User's Manual

32

RZ/A2M グループ

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロプロセッサ

RZ ファミリ／RZ/A シリーズ

arm

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.4.00　2020.11

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2020 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

目次

1. 概要 1-1
1.1 本 LSI の特長 1-1
1.2 製品一覧 1-9
1.3 ブロック図 1-9
1.4 ピン配置図 1-10
1.5 端子機能 1-14
1.6 端子一覧 1-22
2. CPU 2-1
2.1 特長 2-1
2.2 構成信号 2-1
3. ブートモード 3-1
3.1 特長 3-1
3.2 ブートモードと端子機能設定 3-2
3.3 各ブートモードで使用するハードウェアの情報 3-3
3.4 ブートモードとリセット時の例外ベクタ配置 3-4
3.5 動作説明 3-5
3.5.1 ブートモード 0 3-5
3.5.2 ブートモード 1 3-8
3.5.3 ブートモード 2 3-11
3.5.4 ブートモード 3 3-14
3.5.5 ブートモード 4 3-16
3.5.6 ブートモード 5 3-17
3.5.7 ブートモード 6 3-19
3.5.8 ブートモード 7 3-21
3.6 カレントプログラムステータスレジスタ (CPSR) の設定値 3-23
3.7 注意事項 3-24
3.7.1 ブート関連端子 3-24
3.7.2 例外ベクタ配置がハイベクタ設定で例外が発生した時の動作 3-24
3.7.3 ブートモード 3、4、6 での本 LSI リセット発生時の注意事項 3-24
4. 2 次キャッシュ 4-1
4.1 特長 4-1
4.2 構成信号 4-1
5. LSI 内部バス 5-1
5.1 LSI 内部バス 5-1
5.1.1 構成 5-1
5.1.2 動作説明 5-1
5.2 ノース基幹バス 5-2
5.2.1 構成 5-2
5.2.2 特長 5-2
5.2.3 周辺バス 5-3

5.3 サウス基幹バス 5-5
5.3.1 構成 5-5
5.3.2 特長 5-5
5.3.3 接続バス 5-6
5.4 アドレスマップ 5-7
5.5 アドレス・リマップ 5-10
5.5.1 概要 5-10
5.5.2 動作説明 5-10
5.6 AXI インターコネクト 5-11
5.6.1 構成 5-11
5.6.2 動作説明 5-11
5.7 バスブリッジ 5-12
5.8 AXI プロトコルの制御信号 5-13
5.8.1 Cortex-A9/CoreSight/ ダイレクトメモリアクセスコントローラを除くバスマスタ 5-13
5.8.2 Cortex-A9 5-13
5.8.3 CoreSight 5-14
5.8.4 ダイレクトメモリアクセスコントローラ 5-14
5.8.5 スレーブ領域 5-15
5.9 ライトバッファ 5-16
5.10 メモリ／ IO 領域のアクセス順序制御 5-16
5.11 レジスタの説明 5-17
5.11.1 BSID レジスタ (BSID) 5-18
5.11.2 リマップレジスタ（RMPR） 5-19
5.11.3 AXI バスコントロールレジスタ 0（AXIBUSCTL0） 5-20
5.11.4 AXI バスコントロールレジスタ 1（AXIBUSCTL1） 5-21
5.11.5 AXI バスコントロールレジスタ 2（AXIBUSCTL2） 5-22
5.11.6 AXI バスコントロールレジスタ 3（AXIBUSCTL3） 5-23
5.11.7 AXI バスコントロールレジスタ 4（AXIBUSCTL4） 5-24
5.11.8 AXI バスコントロールレジスタ 5（AXIBUSCTL5） 5-25
5.11.9 AXI バスコントロールレジスタ 6（AXIBUSCTL6） 5-26
5.11.10 AXI バスコントロールレジスタ 7（AXIBUSCTL7） 5-27
5.11.11 AXI バス応答エラー割り込みコントロールレジスタ 0（AXIRERRCTL0） 5-28
5.11.12 AXI バス応答エラー割り込みコントロールレジスタ 1（AXIRERRCTL1） 5-29
5.11.13 AXI バス応答エラー割り込みコントロールレジスタ 2（AXIRERRCTL2） 5-30
5.11.14 AXI バス応答エラーステータスレジスタ 0（AXIRERRST0） 5-31
5.11.15 AXI バス応答エラーステータスレジスタ 1（AXIRERRST1） 5-32
5.11.16 AXI バス応答エラーステータスレジスタ 2（AXIRERRST2） 5-33
5.11.17 AXI バス応答エラークリアレジスタ 0（AXIRERRCLR0） 5-34
5.11.18 AXI バス応答エラークリアレジスタ 1（AXIRERRCLR1） 5-36
5.11.19 AXI バス応答エラークリアレジスタ 2（AXIRERRCLR2） 5-38

5.11.20 マスタアクセスコントロールレジスタ 0（MSTACCCTL0）.....5-39
5.11.21 マスタアクセスコントロールレジスタ 1（MSTACCCTL1）.....5-41
5.11.22 マスタアクセスコントロールレジスタ 2（MSTACCCTL2）.....5-43
5.11.23 マスタアクセスコントロールレジスタ 3（MSTACCCTL3）.....5-45
5.11.24 マスタアクセスコントロールレジスタ 4（MSTACCCTL4）.....5-47
5.11.25 スレーブアクセスコントロールレジスタ 0（SLVACCCTL0）.....5-49
5.11.26 スレーブアクセスコントロールレジスタ 1（SLVACCCTL1）.....5-51
5.11.27 スレーブアクセスコントロールレジスタ 2（SLVACCCTL2）.....5-54
5.11.28 スレーブアクセスコントロールレジスタ 3（SLVACCCTL3）.....5-57
5.11.29 スレーブアクセスコントロールレジスタ 4（SLVACCCTL4）.....5-58
5.12 割り込み要求.....5-60
6. クロックパルス発振器.....6-1
6.1 特長.....6-1
6.2 入出力端子.....6-3
6.3 クロックモード.....6-4
6.4 レジスタの説明.....6-6
6.4.1 周波数制御レジスタ（FRQCR）.....6-6
6.4.2 CKIO 選択レジスタ（CKIOSEL）.....6-8
6.4.3 SCLK 選択レジスタ（SCLKSEL）.....6-9
6.5 周波数変更方法.....6-10
6.5.1 分周率の変更.....6-10
6.6 クロック端子の使用方法.....6-11
6.6.1 外部クロック入力時.....6-11
6.6.2 水晶発振子使用時.....6-12
6.6.3 未使用時.....6-12
6.7 発振安定時間.....6-13
6.7.1 内蔵水晶発振器の発振安定時間.....6-13
6.7.2 PLL 回路の発振安定時間.....6-13
6.8 ボード設計上の注意事項.....6-14
6.8.1 PLL 発振回路使用時の注意.....6-14
6.9 SSCG 仕様の変調率と変調周波数の定義.....6-14
6.10 クロック樹形図.....6-15
6.10.1 システムクロック、リアルタイムクロック用クロック.....6-15
6.10.2 音声クロック、USB クロック.....6-16
6.10.3 映像クロック（チャネル 0）.....6-17
6.10.4 その他クロック 1.....6-17
6.10.5 その他クロック 2.....6-18
6.10.6 内部クロック（1）.....6-19
6.10.7 内部クロック（2）.....6-20
6.10.8 内部クロック（3）.....6-21

7. 割り込みコントローラ 7-1
7.1 特長 7-1
7.2 入出力端子 7-2
7.3 レジスタの説明 7-3
7.3.1 割り込みコントロールレジスタ 0（ICR0） 7-14
7.3.2 割り込みコントロールレジスタ 1（ICR1） 7-15
7.3.3 IRQ 割り込み要求レジスタ（IRQRR） 7-16
7.4 割り込み要因 7-17
7.4.1 NMI 割り込み 7-17
7.4.2 IRQ 割り込み 7-17
7.4.3 内蔵周辺モジュール割り込み 7-17
7.4.4 端子割り込み 7-18
7.5 割り込み ID 7-19
7.6 動作説明 7-33
7.6.1 割り込み設定 7-33
7.6.2 割り込み動作の流れ 7-36
7.7 割り込み要求信号によるデータ転送 7-37
7.7.1 割り込み要求信号を CPU の割り込み要因とし、ダイレクトメモリアクセス コントローラの起動要因としない場合 7-37
7.7.2 割り込み要求信号をダイレクトメモリアクセスコントローラの起動要因とし、 CPU の割り込み要因としない場合 7-37
7.8 使用上の注意事項 7-38
7.8.1 割り込み要因クリアのタイミング 7-38
7.8.2 IRQ 割り込みに端子機能を切り換えるときの注意 7-38
8. バスステートコントローラ 8-1
8.1 特長 8-1
8.2 入出力端子 8-3
8.3 エリアの概要 8-4
8.3.1 アドレスマップ 8-4
8.3.2 ブートモード、各エリアのデータバス幅、関連端子設定 8-4
8.4 レジスタの説明 8-6
8.4.1 共通コントロールレジスタ（CMNCR） 8-7
8.4.2 CSn 空間バスコントロールレジスタ（CSnBCR）（n ＝ 0 ～ 5） 8-8
8.4.3 CSn 空間ウェイトコントロールレジスタ（CSnWCR）（n ＝ 0 ～ 5） 8-10
8.4.4 SDRAM コントロールレジスタ（SDCR） 8-25
8.4.5 リフレッシュタイマコントロール／ステータスレジスタ（RTCSR） 8-27
8.4.6 リフレッシュタイマカウンタ（RTCNT） 8-28
8.4.7 リフレッシュタイムコンスタントレジスタ（RTCOR） 8-29
8.4.8 タイムアウトサイクルコンスタントレジスタ（TOSCORn）（n=0 ～ 5） 8-30
8.4.9 タイムアウトステータスレジスタ（TOSTR） 8-31
8.4.10 タイムアウトイネーブルレジスタ（TOENR） 8-32

8.4.11 AC 特性調整レジスタ（ACADJ）....8-33
8.5 動作説明....8-34
8.5.1 アクセスサイズとデータアライメント....8-34
8.5.2 通常空間インタフェース....8-35
8.5.3 アクセスウェイト制御....8-39
8.5.4 CSn# アサート期間拡張....8-41
8.5.5 MPX-I/O インタフェース....8-42
8.5.6 SDRAM インタフェース....8-45
8.5.7 バースト ROM（クロック非同期）インタフェース....8-66
8.5.8 バイト選択付き SRAM インタフェース....8-68
8.5.9 バースト ROM（クロック同期）インタフェース....8-71
8.5.10 アクセスサイクル間アイドル....8-72
8.5.11 その他....8-75
9. ダイレクトメモリアクセスコントローラ....9-1
9.1 特長....9-1
9.2 入出力端子....9-2
9.3 レジスタ構成....9-2
9.4 レジスタの説明....9-4
9.4.1 Next Source Address Register n/nS (N0SA_n/nS、N1SA_n/nS)....9-13
9.4.2 Next Destination Address Register n/nS (N0DA_n/nS、N1DA_n/nS)....9-13
9.4.3 Next Transaction Byte Register n/nS (N0TB_n/nS、N1TB_n/nS)....9-14
9.4.4 Current Source Address Register n/nS (CRSA_n/nS)....9-14
9.4.5 Current Destination Address Register n/nS (CRDA_n/nS)....9-15
9.4.6 Current Transaction Byte Register n/nS (CRTB_n/nS)....9-15
9.4.7 Channel Status Register n/nS (CHSTAT_n/nS)....9-16
9.4.8 Channel Control Register n/nS (CHCTRL_n/nS)....9-19
9.4.9 Channel Configuration Register n/nS (CHCFG_n/nS)....9-21
9.4.10 Channel Interval Register n/nS (CHITVL_n/nS)....9-24
9.4.11 Channel Extension Register n/nS (CHEXT_n/nS)....9-25
9.4.12 Next Link Address Register n/nS (NXLA_n/nS)....9-26
9.4.13 Current Link Address Register n/nS (CRLA_n/nS)....9-26
9.4.14 DMA Control Register (DCTRL_0_7/0_7S, DCTRL_8_15/8_15S)....9-27
9.4.15 DMA Status EN Register (DSTAT_EN_0_7/0_7S)....9-28
9.4.16 DMA Status EN Register (DSTAT_EN_8_15/8_15S)....9-29
9.4.17 DMA Status ER Register (DSTAT_ER_0_7/0_7S)....9-30
9.4.18 DMA Status ER Register (DSTAT_ER_8_15/8_15S)....9-31
9.4.19 DMA Status END Register (DSTAT_END_0_7/0_7S)....9-32
9.4.20 DMA Status END Register (DSTAT_END_8_15/8_15S)....9-33
9.4.21 DMA Status TC Register (DSTAT_TC_0_7/0_7S)....9-34
9.4.22 DMA Status TC Register (DSTAT_TC_8_15/8_15S)....9-35

9.4.23 DMA Status SUS Register (DSTAT_SUS_0_7/0_7S) 9-36
9.4.24 DMA Status SUS Register (DSTAT_SUS_8_15/8_15S) 9-37
9.4.25 DMA 拡張リソースセレクタ 0/0S ～ 7/7S（DMARS0/0S ～ DMARS7/7S） 9-38
9.5 動作説明 9-41
9.5.1 転送フロー 9-41
9.5.2 DMA 転送要求 9-42
9.6 DMA モード 9-52
9.6.1 モード設定 9-52
9.6.2 レジスタ・モード 9-53
9.6.3 リンク・モード 9-58
9.7 DMA 転送 9-67
9.7.1 転送モード 9-67
9.7.2 DMA チャネルの優先順位制御 9-68
9.7.3 外部バスサイクルのステート数 9-70
9.7.4 DMA 転送要求 9-71
9.7.5 DMA アクノリッジ出力機能 9-73
9.7.6 DMA 転送終了出力機能 9-76
9.7.7 DMA 転送終了割り込み 9-76
9.7.8 DMA エラー割り込み 9-77
9.7.9 インターバル･カウント機能 9-77
9.7.10 転送サイズによる動作の違い 9-78
9.7.11 転送状態 9-80
9.8 DMA 設定例 9-84
9.8.1 設定例 1（レジスタ・モード　ハードウェア・リクエスト） 9-84
9.8.2 設定例 2（レジスタ・モード　ソフトウェア・リクエスト） 9-86
9.8.3 設定例 3（レジスタ・モード 連続実行） 9-88
9.8.4 設定例 4（リンク・モード） 9-90
9.8.5 Next レジスタ連続実行設定 9-93
9.9 注意事項 9-95
9.9.1 DACK0,TEND0 が分割出力される場合について 9-95
9.9.2 TEND0 が出力されない場合について 9-96
9.9.3 アトミック・アクセス（ARLOCK[1:0]、AWLOCK[1:0]） 9-96
10. マルチファンクションタイマパルスユニット 3（MTU3a） 10-1
10.1 概要 10-1
10.2 レジスタの説明 10-7
10.2.1 タイマコントロールレジスタ（TCR） 10-12
10.2.2 タイマコントロールレジスタ 2（TCR2） 10-14
10.2.3 タイマモードレジスタ 1（TMDR1） 10-18
10.2.4 タイマモードレジスタ 2（TMDR2A、TMDR2B） 10-21
10.2.5 タイマモードレジスタ 3（TMDR3） 10-22

10.2.6 タイマ I/O コントロールレジスタ（TIOR）.....10-24
10.2.7 タイマコンペアマッチクリアレジスタ（TCNTCMPCLR）.....10-44
10.2.8 タイマインタラプトイネーブルレジスタ（TIER）.....10-45
10.2.9 タイマステータスレジスタ（TSR）.....10-48
10.2.10 タイマバッファ動作転送モードレジスタ（TBTM）.....10-49
10.2.11 タイマインプットキャプチャコントロールレジスタ（TICCR）.....10-50
10.2.12 タイマシンクロクリアレジスタ（TSYCR）.....10-51
10.2.13 タイマカウンタ（TCNT）.....10-52
10.2.14 タイマロングワードカウンタ（TCNTLW）.....10-53
10.2.15 タイマジェネラルレジスタ（TGR）.....10-54
10.2.16 タイマロングワードジェネラルレジスタ (TGRALW、TGRBLW) 10-55
10.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR).....10-56
10.2.18 タイマシンクロレジスタ（TSYRA、TSYRB）.....10-58
10.2.19 タイマカウンタシンクロスタートレジスタ（TCSYSTR）.....10-60
10.2.20 タイマリードライトイネーブルレジスタ（TRWERA、TRWERB）.....10-62
10.2.21 タイマアウトプットマスタイネーブルレジスタ (TOERA, TOERB).....10-63
10.2.22 タイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）.....10-65
10.2.23 タイマアウトプットコントロールレジスタ 2（TOCR2A、TOCR2B）.....10-67
10.2.24 タイマアウトプットレベルバッファレジスタ（TOLBRA、TOLBRB）.....10-70
10.2.25 タイマゲートコントロールレジスタ A（TGCRA）.....10-71
10.2.26 タイマサブカウンタ（TCNTSA、TCNTSB）.....10-72
10.2.27 タイマ周期データレジスタ（TCDRA、TCDRB）.....10-72
10.2.28 タイマ周期バッファレジスタ（TCBRA、TCBRB）.....10-73
10.2.29 タイマデッドタイムデータレジスタ（TDDRA、TDDRB）.....10-73
10.2.30 タイマデッドタイムイネーブルレジスタ（TDERA、TDERB）.....10-74
10.2.31 タイマバッファ転送設定レジスタ（TBTERA、TBTERB）.....10-75
10.2.32 タイマ波形コントロールレジスタ（TWCRA、TWCRB）.....10-76
10.2.33 ノイズフィルタコントロールレジスタ n（NFCRn）(n ＝ 0 ～ 4、6、7、8、C).....10-78
10.2.34 ノイズフィルタコントロールレジスタ 5（NFCR5）.....10-81
10.2.35 タイマ A/D 変換開始要求コントロールレジスタ（TADCR）.....10-82
10.2.36 タイマ A/D 変換開始要求周期設定レジスタ（TADCORA、TADCORB）.....10-86
10.2.37 タイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBRA、TADCOBRB）.....10-86
10.2.38 タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）.....10-87
10.2.39 タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）.....10-88
10.2.40 タイマ割り込み間引き回数カウンタ 1（TITCNT1A、TITCNT1B）.....10-91
10.2.41 タイマ割り込み間引き設定レジスタ 2（TITCR2A、TITCR2B）.....10-93
10.2.42 タイマ割り込み間引き回数カウンタ 2（TITCNT2A、TITCNT2B）.....10-95
10.2.43 バスマスタとのインタフェース.....10-96
10.3 動作説明.....10-97
10.3.1 基本動作.....10-97

10.3.2 同期動作 10-102
10.3.3 バッファ動作 10-104
10.3.4 カスケード接続動作 10-109
10.3.5 PWM モード 10-114
10.3.6 位相計数モード 10-118
10.3.6.1 16 ビット位相計数モード 10-118
10.3.6.2 カスケード接続 32 ビット位相計数モード 10-129
10.3.7 リセット同期 PWM モード 10-132
10.3.8 相補 PWM モード 10-135
10.3.9 A/D 変換開始要求ディレイド機能 10-177
10.3.10 MTU0 ～ MTU4、MTU6、MTU7 の同期動作 10-183
10.3.11 外部パルス幅測定機能 10-186
10.3.12 デッドタイム補償用機能 10-187
10.3.13 相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作 10-189
10.3.14 ノイズフィルタ機能 10-190
10.4 割り込み要因 10-191
10.4.1 割り込み要因と優先順位 10-191
10.4.2 DMAC の起動 10-192
10.4.3 A/D コンバータの起動 10-193
10.5 動作タイミング 10-195
10.5.1 入出力タイミング 10-195
10.5.2 割り込み信号タイミング 10-201
10.6 使用上の注意事項 10-204
10.6.1 モジュールストップ機能の設定 10-204
10.6.2 カウントクロックの制限事項 10-204
10.6.3 周期設定上の注意事項 10-204
10.6.4 TCNT への書き込みとクリアの競合 10-205
10.6.5 TCNT への書き込みとカウントアップの競合 10-205
10.6.6 TGR レジスタへの書き込みとコンペアマッチの競合 10-206
10.6.7 バッファレジスタへの書き込みとコンペアマッチの競合 10-206
10.6.8 バッファレジスタへの書き込みと TCNT クリアの競合 10-207
10.6.9 TGR レジスタの読み出しとインプットキャプチャの競合 10-207
10.6.10 TGR レジスタへの書き込みとインプットキャプチャの競合 10-208
10.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合 10-208
10.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー／アンダフローの競合 10-209
10.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値 10-210
10.6.14 相補 PWM モードでのバッファ動作の設定 10-210
10.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチ 10-211
10.6.16 リセット同期 PWM モードのオーバフロー 10-212

10.6.17 オーバフロー／アンダフローとカウンタクリアの競合 10-212
10.6.18 TCNT への書き込みとオーバフロー／アンダフローの競合 10-213
10.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項 10-213
10.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル 10-213
10.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ 10-214
10.6.22 割り込み間引き機能 2 10-214
10.6.23 相補 PWM モードの出力保護機能未使用時の注意事項 10-214
10.6.24 タイマカウンタ（MTU5.TCNT）とタイマジェネラルレジスタ（MTU5.TGR）の注意事項 10-215
10.6.25 相補 PWM モード同期クリアするときの異常動作防止の注意事項 10-216
10.6.26 コンペアマッチによる割り込み信号の連続出力 10-218
10.6.27 相補 PWM モードにおける A/D 変換開始要求ディレイド機能の注意事項 10-219
10.7 MTU 出力端子の初期化方法 10-221
10.7.1 動作モード 10-221
10.7.2 動作中の異常などによる再設定時の動作 10-221
10.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要 10-222
11. ポートアウトプットイネーブル 3（POE3） 11-1
11.1 概要 11-1
11.2 レジスタの説明 11-4
11.2.1 入力レベルコントロール／ステータスレジスタ 1（ICSR1） 11-4
11.2.2 入力レベルコントロール／ステータスレジスタ 2（ICSR2） 11-5
11.2.3 入力レベルコントロール／ステータスレジスタ 3（ICSR3） 11-6
11.2.4 入力レベルコントロール／ステータスレジスタ 4（ICSR4） 11-7
11.2.5 出力レベルコントロール／ステータスレジスタ 1（OCSR1） 11-8
11.2.6 出力レベルコントロール／ステータスレジスタ 2（OCSR2） 11-9
11.2.7 ソフトウェアポートアウトプットイネーブルレジスタ（SPOER） 11-10
11.2.8 ポートアウトプットイネーブルコントロールレジスタ 1（POECR1） 11-11
11.2.9 ポートアウトプットイネーブルコントロールレジスタ 2（POECR2） 11-12
11.2.10 ポートアウトプットイネーブルコントロールレジスタ 4（POECR4） 11-14
11.2.11 ポートアウトプットイネーブルコントロールレジスタ 5（POECR5） 11-15
11.2.12 MTU0 端子選択レジスタ 1（M0SELR1） 11-16
11.2.13 MTU0 端子選択レジスタ 2（M0SELR2） 11-17
11.3 動作説明 11-18
11.3.1 MTU 端子選択 11-21
11.3.2 入力レベル検出動作 11-22
11.3.3 出力レベル比較動作 11-23
11.3.4 レジスタによるハイインピーダンス制御 11-23
11.3.5 ハイインピーダンス制御条件の追加機能 11-23
11.3.6 ハイインピーダンス状態からの解除 11-24

11.4 POE3 設定手順 11-25
11.5 割り込み 11-26
11.6 使用上の注意事項 11-27
11.6.1 低消費電力モードへの遷移 11-27
11.6.2 MTU 端子非選択時のハイインピーダンス制御 11-27
11.6.3 MTU6 ／ MTU7 未使用時のハイインピーダンス制御 11-27
12. 汎用 PWM タイマ（GPT） 12-1
12.1 概要 12-1
12.2 レジスタの説明 12-5
12.2.1 汎用 PWM タイマ書き込み保護レジスタ（GTWP） 12-7
12.2.2 汎用 PWM タイマソフトウェアスタートレジスタ（GTSTR） 12-9
12.2.3 汎用 PWM タイマソフトウェアストップレジスタ（GTSTP） 12-10
12.2.4 汎用 PWM タイマソフトウェアクリアレジスタ（GTCLR） 12-11
12.2.5 汎用 PWM タイマスタート要因選択レジスタ（GTSSR） 12-12
12.2.6 汎用 PWM タイマストップ要因選択レジスタ（GTPSR） 12-16
12.2.7 汎用 PWM タイマクリア要因選択レジスタ（GTCSR） 12-20
12.2.8 汎用 PWM タイマアップカウント要因選択レジスタ（GTUPSR） 12-24
12.2.9 汎用 PWM タイマダウンカウント要因選択レジスタ（GTDNSR） 12-28
12.2.10 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A（GTICASR） 12-32
12.2.11 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B（GTICBSR） 12-36
12.2.12 汎用 PWM タイマコントロールレジスタ（GTCR） 12-40
12.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ（GTUDDTYC） 12-42
12.2.14 汎用 PWM タイマ I/O コントロールレジスタ（GTIOR） 12-45
12.2.15 汎用 PWM タイマ割り込み出力設定レジスタ（GTINTAD） 12-49
12.2.16 汎用 PWM タイマステータスレジスタ（GTST） 12-52
12.2.17 汎用 PWM タイマバッファイネーブルレジスタ（GTBER） 12-58
12.2.18 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ（GTITC） 12-61
12.2.19 汎用 PWM タイマカウンタ（GTCNT） 12-63
12.2.20 汎用 PWM タイマコンペアキャプチャレジスタ n（GTCCRn）（n = A ～ F） 12-63
12.2.21 汎用 PWM タイマ周期設定レジスタ（GTPR） 12-64
12.2.22 汎用 PWM タイマ周期設定バッファレジスタ（GTPBR） 12-64
12.2.23 汎用 PWM タイマ周期設定ダブルバッファレジスタ（GTPDBR） 12-64
12.2.24 A/D 変換開始要求タイミングレジスタ n（GTADTRn）（n = A, B） 12-65
12.2.25 A/D 変換開始要求タイミングバッファレジスタ n（GTADTBRn）（n = A, B） 12-65
12.2.26 A/D 変換開始要求タイミングダブルバッファレジスタ n（GTADTDBRn）（n = A, B） 12-66
12.2.27 汎用 PWM タイマデッドタイムコントロールレジスタ（GTDTCR） 12-66
12.2.28 汎用 PWM タイマデッドタイム値レジスタ n（GTDVn）（n = U, D） 12-68
12.2.29 汎用 PWM タイマデッドタイムバッファレジスタ n（GTDBn）（n = U, D） 12-68
12.2.30 汎用 PWM タイマ出力保護機能ステータスレジスタ（GTSOS） 12-69

12.2.31 汎用 PWM タイマ出力保護機能一時解除レジスタ（GTSOTR）.....12-70
12.2.32 汎用 PWM タイマイベントコントロールレジスタ（GTECR）.....12-70
12.2.33 汎用 PWM タイマイベントソース設定レジスタ（GTESRn）(n = 0 ～ 7).....12-71
12.3 動作説明.....12-72
12.3.1 基本動作.....12-72
12.3.1.1 カウンタの動作.....12-72
12.3.1.2 コンペアマッチによる波形出力機能.....12-78
12.3.1.3 インプットキャプチャ機能.....12-82
12.3.2 バッファ動作.....12-84
12.3.2.1 GTPR レジスタのバッファ動作.....12-84
12.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作.....12-87
12.3.2.3 GTADTRA、GTADTRB レジスタのバッファ動作.....12-93
12.3.3 PWM 出力動作モード.....12-96
12.3.3.1 のこぎり波 PWM モード.....12-96
12.3.3.2 のこぎり波ワンショットパルスモード.....12-98
12.3.3.3 三角波 PWM モード 1（谷 32 ビット転送）.....12-101
12.3.3.4 三角波 PWM モード 2（山／谷 32 ビット転送）.....12-103
12.3.3.5 三角波 PWM モード 3（谷 64 ビット転送）.....12-105
12.3.4 デッドタイム自動設定機能.....12-108
12.3.5 カウント方向切り替え機能.....12-113
12.3.6 出力デューティ 0% および出力デューティ 100% 機能.....12-114
12.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作.....12-116
12.3.7.1 ハードウェアスタート動作.....12-116
12.3.7.2 ハードウェアストップ動作.....12-118
12.3.7.3 ハードウェアクリア動作.....12-120
12.3.8 同期動作.....12-123
12.3.8.1 ソフトウェアによる同期動作.....12-123
12.3.8.2 ハードウェアによる同期動作.....12-125
12.3.9 PWM 出力動作例.....12-127
12.3.9.1 同期 PWM 出力.....12-127
12.3.9.2 のこぎり波 3 相相補 PWM 出力.....12-128
12.3.9.3 のこぎり波 3 相相補 PWM 出力（デッドタイム自動設定）.....12-129
12.3.9.4 三角波 3 相相補 PWM 出力.....12-130
12.3.9.5 三角波 3 相相補 PWM 出力（デッドタイム自動設定）.....12-131
12.3.9.6 非対称三角波 3 相相補 PWM 出力（デッドタイム自動設定）.....12-132
12.3.10 位相計数機能.....12-133
12.4 割り込み要因.....12-143
12.4.1 割り込み要因と優先順位.....12-143
12.4.2 DMAC 起動.....12-149
12.4.3 割り込み、A/D 変換要求の間引き機能.....12-149

12.5 A/D 変換開始要求 12-153
12.6 イベントによる連携動作 12-155
12.6.1 イベント信号の生成 12-155
12.6.2 イベント信号に対する動作 12-157
12.6.3 イベントによる連携動作の設定手順例 12-157
12.7 ノイズフィルタ機能 12-158
12.8 保護機能 12-159
12.8.1 レジスタの書き込み保護 12-159
12.8.2 バッファ動作の禁止 12-159
12.8.3 GTIOC 端子出力のネゲート制御 12-160
12.8.4 GTIOC 端子出力の出力保護機能 12-161
12.8.4.1 バッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能 12-161
12.8.4.2 谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能 12-164
12.8.4.3 山でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能 12-166
12.8.4.4 出力保護機能の注意事項 12-167
12.8.4.5 出力保護機能の一時解除 12-168
12.9 出力端子の初期化方法 12-169
12.9.1 リセット後の端子設定 12-169
12.9.2 動作中の異常による端子の初期化 12-169
12.10 使用上の注意事項 12-170
12.10.1 モジュールストップ機能の設定 12-170
12.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定（n = A ～ F） 12-170
12.10.3 GTCNT カウンタの範囲設定 12-171
12.10.4 GTCNT カウンタのスタート／ストップ 12-171
12.10.5 競合時の優先順位 12-172
13. GPT 用ポートアウトプットイネーブル（POEG） 13-1
13.1 概要 13-1
13.2 レジスタの説明 13-3
13.2.1 POEG グループ n 設定レジスタ（POEGGn）（n = A ～ D） 13-3
13.3 出力禁止制御の動作 13-4
13.3.1 端子入力レベル検出時の動作 13-4
13.3.1.1 デジタルフィルタ 13-4
13.3.2 GPT からの出力禁止要求 13-5
13.3.3 レジスタによる出力禁止制御 13-5
13.3.4 出力禁止状態の解除 13-5
13.4 割り込み要因 13-6
13.5 GPT に対する外部トリガ出力 13-7
13.6 使用上の注意事項 13-8
13.6.1 ソフトウェアスタンバイモードへの遷移 13-8

13.6.2 GPT 対応端子の指定 13-8
14. OS タイマ 14-1
14.1 機能概要 14-1
14.1.1 特長 14-1
14.2 レジスタ 14-2
14.2.1 レジスタの概要 14-2
14.2.2 レジスタの詳細 14-3
14.2.2.1 OSTMnCMP — OSTM コンペアレジスタ 14-3
14.2.2.2 OSTMnCNT — OSTM カウンタレジスタ 14-4
14.2.2.3 OSTMnTE — OSTM カウントイネーブルステータスレジスタ 14-5
14.2.2.4 OSTMnTS — OSTM カウント開始トリガレジスタ 14-6
14.2.2.5 OSTMnTT — OSTM カウント停止トリガレジスタ 14-6
14.2.2.6 OSTMnCTL — OSTM 制御レジスタ 14-7
14.3 機能説明 14-8
14.3.1 ブロック図 14-8
14.3.2 カウントクロック 14-9
14.3.3 割り込み要求の生成 14-9
14.3.4 タイマの起動と停止 14-10
14.3.5 インターバルタイマモード 14-10
14.3.5.1 インターバルタイマモードの基本動作 14-10
14.3.5.2 OSTMnCMP = 0000 0000_H の場合の動作 14-13
14.3.6 フリーランニングコンペアモード 14-14
14.3.6.1 フリーランニングコンペアモードの基本動作 14-14
14.3.6.2 OSTMnCMP = 0000 0000_H の場合の動作 14-16
15. ウォッチドッグタイマ 15-1
15.1 特長 15-1
15.2 入出力端子 15-3
15.3 レジスタの説明 15-3
15.3.1 ウォッチドッグタイマカウンタ（WTCNT） 15-3
15.3.2 ウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR） 15-4
15.3.3 ウォッチドッグリセットコントロール／ステータスレジスタ（WRCSR） 15-6
15.3.4 CPU パリティエラーイネーブルレジスタ (PEER) 15-6
15.3.5 CPU パリティエラーコントロールレジスタ (PECR) 15-7
15.3.6 CPU パリティエラーステータスレジスタ (PESR) 15-8
15.3.7 レジスタアクセス時の注意 15-9
15.4 使用方法 15-11
15.4.1 ソフトウェアスタンバイモード解除の手順 15-11
15.4.2 ウォッチドッグタイマモードの使用法 15-12
15.4.3 インターバルタイマモードの使用法 15-13
15.4.4 CPU パリティエラーの動作 15-13

15.5 使用上の注意事項 15-14
15.5.1 タイマ誤差 15-14
15.5.2 WTCNT の設定値として H'FF は設定禁止 15-14
15.5.3 インターバルタイマオーバフローフラグ 15-14
15.5.4 WDTOVF 信号によるシステムリセット 15-14
15.5.5 ウォッチドッグタイマモードでの内部リセット 15-14
16. リアルタイムクロック（RTC） 16-1
16.1 概要 16-2
16.2 レジスタの説明 16-4
16.2.1 64Hz カウンタ（R64CNT） 16-6
16.2.2 秒カウンタ （RSECCNT）／バイナリカウンタ 0（BCNT0） 16-7
16.2.3 分カウンタ （RMINCNT）／バイナリカウンタ 1（BCNT1） 16-8
16.2.4 時カウンタ （RHRCNT）／バイナリカウンタ 2（BCNT2） 16-9
16.2.5 曜日カウンタ （RWKCNT）／バイナリカウンタ 3（BCNT3） 16-10
16.2.6 日カウンタ（RDAYCNT） 16-11
16.2.7 月カウンタ（RMONCNT） 16-11
16.2.8 年カウンタ（RYRCNT） 16-12
16.2.9 秒アラームレジスタ （RSECAR）／バイナリカウンタ 0 アラームレジスタ（BCNT0AR） 16-13
16.2.10 分アラームレジスタ （RMINAR）／バイナリカウンタ 1 アラームレジスタ（BCNT1AR） 16-14
16.2.11 時アラームレジスタ （RHRAR）／バイナリカウンタ 2 アラームレジスタ（BCNT2AR） 16-15
16.2.12 曜日アラームレジスタ （RWKAR）／バイナリカウンタ 3 アラームレジスタ（BCNT3AR） 16-16
16.2.13 日アラームレジスタ （RDAYAR）／バイナリカウンタ 0 アラームイネーブルレジスタ（BCNT0AER） 16-17
16.2.14 月アラームレジスタ （RMONAR）／バイナリカウンタ 1 アラームイネーブルレジスタ（BCNT1AER） 16-18
16.2.15 年アラームレジスタ （RYRAR）／バイナリカウンタ 2 アラームイネーブルレジスタ（BCNT2AER） 16-19
16.2.16 年アラームイネーブルレジスタ （RYRAREN）／バイナリカウンタ 3 アラームイネーブルレジスタ（BCNT3AER） 16-20
16.2.17 RTC ステータスレジスタ（RSR） 16-21
16.2.18 RTC コントロールレジスタ 1（RCR1） 16-23
16.2.19 RTC コントロールレジスタ 2（RCR2） 16-25
16.2.20 RTC コントロールレジスタ 3（RCR3） 16-29
16.2.21 RTC コントロールレジスタ 4（RCR4） 16-30
16.2.22 周波数レジスタ H/L（RFRH/L） 16-31
16.2.23 時計誤差補正レジスタ（RADJ） 16-33
16.3 動作説明 16-34
16.3.1 電源投入後のレジスタの初期設定概要 16-34
16.3.2 クロックおよびカウントモードの設定手順 16-35

16.3.3 時刻設定手順 16-36
16.3.4 30 秒調整手順 16-37
16.3.5 64Hz カウンタおよび時刻読み出し手順 16-38
16.3.6 アラーム機能 16-39
16.3.7 アラーム割り込み禁止手順 16-40
16.3.8 時計誤差補正機能 16-41
16.3.8.1 自動補正機能 16-41
16.3.8.2 ソフトウェアによる補正 16-42
16.3.8.3 補正モードの変更手順 16-43
16.3.8.4 補正機能の停止手順 16-43
16.4 割り込み要因 16-44
16.5 使用上の注意事項 16-46
16.5.1 カウント動作時のレジスタ書き込みについて 16-46
16.5.2 周期割り込みの使用について 16-47
16.5.3 レジスタ設定後の低消費電力モード移行について 16-47
16.5.4 レジスタの書き込み／読み出し時の注意事項 16-48
16.5.5 カウントモードの変更について 16-48
16.5.6 リアルタイムクロックを使用しない場合の手順 16-48
17. FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA） 17-1
17.1 概要 17-1
17.2 レジスタの説明 17-3
17.2.1 レシーブシフトレジスタ（RSR） 17-5
17.2.2 レシーブ FIFO データレジスタ（FRDR） 17-5
17.2.3 トランスミットシフトレジスタ（TSR） 17-5
17.2.4 トランスミット FIFO データレジスタ（FTDR） 17-6
17.2.5 シリアルモードレジスタ（SMR） 17-6
17.2.6 シリアルコントロールレジスタ（SCR） 17-8
17.2.7 シリアルステータスレジスタ（FSR） 17-10
17.2.8 ビットレートレジスタ（BRR） 17-13
17.2.9 モジュレーションデューティレジスタ（MDDR） 17-17
17.2.10 FIFO コントロールレジスタ（FCR） 17-20
17.2.11 FIFO データ数レジスタ（FDR） 17-22
17.2.12 シリアルポートレジスタ（SPTR） 17-23
17.2.13 ラインステータスレジスタ（LSR） 17-25
17.2.14 シリアル拡張モードレジスタ（SEMR） 17-26
17.2.15 FIFO トリガコントロールレジスタ（FTCR） 17-28
17.3 動作説明 17-29
17.3.1 概要 17-29
17.3.2 調歩同期式モード時の動作 17-31
17.3.3 クロック同期式モード時の動作 17-42

17.4 ビットレートモジュレーション機能 17-49
17.5 割り込み要因 17-50
17.6 シリアルポートレジスタ（SPTR）と SCIFA 関連の端子との関係 17-51
17.7 ノイズ除去機能 17-53
17.8 使用上の注意事項 17-54
17.8.1 FTDR レジスタへの書き込みと TDFE フラグ 17-54
17.8.2 FRDR レジスタの読み出しと RDF フラグ 17-54
17.8.3 ブレークの検出と処理 17-54
17.8.4 SPTR レジスタへの書き込み 17-54
17.8.5 ブレークの送出 17-55
17.8.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン 17-55
17.8.7 シリアルステータスレジスタ（FSR）の FER フラグおよび PER フラグの注意事項 17-56
17.8.8 クロック同期式モードにおける外部クロック入力時の注意事項 17-56
17.8.9 モジュールスタンバイモードの設定 17-56
17.8.10 クロック同期式モードで内部クロック選択時における受信動作の注意事項 17-56
18. シリアルコミュニケーションインタフェース（SCIg） 18-1
18.1 概要 18-1
18.2 レジスタの説明 18-4
18.2.1 レシーブシフトレジスタ（RSR） 18-5
18.2.2 レシーブデータレジスタ（RDR） 18-5
18.2.3 レシーブデータレジスタ H、L、HL（RDRH、RDRL、RDRHL） 18-6
18.2.4 トランスミットデータレジスタ（TDR） 18-7
18.2.5 トランスミットデータレジスタ H、L、HL（TDRH、TDRL、TDRHL） 18-7
18.2.6 トランスミットシフトレジスタ（TSR） 18-8
18.2.7 シリアルモードレジスタ（SMR） 18-8
18.2.8 シリアルコントロールレジスタ（SCR） 18-12
18.2.9 シリアルステータスレジスタ（SSR） 18-16
18.2.10 スマートカードモードレジスタ（SCMR） 18-21
18.2.11 ビットレートレジスタ（BRR） 18-23
18.2.12 モジュレーションデューティレジスタ（MDDR） 18-30
18.2.13 シリアル拡張モードレジスタ（SEMR） 18-31
18.2.14 ノイズフィルタ設定レジスタ（SNFR） 18-32
18.2.15 拡張機能コントロールレジスタ（SECR） 18-33
18.3 調歩同期式モードの動作 18-34
18.3.1 シリアル送信 / 受信フォーマット 18-35
18.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 18-36
18.3.3 クロック 18-37
18.3.4 倍速モード 18-37
18.3.5 CTS、RTS 機能 18-37

18.3.6 SCI の初期化（調歩同期式モード）.....18-38
18.3.7 シリアルデータの送信（調歩同期式モード）.....18-39
18.3.8 シリアルデータの受信（調歩同期式モード）.....18-43
18.4 マルチプロセッサ通信機能.....18-47
18.4.1 マルチプロセッサシリアルデータ送信.....18-48
18.4.2 マルチプロセッサシリアルデータ受信.....18-49
18.5 クロック同期式モードの動作.....18-52
18.5.1 クロック.....18-53
18.5.2 CTS、RTS 機能.....18-53
18.5.3 SCI の初期化（クロック同期式モード）.....18-54
18.5.4 シリアルデータの送信（クロック同期式モード）.....18-55
18.5.5 シリアルデータの受信（クロック同期式モード）.....18-59
18.5.6 シリアルデータの送受信同時動作（クロック同期式モード）.....18-62
18.6 スマートカードインタフェースモードの動作.....18-63
18.6.1 接続例.....18-63
18.6.2 データフォーマット（ブロック転送モード時を除く）.....18-64
18.6.3 ブロック転送モード.....18-66
18.6.4 受信データサンプリングタイミングと受信マージン.....18-67
18.6.5 SCI の初期化（スマートカードインタフェースモード）.....18-68
18.6.6 シリアルデータの送信（ブロック転送モードを除く）.....18-69
18.6.7 シリアルの受信（ブロック転送モードを除く）.....18-72
18.6.8 クロック出力制御.....18-74
18.7 ノイズ除去機能.....18-75
18.8 割り込み要因.....18-76
18.8.1 TXI 割り込みおよび RXI 割り込みバッファ動作.....18-76
18.8.2 調歩同期式モード、クロック同期式モードにおける割り込み.....18-76
18.8.3 スマートカードインタフェースモードにおける割り込み.....18-77
18.9 使用上の注意事項.....18-78
18.9.1 モジュールストップ機能の設定.....18-78
18.9.2 ブレークの検出と処理について.....18-78
18.9.3 マーク状態とブレークの送出.....18-78
18.9.4 受信エラーフラグと送信動作について（クロック同期式モード）.....18-78
18.9.5 TDR レジスタへのライトについて.....18-78
18.9.6 クロック同期送信時の制約事項（クロック同期式モード）.....18-79
18.9.7 DMAC 使用上の制約事項.....18-80
18.9.8 通信の開始に関する注意事項.....18-80
18.9.9 低消費電力状態時の動作について.....18-80
18.9.10 クロック同期式モードにおける外部クロック入力.....18-83
18.9.11 トランスミットイネーブルビット（TE ビット）に関する注意事項.....18-83
18.10 IrDA 通信.....18-84

18.11 IrDA レジスタの説明 18-85
18.11.1 IrDA コントロールレジスタ（IRCR） 18-85
18.12 IrDA 動作説明 18-86
18.12.1 IrDA 設定フロー 18-86
18.12.2 送信 18-86
18.12.3 受信 18-86
18.12.4 High パルス幅の選択 18-87
18.13 IrDA 使用上の注意事項 18-88
18.13.1 受信時の最小パルス幅について 18-88
18.13.2 シリアルコミュニケーションインタフェースの調歩同期基本クロックについて 18-88
19. ルネサスシリアルペリフェラルインタフェース 19-1
19.1 特長 19-1
19.2 入出力端子 19-3
19.3 レジスタの説明 19-4
19.3.1 制御レジスタ（SPCR） 19-6
19.3.2 スレーブセレクト極性レジスタ（SSLP） 19-7
19.3.3 端子制御レジスタ（SPPCR） 19-7
19.3.4 ステータスレジスタ（SPSR） 19-8
19.3.5 データレジスタ（SPDR） 19-9
19.3.6 シーケンス制御レジスタ（SPSCR） 19-10
19.3.7 シーケンスステータスレジスタ（SPSSR） 19-10
19.3.8 ビットレートレジスタ（SPBR） 19-11
19.3.9 データコントロールレジスタ（SPDCR） 19-12
19.3.10 クロック遅延レジスタ（SPCKD） 19-13
19.3.11 スレーブセレクトネゲート遅延レジスタ（SSLND） 19-14
19.3.12 次アクセス遅延レジスタ（SPND） 19-15
19.3.13 コマンドレジスタ（SPCMD） 19-16
19.3.14 バッファコントロールレジスタ（SPBFCR） 19-18
19.3.15 バッファデータカウントセットレジスタ（SPBFDR） 19-19
19.4 動作説明 19-20
19.4.1 動作の概要 19-20
19.4.2 端子の制御 19-21
19.4.3 システム構成例 19-22
19.4.4 転送フォーマット 19-24
19.4.5 データフォーマット 19-26
19.4.6 エラー検出 19-32
19.4.7 初期化 19-35
19.4.8 SPI 動作 19-36
19.4.9 エラー処理 19-46
19.4.10 ループバックモード 19-47

19.4.11 割り込み要因 19-47
20. SPI マルチ I/O バスコントローラ 20-1
20.1 特長 20-1
20.1.1 シリアルフラッシュインタフェース 20-1
20.1.2 OctaFlash™、Xccela™ フラッシュメモリインタフェース 20-1
20.1.3 HyperFlash™ インタフェース 20-1
20.1.4 外部アドレス空間リードモード 20-2
20.1.5 手動モード 20-2
20.2 ブロック図 20-3
20.3 入出力端子 20-4
20.4 レジスタの説明 20-5
20.4.1 共通コントロールレジスタ（CMNCR） 20-6
20.4.2 SSL 遅延レジスタ（SSLDR） 20-8
20.4.3 データリードコントロールレジスタ（DRCR） 20-9
20.4.4 データリードコマンド設定レジスタ（DRCMR） 20-11
20.4.5 データリード拡張アドレス設定レジスタ（DREAR） 20-12
20.4.6 データリードオプション設定レジスタ（DROPR） 20-13
20.4.7 データリードイネーブル設定レジスタ（DRENR） 20-14
20.4.8 手動モードコントロールレジスタ（SMCR） 20-16
20.4.9 手動モードコマンド設定レジスタ（SMCMR） 20-17
20.4.10 手動モードアドレス設定レジスタ（SMADR） 20-17
20.4.11 手動モードオプション設定レジスタ（SMOPR） 20-18
20.4.12 手動モードイネーブル設定レジスタ（SMENR） 20-19
20.4.13 手動モードリードデータレジスタ 0（SMRDR0） 20-22
20.4.14 手動モードリードデータレジスタ 1（SMRDR1） 20-23
20.4.15 手動モードライトデータレジスタ 0（SMWDR0） 20-24
20.4.16 手動モードライトデータレジスタ 1（SMWDR1） 20-25
20.4.17 共通ステータスレジスタ（CMNSR） 20-26
20.4.18 データリードダミーサイクル設定レジスタ（DRDMCR） 20-27
20.4.19 データリード DDR イネーブルレジスタ（DRDRENR） 20-28
20.4.20 手動モードダミーサイクル設定レジスタ（SMDMCR） 20-29
20.4.21 手動モード DDR イネーブルレジスタ（SMDRENR） 20-30
20.4.22 PHY コントロールレジスタ（PHYCNT） 20-31
20.4.23 PHY オフセットレジスタ 1（PHYOFFSET1） 20-33
20.4.24 PHY オフセットレジスタ 2（PHYOFFSET2） 20-35
20.4.25 PHY 割り込みレジスタ（PHYINT） 20-36
20.4.26 PHY 調整レジスタ 1（PHYADJ1） 20-37
20.4.27 PHY 調整レジスタ 2（PHYADJ2） 20-37
20.5 動作説明 20-38
20.5.1 システム構成 20-38

20.5.2 アドレスマップ 20-42
20.5.3 シリアルフラッシュ 32 ビットアドレス 20-43
20.5.4 動作モード 20-44
20.5.5 外部アドレス空間リードモード 20-44
20.5.6 リードキャッシュ 20-49
20.5.7 手動モード 20-50
20.5.8 コマンドシーケンス 20-53
20.5.9 データ端子制御 20-59
20.5.10 QSPIn_SSL 端子制御 20-60
20.5.11 QSPIn_SPCLK 端子制御 20-61
20.5.12 フラグ 20-61
20.5.13 ライトバッファ動作 20-62
20.5.14 Octal-SPI フラッシュメモリプロトコルモードでのデータアライメント 20-63
20.5.15 サポートされているシリアルフラッシュプロトコル 20-64
20.5.16 サポートされている Octal-SPI フラッシュメモリプロトコル 20-64
20.5.17 タイミング調整 20-65
20.5.18 データアライメント 20-68
20.6 使用上の注意事項 20-71
20.6.1 QSPIn_SSL 端子をネゲートしている状態でのデータリード転送 20-71
20.6.2 手動モードの QSPIn_SSL 保持状態からの転送開始の注意事項 20-71
20.6.3 RPC_RESET# 操作 20-71
20.6.4 モジュールストップ操作後のソフトウェアリセット 20-71
20.6.5 Octal-SPI フラッシュメモリプロトコルモード接続の Write データ 20-71
21. HyperBus™ コントローラ 21-1
21.1 特長 21-1
21.2 ブロック図 21-1
21.3 HyperBus システム構成 21-2
21.4 入出力端子 21-3
21.5 レジスタの説明 21-3
21.5.1 コントローラステータスレジスタ (CSR) 21-4
21.5.2 インタラプトイネーブルレジスタ (IEN) 21-6
21.5.3 インタラプトステータスレジスタ (ISR) 21-6
21.5.4 CS0 メモリ設定レジスタ (MCR0) 21-7
21.5.5 CS1 メモリ設定レジスタ (MCR1) 21-8
21.5.6 CS0 メモリタイミングレジスタ (MTR0) 21-9
21.5.7 CS1 メモリタイミングレジスタ (MTR1) 21-10
21.6 動作説明 21-11
21.6.1 アドレスマップ 21-11
21.6.2 HyperBus メモリインタフェースの説明 21-11
21.6.2.1 ライト動作 21-11

21.6.2.2 リード動作 21-12
21.6.2.3 1 バイトライトアクセス 21-12
21.6.2.4 HyperBus コマンド / アドレスのビット割り当て 21-14
21.6.2.5 HyperRAM 空間のコンフィグレーションレジスタ　データアライメント 21-14
21.6.3 動作フロー 21-15
21.6.3.1 ライト動作フロー 21-15
21.6.3.2 消去動作フロー 21-16
21.6.3.3 コンフィグレーションレジスタのライトとリードの動作フロー 21-17
21.6.4 MTR0, MTR1 タイミング 21-18
22. Octa メモリコントローラ 22-1
22.1 特長 22-1
22.2 ブロック図 22-2
22.3 入出力端子 22-2
22.3.1 デバイス インタフェース 22-3
22.4 レジスタの説明 22-4
22.4.1 デバイスコマンドレジスタ（DCR） 22-5
22.4.2 デバイスアドレスレジスタ（DAR） 22-6
22.4.3 デバイスコマンド設定レジスタ（DCSR） 22-7
22.4.4 デバイスサイズレジスタ _0（DSR0） 22-9
22.4.5 デバイスサイズレジスタ _1（DSR1） 22-9
22.4.6 メモリ遅延トリムレジスタ（MDTR） 22-10
22.4.7 自動キャリブレーションタイマレジスタ（ACTR） 22-12
22.4.8 自動キャリブレーションアドレスレジスタ _0（ACAR0） 22-12
22.4.9 自動キャリブレーションアドレスレジスタ _1（ACAR1） 22-13
22.4.10 デバイスリードタイミング設定レジスタ（DRCSTR） 22-14
22.4.11 デバイスライトタイミング設定レジスタ（DWCSTR） 22-17
22.4.12 デバイスセレクトタイミングレジスタ（DCSTR） 22-19
22.4.13 コントローラデバイス設定レジスタ（CDSR） 22-21
22.4.14 メモリマップダミー長設定レジスタ（MDLR） 22-22
22.4.15 メモリマップリードライトコマンドレジスタ _0（MRWCR0） 22-23
22.4.16 メモリマップリードライトコマンドレジスタ _1（MRWCR1） 22-24
22.4.17 メモリマップリードライト設定レジスタ（MRWCSR） 22-25
22.4.18 エラーステータスレジスタ（ESR） 22-26
22.4.19 コンフィグデータなしライトレジスタ（CWNDR） 22-26
22.4.20 コンフィグライトデータレジスタ（CWDR） 22-27
22.4.21 コンフィグリードデータレジスタ（CRR） 22-28
22.5 動作説明 22-29
22.5.1 Octa メモリコントローラシステム構成 22-29
22.5.2 アドレスマップ 22-30
22.5.3 Octa メモリインタフェースの説明 22-31

22.5.3.1 ライト動作 22-31
22.5.3.2 リード動作 22-33
22.5.4 OctaFlash 空間と OctaRAM 空間のデータアライメント 22-35
22.5.5 DOPI モード時の 1 バイトライトアクセス 22-37
22.5.6 動作フロー 22-38
22.5.6.1 初期設定 22-38
22.5.6.2 基本動作設定 22-39
22.6 OM_DQS の遅延調整と自動キャリブレーション 22-42
22.6.1 OM_DQS の遅延調整 22-42
22.6.2 OM_DQS 自動キャリブレーション 22-43
22.7 OM_DQS イネーブルカウンタ 22-46
23. I²C バスインタフェース 23-1
23.1 特長 23-1
23.1.1 チャネル数 23-1
23.1.2 レジスタベースアドレス 23-1
23.1.3 外部入出力信号 23-2
23.2 概要 23-3
23.2.1 機能概要 23-3
23.2.2 ブロック図 23-5
23.3 レジスタ 23-7
23.3.1 RIICnCR1 — I²C バスコントロールレジスタ 1 23-9
23.3.2 RIICnCR2 — I²C バスコントロールレジスタ 2 23-12
23.3.3 RIICnMR1 — I²C バスモードレジスタ 1 23-16
23.3.4 RIICnMR2 — I²C バスモードレジスタ 2 23-17
23.3.5 RIICnMR3 — I²C バスモードレジスタ 3 23-19
23.3.6 RIICnFER — I²C バスファンクションイネーブルレジスタ 23-22
23.3.7 RIICnSER — I²C バスステータスイネーブルレジスタ 23-24
23.3.8 RIICnIER — I²C バスインタラプトイネーブルレジスタ 23-26
23.3.9 RIICnSR1 — I²C バスステータスレジスタ 1 23-28
23.3.10 RIICnSR2 — I²C バスステータスレジスタ 2 23-31
23.3.11 RIICnSARy — I²C スレーブアドレスレジスタ y（y = 0 ～ 2） 23-35
23.3.12 RIICnBRL — I²C バスビットレートロウレベルレジスタ 23-37
23.3.13 RIICnBRH — I²C バスビットレートハイレベルレジスタ 23-38
23.3.14 RIICnDRT — I²C バス送信データレジスタ 23-41
23.3.15 RIICnDRR — I²C バス受信データレジスタ 23-42
23.3.16 RIICnDRS — I²C バスシフトレジスタ 23-43
23.4 割り込み要因 23-44
23.5 動作 23-45
23.5.1 通信データフォーマット 23-45
23.5.2 初期設定 23-46

23.5.3 マスタ送信動作 23-47
23.5.4 マスタ受信動作 23-51
23.5.5 スレーブ送信動作 23-57
23.5.6 スレーブ受信動作 23-60
23.6 SCL 同期回路 23-62
23.7 SDA 出力遅延機能 23-63
23.8 デジタルノイズフィルタ回路 23-64
23.9 アドレス一致検出機能 23-65
23.9.1 スレーブアドレス一致検出機能 23-65
23.9.2 ジェネラルコールアドレス検出機能 23-67
23.9.3 デバイス ID アドレス検出機能 23-68
23.9.4 ホストアドレス検出機能 23-70
23.10 SCL の自動 Low ホールド機能 23-71
23.10.1 送信データ誤送信防止機能 23-71
23.10.2 NACK 受信転送中断機能 23-72
23.10.3 受信データ取りこぼし防止機能 23-73
23.11 アービトレーションロスト検出機能 23-75
23.11.1 マスタアービトレーションロスト検出機能（MALE ビット） 23-75
23.11.2 NACK 送信アービトレーションロスト検出機能（NALE ビット） 23-77
23.11.3 スレーブアービトレーションロスト検出機能（SALE ビット） 23-78
23.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 23-79
23.12.1 スタートコンディション発行動作 23-79
23.12.2 リスタートコンディション発行動作 23-79
23.12.3 ストップコンディション発行動作 23-80
23.13 バスハングアップ 23-81
23.13.1 タイムアウト検出機能 23-81
23.13.2 SCL クロック追加出力機能 23-83
23.13.3 RIIC/ 内部リセット 23-84
23.14 SMBus 動作 23-85
23.14.1 SMBus タイムアウト測定 23-85
23.14.2 SMBus ホスト通知プロトコル／ Notify ARP master 23-86
23.15 RIIC のリセット機能 23-87
24. シリアルサウンドインタフェース（SSIF-2） 24-1
24.1 概要 24-1
24.1.1 特長 24-1
24.1.2 ブロック概要 24-3
24.2 入出力端子 24-5
24.3 レジスタ一覧 24-6
24.4 機能詳細 24-7

24.4.1 レジスタの説明 24-7
24.4.1.1 コントロールレジスタ (SSICR) 24-7
24.4.1.2 ステータスレジスタ (SSISR) 24-18
24.4.1.3 FIFO コントロールレジスタ (SSIFCR) 24-29
24.4.1.4 FIFO ステータスレジスタ (SSIFSR) 24-37
24.4.1.5 送信 FIFO データレジスタ (SSIFTDR) 24-40
24.4.1.6 受信 FIFO データレジスタ (SSIFRDR) 24-42
24.4.1.7 オーディオフォーマットレジスタ (SSIOFR) 24-44
24.4.1.8 ステータスコントロールレジスタ (SSISCR) 24-48
24.4.2 通信フォーマット 24-49
24.4.2.1 I²S フォーマット 24-50
24.4.2.2 モノラルフォーマット 24-51
24.4.2.3 TDM フォーマット 24-53
24.4.3 通信モード 24-54
24.4.3.1 スレーブ通信 24-55
24.4.3.2 マスタ通信 24-55
24.4.3.3 送信 24-55
24.4.3.4 受信 24-55
24.4.3.5 送受信 24-55
24.5 オペレーション 24-56
24.5.1 動作状態 24-56
24.5.1.1 アイドル状態 24-56
24.5.1.2 通信状態 24-59
24.5.2 通信動作 24-63
24.5.2.1 通信開始動作 24-64
24.5.2.2 送信動作 24-65
24.5.2.3 受信動作 24-66
24.5.2.4 送受信動作 24-67
24.5.2.5 通信停止動作 24-68
24.5.2.6 エラー動作 24-69
24.5.2.7 通信再開動作 24-71
24.5.3 割り込み要因 24-72
24.5.3.1 INT_ssif_int_req 割り込み 24-72
24.5.3.2 INT_ssif_dma_tx 割り込み [全二重通信] 24-74
24.5.3.3 INT_ssif_dma_rx 割り込み [全二重通信] 24-74
24.5.3.4 INT_ssif_dma_rt 割り込み [半二重通信] 24-75
24.5.4 ソフトウェアリセット 24-76
24.5.4.1 ソフトウェアリセット手順 24-76
24.6 注意事項 24-78
24.6.1 注意事項 24-78

24.6.1.1 DMA を使用した通信での注意 24-78
24.6.1.2 スレーブ通信時 24-78
24.6.1.3 マスタ通信 24-79
24.6.1.4 通信フロー 24-79
24.6.1.5 ライトアクセス制約 24-81
25. CANFD インタフェース（RS-CANFD） 25-1
25.1 RS-CANFD の特長 25-1
25.1.1 ユニット数とチャネル数 25-1
25.1.2 レジスタベースアドレス 25-3
25.1.3 クロック供給 25-3
25.1.4 割り込み要求 25-4
25.1.5 外部入出力信号 25-4
25.2 概要 25-5
25.2.1 機能概要 25-5
25.2.2 インタフェースモード 25-7
25.2.3 ブロック図 25-7
25.3 レジスタ（クラシカル CAN モード） 25-8
25.3.1 レジスタ一覧 25-8
25.3.2 インタフェースモード関連レジスタの詳細 25-12
25.3.2.1 RSCANnGRMCFG — グローバルインタフェースモード選択レジスタ 25-12
25.3.3 チャネル関連レジスタの詳細 25-13
25.3.3.1 RSCANnCmCFG — チャネルコンフィグレーションレジスタ（m = 0、1） 25-13
25.3.3.2 RSCANnCmCTR — チャネル制御レジスタ（m = 0、1） 25-15
25.3.3.3 RSCANnCmSTS — チャネルステータスレジスタ（m = 0、1） 25-20
25.3.3.4 RSCANnCmERFL — チャネルエラーフラグレジスタ（m = 0、1） 25-22
25.3.4 グローバル関連レジスタの詳細 25-26
25.3.4.1 RSCANnGCFG — グローバルコンフィグレーションレジスタ 25-26
25.3.4.2 RSCANnGCTR — グローバル制御レジスタ 25-29
25.3.4.3 RSCANnGSTS — グローバルステータスレジスタ 25-31
25.3.4.4 RSCANnGERFL — グローバルエラーフラグレジスタ 25-33
25.3.4.5 RSCANnGTSC — グローバルタイムスタンプカウンタレジスタ 25-35
25.3.4.6 RSCANnGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0 25-36
25.3.4.7 RSCANnGFDCFG — グローバル FD コンフィグレーションレジスタ 25-38
25.3.5 受信ルール関連レジスタの詳細 25-39
25.3.5.1 RSCANnGAFLECTR — 受信ルールエントリ制御レジスタ 25-39
25.3.5.2 RSCANnGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0 25-40
25.3.5.3 RSCANnGAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15） 25-41
25.3.5.4 RSCANnGAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15） 25-43
25.3.5.5 RSCANnGAFLP0_j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15） 25-44
25.3.5.6 RSCANnGAFLP1_j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15） 25-46

25.3.6 受信バッファ関連レジスタの詳細 25-47
25.3.6.1 RSCANnRMNB — 受信バッファナンバレジスタ 25-47
25.3.6.2 RSCANnRMNDy — 受信バッファ新データレジスタ（y = 0） 25-48
25.3.6.3 RSCANnRMIDq — 受信バッファ ID レジスタ（q = 0 ~ 31） 25-49
25.3.6.4 RSCANnRMPTRq — 受信バッファポインタレジスタ（q = 0 ~ 31） 25-50
25.3.6.5 RSCANnRMDF0_q — 受信バッファデータフィールド 0 レジスタ（q = 0 ~ 31） 25-51
25.3.6.6 RSCANnRMDF1_q — 受信バッファデータフィールド 1 レジスタ（q = 0 ~ 31） 25-52
25.3.7 受信 FIFO バッファ関連レジスタの詳細 25-53
25.3.7.1 RSCANnRFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7） 25-53
25.3.7.2 RSCANnRFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7） 25-55
25.3.7.3 RSCANnRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7） 25-57
25.3.7.4 RSCANnRFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7） 25-58
25.3.7.5 RSCANnRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7） 25-59
25.3.7.6 RSCANnRFDF0_x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ（x = 0 ~ 7） 25-60
25.3.7.7 RSCANnRFDF1_x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ（x = 0 ~ 7） 25-61
25.3.8 送受信 FIFO バッファ関連レジスタの詳細 25-62
25.3.8.1 RSCANnCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ~ 5） 25-62
25.3.8.2 RSCANnCFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ~ 5） 25-66
25.3.8.3 RSCANnCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ~ 5） 25-69
25.3.8.4 RSCANnCFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ~ 5） 25-71
25.3.8.5 RSCANnCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ~ 5） 25-73
25.3.8.6 RSCANnCFDF0_k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（k = 0 ~ 5） 25-75
25.3.8.7 RSCANnCFDF1_k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（k = 0 ~ 5） 25-76
25.3.9 FIFO ステータス関連レジスタの詳細 25-77
25.3.9.1 RSCANnFESTS — FIFO エンプティステータスレジスタ 25-77
25.3.9.2 RSCANnFFSTS — FIFO フルステータスレジスタ 25-79
25.3.9.3 RSCANnFMSTS — FIFO メッセージロストステータスレジスタ 25-81
25.3.9.4 RSCANnRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ 25-82
25.3.9.5 RSCANnCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ 25-83
25.3.9.6 RSCANnCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ 25-84

25.3.10 送信バッファ関連レジスタの詳細 25-85
25.3.10.1 RSCANnTMCp — 送信バッファ制御レジスタ（p = 0 ~ 31） 25-85
25.3.10.2 RSCANnTMSTSp — 送信バッファステータスレジスタ（p = 0 ~ 31） 25-87
25.3.10.3 RSCANnTMIDp — 送信バッファ ID レジスタ（p = 0 ~ 31） 25-89
25.3.10.4 RSCANnTMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 31） 25-91
25.3.10.5 RSCANnTMDF0_p — 送信バッファデータフィールド 0 レジスタ（p = 0 ~ 31） 25-93
25.3.10.6 RSCANnTMDF1_p — 送信バッファデータフィールド 1 レジスタ（p = 0 ~ 31） 25-94
25.3.10.7 RSCANnTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（y = 0） 25-95
25.3.11 送信バッファステータス関連レジスタの詳細 25-97
25.3.11.1 RSCANnTMTRSTSy — 送信バッファ送信要求ステータスレジスタ（y = 0） 25-97
25.3.11.2 RSCANnTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ（y = 0） 25-99
25.3.11.3 RSCANnTMTCSTSy — 送信バッファ送信完了ステータスレジスタ（y = 0） 25-101
25.3.11.4 RSCANnTMTASTSy — 送信バッファ送信アボートステータスレジスタ（y = 0） 25-103
25.3.12 送信キュー関連レジスタの詳細 25-105
25.3.12.1 RSCANnTXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0、1） 25-105
25.3.12.2 RSCANnTXQSTSm — 送信キューステータスレジスタ（m = 0、1） 25-107
25.3.12.3 RSCANnTXQPCTRm — 送信キューポインタ制御レジスタ（m = 0、1） 25-109
25.3.13 送信履歴関連レジスタの詳細 25-110
25.3.13.1 RSCANnTHLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0、1） 25-110
25.3.13.2 RSCANnTHLSTSm — 送信履歴ステータスレジスタ（m = 0、1） 25-112
25.3.13.3 RSCANnTHLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0、1） 25-114
25.3.13.4 RSCANnTHLACCm — 送信履歴アクセスレジスタ（m = 0、1） 25-115
25.3.14 テスト関連レジスタの詳細 25-116
25.3.14.1 RSCANnGTSTCFG — グローバルテストコンフィグレーションレジスタ 25-116
25.3.14.2 RSCANnGTSTCTR — グローバルテスト制御レジスタ 25-117
25.3.14.3 RSCANnGLOCKK — グローバルロックキーレジスタ 25-118
25.3.14.4 RSCANnRPGACCr — RAM テストページアクセスレジスタ（r = 0 ~ 63） 25-119
25.4 レジスタ（CANFD モード） 25-120
25.4.1 レジスタ一覧 25-120
25.4.2 インタフェースモード関連レジスタの詳細 25-125
25.4.2.1 RSCFDnCFDGRMCFG — グローバルインタフェースモード選択レジスタ 25-125
25.4.3 チャネル関連レジスタの詳細 25-126
25.4.3.1 RSCFDnCFDCmNCFG — チャネル通常ビットレートコンフィグレーションレジスタ（m = 0、1） 25-126

25.4.3.2 RSCFDnCFDCmCTR — チャネル制御レジスタ（m = 0、1）.....25-128
25.4.3.3 RSCFDnCFDCmSTS — チャネルステータスレジスタ（m = 0、1）.....25-133
25.4.3.4 RSCFDnCFDCmERFL — チャネルエラーフラグレジスタ（m = 0、1）.....25-136
25.4.3.5 RSCFDnCFDCmDCFG — チャネルデータビットレート コンフィグレーションレジスタ（m = 0、1）.....25-140
25.4.3.6 RSCFDnCFDCmFDCFG — チャネル CANFD コンフィグレーション レジスタ（m = 0、1）.....25-142
25.4.3.7 RSCFDnCFDCmFDCTR — チャネル CANFD 制御レジスタ（m = 0、1）.....25-146
25.4.3.8 RSCFDnCFDCmFDSTS — チャネル CANFD ステータスレジスタ（m = 0、1）.....25-147
25.4.3.9 RSCFDnCFDCmFDCRC — チャネル CANFD CRC レジスタ（m = 0、1）.....25-149
25.4.4 グローバル関連レジスタの詳細.....25-150
25.4.4.1 SCFDnCFDGCFG — グローバルコンフィグレーションレジスタ.....25-150
25.4.4.2 RSCFDnCFDGCTR — グローバル制御レジスタ.....25-153
25.4.4.3 RSCFDnCFDGSTS — グローバルステータスレジスタ.....25-155
25.4.4.4 RSCFDnCFDGERFL — グローバルエラーフラグレジスタ.....25-157
25.4.4.5 RSCFDnCFDGTSC — グローバルタイムスタンプカウンタレジスタ.....25-159
25.4.4.6 RSCFDnCFDGTINTSTS0 — グローバル TX 割り込みステータス レジスタ 0.....25-160
25.4.4.7 RSCFDnCFDGFDCFG — グローバル FD コンフィグレーションレジスタ.....25-162
25.4.5 受信ルール関連レジスタの詳細.....25-163
25.4.5.1 RSCFDnCFDGAFLECTR — 受信ルールエントリ制御レジスタ.....25-163
25.4.5.2 RSCFDnCFDGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0.....25-164
25.4.5.3 RSCFDnCFDGAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）.....25-165
25.4.5.4 RSCFDnCFDGAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）.....25-167
25.4.5.5 RSCFDnCFDGAFLP0_j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）.....25-169
25.4.5.6 RSCFDnCFDGAFLP1_j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）.....25-171
25.4.6 受信バッファ関連レジスタの詳細.....25-172
25.4.6.1 RSCFDnCFDRMNB — 受信バッファナンバレジスタ.....25-172
25.4.6.2 RSCFDnCFDRMNDy — 受信バッファ新データレジスタ（y = 0）.....25-173
25.4.6.3 RSCFDnCFDRMIDq — 受信バッファ ID レジスタ（q = 0 ~ 31）.....25-174
25.4.6.4 RSCFDnCFDRMPTRq — 受信バッファポインタレジスタ（q = 0 ~ 31）.....25-175
25.4.6.5 RSCFDnCFDRMFDSTSq — 受信バッファ CANFD ステータスレジスタ（q = 0 ~ 31）.....25-177
25.4.6.6 RSCFDnCFDRMDFb_q — 受信バッファデータフィールド b レジスタ（b = 0 ~ 4, q = 0 ~ 31）.....25-178
25.4.7 受信 FIFO バッファ関連レジスタの詳細.....25-179
25.4.7.1 RSCFDnCFDRFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）.....25-179
25.4.7.2 RSCFDnCFDRFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）.....25-181
25.4.7.3 RSCFDnCFDRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）.....25-183

25.4.7.4 RSCFDnCFDRFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）.....25-184
25.4.7.5 RSCFDnCFDRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）.....25-185
25.4.7.6 RSCFDnCFDRFFDSTSx — 受信 FIFO CANFD ステータスレジスタ（x = 0 ~ 7）.....25-187
25.4.7.7 RSCFDnCFDRFDFd_x — 受信 FIFO バッファアクセスデータフィールド d レジスタ（d = 0 ~ 15, x = 0 ~ 7）.....25-188
25.4.8 送受信 FIFO バッファ関連レジスタの詳細.....25-189
25.4.8.1 RSCFDnCFDCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ~ 5）.....25-189
25.4.8.2 RSCFDnCFDCFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ~ 5）.....25-193
25.4.8.3 RSCFDnCFDCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ~ 5）.....25-196
25.4.8.4 RSCFDnCFDCFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ~ 5）.....25-198
25.4.8.5 RSCFDnCFDCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ~ 5）.....25-200
25.4.8.6 RSCFDnCFDCFFDCSTSk — 送受信 FIFO CANFD コンフィグレーション／ステータスレジスタ（k = 0 ~ 5）.....25-202
25.4.8.7 RSCFDnCFDCFDFd_k — 送受信 FIFO バッファアクセスデータフィールド d レジスタ（d = 0 ~ 15, k = 0 ~ 5）.....25-204
25.4.9 FIFO ステータス関連レジスタの詳細.....25-205
25.4.9.1 RSCFDnCFDFESTS — FIFO エンプティステータスレジスタ.....25-205
25.4.9.2 RSCFDnCFDFFSTS — FIFO フルステータスレジスタ.....25-207
25.4.9.3 RSCFDnCFDFMSTS — FIFO メッセージロストステータスレジスタ.....25-208
25.4.9.4 RSCFDnCFDRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ.....25-210
25.4.9.5 RSCFDnCFDCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ.....25-211
25.4.9.6 RSCFDnCFDCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ.....25-212
25.4.10 FIFO DMA 関連レジスタの詳細.....25-213
25.4.10.1 RSCFDnCFDCDTCT — DMA 許可レジスタ.....25-213
25.4.10.2 RSCFDnCFDCDTSTS — DMA ステータスレジスタ.....25-215
25.4.11 送信バッファ関連レジスタの詳細.....25-217
25.4.11.1 RSCFDnCFDTMCp — 送信バッファ制御レジスタ（p = 0 ~ 31）.....25-217
25.4.11.2 RSCFDnCFDTMSTSp — 送信バッファステータスレジスタ（p = 0 ~ 31）.....25-219
25.4.11.3 RSCFDnCFDTMIDp — 送信バッファ ID レジスタ（p = 0 ~ 31）.....25-221
25.4.11.4 RSCFDnCFDTMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 31）.....25-223
25.4.11.5 RSCFDnCFDTMFDCTRp — 送信バッファ CANFD コンフィグレーションレジスタ（p = 0 ~ 31）.....25-225
25.4.11.6 RSCFDnCFDTMDFb_p — 送信バッファデータフィールド b レジスタ（b = 0 ~ 4, p = 0 ~ 31）.....25-227

25.4.11.7 RSCFDnCFDTMIECy — 送信バッファ割り込みイネーブル コンフィグレーションレジスタ（y = 0）.....25-228
25.4.12 送信バッファステータス関連レジスタの詳細.....25-230
25.4.12.1 RSCFDnCFDTMTRSTSy — 送信バッファ送信要求ステータス レジスタ（y = 0）.....25-230
25.4.12.2 RSCFDnCFDTMTARSTSy — 送信バッファ送信アボート要求 ステータスレジスタ（y = 0）.....25-232
25.4.12.3 RSCFDnCFDTMTCSTSy — 送信バッファ送信完了ステータス レジスタ（y = 0）.....25-234
25.4.12.4 RSCFDnCFDTMTASTSy — 送信バッファ送信アボートステータス レジスタ（y = 0）.....25-236
25.4.13 送信キュー関連レジスタの詳細.....25-238
25.4.13.1 RSCFDnCFDTXQCCm — 送信キューコンフィグレーション／ 制御レジスタ（m = 0、1）.....25-238
25.4.13.2 RSCFDnCFDTXQSTSm — 送信キューステータスレジスタ（m = 0、1）.....25-240
25.4.13.3 RSCFDnCFDTXQPCTRm — 送信キューポインタ制御レジスタ （m = 0、1）.....25-242
25.4.14 送信履歴関連レジスタの詳細.....25-243
25.4.14.1 RSCFDnCFDTHLCCm — 送信履歴コンフィグレーション／ 制御レジスタ（m = 0、1）.....25-243
25.4.14.2 RSCFDnCFDTHLSTSm — 送信履歴ステータスレジスタ（m = 0、1）.....25-245
25.4.14.3 RSCFDnCFDTHLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0、1）.....25-247
25.4.14.4 RSCFDnCFDTHLACCm — 送信履歴アクセスレジスタ（m = 0、1）.....25-248
25.4.15 テスト関連レジスタの詳細.....25-249
25.4.15.1 RSCFDnCFDGTSTCFG — グローバルテストコンフィグレーション レジスタ.....25-249
25.4.15.2 RSCFDnCFDGTSTCTR — グローバルテスト制御レジスタ.....25-250
25.4.15.3 RSCFDnCFDGLOCKK — グローバルロックキーレジスタ.....25-251
25.4.15.4 RSCFDnCFDRPGACCr — RAM テストページアクセスレジスタ （r = 0 ~ 63）.....25-252
25.5 割り込み要因と DMA トリガ.....25-253
25.5.1 割り込み要因.....25-253
25.5.2 DMA トリガ（CANFD モードのみ）.....25-257
25.6 CAN モード.....25-258
25.6.1 グローバルモード.....25-258
25.6.1.1 グローバルストップモード.....25-260
25.6.1.2 グローバルリセットモード.....25-260
25.6.1.3 グローバルテストモード.....25-260
25.6.1.4 グローバル動作モード.....25-260
25.6.2 チャネルモード.....25-261
25.6.2.1 チャネルストップモード.....25-262
25.6.2.2 チャネルリセットモード.....25-262
25.6.2.3 チャネル待機モード.....25-263

25.6.2.4 チャネル通信モード 25-263
25.6.2.5 バスオフ状態 25-264
25.6.3 CAN モード遷移によるレジスタ初期化....25-265
25.7 受信機能 25-267
25.7.1 受信ルールテーブルを用いたデータ処理....25-267
25.7.1.1 アクセプタンスフィルタ処理 25-268
25.7.1.2 DLC フィルタ処理 25-268
25.7.1.3 ルーティング処理 25-269
25.7.1.4 ラベル付加処理 25-269
25.7.1.5 ミラー機能の処理 25-269
25.7.1.6 タイムスタンプ 25-270
25.8 送信機能 25-271
25.8.1 送信の優先順位判定 25-272
25.8.2 送信バッファを用いた送信 25-272
25.8.2.1 送信アボート機能 25-272
25.8.2.2 ワンショット送信機能（再送信禁止機能）....25-273
25.8.2.3 送信バッファマージモード（CANFD モードのみ）....25-273
25.8.3 FIFO バッファによる送信 25-273
25.8.3.1 インターバル送信機能 25-274
25.8.4 送信キューによる送信 25-276
25.8.5 送信データパディング（CANFD モードのみ）....25-276
25.8.6 送信履歴機能 25-277
25.9 ゲートウェイ機能 25-279
25.9.1 CAN-CANFD ゲートウェイ（CANFD モードのみ）....25-279
25.10 テスト機能 25-280
25.10.1 標準テストモード 25-280
25.10.2 リッスンオンリモード 25-280
25.10.3 セルフテストモード（ループバックモード）....25-281
25.10.3.1 セルフテストモード 0（外部ループバックモード）....25-281
25.10.3.2 セルフテストモード 1（内部ループバックモード）....25-281
25.10.4 制限動作モード（CANFD モードのみ）....25-282
25.10.5 RAM テスト 25-282
25.10.6 チャネル間通信テスト 25-283
25.10.6.1 CRC エラーテスト 25-283
25.11 RS-CANFD の設定手順 25-284
25.11.1 初期設定 25-284
25.11.1.1 クロックの設定 25-285
25.11.1.2 ビットタイミングの設定 25-285
25.11.1.3 通信速度の設定 25-286
25.11.1.4 受信ルールの設定 25-288

25.11.1.5 バッファの設定 25-289
25.11.1.6 送信遅延補正（CANFD モードのみ）....25-291
25.11.2 受信手順 25-292
25.11.2.1 受信バッファの読み出し手順 25-292
25.11.2.2 FIFO バッファの読み出し手順 25-293
25.11.2.3 FIFO バッファの DMA 転送による読み出し手順 25-296
25.11.3 送信手順 25-297
25.11.3.1 送信バッファからの送信手順 25-297
25.11.3.2 送受信 FIFO バッファからの送信手順 25-302
25.11.3.3 送信キューからの送信手順 25-305
25.11.3.4 送信履歴バッファの読み出し手順 25-306
25.11.4 テスト設定 25-307
25.11.4.1 セルフテストモードの設定手順 25-307
25.11.4.2 プロテクト解除手順 25-308
25.11.4.3 RAM テストの設定手順 25-309
25.11.4.4 チャネル間通信テストの設定手順 25-310
25.12 RS-CANFD モジュールの注意事項 25-311
26. ルネサス SPDIF インタフェース 26-1
26.1 概要 26-1
26.2 特長 26-1
26.3 機能ブロック図 26-2
26.4 入出力端子 26-3
26.5 ルネサス SPDIF（IEC60958）フレームフォーマット 26-3
26.6 レジスタ構成 26-5
26.7 レジスタの説明 26-6
26.7.1 コントロールレジスタ（CTRL）....26-7
26.7.2 ステータスレジスタ（STAT）....26-10
26.7.3 送信モジュールチャネル 1 オーディオレジスタ（TLCA）....26-12
26.7.4 送信モジュールチャネル 2 オーディオレジスタ（TRCA）....26-12
26.7.5 送信モジュール DMA オーディオデータレジスタ（TDAD）....26-13
26.7.6 送信ユーザデータレジスタ（TUI）....26-13
26.7.7 送信モジュールチャネル 1 ステータスレジスタ（TLCS）....26-14
26.7.8 送信モジュールチャネル 2 ステータスレジスタ（TRCS）....26-15
26.7.9 受信モジュールチャネル 1 オーディオレジスタ（RLCA）....26-16
26.7.10 受信モジュールチャネル 2 オーディオレジスタ（RRCA）....26-16
26.7.11 受信モジュール DMA オーディオデータ（RDAD）....26-17
26.7.12 受信ユーザデータレジスタ（RUI）....26-17
26.7.13 受信モジュールチャネル 1 ステータスレジスタ（RLCS）....26-18
26.7.14 受信モジュールチャネル 2 ステータスレジスタ（RRCS）....26-19
26.8 機能の説明－送信モジュール 26-20

26.8.1 送信モジュール 26-20
26.8.2 送信モジュールの初期化 26-21
26.8.3 送信モジュールの初期設定 26-21
26.8.4 送信モジュールのデータ転送 26-22
26.9 機能の説明－受信モジュール 26-24
26.9.1 受信モジュール 26-24
26.9.2 受信モジュールの初期化 26-25
26.9.3 受信モジュールのデータ転送 26-25
26.10 モジュールの停止 26-28
26.10.1 送信モジュールと受信モジュールのアイドル状態 26-28
26.11 圧縮モードデータ 26-28
26.12 参考 26-28
26.13 使用上の注意 26-29
26.13.1 TUIR のクリアについて 26-29
26.13.2 オーディオ用入力クロックの周波数 26-29
27. イーサネットコントローラ（ETHERC） 27-1
27.1 概要 27-1
27.2 レジスタの説明 27-5
27.2.1 ETHERC モードレジスタ (ECMR) 27-7
27.2.2 受信フレーム長上限レジスタ (RFLR) 27-9
27.2.3 ETHERC ステータスレジスタ (ECSR) 27-10
27.2.4 ETHERC 割り込み許可レジスタ (ECSIPR) 27-11
27.2.5 PHY 部インタフェースレジスタ (PIR) 27-12
27.2.6 PHY 部ステータスレジスタ (PSR) 27-13
27.2.7 乱数生成カウンタ上限値設定レジスタ (RDMLR) 27-13
27.2.8 Interpacket Gap 設定レジスタ (IPGR) 27-14
27.2.9 自動 PAUSE フレーム設定レジスタ (APR) 27-15
27.2.10 手動 PAUSE フレーム設定レジスタ (MPR) 27-16
27.2.11 受信 PAUSE フレームカウンタ (RFCF) 27-16
27.2.12 自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) 27-17
27.2.13 PAUSE フレーム再送回数カウンタ (TPAUSECR) 27-17
27.2.14 ブロードキャストフレーム受信回数設定レジスタ (BCFRR) 27-18
27.2.15 MAC アドレス上位設定レジスタ (MAHR) 27-18
27.2.16 MAC アドレス下位設定レジスタ (MALR) 27-19
27.2.17 送信リトライオーバカウンタレジスタ (TROCR) 27-19
27.2.18 遅延衝突検出カウンタレジスタ (CDCR) 27-20
27.2.19 キャリア消失カウンタレジスタ (LCCR) 27-20
27.2.20 キャリア未検出カウンタレジスタ (CNDCR) 27-21
27.2.21 CRC エラーフレーム受信カウンタレジスタ (CEFCR) 27-21
27.2.22 フレーム受信エラーカウンタレジスタ (FRECR) 27-22

27.2.23 ショートフレーム受信カウンタレジスタ (TSFRCR) 27-22
27.2.24 ロングフレーム受信カウンタレジスタ (TLFRCR) 27-23
27.2.25 端数ビットフレーム受信カウンタレジスタ (RFCR) 27-23
27.2.26 マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR) 27-24
27.3 動作説明 27-25
27.3.1 送信動作 27-25
27.3.2 受信動作 27-27
27.3.3 フレームタイミング 27-28
27.3.3.1 MII フレームタイミング 27-28
27.3.3.2 RMII フレームタイミング 27-30
27.3.4 MII/RMII レジスタのアクセス方法 27-31
27.3.4.1 MII/RMII 管理フレームのフォーマット 27-31
27.3.4.2 MII/RMII レジスタアクセス手順 27-32
27.3.5 Magic Packet の検出 27-33
27.3.5.1 Magic Packet 検出時の注意事項 27-33
27.3.6 IPG の変更による伝送効率の調整 27-33
27.3.7 フロー制御 27-34
27.3.7.1 PAUSE フレームの自動送信 27-34
27.3.7.2 PAUSE フレームの手動送信 27-35
27.3.7.3 PAUSE フレームの受信 27-35
27.4 割り込み 27-35
27.5 使用上の注意事項 27-36
27.5.1 LCHNG フラグが "1" になる条件について 27-36
27.5.2 RMII 選択時の RMIIn_RX_ER 端子入力について 27-36
27.5.3 制御情報異常発生時の処理 27-36
27.5.4 EPTPC 未使用時の注意事項 27-36
27.5.5 イーサネットコントローラのリセット手順 27-36
28. イーサネットコントローラ用 PTP コントローラ（EPTPCa） 28-1
28.1 概要 28-1
28.1.1 クロックデバイスと Ether ポートの組み合わせ 28-3
28.1.2 PTP メッセージのフレームフォーマット 28-4
28.1.3 PTP メッセージの種類と処理内容 28-6
28.2 レジスタの説明 28-7
28.2.1 MINT 割り込み要因ステータスレジスタ (MIESR) 28-12
28.2.2 MINT 割り込み要求許可レジスタ (MIEIPR) 28-13
28.2.3 IPLS 割り込み要求許可レジスタ (ELIPPR) 28-14
28.2.4 IPLS 割り込み許可自動クリア設定レジスタ (ELIPACR) 28-15
28.2.5 STCA ステータスレジスタ (STSR) 28-16
28.2.6 STCA ステータス通知許可レジスタ (STIPR) 28-17
28.2.7 STCA クロック周波数設定レジスタ (STCFR) 28-18

28.2.8 STCA 動作モードレジスタ (STMR) 28-19
28.2.9 Sync メッセージ受信タイムアウトレジスタ (SYNTOR) 28-21
28.2.10 IPLS 割り込み要求タイマ選択レジスタ (IPTSELR) 28-22
28.2.11 MINT 割り込み要求タイマ選択レジスタ (MITSELR) 28-23
28.2.12 時刻同期チャネル選択レジスタ (STCHSELR) 28-24
28.2.13 スレーブ時刻同期スタートレジスタ (SYNSTARTR) 28-24
28.2.14 ローカルクロックカウンタ初期値ロード指示レジスタ (LCIVLDR) 28-25
28.2.15 同期外れ検出しきい値レジスタ (SYNTDARU, SYNTDARL) 28-26
28.2.16 同期検出しきい値レジスタ (SYNTDBRU, SYNTDBRL) 28-27
28.2.17 ローカルクロックカウンタ初期値レジスタ (LCIVRU, LCIVRM, LCIVRL) 28-28
28.2.18 ワースト 10 値取得指示レジスタ (GETW10R) 28-30
28.2.19 プラス側傾き制限値レジスタ (PLIMITRU, PLIMITRM, PLIMITRL) 28-31
28.2.20 マイナス側傾き制限値レジスタ (MLIMITRU, MLIMITRM, MLIMITRL) 28-33
28.2.21 統計情報表示指示レジスタ (GETINFOR) 28-35
28.2.22 ローカルクロックカウンタ (LCCVRU, LCCVRM, LCCVRL) 28-36
28.2.23 プラス側傾きワースト 10 値レジスタ (PW10VRU, PW10VRM, PW10VRL) 28-38
28.2.24 マイナス側傾きワースト 10 値レジスタ (MW10RU, MW10RM, MW10RL) 28-40
28.2.25 タイマスタート時刻設定レジスタ (TMSTTRUm, TMSTTRLm) (m = 0 ~ 5) 28-42
28.2.26 タイマ周期設定レジスタ m (TMCYCRm) (m = 0 ~ 5) 28-43
28.2.27 タイマパルス幅設定レジスタ m (TMPLSRm) (m = 0 ~ 5) 28-44
28.2.28 タイマスタートレジスタ (TMSTARTR) 28-45
28.2.29 PRC-TC ステータスレジスタ (PRSR) 28-46
28.2.30 PRC-TC ステータス通知許可レジスタ (PRIPR) 28-48
28.2.31 チャネル 0 自局 MAC アドレスレジスタ (PRMACRU0, PRMACRL0) 28-49
28.2.32 チャネル 1 自局 MAC アドレスレジスタ (PRMACRU1, PRMACRL1) 28-50
28.2.33 パケット送信抑止制御レジスタ (TRNDISR) 28-51
28.2.34 中継モードレジスタ (TRNMR) 28-52
28.2.35 カットスルー転送開始しきい値レジスタ (TRNCTTDR) 28-53
28.2.36 SYNFP ステータスレジスタ (SYSR) 28-54
28.2.37 SYNFP ステータス通知許可レジスタ (SYIPR) 28-56
28.2.38 SYNFP MAC アドレスレジスタ (SYMACRU, SYMACRL) 28-57
28.2.39 SYNFP LLC-CTL 値レジスタ (SYLLCCTLR) 28-58
28.2.40 SYNFP 自局 IP アドレスレジスタ (SYIPADDRR) 28-58
28.2.41 SYNFP 仕様・バージョン設定レジスタ (SYSPVRR) 28-59
28.2.42 SYNFP ドメイン番号設定レジスタ (SYDOMR) 28-60
28.2.43 アナウンスメッセージフラグフィールド設定レジスタ (ANFR) 28-61
28.2.44 Sync メッセージフラグフィールド設定レジスタ (SYNFR) 28-62
28.2.45 Delay_Req メッセージフラグフィールド設定レジスタ (DYRQFR) 28-63
28.2.46 Delay_Resp メッセージフラグフィールド設定レジスタ (DYRPFR) 28-64
28.2.47 SYNFP 自局クロック ID レジスタ (SYCIDRU, SYCIDRL) 28-65

28.2.48 SYNFP 自局ポート番号レジスタ (SYPNUMR) 28-66
28.2.49 SYNFP レジスタ値ロード指示レジスタ (SYRVLDR) 28-67
28.2.50 SYNFP 受信フィルタレジスタ 1 (SYRFL1R) 28-69
28.2.51 SYNFP 受信フィルタレジスタ 2 (SYRFL2R) 28-71
28.2.52 SYNFP 送信許可レジスタ (SYTRENR) 28-72
28.2.53 マスタクロック ID レジスタ (MTCIDU, MTCIDL) 28-73
28.2.54 マスタクロックポート番号レジスタ (MTPID) 28-74
28.2.55 SYNFP 送信間隔設定レジスタ (SYTLIR) 28-75
28.2.56 SYNFP 受信 logMessageIntervel 値表示レジスタ (SYRLIR) 28-76
28.2.57 offsetFromMaster 値レジスタ (OFMRU, OFMRL) 28-77
28.2.58 meanPathDelay 値レジスタ (MPDRU, MPDRL) 28-78
28.2.59 grandmasterPriority フィールド設定レジスタ (GMPR) 28-79
28.2.60 grandmasterClockQuality フィールド設定レジスタ (GMCQR) 28-80
28.2.61 grandmasterIdentity フィールド設定レジスタ (GMIDRU, GMIDRL) 28-81
28.2.62 currentUtcOffset/timeSource フィールド設定レジスタ (CUOTSR) 28-82
28.2.63 stepsRemoved フィールド設定レジスタ (SRR) 28-82
28.2.64 PTP-primary メッセージ用宛先 MAC アドレス設定レジスタ (PPMACRU, PPMACRL) 28-83
28.2.65 PTP-pdelay メッセージ用 MAC アドレス設定レジスタ (PDMACRU, PDMACRL) 28-84
28.2.66 PTP メッセージ EtherType 設定レジスタ (PETYPER) 28-85
28.2.67 PTP-primary メッセージ用宛先 IP アドレス設定レジスタ (PPIPR) 28-86
28.2.68 PTP-pdelay メッセージ用宛先 IP アドレス設定レジスタ (PDIPR) 28-87
28.2.69 PTP event メッセージ用 TOS 設定レジスタ (PETOSR) 28-88
28.2.70 PTP general メッセージ用 TOS 設定レジスタ (PGTOSR) 28-89
28.2.71 PTP-primary メッセージ用 TTL 設定レジスタ (PPTTLR) 28-90
28.2.72 PTP-pdelay メッセージ用 TTL 設定レジスタ (PDTTLR) 28-90
28.2.73 PTP event メッセージ用 UDP 宛先ポート番号設定レジスタ (PEUDPR) 28-91
28.2.74 PTP general メッセージ用 UDP 宛先ポート番号設定レジスタ (PGUDPR) 28-91
28.2.75 フレーム受信フィルタ設定レジスタ (FFLTR) 28-92
28.2.76 フレーム受信フィルタ用 MAC アドレス 0 設定レジスタ (FMAC0RU, FMAC0RL) 28-93
28.2.77 フレーム受信フィルタ用 MAC アドレス 1 設定レジスタ (FMAC1RU、FMAC1RL) 28-94
28.2.78 非対称遅延値設定レジスタ (DASYMRU, DASYMRL) 28-95
28.2.79 タイムスタンプ遅延値設定レジスタ (TSLATR) 28-96
28.2.80 SYNFP 動作設定レジスタ (SYCONFR) 28-97
28.2.81 SYNFP フレームフォーマット設定レジスタ (SYFORMR) 28-98
28.2.82 レスポンスメッセージ受信タイムアウトレジスタ (RSTOUTR) 28-99
28.2.83 PTP リセットレジスタ (PTRSTR) 28-100
28.2.84 STCA クロック選択レジスタ (STCSELR) 28-101

28.2.85 1588 モジュールバイパスレジスタ (BYPASS) 28-102
28.3 動作説明 28-103
28.3.1 非 PTP メッセージの送受信と中継 28-104
28.3.2 非 PTP メッセージの通信経路 28-105
28.3.3 PTP メッセージの送受信と中継 28-106
28.3.4 PTP メッセージの通信経路 28-107
28.3.4.1 ソフトウェア処理が必要な PTP メッセージの通信経路 28-107
28.3.4.2 自動で処理される PTP メッセージの通信経路 28-108
28.3.5 クロックデバイス 28-110
28.3.5.1 End-to-End (E2E) 28-110
28.3.5.2 Peer-to-Peer (P2P) 28-111
28.3.5.3 Ordinary Clock (OC) 28-112
28.3.5.4 Boundary Clock (BC) 28-112
28.3.5.5 Transparent Clock (TC) 28-113
28.3.6 EPTPC の初期化 28-114
28.3.7 E2E マスタ動作 28-116
28.3.7.1 初期設定 28-116
28.3.7.2 動作の開始手順 28-117
28.3.7.3 設定内容の変更手順 28-117
28.3.7.4 動作の停止手順 28-118
28.3.8 E2E スレーブ動作 28-119
28.3.8.1 初期設定 28-119
28.3.8.2 動作の開始手順 28-120
28.3.8.3 設定内容の変更手順 28-121
28.3.8.4 動作の停止手順 28-122
28.3.9 P2P 動作（マスタおよびスレーブ共通）....28-123
28.3.9.1 動作の開始手順 28-123
28.3.9.2 動作の停止手順 28-124
28.3.10 P2P マスタ動作....28-125
28.3.10.1 動作の開始手順 28-125
28.3.10.2 動作の停止手順 28-126
28.3.11 P2P スレーブ動作....28-127
28.3.11.1 動作の開始手順 28-127
28.3.11.2 動作の停止手順 28-128
28.3.12 E2E TC 動作 28-129
28.3.12.1 初期設定 28-129
28.3.12.2 動作の開始手順 28-129
28.3.13 P2P TC 動作....28-130
28.3.13.1 動作の開始手順 28-130
28.3.14 メッセージ受信の監視 28-131

28.3.14.1 Announce メッセージの受信 28-131
28.3.14.2 Sync メッセージの受信 28-131
28.3.14.3 Delay_Resp、Pdelay_Resp メッセージの受信 28-131
28.3.15 時刻同期の補正機能 28-132
28.3.15.1 同期外れおよび同期状態の判定 28-133
28.3.15.2 ワースト 10 機能 28-134
28.3.15.3 クロック傾き差分値の収集とワースト 10 値の選出 28-135
28.3.16 ローカルクロックカウンタ 28-137
28.3.17 パルス出力タイマ 28-138
28.3.17.1 パルス出力タイマの設定手順 28-139
28.3.17.2 周期パルスによる割り込み要求 28-140
28.3.18 送信優先制御 28-141
28.3.18.1 アービトレーション 28-141
28.3.18.2 Sync メッセージ送信帯域確保機能 28-142
28.3.18.3 送信間隔確保機能 28-142
28.4 割り込み 28-143
28.5 使用上の注意事項 28-145
28.5.1 モジュールストップ機能の設定 28-145
28.5.1.1 モジュールストップ状態の解除 28-145
28.5.1.2 モジュールストップ状態への遷移 28-145
28.5.2 ソフトウェアスタンバイモード遷移時の注意事項 28-146
28.5.3 レジスタアクセス時のウェイト数 28-146
28.5.4 MII 使用時における EPTPCa 動作の制限 28-147
28.5.5 トランスペアレントクロック (TC) 設定時の PTPEDMAC 送信 28-147
29. イーサネットコントローラ用 DMA コントローラ（EDMACa） 29-1
29.1 概要 29-1
29.2 レジスタの説明 29-4
29.2.1 EDMAC モードレジスタ（EDMR） 29-6
29.2.2 EDMAC 送信要求レジスタ（EDTRR） 29-7
29.2.3 EDMAC 受信要求レジスタ（EDRRR） 29-8
29.2.4 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR） 29-9
29.2.5 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR） 29-10
29.2.6 ETHERC/EDMAC ステータスレジスタ（EDMACn.EESR） 29-11
29.2.7 PTP/EDMAC ステータスレジスタ（PTPEDMAC.EESR） 29-15
29.2.8 ETHERC/EDMAC ステータス割り込み許可レジスタ（EDMACn.EESIPR） 29-18
29.2.9 PTP/EDMAC ステータス割り込み許可レジスタ（PTPEDMAC.EESIPR） 29-20
29.2.10 ETHERC/EDMAC 送受信ステータスコピー指示レジスタ（EDMACn.TRSCER） 29-21
29.2.11 ミスドフレームカウンタレジスタ（RMFCR） 29-22
29.2.12 送信 FIFO しきい値指定レジスタ（TFTR） 29-23
29.2.13 FIFO 容量指定レジスタ（FDR） 29-24

29.2.14 受信方式制御レジスタ（RMCR）....29-25
29.2.15 送信 FIFO アンダフローカウント（TFUCR）....29-26
29.2.16 受信 FIFO オーバフローカウント（RFOCR）....29-26
29.2.17 個別出力信号設定レジスタ（IOSR）....29-27
29.2.18 フロー制御開始 FIFO しきい値設定レジスタ（FCFTR）....29-28
29.2.19 受信データパディング挿入設定レジスタ（RPADIR）....29-29
29.2.20 送信割り込み設定レジスタ（TRIMD）....29-30
29.2.21 受信バッファライトアドレスレジスタ（RBWAR）....29-31
29.2.22 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）....29-31
29.2.23 送信バッファリードアドレスレジスタ（TBRAR）....29-32
29.2.24 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）....29-32
29.3 動作説明....29-33
29.3.1 ディスクリプタリストと送受信バッファの配置....29-33
29.3.1.1 送信ディスクリプタ....29-33
29.3.1.2 受信ディスクリプタ....29-36
29.3.2 送信機能....29-39
29.3.3 受信機能....29-40
29.3.4 マルチバッファフレーム送信....29-41
29.3.4.1 マルチバッファフレーム送信の送信エラー処理....29-41
29.3.4.2 マルチバッファフレーム受信の受信エラー処理....29-42
29.3.5 EDMAC チャネルの優先順位....29-43
29.4 割り込み....29-45
29.5 使用上の注意事項....29-45
29.5.1 モジュールストップ機能の設定....29-45
29.5.2 EDMAC 動作中の EDMAC 停止....29-45
30. A/D コンバータ....30-1
30.1 概要....30-1
30.2 レジスタの説明....30-5
30.2.1 A/D データレジスタ y（ADDRy : y=0 ～ 7）、
A/D データ 2 重化レジスタ（ADDBLDR）、
A/D データ 2 重化レジスタ A（ADDBLDRA）、
A/D データ 2 重化レジスタ B（ADDBLDRB）....30-6
30.2.2 A/D 自己診断データレジスタ（ADRD）....30-8
30.2.3 A/D コントロールレジスタ（ADCSR）....30-10
30.2.4 A/D チャネル選択レジスタ A0（ADANSA0）....30-14
30.2.5 A/D チャネル選択レジスタ B0（ADANSB0）....30-14
30.2.6 A/D チャネル選択レジスタ C0（ADANSC0）....30-15
30.2.7 A/D 変換値加算／平均機能チャネル選択レジスタ 0（ADADS0）....30-16
30.2.8 A/D 変換値加算／平均回数選択レジスタ（ADADC）....30-17
30.2.9 A/D コントロール拡張レジスタ（ADCER）....30-18
30.2.10 A/D 変換開始トリガ選択レジスタ（ADSTRGR）....30-20

30.2.11 A/D グループ C トリガ選択レジスタ（ADGCTRGR）.....30-24
30.2.12 A/D サンプリングステートレジスタ n（ADSSTRn）（n=0 ～ 7）.....30-26
30.2.13 A/D 断線検出コントロールレジスタ（ADDISCR）.....30-27
30.2.14 A/D グループスキャン優先コントロールレジスタ（ADGSPCR）.....30-28
30.2.15 A/D コンペア機能コントロールレジスタ（ADCMPCR）.....30-30
30.2.16 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0（ADCMPANSR0）.....30-31
30.2.17 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0（ADCMPLR0）.....30-32
30.2.18 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ（ADCMPDR0）、
A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ（ADCMPDR1）、
A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ（ADWINLLB）、
A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ（ADWINULB）.....30-33
30.2.19 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0（ADCMPSR0）.....30-35
30.2.20 A/D コンペア機能ウィンドウ B チャネル選択レジスタ（ADCMPBNSR）.....30-36
30.2.21 A/D コンペア機能ウィンドウ B ステータスレジスタ（ADCMPBSR）.....30-38
30.2.22 A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ（ADWINMON）.....30-39
30.2.23 データフォーマット.....30-40
30.3 動作説明.....30-43
30.3.1 スキャンの動作説明.....30-43
30.3.2 シングルスキャンモード.....30-44
30.3.2.1 基本動作.....30-44
30.3.2.2 チャネル選択と自己診断.....30-45
30.3.2.3 ダブルトリガモード選択時の動作.....30-46
30.3.2.4 ダブルトリガ拡張モードの動作.....30-47
30.3.3 連続スキャンモード.....30-49
30.3.3.1 基本動作.....30-49
30.3.3.2 チャネル選択と自己診断.....30-50
30.3.4 グループスキャンモード.....30-51
30.3.4.1 基本動作（グループスキャンモード）.....30-51
30.3.4.2 ダブルトリガモード選択時の動作.....30-53
30.3.4.3 グループ優先動作.....30-55
30.3.5 コンペア機能（ウィンドウ A、ウィンドウ B）.....30-74
30.3.5.1 コンペア機能ウィンドウ A/B.....30-74
30.3.5.2 コンペア機能制約.....30-75
30.3.6 アナログ入力のサンプリング時間とスキャン変換時間.....30-76
30.3.6.1 グループ優先動作でのスキャン中断／開始タイミング.....30-79
30.3.7 レジスタのオートクリア機能の使用例.....30-80
30.3.8 A/D 変換値加算／平均機能.....30-80
30.3.9 断線検出アシスト機能.....30-81
30.3.10 非同期トリガによる A/D 変換の開始.....30-83
30.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始.....30-83
30.4 割り込み要因と DMA 転送要求.....30-84

30.4.1 割り込み要求 30-84
30.5 使用上の注意事項 30-85
30.5.1 データレジスタの読み出し注意事項 30-85
30.5.2 A/D 変換停止時の注意事項 30-86
30.5.2.1 A/D 変換停止手順 30-86
30.5.2.2 モード／ステータスビットの注意事項 30-87
30.5.3 A/D 変換強制停止と開始時の動作タイミング 30-88
30.5.4 スキャン終了割り込み処理の注意事項 30-88
30.5.5 モジュールスタンバイ機能の設定 30-88
30.5.6 低消費電力状態への遷移時の注意 30-88
30.5.7 ソフトウェアスタンバイモード解除時の注意 30-88
30.5.8 断線検出アシスト機能使用時の絶対精度誤差 30-88
30.5.9 アナログ入力端子の設定範囲 30-89
30.5.10 ボード設計上の注意事項 30-89
30.5.11 ノイズ対策上の注意事項 30-89
31. NAND フラッシュコントローラ 31-1
31.1 概要 31-1
31.1.1 特長 31-1
31.1.2 ブロック図 31-2
31.1.3 入出力端子 31-2
31.1.4 レジスタ構成 31-3
31.2 レジスタの説明 31-4
31.2.1 コントローラコマンドレジスタ（COMMAND） 31-4
31.2.2 メインコンフィギュレーションレジスタ（CONTROL） 31-5
31.2.3 汎用シーケンスレジスタ（GEN_SEQ_CTRL） 31-7
31.2.4 コントローラステータスレジスタ（STATUS） 31-9
31.2.5 LUN ステータスレジスタ（LUN_STATUS_0） 31-11
31.2.6 割り込みマスクレジスタ（INT_MASK） 31-12
31.2.7 割り込みステータスレジスタ（INT_STATUS） 31-14
31.2.8 ECC モジュール制御レジスタ（ECC_CTRL） 31-15
31.2.9 ECC モジュールステータスレジスタ（ECC_STAT） 31-16
31.2.10 スペア領域レジスタの ECC オフセット（ECC_OFFSET） 31-17
31.2.11 ECC エラーレベルカウンタレジスタ（ECC_CNT） 31-18
31.2.12 カラム／ロウ アドレスレジスタ（ADDR[1:0]_COL, ADDR[1:0]_ROW） 31-19
31.2.13 ページサイズ値レジスタ（DATA_SIZE） 31-21
31.2.14 FIFO モジュールインタフェースレジスタ（FIFO_DATA） 31-22
31.2.15 不良ブロック管理（BBM）制御レジスタ（BBM_CTRL） 31-23
31.2.16 レコードテーブルポインタレジスタ（DEV0_PTR） 31-24
31.2.17 レコードテーブルサイズレジスタ（DEV0_SIZE） 31-25
31.2.18 DMA ベースアドレス レジスタ（DMA_ADDR_L） 31-26

31.2.19 DMA カウンタ初期値レジスタ（DMA_CNT）.....31-27
31.2.20 DMA 制御レジスタ（DMA_CTRL）.....31-28
31.2.21 DMA トリガレベル値レジスタ（DMA_TRIG_TLVL）.....31-29
31.2.22 READ STATUS コマンドマスクレジスタ（STATUS_MASK）.....31-30
31.2.23 コマンドシーケンスタイミングコンフィギュレーションレジスタ 0（TIME_SEQ_0）.....31-31
31.2.24 コマンドシーケンスタイミングコンフィギュレーションレジスタ 1（TIME_SEQ_1）.....31-32
31.2.25 汎用シーケンスタイミングコンフィギュレーションレジスタ 0（TIME_GEN_SEQ_0）.....31-33
31.2.26 汎用シーケンスタイミングコンフィギュレーションレジスタ 1（TIME_GEN_SEQ_1）.....31-34
31.2.27 汎用シーケンスタイミングコンフィギュレーションレジスタ 2（TIME_GEN_SEQ_2）.....31-35
31.2.28 汎用シーケンスタイミングコンフィギュレーションレジスタ 3（TIME_GEN_SEQ_3）.....31-36
31.2.29 タイミングコンフィギュレーションレジスタ（TIMINGS_ASYN）.....31-37
31.2.30 データレジスタ（DATA_REG）.....31-38
31.2.31 データレジスタサイズ 選択レジスタ（DATA_REG_SIZE）.....31-39
31.2.32 FIFO 制御レジスタ（FIFO_INIT）.....31-40
31.2.33 FIFO ステータス レジスタ（FIFO_STATE）.....31-41
31.2.34 MLUN レジスタ（MLUN）.....31-42
31.2.35 CMD ID 初期値レジスタ（CMD_MARK）.....31-43
31.3 動作.....31-44
31.3.1 コマンド生成.....31-44
31.3.2 汎用シーケンス.....31-55
31.3.3 命令.....31-59
31.3.4 マルチ LUN 動作モード.....31-79
31.3.5 リマッピングメカニズム.....31-80
31.3.6 割り込み メカニズム.....31-81
31.3.7 セットアップとコンフィギュレーション.....31-83
31.4 機能の詳細.....31-92
31.4.1 ブロック図.....31-92
31.4.2 DMA.....31-93
31.4.3 ECC.....31-97
31.4.4 BCH アルゴリズムの実装.....31-98
32. USB 2.0 ホストモジュール.....32-1
32.1 概要.....32-1
32.1.1 概要.....32-1
32.1.2 特長.....32-1
32.1.2.1 EHCI v1.1 機能.....32-1
32.1.2.2 LPM （Link Power Management）機能.....32-2

32.1.2.3 デュアル・ロール・デバイス機能 32-2
32.1.2.4 Battery Charging 機能 32-3
32.1.2.5 Suspend 拡張機能 32-3
32.1.2.6 使用上の注意事項 32-3
32.1.3 USB 関連規格対応 32-4
32.1.4 入出力端子 32-5
32.2 レジスタの説明 32-6
32.2.1 レジスタ記号説明 32-6
32.2.2 ベースアドレス 32-6
32.2.3 Register Overview 32-6
32.2.4 Description of Registers 32-8
32.2.4.1 OHCI Operational Register 32-8
32.2.4.2 EHCI Controller Capability Register 32-36
32.2.4.3 EHCI Operational Register 32-41
32.2.4.4 AHB Bridge Register 32-55
32.2.4.5 UCOM Register 32-67
32.3 クロックの説明 32-77
32.3.1 クロックゲーティング仕様 32-77
32.3.1.1 クロックゲーティングの概要 32-77
32.3.1.2 NONUSE_CLK_MSK 動作仕様 32-77
32.3.1.3 HOST_CLK_MSK ／ PERI_CLK_MSK 動作仕様 32-78
32.4 割り込み要因 32-79
32.4.1 割り込み信号一覧 32-79
32.4.2 割り込み要因と制御 32-80
32.4.2.1 U2H_INT アサート要因と制御 32-80
32.4.2.2 U2H_OHCI_INT アサート要因と制御 32-81
32.4.2.3 U2H_EHCI_INT アサート要因と制御 32-82
32.4.2.4 U2H_WAKEON_INT アサート要因と制御 32-83
32.4.2.5 U2H_OBINT アサート要因と制御 32-84
32.4.2.6 CC_INT アサート要因と制御 32-85
32.4.3 割り込み信号のデアサートタイミング 32-86
32.5 低消費電力機能 32-87
32.5.1 USBPHY の SUSPENDM/SLEEPM 端子制御 32-87
32.5.2 クロックゲーティング機能制御 32-87
32.6 バッテリーチャージ機能 32-88
32.6.1 Charging Port 対応 32-88
32.6.1.1 CDP モードで使用する場合 32-89
32.6.1.2 DCP モードで使用する場合 32-90
32.6.2 Portable Device 対応 32-90
32.7 バスマスタの説明 32-92

32.7.1 BUS MASTER 機能仕様 32-92
32.7.1.1 対応する BUS MASTER 機能 32-92
32.7.1.2 発行するバス転送方式 32-92
32.7.1.3 対応レスポンス 32-92
32.7.1.4 プロテクション制御情報 32-93
32.7.1.5 最大バースト長 32-93
32.7.1.6 転送データの境界について 32-93
32.7.1.7 固定長 INCR バースト転送の開始アドレスについて 32-94
32.8 過電流制御と VBUS 制御 32-95
32.8.1 OVRCUR/VBUSEN 端子 32-95
32.8.2 Overcurrent 検出タイマ設定 32-95
32.8.3 Port Power (VBUS) 制御仕様 32-96
32.8.4 Overcurrent 検出・復帰タイミングチャート 32-97
32.9 設定手順 32-98
32.9.1 ホスト／ペリフェラル共通設定シーケンス 32-98
32.9.2 初期設定シーケンス 32-99
32.9.3 異常発生時の対応フロー 32-100
32.10 CCn_Rd、CCn_Ra 端子 32-101
32.10.1 CCn_Ra、CCn_Rd 端子使用時の注意事項 32-101
32.11 注意事項 32-102
32.11.1 デバイス切断後の処置 32-102
33. USB 2.0 ファンクションモジュール 33-1
33.1 概要 33-1
33.1.1 概要 33-1
33.1.2 特長 33-1
33.1.2.1 USB High-Speed 対応の Peripheral Controller を内蔵 33-1
33.1.2.2 USB 全転送タイプに対応 33-1
33.1.2.3 バスインタフェース 33-1
33.1.2.4 PIPE コンフィグレーション 33-2
33.1.2.5 機能の特長 33-2
33.1.2.6 DMA の特長 33-3
33.1.2.7 その他の機能 33-3
33.1.3 機能概要 33-4
33.1.3.1 USB 転送 Speed 自動認識 33-4
33.1.3.2 USB イベント 33-4
33.1.3.3 USB データ転送 33-4
33.1.3.4 SOF パルス出力機能 33-4
33.1.4 制限事項と注意事項 33-5
33.1.4.1 制限事項 33-5
33.1.4.2 注意事項 33-5

33.2 レジスタ 33-7
33.2.1 ベースアドレス 33-8
33.2.2 レジスター覧 33-8
33.2.3 システムコンフィグレーションコントロール 33-12
33.2.3.1 システムコンフィグレーションコントロールレジスタ 0【SYSCFG0】<アドレス：000H> 33-12
33.2.3.2 システムコンフィグレーションコントロールレジスタ 1【SYSCFG1】<アドレス：002H> 33-14
33.2.4 システムコンフィグレーションステータス 33-15
33.2.4.1 システムコンフィグレーションステータスレジスタ【SYSSTS0】<アドレス：004H> 33-15
33.2.5 USB 信号制御 33-16
33.2.5.1 デバイスステートコントロールレジスタ 0【DVSTCTR0】<アドレス：008H> 33-16
33.2.6 テストモード 33-18
33.2.6.1 USB テストモードレジスタ【TESTMODE】<アドレス：00CH> 33-18
33.2.7 FIFO ポート 33-19
33.2.7.1 CFIFO ポートレジスタ【CFIFO】<アドレス：014H> 33-19
33.2.7.2 CFIFO ポートレジスタ【CFIFO】<アドレス：016H> 33-19
33.2.7.3 CFIFO ポート選択レジスタ【CFIFOSEL】<アドレス：020H> 33-21
33.2.7.4 D0FIFO ポート選択レジスタ【D0FIFOSEL】<アドレス：028H>
D1FIFO ポート選択レジスタ【D1FIFOSEL】<アドレス：02CH> 33-23
33.2.7.5 CFIFO ポートコントロールレジスタ【CFIFOCTR】<アドレス：022H>
D0FIFO ポートコントロールレジスタ【D0FIFOCTR】<アドレス：02AH>
D1FIFO ポートコントロールレジスタ【D1FIFOCTR】<アドレス：02EH> 33-25
33.2.8 割り込み許可 33-27
33.2.8.1 割り込み許可レジスタ 0【INTENB0】<アドレス：030H> 33-27
33.2.8.2 BRDY 割り込み許可レジスタ【BRDYENB】<アドレス：036H> 33-28
33.2.8.3 NRDY 割り込み許可レジスタ【NRDYENB】<アドレス：038H> 33-28
33.2.8.4 BEMP 割り込み許可レジスタ【BEMPENB】<アドレス：03AH> 33-29
33.2.9 SOF 制御レジスタ 33-30
33.2.9.1 SOF ピンコンフィグレーションレジスタ【SOFCFG】<アドレス：03CH> 33-30
33.2.10 割り込みステータス 33-31
33.2.10.1 割り込みステータスレジスタ 0【INTSTS0】<アドレス：040H> 33-31
33.2.10.2 BRDY 割り込みステータスレジスタ【BRDYSTS】<アドレス：046H> 33-34
33.2.10.3 NRDY 割り込みステータスレジスタ【NRDYSTS】<アドレス：048H> 33-37
33.2.10.4 BEMP 割り込みステータスレジスタ【BEMPSTS】<アドレス：04AH> 33-39
33.2.11 フレーム番号レジスタ 33-40
33.2.11.1 フレームナンバレジスタ【FRMNUM】<アドレス：04CH> 33-40
33.2.11.2 μフレームナンバレジスタ【UFRMNUM】<アドレス：04EH> 33-41
33.2.12 USB アドレス 33-42
33.2.12.1 USB アドレスレジスタ【USBADDR】<アドレス：050H> 33-42

33.2.13 USB リクエストレジスタ 33-43
33.2.13.1 USB リクエストタイプレジスタ【USBREQ】＜アドレス：054H> 33-43
33.2.13.2 USB リクエストバリューレジスタ【USBVAL】＜アドレス：056H> 33-43
33.2.13.3 USB リクエストインデックスレジスタ【USBINDX】＜アドレス：058H> 33-44
33.2.13.4 USB リクエストレングスレジスタ【USBLENG】＜アドレス：05AH> 33-44
33.2.14 DCP コンフィグレーション 33-45
33.2.14.1 DCP コンフィグレーションレジスタ【DCPCFG】＜アドレス：05CH> 33-45
33.2.14.2 DCP マックスパケットサイズレジスタ【DCPMAXP】＜アドレス：05EH> ...33-45
33.2.14.3 DCP コントロールレジスタ【DCPCTR】＜アドレス：060H> 33-46
33.2.15 PIPE コンフィグレーションレジスタ 33-49
33.2.15.1 PIPE ウィンドウ選択レジスタ【PIPESEL】＜アドレス：064H> 33-49
33.2.15.2 PIPE コンフィグレーションレジスタ【PIPECFG】＜アドレス：068H> 33-50
33.2.15.3 PIPE バッファ指定レジスタ【PIPEBUF】＜アドレス：06AH> 33-54
33.2.15.4 PIPE マックスパケットサイズレジスタ【PIPEMAXP】＜アドレス：06CH> ..33-56
33.2.15.5 PIPE 周期制御レジスタ【PIPEPERI】＜アドレス：06EH> 33-57
33.2.16 PIPE コントロールレジスタ 33-60
33.2.16.1 PIPE1 コントロールレジスタ【PIPE1CTR】＜アドレス：070H>
PIPE2 コントロールレジスタ【PIPE2CTR】＜アドレス：072H>
PIPE3 コントロールレジスタ【PIPE3CTR】＜アドレス：074H>
PIPE4 コントロールレジスタ【PIPE4CTR】＜アドレス：076H>
PIPE5 コントロールレジスタ【PIPE5CTR】＜アドレス：078H>
PIPE9 コントロールレジスタ【PIPE9CTR】＜アドレス：080H>
PIPEA コントロールレジスタ【PIPEACTR】＜アドレス：082H>
PIPEB コントロールレジスタ【PIPEBCTR】＜アドレス：084H>
PIPEC コントロールレジスタ【PIPECCTR】＜アドレス：086H>
PIPED コントロールレジスタ【PIPEDCTR】＜アドレス：088H>
PIPEE コントロールレジスタ【PIPEECTR】＜アドレス：08AH>
PIPEF コントロールレジスタ【PIPEFCTR】＜アドレス：08CH> 33-60
33.2.16.2 PIPE6 コントロールレジスタ【PIPE6CTR】＜アドレス：07AH>
PIPE7 コントロールレジスタ【PIPE7CTR】＜アドレス：07CH>
PIPE8 コントロールレジスタ【PIPE8CTR】＜アドレス：07EH> 33-66
33.2.17 トランザクションカウンタ 33-68

33.2.17.1 PIPE1 トランザクションカウンタ許可レジスタ【PIPE1TRE】
＜アドレス：090H>
PIPE2 トランザクションカウンタ許可レジスタ【PIPE2TRE】
＜アドレス：094H>
PIPE3 トランザクションカウンタ許可レジスタ【PIPE3TRE】
＜アドレス：098H>
PIPE4 トランザクションカウンタ許可レジスタ【PIPE4TRE】
＜アドレス：09CH>
PIPE5 トランザクションカウンタ許可レジスタ【PIPE5TRE】
＜アドレス：0A0H>
PIPEB トランザクションカウンタ許可レジスタ【PIPEBTRE】
＜アドレス：0A4H>
PIPEC トランザクションカウンタ許可レジスタ【PIPECTRE】
＜アドレス：0A8H>
PIPED トランザクションカウンタ許可レジスタ【PIPEDTRE】
＜アドレス：0ACH>
PIPEE トランザクションカウンタ許可レジスタ【PIPEETRE】
＜アドレス：0B0H>
PIPEF トランザクションカウンタ許可レジスタ【PIPEFTRE】
＜アドレス：0B4H>
PIPE9 トランザクションカウンタ許可レジスタ【PIPE9TRE】
＜アドレス：0B8H>
PIPEA トランザクションカウンタ許可レジスタ【PIPEATRE】
＜アドレス：0BCH> 33-68

33.2.17.2 PIPE1 トランザクションカウンタレジスタ【PIPE1TRN】
＜アドレス：092H>
PIPE2 トランザクションカウンタレジスタ【PIPE2TRN】
＜アドレス：096H>
PIPE3 トランザクションカウンタレジスタ【PIPE3TRN】
＜アドレス：09AH>
PIPE4 トランザクションカウンタレジスタ【PIPE4TRN】
＜アドレス：09EH>
PIPE5 トランザクションカウンタレジスタ【PIPE5TRN】
＜アドレス：0A2H>
PIPEB トランザクションカウンタレジスタ【PIPEBTRN】
＜アドレス：0A6H>
PIPEC トランザクションカウンタレジスタ【PIPECTRN】
＜アドレス：0AAH>
PIPED トランザクションカウンタレジスタ【PIPEDTRN】
＜アドレス：0AEH>
PIPEE トランザクションカウンタレジスタ【PIPEETRN】
＜アドレス：0B2H>
PIPEF トランザクションカウンタレジスタ【PIPEFTRN】
＜アドレス：0B6H>
PIPE9 トランザクションカウンタレジスタ【PIPE9TRN】
＜アドレス：0BAH>
PIPEA トランザクションカウンタレジスタ【PIPEATRN】
＜アドレス：0BEH> 33-70

33.2.18 ローパワーコントロールレジスタ 33-72

33.2.18.1 ローパワーコントロールレジスタ【LPCTRL】＜アドレス：100H> 33-72

33.2.19 ローパワーステータスレジスタ 33-73

33.2.19.1 ローパワーステータスレジスタ【LPSTS】＜アドレス：102H> 33-73

33.2.20 PHY ファンクションコントロールレジスタ 33-74

33.2.20.1 PHY ファンクションコントロールレジスタ【PHYFUNCTR】
＜アドレス：104H> 33-74
33.2.21 PHY_OTG コントロールレジスタ 33-75
33.2.21.1 PHY_OTG コントロールレジスタ【PHYOTGCTR】＜アドレス：10AH> 33-75
33.2.22 Peripheral L1 コントロールレジスタ 1 33-76
33.2.22.1 Peripheral L1 コントロールレジスタ【PL1CTRL1】＜アドレス：144H> 33-76
33.2.23 Peripheral L1 コントロールレジスタ 2 33-78
33.2.23.1 Peripheral L1 コントロールレジスタ 2【PL1CTRL2】＜アドレス：146H> 33-78
33.3 Next Register Set 33-79
33.3.1 Next Source Address Register n 33-79
33.3.1.1 Next0 Source Address Register ch0【N0SA_0】＜アドレス：400H>
Next1 Source Address Register ch0【N1SA_0】＜アドレス：40CH>
Next0 Source Address Register ch1【N0SA_1】＜アドレス：440H>
Next1 Source Address Register ch1【N1SA_1】＜アドレス：44CH> 33-79
33.3.2 Next Destination Address Register n 33-79
33.3.2.1 Next0 Destination Address Register ch0【N0DA_0】＜アドレス：404H>
Next1 Destination Address Register ch0【N1DA_0】＜アドレス：410H>
Next0 Destination Address Register ch1【N0DA_1】＜アドレス：444H>
Next1 Destination Address Register ch1【N1DA_1】＜アドレス：450H> 33-79
33.3.3 Next Transaction Byte Register n 33-80
33.3.3.1 Next0 Transaction Byte Register ch0【N0TB_0】＜アドレス：408H>
Next1 Transaction Byte Register ch0【N1TB_0】＜アドレス：414H>
Next0 Transaction Byte Register ch1【N0TB_1】＜アドレス：448H>
Next1 Transaction Byte Register ch1【N1TB_1】＜アドレス：454H> 33-80
33.4 Current Register Set 33-81
33.4.1 Current Source Address Register 33-81
33.4.1.1 Current Source Address Register ch0【CRSA_0】＜アドレス：418H>
Current Source Address Register ch1【CRSA_1】＜アドレス：458H> 33-81
33.4.2 Current Destination Address Register 33-82
33.4.2.1 Current Destination Address Register ch0【CRDA_0】＜アドレス：41CH>
Current Destination Address Register ch1【CRDA_1】＜アドレス：45CH> 33-82
33.4.3 Current Transaction Byte Register 33-83
33.4.3.1 Current Transaction Byte Register ch0【CRTB_0】＜アドレス：420H>
Current Transaction Byte Register ch1【CRTB_1】＜アドレス：460H> 33-83
33.5 Channel Register Set 33-84
33.5.1 Channel Status Register n 33-84
33.5.1.1 Channel Status Register ch0【CHSTAT_0】＜アドレス：424H>
Channel Status Register ch1【CHSTAT_1】＜アドレス：464H> 33-84
33.5.2 Channel Control Register n 33-88
33.5.2.1 Channel Control Register ch0【CHCTRL_0】＜アドレス：428H>
Channel Control Register ch1【CHCTRL_1】＜アドレス：468H> 33-88
33.5.3 Channel Configuration Register n 33-91
33.5.3.1 Channel Configuration Register ch0【CHCFG_0】＜アドレス：42CH>
Channel Configuration Register ch1【CHCFG_1】＜アドレス：46CH> 33-91
33.5.4 Channel Interval Register n 33-94

33.5.4.1 Channel Interval Register ch0【CHITVL_0】＜アドレス：430H>
Channel Interval Register ch1【CHITVL_1】＜アドレス：470H> 33-94
33.5.5 Channel Extension Register n.....33-95
33.5.5.1 Channel Extension Register ch0【CHEXT_0】＜アドレス：434H>
Channel Extension Register ch1【CHEXT_1】＜アドレス：474H> 33-95
33.6 Link Register Set 33-96
33.6.1 Next Link Address Register n 33-96
33.6.1.1 Next Link Address Register ch0【NXLA_0】＜アドレス：438H>
Next Link Address Register ch1【NXLA_1】＜アドレス：478H> 33-96
33.6.2 Current Link Address Register n.....33-96
33.6.2.1 Current Link Address Register ch0【CRLA_0】＜アドレス：43CH>
Current Link Address Register ch1【CRLA_1】＜アドレス：47CH> 33-96
33.7 Skip Register Set 33-97
33.7.1 Source Continuous Register n 33-97
33.7.1.1 Source Continuous Register ch0【SCNT_0】＜アドレス：600H>
Source Continuous Register ch1【SCNT_1】＜アドレス：620H> 33-97
33.7.2 Source Skip Register n 33-97
33.7.2.1 Source Skip Register ch0【SSKP_0】＜アドレス：604H>
Source Skip Register ch1【SSKP_1】＜アドレス：624H> 33-97
33.7.3 Destination Continuous Register n.....33-99
33.7.3.1 Destination Continuous Register ch0【DCNT_0】＜アドレス：608H>
Destination Continuous Register ch1【DCNT_1】＜アドレス：628H> 33-99
33.7.4 Destination Skip Register n.....33-99
33.7.4.1 Destination Skip Register ch0【DSKP_0】＜アドレス：60CH>
Destination Skip Register ch1【DSKP_1】＜アドレス：62CH> 33-99
33.8 DMA Register Set 33-101
33.8.1 DMA Control Register 33-101
33.8.1.1 DMA Control Register【DCTRL】＜アドレス：700H> 33-101
33.8.2 Descriptor Interval Register n.....33-102
33.8.2.1 Descriptor Interval Register【DSCITVL】＜アドレス：704H> 33-102
33.8.3 DMA Status EN Register (DSTAT_EN).....33-102
33.8.3.1 DMA Status EN Register【DSTAT_EN】＜アドレス：710H> 33-102
33.8.4 DMA Status ER Register.....33-103
33.8.4.1 DMA Status ER Register【DSTAT_ER】＜アドレス：714H> 33-103
33.8.5 DMA Status END Register.....33-103
33.8.5.1 DMA Status END Register【DSTAT_END】＜アドレス：718H> 33-103
33.8.6 DMA Status TC Register.....33-104
33.8.6.1 DMA Status TC Register【DSTAT_TC】＜アドレス：71CH> 33-104
33.8.7 DMA Status SUS Register 33-104
33.8.7.1 DMA Status SUS Register【DSTAT_SUS】＜アドレス：720H> 33-104
33.9 機能 33-105
33.9.1 システム制御および発振制御 33-105
33.9.1.1 USB データバス抵抗制御 33-105

33.9.2 割り込み機能 33-106
33.9.2.1 割り込み機能概要（DMA Master 以外） 33-106
33.9.2.2 デバイスステート遷移割り込み 33-108
33.9.2.3 Control 転送ステージ遷移割り込み 33-109
33.9.2.4 DMA Master に関する割り込み 33-111
33.9.3 PIPE コントロール 33-112
33.9.3.1 マックスパケットサイズ設定 33-113
33.9.3.2 応答 PID 33-114
33.9.3.3 PIPE コントロールレジスタの切り替え手順 33-115
33.9.3.4 データ PID シーケンスビット 33-116
33.9.4 FIFO バッファ 33-117
33.9.4.1 FIFO バッファ割り当て 33-117
33.9.4.2 FIFO バッファクリア 33-118
33.9.5 FIFO ポートの機能 33-119
33.9.5.1 FIFO ポート選択 33-120
33.9.5.2 DxFIFO 自動クリアモード（DxFIFO ポート読み出し方向） 33-121
33.9.5.3 BRDY 割り込みタイミング選択機能 33-121
33.9.6 Control 転送（DCP） 33-122
33.9.6.1 Control 転送 33-122
33.9.7 Bulk 転送（PIPE1~5, 9~15） 33-124
33.9.7.1 NYET ハンドシェイク制御 33-124
33.9.8 Interrupt 転送（PIPE6~9, 10） 33-125
33.9.9 Isochronous 転送（PIPE1~2） 33-126
33.9.9.1 Isochronous 転送のエラー検出 33-126
33.9.9.2 DATA-PID 33-127
33.9.9.3 インターバルカウンタ 33-128
33.9.9.4 Isochronous 転送送信データセットアップ 33-129
33.9.9.5 Isochronous 転送送信バッファフラッシュ 33-130
33.9.10 SOF 補間機能 33-132
33.9.11 Link Power Management 処理 33-133
33.9.11.1 Descriptor 33-133
33.9.11.2 基本処理 33-134
33.9.11.3 HIRD 値ネゴシエーション 33-134
33.9.12 DMA モード 33-135
33.9.12.1 レジスタ／リンク・モード 33-135
33.9.12.2 WRITE ONLY モード 33-152
33.9.13 DMA 転送 33-153
33.9.13.1 転送モード 33-153
33.9.13.2 DMA チャネルの優先順位制御 33-154
33.9.13.3 強制排出要求 33-156

33.9.13.4 DMA 転送完了割り込み（USBFDMAmn）.....33-157
33.9.13.5 DMA エラー割り込み（USBFDMAERRm）.....33-157
33.9.13.6 インターバル･カウント機能 33-158
33.9.13.7 転送サイズによる動作の違い 33-159
33.9.13.8 転送状態 33-161
33.9.14 アクセス・タイプ 33-164
33.9.14.1 DMA マスタ転送組み合わせ一覧 33-164
33.9.14.2 DMA マスタ・ディスクリプタ転送組み合わせ一覧 33-167
33.9.15 DMAC 間アービトレーション 33-168
33.9.16 ディープスタンバイ遷移、ディープスタンバイ復帰フロー 33-169
33.9.16.1 ディープスタンバイ遷移時の設定 33-169
33.9.16.2 ディープスタンバイ解除要因判定フロー 33-170
33.9.16.3 バスリセットによるディープスタンバイ復帰フロー 33-171
33.9.16.4 レジューム信号受信によるディープスタンバイ復帰フロー 33-172
33.9.17 注意事項 33-174
33.9.17.1 アクセス 33-174
33.9.17.2 Level Interrupt ビットについて 33-174
34. ビデオディスプレイコントローラ 6（1） 概要 34-1
34.1 特長 34-1
34.2 ブロック図 34-3
34.3 入出力端子 34-5
34.4 クロック 34-6
34.5 水平・垂直同期信号 34-6
34.5.1 外部入力垂直同期 34-7
34.5.2 自走垂直同期 34-8
34.5.3 垂直同期信号切り替え時の注意事項 34-10
35. ビデオディスプレイコントローラ 6（2） 入力制御部 35-1
35.1 入力制御機能 35-1
35.1.1 機能概要 35-1
35.1.2 外部入力部、同期信号調整部のレジスタ更新制御 35-2
35.1.3 入力制御 35-2
35.1.4 外部入力の映像信号制御 35-3
35.1.5 外部入力のクロックのエッジ選択 35-4
35.1.6 外部入力の同期信号の反転制御 35-4
35.1.7 外部入力の映像信号のビット割り付け 35-5
35.1.8 BT601 の標準信号タイミング 35-9
35.1.9 BT656 の標準信号タイミング 35-11
35.1.10 BT656 の SAV、EAV コード 35-13
35.1.11 BT656 プログレッシブ 35-16
35.1.12 BT656 ／ BT601 ／ YCbCr422 設定 35-19

35.1.13 YCbCr444/RGB888/666/565 の外部入力タイミング 35-21
35.1.14 フィールド判別と垂直同期位相調整 35-22
35.1.15 垂直同期信号ライン遅延調整 35-23
35.1.16 同期遅延調整 35-23
35.1.17 水平ノイズリダクション 35-24
35.1.18 カラーマトリクス 35-26
35.2 レジスタの説明 35-29
35.2.1 外部入力部レジスタ更新制御レジスタ（INP_UPDATE） 35-30
35.2.2 入力選択制御レジスタ（INP_SEL_CNT） 35-31
35.2.3 外部入力同期信号制御レジスタ（INP_EXT_SYNC_CNT） 35-32
35.2.4 垂直同期信号位相調整レジスタ（INP_VSYNC_PH_ADJ） 35-33
35.2.5 同期信号遅延調整レジスタ（INP_DLY_ADJ） 35-33
35.2.6 画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE） 35-34
35.2.7 NR 制御レジスタ 0（IMGCNT_NR_CNT0） 35-35
35.2.8 NR 制御レジスタ 1（IMGCNT_NR_CNT1） 35-36
35.2.9 画質調整部マトリクスモードレジスタ（IMGCNT_MTX_MODE） 35-37
35.2.10 画質調整部マトリクス YG 調整レジスタ 0（IMGCNT_MTX_YG_ADJ0） 35-37
35.2.11 画質調整部マトリクス YG 調整レジスタ 1（IMGCNT_MTX_YG_ADJ1） 35-38
35.2.12 画質調整部マトリクス CBB 調整レジスタ 0（IMGCNT_MTX_CBB_ADJ0） 35-38
35.2.13 画質調整部マトリクス CBB 調整レジスタ 1（IMGCNT_MTX_CBB_ADJ1） 35-39
35.2.14 画質調整部マトリクス CRR 調整レジスタ 0（IMGCNT_MTX_CRR_ADJ0） 35-39
35.2.15 画質調整部マトリクス CRR 調整レジスタ 1（IMGCNT_MTX_CRR_ADJ1） 35-40
35.3 使用方法 35-41
35.3.1 入力フォーマット調整方法 35-41
35.3.2 カラーマトリクス変換の使用方法 35-43
36. ビデオディスプレイコントローラ 6（3） スケーリング部 36-1
36.1 スケーリング機能 36-1
36.1.1 機能概要 36-1
36.1.2 レジスタ制御 36-2
36.1.3 同期制御 36-3
36.1.4 画角サイズ設定 36-7
36.1.5 スケーリング設定 36-10
36.1.6 水平プリフィルタ 36-11
36.1.7 水平縮小処理 36-12
36.1.8 垂直縮小処理 36-13
36.1.9 水平拡大処理 36-15
36.1.10 垂直拡大処理 36-16
36.1.11 IP 変換 36-17
36.1.12 縮小前画像ライン指定割り込み制御、縮小前画像ラインの読み出し 36-19
36.1.13 トリミング 36-19

36.1.14 画面合成 36-20
36.1.15 フレームバッファ書き込み映像フォーマット選択 36-21
36.1.16 水平鏡像、回転処理 36-22
36.1.17 フレームバッファ書き込み処理 36-23
36.1.18 拡大処理とグラフィックス（0）処理の選択 36-27
36.1.19 フレームバッファ読み出し時のフィールド指定 36-29
36.1.20 ポインタバッファとフレームバッファ読み出し処理 36-29
36.2 レジスタの説明 36-31
36.2.1 SCL0 レジスタ更新制御レジスタ（SC0_SCL0_UPDATE） 36-33
36.2.2 マスク処理レジスタ（SC0_SCL0_FRC1） 36-34
36.2.3 欠落補償レジスタ（SC0_SCL0_FRC2） 36-34
36.2.4 出力同期選択レジスタ（SC0_SCL0_FRC3） 36-35
36.2.5 自走周期レジスタ（SC0_SCL0_FRC4） 36-35
36.2.6 出力遅延制御レジスタ（SC0_SCL0_FRC5） 36-36
36.2.7 フル画面垂直サイズレジスタ（SC0_SCL0_FRC6） 36-36
36.2.8 フル画面水平サイズレジスタ（SC0_SCL0_FRC7） 36-37
36.2.9 同期検出レジスタ（SC0_SCL0_FRC9） 36-37
36.2.10 ステータスモニタ 0 レジスタ（SC0_SCL0_MON0） 36-38
36.2.11 割り込み制御レジスタ（SC0_SCL0_INT） 36-38
36.2.12 縮小制御レジスタ（SC0_SCL0_DS1） 36-39
36.2.13 取り込み垂直サイズレジスタ（SC0_SCL0_DS2） 36-39
36.2.14 取り込み水平サイズレジスタ（SC0_SCL0_DS3） 36-40
36.2.15 水平縮小レジスタ（SC0_SCL0_DS4） 36-41
36.2.16 垂直初期位相レジスタ（SC0_SCL0_DS5） 36-42
36.2.17 垂直スケーリングレジスタ（SC0_SCL0_DS6） 36-43
36.2.18 縮小制御部出力サイズレジスタ（SC0_SCL0_DS7） 36-44
36.2.19 拡大制御レジスタ（SC0_SCL0_US1） 36-45
36.2.20 出力画像垂直サイズレジスタ（SC0_SCL0_US2） 36-45
36.2.21 出力画像水平サイズレジスタ（SC0_SCL0_US3） 36-46
36.2.22 拡大制御部入力サイズレジスタ（SC0_SCL0_US4） 36-46
36.2.23 水平拡大レジスタ（SC0_SCL0_US5） 36-47
36.2.24 水平拡大初期位相レジスタ（SC0_SCL0_US6） 36-47
36.2.25 トリミングレジスタ（SC0_SCL0_US7） 36-48
36.2.26 フレームバッファ読み出し選択レジスタ（SC0_SCL0_US8） 36-48
36.2.27 背景色レジスタ（SC0_SCL0_OVR1） 36-49
36.2.28 SCL1 レジスタ更新制御レジスタ（SC0_SCL1_UPDATE） 36-50
36.2.29 書き込み動作モードレジスタ（SC0_SCL1_WR1） 36-51
36.2.30 書き込みアドレスレジスタ 1T（SC0_SCL1_WR2） 36-52
36.2.31 書き込みアドレスレジスタ 2T（SC0_SCL1_WR3） 36-53
36.2.32 書き込みアドレスレジスタ 3T（SC0_SCL1_WR4） 36-54

36.2.33 フレーム間引きレジスタ（SC0_SCL1_WR5）.....36-55
36.2.34 ビット縮退レジスタ（SC0_SCL1_WR6）.....36-56
36.2.35 書き込み検出レジスタ（SC0_SCL1_WR7）.....36-56
36.2.36 書き込みアドレスレジスタ 1B（SC0_SCL1_WR8）.....36-57
36.2.37 書き込みアドレスレジスタ 2B（SC0_SCL1_WR9）.....36-57
36.2.38 書き込みアドレスレジスタ 3B（SC0_SCL1_WR10）.....36-58
36.2.39 書き込み検出レジスタ B（SC0_SCL1_WR11）.....36-58
36.2.40 ステータスモニタ 1 レジスタ（SC0_SCL1_MON1）.....36-59
36.2.41 ポインターバッファ 0 レジスタ（SC0_SCL1_PBUF0）.....36-59
36.2.42 ポインターバッファ 1 レジスタ（SC0_SCL1_PBUF1）.....36-60
36.2.43 ポインターバッファ 2 レジスタ（SC0_SCL1_PBUF2）.....36-60
36.2.44 ポインターバッファ 3 レジスタ（SC0_SCL1_PBUF3）.....36-60
36.2.45 ポインターバッファ、フィールド情報レジスタ（SC0_SCL1_PBUF_FLD）.....36-61
36.2.46 ポインターバッファ制御レジスタ（SC0_SCL1_PBUF_CNT）.....36-62
36.2.47 グラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）.....36-62
36.2.48 フレームバッファ読み出し制御レジスタ（グラフィックス（0））（GR0_FLM_RD）.....36-63
36.2.49 フレームバッファ制御レジスタ 1（グラフィックス（0））（GR0_FLM1）.....36-64
36.2.50 フレームバッファ制御レジスタ 2（グラフィックス（0））（GR0_FLM2）.....36-65
36.2.51 フレームバッファ制御レジスタ 3（グラフィックス（0））（GR0_FLM3）.....36-65
36.2.52 フレームバッファ制御レジスタ 4（グラフィックス（0））（GR0_FLM4）.....36-66
36.2.53 フレームバッファ制御レジスタ 5（グラフィックス（0））（GR0_FLM5）.....36-66
36.2.54 フレームバッファ制御レジスタ 6（グラフィックス（0））（GR0_FLM6）.....36-67
36.2.55 アルファブレンド制御レジスタ 1（グラフィックス（0））（GR0_AB1）.....36-69
36.2.56 アルファブレンド制御レジスタ 2（グラフィックス（0））（GR0_AB2）.....36-70
36.2.57 アルファブレンド制御レジスタ 3（グラフィックス（0））（GR0_AB3）.....36-70
36.2.58 アルファブレンド制御レジスタ 7（グラフィックス（0））（GR0_AB7）.....36-71
36.2.59 アルファブレンド制御レジスタ 8（グラフィックス（0））（GR0_AB8）.....36-71
36.2.60 アルファブレンド制御レジスタ 9（グラフィックス（0））（GR0_AB9）.....36-72
36.2.61 アルファブレンド制御レジスタ 10（グラフィックス（0））（GR0_AB10）.....36-72
36.2.62 アルファブレンド制御レジスタ 11（グラフィックス（0））（GR0_AB11）.....36-73
36.2.63 背景色制御レジスタ（グラフィックス（0））（GR0_BASE）.....36-73
36.2.64 CLUT テーブル制御レジスタ（グラフィックス（0））（GR0_CLUT）.....36-74
36.3 使用方法.....36-75
36.3.1 525i 映像入力、VGA (640 × 480) サイズ映像出力のスケーリング設定例.....36-75
36.3.2 グラフィックス表示時のスケーリング設定例.....36-79
36.3.3 グラフィックス拡大表示時のスケーリング設定例.....36-81
37. ビデオディスプレイコントローラ 6（4） 画質改善部.....37-1
37.1 画質改善機能.....37-1
37.1.1 機能概要.....37-1

37.1.2 レジスタの更新制御 37-2
37.1.3 黒伸張 37-2
37.1.4 エンハンサ 37-3
37.1.5 カラーマトリクス 37-8
37.2 レジスタの説明 37-10
37.2.1 画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE） 37-11
37.2.2 黒伸張部レジスタ（ADJ0_BKSTR_SET） 37-12
37.2.3 エンハンサタイミング調整レジスタ 1（ADJ0_ENH_TIM1） 37-13
37.2.4 エンハンサタイミング調整レジスタ 2（ADJ0_ENH_TIM2） 37-13
37.2.5 エンハンサタイミング調整レジスタ 3（ADJ0_ENH_TIM3） 37-14
37.2.6 エンハンサシャープネスレジスタ 1（ADJ0_ENH_SHP1） 37-14
37.2.7 エンハンサシャープネスレジスタ 2（ADJ0_ENH_SHP2） 37-15
37.2.8 エンハンサシャープネスレジスタ 3（ADJ0_ENH_SHP3） 37-15
37.2.9 エンハンサシャープネスレジスタ 4（ADJ0_ENH_SHP4） 37-16
37.2.10 エンハンサシャープネスレジスタ 5（ADJ0_ENH_SHP5） 37-16
37.2.11 エンハンサシャープネスレジスタ 6（ADJ0_ENH_SHP6） 37-17
37.2.12 エンハンサ LTI レジスタ 1（ADJ0_ENH_LTI1） 37-18
37.2.13 エンハンサ LTI レジスタ 2（ADJ0_ENH_LTI2） 37-19
37.2.14 画質改善部マトリクスモードレジスタ（ADJ0_MTX_MODE） 37-19
37.2.15 画質改善部マトリクス YG 調整レジスタ 0（ADJ0_MTX_YG_ADJ0） 37-20
37.2.16 画質改善部マトリクス YG 調整レジスタ 1（ADJ0_MTX_YG_ADJ1） 37-20
37.2.17 画質改善部マトリクス CBB 調整レジスタ 0（ADJ0_MTX_CBB_ADJ0） 37-21
37.2.18 画質改善部マトリクス CBB 調整レジスタ 1（ADJ0_MTX_CBB_ADJ1） 37-21
37.2.19 画質改善部マトリクス CRR 調整レジスタ 0（ADJ0_MTX_CRR_ADJ0） 37-22
37.2.20 画質改善部マトリクス CRR 調整レジスタ 1（ADJ0_MTX_CRR_ADJ1） 37-22
37.3 使用方法 37-23
37.3.1 黒伸張の使用方法 37-23
37.3.2 エンハンサの LTI 処理 37-23
37.3.3 エンハンサのシャープネス処理 37-24
37.3.4 カラーマトリクスのデータ変換設定方法 37-25
38. ビデオディスプレイコントローラ 6（5） 画面合成部 38-1
38.1 画面合成機能 38-1
38.1.1 機能概要 38-1
38.1.2 グラフィックスデータ読み出し制御 38-2
38.1.3 グラフィックス領域設定 38-12
38.1.4 指定ライン割り込み生成 38-13
38.1.5 フレームバッファ読み出し信号フォーマットとアルファブレンドの対応 38-13
38.1.6 表示選択 38-14
38.1.7 背景色表示処理 38-16
38.1.8 下層グラフィックス表示処理 38-16

38.1.9 カレントグラフィックス表示処理 38-16
38.1.10 矩形領域アルファブレンド表示処理 38-16
38.1.11 RGB 参照クロマキー表示処理 38-19
38.1.12 CLUT 参照クロマキー表示処理 38-20
38.1.13 画素単位アルファブレンド表示処理 38-21
38.1.14 アルファブレンド演算式 38-21
38.1.15 CLUT テーブル 38-22
38.1.16 矩形領域アルファブレンドでのカレントαとのマルチプライ表示処理 38-23
38.1.17 VIN 合成部の下層グラフィックス選択 38-23
38.2 レジスタの説明 38-24
38.2.1 グラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE） 38-27
38.2.2 フレームバッファ読み出し制御レジスタ（グラフィックス（2））（GR2_FLM_RD） 38-27
38.2.3 フレームバッファ制御レジスタ 1（グラフィックス（2））（GR2_FLM1） 38-28
38.2.4 フレームバッファ制御レジスタ 2（グラフィックス（2））（GR2_FLM2） 38-29
38.2.5 フレームバッファ制御レジスタ 3（グラフィックス（2））（GR2_FLM3） 38-29
38.2.6 フレームバッファ制御レジスタ 4（グラフィックス（2））（GR2_FLM4） 38-30
38.2.7 フレームバッファ制御レジスタ 5（グラフィックス（2））（GR2_FLM5） 38-30
38.2.8 フレームバッファ制御レジスタ 6（グラフィックス（2））（GR2_FLM6） 38-31
38.2.9 アルファブレンド制御レジスタ 1（グラフィックス（2））（GR2_AB1） 38-32
38.2.10 アルファブレンド制御レジスタ 2（グラフィックス（2））（GR2_AB2） 38-33
38.2.11 アルファブレンド制御レジスタ 3（グラフィックス（2））（GR2_AB3） 38-33
38.2.12 アルファブレンド制御レジスタ 4（グラフィックス（2））（GR2_AB4） 38-34
38.2.13 アルファブレンド制御レジスタ 5（グラフィックス（2））（GR2_AB5） 38-34
38.2.14 アルファブレンド制御レジスタ 6（グラフィックス（2））（GR2_AB6） 38-35
38.2.15 アルファブレンド制御レジスタ 7（グラフィックス（2））（GR2_AB7） 38-35
38.2.16 アルファブレンド制御レジスタ 8（グラフィックス（2））（GR2_AB8） 38-36
38.2.17 アルファブレンド制御レジスタ 9（グラフィックス（2））（GR2_AB9） 38-36
38.2.18 アルファブレンド制御レジスタ 10（グラフィックス（2））（GR2_AB10） 38-37
38.2.19 アルファブレンド制御レジスタ 11（グラフィックス（2））（GR2_AB11） 38-37
38.2.20 背景色制御レジスタ（グラフィックス（2））（GR2_BASE） 38-38
38.2.21 CLUT テーブル制御レジスタ（グラフィックス（2））（GR2_CLUT） 38-38
38.2.22 ステータスモニタレジスタ（グラフィックス（2））（GR2_MON） 38-39
38.2.23 グラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE） 38-39
38.2.24 フレームバッファ読み出し制御レジスタ（グラフィックス（3））（GR3_FLM_RD） 38-40
38.2.25 フレームバッファ制御レジスタ 1（グラフィックス（3））（GR3_FLM1） 38-41
38.2.26 フレームバッファ制御レジスタ 2（グラフィックス（3））（GR3_FLM2） 38-42
38.2.27 フレームバッファ制御レジスタ 3（グラフィックス（3））（GR3_FLM3） 38-42
38.2.28 フレームバッファ制御レジスタ 4（グラフィックス（3））（GR3_FLM4） 38-43
38.2.29 フレームバッファ制御レジスタ 5（グラフィックス（3））（GR3_FLM5） 38-43

38.2.30 フレームバッファ制御レジスタ 6（グラフィックス（3））（GR3_FLM6）.....38-44
38.2.31 アルファブレンド制御レジスタ 1（グラフィックス（3））（GR3_AB1）.....38-45
38.2.32 アルファブレンド制御レジスタ 2（グラフィックス（3））（GR3_AB2）.....38-46
38.2.33 アルファブレンド制御レジスタ 3（グラフィックス（3））（GR3_AB3）.....38-46
38.2.34 アルファブレンド制御レジスタ 4（グラフィックス（3））（GR3_AB4）.....38-47
38.2.35 アルファブレンド制御レジスタ 5（グラフィックス（3））（GR3_AB5）.....38-47
38.2.36 アルファブレンド制御レジスタ 6（グラフィックス（3））（GR3_AB6）.....38-48
38.2.37 アルファブレンド制御レジスタ 7（グラフィックス（3））（GR3_AB7）.....38-48
38.2.38 アルファブレンド制御レジスタ 8（グラフィックス（3））（GR3_AB8）.....38-49
38.2.39 アルファブレンド制御レジスタ 9（グラフィックス（3））（GR3_AB9）.....38-49
38.2.40 アルファブレンド制御レジスタ 10（グラフィックス（3））（GR3_AB10）.....38-50
38.2.41 アルファブレンド制御レジスタ 11（グラフィックス（3））（GR3_AB11）.....38-50
38.2.42 背景色制御レジスタ（グラフィックス（3））（GR3_BASE）.....38-51
38.2.43 CLUT テーブル・割り込み制御レジスタ（グラフィックス（3））（GR3_CLUT_INT）.....38-51
38.2.44 ステータスモニタレジスタ（グラフィックス（3））（GR3_MON）.....38-52
38.2.45 VIN 合成部レジスタ更新制御レジスタ（GR_VIN_UPDATE）.....38-52
38.2.46 アルファブレンド制御レジスタ 1（VIN 合成部）（GR_VIN_AB1）.....38-53
38.3 使用方法.....38-54
38.3.1 ミュート.....38-54
38.3.2 矩形領域アルファブレンド.....38-54
39. ビデオディスプレイコントローラ 6（7） 出力制御部.....39-1
39.1 出力制御機能.....39-1
39.1.1 機能概要.....39-1
39.1.2 レジスタの更新制御.....39-1
39.1.3 経路選択.....39-2
39.1.4 ブライト調整.....39-2
39.1.5 コントラスト調整.....39-3
39.1.6 ガンマ補正.....39-3
39.1.7 ディザ処理.....39-7
39.1.8 出力フォーマット変換.....39-9
39.1.9 LCD TCON.....39-15
39.2 レジスタの説明.....39-27
39.2.1 ガンマ補正部レジスタ更新制御レジスタ G（GAM_G_UPDATE）.....39-30
39.2.2 ガンマ補正部機能スイッチレジスタ（GAM_SW）.....39-30
39.2.3 ガンマ補正部テーブル設定レジスタ G1 ～ 16（GAM_G_LUT1 ～ 16）.....39-31
39.2.4 ガンマ補正部領域設定レジスタ G1（GAM_G_AREA1）.....39-33
39.2.5 ガンマ補正部領域設定レジスタ G2（GAM_G_AREA2）.....39-33
39.2.6 ガンマ補正部領域設定レジスタ G3（GAM_G_AREA3）.....39-34
39.2.7 ガンマ補正部領域設定レジスタ G4（GAM_G_AREA4）.....39-34

39.2.8 ガンマ補正部領域設定レジスタ G5（GAM_G_AREA5）.....39-35
39.2.9 ガンマ補正部領域設定レジスタ G6（GAM_G_AREA6）.....39-35
39.2.10 ガンマ補正部領域設定レジスタ G7（GAM_G_AREA7）.....39-36
39.2.11 ガンマ補正部領域設定レジスタ G8（GAM_G_AREA8）.....39-36
39.2.12 ガンマ補正部レジスタ更新制御レジスタ B（GAM_B_UPDATE）.....39-37
39.2.13 ガンマ補正部テーブル設定レジスタ B1 ～ 16（GAM_B_LUT1 ～ 16）.....39-38
39.2.14 ガンマ補正部領域設定レジスタ B1（GAM_B_AREA1）.....39-40
39.2.15 ガンマ補正部領域設定レジスタ B2（GAM_B_AREA2）.....39-40
39.2.16 ガンマ補正部領域設定レジスタ B3（GAM_B_AREA3）.....39-41
39.2.17 ガンマ補正部領域設定レジスタ B4（GAM_B_AREA4）.....39-41
39.2.18 ガンマ補正部領域設定レジスタ B5（GAM_B_AREA5）.....39-42
39.2.19 ガンマ補正部領域設定レジスタ B6（GAM_B_AREA6）.....39-42
39.2.20 ガンマ補正部領域設定レジスタ B7（GAM_B_AREA7）.....39-43
39.2.21 ガンマ補正部領域設定レジスタ B8（GAM_B_AREA8）.....39-43
39.2.22 ガンマ補正部レジスタ更新制御レジスタ R（GAM_R_UPDATE）.....39-44
39.2.23 ガンマ補正部テーブル設定レジスタ R1 ～ 16（GAM_R_LUT1 ～ 16）.....39-45
39.2.24 ガンマ補正部領域設定レジスタ R1（GAM_R_AREA1）.....39-47
39.2.25 ガンマ補正部領域設定レジスタ R2（GAM_R_AREA2）.....39-47
39.2.26 ガンマ補正部領域設定レジスタ R3（GAM_R_AREA3）.....39-48
39.2.27 ガンマ補正部領域設定レジスタ R4（GAM_R_AREA4）.....39-48
39.2.28 ガンマ補正部領域設定レジスタ R5（GAM_R_AREA5）.....39-49
39.2.29 ガンマ補正部領域設定レジスタ R6（GAM_R_AREA6）.....39-49
39.2.30 ガンマ補正部領域設定レジスタ R7（GAM_R_AREA7）.....39-50
39.2.31 ガンマ補正部領域設定レジスタ R8（GAM_R_AREA8）.....39-50
39.2.32 TCON レジスタ更新制御レジスタ（TCON_UPDATE）.....39-51
39.2.33 TCON 基準タイミング設定レジスタ（TCON_TIM）.....39-51
39.2.34 TCON 垂直タイミング設定レジスタ A1（TCON_TIM_STVA1）.....39-52
39.2.35 TCON 垂直タイミング設定レジスタ A2（TCON_TIM_STVA2）.....39-52
39.2.36 TCON 垂直タイミング設定レジスタ B1（TCON_TIM_STVB1）.....39-53
39.2.37 TCON 垂直タイミング設定レジスタ B2（TCON_TIM_STVB2）.....39-54
39.2.38 TCON 水平タイミング設定レジスタ STH1（TCON_TIM_STH1）.....39-55
39.2.39 TCON 水平タイミング設定レジスタ STH2（TCON_TIM_STH2）.....39-56
39.2.40 TCON 水平タイミング設定レジスタ STB1（TCON_TIM_STB1）.....39-57
39.2.41 TCON 水平タイミング設定レジスタ STB2（TCON_TIM_STB2）.....39-58
39.2.42 TCON 水平タイミング設定レジスタ CPV1（TCON_TIM_CPV1）.....39-59
39.2.43 TCON 水平タイミング設定レジスタ CPV2（TCON_TIM_CPV2）.....39-60
39.2.44 TCON 水平タイミング設定レジスタ POLA1（TCON_TIM_POLA1）.....39-61
39.2.45 TCON 水平タイミング設定レジスタ POLA2（TCON_TIM_POLA2）.....39-62
39.2.46 TCON 水平タイミング設定レジスタ POLB1（TCON_TIM_POLB1）.....39-63
39.2.47 TCON 水平タイミング設定レジスタ POLB2（TCON_TIM_POLB2）.....39-64

39.2.48 TCON データイネーブル極性設定レジスタ（TCON_TIM_DE）.....39-65
39.2.49 出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）.....39-65
39.2.50 出力インタフェース用レジスタ（OUT_SET）.....39-66
39.2.51 ブライト（DC）補正用レジスタ 1（OUT_BRIGHT1）.....39-68
39.2.52 ブライト（DC）補正用レジスタ 2（OUT_BRIGHT2）.....39-68
39.2.53 コントラスト（ゲイン）補正用レジスタ（OUT_CONTRAST）.....39-69
39.2.54 パネルディザレジスタ（OUT_PDTHA）.....39-70
39.2.55 出力位相制御レジスタ（OUT_CLK_PHASE）.....39-71
39.3 使用方法.....39-72
39.3.1 ガンマ補正調整方法.....39-72
39.3.2 ディザの使用方法.....39-72
39.3.3 出力フォーマット調整方法.....39-73
40. ビデオディスプレイコントローラ 6（8） システム制御部.....40-1
40.1 システム制御機能.....40-1
40.1.1 機能概要.....40-1
40.1.2 割り込み制御.....40-1
40.1.3 パネルクロック制御.....40-4
40.1.4 CLUT テーブル読み出し選択信号ステータスフラグ.....40-5
40.2 レジスタの説明.....40-6
40.2.1 割り込み制御レジスタ 1（SYSCNT_INT1）.....40-7
40.2.2 割り込み制御レジスタ 2（SYSCNT_INT2）.....40-8
40.2.3 割り込み制御レジスタ 4（SYSCNT_INT4）.....40-9
40.2.4 割り込み制御レジスタ 5（SYSCNT_INT5）.....40-10
40.2.5 パネルクロック制御レジスタ（SYSCNT_PANEL_CLK）.....40-11
40.2.6 CLUT テーブル読み出し選択信号ステータスフラグレジスタ（SYSCNT_CLUT）.....40-12
41. LVDS 出力インタフェース.....41-1
41.1 特長.....41-1
41.2 ブロック図.....41-1
41.3 入出力端子.....41-3
41.4 レジスタの説明.....41-4
41.4.1 LVDS レジスタ更新制御レジスタ（LVDS_UPDATE）.....41-4
41.4.2 LVDS フォーマット変換レジスタ L（LVDSFCL）.....41-5
41.4.3 LVDS クロック選択レジスタ（LCLKSELR）.....41-6
41.4.4 LVDS PLL 設定（LPLLSETR）.....41-7
41.5 動作説明.....41-8
41.5.1 LVDS PLL 設定.....41-8
41.5.2 LVDS 出力フォーマット.....41-10
41.5.3 設定フロー.....41-12
41.6 注意事項.....41-14

41.6.1 LVDS 出力端子設定 41-14
42. 歪み補正エンジン 2（IMR-LS2） 42-1
43. 2D 描画エンジン（DRW） 43-1
43.1 概要 43-1
43.2 レジスタの説明 43-4
43.2.1 ジオメトリコントロールレジスタ（CONTROL） 43-6
43.2.2 サーフェスコントロールレジスタ（CONTROL2） 43-8
43.2.3 割り込みコントロールレジスタ（IRQCTL） 43-11
43.2.4 キャッシュコントロールレジスタ（CACHECTL） 43-12
43.2.5 ステータスコントロールレジスタ（STATUS） 43-13
43.2.6 ハードウェアバージョンおよび機能セット ID レジスタ（HWREVISION） 43-14
43.2.7 ベースカラーレジスタ（COLOR1） 43-15
43.2.8 セカンダリカラーレジスタ（COLOR2） 43-15
43.2.9 パターンレジスタ（PATTERN） 43-16
43.2.10 リミッタ N 開始値レジスタ（LnSTART） 43-16
43.2.11 リミッタ N X 軸インクリメントレジスタ（LnXADD） 43-17
43.2.12 リミッタ N Y 軸インクリメントレジスタ（LnYADD） 43-17
43.2.13 リミッタ M バンド幅パラメータレジスタ（LmBAND） 43-18
43.2.14 テクスチャベースアドレスレジスタ（TEXORIGIN） 43-18
43.2.15 テクスチャライン別テクセル数レジスタ（TEXPITCH） 43-19
43.2.16 テクスチャサイズ／テクスチャアドレスマスクレジスタ（TEXMASK） 43-19
43.2.17 U リミッタ開始値レジスタ（LUSTART） 43-20
43.2.18 U リミッタ X 軸インクリメントレジスタ（LUXADD） 43-20
43.2.19 U リミッタ Y 軸インクリメントレジスタ（LUYADD） 43-21
43.2.20 V リミッタ開始値整数部レジスタ（LVSTARTI） 43-21
43.2.21 V リミッタ開始値小数部レジスタ（LVSTARTF） 43-22
43.2.22 V リミッタ X 軸インクリメント整数部レジスタ（LVXADDI） 43-22
43.2.23 V リミッタ Y 軸インクリメント整数部レジスタ（LVYADDI） 43-23
43.2.24 V リミッタインクリメント小数部レジスタ（LVYXADDF） 43-23
43.2.25 CLUT 開始アドレスレジスタ（TEXCLADDR） 43-24
43.2.26 CLUT データレジスタ（TEXCLDATA） 43-24
43.2.27 CLUT オフセットレジスタ（TEXCLOFFSET） 43-25
43.2.28 カラーキーレジスタ（COLKEY） 43-25
43.2.29 バウンディングボックス次元レジスタ（SIZE） 43-26
43.2.30 フレームバッファピッチおよびスパンストア遅延レジスタ（PITCH） 43-26
43.2.31 フレームバッファベースアドレスレジスタ（ORIGIN） 43-27
43.2.32 ディスプレイリスト開始アドレスレジスタ（DLISTSTART） 43-27
43.2.33 パフォーマンスカウンタコントロールレジスタ（PERFTRIGGER） 43-28
43.2.34 パフォーマンスカウンタ k（PERFCOUNTk）（k = 1、2） 43-28
43.3 描画機能 43-29

43.3.1 描画機能の概要 43-29
43.3.1.1 カラーフォーマット 43-29
43.3.1.2 BitBLT 機能 43-29
43.3.1.3 ベクタ描画機能 43-30
43.3.2 ベクタ描画 43-31
43.3.3 BitBLT 43-32
43.3.3.1 塗りつぶし 43-32
43.3.3.2 コピー 43-32
43.3.3.3 ストレッチ BitBLT 43-32
43.3.3.4 回転とスケーリング 43-32
43.3.3.5 アルファブレンディング 43-32
43.3.3.6 バイリニアフィルタリング 43-33
43.3.3.7 カラー変換 43-33
43.4 入出力データフォーマット 43-34
43.4.1 転送元データと転送先データ 43-34
43.4.2 フレームバッファカラーフォーマット 43-34
43.4.3 テクスチャカラーフォーマット 43-36
43.5 テクスチャデータの処理 43-39
43.5.1 テクスチャカラーフォーマット 43-39
43.5.2 ランレングスエンコード（RLE）ユニット 43-40
43.5.2.1 RLE テクセルフォーマット 43-41
43.5.2.2 Targa RLE フォーマット 43-42
43.5.3 カラールックアップテーブル（CLUT） 43-43
43.5.3.1 CLUT/I ピクセルデータフォーマット 43-43
43.5.4 カラーキーイング 43-44
43.6 レンダリングパイプライン 43-45
43.6.1 座標変換 43-45
43.6.2 ラスタライゼーション 43-45
43.6.2.1 エッジセットアップ：線形の場合 43-47
43.6.2.2 エッジセットアップ：2 次の場合 43-51
43.6.2.3 バンドフィルタ 43-54
43.6.2.4 クランピングユニット 43-55
43.6.2.5 コンバイナユニット 43-56
43.6.2.6 ラスタライゼーションの最適化 43-57
43.6.3 テクスチャ処理 43-60
43.6.3.1 数学的背景 43-60
43.6.3.2 リミッタの動作 43-63
43.6.4 カラライゼーション 43-64
43.6.5 ブレンディング 43-65
43.6.5.1 カラーチャネルブレンディング 43-65

43.6.5.2 アルファチャネルブレンディング 43-67
43.7 レンダリングモード 43-69
43.7.1 レジスタモード 43-69
43.7.2 ディスプレイリストモード 43-69
43.7.3 レンダリング処理の停止 43-73
43.8 割り込み 43-74
43.8.1 割り込み要因 43-74
43.8.2 割り込みコントロール 43-75
43.9 パフォーマンスカウンタ 43-76
43.10 2D 描画エンジンのレンダリング処理の停止 43-77
44. スプライトエンジン（SPEA） 44-1
44.1 スプライトユニットと RLE ユニットの概要 44-1
44.1.1 ユニット 44-1
44.1.2 スプライトユニットと RLE ユニットのインデックス 44-1
44.1.3 レジスタアドレス 44-1
44.2 機能概要 44-2
44.3 RLE ユニット機能説明 44-3
44.3.1 RLE レイヤ定義 44-5
44.3.2 カラーモード 44-6
44.3.3 メモリ内の RLE データパケット 44-7
44.3.4 メモリ内のパケット配置 44-8
44.3.5 RLE 定義レジスタの変更 44-9
44.4 スプライトユニットの機能説明 44-10
44.4.1 スプライト仮想フレーム 44-10
44.4.2 スプライト有効化 44-10
44.4.3 Color modes 44-11
44.4.4 スプライト定義 44-11
44.4.5 重複スプライト 44-12
44.4.6 有効なスプライトのないスプライトレイヤ領域 44-13
44.4.7 スプライト定義レジスタの変更 44-13
44.4.8 カラーデータ配置 44-13
44.5 スプライトユニットと RLE ユニットのレジスタ 44-14
44.5.1 RLE ユニットレジスタ 44-15
44.5.1.1 SPEAnRLSL - RLE ユニットイネーブル制御レジスタ 44-15
44.5.1.2 SPEAnSTAi - RLE ユニット i 開始アドレスレジスタ 44-16
44.5.1.3 SPEAnPHAi - RLE ユニット i 物理アドレスレジスタ 44-17
44.5.1.4 SPEAnRCMi - RLE ユニット i カラーモード選択レジスタ 44-18
44.5.1.5 SPEAnRUP - RLE レジスタ更新 要求レジスタ 44-19
44.5.1.6 SPEAnRCFG - RLE プリフェッチ構成レジスタ 44-20
44.5.2 スプライトユニットレジスタ 44-21

44.5.2.1 SPEAnSkEN - スプライトユニット k イネーブルレジスタ 44-21
44.5.2.2 SPEAnSkDS - スプライトユニット k ディスエーブルレジスタ 44-22
44.5.2.3 SPEAnSkUP - スプライトユニット k 更新要求レジスタ 44-23
44.5.2.4 SPEAnSkDAm - スプライトユニット k スプライト m デスティネーションアドレスレジスタ 44-24
44.5.2.5 SPEAnSkLYm - スプライトユニット k スプライト m 幅／高さ レジスタ 44-25
44.5.2.6 SPEAnSkPSm - スプライトユニット k スプライト m X/Y ポジションレジスタ 44-26
45. JPEG コーデックユニット 45-1
45.1 特長 45-1
45.2 レジスタの説明 45-3
45.2.1 JPEG コードモードレジスタ（JCMOD） 45-5
45.2.2 JPEG コードコマンドレジスタ（JCCMD） 45-6
45.2.3 JPEG コード量子化テーブル番号レジスタ（JCQTN） 45-7
45.2.4 JPEG コードハフマンテーブル番号レジスタ（JCHTN） 45-7
45.2.5 JPEG コード DRI 上位レジスタ（JCDRIU） 45-8
45.2.6 JPEG コード DRI 下位レジスタ（JCDRID） 45-8
45.2.7 JPEG コード垂直方向サイズ上位レジスタ（JCVSZU） 45-8
45.2.8 JPEG コード垂直方向サイズ下位レジスタ（JCVSZD） 45-9
45.2.9 JPEG コード水平方向サイズ上位レジスタ（JCHSZU） 45-9
45.2.10 JPEG コード水平方向サイズ下位レジスタ（JCHSZD） 45-9
45.2.11 JPEG コードデータカウント上位レジスタ（JCDTCU） 45-10
45.2.12 JPEG コードデータカウント中位レジスタ（JCDTCM） 45-10
45.2.13 JPEG コードデータカウント下位レジスタ（JCDTCD） 45-10
45.2.14 JPEG 割り込みイネーブルレジスタ 0（JINTE0） 45-11
45.2.15 JPEG 割り込みステータスレジスタ 0（JINTS0） 45-12
45.2.16 JPEG コードデコードエラーレジスタ（JCDERR） 45-13
45.2.17 JPEG コード再起動レジスタ（JCRST） 45-13
45.2.18 JPEG インタフェース圧縮制御レジスタ（JIFECNT） 45-14
45.2.19 JPEG インタフェース圧縮ソースアドレスレジスタ（JIFESA） 45-15
45.2.20 JPEG インタフェース圧縮ラインオフセットレジスタ（JIFESOFST） 45-16
45.2.21 JPEG インタフェース圧縮デスティネーションアドレスレジスタ（JIFEDA） 45-17
45.2.22 JPEG インタフェース圧縮ソースラインカウントレジスタ（JIFESLC） 45-18
45.2.23 JPEG インタフェース圧縮デスティネーションカウントレジスタ（JIFEDDC） 45-19
45.2.24 JPEG インタフェース伸長制御レジスタ（JIFDCNT） 45-20
45.2.25 JPEG インタフェース伸長ソースアドレスレジスタ（JIFDSA） 45-22
45.2.26 JPEG インタフェース伸長ラインオフセットレジスタ（JIFDDOFST） 45-23
45.2.27 JPEG インタフェース伸長デスティネーションアドレスレジスタ（JIFDDA） 45-24
45.2.28 JPEG インタフェース伸長ソースデータカウントレジスタ（JIFDSDC） 45-24

45.2.29 JPEG インタフェース伸長デスティネーションラインカウントレジスタ（JIFDDLC）.....45-25
45.2.30 JPEG インタフェース伸長 α 設定レジスタ（JIFDADT）.....45-26
45.2.31 JPEG 割り込みイネーブルレジスタ 1（JINTE1）.....45-27
45.2.32 JPEG 割り込みステータスレジスタ 1（JINTS1）.....45-28
45.2.33 JPEG 入力画像データ CbCr 範囲設定レジスタ（JIFESVSZ）.....45-29
45.2.34 JPEG 出力画像データ CbCr 範囲設定レジスタ（JIFESHSZ）.....45-30
45.3 動作説明.....45-31
45.3.1 圧縮.....45-31
45.3.2 伸長.....45-38
45.3.3 伸長時の出力ピクセルフォーマット.....45-46
45.3.4 画像データ格納.....45-50
45.4 割り込み.....45-51
45.4.1 圧縮伸長処理割り込み要求（JEDI）.....45-51
45.4.2 データ転送処理割り込み要求（JDTI）.....45-52
45.5 バスリセット処理.....45-53
46. キャプチャエンジンユニット.....46-1
46.1 CEU 特長.....46-1
46.2 CEU の機能概要.....46-2
46.3 CEU の端子構成.....46-3
46.4 CEU レジスタの説明.....46-4
46.4.1 キャプチャ開始レジスタ（CAPSR）.....46-6
46.4.2 キャプチャ制御レジスタ（CAPCR）.....46-9
46.4.3 キャプチャインタフェース制御レジスタ（CAMCR）.....46-11
46.4.4 キャプチャインタフェースサイクルレジスタ（CMCYR）.....46-15
46.4.5 キャプチャインタフェースオフセットレジスタ（CAMOR）.....46-16
46.4.6 キャプチャインタフェース幅レジスタ（CAPWR）.....46-18
46.4.7 キャプチャインタフェース入力方式レジスタ（CAIFR）.....46-20
46.4.8 CEU レジスタ制御レジスタ（CRCNTR）.....46-24
46.4.9 CEU レジスタ強制制御レジスタ（CRCMPR）.....46-25
46.4.10 キャプチャフィルタ制御レジスタ（CFLCR）.....46-26
46.4.11 キャプチャフィルタサイズクリップレジスタ（CFSZR）.....46-29
46.4.12 キャプチャデスティネーション幅レジスタ（CDWDR）.....46-31
46.4.13 キャプチャデータアドレス Y レジスタ（CDAYR）.....46-32
46.4.14 キャプチャデータアドレス C レジスタ（CDACR）.....46-34
46.4.15 キャプチャデータボトムフィールドアドレス Y レジスタ（CDBYR）.....46-36
46.4.16 キャプチャデータボトムフィールドアドレス C レジスタ（CDBCR）.....46-37
46.4.17 キャプチャバンドルデスティネーションサイズレジスタ（CBDSR）.....46-39
46.4.18 キャプチャローパスフィルタ制御レジスタ（CLFCR）.....46-40
46.4.19 ファイアウォール動作制御レジスタ（CFWCR）.....46-41

46.4.20 キャプチャデータ出力制御レジスタ（CDOCR）....46-42
46.4.21 キャプチャイベント割り込み許可レジスタ（CEIER）....46-46
46.4.22 キャプチャイベントフラグクリアレジスタ（CETCR）....46-48
46.4.23 キャプチャステータスレジスタ（CSTSR）....46-52
46.4.24 キャプチャデータ容量レジスタ（CDSSR）....46-53
46.4.25 キャプチャデータアドレス Y レジスタ 2（CDAYR2）....46-54
46.4.26 キャプチャデータアドレス C レジスタ 2（CDACR2）....46-56
46.4.27 キャプチャデータボトムフィールドアドレス Y レジスタ 2（CDBYR2）....46-58
46.4.28 キャプチャデータボトムフィールドアドレス C レジスタ 2（CDBCR2）....46-59
46.5 CEU の使用上の注意事項....46-61
46.5.1 外部モジュールの接続条件....46-61
46.5.2 入出力機能制限事項....46-62
46.5.3 ビデオディスプレイコントローラ 6 との連携....46-62
46.5.4 ソフトウェアリセット....46-62
47. MIPI CSI2 インタフェース....47-1
47.1 概要....47-1
47.1.1 特長....47-1
47.1.2 ブロック図....47-2
47.1.3 外部端子....47-3
47.1.4 レジスタ構成....47-3
47.2 レジスタ説明....47-5
47.2.1 制御タイミング選択レジスタ (TREF)....47-5
47.2.2 ソフトウェアリセットレジスタ (SRST)....47-6
47.2.3 PHY 動作制御レジスタ (PHYCNT)....47-7
47.2.4 チェックサム制御レジスタ (CHKSUM)....47-8
47.2.5 チャネルデータタイプ選択レジスタ (VCDT)....47-9
47.2.6 フレームデータタイプ選択レジスタ (FRDT)....47-10
47.2.7 フィールド検出制御レジスタ (FLD)....47-11
47.2.8 自動スタンバイ制御レジスタ (ASTBY)....47-12
47.2.9 ロングデータタイプ設定レジスタ 0 (LNGDT0)....47-13
47.2.10 ロングデータタイプ設定レジスタ 1 (LNGDT1)....47-14
47.2.11 割り込みイネーブルレジスタ (INTEN)....47-15
47.2.12 割り込み要因マスクレジスタ (INTCLOSE)....47-17
47.2.13 割り込み状態モニタレジスタ (INTSTATE)....47-19
47.2.14 割り込みエラー状態モニタレジスタ (INTERRSTATE)....47-23
47.2.15 ショートパケットデータレジスタ (SHPDAT)....47-25
47.2.16 ショートパケットカウントレジスタ (SHPCNT)....47-26
47.2.17 LINK 動作制御レジスタ (LINKCNT)....47-27
47.2.18 レーンスワップレジスタ (LSWAP)....47-28
47.2.19 PHY ESC エラー モニタレジスタ (PHEERM)....47-29

47.2.20 PHY クロックレーン モニタレジスタ (PHCLM) 47-30
47.2.21 PHY データレーン モニタレジスタ (PHDLM) 47-31
47.2.22 パケットヘッダ 0 モニタレジスタ 0 (PH0M0) 47-32
47.2.23 パケットヘッダ 0 モニタレジスタ 1 (PH0M1) 47-32
47.2.24 パケットヘッダ 1 モニタレジスタ 0 (PH1M0) 47-33
47.2.25 パケットヘッダ 1 モニタレジスタ 1 (PH1M1) 47-33
47.2.26 パケットヘッダ 2 モニタレジスタ 0 (PH2M0) 47-34
47.2.27 パケットヘッダ 2 モニタレジスタ 1 (PH2M1) 47-34
47.2.28 パケットヘッダ 3 モニタレジスタ 0 (PH3M0) 47-35
47.2.29 パケットヘッダ 3 モニタレジスタ 1 (PH3M1) 47-35
47.2.30 パケットヘッダ R モニタレジスタ 0 (PHRM0) 47-36
47.2.31 パケットヘッダ R モニタレジスタ 1 (PHRM1) 47-36
47.2.32 パケットヘッダ R モニタレジスタ 2 (PHRM2) 47-37
47.2.33 パケットヘッダ C モニタレジスタ 0 (PHCM0) 47-37
47.2.34 パケットヘッダ C モニタレジスタ 1 (PHCM1) 47-38
47.2.35 CRC モニタレジスタ 0 (CRCM0) 47-38
47.2.36 CRC モニタレジスタ 1 (CRCM1) 47-39
47.2.37 SOT エラーカウントレジスタ (SERRCNT) 47-39
47.2.38 SOTSYNC エラーカウントレジスタ (SSERRCNT) 47-40
47.2.39 ECC_CRCT カウントレジスタ (ECCCM) 47-40
47.2.40 ECC_ERR カウントレジスタ (ECECM) 47-41
47.2.41 CRC_ERR カウントレジスタ (CRCECM) 47-41
47.2.42 ラインレジスタ (LCNT) 47-42
47.2.43 ラインモニタレジスタ (LCNTM) 47-42
47.2.44 フレームカウントモニタレジスタ (FCNTM) 47-43
47.2.45 PHY 入力データモニタレジスタ (PHYDIM) 47-43
47.2.46 PHY 入力モニタレジスタ (PHYIM) 47-44
47.2.47 VIN データモニタレジスタ (VINDM) 47-45
47.2.48 VIN 信号モニタレジスタ 1 (VINSM1) 47-45
47.2.49 VIN 信号モニタレジスタ 3 (VINSM3) 47-46
47.2.50 PHY 出力モニタレジスタ (PHYOM) 47-47
47.2.51 パケットヘッダ モニタレジスタ 1 → 8 (PHM1 → PHM8) 47-47
47.2.52 PHY タイミングレジスタ 1（PHYTIM1） 47-48
47.2.53 PHY タイミングレジスタ 2（PHYTIM2） 47-48
47.2.54 PHY タイミングレジスタ 3（PHYTIM3） 47-49
47.3 動作 47-50
47.3.1 転送レート 47-50
47.3.2 パケットヘッダでの ECC 1 ビットのエラー訂正と 2 ビット以上のエラー検出 47-50
47.3.3 ペイロードデータ部の CRC エラー検出 47-51
47.3.4 VD（垂直同期）、HD（水平同期）、FLD（フィールド）信号の生成 47-52

47.3.5 1 チャネル出力 47-53
47.3.6 割り込み 47-54
47.3.7 レーンスワッピング 47-57
47.3.8 PHY タイミング設定 47-58
47.3.9 PHY の初期設定 47-61
47.3.9.1 用語 47-62
47.3.10 レジスタ設定による PHY 制御とモニタ 47-63
47.3.11 ULP 状態による割り込み生成と受信エラー状態 47-67
47.3.12 モニタリング機能 47-68
47.3.13 モジュールスタンバイ機能 47-68
47.3.14 ソフトウェアリセット 47-68
47.4 使用上の注意 47-69
47.4.1 MIPI CSI-2 転送レート 47-69
47.4.2 PHY 動作制御レジスタ (PHYCNT) 47-69
47.4.3 HS（Hi-Speed）受信中の同期エラー 47-69
47.4.4 FLD 信号 47-69
47.4.5 INT_LESS_THAN_WC 47-71
47.4.6 インターリーブ伝送の転送レート 47-71
47.4.7 V ブランキング期間 47-71
47.4.8 データ上の注意 47-71
47.4.9 クロックパルス発振器 47-71
48. ビデオインプットモジュール 48-1
48.1 概要 48-1
48.1.1 特長 48-1
48.1.2 ブロック図 48-4
48.1.3 レジスタ設定 48-5
48.2 レジスタ説明 48-7
48.2.1 ビデオ n メインコントロールレジスタ (VnMC) 48-7
48.2.2 ビデオ n モジュール ステータスレジスタ (VnMS) 48-10
48.2.3 ビデオ n フレーム キャプチャレジスタ (VnFC) 48-11
48.2.4 ビデオ n スタートライン プリクリップレジスタ (VnSLPrC) 48-12
48.2.5 ビデオ n エンドライン プリクリップレジスタ (VnELPrC) 48-13
48.2.6 ビデオ n スタートピクセル プリクリップレジスタ (VnSPPrC) 48-14
48.2.7 ビデオ n エンドピクセル プリクリップレジスタ (VnEPPrC) 48-15
48.2.8 ビデオ n CSI2 インタフェース モードレジスタ (VnCSI_IFMD) 48-16
48.2.9 ビデオ n イメージ ストライドレジスタ (VnIS) 48-17
48.2.10 ビデオ n メモリベース 1 レジスタ (VnMB1) 48-18
48.2.11 ビデオ n メモリベース 2 レジスタ (VnMB2) 48-19
48.2.12 ビデオ n メモリベース 3 レジスタ (VnMB3) 48-20
48.2.13 ビデオ n ライン カウントレジスタ (VnLC) 48-20

48.2.14 ビデオ n 割り込み有効レジスタ (VnIE) 48-21
48.2.15 ビデオ n 割り込みステータスレジスタ (VnINTS) 48-23
48.2.16 ビデオ n スキャンライン割り込みレジスタ (VnSI) 48-25
48.2.17 ビデオ n データモードレジスタ (VnDMR) 48-26
48.2.18 ビデオ n データモードレジスタ 2 (VnDMR2) 48-28
48.2.19 ビデオ n UV アドレスオフセットレジスタ (VnUVAOF) 48-29
48.2.20 YC-RGB 変換係数レジスタ 48-30
48.2.20.1 ビデオ n 色空間変換係数 1 レジスタ (VnCSCC1) 48-31
48.2.20.2 ビデオ n 色空間変換係数 2 レジスタ (VnCSCC2) 48-32
48.2.20.3 ビデオ n 色空間変換係数 3 レジスタ (VnCSCC3) 48-33
48.2.20.4 ビデオ n YC → RGB 計算設定拡張レジスタ 1 (VnCSCE1) 48-34
48.2.20.5 ビデオ n YC → RGB 計算設定拡張レジスタ 2 (VnCSCE2) 48-35
48.2.20.6 ビデオ n YC → RGB 計算設定拡張レジスタ 3 (VnCSCE3) 48-36
48.2.20.7 ビデオ n YC → RGB 計算設定拡張レジスタ 4 (VnCSCE4) 48-37
48.2.21 UDS コントロールレジスタ 48-38
48.2.21.1 ビデオ n スケーリング制御レジスタ (VnUDS_CTRL) 48-38
48.2.21.2 ビデオ n スケーリング係数レジスタ (VnUDS_SCALE) 48-39
48.2.21.3 ビデオ n 通過帯域レジスタ (VnUDS_PASS_BWIDTH) 48-43
48.2.21.4 ビデオ n UDS 出力サイズクリッピングレジスタ (VnUDS_CLIP_SIZE) 48-44
48.2.22 ビデオ n ルックアップテーブルポインタ (VnLUTP) 48-46
48.2.23 ビデオ n ルックアップテーブルデータレジスタ (VnLUTD) 48-47
48.2.24 RGB-YC 変換係数レジスタ 48-48
48.2.24.1 ビデオ n RGB → Y 計算設定レジスタ 1 (VnYCCR1) 48-48
48.2.24.2 ビデオ n RGB → Y 計算設定レジスタ 2 (VnYCCR2) 48-49
48.2.24.3 ビデオ n RGB → Y 計算設定レジスタ 3 (VnYCCR3) 48-50
48.2.24.4 ビデオ n RGB → Cb 計算設定レジスタ 1 (VnCBCCR1) 48-51
48.2.24.5 ビデオ n RGB → Cb 計算設定レジスタ 2 (VnCBCCR2) 48-52
48.2.24.6 ビデオ n RGB → Cb 計算設定レジスタ 3 (VnCBCCR3) 48-53
48.2.24.7 ビデオ n RGB → Cr 計算設定レジスタ 1 (VnCRCCR1) 48-54
48.2.24.8 ビデオ n RGB → Cr 計算設定レジスタ 2 (VnCRCCR2) 48-55
48.2.24.9 ビデオ n RGB → Cr 計算設定レジスタ 3 (VnCRCCR3) 48-56
48.3 動作 48-57
48.3.1 入力インタフェース 48-57
48.3.2 キャプチャモード 48-58
48.3.3 サイズクリッピング 48-59
48.3.4 垂直スケーリング 48-60
48.3.5 水平スケーリング 48-60
48.3.6 カラー変換機能 48-60
48.3.7 画像データフォーマット変換機能 48-63
48.3.8 内部フィールド信号の生成 48-66

48.3.9 出力データ形式 48-67
48.3.10 エンディアン変換 48-74
48.3.11 モジュールスタンバイモード 48-76
48.3.12 モジュールスタンバイモードへの移行 48-76
48.3.13 モジュールスタンバイモードの解除と VIN の再起動 48-76
48.3.14 割り込み 48-76
48.3.15 初期化手順 48-77
48.3.16 キャプチャ停止手順 48-77
48.3.17 キャプチャ再開手順 48-78
48.4 使用上の注意 48-79
48.4.1 仕様 48-79
48.4.2 使用上の制約 48-80
49. SD/MMC ホストインタフェース 49-1
49.1 概要 49-1
49.1.1 特長 49-1
49.1.2 入出力端子 49-2
49.1.3 レジスタ構成 49-3
49.2 レジスタの説明 49-5
49.2.1 コマンドタイプレジスタ（SD_CMD） 49-5
49.2.2 コマンドアーギュメントレジスタ（SD_ARG） 49-6
49.2.3 データストップレジスタ（SD_STOP） 49-7
49.2.4 ブロックカウントレジスタ（SD_SECCNT） 49-9
49.2.5 カードレスポンスレジスタ（SD_RSP） 49-10
49.2.6 SD 割り込みフラグレジスタ 1（SD_INFO1） 49-12
49.2.7 SD カード割り込みフラグレジスタ 2（SD_INFO2） 49-14
49.2.8 SD_INFO1 割り込みマスクレジスタ（SD_INFO1_MASK） 49-17
49.2.9 SD_INFO2 割り込みマスクレジスタ（SD_INFO2_MASK） 49-18
49.2.10 SD クロックコントロールレジスタ（SD_CLK_CTRL） 49-19
49.2.11 転送データサイズレジスタ（SD_SIZE） 49-20
49.2.12 カードアクセスオプションレジスタ（SD_OPTION） 49-21
49.2.13 SD エラーステータスレジスタ 1（SD_ERR_STS1） 49-22
49.2.14 SD エラーステータスレジスタ 2（SD_ERR_STS2） 49-23
49.2.15 SD バッファリード／ライトレジスタ（SD_BUF0） 49-23
49.2.16 SDIO モードコントロールレジスタ（SDIO_MODE） 49-24
49.2.17 SDIO 割り込みフラグレジスタ（SDIO_INFO1） 49-25
49.2.18 SDIO_INFO1 割り込みマスクレジスタ（SDIO_INFO1_MASK） 49-26
49.2.19 DMA モードイネーブルレジスタ（CC_EXT_MODE） 49-26
49.2.20 ソフトリセットレジスタ（SOFT_RST） 49-27
49.2.21 バージョンレジスタ（VERSION） 49-27
49.2.22 ホストインタフェースモード設定レジスタ（HOST_MODE） 49-28

49.2.23 SD インタフェースモード設定レジスタ（SDIF_MODE）....49-28
49.2.24 SD ステータスレジスタ (SD_STATUS) 49-29
49.2.25 DMAC モードレジスタ（DM_CM_DTRAN_MODE）....49-29
49.2.26 DMAC コントロールレジスタ（DM_CM_DTRAN_CTRL）....49-30
49.2.27 DMAC ソフトリセットレジスタ（DM_CM_RST）....49-30
49.2.28 DMAC 割り込みレジスタ 1（DM_CM_INFO1）....49-31
49.2.29 DM_CM_INFO1 割り込みマスクレジスタ（DM_CM_INFO1_MASK）....49-32
49.2.30 DMAC 割り込みレジスタ 2（DM_CM_INFO2）....49-32
49.2.31 DM_CM_INFO2 割り込みマスクレジスタ（DM_CM_INFO2_MASK）....49-33
49.2.32 DMAC アドレスレジスタ（DM_DTRAN_ADDR）....49-33
49.3 動作説明....49-34
49.3.1 SD インタフェース....49-34
49.3.2 カード検出／ライトプロテクト....49-38
49.3.3 割り込み要求....49-40
49.3.4 通信エラーとタイムアウト....49-41
49.4 使用例....49-43
49.4.1 データ転送を伴わないコマンド....49-43
49.4.2 シングルブロックリード....49-45
49.4.3 シングルブロックライト....49-47
49.4.4 マルチブロックリード....49-49
49.4.5 マルチブロックライト（内蔵タイマを使用する場合）....49-51
49.4.6 マルチブロックライト（外部のタイマを使用する場合）....49-53
49.4.7 IO_RW_DIRECT コマンド（CMD52）....49-55
49.4.8 IO_RW_EXTENDED（CMD53 ／マルチブロックリード）....49-56
49.4.9 IO_RW_EXTENDED（CMD53 ／マルチブロックライト）....49-58
49.4.10 DMA 転送....49-60
49.4.11 High Priority Interrupt（データ転送なしの場合）....49-62
49.4.12 High Priority Interrupt（シングルブロックライトの場合）....49-64
49.4.13 High Priority Interrupt（マルチブロックライトの場合）....49-66
49.4.14 SD_CMD レジスタ設定例....49-70
49.5 使用上の注意....49-73
49.6 サンプリングクロックコントローラ（SCC）....49-76
49.6.1 特長....49-76
49.6.2 ブロック図....49-76
49.6.3 レジスタ構成....49-76
49.7 レジスタの説明....49-77
49.7.1 初期設定レジスタ（SCC_DTCNTL）....49-77
49.7.2 サンプリングクロック位置設定レジスタ（SCC_TAPSET）....49-77
49.7.3 サンプリングクロック選択レジスタ（SCC_CKSEL）....49-77
49.7.4 サンプリングクロック位置補正レジスタ（SCC_RVSCNTL）....49-78

49.7.5 サンプリングクロック位置補正要求レジスタ（SCC_RVSREQ）....49-78
49.7.6 ハードウェア調整レジスタ 1（SCC_DT2FF）....49-79
49.7.7 サンプリングデータ比較レジスタ（SCC_SMPCMP）....49-79
49.8 使用例....49-80
49.8.1 チューニング....49-80
49.8.2 チューニング後のサンプリングクロック位置補正....49-83
49.8.3 入力データ変化点....49-85
50. 内蔵 RAM....50-1
50.1 特長....50-1
50.2 使用上の注意事項....50-2
50.2.1 ページ競合....50-2
50.2.2 データ保持について....50-2
51. 汎用入出力ポート....51-1
51.1 特長....51-1
51.1.1 ポートグループインデックス m n....51-5
51.1.2 ベースアドレス....51-5
51.2 汎用入出力ポートの構成....51-6
51.3 レジスタの説明....51-14
51.3.1 ポート方向レジスタ（PDR）....51-18
51.3.2 ポート出力データレジスタ（PODR）....51-19
51.3.3 ポート入力データレジスタ（PIDR）....51-20
51.3.4 ポートモードレジスタ（PMR）....51-21
51.3.5 汎用端子駆動能力制御レジスタ（DSCR）....51-22
51.3.6 書き込みプロテクトレジスタ（PWPR）....51-23
51.3.7 P0n 端子機能制御レジスタ（P0nPFS）（n = 0 ～ 6）....51-24
51.3.8 P1n 端子機能制御レジスタ（P1nPFS）（n = 0 ～ 4）....51-25
51.3.9 P2n 端子機能制御レジスタ（P2nPFS）（n = 0 ～ 3）....51-26
51.3.10 P3n 端子機能制御レジスタ（P3nPFS）（n = 0 ～ 5）....51-27
51.3.11 P4n 端子機能制御レジスタ（P4nPFS）（n = 0 ～ 7）....51-29
51.3.12 P5n 端子機能制御レジスタ（P5nPFS）（n = 0 ～ 7）....51-30
51.3.13 P6n 端子機能制御レジスタ（P6nPFS）（n = 0 ～ 7）....51-31
51.3.14 P7n 端子機能制御レジスタ（P7nPFS）（n = 0 ～ 7）....51-33
51.3.15 P8n 端子機能制御レジスタ（P8nPFS）（n = 0 ～ 7）....51-35
51.3.16 P9n 端子機能制御レジスタ（P9nPFS）（n = 0 ～ 7）....51-37
51.3.17 PAn 端子機能制御レジスタ（PAnPFS）（n = 0 ～ 7）....51-38
51.3.18 PBn 端子機能制御レジスタ（PBnPFS）（n = 0 ～ 5）....51-39
51.3.19 PCn 端子機能制御レジスタ（PCnPFS）（n = 0 ～ 7）....51-40
51.3.20 PDn 端子機能制御レジスタ（PDnPFS）（n = 0 ～ 7）....51-41
51.3.21 PEn 端子機能制御レジスタ（PEnPFS）（n = 0 ～ 6）....51-42
51.3.22 PFn 端子機能制御レジスタ（PFnPFS）（n = 0 ～ 7）....51-43

51.3.23 PGn 端子機能制御レジスタ（PGnPFS）（n = 0 ～ 7）.....51-44
51.3.24 PHn 端子機能制御レジスタ（PHnPFS）（n = 0 ～ 6）.....51-45
51.3.25 PJn 端子機能制御レジスタ（PJnPFS）（n = 0 ～ 7）.....51-47
51.3.26 PKn 端子機能制御レジスタ（PKnPFS）（n = 0 ～ 5）.....51-49
51.3.27 PLn 端子機能制御レジスタ（PLnPFS）（n = 0 ～ 4）.....51-51
51.3.28 PMn 端子機能制御レジスタ（PMnPFS）（n = 0 ～ 1）.....51-52
51.3.29 イーサネットコントロールレジスタ（PFENET）.....51-53
51.3.30 専用端子 POC 制御レジスタ（PPOC）.....51-54
51.3.31 SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 0 (PSDMMC0).....51-55
51.3.32 SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 1 (PSDMMC1).....51-57
51.3.33 SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 2 (PSDMMC2).....51-58
51.3.34 SPI マルチ I/O バスコントローラ専用端子駆動能力制御レジスタ (PSPIBSC).....51-60
51.3.35 HyperBus コントローラ／ Octa メモリコントローラ専用端子制御レジスタ (PHMOM0).....51-61
51.3.36 周辺端子機能制御レジスタ (PMODEPFS).....51-62
51.3.37 CKIO 専用端子駆動能力制御レジスタ (PCKIO).....51-63
51.4 使用上の注意事項.....51-64
51.4.1 端子入出力機能の設定手順.....51-64
51.4.2 PFS レジスタ設定時の注意事項.....51-65
51.4.3 ポートリード機能を使用する場合の注意事項.....51-66
51.4.4 端子割り込みの注意事項.....51-69
51.4.4.1 端子割り込みの集約.....51-69
51.4.4.2 同一グループの入力制限.....51-71
52. 低消費電力モード.....52-1
52.1 特長.....52-1
52.1.1 処理状態および低消費電力モードの種類.....52-1
52.2 レジスタの説明.....52-4
52.2.1 スタンバイコントロールレジスタ 1（STBCR1）.....52-5
52.2.2 スタンバイコントロールレジスタ 2（STBCR2）.....52-6
52.2.3 スタンバイコントロールレジスタ 3（STBCR3）.....52-7
52.2.4 スタンバイコントロールレジスタ 4（STBCR4）.....52-8
52.2.5 スタンバイコントロールレジスタ 5（STBCR5）.....52-9
52.2.6 スタンバイコントロールレジスタ 6（STBCR6）.....52-10
52.2.7 スタンバイコントロールレジスタ 7（STBCR7）.....52-11
52.2.8 スタンバイコントロールレジスタ 8（STBCR8）.....52-12
52.2.9 スタンバイコントロールレジスタ 9（STBCR9）.....52-13
52.2.10 スタンバイコントロールレジスタ 10（STBCR10）.....52-14
52.2.11 ソフトウェアリセットコントロールレジスタ 1（SWRSTCR1）.....52-15
52.2.12 ソフトウェアリセットコントロールレジスタ 2（SWRSTCR2）.....52-16
52.2.13 システムコントロールレジスタ 1（SYSCR1）.....52-17

52.2.14 システムコントロールレジスタ 2（SYSCR2）.....52-18
52.2.15 システムコントロールレジスタ 3（SYSCR3）.....52-19
52.2.16 CPU ステータスレジスタ（CPUSTS）.....52-20
52.2.17 スタンバイリクエストレジスタ 1（STBREQ1）.....52-21
52.2.18 スタンバイリクエストレジスタ 2（STBREQ2）.....52-22
52.2.19 スタンバイリクエストレジスタ 3（STBREQ3）.....52-23
52.2.20 スタンバイアックレジスタ 1（STBACK1）.....52-24
52.2.21 スタンバイアックレジスタ 2（STBACK2）.....52-25
52.2.22 スタンバイアックレジスタ 3（STBACK3）.....52-26
52.2.23 保持用内蔵 RAM 保持エリア指定レジスタ（RRAMKP）.....52-27
52.2.24 USB ソフトウェアスタンバイ解除要因制御レジスタ 0（SSTBCCR0）.....52-28
52.2.25 USB ソフトウェアスタンバイ解除要因制御レジスタ 1（SSTBCCR1）.....52-29
52.2.26 USB ソフトウェアスタンバイ解除要因要求レジスタ 0（SSTBCRR0）.....52-30
52.2.27 USB ソフトウェアスタンバイ解除要因要求レジスタ 1（SSTBCRR1）.....52-32
52.2.28 ディープスタンバイコントロールレジスタ（DSCTR）.....52-34
52.2.29 ディープスタンバイ解除要因セレクトレジスタ（DSSSR）.....52-35
52.2.30 USB ディープスタンバイ解除要因セレクトレジスタ（USBDSSSR）.....52-37
52.2.31 ディープスタンバイ解除エッジセレクトレジスタ（DSESR）.....52-38
52.2.32 ディープスタンバイ解除要因フラグレジスタ（DSFR）.....52-39
52.2.33 USB ディープスタンバイ解除要因フラグレジスタ（USBDSFR）.....52-41
52.2.34 ディープスタンバイ復帰用発振安定カウントレジスタ（DSCNT）.....52-42
52.2.35 XTAL 水晶発振器ゲインコントロールレジスタ（XTALCTR）.....52-43
52.2.36 RTCXTAL 選択レジスタ（RTCXTALSEL）.....52-44
52.3 動作説明.....52-45
52.3.1 スリープモード.....52-45
52.3.2 ソフトウェアスタンバイモード.....52-46
52.3.3 ソフトウェアスタンバイモードの応用例.....52-48
52.3.4 ディープスタンバイモード.....52-49
52.3.5 モジュールスタンバイ機能.....52-55
52.3.6 ソフトウェアリセット.....52-56
52.3.7 XTAL 用水晶発振器ゲイン調整機能.....52-57
52.4 使用上の注意事項.....52-58
52.4.1 レジスタ設定時の注意.....52-58
52.4.2 リアルタイムクロック未使用時の注意.....52-58
52.4.3 USB 2.0 ホスト／ファンクションモジュール未使用時の注意.....52-58
53. デバッガインタフェース.....53-1
53.1 特長.....53-1
53.2 入出力端子.....53-7
53.3 バウンダリスキャン用 TAP コントローラのレジスタの説明.....53-8
53.3.1 バイパスレジスタ（BSBPR）.....53-8

53.3.2 インストラクションレジスタ（BSIR）.....53-8
53.3.3 バウンダリスキャンレジスタ（SDBSR）.....53-9
53.3.4 ID レジスタ（BSID）.....53-12
53.4 ICE レジスタの説明.....53-13
53.4.1 モードリセットコントロールレジスタ（ICEREGMDRSTCTL）.....53-13
53.4.2 JTAG トレースセレクトレジスタ（ICEREGJTTRCSEL）.....53-14
53.4.3 クロックパワーコントロールレジスタ（ICEREGCLKPWRCTRL）.....53-15
53.4.4 ロックアクセスレジスタ（ICEREGLOCKACCESS）.....53-15
53.5 動作説明.....53-16
53.5.1 TAP コントローラ.....53-16
53.5.2 リセット構成.....53-16
53.6 バウンダリスキャン.....53-17
53.6.1 サポートする命令.....53-17
53.6.2 注意事項.....53-18
53.7 使用上の注意事項.....53-19
54. Trusted Secure IP.....54-1
54.1 概要.....54-1
54.2 動作説明.....54-3
54.2.1 動作モードと状態遷移.....54-3
54.2.2 暗号エンジン.....54-4
54.2.3 鍵データインストール.....54-5
54.2.4 暗号 / 復号処理.....54-7
54.2.5 鍵生成情報作成 (乱数使用).....54-10
54.2.6 乱数生成.....54-10
54.3 割り込み.....54-11
54.4 使用上の注意事項.....54-11
54.4.1 モジュールストップ機能の設定.....54-11
54.4.2 Trusted Secure IP ドライバ.....54-11
55. レジスタ状態一覧.....55-1
56. 電気的特性.....56-1
56.1 絶対最大定格.....56-1
56.2 電源投入・切断シーケンス.....56-1
56.3 DC 特性.....56-2
56.4 AC 特性.....56-8
56.4.1 クロックタイミング.....56-9
56.4.2 制御信号タイミング.....56-13
56.4.3 SPI マルチ I/O バスコントローラ、Octa メモリ／ HyperBus™ コントローラ リセット出力タイミング.....56-14
56.4.4 バスタイミング.....56-16
56.4.5 ダイレクトメモリアクセスコントローラタイミング.....56-42

56.4.6 マルチファンクションタイマパルスユニット 3（MTU3a）タイミング 56-43
56.4.7 ポートアウトプットイネーブル 3（POE3）タイミング 56-44
56.4.8 汎用 PWM タイマ（GPT）タイミング 56-45
56.4.9 GPT 用ポートアウトプットイネーブル（POEG）タイミング 56-46
56.4.10 ウォッチドッグタイマタイミング 56-47
56.4.11 FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）タイミング 56-48
56.4.12 シリアルコミュニケーションインタフェース（SCI）タイミング 56-49
56.4.13 ルネサスシリアルペリフェラルインタフェースタイミング 56-50
56.4.14 SPI マルチ I/O バスコントローラタイミング 56-53
56.4.15 HyperBus™ コントローラタイミング 56-56
56.4.16 Octa メモリコントローラタイミング 56-58
56.4.17 I²C バスインタフェースタイミング 56-61
56.4.18 シリアルサウンドインタフェース（SSIF-2）タイミング 56-63
56.4.19 CANFD インタフェースタイミング 56-65
56.4.20 イーサネットコントローラ（ETHERC）タイミング 56-66
56.4.21 A/D コンバータタイミング 56-70
56.4.22 NAND フラッシュコントローラタイミング 56-71
56.4.23 USB 2.0 ホスト／ファンクションモジュールタイミング 56-72
56.4.24 ビデオディスプレイコントローラ 6 タイミング 56-74
56.4.25 LVDS 出力インタフェースタイミング 56-76
56.4.26 キャプチャエンジンユニットタイミング 56-77
56.4.27 MIPI CSI-2 インタフェースタイミング 56-80
56.4.28 SD/MMC ホストインタフェースタイミング 56-81
56.4.28.1 SD インタフェース 56-81
56.4.28.2 MMC インタフェース 56-82
56.4.29 汎用入出力ポートタイミング 56-85
56.4.30 デバッガインタフェースタイミング 56-86
56.4.31 AC 特性測定条件 56-88
56.5 A/D コンバータ特性 56-89
57. 端子状態と処理方法 57-1
57.1 端子状態 57-1
57.2 未使用端子の処理 57-9
57.3 ディープスタンバイモード時の端子処理 57-10
付録 ..... 付録 -1
A. 外形寸法図 ..... 付録 -1
B. 熱特性 ..... 付録 -5
改訂記録 ..... 改訂 -1

1. 概要

1.1 本 LSI の特長

本 LSI は、Arm 社 Cortex®-A9 プロセッサを搭載し、システム構成に必要な周辺機能を集積したシングルチップマイコンです。

本 LSI は、命令 32K バイト／データ 32K バイトの L1 キャッシュおよび 128K バイトの L2 キャッシュを内蔵しています。さらに本 LSI はシステム構成に必要な周辺機能として以下を内蔵しています。

- 4M バイトの大容量 RAM（128K バイトがデータ保持用 RAM と共用）
- HyperBus™ (注 1) コントローラ
- Octa メモリ (注 2) コントローラ
- IEEE1588PTP 対応イーサネット MAC コントローラ
- USB 2.0 ホスト／ファンクションモジュール
- ビデオディスプレイコントローラ 6
- 歪み補正エンジン
- 2D 描画エンジン
- MIPI CSI-2 インタフェース
- SD/MMC ホストインタフェース

本 LSI の特長を**表 1.1** に示します。

注 1. HyperBus™ / HyperFlash™ / HyperRAM™ は Cypress Semiconductor Corporation. の商標です。
注 2. OctaFlash™ / OctaRAM™ は Macronix International Co., Ltd. の商標です。

表1.1　　RZ/A2Mの特長

項目	特　　長
CPU	• Arm 社の Cortex-A9プロセッサ搭載 • 最大動作周波数：528MHz • 命令キャッシュサイズ：32Kバイト • データキャッシュサイズ：32Kバイト（ライトバック方式） • TLBエントリ数：128エントリ • Jazelle®テクノロジアーキテクチャ拡張機能：フル実装 • Media Processing Engine with NEON™ technology 搭載
ブートモード	• 8つのブートモード ブートモード0：CS0空間に接続されたメモリ（バス幅16ビット）からブート 注．324ピンのみ ブートモード1：SDコントローラ内蔵NANDフラッシュメモリからブート ブートモード2：MMCコントローラ内蔵NANDフラッシュメモリからブート(データバス幅 8ビット) ブートモード3：SPIマルチI/Oバス空間に接続されたシリアルフラッシュメモリ(3.3V)からブート ブートモード4：SPIマルチI/Oバス空間に接続されたOctal-SPIフラッシュメモリからブート ブートモード5：SPIマルチI/Oバス空間に接続されたHyperFlash からブート ブートモード6：OctaFlash 空間に接続されたOctaFlash からブート ブートモード7：HyperFlash 空間に接続されたHyerFlash からブート
2 次キャッシュ	• Arm社の CoreLink™ Level 2 Cache Controller L2C-310搭載 • 動作周波数：132MHz • キャッシュサイズ：128K バイト
クロックパルス発振器	• クロックモード：入力クロックを外部入力（EXTAL）または水晶発振子から選択可能 • 内蔵PLL回路により入力クロックを最大44逓倍することが可能 • 内蔵SSCG回路によりEMIノイズピークの低減が可能 • 5種類のクロックを生成 CPUクロック（Iφ）：最大528MHz 画像処理クロック（Gφ）：最大264MHz 内部バスクロック（Bφ）：最大132MHz 周辺クロック1（P1φ）：最大66MHz 周辺クロック0（P0φ）：最大33MHz
割り込みコントローラ	• Arm 社のCoreLink™ Generic Interrupt Controller（GIC-400）搭載 • 外部割り込み端子（NMI、IRQ7 ～ IRQ0、TINT31 ～ TINT0） • 内蔵周辺割り込み：モジュールごとに優先順位を設定 • 32 レベルの優先順位設定が可能
バスステート コントローラ [324ピンのみ]	• アドレス空間はそれぞれ最大64Mバイトの6つの領域エリア0～5をサポート • 各エリアには独立に次の機能を設定可能 バスサイズ（8, 16ビット）。ただし各エリアごとにサポートサイズは異なります。 アクセスウェイトサイクル数（リード／ライトで独立ウェイト設定可能のエリアあり） アイドルウェイトサイクル設定（同一エリア／別エリア） エリアごとに接続するメモリを指定することによって　SRAM、バイト選択付きSRAM、SDRAM、バーストROM（クロック同期／クロック非同期）との直結が可能。また、アドレス／データマルチプレクスI/O（MPX）インタフェースをサポート。 • 該当する領域にチップセレクト信号（CS0#～CS5#）を出力 （CSアサート／ネゲートタイミングをプログラミングで選択可能） • SDRAMリフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート • SDRAMバーストアクセス機能
ダイレクトメモリアクセス コントローラ	• 2モジュール、各16チャネル。うち、1チャネルが外部リクエスト可能 • 内蔵周辺モジュールから起動することが可能 • バスの占有率を調整するため、DMA転送の間隔を指定することが可能 • リンク・モード（ディスクリプタによるDMA設定）をサポート • 転送情報を自動的にリロードすることが可能

項目	特　　長
マルチファンクション タイマパルスユニット3	• 9チャネル（16ビット×8チャネル、32ビット×1チャネル） • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウントクロック（P1φ/1, P1φ/2, P1φ/4, P1φ/8, P1φ/16, P1φ/32, P1φ/64, P1φ/256, P1φ/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A）を選択可能 （チャネル0は14種類、チャネル2は12種類、チャネル1, 3, 4, 6, 7, 8は11種類、チャネル5は10種類） • インプットキャプチャ機能 • 39本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作（コンペアマッチ／インプットキャプチャによる同時クリア可能） • 複数のタイマカウンタ（TCNT）への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 43種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル／PWM／相補PWM／リセット同期PWM • 複数カウンタの同期化機能 • 相補PWM出力モード 3相のインバータ制御用ノンオーバラップ波形を出力 デッドタイム自動設定 PWMデューティを0～100%任意に設定可能 A/D変換要求ディレイド機能 山／谷割り込み間引き機能 • リセット同期PWMモード 任意デューティの正相・逆相PWM波形を3相出力 • 位相計数モード：16ビットモード (チャネル1, 2)／32ビットモード (チャネル1, 2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/Dコンバータ開始間引き機能 • インプットキャプチャ、外部カウントクロック端子におけるデジタルフィルタ機能
ポートアウトプット イネーブル3	• MTU3a波形出力端子のハイインピーダンス制御 • 4本の入力端子による起動 • 出力短絡検出（PWM出力が同時にアクティブレベルになったことを検出）による起動 • レジスタ書き込みによる起動 • 出力制御対象端子をプログラマブルに追加制御可能
汎用PWMタイマ	• 32ビット×8チャネル • 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波）が選択可能 • チャネルごとに独立した選択可能 • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア／インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期用レジスタを搭載（オーバフロー／アンダフローで割り込み可能） • PWM動作の際にデットタイム生成が可能 • 任意チャネルのカウンタの同期スタート／ストップ／クリア • 最大8個のイベントに対応したカウンタのスタート／ストップ／クリア／アップ／ダウン • 入力レベル比較に対応したカウンタのスタート／クリア／ストップ／アップ／ダウン • 最大4個の外部トリガに対応したカウンタのスタート／クリア／ストップ／アップ／ダウン • デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 • A/Dコンバータの変換開始トリガ生成が可能 • インプットキャプチャ、外部トリガ端子におけるデジタルフィルタ機能
GPT用 ポートアウトプット イネーブル	• GPT波形出力端子の出力禁止制御 • 最大4本の入力端子による起動 • デッドタイムエラーの検知および出力短絡検出による起動 • レジスタ書き込みによる起動
OSタイマ	• 3チャネル32ビットカウンタ • 2つの動作モードをサポート インターバルタイマモード フリーランニングコンペアモード • コンペアマッチ時、DMA転送要求または割り込み要求の発生を選択可能

項目	特　　長
ウォッチドッグタイマ	• 1チャネルのウォッチドッグタイマ • カウンタのオーバフローにより本LSIにリセットをかけることが可能 • CPUパリティエラーにより本LSIにリセットをかけることが可能
リアルタイムクロック	• 内蔵クロック、2種類のカウントモード、アラーム機能 • 1/64秒の最大分解能（割り込みサイクル）の内蔵 32.768kHz 水晶発振器回路
FIFO内蔵シリアル コミュニケーション インタフェース	• 5チャネル • クロック同期式／調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能（全二重） • 専用のボーレートジェネレータ内蔵 • 送受信用FIFOをそれぞれ16バイト内蔵 • モデムコントロール機能 （調歩同期式モード時、チャネル0, 1, 2）
シリアル コミュニケーション インタフェース	• 2チャネル • クロック同期式／調歩同期式／スマートカードインタフェースの選択が可能 • 送受信を同時に行うことが可能（全二重） • 専用のボーレートジェネレータ内蔵 • LSB/MSBファースト選択可能 • モデムコントロール機能 • IrDA規格1.0に基づくIrDA通信波形のエンコード／デコード可能（チャネル0）
ルネサス シリアルペリフェラル インタフェース	• 3チャネル • SPI動作 • マスタ／スレーブモードをサポート • プログラマブルなビット長、クロック極性、クロック位相選択可能 • 転送をシーケンシャルに実行可能 • MSBファースト／LSBファーストの選択可能 • 最大転送レート：33.00Mbps
SPIマルチI/Oバス コントローラ	• 1チャネル • マルチI/O (Single / Quad) 対応のシリアルフラッシュメモリと2個まで接続可能 • 1個のOctal-SPIフラッシュメモリと接続可能 • 1個のHyperFlash と接続可能 • 外部アドレス空間リードモード (リードキャッシュ内蔵) • SPI動作モード • 最大周波数：132MHz (QSPI0_SPCLK)
HyperBus コントローラ	• 2チャネル • HyperBus インタフェースをサポート • HyperBus インタフェース対応のHyperFlash / HyperRAMをそれぞれ1個接続可能 • 最大周波数：132MHz (HM_CK, HM_CK#)
Octaメモリ コントローラ	• 2チャネル • Macronixシリアルマルチ I/O（MXSMIO®）Octaペリフェラルインタフェース (OPI) をサポート • OPIインタフェース対応のOctaFlash / OctaRAMをそれぞれ1個接続可能 • 独立したフラッシュ／RAMアドレス空間で、メモリマップ読み出し・書込み機能をサポート • OctaFlash はSTR (Single Transfer Rate) モード／DTR (Double Transfer Rate) モードサポート • SPI動作モード • Read-While-Write (RWW) 機能サポート • 最大周波数：132MHz (OM_SCLK)
I^2Cバス インタフェース	• 4チャネル • マスタモード／スレーブモード内蔵 • 7ビット／10ビットスレーブアドレスフォーマットをサポート • マルチマスタ対応 • タイムアウト検出機能
シリアルサウンド インタフェース	• 4チャネルの双方向シリアル転送 • 二重通信可能（チャネル0, 1, 3） • I^2S、モノラル、TDMフォーマットをサポート • マスタ／スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • マルチチャネルフォーマット機能 • 8/16/18/20/22/24/32ビットデータフォーマットをサポート • 送受信用32段FIFOの内蔵 • LRクロックを停止せず動作するLRクロックコンディニュ機能をサポート

項目	特　　長
CANFDインタフェース	• 2チャネル • CAN ISO 11898-1 (2003) の仕様に適合 • CAN-FD ISO 11898-1 (2015) の仕様に適合 • メッセージバッファ： 最大 64 × 2 チャネル受信メッセージバッファ、全チャネルでシェア 1チャネルあたり16送信メッセージバッファ
ルネサスSPDIF インタフェース	• IEC60958規格に適合（ステレオ、民生用モードのみ） • サンプリング周波数：32kHz, 44.1kHz, 48kHz • オーディオワードサイズ：16～24ビット／サンプル • バイフェイズマーク方式エンコード • データのダブルバッファ • パリティ付きシリアルデータ
イーサネットMAC コントローラ	• 176ピン：MII使用時１チャネル、RMII使用時2チャンネル、256, 272, 324ピン：MIIまたはRMII 2チャンネル • イーサネット／IEEE802.3のMedia Access Control (MAC) 層規格に準拠 • 10Mbps / 100Mbpsに対応 • 全二重通信および半二重通信に対応 • IEEE802.3uに準拠したMII (Media Independent Interface) およびRMII (Reduce Media Independent Interface) に対応 • Magic Packet™ (注) の検出およびWake-On-LAN (WOL) 信号の出力 • IEEE1588-2008 (Version2.0) で規定されたPrecision Time Protocol (PTP) を用い、機器間の時刻同期を行うイーサネットコントローラ用PTPコントローラ (EPTPC) を内蔵 • イーサネット専用DMAC (EDMAC) 搭載 注．　Magic PacketはAdvanced Micro Devices Inc.の商標です。
A/Dコンバータ	• 分解能：12ビット • 入力：8チャネル • 最小変換時間：1チャネル当り1μs • 外部トリガ／タイマトリガによるA/D変換の起動が可能
NANDフラッシュ コントローラ	• NAND型フラッシュメモリとの直結メモリインタフェース • ONFI 1.0 (mode 1～2) • ECC：2, 4, 8, 16, 24, 32 bit • ラージブロック (2048 + 64) サイズのフラッシュメモリに対応 • 5バイトアドレス (2Gビット超) のフラッシュメモリに対応 • 割り込み要求 • 2種類のDMAモード
USB 2.0 ホスト／ ファンクション モジュール	• 2チャネル • USB2.0準拠 ホスト／ファンクションモジュール • 480Mbps, 12Mbps, および1.5Mbpsの転送レートに対応（ホストモード） • 480Mbpsおよび12Mbpsの転送レートに対応（ファンクションモード） • 通信バッファとしてホストモード用に1Kバイト、ファンクションモード用に8KバイトのRAMを内蔵

項目	特　　長
ビデオディスプレイ コントローラ6	• 映像入力インタフェース BT601、BT656フォーマット (NTSC / PAL) 入力：入力クロック 27MHz / 54MHz デジタル端子入力 (チャネル0)：YCbCr422, YCbCr444, RGB888, RGB666, RGB565 デジタル端子入力サイズ： 設定可能な入力映像サイズ（注） 水平1920画素、垂直1080ライン 注.　接続するデバイスとのAC特性に依存します。 入力映像サイズ例 XGA (1024 × 768), SVGA (800 × 600), WVGA (800 × 480), VGA (640 × 480), WQVGA (480 × 240), QVGA (320 × 240, 240 × 320) • 入力映像制御 水平ノイズリダクション（NR）、マトリクス演算によるブライト • スケーリング制御 入力映像に対し、垂直・水平方向に任意倍率にて拡大・縮小処理可能 （拡大はグラフィックスも可能） 拡大率：1～8倍、縮小率：1／8～1倍 補間方法：ホールド補間、リニア補間から選択可能 2D IP変換：TOP／BOTTOMフィールド毎の初期位相指定により2D IP変換可能 • 映像録画 出力ピクセルフォーマット：YCbCr444, YCbCr422, RGB888, RGB565 出力フィールドレート：1／1、1／2、1／4、1／8フィールド 回転機能：YCbCr422、RGB565のとき、水平鏡像、90／180／270度回転可能 保存可能な最大映像サイズ：入力映像の等倍 • 出力映像制御 黒伸張機能：Y信号の状態に応じて黒領域を伸長 エンハンサ機能：Y信号に対し、LTI (トランジェント改善)、シャープネス (輪郭強調) • グラフィックスレイヤ3面 (内1面を入力映像と共用) 対応入力ピクセルフォーマット 1bit/pixel：CLUT1、4bit/pixel：CLUT4、8bit/pixel：CLUT8 16bit/pixel：YCbCr422 (グラフィックスレイヤ0), RGB565, ARGB1555, RGBA5551, ARGB4444 32bit/pixel：ARGB8888, RGBA8888, RGB888, YCbCr444 (グラフィックスレイヤ0) • 重畳機能 矩形領域アルファブレンド機能：設定した領域にて入力映像、レイヤ1、レイヤ2を透過率αに基づきMixing (フェードイン、フェードアウト機能あり) クロマキー機能：設定したRGB、CULT値にて、透過率αに基づきMixing 画素単位アルファ機能：透過率αに基づき画素単位でMixing • パネル出力制御 パネル出力補正機能：ブライト、コントラスト調整、ガンマ補正、パネルディザ処理 TCON：垂直・垂直パネルドライバ信号7本により、LCDパネル駆動用の各種タイミング出力可能 パネル出力ピクセルフォーマット：RGB888, RGB666, RGB565, シリアルRGB 出力映像サイズ： 設定可能な出力映像サイズ（注）水平1999画素、垂直2035ライン 注.　接続するパネルとのAC特性に依存します。 出力映像サイズ例 XGA (1024 × 768), SVGA (800 × 600), WVGA (800 × 480), VGA (640 × 480), WQVGA (480 × 240), QVGA (320 × 240, 240 × 320)
LVDS出力インタフェース	• TIA/EIA-644規格準拠　差動出力4pair（データ3pair、クロック1pair） • LVDS出力未使用時、端子をCMOS入出力として使用可能 • LVDS PLLによる各種周波数のクロック生成 • LVDS PLLのパワーダウン機能
歪み補正エンジン （IMR-LS2）	• 1チャネル • ビデオ取り込みデータを2次元テクスチャデータとして参照し、3角形オブジェクトに分割された任意の形状に対してテクスチャマッピングを行い、描画することが可能 • ディスプレイリスト方式 • 描画機能 テクスチャマッピング、バイリニアフィルタ、自動座標生成機能（＋相対座標入力機能） • 命令体系 描画命令：3角形を描画する命令TRI 制御命令：TRAP, INT, NOP, SYNCM, SYNCW, WTL, WTS • 描画空間 デスティネーション座標：0≦X≦2047、0≦Y≦2047 • ソース座標：0≦u≦1439、0≦v≦1023

項目	特　　長
2D描画エンジン	• 直線、三角形、円といった数少ない特定のジオメトリに限らず、様々なオブジェクトジオメトリをサポート。オブジェクトのエッジに、個別にぼかしやアンチエイリアスをかけることが可能 • カラーフォーマット フレームバッファフォーマット 8ビット：a (8) 16ビット：RGB (565), aRGB (4444), aRGB (1555) 32ビット：aRGB (8888) テクスチャフォーマット 1ビット：CLUT (1) / I (1) 2ビット：CLUT (2) / I (2) 4ビット：CLUT (4) / I (4) 8ビット：a (8), CLUT (8) / I (8), aCLUT (44) 16ビット：aRGB (4444), aRGB (1555), RGB (565) 24ビット：RGB (888)（ランレングスエンコード化 (RLE) ユニット） 32ビット：aRGB (8888) CLUTフォーマットは、256個のエントリを持つカラールックアップテーブルを使用します。
スプライトエンジン	• RLEユニット Targaフォーマットをサポート • スプライトユニット スプライトユニットを2チャネル内蔵 各スプライトユニットは16個のスプライト領域を持つ
JPEGコーデックユニット	• JPEGベースラインに準拠（注）した圧縮伸長方式 注.　記載の範囲内で準拠 • 演算精度：JPEG Part2、ISO-IEC10918-2準拠 • ピクセルフォーマット 圧縮：YCbCr422 伸長：YCbCr444, YCbCr422, YCbCr411, YCbCr420 ただし、出力ピクセルフォーマットはYCbCr422, ARGB8888, RGB565 • 量子化テーブル：4テーブル内蔵 • ハフマンテーブル：4テーブル内蔵 (AC係数2テーブル、DC係数2テーブル) • 対象マーカ：SOI, SOF0, SOS, DQT, DHT, DRI, RSTm, EOI • 画像データレート：132MB/s (66MHz動作時)
キャプチャエンジンユニット	• 入力映像サイズ例 5M画素 (2560 × 1920)、3M画素 (2048 × 1536)、2M画素 (1632 × 1224)、UXGA (1600 × 1200)、SXGA (1) (1280 × 1024)、SXGA (2) (1280 × 960) WXGA (1280 × 768)、XGA (1024 × 768)、SVGA (800 × 600)、WVGA (800 × 480)、VGA (640 × 480)、WQVGA (480 × 240)、QVGA (320 × 240, 240 × 320) 注.　接続するデバイスとのAC特性、接続するデバイスのフレームレート、および保存するRAMへの転送速度に依存します。 • 入力フォーマット • YCbCr422　8ビット／16ビット、バイナリデータ • メモリ出力フォーマット YCbCr422、YCbCr420 注.　YデータとCbCrデータに分けてメモリに書き込むため、キャプチャしたデータはビデオディスプレイコントローラ6で表示することはできません。
MIPI CSI-2インタフェース [256, 272, 324ピンのみ]	• MIPI CSI-2転送速度は1.0 GHzまで対応 • パケットヘッダ部のECC 1bitエラー訂正、2bit以上のエラー検出 • ペイロードデータ部のCRCエラー検出 • VD（垂直同期信号）、HD（水平同期信号）、FLD（フィールド信号）生成 • レーンスワップ
ビデオインプットモジュール	• 入力フォーマット MIPI CSI2インタフェース：YCbCr422、RGB888、RAW8 最大 2048 × 2048 までの取り込みサイズが設定可能 • メモリ出力フォーマット YCbCr422、RGB565、ARGB1555、RGB888、ARGB8888

項目	特　　長
SD/MMCホスト インタフェース	• 176ピン：1チャネル、256, 272, 324ピン：2チャネル • SDメモリ／IOカードインタフェース（1ビット／4ビットSDバス） • SD、SDHC、SDXCのSDメモリカードアクセスに対応 • デフォルト、ハイスピード、UHS-I/SDR50、DDR50、SDR104の転送モードに対応 • エラーチェック機能：CRC7（コマンド）、CRC16（データ） • 割り込み要求：2本 • カード検出機能、ライトプロテクトサポート • MMCインタフェース（1ビット／4ビット／8ビットMMCバス） 注.　チャネル1は1ビット／4ビットのみ • eMMCデバイアクセスに対応 • ハイスピード、HS200の転送モードに対応
内蔵RAM	• 映像表示／録画、ワーク領域用に4Mバイトの大容量メモリを内蔵 （内128Kバイトをデータ保持用と共有） • データ保持用に128Kバイトのメモリを内蔵 （16Kバイト × 2面、32Kバイト × 1 面、64Kバイト × 1面）
汎用入出力ポート	• 176ピン：汎用入出力47本、オープンドレイン出力付き入力8本、入力専用14本、出力専用1本 • 256ピン：汎用入出力92本、オープンドレイン出力付き入力8本、入力専用14本、出力専用1本 • 272ピン：汎用入出力92本、オープンドレイン出力付き入力8本、入力専用14本、出力専用1本 • 324ピン：汎用入出力128本、オープンドレイン出力付き入力8本、入力専用14本、出力専用1本 • 入出力ポートはビットごとに入出力切り替え可能
低消費電力モード	• 本LSIの消費電力を下げるために4種類の低消費電力モードをサポート スリープモード ソフトウェアスタンバイモード ディープスタンバイモード モジュールスタンバイモード
デバッガインタフェース	• Arm社のCoreSight™アーキテクチャ採用 • JTAG標準端子配置
Trusted Secure IP [option]	• セキュリティアルゴリズム 共通鍵暗号：AES (NIST FIPS PUB 197準拠), 3DES, ARC4 非共通鍵暗号：RSA • その他の特長 TRNG (真正乱数生成回路) Hash値生成：SHA1, SHA224, SHA256, GHASH ユニークID対応
OTP	• 1回のみ書き込み可能な不揮発性メモリ • セキュリティ設定、認証設定、OTPブート設定が可能
ダイナミック リコンフィギュアラブル プロセッサ (DRP) [option]	• 動的再構成IP • 6タイル • IOポート32本
電源電圧	• Vcc：1.14～1.26V、PVcc：3.0～3.6V、PVcc_HO：1.7～1.9V、 PVcc_SPI / PVcc_SD0 / PVcc_SD1：1.7～1.9V / 3.0～3.6V
温度範囲	• －40℃～＋85℃
品質レベル	• Industry usage etc.
パッケージ	• PLBG0176GA-B 176ピンBGA、13mm角、0.8mmピッチ JEITA Package Code : P-LFBGA176-13x13-0.8 RENESAS Code : PLBG0176GA-B • PLBG0256KA-A 256ピンBGA、11mm角、0.5mmピッチ JEITA Package Code : P-LFBGA256-11x11-0.50 RENESAS Code : PLBG0256KA-A • PRBG0272GA-A 272ピンBGA、17mm角、0.80mmピッチ JEITA Package Code：P-LFBGA272-17×17-0.80 RENESAS Code：PRBG0272GA-A • PRBG0324GA-A 324ピンBGA、19mm角、0.8mmピッチ JEITA Package Code : P-FBGA324-19x19-0.80 RENESAS Code : PRBG0324GA-A

1.2 製品一覧

表1.2 製品一覧

グループ	型名	DRP機能	Trusted Secure IP	パッケージ
RZ/A2M	R7S921040VCBG	なし	なし	PLBG0176GA-B
	R7S921041VCBG			PLBG0256KA-A
	R7S921042VCBG			PRBG0272GA-A
	R7S921043VCBG			PRBG0324GA-A
	R7S921045VCBG		あり	PLBG0176GA-B
	R7S921046VCBG			PLBG0256KA-A
	R7S921047VCBG			PRBG0272GA-A
	R7S921048VCBG			PRBG0324GA-A
	R7S921051VCBG	あり	なし	PLBG0256KA-A
	R7S921052VCBG			PRBG0272GA-A
	R7S921053VCBG			PRBG0324GA-A
	R7S921056VCBG		あり	PLBG0256KA-A
	R7S921057VCBG			PRBG0272GA-A
	R7S921058VCBG			PRBG0324GA-A

注. 割り込みコントローラ、ダイレクトメモリアクセスコントローラ、マルチファンクションタイマパルスユニット3、汎用PWMタイマ、HyperBusコントローラ、シリアルサウンドインタフェース、CANFDインタフェース、ルネサスSPDIFインタフェース、NANDフラッシュコントローラ、ビデオディスプレイコントローラ6はパッケージ毎に使用可能な端子が異なります。
詳細は「1.6 端子一覧」を参照してください。

1.3 ブロック図

「5. LSI 内部バス」を参照してください。

1.4 ピン配置図

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	
A	Vcc	QSPI1_IO3	QSPI1_SPCLK	RPC_WP#	QSPI0_IO3	PVcc_SPI	Vss	PVcc	PF_4	PE_6	PL_2	PE_5	P8_4	P8_6	PE_4	P9_1	PVcc	Vss	PE_1	PA_4	CKIO	Vss	A
B	PK_1	Vcc	QSPI1_IO1	QSPI1_IO0	RPC_RESET#	QSPI0_IO1	QSPI0_SPCLK	PF_5	P6_3	PH_0	PL_3	PL_1	P8_3	PF_2	P8_7	PE_3	PA_0	PA_3	PA_5	PA_6	Vss	PVcc	B
C	PH_2	P8_2	Vcc	QSPI1_SSL	RPC_INT#	QSPI0_SSL	QSPI0_IO0	P6_1	P6_2	PH_1	PL_4	PL_0	P8_5	PF_1	P9_0	PE_2	PA_2	PG_0	PB_0	Vss	PD_7	PD_3	C
D	PVcc	BSCANP	P8_1	Vcc	QSPI1_IO2	Vss	QSPI0_IO2	PK_0	PF_6	PE_0	PF_3	PVcc	Vss	PF_0	P8_0	PA_1	PA_7	PVcc	Vss	PD_6	PD_4	PD_1	D
E	Vss	PH_3	PK_3	PK_2															PD_5	PD_2	TCK/SWDCLK	JP0_0	E
F	PVcc_HO	HM_CS0#/OM_CS0#	HM_CK/OM_SCLK	PF_7															PD_0	TRST#	TMS/SWDIO	PB_1	F
G	HM_DQ1/OM_SIO1	HM_RWDS/OM_DQS	HM_CS1#/OM_CS1#	HM_CK#															JP0_1	PB_2	PB_3	P9_2	G
H	HM_DQ4/OM_SIO4	HM_DQ2/OM_SIO2	HM_DQ3/OM_SIO3	HM_DQ0/OM_SIO0															PB_4	P9_3	PB_5	P9_5	H
J	HM_RESET#/OM_RESET#	HM_DQ6/OM_SIO6	HM_DQ7/OM_SIO7	HM_DQ5/OM_SIO5					Vcc	Vss	Vss	Vss	Vss	Vcc					P9_4	P7_7	P7_6	P9_6	J
K	Vss	PJ_6	PH_4	PJ_0					Vcc	Vss	Vss	Vss	Vss	Vcc					P9_7	PG_1	P7_5	PG_2	K
L	PVcc	P0_1	P0_0	PJ_7					Vcc	Vss	Vss	Vss	Vss	Vcc					P7_1	P7_4	P7_3	P7_2	L
M	P0_2	P0_5	P0_4	P0_3					Vcc	Vss	Vss	Vss	Vss	Vcc					P6_6	P6_0	P7_0	PVcc	M
N	PJ_3	PJ_1	P0_6	PJ_2					Vcc	Vss	Vss	Vss	Vss	Vcc					P6_5	PG_3	P6_4	Vss	N
P	PH_6	PH_5	PK_5	PVcc					Vcc	Vss	Vss	Vss	Vss	Vcc					SD0_DAT7	SD0_RST#	P6_7	PVcc_SD0	P
R	PVcc	PJ_4	PJ_5	Vss															SD0_DAT2	SD0_DAT5	SD0_DAT4	SD0_DAT6	R
T	AUDIO_X1	AUDIO_X2	P3_5	P3_2															SD0_DAT0	SD0_DAT1	SD0_DAT3	Vss	T
U	Vss	PK_4	P3_1	MIPI AVcc18															SD1_DAT0	SD1_DAT2	SD0_CMD	SD0_CLK	U
V	CSI_CLKP	CSI_CLKN	PG_4	Vss															P5_4	SD1_DAT1	SD1_DAT3	PVcc_SD1	V
W	CSI_DATA0P	CSI_DATA0N	Vss	PG_6	P1_0	P1_2	P2_0	PC_2	P4_3	LVDS APVcc	Vss	LVDS PLLVcc	USB DPVcc0	USBVss	Vss	PVcc	Vss	PLLVcc	P5_2	P5_6	SD1_CMD	Vss	W
Y	CSI_DATA1P	CSI_DATA1N	Vss	P3_3	P1_4	PC_0	P2_2	P4_2	P4_6	NMI	Vss	USBVss	USBVss	USBVss	USBVss	USB DPVcc1	PC_7	PC_6	P5_0	P5_1	P5_7	SD1_CLK	Y
AA	MIPI AVcc18	Vss	P1_1	P3_4	P3_0	PC_1	P4_0	P4_4	P4_7	USB_X2	DP0	USB APVcc0	RREF0	USBVss	DP1	PVcc	PC_5	XTAL	PC_4	RTC_X2	P5_3	P5_5	AA
AB	Vss	PG_5	PG_7	P1_3	P2_1	P2_3	P4_1	P4_5	RES#	USB_X1	DM0	USB APVcc1	RREF1	USBVss	DM1	PVcc	PC_3	EXTAL	Vss	RTC_X1	AVcc	AVss	AB
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	

図 1.1 324 ピン BGA 版ピン配置図（上面透視図）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
A	Vcc	QSPI1_IO3	QSPI1_IO1	QSPI1_SPCLK	QSPI0_SSL	QSPI0_IO0	Vss	PVcc	P6_3	PE_6	PL_4	PL_2	PL_1	PF_1	PE_2	PA_3	PA_6	Vss	CKIO	Vss	A
B	Vss	Vcc	QSPI1_IO2	RPC_INT#	RPC_RESET#	QSPI0_IO3	QSPI0_SPCLK	P6_1	PF_5	PH_1	PF_3	PL_0	PE_5	P8_0	PE_3	PA_2	PA_4	PB_0	Vss	PD_6	B
C	PH_2	PK_1	Vcc	QSPI1_SSL	RPC_WP#	QSPI0_IO1	QSPI0_IO2	PF_6	PE_0	PF_4	PL_3	PF_2	PE_4	PA_0	PE_1	PA_5	PG_0	Vss	PD_7	PD_5	C
D	PH_3	PK_3	PK_2	Vcc	QSPI1_IO0	Vss	PVcc_SPI	PK_0	P6_2	PH_0	PVcc	Vss	PF_0	PA_1	PA_7	PVcc	Vss	PD_4	PD_3	PD_1	D
E	Vss	BSCANP	PF_7	PVcc													PVcc	PD_2	TCK/SWDCLK	JP0_0	E
F	HM_RWDS/OM_DQS	HM_CK#	HM_CK/OM_SCLK	Vss													TMS/SWDIO	PD_0	TRST#	JP0_1	F
G	HM_DQ2/OM_SIO2	HM_DQ1/OM_SIO1	HM_CS0#/OM_CS0#	PVcc_HO													Vss	PB_1	PB_2	PB_3	G
H	HM_DQ3/OM_SIO3	HM_DQ6/OM_SIO6	HM_DQ4/OM_SIO4	HM_CS1#/OM_CS1#													PVcc	PB_5	PB_4	P7_7	H
J	HM_RESET#/OM_RESET#	HM_DQ7/OM_SIO7	HM_DQ5/OM_SIO5	HM_DQ0/OM_SIO0					Vcc	Vss	Vss	Vcc					P7_6	PG_2	PG_1	P7_2	J
K	PJ_7	PJ_6	PH_4	PJ_0					Vcc	Vss	Vss	Vcc					PVcc	PG_3	P6_7	PVcc	K
L	PJ_1	PJ_3	PH_5	PVcc					Vcc	Vss	Vss	Vcc					Vss	P6_0	P6_5	Vss	L
M	PH_6	PJ_2	PK_5	Vss					Vcc	Vss	Vss	Vcc					PVcc_SD0	P6_4	P6_6	SD0_RST#	M
N	PVcc	PJ_5	PJ_4	PVcc													SD0_DAT0	SD0_DAT5	SD0_DAT7	SD0_DAT6	N
P	AUDIO_X1	AUDIO_X2	P3_5	PK_4													PVcc_SD1	SD0_DAT2	SD0_DAT3	SD0_DAT4	P
R	Vss	P3_1	PG_4	MIPI AVcc18													Vss	SD0_CMD	SD0_DAT1	SD0_CLK	R
T	CSI_CLKP	CSI_CLKN	P3_2	Vss													AVss	SD1_DAT0	SD1_CLK	Vss	T
U	CSI_DATA0P	CSI_DATA0N	Vss	PG_6	PC_0	P3_3	P4_6	LVDS PLLVcc	LVDS APVcc	USB DPVcc0	RREF0	RREF1	Vss	PLLVcc	PVcc	PC_6	AVcc	SD1_CMD	SD1_DAT1	SD1_DAT2	U
V	CSI_DATA1P	CSI_DATA1N	Vss	P3_4	PC_2	P4_2	P4_7	Vss	Vss	USBVss	USBVss	USBVss	Vss	PC_3	PC_5	PC_7	P5_0	P5_6	P5_7	SD1_DAT3	V
W	MIPI AVcc18	Vss	PG_5	P3_0	P4_1	P4_3	NMI	USB_X2	USBVss	DP0	USB APVcc0	USB APVcc1	DM1	USB DPVcc1	PC_4	XTAL	RTC_X2	P5_4	P5_3	P5_5	W
Y	Vss	PG_7	PC_1	P4_0	P4_4	P4_5	RES#	USB_X1	USBVss	DM0	USBVss	USBVss	DP1	USBVss	EXTAL	Vss	RTC_X1	P5_2	P5_1	Vss	Y
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	

図 1.2 272 ピン BGA 版ピン配置図（上面透視図）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	
A	Vcc	QSPI1_SSL	QSPI1_IO3	QSPI1_SPCLK	RPC_RESET#	PVcc_SPI	Vss	QSPI0_SPCLK	P6_1	P6_3	PE_6	PL_4	PL_0	PE_5	PE_4	PE_3	PA_2	PE_1	PA_6	CKIO	Vss	A
B	PK_1	Vcc	QSPI1_IO0	QSPI1_IO1	RPC_INT#	QSPI0_SSL	QSPI0_IO3	QSPI0_IO1	PF_5	PF_4	PH_1	PL_1	PL_2	P8_0	PF_1	PA_0	PA_7	PA_4	PB_0	Vss	PD_3	B
C	PK_3	PH_2																		PD_7	PD_1	C
D	HM_CK/OM_SCLK	BSCANP		Vcc	QSPI1_IO2	RPC_WP#	QSPI0_IO2	PK_0	P6_2	PH_0	PF_3	PF_2	PF_0	PE_2	PA_1	PG_0	PA_5	Vss		PD_5	JP0_0	D
E	HM_CK#	HM_CS0#/OM_CS0#		PK_2	Vcc	Vss	PVcc	QSPI0_IO0	PF_6	PE_0	PL_3	Vcc	Vss	PVcc	PA_3	Vcc	Vss	TCK/SWDCLK		PD_0	TRST#	E
F	HM_DQ1/OM_SIO1	HM_RWDS/OM_DQS		PF_7	Vss												PD_6	PD_2		JP0_1	PB_1	F
G	PVcc_HO	HM_DQ2/OM_SIO2		HM_DQ4/OM_SIO4	PVcc												PD_4	TMS/SWDIO		PB_3	PB_5	G
H	Vss	HM_DQ6/OM_SIO6		HM_CS1#/OM_CS1#	PH_3												PB_2	PB_4		P7_7	PG_2	H
J	HM_RESET#/OM_RESET#	PH_4		HM_DQ3/OM_SIO3	HM_DQ0/OM_SIO0												PG_1	P7_6		P7_2	P6_0	J
K	PJ_6	PJ_1		HM_DQ7/OM_SIO7	HM_DQ5/OM_SIO5												PVcc	PG_3		P6_5	P6_4	K
L	PH_5	PJ_3		PJ_0	Vcc												Vss	P6_7		P6_6	SD0_DAT6	L
M	PH_6	PJ_7		PJ_2	Vss												Vcc	SD0_RST#		SD0_DAT7	PVcc_SD0	M
N	P3_5	PJ_5		PJ_4	PK_5												SD0_DAT0	SD0_DAT5		SD0_DAT4	Vss	N
P	AUDIO_X1	AUDIO_X2		PK_4	PVcc												SD0_CLK	SD0_DAT2		SD0_DAT3	SD0_DAT1	P
R	PG_4	P3_1		P3_2	Vss												SD1_DAT2	SD1_DAT0		SD1_DAT3	SD0_CMD	R
T	Vss	Vss		MIPIA Vcc18	Vcc												SD1_CLK	SD1_CMD		SD1_DAT1	PVcc_SD1	T
U	CSI_DATA0P	CSI_DATA0N		Vss	PVcc	Vss	LVDS APVcc	P4_3	P4_7	USBVss	RREF0	RREF1	USBVss	Vss	PLLVcc	PVcc	Vss	P5_4		P5_5	Vss	U
V	CSI_CLKP	CSI_CLKN		PG_6	P3_3	PC_2	Vss	P4_2	P4_6	Vss	USB APVcc0	USB APVcc1	USBVss	PC_4	PC_6	PC_3	PVcc	P5_0		P5_6	P5_7	V
W	CSI_DATA1P	CSI_DATA1N																		P5_2	P5_3	W
Y	Vss	Vss	PG_7	PC_0	PC_1	P4_0	P4_4	LVDS PLLVcc	NMI	USB_X2	USB DPVcc0	DP0	USBVss	DP1	USB DPVcc1	Vss	XTAL	RTC_X2	AVcc	PVcc	P5_1	Y
AA	Vss	PG_5	P3_4	P3_0	Vss	P4_1	P4_5	Vss	RES#	USB_X1	USBVss	DM0	USBVss	DM1	USBVss	PC_5	PC_7	EXTAL	RTC_X1	AVss	PVcc	AA
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	

図 1.3 256 ピン BGA 版ピン配置図（上面透視図）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
A	Vss	PK_3	QSPI1_SPCLK	RPC_WP#	PVcc_SPI	Vss	QSPI0_IO3	P6_1	P6_2	PH_1	PE_6	PL_2	PE_3	CKIO	Vss	A
B	BSCANP	PH_3	QSPI1_SSL	QSPI1_IO1	RPC_RESET#	QSPI0_IO2	QSPI0_IO1	PK_0	P6_3	PL_4	PL_0	PE_5	PE_1	Vss	PD_7	B
C	HM_CK/OM_SCLK	PK_1	QSPI1_IO3	QSPI1_IO2	RPC_INT#	QSPI0_SSL	QSPI0_SPCLK	PE_0	PH_0	PL_1	PE_4	PG_0	Vss	PD_5	PD_3	C
D	HM_CK#	HM_CS0#/OM_CS0#	PK_2	Vss	Vcc	QSPI1_IO0	QSPI0_IO0	PVcc	PL_3	PE_2	PVcc	Vss	PD_6	PD_4	PD_1	D
E	Vss	HM_DQ0/OM_SIO0	HM_RWDS/OM_DQS	PVcc								PD_2	PD_0	TCK/SWDCLK	JP0_0	E
F	PVcc_HO	HM_DQ2/OM_SIO2	HM_DQ1/OM_SIO1	HM_CS1#/OM_CS1#								TMS/SWDIO	JP0_1	TRST#	P6_0	F
G	HM_DQ4/OM_SIO4	HM_DQ7/OM_SIO7	HM_DQ5/OM_SIO5	HM_DQ3/OM_SIO3								Vcc	PG_3	PG_2	PVcc	G
H	HM_DQ6/OM_SIO6	HM_RESET#/OM_RESET#	PH_4	Vcc								PG_1	SD0_DAT5	SD0_RST#	Vss	H
J	PJ_0	PJ_1	PJ_2	Vss								SD0_DAT7	SD0_DAT2	SD0_DAT4	PVcc_SD0	J
K	PJ_5	PJ_3	PJ_4	PVcc								SD0_CLK	SD0_DAT3	SD0_DAT0	SD0_DAT6	K
L	PK_4	P3_5	Vss	Vcc								PVcc	Vss	SD0_DAT1	SD0_CMD	L
M	AUDIO_X1	AUDIO_X2	P3_2	Vss	P3_3	LVDS APVcc	LVDS PLLVcc	NMI	USBVss	PVcc	Vcc	P5_0	P5_4	P5_7	P5_5	M
N	P3_1	PG_4	Vss	PG_7	P4_2	P4_3	P4_6	RES#	RREF0	Vss	PLLVcc	Vcc	P5_2	P5_3	P5_6	N
P	PVcc	Vss	PG_6	P4_0	P4_4	P4_7	USB_X2	USB DPVcc0	USB APVcc0	USBVss	XTAL	RTC_X2	AVcc	Vcc	P5_1	P
R	Vss	PG_5	P3_4	P4_1	P4_5	Vss	USB_X1	DP0	DM0	USBVss	EXTAL	Vss	RTC_X1	AVss	Vcc	R
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	

図 1.4 176 ピン BGA 版ピン配置図（上面透視図）

1.5 端子機能

表 1.3 端子機能

分類	端子名	入出力	名称	機能
電源	Vcc	入力	電源	電源端子です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PVcc	入力	入出力回路用電源	入出力端子用の電源端子です。すべての PVcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	PVcc_SPI, PVcc_HO, PVcc_SD0, PVcc_SD1	入力	入出力回路用電源	入出力端子用の電源端子です。すべての PVcc_SPI, PVcc_HO, PVcc_SD0, PVcc_SD1 端子をシステムの電源に接続してください。開放端子があると動作しません。
	PLLVcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	出力	システムクロック出力	外部デバイスにシステムクロックを供給します。
	AUDIO_CLK	入力	オーディオ用外部クロック	オーディオ用外部クロックを入力します。AUDIO_X1, AUDIO_X2 の発振クロックと選択して分周器に入力します。
	AUDIO_X1	入力	オーディオ用水晶発振子／外部クロック	オーディオ用水晶発振子を接続します。また、AUDIO_X1 端子は外部クロックを入力することもできます。AUDIO_CLK 入力クロックと選択して分周器に入力します。
	AUDIO_X2	出力		
	AUDIO_XOUT	出力	AUDIO_X1 クロック出力	AUDIO_X1 端子の内蔵水晶発振器の出力または外部クロック入力を出力します。
動作モードコントロール	MD_BOOT2, MD_BOOT1, MD_BOOT0	入力	モード設定	動作モードを設定します。RES# 端子アサート中およびネゲート後モードが確定するまでは、変化させないでください。
	MD_CLK	入力	クロックモード設定	クロック動作モードを設定します。RES# 端子アサート中およびネゲート後モードが確定するまでは、変化させないでください。
	MD_CLKS	入力	SSCG クロックモード設定	SSCG 回路動作の ON, OFF を設定します。RES# 端子アサート中およびネゲート後モードが確定するまでは、変化させないでください。
	BSCANP	入力	バウンダリスキャン設定	バウンダリスキャン設定端子です。バウンダリスキャン時はハイレベル、通常動作時はローレベルに固定してください。
システム制御	RES#	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	WDTOVF# / PERROUT#	出力	ウォッチドッグタイマオーバフロー／CPU パリティエラー	ウォッチドッグタイマからのオーバフローおよび CPU パリティエラー出力信号です。

分類	端子名	入出力	名称	機　　能
割り込み	NMI	入力	ノンマスカブル割り込み	ノンマスカブル割り込み要求端子です。 FIQ 例外として受け付けられます。 使用しない場合はハイレベルに固定してください。
	IRQ7～IRQ0	入力	割り込み要求7～0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
アドレスバス	A25～A0	出力	アドレスバス	アドレスを出力します。
データバス	D15～ D0	入出力	データバス	双方向のデータバスです。
バス制御	CS5#～CS0#	出力	チップセレクト5 ～ 0	外部メモリまたはデバイスのためのチップセレクト信号です。
	RD#	出力	読み出し	外部のデバイスから読み出すことを示します。
	RD/WR#	出力	リード／ライト	リード信号またはライト信号です。
	BS#	出力	バス開始	バスサイクル開始信号です。
	AH#	出力	アドレスホールド	マルチプレクスI/O時のアドレスをホールドするための信号です。
	WAIT#	入力	ウェイト	外部空間をアクセスするときのバスサイクルに ウェイトサイクルを挿入させる入力です。
	WE0#	出力	バイト指定	外部メモリまたはデバイスのデータのビット7～0 に書き込みすることを示します。
	WE1#	出力	バイト指定	外部メモリまたはデバイスのデータのビット15～8 に書き込みすることを示します。
	DQML	出力	バイト指定	SDRAM接続時、D7 ～ D0を選択します。
	DQMU	出力	バイト指定	SDRAM接続時、D15 ～ D8を選択します。
	RAS#	出力	RAS	SDRAM 接続時に RAS 端子に接続します。
	CAS#	出力	CAS	SDRAM 接続時に CAS 端子に接続します。
	CKE	出力	CK イネーブル	SDRAM 接続時に CKE 端子に接続します。
ダイレクトメモリアクセスコントローラ	DREQ0	入力	DMA転送要求	外部からのDMA転送要求の入力端子です。
	DACK0	出力	DMA転送要求受け付け	外部からのDMA 転送要求に対する、要求受け付け出力端子です。
	TEND0	出力	DMA転送終了出力	DMA 転送終了出力信号です。

分類	端子名	入出力	名称	機　　能
マルチファンクションタイマパルスユニット3	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	タイマクロック入力	タイマの外部クロック入力、または位相計数モードクロック入力端子です。
	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	インプットキャプチャ／アウトプットコンペア（チャネル 0）	TGRA_0 ～ TGRD_0 のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
	MTIOC1A, MTIOC1B	入出力	インプットキャプチャ／アウトプットコンペア（チャネル 1）	TGRA_1, TGRB_1 のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
	MTIOC2A, MTIOC2B	入出力	インプットキャプチャ／アウトプットコンペア（チャネル 2）	TGRA_2, TGRB_2 のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	インプットキャプチャ／アウトプットコンペア（チャネル 3）	TGRA_3 ～ TGRD_3 のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	インプットキャプチャ／アウトプットコンペア（チャネル 4）	TGRA_4 ～ TGRD_4 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子です。
	MTIC5U, MTIC5V, MTIC5W	入出力	インプットキャプチャ／アウトプットコンペア（チャネル 5）	TGRU_5, TGRV_5, TGRW_5 のインプットキャプチャ入力／デッドタイム補償機能入力端子です。
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	インプットキャプチャ／アウトプットコンペア（チャネル 6）	TGRA_6 ～ TGRD_6 のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	インプットキャプチャ／アウトプットコンペア（チャネル 7）	TGRA_7 ～ TGRD_7 のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
	MTIOC8A, MTIOC8B, MTIOC8C, MTIOC8D	入出力	インプットキャプチャ／アウトプットコンペア（チャネル 8）	TGRA_8 ～ TGRD_8 のインプットキャプチャ入力／アウトプットコンペア出力端子です。
ポートアウトプットイネーブル3	POE0#, POE4#, POE8#, POE10#	入力	ハイインピーダンス要求	MTU3a波形出力端子をハイインピーダンス状態にする要求信号入力端子
汎用PWMタイマ	GTETRGA～GTETRGD	入力	外部トリガ	外部トリガ入力端子
	GTIOC0A ～ GTIOC7A、GTIOC0B ～ GTIOC7B	入出力	タイマ入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子
リアルタイムクロック	RTC_X1	入力	リアルタイムクロック用水晶発振子／外部クロック	32.768kHz の水晶発振子を接続します。また、RTC_X1 端子は外部クロックを入力することもできます。
	RTC_X2	出力		
	EXTAL	入力	内部クロック用水晶発振子/外部クロック	内部動作用に使用する水晶発振子を接続します。
	XTAL	出力		
FIFO内蔵シリアルコミュニケーションインタフェース	TxD4 ～ TxD0	出力	送信データ	データ出力端子です。
	RxD4 ～ RxD0	入力	受信データ	データ入力端子です。
	SCK4 ～ SCK0	入出力	シリアルクロック	クロック入出力端子です。
	RTS2#, RTS1#, RTS0#	出力	送信要求	モデムコントロール端子です。
	CTS2#, CTS1#, CTS0#	入出力	送信可	モデムコントロール端子です。
シリアルコミュニケーションインタフェース	SCI_SCK1, SCI_SCK0	入出力	シリアルクロック	クロック入出力端子です。
	SCI_TXD1, SCI_TXD0	出力	送信データ	データ出力端子です。
	SCI_RXD1, SCI_RXD0	入力	受信データ	データ入力端子です。
	SCI_CTS1# / RTS1#, SCI_CTS0# / RTS0#	入出力	送受信開始制御	送受信開始制御用入出力端子です。
I^2Cバスインタフェース	RIIC3SCL～RIIC0SCL	入出力	シリアルクロック端子	シリアルクロック入出力端子です。
	RIIC3SDA～ RIIC0SDA	入出力	シリアルデータ端子	シリアルデータ入出力端子です。

分類	端子名	入出力	名称	機　　能
シリアルサウンド インタフェース	SSITxD3, SSITxD1, SSITxD0	出力	データ出力	シリアルデータ出力端子です。
	SSIRxD3, SSIRxD1, SSIRxD0	入力	データ入力	シリアルデータ入力端子です。
	SSIDATA2	入出力	データ入出力	シリアルデータ入出力端子です。
	SSIBCK3 ～ SSISBCK0	入出力	ビットクロック入出力	ビットクロック入出力端子です
	SSILRCK3 ～ SSILRCK0	入出力	LRクロック入出力	LRクロック/フレームシンク入出力端子です。
CANFD インタフェース	CAN_CLK	入力	CAN通信用 クロックソース	CAN通信用のクロック源です。
	CAN1TX, CAN0TX	出力	CANバス送信データ	CANバスの送信用端子です。
	CAN1RX, CAN0RX	入力	CANバス受信データ	CANバスの受信用端子です。
	CAN0RX_DATARATE_EN, CAN1RX_DATARATE_EN	出力	CAN バス受信データ フェーズ	CANバスの受信データフェーズを示す端子です。データ(高速ビットレート)領域で"1"となります。
	CAN0TX_DATARATE_EN, CAN1TX_DATARATE_EN	出力	CAN バス送信データ フェーズ	CANバスの送信データフェーズを示す端子です。データ(高速ビットレート)領域で"1"となります。
ルネサスSPDIF インタフェース	SPDIF_OUT	出力	出力データ	送信データ出力端子です。
	SPDIF_IN	入力	入力データ	受信データ入力端子です。
ルネサスシリアル ペリフェラル インタフェース	MOSI2 ～ MOSI0	入出力	データ	データ入出力端子です。
	MISO2 ～ MISO0	入出力	データ	データ入出力端子です。
	RSPCK2 ～ RSPCK0	入出力	クロック	クロック入出力端子です。
	SSL20, SSL10, SSL00	入出力	スレーブセレクト	スレーブセレクト入出力端子です。
SPIマルチI/Oバス コントローラ	QSPI0_SPCLK, QSPI1_SPCLK	出力	クロック	クロック出力端子です。
	QSPI0_SSL	出力	スレーブセレクト	スレーブセレクト出力端子です。
	QSPI1_SSL	入出力	スレーブセレクトまたは データストローブ	シリアルフラッシュ接続時： スレーブセレクト出力端子です。 Octal-SPI フラッシュメモリ, HyperFlash 接続時： データストローブ入力端子です。
	QSPI0_IO3 ～ QSPI0_IO0, QSPI1_IO3 ～ QSPI1_IO0	入出力	データ	データ入出力端子です。
	RPC_RESET#	出力	リセット	リセット出力端子です。
	RPC_WP#	出力	ライトプロテクト	ライトプロテクト出力端子です。
	RPC_INT#	入力	割り込み	割り込み入力端子です。
HyperBus コントローラ	HM_CK	出力	クロック	差動クロック出力端子です。
	HM_CK#	出力	クロック	差動クロック出力端子です。
	HM_CS0#	出力	チップセレクト0	外部メモリのためのチップセレクト信号です。
	HM_CS1#	出力	チップセレクト1	外部メモリのためのチップセレクト信号です。
	HM_RWDS	入出力	リードライト データストローブ	リードデータストローブ／ライトデータマスク端子です。
	HM_DQ7～HM_DQ0	入出力	データ	データ入出力端子です。
	HM_RESET#	出力	リセット出力	外部メモリへのリセット出力です。
	HM_RSTO#	入力	リセット入力	外部メモリからのリセット入力です。
	HM_INT#	入力	割り込み入力	外部メモリからの割り込み入力です。

分類	端子名	入出力	名称	機　　能
Octa メモリ コントローラ	OM_SCLK	出力	クロック	クロック出力端子です。
	OM_CS0#	出力	チップセレクト 0	外部メモリのためのチップセレクト信号です。
	OM_CS1#	出力	チップセレクト 1	外部メモリのためのチップセレクト信号です。
	OM_DQS	入出力	データストローブ	リードデータストローブ／ライトデータマスク端子です。
	OM_SIO7 ～ OM_SIO0	入出力	データ	データ入出力端子です。
	OM_RESET#	出力	リセット出力	外部メモリへのリセット出力です。
	OM_ECS#	入力	ECC エラー検出端子	外部メモリからの ECC エラー検出端子です。
イーサネット コントローラ	ET0_TXCLK, ET1_TXCLK	入力	送信クロック	MII 送信用クロック端子です。
	ET0_TXEN, ET1_TXEN	出力	送信イネーブル	MII 送信用データイネーブル端子です。
	ET0_TXD3 ～ ET0_TXD0, ET1_TXD3 ～ ET1_TXD0	出力	送信データ	MII 送信データ端子です。
	ET0_COL, ET1_COL	入力	衝突検出	MII 衝突検出端子です。
	ET0_TXER, ET1_TXER	出力	送信エラー	MII 送信エラー出力端子です。
	ET0_RXCLK, ET1_RXCLK	入力	受信クロック	MII 受信用クロック端子です。
	ET0_RXDV, ET1_RXDV	入力	受信イネーブル	MII 受信用データイネーブル端子です。
	ET0_RXD3 ～ ET0_RXD0, ET1_RXD3 ～ ET1_RXD0	入力	受信データ	MII 受信データ端子です。
	ET0_RXER, ET1_RXER	入力	受信エラー	MII 受信エラー入力端子です。
	ET0_CRS, ET1_CRS	入力	キャリア検出	MII キャリア検出端子です。
	REF50CK0, REF50CK1	入力	基準クロック	RMII 用基準クロック
	RMII0_CRS_DV, RMII1_CRS_DV	入力	キャリア検出 受信イネーブル	RMII キャリア検出、受信イネーブル端子です。
	RMII0_TXD1, RMII0_TXD0, RMII1_TXD1, RMII1_TXD0	出力	送信データ	RMII 送信データ端子です。
	RMII0_TXD_EN, RMII1_TXD_EN	出力	送信イネーブル	RMII 送信用データイネーブル端子です。
	RMII0_RXER, RMII1_RXER	入力	受信エラー	RMII 受信エラー入力端子です。
	RMII0_RXD1, RMII0_RXD0, RMII1_RXD1, RMII1_RXD0	入力	受信データ	RMII 受信データ端子です。
	ET0_MDC, ET1_MDC	出力	管理用データクロック	MDIO による情報転送用クロック端子です。
	ET0_MDIO, ET1_MDIO	入出力	管理用データ入出力	管理情報を交換するための双方向端子です。
	ET0_LINKSTA, ET1_LINKSTA	入力	ステータス	PHY-LSI からのリンクステータス端子です。
	ET0_EXOUT, ET1_EXOUT	出力	汎用出力	汎用出力端子です。
	ET0_WOL, ET1_WOL	出力	Wake-On-LAN	Magic Packet 受信を示す端子です。
	ET0_SCLKIN, ET1_SCLKIN	入力	SCLKA クロック	統計的クロック補正部への供給クロックです。

分類	端子名	入出力	名称	機　　能
NANDフラッシュコントローラ	NFALE	出力	フラッシュメモリアドレスラッチイネーブル	アドレス出力時にアサートします。データ入出力時にネゲートします。
	NFRE#	出力	フラッシュメモリリードイネーブル	立ち下がりエッジでデータリードします。
	NFCE#	出力	フラッシュメモリチップイネーブル	本LSIに接続されたフラッシュメモリをイネーブルにします。
	NFCLE	出力	フラッシュメモリコマンドラッチイネーブル	コマンド出力時にアサートします。
	NFRB#	入力	フラッシュメモリレディ／ビジー	ハイレベルでレディ状態、ローレベルでビジー状態を示します。
	NFWE#	出力	フラッシュメモリライトイネーブル	立ち下がりエッジでフラッシュメモリがコマンド、アドレス、およびデータをラッチします。
	NFDATA[7:0]	入出力	フラッシュメモリデータ	データ入出力端子です。
USB 2.0 ホスト／ファンクションモジュール	DP1, DP0	入出力	USB 2.0 ホスト／ファンクションモジュールD+ データ	USB 2.0 ホスト／ファンクションモジュールバスの D+ データです。
	DM1, DM0	入出力	USB 2.0 ホスト／ファンクションモジュールD- データ	USB 2.0 ホスト／ファンクションモジュールバスの D- データです。
	VBUSIN1, VBUSIN0	入力	VBUS 入力	USB ケーブル接続モニタ端子です。USB バスのVBUS を3.3V まで降圧して接続してください。VBUS の接続／切断を検出することができます。
	VBUSEN1, VBUSEN0	出力	VBUS出力	VBUS電源のイネーブル端子です。
	OVRCUR1, OVRCUR0	入力	オーバーカレント入力	オーバーカレント端子です。
	OTG_EXICEN1, OTG_EXICEN0	出力	OTG電源IC制御	OTG電源ICの制御端子です。
	OTG_ID1, OTG_ID0	入力	OTG電源IC ID	OTG電源ICのID端子です。
	CC1_Rd1, CC1_Ra1, CC2_Rd1, CC2_Ra1, CC1_Rd0, CC1_Ra0, CC2_Rd0, CC2_Ra0	入力	CC入力	Type-C端子におけるCC端子モニタです。CC端子の抵抗値状態を検出して接続してください。
	RREF1, RREF0	入力	リファレンス入力	2.2kΩ±1%の抵抗を介してUSBVssに接続してください。
	USB_X1	入力	USB 2.0 ホスト／ファンクションモジュール用水晶発振子	USB 2.0 ホスト／ファンクションモジュール用水晶発振子を接続します。
	USB_X2	出力		
	USBAPVcc1, USBAPVcc0	入力	トランシーバ部アナログ端子電源	端子用電源です。
	USBDPVcc1, USBDPVcc0	入力	トランシーバ部デジタル端子電源	端子用電源です。
	USBVss	入力	トランシーバ部端子グ ランド	端子用グランドです。

分類	端子名	入出力	名称	機　　能
ビデオディスプレイコントローラ 6	LCD0_DATA23 ～ LCD0_DATA0	出力	出力データ	パネル用データ出力端子です。
	LCD0_TCON6 ～ LCD0_TCON0	出力	パネルタイミング調整出力	パネルのタイミング調整用出力端子です。
	LCD0_CLK	出力	パネルクロック	パネルクロック出力端子です。
	LCD0_EXTCLK	入力	パネルクロックソース	パネルクロックソース入力端子です。
	DV0_DATA23 ～ DV0_DATA0	入力	入力データ	グラフィックスデータ入力端子です。
	DV0_VSYNC	入力	VSYNC 入力	VSYNC 入力端子です。
	DV0_HSYNC	入力	HSYNC 入力	HSYNC 入力端子です。
	DV0_CLK	入力	入力クロック	グラフィックスデータのクロック入力端子です。
LVDS 出力インタフェース	TXCLKOUTP, TXCLKOUTM	出力	出力クロック	LVDS差動クロック出力端子です。
	TXOUT2P ～ TXOUT0P, TXOUT2M ～ TXOUT0M	出力	出力データ	LVDS差動データ出力端子です。
	LVDSAPVcc	入力	LVDSアナログ電源	LVDS出力用電源です。
	LVDSPLLVcc	入力	LVDS PLL電源	LVDS PLL用電源です。
キャプチャエンジンユニット	VIO_D15 ～ VIO_D0	入力	入力データ	グラフィックスデータ入力端子です。
	VIO_CLK	入力	入力クロック	グラフィックスデータのクロック入力端子です。
	VIO_VD	入力	VSYNC 入力	VSYNC入力端子です。
	VIO_HD	入力	HSYNC 入力	HSYNC入力端子です。
	VIO_FLD	入力	FIELD 入力	FIELD情報の入力端子です。
MIPI CSI-2 インタフェース	CSI_DATA0P	入力	入力データ	CSI レーン0差動ポジティブ受信データ入力です。
	CSI_DATA0N	入力	入力データ	CSI レーン0差動ネガティブ受信データ入力です。
	CSI_DATA1P	入力	入力データ	CSI レーン1差動ポジティブ受信データ入力です。
	CSI_DATA1N	入力	入力データ	CSI レーン1差動ネガティブ受信データ入力です。
	CSI_CLKP	入力	入力クロック	CSIクロックレーン差動ポジティブ受信入力です。
	CSI_CLKN	入力	入力クロック	CSIクロックレーン差動ネガティブ受信入力です。
	MIPIAVcc18	入力	MIPIアナログ電源	MIPI 用アナログ電源です。
SD/MMC ホストインタフェース	SD0_CLK, SD1_CLK	出力	SD/MMC クロック	SD/MMC クロック出力端子です。
	SD0_CMD, SD1_CMD	入出力	SD/MMC コマンド	SD/MMC コマンド出力、レスポンス入力信号です。
	SD0_DAT7 ～ SD0_DAT0, SD1_DAT3 ～ SD1_DAT0	入出力	SD/MMC データ	SD/MMC データバス信号です。
	SD0_CD, SD1_CD	入力	SD/MMC カード検出	SD/MMC カード検出です。
	SD0_WP, SD1_WP	入力	SD/MMC ライトプロテクト	SD/MMC ライトプロテクト信号です。
	SD0_RST#	出力	SD/MMC リセット	SD/MMC リセット出力信号です。

分類	端子名	入出力	名称	機　　能
A/D コンバータ	AN007 ～ AN000	入力	アナログ入力端子	アナログ入力端子です。
	ADTRG#	入力	A/D変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVcc	入力	アナログ電源／アナログ基準電圧	A/Dコンバータの電源端子兼、アナログ基準電圧端子です。
	AVss	入力	アナロググラン ド	A/Dコンバータのグランド端子です。
汎用入出力ポート	P0_0 ～ PK_5	入出力	汎用ポート	176ピンは47本、256ピンは92本、272ピンは92本、324ピンは128本の汎用入出力ポート端子です。
	PD_0 ～ PD_7	入出力	汎用ポート	8本のオープンドレイン出力付き入力ポート端 子です。
	P5_0 ～ P5_7, PL_0 ～ PL_4, JP0_0	入力	汎用ポート	14本の汎用入力ポート端子です。
	JP0_1	出力	汎用ポート	1本の汎用出力ポート端子です。
デバッガ インタフェース	TCK / SWDCLK	入力	テストクロック	テストクロック入力端子です。シリアルワイヤデバッグ用入力クロック端子と共用します。
	TMS / SWDIO	入力／入出力	テストモードセレクト	テストモードセレクト信号入力端子です。シリアルワイヤデバッグ用入出力データ端子と共用します。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO / SWO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	TRST#	入力	テストリセット	初期化信号入力端子です。
	TRACEDATA3 ～ TRACEDATA0	出力	データ出力	トレースデータ出力端子です。
	TRACECLK	出力	クロック出力	トレースクロック出力端子です。
	TRACECTL	出力	イネーブル出力	トレースイネーブル出力端子です。
ダイナミック リコンフィギュアラブル プロセッサ(DRP) (注1)	DRP00 ～ DRP31	入出力	DRP入出力端子	32本のDRP入出力端子です。

注1.　DRP搭載品のみ

1.6　端子一覧

表 1.4　324 ピン BGA 端子一覧

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
A1	Vcc																		
A2	QSPI1_IO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A3	QSPI1_SPCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A4	RPC_WP#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A5	QSPI0_IO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A6	PVcc_SPI																		
A7	Vss																		
A8	PVcc																		
A9	PF_4	I(s)/O	–	–	RxD2	I(s)	DV0_DATA19	I(s)	LCD0_DATA4	O	MTIOC6A	I(s)/O	SSIBCK0	I(s)/O	IRQ1	I(s)	–	–	(1)
A10	PE_6	I(s)/O	–	–	ET0_MDIO	I(s)/O	VIO_D2	I(s)	SSIRxD0	I(s)	MTIOC0D	I(s)/O	CC2_Rd1	I(s)	–	–	–	–	(1)
A11	PL_2	I(s)	MD_BOOT2	I(s)	–	–	–	–	–	–	–	–	IRQ6	I(s)	–	–	–	–	(5)
A12	PE_5	I(s)/O	–	–	ET0_MDC	O	VIO_D3	I(s)	SSITxD0	O	MTIOC0C	I(s)/O	CC1_Rd1	I(s)	–	–	–	–	(1)
A13	P8_4	I(s)/O	–	–	A4	O	DRP20（注）	I(s)/O	DV0_DATA13	I(s)	SSL00	I(s)/O	SSIRxD3	I(s)	–	–	–	–	(1)
A14	P8_6	I(s)/O	–	–	A6	O	DRP18（注）	I(s)/O	DV0_DATA11	I(s)	MOSI0	I(s)/O	SSILRCK3	I(s)/O	–	–	–	–	(1)
A15	PE_4	I(s)/O	–	–	ET0_CRS	I(s)	VIO_D4	I(s)	SSILRCK0	I(s)/O	MTIOC0B	I(s)/O	–	–	–	–	RMII0_CRS_DV	I(s)	(1)
A16	P9_1	I(s)/O	–	–	A9	O	DRP15（注）	I(s)/O	DV0_DATA8	I(s)	RxD4	I(s)	SSILRCK2	I(s)/O	–	–	–	–	(1)
A17	PVcc																		
A18	Vss																		
A19	PE_1	I(s)/O	–	–	ET0_RXD0	I(s)	VIO_D7	I(s)	RxD2	I(s)	POE8#	I(s)	VBUSIN1	I(s)	IRQ1	I(s)	RMII0_RXD0	I(s)	(1)
A20	PA_4	I(s)/O	–	–	A20	O	DV0_DATA9	I(s)	LCD0_DATA14	O	SCI_TXD0	I(s)/O	MTIOC0C	I(s)/O	–	–	–	–	(1)
A21	CKIO	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(11)
A22	Vss																–	–	
B1	PK_1	I(s)/O	–	–	ET1_TXD0	O	NFDATA4	I(s)/O	CC1_Ra0	I(s)	CAN_CLK	I(s)	SSIDATA2	I(s)/O	–	–	RMII1_TXD0	O	(1)
B2	Vcc																		
B3	QSPI1_IO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B4	QSPI1_IO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B5	RPC_RESET#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B6	QSPI0_IO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B7	QSPI0_SPCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B8	PF_5	I(s)/O	–	–	TxD2	O	DV0_DATA20	I(s)	LCD0_DATA3	O	MTIOC6B	I(s)/O	SSILRCK0	I(s)/O	–	–	–	–	(1)
B9	P6_3	I(s)/O	–	–	ET0_TXD1	O	VIO_HD	I(s)	TxD3	O	POE0#	I(s)	–	–	–	–	RMII0_TXD1	O	(1)
B10	PH_0	I(s)/O	–	–	AUDIO_CLK	I(s)	VIO_D1	I(s)	GTIOC4A	I(s)/O	MTIOC1A	I(s)/O	CC1_Rd0	I(s)	IRQ3	I(s)	–	–	(1)
B11	PL_3	I(s)	MD_BOOT1	I(s)	–	–	–	–	–	–	–	–	IRQ7	I(s)	–	–	–	–	(5)
B12	PL_1	I(s)	MD_CLK	I(s)	–	–	–	–	–	–	–	–	IRQ5	I(s)	–	–	–	–	(5)
B13	P8_3	I(s)/O	–	–	A3	O	DRP21（注）	I(s)/O	DV0_DATA14	I(s)	MTIOC6A	I(s)/O	GTIOC3A	I(s)/O	–	–	–	–	(1)
B14	PF_2	I(s)/O	–	–	TxD3	O	DV0_DATA17	I(s)	LCD0_DATA6	O	MTIOC7C	I(s)/O	MISO1	I(s)/O	–	–	–	–	(1)
B15	P8_7	I(s)/O	–	–	A7	O	DRP17（注）	I(s)/O	DV0_DATA10	I(s)	RSPCK0	I(s)/O	SSIBCK3	I(s)/O	–	–	–	–	(1)
B16	PE_3	I(s)/O	–	–	ET0_RXER	I(s)	VIO_D5	I(s)	SSIBCK0	I(s)/O	MTIOC0A	I(s)/O	–	–	–	–	RMII0_RXER	I(s)	(1)
B17	PA_0	I(s)/O	–	–	A16	O	DV0_DATA13	I(s)	LCD0_DATA10	O	SCI_TXD1	I(s)/O	MTIOC8C	I(s)/O	–	–	–	–	(1)
B18	PA_3	I(s)/O	–	–	A19	O	DV0_DATA10	I(s)	LCD0_DATA13	O	SCI_CTS0#/RTS0#	I(s)/O	MTIOC0D	I(s)/O	–	–	–	–	(1)
B19	PA_5	I(s)/O	–	–	A21	O	DV0_DATA8	I(s)	LCD0_DATA15	O	SCI_RXD0	I(s)/O	MTIOC0B	I(s)/O	IRQ5	I(s)	–	–	(1)
B20	PA_6	I(s)/O	–	–	A22	O	DV0_DATA7	I(s)	LCD0_DATA16	O	SCI_SCK0	I(s)/O	MTIOC0A	I(s)/O	–	–	–	–	(1)
B21	Vss																		

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
B22	PVcc																		
C1	PH_2	I(s)/O	–	–	CTS2#	I(s)/O	DV0_DATA22	I(s)	LCD0_DATA1	O	MTIOC6D	I(s)/O	SSIRxD0	I(s)	–	–	–	–	(1)
C2	P8_2	I(s)/O	–	–	A2	O	DRP22（注）	I(s)/O	DV0_DATA15	I(s)	GTIOC5A	I(s)/O	IRQ2	I(s)	–	–	–	–	(1)
C3	Vcc																		
C4	QSPI1_SSL	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C5	RPC_INT#	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C6	QSPI0_SSL	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C7	QSPI0_IO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C8	P6_1	I(s)/O	–	–	ET0_TXEN	O	VIO_CLK	I(s)	SCK3	I(s)/O	MTIOC2A	I(s)/O	–	–	–	–	RMII0_TXD_EN	O	(1)
C9	P6_2	I(s)/O	–	–	ET0_TXD0	O	VIO_VD	I(s)	RxD3	I(s)	MTIOC2B	I(s)/O	OTG_EXICEN1	O	IRQ0	I(s)	RMII0_TXD0	O	(1)
C10	PH_1	I(s)/O	–	–	AUDIO_XOUT	O	VIO_D0	I(s)	GTIOC4B	I(s)/O	MTIOC1B	I(s)/O	CC2_Rd0	I(s)	IRQ2	I(s)	–	–	(1)
C11	PL_4	I(s)	MD_BOOT0	I(s)	–	–	–	–	–	–	–	–	IRQ0	I(s)	–	–	–	–	(5)
C12	PL_0	I(s)	MD_CLKS	I(s)	–	–	–	–	–	–	–	–	IRQ4	I(s)	–	–	–	–	(5)
C13	P8_5	I(s)/O	–	–	A5	O	DRP19（注）	I(s)/O	DV0_DATA12	I(s)	MISO0	I(s)/O	SSITxD3	O	–	–	–	–	(1)
C14	PF_1	I(s)/O	–	–	RxD3	I(s)	DV0_DATA16	I(s)	LCD0_DATA7	O	MTIOC7B	I(s)/O	MOSI1	I(s)/O	IRQ4	I(s)	–	–	(1)
C15	P9_0	I(s)/O	–	–	A8	O	DRP16（注）	I(s)/O	DV0_DATA9	I(s)	TxD4	O	SSIDATA2	I(s)/O	–	–	–	–	(1)
C16	PE_2	I(s)/O	–	–	ET0_RXD1	I(s)	VIO_D6	I(s)	TxD2	O	POE10#	I(s)	–	–	–	–	RMII0_RXD1	I(s)	(1)
C17	PA_2	I(s)/O	–	–	A18	O	DV0_DATA11	I(s)	LCD0_DATA12	O	SCI_SCK1	I(s)/O	MTIOC8A	I(s)/O	–	–	–	–	(1)
C18	PG_0	I(s)/O	–	–	ET0_TXCLK	I(s)	VIO_D8	I(s)	RSPCK0	I(s)/O	MTIOC3A	I(s)/O	HM_RSTO#	I(s)	–	–	–	–	(1)
C19	PB_0	I(s)/O	–	–	A24	O	DV0_DATA5	I(s)	LCD0_DATA18	O	SSITxD1	O	POE8#	I(s)	–	–	–	–	(1)
C20	Vss																		
C21	PD_7	I(s)/O(o)	–	–	RIIC3SDA	I(s)/O(o)	IRQ7	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
C22	PD_3	I(s)/O(o)	–	–	RIIC1SDA	I(s)/O(o)	IRQ3	I(s)	MTCLKD	I(s)	GTETRGD	I(s)	–	–	–	–	–	–	(4)
D1	PVcc																		
D2	BSCANP	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(12)
D3	P8_1	I(s)/O	–	–	A1	O	DRP23（注）	I(s)/O	DV0_DATA16	I(s)	GTIOC5B	I(s)/O	IRQ3	I(s)	–	–	–	–	(1)
D4	Vcc																		
D5	QSPI1_IO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D6	Vss																		
D7	QSPI0_IO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D8	PK_0	I(s)/O	–	–	ET1_TXEN	O	NFDATA3	I(s)/O	CC1_Rd0	I(s)	MTIOC1B	I(s)/O	SSIBCK2	I(s)/O	–	–	RMII1_TXD_EN	O	(1)
D9	PF_6	I(s)/O	–	–	RTS2#	I(s)/O	DV0_DATA21	I(s)	LCD0_DATA2	O	MTIOC6C	I(s)/O	SSITxD0	O	–	–	–	–	(1)
D10	PE_0	I(s)/O	–	–	ET0_RXCLK	I(s)	VIO_FLD	I(s)	SCK2	I(s)/O	POE4#	I(s)	–	–	–	–	REF50CK0	I(s)	(1)
D11	PF_3	I(s)/O	–	–	SCK2	I(s)/O	DV0_DATA18	I(s)	LCD0_DATA5	O	MTIOC7D	I(s)/O	SSL10	I(s)/O	–	–	–	–	(1)
D12	PVcc																		
D13	Vss																		
D14	PF_0	I(s)/O	–	–	SCK3	I(s)/O	DV0_DATA15	I(s)	LCD0_DATA8	O	MTIOC7A	I(s)/O	RSPCK1	I(s)/O	–	–	–	–	(1)
D15	P8_0	I(s)/O	–	–	A0	O	DV0_DATA14	I(s)	LCD0_DATA9	O	SCI_CTS1#/RTS1#	I(s)/O	MTIOC8D	I(s)/O	–	–	–	–	(1)
D16	PA_1	I(s)/O	–	–	A17	O	DV0_DATA12	I(s)	LCD0_DATA11	O	SCI_RXD1	I(s)/O	MTIOC8B	I(s)/O	IRQ6	I(s)	–	–	(1)
D17	PA_7	I(s)/O	–	–	A23	O	DV0_DATA6	I(s)	LCD0_DATA17	O	SSIRxD1	I(s)	POE10#	I(s)	–	–	–	–	(1)
D18	PVcc																		
D19	Vss																		
D20	PD_6	I(s)/O(o)	–	–	RIIC3SCL	I(s)/O(o)	IRQ6	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
D21	PD_4	I(s)/O(o)	–	–	RIIC2SCL	I(s)/O(o)	IRQ4	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
D22	PD_1	I(s)/O(o)	–	–	RIIC0SDA	I(s)/O(o)	IRQ1	I(s)	MTCLKB	I(s)	GTETRGB	I(s)	–	–	–	–	–	–	(4)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
E1	Vss																		
E2	PH_3	I(s)/O	–	–	HM_RSTO#	I(s)	RTS2#	I(s)/O	GTIOC6A	I(s)/O	MTIOC2A	I(s)/O	SD0_CD	I(s)	IRQ3	I(s)	–	–	(1)
E3	PK_3	I(s)/O	–	–	ET1_RXCLK	I(s)	NFDATA6	I(s)/O	CC2_Rd0	I(s)	CAN0RX_DATARATE_EN	O	MOSI0	I(s)/O	–	–	REF50CK1	I(s)	(1)
E4	PK_2	I(s)/O	–	–	ET1_TXD1	O	NFDATA5	I(s)/O	VBUSEN1	O	CAN0RX	I(s)	RSPCK0	I(s)/O	IRQ5	I(s)	RMII1_TXD1	O	(1)
E19	PD_5	I(s)/O(o)	–	–	RIIC2SDA	I(s)/O(o)	IRQ5	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
E20	PD_2	I(s)/O(o)	–	–	RIIC1SCL	I(s)/O(o)	IRQ2	I(s)	MTCLKC	I(s)	GTETRGC	I(s)	–	–	–	–	–	–	(4)
E21	TCK/SWDCLK	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(7)
E22	JP0_0	I(s)	–	–	TDI	I	–	–	–	–	–	–	–	–	–	–	–	–	(6)
F1	PVcc_HO																		
F2	HM_CS0#/OM_CS0#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
F3	HM_CK/OM_SCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
F4	PF_7	I(s)/O	–	–	GTETRGD	I(s)	DV0_DATA23	I(s)	LCD0_DATA0	O	MTCLKD	I(s)	IRQ1	I(s)	–	–	–	–	(1)
F19	PD_0	I(s)/O(o)	–	–	RIIC0SCL	I(s)/O(o)	IRQ0	I(s)	MTCLKA	I(s)	GTETRGA	I(s)	–	–	–	–	–	–	(4)
F20	TRST#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
F21	TMS/SWDIO	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(9)
F22	PB_1	I(s)/O	–	–	A25	O	DV0_DATA4	I(s)	LCD0_DATA19	O	SSILRCK1	I(s)/O	POE4#	I(s)	–	–	–	–	(1)
G1	HM_DQ1/OM_SIO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G2	HM_RWDS/OM_DQS	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G3	HM_CS1#/OM_CS1#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G4	HM_CK#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G19	JP0_1	O	–	–	TDO/SWO	O	–	–	–	–	–	–	–	–	–	–	–	–	(8)
G20	PB_2	I(s)/O	–	–	BS#	O	DV0_DATA3	I(s)	LCD0_DATA20	O	SSIBCK1	I(s)/O	POE0#	I(s)	–	–	–	–	(1)
G21	PB_3	I(s)/O	–	–	CS0#	O	DV0_DATA2	I(s)	LCD0_DATA21	O	SSIDATA2	I(s)/O	CTS0#	I(s)/O	–	–	–	–	(1)
G22	P9_2	I(s)/O	–	–	A10	O	DRP14（注）	I(s)/O	DV0_DATA7	I(s)	SCK4	I(s)/O	SSIBCK2	I(s)/O	–	–	–	–	(1)
H1	HM_DQ4/OM_SIO4	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H2	HM_DQ2/OM_SIO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H3	HM_DQ3/OM_SIO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H4	HM_DQ0/OM_SIO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H19	PB_4	I(s)/O	–	–	CS1#	O	DV0_DATA1	I(s)	LCD0_DATA22	O	SSILRCK2	I(s)/O	RTS0#	I(s)/O	–	–	–	–	(1)
H20	P9_3	I(s)/O	–	–	A11	O	DRP13（注）	I(s)/O	DV0_DATA6	I(s)	–	–	SSIRxD0	I(s)	–	–	–	–	(1)
H21	PB_5	I(s)/O	–	–	WAIT#	I(s)	DV0_DATA0	I(s)	LCD0_DATA23	O	SSIBCK2	I(s)/O	TxD0	O	–	–	–	–	(1)
H22	P9_5	I(s)/O	–	–	A13	O	DRP11（注）	I(s)/O	DV0_DATA4	I(s)	–	–	SSILRCK0	I(s)/O	–	–	–	–	(1)
J1	HM_RESET#/OM_RESET#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J2	HM_DQ6/OM_SIO6	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J3	HM_DQ7/OM_SIO7	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J4	HM_DQ5/OM_SIO5	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J9	Vcc																		
J10	Vss																		
J11	Vss																		
J12	Vss																		
J13	Vss																		
J14	Vcc																		
J19	P9_4	I(s)/O	–	–	A12	O	DRP12（注）	I(s)/O	DV0_DATA5	I(s)	–	–	SSITxD0	O	–	–	–	–	(1)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
J20	P7_7	I(s)/O	–	–	RD#	O	DV0_HSYNC	I(s)	LCD0_TCON0	O	GTIOC3B	I(s)/O	RxD0	I(s)	–	–	–	–	(1)
J21	P7_6	I(s)/O	–	–	AH#	O	DV0_VSYNC	I(s)	LCD0_TCON1	O	GTIOC3A	I(s)/O	SCK0	I(s)/O	–	–	–	–	(1)
J22	P9_6	I(s)/O	–	–	A14	O	DRP10（注）	I(s)/O	DV0_DATA3	I(s)	–	–	SSIBCK0	I(s)/O	–	–	–	–	(1)
K1	Vss																		
K2	PJ_6	I(s)/O	–	–	GTETRGC	I(s)	NFCE#	O	LCD0_CLK	O	MTCLKC	I(s)	IRQ0	I(s)	–	–	–	–	(1)
K3	PH_4	I(s)/O	–	–	HM_INT#/OM_ECS#	I(s)	CTS2#	I(s)/O	GTIOC6B	I(s)/O	MTIOC2B	I(s)/O	SD0_WP	I(s)	IRQ2	I(s)	–	–	(1)
K4	PJ_0	I(s)/O	–	–	TRACECLK	O	SPDIF_OUT	O	–	–	SCK1	I(s)/O	SSIRxD3	I(s)	–	–	–	–	(1)
K9	Vcc																		
K10	Vss																		
K11	Vss																		
K12	Vss																		
K13	Vss																		
K14	Vcc																		
K19	P9_7	I(s)/O	–	–	A15	O	DRP09（注）	I(s)/O	DV0_DATA2	I(s)	–	–	SD1_WP	I(s)	–	–	–	–	(1)
K20	PG_1	I(s)/O	–	–	ET0_TXD2	O	VIO_D9	I(s)	MOSI0	I(s)/O	MTIOC3C	I(s)/O	HM_INT#/OM_ECS#	I(s)	–	–	–	–	(1)
K21	P7_5	I(s)/O	–	–	CKE	O	DRP08（注）	I(s)/O	DV0_DATA1	I(s)	CTS1#	I(s)/O	OVRCUR1	I(s)	–	–	–	–	(1)
K22	PG_2	I(s)/O	–	–	ET0_TXD3	O	VIO_D10	I(s)	MISO0	I(s)/O	MTIOC3B	I(s)/O	GTIOC0A	I(s)/O	IRQ4	I(s)	–	–	(1)
L1	PVcc																		
L2	P0_1	I(s)/O	–	–	D1	I/O	DRP25（注）	I(s)/O	DV0_DATA18	I(s)	MTIOC6C	I(s)/O	GTIOC4A	I(s)/O	–	–	–	–	(2)
L3	P0_0	I(s)/O	–	–	D0	I/O	DRP24（注）	I(s)/O	DV0_DATA17	I(s)	MTIOC6B	I(s)/O	GTIOC3B	I(s)/O	–	–	–	–	(2)
L4	PJ_7	I(s)/O	–	–	GTETRGB	I(s)	NFDATA0	I(s)/O	LCD0_EXTCLK	I(s)	MTCLKB	I(s)	–	–	–	–	–	–	(1)
L9	Vcc																		
L10	Vss																		
L11	Vss																		
L12	Vss																		
L13	Vss																		
L14	Vcc																		
L19	P7_1	I(s)/O	–	–	RD/WR#	O	DRP05（注）	I(s)/O	DV0_VSYNC	I(s)	RxD1	I(s)	CC1_Ra1	I(s)	–	–	–	–	(1)
L20	P7_4	I(s)/O	–	–	CAS#	O	DRP07（注）	I(s)/O	DV0_DATA0	I(s)	RTS1#	I(s)/O	CC2_Ra1	I(s)	–	–	–	–	(1)
L21	P7_3	I(s)/O	–	–	RAS#	O	DRP06（注）	I(s)/O	DV0_HSYNC	I(s)	TxD1	O	CC2_Rd1	I(s)	–	–	–	–	(1)
L22	P7_2	I(s)/O	–	–	CS4#	O	DV0_CLK	I(s)	LCD0_TCON2	O	TEND0	O	CC2_Ra0	I(s)	–	–	–	–	(1)
M1	P0_2	I(s)/O	–	–	D2	I/O	DRP26（注）	I(s)/O	DV0_DATA19	I(s)	MTIOC6D	I(s)/O	GTIOC4B	I(s)/O	–	–	–	–	(2)
M2	P0_5	I(s)/O	–	–	D5	I/O	DRP29（注）	I(s)/O	DV0_DATA22	I(s)	MTIOC7C	I(s)/O	GTIOC7A	I(s)/O	–	–	–	–	(2)
M3	P0_4	I(s)/O	–	–	D4	I/O	DRP28（注）	I(s)/O	DV0_DATA21	I(s)	MTIOC7B	I(s)/O	GTIOC6B	I(s)/O	–	–	–	–	(2)
M4	P0_3	I(s)/O	–	–	D3	I/O	DRP27（注）	I(s)/O	DV0_DATA20	I(s)	MTIOC7A	I(s)/O	GTIOC6A	I(s)/O	–	–	–	–	(2)
M9	Vcc																		
M10	Vss																		
M11	Vss																		
M12	Vss																		
M13	Vss																		
M14	Vcc																		
M19	P6_6	I(s)/O	–	–	CS2#	O	DRP02（注）	I(s)/O	LCD0_TCON4	O	DREQ0	I(s)	CC1_Ra0	I(s)	–	–	–	–	(1)
M20	P6_0	I(s)/O	–	–	ADTRG#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	(1)
M21	P7_0	I(s)/O	–	–	WE1#/DQMU	O	DRP04（注）	I(s)/O	DV0_CLK	I(s)	SCK1	I(s)/O	CC1_Rd1	I(s)	–	–	–	–	(1)
M22	PVcc																		
N1	PJ_3	I(s)/O	–	–	TRACEDATA1	O	NFDATA0	I(s)/O	–	–	RTS1#	I(s)/O	SSILRCK3	I(s)/O	–	–	–	–	(1)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
N2	PJ_1	I(s)/O	–	–	TRACECTL	O	SPDIF_IN	I(s)	–	–	RxD1	I(s)	VBUSIN0	I(s)	IRQ0	I(s)	–	–	(1)
N3	P0_6	I(s)/O	–	–	D6	I/O	DRP30（注）	I(s)/O	DV0_DATA23	I(s)	MTIOC7D	I(s)/O	GTIOC7B	I(s)/O	–	–	–	–	(2)
N4	PJ_2	I(s)/O	–	–	TRACEDATA0	O	NFCE#	O	–	–	TxD1	O	SSITxD3	O	–	–	–	–	(1)
N9	Vcc																		
N10	Vss																		
N11	Vss																		
N12	Vss																		
N13	Vss																		
N14	Vcc																		
N19	P6_5	I(s)/O	–	–	CS3#	O	DRP01（注）	I(s)/O	LCD0_TCON5	O	AUDIO_XOUT	O	CC1_Rd0	I(s)	–	–	–	–	(1)
N20	PG_3	I(s)/O	–	–	ET0_COL	I(s)	VIO_D11	I(s)	SSL00	I(s)/O	MTIOC3D	I(s)/O	GTIOC0B	I(s)/O	–	–	–	–	(1)
N21	P6_4	I(s)/O	–	–	CS5#	O	DRP00（注）	I(s)/O	LCD0_TCON6	O	AUDIO_CLK	I(s)	SD1_CD	I(s)	–	–	–	–	(1)
N22	Vss																		
P1	PH_6	I(s)/O	–	–	HM_INT#/OM_ECS#	I(s)	NFDATA3	I(s)/O	ET1_WOL	O	MTIC5V	I(s)	IRQ4	I(s)	–	–	–	–	(1)
P2	PH_5	I(s)/O	–	–	HM_RSTO#	I(s)	NFDATA2	I(s)/O	ET1_EXOUT/ET1_SCLKIN	I(s)/O	MTIC5U	I(s)	IRQ5	I(s)	–	–	–	–	(1)
P3	PK_5	I(s)/O	–	–	GTETRGA	I(s)	NFDATA1	I(s)/O	WDTOVF#/PERROUT#	O	MTCLKA	I(s)	–	–	–	–	–	–	(1)
P4	PVcc																		
P9	Vcc																		
P10	Vss																		
P11	Vss																		
P12	Vss																		
P13	Vss																		
P14	Vcc																		
P19	SD0_DAT7	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
P20	SD0_RST#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
P21	P6_7	I(s)/O	–	–	WE0#/DQML	O	DRP03（注）	I(s)/O	LCD0_TCON3	O	DACK0	O	CC2_Rd0	I(s)	–	–	–	–	(1)
P22	PVcc_SD0																		
R1	PVcc																		
R2	PJ_4	I(s)/O	–	–	TRACEDATA2	O	NFDATA1	I(s)/O	–	–	CTS1#	I(s)/O	SSIBCK3	I(s)/O	–	–	–	–	(1)
R3	PJ_5	I(s)/O	–	–	TRACEDATA3	O	NFDATA2	I(s)/O	OVRCUR0	I(s)	MTIOC1A	I(s)/O	SSILRCK2	I(s)/O	IRQ4	I(s)	–	–	(1)
R4	Vss																		
R19	SD0_DAT2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R20	SD0_DAT5	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R21	SD0_DAT4	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R22	SD0_DAT6	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T1	AUDIO_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
T2	AUDIO_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
T3	P3_5	I(s)/O	–	–	ET1_RXD1	I(s)	NFCLE	O	CC2_Ra0	I(s)	CAN0TX_DATARATE_EN	O	SSL00	I(s)/O	–	–	RMII1_RXD1	I(s)	(1)
T4	P3_2	I(s)/O	–	–	ET1_CRS	I(s)	NFRE#	O	CC1_Ra1	I(s)	CAN1RX_DATARATE_EN	O	MOSI2	I(s)/O	–	–	RMII1_CRS_DV	I(s)	(1)
T19	SD0_DAT0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T20	SD0_DAT1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T21	SD0_DAT3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T22	Vss																		
U1	Vss																		
U2	PK_4	I(s)/O	–	–	ET1_RXD0	I(s)	NFDATA7	I(s)/O	OVRCUR1	I(s)	CAN0TX	O	MISO0	I(s)/O	IRQ6	I(s)	RMII1_RXD0	I(s)	(1)
U3	P3_1	I(s)/O	–	–	ET1_RXER	I(s)	NFALE	O	VBUSEN0	I(s)	CAN1RX	I(s)	RSPCK2	I(s)/O	IRQ6	I(s)	RMII1_RXER	I(s)	(1)
U4	MIPIAVcc18																		
U19	SD1_DAT0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
U20	SD1_DAT2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
U21	SD0_CMD	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
U22	SD0_CLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
V1	CSI_CLKP	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
V2	CSI_CLKN	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
V3	PG_4	I(s)/O	–	–	ET0_TXER	O	VIO_D15	I(s)	RSPCK1	I(s)/O	MTIOC4A	I(s)/O	GTIOC1A	I(s)/O	–	–	–	–	(1)
V4	Vss																		
V19	P5_4	I(s)	–	–	AN004	I(a)	IRQ0	I(s)	SD1_CD	I(s)	–	–	–	–	–	–	–	–	(3)
V20	SD1_DAT1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
V21	SD1_DAT3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
V22	PVcc_SD1																		
W1	CSI_DATA0P	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
W2	CSI_DATA0N	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
W3	Vss																		
W4	PG_6	I(s)/O	–	–	ET0_RXD2	I(s)	VIO_D13	I(s)	MISO1	I(s)/O	MTIOC4C	I(s)/O	GTIOC2A	I(s)/O	IRQ5	I(s)	–	–	(1)
W5	P1_0	I(s)/O	–	–	D7	I/O	DRP31（注）	I(s)/O	IRQ0	I(s)	CAN_CLK	I(s)	VBUSEN0	O	–	–	–	–	(2)
W6	P1_2	I(s)/O	–	–	D9	I/O	MTIOC8B	I(s)/O	IRQ2	I(s)	CAN0RX_DATARATE_EN	O	VBUSEN1	O	–	–	–	–	(2)
W7	P2_0	I(s)/O	–	–	D12	I/O	GTIOC6A	I(s)/O	IRQ5	I(s)	CAN1RX	I(s)	OTG_EXICEN0	O	–	–	–	–	(2)
W8	PC_2	I(s)/O	–	–	OTG_EXICEN0	O	NFDATA7	I(s)/O	ET1_TXD3	O	MISO2	I(s)/O	LCD0_TCON5	O	–	–	–	–	(1)
W9	P4_3	I(s)/O	–	–	RTS0#	I(s)/O	TXOUT1M	O	SCI_CTS1#/RTS1#	I(s)/O	SSILRCK1	I(s)/O	MTIOC8D	I(s)/O	IRQ3	I(s)	–	–	(1)
W10	LVDSAPVcc																		
W11	Vss																		
W12	LVDSPLLVcc																		
W13	USBDPVcc0																		
W14	USBVss																		
W15	Vss																		
W16	PVcc																		
W17	Vss																		
W18	PLLVcc																		
W19	P5_2	I(s)	–	–	AN002	I(a)	IRQ6	I(s)	VBUSIN0	I(s)	–	–	–	–	–	–	–	–	(3)
W20	P5_6	I(s)	–	–	AN006	I(a)	IRQ2	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
W21	SD1_CMD	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
W22	Vss																		
Y1	CSI_DATA1P	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
Y2	CSI_DATA1N	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
Y3	Vss																		
Y4	P3_3	I(s)/O	–	–	ET1_MDC	O	NFWE#	O	OTG_EXICEN0	O	CAN1TX	O	MISO2	I(s)/O	IRQ7	I(s)	–	–	(1)
Y5	P1_4	I(s)/O	–	–	D11	I/O	MTIOC8D	I(s)/O	IRQ4	I(s)	CAN0TX_DATARATE_EN	O	VBUSIN0	I(s)	–	–	–	–	(2)
Y6	PC_0	I(s)/O	–	–	VBUSIN1	I(s)	NFDATA5	I(s)/O	ET1_TXCLK	I(s)	RSPCK2	I(s)/O	IRQ2	I(s)	–	–	–	–	(1)
Y7	P2_2	I(s)/O	–	–	D14	I/O	GTIOC7A	I(s)/O	IRQ7	I(s)	CAN1TX	O	VBUSIN1	I(s)	–	–	–	–	(2)
Y8	P4_2	I(s)/O	–	–	TxD0	O	TXOUT1P	O	SCI_TXD1	I(s)/O	SSITxD1	O	MTIOC8C	I(s)/O	IRQ2	I(s)	–	–	(1)
Y9	P4_6	I(s)/O	–	–	ET0_EXOUT/ET0_SCLKIN	I(s)/O	TXCLK OUTP	O	SCI_TXD0	I(s)/O	TxD4	O	DACK0	O	–	–	–	–	(1)
Y10	NMI	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
Y11	Vss																		
Y12	USBVss																		
Y13	USBVss																		
Y14	USBVss																		
Y15	USBVss																		
Y16	USBDPVcc1																		
Y17	PC_7	I(s)/O	–	–	OVRCUR0	I(s)	NFRB#	I(s)	ET1_RXD3	I(s)	SD1_WP	I(s)	LCD0_TCON0	O	IRQ6	I(s)	–	–	(1)
Y18	PC_6	I(s)/O	–	–	VBUSEN0	O	NFWE#	O	ET1_RXD2	I(s)	SD1_CD	I(s)	LCD0_TCON1	O	IRQ7	I(s)	–	–	(1)
Y19	P5_0	I(s)	–	–	AN000	I(a)	IRQ4	I(s)	SD0_CD	I(s)	SD1_CD	I(s)	–	–	–	–	–	–	(3)
Y20	P5_1	I(s)	–	–	AN001	I(a)	IRQ5	I(s)	SD0_WP	I(s)	SD1_WP	I(s)	–	–	–	–	–	–	(3)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
Y21	P5_7	I(s)	–	–	AN007	I(a)	IRQ3	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
Y22	SD1_CLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
AA1	MIPIAVcc18																		
AA2	Vss																		
AA3	P1_1	I(s)/O	–	–	D8	I/O	MTIOC8A	I(s)/O	IRQ1	I(s)	CAN0RX	I(s)	OVRCUR0	I(s)	–	–	–	–	(2)
AA4	P3_4	I(s)/O	–	–	ET1_MDIO	I(s)/O	NFRB#	I(s)	CC2_Ra1	I(s)	CAN1TX_DATARATE_EN	O	SSL20	I(s)/O	–	–	–	–	(1)
AA5	P3_0	I(s)/O	–	–	OTG_EXICEN1	O	NFDATA4	I(s)/O	ET1_LINKSTA	I(s)	MTIC5W	I(s)	IRQ3	I(s)	–	–	–	–	(1)
AA6	PC_1	I(s)/O	–	–	VBUSIN0	I(s)	NFDATA6	I(s)/O	ET1_TXD2	O	MOSI2	I(s)/O	LCD0_TCON6	O	–	–	–	–	(1)
AA7	P4_0	I(s)/O	–	–	SCK0	I(s)/O	TXOUT0P	O	SCI_SCK1	I(s)/O	SSIBCK1	I(s)/O	MTIOC8A	I(s)/O	IRQ0	I(s)	–	–	(1)
AA8	P4_4	I(s)/O	–	–	CTS0#	I(s)/O	TXOUT2P	O	SCI_CTS0#/RTS0#	I(s)/O	WDTOVF#/PERROUT#	O	OTG_EXICEN0	O	–	–	–	–	(1)
AA9	P4_7	I(s)/O	–	–	ET0_WOL	O	TXCLKOUTM	O	SCI_SCK0	I(s)/O	SCK4	I(s)/O	TEND0	O	–	–	–	–	(1)
AA10	USB_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
AA11	DP0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
AA12	USBAPVcc0																		
AA13	RREF0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
AA14	USBVss																		
AA15	DP1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
AA16	PVcc																		
AA17	PC_5	I(s)/O	–	–	VBUSEN1	O	NFRE#	O	ET1_RXDV	I(s)	SPDIF_OUT	O	LCD0_TCON2	O	IRQ0	I(s)	–	–	(1)
AA18	XTAL	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
AA19	PC_4	I(s)/O	–	–	OTG_ID1	I(s)	NFALE	O	ET1_TXER	O	SPDIF_IN	I(s)	LCD0_TCON3	O	IRQ1	I(s)	–	–	(1)
AA20	RTC_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(14)
AA21	P5_3	I(s)	–	–	AN003	I(a)	IRQ7	I(s)	OTG_ID0	I(s)	–	–	–	–	–	–	–	–	(3)
AA22	P5_5	I(s)	–	–	AN005	I(a)	IRQ1	I(s)	SD1_WP	I(s)	–	–	–	–	–	–	–	–	(3)
AB1	Vss																		
AB2	PG_5	I(s)/O	–	–	ET0_RXDV	I(s)	VIO_D14	I(s)	MOSI1	I(s)/O	MTIOC4B	I(s)/O	GTIOC1B	I(s)/O	–	–	–	–	(1)
AB3	PG_7	I(s)/O	–	–	ET0_RXD3	I(s)	VIO_D12	I(s)	SSL10	I(s)/O	MTIOC4D	I(s)/O	GTIOC2B	I(s)/O	–	–	–	–	(1)
AB4	P1_3	I(s)/O	–	–	D10	I/O	MTIOC8C	I(s)/O	IRQ3	I(s)	CAN0TX	O	OTG_ID1	I(s)	–	–	–	–	(2)
AB5	P2_1	I(s)/O	–	–	D13	I/O	GTIOC6B	I(s)/O	IRQ6	I(s)	CAN1RX_DATARATE_EN	O	OTG_ID0	I(s)	–	–	–	–	(2)
AB6	P2_3	I(s)/O	–	–	D15	I/O	GTIOC7B	I(s)/O	WDTOVF#/PERROUT#	O	CAN1TX_DATARATE_EN	O	OTG_EXICEN1	O	–	–	–	–	(2)
AB7	P4_1	I(s)/O	–	–	RxD0	I(s)	TXOUT0M	O	SCI_RXD1	I(s)/O	SSIRxD1	I(s)	MTIOC8B	I(s)/O	IRQ1	I(s)	–	–	(1)
AB8	P4_5	I(s)/O	–	–	ET0_LINKSTA	I(s)	TXOUT2M	O	SCI_RXD0	I(s)/O	RxD4	I(s)	DREQ0	I(s)	–	–	–	–	(1)
AB9	RES#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(12)
AB10	USB_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
AB11	DM0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
AB12	USBAPVcc1																		
AB13	RREF1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
AB14	USBVss																		
AB15	DM1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
AB16	PVcc																		
AB17	PC_3	I(s)/O	–	–	OTG_ID0	I(s)	NFCLE	O	ET1_COL	I(s)	SSL20	I(s)/O	LCD0_TCON4	O	–	–	–	–	(1)
AB18	EXTAL	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
AB19	Vss																		
AB20	RTC_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(14)
AB21	AVcc																		
AB22	AVss																		

【記号説明】
(s) : シュミット
(a) : アナログ
(o) : オープンドレイン

注. DRP搭載品のみ

表 1.5　272 ピン BGA 端子一覧

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
A1	Vcc																		
A2	QSPI1_IO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A3	QSPI1_IO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A4	QSPI1_SPCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A5	QSPI0_SSL	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A6	QSPI0_IO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A7	Vss																		
A8	PVcc																		
A9	P6_3	I(s)/O	–	–	ET0_TXD1	O	VIO_HD	I(s)	TxD3	O	POE0#	I(s)	–	–	–	–	RMII0_TXD1	O	(1)
A10	PE_6	I(s)/O	–	–	ET0_MDIO	I(s)/O	VIO_D2	I(s)	SSIRxD0	I(s)	MTIOC0D	I(s)/O	CC2_Rd1	I(s)	–	–	–	–	(1)
A11	PL_4	I(s)	MD_BOOT0	I(s)	–	–	–	–	–	–	–	–	IRQ0	I(s)	–	–	–	–	(5)
A12	PL_2	I(s)	MD_BOOT2	I(s)	–	–	–	–	–	–	–	–	IRQ6	I(s)	–	–	–	–	(5)
A13	PL_1	I(s)	MD_CLK	I(s)	–	–	–	–	–	–	–	–	IRQ5	I(s)	–	–	–	–	(5)
A14	PF_1	I(s)/O	–	–	RxD3	I(s)	DV0_DATA16	I(s)	LCD0_DATA7	O	MTIOC7B	I(s)/O	MOSI1	I(s)/O	IRQ4	I(s)	–	–	(1)
A15	PE_2	I(s)/O	–	–	ET0_RXD1	I(s)	VIO_D6	I(s)	TxD2	O	POE10#	I(s)	–	–	–	–	RMII0_RXD1	I(s)	(1)
A16	PA_3	I(s)/O	–	–	–	–	DV0_DATA10	I(s)	LCD0_DATA13	O	SCI_CTS0#/RTS0#	I(s)/O	MTIOC0D	I(s)/O	–	–	–	–	(1)
A17	PA_6	I(s)/O	–	–	–	–	DV0_DATA7	I(s)	LCD0_DATA16	O	SCI_SCK0	I(s)/O	MTIOC0A	I(s)/O	–	–	–	–	(1)
A18	Vss																		
A19	CKIO	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(11)
A20	Vss																		
B1	Vss																		
B2	Vcc																		
B3	QSPI1_IO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B4	RPC_INT#	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B5	RPC_RESET#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B6	QSPI0_IO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B7	QSPI0_SPCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B8	P6_1	I(s)/O	–	–	ET0_TXEN	O	VIO_CLK	I(s)	SCK3	I(s)/O	MTIOC2A	I(s)/O	–	–	–	–	RMII0_TXD_EN	O	(1)
B9	PF_5	I(s)/O	–	–	TxD2	O	DV0_DATA20	I(s)	LCD0_DATA3	O	MTIOC6B	I(s)/O	SSILRCK0	I(s)/O	–	–	–	–	(1)
B10	PH_1	I(s)/O	–	–	AUDIO_XOUT	O	VIO_D0	I(s)	GTIOC4B	I(s)/O	MTIOC1B	I(s)/O	CC2_Rd0	I(s)	IRQ2	I(s)	–	–	(1)
B11	PF_3	I(s)/O	–	–	SCK2	I(s)/O	DV0_DATA18	I(s)	LCD0_DATA5	O	MTIOC7D	I(s)/O	SSL10	I(s)/O	–	–	–	–	(1)
B12	PL_0	I(s)	MD_CLKS	I(s)	–	–	–	–	–	–	–	–	IRQ4	I(s)	–	–	–	–	(5)
B13	PE_5	I(s)/O	–	–	ET0_MDC	O	VIO_D3	I(s)	SSITxD0	O	MTIOC0C	I(s)/O	CC1_Rd1	I(s)	–	–	–	–	(1)
B14	P8_0	I(s)/O	–	–	–	–	DV0_DATA14	I(s)	LCD0_DATA9	O	SCI_CTS1#/RTS1#	I(s)/O	MTIOC8D	I(s)/O	–	–	–	–	(1)
B15	PE_3	I(s)/O	–	–	ET0_RXER	I(s)	VIO_D5	I(s)	SSIBCK0	I(s)/O	MTIOC0A	I(s)/O	–	–	–	–	RMII0_RXER	I(s)	(1)
B16	PA_2	I(s)/O	–	–	–	–	DV0_DATA11	I(s)	LCD0_DATA12	O	SCI_SCK1	I(s)/O	MTIOC8A	I(s)/O	–	–	–	–	(1)
B17	PA_4	I(s)/O	–	–	–	–	DV0_DATA9	I(s)	LCD0_DATA14	O	SCI_TXD0	I(s)/O	MTIOC0C	I(s)/O	–	–	–	–	(1)
B18	PB_0	I(s)/O	–	–	–	–	DV0_DATA5	I(s)	LCD0_DATA18	O	SSITxD1	O	POE8#	I(s)	–	–	–	–	(1)
B19	Vss																		
B20	PD_6	I(s)/O(o)	–	–	RIIC3SCL	I(s)/O(o)	IRQ6	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
C1	PH_2	I(s)/O	–	–	CTS2#	I(s)/O	DV0_DATA22	I(s)	LCD0_DATA1	O	MTIOC6D	I(s)/O	SSIRxD0	I(s)	–	–	–	–	(1)
C2	PK_1	I(s)/O	–	–	ET1_TXD0	O	NFDATA4	I(s)/O	CC1_Ra0	I(s)	CAN_CLK	I(s)	SSIDATA2	I(s)/O	–	–	RMII1_TXD0	O	(1)
C3	Vcc																		
C4	QSPI1_SSL	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C5	RPC_WP#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C6	QSPI0_IO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
C7	QSPI0_IO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C8	PF_6	I(s)/O	–	–	RTS2#	I(s)/O	DV0_DATA21	I(s)	LCD0_DATA2	O	MTIOC6C	I(s)/O	SSITxD0	O	–	–	–	–	(1)
C9	PE_0	I(s)/O	–	–	ET0_RXCLK	I(s)	VIO_FLD	I(s)	SCK2	I(s)/O	POE4#	I(s)	–	–	–	–	REF50CK0	I(s)	(1)
C10	PF_4	I(s)/O	–	–	RxD2	I(s)	DV0_DATA19	I(s)	LCD0_DATA4	O	MTIOC6A	I(s)/O	SSIBCK0	I(s)/O	IRQ1	I(s)	–	–	(1)
C11	PL_3	I(s)	MD_BOOT1	I(s)	–	–	–	–	–	–	–	–	IRQ7	I(s)	–	–	–	–	(5)
C12	PF_2	I(s)/O	–	–	TxD3	O	DV0_DATA17	I(s)	LCD0_DATA6	O	MTIOC7C	I(s)/O	MISO1	I(s)/O	–	–	–	–	(1)
C13	PE_4	I(s)/O	–	–	ET0_CRS	I(s)	VIO_D4	I(s)	SSILRCK0	I(s)/O	MTIOC0B	I(s)/O	–	–	–	–	RMII0_CRS_DV	I(s)	(1)
C14	PA_0	I(s)/O	–	–	–	–	DV0_DATA13	I(s)	LCD0_DATA10	O	SCI_TXD1	I(s)/O	MTIOC8C	I(s)/O	–	–	–	–	(1)
C15	PE_1	I(s)/O	–	–	ET0_RXD0	I(s)	VIO_D7	I(s)	RxD2	I(s)	POE8#	I(s)	VBUSIN1	I(s)	IRQ1	I(s)	RMII0_RXD0	I(s)	(1)
C16	PA_5	I(s)/O	–	–	–	–	DV0_DATA8	I(s)	LCD0_DATA15	O	SCI_RXD0	I(s)/O	MTIOC0B	I(s)/O	IRQ5	I(s)	–	–	(1)
C17	PG_0	I(s)/O	–	–	ET0_TXCLK	I(s)	VIO_D8	I(s)	RSPCK0	I(s)/O	MTIOC3A	I(s)/O	HM_RSTO#	I(s)	–	–	–	–	(1)
C18	Vss																		
C19	PD_7	I(s)/O(o)	–	–	RIIC3SDA	I(s)/O(o)	IRQ7	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
C20	PD_5	I(s)/O(o)	–	–	RIIC2SDA	I(s)/O(o)	IRQ5	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
D1	PH_3	I(s)/O	–	–	HM_RSTO#	I(s)	RTS2#	I(s)/O	GTIOC6A	I(s)/O	MTIOC2A	I(s)/O	SD0_CD	I(s)	IRQ3	I(s)	–	–	(1)
D2	PK_3	I(s)/O	–	–	ET1_RXCLK	I(s)	NFDATA6	I(s)/O	CC2_Rd0	I(s)	CAN0RX_DATARATE_EN	O	MOSI0	I(s)/O	–	–	REF50CK1	I(s)	(1)
D3	PK_2	I(s)/O	–	–	ET1_TXD1	O	NFDATA5	I(s)/O	VBUSEN1	O	CAN0RX	I(s)	RSPCK0	I(s)/O	IRQ5	I(s)	RMII1_TXD1	O	(1)
D4	Vcc																		
D5	QSPI1_IO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D6	Vss																		
D7	PVcc_SPI																		
D8	PK_0	I(s)/O	–	–	ET1_TXEN	O	NFDATA3	I(s)/O	CC1_Rd0	I(s)	MTIOC1B	I(s)/O	SSIBCK2	I(s)/O	–	–	RMII1_TXD_EN	O	(1)
D9	P6_2	I(s)/O	–	–	ET0_TXD0	O	VIO_VD	I(s)	RxD3	I(s)	MTIOC2B	I(s)/O	OTG_EXICEN1	O	IRQ0	I(s)	RMII0_TXD0	O	(1)
D10	PH_0	I(s)/O	–	–	AUDIO_CLK	I(s)	VIO_D1	I(s)	GTIOC4A	I(s)/O	MTIOC1A	I(s)/O	CC1_Rd0	I(s)	IRQ3	I(s)	–	–	(1)
D11	PVcc																		
D12	Vss																		
D13	PF_0	I(s)/O	–	–	SCK3	I(s)/O	DV0_DATA15	I(s)	LCD0_DATA8	O	MTIOC7A	I(s)/O	RSPCK1	I(s)/O	–	–	–	–	(1)
D14	PA_1	I(s)/O	–	–	–	–	DV0_DATA12	I(s)	LCD0_DATA11	O	SCI_RXD1	I(s)/O	MTIOC8B	I(s)/O	IRQ6	I(s)	–	–	(1)
D15	PA_7	I(s)/O	–	–	–	–	DV0_DATA6	I(s)	LCD0_DATA17	O	SSIRxD1	I(s)	POE10#	I(s)	–	–	–	–	(1)
D16	PVcc																		
D17	Vss																		
D18	PD_4	I(s)/O(o)	–	–	RIIC2SCL	I(s)/O(o)	IRQ4	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
D19	PD_3	I(s)/O(o)	–	–	RIIC1SDA	I(s)/O(o)	IRQ3	I(s)	MTCLKD	I(s)	GTETRGD	I(s)	–	–	–	–	–	–	(4)
D20	PD_1	I(s)/O(o)	–	–	RIIC0SDA	I(s)/O(o)	IRQ1	I(s)	MTCLKB	I(s)	GTETRGB	I(s)	–	–	–	–	–	–	(4)
E1	Vss																		
E2	BSCANP	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(12)
E3	PF_7	I(s)/O	–	–	GTETRGD	I(s)	DV0_DATA23	I(s)	LCD0_DATA0	O	MTCLKD	I(s)	IRQ1	I(s)	–	–	–	–	(1)
E4	PVcc																		
E17	PVcc																		
E18	PD_2	I(s)/O(o)	–	–	RIIC1SCL	I(s)/O(o)	IRQ2	I(s)	MTCLKC	I(s)	GTETRGC	I(s)	–	–	–	–	–	–	(4)
E19	TCK/SWDCLK	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(7)
E20	JP0_0	I	–	–	TDI	I	–	–	–	–	–	–	–	–	–	–	–	–	(6)
F1	HM_RWDS/OM_DQS	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
F2	HM_CK#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
F3	HM_CK/OM_SCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
F4	Vss																		
F17	TMS/SWDIO	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(9)
F18	PD_0	I(s)/O(o)	–	–	RIIC0SCL	I(s)/O(o)	IRQ0	I(s)	MTCLKA	I(s)	GTETRGA	I(s)	–	–	–	–	–	–	(4)
F19	TRST#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
F20	JP0_1	O	–	–	TDO/SWO	O	–	–	–	–	–	–	–	–	–	–	–	–	(8)
G1	HM_DQ2/OM_SIO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G2	HM_DQ1/OM_SIO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G3	HM_CS0#/OM_CS0#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G4	PVcc_HO																		
G17	Vss																		
G18	PB_1	I(s)/O	–	–	–	–	DV0_DATA4	I(s)	LCD0_DATA19	O	SSILRCK1	I(s)/O	POE4#	I(s)	–	–	–	–	(1)
G19	PB_2	I(s)/O	–	–	–	–	DV0_DATA3	I(s)	LCD0_DATA20	O	SSIBCK1	I(s)/O	POE0#	I(s)	–	–	–	–	(1)
G20	PB_3	I(s)/O	–	–	–	–	DV0_DATA2	I(s)	LCD0_DATA21	O	SSIDATA2	I(s)/O	CTS0#	I(s)/O	–	–	–	–	(1)
H1	HM_DQ3/OM_SIO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H2	HM_DQ6/OM_SIO6	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H3	HM_DQ4/OM_SIO4	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H4	HM_CS1#/OM_CS1#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H17	PVcc																		
H18	PB_5	I(s)/O	–	–	–	–	DV0_DATA0	I(s)	LCD0_DATA23	O	SSIBCK2	I(s)/O	TxD0	O	–	–	–	–	(1)
H19	PB_4	I(s)/O	–	–	–	–	DV0_DATA1	I(s)	LCD0_DATA22	O	SSILRCK2	I(s)/O	RTS0#	I(s)/O	–	–	–	–	(1)
H20	P7_7	I(s)/O	–	–	–	–	DV0_HSYNC	I(s)	LCD0_TCON0	O	GTIOC3B	I(s)/O	RxD0	I(s)	–	–	–	–	(1)
J1	HM_RESET#/OM_RESET#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J2	HM_DQ7/OM_SIO7	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J3	HM_DQ5/OM_SIO5	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J4	HM_DQ0/OM_SIO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J9	Vcc																		
J10	Vss																		
J11	Vss																		
J12	Vcc																		
J17	P7_6	I(s)/O	–	–	–	–	DV0_VSYNC	I(s)	LCD0_TCON1	O	GTIOC3A	I(s)/O	SCK0	I(s)/O	–	–	–	–	(1)
J18	PG_2	I(s)/O	–	–	ET0_TXD3	O	VIO_D10	I(s)	MISO0	I(s)/O	MTIOC3B	I(s)/O	GTIOC0A	I(s)/O	IRQ4	I(s)	–	–	(1)
J19	PG_1	I(s)/O	–	–	ET0_TXD2	O	VIO_D9	I(s)	MOSI0	I(s)/O	MTIOC3C	I(s)/O	HM_INT#/OM_ECS#	I(s)	–	–	–	–	(1)
J20	P7_2	I(s)/O	–	–	–	–	DV0_CLK	I(s)	LCD0_TCON2	O	TEND0	O	CC2_Ra0	I(s)	–	–	–	–	(1)
K1	PJ_7	I(s)/O	–	–	GTETRGB	I(s)	NFDATA0	I(s)/O	LCD0_EXTCLK	I(s)	MTCLKB	I(s)	–	–	–	–	–	–	(1)
K2	PJ_6	I(s)/O	–	–	GTETRGC	I(s)	NFCE#	O	LCD0_CLK	O	MTCLKC	I(s)	IRQ0	I(s)	–	–	–	–	(1)
K3	PH_4	I(s)/O	–	–	HM_INT#/OM_ECS#	I(s)	CTS2#	I(s)/O	GTIOC6B	I(s)/O	MTIOC2B	I(s)/O	SD0_WP	I(s)	IRQ2	I(s)	–	–	(1)
K4	PJ_0	I(s)/O	–	–	TRACECLK	O	SPDIF_OUT	O	–	–	SCK1	I(s)/O	SSIRxD3	I(s)	–	–	–	–	(1)
K9	Vcc																		
K10	Vss																		
K11	Vss																		
K12	Vcc																		
K17	PVcc																		
K18	PG_3	I(s)/O	–	–	ET0_COL	I(s)	VIO_D11	I(s)	SSL00	I(s)/O	MTIOC3D	I(s)/O	GTIOC0B	I(s)/O	–	–	–	–	(1)
K19	P6_7	I(s)/O	–	–	–	–	DRP03（注）	I(s)/O	LCD0_TCON3	O	DACK0	O	CC2_Rd0	I(s)	–	–	–	–	(1)
K20	PVcc																		

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
L1	PJ_1	I(s)/O	–	–	TRACECTL	O	SPDIF_IN	I(s)	–	–	RxD1	I(s)	VBUSIN0	I(s)	IRQ0	I(s)	–	–	(1)
L2	PJ_3	I(s)/O	–	–	TRACE DATA1	O	NFDATA0	I(s)/O	–	–	RTS1#	I(s)/O	SSILRCK3	I(s)/O	–	–	–	–	(1)
L3	PH_5	I(s)/O	–	–	HM_RSTO#	I(s)	NFDATA2	I(s)/O	ET1_EXOUT/ ET1_SCLKIN	I(s)/O	MTIC5U	I(s)	IRQ5	I(s)	–	–	–	–	(1)
L4	PVcc																		
L9	Vcc																		
L10	Vss																		
L11	Vss																		
L12	Vcc																		
L17	Vss																		
L18	P6_0	I(s)/O	–	–	ADTRG#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	(1)
L19	P6_5	I(s)/O	–	–	–	–	DRP01（注）	I(s)/O	LCD0_TCON5	O	AUDIO_XOUT	O	CC1_Rd0	I(s)	–	–	–	–	(1)
L20	Vss																		
M1	PH_6	I(s)/O	–	–	HM_INT#/ OM_ECS#	I(s)	NFDATA3	I(s)/O	ET1_WOL	O	MTIC5V	I(s)	IRQ4	I(s)	–	–	–	–	(1)
M2	PJ_2	I(s)/O	–	–	TRACE DATA0	O	NFCE#	O	–	–	TxD1	O	SSITxD3	O	–	–	–	–	(1)
M3	PK_5	I(s)/O	–	–	GTETRGA	I(s)	NFDATA1	I(s)/O	WDTOVF#/ PERROUT#	O	MTCLKA	I(s)	–	–	–	–	–	–	(1)
M4	Vss																		
M9	Vcc																		
M10	Vss																		
M11	Vss																		
M12	Vcc																		
M17	PVcc_SD0																		
M18	P6_4	I(s)/O	–	–	–	–	DRP00（注）	I(s)/O	LCD0_TCON6	O	AUDIO_CLK	I(s)	SD1_CD	I(s)	–	–	–	–	(1)
M19	P6_6	I(s)/O	–	–	–	–	DRP02（注）	I(s)/O	LCD0_TCON4	O	DREQ0	I(s)	CC1_Ra0	I(s)	–	–	–	–	(1)
M20	SD0_RST#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
N1	PVcc																		
N2	PJ_5	I(s)/O	–	–	TRACE DATA3	O	NFDATA2	I(s)/O	OVRCUR0	I(s)	MTIOC1A	I(s)/O	SSILRCK2	I(s)/O	IRQ4	I(s)	–	–	(1)
N3	PJ_4	I(s)/O	–	–	TRACE DATA2	O	NFDATA1	I(s)/O	–	–	CTS1#	I(s)/O	SSIBCK3	I(s)/O	–	–	–	–	(1)
N4	PVcc																		
N17	SD0_DAT0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
N18	SD0_DAT5	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
N19	SD0_DAT7	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
N20	SD0_DAT6	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
P1	AUDIO_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
P2	AUDIO_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
P3	P3_5	I(s)/O	–	–	ET1_RXD1	I(s)	NFCLE	O	CC2_Ra0	I(s)	CAN0TX_ DATARATE_ EN	O	SSL00	I(s)/O	–	–	RMII1_RXD1	I(s)	(1)
P4	PK_4	I(s)/O	–	–	ET1_RXD0	I(s)	NFDATA7	I(s)/O	OVRCUR1	I(s)	CAN0TX	O	MISO0	I(s)/O	IRQ6	I(s)	RMII1_RXD0	I(s)	(1)
P17	PVcc_SD1																		
P18	SD0_DAT2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
P19	SD0_DAT3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
P20	SD0_DAT4	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R1	Vss																		
R2	P3_1	I(s)/O	–	–	ET1_RXER	I(s)	NFALE	O	VBUSEN0	I(s)	CAN1RX	I(s)	RSPCK2	I(s)/O	IRQ6	I(s)	RMII1_RXER	I(s)	(1)
R3	PG_4	I(s)/O	–	–	ET0_TXER	O	VIO_D15	I(s)	RSPCK1	I(s)/O	MTIOC4A	I(s)/O	GTIOC1A	I(s)/O	–	–	–	–	(1)
R4	MIPIAVcc18																		
R17	Vss																		
R18	SD0_CMD	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R19	SD0_DAT1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R20	SD0_CLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T1	CSI_CLKP	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
T2	CSI_CLKN	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
T3	P3_2	I(s)/O	–	–	ET1_CRS	I(s)	NFRE#	O	CC1_Ra1	I(s)	CAN1RX_DATARATE_EN	O	MOSI2	I(s)/O	–	–	RMII1_CRS_DV	I(s)	(1)
T4	Vss																		
T17	AVss																		
T18	SD1_DAT0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T19	SD1_CLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T20	Vss																		
U1	CSI_DATA0P	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
U2	CSI_DATA0N	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
U3	Vss																		
U4	PG_6	I(s)/O	–	–	ET0_RXD2	I(s)	VIO_D13	I(s)	MISO1	I(s)/O	MTIOC4C	I(s)/O	GTIOC2A	I(s)/O	IRQ5	I(s)	–	–	(1)
U5	PC_0	I(s)/O	–	–	VBUSIN1	I(s)	NFDATA5	I(s)/O	ET1_TXCLK	I(s)	RSPCK2	I(s)/O	IRQ2	I(s)	–	–	–	–	(1)
U6	P3_3	I(s)/O	–	–	ET1_MDC	O	NFWE#	O	OTG_EXICEN0	O	CAN1TX	O	MISO2	I(s)/O	IRQ7	I(s)	–	–	(1)
U7	P4_6	I(s)/O	–	–	ET0_EXOUT/ET0_SCLKIN	I(s)/O	TXCLKOUTP	O	SCI_TXD0	I(s)/O	TxD4	O	DACK0	O	–	–	–	–	(1)
U8	LVDSPLLVcc																		
U9	LVDSAPVcc																		
U10	USBDPVcc0																		
U11	RREF0		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
U12	RREF1		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
U13	Vss																		
U14	PLLVcc																		
U15	PVcc																		
U16	PC_6	I(s)/O	–	–	VBUSEN0	O	NFWE#	O	ET1_RXD2	I(s)	SD1_CD	I(s)	LCD0_TCON1	O	IRQ7	I(s)	–	–	(1)
U17	AVcc																		
U18	SD1_CMD	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
U19	SD1_DAT1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
U20	SD1_DAT2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
V1	CSI_DATA1P	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
V2	CSI_DATA1N	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
V3	Vss																		
V4	P3_4	I(s)/O	–	–	ET1_MDIO	I(s)/O	NFRB#	I(s)	CC2_Ra1	I(s)	CAN1TX_DATARATE_EN	O	SSL20	I(s)/O	–	–	–	–	(1)
V5	PC_2	I(s)/O	–	–	OTG_EXICEN0	O	NFDATA7	I(s)/O	ET1_TXD3	O	MISO2	I(s)/O	LCD0_TCON5	O	–	–	–	–	(1)
V6	P4_2	I(s)/O	–	–	TxD0	O	TXOUT1P	O	SCI_TXD1	I(s)/O	SSITxD1	O	MTIOC8C	I(s)/O	IRQ2	I(s)	–	–	(1)
V7	P4_7	I(s)/O	–	–	ET0_WOL	O	TXCLKOUTM	O	SCI_SCK0	I(s)/O	SCK4	I(s)/O	TEND0	O	–	–	–	–	(1)
V8	Vss																		
V9	Vss																		
V10	USBVss																		
V11	USBVss																		
V12	USBVss																		
V13	Vss																		
V14	PC_3	I(s)/O	–	–	OTG_ID0	I(s)	NFCLE	O	ET1_COL	I(s)	SSL20	I(s)/O	LCD0_TCON4	O	–	–	–	–	(1)
V15	PC_5	I(s)/O	–	–	VBUSEN1	O	NFRE#	O	ET1_RXDV	I(s)	SPDIF_OUT	O	LCD0_TCON2	O	IRQ0	I(s)	–	–	(1)
V16	PC_7	I(s)/O	–	–	OVRCUR0	I(s)	**NFRB#**	I(s)	ET1_RXD3	I(s)	SD1_WP	I(s)	LCD0_TCON0	O	IRQ6	I(s)	–	–	(1)
V17	P5_0	I(s)	–	–	AN000	I(a)	IRQ4	I(s)	SD0_CD	I(s)	SD1_CD	I(s)	–	–	–	–	–	–	(3)
V18	P5_6	I(s)	–	–	AN006	I(a)	IRQ2	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
V19	P5_7	I(s)	–	–	AN007	I(a)	IRQ3	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
V20	SD1_DAT3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
W1	MIPIAVcc18																		
W2	Vss																		
W3	PG_5	I(s)/O	–	–	ET0_RXDV	I(s)	VIO_D14	I(s)	MOSI1	I(s)/O	MTIOC4B	I(s)/O	GTIOC1B	I(s)/O	–	–	–	–	(1)
W4	P3_0	I(s)/O	–	–	OTG_EXICEN1	O	NFDATA4	I(s)/O	ET1_LINKSTA	I(s)	MTIC5W	I(s)	IRQ3	I(s)	–	–	–	–	(1)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
W5	P4_1	I(s)/O	–	–	RxD0	I(s)	TXOUT0M	O	SCI_RXD1	I(s)/O	SSIRxD1	I(s)	MTIOC8B	I(s)/O	IRQ1	I(s)	–	–	(1)
W6	P4_3	I(s)/O	–	–	RTS0#	I(s)/O	TXOUT1M	O	SCI_CTS1#/RTS1#	I(s)/O	SSILRCK1	I(s)/O	MTIOC8D	I(s)/O	IRQ3	I(s)	–	–	(1)
W7	NMI	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
W8	USB_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
W9	USBVss																		
W10	DP0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
W11	USBAPVcc0																		
W12	USBAPVcc1																		
W13	DM1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
W14	USBDPVcc1																		
W15	PC_4	I(s)/O	–	–	OTG_ID1	I(s)	NFALE	O	ET1_TXER	O	SPDIF_IN	I(s)	LCD0_TCON3	O	IRQ1	I(s)	–	–	(1)
W16	XTAL	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
W17	RTC_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(14)
W18	P5_4	I(s)	–	–	AN004	I(a)	IRQ0	I(s)	SD1_CD	I(s)	–	–	–	–	–	–	–	–	(3)
W19	P5_3	I(s)	–	–	AN003	I(a)	IRQ7	I(s)	OTG_ID0	I(s)	–	–	–	–	–	–	–	–	(3)
W20	P5_5	I(s)	–	–	AN005	I(a)	IRQ1	I(s)	SD1_WP	I(s)	–	–	–	–	–	–	–	–	(3)
Y1	Vss																		
Y2	PG_7	I(s)/O	–	–	ET0_RXD3	I(s)	VIO_D12	I(s)	SSL10	I(s)/O	MTIOC4D	I(s)/O	GTIOC2B	I(s)/O	–	–	–	–	(1)
Y3	PC_1	I(s)/O	–	–	VBUSIN0	I(s)	NFDATA6	I(s)/O	ET1_TXD2	O	MOSI2	I(s)/O	LCD0_TCON6	O	–	–	–	–	(1)
Y4	P4_0	I(s)/O	–	–	SCK0	I(s)/O	TXOUT0P	O	SCI_SCK1	I(s)/O	SSIBCK1	I(s)/O	MTIOC8A	I(s)/O	IRQ0	I(s)	–	–	(1)
Y5	P4_4	I(s)/O	–	–	CTS0#	I(s)/O	TXOUT2P	O	SCI_CTS0#/RTS0#	I(s)/O	WDTOVF#/PERROUT#	O	OTG_EXICEN0	O	–	–	–	–	(1)
Y6	P4_5	I(s)/O	–	–	ET0_LINKSTA	I(s)	TXOUT2M	O	SCI_RXD0	I(s)/O	RxD4	I(s)	DREQ0	I(s)	–	–	–	–	(1)
Y7	RES#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(12)
Y8	USB_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
Y9	USBVss																		
Y10	DM0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
Y11	USBVss																		
Y12	USBVss																		
Y13	DP1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
Y14	USBVss																		
Y15	EXTAL	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
Y16	Vss																		
Y17	RTC_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(14)
Y18	P5_2	I(s)	–	–	AN002	I(a)	IRQ6	I(s)	VBUSIN0	I(s)	–	–	–	–	–	–	–	–	(3)
Y19	P5_1	I(s)	–	–	AN001	I(a)	IRQ5	I(s)	SD0_WP	I(s)	SD1_WP	I(s)	–	–	–	–	–	–	(3)
Y20	Vss																		

【記号説明】

(s)：シュミット

(a)：アナログ

(o)：オープンドレイン

注． DRP搭載品のみ

表 1.6　256 ピン BGA 端子一覧

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
A1	Vcc																		
A2	QSPI1_SSL	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A3	QSPI1_IO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A4	QSPI1_SPCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A5	RPC_RESET#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A6	PVcc_SPI																		
A7	Vss																		
A8	QSPI0_SPCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A9	P6_1	I(s)/O	–	–	ET0_TXEN	O	VIO_CLK	I(s)	SCK3	I(s)/O	MTIOC2A	I(s)/O	–	–	–	–	RMII0_TXD_EN	O	(1)
A10	P6_3	I(s)/O	–	–	ET0_TXD1	O	VIO_HD	I(s)	TxD3	O	POE0#	I(s)	–	–	–	–	RMII0_TXD1	O	(1)
A11	PE_6	I(s)/O	–	–	ET0_MDIO	I(s)/O	VIO_D2	I(s)	SSIRxD0	I(s)	MTIOC0D	I(s)/O	CC2_Rd1	I(s)	–	–	–	–	(1)
A12	PL_4	I(s)	MD_BOOT0	I(s)	–	–	–	–	–	–	–	–	IRQ0	I(s)	–	–	–	–	(5)
A13	PL_0	I(s)	MD_CLKS	I(s)	–	–	–	–	–	–	–	–	IRQ4	I(s)	–	–	–	–	(5)
A14	PE_5	I(s)/O	–	–	ET0_MDC	O	VIO_D3	I(s)	SSITxD0	O	MTIOC0C	I(s)/O	CC1_Rd1	I(s)	–	–	–	–	(1)
A15	PE_4	I(s)/O	–	–	ET0_CRS	I(s)	VIO_D4	I(s)	SSILRCK0	I(s)/O	MTIOC0B	I(s)/O	–	–	–	–	RMII0_CRS_DV	I(s)	(1)
A16	PE_3	I(s)/O	–	–	ET0_RXER	I(s)	VIO_D5	I(s)	SSIBCK0	I(s)/O	MTIOC0A	I(s)/O	–	–	–	–	RMII0_RXER	I(s)	(1)
A17	PA_2	I(s)/O	–	–	–	–	DV0_DATA11	I(s)	LCD0_DATA12	O	SCI_SCK1	I(s)/O	MTIOC8A	I(s)/O	–	–	–	–	(1)
A18	PE_1	I(s)/O	–	–	ET0_RXD0	I(s)	VIO_D7	I(s)	RxD2	I(s)	POE8#	I(s)	VBUSIN1	I(s)	IRQ1	I(s)	RMII0_RXD0	I(s)	(1)
A19	PA_6	I(s)/O	–	–	–	–	DV0_DATA7	I(s)	LCD0_DATA16	O	SCI_SCK0	I(s)/O	MTIOC0A	I(s)/O	–	–	–	–	(1)
A20	CKIO	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(11)
A21	Vss																		
B1	PK_1	I(s)/O	–	–	ET1_TXD0	O	NFDATA4	I(s)/O	CC1_Ra0	I(s)	CAN_CLK	I(s)	SSIDATA2	I(s)/O	–	–	RMII1_TXD0	O	(1)
B2	Vcc																		
B3	QSPI1_IO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B4	QSPI1_IO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B5	RPC_INT#	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B6	QSPI0_SSL	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B7	QSPI0_IO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B8	QSPI0_IO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B9	PF_5	I(s)/O	–	–	TxD2	O	DV0_DATA20	I(s)	LCD0_DATA3	O	MTIOC6B	I(s)/O	SSILRCK0	I(s)/O	–	–	–	–	(1)
B10	PF_4	I(s)/O	–	–	RxD2	I(s)	DV0_DATA19	I(s)	LCD0_DATA4	O	MTIOC6A	I(s)/O	SSIBCK0	I(s)/O	IRQ1	I(s)	–	–	(1)
B11	PH_1	I(s)/O	–	–	AUDIO_XOUT	O	VIO_D0	I(s)	GTIOC4B	I(s)/O	MTIOC1B	I(s)/O	CC2_Rd0	I(s)	IRQ2	I(s)	–	–	(1)
B12	PL_1	I(s)	MD_CLK	I(s)	–	–	–	–	–	–	–	–	IRQ5	I(s)	–	–	–	–	(5)
B13	PL_2	I(s)	MD_BOOT2	I(s)	–	–	–	–	–	–	–	–	IRQ6	I(s)	–	–	–	–	(5)
B14	P8_0	I(s)/O	–	–	–	–	DV0_DATA14	I(s)	LCD0_DATA9	O	SCI_CTS1#/RTS1#	I(s)/O	MTIOC8D	I(s)/O	–	–	–	–	(1)
B15	PF_1	I(s)/O	–	–	RxD3	I(s)	DV0_DATA16	I(s)	LCD0_DATA7	O	MTIOC7B	I(s)/O	MOSI1	I(s)/O	IRQ4	I(s)	–	–	(1)
B16	PA_0	I(s)/O	–	–	–	–	DV0_DATA13	I(s)	LCD0_DATA10	O	SCI_TXD1	I(s)/O	MTIOC8C	I(s)/O	–	–	–	–	(1)
B17	PA_7	I(s)/O	–	–	–	–	DV0_DATA6	I(s)	LCD0_DATA17	O	SSIRxD1	I(s)	POE10#	I(s)	–	–	–	–	(1)
B18	PA_4	I(s)/O	–	–	–	–	DV0_DATA9	I(s)	LCD0_DATA14	O	SCI_TXD0	I(s)/O	MTIOC0C	I(s)/O	–	–	–	–	(1)
B19	PB_0	I(s)/O	–	–	–	–	DV0_DATA5	I(s)	LCD0_DATA18	O	SSITxD1	O	POE8#	I(s)	–	–	–	–	(1)
B20	Vss																		
B21	PD_3	I(s)/O(o)	–	–	RIIC1SDA	I(s)/O(o)	IRQ3	I(s)	MTCLKD	I(s)	GTETRGD	I(s)	–	–	–	–	–	–	(4)
C1	PK_3	I(s)/O	–	–	ET1_RXCLK	I(s)	NFDATA6	I(s)/O	CC2_Rd0	I(s)	CAN0RX_DATARATE_EN	O	MOSI0	I(s)/O	–	–	REF50CK1	I(s)	(1)
C2	PH_2	I(s)/O	–	–	CTS2#	I(s)/O	DV0_DATA22	I(s)	LCD0_DATA1	O	MTIOC6D	I(s)/O	SSIRxD0	I(s)	–	–	–	–	(1)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
C20	PD_7	I(s)/O(o)	–	–	RIIC3SDA	I(s)/O(o)	IRQ7	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
C21	PD_1	I(s)/O(o)	–	–	RIIC0SDA	I(s)/O(o)	IRQ1	I(s)	MTCLKB	I(s)	GTETRGB	I(s)	–	–	–	–	–	–	(4)
D1	HM_CK/OM_SCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D2	BSCANP	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(12)
D4	Vcc																		
D5	QSPI1_IO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D6	RPC_WP#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D7	QSPI0_IO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D8	PK_0	I(s)/O	–	–	ET1_TXEN	O	NFDATA3	I(s)/O	CC1_Rd0	I(s)	MTIOC1B	I(s)/O	SSIBCK2	I(s)/O	–	–	RMII1_TXD_EN	O	(1)
D9	P6_2	I(s)/O	–	–	ET0_TXD0	O	VIO_VD	I(s)	RxD3	I(s)	MTIOC2B	I(s)/O	OTG_EXICEN1	O	IRQ0	I(s)	RMII0_TXD0	O	(1)
D10	PH_0	I(s)/O	–	–	AUDIO_CLK	I(s)	VIO_D1	I(s)	GTIOC4A	I(s)/O	MTIOC1A	I(s)/O	CC1_Rd0	I(s)	IRQ3	I(s)	–	–	(1)
D11	PF_3	I(s)/O	–	–	SCK2	I(s)/O	DV0_DATA18	I(s)	LCD0_DATA5	O	MTIOC7D	I(s)/O	SSL10	I(s)/O	–	–	–	–	(1)
D12	PF_2	I(s)/O	–	–	TxD3	O	DV0_DATA17	I(s)	LCD0_DATA6	O	MTIOC7C	I(s)/O	MISO1	I(s)/O	–	–	–	–	(1)
D13	PF_0	I(s)/O	–	–	SCK3	I(s)/O	DV0_DATA15	I(s)	LCD0_DATA8	O	MTIOC7A	I(s)/O	RSPCK1	I(s)/O	–	–	–	–	(1)
D14	PE_2	I(s)/O	–	–	ET0_RXD1	I(s)	VIO_D6	I(s)	TxD2	O	POE10#	I(s)	–	–	–	–	RMII0_RXD1	I(s)	(1)
D15	PA_1	I(s)/O	–	–	–	–	DV0_DATA12	I(s)	LCD0_DATA11	O	SCI_RXD1	I(s)/O	MTIOC8B	I(s)/O	IRQ6	I(s)	–	–	(1)
D16	PG_0	I(s)/O	–	–	ET0_TXCLK	I(s)	VIO_D8	I(s)	RSPCK0	I(s)/O	MTIOC3A	I(s)/O	HM_RSTO#	I(s)	–	–	–	–	(1)
D17	PA_5	I(s)/O	–	–	–	–	DV0_DATA8	I(s)	LCD0_DATA15	O	SCI_RXD0	I(s)/O	MTIOC0B	I(s)/O	IRQ5	I(s)	–	–	(1)
D18	Vss																		
D20	PD_5	I(s)/O(o)	–	–	RIIC2SDA	I(s)/O(o)	IRQ5	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
D21	JP0_0	I	–	–	TDI	I	–	–	–	–	–	–	–	–	–	–	–	–	(6)
E1	HM_CK#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
E2	HM_CS0#/OM_CS0#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
E4	PK_2	I(s)/O	–	–	ET1_TXD1	O	NFDATA5	I(s)/O	VBUSEN1	O	CAN0RX	I(s)	RSPCK0	I(s)/O	IRQ5	I(s)	RMII1_TXD1	O	(1)
E5	Vcc																		
E6	Vss																		
E7	PVcc																		
E8	QSPI0_IO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
E9	PF_6	I(s)/O	–	–	RTS2#	I(s)/O	DV0_DATA21	I(s)	LCD0_DATA2	O	MTIOC6C	I(s)/O	SSITxD0	O	–	–	–	–	(1)
E10	PE_0	I(s)/O	–	–	ET0_RXCLK	I(s)	VIO_FLD	I(s)	SCK2	I(s)/O	POE4#	I(s)	–	–	–	–	REF50CK0	I(s)	(1)
E11	PL_3	I(s)	MD_BOOT1	I(s)	–	–	–	–	–	–	–	–	IRQ7	I(s)	–	–	–	–	(5)
E12	Vcc																		
E13	Vss																		
E14	PVcc																		
E15	PA_3	I(s)/O	–	–	–	–	DV0_DATA10	I(s)	LCD0_DATA13	O	SCI_CTS0#/RTS0#	I(s)/O	MTIOC0D	I(s)/O	–	–	–	–	(1)
E16	Vcc																		
E17	Vss																		
E18	TCK/SWDCLK	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(7)
E20	PD_0	I(s)/O(o)	–	–	RIIC0SCL	I(s)/O(o)	IRQ0	I(s)	MTCLKA	I(s)	GTETRGA	I(s)	–	–	–	–	–	–	(4)
E21	TRST#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
F1	HM_DQ1/OM_SIO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
F2	HM_RWDS/OM_DQS	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
F4	PF_7	I(s)/O	–	–	GTETRGD	I(s)	DV0_DATA23	I(s)	LCD0_DATA0	O	MTCLKD	I(s)	IRQ1	I(s)	–	–	–	–	(1)
F5	Vss																		
F17	PD_6	I(s)/O(o)	–	–	RIIC3SCL	I(s)/O(o)	IRQ6	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
F18	PD_2	I(s)/O(o)	–	–	RIIC1SCL	I(s)/O(o)	IRQ2	I(s)	MTCLKC	I(s)	GTETRGC	I(s)	–	–	–	–	–	–	(4)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
F20	JP0_1	O	–	–	TDO/SWO	O	–	–	–	–	–	–	–	–	–	–	–	–	(8)
F21	PB_1	I(s)/O	–	–	–	–	DV0_DATA4	I(s)	LCD0_DATA19	O	SSILRCK1	I(s)/O	POE4#	I(s)	–	–	–	–	(1)
G1	PVcc_HO																		
G2	HM_DQ2/OM_SIO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G4	HM_DQ4/OM_SIO4	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G5	PVcc																		
G17	PD_4	I(s)/O(o)	–	–	RIIC2SCL	I(s)/O(o)	IRQ4	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
G18	TMS/SWDIO	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(9)
G20	PB_3	I(s)/O	–	–	–	–	DV0_DATA2	I(s)	LCD0_DATA21	O	SSIDATA2	I(s)/O	CTS0#	I(s)/O	–	–	–	–	(1)
G21	PB_5	I(s)/O	–	–	–	–	DV0_DATA0	I(s)	LCD0_DATA23	O	SSIBCK2	I(s)/O	TxD0	O	–	–	–	–	(1)
H1	Vss																		
H2	HM_DQ6/OM_SIO6	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H4	HM_CS1#/OM_CS1#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H5	PH_3	I(s)/O	–	–	HM_RSTO#	I(s)	RTS2#	I(s)/O	GTIOC6A	I(s)/O	MTIOC2A	I(s)/O	SD0_CD	I(s)	IRQ3	I(s)	–	–	(1)
H17	PB_2	I(s)/O	–	–	–	–	DV0_DATA3	I(s)	LCD0_DATA20	O	SSIBCK1	I(s)/O	POE0#	I(s)	–	–	–	–	(1)
H18	PB_4	I(s)/O	–	–	–	–	DV0_DATA1	I(s)	LCD0_DATA22	O	SSILRCK2	I(s)/O	RTS0#	I(s)/O	–	–	–	–	(1)
H20	P7_7	I(s)/O	–	–	–	–	DV0_HSYNC	I(s)	LCD0_TCON0	O	GTIOC3B	I(s)/O	RxD0	I(s)	–	–	–	–	(1)
H21	PG_2	I(s)/O	–	–	ET0_TXD3	O	VIO_D10	I(s)	MISO0	I(s)/O	MTIOC3B	I(s)/O	GTIOC0A	I(s)/O	IRQ4	I(s)	–	–	(1)
J1	HM_RESET#/OM_RESET#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J2	PH_4	I(s)/O	–	–	HM_INT#/OM_ECS#	I(s)	CTS2#	I(s)/O	GTIOC6B	I(s)/O	MTIOC2B	I(s)/O	SD0_WP	I(s)	IRQ2	I(s)	–	–	(1)
J4	HM_DQ3/OM_SIO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J5	HM_DQ0/OM_SIO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J17	PG_1	I(s)/O	–	–	ET0_TXD2	O	VIO_D9	I(s)	MOSI0	I(s)/O	MTIOC3C	I(s)/O	HM_INT#/OM_ECS#	I(s)	–	–	–	–	(1)
J18	P7_6	I(s)/O	–	–	–	–	DV0_VSYNC	I(s)	LCD0_TCON1	O	GTIOC3A	I(s)/O	SCK0	I(s)/O	–	–	–	–	(1)
J20	P7_2	I(s)/O	–	–	–	–	DV0_CLK	I(s)	LCD0_TCON2	O	TEND0	O	CC2_Ra0	I(s)	–	–	–	–	(1)
J21	P6_0	I(s)/O	–	–	ADTRG#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	(1)
K1	PJ_6	I(s)/O	–	–	GTETRGC	I(s)	NFCE#	O	LCD0_CLK	O	MTCLKC	I(s)	IRQ0	I(s)	–	–	–	–	(1)
K2	PJ_1	I(s)/O	–	–	TRACECTL	O	SPDIF_IN	I(s)	–	–	RxD1	I(s)	VBUSIN0	I(s)	IRQ0	I(s)	–	–	(1)
K4	HM_DQ7/OM_SIO7	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
K5	HM_DQ5/OM_SIO5	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
K17	PVcc																		
K18	PG_3	I(s)/O	–	–	ET0_COL	I(s)	VIO_D11	I(s)	SSL00	I(s)/O	MTIOC3D	I(s)/O	GTIOC0B	I(s)/O	–	–	–	–	(1)
K20	P6_5	I(s)/O	–	–	–	–	DRP01（注）	I(s)/O	LCD0_TCON5	O	AUDIO_XOUT	O	CC1_Rd0	I(s)	–	–	–	–	(1)
K21	P6_4	I(s)/O	–	–	–	–	DRP00（注）	I(s)/O	LCD0_TCON6	O	AUDIO_CLK	I(s)	SD1_CD	I(s)	–	–	–	–	(1)
L1	PH_5	I(s)/O	–	–	HM_RSTO#	I(s)	NFDATA2	I(s)/O	ET1_EXOUT/ET1_SCLKIN	I(s)/O	MTIC5U	I(s)	IRQ5	I(s)	–	–	–	–	(1)
L2	PJ_3	I(s)/O	–	–	TRACE DATA1	O	NFDATA0	I(s)/O	–	–	RTS1#	I(s)/O	SSILRCK3	I(s)/O	–	–	–	–	(1)
L4	PJ_0	I(s)/O	–	–	TRACECLK	O	SPDIF_OUT	O	–	–	SCK1	I(s)/O	SSIRxD3	I(s)	–	–	–	–	(1)
L5	Vcc																		
L17	Vss																		
L18	P6_7	I(s)/O	–	–	–	–	DRP03（注）	I(s)/O	LCD0_TCON3	O	DACK0	O	CC2_Rd0	I(s)	–	–	–	–	(1)
L20	P6_6	I(s)/O	–	–	–	–	DRP02（注）	I(s)/O	LCD0_TCON4	O	DREQ0	I(s)	CC1_Ra0	I(s)	–	–	–	–	(1)
L21	SD0_DAT6	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
M1	PH_6	I(s)/O	–	–	HM_INT#/OM_ECS#	I(s)	NFDATA3	I(s)/O	ET1_WOL	O	MTIC5V	I(s)	IRQ4	I(s)	–	–	–	–	(1)
M2	PJ_7	I(s)/O	–	–	GTETRGB	I(s)	NFDATA0	I(s)/O	LCD0_EXTCLK	I(s)	MTCLKB	I(s)	–	–	–	–	–	–	(1)
M4	PJ_2	I(s)/O	–	–	TRACEDATA0	O	NFCE#	O	–	–	TxD1	O	SSITxD3	O	–	–	–	–	(1)
M5	Vss																		
M17	Vcc																		
M18	SD0_RST#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
M20	SD0_DAT7	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
M21	PVcc_SD0																		
N1	P3_5	I(s)/O	–	–	ET1_RXD1	I(s)	NFCLE	O	CC2_Ra0	I(s)	CAN0TX_DATARATE_EN	O	SSL00	I(s)/O	–	–	RMII1_RXD1	I(s)	(1)
N2	PJ_5	I(s)/O	–	–	TRACEDATA3	O	NFDATA2	I(s)/O	OVRCUR0	I(s)	MTIOC1A	I(s)/O	SSILRCK2	I(s)/O	IRQ4	I(s)	–	–	(1)
N4	PJ_4	I(s)/O	–	–	TRACEDATA2	O	NFDATA1	I(s)/O	–	–	CTS1#	I(s)/O	SSIBCK3	I(s)/O	–	–	–	–	(1)
N5	PK_5	I(s)/O	–	–	GTETRGA	I(s)	NFDATA1	I(s)/O	WDTOVF#/PERROUT#	O	MTCLKA	I(s)	–	–	–	–	–	–	(1)
N17	SD0_DAT0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
N18	SD0_DAT5	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
N20	SD0_DAT4	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
N21	Vss																		
P1	AUDIO_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
P2	AUDIO_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
P4	PK_4	I(s)/O	–	–	ET1_RXD0	I(s)	NFDATA7	I(s)/O	OVRCUR1	I(s)	CAN0TX	O	MISO0	I(s)/O	IRQ6	I(s)	RMII1_RXD0	I(s)	(1)
P5	PVcc																		
P17	SD0_CLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
P18	SD0_DAT2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
P20	SD0_DAT3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
P21	SD0_DAT1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R1	PG_4	I(s)/O	–	–	ET0_TXER	O	VIO_D15	I(s)	RSPCK1	I(s)/O	MTIOC4A	I(s)/O	GTIOC1A	I(s)/O	–	–	–	–	(1)
R2	P3_1	I(s)/O	–	–	ET1_RXER	I(s)	NFALE	O	VBUSEN0	I(s)	CAN1RX	I(s)	RSPCK2	I(s)/O	IRQ6	I(s)	RMII1_RXER	I(s)	(1)
R4	P3_2	I(s)/O	–	–	ET1_CRS	I(s)	NFRE#	O	CC1_Ra1	I(s)	CAN1RX_DATARATE_EN	O	MOSI2	I(s)/O	–	–	RMII1_CRS_DV	I(s)	(1)
R5	Vss																		
R17	SD1_DAT2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R18	SD1_DAT0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R20	SD1_DAT3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
R21	SD0_CMD	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T1	Vss																		
T2	Vss																		
T4	MIPIAVcc18																		
T5	Vcc																		
T17	SD1_CLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T18	SD1_CMD	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T20	SD1_DAT1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
T21	PVcc_SD1																		
U1	CSI_DATA0P	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
U2	CSI_DATA0N	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
U4	Vss																		
U5	PVcc																		
U6	Vss																		
U7	LVDSAPVcc																		
U8	P4_3	I(s)/O	–	–	RTS0#	I(s)/O	TXOUT1M	O	SCI_CTS1#/RTS1#	I(s)/O	SSILRCK1	I(s)/O	MTIOC8D	I(s)/O	IRQ3	I(s)	–	–	(1)
U9	P4_7	I(s)/O	–	–	ET0_WOL	O	TXCLKOUTM	O	SCI_SCK0	I(s)/O	SCK4	I(s)/O	TEND0	O	–	–	–	–	(1)
U10	USBVss																		
U11	RREF0		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
U12	RREF1		–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
U13	USBVss																		

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
U14	Vss																		
U15	PLLVcc																		
U16	PVcc																		
U17	Vss																		
U18	P5_4	I(s)	–	–	AN004	I(a)	IRQ0	I(s)	SD1_CD	I(s)	–	–	–	–	–	–	–	–	(3)
U20	P5_5	I(s)	–	–	AN005	I(a)	IRQ1	I(s)	SD1_WP	I(s)	–	–	–	–	–	–	–	–	(3)
U21	Vss																		
V1	CSI_CLKP	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
V2	CSI_CLKN	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
V4	PG_6	I(s)/O	–	–	ET0_RXD2	I(s)	VIO_D13	I(s)	MISO1	I(s)/O	MTIOC4C	I(s)/O	GTIOC2A	I(s)/O	IRQ5	I(s)	–	–	(1)
V5	P3_3	I(s)/O	–	–	ET1_MDC	O	NFWE#	O	OTG_EXICEN0	O	CAN1TX	O	MISO2	I(s)/O	IRQ7	I(s)	–	–	(1)
V6	PC_2	I(s)/O	–	–	OTG_EXICEN0	O	NFDATA7	I(s)/O	ET1_TXD3	O	MISO2	I(s)/O	LCD0_TCON5	O	–	–	–	–	(1)
V7	Vss																		
V8	P4_2	I(s)/O	–	–	TxD0	O	TXOUT1P	O	SCI_TXD1	I(s)/O	SSITxD1	O	MTIOC8C	I(s)/O	IRQ2	I(s)	–	–	(1)
V9	P4_6	I(s)/O	–	–	ET0_EXOUT/ET0_SCLKIN	I(s)/O	TXCLKOUTP	O	SCI_TXD0	I(s)/O	TxD4	O	DACK0	O	–	–	–	–	(1)
V10	Vss																		
V11	USBAPVcc0																		
V12	USBAPVcc1																		
V13	USBVss																		
V14	PC_4	I(s)/O	–	–	OTG_ID1	I(s)	NFALE	O	ET1_TXER	O	SPDIF_IN	I(s)	LCD0_TCON3	O	IRQ1	I(s)	–	–	(1)
V15	PC_6	I(s)/O	–	–	VBUSEN0	O	NFWE#	O	ET1_RXD2	I(s)	SD1_CD	I(s)	LCD0_TCON1	O	IRQ7	I(s)	–	–	(1)
V16	PC_3	I(s)/O	–	–	OTG_ID0	I(s)	NFCLE	O	ET1_COL	I(s)	SSL20	I(s)/O	LCD0_TCON4	O	–	–	–	–	(1)
V17	PVcc																		
V18	P5_0	I(s)	–	–	AN000	I(a)	IRQ4	I(s)	SD0_CD	I(s)	SD1_CD	I(s)	–	–	–	–	–	–	(3)
V20	P5_6	I(s)	–	–	AN006	I(a)	IRQ2	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
V21	P5_7	I(s)	–	–	AN007	I(a)	IRQ3	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
W1	CSI_DATA1P	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
W2	CSI_DATA1N	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
W20	P5_2	I(s)	–	–	AN002	I(a)	IRQ6	I(s)	VBUSIN0	I(s)	–	–	–	–	–	–	–	–	(3)
W21	P5_3	I(s)	–	–	AN003	I(a)	IRQ7	I(s)	OTG_ID0	I(s)	–	–	–	–	–	–	–	–	(3)
Y1	Vss																		
Y2	Vss																		
Y3	PG_7	I(s)/O	–	–	ET0_RXD3	I(s)	VIO_D12	I(s)	SSL10	I(s)/O	MTIOC4D	I(s)/O	GTIOC2B	I(s)/O	–	–	–	–	(1)
Y4	PC_0	I(s)/O	–	–	VBUSIN1	I(s)	NFDATA5	I(s)/O	ET1_TXCLK	I(s)	RSPCK2	I(s)/O	IRQ2	I(s)	–	–	–	–	(1)
Y5	PC_1	I(s)/O	–	–	VBUSIN0	I(s)	NFDATA6	I(s)/O	ET1_TXD2	O	MOSI2	I(s)/O	LCD0_TCON6	O	–	–	–	–	(1)
Y6	P4_0	I(s)/O	–	–	SCK0	I(s)/O	TXOUT0P	O	SCI_SCK1	I(s)/O	SSIBCK1	I(s)/O	MTIOC8A	I(s)/O	IRQ0	I(s)	–	–	(1)
Y7	P4_4	I(s)/O	–	–	CTS0#	I(s)/O	TXOUT2P	O	SCI_CTS0#/RTS0#	I(s)/O	WDTOVF#/PERROUT#	O	OTG_EXICEN0	O	–	–	–	–	(1)
Y8	LVDSPLLVcc																		
Y9	NMI	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
Y10	USB_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
Y11	USBDPVcc0																		
Y12	DP0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
Y13	USBVss																		
Y14	DP1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
Y15	USBDPVcc1																		
Y16	Vss																		
Y17	XTAL	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
Y18	RTC_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(14)
Y19	AVcc																		
Y20	PVcc																		
Y21	P5_1	I(s)	–	–	AN001	I(a)	IRQ5	I(s)	SD0_WP	I(s)	SD1_WP	I(s)	–	–	–	–	–	–	(3)
AA1	Vss																		
AA2	PG_5	I(s)/O	–	–	ET0_RXDV	I(s)	VIO_D14	I(s)	MOSI1	I(s)/O	MTIOC4B	I(s)/O	GTIOC1B	I(s)/O	–	–	–	–	(1)

ボール番号	ポート機能／専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
AA3	P3_4	I(s)/O	–	–	ET1_MDIO	I(s)/O	NFRB#	I(s)	CC2_Ra1	I(s)	CAN1TX_DATARATE_EN	O	SSL20	I(s)/O	–	–	–	–	(1)
AA4	P3_0	I(s)/O	–	–	OTG_EXICEN1	O	NFDATA4	I(s)/O	ET1_LINKSTA	I(s)	MTIC5W	I(s)	IRQ3	I(s)	–	–	–	–	(1)
AA5	Vss																		
AA6	P4_1	I(s)/O	–	–	RxD0	I(s)	TXOUT0M	O	SCI_RXD1	I(s)/O	SSIRxD1	I(s)	MTIOC8B	I(s)/O	IRQ1	I(s)	–	–	(1)
AA7	P4_5	I(s)/O	–	–	ET0_LINKSTA	I(s)	TXOUT2M	O	SCI_RXD0	I(s)/O	RxD4	I(s)	DREQ0	I(s)	–	–	–	–	(1)
AA8	Vss																		
AA9	RES#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(12)
AA10	USB_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
AA11	USBVss																		
AA12	DM0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
AA13	USBVss																		
AA14	DM1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
AA15	USBVss																		
AA16	PC_5	I(s)/O	–	–	VBUSEN1	O	NFRE#	O	ET1_RXDV	I(s)	SPDIF_OUT	O	LCD0_TCON2	O	IRQ0	I(s)	–	–	(1)
AA17	PC_7	I(s)/O	–	–	OVRCUR0	I(s)	NFRB#	I(s)	ET1_RXD3	I(s)	SD1_WP	I(s)	LCD0_TCON0	O	IRQ6	I(s)	–	–	(1)
AA18	EXTAL	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
AA19	RTC_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(14)
AA20	AVss																		
AA21	PVcc																		

【記号説明】

(s)：シュミット

(a)：アナログ

(o)：オープンドレイン

注． DRP搭載品のみ

表 1.7　176 ピン BGA 端子一覧

ボール番号	ポート機能/専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
A1	Vss																		
A2	PK_3	I(s)/O	–	–	–	–	NFDATA6	I(s)/O	CC2_Rd0	I(s)	CAN0RX_DATARATE_EN	O	MOSI0	I(s)/O	–	–	REF50CK1	I(s)	(1)
A3	QSPI1_SPCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A4	RPC_WP#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A5	PVcc_SPI																		
A6	Vss																		
A7	QSPI0_IO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
A8	P6_1	I(s)/O	–	–	ET0_TXEN	O	VIO_CLK	I(s)	SCK3	I(s)/O	MTIOC2A	I(s)/O	–	–	–	–	RMII0_TXD_EN	O	(1)
A9	P6_2	I(s)/O	–	–	ET0_TXD0	O	VIO_VD	I(s)	RxD3	I(s)	MTIOC2B	I(s)/O	OTG_EXICEN1	O	IRQ0	I(s)	RMII0_TXD0	O	(1)
A10	PH_1	I(s)/O	–	–	AUDIO_XOUT	O	VIO_D0	I(s)	GTIOC4B	I(s)/O	MTIOC1B	I(s)/O	CC2_Rd0	I(s)	IRQ2	I(s)	–	–	(1)
A11	PE_6	I(s)/O	–	–	ET0_MDIO	I(s)/O	VIO_D2	I(s)	SSIRxD0	I(s)	MTIOC0D	I(s)/O	CC2_Rd1	I(s)	–	–	–	–	(1)
A12	PL_2	I(s)	MD_BOOT2	I(s)	–	–	–	–	–	–	–	–	IRQ6	I(s)	–	–	–	–	(5)
A13	PE_3	I(s)/O	–	–	ET0_RXER	I(s)	VIO_D5	I(s)	SSIBCK0	I(s)/O	MTIOC0A	I(s)/O	–	–	–	–	RMII0_RXER	I(s)	(1)
A14	CKIO	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(11)
A15	Vss																		
B1	BSCANP	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(12)
B2	PH_3	I(s)/O	–	–	HM_RSTO#	I(s)	RTS2#	I(s)/O	GTIOC6A	I(s)/O	MTIOC2A	I(s)/O	SD0_CD	I(s)	IRQ3	I(s)	–	–	(1)
B3	QSPI1_SSL	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B4	QSPI1_IO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B5	RPC_RESET#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B6	QSPI0_IO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B7	QSPI0_IO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
B8	PK_0	I(s)/O	–	–	–	–	NFDATA3	I(s)/O	CC1_Rd0	I(s)	MTIOC1B	I(s)/O	SSIBCK2	I(s)/O	–	–	RMII1_TXD_EN	O	(1)
B9	P6_3	I(s)/O	–	–	ET0_TXD1	O	VIO_HD	I(s)	TxD3	O	POE0#	I(s)	–	–	–	–	RMII0_TXD1	O	(1)
B10	PL_4	I(s)	MD_BOOT0	I(s)	–	–	–	–	–	–	–	–	IRQ0	I(s)	–	–	–	–	(5)
B11	PL_0	I(s)	MD_CLKS	I(s)	–	–	–	–	–	–	–	–	IRQ4	I(s)	–	–	–	–	(5)
B12	PE_5	I(s)/O	–	–	ET0_MDC	O	VIO_D3	I(s)	SSITxD0	O	MTIOC0C	I(s)/O	CC1_Rd1	I(s)	–	–	–	–	(1)
B13	PE_1	I(s)/O	–	–	ET0_RXD0	I(s)	VIO_D7	I(s)	RxD2	I(s)	POE8#	I(s)	VBUSIN1	I(s)	IRQ1	I(s)	RMII0_RXD0	I(s)	(1)
B14	Vss																		
B15	PD_7	I(s)/O(o)	–	–	RIIC3SDA	I(s)/O(o)	IRQ7	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
C1	HM_CK/OM_SCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C2	PK_1	I(s)/O	–	–	–	–	NFDATA4	I(s)/O	CC1_Ra0	I(s)	CAN_CLK	I(s)	SSIDATA2	I(s)/O	–	–	RMII1_TXD0	O	(1)
C3	QSPI1_IO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C4	QSPI1_IO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C5	RPC_INT#	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C6	QSPI0_SSL	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C7	QSPI0_SPCLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
C8	PE_0	I(s)/O	–	–	ET0_RXCLK	I(s)	VIO_FLD	I(s)	SCK2	I(s)/O	POE4#	I(s)	–	–	–	–	REF50CK0	I(s)	(1)
C9	PH_0	I(s)/O	–	–	AUDIO_CLK	I(s)	VIO_D1	I(s)	GTIOC4A	I(s)/O	MTIOC1A	I(s)/O	CC1_Rd0	I(s)	IRQ3	I(s)	–	–	(1)
C10	PL_1	I(s)	MD_CLK	I(s)	–	–	–	–	–	–	–	–	IRQ5	I(s)	–	–	–	–	(5)
C11	PE_4	I(s)/O	–	–	ET0_CRS	I(s)	VIO_D4	I(s)	SSILRCK0	I(s)/O	MTIOC0B	I(s)/O	–	–	–	–	RMII0_CRS_DV	I(s)	(1)
C12	PG_0	I(s)/O	–	–	ET0_TXCLK	I(s)	VIO_D8	I(s)	RSPCK0	I(s)/O	MTIOC3A	I(s)/O	HM_RSTO#	I(s)	–	–	–	–	(1)
C13	Vss																		
C14	PD_5	I(s)/O(o)	–	–	RIIC2SDA	I(s)/O(o)	IRQ5	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
C15	PD_3	I(s)/O(o)	–	–	RIIC1SDA	I(s)/O(o)	IRQ3	I(s)	MTCLKD	I(s)	GTETRGD	I(s)	–	–	–	–	–	–	(4)
D1	HM_CK#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)

ボール番号	ポート機能/専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
D2	HM_CS0#/ OM_CS0#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D3	PK_2	I(s)/ O	–	–	–	–	NFDATA5	I(s)/ O	VBUSEN1	O	CAN0RX	I(s)	RSPCK0	I(s)/ O	IRQ5	I(s)	RMII1_TXD1	O	(1)
D4	Vss																		
D5	Vcc																		
D6	QSPI1_IO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D7	QSPI0_IO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
D8	PVcc																		
D9	PL_3	I(s)	MD_BOOT1	I(s)	–	–	–	–	–	–	–	–	IRQ7	I(s)	–	–	–	–	(5)
D10	PE_2	I(s)/ O	–	–	ET0_RXD1	I(s)	VIO_D6	I(s)	TxD2	O	POE10#	I(s)	–	–	–	–	RMII0_RXD1	I(s)	(1)
D11	PVcc																		
D12	Vss																		
D13	PD_6	I(s)/ O(o)	–	–	RIIC3SCL	I(s)/ O(o)	IRQ6	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
D14	PD_4	I(s)/ O(o)	–	–	RIIC2SCL	I(s)/ O(o)	IRQ4	I(s)	–	–	–	–	–	–	–	–	–	–	(4)
D15	PD_1	I(s)/ O(o)	–	–	RIIC0SDA	I(s)/ O(o)	IRQ1	I(s)	MTCLKB	I(s)	GTETRGB	I(s)	–	–	–	–	–	–	(4)
E1	Vss																		
E2	HM_DQ0/ OM_SIO0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
E3	HM_RWDS/ OM_DQS	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
E4	PVcc																		
E12	PD_2	I(s)/ O(o)	–	–	RIIC1SCL	I(s)/ O(o)	IRQ2	I(s)	MTCLKC	I(s)	GTETRGC	I(s)	–	–	–	–	–	–	(4)
E13	PD_0	I(s)/ O(o)	–	–	RIIC0SCL	I(s)/ O(o)	IRQ0	I(s)	MTCLKA	I(s)	GTETRGA	I(s)	–	–	–	–	–	–	(4)
E14	TCK/SWDCLK	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(7)
E15	JP0_0	I(s)	–	–	TDI	I	–	–	–	–	–	–	–	–	–	–	–	–	(6)
F1	PVcc_HO																		
F2	HM_DQ2/ OM_SIO2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
F3	HM_DQ1/ OM_SIO1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
F4	HM_CS1#/ OM_CS1#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
F12	TMS/SWDIO	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(9)
F13	JP0_1	O	–	–	TDO/SWO	O	–	–	–	–	–	–	–	–	–	–	–	–	(8)
F14	TRST#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
F15	P6_0	I(s)/ O	–	–	ADTRG#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	(1)
G1	HM_DQ4/ OM_SIO4	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G2	HM_DQ7/ OM_SIO7	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G3	HM_DQ5/ OM_SIO5	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G4	HM_DQ3/ OM_SIO3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
G12	Vcc																		
G13	PG_3	I(s)/ O	–	–	ET0_COL	I(s)	VIO_D11	I(s)	SSL00	I(s)/ O	MTIOC3D	I(s)/ O	GTIOC0B	I(s)/ O	–	–	–	–	(1)
G14	PG_2	I(s)/ O	–	–	ET0_TXD3	O	VIO_D10	I(s)	MISO0	I(s)/ O	MTIOC3B	I(s)/ O	GTIOC0A	I(s)/ O	IRQ4	I(s)	–	–	(1)
G15	PVcc																		
H1	HM_DQ6/ OM_SIO6	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H2	HM_RESET#/ OM_RESET#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H3	PH_4	I(s)/ O	–	–	HM_INT#/ OM_ECS#	I(s)	CTS2#	I(s)/ O	GTIOC6B	I(s)/ O	MTIOC2B	I(s)/ O	SD0_WP	I(s)	IRQ2	I(s)	–	–	(1)
H4	Vcc																		
H12	PG_1	I(s)/ O	–	–	ET0_TXD2	O	VIO_D9	I(s)	MOSI0	I(s)/ O	MTIOC3C	I(s)/ O	HM_INT#/ OM_ECS#	I(s)	–	–	–	–	(1)
H13	SD0_DAT5	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H14	SD0_RST#	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
H15	Vss																		

ボール番号	ポート機能/専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
J1	PJ_0	I(s)/O	–	–	TRACECLK	O	SPDIF_OUT	O	–	–	SCK1	I(s)/O	SSIRxD3	I(s)	–	–	–	–	(1)
J2	PJ_1	I(s)/O	–	–	TRACECTL	O	SPDIF_IN	I(s)	–	–	RxD1	I(s)	VBUSIN0	I(s)	IRQ0	I(s)	–	–	(1)
J3	PJ_2	I(s)/O	–	–	TRACEDATA0	O	NFCE#	O	–	–	TxD1	O	SSITxD3	O	–	–	–	–	(1)
J4	Vss																		
J12	SD0_DAT7	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J13	SD0_DAT2	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J14	SD0_DAT4	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
J15	PVcc_SD0																		
K1	PJ_5	I(s)/O	–	–	TRACEDATA3	O	NFDATA2	I(s)/O	OVRCUR0	I(s)	MTIOC1A	I(s)/O	SSILRCK2	I(s)/O	IRQ4	I(s)	–	–	(1)
K2	PJ_3	I(s)/O	–	–	TRACEDATA1	O	NFDATA0	I(s)/O	–	–	RTS1#	I(s)/O	SSILRCK3	I(s)/O	–	–	–	–	(1)
K3	PJ_4	I(s)/O	–	–	TRACEDATA2	O	NFDATA1	I(s)/O	–	–	CTS1#	I(s)/O	SSIBCK3	I(s)/O	–	–	–	–	(1)
K4	PVcc																		
K12	SD0_CLK	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
K13	SD0_DAT3	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
K14	SD0_DAT0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
K15	SD0_DAT6	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
L1	PK_4	I(s)/O	–	–	–	–	NFDATA7	I(s)/O	OVRCUR1	I(s)	CAN0TX	O	MISO0	I(s)/O	IRQ6	I(s)	RMII1_RXD0	I(s)	(1)
L2	P3_5	I(s)/O	–	–	–	–	NFCLE	O	CC2_Ra0	I(s)	CAN0TX_DATARATE_EN	O	SSL00	I(s)/O	–	–	RMII1_RXD1	I(s)	(1)
L3	Vss																		
L4	Vcc																		
L12	PVcc																		
L13	Vss																		
L14	SD0_DAT1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
L15	SD0_CMD	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(15)
M1	AUDIO_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
M2	AUDIO_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
M3	P3_2	I(s)/O	–	–	–	–	NFRE#	O	CC1_Ra1	I(s)	CAN1RX_DATARATE_EN	O	MOSI2	I(s)/O	–	–	RMII1_CRS_DV	I(s)	(1)
M4	Vss																		
M5	P3_3	I(s)/O	–	–	ET1_MDC	O	NFWE#	O	OTG_EXICEN0	O	CAN1TX	O	MISO2	I(s)/O	IRQ7	I(s)	–	–	(1)
M6	LVDSAPVcc																		
M7	LVDSPLLVcc																		
M8	NMI	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
M9	USBVss																		
M10	PVcc																		
M11	Vcc																		
M12	P5_0	I(s)	–	–	AN000	I(a)	IRQ4	I(s)	SD0_CD	I(s)	SD1_CD	I(s)	–	–	–	–	–	–	(3)
M13	P5_4	I(s)	–	–	AN004	I(a)	IRQ0	I(s)	SD1_CD	I(s)	–	–	–	–	–	–	–	–	(3)
M14	P5_7	I(s)	–	–	AN007	I(a)	IRQ3	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
M15	P5_5	I(s)	–	–	AN005	I(a)	IRQ1	I(s)	SD1_WP	I(s)	–	–	–	–	–	–	–	–	(3)
N1	P3_1	I(s)/O	–	–	–	–	NFALE	O	VBUSEN0	I(s)	CAN1RX	I(s)	RSPCK2	I(s)/O	IRQ6	I(s)	RMII1_RXER	I(s)	(1)
N2	PG_4	I(s)/O	–	–	ET0_TXER	O	VIO_D15	I(s)	RSPCK1	I(s)/O	MTIOC4A	I(s)/O	GTIOC1A	I(s)/O	–	–	–	–	(1)
N3	Vss																		
N4	PG_7	I(s)/O	–	–	ET0_RXD3	I(s)	VIO_D12	I(s)	SSL10	I(s)/O	MTIOC4D	I(s)/O	GTIOC2B	I(s)/O	–	–	–	–	(1)
N5	P4_2	I(s)/O	–	–	TxD0	O	TXOUT1P	O	SCI_TXD1	I(s)/O	SSITxD1	O	MTIOC8C	I(s)/O	IRQ2	I(s)	–	–	(1)
N6	P4_3	I(s)/O	–	–	RTS0#	I(s)/O	TXOUT1M	O	SCI_CTS1#/RTS1#	I(s)/O	SSILRCK1	I(s)/O	MTIOC8D	I(s)/O	IRQ3	I(s)	–	–	(1)
N7	P4_6	I(s)/O	–	–	ET0_EXOUT/ET0_SCLKIN	I(s)/O	TXCLKOUTP	O	SCI_TXD0	I(s)/O	TxD4	O	DACK0	O	–	–	–	–	(1)
N8	RES#	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(12)
N9	RREF0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
N10	Vss																		
N11	PLLVcc																		

ボール番号	ポート機能/専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		入出力ポート構成図 図51.1～図51.15
	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	
N12	Vcc																		
N13	P5_2	I(s)	–	–	AN002	I(a)	IRQ6	I(s)	VBUSIN0	I(s)	–	–	–	–	–	–	–	–	(3)
N14	P5_3	I(s)	–	–	AN003	I(a)	IRQ7	I(s)	OTG_ID0	I(s)	–	–	–	–	–	–	–	–	(3)
N15	P5_6	I(s)	–	–	AN006	I(a)	IRQ2	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
P1	PVcc																		
P2	Vss																		
P3	PG_6	I(s)/O	–	–	ET0_RXD2	I(s)	VIO_D13	I(s)	MISO1	I(s)/O	MTIOC4C	I(s)/O	GTIOC2A	I(s)/O	IRQ5	I(s)	–	–	(1)
P4	P4_0	I(s)/O	–	–	SCK0	I(s)/O	TXOUT0P	O	SCI_SCK1	I(s)/O	SSIBCK1	I(s)/O	MTIOC8A	I(s)/O	IRQ0	I(s)	–	–	(1)
P5	P4_4	I(s)/O	–	–	CTS0#	I(s)/O	TXOUT2P	O	SCI_CTS0#/RTS0#	I(s)/O	WDTOVF#/PERROUT#	O	OTG_EXICEN0	O	–	–	–	–	(1)
P6	P4_7	I(s)/O	–	–	ET0_WOL	O	TXCLKOUTM	O	SCI_SCK0	I(s)/O	SCK4	I(s)/O	TEND0	O	–	–	–	–	(1)
P7	USB_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
P8	USBDPVcc0																		
P9	USBAPVcc0																		
P10	USBVss																		
P11	XTAL	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
P12	RTC_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(14)
P13	AVcc																		
P14	Vcc																		
P15	P5_1	I(s)	–	–	AN001	I(a)	IRQ5	I(s)	SD0_WP	I(s)	SD1_WP	I(s)	–	–	–	–	–	–	(3)
R1	Vss																–	–	
R2	PG_5	I(s)/O	–	–	ET0_RXDV	I(s)	VIO_D14	I(s)	MOSI1	I(s)/O	MTIOC4B	I(s)/O	GTIOC1B	I(s)/O	–	–	–	–	(1)
R3	P3_4	I(s)/O	–	–	ET1_MDIO	I(s)/O	NFRB#	I(s)	CC2_Ra1	I(s)	CAN1TX_DATARATE_EN	O	SSL20	I(s)/O	–	–	–	–	(1)
R4	P4_1	I(s)/O	–	–	RxD0	I(s)	TXOUT0M	O	SCI_RXD1	I(s)/O	SSIRxD1	I(s)	MTIOC8B	I(s)/O	IRQ1	I(s)	–	–	(1)
R5	P4_5	I(s)/O	–	–	ET0_LINKSTA	I(s)	TXOUT2M	O	SCI_RXD0	I(s)/O	RxD4	I(s)	DREQ0	I(s)	–	–	–	–	(1)
R6	Vss																		
R7	USB_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
R8	DP0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
R9	DM0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
R10	USBVss																		
R11	EXTAL	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(13)
R12	Vss																		
R13	RTC_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(14)
R14	AVss																		
R15	Vcc																		

【記号説明】

(s)：シュミット

(a)：アナログ

(o)：オープンドレイン

2. CPU

本製品には、Arm 社の Cortex-A9 MPCore (1Core 構成) を搭載しています。IP のバージョンは r4p1 です。

2.1 特長 (注 1)

- Instruction cache size: 32KB
- Data cache size: (注 2) 32KB
- TLB size: 128 entries
- BTAC size: 512 entries
- GHB size: 4096 descriptors
- Instruction micro TLB : 32 entries
- Jazelle Architecture Extension Full or trivial: Full
- Media Processing engine with NEON technology: Included
- FPU: Included
- PTM interface: Included
- Wrappers to support for power off and dormant mode: not
- PRELOAD ENGINE: not
- Number of interrupts: 0
- Accelerator Coherence Port: not
- Support for cache parity error detection: (注 4) yes

注 1. 詳細は、Arm Cortex-A9 MPCore Technical Reference Manual を参照してください。
注 2. データキャッシュ有効時､内部ライトスルーに設定したメモリ領域は内部キャッシュ不可として動作します。
詳細は Arm Cortex-A9 Technical Reference Manual を参照してください。
注 3. MPCore SCU 内に実装されているウォッチドック要求からのハードウェアリセットには対応していません。
注 4. パリティエラー信号の処理に関しては、「15. ウォッチドッグタイマ」を参照してください。

2.2 構成信号

表 2.1 に Cortex-A9 構成信号の設定値を示します。

表2.1 構成信号の設定値

構成信号	設定値
CFGEND	1'b0
CFGNMFI	1'b0
CLUSTERID	4'h0
FILTEREN (注1)	1'b1
FILTERSTART[31:20] (注1)	12'hE00
FILTEREND[31:20] (注1)	12'hFFF
PERIPHBASE[31:13] (注2)	19'b111_1000_0000_0000_0000
TEINIT	1'b0
VINITHI	1'b1

注1. 初期値(設定値)のまま使用し、ソフトウェアでの書き換えは行わないでください。
注2. Cortex-A9のプライベートメモリ領域のベースアドレスは H'F0000000 です。このベースアドレスに相対的なレジスタの概要・詳細については、Arm Cortex-A9 MPCore Technical Reference Manual を参照してください。

3. ブートモード

本 LSI は、CS0 空間に接続されたメモリ、シリアルフラッシュメモリ、OctaFlash™ (注 1)、Xccela™ フラッシュメモリ (注 2)、および、HyperFlash™ (注 3) からブートすることが可能です。

注 1. OctaFlash™ は Macronix International Co., Ltd. の商標です。
注 2. Xccela™ フラッシュメモリは Micron Technology, Inc. の商標です。
注 3. HyperFlash™ は Cypress Semiconductor Corporation. の商標です。
注 4. SD コントローラ内蔵 NAND フラッシュメモリ、MMC コントローラ内蔵 NAND フラッシュメモリからのブートモードは、現在サポート対象外です。

3.1 特長

- 8 つのブートモード

ブートモード 0 : CS0 空間に接続されたメモリ（バス幅 16bit）からブートします。

ブートモード 1 : SD コントローラ内蔵 NAND フラッシュメモリ (注 1) からブートします。

注 1. SD Specification Part 1 eSD Addendum (Version 2.10) 規格で定義されている "eSD (Embedded SD)" からブート可能。

ブートモード 2 : MMC コントローラ内蔵 NAND フラッシュメモリ (注 2) からブートします。
(データバス幅 8 ビット (注 3))

注 2. JEDEC STANDARD JESD84 A44 (MMCA 4.4) 規格の Alternative boot operation mode に対応した eMMC デバイスからのみブート可能。（MMC カードからのブートはできません。）
注 3. ブートプログラムでは、データバス幅 8 ビットの接続で動作することを前提としており、データバス幅 8 ビット以外の接続をした場合、正常にブート動作できません。

ブートモード 3 : SPI マルチ I/O バス空間に接続されたシリアルフラッシュメモリ (SPI モード 3.3V 品) からブートします。

ブートモード 4 : SPI マルチ I/O バス空間に接続された Octal-SPI フラッシュメモリ (注 4) (SPI モード 1.8V 品) からブートします。

注 4. 本マニュアルでは、1 チップセレクト、1 クロックソースと 1 データストローブ構成の 8 ビット SPI フラッシュメモリ (OctaFlash、Xccela フラッシュメモリ) を「Octal-SPI フラッシュメモリ」と呼びます。

ブートモード 5 : SPI マルチ I/O バス空間に接続された HyperFlash (1.8V 品) からブートします。

ブートモード 6 : OctaFlash 空間に接続された OctaFlash (SPI モード 1.8V 品) からブートします。

ブートモード 7 : HyperFlash 空間に接続された HyperFlash (1.8V 品) からブートします。

3.2 ブートモードと端子機能設定

本 LSI は、RES# ＝ L の状態の時に外部端子を用いてブートモードを決定することができます。ブートモードを決定する外部端子設定を**表 3.1** に示します。

表3.1　外部端子（MD_BOOT2～0）設定とブートモードの関係

MD_BOOT2	MD_BOOT1	MD_BOOT0	ブートモード
0	0	0	ブートモード0 (CS0空間16ビットブート) CS0空間に接続されたメモリ (バス幅16bit) からブートします。
0	0	1	ブートモード1（eSDブート） SDコントローラ内蔵NANDフラッシュメモリからブートします。 SD/MMCホストインタフェースのチャネル0からのみブート可能です。
0	1	0	ブートモード2（eMMCブート） MMCコントローラ内蔵NANDフラッシュメモリからブートします。 SD/MMCホストインタフェースのチャネル0からのみブート可能です。
0	1	1	ブートモード3（シリアルフラッシュブート　3.3V品） SPIマルチI/Oバス空間に接続されたシリアルフラッシュメモリ(SPIモード)から ブートします。
1	0	0	ブートモード4（Octal-SPIフラッシュブート　1.8V品） SPIマルチI/Oバス空間に接続されたOctal-SPIフラッシュメモリ(SPIモード)から ブートします。
1	0	1	ブートモード5（HyperFlashブート1　1.8V品） SPIマルチI/Oバス空間に接続されたHyperFlashからブートします。
1	1	0	ブートモード6（OctaFlash ブート　1.8V品） OctaFlash 空間に接続されたOctaFlash (SPIモード)から ブートします。
1	1	1	ブートモード7（HyperFlashブート2　1.8V品） HyperFlash空間に接続されたHyperFlashからブートします。

3.3 各ブートモードで使用するハードウェアの情報

各ブートモードで使用するハードウェアの情報を**表 3.2** に示します。

表3.2　各ブートモードで使用するハードウェアの情報

ブートモード	周辺モジュール	使用端子	クロック周波数 (注2)
ブートモード0 (CS0空間16ビットブート)	バスステートコントローラ	A[20:1] D[15:0] CS0# RD# CKIO　（注1）	CKIOクロック周波数：P1φ
ブートモード1 (eSD ブート)	SD/MMC ホストインタフェース (チャネル0)	SD0_CLK SD0_CMD SD0_D[3:0]	SD0_CLK 周波数：Bφ/8
ブートモード2 (eMMC ブート)	SD/MMC ホストインタフェース (チャネル0)	SD0_CLK SD0_CMD SD0_D[7:0] SD0_RST#	SD0_CLK 周波数：Bφ/8
ブートモード3 (シリアルフラッシュブート 3.3V品)	SPI マルチI/O バスコントローラ	QSPI0_SPCLK QSPI0_SSL QSPI0_IO[1:0]	QSPI0_SPCLK 周波数：P0φ/2
ブートモード4 (Octal-SPI フラッシュブート 1.8V品)	SPI マルチI/O バスコントローラ	QSPI0_SPCLK QSPI0_SSL QSPI0_IO[1:0]	QSPI0_SPCLK 周波数：P0φ/2
ブートモード5 (HyperFlash ブート1 1.8V品)	SPI マルチI/O バスコントローラ	QSPI0_SSL QSPI0_SPCLK QSPI1_SPCLK QSPI0_IO[3:0] QSPI1_IO[3:0] QSPI1_SSL RPC_RESET#	QSPI0_SPCLK、QSPI1_SPCLK 周波数： P1φ/2
ブートモード6 (OctaFlash ブート 1.8V品)	Octa メモリコントローラ	OM_SCLK OM_CS0# OM_SIO[1:0]	OM_SCLK 周波数：P0φ/2
ブートモード7 (HyperFlash ブート2 1.8V品)	HyperBus コントローラ	HM_CS0# HM_CK HM_CK# HM_DQ[7:0] HM_RWDS HM_RESET#	HM_CK、HM_CK# 周波数：P1φ/2

注1.　リセット解除直後、使用端子は汎用入出力機能になっています。ブートプログラムを実行することにより、外部バスアクセス用の端子機能に設定します。

注2.　ブートプログラム動作時の各ブートモードにおける周辺機能の動作周波数を示します。

3.4　ブートモードとリセット時の例外ベクタ配置

本 LSI は、どのブートモードにおいても、リセット時には H'FFFF_0000 番地（ハイベクタ）の例外ベクタに配置されたブートプログラムを実行します。ブートモードによりブートプログラム処理後の例外ベクタの配置が異なります。ブートモード 0 設定時、ブートプログラム実行後、H'0000_0000（ローベクタ）に例外ベクタを配置します。ブートモード 1 ～ 7 設定時、ブートプログラム実行後、H'FFFF_0000（ハイベクタ）に例外ベクタを配置します。

本 LSI の H'FFFF_0000 ～ H'FFFF_FFFF 番地の領域には内蔵 ROM が配置されています。内蔵 ROM にはブートプログラムが格納されており、ブートプログラムは外部端子 MD_BOOT2 ～ 0 により設定したブートモードに対応する処理を実行します。

ブートモードと例外ベクタ配置を**表 3.3** に示します。

表3.3　ブートモードと例外ベクタ配置

ブートモード	ブートプログラム実行後の例外ベクタ配置	例外ベクタが配置されるメモリ
ブートモード0 (CS0空間16ビットブート)	H'0000 0000 (ローベクタ)	CS0空間に接続されたメモリ
ブートモード1 (eSD ブート)	H'FFFF 0000 (ハイベクタ)	内蔵ROM
ブートモード2 (eMMC ブート)	H'FFFF 0000 (ハイベクタ)	内蔵ROM
ブートモード3 (シリアルフラッシュブート 3.3V品)	H'FFFF 0000 (ハイベクタ)	内蔵ROM
ブートモード4 (Octal-SPI フラッシュブート 1.8V品)	H'FFFF 0000 (ハイベクタ)	内蔵ROM
ブートモード5 (HyperFlash ブート1　1.8V品)	H'FFFF 0000 (ハイベクタ)	内蔵ROM
ブートモード6 (OctaFlash ブート　1.8V品)	H'FFFF 0000 (ハイベクタ)	内蔵ROM
ブートモード7 (HyperFlash ブート2　1.8V品)	H'FFFF 0000 (ハイベクタ)	内蔵ROM

3.5 動作説明

3.5.1 ブートモード 0

ブートモード 0 は、CS0 空間に接続されたメモリからブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM（H'FFFF_0000 ～）に格納されているブートプログラムを実行します。ブートプログラムにて、CS0 空間にアクセスするための端子設定を行い、CP15 System Control Register (SCTLR) の V ビットを 0 に設定しローベクタに切り替えます。その後、CS0 空間に接続されたメモリの H'0000_0000 番地に分岐します。

CS0 空間の外部メモリとの接続例を**図 3.1**、ブートモード 0 の各周辺モジュールのレジスタ設定値を**表 3.4** に示します。

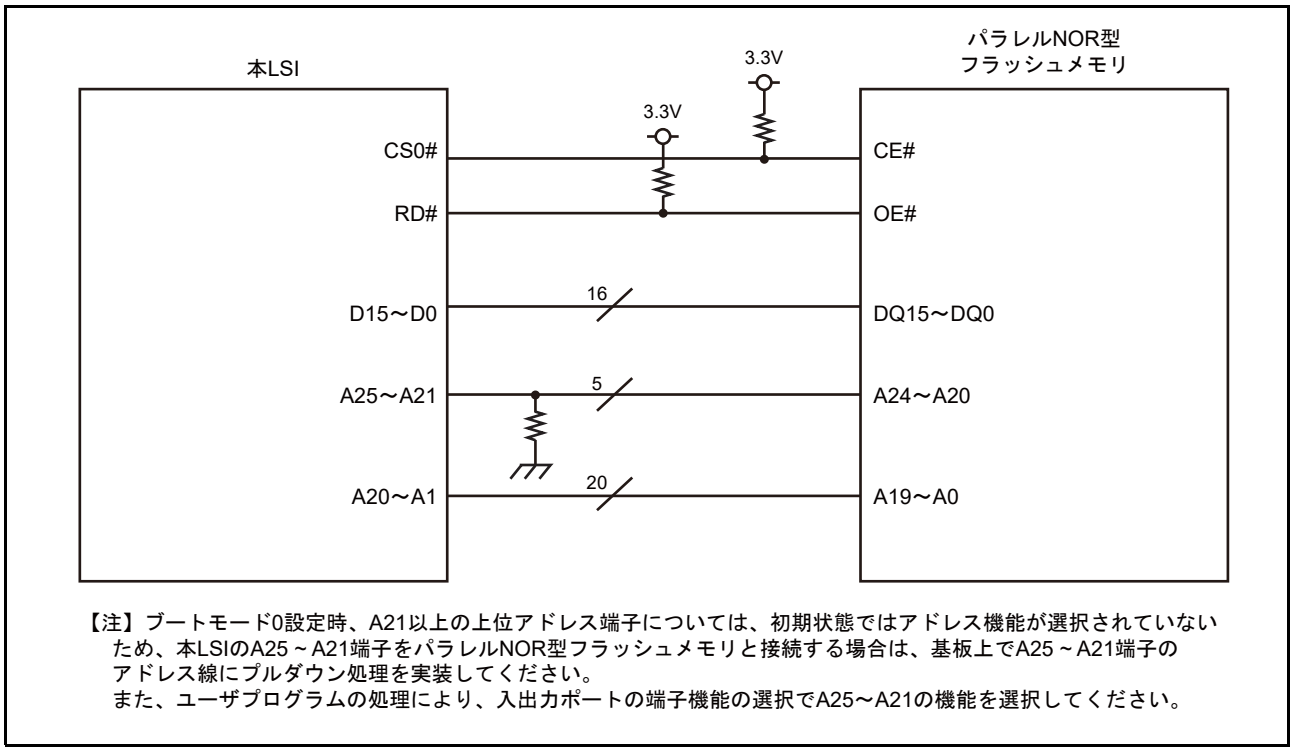


図 3.1 ブートモード 0 使用時の接続例（パラレル NOR 型フラッシュメモリ）

表3.4 ブートモード0の各周辺モジュールのレジスタ設定値

周辺モジュール	レジスタ	リセット解除後の初期値	ブートプログラム実行後の設定値
汎用入出力ポート	PORT0.PMR	H'00	H'7F
	PORT1.PMR	H'00	H'1F
	PORT2.PMR	H'00	H'0F
	PORT7.PMR	H'00	H'80
	PORT8.PMR	H'00	H'FE
	PORT9.PMR	H'00	H'FF
	PORTA.PMR	H'00	H'1F
	PORTB.PMR	H'00	H'08
	P00PFS	H'00	H'01
	P01PFS	H'00	H'01
	P02PFS	H'00	H'01
	P03PFS	H'00	H'01
	P04PFS	H'00	H'01
	P05PFS	H'00	H'01
	P06PFS	H'00	H'01
	P10PFS	H'00	H'01
	P11PFS	H'00	H'01
	P12PFS	H'00	H'01
	P13PFS	H'00	H'01
	P14PFS	H'00	H'01
	P20PFS	H'00	H'01
	P21PFS	H'00	H'01
	P22PFS	H'00	H'01
	P23PFS	H'00	H'01
	P77PFS	H'00	H'01
	P81PFS	H'00	H'01
	P82PFS	H'00	H'01
	P83PFS	H'00	H'01
	P84PFS	H'00	H'01
	P85PFS	H'00	H'01
	P86PFS	H'00	H'01
	P87PFS	H'00	H'01
	P90PFS	H'00	H'01
	P91PFS	H'00	H'01
	P92PFS	H'00	H'01
	P93PFS	H'00	H'01
	P94PFS	H'00	H'01
	P95PFS	H'00	H'01
	P96PFS	H'00	H'01
	P97PFS	H'00	H'01
	PA0PFS	H'00	H'01
	PA1PFS	H'00	H'01
	PA2PFS	H'00	H'01
	PA3PFS	H'00	H'01
	PA4PFS	H'00	H'01

周辺モジュール	レジスタ	リセット解除後の初期値	ブートプログラム実行後の設定値
汎用入出力ポート	PB3PFS	H'00	H'01

3.5.2　ブートモード 1

ブートモード 1 は、SD/MMC ホストインタフェースのチャネル 0 に接続された SD コントローラ内蔵 NAND フラッシュメモリからブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM（H'FFFF_0000 ～）に格納されているブートプログラムを実行します。

ブートプログラムは、SD/MMC ホストインタフェースのチャネル 0 のモジュールスタンバイ状態を解除し、SD/MMC ホストインタフェースのチャネル 0 のレジスタ設定処理を行い、SD コントローラ内蔵 NAND フラッシュメモリのプログラムを大容量内蔵 RAM の H'8002_4000 番地からプログラムサイズ分データ転送します。

このときブートプログラムが大容量内蔵 RAM に転送するプログラムをローダプログラムと呼びます。ローダプログラムのプロラムサイズは 512 バイト ～ 4,046,848 バイトの範囲で収まるように作成してください。なお、お客様のアプリケーションが 4,046,848 バイトで収まらない場合は、ローダプログラムにてアプリケーションの転送プログラムを作成し、外部メモリにプログラムデータを転送する処理を実装してください。

ローダプログラムは、ローダプログラムの格納仕様に基づき SD コントローラ内蔵 NAND フラッシュメモリに格納する必要があります。

ブートプログラムの処理完了時、H'8002_4000 番地（大容量内蔵 RAM）に分岐します。

ブートプログラムはワークメモリとして H'8002_0000 ~ H'8002_3FFF 番地の領域を使用します。

ブートモード 1 の仕様概略図を**図 3.2**、ローダプログラムの格納仕様を**図 3.3**、ブートモード 1 で使用するローダプログラムサイズブロックの仕様を**図 3.4** に示します。

ブートモード 1 では、SD0_WP 端子、SD0_CD 端子は使用しません。なお、SD/MMC ホストインタフェースでは、コマンド端子、クロック端子、データ端子については専用端子として割り当てられていますが、ライトプロテクト端子、カード検出端子は専用端子ではなく、兼用端子機能となっています。ブート動作時は、SDVcc 端子に必ず 3.3V を供給してください。

注 .　SD ホスト関連製品を開発するには、SD Host/Ancillary Product License Agreement（SD HALA）の締結が必要です。

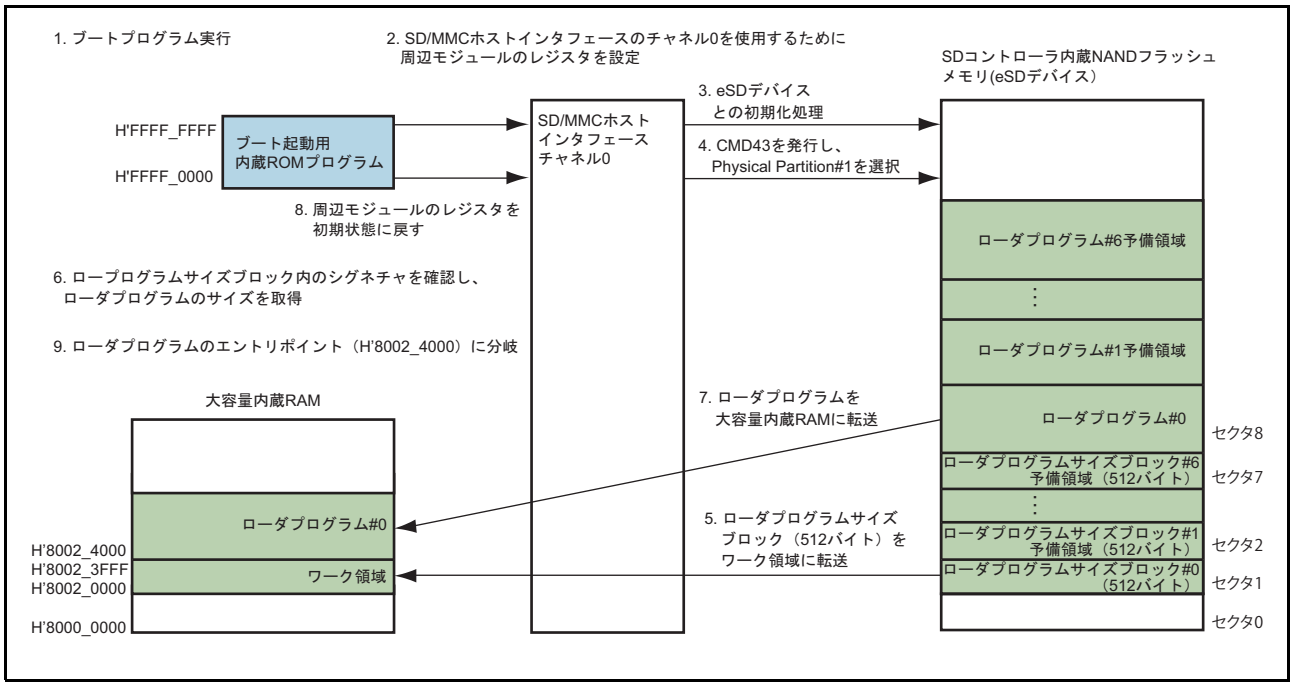


図 3.2　　ブートモード 1 の仕様概略図

1. パワーオンリセット解除後、内蔵 ROM プログラムを実行します。
2. 内蔵 ROM プログラムにより、SD/MMC ホストインタフェースのチャネル 0 に接続された eSD デバイスにアクセスするため周辺モジュールのレジスタ設定処理を行います。
3. eSD デバイスの初期化処理を行います。
4. eSD デバイスに対して、パーティション切り替えコマンド（CMD43）を発行して Physical Partition#1（Boot code area）を選択します。
   本コマンドに対応した eSD デバイス接続時は、以降 Physical Partition#1 に対して処理を行います。
   SD カード接続時は、Single Partition デバイスとして後続の処理を実行するため、SD カードでもブートが可能となります。
   (SD カード接続時は、SD カードがパーティション切り替えコマンドに対応していないため、パーティション切り替えコマンド発行処理はエラーとなりますが、内蔵 ROM プログラムではこのコマンドエラーを確認しません。)
5. SD/MMC ホストインタフェースのチャネル 0 より、eSD デバイスにリードコマンドを発行し、ローダプログラムサイズブロック #0 を大容量内蔵 RAM のワーク領域に転送します。
6. 大容量内蔵 RAM に転送したローダプログラムサイズブロックからシグネチャ（H'AA55）を確認します。シグネチャが一致していた場合は、ローダプログラムサイズブロックからローダプログラムのデータサイズを取得し、ローダプログラムの転送処理（手順 7）を実行します。シグネチャが不一致の場合は、多重化された次領域のローダプログラムサイズブロックの転送処理を開始します。ローダプログラムサイズブロック #0 ～ #6 の読み出しに失敗した場合は、内蔵 ROM プログラム内で無限ループとなりブート処理を終了します。
7. SD/MMC ホストインタフェースのチャネル 0 より、eSD デバイスにリードコマンドを発行し、ローダプログラム #0 を大容量内蔵 RAM の H'8002_4000 番地からローダプログラムのデータサイズ分データ転送処理を実行します。
   データ転送中に SD/MMC ホストインタフェースがデータ転送エラーを検出した場合、多重化された次領域のローダプログラムの転送処理を開始します。ローダプログラム #0 ～ #6 の読み出しに失敗した場合は、内蔵 ROM プログラム内で無限ループとなりブート処理を終了します。
8. SD/MMC ホストインタフェースのチャネル 0 を使用するために設定した周辺モジュールのレジスタを初期状態に戻します。
9. ローダプログラムのエントリポイント（H'8002_4000 番地）に分岐します。

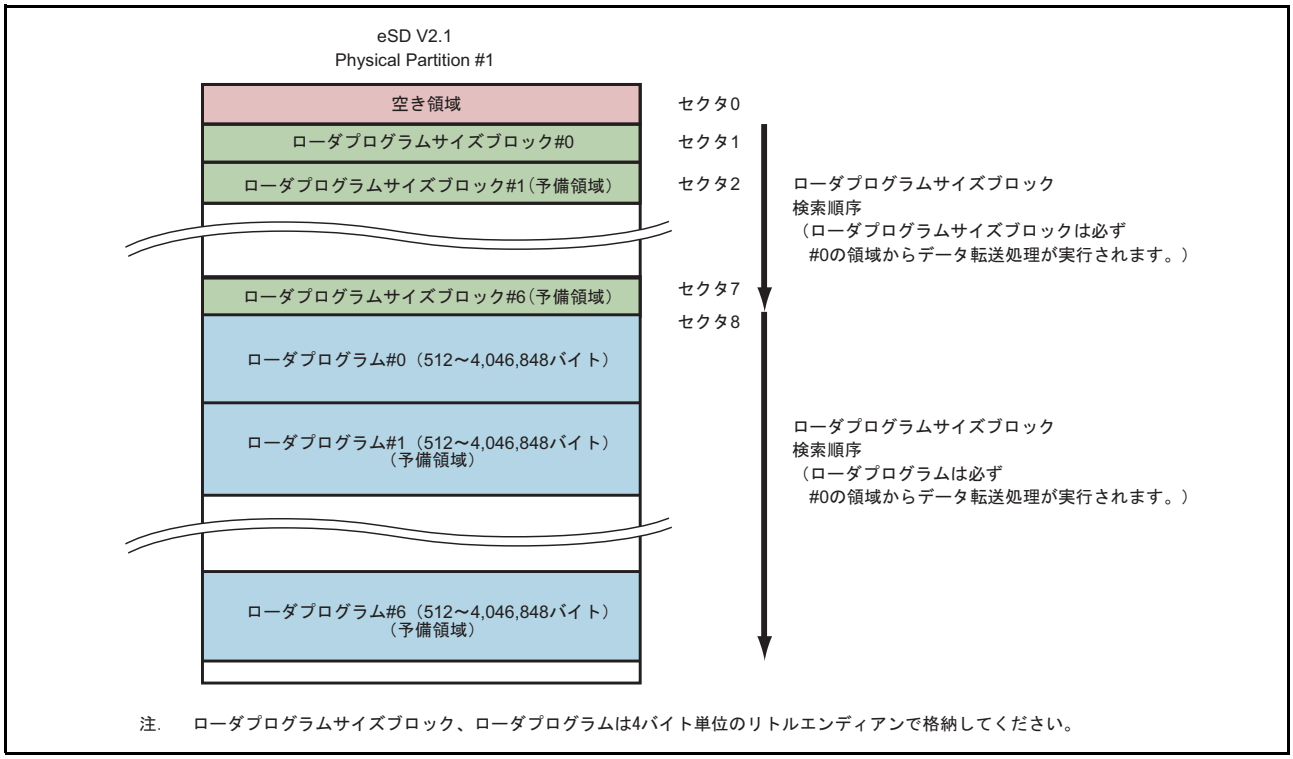


図 3.3　ローダプログラムの格納仕様

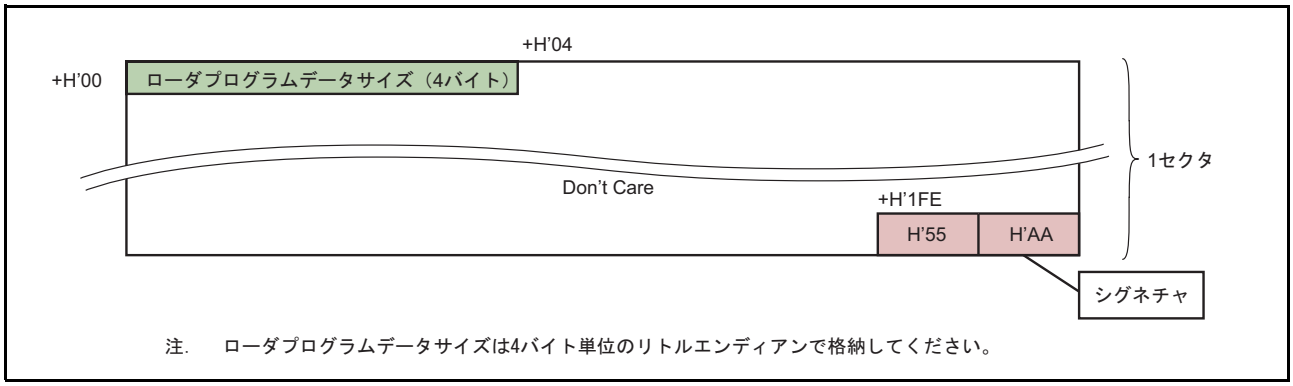


図 3.4　ローダプログラムサイズブロックの構成

3.5.3　ブートモード 2

ブートモード 2 は、SD/MMC ホストインタフェースのチャネル 0 に接続された MMC コントローラ内蔵 NAND フラッシュメモリからブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM（H'FFFF_0000 ～）に格納されているブートプログラムを実行します。

ブートプログラムは、SD/MMC ホストインタフェースのチャネル 0 のモジュールスタンバイ状態を解除し、SD/MMC ホストインタフェースのチャネル 0 のレジスタ設定処理を行い、MMC コントローラ内蔵 NAND フラッシュメモリのプログラムを大容量内蔵 RAM の H'8002_4000 番地からプログラムサイズ分データ転送します。このときブートプログラムが大容量内蔵 RAM に転送するプログラムをローダプログラムと呼びます。ローダプログラムのプログラムサイズは 512 バイト ～ 4,046,848 バイトの範囲で収まるように作成してください。なお、お客様のアプリケーションが 4,046,848 バイトで収まらない場合は、ローダプログラムにてアプリケーションの転送プログラムを作成し、外部メモリにプログラムデータを転送する処理を実装してください。

ローダプログラムは、ローダプログラムの格納仕様に基づき MMC コントローラ内蔵 NAND フラッシュメモリに格納する必要があります。

ブートプログラムの処理完了時、H'8002_4000 番地（大容量内蔵 RAM）に分岐します。ブートプログラムはワークメモリとして H'8002_0000 ~ H'8002_3FFF 番地の領域を使用します。なお、ブートモード 2 はデータバス幅 8 ビットで動作します。

ブートモード 2 の仕様概略図を**図 3.5**、ローダプログラムの格納仕様を**図 3.6**、ブートモード 2 で使用するローダプログラムサイズブロックの仕様を**図 3.7**、eMMC デバイスとの接続例を**図 3.8** に示します。また、eMMC デバイスの Extended CSD レジスタ設定が必要になります。Extended CSD レジスタ設定値を**表 3.5** に示します。

注 .　eMMC デバイス関連の詳細仕様に関しては、JEDEC STANDARD JESD84 A44 (MMCA4.4) 規格を参照してください。

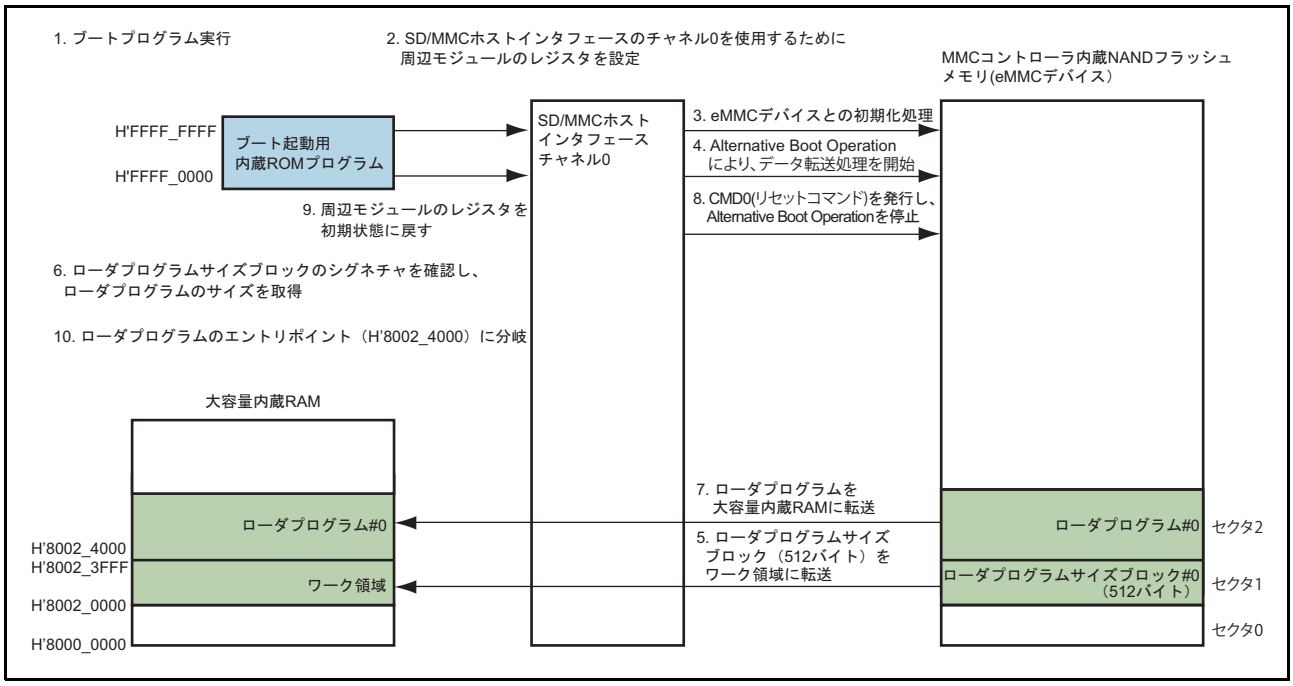


図 3.5　ブートモード 2 の仕様概略図

1. パワーオンリセット解除後、内蔵 ROM プログラムを実行します。
2. 内蔵 ROM プログラムにより、SD/MMC ホストインタフェースのチャネル 0 に接続された eMMC デバイスにアクセスするため周辺モジュールのレジスタ設定処理を行います。
3. eMMC デバイスの初期化処理を行います。
4. eMMC デバイスに対して、Alternative Boot Operation 開始コマンドを発行します。Alternative Boot Operation モードにより eMMC デバイスの Extended CSD（EXT_CSD）レジスタの [179] フィールド（PARTITION_CONFIG）で選択されているパーティションのセクタ 0 から読み出しを開始します。
5. 大容量内蔵 RAM のワーク領域にセクタ 0 のデータを転送後（注 1）。セクタ 1 からローダプログラムブロックサイズ #0 を転送します。

   注 1. Alternative Boot Operation モードでは、EXT_CSD[179] で選択されているパーティションのセクタ 0 から読み出し処理を開始します。ブートプログラムでは、セクタ 0 のデータを使用しません。
6. 上記 5. にて転送されたローダプログラムブロックサイズからシグネチャを（H'AA55）を確認します。
   シグネチャが一致していた場合は、ローダプログラムブロックサイズからローダプログラムのデータサイズを取得し、ローダプログラムの転送処理（手順 7）を実行します。
   シグネチャが不一致の場合は、内蔵 ROM プログラム内で無限ループとなりブート処理を終了します。
7. Alternative Boot Operation モードにより、ローダプログラム #0 を大容量内蔵 RAM の H'8002_4000 番地からローダプログラムのデータサイズ分データ転送処理を実行します。
   データ転送中に SD/MMC ホストインタフェースがデータ転送エラーを検出した場合は、内蔵 ROM プログラム内で無限ループとなりブート処理を終了します。
8. SD/MMC ホストインタフェースのチャネル 0 より、eMMC デバイスにリセットコマンド（CMD0/Reset）を発行し、Alternative Boot Operation モードを終了します。
9. SD/MMC ホストインタフェースのチャネル 0 を使用するために設定した周辺モジュールのレジスタを初期状態に戻します。
10. ローダプログラムのエントリポイント（H'8002_4000 番地）に分岐します。

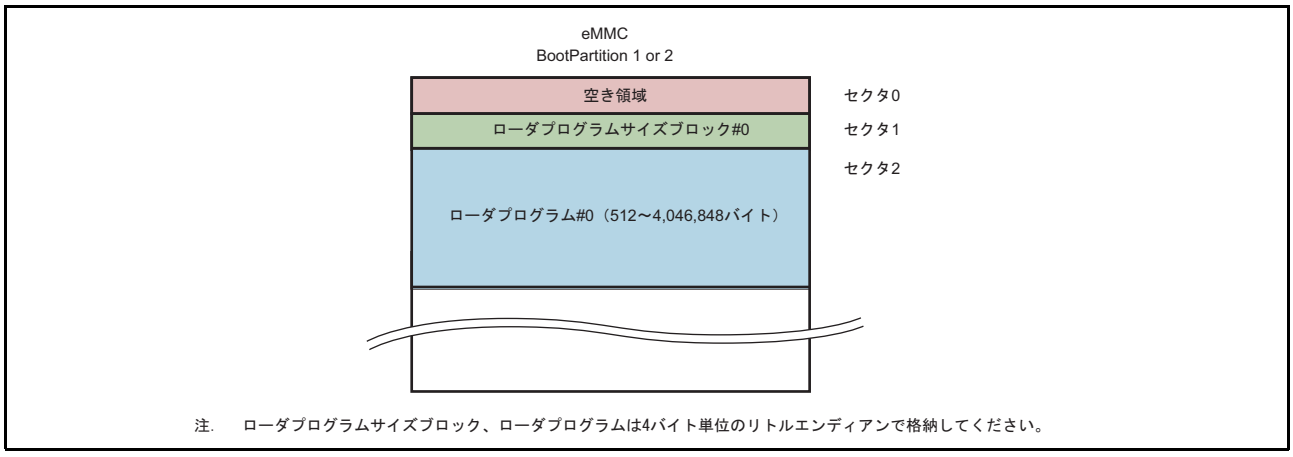
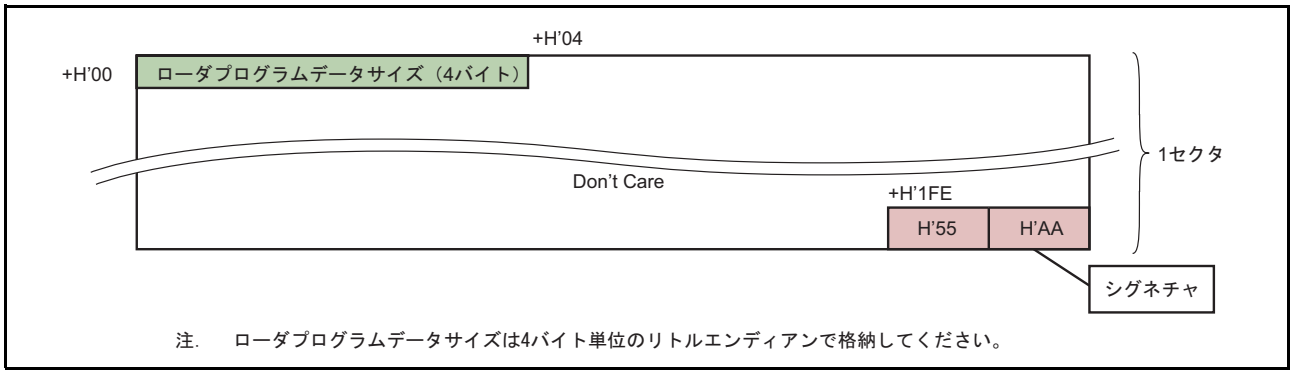


図 3.6 ローダプログラムの格納仕様

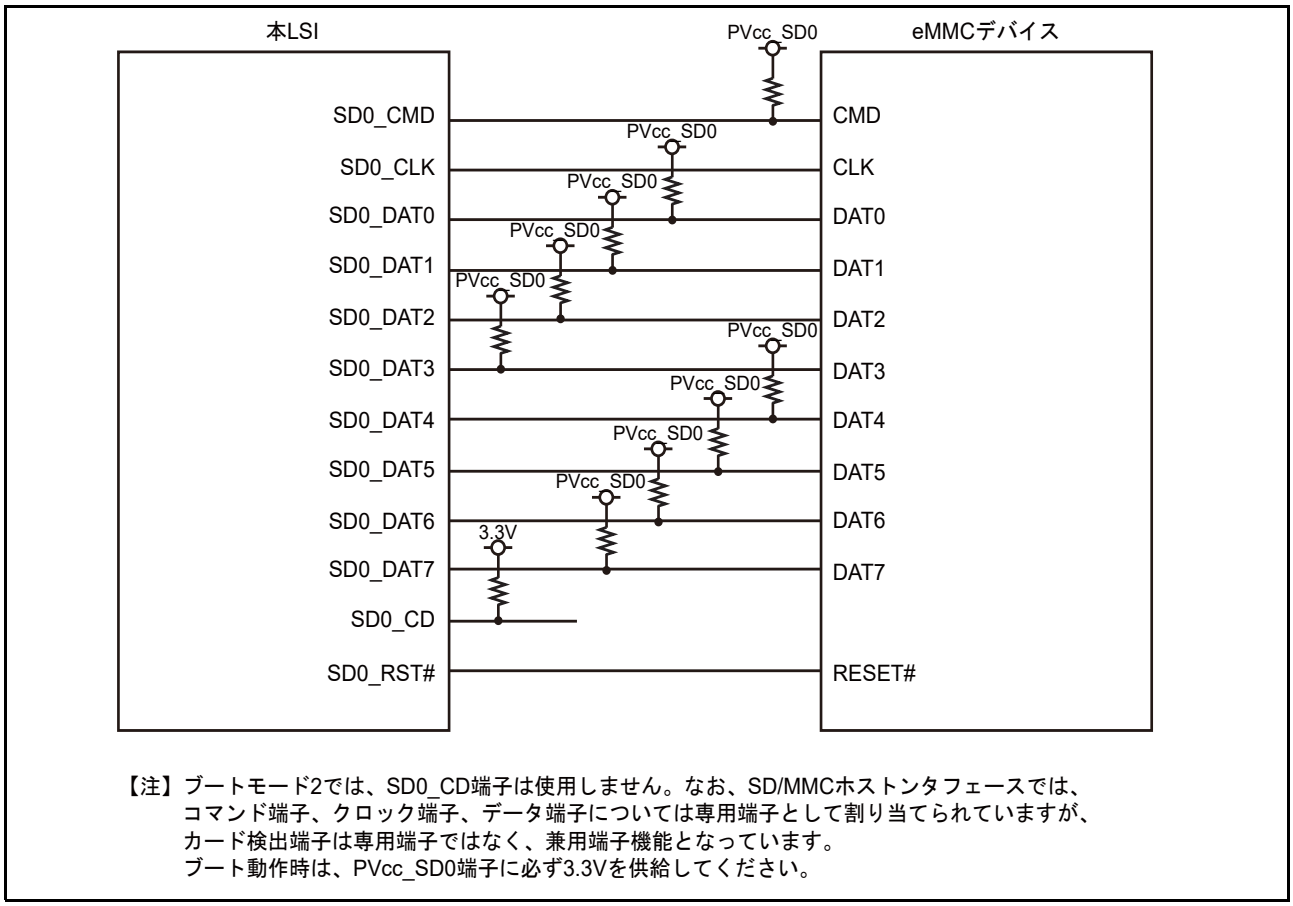


注.　ローダプログラムデータサイズは4バイト単位のリトルエンディアンで格納してください。

図 3.7　ローダプログラムサイズブロックの構成

表3.5　Extended CSD レジスタの設定値

eMMCデバイス Extended CSDのフィールド	設定内容
BOOT_BUS_WIDTH[177]	• Bit[4:3]のBOOT_MODEにB'00を設定（Alternative Boot Operation時、SDRモードでデータ転送） • Bit[1:0]のBOOT_BUS_WIDTHにB'10を設定（Alternative Boot Operation時、データバス幅 ８ビットで動作）
PARTITION_CONFIG[179]	• Bit[6]のBOOT_ACKにB'0を設定（Alternative Boot Operation時にeMMCデバイスがBOOT Acknowledgeを出力しない） • Bit[5:3]のBOOT_PARTITION_ENABLEにブートパーティションを設定 B'001: Boot Operation時にブートパーティション1のセクタ0からブート B'010: Boot Operation時にブートパーティション2のセクタ0からブート



【注】ブートモード2では、SD0_CD端子は使用しません。なお、SD/MMCホストンタフェースでは、
コマンド端子、クロック端子、データ端子については専用端子として割り当てられていますが、
カード検出端子は専用端子ではなく、兼用端子機能となっています。
ブート動作時は、PVcc_SD0端子に必ず3.3Vを供給してください。

図 3.8　eMMC デバイスとの接続例

3.5.4　ブートモード 3

ブートモード 3 は、SPI マルチ I/O バス空間に接続されたシリアルフラッシュメモリ（3.3V 品）からブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM（H'FFFF_0000 ～）に格納されているブートプログラムを実行します。

ブートプログラムは、SPI マルチ I/O バスコントローラのモジュールスタンバイ状態を解除し、SPI マルチ I/O バスコントローラを外部アドレス空間リードモードに設定します。設定により、本 LSI は SPI マルチ I/O バス空間へのリードを SPI 通信に変換し、接続されたシリアルフラッシュメモリに対し、直接リードが可能な状態となります。ブートプログラムは、SPI 通信変換に使用するシリアルフラッシュメモリへのコマンドとしてリードコマンド（オペコード：03H、アドレス：3 バイト、ダミーサイクル：なし）を設定します。SPI 通信変換によりシリアルフラッシュメモリに対して出力される制御信号を**図 3.9** に示します。

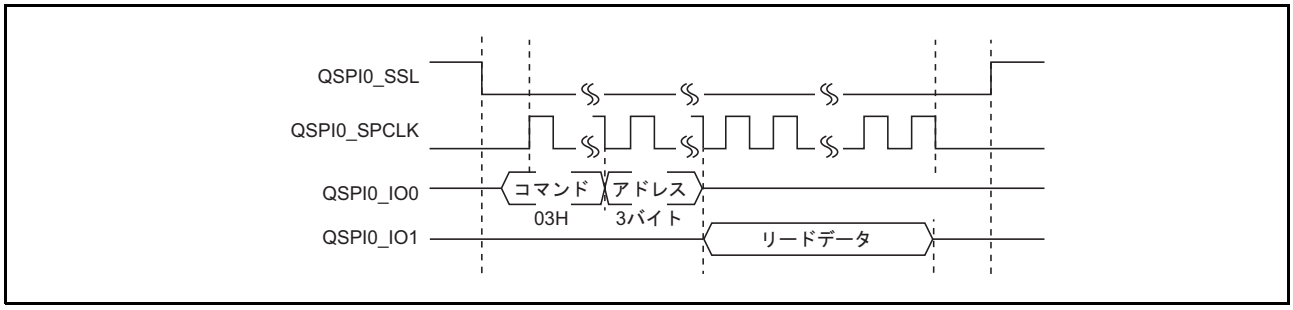


図 3.9　SPI 通信変換によりシリアルフラッシュメモリに対して出力される制御信号

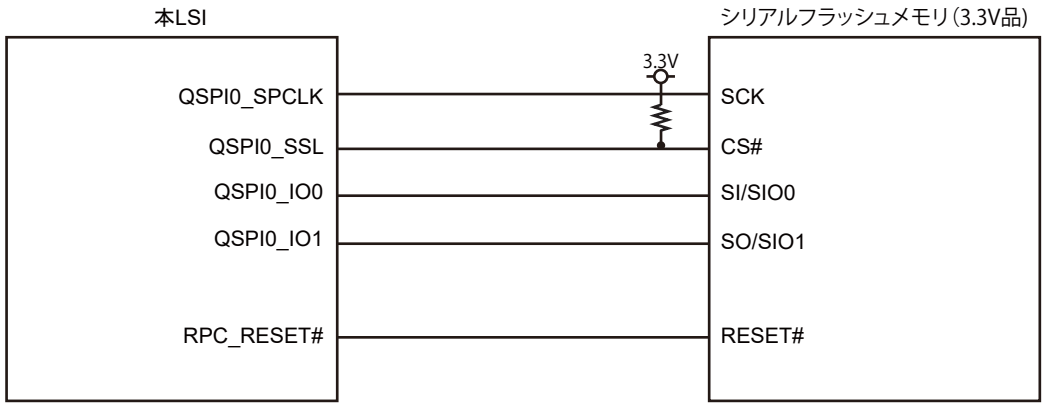
ブートプログラムは、ワークメモリとして H'8002_0000 ～ H'8002_3FFF 番地の領域を使用します。

ブートプログラムの処理完了時、H'2000_0000 番地（SPI マルチ I/O バス空間）に分岐します。

ブートプログラム実行後の各周辺モジュールの設定値を**表 3.6**、シリアルフラッシュメモリとの接続例を**図 3.10** に示します。

表3.6　ブートモード3の各周辺モジュールのレジスタ設定値

周辺モジュール	レジスタ	リセット解除後の初期値	ブートプログラム実行後の設定値
低消費電力モード	STBCR8	H'FF	H'F7
クロックパルス発振器	SCLKSEL	H'0000	H'0000
SPIマルチI/Oバスコントローラ	CMNCR	H'0155_7301	H'01AA_A200
	SSLDR	H'0000_0000	H'0000_0000
	DRCR	H'001F_0100	H'0003_0100
	DRCMR	H'00A0_0000	H'0003_0000
	DRENR	H'A222_D400	H'0000_4700
	DRDMCR	H'0000_000B	H'0000_0000
	DRDRENR	H'0000_5101	H'0000_0000
	PHYCNT	H'0000_0263	H'0000_0260
	PHYOFFSET1	H'2151_1144	H'3151_1144
	PHYINT	H'0707_0002	H'0707_0002
汎用入出力ポート	PPOC	H'0000_000F	H'0000_0101
	PSPIBSC	H'0FFF_FFFF	H'0555_5555



【注】 本接続例では、ブートモード3で使用する端子のみを記載しています。
4ビットシリアルフラッシュの接続は、「20. SPIマルチI/Oバスコントローラ」の図20.2 4ビットシリアルフラッシュ1個接続例、図20.3 4ビットシリアルフラッシュ2個接続例を参照してください。

図 3.10 ブートモード 3 使用時の接続例

3.5.5　ブートモード 4

ブートモード 4 は、SPI マルチ I/O バス空間に接続された Octal-SPI フラッシュメモリ (1.8V 品) からブートします。
本ブートモードではシリアルフラッシュメモリからのブートには対応していません。
このモードのとき、本 LSI はブートモード 3 と同じ動作をします。「3.5.4　ブートモード 3」を参照してください。
ブートプログラム実行後の各周辺モジュールの設定値を表 3.7、OctaFlash との接続例を図 3.11 に示します。

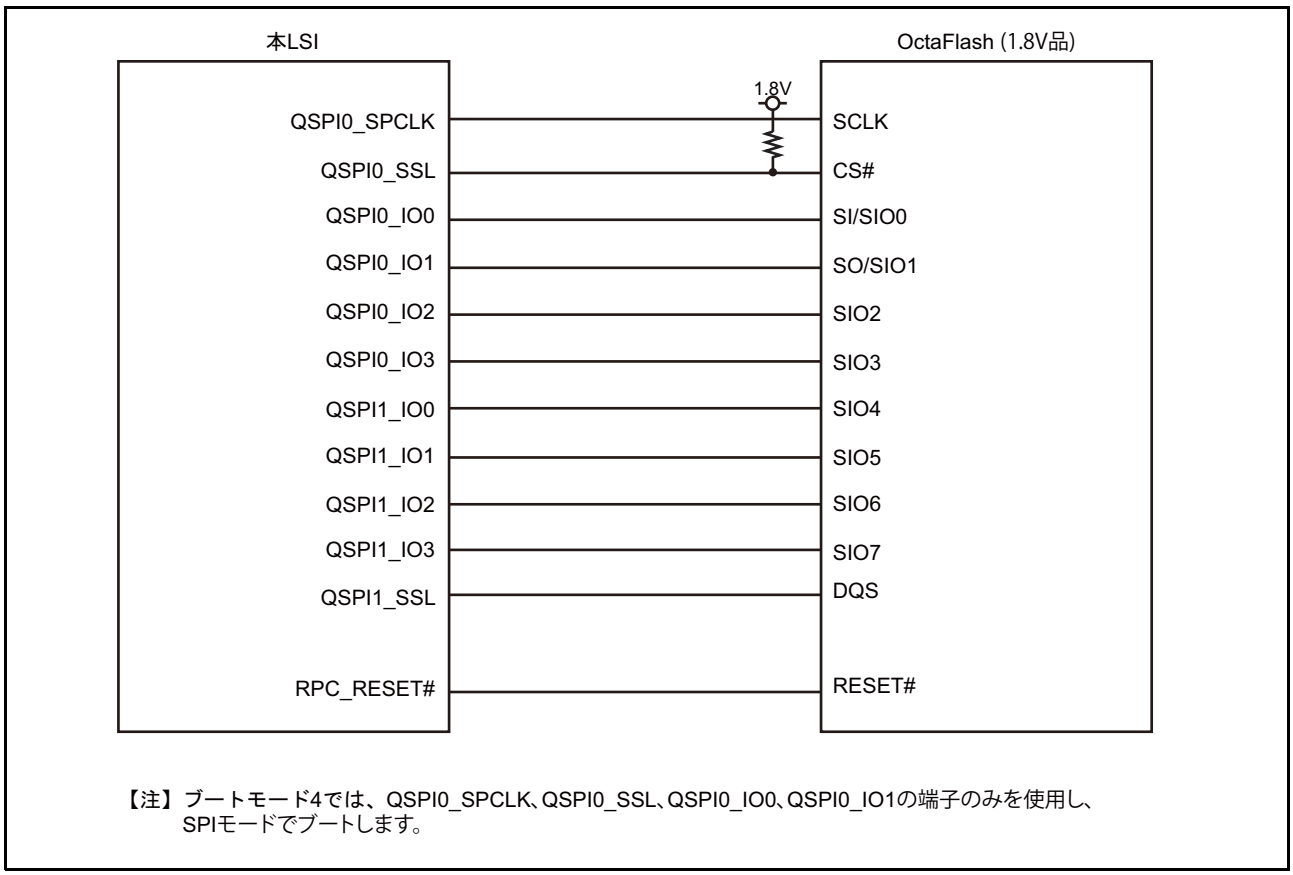


図 3.11　ブートモード 4 使用時の接続例

表3.7　ブートモード4の各周辺モジュールのレジスタ設定値

周辺モジュール	レジスタ	リセット解除後の初期値	ブートプログラム実行後の設定値
汎用入出力ポート	PPOC	H'0000_000F	H'0000_0100
	PSPIBSC	H'0FFF_FFFF	H'0FFF_FFFF
上記以外はブートモード 3 と同じです。			

3.5.6 ブートモード 5

ブートモード 5 は、SPI マルチ I/O バス空間に接続された HyperFlash (1.8V 品) からブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM (H'FFFF_0000 ~) に格納されているブートプログラムを実行します。

ブートプログラムは、SPI マルチ I/O バスコントローラのモジュールスタンバイ状態を解除し、SPI マルチ I/O バスコントローラを HyperFlash に対応した外部アドレス空間リードモードに設定します。設定により、本 LSI は SPI マルチ I/O バス空間へのリードトランザクションを HyperBus プロトコルに変換し、接続された HyperFlash に対して直接リードが可能な状態となります。

HyperBus プロトコル変換により HyperFlash に対して出力される制御信号を**図 3.12** に示します。なお、ブートモード 5 では、HyperFlash からの読み出し動作を規定しているため、HyperFlash のコンフィグレーションレジスタ（Non-Volatile）に対して**表 3.8** の設定を行ってください。

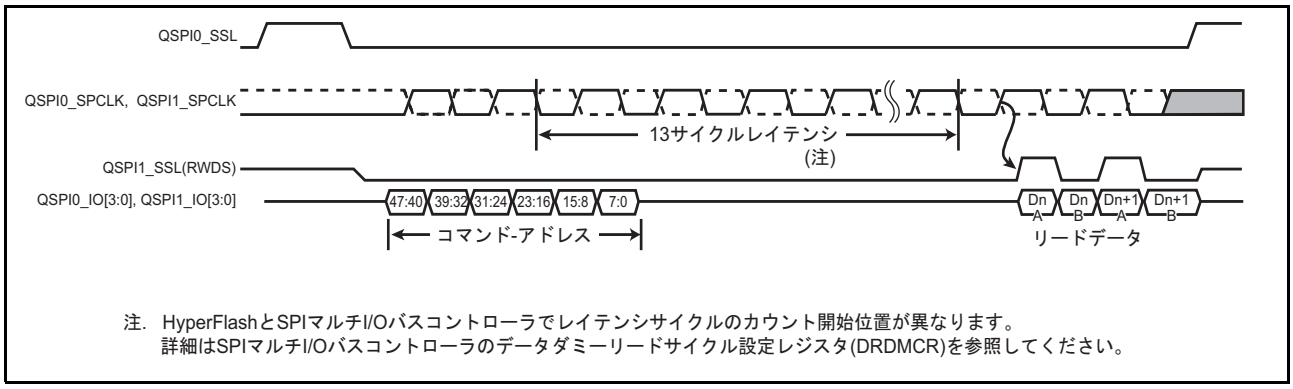


図 3.12 HyperBus プロトコル変換により HyperFlash に対して出力される制御信号

ブートプログラムは、ワークメモリとして H'8002_0000 ～ H'8002_3FFF 番地の領域を使用します。

ブートプログラムの処理完了時、H'2000_0000 番地（SPI マルチ I/O バス空間）に分岐します。

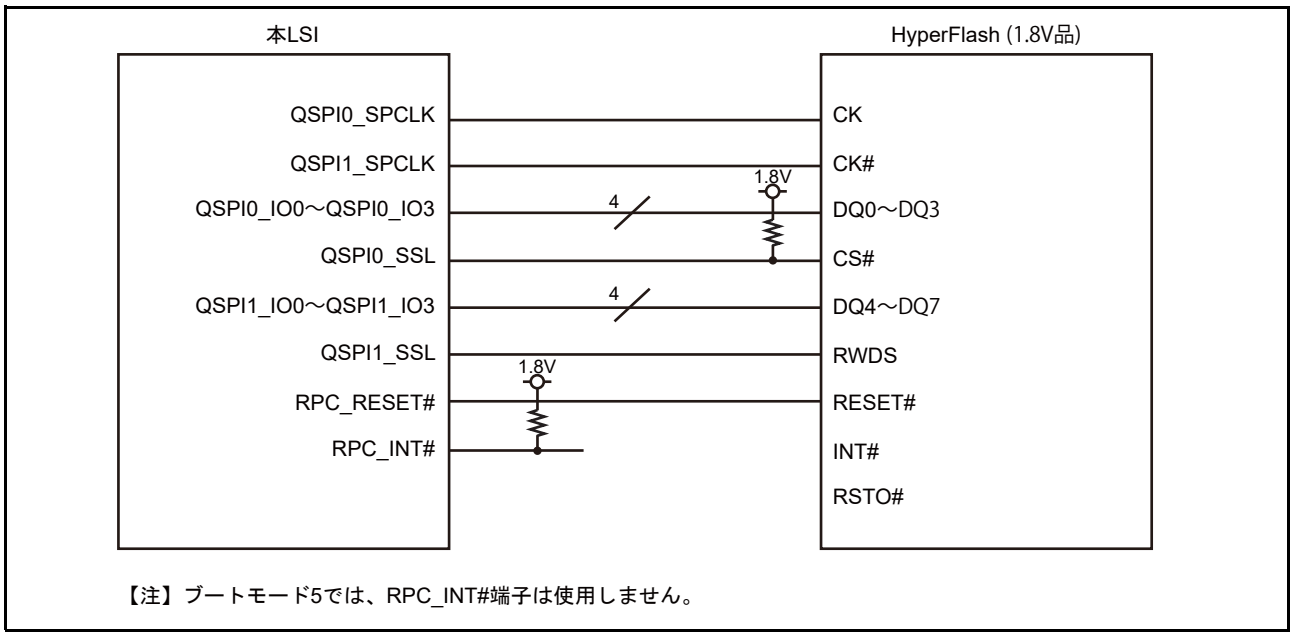
ブートプログラム実行後の各周辺モジュールの設定値を**表 3.9**、HyperFlash との接続例を**図 3.13** に示します。

表3.8 HyperFlashコンフィグレーションレジスタ（Non-Volatile）の設定値

ビット	ビット名	設定内容
[11]	NVCR Freeze	B'1 : VCR、NVCRの書き換えが可能
[7:4]	Read Latency	B'1000 : 13-Clock

表3.9 ブートモード5の各周辺モジュールのレジスタ設定値

周辺モジュール	レジスタ	リセット解除後の初期値	ブートプログラム実行後の設定値
低消費電力モード	STBCR8	H'FF	H'F7
クロックパルス発振器	SCLKSEL	H'0000	H'0001
SPIマルチI/Oバスコントローラ	CMNCR	H'0155_7301	H'0155_7301
	SSLDR	H'0000_0000	H'0000_0000
	DRCR	H'001F_0100	H'0003_0100
	DRCMR	H'00A0_0000	H'00A0_0000
	DRENR	H'A222_D400	H'A222_D400
	DRDMCR	H'0000_000B	H'0000_000B
	DRDRENR	H'0000_5101	H'0000_5101
	PHYCNT	H'0000_0263	H'0000_0263
	PHYOFFSET1	H'2151_1144	H'2151_1144
	PHYINT	H'0707_0002	H'0707_0002
汎用入出力ポート	PPOC	H'0000_000F	H'0000_000F
	PSPIBSC	H'0FFF_FFFF	H'0FFF_FFFF



【注】ブートモード5では、RPC_INT#端子は使用しません。

図 3.13 ブートモード 5 使用時の接続例

3.5.7　ブートモード 6

ブートモード 6 は、OctaFlash 空間に接続された OctaFlash (1.8V 品) からブートします。本ブートモードではシリアルフラッシュメモリからのブートには対応していません。

このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM (H'FFFF_0000 ~) に格納されているブートプログラムを実行します。

ブートプログラムは、Octa メモリコントローラのモジュールスタンバイ状態を解除し、Octa メモリコントローラを SPI 通信に対応したリードモードに設定します。

設定により、本 LSI は OctaFlash 空間へのリードトランザクションを SPI 通信に変換し、接続された OctaFlash に対して直接リードが可能な状態となります。ブートプログラムは、SPI 通信変換に使用する OctaFlash へのコマンドとしてリードコマンド (オペコード : 03H、アドレス : 3 バイト、ダミーサイクル : なし) を設定します。SPI 通信変換により OctaFlash に対して出力される制御信号を図 3.14 に示します。

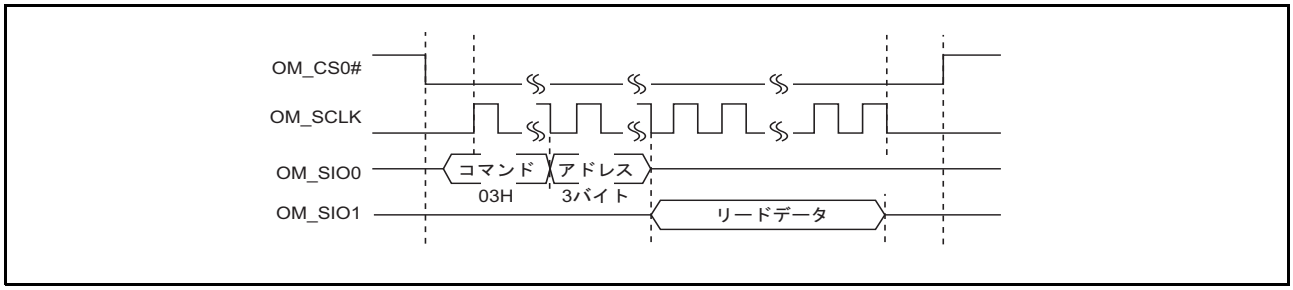


図 3.14　OctaFlash に対して出力される制御信号

ブートプログラムは、ワークメモリとして H'8002_0000 ～ H'8002_3FFF 番地の領域を使用します。

ブートプログラムの処理完了時、H'5000_0000 番地（OctaFlash 空間）に分岐します。

ブートプログラム実行後の各周辺モジュールの設定値を表 3.10、OctaFlash との接続例を図 3.15 に示します。

表3.10　ブートモード6の各周辺のモジュールのレジスタ設定値

周辺モジュール	レジスタ	リセット解除後の初期値	ブートプログラム実行後の設定値
低消費電力モード	STBCR9	H'FF	H'FB
クロックパルス発振器	SCLKSEL	H'0000	H'0000
Octa メモリコントローラ	DSR0	H'0000_0000	H'0100_0000
	DRCSTR	H'0000_0000	H'0000_0000
	CDSR	H'0000_0000	H'8000_0000
	MDLR	H'0000_0000	H'0000_0000
	MRWCR0	H'0000_0000	H'0000_0003
	MRWCSR	H'0000_0000	H'0000_000B
汎用入出力ポート	PHMOM0	H'3FFF_7FFE	H'3FFF_7FFF

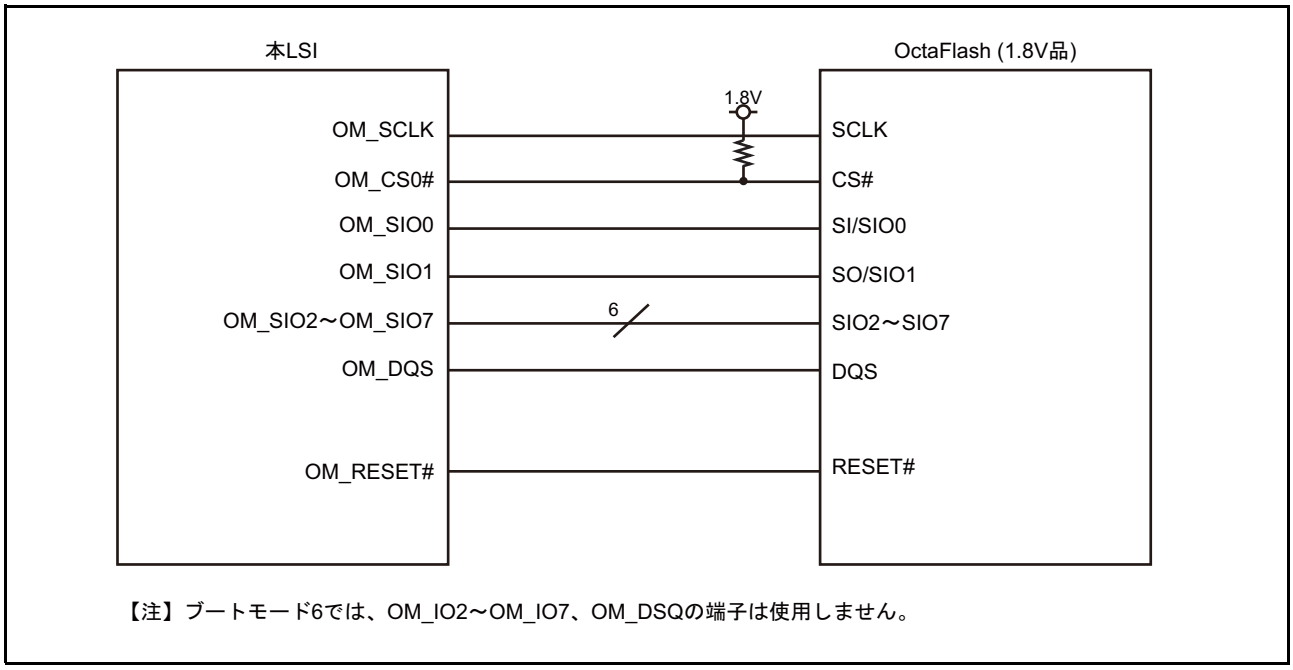


図 3.15 ブートモード 6 使用時の接続例

3.5.8 ブートモード 7

ブートモード 7 は、HyperFlash 空間に接続された HyperFlash (1.8V 品) からブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM (H'FFFF_0000 ~) に格納されているブートプログラムを実行します。

ブートプログラムは、HyperBus コントローラのモジュールスタンバイ状態を解除し、HyperBus コントローラのレジスタ設定処理を行います。

レジスタ設定処理により、本 LSI は HyperFlash 空間へのリードトランザクションを HyperBus プロトコルに変換し、接続された HyperFlash に対して直接リードが可能な状態となります。HyperBus プロトコル変換により HyperFlash に対して出力される制御信号を**図 3.16** に示します。

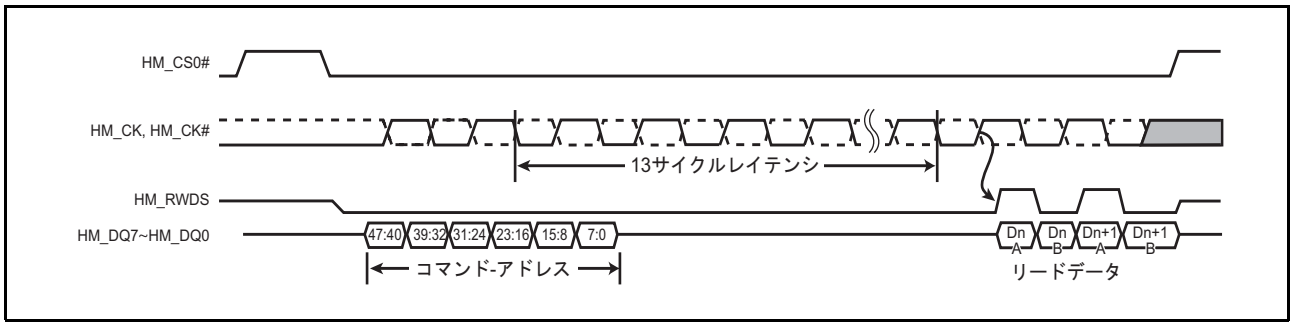


図 3.16 HyperBus プロトコル変換により HyperFlash に対して出力される制御信号

ブートプログラムは、ワークメモリとして H'8002_0000 ～ H'8002_3FFF 番地の領域を使用します。

ブートプログラムの処理完了時、H'3000_0000 番地（HyperFlash 空間）に分岐します。

ブートプログラム実行後の各周辺モジュールの設定値を**表 3.11**、HyperFlash との接続例を**図 3.17** に示します。

表3.11 ブートモード7の各周辺のモジュールのレジスタ設定値

周辺モジュール	レジスタ	リセット解除後の初期値	ブートプログラム実行後の設定値
低消費電力モード	STBCR9	H'FF	H'F7
クロックパルス発振器	SCLKSEL	H'0000	H'0010
HyperBusコントローラ	IEN	H'0000_0000	H'0000_0000
	MCR0	H'0000_0003	H'0000_0003
	MTR0	H'0000_0001	H'0000_0001
汎用入出力ポート	PHMOM0	H'3FFF_7FFE	H'3FFF_7FFE

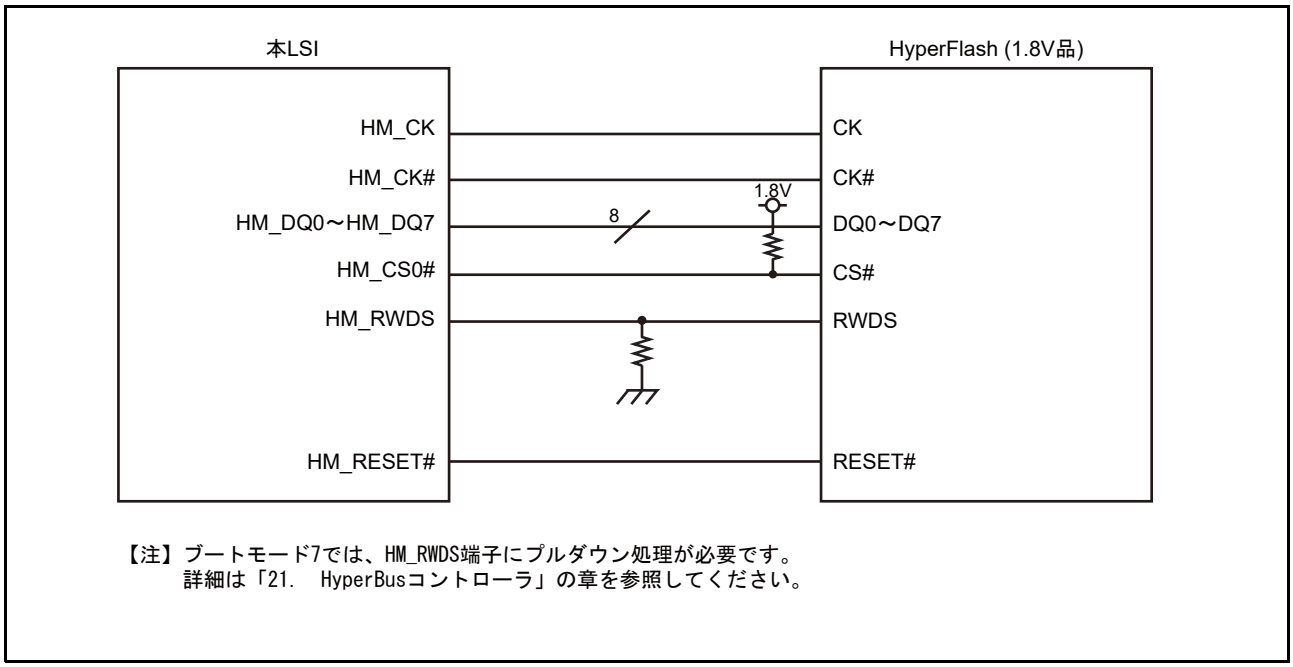


図 3.17 ブートモード 7 使用時の接続例

3.6 カレントプログラムステータスレジスタ (CPSR) の設定値

カレントプログラムステータスレジスタ (CPSR) の設定値を表 3.12 に示します。

表3.12 カレントプログラムステータスレジスタ（CPSR）の設定値

ビット	ビット名	リセット解除後の初期値	ブートプログラム実行後の設定値
7	I	1（IRQ例外禁止）	1（IRQ例外禁止）
6	F	1（FIQ例外禁止）	1（FIQ例外禁止）
5	T	0（Arm状態）	0（Arm状態）
[4:0]	M	B’10011（SVC:スーパバイザ）	B’10011（SVC:スーパバイザ）

3.7 注意事項

3.7.1 ブート関連端子

ブートモードにより、CS0 空間のメモリリード、SPI マルチ I/O バス空間のメモリリード、SD/MMC ホストインタフェースのチャネル 0、Octa メモリコントローラ、HyperBus コントローラに関連する端子の初期状態、ディープスタンバイ時の端子出力状態などが異なります。

詳細については、それぞれ「8. バスステートコントローラ」、「51. 汎用入出力ポート」、「52. 低消費電力モード」の章を参照してください。

3.7.2 例外ベクタ配置がハイベクタ設定で例外が発生した時の動作

本 LSI は、例外ベクタ配置がハイベクタ設定時にリセット以外の例外が発生すると、表 3.13 に示すアドレスでプログラムカウンタが自番地ループします。このため、ブートモード 1 ～ 7 を使用する場合、リセット以外の例外が発生する前に CP15 System Control Register (SCTLR) の V ビットを 0 に設定し、例外ベクタ配置をローベクタ設定にしてください。CP15 System Control Register (SCTLR) の詳細は、Arm Architecture Reference Manual を参照してください。

表 3.13 自番地ループのアドレス

発生した例外	自番地ループのアドレス
未定義命令例外	H'FFFF_0004
ソフトウェア割り込み例外	H'FFFF_0008
プリフェッチアボート例外	H'FFFF_000C
データアボート例外	H'FFFF_0010
IRQ 例外	H'FFFF_0018
FIQ 例外	H'FFFF_001C

3.7.3 ブートモード 3、4、6 での本 LSI リセット発生時の注意事項

ブートモード 3 (シリアルフラッシュブート 3.3V 品)、ブートモード 4 (Octal-SPI フラッシュブート)、ブートモード 6 (OctaFlash ブート) では、ブート時にフラッシュメモリへのコマンドとしてリードコマンド（オペコード：03H、アドレス：3 バイト、ダミーサイクル：なし）を設定します。そのため、フラッシュメモリがリードコマンドを受け付けることができない状態で、本 LSI がリセット状態となった場合、正常にブートできない可能性があります。

たとえば、フラッシュメモリの消去中のビジー状態時に、本 LSI がリセットされた場合、フラッシュメモリはリードコマンドを受け付けることができません。

このようなフラッシュメモリがリードコマンドを受け付けることができない状態で、本 LSI がリセットとなるシステム構成の場合は、リセット端子付きのフラッシュメモリをご使用いただくか、リセット発生時にフラッシュメモリの電源をいったん遮断するなどして本 LSI のリセット解除時にフラッシュメモリが必ずリードコマンドを受け付けられるようにしてください。

4. 2 次キャッシュ

本製品には、2 次キャッシュとして Arm 社の PL310 を搭載しています。IP のバージョンは r3p3 です。

4.1 特長

- Total Cache size: 128KB
- Way: 8way
- Number of Master ports: 2
- Number of Slave ports: 2
- Lockdown by master: no
- Lockdown by line: defined
- Speculative read: no
- Sideband signal from CA9: no
- Support for cache parity error detection: yes

詳細は、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。

4.2 構成信号

表 4.1 に PL310 構成信号の設定値を示します。

表4.1　構成信号の設定値

構成信号	設定値
ASSOCIATIVITY（注1）	1'b0 (8way)
CACHEID[5:0]	6'b000000
CFGADDRFILTEN（注1）	1'b1
CFGADDRFILTEND[11:0]（注1）	12'h300
CFGADDRFILTSTART[11:0]（注1）	12'h1F8
CFGBIGEND	1'b0
DATAREADLAT[2:0]（注1）	3'b000
DATASETUPLAT[2:0]（注1）	3'b000
DATAWRITELAT[2:0]（注1）	3'b000
REGFILEBASE[19:0]（注2）	20'h1F003
TAGREADLAT[2:0]（注1）	3'b000
TAGSETUPLAT[2:0]（注1）	3'b000
TAGWRITELAT[2:0]（注1）	3'b000
WAYSIZE[2:0]（注1）	3'b001 (16Kbyte)

注1.　初期値(設定値)のまま使用し、ソフトウェアでの書き換えは行わないでください。
注2.　PL310のレジスタベースアドレスは H'1F003000 です。レジスタの概要・詳細については、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。

5. LSI 内部バス

5.1 LSI 内部バス

5.1.1 構成

本 LSI は、周辺モジュールが接続されるノース基幹バス、内蔵 RAM、外 ROM/RAM が接続されるサウス基幹バスの２つの基幹バスで構成されています。概略図を**図 5.1** に示します。

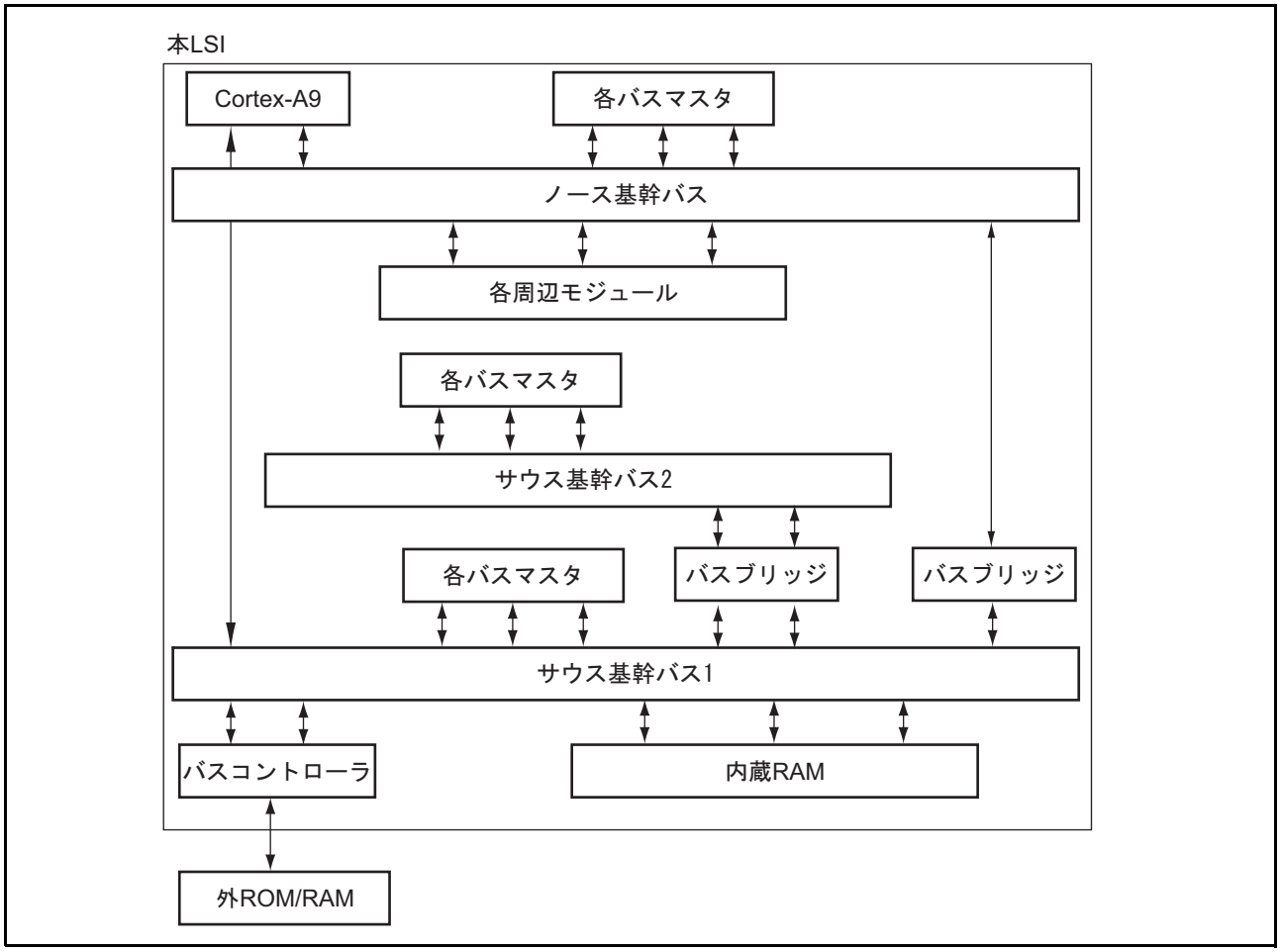


図 5.1 LSI 内部バス概略図

5.1.2 動作説明

Cortex A9 はノース基幹バス、サウス基幹バス１、それぞれにインタフェースを持っています。ノース基幹バスに割り当てられているアドレスへはノース基幹バスインタフェースから、サウス基幹バス１に割り当てられているアドレスへはサウス基幹バス１インタフェースからアクセスします。

Cortex A9 を除いて、ノース基幹バスに接続されるバスマスタが内蔵 RAM、外 ROM/RAM へアクセスする場合は、ノース基幹バス→サウス基幹バスのバスブリッジを通して行います。サウス基幹バス１、２に接続されているバスマスタが、ノース基幹バスに割り当てられているアドレスへアクセスすることはできません。

5.2 ノース基幹バス

5.2.1 構成

ノース基幹バスには、各周辺モジュールが接続されます。ノース基幹バスの構成を図 5.2 に示します。

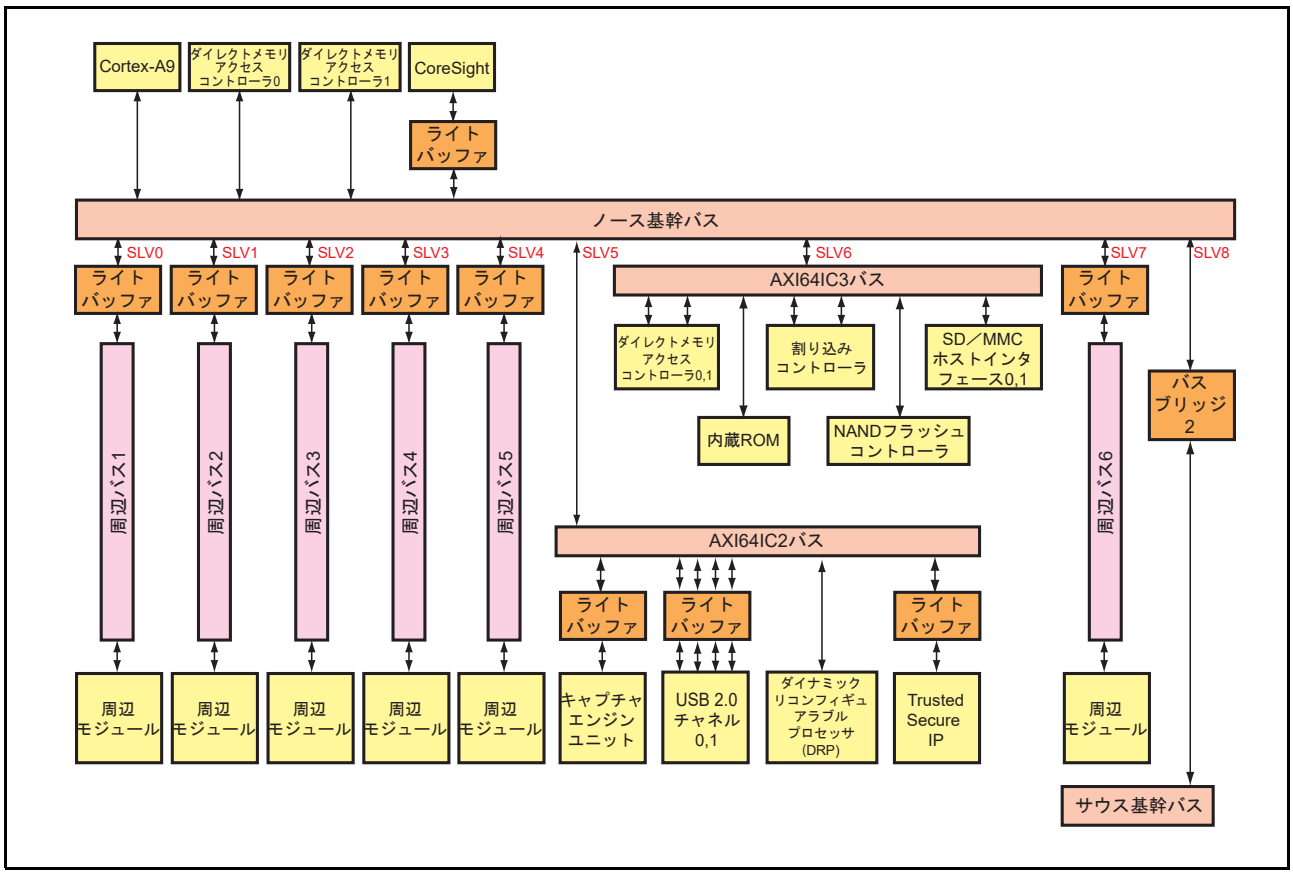


図 5.2 ノース基幹バス構成図

5.2.2 特長

ノース基幹バスの特長を表 5.1 に記載します。

表5.1 ノース基幹バス

項目	内容
バスプロトコル	AMBA® AXI プロトコル
バスシステム構成	全チャネルマルチレイヤ構成の AXI インターコネクト
バス周波数	Bφ
バス幅	64 ビット
アービトレーション	ラウンドロビン

5.2.3 周辺バス

ノース基幹バスに接続されている周辺バスの一覧を、表 5.2 に示します。

表5.2 周辺バス一覧

項目	内容
周辺バス1	
バス周波数	P0φ
バス幅	32ビット
接続周辺モジュール	リアルタイムクロック0,1チャネル
	ビデオディスプレイコントローラ6
	歪み補正エンジン(IMR-LS2)
周辺バス2	
バス周波数	P0φ
バス幅	32ビット
接続周辺モジュール	クロックパルス発振器
	割り込みコントローラ
	ダイレクトメモリアクセスコントローラ0,1ユニット
	汎用入出力ポート
周辺バス3	
バス周波数	P1φ
バス幅	32ビット
接続周辺モジュール	CANFDインタフェース
	スプライトエンジン
	OSタイマ 0～2チャネル
	I^2Cバスインタフェース 0～3チャネル
	ルネサスSPDIFインタフェース
	シリアルサウンドインタフェース 0～3チャネル
	マルチファンクションタイマパルスユニット3
	汎用PWMタイマ
	ポートアウトプットイネーブル
	OTP
周辺バス4	
バス周波数	P1φ
バス幅	32ビット
接続周辺モジュール	FIFO内蔵シリアルコミュニケーションインタフェース 0～4チャネル
	シリアルコミュニケーションインタフェース 0,1チャネル
	ルネサスシリアルペリフェラルインタフェース 0～2チャネル
	A/Dコンバータ
	JPEGコーデックユニット

項目	内容
周辺バス 5	
バス周波数	Bφ
バス幅	32 ビット
接続周辺モジュール	イーサネット MAC コントローラ 0,1 チャネル
	2D 描画エンジン
	MIPI CSI-2 インタフェース
	ビデオインプットモジュール
AXI64IC2、AXI64IC3 バス	
バスプロトコル	AMBA AXI プロトコル
バスシステム構成	全チャネルマルチレイヤ構成の AXI インターコネクト
バス周波数	Bφ
バス幅	64 ビット
アービトレーション	ラウンドロビン
周辺バス 6	
バス周波数	P1φ
バス幅	32 ビット
接続周辺モジュール	CoreSight

5.3 サウス基幹バス

5.3.1 構成

サウス基幹バスには、内蔵 RAM、外 ROM/RAM が接続されます。サウス基幹バスの構成を図 5.3 に示します。

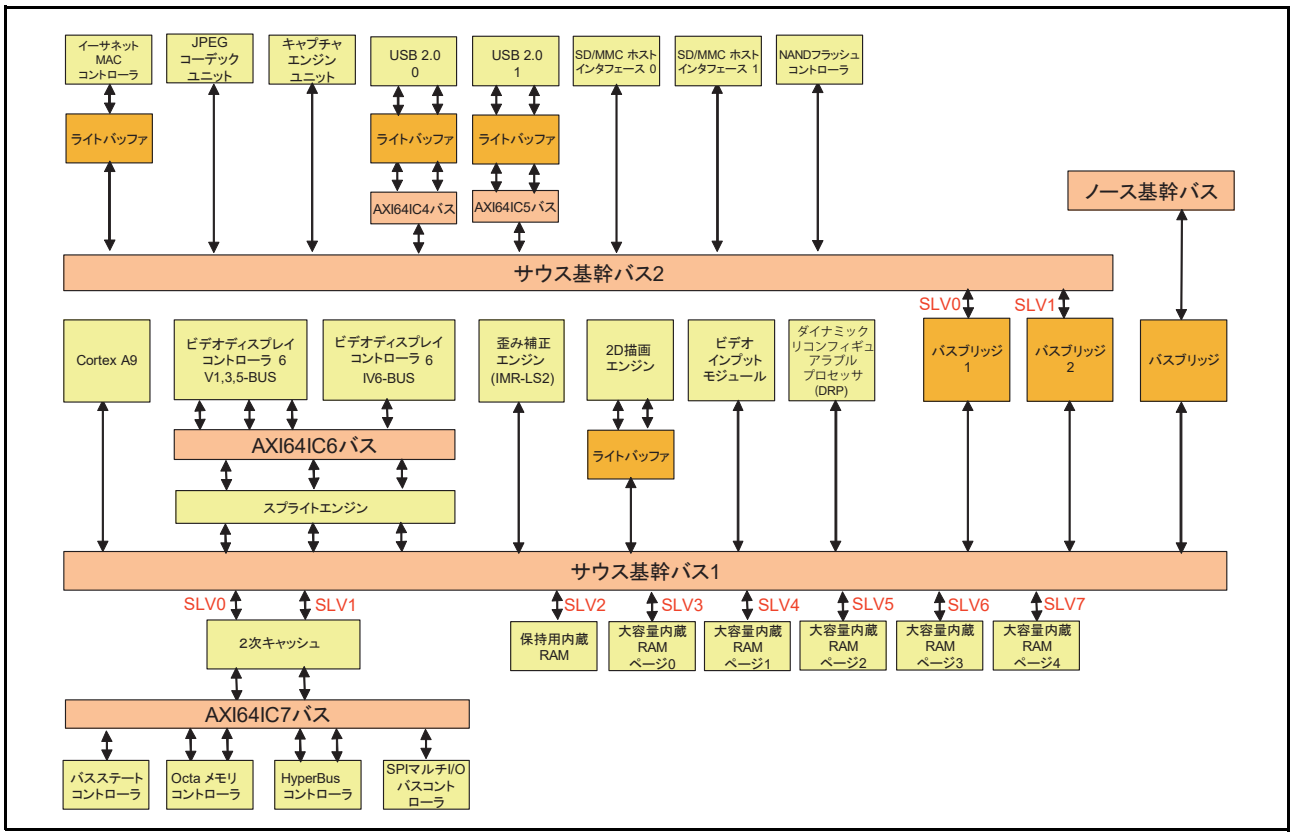


図 5.3 サウス基幹バス構成図

5.3.2 特長

サウス基幹バスの特長を表 5.3 に記載します。

表5.3 サウス基幹バス

項目	内容
サウス基幹バス1	
バスプロトコル	AMBA AXI プロトコル
バスシステム構成	全チャネルマルチレイヤ構成の AXI インターコネクト
バス周波数	Bφ
バス幅	128 ビット
アービトレーション	ラウンドロビン
サウス基幹バス2	
バスプロトコル	AMBA AXI プロトコル
バスシステム構成	全チャネルマルチレイヤ構成の AXI インターコネクト
バス周波数	Bφ
バス幅	64 ビット
アービトレーション	ラウンドロビン

5.3.3 接続バス

サウス基幹バスに接続されているバスの一覧を、表 5.4 に示します。

表 5.4 サウス基幹バスへの接続バス一覧

項目	内容
AXI64IC4、AXI64IC5、AXI64IC6、AXI64IC7 バス	
バスプロトコル	AMBA AXI プロトコル
バスシステム構成	全チャネルマルチレイヤ構成の AXI インターコネクト
バス周波数	Bφ
バス幅	64 ビット
アービトレーション	ラウンドロビン

5.4 アドレスマップ

本 LSI のアドレスマップを表 5.5 に示します。

表5.5 アドレスマップ

アドレス	領域	ノース基幹バスマスタから見たスレーブ領域	AXI64IC4 バスマスタからみたスレーブ領域	サウス基幹バスマスタから見たスレーブ領域
H'FFFF_0000～H'FFFF_FFFF	IO 領域	SLV6 内蔵 ROM	—	—
H'FD00_0000～H'FFFE_FFFF	予約領域	—		
H'FCFF_0000～H'FCFF_FFFF	IO 領域	SLV0		
H'FCFE_0000～H'FCFE_FFFF	IO 領域	SLV1		
H'FC04_0000～H'FCFD_FFFF	予約領域	—		
H'FC00_0000～H'FC03_FFFF	IO 領域	SLV7 (注 1,2)		
H'F000_2000～H'FBFF_FFFF	予約領域	—		
H'F000_0000～H'F000_1FFF	Cortex A9 プライベート領域	—		
H'EB00_0000～H'EFFF_FFFF	予約領域	—		
H'EA00_0000～H'EAFF_FFFF	IO 領域	SLV5		
H'E824_0000～H'E9FF_FFFF	予約領域	—		
H'E822_0000～H'E823_FFFF	IO 領域	SLV6 (注 3)		
H'E821_0000～H'E821_FFFF	IO 領域	SLV5 (注 4)		
H'E820_0000～H'E820_FFFF	IO 領域	SLV4		
H'E805_0000～H'E81F_FFFF	予約領域	—		
H'E802_0000～H'E804_FFFF	IO 領域	SLV2		
H'E800_0000～H'E801_FFFF	IO 領域	SLV3		
H'E000_0000～H'E7FF_FFFF	予約領域	—		
H'8040_0000～H'DFFF_FFFF	予約領域	—		-

アドレス	領域	ノース基幹バスマスタから見たスレーブ領域	AXI64IC4 バスマスタからみたスレーブ領域	サウス基幹バスマスタから見たスレーブ領域
H'8030_0000～H'803F_FFFF	大容量内蔵 RAM ページ 4 (1MB)	SLV8	SLV1	SLV7
H'8020_0000～H'802F_FFFF	大容量内蔵 RAM ページ 3 (1MB)			SLV6
H'8010_0000～H'801F_FFFF	大容量内蔵 RAM ページ 2 (1MB)		SLV0	SLV5
H'8008_0000～H'800F_FFFF	大容量内蔵 RAM ページ 1 (512KB)			SLV4
H'8002_0000～H'8007_FFFF	大容量内蔵 RAM ページ 0, (保持用内蔵 RAM 含) (512KB)			SLV3
H'8000_0000～H'8001_FFFF				SLV2
H'7000_0000～H'7FFF_FFFF	予約領域	—		—
H'6000_0000～H'6FFF_FFFF	OctaRAM™ 空間 (256MB)	SLV8	SLV0	SLV0
H'5000_0000～H'5FFF_FFFF	OctaFlash™ 空間 (256MB)			
H'4000_0000～H'4FFF_FFFF	HyperRAM™ 空間 (256MB)			
H'3000_0000～H'3FFF_FFFF	HyperFlash™ 空間 (256MB)			
H'2000_0000～H'2FFF_FFFF	SPI マルチ I/O バス空間 (256MB)		SLV1	SLV1
H'1F80_9000～H'1FFF_FFFF	予約領域	—		—
H'1F80_8000～H'1F80_8FFF	IO 領域	SLV8	SLV1	SLV1
H'1F80_1000～H'1F80_7FFF	予約領域	—		—
H'1F80_0000～H'1F80_0FFF	IO 領域	SLV8	SLV1	SLV1
H'1F40_2000～H'1F7F_FFFF	予約領域	—		—
H'1F40_1000～H'1F40_1FFF	IO 領域	SLV8	SLV0	SLV0
H'1F40_0000～H'1F40_0FFF				
H'1F00_4000～H'1F3F_FFFF	予約領域	—		—
H'1F00_3000～H'1F00_3FFF	IO 領域	SLV8	SLV0	SLV0
H'1F00_0000～H'1F00_2FFF				
H'1C00_0000～H'1EFF_FFFF	予約領域	—		—
H'1800_0000～H'1BFF_FFFF	予約領域	—	—	—

アドレス	領域	ノース基幹バスマスタから見たスレーブ領域	AXI64IC4 バスマスタからみたスレーブ領域	サウス基幹バスマスタから見たスレーブ領域
H'1400_0000～H'17FF_FFFF	CS5 空間 (64MB)	SLV8	SLV0	SLV0
H'1000_0000～H'13FF_FFFF	CS4 空間 (64MB)			
H'0C00_0000～H'0FFF_FFFF	CS3 空間 (64MB)			
H'0800_0000～H'0BFF_FFFF	CS2 空間 (64MB)			
H'0400_0000～H'07FF_FFFF	CS1 空間 (64MB)			
H'0000_0000～H'03FF_FFFF	CS0 空間 (64MB)			

注1. Cortex A9、CoreSight のみアクセス可能です。その他のノース基幹バスマスタからのアクセスは、デコードエラーとなります。
注2. CoreSight の状態により、スレーブエラーを返すことがあります。
注3. アドレス H'E822_3000～H'E822_5FFF、H'E822_C000～H'E823_FFFF をアクセスした場合、スレーブエラーとなります。
注4. アドレス H'E821_5000～H'E821_7FFF、H'E821_C000～H'E821_FFFF をアクセスした場合、スレーブエラーとなります。
注5. 大容量内蔵 RAM をアクセス無効時にアクセスした場合、スレーブエラーとなります。
注6. “—“で記載されている箇所にアクセスした場合、デコードエラーまたはスレーブエラーとなります。
注7. IO 領域へのアクセスは、各スレーブモジュールで指定されたサイズでアクセスしてください。

5.5　アドレス・リマップ

5.5.1　概要

Cortex-A9 はリセットや割り込み等の例外発生時にアドレス H'0000_0000 ～ H'0000_001C に配置されている例外ベクタにジャンプします。割り込み応答時間は、この領域に接続されているメモリのアクセス時間に依存し、低速メモリが接続されている場合にはオーバーヘッドが大きくなります。上記を回避する方法として、MMU もしくはベクタベースアドレスレジスタにより、例外ベクタを高速な内蔵 RAM に再マッピングする方法。もしくは、アドレス・リマップ機能を使用することで、例外ベクタが配置されているアドレスを高速な内蔵 RAM に配置する方法があります。

図 5.4 にアドレス・リマップ前後のアドレスマップを示します。

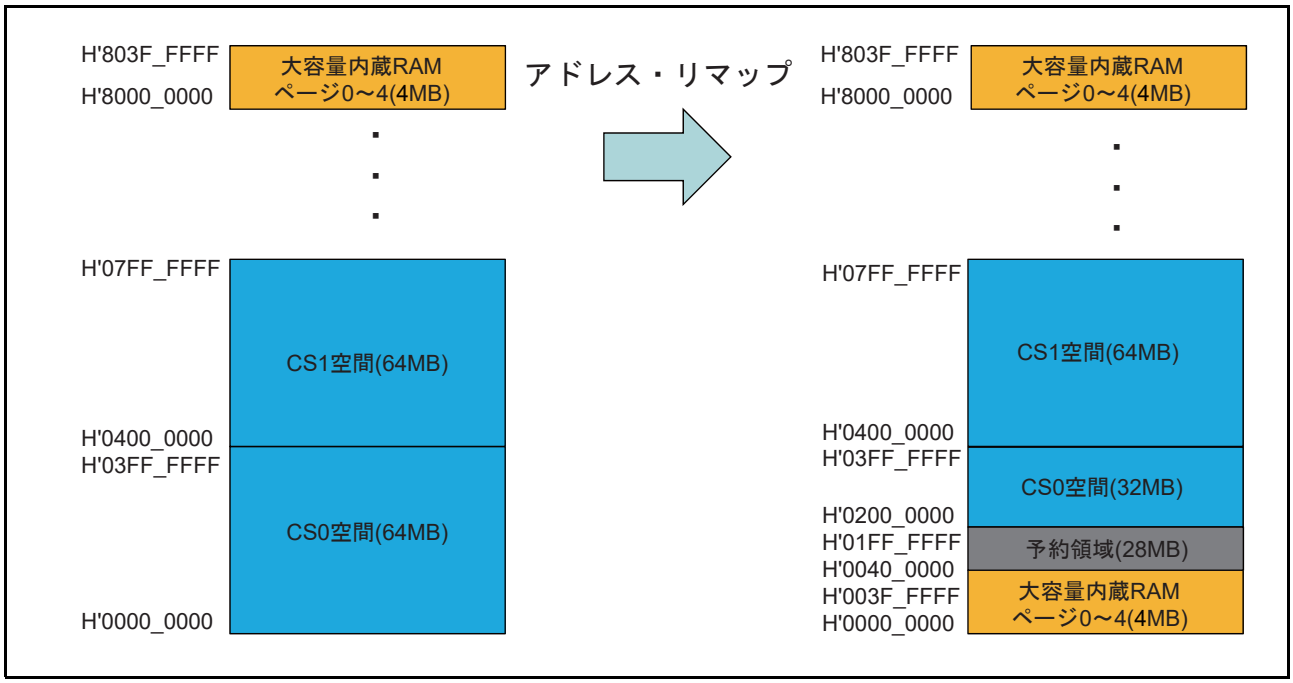


図 5.4　アドレス・リマップ

5.5.2　動作説明

リマップレジスタの AXI128 ビットを “0” に設定することで、アドレス・リマップを行います。
アドレス・リマップが完了すると、大容量内蔵 RAM ページ 0 ～ 4 がアドレス H'0000_0000 ～ H'003F_FFFF に配置されます。

アドレス・リマップ中は、アドレス H'0000_0000 ～ H'003F_FFFF 領域へのアクセスを禁止します。このため、リマップレジスタは、下記手順で書き換えてください。

1. Cortex-A9 以外のバスマスタを停止する。
   または、必ずアドレス H'0000_0000 ～ H'003F_FFFF 領域をアクセスしない設定にする。
2. アドレス H'0000_0000 ～ H'003F_FFFF 以外の領域でプログラムを実行する。
3. リマップレジスタを書き換え後、リマップレジスタをダミーリードする。

5.6 AXI インターコネクト

5.6.1 構成

本 LSI の AXI インターコネクトは、全チャネルでマルチレイヤ構成となっています。
図 5.5 に AXI インターコネクトの構成概念図を示します。

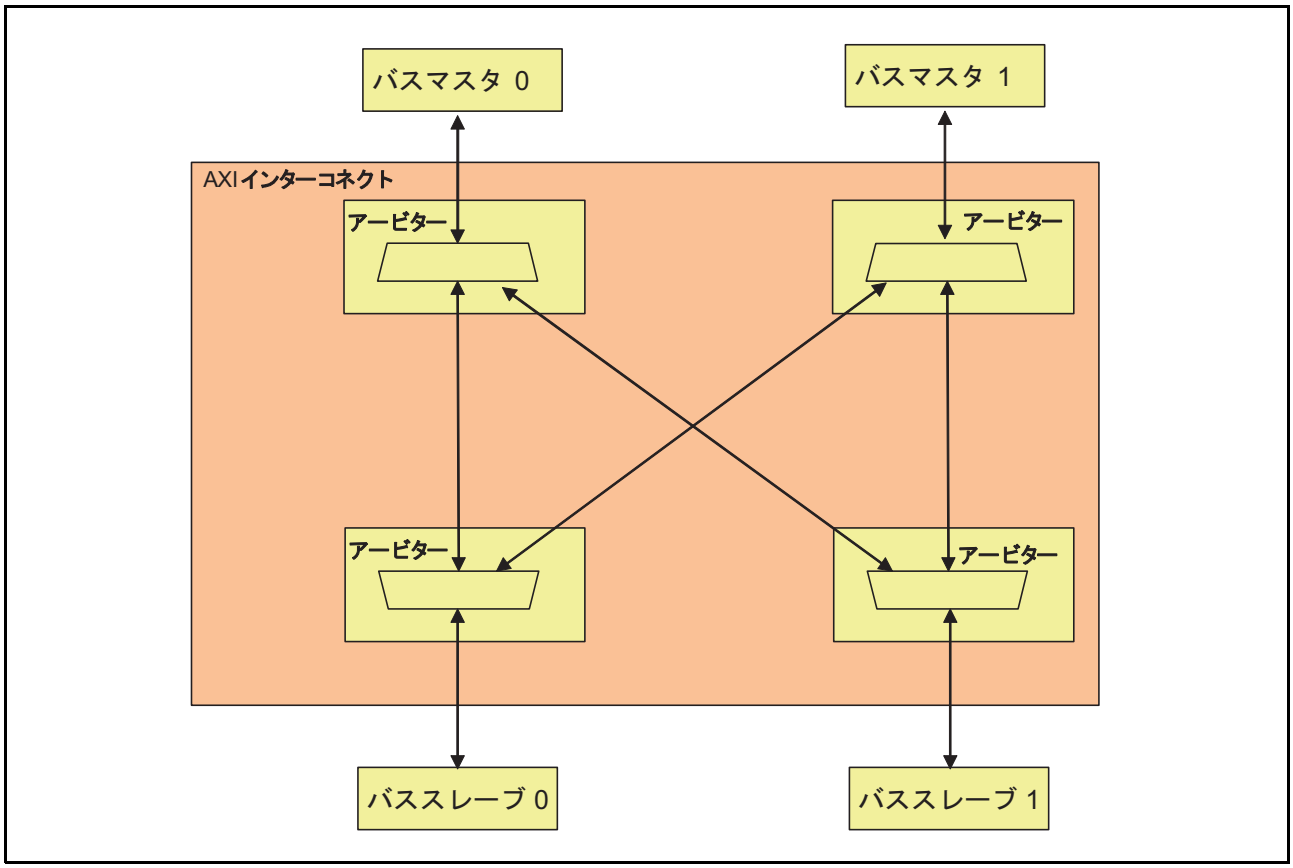


図 5.5 AXI インターコネクトの構成概念図

5.6.2 動作説明

AXI インターコネクトは、全チャネルで全バスマスタ⇔全バススレーブ間の配線が全てあります。各バスマスタ／スレーブが、各バススレーブ／マスタへアクセスを行った場合、アービターにてバス権調停後に転送を行います。バス権の優先順位は、ラウンドロビン方式によって切り替わります。各バスマスタ／スレーブがそれぞれ異なるバススレーブ／マスタへアクセスする場合、複数のバスマスタ／スレーブからのアクセスを並列に実行することができます。しかし、同一のバススレーブ／マスタへのアクセスが同時に発生した場合、アービターにてバス権調停が行われます。バス権を取得できなかったバスマスタ／スレーブは、アクセス先のバスマスタ／スレーブが複数転送の受け入れができない場合、バス権を取得したバスマスタ／スレーブの転送完了まで待ち状態となります。アクセス先のバスマスタ／スレーブが複数転送の受け入れ可能な場合は、次の転送タイミングで再度バス権調停が行われます。

5.7 バスブリッジ

ノース基幹バスからサウス基幹バスへのアクセスと AXI64IC4 バスからサウス基幹バスへのアクセスは、バスブリッジを通して行われます。ノース基幹バスからサウス基幹バスへのアクセスに使用されるバスブリッジは 1 つ、AXI64IC4 バスからサウス基幹バスへのアクセスに使用されるバスブリッジは 2 つあり、AXI64IC4 バスからサウス基幹バスへのアクセスに関してはアクセスするスレーブ領域によって、使用されるバスブリッジが決まります。アクセスするスレーブ領域の割り当てについては、**表 5.5** を参照してください。

本バスブリッジは同時に 8 つまでの転送を受け入れることができます。またアウトオブオーダーをサポートしています。そのため、異なるバスマスタから低速な外 ROM アクセス、高速な内蔵 RAM アクセスの順番で連続して発生した場合、内蔵 RAM アクセスは、前に発行された外 ROM アクセスを待つことなく転送を行う事ができます。

5.8 AXI プロトコルの制御信号

AXI プロトコルの制御信号をマスタモジュール毎に任意に設定することができます。AXI プロトコルの制御信号詳細については、Arm 社の「AMBA AXI Protocol Specification」を参照してください。

5.8.1 Cortex-A9/CoreSight/ ダイレクトメモリアクセスコントローラを除くバスマスタ

(1) キャッシュ制御（ARCACHE[3:0]、AWCACHE[3:0]）

AXI バスコントロールレジスタ (AXIBUSCTL) により、各マスタモジュールの ARCACHE[3:0]、AWCACHE[3:0] 信号を設定することができます。設定を行う際は、必ず設定対象のマスタモジュールが AXI バスを使用していない状態で行ってください。

(2) 応答シグナル（RRESP[1:0]、BRESP[1:0]）

AXI バス応答エラーステータスレジスタ (AXIRERRST) により、各マスタモジュールが受け取った RRESP[1:0]、BRESP[1:0] 信号を読み出すことができます。応答エラー発生時、レジスタの値は更新されます。AXI バス応答エラークリアレジスタ (AXIRERRCLR) により、ステータスレジスタの値を 00 にクリアすることができます。

また、AXI バス応答エラー割り込みコントロールレジスタ (AXIRERRCTL) で、割り込み許可することにより、応答エラー発生時に割り込みを発生させることができます。

本割り込みはデバッグ用途です。システム動作時は、応答エラーが発生しないようにしてください。

(3) 保護ユニット情報（ARPROT[2:0]、AWPROT[2:0])

マスタアクセスコントロールレジスタ (MSTACCCTL) により、各マスタモジュールの ARPROT[1]、AWPROT[1] 信号を設定することができます。設定を行う際は、必ず設定対象のマスタモジュールが AXI バスを使用していない状態で行ってください。

尚、ARPROT[2]、ARPROT[0]、AWPROT[2] 、AWPROT[0] 信号は下記で固定されます。変更することはできません。

ARPROT[2]、AWPROT[2] : 0 (data access)

ARPROT[0]、AWPROT[0] : 0 (normal access)

(4) アトミック・アクセス（ARLOCK[1:0]、AWLOCK[1:0])

ARLOCK[1:0]、AWLOCK[1:0] 信号は下記で固定されます。変更することはできません。

ARLOCK[1:0]、AWLOCK[1:0] : 00 (normal access)

5.8.2 Cortex-A9

Cortex-A9 の詳細については、Arm Architecture Reference Manual を参照してください。

5.8.3 CoreSight

CoreSight の詳細については、Arm 社のテクニカルリファレンスマニュアルを参照してください。

CoreSight のバスマスタ側 (AHB Access Port) は、AHB-AXI バス変換回路を通して基幹バスに接続されています。

この際、各種信号は次のように変換されます。

(1) キャッシュ制御 (ARCACHE[3:0]、AWCACHE[3:0])

ARCACHE[3]、AWCACHE[3] : HPROT[3] = 0 の時 0、HPROT[3] = 1 の時 1
ARCACHE[2]、AWCACHE[2] : HPROT[3] = 0 の時 0、HPROT[3] = 1 の時 1
ARCACHE[1]、AWCACHE[1] : HPROT[3] (cacheable) の値
ARCACHE[0]、AWCACHE[0] : HPROT[2] (buffarable) の値

(2) 応答ユニット (RRESP[1:0]、BRESP[1:0])

RRESP[1:0]、BRESP[1:0] = 00, 01 の時、OKAY レスポンスを返します。
RRESP[1:0]、BRESP[1:0] = 10, 11 の時、ERROR レスポンスを返します。

(3) 保護ユニット情報 (ARPROT[2:0]、AWPROT[2:0])

ARPROT[2]、AWPROT[2] : HPROT[0] (data/opcode) の反転
ARPROT[1]、AWPROT[1] : HPROT[6] (nonsecure/secure) の値
ARPROT[0]、AWPROT[0] : HPROT[1] (privileged) の値

(4) アトミック・アクセス (ARLOCK[1:0]、AWLOCK[1:0])

ARLOCK[1:0]、AWLOCK[1:0] : 00 固定 (normal access)

5.8.4 ダイレクトメモリアクセスコントローラ

ダイレクトメモリアクセスコントローラの詳細については、「9. ダイレクトメモリアクセスコントローラ」の章を参照してください。

5.8.5　スレーブ領域

各スレーブ領域では、制御信号を下記のように取り扱います。

(1)　キャッシュ制御 (ARCACHE[3:0]、AWCACHE[3:0])

２次キャッシュおよびライトバッファにて参照します。
その他のスレーブ領域では、参照しません。

(2)　応答ユニット（RRESP[1:0]、BRESP[1:0])

表 5.5 を参照してください。

(3)　保護ユニット情報 (ARPROT[2:0]、AWPROT[2:0])

ARPROT[2]、AWPROT[2] (instruction/data)：参照しません。

ARPROT[1]、AWPROT[1] (nonsecure/secure)：割り込みコントローラ、２次キャッシュにて参照します。詳細については、Arm 社のテクニカルリファレンスマニュアルを参照してください。

その他のスレーブ領域では、一部のスレーブ領域（注）を除き、スレーブアクセスコントロールレジスタ (SLVACCCTL) によりアクセス可能属性の設定を行うことができます。

SLVACCCTL にて該当ビットを 0 (セキュアアクセスのみ可能) と設定した場合、セキュアなアクセス (ARPROT[1] または AWPROT[1] を 0 としたアクセス) のみ実行することができます。非セキュアなアクセス (ARPROT[1] または AWPROT[1] を 1 としたアクセス) に対しては実行することができず、エラーレスポンス (スレーブエラーまたはデコードエラー) を返します。

ARPROT[0]、AWPROT[0] (privileged/user)：参照しません。

注 .　・ セキュアアクセスのみ実行可能なスレーブ領域 ：ダイレクトメモリアクセスコントローラ ユニット 0、リアルタイムクロック チャネル 0、内蔵 ROM、内部バス (H'FCFE_9000 ～ H'FCFE_97FF)、OTP
・ 常に非セキュア、セキュアアクセスともに実行可能なスレーブ領域 ：ダイレクトメモリアクセスコントローラ ユニット 1、リアルタイムクロック チャネル 1、内部バス (H'FCFE_8000 ～ H'FCFE_87FF)

(4)　アトミック・アクセス（ARLOCK[1:0]、AWLOCK[1:0])

対応しません。マスタは必ず ARLOCK[1:0]、AWLOCK[1:0] = 00 (normal access) でアクセスしてください（注）。

注 .　本制約により、Cortex-A9 の内部キャッシュ不可領域に対する排他アクセス命令 (LDREX, STREX, LDREXB, STREXB, LDREXD, STREXD, LDREXH, STREXH)、およびセマフォ命令 (SWP, SWPB) は使用できません。

5.9　ライトバッファ

ノース基幹バスから周辺バスへ接続する箇所、AXI64IC2 バスから一部のスレーブモジュールに接続する箇所にライトバッファを配置しています。これらのライトバッファはキャッシュ制御信号 AWCACHE[1:0] で、キャッシュ可能またはバッファ可能（AWCACHE[1:0] のどちらか片方が ”1”）に設定して書き込み転送を行った時、ライトバッファはその下のスレーブ領域をアクセスする前に書き込み完了をバスマスタに応答します。この際、アクセスするスレーブ領域からスレーブエラー応答を受けても無視しますが、書き込み転送時のエラー応答受信を割り込み信号で割り込みコントローラに通知することは可能です。なお、AXI64IC2 バスからスレーブモジュールに接続する箇所に挿入してあるライトバッファに関しては、スレーブエラー応答を受けることはないため、割り込み信号は存在しません。

一方、一部のバスマスタからノース基幹バス、サウス基幹バス 1 およびサウス基幹バス 2 に接続する箇所にもライトバッファを配置しています。これらのライトバッファはキャッシュ制御信号 AWCACHE[1:0] の設定に依存することなく、書き込み転送時にスレーブ領域からデコード／スレーブエラー応答を受けた際、常にバスマスタに OKAY 応答を返しますが、書き込み転送および読み出し転送時のエラー応答受信を割り込み信号で割り込みコントローラに通知することは可能です。各ライトバッファに対する割り込み信号名に関しては、「5.12　割り込み要求」を参照してください。

5.10　メモリ／IO 領域のアクセス順序制御

メモリ／IO 領域へアクセスする際、メモリ属性の設定、バスの構成、ライトバッファなどにより、ソフトウェアで書いた命令の順番と実際に命令の内容が反映される順番は必ずしも一致しません。

例えば、**図 5.2** 中の周辺バス 1 に接続されている周辺モジュールのレジスタにライトした後に周辺バス 2 に接続されている周辺モジュールのレジスタにライトする必要があるケースで、周辺バス 1 に接続されている周辺モジュールの IO 領域をバッファ可能属性に指定している場合、ソフトウェアで所望の順番で命令を記載しても、実際に周辺バス 1 にアクセスする前にライトバッファが応答信号を返すため、順番は守られません。

また、周辺バス 1 の接続されている周辺モジュールの IO 領域をキャッシュ不可かつバッファ不可属性に設定していた場合も、周辺モジュール内で書き込み値のレジスタへの反映に時間がかかるケースでは順番は守られません。

このように、処理の順番を制御する必要がある場合は、適切なメモリ属性を設定する、および、必要に応じてレジスタ書き込み後に同じレジスタをダミーリードする処理を追加してください。

5.11 レジスタの説明

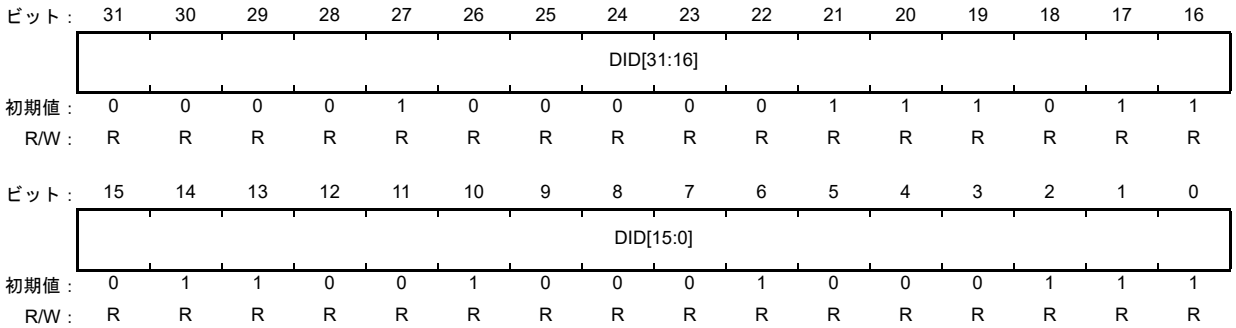
内部バスに関連するレジスタを下記に示します。

表5.6 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
BSID レジスタ	BSID	R	H'083B6447	H'FCFE_8004	32
リマップレジスタ	RMPR	R/W	H'0000_0001	H'FCFE_8400	32
AXI バスコントロールレジスタ 0	AXIBUSCTL0	R/W	H'0000_0000	H'FCFE_8404	32
AXI バスコントロールレジスタ 1	AXIBUSCTL1	R/W	H'0000_0000	H'FCFE_8408	32
AXI バスコントロールレジスタ 2	AXIBUSCTL2	R/W	H'0000_0000	H'FCFE_840C	32
AXI バスコントロールレジスタ 3	AXIBUSCTL3	R/W	H'0000_0000	H'FCFE_8410	32
AXI バスコントロールレジスタ 4	AXIBUSCTL4	R/W	H'0000_0000	H'FCFE_8414	32
AXI バスコントロールレジスタ 5	AXIBUSCTL5	R/W	H'0000_0000	H'FCFE_8418	32
AXI バスコントロールレジスタ 6	AXIBUSCTL6	R/W	H'0000_0000	H'FCFE_841C	32
AXI バスコントロールレジスタ 7	AXIBUSCTL7	R/W	H'0000_0000	H'FCFE_8420	32
AXI バス応答エラー割り込みコントロールレジスタ 0	AXIRERRCTL0	R/W	H'0000_0000	H'FCFE_8430	32
AXI バス応答エラー割り込みコントロールレジスタ 1	AXIRERRCTL1	R/W	H'0000_0000	H'FCFE_8434	32
AXI バス応答エラー割り込みコントロールレジスタ 2	AXIRERRCTL2	R/W	H'0000_0000	H'FCFE_8438	32
AXI バス応答エラーステータスレジスタ 0	AXIRERRST0	R/W	H'0000_0000	H'FCFE_8440	32
AXI バス応答エラーステータスレジスタ 1	AXIRERRST1	R/W	H'0000_0000	H'FCFE_8444	32
AXI バス応答エラーステータスレジスタ 2	AXIRERRST2	R/W	H'0000_0000	H'FCFE_8448	32
AXI バス応答エラーステータスレジスタ 3	AXIRERRST3	R/W	H'0000_0000	H'FCFE_844C	32
AXI バス応答エラークリアレジスタ 0	AXIRERRCLR0	R/W	H'0000_0000	H'FCFE_8450	32
AXI バス応答エラークリアレジスタ 1	AXIRERRCLR1	R/W	H'0000_0000	H'FCFE_8454	32
AXI バス応答エラークリアレジスタ 2	AXIRERRCLR2	R/W	H'0000_0000	H'FCFE_8458	32
マスタアクセスコントロールレジスタ 0	MSTACCCTL0	R/W	H'2202_2222	H'FCFE_9000	32
マスタアクセスコントロールレジスタ 1	MSTACCCTL1	R/W	H'2202_2222	H'FCFE_9004	32
マスタアクセスコントロールレジスタ 2	MSTACCCTL2	R/W	H'2222_0202	H'FCFE_9008	32
マスタアクセスコントロールレジスタ 3	MSTACCCTL3	R/W	H'2220_0020	H'FCFE_900C	32
マスタアクセスコントロールレジスタ 4	MSTACCCTL4	R/W	H'0202_0202	H'FCFE_9010	32
スレーブアクセスコントロールレジスタ 0	SLVACCCTL0	R/W	H'4555_1154	H'FCFE_9020	32
スレーブアクセスコントロールレジスタ 1	SLVACCCTL1	R/W	H'5155_4555	H'FCFE_9024	32
スレーブアクセスコントロールレジスタ 2	SLVACCCTL2	R/W	H'5555_5550	H'FCFE_9028	32
スレーブアクセスコントロールレジスタ 3	SLVACCCTL3	R/W	H'1550_0000	H'FCFE_902C	32
スレーブアクセスコントロールレジスタ 4	SLVACCCTL4	R/W	H'5555_5500	H'FCFE_9030	32

5.11.1 BSID レジスタ (BSID)

本レジスタにより、デバッガインタフェースの ID レジスタ（BSID）と同じ値を読みだすことができます。



ビット	ビット名	初期値	R/W	説明
31～0	DID[31:0]	H'083B6447	R	デバイス ID 本製品シリーズを示すデバイス ID です。ただし、上位 4 ビットはチップのバージョンにより変更されることがあります。

5.11.2　リマップレジスタ（RMPR）

本レジスタは、アドレス・リマップ機能の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI128
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	AXI128	1	R/W	AXI128 アドレス・リマップ H'0000_0000～H'003F_FFFF のアドレスを内蔵 RAM ページ 0～4 に割り当てます。 0：アドレス・リマップ有効 1：アドレス・リマップ無効 注.　H'0040_0000～H'01FF_FFFF は、予約領域になります。

5.11.3　AXI バスコントロールレジスタ 0（AXIBUSCTL0）

本レジスタは、JPEG コーデックユニット , イーサネット MAC コントローラのキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	JCUARCACHE[3:0]				—	—	—	—	JCUAWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ETHAXCACHE[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
27 ～ 24	JCU ARCACHE [3:0]	すべて 0	R/W	JPEG コーデックユニット ARCACHE[3:0] 信号 JPEG コーデックユニットがリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、JPEG コーデックユニットの ARCACHE[3:0] 信号に反映されます。本ビットの書き換えは、必ず JPEG コーデックユニットが内部バスを使用していない時に行ってください。
23 ～ 20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
19 ～ 16	JCU AWCACHE [3:0]	すべて 0	R/W	JPEG コーデックユニット AWCACHE[3:0] 信号 JPEG コーデックユニットがライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、JPEG コーデックユニットの AWCACHE[3:0] 信号に反映されます。本ビットの書き換えは、必ず JPEG コーデックユニットが内部バスを使用していない時に行ってください。
15 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
1、0	ETH AXCACHE [1:0]	すべて 0	R/W	イーサネット MAC コントローラ AWCACHE[3:0]、ARCACHE[3:0] 信号 イーサネット MAC コントローラがリード / ライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、イーサネット MAC コントローラの AWCACHE[3:0]、ARCACHE[3:0] 信号に反映されます。 ETHAXCACHE[0] の値は、ARCACHE[0],AWCACHE[0] にそのまま反映されます。 ETHAXCACHE[1]=0 の時、ARCACHE[3:1],AWCACHE[3:1] は全て 0、 ETHAXCACHE[1]=1 の時、ARCACHE[3:1],AWCACHE[3:1] は全て 1 となります。 本ビットの書き換えは、必ずイーサネット MAC コントローラが内部バスを使用していない時に行ってください。

5.11.4　AXI バスコントロールレジスタ 1（AXIBUSCTL1）

本レジスタは、歪み補正エンジン (IMR-LS2)、MIPI CSI-2 インタフェースのキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	IMR20ARCACHE[3:0]				—	—	—	—	IMR20AWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	VINAWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
27 ～ 24	IMR20 ARCACHE [3:0]	すべて 0	R/W	歪み補正エンジン(IMR-LS2) ARCACHE[3:0]信号 歪み補正エンジン(IMR-LS2)がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、歪み補正エンジン(IMR-LS2)の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず歪み補正エンジン(IMR-LS2)が内部バスを使用していない時に行ってください。
23 ～ 20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
19 ～ 16	IMR20 AWCACHE [3:0]	すべて 0	R/W	歪み補正エンジン(IMR-LS2) AWCACHE[3:0]信号 歪み補正エンジン(IMR-LS2)がライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、歪み補正エンジン(IMR-LS2)の AWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず歪み補正エンジン(IMR-LS2)が内部バスを使用していない時に行ってください。
15 ～ 4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
3 ～ 0	VIN AWCACHE [3:0]	すべて 0	R/W	ビデオインプットモジュール　AWCACHE[3:0]信号 ビデオインプットモジュールがライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、ビデオインプットモジュールの AWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずビデオインプットモジュールが内部バスを使用していない時に行ってください。

5.11.5 AXI バスコントロールレジスタ 2（AXIBUSCTL2）

本レジスタは、キャプチャエンジンユニットのキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CEUAWCACHE [3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
3 ～ 0	CEU AWCACHE [3:0]	すべて 0	R/W	キャプチャエンジンユニット AWCACHE[3:0]信号 キャプチャエンジンユニットがライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、キャプチャエンジンユニットの AWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずキャプチャエンジンユニットが内部バスを使用していない時に行ってください。

5.11.6　AXI バスコントロールレジスタ 3（AXIBUSCTL3）

本レジスタは、SD/MMC ホストインタフェースのキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SDMMC0ARCACHE[3:0]				—	—	—	—	SDMMC0AWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SDMMC1ARCACHE[3:0]				—	—	—	—	SDMMC1AWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
27 ～ 24	SDMMC0 ARCACHE [3:0]	すべて 0	R/W	SD/MMC ホストインタフェース　チャネル 0 ARCACHE[3:0]信号 SD/MMC ホストインタフェース　チャネル 0 がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、SD/MMC ホストインタフェースチャネル 0 の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず SD/MMC ホストインタフェース　チャネル 0 が内部バスを使用していない時に行ってください。
23 ～ 20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
19 ～ 16	SDMMC0 AWCACHE [3:0]	すべて 0	R/W	SD/MMC ホストインタフェース　チャネル 0 AWCACHE[3:0]信号 SD/MMC ホストインタフェース　チャネル 0 がライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、SD/MMC ホストインタフェースチャネル 0 の AWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず SD/MMC ホストインタフェース　チャネル 0 が内部バスを使用していない時に行ってください。
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11 ～ 8	SDMMC1 ARCACHE [3:0]	すべて 0	R/W	SD/MMC ホストインタフェース　チャネル 1 ARCACHE[3:0]信号 SD/MMC ホストインタフェース　チャネル 1 がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、SD/MMC ホストインタフェースチャネル 1 の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず SD/MMC ホストインタフェース　チャネル 1 が内部バスを使用していない時に行ってください。
7 ～ 4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
3 ～ 0	SDMMC1 AWCACHE [3:0]	すべて 0	R/W	SD/MMC ホストインタフェース　チャネル 1 AWCACHE[3:0]信号 SD/MMC ホストインタフェース　チャネル 1 がライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、SD/MMC ホストインタフェースチャネル 1 の AWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず SD/MMC ホストインタフェース　チャネル 1 が内部バスを使用していない時に行ってください。

5.11.7　AXI バスコントロールレジスタ 4（AXIBUSCTL4）

本レジスタは、NAND フラッシュコントローラ、ダイナミックリコンフィギュアラブルプロセッサ（DRP）のキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	NANDARCACHE[3:0]				—	—	—	—	NANDAWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DRPARCACHE[3:0]				—	—	—	—	DRPAWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
27 ～ 24	NAND ARCACHE [3:0]	すべて 0	R/W	NAND フラッシュコントローラ ARCACHE[3:0]信号 NAND フラッシュコントローラがリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、NAND フラッシュコントローラの ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず NAND フラッシュコントローラが内部バスを使用していない時に行ってください。
23 ～ 20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
19 ～ 16	NAND AWCACHE [3:0]	すべて 0	R/W	NAND フラッシュコントローラ AWCACHE[3:0]信号 NAND フラッシュコントローラがライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、NAND フラッシュコントローラの AWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず NAND フラッシュコントローラが内部バスを使用していない時に行ってください。
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11 ～ 8	DRP ARCACHE [3:0]	すべて 0	R/W	DRP ARCACHE[3:0]信号 DRP がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、DRP の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず DRP が内部バスを使用していない時に行ってください。 DRP ARCACHE[3:0]は DRP 搭載品のみ設定が有効になります。 DRP 非搭載品では書き込みする値を常に 0 にしてください。
7 ～ 4	—		R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
3 ～ 0	DRP AWCACHE [3:0]	すべて 0	R/W	DRP AWCACHE[3:0]信号 DRP がライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、DRP の AWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ず DRP が内部バスを使用していない時に行ってください。 DRP AWCACHE[3:0]は DRP 搭載品のみ設定が有効になります。 DRP 非搭載品では書き込みする値を常に 0 にしてください。

5.11.8　AXI バスコントロールレジスタ 5（AXIBUSCTL5）

本レジスタは、2D 描画エンジンのキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	D2D0AXCACHE[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	D2D1AXCACHE[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
17、16	D2D0 AXCACHE [1:0]	すべて 0	R/W	2D 描画エンジン チャネル 0 AWCACHE[3:0]、ARCACHE[3:0] 信号 2D 描画エンジン チャネル 0 がリード/ライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、メディア・ローカル・バスの AWCACHE[3:0]、ARCACHE[3:0] 信号に反映されます。 D2D0AXCACHE[0] の値は、ARCACHE[0],AWCACHE[0] にそのまま反映されます。 D2D0AXCACHE[1]=0 の時、ARCACHE[3:1],AWCACHE[3:1] は全て 0、 D2D0AXCACHE[1]=1 の時、ARCACHE[3:1],AWCACHE[3:1] は全て 1 となります。 本ビットの書き換えは、必ず 2D 描画エンジン チャネル 0 が内部バスを使用していない時に行ってください。
15 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
1、0	D2D1 AXCACHE [1:0]	すべて 0	R/W	2D 描画エンジン チャネル 1 AWCACHE[3:0]、ARCACHE[3:0] 信号 2D 描画エンジン チャネル 1 がリード/ライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、2D 描画エンジン チャネル 1 の AWCACHE[3:0]、ARCACHE[3:0] 信号に反映されます。 D2D1AXCACHE[0] の値は、ARCACHE[0],AWCACHE[0] にそのまま反映されます。 D2D1AXCACHE[1]=0 の時、ARCACHE[3:1],AWCACHE[3:1] は全て 0、 D2D1AXCACHE[1]=1 の時、ARCACHE[3:1],AWCACHE[3:1] は全て 1 となります。 本ビットの書き換えは、必ず 2D 描画エンジン チャネル 1 が内部バスを使用していない時に行ってください。

5.11.9 AXI バスコントロールレジスタ 6（AXIBUSCTL6）

本レジスタは、ビデオディスプレイコントローラ 6 のキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VDC601ARCACHE[3:0]				—	—	—	—	VDC601AWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VDC602ARCACHE[3:0]				—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
27 ～ 24	VDC601 ARCACHE [3:0]	すべて 0	R/W	ビデオディスプレイコントローラ 6 IV3-BUS、スプライトエンジン (RLED)ARCACHE[3:0]信号 ビデオディスプレイコントローラ 6 IV3-BUS またはスプライトエンジン(RLED)がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、ビデオディスプレイコントローラ 6 IV3-BUS とスプライトエンジン(RLED)の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずビデオディスプレイコントローラ 6 とスプライトエンジンが内部バスを使用していない時に行ってください。
23 ～ 20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
19 ～ 16	VDC601 AWCACHE [3:0]	すべて 0	R/W	ビデオディスプレイコントローラ 6 IV1-BUS AWCACHE[3:0]信号 ビデオディスプレイコントローラ 6 IV1-BUS がライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、ビデオディスプレイコントローラ 6 IV1-BUS の AWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずビデオディスプレイコントローラ 6 が内部バスを使用していない時に行ってください。
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11 ～ 8	VDC602 ARCACHE [3:0]	すべて 0	R/W	ビデオディスプレイコントローラ 6 IV5-BUS、スプライトエンジン(SU0) ARCACHE[3:0]信号 ビデオディスプレイコントローラ 6 IV5-BUS またはスプライトエンジン(SU0)がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、ビデオディスプレイコントローラ 6 IV5-BUS とスプライトエンジン(SU0)の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずビデオディスプレイコントローラ 6 とスプライトエンジンが内部バスを使用していない時に行ってください。
7 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.10 AXI バスコントロールレジスタ 7（AXIBUSCTL7）

本レジスタは、ビデオディスプレイコントローラ 6 のキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VDC604ARCACHE[3:0]				—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11 ～ 8	VDC604 ARCACHE [3:0]	すべて 0	R/W	ビデオディスプレイコントローラ 6 IV6-BUS、スプライトエンジン(SU1) ARCACHE[3:0]信号 ビデオディスプレイコントローラ 6 IV6-BUS またはスプライトエンジン(SU1)がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、ビデオディスプレイコントローラ 6 IV6-BUS とスプライトエンジン(SU1)の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずビデオディスプレイコントローラ 6 とスプライトエンジンが内部バスを使用していない時に行ってください。
7 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.11 AXI バス応答エラー割り込みコントロールレジスタ 0（AXIRERRCTL0）

本レジスタは、AXI バス応答エラー割り込み制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	JCU RERREN	—	—	—	—	—	—	—	IMR20 RERREN	—	—	—	VIN RERREN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CEU RERREN	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	JCU RERREN	0	R/W	JPEGコーデックユニット レスポンスエラー割り込みイネーブル JPEGコーデックユニットからのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
27 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
20	IMR20 RERREN	0	R/W	歪み補正エンジン(IMR-LS2) レスポンスエラー割り込みイネーブル 歪み補正エンジン(IMR-LS2)からのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
16	VIN RERREN	0	R/W	ビデオインプットモジュール レスポンスエラー割り込みイネーブル ビデオインプットモジュールからのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
15 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
8	CEU RERREN	0	R/W	キャプチャエンジンユニット レスポンスエラー割り込みイネーブル キャプチャエンジンユニット からのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
7 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.11.12　AXI バス応答エラー割り込みコントロールレジスタ 1（AXIRERRCTL1）

本レジスタは、AXI バス応答エラー割り込み制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SDMMC0 RERREN	—	—	—	SDMMC1 RERREN	—	—	—	NAND RERREN	—	—	—	DRP RERREN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
28	SDMMC0 RERREN	0	R/W	SD/MMC ホストインタフェース　チャネル 0 レスポンスエラー割り込みイネーブル SD/MMC ホストインタフェース　チャネル 0 からのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
27 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
24	SDMMC1 RERREN	0	R/W	SD/MMC ホストインタフェース　チャネル 1 レスポンスエラー割り込みイネーブル SD/MMC ホストインタフェース　チャネル 1 からのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
23 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
20	NAND RERREN	0	R/W	NAND フラッシュコントローラ レスポンスエラー割り込みイネーブル NAND フラッシュコントローラからのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
16	DRP RERREN	0	R/W	DRP レスポンスエラー割り込みイネーブル DRP からのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可 DRPRERREN は DRP 搭載品のみ設定が有効になります。 DRP 非搭載品では書き込みする値を常に 0 にしてください。
15 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.13　AXI バス応答エラー割り込みコントロールレジスタ 2（AXIRERRCTL2）

本レジスタは、AXI バス応答エラー割り込み制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	VDC601 RERREN	—	—	—	VDC602 RERREN	—	—	—	—	—	—	—	VDC604 RERREN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	VDC601 RERREN	0	R/W	ビデオディスプレイコントローラ6 IV1/3-BUS、スプライトエンジン(RLED) レスポンスエラー割り込みイネーブル ビデオディスプレイコントローラ6 IV1/3-BUSまたはスプライトエンジン(RLED)からのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
27 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	VDC602 RERREN	0	R/W	ビデオディスプレイコントローラ6 IV5-BUS、スプライトエンジン(SU0) レスポンスエラー割り込みイネーブル ビデオディスプレイコントローラ6 IV5-BUSまたはスプライトエンジン(SU0)からのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
23 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
16	VDC604 RERREN	0	R/W	ビデオディスプレイコントローラ6 IV6-BUS、スプライトエンジン(SU1) レスポンスエラー割り込みイネーブル ビデオディスプレイコントローラ6 IV6-BUSまたはスプライトエンジン(SU1)からのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可/禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
15 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.11.14　AXI バス応答エラーステータスレジスタ 0（AXIRERRST0）

本レジスタは、AXI バス応答エラーを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	JCURRESP [1:0]		JCUBRESP [1:0]		—	—	—	—	IMR20RRESP [1:0]		IMR20BRESP [1:0]		—	—	VINBRESP [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CEUBRESP [1:0]		—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31、30	JCU RRESP [1:0]	すべて 0	R	JPEG コーデックユニット RRESP[1:0]信号 JPEG コーデックユニットが受け取る RRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
29、28	JCU BRESP [1:0]	すべて 0	R	JPEG コーデックユニット BRESP[1:0]信号 JPEG コーデックユニットが受け取る BRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
27 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
23、22	IMR20 RRESP [1:0]	すべて 0	R	歪み補正エンジン(IMR-LS2) RRESP[1:0]信号 歪み補正エンジン(IMR-LS2)が受け取る RRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
21、20	IMR20 BRESP [1:0]	すべて 0	R	歪み補正エンジン(IMR-LS2) BRESP[1:0]信号 歪み補正エンジン(IMR-LS2)が受け取る BRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
19、18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
17、16	VIN BRESP [1:0]	すべて 0	R	ビデオインプットモジュール BRESP[1:0]信号 ビデオインプットモジュールが受け取る BRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9、8	CEU BRESP [1:0]	すべて 0	R	キャプチャエンジンユニット BRESP[1:0]信号 キャプチャエンジンユニットが受け取る BRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
7 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.15　AXI バス応答エラーステータスレジスタ 1（AXIRERRST1）

本レジスタは、AXI バス応答エラーを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SDMMC0 RRESP[1:0]		SDMMC0 BRESP[1:0]		SDMMC1 RRESP[1:0]		SDMMC1 BRESP[1:0]		NAND RRESP[1:0]		NAND BRESP[1:0]		DRPRRESP [1:0]		DRPBRESP [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31、30	SDMMC0 RRESP [1:0]	すべて 0	R	SD/MMC ホストインタフェース　チャネル 0 RRESP[1:0]信号 SD/MMC ホストインタフェース　チャネル 0 が受け取る RRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
29、28	SDMMC0 BRESP [1:0]	すべて 0	R	SD/MMC ホストインタフェース　チャネル 0 BRESP[1:0]信号 SD/MMC ホストインタフェース　チャネル 0 が受け取る BRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
27、26	SDMMC1 RRESP [1:0]	すべて 0	R	SD/MMC ホストインタフェース　チャネル 1 RRESP[1:0]信号 SD/MMC ホストインタフェース　チャネル 1 が受け取る RRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
25、24	SDMMC1 BRESP [1:0]	すべて 0	R	SD/MMC ホストインタフェース　チャネル 1 BRESP[1:0]信号 SD/MMC ホストインタフェース　チャネル 1 が受け取る BRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
23、22	NAND RRESP [1:0]	すべて 0	R	NAND フラッシュコントローラ RRESP[1:0]信号 NAND フラッシュコントローラが受け取る RRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
21、20	NAND BRESP [1:0]	すべて 0	R	NAND フラッシュコントローラ BRESP[1:0]信号 NAND フラッシュコントローラが受け取る BRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
19、18	DRP RRESP [1:0]	すべて 0	R	DRP RRESP[1:0]信号 DRP が受け取る RRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR ただし、DRP 非搭載品は常に 0 が読み出されます。
17、16	DRP BRESP [1:0]	すべて 0	R	DRP BRESP[1:0]信号 DRP が受け取る BRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR ただし、DRP 非搭載品は常に 0 が読み出されます。
15 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.16　AXI バス応答エラーステータスレジスタ 2（AXIRERRST2）

本レジスタは、AXI バス応答エラーを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VDC601RRESP [1:0]		VDC601BRESP 1:0]		VDC602RRESP [1:0]		—	—	—	—	—	—	VDC604RRESP [1:0]		—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31、30	VDC601 RRESP [1:0]	すべて 0	R	ビデオディスプレイコントローラ6 チャネル0 IV3-BUS、スプライトエンジン(RLED) RRESP[1:0]信号 ビデオディスプレイコントローラ6 チャネル0 IV3-BUSとスプライトエンジン(RLED)が受け取るRRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
29、28	VDC601 BRESP [1:0]	すべて 0	R	ビデオディスプレイコントローラ6 チャネル0 IV1-BUS BRESP[1:0]信号 ビデオディスプレイコントローラ6 チャネル0 IV1-BUSが受け取るBRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
27、26	VDC602 RRESP [1:0]	すべて 0	R	ビデオディスプレイコントローラ6 チャネル0 IV5-BUS、スプライトエンジン(SU0) RRESP[1:0]信号 ビデオディスプレイコントローラ6 チャネル0 IV5-BUSとスプライトエンジン(SU0)が受け取るRRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
25 ～ 20	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
19、18	VDC604 RRESP [1:0]	すべて 0	R	ビデオディスプレイコントローラ6 チャネル0 IV6-BUS、スプライトエンジン(SU1) RRESP[1:0]信号 ビデオディスプレイコントローラ6 チャネル0 IV6-BUSとスプライトエンジン(SU1)が受け取るRRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00 : OKAY, 10 : SLVERR, 11 : DECERR
17 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.11.17　AXI バス応答エラークリアレジスタ 0（AXIRERRCLR0）

本レジスタは、AXI バス応答エラーステータスのクリアを行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	JCU RRESPCLR	—	JCU BRESPCLR	—	—	—	—	—	IMR20 RRESPCLR	–	IMR20 BRESPCLR	—	—	—	VIN BRESPCLR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R	R	R	R	R/W	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SER RRESPCLR	—	SER BRESPCLR	—	—	—	CEU BRESPCLR	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
30	JCU RRESP CLR	0	R/W	JCURRESP[1:0]クリア 本ビットに1ライトを行う事により、JCURRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
29	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	JCU BRESP CLR	0	R/W	JCUBRESP[1:0]クリア 本ビットに1ライトを行う事により、JCUBRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
27 ～ 23	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
22	IMR20 RRESP CLR	0	R/W	IMR20RRESP[1:0]クリア 本ビットに1ライトを行う事により、IMR20RRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
21	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
20	IMR20 BRESP CLR	0	R/W	IMR20BRESP[1:0]クリア 本ビットに1ライトを行う事により、IMR20BRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
16	VIN BRESP CLR	0	R/W	VINBRESP[1:0]クリア 本ビットに1ライトを行う事により、VINBRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
14	SER RRESP CLR	0	R/W	SERRRESP[1:0]クリア 本ビットに1ライトを行う事により、SERRRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
12	SER BRESP CLR	0	R/W	SERBRESP[1:0]クリア 本ビットに1ライトを行う事により、SERBRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
8	CEU BRESP CLR	0	R/W	CEUBRESP[1:0] クリア 本ビットに 1 ライトを行う事により、CEUBRESP[1:0] ビットを 00 にクリアします。 読み出し時は常に 0 です。
7 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.18　AXI バス応答エラークリアレジスタ 1（AXIRERRCLR1）

本レジスタは、AXI バス応答エラーステータスのクリアを行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	SDMMC0 RRESPCLR	—	SDMMC0 BRESPCLR	—	SDMMC1 RRESPCLR	—	SDMMC1 BRESPCLR	—	NAND RRESPCLR	—	NAND BRESPCLR	—	DRP RRESPCLR	—	DRP BRESPCLR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
30	SDMMC0 RRESP CLR	0	R/W	SDMMC0RRESP[1:0]クリア 本ビットに1ライトを行う事により、SDMMC0RRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
29	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	SDMMC0 BRESP CLR	0	R/W	SDMMC0BRESP[1:0]クリア 本ビットに1ライトを行う事により、SDMMC0BRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
26	SDMMC1 RRESP CLR	0	R/W	SDMMC1RRESP[1:0]クリア 本ビットに1ライトを行う事により、SDMMC1RRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
25	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	SDMMC1 BRESP CLR	0	R/W	SDMMC1BRESP[1:0]クリア 本ビットに1ライトを行う事により、SDMMC1BRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
22	NAND RRESP CLR	0	R/W	NANDRRESP[1:0]クリア 本ビットに1ライトを行う事により、NANDRRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
21	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
20	NAND BRESP CLR	0	R/W	NANDBRESP[1:0]クリア 本ビットに1ライトを行う事により、NANDBRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
18	DRP RRESP CLR	0	R/W	DRPRRESP[1:0]クリア 本ビットに1ライトを行う事により、DRPRRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。 DRP非搭載品では書き込みする値を常に0にしてください。
17	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
16	DRP BRESP CLR	0	R/W	DRPBRESP[1:0] クリア 本ビットに 1 ライトを行う事により、DRPBRESP[1:0] ビットを 00 にクリアします。 読み出し時は常に 0 です。 DRP 非搭載品では書き込みする値を常に 0 にしてください。
15 ～ 0	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.19　AXI バス応答エラークリアレジスタ 2（AXIRERRCLR2）

本レジスタは、AXI バス応答エラーステータスのクリアを行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	VDC601 RRESPCLR	—	VDC601 BRESPCLR	—	VDC602 RRESPCLR	—	—	—	—	—	—	—	VDC604 RRESPCLR	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R	R	R	R	R	R	R/W	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
30	VDC601 RRESP CLR	0	R/W	VDC601RRESP[1:0]クリア 本ビットに1ライトを行う事により、VDC601RRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
29	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	VDC601 BRESP CLR	0	R/W	VDC601BRESP[1:0]クリア 本ビットに1ライトを行う事により、VDC601BRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
26	VDC602 RRESP CLR	0	R/W	VDC602RRESP[1:0]クリア 本ビットに1ライトを行う事により、VDC602RRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
25 ～ 19	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
18	VDC604 RRESP CLR	0	R/W	VDC604RRESP[1:0]クリア 本ビットに1ライトを行う事により、VDC604RRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
17 ～ 0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.11.20　マスタアクセスコントロールレジスタ 0（MSTACCCTL0）

本レジスタは、マスタモジュールがスレーブ領域にアクセスする際のアクセス属性の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	JCU ARNS	—	—	—	JCU AWNS	—	—	—	—	—	—	—	ETH AxNS	—
初期値：	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0
R/W：	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IMR20 ARNS	—	—	—	IMR20 AWNS	—	—	—	—	—	—	—	VIN AWNS	—
初期値：	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0
R/W：	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説　明
31 ～ 30	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
29	JCU ARNS	1	R/W	JPEGコーデックユニット リード時アクセス属性 JPEGコーデックユニットがリード動作を行った際のアクセス属性を設定します。本ビットの値は、JPEGコーデックユニットのARPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずJPEGコーデックユニットが内部バスを使用していない時に行ってください。
28 ～ 26	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
25	JCU AWNS	1	R/W	JPEGコーデックユニット ライト時アクセス属性 JPEGコーデックユニットがライト動作を行った際のアクセス属性を設定します。本ビットの値は、JPEGコーデックユニットのAWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずJPEGコーデックユニットが内部バスを使用していない時に行ってください。
24 ～ 18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
17	ETH AxNS	1	R/W	イーサネットMACコントローラ リード/ライト時アクセス属性 イーサネットMACコントローラがリード/ライト動作を行った際のアクセス属性を設定します。本ビットの値は、イーサネットMACコントローラのARPROT[1]/AWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずイーサネットMACコントローラが内部バスを使用していない時に行ってください。
16 ～ 14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
13	IMR20 ARNS	1	R/W	歪み補正エンジン(IMR-LS2) リード時アクセス属性 歪み補正エンジン(IMR-LS2)がリード動作を行った際のアクセス属性を設定します。本ビットの値は、歪み補正エンジン(IMR-LS2)のARPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ず歪み補正エンジン(IMR-LS2)が内部バスを使用していない時に行ってください。
12 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
9	IMR20 AWNS	1	R/W	歪み補正エンジン(IMR-LS2) ライト時アクセス属性 歪み補正エンジン(IMR-LS2)がライト動作を行った際のアクセス属性を設定します。本ビットの値は、歪み補正エンジン(IMR-LS2)のAWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ず歪み補正エンジン(IMR-LS2)が内部バスを使用していない時に行ってください。
8～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
1	VIN AWNS	1	R/W	ビデオインプットモジュール ライト時アクセス属性 ビデオインプットモジュールがライト動作を行った際のアクセス属性を設定します。本ビットの値は、ビデオインプットモジュールのAWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずビデオインプットモジュールが内部バスを使用していない時に行ってください。
0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.11.21　マスタアクセスコントロールレジスタ 1（MSTACCCTL1）

本レジスタは、マスタモジュールがスレーブ領域にアクセスする際のアクセス属性の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CEU AWNS	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SDMMC0 ARNS	—	—	—	SDMMC0 AWNS	—	—	—	SDMMC1 ARNS	—	—	—	SDMMC1 AWNS	—
初期値：	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0
R/W：	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
17	CEU AWNS	1	R/W	キャプチャエンジンユニット ライト時アクセス属性 キャプチャエンジンユニットがライト動作を行った際のアクセス属性を設定します。本ビットの値は、キャプチャエンジンユニットのAWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずキャプチャエンジンユニットが内部バスを使用していない時に行ってください。
16 ～ 14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
13	SDMMC0 ARNS	1	R/W	SD/MMCホストインタフェース チャネル0 リード時アクセス属性 SD/MMCホストインタフェース チャネル0がリード動作を行った際のアクセス属性を設定します。本ビットの値は、SD/MMCホストインタフェース　チャネル0のARPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずSD/MMCホストインタフェース　チャネル0が内部バスを使用していない時に行ってください。
12 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
9	SDMMC0 AWNS	1	R/W	SD/MMCホストインタフェース チャネル0 ライト時アクセス属性 SD/MMCホストインタフェース チャネル0がライト動作を行った際のアクセス属性を設定します。本ビットの値は、SD/MMCホストインタフェース　チャネル0のAWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずSD/MMCホストインタフェース　チャネル0が内部バスを使用していない時に行ってください。
8 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5	SDMMC1 ARNS	1	R/W	SD/MMCホストインタフェース チャネル1 リード時アクセス属性 SD/MMCホストインタフェース チャネル1がリード動作を行った際のアクセス属性を設定します。本ビットの値は、SD/MMCホストインタフェース　チャネル1のARPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずSD/MMCホストインタフェース　チャネル1が内部バスを使用していない時に行ってください。
4 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
1	SDMMC1AWNS	1	R/W	SD/MMCホストインタフェース チャネル1 ライト時アクセス属性 SD/MMCホストインタフェース チャネル1がライト動作を行った際のアクセス属性を設定します。本ビットの値は、SD/MMCホストインタフェース　チャネル1のAWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずSD/MMCホストインタフェース　チャネル1が内部バスを使用していない時に行ってください。
0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.11.22 マスタアクセスコントロールレジスタ 2（MSTACCCTL2）

本レジスタは、マスタモジュールがスレーブ領域にアクセスする際のアクセス属性の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	NAND ARNS	—	—	—	NAND AWNS	—	—	—	DRP ARNS	—	—	—	DRP AWNS	—
初期値：	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0
R/W：	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	D2D0 AxNS	—	—	—	—	—	—	—	D2D1 AxNS	—
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
R/W：	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説　　明
31、30	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
29	NAND ARNS	1	R/W	NANDフラッシュコントローラ リード時アクセス属性 NANDフラッシュコントローラがリード動作を行った際のアクセス属性を設定します。本ビットの値は、NANDフラッシュコントローラのARPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずNANDフラッシュコントローラが内部バスを使用していない時に行ってください。
28 ～ 26	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
25	NAND AWNS	1	R/W	NANDフラッシュコントローラ ライト時アクセス属性 NANDフラッシュコントローラがライト動作を行った際のアクセス属性を設定します。本ビットの値は、NANDフラッシュコントローラのAWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずNANDフラッシュコントローラが内部バスを使用していない時に行ってください。
24 ～ 22	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
21	DRP ARNS	1	R/W	DRP リード時アクセス属性 DRPがリード動作を行った際のアクセス属性を設定します。本ビットの値は、DRPのARPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずDRPが内部バスを使用していない時に行ってください。 DRP搭載品のみ設定が有効になります。DRP非搭載品では書き込みする値を常に1にしてください。
20 ～ 18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
17	DRP AWNS	1	R/W	DRP ライト時アクセス属性 DRPがライト動作を行った際のアクセス属性を設定します。本ビットの値は、DRPのAWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずDRPが内部バスを使用していない時に行ってください。 DRP搭載品のみ設定が有効になります。DRP非搭載品では書き込みする値を常に1にしてください。
16 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
9	D2D0 AxNS	1	R/W	2D描画エンジン チャネル0 リード/ライト時アクセス属性 2D描画エンジン チャネル0がリード/ライト動作を行った際のアクセス属性を設定します。本ビットの値は、2D描画エンジン チャネル0のARPROT[1]/AWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ず2D描画エンジン チャネル0が内部バスを使用していない時に行ってください。
7～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
1	D2D1 AxNS	1	R/W	2D描画エンジン チャネル1 リード/ライト時アクセス属性 2D描画エンジン チャネル1がリード/ライト動作を行った際のアクセス属性を設定します。本ビットの値は、2D描画エンジン チャネル1のARPROT[1]/AWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ず2D描画エンジン チャネル1が内部バスを使用していない時に行ってください。
0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.11.23 マスタアクセスコントロールレジスタ 3（MSTACCCTL3）

本レジスタは、マスタモジュールがスレーブ領域にアクセスする際のアクセス属性の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	VDC601 ARNS	—	—	—	VDC601 AWNS	—	—	—	VDC602 ARNS	—	—	—	—	—
初期値：	0	0	1	0	0	0	1	0	0	0	1	0	0	0	0	0
R/W：	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	VDC604 ARNS	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31、30	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
29	VDC601 ARNS	1	R/W	ビデオディスプレイコントローラ6 IV3-BUS、スプライトエンジン(RLED) リード時アクセス属性 ビデオディスプレイコントローラ6 IV3-BUSまたはスプライトエンジン(RLED)がリード動作を行った際のアクセス属性を設定します。本ビットの値は、ビデオディスプレイコントローラ6 IV3-BUSとスプライトエンジン(RLED)のARPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずビデオディスプレイコントローラ6 IV3-BUSとスプライトエンジン(RLED)が内部バスを使用していない時に行ってください。
28 ～ 26	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
25	VDC601 AWNS	1	R/W	ビデオディスプレイコントローラ6 IV1-BUS ライト時アクセス属性 ビデオディスプレイコントローラ6 IV1-BUSがライト動作を行った際のアクセス属性を設定します。本ビットの値は、ビデオディスプレイコントローラ6 IV1-BUSのAWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずビデオディスプレイコントローラ6 IV1-BUSが内部バスを使用していない時に行ってください。
24 ～ 22	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
21	VDC602 ARNS	1	R/W	ビデオディスプレイコントローラ6 IV5-BUS、スプライトエンジン(SU0) リード時アクセス属性 ビデオディスプレイコントローラ6 IV5-BUSまたはスプライトエンジン(SU0)がリード動作を行った際のアクセス属性を設定します。本ビットの値は、ビデオディスプレイコントローラ6 IV5-BUSとスプライトエンジン(SU0)のARPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずビデオディスプレイコントローラ6 IV5-BUSとスプライトエンジン(SU0)が内部バスを使用していない時に行ってください。
20 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
5	VDC604 ARNS	1	R/W	ビデオディスプレイコントローラ6 IV6-BUS、スプライトエンジン(SU1)リード時アクセス属性 ビデオディスプレイコントローラ6 IV6-BUSまたはスプライトエンジン(SU1)がリード動作を行った際のアクセス属性を設定します。本ビットの値は、ビデオディスプレイコントローラ6 IV6-BUS とスプライトエンジン(SU1)のARPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずビデオディスプレイコントローラ6 IV6-BUSとスプライトエンジン(SU1)が内部バスを使用していない時に行ってください。
4 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.11.24 マスタアクセスコントロールレジスタ 4（MSTACCCTL4）

本レジスタは、マスタモジュールがスレーブ領域にアクセスする際のアクセス属性の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	USB00 AxNS	—	—	—	—	—	—	—	USB01 AxNS	—
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
R/W：	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	USB10 AxNS	—	—	—	—	—	—	—	USB11 AxNS	—
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
R/W：	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 26	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
25	USB00 AxNS	1	R/W	USB 2.0ホスト/ファンクションモジュール チャネル0 ポート0 リード/ライト時アクセス属性 USB 2.0ホスト/ファンクションモジュール チャネル0 ポート0がリード/ライト動作を行った際のアクセス属性を設定します。本ビットの値は、USB 2.0ホスト/ファンクションモジュール チャネル0 ポート0のARPROT[1]/AWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずUSB 2.0ホスト/ファンクションモジュール チャネル0 ポート0が内部バスを使用していない時に行ってください。
24 ～ 18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
17	USB01 AxNS	1	R/W	USB 2.0ホスト/ファンクションモジュール チャネル0 ポート1 リード/ライト時アクセス属性 USB 2.0ホスト/ファンクションモジュール チャネル0 ポート1がリード/ライト動作を行った際のアクセス属性を設定します。本ビットの値は、USB 2.0ホスト/ファンクションモジュール チャネル0 ポート1のARPROT[1]/AWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずUSB 2.0ホスト/ファンクションモジュール チャネル0 ポート1が内部バスを使用していない時に行ってください。
16 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
9	USB10 AxNS	1	R/W	USB 2.0ホスト/ファンクションモジュール チャネル1 ポート0 リード/ライト時アクセス属性 USB 2.0ホスト/ファンクションモジュール チャネル1 ポート0がリード/ライト動作を行った際のアクセス属性を設定します。本ビットの値は、USB 2.0ホスト/ファンクションモジュール チャネル1 ポート0のARPROT[1]/AWPROT[1]信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ずUSB 2.0ホスト/ファンクションモジュール チャネル1 ポート0が内部バスを使用していない時に行ってください。
8 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
1	USB11 AxNS	1	R/W	USB 2.0 ホスト/ファンクションモジュール チャネル 1 ポート 1 リード/ライト時アクセス属性 USB 2.0 ホスト/ファンクションモジュール チャネル 1 ポート 1 がリード/ライト動作を行った際のアクセス属性を設定します。本ビットの値は、USB 2.0 ホスト/ファンクションモジュール チャネル 1 ポート 1 の ARPROT[1]/AWPROT[1] 信号に反映されます。 0: セキュアアクセス 1: ノンセキュアアクセス 本ビットの書き換えは、必ず USB 2.0 ホスト/ファンクションモジュール チャネル 1 ポート 1 が内部バスを使用していない時に行ってください。
0	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.25　スレーブアクセスコントロールレジスタ 0（SLVACCCTL0）

本レジスタは、スレーブ領域へのアクセス可能属性の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	SYS NS	—	—	—	—	—	VDC60 NS	—	IMR20 NS	—	MTU3 NS	—	GPT NS	—	POE3 NS
初期値：	0	1	0	0	0	1	0	1	0	1	0	1	0	1	0	1
R/W：	R	R/W	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	POEG NS	—	—	—	—	—	—	—	INTC2 NS	—	WDT NS	—	—	—	—
初期値：	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0	0
R/W：	R	R/W	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
30	SYS NS	1	R/W	システム制御レジスタ　アクセス可能属性 低消費電力モードおよびクロックパルス発振器用レジスタのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず低消費電力モードおよびクロックパルス発振器用レジスタにアクセスしていない時に行ってください。
29 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
26	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値は常に1にしてください。
25	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	VDC60 NS	1	R/W	ビデオディスプレイコントローラ6　アクセス可能属性 ビデオディスプレイコントローラ6のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずビデオディスプレイコントローラ6にアクセスしていない時に行ってください。
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
22	IMR20 NS	1	R/W	歪み補正エンジン(IMR-LS2)　アクセス可能属性 歪み補正エンジン(IMR-LS2)のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず歪み補正エンジン(IMR-LS2)にアクセスしていない時に行ってください。
21	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
20	MTU3 NS	1	R/W	マルチファンクションタイマパルスユニット3　アクセス可能属性 マルチファンクションタイマパルスユニット3のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずマルチファンクションタイマパルスユニット3にアクセスしていない時に行ってください。
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
18	GPT NS	1	R/W	汎用 PWM タイマ　アクセス可能属性 汎用 PWM タイマのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず汎用 PWM タイマにアクセスしていない時に行ってください。
17	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
16	POE3 NS	1	R/W	ポートアウトプットイネーブル 3　アクセス可能属性 ポートアウトプットイネーブル 3 のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずポートアウトプットイネーブル 3 にアクセスしていない時に行ってください。
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
14	POEG NS	1	R/W	GPT 用ポートアウトプットイネーブル　アクセス可能属性 GPT 用ポートアウトプットイネーブルのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず GPT 用ポートアウトプットイネーブルにアクセスしていない時に行ってください。
13 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値は常に 1 にしてください。
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
6	INTC2 NS	1	R/W	割り込みコントローラ(GIC-400 レジスタ以外)　アクセス可能属性 割り込みコントローラ(GIC-400 レジスタ以外)のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず割り込みコントローラ(GIC-400 レジスタ以外)にアクセスしていない時に行ってください。
5	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
4	WDT NS	1	R/W	ウオッチドックタイマ　アクセス可能属性 ウオッチドックタイマのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずウオッチドックタイマにアクセスしていない時に行ってください。
3 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.26　スレーブアクセスコントロールレジスタ 1（SLVACCCTL1）

本レジスタは、スレーブ領域へのアクセス可能属性の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	GPIO NS	—	I2C NS	—	OSTM0 NS	—	OSTM1 NS	—	OSTM2 NS	—	SSIF NS	—	SPDIF NS	—	RCAN NS
初期値：	0	1	0	1	0	0	0	1	0	1	0	1	0	1	0	1
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SE NS	—	—	—	AD NS	—	IRDA NS	—	SCI NS	—	SCIF NS	—	JCU NS	—	RSPI NS
初期値：	0	1	0	0	0	1	0	1	0	1	0	1	0	1	0	1
R/W：	R	R/W	R	R	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
30	GPIO NS	1	R/W	汎用入出力ポート　アクセス可能属性 　汎用入出力ポートのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず汎用入出力ポートにアクセスしていない時に行ってください。
29	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	I2C NS	1	R/W	I²Cバスインタフェース0～3チャネル　アクセス可能属性 I²Cバスインタフェース　0～3チャネルのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずI²Cバスインタフェース　0～3チャネルにアクセスしていない時に行ってください。
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
26	OSTM0 NS	0	R/W	OSタイマ　チャネル0　アクセス可能属性 OSタイマ　チャネル0のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずOSタイマ　チャネル0にアクセスしていない時に行ってください。
25	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	OSTM1 NS	1	R/W	OSタイマ　チャネル1　アクセス可能属性 OSタイマ　チャネル1のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずOSタイマ　チャネル1にアクセスしていない時に行ってください。
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
22	OSTM2 NS	1	R/W	OSタイマ　チャネル2　アクセス可能属性 OSタイマ　2チャネル2のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずOSタイマ　チャネル2にアクセスしていない時に行ってください。

ビット	ビット名	初期値	R/W	説　明
21	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
20	SSIFNS	1	R/W	シリアルサウンドインタフェース　アクセス可能属性 シリアルサウンドインタフェースのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずシリアルサウンドインタフェースにアクセスしていない時に行ってください。
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
18	SPDIFNS	1	R/W	ルネサスSPDIFインタフェース　アクセス可能属性 ルネサスSPDIFインタフェースのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずルネサスSPDIFインタフェースにアクセスしていない時に行ってください。
17	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
16	RCANNS	1	R/W	CANFDインタフェース　アクセス可能属性 CANFDインタフェースのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずCANFDインタフェースにアクセスしていない時に行ってください。
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
14	SENS	1	R/W	スプライトエンジン　アクセス可能属性 スプライトエンジンのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずスプライトエンジンにアクセスしていない時に行ってください。
13~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
10	ADNS	1	R/W	A/Dコンバータ　アクセス可能属性 A/Dコンバータのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずA/Dコンバータにアクセスしていない時に行ってください。
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
8	IRDANS	1	R/W	IrDA　アクセス可能属性 IrDAのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずIrDAにアクセスしていない時に行ってください。
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
6	SCINS	1	R/W	シリアルコミュニケーションインタフェース　0,1チャネル　アクセス可能属性 シリアルコミュニケーションインタフェース　0,1チャネルのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずシリアルコミュニケーションインタフェース　0,1チャネルにアクセスしていない時に行ってください。
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
4	SCIFNS	1	R/W	FIFO内蔵シリアルコミュニケーションインタフェース 0～4チャネル　アクセス可能属性 FIFO内蔵シリアルコミュニケーションインタフェース 0～4チャネルのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずFIFO内蔵シリアルコミュニケーションインタフェース 0～4チャネルにアクセスしていない時に行ってください。
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
2	JCUNS	1	R/W	JPEGコーデックユニット　アクセス可能属性 JPEGコーデックユニットのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずJPEGコーデックユニットにアクセスしていない時に行ってください。
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
0	RSPINS	1	R/W	ルネサスシリアルペリフェラルインタフェース 0～2チャネル　アクセス可能属性 ルネサスシリアルペリフェラルインタフェース 0～2チャネルのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずルネサスシリアルペリフェラルインタフェース 0～2チャネルにアクセスしていない時に行ってください。

5.11.27　スレーブアクセスコントロールレジスタ 2（SLVACCCTL2）

本レジスタは、スレーブ領域へのアクセス可能属性の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ETH NS	—	—	—	D2D NS	—	MIPI NS	—	VIN NS	—	—	—	—	—	—
初期値：	0	1	0	0	0	1	0	1	0	1	0	1	0	1	0	1
R/W：	R	R/W	R	R	R	R/W	R	R/W	R	R/W	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	USB00 NS	—	USB01 NS	—	USB10 NS	—	USB11 NS	—	CEU NS	—	DRP NS	—	TSIP NS	—	—
初期値：	0	1	0	1	0	1	0	1	0	1	0	1	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
30	ETH NS	1	R/W	イーサネットMACコントローラ0,1チャネル　アクセス可能属性 イーサネットMACコントローラ0,1チャネルのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずイーサネットMACコントローラ0,1チャネルにアクセスしていない時に行ってください。
29 ～ 27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
26	D2D NS	1	R/W	2D描画エンジン　アクセス可能属性 2D描画エンジンのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず2D描画エンジンにアクセスしていない時に行ってください。
25	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	MIPI NS	1	R/W	MIPI CSI-2インタフェース　アクセス可能属性 MIPI CSI-2インタフェースのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずMIPI CSI-2インタフェースにアクセスしていない時に行ってください。
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
22	VIN NS	1	R/W	ビデオインプットモジュール　アクセス可能属性 ビデオインプットモジュールのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずビデオインプットモジュールにアクセスしていない時に行ってください。
21	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
20	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値は常に1にしてください。
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
18	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値は常に1にしてください。

ビット	ビット名	初期値	R/W	説　　明
17	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
16	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値は常に1にしてください。
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
14	USB00NS	1	R/W	USB 2.0ホスト/ファンクションモジュール チャネル0 ポート0　アクセス可能属性 USB 2.0ホスト/ファンクションモジュール チャネル0 ポート0のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずUSB 2.0ホスト/ファンクションモジュール チャネル0 ポート0にアクセスしていない時に行ってください。
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
12	USB01NS	1	R/W	USB 2.0ホスト/ファンクションモジュール チャネル0 ポート1　アクセス可能属性 USB 2.0ホスト/ファンクションモジュール チャネル0 ポート1のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずUSB 2.0ホスト/ファンクションモジュール チャネル0 ポート1にアクセスしていない時に行ってください。
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
10	USB10NS	1	R/W	USB 2.0ホスト/ファンクションモジュール チャネル1 ポート0　アクセス可能属性 USB 2.0ホスト/ファンクションモジュール チャネル1 ポート0のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずUSB 2.0ホスト/ファンクションモジュール チャネル1 ポート0にアクセスしていない時に行ってください。
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
8	USB11NS	1	R/W	USB 2.0ホスト/ファンクションモジュール チャネル1 ポート1　アクセス可能属性 USB 2.0ホスト/ファンクションモジュール チャネル1 ポート1のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずUSB 2.0ホスト/ファンクションモジュール チャネル1 ポート1にアクセスしていない時に行ってください。
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
6	CEUNS	1	R/W	キャプチャエンジンユニット　アクセス可能属性 キャプチャエンジンユニットのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずキャプチャエンジンユニットにアクセスしていない時に行ってください。
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
4	DRPNS	1	R/W	DRPアクセス可能属性 DRPのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずDRPにアクセスしていない時に行ってください。 DRP搭載品のみ設定が有効になります。DRP非搭載品では書き込みする値を常に1にしてください。
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
2	TSIP NS	0	R/W	Trusted Secure IP アクセス可能属性 Trusted Secure IP のアクセス可能属性を設定します。 0：セキュアアクセスのみ可能 1：非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず Trusted Secure IP にアクセスしていない時に行ってください。 注.　Trusted Secure IP なし品では書き込む値は常に 0 にしてください。
1、0	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.28　スレーブアクセスコントロールレジスタ 3（SLVACCCTL3）

本レジスタは、スレーブ領域へのアクセス可能属性の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SDMMC0NS	—	SDMMC1NS	—	NANDNS	—	—	—	CSNS	—	—	—	—
初期値：	0	0	0	1	0	1	0	1	0	0	0	1	0	0	0	0
R/W：	R	R	R	R/W	R	R/W	R	R/W	R	R	R	R/W	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
28	SDMMC0NS	1	R/W	SD/MMC ホストインタフェース　チャネル 0　アクセス可能属性 SD/MMC ホストインタフェース　チャネル 0 のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず SD/MMC ホストインタフェース　チャネル 0 にアクセスしていない時に行ってください。
27	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
26	SDMMC1NS	1	R/W	SD/MMC ホストインタフェース　チャネル 1　アクセス可能属性 SD/MMC ホストインタフェース　チャネル 1 のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず SD/MMC ホストインタフェース　チャネル 1 にアクセスしていない時に行ってください。
25	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
24	NANDNS	1	R/W	NAND フラッシュコントローラ　アクセス可能属性 NAND フラッシュコントローラのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず NAND フラッシュコントローラにアクセスしていない時に行ってください。
23 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
20	CSNS	1	R/W	CoreSight　アクセス可能属性 CoreSight のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず CoreSight にアクセスしていない時に行ってください。
19 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11.29　スレーブアクセスコントロールレジスタ 4（SLVACCCTL4）

本レジスタは、スレーブ領域へのアクセス可能属性の制御を行います

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	BSC NS	—	SPI NS	—	OCTA NS	—	OCTAR NS	—	HYP NS	—	HYPR NS	—	RRAM NS	—	VRAM0 NS
初期値：	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	VRAM1 NS	—	VRAM2 NS	—	VRAM3 NS	—	VRAM4 NS	—	—	—	—	—	—	—	—
初期値：	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
30	BSC NS	1	R/W	バスステートコントローラ　アクセス可能属性 バスステートコントローラのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずバスステートコントローラにアクセスしていない時に行ってください。
29	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	SPI NS	1	R/W	SPIマルチI/Oバスコントローラ　アクセス可能属性 SPIマルチI/Oバスコントローラのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずSPIマルチI/Oバスコントローラにアクセスしていない時に行ってください。
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
26	OCTA NS	1	R/W	Octaメモリコントローラ　アクセス可能属性 Octaメモリコントローラのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずOctaメモリコントローラにアクセスしていない時に行ってください。
25	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	OCTAR NS	1	R/W	Octaメモリコントローラ　レジスタ領域　アクセス可能属性 Octaメモリコントローラ　レジスタ領域 のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずOctaメモリコントローラ レジスタ領域にアクセスしていない時に行ってください。
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
22	HYP NS	1	R/W	HyperBusコントローラ　アクセス可能属性 HyperBusコントローラのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずHyperBusコントローラにアクセスしていない時に行ってください。

ビット	ビット名	初期値	R/W	説　　明
21	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
20	HYPRNS	1	R/W	HyperBusコントローラ　レジスタ領域　アクセス可能属性 HyperBusコントローラ　レジスタ領域 のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ずHyperBusコントローラ レジスタ領域にアクセスしていない時に行ってください。
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
18	RRAMNS	1	R/W	保持用内蔵RAM　アクセス可能属性 保持用内蔵RAMのアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず保持用内蔵RAMにアクセスしていない時に行ってください。
17	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
16	VRAM0NS	1	R/W	大容量内蔵RAMページ0　アクセス可能属性 大容量内蔵RAMページ0のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず大容量内蔵RAMページ0にアクセスしていない時に行ってください。
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
14	VRAM1NS	1	R/W	大容量内蔵RAMページ1　アクセス可能属性 大容量内蔵RAMページ1のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず大容量内蔵RAMページ1にアクセスしていない時に行ってください。
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
12	VRAM2NS	1	R/W	大容量内蔵RAMページ2　アクセス可能属性 大容量内蔵RAMページ2のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず大容量内蔵RAMページ2にアクセスしていない時に行ってください。
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
10	VRAM3NS	1	R/W	大容量内蔵RAMページ3　アクセス可能属性 大容量内蔵RAMページ3のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず大容量内蔵RAMページ3にアクセスしていない時に行ってください。
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
8	VRAM4NS	1	R/W	大容量内蔵RAMページ4　アクセス可能属性 大容量内蔵RAMページ4のアクセス可能属性を設定します。 0: セキュアアクセスのみ可能 1: 非セキュア、セキュアアクセスともに可能 本ビットの書き換えは、必ず大容量内蔵RAMページ4にアクセスしていない時に行ってください。
7 ～ 0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.12　割り込み要求

AXI バス応答エラーステータスレジスタ (AXIRERRST) に記載のデコード／スレーブエラー発生した際、AXI バス応答エラー割り込み要求（PRRI）を出力します。

AXI バス応答エラー割り込みコントロールレジスタ (AXIRERRCTL) で割り込み要求許可を設定したバスに、応答エラーが返った時、割り込み要求を出力します。応答エラーの内容は、AXI バス応答エラーステータスレジスタ (AXIRERRST) を読み出すことにより確認することができます。割り込み要求をクリアする際は、AXI バス応答エラークリアレジスタ（AXIRERRCLR）で、AXI バス応答エラーステータスレジスタをクリアします。

表 5.7 に記載のライトバッファは、条件欄に記載の転送時にエラー応答を受取った場合に割り込み要求を出力します。これらの割り込み要求信号は Bφ で 8 クロックのハイ・パルスを出力します。各ライトバッファに対する割り込み信号名は、**表 5.7** を参照してください。

なお、上記の割り込み要求はデバッグ用途です。システム動作時は、応答エラーが発生しないようにしてください。

表5.7　　ライトバッファの割り込み信号名

割り込み信号名	ライトバッファ接続元/接続先	条件
X2HPERI12_ERRINT	ノース基幹バス / 周辺バス 1 及び周辺バス 2	バッファ可能属性でのライト転送時
X2HPERI34_ERRINT	ノース基幹バス / 周辺バス 3	
X2HPERI5_ERRINT	ノース基幹バス / 周辺バス 4	
X2HPERI67_ERRINT	ノース基幹バス / 周辺バス 5	
X2HDBGR_ERRINT	ノース基幹バス / 周辺バス 6	
H2XDBG_ERRINT	CoreSight/ノース基幹バス	ライト転送およびリード転送時
H2XETH_ERRINT	イーサネット MAC コントローラ/サウス基幹バス 2	
H2XDAV0_ERRINT	2D 描画エンジン 0/サウス基幹バス 1	
H2XDAV1_ERRINT	2D 描画エンジン 1/サウス基幹バス 1	
H2XUSB00_ERRINT	USB 2.0 チャネル 0/サウス基幹バス 2	
H2XUSB01_ERRINT	USB 2.0 チャネル 0/サウス基幹バス 2	
H2XUSB10_ERRINT	USB 2.0 チャネル 1/サウス基幹バス 2	
H2XUSB11_ERRINT	USB 2.0 チャネル 1/サウス基幹バス 2	

6. クロックパルス発振器

本 LSI は、クロックパルス発振器を内蔵しており、CPU クロック（Iφ）、画像処理クロック（Gφ）、内部バスクロック（Bφ）、周辺クロック 1（P1φ）、および周辺クロック 0（P0φ）を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

6.1 特長

- クロックの種類
  CPU クロック（Iφ）、画像処理クロック（Gφ）、内部バスクロック（Bφ）、外部バスインタフェースで使用する周辺クロック 1（P1φ）さらに、周辺モジュールで使用する周辺クロック 0（P0φ）を独立に生成できます。(CKIO ：P1φ または Bφ)
- 周波数変更機能
  本モジュール内部の PLL（Phase Locked Loop）回路や分周回路により、CPU クロックと画像処理クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ（FRQCR）の設定により、ソフトウェアで行います。
- クロック選択
  CKIO、SPI マルチ I/O バスコントローラ、HyperBus™ コントローラおよび Octa メモリコントローラのクロックをレジスタ (CKIOSEL, SCLKSEL) の設定により変更できます。
- 低消費電力モードの制御
  スリープモード、ソフトウェアスタンバイモード、およびディープスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、**「52. 低消費電力モード」**を参照してください。
- SSCG 機能
  クロックパルス発振器内部の PLL（Phase Locked Loop）回路に SSCG（Spread Spectrum Clock Generator）を内蔵しています。
  SSCG とは、出力周波数をわずかに変動させて発振（周波数変調）させることで、EMI（電磁波輻射）ノイズのピークを抑えることができます。
  本 LSI で使用している SSCG の仕様は、以下です。
- SSCG 仕様
  1. 変調波形（変調プロファイル）：三角波
  2. スプレッドタイプ　　：ダウンスプレッド
  3. 変調率　　：-2.2%
  4. 変調周波数　　：20.00 ～ 24.00kHz
     （クロックモード０：　EXTAL 周波数 ÷ 500
     クロックモード１：　EXTAL 周波数 ÷ 1000）

図 6.1 にブロック図を示します。

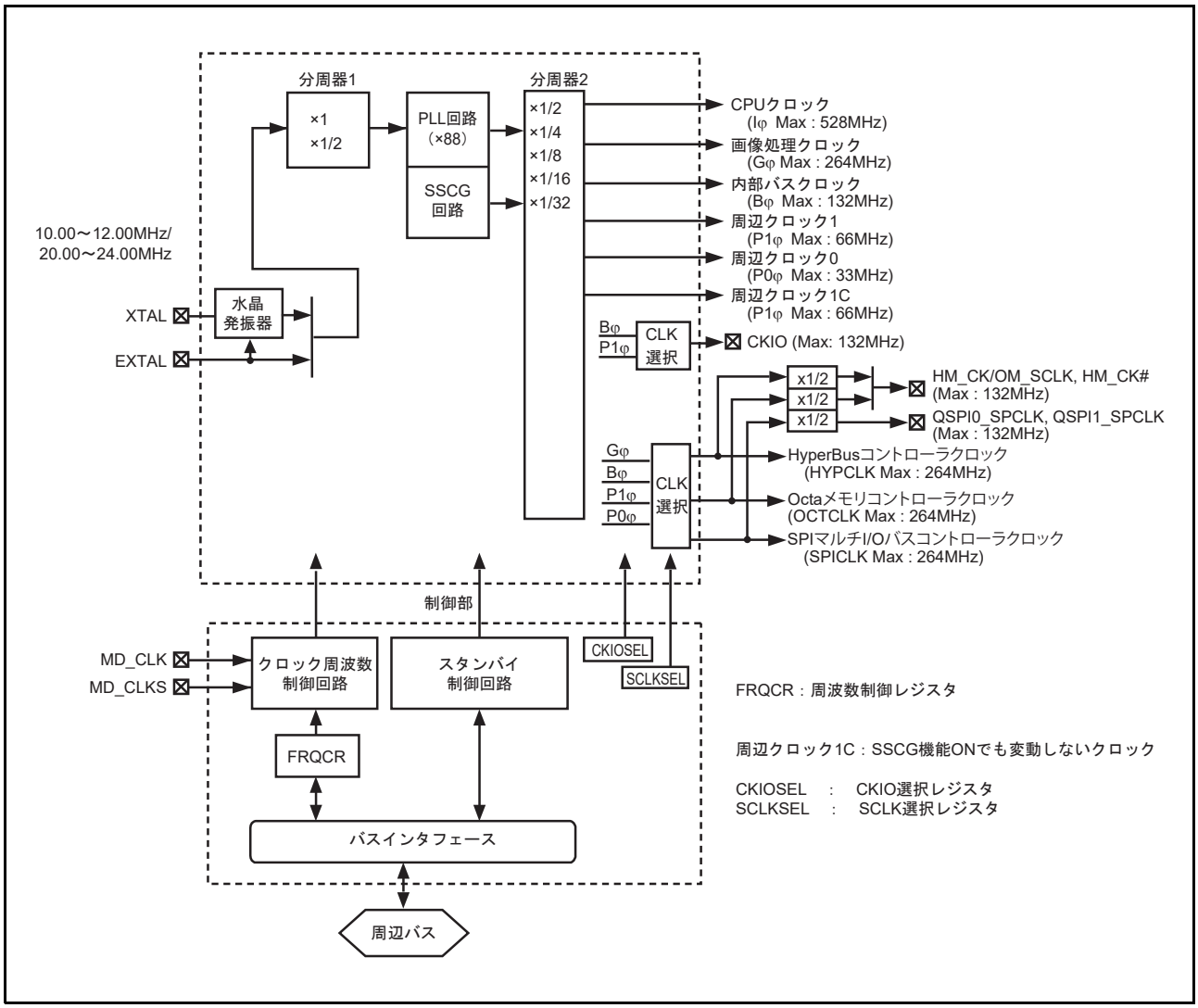


図 6.1　　ブロック図

本モジュールの各ブロックは、次のように機能します。

(1)　水晶発振器

水晶発振器は、XTAL、EXTAL 端子に水晶発振子を接続する場合に使用されます。クロックモードの設定により、入力周波数の範囲が選択されます。

(2)　PLL 回路

PLL 回路は、EXTAL 端子からの入力クロックを 88 逓倍する機能を持ちます。

(3)　分周器 1、分周器 2

分周器 1 は、クロックモードにより、1 または 1/2 分周となります。

分周器 2 は、CPU クロック、画像処理クロック、内部バスクロック、周辺クロック 1 および周辺クロック 0 で使用する動作周波数のクロックを生成する機能を持ちます。周辺クロック 0 以外の分周率は、周波数制御レジスタ（FRQCR）で設定します。周辺クロック 0 の分周率は 1/32 固定です。

(4)　クロック周波数制御回路

クロック周波数制御回路は、周波数制御レジスタ（FRQCR）によりクロック周波数を制御します。

(5)　スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはソフトウェアスタンバイモードおよびディープスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

さらに、他のモジュールの低消費電力モードを制御するスタンバイコントロールレジスタがあります。スタンバイコントロールレジスタについては、**「52.　低消費電力モード」**を参照してください。

(6)　周波数制御レジスタ（FRQCR）

周波数制御レジスタ（FRQCR）には、ソフトウェアスタンバイモード時および、ディープスタンバイモード時の CKIO 端子からのクロック出力の有無、CPU クロック（Iφ）、内部バスクロック（Bφ）および周辺クロック 1（P1φ）の周波数分周率の各制御ビットが割り当てられています。画像処理クロック（Gφ）は、FRQCR レジスタの設定値によって、周波数分周率を切り替えます。

(7)　クロック選択レジスタ (CKIOSEL、SCLKSEL)

クロック選択レジスタ (CKIOSEL、SCLKSEL) は、CKIO、SPI マルチ I/O バスコントローラ、HyperBus コントローラおよび Octa メモリコントローラのクロック選択のビットが割り当てられています。

(8)　SSCG 回路

SSCG 回路は、MD_CLKS 端子により機能 ON、機能 OFF の制御を行います。SSCG 機能が OFF の場合、内部クロックはすべて変動のない一定の周波数のクロックになります。SSCG 機能を ON にすると、以下に示す一部の周辺モジュールに供給するクロック以外が、変動する周波数のクロックになります。

常に変動しない周波数のクロックが供給される周辺モジュール：

マルチファンクションタイマパルスユニット 3、FIFO 内蔵シリアルコミュニケーションインタフェース、CAN FD インタフェース、OS タイマ、汎用 PWM タイマ、シリアルコミュニケーションインタフェース、LVDS 出力インタフェース (LVDS PLL 回路のみ)、ポートアウトプットイネーブル、ダイナミックリコンフィギュアラブルプロセッサ

6.2　入出力端子

表 6.1 に端子構成と機能を示します。

表6.1　　端子構成と機能

名称	端子名	入出力	機能
モード制御端子	MD_CLK	入力	EXTAL入力の周波数範囲を切り替えます。
	MD_CLKS	入力	SSCG回路動作ON、OFFを設定します。
クリスタル入出力端子（クロック入力端子）	XTAL	出力	水晶発振子を接続します。 （水晶発振子を使用しない場合は、端子を開放してください）
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します。
クロック出力端子	CKIO	出力	クロック出力端子になります。

6.3 クロックモード

クロック入出力の関係を**表 6.2** に示します。

表6.2　クロック入出力の関係

モード	MD_CLK 端子設定値	クロック入出力		分周器1	PLL回路	CKIOの周波数
		供給源	出力			
0	0	EXTAL／水晶発振子 (10MHz～12MHz)	CKIO	1	ON（×88）	（EXTAL／水晶） Bφ :x11/x5.5/x2.75 P1φ:x5.5/x2.75
1	1	EXTAL／水晶発振子 (20MHz～24MHz)	CKIO	1/2	ON（×88）	（EXTAL／水晶） Bφ :x5.5/x2.75/x1.375 P1φ:x2.75/x1.375

本 LSI は、RES# が L の状態のときに、MD_CLK 端子の設定値により PLL 入力クロックの分周比を切り替えます。

同様に、RES# が L の状態のときに、MD_CLKS 端子の設定値により SSCG 動作 ON、OFF を切り替えます。設定値に対応する動作は、以下となります。ただし、PLL の逓倍率および各クロックの分周率が設定値によって変わるものではありません。

表6.3　SSCG動作設定

MD_CLKS端子設定値	SSCG動作
0	OFF
1	ON

使用可能周波数範囲を**表 6.4** に、出力クロック (CKIO) の使用周波数範囲を**表 6.5** に示します。

表6.4　設定可能な周波数範囲

モード	FRQCR レジスタ設定値（注1）	PLL 逓倍率 PLL 回路	内部クロック比 (I：G：B：P1：P0)（注2）	設定可能な周波数範囲（MHz）（注3）					
				入力クロック	CPU クロック (Iφ)	画像処理クロック（Gφ）	内部バスクロック (Bφ)	周辺クロック 1 (P1φ)	周辺クロック 0 (P0φ)
0	H'x012	ON (×88)	44：22：11：5.5：2.75	10.0~12.0	440~528	220~264	110~132	55~66	27.5~33
	H'x112		22：22：11：5.5：2.75		220~264				
	H'x212		11：22：11：5.5：2.75		110~132				
	H'x322		5.5：11：5.5：5.5：2.75		55~66	110~132	55~66		
	H'x333		5.5：5.5：2.75：2.75：2.75			55~66	27.5~33	27.5~33	
1	H'x012	ON (×88)	22：11：5.5：2.75：1.375	20.0~24.0	440~528	220~264	110~132	55~66	27.5~33
	H'x112		11：11：5.5：2.75：1.375		220~264				
	H'x212		5.5：11：5.5：2.75：1.375		110~132				
	H'x322		2.75：5.5：2.75：2.75：1.375		55~66	110~132	55~66		
	H'x333		2.75：2.75：1.375：1.375：1.375			55~66	27.5~33	27.5~33	

表6.5　出力クロック(CKIO)の使用周波数範囲

CKIO選択レジスタ（CKIOSEL[1:0]）の設定値	出力クロック(CKIO端子)
00	Bφ (max.132MHz)
01	P1φ (max. 66MHz)

注1.　FRQCR レジスタ設定値のx は、ビット14、13、12 の設定値によります。
注2.　入力クロック周波数を1 としたときのクロック比です。
注3.　MIPI CSI-2インタフェースを使用する場合は、Gφ=264MHzに必ず設定してください。Gφは常にBφ × 2となります。
注4.　歪み補正エンジンを使用する場合は、FRQCR=H'x012または、H'x112を必ず設定してください。

注意．表 6.4 以外の周波数設定で本 LSI を使用しないでください。

6.4　レジスタの説明

レジスタ構成を表 6.6 に示します。

表6.6　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
周波数制御レジスタ	FRQCR	R/W	H'0212	H'FCFE0010	16
CKIO選択レジスタ	CKIOSEL	R/W	H'0001	H'FCFE0100	16
SCLK選択レジスタ	SCLKSEL	R/W	H'0000	H'FCFE0104	16

6.4.1　周波数制御レジスタ（FRQCR）

FRQCR は、読み出し／書き込み可能な 16 ビットのレジスタで、通常時、XTAL 用水晶発振器のゲイン変更時、ソフトウェアスタンバイモード時、ディープスタンバイモード時、およびスタンバイ解除時の CKIO 端子からクロック出力の有無、CPU クロック（Iφ）、内部バスクロック（Bφ）および外部バスインタフェースで使用する周辺クロック 1（P1φ）の周波数分周率の指定ができます。画像処理クロック (Gφ) は常に内部バスクロック (Bφ) の 2 倍となります。FRQCR は、16 ビットサイズアクセスのみ可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CKOEN2	CKOEN[1:0]		—	—	IFC[1:0]		—	—	BFC[1:0]		—	—	PFC[1:0]	
初期値：	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1	0
R/W：	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	CKOEN2	0	R/W	クロック出力イネーブル2 CKOEN2は、XTAL水晶発振器のゲイン変更時にCKIO端子からクロックを出力するかCKIO端子をローレベル固定するかを指定します。 1を設定した場合は、XTAL水晶発振器のゲイン変更時の間、CKIO端子がローレベルに固定されます。これによりXTAL水晶発振器のゲイン変更時の不安定なCKIOクロックによって外部回路が誤動作することを防ぐことができます。 0：不安定なクロックを出力 1：ローレベル出力
13、12	CKOEN[1:0]	00	R/W	クロック出力イネーブル CKOEN[1:0]は、通常時、ディープスタンバイモード時、ソフトウェアスタンバイモード時、およびスタンバイ解除時にCKIO端子からクロックを出力するか、CKIO端子をレベル固定するか、ハイインピーダンス状態（Hi-Z）にするかを指定します。 01を設定した場合は、ディープスタンバイモード時、ソフトウェアスタンバイモード時およびソフトウェアスタンバイ解除時の間、CKIO端子がローレベルに固定されます。これにより、ソフトウェアスタンバイ解除時の不安定なCKIOクロックによって外部回路が誤動作することを防ぐことができます。 表6.7にCKOEN[1:0]ビットの設定内容を示します。
11、10	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	IFC[1:0]	10	R/W	CPUクロック周波数の分周率 PLL回路の出力周波数に対してのCPUクロック周波数の分周率を指定します。 注.　「6.5.1　分周率の変更」参照 00：×1/2倍 01：×1/4倍 10：×1/8倍 11：×1/16倍

ビット	ビット名	初期値	R/W	説　　明
7、6	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	BFC[1:0]	01	R/W	内部バスクロック周波数の分周率 PLL回路の出力周波数に対しての内部バスクロック周波数の分周率を指定します。 注．「6.5.1　分周率の変更」参照 00：予約（設定禁止） 01：×1/8倍 10：×1/16倍 11：×1/32倍
3、2	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PFC[1:0]	10	R/W	外部バスインタフェースで使用する周辺クロック 1周波数の分周率 PLL回路の出力周波数に対しての外部バスインタフェースで使用する周辺クロック 1周波数の分周率を指定します。 注．「6.5.1　分周率の変更」参照 00：予約（設定禁止） 01：予約（設定禁止） 10：×1/16倍 11：×1/32倍

表6.7　　CKOEN[1:0]ビットの設定内容

設定値	通常時	ソフトウェアスタンバイモード時	ディープスタンバイモード時（注1）
00	出力	出力オフ （Hi-Z）	出力オフ （Hi-Z）
01	出力	ローレベル出力	ローレベル出力
10	出力	出力 （不安定なクロック出力）	ローレベル出力またはハイレベル出力
11	出力オフ （Hi-Z）	出力オフ （Hi-Z）	出力オフ （Hi-Z）

注1.　ただし、ディープスタンバイ解除時、出力されるCKIOクロックの先頭が欠ける場合があります。

6.4.2　CKIO 選択レジスタ（CKIOSEL）

CKIOSEL は、読み出し／書き込み可能な 16 ビットのレジスタで、CKIO 出力のクロックが選択できます。CKIOSEL は、16 ビットサイズアクセスのみ可能です。

CS0 ～ CS5 の外部アドレス空間アクセス中に本レジスタの設定処理は実行できません。本レジスタの設定処理は内蔵 RAM 上に配置して実行するようお願いします。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKIOSEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	CKIOSEL[1:0]	01	R/W	CKIO出力クロックの選択 00：Bφのクロックを出力 01：P1φのクロックを出力 10：予約（設定禁止） 11：予約（設定禁止）

6.4.3　SCLK 選択レジスタ（SCLKSEL）

SCLKSEL は、読み出し／書き込み可能な 16 ビットのレジスタで、SPI マルチ I/O バスコントローラ、HyperBus コントローラおよび Octa メモリコントローラの周波数を変更できます。SCLKSEL は、16 ビットサイズアクセスのみ可能です。

設定対象のメモリにアクセス中に、SCLKSEL のレジスタ設定処理は実行できません。本レジスタの設定処理は内蔵 RAM 上に配置して実行するようお願いします。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OCTCR [1:0]		—	—	HYMCR [1:0]		—	—	SPICR[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	OCTCR [1:0]	00	R/W	Octa メモリコントローラのクロック選択(注 1) 00：P0φのクロックを出力 01：P1φのクロックを出力 10：Bφのクロックを出力 11：Gφのクロックを出力
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	HYMCR [1:0]	00	R/W	HyperBus コントローラのクロック選択(注 1) 00：P0φのクロックを出力(注 2) 01：P1φのクロックを出力 10：Bφのクロックを出力 11：Gφのクロックを出力
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	SPICR [1:0]	00	R/W	SPI マルチ I/O バスコントローラのクロック選択(注 1) 00：P0φのクロックを出力 01：P1φのクロックを出力 10：Bφのクロックを出力 11：Gφのクロックを出力

注 1.　本 LSI と外部メモリの両方の電気的特性を満足する設定値を選択してください。
注 2.　HyperBus コントローラを使用する場合は 00 以外を設定してください。
注 3.　本レジスタで選択したクロックの 1/2 が外部出力のクロックとなります。

6.5 周波数変更方法

CPU クロック（Iφ）、内部バスクロック（Bφ）、外部バスインタフェースで使用する周辺クロック 1（P1φ）および画像処理クロック（Gφ）の周波数を変更するには、分周器の分周率を変えます。分周率の変更は、周波数制御レジスタ（FRQCR）によってソフトウェアで制御します。

6.5.1 分周率の変更

分周率を変更する手順は、以下の方法です。なお、周波数制御レジスタ（FRQCR）の IFC[1:0] 、BFC[1:0] または PFC[1:0] を変更後、バスマスタからの発行済リクエストの完了を待ってから、ハードウェアがバスマスタを自動的に停止させ、周波数変更を開始します。

この際、発行済リクエストが完了できない場合は周波数変更処理を開始できませんので、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは実施しないでください。

また、バスマスタから意図しないリクエストの発生を抑止するために、周波数変更を実行する前に、予めソフトウェアにより各バスマスタを停止させてください。

CKIO、SPI マルチ I/O バスコントローラ、HyperBus コントローラおよび Octa メモリコントローラのクロック選択レジスタ (CKIOSEL, SCLKSEL) による切り替えは、バスマスタからの発行済リクエストの完了を待たずに行います。

1. PL310 の Power Control Register の standby_mode_en を設定してください。レジスタ詳細については、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。
2. 初期状態では、IFC[1:0] ＝ B'10、BFC[1:0]= B'01 および PFC[1:0]= B'10 になっています。
3. IFC[1:0]、BFC[1:0] および PFC[1:0] ビットを目的とする値に設定します。誤った値を設定すると本 LSI は誤動作するので注意してください。
4. レジスタの各ビット（IFC[1:0]、BFC[1:0]、PFC[1:0]）が設定されると、設定されたクロックに切り替わります。

注 . 周波数変更後 WFI 命令を実行する場合、周波数制御レジスタ（FRQCR）をリードして設定されたことを確認してください。さらに、CPU ステータスレジスタ（CPUSTS）の ISBUSY ビットが 0 であることを確認してから、WFI 命令を実行してください。

6.6　クロック端子の使用方法

本 LSI には、水晶発振子を接続またはクロック入力が可能な端子として、**表 6.8** に示す端子があります。

これらの端子に関して、以下のことに注意してください。なお、本文中の Xin 端子と Xout 端子は**表 6.8** の端子を示します。

表6.8　クロック端子

Xin端子 （水晶発振子を接続または外部クロック入力端子として使用する）	Xout端子 （水晶発振子を接続する）
EXTAL	XTAL
USB_X1	USB_X2
AUDIO_X1	AUDIO_X2
RTC_X1	RTC_X2

6.6.1　外部クロック入力時

外部クロック入力の接続例を**図 6.2** に示します。Xout 端子を開放状態にする場合、寄生容量は 10pF 以下にしてください。

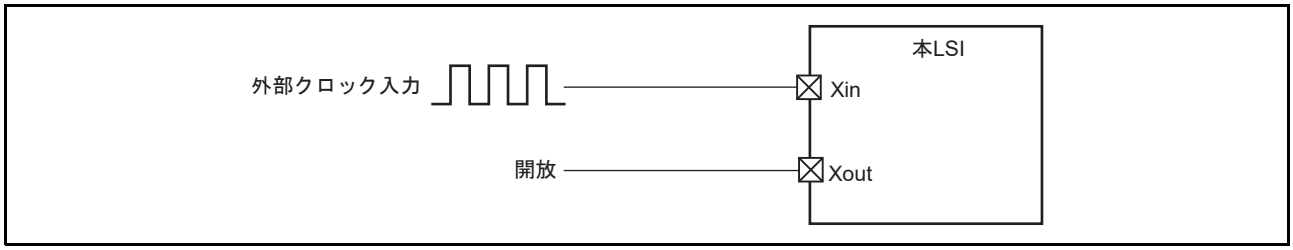


図 6.2　外部クロックの接続例

6.6.2　水晶発振子使用時

水晶発振子の接続例を図 6.3 に示します。

水晶発振子と容量 CL1、CL2 は、できるだけ Xin 端子と Xout 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、水晶発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

水晶発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する水晶発振子の接続例を参考に、ユーザ側での十分な評価を実施して使用してください。水晶発振子の回路定格は、水晶発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカーと十分ご相談の上決定してください。クロック端子に印加される電圧が最大定格を超えないようにしてください。帰還抵抗を内蔵しておりますが、水晶発振子の特性によっては外付け帰還抵抗が必要になる場合があります。ユーザ側で十分な評価を実施して、パラメータ（抵抗、容量値）を設定してください。

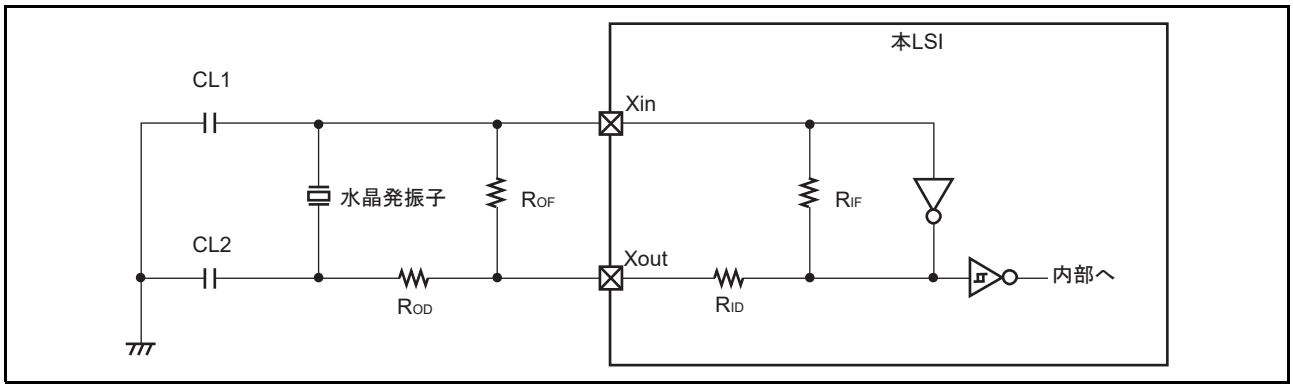


図 6.3　水晶発振子の接続例

6.6.3　未使用時

未使用時は、Xin 端子は固定（プルアップ／プルダウン／電源接続／グランド接続）、Xout 端子は開放にしてください。

6.7 発振安定時間

6.7.1 内蔵水晶発振器の発振安定時間

内蔵水晶発振器の発振安定時間確保のため、水晶発振子使用時は以下の場合は内蔵発振回路発振安定時間待つようにしてください（外部クロック入力時は必要ありません）。

- 電源投入時
- ソフトウェアスタンバイモードまたはディープスタンバイモードを RES# 端子で解除するとき
- パワーオンリセットまたはレジスタ設定により、発振停止から発振動作へ変化するとき（AUDIO_X1）
- レジスタ設定により発振停止から発振動作へ変化するとき（RTC_X1）
- RES# 端子によるパワーオンリセットにより、水晶発振器のゲインが変化するとき（EXTAL）

6.7.2 PLL 回路の発振安定時間

EXTAL からの入力が、PLL に供給されます。このため、EXTAL に水晶発振子を使用するか外部クロック入力するかにかかわらず、PLL 回路の発振安定時間確保のため、以下の場合は発振安定時間以上待つようにしてください。

- 電源投入時（水晶発振子使用時）／外部クロック入力開始時（外部クロック入力時）
- ソフトウェアスタンバイモードまたはディープスタンバイモードを RES# 端子で解除するとき

【備考】
以下の場合は本 LSI 内部のカウンタが動作することで発振安定時間が確保されます。

- ソフトウェアスタンバイモードまたはディープスタンバイモードを RES# 端子以外で解除するとき
- レジスタ設定により、水晶発振器のゲインを変更するとき（EXTAL）

6.8　ボード設計上の注意事項

6.8.1　PLL 発振回路使用時の注意

PLL 用 PLLVcc の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、PVcc のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

6.9　SSCG 仕様の変調率と変調周波数の定義

SSCG 回路では、出力周波数をわずかに変動させて周波数変調を行うことにより輻射ノイズのピークを抑えることができます。このときの周波数の変化率を変調率、入力クロックに対する周波数遷移の周波数を変調周波数と定義します。変調率と変調周波数を図 6.4 に示します。

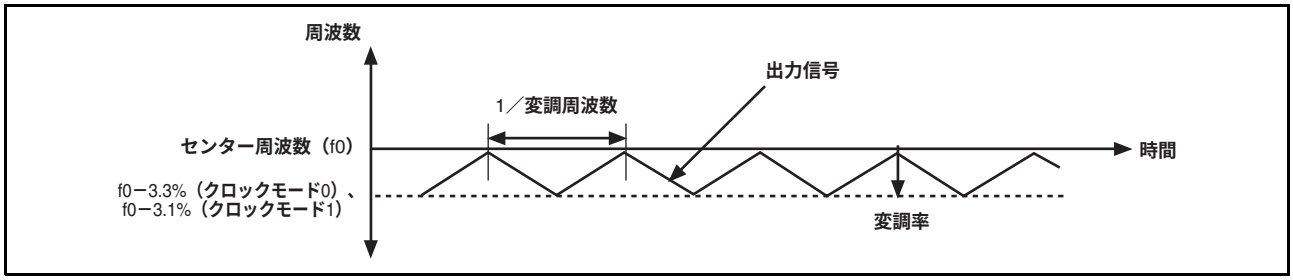


図 6.4　SSCG 変調率と変調周波数の定義

6.10 クロック樹形図

6.10.1 システムクロック、リアルタイムクロック用クロック

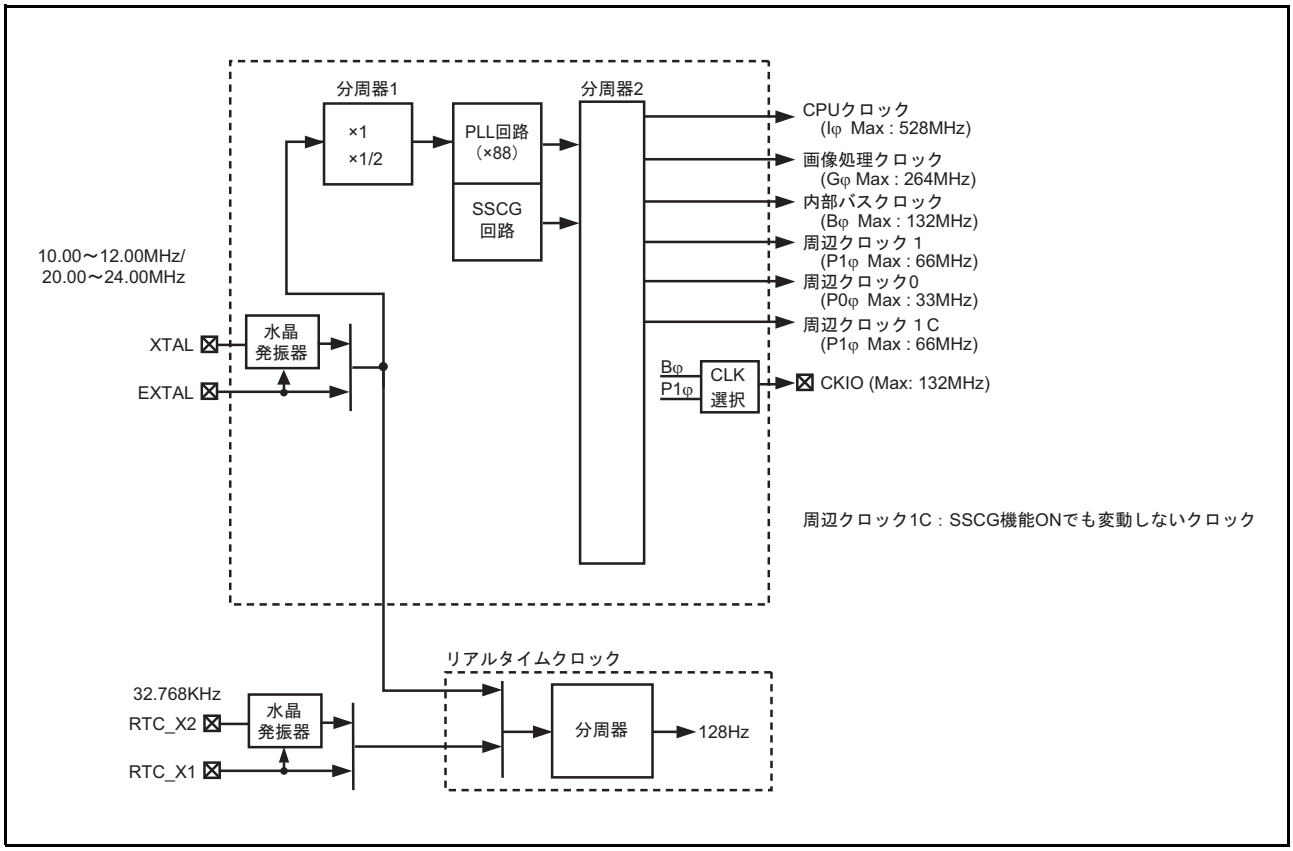


図 6.5 システムクロック、リアルタイムクロック用クロック樹形図

6.10.2 音声クロック、USB クロック

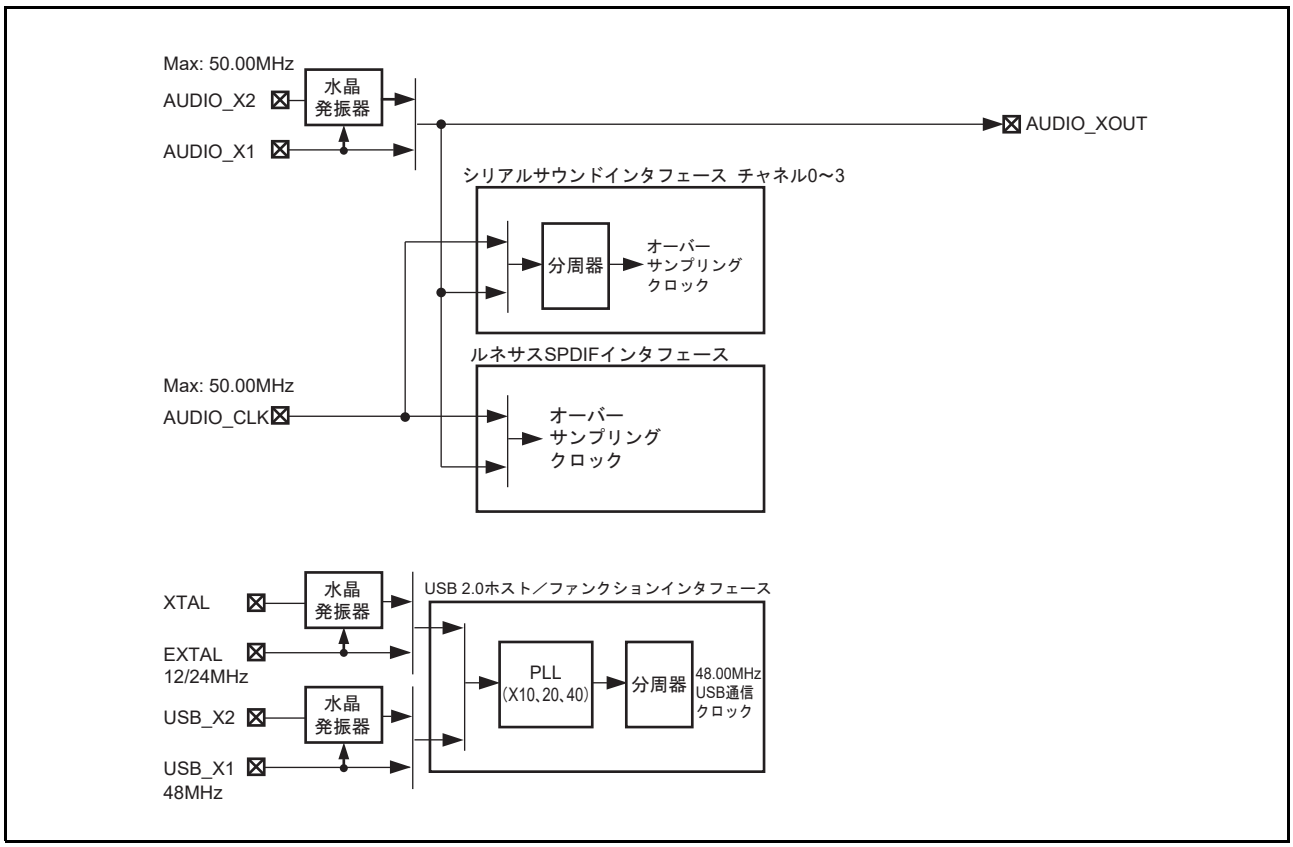


図 6.6 音声クロック、USB クロック樹形図

6.10.3　映像クロック（チャネル 0）

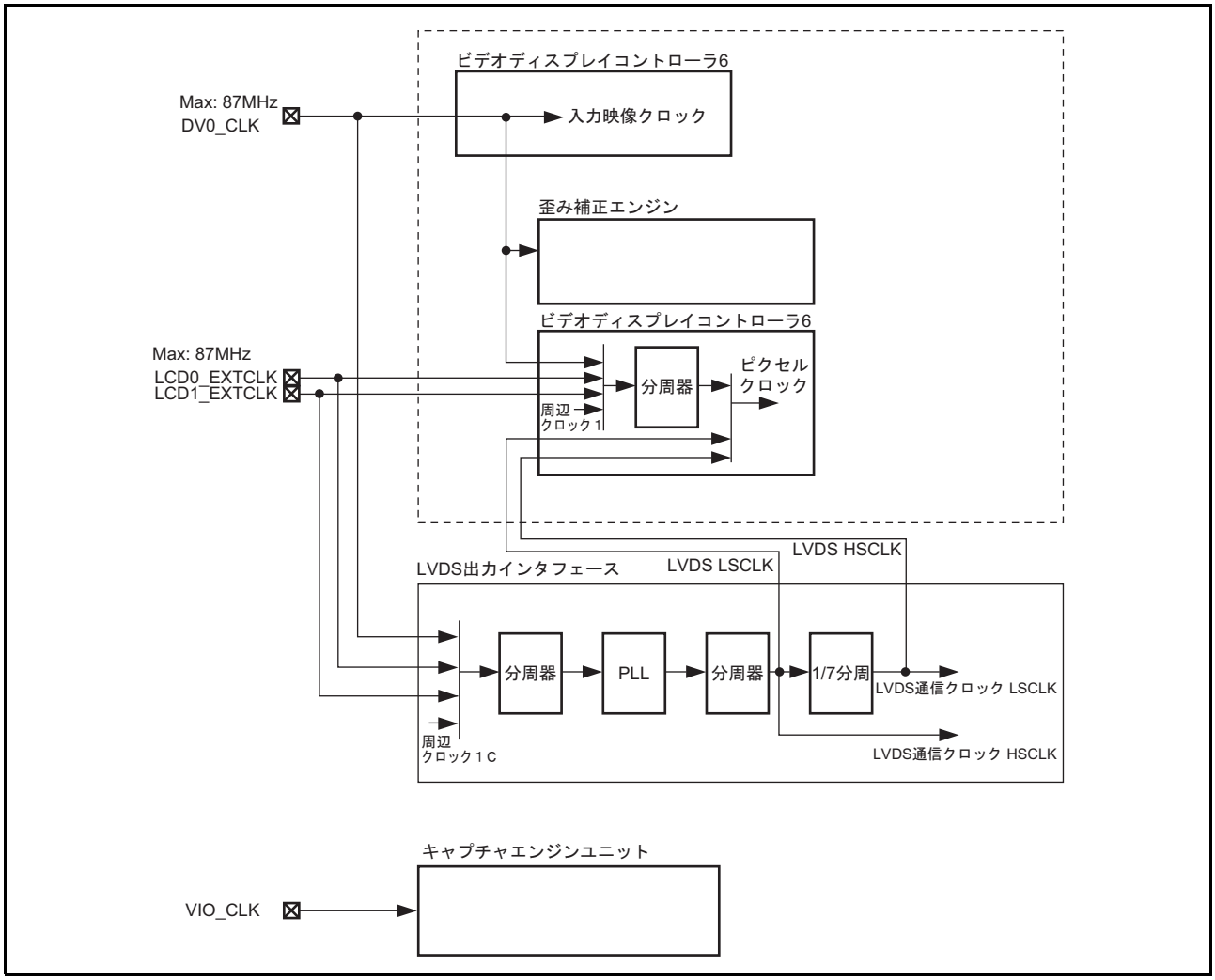


図 6.7　映像クロック（チャネル 0）樹形図

6.10.4　その他クロック 1

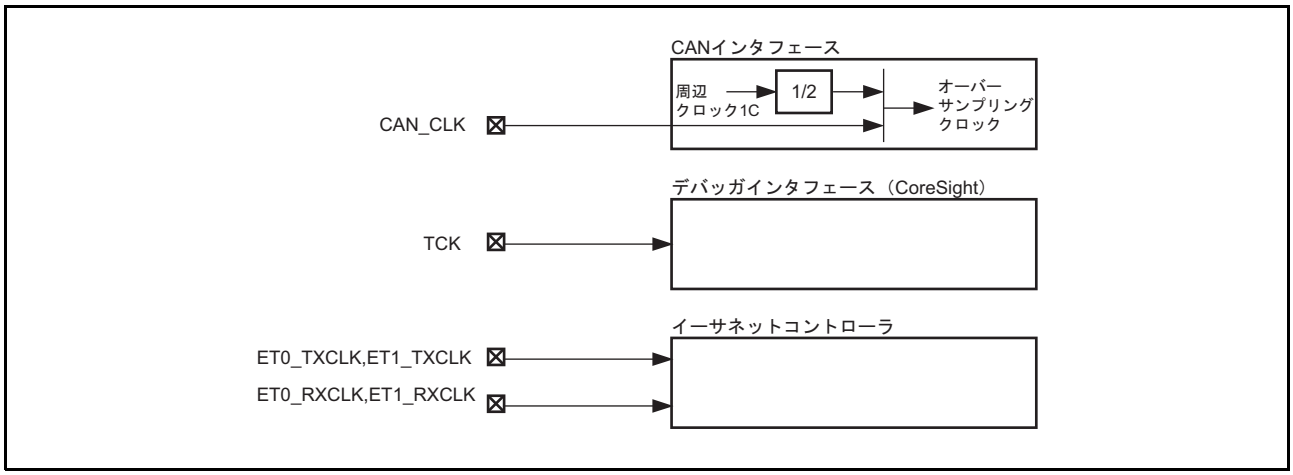


図 6.8　その他のクロック樹形図 1

6.10.5 その他クロック 2

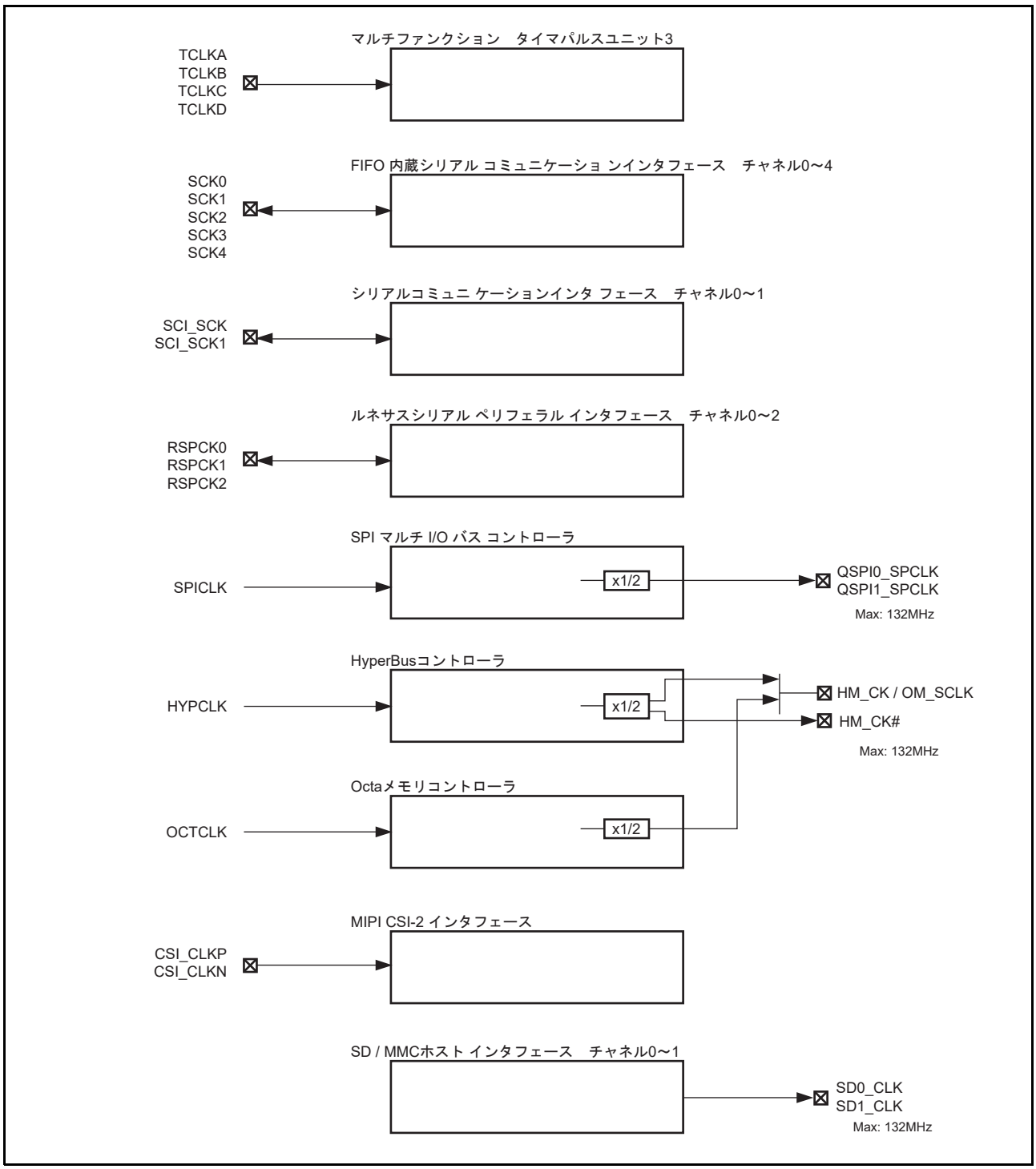


図 6.9 その他のクロック樹形図 2

6.10.6　内部クロック（1）

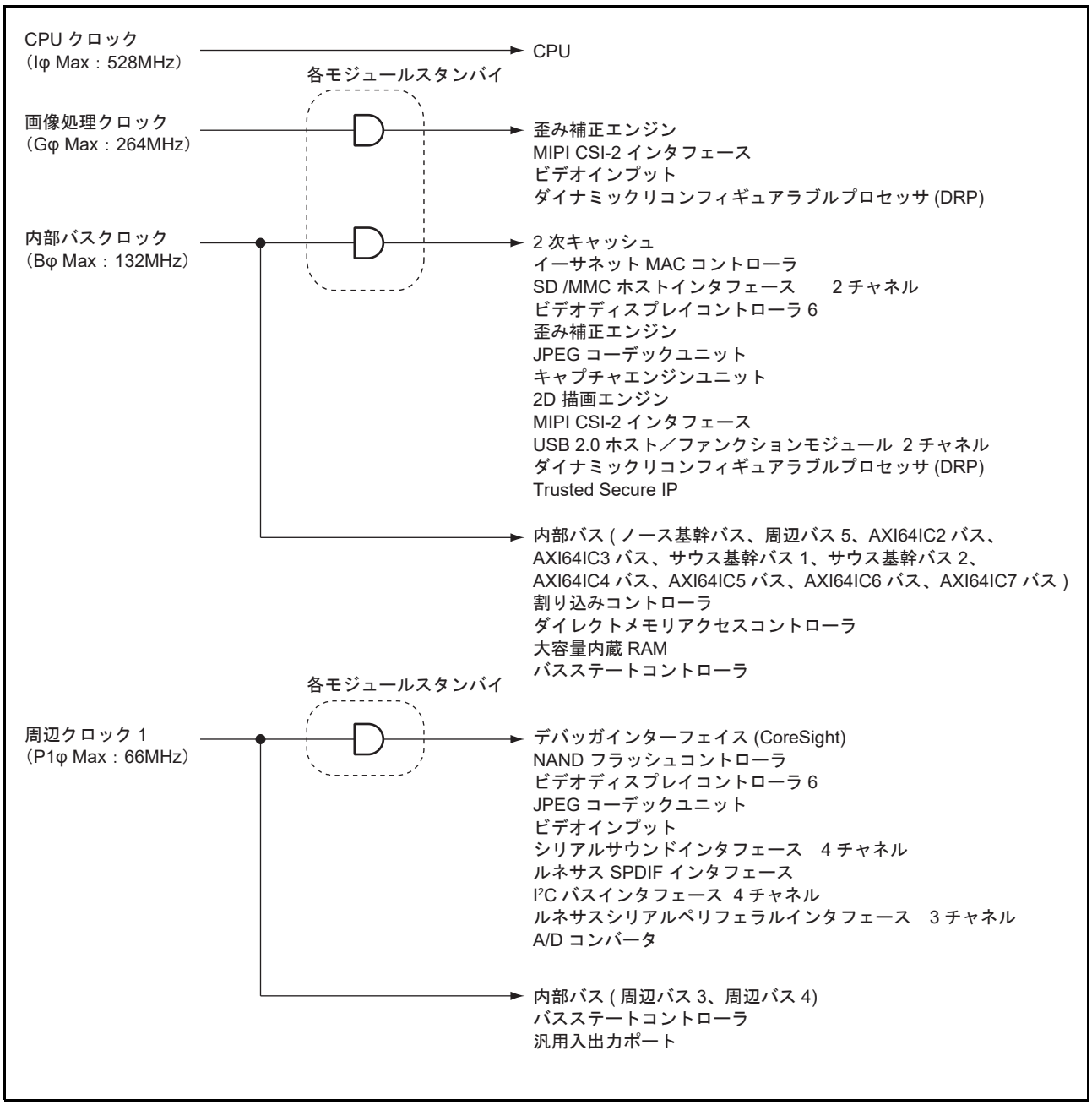


図 6.10　内部クロック分配図（1）

6.10.7　内部クロック（2）

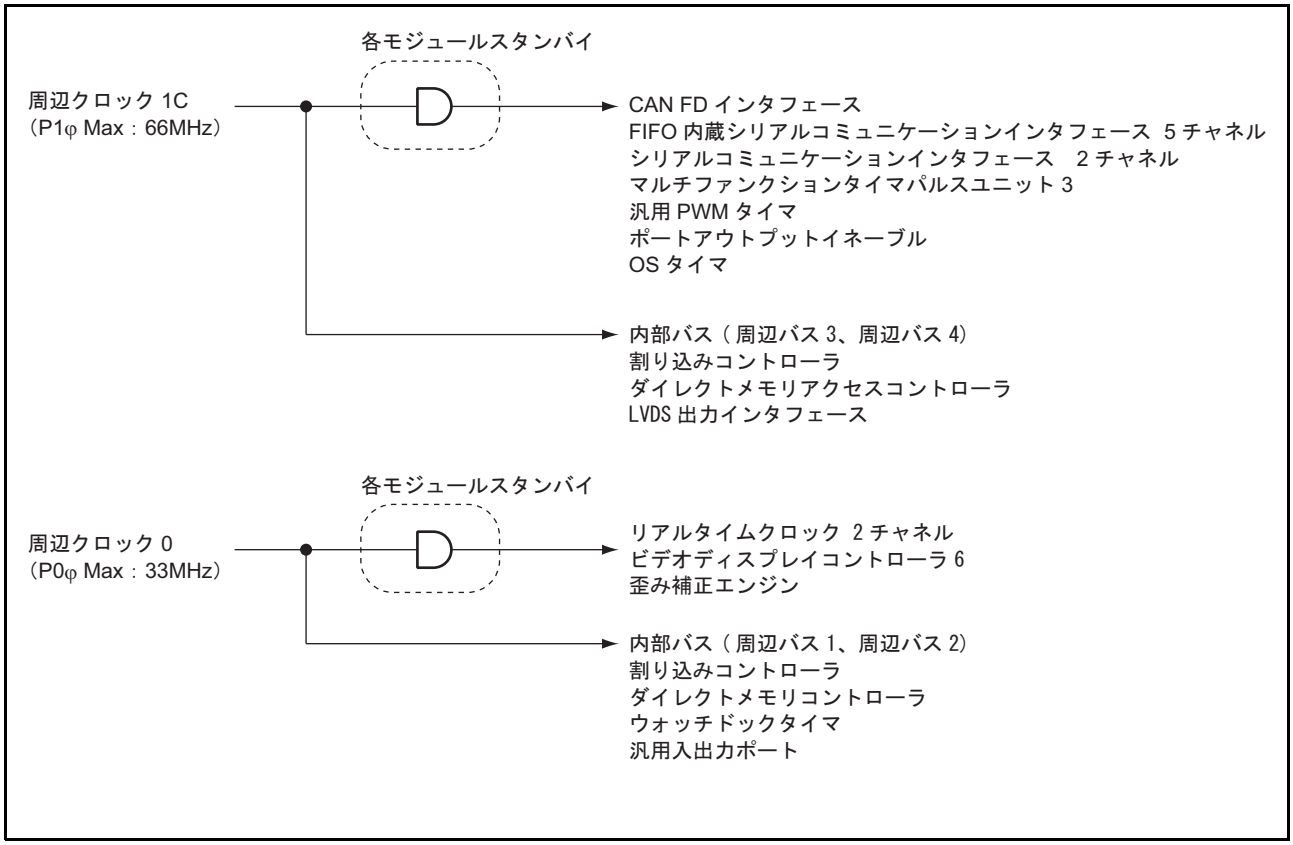


図 6.11　内部クロック分配図（2）

6.10.8　内部クロック（3）

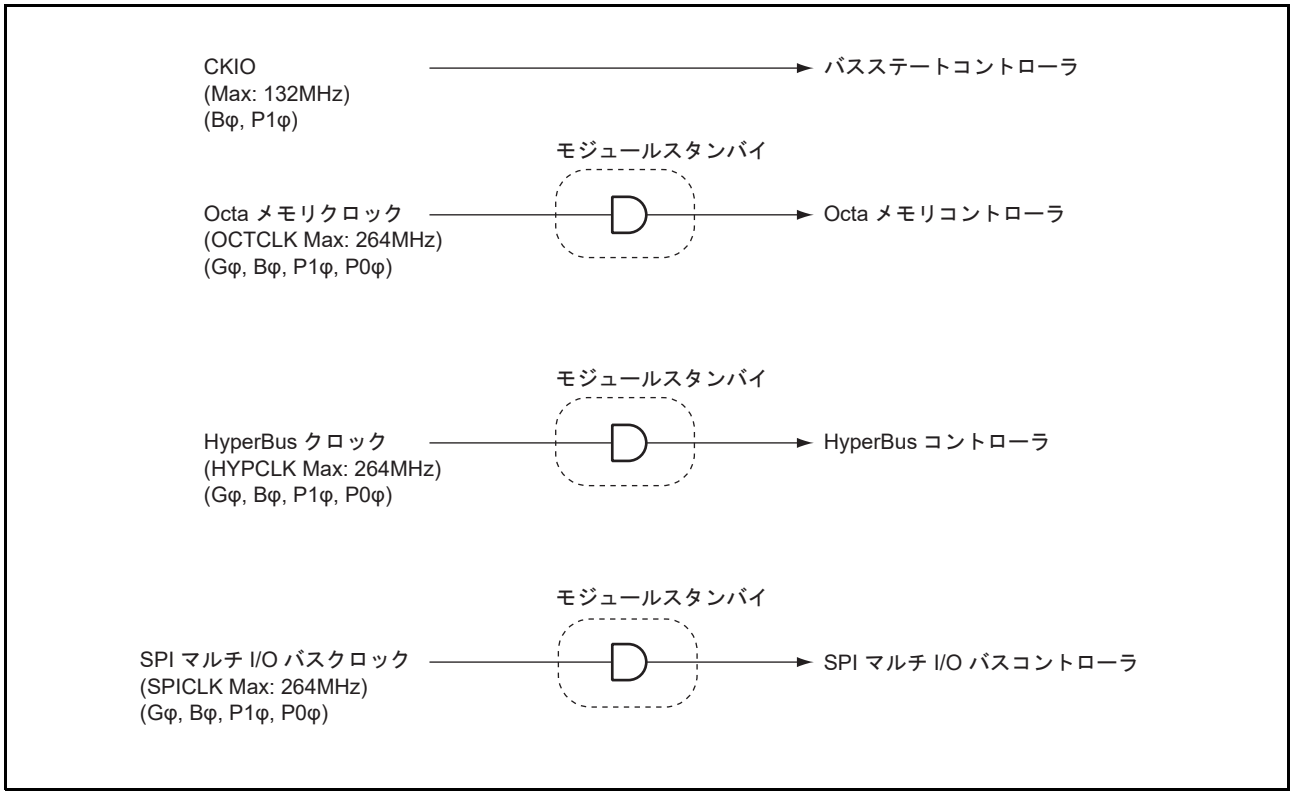


図 6.12　内部クロック分配図（3）

7. 割り込みコントローラ

割り込みコントローラは、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。本モジュールには、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

7.1 特長

- 割り込み優先順位を 32 レベル設定可能
  割り込み優先レベル設定レジスタにより、IRQ 割り込み、内蔵周辺モジュール割り込み、および端子割り込みの優先順位を要求元別に 32 レベルまで設定することができます。
- NMI ノイズキャンセラ機能
  NMI 端子の状態を示す NMI 入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。
- Arm 社の PrimeCell® Generic Interrupt Controller（GIC-400）搭載 *

注 . * GIC-400 は Arm Generic Interrupt Controller(GIC) Architecture specification version2 に対応しています。

図 7.1 にブロック図を示します。

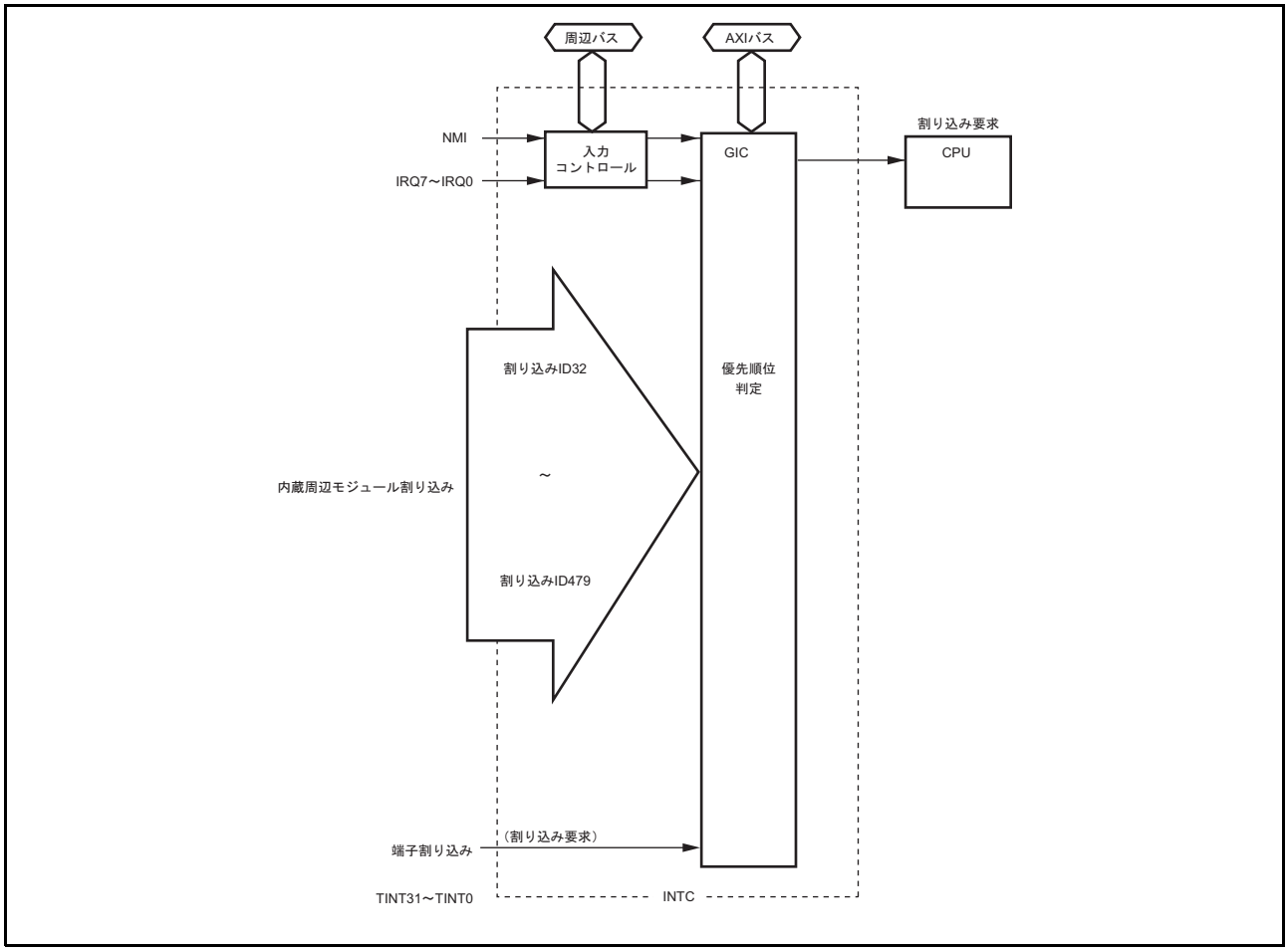


図 7.1　ブロック図

7.2 入出力端子

表 7.1 に端子構成を示します。

表7.1　端子構成

名称	端子名	入出力	機　能
ノンマスカブル割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ7 ～ IRQ0	入力	マスク可能な割り込み要求信号を入力
	TINT31 ～ TINT0	入力	

7.3　レジスタの説明

表 7.2 にレジスタ構成を示します。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

割り込みコントロールレジスタ 0、割り込みコントロールレジスタ 1、および IRQ 割り込み要求レジスタ以外のレジスタの説明は Arm Generic Interrupt Controller Architecture Specification 及び Arm PrimeCell Generic Interrupt Controller (GIC-400) Technical Reference Manual を参照してください。

表7.2　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みコントロールレジスタ 0	ICR0	RW	（注1）	H'FCFE F800	16
割り込みコントロールレジスタ 1	ICR1	RW	H'0000	H'FCFE F802	16
IRQ割り込み要求レジスタ	IRQRR	RW （注2）	H'0000	H'FCFE F804	16
分配器制御レジスタ	GICD_CTLR	RW	H'00000000	H'E822 1000	32
割り込みコントローラタイプレジスタ	GICD_TYPER	RO	H'0000FC0F （注3）	H'E822 1004	32
分配器実装者識別レジスタ	GICD_IIDR	RO	H'0200143B	H'E822 1008	32
割り込みグループレジスタ 0	GICD_IGROUPR0	RW	H'00000000	H'E822 1080	32
割り込みグループレジスタ 1	GICD_IGROUPR1	RW	H'00000000	H'E822 1084	32
割り込みグループレジスタ 2	GICD_IGROUPR2	RW	H'00000000	H'E822 1088	32
割り込みグループレジスタ 3	GICD_IGROUPR3	RW	H'00000000	H'E822 108C	32
割り込みグループレジスタ 4	GICD_IGROUPR4	RW	H'00000000	H'E822 1090	32
割り込みグループレジスタ 5	GICD_IGROUPR5	RW	H'00000000	H'E822 1094	32
割り込みグループレジスタ 6	GICD_IGROUPR6	RW	H'00000000	H'E822 1098	32
割り込みグループレジスタ 7	GICD_IGROUPR7	RW	H'00000000	H'E822 109C	32
割り込みグループレジスタ 8	GICD_IGROUPR8	RW	H'00000000	H'E822 10A0	32
割り込みグループレジスタ 9	GICD_IGROUPR9	RW	H'00000000	H'E822 10A4	32
割り込みグループレジスタ 10	GICD_IGROUPR10	RW	H'00000000	H'E822 10A8	32
割り込みグループレジスタ 11	GICD_IGROUPR11	RW	H'00000000	H'E822 10AC	32
割り込みグループレジスタ 12	GICD_IGROUPR12	RW	H'00000000	H'E822 10B0	32
割り込みグループレジスタ 13	GICD_IGROUPR13	RW	H'00000000	H'E822 10B4	32
割り込みグループレジスタ 14	GICD_IGROUPR14	RW	H'00000000	H'E822 10B8	32
割り込みグループレジスタ 15	GICD_IGROUPR15	RW	H'00000000	H'E822 10BC	32
割り込みイネーブルセットレジスタ 0	GICD_ISENABLER0	RW	H'0000FFFF	H'E822 1100	32
割り込みイネーブルセットレジスタ 1	GICD_ISENABLER1	RW	H'00000000	H'E822 1104	32
割り込みイネーブルセットレジスタ 2	GICD_ISENABLER2	RW	H'00000000	H'E822 1108	32
割り込みイネーブルセットレジスタ 3	GICD_ISENABLER3	RW	H'00000000	H'E822 110C	32
割り込みイネーブルセットレジスタ 4	GICD_ISENABLER4	RW	H'00000000	H'E822 1110	32
割り込みイネーブルセットレジスタ 5	GICD_ISENABLER5	RW	H'00000000	H'E822 1114	32
割り込みイネーブルセットレジスタ 6	GICD_ISENABLER6	RW	H'00000000	H'E822 1118	32
割り込みイネーブルセットレジスタ 7	GICD_ISENABLER7	RW	H'00000000	H'E822 111C	32
割り込みイネーブルセットレジスタ 8	GICD_ISENABLER8	RW	H'00000000	H'E822 1120	32
割り込みイネーブルセットレジスタ 9	GICD_ISENABLER9	RW	H'00000000	H'E822 1124	32
割り込みイネーブルセットレジスタ 10	GICD_ISENABLER10	RW	H'00000000	H'E822 1128	32
割り込みイネーブルセットレジスタ 11	GICD_ISENABLER11	RW	H'00000000	H'E822 112C	32
割り込みイネーブルセットレジスタ 12	GICD_ISENABLER12	RW	H'00000000	H'E822 1130	32
割り込みイネーブルセットレジスタ 13	GICD_ISENABLER13	RW	H'00000000	H'E822 1134	32
割り込みイネーブルセットレジスタ 14	GICD_ISENABLER14	RW	H'00000000	H'E822 1138	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みイネーブルセットレジスタ15	GICD_ISENABLER15	RW	H'00000000	H'E822 113C	32
割り込みイネーブルクリアレジスタ0	GICD_ICENABLER0	RW	H'00000000	H'E822 1180	32
割り込みイネーブルクリアレジスタ1	GICD_ICENABLER1	RW	H'00000000	H'E822 1184	32
割り込みイネーブルクリアレジスタ2	GICD_ICENABLER2	RW	H'00000000	H'E822 1188	32
割り込みイネーブルクリアレジスタ3	GICD_ICENABLER3	RW	H'00000000	H'E822 118C	32
割り込みイネーブルクリアレジスタ4	GICD_ICENABLER4	RW	H'00000000	H'E822 1190	32
割り込みイネーブルクリアレジスタ5	GICD_ICENABLER5	RW	H'00000000	H'E822 1194	32
割り込みイネーブルクリアレジスタ6	GICD_ICENABLER6	RW	H'00000000	H'E822 1198	32
割り込みイネーブルクリアレジスタ7	GICD_ICENABLER7	RW	H'00000000	H'E822 119C	32
割り込みイネーブルクリアレジスタ8	GICD_ICENABLER8	RW	H'00000000	H'E822 11A0	32
割り込みイネーブルクリアレジスタ9	GICD_ICENABLER9	RW	H'00000000	H'E822 11A4	32
割り込みイネーブルクリアレジスタ10	GICD_ICENABLER10	RW	H'00000000	H'E822 11A8	32
割り込みイネーブルクリアレジスタ11	GICD_ICENABLER11	RW	H'00000000	H'E822 11AC	32
割り込みイネーブルクリアレジスタ12	GICD_ICENABLER12	RW	H'00000000	H'E822 11B0	32
割り込みイネーブルクリアレジスタ13	GICD_ICENABLER13	RW	H'00000000	H'E822 11B4	32
割り込みイネーブルクリアレジスタ14	GICD_ICENABLER14	RW	H'00000000	H'E822 11B8	32
割り込みイネーブルクリアレジスタ15	GICD_ICENABLER15	RW	H'00000000	H'E822 11BC	32
割り込み保留セットレジスタ0	GICD_ISPENDR0	RW	H'00000000	H'E822 1200	32
割り込み保留セットレジスタ1	GICD_ISPENDR1	RW	H'00000000	H'E822 1204	32
割り込み保留セットレジスタ2	GICD_ISPENDR2	RW	H'00000000	H'E822 1208	32
割り込み保留セットレジスタ3	GICD_ISPENDR3	RW	H'00000000	H'E822 120C	32
割り込み保留セットレジスタ4	GICD_ISPENDR4	RW	H'00000000	H'E822 1210	32
割り込み保留セットレジスタ5	GICD_ISPENDR5	RW	H'00000000	H'E822 1214	32
割り込み保留セットレジスタ6	GICD_ISPENDR6	RW	H'00000000	H'E822 1218	32
割り込み保留セットレジスタ7	GICD_ISPENDR7	RW	H'00000000	H'E822 121C	32
割り込み保留セットレジスタ8	GICD_ISPENDR8	RW	H'00000000	H'E822 1220	32
割り込み保留セットレジスタ9	GICD_ISPENDR9	RW	H'00000000	H'E822 1224	32
割り込み保留セットレジスタ10	GICD_ISPENDR10	RW	H'00000000	H'E822 1228	32
割り込み保留セットレジスタ11	GICD_ISPENDR11	RW	H'00000000	H'E822 122C	32
割り込み保留セットレジスタ12	GICD_ISPENDR12	RW	H'00000000	H'E822 1230	32
割り込み保留セットレジスタ13	GICD_ISPENDR13	RW	H'00000000	H'E822 1234	32
割り込み保留セットレジスタ14	GICD_ISPENDR14	RW	H'00000000	H'E822 1238	32
割り込み保留セットレジスタ15	GICD_ISPENDR15	RW	H'00000000	H'E822 123C	32
割り込み保留クリアレジスタ0	GICD_ICPENDR0	RW	H'00000000	H'E822 1280	32
割り込み保留クリアレジスタ1	GICD_ICPENDR1	RW	H'00000000	H'E822 1284	32
割り込み保留クリアレジスタ2	GICD_ICPENDR2	RW	H'00000000	H'E822 1288	32
割り込み保留クリアレジスタ3	GICD_ICPENDR3	RW	H'00000000	H'E822 128C	32
割り込み保留クリアレジスタ4	GICD_ICPENDR4	RW	H'00000000	H'E822 1290	32
割り込み保留クリアレジスタ5	GICD_ICPENDR5	RW	H'00000000	H'E822 1294	32
割り込み保留クリアレジスタ6	GICD_ICPENDR6	RW	H'00000000	H'E822 1298	32
割り込み保留クリアレジスタ7	GICD_ICPENDR7	RW	H'00000000	H'E822 129C	32
割り込み保留クリアレジスタ8	GICD_ICPENDR8	RW	H'00000000	H'E822 12A0	32
割り込み保留クリアレジスタ9	GICD_ICPENDR9	RW	H'00000000	H'E822 12A4	32
割り込み保留クリアレジスタ10	GICD_ICPENDR10	RW	H'00000000	H'E822 12A8	32
割り込み保留クリアレジスタ11	GICD_ICPENDR11	RW	H'00000000	H'E822 12AC	32
割り込み保留クリアレジスタ12	GICD_ICPENDR12	RW	H'00000000	H'E822 12B0	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み保留クリアレジスタ13	GICD_ICPENDR13	RW	H'00000000	H'E822 12B4	32
割り込み保留クリアレジスタ14	GICD_ICPENDR14	RW	H'00000000	H'E822 12B8	32
割り込み保留クリアレジスタ15	GICD_ICPENDR15	RW	H'00000000	H'E822 12BC	32
アクティブビットセットレジスタ0	GICD_ISACTIVER0	RW	H'00000000	H'E822 1300	32
アクティブビットセットレジスタ1	GICD_ISACTIVER1	RW	H'00000000	H'E822 1304	32
アクティブビットセットレジスタ2	GICD_ISACTIVER2	RW	H'00000000	H'E822 1308	32
アクティブビットセットレジスタ3	GICD_ISACTIVER3	RW	H'00000000	H'E822 130C	32
アクティブビットセットレジスタ4	GICD_ISACTIVER4	RW	H'00000000	H'E822 1310	32
アクティブビットセットレジスタ5	GICD_ISACTIVER5	RW	H'00000000	H'E822 1314	32
アクティブビットセットレジスタ6	GICD_ISACTIVER6	RW	H'00000000	H'E822 1318	32
アクティブビットセットレジスタ7	GICD_ISACTIVER7	RW	H'00000000	H'E822 131C	32
アクティブビットセットレジスタ8	GICD_ISACTIVER8	RW	H'00000000	H'E822 1320	32
アクティブビットセットレジスタ9	GICD_ISACTIVER9	RW	H'00000000	H'E822 1324	32
アクティブビットセットレジスタ10	GICD_ISACTIVER10	RW	H'00000000	H'E822 1328	32
アクティブビットセットレジスタ11	GICD_ISACTIVER11	RW	H'00000000	H'E822 132C	32
アクティブビットセットレジスタ12	GICD_ISACTIVER12	RW	H'00000000	H'E822 1330	32
アクティブビットセットレジスタ13	GICD_ISACTIVER13	RW	H'00000000	H'E822 1334	32
アクティブビットセットレジスタ14	GICD_ISACTIVER14	RW	H'00000000	H'E822 1338	32
アクティブビットセットレジスタ15	GICD_ISACTIVER15	RW	H'00000000	H'E822 133C	32
アクティブビットクリアレジスタ0	GICD_ICACTIVER0	RW	H'00000000	H'E822 1380	32
アクティブビットクリアレジスタ1	GICD_ICACTIVER1	RW	H'00000000	H'E822 1384	32
アクティブビットクリアレジスタ2	GICD_ICACTIVER2	RW	H'00000000	H'E822 1388	32
アクティブビットクリアレジスタ3	GICD_ICACTIVER3	RW	H'00000000	H'E822 138C	32
アクティブビットクリアレジスタ4	GICD_ICACTIVER4	RW	H'00000000	H'E822 1390	32
アクティブビットクリアレジスタ5	GICD_ICACTIVER5	RW	H'00000000	H'E822 1394	32
アクティブビットクリアレジスタ6	GICD_ICACTIVER6	RW	H'00000000	H'E822 1398	32
アクティブビットクリアレジスタ7	GICD_ICACTIVER7	RW	H'00000000	H'E822 139C	32
アクティブビットクリアレジスタ8	GICD_ICACTIVER8	RW	H'00000000	H'E822 13A0	32
アクティブビットクリアレジスタ9	GICD_ICACTIVER9	RW	H'00000000	H'E822 13A4	32
アクティブビットクリアレジスタ10	GICD_ICACTIVER10	RW	H'00000000	H'E822 13A8	32
アクティブビットクリアレジスタ11	GICD_ICACTIVER11	RW	H'00000000	H'E822 13AC	32
アクティブビットクリアレジスタ12	GICD_ICACTIVER12	RW	H'00000000	H'E822 13B0	32
アクティブビットクリアレジスタ13	GICD_ICACTIVER13	RW	H'00000000	H'E822 13B4	32
アクティブビットクリアレジスタ14	GICD_ICACTIVER14	RW	H'00000000	H'E822 13B8	32
アクティブビットクリアレジスタ15	GICD_ICACTIVER15	RW	H'00000000	H'E822 13BC	32
割り込み優先度レジスタ0	GICD_IPRIORITYR0	RW	H'00000000	H'E822 1400	32
割り込み優先度レジスタ1	GICD_IPRIORITYR1	RW	H'00000000	H'E822 1404	32
割り込み優先度レジスタ2	GICD_IPRIORITYR2	RW	H'00000000	H'E822 1408	32
割り込み優先度レジスタ3	GICD_IPRIORITYR3	RW	H'00000000	H'E822 140C	32
割り込み優先度レジスタ4	GICD_IPRIORITYR4	RW	H'00000000	H'E822 1410	32
割り込み優先度レジスタ5	GICD_IPRIORITYR5	RW	H'00000000	H'E822 1414	32
割り込み優先度レジスタ6	GICD_IPRIORITYR6	RW	H'00000000	H'E822 1418	32
割り込み優先度レジスタ7	GICD_IPRIORITYR7	RW	H'00000000	H'E822 141C	32
割り込み優先度レジスタ8	GICD_IPRIORITYR8	RW	H'00000000	H'E822 1420	32
割り込み優先度レジスタ9	GICD_IPRIORITYR9	RW	H'00000000	H'E822 1424	32
割り込み優先度レジスタ10	GICD_IPRIORITYR10	RW	H'00000000	H'E822 1428	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先度レジスタ 11	GICD_IPRIORITYR11	RW	H'00000000	H'E822 142C	32
割り込み優先度レジスタ 12	GICD_IPRIORITYR12	RW	H'00000000	H'E822 1430	32
割り込み優先度レジスタ 13	GICD_IPRIORITYR13	RW	H'00000000	H'E822 1434	32
割り込み優先度レジスタ 14	GICD_IPRIORITYR14	RW	H'00000000	H'E822 1438	32
割り込み優先度レジスタ 15	GICD_IPRIORITYR15	RW	H'00000000	H'E822 143C	32
割り込み優先度レジスタ 16	GICD_IPRIORITYR16	RW	H'00000000	H'E822 1440	32
割り込み優先度レジスタ 17	GICD_IPRIORITYR17	RW	H'00000000	H'E822 1444	32
割り込み優先度レジスタ 18	GICD_IPRIORITYR18	RW	H'00000000	H'E822 1448	32
割り込み優先度レジスタ 19	GICD_IPRIORITYR19	RW	H'00000000	H'E822 144C	32
割り込み優先度レジスタ 20	GICD_IPRIORITYR20	RW	H'00000000	H'E822 1450	32
割り込み優先度レジスタ 21	GICD_IPRIORITYR21	RW	H'00000000	H'E822 1454	32
割り込み優先度レジスタ 22	GICD_IPRIORITYR22	RW	H'00000000	H'E822 1458	32
割り込み優先度レジスタ 23	GICD_IPRIORITYR23	RW	H'00000000	H'E822 145C	32
割り込み優先度レジスタ 24	GICD_IPRIORITYR24	RW	H'00000000	H'E822 1460	32
割り込み優先度レジスタ 25	GICD_IPRIORITYR25	RW	H'00000000	H'E822 1464	32
割り込み優先度レジスタ 26	GICD_IPRIORITYR26	RW	H'00000000	H'E822 1468	32
割り込み優先度レジスタ 27	GICD_IPRIORITYR27	RW	H'00000000	H'E822 146C	32
割り込み優先度レジスタ 28	GICD_IPRIORITYR28	RW	H'00000000	H'E822 1470	32
割り込み優先度レジスタ 29	GICD_IPRIORITYR29	RW	H'00000000	H'E822 1474	32
割り込み優先度レジスタ 30	GICD_IPRIORITYR30	RW	H'00000000	H'E822 1478	32
割り込み優先度レジスタ 31	GICD_IPRIORITYR31	RW	H'00000000	H'E822 147C	32
割り込み優先度レジスタ 32	GICD_IPRIORITYR32	RW	H'00000000	H'E822 1480	32
割り込み優先度レジスタ 33	GICD_IPRIORITYR33	RW	H'00000000	H'E822 1484	32
割り込み優先度レジスタ 34	GICD_IPRIORITYR34	RW	H'00000000	H'E822 1488	32
割り込み優先度レジスタ 35	GICD_IPRIORITYR35	RW	H'00000000	H'E822 148C	32
割り込み優先度レジスタ 36	GICD_IPRIORITYR36	RW	H'00000000	H'E822 1490	32
割り込み優先度レジスタ 37	GICD_IPRIORITYR37	RW	H'00000000	H'E822 1494	32
割り込み優先度レジスタ 38	GICD_IPRIORITYR38	RW	H'00000000	H'E822 1498	32
割り込み優先度レジスタ 39	GICD_IPRIORITYR39	RW	H'00000000	H'E822 149C	32
割り込み優先度レジスタ 40	GICD_IPRIORITYR40	RW	H'00000000	H'E822 14A0	32
割り込み優先度レジスタ 41	GICD_IPRIORITYR41	RW	H'00000000	H'E822 14A4	32
割り込み優先度レジスタ 42	GICD_IPRIORITYR42	RW	H'00000000	H'E822 14A8	32
割り込み優先度レジスタ 43	GICD_IPRIORITYR43	RW	H'00000000	H'E822 14AC	32
割り込み優先度レジスタ 44	GICD_IPRIORITYR44	RW	H'00000000	H'E822 14B0	32
割り込み優先度レジスタ 45	GICD_IPRIORITYR45	RW	H'00000000	H'E822 14B4	32
割り込み優先度レジスタ 46	GICD_IPRIORITYR46	RW	H'00000000	H'E822 14B8	32
割り込み優先度レジスタ 47	GICD_IPRIORITYR47	RW	H'00000000	H'E822 14BC	32
割り込み優先度レジスタ 48	GICD_IPRIORITYR48	RW	H'00000000	H'E822 14C0	32
割り込み優先度レジスタ 49	GICD_IPRIORITYR49	RW	H'00000000	H'E822 14C4	32
割り込み優先度レジスタ 50	GICD_IPRIORITYR50	RW	H'00000000	H'E822 14C8	32
割り込み優先度レジスタ 51	GICD_IPRIORITYR51	RW	H'00000000	H'E822 14CC	32
割り込み優先度レジスタ 52	GICD_IPRIORITYR52	RW	H'00000000	H'E822 14D0	32
割り込み優先度レジスタ 53	GICD_IPRIORITYR53	RW	H'00000000	H'E822 14D4	32
割り込み優先度レジスタ 54	GICD_IPRIORITYR54	RW	H'00000000	H'E822 14D8	32
割り込み優先度レジスタ 55	GICD_IPRIORITYR55	RW	H'00000000	H'E822 14DC	32
割り込み優先度レジスタ 56	GICD_IPRIORITYR56	RW	H'00000000	H'E822 14E0	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先度レジスタ 57	GICD_IPRIORITYR57	RW	H'00000000	H'E822 14E4	32
割り込み優先度レジスタ 58	GICD_IPRIORITYR58	RW	H'00000000	H'E822 14E8	32
割り込み優先度レジスタ 59	GICD_IPRIORITYR59	RW	H'00000000	H'E822 14EC	32
割り込み優先度レジスタ 60	GICD_IPRIORITYR60	RW	H'00000000	H'E822 14F0	32
割り込み優先度レジスタ 61	GICD_IPRIORITYR61	RW	H'00000000	H'E822 14F4	32
割り込み優先度レジスタ 62	GICD_IPRIORITYR62	RW	H'00000000	H'E822 14F8	32
割り込み優先度レジスタ 63	GICD_IPRIORITYR63	RW	H'00000000	H'E822 14FC	32
割り込み優先度レジスタ 64	GICD_IPRIORITYR64	RW	H'00000000	H'E822 1500	32
割り込み優先度レジスタ 65	GICD_IPRIORITYR65	RW	H'00000000	H'E822 1504	32
割り込み優先度レジスタ 66	GICD_IPRIORITYR66	RW	H'00000000	H'E822 1508	32
割り込み優先度レジスタ 67	GICD_IPRIORITYR67	RW	H'00000000	H'E822 150C	32
割り込み優先度レジスタ 68	GICD_IPRIORITYR68	RW	H'00000000	H'E822 1510	32
割り込み優先度レジスタ 69	GICD_IPRIORITYR69	RW	H'00000000	H'E822 1514	32
割り込み優先度レジスタ 70	GICD_IPRIORITYR70	RW	H'00000000	H'E822 1518	32
割り込み優先度レジスタ 71	GICD_IPRIORITYR71	RW	H'00000000	H'E822 151C	32
割り込み優先度レジスタ 72	GICD_IPRIORITYR72	RW	H'00000000	H'E822 1520	32
割り込み優先度レジスタ 73	GICD_IPRIORITYR73	RW	H'00000000	H'E822 1524	32
割り込み優先度レジスタ 74	GICD_IPRIORITYR74	RW	H'00000000	H'E822 1528	32
割り込み優先度レジスタ 75	GICD_IPRIORITYR75	RW	H'00000000	H'E822 152C	32
割り込み優先度レジスタ 76	GICD_IPRIORITYR76	RW	H'00000000	H'E822 1530	32
割り込み優先度レジスタ 77	GICD_IPRIORITYR77	RW	H'00000000	H'E822 1534	32
割り込み優先度レジスタ 78	GICD_IPRIORITYR78	RW	H'00000000	H'E822 1538	32
割り込み優先度レジスタ 79	GICD_IPRIORITYR79	RW	H'00000000	H'E822 153C	32
割り込み優先度レジスタ 80	GICD_IPRIORITYR80	RW	H'00000000	H'E822 1540	32
割り込み優先度レジスタ 81	GICD_IPRIORITYR81	RW	H'00000000	H'E822 1544	32
割り込み優先度レジスタ 82	GICD_IPRIORITYR82	RW	H'00000000	H'E822 1548	32
割り込み優先度レジスタ 83	GICD_IPRIORITYR83	RW	H'00000000	H'E822 154C	32
割り込み優先度レジスタ 84	GICD_IPRIORITYR84	RW	H'00000000	H'E822 1550	32
割り込み優先度レジスタ 85	GICD_IPRIORITYR85	RW	H'00000000	H'E822 1554	32
割り込み優先度レジスタ 86	GICD_IPRIORITYR86	RW	H'00000000	H'E822 1558	32
割り込み優先度レジスタ 87	GICD_IPRIORITYR87	RW	H'00000000	H'E822 155C	32
割り込み優先度レジスタ 88	GICD_IPRIORITYR88	RW	H'00000000	H'E822 1560	32
割り込み優先度レジスタ 89	GICD_IPRIORITYR89	RW	H'00000000	H'E822 1564	32
割り込み優先度レジスタ 90	GICD_IPRIORITYR90	RW	H'00000000	H'E822 1568	32
割り込み優先度レジスタ 91	GICD_IPRIORITYR91	RW	H'00000000	H'E822 156C	32
割り込み優先度レジスタ 92	GICD_IPRIORITYR92	RW	H'00000000	H'E822 1570	32
割り込み優先度レジスタ 93	GICD_IPRIORITYR93	RW	H'00000000	H'E822 1574	32
割り込み優先度レジスタ 94	GICD_IPRIORITYR94	RW	H'00000000	H'E822 1578	32
割り込み優先度レジスタ 95	GICD_IPRIORITYR95	RW	H'00000000	H'E822 157C	32
割り込み優先度レジスタ 96	GICD_IPRIORITYR96	RW	H'00000000	H'E822 1580	32
割り込み優先度レジスタ 97	GICD_IPRIORITYR97	RW	H'00000000	H'E822 1584	32
割り込み優先度レジスタ 98	GICD_IPRIORITYR98	RW	H'00000000	H'E822 1588	32
割り込み優先度レジスタ 99	GICD_IPRIORITYR99	RW	H'00000000	H'E822 158C	32
割り込み優先度レジスタ 100	GICD_IPRIORITYR100	RW	H'00000000	H'E822 1590	32
割り込み優先度レジスタ 101	GICD_IPRIORITYR101	RW	H'00000000	H'E822 1594	32
割り込み優先度レジスタ 102	GICD_IPRIORITYR102	RW	H'00000000	H'E822 1598	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先度レジスタ 103	GICD_IPRIORITYR103	RW	H'00000000	H'E822 159C	32
割り込み優先度レジスタ 104	GICD_IPRIORITYR104	RW	H'00000000	H'E822 15A0	32
割り込み優先度レジスタ 105	GICD_IPRIORITYR105	RW	H'00000000	H'E822 15A4	32
割り込み優先度レジスタ 106	GICD_IPRIORITYR106	RW	H'00000000	H'E822 15A8	32
割り込み優先度レジスタ 107	GICD_IPRIORITYR107	RW	H'00000000	H'E822 15AC	32
割り込み優先度レジスタ 108	GICD_IPRIORITYR108	RW	H'00000000	H'E822 15B0	32
割り込み優先度レジスタ 109	GICD_IPRIORITYR109	RW	H'00000000	H'E822 15B4	32
割り込み優先度レジスタ 110	GICD_IPRIORITYR110	RW	H'00000000	H'E822 15B8	32
割り込み優先度レジスタ 111	GICD_IPRIORITYR111	RW	H'00000000	H'E822 15BC	32
割り込み優先度レジスタ 112	GICD_IPRIORITYR112	RW	H'00000000	H'E822 15C0	32
割り込み優先度レジスタ 113	GICD_IPRIORITYR113	RW	H'00000000	H'E822 15C4	32
割り込み優先度レジスタ 114	GICD_IPRIORITYR114	RW	H'00000000	H'E822 15C8	32
割り込み優先度レジスタ 115	GICD_IPRIORITYR115	RW	H'00000000	H'E822 15CC	32
割り込み優先度レジスタ 116	GICD_IPRIORITYR116	RW	H'00000000	H'E822 15D0	32
割り込み優先度レジスタ 117	GICD_IPRIORITYR117	RW	H'00000000	H'E822 15D4	32
割り込み優先度レジスタ 118	GICD_IPRIORITYR118	RW	H'00000000	H'E822 15D8	32
割り込み優先度レジスタ 119	GICD_IPRIORITYR119	RW	H'00000000	H'E822 15DC	32
割り込み優先度レジスタ 120	GICD_IPRIORITYR120	RW	H'00000000	H'E822 15E0	32
割り込み優先度レジスタ 121	GICD_IPRIORITYR121	RW	H'00000000	H'E822 15E4	32
割り込み優先度レジスタ 122	GICD_IPRIORITYR122	RW	H'00000000	H'E822 15E8	32
割り込み優先度レジスタ 123	GICD_IPRIORITYR123	RW	H'00000000	H'E822 15EC	32
割り込み優先度レジスタ 124	GICD_IPRIORITYR124	RW	H'00000000	H'E822 15F0	32
割り込み優先度レジスタ 125	GICD_IPRIORITYR125	RW	H'00000000	H'E822 15F4	32
割り込み優先度レジスタ 126	GICD_IPRIORITYR126	RW	H'00000000	H'E822 15F8	32
割り込み優先度レジスタ 127	GICD_IPRIORITYR127	RW	H'00000000	H'E822 15FC	32
割り込みプロセッサターゲットレジスタ 0	GICD_ITARGETSR0	RO	H'00000000	H'E822 1800	32
割り込みプロセッサターゲットレジスタ 1	GICD_ITARGETSR1	RO	H'00000000	H'E822 1804	32
割り込みプロセッサターゲットレジスタ 2	GICD_ITARGETSR2	RO	H'00000000	H'E822 1808	32
割り込みプロセッサターゲットレジスタ 3	GICD_ITARGETSR3	RO	H'00000000	H'E822 180C	32
割り込みプロセッサターゲットレジスタ 4	GICD_ITARGETSR4	RO	H'00000000	H'E822 1810	32
割り込みプロセッサターゲットレジスタ 5	GICD_ITARGETSR5	RO	H'00000000	H'E822 1814	32
割り込みプロセッサターゲットレジスタ 6	GICD_ITARGETSR6	RO	H'00000000	H'E822 1818	32
割り込みプロセッサターゲットレジスタ 7	GICD_ITARGETSR7	RO	H'00000000	H'E822 181C	32
割り込みプロセッサターゲットレジスタ 8	GICD_ITARGETSR8	RW	H'00000000	H'E822 1820	32
割り込みプロセッサターゲットレジスタ 9	GICD_ITARGETSR9	RW	H'00000000	H'E822 1824	32
割り込みプロセッサターゲットレジスタ 10	GICD_ITARGETSR10	RW	H'00000000	H'E822 1828	32
割り込みプロセッサターゲットレジスタ 11	GICD_ITARGETSR11	RW	H'00000000	H'E822 182C	32
割り込みプロセッサターゲットレジスタ 12	GICD_ITARGETSR12	RW	H'00000000	H'E822 1830	32
割り込みプロセッサターゲットレジスタ 13	GICD_ITARGETSR13	RW	H'00000000	H'E822 1834	32
割り込みプロセッサターゲットレジスタ 14	GICD_ITARGETSR14	RW	H'00000000	H'E822 1838	32
割り込みプロセッサターゲットレジスタ 15	GICD_ITARGETSR15	RW	H'00000000	H'E822 183C	32
割り込みプロセッサターゲットレジスタ 16	GICD_ITARGETSR16	RW	H'00000000	H'E822 1840	32
割り込みプロセッサターゲットレジスタ 17	GICD_ITARGETSR17	RW	H'00000000	H'E822 1844	32
割り込みプロセッサターゲットレジスタ 18	GICD_ITARGETSR18	RW	H'00000000	H'E822 1848	32
割り込みプロセッサターゲットレジスタ 19	GICD_ITARGETSR19	RW	H'00000000	H'E822 184C	32
割り込みプロセッサターゲットレジスタ 20	GICD_ITARGETSR20	RW	H'00000000	H'E822 1850	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みプロセッサターゲットレジスタ21	GICD_ITARGETSR21	RW	H'00000000	H'E822 1854	32
割り込みプロセッサターゲットレジスタ22	GICD_ITARGETSR22	RW	H'00000000	H'E822 1858	32
割り込みプロセッサターゲットレジスタ23	GICD_ITARGETSR23	RW	H'00000000	H'E822 185C	32
割り込みプロセッサターゲットレジスタ24	GICD_ITARGETSR24	RW	H'00000000	H'E822 1860	32
割り込みプロセッサターゲットレジスタ25	GICD_ITARGETSR25	RW	H'00000000	H'E822 1864	32
割り込みプロセッサターゲットレジスタ26	GICD_ITARGETSR26	RW	H'00000000	H'E822 1868	32
割り込みプロセッサターゲットレジスタ27	GICD_ITARGETSR27	RW	H'00000000	H'E822 186C	32
割り込みプロセッサターゲットレジスタ28	GICD_ITARGETSR28	RW	H'00000000	H'E822 1870	32
割り込みプロセッサターゲットレジスタ29	GICD_ITARGETSR29	RW	H'00000000	H'E822 1874	32
割り込みプロセッサターゲットレジスタ30	GICD_ITARGETSR30	RW	H'00000000	H'E822 1878	32
割り込みプロセッサターゲットレジスタ31	GICD_ITARGETSR31	RW	H'00000000	H'E822 187C	32
割り込みプロセッサターゲットレジスタ32	GICD_ITARGETSR32	RW	H'00000000	H'E822 1880	32
割り込みプロセッサターゲットレジスタ33	GICD_ITARGETSR33	RW	H'00000000	H'E822 1884	32
割り込みプロセッサターゲットレジスタ34	GICD_ITARGETSR34	RW	H'00000000	H'E822 1888	32
割り込みプロセッサターゲットレジスタ35	GICD_ITARGETSR35	RW	H'00000000	H'E822 188C	32
割り込みプロセッサターゲットレジスタ36	GICD_ITARGETSR36	RW	H'00000000	H'E822 1890	32
割り込みプロセッサターゲットレジスタ37	GICD_ITARGETSR37	RW	H'00000000	H'E822 1894	32
割り込みプロセッサターゲットレジスタ38	GICD_ITARGETSR38	RW	H'00000000	H'E822 1898	32
割り込みプロセッサターゲットレジスタ39	GICD_ITARGETSR39	RW	H'00000000	H'E822 189C	32
割り込みプロセッサターゲットレジスタ40	GICD_ITARGETSR40	RW	H'00000000	H'E822 18A0	32
割り込みプロセッサターゲットレジスタ41	GICD_ITARGETSR41	RW	H'00000000	H'E822 18A4	32
割り込みプロセッサターゲットレジスタ42	GICD_ITARGETSR42	RW	H'00000000	H'E822 18A8	32
割り込みプロセッサターゲットレジスタ43	GICD_ITARGETSR43	RW	H'00000000	H'E822 18AC	32
割り込みプロセッサターゲットレジスタ44	GICD_ITARGETSR44	RW	H'00000000	H'E822 18B0	32
割り込みプロセッサターゲットレジスタ45	GICD_ITARGETSR45	RW	H'00000000	H'E822 18B4	32
割り込みプロセッサターゲットレジスタ46	GICD_ITARGETSR46	RW	H'00000000	H'E822 18B8	32
割り込みプロセッサターゲットレジスタ47	GICD_ITARGETSR47	RW	H'00000000	H'E822 18BC	32
割り込みプロセッサターゲットレジスタ48	GICD_ITARGETSR48	RW	H'00000000	H'E822 18C0	32
割り込みプロセッサターゲットレジスタ49	GICD_ITARGETSR49	RW	H'00000000	H'E822 18C4	32
割り込みプロセッサターゲットレジスタ50	GICD_ITARGETSR50	RW	H'00000000	H'E822 18C8	32
割り込みプロセッサターゲットレジスタ51	GICD_ITARGETSR51	RW	H'00000000	H'E822 18CC	32
割り込みプロセッサターゲットレジスタ52	GICD_ITARGETSR52	RW	H'00000000	H'E822 18D0	32
割り込みプロセッサターゲットレジスタ53	GICD_ITARGETSR53	RW	H'00000000	H'E822 18D4	32
割り込みプロセッサターゲットレジスタ54	GICD_ITARGETSR54	RW	H'00000000	H'E822 18D8	32
割り込みプロセッサターゲットレジスタ55	GICD_ITARGETSR55	RW	H'00000000	H'E822 18DC	32
割り込みプロセッサターゲットレジスタ56	GICD_ITARGETSR56	RW	H'00000000	H'E822 18E0	32
割り込みプロセッサターゲットレジスタ57	GICD_ITARGETSR57	RW	H'00000000	H'E822 18E4	32
割り込みプロセッサターゲットレジスタ58	GICD_ITARGETSR58	RW	H'00000000	H'E822 18E8	32
割り込みプロセッサターゲットレジスタ59	GICD_ITARGETSR59	RW	H'00000000	H'E822 18EC	32
割り込みプロセッサターゲットレジスタ60	GICD_ITARGETSR60	RW	H'00000000	H'E822 18F0	32
割り込みプロセッサターゲットレジスタ61	GICD_ITARGETSR61	RW	H'00000000	H'E822 18F4	32
割り込みプロセッサターゲットレジスタ62	GICD_ITARGETSR62	RW	H'00000000	H'E822 18F8	32
割り込みプロセッサターゲットレジスタ63	GICD_ITARGETSR63	RW	H'00000000	H'E822 18FC	32
割り込みプロセッサターゲットレジスタ64	GICD_ITARGETSR64	RW	H'00000000	H'E822 1900	32
割り込みプロセッサターゲットレジスタ65	GICD_ITARGETSR65	RW	H'00000000	H'E822 1904	32
割り込みプロセッサターゲットレジスタ66	GICD_ITARGETSR66	RW	H'00000000	H'E822 1908	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みプロセッサターゲットレジスタ 67	GICD_ITARGETSR67	RW	H'00000000	H'E822 190C	32
割り込みプロセッサターゲットレジスタ 68	GICD_ITARGETSR68	RW	H'00000000	H'E822 1910	32
割り込みプロセッサターゲットレジスタ 69	GICD_ITARGETSR69	RW	H'00000000	H'E822 1914	32
割り込みプロセッサターゲットレジスタ 70	GICD_ITARGETSR70	RW	H'00000000	H'E822 1918	32
割り込みプロセッサターゲットレジスタ 71	GICD_ITARGETSR71	RW	H'00000000	H'E822 191C	32
割り込みプロセッサターゲットレジスタ 72	GICD_ITARGETSR72	RW	H'00000000	H'E822 1920	32
割り込みプロセッサターゲットレジスタ 73	GICD_ITARGETSR73	RW	H'00000000	H'E822 1924	32
割り込みプロセッサターゲットレジスタ 74	GICD_ITARGETSR74	RW	H'00000000	H'E822 1928	32
割り込みプロセッサターゲットレジスタ 75	GICD_ITARGETSR75	RW	H'00000000	H'E822 192C	32
割り込みプロセッサターゲットレジスタ 76	GICD_ITARGETSR76	RW	H'00000000	H'E822 1930	32
割り込みプロセッサターゲットレジスタ 77	GICD_ITARGETSR77	RW	H'00000000	H'E822 1934	32
割り込みプロセッサターゲットレジスタ 78	GICD_ITARGETSR78	RW	H'00000000	H'E822 1938	32
割り込みプロセッサターゲットレジスタ 79	GICD_ITARGETSR79	RW	H'00000000	H'E822 193C	32
割り込みプロセッサターゲットレジスタ 80	GICD_ITARGETSR80	RW	H'00000000	H'E822 1940	32
割り込みプロセッサターゲットレジスタ 81	GICD_ITARGETSR81	RW	H'00000000	H'E822 1944	32
割り込みプロセッサターゲットレジスタ 82	GICD_ITARGETSR82	RW	H'00000000	H'E822 1948	32
割り込みプロセッサターゲットレジスタ 83	GICD_ITARGETSR83	RW	H'00000000	H'E822 194C	32
割り込みプロセッサターゲットレジスタ 84	GICD_ITARGETSR84	RW	H'00000000	H'E822 1950	32
割り込みプロセッサターゲットレジスタ 85	GICD_ITARGETSR85	RW	H'00000000	H'E822 1954	32
割り込みプロセッサターゲットレジスタ 86	GICD_ITARGETSR86	RW	H'00000000	H'E822 1958	32
割り込みプロセッサターゲットレジスタ 87	GICD_ITARGETSR87	RW	H'00000000	H'E822 195C	32
割り込みプロセッサターゲットレジスタ 88	GICD_ITARGETSR88	RW	H'00000000	H'E822 1960	32
割り込みプロセッサターゲットレジスタ 89	GICD_ITARGETSR89	RW	H'00000000	H'E822 1964	32
割り込みプロセッサターゲットレジスタ 90	GICD_ITARGETSR90	RW	H'00000000	H'E822 1968	32
割り込みプロセッサターゲットレジスタ 91	GICD_ITARGETSR91	RW	H'00000000	H'E822 196C	32
割り込みプロセッサターゲットレジスタ 92	GICD_ITARGETSR92	RW	H'00000000	H'E822 1970	32
割り込みプロセッサターゲットレジスタ 93	GICD_ITARGETSR93	RW	H'00000000	H'E822 1974	32
割り込みプロセッサターゲットレジスタ 94	GICD_ITARGETSR94	RW	H'00000000	H'E822 1978	32
割り込みプロセッサターゲットレジスタ 95	GICD_ITARGETSR95	RW	H'00000000	H'E822 197C	32
割り込みプロセッサターゲットレジスタ 96	GICD_ITARGETSR96	RW	H'00000000	H'E822 1980	32
割り込みプロセッサターゲットレジスタ 97	GICD_ITARGETSR97	RW	H'00000000	H'E822 1984	32
割り込みプロセッサターゲットレジスタ 98	GICD_ITARGETSR98	RW	H'00000000	H'E822 1988	32
割り込みプロセッサターゲットレジスタ 99	GICD_ITARGETSR99	RW	H'00000000	H'E822 198C	32
割り込みプロセッサターゲットレジスタ 100	GICD_ITARGETSR100	RW	H'00000000	H'E822 1990	32
割り込みプロセッサターゲットレジスタ 101	GICD_ITARGETSR101	RW	H'00000000	H'E822 1994	32
割り込みプロセッサターゲットレジスタ 102	GICD_ITARGETSR102	RW	H'00000000	H'E822 1998	32
割り込みプロセッサターゲットレジスタ 103	GICD_ITARGETSR103	RW	H'00000000	H'E822 199C	32
割り込みプロセッサターゲットレジスタ 104	GICD_ITARGETSR104	RW	H'00000000	H'E822 19A0	32
割り込みプロセッサターゲットレジスタ 105	GICD_ITARGETSR105	RW	H'00000000	H'E822 19A4	32
割り込みプロセッサターゲットレジスタ 106	GICD_ITARGETSR106	RW	H'00000000	H'E822 19A8	32
割り込みプロセッサターゲットレジスタ 107	GICD_ITARGETSR107	RW	H'00000000	H'E822 19AC	32
割り込みプロセッサターゲットレジスタ 108	GICD_ITARGETSR108	RW	H'00000000	H'E822 19B0	32
割り込みプロセッサターゲットレジスタ 109	GICD_ITARGETSR109	RW	H'00000000	H'E822 19B4	32
割り込みプロセッサターゲットレジスタ 110	GICD_ITARGETSR110	RW	H'00000000	H'E822 19B8	32
割り込みプロセッサターゲットレジスタ 111	GICD_ITARGETSR111	RW	H'00000000	H'E822 19BC	32
割り込みプロセッサターゲットレジスタ 112	GICD_ITARGETSR112	RW	H'00000000	H'E822 19C0	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みプロセッサターゲットレジスタ113	GICD_ITARGETSR113	RW	H'00000000	H'E822 19C4	32
割り込みプロセッサターゲットレジスタ114	GICD_ITARGETSR114	RW	H'00000000	H'E822 19C8	32
割り込みプロセッサターゲットレジスタ115	GICD_ITARGETSR115	RW	H'00000000	H'E822 19CC	32
割り込みプロセッサターゲットレジスタ116	GICD_ITARGETSR116	RW	H'00000000	H'E822 19D0	32
割り込みプロセッサターゲットレジスタ117	GICD_ITARGETSR117	RW	H'00000000	H'E822 19D4	32
割り込みプロセッサターゲットレジスタ118	GICD_ITARGETSR118	RW	H'00000000	H'E822 19D8	32
割り込みプロセッサターゲットレジスタ119	GICD_ITARGETSR119	RW	H'00000000	H'E822 19DC	32
割り込みプロセッサターゲットレジスタ120	GICD_ITARGETSR120	RW	H'00000000	H'E822 19E0	32
割り込みプロセッサターゲットレジスタ121	GICD_ITARGETSR121	RW	H'00000000	H'E822 19E4	32
割り込みプロセッサターゲットレジスタ122	GICD_ITARGETSR122	RW	H'00000000	H'E822 19E8	32
割り込みプロセッサターゲットレジスタ123	GICD_ITARGETSR123	RW	H'00000000	H'E822 19EC	32
割り込みプロセッサターゲットレジスタ124	GICD_ITARGETSR124	RW	H'00000000	H'E822 19F0	32
割り込みプロセッサターゲットレジスタ125	GICD_ITARGETSR125	RW	H'00000000	H'E822 19F4	32
割り込みプロセッサターゲットレジスタ126	GICD_ITARGETSR126	RW	H'00000000	H'E822 19F8	32
割り込みプロセッサターゲットレジスタ127	GICD_ITARGETSR127	RW	H'00000000	H'E822 19FC	32
割り込み構成レジスタ0	GICD_ICFGR0	RO	H'AAAAAAAA	H'E822 1C00	32
割り込み構成レジスタ1	GICD_ICFGR1	RO	H'55540000	H'E822 1C04	32
割り込み構成レジスタ2	GICD_ICFGR2	RW	H'55555555	H'E822 1C08	32
割り込み構成レジスタ3	GICD_ICFGR3	RW	H'55555555	H'E822 1C0C	32
割り込み構成レジスタ4	GICD_ICFGR4	RW	H'55555555	H'E822 1C10	32
割り込み構成レジスタ5	GICD_ICFGR5	RW	H'55555555	H'E822 1C14	32
割り込み構成レジスタ6	GICD_ICFGR6	RW	H'55555555	H'E822 1C18	32
割り込み構成レジスタ7	GICD_ICFGR7	RW	H'55555555	H'E822 1C1C	32
割り込み構成レジスタ8	GICD_ICFGR8	RW	H'55555555	H'E822 1C20	32
割り込み構成レジスタ9	GICD_ICFGR9	RW	H'55555555	H'E822 1C24	32
割り込み構成レジスタ10	GICD_ICFGR10	RW	H'55555555	H'E822 1C28	32
割り込み構成レジスタ11	GICD_ICFGR11	RW	H'55555555	H'E822 1C2C	32
割り込み構成レジスタ12	GICD_ICFGR12	RW	H'55555555	H'E822 1C30	32
割り込み構成レジスタ13	GICD_ICFGR13	RW	H'55555555	H'E822 1C34	32
割り込み構成レジスタ14	GICD_ICFGR14	RW	H'55555555	H'E822 1C38	32
割り込み構成レジスタ15	GICD_ICFGR15	RW	H'55555555	H'E822 1C3C	32
割り込み構成レジスタ16	GICD_ICFGR16	RW	H'55555555	H'E822 1C40	32
割り込み構成レジスタ17	GICD_ICFGR17	RW	H'55555555	H'E822 1C44	32
割り込み構成レジスタ18	GICD_ICFGR18	RW	H'55555555	H'E822 1C48	32
割り込み構成レジスタ19	GICD_ICFGR19	RW	H'55555555	H'E822 1C4C	32
割り込み構成レジスタ20	GICD_ICFGR20	RW	H'55555555	H'E822 1C50	32
割り込み構成レジスタ21	GICD_ICFGR21	RW	H'55555555	H'E822 1C54	32
割り込み構成レジスタ22	GICD_ICFGR22	RW	H'55555555	H'E822 1C58	32
割り込み構成レジスタ23	GICD_ICFGR23	RW	H'55555555	H'E822 1C5C	32
割り込み構成レジスタ24	GICD_ICFGR24	RW	H'55555555	H'E822 1C60	32
割り込み構成レジスタ25	GICD_ICFGR25	RW	H'55555555	H'E822 1C64	32
割り込み構成レジスタ26	GICD_ICFGR26	RW	H'55555555	H'E822 1C68	32
割り込み構成レジスタ27	GICD_ICFGR27	RW	H'55555555	H'E822 1C6C	32
割り込み構成レジスタ28	GICD_ICFGR28	RW	H'55555555	H'E822 1C70	32
割り込み構成レジスタ29	GICD_ICFGR29	RW	H'55555555	H'E822 1C74	32
割り込み構成レジスタ30	GICD_ICFGR30	RW	H'55555555	H'E822 1C78	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み構成レジスタ 31	GICD_ICFGR31	RW	H'55555555	H'E822 1C7C	32
PPI ステータスレジスタ	GICD_PPISR	RO	H'00000000	H'E822 1D00	32
SPI ステータスレジスタ 0	GICD_SPISR0	RO	H'00000000	H'E822 1D04	32
SPI ステータスレジスタ 1	GICD_SPISR1	RO	H'00000000	H'E822 1D08	32
SPI ステータスレジスタ 2	GICD_SPISR2	RO	H'00000000	H'E822 1D0C	32
SPI ステータスレジスタ 3	GICD_SPISR3	RO	H'00000000	H'E822 1D10	32
SPI ステータスレジスタ 4	GICD_SPISR4	RO	H'00000000	H'E822 1D14	32
SPI ステータスレジスタ 5	GICD_SPISR5	RO	H'00000000	H'E822 1D18	32
SPI ステータスレジスタ 6	GICD_SPISR6	RO	H'00000000	H'E822 1D1C	32
SPI ステータスレジスタ 7	GICD_SPISR7	RO	H'00000000	H'E822 1D20	32
SPI ステータスレジスタ 8	GICD_SPISR8	RO	H'00000000	H'E822 1D24	32
SPI ステータスレジスタ 9	GICD_SPISR9	RO	H'00000000	H'E822 1D28	32
SPI ステータスレジスタ 10	GICD_SPISR10	RO	H'00000000	H'E822 1D2C	32
SPI ステータスレジスタ 11	GICD_SPISR11	RO	H'00000000	H'E822 1D30	32
SPI ステータスレジスタ 12	GICD_SPISR12	RO	H'00000000	H'E822 1D34	32
SPI ステータスレジスタ 13	GICD_SPISR13	RO	H'00000000	H'E822 1D38	32
SPI ステータスレジスタ 14	GICD_SPISR14	RO	H'00000000	H'E822 1D3C	32
ソフトウェア生成割り込みレジスタ	GICD_SGIR	WO	H'00000000	H'E822 1F00	32
SGI 保留クリアレジスタ 0	GICD_CPENDSGIR0	RW	H'00000000	H'E822 1F10	32
SGI 保留クリアレジスタ 1	GICD_CPENDSGIR1	RW	H'00000000	H'E822 1F14	32
SGI 保留クリアレジスタ 2	GICD_CPENDSGIR2	RW	H'00000000	H'E822 1F18	32
SGI 保留クリアレジスタ 3	GICD_CPENDSGIR3	RW	H'00000000	H'E822 1F1C	32
SGI 保留セットレジスタ 0	GICD_SPENDSGIR0	RW	H'00000000	H'E822 1F20	32
SGI 保留セットレジスタ 1	GICD_SPENDSGIR1	RW	H'00000000	H'E822 1F24	32
SGI 保留セットレジスタ 2	GICD_SPENDSGIR2	RW	H'00000000	H'E822 1F28	32
SGI 保留セットレジスタ 3	GICD_SPENDSGIR3	RW	H'00000000	H'E822 1F2C	32
周辺 ID4 レジスタ	GICD_PIDR4	RO	H'00000004	H'E822 1FD0	32
周辺 ID5 レジスタ	GICD_PIDR5	RO	H'00000000	H'E822 1FD4	32
周辺 ID6 レジスタ	GICD_PIDR6	RO	H'00000000	H'E822 1FD8	32
周辺 ID7 レジスタ	GICD_PIDR7	RO	H'00000000	H'E822 1FDC	32
周辺 ID0 レジスタ	GICD_PIDR0	RO	H'00000090	H'E822 1FE0	32
周辺 ID1 レジスタ	GICD_PIDR1	RO	H'000000B4	H'E822 1FE4	32
周辺 ID2 レジスタ	GICD_PIDR2	RO	H'0000002B	H'E822 1FE8	32
周辺 ID3 レジスタ	GICD_PIDR3	RO	H'00000000	H'E822 1FEC	32
構成 ID0 レジスタ	GICD_CIDR0	RO	H'0000000D	H'E822 1FF0	32
構成 ID1 レジスタ	GICD_CIDR1	RO	H'000000F0	H'E822 1FF4	32
構成 ID2 レジスタ	GICD_CIDR2	RO	H'00000005	H'E822 1FF8	32
構成 ID3 レジスタ	GICD_CIDR3	RO	H'000000B1	H'E822 1FFC	32
CPU インタフェース制御レジスタ	GICC_CTLR	RW	H'00000000	H'E822 2000	32
割り込み優先度マスクレジスタ	GICC_PMR	RW	H'00000000	H'E822 2004	32
2 進小数点レジスタ	GICC_BPR	RW	H'00000002	H'E822 2008	32
割り込み応答レジスタ	GICC_IAR	RO	H'000003FF	H'E822 200C	32
割り込み終了レジスタ	GICC_EOIR	WO	H'00000000	H'E822 2010	32
実行優先度レジスタ	GICC_RPR	RO	H'000000FF	H'E822 2014	32
最優先保留割り込みレジスタ	GICC_HPPIR	RO	H'000003FF	H'E822 2018	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
エイリアスされた非セキュア2進小数点レジスタ	GICC_ABPR	RW	H'00000003	H'E822 201C	32
エイリアスされた割り込み応答レジスタ	GICC_AIAR	RO	H'000003FF	H'E822 2020	32
エイリアスされた割り込み終了レジスタ	GICC_AEOIR	WO	H'00000000	H'E822 2024	32
エイリアスされた高優先度割り込み保留レジスタ	GICC_AHPPIR	RO	H'000003FF	H'E822 2028	32
アクティブ優先度レジスタ	GICC_APR0	RW	H'00000000	H'E822 20D0	32
非セキュアアクティブ優先度レジスタ	GICC_NSAPR0	RW	H'00000000	H'E822 20E0	32
CPUインタフェース実装識別レジスタ	GICC_IIDR	RO	H'0202143B	H'E822 20FC	32
割り込み無効レジスタ	GICC_DIR	WO	H'00000000	H'E822 3000 (注4)	32

注1. NMI端子がハイレベルのとき：H'8000、ローレベルのとき：H'0000です。
注2. フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
注3. ITLinesNumber の値を使用して割り込み数を計算する場合は、以下の計算式を用いてください。
(15+1)×32 : 512
注4. 本割込みコントローラでは、Virtual interface control blocks および Virtual CPU interfaces には対応しておりません。アドレスH'E822 3000以降は無効です。

7.3.1　割り込みコントロールレジスタ 0（ICR0）

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI のマスク／許可と入力信号検出モードを設定し、NMI 端子への入力レベル、割り込み要求を示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	—	—	—	—	—	—	NMIE	—	—	—	—	—	—	NMIF	—
初期値：	*1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/(W)*2	R

注1.　NMI端子がハイレベルのとき1、ローレベルのとき0です。
注2.　フラグをクリアするために、1を読み出した後に0書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
15	NMIL	*1	R	NMI入力レベル NMI端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI端子のレベルを知ることができます。書き込みは無効です。 0：NMI端子にローレベルが入力されている。 1：NMI端子にハイレベルが入力されている。
14 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	NMIE	0	R/W	NMIエッジセレクト NMI入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0：NMI入力の立ち下がりエッジで割り込み要求を検出。 1：NMI入力の立ち上がりエッジで割り込み要求を検出。
7 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	NMIF	0	R/(W)*2	NMI割り込み要求 NMI端子に対する割り込み要求のステータスを表示します。書き込みは無効です。 0：NMI割り込み要求が検出されていません。 [クリア条件] ・ NMIEビットの設定値を変更したとき ・ NMIF＝1の状態をリード後に0をライトしたとき 1：NMI割り込み要求が検出されています。 [セット条件] ・ NMI端子にNMIEに対応するエッジが発生したとき
0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.3.2　割り込みコントロールレジスタ 1（ICR1）

ICR1 は、外部割り込み入力端子 IRQ7 ～ IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7～IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00：割り込み要求を IRQn 入力のローレベルで検出する。 01：割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10：割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11：割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】n ＝ 7 ～ 0

7.3.3　IRQ 割り込み要求レジスタ（IRQRR）

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ7 ～ IRQ0 の割り込み要求を示します。IRQ7 ～ IRQ0 割り込みをエッジ検出に設定している場合、IRQ7F ～ IRQ0F ＝ 1 をリード後、IRQ7F ～ IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。IRQMSK ビットは、IRQ 信号をソフトウェアスタンバイ解除要因信号として使用する際、解除設定するビットです。ソフトウェアスタンバイ解除の詳細は「52.3.2　ソフトウェアスタンバイモード」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQMSK	—	—	—	—	—	—	—	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R(W)*	R(W)*	R(W)*	R(W)*	R(W)*	R(W)*	R(W)*	R(W)*

注.　フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	IRQMSK	0	R/W	IRQ ソフトウェアスタンバイ解除要因マスクビット(注1.) 0：マスク設定　1：マスク解除
14 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRQ7F	0	R/(W)*	IRQ 割り込み要求 IRQ7 ～ IRQ0 割り込み要求のステータスを表示します。 レベル検出時 0：IRQn 割り込み要求が存在しません。 [クリア条件] • IRQn 入力がハイレベルのとき 1：IRQn 割り込み要求が存在します。 [セット条件] • IRQn 入力がローレベルのとき エッジ検出時 0：IRQn 割り込み要求が検出されていません。 [クリア条件] • IRQnF=1 の状態をリード後に 0 をライトしたとき 1：IRQn 割り込み要求が検出されています。 [セット条件] • IRQn 端子に ICR1 の IRQn1S、IRQn0S に対応するエッジが発生したとき
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】n ＝ 7 ～ 0

注1.　IRQMSK:1(マスク解除)時のみ IRQ 信号をソフトウェアスタンバイ解除要因として使用できます

7.4　割り込み要因

割り込み要因は、NMI、IRQ、内蔵周辺モジュール、端子割り込みの 4 つに分類されます。各割り込みの優先順位は割り込み優先レベル値（0 ～ 31）で表され、レベル 0 が最高でレベル 31 が最低です。

7.4.1　NMI 割り込み

NMI 割り込みは、最優先される割り込みで、CPU へは FIQ 例外として常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ 0（ICR0）の NMI エッジセレクトビット（NMIE）の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。NMI 割り込み要求ビット（NMIF）をリードすることにより NMI 割り込み要求が検出されているかどうかを確認できます。また、NMIE ビットの値を変更した場合、その時点で保留されている NMI 割り込み要求は取り下げます。

ディープスタンバイに遷移した場合、NMI で解除可能です。

7.4.2　IRQ 割り込み

IRQ 割り込みは IRQ7 ～ IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ 1（ICR1）の IRQ センスセレクトビット（IRQ71S ～ IRQ01S、IRQ70S ～ IRQ00S）の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ7 ～ IRQ0 端子がローレベルの期間、割り込みコントローラに割り込み要求信号が送られます。IRQ7 ～ IRQ0 端子がハイレベルになると、割り込み要求信号は割り込みコントローラに送られません。IRQ 割り込み要求レジスタ（IRQRR）の IRQ 割り込み要求ビット（IRQ7F ～ IRQ0F）をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7 ～ IRQ0 端子の変化により割り込み要求が検出され、割り込みコントローラに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQ 割り込み要求レジスタ（IRQRR) の IRQ7F ～ IRQ0F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、IRQ 割り込み要求レジスタ（IRQRR）で割り込み要求がクリアされていることを確認してから復帰命令を実行してください。

7.4.3　内蔵周辺モジュール割り込み

周辺モジュールのレベルによる割り込み要求の場合、割り込み例外サービスルーチンから復帰する際は、割り込み要求を誤って再度受け付けないように、要求元の要因フラグのクリア後要因フラグのリードを行ってから復帰命令を実行してください。

7.4.4　端子割り込み

端子割り込みは、汎用入出力ポート端子による割り込みです。汎用入出力ポート端子は、汎用入出力ポートの端子モード設定に関わらず、ポートからの入力信号を割り込みとして伝えます。そのため、端子割り込みを使用する際は、ポート方向を入力に設定してください。また、周辺機能の端子として使用している場合は、入力機能または入出力機能に設定している時に端子割り込みの設定が可能です。

端子割り込みは汎用入出力ポート端子を、TINT31 ～ TINT0 の 32 グループに分割しており、各グループ内での端子割り込み選択マスクを、端子機能制御レジスタで設定することができます。汎用入出力ポートの設定および端子機能制御レジスタの設定は、**「51.　汎用入出力ポート」**を参照してください。

端子割り込みは、割り込み構成レジスタ (GICD_ICFGRn) の設定によって、端子グループごとにハイレベル、立ち上がりエッジ検出を選択できます。

割り込み構成レジスタ (GICD_ICFGRn) の説明は GIC アーキテクチャ仕様書を参照してください。

7.5　割り込み ID

表 7.3 に、割り込み要因と割り込み ID およびその割り込み要因の設定を行うレジスタを示します。

表 7.3 以外の設定をした場合の動作は保証しません。

各割り込み要因には、それぞれ異なる割り込み ID が割り当てられています。割り込み要因の CPU への通知の制御および状態を参照にするには、割り当てられた割り込み ID に対応した以下のレジスタを設定および参照する必要があります。

- 割り込みグループレジスタ　GICD_IGROUPRn
- 割り込みイネーブルセットレジスタ　GICD_ISENABLERn
- 割り込みイネーブルクリアレジスタ　GICD_ICENABLERn
- 割り込み保留セットレジスタ　GICD_ISPENDRn
- 割り込み保留クリアレジスタ　GICD_ICPENDRn
- アクティブビットセットレジスタ　GICD_ISACTIVERn
- 割り込み構成レジスタ　GICD_ICFGRn
- 割り込み優先度レジスタ　GICD_IPRIORITYRn
- 割り込みプロセッサターゲットレジスタ　GICD_ITARGETSRn

各レジスタの初期設定手順は「**7.6.1　割り込み設定**」を参照してください。各レジスタの詳細は Arm Generic Interrupt Controller Architecture Specification 及び Arm PrimeCell Generic Interrupt Controller (GIC-400) Technical Reference Manual を参照してください。

表7.3　割り込みID一覧

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
GICソフトウェア割り込み	—	—	—	0	0	0	0	1～0	0	7～0
				1		1		3～2		15～8
				2		2		5～4		23～16
				3		3		7～6		31～24
				4		4		9～8	1	7～0
				5		5		11～10		15～8
				6		6		13～12		23～16
				7		7		15～14		31～24
				8		8		17～16	2	7～0
				9		9		19～18		15～8
				10		10		21～20		23～16
				11		11		23～22		31～24
				12		12		25～24	3	7～0
				13		13		27～26		15～8
				14		14		29～28		23～16
				15		15		31～30		31～24

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
CA9 メイン	0	PMUIRQ0	レベル	32	1	0	2	1 ~ 0	8	7 ~ 0
		COMMRX	レベル	33		1		3 ~ 2		15 ~ 8
		COMMTX	レベル	34		2		5 ~ 4		23 ~ 16
		CTIIRQ	レベル	35		3		7 ~ 6		31 ~ 24
IRQ	—	IRQ0	レベル	36		4		9 ~ 8	9	7 ~ 0
		IRQ1	レベル	37		5		11 ~ 10		15 ~ 8
		IRQ2	レベル	38		6		13 ~ 12		23 ~ 16
		IRQ3	レベル	39		7		15 ~ 14		31 ~ 24
		IRQ4	レベル	40		8		17 ~ 16	10	7 ~ 0
		IRQ5	レベル	41		9		19 ~ 18		15 ~ 8
		IRQ6	レベル	42		10		21 ~ 20		23 ~ 16
		IRQ7	レベル	43		11		23 ~ 22		31 ~ 24
2次キャッシュ	—	PL310ERR	レベル	44		12		25 ~ 24	11	7 ~ 0
ダイレクトメモリアクセスコントローラ(セキュア)	0	DMAINT0	エッジ	45		13		27 ~ 26		15 ~ 8
	1	DMAINT1	エッジ	46		14		29 ~ 28		23 ~ 16
	2	DMAINT2	エッジ	47		15		31 ~ 30		31 ~ 24
	3	DMAINT3	エッジ	48		16	3	1 ~ 0	12	7 ~ 0
	4	DMAINT4	エッジ	49		17		3 ~ 2		15 ~ 8
	5	DMAINT5	エッジ	50		18		5 ~ 4		23 ~ 16
	6	DMAINT6	エッジ	51		19		7 ~ 6		31 ~ 24
	7	DMAINT7	エッジ	52		20		9 ~ 8	13	7 ~ 0
	8	DMAINT8	エッジ	53		21		11 ~ 10		15 ~ 8
	9	DMAINT9	エッジ	54		22		13 ~ 12		23 ~ 16
	10	DMAINT10	エッジ	55		23		15 ~ 14		31 ~ 24
	11	DMAINT11	エッジ	56		24		17 ~ 16	14	7 ~ 0
	12	DMAINT12	エッジ	57		25		19 ~ 18		15 ~ 8
	13	DMAINT13	エッジ	58		26		21 ~ 20		23 ~ 16
	14	DMAINT14	エッジ	59		27		23 ~ 22		31 ~ 24
	15	DMAINT15	エッジ	60		28		25 ~ 24	15	7 ~ 0
	0	DMAERR0	エッジ	61		29		27 ~ 26		15 ~ 8
ダイレクトメモリアクセスコントローラ(ノンセキュア)	1	DMAERR1	エッジ	62		30		29 ~ 28		23 ~ 16
USB 2.0ホスト／ファンクション	0	USBHI0	レベル	63		31		31 ~ 30		31 ~ 24
		USBFI0	レベル	64	2	0	4	1 ~ 0	16	7 ~ 0
		USBFDMA00	レベル	65		1		3 ~ 2		15 ~ 8
		USBFDMA01	レベル	66		2		5 ~ 4		23 ~ 16
		USBFDMAERR0	レベル	67		3		7 ~ 6		31 ~ 24
	1	USBHI1	レベル	68		4		9 ~ 8	17	7 ~ 0
		USBFI1	レベル	69		5		11 ~ 10		15 ~ 8
		USBFDMA10	レベル	70		6		13 ~ 12		23 ~ 16
		USBFDMA11	レベル	71		7		15 ~ 14		31 ~ 24
		USBFDMAERR1	レベル	72		8		17 ~ 16	18	7 ~ 0

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
ビデオディスプレイコントローラ6		S0_VI_VSYNC0	レベル	73	2	9	4	19 ~ 18	18	15 ~ 8
		S0_LO_VSYNC0	レベル	74		10		21 ~ 20		23 ~ 16
		S0_VSYNCERR0	レベル	75		11		23 ~ 22		31 ~ 24
		GR3_VLINE0	レベル	76		12		25 ~ 24	19	7 ~ 0
		S0_VFIELD0	レベル	77		13		27 ~ 26		15 ~ 8
		IV1_VBUFERR0	レベル	78		14		29 ~ 28		23 ~ 16
		IV3_VBUFERR0	レベル	79		15		31 ~ 30		31 ~ 24
		IV5_VBUFERR0	レベル	80		16	5	1 ~ 0	20	7 ~ 0
		IV6_VBUFERR0	レベル	81		17		3 ~ 2		15 ~ 8
		S0_WLINE0	レベル	82		18		5 ~ 4		23 ~ 16
歪補正エンジン2		IMR2I0	レベル	83		19		7 ~ 6		31 ~ 24
JPEGコーデックユニット		JEDI	レベル	84		20		9 ~ 8	21	7 ~ 0
		JDTI	レベル	85		21		11 ~ 10		15 ~ 8
2D描画エンジン		DRWI	レベル	86		22		13 ~ 12		23 ~ 16
MIPI CSI-2インタフェース		CSII	レベル	87		23		15 ~ 14		31 ~ 24
OSタイマ	0	OSTMI0	エッジ	88		24		17 ~ 16	22	7 ~ 0
	1	OSTMI1	エッジ	89		25		19 ~ 18		15 ~ 8
	2	OSTMI2	エッジ	90		26		21 ~ 20		23 ~ 16
バスステートコントローラ		CMI	レベル	91		27		23 ~ 22		31 ~ 24
		WTOUT	レベル	92		28		25 ~ 24	23	7 ~ 0
ウォッチドッグタイマ		ITI	レベル	93		29		27 ~ 26		15 ~ 8
		CA9PEI	レベル	94		30		29 ~ 28		23 ~ 16
マルチファンクションタイマパルスユニット3	0	TGIA0	エッジ	95		31		31 ~ 30		31 ~ 24
		TGIB0	エッジ	96	3	0	6	1 ~ 0	24	7 ~ 0
		TGIC0	エッジ	97		1		3 ~ 2		15 ~ 8
		TGID0	エッジ	98		2		5 ~ 4		23 ~ 16
		TCIV0	エッジ	99		3		7 ~ 6		31 ~ 24
		TGIE0	エッジ	100		4		9 ~ 8	25	7 ~ 0
		TGIF0	エッジ	101		5		11 ~ 10		15 ~ 8
	1	TGIA1	エッジ	102		6		13 ~ 12		23 ~ 16
		TGIB1	エッジ	103		7		15 ~ 14		31 ~ 24
		TCIV1	エッジ	104		8		17 ~ 16	26	7 ~ 0
		TCIU1	エッジ	105		9		19 ~ 18		15 ~ 8
	2	TGIA2	エッジ	106		10		21 ~ 20		23 ~ 16
		TGIB2	エッジ	107		11		23 ~ 22		31 ~ 24
		TCIV2	エッジ	108		12		25 ~ 24	27	7 ~ 0
		TCIU2	エッジ	109		13		27 ~ 26		15 ~ 8
	3	TGIA3	エッジ	110		14		29 ~ 28		23 ~ 16
		TGIB3	エッジ	111		15		31 ~ 30		31 ~ 24
		TGIC3	エッジ	112		16	7	1 ~ 0	28	7 ~ 0
		TGID3	エッジ	113		17		3 ~ 2		15 ~ 8
		TCIV3	エッジ	114		18		5 ~ 4		23 ~ 16

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
マルチファンクションタイマパルスユニット3	4	TGIA4	エッジ	115	3	19	7	7～6	28	31～24
		TGIB4	エッジ	116		20		9～8	29	7～0
		TGIC4	エッジ	117		21		11～10		15～8
		TGID4	エッジ	118		22		13～12		23～16
		TCIV4	エッジ	119		23		15～14		31～24
	5	TGIU5	エッジ	120		24		17～16	30	7～0
		TGIV5	エッジ	121		25		19～18		15～8
		TGIW5	エッジ	122		26		21～20		23～16
	6	TGIA6	エッジ	123		27		23～22		31～24
		TGIB6	エッジ	124		28		25～24	31	7～0
		TGIC6	エッジ	125		29		27～26		15～8
		TGID6	エッジ	126		30		29～28		23～16
		TCIV6	エッジ	127		31		31～30		31～24
	7	TGIA7	エッジ	128	4	0	8	1～0	32	7～0
		TGIB7	エッジ	129		1		3～2		15～8
		TGIC7	エッジ	130		2		5～4		23～16
		TGID7	エッジ	131		3		7～6		31～24
		TCIV7	エッジ	132		4		9～8	33	7～0
	8	TGIA8	エッジ	133		5		11～10		15～8
		TGIB8	エッジ	134		6		13～12		23～16
		TGIC8	エッジ	135		7		15～14		31～24
		TGID8	エッジ	136		8		17～16	34	7～0
		TCIV8	エッジ	137		9		19～18		15～8
予約				138		10		21～20		23～16
汎用PWMタイマ	0	CCMPA0	エッジ	139		11		23～22		31～24
		CCMPB0	エッジ	140		12		25～24	35	7～0
		CMPC0	エッジ	141		13		27～26		15～8
		CMPD0	エッジ	142		14		29～28		23～16
予約				143		15		31～30		31～24
				144		16	9	1～0	36	7～0
				145		17		3～2		15～8
汎用PWMタイマ	0	CMPE0	エッジ	146		18		5～4		23～16
		CMPF0	エッジ	147		19		7～6		31～24
		ADTRGA0	エッジ	148		20		9～8	37	7～0
		ADTRGB0	エッジ	149		21		11～10		15～8
		OVF0	エッジ	150		22		13～12		23～16
		UNF0	エッジ	151		23		15～14		31～24
	1	CCMPA1	エッジ	152		24		17～16	38	7～0
		CCMPB1	エッジ	153		25		19～18		15～8
		CMPC1	エッジ	154		26		21～20		23～16
		CMPD1	エッジ	155		27		23～22		31～24
予約				156		28		25～24	39	7～0
				157		29		27～26		15～8
				158		30		29～28		23～16

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
汎用PWMタイマ	1	CMPE1	エッジ	159	4	31	9	31～30	39	31～24
		CMPF1	エッジ	160	5	0	10	1～0	40	7～0
		ADTRGA1	エッジ	161		1		3～2		15～8
		ADTRGB1	エッジ	162		2		5～4		23～16
		OVF1	エッジ	163		3		7～6		31～24
		UNF1	エッジ	164		4		9～8	41	7～0
	2	CCMPA2	エッジ	165		5		11～10		15～8
		CCMPB2	エッジ	166		6		13～12		23～16
		CMPC2	エッジ	167		7		15～14		31～24
		CMPD2	エッジ	168		8		17～16	42	7～0
予約				169		9		19～18		15～8
				170		10		21～20		23～16
				171		11		23～22		31～24
汎用PWMタイマ	2	CMPE2	エッジ	172		12		25～24	43	7～0
		CMPF2	エッジ	173		13		27～26		15～8
		ADTRGA2	エッジ	174		14		29～28		23～16
		ADTRGB2	エッジ	175		15		31～30		31～24
		OVF2	エッジ	176		16	11	1～0	44	7～0
		UNF2	エッジ	177		17		3～2		15～8
	3	CCMPA3	エッジ	178		18		5～4		23～16
		CCMPB3	エッジ	179		19		7～6		31～24
		CMPC3	エッジ	180		20		9～8	45	7～0
		CMPD3	エッジ	181		21		11～10		15～8
予約				182		22		13～12		23～16
				183		23		15～14		31～24
				184		24		17～16	46	7～0
汎用PWMタイマ	3	CMPE3	エッジ	185		25		19～18		15～8
		CMPF3	エッジ	186		26		21～20		23～16
		ADTRGA3	エッジ	187		27		23～22		31～24
		ADTRGB3	エッジ	188		28		25～24	47	7～0
		OVF3	エッジ	189		29		27～26		15～8
		UNF3	エッジ	190		30		29～28		23～16
	4	CCMPA4	エッジ	191		31		31～30		31～24
		CCMPB4	エッジ	192	6	0	12	1～0	48	7～0
		CMPC4	エッジ	193		1		3～2		15～8
		CMPD4	エッジ	194		2		5～4		23～16
予約				195		3		7～6		31～24
				196		4		9～8	49	7～0
				197		5		11～10		15～8
汎用PWMタイマ	4	CMPE4	エッジ	198		6		13～12		23～16
		CMPF4	エッジ	199		7		15～14		31～24
		ADTRGA4	エッジ	200		8		17～16	50	7～0
		ADTRGB4	エッジ	201		9		19～18		15～8
		OVF4	エッジ	202		10		21～20		23～16
		UNF4	エッジ	203		11		23～22		31～24

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
汎用PWMタイマ	5	CCMPA5	エッジ	204	6	12	12	25～24	51	7～0
		CCMPB5	エッジ	205		13		27～26		15～8
		CMPC5	エッジ	206		14		29～28		23～16
		CMPD5	エッジ	207		15		31～30		31～24
予約				208		16	13	1～0	52	7～0
				209		17		3～2		15～8
				210		18		5～4		23～16
汎用PWMタイマ	5	CMPE5	エッジ	211		19		7～6		31～24
		CMPF5	エッジ	212		20		9～8	53	7～0
		ADTRGA5	エッジ	213		21		11～10		15～8
		ADTRGB5	エッジ	214		22		13～12		23～16
		OVF5	エッジ	215		23		15～14		31～24
		UNF5	エッジ	216		24		17～16	54	7～0
	6	CCMPA6	エッジ	217		25		19～18		15～8
		CCMPB6	エッジ	218		26		21～20		23～16
		CMPC6	エッジ	219		27		23～22		31～24
		CMPD6	エッジ	220		28		25～24	55	7～0
予約				221		29		27～26		15～8
				222		30		29～28		23～16
				223		31		31～30		31～24
汎用PWMタイマ	6	CMPE6	エッジ	224	7	0	14	1～0	56	7～0
		CMPF6	エッジ	225		1		3～2		15～8
		ADTRGA6	エッジ	226		2		5～4		23～16
		ADTRGB6	エッジ	227		3		7～6		31～24
		OVF6	エッジ	228		4		9～8	57	7～0
		UNF6	エッジ	229		5		11～10		15～8
	7	CCMPA7	エッジ	230		6		13～12		23～16
		CCMPB7	エッジ	231		7		15～14		31～24
		CMPC7	エッジ	232		8		17～16	58	7～0
		CMPD7	エッジ	233		9		19～18		15～8
予約				234		10		21～20		23～16
				235		11		23～22		31～24
				236		12		25～24	59	7～0
汎用PWMタイマ	7	CMPE7	エッジ	237		13		27～26		15～8
		CMPF7	エッジ	238		14		29～28		23～16
		ADTRGA7	エッジ	239		15		31～30		31～24
		ADTRGB7	エッジ	240		16	15	1～0	60	7～0
		OVF7	エッジ	241		17		3～2		15～8
		UNF7	エッジ	242		18		5～4		23～16
ポートアウトプットイネーブル3	1	OEI1	レベル	243		19		7～6		31～24
	2	OEI2	レベル	244		20		9～8	61	7～0
	3	OEI3	レベル	245		21		11～10		15～8
	4	OEI4	レベル	246		22		13～12		23～16

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
A/D コンバータ		S12ADI0	エッジ	247	7	23	15	15 ~ 14	61	31 ~ 24
		S12GBADI0	エッジ	248		24		17 ~ 16	62	7 ~ 0
		S12GCADI0	エッジ	249		25		19 ~ 18		15 ~ 8
		S12ADCMPAI0	レベル	250		26		21 ~ 20		23 ~ 16
		S12ADCMPBI0	レベル	251		27		23 ~ 22		31 ~ 24
シリアルサウンドインタフェース	0	INT_ssif_int_req_0	レベル	252		28		25 ~ 24	63	7 ~ 0
		INT_ssif_dma_tx_0	エッジ	253		29		27 ~ 26		15 ~ 8
		INT_ssif_dma_rx_0	エッジ	254		30		29 ~ 28		23 ~ 16
	1	INT_ssif_int_req_1	レベル	255		31		31 ~ 30		31 ~ 24
		INT_ssif_dma_tx_1	エッジ	256	8	0	16	1 ~ 0	64	7 ~ 0
		INT_ssif_dma_rx_1	エッジ	257		1		3 ~ 2		15 ~ 8
	2	INT_ssif_int_req_2	レベル	258		2		5 ~ 4		23 ~ 16
		INT_ssif_dma_rt_2	エッジ	259		3		7 ~ 6		31 ~ 24
	3	INT_ssif_int_req_3	レベル	260		4		9 ~ 8	65	7 ~ 0
		INT_ssif_dma_tx_3	エッジ	261		5		11 ~ 10		15 ~ 8
		INT_ssif_dma_rx_3	エッジ	262		6		13 ~ 12		23 ~ 16
ルネサス SPDIF インタフェース		SPDIFI	レベル	263		7		15 ~ 14		31 ~ 24
I^2C バス インタフェース	0	INTRIICTEI0	レベル	264		8		17 ~ 16	66	7 ~ 0
		INTRIICRI0	エッジ	265		9		19 ~ 18		15 ~ 8
		INTRIICTI0	エッジ	266		10		21 ~ 20		23 ~ 16
		INTRIICSPI0	レベル	267		11		23 ~ 22		31 ~ 24
		INTRIICSTI0	レベル	268		12		25 ~ 24	67	7 ~ 0
		INTRIICNAKI0	レベル	269		13		27 ~ 26		15 ~ 8
		INTRIICALI0	レベル	270		14		29 ~ 28		23 ~ 16
		INTRIICTMOI0	レベル	271		15		31 ~ 30		31 ~ 24
	1	INTRIICTEI1	レベル	272		16	17	1 ~ 0	68	7 ~ 0
		INTRIICRI1	エッジ	273		17		3 ~ 2		15 ~ 8
		INTRIICTI1	エッジ	274		18		5 ~ 4		23 ~ 16
		INTRIICSPI1	レベル	275		19		7 ~ 6		31 ~ 24
		INTRIICSTI1	レベル	276		20		9 ~ 8	69	7 ~ 0
		INTRIICNAKI1	レベル	277		21		11 ~ 10		15 ~ 8
		INTRIICALI1	レベル	278		22		13 ~ 12		23 ~ 16
		INTRIICTMOI1	レベル	279		23		15 ~ 14		31 ~ 24
	2	INTRIICTEI2	レベル	280		24		17 ~ 16	70	7 ~ 0
		INTRIICRI2	エッジ	281		25		19 ~ 18		15 ~ 8
		INTRIICTI2	エッジ	282		26		21 ~ 20		23 ~ 16
		INTRIICSPI2	レベル	283		27		23 ~ 22		31 ~ 24
		INTRIICSTI2	レベル	284		28		25 ~ 24	71	7 ~ 0
		INTRIICNAKI2	レベル	285		29		27 ~ 26		15 ~ 8
		INTRIICALI2	レベル	286		30		29 ~ 28		23 ~ 16
		INTRIICTMOI2	レベル	287		31		31 ~ 30		31 ~ 24

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
I²Cバス インタフェース	3	INTRIICTEI3	レベル	288	9	0	18	1 ~ 0	72	7 ~ 0
		INTRIICRI3	エッジ	289		1		3 ~ 2		15 ~ 8
		INTRIICTI3	エッジ	290		2		5 ~ 4		23 ~ 16
		INTRIICSPI3	レベル	291		3		7 ~ 6		31 ~ 24
		INTRIICSTI3	レベル	292		4		9 ~ 8	73	7 ~ 0
		INTRIICNAKI3	レベル	293		5		11 ~ 10		15 ~ 8
		INTRIICALI3	レベル	294		6		13 ~ 12		23 ~ 16
		INTRIICTMOI3	レベル	295		7		15 ~ 14		31 ~ 24
予約				296		8		17 ~ 16	74	7 ~ 0
FIFO内蔵シリアルコミュニケーションインタフェース	0	ERI0/BRI0	レベル	297		9		19 ~ 18		15 ~ 8
		RXI0	レベル	298		10		21 ~ 20		23 ~ 16
		TXI0	レベル	299		11		23 ~ 22		31 ~ 24
		TEI0/DRI0	レベル	300		12		25 ~ 24	75	7 ~ 0
予約				301		13		27 ~ 26		15 ~ 8
				302		14		29 ~ 28		23 ~ 16
FIFO内蔵シリアルコミュニケーションインタフェース	1	ERI1/BRI1	レベル	303		15		31 ~ 30		31 ~ 24
		RXI1	レベル	304		16	19	1 ~ 0	76	7 ~ 0
		TXI1	レベル	305		17		3 ~ 2		15 ~ 8
		TEI1/DRI1	レベル	306		18		5 ~ 4		23 ~ 16
予約				307		19		7 ~ 6		31 ~ 24
				308		20		9 ~ 8	77	7 ~ 0
FIFO内蔵シリアルコミュニケーションインタフェース	2	ERI2/BRI2	レベル	309		21		11 ~ 10		15 ~ 8
		RXI2	レベル	310		22		13 ~ 12		23 ~ 16
		TXI2	レベル	311		23		15 ~ 14		31 ~ 24
		TEI2/DRI2	レベル	312		24		17 ~ 16	78	7 ~ 0
予約				313		25		19 ~ 18		15 ~ 8
				314		26		21 ~ 20		23 ~ 16
FIFO内蔵シリアルコミュニケーションインタフェース	3	ERI3/BRI3	レベル	315		27		23 ~ 22		31 ~ 24
		RXI3	レベル	316		28		25 ~ 24	79	7 ~ 0
		TXI3	レベル	317		29		27 ~ 26		15 ~ 8
		TEI3/DRI3	レベル	318		30		29 ~ 28		23 ~ 16
予約				319		31		31 ~ 30		31 ~ 24
				320	10	0	20	1 ~ 0	80	7 ~ 0
FIFO内蔵シリアルコミュニケーションインタフェース	4	ERI4/BRI4	レベル	321		1		3 ~ 2		15 ~ 8
		RXI4	レベル	322		2		5 ~ 4		23 ~ 16
		TXI4	レベル	323		3		7 ~ 6		31 ~ 24
		TEI4/DRI4	レベル	324		4		9 ~ 8	81	7 ~ 0
予約				325		5		11 ~ 10		15 ~ 8

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
CANFD インタフェース		GERI	レベル	326	10	6	20	13 ~ 12	81	23 ~ 16
		RFI	レベル	327		7		15 ~ 14		31 ~ 24
		CFRXI0	レベル	328		8		17 ~ 16	82	7 ~ 0
		CERI0	レベル	329		9		19 ~ 18		15 ~ 8
		CTXI0	レベル	330		10		21 ~ 20		23 ~ 16
		CFRXI1	レベル	331		11		23 ~ 22		31 ~ 24
		CERI1	レベル	332		12		25 ~ 24	83	7 ~ 0
		CTXI1	レベル	333		13		27 ~ 26		15 ~ 8
ダイレクトメモリアクセスコントローラ (ノンセキュア)	0	DMAINT0	エッジ	334		14		29 ~ 28		23 ~ 16
	1	DMAINT1	エッジ	335		15		31 ~ 30		31 ~ 24
	2	DMAINT2	エッジ	336		16	21	1 ~ 0	84	7 ~ 0
	3	DMAINT3	エッジ	337		17		3 ~ 2		15 ~ 8
	4	DMAINT4	エッジ	338		18		5 ~ 4		23 ~ 16
	5	DMAINT5	エッジ	339		19		7 ~ 6		31 ~ 24
	6	DMAINT6	エッジ	340		20		9 ~ 8	85	7 ~ 0
	7	DMAINT7	エッジ	341		21		11 ~ 10		15 ~ 8
	8	DMAINT8	エッジ	342		22		13 ~ 12		23 ~ 16
	9	DMAINT9	エッジ	343		23		15 ~ 14		31 ~ 24
ルネサスシリアルペリフェラルインタフェース	0	SPEI0	レベル	344		24		17 ~ 16	86	7 ~ 0
		SPRI0	レベル	345		25		19 ~ 18		15 ~ 8
		SPTI0	レベル	346		26		21 ~ 20		23 ~ 16
	1	SPEI1	レベル	347		27		23 ~ 22		31 ~ 24
		SPRI1	レベル	348		28		25 ~ 24	87	7 ~ 0
		SPTI1	レベル	349		29		27 ~ 26		15 ~ 8
	2	SPEI2	レベル	350		30		29 ~ 28		23 ~ 16
		SPRI2	レベル	351		31		31 ~ 30		31 ~ 24
		SPTI2	レベル	352	11	0	22	1 ~ 0	88	7 ~ 0
NAND フラッシュコントローラ		NAND	レベル	353		1		3 ~ 2		15 ~ 8
SD/MMC ホストインタフェース	0	SDHI0_0	レベル	354		2		5 ~ 4		23 ~ 16
予約				355		3		7 ~ 6		31 ~ 24
SD/MMC ホストインタフェース	1	SDHI1_0	レベル	356		4		9 ~ 8	89	7 ~ 0
予約				357		5		11 ~ 10		15 ~ 8
HyperBus™ コントローラ		HYPER	レベル	358		6		13 ~ 12		23 ~ 16
リアルタイムクロック	0	ALM	レベル	359		7		15 ~ 14		31 ~ 24
		PRD	レベル	360		8		17 ~ 16	90	7 ~ 0
		CUP	レベル	361		9		19 ~ 18		15 ~ 8
	1	ALM_S	レベル	362		10		21 ~ 20		23 ~ 16
		PRD_S	レベル	363		11		23 ~ 22		31 ~ 24
		CUP_S	レベル	364		12		25 ~ 24	91	7 ~ 0

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
シリアルコミュニケーション インタフェース	0	ERI0	レベル	365	11	13	22	27 ~ 26	91	15 ~ 8
		RXI0	エッジ	366		14		29 ~ 28		23 ~ 16
		TXI0	エッジ	367		15		31 ~ 30		31 ~ 24
		TEI0	レベル	368		16	23	1 ~ 0	92	7 ~ 0
	1	ERI1	レベル	369		17		3 ~ 2		15 ~ 8
		RXI1	エッジ	370		18		5 ~ 4		23 ~ 16
		TXI1	エッジ	371		19		7 ~ 6		31 ~ 24
		TEI1	レベル	372		20		9 ~ 8	93	7 ~ 0
イーサネット コントローラ	ー	EINT0	レベル	373		21		11 ~ 10		15 ~ 8
		EINT1	レベル	374		22		13 ~ 12		23 ~ 16
		PINT	レベル	375		23		15 ~ 14		31 ~ 24
		MINT	レベル	376		24		17 ~ 16	94	7 ~ 0
		IPLS	エッジ	377		25		19 ~ 18		15 ~ 8
キャプチャ エンジンユニット		CEUI	レベル	378		26		21 ~ 20		23 ~ 16
内部バス		H2XUSB00_ERRINT	エッジ	379		27		23 ~ 22		31 ~ 24
		H2XUSB01_ERRINT	エッジ	380		28		25 ~ 24	95	7 ~ 0
		H2XUSB10_ERRINT	エッジ	381		29		27 ~ 26		15 ~ 8
		H2XUSB11_ERRINT	エッジ	382		30		29 ~ 28		23 ~ 16
		H2XETH_ERRINT	エッジ	383		31		31 ~ 30		31 ~ 24
		X2HPERI12_ERRINT	エッジ	384	12	0	24	1 ~ 0	96	7 ~ 0
		X2HPERI34_ERRINT	エッジ	385		1		3 ~ 2		15 ~ 8
		X2HPERI5_ERRINT	エッジ	386		2		5 ~ 4		23 ~ 16
		X2HPERI67_ERRINT	エッジ	387		3		7 ~ 6		31 ~ 24
		H2XDBG_ERRINT	エッジ	388		4		9 ~ 8	97	7 ~ 0
		X2HDBGR_ERRINT	エッジ	389		5		11 ~ 10		15 ~ 8
ダイレクトメモリアクセス コントローラ (ノンセキュア)	10	DMAINT10	エッジ	390		6		13 ~ 12		23 ~ 16
	11	DMAINT11	エッジ	391		7		15 ~ 14		31 ~ 24
	12	DMAINT12	エッジ	392		8		17 ~ 16	98	7 ~ 0
	13	DMAINT13	エッジ	393		9		19 ~ 18		15 ~ 8
	14	DMAINT14	エッジ	394		10		21 ~ 20		23 ~ 16
	15	DMAINT15	エッジ	395		11		23 ~ 22		31 ~ 24
内部バス		H2XDAV0_ERRINT	エッジ	396		12		25 ~ 24	99	7 ~ 0
		H2XDAV1_ERRINT	エッジ	397		13		27 ~ 26		15 ~ 8

割り込み要因					レジスタ割り当て						
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
予約				398	12	14	24	29 ~ 28	99	23 ~ 16
				399		15		31 ~ 30		31 ~ 24
				400		16	25	1 ~ 0	100	7 ~ 0
				401		17		3 ~ 2		15 ~ 8
				402		18		5 ~ 4		23 ~ 16
				403		19		7 ~ 6		31 ~ 24
				404		20		9 ~ 8	101	7 ~ 0
				405		21		11 ~ 10		15 ~ 8
				406		22		13 ~ 12		23 ~ 16
				407		23		15 ~ 14		31 ~ 24
				408		24		17 ~ 16	102	7 ~ 0
				409		25		19 ~ 18		15 ~ 8
				410		26		21 ~ 20		23 ~ 16
				411		27		23 ~ 22		31 ~ 24
				412		28		25 ~ 24	103	7 ~ 0
				413		29		27 ~ 26		15 ~ 8
				414		30		29 ~ 28		23 ~ 16
				415		31		31 ~ 30		31 ~ 24
				416	13	0	26	1 ~ 0	104	7 ~ 0
				417		1		3 ~ 2		15 ~ 8
				418		2		5 ~ 4		23 ~ 16
				419		3		7 ~ 6		31 ~ 24
				420		4		9 ~ 8	105	7 ~ 0
				421		5		11 ~ 10		15 ~ 8
				422		6		13 ~ 12		23 ~ 16
				423		7		15 ~ 14		31 ~ 24
				424		8		17 ~ 16	106	7 ~ 0
				425		9		19 ~ 18		15 ~ 8
				426		10		21 ~ 20		23 ~ 16
				427		11		23 ~ 22		31 ~ 24
				428		12		25 ~ 24	107	7 ~ 0
				429		13		27 ~ 26		15 ~ 8
				430		14		29 ~ 28		23 ~ 16
				431		15		31 ~ 30		31 ~ 24
				432		16	27	1 ~ 0	108	7 ~ 0
				433		17		3 ~ 2		15 ~ 8
内部バス		PRRI	レベル	434		18		5 ~ 4		23 ~ 16
Trusted Secure IP (注1)		ROMOK	エッジ	435		19		7 ~ 6		31 ~ 24
		LONG_PLG	エッジ	436		20		9 ~ 8	109	7 ~ 0
		PROC_BUSY	エッジ	437		21		11 ~ 10		15 ~ 8
		RDRDY1	エッジ	438		22		13 ~ 12		23 ~ 16
		RDRDY0	エッジ	439		23		15 ~ 14		31 ~ 24

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
Trusted Secure IP (注1)		WRRDY4	エッジ	440	13	24	27	17 ~ 16	110	7 ~ 0
		予約		441		25		19 ~ 18		15 ~ 8
		WRRDY1	エッジ	442		26		21 ~ 20		23 ~ 16
		WRRDY0	エッジ	443		27		23 ~ 22		31 ~ 24
		IRDRDY	エッジ	444		28		25 ~ 24	111	7 ~ 0
		IWRRDY	エッジ	445		29		27 ~ 26		15 ~ 8
ダイナミックリコンフィギュアラブルプロセッサ (DRP) (注2)		ERRINT	レベル	446		30		29 ~ 28		23 ~ 16
		NMLINT	レベル	447		31		31 ~ 30		31 ~ 24
		PAF5	レベル	448	14	0	28	1 ~ 0	112	7 ~ 0
		PAE5	レベル	449		1		3 ~ 2		15 ~ 8
		INTB5	レベル	450		2		5 ~ 4		23 ~ 16
		INTA5	レベル	451		3		7 ~ 6		31 ~ 24
		PAF4	レベル	452		4		9 ~ 8	113	7 ~ 0
		PAE4	レベル	453		5		11 ~ 10		15 ~ 8
		INTB4	レベル	454		6		13 ~ 12		23 ~ 16
		INTA4	レベル	455		7		15 ~ 14		31 ~ 24
		PAF3	レベル	456		8		17 ~ 16	114	7 ~ 0
		PAE3	レベル	457		9		19 ~ 18		15 ~ 8
		INTB3	レベル	458		10		21 ~ 20		23 ~ 16
		INTA3	レベル	459		11		23 ~ 22		31 ~ 24
		PAF2	レベル	460		12		25 ~ 24	115	7 ~ 0
		PAE2	レベル	461		13		27 ~ 26		15 ~ 8
		INTB2	レベル	462		14		29 ~ 28		23 ~ 16
		INTA2	レベル	463		15		31 ~ 30		31 ~ 24
		PAF1	レベル	464		16	29	1 ~ 0	116	7 ~ 0
		PAE1	レベル	465		17		3 ~ 2		15 ~ 8
		INTB1	レベル	466		18		5 ~ 4		23 ~ 16
		INTA1	レベル	467		19		7 ~ 6		31 ~ 24
		PAF0	レベル	468		20		9 ~ 8	117	7 ~ 0
		PAE0	レベル	469		21		11 ~ 10		15 ~ 8
		INTB0	レベル	470		22		13 ~ 12		23 ~ 16
		INTA0	レベル	471		23		15 ~ 14		31 ~ 24
ビデオインプットモジュール		VINI	レベル	472		24		17 ~ 16	118	7 ~ 0
GPT用ポートアウトプットイネーブル		GROUP0	レベル	473		25		19 ~ 18		15 ~ 8
		GROUP1	レベル	474		26		21 ~ 20		23 ~ 16
		GROUP2	レベル	475		27		23 ~ 22		31 ~ 24
		GROUP3	レベル	476		28		25 ~ 24	119	7 ~ 0
SPI マルチ I/O バスコントローラ		SPIHF	レベル	477		29		27 ~ 26		15 ~ 8
予約				478		30		29 ~ 28		23 ~ 16
				479		31		31 ~ 30		31 ~ 24

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
端子割込み		TINT0	エッジ / レベル	480	15	0	30	1 ~ 0	120	7 ~ 0
		TINT1	エッジ / レベル	481		1		3 ~ 2		15 ~ 8
		TINT2	エッジ / レベル	482		2		5 ~ 4		23 ~ 16
		TINT3	エッジ / レベル	483		3		7 ~ 6		31 ~ 24
		TINT4	エッジ / レベル	484		4		9 ~ 8	121	7 ~ 0
		TINT5	エッジ / レベル	485		5		11 ~ 10		15 ~ 8
		TINT6	エッジ / レベル	486		6		13 ~ 12		23 ~ 16
		TINT7	エッジ / レベル	487		7		15 ~ 14		31 ~ 24
		TINT8	エッジ / レベル	488		8		17 ~ 16	122	7 ~ 0
		TINT9	エッジ / レベル	489		9		19 ~ 18		15 ~ 8
		TINT10	エッジ / レベル	490		10		21 ~ 20		23 ~ 16
		TINT11	エッジ / レベル	491		11		23 ~ 22		31 ~ 24
		TINT12	エッジ / レベル	492		12		25 ~ 24	123	7 ~ 0
		TINT13	エッジ / レベル	493		13		27 ~ 26		15 ~ 8
		TINT14	エッジ / レベル	494		14		29 ~ 28		23 ~ 16
		TINT15	エッジ / レベル	495		15		31 ~ 30		31 ~ 24
		TINT16	エッジ / レベル	496		16	31	1 ~ 0	124	7 ~ 0
		TINT17	エッジ / レベル	497		17		3 ~ 2		15 ~ 8
		TINT18	エッジ / レベル	498		18		5 ~ 4		23 ~ 16
		TINT19	エッジ / レベル	499		19		7 ~ 6		31 ~ 24
		TINT20	エッジ / レベル	500		20		9 ~ 8	125	7 ~ 0

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	GICD_IGROUPRn GICD_ISENABLERn GICD_ICENABLERn GICD_ISPENDRn GICD_ICPENDRn GICD_ISACTIVERn	bit	GICD_ICFGRn	bit	GICD_IPRIORITYRn GICD_ITARGETSRn	bit
端子割込み		TINT21	エッジ / レベル	501	15	21	31	11 ~ 10	125	15 ~ 8
		TINT22	エッジ / レベル	502		22		13 ~ 12		23 ~ 16
		TINT23	エッジ / レベル	503		23		15 ~ 14		31 ~ 24
		TINT24	エッジ / レベル	504		24		17 ~ 16	126	7 ~ 0
		TINT25	エッジ / レベル	505		25		19 ~ 18		15 ~ 8
		TINT26	エッジ / レベル	506		26		21 ~ 20		23 ~ 16
		TINT27	エッジ / レベル	507		27		23 ~ 22		31 ~ 24
		TINT28	エッジ / レベル	508		28		25 ~ 24	127	7 ~ 0
		TINT29	エッジ / レベル	509		29		27 ~ 26		15 ~ 8
		TINT30	エッジ / レベル	510		30		29 ~ 28		23 ~ 16
		TINT31	エッジ / レベル	511		31		31 ~ 30		31 ~ 24

注1.　Trusted Secure IP搭載品のみ
注2.　DRP搭載品のみ

7.6　動作説明

7.6.1　割り込み設定

割り込みコントローラの初期設定手順として、**図 7.2** に『初期設定フロー』を示します。

また、汎用端子を端子割り込みに設定する場合や、IRQ 割り込みを設定する場合、NMI と IRQ 割り込みのセンス方法を設定する場合の手順として、**図 7.3** に『端子機能切り換え設定フロー』を示します。

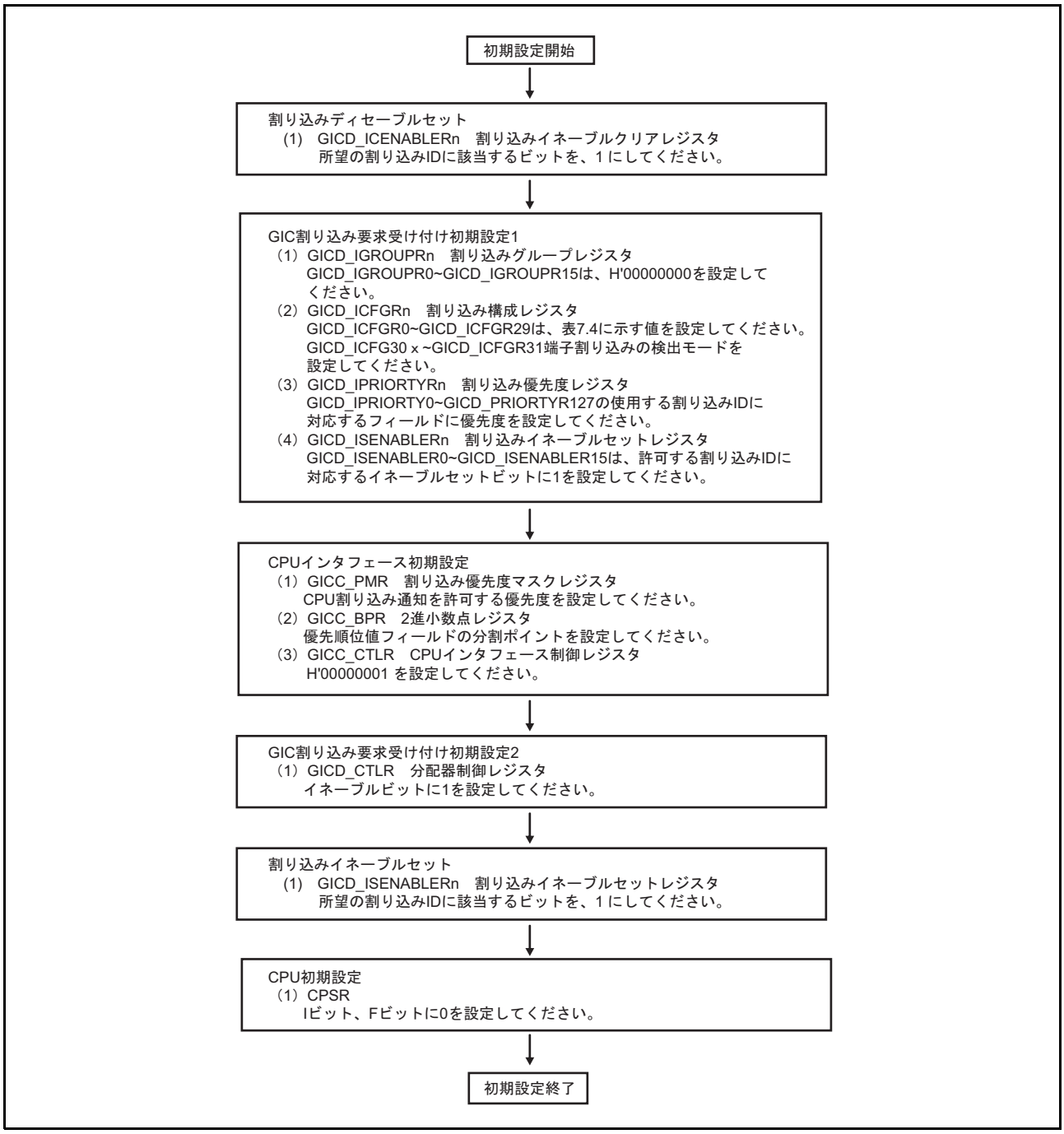


図 7.2　初期設定フロー

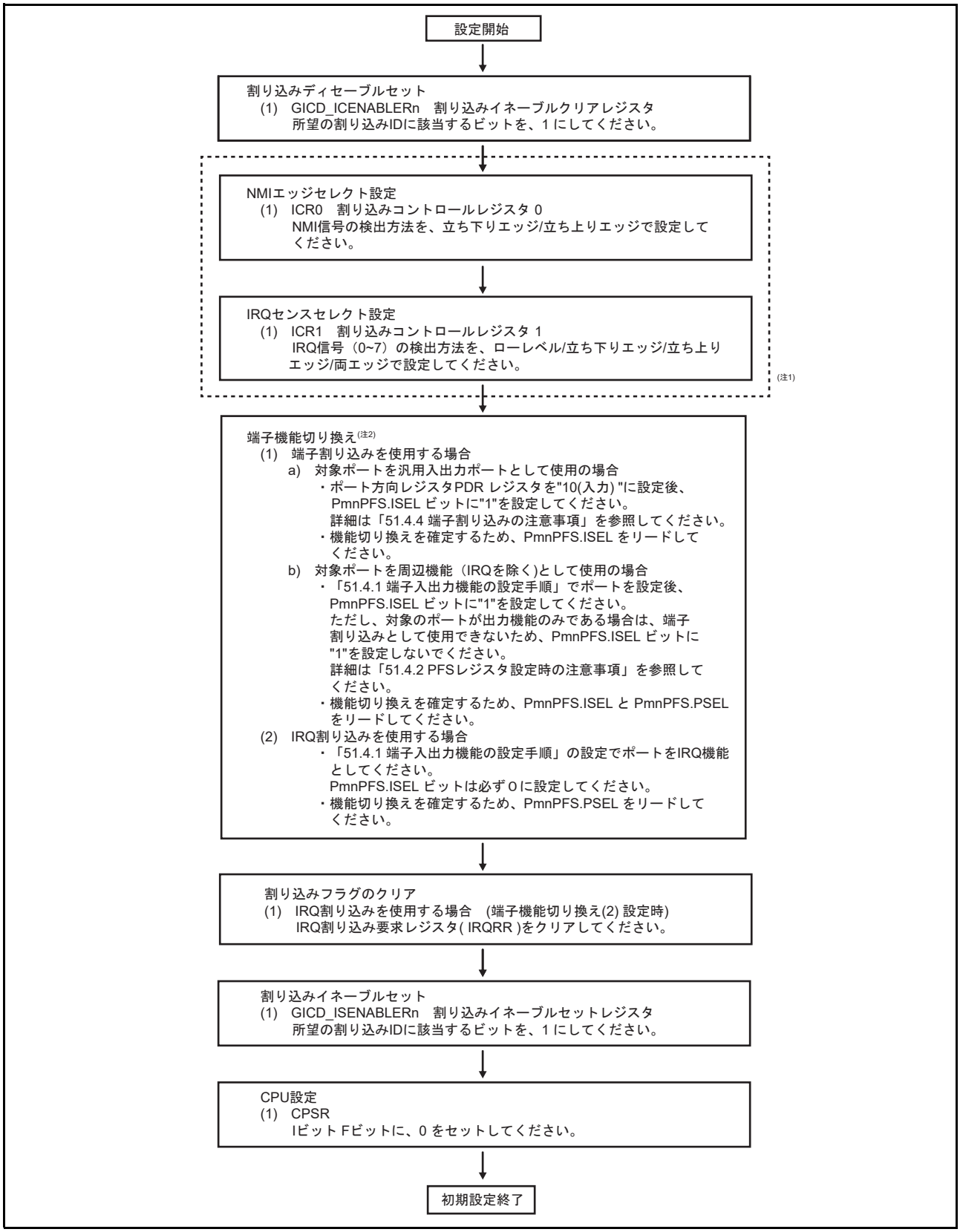


図 7.3　端子機能切り換え設定フロー (注 3)

注1.　端子機能切り換え時に、既に点線内の設定が完了している場合、点線内の手順を省略することが可能です。
注2.　汎用入出力ポートのレジスタの詳細は、「51.3　レジスタの説明」を参照ください。
注3.　設定の開始から設定を終了するまでの間、端子割り込みを使用する端子は「L レベル」を、IRQ割り込みを使用する端子は「H レベル」を入力してください。

表7.4　GICD_ICFGRn　割り込み構成レジスタ設定値

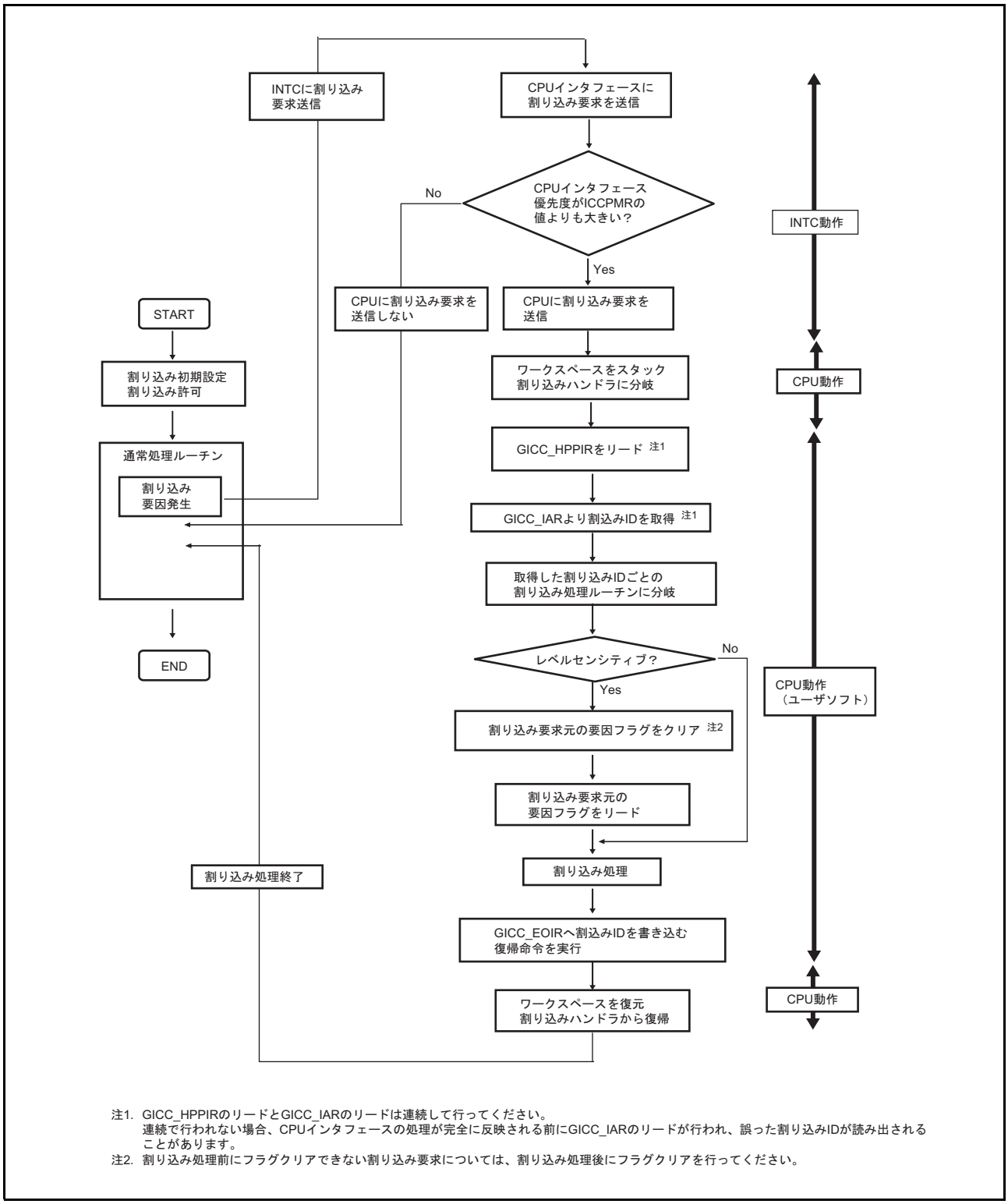
レジスタ名	設定値	割り込みID
GICD_ICFGR0	H'AAAA_AAAA	15 ～ 0
GICD_ICFGR1	H'5554_0000	31 ～ 16
GICD_ICFGR2	H'FD55_5555	47 ～ 32
GICD_ICFGR3	H'7FFF_FFFF	63 ～ 48
GICD_ICFGR4	H'5555_5555	79 ～ 64
GICD_ICFGR5	H'D57F_5555	95 ～ 80
GICD_ICFGR6	H'FFFF_FFFF	111 ～ 96
GICD_ICFGR7	H'FFFF_FFFF	127 ～ 112
GICD_ICFGR8	H'FFFF_FFFF	143 ～ 128
GICD_ICFGR9	H'FFFF_FFFF	159 ～ 144
GICD_ICFGR10	H'FFFF_FFFF	175 ～ 160
GICD_ICFGR11	H'FFFF_FFFF	191 ～ 176
GICD_ICFGR12	H'FFFF_FFFF	207 ～ 192
GICD_ICFGR13	H'FFFF_FFFF	223 ～ 208
GICD_ICFGR14	H'FFFF_FFFF	239 ～ 224
GICD_ICFGR15	H'7D5F_D57F	255 ～ 240
GICD_ICFGR16	H'557D_7DDF	271 ～ 256
GICD_ICFGR17	H'557D_557D	287 ～ 272
GICD_ICFGR18	H'5555_557D	303 ～ 288
GICD_ICFGR19	H'5555_5555	319 ～ 304
GICD_ICFGR20	H'F555_5555	335 ～ 320
GICD_ICFGR21	H'5555_FFFF	351 ～ 336
GICD_ICFGR22	H'F555_5555	367 ～ 352
GICD_ICFGR23	H'FFDD_55F5	383 ～ 368
GICD_ICFGR24	H'FFFF_FFFF	399 ～ 384
GICD_ICFGR25	H'FFFF_FFFF	415 ～ 400
GICD_ICFGR26	H'FFFF_FFFF	431 ～ 416
GICD_ICFGR27	H'5FFF_FFDF	447 ～ 432
GICD_ICFGR28	H'5555_5555	463 ～ 448
GICD_ICFGR29	H'5555_5555	479 ～ 464
GICD_ICFGR30（注1）	H'5555_5555	495 ～ 480
GICD_ICFGR31（注1）	H'5555_5555	511 ～ 496

注1.　端子割り込みに対応するIDはエッジ検出、レベルセンシティブの選択が可能です。
表中の設定値はレベルセンシティブを選択しています。

7.6.2　割り込み動作の流れ

割り込み発生時の動作の詳細は Arm Generic Interrupt Controller Architecture Specification 及び Arm PrimeCell Generic Interrupt Controller (GIC-400) Technical Reference Manual を参照してください。

図 7.4 に割り込み動作フローを示します。



注1. GICC_HPPIRのリードとGICC_IARのリードは連続して行ってください。
連続で行われない場合、CPUインタフェースの処理が完全に反映される前にGICC_IARのリードが行われ、誤った割り込みIDが読み出されることがあります。
注2. 割り込み処理前にフラグクリアできない割り込み要求については、割り込み処理後にフラグクリアを行ってください。

図 7.4　割り込み動作フロー

7.7 割り込み要求信号によるデータ転送

割り込み要求信号によりダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

割り込み要因の中でダイレクトメモリアクセスコントローラの DMA 拡張リソースセレクタ 0 ～ 7 に指定されているものは割り込みコントローラに入力されずにマスクされます。

割り込み制御ブロック図をに示します。

詳細は「9. **ダイレクトメモリアクセスコントローラ**」を参照してください。

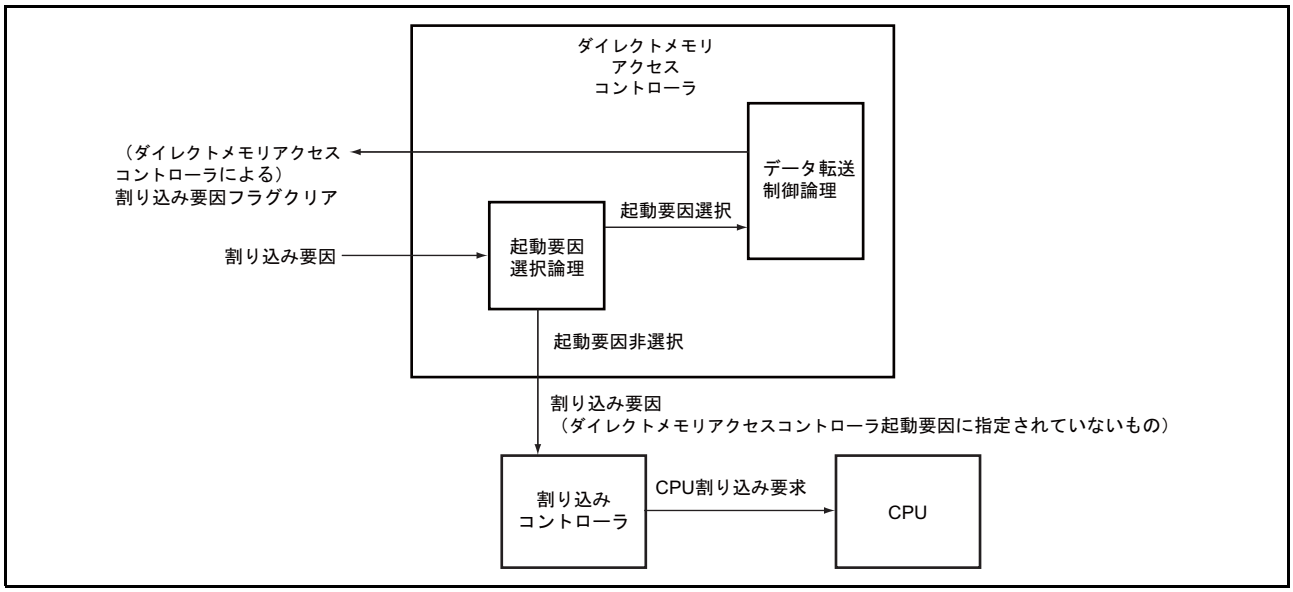


図 7.5　割り込み制御ブロック図

7.7.1 割り込み要求信号を CPU の割り込み要因とし、ダイレクトメモリアクセスコントローラの起動要因としない場合

1. ダイレクトメモリアクセスコントローラで要因を選択しません。
2. 割り込みが発生すると、CPU に割り込みを要求します。
3. CPU は割り込み例外サービスルーチンで、割り込み要因をクリアし所要の処理をします。

7.7.2 割り込み要求信号をダイレクトメモリアクセスコントローラの起動要因とし、CPU の割り込み要因としない場合

1. ダイレクトメモリアクセスコントローラで要因を選択します。
2. 割り込みが発生すると、ダイレクトメモリアクセスコントローラに起動要因が与えられます。
3. ダイレクトメモリアクセスコントローラは、転送時に起動要因をクリアします。

7.8 使用上の注意事項

7.8.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、時間を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後復帰命令を実行します。

7.8.2 IRQ 割り込みに端子機能を切り換えるときの注意

割り込みコントロールレジスタ 1（ICR1）が IRQ 入力の立ち下がりエッジ検出および両エッジ検出設定で端子入力がローレベルのとき、端子機能を IRQ 割り込みに切り換えると当該エッジが検出されます。

8. バスステートコントローラ

外部バスコントローラは、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

8.1 特長

1. 外部アドレス空間
- CS0 ～ CS5 の各空間をそれぞれ最大 64M バイトまでサポート
- 空間ごとに、通常空間インタフェース、バイト選択付き SRAM インタフェース、バースト ROM（クロック同期または非同期）、MPX-I/O および SDRAM のメモリ種類を指定可能
- 空間ごとに、データバス幅（8 ビット、16 ビット）を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード — ライト（同一空間または別空間）、リード — リード（同一空間または別空間）、および先頭サイクルがライトの場合の 5 種類独立にアイドルサイクルを設定可能

2. 通常空間インタフェース
- SRAM との直結が可能なインタフェースをサポート

3. バースト ROM（クロック非同期）インタフェース
- ページモード機能を有する ROM を高速にアクセス可能

4. MPX-I/O インタフェース
- アドレス／データマルチプレクスが必要な周辺 LSI を直結可能

5. SDRAM インタフェース
- 最大 2 つのエリアで SDRAM を設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- パワーダウンモードのサポート
- MRS コマンド、EMRS コマンド発行のサポート

6. バイト選択付き SRAM インタフェース
- バイト選択付き SRAM との直結が可能なインタフェースをサポート

7. バースト ROM（クロック同期）インタフェース
- クロック同期タイプのバースト ROM を直結可能

8. リフレッシュ機能
- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定（1、2、4、6、および 8）による集中リフレッシュが可能

9. リフレッシュ用カウンタのインターバルタイマとしての利用
- コンペアマッチタイマで割り込み要求発生可能

10. 外部 WAIT# 端子による長期アクセスウェイト状態を検出可能
- CS 空間ごとにタイムアウト検出条件を設定可能
- タイムアウト検出すると外部 WAIT 機能を無効にし、タイムアウト検出割り込み要求を発行

図 8.1 に本モジュールのブロック図を示します。

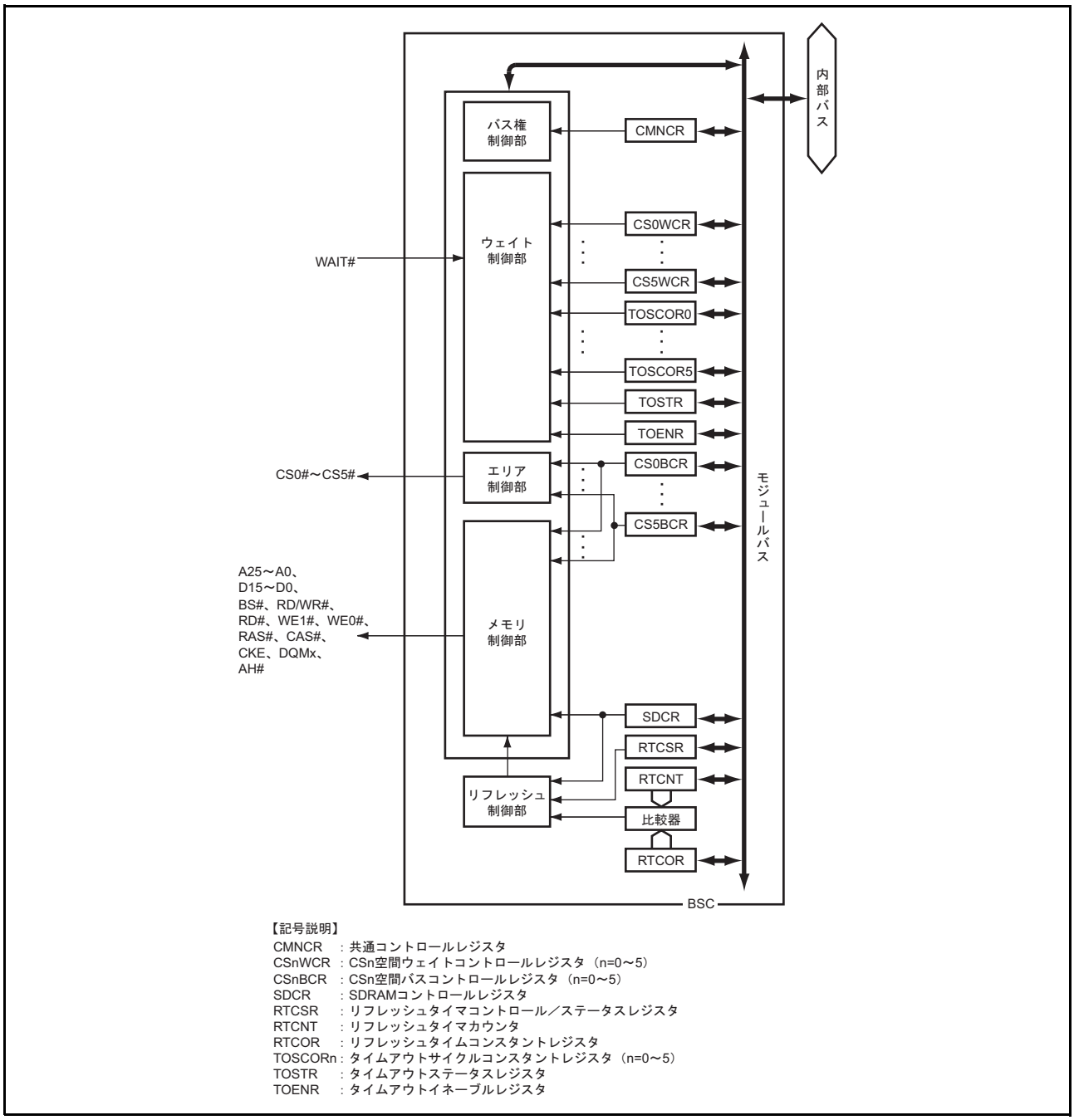


図 8.1　　バスステートコントローラのブロック図

8.2　入出力端子

表 8.1 に端子構成を示します。

表8.1　端子構成

端子名	入出力	機　能
A25 ～ A0	出力	アドレスバス
D15 ～ D0	入出力	データバス
BS#	出力	バスサイクルの開始を示す信号
CS0# ～ CS5#	出力	チップセレクト
RD/WR#	出力	リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、WE#端子に接続
RD#	出力	リードパルス信号（リードデータ出力許可信号）
AH#	出力	MPX-I/O 使用時、アドレスをホールドするための信号
WE1#/DQMU	出力	D15 ～ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15 ～ D8 対応の選択信号
WE0#/DQML	出力	D7 ～ D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7 ～ D0 対応の選択信号
RAS#	出力	SDRAM 接続時は、RAS#端子に接続
CAS#	出力	SDRAM 接続時は、CAS#端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
WAIT#	入力	外部ウェイト入力

8.3　エリアの概要

8.3.1　アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、外部メモリ空間、内蔵空間（SPI マルチ I/O 空間、大容量内蔵 RAM、保持用内蔵 RAM、内蔵周辺モジュール、予約エリア）に分割されています。

CS0 ～ CS5 の外部アドレス空間のキャッシュ有効／無効の設定は「5.　LSI 内部バス」を参照して実施してください。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 8.2　アドレスマップ

内部アドレス	空間	メモリ種類
H'00000000～H'03FFFFFF	CS0	通常空間、バイト選択付きSRAM、バーストROM（非同期、同期）
H'04000000～H'07FFFFFF	CS1	通常空間、バイト選択付きSRAM
H'08000000～H'0BFFFFFF	CS2	通常空間、バイト選択付きSRAM、SDRAM
H'0C000000～H'0FFFFFFF	CS3	通常空間、バイト選択付きSRAM、SDRAM
H'10000000～H'13FFFFFF	CS4	通常空間、バイト選択付きSRAM、バーストROM（非同期）
H'14000000～H'17FFFFFF	CS5	通常空間、バイト選択付きSRAM、MPX-I/O
H'1F000000～H'8FFFFFFF	その他	内蔵周辺モジュール、SPIマルチI/Oバス空間、HyperFlash™ / HyperRAM™ 空間、OctaFlash™ / OctaRAM™ 空間、大容量内蔵RAM、保持用内蔵RAM、予約エリア（注1）

注1.　大容量内蔵RAM空間および保持用内蔵RAM空間は「50.　内蔵RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「55.　レジスタ状態一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

8.3.2　ブートモード、各エリアのデータバス幅、関連端子設定

ブートモードにより、データバス幅や本モジュール関連端子設定の初期状態が異なります。ブートモードについては「3.　ブートモード」を参照してください。

ブートモード 0 では、エリア 0 に接続された ROM から起動しますので、エリア 0 の状態はバス幅 16 ビットの状態から変更できません。エリア 1 ～ 5 の初期状態もエリア 0 と同じですが、プログラムでバス幅を変更可能です。これらのモードではパワーオンリセット直後に、エリア 0 の ROM を読み出すのに必要となるアドレスの一部とデータバス、CS0#、RD# の端子機能のみが初期機能として自動的に選択されますが、それ以外の機能は初期機能が汎用ポートとなり、プログラムで端子機能を設定するまでは使用できません。端子設定が完了するまでは、エリア 0 のリードアクセス以外は行わないでください。

ブートモード 1 ～ 7 では、SPI 空間シリアルメモリ、SD コントローラ内蔵 NAND フラッシュメモリ、および、MMC コントローラ内蔵 NAND フラッシュメモリからの起動になりますので、エリア 0 ～ 5 が初期状態からプログラムで変更可能となります。また、自動的な本モジュール関連端子設定は行われませんので、プログラムでの設定が必要となります。端子設定が完了するまで外部アドレス空間のアクセスを行わないでください。

表 8.3 にブートモードとエリア別初期状態を示します。

なお、本章に記載しているアクセス波形例では、BS#、RD/WR#、WEn# などの端子も示していますが、これらは汎用入出力ポートで端子機能を設定した場合の例です。たとえばブートモード 0 において 8 ビットバス幅を使用する場合、A0 端子の設定が必要になります。

端子設定の詳細は、「51.　汎用入出力ポート」を参照してください。

表8.3　ブートモードとエリア別初期状態

ブートモード	項目	エリア0	エリア1～5
0	データバス幅	16ビットバス幅に固定。変更不可	初期値は16ビットバス幅。プログラムで変更可能
	本モジュール関連端子設定	A20～A1、D15～D0、CS0#、RD#の端子機能のみは自動設定。 それ以外の端子はプログラムで設定が必要。	
1～7	データバス幅	初期値は16ビットバス幅。プログラムで変更可能	
	本モジュール関連端子設定	初期値は汎用ポート機能。外部バスアクセスを行う場合、必要端子すべてのプログラム設定が必要	

注1.　ブートモード0においてA21以上のアドレス線を使用するブートROMを接続する場合、A21以上のアドレス線に対し基板上でプルダウン処理が必要です。

注2.　使用するメモリタイプによっては、データバス幅が限定されるものがあります。詳細は「8.4.2　CSn空間バスコントロールレジスタ（CSnBCR）（n＝0～5）」を参照してください。

8.4 レジスタの説明

表 8.4 にレジスタ構成を示します。

接続メモリとのインタフェースの設定が終了するまでは、該当エリアのアクセスを行わないでください。

表8.4　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
共通コントロールレジスタ	CMNCR	R/W	H'00001018	H'1F000000	32
CS0空間バスコントロールレジスタ	CS0BCR	R/W	H'36DB0C00	H'1F000004	32
CS1空間バスコントロールレジスタ	CS1BCR	R/W	H'36DB0C00	H'1F000008	32
CS2空間バスコントロールレジスタ	CS2BCR	R/W	H'36DB0C00	H'1F00000C	32
CS3空間バスコントロールレジスタ	CS3BCR	R/W	H'36DB0C00	H'1F000010	32
CS4空間バスコントロールレジスタ	CS4BCR	R/W	H'36DB0C00	H'1F000014	32
CS5空間バスコントロールレジスタ	CS5BCR	R/W	H'36DB0C00	H'1F000018	32
CS0空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'00000500	H'1F000028	32
CS1空間ウェイトコントロールレジスタ	CS1WCR	R/W	H'00000500	H'1F00002C	32
CS2空間ウェイトコントロールレジスタ	CS2WCR	R/W	H'00000500	H'1F000030	32
CS3空間ウェイトコントロールレジスタ	CS3WCR	R/W	H'00000500	H'1F000034	32
CS4空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'00000500	H'1F000038	32
CS5空間ウェイトコントロールレジスタ	CS5WCR	R/W	H'00000500	H'1F00003C	32
SDRAMコントロールレジスタ	SDCR	R/W	H'00000000	H'1F00004C	32
リフレッシュタイマコントロール／ステータスレジスタ	RTCSR	R/W	H'00000000	H'1F000050	32
リフレッシュタイマカウンタ	RTCNT	R/W	H'00000000	H'1F000054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'00000000	H'1F000058	32
タイムアウトサイクルコンスタントレジスタ0	TOSCOR0	R/W	H'00000000	H'1F000060	32
タイムアウトサイクルコンスタントレジスタ1	TOSCOR1	R/W	H'00000000	H'1F000064	32
タイムアウトサイクルコンスタントレジスタ2	TOSCOR2	R/W	H'00000000	H'1F000068	32
タイムアウトサイクルコンスタントレジスタ3	TOSCOR3	R/W	H'00000000	H'1F00006C	32
タイムアウトサイクルコンスタントレジスタ4	TOSCOR4	R/W	H'00000000	H'1F000070	32
タイムアウトサイクルコンスタントレジスタ5	TOSCOR5	R/W	H'00000000	H'1F000074	32
タイムアウトステータスレジスタ	TOSTR	R/W	H'00000000	H'1F000080	32
タイムアウトイネーブルレジスタ	TOENR	R/W	H'00000000	H'1F000084	32
AC特性調整レジスタ	ACADJ	R/W	H'00000100	H'1F000090	32

8.4.1　共通コントロールレジスタ（CMNCR）

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	TL0	—	—	—	AL0	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DPRTY [1:0]		—	—	—	—	—	—	—	HIZ MEM	HIZ CNT*
初期値：	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	TL0	0	R/W	トランスファエンドレベル TEND0信号をハイアクティブにするかローアクティブにするかを指定します。 0：TEND0をローアクティブ出力 1：TEND0をハイアクティブ出力
27 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	AL0	0	R/W	アクノリッジレベル DACK0信号をハイアクティブにするかローアクティブにするかを指定します。 0：DACK0をローアクティブ出力 1：DACK0をハイアクティブ出力
23 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10、9	DPRTY [1:0]	00	R/W	DMAバースト転送優先順位 本ビットは、DMAバースト転送中に対するリフレッシュ要求の優先順位を指定します。 0*：DMAバースト転送中にリフレッシュ要求を受け付ける。 10：DMAバースト転送中にリフレッシュ要求を受け付けない。 11：予約（設定禁止）
8 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4、3	—	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	HIZMEM	0	R/W	High-Zメモリコントロール 本ビットは、A25～A0、BS#、CSn#、RD/WR#、WEn#/DQMx/AH#、RD#のソフトウェアスタンバイモード時、およびディープスタンバイモード時の端子状態を指定します。 0：ソフトウェアスタンバイモード時およびディープスタンバイモード時にハイインピーダンス 1：ソフトウェアスタンバイモード時およびディープスタンバイモード時にドライブ
0	HIZCNT*	0	R/W	High-Zコントロール 本ビットは、CKE、RAS#、CAS#のソフトウェアスタンバイモード時、およびディープスタンバイモード時の状態を指定します。 0：CKE、RAS#、CAS#は、ソフトウェアスタンバイモード時およびディープスタンバイモード時にハイインピーダンス 1：CKE、RAS#、CAS#は、ソフトウェアスタンバイモード時およびディープスタンバイモード時にドライブ

注　*　CKIO の High-Z コントロールは「6.　クロックパルス発振器」を参照してください。

8.4.2　CSn 空間バスコントロールレジスタ（CSnBCR）（n ＝ 0 ～ 5）

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。

レジスタの初期設定および端子設定が終了するまでは、該当エリアの外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。

詳細は、「8.5.10　アクセスサイクル間アイドル」を参照ください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IWW [2:0]			IWRWD [2:0]			IWRWS [2:0]			IWRRD [2:0]			IWRRS [2:0]		
初期値：	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TYPE [2:0]			—	BSZ [1:0]		—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	1	1*	0*	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 28	IWW [2:0]	011	R/W	ライト—リード／ライト—ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト—リードサイクルとライト—ライトサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入
27 ～ 25	IWRWD [2:0]	011	R/W	別空間リード—ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード—ライトサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入
24 ～ 22	IWRWS [2:0]	011	R/W	同一空間リード—ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード—ライトサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説　明
21 ～ 19	IWRRD [2:0]	011	R/W	別空間リード—リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード—リードサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入
18 ～ 16	IWRRS [2:0]	011	R/W	同一空間リード—リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード—リードサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 12	TYPE [2:0]	000	R/W	本ビットは、空間に接続するメモリの種類を設定します。 000：通常空間 001：バーストROM（クロック非同期） 010：MPX-I/O 011：バイト選択付きSRAM 100：SDRAM 101：予約（設定禁止） 110：予約（設定禁止） 111：バーストROM（クロック同期） エリアごとのメモリタイプは表8.2を参照してください。 注.　ブートモード0で、CS0空間にバーストROMを接続する場合は、CS0WCRレジスタを使用するバーストROMで必要な設定に変更した後でTYPE[2:0]をバーストROMの設定にしてください。ブートモード1～7の場合には、TYPE[2:0]を含むCS0BCR、CS0WCRの順にレジスタを設定してください。
11	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
10、9	BSZ [1:0]	10*	R/W	データバス幅指定 本ビットは、空間のデータバス幅を指定します。 00：予約（設定禁止） 01：8ビット 10：16ビット 11：MPX-I/O時は、アドレスによるバス幅選択。 MPX-I/O時以外では設定禁止 注1.　エリア5をMPX-I/Oに設定した場合は、本ビットの設定を11に設定すると、バス幅はCS5WCRのSZSELに従ったアドレスによりバス幅（8ビットまたは16ビット）が選択されます。また、固定バス幅では8または16ビットバス幅が設定可能です。 注2.　ブートモード0の場合、CS0BCRのBSZ[1:0]ビットへの書き込みは無視されます。 注3.　エリア2またはエリア3をSDRAM空間に設定した場合は、バス幅は16ビットのみ選択可能です。 注4.　エリア0をクロック同期バーストROM空間に設定した場合は、バス幅は16ビットのみ選択可能です。
8 ～ 0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.4.3　CSn 空間ウェイトコントロールレジスタ（CSnWCR）（n ＝ 0 ～ 5）

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ（CSnBCR）に設定したメモリ種類（TYPE[2:0]）により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR レジスタを設定後に設定してください。

(1)　通常空間、バイト選択付き SRAM、MPX-I/O

- CS0WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—*	BAS	—	—	—*	—*
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW [1:0]		WR [3:0]				WM	—	—	—	—	HW [1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 22	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	—*	0	R/W	リザーブビット 通常空間、バイト選択付きSRAMインタフェース時は0にしてください。
20	BAS	0	R/W	バイト選択付きSRAMバイトアクセス選択 本ビットは、バイト選択付きSRAMインタフェース時のWEn#およびRD/WR#信号のタイミングを設定します。 0：WEn#はリードライトタイミングでアサート、RD/WR#はライトアクセスサイクル中アサート 1：WEn#はリードライトアクセスサイクル中アサート、RD/WR#はライトタイミングでアサート
19、18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	—*	すべて 0	R/W	リザーブビット 通常空間、バイト選択付きSRAMインタフェース時は0にしてください。
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW [1:0]	00	R/W	アドレス、CS0#アサート→RD#、WEn#アサート遅延サイクル数 本ビットは、アドレス、CS0#アサートからRD#、WEn#アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

ビット	ビット名	初期値	R/W	説　　明
10 ～ 7	WR [3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW [1:0]	00	R/W	RD#、WEn#ネゲート→アドレス、CS0#ネゲート遅延サイクル数 本ビットは、RD#、WEn#ネゲートから、アドレス、CS0#ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

注　*　ブートモード 0 で、CS0 空間にバースト ROM を接続し、起動後にバースト ROM インタフェースに切り替える場合には、ビット 21、20 でバースト数の指定、ビット 17、16 でバーストウェイトサイクル数の指定を行った後に、CS0BCR の TYPE[2:0] を設定してください。上記以外のリザーブビットへの 1 書き込みは行わないでください。

- CS1WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]		WR[3:0]				WM	—	—	—	—	HW[1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付きSRAM　バイトアクセス選択 本ビットは、バイト選択付きSRAMインタフェース時のWEn#およびRD/WR#信号のタイミングを設定します。 0：WEn#はリードライトタイミングでアサート、RD/WR#はライトアクセスサイクル中アサート 1：WEn#はリードライトアクセスサイクル中アサート、RD/WR#はライトタイミングでアサート
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18 ～ 16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000：WR[3:0]設定（リードアクセスウェイト数）と同じサイクル 001：ウェイトサイクルなし 010：1サイクル 011：2サイクル 100：3サイクル 101：4サイクル 110：5サイクル 111：6サイクル
15 ～ 13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、CSn#アサート→RD#、WEn#アサート遅延サイクル数 本ビットは、アドレス、CSn#アサートからRD#、WEn#アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル
10 ～ 7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）

ビット	ビット名	初期値	R/W	説　　明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	RD#、WEn#ネゲート→アドレス、CSn#ネゲート遅延サイクル数 本ビットは、RD#、WEn#ネゲートから、アドレス、CSn#ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

- CS2WCR、CS3WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	WR[3:0]				WM	—	—	—	—	—	—
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
31～21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付きSRAM　バイトアクセス選択 本ビットは、バイト選択付きSRAMインタフェース時のWEn#およびRD/WR#信号のタイミングを設定します。 0：WEn#はリードライトタイミングでアサート、RD/WR#はライトアクセスサイクル中アサート 1：WEn#はリードライトアクセスサイクル中アサート、RD/WR#はライトタイミングでアサート
19～11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10～7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- CS4WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]		WR[3:0]				WM	—	—	—	—	HW[1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付きSRAM　バイトアクセス選択 本ビットは、バイト選択付きSRAMインタフェース時のWEn#およびRD/WR#信号のタイミングを設定します。 0：WEn#はリードライトタイミングでアサート、RD/WR#はライトアクセスサイクル中アサート 1：WEn#はリードライトアクセスサイクル中アサート、RD/WR#はライトタイミングでアサート
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18 ～ 16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000：WR[3:0]設定（リードアクセスウェイト数）と同じサイクル 001：ウェイトサイクルなし 010：1サイクル 011：2サイクル 100：3サイクル 101：4サイクル 110：5サイクル 111：6サイクル
15 ～ 13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、CS4#アサート→RD#、WEn#アサート遅延サイクル数 本ビットは、アドレス、CS4#アサートからRD#、WEn#アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル
10 ～ 7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）

ビット	ビット名	初期値	R/W	説　　明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	RD#、WEn#ネゲート→アドレス、CS4#ネゲート遅延サイクル数 本ビットは、RD#、WEn#ネゲートから、アドレス、CS4#ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

- CS5WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	SZSEL	MPXW/BAS	—	WW[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]		WR[3:0]				WM	—	—	—	—	HW[1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	SZSEL	0	R/W	MPX-I/Oインタフェースバス幅指定ビット 本ビットは、CS5BCRのBSZ[1:0]を11に設定したときのバス幅を選択するアドレスを指定します。本設定は、エリア5をMPX-I/Oに設定したときにのみ有効です。 0：アドレスA14によりバス幅選択 1：アドレスA21によりバス幅選択 SZSELビットとA14、A21によるバス幅選択の関係について示します。
20	MPXW	0	R/W	MPX-I/Oインタフェースアドレスウェイト 本設定は、エリア5をMPX-I/Oに設定したときにのみ有効です。本ビットは、MPX-I/Oインタフェースのアドレスサイクル挿入ウェイトを設定します。 0：ウェイトなし 1：1サイクルウェイト挿入
	BAS	0	R/W	バイト選択付きSRAMバイトアクセス選択 本設定は、エリア5をバイト選択付きSRAMに設定したときのみ有効です。 本ビットは、バイト選択付きSRAMインタフェース時のWEn#およびRD/WR#信号のタイミングを設定します。 0：WEn#はリードライトタイミングでアサート、RD/WR#はライトアクセスサイクル中アサート 1：WEn#はリードライトアクセスサイクル中アサート、RD/WR#はライトタイミングでアサート

SZSEL	A14	A21	説明
0	0	影響なし	8 ビットバス幅
	1	影響なし	16 ビットバス幅
1	影響なし	0	8 ビットバス幅
	影響なし	1	16 ビットバス幅

ビット	ビット名	初期値	R/W	説　明
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18 ～ 16	WW [2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000：WR[3:0]設定（リードアクセスウェイト数）と同じサイクル 001：ウェイトサイクルなし 010：1サイクル 011：2サイクル 100：3サイクル 101：4サイクル 110：5サイクル 111：6サイクル
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW [1:0]	00	R/W	アドレス、CS5#アサート→RD#、WEn#アサート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付きSRAMに設定した場合、アドレス、CS5#アサートからRD#、WEn#アサートまでの遅延サイクル数を指定します。 エリア5をMPX-I/Oに設定した場合、アドレスサイクル（Ta3）終了から、RD#、WEn#アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル
10 ～ 7	WR [3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW [1:0]	00	R/W	RD#、WEn#ネゲート→アドレス、CS5#ネゲート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付きSRAMに設定した場合、RD#、WEn#ネゲートから、アドレス、CS5#ネゲートまでの遅延サイクル数を指定します。 エリア5をMPX-I/Oに設定した場合、RD#、WEn#ネゲートから、CS5#ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

(2) バースト ROM（クロック非同期）

- CS0WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	BST [1:0]		—	—	BW [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	W [3:0]				WM	—	—	—	—	—	—
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 22	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	BST [1:0]	00	R/W	バースト数指定 本ビットは、16バイト以上のアクセス発生時のバースト数を指定します。BST[1:0]のB'11設定は予約ですので設定しないでください。 注.　詳細は表8.13を参照してください。
19、18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	BW [1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 7	W [3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）

バス幅	BST[1:0]	バースト数 （16バイトアクセス）
8 ビット	00	16 バースト ×1 回
	01	4 バースト ×4 回
16 ビット	00	8 バースト ×1 回
	01	2 バースト ×4 回
	10	4-4 または 2-4-2 バースト

ビット	ビット名	初期値	R/W	説　　明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- CS4WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	BST [1:0]		—	—	BW [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW [1:0]		W [3:0]				WM	—	—	—	—	HW [1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 22	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	BST [1:0]	00	R/W	バースト数指定 本ビットは、16バイト以上のアクセス発生時のバースト数を指定します。BST[1:0]のB'11設定は予約ですので設定しないでください。 注.　詳細は表8.13を参照してください。
19、18	-	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	BW [1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW [1:0]	00	R/W	アドレス、CS4#アサート→RD#、WEn#アサート遅延サイクル数 本ビットは、アドレス、CS4#アサートから、RD#、WEn#アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

バス幅	BST[1:0]	バースト数 （16バイトアクセス）
8 ビット	00	16 バースト ×1 回
	01	4 バースト ×4 回
16 ビット	00	8 バースト ×1 回
	01	2 バースト ×4 回
	10	4-4 または 2-4-2 バースト

ビット	ビット名	初期値	R/W	説　　明
10～7	W [3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW [1:0]	00	R/W	RD#、WEn#ネゲート→アドレス、CS4#ネゲート遅延サイクル数 本ビットは、RD#、WEn#ネゲートから、アドレス、CS4#ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

(3) SDRAM*

- CS2WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	A2CL [1:0]		—	—	—	—	—	—	—
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8、7	A2CL [1:0]	10	R/W	エリア2 CAS レイテンシ 本ビットは、エリア2のCAS レイテンシを指定します。 00：1サイクル 01：2サイクル 10：3サイクル 11：4サイクル
6 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注　*　1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

- CS3WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	WTRP [1:0]*		—	WTRCD [1:0]*		—	A3CL [1:0]		—	—	TRWL [1:0]*		—	WTRC [1:0]*	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

注.　エリア2とエリア3がともにSDRAMに設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

ビット	ビット名	初期値	R/W	説　明
31 ～ 15	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14、13	WTRP [1:0]*	00	R/W	プリチャージ完了待ちサイクル数 以下のプリチャージ完了待ちの最小サイクル数を指定します。 • オートプリチャージの起動から同一バンクに対するACTVコマンド発行まで • PRE/PALLコマンド発行から同一バンクに対するACTVコマンド発行まで • パワーダウンモード／ディープパワーダウンモード遷移まで • オートリフレッシュ時のPALLコマンド発行からREFコマンド発行まで • セルフリフレッシュ時のPALLコマンド発行からSELFコマンド発行まで エリア2とエリア3の設定は共通となります。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
12	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11、10	WTRCD [1:0]*	01	R/W	ACTVコマンド→READ（A）／WRIT（A）コマンド間ウェイトサイクル数 本ビットは、ACTVコマンド発行後、READ（A）／WRIT（A）コマンド発行までの最小ウェイトサイクル数を指定します。エリア2とエリア3の設定は、共通となります。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8、7	A3CL [1:0]	10	R/W	エリア3 CASレイテンシ 本ビットは、エリア3のCASレイテンシを指定します。 00：1サイクル 01：2サイクル 10：3サイクル 11：4サイクル
6、5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　明
4、3	TRWL [1:0]*	00	R/W	プリチャージ起動待ちサイクル数 以下のプリチャージ起動待ちの最小サイクル数を指定します。 • 本LSIがWRITAコマンドを発行してからSDRAM内でオートプリチャージが起動するまでのサイクル数 WRITAコマンド発行後、同一バンクに対するACTVコマンド発行までのサイクル数です。なお、SDRAM内でWRITAコマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各SDRAMのデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を超えないように本ビットを設定してください。 • 本LSIがWRITコマンドを発行してからPREコマンドを発行するまでのサイクル数 バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。 エリア2とエリア3の設定は共通となります。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	WTRC [1:0]*	00	R/W	REFコマンド／セルフリフレッシュ解除→ACTV/REF/MRSコマンド間アイドルサイクル数 以下のコマンド間の最小アイドルサイクル数を指定します。 • REFコマンド発行後からACTV/REF/MRSコマンド発行まで • セルフリフレッシュ解除後からACTV/REF/MRSコマンド発行まで エリア2とエリア3の設定は共通となります。 00：2サイクル 01：3サイクル 10：5サイクル 11：8サイクル

注　*　エリア 2 とエリア 3 がともに SDRAM に設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。
1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

(4) バースト ROM（クロック同期）

- CS0WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	W[3:0]				WM	—	—	—	—	—	—
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
31 ～ 18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	BW [1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 7	W [3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.4.4 SDRAM コントロールレジスタ（SDCR）

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および接続する SDRAM の種類を指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	A2ROW [1:0]		—	A2COL [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DEEP	—	RFSH	RMODE	PDOWN	BACTV	—	—	—	A3ROW [1:0]		—	A3COL [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20、19	A2ROW [1:0]	00	R/W	エリア2ロウアドレスビット数 本ビットは、エリア2のロウアドレスのビット数を指定します。 00：11ビット 01：12ビット 10：13ビット 11：予約（設定禁止）
18	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	A2COL [1:0]	00	R/W	エリア2カラムアドレスビット数 本ビットは、エリア2のカラムアドレスのビット数を指定します。 00：8ビット 01：9ビット 10：10ビット 11：予約（設定禁止）
15、14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワー SDRAMに対してのみ有効です。本ビットを1の状態でRFSHビットおよびRMODEビットを1にすると、ディープパワーダウンエントリコマンドを発行してローパワー SDRAMはディープパワーダウンモードに遷移します。 0：セルフリフレッシュモード 1：ディープパワーダウンモード
12	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	RFSH	0	R/W	リフレッシュ制御 本ビットは、SDRAMに対してリフレッシュを行うかどうかを指定します。 0：リフレッシュしない 1：リフレッシュする
10	RMODE	0	R/W	リフレッシュモード 本ビットは、RFSHビットが1のとき、オートリフレッシュを行うかセルフリフレッシュを行うかを指定します。RFSHビットを1かつ本ビットを1に設定すると、その直後にセルフリフレッシュモードに入ります。RFSHビットを1かつ本ビットを0に設定すると、RTCSR、RTCNT、およびRTCORレジスタに設定した内容に従いオートリフレッシュを行います。 0：オートリフレッシュを行う 1：セルフリフレッシュを行う
9	PDOWN	0	R/W	パワーダウンモード 本ビットは、SDRAMに対するアクセス終了後に、SDRAMをパワーダウンモードにするかどうかを指定します。本ビットを1に設定すると、アクセス終了後CKE端子をローレベルにしてSDRAMをパワーダウンモードにします。 0：アクセス終了後、SDRAMをパワーダウンモードにしない 1：アクセス終了後、SDRAMをパワーダウンモードにする

ビット	ビット名	初期値	R/W	説　　明
8	BACTV	0	R/W	バンクアクティブモード 本ビットは、オートプリチャージモード（READAおよびWRITAコマンドを使用）でアクセスするのか、バンクアクティブモード（READおよびWRITコマンドを使用）でアクセスするのかを指定します。 0：オートプリチャージモード（READAおよびWRITAコマンドを使用） 1：バンクアクティブモード（READおよびWRITコマンドを使用） 注.　バンクアクティブモードは、エリア3でのみ設定可能です。エリア2およびエリア3ともにSDRAMに設定する場合は、オートプリチャージモードに設定してください。
7～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4、3	A3ROW[1:0]	00	R/W	エリア3ロウアドレスビット数 本ビットは、エリア3のロウアドレスのビット数を指定します。 00：11ビット 01：12ビット 10：13ビット 11：予約（設定禁止）
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	A3COL[1:0]	00	R/W	エリア3カラムアドレスビット数 本ビットは、エリア3のカラムアドレスのビット数を指定します。 00：8ビット 01：9ビット 10：10ビット 11：予約（設定禁止）

8.4.5　リフレッシュタイマコントロール／ステータスレジスタ（RTCSR）

RTCSR は、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

リフレッシュタイマカウンタ（RTCNT）をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0] を B'000 以外に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの期間には誤差を含みますのでご注意ください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	CMIE		CKS [2:0]			RRC [2:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイマカウンタ（RTCNT）とリフレッシュタイムコンスタントレジスタ（RTCOR）の値が一致したことを示すステータスフラグです。次の条件でセット／クリアされます。 0：クリア条件：CMF＝1の状態でRTCSRを読み出した後に、CMFに0を書き込んだとき 1：セット条件：RTCNT＝RTCORになったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSRのCMFビットが1にセットされたとき、CMFによる割り込み要求を許可するか禁止するかを設定します。 0：CMFによる割り込み要求を禁止 1：CMFによる割り込み要求を許可
5 ～ 3	CKS [2:0]	000	R/W	クロックセレクト 本ビットは、リフレッシュタイマカウンタ（RTCNT）をカウントアップするクロックを選択します。 000：カウントアップ停止 001：CKIOφ/4 010：CKIOφ/16 011：CKIOφ/64 100：CKIOφ/256 101：CKIOφ/1024 110：CKIOφ/2048 111：CKIOφ/4096
2 ～ 0	RRC [2:0]	000	R/W	リフレッシュ回数 本ビットは、リフレッシュタイマカウンタ（RTCNT）とリフレッシュタイムコンスタントレジスタ（RTCOR）の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 000：1回 001：2回 010：4回 011：6回 100：8回 101：予約（設定禁止） 110：予約（設定禁止） 111：予約（設定禁止）

8.4.6　リフレッシュタイマカウンタ（RTCNT）

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
7 ～ 0		すべて 0	R/W	8ビットのカウンタ

8.4.7　リフレッシュタイムコンスタントレジスタ（RTCOR）

RTCORは、8ビットのレジスタです。RTCORとRTCNTの値が一致すると、RTCSRのCMFビットが1にセットされ、RTCNTは0にクリアされます。

SDCRのRFSHビットが1にセットされている場合は、この一致信号によってリフレッシュ要求を発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCSRのCMIEビットが1にセットされていると、この一致信号によって割り込み要求を発生します。割り込み要求は、RTCSRのCMFビットがクリアされるまで続けて出力されます。CMFビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインターバルタイマ割り込みの同時設定を行うことも可能です。

書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
7～0		すべて0	R/W	8ビットのレジスタ

8.4.8　タイムアウトサイクルコンスタントレジスタ（TOSCORn）（n=0 ～ 5）

TOSCORn は、CSn 空間ウェイトコントロールレジスタ（CSnWCR）の WM ビットが 0、かつタイムアウトイネーブルレジスタ（TOENR）の該当ビットが 1 の場合に有効となる、16 ビットのレジスタです。外部ウェイト入力によるサイクル内ウェイトサイクル数が TOSCORn の設定値と一致すると、外部ウェイト入力を無効化してアクセスサイクルを終了し、タイムアウトステータスレジスタ（TOSTR）の該当空間タイムアウトステータスフラグをセットし、タイムアウト検出割り込み要求を発生します。タイムアウト検出割り込み要求は、TOENR の該当ビットを 0、あるいは TOSTR の該当空間タイムアウトステータスフラグに 0 書込みするまで保持されます。なお、TOSTR の該当空間タイムアウトステータスフラグが 1 の状態でもタイムアウト検出機能は有効となり、再びタイムアウトとなった場合、外部ウェイ入力の無効化が行われます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 16	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
15 ～ 0		すべて 0	R/W	16ビットのレジスタ H'0000：65536サイクル H'0001：1サイクル ～ H'FFFF：65535サイクル

8.4.9　タイムアウトステータスレジスタ（TOSTR）

TOSTR は、8 ビットのレジスタです。CSn 空間ウェイトコントロールレジスタ（CSnWCR）の WM ビットが 0、かつタイムアウトイネーブルレジスタ（TOENR）の該当ビットが 1 の場合に、外部ウェイト入力によるサイクル内ウェイトサイクル数が TOSCORn の設定値と一致すると該当空間のタイムアウトステータスフラグがセットされ、タイムアウト検出割り込み要求が発生します。タイムアウトステータスフラグは、フラグクリアのための 0 書込みのみが有効で、1 書き込みは無視されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CS5 TOSTF	CS4 TOSTF	CS3 TOSTF	CS2 TOSTF	CS1 TOSTF	CS0 TOSTF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
5	CS5 TOSTF	0	R/W	CS5空間タイムアウトステータスフラグ 本ビットは、CS5空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR5）とCS5空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。次の条件でセット／クリアされます。 0：クリア条件 CS5TOSTFに0を書き込んだとき 1：セット条件 CS5空間ウェイトコントロールレジスタ(CS5WCR)のWMビットが0、かつタイムアウトイネーブルレジスタ(TOENR)のCS5TOENビットが1の場合に、外部ウェイト入力によるCS5空間アクセスのサイクル内ウェイトサイクル数がTOSCOR5の設定値と一致したとき
4	CS4 TOSTF	0	R/W	CS4空間タイムアウトステータスフラグ 本ビットは、CS4空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR4）とCS4空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTFの説明を参照してください。
3	CS3 TOSTF	0	R/W	CS3空間タイムアウトステータスフラグ 本ビットは、CS3空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR3）とCS3空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTFの説明を参照してください。
2	CS2 TOSTF	0	R/W	CS2空間タイムアウトステータスフラグ 本ビットは、CS2空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR2）とCS2空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTFの説明を参照してください。
1	CS1 TOSTF	0	R/W	CS1空間タイムアウトステータスフラグ 本ビットは、CS1空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR1）とCS1空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTFの説明を参照してください。
0	CS0 TOSTF	0	R/W	CS0空間タイムアウトステータスフラグ 本ビットは、CS0空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR0）とCS0空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTFの説明を参照してください。

8.4.10　タイムアウトイネーブルレジスタ（TOENR）

TOENR は、8 ビットのレジスタです。タイムアウト検出機能を各空間ごとに有効にするか無効にするかの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CS5 TOEN	CS4 TOEN	CS3 TOEN	CS2 TOEN	CS1 TOEN	CS0 TOEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
5	CS5 TOEN	0	R/W	CS5空間タイムアウト検出機能イネーブル 本ビットは、CS5空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
4	CS4 TOEN	0	R/W	CS4空間タイムアウト検出機能イネーブル 本ビットは、CS4空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
3	CS3 TOEN	0	R/W	CS3空間タイムアウト検出機能イネーブル 本ビットは、CS3空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
2	CS2 TOEN	0	R/W	CS2空間タイムアウト検出機能イネーブル 本ビットは、CS2空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
1	CS1 TOEN	0	R/W	CS1空間タイムアウト検出機能イネーブル 本ビットは、CS1空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
0	CS0 TOEN	0	R/W	CS0空間タイムアウト検出機能イネーブル 本ビットは、CS0空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可

8.4.11　AC 特性調整レジスタ（ACADJ）

ACADJ は、バスステートコントローラの入出力タイミングを調整するレジスタです。SDRAM インタフェース用の AC 特性調整に使用します。

SDRAM を使用しない場合は初期値から変更しないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SDRODLY [3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	SDRIDLY [3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 20	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19 ～ 16	SDRODLY [3:0]	すべて 0	R/W	出力特性調整ビット 出力遅延時間を調整します。 H'0：初期状態、SDRAMを使用しない場合 H'2：SDRAM使用時 上記以外：設定禁止
15 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7 ～ 4	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3 ～ 0	SDRIDLY [3:0]	すべて 0	R/W	入力特性調整ビット 入力データ取り込みタイミングを調整します。 H'0：初期状態、SDRAMを使用しない場合 H'F：SDRAM使用時 上記以外：設定禁止

8.5 動作説明

8.5.1 アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方が下位バイト（LSB）が 0 番地側になるリトルエンディアンをサポートしています。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット幅の 2 種類から選べ、SDRAM は 16 ビット幅のみ選択可能です。MPX-I/O では、8 ビットまたは 16 ビット幅固定、もしくはアクセスするアドレスにより 8 ビットまたは 16 ビットの可変となります。

なお、データバス幅はブートモードに伴う制限があります。

詳細は「8.3.2　ブートモード、各エリアのデータバス幅、関連端子設定」を参照してください。

データのアライメントは、各デバイスのデータバス幅に合わせて行われます。したがって、8 ビット幅のデバイスから 32 ビットデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を表 8.5 ～表 8.6 に示します。

表8.5　リトルエンディアンの16ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストローブ信号	
		D15～D8	D7～D0	WE1#、DQMU	WE0#、DQML
0番地8ビットアクセス		—	データ 7 ～ 0	—	アサート
1番地8ビットアクセス		データ 7 ～ 0	—	アサート	—
2番地8ビットアクセス		—	データ 7 ～ 0	—	アサート
3番地8ビットアクセス		データ 7 ～ 0	—	アサート	—
0番地16ビットアクセス		データ 15 ～ 8	データ 7 ～ 0	アサート	アサート
2番地16ビットアクセス		データ 15 ～ 8	データ 7 ～ 0	アサート	アサート
0番地 32ビットアクセス	1回目(0番地)	データ 15 ～ 8	データ 7 ～ 0	アサート	アサート
	2回目(2番地)	データ 31 ～ 24	データ 23 ～ 16	アサート	アサート

表8.6　リトルエンディアンの8ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス		ストローブ信号	
		D15～D8	D7～D0	WE1#、DQMU	WE0#、DQML
0番地8ビットアクセス		—	データ 7 ～ 0	—	アサート
1番地8ビットアクセス		—	データ 7 ～ 0	—	アサート
2番地8ビットアクセス		—	データ 7 ～ 0	—	アサート
3番地8ビットアクセス		—	データ 7 ～ 0	—	アサート
0番地 16ビットアクセス	1回目(0番地)	—	データ 7 ～ 0	—	アサート
	2回目(1番地)	—	データ 15 ～ 8	—	アサート
2番地 16ビットアクセス	1回目(0番地)	—	データ 7 ～ 0	—	アサート
	2回目(1番地)	—	データ 15 ～ 8	—	アサート
0番地 32ビットアクセス	1回目(0番地)	—	データ 7 ～ 0	—	アサート
	2回目(1番地)	—	データ 15 ～ 8	—	アサート
	3回目(2番地)	—	データ 23 ～ 16	—	アサート
	4回目(3番地)	—	データ 31 ～ 24	—	アサート

8.5.2　通常空間インタフェース

(1)　基本タイミング

通常空間アクセスは、おもにバイト選択端子のない SRAM の直結を考慮してストローブ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、**「8.5.8　バイト選択付き SRAM インタフェース」**を参照してください。**図 8.2** に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。BS# 信号はバスサイクルの開始を表し、1 サイクルアサートされます。

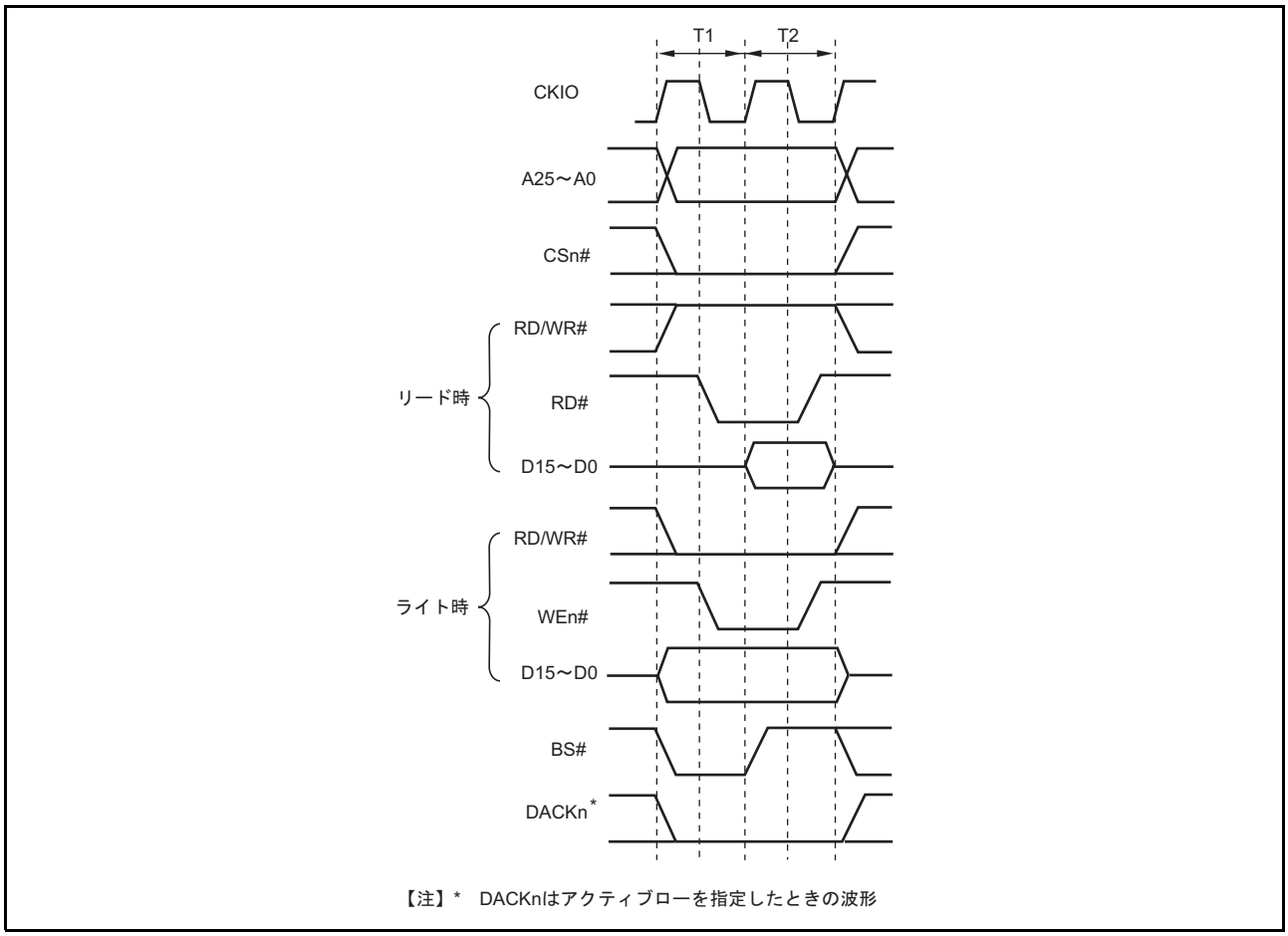


図 8.2　通常空間基本アクセス（アクセスウェイト 0）

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの WEn# 信号のみがアサートされます。

データバスにバッファを設ける場合には、RD# を用いてリードデータの出力制御を行う必要があります。RD/WR# 信号は、アクセスを行っていないときはリード状態（ハイレベル出力）となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 8.3、**図 8.4** に通常空間連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル Tnop が挿入されます（**図 8.3**）。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトが無視され Tnop サイクルの挿入を抑止することができます（**図 8.4**）。

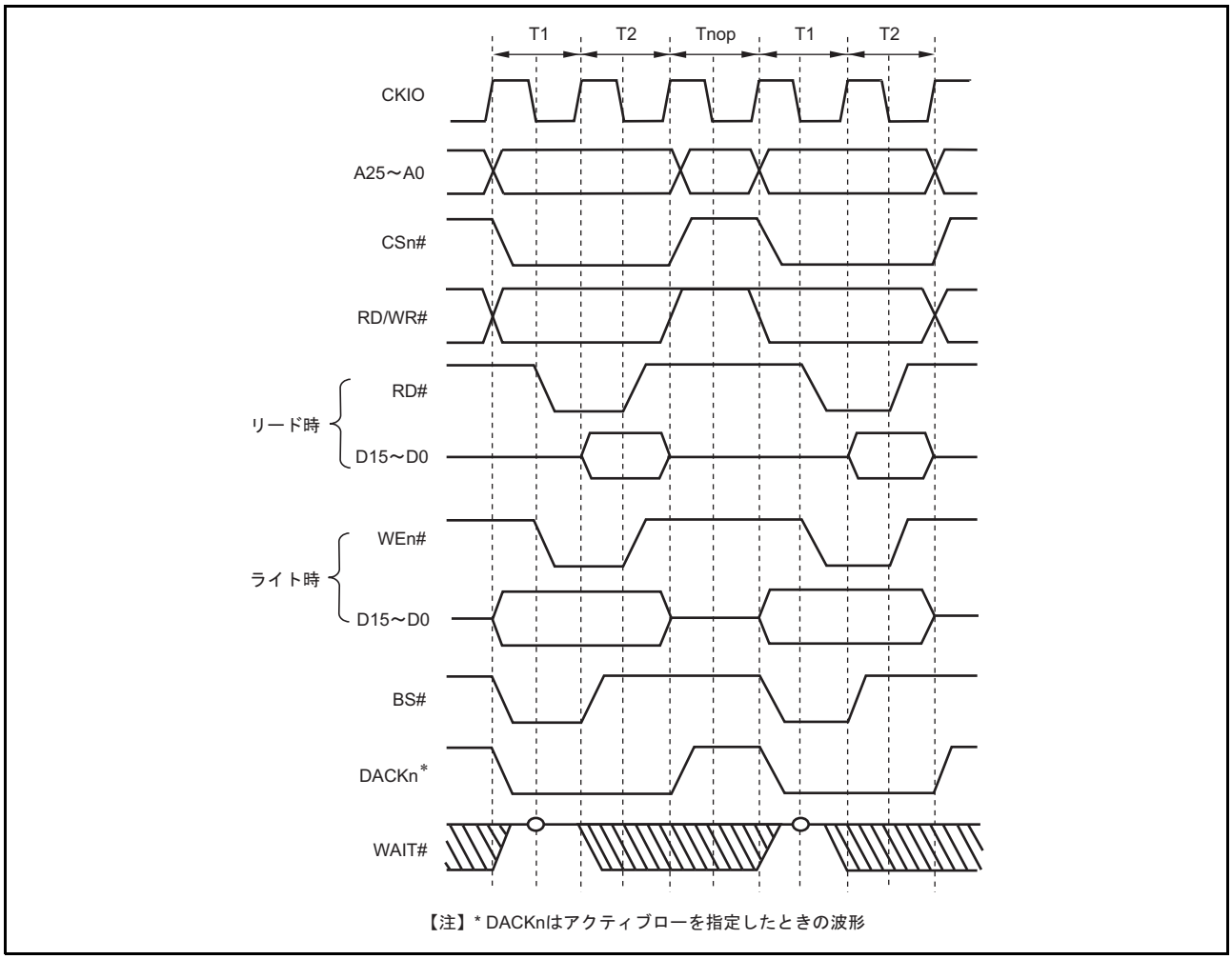


図 8.3　通常空間連続アクセス例 1
バス幅 16 ビット、32 ビットアクセス、CSnWCR.WM ビット＝ 0
（アクセスウェイト 0、サイクル間ウェイト 0）

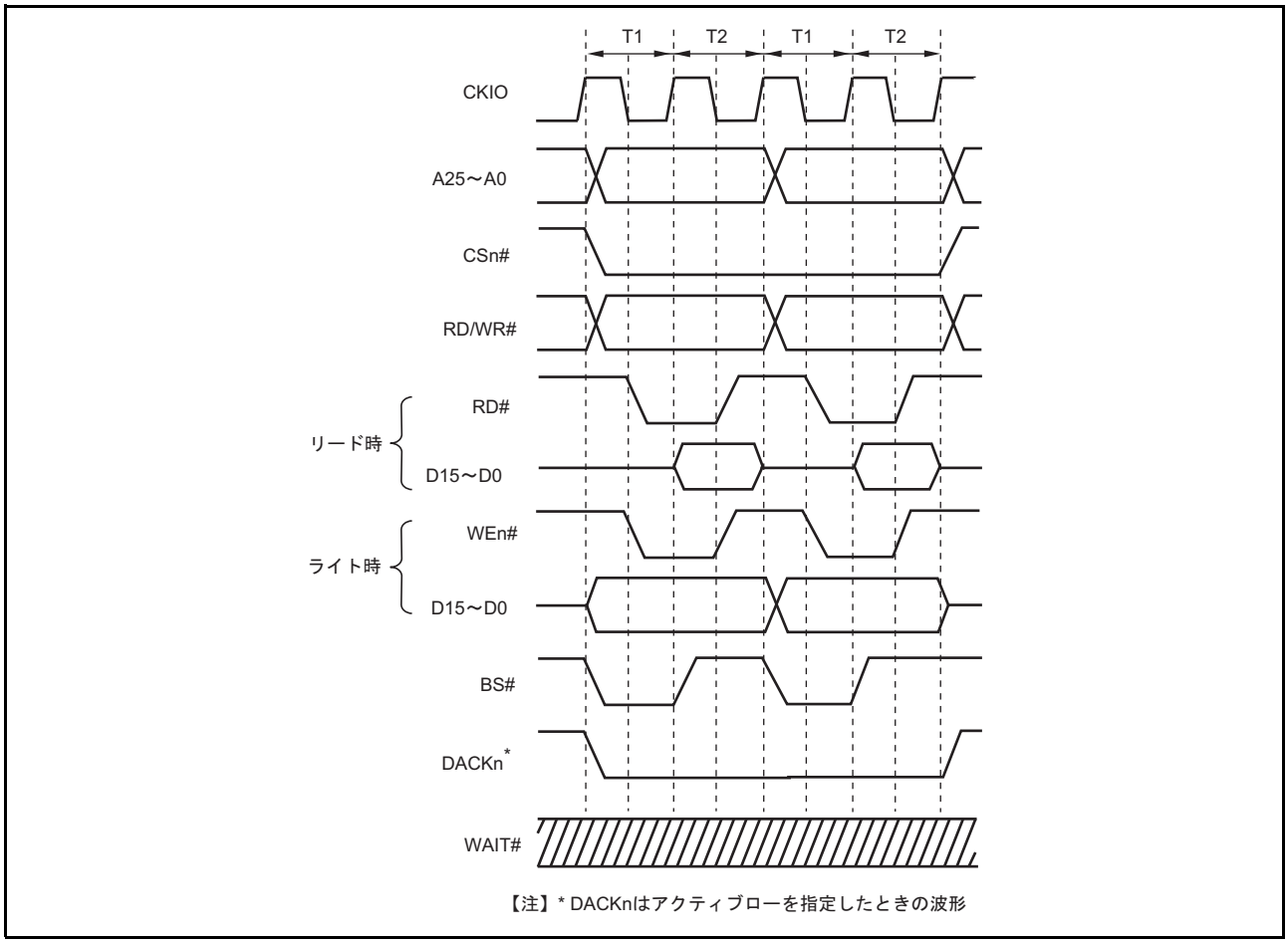


図 8.4　通常空間連続アクセス例 2
バス幅 16 ビット、32 ビットアクセス、CSnWCR.WM ビット＝ 1
（アクセスウェイト 0、サイクル間ウェイト 0）

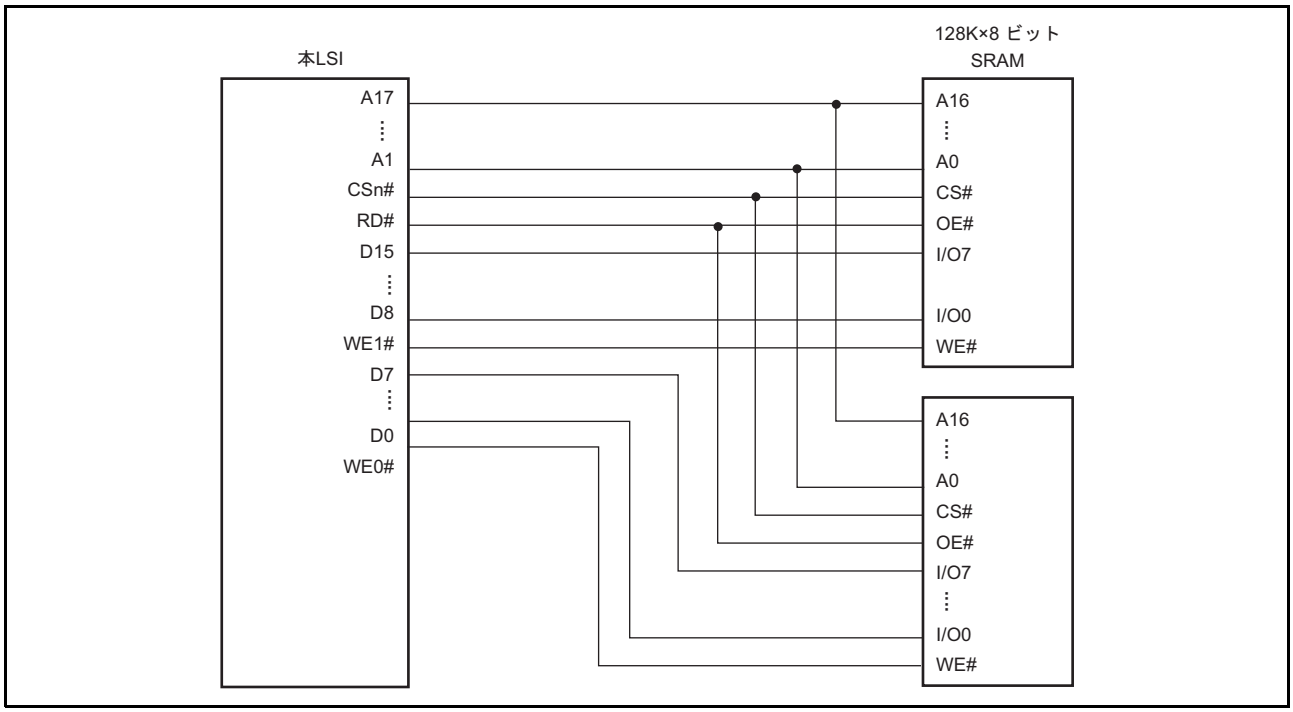


図 8.5 16 ビットデータ幅 SRAM 接続例

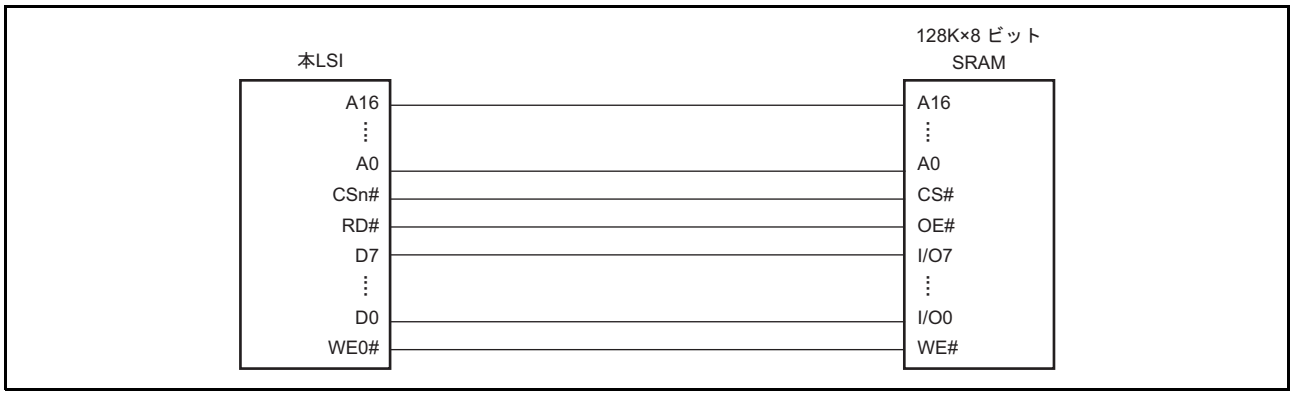


図 8.6 8 ビットデータ幅 SRAM 接続例

8.5.3　アクセスウェイト制御

CSnWCR の WR[3:0] ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 1、4 およびエリア 5 では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。エリア 0、2 およびエリア 3 のアクセスウェイトは、リードおよびライトサイクルで共通となります。**図 8.7** に示す通常空間のアクセスでは、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

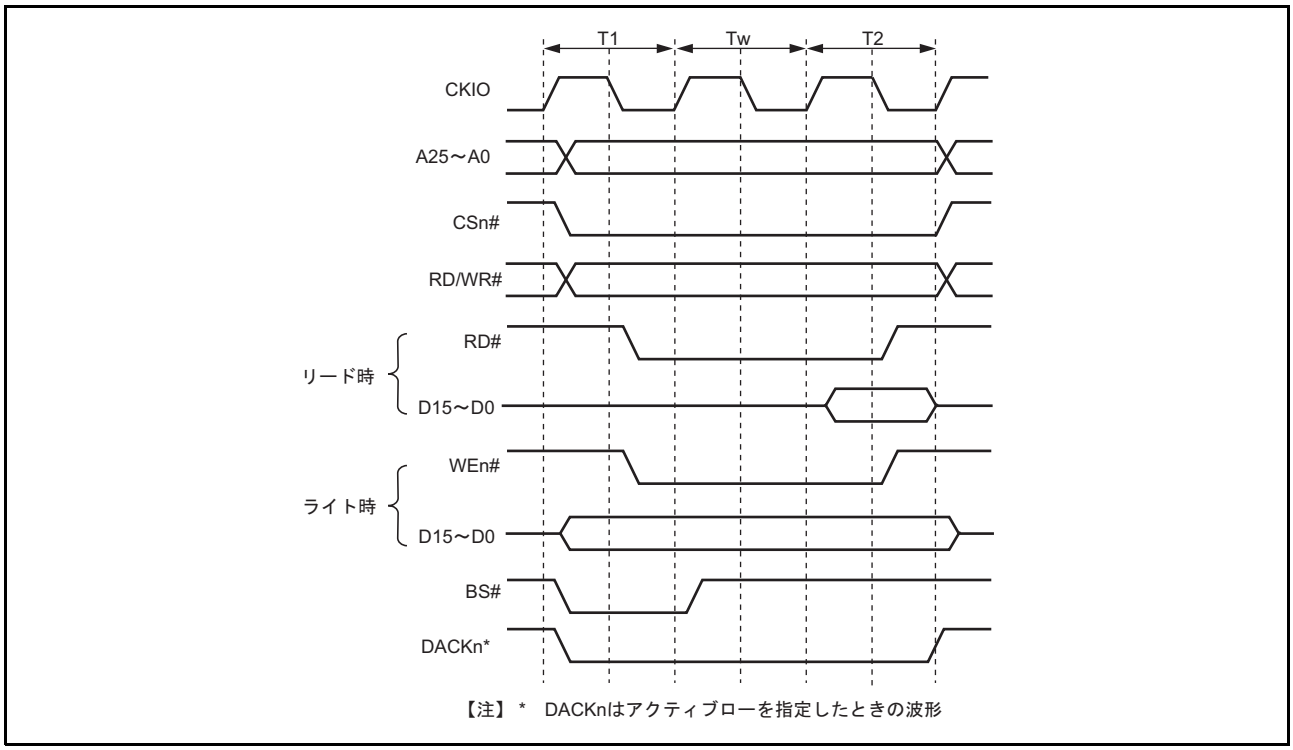


図 8.7　通常空間アクセスのウェイトタイミング（ソフトウェアウェイトのみ）

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 WAIT#信号もサンプリングされます。WAIT# 信号のサンプリングを図 8.8 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。WAIT# 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

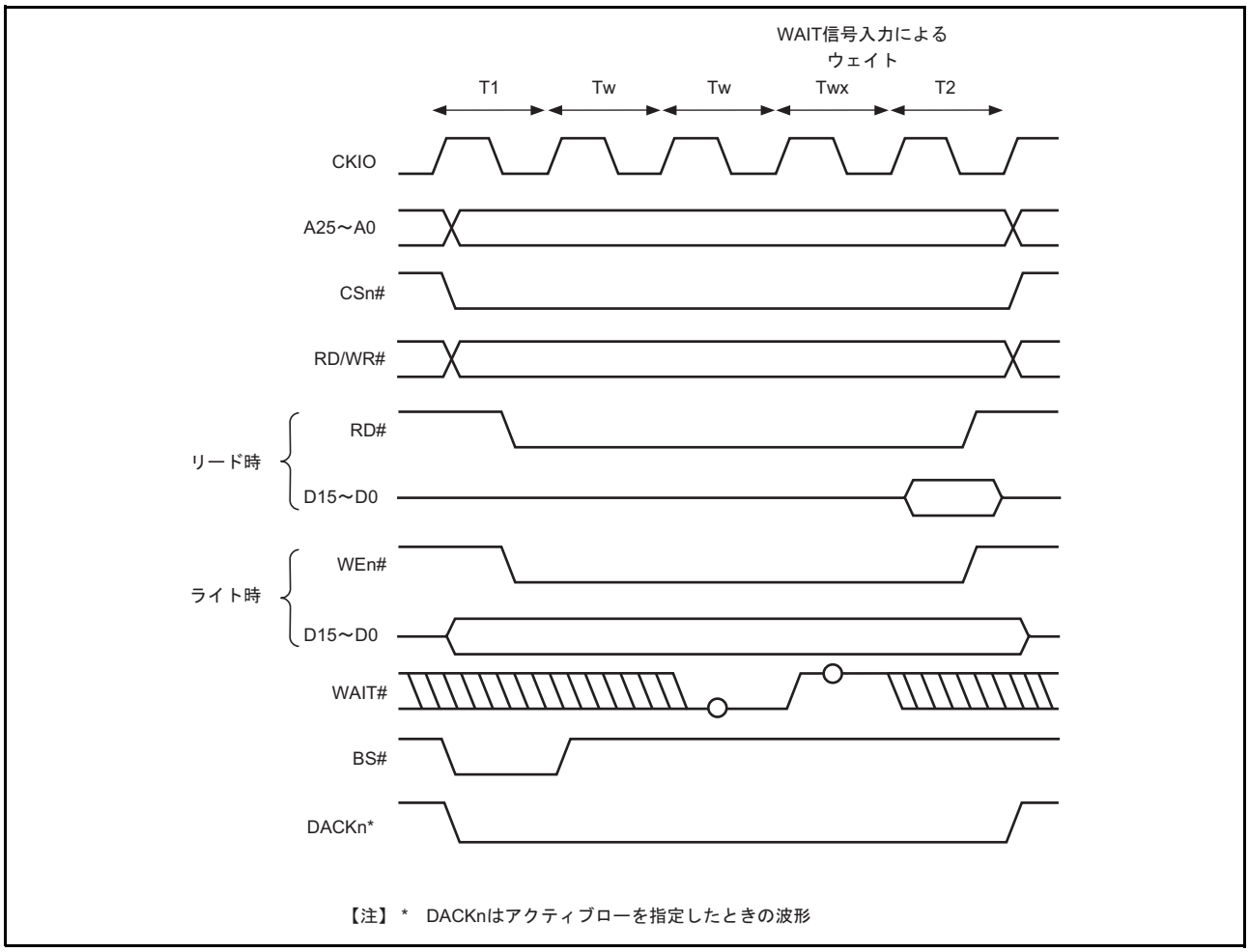


図 8.8　通常空間アクセスのウェイトタイミング（WAIT# 信号によるウェイト挿入）

8.5.4　CSn# アサート期間拡張

CSnWCR の SW[1:0] ビットの設定により、CSn# アサートから RD# と WEn# アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、RD# と WEn# ネゲートから CSn# ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 8.9 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、RD と WEn# 以外はアサートされますが、RD# と WEn# はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

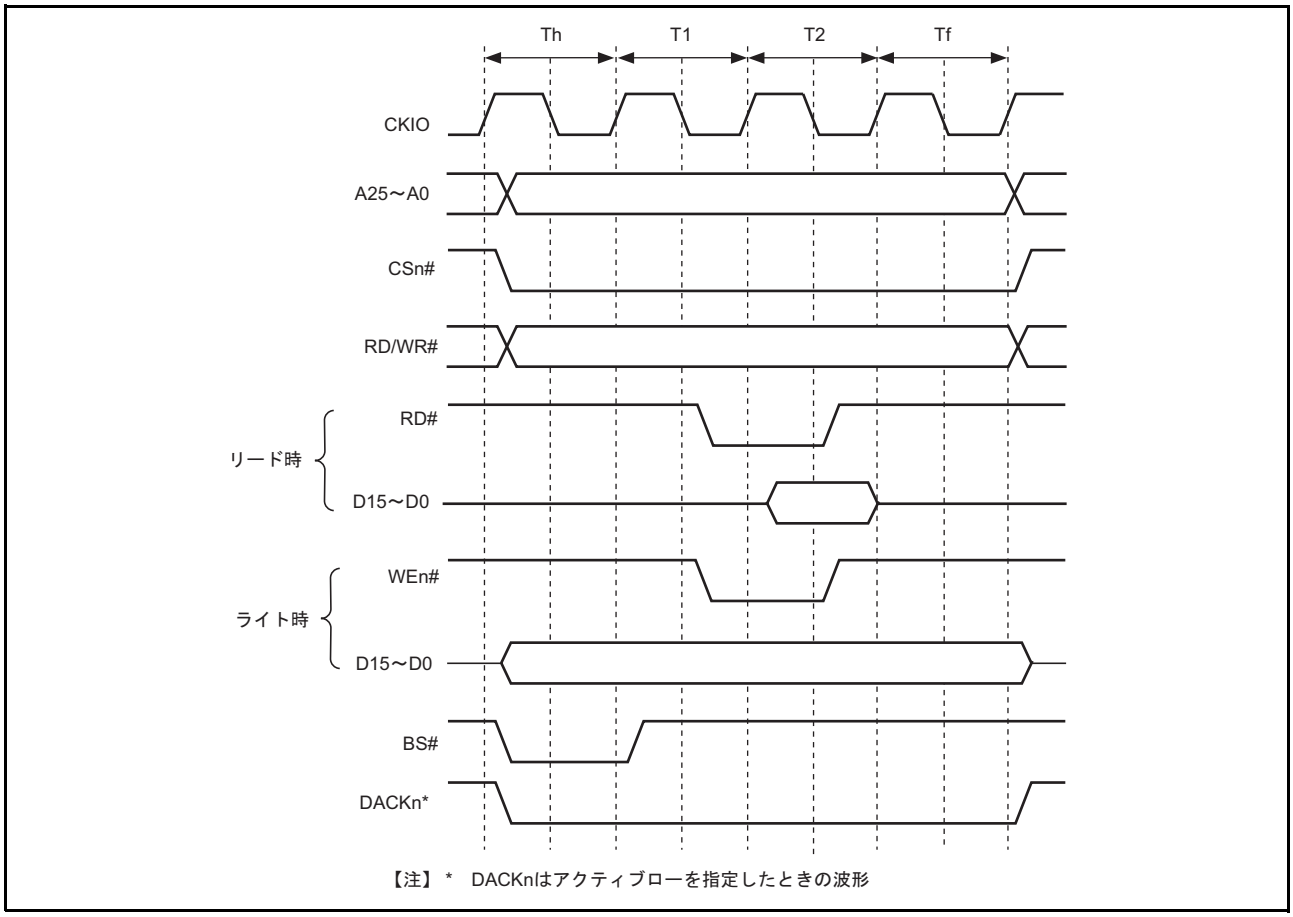


図 8.9　CSn# アサート期間拡張

8.5.5　MPX-I/O インタフェース

MPX 空間のアクセスタイミングを以下に示します。MPX 空間では、CS5#、AH#、RD#、および WEn# 信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレス出力が 2 サイクル行われた後に、続けて通常空間のアクセスが行われます。アドレス出力サイクルおよびデータ入出力サイクルのバス幅は、8 ビットまたは 16 ビット固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。

D15～D0 または D7～D0 からのアドレスの出力は Ta2 サイクルから Ta3 サイクルまで行われ、Ta1 サイクルはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入なしにアドレスとデータの衝突を防ぐことができます。また、CS5WCR の MPXW ビットを 1 に設定することにより、アドレス出力は 3 サイクルとなります。

RD/WR# 信号は CS5# 信号と同じタイミングで出力され、リードサイクルではハイレベルが、ライトサイクルではローレベルが出力されます。

データサイクルは、通常空間アクセスと同一のサイクルとなります。

SW[1:0] の遅延サイクルは、Ta3 と T1 サイクルの間に挿入されます。HW[1:0] の遅延サイクルは T2 サイクルの後に付加されます。

タイミングチャートを**図 8.10** ～**図 8.13** に示します。

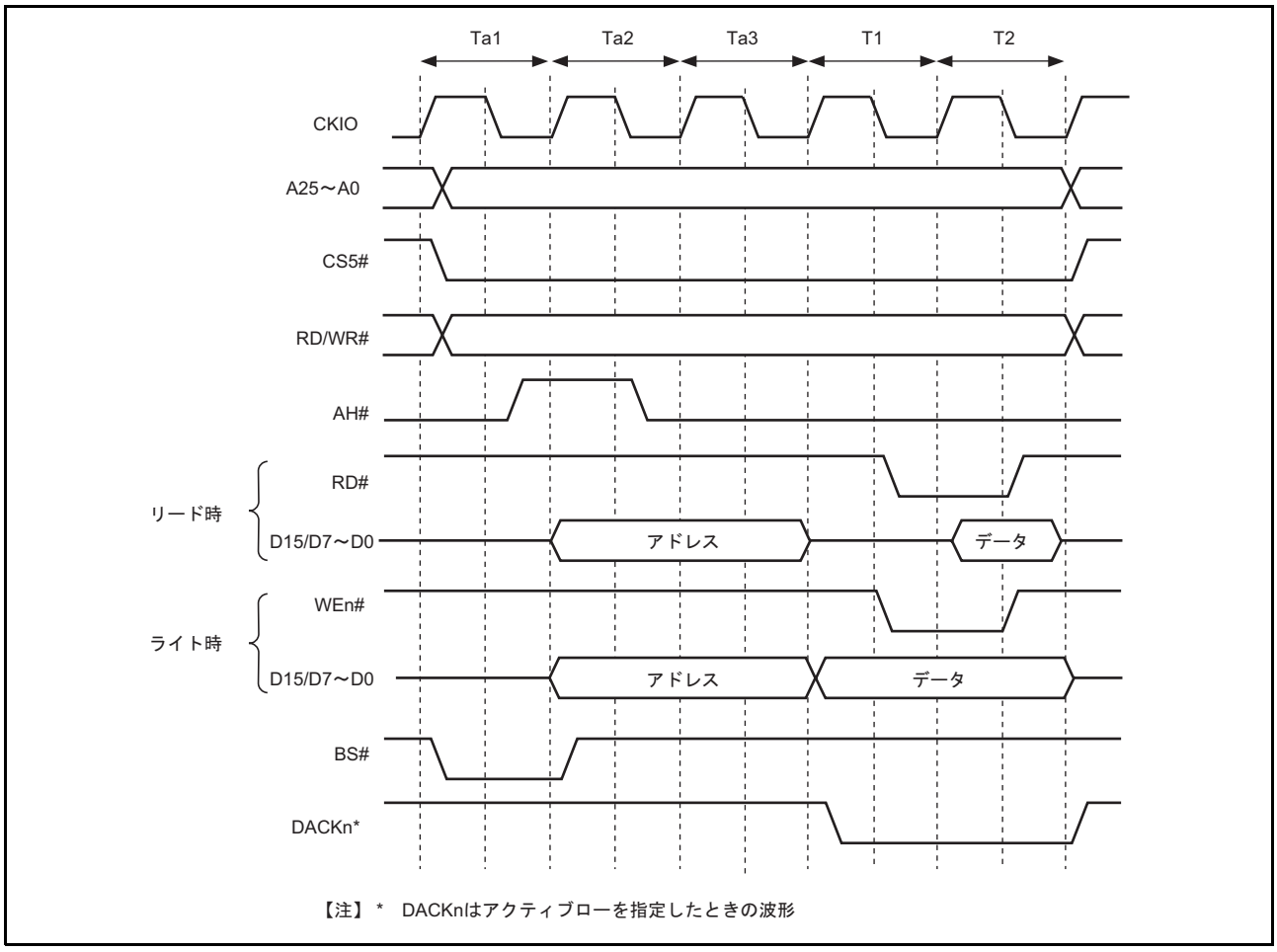


図 8.10　MPX 空間アクセスタイミング (1)
（アドレスサイクルノーウェイト、データサイクルノーウェイト）

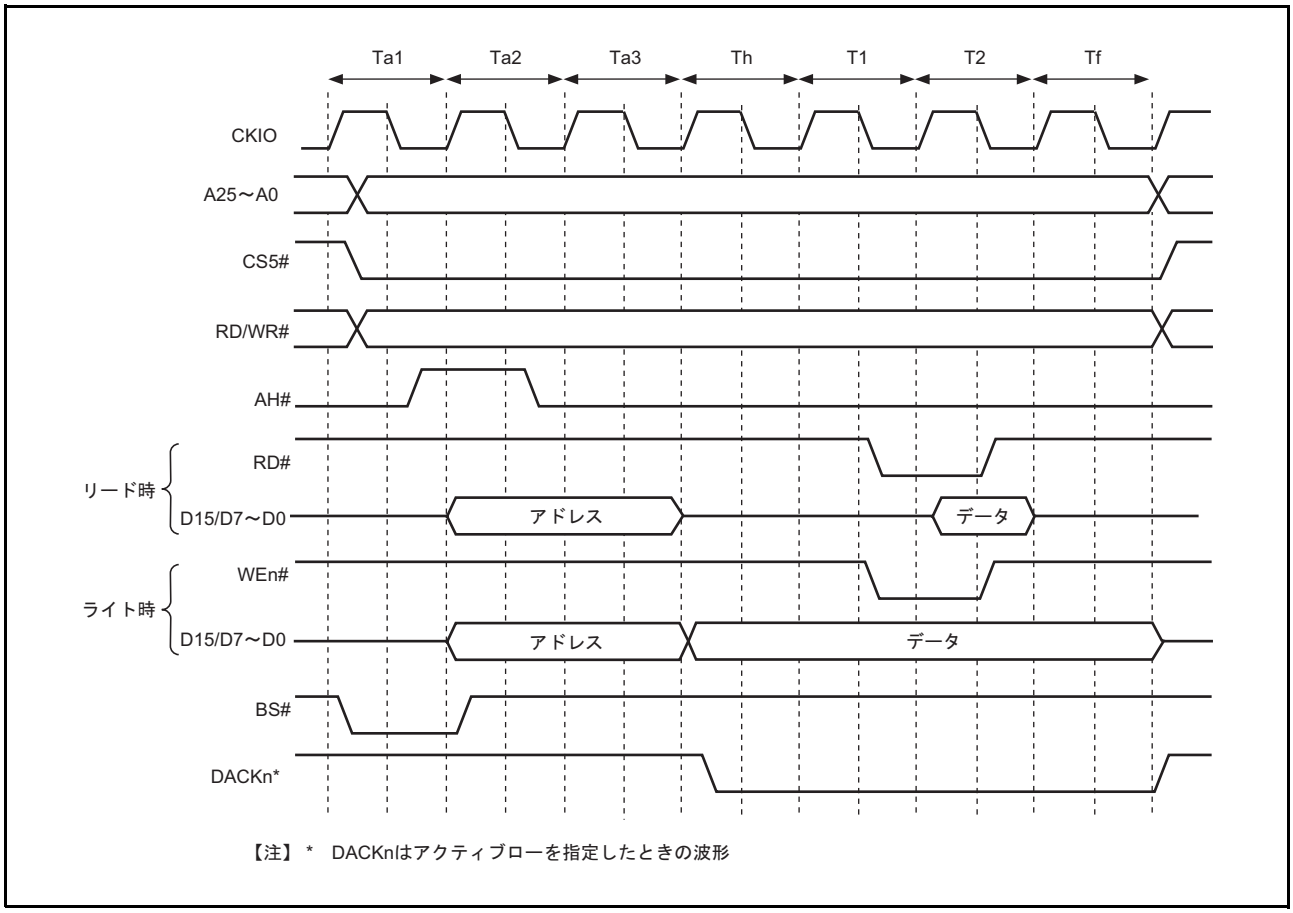


図 8.11　MPX 空間アクセスタイミング (2)
（アドレスサイクルノーウェイト、アサート拡張サイクル 1.5、データサイクルノーウェイト、ネゲート拡張サイクル 1.5）

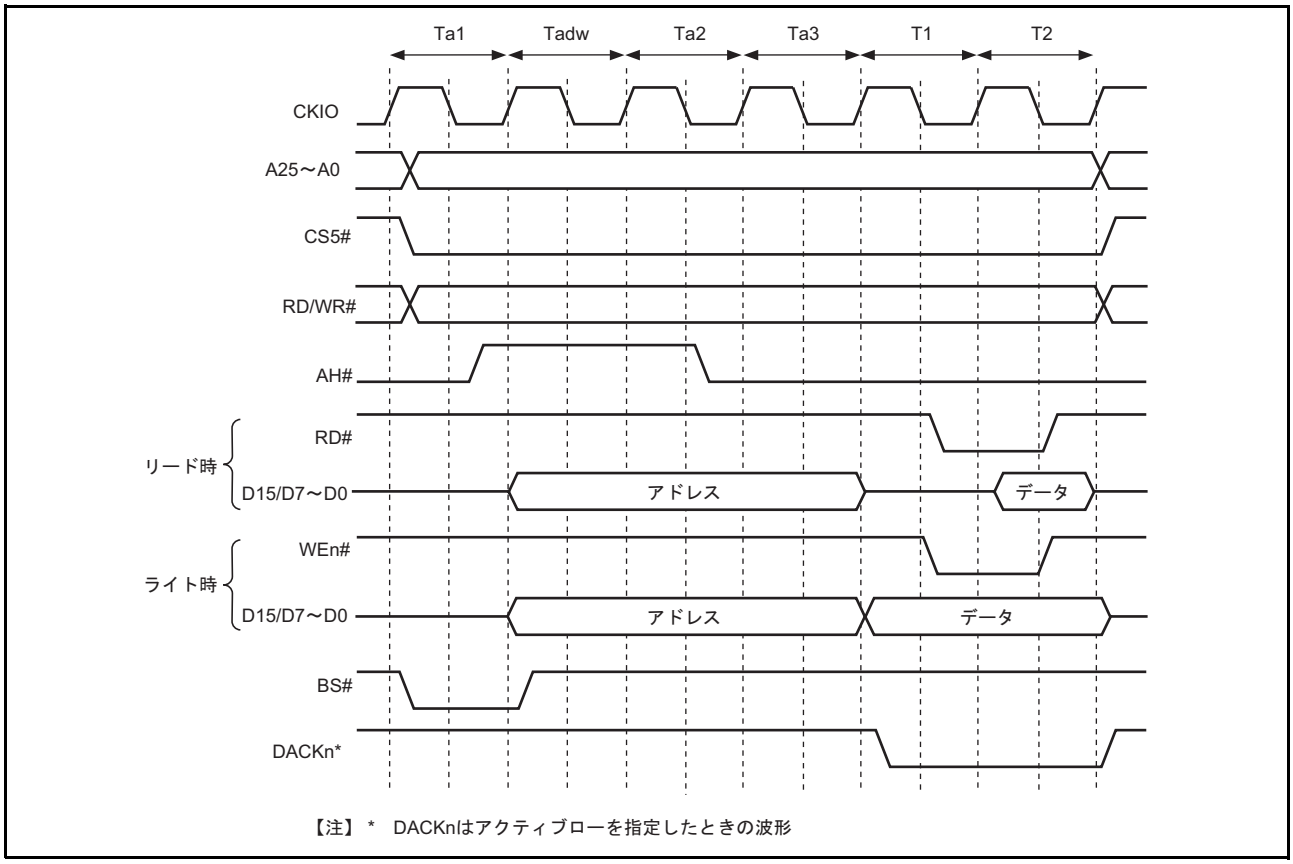


図 8.12　MPX 空間アクセスタイミング
（アドレスサイクルウェイト 1、データサイクルノーウェイト）

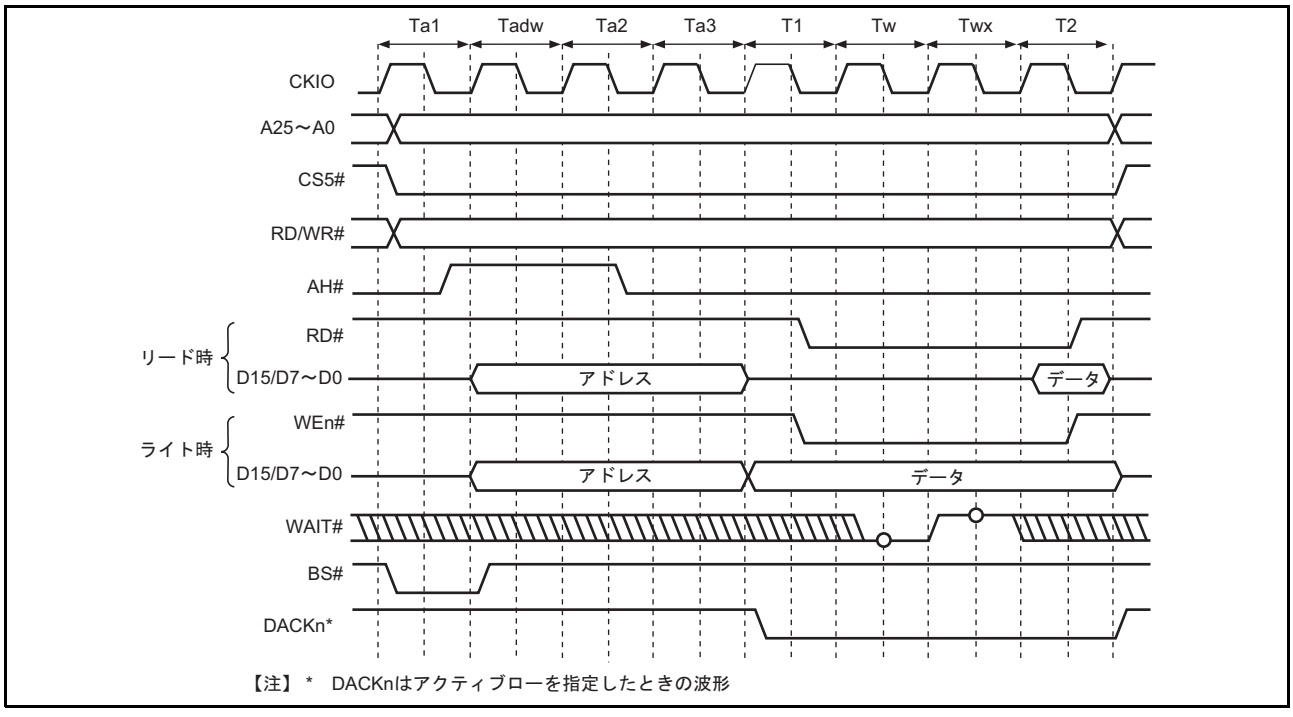


図 8.13　MPX 空間アクセスタイミング
（アドレスサイクルアクセスウェイト 1、データサイクルウェイト 1、外部ウェイト 1）

8.5.6　SDRAM インタフェース

(1)　SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11 ／ 12 ／ 13 ビット、カラムアドレスが 8 ／ 9 ／ 10 ビット、バンク数が 4 以下、リード ― ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、RAS#、CAS#、RD/WR#、DQMU、DQML、CKE、および CS2# と CS3# です。CS2# と CS3# を除く信号は各空間に共通であり、CKE を除く信号は CS2# または CS3# がアサートされているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、16 ビットのみ設定可能です。

SDRAM の動作モードとしては、バーストリード／シングルライト（バースト長 1）とバーストリード／バーストライト（バースト長 1）をサポートしています。

RAS#、CAS#、RD/WR#、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ（REF）、セルフリフレッシュ（SELF）、全バンクプリチャージ（PALL）、指定バンクプリチャージ（PRE）、バンクアクティブ（ACTV）、リード（READ）、プリチャージ付きリード（READA）、ライト（WRIT）、プリチャージ付きライト（WRITA）、モードレジスタ書き込み（MRS、EMRS）などをサポートしています。

アクセスするバイトの指定は、DQMU および DQML によって行われます。該当する DQMx がローレベルのバイトに対してリード／ライトが行われます。
DQMx とアクセスするバイトの関係は、「8.5.1　アクセスサイズとデータアライメント」を参照してください。

図 8.14 に本 LSI と SDRAM との接続例を示します。

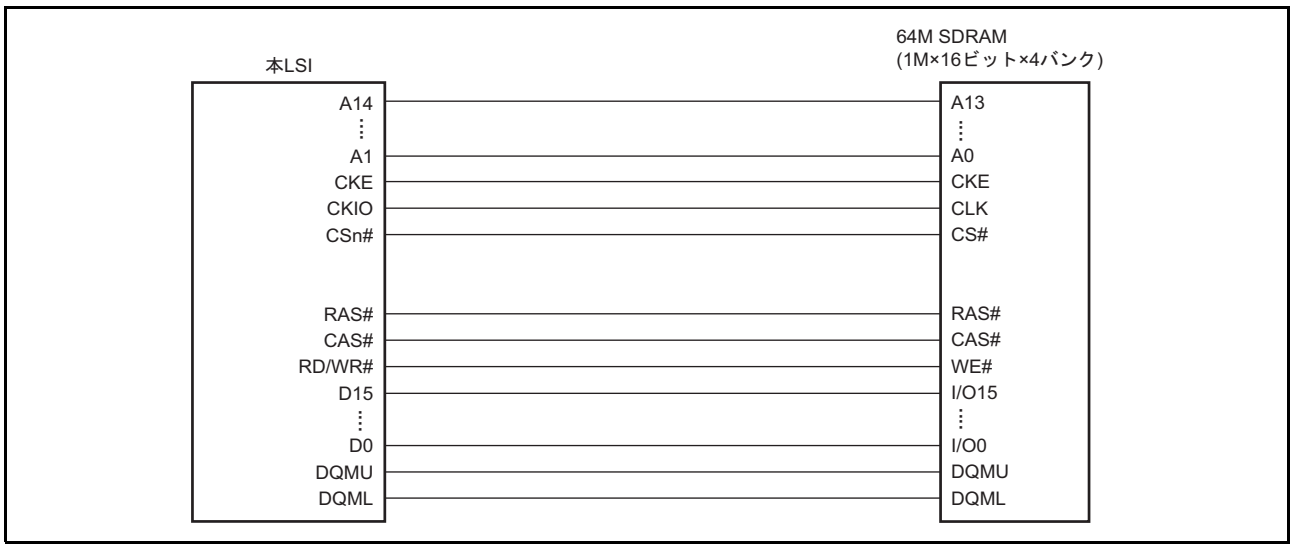


図 8.14　16 ビットデータ幅 SDRAM 接続例

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0] ビット、SDCR の A2ROW[1:0] ビット、A2COL[1:0] ビット、A3ROW[1:0] ビット、および A3COL[1:0] ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。**表 8.7 ～表 8.9** に BSZ[1:0]、A2ROW[1:0] ビット、A2COL[1:0] ビット、A3ROW[1:0] ビット、および A3COL[1:0] ビットの設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25 ～ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットのとき（BSZ[1:0] ＝ B'10）は、SDRAM の A0 端子は 16 ビットアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。

表8.7　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係（1）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	00 (11ビット)	00 (8ビット)		
本LSIの出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21	A21		
A12	A20（注2）	A20（注2）	A11(BA0)	バンク指定
A11	A19	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
16Mビット品 （512Kワード×16ビット×2バンク、カラム8ビット品）1個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	01 (12ビット)	00 (8ビット)		
本LSIの出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22（注2）	A22（注2）	A13(BA1)	バンク指定
A13	A21（注2）	A21（注2）	A12(BA0)	
A12	A20	A12	A11	アドレス
A11	A19	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
64Mビット品 （1Mワード×16ビット×4バンク、カラム8ビット品）1個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
注2.　バンクアドレス指定

表8.8　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係（2）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	01 (12ビット)	01 (9ビット)		
本LSIの出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23（注2）	A23（注2）	A13(BA1)	バンク指定
A13	A22（注2）	A22（注2）	A12(BA0)	
A12	A21	A12	A11	アドレス
A11	A20	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128Mビット品 （2Mワード×16ビット×4バンク、カラム9ビット品）1個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	01 (12ビット)	10 (10ビット)		
本LSIの出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24（注2）	A24（注2）	A13(BA1)	バンク指定
A13	A23（注2）	A23（注2）	A12(BA0)	
A12	A22	A12	A11	アドレス
A11	A21	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256Mビット品 （4Mワード×16ビット×4バンク、カラム10ビット品）1個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
注2.　バンクアドレス指定

表8.9　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係（3）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	10 (13ビット)	01 (9ビット)		
本LSIの出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24（注2）	A24（注2）	A14(BA1)	バンク指定
A14	A23（注2）	A23（注2）	A13(BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256Mビット品 （4Mワード×16ビット×4バンク、カラム9ビット品）1個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	10 (13ビット)	10 (10ビット)		
本LSIの出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAMの端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25（注2）	A25（注2）	A14(BA1)	バンク指定
A14	A24（注2）	A24（注2）	A13(BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H（注1）	A10/AP	アドレス／プリチャージ指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512Mビット品 （8Mワード×16ビット×4バンク、カラム10ビット品）1個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
注2.　バンクアドレス指定

(3) バーストリード

本 LSI でバーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. 16 バイト転送、32 バイト転送、64 バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、バースト長 1 のリードを 8 回連続して行います。このときのアクセスをバースト数 8 のバーストリードと呼びます。**表 8.10** にアクセスサイズとバースト数の関係を示します。

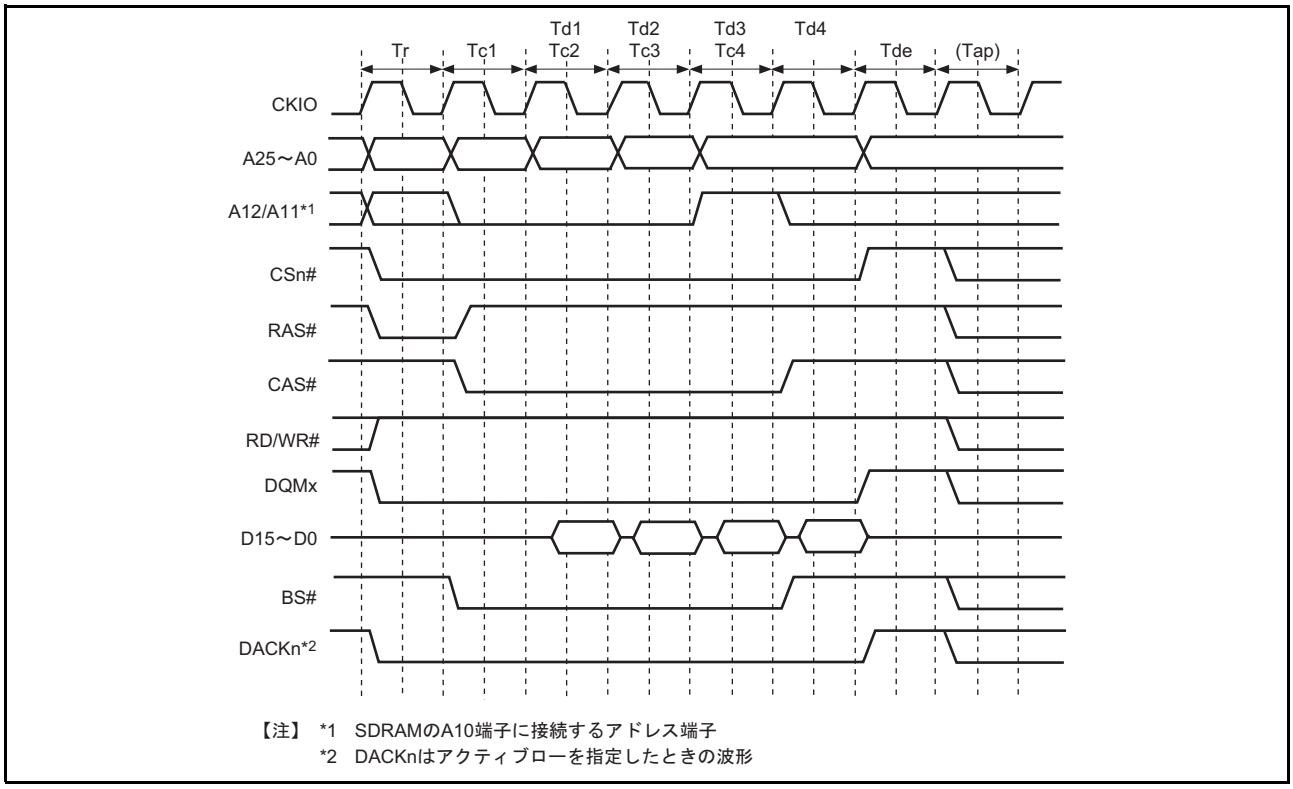
表 8.10　アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
	32 バイト	16
	64 バイト	32

バーストリード時のタイミングチャートを**図 8.15** と**図 8.16** に示します。バーストリードでは ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Tc1、Tc2、Tc3 サイクルに、READA コマンドを Tc4 サイクルに発行し、Td1 から Td4 のサイクルに外部クロック（CKIO）の立ち上がりでリードデータを受け取ります。Tap サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の WTRP[1:0] ビットの指定によって Tap のサイクル数を決定します。

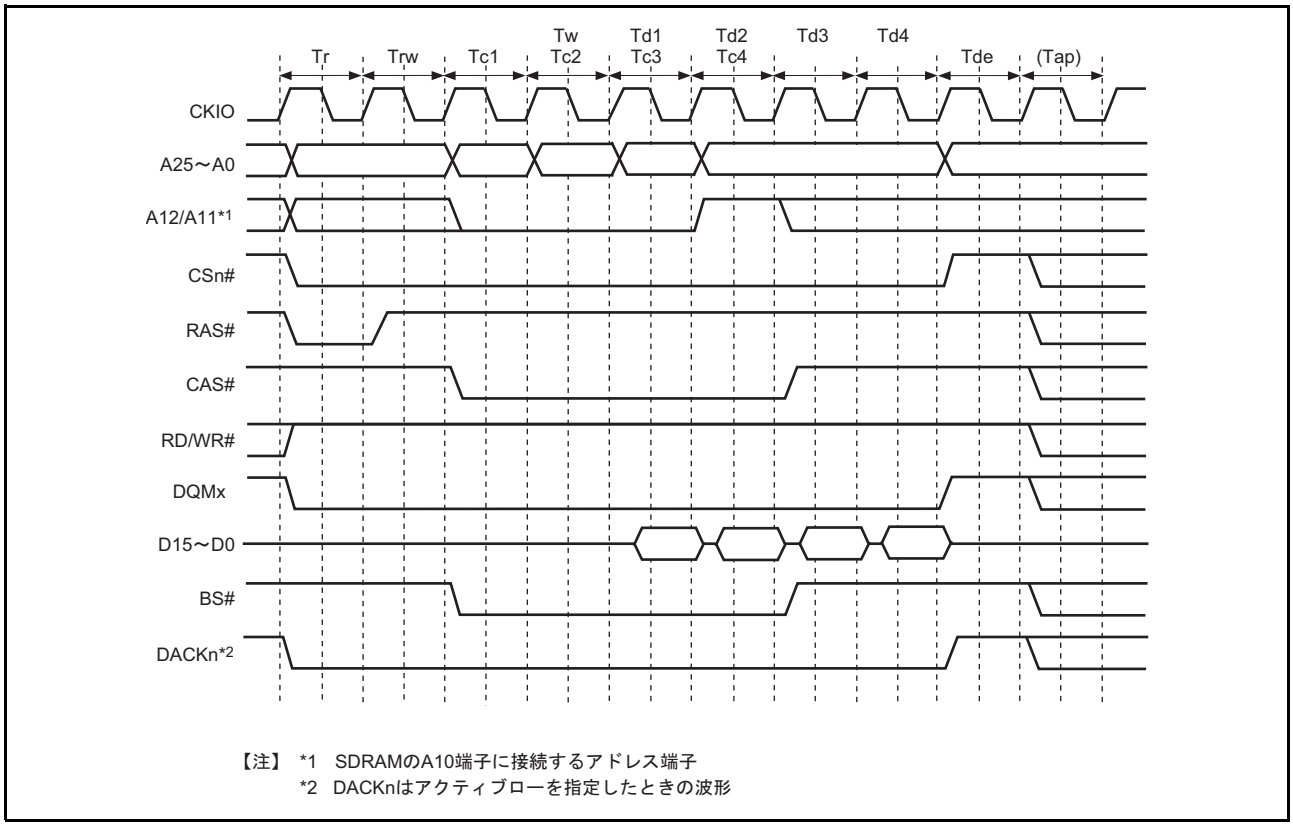
本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が**図 8.16** となります。ACTV コマンド出力サイクル Tr から READ コマンド出力サイクル Tc1 までのサイクル数は、CS3WCR の WTRCD[1:0] によって指定することができます。WTRCD[1:0] の設定が 1 サイクル以上の場合は、Tr サイクルと Tc1 サイクルの間に NOP コマンド発行サイクル Trw サイクルが挿入されます。READ コマンド出力サイクル Tc1 からリードデータ取り込みサイクル Td1 までのサイクル数は、CS2WCR の A2CL[1:0] ビットおよび CS3WCR の A3CL[1:0] ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

Tde サイクルは、本 LSI 内部にリードデータを転送するために必要なアイドルサイクルで、バーストリード、シングルリード時に必ず 1 サイクル発生します。



【注】 *1 SDRAMのA10端子に接続するアドレス端子
*2 DACKnはアクティブローを指定したときの波形

図 8.15　バーストリード基本タイミング（CAS レイテンシ 1、オートプリチャージ）



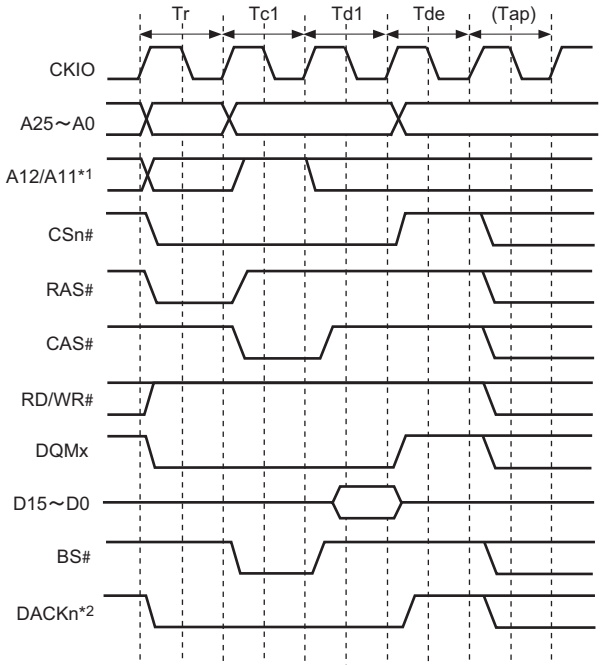
【注】 *1 SDRAMのA10端子に接続するアドレス端子
*2 DACKnはアクティブローを指定したときの波形

図 8.16　バーストリードウェイト指定タイミング
（CAS レイテンシ 2、WTRCD[1:0] ＝ 1 サイクル、オートプリチャージ）

(4)　シングルリード

データバス幅がアクセスサイズ以上のときは、リードアクセスは 1 回で終了します。SDRAM は、バースト長 1 のバーストリードに設定しているので必要なデータのみ出力します。1 回で終了するリードアクセスをシングルリードと呼びます。

シングルリードの基本タイミングチャートを図 8.17 に示します。



【注】 *1　SDRAMのA10端子に接続するアドレス端子
*2　DACKnはアクティブローを指定したときの波形

図 8.17　　シングルリードの基本タイミング（CAS レイテンシ 1、オートプリチャージ）

(5)　バーストライト

本 LSI でバーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. 16 バイト転送、32 バイト転送、64 バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM に連続して 16 バイト分のデータを書き込むときは、バースト長 1 のライトを 8 回連続して行います。このときのアクセスをバースト数 8 のバーストライトと呼びます。アクセスサイズとバースト数の関係は、**表 8.10** に従います。**図 8.18** にバーストライト時のタイミングチャートを示します。バーストライトでは ACTV コマンド出力を行う Tr サイクルに続いて WRIT コマンドを Tc1、Tc2、Tc3 サイクルに、オートプリチャージを行う WRITA コマンドを Tc4 サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ Trw1 サイクル、そしてオートプリチャージの完了を待つ Tap サイクルが続きます。Tap サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルです。Trwl サイクルおよび Tap サイクルの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。Trw1 サイクルは CS3WCR の TRWL[1:0] ビットおよび Tap サイクルは CS3WCR の WTRP[1:0] ビットの指定で決定されます。

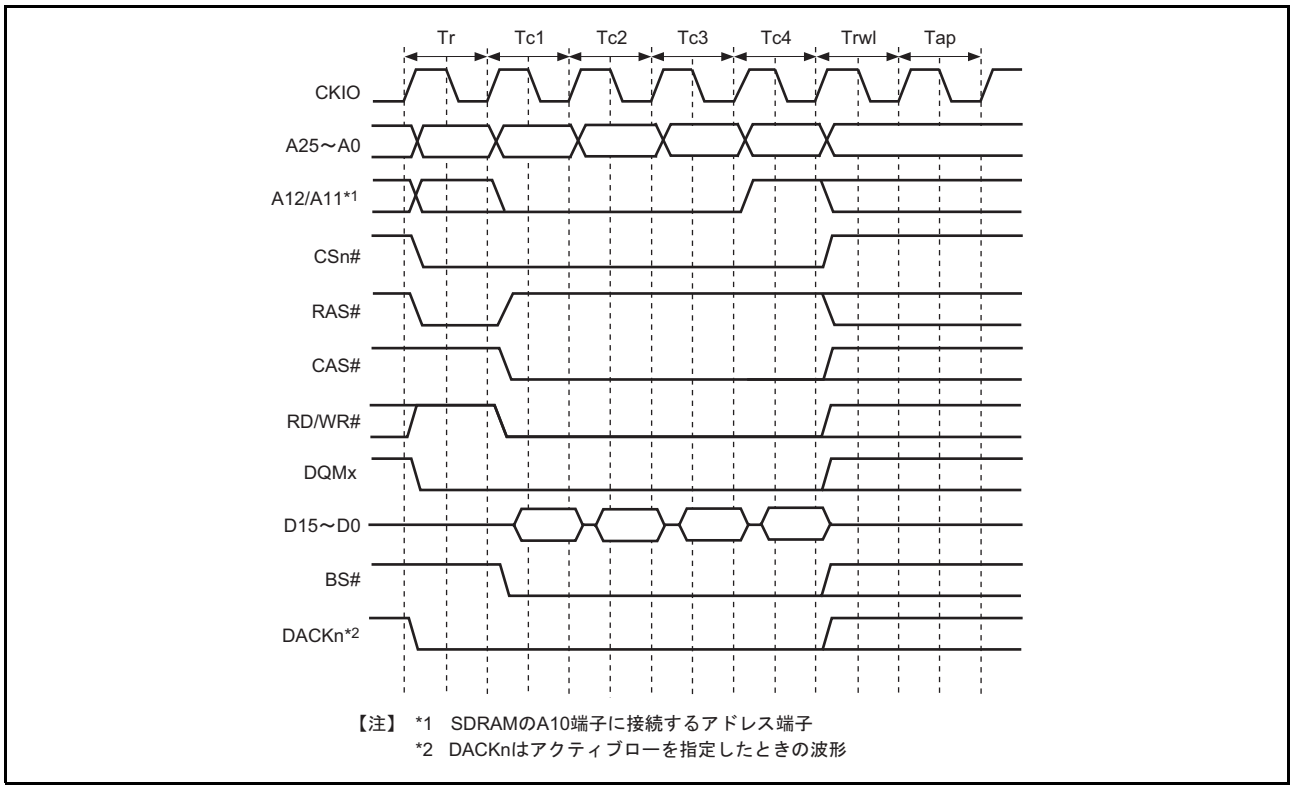
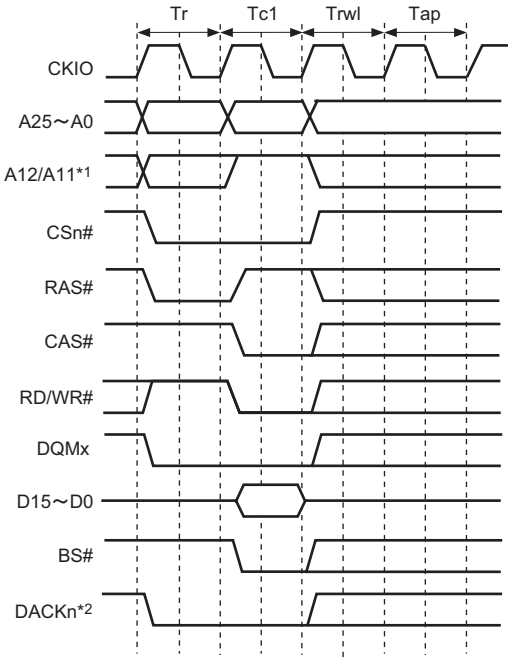


図 8.18　　バーストライト基本タイミング（オートプリチャージ）

(6)　シングルライト

データバス幅がアクセスサイズ以上のときは、ライトアクセスは 1 回で終了します。SDRAM は、シングルライトまたはバースト長 1 のバーストライトに設定しているので、必要なデータのみライトされます。1 回で終了するライトアクセスをシングルライトと呼びます。
シングルライトの基本タイミングチャートを図 8.19 に示します。



【注】 *1　SDRAMのA10端子に接続するアドレス端子
*2　DACKnはアクティブローを指定したときの波形

図 8.19　　シングルライト基本タイミング（オートプリチャージ）

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド（READ または WRIT）を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CS3WCR の WTRP[1:0] ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl ＋ Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl ＋ Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間（tRAS）には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 8.20 にオートプリチャージのないバーストリードサイクルを、**図 8.21** には同一のロウアドレスに対するバーストリードサイクルを、**図 8.22** には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、**図 8.23** にオートプリチャージのないシングルライトサイクルを、**図 8.24** に同一のロウアドレスに対するシングルライトサイクルを、**図 8.25** には異なるロウアドレスに対するシングルライトサイクルを示します。

図 8.21 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続くかぎり、**図 8.20** または**図 8.23** で始まり、**図 8.21** または**図 8.24** を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、**図 8.21** または**図 8.24** の代わりに**図 8.22** または**図 8.25** のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後は、すべてのバンクが非アクティブな状態になります。

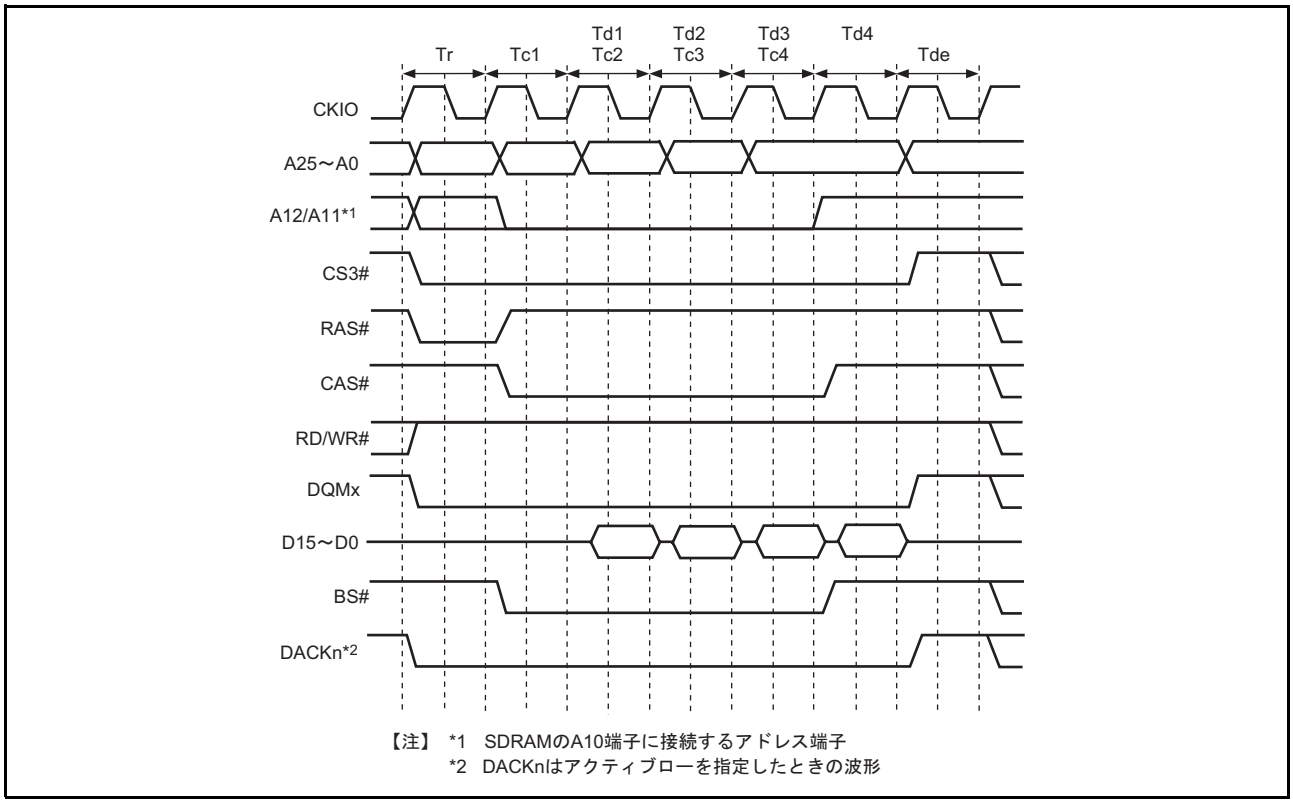


図 8.20　バーストリードタイミング（バンクアクティブ、異なるバンク、CAS レイテンシ 1）

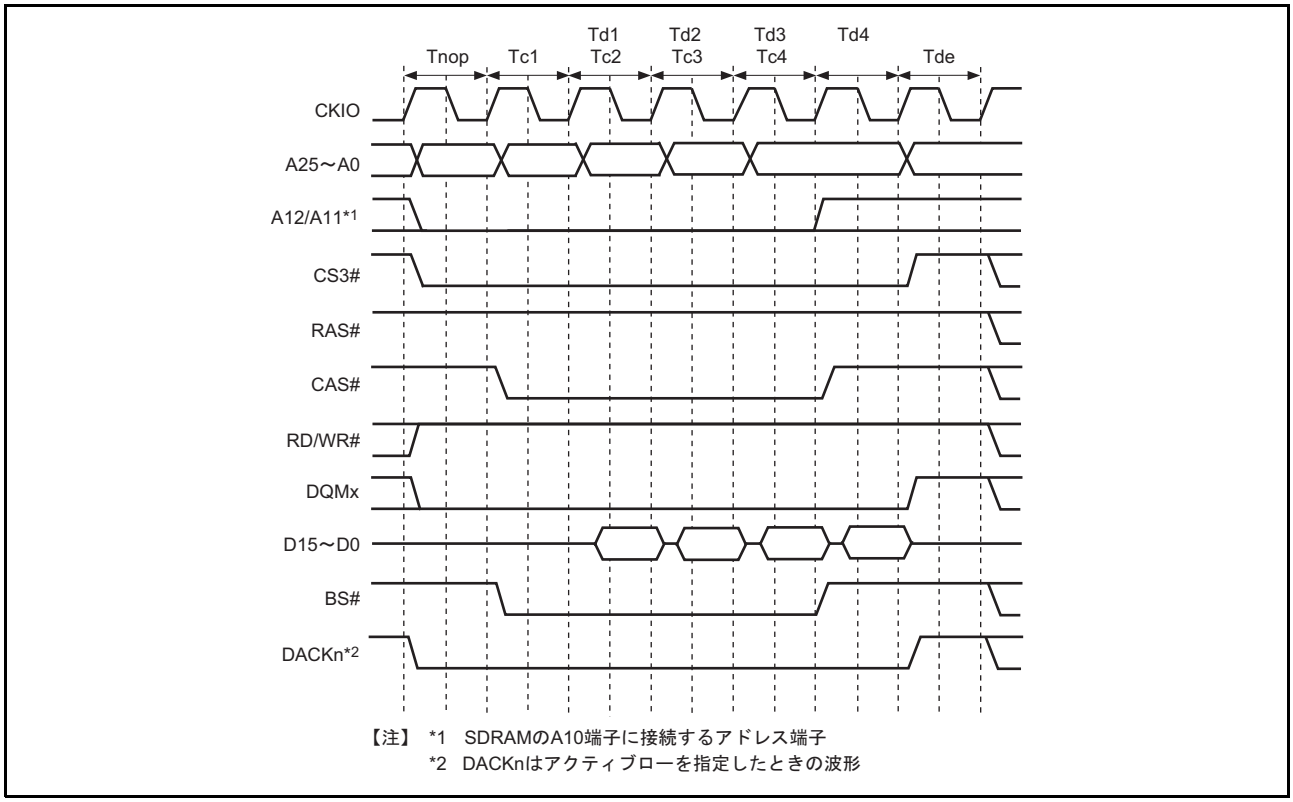


図 8.21　バーストリードタイミング（バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1）

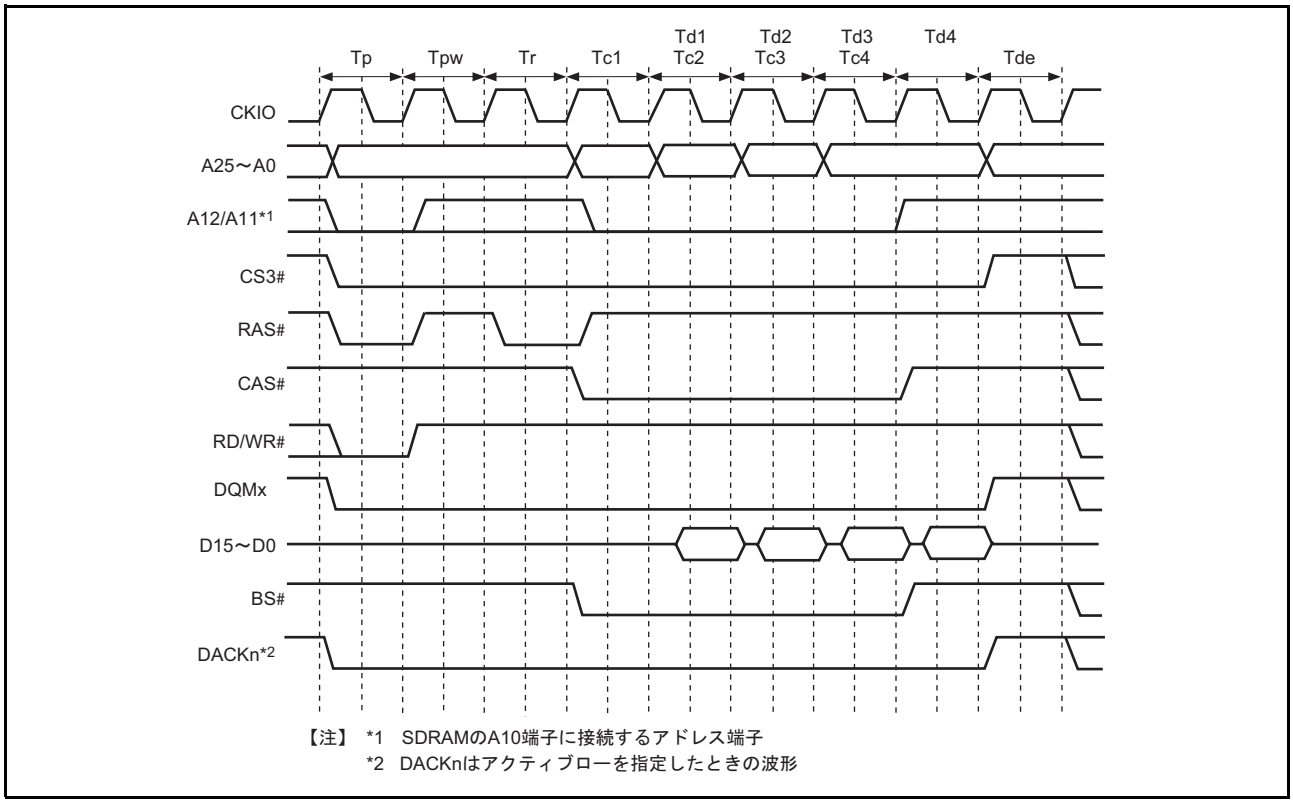


図 8.22　バーストリードタイミング
（バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1）

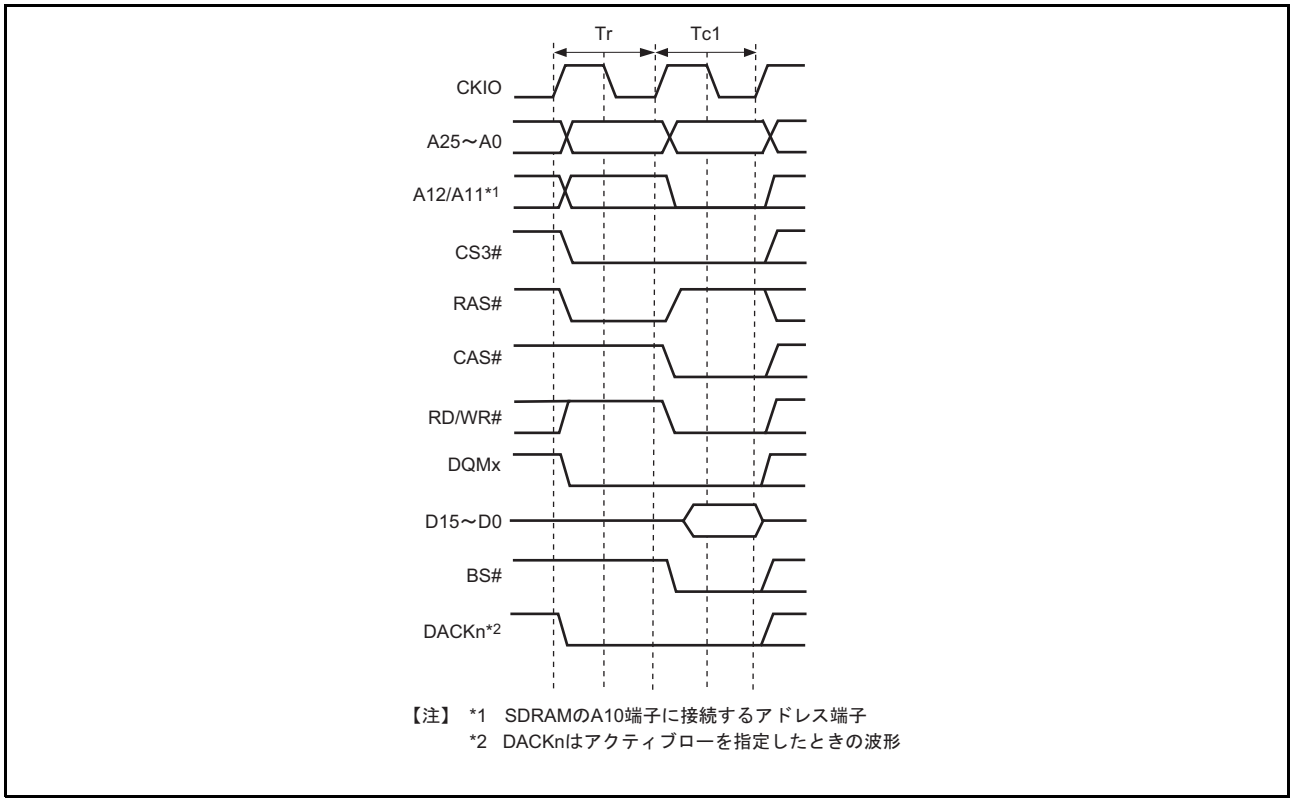
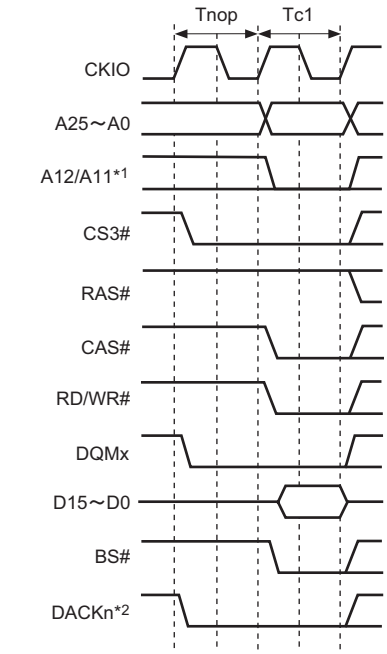
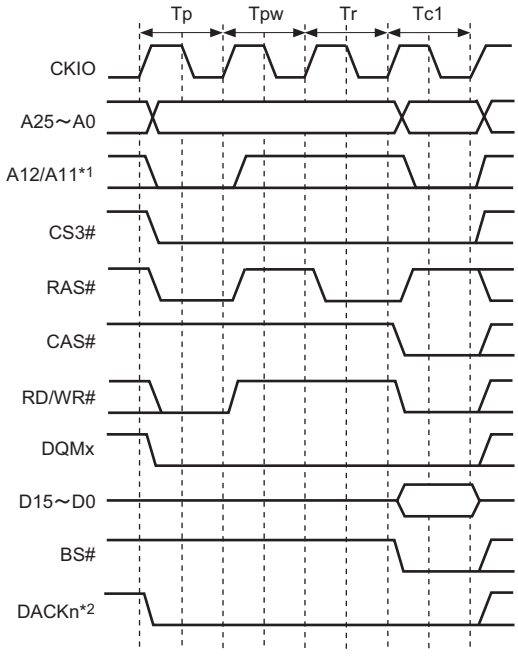


図 8.23　シングルライトタイミング（バンクアクティブ、異なるバンク）



【注】 *1 SDRAMのA10端子に接続するアドレス端子
*2 DACKnはアクティブローを指定したときの波形

図 8.24　シングルライトタイミング（バンクアクティブ、同一バンクで同一ロウアドレス）



【注】 *1 SDRAMのA10端子に接続するアドレス端子
*2 DACKnはアクティブローを指定したときの波形

図 8.25　シングルライトタイミング（バンクアクティブ、同一バンクで異なるロウアドレス）

(8)　リフレッシュ

本モジュールは、SDRAM のリフレッシュを制御する機能を備えています。SDCR の RFSH ビットを 1 に、RMODE ビットを 0 に設定することによって、オートリフレッシュを行うことができます。また、RTCSR の RRC[2:0] ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間 SDRAM にアクセスしないときは、RFSH ビットと RMODE ビットをともに 1 にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a)　オートリフレッシュ

RTCSR の CKS[2:0] ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0] ビットに設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビット、および RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0] ビットおよび、RRC[2:0] ビットの設定を行ってください。CKS[2:0] ビットによって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] ビットに設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されます。

図 8.26 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、Tp サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを Trr サイクルに発行します。Trr サイクル後 CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定（tRC）を満たすように WTRC[1:0] ビットを設定する必要があります。CS3WCR の WTRP[1:0] ビットの設定値が 1 サイクル以上の場合は、Tp サイクルと Trr サイクルの間にアイドルサイクルが挿入されます。

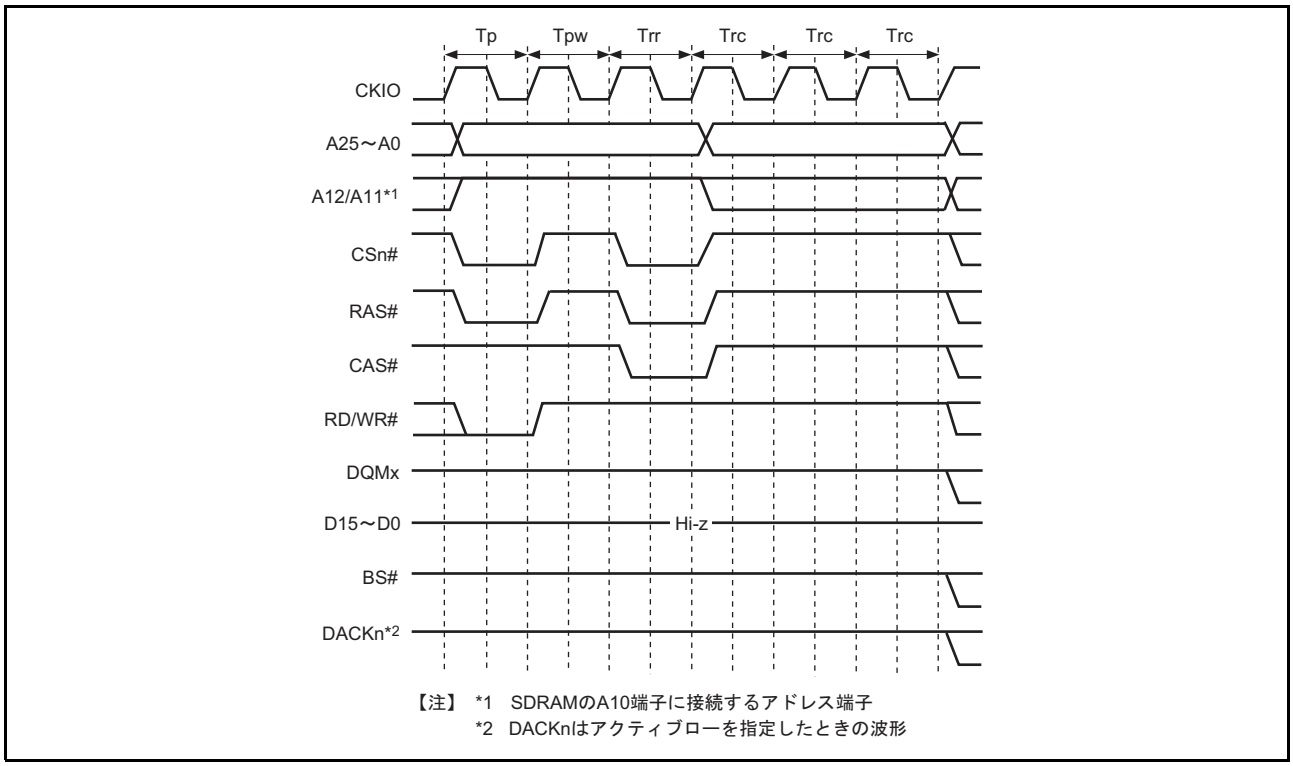


図 8.26　　オートリフレッシュタイミング

(b)　セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、Tp サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを**図 8.27** に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値 —1) を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、CMNCR レジスタの HIZCNT ビットを 1 に設定し、スタンバイ状態でも CKE 他端子をドライブする必要があります。

パワーオンリセットの場合には、本モジュールのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

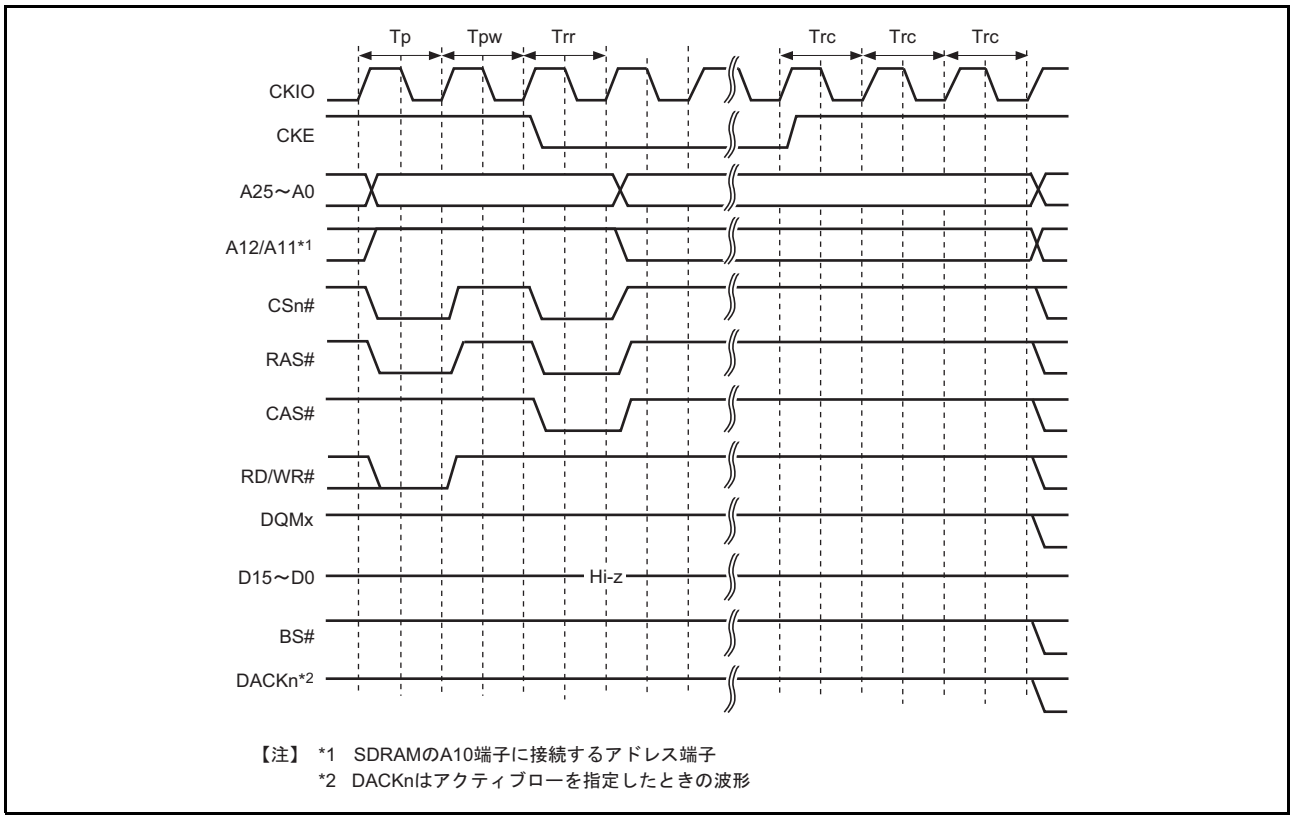


図 8.27　　セルフリフレッシュタイミング

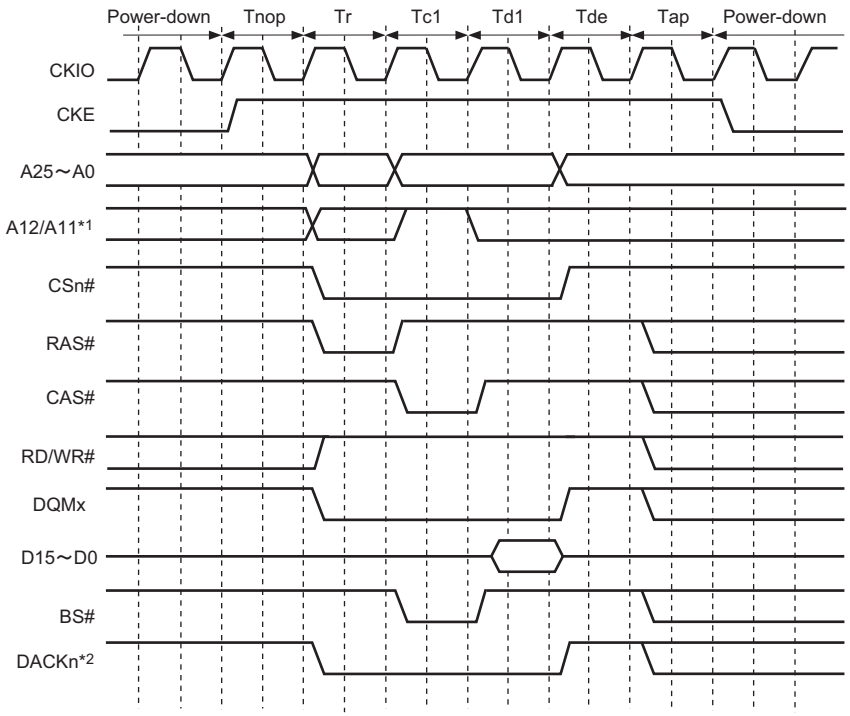
(9)　リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルが起こらないようにする必要があります。

(10) パワーダウンモード

SDCRのPDOWNビットを1に設定すると、非アクセス時にはCKEをLレベルにしてSDRAMをパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時にはSDRAMのパワーダウンモードを解除するためにCKEをアサートするサイクルが挿入されるため、1サイクルのオーバヘッドが発生します。図 8.28 にパワーダウンモードでのアクセスタイミングを示します。



【注】 *1　SDRAMのA10端子に接続するアドレス端子
*2　DACKnはアクティブローを指定したときの波形

図 8.28　　パワーダウンモードでのアクセスタイミング

(11) パワーオンシーケンス

SDRAMを使用するためには、パワーオン後、使用するSDRAMで規定されたポーズ期間の後に、SDRAMに対してモード設定を行う必要があります。ポーズ間隔は、パワーオンリセット生成回路またはソフトウェアなどで実現してください。

SDRAMの初期化を正しく行うためには、まず本モジュールのレジスタを設定した後、SDRAMのモードレジスタに対する書き込みを行います。SDRAMのモードレジスタの設定はCSn#、RAS#、CAS#、およびRD/WR#の組み合わせで、その時点のアドレス信号の値がSDRAMに取り込まれます。設定したい値をXとするとX＋（エリア2：H'1F001000、エリア3：H'1F002000番地）に16ビットライトを行うことによって、値XがSDRAM内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本LSIでサポートしているバーストリード／シングルライト（バースト長1）またはバーストリード／バーストライト（バースト長1）、CASレイテンシ2～3、ラップタイプ＝シーケンシャル、およびバースト長1を設定するには、**表8.11**に示すアクセスアドレスに任意のデータを16ビットライトします。このとき、外部アドレス端子のA12以上のビットには0が出力されます。

表8.11　SDRAMモードレジスタライト時のアクセスアドレス

・ エリア2設定

バーストリード／シングルライト（バースト長1）の場合

データバス幅	CASレイテンシ	アクセスアドレス	外部アドレス端子
16ビット	2	H'1F001440	H'0000440
	3	H'1F001460	H'0000460

バーストリード／バーストライト（バースト長1）の場合

データバス幅	CASレイテンシ	アクセスアドレス	外部アドレス端子
16ビット	2	H'1F001040	H'0000040
	3	H'1F001060	H'0000060

・ エリア3設定

バーストリード／シングルライト（バースト長1）の場合

データバス幅	CASレイテンシ	アクセスアドレス	外部アドレス端子
16ビット	2	H'1F002440	H'0000440
	3	H'1F002460	H'0000460

バーストリード／バーストライト（バースト長1）の場合

データバス幅	CASレイテンシ	アクセスアドレス	外部アドレス端子
16ビット	2	H'1F002040	H'0000040
	3	H'1F002060	H'0000060

モードレジスタ設定タイミングを図 8.29 に示します。まず全バンクプリチャージコマンド（PALL）を発行し、次いでオートリフレッシュコマンド（REF）を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド（MRS）を発行します。PALL と 1 回目の REF の間に CS3WCR の WTRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および、8 回目の REF と MRS の間に CS3WCR の WTRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ（PALL）に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

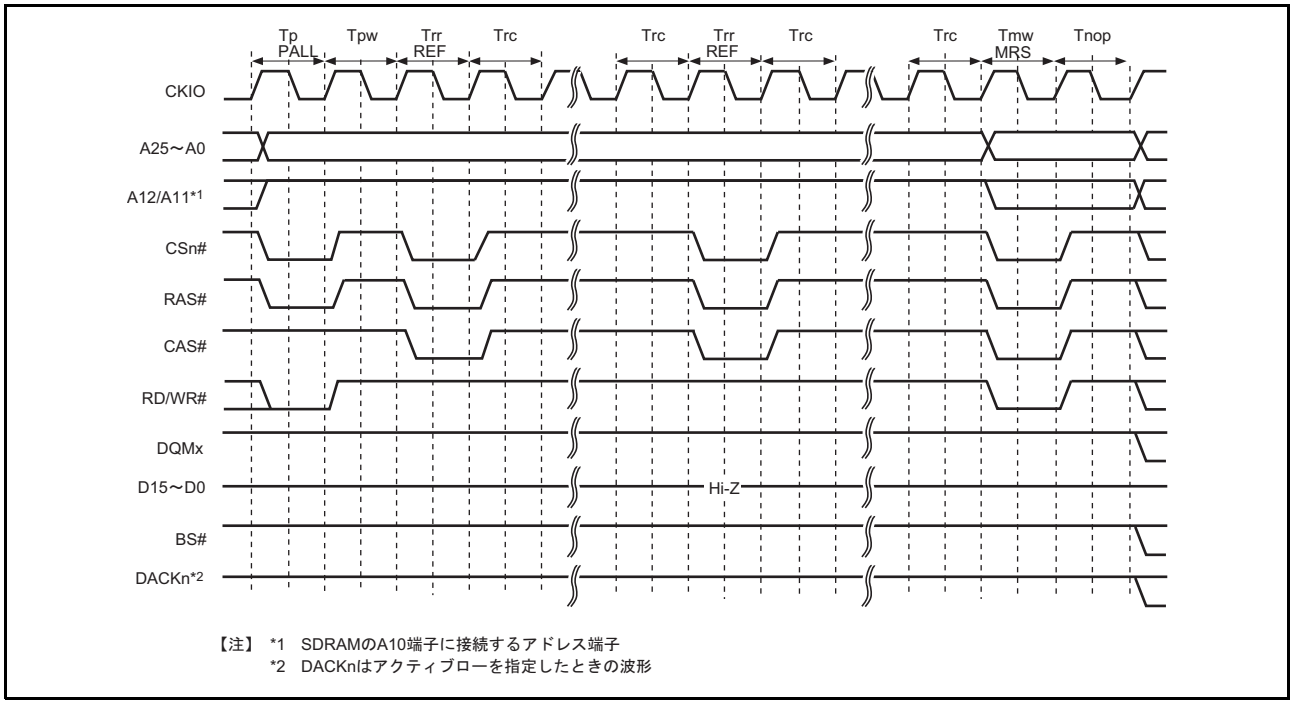


図 8.29　SDRAM モードレジスタ書き込みタイミング（JEDEC 準拠）

(12) ローパワー SDRAM

ローパワー SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

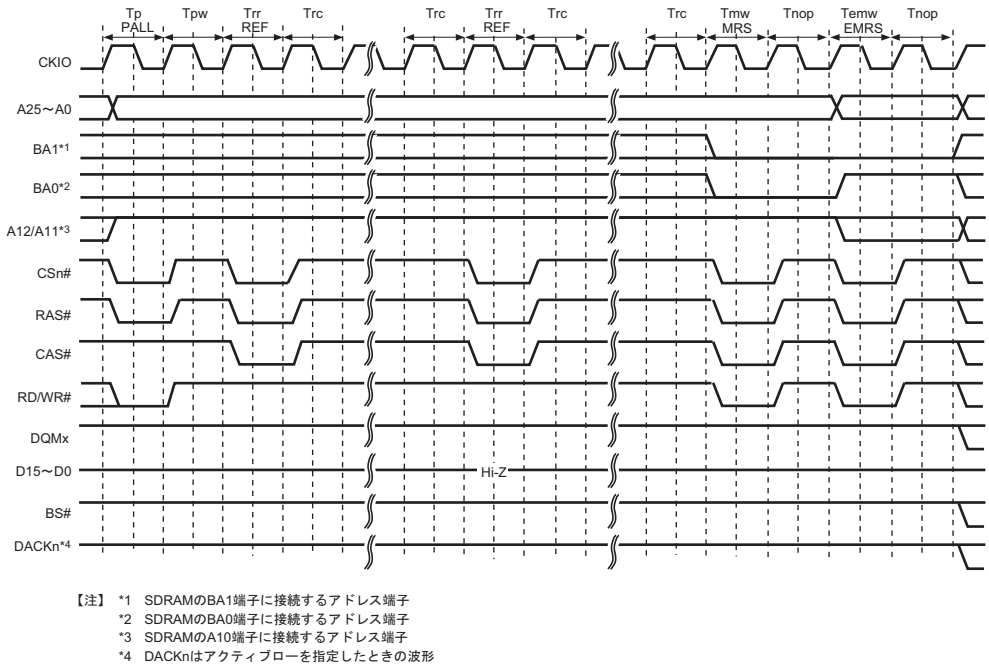
ローパワー SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパーシャルリフレッシュや、ユーザの使用条件（温度）によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できることです。パーシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー SDRAM のデータシートを参照してください。

ローパワー SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、下記の表に従います。たとえば H'1F002XX0 に H'0YYYYYYY のデータを 32 ビットライトすると、CS3 空間に対して PALL → REF × 8 → MRS → EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XX0 に、および EMRS 発行時のアドレスは H'YYYYYYY になります。また H'1F002XX0 に H'1YYYYYYY のデータを 32 ビットライトすると、CS3 空間に対して PALL → MRS → EMRS のシーケンスでコマンドを発行します。

表 8.12　EMRS コマンド発行時の出力アドレス

発行コマンド	アクセスアドレス	アクセスデータ	ライトアクセスサイズ	MRS コマンド時発行アドレス	EMRS コマンド時発行アドレス
CS2　MRS	H'1F001XX0	H'********	16 ビット	H'0000XX0	--------
CS3　MRS	H'1F002XX0	H'********	16 ビット	H'0000XX0	--------
CS2　MRS ＋ EMRS（リフレッシュあり）	H'1F001XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3　MRS ＋ EMRS（リフレッシュあり）	H'1F002XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS2　MRS ＋ EMRS（リフレッシュなし）	H'1F001XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3　MRS+EMRS（リフレッシュなし）	H'1F002XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY



【注】 *1 SDRAMのBA1端子に接続するアドレス端子
*2 SDRAMのBA0端子に接続するアドレス端子
*3 SDRAMのA10端子に接続するアドレス端子
*4 DACKnはアクティブローを指定したときの波形

図 8.30 EMRS コマンド発行タイミング

- ディープパワーダウンモード

ローパワー SDRAM には、ディープパワーダウンモードという低消費電力モードもあります。

パーシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。

本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCR の DEEP ビットを 1、RFSH ビットを 1 に設定した状態で RMODE ビットに 1 を書き込むと、ローパワー SDRAM はディープパワーダウンモードに遷移します。RMODE ビットに 0 を書き込むと CKE がハイレベルとなりディープパワーダウンモードは解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

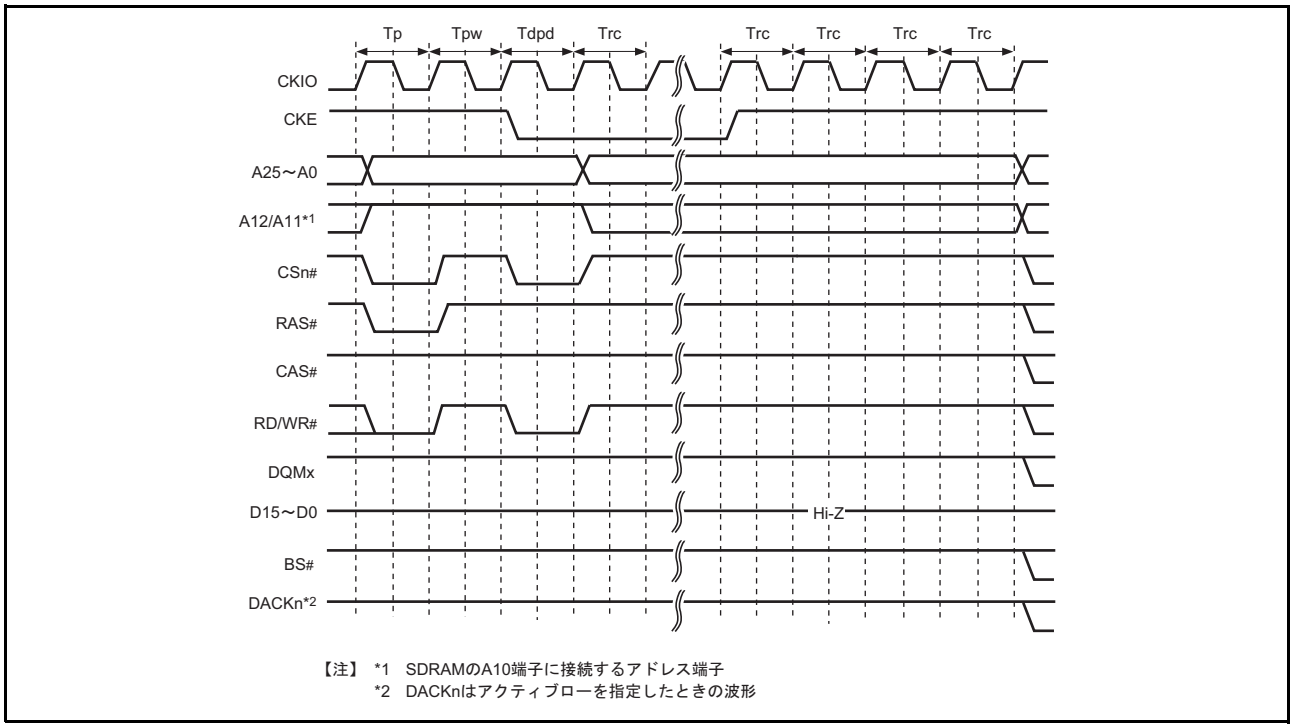


図 8.31　　ディープパワーダウンモード遷移タイミング

8.5.7　バースト ROM（クロック非同期）インタフェース

バースト ROM（クロック非同期）インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行いますが、最初のサイクルを終了する際に RD# 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM（クロック非同期）アクセス時は、BS# 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM（クロック非同期）インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 8.13 にバス幅およびアクセスサイズとバースト数の関係を、**図 8.32** にタイムチャートを示します。

表8.13　バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	CSnWCR.BST[1:0]ビット	バースト数	アクセス回数
8 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	4	1
	16 バイト	00	16	1
		01	4	4
	32 バイト	00	16	2
		01	4	8
	64 バイト	00	16	4
		01	4	16
16 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	2	1
	16 バイト	00	8	1
		01	2	4
		10（注 1）	4	2
			2、4、2	3
	32 バイト	00	8	2
		01	2	8
		10（注 1）	4	4
			2、4、2	16
	64 バイト	00	8	4
		01	2	16
		10（注 1）	4	8
			2、4、2	12

注1.　バス幅16ビット、アクセスサイズ16バイト以上、CSnWCR.BST[1:0]が“10”の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、H'xxx0、H'xxx8番地の場合4-4バースト、H'xxx4、H'xxxC番地の場合2-4-2バーストアクセスとなります。

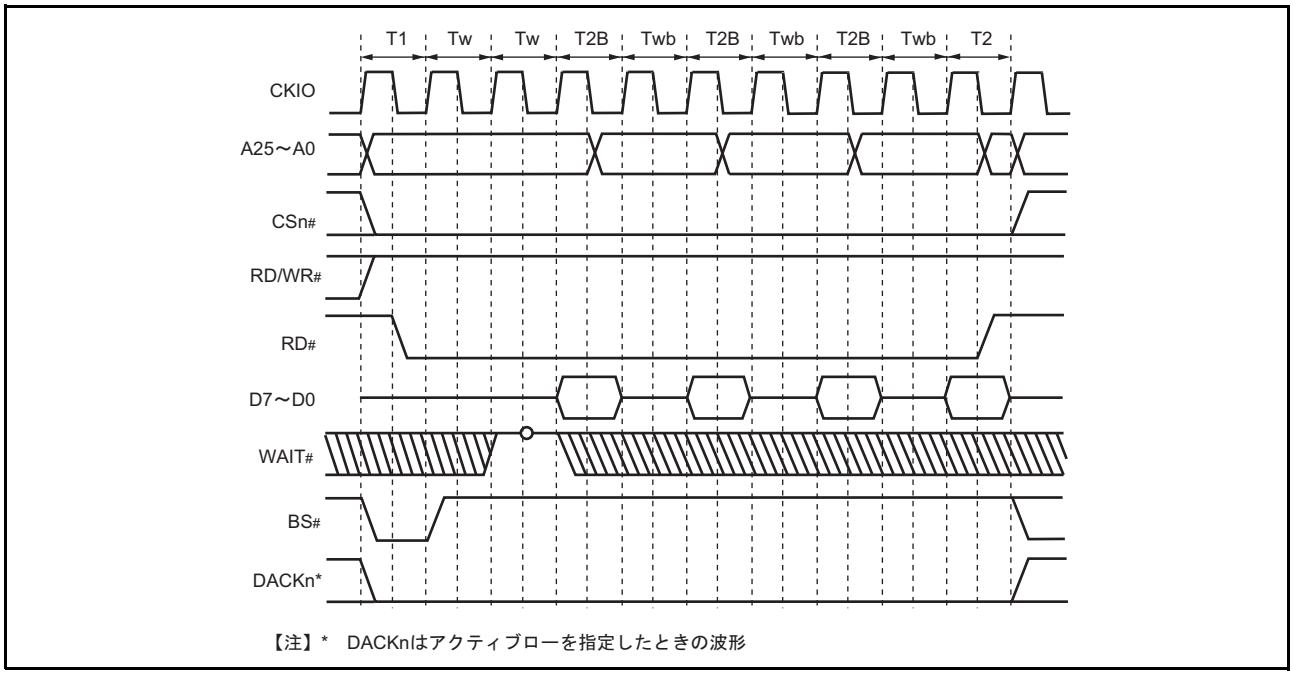


図 8.32　バースト ROM（クロック非同期）アクセス
（バス幅 8 ビット 32 バイト転送（バースト数 4）、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1）

8.5.8　バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子（WEn#）を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB# あるいは LB# のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CSnWCR の BAS ビットが 0（初期値）のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、WEn# 端子のタイミングが通常空間インタフェースと異なり、WEn# 端子からバイト選択信号を出力します。**図 8.33** に基本アクセスタイミングを示します。特にライト時は、バイト選択端子（WEn#）のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CSnWCR の BAS ビットが 1 のとき、WEn# 端子と RD/WR# 端子のタイミングが変化します。**図 8.34** に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子（RD/WR#）のタイミングでメモリに書き込まれます。RD/WR# のネゲートタイミングからのライトデータのホールドタイミングは、CSnWCR の HW[1:0] ビットを設定することにより確保してください。**図 8.35** にソフトウェイト設定時のアクセスタイミングを示します。

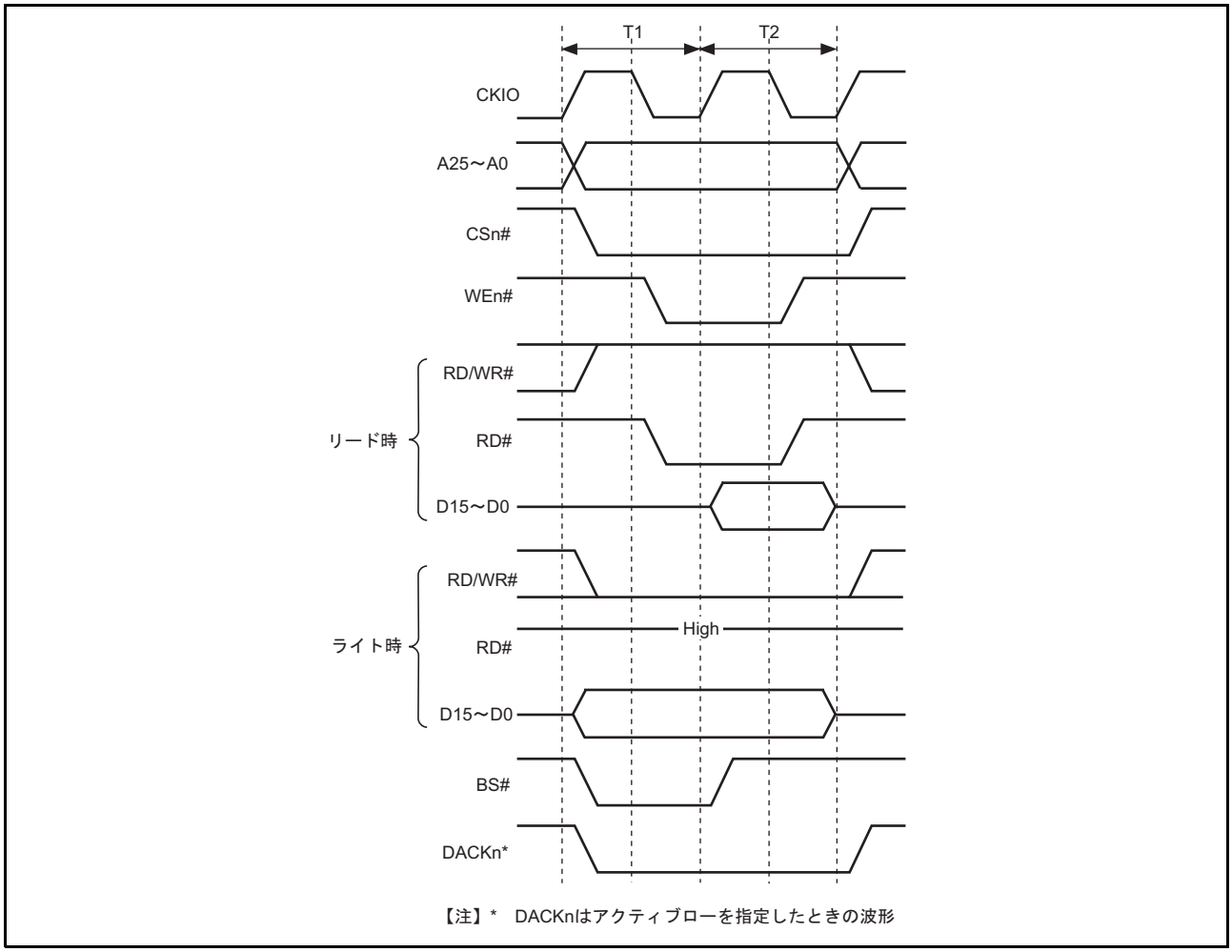


図 8.33　BAS=0、バイト選択付き SRAM 基本アクセスタイミング

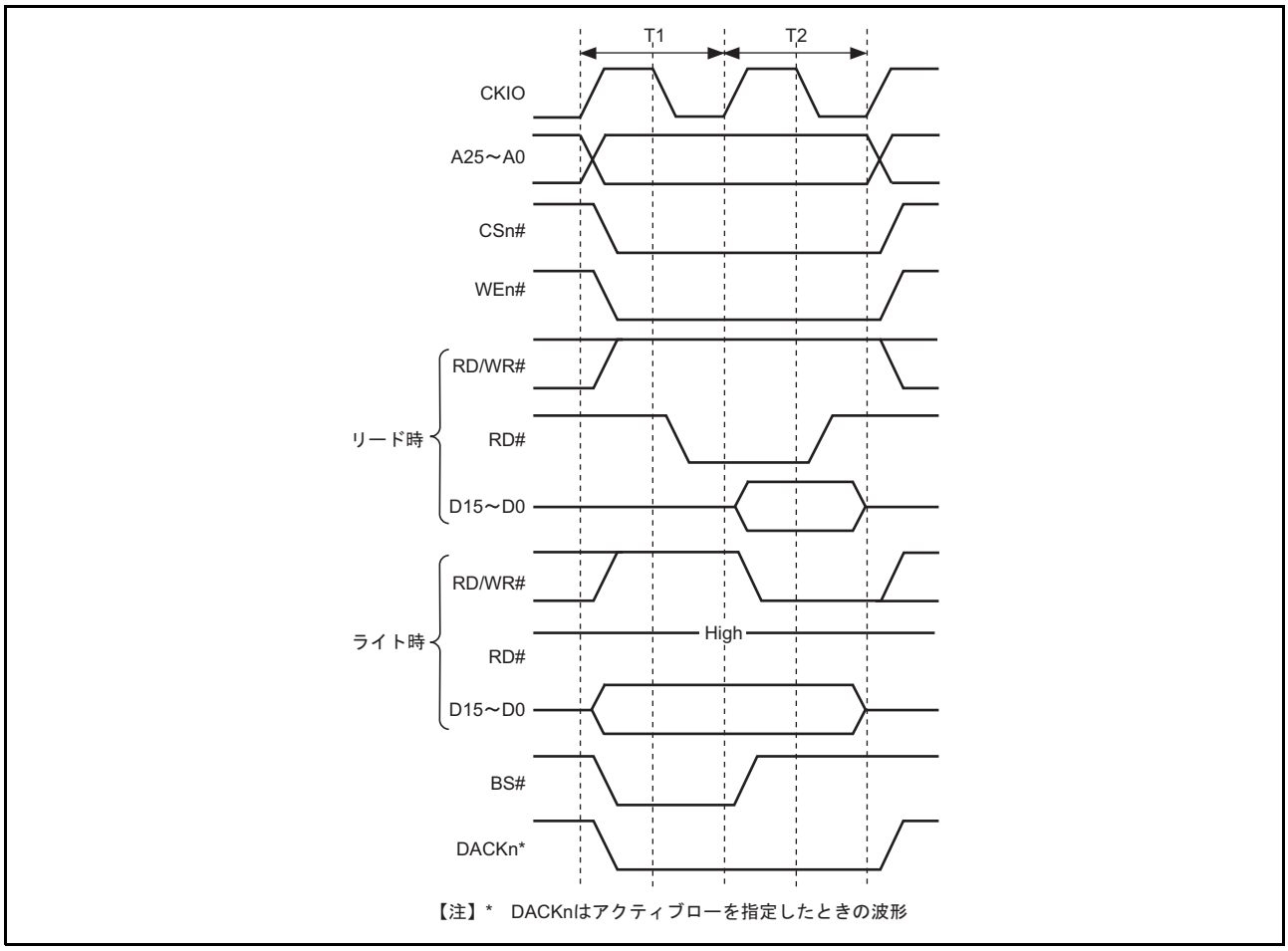


図 8.34　　BAS=1、バイト選択付き SRAM 基本アクセスタイミング

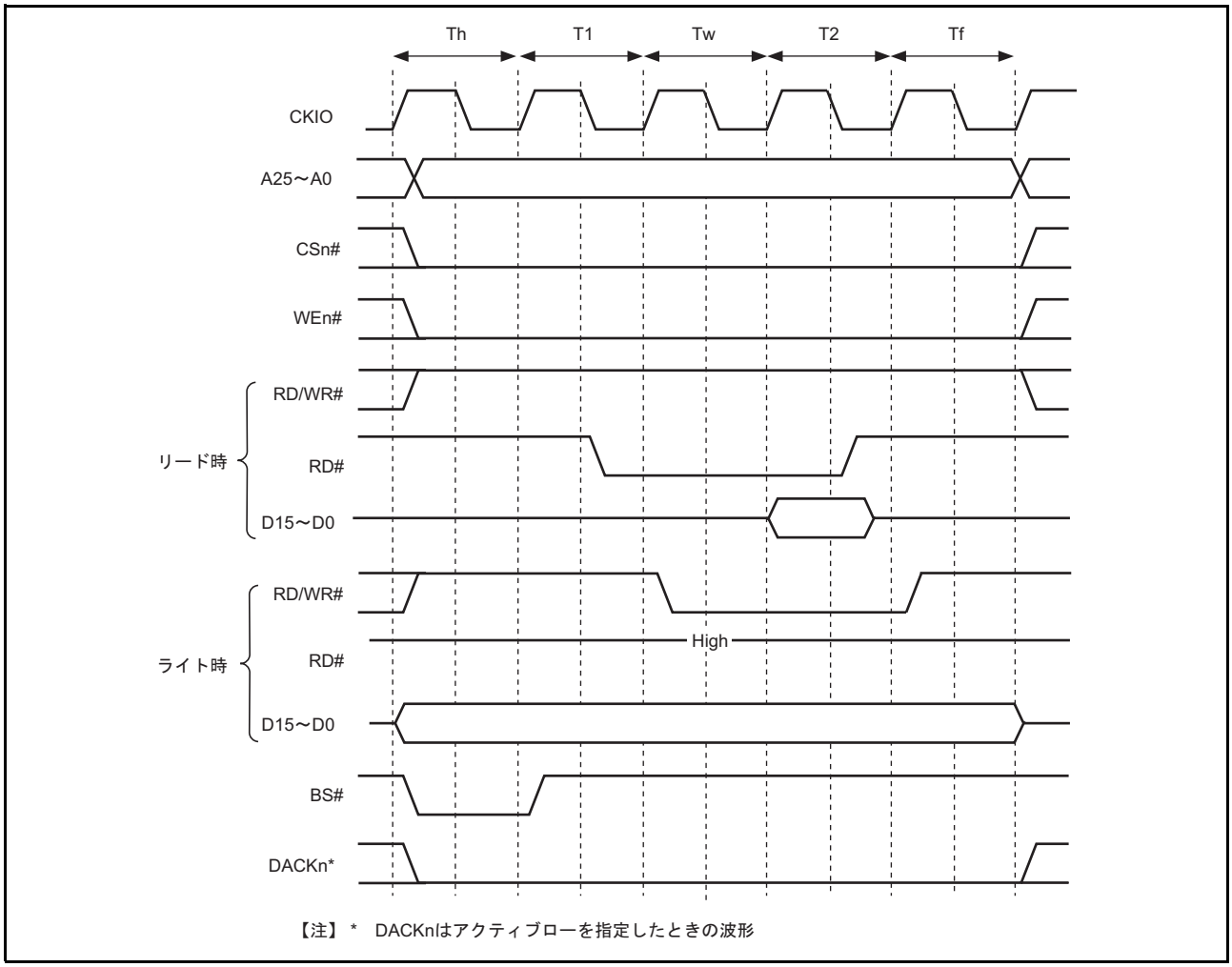


図 8.35　BAS=1、バイト選択付き SRAM ウェイトタイミング
（SW[1:0] ＝ 01、WR[3:0] ＝ 0001、HW[1:0] ＝ 01）

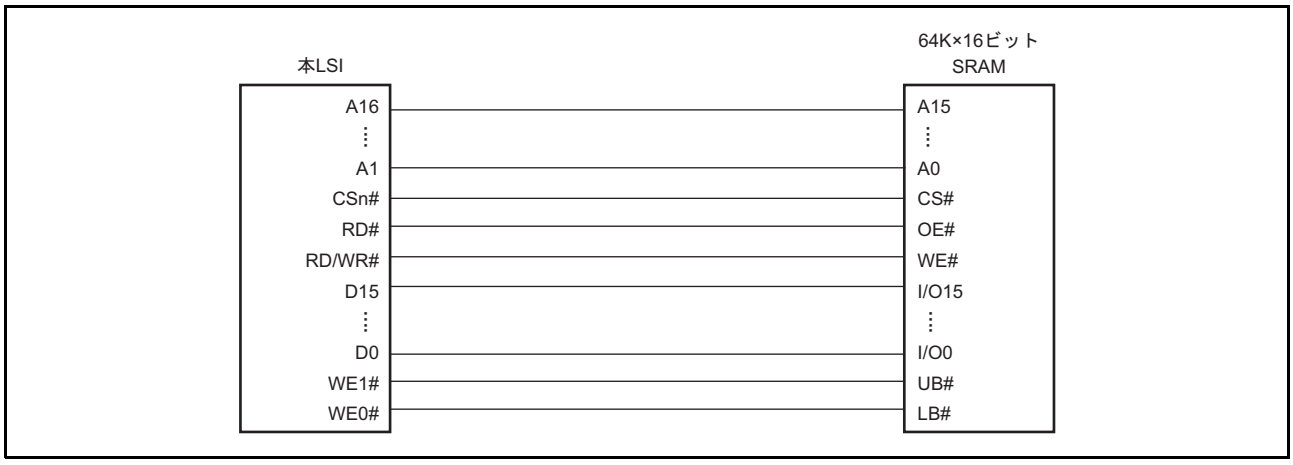


図 8.36　16 ビットデータ幅バイト選択付き SRAM 接続例

8.5.9　バースト ROM（クロック同期）インタフェース

バースト ROM（クロック同期）インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、エリア 0 でのみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM（クロック同期）アクセス時は、BS# 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定はバス幅が 16 ビットなので、バースト長は 8 に設定してください。バス幅 8 ビットはサポートしていません。

本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅で 32 ビットアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、16 バイト以上のアクセスサイズのリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

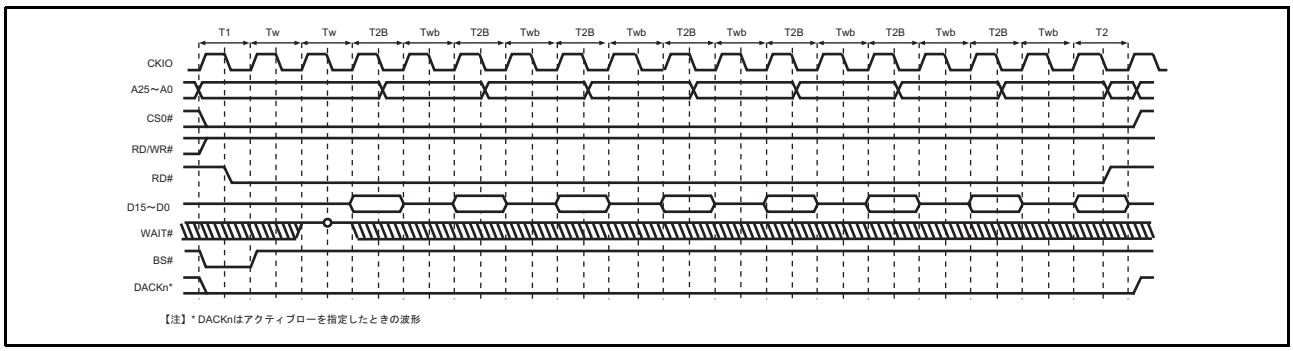


図 8.37　バースト ROM（クロック同期）アクセス
（バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1）

8.5.10 アクセスサイクル間アイドル

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル（ウェイト）を挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間アイドルのサイクル数は、CSnWCR の WM ビットおよび CSnBCR の IWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0] の各ビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト — リード、ライト — ライトの場合
2. 連続するアクセスが別空間でかつリード — ライトの場合
3. 連続するアクセスが同一空間でかつリード — ライトの場合
4. 連続するアクセスが別空間でかつリード — リードの場合
5. 連続するアクセスが同一空間でかつリード — リードの場合

上記のアクセスサイクル間アイドルサイクル数の指定については、各レジスタの説明を参照してください。

これらのレジスタで指定するアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子（WEn#）の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

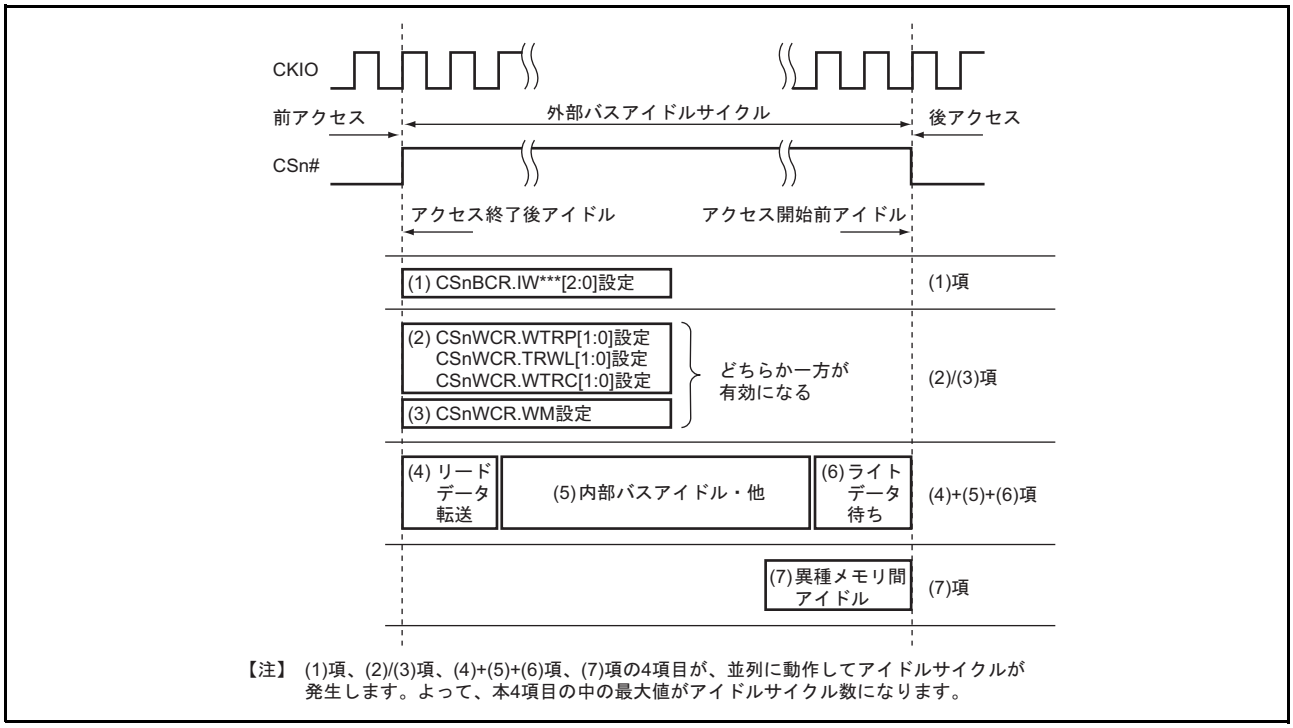
CSn# ネゲートから CSn# または CSm# アサートまでの外部バスアイドルサイクル数について説明します。

外部バスのアイドルサイクル数を決める項目としては、**表 8.14** の 7 項目があります。これらの関係を**図 8.38** に示します。

表8.14　アイドルサイクル数を決める項目

項番	内容	説　明	範囲	注意事項
(1)	CSnBCR.IW***[2:0]設定	アイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえばCS1空間リード後の他CS空間リードの場合に、アイドル数を6サイクル以上に設定したい場合、CS1BCR.IWRRD[2:0]をB'100に設定します。シングルアドレス転送以外の時のみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0～12	連続アクセスできないメモリ種の場合には、0に設定しないようにご注意ください。
(2)	CSnWCRのSDRAM関係設定	SDRAMアクセス時のプリチャージ完了／起動待ち、コマンド間アイドル数を指定します。SDRAMアクセス時にのみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0～3	使用するSDRAMのスペックに合わせて設定してください。
(3)	CSnWCR.WMビット設定	SDRAM以外のメモリでは、外部WAIT#端子入力を有効／無効にする設定ができます。0（外部WAIT#有効）の場合、外部WAIT#端子状態の評価のための1アイドルサイクルがアクセス終了後に挿入されます。1（無効）の場合には、本アイドルサイクルは発生しません。	0～1	
(4)	リードデータ転送サイクル	リードアクセスの終了後に発生する1アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]がB'00以外の場合にも発生しません。	0～1	SDRAMのリードサイクルでは必ず1サイクルのアイドルが発生します。
(5)	内部バスアイドルほか	CPU、ダイレクトメモリアクセスコントローラなどからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅よりもアクセスサイズが大きいとき、本モジュールで分割アクセスを行いますが、分割サイクル間では内部バスアイドルサイクル他の影響はありません。	0～	CPU、内部バスおよびCKIOのクロック比によっては内部バスアイドル数が”0”にならない場合があります。
(6)	ライトデータ到着待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドル他が前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません（ライトバッファ効果）。	0～1	ライト→ライトおよびライト→リードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生する場合があります。連続アクセスできない場合は、CSnBCRなどでサイクル間アイドルの最低数を指定してください。
(7)	異種メモリ間アイドル	ピンマルチ端子の最小パルス幅確保のために、メモリ種切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリ種によっては、メモリ種切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0～2	メモリ種ごとに決まっています。表8.15を参照してください。

(1) 項、(2) ／ (3) 項（どちらか一方が有効になります）、(4) ＋ (5) ＋ (6) 項（順番に発生するので加算されます）および (7) 項の 4 項目が平行して発生しますので、これらのうち最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1) 項のレジスタ設定を行ってください。



【注】 (1)項、(2)/(3)項、(4)+(5)+(6)項、(7)項の4項目が、並列に動作してアイドルサイクルが発生します。よって、本4項目の中の最大値がアイドルサイクル数になります。

図 8.38　アイドルサイクルの構成

表8.15　異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル						
		SRAM	バースト ROM（非同期）	MPX-I/O	バイト SRAM（BAS=0）	バイト SRAM（BAS=1）	SDRAM	バースト ROM（同期）
前サイクル	SRAM	0	0	1	0	0/1（注 1）	0/1（注 1）	0
	バースト ROM（非同期）	0	0	1	0	0/1（注 1）	0/1（注 1）	0
	MPX-I/O	1	1	0	1	1	1	1
	バイト SRAM（BAS=0）	0	0	1	0	0/1（注 1）	0/1（注 1）	0
	バイト SRAM（BAS=1）	0/1（注 1）	0/1（注 1）	1/2（注 1）	0/1（注 1）	0	0	0/1（注 1）
	SDRAM	1	1	2	1	0	0	1
	バースト ROM（同期）	0	0	1	0	1	1	0

注1.　前サイクルのCSnWCR.HW[1:0]ビットの設定で、アイドルサイクル数が決まります。HW[1:0]≠B’00の場合には左側のアイドルサイクル数、HW[1:0]＝B’00の場合には右側のアイドルサイクル数になります。また、前サイクルがCSnWCR.HW[1:0]ビットが存在しないCSn空間の場合には、右側のアイドルサイクル数になります。

8.5.11　その他

(1)　リセット

本モジュールは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしにかかわらずすべての信号をネゲートし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。ソフトウェアスタンバイ、スリープでは、バスステートコントローラの制御レジスタの初期化は一切行われません。

(2)　ライトバッファの注意事項

本モジュールには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

ダイレクトメモリアクセスコントローラなどの別のバスマスタからのアクセスでも、同様に本モジュールのライトバッファは働きます。したがって、DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

なお、ライトバッファの動作中に本モジュールのレジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に本モジュールのレジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に本モジュールのレジスタを変更してください。

(3)　内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック（P0φ または P1φ）で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR1 レジスタの STBY ビットを 1 に設定後 WFI 命令を実行する必要がありますが、WFI 命令の実行前に STBCR1 レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が WFI 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR1 レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

(4)　CKIO クロック切り替え時の注意事項

CKIO クロックは 27.5MHz ～ 132MHz の間で選択して切り替えることが可能ですが、CS0 ～ CS5 の外部アドレス空間アクセス中に切り替えることはできません。(CKIO 選択レジスタ (CKIOSEL) は、外部アドレス空間アクセス中の設定処理禁止です。)

例えばブートモード 0 で CS0 の通常空間インタフェースで起動し、CKIO クロック =66MHz でプログラム実行中に、CKIO クロックを 132MHz に設定して CS2/CS3 で SDRAM を使用する場合は、CKIO クロックの切り替えは以下の手順で行ってください。また CKIO クロックの切り替え中にダイレクトメモリアクセスコントローラ等の CPU 以外のバスマスタから、CS0 ～ CS5 の外部アドレス空間にアクセスすることも禁止です。

1. CS0 ～ CS5 以外のメモリ領域 (内蔵 RAM 等) にプログラムを転送します。
2. プログラムを転送した領域にジャンプします。
3. 転送したプログラムで CS0 ～ CS5 の使用する領域が CKIO クロック =132MHz においても動作できるように、バスステートコントローラの設定を行います。
4. CKIO 選択レジスタ (CKIOSEL) で CKIO クロックを 132MHz に設定します。
5. そのまま内蔵 RAM 等で実行を続けるか、CS0 のプログラム領域に戻ります。

9. ダイレクトメモリアクセスコントローラ

ダイレクトメモリアクセスコントローラは、DACK（転送要求受け付け信号）付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。本モジュールは、セキュア用とノンセキュア用を搭載しています。

セキュア／ノンセキュアアクセスについて、詳細は「5. LSI 内部バス 5.8 AXI プロトコルの制御信号 5.8.1 (3)、5.8.2、5.8.3 、5.8.4」を参照してください。また、同じ要因をそれぞれに割り当てないようにしてください。

9.1 特長

- チャネル数：CH0 ～ CH15 の 16 チャネル。その内、CH0 で外部リクエストの受け付けが可能です。
- アドレス空間：アーキテクチャ上は 4G バイト
- 転送データ単位：バイト、2 バイト、4 バイト、8 バイト、16 バイト、32 バイト、64 バイト、128 バイト
- 最大転送サイズ：2^{32} − 1 バイト
- アドレスモード：デュアルアドレスモード
- 転送要求：外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエスト（ソフトウェア起動）の 3 種類から選択可能
- 転送モード：シングル転送モードおよびブロック転送モードから選択可能
- 優先順位:チャネル0～7内およびチャネル8～15内は固定優先／ラウンドロビンモードの2種類から選択可能（チャネル 0 ～ 7、チャネル 8 ～ 15 間はラウンドロビン）
- 割り込み要求：データ転送終了時（DMA 転送終了割り込み /CH）、および転送エラー発生時（DMA エラー割り込み）に CPU へ割り込み要求を発生可能
- 外部リクエスト検出：DREQ 入力のロー／ハイレベル検出、立ち上がり／立ち下がりエッジ検出から選択可能
- DMA 設定のレジスタに連続実行機能を備えていますので、DMA 転送中にあらかじめ設定しておくことで、次回の DMA 転送を連続で実行することができます。この連続実行機能は、チャネルごとに ON/OFF の設定が可能です。
- リンクモード：CPU によってメモリ上に配置された設定データ（ディスクリプタ・データ）を自動的に DMAC が取り込み、その設定値を元に DMA 転送を行うモードが選択可能
- バッファ掃き出し：DMA 転送中に強制的に転送を中断した場合、既にバッファに取り込んでいるデータを出力して停止することができます。
- インターバル：バスの占有率を調整するため、DMA 転送の間隔を指定することが可能です。

9.2　入出力端子

表 9.1 に端子構成を示します。本モジュールは、外部バス用に 1 チャネル分の端子（CH0）を持っています。

表9.1　端子構成

チャネル	名称	端子名	入出力	機　能
0	DMA転送要求	DREQ0	入力	外部デバイスからチャネル0へのDMA転送要求入力
	DMA転送要求受け付け	DACK0	出力	本モジュールチャネル0から外部デバイスへのDMA転送要求受け付け出力
	DMA転送終了	TEND0	出力	本モジュールチャネル0のDMA転送終了出力

注.　DACK0,TEND0のアクティブレベル詳細「8.　バスステートコントローラ、「8.4.1　共通コントロールレジスタ（CMNCR）」」参照

9.3　レジスタ構成

図 9.1 にレジスタ構成を示します。

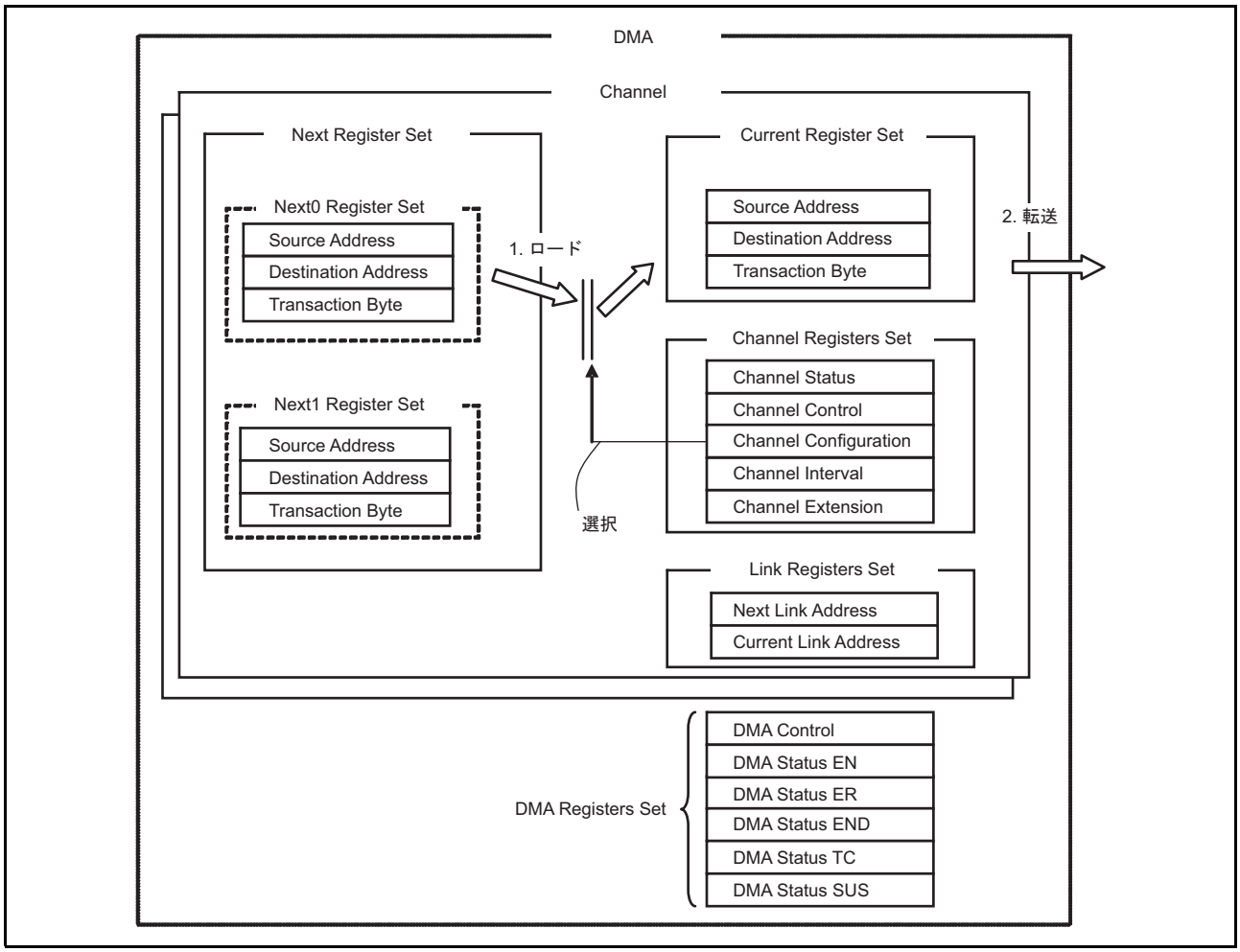


図 9.1　レジスタ構成

(a) Next Register Set

次に実行するDMAトランザクションの転送元アドレス、転送先アドレス、転送バイト数を設定するレジスタ・セットです。

Next0レジスタ・セットとNext1レジスタ・セットから成ります。

レジスタ・モードではソフトウェアで設定します。リンク・モードでは、ディスクリプタ・リード・データが自動的にNext0レジスタ・セットにセットされます。

これらレジスタ･セットの値は、Currentレジスタ・セットにロードされ、DMA転送に使用されます。

(b) Current Register Set

現在実行中の、転送元アドレス、転送先アドレス、転送バイト数を表示するレジスタ・セットです。

Next0/1レジスタ・セット（レジスタ・モード）または、ディスクリプタ・リード・データ（リンク・モード）からロードされます。ユーザが直接書き込むことはできません。

DMAトランザクションを実行するごとに、自動的に更新されます。

(c) Channel Register Set

DMA転送の設定を行うためのレジスタ・セットです。

このレジスタ･セットでは、チャネル状態の表示、チャネルの制御、DMAトランザクションの設定、DMAトランザクション間隔の設定などを行います。

(d) Link Register Set

リンク・モード時に、次にロードするディスクリプタ・アドレスを設定するレジスタ（Next Link Address Register）と、現在実行しているディスクリプタ・アドレスを表示するレジスタ（Current Link Address Register）から成ります。

Current Link Address Registerは、ディスクリプタ・リードにより自動的に更新され、ユーザが直接書き込むことはできません。

(e) DMA Register Set

DMA全体を制御するレジスタと、各チャネルの状態を表示するレジスタから成ります。チャネルの優先順位の制御、各チャネルのEN、ER、END、TC、SUSの状態確認などができます。

(f) 拡張リソースセレクタ Register Set

DMA転送行う内蔵周辺モジュールおよび外部リクエストを選択するためのレジスタ・セットです。

9.4　レジスタの説明

表 9.2 にレジスタ構成を示します。各チャネルに 11 本の制御レジスタと 5 本のステータスレジスタがあり、チャネル共通な制御レジスタが 12 本あります。さらに、2 チャネルごとに 1 本の拡張リソースセレクタレジスタがあります。

各チャネルのレジスタについては、

セキュア用：

チャネル 0 の Next0 Source Address Register は、Next0 Source Address Register 0S , 略称 N0SA_0S

ノンセキュア用：

チャネル 0 の Next0 Source Address Register は、Next0 Source Address Register 0S , 略称 N0SA_0

のように表記しています。

表9.2　レジスタ構成

チャネル	レジスタ名	略称		R/W	初期値	アドレス		アクセスサイズ
		ノンセキュア	セキュア			ノンセキュア	セキュア	
0	Next0 Source Address Register 0/0S	N0SA_0	N0SA_0S	RW	H'00000000	H'E8226000	H'E8220000	32
	Next0 Destination Address Register 0/0S	N0DA_0	N0DA_0S	RW	H'00000000	H'E8226004	H'E8220004	32
	Next0 Transaction Byte Register 0/0S	N0TB_0	N0TB_0S	RW	H'00000000	H'E8226008	H'E8220008	32
	Next1 Source Address Register 0/0S	N1SA_0	N1SA_0S	RW	H'00000000	H'E822600C	H'E822000C	32
	Next1 Destination Address Register 0/0S	N1DA_0	N1DA_0S	RW	H'00000000	H'E8226010	H'E8220010	32
	Next1 Transaction Byte Register 0/0S	N1TB_0	N1TB_0S	RW	H'00000000	H'E8226014	H'E8220014	32
	Current Source Address Register 0/0S	CRSA_0	CRSA_0S	R	H'00000000	H'E8226018	H'E8220018	32
	Current Destination Address Register 0/0S	CRDA_0	CRDA_0S	R	H'00000000	H'E822601C	H'E822001C	32
	Current Transaction Byte Register 0/0S	CRTB_0	CRTB_0S	R	H'00000000	H'E8226020	H'E8220020	32
	Channel Status Register 0/0S	CHSTAT_0	CHSTAT_0S	R	H'00000000	H'E8226024	H'E8220024	32
	Channel Control Register 0/0S	CHCTRL_0	CHCTRL_0S	RW	H'00000000	H'E8226028	H'E8220028	32
	Channel Configuration Register 0/0S	CHCFG_0	CHCFG_0S	RW	H'00000000	H'E822602C	H'E822002C	32
	Channel Interval Register 0/0S	CHITVL_0	CHITVL_0S	RW	H'00000000	H'E8226030	H'E8220030	32
	Channel Extension Register 0/0S	CHEXT_0	CHEXT_0S	RW	H'00000000	H'E8226034	H'E8220034	32
	Next Link Address Register 0/0S	NXLA_0	NXLA_0S	RW	H'00000000	H'E8226038	H'E8220038	32
	Current Link Address Register 0/0S	CRLA_0	CRLA_0S	R	H'00000000	H'E822603C	H'E822003C	32
1	Next0 Source Address Register 1/1S	N0SA_1	N0SA_1S	RW	H'00000000	H'E8226040	H'E8220040	32
	Next0 Destination Address Register 1/1S	N0DA_1	N0DA_1S	RW	H'00000000	H'E8226044	H'E8220044	32
	Next0 Transaction Byte Register 1/1S	N0TB_1	N0TB_1S	RW	H'00000000	H'E8226048	H'E8220048	32
	Next1 Source Address Register 1/1S	N1SA_1	N1SA_1S	RW	H'00000000	H'E822604C	H'E822004C	32
	Next1 Destination Address Register 1/1S	N1DA_1	N1DA_1S	RW	H'00000000	H'E8226050	H'E8220050	32
	Next1 Transaction Byte Register 1/1S	N1TB_1	N1TB_1S	RW	H'00000000	H'E8226054	H'E8220054	32
	Current Source Address Register 1/1S	CRSA_1	CRSA_1S	R	H'00000000	H'E8226058	H'E8220058	32
	Current Destination Address Register 1/1S	CRDA_1	CRDA_1S	R	H'00000000	H'E822605C	H'E822005C	32
	Current Transaction Byte Register 1/1S	CRTB_1	CRTB_1S	R	H'00000000	H'E8226060	H'E8220060	32
	Channel Status Register 1/1S	CHSTAT_1	CHSTAT_1S	R	H'00000000	H'E8226064	H'E8220064	32
	Channel Control Register 1/1S	CHCTRL_1	CHCTRL_1S	RW	H'00000000	H'E8226068	H'E8220068	32
	Channel Configuration Register 1/1S	CHCFG_1	CHCFG_1S	RW	H'00000000	H'E822606C	H'E822006C	32
	Channel Interval Register 1/1S	CHITVL_1	CHITVL_1S	RW	H'00000000	H'E8226070	H'E8220070	32
	Channel Extension Register 1/1S	CHEXT_1	CHEXT_1S	RW	H'00000000	H'E8226074	H'E8220074	32
	Next Link Address Register 1/1S	NXLA_1	NXLA_1S	RW	H'00000000	H'E8226078	H'E8220078	32
	Current Link Address Register 1/1S	CRLA_1	CRLA_1S	R	H'00000000	H'E822607C	H'E822007C	32

チャネル	レジスタ名	略称		R/W	初期値	アドレス		アクセスサイズ
		ノンセキュア	セキュア			ノンセキュア	セキュア	
2	Next0 Source Address Register 2/2S	N0SA_2	N0SA_2S	RW	H'00000000	H'E8226080	H'E8220080	32
	Next0 Destination Address Register 2/2S	N0DA_2	N0DA_2S	RW	H'00000000	H'E8226084	H'E8220084	32
	Next0 Transaction Byte Register 2/2S	N0TB_2	N0TB_2S	RW	H'00000000	H'E8226088	H'E8220088	32
	Next1 Source Address Register 2/2S	N1SA_2	N1SA_2S	RW	H'00000000	H'E822608C	H'E822008C	32
	Next1 Destination Address Register 2/2S	N1DA_2	N1DA_2S	RW	H'00000000	H'E8226090	H'E8220090	32
	Next1 Transaction Byte Register 2/2S	N1TB_2	N1TB_2S	RW	H'00000000	H'E8226094	H'E8220094	32
	Current Source Address Register 2/2S	CRSA_2	CRSA_2S	R	H'00000000	H'E8226098	H'E8220098	32
	Current Destination Address Register 2/2S	CRDA_2	CRDA_2S	R	H'00000000	H'E822609C	H'E822009C	32
	Current Transaction Byte Register 2/2S	CRTB_2	CRTB_2S	R	H'00000000	H'E82260A0	H'E82200A0	32
	Channel Status Register 2/2S	CHSTAT_2	CHSTAT_2S	R	H'00000000	H'E82260A4	H'E82200A4	32
	Channel Control Register 2/2S	CHCTRL_2	CHCTRL_2S	RW	H'00000000	H'E82260A8	H'E82200A8	32
	Channel Configuration Register 2/2S	CHCFG_2	CHCFG_2S	RW	H'00000000	H'E82260AC	H'E82200AC	32
	Channel Interval Register 2/2S	CHITVL_2	CHITVL_2S	RW	H'00000000	H'E82260B0	H'E82200B0	32
	Channel Extension Register 2/2S	CHEXT_2	CHEXT_2S	RW	H'00000000	H'E82260B4	H'E82200B4	32
	Next Link Address Register 2/2S	NXLA_2	NXLA_2S	RW	H'00000000	H'E82260B8	H'E82200B8	32
	Current Link Address Register 2/2S	CRLA_2	CRLA_2S	R	H'00000000	H'E82260BC	H'E82200BC	32
3	Next0 Source Address Register 3/3S	N0SA_3	N0SA_3S	RW	H'00000000	H'E82260C0	H'E82200C0	32
	Next0 Destination Address Register 3/3S	N0DA_3	N0DA_3S	RW	H'00000000	H'E82260C4	H'E82200C4	32
	Next0 Transaction Byte Register 3/3S	N0TB_3	N0TB_3S	RW	H'00000000	H'E82260C8	H'E82200C8	32
	Next1 Source Address Register 3/3S	N1SA_3	N1SA_3S	RW	H'00000000	H'E82260CC	H'E82200CC	32
	Next1 Destination Address Register 3/3S	N1DA_3	N1DA_3S	RW	H'00000000	H'E82260D0	H'E82200D0	32
	Next1 Transaction Byte Register 3/3S	N1TB_3	N1TB_3S	RW	H'00000000	H'E82260D4	H'E82200D4	32
	Current Source Address Register 3/3S	CRSA_3	CRSA_3S	R	H'00000000	H'E82260D8	H'E82200D8	32
	Current Destination Address Register 3/3S	CRDA_3	CRDA_3S	R	H'00000000	H'E82260DC	H'E82200DC	32
	Current Transaction Byte Register 3/3S	CRTB_3	CRTB_3S	R	H'00000000	H'E82260E0	H'E82200E0	32
	Channel Status Register 3/3S	CHSTAT_3	CHSTAT_3S	R	H'00000000	H'E82260E4	H'E82200E4	32
	Channel Control Register 3/3S	CHCTRL_3	CHCTRL_3S	RW	H'00000000	H'E82260E8	H'E82200E8	32
	Channel Configuration Register 3/3S	CHCFG_3	CHCFG_3S	RW	H'00000000	H'E82260EC	H'E82200EC	32
	Channel Interval Register 3/3S	CHITVL_3	CHITVL_3S	RW	H'00000000	H'E82260F0	H'E82200F0	32
	Channel Extension Register 3/3S	CHEXT_3	CHEXT_3S	RW	H'00000000	H'E82260F4	H'E82200F4	32
	Next Link Address Register 3/3S	NXLA_3	NXLA_3S	RW	H'00000000	H'E82260F8	H'E82200F8	32
	Current Link Address Register 3/3S	CRLA_3	CRLA_3S	R	H'00000000	H'E82260FC	H'E82200FC	32

チャネル	レジスタ名	略称		R/W	初期値	アドレス		アクセスサイズ
		ノンセキュア	セキュア			ノンセキュア	セキュア	
4	Next0 Source Address Register 4/4S	N0SA_4	N0SA_4S	RW	H'00000000	H'E8226100	H'E8220100	32
	Next0 Destination Address Register 4/4S	N0DA_4	N0DA_4S	RW	H'00000000	H'E8226104	H'E8220104	32
	Next0 Transaction Byte Register 4/4S	N0TB_4	N0TB_4S	RW	H'00000000	H'E8226108	H'E8220108	32
	Next1 Source Address Register 4/4S	N1SA_4	N1SA_4S	RW	H'00000000	H'E822610C	H'E822010C	32
	Next1 Destination Address Register 4/4S	N1DA_4	N1DA_4S	RW	H'00000000	H'E8226110	H'E8220110	32
	Next1 Transaction Byte Register 4/4S	N1TB_4	N1TB_4S	RW	H'00000000	H'E8226114	H'E8220114	32
	Current Source Address Register 4/4S	CRSA_4	CRSA_4S	R	H'00000000	H'E8226118	H'E8220118	32
	Current Destination Address Register 4/4S	CRDA_4	CRDA_4S	R	H'00000000	H'E822611C	H'E822011C	32
	Current Transaction Byte Register 4/4S	CRTB_4	CRTB_4S	R	H'00000000	H'E8226120	H'E8220120	32
	Channel Status Register 4/4S	CHSTAT_4	CHSTAT_4S	R	H'00000000	H'E8226124	H'E8220124	32
	Channel Control Register 4/4S	CHCTRL_4	CHCTRL_4S	RW	H'00000000	H'E8226128	H'E8220128	32
	Channel Configuration Register 4/4S	CHCFG_4	CHCFG_4S	RW	H'00000000	H'E822612C	H'E822012C	32
	Channel Interval Register 4/4S	CHITVL_4	CHITVL_4S	RW	H'00000000	H'E8226130	H'E8220130	32
	Channel Extension Register 4/4S	CHEXT_4	CHEXT_4S	RW	H'00000000	H'E8226134	H'E8220134	32
	Next Link Address Register 4/4S	NXLA_4	NXLA_4S	RW	H'00000000	H'E8226138	H'E8220138	32
	Current Link Address Register 4/4S	CRLA_4	CRLA_4S	R	H'00000000	H'E822613C	H'E822013C	32
5	Next0 Source Address Register 5/5S	N0SA_5	N0SA_5S	RW	H'00000000	H'E8226140	H'E8220140	32
	Next0 Destination Address Register 5/5S	N0DA_5	N0DA_5S	RW	H'00000000	H'E8226144	H'E8220144	32
	Next0 Transaction Byte Register 5/5S	N0TB_5	N0TB_5S	RW	H'00000000	H'E8226148	H'E8220148	32
	Next1 Source Address Register 5/5S	N1SA_5	N1SA_5S	RW	H'00000000	H'E822614C	H'E822014C	32
	Next1 Destination Address Register 5/5S	N1DA_5	N1DA_5S	RW	H'00000000	H'E8226150	H'E8220150	32
	Next1 Transaction Byte Register 5/5S	N1TB_5	N1TB_5S	RW	H'00000000	H'E8226154	H'E8220154	32
	Current Source Address Register 5/5S	CRSA_5	CRSA_5S	R	H'00000000	H'E8226158	H'E8220158	32
	Current Destination Address Register 5/5S	CRDA_5	CRDA_5S	R	H'00000000	H'E822615C	H'E822015C	32
	Current Transaction Byte Register 5/5S	CRTB_5	CRTB_5S	R	H'00000000	H'E8226160	H'E8220160	32
	Channel Status Register 5/5S	CHSTAT_5	CHSTAT_5S	R	H'00000000	H'E8226164	H'E8220164	32
	Channel Control Register 5/5S	CHCTRL_5	CHCTRL_5S	RW	H'00000000	H'E8226168	H'E8220168	32
	Channel Configuration Register 5/5S	CHCFG_5	CHCFG_5S	RW	H'00000000	H'E822616C	H'E822016C	32
	Channel Interval Register 5/5S	CHITVL_5	CHITVL_5S	RW	H'00000000	H'E8226170	H'E8220170	32
	Channel Extension Register 5/5S	CHEXT_5	CHEXT_5S	RW	H'00000000	H'E8226174	H'E8220174	32
	Next Link Address Register 5/5S	NXLA_5	NXLA_5S	RW	H'00000000	H'E8226178	H'E8220178	32
	Current Link Address Register 5/5S	CRLA_5	CRLA_5S	R	H'00000000	H'E822617C	H'E822017C	32

チャネル	レジスタ名	略称		R/W	初期値	アドレス		アクセスサイズ
		ノンセキュア	セキュア			ノンセキュア	セキュア	
6	Next0 Source Address Register 6/6S	N0SA_6	N0SA_6S	RW	H'00000000	H'E8226180	H'E8220180	32
	Next0 Destination Address Register 6/6S	N0DA_6	N0DA_6S	RW	H'00000000	H'E8226184	H'E8220184	32
	Next0 Transaction Byte Register 6/6S	N0TB_6	N0TB_6S	RW	H'00000000	H'E8226188	H'E8220188	32
	Next1 Source Address Register 6/6S	N1SA_6	N1SA_6S	RW	H'00000000	H'E822618C	H'E822018C	32
	Next1 Destination Address Register 6/6S	N1DA_6	N1DA_6S	RW	H'00000000	H'E8226190	H'E8220190	32
	Next1 Transaction Byte Register 6/6S	N1TB_6	N1TB_6S	RW	H'00000000	H'E8226194	H'E8220194	32
	Current Source Address Register 6/6S	CRSA_6	CRSA_6S	R	H'00000000	H'E8226198	H'E8220198	32
	Current Destination Address Register 6/6S	CRDA_6	CRDA_6S	R	H'00000000	H'E822619C	H'E822019C	32
	Current Transaction Byte Register 6/6S	CRTB_6	CRTB_6S	R	H'00000000	H'E82261A0	H'E82201A0	32
	Channel Status Register 6/6S	CHSTAT_6	CHSTAT_6S	R	H'00000000	H'E82261A4	H'E82201A4	32
	Channel Control Register 6/6S	CHCTRL_6	CHCTRL_6S	RW	H'00000000	H'E82261A8	H'E82201A8	32
	Channel Configuration Register 6/6S	CHCFG_6	CHCFG_6S	RW	H'00000000	H'E82261AC	H'E82201AC	32
	Channel Interval Register 6/6S	CHITVL_6	CHITVL_6S	RW	H'00000000	H'E82261B0	H'E82201B0	32
	Channel Extension Register 6/6S	CHEXT_6	CHEXT_6S	RW	H'00000000	H'E82261B4	H'E82201B4	32
	Next Link Address Register 6/6S	NXLA_6	NXLA_6S	RW	H'00000000	H'E82261B8	H'E82201B8	32
	Current Link Address Register 6/6S	CRLA_6	CRLA_6S	R	H'00000000	H'E82261BC	H'E82201BC	32
7	Next0 Source Address Register 7/7S	N0SA_7	N0SA_7S	RW	H'00000000	H'E82261C0	H'E82201C0	32
	Next0 Destination Address Register 7/7S	N0DA_7	N0DA_7S	RW	H'00000000	H'E82261C4	H'E82201C4	32
	Next0 Transaction Byte Register 7/7S	N0TB_7	N0TB_7S	RW	H'00000000	H'E82261C8	H'E82201C8	32
	Next1 Source Address Register 7/7S	N1SA_7	N1SA_7S	RW	H'00000000	H'E82261CC	H'E82201CC	32
	Next1 Destination Address Register 7/7S	N1DA_7	N1DA_7S	RW	H'00000000	H'E82261D0	H'E82201D0	32
	Next1 Transaction Byte Register 7/7S	N1TB_7	N1TB_7S	RW	H'00000000	H'E82261D4	H'E82201D4	32
	Current Source Address Register 7/7S	CRSA_7	CRSA_7S	R	H'00000000	H'E82261D8	H'E82201D8	32
	Current Destination Address Register 7/7S	CRDA_7	CRDA_7S	R	H'00000000	H'E82261DC	H'E82201DC	32
	Current Transaction Byte Register 7/7S	CRTB_7	CRTB_7S	R	H'00000000	H'E82261E0	H'E82201E0	32
	Channel Status Register 7/7S	CHSTAT_7	CHSTAT_7S	R	H'00000000	H'E82261E4	H'E82201E4	32
	Channel Control Register 7/7S	CHCTRL_7	CHCTRL_7S	RW	H'00000000	H'E82261E8	H'E82201E8	32
	Channel Configuration Register 7/7S	CHCFG_7	CHCFG_7S	RW	H'00000000	H'E82261EC	H'E82201EC	32
	Channel Interval Register 7/7S	CHITVL_7	CHITVL_7S	RW	H'00000000	H'E82261F0	H'E82201F0	32
	Channel Extension Register 7/7S	CHEXT_7	CHEXT_7S	RW	H'00000000	H'E82261F4	H'E82201F4	32
	Next Link Address Register 7/7S	NXLA_7	NXLA_7S	RW	H'00000000	H'E82261F8	H'E82201F8	32
	Current Link Address Register 7/7S	CRLA_7	CRLA_7S	R	H'00000000	H'E82261FC	H'E82201FC	32
0-7 共通	DMA Control Registers 0-7/0-7S	DCTRL_0_7	DCTRL_0_7S	R	H'00000000	H'E8226300	H'E8220300	32
	DMA Status EN Registers 0-7/0-7S	DSTAT_EN_0_7	DSTAT_EN_0_7S	R	H'00000000	H'E8226310	H'E8220310	32
	DMA Status ER Registers 0-7/0-7S	DSTAT_ER_0_7	DSTAT_ER_0_7S	R	H'00000000	H'E8226314	H'E8220314	32
	DMA Status END Registers 0-7/0-7S	DSTAT_END_0_7	DSTAT_END_0_7S	R	H'00000000	H'E8226318	H'E8220318	32
	DMA Status TC Registers 0-7/0-7S	DSTAT_TC_0_7	DSTAT_TC_0_7S	R	H'00000000	H'E822631C	H'E822031C	32
	DMA Status SUS Registers 0-7/0-7S	DSTAT_SUS_0_7	DSTAT_SUS_0_7S	R	H'00000000	H'E8226320	H'E8220320	32

チャネル	レジスタ名	略称		R/W	初期値	アドレス		アクセスサイズ
		ノンセキュア	セキュア			ノンセキュア	セキュア	
8	Next0 Source Address Register 8/8S	N0SA_8	N0SA_8S	RW	H'00000000	H'E8226400	H'E8220400	32
	Next0 Destination Address Register 8/8S	N0DA_8	N0DA_8S	RW	H'00000000	H'E8226404	H'E8220404	32
	Next0 Transaction Byte Register 8/8S	N0TB_8	N0TB_8S	RW	H'00000000	H'E8226408	H'E8220408	32
	Next1 Source Address Register 8/8S	N1SA_8	N1SA_8S	RW	H'00000000	H'E822640C	H'E822040C	32
	Next1 Destination Address Register 8/8S	N1DA_8	N1DA_8S	RW	H'00000000	H'E8226410	H'E8220410	32
	Next1 Transaction Byte Register 8/8S	N1TB_8	N1TB_8S	RW	H'00000000	H'E8226414	H'E8220414	32
	Current Source Address Register 8/8S	CRSA_8	CRSA_8S	R	H'00000000	H'E8226418	H'E8220418	32
	Current Destination Address Register 8/8S	CRDA_8	CRDA_8S	R	H'00000000	H'E822641C	H'E822041C	32
	Current Transaction Byte Register 8/8S	CRTB_8	CRTB_8S	R	H'00000000	H'E8226420	H'E8220420	32
	Channel Status Register 8/8S	CHSTAT_8	CHSTAT_8S	R	H'00000000	H'E8226424	H'E8220424	32
	Channel Control Register 8/8S	CHCTRL_8	CHCTRL_8S	RW	H'00000000	H'E8226428	H'E8220428	32
	Channel Configuration Register 8/8S	CHCFG_8	CHCFG_8S	RW	H'00000000	H'E822642C	H'E822042C	32
	Channel Interval Register 8/8S	CHITVL_8	CHITVL_8S	RW	H'00000000	H'E8226430	H'E8220430	32
	Channel Extension Register 8/8S	CHEXT_8	CHEXT_8S	RW	H'00000000	H'E8226434	H'E8220434	32
	Next Link Address Register 8/8S	NXLA_8	NXLA_8S	RW	H'00000000	H'E8226438	H'E8220438	32
	Current Link Address Register 8/8S	CRLA_8	CRLA_8S	R	H'00000000	H'E822643C	H'E822043C	32
9	Next0 Source Address Register 9/9S	N0SA_9	N0SA_9S	RW	H'00000000	H'E8226440	H'E8220440	32
	Next0 Destination Address Register 9/9S	N0DA_9	N0DA_9S	RW	H'00000000	H'E8226444	H'E8220444	32
	Next0 Transaction Byte Register 9/9S	N0TB_9	N0TB_9S	RW	H'00000000	H'E8226448	H'E8220448	32
	Next1 Source Address Register 9/9S	N1SA_9	N1SA_9S	RW	H'00000000	H'E822644C	H'E822044C	32
	Next1 Destination Address Register 9/9S	N1DA_9	N1DA_9S	RW	H'00000000	H'E8226450	H'E8220450	32
	Next1 Transaction Byte Register 9/9S	N1TB_9	N1TB_9S	RW	H'00000000	H'E8226454	H'E8220454	32
	Current Source Address Register 9/9S	CRSA_9	CRSA_9S	R	H'00000000	H'E8226458	H'E8220458	32
	Current Destination Address Register 9/9S	CRDA_9	CRDA_9Sa	R	H'00000000	H'E822645C	H'E822045C	32
	Current Transaction Byte Register 9/9S	CRTB_9	CRTB_9S	R	H'00000000	H'E8226460	H'E8220460	32
	Channel Status Register 9/9S	CHSTAT_9	CHSTAT_9S	R	H'00000000	H'E8226464	H'E8220464	32
	Channel Control Register 9/9S	CHCTRL_9	CHCTRL_9S	RW	H'00000000	H'E8226468	H'E8220468	32
	Channel Configuration Register 9/9S	CHCFG_9	CHCFG_9S	RW	H'00000000	H'E822646C	H'E822046C	32
	Channel Interval Register 9/9S	CHITVL_9	CHITVL_9S	RW	H'00000000	H'E8226470	H'E8220470	32
	Channel Extension Register 9/9S	CHEXT_9	CHEXT_9S	RW	H'00000000	H'E8226474	H'E8220474	32
	Next Link Address Register 9/9S	NXLA_9	NXLA_9S	RW	H'00000000	H'E8226478	H'E8220478	32
	Current Link Address Register 9/9S	CRLA_9	CRLA_9S	R	H'00000000	H'E822647C	H'E822047C	32

チャネル	レジスタ名	略称		R/W	初期値	アドレス		アクセスサイズ
		ノンセキュア	セキュア			ノンセキュア	セキュア	
10	Next0 Source Address Register 10/10S	N0SA_10	N0SA_10S	RW	H'00000000	H'E8226480	H'E8220480	32
	Next0 Destination Address Register 10/10S	N0DA_10	N0DA_10S	RW	H'00000000	H'E8226484	H'E8220484	32
	Next0 Transaction Byte Register 10/10S	N0TB_10	N0TB_10S	RW	H'00000000	H'E8226488	H'E8220488	32
	Next1 Source Address Register 10/10S	N1SA_10	N1SA_10S	RW	H'00000000	H'E822648C	H'E822048C	32
	Next1 Destination Address Register 10/10S	N1DA_10	N1DA_10S	RW	H'00000000	H'E8226490	H'E8220490	32
	Next1 Transaction Byte Register 10/10S	N1TB_10	N1TB_10S	RW	H'00000000	H'E8226494	H'E8220494	32
	Current Source Address Register 10/10S	CRSA_10	CRSA_10S	R	H'00000000	H'E8226498	H'E8220498	32
	Current Destination Address Register 10/10S	CRDA_10	CRDA_10S	R	H'00000000	H'E822649C	H'E822049C	32
	Current Transaction Byte Register 10/10S	CRTB_10	CRTB_10S	R	H'00000000	H'E82264A0	H'E82204A0	32
	Channel Status Register 10/10S	CHSTAT_10	CHSTAT_10S	R	H'00000000	H'E82264A4	H'E82204A4	32
	Channel Control Register 10/10S	CHCTRL_10	CHCTRL_10S	RW	H'00000000	H'E82264A8	H'E82204A8	32
	Channel Configuration Register 10/10S	CHCFG_10	CHCFG_10S	RW	H'00000000	H'E82264AC	H'E82204AC	32
	Channel Interval Register 10/10S	CHITVL_10	CHITVL_10S	RW	H'00000000	H'E82264B0	H'E82204B0	32
	Channel Extension Register 10/10S	CHEXT_10	CHEXT_10S	RW	H'00000000	H'E82264B4	H'E82204B4	32
	Next Link Address Register 10/10S	NXLA_10	NXLA_10S	RW	H'00000000	H'E82264B8	H'E82204B8	32
	Current Link Address Register 10/10S	CRLA_10	CRLA_10S	R	H'00000000	H'E82264BC	H'E82204BC	32
11	Next0 Source Address Register 11/11S	N0SA_11	N0SA_11S	RW	H'00000000	H'E82264C0	H'E82204C0	32
	Next0 Destination Address Register 11/11S	N0DA_11	N0DA_11S	RW	H'00000000	H'E82264C4	H'E82204C4	32
	Next0 Transaction Byte Register 11/11S	N0TB_11	N0TB_11S	RW	H'00000000	H'E82264C8	H'E82204C8	32
	Next1 Source Address Register 11/11S	N1SA_11	N1SA_11S	RW	H'00000000	H'E82264CC	H'E82204CC	32
	Next1 Destination Address Register 11/11S	N1DA_11	N1DA_11S	RW	H'00000000	H'E82264D0	H'E82204D0	32
	Next1 Transaction Byte Register 11/11S	N1TB_11	N1TB_11S	RW	H'00000000	H'E82264D4	H'E82204D4	32
	Current Source Address Register 11/11S	CRSA_11	CRSA_11S	R	H'00000000	H'E82264D8	H'E82204D8	32
	Current Destination Address Register 11/11S	CRDA_11	CRDA_11S	R	H'00000000	H'E82264DC	H'E82204DC	32
	Current Transaction Byte Register 11/11S	CRTB_11	CRTB_11S	R	H'00000000	H'E82264E0	H'E82204E0	32
	Channel Status Register 11/11S	CHSTAT_11	CHSTAT_11S	R	H'00000000	H'E82264E4	H'E82204E4	32
	Channel Control Register 11/11S	CHCTRL_11	CHCTRL_11S	RW	H'00000000	H'E82264E8	H'E82204E8	32
	Channel Configuration Register 11/11S	CHCFG_11	CHCFG_11S	RW	H'00000000	H'E82264EC	H'E82204EC	32
	Channel Interval Register 11/11S	CHITVL_11	CHITVL_11S	RW	H'00000000	H'E82264F0	H'E82204F0	32
	Channel Extension Register 11/11S	CHEXT_11	CHEXT_11S	RW	H'00000000	H'E82264F4	H'E82204F4	32
	Next Link Address Register 11/11S	NXLA_11	NXLA_11S	RW	H'00000000	H'E82264F8	H'E82204F8	32
	Current Link Address Register 11/11S	CRLA_11	CRLA_11S	R	H'00000000	H'E82264FC	H'E82204FC	32

チャネル	レジスタ名	略称		R/W	初期値	アドレス		アクセスサイズ
		ノンセキュア	セキュア			ノンセキュア	セキュア	
12	Next0 Source Address Register 12/12S	N0SA_12	N0SA_12S	RW	H'00000000	H'E8226500	H'E8220500	32
	Next0 Destination Address Register 12/12S	N0DA_12	N0DA_12S	RW	H'00000000	H'E8226504	H'E8220504	32
	Next0 Transaction Byte Register 12/12S	N0TB_12	N0TB_12S	RW	H'00000000	H'E8226508	H'E8220508	32
	Next1 Source Address Register 12/12S	N1SA_12	N1SA_12S	RW	H'00000000	H'E822650C	H'E822050C	32
	Next1 Destination Address Register 12/12S	N1DA_12	N1DA_12S	RW	H'00000000	H'E8226510	H'E8220510	32
	Next1 Transaction Byte Register 12/12S	N1TB_12	N1TB_12S	RW	H'00000000	H'E8226514	H'E8220514	32
	Current Source Address Register 12/12S	CRSA_12	CRSA_12S	R	H'00000000	H'E8226518	H'E8220518	32
	Current Destination Address Register 12/12S	CRDA_12	CRDA_12S	R	H'00000000	H'E822651C	H'E822051C	32
	Current Transaction Byte Register 12/12S	CRTB_12	CRTB_12S	R	H'00000000	H'E8226520	H'E8220520	32
	Channel Status Register 12/12S	CHSTAT_12	CHSTAT_12S	R	H'00000000	H'E8226524	H'E8220524	32
	Channel Control Register 12/12S	CHCTRL_12	CHCTRL_12S	RW	H'00000000	H'E8226528	H'E8220528	32
	Channel Configuration Register 12/12S	CHCFG_12	CHCFG_12S	RW	H'00000000	H'E822652C	H'E822052C	32
	Channel Interval Register 12/12S	CHITVL_12	CHITVL_12S	RW	H'00000000	H'E8226530	H'E8220530	32
	Channel Extension Register 12/12S	CHEXT_12	CHEXT_12S	RW	H'00000000	H'E8226534	H'E8220534	32
	Next Link Address Register 12/12S	NXLA_12	NXLA_12S	RW	H'00000000	H'E8226538	H'E8220538	32
	Current Link Address Register 12/12S	CRLA_12	CRLA_12S	R	H'00000000	H'E822653C	H'E822053C	32
13	Next0 Source Address Register 13/13S	N0SA_13	N0SA_13S	RW	H'00000000	H'E8226540	H'E8220540	32
	Next0 Destination Address Register 13/13S	N0DA_13	N0DA_13S	RW	H'00000000	H'E8226544	H'E8220544	32
	Next0 Transaction Byte Register 13/13S	N0TB_13	N0TB_13S	RW	H'00000000	H'E8226548	H'E8220548	32
	Next1 Source Address Register 13/13S	N1SA_13	N1SA_13S	RW	H'00000000	H'E822654C	H'E822054C	32
	Next1 Destination Address Register 13/13S	N1DA_13	N1DA_13S	RW	H'00000000	H'E8226550	H'E8220550	32
	Next1 Transaction Byte Register 13/13S	N1TB_13	N1TB_13S	RW	H'00000000	H'E8226554	H'E8220554	32
	Current Source Address Register 13/13S	CRSA_13	CRSA_13S	R	H'00000000	H'E8226558	H'E8220558	32
	Current Destination Address Register 13/13S	CRDA_13	CRDA_13S	R	H'00000000	H'E822655C	H'E822055C	32
	Current Transaction Byte Register 13/13S	CRTB_13	CRTB_13S	R	H'00000000	H'E8226560	H'E8220560	32
	Channel Status Register 13/13S	CHSTAT_13	CHSTAT_13S	R	H'00000000	H'E8226564	H'E8220564	32
	Channel Control Register 13/13S	CHCTRL_13	CHCTRL_13S	RW	H'00000000	H'E8226568	H'E8220568	32
	Channel Configuration Register 13/13S	CHCFG_13	CHCFG_13S	RW	H'00000000	H'E822656C	H'E822056C	32
	Channel Interval Register 13/13S	CHITVL_13	CHITVL_13S	RW	H'00000000	H'E8226570	H'E8220570	32
	Channel Extension Register 13/13S	CHEXT_13	CHEXT_13S	RW	H'00000000	H'E8226574	H'E8220574	32
	Next Link Address Register 13/13S	NXLA_13	NXLA_13S	RW	H'00000000	H'E8226578	H'E8220578	32
	Current Link Address Register 13/13S	CRLA_13	CRLA_13S	R	H'00000000	H'E822657C	H'E822057C	32

チャネル	レジスタ名	略称		R/W	初期値	アドレス		アクセスサイズ
		ノンセキュア	セキュア			ノンセキュア	セキュア	
14	Next0 Source Address Register 14/14S	N0SA_14	N0SA_14S	RW	H'00000000	H'E8226580	H'E8220580	32
	Next0 Destination Address Register 14/14S	N0DA_14	N0DA_14S	RW	H'00000000	H'E8226584	H'E8220584	32
	Next0 Transaction Byte Register 14/14S	N0TB_14	N0TB_14S	RW	H'00000000	H'E8226588	H'E8220588	32
	Next1 Source Address Register 14/14S	N1SA_14	N1SA_14S	RW	H'00000000	H'E822658C	H'E822058C	32
	Next1 Destination Address Register 14/14S	N1DA_14	N1DA_14S	RW	H'00000000	H'E8226590	H'E8220590	32
	Next1 Transaction Byte Register 14/14S	N1TB_14	N1TB_14S	RW	H'00000000	H'E8226594	H'E8220594	32
	Current Source Address Register 14/14S	CRSA_14	CRSA_14S	R	H'00000000	H'E8226598	H'E8220598	32
	Current Destination Address Register 14/14S	CRDA_14	CRDA_14S	R	H'00000000	H'E822659C	H'E822059C	32
	Current Transaction Byte Register 14/14S	CRTB_14	CRTB_14S	R	H'00000000	H'E82265A0	H'E82205A0	32
	Channel Status Register 14/14S	CHSTAT_14	CHSTAT_14S	R	H'00000000	H'E82265A4	H'E82205A4	32
	Channel Control Register 14/14S	CHCTRL_14	CHCTRL_14S	RW	H'00000000	H'E82265A8	H'E82205A8	32
	Channel Configuration Register 14/14S	CHCFG_14	CHCFG_14S	RW	H'00000000	H'E82265AC	H'E82205AC	32
	Channel Interval Register 14/14S	CHITVL_14	CHITVL_14S	RW	H'00000000	H'E82265B0	H'E82205B0	32
	Channel Extension Register 14/14S	CHEXT_14	CHEXT_14S	RW	H'00000000	H'E82265B4	H'E82205B4	32
	Next Link Address Register 14/14S	NXLA_14	NXLA_14S	RW	H'00000000	H'E82265B8	H'E82205B8	32
	Current Link Address Register 14/14S	CRLA_14	CRLA_14S	R	H'00000000	H'E82265BC	H'E82205BC	32
15	Next0 Source Address Register 15/15S	N0SA_15	N0SA_15S	RW	H'00000000	H'E82265C0	H'E82205C0	32
	Next0 Destination Address Register 15/15S	N0DA_15	N0DA_15S	RW	H'00000000	H'E82265C4	H'E82205C4	32
	Next0 Transaction Byte Register 15/15S	N0TB_15	N0TB_15S	RW	H'00000000	H'E82265C8	H'E82205C8	32
	Next1 Source Address Register 15/15S	N1SA_15	N1SA_15S	RW	H'00000000	H'E82265CC	H'E82205CC	32
	Next1 Destination Address Register 15/15S	N1DA_15	N1DA_15S	RW	H'00000000	H'E82265D0	H'E82205D0	32
	Next1 Transaction Byte Register 15/15S	N1TB_15	N1TB_15S	RW	H'00000000	H'E82265D4	H'E82205D4	32
	Current Source Address Register 15/15S	CRSA_15	CRSA_15S	R	H'00000000	H'E82265D8	H'E82205D8	32
	Current Destination Address Register 15/15S	CRDA_15	CRDA_15S	R	H'00000000	H'E82265DC	H'E82205DC	32
	Current Transaction Byte Register 15/15S	CRTB_15	CRTB_15S	R	H'00000000	H'E82265E0	H'E82205E0	32
	Channel Status Register 15/15S	CHSTAT_15	CHSTAT_15S	R	H'00000000	H'E82265E4	H'E82205E4	32
	Channel Control Register 15/15S	CHCTRL_15	CHCTRL_15S	RW	H'00000000	H'E82265E8	H'E82205E8	32
	Channel Configuration Register 15/15S	CHCFG_15	CHCFG_15S	RW	H'00000000	H'E82265EC	H'E82205EC	32
	Channel Interval Register 15/15S	CHITVL_15	CHITVL_15S	RW	H'00000000	H'E82265F0	H'E82205F0	32
	Channel Extension Register 15/15S	CHEXT_15	CHEXT_15S	RW	H'00000000	H'E82265F4	H'E82205F4	32
	Next Link Address Register 15/15S	NXLA_15	NXLA_15S	RW	H'00000000	H'E82265F8	H'E82205F8	32
	Current Link Address Register 15/15S	CRLA_15	CRLA_15S	R	H'00000000	H'E82265FC	H'E82205FC	32
8-15共通	DMA Control Registers 8-15/8-15S	DCTRL_8_15	DCTRL_8_15S	R	H'00000000	H'E8226700	H'E8220700	32
	DMA Status EN Registers 8-15/8-15S	DSTAT_EN_8_15	DSTAT_EN_8_15S	R	H'00000000	H'E8226710	H'E8220710	32
	DMA Status ER Registers 8-15/8-15S	DSTAT_ER_8_15	DSTAT_ER_8_15S	R	H'00000000	H'E8226714	H'E8220714	32
	DMA Status END Registers 8-15/8-15S	DSTAT_END_8_15	DSTAT_END_8_15S	R	H'00000000	H'E8226718	H'E8220718	32
	DMA Status TC Registers 8-15/8-15S	DSTAT_TC_8_15	DSTAT_TC_8_15S	R	H'00000000	H'E822671C	H'E822071C	32
	DMA Status SUS Registers 8-15/8-15S	DSTAT_SUS_8_15	DSTAT_SUS_8_15S	R	H'00000000	H'E8226720	H'E8220720	32
0/1	DMA拡張リソースセレクタ 0/0S	DMARS0	DMARS0S	RW	H'00000000	H'FCFE2000	H'FCFE1000	32
2/3	DMA拡張リソースセレクタ 1/1S	DMARS1	DMARS1S	RW	H'00000000	H'FCFE2004	H'FCFE1004	32

チャネル	レジスタ名	略称		R/W	初期値	アドレス		アクセスサイズ
		ノンセキュア	セキュア			ノンセキュア	セキュア	
4/5	DMA 拡張リソースセレクタ 2/2S	DMARS2	DMARS2S	RW	H'00000000	H'FCFE2008	H'FCFE1008	32
6/7	DMA 拡張リソースセレクタ 3/3S	DMARS3	DMARS3S	RW	H'00000000	H'FCFE200C	H'FCFE100C	32
8/9	DMA 拡張リソースセレクタ 4/4S	DMARS4	DMARS4S	RW	H'00000000	H'FCFE2010	H'FCFE1010	32
10/11	DMA 拡張リソースセレクタ 5/5S	DMARS5	DMARS5S	RW	H'00000000	H'FCFE2014	H'FCFE1014	32
12/13	DMA 拡張リソースセレクタ 6/6S	DMARS6	DMARS6S	RW	H'00000000	H'FCFE2018	H'FCFE1018	32
14/15	DMA 拡張リソースセレクタ 7/7S	DMARS7	DMARS7S	RW	H'00000000	H'FCFE201C	H'FCFE101C	32

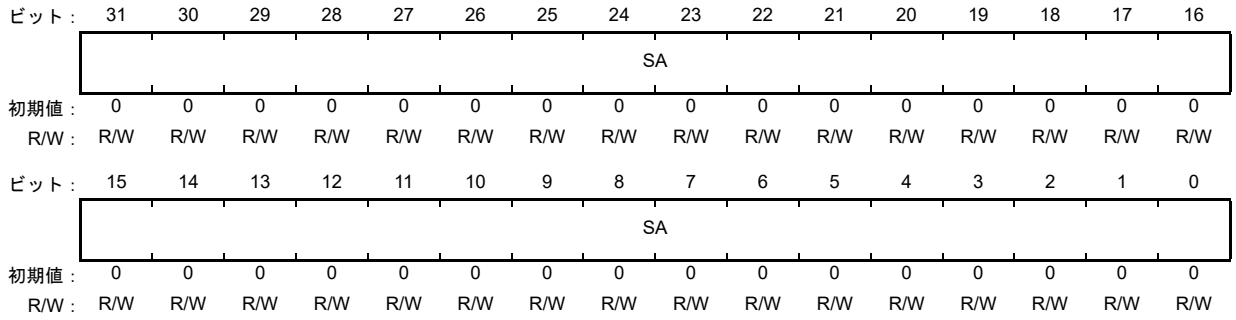
9.4.1 Next Source Address Register n/nS (N0SA_n/nS、N1SA_n/nS)

次に実行するDMAチャネルnのDMA転送元アドレス（32ビット）を設定します（n = 0 ～ 15）。

N0SA_n/nSはNext0 Register Set用、N1SA_n/nSはNext1 Register Set用です。

レジスタ・モードではソフトウェアで設定します。リンク・モードでは、ディスクリプタ・リード・データが自動的にNext0レジスタ・セットにセットされます。

これらレジスタ･セットの値は、Currentレジスタ・セットにロードされ、DMA転送に使用されます。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	SA	すべて0	R/W	Source Address DMA転送元の開始アドレスを設定します。

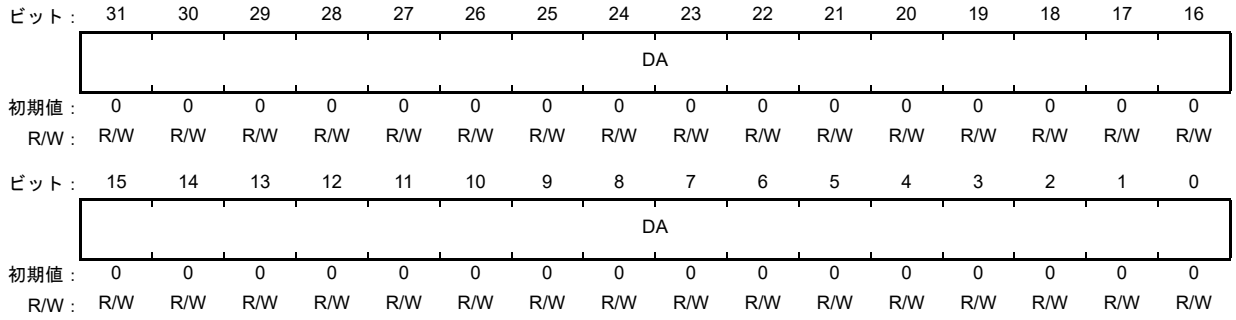
9.4.2 Next Destination Address Register n/nS (N0DA_n/nS、N1DA_n/nS)

次に実行するDMAチャネルnのDMA転送先アドレス（32ビット）を設定します（n = 0 ～ 15）。

N0DA_n/nSはNext0 Register Set用、N1DA_n/nSはNext1 Register Set用です。

レジスタ・モードではソフトウェアで設定します。リンク・モードでは、ディスクリプタ・リード・データが自動的にNext0レジスタ・セットにセットされます。

これらレジスタ･セットの値は、Currentレジスタ・セットにロードされ、DMA転送に使用されます。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	DA	すべて0	R/W	Destination Address DMA転送先の開始アドレスを設定します。

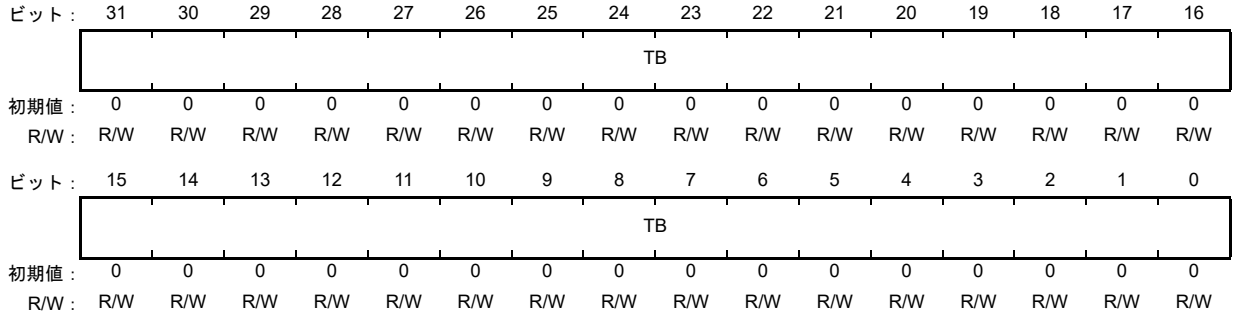
9.4.3 Next Transaction Byte Register n/nS (N0TB_n/nS、N1TB_n/nS)

次に実行するDMAチャネルnの総転送バイト数（DMAトランザクション）を設定するレジスタです（n = 0 ～ 15）。

N0TB_n/nSはNext0 Register Set用、N1TB_n/nSはNext1 Register Set用です。

レジスタ・モードではソフトウェアで設定します。リンク・モードでは、ディスクリプタ・リード・データが自動的にNext0レジスタ・セットにセットされます。

これらレジスタ･セットの値は、Currentレジスタ・セットにロードされ、DMA転送に使用されます。

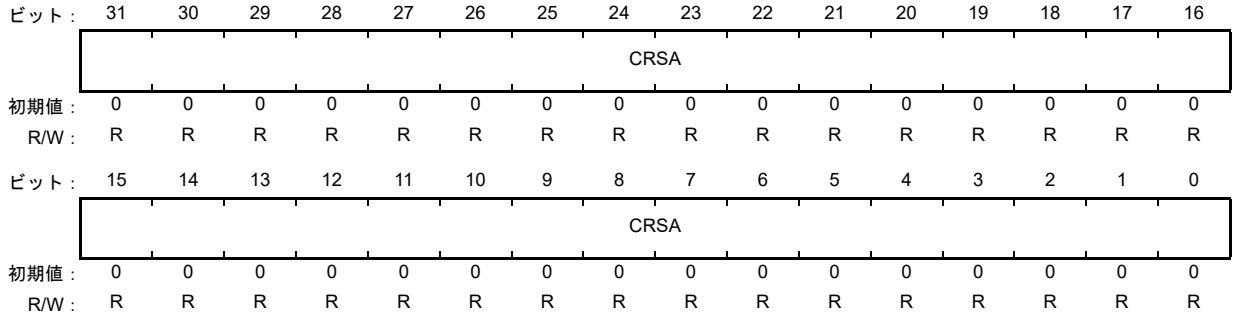


ビット	ビット名	初期値	R/W	説明
31 ～ 0	TB	すべて0	R/W	Transaction Byte 総転送バイト数を設定します。 注.　0を設定した状態でDMAトランザクションを開始しないでください。

9.4.4 Current Source Address Register n/nS (CRSA_n/nS)

DMAチャネルnの、DMA転送元アドレスを表示します（n = 0 ～ 15）。

レジスタ・モード時はNext0/1レジスタ・セットから設定値を、リンク・モード時はディスクリプタ・リード・データから設定値をロードします。ソフトウェアでの書き込みはできません。

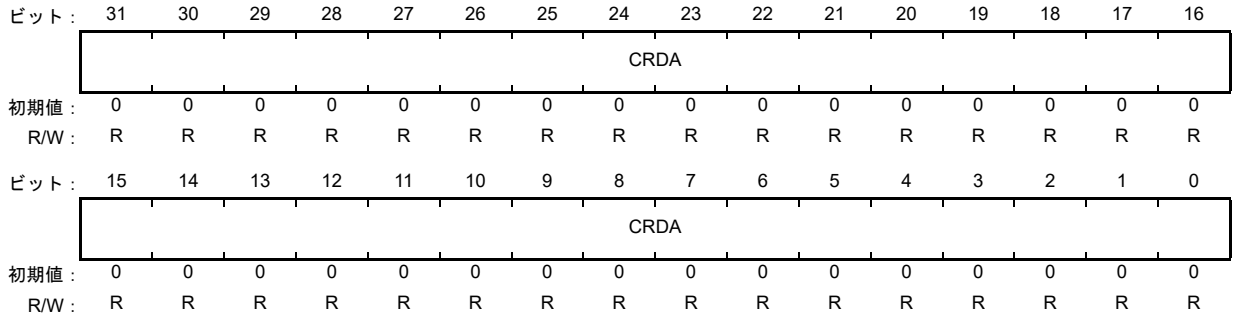


ビット	ビット名	初期値	R/W	説明
31 ～ 0	CRSA	すべて0	R	Current Source Address Register 次のDMAトランザクションのリード・アドレスを表示します。 DMAトランザクション中は、自動的にインクリメントします（CHCFG_n/nSのSAD = 1の場合は固定）。 インクリメントはリード・トランスファ開始時に行います。 本レジスタは、DMA停止（CHSTAT_n/nSレジスタのEN = 0）してからリードしてください（DMA動作中は参考値として扱ってください）。

9.4.5 Current Destination Address Register n/nS (CRDA_n/nS)

DMA チャネル n の DMA 転送先アドレスを表示します（n = 0 ～ 15）。

レジスタ・モード時は Next0/1 レジスタ・セットから設定値を、リンク・モード時はディスクリプタ・リード・データから設定値をロードします。ソフトウェアでの書き込みはできません。

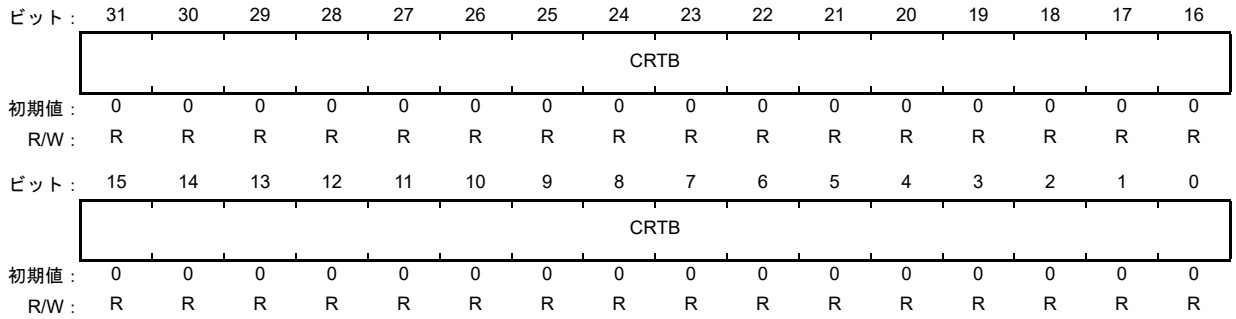


ビット	ビット名	初期値	R/W	説明
31 ～ 0	CRDA	すべて 0	R	Current Destination Address Register 次の DMA トランザクションのライト・アドレスを表示します。 DMA トランザクション中は、自動的にインクリメントします（CHCFG_n/nS の DAD = 1 の場合は固定）。 インクリメントはライト・トランスファ開始時に行います。 本レジスタは、DMA 停止（CHSTAT_n/nS レジスタの EN = 0）してからリードしてください（DMA 動作中は参考値として扱ってください）。

9.4.6 Current Transaction Byte Register n/nS (CRTB_n/nS)

DMA チャネル n の、総転送バイト数を表示します（n = 0 ～ 15）。転送終了時には 0 となります。

レジスタ・モード時は Next0/1 レジスタ・セットから設定値を、リンク・モード時はディスクリプタ・リード・データから設定値をロードします。ソフトウェアでの書き込みはできません。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	CRTB	すべて 0	R	Current Transaction Byte Register 現在実行している DMA トランザクションの、残りの転送バイト数を表示します。 DMA トランザクション中は、自動的にデクリメントします。 デクリメントはライト・トランスファ完了時に行います。 本レジスタは、DMA 停止（CHSTAT_n/nS レジスタの EN = 0）してからリードしてください（DMA 動作中は参考値として扱ってください）。

9.4.7 Channel Status Register n/nS (CHSTAT_n/nS)

DMA チャネル n の状態を表示するレジスタです（n = 0 ～ 15）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTMSK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MODE	DER	DW	DL	SR	TC	END	ER	SUS	TACT	RQST	EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 17	—	すべて 0	R	リザーブ領域です。0を設定してください。読み出すと0が読めます。
16	INTMSK	0	R	DMA転送終了割り込みの一時マスク状態を表示します。 1：一時マスク状態 0：一時マスク解除状態 セット条件： • SETINTMSK（CHCTRL_n/nS）に1ライト時 リセット条件： • CLRINTMSK（CHCTRL_n/nS）に1ライト時 • SWRST（CHCTRL_n/nS）に1ライト時
15 ～ 12	—	すべて 0	R	リザーブ領域です。0を設定してください。読み出すと0が読めます。
11	MODE	0	R	DMA Mode DMAモードを示します。CHCFG_n/nSレジスタのDMSビットの設定値を表示します。 0：レジスタ・モード 1：リンク・モード
10	DER	0	R	Descriptor Error リードしたディスクリプタのバリッドがインバリッド（LV = 0）であったことを示します（ディスクリプタのDIMのレベルには依存しません）。ディスクリプタエラー発生時は転送中止しますが、DMAエラー割り込みは発生しません。 0：Descriptor Error 未発生 1：Descriptor Error 発生 セット条件： • リンク・モードのディスクリプタ・ロードのLVが0 リセット条件： • SWRST (CHCTRL_n/nS) に1ライト時
9	DW	0	R	Descriptor WriteBack ディスクリプタ・ライト・バック状態であることを示します。また、ディスクリプタ・ライト・バック時にバス・エラーを受けた場合、1を保持します。 0：リンク・モードのheaderをライト・バック以外 1：（ER = 0時） 　リンク・モードのheaderをライト・バック中 （ER = 1時） 　リンク・モードのheaderをライト・バック中にバス・エラーが発生 セット条件： • リンク・モードのheaderをライト・バック開始時 リセット条件： • リンク・モードのheaderライト・バックがOKレスポンスで終了 • SWRST (CHCTRL_n/nS) に1ライト時

ビット	ビット名	初期値	R/W	説明
8	DL	0	R	Descriptor Load ディスクリプタ・ロード状態であることを示します。また、ディスクリプタ・ロード時にバス・エラーを受けた場合、1を保持します。 0：ディスクリプタ・ロード以外 1：（ER = 0時） リンク・モードのディスクリプタ・ロード中 （ER = 1時） リンク・モードのディスクリプタ・ロード中にバス・エラーが発生 セット条件： • リンク・モードのディスクリプタ・ロード開始時 リセット条件： • リンク・モードのディスクリプタ・ロードがOKレスポンスで終了 • SWRST（CHCTRL_n/nS）に1ライト時
7	SR	0	R	Selected Register Set レジスタ・モード時、選択しているレジスタ・セットを示します。 0：Next0 Register Set 1：Next1 Register Set セット条件： • RSEL（CHCFG_n/nS）に1ライト時 リセット条件： • RSEL（CHCFG_n/nS）に0ライト時
6	TC	0	R	Terminal Count DMAトランザクションが完了したことを示すステータス・ビットです。 0：DMA転送未了 1：DMA転送完了 セット条件： • レジスタ・モードで、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 • リンク・モードで、ディスクリプタのheaderのWBD = 1で、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 • リンク・モードで、ディスクリプタのheaderのWBD = 0で、ディスクリプタ・ライト・バックが終了した場合 クリア条件： • CLRTC（CHCTRL_n/nS）に1ライト時 • SWRST（CHCTRL_n/nS）に1ライト時
5	END	0	R	DMAEND Interrupted DMAトランザクションが完了し、DMA転送終了割り込みが発生したことを示すビットです。 0：DMA転送未了 1：DMA転送完了 セット条件： • TCビットのセット条件、かつCHCFG_n/nSレジスタのDEM = 0の場合 • リンク・モードで、ディスクリプタREAD時に、headerのLV = 0、かつDIM = 0の場合 クリア条件： • CLREND（CHCTRL_n/nS）に1ライト時 • SWRST（CHCTRL_n/nS）に1ライト時
4	ER	0	R	Error bit DMA転送中に、転送元または転送先からERRORレスポンスを受け、バス・エラーが発生した結果、DMAエラー割り込みが発生したことを示します。 0：バス・エラーは発生していない 1：バス・エラーによる、DMAエラー割り込みが発生 セット条件： • バス・サイクルでバス・エラーが発生した場合 クリア条件： • SWRST（CHCTRL_n/nS）に1ライト時

ビット	ビット名	初期値	R/W	説明
3	SUS	0	R	Suspend チャネルが一時停止状態にあることを示すビットです。 0：Channel_nが一時停止状態でない 1：Channel_nが一時停止中 セット条件： • Channel_nのDMA転送実行中にSETSUS（CHCTRL_n/nS）に1ライトし、内部がSUSPEND状態になった場合 クリア条件： • CLRSUS（CHCTRL_n/nS）に1ライト時 • CLREN（CHCTRL_n/nS）に1ライト時
2	TACT	0	R	Transaction Active DMACが動作中であることを示すビットです。チャネルが完全に停止していることを確認するためのビットです。 0：Channel_nのDMAが停止状態 1：Channel_nのDMAが動作中 セット条件： • Channel_nのDMAトランザクション開始時 クリア条件： • DMAトランザクション完了時
1	RQST	0	R	Request 転送要求を受け付けていることを示すビットです。 0：DMA転送要求を受けていない 1：DMA転送要求を受けている セット条件： • STG（CHCTRL_n/nS）に1ライト時（オートリクエスト時） • CHCFG_n/nSレジスタで設定したDMA要求元から、転送要求を受け付けた場合 クリア条件： • SWRST（CHCTRL_n/nS）に1ライト時 • CLRRQ（CHCTRL_n/nS）に1ライト時 • シングル転送（TM = 0）モードで、REQD（CHCFG_n/nS）で指定した側の転送実行時 • レジスタ・モードで、すべてのDMAトランザクションが完了した場合（REN = 0でトランザクション完了） • リンク・モードで、最後のディスクリプタ（LE = 1）のDMA転送を終了した場合 • リンク・モードで、ディスクリプタ読み込みで停止（LV = 0）した場合 • リンク・モードで、DEM = 0の状態で、DMAトランザクションを終了した場合 • エラーレスポンスによるバス・エラーを受けた場合
0	EN	0	R	Enable DMAチャネルnの動作許可／停止状態を表示します。 0：動作停止状態 1：動作許可状態 セット条件： • SETEN（CHCTRL_n/nS）に1ライト時 クリア条件： • SWRST（CHCTRL_n/nS）に1ライト時 • CLREN（CHCTRL_n/nS）に1ライト時 • 転送中にエラー・レスポンスによるバス・エラーを受けた場合 • レジスタ・モードですべてのDMAトランザクションが完了した場合（REN = 0でトランザクション完了） • リンク・モードで、最後のディスクリプタ（LE = 1）のDMA転送（WBD = 0の場合はライトバック）を終了した場合 • リンク・モードのディスクリプタ読み込みで停止（LV = 0）した場合

注．　ERビットがセットされた転送は、その一連の転送が無効であるものとして処理してください。
DMAトランザクションを中断する場合は、転送要求をマスクおよびクリアするか、イネーブルをクリアすることで行ってください（手順は「9.7.11 (2)　転送中断」に従ってください）。
同一のチャネルに対して周辺モジュールまたは外部DREQ端子による転送要求と、オートリクエストによる転送要求（STGビットのセット）を併用した場合、有効となった起動要因の特定はできません。システムで、いずれかの転送要求のみ使用するようにしてください。
オートリクエストによる転送要求を行う場合、前回要求したDMA転送動作が完了（Current Registerなどで確認）してから、次のSTGビット操作を行ってください。

9.4.8 Channel Control Register n/nS (CHCTRL_n/nS)

DMA チャネル n の DMA 転送動作を制御するレジスタです（n = 0 ～ 15）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRINTMSK	SETINTMSK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CLRSUS	SETSUS	—	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 18	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
17	CLRINTMSK	0	R/W	このビットをセットすることで、DMA 転送終了割り込みをマスクする状態を解除します。また、CHSTAT_n/nS レジスタの INTMSK ビットが 0 となります。 DCTRL レジスタの LVINT = 1、CHSTAT_n/nS レジスタの END = 1 の状態でマスクを解除した場合、DMA 転送終了割り込みがアクティブになります（LVINT = 0 の場合は、アクティブにはなりません）。 リードをすると 0 が読めます。 1：SETINTMSK でセットしたマスクを解除します。 0：動作に影響を与えません。
16	SETINTMSK	0	R/W	このビットをセットすることで、DMA 転送終了割り込みを一時的にマスクする状態となります。また、CHSTAT_n/nS レジスタの INTMSK ビットが 1 となります。 リードをすると 0 が読めます。 1：DMA 転送終了割り込みをマスクします。 0：動作に影響を与えません。
15 ～ 10	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
9	CLRSUS	0	R/W	Clear Suspend 一時停止状態を解除します。CHSTAT_n/nS レジスタの SUS が 1 のときに、このビットを 1 にセットすると、一時停止状態を解除することができます。 このビットをリードすると 0 が読めます。 1：実行中の DMA 転送の一時停止解除 0：動作に影響を与えません。
8	SETSUS	0	R/W	Set Suspend 実行中の DMA 転送を一時停止します。CHSTAT_n/nS レジスタの EN が 1 のときに、このビットを 1 にセットすると、実行中の DMA 転送を一時停止させることができます。 このビットをリードすると 0 が読めます。 1：実行中の DMA 転送の一時停止 0：動作に影響を与えません。
7	—	0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
6	CLRTC	0	R/W	Clear TC bit このビットをセットすることで、CHSTAT_n/nS レジスタの TC ビットのクリアを行うことができます。このビットをリードすると 0 が読めます。 1：TC ビットのクリア 0：動作に影響を与えません。
5	CLREND	0	R/W	Clear End bit このビットをセットすることで、CHSTAT_n/nS レジスタの END ビットのクリアを行うことができます。 また、DMA 転送終了割り込みをクリアします。 このビットをリードすると 0 が読めます。 1：END ビットのクリア 0：動作に影響を与えません。

ビット	ビット名	初期値	R/W	説明
4	CLRRQ	0	R/W	Clear Request bit このビットをセットすることで、CHSTAT_n/nSレジスタのRQSTビットのクリアを行うことができます。 このビットをリードすると0が読めます。 1：RQSTビットのクリア 0：動作に影響を与えません。
3	SWRST	0	R/W	Software Reset このビットをセットすることで、チャネルステータス・レジスタ（CHSTAT_n/nS）をクリアすることができます。このビットのセットは、ENビットが0かつTACTビットが0のときに行ってください。 このビットをリードすると0が読めます。 1：チャネル・ステータス・レジスタのリセット 0：動作に影響を与えません。
2	STG	0	R/W	Software Trigger このビットをセットすることで、オートリクエストをセットします。SWRSTビットと同時にセットした場合には、SWRSTビットによるクリアが優先されます。 このビットをリードすると0が読めます。 1：オートリクエストによる転送要求のセット（RQSTビットをセット） 0：動作に影響を与えません。
1	CLREN	0	R/W	Clear Enable このビットをセットすることで、ENビットのクリアを行うことができます（詳細は「9.7.11 (2)　転送中断」参照）。 このビットをリードすると0が読めます。 1：DMA転送の停止（ENビットをクリア） 0：動作に影響を与えません。
0	SETEN	0	R/W	Set Enable DMAチャネルnのDMA転送の許可を設定します。SWRSTビットと同時にセットした場合には、SWRSTビットによるクリアが優先され、転送は開始しません。 このビットをリードすると0が読めます。 1：DMA転送の許可（ENビットをセット） 0：動作に影響を与えません。

9.4.9 Channel Configuration Register n/nS (CHCFG_n/nS)

DMA チャネル n の DMA 転送動作を制御するレジスタです（n = 0 ～ 15）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMS	REN	RSW	RSEL	SBE	—	—	DEM	—	TM	DAD	SAD	DDS[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDS[3:0]				—	AM[2:0]			—	LVL	HIEN	LOEN	REQD	SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	DMS	0	R/W	DMA Mode Select DMAモードを設定します。 0：レジスタ・モード（初期値） 1：リンク・モード
30	REN	0	R/W	Register Set Enable DMA トランザクション完了後に、続けて、RSELで選択されているNextレジスタ・セットでDMA転送を行います。このビットはレジスタ・モード時のみ有効です。 0：続けて実行しない 1：続けて実行する セット条件 ・ 本ビットへ1をライト クリア条件 ・ 本ビットへ0をライト ・ REN = 1でDMA トランザクション完了時
29	RSW	0	R/W	Register Select Switch DMA トランザクション終了後に、RSELを自動で反転します。このビットはレジスタ・モード時のみ有効です。 0：DMA トランザクション完了後にRSELを反転しない（初期値） 1：DMA トランザクション完了後にRSELを反転する
28	RSEL	0	R/W	Register Set Select 次に実行するNextレジスタ・セットを選択します。このビットはレジスタ・モード時のみ有効です。 RSW = 1の場合、DMA トランザクション完了時に自動的に反転します。 0：Next0 Register Setを実行する（初期値） 1：Next1 Register Setを実行する 遷移条件： ・ RSW = 1でDMA トランザクション完了時
27	SBE	0	R/W	Sweep Buffer Enable DMA トランザクション中にイネーブルを0にクリアした場合、すでにリードしてバッファに取り込んでいるデータを掃き出して（ライトして）停止するか否かを選択します。 REQD = 0の場合のみ、掃き出しモードを使用することができます。 0：バッファの掃き出しをしないで転送中止（初期値） 1：バッファの掃き出しをして転送中止
26、25	—	すべて0	R	リザーブ領域です。0を設定してください。読み出すと0が読めます。
24	DEM	0	R/W	DMA転送終了割り込みMask レジスタ・モードの転送時にDMA転送終了割り込みをマスクします。 DMA転送終了割り込みの出力タイミングでこのビットが1だった場合、DMA転送終了割り込み信号をアサートしません。このとき、DEMは自動的に0クリアされます。 0：マスクしない（初期値） 1：マスクする クリア条件： ・ DEM = 1でDMA トランザクション完了時

<table>
<tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説明</th></tr>
<tr><td>23</td><td>—</td><td>0</td><td>R</td><td>リザーブ領域です。0を設定してください。読み出すと0が読めます。</td></tr>
<tr><td>22</td><td>TM</td><td>0</td><td>R/W</td><td>Transfer Mode
DMA転送モードを設定します。
0：シングル転送モード（初期値）
1：ブロック転送モード</td></tr>
<tr><td>21</td><td>DAD</td><td>0</td><td>R/W</td><td>DMAチャネルnの転送先アドレスのカウント方向を設定します。
0：インクリメント（初期値）
1：固定</td></tr>
<tr><td>20</td><td>SAD</td><td>0</td><td>R/W</td><td>DMAチャネルnの転送元アドレスのカウント方向を設定します。
0：インクリメント（初期値）
1：固定</td></tr>
<tr><td>19 ～ 16</td><td>DDS[3:0]</td><td>0000</td><td>R/W</td><td>Destination Data Size
転送先DMAトランスファ・サイズを設定します。
<table>
<tr><th>設定値</th><th>サイズ</th><th>備考</th></tr>
<tr><td>0000</td><td>8ビット</td><td>初期値</td></tr>
<tr><td>0001</td><td>16ビット</td><td></td></tr>
<tr><td>0010</td><td>32ビット</td><td></td></tr>
<tr><td>0011</td><td>64ビット</td><td></td></tr>
<tr><td>0100</td><td>128ビット</td><td></td></tr>
<tr><td>0101</td><td>256ビット</td><td></td></tr>
<tr><td>0110</td><td>512ビット</td><td></td></tr>
<tr><td>0111</td><td>1024ビット</td><td></td></tr>
<tr><td>上記以外</td><td>—</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>15 ～ 12</td><td>SDS[3:0]</td><td>0000</td><td>R/W</td><td>Source Data Size
転送元DMAトランスファ・サイズを設定します。
<table>
<tr><th>設定値</th><th>サイズ</th><th>備考</th></tr>
<tr><td>0000</td><td>8ビット</td><td>初期値</td></tr>
<tr><td>0001</td><td>16ビット</td><td></td></tr>
<tr><td>0010</td><td>32ビット</td><td></td></tr>
<tr><td>0011</td><td>64ビット</td><td></td></tr>
<tr><td>0100</td><td>128ビット</td><td></td></tr>
<tr><td>0101</td><td>256ビット</td><td></td></tr>
<tr><td>0110</td><td>512ビット</td><td></td></tr>
<tr><td>0111</td><td>1024ビット</td><td></td></tr>
<tr><td>上記以外</td><td>—</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>11</td><td>—</td><td>0</td><td>R</td><td>リザーブ領域です。0を設定してください。読み出すと0が読めます。</td></tr>
<tr><td>10 ～ 8</td><td>AM[2:0]</td><td>000</td><td>R/W</td><td>ACK Mode
DMAACK出力モードを設定します。
000：（初期値）
001：レベル・モード
（選択された周辺モジュールあるいは外部DREQからの転送要求がインアテクィブになるまでアクティブ）
01x：バス・サイクル・モード
（DMA転送がバス・サイクルの間アクティブ）
1xx：DMAACKを出力しない
（STG（CHCTRL_n/nS）によるオートリクエスト時、またはSCIFA転送時に設定してください）</td></tr>
<tr><td>7</td><td>—</td><td>0</td><td>R</td><td>リザーブ領域です。0を設定してください。読み出すと0が読めます。</td></tr>
</table>

ビット	ビット名	初期値	R/W	説明
6	LVL	0	R/W	Level DMA要求を、信号のレベルで検出するかエッジで検出するかを選択します。 0：エッジで検出します（初期値） 1：レベルで検出します
5	HIEN	0	R/W	High Enable DMA要求を、信号のHighレベルか立ち上がりエッジで検出することを選択します。 LVL = 0の場合： HIEN = 1：信号が立ち上がった場合要求があったと認識します HIEN = 0：信号が立ち上がっても要求を認識しません（初期値） LVL = 1の場合： HIEN = 1：信号がHighの場合要求があったと認識します HIEN = 0：信号がHighでも要求を認識しません（初期値）
4	LOEN	0	R/W	Low Enable DMA要求を、信号のLowレベルか立ち下がりエッジで検出することを選択します。 LVL = 0の場合： LOEN = 1：信号が立ち下がった場合要求があったと認識します LOEN = 0：信号が立ち下がっても要求を認識しません（初期値） LVL = 1の場合： LOEN = 1：信号がLowの場合要求があったと認識します LOEN = 0：信号がLowでも要求を認識しません（初期値）
3	REQD	0	R/W	Request Direction SELビットで選択したDMAREQが、ソース側かディスティネーション側のどちらであるかを選択します。また、DMAACKがアクティブになるタイミングもこのビットで選択します。 0：ソース側、DMAACKはリード時にアクティブ（初期値） 1：ディスティネーション側、DMAACKはライト時にアクティブ
2～0	SEL[2:0]	000	R/W	DMACのチャネルを設定するビットです。CHCFG_n/nSのチャネルとSELで設定するチャネルが等しくなるように、以下の値を設定してください。 000：CH0/CH8 001：CH1/CH9 010：CH2/CH10 011：CH3/CH11 100：CH4/CH12 101：CH5/CH13 110：CH6/CH14 111：CH7/CH15

9.4.10 Channel Interval Register n/nS (CHITVL_n/nS)

DMA チャネル n の転送間隔を設定します（n = 0 ～ 15）。

詳細は「9.7.9 **インターバル･カウント機能**」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ITVL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 16	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
15 ～ 0	ITVL	すべて 0	R/W	チャネル転送間隔を設定します。

9.4.11 Channel Extension Register n/nS (CHEXT_n/nS)

DMA チャネル n の拡張用レジスタです（n = 0 ～ 15）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCA[3:0]				—	DPR[2:0]			SCA[3:0]				—	SPR[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

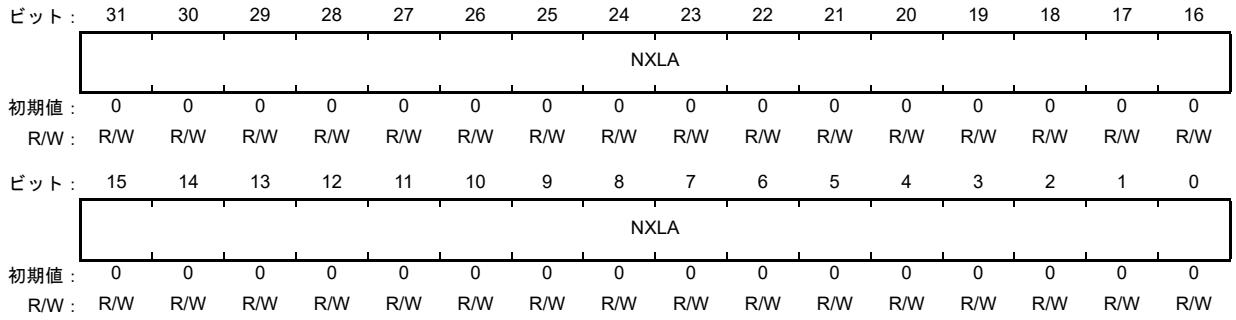
ビット	ビット名	初期値	R/W	説明
31 ～ 16	—	すべて 0	R	0を設定してください。読み出すと0が読めます。
15 ～ 12	DCA[3:0]	0000	R/W	Destination CACHE DMAライト・トランスファのAWCACHE[3:0]に出力する値を設定します。 注1.を参照してください。
11	—	0	R	0を設定してください。読み出すと0が読めます。
10 ～ 8	DPR[2:0]	000	R/W	Destination PROT DMA ライト・トランスファのAWPROT[2:0]に出力する値を設定します。 ノンセキュア用は、DPR[1]ビットの設定にかかわらず、AWPROT[1]に出力される値は"1"に固定されます。 注2.を参照してください。
7 ～ 4	SCA[3:0]	0000	R/W	Source CACHE DMAリード・トランスファのARCACHE[3:0]に出力する値を設定します。 注1.を参照してください。
3	—	0	R	0を設定してください。読み出すと0が読めます。
2 ～ 0	SPR[2:0]	000	R/W	Source PROT DMA リード・トランスファのARPROT[2:0]に出力する値を設定します。 ノンセキュア用は、SPR[1]ビットの設定にかかわらず、ARPROT[1]に出力される値は"1"に固定されます。 注2.を参照してください。

注1.　キャッシュサポート：SCAおよびDCAにて変更できます。
転送先あるいは転送元が外部バス空間以外の場合、0000を設定してください。
外部バス空間の場合でも、2次キャッシュを使用しない場合、0000を設定してください。
この場合、DREQ0転送要求に対するDACK0出力、TEND0出力が発行されます。
外部バス空間で、2次キャッシュを使用する場合にはCACHE[3:0]を設定してください。

注2.　保護ユニットサポート：SPRおよびDPRにて変更できます。
設定値についてはArm 社の「AMBA AXI Protocol Specification」を参照してください。

9.4.12 Next Link Address Register n/nS (NXLA_n/nS)

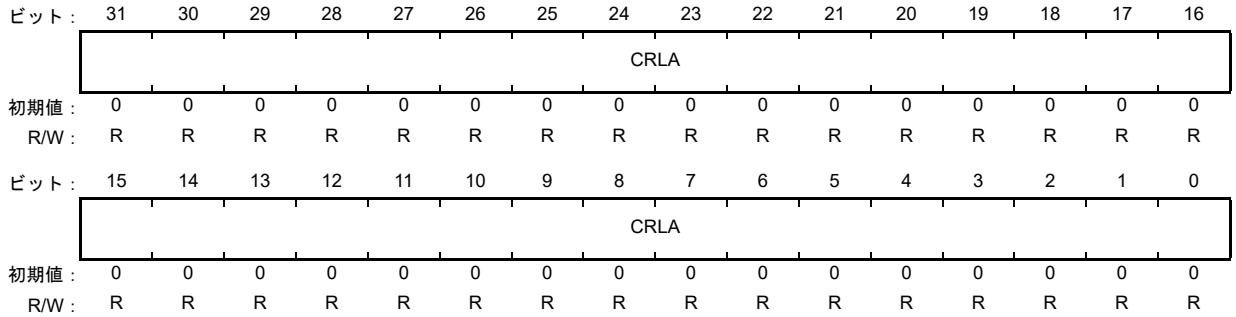
DMA チャネル n のリンク・アドレスを設定する 32 ビット・レジスタです（n = 0 ～ 15）。
リンク・モードについては、「9.6.3　リンク・モード」を参照してください。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	NXLA	すべて 0	R/W	リンク先のアドレスを設定します。下位2ビットは0でマスクされます。4バイト・アラインされたアドレスのみ設定可能です。

9.4.13 Current Link Address Register n/nS (CRLA_n/nS)

DMA チャネル n のリンク・アドレスを表示する 32 ビット・レジスタです（n = 0 ～ 15）。
リンク・モードについては、「9.6.3　リンク・モード」を参照してください。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	CRLA	すべて 0	R	現在実行しているディスクリプタのアドレスが表示されます。

9.4.14 DMA Control Register (DCTRL_0_7/0_7S, DCTRL_8_15/8_15S)

ディスクリプタ・アクセス時の転送タイプ、およびチャネル間のアービトレーションを設定します（DCTRL_0_7/0_7S はチャネル 0 ～ 7 共通、DCTRL_8_15/8_15S はチャネル 8 ～ 15 共通）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LWCA				—	LWPR			LDCA				—	LDPR		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LVINT	PR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 28	LWCA	0000	R/W	Link WriteBack CACHE リンク・モードのディスクリプタ・ライト・バック時にAWCACHE[3:0]に出力する値を設定します。設定値については「9.4.11　Channel Extension Register n/nS (CHEXT_n/nS)」の注.を参照してください。
27	—	0	R	リザーブ領域です。0を設定してください。初期値は0です。
26 ～ 24	LWPR	000	R/W	Link WriteBack PROT リンク・モードのディスクリプタ・ライト・バック時にAWPROT[2:0]に出力する値を設定します。ノンセキュア用は、LWPR[1]ビットの設定にかかわらず、AWPROT[1]に出力される値は"1"に固定されます。 設定値についてはArm 社の「AMBA AXI Protocol Specification」を参照してください。
23 ～ 20	LDCA	0000	R/W	Link Descriptor CACHE リンク・モードのディスクリプタ・ロード時にARCACHE[3:0]に出力する値を設定します。設定値については「9.4.11　Channel Extension Register n/nS (CHEXT_n/nS)」の注.を参照してください。
19	—	0	R	リザーブ領域です。0を設定してください。初期値は0です。
18 ～ 16	LDPR	000	R/W	Link Descriptor PROT リンク・モードのディスクリプタ・ロード時にARPROT[2:0]に出力する値を設定します。ノンセキュア用は、LDPR[1]ビットの設定にかかわらず、ARPROT[1]に出力される値は"1"に固定されます。 設定値についてはArm 社の「AMBA AXI Protocol Specification」を参照してください。
15 ～ 2	—	すべて 0	R	リザーブ領域です。0を設定してください。読み出すと0が読めます。
1	LVINT	0	R/W	DMA転送終了割り込み、DMAエラー割り込みをパルスで出力するか、レベルで出力するかを設定します。本製品ではパルス出力を設定してください。 0：パルス出力（初期値） 1：レベル出力
0	PR	0	R/W	チャネル間の転送優先順位制御モードを設定します（「9.7.2　DMAチャネルの優先順位制御」参照）。 0：固定優先順位モード（初期値） 1：ラウンドロビン・モード

9.4.15 DMA Status EN Register (DSTAT_EN_0_7/0_7S)

CHSTAT_n/nS レジスタ（n = 0 ～ 7）の EN ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
7	EN7	0	R	DMA チャネル 7 の EN ビットの状態を表示します。
6	EN6	0	R	DMA チャネル 6 の EN ビットの状態を表示します。
5	EN5	0	R	DMA チャネル 5 の EN ビットの状態を表示します。
4	EN4	0	R	DMA チャネル 4 の EN ビットの状態を表示します。
3	EN3	0	R	DMA チャネル 3 の EN ビットの状態を表示します。
2	EN2	0	R	DMA チャネル 2 の EN ビットの状態を表示します。
1	EN1	0	R	DMA チャネル 1 の EN ビットの状態を表示します。
0	EN0	0	R	DMA チャネル 0 の EN ビットの状態を表示します。

9.4.16 DMA Status EN Register (DSTAT_EN_8_15/8_15S)

CHSTAT_n/nS レジスタ（n = 8 ～ 15）の EN ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
7	EN15	0	R	DMA チャネル 15 の EN ビットの状態を表示します。
6	EN14	0	R	DMA チャネル 14 の EN ビットの状態を表示します。
5	EN13	0	R	DMA チャネル 13 の EN ビットの状態を表示します。
4	EN12	0	R	DMA チャネル 12 の EN ビットの状態を表示します。
3	EN11	0	R	DMA チャネル 11 の EN ビットの状態を表示します。
2	EN10	0	R	DMA チャネル 10 の EN ビットの状態を表示します。
1	EN9	0	R	DMA チャネル 9 の EN ビットの状態を表示します。
0	EN8	0	R	DMA チャネル 8 の EN ビットの状態を表示します。

9.4.17 DMA Status ER Register (DSTAT_ER_0_7/0_7S)

CHSTAT_n/nS レジスタ（n = 0 ～ 7）の ER ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
7	ER7	0	R	DMA チャネル 7 の ER ビットの状態を表示します。
6	ER6	0	R	DMA チャネル 6 の ER ビットの状態を表示します。
5	ER5	0	R	DMA チャネル 5 の ER ビットの状態を表示します。
4	ER4	0	R	DMA チャネル 4 の ER ビットの状態を表示します。
3	ER3	0	R	DMA チャネル 3 の ER ビットの状態を表示します。
2	ER2	0	R	DMA チャネル 2 の ER ビットの状態を表示します。
1	ER1	0	R	DMA チャネル 1 の ER ビットの状態を表示します。
0	ER0	0	R	DMA チャネル 0 の ER ビットの状態を表示します。

9.4.18 DMA Status ER Register (DSTAT_ER_8_15/8_15S)

CHSTAT_n/nS レジスタ（n = 8 ～ 15）の ER ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
7	ER15	0	R	DMA チャネル 15 の ER ビットの状態を表示します。
6	ER14	0	R	DMA チャネル 14 の ER ビットの状態を表示します。
5	ER13	0	R	DMA チャネル 13 の ER ビットの状態を表示します。
4	ER12	0	R	DMA チャネル 12 の ER ビットの状態を表示します。
3	ER11	0	R	DMA チャネル 11 の ER ビットの状態を表示します。
2	ER10	0	R	DMA チャネル 10 の ER ビットの状態を表示します。
1	ER9	0	R	DMA チャネル 9 の ER ビットの状態を表示します。
0	ER8	0	R	DMA チャネル 8 の ER ビットの状態を表示します。

9.4.19 DMA Status END Register (DSTAT_END_0_7/0_7S)

CHSTAT_n/nS レジスタ（n = 0 ～ 7）の END ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	END7	END6	END5	END4	END3	END2	END1	END0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
7	END7	0	R	DMA チャネル 7 の END ビットの状態を表示します。
6	END6	0	R	DMA チャネル 6 の END ビットの状態を表示します。
5	END5	0	R	DMA チャネル 5 の END ビットの状態を表示します。
4	END4	0	R	DMA チャネル 4 の END ビットの状態を表示します。
3	END3	0	R	DMA チャネル 3 の END ビットの状態を表示します。
2	END2	0	R	DMA チャネル 2 の END ビットの状態を表示します。
1	END1	0	R	DMA チャネル 1 の END ビットの状態を表示します。
0	END0	0	R	DMA チャネル 0 の END ビットの状態を表示します。

9.4.20 DMA Status END Register (DSTAT_END_8_15/8_15S)

CHSTAT_n/nS レジスタ（n = 8 ～ 15）の END ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	END15	END14	END13	END12	END11	END10	END9	END8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
7	END15	0	R	DMA チャネル 15 の END ビットの状態を表示します。
6	END14	0	R	DMA チャネル 14 の END ビットの状態を表示します。
5	END13	0	R	DMA チャネル 13 の END ビットの状態を表示します。
4	END12	0	R	DMA チャネル 12 の END ビットの状態を表示します。
3	END11	0	R	DMA チャネル 11 の END ビットの状態を表示します。
2	END10	0	R	DMA チャネル 10 の END ビットの状態を表示します。
1	END9	0	R	DMA チャネル 9 の END ビットの状態を表示します。
0	END8	0	R	DMA チャネル 8 の END ビットの状態を表示します。

9.4.21 DMA Status TC Register (DSTAT_TC_0_7/0_7S)

CHSTAT_n/nS レジスタ（n = 0 ～ 7）の TC ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
7	TC7	0	R	DMA チャネル 7 の TC ビットの状態を表示します。
6	TC6	0	R	DMA チャネル 6 の TC ビットの状態を表示します。
5	TC5	0	R	DMA チャネル 5 の TC ビットの状態を表示します。
4	TC4	0	R	DMA チャネル 4 の TC ビットの状態を表示します。
3	TC3	0	R	DMA チャネル 3 の TC ビットの状態を表示します。
2	TC2	0	R	DMA チャネル 2 の TC ビットの状態を表示します。
1	TC1	0	R	DMA チャネル 1 の TC ビットの状態を表示します。
0	TC0	0	R	DMA チャネル 0 の TC ビットの状態を表示します。

9.4.22 DMA Status TC Register (DSTAT_TC_8_15/8_15S)

CHSTAT_n/nS レジスタ（n = 8 ～ 15）の TC ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0 を設定してください。読み出すと 0 が読めます。
7	TC15	0	R	DMA チャネル 15 の TC ビットの状態を表示します。
6	TC14	0	R	DMA チャネル 14 の TC ビットの状態を表示します。
5	TC13	0	R	DMA チャネル 13 の TC ビットの状態を表示します。
4	TC12	0	R	DMA チャネル 12 の TC ビットの状態を表示します。
3	TC11	0	R	DMA チャネル 11 の TC ビットの状態を表示します。
2	TC10	0	R	DMA チャネル 10 の TC ビットの状態を表示します。
1	TC9	0	R	DMA チャネル 9 の TC ビットの状態を表示します。
0	TC8	0	R	DMA チャネル 8 の TC ビットの状態を表示します。

9.4.23 DMA Status SUS Register (DSTAT_SUS_0_7/0_7S)

CHSTAT_n/nS レジスタ（n = 0 ～ 7）の SUS ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SUS7	SUS6	SUS5	SUS4	SUS3	SUS2	SUS1	SUS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0を設定してください。読み出すと0が読めます。
7	SUS7	0	R	DMAチャネル7のSUSビットの状態を表示します。
6	SUS6	0	R	DMAチャネル6のSUSビットの状態を表示します。
5	SUS5	0	R	DMAチャネル5のSUSビットの状態を表示します。
4	SUS4	0	R	DMAチャネル4のSUSビットの状態を表示します。
3	SUS3	0	R	DMAチャネル3のSUSビットの状態を表示します。
2	SUS2	0	R	DMAチャネル2のSUSビットの状態を表示します。
1	SUS1	0	R	DMAチャネル1のSUSビットの状態を表示します。
0	SUS0	0	R	DMAチャネル0のSUSビットの状態を表示します。

9.4.24 DMA Status SUS Register (DSTAT_SUS_8_15/8_15S)

CHSTAT_n/nS レジスタ（n = 8 ～ 15）の SUS ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SUS15	SUS14	SUS13	SUS12	SUS11	SUS10	SUS9	SUS8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブ領域です。0を設定してください。読み出すと0が読めます。
7	SUS15	0	R	DMAチャネル15のSUSビットの状態を表示します。
6	SUS14	0	R	DMAチャネル14のSUSビットの状態を表示します。
5	SUS13	0	R	DMAチャネル13のSUSビットの状態を表示します。
4	SUS12	0	R	DMAチャネル12のSUSビットの状態を表示します。
3	SUS11	0	R	DMAチャネル11のSUSビットの状態を表示します。
2	SUS10	0	R	DMAチャネル10のSUSビットの状態を表示します。
1	SUS9	0	R	DMAチャネル9のSUSビットの状態を表示します。
0	SUS8	0	R	DMAチャネル8のSUSビットの状態を表示します。

9.4.25　DMA 拡張リソースセレクタ 0/0S ～ 7/7S（DMARS0/0S ～ DMARS7/7S）

DMARS は、読み出し／書き込み可能な 32 ビットのレジスタで、チャネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0/0S はチャネル 0/0S および 1/1S、DMARS1/1S はチャネル 2/2S および 3/3S のように設定します。

設定可能な組み合わせを**表 9.4** に示します。

本製品に搭載している内蔵周辺モジュールには、割り込み要求と DMA 転送要求を兼用信号として出力するモジュールがあります。DMARS レジスタで当該モジュールを選択すると、この兼用信号は DMA 転送要求信号となり、割り込みコントローラへの割り込み要求はマスクされます。割り込みを有効にする場合は DMARS の選択をクリア（MID[7:0]、RID[1:0] をすべて 0）してください。

- DMARS0/0S

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CH1 MID[7:0]								CH1 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CH0 MID[7:0]								CH0 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS1/1S

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CH3 MID[7:0]								CH3 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CH2 MID[7:0]								CH2 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS2/2S

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CH5 MID[7:0]								CH5 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CH4 MID[7:0]								CH4 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS3/3S

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CH7 MID[7:0]								CH7 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CH6 MID[7:0]								CH6 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS4/4S

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CH9 MID[7:0]								CH9 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CH8 MID[7:0]								CH8 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS5/5S

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CH11 MID[7:0]								CH11 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CH10 MID[7:0]								CH10 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS6/6S

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CH13 MID[7:0]								CH13 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CH12 MID[7:0]								CH12 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS7/7S

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CH15 MID[7:0]								CH15 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CH14 MID[7:0]								CH14 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.5 動作説明

DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。

9.5.1 転送フロー

Next Source Address Register（N0SA_n/nS, N1SA_n/nS）、Next Destination Address Register（N0DA_n/nS, N1DA_n/nS）、Next Transaction Byte Register（N0TB_n/nS, N1TB_n/nS）、Channel Control Register（CHCTRL_n/nS）、Channel Configuration Register（CHCFG_n/nS）、Channel Extension Register（CHEXT_n/nS）、DMA Control Register（DCTRL_0_7/0_7S, DCTRL_8_15/8_15S）、DMA 拡張リソースセレクト（DMARS）に目的の転送条件設定後、以下の順序でデータを転送します。

1. 転送許可状態かどうか（Channel Status Register の EN = 0 かつ TACT = 0）をチェックします。
2. Channel Status Register をクリアします（Channel Control Register の SWRST = 1 をセット）。
3. DMA 転送の許可を設定します（Channel Control Register の SETEN = 1 をセット）。
4. 転送許可状態で転送要求が発生すると 1 転送単位のデータ（DDS[3:0] および SDS[3:0] ビットの設定により決定）を転送します。オートリクエストモードの場合は Channel Control Register の STG ビットが 1 にセットされると自動的に転送を開始します。転送を行うごとに CRTB_n/nS の値をデクリメントします。
5. Channel Configuration Register の REN = 0 のとき、指定された回数の転送を終える（CRTB_n/nS の値が 0 になる）と、転送を正常に終了します。このとき Channel Configuration Register の DEM ビットが 0 であれば、CPU に DMA 転送終了割り込みを発生します。REN = 1 のときには、CRTB_n/nS の値が 0 になると、Channel Configuration Register の RSEL で指定された N0SA_n/nS, N1SA_n/nS、N0DA_n/nS, N1DA_n/nS、N0TB_n/nS, N1TB_n/nS の値で、転送要求がなくなるまで転送動作を継続します。
6. 本モジュールによるアドレスエラーが発生した場合には、転送を中断します。また CHCTRL_n/nS の CLREN ビットを 1 にしても中断します。

9.5.2　DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。外部リクエスト、内蔵周辺モジュールリクエストの転送要求の選択は DMARS0/0S ～ DMARS7/7S レジスタによって行います。

(1)　オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、本モジュール内部で自動的に転送要求信号を発生するモードです。Channel Control Register の STG ビットを 1 にセットすると転送が開始されます。ただし Channel Status Register の TACT = 0 である必要があります。

(2)　外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号（DREQ0）によって転送を開始させるモードです。DMA 転送が許可されているときに DREQ が入力されると DMA 転送が開始されます。

DREQ0 をエッジで検出するかレベルで検出するかは、以下に示す Channel Configuration Register 0 の LVL ビット、HIEN ビット、LOEN ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

また、DACK0、TEND0 端子の出力レベル設定については「8.　バスステートコントローラ、8.4.1　共通コントロールレジスタ（CMNCR）」を参照してください。

表9.3　外部リクエスト検出設定

CHCFG_0/CHCFG_0S			外部リクエスト検出方法
LVL	HIEN	LOEN	
0	0	1	立ち下がり検出
	1	0	立ち上がり検出
1	0	1	ローレベル検出
	1	0	ハイレベル検出

DREQ0 が受け付けられると DREQ0 端子は要求受け付け不可能状態（不感帯）となります。受け付けた DREQ0 に対するアクノリッジ DACK0 を出力した後、再び DREQ0 端子は要求を受け付けることが可能になります。

(3)　内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態ならば、転送要求信号によって転送が実行されます。

内蔵周辺モジュールおよび外部リクエストから本モジュールに対する DMA 転送要求信号の一覧を**表 9.4** に示します。

内蔵周辺モジュールリクエストの場合には、転送元、転送先が固定されるケースがあります。**表 9.4** を参照してください。

表9.4　内蔵周辺モジュールリクエスト

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARSn/nS		CHCFG_n/nS(注1)						
				MID	RID	TM	AM [2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
OSタイマチャネル0	OSTM0TINT（コンペアマッチ）	任意	任意	0000_1000	11	0/1	010	0	1	0	0/1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
OSタイマチャネル1	OSTM1TINT（コンペアマッチ）	任意	任意	0000_1001	11	0/1	010	0	1	0	0/1	
OSタイマチャネル2	OSTM2TINT（コンペアマッチ）	任意	任意	0000_1010	11	0/1	010	0	1	0	0/1	
マルチファンクションタイマパルスユニット3チャネル0	TGIA0（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_0000	11	0/1	001	0	1	0	0/1	
	TGIB0（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_0001	11	0/1	001	0	1	0	0/1	
	TGIC0（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_0010	11	0/1	001	0	1	0	0/1	
	TGID0（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_0011	11	0/1	001	0	1	0	0/1	
マルチファンクションタイマパルスユニット3チャネル1	TGIA1（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_0100	11	0/1	001	0	1	0	0/1	
	TGIB1（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_0101	11	0/1	001	0	1	0	0/1	
マルチファンクションタイマパルスユニット3チャネル2	TGIA2（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_0110	11	0/1	001	0	1	0	0/1	
	TGIB2（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_0111	11	0/1	001	0	1	0	0/1	
マルチファンクションタイマパルスユニット3チャネル3	TGIA3（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_1000	11	0/1	001	0	1	0	0/1	
	TGIB3（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_1001	11	0/1	001	0	1	0	0/1	
	TGIC3（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_1010	11	0/1	001	0	1	0	0/1	
	TGID3（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_1011	11	0/1	001	0	1	0	0/1	
マルチファンクションタイマパルスユニット3チャネル4	TGIA4（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_1100	11	0/1	001	0	1	0	0/1	
	TGIB4（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_1101	11	0/1	001	0	1	0	0/1	
	TGIC4（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_1110	11	0/1	001	0	1	0	0/1	
	TGID4（インプットキャプチャ / コンペアマッチ）	任意	任意	0001_1111	11	0/1	001	0	1	0	0/1	
	TCIV4（TCNTのオーバフロー、アンダフロー）	任意	任意	0010_0000	11	0/1	001	0	1	0	0/1	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARSn/nS		CHCFG_n/nS(注1)						
				MID	RID	TM	AM [2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
マルチファンクションタイマパルスユニット3 チャネル5	TGIU5 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_0001	11	0/1	001	0	1	0	0/1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	TGIV5 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_0010	11	0/1	001	0	1	0	0/1	
	TGIW5 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_0011	11	0/1	001	0	1	0	0/1	
マルチファンクションタイマパルスユニット3 チャネル6	TGIA6 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_0100	11	0/1	001	0	1	0	0/1	
	TGIB6 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_0101	11	0/1	001	0	1	0	0/1	
	TGIC6 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_0110	11	0/1	001	0	1	0	0/1	
	TGID6 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_0111	11	0/1	001	0	1	0	0/1	
マルチファンクションタイマパルスユニット3 チャネル7	TGIA7 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_1000	11	0/1	001	0	1	0	0/1	
	TGIB7 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_1001	11	0/1	001	0	1	0	0/1	
	TGIC7 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_1010	11	0/1	001	0	1	0	0/1	
	TGID7 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_1011	11	0/1	001	0	1	0	0/1	
	TCIV7 (TCNTのオーバフロー、アンダフロー)	任意	任意	0010_1100	11	0/1	001	0	1	0	0/1	
マルチファンクションタイマパルスユニット3 チャネル8	TGIA8 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_1101	11	0/1	001	0	1	0	0/1	
	TGIB8 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_1110	11	0/1	001	0	1	0	0/1	
	TGIC8 (インプットキャプチャ / コンペアマッチ)	任意	任意	0010_1111	11	0/1	001	0	1	0	0/1	
	TGID8 (インプットキャプチャ / コンペアマッチ)	任意	任意	0011_0000	11	0/1	001	0	1	0	0/1	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARSn/nS		CHCFG_n/nS(注1)						
				MID	RID	TM	AM [2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
汎用PWMタイマチャネル0	CCMPA0 (インプットキャプチャ / コンペアマッチ)	任意	任意	0011_0001	11	0	001	0	1	0	0/1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	CCMPB0 (インプットキャプチャ / コンペアマッチ)	任意	任意	0011_0010	11	0	001	0	1	0	0/1	
	CMPC0 (コンペアマッチ)	任意	任意	0011_0011	11	0	001	0	1	0	0/1	
	CMPD0 (コンペアマッチ)	任意	任意	0011_0100	11	0	001	0	1	0	0/1	
	CMPE0 (コンペアマッチ)	任意	任意	0011_1000	11	0	001	0	1	0	0/1	
	CMPF0 (コンペアマッチ)	任意	任意	0011_1001	11	0	001	0	1	0	0/1	
	ADTRGA0 (コンペアマッチ)	任意	任意	0011_1010	11	0	001	0	1	0	0/1	
	ADTRGB0 (コンペアマッチ)	任意	任意	0011_1011	11	0	001	0	1	0	0/1	
	OVF0 (オーバフロー)	任意	任意	0011_1100	11	0	001	0	1	0	0/1	
	UNF0 (アンダフロー)	任意	任意	0011_1101	11	0	001	0	1	0	0/1	
汎用PWMタイマチャネル1	CCMPA1 (インプットキャプチャ / コンペアマッチ)	任意	任意	0011_1110	11	0	001	0	1	0	0/1	
	CCMPB1 (インプットキャプチャ / コンペアマッチ)	任意	任意	0011_1111	11	0	001	0	1	0	0/1	
	CMPC1 (コンペアマッチ)	任意	任意	0100_0000	11	0	001	0	1	0	0/1	
	CMPD1 (コンペアマッチ)	任意	任意	0100_0001	11	0	001	0	1	0	0/1	
	CMPE1 (コンペアマッチ)	任意	任意	0100_0101	11	0	001	0	1	0	0/1	
	CMPF1 (コンペアマッチ)	任意	任意	0100_0110	11	0	001	0	1	0	0/1	
	ADTRGA1 (コンペアマッチ)	任意	任意	0100_0111	11	0	001	0	1	0	0/1	
	ADTRGB1 (コンペアマッチ)	任意	任意	0100_1000	11	0	001	0	1	0	0/1	
	OVF1 (オーバフロー)	任意	任意	0100_1001	11	0	001	0	1	0	0/1	
	UNF1 (アンダフロー)	任意	任意	0100_1010	11	0	001	0	1	0	0/1	
汎用PWMタイマチャネル2	CCMPA2 (インプットキャプチャ / コンペアマッチ)	任意	任意	0100_1011	11	0	001	0	1	0	0/1	
	CCMPB2 (インプットキャプチャ / コンペアマッチ)	任意	任意	0100_1100	11	0	001	0	1	0	0/1	
	CMPC2 (コンペアマッチ)	任意	任意	0100_1101	11	0	001	0	1	0	0/1	
	CMPD2 (コンペアマッチ)	任意	任意	0100_1110	11	0	001	0	1	0	0/1	
	CMPE2 (コンペアマッチ)	任意	任意	0101_0010	11	0	001	0	1	0	0/1	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARSn/nS		CHCFG_n/nS(注1)						
				MID	RID	TM	AM [2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
汎用PWMタイマチャネル2	CMPF2 (コンペアマッチ)	任意	任意	0101_0011	11	0	001	0	1	0	0/1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	ADTRGA2 (コンペアマッチ)	任意	任意	0101_0100	11	0	001	0	1	0	0/1	
	ADTRGB2 (コンペアマッチ)	任意	任意	0101_0101	11	0	001	0	1	0	0/1	
	OVF2 (オーバフロー)	任意	任意	0101_0110	11	0	001	0	1	0	0/1	
	UNF2 (アンダフロー)	任意	任意	0101_0111	11	0	001	0	1	0	0/1	
汎用PWMタイマチャネル3	CCMPA3 (インプットキャプチャ / コンペアマッチ)	任意	任意	0101_1000	11	0	001	0	1	0	0/1	
	CCMPB3 (インプットキャプチャ / コンペアマッチ)	任意	任意	0101_1001	11	0	001	0	1	0	0/1	
	CMPC3 (コンペアマッチ)	任意	任意	0101_1010	11	0	001	0	1	0	0/1	
	CMPD3 (コンペアマッチ)	任意	任意	0101_1011	11	0	001	0	1	0	0/1	
	CMPE3 (コンペアマッチ)	任意	任意	0101_1111	11	0	001	0	1	0	0/1	
	CMPF3 (コンペアマッチ)	任意	任意	0110_0000	11	0	001	0	1	0	0/1	
	ADTRGA3 (コンペアマッチ)	任意	任意	0110_0001	11	0	001	0	1	0	0/1	
	ADTRGB3 (コンペアマッチ)	任意	任意	0110_0010	11	0	001	0	1	0	0/1	
	OVF3 (オーバフロー)	任意	任意	0110_0011	11	0	001	0	1	0	0/1	
	UNF3 (アンダフロー)	任意	任意	0110_0100	11	0	001	0	1	0	0/1	
汎用PWMタイマチャネル4	CCMPA4 (インプットキャプチャ / コンペアマッチ)	任意	任意	0110_0101	11	0	001	0	1	0	0/1	
	CCMPB4 (インプットキャプチャ / コンペアマッチ)	任意	任意	0110_0110	11	0	001	0	1	0	0/1	
	CMPC4 (コンペアマッチ)	任意	任意	0110_0111	11	0	001	0	1	0	0/1	
	CMPD4 (コンペアマッチ)	任意	任意	0110_1000	11	0	001	0	1	0	0/1	
	CMPE4 (コンペアマッチ)	任意	任意	0110_1100	11	0	001	0	1	0	0/1	
	CMPF4 (コンペアマッチ)	任意	任意	0110_1101	11	0	001	0	1	0	0/1	
	ADTRGA4 (コンペアマッチ)	任意	任意	0110_1110	11	0	001	0	1	0	0/1	
	ADTRGB4 (コンペアマッチ)	任意	任意	0110_1111	11	0	001	0	1	0	0/1	
	OVF4 (オーバフロー)	任意	任意	0111_0000	11	0	001	0	1	0	0/1	
	UNF4 (アンダフロー)	任意	任意	0111_0001	11	0	001	0	1	0	0/1	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARSn/nS		CHCFG_n/nS(注1)						
				MID	RID	TM	AM [2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
汎用PWMタイマチャネル5	CCMPA5 (インプットキャプチャ / コンペアマッチ)	任意	任意	0111_0010	11	0	001	0	1	0	0/1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	CCMPB5 (インプットキャプチャ / コンペアマッチ)	任意	任意	0111_0011	11	0	001	0	1	0	0/1	
	CMPC5 (コンペアマッチ)	任意	任意	0111_0100	11	0	001	0	1	0	0/1	
	CMPD5 (コンペアマッチ)	任意	任意	0111_0101	11	0	001	0	1	0	0/1	
	CMPE5 (コンペアマッチ)	任意	任意	0111_1001	11	0	001	0	1	0	0/1	
	CMPF5 (コンペアマッチ)	任意	任意	0111_1010	11	0	001	0	1	0	0/1	
	ADTRGA5 (コンペアマッチ)	任意	任意	0111_1011	11	0	001	0	1	0	0/1	
	ADTRGB5 (コンペアマッチ)	任意	任意	0111_1100	11	0	001	0	1	0	0/1	
	OVF5 (オーバフロー)	任意	任意	0111_1101	11	0	001	0	1	0	0/1	
	UNF5 (アンダフロー)	任意	任意	0111_1110	11	0	001	0	1	0	0/1	
汎用PWMタイマチャネル6	CCMPA6 (インプットキャプチャ / コンペアマッチ)	任意	任意	0111_1111	11	0	001	0	1	0	0/1	
	CCMPB6 (インプットキャプチャ / コンペアマッチ)	任意	任意	1000_0000	11	0	001	0	1	0	0/1	
	CMPC6 (コンペアマッチ)	任意	任意	1000_0001	11	0	001	0	1	0	0/1	
	CMPD6 (コンペアマッチ)	任意	任意	1000_0010	11	0	001	0	1	0	0/1	
	CMPE6 (コンペアマッチ)	任意	任意	1000_0110	11	0	001	0	1	0	0/1	
	CMPF6 (コンペアマッチ)	任意	任意	1000_0111	11	0	001	0	1	0	0/1	
	ADTRGA6 (コンペアマッチ)	任意	任意	1000_1000	11	0	001	0	1	0	0/1	
	ADTRGB6 (コンペアマッチ)	任意	任意	1000_1001	11	0	001	0	1	0	0/1	
	OVF6 (オーバフロー)	任意	任意	1000_1010	11	0	001	0	1	0	0/1	
	UNF6 (アンダフロー)	任意	任意	1000_1011	11	0	001	0	1	0	0/1	
汎用PWMタイマチャネル7	CCMPA7 (インプットキャプチャ / コンペアマッチ)	任意	任意	1000_1100	11	0	001	0	1	0	0/1	
	CCMPB7 (インプットキャプチャ / コンペアマッチ)	任意	任意	1000_1101	11	0	001	0	1	0	0/1	
	CMPC7 (コンペアマッチ)	任意	任意	1000_1110	11	0	001	0	1	0	0/1	
	CMPD7 (コンペアマッチ)	任意	任意	1000_1111	11	0	001	0	1	0	0/1	
	CMPE7 (コンペアマッチ)	任意	任意	1001_0011	11	0	001	0	1	0	0/1	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARSn/nS		CHCFG_n/nS(注1)						
				MID	RID	TM	AM [2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
汎用PWMタイマチャネル7	CMPF7 (コンペアマッチ)	任意	任意	1001_0100	11	0	001	0	1	0	0/1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	ADTRGA7 (コンペアマッチ)	任意	任意	1001_0101	11	0	001	0	1	0	0/1	
	ADTRGB7 (コンペアマッチ)	任意	任意	1001_0110	11	0	001	0	1	0	0/1	
	OVF7 (オーバフロー)	任意	任意	1001_0111	11	0	001	0	1	0	0/1	
	UNF7 (アンダフロー)	任意	任意	1001_1000	11	0	001	0	1	0	0/1	
A/Dコンバータ	S12ADI0 (スキャン終了)	ADDRn n = 0 ～ 7	任意	1001_1001	11	0/1	001	0	1	0	0	
	S12GBADI0 (スキャン終了)	ADDRn n = 0 ～ 7	任意	1001_1010	11	0/1	001	0	1	0	0	
	S12GCADI0 (スキャン終了)	ADDRn n = 0 ～ 7	任意	1001_1011	11	0/1	001	0	1	0	0	
シリアルサウンドインタフェースチャネル0	INT_ssif_dma_rx_0 (受信データフル)	SSIF RDR_0	任意	1001_1100	10	0	010	0	1	0	0	
	INT_ssif_dma_tx_0 (送信データエンプティ)	任意	SSIF TDR_0	1001_1100	01	0	010	0	1	0	1	
シリアルサウンドインタフェースチャネル1	INT_ssif_dma_rx_1 (受信データフル)	SSIF RDR_1	任意	1001_1101	10	0	010	0	1	0	0	
	INT_ssif_dma_tx_1 (送信データエンプティ)	任意	SSIF TDR_1	1001_1101	01	0	010	0	1	0	1	
シリアルサウンドインタフェースチャネル2	INT_ssif_dma_rt_2 (受信データフル)	SSIF RDR_2	任意	1001_1110	11	0	010	0	1	0	0/1	
	INT_ssif_dma_rt_2 (送信データエンプティ)	任意	SSIF TDR_2	1001_1110	11	0	010	0	1	0	0/1	
シリアルサウンドインタフェースチャネル3	INT_ssif_dma_rx_3 (受信データフル)	SSIF RDR_3	任意	1001_1111	10	0	010	0	1	0	0	
	INT_ssif_dma_tx_3 (送信データエンプティ)	任意	SSIF TDR_3	1001_1111	01	0	010	0	1	0	1	
ルネサスSPDIFインタフェース	SPDIFRXI (受信モジュールDMA転送)	RDAD	任意	1010_0000	11	0	010	1	1	0	0	
	SPDIFTXI (送信モジュールDMA転送)	任意	TDAD	1010_0001	11	0	010	1	1	0	1	
I²Cバスインタフェースチャネル0	INTRIICRI0 (受信データフル)	RIIC0DRR	任意	1010_0010	10	0	010	0	1	0	0	
	INTRIICTI0 (送信データエンプティ)	任意	RIIC0DRT	1010_0010	01	0	010	0	1	0	1	
I²Cバスインタフェースチャネル1	INTRIICRI1 (受信データフル)	RIIC1DRR	任意	1010_0011	10	0	010	0	1	0	0	
	INTRIICTI1 (送信データエンプティ)	任意	RIIC1DRT	1010_0011	01	0	010	0	1	0	1	
I²Cバスインタフェースチャネル2	INTRIICRI2 (受信データフル)	RIIC2DRR	任意	1010_0100	10	0	010	0	1	0	0	
	INTRIICTI2 (送信データエンプティ)	任意	RIIC2DRT	1010_0100	01	0	010	0	1	0	1	
I²Cバスインタフェースチャネル3	INTRIICRI3 (受信データフル)	RIIC3DRR	任意	1010_0101	10	0	010	0	1	0	0	
	INTRIICTI3 (送信データエンプティ)	任意	RIIC3DRT	1010_0101	01	0	010	0	1	0	1	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARSn/nS		CHCFG_n/nS(注1)						
				MID	RID	TM	AM [2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
FIFO内蔵シリアルコミュニケーションインタフェースチャネル0	RXI0 (受信FIFOデータフル)	FRDR0	任意	1010_0110	10	0	100	1	1	0	0	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	TXI0 (送信FIFOデータエンプティ)	任意	FTDR0	1010_0110	01	0	100	1	1	0	1	
FIFO内蔵シリアルコミュニケーションインタフェースチャネル1	RXI1 (受信FIFOデータフル)	FRDR1	任意	1010_0111	10	0	100	1	1	0	0	
	TXI1 (送信FIFOデータエンプティ)	任意	FTDR1	1010_0111	01	0	100	1	1	0	1	
FIFO内蔵シリアルコミュニケーションインタフェースチャネル2	RXI2 (受信FIFOデータフル)	FRDR2	任意	1010_1000	10	0	100	1	1	0	0	
	TXI2 (送信FIFOデータエンプティ)	任意	FTDR2	1010_1000	01	0	100	1	1	0	1	
FIFO内蔵シリアルコミュニケーションインタフェースチャネル3	RXI3 (受信FIFOデータフル)	FRDR3	任意	1010_1001	10	0	100	1	1	0	0	
	TXI3 (送信FIFOデータエンプティ)	任意	FTDR3	1010_1001	01	0	100	1	1	0	1	
FIFO内蔵シリアルコミュニケーションインタフェースチャネル4	RXI4 (受信FIFOデータフル)	FRDR4	任意	1010_1010	10	0	100	1	1	0	0	
	TXI4 (送信FIFOデータエンプティ)	任意	FTDR4	1010_1010	01	0	100	1	1	0	1	
CANFDインタフェース	RXF_DMA0	RSCFD0CFDRFDF0_0	任意	1010_1011	11	0	001	0	1	0	0/1	
	RXF_DMA1	RSCFD0CFDRFDF0_1	任意	1010_1100	11	0	001	0	1	0	0/1	
	RXF_DMA2	RSCFD0CFDRFDF0_2	任意	1010_1101	11	0	001	0	1	0	0/1	
	RXF_DMA3	RSCFD0CFDRFDF0_3	任意	1010_1110	11	0	001	0	1	0	0/1	
	RXF_DMA4	RSCFD0CFDRFDF0_4	任意	1010_1111	11	0	001	0	1	0	0/1	
	RXF_DMA5	RSCFD0CFDRFDF0_5	任意	1011_0000	11	0	001	0	1	0	0/1	
	RXF_DMA6	RSCFD0CFDRFDF0_6	任意	1011_0001	11	0	001	0	1	0	0/1	
	RXF_DMA7	RSCFD0CFDRFDF0_7	任意	1011_0010	11	0	001	0	1	0	0/1	
	COM_DMA0 (送受信FIFO受信モードのみ)	RSCFD0CFDCFDF0_0	任意	1011_0011	11	0	001	0	1	0	0/1	
	COM_DMA1 (送受信FIFO受信モードのみ)	RSCFD0CFDCFDF0_3	任意	1011_0100	11	0	001	0	1	0	0/1	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARSn/nS		CHCFG_n/nS(注1)						
				MID	RID	TM	AM [2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
ルネサスシリアルペリフェラルインタフェースチャネル0	SPRI0 (受信バッファフル)	SPDR0	任意	1011_0101	10	0	010	1	1	0	0	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	SPTI0 (送信バッファエンプティ)	任意	SPDR0	1011_0101	01	0	010	1	1	0	1	
ルネサスシリアルペリフェラルインタフェースチャネル1	SPRI1 (受信バッファフル)	SPDR1	任意	1011_0110	10	0	010	1	1	0	0	
	SPTI1 (送信バッファエンプティ)	任意	SPDR1	1011_0110	01	0	010	1	1	0	1	
ルネサスシリアルペリフェラルインタフェースチャネル2	SPRI2 (受信バッファフル)	SPDR2	任意	1011_0111	10	0	010	1	1	0	0	
	SPTI2 (送信バッファエンプティ)	任意	SPDR2	1011_0111	01	0	010	1	1	0	1	
シリアルコミュニケーションインタフェースチャネル0	RXI0 (受信FIFOデータフル)	RDR0	任意	1011_1000	10	0	010	0	1	0	0	
	TXI0 (送信FIFOデータエンプティ)	任意	TDR0	1011_1000	01	0	010	0	1	0	1	
シリアルコミュニケーションインタフェースチャネル1	RXI1 (受信FIFOデータフル)	RDR1	任意	1011_1001	10	0	010	0	1	0	0	
	TXI1 (送信FIFOデータエンプティ)	任意	TDR1	1011_1001	01	0	010	0	1	0	1	
イーサネットMACコントローラ	IPLS (パルスタイマ出力検出)	任意	任意	1011_1010	11	0	001	0	1	0	0/1	
Trusted Secure IP (注2)	RDRDY1	TSIP_REG	任意	1011_1011	11	0	001	0	1	0	0/1	
	RDRDY0	TSIP_REG	任意	1011_1100	11	0	001	0	1	0	0/1	
	WRRDY4	任意	TSIP_REG	1011_1101	11	0	001	0	1	0	0/1	
	WRRDY1	任意	TSIP_REG	1011_1111	11	0	001	0	1	0	0/1	
	WRRDY0	任意	TSIP_REG	1111_0000	11	0	001	0	1	0	0/1	
	IRDRDY	TSIP_REG	任意	1111_0001	11	0	001	0	1	0	0/1	
	IWRRDY	任意	TSIP_REG	1111_0010	11	0	001	0	1	0	0/1	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARSn/nS		CHCFG_n/nS(注1)						
				MID	RID	TM	AM [2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
ダイナミックリコンフィギュアラブルプロセッサ(DRP)(注3)	PAE0(タイル0 Programable Almost Empty)	FIFO_DATA0	任意	1111_0011	10	0	010	1	1	0	0	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	PAF0(タイル0 Programable Almost Full)	任意	FIFO_DATA0	1111_0011	01	0	010	1	1	0	1	
	PAE1(タイル1 Programable Almost Empty)	FIFO_DATA1	任意	1111_0100	10	0	010	1	1	0	0	
	PAF1(タイル1 Programable Almost Full)	任意	FIFO_DATA1	1111_0100	01	0	010	1	1	0	1	
	PAE2(タイル2 Programable Almost Empty)	FIFO_DATA2	任意	1111_0101	10	0	010	1	1	0	0	
	PAF2(タイル2 Programable Almost Full)	任意	FIFO_DATA2	1111_0101	01	0	010	1	1	0	1	
	PAE3(タイル3 Programable Almost Empty)	FIFO_DATA3	任意	1111_0110	10	0	010	1	1	0	0	
	PAF3(タイル3 Programable Almost Full)	任意	FIFO_DATA3	1111_0110	01	0	010	1	1	0	1	
	PAE4(タイル4 Programable Almost Empty)	FIFO_DATA4	任意	1111_0111	10	0	010	1	1	0	0	
	PAF4(タイル4 Programable Almost Full)	任意	FIFO_DATA4	1111_0111	01	0	010	1	1	0	1	
	PAE5(タイル5 Programable Almost Empty)	FIFO_DATA5	任意	1111_1000	10	0	010	1	1	0	0	
	PAF5(タイル5 Programable Almost Full)	任意	FIFO_DATA5	1111_1000	01	0	010	1	1	0	1	
外部リクエスト	DREQ0	任意	任意	0000_0000	11	0/1	001/ 010/ 100	001：立下り検出 010：立上り検出 101：ローレベル検出 110：ハイレベル検出			0/1	000

注1. CHCFG_n/nS設定値
TM
0：シングル転送
1：ブロック転送
AM
001：ACKレベル出力
010：ACKバスサイクル出力
100：ACK無
LVL
0：REQエッジ検出
1：REQレベル検出
REQD
0：リード時、ACK出力
1：ライト時、ACK出力

注2. Trusted Secure IP搭載品のみ

注3. DRP搭載品のみ

9.6 DMA モード

9.6.1 モード設定

CHCFG_n/nS レジスタの DMS フィールドにより、レジスタ・モードとリンク・モードを切り替えることができます。

表9.5　DMAモード設定

DMS (CHCFG_n/nS)	モード	説明
0	レジスタ・モード	Next Register Setに設定された値でDMA転送を行います。
1	リンク・モード	ディスクリプタをCurrentレジスタにセットして、DMA転送を実行します。ディスクリプタによる設定、またはコントロールレジスタで停止しない限り、ディスクリプタのロードとDMA転送を繰り返します。

9.6.2　レジスタ・モード

レジスタ・モードは、内部レジスタに設定した値を用いて、DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を 2 種類 (Next0 Register Set、Next1 Register Set) 設定できます。使用する Next レジスタ・セットを選択して転送したり、2 つの Next レジスタ・セットを連続して転送したりすることができます。

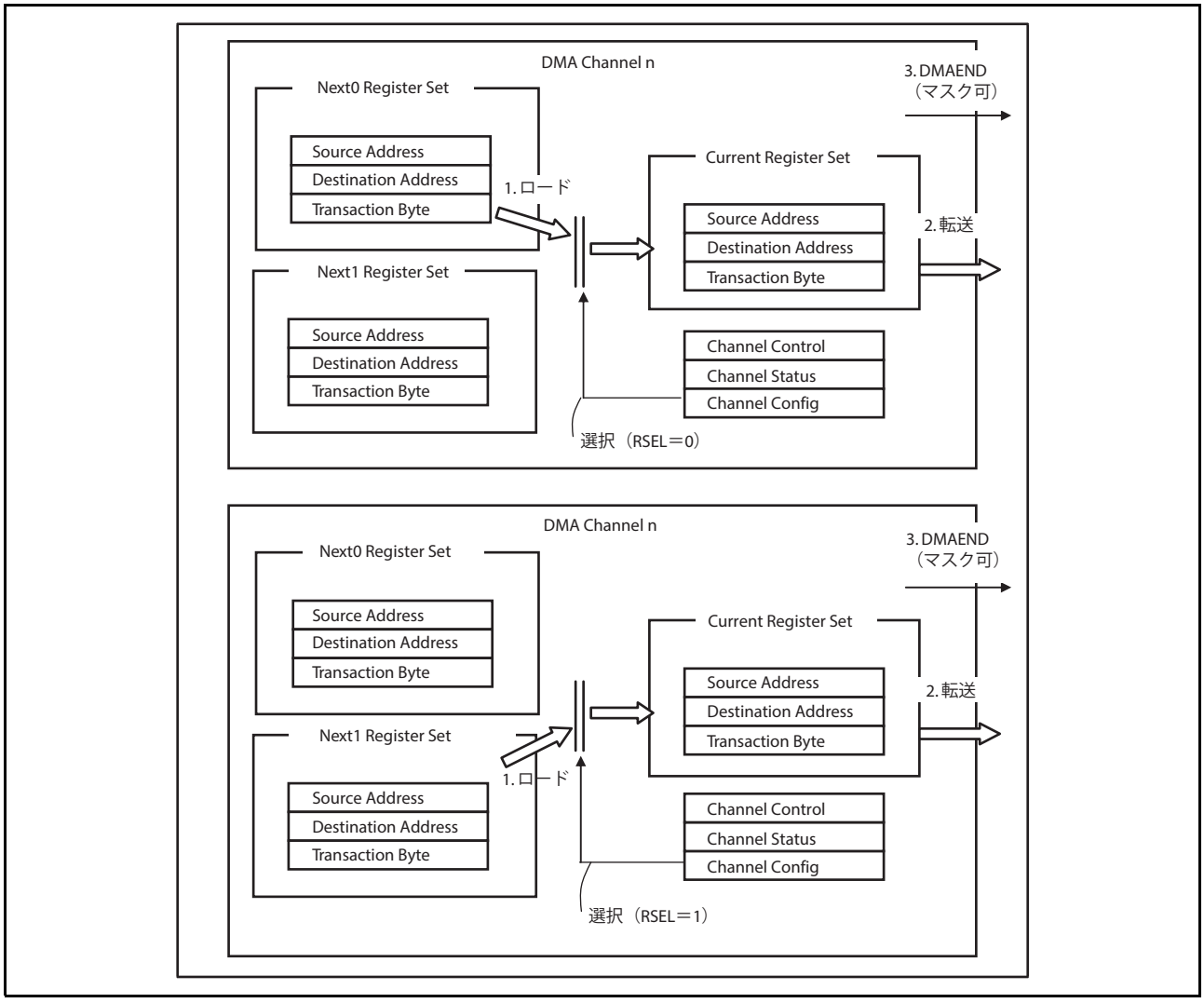


図 9.2　Register 通常モード概要

上記の図は、Next0 を実行する場合（図上）と、Next1 を実行する場合（図下）を示しています。

(1)　動作フロー

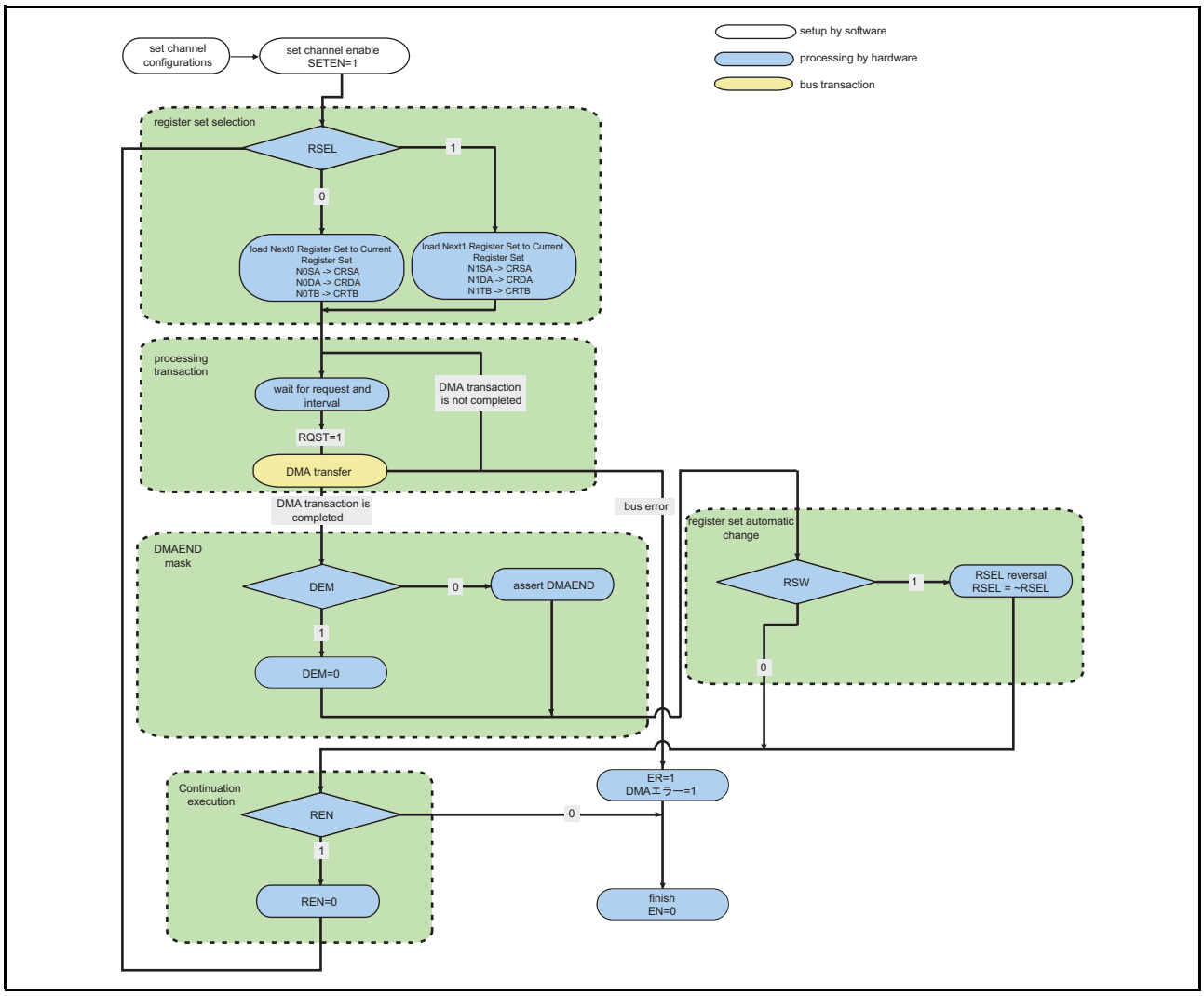


図 9.3　　レジスタ・モードフロー

< レジスタ・モードフローの説明 >

1. チャネル設定 (set channel configuration)
   Next0 または Next1 レジスタ・セット（転送先アドレス、転送元アドレス、総転送バイト数）を設定します。
   Channel レジスタ・セットに DMA レジスタ・セット（REQ、DMAACK、転送量等）を設定します（「9.7　DMA 転送」参照）。

2. レジスタ･セットの選択 (register set selection)
   EN = 1にすると､RSELで選択したNextレジスタ･セットの設定値をCurrentレジスタ･セットにロードします。

3. DMA トランザクション (processing transaction)
   設定した値に従って、DMA 転送を行います。転送の詳細については、「9.7　DMA 転送」を参照してください。

4. DMA 転送終了割り込みマスク (DMAINT mask)
   CHCFG_n/nS の DEM ビットに設定した値に従って、DMA 転送終了割り込みのマスクを行います。
   DEM = 1 だった場合、DMA 転送終了割り込みを出力しません。またその直後、自動的に DEM を 0 クリアします。

5. レジスタ・セットの自動切換え (register set automatic change)
   CHCFG_n/nS の RSW ビットに設定された値に従って、もう一方の Next レジスタ・セットを使用するかを決定します。

6. 継続実行 (continuation execution)
   CHCFG_n/nS の REN ビットに設定した値に従って、DMA 転送を連続実行するかを決定します。
   REN = 1 だった場合、継続して実行します。また、その直後、自動的に REN を 0 クリアします。

(2) レジスタ設定

(a) レジスタ・モード設定

実行するレジスタ・セットを選択します。

表9.6　　レジスタ・モード設定

DMS (CHCFG_n/nS)	RSEL (CHCFG_n/nS)	説明
0	0	Next0 Register Setを実行します
	1	Next1 Register Setを実行します

(b) DMA 転送終了割り込みマスク設定

レジスタ・セット毎に DMA 転送終了割り込みをマスクすることができます。

表9.7　　DMAINTマスク設定

DEM (CHCFG_n/nS)	動作	備考
0	DMAトランザクションが完了すると、DMA転送終了割り込みを発行します。	
1	DMAトランザクションが完了しても、DMA転送終了割り込みを発行しません。 DMAトランザクション完了後に、DEMはハードウェアにより0クリアされます。	

(c) レジスタ・セット自動実行設定

DMA 転送後に自動的に選択されているレジスタ・セットの DMA トランザクションを実行します。

表9.8　　レジスタ・セット自動実行設定

REN (CHCFG_n/nS)	動作	備考
0	RSELに設定されているレジスタ・セットのDMAトランザクションが完了すると、ENビットをクリアしてDMA動作を終了します	DMAトランザクションを１回実行したい場合に設定してください。
1	DMAトランザクション完了後に、続けて選択されているレジスタ・セットの内容をDMA転送します。連続転送が成立した場合、RENは0クリアされます。	連続してレジスタ･セットの内容を実行したい場合に設定してください。

(d)　レジスタ・セット自動切り替え設定

REN = 1 の場合、DMA トランザクション完了後に自動的に次に実行するレジスタ・セットを切り替えることができます。

表9.9　　レジスタ・セット自動切り替え設定

RSW (CHCFG_n/nS)	動作	備考
0	REN = 1かつDMA トランザクション完了時に、レジスタ・セットの切り替えを行いません。	1つのレジスタ・セットのみを使う場合に設定してください。
1	REN = 1でDMA トランザクション完了時に、自動的にRSELが反転して一方のレジスタ・セットが選択されます。	レジスタ・セットを切り替える場合に設定してください。

(3)　設定例

(a)　Next0 レジスタ・セットのみを使用する場合

表9.10　　レジスタ・モード設定例1

DMS (CHCFG_n/nS)	RSEL (CHCFG_n/nS)	DEM (CHCFG_n/nS)	RSW (CHCFG_n/nS)	REN (CHCFG_n/nS)
0 (レジスタ・モード)	0 (Next0)	0 (マスクなし)	0 (スイッチなし)	0 (連続実行なし)

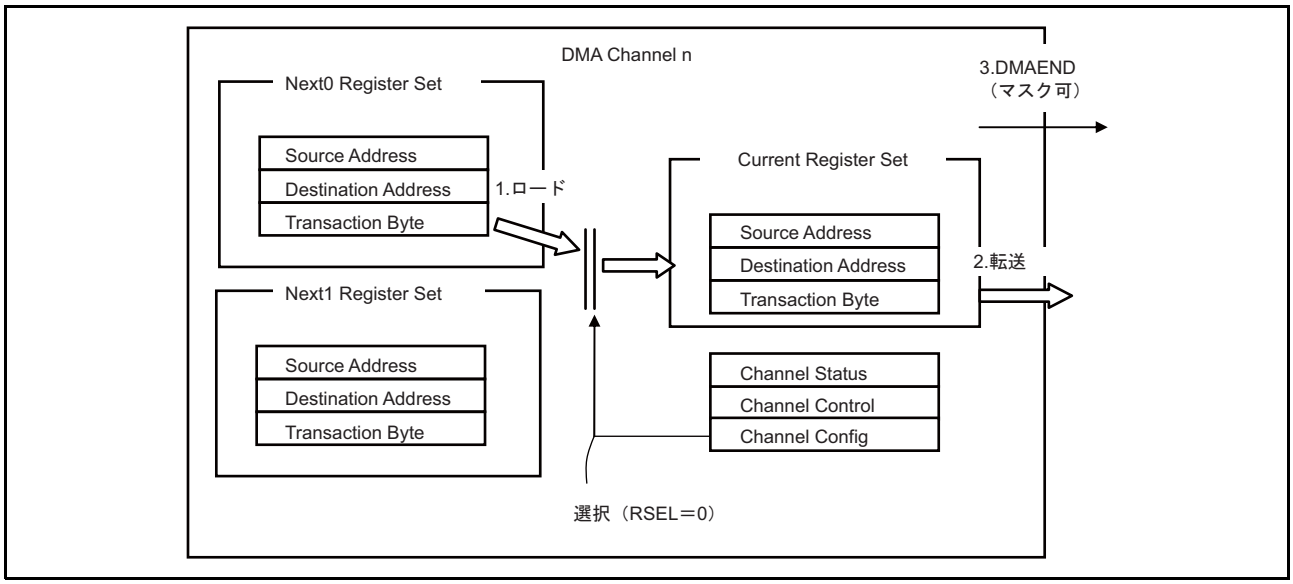


図 9.4　　レジスタ・モード設定例 1

1. EN = 1 (SETEN = 1) にセットし、Next0 レジスタ・セットを Current レジスタ・セットにロードします。
2. Current レジスタ・セットと Channel レジスタ･セットの値によって DMA トランザクションを実行します。
3. DEM が 0 であるため、DMA トランザクション完了後に DMA 転送終了割り込みを発行します。
4. REN が 0 であるため、EN を 0 クリアして終了します。

(b)　2 つのレジスタ・セットを連続して使用する場合

表 9.11　　レジスタ・セット自動実行設定

DMS (CHCFG_n/nS)	RSEL (CHCFG_n/nS)	DEM (CHCFG_n/nS)	RSW (CHCFG_n/nS)	REN (CHCFG_n/nS)
0 (レジスタ・モード)	0 (Next0)	1 (マスクあり)	1 (スイッチあり)	1 (連続実行あり)

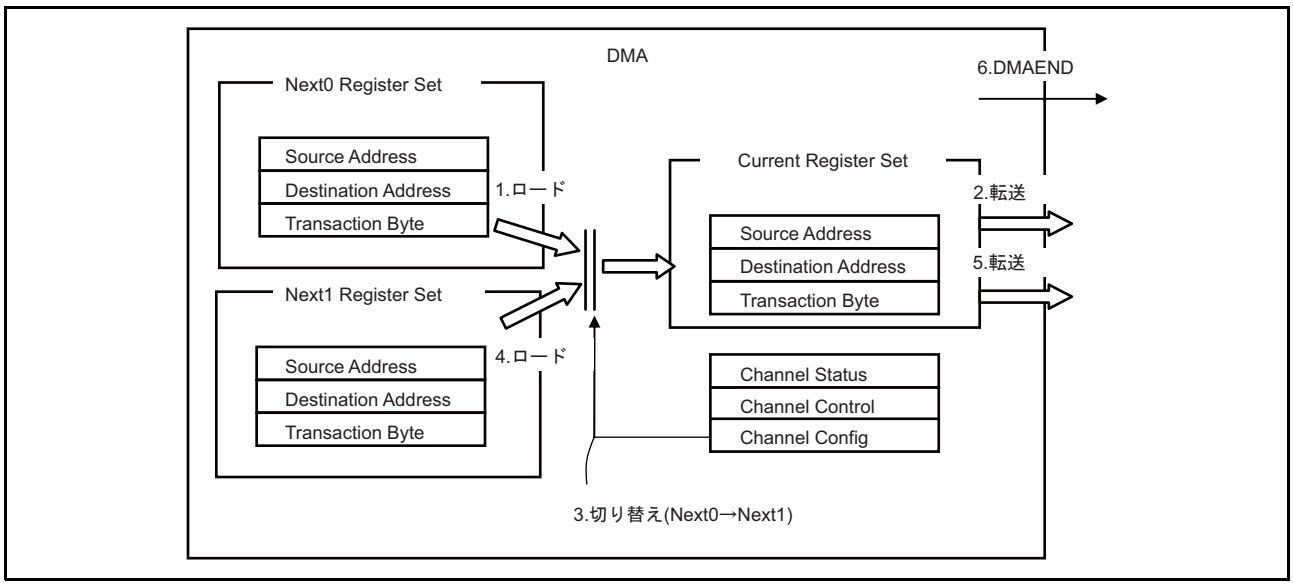


図 9.5　　レジスタ・モード設定例 2

1. EN = 1(SETEN = 1) にセットし、Next0 レジスタ・セットを Current レジスタ・セットにロードします。
2. Current レジスタ・セットと Channel レジスタ･セットの値によって DMA トランザクションを実行します。
3. DEM が 1 であるため、DMA トランザクション完了後の DMA 転送終了割り込みは出力しません。また自動的に DEM を 0 クリアします。
4. REN が 1 であるため、継続実行します。また自動的に REN を 0 クリアします。
5. RSW が 1 であるため、次に実行するレジスタ･セットを切り替えます (RSEL = 0 → 1)。
6. Next1 レジスタ・セットを Current レジスタ・セットにロードします。
7. Current レジスタ・セットと Channel レジスタ･セットの値によって DMA トランザクションを実行します。
8. DEM が 0 であるため、トランザクション完了後に DMA 転送終了割り込みを発行します。
9. REN が 0 であるため、EN を 0 クリアして終了します。

9.6.3　リンク・モード

リンク・モードは、外部の記憶領域に置かれたディスクリプタを設定値としてロードして、DMA トランザクションを実行するモードです。DMAC 内部にはチャネル毎に Next Link アドレスと Current Link アドレスがあり、それぞれ、次に実行するディスクリプタ・アドレスの設定と、現在実行中の DMA トランザクションのディスクリプタ・アドレスの表示に使用します。

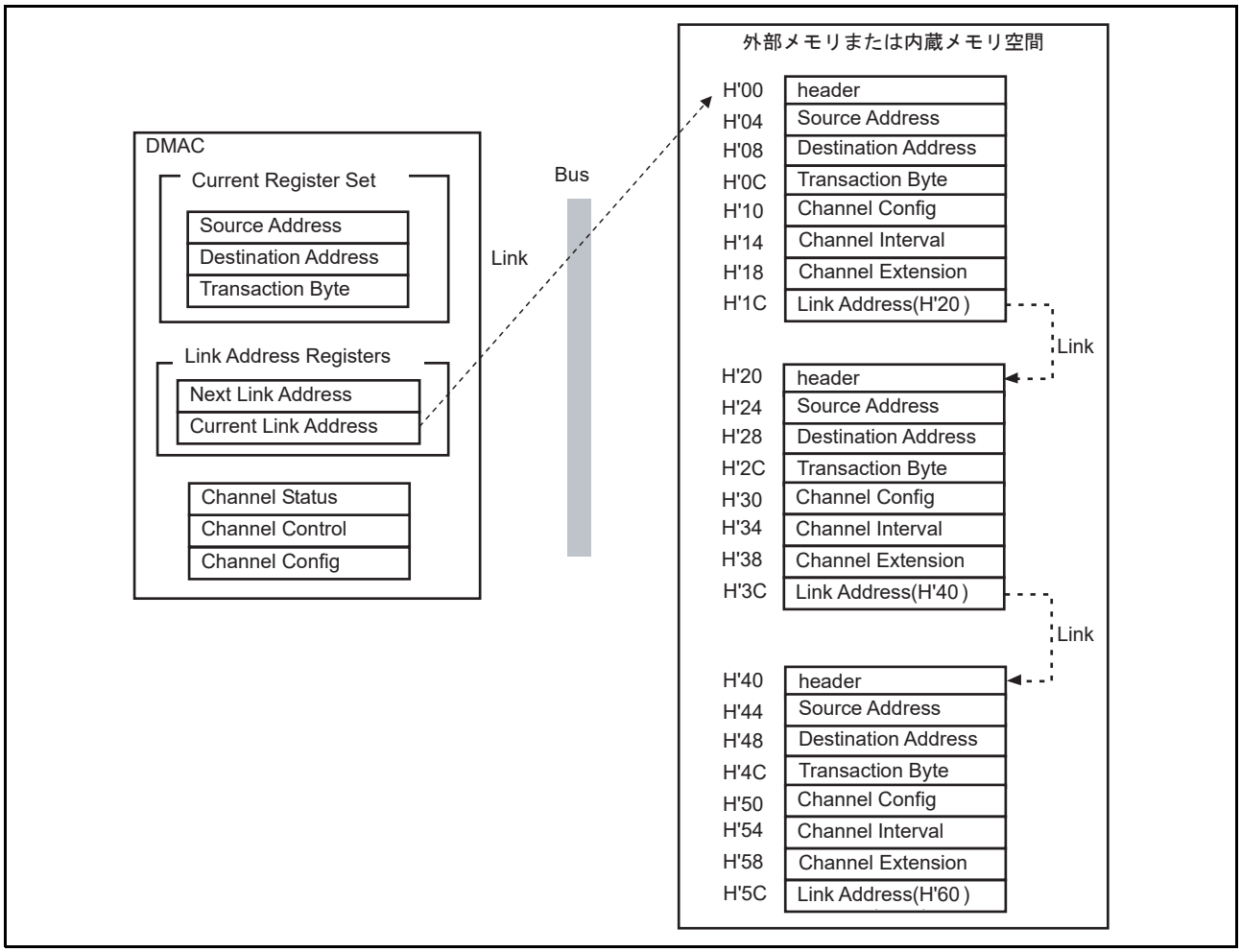


図 9.6　リンク・モード概要

(1) 動作フロー

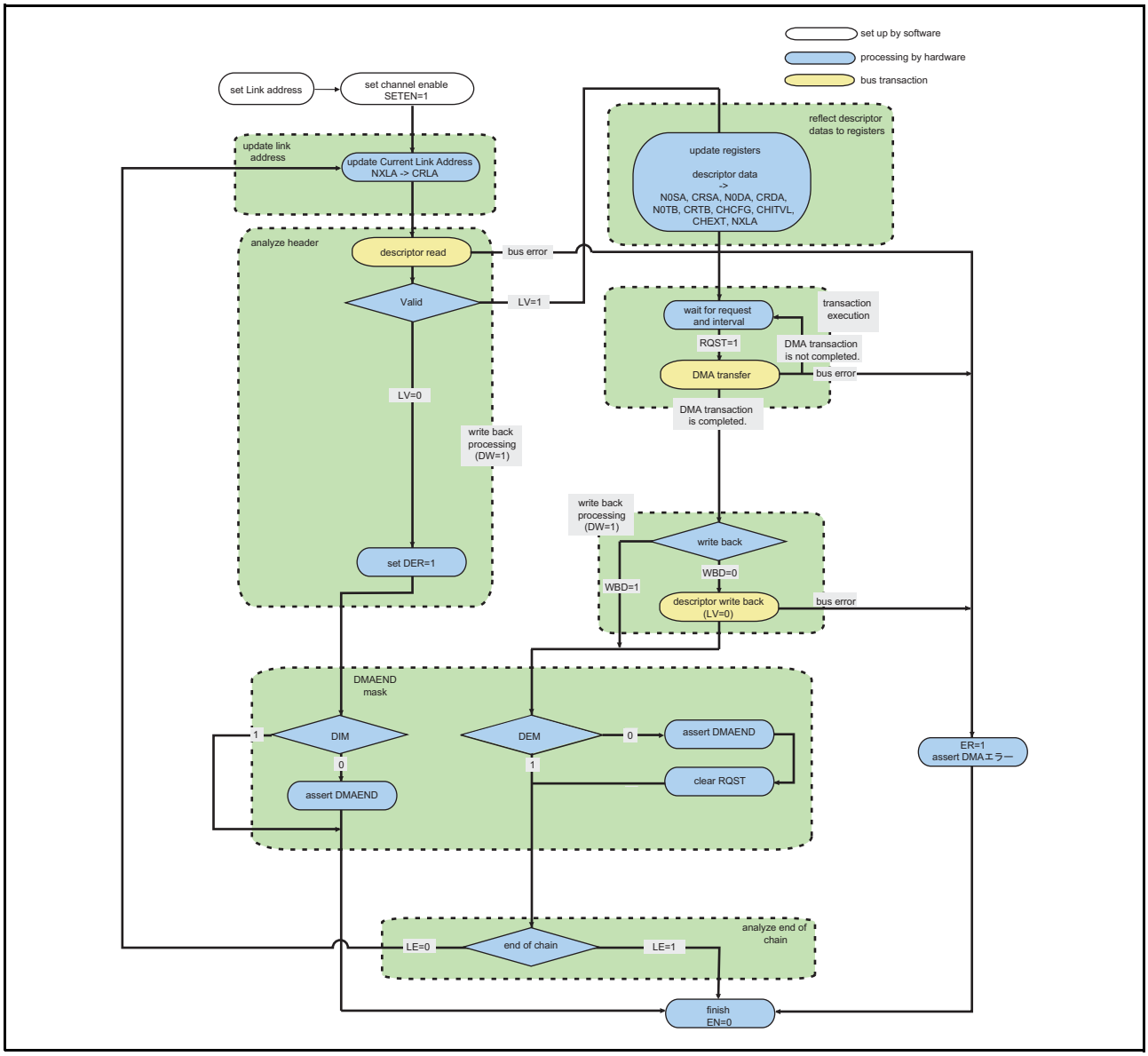


図 9.7　　リンク・モードのフロー

< リンク・モードフローの説明 >

1. チャネル設定
   NXLA_n/nS にリンク先の先頭アドレスを設定します。

2. リンク・アドレス更新
   EN = 1(SETEN を 1 にセット) にすると NXLA_n/nS に設定した Link アドレスを CRLA_n/nS にロードされます。

3. ディスクリプタ読み出しと header 判定
   ディスクリプタ・ロードを開始し、DMAC は header の内容を確認します。LV = 0 の場合は、ディスクリプタを読み捨て、DER = 1 になり終了状態 (EN = 0) になります。このとき、header 内の DIM が 0 ならば、DMAEND が発行されます。

4. ディスクリプタ設定
   ロードしたディスクリプタを Current レジスタ･セットと、Channel レジスタ･セットに設定します。また、NXLA_n/nS に次のリンク先を設定します。

5. DMA トランザクション
   設定された値に従って、DMA トランザクションを実行します。

6. header 書き戻し（ライト・バック）
   header の WBD = 0 の場合、DMA が header の LV ビットを 0 として header を書き戻します。

7. DMAINT マスク
   CHCFG_n/nS の DEM ビットが 0 の場合、DMA 転送終了割り込みを発行します。

8. リンク終了判定
   header の LE = 1 の場合、ディスクリプタ設定での転送後、EN を 0 クリアして終了します。LE = 0 の場合は、Current レジスタを更新し、次のディスクリプタ・ロード開始します。TEND は、各ディスクリプタ転送終了時に発行します。

(2) レジスタ設定

(a) リンク・モード設定

リンク・モードを使用する場合は、CHCFG_n/nS レジスタの DMS ビットを 1 に設定してください。

表9.12　リンク・モード設定

DMS (CHCFG_n/nS)	説明
1	リンク・モードで動作します。 ディスクリプタによって、このビットを書き換えることはできません。

(b) LINK アドレス設定

リンク先を示すレジスタとして、Next Link アドレス・レジスタと Current Link アドレス・レジスタがあります。

リンク・モードを開始する際には、Next Link アドレス・レジスタにリンク先を設定してください。

Next Link アドレスは、ディスクリプタ・ロード後に、次のリンク先を示します。また、Current Link アドレスは現在実行中のリンク・アドレスを示しています。

表9.13　Linkアドレスレジスタ・セット

レジスタ	説明
Next Link Address Register (NXLA_n/nS)	次のリンク先の設定、および表示を行います。リンク・モード開始前に、このレジスタにリンク先のアドレスを設定してください。
Current Link Address Register (CRLA_n/nS)	現在実行中のリンク先を表示します。このレジスタは読み出しのみ可能です。

注.　リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングと周辺モジュールおよび外部リクエストとの同期は取ることはできません。このため、周辺モジュールおよび外部リクエストを使う場合、イネーブルをセットする前にCHCFG_n/nS レジスタのAM、LVL、HIEN、LOEN、SEL を設定し、かつディスクリプタ中でこれらの設定ビットを変更しないようにしてください。

(3) ディスクリプタ設定

リンク先のアドレスには、以下の順で、ディスクリプタを準備してください。
DMAC はディスクリプタをバーストでリードします。

(a) ディスクリプタ並び

表9.14　ディスクリプタ設定並び

アドレス	データ	備考
LinkAddress + H'00	header	
LinkAddress + H'04	Source Address	
LinkAddress + H'08	Destination Address	
LinkAddress + H'0C	Transaction Byte	
LinkAddress + H'10	Config	レジスタ・モードの設定はできません。
LinkAddress + H'14	Interval	
LinkAddress + H'18	Extension	
LinkAddress + H'1C	Next Link Address	

【備考】リンク先には、32bit 境界にアラインされているアドレスを設定してください。

(b) header

header は以下に示すように、ディスクリプタの状態を表します。
この領域は、リンク・モードでの DMA 転送開始前に、DMAC によってリードされます。また、DMA トランザクション終了後に、転送状況が DMAC によってライト・バックされます。

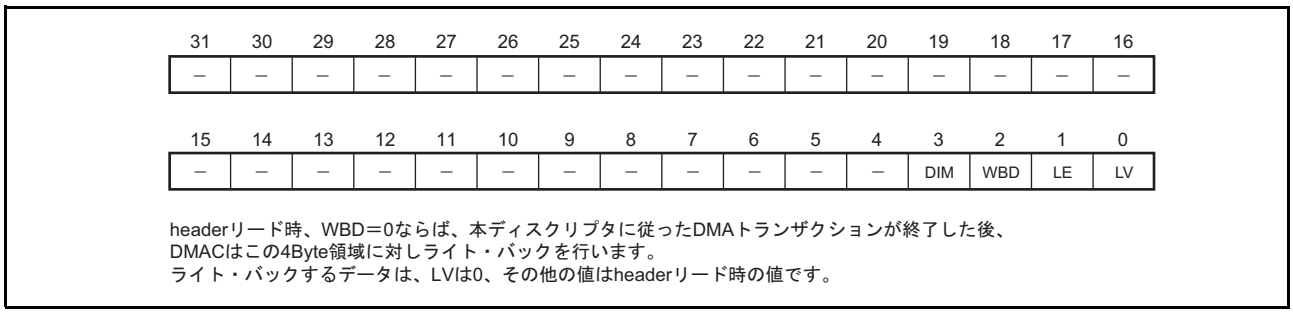


図 9.8　header 領域

表9.15　header領域

ビット位置	ビット名	説明
31:4	—	—
3	DIM	Descriptor Interrupt Mask headerロード時にLV = 0だった場合、DMA転送終了割り込みのマスクの有無を設定します。 0:DMA転送終了割り込みを発行する。 1:DMA転送終了割り込みを発行しない。
2	WBD	Write Back Disable LVビットのライト・バック実行をマスクします。このビットが1である場合、DMACは書き戻す動作を行いません。 0:LVビットを0に書き戻す。 1:LVビットを書き戻さない。
1	LE	Link End このディスクリプタのDMAトランザクションでリンクが終了することを示します。リンクの最後を示す場合にこのビットを1に設定してください。 0: リンク継続 1: リンク終了
0	LV	Link Valid このディスクリプタが有効であることを示します。 このビットはWBD = 0の場合、DMACがディスクリプタに書かれたDMAトランザクション実行後に0を書き込みます。header設定時には1を設定してください。 0: ディスクリプタ無効 1: ディスクリプタ有効

(c)　header 以外のディスクリプタの設定

header 以外のディスクリプタの各データは、内蔵レジスタの仕様と同じです（ただし CHCFG_n/nS レジスタの DMS ビットはディスクリプタで書き換えることはできません。）。内蔵レジスタの仕様は「9.4　レジスタの説明」を参照してください。

ディスクリプタの設定例は「9.8　DMA 設定例」を参照してください。

(d)　ディスクリプタ・アクセス時の CACHE 設定

ディスクリプタのアクセス時の CACHE 設定は「9.4.14　DMA Control Register (DCTRL_0_7/0_7S, DCTRL_8_15/8_15S)」の LWCA、LDCA に設定することができます。ディスクリプタが準備されているアクセス先に応じて、設定してください。

(e)　ディスクリプタ領域と DMA 転送領域

以下に、DMAC がアクセスする、ディスクリプタ領域と DMA 転送領域の概略を示します。

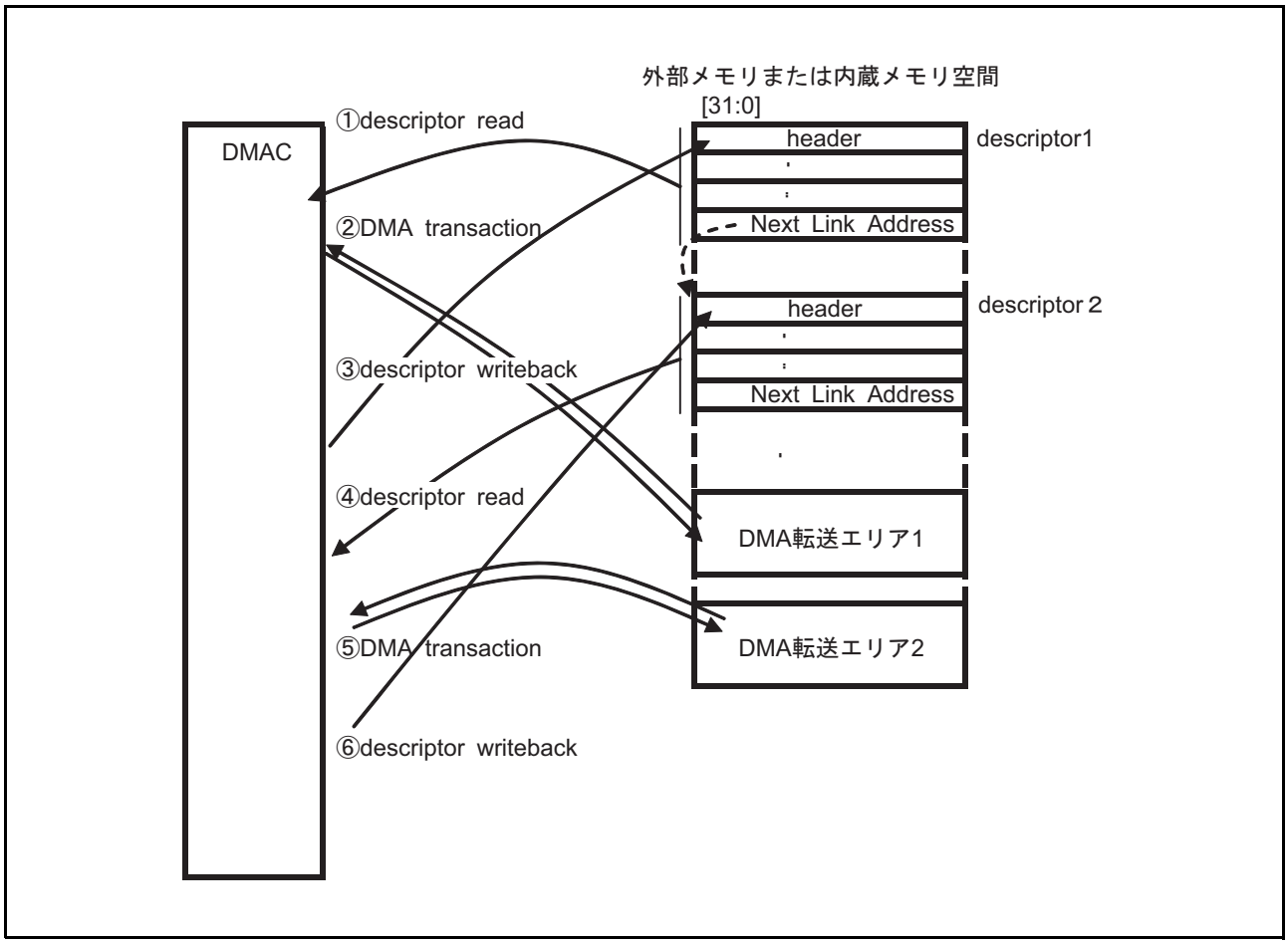


図 9.9　　ディスクリプタ領域と DMA 転送領域の概略

1. ディスクリプタ・リード
   内蔵の Next Link Address レジスタに設定した値を、Current Link Address レジスタにロードし、Current Link Address レジスタの指し示す外部メモリ空間 (descriptor1) から、ディスクリプタをリード

2. DMA 転送
   ディスクリプタの header 中の LV = 1 だったならば、ディスクリプタ情報に従い、DMA 転送を実行

3. ディスクリプタ・ライト・バック
   設定バイト数 DMA 転送後、header 中の WBD = 0 だったならば、descriptor1 の header に対し、LV は 0、その他のフィールドは 1. でリードした値をデータとして、ワード・サイズでのライト・バックを実行。

4. ディスクリプタ・リード
   前回（1.）リードしたディスクリプタの header 中の LE = 0 だったならば、ディスクリプタ中の Next Link Address で示されるアドレス（descriptor2）から、次のディスクリプタをリード。

5. DMA 転送
   ディスクリプタの header 中の LV = 1 だったならば、ディスクリプタ情報に従い、DMA 転送を実行

6. ディスクリプタ・ライト・バック
   設定バイト数 DMA 転送後、header 中の WBD = 0 だったならば、descriptor2 の header に対し、LV は 0、その他のフィールドは 4. でリードした値をライト・データとして、ワード・サイズでのライト・バックを実行。

以降 4. ～ 6. の繰り返し

header 中の LE = 1、WBD = 0 だったならば、そのディスクリプタ設定での DMA 転送、および header の LV ビットに 0 をライト・バックして終了。

header 中の LE = 1、WBD = 1 だったならば、そのディスクリプタ設定での DMA 転送を行って終了（ライト・バックは行わない）。

header 中の LV = 0 だったならば停止（DMA 転送は行わない）。

(4) ディスクリプタ構成例

リンク・モードでは、ディスクリプタを以下のように構成することが可能です。

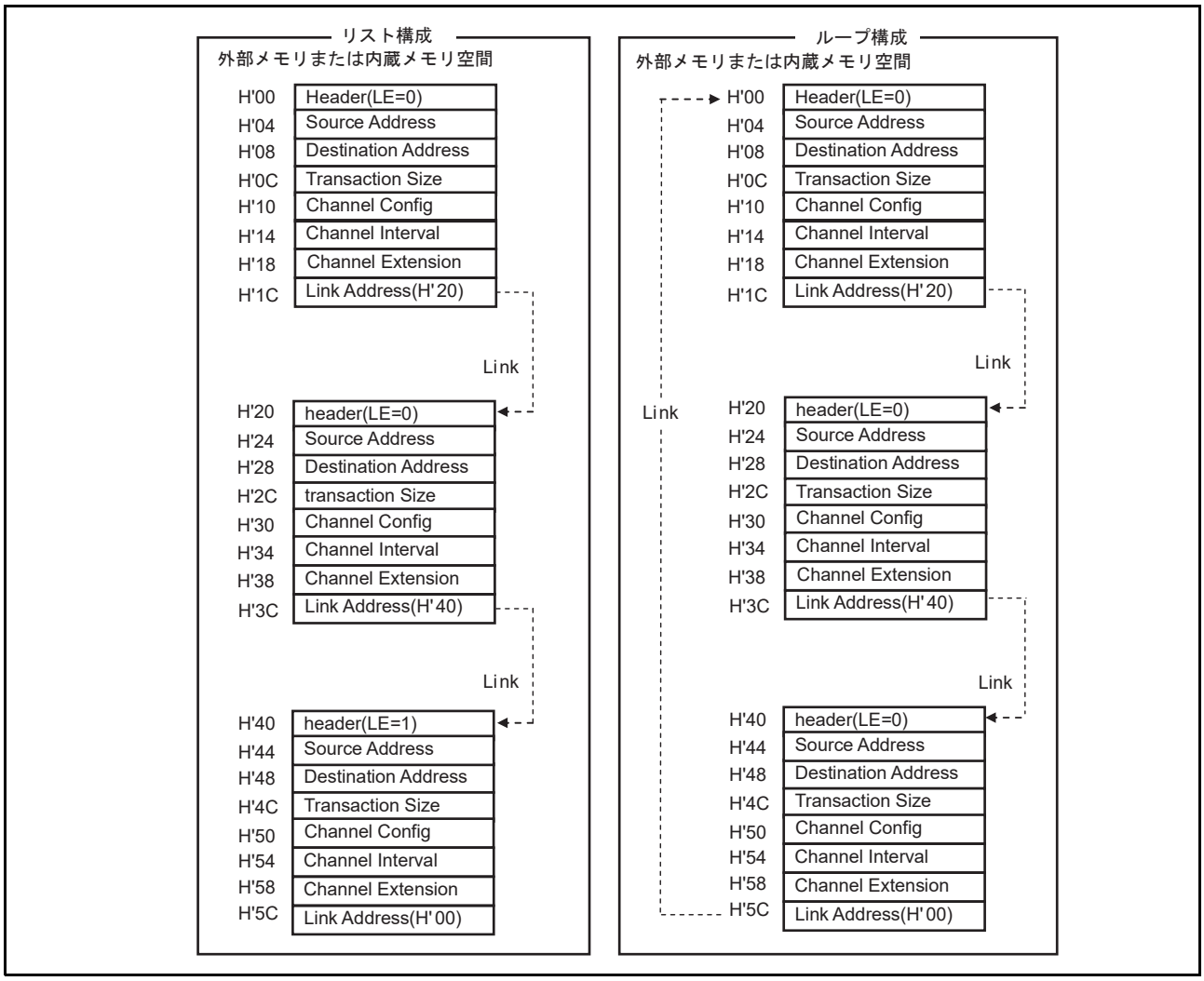


図 9.10　　ディスクリプタ構成例

- **リスト構成**
  最後のディスクリプタの header にある LE ビットを 1 に設定することで、リンクを終了します。

- **ループ構成**
  最後のディスクリプタのリンク先を、前のディスクリプタのアドレスに設定することで、ディスクリプタをループ構成とする事ができます。ループを終了するためには、DMAC がディスクリプタ・リードする前に header の LE ビットを 1 に書き換えるか、転送中断手順に従って停止してください。

9.7 DMA 転送

本章では、DMA 転送の基本動作について説明をします。

9.7.1 転送モード

転送モードは、シングル転送モードとブロック転送モードをサポートしています。
モードの選択は、チャネル毎に CHCFG_n/nS の TM ビットで設定してください。

表 9.16　基本転送設定

転送モード	TM (CHCFG_n/nS)	機能
シングル転送	0	1 回の DMAREQ に対して、1 回の DMA トランスファを実行します。
ブロック転送	1	1 回の DMAREQ に対して、DMA トランザクションが完了するまで、転送を実行します。

(1) シングル転送モード

DMA 転送要求を受け付けると、REQD で示された方向 (ソースあるいはディスティネーション) の DMA トランスファを 1 回実行します。転送要求を受け付ける度に 1 回の転送を行い、この動作を CRTB_n/nS にロードされたバイト数分続けます（チャネル間のアービトレーションは、DMA トランスファ毎に行います)。

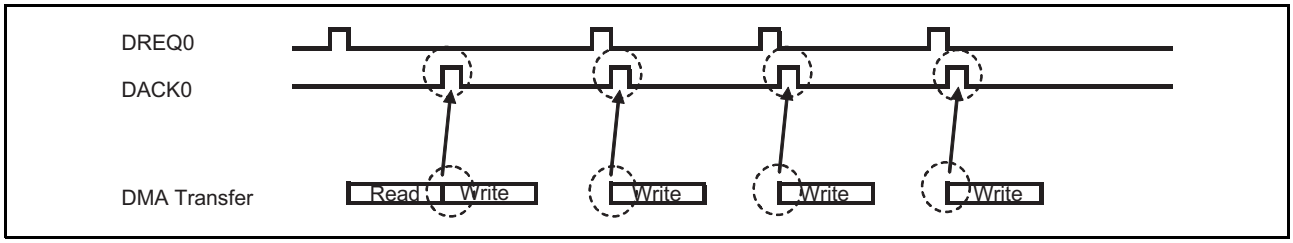


図 9.11　シングル転送モード (REQD = 1、SDS > DDS)

(2) ブロック転送モード

DMA 転送要求を 1 度受け付けると、DMA 転送バイト・レジスタ（CRTB_n/nS レジスタ）にロードしたバイト数分の転送が完了する (DMA トランザクション完了) まで転送を続けます（チャネル間のアービトレーションは、DMA トランスファ毎に行います)。

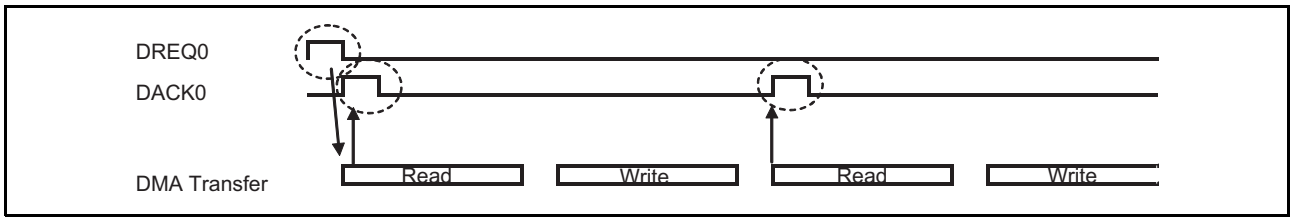


図 9.12　ブロック転送モード (REQD = 0、SDS < DDS)

9.7.2 DMA チャネルの優先順位制御

優先順位は、チャネル 0 ～ 7 内およびチャネル 8 ～ 15 内で固定優先順位モードとラウンドロビン・モードをサポートしています。チャネル 0 ～ 7 とチャネル 8 ～ 15 間ではラウンドロビン・モードのみサポートしています。モードの選択は、DMA コントロール・レジスタ（DCTRL レジスタ）の PR ビットで行います。PR ビットが 0 の場合、固定優先順位モードとなり、PR ビットが 1 の場合、ラウンドロビン・モードとなります。

リードの優先順位とライトの優先順位を独立に制御します。

DMAC はトランスファの完了を待たずに、各チャネルのトランスファを並行して発行し、レスポンスが返って来た順に処理します。このため、各チャネルのトランザクション開始とトランザクション完了の順番が一致するとは限りません。

表 9.17　優先順位制御設定

モード	PR (DCTRL)	機能	用途
固定優先順位	0	チャネル 0～7／チャネル 8～15 固定優先順位 (高：CH0(CH8) > CH1(CH9) > CH2(CH10) > CH3(CH11) > CH4(CH12) > CH5(CH13) > CH6(CH14) > CH7(CH15)：低) でリクエストを制御します。	チャネルに優先順位がある場合に使用してください。
ラウンドロビン	1	ラウンドロビンでリクエストを制御します。	各リクエストに対して均等に実行させたい場合に使用してください。

(1) 固定優先順位モード

固定優先順位モードでは、チャネル 0 ～ 7 内およびチャネル 8 ～ 15 内の優先順位は固定となります。またチャネル 0 ～ 7 とチャネル 8 ～ 15 間ではラウンドロビンとなります。

リセット直後の優先順位は次のようになります。

高　CH0 ＞ CH8 ＞ CH1 ＞ CH9 ＞ CH2 ＞ CH10 ＞ CH3 ＞ CH11 ＞ CH4 ＞ CH12 ＞ CH5 ＞ CH13 ＞ CH6 ＞ CH14 ＞ CH7 ＞ CH15　低

この状態で、DMA チャネル 0 の転送要求があった場合、DMA チャネル 0 の転送を行い、終了後には以下のようになります。

高　CH8 ＞ CH0 ＞ CH9 ＞ CH1 ＞ CH10 ＞ CH2 ＞ CH11 ＞ CH3 ＞ CH12 ＞ CH4 ＞ CH13 ＞ CH5 ＞ CH14 ＞ CH6 ＞ CH15 ＞ CH7　低

DMA 転送要求が複数のチャネルで同時に発生した場合は、番号の小さいチャネルの DMA 転送要求を優先します。固定優先順位モードでの DMA 転送実行時に、優先順位の高い他の DMA 転送要求が発生した場合の例を次に示します。

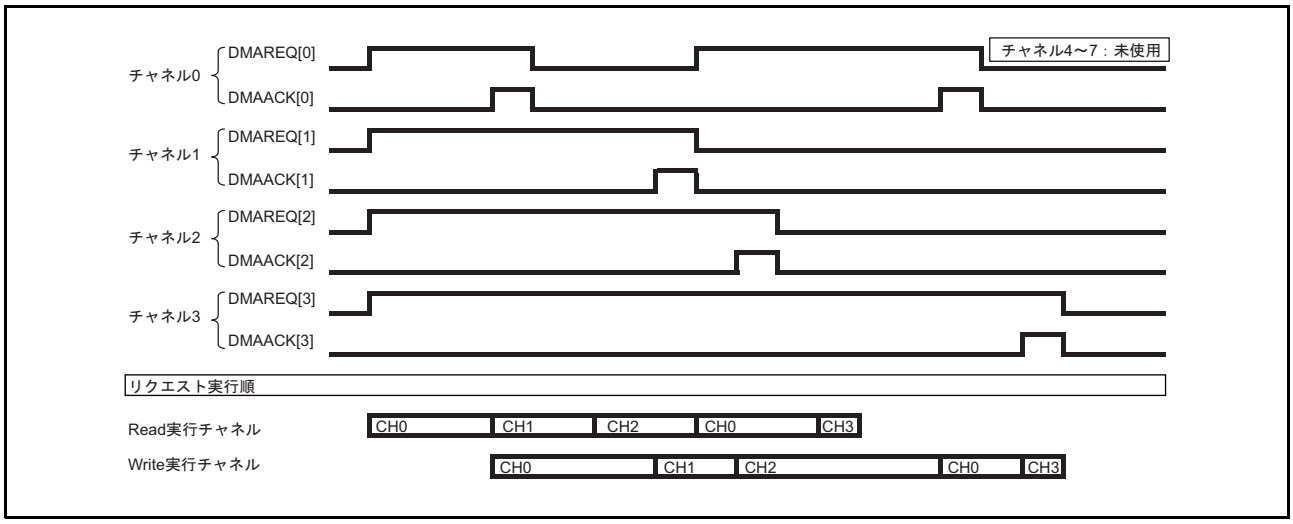


図 9.13　　固定優先順位モード（チャネル数 4、REQD = 1 の場合）

(2)　ラウンドロビン･モード

ラウンドロビン・モードでは、チャネル 0 ～ 7 内およびチャネル 8 ～ 15 内の転送受け付け毎に、直前の転送を行ったチャネルの優先順位が一番低くなるように優先順位を変更します。

チャネル 0 ～ 7 とチャネル 8 ～ 15 間もラウンドロビンで優先順位が決まります。

リセット直後の優先順位は、固定優先順位モードと同様で、次のようになります。

高　CH0 ＞ CH8 ＞ CH1 ＞ CH9 ＞ CH2 ＞ CH10 ＞ CH3 ＞ CH11 ＞ CH4 ＞ CH12 ＞ CH5 ＞ CH13 ＞ CH6 ＞ CH14 ＞ CH7 ＞ CH15　低

この状態で、DMA チャネル 2 の転送要求があった場合、DMA チャネル 2 の転送を行い、終了後には以下のようになります。

高　CH8 ＞ CH3 ＞ CH9 ＞ CH4 ＞ CH10 ＞ CH5 ＞ CH11 ＞ CH6 ＞ CH12 ＞ CH7 ＞ CH13 ＞ CH0 ＞ CH14 ＞ CH1 ＞ CH15 ＞ CH2　低

ラウンドロビン・モードで DMA 転送の例を次に示します。

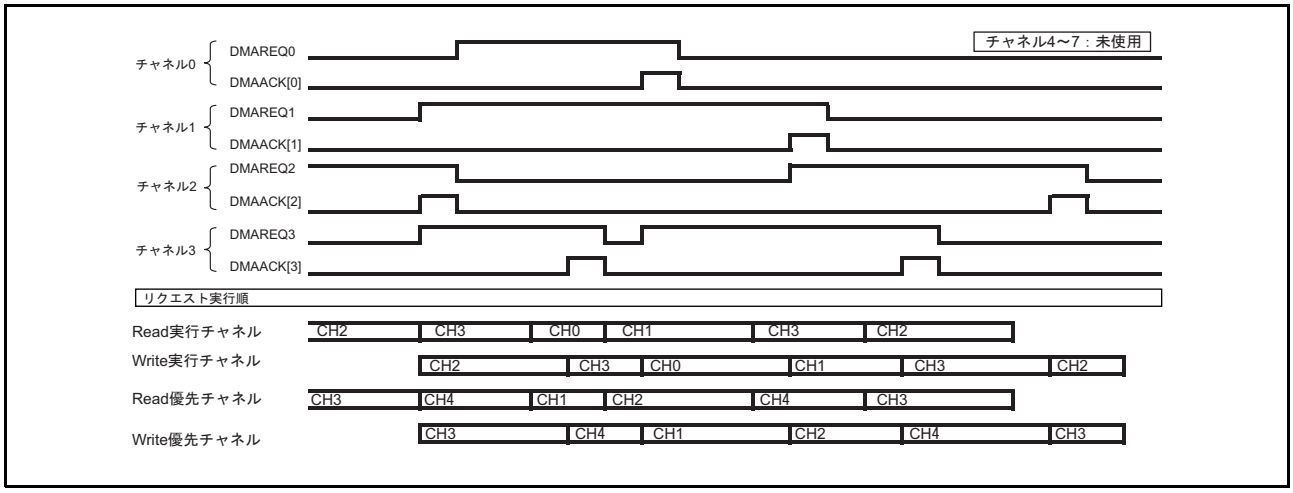


図 9.14　　ラウンドロビン･モード（チャネル数 4、REQD = 0 の場合）

現在 DMA トランスファを実行しているチャネル +1 の番号のチャネルが、次にトランスファを行います。+1 のチャネルの転送要求が無い場合は、さらに +1 のチャネルがトランスファを実行することができます。

9.7.3　外部バスサイクルのステート数

本モジュールがバスマスタのときの外部バスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラで制御されます。

詳細は、「8. バスステートコントローラ」を参照のこと。

9.7.4　DMA 転送要求

CHCFG_n/nS レジスタの LVL ビットにより、エッジ検出とレベル検出を選択します。

CHCFG_n/nS レジスタの HIEN/LOEN ビットにより、エッジ検出の場合は立ち上がり / 立ち下がり、レベル検出の場合は High レベル /Low レベル検出を設定します。

周辺モジュール転送要求の場合は、**表 9.4** に従って、CHCFG_n/nS レジスタを設定してください。

外部端子リクエスト（DREQ0）の場合、**表 9.18** に従って、立ち上がりエッジ／立ち下がりエッジ／ High レベル／ Low レベル検出を設定してください。

表9.18　外部端子リクエスト検出設定

モード	LVL (CHCFG_0/0S)	HIEN (CHCFG_0/0S)	LOEN (CHCFG_0/0S)	機能
エッジ検出	0	0	0	オートリクエスト起動を使用の場合はこの設定にしてください。
			1	外部端子リクエスト（DREQ0）の立ち下がりエッジで検出します。
		1	0	外部端子リクエスト（DREQ0）の立ち上がりエッジを検出します。
			1	設定禁止
レベル検出	1	0	0	設定禁止
			1	外部端子リクエスト（DREQ0）をLowレベル・モードで検出します。
		1	0	外部端子リクエスト（DREQ0）をHighレベル・モードで検出します。
			1	設定禁止

(1)　エッジ検出

CHCFG_n/nS レジスタの LVL ビットを 0 に設定することにより、エッジ検出となります。

CHCFG_n/nS レジスタの HIEN ビットを 1 に設定することにより立ち上がりエッジ検出、LOEN ビットを 1 に設定することにより立ち下がりエッジ検出となります。

DACK0 の検出を待ってから次の DREQ0 要求を出すようにしてください。

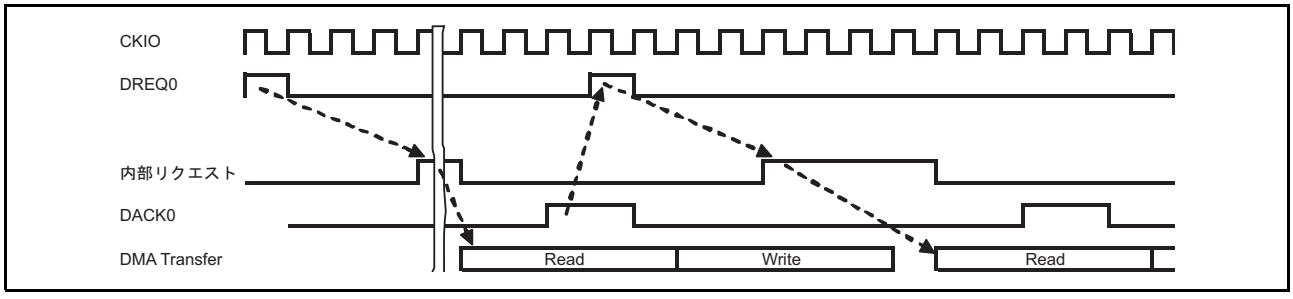


図 9.15　エッジ検出タイミング（HIEN = 1、REQD = 0）

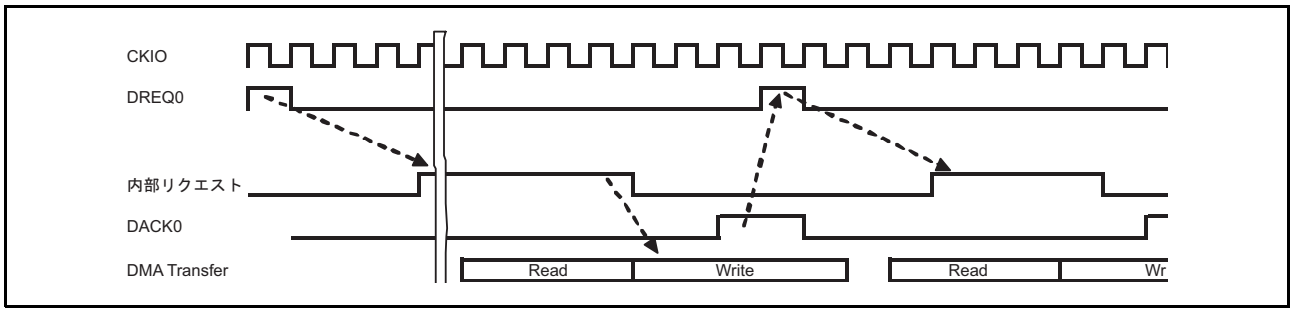


図 9.16　エッジ検出タイミング（HIEN = 1、REQD = 1）

(2)　レベル検出

CHCFG_n/nS レジスタの LVL ビットを 1 に設定することにより、レベル検出となります。

DREQ0 が、連続した 2 クロック・サイクル以上の期間アクティブ (HIEN、LOEN の設定による) である場合、正しい DREQ0 として認識します。

DACK0 をレベル・モードにした場合、DACK0 は DREQ0 がディアサートされるまで、High レベルになります。

次の DMA 転送要求を行う場合、DACK0 がディアサートされてから次の DREQ0 をアサートしてください。

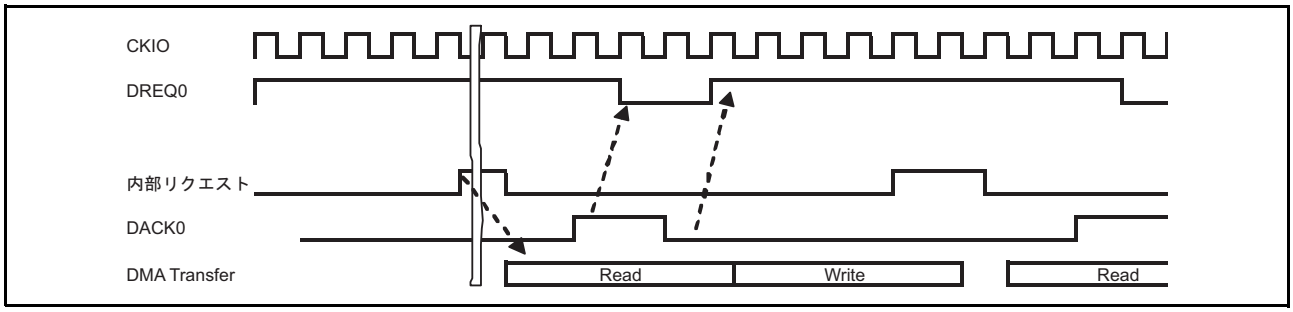


図 9.17　　レベル検出タイミング（HIEN = 1、REQD = 0、AM[2:0] = 001）

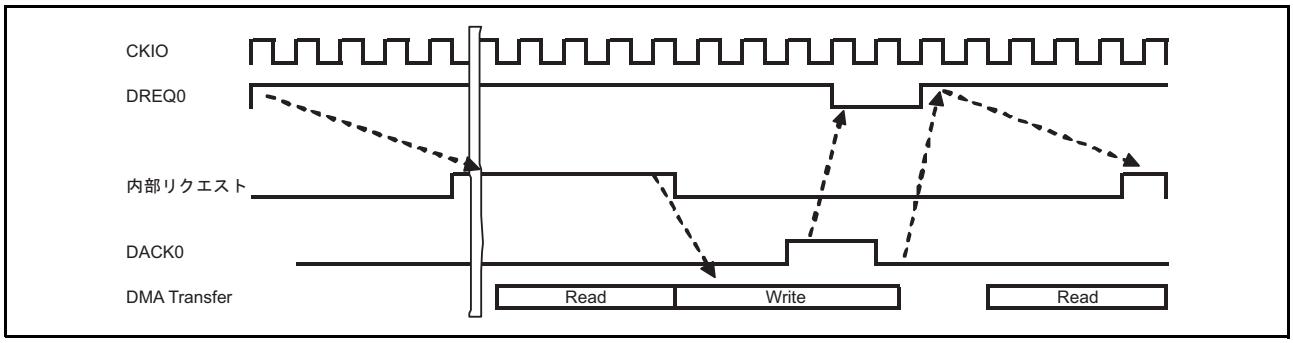


図 9.18　　レベル検出タイミング（HIEN = 1、REQD = 1、AM[2:0] = 001）

9.7.5　DMA アクノリッジ出力機能

DACK0 は、DREQ0 に対するアクノリッジ信号です。DACK0 の出力は、レベル出力、バス・サイクル出力設定をサポートしています。

DACK0 は MPX-IO インタフェースを除き、当該 CS# アサートと同一タイミングでアサートします。詳細は「8.　バスステートコントローラ」を参照してください。

(1)　DMA アクノリッジ信号出力タイミング設定

DMA 転送要求が受け付けるとアクティブ（High レベル出力）になります。CHCFG_n/nS レジスタの REQD ビットと AM[2:0] ビットによって、以下のように設定することが可能です。

表 9.19　DACK0 出力タイミング設定

モード	AM[2] (CHCFG_0/0S)	AM[1:0] (CHCFG_0/0S)	REQD (CHCFG_0/0S)	用途
パルス	0	00	0	設定禁止
			1	
レベル	0	01	0 (リード時にアクティブ)	レベルで DACK0 を出力します。DACK0 は DREQ0 がディアサートされるまでアサートし続けます。
			1 (ライト時にアクティブ)	
バス・サイクル	0	10 11	0 (リード時にアクティブ)	バス・サイクルの期間 DACK0 を出力します。 バス・サイクルの終了タイミングまで DACK0 をアサートしたい場合に使用します。
			1 (ライト時にアクティブ)	
マスク	1	—	—	オートリクエスト起動時、または SCIFA 転送時に設定してください。

(2)　レベル出力

CHCFG_n/nS レジスタの AM ビットを 001 に設定することにより、レベル出力となります。DACK0 は、DREQ0 がディアサートされるまでアサートし続けます。

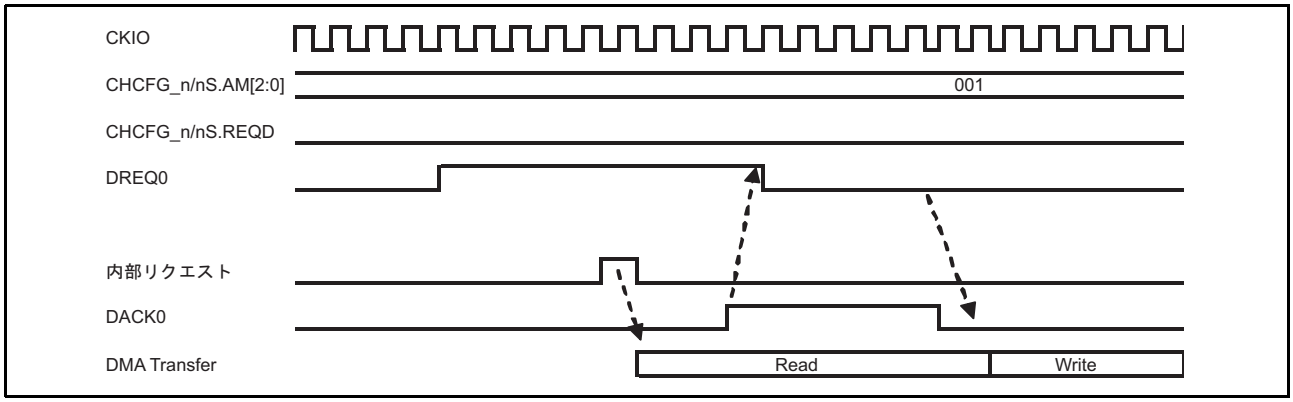


図 9.19　DACK0 出力タイミング（AM[2:0] = 001、REQD = 0）

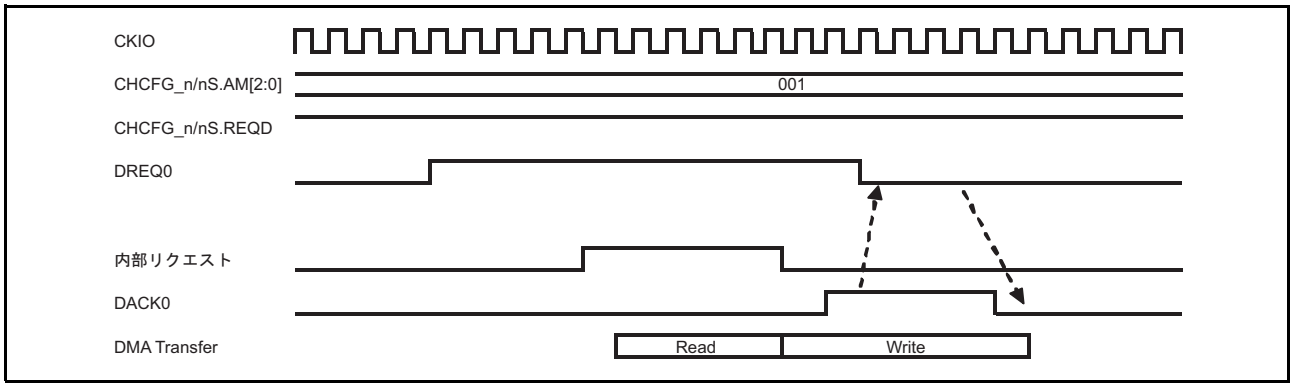


図 9.20　DACK0 出力タイミング（AM[2:0] = 001、REQD = 1）

(3)　バス・サイクル出力

CHCTRL_n/nS レジスタの AM ビットを 010 に設定することにより、バス・サイクル出力となります。バス・サイクルの期間、DACK0 がアクティブになります。

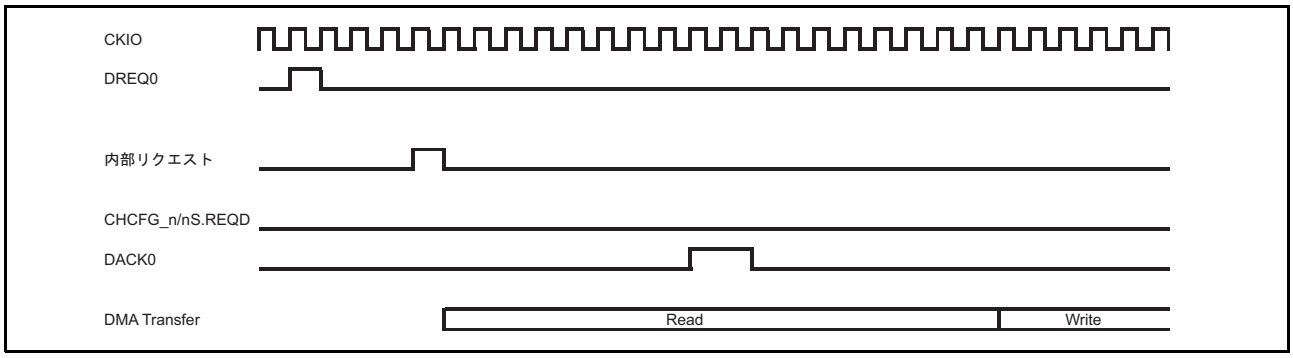


図 9.21　バス・サイクル出力タイミング（REQD = 0）

- リード時アクティブ (REQD = 0) の場合は、バス上でリードリクエストを出力するタイミングから最後のリード・データの 1 サイクル後までの期間、DACK0 がアクティブになります。
- DREQ0 がレベル検出の場合、バス・サイクル終了後の次のサイクルまで DREQ0 は無効です。

以下の信号が DACK0 の立ち上がり・立ち下りのトリガになります。
立ち上がり：転送開始（MARVALID = 1）
立ち下がり：転送終了（MRLAST & MRREADY = 1）

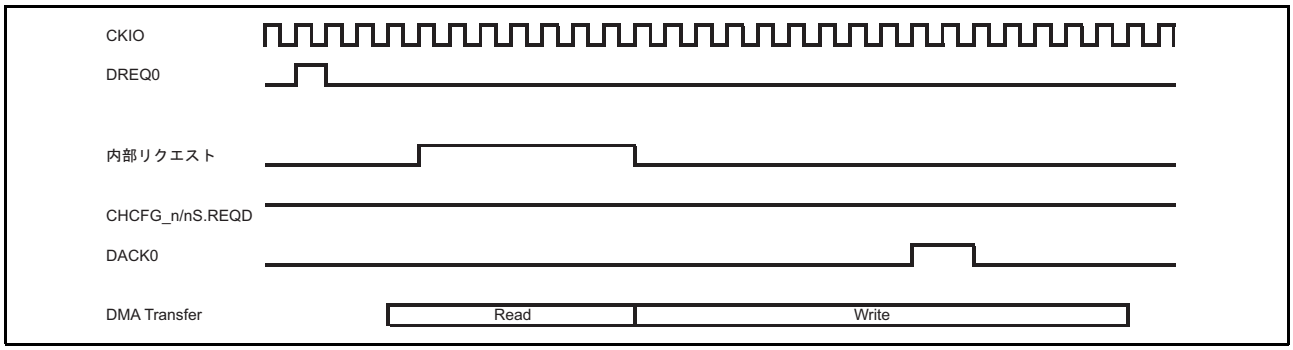


図 9.22　バス・サイクル出力タイミング（REQD = 1）

- ライト時アクティブ (REQD = 1) の場合は、ライトリクエストを出力するタイミングから最後のデータに対するレスポンスが返った 1 サイクル後までの期間、DACK0 がアクティブになります
- DREQ0 がレベルの場合、バス・サイクル終了後の次のサイクルまで DREQ0 は無効です。

以下の信号が DACK0 の立ち上がり・立ち下りのトリガになります。
立ち上がり：転送開始（MAWVALID = 1）
立ち下がり：転送終了（MBVALID & MBREADY = 1）

9.7.6　DMA 転送終了出力機能

TEND0 は、DMA 転送要求を出した要求元に対するトランザクション完了信号です。
TEND0 は転送最終トランザクションの DACK0 と同じタイミングでアサートします。
図 9.23 に TEND0 出力タイミングを示します。

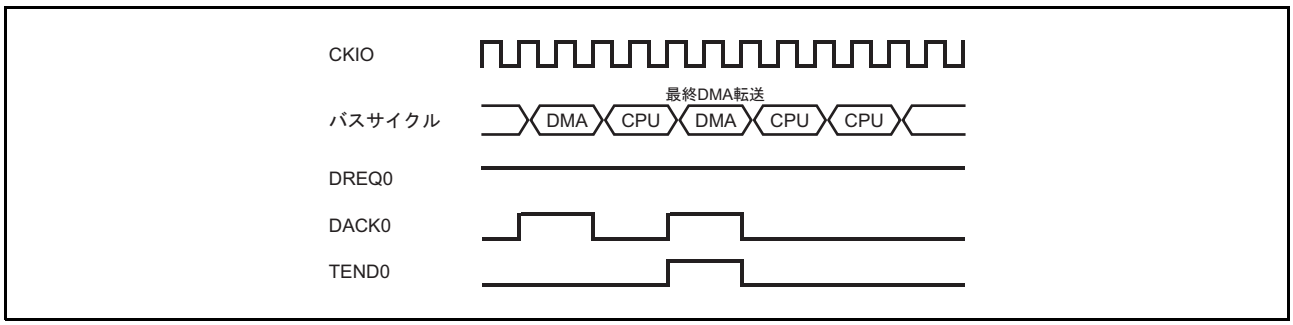


図 9.23　TEND0 出力タイミング

9.7.7　DMA 転送終了割り込み

DMA 転送終了割り込みは、DMA トランザクションが終了したことを示す割り込み要求信号です。
DMA 転送終了割り込みは、各チャネル個別にあります。

CRTB(Current Transaction Byte) にロードされた総転送バイト数分の転送が完了した場合、CHSTAT_n/nS レジスタの END を 1 にセットします。この時、CHCFG_n/nS レジスタの DEM = 0 だった場合、DMA 転送終了割り込みを出力します（n = 0 - 15)。(リンク・モードでライト・バックを行う場合は、ライト・バック後に出力します。)

またリンク・モードにおいて、リードしたディスクリプタの header が LV = 0 だった場合、CHSTAT_n/nS レジスタの DER を 1 にセットします。この時、header の DIM = 0 だった場合、DMA 転送終了割り込みを出力します。

表9.20　DMA転送終了割り込みアサート条件

要因	条件	DMA転送終了割り込みマスク信号
DMA トランザクション完了	CRTB(Current Transaction Byte)にロードされた総転送バイト数分の転送が、OKAY レスポンスで完了した時（リンク・モードでライト・バックを行う場合は、ライト・バック後）	CHCFG_n/nS レジスタの DEM ビット
ディスクリプタ・インバリッド	リンク・モードにおいて、header の DIM = 0 の状態で、リードしたディスクリプタの header が LV = 0 だった時	header の DIM ビット

9.7.8　DMA エラー割り込み

DMA 転送およびディスクリプタ・アクセスに対して、エラー・レスポンスを受けた場合、DMAC はエラーと判断し、転送を中止します。エラー・レスポンスを受けると、転送中のチャネル n の CHSTAT_n/nS レジスタの EN ビットを 0 にクリアし、ER ビットを 1 にセッします（n = 0 ～ 15）。また、DMA エラー割り込みを出力します。

DMA エラー割り込みをマスクすることはできません。

エラーとなった一連の転送はそのデータを保証できません。必ず下記の手順にて、最初から転送をやり直してください。

1. CHCTRL_n/nS レジスタの SWRST ビットを 1 にセット
2. 各レジスタを再設定

9.7.9　インターバル･カウント機能

チャネル・インターバル・レジスタ（CHITVL_n/nS）の ITVL ビットの設定によって、DMA 転送の実行間隔を調整することが可能です。この機能は、DMA コントローラがバスを占有することの無いようにするためのものです。

一回のリードまたはライトが完了すると、CHITVL_n/nS に設定された値からカウントダウンを始めます。カウント値が 0 になるまでは、次の内部リクエストが実行されません。

動作例を次に示します。

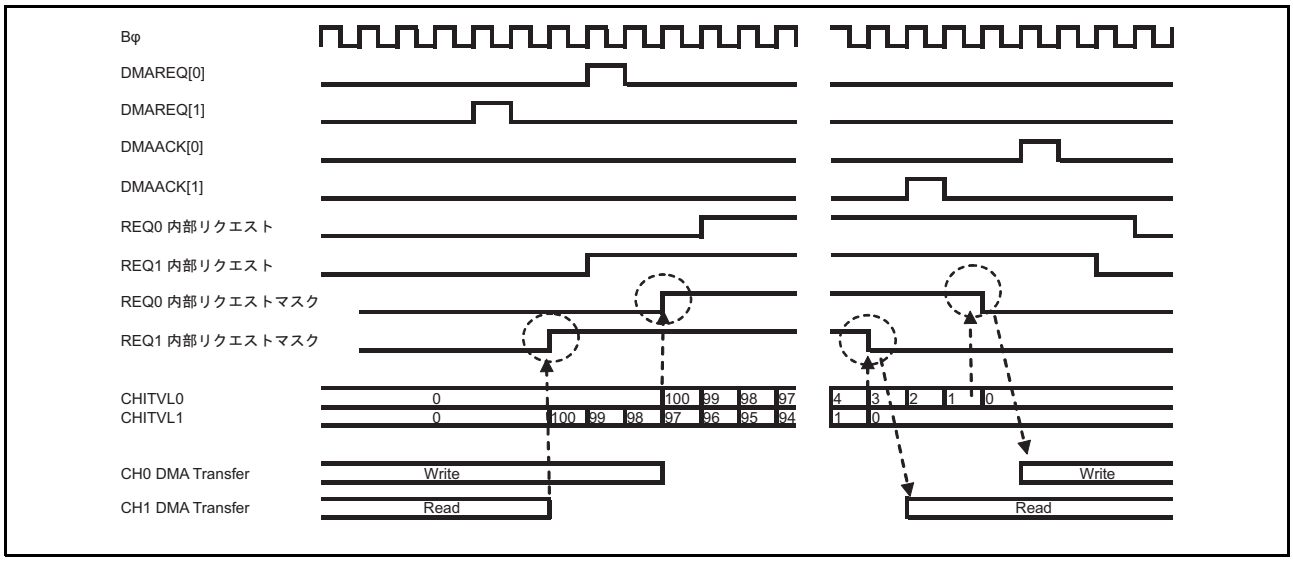


図 9.24　インターバル・カウント

9.7.10　転送サイズによる動作の違い

(1)　ソース側の転送サイズが小さい場合

ディスティネーション・データ・サイズ分のデータのリードが完了すると、ディスティネーションへのライトを行います。

ソース側が 8bit、ディスティネーション側が 32bit の場合のタイミング図を以下に示します。（立ち上がりエッジ検出の場合）

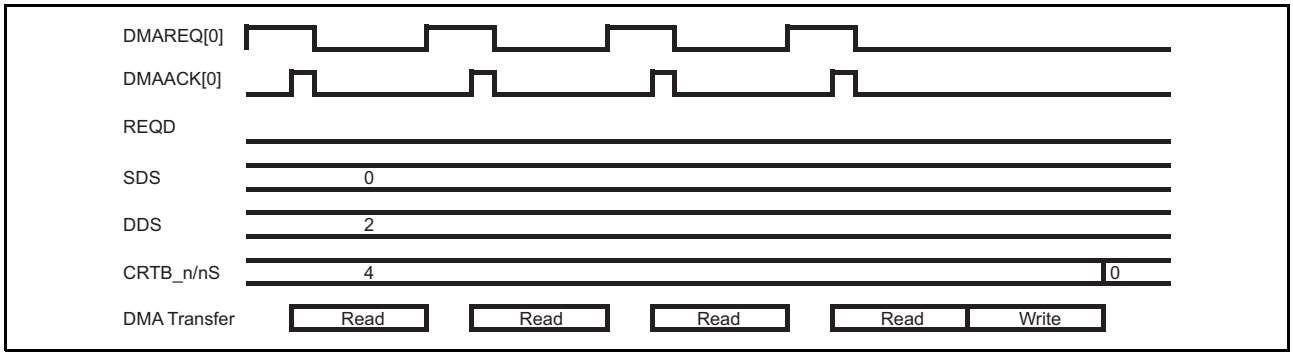


図 9.25　ソースが小さい場合（CHCFG_n/nS の LVL = 0、HIEN = 1、REQD = 0、SDS < DDS）

(2)　ディスティネーション側の転送サイズが小さい場合

ソース側の方が大きいため、一度のソース・リードの後、数回のディスティネーション・ライトが発生することとなります。ソース側が 64bit、ディスティネーション側が 16bit の場合を以下に示します。（立ち上がりエッジ検出の場合）（CHCFG_n/nS レジスタの REQD = 1 に設定）

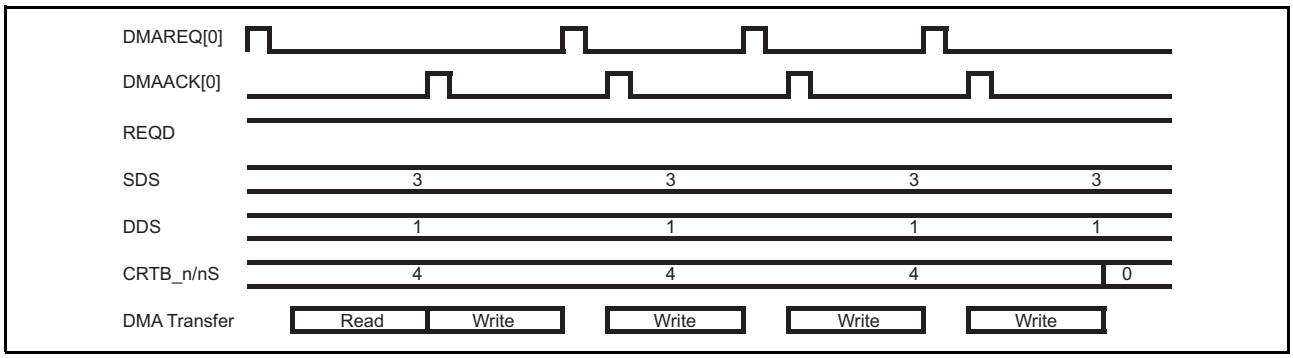


図 9.26　ディスティネーションが小さい場合（CHCFG_n/nS の LVL = 0、HIEN = 1、REQD = 1、SDS > DDS）

(3)　ソースとディスティネーションの転送サイズが同じ場合

DMA 転送要求を検出するたびにソースのリードとディスティネーションへのライトを行います。

ソースとディスティネーションが 8bit の場合のタイミング図を以下に示します。（立ち上がりエッジ検出で、CHCFG_n/nS レジスタの REQD = 1 に設定の場合）

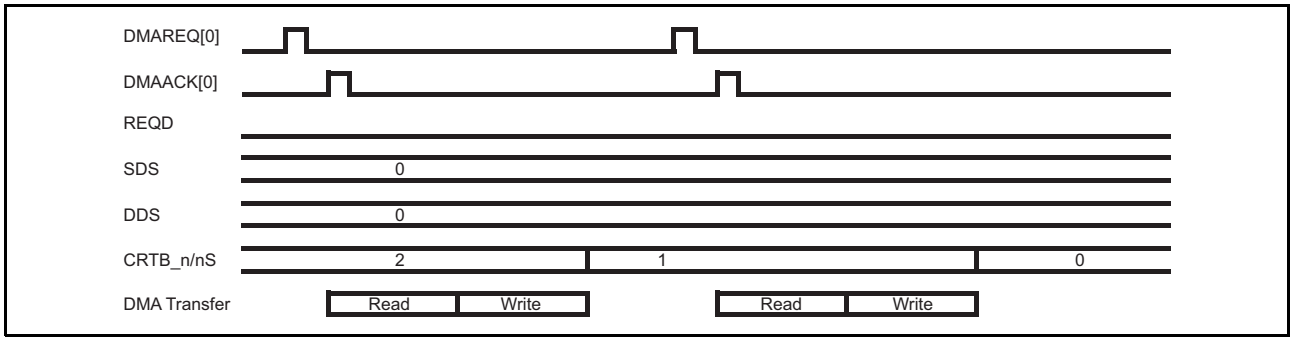


図 9.27　　ソースとディスティネーションが同じ場合（CHCFG_n/nS の LVL = 0、HIEN = 1、REQD = 0、SDS = DDS）

9.7.11　転送状態

Channel ステータス・レジスタはチャネルの DMA 転送実行状態を示します。

(1)　一時停止

CHCTRL_n/nS の SETSUS ビットで DMA 転送を一時停止することができます。この時、すでに実行されているバス・サイクルがあれば、その完了を待って、停止状態になります。CLRSUS ビットに 1 をライトすることで停止状態から復帰することができます。

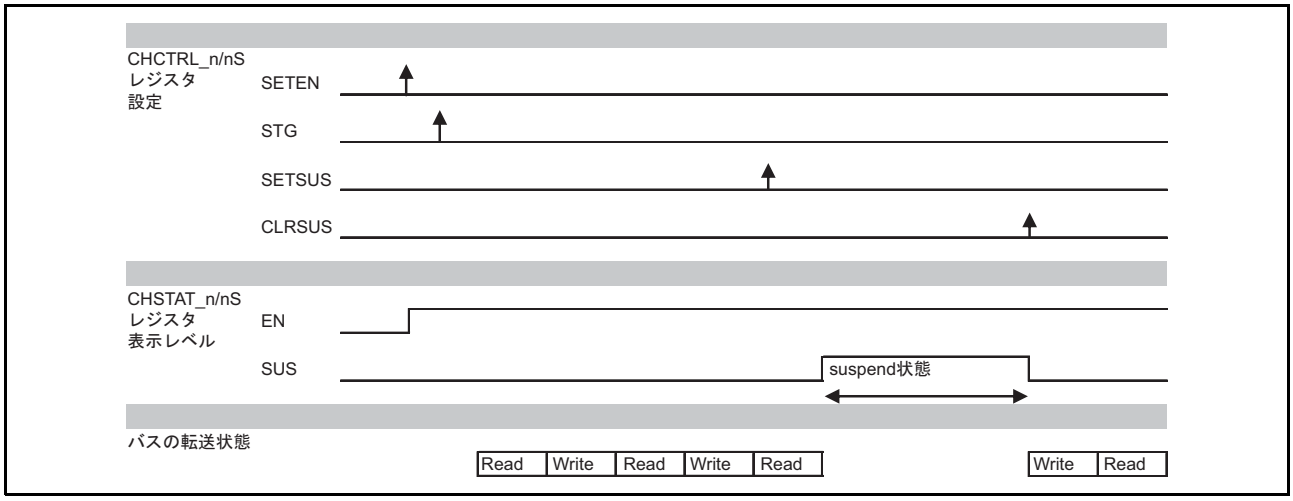


図 9.28　DMAC 一時停止状態 (オートリクエスト ブロック転送)

上記の場合、リード・トランスファが終了した時点で停止状態に入ります。

すでに DMA が転送を実行している場合、その転送が完了した時点でサスペンド状態になります。サスペンド状態であることを確認するためには、SETSUS をセットした後、CHSTAT レジスタまたは DSTAT_SUS レジスタをリードして該当チャネルの SUS ビットが 1 になっていることを確認してください。

(2)　転送中断

DMA トランザクション中に CLREN に 1 をライトすると、そのチャネルの DMA トランザクションを中断することができます。中断後の処理として、中断したタイミングでバッファに残ったデータを掃き出すモード (SBE = 1) と、掃き出しを行わないモード (SBE = 0) を CHCFG_n/nS レジスタの SBE ビットで選択することができます。デフォルトは SBE = 0 です。

この掃き出しモードが有効で、CLREN = 1 で進行中の転送が中断されると、DMAC のバッファにデータが残っていた場合、そのデータを掃き出して、トランザクションが完了になります。

(a)　転送中断（バッファ掃き出しなし：SBE = 0）

DMA 転送中に CLREN をセットすると、DMA 転送を中断して停止します。停止するタイミングは REQD 設定した値にしたがって停止します。停止後は必ず、SWRST をセットし DMA 内部状態をクリアしてから、次の転送設定を行ってください。

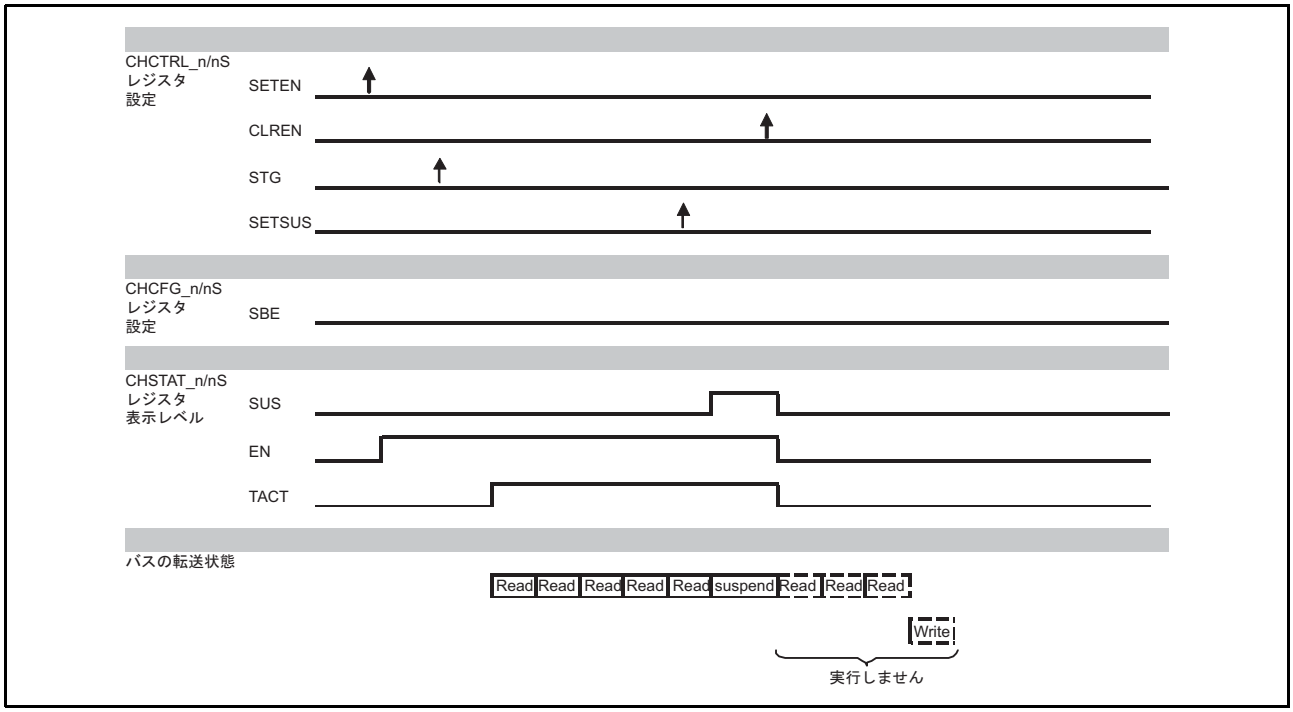


図 9.29　　DMA 転送中断

- TACT ビットが落ちた時点でチャネルが完全に停止したことを確認できます。
- DMA 転送の途中で中断した場合、DMA 転送終了割り込みはアサートしません。
- REQD = 0 の場合、次のリードが完了した時点で停止します。(ただし、ライトできるデータがバッファ内にある場合はライトして停止します)。
- REQD = 1 の場合、次のライトが完了した時点で停止します。

(b)　転送中断（バッファ掃き出しあり：SBE = 1）

DMA 転送中に CLREN をセットすると、DMA 転送を中断します。REQD = 0 の場合、すでにリードしたデータを掃き出し (ライト) して DMA 転送を停止します。REQD = 1 でハードウェア・リクエストを使用している場合は、掃き出しモードを使用しないでください。停止後は SWRST をセットし、DMAC 内部状態をクリアしてから、次の転送設定を行ってください。

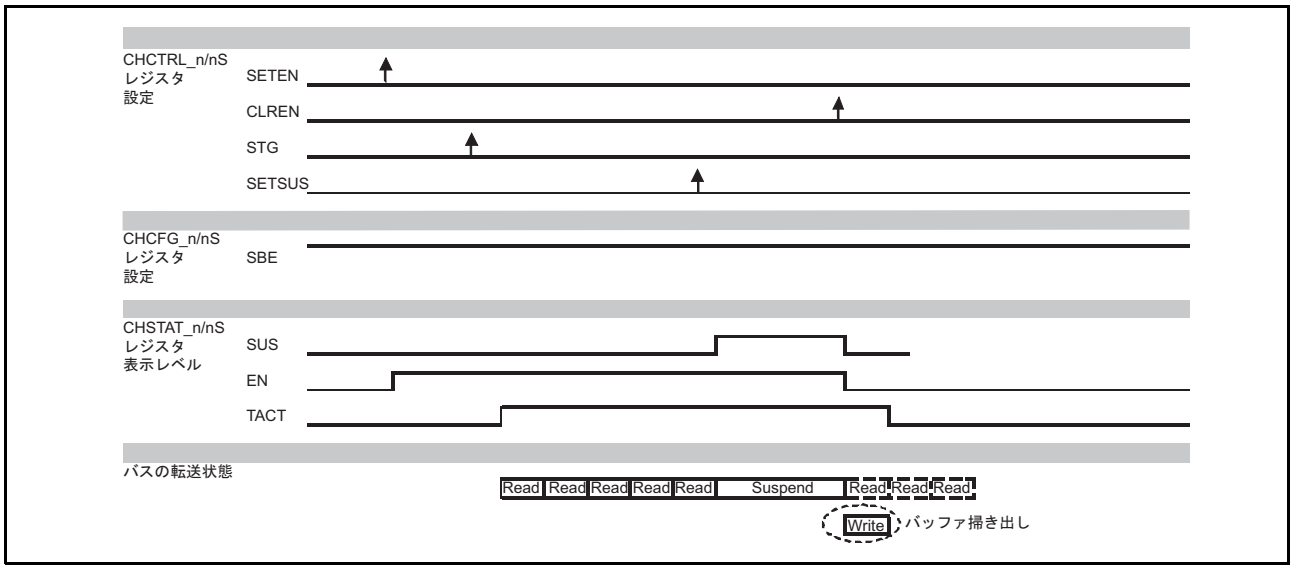


図 9.30　　DMA 転送中断 (バッファ掃き出しモード)

- TACT ビットが落ちた時点でチャネルが完全に停止したことを確認できます。
- 掃き出しモード (SBE = 1) で、5 回目のリード転送中に SETSUS → CLREN で転送を中断した場合、リードしたデータをライトして、DMA を停止します。

(c)　チャネルの停止確認方法

EN ビットを 0 クリアしても、すでにバス上で転送が実行されている場合は、DMA はすぐに停止することができません。よって DMA が完全に停止したことを確認するためには、EN ビットが 0 かつ TACT ビットが 0 であることを確認する必要があります。

(d)　転送中断手順

以下に転送停止手順を示します。

1. CHCTRL_n/nS の SETSUS をセットします。
2. CHSTAT_n/nS の SUS ビットが 1 になるまでポーリングします。(このとき、すでに EN が 0 の場合は DMAC が停止しているため、手順 6 へ)
3. CHCTRL_n/nS の CLREN をセットします。
4. SBE = 0 の場合は REQD の値にしたがって停止、SBE = 1 の場合は掃き出し状態になります。SBE = 1 の設定の場合、REQD = 0 に設定しておいてください。
5. CHSTAT_n/nS をリードして TACT ビットが 0 になっていることを確認します。TACT = 0 ならば、DMA が完全に停止したことを意味します。TACT = 1 の場合は、0 になるまでポーリングしてください。
6. 中断後、次の DMA 転送を行う場合、次の転送を開始する直前までに必ず CHCTRL_n/nS の SWRST（ソフトウェアリセット）ビットをセットしてください。

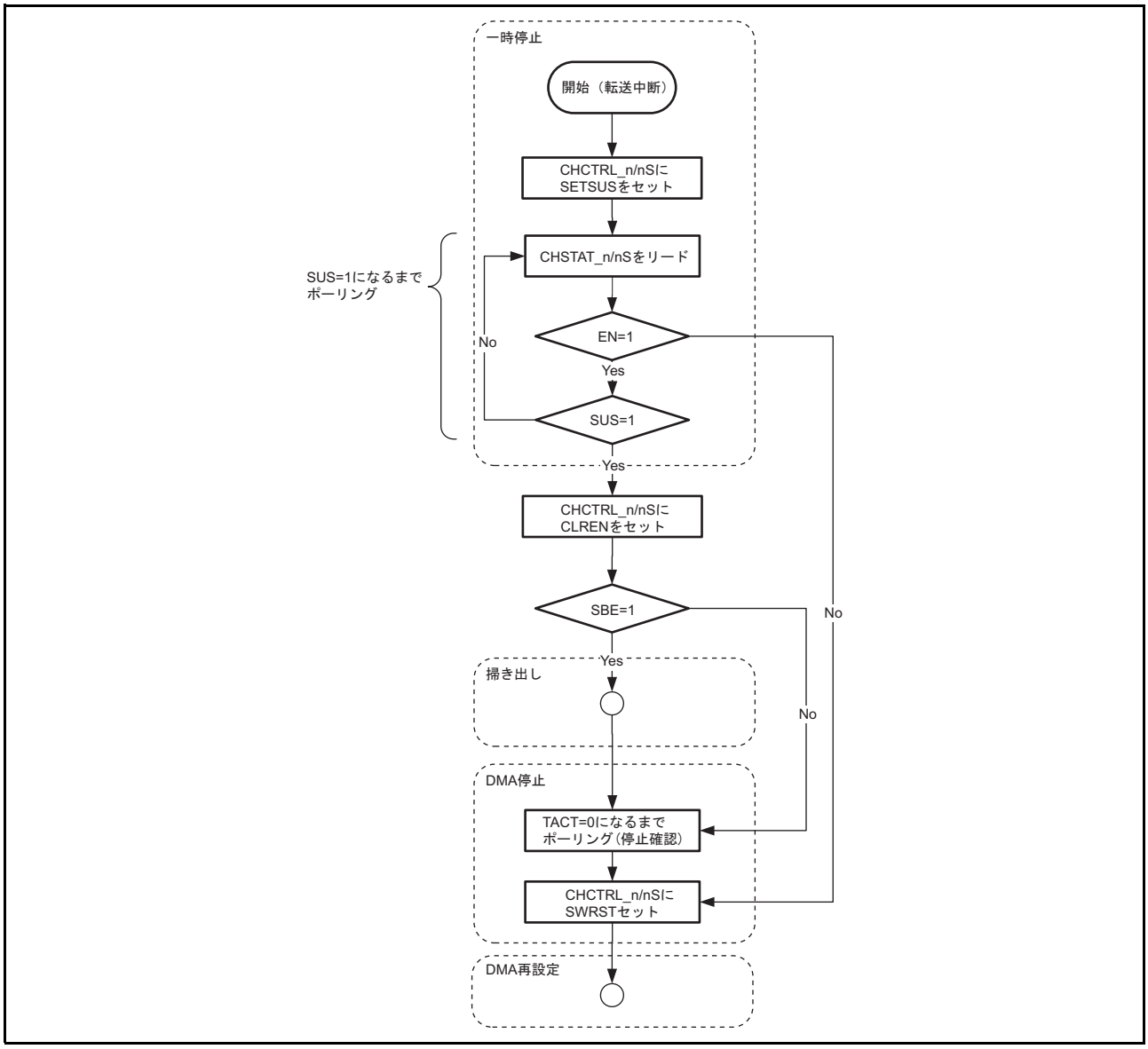


図 9.31　　転送中断フロー

9.8 DMA 設定例

この章では、ダイレクトメモリアクセスコントローラを使用して、DMA 転送を行う場合の設定例を示します。

各設定例の転送条件は次のとおりです。

表 9.21　DMA 転送設定例の転送条件一覧

	DMA モード	転送モード	転送要求
設定例 1	Register	シングル	ハード
設定例 2	Register	ブロック	ソフト
設定例 3	Register (連続実行)	ブロック	ソフト
設定例 4	Link	ブロック	ソフト

設定内容の詳細については、各設定例を参照してください。

9.8.1 設定例 1（レジスタ・モード　ハードウェア・リクエスト）

次に示す設定で DMA 転送を行う場合の設定値を示します。

表 9.22　DMA 転送の設定例 1

項目		内容	
使用チャネル		3	
DMA モード		Register	
転送モード		シングル転送	
使用レジスタ・セット		Next0	
転送元／転送先		転送元	転送先
	開始アドレス	H'11110000	H'22220000
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	32 ビット	32 ビット
DMA 転送バイト数		64 Byte	
DMA 転送要求		ハードウエアによる、立ち上がりエッジ検出	
DMAACK 信号		リード時にレベル出力	
DMA 転送終了割り込みマスク		なし	
CACHE 設定		デフォルト値	

設定例 1

N0SA = H'11110000 (転送元アドレス)

N0DA = H'22220000 (転送先アドレス)

N0TB = H'00000040 (転送バイト数)

CHCFG = H'00022123 (コンフィグ)

CHITVL = H'00000000 (インターバル)

CHEXT = H'00000000 (CACHE 設定)

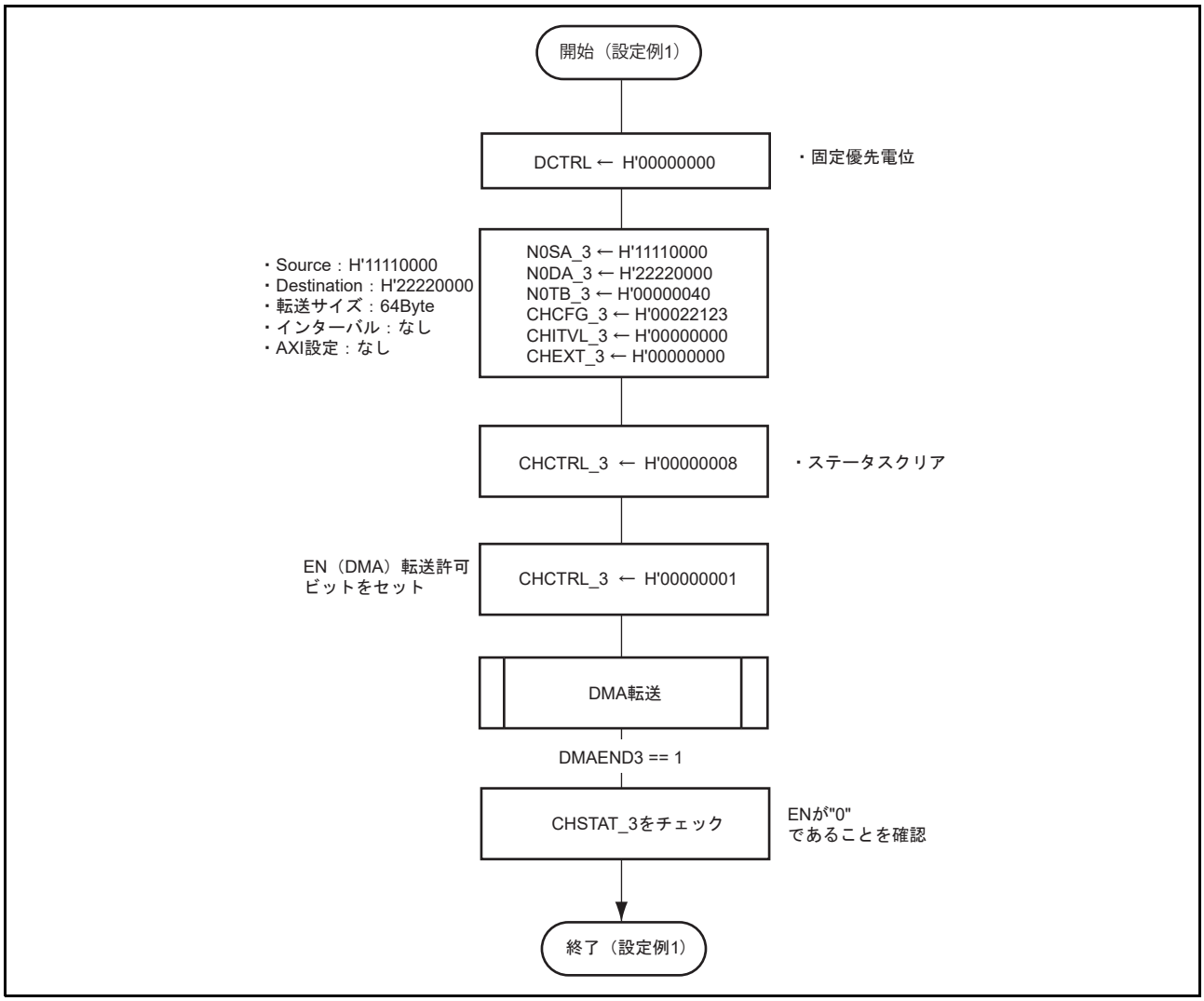

開始（設定例1）
DCTRL ← H'00000000
・固定優先電位
・Source：H'11110000
・Destination：H'22220000
・転送サイズ：64Byte
・インターバル：なし
・AXI設定：なし
N0SA_3 ← H'11110000
N0DA_3 ← H'22220000
N0TB_3 ← H'00000040
CHCFG_3 ← H'00022123
CHITVL_3 ← H'00000000
CHEXT_3 ← H'00000000
CHCTRL_3 ← H'00000008
・ステータスクリア
EN（DMA）転送許可
ビットをセット
CHCTRL_3 ← H'00000001
DMA転送
DMAEND3 == 1
CHSTAT_3をチェック
ENが"0"
であることを確認
終了（設定例1）

図 9.32　　設定例 1

9.8.2　設定例 2（レジスタ・モード　ソフトウェア・リクエスト）

次に示す設定で DMA 転送を行う場合の設定例を示します。

表 9.23　DMA 転送の設定例 2

項目		内容	
使用チャネル		2	
優先順位制御		ラウンドロビン	
DMA モード		Register	
転送モード		ブロック転送	
使用レジスタ・セット		Next1	
転送元／転送先		転送元	転送先
	開始アドレス	H'0FFFE000	H'33330000
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	8 ビット	256 ビット
DMA 転送バイト数		128 Byte	
DMA 転送要求		オートリクエスト	
DMAACK 信号		マスク	
DMA 転送終了割り込みマスク		なし	
CACHE 設定		デフォルト値	

設定例 2
DCTRL = H'00000001（DMA 設定）

N1SA = H'0FFFE000（転送元アドレス）
N1DA = H'33330000（転送先アドレス）
N1TB = H'00000080（転送バイト数）

CHCFG = H'10450402（コンフィグ）
CHITVL = H'00000000（インターバル）
CHEXT = H'00000000（CACHE 設定）

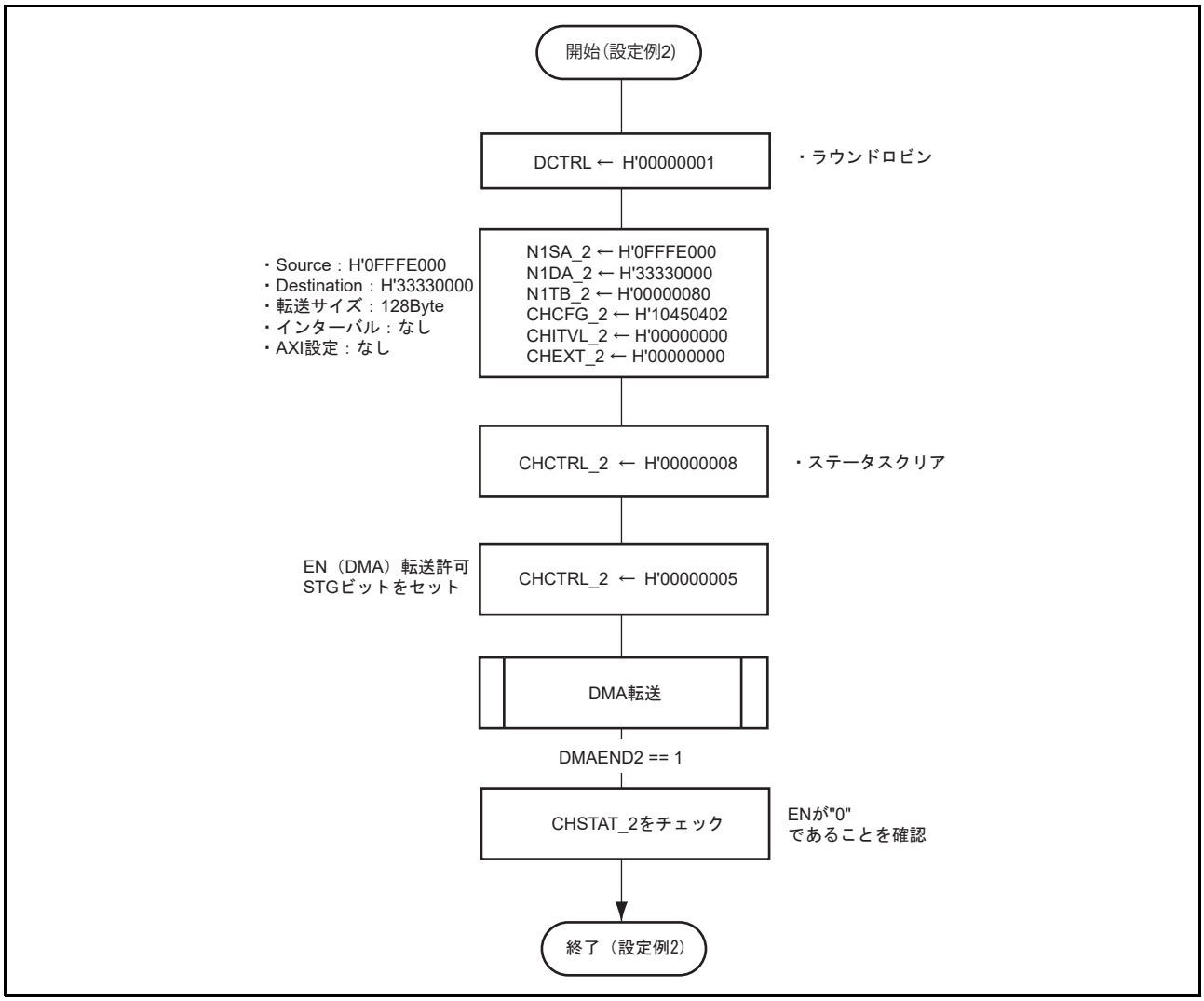

開始(設定例2)
DCTRL ← H'00000001
・ラウンドロビン
・Source：H'0FFFE000
・Destination：H'33330000
・転送サイズ：128Byte
・インターバル：なし
・AXI設定：なし
N1SA_2 ← H'0FFFE000
N1DA_2 ← H'33330000
N1TB_2 ← H'00000080
CHCFG_2 ← H'10450402
CHITVL_2 ← H'00000000
CHEXT_2 ← H'00000000
CHCTRL_2 ← H'00000008
・ステータスクリア
EN（DMA）転送許可
STGビットをセット
CHCTRL_2 ← H'00000005
DMA転送
DMAEND2 == 1
CHSTAT_2をチェック
ENが"0"
であることを確認
終了（設定例2）

図 9.33　　設定例 2

9.8.3　設定例 3（レジスタ・モード 連続実行）

次に示す設定で DMA 転送を行う場合の設定例を示します。

表 9.24　DMA 転送の設定例 3

項目		内容	
使用チャネル		1	
優先順位制御		ラウンドロビン	
DMA モード		Register	
転送モード		ブロック転送	
使用レジスタ・セット		Next0→Next1 連続	
Next0		転送元	転送先
	開始アドレス	H'11110000	H'33330000
	アドレス方向	固定	固定
	データ・サイズ	32 ビット	512 ビット
	DMA 転送バイト数	512 Byte	
Next1		転送元	転送先
	開始アドレス	H'22220000	H'44440000
	アドレス方向	固定	固定
	データ・サイズ	32 ビット	512 ビット
	DMA 転送バイト数	2048Byte	
DMA 転送要求		オートリクエスト	
DMAACK 信号		出力しない	
DMA 転送終了割り込みマスク		Next0 完了時に DMA 転送終了割り込みをマスク	
CACHE 設定		デフォルト値	

設定例 3
DCTRL = H'00000001（DMA 設定）

N0SA = H'11110000（転送元アドレス）
N0DA = H'33330000（転送先アドレス）
N0TB = H'00000200（転送バイト数）

N1SA = H'22220000（転送元アドレス）
N1DA = H'44440000（転送先アドレス）
N1TB = H'00000800（転送バイト数）

CHCFG = H'61762001（コンフィグ）
CHITVL = H'00000000（インターバル）
CHEXT = H'00000000（CACHE 設定）

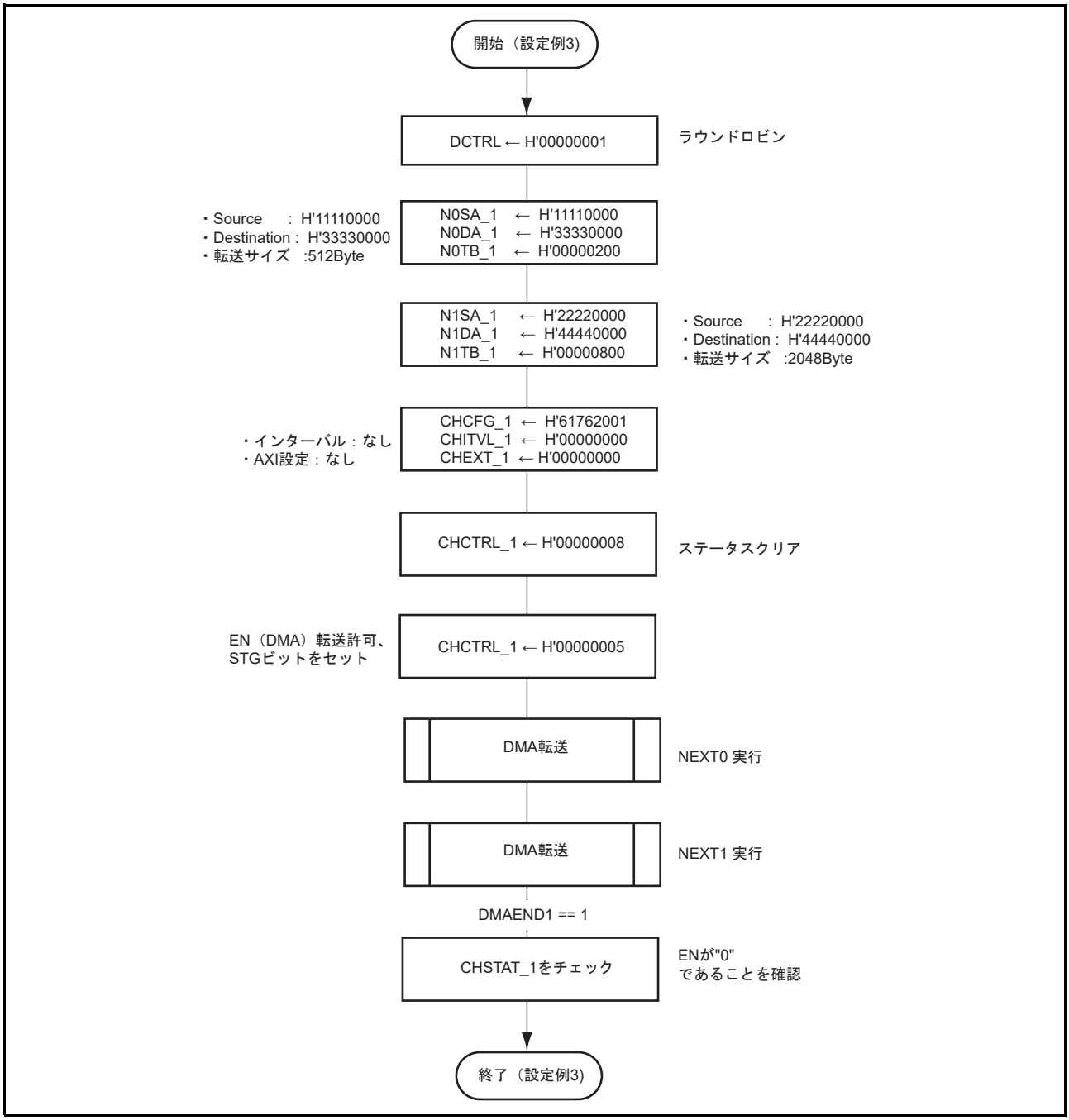

開始（設定例3)
DCTRL ← H'00000001
ラウンドロビン
・Source　：H'11110000
・Destination：H'33330000
・転送サイズ　:512Byte
N0SA_1 ← H'11110000
N0DA_1 ← H'33330000
N0TB_1 ← H'00000200
N1SA_1 ← H'22220000
N1DA_1 ← H'44440000
N1TB_1 ← H'00000800
・Source　：H'22220000
・Destination：H'44440000
・転送サイズ　:2048Byte
・インターバル：なし
・AXI設定：なし
CHCFG_1 ← H'61762001
CHITVL_1 ← H'00000000
CHEXT_1 ← H'00000000
CHCTRL_1 ← H'00000008
ステータスクリア
EN（DMA）転送許可、
STGビットをセット
CHCTRL_1 ← H'00000005
DMA転送
NEXT0 実行
DMA転送
NEXT1 実行
DMAEND1 == 1
CHSTAT_1をチェック
ENが"0"
であることを確認
終了（設定例3)

図 9.34　　設定例 3

9.8.4 設定例 4（リンク・モード）

次に示す設定で DMA 転送を行う場合の設定例を示します。

表9.25　DMA転送の設定例4

項目	内容
使用チャネル	0
優先順位制御	ラウンドロビン
DMAモード	Link
転送モード	ブロック転送
使用レジスタ･セット	—
ディスクリプタ 開始アドレス	H'00001000

表9.26　DMA転送の設定例4（ディスクリプタ1）

項目		内容	
ディスクリプタ 先頭アドレス		H'00001000	
次ディスクリプタ 先頭アドレス		H'00002000	
転送モード		ブロック転送	
Next0		転送元	転送先
	開始アドレス	H'11110000	H'33330000
	アドレス方向	インクリメント	インクリメント
	データ･サイズ	32ビット	32ビット
	DMA転送バイト数	2048 Byte	
DMA転送要求		オートリクエスト起動（STG）	
DMAACK信号		出力しない	
DMA転送終了割り込みマスク		あり	
CACHE設定		デフォルト値	
header			
	LV = 1だった場合の DMAEND	発行（DIM = 0）	
	LV書き戻し	あり（WBD = 0）	
	次リンク先	あり（LE = 0）	
	ディスクリプタ有効	有効（LV = 1）	

表9.27　DMA転送の設定例4（ディスクリプタ2）

項目		内容	
ディスクリプタ 先頭アドレス		H'00002000	
次ディスクリプタ 先頭アドレス		H'00005000	
転送モード		ブロック転送	
Next0		転送元	転送先
	開始アドレス	H'44440000	H'55550000
	アドレス方向	インクリメント	インクリメント
	データ·サイズ	64ビット	256ビット
	DMA転送バイト数	1024 Byte	
DMA転送要求		オートリクエスト起動（STG）	
DMAACK信号		出力しない	
DMA転送終了割り込みマスク		あり	
CACHE設定		デフォルト値	
header			
	LV = 1だった場合の DMAEND	発行（DIM = 0）	
	LV書き戻し	あり（WBD = 0）	
	次リンク先	あり（LE = 0）	
	ディスクリプタ有効	有効（LV = 1）	

表9.28　DMA転送の設定例4（ディスクリプタ3）

項目		内容	
ディスクリプタ 先頭アドレス		H'00005000	
次ディスクリプタ 先頭アドレス		—	
転送モード		ブロック転送	
Next0		転送元	転送先
	開始アドレス	H'77770000	H'AAAA0000
	アドレス方向	インクリメント	インクリメント
	データ·サイズ	512ビット	512ビット
	DMA転送バイト数	4096 Byte	
DMA転送要求		オートリクエスト起動（STG）	
DMAACK信号		出力しない	
DMA転送終了割り込みマスク		なし	
CACHE設定		デフォルト値	
header			
	LV = 1だった場合の DMAEND	発行（DIM = 0）	
	LV書き戻し	あり（WBD = 0）	
	次リンク先	なし（LE = 1）	
	ディスクリプタ有効	有効（LV = 1）	

設定例 4

DCTRL= H'00000001（DMA 設定）

NXLA = H'00001000（ディスクリプタ先頭アドレス）

CHCFG = H'80000000（コンフィグ）

表 9.29　ディスクリプタ設定

	ディスクリプタ 1	ディスクリプタ 2	ディスクリプタ 3
header	H'00000001	H'00000001	H'00000003
SA (Source Address)	H'11110000	H'44440000	H'77770000
DA (Destination Address)	H'33330000	H'55550000	H'AAAA0000
TB (Transaction Byte)	H'00000800	H'00000400	H'00001000
CFG (configuration)	H'81422008	H'81453008	H'80466008
ITVL (Interval)	H'00000000	H'00000000	H'00000000
EXT (Extension)	H'00000000	H'00000000	H'00000000
NXLA (Next Link Address)	H'00002000	H'00005000	H'00000000

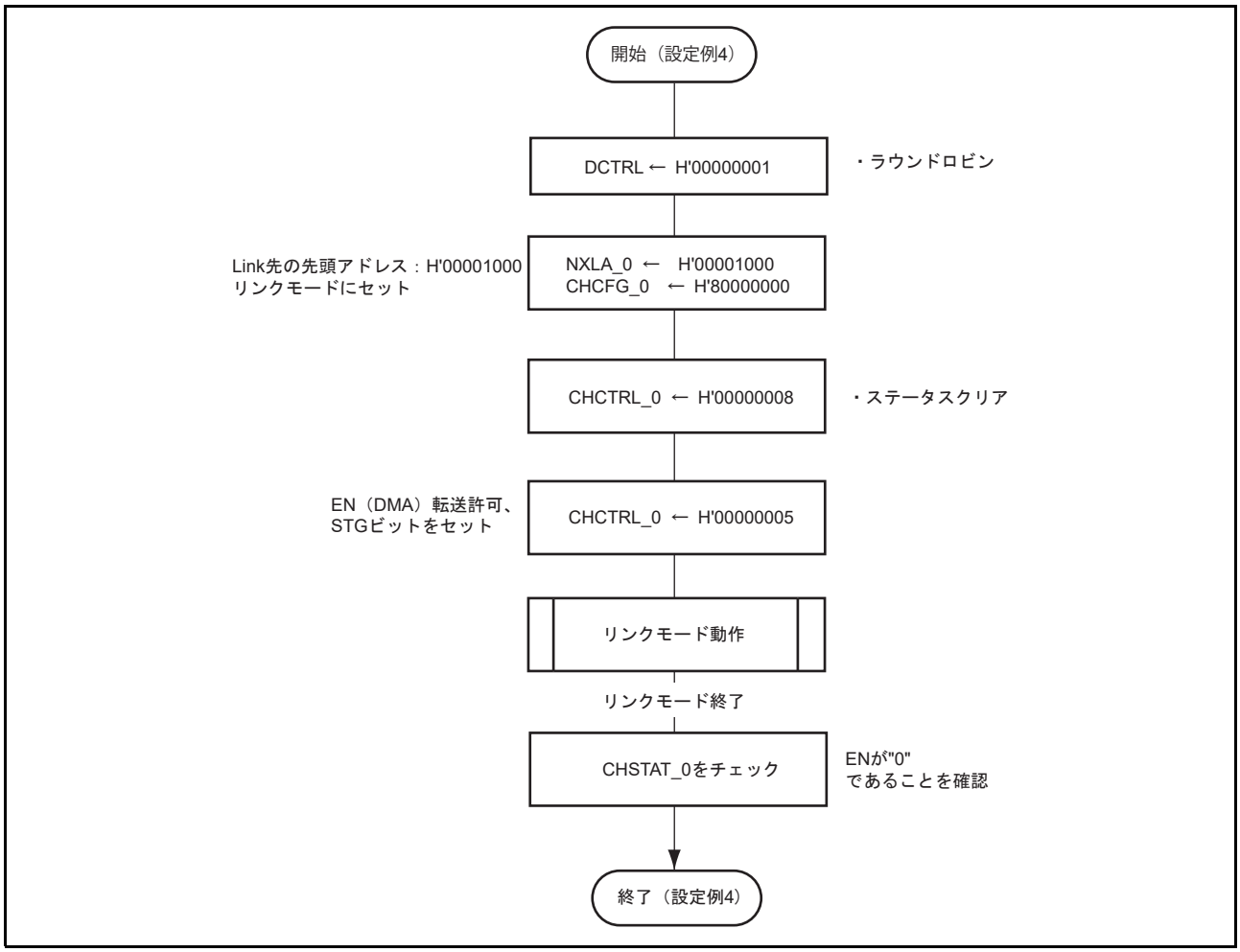


図 9.35　設定例 4

9.8.5　Next レジスタ連続実行設定

レジスタ・モードで 2 つの Next レジスタ・セットを使用して、DMA 転送を継続する場合のフローチャートを示します。一方の Next レジスタの DMA トランザクションを実行中に、もう一方の Next レジスタの設定を行い、DMA 転送を継続して実行します。

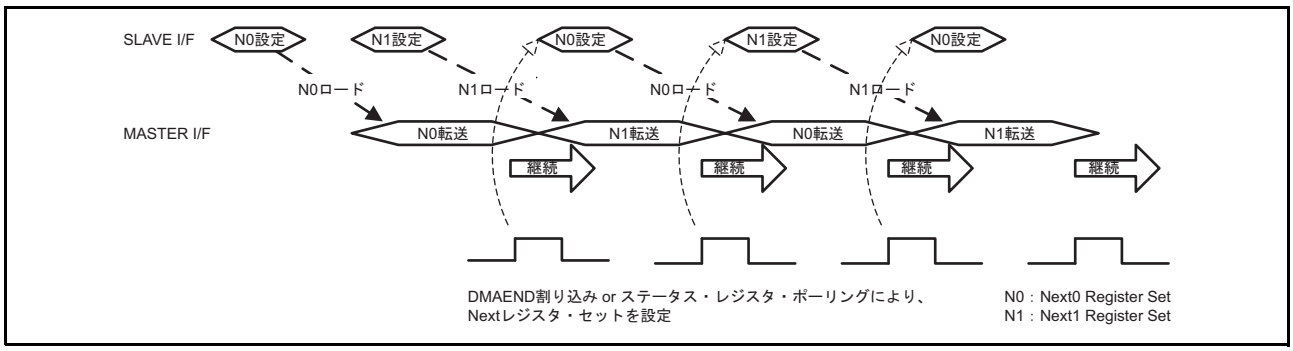


図 9.36　Next レジスタ連続実行イメージ

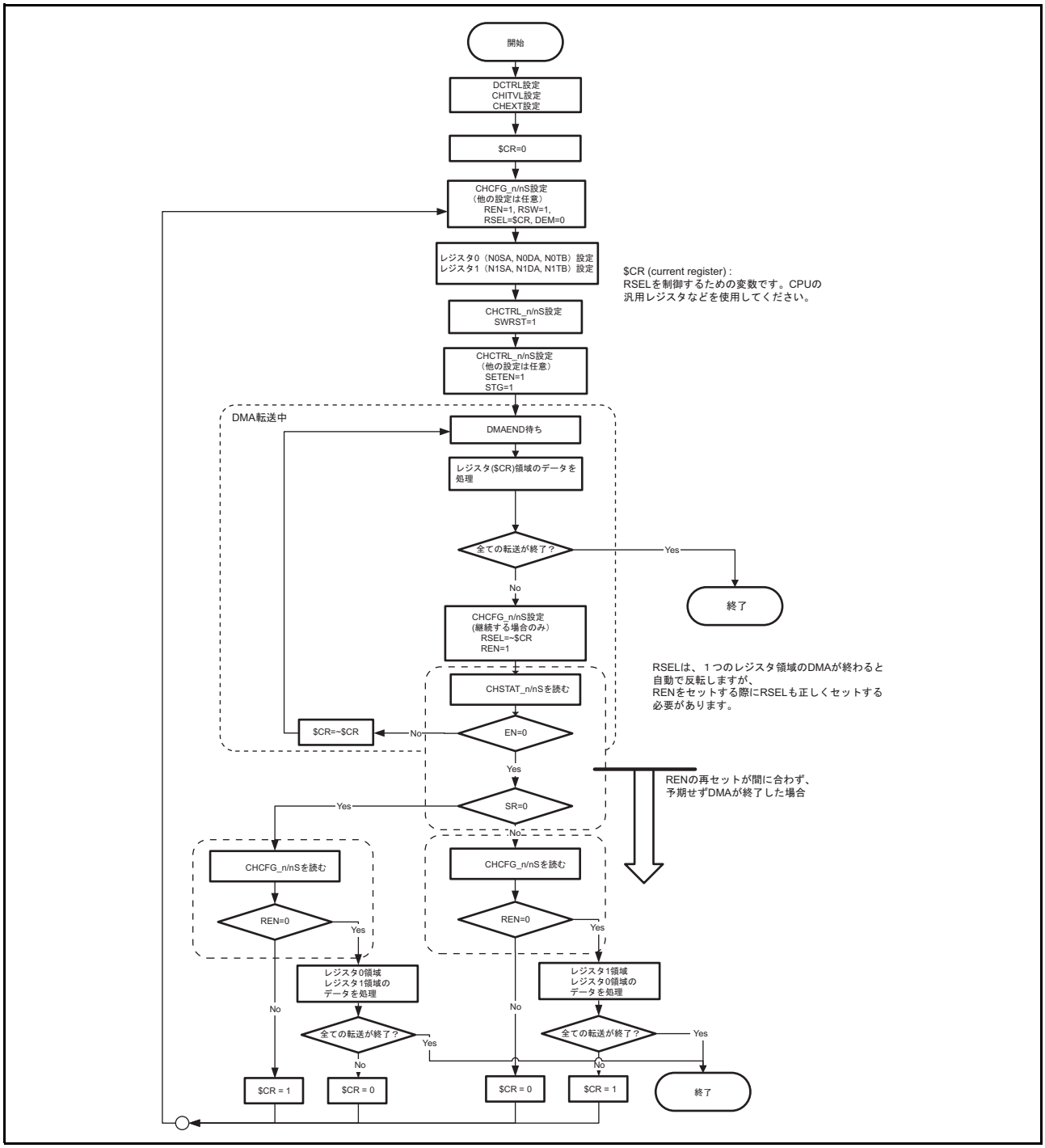


図 9.37　　Next レジスタ設定による連続 DMA 実行実施例

【補足】最初に転送するレジスタ・セット（0（N0SA、N0DA、N0TB）、1（N1SA、N1DA、N1TB））を CPU の汎用レジスタなどに保存してください（このレジスタの値を便宜上＄CR と呼びます。）。
1 つのレジスタ・セットの DMA 転送が終わる（DMA 転送終了割り込みが出力される）ごとに、REN は自動的に 0 にクリアされます。続けて実行するには、DMA 転送終了割り込みがアサートされるたびに、CHCFG_n/nS レジスタの REN をセットする必要がありますが、同レジスタには RSEL の設定ビットもあり、この値も正しく設定する必要があります。このために＄CR を使用してください。

本モードでは二つの Next レジスタを連続して実行しますが、CLREN のセットが DMA トランザクション終了（次の DMA 転送終了割り込みが出力される）までに間に合わなかった場合、連続実行は止まります。この場合、CHSTAT_n/nS レジスタの SR、EN ビットと、CHCFG_n/nS レジスタの REN をリードすることで、どこまで転送ができたかを確認することができます。再開する場合には上記のフローチャートの手順に従って実行してください。

9.9　注意事項

9.9.1　DACK0,TEND0 が分割出力される場合について

8 ビット、16 ビット外部デバイスに 4 バイト以上の転送を行ったり、8 ビット外部デバイスに 2 バイト以上の転送をする場合は DMA 転送単位が複数のバスサイクルに分割されます。DMA 転送が複数のバスサイクルに分割され、かつバスサイクル間で CS# がネゲートする設定の場合、データをアライメントするために CS# と同様に DACK0 出力および TEND0 出力が分割されるので注意してください。この例を図 9.38 に示します。

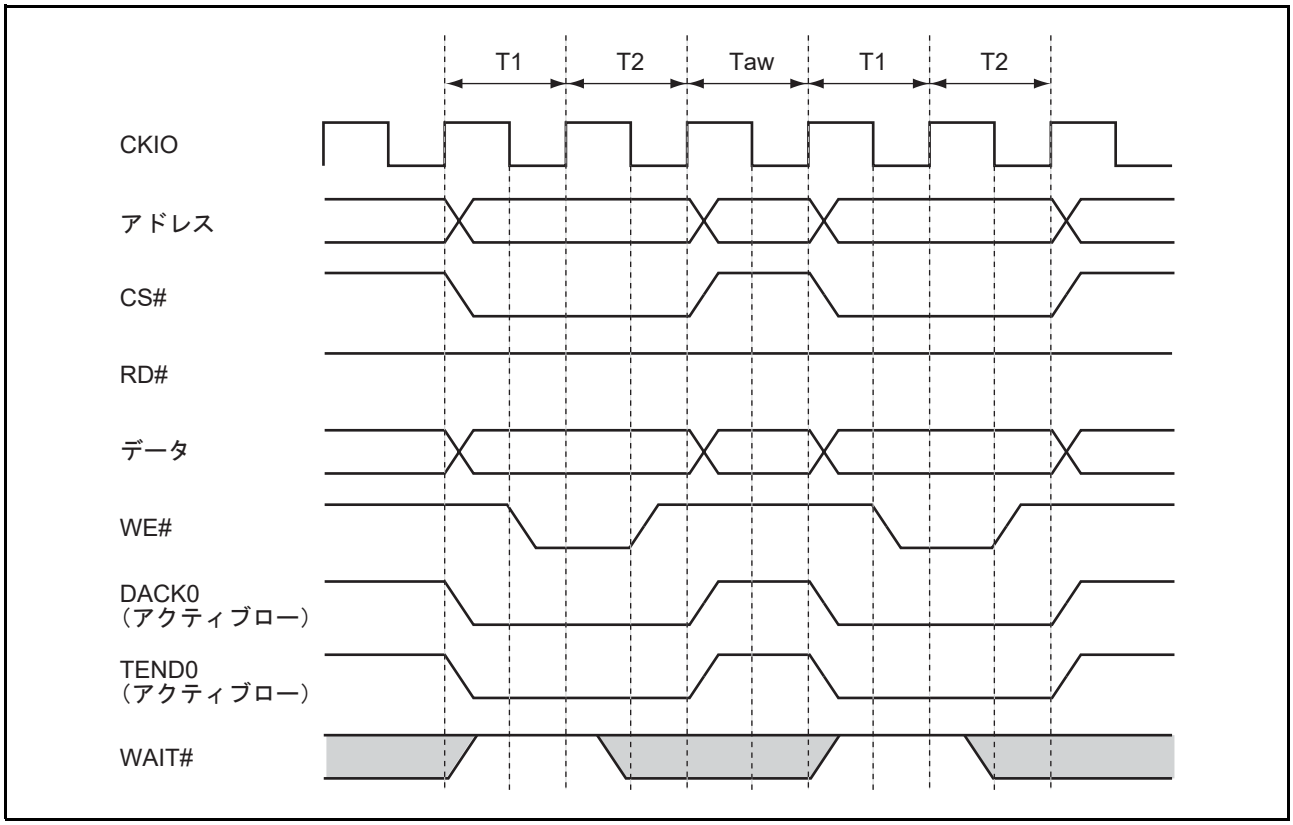


図 9.38　TEND0 分割出力タイミング例

9.9.2　TEND0 が出力されない場合について

CHCFG_0/0S レジスタ内 DDS[3:0]、SDS[3:0]、REQD ビットの組み合わせにより、TEND0 が出力されない場合があるので注意してください。

出力されない組み合わせを**表 9.30** に、動作例を**図 9.39** に示します。

表 9.30　TEND0 未出力組み合わせ

CHCFG_0/0S レジスタ			TEND0 出力
REQD	DDS	SDS	
1	—	—	出力
0	DDS > SDS		出力
	DDS = SDS		出力
	DDS < SDS		未出力

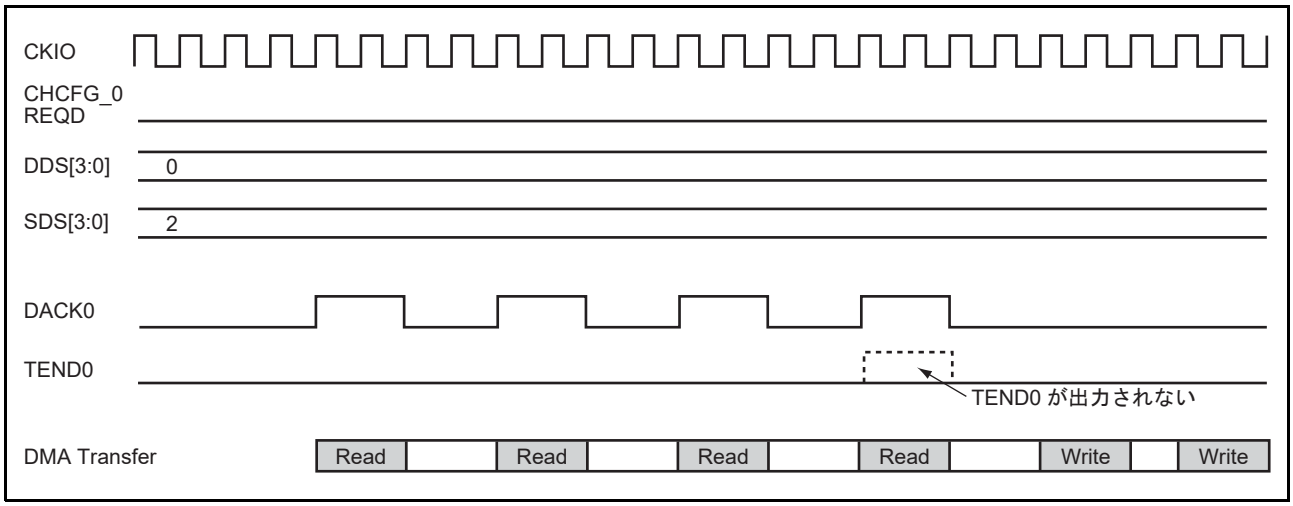


図 9.39　TEND0 未出力例

9.9.3　アトミック・アクセス（ARLOCK[1:0]、AWLOCK[1:0]）

本モジュールは、アトミック（ロック、排他）アクセスには対応しません（normal access のみ対応）。

ARLOCK[1:0], AWLOCK[1:0] 信号は下記で固定されます。変更することはできません。

ARLOCK[1:0], AWLOCK[1:0] : 00 (normal access)

10. マルチファンクションタイマパルスユニット3（MTU3a）

10.1 概要

本LSIは、8チャネルの16ビットタイマと1チャネルの32ビットタイマにより構成されるマルチファンクションタイマパルスユニット3（MTU3a）を内蔵しています。

表10.1にMTUの仕様を、**表10.2**にMTUの機能一覧を示します。また、**図10.1**、**図10.2**にMTUのブロック図を示します。

表10.1　MTUの仕様

項目	内容
パルス入出力	最大28本
パルス入力	3本
カウントクロック	チャネルごとに11種類（MTU0は14種類、MTU2は12種類、MTU5は10種類、MTU1 & MTU2（LWA = 1のとき）は4種類）
動作周波数	～66 MHz
設定可能動作	【MTU0～MTU4、MTU6、MTU7、MTU8】 • コンペアマッチによる波形出力 • インプットキャプチャ機能（ノイズフィルタ設定可能） • カウンタクリア動作 • 複数のタイマカウンタ（TCNT）への同時書き込み（MTU8を除く） • コンペアマッチ／インプットキャプチャによる同時クリア（MTU8を除く） • カウンタの同期動作による各レジスタの同期入出力（MTU8を除く） • 同期動作と組み合わせることによる最大12相のPWM出力（MTU8を除く）
	【MTU0、MTU3、MTU4、MTU6、MTU7、MTU8】 • バッファ動作を設定可能
	【MTU1、MTU2】 • 独立に位相計数モードを設定可能 • MTU1、MTU2連動の32ビット位相計数モードを設定可能（TMDR3.LWA = 1設定時） • カスケード接続動作が可能
	【MTU3、MTU4、MTU6、MTU7】 • MTU3/MTU4、およびMTU6/MTU7の連動動作による相補PWM、リセット同期PWM動作で、6相のポジ／ネガ 計12相の出力が可能 • 相補PWMモードでは、タイマカウンタの山または谷のとき、またはバッファレジスタ（MTU4.TGRD、MTU7.TGRD）への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 • 相補PWMモードでダブルバッファ機能を設定可能
	【MTU3、MTU4】 • MTU0と連動させて、相補PWM、リセット同期PWMを用いたAC同期モータ（ブラシレスDCモータ）駆動モードが設定可能で、2種類（チョッピング、レベル）の波形出力が選択可能
	【MTU5】 • デッドタイム補償用カウンタとして使用することが可能
	【MTU0/MTU5、MTU1、MTU2、MTU8】 MTU1、MTU2を組み合わせて、MTU0/MTU5、MTU8と連動させて、32ビット位相計数モードに設定可能
割り込み間引き機能	相補PWMモード時に、カウンタの山、谷での割り込み、およびA/Dコンバータの変換スタートトリガを間引くことが可能
割り込み要因	43種類
バッファ動作	レジスタデータの自動転送（バッファレジスタからタイマレジスタへの転送）
トリガ生成	A/Dコンバータの変換開始トリガを生成可能
	A/D変換開始要求のディレイド機能により、任意のタイミングでA/D変換開始が可能。またPWM出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

表10.2　MTUの機能一覧

項目		MTU0	MTU1	MTU2	MTU1 & MTU2（LWA = 1）	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
カウントクロック		P1φ/1 P1φ/2 P1φ/4 P1φ/8 P1φ/16 P1φ/32 P1φ/64 P1φ/256 P1φ/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A	P1φ/1 P1φ/2 P1φ/4 P1φ/8 P1φ/16 P1φ/32 P1φ/64 P1φ/256 P1φ/1024 MTCLKA MTCLKB	P1φ/1 P1φ/2 P1φ/4 P1φ/8 P1φ/16 P1φ/32 P1φ/64 P1φ/256 P1φ/1024 MTCLKA MTCLKB MTCLKC	MTCLKA MTCLKB MTCLKC MTCLKD	P1φ/1 P1φ/2 P1φ/4 P1φ/8 P1φ/16 P1φ/32 P1φ/64 P1φ/256 P1φ/1024 MTCLKA MTCLKB	P1φ/1 P1φ/2 P1φ/4 P1φ/8 P1φ/16 P1φ/32 P1φ/64 P1φ/256 P1φ/1024 MTCLKA MTCLKB	P1φ/1 P1φ/2 P1φ/4 P1φ/8 P1φ/16 P1φ/32 P1φ/64 P1φ/256 P1φ/1024 MTIOC1A	P1φ/1 P1φ/2 P1φ/4 P1φ/8 P1φ/16 P1φ/32 P1φ/64 P1φ/256 P1φ/1024 MTCLKA MTCLKB	P1φ/1 P1φ/2 P1φ/4 P1φ/8 P1φ/16 P1φ/32 P1φ/64 P1φ/256 P1φ/1024 MTCLKA MTCLKB	P1φ/1 P1φ/2 P1φ/4 P1φ/8 P1φ/16 P1φ/32 P1φ/64 P1φ/256 P1φ/1024 MTCLKA MTCLKB
位相係数モードの外部クロック		—	MTCLKA MTCLKB	MTCLKA MTCLKB MTCLKC MTCLKD	MTCLKA MTCLKB MTCLKC MTCLKD	—	—	—	—	—	—
ジェネラルレジスタ（TGR）		TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRALW TGRBLW	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW	TGRA TGRB	TGRA TGRB	TGRA TGRB
ジェネラルレジスタ／バッファレジスタ		TGRC TGRD TGRF	—	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	TGRC TGRD
入出力端子		MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC1A MTIOC1B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	MTIC5U MTIC5V MTIC5W	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B MTIOC7C MTIOC7D	MTIOC8A MTIOC8B MTIOC8C MTIOC8D
カウンタクリア機能		TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRALW/TGRBLWのインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力	0出力	○	○	○	—	○	○	—	○	○	○
	1出力	○	○	○	—	○	○	—	○	○	○
	トグル出力	○	○	○	—	○	○	—	○	○	○
インプットキャプチャ機能		○	○	○	○（注1）	○	○	○	○	○	○（注2）
同期動作		○	○	○	—	○	○	—	○	○	—
PWMモード1		○	○	○	—	○	○	—	○	○	—
PWMモード2		○	○	○	—	—	—	—	—	—	—
相補PWMモード		—	—	—	—	○	○	—	○	○	—
リセット同期PWMモード		—	—	—	—	○	○	—	○	○	—
AC同期モータ駆動モード		○	—	—	—	○	○	—	—	—	—
位相計数モード		—	○	○	○	—	—	—	—	—	—
バッファ動作		○	—	—	—	○	○	—	○	○	○
デッドタイム補償用カウンタ機能		—	—	—	—	—	—	○	—	—	—
DMACの起動		TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRALW/TGRBLWのインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャとTCNTオーバフロー/アンダフロー（注3）	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャとTCNTオーバフロー/アンダフロー（注3）	TGRのコンペアマッチまたはインプットキャプチャ
A/D変換開始トリガ		TGRAのコンペアマッチまたはインプットキャプチャTGREのコンペアマッチ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRALWのインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、または相補PWMモード時TCNTのアンダフロー（谷）	—	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、または相補PWMモード時TCNTのアンダフロー（谷）	—

項目	MTU0	MTU1	MTU2	MTU1 & MTU2（LWA = 1）	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
割り込み要因	7要因 · コンペアマッチ／インプットキャプチャ0A · コンペアマッチ／インプットキャプチャ0B · コンペアマッチ／インプットキャプチャ0C · コンペアマッチ／インプットキャプチャ0D · コンペアマッチ0E · コンペアマッチ0F · オーバフロー	4要因 · コンペアマッチ／インプットキャプチャ1A · コンペアマッチ／インプットキャプチャ1B · オーバフロー · アンダフロー	4要因 · コンペアマッチ／インプットキャプチャ2A · コンペアマッチ／インプットキャプチャ2B · オーバフロー · アンダフロー	4要因 · インプットキャプチャ1A · インプットキャプチャ1B · オーバフロー · アンダフロー	5要因 · コンペアマッチ／インプットキャプチャ3A · コンペアマッチ／インプットキャプチャ3B · コンペアマッチ／インプットキャプチャ3C · コンペアマッチ／インプットキャプチャ3D · オーバフロー	5要因 · コンペアマッチ／インプットキャプチャ4A · コンペアマッチ／インプットキャプチャ4B · コンペアマッチ／インプットキャプチャ4C · コンペアマッチ／インプットキャプチャ4D · オーバフロー／アンダフロー（注3）	3要因 · コンペアマッチ／インプットキャプチャ5U · コンペアマッチ／インプットキャプチャ5V · コンペアマッチ／インプットキャプチャ5W	5要因 · コンペアマッチ／インプットキャプチャ6A · コンペアマッチ／インプットキャプチャ6B · コンペアマッチ／インプットキャプチャ6C · コンペアマッチ／インプットキャプチャ6D · オーバフロー	5要因 · コンペアマッチ／インプットキャプチャ7A · コンペアマッチ／インプットキャプチャ7B · コンペアマッチ／インプットキャプチャ7C · コンペアマッチ／インプットキャプチャ7D · オーバフロー／アンダフロー（注3）	5要因 · コンペアマッチ／インプットキャプチャ8A · コンペアマッチ／インプットキャプチャ8B · コンペアマッチ／インプットキャプチャ8C · コンペアマッチ／インプットキャプチャ8D · オーバフロー
A/D変換開始要求ディレイド機能	—	—	—	—	—	· TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—	—	· TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能1	—	—	—	—	· TGRAのコンペアマッチ割り込みを間引き	· TCIV割り込みを間引き	—	· TGRAのコンペアマッチ割り込みを間引き	· TCIV割り込みを間引き	—
割り込み間引き機能2	—	—	—	—	—	· TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—	—	· TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—
モジュールストップ	STBCR3.MSTP33（注4）									

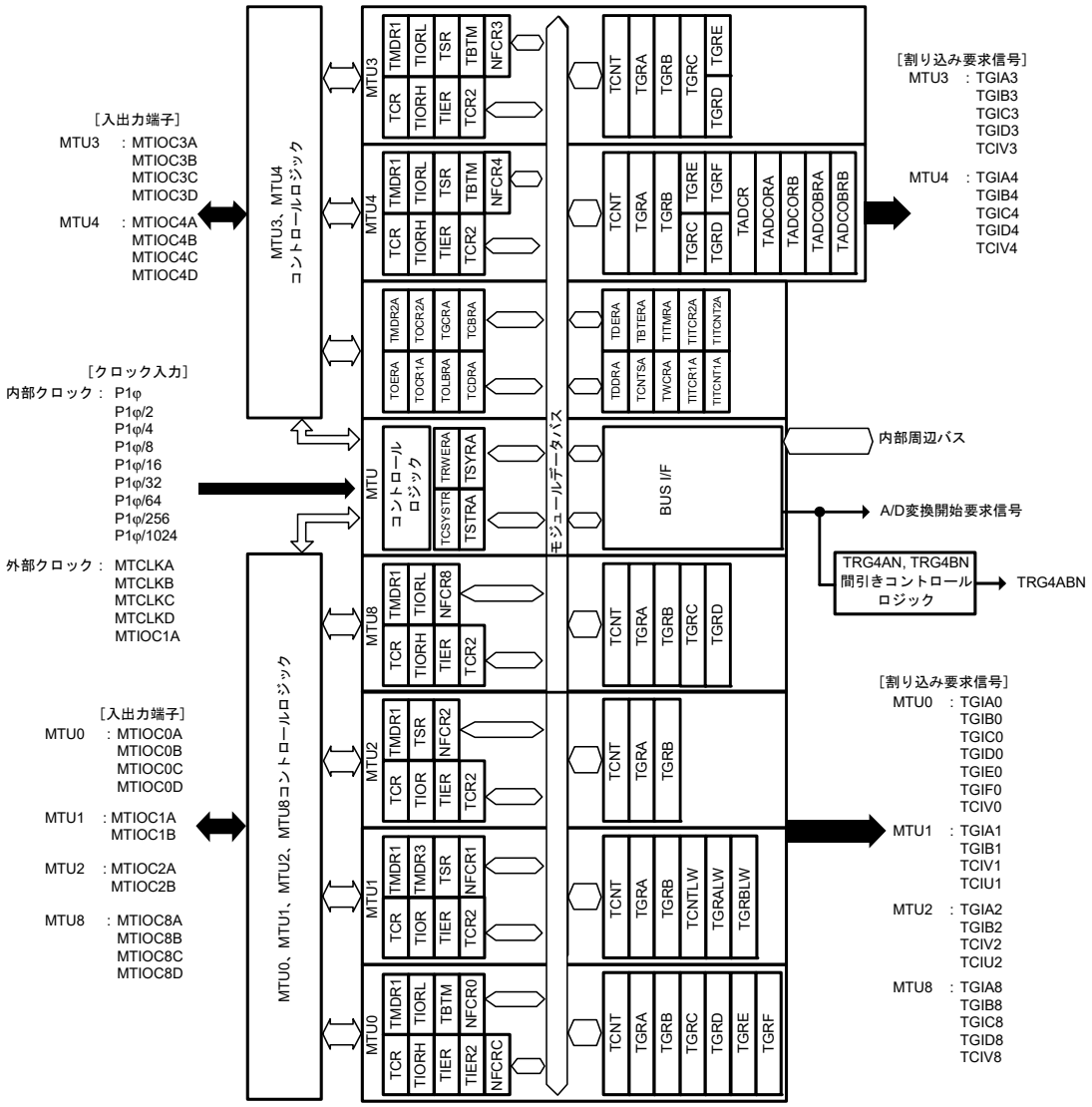
○：可能　—：不可能

注1.　LWA=1 の場合、TGRALWのキャプチャ要因はMTIOC1Aからの入力またはMTU0.TGRAのコンペアマッチ／インプットキャプチャイベントから選択可能です。TGRBLW のキャプチャ要因はMTIOC1B からの入力、MTU0.TGRC のコンペアマッチ／インプットキャプチャイベントまたはMTU8.TGRCのコンペアマッチイベントから選択可能です。

注2.　MTU8のキャプチャはノーマルモードのみサポートします。

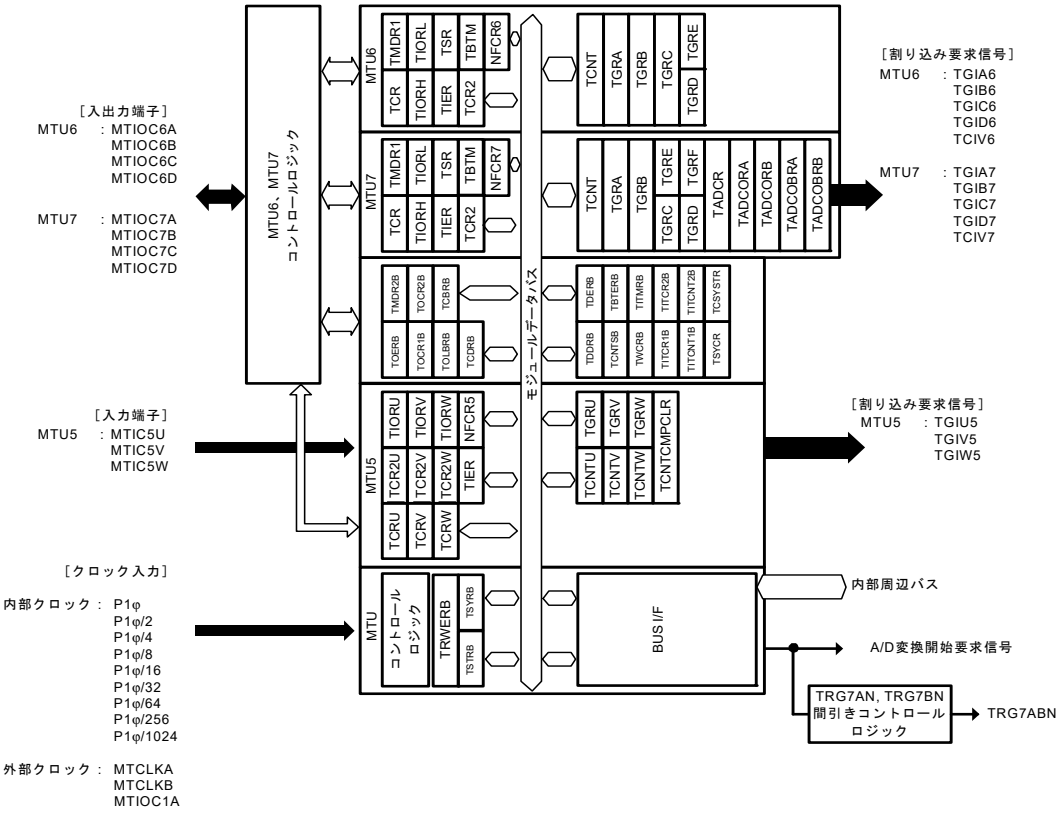
注3.　アンダフローは相補PWMモード時のみ有効。

注4.　モジュールストップの詳細については、「52.　低消費電力モード」を参照してください。



TCR：タイマコントロールレジスタ
TCR2：タイマコントロールレジスタ2
TMDR1：タイマモードレジスタ1
TMDR2A：タイマモードレジスタ2
TMDR3：タイマモードレジスタ3
TIOR：タイマI/Oコントロールレジスタ
TIORH：タイマI/OコントロールレジスタH
TIORL：タイマI/OコントロールレジスタL
TIER：タイマインタラプトイネーブルレジスタ
TIER2：タイマインタラプトイネーブルレジスタ2
TSR：タイマステータスレジスタ
TBTM：タイマバッファ動作転送モードレジスタ
TCNT：タイマカウンタ
TCNTLW：タイマロングワードカウンタ
TGRA：タイマジェネラルレジスタA
TGRALW：タイマロングワードジェネラルレジスタA
TGRB：タイマジェネラルレジスタB
TGRBLW：タイマロングワードジェネラルレジスタB
TGRC：タイマジェネラルレジスタC
TGRD：タイマジェネラルレジスタD
TGRE：タイマジェネラルレジスタE
TGRF：タイマジェネラルレジスタF
TSTRA：タイマスタートレジスタ
TSYRA：タイマシンクロレジスタ
TCSYSTR：タイマカウンタシンクロスタートレジスタ
TRWERA：タイマリードライトイネーブルレジスタ
TOERA:タイマアウトプットマスタイネーブルレジスタ
TOCR1A：タイマアウトプットコントロールレジスタ1
TOCR2A：タイマアウトプットコントロールレジスタ2
TOLBRA：タイマアウトプットレベルバッファレジスタ
TGCRA：タイマゲートコントロールレジスタA
TCNTSA：タイマサブカウンタ
TCDRA：タイマ周期データレジスタ
TCBRA：タイマ周期バッファレジスタ
TDDRA：タイマデットタイムデータレジスタ
TDERA：タイマデットタイムイネーブルレジスタ
TBTERA：タイマバッファ転送設定レジスタ
TWCRA：タイマ波形コントロールレジスタ
TICCR：タイマインプットキャプチャコントロールレジスタ
TADCR：タイマA/D変換開始要求コントロールレジスタ
TADCORA：タイマA/D変換開始要求周期設定レジスタA
TADCORB：タイマA/D変換開始要求周期設定レジスタB
TADCOBRA：タイマA/D変換開始要求周期設定バッファレジスタA
TADCOBRB：タイマA/D変換開始要求周期設定バッファレジスタB
TITMRA：タイマ割り込み間引きモードレジスタ
TITCR1A：タイマ割り込み間引き設定レジスタ1
TITCR2A：タイマ割り込み間引き設定レジスタ2
TITCNT1A：タイマ割り込み間引き回数カウンタ1
TITCNT2A：タイマ割り込み間引き回数カウンタ2
NFCRn：ノイズフィルタコントロールレジスタn

図 10.1　MTU のブロック図（MTU0 ～ MTU4、MTU8）



TCR：タイマコントロールレジスタ
TCRU：タイマコントロールレジスタU
TCR2U：タイマコントロールレジスタ2U
TCRV：タイマコントロールレジスタV
TCR2V：タイマコントロールレジスタ2V
TCRW：タイマコントロールレジスタW
TCR2W：タイマコントロールレジスタ2W
TMDR1：タイマモードレジスタ1
TMDR2B：タイマモードレジスタ2
TIORH：タイマI/Oコントロールレジスタ H
TIORL：タイマI/Oコントロールレジスタ L
TIORU：タイマI/Oコントロールレジスタ U
TIORV：タイマI/Oコントロールレジスタ V
TIORW：タイマI/Oコントロールレジスタ W
TIER：タイマインタラプトイネーブルレジスタ
TSR：タイマステータスレジスタ
TCNT：タイマカウンタ
TCNTU：タイマカウンタU
TCNTV：タイマカウンタV
TCNTW：タイマカウンタW
TGRA：タイマジェネラルレジスタA
TGRB：タイマジェネラルレジスタB
TGRC：タイマジェネラルレジスタC
TGRD：タイマジェネラルレジスタD
TGRE：タイマジェネラルレジスタE
TGRF：タイマジェネラルレジスタF
TGRU：タイマジェネラルレジスタU
TGRV：タイマジェネラルレジスタV
TGRW：タイマジェネラルレジスタW
TCNTCMPCLR：タイマコンペアマッチクリアレジスタ

TSTRB：タイマスタートレジスタ
TSYRB：タイマシンクロレジスタ
TSYCR：タイマシンクロクリアレジスタ
TCSYSTR：タイマカウンタシンクロスタートレジスタ
TRWERB：タイマリードライトイネーブルレジスタ
TOERB：タイマアウトプットマスタイネーブルレジスタ
TOCR1B：タイマアウトプットコントロールレジスタ1
TOCR2B：タイマアウトプットコントロールレジスタ2
TOLBRB：タイマアウトプットレベルバッファレジスタ
TCDRB：タイマ周期データレジスタ
TCBRB：タイマ周期バッファレジスタ
TDDRB：タイマデッドタイムデータレジスタ
TDERB：タイマデッドタイムイネーブルレジスタ
TCNTSB：タイマサブカウンタ
TBTERB：タイマバッファ転送設定レジスタ
TWCRB：タイマ波形コントロールレジスタ
TADCR：タイマA/D変換開始要求コントロールレジスタ
TADCORA：タイマA/D変換開始要求周期設定レジスタA
TADCORB：タイマA/D変換開始要求周期設定レジスタB
TADCOBRA：タイマA/D変換開始要求周期設定バッファレジスタA
TADCOBRB：タイマA/D変更開始要求周期設定バッファレジスタB
TITMRB：タイマ割り込み間引きモードレジスタ
TITCR1B：タイマ割り込み間引き設定レジスタ1
TITCR2B：タイマ割り込み間引き設定レジスタ2
TITCNT1B：タイマ割り込み間引き回数カウンタ1
TITCNT2B：タイマ割り込み間引き回数カウンタ2
NFCRn：ノイズフィルタコントロールレジスタn

図 10.2　MTU のブロック図（MTU5 ～ MTU7）

表 10.3 に MTU で使用する入出力端子を示します。

表10.3　MTUの入出力端子

チャネル	端子名	入出力	機　能
MTU	MTCLKA	入力	外部クロックA入力端子（MTU1/MTU2の位相計数モードA相入力）
	MTCLKB	入力	外部クロックB入力端子（MTU1/MTU2の位相計数モードB相入力）
	MTCLKC	入力	外部クロックC入力端子（MTU2の位相計数モードA相入力）
	MTCLKD	入力	外部クロックD入力端子（MTU2の位相計数モードB相入力）
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力／外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力／外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力／外部パルス入力端子
MTU6	MTIOC6A	入出力	MTU6.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC6B	入出力	MTU6.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC6C	入出力	MTU6.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC6D	入出力	MTU6.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU7	MTIOC7A	入出力	MTU7.TGRAのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC7B	入出力	MTU7.TGRBのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC7C	入出力	MTU7.TGRCのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTIOC7D	入出力	MTU7.TGRDのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
MTU8	MTIOC8A	入出力	MTU8.TGRAのインプットキャプチャ入力／アウトプットコンペア出力端子
	MTIOC8B	入出力	MTU8.TGRBのインプットキャプチャ入力／アウトプットコンペア出力端子
	MTIOC8C	入出力	MTU8.TGRCのインプットキャプチャ入力／アウトプットコンペア出力端子
	MTIOC8D	入出力	MTU8.TGRDのインプットキャプチャ入力／アウトプットコンペア出力端子

10.2 レジスタの説明

表 10.4 にレジスタ構成を示します。

表10.4　レジスタ構成

チャネル	レジスタ名	略称	アドレス	アクセスサイズ
MTU0	タイマコントロールレジスタ	TCR	H'E8041300	8
	タイマモードレジスタ1	TMDR1	H'E8041301	8
	タイマI/Oコントロールレジスタ H	TIORH	H'E8041302	8
	タイマI/Oコントロールレジスタ L	TIORL	H'E8041303	8
	タイマインタラプトイネーブルレジスタ	TIER	H'E8041304	8
	タイマカウンタ	TCNT	H'E8041306	16
	タイマジェネラルレジスタ A	TGRA	H'E8041308	16
	タイマジェネラルレジスタ B	TGRB	H'E804130A	16
	タイマジェネラルレジスタ C	TGRC	H'E804130C	16
	タイマジェネラルレジスタ D	TGRD	H'E804130E	16
	タイマジェネラルレジスタ E	TGRE	H'E8041320	16
	タイマジェネラルレジスタ F	TGRF	H'E8041322	16
	タイマインタラプトイネーブルレジスタ2	TIER2	H'E8041324	8
	タイマバッファ動作転送モードレジスタ	TBTM	H'E8041326	8
	タイマコントロールレジスタ2	TCR2	H'E8041328	8
	ノイズフィルタコントロールレジスタ0	NFCR0	H'E8041290	8
	ノイズフィルタコントロールレジスタ C	NFCRC	H'E8041299	8
MTU1	タイマコントロールレジスタ	TCR	H'E8041380	8
	タイマモードレジスタ1	TMDR1	H'E8041381	8
	タイマI/Oコントロールレジスタ	TIOR	H'E8041382	8
	タイマインタラプトイネーブルレジスタ	TIER	H'E8041384	8
	タイマステータスレジスタ	TSR	H'E8041385	8
	タイマカウンタ	TCNT	H'E8041386	16
	タイマジェネラルレジスタ A	TGRA	H'E8041388	16
	タイマジェネラルレジスタ B	TGRB	H'E804138A	16
	タイマインプットキャプチャコントロールレジスタ	TICCR	H'E8041390	8
	タイマモードレジスタ3	TMDR3	H'E8041391	8
	タイマコントロールレジスタ2	TCR2	H'E8041394	8
	タイマロングワードカウンタ	TCNTLW	H'E80413A0	32
	タイマロングワードジェネラルレジスタ A	TGRALW	H'E80413A4	32
	タイマロングワードジェネラルレジスタ B	TGRBLW	H'E80413A8	32
	ノイズフィルタコントロールレジスタ1	NFCR1	H'E8041291	8
MTU2	タイマコントロールレジスタ	TCR	H'E8041400	8
	タイマモードレジスタ1	TMDR1	H'E8041401	8
	タイマI/Oコントロールレジスタ	TIOR	H'E8041402	8
	タイマインタラプトイネーブルレジスタ	TIER	H'E8041404	8
	タイマステータスレジスタ	TSR	H'E8041405	8
	タイマカウンタ	TCNT	H'E8041406	16
	タイマジェネラルレジスタ A	TGRA	H'E8041408	16
	タイマジェネラルレジスタ B	TGRB	H'E804140A	16
	タイマコントロールレジスタ2	TCR2	H'E804140C	8
	ノイズフィルタコントロールレジスタ2	NFCR2	H'E8041292	8

チャネル	レジスタ名	略称	アドレス	アクセスサイズ
MTU3	タイマコントロールレジスタ	TCR	H'E8041200	8
	タイマモードレジスタ1	TMDR1	H'E8041202	8
	タイマI/Oコントロールレジスタ H	TIORH	H'E8041204	8
	タイマI/Oコントロールレジスタ L	TIORL	H'E8041205	8
	タイマインタラプトイネーブルレジスタ	TIER	H'E8041208	8
	タイマカウンタ	TCNT	H'E8041210	16
	タイマジェネラルレジスタ A	TGRA	H'E8041218	16
	タイマジェネラルレジスタ B	TGRB	H'E804121A	16
	タイマジェネラルレジスタ C	TGRC	H'E8041224	16
	タイマジェネラルレジスタ D	TGRD	H'E8041226	16
	タイマコントロールレジスタ2	TCR2	H'E804124C	8
	タイマジェネラルレジスタ E	TGRE	H'E8041272	16
	タイマステータスレジスタ	TSR	H'E804122C	8
	タイマバッファ動作転送モードレジスタ	TBTM	H'E8041238	8
	ノイズフィルタコントロールレジスタ3	NFCR3	H'E8041293	8
MTU4	タイマコントロールレジスタ	TCR	H'E8041201	8
	タイマモードレジスタ1	TMDR1	H'E8041203	8
	タイマI/Oコントロールレジスタ H	TIORH	H'E8041206	8
	タイマI/Oコントロールレジスタ L	TIORL	H'E8041207	8
	タイマインタラプトイネーブルレジスタ	TIER	H'E8041209	8
	タイマカウンタ	TCNT	H'E8041212	16
	タイマジェネラルレジスタ A	TGRA	H'E804121C	16
	タイマジェネラルレジスタ B	TGRB	H'E804121E	16
	タイマジェネラルレジスタ C	TGRC	H'E8041228	16
	タイマジェネラルレジスタ D	TGRD	H'E804122A	16
	タイマコントロールレジスタ2	TCR2	H'E804124D	8
	タイマジェネラルレジスタ E	TGRE	H'E8041274	16
	タイマジェネラルレジスタ F	TGRF	H'E8041276	16
	タイマステータスレジスタ	TSR	H'E804122D	8
	タイマバッファ動作転送モードレジスタ	TBTM	H'E8041239	8
	タイマA/D変換開始要求コントロールレジスタ	TADCR	H'E8041240	16
	タイマA/D変換開始要求周期設定レジスタ A	TADCORA	H'E8041244	16
	タイマA/D変換開始要求周期設定レジスタ B	TADCORB	H'E8041246	16
	タイマA/D変換開始要求周期設定バッファレジスタ A	TADCOBRA	H'E8041248	16
	タイマA/D変換開始要求周期設定バッファレジスタ B	TADCOBRB	H'E804124A	16
	ノイズフィルタコントロールレジスタ4	NFCR4	H'E8041294	8
MTU5	タイマカウンタ U	TCNTU	H'E8041C80	16
	タイマジェネラルレジスタ U	TGRU	H'E8041C82	16
	タイマコントロールレジスタ U	TCRU	H'E8041C84	8
	タイマコントロールレジスタ2U	TCR2U	H'E8041C85	8
	タイマI/Oコントロールレジスタ U	TIORU	H'E8041C86	8
	タイマカウンタ V	TCNTV	H'E8041C90	16
	タイマジェネラルレジスタ V	TGRV	H'E8041C92	16
	タイマコントロールレジスタ V	TCRV	H'E8041C94	8
	タイマコントロールレジスタ2V	TCR2V	H'E8041C95	8
	タイマI/Oコントロールレジスタ V	TIORV	H'E8041C96	8

チャネル	レジスタ名	略称	アドレス	アクセスサイズ
MTU5	タイマカウンタW	TCNTW	H'E8041CA0	16
	タイマジェネラルレジスタW	TGRW	H'E8041CA2	16
	タイマコントロールレジスタW	TCRW	H'E8041CA4	8
	タイマコントロールレジスタ2W	TCR2W	H'E8041CA5	8
	タイマI/Oコントロールレジスタ W	TIORW	H'E8041CA6	8
	タイマインタラプトイネーブルレジスタ	TIER	H'E8041CB2	8
	タイマスタートレジスタ	TSTR	H'E8041CB4	8
	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	H'E8041CB6	8
	ノイズフィルタコントロールレジスタ5	NFCR5	H'E8041A95	8
MTU6	タイマコントロールレジスタ	TCR	H'E8041A00	8
	タイマモードレジスタ1	TMDR1	H'E8041A02	8
	タイマI/Oコントロールレジスタ H	TIORH	H'E8041A04	8
	タイマI/Oコントロールレジスタ L	TIORL	H'E8041A05	8
	タイマインタラプトイネーブルレジスタ	TIER	H'E8041A08	8
	タイマカウンタ	TCNT	H'E8041A10	16
	タイマジェネラルレジスタ A	TGRA	H'E8041A18	16
	タイマジェネラルレジスタ B	TGRB	H'E8041A1A	16
	タイマジェネラルレジスタ C	TGRC	H'E8041A24	16
	タイマジェネラルレジスタ D	TGRD	H'E8041A26	16
	タイマコントロールレジスタ2	TCR2	H'E8041A4C	8
	タイマジェネラルレジスタ E	TGRE	H'E8041A72	16
	タイマシンクロクリアレジスタ	TSYCR	H'E8041A50	8
	タイマステータスレジスタ	TSR	H'E8041A2C	8
	タイマバッファ動作転送モードレジスタ	TBTM	H'E8041A38	8
	ノイズフィルタコントロールレジスタ6	NFCR6	H'E8041A93	8
MTU7	タイマコントロールレジスタ	TCR	H'E8041A01	8
	タイマモードレジスタ1	TMDR1	H'E8041A03	8
	タイマI/Oコントロールレジスタ H	TIORH	H'E8041A06	8
	タイマI/Oコントロールレジスタ L	TIORL	H'E8041A07	8
	タイマインタラプトイネーブルレジスタ	TIER	H'E8041A09	8
	タイマカウンタ	TCNT	H'E8041A12	16
	タイマジェネラルレジスタ A	TGRA	H'E8041A1C	16
	タイマジェネラルレジスタ B	TGRB	H'E8041A1E	16
	タイマジェネラルレジスタ C	TGRC	H'E8041A28	16
	タイマジェネラルレジスタ D	TGRD	H'E8041A2A	16
	タイマコントロールレジスタ2	TCR2	H'E8041A4D	8
	タイマジェネラルレジスタ E	TGRE	H'E8041A74	16
	タイマジェネラルレジスタ F	TGRF	H'E8041A76	16
	タイマステータスレジスタ	TSR	H'E8041A2D	8
	タイマバッファ動作転送モードレジスタ	TBTM	H'E8041A39	8
	タイマA/D変換開始要求コントロールレジスタ	TADCR	H'E8041A40	16
	タイマA/D変換開始要求周期設定レジスタ A	TADCORA	H'E8041A44	16
	タイマA/D変換開始要求周期設定レジスタ B	TADCORB	H'E8041A46	16
	タイマA/D変換開始要求周期設定バッファレジスタ A	TADCOBRA	H'E8041A48	16
	タイマA/D変換開始要求周期設定バッファレジスタ B	TADCOBRB	H'E8041A4A	16
	ノイズフィルタコントロールレジスタ7	NFCR7	H'E8041A94	8

チャネル	レジスタ名	略称	アドレス	アクセスサイズ
MTU8	タイマコントロールレジスタ	TCR	H'E8041600	8
	タイマモードレジスタ1	TMDR1	H'E8041601	8
	タイマI/Oコントロールレジスタ H	TIORH	H'E8041602	8
	タイマI/Oコントロールレジスタ L	TIORL	H'E8041603	8
	タイマインタラプトイネーブルレジスタ	TIER	H'E8041604	8
	タイマコントロールレジスタ2	TCR2	H'E8041606	8
	タイマカウンタ	TCNT	H'E8041608	32
	タイマジェネラルレジスタ A	TGRA	H'E804160C	32
	タイマジェネラルレジスタ B	TGRB	H'E8041610	32
	タイマジェネラルレジスタ C	TGRC	H'E8041614	32
	タイマジェネラルレジスタ D	TGRD	H'E8041618	32
	ノイズフィルタコントロールレジスタ8	NFCR8	H'E8041298	8
MTU	タイマアウトプットマスタイネーブルレジスタ A	TOERA	H'E804120A	8
	タイマゲートコントロールレジスタ A	TGCRA	H'E804120D	8
	タイマアウトプットコントロールレジスタ 1A	TOCR1A	H'E804120E	8
	タイマアウトプットコントロールレジスタ 2A	TOCR2A	H'E804120F	8
	タイマ周期データレジスタ A	TCDRA	H'E8041214	16
	タイマデッドタイムデータレジスタ A	TDDRA	H'E8041216	16
	タイマサブカウンタ A	TCNTSA	H'E8041220	16
	タイマ周期バッファレジスタ A	TCBRA	H'E8041222	16
	タイマ割り込み間引き設定レジスタ 1A	TITCR1A	H'E8041230	8
	タイマ割り込み間引き回数カウンタ 1A	TITCNT1A	H'E8041231	8
	タイマバッファ転送設定レジスタ A	TBTERA	H'E8041232	8
	タイマデッドタイムイネーブルレジスタ A	TDERA	H'E8041234	8
	タイマアウトプットレベルバッファレジスタ A	TOLBRA	H'E8041236	8
	タイマ割り込み間引きモードレジスタ A	TITMRA	H'E804123A	8
	タイマ割り込み間引き設定レジスタ 2A	TITCR2A	H'E804123B	8
	タイマ割り込み間引き回数カウンタ 2A	TITCNT2A	H'E804123C	8
	タイマ波形コントロールレジスタ A	TWCRA	H'E8041260	8
	タイマモードレジスタ 2A	TMDR2A	H'E8041270	8
	タイマリードライトイネーブルレジスタ A	TRWERA	H'E8041284	8
	タイマスタートレジスタ A	TSTRA	H'E8041280	8
	タイマシンクロレジスタ A	TSYRA	H'E8041281	8
	タイマアウトプットマスタイネーブルレジスタ B	TOERB	H'E8041A0A	8
	タイマアウトプットコントロールレジスタ 1B	TOCR1B	H'E8041A0E	8
	タイマアウトプットコントロールレジスタ 2B	TOCR2B	H'E8041A0F	8
	タイマ周期データレジスタ B	TCDRB	H'E8041A14	16
	タイマデッドタイムデータレジスタ B	TDDRB	H'E8041A16	16
	タイマサブカウンタ B	TCNTSB	H'E8041A20	16
	タイマ周期バッファレジスタ B	TCBRB	H'E8041A22	16
	タイマ割り込み間引き設定レジスタ 1B	TITCR1B	H'E8041A30	8
	タイマ割り込み間引き回数カウンタ 1B	TITCNT1B	H'E8041A31	8
	タイマバッファ転送設定レジスタ B	TBTERB	H'E8041A32	8
	タイマデッドタイムイネーブルレジスタ B	TDERB	H'E8041A34	8
	タイマアウトプットレベルバッファレジスタ B	TOLBRB	H'E8041A36	8
	タイマ割り込み間引きモードレジスタ B	TITMRB	H'E8041A3A	8

チャネル	レジスタ名	略称	アドレス	アクセスサイズ
MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	H'E8041A3B	8
	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	H'E8041A3C	8
	タイマ波形コントロールレジスタB	TWCRB	H'E8041A60	8
	タイマモードレジスタ2B	TMDR2B	H'E8041A70	8
	タイマスタートレジスタB	TSTRB	H'E8041A80	8
	タイマシンクロレジスタB	TSYRB	H'E8041A81	8
	タイマリードライトイネーブルレジスタB	TRWERB	H'E8041A84	8
	タイマカウンタシンクロスタートレジスタ	TCSYSTR	H'E8041282	8

10.2.1　タイマコントロールレジスタ（TCR）

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR, MTU6.TCR, MTU7.TCR, MTU8.TCR

アドレス：MTU0.TCR H'E8041300, MTU1.TCR H'E8041380, MTU2.TCR H'E8041400, MTU3.TCR H'E8041200, MTU4.TCR H'E8041201, MTU6.TCR H'E8041A00, MTU7.TCR H'E8041A01, MTU8.TCR H'E8041600

	b7	b6	b5	b4	b3	b2	b1	b0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表 10.7～表 10.10 を参照してください	R/W
b4、b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7～b5	CCLR[2:0]	カウンタクリア要因選択ビット	表 10.5、表 10.6 を参照してください	R/W

x：Don't care

TCR レジスタは、TCR2 と組み合わせて各チャネルの TCNT を制御します。MTU0 ～ MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 11 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は**表 10.7 ～表 10.10** を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

カウントクロックソース（MTIOC1A 端子含む）のエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が 1 ／ 2 になります（例：P1φ ／ 4 の両エッジ＝ P1φ ／ 2 の立ち上がりエッジ）。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースが P1φ ／ 2 もしくはそれより遅い場合に有効です。カウントクロックソースに P1φ ／ 1、あるいは他のチャネルのオーバフロー／アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット（カウンタクリア要因選択ビット）

TCNT のカウンタクリア要因を選択します。詳細は**表 10.5、表 10.6** を参照してください。

表10.5　CCLR[2:0]（MTU0、MTU3、MTU4、MTU6、MTU7、MTU8）

チャネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
MTU0 MTU3 MTU4 MTU6 MTU7 MTU8	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ／インプットキャプチャでTCNTクリア（注2）
	1	1	0	TGRDのコンペアマッチ／インプットキャプチャでTCNTクリア（注2）
	1	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）

注1.　同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。ただし、MTU8を除きます。
注2.　TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNTはクリアされません。

表10.6　CCLR[2:0]（MTU1、MTU2）

チャネル	ビット7	ビット6	ビット5	説明
	予約ビット（注2）	CCLR1	CCLR0	
MTU1 MTU2	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）

注1.　同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。
注2.　MTU1、MTU2ではビット7は予約ビットです。読むと“0”が読めます。書き込みは無効となります。

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス：MTU5.TCRU H'E8041C84, MTU5.TCRV H'E8041C94, MTU5.TCRW H'E8041CA4

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TPSC[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1～b0	TPSC[1:0]	タイマプリスケーラ選択ビット	表10.11を参照してください	R/W
b7～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPSC[1:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。詳細は**表 10.11** を参照してください。

10.2.2　タイマコントロールレジスタ 2（TCR2）

- MTU0.TCR2, MTU3.TCR2, MTU4.TCR2, MTU6.TCR2, MTU7.TCR2, MTU8.TCR2

アドレス：MTU0.TCR2 H'E8041328, MTU3.TCR2 H'E804124C, MTU4.TCR2 H'E804124D, MTU6.TCR2 H'E8041A4C, MTU7.TCR2 H'E8041A4D, MTU8.TCR2 H'E8041606

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TPSC2[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

- MTU1.TCR2, MTU2.TCR2

アドレス：MTU1.TCR2 H'E8041394, MTU2.TCR2 H'E804140C

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PCB[1:0]		TPSC2[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表 10.7～表 10.10 を参照してください	R/W
b4、b3	PCB[1:0]	位相計数モード機能拡張制御ビット	位相計数モード 2、3、5 モードの機能拡張を制御	R/W
b7～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR2 レジスタは、TCR と組み合わせて各チャネルの TCNT を制御します。MTU0 ～ MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 には TCR2U/V/W の 3 本、計 11 本の TCR2 レジスタがあります。
TCR2 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC2[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は**表 10.7 ～表 10.10** を参照してください。

PCB[1:0] ビット（位相計数モード機能拡張制御ビット）

MTU1 と MTU2 の位相計数モード 2、3、5 の機能拡張制御ビットです。
詳細は**「10.3.6　位相計数モード」**を参照してください。

- MTU5.TCR2U, MTU5.TCR2V, MTU5.TCR2W

アドレス： MTU5.TCR2U H'E8041C85, MTU5.TCR2V H'E8041C95, MTU5.TCR2W H'E8041CA5

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CKEG[1:0]		TPSC2[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表10.11を参照してください	R/W
b4～b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x：Don’t care

TPSC2[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウントクロックソースを選択します。詳細は**表 10.11** を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

MTIOC1A 端子によるカウントクロックソースのエッジを選択します。

表10.7　TPSC[2:0]、TPSC2[2:0]（MTU0）

チャネル	TCR2[2:0]			TCR[2:0]			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC2	TPSC1	TPSC0	
MTU0	0	0	0	0	0	0	内部クロック：P1φ／1でカウント
	0	0	0	0	0	1	内部クロック：P1φ／4でカウント
	0	0	0	0	1	0	内部クロック：P1φ／16でカウント
	0	0	0	0	1	1	内部クロック：P1φ／64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック：MTCLKC端子入力でカウント
	0	0	0	1	1	1	外部クロック：MTCLKD端子入力でカウント
	0	0	1	x	x	x	内部クロック：P1φ／2でカウント
	0	1	0	x	x	x	内部クロック：P1φ／8でカウント
	0	1	1	x	x	x	内部クロック：P1φ／32でカウント
	1	0	0	x	x	x	内部クロック：P1φ／256でカウント
	1	0	1	x	x	x	内部クロック：P1φ／1024でカウント
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	外部クロック：MTIOC1A端子入力でカウント

x：Don’t care

表10.8　TPSC[2:0]、TPSC2[2:0]（MTU1）

チャネル	TCR2[2:0]			TCR[2:0]			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC2	TPSC1	TPSC0	
MTU1	0	0	0	0	0	0	内部クロック：P1φ／1でカウント
	0	0	0	0	0	1	内部クロック：P1φ／4でカウント
	0	0	0	0	1	0	内部クロック：P1φ／16でカウント
	0	0	0	0	1	1	内部クロック：P1φ／64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	内部クロック：P1φ／256でカウント
	0	0	0	1	1	1	MTU2.TCNTのオーバフロー／アンダフロー
	0	0	1	x	x	x	内部クロック：P1φ／2でカウント
	0	1	0	x	x	x	内部クロック：P1φ／8でカウント
	0	1	1	x	x	x	内部クロック：P1φ／32でカウント
	1	0	0	x	x	x	内部クロック：P1φ／1024でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x：Don't care

注.　MTU1が位相計数モード時、この設定は無効になります。

表10.9　TPSC[2:0]、TPSC2[2:0]（MTU2）

チャネル	TCR2[2:0]			TCR[2:0]			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC2	TPSC1	TPSC0	
MTU2	0	0	0	0	0	0	内部クロック：P1φ／1でカウント
	0	0	0	0	0	1	内部クロック：P1φ／4でカウント
	0	0	0	0	1	0	内部クロック：P1φ／16でカウント
	0	0	0	0	1	1	内部クロック：P1φ／64でカウント
	0	0	0	1	0	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック：MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック：MTCLKC端子入力でカウント
	0	0	0	1	1	1	内部クロック：P1φ／1024でカウント
	0	0	1	x	x	x	内部クロック：P1φ／2でカウント
	0	1	0	x	x	x	内部クロック：P1φ／8でカウント
	0	1	1	x	x	x	内部クロック：P1φ／32でカウント
	1	0	0	x	x	x	内部クロック：P1φ／256でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x：Don't care

注.　MTU2が位相計数モード時、この設定は無効になります。

表10.10　TPSC[2:0]、TPSC2[2:0]（MTU3、MTU4、MTU6、MTU7、MTU8）

チャネル	TCR2[2:0]			TCR[2:0]			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC2	TPSC1	TPSC0	
MTU3 MTU4 MTU6 MTU7 MTU8	0	0	0	0	0	0	内部クロック：P1φ／1でカウント
	0	0	0	0	0	1	内部クロック：P1φ／4でカウント
	0	0	0	0	1	0	内部クロック：P1φ／16でカウント
	0	0	0	0	1	1	内部クロック：P1φ／64でカウント
	0	0	0	1	0	0	内部クロック：P1φ／256でカウント
	0	0	0	1	0	1	内部クロック：P1φ／1024でカウント
	0	0	0	1	1	0	外部クロック：MTCLKA端子入力でカウント
	0	0	0	1	1	1	外部クロック：MTCLKB端子入力でカウント
	0	0	1	x	x	x	内部クロック：P1φ／2でカウント
	0	1	0	x	x	x	内部クロック：P1φ／8でカウント
	0	1	1	x	x	x	内部クロック：P1φ／32でカウント
	1	0	0	x	x	x	設定しないでください
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x：Don't care

表10.11　TPSC[1:0]、TPSC2[2:0]（MTU5）

チャネル	TCR2[2:0]			TCR[1:0]		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	TPSC22	TPSC21	TPSC20	TPSC1	TPSC0	
MTU5	0	0	0	0	0	内部クロック：P1φ／1でカウント
	0	0	0	0	1	内部クロック：P1φ／4でカウント
	0	0	0	1	0	内部クロック：P1φ／16でカウント
	0	0	0	1	1	内部クロック：P1φ／64でカウント
	0	0	1	x	x	内部クロック：P1φ／2でカウント
	0	1	0	x	x	内部クロック：P1φ／8でカウント
	0	1	1	x	x	内部クロック：P1φ／32でカウント
	1	0	0	x	x	内部クロック：P1φ／256でカウント
	1	0	1	x	x	内部クロック：P1φ／1024でカウント
	1	1	0	x	x	設定しないでください
	1	1	1	x	x	外部クロック：MTIOC1A端子入力

x：Don't care

10.2.3　タイマモードレジスタ 1（TMDR1）

- MTU0.TMDR1

アドレス： MTU0.TMDR1 H'E8041301

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BFE	BFB	BFA	MD[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0

- MTU1.TMDR1、MTU2.TMDR1

アドレス： MTU1.TMDR1 H'E8041381, MTU2.TMDR1 H'E8041401

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MD[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0

- MTU3.TMDR1、MTU4.TMDR1、MTU6.TMDR1、MTU7.TMDR1、MTU8.TMDR1

アドレス： MTU3.TMDR1 H'E8041202, MTU4.TMDR1 H'E8041203, MTU6.TMDR1 H'E8041A02, MTU7.TMDR1 H'E8041A03, MTU8.TMDR1 H'E8041601

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BFB	BFA	MD[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3～b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表 10.12 を参照してください	R/W
b4	BFA	バッファ動作 A ビット	0：TGRA と TGRC レジスタは通常動作 1：TGRA と TGRC レジスタはバッファ動作	R/W
b5	BFB	バッファ動作 B ビット	0：TGRB と TGRD レジスタは通常動作 1：TGRB と TGRD レジスタはバッファ動作	R/W
b6	BFE	バッファ動作 E ビット	0：MTU0.TGRE と MTU0.TGRF は通常動作 1：MTU0.TGRE と MTU0.TGRF はバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャネルの動作モードの設定を行うレジスタです。MTU0 ～ MTU4、MTU6、MTU7、MTU8 に各 1 本、計 8 本の TMDR1 レジスタがあります。TMDR1 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

表 10.12　MD[3:0] ビットによる動作モードの設定（MTU0 ～ MTU4、MTU6 ～ MTU8）

ビット 3	ビット 2	ビット 1	ビット 0	説明	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU6	MTU7	MTU8
MD3	MD2	MD1	MD0										
0	0	0	0	ノーマルモード	○	○	○		○	○	○	○	○
0	0	0	1	設定しないでください									
0	0	1	0	PWM モード 1	○	○	○		○	○	○	○	
0	0	1	1	PWM モード 2	○	○	○						
0	1	0	0	位相計数モード 1		○	○	○					
0	1	0	1	位相計数モード 2		○	○	○					
0	1	1	0	位相計数モード 3		○	○	○					
0	1	1	1	位相計数モード 4		○	○	○					
1	0	0	0	リセット同期 PWM モード（注 1）					○		○		
1	0	0	1	位相計数モード 5		○	○	○					
1	0	1	x	設定しないでください									
1	1	0	0	設定しないでください									
1	1	0	1	相補 PWM モード 1（山で転送）（注 1）					○		○		
1	1	1	0	相補 PWM モード 2（谷で転送）（注 1）					○		○		
1	1	1	1	相補 PWM モード 3（山と谷で転送）（注 1）					○		○		

x：Don't care

注.　各チャネルで該当以外の動作モードは設定しないでください。
注 1.　リセット同期 PWM モード、相補 PWM モードの設定は、MTU3、MTU6 のみ可能です。
MTU3、MTU6 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、MTU4、MTU7 の設定は無効となり自動的に MTU3、MTU6 の設定に従います。MTU4、MTU7 には初期値（ノーマルモード）を設定してください。

BFA ビット（バッファ動作 A ビット）

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせてバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ／アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ（MTU4.TIER）の TGIEC ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1（MTU6.TMDR1）の BFA ビットの設定に従い動作します。MTU4.TMDR1（MTU7.TMDR1）の BFA ビットを “0” にしてください。

TGRC レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。相補 PWM モードの Tb 区間については、**図 10.50** を参照してください。

BFB ビット（バッファ動作 B ビット）

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせてバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ／アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ（MTU4.TIER）の TGIED ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1（MTU6.TMDR1）の BFB ビットの設定に従い動作します。MTU4.TMDR1（MTU7.TMDR1）の BFB ビットを “0” にしてください。

TGRD レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。相補 PWM モードの Tb 区間については、**図 10.50** を参照してください。

BFE ビット（バッファ動作 E ビット）

MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ～ MTU4、MTU6、MTU7、MTU8 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

10.2.4　タイマモードレジスタ 2（TMDR2A、TMDR2B）

アドレス： MTU.TMDR2A H'E8041270, MTU.TMDR2B H'E8041A70

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0：ダブルバッファ機能は無効 1：ダブルバッファ機能は有効	R/W
b7～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR2A、TMDR2B レジスタは、相補 PWM モード 3（山と谷で転送）時、ダブルバッファ機能の設定を行うレジスタです。MTU3（TMDR2A）、MTU6（TMDR2B）に各 1 本、計 2 本の TMDR2 レジスタがあります。TMDR2A、TMDR2B レジスタの設定は、TCNT の動作が停止した状態で行ってください。

DRS ビット（ダブルバッファ選択ビット）

相補 PWM モード時、ダブルバッファ機能の有効／無効を選択します。

10.2.5　タイマモードレジスタ 3（TMDR3）

アドレス： MTU1.TMDR3 H'E8041391

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PHCKSEL	LWA
リセット後の値：	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA	ロングワードアクセス制御ビット	0：16 ビットアクセス可能 1：32 ビットアクセス可能	R/W
b1	PHCKSEL	外部入力位相クロック選択ビット	位相計数モードの外部クロック端子を選択 0：外部入力位相クロックは MTCLKA、MTCLKB 1：外部入力位相クロックは MTCLKC、MTCLKD	R/W
b7～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR3 レジスタは、MTU1 と MTU2 を組み合わせた 32 ビットのレジスタ、カウンタのロングワードアクセスを制御します。MTU1 のみに一本あります。MTU1 と MTU2 のカウンタ（TCNTLW）、ジェネラルレジスタ A（TGRALW）、ジェネラルレジスタ B（TGRBLW）は**表 10.13** のような組み合わせでアクセスされます。

LWA ビット（ロングワードアクセス制御ビット）

MTU1 と MTU2 のレジスタを組み合わせて 32 ビットでのアクセスを選択します。

LWA ビットが “0” の場合、MTU1 と MTU2 はそれぞれ独立した 16 ビットタイマとして動作するため、TCNTLW、TGRALW、TGRBLW レジスタはアクセスできません。

LWA ビットが “1” の場合、MTU1 と MTU2 はカスケード接続された 32 ビットタイマとして動作し、タイマの制御は MTU1.TCR、MTU1.TCR2、MTU1.TIOR、MTU1.TMDR1 レジスタで行います。MTU2.TCR、MTU2.TCR2、MTU2.TIOR、MTU2.TMDR1 レジスタの設定は無効で、MTU1、MTU2 の 16 ビットレジスタ（TCNT、TGRA、TGRB レジスタ）へのアクセスもできません。また、MTU2 のインプットキャプチャとコンペアマッチも無効となります。

なお、LWA ビットを “1” にした MTU1 と MTU2 のカスケード接続は、位相計数モードでのみ使用できます。ノーマルモード、PWM1 モード、PWM2 モードでは使用できません。LWA ビットを “1” にする場合、位相計数モードを選択してください。

LWA ビットを “1” にする場合は、事前に MTU1 と MTU2 の TCNT、TGRA、TGRB レジスタを初期化してください。

PHCKSEL ビット（外部入力位相クロック選択ビット）

MTU1 と MTU2 のレジスタを組み合わせて、32 ビット位相計数モードまたは MTU2 の位相計数モードで、外部入力クロックから A 相、B 相信号を選択します。詳細は**表 10.66** を参照してください。

表10.13　TMDR3レジスタの設定と組み合わせ

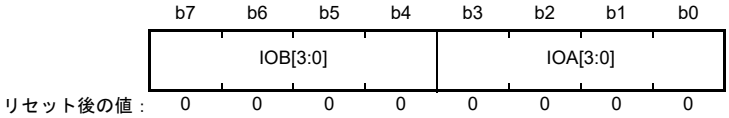
レジスタ	TMDR3.LWA=0		TMDR3.LWA=1	
	シンボル	アクセス方式	シンボル	アクセス方式
MTU1のカウンタ（注1）	MTU1.TCNT	ワード	MTU1.TCNTLW	ロングワード
MTU2のカウンタ	MTU2.TCNT	ワード		
MTU1のジェネラルレジスタA	MTU1.TGRA	ワード	MTU1.TGRALW	ロングワード
MTU2のジェネラルレジスタA	MTU2.TGRA	ワード		
MTU1のジェネラルレジスタB	MTU1.TGRB	ワード	MTU1.TGRBLW	ロングワード
MTU2のジェネラルレジスタB	MTU2.TGRB	ワード		

注1.　LWA=1にした場合、MTU1のカウントクロックをMTU2.TCNTのオーバフロー/アンダフローに設定する必要はありません。

10.2.6 タイマ I/O コントロールレジスタ（TIOR）

- MTU0.TIORH、MTU1.TIOR、MTU2.TIOR、MTU3.TIORH、MTU4.TIORH、MTU6.TIORH、MTU7.TIORH、MTU8.TIORH

アドレス： MTU0.TIORH H'E8041302, MTU1.TIOR H'E8041382, MTU2.TIOR H'E8041402, MTU3.TIORH H'E8041204, MTU4.TIORH H'E8041206, MTU6.TIORH H'E8041A04, MTU7.TIORH H'E8041A06, MTU8.TIORH H'E8041602

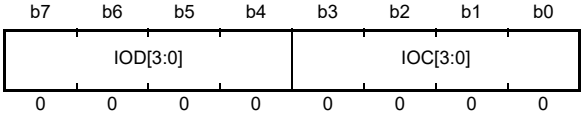


ビット	シンボル	ビット名	機能	R/W
b3～b0	IOA[3:0]	I/Oコントロール A ビット（注1）	下記の表を参照してください MTU0.TIORH：表10.28 MTU1.TIOR：表10.30 MTU2.TIOR：表10.31 MTU3.TIORH：表10.32 MTU4.TIORH：表10.34 MTU6.TIORH：表10.36 MTU7.TIORH：表10.38 MTU8.TIORH：表10.40	R/W
b7～b4	IOB[3:0]	I/Oコントロール B ビット（注1）	下記の表を参照してください MTU0.TIORH：表10.14 MTU1.TIOR：表10.16 MTU2.TIOR：表10.17 MTU3.TIORH：表10.18 MTU4.TIORH：表10.20 MTU6.TIORH：表10.22 MTU7.TIORH：表10.24 MTU8.TIORH：表10.26	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOn[3:0]（n＝A、B）の値を出力禁止（“0000b”または“0100b”）へ変更するとHi-Zになります。

- MTU0.TIORL、MTU3.TIORL、MTU4.TIORL、MTU6.TIORL、MTU7.TIORL、MTU8.TIORL

アドレス： MTU0.TIORL H'E8041303, MTU3.TIORL H'E8041205, MTU4.TIORL H'E8041207, MTU6.TIORL H'E8041A05, MTU7.TIORL H'E8041A07, MTU8.TIORL H'E8041603



ビット	シンボル	ビット名	機能	R/W
b3～b0	IOC[3:0]	I/Oコントロール C ビット（注1）	下記の表を参照してください MTU0.TIORL：表10.29 MTU3.TIORL：表10.33 MTU4.TIORL：表10.35 MTU6.TIORL：表10.37 MTU7.TIORL：表10.39 MTU8.TIORL：表10.41	R/W
b7～b4	IOD[3:0]	I/Oコントロール D ビット（注1）	下記の表を参照してください MTU0.TIORL：表10.15 MTU3.TIORL：表10.19 MTU4.TIORL：表10.21 MTU6.TIORL：表10.23 MTU7.TIORL：表10.25 MTU8.TIORL：表10.27	R/W

注1.　コンペアマッチでLow出力/High出力/トグル出力中に、IOn[3:0]（n＝C、D）の値を出力禁止（“0000b”または“0100b”）へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス： MTU5.TIORU H'E8041C86, MTU5.TIORV H'E8041C96, MTU5.TIORW H'E8041CA6

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IOC[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4～b0	IOC[4:0]	I/Oコントロール C ビット	下記の表を参照してください MTU5.TIORU、MTU5.TIORV、MTU5.TIORW：表 10.42	R/W
b7～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIOR レジスタは、TGR レジスタを制御します。MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 に各 2 本、MTU1、MTU2 に各 1 本、MTU5 には MTU5.TIORU/V/W の 3 本、計 17 本の TIOR があります。TIOR レジスタは TMDR レジスタの設定が、ノーマルモード、PWM モード、位相計数モードの場合に設定します。

TIOR レジスタは TMDR1 レジスタの設定により影響を受けますので注意してください。

TIOR レジスタで指定した初期出力はカウンタ停止した（TSTRA.CSTn ビットおよび TSTRB.CSTn ビットを “0” にした）状態で有効になります。また、PWM モード 2 の場合にはカウンタが “0” になった時点での出力を指定します。

TGRC レジスタ、あるいは TGRD レジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表10.14　TIORH（MTU0）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA=0）またはMTU1.TCNTLW （LWA=1）のカウントアップ／カウントダウンで インプットキャプチャ（注1）

x：Don't care

注1.　MTU1のカウントクロックにP1φ/1を選択した場合、MTU0のインプットキャプチャは発生しません。P1φ/1以外のクロックを選択してください。

表10.15　TIORL（MTU0）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA=0）またはMTU1.TCNTLW（LWA=1）のカウントアップ／カウントダウンで インプットキャプチャ（注2）

x：Don't care

注1.　MTU0.TMDR1.BFBビットを“1”にして、MTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

注2.　MTU1のカウントクロックにP1φ/1を選択した場合、MTU0のインプットキャプチャは発生しません。P1φ/1以外のクロックを選択してください。

表10.16　TIOR（MTU1）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU1.TGRB／TGRBLWの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	0		MTU0.TGRCのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ
1	1	1	x		MTU8.TGRCのコンペアマッチの発生でインプットキャプチャ

x：Don't care

表10.17　TIOR（MTU2）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.18　TIORH（MTU3）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.19　TIORL（MTU3）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR1.BFBビットを“1”にして、MTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.20　TIORH（MTU4）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.21　TIORL（MTU4）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ／アウトプットコンペアは発生しません。

表10.22　TIORH（MTU6）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU6.TGRBの機能	MTIOC6B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.23　TIORL（MTU6）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU6.TGRDの機能	MTIOC6Dの端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU6.TMDR1.BFBビットを“1”にして、MTU6.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.24　TIORH（MTU7）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU7.TGRBの機能	MTIOC7B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.25　TIORL（MTU7）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU7.TGRDの機能	MTIOC7D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU7.TMDR1.BFBビットを“1”にして、MTU7.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.26　TIORH（MTU8）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	MTU8.TGRBの機能	MTIOC8B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA=0）またはMTU1.TCNTLW（LWA=1）のカウントアップ／カウントダウンでインプットキャプチャ（注1）

x：Don't care

注1.　MTU1のカウントクロックにP1φ/1を選択した場合、MTU8のインプットキャプチャは発生しません。P1φ/1以外のクロックを選択してください。

表10.27　TIORL（MTU8）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	MTU8.TGRDの機能	MTIOC8D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU8.TMDR1.BFBビットを“1”にして、MTU8.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.28　TIORH（MTU0）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	0		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA=0）またはMTU1.TCNTLW（LWA=1）のカウントアップ／カウントダウンでインプットキャプチャ（注1）
1	1	1	x		MTU8.TGRCのコンペアマッチの発生でインプットキャプチャ

x：Don't care

注1.　MTU1のカウントクロックにP1φ/1を選択した場合、MTU0のインプットキャプチャは発生しません。P1φ/1以外のクロックを選択してください。

表10.29　TIORL（MTU0）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU0.TGRCの機能	MTIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1／カウントクロック MTU1.TCNT（LWA=0）またはMTU1.TCNTLW（LWA=1）のカウントアップ／カウントダウンでインプットキャプチャ（注2）

x：Don't care

注1.　MTU0.TMDR1.BFAビットを“1”にして、MTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

注2.　MTU1のカウントクロックにP1φ/1を選択した場合、MTU0のインプットキャプチャは発生しません。P1φ/1以外のクロックを選択してください。

表10.30　TIOR（MTU1）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU1.TGRA／TGRALWの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

x：Don't care

表10.31　TIOR（MTU2）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.32　TIORH（MTU3）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.33　TIORL（MTU3）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU3.TMDR1.BFAビットを“1”にして、MTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.34　TIORH（MTU4）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.35　TIORL（MTU4）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.36　TIORH（MTU6）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU6.TGRAの機能	MTIOC6A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.37　TIORL（MTU6）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU6.TGRCの機能	MTIOC6Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU6.TMDR1.BFAビットを“1”にして、MTU6.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.38　TIORH（MTU7）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU7.TGRAの機能	MTIOC7A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.39　TIORL（MTU7）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU7.TGRCの機能	MTIOC7C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU7.TMDR1.BFAビットを“1”にして、MTU7.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.40　TIORH（MTU8）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	MTU8.TGRAの機能	MTIOC8A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

表10.41　TIORL（MTU8）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	MTU8.TGRCの機能	MTIOC8C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x：Don't care

注1.　MTU8.TMDR1.BFAビットを“1”にして、MTU8.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.42　TIORU、TIORV、TIORW（MTU5）

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTU5.TGRU、MTU5.TGRV、MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	アウトプットコンペアレジスタ	機能なし
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ（注1）	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		MTU8.TGRCのコンペアマッチの発生でキャプチャ
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用相補PWMモードの山と谷でキャプチャ

x：Don't care

注1.　IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU6、MTU7と連動したデッドタイム補償用機能使用時のみとしてください。詳細は「10.3.11　外部パルス幅測定機能」、「10.3.12　デッドタイム補償用機能」を参照してください。

10.2.7　タイマコンペアマッチクリアレジスタ（TCNTCMPCLR）

アドレス： MTU5.TCNTCMPCLR H'E8041CB6

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを禁止 1：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを禁止 1：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを禁止 1：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを許可	R/W
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

10.2.8　タイマインタラプトイネーブルレジスタ（TIER）

- MTU1.TIER, MTU2.TIER

アドレス： MTU1.TIER H'E8041384, MTU2.TIER H'E8041404

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値：	0	0	0	0	0	0	0	0

- MTU0.TIER, MTU3.TIER, MTU6.TIER

アドレス： MTU0.TIER H'E8041304, MTU3.TIER H'E8041208, MTU6.TIER H'E8041A08

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値：	0	0	0	0	0	0	0	0

- MTU4.TIER, MTU7.TIER

アドレス MTU4.TIER H'E8041209, MTU7.TIER H'E8041A09

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU8.TIER

アドレス： MTU8.TIER H'E8041604

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR割り込み許可Aビット	0：割り込み要求（TGIA）を禁止 1：割り込み要求（TGIA）を許可	R/W
b1	TGIEB	TGR割り込み許可Bビット	0：割り込み要求（TGIB）を禁止 1：割り込み要求（TGIB）を許可	R/W
b2	TGIEC	TGR割り込み許可Cビット	0：割り込み要求（TGIC）を禁止 1：割り込み要求（TGIC）を許可	R/W
b3	TGIED	TGR割り込み許可Dビット	0：割り込み要求（TGID）を禁止 1：割り込み要求（TGID）を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0：割り込み要求（TCIV）を禁止 1：割り込み要求（TCIV）を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0：割り込み要求（TCIU）を禁止 1：割り込み要求（TCIU）を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b6	TTGE2	A/D 変換開始要求許可 2 ビット	0：MTUn.TCNT のアンダフロー（谷）による A/D 変換要求を禁止 1：MTUn.TCNT のアンダフロー（谷）による A/D 変換要求を許可	R/W
b7	TTGE	A/D 変換開始要求許可ビット	0：A/D 変換開始要求の発生を禁止 1：A/D 変換開始要求の発生を許可	R/W

n = 4、7

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0 に 2 本、MTU1 ～ MTU8 に各 1 本、計 10 本の TIER レジスタがあります。

TGIEA、TGIEB ビット（TGR 割り込み許可 A、B ビット）

割り込み要求（TGIn）を許可または禁止します。（n = A、B）

TGIEC、TGIED ビット（TGR 割り込み許可 C、D ビット）

割り込み要求（TGIn）を許可または禁止します。（n = C、D）
MTU1、MTU2 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TCIEV ビット（オーバフロー割り込み許可ビット）

割り込み要求（TCIV）を許可または禁止します。

TCIEU ビット（アンダフロー割り込み許可ビット）

割り込み要求（TCIU）を許可または禁止します。
MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

相補 PWM モードで、MTUn.TCNT のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。（n = 4、7）
MTU0 ～ MTU3、MTU6、MTU8 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE ビット（A/D 変換開始要求許可ビット）

TGRA レジスタのインプットキャプチャ／コンペアマッチによる A/D コンバータの開始要求の発生を許可または禁止します。
MTU8 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

- MTU0.TIER2

アドレス： MTU0.TIER2 H'E8041324

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE2	—	—	—	—	—	TGIEF	TGIEE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR割り込み許可Eビット	0：割り込み要求（TGIE）を禁止 1：割り込み要求（TGIE）を許可	R/W
b1	TGIEF	TGR割り込み許可Fビット	0：割り込み要求（TGIF）を禁止 1：割り込み要求（TGIF）を許可	R/W
b6～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0：MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を禁止 1：MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEF ビット（TGR 割り込み許可 E、F ビット）

MTU0.TCNT と MTU0.TGRn のコンペアマッチによる割り込み要求の発生を許可または禁止します（n ＝ E、F）。

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

- MTU5.TIER

アドレス： MTU5.TIER H'E8041CB2

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR割り込み許可5Wビット	0：TGIW5割り込み要求を禁止 1：TGIW5割り込み要求を許可	R/W
b1	TGIE5V	TGR割り込み許可5Vビット	0：TGIV5割り込み要求を禁止 1：TGIV5割り込み要求を許可	R/W
b2	TGIE5U	TGR割り込み許可5Uビット	0：TGIU5割り込み要求を禁止 1：TGIU5割り込み要求を許可	R/W
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5n ビット（TGR 割り込み許可 5n ビット）

割り込み要求（TGIn5）を許可または禁止します。（n ＝ U、V、W）

10.2.9　タイマステータスレジスタ（TSR）

- MTU1.TSR, MTU2.TSR

アドレス： MTU1.TSR H'E8041385, MTU2.TSR H'E8041405

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値：	1	1	0	0	0	0	0	0

- MTU3.TSR, MTU4.TSR, MTU6.TSR, MTU7.TSR

アドレス： MTU3.TSR H'E804122C, MTU4.TSR H'E804122D, MTU6.TSR H'E8041A2C, MTU7.TSR H'E8041A2D

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値：	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5～b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0：TCNTはダウンカウント 1：TCNTはアップカウント	R

TSR レジスタは、各チャネルのステータスの表示を行うレジスタです。MTU1 ～ MTU4、MTU6、MTU7 に各 1 本、計 6 本の TSR レジスタがあります。

TCFD フラグ（カウント方向フラグ）

MTU1 ～ MTU4、MTU6、MTU7 の TCNT のカウント方向を示すステータスフラグです。

10.2.10　タイマバッファ動作転送モードレジスタ（TBTM）

- MTU0.TBTM

アドレス： MTU0.TBTM H'E8041326

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値：	0	0	0	0	0	0	0	0

- MTU3.TBTM、MTU4.TBTM、MTU6.TBTM、MTU7.TBTM

アドレス： MTU3.TBTM H'E8041238, MTU4.TBTM H'E8041239, MTU6.TBTM H'E8041A38, MTU7.TBTM H'E8041A39

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TTSB	TTSA
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0：TGRCからTGRAへの転送タイミングは各チャネルのコンペアマッチA発生時 1：TGRCからTGRAへの転送タイミングは各チャネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0：TGRDからTGRBへの転送タイミングは各チャネルのコンペアマッチB発生時 1：TGRDからTGRBへの転送タイミングは各チャネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0：MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0のコンペアマッチE発生時 1：MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0.TCNTクリア時	R/W
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7 に各 1 本、計 5 本の TBTM レジスタがあります。

TTSA ビット（タイミング選択 A ビット）

各チャネルのバッファ動作時の TGRC レジスタから TGRA レジスタへの転送タイミングを設定します。
なお、PWM モード以外で使用するチャネルでは、TTSA ビットを “1” にしないでください。

TTSB ビット（タイミング選択 B ビット）

各チャネルのバッファ動作時の TGRD レジスタから TGRB レジスタへの転送タイミングを設定します。
なお、PWM モード以外で使用するチャネルでは、TTSB ビットを “1” にしないでください。

TTSE ビット（タイミング選択 E ビット）

バッファ動作時の MTU0.TGRF から MTU0.TGRE への転送タイミングを設定します。MTU3、MTU4、MTU6、MTU7 では予約ビットです。読むと “0” が読めます。書く場合、“0” にしてください。
なお、PWM モード以外で使用するチャネルでは、TTSE ビットを “1” にしないでください。

10.2.11　タイマインプットキャプチャコントロールレジスタ（TICCR）

アドレス： MTU1.TICCR H'E8041390

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0：MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加しない 1：MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0：MTIOC1B 端子を MTU2.TGRB のインプットキャプチャ条件に追加しない 1：MTIOC1B 端子を MTU2.TGRB のインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0：MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加しない 1：MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0：MTIOC2B 端子を MTU1.TGRB のインプットキャプチャ条件に追加しない 1：MTIOC2B 端子を MTU1.TGRB のインプットキャプチャ条件に追加する	R/W
b7～b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

10.2.12　タイマシンクロクリアレジスタ（TSYCR）

アドレス：MTU6.TSYCR H'E8041A50

	b7	b6	b5	b4	b3	b2	b1	b0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE2B	クリア許可2Bビット	0：MTU2のTGIB2割り込み発生タイミングでのクリア禁止 1：MTU2のTGIB2割り込み発生タイミングでのクリア許可	R/W
b1	CE2A	クリア許可2Aビット	0：MTU2のTGIA2割り込み発生タイミング（注1）でのクリア禁止 1：MTU2のTGIA2割り込み発生タイミング（注1）でのクリア許可	R/W
b2	CE1B	クリア許可1Bビット	0：MTU1のTGIB1割り込み発生タイミング（注1）でのクリア禁止 1：MTU1のTGIB1割り込み発生タイミング（注1）でのクリア許可	R/W
b3	CE1A	クリア許可1Aビット	0：MTU1のTGIA1割り込み発生タイミング（注1）でのクリア禁止 1：MTU1のTGIA1割り込み発生タイミング（注1）でのクリア許可	R/W
b4	CE0D	クリア許可0Dビット	0：MTU0のTGID0割り込み発生タイミング（注1）でのクリア禁止 1：MTU0のTGID0割り込み発生タイミング（注1）でのクリア許可	R/W
b5	CE0C	クリア許可0Cビット	0：MTU0のTGIC0割り込み発生タイミング（注1）でのクリア禁止 1：MTU0のTGIC0割り込み発生タイミング（注1）でのクリア許可	R/W
b6	CE0B	クリア許可0Bビット	0：MTU0のTGIB0割り込み発生タイミング（注1）でのクリア禁止 1：MTU0のTGIB0割り込み発生タイミング（注1）でのクリア許可	R/W
b7	CE0A	クリア許可0Aビット	0：MTU0のTGIA0割り込み発生タイミング（注1）でのクリア禁止 1：MTU0のTGIA0割り込み発生タイミング（注1）でのクリア許可	R/W

注1.　TIERn.TGIEmビットの設定値によりません。（n＝0、1、2、m＝A、B、C、D）

TSYCR レジスタは、MTU の MTU6.TCNT、MTU7.TCNT の同期クリア条件の設定を行うレジスタです。MTU6 に 1 本の TSYCR レジスタがあります。

CEnm ビット（クリア許可 nm ビット）（n ＝ 0、1、2、m ＝ A、B、C、D）

MTUn.TGImn 割り込み発生タイミングでのクリア禁止／許可を設定します。

10.2.13　タイマカウンタ（TCNT）

- MTU0.TCNT ～ MTU7.TCNT

アドレス：MTU0.TCNT H'E8041306, MTU1.TCNT H'E8041386, MTU2.TCNT H'E8041406, MTU3.TCNT H'E8041210, MTU4.TCNT H'E8041212, MTU5.TCNTU H'E8041C80, MTU5.TCNTV H'E8041C90, MTU5.TCNTW H'E8041CA0, MTU6.TCNT H'E8041A10, MTU7.TCNT H'E8041A12

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注．　TCNTの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

- MTU8.TCNT

アドレス：MTU8.TCNT H'E8041608

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注．　8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

MTU0.TCNT ～ MTU7.TCNT は、16 ビットの読み出し／書き込み可能なカウンタで、MTU8.TCNT は、32 ビットの読み出し／書き込み可能なカウンタです。MTU0 ～ MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 に TCNTU, TCNTV, TCNTW の 3 本、計 11 本の TCNT があります。

MTU0 ～ MTU4、MTU6、MTU7 の TCNT は、リセット時に 0000h に初期化され、MTU8.TCNT は 0000 0000h に初期化されます。MTU5 の TCNTU, TCNTV, TCNTW は、リセット時に 0000h に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。MTU0 ～ MTU4、MTU6、MTU7 の TCNT は、16 ビット単位でアクセスしてください。MTU8 の TCNT は、8/16 ビットのアクセスは禁止で、32 ビット単位でアクセスしてください。

MTU1.TCNT、MTU2.TCNT は、TMDR3.LWA=1 のときは 0000h が読み出されます。詳細は「**10.2.5　タイマモードレジスタ 3（TMDR3）**」を参照してください。

10.2.14　タイマロングワードカウンタ（TCNTLW）

アドレス： MTU1.TCNTLW H'E80413A0

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　8 ビット、16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

TCNTLW カウンタは、TMDR3.LWA=1 のときのみ有効で、MTU1.TCNT と MTU2.TCNT で構成される、32 ビットの読み出し / 書き込み可能なカウンタです。MTU1 に 1 本あります。

TCNTLW カウンタは、リセット時に 0000 0000h に初期化されます。また、TMDR3.LWA=0 のときは 0000 0000h が読み出されます。詳細は「10.2.5　タイマモードレジスタ 3（TMDR3）」を参照してください。

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

10.2.15　タイマジェネラルレジスタ（TGR）

- MTU0.TGR ～ MTU7.TGR

アドレス：MTU0.TGRA H'E8041308, MTU0.TGRB H'E804130A, MTU0.TGRC H'E804130C, MTU0.TGRD H'E804130E, MTU0.TGRE H'E8041320, MTU0.TGRF H'E8041322, MTU1.TGRA H'E8041388, MTU1.TGRB H'E804138A, MTU2.TGRA H'E8041408, MTU2.TGRB H'E804140A, MTU3.TGRA H'E8041218, MTU3.TGRB H'E804121A, MTU3.TGRC H'E8041224, MTU3.TGRD H'E8041226, MTU3.TGRE H'E8041272 MTU4.TGRA H'E804121C, MTU4.TGRB H'E804121E, MTU4.TGRC H'E8041228, MTU4.TGRD H'E804122A, MTU4.TGRE H'E8041274, MTU4.TGRF H'E8041276, MTU5.TGRU H'E8041C82, MTU5.TGRV H'E8041C92, MTU5.TGRW H'E8041CA2, MTU6.TGRA H'E8041A18, MTU6.TGRB H'E8041A1A, MTU6.TGRC H'E8041A24, MTU6.TGRD H'E8041A26, MTU6.TGRE H'E8041A72, MTU7.TGRA H'E8041A1C, MTU7.TGRB H'E8041A1E, MTU7.TGRC H'E8041A28, MTU7.TGRD H'E8041A2A, MTU7.TGRE H'E8041A74, MTU7.TGRF H'E8041A76

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注．　TGRの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。TGRの初期値は、FFFFhです。

- MTU8.TGR

アドレス：MTU8.TGRA H'E804160C, MTU8.TGRB H'E8041610, MTU8.TGRC H'E8041614, MTU8.TGRD H'E8041618

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注．　8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

MTU0.TGR ～ MTU7.TGR レジスタは、16 ビットの読み出し／書き込み可能なレジスタです。MTU8.TGR レジスタは、32 ビットの読み出し／書き込み可能なレジスタです。MTU0 に 6 本、MTU1、MTU2 に各 2 本、MTU3、MTU6 に各 5 本、MTU4、MTU7 に各 6 本、MTU5 に 3 本、MTU8 に 4 本、計 39 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD レジスタはアウトプットコンペア／インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 の TGRC レジスタと TGRD レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRA － TGRC、TGRB － TGRD になります。

MTU0.TGRE、MTU0.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNT カウンタと MTU0.TGRE レジスタが一致したとき、A/D 変換開始要求を発生することができます。TGRF レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRE － TGRF になります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW レジスタはコンペアマッチ／インプットキャプチャ／外部パルス幅測定兼用のレジスタです。

MTU1.TGRA、MTU2.TGRA、MTU1.TGRB、MTU2.TGRB レジスタは、TMDR3.LWA=1 のときは 0000h が読み出されます。詳細は「10.2.5　タイマモードレジスタ 3（TMDR3）」を参照してください。

10.2.16　タイマロングワードジェネラルレジスタ (TGRALW、TGRBLW)

アドレス： MTU1.TGRALW H'E80413A4, MTU1.TGRBLW H'E80413A8

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　8 ビット、16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

TGRALW (TGRBLW) レジスタは、TMDR3.LWA=1 のときのみ有効で、MTU1.TGRA (MTU1.TGRB) レジスタと MTU2.TGRA (MTU2.TGRB) レジスタで構成される、32 ビットの読み出し / 書き込み可能なレジスタです。MTU1 に 2 本あります。

TGRALW レジスタ、TGRBLW レジスタは、リセット時に FFFF FFFFh に初期化されますが、TMDR3.LWA=0 のときは 0000 0000h が読み出されます。詳細は「10.2.5　タイマモードレジスタ 3（TMDR3）」を参照してください。

TGRALW レジスタ、TGRBLW レジスタは、TMDR3.LWA=1 の場合でアウトプットコンペア / インプットキャプチャ兼用のレジスタです。

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

10.2.17　タイマスタートレジスタ (TSTRA, TSTRB, TSTR)

- MTU.TSTRA（MTU0, MTU1, MTU2, MTU3, MTU4, MTU8）

アドレス： MTU.TSTRA H'E8041280

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	CST8	CST2	CST1	CST0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0：MTU0.TCNTはカウント停止 1：MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0：MTU1.TCNTはカウント停止 1：MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0：MTU2.TCNTはカウント停止 1：MTU2.TCNTはカウント動作	R/W
b3	CST8	カウンタスタート8ビット	0：MTU8.TCNTはカウント停止 1：MTU8.TCNTはカウント動作	R/W
b5～b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0：MTU3.TCNTはカウント停止 1：MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0：MTU4.TCNTはカウント停止 1：MTU4.TCNTはカウント動作	R/W

注.　TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタは MTU0 ～ MTU4、MTU8 の TCNT の動作／停止を選択するレジスタです。

TSTRB レジスタは MTU6、MTU7 の TCNT の動作／停止を選択するレジスタです。

TSTR レジスタは MTU5 の TCNT の動作／停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT のカウントクロックを設定する場合は、TCNT のカウント動作を停止してから行ってください。

CSTn ビット（カウンタスタート n ビット）（n ＝ 0、1、2、3、4、8）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに “0” を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU.TSTRB（MTU6, MTU7）

アドレス： MTU.TSTRB H'E8041A80

	b7	b6	b5	b4	b3	b2	b1	b0
	CST7	CST6	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST6	カウンタスタート 6 ビット	0：MTU6.TCNT はカウント停止 1：MTU6.TCNT はカウント動作	R/W
b7	CST7	カウンタスタート 7 ビット	0：MTU7.TCNT はカウント停止 1：MTU7.TCNT はカウント動作	R/W

注.　TCSYSTR レジスタを“1”にしたときは、TSTRB レジスタの対応するビットが自動的に“1”になります。

CSTn ビット（カウンタスタート n ビット）（n ＝ 6、7）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに “0” を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1B レジスタまたは TOCR2B レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR（MTU5）

アドレス： MTU5.TSTR H'E8041CB4

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタート W5 ビット	0：MTU5.TCNTW はカウント停止 1：MTU5.TCNTW はカウント動作	R/W
b1	CSTV5	カウンタスタート V5 ビット	0：MTU5.TCNTV はカウント停止 1：MTU5.TCNTV はカウント動作	R/W
b2	CSTU5	カウンタスタート U5 ビット	0：MTU5.TCNTU はカウント停止 1：MTU5.TCNTU はカウント動作	R/W
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

10.2.18　タイマシンクロレジスタ（TSYRA、TSYRB）

- MTU.TSYRA（MTU0, MTU1, MTU2, MTU3, MTU4）

アドレス： MTU.TSYRA H'E8041281

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0：MTU0.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU0.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b1	SYNC1	タイマ同期1ビット	0：MTU1.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU1.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b2	SYNC2	タイマ同期2ビット	0：MTU2.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU2.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b5～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0：MTU3.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU3.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W
b7	SYNC4	タイマ同期4ビット	0：MTU4.TCNTは独立して動作 （TCNTのセット/クリアは他のチャネルと無関係） 1：MTU4.TCNTは同期動作 （TCNTの同期セット/同期クリアが可能）	R/W

TSYRA レジスタは MTU0 ～ MTU4 の TCNT の独立動作または同期動作を選択するレジスタです。
TSYRB レジスタは MTU6、MTU7 の TCNT の独立動作または同期動作を選択するレジスタです。
対応するビットを “1” にしたチャネルが同期動作を行います。

SYNCn ビット（タイマ同期 n ビット）（n ＝ 0、1、2、3、4）

他のチャネルとの独立動作または同期動作を選択します。
同期動作を選択すると、複数の TCNT の同期セットや、他チャネルのカウンタクリアによる同期クリアが可能となります。
同期動作の設定には、最低 2 チャネルの SYNC ビットを “1” にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

- MTU.TSYRB（MTU6, MTU7）

アドレス： MTU.TSYRB H'E8041A81

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC7	SYNC6	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC6	タイマ同期 6 ビット	0：MTU6.TCNT は独立して動作 （TCNT のセット/クリアは他のチャネルと無関係） 1：MTU6.TCNT は同期動作 （TCNT の同期セット/同期クリアが可能）	R/W
b7	SYNC7	タイマ同期 7 ビット	0：MTU7.TCNT は独立して動作 （TCNT のセット/クリアは他のチャネルと無関係） 1：MTU7.TCNT は同期動作 （TCNT の同期セット/同期クリアが可能）	R/W

SYNCn ビット（タイマ同期 n ビット）（n ＝ 6、7）

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNC ビットを “1” にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

10.2.19　タイマカウンタシンクロスタートレジスタ（TCSYSTR）

アドレス：MTU.TCSYSTR H'E8041282

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH6	SCH7
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCH7	シンクロスタート7ビット	0：MTU7.TCNTをシンクロスタートしない 1：MTU7.TCNTをシンクロスタートする	R/(W) （注1）
b1	SCH6	シンクロスタート6ビット	0：MTU6.TCNTをシンクロスタートしない 1：MTU6.TCNTをシンクロスタートする	R/(W) （注1）
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	SCH4	シンクロスタート4ビット	0：MTU4.TCNTをシンクロスタートしない 1：MTU4.TCNTをシンクロスタートする	R/(W) （注1）
b4	SCH3	シンクロスタート3ビット	0：MTU3.TCNTをシンクロスタートしない 1：MTU3.TCNTをシンクロスタートする	R/(W) （注1）
b5	SCH2	シンクロスタート2ビット	0：MTU2.TCNTをシンクロスタートしない 1：MTU2.TCNTをシンクロスタートする	R/(W) （注1）
b6	SCH1	シンクロスタート1ビット	0：MTU1.TCNTをシンクロスタートしない 1：MTU1.TCNTをシンクロスタートする	R/(W) （注1）
b7	SCH0	シンクロスタート0ビット	0：MTU0.TCNTをシンクロスタートしない 1：MTU0.TCNTをシンクロスタートする	R/(W) （注1）

注1.　“1”を書くことのみ可能です。カウントがスタートすると、自動的に“0”になります。

TCSYSTR レジスタはカウンタの同期スタートを行うレジスタです。

SCH7 ビット（シンクロスタート 7 ビット）

MTU7.TCNT のシンクロスタートを制御します。
[“0” になる条件]
SCH7 ビットが “1” の状態で TSTRB.CST7 ビットを “1” にしたとき

SCH6 ビット（シンクロスタート 6 ビット）

MTU6.TCNT のシンクロスタートを制御します。
[“0” になる条件]
SCH6 ビットが “1” の状態で TSTRB.CST6 ビットを “1” にしたとき

SCH4 ビット（シンクロスタート 4 ビット）

MTU4.TCNT のシンクロスタートを制御します。
[“0” になる条件]
SCH4 ビットが “1” の状態で TSTRA.CST4 ビットを “1” にしたとき

SCH3 ビット（シンクロスタート 3 ビット）

MTU3.TCNT のシンクロスタートを制御します。
[“0” になる条件]
SCH3 ビットが “1” の状態で TSTRA.CST3 ビットを “1” にしたとき

SCH2 ビット（シンクロスタート 2 ビット）

MTU2.TCNT のシンクロスタートを制御します。
[“0” になる条件]
SCH2 ビットが “1” の状態で TSTRA.CST2 ビットを “1” にしたとき

SCH1 ビット（シンクロスタート 1 ビット）

MTU1.TCNT のシンクロスタートを制御します。
[“0” になる条件]
SCH1 ビットが “1” の状態で TSTRA.CST1 ビットを “1” にしたとき

SCH0 ビット（シンクロスタート 0 ビット）

MTU0.TCNT のシンクロスタートを制御します。
[“0” になる条件]
SCH0 ビットが “1” の状態で TSTRA.CST0 ビットを “1” にしたとき

10.2.20　タイマリードライトイネーブルレジスタ（TRWERA、TRWERB）

アドレス： MTU.TRWERA H'E8041284, MTU.TRWERB H'E8041A84

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値：	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0：レジスタのリードライトを禁止する 1：レジスタのリードライトを許可する	R/W
b7～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を指定するレジスタです。

TRWERB レジスタは、MTU6、MTU7 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を指定するレジスタです。

RWE ビット（リードライト許可ビット）

誤書き込み防止のレジスタへのリードライト許可／禁止を設定します。

[“0” になる条件]

RWE ＝ 1 の状態で RWE ビットを読んだ後、RWE ビットに “0” を書いたとき

- 誤書き込み防止の対象レジスタおよび対象カウンタ（TRWERA）

MTUn.TCR、MTUn.TCR2、MTUn.TMDR1、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOERA、MTU.TOCR1A、MTU.TOCR2A、MTU.TGCRA、MTU.TCDRA、MTU.TDDRA と MTUn.TCNT の計 24 レジスタです。（n ＝ 3、4）

- 誤書き込み防止の対象レジスタおよび対象カウンタ（TRWERB）

MTUn.TCR、MTUn.TCR2、MTUn.TMDR1、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOERB、MTU.TOCR1B、MTU.TOCR2B、MTU.TCDRB、MTU.TDDRB と MTUn.TCNT の計 23 レジスタです。（n ＝ 6、7）

10.2.21　タイマアウトプットマスタイネーブルレジスタ (TOERA, TOERB)

- MTU.TOERA

アドレス： MTU.TOERA H'E804120A

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値：	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b7、b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめ汎用入出力ポートのデータ方向レジスタ（PDR）、ポート出力データレジスタ（PODR）に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ（PMR）で汎用入出力ポート使用に切り替えてください。詳細は、「51.　汎用入出力ポート」を参照してください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可／禁止を行うレジスタです。

これらの端子は TOERA レジスタの各ビットの設定をしないと正しく出力されません。TOERA レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを “0” にした後で設定してください。（図 10.44、図 10.48 参照）。

- MTU.TOERB

アドレス： MTU.TOERB H'E8041A0A

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
リセット後の値：	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE6B	マスタ許可MTIOC6Bビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b1	OE7A	マスタ許可MTIOC7Aビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b2	OE7B	マスタ許可MTIOC7Bビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b3	OE6D	マスタ許可MTIOC6Dビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b4	OE7C	マスタ許可MTIOC7Cビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b5	OE7D	マスタ許可MTIOC7Dビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b7、b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1.　MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめ汎用入出力ポートのデータ方向レジスタ（PDR）、ポート出力データレジスタ（PODR）に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ（PMR）で汎用入出力ポート使用に切り替えてください。詳細は、「51.　汎用入出力ポート」を参照してください。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可／禁止を行うレジスタです。

これらの端子は TOERB レジスタの各ビットの設定をしないと正しく出力されません。TOERB レジスタは MTU6、MTU7 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST6、CST7 ビットを “0” にした後で設定してください（**図 10.44**、**図 10.48** 参照）。

10.2.22　タイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）

アドレス： MTU.TOCR1A H'E804120E, MTU.TOCR1B H'E8041A0E

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット（注1、注3）	表 10.43 を参照してください	R/W
b1	OLSN	出力レベル選択Nビット（注1、注3）	表 10.44 を参照してください	R/W
b2	TOCS	TOC選択ビット	0：TOCR1jの設定を有効にする（j＝A、B） 1：TOCR2jの設定を有効にする	R/W
b3	TOCL	TOC レジスタ書き込み禁止ビット （注2、注4）	0：TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1：TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5、b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0：トグル出力を禁止 1：トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TOCR1j.TOCSビットを“0”にすることにより、本設定が有効になります。
注2.　TOCR1j.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。
注3.　デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。
注4.　リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1A、TOCR1B レジスタは、相補 PWM モード／リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可／禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット（出力レベル選択 P ビット）

リセット同期 PWM モード／相補 PWM モード時に、正相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

OLSN ビット（出力レベル選択 N ビット）

リセット同期 PWM モード／相補 PWM モード時に、逆相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

TOCS ビット（TOC 選択ビット）

相補 PWM モード／リセット同期 PWM モードの出力レベルの設定を TOCR1j レジスタと TOCR2j レジスタ（j ＝ A、B）のどちらの設定を有効にするか選択します。

TOCL ビット（TOC レジスタ書き込み禁止ビット）

TOCR1j レジスタ（j ＝ A、B）の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止／許可の設定をします。

PSYE ビット（PWM 同期出力許可ビット）

PWM 周期に同期したトグル出力の許可／禁止を設定します。

表 10.43　出力レベル選択機能

ビット 0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 10.44　出力レベル選択機能

ビット 1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例（1 相分）を図 10.3 に示します。

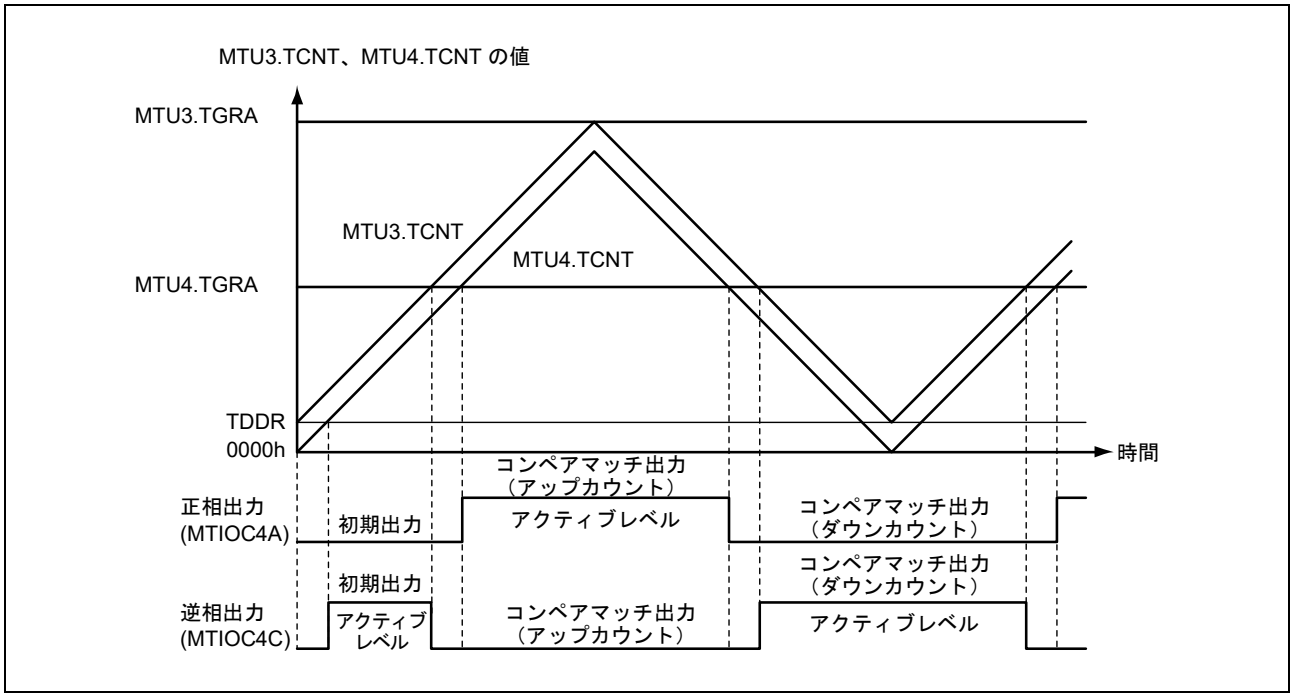


図 10.3　相補 PWM モードの出力レベルの例

10.2.23　タイマアウトプットコントロールレジスタ 2（TOCR2A、TOCR2B）

アドレス： MTU.TOCR2A H'E804120F, MTU.TOCR2B H'E8041A0F

	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC3B/MTIOC6Bの出力レベルを選択します 表10.45を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC3D/MTIOC6Dの出力レベルを選択します 表10.46を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC4A/MTIOC7Aの出力レベルを選択します 表10.47を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC4C/MTIOC7Cの出力レベルを選択します 表10.48を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC4B/MTIOC7Bの出力レベルを選択します 表10.49を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット（注1、注2）	リセット同期PWMモード/相補PWMモード時に、MTIOC4D/MTIOC7Dの出力レベルを選択します 表10.50を参照してください	R/W
b7～b6	BF[1:0]	TOLBRバッファ転送タイミング選択ビット	TOLBRjからTOCR2jへのバッファ転送タイミングを選択します 詳細は表10.51を参照してください	R/W

j＝A、B

注1.　TOCR1j.TOCSビットを“1”にすることにより、本設定が有効になります。
注2.　デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。（i＝1、2、3）

TOCR2A、TOCR2B レジスタは、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行うレジスタです。
カウンタが停止した状態では、初期出力が選択されます。

表10.45　MTIOCmB出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

m＝3、6

表10.46　MTIOCmD出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m＝3、6

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表10.47　MTIOCmA出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

m＝4、7

表10.48　MTIOCmC出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m＝4、7

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表10.49　MTIOCmB出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

m＝4、7

表10.50　MTIOCmD出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m＝4、7

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表10.51　TOCR2j.BF[1:0]ビットの設定

ビット7	ビット6	説明	
BF1	BF0	相補PWMモード時	リセット同期PWMモード時
0	0	バッファレジスタ（TOLBRj）からTOCR2jへ転送しない	バッファレジスタ（TOLBRj）からTOCR2jへ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ（TOLBRj）からTOCR2jへ転送する	MTUm.TCNT、MTUn.TCNTカウンタクリア時にバッファレジスタ（TOLBRj）からTOCR2jへ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ（TOLBRj）からTOCR2jへ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ（TOLBRj）からTOCR2jへ転送する	設定しないでください

n＝4、7　m＝3、6　j＝A、B

10.2.24　タイマアウトプットレベルバッファレジスタ（TOLBRA、TOLBRB）

アドレス： MTU.TOLBRA H'E8041236, MTU.TOLBRB H'E8041A36

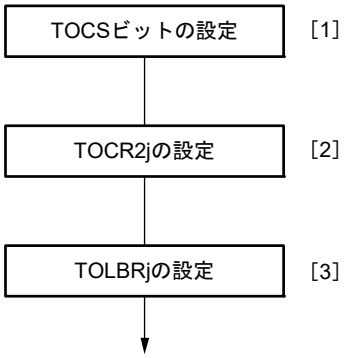
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2jのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2jのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2jのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2jのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2jのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2jのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7～b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

j＝A、B

TOLBRA、TOLBRB レジスタは TOCR2A、TOCR2B レジスタのバッファレジスタで、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 10.4 に示します。



[1] TOCR1j（j=A、B）のTOCS ビットを“1” にし、TOCR2jの設定を有効にします。

[2] TOCR2jのBF[1:0] ビットで、TOLBRjのバッファ転送タイミングを選択します。OLS3N/OLS2N/OLS1N、OLS3P/OLS2P/OLS1PビットでPWM の出力レベルを設定します。

[3] TOLBRjの初期設定は、TOCR2jのOLS3N/OLS2N/OLS1N、OLS3P/OLS2P/OLS1Pビットと同じ値を設定してください。

図 10.4　PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

10.2.25　タイマゲートコントロールレジスタ A（TGCRA）

アドレス： MTU.TGCRA H'E804120D

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値：	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はFBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。 表10.52を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替えは、外部入力（入力元は、MTU0のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCRAのUF、VF、WFの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能は有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCRA レジスタは、リセット同期 PWM モード／相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード／リセット同期 PWM モード以外では、TGCRA レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定は FB ビットが “1” のときのみ有効です。このときは、b0 ～ b2 の設定が、外部入力の代わりになります。**表 10.52** を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相／逆相の出力の切り替えを MTU0 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCRA レジスタのビット 2 ～ 0 に “0” または “1” を書き込むことによって行うかを選択します。

TGCRA.FB ビットが “0” の場合、MTU0 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号により、MTU3、MTU4 の出力を切り替えます。

P ビット（正相出力（P）制御ビット）

正相端子（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM ／相補 PWM 出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM ／相補 PWM 出力するかの選択をします。

BDC ビット（ブラシレス DC モータビット）

TGCRA レジスタの機能を有効にするか、無効にするかを選択します。

表10.52　出力レベル選択機能

ビット2	ビット1	ビット0	機能					
WF	VF	UF	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
			U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

10.2.26　タイマサブカウンタ（TCNTSA、TCNTSB）

アドレス： MTU.TCNTSA H'E8041220, MTU.TCNTSB H'E8041A20

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTSA、TCNTSB レジスタの 8 ビット単位でアクセスは禁止です。
16 ビット単位でアクセスしてください。

TCNTSA、TCNTSB レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA、TCNTSB レジスタのリセット後の値は 0000h です。

10.2.27　タイマ周期データレジスタ（TCDRA、TCDRB）

アドレス： MTU.TCDRA H'E8041214, MTU.TCDRB H'E8041A14

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TCDRA、TCDRB レジスタの 8 ビット単位でのアクセスは禁止です。
16 ビット単位でアクセスしてください。

TCDRA、TCDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し／書き込み可能なレジスタです。TCDRA、TCDRB レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDRA、TCDRB レジスタは、相補 PWM モード時 TCNTSA、TCNTSB カウンタと常時比較され、一致すると TCNTSA、TCNTSB カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。TCDRA、TCDRB レジスタのリセット後の値は FFFFh です。

10.2.28　タイマ周期バッファレジスタ（TCBRA、TCBRB）

アドレス： MTU.TCBRA H'E8041222, MTU.TCBRB H'E8041A22

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注．　TCBRA、TCBRB レジスタの 8 ビット単位でのアクセスは禁止です。
16 ビット単位でアクセスしてください。

TCBRA、TCBRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し／書き込み可能なレジスタで、TCDRA、TCDRB レジスタのバッファレジスタとして機能します。TMDR1 レジスタで設定した転送タイミングで TCBRA、TCBRB レジスタの値が TCDRA、TCDRB レジスタに転送されます。
TCBRA、TCBRB レジスタのリセット後の値は FFFFh です。

10.2.29　タイマデッドタイムデータレジスタ（TDDRA、TDDRB）

アドレス： MTU.TDDRA H'E8041216, MTU.TDDRB H'E8041A16

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注．　TDDRA、TDDRB レジスタの 8 ビット単位でのアクセスは禁止です。
16 ビット単位でアクセスしてください。

TDDRA、TDDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード時 MTU3.TCNT（MTU6.TCNT）と MTU4.TCNT（MTU7.TCNT）カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）カウンタをクリアして再スタートするときは、TDDRA（TDDRB）レジスタの値が MTU3.TCNT（MTU6.TCNT）カウンタにロードされカウント動作を開始します。TDDRA、TDDRB レジスタのリセット後の値は FFFFh です。

10.2.30　タイマデッドタイムイネーブルレジスタ（TDERA、TDERB）

アドレス： MTU.TDERA H'E8041234, MTU.TDERB H'E8041A34

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値：	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0：デッドタイムを生成しない 1：デッドタイムを生成する（注1）	R/(W)
b7～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TDDRA≧1、TDDRB≧1に設定してください。

TDERA、TDERB レジスタは、TDERA は MTU3、TDERB は MTU6 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA、TDERB レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット（デッドタイムイネーブルビット）

デッドタイムの生成をする／しないを設定します。
[“0” になる条件]

- TDER ＝ 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

10.2.31　タイマバッファ転送設定レジスタ（TBTERA、TBTERB）

アドレス： MTU.TBTERA H'E8041232, MTU.TBTERB H'E8041A32

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BTE[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1～b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ（注1）からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します 詳細は表10.53を参照してください	R/W
b7～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　対象バッファレジスタ（TBTERA）
MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU.TCBRA
対象バッファレジスタ（TBTERB）
MTU6.TGRC、MTU6.TGRD、MTU7.TGRC、MTU7.TGRD、MTU.TCBRB

TBTERA、TBTERB レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する／しない、または割り込み間引き機能 1 と連動する／しないを設定するレジスタです。

表10.53　TBTERA.BTE[1:0]ビット、TBTERB.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない（注1） また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する（注2）
1	1	設定しないでください

注1.　TMDR1.MD[3:0]ビットの設定に従い転送します。詳細は「10.3.8　相補PWMモード」を参照してください。
注2.　割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR1A（TITCR1B））のT3AEN、T4VEN（T6AEN、T7VEN）ビットを“0”にしたとき、またはTITCR1A（TITCR1B）の間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR、T7VCOR））を“0”にしたとき）は、バッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTERA（TBTERB））のBTE1ビットを“0”にする）にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

10.2.32　タイマ波形コントロールレジスタ（TWCRA、TWCRB）

アドレス： MTU.TWCRA H'E8041260 , MTU.TWCRB H'E8041A60

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	SCC	WRE
リセット後の値：	0 （注2）	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0：TOCR1A,TOCR2A（TOCR1B,TOCR2B）レジスタで設定した初期出力値を出力 1：初期出力を抑止する	R/(W)（注3）
b1	SCC（注1、注3）	同期クリアコントロールビット	（TWCRB レジスタのみ有効） 0：MTU0、MTU1、MTU2—MTU6、MTU7 同期クリア機能による MTU6.TCNT、MTU7.TCNT のクリア有効 1：MTU0、MTU1、MTU2—MTU6、MTU7 同期クリア機能による MTU6.TCNT、MTU7.TCNT のクリア無効	R/(W)
b6～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE（注2）	コンペアマッチクリア許可ビット	0：MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをしない 1：MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする	R/(W)

注1.　TWCRB レジスタのみ有効です、TWCRA レジスタでは予約ビットです。
注2.　相補 PWM モード 1 のとき以外は、"1"を書かないでください。
注3.　相補 PWM モードのとき以外は、"1"を書かないでください。

TWCRA、TWCRB レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする／しないを設定します。

TWCRA、TWCRB レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット（波形保持許可ビット）

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A（TOCR1B、TOCR2B）レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A（TOCR1B、TOCR2B）レジスタで設定した初期値を出力します。

相補 PWM モードの谷の Tb 区間については、**図 10.50** を参照してください。

[“1” になる条件]

- WRE ＝ 0 で WRE ビットを読んだ後、WRE ビットに “1” を書いたとき

SCC ビット（同期クリアコントロールビット）

相補 PWM モードで MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアが発生したときに、MTU6.TCNT、MTU7.TCNT をクリアする／しないを設定します。

本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。また、カウンタの動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。

SCC ビットの設定により MTU からの同期クリアが無効になるのは、谷の Tb 区間以外で同期クリアが発生したときのみです。MTU6.TCNT、MTU7.TCNT スタート直後を含む谷の Tb 区間で同期クリアが発生した場合は、MTU6.TCNT、MTU7.TCNT がクリアされます。

相補 PWM モードの谷の Tb 区間については、**図 10.50** を参照してください。

[“1” になる条件]

- SCC ＝ 0 で SCC ビットを読んだ後、SCC ビットに “1” を書いたとき

TWCRA レジスタでは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

CCE ビット（コンペアマッチクリア許可ビット）

相補 PWM モードで、MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリアをする／しないを設定します。

[“1” になる条件]

- CCE ＝ 0 で CCE ビットを読んだ後、CCE ビットに “1” を書いたとき

10.2.33　ノイズフィルタコントロールレジスタ n（NFCRn）(n ＝ 0 ～ 4、6、7、8、C)

- MTU0.NFCR0, MTU1.NFCR1, MTU2.NFCR2, MTU3.NFCR3, MTU4.NFCR4, MTU6.NFCR6, MTU7.NFCR7, MTU8.NFCR8

アドレス： MTU0.NFCR0 H'E8041290, MTU1.NFCR1 H'E8041291, MTU2.NFCR2 H'E8041292, MTU3.NFCR3 H'E8041293, MTU4.NFCR4 H'E8041294, MTU6.NFCR6 H'E8041A93, MTU7.NFCR7 H'E8041A94, MTU8.NFCR8 H'E8041298

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0：MTIOCnA端子のノイズフィルタは無効 1：MTIOCnA端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0：MTIOCnB端子のノイズフィルタは無効 1：MTIOCnB端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタC許可ビット	0：MTIOCnC端子のノイズフィルタは無効 1：MTIOCnC端子のノイズフィルタは有効	R/W （注1）
b3	NFDEN	ノイズフィルタD許可ビット	0：MTIOCnD端子のノイズフィルタは無効 1：MTIOCnD端子のノイズフィルタは有効	R/W （注1）
b5、b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：P1φ/1 0 1：P1φ/8 1 0：P1φ/32 1 1：カウントソース	R/W
b7、b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　NFCR1レジスタ、NFCR2レジスタでは予約ビットです。読むと“0”が読めます。書き込みは無効です。

NFCRn レジスタ（n = 0 ～ 4, 6, 7, 8）は、対応するチャネルのインプットキャプチャ入力端子のノイズフィルタ機能を設定します。

NFAEN ビット（ノイズフィルタ A 許可ビット）

MTIOCnA 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ B 許可ビット）

MTIOCnB 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ C 許可ビット）

MTIOCnC 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ D 許可ビット）

MTIOCnD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを “0000b”（ノーマルモード）以外に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。本ビットを “11b” に設定しカウントソースを外部クロックとした場合、本ビット設定後外部クロックを 2 回入力した後インプットキャプチャ機能に設定してください。

- MTU0.NFCRC

アドレス： MTU0.NFCRC H'E8041299

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		NFDEN	NFCEN	NFBEN	NFAEN
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0：MTCLKA 端子のノイズフィルタは無効 1：MTCLKA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0：MTCLKB 端子のノイズフィルタは無効 1：MTCLKB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0：MTCLKC 端子のノイズフィルタは無効 1：MTCLKC 端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット	0：MTCLKD 端子のノイズフィルタは無効 1：MTCLKD 端子のノイズフィルタは有効	R/W
b5、b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：P1φ/1 0 1：P1φ/2 1 0：P1φ/8 1 1：P1φ/32	R/W
b7、b6	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

NFCRC レジスタは、各チャネル共通で外部クロック端子のノイズフィルタ機能を設定します。

NFAEN ビット（ノイズフィルタ A 許可ビット）

MTCLKA 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFBEN ビット（ノイズフィルタ B 許可ビット）

MTCLKB 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCEN ビット（ノイズフィルタ C 許可ビット）

MTCLKC 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFDEN ビット（ノイズフィルタ D 許可ビット）

MTCLKD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

10.2.34　ノイズフィルタコントロールレジスタ 5（NFCR5）

アドレス： MTU5.NFCR5 H'E8041A95

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFCS[1:0]		—	NFWEN	NFVEN	NFUEN
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタ U 許可ビット	0：MTIC5U 端子のノイズフィルタは無効 1：MTIC5U 端子のノイズフィルタは有効	R/W
b1	NFVEN	ノイズフィルタ V 許可ビット	0：MTIC5V 端子のノイズフィルタは無効 1：MTIC5V 端子のノイズフィルタは有効	R/W
b2	NFWEN	ノイズフィルタ W 許可ビット	0：MTIC5W 端子のノイズフィルタは無効 1：MTIC5W 端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5、b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0：P1φ/1 0 1：P1φ/8 1 0：P1φ/32 1 1：カウントソース	R/W
b7、b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFUEN ビット（ノイズフィルタ U 許可ビット）

MTIC5U 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFVEN ビット（ノイズフィルタ V 許可ビット）

MTIC5V 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFWEN ビット（ノイズフィルタ W 許可ビット）

MTIC5W 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット（ノイズフィルタクロックセレクトビット）

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

10.2.35　タイマ A/D 変換開始要求コントロールレジスタ（TADCR）

- MTU4.TADCR

アドレス： MTU4.TADCR H'E8041240

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4割り込み間引き連動許可ビット（注1、注2、注3）	0：A/D変換の開始要求（TRG4BN）をTCIV4割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4BN）をTCIV4割り込み間引き機能1と連動する	R/W
b1	ITB3AE	TGIA3割り込み間引き連動許可ビット（注1、注2、注3）	0：A/D変換の開始要求（TRG4BN）をTGIA3割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4BN）をTGIA3割り込み間引き機能1と連動する	R/W
b2	ITA4VE	TCIV4割り込み間引き連動許可ビット（注1、注2、注3）	0：A/D変換の開始要求（TRG4AN）をTCIV4割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4AN）をTCIV4割り込み間引き機能1と連動する	R/W
b3	ITA3AE	TGIA3割り込み間引き連動許可ビット（注1、注2、注3）	0：A/D変換の開始要求（TRG4AN）をTGIA3割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG4AN）をTGIA3割り込み間引き機能1と連動する	R/W
b4	DT4BE	ダウンカウントTRG4BN許可ビット（注3）	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b5	UT4BE	アップカウントTRG4BN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b6	DT4AE	ダウンカウントTRG4AN許可ビット（注3）	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b7	UT4AE	アップカウントTRG4AN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b13～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15、b14	BF[1:0]	MTU4.TADCOBRA/TADCOBRB転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRBからMTU4.TADCORA、MTU4.TADCORBへの転送タイミングを選択します。詳細は表10.54を参照してください	R/W

注.　MTU4.TADCRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。
注1.　割り込み間引きが禁止のときTITCR1A.T3AEN,T4VENビットを“0”にしたとき、またはTITCR1A.T3ACOR,T4VCORビットを“0”にしたときは、“0”にしてください。
注2.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。
注3.　相補PWMモードのとき以外は、“0”にしてください。

TADCR レジスタは、A/D 変換開始要求の許可／禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する／しないを設定します。MTU には、MTU4、MTU7 に各 1 本の TADCR レジスタがあります。

表10.54　TADCR.BF[1:0]ビットによる転送タイミングの設定（MTU4）

ビット15	ビット14	説明			
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき、周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき、周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき、周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ（MTU4.TADCOBRA, MTU4.TADCOBRB）から、周期設定レジスタ（MTU4.TADCORA, MTU4.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止

- MTU7.TADCR

アドレス： MTU7.TADCR H'E8041A40

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB7VE	TCIV7割り込み間引き連動許可ビット（注1、注2、注3）	0：A/D変換の開始要求（TRG7BN）をTCIV7割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7BN）をTCIV7割り込み間引き機能1と連動する	R/W
b1	ITB6AE	TGIA6割り込み間引き連動許可ビット（注1、注2、注3）	0：A/D変換の開始要求（TRG7BN）をTGIA6割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7BN）をTGIA6割り込み間引き機能1と連動する	R/W
b2	ITA7VE	TCIV7割り込み間引き連動許可ビット（注1、注2、注3）	0：A/D変換の開始要求（TRG7AN）をTCIV7割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7AN）をTCIV7割り込み間引き機能1と連動する	R/W
b3	ITA6AE	TGIA6割り込み間引き連動許可ビット（注1、注2、注3）	0：A/D変換の開始要求（TRG7AN）をTGIA6割り込み間引き機能1と連動しない 1：A/D変換の開始要求（TRG7AN）をTGIA6割り込み間引き機能1と連動する	R/W
b4	DT7BE	ダウンカウントTRG7BN許可ビット（注3）	0：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7BN）を禁止 1：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7BN）を許可	R/W
b5	UT7BE	アップカウントTRG7BN許可ビット	0：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7BN）を禁止 1：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7BN）を許可	R/W
b6	DT7AE	ダウンカウントTRG7AN許可ビット（注3）	0：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7AN）を禁止 1：MTU7.TCNTのダウンカウント時にA/D変換の開始要求（TRG7AN）を許可	R/W
b7	UT7AE	アップカウントTRG7AN許可ビット	0：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7AN）を禁止 1：MTU7.TCNTのアップカウント時にA/D変換の開始要求（TRG7AN）を許可	R/W
b13～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15、b14	BF[1:0]	MTU7.TADCOBRA/TADCOBRB転送タイミング選択ビット	MTU7.TADCOBRA、MTU7.TADCOBRBからMTU7.TADCORA、MTU7.TADCORBへの転送タイミングを選択します。詳細は表10.55を参照してください	R/W

注.　MTU7.TADCRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。
注1.　割り込み間引きが禁止のときTITCR1B.T6AEN,T7VENビットを“0”に設定したとき、またはTITCR1B.T6ACOR, T7VCORビットを“0”にしたときは、“0”にしてください。
注2.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。
注3.　相補PWMモード以外では、“0”にしてください。

表10.55　TADCR.BF[1:0]ビットによる転送タイミングの設定（MTU7）

ビット15	ビット14	説明			
BF[1]	BF[0]	相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない	周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送しない
0	1	MTU7.TCNTの山で周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	MTU6.TCNTがMTU6.TGRAとコンペアマッチしたとき、周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき、周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき、周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する
1	0	MTU7.TCNTの谷で周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU7.TCNTの山と谷で周期設定バッファレジスタ（MTU7.TADCOBRA, MTU7.TADCOBRB）から、周期設定レジスタ（MTU7.TADCORA, MTU7.TADCORB）へ転送する	設定禁止	設定禁止	設定禁止

10.2.36　タイマ A/D 変換開始要求周期設定レジスタ（TADCORA、TADCORB）

アドレス：MTU4.TADCORA H'E8041244, MTU4.TADCORB H'E8041246, MTU7.TADCORA H'E8041A44, MTU7.TADCORB H'E8041A46

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注．　TADCORA、TADCORB は 8 ビット単位でのアクセスは禁止です。16 ビット単位でアクセスしてください。

注 1.　割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能（詳細は「10.3.9　(5)　割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は 0002h ～ MTU4：TCDRA の設定値－ 2、MTU7：TCDRB の設定値－ 2 の値を設定してください。

注 2.　割り込み間引き機能 2 を使用し、かつ TADCORA レジスタ値と TADCORB レジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能 2、間引き回数が “0” の場合
- ・TADCORA レジスタ値と TADCORB レジスタ値との間隔が「4」以上
- ・TADCORA のコンペア間隔が 4P1φ 以上（TADCORA レジスタの更新値を「前値＋ 4 以上」、「前値－ 4 以下」に設定）
- ・TADCORB のコンペア間隔が 4P1φ 以上（TADCORB レジスタの更新値を「前値＋ 4 以上」、「前値－ 4 以下」に設定）

(2) 間引き機能 2、間引き回数が 1 以上の場合
- ・TADCORA レジスタ値と TADCORB レジスタ値との間隔が「2」以上
- ・TADCORB のコンペア間隔が 2P1φ 以上（TADCORB レジスタの更新値を「前値＋ 2 以上」、「前値－ 2 以下」に設定）

TADCORA、TADCORB レジスタは 16 ビットの読み出し / 書き込み可能なレジスタで、MTUn.TCNT（n=4、7）と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA、TADCORB レジスタのリセット後の値は FFFFh です。

10.2.37　タイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBRA、TADCOBRB）

アドレス：MTU4.TADCOBRA H'E8041248, MTU4.TADCOBRB H'E804124A, MTU7.TADCOBRA H'E8041A48, MTU7.TADCOBRB H'E8041A4A

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注．　TADCOBRA、TADCOBRB レジスタの 8 ビット単位でのアクセスは禁止です。
16 ビット単位でアクセスしてください。

TADCOBRA、TADCOBRB レジスタは 16 ビットの読み出し／書き込み可能なレジスタで、TADCORA、TADCORB のバッファレジスタです。TADCOBRA、TADCOBRB から山か谷で TADCORA、TADCORB に転送します。

TADCOBRA、TADCOBRB レジスタのリセット後の値は FFFFh です。

10.2.38　タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）

アドレス： MTU.TITMRA H'E804123A, MTU.TITMRB H'E8041A3A

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 0：割り込み間引き機能1（注1） 1：割り込み間引き機能2（注2）	R/W
b7～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TITCR1A、TITCR1B レジスタを設定することにより割り込み間引き機能1が有効になります。
注2.　TITCR2A、TITCR2B レジスタを設定することにより割り込み間引き機能2が有効になります。

TITMRA、TITMRB レジスタは、2 種類の間引き機能を選択するレジスタです。

10.2.39　タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）

- MTU.TITCR1A

アドレス： MTU.TITCR1A H'E8041230

	b7	b6	b5	b4	b3	b2	b1	b0
	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0～7回で設定します 詳細は表10.56を参照してください	R/W
b3	T4VEN	T4VENビット	0：TCIV4割り込みの間引きを禁止する 1：TCIV4割り込みの間引きを許可する	R/W
b6～b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0～7回で設定します(注1) 詳細は表10.57を参照してください	R/W
b7	T3AEN	T3AENビット	0：TGIA3割り込みの間引きを禁止する 1：TGIA3割り込みの間引きを許可する	R/W

注1.　割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VENビットを“0”にして間引き回数カウンタ（TITCNT1A）をクリアしてください。

- MTU.TITCR1B

アドレス： MTU.TITCR1B H'E8041A30

	b7	b6	b5	b4	b3	b2	b1	b0
	T6AEN	T6ACOR[2:0]			T7VEN	T7VCOR[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	T7VCOR[2:0]	TCIV7割り込み間引き回数設定ビット	TCIV7割り込みの間引き回数を0～7回で設定します。 詳細は表10.58を参照してください	R/W
b3	T7VEN	T7VENビット	0：TCIV7割り込みの間引きを禁止する 1：TCIV7割り込みの間引きを許可する	R/W
b6～b4	T6ACOR[2:0]	TGIA6割り込み間引き回数設定ビット	TGIA6割り込みの間引き回数を0～7回で設定します。(注1) 詳細は表10.59を参照してください	R/W
b7	T6AEN	T6AENビット	0：TGIA6割り込みの間引きを禁止する 1：TGIA6割り込みの間引きを許可する	R/W

注1.　割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1B.T6AEN、TITCR1B.T7VENビットを“0”にして間引き回数カウンタ（TITCNT1B）をクリアしてください。

TITCR1A、TITCR1B レジスタは、割り込み間引きの禁止／許可、割り込み間引き回数の設定を制御します。この設定はそれぞれ TITMRA.TITM、TITMRB.TITM ビットを “0” としたときのみ有効になります。また、TITMRA.TITM（TITMRB.TITM）ビットを “1” にした場合、TITCR1A（TITCR1B）レジスタの値はクリアされます。

表10.56　T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
T4VCOR2	T4VCOR1	T4VCOR0	
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表10.57　T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説明
T3ACOR2	T3ACOR1	T3ACOR0	
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

表10.58　T7VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
T7VCOR2	T7VCOR1	T7VCOR0	
0	0	0	TCIV7の割り込み間引きを行わない
0	0	1	TCIV7の割り込み間引き回数を1回に設定
0	1	0	TCIV7の割り込み間引き回数を2回に設定
0	1	1	TCIV7の割り込み間引き回数を3回に設定
1	0	0	TCIV7の割り込み間引き回数を4回に設定
1	0	1	TCIV7の割り込み間引き回数を5回に設定
1	1	0	TCIV7の割り込み間引き回数を6回に設定
1	1	1	TCIV7の割り込み間引き回数を7回に設定

表10.59　T6ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説明
T6ACOR2	T6ACOR1	T6ACOR0	
0	0	0	TGIA6の割り込み間引きを行わない
0	0	1	TGIA6の割り込み間引き回数を1回に設定
0	1	0	TGIA6の割り込み間引き回数を2回に設定
0	1	1	TGIA6の割り込み間引き回数を3回に設定
1	0	0	TGIA6の割り込み間引き回数を4回に設定
1	0	1	TGIA6の割り込み間引き回数を5回に設定
1	1	0	TGIA6の割り込み間引き回数を6回に設定
1	1	1	TGIA6の割り込み間引き回数を7回に設定

10.2.40　タイマ割り込み間引き回数カウンタ 1（TITCNT1A、TITCNT1B）

- MTU.TITCNT1A

アドレス： MTU.TITCNT1A H'E8041231

	b7	b6	b5	b4	b3	b2	b1	b0
	—	T3ACNT[2:0]			—	T4VCNT[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	T4VCNT[2:0]	TCIV4 割り込みカウンタビット	TITCR1A の T4VEN ビットが“1”のとき、TCIV4 割り込み要因が発生したときに 1 カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6～b4	T3ACNT[2:0]	TGIA3 割り込みカウンタビット	TITCR1A の T3AEN ビットが“1”のとき、TGIA3 割り込み要因が発生したときに 1 カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注.　TITCNT1A レジスタの値をクリアするには、TITCR1A.T3AEN ビットと TITCR1A.T4VEN ビットを“0”にしてください。

TITCNT1A、TITCNT1B レジスタは、8 ビットの読み出し可能なカウンタです。TITCNT1A、TITCNT1B は、MTU3.TCNT および MTU4.TCNT（MTU6.TCNT および MTU7.TCNT）のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット（TCIV4 割り込みカウンタビット）

[“0” になる条件]

- TITMRA.TITM ビットが “1” のとき
- TITCR1A.T4VEN ビットが “0” のとき
- TITCR1A.T4VCOR[2:0] ビットが “000b” のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

T3ACNT[2:0] ビット（TGIA3 割り込みカウンタビット）

[“0” になる条件]

- TITMRA.TITM ビットが “1” のとき
- TITCR1A.T3AEN ビットが “0” のとき
- TITCR1A.T3ACOR[2:0] ビットが “000b” のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

- MTU.TITCNT1B

アドレス： MTU.TITCNT1B H'E8041A31

	b7	b6	b5	b4	b3	b2	b1	b0
	—	T6ACNT[2:0]			—	T7VCNT[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	T7VCNT[2:0]	TCIV7割り込みカウンタビット	TITCR1BのT7VENビットを“1”にしたとき、TCIV7割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6～b4	T6ACNT[2:0]	TGIA6割り込みカウンタビット	TITCR1BのT6AENビットを“1”にしたとき、TGIA6割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注.　TITCNT1Bの値をクリアするには、TITCR1B.T6AENビットとTITCR1B.T7VENビットを“0”にしてください。

T7VCNT[2:0] ビット（TCIV7 割り込みカウンタビット）

[“0” になる条件]

- TITMRB.TITM ビットが “1” のとき
- TITCR1B.T7VEN ビットが “0” のとき
- TITCR1B.T7VCOR[2:0] ビットが “000b” のとき
- TITCR1B.T7VCOR[2:0] ビットと TITCNT1B.T7VCNT[2:0] ビットが一致したとき

T6ACNT[2:0] ビット（TGIA6 割り込みカウンタビット）

[“0” になる条件]

- TITMRB.TITM ビットが “1” のとき
- TITCR1B.T6AEN ビットが “0” のとき
- TITCR1B.T6ACOR[2:0] ビットが “000b” のとき
- TITCR1B.T6ACOR[2:0] ビットと TITCNT1B.T6ACNT[2:0] ビットが一致したとき

10.2.41　タイマ割り込み間引き設定レジスタ 2（TITCR2A、TITCR2B）

- MTU.TITCR2A

アドレス： MTU.TITCR2A H'E804123B

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG4COR[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	TRG4COR[2:0]	TRG4AN/TRG4BN割り込み間引き回数設定ビット	TRG4AN/TRG4BN割り込みの間引き回数を0～7回で設定します。詳細は表10.60を参照してください	R/W
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITCR2A、TITCR2B レジスタは、TRG4AN と TRG4BN（TRG7AN と TRG7BN）の割り込み間引き回数を設定するレジスタです。

この設定は TITMRA、TITMRB レジスタを “1” にしたときのみ有効になります。

表10.60　TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2 TRG4COR2	ビット1 TRG4COR1	ビット0 TRG4COR0	説明
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

- MTU.TITCR2B

アドレス： MTU.TITCR2B H'E8041A3B

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG7COR[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	TRG7COR[2:0]	TRG7AN/TRG7BN割り込み間引き回数設定ビット	TRG7AN/TRG7BN割り込みの間引き回数を0～7回で設定します。詳細は表10.61を参照してください	R/W
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表10.61　TRG7COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG7COR2	TRG7COR1	TRG7COR0	
0	0	0	TRG7ANとTRG7BNの割り込み回数間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数を7回に設定

10.2.42　タイマ割り込み間引き回数カウンタ 2（TITCNT2A、TITCNT2B）

- MTU.TITCNT2A

アドレス： MTU.TITCNT2A H'E804123C

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG4CNT[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	TRG4CNT[2:0]	TRG4AN/TRG4BN割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7～b3	—	予約ビット	読むと“0”が読めます	R

TITCNT2A、TITCNT2B レジスタは、TRG4COR[2:0] ビット、TRG7COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN（TITCNT2A）および TRG7AN、TRG7BN（TITCNT2B）が発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になります。

TRG4CNT[2:0] ビット（TRG4AN/TRG4BN 割り込みカウンタビット）

TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0” になる条件]

- TITMRA.TITM ビットが “0” のとき
- TITCR2A.TRG4COR[2:0] ビットが “000b” のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

- MTU.TITCNT2B

アドレス： MTU.TITCNT2B H'E8041A3C

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TRG7CNT[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	TRG7CNT[2:0]	TRG7AN/TRG7BN 割り込みカウンタビット	TRG7COR[2:0] ビットで設定した値から、TRG7AN、TRG7BN が発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG7AN、TRG7BN の割り込みが有効になります	R
b7～b3	—	予約ビット	読むと “0” が読めます	R

TRG7CNT[2:0] ビット（TRG7AN/TRG7BN 割り込みカウンタビット）

TRG7COR[2:0] ビットで設定した値から、TRG7AN および TRG7BN 割り込みが発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG7AN、TRG7BN 割り込みが有効になります。

[“0” になる条件]

- TITMRB.TITM ビットが “0” のとき
- TITCR2B.TRG7COR[2:0] ビットが “000b” のとき
- TITCR2B.TRG7COR[2:0] ビットと TRG7AN および TRG7BN の発生回数が一致したとき

10.2.43　バスマスタとのインタフェース

MTU8 のタイマカウンタ（MTU8.TCNT）、およびジェネラルレジスタ（MTU8.TGRn）と TMDR3.LWA=1 のときの MTU1.TCNTLW、MTU1.TGRALW、MTU1.TGRBLW レジスタは 32 ビットのレジスタです。バスマスタとの間のデータバスは 32 ビット幅なので、32 ビット単位での読み出し／書き込みが可能です。8/16 ビット単位での読み出し／書き込みはできません。32 ビット単位でアクセスしてください。

MTU8 を除くタイマカウンタ（MTU0.TCNT ～ MTU7.TCNT）、ジェネラルレジスタ（MTU0.TGRn ～ MTU7.TGRn）、タイマサブカウンタ（TCNTSA、TCNTSB）、タイマ周期バッファレジスタ（TCBRA、TCBRB）、タイマデッドタイムデータレジスタ（TDDRA、TDDRB）、タイマ周期データレジスタ（TCDRA、TCDRB）、タイマ A/D 変換開始要求コントロールレジスタ（MTU4.TADCR、MTU7.TADCR）、タイマ A/D 変換開始要求周期設定レジスタ（MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB）、およびタイマ A/D 変換開始要求周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB）は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し／書き込みが可能です。8 ビット単位での読み出し／書き込みはできません。16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位で読み出し／書き込みを行ってください。

10.3　動作説明

10.3.1　基本動作

各チャネルには、TCNT と TGR レジスタがあります。TCNT は、アップカウント動作を行い、フリーランニングカウント動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1)　カウンタの動作

TSTRA レジスタの CST0 ～ CST4、CST8 ビット、TSTRB レジスタの CST6、CST7 ビット、MTU5.TSTR レジスタの CSTU5、CSTV5、CSTW5 ビットを “1” にすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウント動作、周期カウント動作などが可能です。

(a)　カウント動作の設定手順例

カウント動作の設定手順例を図 10.5 に示します。

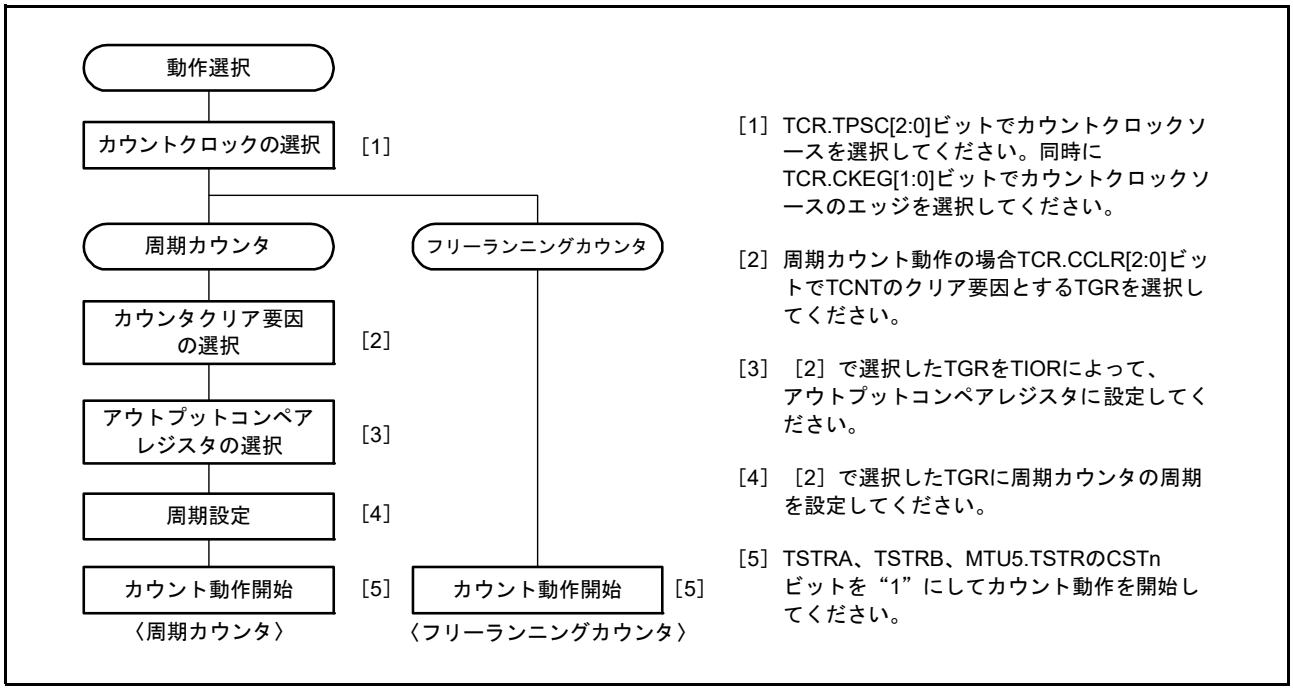


図 10.5　カウント動作設定手順例

(b)　フリーランニングカウント動作と周期カウント動作

TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、TSTRB、MTU5.TSTR レジスタの CSTn ビットを “1” にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバフロー（FFFFh → 0000h）すると、対応する TIER.TCIEV ビットが “1” ならば、CPU への割り込み要求を発行します。TCNT はオーバフロー後、0000h からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 10.6 に示します。

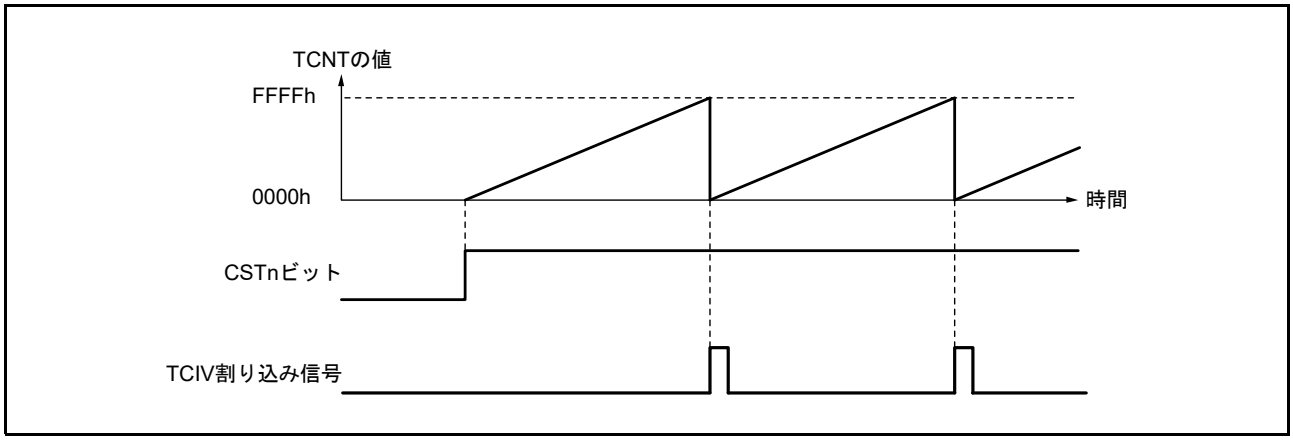


図 10.6　　フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB、MTU5.TSTR レジスタの CSTn ビットを “1” にすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TCNT は 0000h になります。

このとき対応する TIER.TGIE ビットが “1” ならば、CPU への割り込み要求を発行します。TCNT はコンペアマッチ後、0000h からアップカウント動作を継続します。

周期カウンタの動作を図 10.7 に示します。

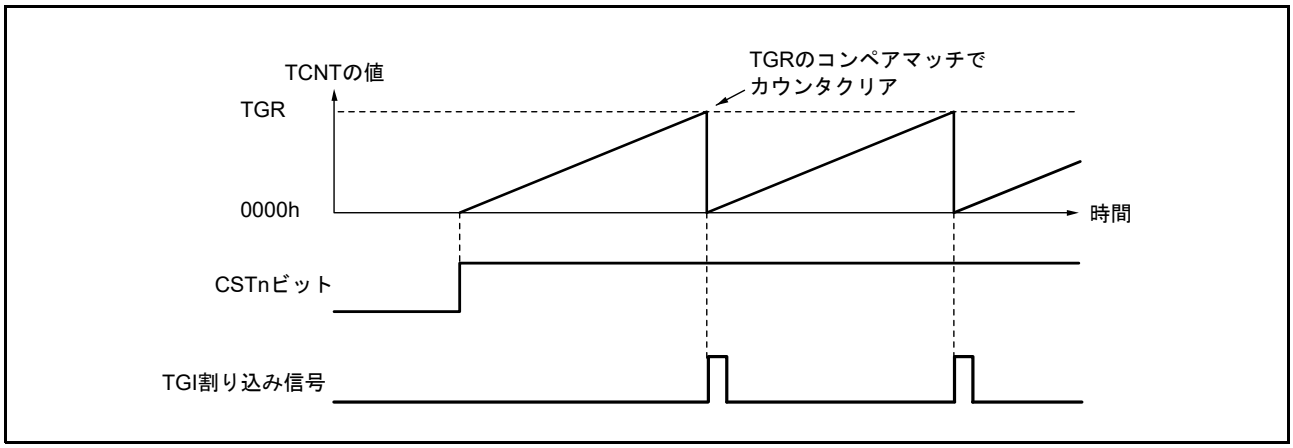


図 10.7　　周期カウンタの動作

(2) コンペアマッチによる波形出力機能

コンペアマッチにより対応する出力端子から Low 出力／ High 出力／トグル出力を行うことができます。MTU5 はコンペアマッチ出力動作をすることはできません。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.8 に示します。

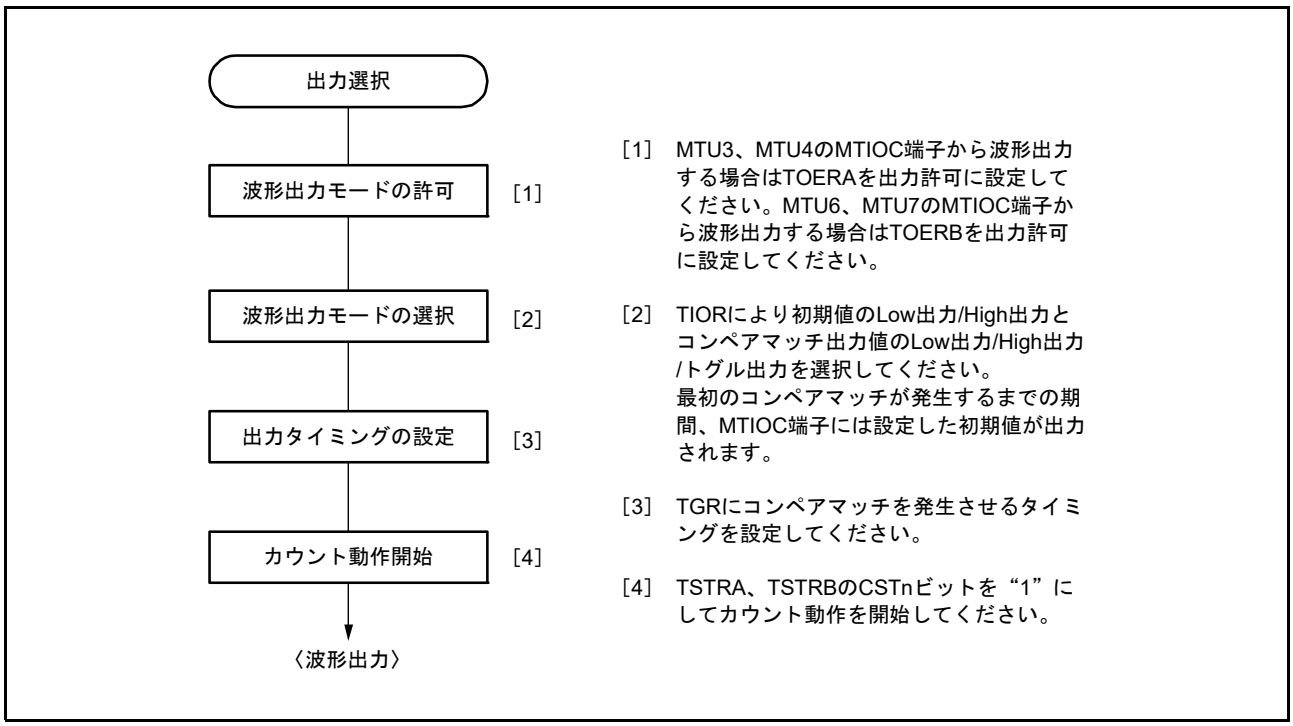


図 10.8　　コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力／ High 出力例を図 10.9 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

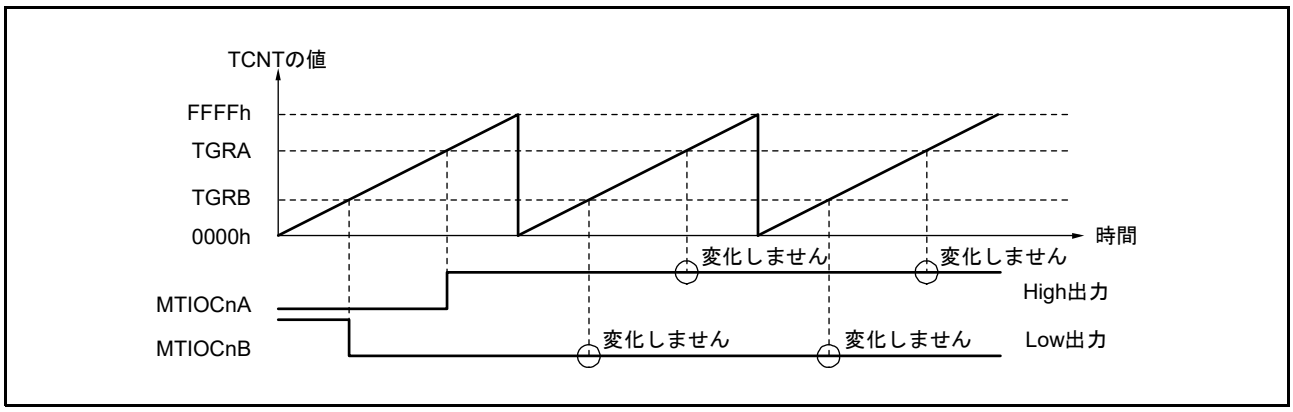


図 10.9　　Low 出力／ High 出力の動作例（n = 0 ～ 4、6、7、8）

トグル出力の例を図 10.10 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

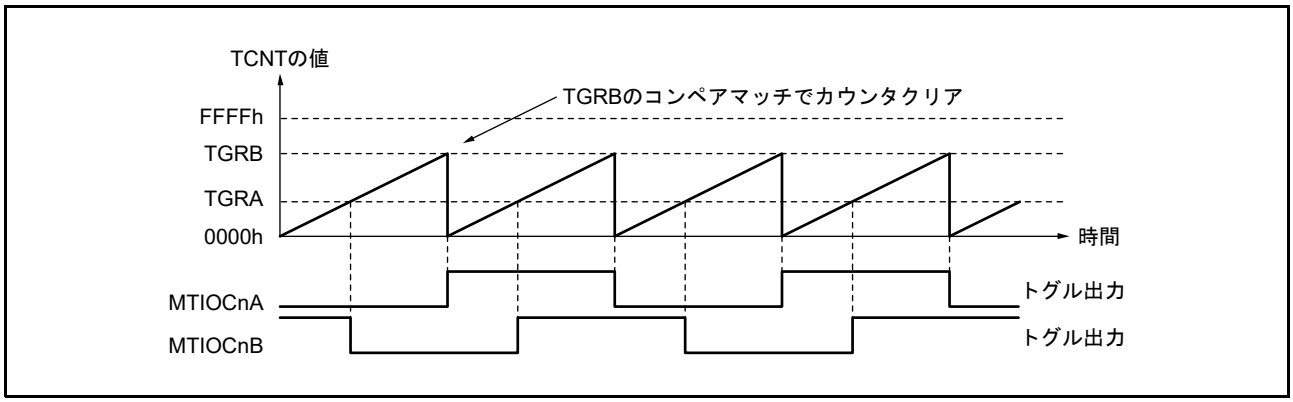


図 10.10　トグル出力の動作例（n = 0 ～ 4、6、7、8）

(3)　インプットキャプチャ機能

MTIOCnm 端子（n = 0 ～ 4、6、7、8、m = A ～ D）、MTIC5U、MTIC5V、MTIC5W 端子の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。また、MTU0、MTU1 は別のチャネルのカウントクロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。

注 .　MTU0、MTU1 で別のチャネルのカウントクロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウントクロックに P1φ/1 を選択しないでください。P1φ/1 を選択した場合は、インプットキャプチャは発生しません。

(a)　インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 10.11 に示します。

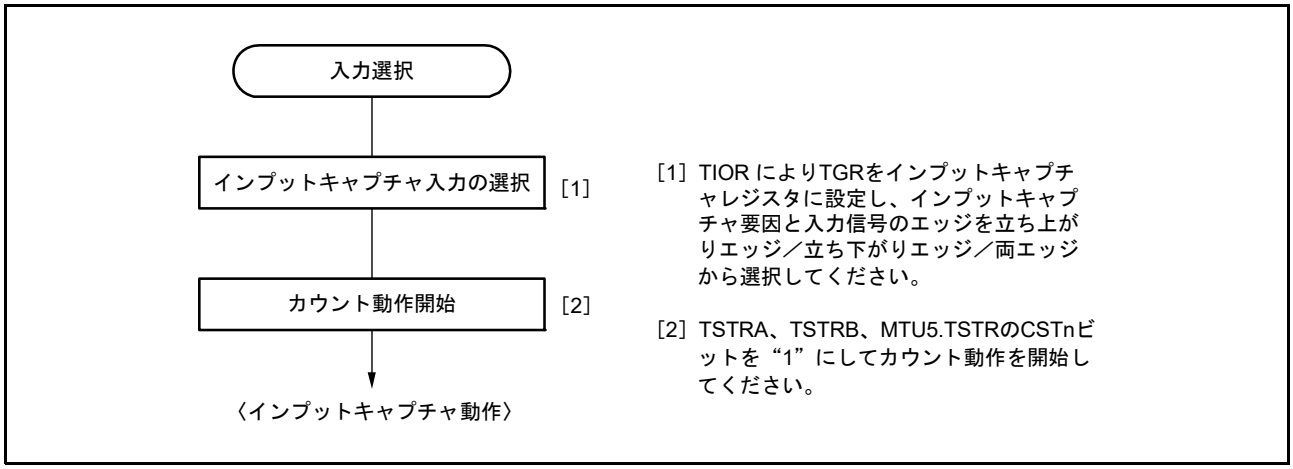


図 10.11　インプットキャプチャ動作の設定例

(b)　インプットキャプチャ動作例

インプットキャプチャ動作例を図 10.12 に示します。

MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また MTIOCnB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です（n = 0 ～ 4、6、7、8）。

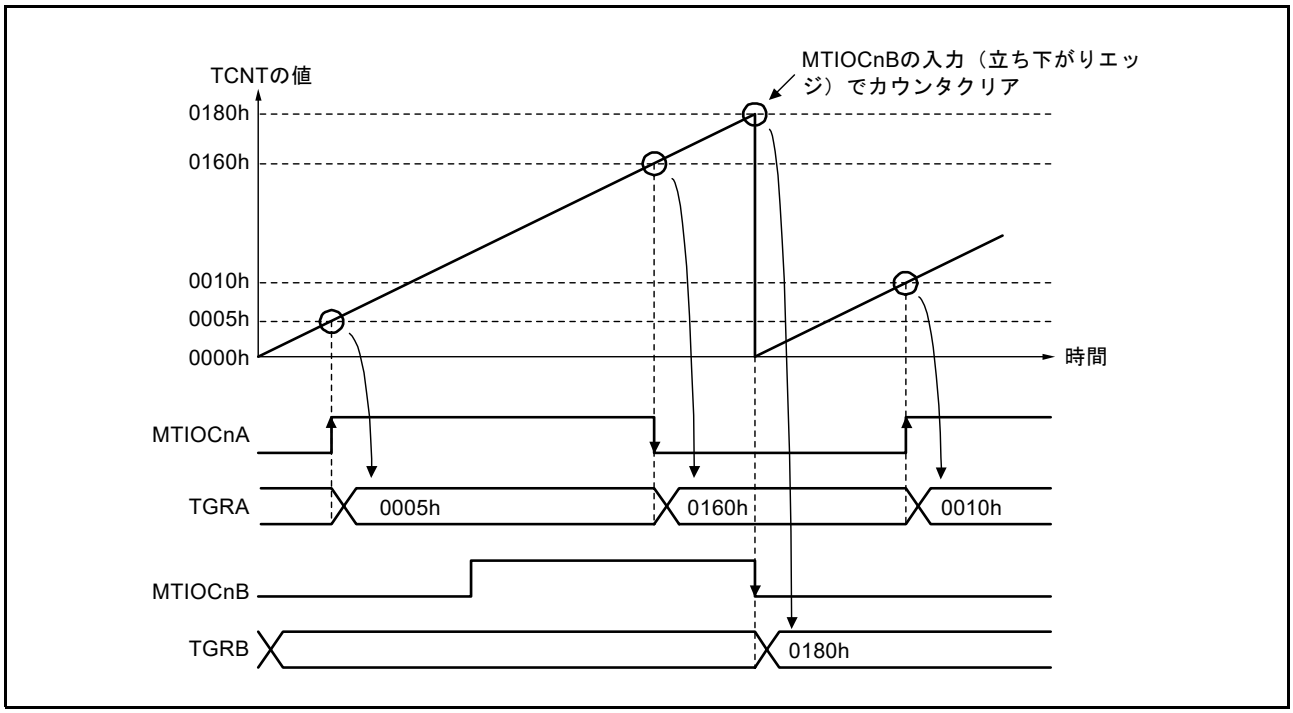


図 10.12　　インプットキャプチャ動作例（n = 0 ～ 4、6、7、8）

10.3.2　同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます（同期セット）。また、TCR レジスタの設定によって複数の TCNT を同時に “0” にすることができます（同期クリア）。

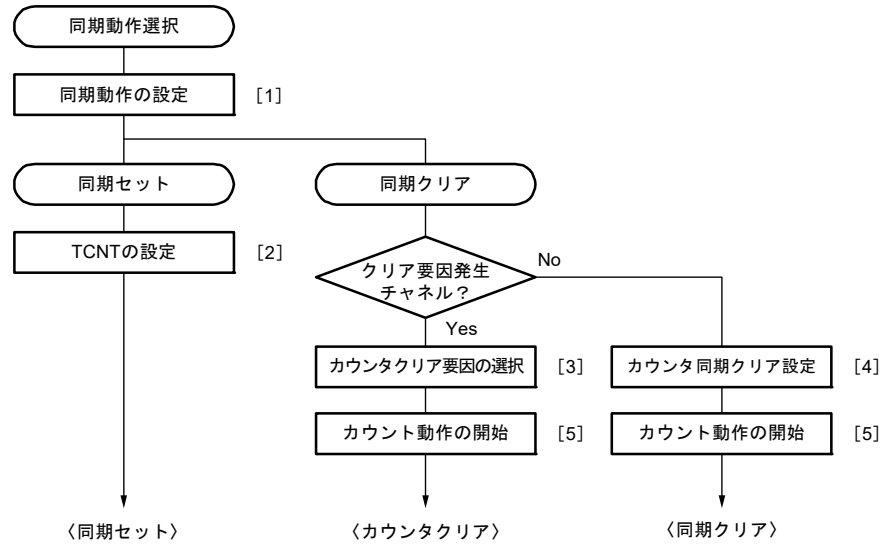
同期動作によって、1 つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ～ MTU4、MTU6、MTU7 はすべて同期動作の設定が可能です。

MTU5、MTU8 は同期動作できません。

(1)　同期動作の設定手順例

同期動作の設定手順例を**図 10.13** に示します。



[1] 同期動作に設定するチャネルに対応したTSYRA、TSYRBのSYNCビットを “1” にしてください。

[2] 同期動作に設定したチャネルのいずれかのTCNTに書くと、他のTCNTにも同じ値が同時に書かれます。

[3] TCRのCCLR[2:0]ビットで、インプットキャプチャ／アウトプットコンペアなどでTCNTをクリアするように設定してください。

[4] TCRのCCLR[2:0]ビットで、カウンタクリア要因を同期クリアに設定してください。

[5] 対象となるチャネルに対応するTSTRA、TSTRBのCSTnビットを “1” にしてカウント動作を開始してください。

図 10.13　同期動作の設定手順例

(2)　同期動作の例

同期動作の例を**図 10.14** に示します。

MTU0 ～ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ～ MTU2 の TCNT は同期セット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、**「10.3.5　PWM モード」**を参照してください。

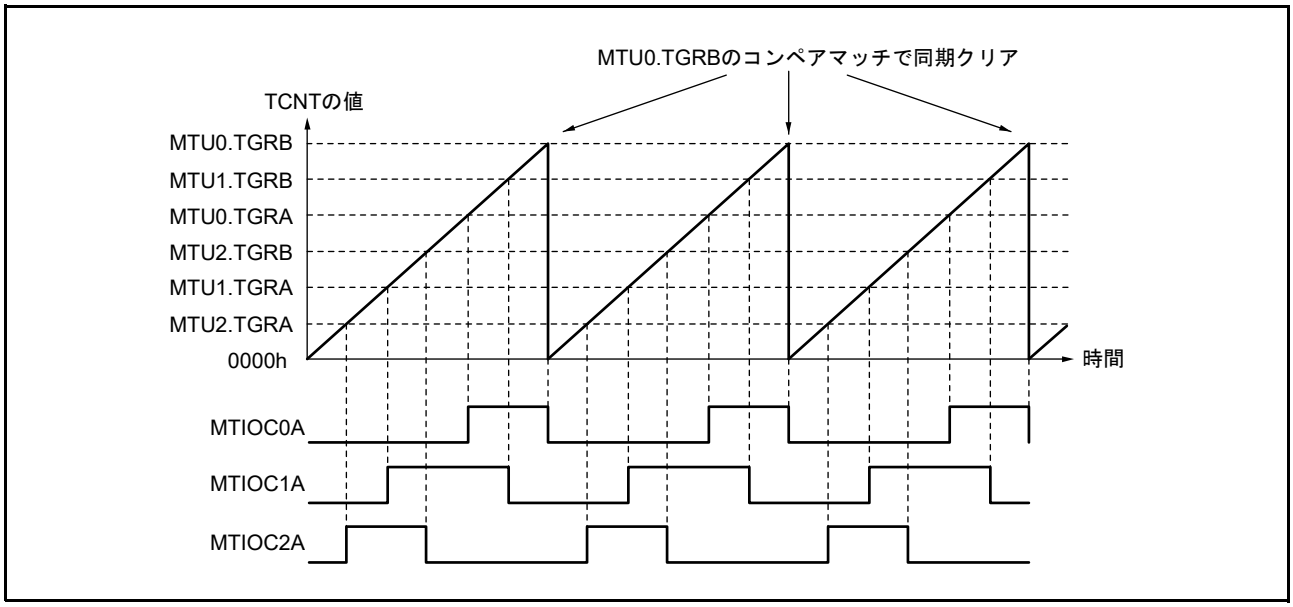


図 10.14　　同期動作の動作例

10.3.3　バッファ動作

バッファ動作は、MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注 .　MTU0.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 10.62 にバッファ動作時のレジスタの組み合わせを示します。

表 10.62　レジスタの組み合わせ

チャネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD
MTU6	TGRA	TGRC
	TGRB	TGRD
MTU7	TGRA	TGRC
	TGRB	TGRD
MTU8	TGRA	TGRC
	TGRB	TGRD

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 10.15 に示します。

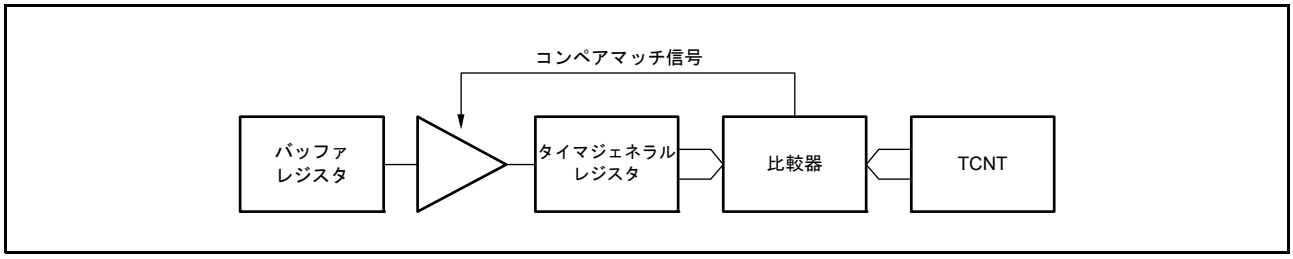


図 10.15　コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 10.16 に示します。

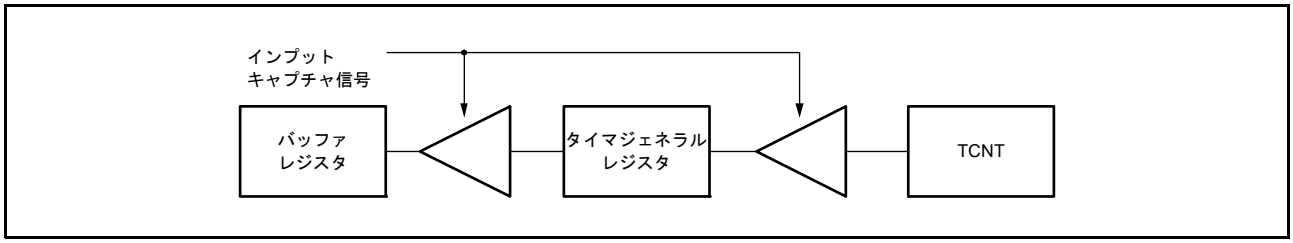


図 10.16　インプットキャプチャバッファ動作

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.17 に示します。

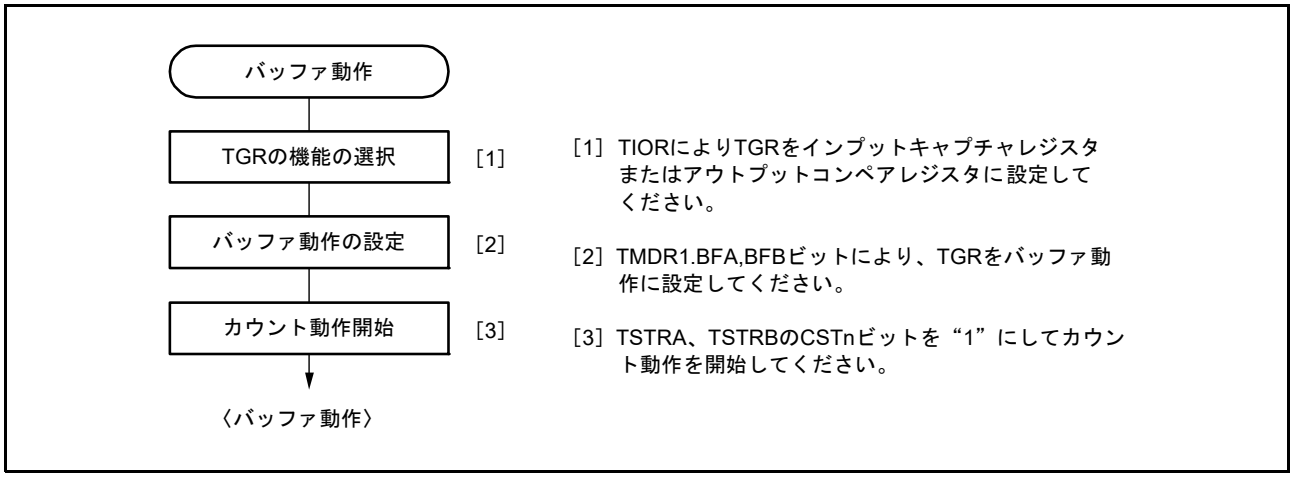


図 10.17　バッファ動作の設定手順例

(2)　バッファ動作例

(a)　TGR がアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.18 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは “0” にしています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「10.3.5　PWM モード」を参照してください。

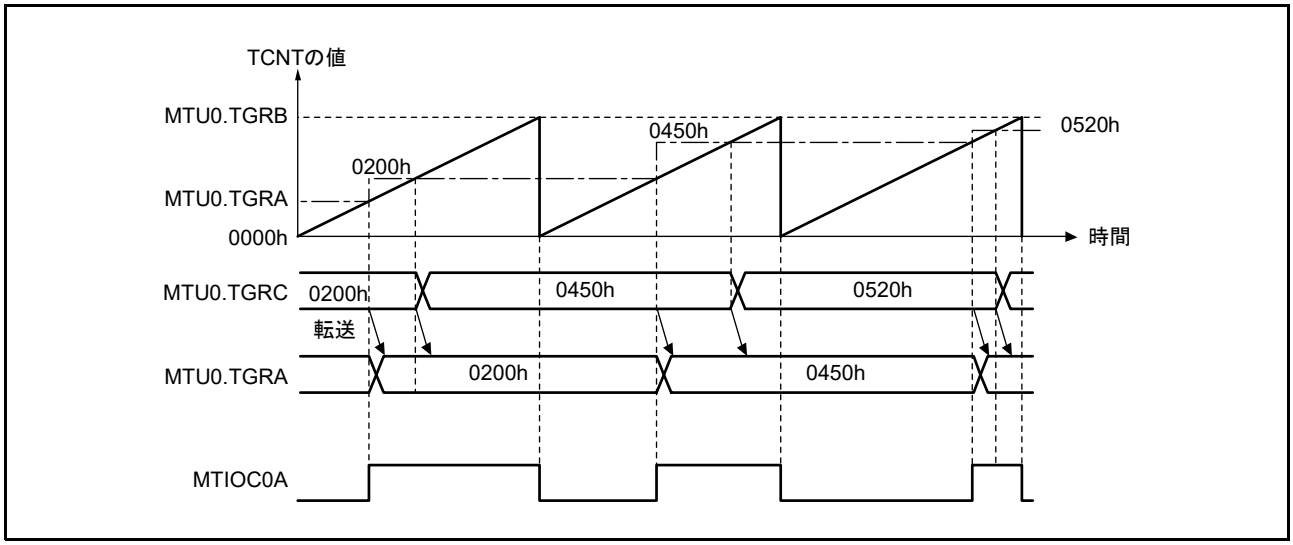


図 10.18　　バッファ動作例（1）

(b)　TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.19 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ／立ち下がりエッジの両エッジが選択されています（n = 0 ～ 4、6、7、8）。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に転送されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

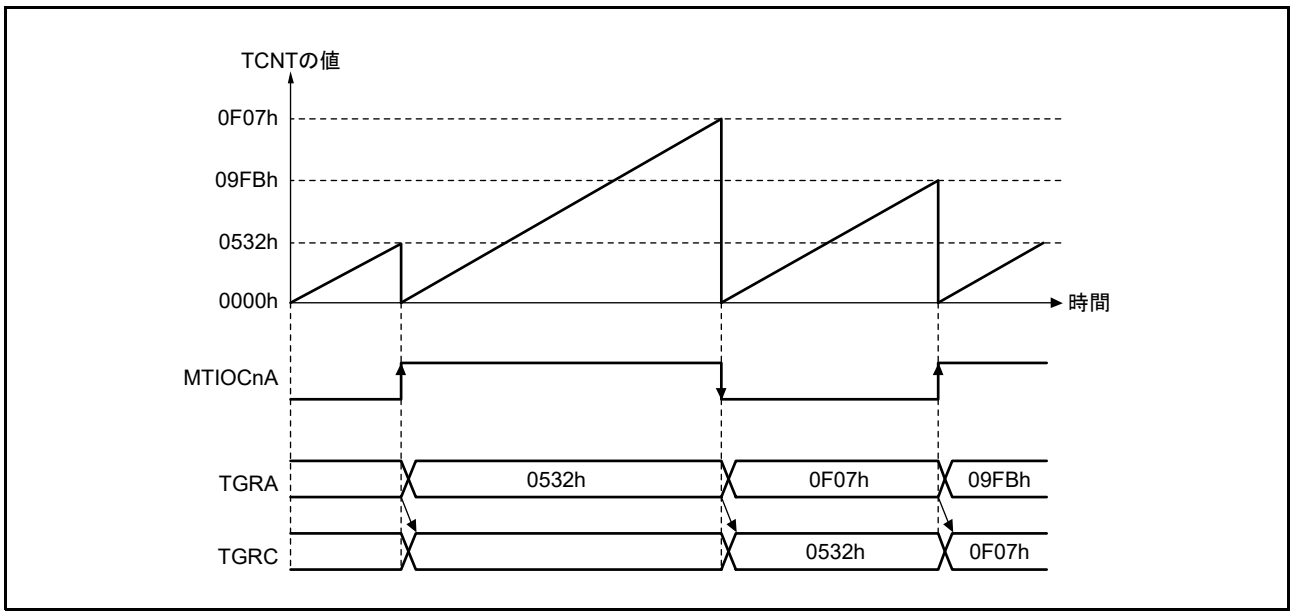


図 10.19　バッファ動作例（2）（n = 0 ～ 4、6、7、8）

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ（MTUn.TBTM）（n ＝ 0、3、4、6、7）を設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4、MTU6、MTU7 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（リセット後の値）と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバフローしたとき（FFFFh → 0000h）
- カウンタの動作中、TCNT に “0000h” が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が “0000h” になったとき

注 .　TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 10.20 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” にしています。

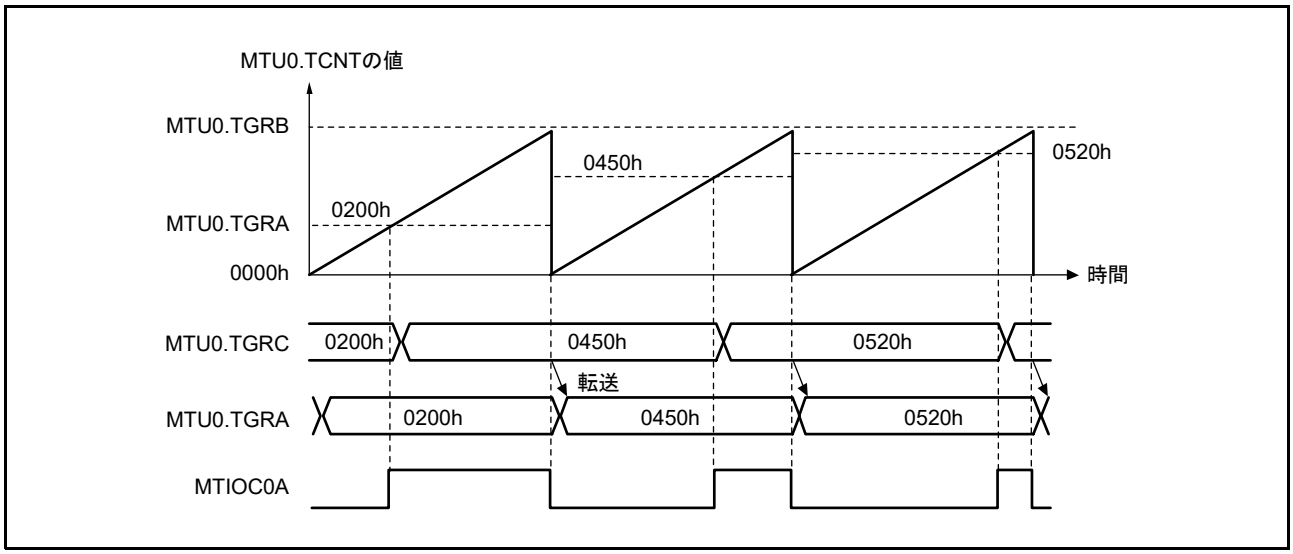


図 10.20　MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

10.3.4　カスケード接続動作

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

MTU1 と MTU2 を接続して 32 ビットカウンタとして使用する機能には、MTU1.TMDR3.LWA ビットを “0” のときに設定するカスケード接続と、MTU1.TMDR3.LWA ビットを “1” に設定するカスケード接続 32 ビット位相計数モードがあります。カスケード接続 32 ビット位相計数モードについては**「10.3.6.2　カスケード接続 32 ビット位相計数モード」**を参照してください。本章では、MTU1.TMDR3.LWA ビットを “0” のときに設定するカスケード接続機能について説明します。

この機能は、MTU1.TMDR3.LWA ビットを “0” に設定し、MTU1.TCR.TPSC[2:0] ビットで MTU1.TCNT を MTU2.TCNT のオーバフロー / アンダフローによりカウントするように設定することで動作します。なお、アンダフローが発生するのは、下位 16 ビットが割り当てられた MTU2 が位相計数モードのときのみです。

表 10.63 にカスケード接続の組み合わせを示します。

注 .　MTU1 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.63　カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
MTU1 と MTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNT と MTU2.TCNT の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ（TICCR）で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方が High のとき、もう一方が変化してもエッジ検出は行われません。詳細は**「(4)　カスケード接続動作例 (c)」**を参照してください。カスケード接続時のインプットキャプチャについては**「10.6.21　カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプット キャプチャ」**を参照してください。

TICCR レジスタの設定値とインプットキャプチャ入力端子の対応を**表 10.64** に示します。

表 10.64　TICCR レジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
MTU1.TCNT から MTU1.TGRA へのインプットキャプチャ	I2AE ビット＝ 0（初期値）	MTIOC1A
	I2AE ビット＝ 1	MTIOC1A、MTIOC2A
MTU1.TCNT から MTU1.TGRB へのインプットキャプチャ	I2BE ビット＝ 0（初期値）	MTIOC1B
	I2BE ビット＝ 1	MTIOC1B、MTIOC2B
MTU2.TCNT から MTU2.TGRA へのインプットキャプチャ	I1AE ビット＝ 0（初期値）	MTIOC2A
	I1AE ビット＝ 1	MTIOC2A、MTIOC1A
MTU2.TCNT から MTU2.TGRB へのインプットキャプチャ	I1BE ビット＝ 0（初期値）	MTIOC2B
	I1BE ビット＝ 1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.21 に示します。

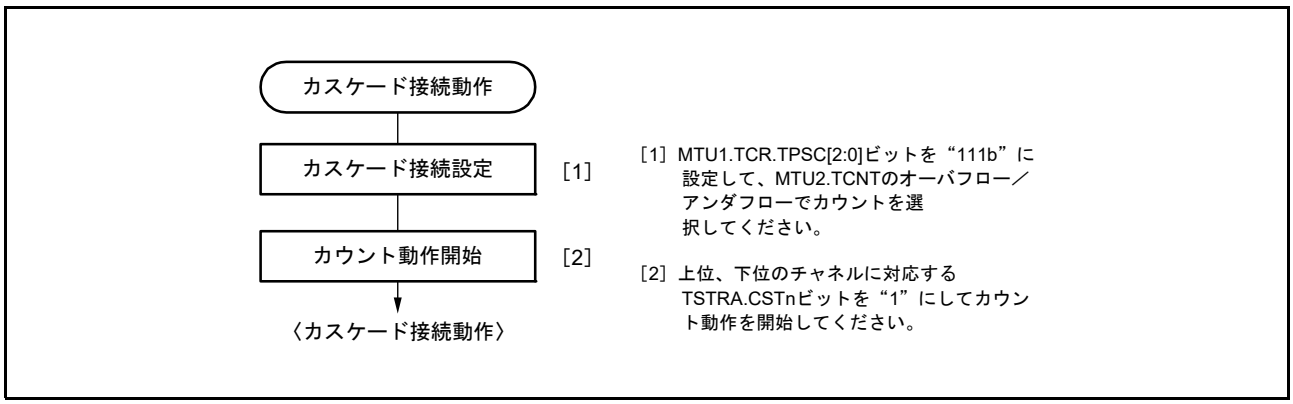


図 10.21　カスケード接続動作設定手順

(2) カスケード接続動作例（a）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、MTU1.TCNT は MTU2.TCNT のオーバフロー／アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 10.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

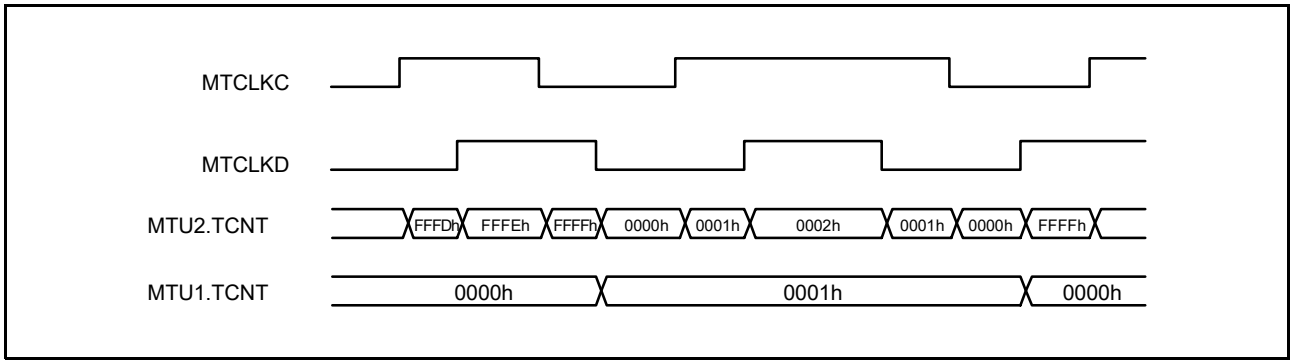


図 10.22　カスケード接続動作例（a）

(3) カスケード接続動作例（b）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 10.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTIOC1A の立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA のインプットキャプチャ条件に設定されます。また、MTU2.TGRA のインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

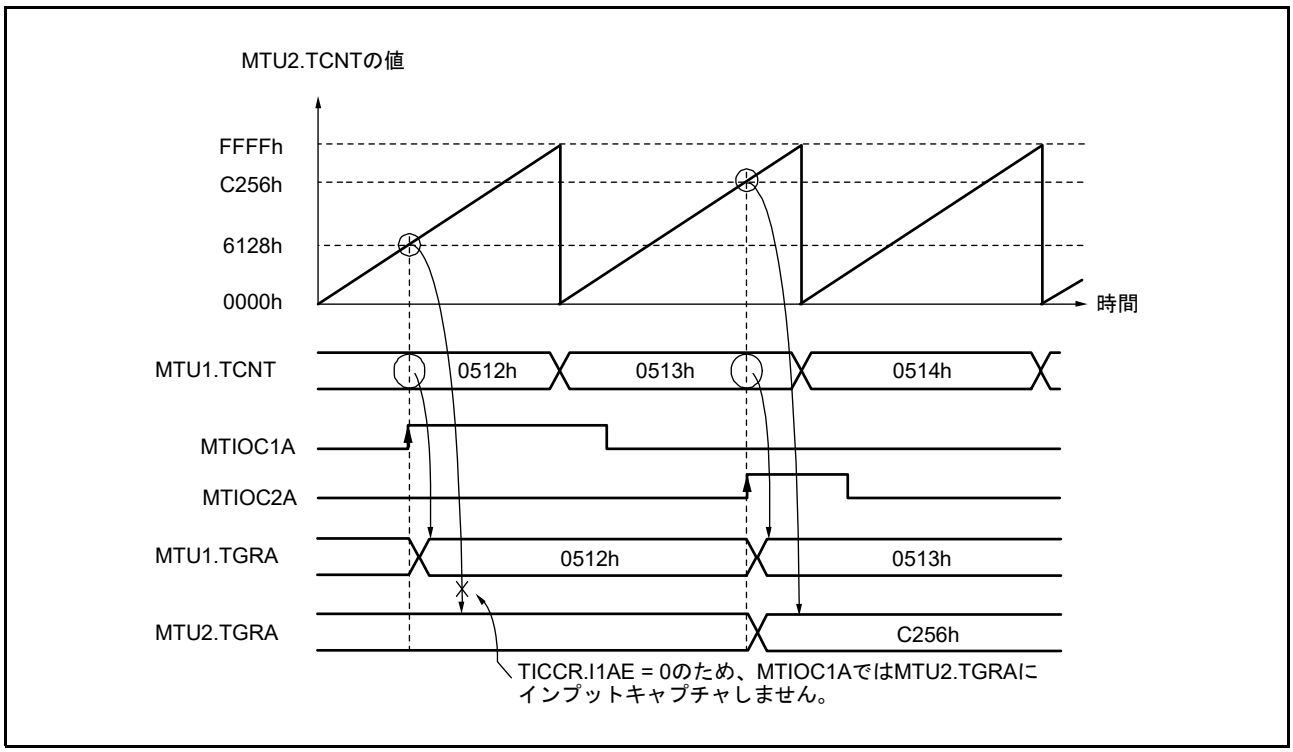
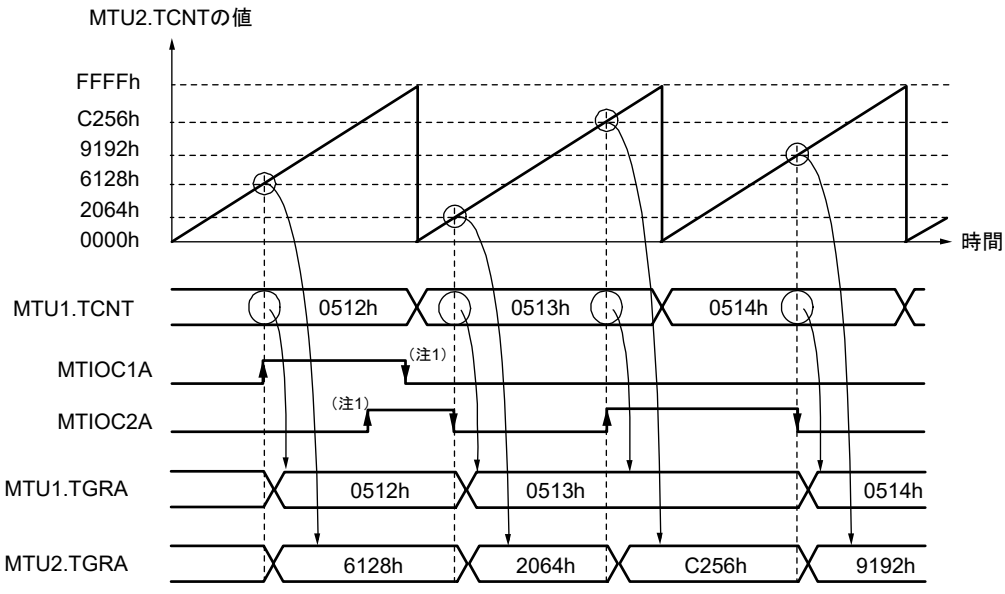


図 10.23　カスケード接続動作例（b）

(4) カスケード接続動作例（c）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE,I1AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加した場合の動作を**図 10.24** に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA のインプットキャプチャ条件となります。



注1.　一方の入力端子がHighの場合、もう一方の入力端子のエッジはインプットキャプチャ条件になりません。

図 10.24　　カスケード接続動作例（c）

(5) カスケード接続動作例（d）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 10.25 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャのため、TICCR.I2AE ビットを “1” にしても MTIOC2A のエッジが MTU1.TGRA のインプットキャプチャ条件になることはありません。

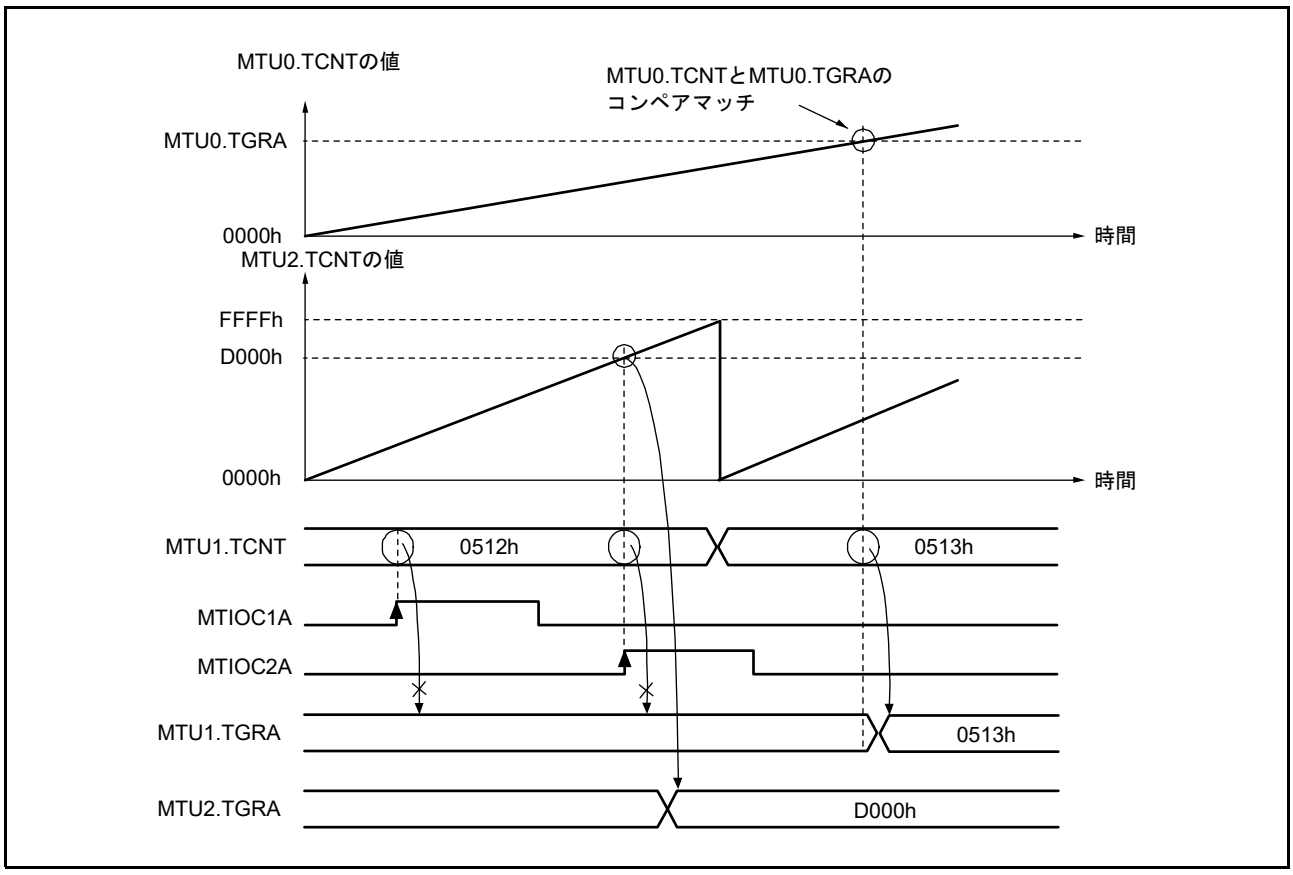


図 10.25　カスケード接続動作例（d）

10.3.5　PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力／ High 出力／トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ～ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。MTU5、MTU8 を除くすべてのチャネルは、個々に PWM モードに設定できます。PWM モードに設定したチャネルの同期動作、および PWM モードに設定したチャネルと他のモードに設定したチャネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a)　PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOCnA 端子、MTIOCnC 端子から PWM 波形を出力します。MTIOCnA 端子、MTIOCnC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います（n = 0 ～ 4、6、7）。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 12 相の PWM 波形出力が可能です。

(b)　PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、PWM モード 2 を設定できないチャネルの同期クリアを同期動作として併用することにより最大 8 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を**表 10.65** に示します。

表 10.65　各 PWM 出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		

表10.65　各PWM出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU4	TGRA	MTIOC4A	設定できません
	TGRB		
	TGRC	MTIOC4C	
	TGRD		
MTU6	TGRA	MTIOC6A	
	TGRB		
	TGRC	MTIOC6C	
	TGRD		
MTU7	TGRA	MTIOC7A	
	TGRB		
	TGRC	MTIOC7C	
	TGRD		

注.　PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1)　PWM モードの設定手順例

PWM モードの設定手順例を図 10.26 に示します。

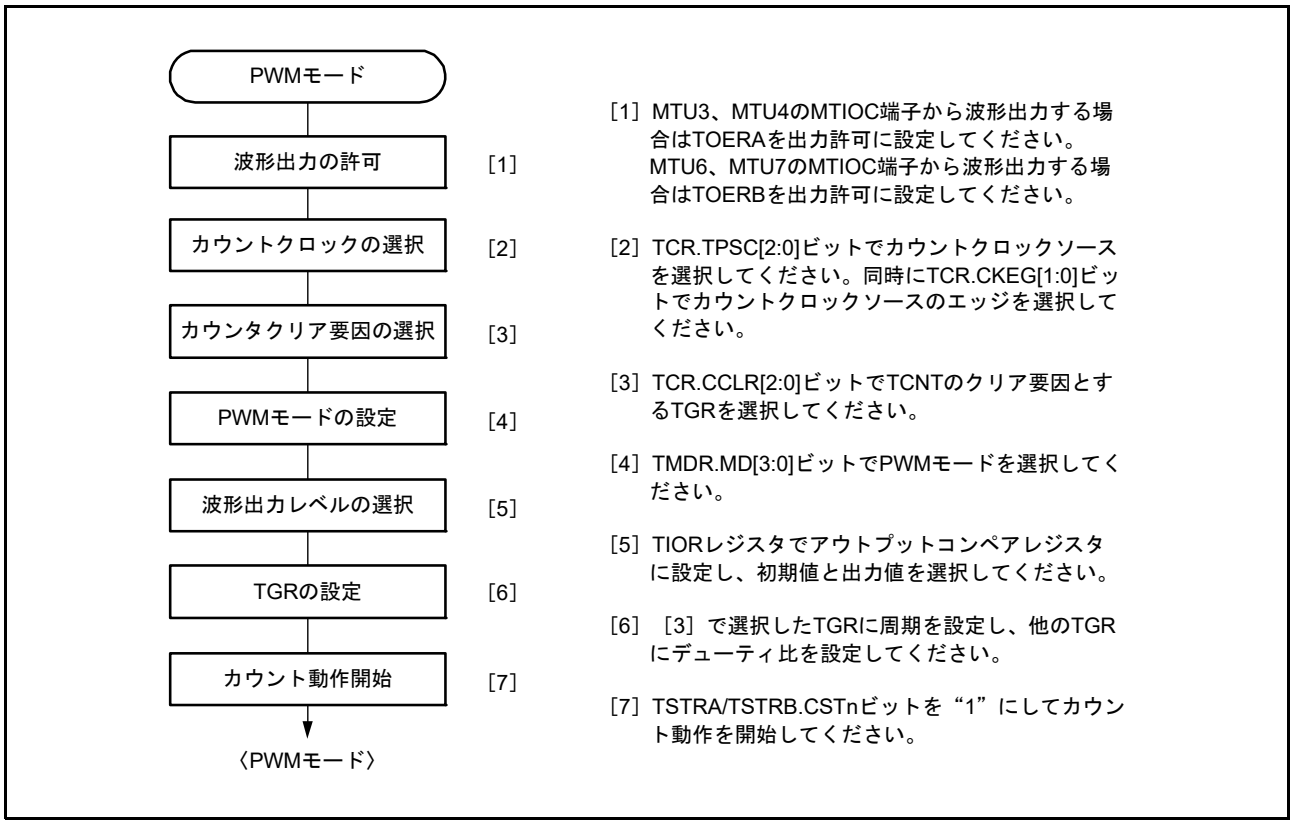


図 10.26　PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 10.27 に示します。

この図は、TCNT のクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を “0”、TGRB レジスタの出力値を “1” にした場合の例です。

この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティ比になります。

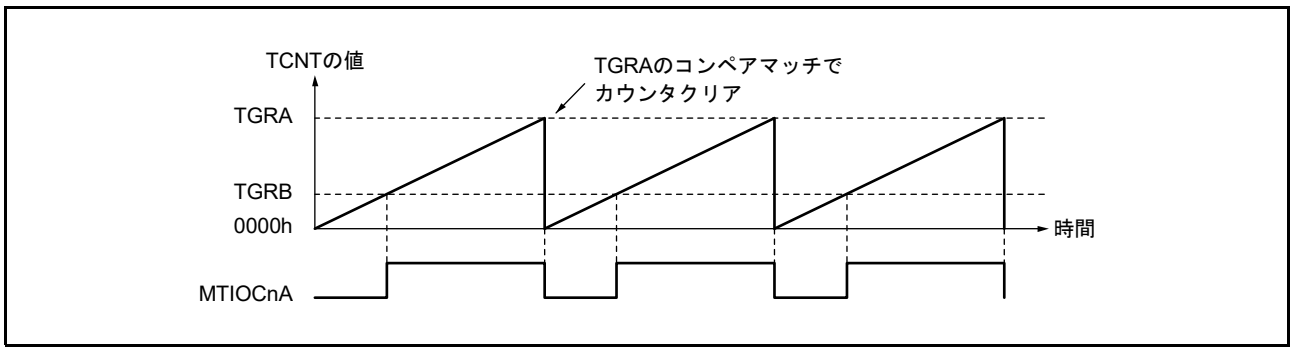


図 10.27　PWM モード 1 の動作例（n = 0 ～ 4、6、7）

PWM モード 2 の動作例を図 10.28 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）の初期出力値を Low、出力値を High にして 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）に設定した値がデューティ比になります。

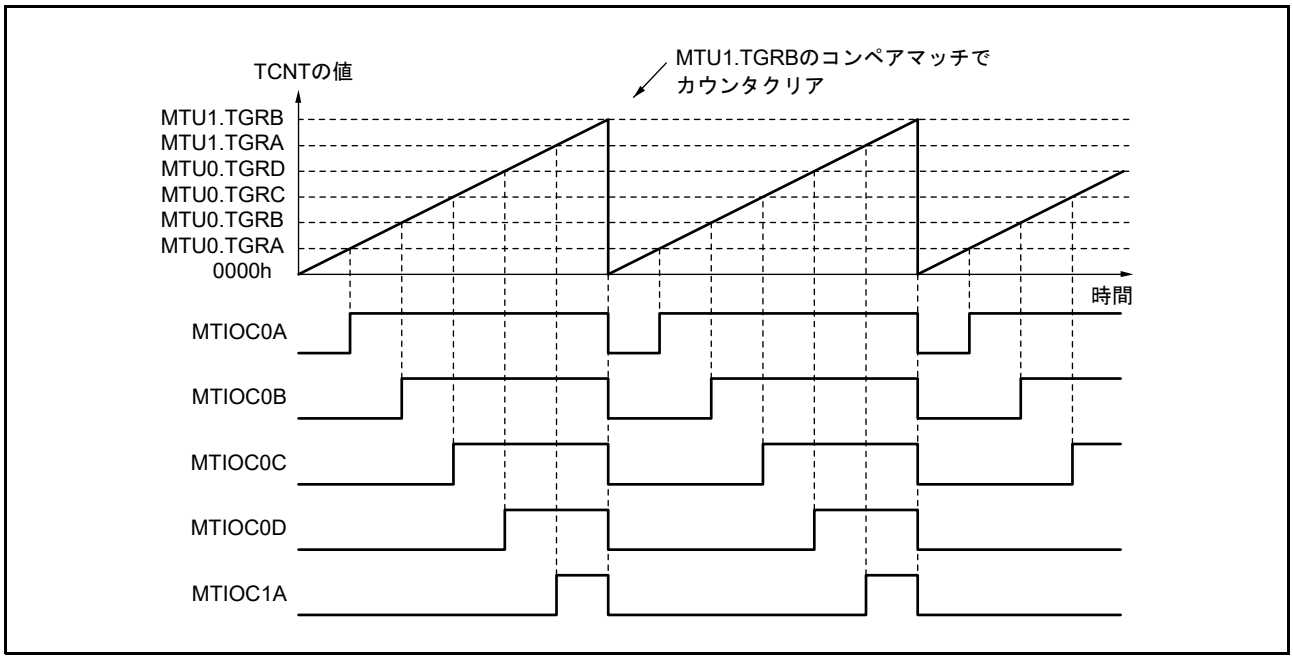


図 10.28　PWM モード 2 の動作例

PWM モード 1 で、デューティ比 0%、デューティ比 100% の PWM 波形を出力する例を図 10.29 に示します。この図は、TCNT カウンタのクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を Low、TGRB レジスタの出力値を High に設定した場合の例です。

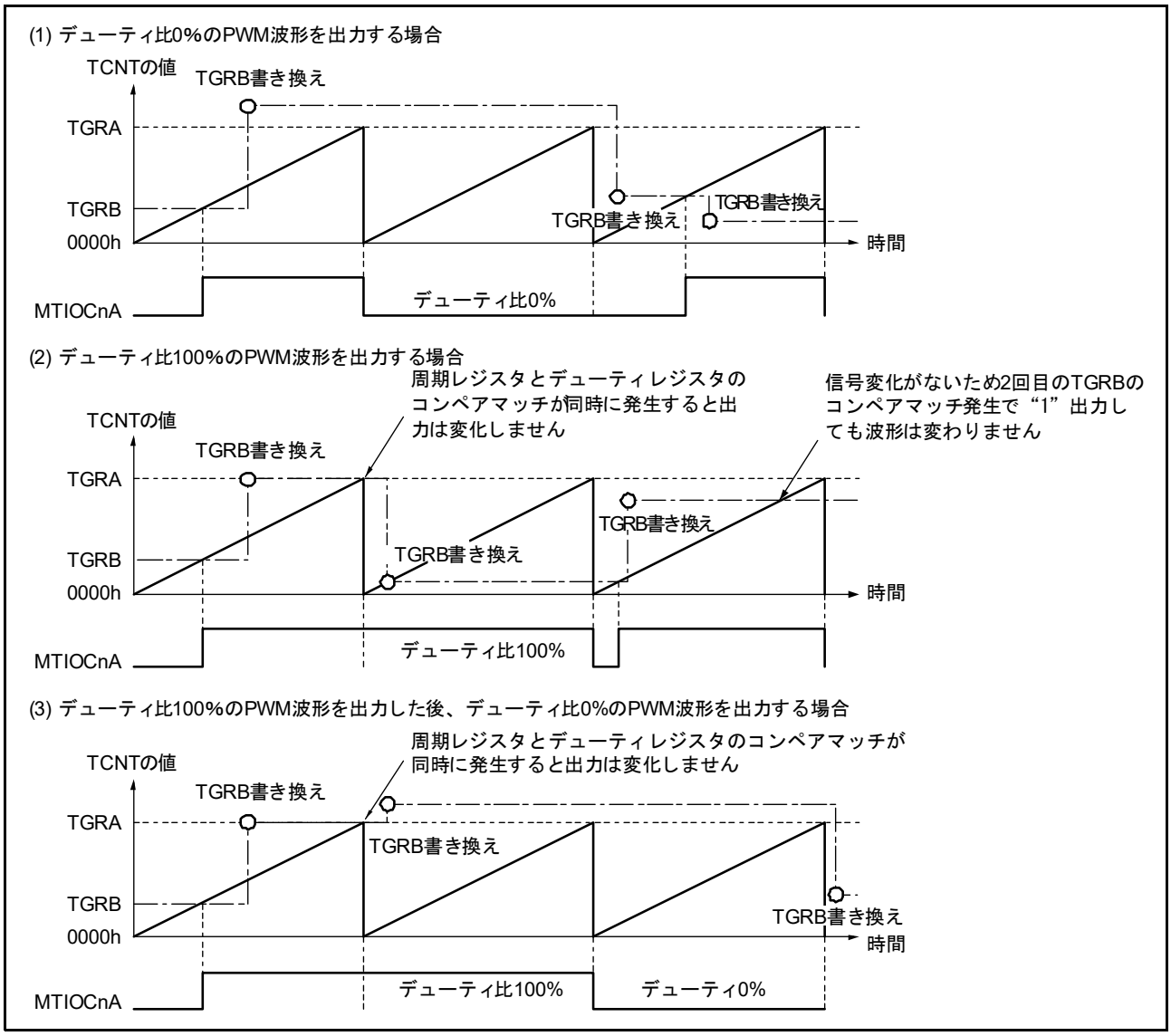


図 10.29　PWM モード動作例（デューティ 0%、デューティ 100%の PWM 波形を出力する例）
（n = 0 ～ 4、6、7）

10.3.6　位相計数モード

位相計数モードにはMTU1とMTU2がそれぞれ独立に動作する16ビット位相計数モードとMTU1, MTU2をカスケード接続したカスケード接続32ビット位相計数モードがあります。

位相計数モードでは2つの外部クロック入力の位相差を検出して、対応するTCNTをアップカウント/ダウンカウントします。

各位相計数モードでの2つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわりません。MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モードの2つの外部クロック入力は、MTU1.TMDR3.PHCKSELで選択を行うことができます。MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モード以外の位相計数モードでは、A相/B相にMTCLKA/MTCLKBが選択されます。位相計数モードでは、外部クロック端子MTCLKA、MTCLKB、MTCLKC、MTCLKDを2相エンコーダパルスの入力として使用できます。

それぞれの位相計数モードで接続される外部クロック入力端子を**表10.66**に示します。

表10.66　位相計数モードクロック入力端子

位相計数モード	TMDR3.PHCKSELビット	外部クロック端子	
		A相	B相
MTU1　16ビット位相計数モード	x（Don't care）	MTCLKA	MTCLKB
MTU2　16ビット位相計数モード	0	MTCLKA	MTCLKB
	1（初期値）	MTCLKC	MTCLKD
カスケード接続32ビット位相計数モード	0	MTCLKA	MTCLKB
	1（初期値）	MTCLKC	MTCLKD

10.3.6.1　16ビット位相計数モード

MTU1.TMDR3.LWA = 0のとき、MTU1とMTU2には各々独立して16ビット位相計数モードが設定できます。

16ビット位相計数モードでは、2本の外部クロック入力の位相差を検出して対応するチャネルの16ビットカウンタTCNTをアップカウント／ダウンカウントします。

16ビット位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわらずカウントクロックは外部クロックが選択され、TCNTはアップカウンタ／ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能が使用できます。

これら外部クロック端子は、2相エンコーダパルスの入力として使用できます。

TCNTがアップカウントしているときにオーバフローが発生すると、対応するTIER.TCIEVビットが“1”であれば、TCIV割り込みが発生します。

また、ダウンカウントしているときにアンダフローが発生すると、対応するTIER.TCIEUビットが“1”であれば、TCIU割り込みが発生します。

TSR.TCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

(1)　16 ビット位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.30 に示します。

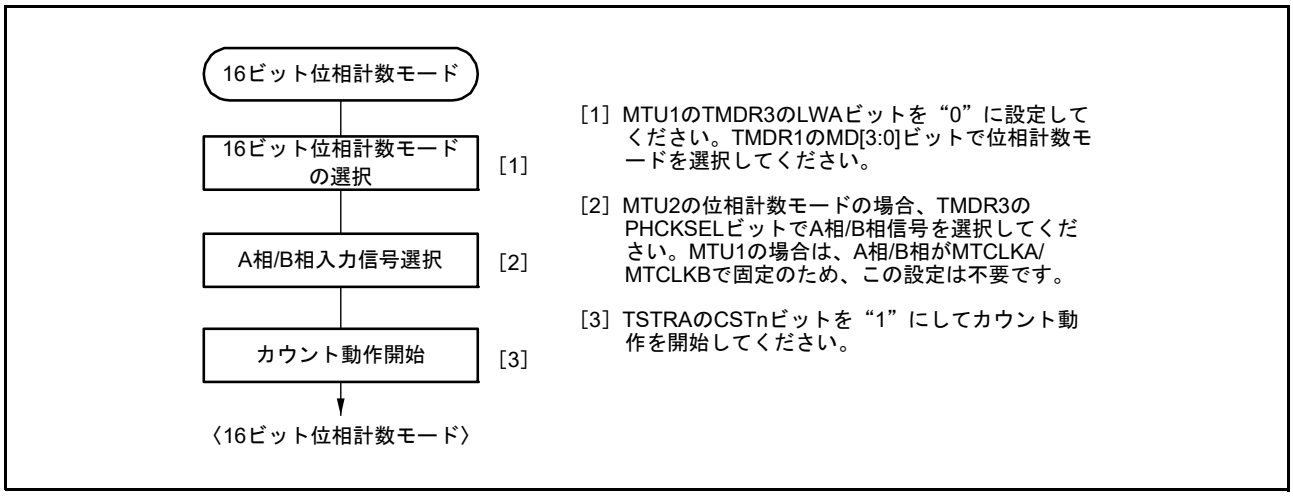


図 10.30　　16 ビット位相計数モードの設定手順例

(2)　16 ビット位相計数モードの動作例

位相計数モードでは、2 本の外部クロックの位相差で TCNT がアップカウント／ダウンカウントします。なお、カウント条件により 5 つのモードがあり、各モードは PHCKSEL=1 の条件で、つまり MTU1 の位相クロックは MTCLKA, MTCLKB から入力、MTU2 の位相クロックは MTCLKC, MTCLKD から入力として説明します。

(a)　位相計数モード 1

位相計数モード 1 の動作例を図 10.31 に、TCNT のアップカウント／ダウンカウント条件を表 10.67 に示します。

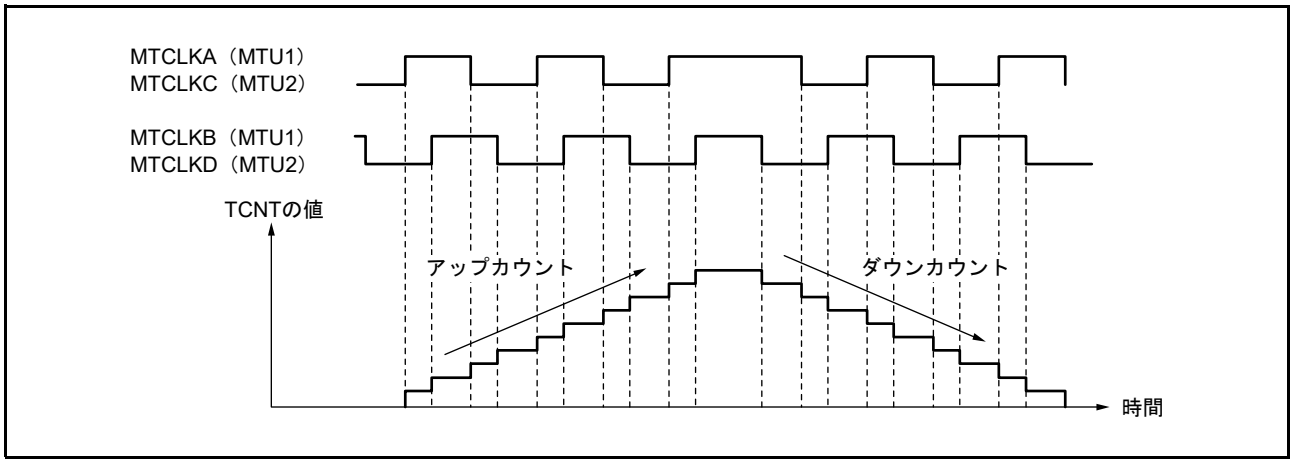


図 10.31　　位相計数モード 1 の動作例

表 10.67　位相計数モード 1 のアップカウント／ダウンカウント条件

MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b)　位相計数モード 2

位相計数モード 2 の動作例を**図 10.32 ～図 10.34** に、TCNT のアップカウント／ダウンカウント条件を**表 10.68** に示します。

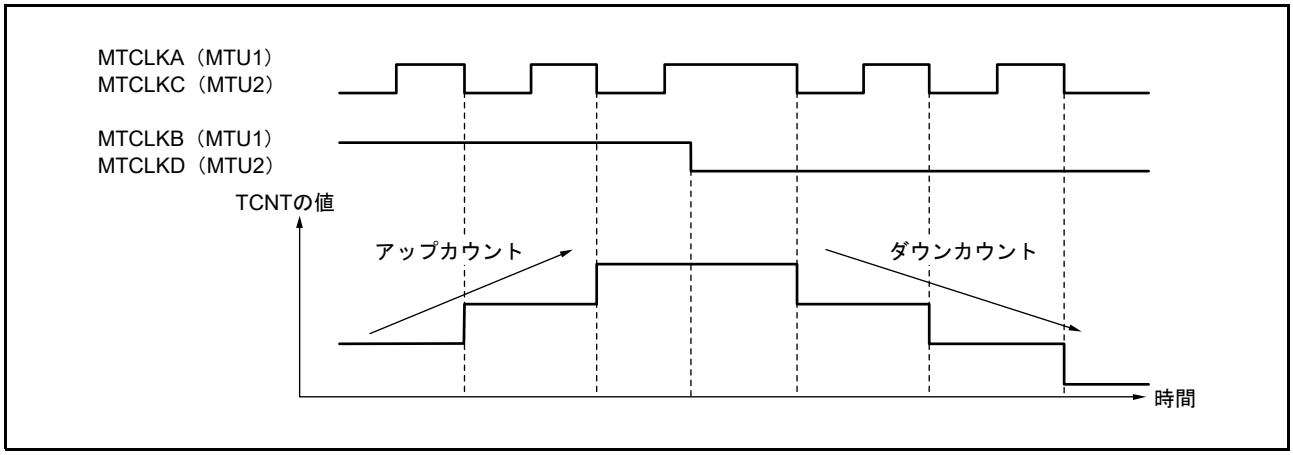


図 10.32　位相計数モード 2 の動作例（MTUn.TCR2.PCB[1:0] = 00b のとき（n = 1、2））

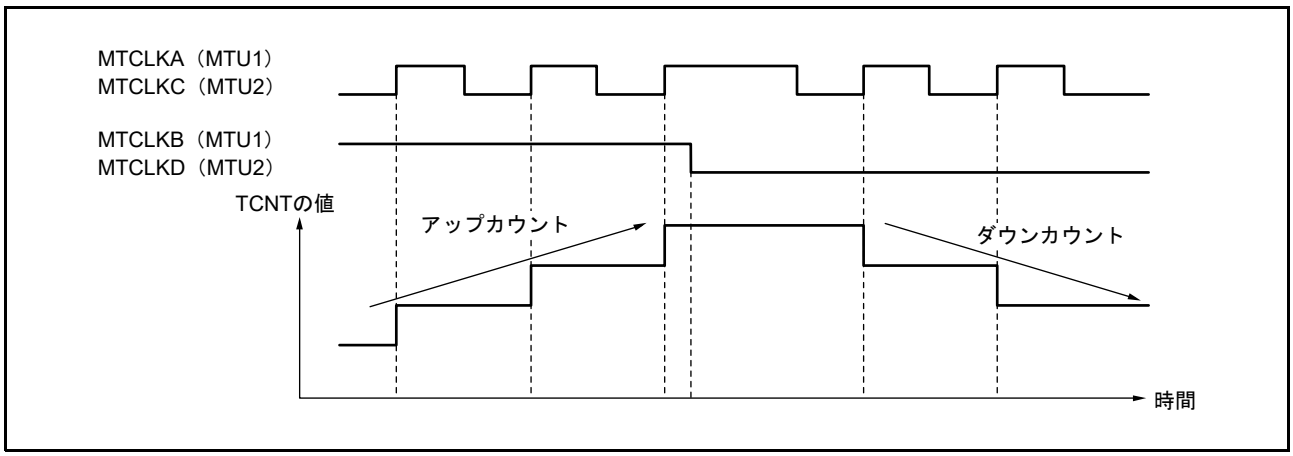


図 10.33　位相計数モード 2 の動作例（MTUn.TCR2.PCB[1:0] = 01b のとき（n = 1、2））

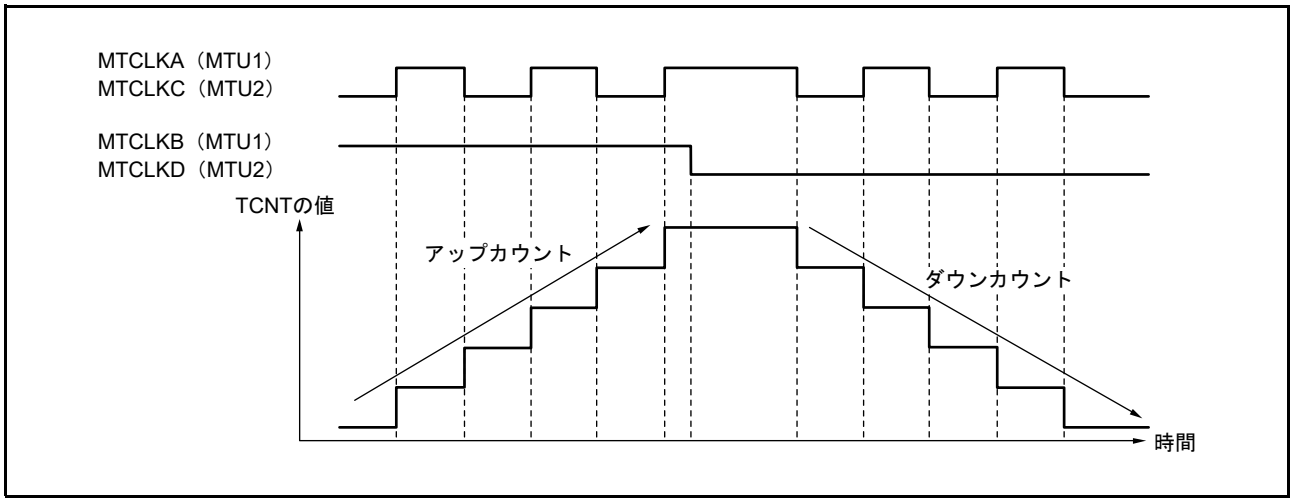


図 10.34　位相計数モード 2 の動作例（MTUn.TCR2.PCB[1:0] = 1xb のとき（n = 1、2））

表10.68　位相計数モード2のアップカウント／ダウンカウント条件

PCB[1:0]	MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
00	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	
	↓	Low	ダウンカウント
01	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	ダウンカウント
	↓	High	カウントしない（Don't care）
	High	↓	
	Low	↑	
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）
1x	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	ダウンカウント
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	アップカウント
	↓	Low	ダウンカウント

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(c)　位相計数モード 3

位相計数モード 3 の動作例を図 10.35 ～図 10.37 に、TCNT のアップカウント／ダウンカウント条件を表 10.69 に示します。

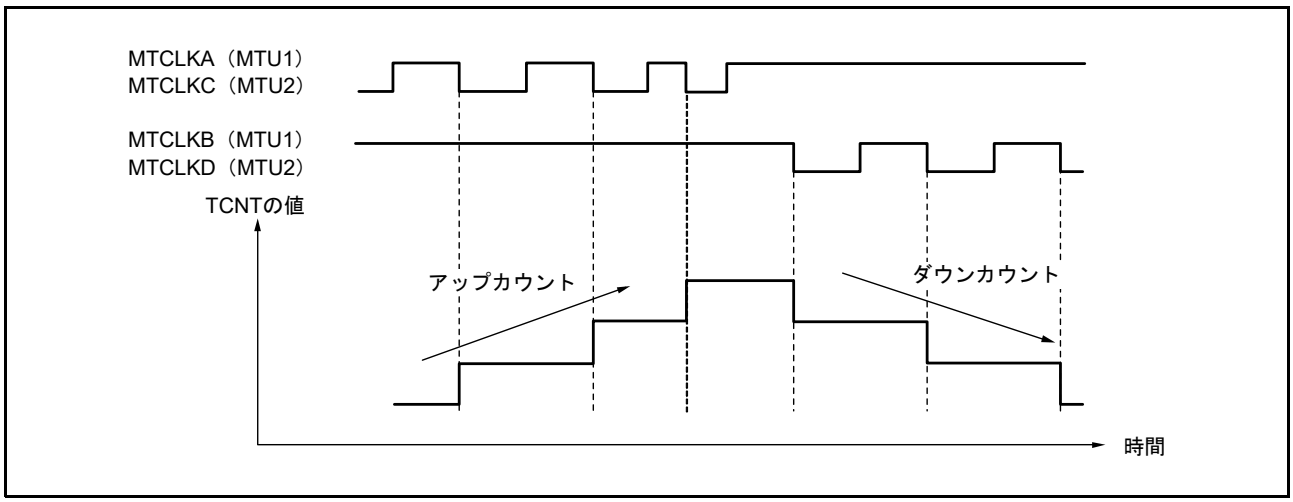


図 10.35　位相計数モード 3 の動作例（MTUn.TCR2.PCB[1:0] ＝ 00b のとき（n ＝ 1、2））

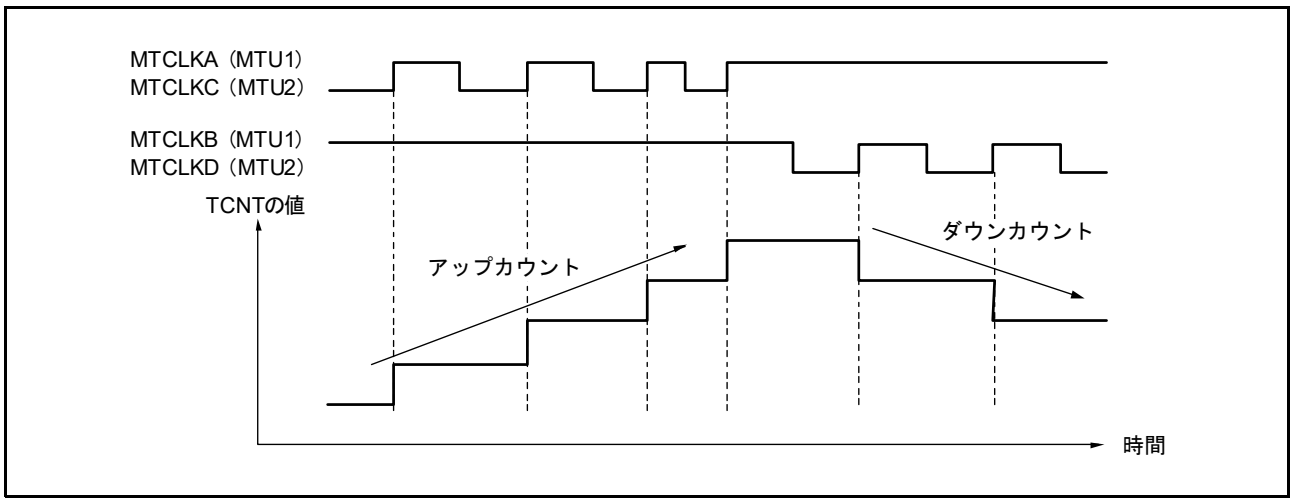


図 10.36　位相計数モード 3 の動作例（MTUn.TCR2.PCB[1:0] ＝ 01b のとき（n ＝ 1、2））

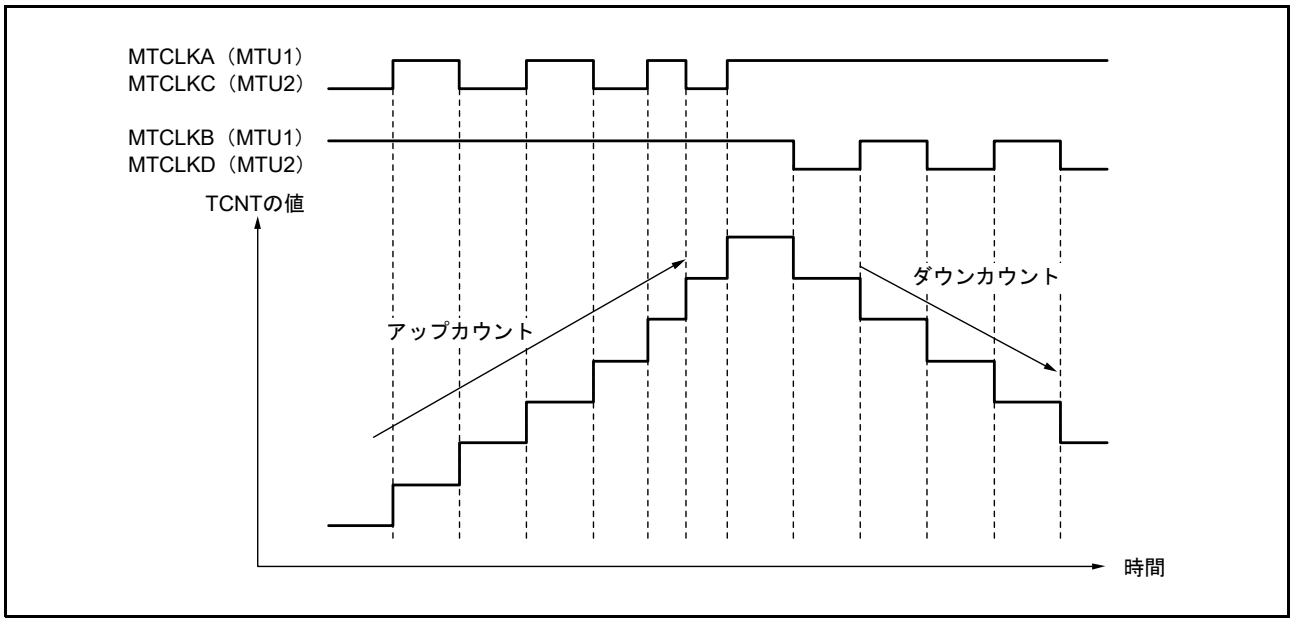


図 10.37　位相計数モード 3 の動作例（MTUn.TCR2.PCB[1:0] ＝ 1xb のとき（n ＝ 1、2））

表10.69　位相計数モード3のアップカウント／ダウンカウント条件

PCB[1:0]	MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
00	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	ダウンカウント
	Low	↑	カウントしない（Don't care）
	↑	High	
	↓	Low	
01	High	↑	ダウンカウント
	Low	↓	カウントしない（Don't care）
	↑	Low	
	↓	High	
	High	↓	
	Low	↑	
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）
1x	High	↑	ダウンカウント
	Low	↓	カウントしない（Don't care）
	↑	Low	
	↓	High	アップカウント
	High	↓	ダウンカウント
	Low	↑	カウントしない（Don't care）
	↑	High	アップカウント
	↓	Low	カウントしない（Don't care）

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(d)　位相計数モード 4

位相計数モード 4 の動作例を**図 10.38** に、TCNT のアップカウント／ダウンカウント条件を**表 10.70** に示します。

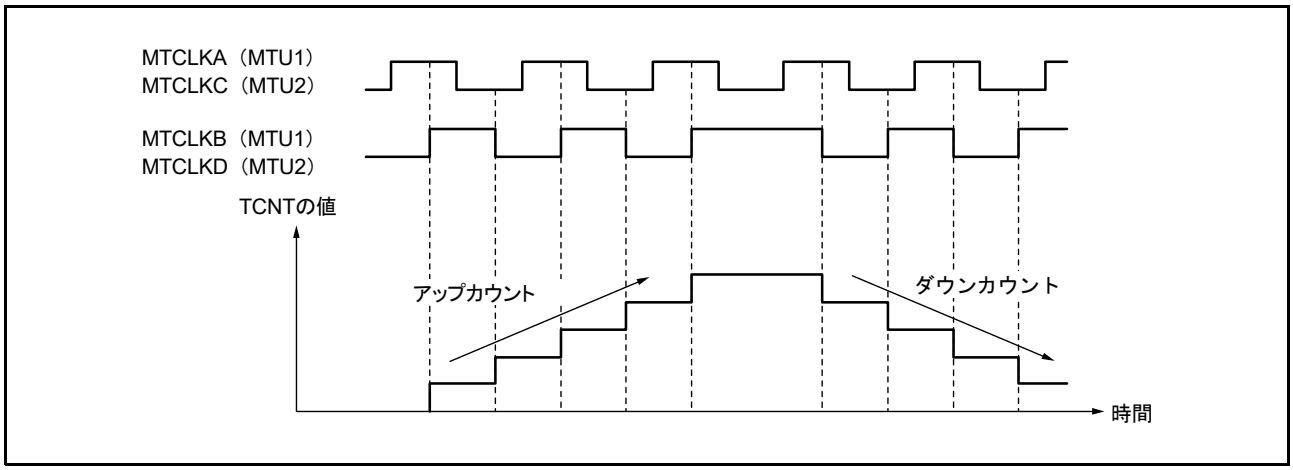


図 10.38　位相計数モード 4 の動作例

表 10.70　位相計数モード 4 のアップカウント／ダウンカウント条件

MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない（Don't care）
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない（Don't care）
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(e)　位相計数モード 5

位相計数モード 5 の動作例を図 10.39、図 10.40 に、TCNT のアップカウント／ダウンカウント条件を表 10.71 に示します。

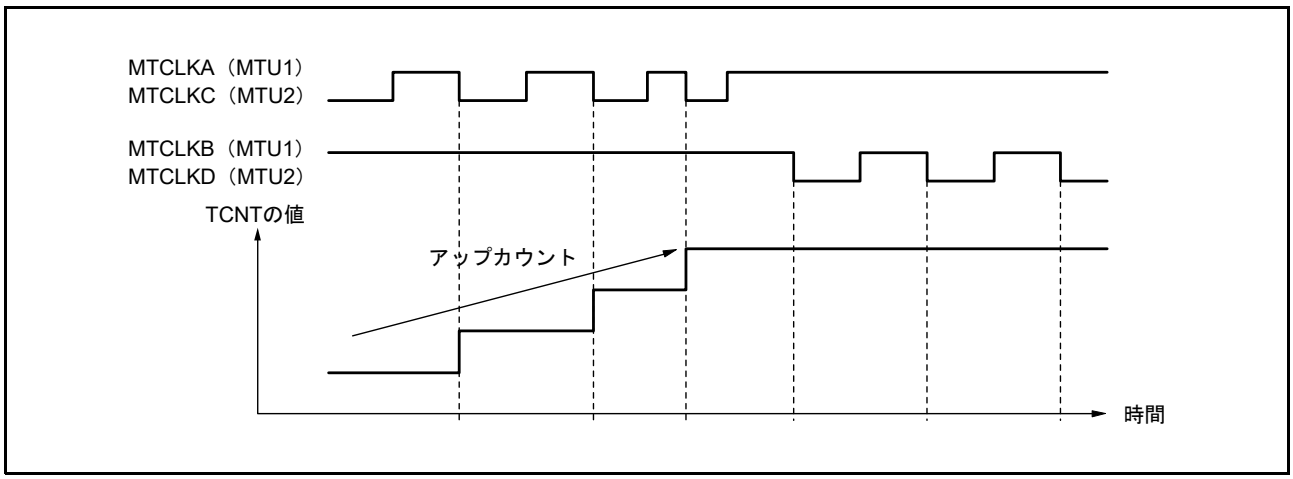


図 10.39　位相計数モード 5 の動作例（MTUn.TCR2.PCB[1:0]=0xb のとき（n ＝ 1、2））

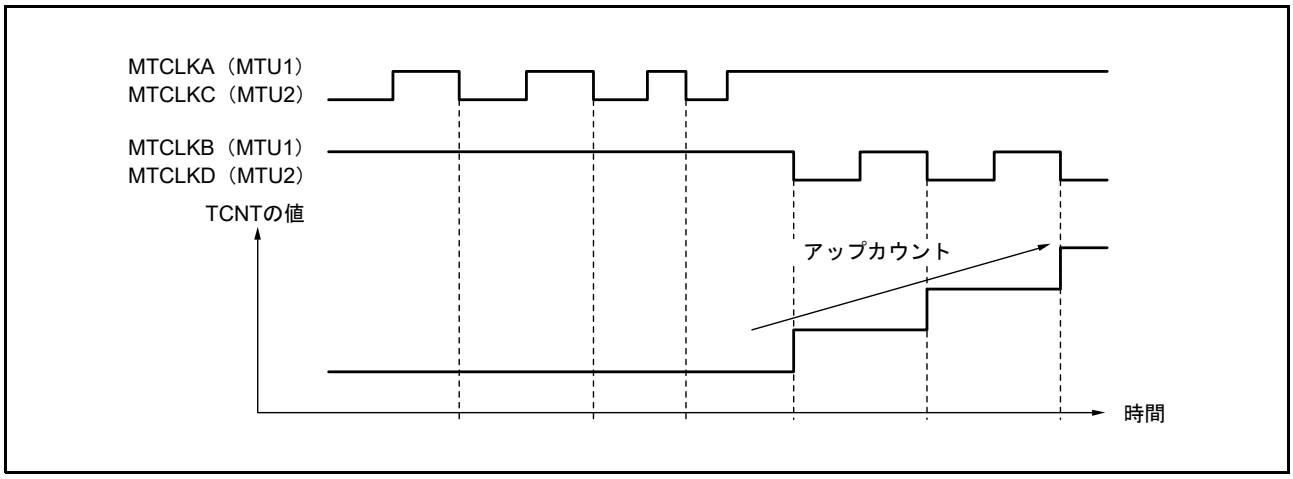


図 10.40　位相計数モード 5 の動作例（MTUn.TCR2.PCB[1:0]=1xb のとき（n ＝ 1、2））

表10.71　位相計数モード5のアップカウント／ダウンカウント条件

PCB[1:0]	MTCLKA（MTU1） MTCLKC（MTU2）	MTCLKB（MTU1） MTCLKD（MTU2）	動作内容
0x	High	↑	カウントしない（Don't care）
	Low	↓	
	↑	Low	
	↓	High	アップカウント
	High	↓	カウントしない（Don't care）
	Low	↑	
	↑	High	
	↓	Low	アップカウント
1x	High	↑	カウントしない（Don't care）
	Low	↓	アップカウント
	↑	Low	カウントしない（Don't care）
	↓	High	
	High	↓	アップカウント
	Low	↑	カウントしない（Don't care）
	↑	High	
	↓	Low	

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(3)　16 ビット位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 10.41 に示します。

MTU1 は位相計数モード 1 に設定し、MTCLKA と MTCLKB にエンコーダパルスの A 相、B 相を入力します。

MTU0 は TCNT を MTU0.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA と MTU0.TGRC はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB はインプットキャプチャ機能で使用し、MTU0.TGRB と MTU0.TGRD をバッファ動作させます。MTU0.TGRB のインプットキャプチャ要因は、MTU1 のカウントクロックとし、2 相エンコーダの 4 逓倍パルスのパルス幅を検出します。

MTU1 の MTU1.TGRA と MTU1.TGRB は、インプットキャプチャ機能に設定し、インプットキャプチャ要因は MTU0 の MTU0.TGRA と MTU0.TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップ／ダウンカウンタの値を格納します。

これにより、正確な位置／速度検出を行うことができます。

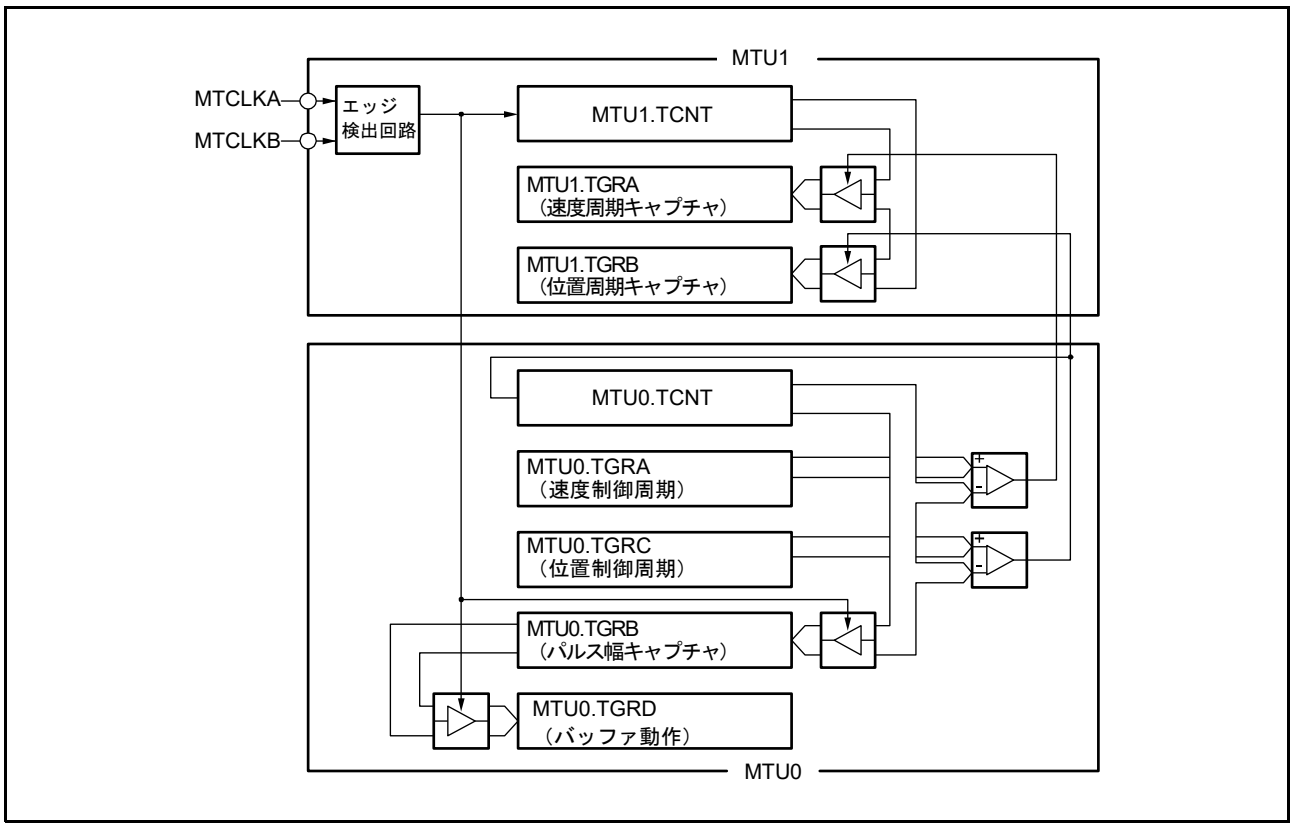


図 10.41　16 ビット位相計数モードの応用例

10.3.6.2　カスケード接続 32 ビット位相計数モード

MTU1.TMDR3.LWA=1 で MTU1 に位相計数モードを設定した場合、**図 10.42** のように MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR, TCR2, TIOR, TIER, TGR, TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、**図 10.43** を参照してください。

カスケード接続 32 ビット位相計数モードは、A 相、B 相と Z 相の三相信号の入力が可能です。A 相 /B 相に外部入力位相クロック MTCLKA/MTCLKB または MTCLKC/MTCLKD、Z 相に MTIOC1A をそれぞれエンコーダパルスの信号とします。A 相 /B 相の外部クロック入力の選択は、**表 10.70** を参照してください。A 相、B 相のパルスによりカウンタイベントを生成し、32 ビットカウンタ MTU1.TCNTLW でカウンタイベントをカウントします。

また、Z 相信号によりインプットキャプチャを発生することができるので、ジェネラルレジスタにキャプチャされた値から角速度が測定できます。

さらに、MTU8 は 1ms 時間間隔測定チャネルとして使用でき、1ms 間隔でカスケード接続 32 ビット位相計数モードとして動作している MTU1 と MTU2 にコンペアマッチ信号を出力することが可能です。つまり、MTU1 と MTU2 は、MTU8 のコンペアマッチ信号をキャプチャ信号として使用し、1ms 期間での A 相、B 相パルス回数を測定することが可能です。

MTU0 または MTU5 を Z 相信号パルス測定チャネルに指定した場合、この MTU8.TGRC のコンペアマッチ信号をキャプチャ信号およびクリア信号として MTU0 または MTU5 に入力することができ、これにより 1ms 間隔での Z 相カウントが測定できます。

また、組み合わせされている MTU1, MTU2 のカウンタイベント信号を MTU8.TGRD のキャプチャ信号として使用することができ、A 相パルス間隔、B 相パルス間隔、その二相パルス間隔を含めての測定が可能です。この場合は、MTU8.TGRD レジスタをバッファ動作に設定してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1, MTU2 を接続するカスケード接続機能については、**「10.3.4　カスケード接続動作」**を参照してください。

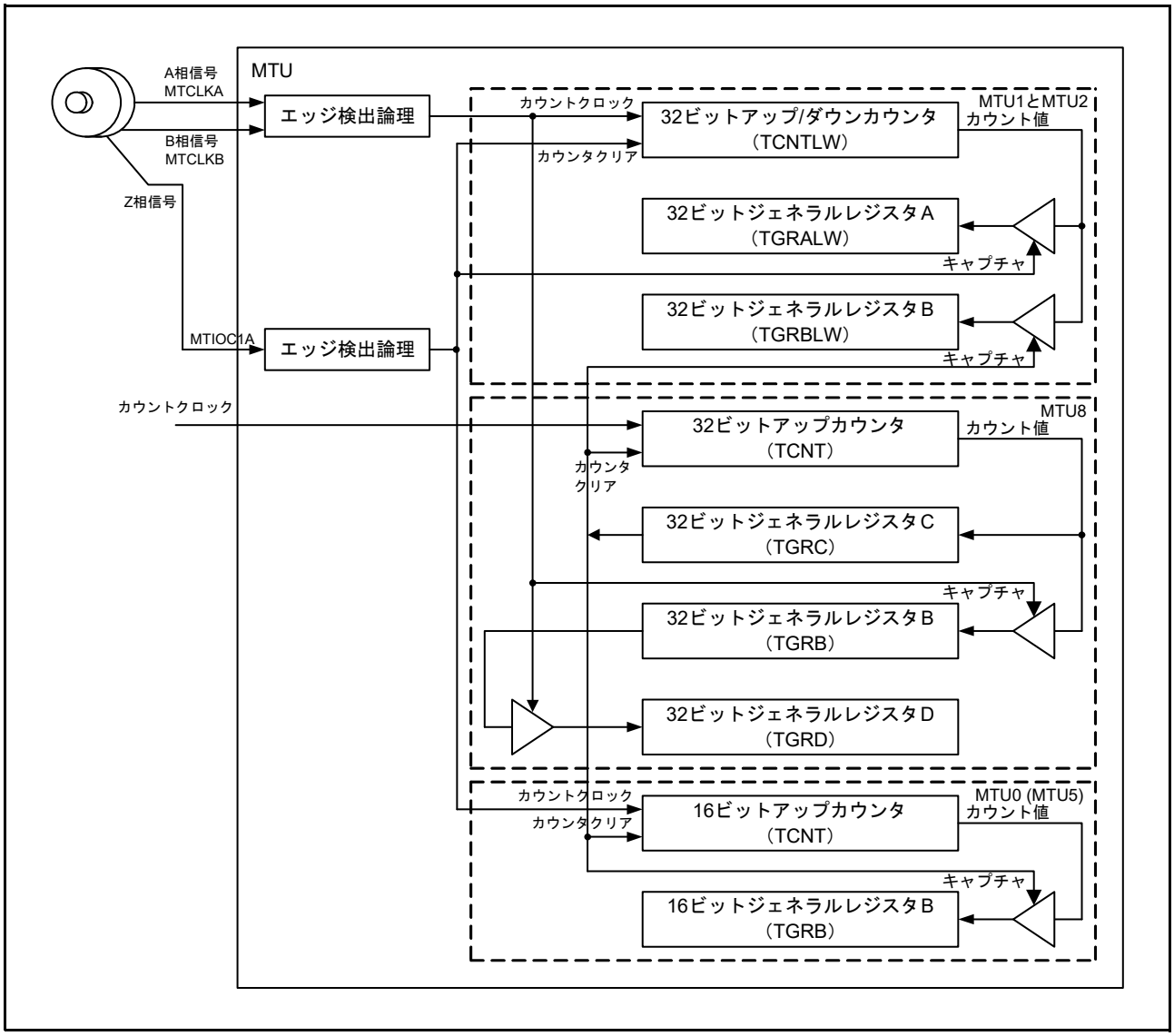


図 10.42　カスケード接続 32 ビット位相計数モード動作ブロック概要

(1) カスケード接続 32 ビット位相計数モードの設定例

カスケード接続 32 ビット位相計数モードの設定手順例を図 10.43 に示します。

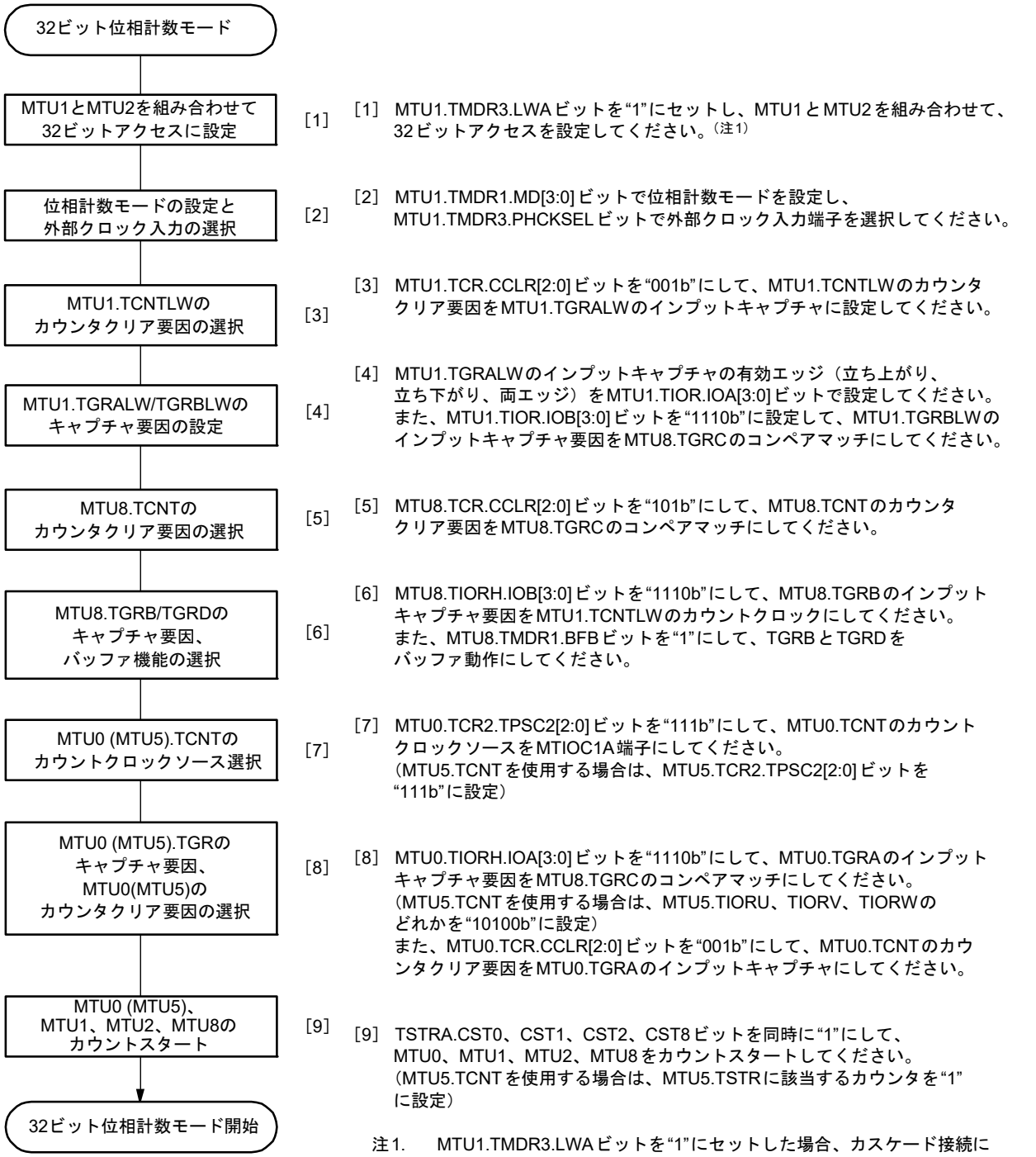


図 10.43　カスケード接続 32 ビット位相計数モード設定手順

10.3.7　リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 および MTU6、MTU7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D 端子は PWM 出力端子となり、タイマカウンタ 3、6（MTU3.TCNT、MTU6.TCNT）はアップカウンタとして機能します。

使用される PWM 出力端子を**表 10.72** に、使用するレジスタの設定を**表 10.73** に示します。

表10.72　リセット同期PWMモード時の出力端子

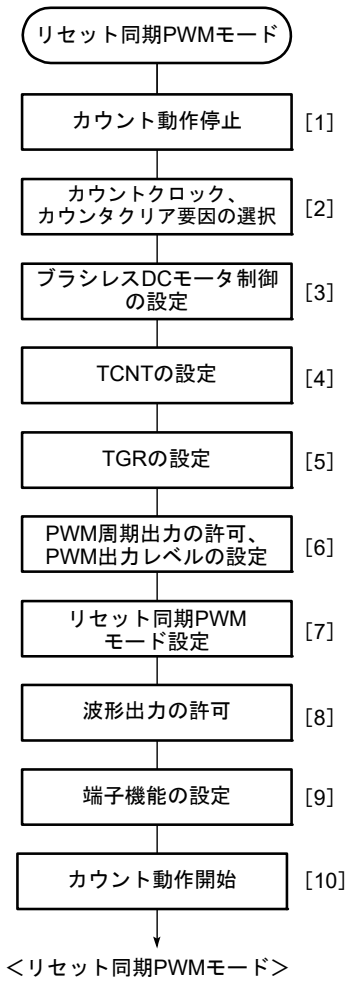
チャネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形）
MTU6	MTIOC6B	PWM出力端子4
	MTIOC6D	PWM出力端子4'（PWM出力4の逆相波形）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5の逆相波形）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6の逆相波形）

表10.73　リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	0000hを初期設定
MTU4.TCNT	0000hを初期設定
MTU3.TGRA	MTU3.TCNTのカウント周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定
MTU6.TCNT	0000hを初期設定
MTU7.TCNT	0000hを初期設定
MTU6.TGRA	MTU6.TCNTのカウント周期を設定
MTU6.TGRB	MTIOC6B、MTIOC6D端子より出力されるPWM波形の変化点を設定
MTU7.TGRA	MTIOC7A、MTIOC7C端子より出力されるPWM波形の変化点を設定
MTU7.TGRB	MTIOC7B、MTIOC7D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 10.44 に示します。



[1] TSTRA.CST3（TSTRB.CST6）ビット、TSTRA.CST4（TSTRB.CST7）ビットを“0”にクリアし、TCNTのカウント動作を停止してください。
リセット同期PWMモードの設定はMTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）が停止した状態で行ってください。

[2] MTU3（MTU6）のTCR.TPSC[2:0]ビット、TCR.CKEG[1:0]ビットでMTU3（MTU6）のカウントクロックソースとクロックエッジを設定してください。
TCR.CCLR[2:0]ビットでカウンタクリア要因をTGRAのコンペアマッチに設定してください。

[3] ブラシレスDCモータ用の制御をする場合、TGCRA.BDCビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。（MTU3、MTU4使用時のみ）

[4] MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）は“0000h”としてください。

[5] MTU3.TGRA（MTU6.TGRA）は周期レジスタです。MTU3.TGRA（MTU6.TGRA）にはPWM周期を設定してください。
MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）にはPWM出力変化タイミングを設定してください。ただし、設定値はMTU3.TCNT（MTU6.TCNT）とコンペアマッチする範囲で設定してください。

X≦MTU3.TGRA（X：設定値）

[6] TOCR1A（TOCR1B）レジスタのPSYEビットでPWM周期に同期したトグル出力の許可／禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。TOCR2A（TOCR2B）レジスタ、TOLBRA（TOLBRB）レジスタによりPWM出力レベルの設定をバッファ動作で行う場合は、「タイマアウトプットレベルバッファレジスタ（TOLBRA、TOLBRB）」を参照してください。

[7] MTU3.TMDR1（MTU6.TMDR1）レジスタのMD[3:0]ビットを1000bにセットしてリセット同期PWMモードと、必要に応じてMTU3.TGRA（MTU6.TGRA）レジスタのバッファ動作（BFA = 1）、MTU3.TGRB（MTU6.TGRB）レジスタのバッファ動作（BFB = 1）を設定してください。MTU4.TMDR1（MTU7.TMDR1）レジスタには初期値（通常動作、BFA = 0、BFB = 0）を設定してください。

[8] TOERA（TOERB）レジスタでPWM出力端子の出力の許可／禁止を設定してください。その後、MTU3.TIORH（MTU6.TIORH）、MTU3.TIORL（MTU6.TIORL）、MTU4.TIORH（MTU7.TIORH）、MTU4.TIORL（MTU7.TIORL）レジスタに“00h”を設定してください。

[9] 汎用入出力ポートのポートモードレジスタ（PMR）とPmn端子機能制御レジスタ（PmnPFS）を設定してください。

[10] TSTRA.CST3（TSTRB.CST6）ビットを“1”にして、カウント動作を開始してください。

注. X = MTU3.TGRA（MTU6.TGRA）すなわち周期 = デューティ比の設定を行うと出力波形はMTU3.TCNT（MTU6.TCNT）= MTU3.TGRA（MTU6.TGRA）= Xのポイントでトグル動作します。

図 10.44　リセット同期 PWM モードの設定手順例

(2)　リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 10.45 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT（MTU6.TCNT と MTU7.TCNT）はアップカウンタとして動作します。MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）とコンペアマッチするとカウンタはクリアされ 0000h からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

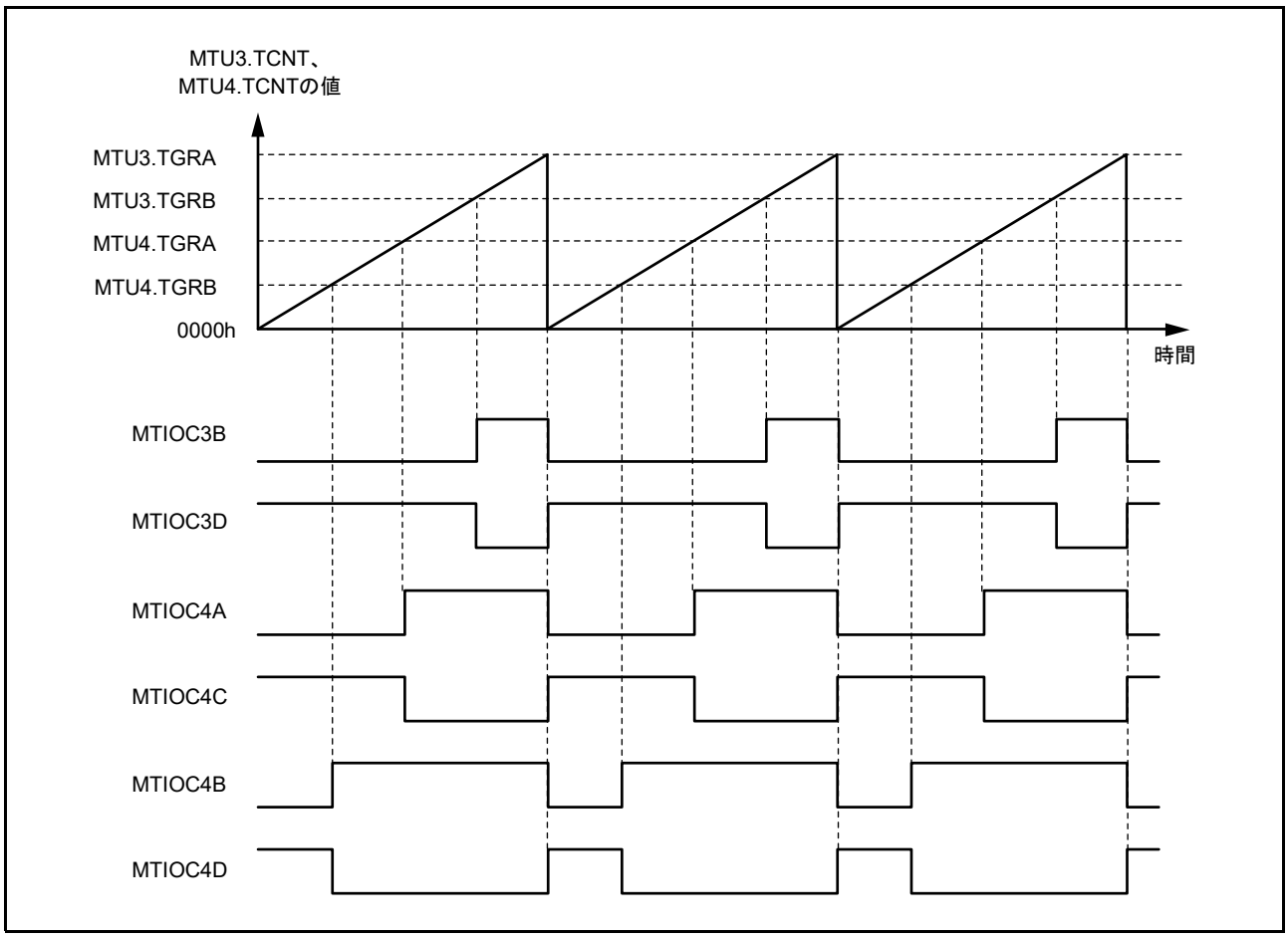


図 10.45　リセット同期 PWM モードの動作例
（MTU3、MTU4、TOCR1A の OLSN ＝ 1、OLSP ＝ 1 にした場合）

10.3.8　相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 および MTU6、MTU7 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D 端子は PWM 出力端子となり、MTIOC3A、MTIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT、MTU6.TCNT、MTU7.TCNT はアップカウンタ／ダウンカウンタとして機能します。

使用される PWM 出力端子を**表 10.74** に、使用するレジスタの設定を**表 10.75** に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表10.74　相補PWMモード時の出力端子

チャネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または汎用入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3C	汎用入出力ポート（注1）
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形出力）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形出力）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形出力）
MTU6	MTIOC6A	PWM周期に同期したトグル出力（または汎用入出力ポート）
	MTIOC6B	PWM出力端子4
	MTIOC6C	汎用入出力ポート（注1）
	MTIOC6D	PWM出力端子4'（PWM出力4の逆相波形出力）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5の逆相波形出力）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6の逆相波形出力）

注1.　MTIOC3C、MTIOC6C端子は相補PWMモード時、タイマ入出力端子に設定しないでください。

表10.75　相補PWMモード時のレジスタ設定(1/2)

チャネル	カウンタ／レジスタ	説明	CPUからの読み出し／書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERAレジスタの設定によりマスク可能（注1）
	TGRA	MTU3.TCNTの上限値を設定（キャリア周期の1/2＋デッドタイム）	TRWERAレジスタの設定によりマスク可能（注1）
	TGRB	PWM出力1のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能（注1）
	TGRC	MTU3.TGRAのバッファレジスタ	読み出し／書き込み可能
	TGRD	PWM出力1／MTU3.TGRBのバッファレジスタ	読み出し／書き込み可能
	TGRE	MTU3.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
MTU4	TCNT	0000hを初期設定しカウントアップスタート	TRWERAレジスタの設定によりマスク可能（注1）
	TGRA	PWM出力2のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能（注1）
	TGRB	PWM出力3のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能（注1）
	TGRC	PWM出力2／MTU4.TGRAのバッファレジスタ	読み出し／書き込み可能
	TGRD	PWM出力3／MTU4.TGRBのバッファレジスタ	読み出し／書き込み可能
	TGRE	MTU4.TGRAのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
	TGRF	MTU4.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
MTU6	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERBレジスタの設定によりマスク可能（注2）
	TGRA	MTU6.TCNTの上限値を設定（キャリア周期の1/2＋デッドタイム）	TRWERBレジスタの設定によりマスク可能（注2）
	TGRB	PWM出力4のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能（注2）
	TGRC	MTU6.TGRAのバッファレジスタ	読み出し／書き込み可能
	TGRD	PWM出力4／MTU6.TGRBのバッファレジスタ	読み出し／書き込み可能
	TGRE	MTU6.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
MTU7	TCNT	0000hを初期設定しカウントアップスタート	TRWERBレジスタの設定によりマスク可能（注2）
	TGRA	PWM出力5のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能（注2）
	TGRB	PWM出力6のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能（注2）
	TGRC	PWM出力5／MTU7.TGRAのバッファレジスタ	読み出し／書き込み可能
	TGRD	PWM出力6／MTU7.TGRBのバッファレジスタ	読み出し／書き込み可能
	TGRE	MTU7.TGRAのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能
	TGRF	MTU7.TGRBのバッファレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み可能

注1.　TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可／禁止が可能です。
注2.　TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可／禁止が可能です。

表10.76　相補PWMモード時のレジスタ設定(2/2)

カウンタ／レジスタ	説明	CPUからの読み出し／書き込み
タイマデッドタイムデータレジスタA（TDDRA）	MTU4.TCNTとMTU3.TCNTのオフセット値（デッドタイムの値）を設定	TRWERAの設定によりマスク可能（注1）
タイマデッドタイムデータレジスタB（TDDRB）	MTU7.TCNTとMTU6.TCNTのオフセット値（デッドタイムの値）を設定	TRWERBの設定によりマスク可能（注2）
タイマ周期データレジスタA（TCDRA）	MTU4.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERAの設定によりマスク可能（注1）
タイマ周期データレジスタB（TCDRB）	MTU7.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERBの設定によりマスク可能（注2）
タイマ周期バッファレジスタA（TCBRA）	TCDRAのバッファレジスタ	読み出し／書き込み可能
タイマ周期バッファレジスタB（TCBRB）	TCDRBのバッファレジスタ	読み出し／書き込み可能
サブカウンタA（TCNTSA）	デッドタイム生成のためのサブカウンタA	読み出しのみ可能
サブカウンタB（TCNTSB）	デッドタイム生成のためのサブカウンタB	読み出しのみ可能
テンポラリレジスタ1A（TEMP1A）	PWM出力1／MTU3.TGRBのテンポラリレジスタA	読み出し／書き込み不可能
テンポラリレジスタ1B（TEMP1B）	PWM出力1／MTU3.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可能
テンポラリレジスタ2A（TEMP2A）	PWM出力2／MTU4.TGRAのテンポラリレジスタA	読み出し／書き込み不可能
テンポラリレジスタ2B（TEMP2B）	PWM出力2／MTU4.TGRAのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可能
テンポラリレジスタ3A（TEMP3A）	PWM出力3／MTU4.TGRBのテンポラリレジスタA	読み出し／書き込み不可能
テンポラリレジスタ3B（TEMP3B）	PWM出力3／MTU4.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可能
テンポラリレジスタ4A（TEMP4A）	PWM出力4／MTU6.TGRBのテンポラリレジスタA	読み出し／書き込み不可能
テンポラリレジスタ4B（TEMP4B）	PWM出力4／MTU6.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可能
テンポラリレジスタ5A（TEMP5A）	PWM出力5／MTU7.TGRAのテンポラリレジスタA	読み出し／書き込み不可能
テンポラリレジスタ5B（TEMP5B）	PWM出力5／MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可能
テンポラリレジスタ6A（TEMP6A）	PWM出力6／MTU7.TGRBのテンポラリレジスタA	読み出し／書き込み不可能
テンポラリレジスタ6B（TEMP6B）	PWM出力6／MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し／書き込み不可能

注1.　TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可／禁止が可能です。
注2.　TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可／禁止が可能です。

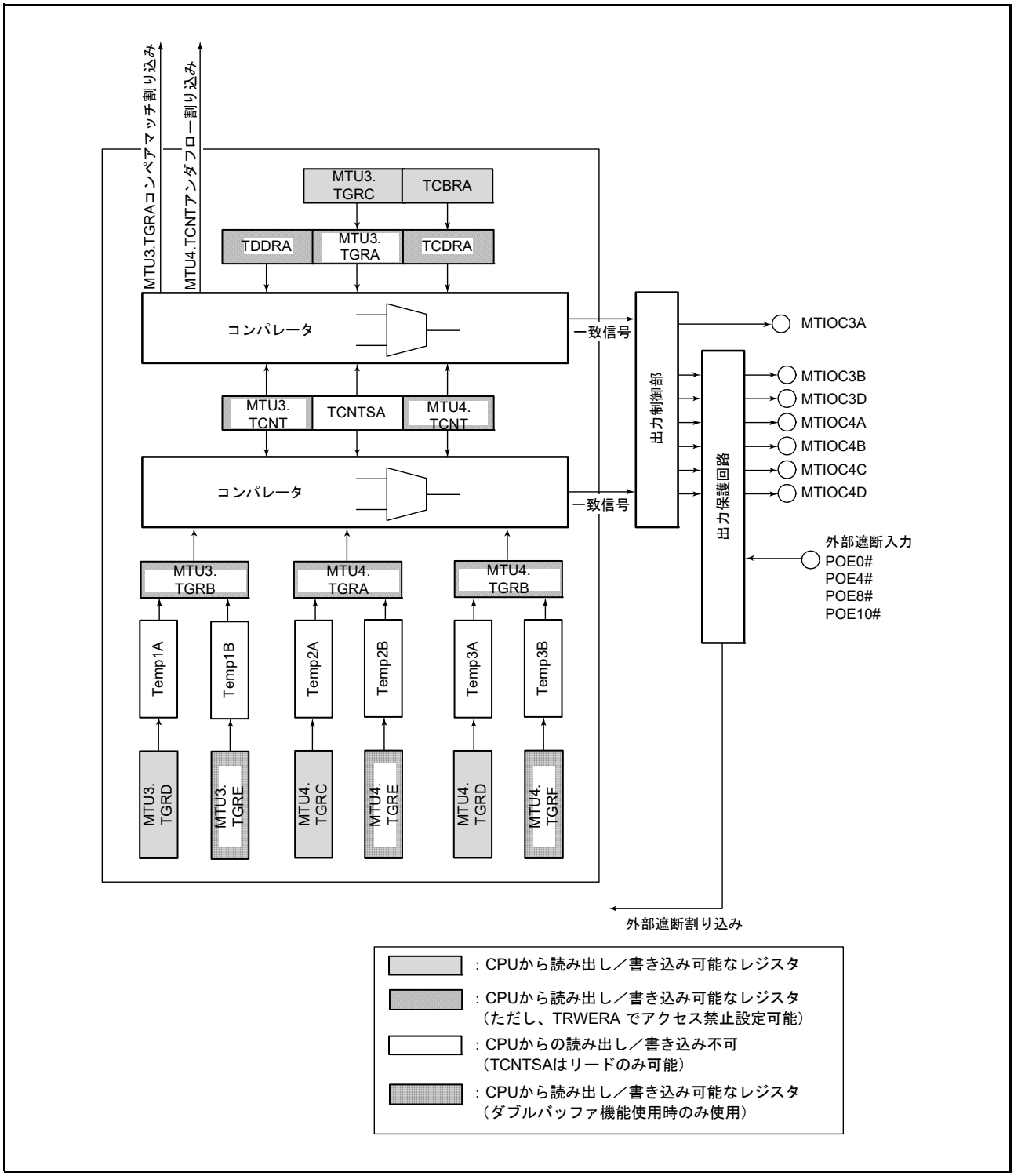


図 10.46　相補 PWM モード時の MTU3、MTU4 ブロック図

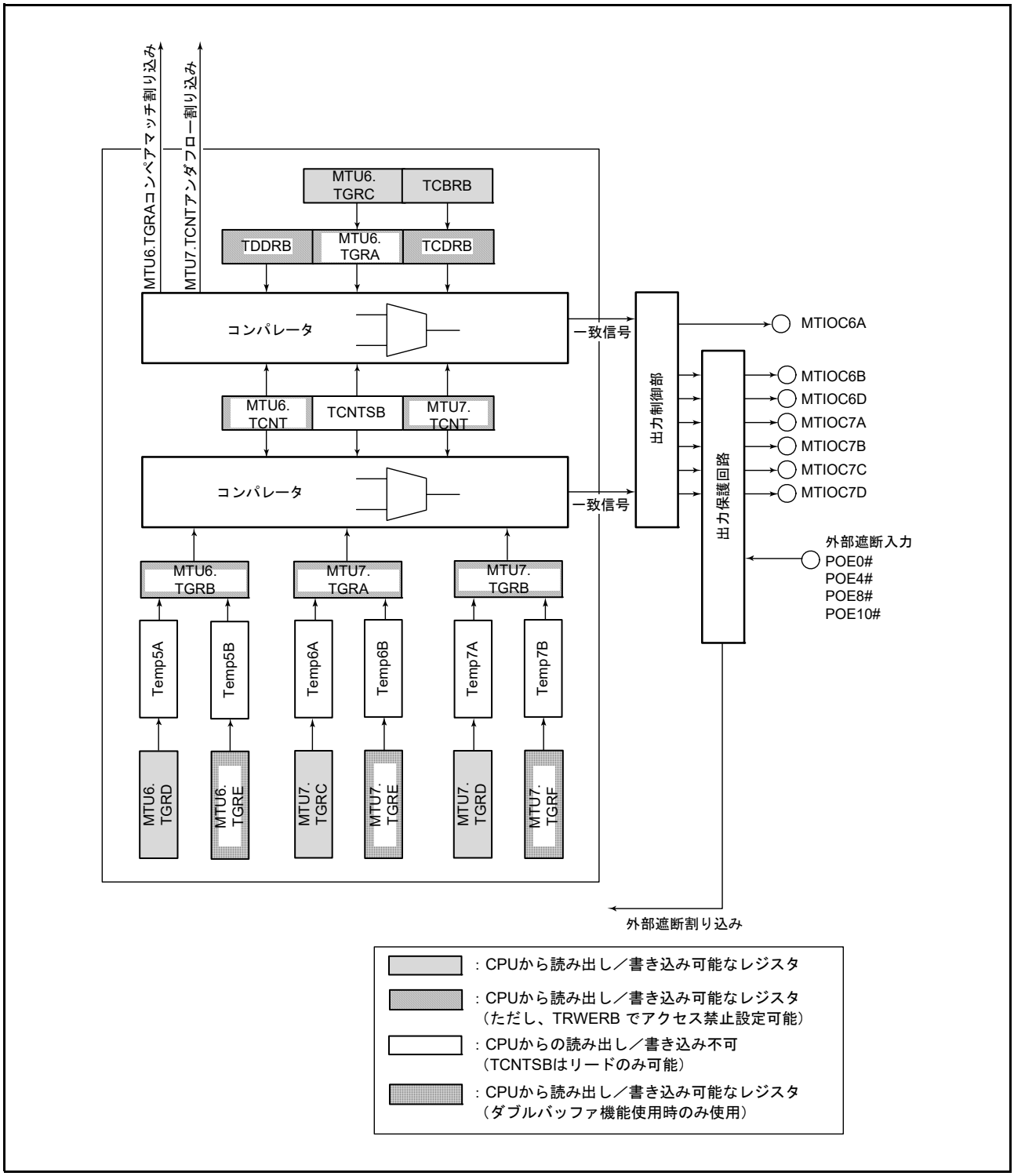
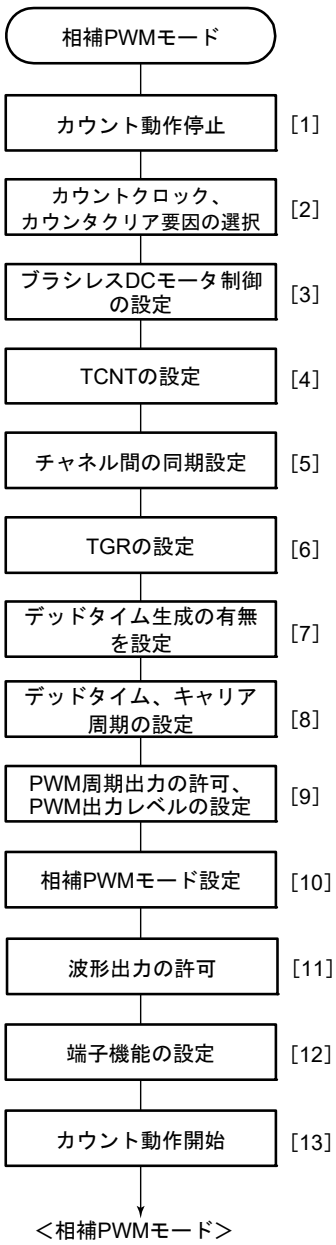


図 10.47　相補 PWM モード時の MTU6、MTU7 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 10.48 に示します。



[1] TSTRA.CST3（TSTRB.CST6）ビット、TSTRA.CST4（TSTRB.CST7）ビットを“0”にクリアし、TCNTのカウント動作を停止してください。
相補PWMモードの設定はMTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）が停止した状態で行ってください。

[2] MTU3, MTU4（MTU6, MTU7）のTCR.TPSC[2:0], CKEG[1:0]ビットでMTU3, MTU4（MTU6, MTU7）に同一のカウントクロックソースとクロックエッジを設定してください。
TCR.CCLR[2:0]ビットは相補PWMモードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ設定してください。

[3] ブラシレスDCモータ用の制御をする場合、TGCRA.BDCビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。（MTU3、MTU4使用時のみ）

[4] MTU3.TCNT（MTU6.TCNT）にはデッドタイムを設定してください。MTU4.TCNT（MTU7.TCNT）は“0000h”としてください。

[5] 相補PWMモードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ設定してください。このときTSYRA（TSYRB）レジスタでMTU3, MTU4（MTU6, MTU7）と同期クリア発生するチャネルを同期させてください。

[6] MTU3、MTU6使用時は、PWM出力のデューティをデューティレジスタ（MTU3.TGRB, MTU4.TGRA, MTU4.TGRB）とバッファレジスタ（MTU3.TGRD, MTU4.TGRC, MTU4.TGRD）に設定します。バッファレジスタ（MTU3.TGRD, MTU4.TGRC, MTU4.TGRD）にもデューティレジスタ（MTU3.TGRB, MTU4.TGRA, MTU4.TGRB）と同じ値を設定してください。
またダブルバッファ機能使用時のみ、バッファレジスタ（MTU3.TGRE, MTU4.TGRE, MTU4.TGRF）に、PWM出力のデューティ値-1を設定してください。
MTU6, MTU7使用時は、以下のレジスタに設定してください。
デューティレジスタ（MTU6.TGRB, MTU7.TGRA, MTU7.TGRB）
バッファレジスタ（MTU6.TGRD, MTU7.TGRC, MTU7.TGRD）
ダブルバッファ機能使用時のバッファレジスタ（MTU6.TGRE, MTU7.TGRE, MTU7.TGRF）

[7] デッドタイムを生成しない場合のみ設定してください。TDERA（TDERB）レジスタでデッドタイムを生成しないを選択します。

[8] TDDRA（TDDRB）レジスタにデッドタイムを設定し、TCDRA（TCDRB）レジスタ、TCBRA（TCBRB）レジスタにPWM周期の1/2を、MTU3.TGRA（MTU6.TGRA）とMTU3.TGRC（MTU6.TGRC）にPWM周期の1/2にデッドタイム分加えた値を設定してください。
デッドタイムを生成しない設定をした場合は、TDDRA（TDDRB）レジスタに"1"を、MTU3.TGRA（MTU6.TGRA）とMTU3.TGRC（MTU6.TGRC）にPWM周期の1/2+1を設定してください。

[9] TOCR1A（TOCR1B）のPSYEビットでPWM周期に同期したトグル出力の許可/禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。
TOCR2A（TOCR2B）レジスタ、TOLBRA（TOLBRB）レジスタにより、PWM出力レベルの設定をバッファ動作で行う場合は、「10.2.24　タイマアウトプットレベルバッファレジスタ（TOLBRA、TOLBRB）」を参照してください。

[10] MTU3.TMDR1（MTU6.TMDR1）で相補PWMモードと、MTU3.TGRA（MTU6.TGRA）レジスタのバッファ動作（BFA=1）、MTU3.TGRB（MTU6.TGRB）レジスタのバッファ動作（BFB=1）を選択してください。
ダブルバッファ機能使用時のみ、TMDR2A（TMDR2B）レジスタでダブルバッファ機能を有効に選択してください。

[11] TOERA（TOERB）レジスタでPWM出力端子の出力の許可/禁止を設定してください。その後、MTU3.TIORH（MTU6.TIORH）、MTU3.TIORL（MTU6.TIORL）、MTU4.TIORH（MTU7.TIORH）、MTU4.TIORL（MTU7.TIORL）レジスタに"00h"を設定してください。

[12] 汎用入出力ポートのポートモードレジスタ（PMR）とPmn端子機能制御レジスタ（PmnPFS）を設定してください。

[13] TSTRA.CST3（TSTRB.CST6）ビット、TSTRA.CST4（TSTRB.CST7）ビットを同時に“1”にして、カウント動作を開始してください。

図 10.48　相補 PWM モードの設定手順例

(2)　相補 PWM モードの動作概要

相補 PWM モードでは、6 相（正相 3 本、逆相 3 本）の PWM 出力が可能です。**図 10.49** に相補 PWM モードのカウンタの動作（MTU3、MTU4）を示します。**図 10.50** に相補 PWM モードの動作例を示します。

(a)　カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）レジスタの 3 本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT（MTU6.TCNT）は、相補 PWM モードに設定され TSTRA（TSTRB）の CST3 ビットが “0” のとき、TDDRA（TDDRB）に設定された値が自動的に初期値として設定されます。CST3 ビットが “1” になると、MTU3.TGRA（MTU6.TGRA）に設定された値までアップカウント動作を行い、MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。その後、MTU4.TCNT（MTU7.TCNT）が 0000h と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT（MTU7.TCNT）には、初期値として 0000h を設定します。CST4 ビットが “1” に設定されると、MTU3.TCNT（MTU6.TCNT）に同期して動作しアップカウントを行い、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとダウンカウントに切り替わります。この後、0000h と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTSA（TCNTSB）は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がアップカウント時、MTU3.TCNT（MTU6.TCNT）が TCDRA（TCDRB）と一致するとダウンカウントを開始し、MTU3.TCNT（MTU6.TCNT）が MTU3.TGRA（MTU6.TGRA）と一致するとアップカウントに切り替わります。

また、MTU4.TCNT（MTU7.TCNT）と TDDRA（TDDRB）が一致すると TCNTSA（TCNTSB）は MTU3.TGRA（MTU6.TGRA）の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がダウンカウント時、MTU4.TCNT（MTU7.TCNT）が TDDRA（TDDRB）と一致するとアップカウントを開始し、MTU4.TCNT（MTU7.TCNT）が 0000h と一致するとダウンカウントに切り替わります。

また、MTU3.TCNT（MTU6.TCNT）と TCDRA（TCDRB）が一致すると TCNTSA（TCNTSB）は 0000h にクリアされ、カウントを停止します。

TCNTSA（TCNTSB）は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

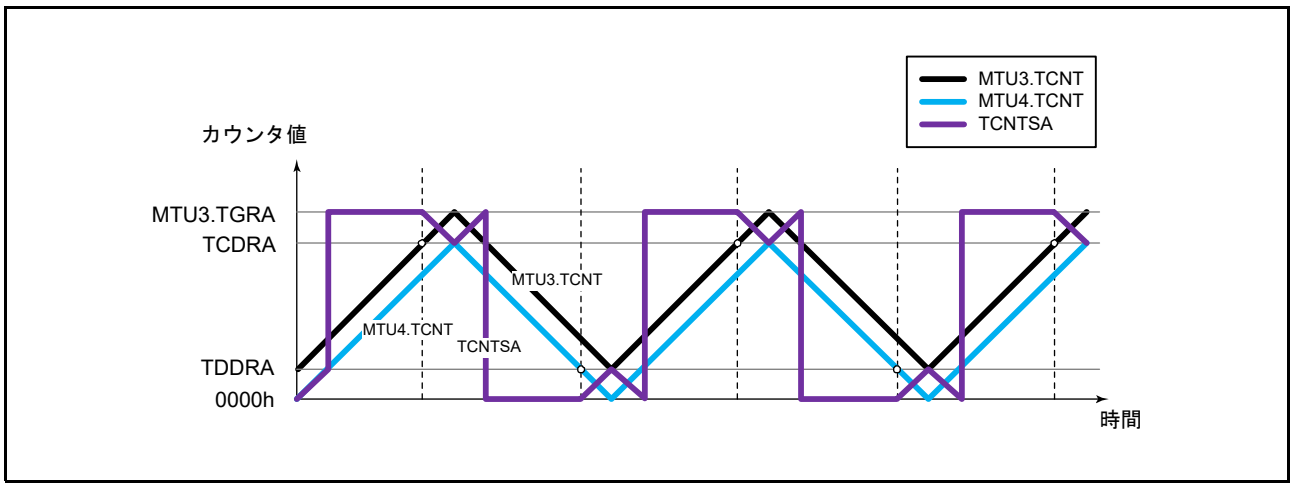


図 10.49　　相補 PWM モードのカウント動作 (MTU3、MTU4)

(b)　レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用して、PWM 出力のデューティ制御を行います。**図 10.50** に相補 PWM モードの動作例（MTU3、MTU4）を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB（MTU6.TGRB、MTU7.TGRA、MTU7.TGRB）です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ（TOCR1A、TOCR1B）の OLSN、OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD（MTU6.TGRD、MTU7.TGRC、MTU7.TGRD）です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF（MTU6.TGRE、MTU7.TGRE、MTU7.TGRF）も使用されます。動作の詳細は**「10.3.8　(2)　(s)　相補 PWM モードのダブルバッファ機能」**を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、読み出し／書き込みが可能です。

バッファレジスタのデータを書き替えする場合は、最後に MTU4.TGRD（MTU7.TGRD）への書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBRA（TCBRB）レジスタ、MTU3.TGRC（MTU6.TGRC）レジスタからテンポラリレジスタへの転送も許可されます。転送は 5 本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後にテンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき（TCNTSA（TCNTSB）がアップカウント時に MTU3.TGRA（MTU6.TGRA）と一致したとき）、または Tb2 区間が終了したとき（TCNTSA（TCNTSB）がダウンカウント時に “0000h” と一致したとき）にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1（TMDR1）の MD[3:0] ビットで選択できます。**図 10.50** は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb（**図 10.50** では Tb1）区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

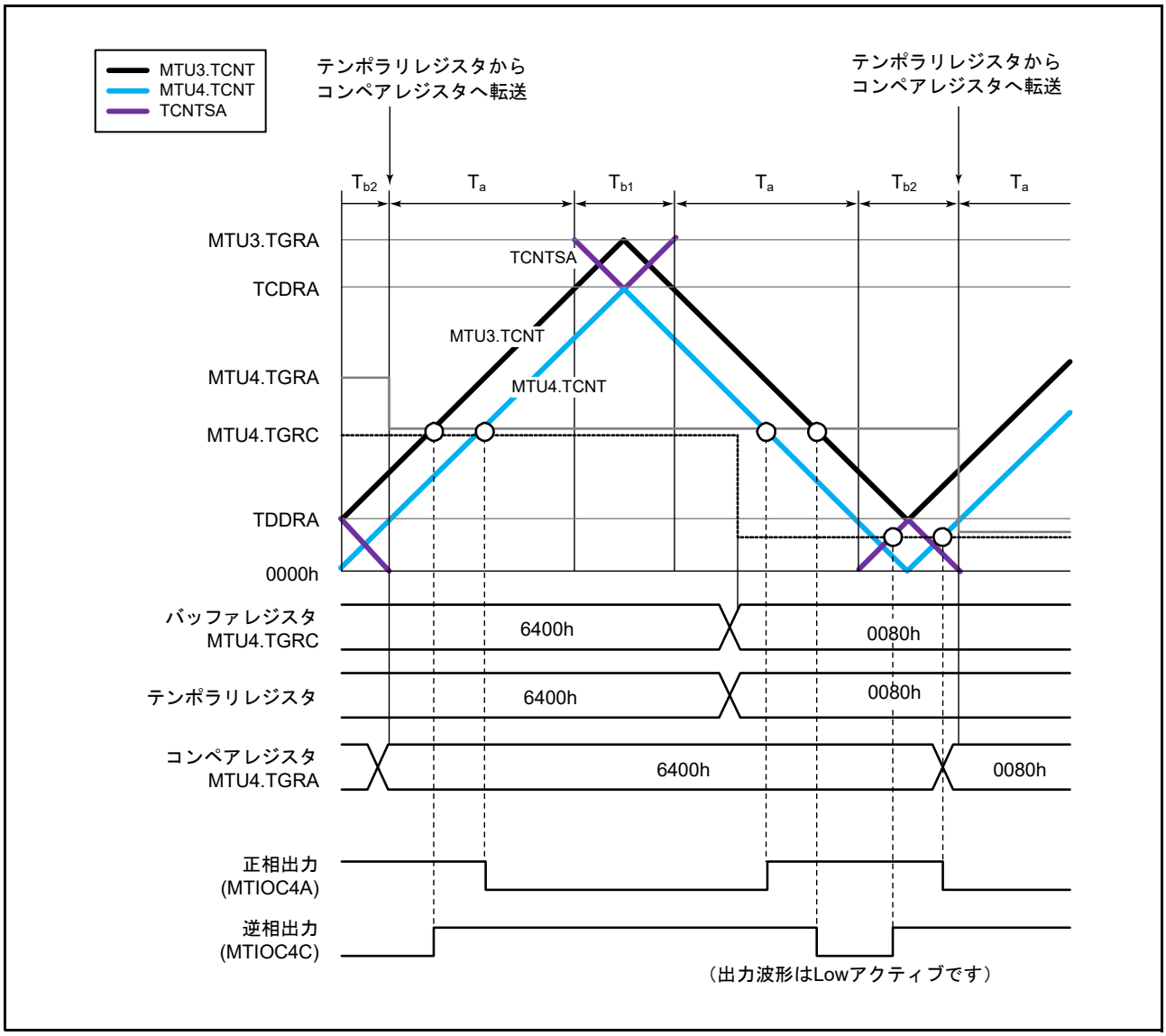


図 10.50　相補 PWM モード動作例（MTU3、MTU4）

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 9 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

MTU3.TMDR1.MD[3:0]（MTU6.TMDR1.MD[3:0]）ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TOCR1A、TOCR2A、TOCR1B、TOCR2B レジスタは、PWM 出力レベルを設定します。MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして動作し、PWM 周期の 1/2 ＋デッドタイム Td を設定します。タイマ周期バッファレジスタ（TCBRA、TCBRB）は、タイマ周期データレジスタ（TCDRA、TCDRB）のバッファレジスタとして動作し、PWM 周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ（TDDRA、TDDRB）には、デッドタイム Td を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ（TDERA、TDERB）の TDER ビットを “0” にし、MTU3.TGRC、MTU3.TGRA（MTU6.TGRC、MTU6.TGRA）には、PWM キャリア周期の 1/2+1 を、TDDRA（TDDRB）を “1” にします。

バッファレジスタ A（MTU3.TGRD、MTU4.TGRC、MTU4.TGRD（MTU6.TGRD、MTU7.TGRC、MTU7.TGRD））の 3 本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B（MTU3.TGRE、MTU4.TGRE、MTU4.TGRF（MTU6.TGRE、MTU7.TGRE、MTU7.TGRF））の 3 本には、ダブルバッファ機能使用時のみ、それぞれ PWM デューティの初期値－ 1 を設定します。

TDDRA（TDDRB）を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT（MTU7.TCNT）は、相補 PWM モードに設定する前に 0000h にしてください。

表 10.77　初期設定の必要なレジスタとカウンタ

レジスタ／カウンタ	設定値
TOCR1A、TOCR2A、 TOCR1B、TOCR2B	PWM出力レベルを設定
MTU3.TGRC MTU6.TGRC	PWM周期の1/2＋デッドタイムTd TDERA/TDERBでデッドタイム生成をなしに設定した場合はPWM周期の1/2+1）
TDDRA、TDDRB	デッドタイムTd（TDERA/TDERBでデッドタイム生成をなしに設定した場合“1”）
TCBRA、TCBRB	PWM周期の1/2
MTU3.TGRD、MTU4.TGRC、 MTU4.TGRD MTU6.TGRD、MTU7.TGRC、 MTU7.TGRD	各相のPWMデューティ比の初期値
MTU3.TGRE、MTU4.TGRE、 MTU4.TGRF MTU6.TGRE、MTU7.TGRE、 MTU7.TGRF	各相のPWMデューティ比の初期値－1（ダブルバッファ機能使用時のみ）
MTU4.TCNT MTU7.TCNT	0000h

注 .　MTU3.TGRC（MTU6.TGRC）の設定値は、TCBRA（TCBRB）に設定する PWM 周期の 1/2 の値と TDDRA（TDDRB）に設定するデッドタイム Td の値の和としてください。ただし、TDERA（TDERB）レジスタでデッドタイム生成をなしに設定した場合は、PWM 周期の 1/2 + 1 としてください。

(d)　PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルをタイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2（TOCR2A、TOCR2B）の OLS1P ～ OLS3P、OLS1N ～ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定／変更は、相補 PWM モードを解除した状態で行ってください。

(e)　デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、タイマデッドタイムデータレジスタ（TDDRA、TDDRB）に設定します。TDDRA（TDDRB）に設定した値が、MTU3.TCNT（MTU6.TCNT）のカウンタスタート値となり、MTU3.TCNT（MTU6.TCNT）と MTU4.TCNT（MTU7.TCNT）のノンオーバラップを生成します。TDDRA（TDDRB）の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f)　デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ（TDERA、TDERB）の TDER ビットを “0” にします。TDERA（TDERB）は、TDER ビット＝ 1 の状態で TDER ビットを読んだ後、TDER ビットに “0” を書いたときのみ、“0” にできます。

MTU3.TGRA、MTU3.TGRC（MTU6.TGRA、MTU6.TGRC）には PWM 周期の 1/2+1 を設定し、タイマデッドタイムデータレジスタ（TDDRA、TDDRB）を “1” にします。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 10.51 にデッドタイムを生成しない場合の動作例（MTU3、MTU4）を示します。

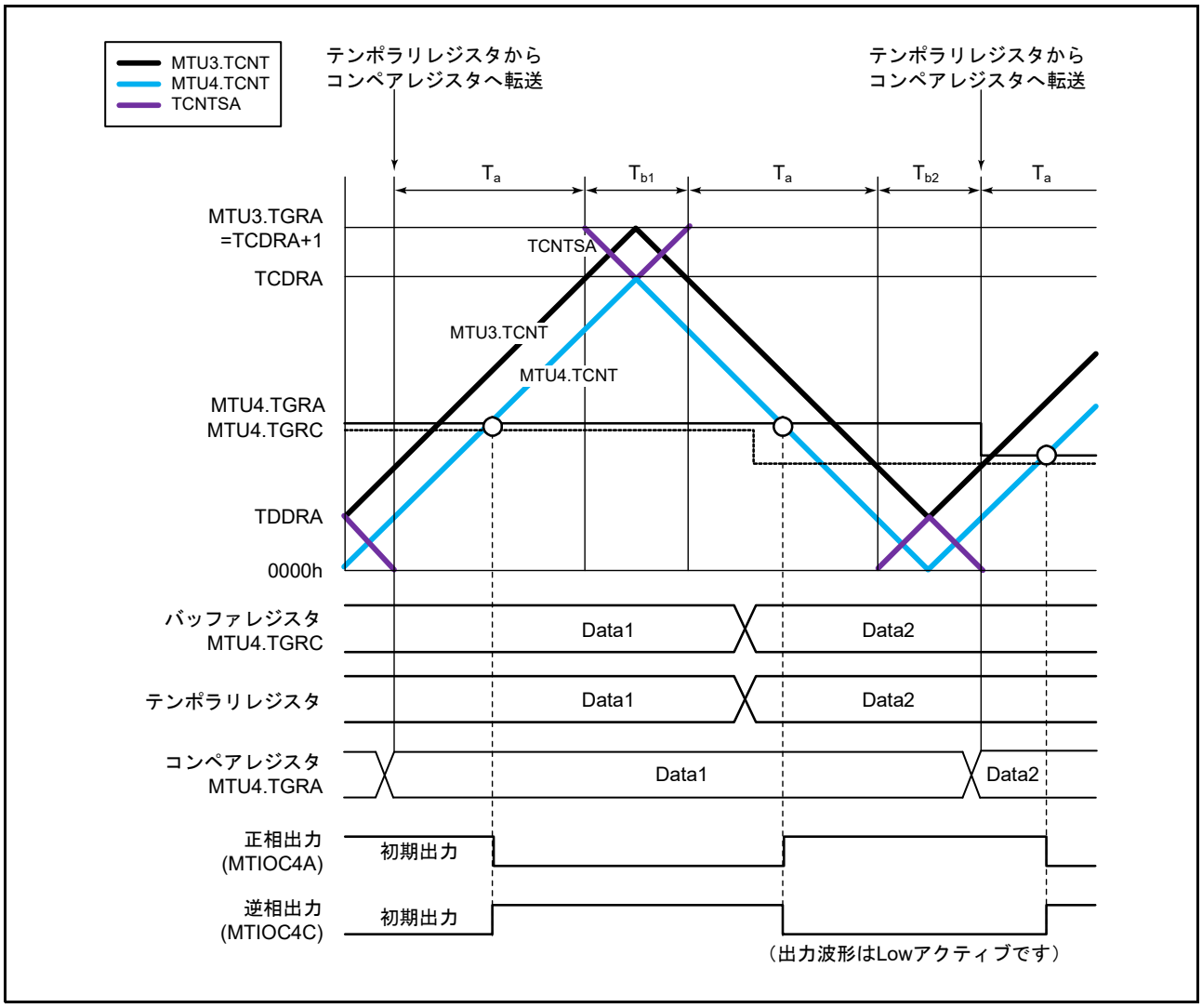


図 10.51　デッドタイムを生成しない場合の動作例（MTU3、MTU4）

(g)　PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT（MTU6.TCNT）の上限値を設定する MTU3.TGRA（MTU6.TGRA）と MTU4.TCNT（MTU7.TCNT）の上限値を設定する TCDRA（TCDRB）の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：MTU3.TGRA（MTU6.TGRA）の設定値＝ TCDRA（TCDRB）の設定値＋ TDDRA（TDDRB）の設定値
デッドタイム生成なし：MTU3.TGRA（MTU6.TGRA）の設定値＝ TCDRA（TCDRB）の設定値＋ 1

また、TCDRA（TCDRB）レジスタと TDDRA（TDDRB）レジスタの関係が、次の関係になるように設定してください。

TCDRA（TCDRB）の設定値＞ TDDRA（TDDRB）の設定値 × 2 + 2

また、MTU3.TGRA、TCDRA（MTU6.TGRA、TCDRB）の設定は、バッファレジスタの MTU3.TGRC、TCBRA（MTU6.TGRC、TCBRB）に値を設定することで行ってください。MTU4.TGRD（MTU7.TGRD）への書き込みを行い転送を許可すると MTU3.TGRC、TCBRA（MTU6.TGRC、TCBRB）に設定した値は、MTU3.TMDR1.MD[3:0]（MTU6.TMDR1.MD[3:0]）ビットで選択した転送タイミングで MTU3.TGRA、TCDRA（MTU6.TGRA、TCDRB）に同時に転送されます。
変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。**図 10.52** に PWM 周期を山で変更する場合の動作例を示します。
なお、各バッファレジスタのデータの更新方法については、次項の「**(h)　レジスタデータの更新**」を参照してください。

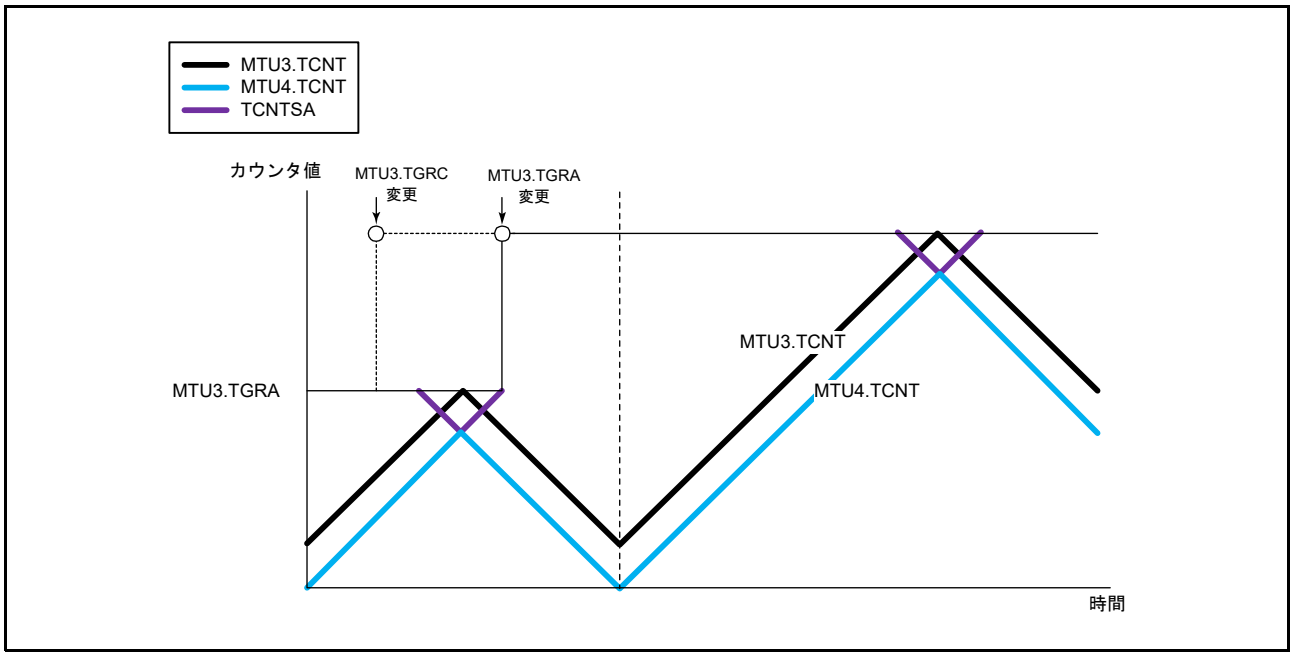


図 10.52　PWM 周期の変更例（MTU3、MTU4）

(h)　レジスタデータの更新

相補 PWM モードで、PWM デューティ用および PWM 周期用のコンペアレジスタ（5 本）のデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA（TCNTSB）がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTSA（TCNTSB）がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA（TCNTSB）が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、MTU3.TMDR1.MD[3:0]（MTU6.TMDR1.MD[3:0]）ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。**図 10.53** に相補 PWM モード時のデータ更新例（MTU3、MTU4）を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD（MTU7.TGRD）への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD（MTU7.TGRD）に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD（MTU7.TGRD）のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD（MTU7.TGRD）に書き込み動作を行ってください。またこのとき、MTU4.TGRD（MTU7.TGRD）に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、**「10.3.8　(2)　(s)　相補 PWM モードのダブルバッファ機能」**を参照してください。

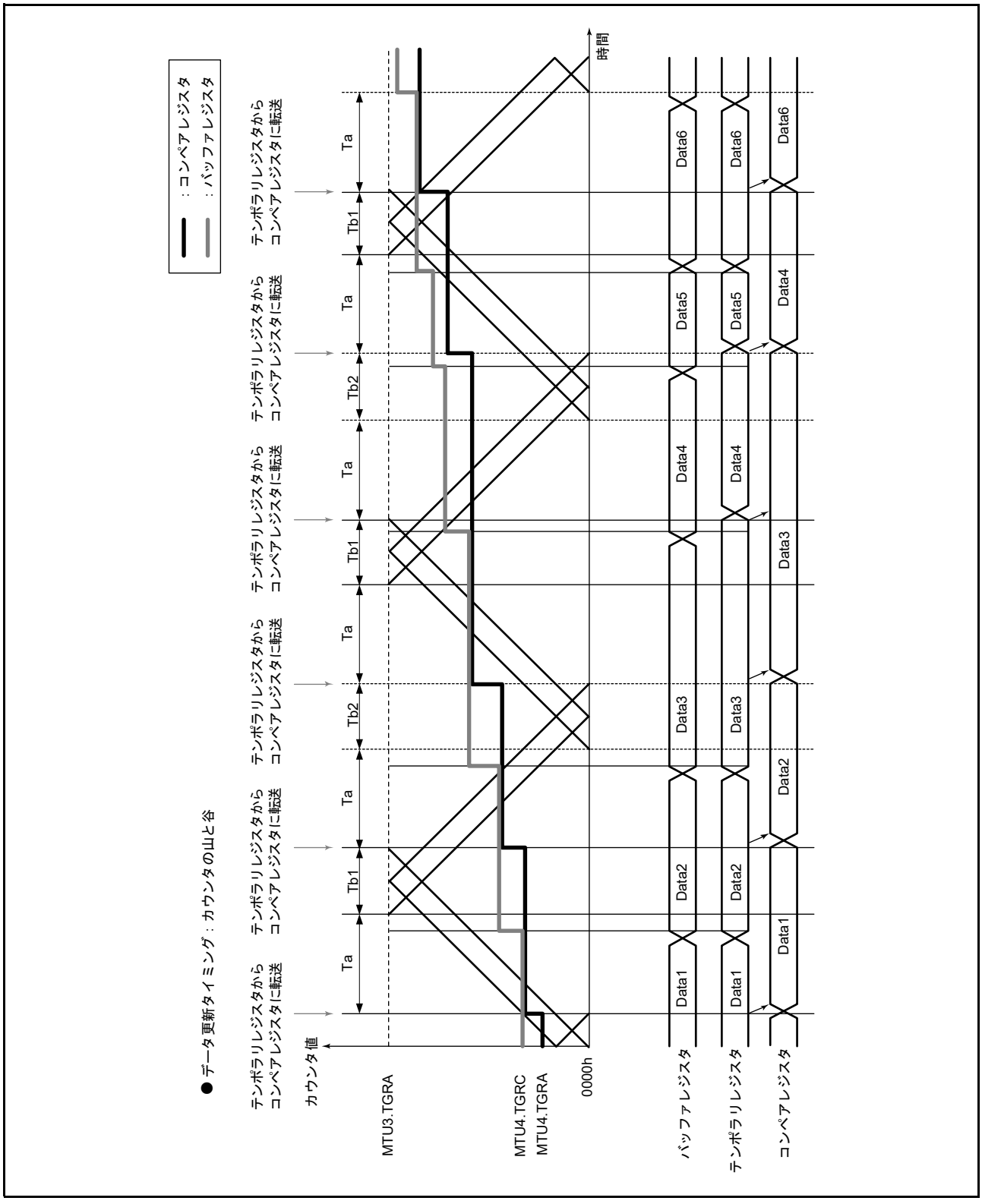


図 10.53　相補 PWM モードのデータ更新例（MTU3、MTU4）

(i)　相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1A（TOCR1B）レジスタの OLSN、OLSP ビットの設定または、TOCR2A（TOCR2B）レジスタの OLS1N ～ OLS3N、OLS1P ～ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、MTU3.TMDR1（MTU6.TMDR1）で相補 PWM モードを設定してから MTU4.TCNT（MTU7.TCNT）が TDDRA（TDDRB）レジスタに設定された値より大きくなるまで出力されます。**図 10.54** に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA（TDDRB）の値より小さい場合の波形例を**図 10.55** に示します。

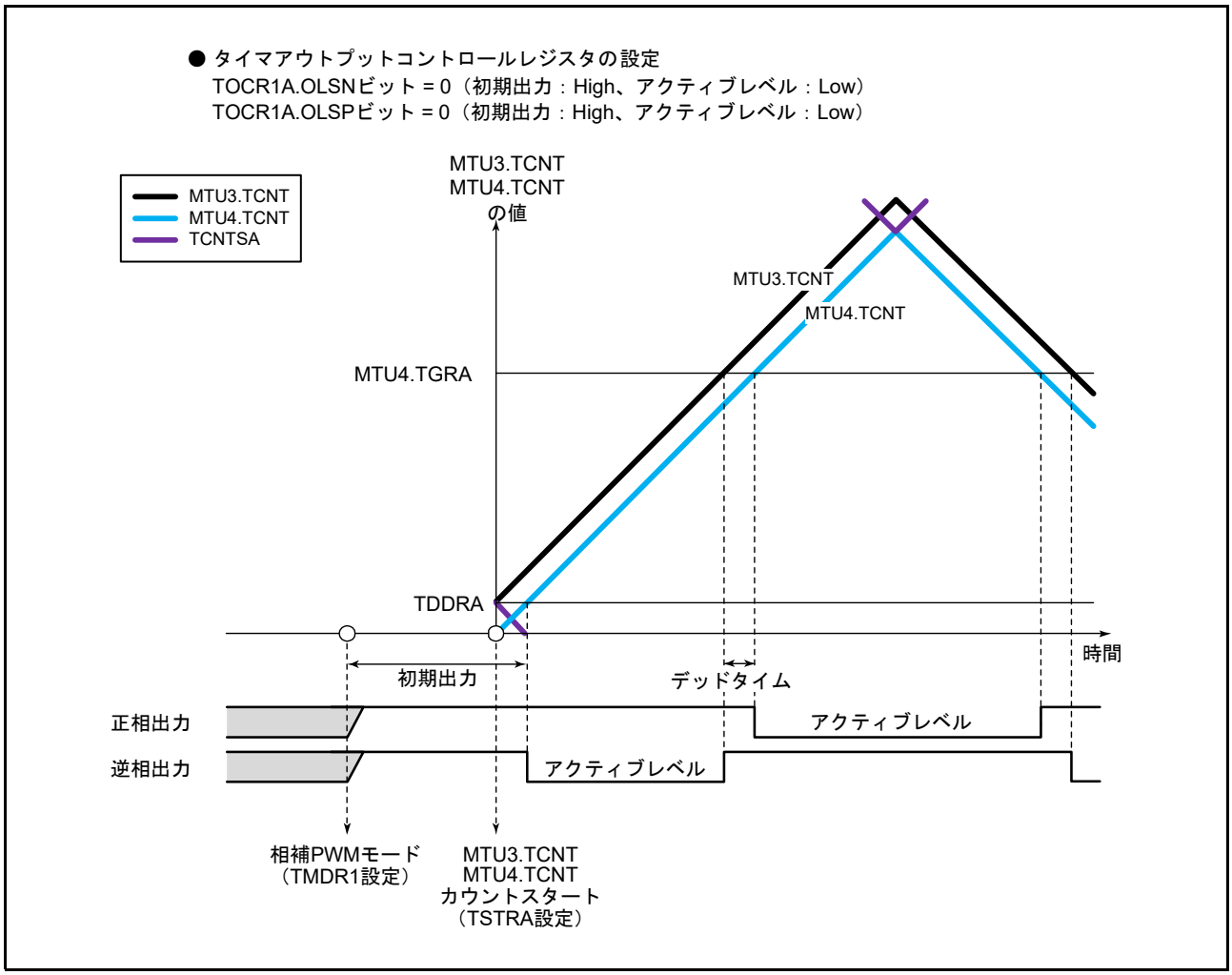


図 10.54　　相補 PWM モードの初期出力例（MTU3、MTU4）（1）

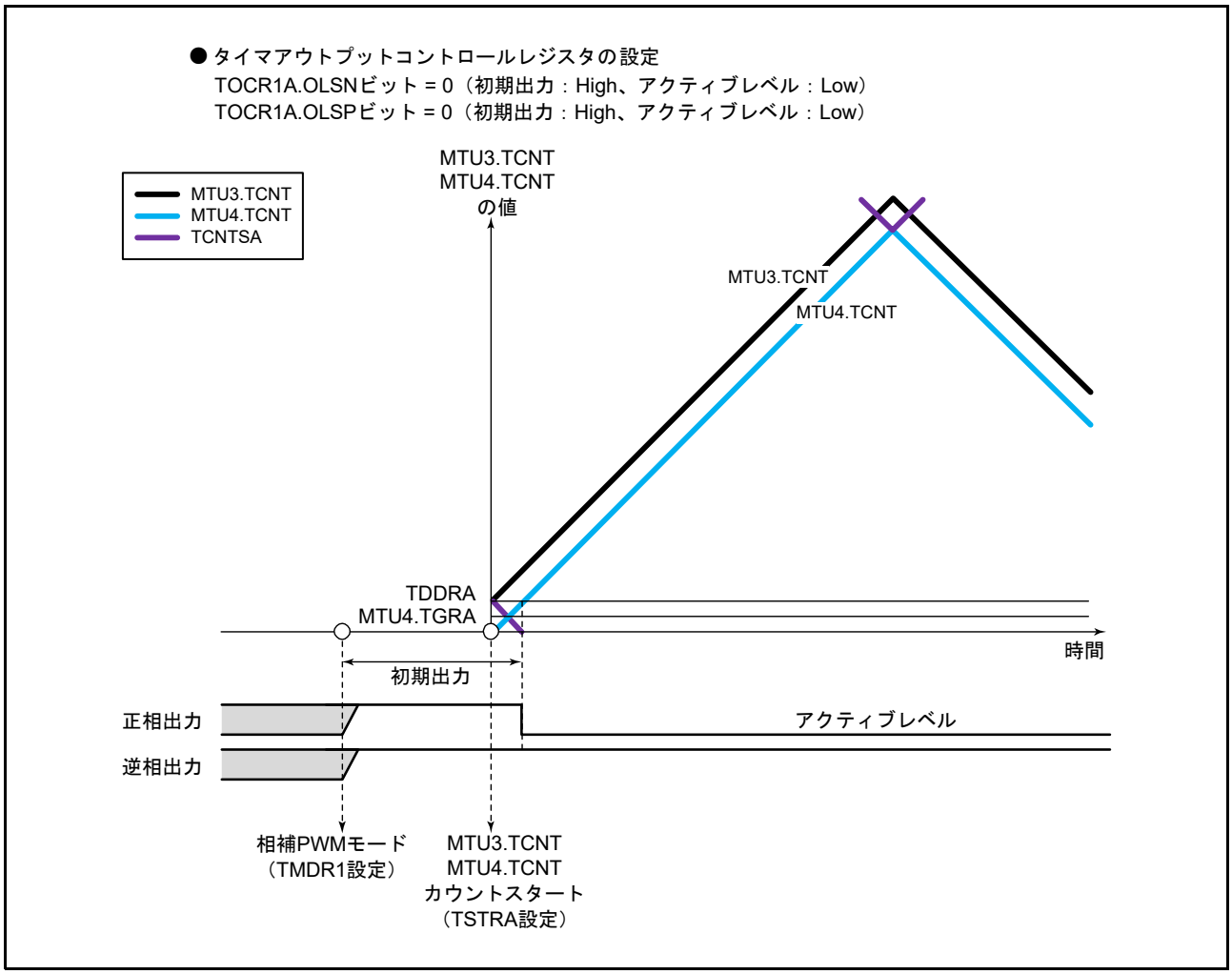


図 10.55　相補 PWM モードの初期出力例（MTU3、MTU4）（2）

(j)　相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは 6 相（正相 3 本、逆相 3 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA（TCNTSB）がカウント動作する期間では、デューティ 0% ～ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相／逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。**図 10.56 ～図 10.58** に相補 PWM モードの波形生成例を示します。

正相／逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、**図 10.56** に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 10.57 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、**図 10.58** に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

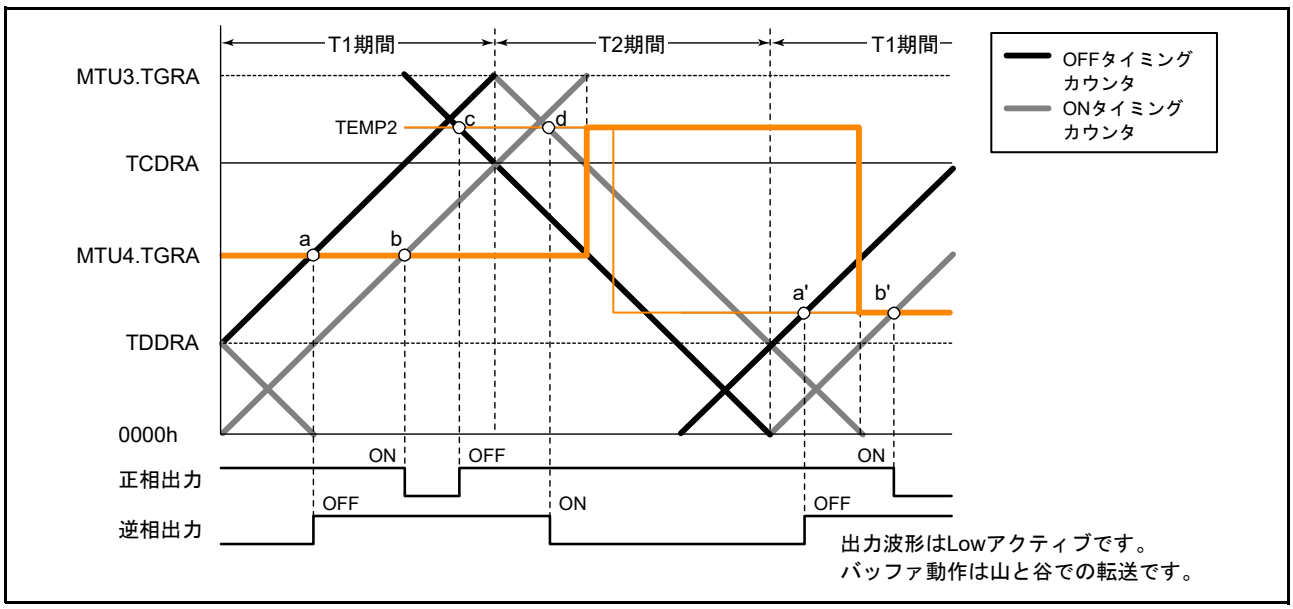


図 10.56　相補 PWM モード波形出力例（MTU3、MTU4）（1）

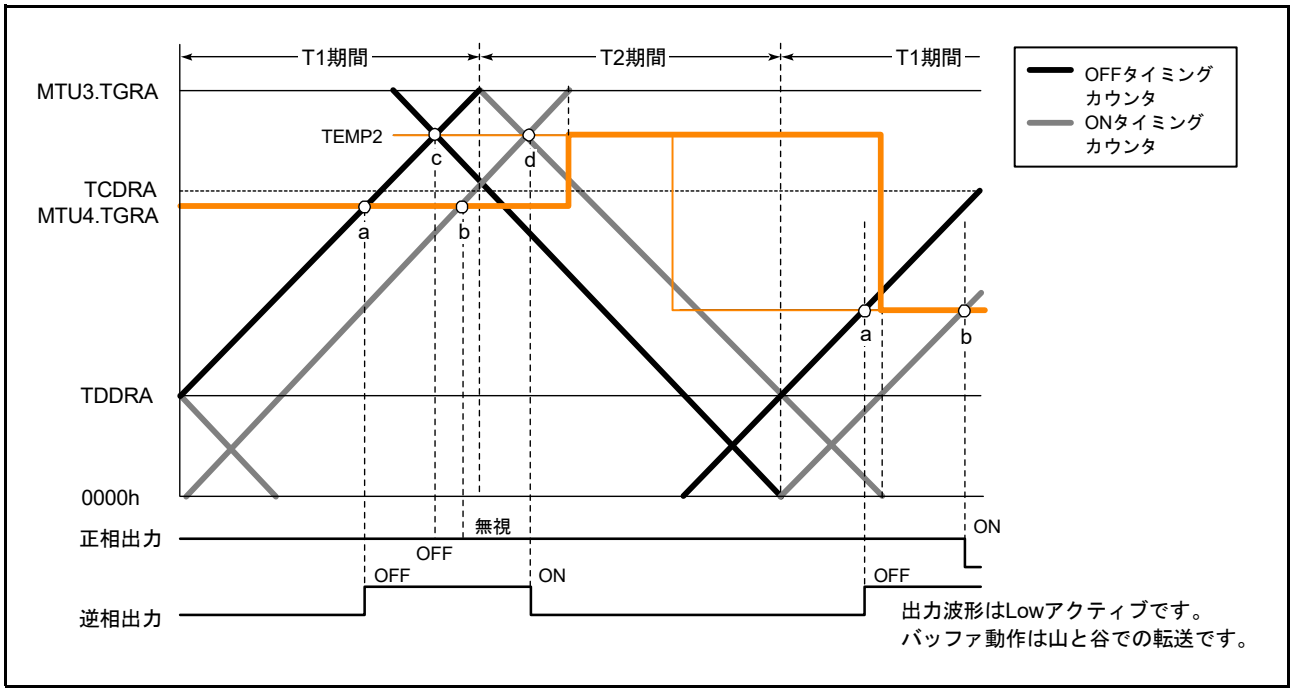


図 10.57　相補 PWM モード波形出力例（MTU3、MTU4）（2）

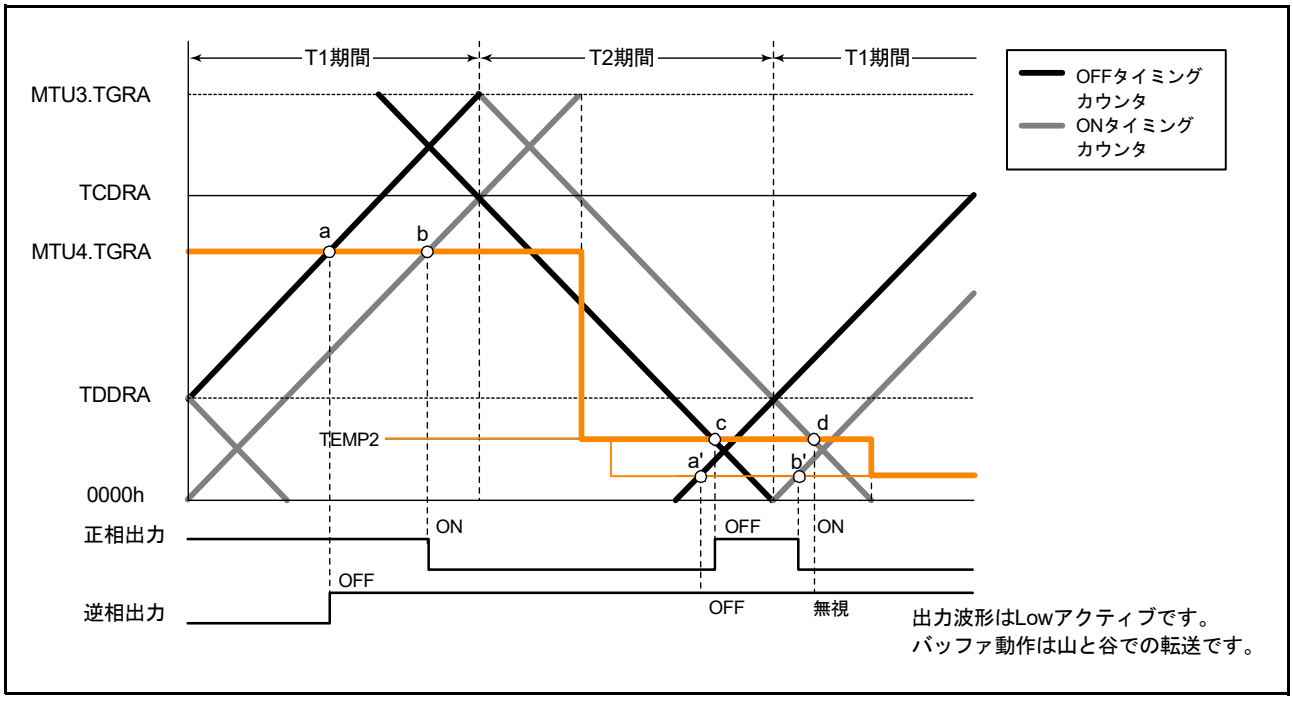


図 10.58　相補 PWM モード波形出力例（MTU3、MTU4）（3）

(k)　相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 10.59 ～図 10.63 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を 0000h にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA（MTU6.TGRA）の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

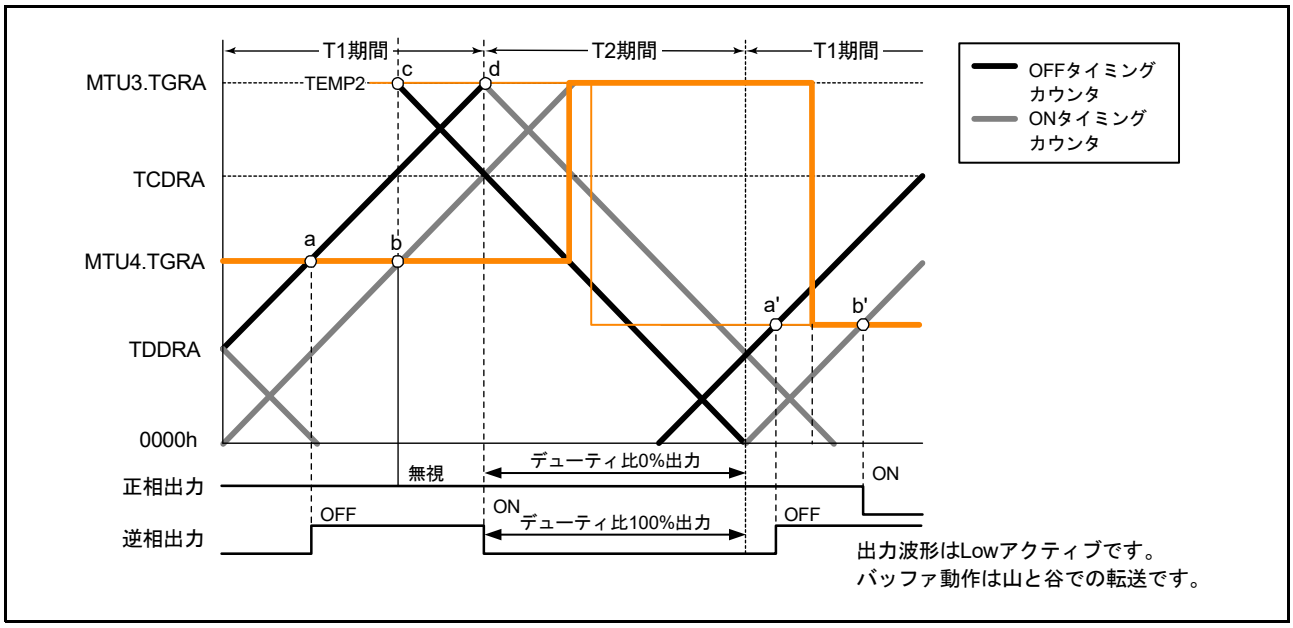


図 10.59　　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（1）

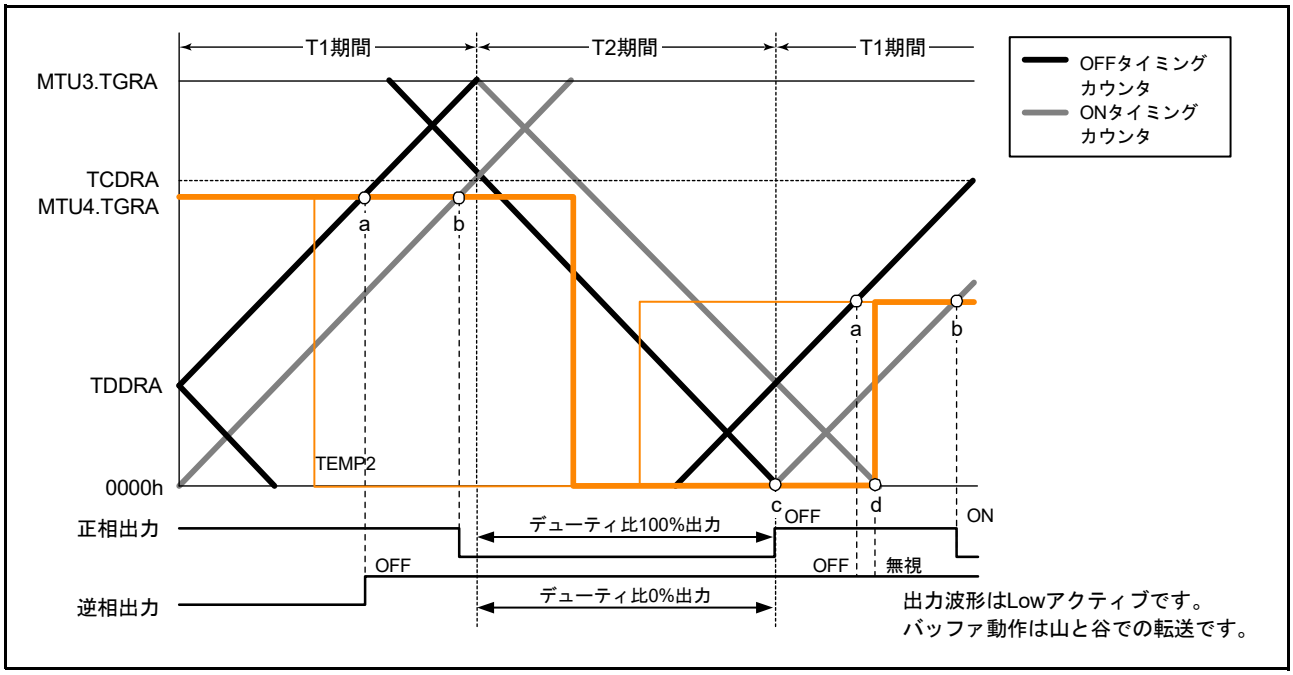


図 10.60　　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（2）

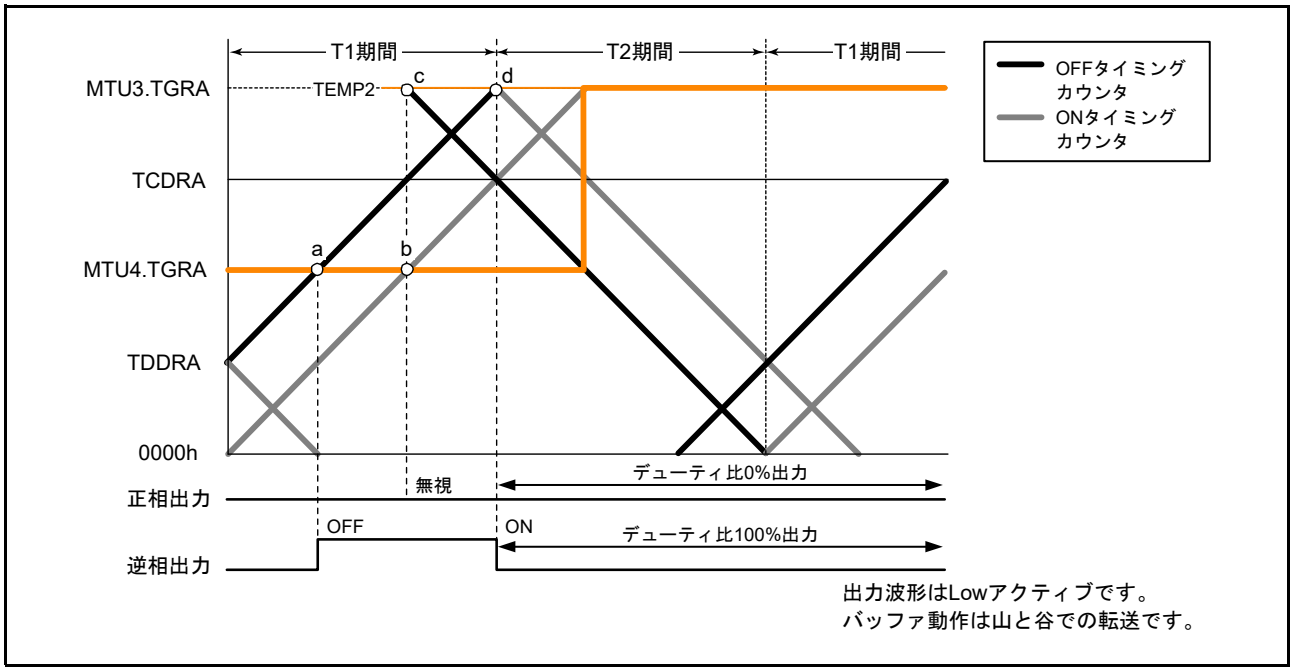


図 10.61　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（3）

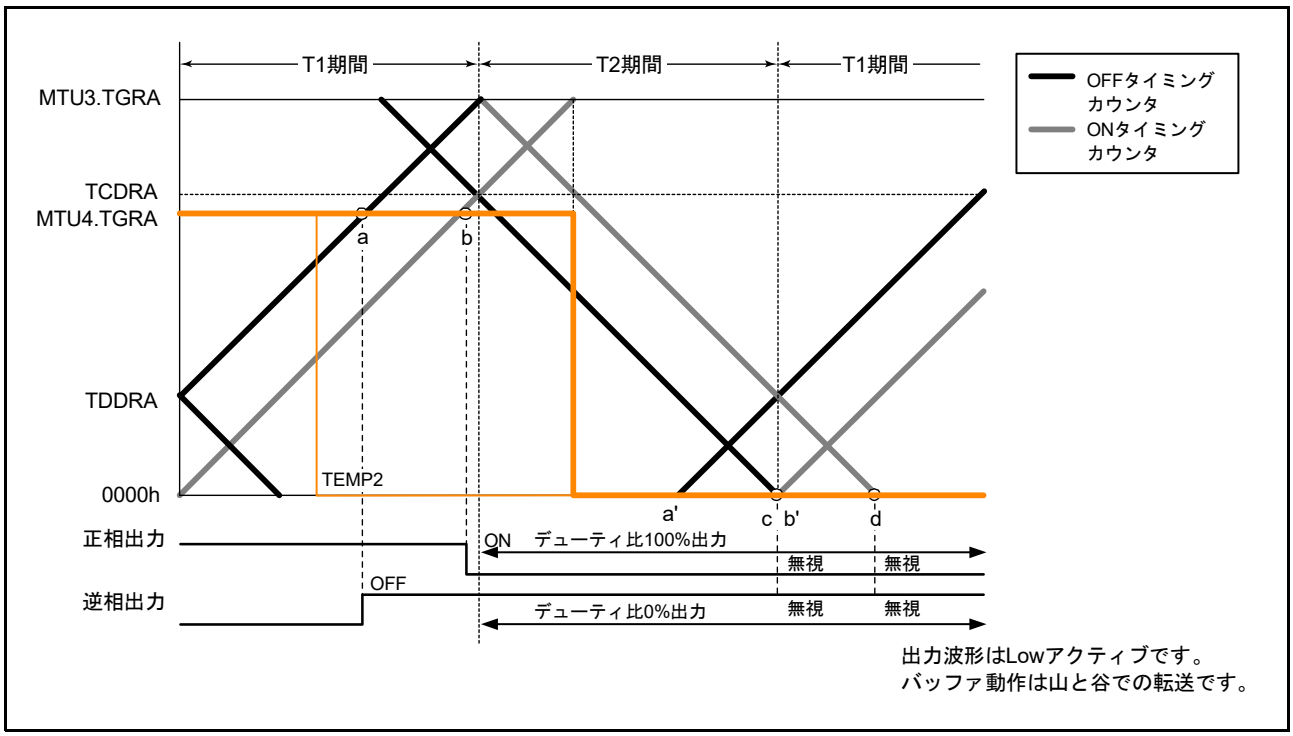


図 10.62　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（4）

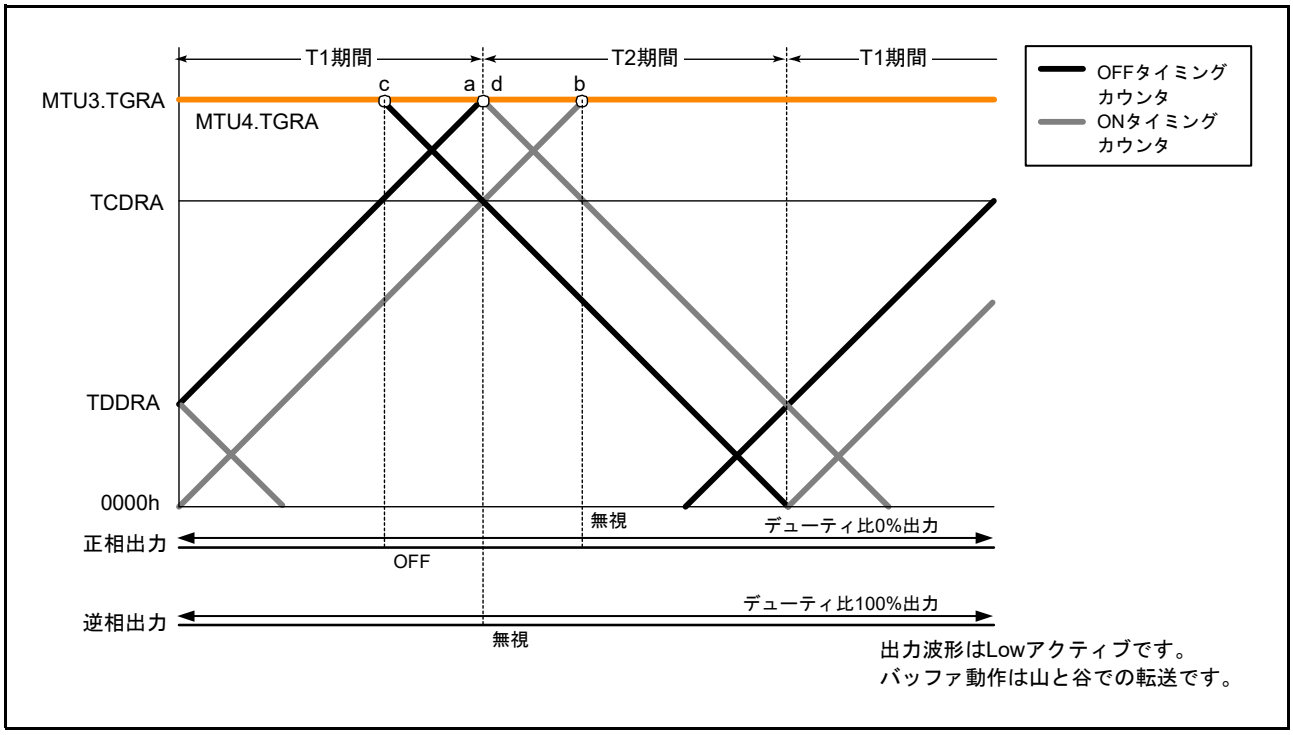


図 10.63　相補 PWM モード 0%、100% 波形出力例（MTU3、MTU4）（5）

(l)　PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1A（TOCR1B）レジスタの PSYE ビットを “1” にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 10.64 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA（MTU6.TCNT と MTU6.TGRA）のコンペアマッチと MTU4.TCNT（MTU7.TCNT）と 0000h のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A（MTIOC6A）端子です。また、初期出力は “High” 出力です。

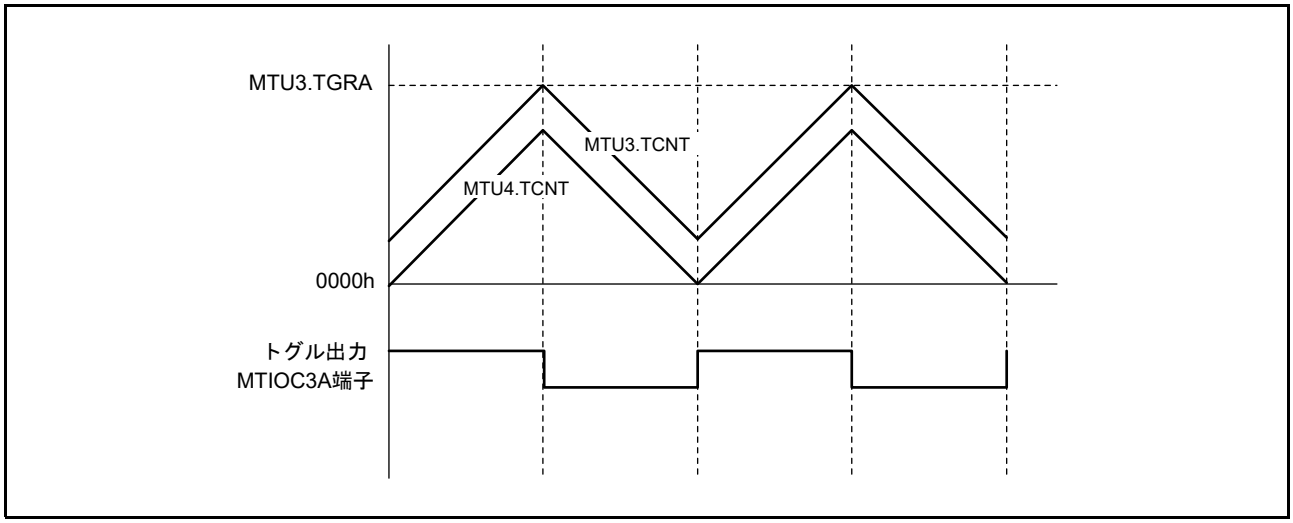


図 10.64　PWM 出力に同期したトグル出力波形例（MTU3、MTU4）

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、TSYRA（TSYRB）レジスタにより他のチャネルとの同期モードに設定し、また MTU3.TCR.CCLR[2:0]（MTU6.TCR.CCLR[2:0]）ビットで同期クリアを選択することにより他のチャネルの要因で MTU3.TCNT、MTU4.TCNT および TCNTSA（MTU6.TCNT、MTU7.TCNT および TCNTSB）をクリアをすることが可能です。

図 10.65 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

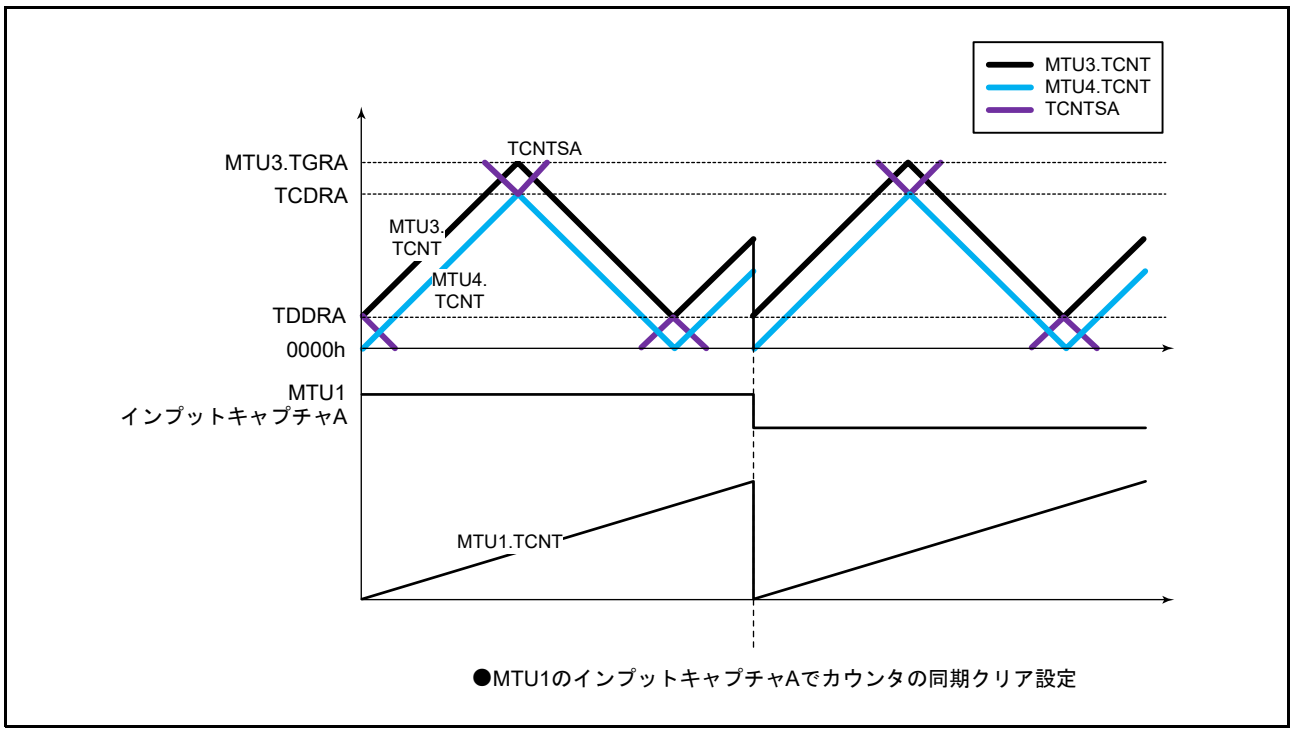


図 10.65　他のチャネルに同期したカウンタクリア（MTU3、MTU4）

(n)　相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA（TWCRB）レジスタの WRE ビットを “1” にすることにより、相補 PWM モードの谷の Tb 区間（Tb2 区間）で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを “1” にすることで初期出力を抑止することができるのは、同期クリアが**図 10.66** の⑩、⑪のような Tb2 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A（TOCR1B）レジスタの OLSN ビット、OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、**図 10.66** の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4 － MTU6、MTU7 のどちらでも使用することができます。MTU3、MTU4 － MTU6、MTU7 のカウンタクリア要因はそれぞれ、MTU3、MTU4 では MTU0 ～ MTU2 からの同期クリア、MTU6、MTU7 では MTU0 ～ MTU2 のコンペアマッチ／インプットキャプチャです。

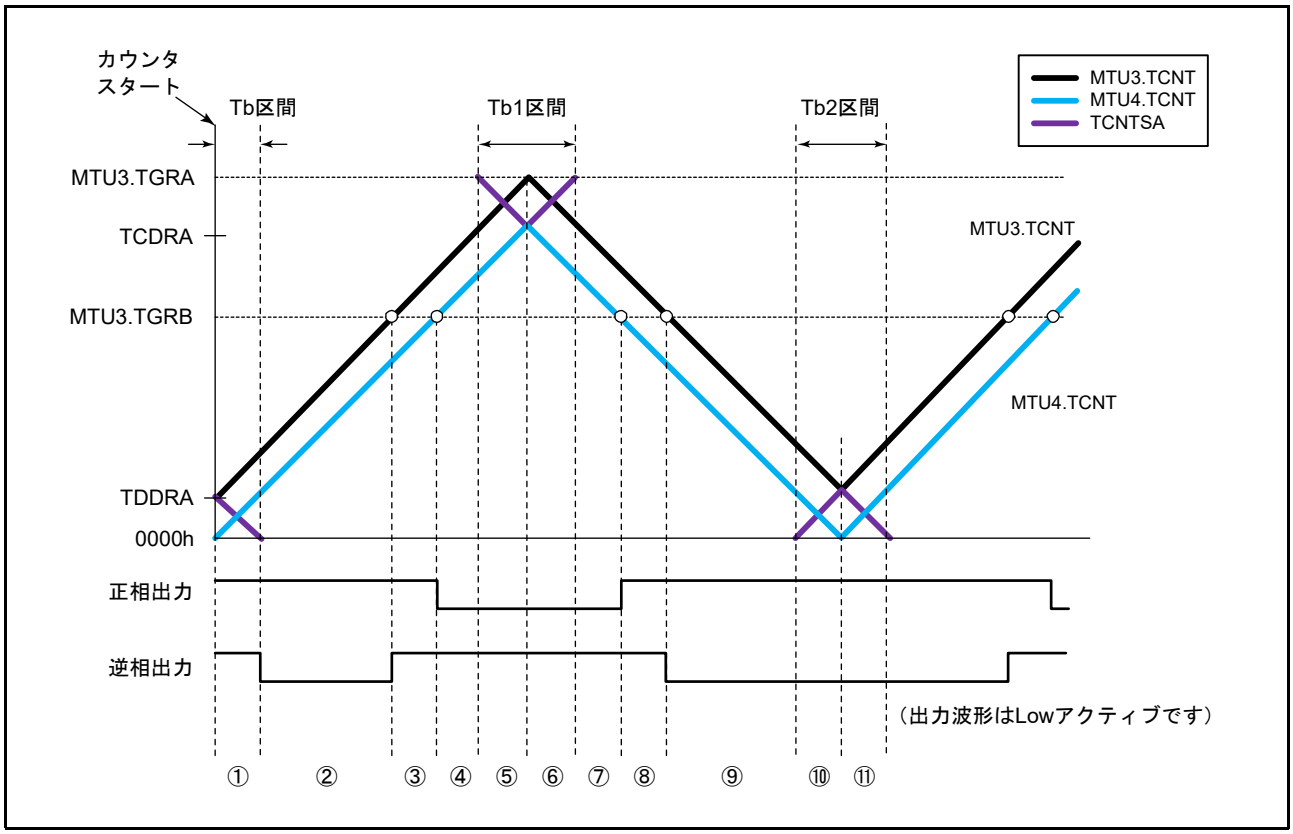


図 10.66　　同期カウンタクリアタイミング（MTU3、MTU4）

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例
  相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 10.67 に示します。

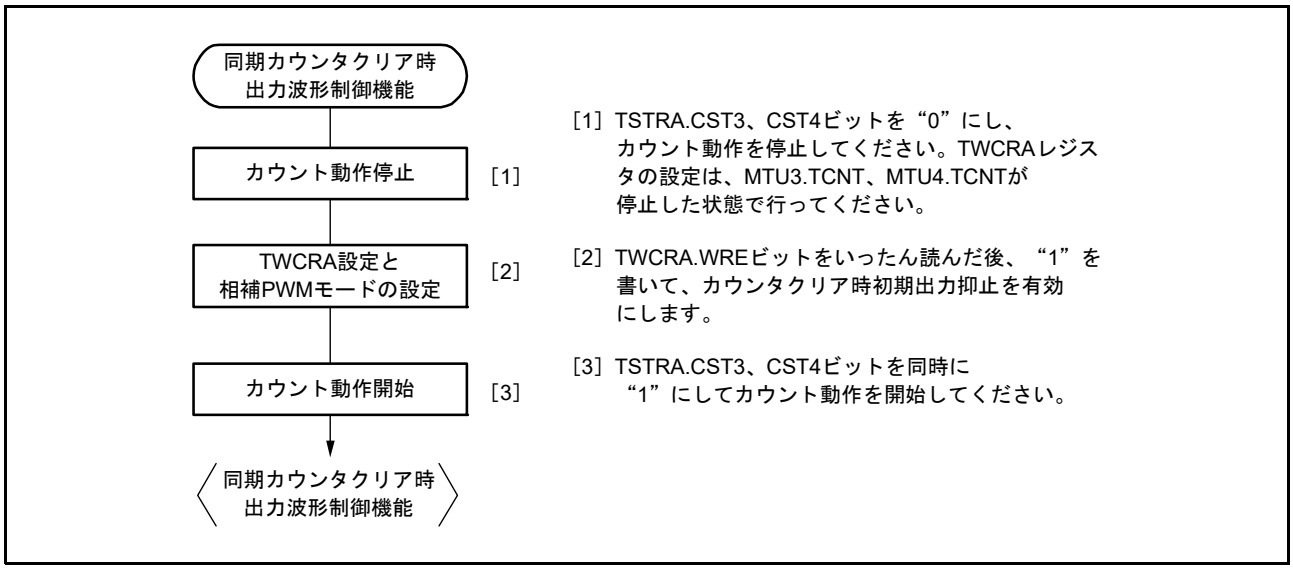


図 10.67　相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例（MTU3、MTU4）

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 10.68 ～図 10.71 に、TWCRA.WRE ビットを “1” にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 10.68 ～図 10.71 の同期カウンタクリアのタイミングは、それぞれ図 10.66 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU6、MTU7 では TWCRB.SCC ビットを “0”、WRE ビットを “1” にした状態で MTU6、MTU7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

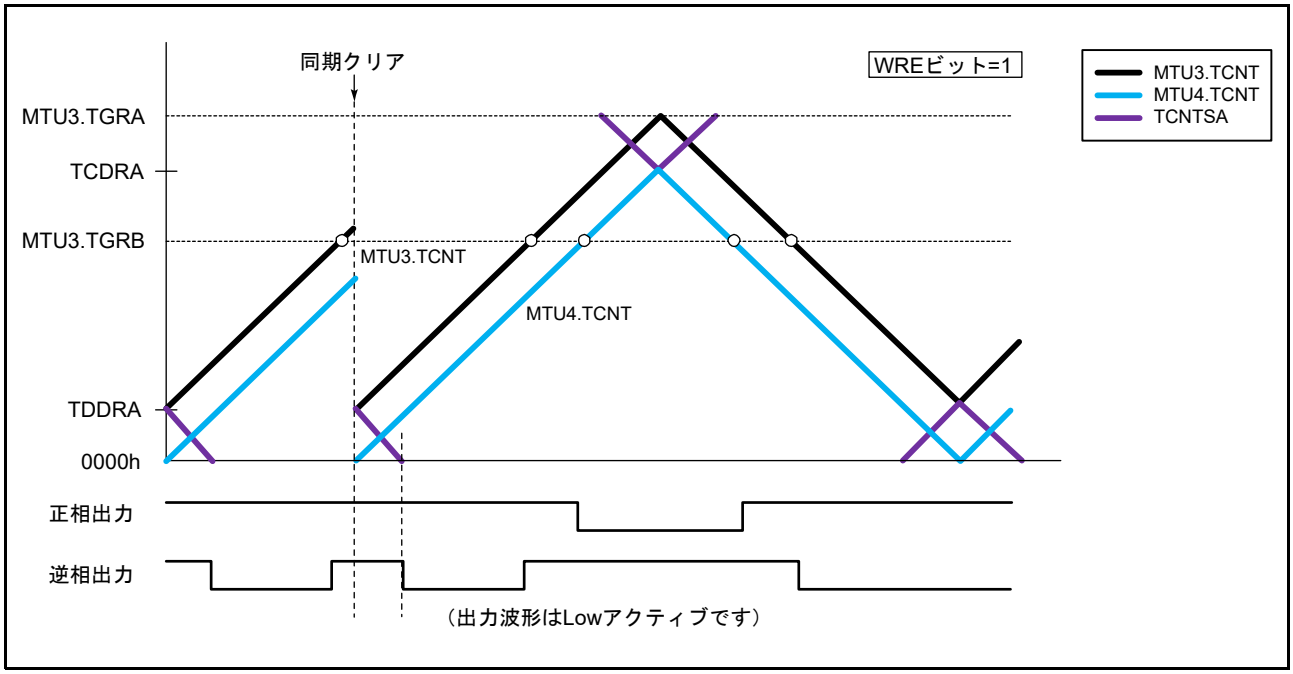


図 10.68　アップカウント中のデッドタイム時に同期クリアが発生した場合
（図 10.66 のタイミング③、TWCRA レジスタの WRE ビット＝ 1）

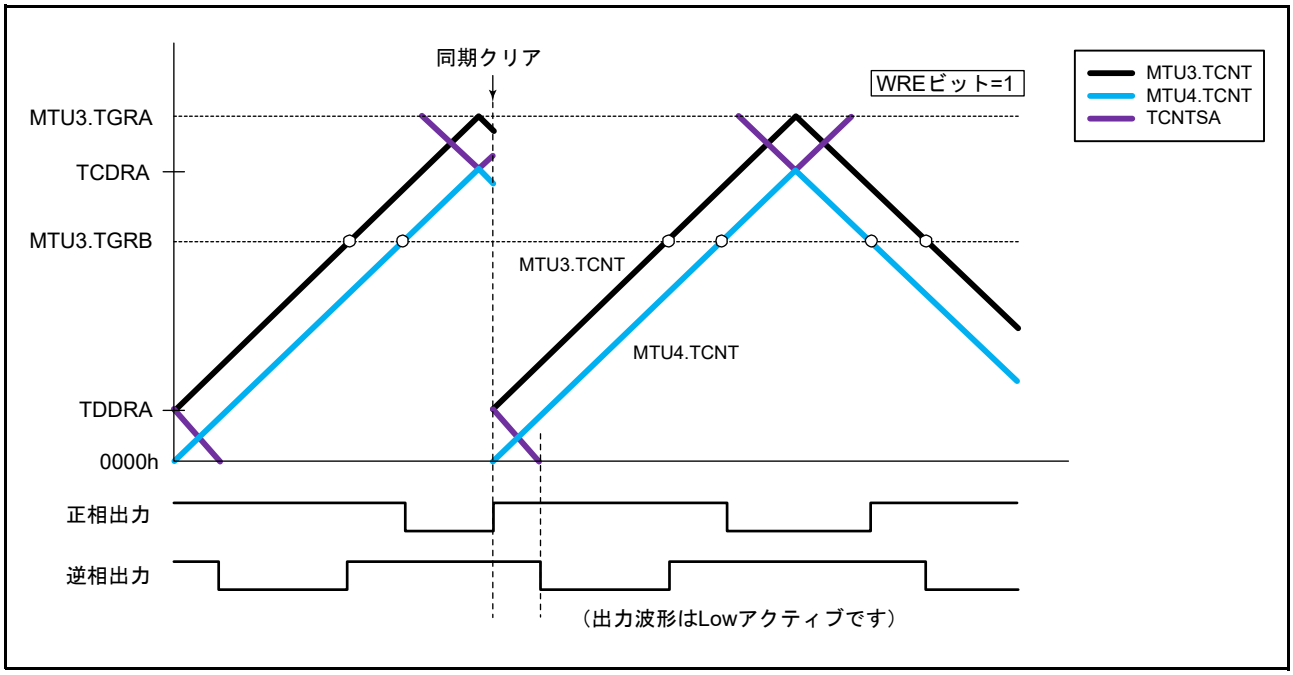


図 10.69　Tb1 区間で同期クリアが発生した場合
（図 10.66 のタイミング⑥、TWCRA レジスタの WRE ビット＝ 1）

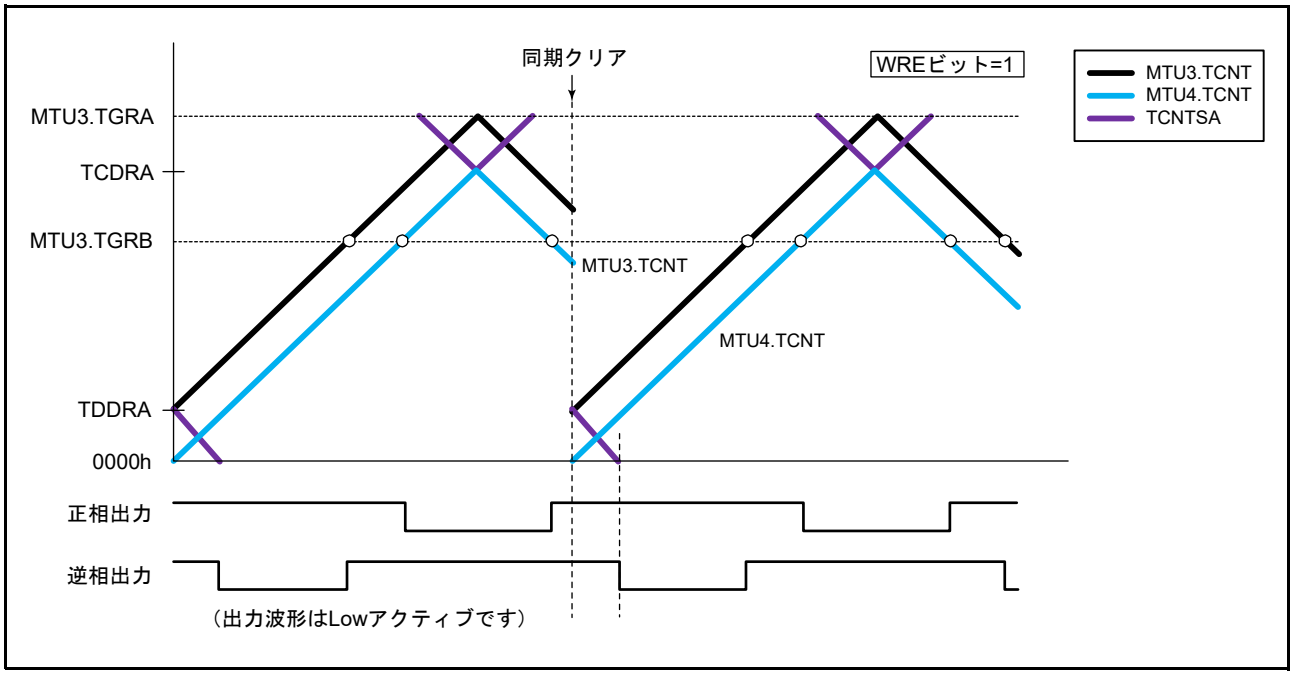


図 10.70　ダウンカウント中のデッドタイム時に同期クリアが発生した場合
（図 10.66 のタイミング⑧、TWCRA レジスタの WRE ビット＝ 1）

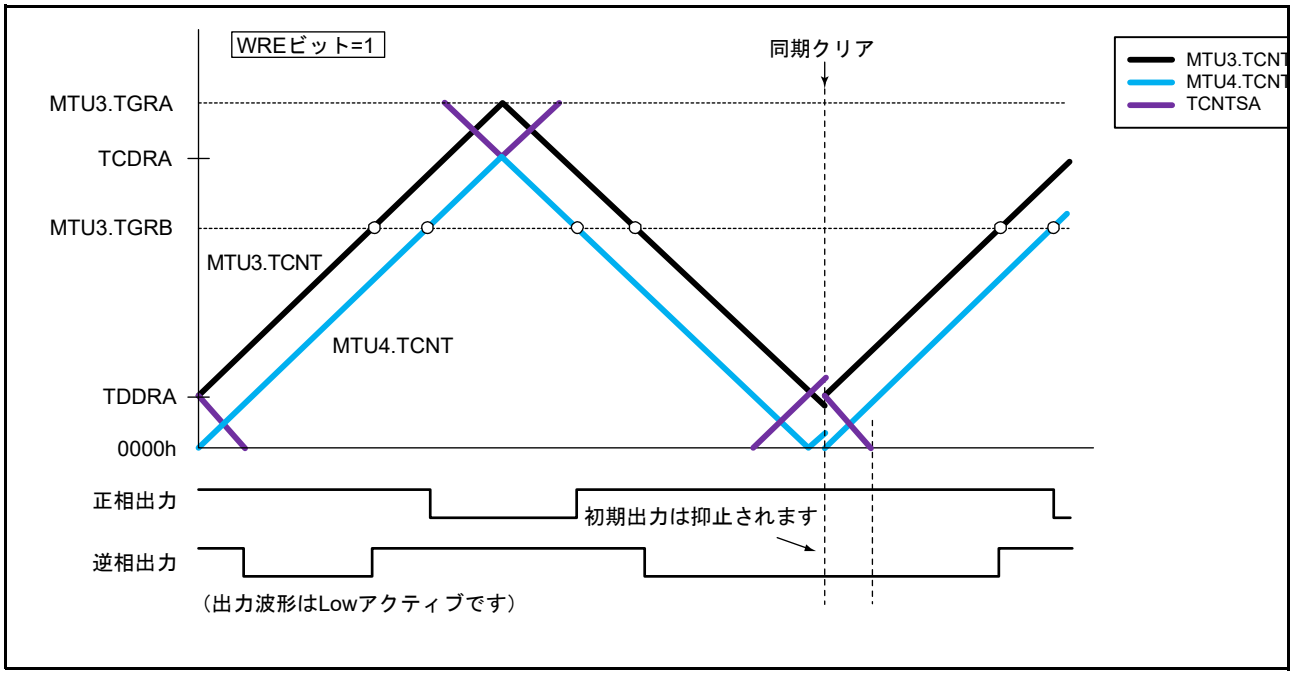


図 10.71　Tb2 区間で同期クリアが発生した場合
（図 10.66 のタイミング⑪、TWCRA レジスタの WRE ビット＝ 1）

(o)　MTU0、MTU1、MTU2 － MTU6、MTU7 カウンタ同期クリアの抑止機能

MTU6、MTU7 では、TWCRB.SCC ビットを “1” にすることにより、MTU0、MTU1、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU0、MTU1、MTU2 からの同期クリアが抑止できるのは、**図 10.72** で示す区間です。

また、本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。

MTU0、MTU1、MTU2 からの同期クリアについての詳細は、**「10.3.10　(2)　MTU6、MTU7 カウンタ同期クリア」**を参照してください。

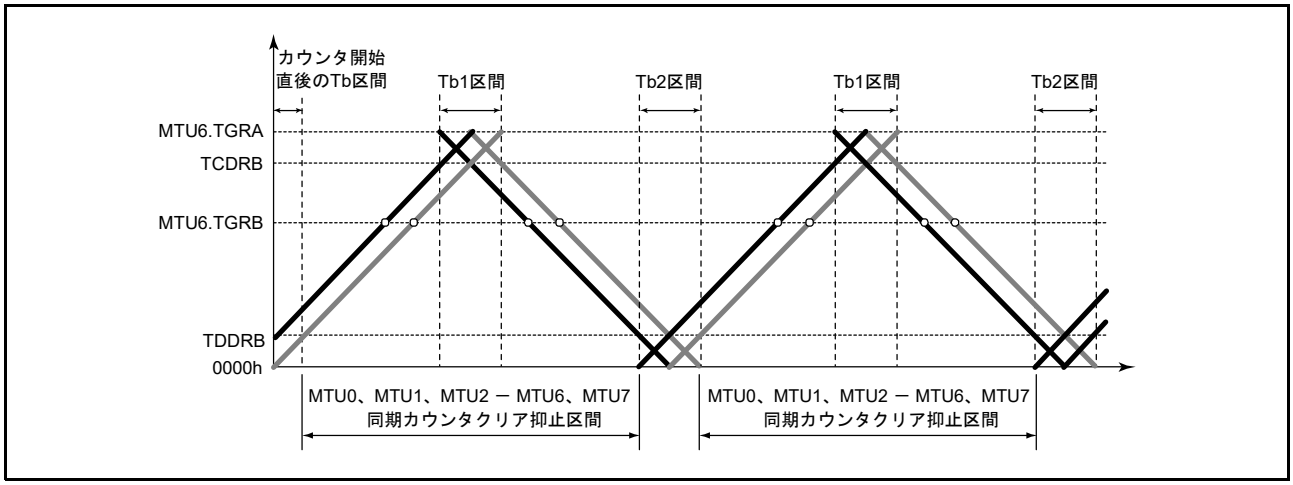


図 10.72　TWCRB.SCC ビットセットによる MTU0、MTU1、MTU2 － MTU6、MTU7 同期クリア抑止区間

- MTU0、MTU1、MTU2 － MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

MTU0、MTU1、MTU2 － MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例を**図 10.73** に示します。

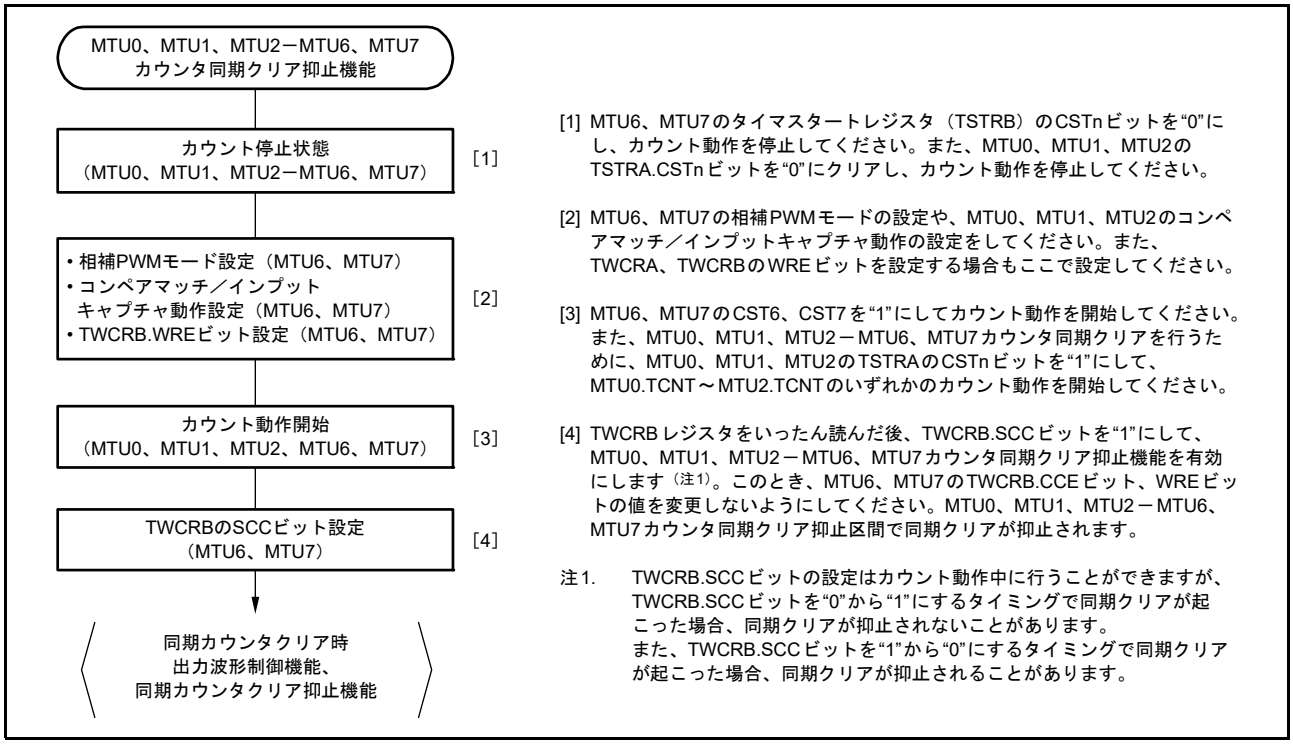


図 10.73　MTU0、MTU1、MTU2 － MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

- MTU0、MTU1、MTU2 － MTU6、MTU7 同期カウンタクリア抑止機能の動作例

図 10.74 ～図 10.77 に、MTU6、MTU7 の TWCRB の SCC ビットを “1” にして MTU6、MTU7 を相補 PWM 動作をさせ、MTU0、MTU1、MTU2 － MTU6、MTU7 カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 10.74 ～図 10.77 の同期カウンタクリアのタイミングは、それぞれ図 10.66 の③、⑥、⑧、⑪で示したタイミングです。また、この例では MTU6、MTU7 の TWCRB.WRE ビットは “1” にしています。

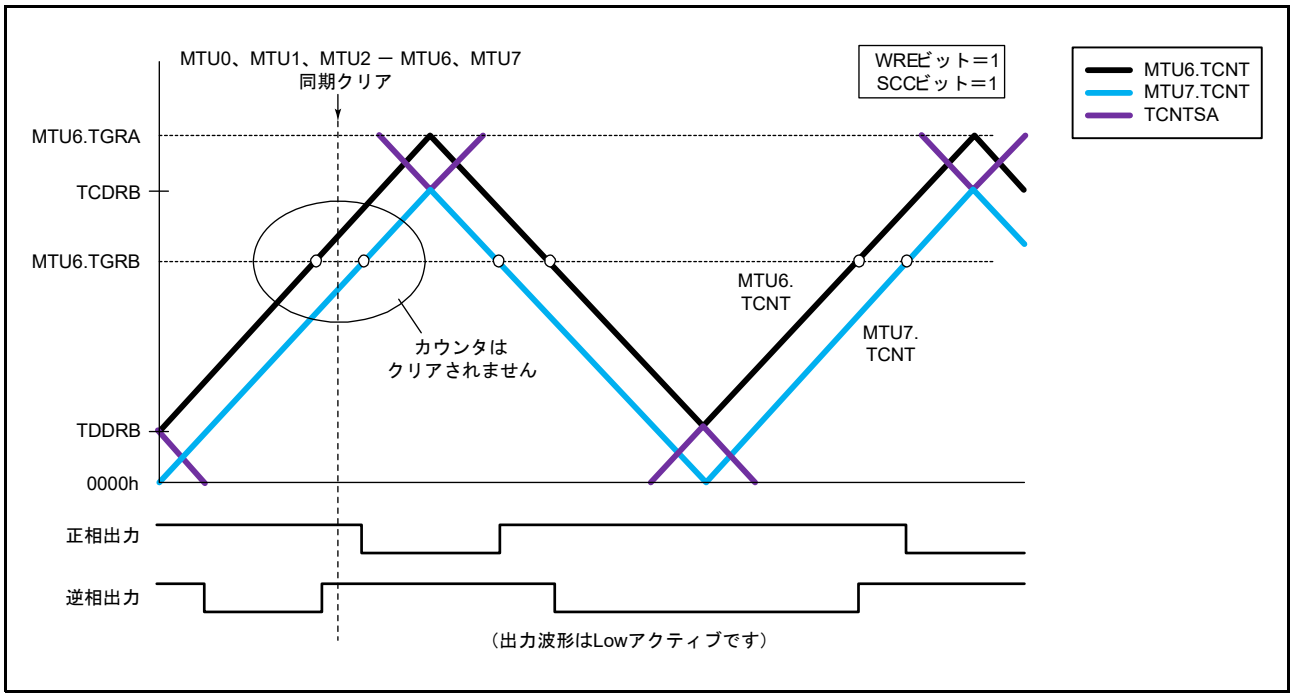


図 10.74　アップカウント中のデッドタイム時に同期クリアが発生した場合（図 10.66 のタイミング③、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1）

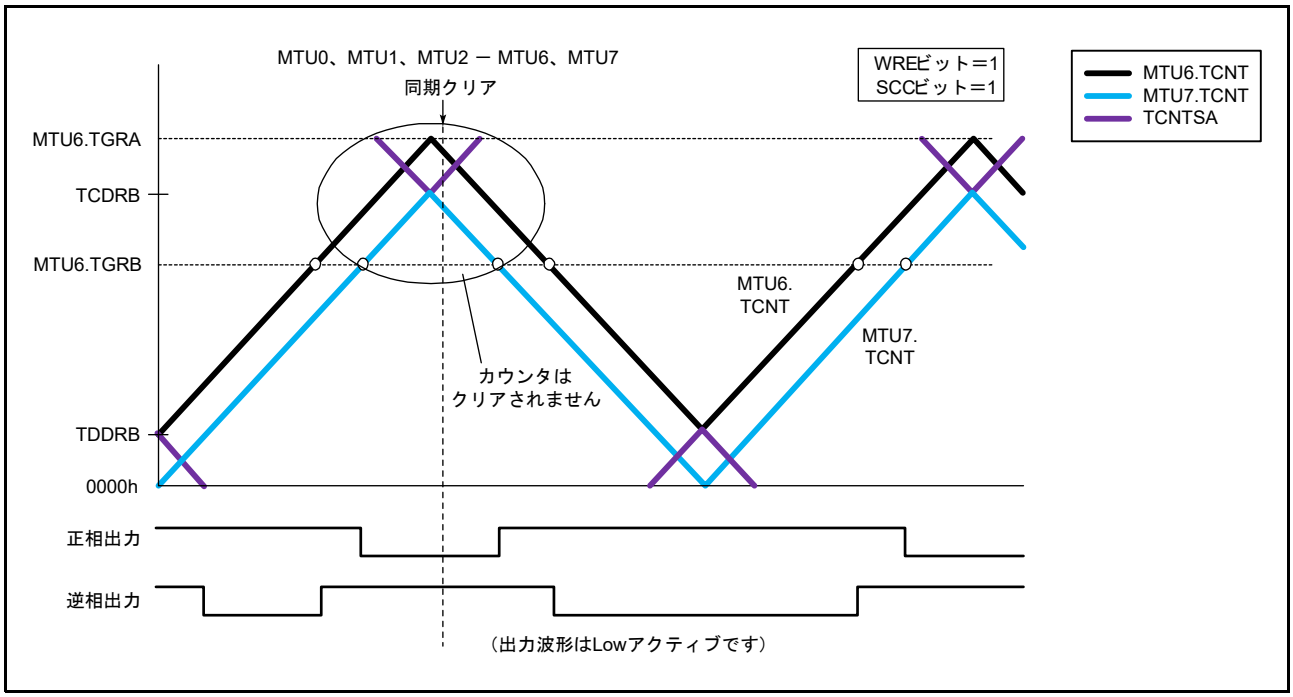


図 10.75　Tb1 区間で同期クリアが発生した場合（図 10.66 のタイミング⑥、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1）

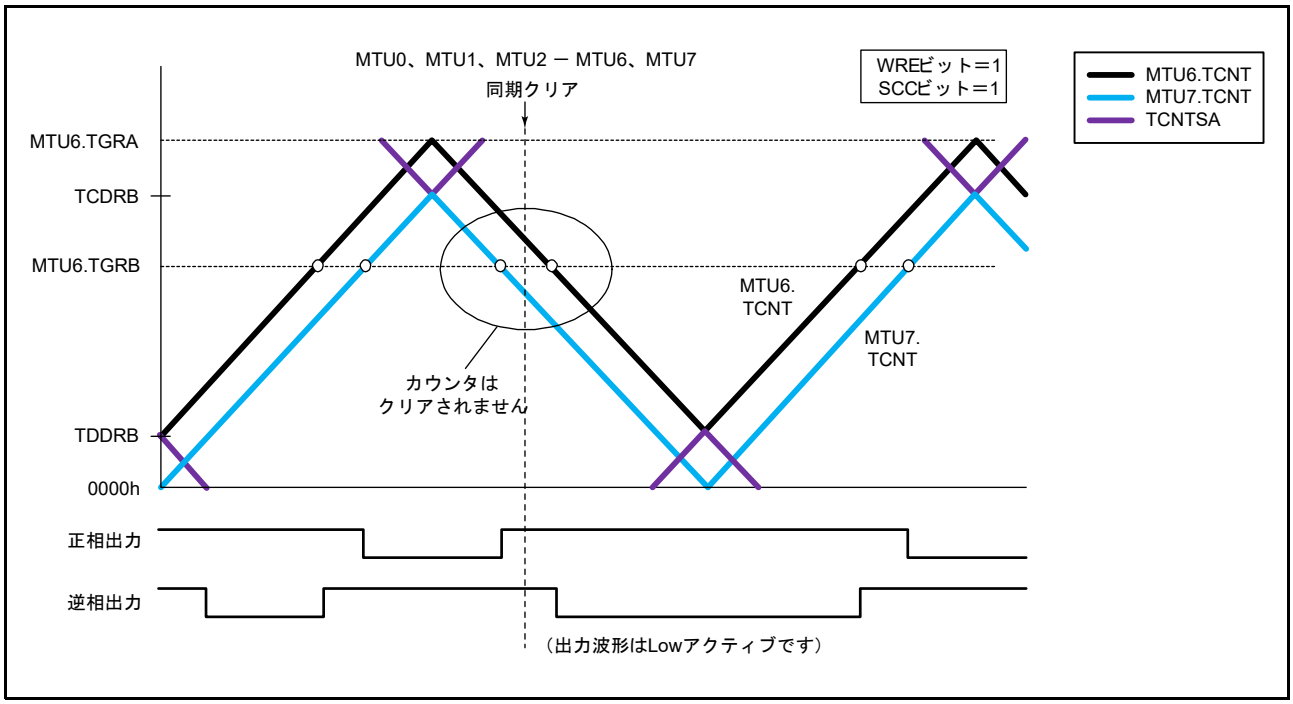


図 10.76　ダウンカウント中のデッドタイム時に同期クリアが発生した場合（図 10.66 のタイミング⑧、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1）

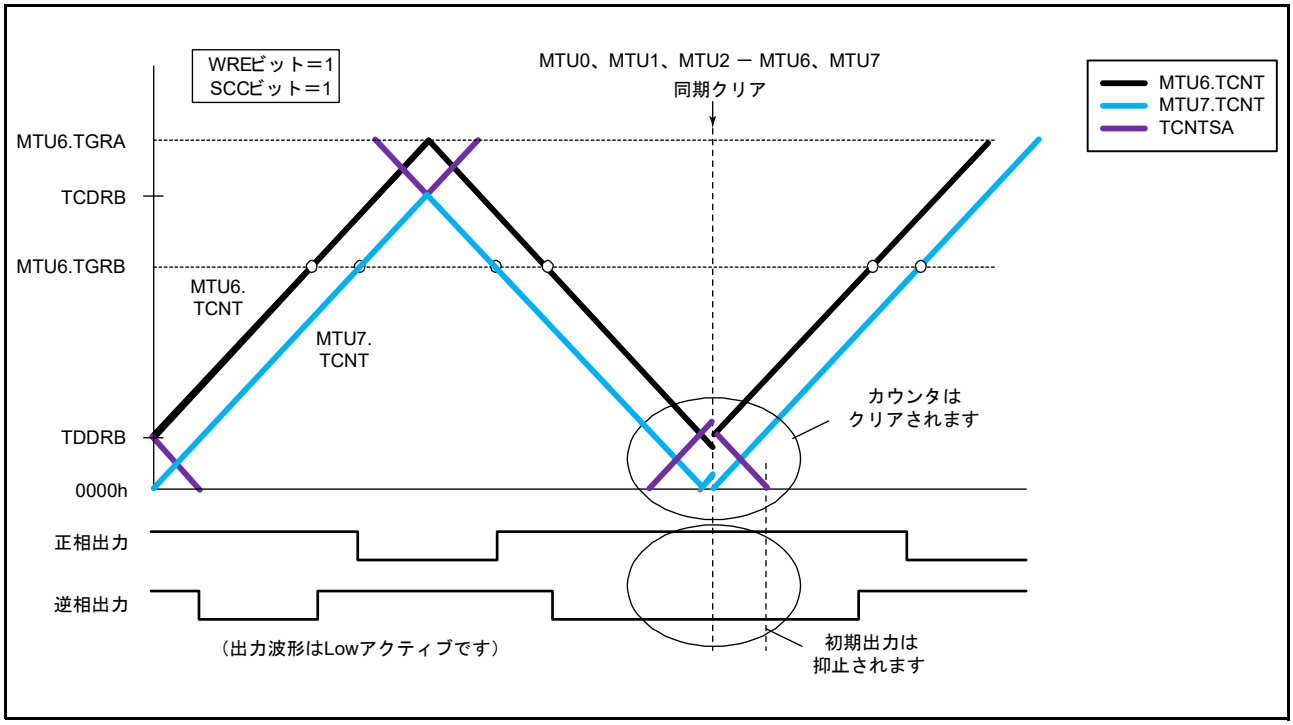


図 10.77　Tb2 区間で同期クリアが発生した場合（図 10.66 のタイミング⑪、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1）

(p)　MTU3.TGRA（MTU6.TGRA）のコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCRA.CCE（TWCRB.CCE）ビットを設定することにより、MTU3.TGRA（MTU6.TGRA）のコンペアマッチで MTU3.TCNT（MTU6.TCNT）、MTU4.TCNT（MTU7.TCNT）および TCNTSA（TCNTSB）をクリアすることが可能です。

図 10.78 に動作例を示します。

注 1.　相補 PWM モード 1（山で転送）でのみ使用してください。

注 2.　他のチャネルとの同期クリア機能に設定しないでください。（タイマシンクロレジスタ（TSYRA、TSYRB）の SYNC0 ～ SYNC4 ビット、SYNC6, SYNC7 ビットを “1” に、タイマシンクロクリアレジスタ（TSYCR）の CE0A ～ CE0D ビット、CE1A, CE1B ビット、CE2A, CE2B ビットを “1” に設定しないでください。）

注 3.　PWM デューティは、0000h を設定しないでください。

注 4.　タイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）の PSYE ビットを “1” に設定しないでください。

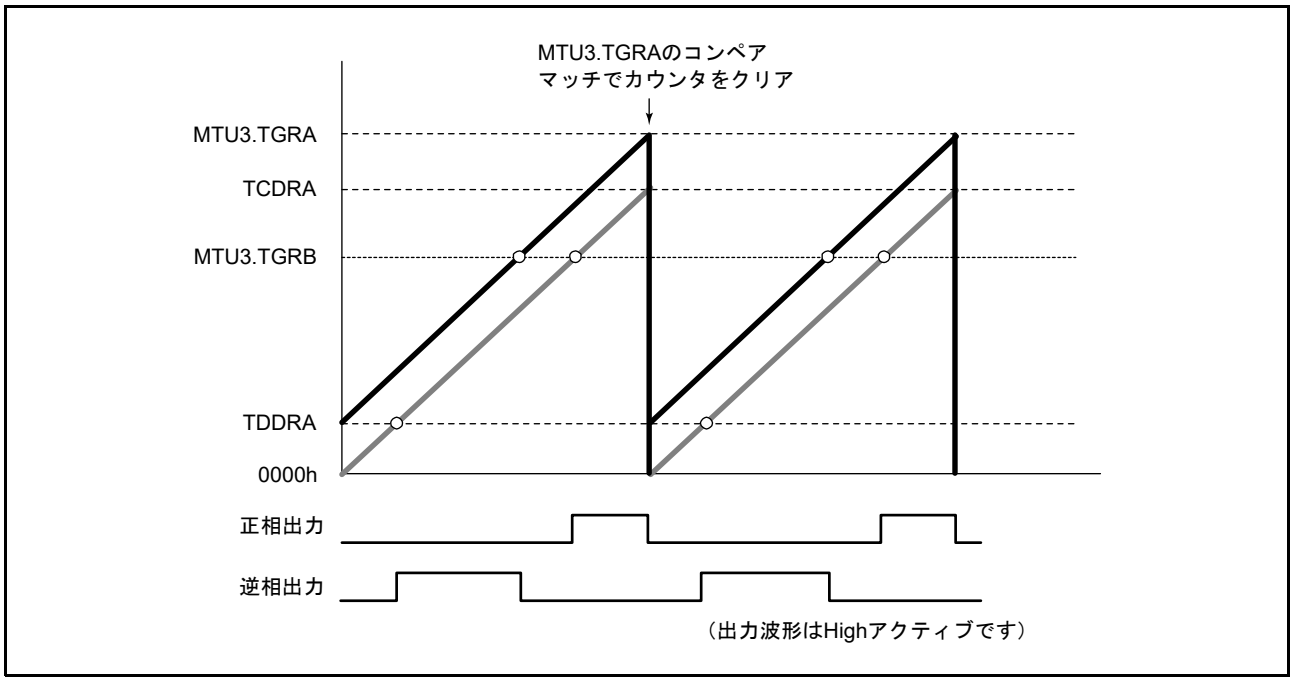


図 10.78　MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(q)　AC 同期モータ（ブラシレス DC モータ）の駆動波形出力例

MTU3、MTU4 を使用した相補 PWM モードでは、TGCRA レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 10.79 ～図 10.82 に TGCRA を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB ビットを “0” にします。この場合、磁極位置を示す外部信号を MTU0 の MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します（汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）を設定してください）。MTIOC0A、MTIOC0B、MTIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCRA.FB ビットが “1” の場合は、TGCRA の UF、VF、WF ビットの各ビットを “0” または “1” にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相 PWM 出力端子から出力されます。

この 6 相出力は TGCRA レジスタの N ビットまたは P ビットを “1” にすることにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが “0” の場合は、レベル出力になります。

また、6 相出力のアクティブレベル（ON 出力時レベル）は、N ビットおよび P ビットの設定にかかわらず、TOCR1A.OLSN, TOCR1A.OLSP ビットで設定できます。

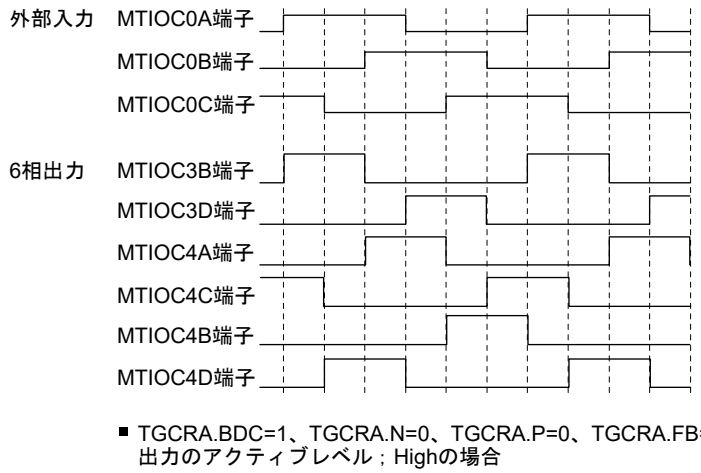


図 10.79　外部入力による出力相の切り替え動作例（1）

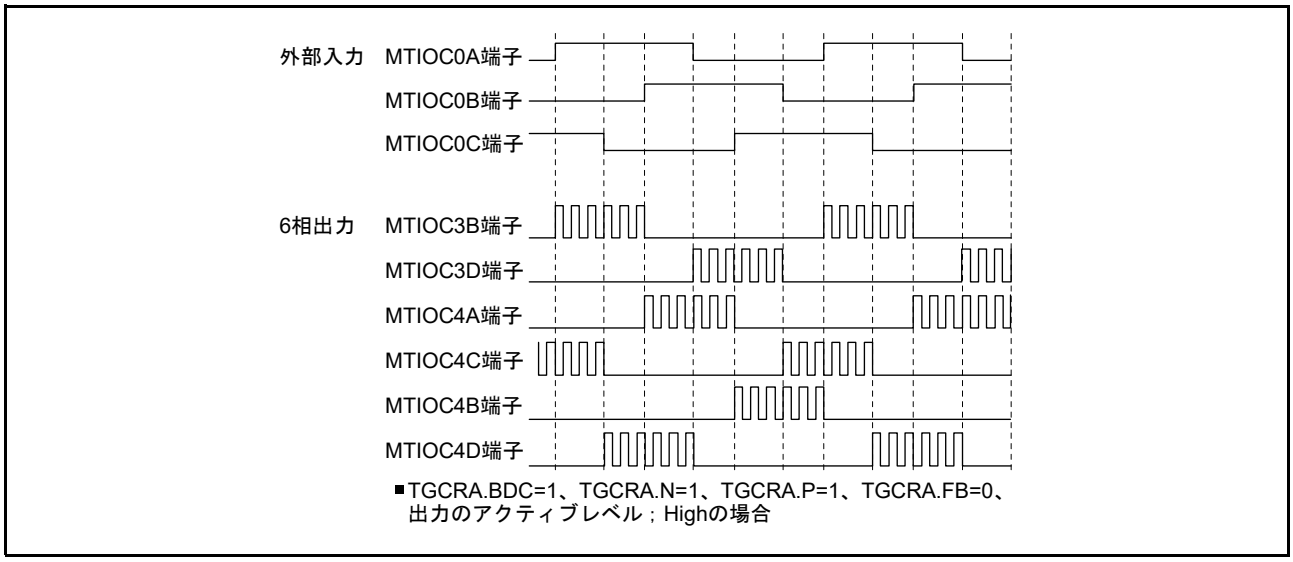


図 10.80　外部入力による出力相の切り替え動作例（2）

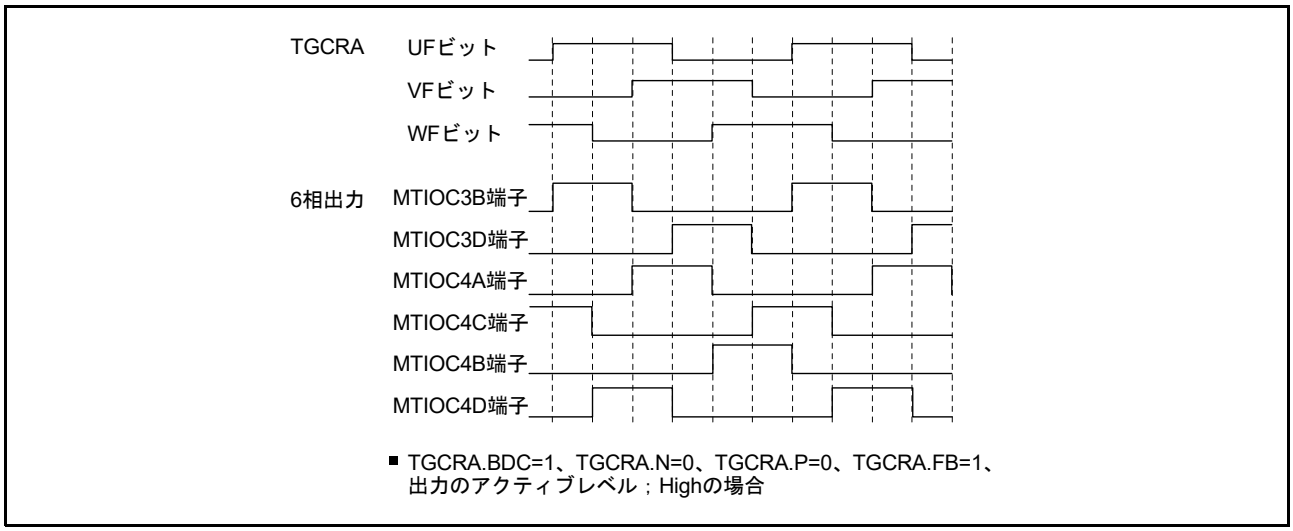


図 10.81　UF、VF、WF ビット設定による出力相の切り替え動作例（1）

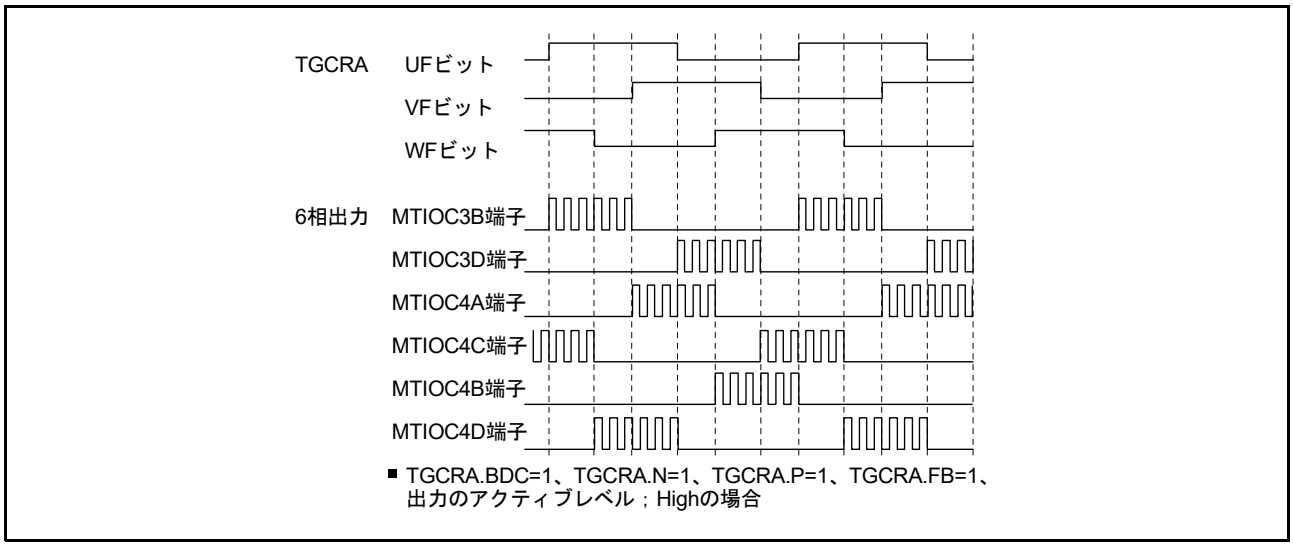


図 10.82　UF、VF、WF ビット設定による出力相の切り替え動作例（2）

(r)　A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA（MTU6.TGRA）のコンペアマッチ、MTU4.TCNT（MTU7.TCNT）のアンダフロー（谷）、MTU3、MTU4（MTU6、MTU7）以外のチャネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA（MTU6.TGRA）のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT（MTU6.TCNT）の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを “1” にすることで設定できます。MTU4.TCNT（MTU7.TCNT）のアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER.TTGE2（MTU7.TIER.TTGE2）ビットを “1” にすることで設定できます。

(s)　相補 PWM モードのダブルバッファ機能

相補 PWM モード 3（山と谷で転送）時、TMDR2A.DRS（TMDR2B.DRS）ビットを “1” にすることにより、PWM 変更時の PWM 出力の最小分解能を ±2 から ±1 にすることが可能です。

バッファレジスタ A（MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU6.TGRD、MTU7.TGRC、MTU7.TGRD）を設定する際は、バッファレジスタ B（MTU3.TGRE、MTU4.TGRE、MTU4.TGRF、MTU6.TGRE、MTU7.TGRE、MTU7.TGRF）も同時に設定してください。また、バッファレジスタ B の値はバッファレジスタ A の値、またはバッファレジスタ A の値－ 1 を設定してください。設定手順の詳細は「10.3.8　(1)　相補 PWM モードの設定手順例」を参照してください。

注 .　バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値－ 1 を設定した場合、PWM 出力が非対称になります。

図 10.83 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD、MTU7.TGRD（バッファ A）書き込み時に MTU4.TGRD、MTU7.TGRD（バッファ A）→ Temp3A、Temp6A（テンポラリ A）、および MTU4.TGRF、MTU7.TGRF（バッファ B）→ Temp3B、Temp6B（テンポラリ B）へのデータ転送
- ①のタイミングで Temp3A、Temp6A（テンポラリ A）→ MTU4.TGRB、MTU7.TGRB（コンペア）へのデータ転送
- ②のタイミングで Temp3B、Temp6B（テンポラリ B）→ MTU4.TGRB、MTU7.TGRB（コンペア）へのデータ転送

山区間（Tb1 区間）ではコンペアレジスタとテンポラリレジスタ A、谷区間（Tb2 区間）ではコンペアレジスタとテンポラリレジスタ B が有効

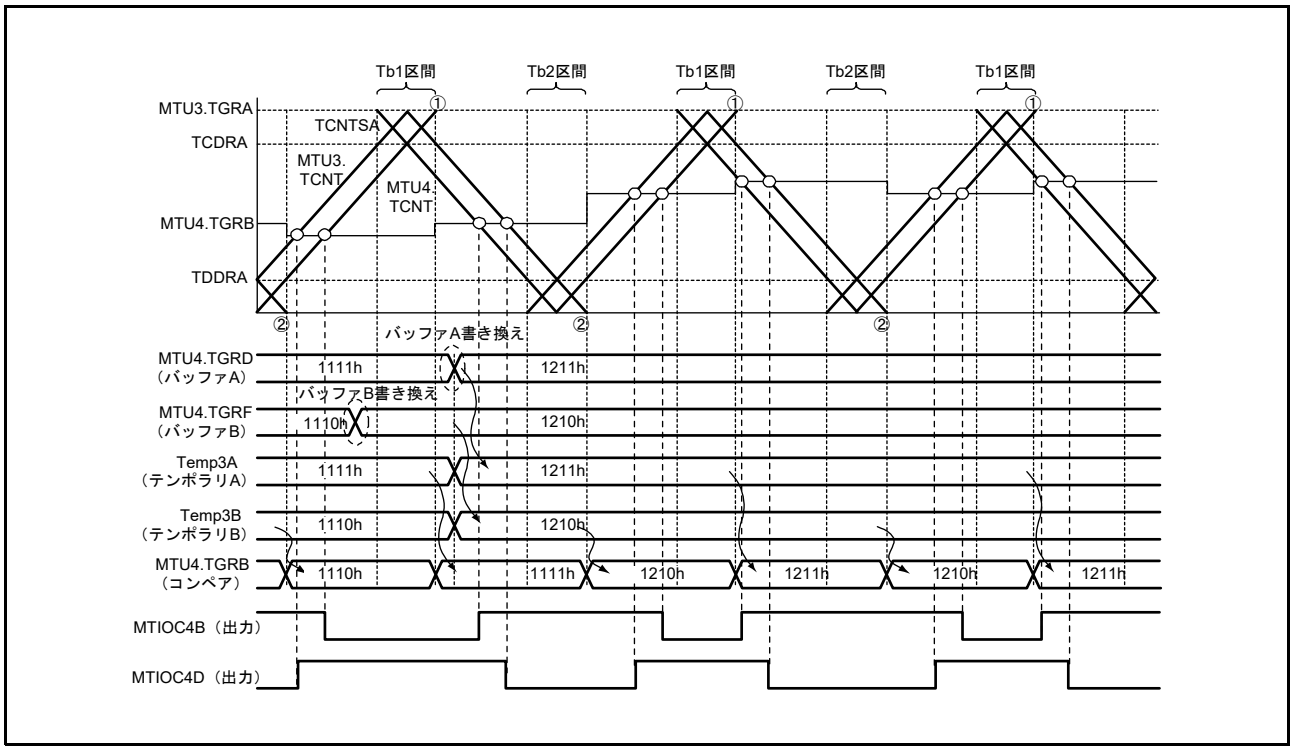


図 10.83　ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA（TDDRB）レジスタより小さい場合を図 10.84 に、TCDRA（TCDRB）レジスタより大きい場合を図 10.85 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

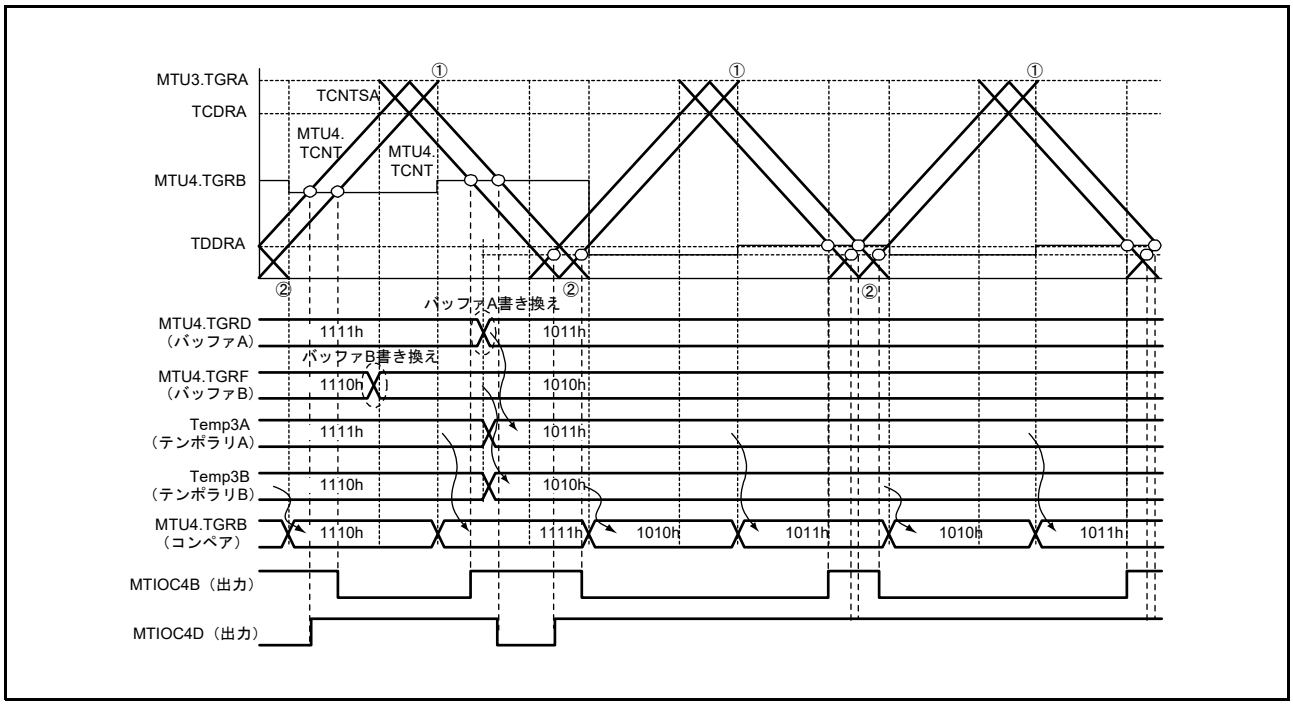


図 10.84　ダブルバッファ機能の動作例（バッファへの書き込み値が TDDRA より小さい場合）

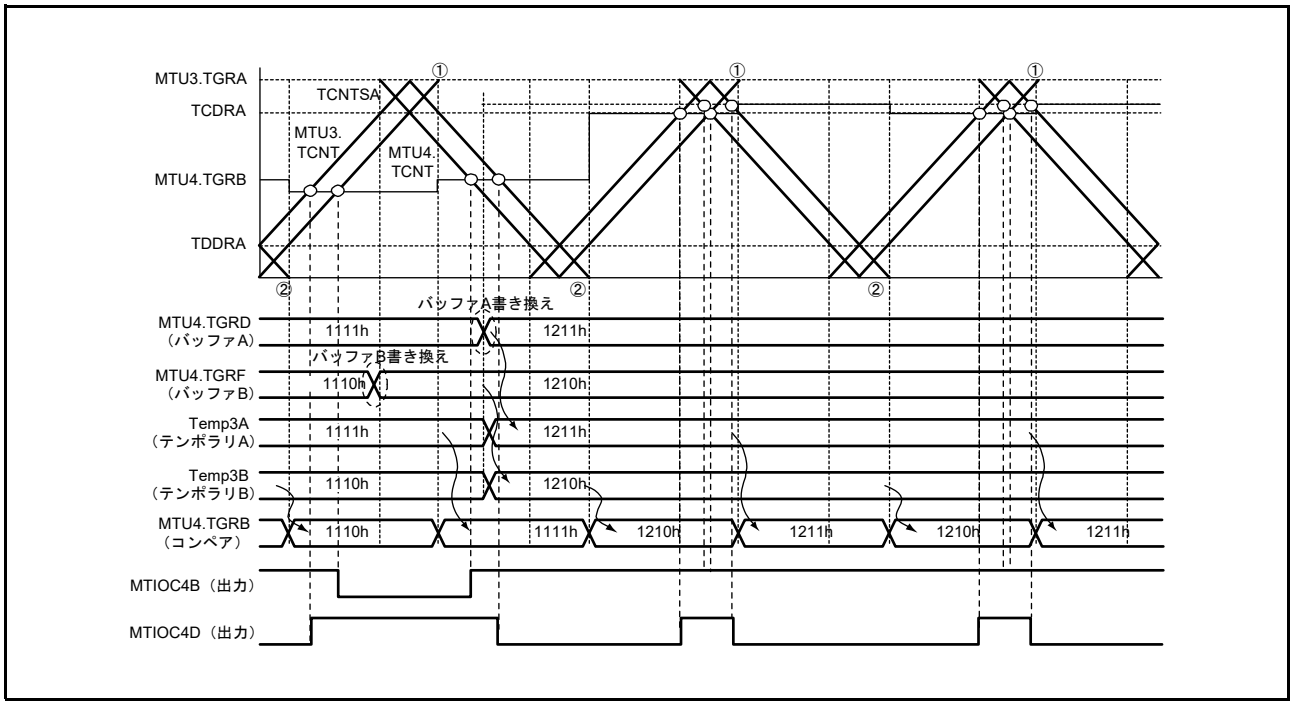


図 10.85　ダブルバッファ機能の動作例（バッファへの書き込み値が TCDRA より大きい場合）

(3)　相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4（MTU6、MTU7）の TGIA3（TGIA6）（山の割り込み）、および TCIV4（TCIV7）（谷の割り込み）は、TITCR1A（TITCR1B）レジスタを設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

TBTERA（TBTERB）レジスタを設定することにより、バッファレジスタからテンポラリレジスタ／コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、**「(c)　割り込み間引きと連動したバッファ転送制御」**を参照してください。

MTU4.TADCR（MTU7.TADCR）レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については**「10.3.9　A/D 変換開始要求ディレイド機能」**を参照してください。

TITCR1A（TITCR1B）レジスタの設定は、タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）の TITM ビットを “0” にし、割り込み間引き機能 1 を選択し、かつ MTU3.TIER（MTU6.TIER）レジスタの設定で TGIA3（TGIA6）割り込み要求を禁止した状態、MTU4.TIER（MTU7.TIER）レジスタの設定で TCIV4（TCIV7）割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN（T6AEN）、T4VEN（T7VEN）ビットを “0” にして、間引きカウンタをクリアしてください。

(a)　割り込み間引き機能 1 の設定手順例

割り込み間引き機能 1 の設定手順例を**図 10.86** に示します。また、割り込み間引き回数の変更可能期間を**図 10.87** に示します。

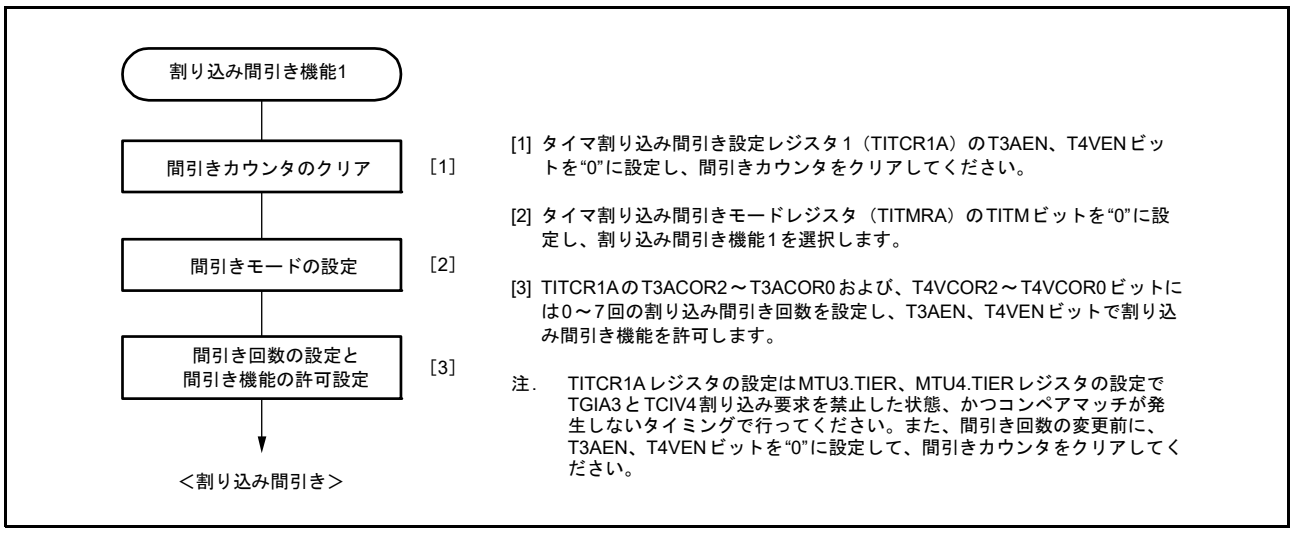


図 10.86　　割り込み間引き機能 1 の設定手順例

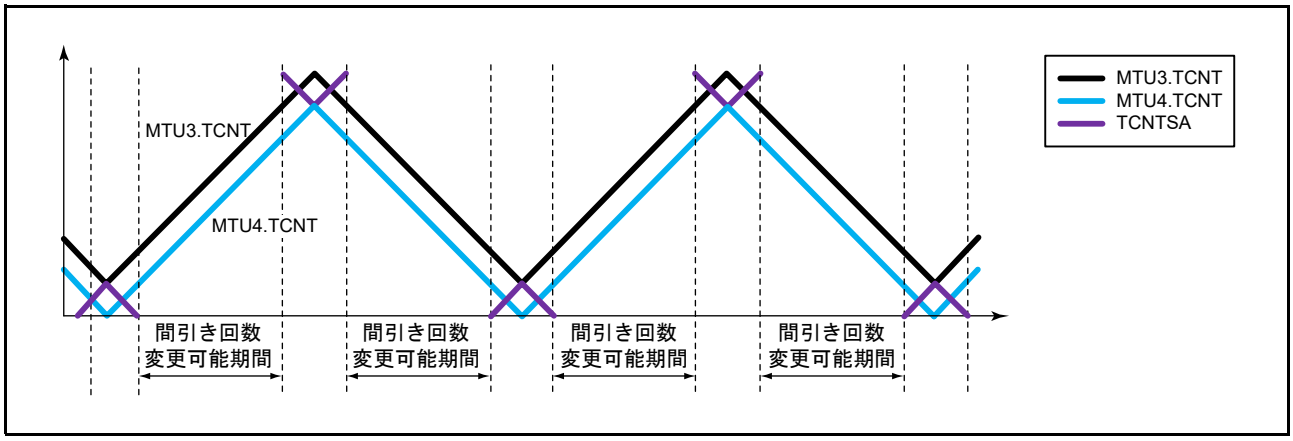


図 10.87　割り込み間引き回数の変更可能期間

(b)　割り込み間引き機能 1 の動作例

TITCR1A（TITCR1B）レジスタの T3ACOR（T6ACOR）ビットで割り込みの間引き回数を 3 回に設定し、T3AEN（T6AEN）ビットを “1” にした場合の、TGIA3（TGIA6）割り込み間引きの動作例を**図 10.88** に示します。

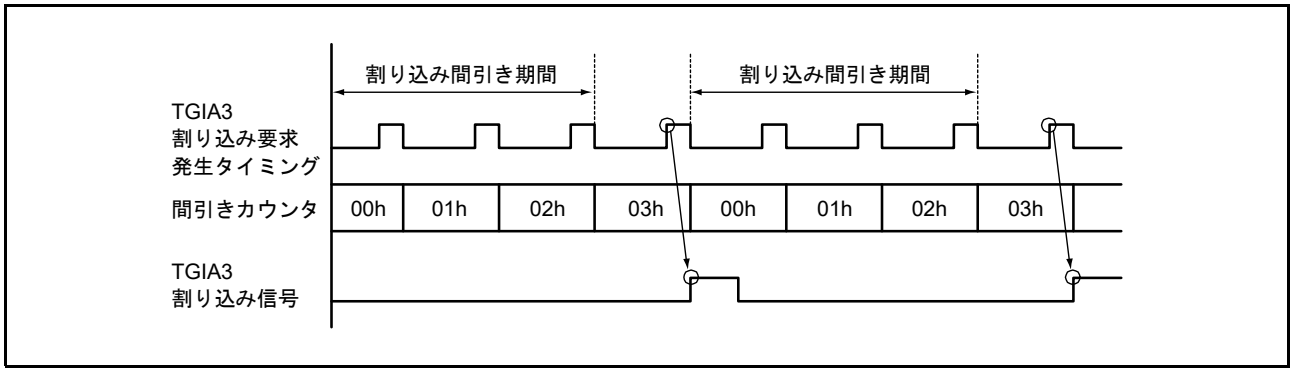


図 10.88　割り込み間引き機能 1 の動作例

(c)　割り込み間引きと連動したバッファ転送制御

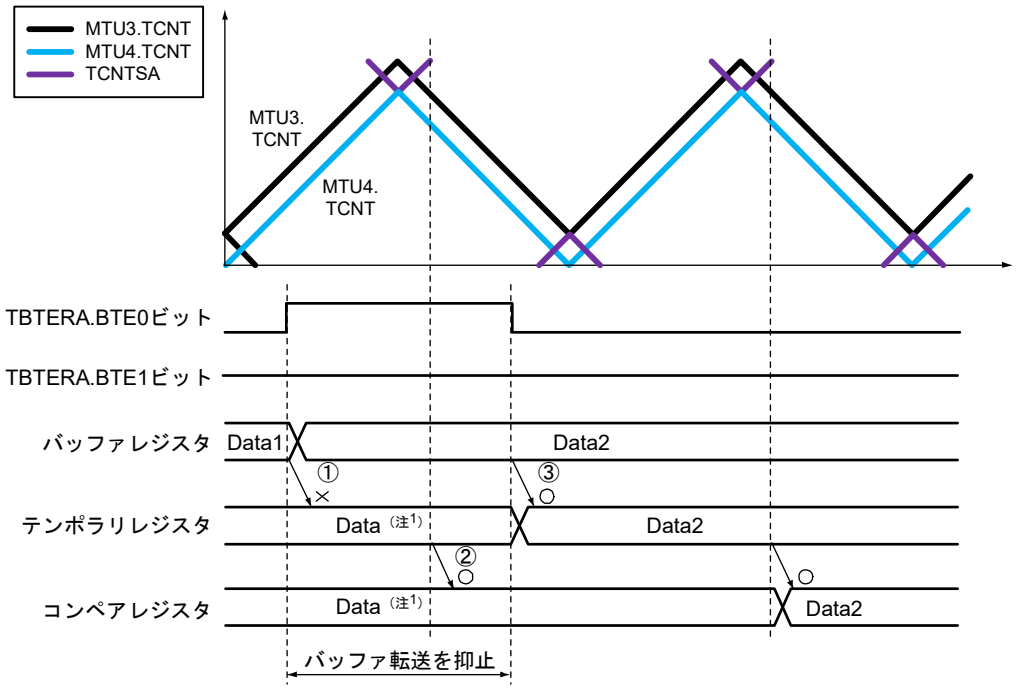
TBTERA（TBTERB）レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする／しない、または割り込み間引きと連動する／しないを選択することが可能です。

バッファ転送を抑止する設定（BTE[1:0] = 01b）にした場合の動作例を図 10.89 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定（BTE[1:0] = 10b）にした場合の動作例を図 10.90 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、TITCR1A（TITCR1B）レジスタの T3AEN（T6AEN）ビットのみを “1” にした場合、T4VEN（T7VEN）ビットのみを “1” にした場合、TITCR1A（TITCR1B）レジスタの T3AEN、T4VEN（T6AEN、T7VEN）ビット両方を “1” にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A（TITCR1B）レジスタの T3AEN、T4VEN（T6AEN、T7VEN）ビットの設定とバッファ転送許可期間の関係を図 10.91 に示します。

注 .　本機能は、割り込み間引き機能 1 と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）の T3AEN、T4VEN（T6AEN、T7VEN）ビットを “0” に設定したとき、または TITCR1A（TITCR1B）の間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR、T7VCOR））を “0” に設定したとき）は、バッファ転送を割り込み間引きと連動しない設定（TBTERA、TBTERB の BTE1 ビットを “0” に設定）してください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。



① バッファ転送を抑止期間中（TBTERAのBTE[1:0]ビットを01bに設定）は、バッファレジスタからテンポラリレジスタへの転送をしません。
② バッファ転送を抑止期間中も、テンポラリレジスタからコンペアレジスタへの転送は行われます。
③ バッファ転送を抑止解除後に、バッファレジスタからテンポラリレジスタへの転送が行われます。

注1.　山でのバッファ転送を選択時

図 10.89　バッファ転送を抑止する設定（BTE[1:0] = 01b）にした場合の動作例

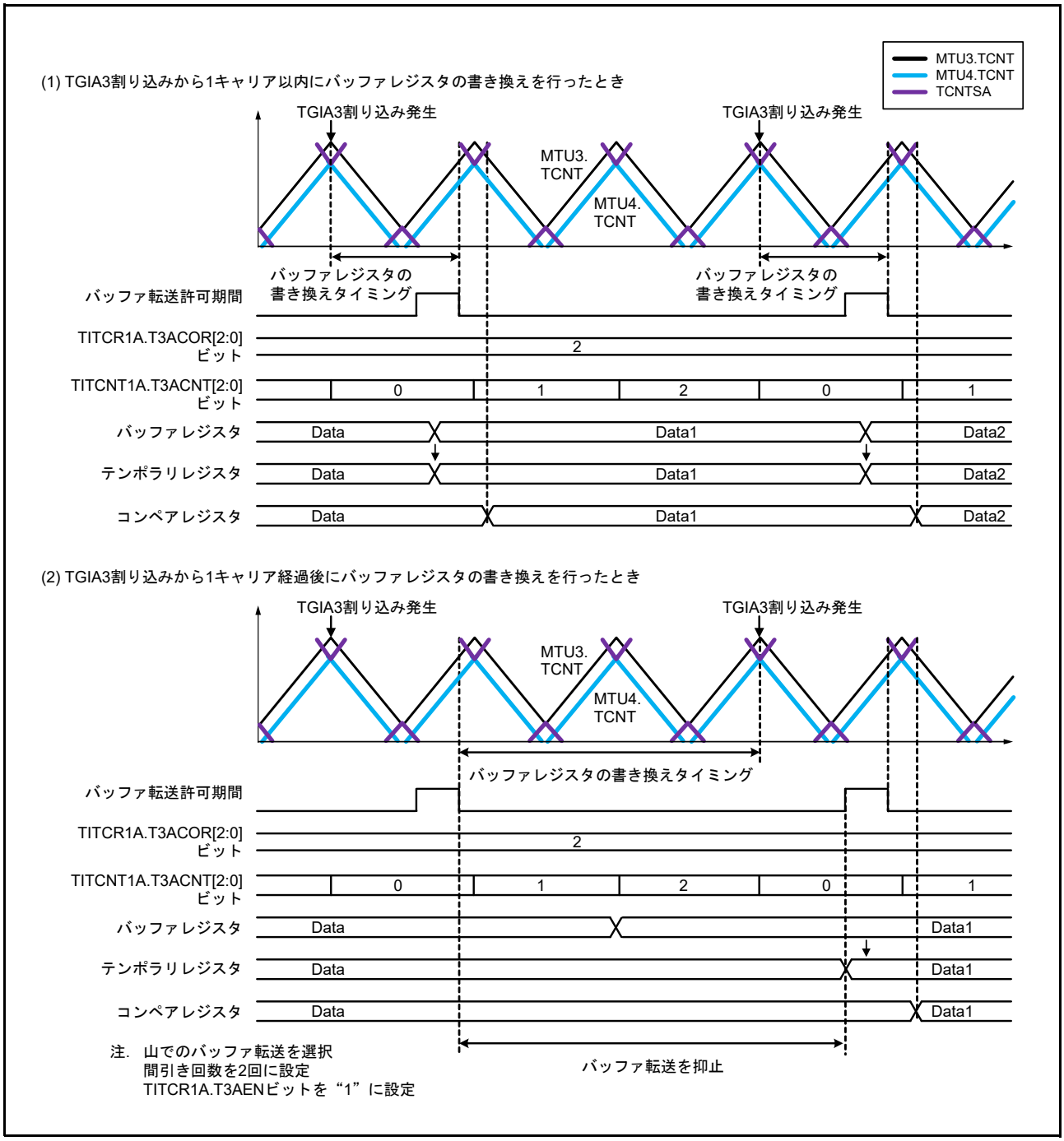


図 10.90　バッファ転送を割り込み間引きと連動する設定（BTE[1:0] = 10b）にした場合の動作例

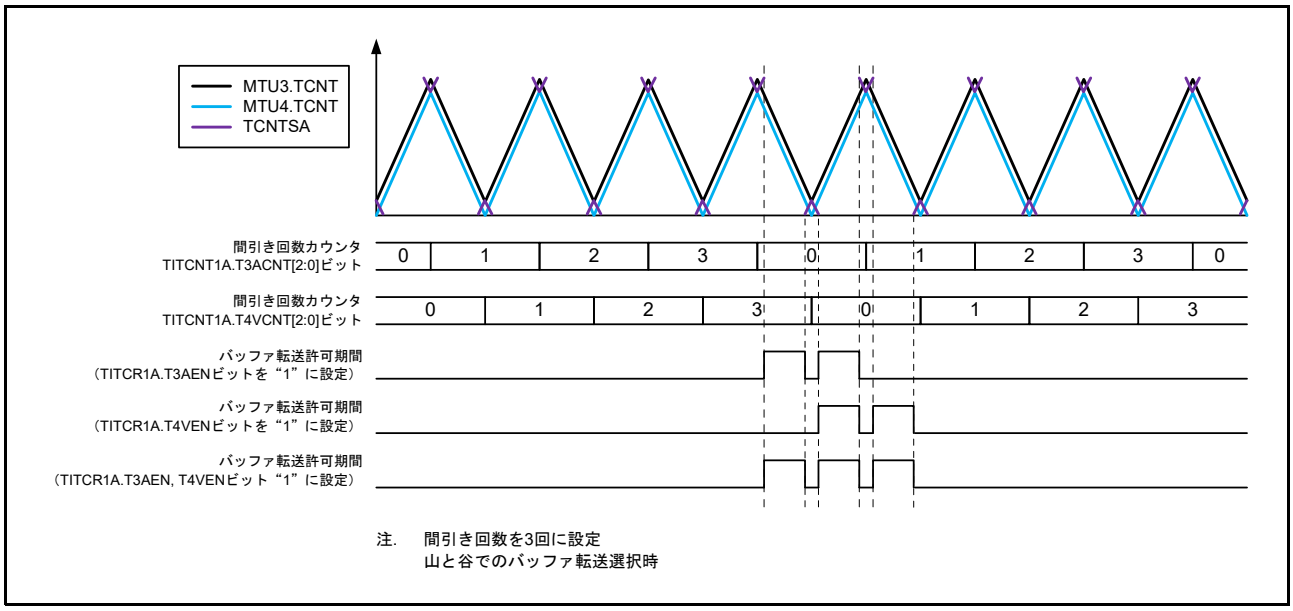


図 10.91　TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4)　相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a)　レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWERA（TRWERB）レジスタの RWE ビットの設定により CPU からのアクセスの許可／禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4、MTU6、MTU7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR、MTU4.TCR、MTU3.TCR2、MTU4.TCR2、MTU3.TMDR1、MTU4.TMDR1、MTU3.TIORH、
MTU4.TIORH、MTU3.TIORL、MTU4.TIORL、MTU3.TIER、MTU4.TIER、
MTU3.TCNT、MTU4.TCNT、MTU3.TGRA、MTU4.TGRA、MTU3.TGRB、MTU4.TGRB、
MTU.TOERA、MTU.TOCR1A、MTU.TOCR2A、MTU.TGCRA、MTU.TCDRA、MTU.TDDRA、
MTU6.TCR、MTU7.TCR、MTU6.TCR2、MTU7.TCR2、MTU6.TMDR1、MTU7.TMDR1、MTU6.TIORH、
MTU7.TIORH、MTU6.TIORL、MTU7.TIORL、MTU6.TIER、MTU7.TIER、MTU6.TCNT、MTU7.TCNT、
MTU6.TGRA、MTU7.TGRA、MTU6.TGRB、MTU7.TGRB、
MTU.TOERB、MTU.TOCR1B、MTU.TOCR2B、MTU.TCDRB、MTU.TDDRB
計 47 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b)　外部信号による PWM 出力の停止機能

MTU0、MTU3、MTU4、MTU6、MTU7 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。

詳細は、「11.　ポートアウトプットイネーブル 3（POE3）」を参照してください。

10.3.9　A/D 変換開始要求ディレイド機能

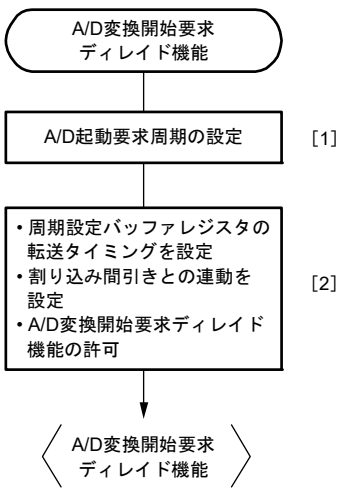
MTU4 または MTU7 のタイマ A/D 変換開始要求コントロールレジスタ（MTU4.TADCR、MTU7.TADCR）、タイマ A/D 変換開始要求周期設定レジスタ（MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB）、タイマ A/D 変換開始要求周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB）を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB（MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB）を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB（MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB）が一致したとき、それぞれの A/D 変換の開始要求（TRG4AN、TRG4BN（TRG7AN、TRG7BN））を行います。

また、MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（MTU7.TADCR レジスタの ITA6AE、ITA7VE、ITB6AE、ITB7VE）ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求（TRG4AN、TRG4BN（TRG7AN、TRG7BN））を間引くことが可能です。

(1)　A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 10.92 に示します。



[1] タイマA/D変換開始要求周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB）とタイマA/D変換開始要求周期設定レジスタ（MTU4.TADCORA、MTU4.TADCORB）に、周期を設定します。
（[2]でタイマA/D変換開始要求周期設定バッファレジスタからタイマA/D変換開始要求周期設定レジスタへのバッファ転送タイミングを谷または山と谷に設定する場合は、カウント開始直後に周期設定バッファレジスタから周期設定レジスタへの転送が行われるため、タイマA/D変換開始要求周期設定バッファレジスタにはタイマA/D変換開始要求周期設定レジスタと同じ値を設定してください。）

[2] タイマA/D変換開始要求コントロールレジスタ（MTU4.TADCR）のBF[1:0]ビットに、タイマA/D変換開始要求周期設定バッファレジスタからタイマA/D変換開始要求周期設定レジスタへのバッファ転送タイミングを設定します。
- ITA3AE、ITA4VE、ITB3AE、ITB4VEビットで、割り込み間引き機能と連動するか設定します。
- UT4AE、DT4AE、UT4BE、DT4BEビットを設定し、A/D変換の開始要求（TRG4AN、TRG4BN）を許可します。

注.　MTU4.TADCRレジスタの設定は、MTU4.TCNTが停止した状態で行ってください。
注.　相補PWMモード以外では、MTU4.TADCR.BF1ビットを“0”にしてください。
注.　相補PWMモード以外では、ITA3AE、ITA4VE、ITB3AE、ITB4VE、DT4AE、DT4BEビットを“0”にしてください。
注.　割り込み間引きが禁止のときは、ITA3AE、ITA4VE、ITB3AE、ITB4VEビットを“0”にしてください。

図 10.92　A/D 変換開始要求ディレイド機能の設定手順例（MTU3、MTU4）

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT（MTU7.TCNT）の谷に設定し、MTU4.TCNT（MTU7.TCNT）のダウンカウント時に A/D 変換の開始要求信号（TRG4AN（TRG7AN））を出力する設定にした場合の、A/D 変換の開始要求信号（TRG4AN（TRG7AN））の基本動作例を図 10.93 に示します。

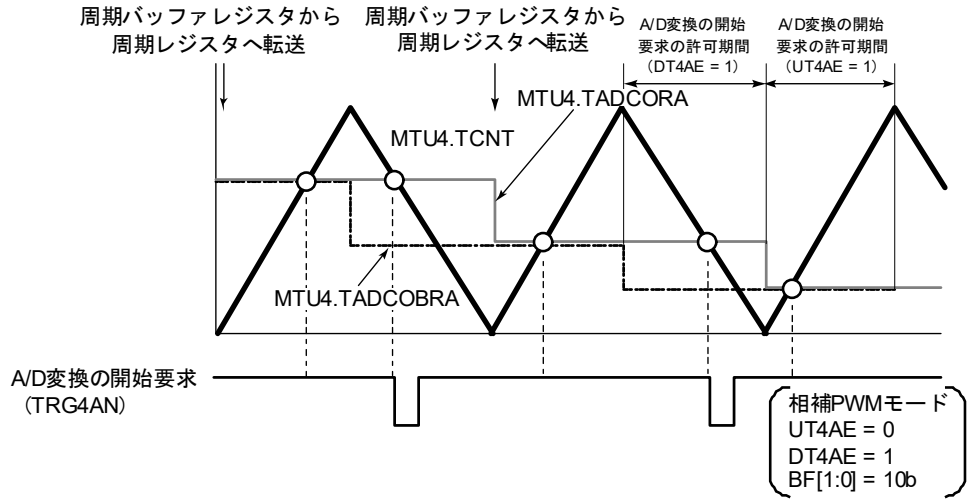


図 10.93　A/D 変換の開始要求信号（TRG4AN）の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR（MTU7.TADCR）レジスタの UT4AE、UT4BE（UT7AE, UT7BE）ビットで許可した期間内に MTU4.TCNT（MTU7.TCNT）カウンタと MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA, MTU7.TADCORB）レジスタが一致したとき、それぞれの A/D 変換の開始要求（TRG4AN, TRG4BN）を行います。

相補 PWM モードで MTU4.TADCR（MTU7.TADCR）レジスタの UT4AE、UT4BE（UT7AE, UT7BE）ビットを “1” にすると、MTU4.TCNT（MTU7.TCNT）カウンタのアップカウント期間（0 ≦ MTU4.TCNT（MTU7.TCNT）≦ TCDR – 1）に A/D 変換の開始要求を許可します。MTU4.TADCR（MTU7.TADCR）レジスタの DT4AE、DT4BE（DT7AE, DT7BE）ビットを “1” にすると、MTU4.TCNT（MTU7.TCNT）カウンタのダウンカウント期間（TCDR ≧ MTU4.TCNT（MTU7.TCNT）≧ 1）に A/D 変換の開始要求を許可します（図 10.93）。

(4) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ（MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB）のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ（MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB）にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、MTU4.TADCR（MTU7.TADCR）レジスタの BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時は MTU4.TGRD（MTU7.TGRD）レジスタの書き換えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、**「10.6.27　相補 PWM モードにおける A/D 変換開始要求ディレイド機能の注意事項」**を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR（MTU7.TADCR）レジスタの BF1 ビットを “0” にしてください。

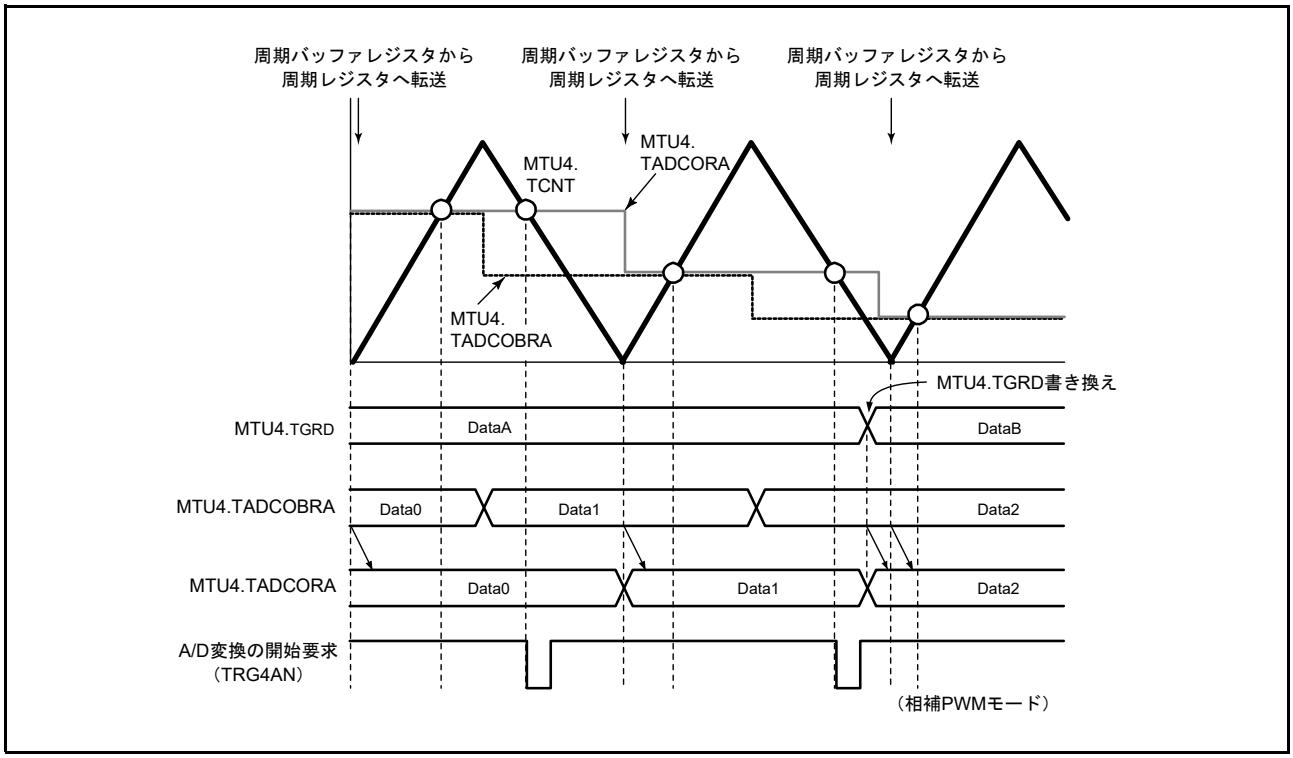


図 10.94　A/D 変換の開始要求信号（TRG4AN）とバッファ転送動作例

(5) 割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能

相補 PWM モードでは、MTU4.TADCR（MTU7.TADCR）レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE、ITA7VE、ITB6AE、ITB7VE）ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求（TRG4AN、TRG4BN（TRG7AN、TRG7BN））を行うことが可能です。

MTU4.TCNT（MTU7.TCNT）のアップカウント時、およびダウンカウント時に TRG4AN（TRG7AN）出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN（TRG7AN））の動作例を図 10.95 に示します。

また、MTU4.TCNT（MTU7.TCNT）のアップカウント時に TRG4AN（TRG7AN）出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN（TRG7AN））の動作例を図 10.96 に示します。

相補 PWM モード以外では、割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能は使用できません。

MTU4.TADCR（MTU7.TADCR）レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE, ITA7VE, ITB6AE, ITB7VE）ビットを “0” にしてください。

注 .　本機能は割り込み間引き機能 1 と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR1A（TITCR1B））の T3AEN、T4VEN（T6AEN、T7VEN）ビットを “0” にしたとき、または TITCR1A（TITCR1B）レジスタの間引き回数設定ビット（T3ACOR、T4VCOR（T6ACOR、T7VCOR））を “0” にしたとき）は、割り込み間引き機能 1 と連動しない（MTU4.TADCR（MTU7.TADCR））レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE（ITA6AE、ITA7VE、ITB6AE、ITB7VE）ビットを “0” にする）設定にしてください。
また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA、MTU7.TADCORB）には 0002h ～ TCDRA の設定値－ 2（TCDRB の設定値－ 2）の値にしてください。

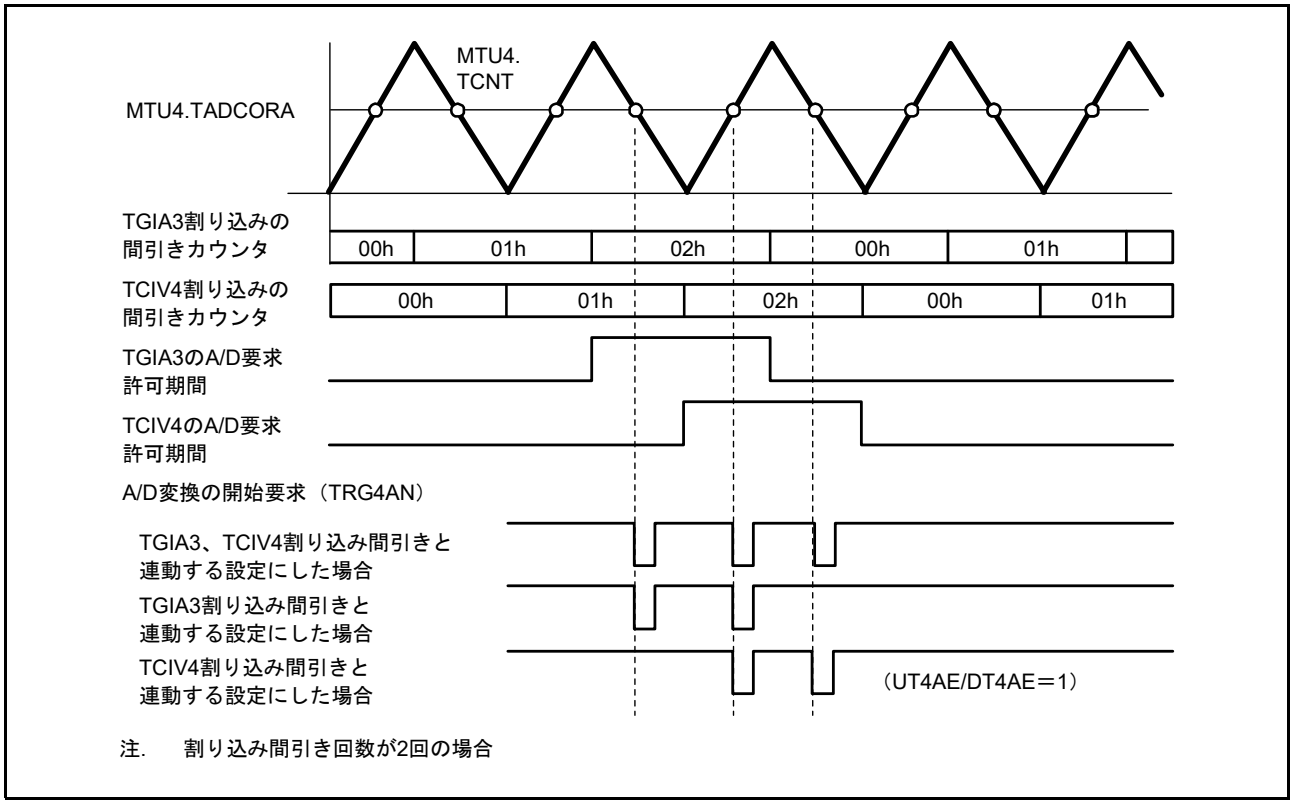


図 10.95　割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例
（UT4AE、DT4AE = 1）

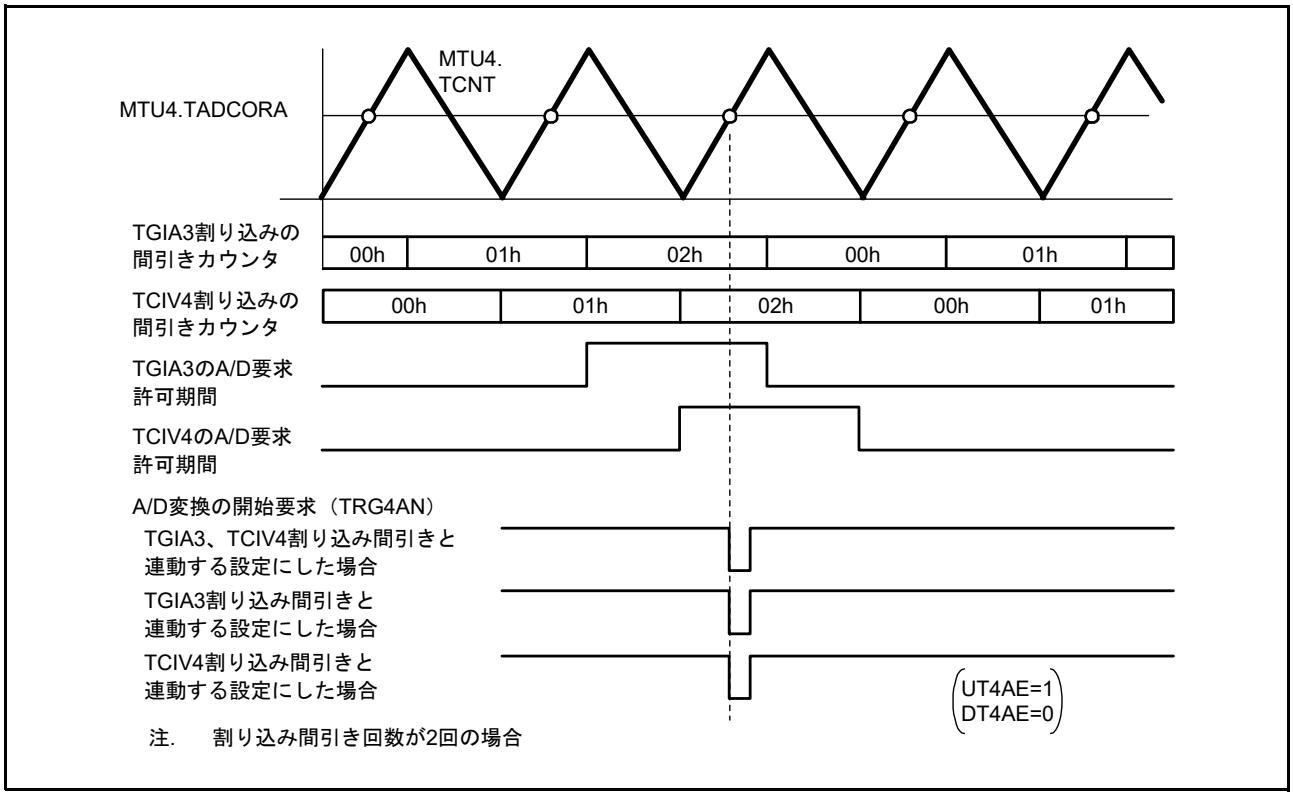


図 10.96　割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例
（UT4AE = 1、DT4AE = 0）

(6)　割り込み間引き機能 2 と連動した A/D 変換開始要求ディレイド機能

TITMRA（TITMRB）レジスタの TITM ビットを “1” にし、TITCR2A（TITCR2B）レジスタの TRG4COR[2:0]（TRG7COR[2:0]）ビットで設定した値（0 ～ 7）から、既存の A/D 変換開始トリガ（TRG4AN および TRG4BN（TRG7AN および TRG7BN））が発生するごとにカウントダウンし、カウンタ値が “0” になり、リロードが起きたとき、TRG4AN および TRG4BN（TRG7AN および TRG7BN）の割り込みが有効になり、AD 変換開始要求信号（TRG4ABN（TRG7ABN））が出力されます。

この機能は AD 変換開始要求ディレイド機能の使用時のみ有効になります。

(a)　割り込み間引き機能 2 の設定手順例

図 10.97 に割り込み間引き機能 2 の設定手順例を示します。

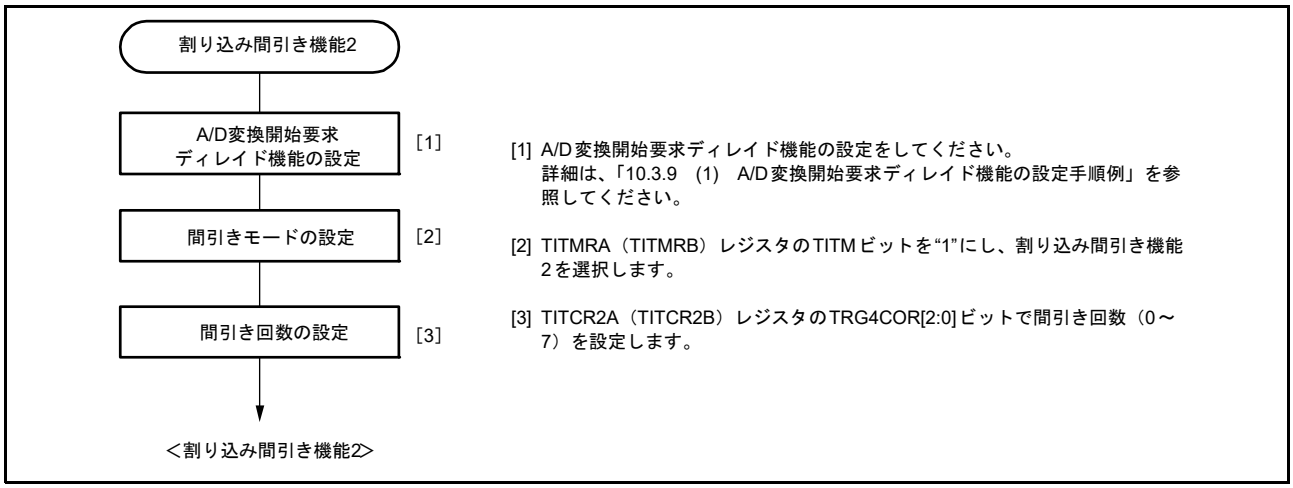


図 10.97　　割り込み間引機能 2 の設定手順例

(b)　割り込み間引き機能 2 の動作例

図 10.98 に割り込み間引き機能 2 の動作例を示します。

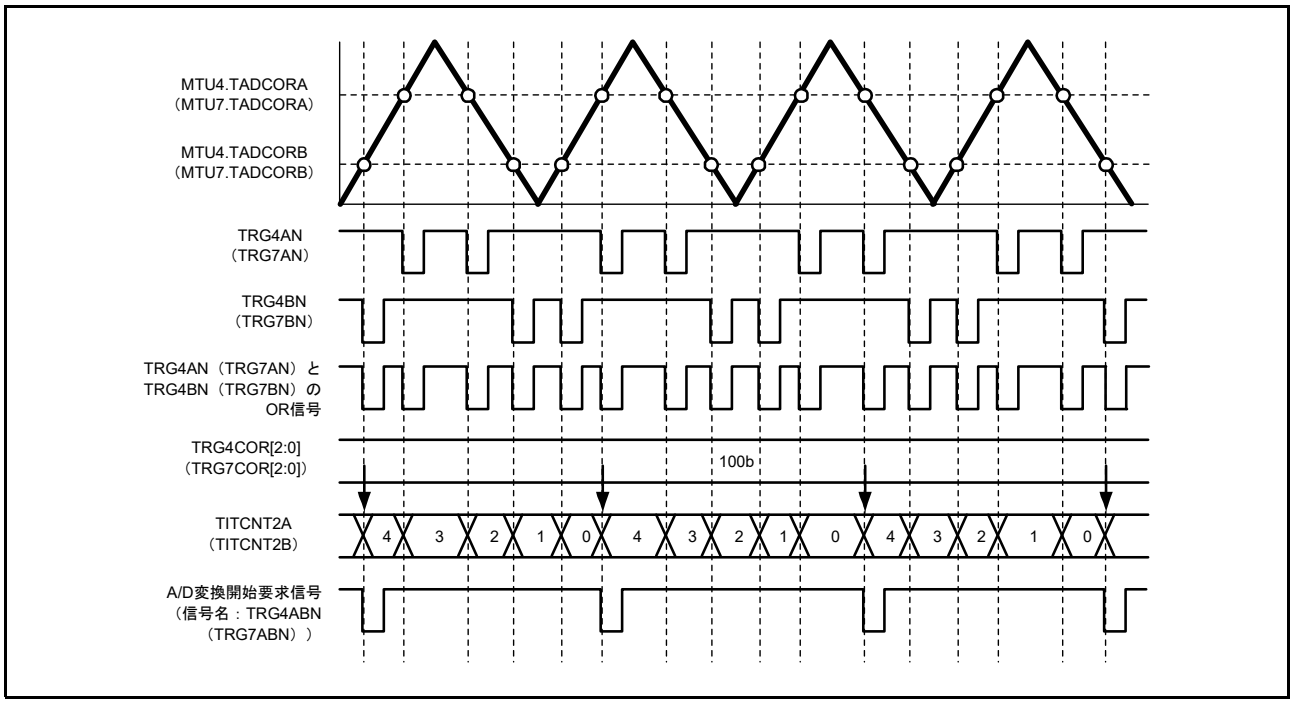


図 10.98　　割り込み間引き機能 2 の動作例（間引き回数を 4 回とした場合）

10.3.10　MTU0 ～ MTU4、MTU6、MTU7 の同期動作

(1)　MTU0 ～ MTU4、MTU6、MTU7 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ～ MTU4、MTU6、MTU7 のカウンタを同期スタートすることができます。

(a)　MTU0 ～ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例

図 10.99 に MTU0 ～ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例を示します。

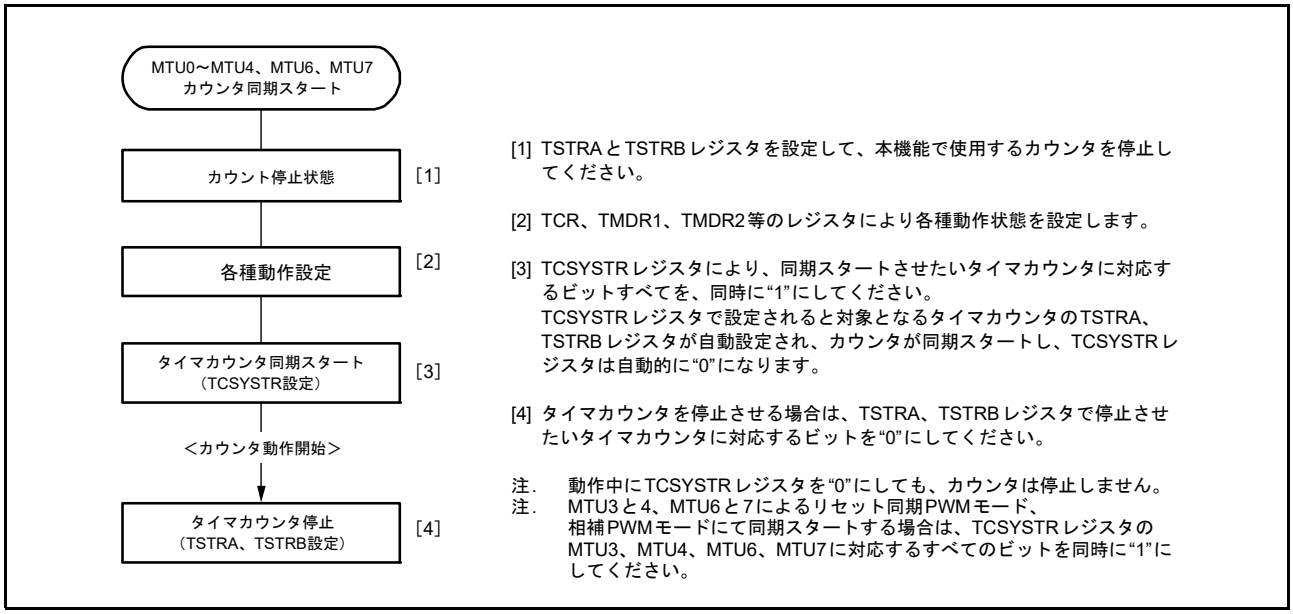


図 10.99　MTU0 ～ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例

(b)　カウンタ同期スタート動作の例

図 10.100 に、MTU0 ～ MTU4、MTU6、MTU7 カウンタ同期スタートの動作例を示します。

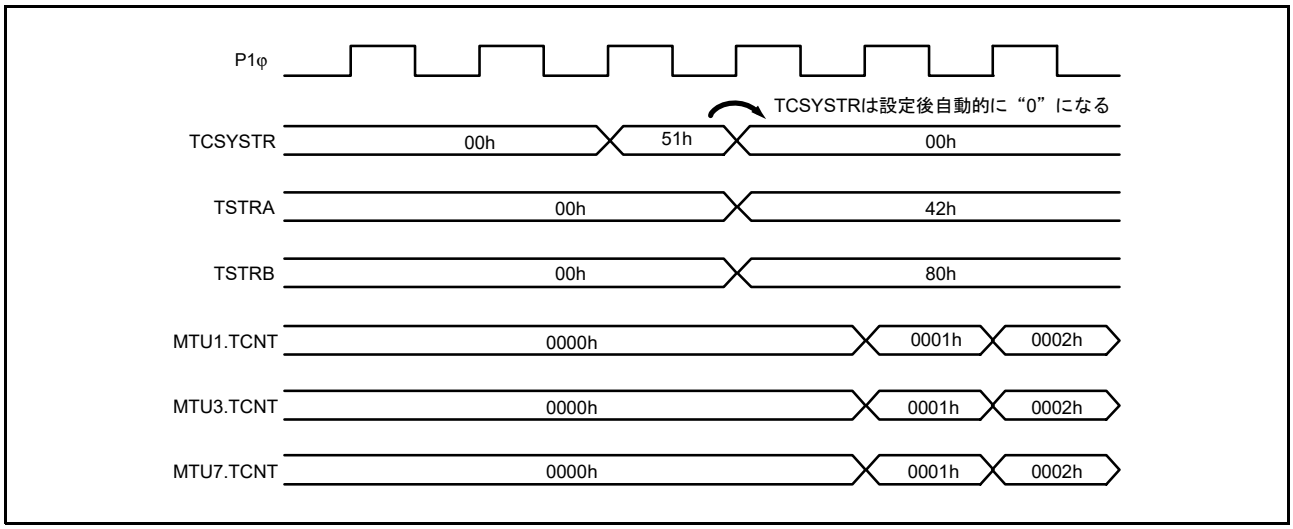


図 10.100　MTU0 ～ MTU4、MTU6、MTU7 カウンタ同期スタートの動作例

(2) MTU6、MTU7 カウンタ同期クリア

MTU6、MTU7 は TSYCR レジスタを設定することにより、TGImn 割り込み発生タイミング（m ＝ A ～ D、n ＝ 0 ～ 2）を利用して、カウンタクリアすることができます。

(a) MTU6、MTU7 カウンタ同期クリアの設定手順例

図 10.101 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの設定手順例を示します。

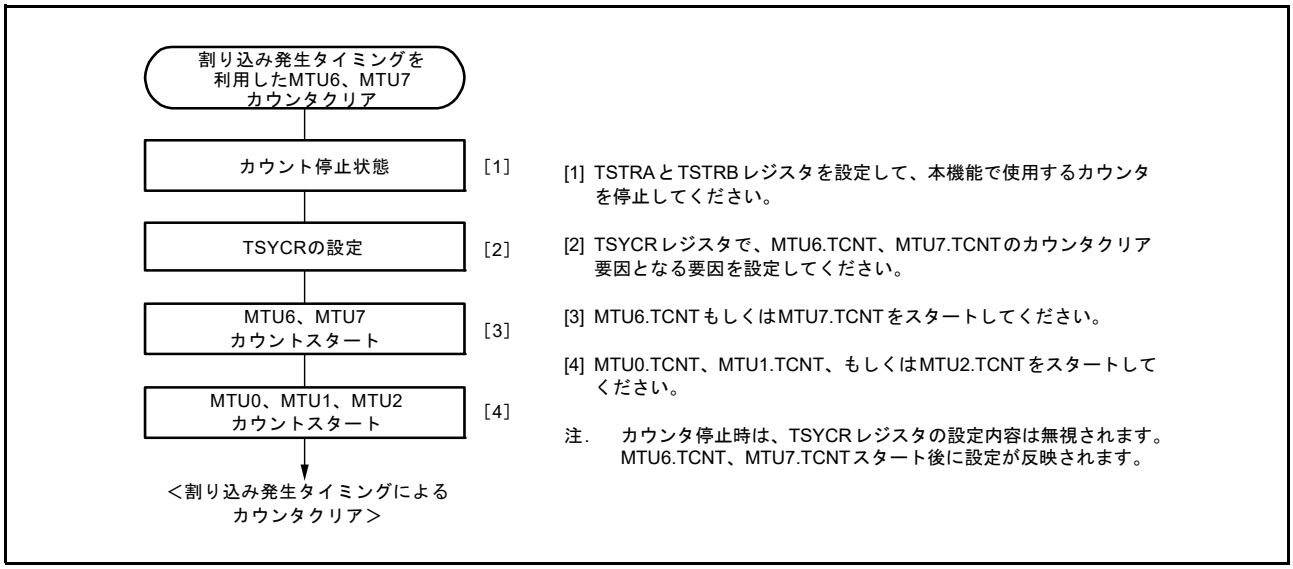


図 10.101　MTU6、MTU7 カウンタ同期クリアの設定手順例

(b) MTU6、MTU7 カウンタ同期クリアの動作例

図 10.102、図 10.103 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの動作例を示します。

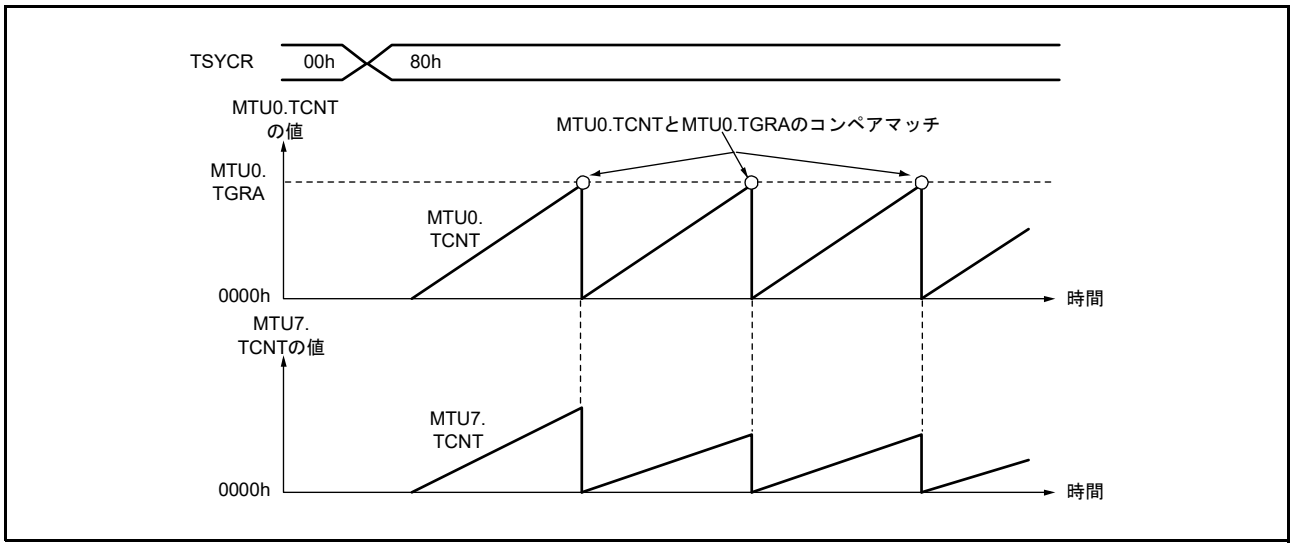


図 10.102　MTU6、MTU7 カウンタ同期クリアの動作例（1）

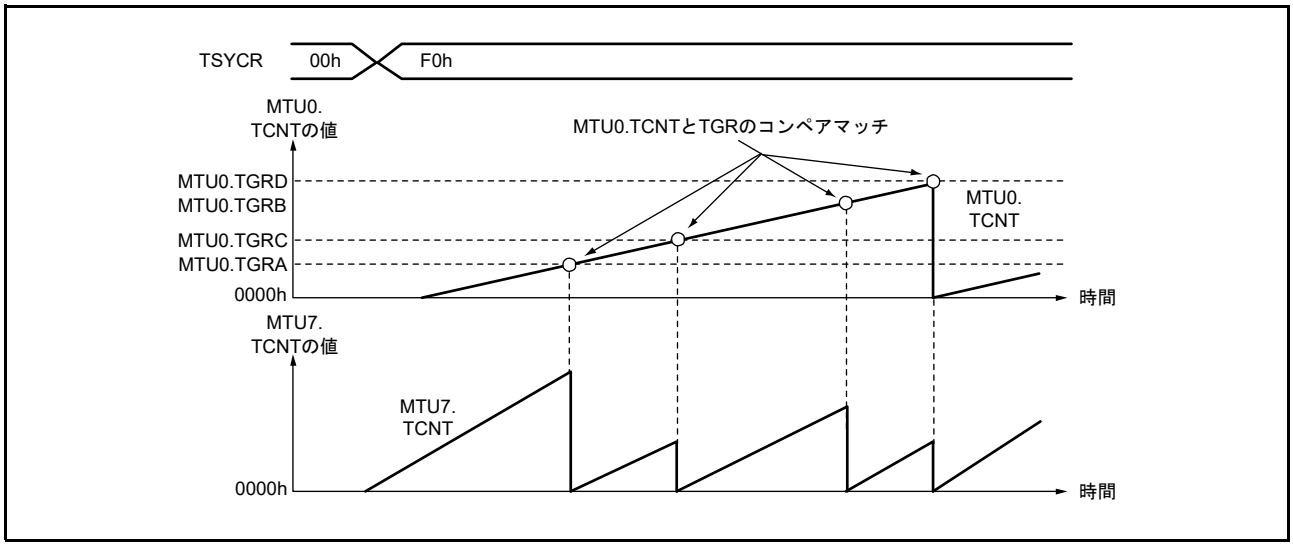


図 10.103　MTU6、MTU7 カウンタ同期クリアの動作例（2）

10.3.11　外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU、MTU5.TIORV、MTU5.TIORW の IOC[4:0] ビットにパルス幅測定条件を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU、TCNTV、TCNTW はカウントアップします。

外部パルス幅測定の設定例を図 10.104 に、動作例を図 10.105 に示します。

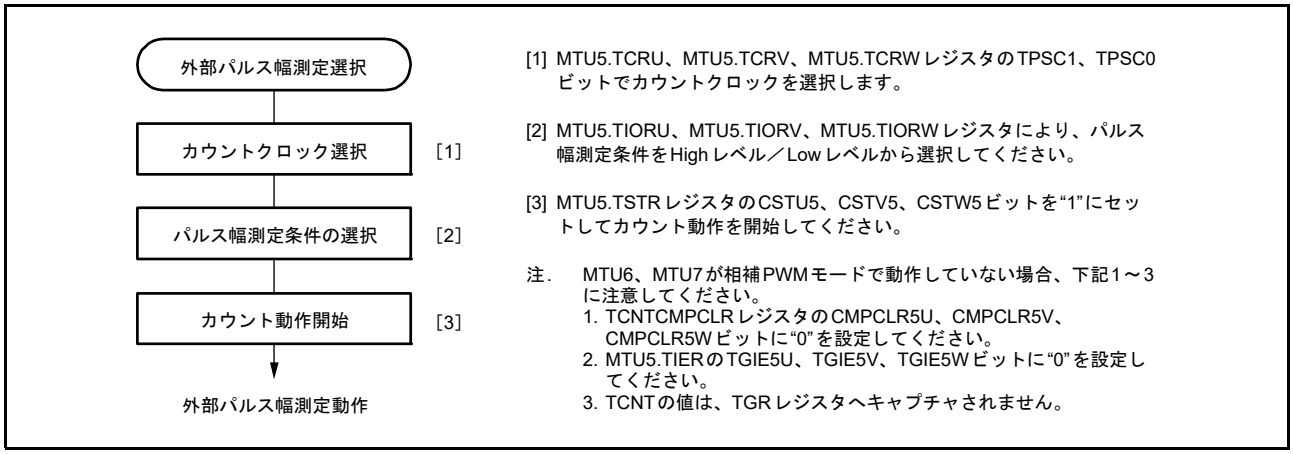


図 10.104　外部パルス幅測定の設定手順例

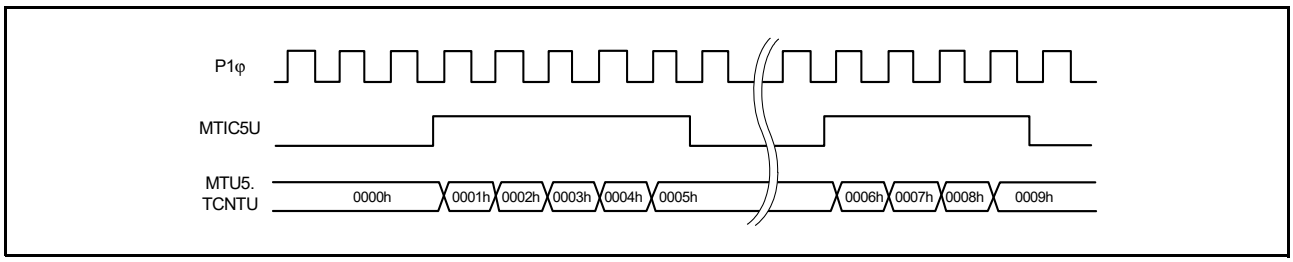


図 10.105　外部パルス幅測定の動作例（High パルス幅測定）

10.3.12　デッドタイム補償用機能

MTU5 ～ MTU7 を組み合わせて、デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を補償することができます。図 10.106 に、MTU5 ～ MTU7 を組み合わせて、デッドタイム遅れを補償するモータ制御の回路例を示します。MTU5 の外部パルス測定機能で相補 PWM 出力とインバータ出力間の遅延を測定して、PWM 出力のコンペアレジスタに設定するデューティを補正することで、MTU6, MTU7 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイムを補償することができます（図 10.107）。MTU5 ～ MTU7 を使用したデッドタイム補償の設定手順を図 10.108 に示します。このときの MTU5 の動作については、「10.3.13　相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ 動作」を参照してください。

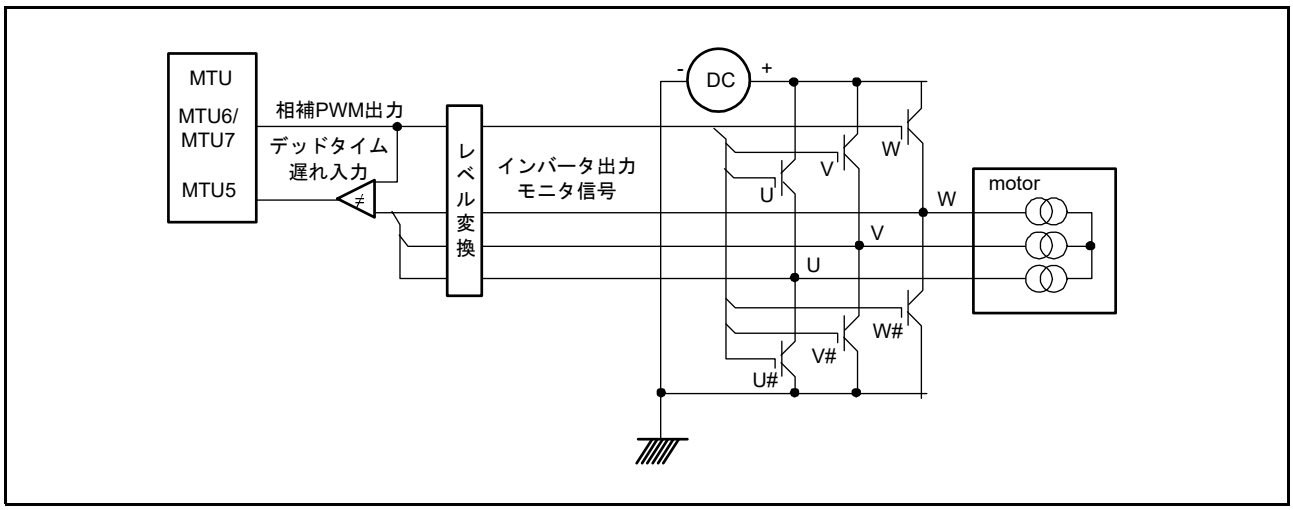


図 10.106　モータ制御回路例

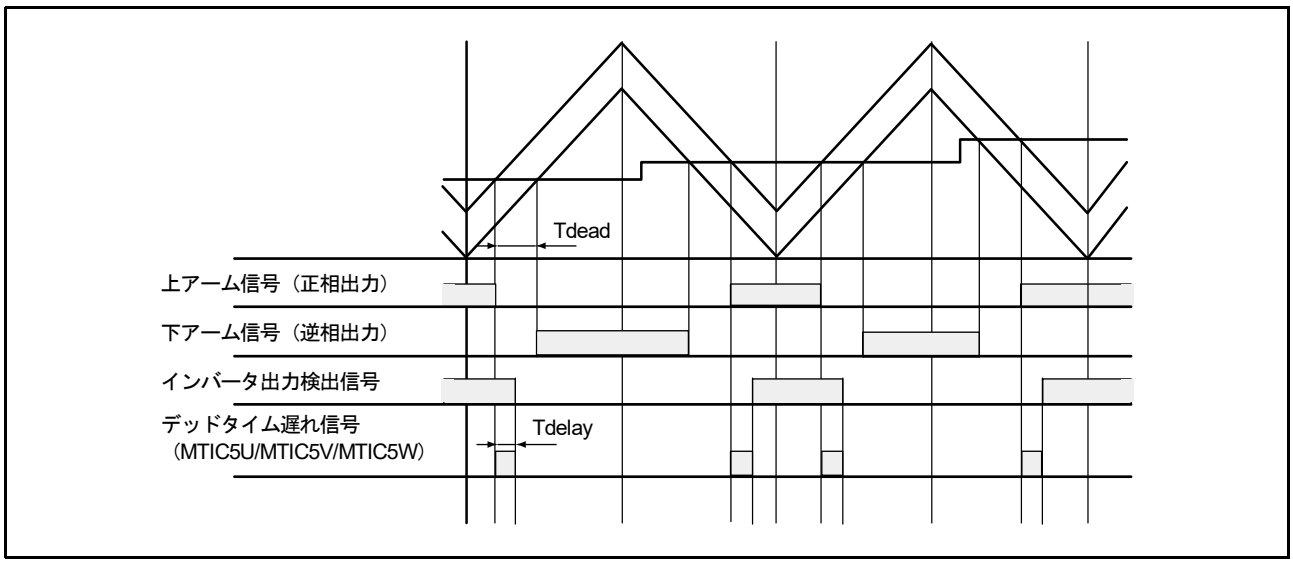
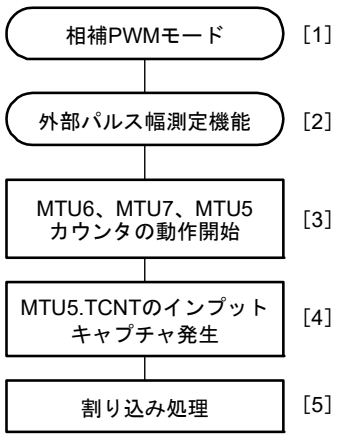


図 10.107　相補 PWM 動作時のデッドタイム遅れ

(1)　デッドタイム補償用機能の設定手順例

MTU5 の 3 本のカウンタを使用したデッドタイム補償用機能の設定手順例を図 10.108 に示します。



[1] MTU6、MTU7に相補PWMモードの設定をします。
詳細は「10.3.8　相補PWMモード」を参照してください。

[2] 使用するMTU5のTIORに外部パルス幅測定機能の設定をします。
詳細は「10.3.11　外部パルス幅測定機能」を参照してください。

[3] TSTRBレジスタのCST6、CST7ビットとMTU5.TSTRの
CSTU5、CSTV5、CSTW5を“1”にして、カウント動作を開始してください。

[4] TIORに設定したキャプチャ条件が発生したとき、MTU5.TCNTの値をMTU5.TGRに取り込みます。
TIORに設定したキャプチャ条件でMTU5.TGIm5割り込み（m＝U、V、W）要求の発生を抑止するため、MTU5.TIERに割り込み要求の許可を設定しないでください。

[5] U相のデッドタイム補償は、相補PWMモードの山（TGIA6）もしくは谷（TCIV7）の割り込み処理で、MTU5.TGRUの値を読み出し、MTU6.TGRBとの時間差を算出して、補正した値をMTU6.TGRDに書き込みます。
V相とW相についても同様にMTU5.TGRVとMTU5.TGRWの値をMTU7.TGRCとTGRDに補正した値を書き込みます。
MTU5.TCNTのクリアは、TCNTCMPCLRの設定もしくはソフトウェアで行ってください。

注.　汎用入出力ポートのポートモードレジスタ（PMR）とPmn端子機能制御レジスタ（PmnPFS）の設定は前もって完了しておいてください。
TIORに設定したキャプチャ条件で割り込みフラグがセットされるので、MTU5.TIERに割り込み要求の許可を設定しないでください。

図 10.108　デッドタイム補償用機能の設定手順例

10.3.13　相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作

MTU5 の外部パルス幅測定機能は、MTU6, MTU7 を相補 PWM モードで動作させたときに、相補 PWM の山、谷、または山と谷で TCNTU, TCNTV, TCNTW の値を TGRU, TGRV, TGRW に転送する機能です。転送タイミングは TIORU, TIORV, TIORW に設定します。また TCNTCMPCLR レジスタの CMPCLR5U, CMPCLR5V, CMPCLR5W ビットを “1” にすると、TGRU, TGRV, TGRW への転送タイミングで TCNTU, TCNTV, TCNTW が “0000h” になります。

なお、MTU3、MTU4 を相補 PWM モードで動作させるとき、相補 PWM の山、谷、または山と谷で MTU5 の TCNTU、TCNTV、TCNTW のキャプチャ動作は実行できません。

図 10.109 は TCNTU をフリーランでクリアせずに使用し、相補 PWM モードの山と谷で TGRU にキャプチャを行った動作例です。

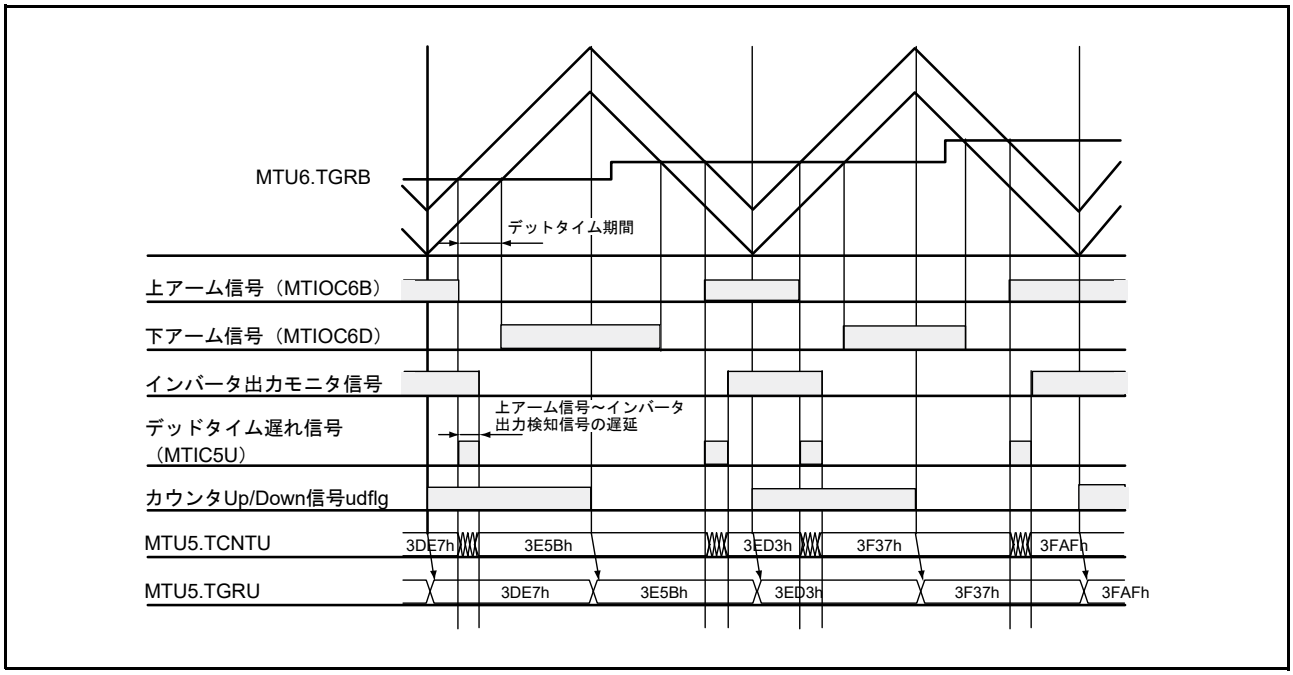


図 10.109　相補 PWM の山と谷での TCNTU キャプチャ動作

10.3.14　ノイズフィルタ機能

インプットキャプチャ入力端子、および外部クロック入力端子にはノイズフィルタ機能があります。

NFCRn レジスタ（n = 0 ～ 7、C）にノイズフィルタ機能の有効／無効、およびサンプリングクロックの設定をしてください。ノイズフィルタ機能の有効／無効は端子ごとに設定でき、サンプリングクロックの設定はチャネルごとに設定できます。図 10.110 にノイズフィルタのタイミングを示します。

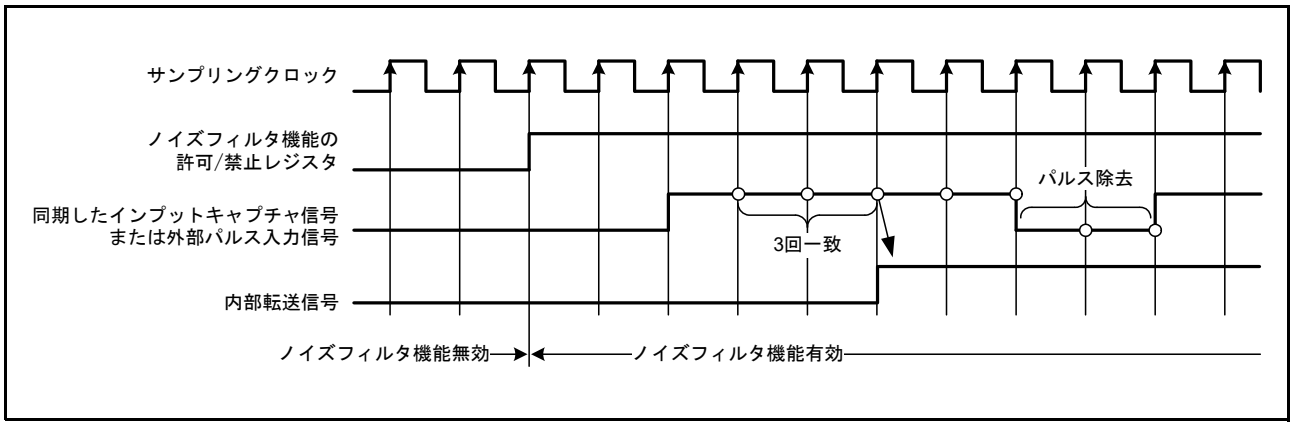


図 10.110　ノイズフィルタのタイミング

10.4　割り込み要因

10.4.1　割り込み要因と優先順位

割り込み要因には、TGR のインプットキャプチャ／コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用の許可／禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可／禁止ビットが “1” ならば、割り込みを要求します。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は固定です。詳細は「7.　割り込みコントローラ」を参照してください。表 10.78 に MTU の割り込み要因の一覧を示します。

表 10.78　MTU 割り込み要因

チャネル	名称	割り込み要因	DMAC の起動
MTU0	TGIA0	MTU0.TGRA のインプットキャプチャ／コンペアマッチ	可能
	TGIB0	MTU0.TGRB のインプットキャプチャ／コンペアマッチ	可能
	TGIC0	MTU0.TGRC のインプットキャプチャ／コンペアマッチ	可能
	TGID0	MTU0.TGRD のインプットキャプチャ／コンペアマッチ	可能
	TCIV0	MTU0.TCNT のオーバフロー	不可能
	TGIE0	MTU0.TGRE のコンペアマッチ	不可能
	TGIF0	MTU0.TGRF のコンペアマッチ	不可能
MTU1	TGIA1	MTU1.TGRA のインプットキャプチャ／コンペアマッチ	可能
	TGIB1	MTU1.TGRB のインプットキャプチャ／コンペアマッチ	可能
	TCIV1	MTU1.TCNT のオーバフロー	不可能
	TCIU1	MTU1.TCNT のアンダフロー	不可能
MTU2	TGIA2	MTU2.TGRA のインプットキャプチャ／コンペアマッチ	可能
	TGIB2	MTU2.TGRB のインプットキャプチャ／コンペアマッチ	可能
	TCIV2	MTU2.TCNT のオーバフロー	不可能
	TCIU2	MTU2.TCNT のアンダフロー	不可能
MTU3	TGIA3	MTU3.TGRA のインプットキャプチャ／コンペアマッチ	可能
	TGIB3	MTU3.TGRB のインプットキャプチャ／コンペアマッチ	可能
	TGIC3	MTU3.TGRC のインプットキャプチャ／コンペアマッチ	可能
	TGID3	MTU3.TGRD のインプットキャプチャ／コンペアマッチ	可能
	TCIV3	MTU3.TCNT のオーバフロー	不可能
MTU4	TGIA4	MTU4.TGRA のインプットキャプチャ／コンペアマッチ	可能
	TGIB4	MTU4.TGRB のインプットキャプチャ／コンペアマッチ	可能
	TGIC4	MTU4.TGRC のインプットキャプチャ／コンペアマッチ	可能
	TGID4	MTU4.TGRD のインプットキャプチャ／コンペアマッチ	可能
	TCIV4	MTU4.TCNT のオーバフロー／アンダフロー（注 1）	可能
MTU5	TGIU5	MTU5.TGRU のインプットキャプチャ／コンペアマッチ	可能
	TGIV5	MTU5.TGRV のインプットキャプチャ／コンペアマッチ	可能
	TGIW5	MTU5.TGRW のインプットキャプチャ／コンペアマッチ	可能
MTU6	TGIA6	MTU6.TGRA のインプットキャプチャ／コンペアマッチ	可能
	TGIB6	MTU6.TGRB のインプットキャプチャ／コンペアマッチ	可能
	TGIC6	MTU6.TGRC のインプットキャプチャ／コンペアマッチ	可能
	TGID6	MTU6.TGRD のインプットキャプチャ／コンペアマッチ	可能
	TCIV6	MTU6.TCNT のオーバフロー	不可能

チャネル	名称	割り込み要因	DMAC の起動
MTU7	TGIA7	MTU7.TGRA のインプットキャプチャ／コンペアマッチ	可能
	TGIB7	MTU7.TGRB のインプットキャプチャ／コンペアマッチ	可能
	TGIC7	MTU7.TGRC のインプットキャプチャ／コンペアマッチ	可能
	TGID7	MTU7.TGRD のインプットキャプチャ／コンペアマッチ	可能
	TCIV7	MTU7.TCNT のオーバフロー／アンダフロー（注 1）	可能
MTU8	TGIA8	MTU8.TGRA のインプットキャプチャ／コンペアマッチ	可能
	TGIB8	MTU8.TGRB のインプットキャプチャ／コンペアマッチ	可能
	TGIC8	MTU8.TGRC のインプットキャプチャ／コンペアマッチ	可能
	TGID8	MTU8.TGRD のインプットキャプチャ／コンペアマッチ	可能
	TCIV8	MTU8.TCNT のオーバフロー	不可能

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。
注 1.　アンダフローは相補 PWM モード時のみ有効

(1)　インプットキャプチャ／コンペアマッチ割り込み

各チャネルの TGR のインプットキャプチャ／コンペアマッチが発生したとき、TIER.TGIE ビットが “1” であれば、割り込みを要求します。MTU には、MTU0 に 6 本、MTU3、MTU4、MTU6、MTU7、MTU8 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に 3 本、計 33 本のインプットキャプチャ／コンペアマッチ割り込みがあります。

(2)　オーバフロー割り込み

各チャネルの TCNT のオーバフローが発生したとき、TIER.TCIEV ビットが “1” であれば、割り込みを要求します。MTU には、MTU5 を除く各チャネルに 1 本、計 8 本のオーバフロー割り込みがあります。

なお、相補 PWM モードで動作時は、MTU4.TCNT、MTU7.TCNT のアンダフロー発生時もオーバフロー割り込みが発生します。

(3)　アンダフロー割り込み

各チャネルの TCNT のアンダフローが発生したとき、TIER.TCIEU ビットが “1” であれば、割り込みを要求します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

10.4.2　DMAC の起動

(1)　DMAC の起動

各チャネルの TGR のインプットキャプチャ／コンペアマッチ割り込み、MTU4、MTU7 のオーバフロー割り込みによって、DMAC を起動することができます。詳細は「9.　ダイレクトメモリアクセスコントローラ」を参照してください。

MTU では、MTU0、MTU3、MTU6、MTU8 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が各 5 本、MTU5 が 3 本、計 33 本のインプットキャプチャ／コンペアマッチ割り込み、オーバフロー割り込みを DMAC の起動要因とすることができます。

10.4.3　A/D コンバータの起動

MTU では、次の 3 種類の方法で A/D コンバータを起動することができます。
各割り込み要因と A/D 変換開始要求の対応を、**表 10.79** に示します。

(1)　TGRA のインプットキャプチャ／コンペアマッチと、相補 PWM モード時の MTU4.TCNT（MTU7.TCNT）の谷での A/D 起動

各チャネルの TGRA のインプットキャプチャ／コンペアマッチによって、A/D コンバータを起動することができます。また、MTU4.TIER（MTU7.TIER）の TTGE2 ビットを “1” にした状態で、相補 PWM 動作をさせた場合は、MTU4.TCNT（MTU7.TCNT）が谷（MTU4.TCNT（MTU7.TCNT）＝ 0000h）になったときも A/D コンバータを起動することができます。
次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAnN（n = 0 ～ 4, 6, 7）を発生します。

- 各チャネルの TGRA のインプットキャプチャ／コンペアマッチが発生したとき、TIER.TTGE ビットが “1” になっていた場合
- MTU4.TIER（MTU7.TIER）の TTGE2 ビットが “1” の状態で、相補 PWM 動作をさせ、MTU4.TCNT（MTU7.TCNT）が谷（MTU4.TCNT（MTU7.TCNT）＝ 0000h）になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAnN が選択されていれば、A/D 変換が開始されます。

(2)　MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 起動

MTU0.TCNT と MTU0.TGRE のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D コンバータを起動することができます。
MTU0.TCNT と MTU0.TGRE のコンペアマッチが発生したとき、MTU0.TIER2 の TTGE2 ビットが “1” になっていれば、A/D コンバータに対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3)　A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ（MTU4.TADCR（MTU7.TADCR））の UT4AE、DT4AE、UT4BE、DT4BE（UT7AE、DT7AE、UT7BE、DT7BE）ビットを “1” にした場合、MTU4.TADCORA、MTU4.TADCORB と MTU4.TCNT（MTU7.TADCORA、MTU7.TADCORB と MTU7.TCNT）の一致によって、TRG4AN、TRG4BN（TRG7AN、TRG7BN）を発生し、A/D コンバータを起動することができます。また、TRG4AN（TRG7AN）の発生または TRG4BN（TRG7BN）の発生にて TRG4ABN（TRG7ABN）を出力し、A/D コンバータを起動することができます。詳細は「**10.3.9　A/D 変換開始要求ディレイド機能**」を参照してください。
TRG4AN（TRG7AN）が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4AN（TRG7AN）が選択されているとき、TRG4BN（TRG7BN）が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4BN（TRG7BN）が選択されているとき、TRG4ABN（TRG7ABN）が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4ABN（TRG7ABN）が選択されているとき、おのおの A/D 変換が開始されます。

表10.79　各割り込み要因とA/D変換開始要求の対応

対象	割り込み要因	A/D変換開始要求
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ／コンペアマッチ	TRGA0N
MTU1.TGRAとMTU1.TCNT		TRGA1N
MTU2.TGRAとMTU2.TCNT		TRGA2N
MTU3.TGRAとMTU3.TCNT		TRGA3N
MTU4.TGRAとMTU4.TCNT（注1）		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU6.TGRAとMTU6.TCNT	インプットキャプチャ／コンペアマッチ	TRGA6N
MTU7.TGRAとMTU7.TCNT（注1）		TRGA7N
MTU7.TCNT	相補PWMモード時のMTU7.TCNTの谷	
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0N
MTU4.TADCORAとMTU4.TCNT		TRG4AN
MTU4.TADCORBとMTU4.TCNT		TRG4BN
MTU7.TADCORAとMTU7.TCNT		TRG7AN
MTU7.TADCORBとMTU7.TCNT		TRG7BN
MTU4.TADCORAとMTU4.TCNT、MTU4.TADCORBとMTU4.TCNT	コンペアマッチ（割り込み間引き機能2）	TRG4ABN
MTU7.TADCORAとMTU7.TCNT、MTU7.TADCORBとMTU7.TCNT		TRG7ABN

注1.　相補PWMモード時はPWM波形を生成するため、MTU4.TGRA（MTU7.TGRA）はMTU4.TCNT（MTU7.TCNT）だけではなく、MTU3.TCNT（MTU6.TCNT）やTCNTSA（TCNTSB）ともコンペアマッチの検出を行っています。そのため、MTU3.TCNT（MTU6.TCNT）やTCNTSA（TCNTSB）とコンペアマッチが起こった際もTRGA4N（TRGA7N）を発生します。
MTU3、MTU4（MTU6、MTU7）を相補PWMモードで動作させて、A/D変換開始要求を発生させる場合はMTU4.TCNT（MTU7.TCNT）とMTU4.TADCORA/TADCORB（MTU7.TADCORA/TADCORB）とのコンペアマッチによるA/D変換開始要求を使用してください。

10.5　動作タイミング

10.5.1　入出力タイミング

(1)　TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.111、図 10.112 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 10.113 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 10.114 に示します。

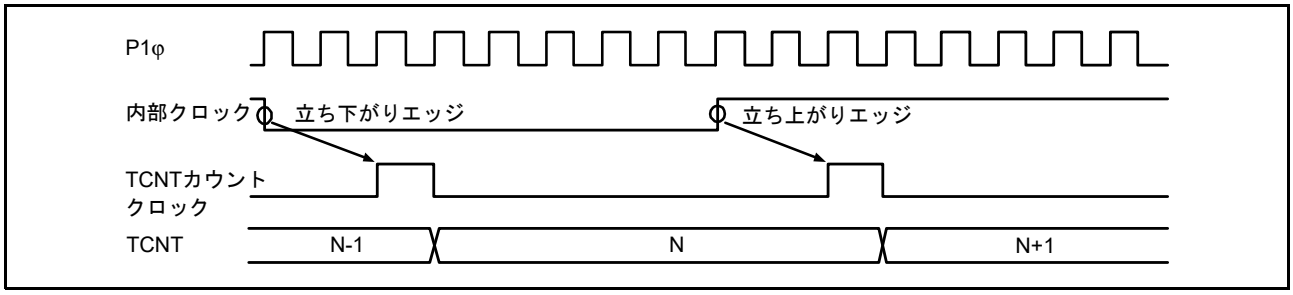


図 10.111　内部クロック動作時のカウントタイミング（MTU0 ～ MTU4、MTU6 ～ MTU8）

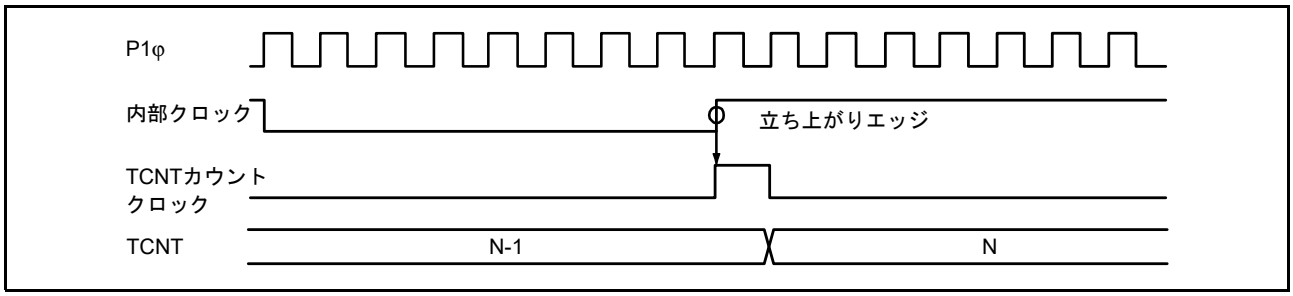


図 10.112　内部クロック動作時のカウントタイミング（MTU5）

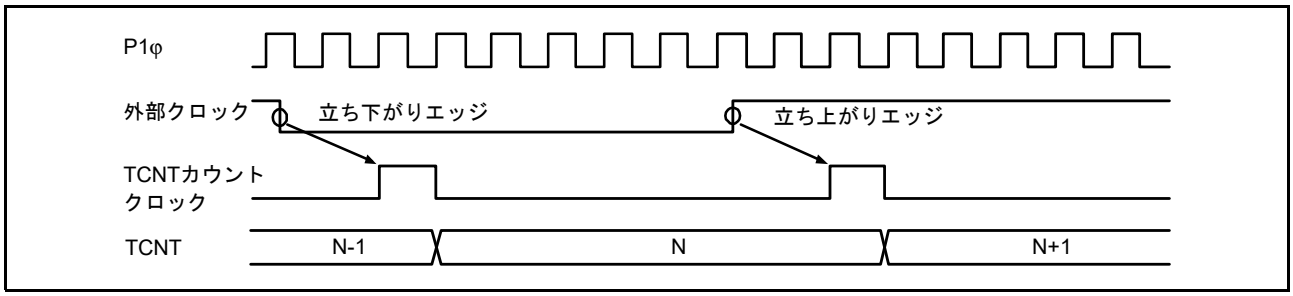


図 10.113　外部クロック動作時のカウントタイミング（MTU0 ～ MTU4、MTU6 ～ MTU8）

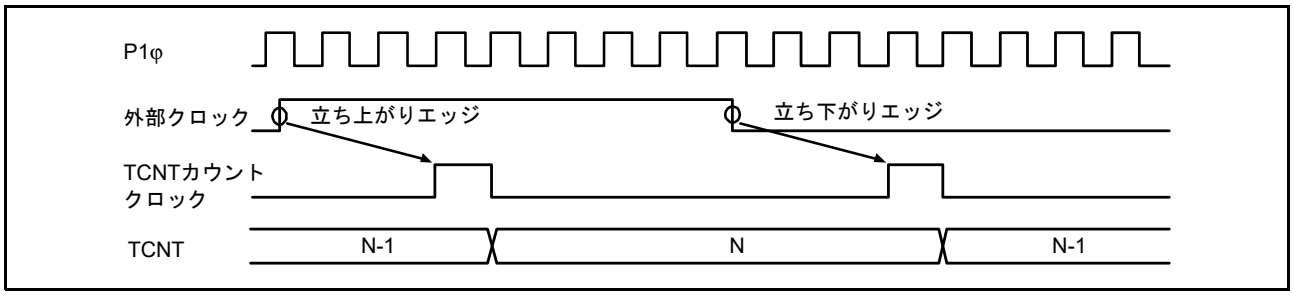


図 10.114　外部クロック動作時のカウントタイミング（位相計数モード）

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値が MTIOCnm 端子（n = 0 ～ 4、6、7、8、m = A ～ D）に出力されます。TCNT と TGR が一致した後、TCNT カウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 10.115 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 10.116 に示します。

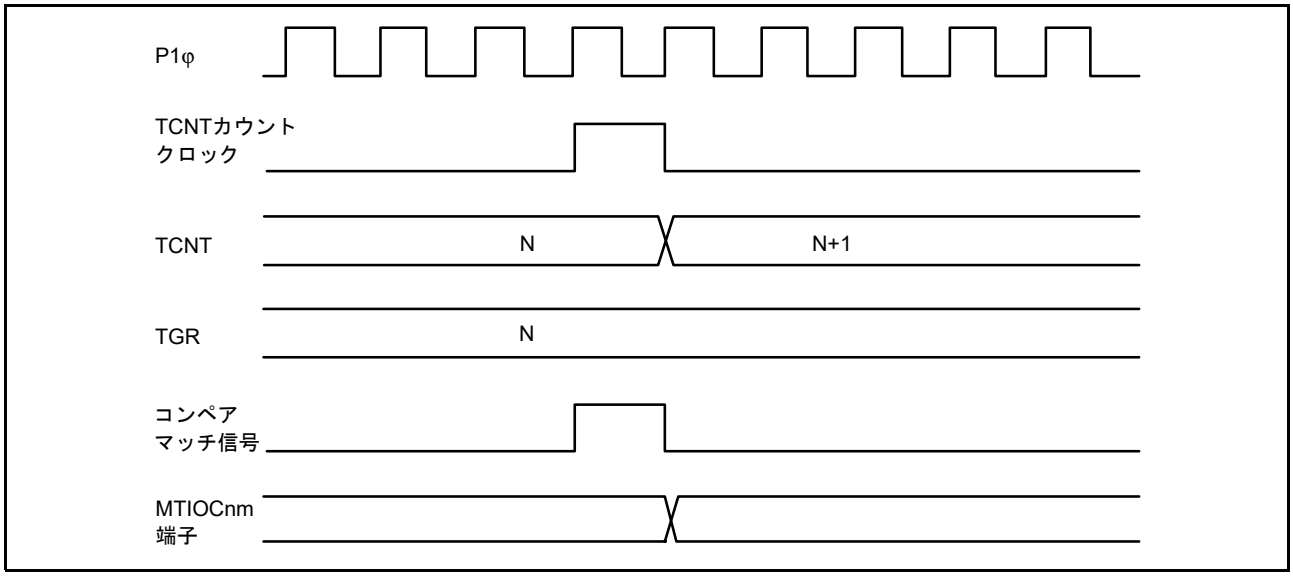


図 10.115　アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）
（n = 0 ～ 4、6、7、8、m = A ～ D）

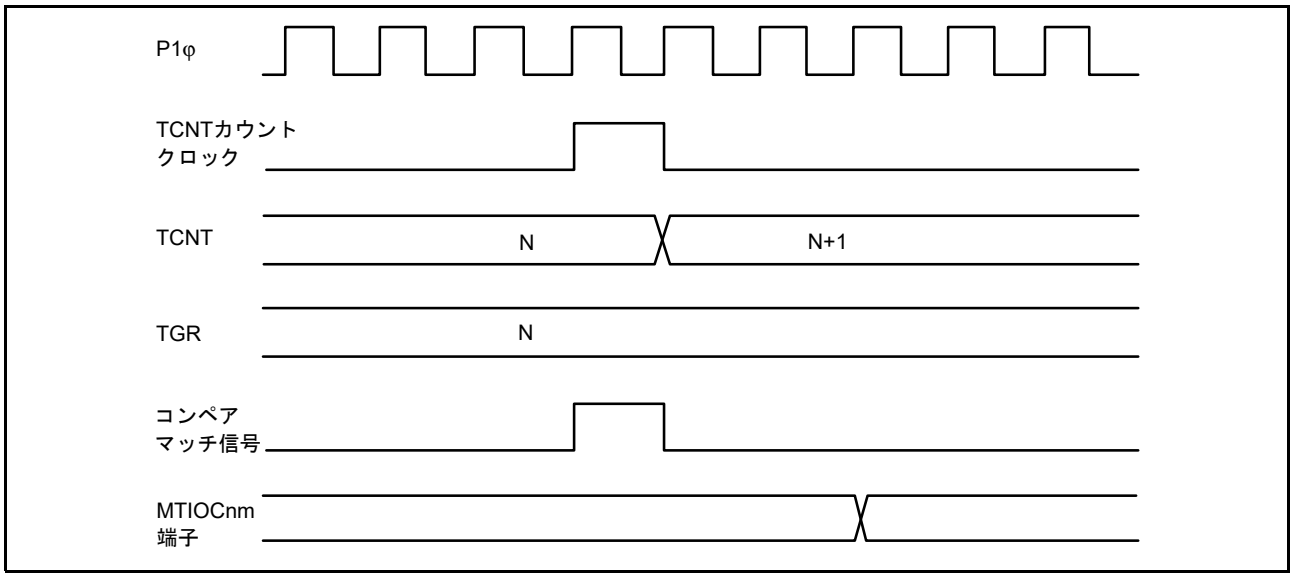


図 10.116　アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）
（n = 0 ～ 4、6、7、8、m = A ～ D）

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 10.117 に示します。

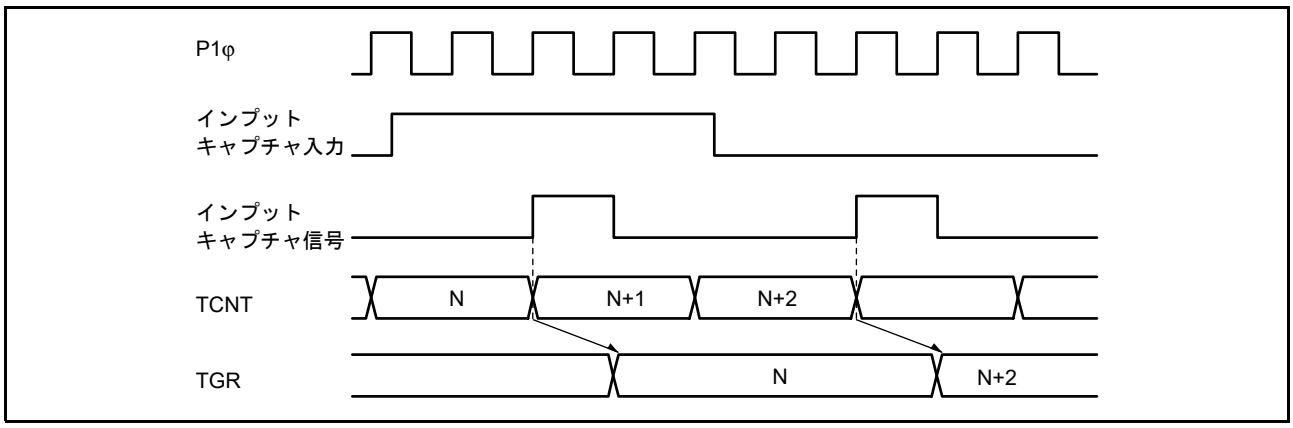


図 10.117　インプットキャプチャ入力信号タイミング

(4) コンペアマッチ／インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.118、図 10.119 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.120 に示します。

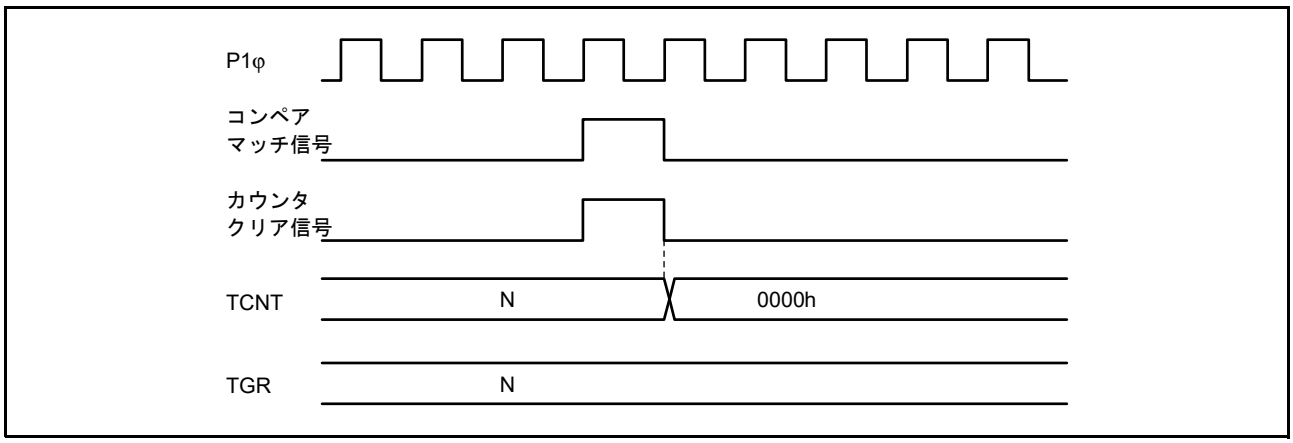


図 10.118　カウンタクリアタイミング（コンペアマッチ）（MTU0 ～ MTU4、MTU6 ～ MTU8）

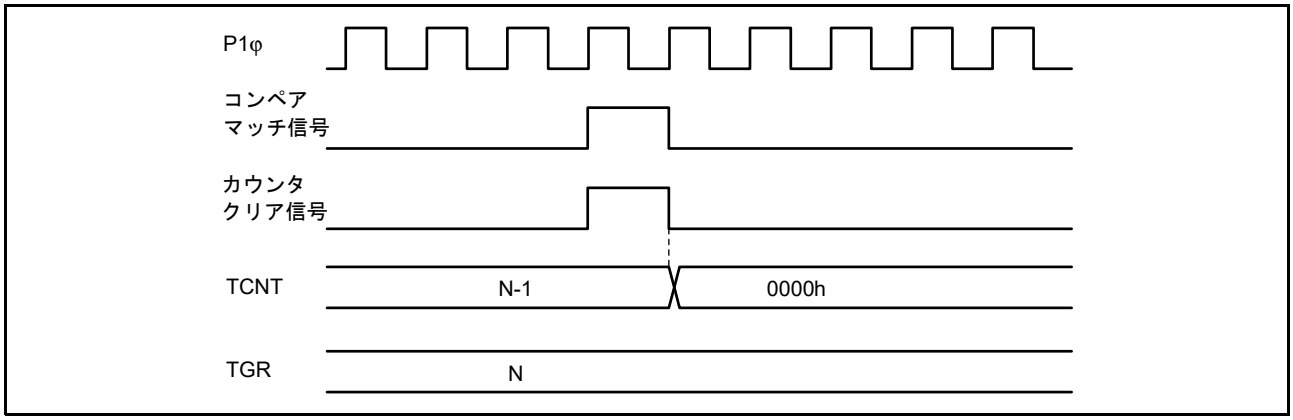


図 10.119　カウンタクリアタイミング（コンペアマッチ）（MTU5）

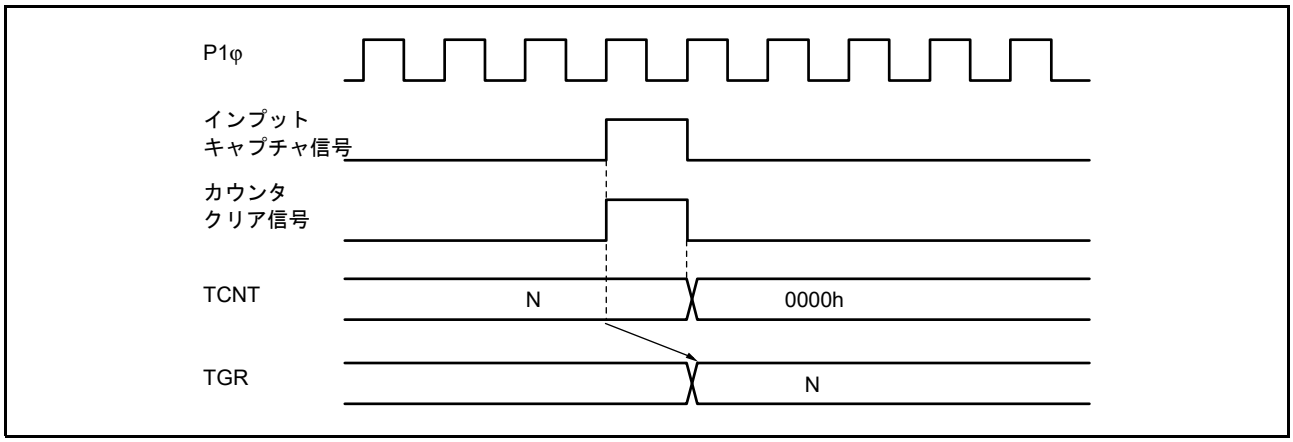


図 10.120　カウンタクリアタイミング（インプットキャプチャ）（MTU0 ～ MTU8）

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.121 ～図 10.123 に示します。

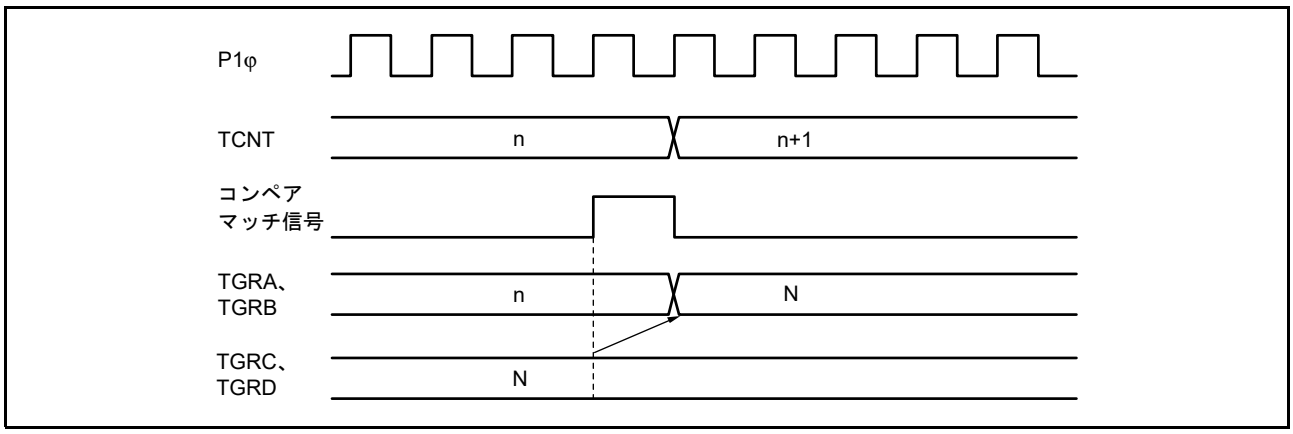


図 10.121　バッファ動作タイミング（コンペアマッチ）

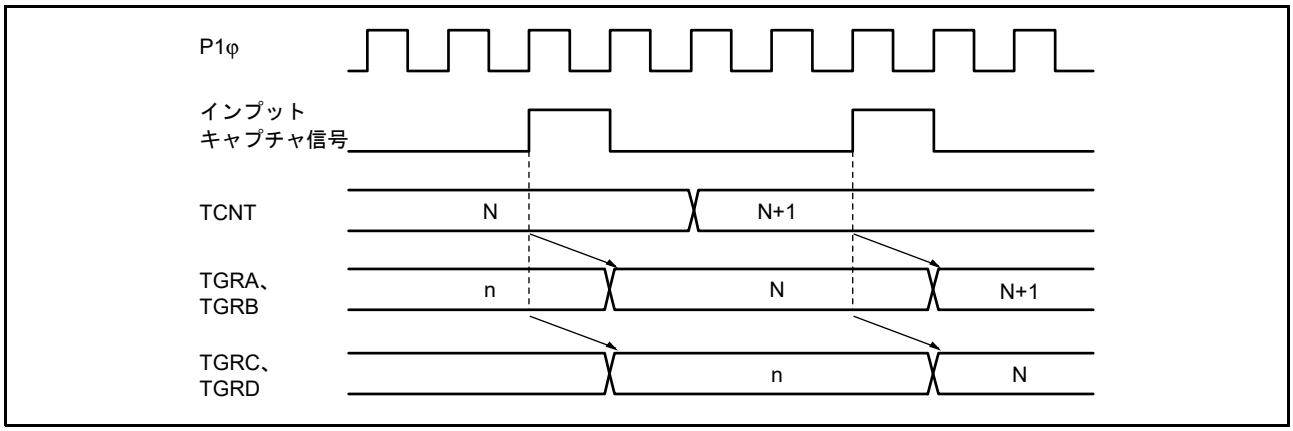


図 10.122　バッファ動作タイミング（インプットキャプチャ）

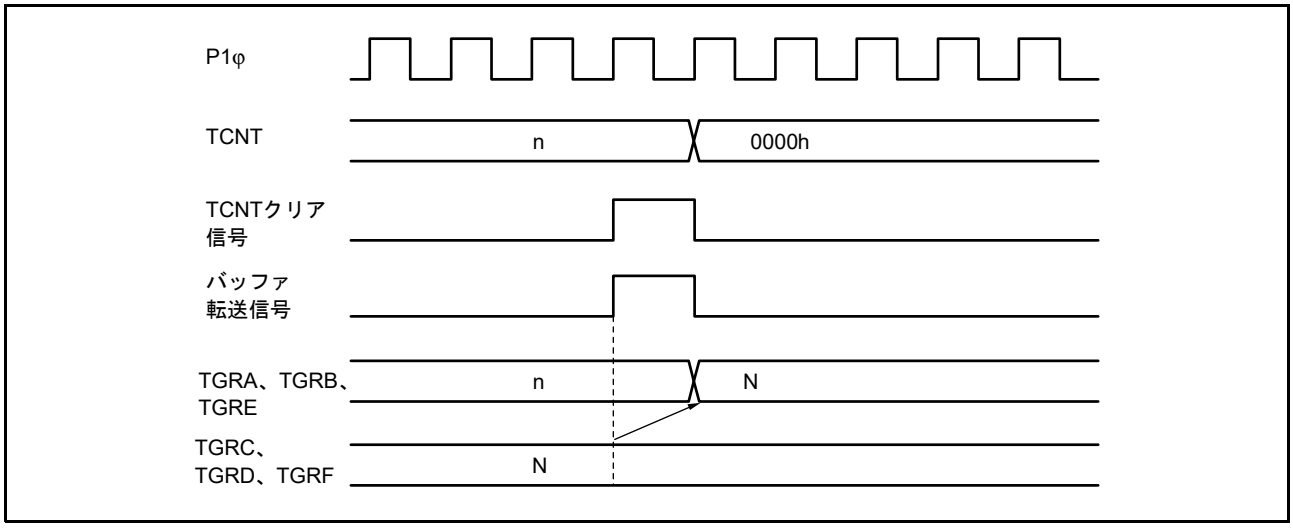


図 10.123　バッファ動作タイミング（TCNT クリア時）

(6) バッファ転送タイミング（相補 PWM モード時）

相補 PWM モード時のバッファ転送のタイミングを図 10.124 ～図 10.126 に示します。

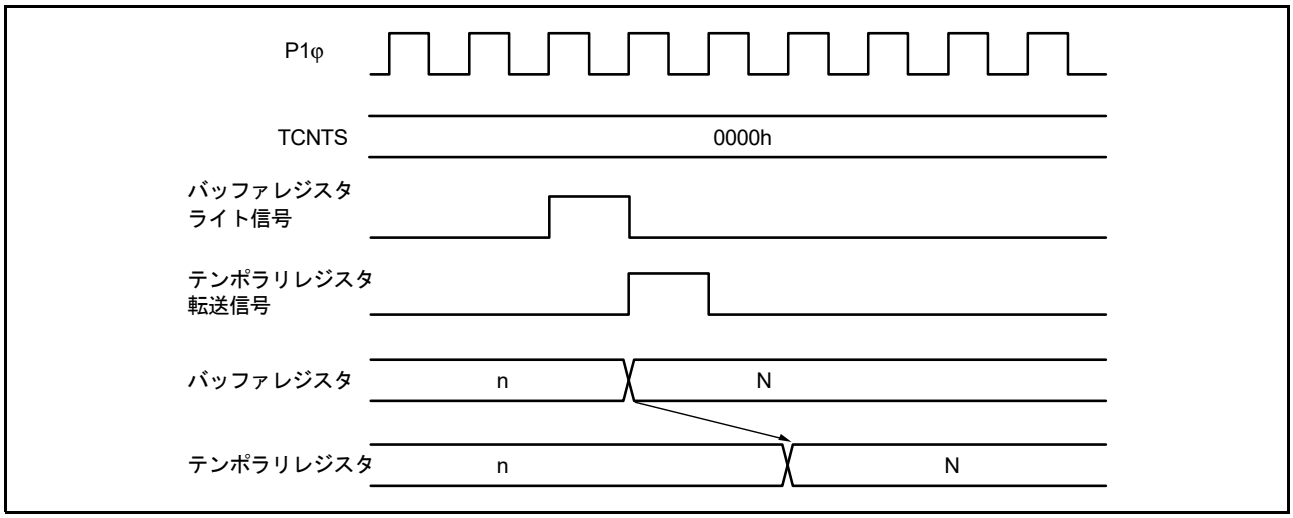


図 10.124　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTSA 停止中）

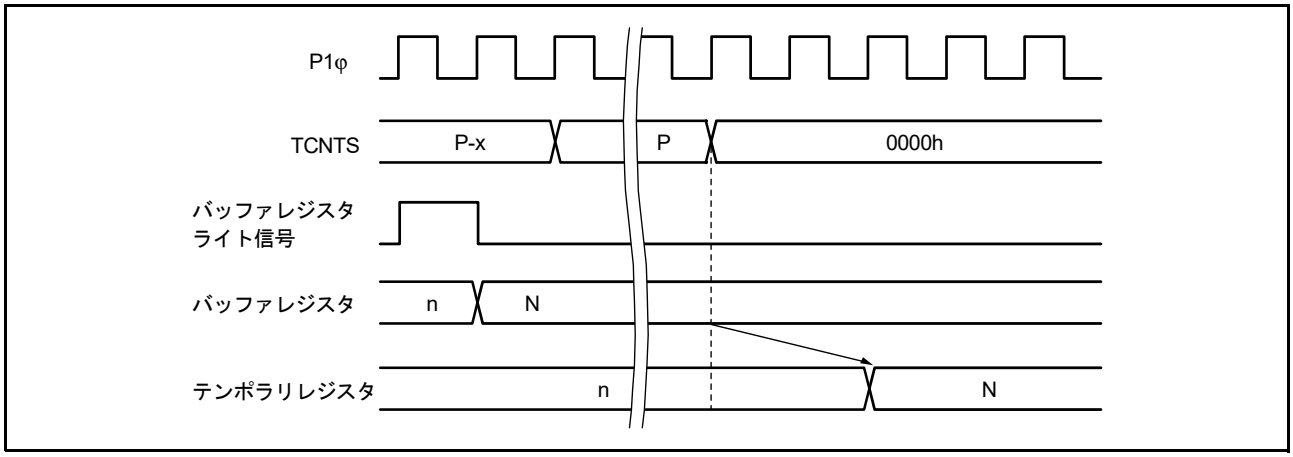


図 10.125　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTSA 動作中）

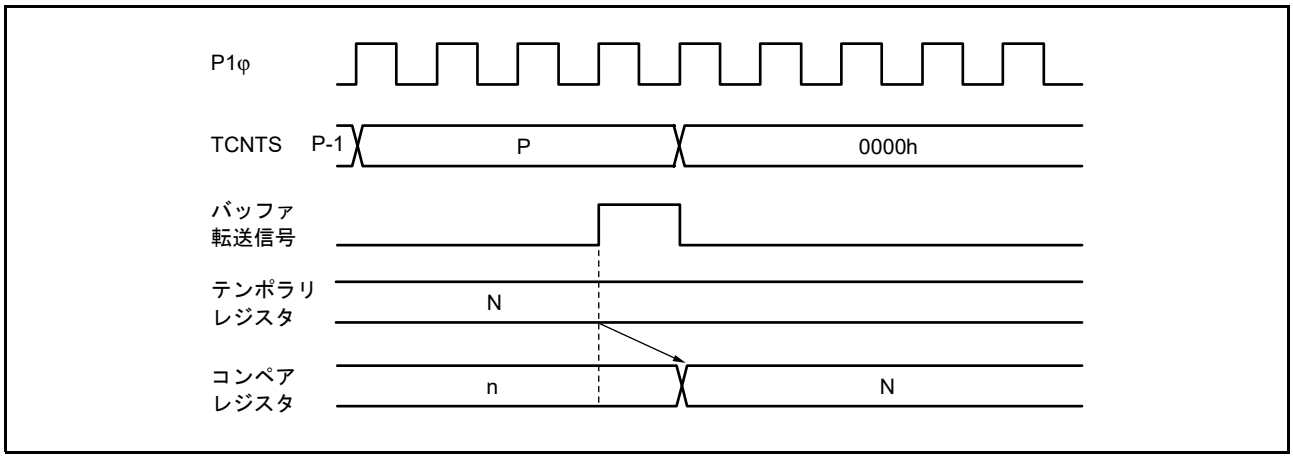


図 10.126　テンポラリレジスタからコンペアレジスタへの転送タイミング

10.5.2　割り込み信号タイミング

(1)　コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチが発生したときの TGI 割り込み要求信号のタイミングを図 10.127、図 10.128 に示します。

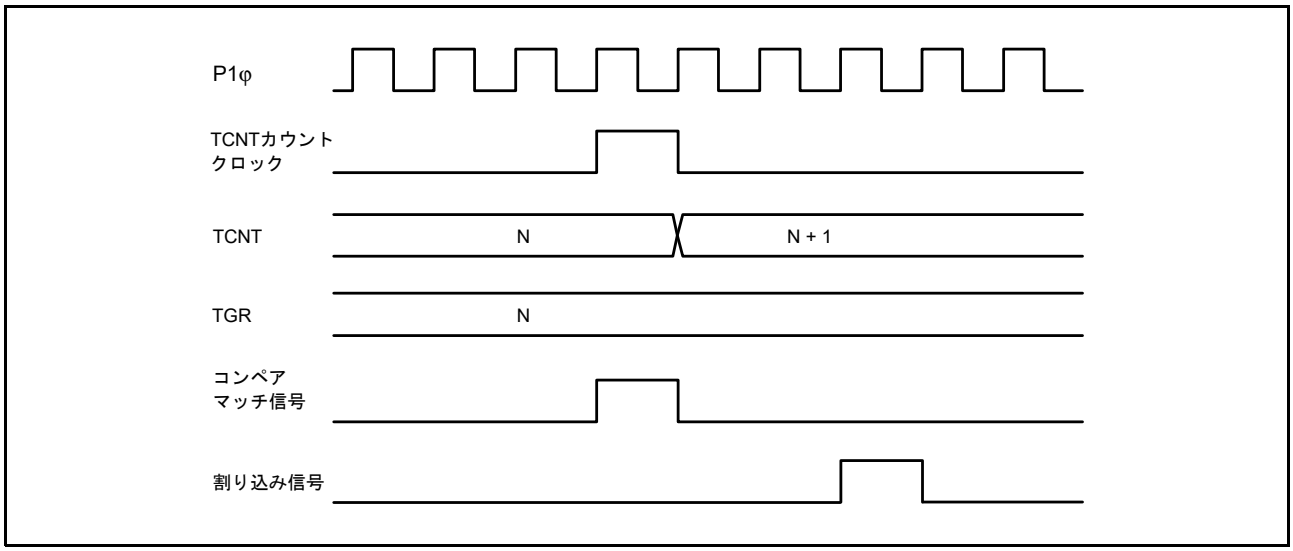


図 10.127　TGI 割り込みタイミング（コンペアマッチ）（MTU0 ～ MTU4、MTU6 ～ MTU8）

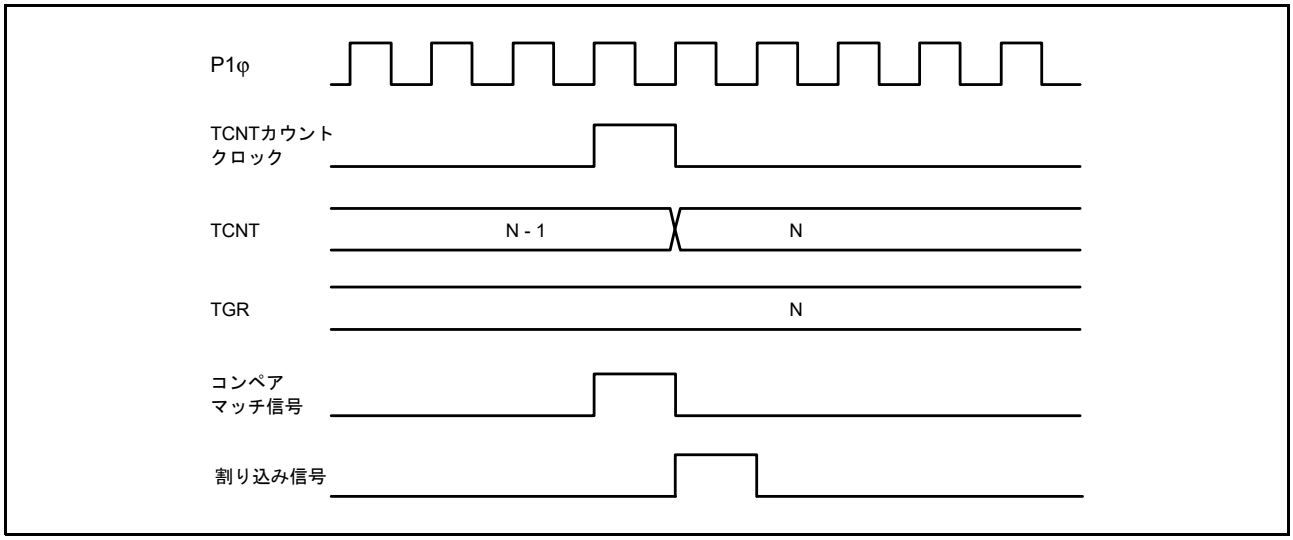


図 10.128　TGI 割り込みタイミング（コンペアマッチ）（MTU5）

(2) インプットキャプチャ時の TGI 割り込みタイミング

インプットキャプチャが発生したときの TGI 割り込み要求信号のタイミングを図 10.129、図 10.130 に示します。

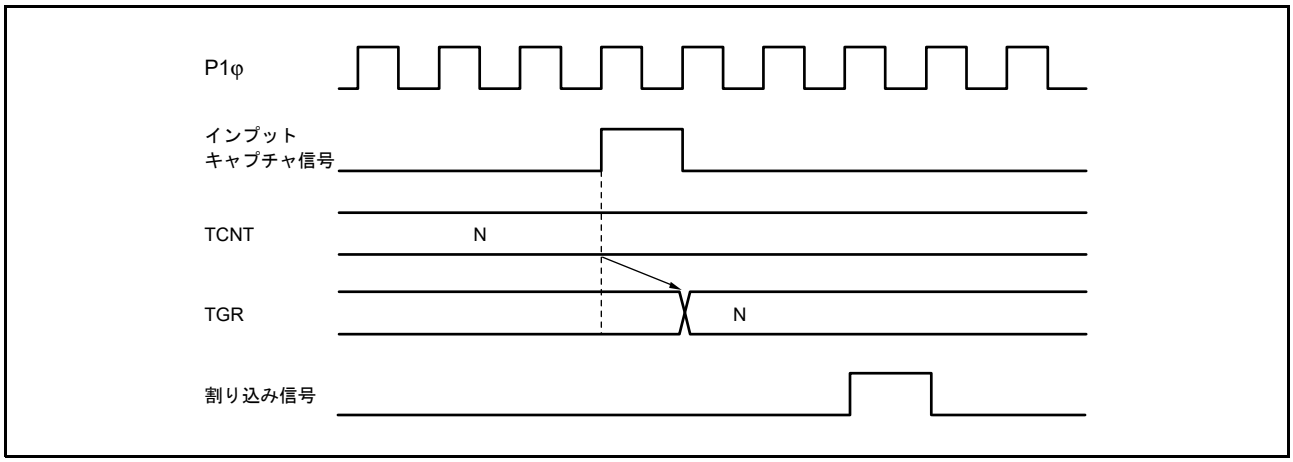


図 10.129　TGI 割り込みタイミング（インプットキャプチャ）（MTU0 ～ MTU4、MTU6 ～ MTU8）

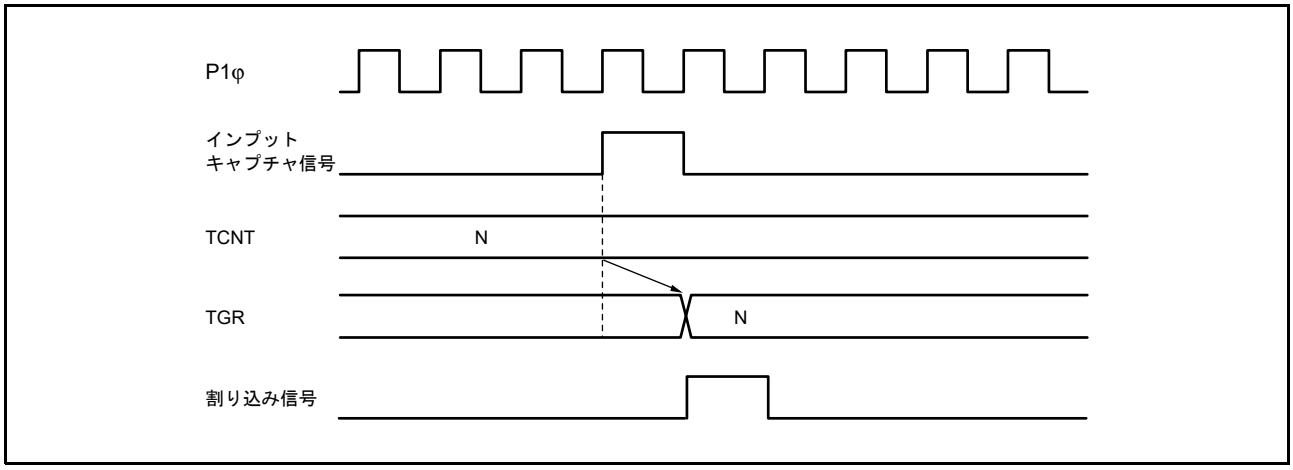


図 10.130　TGI 割り込みタイミング（インプットキャプチャ）（MTU5）

(3)　TCIV/TCIU 割り込みタイミング

オーバフローが発生したときの TCIV 割り込み要求信号のタイミングを図 10.131 に示します。
アンダフローが発生したときの TCIU 割り込み要求信号のタイミングを図 10.132 に示します。

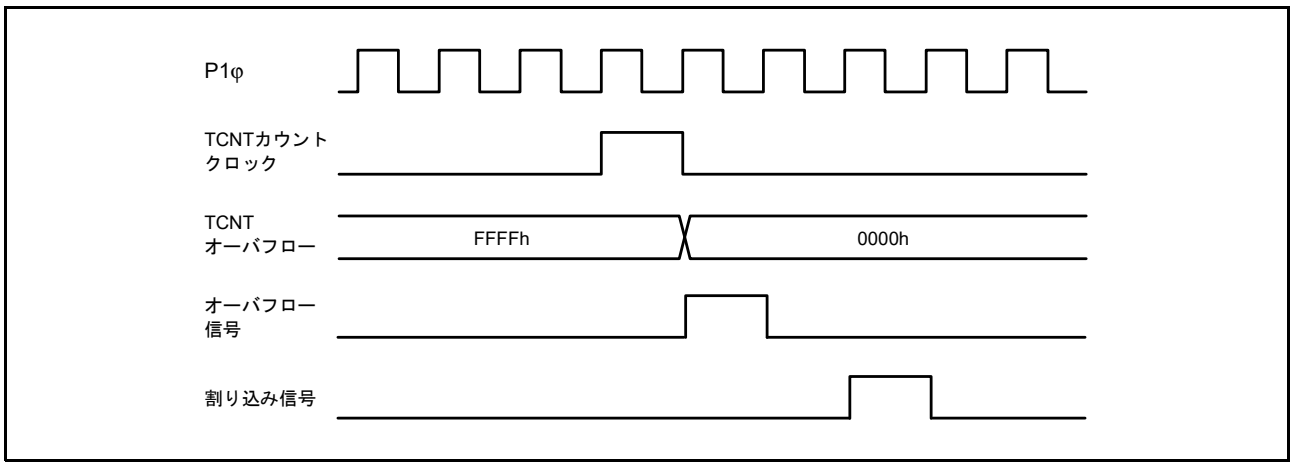


図 10.131　TCIV 割り込みタイミング

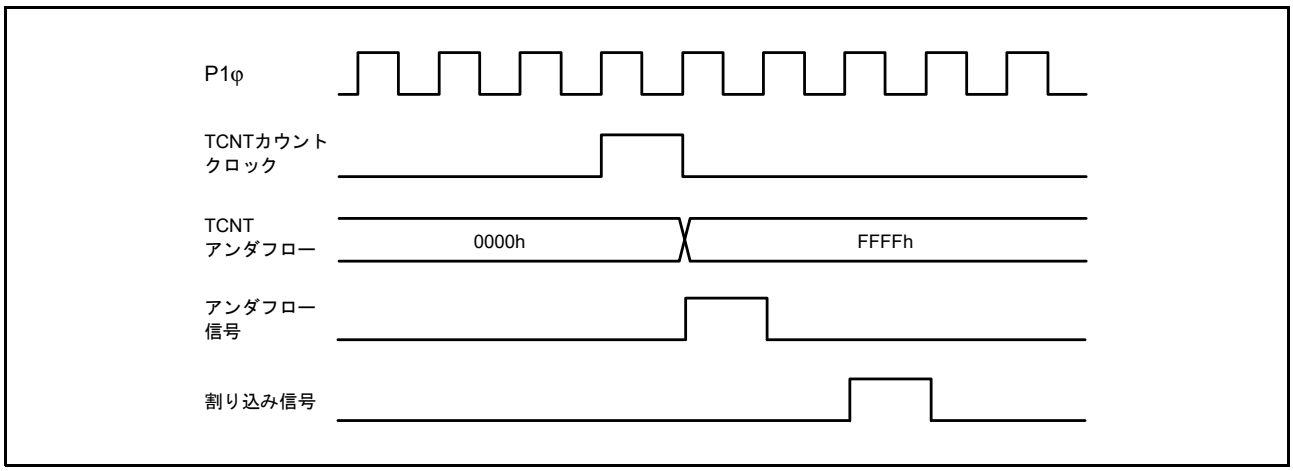


図 10.132　TCIU 割り込みタイミング

10.6　使用上の注意事項

10.6.1　モジュールストップ機能の設定

MTU は、モジュールストップコントロールレジスタにより、MTU の動作禁止／許可を設定することが可能です。初期値では、MTU の動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、**「52.　低消費電力モード」**を参照してください。

10.6.2　カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は 3P1φ クロック以上、両エッジの場合は 5P1φ 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 3P1φ 以上、パルス幅は 5P1φ 以上必要です。位相計数モードの入力クロックの条件を**図 10.133** に示します。

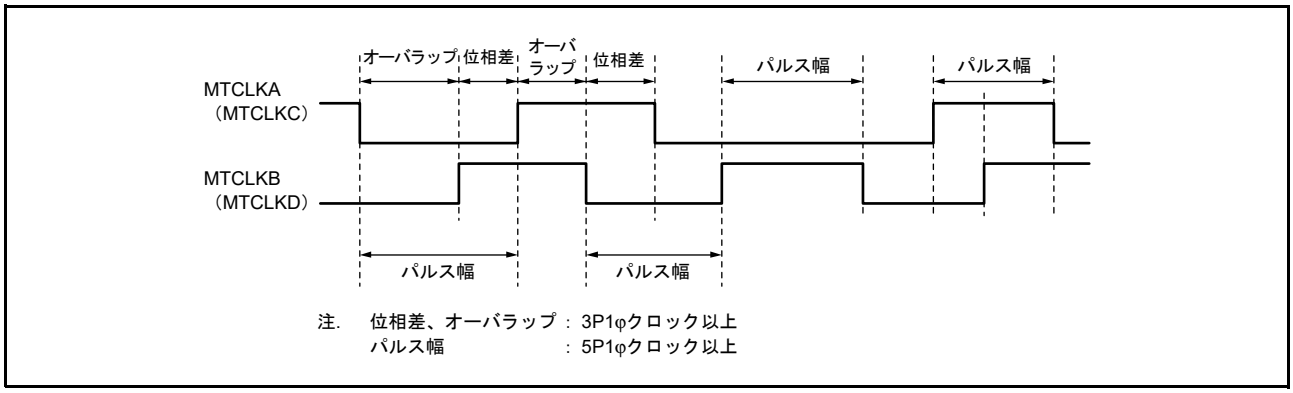


図 10.133　位相計数モード時の位相差、オーバラップ、およびパルス幅

10.6.3　周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR レジスタの値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- MTU0 ～ MTU4、MTU6 ～ MTU8 の場合

$$f = \frac{CNTCLK}{N+1}$$

- MTU5 の場合

$$f = \frac{CNTCLK}{N}$$

f：カウンタ周波数

CNTCLK：TCR の TPSC[2:0]、TCR2 の TPSC2[2:0] で設定したカウントクロックの周波数

N：TGR の設定値

10.6.4　TCNT への書き込みとクリアの競合

TCNT の書き込みサイクル中にカウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 10.134 に示します。

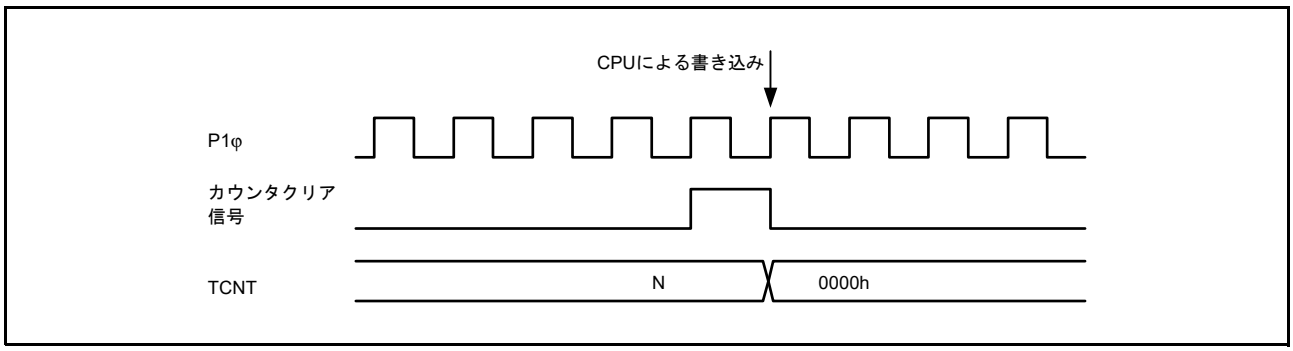


図 10.134　TCNT への書き込みとカウンタクリアの競合

10.6.5　TCNT への書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 10.135 に示します。

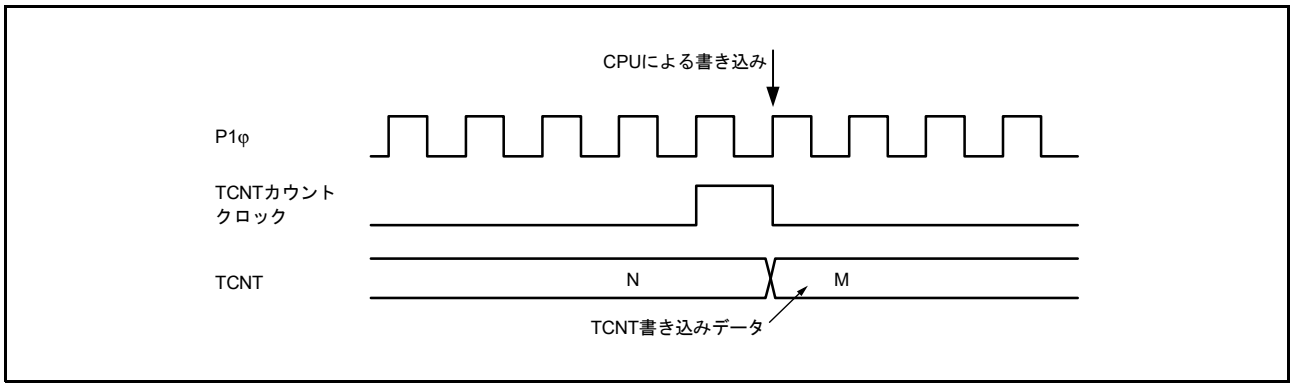


図 10.135　TCNT への書き込みとカウントアップの競合

10.6.6　TGR レジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 10.136 に示します。

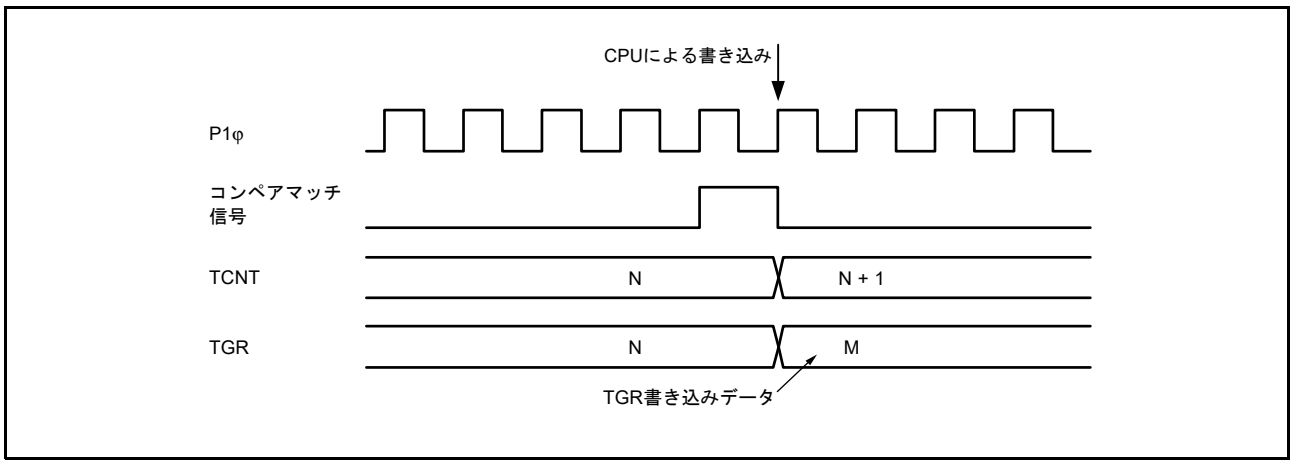


図 10.136　TGR レジスタのライトとコンペアマッチの競合

10.6.7　バッファレジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 10.137 に示します。

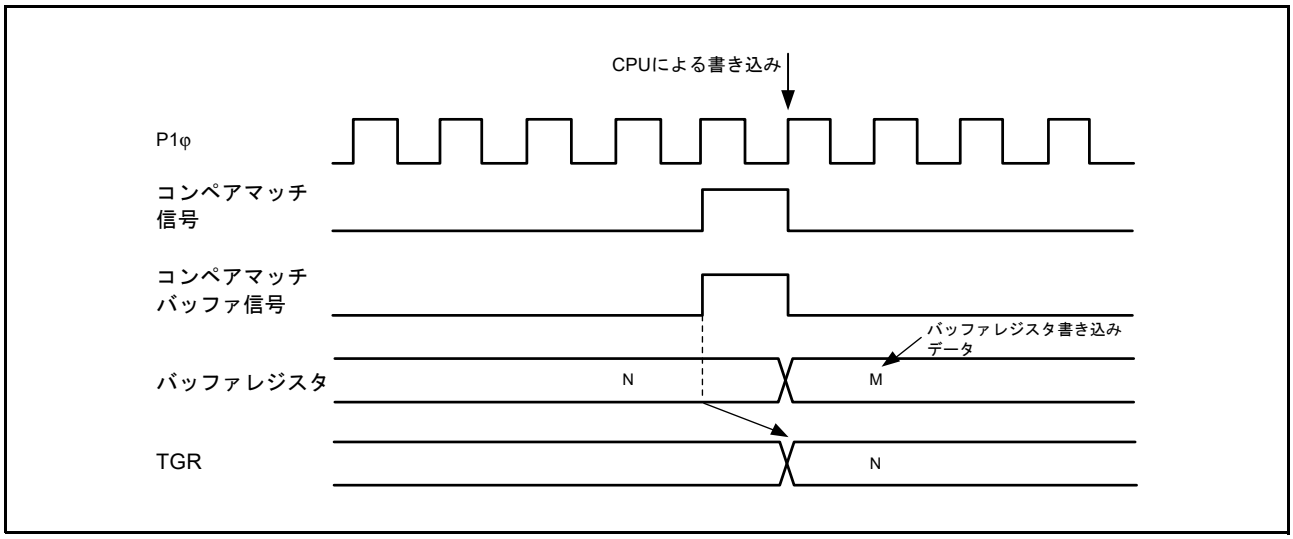


図 10.137　バッファレジスタへの書き込みとコンペアマッチの競合

10.6.8　バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ転送モードレジスタ（TBTM）でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを**図 10.138** に示します。

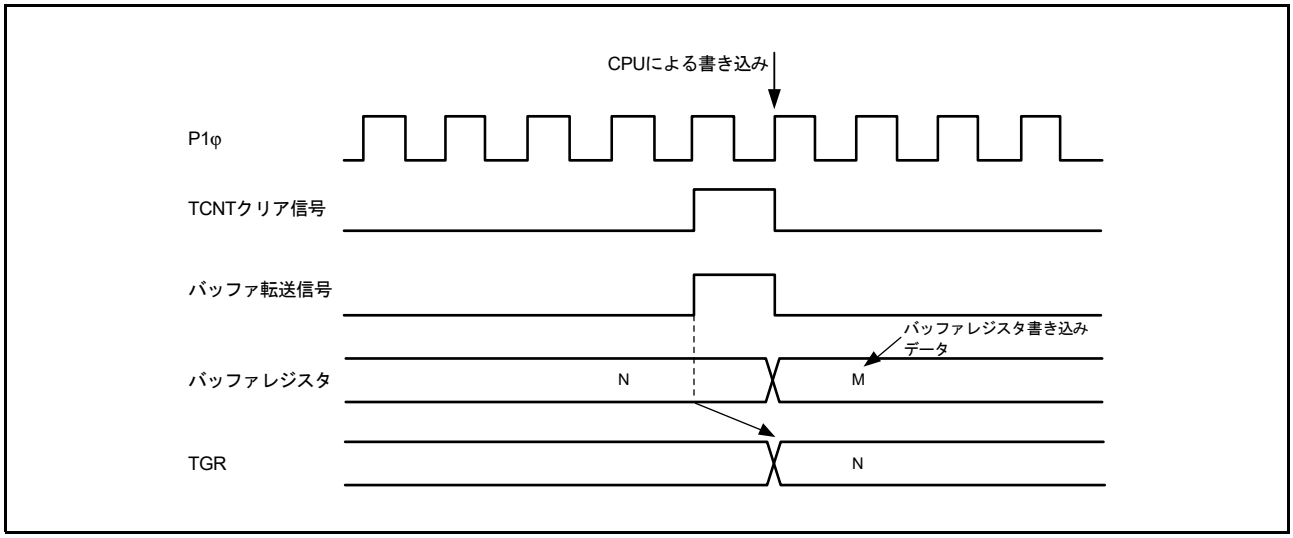


図 10.138　バッファレジスタへの書き込みと TCNT クリアの競合

10.6.9　TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを**図 10.139** に示します。

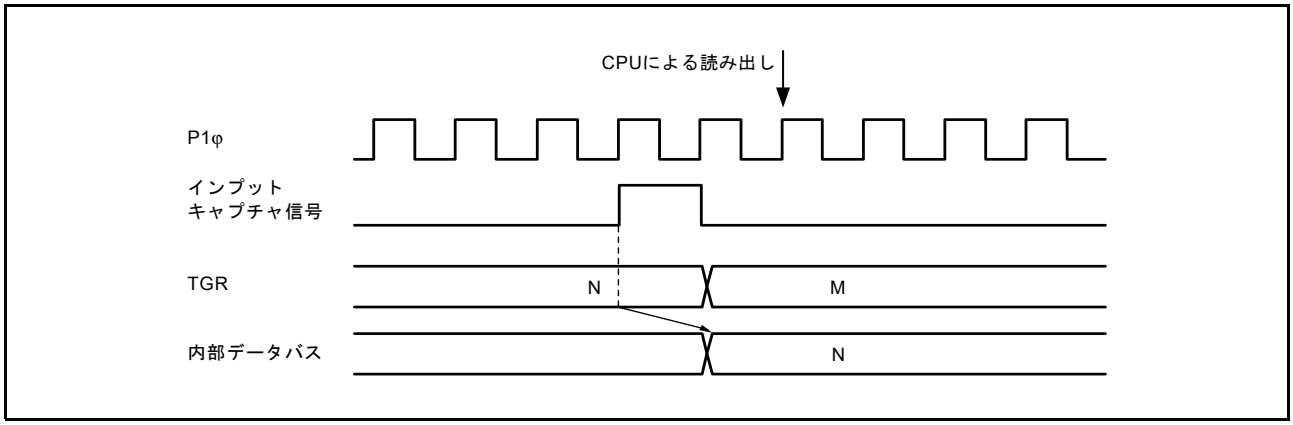


図 10.139　TGR レジスタの読み出しとインプットキャプチャの競合（MTU0 ～ MTU8）

10.6.10　TGR レジスタへの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ～ MTU4、MTU6 ～ MTU8 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを**図 10.140**、**図 10.141** に示します。

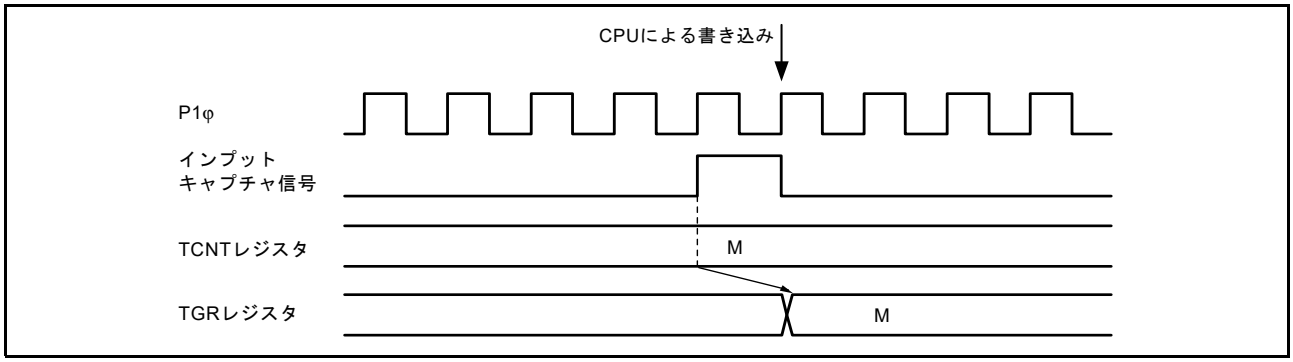


図 10.140　TGR レジスタへの書き込みとインプットキャプチャの競合（MTU0 ～ MTU4、MTU6 ～ MTU8）

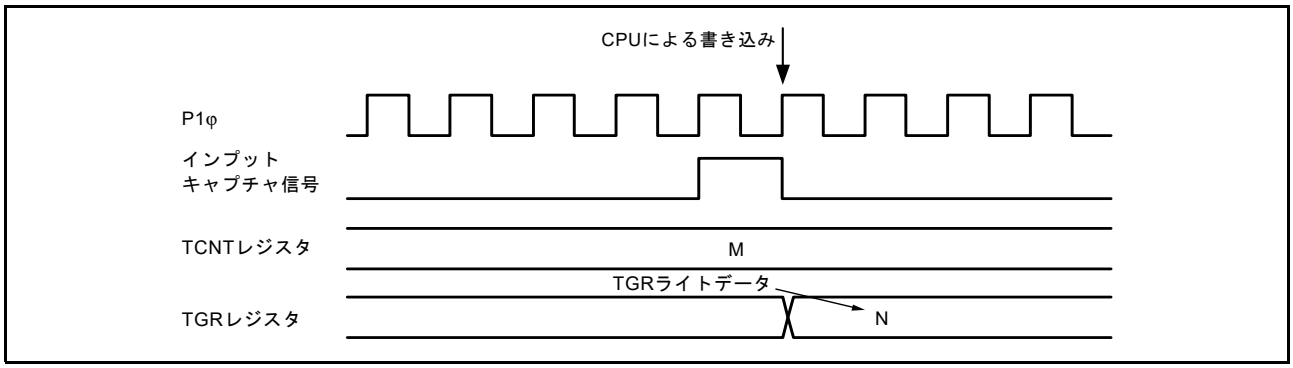


図 10.141　TGR レジスタへの書き込みとインプットキャプチャの競合（MTU5）

10.6.11　バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを**図 10.142** に示します。

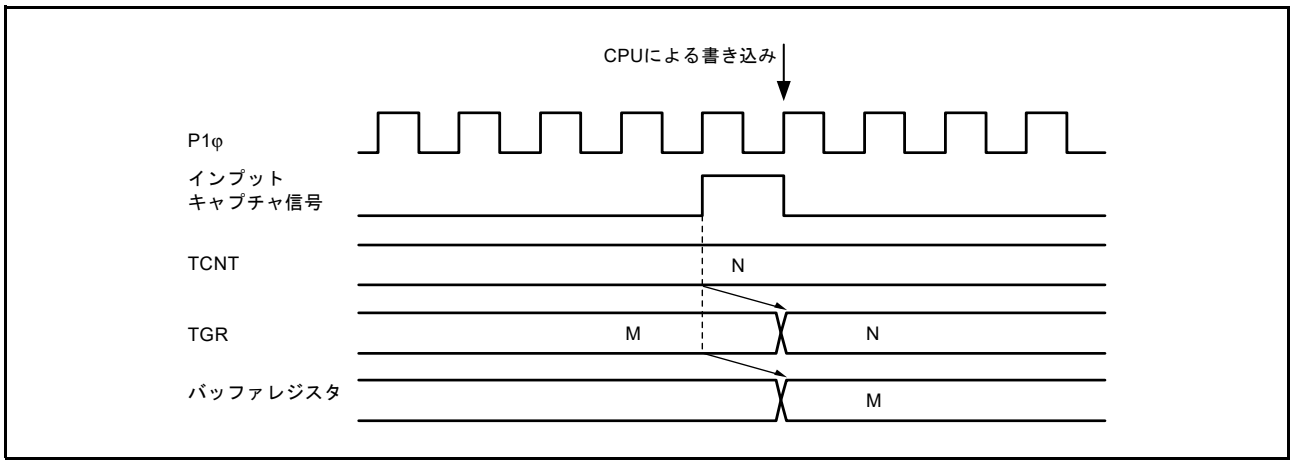


図 10.142　バッファレジスタへの書き込みとインプットキャプチャ競合

10.6.12　カスケード接続における MTU2.TCNT への書き込みとオーバフロー／アンダフローの競合

タイマカウンタ（MTU1.TCNT と MTU2.TCNT）をカスケード接続し、MTU1.TCNT がカウントする瞬間（MTU2.TCNT がオーバフロー／アンダフローする瞬間）と MTU2.TCNT の書き込みが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ～ TGRD はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ／インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 10.143 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

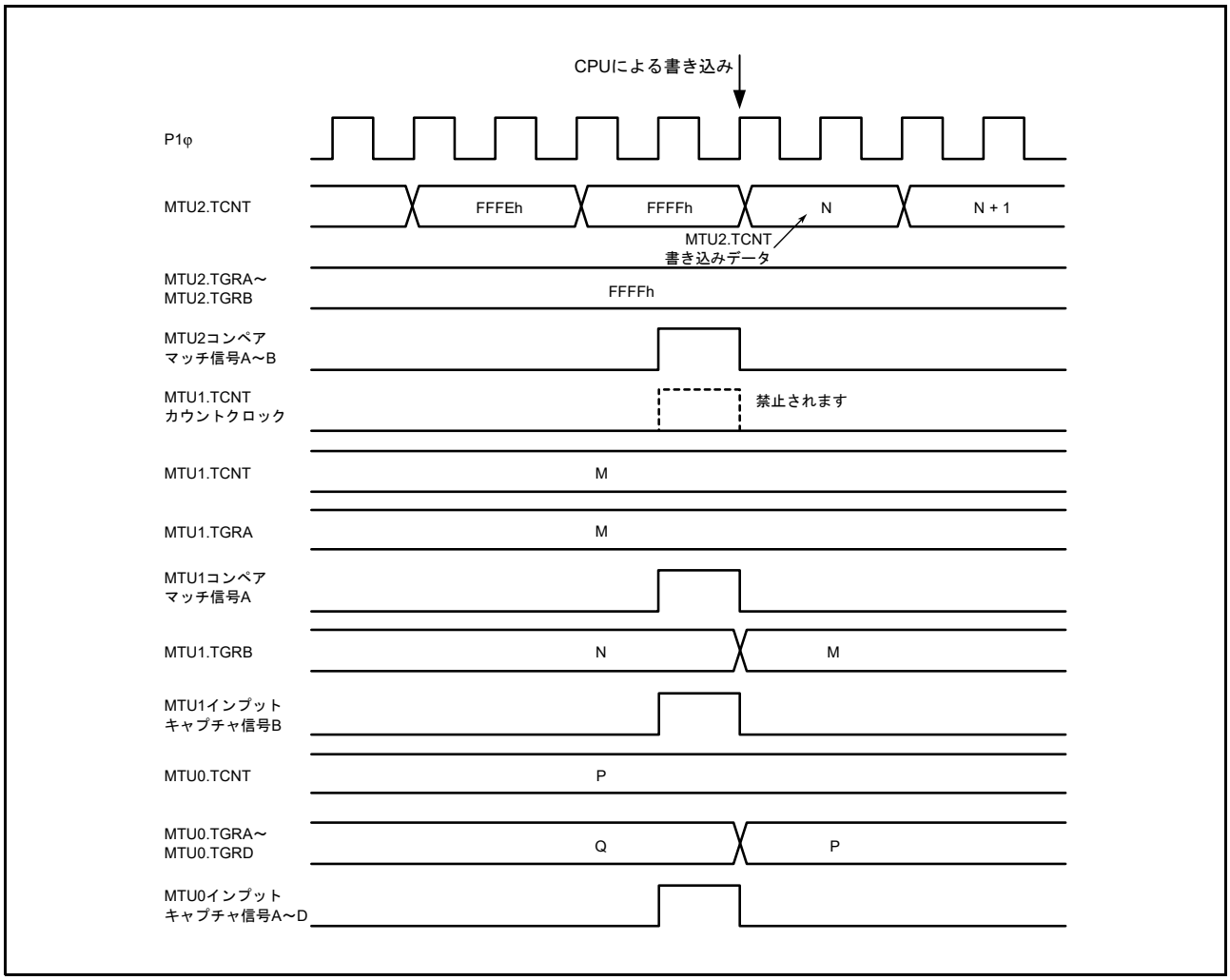


図 10.143　カスケード接続における MTU2.TCNT の書き込みとオーバフロー／アンダフローの競合

10.6.13　相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT（MTU6.TCNT）はタイマデッドタイムレジスタ（TDDRA（TDDRB））の値、MTU4.TCNT（MTU7.TCNT）は 0000h になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を**図 10.144** に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）にカウント初期値の設定を行ってください。

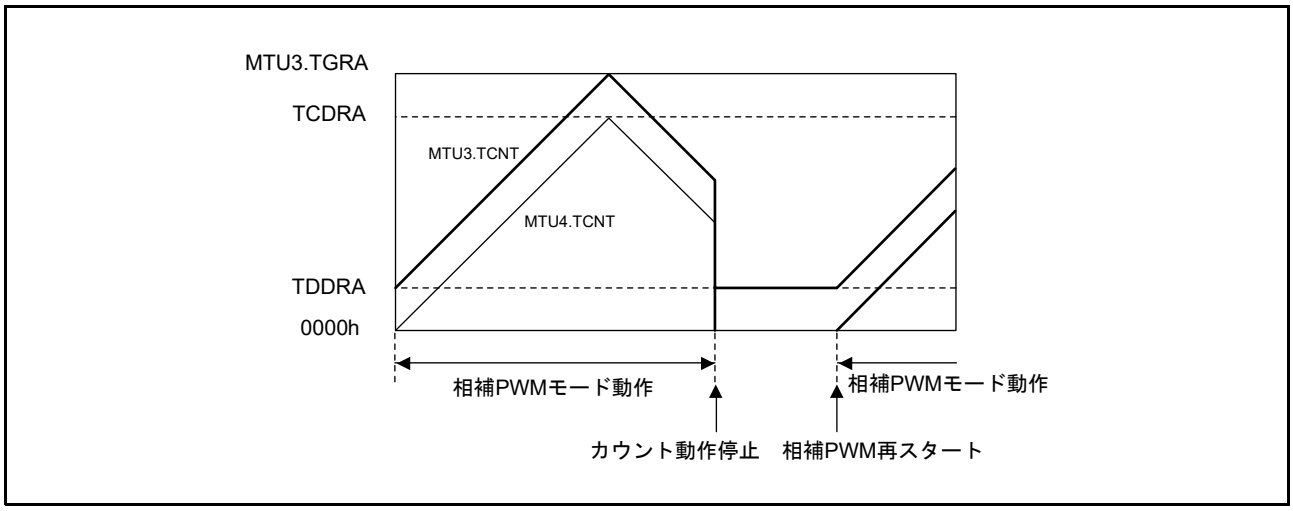


図 10.144　相補 PWM モード停止時のカウンタ値

10.6.14　相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ（MTU3.TGRA、MTU6.TGRA）、タイマ周期データレジスタ（TCDRA、TCDRB）、デューティ設定レジスタ（MTU3.TGRB、MTU3.TGRA、MTU4.TGRB、MTU6.TGRB、MTU7.TGRA、MTU7.TGRB）の書き換えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA（MTU7.TMDR1.BFA）ビット、MTU4.TMDR1.BFB（MTU7.TMDR1.BFB）ビットを “0” にしてください。MTU4.TMDR1.BFA（MTU7.TMDR1.BFA）ビットを “1” にすると、MTIOC4C（MTIOC7C）端子の波形出力ができなくなります。同様に、MTU4.TMDR1.BFB（MTU7.TMDR1.BFB）ビットを “1” にすると、MTIOC4D（MTIOC7D）端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は、MTU3.TMDR1.BFA（MTU6.TMDR1.BFA）ビット、MTU3.TMDR1.BFB（MTU6.TMDR1.BFB）ビットの設定に従い動作します。MTU3.TMDR1.BFA（MTU6.TMDR1.BFA）ビットを “1” にした場合、MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして機能します。同時に MTU4.TGRC（MTU7.TGRC）は MTU4.TGRA（MTU7.TGRA）のバッファレジスタとして機能し、さらに TCBRA（TCBRB）は TCDRA（TCDRB）のバッファレジスタとして機能します。

10.6.15　リセット同期 PWM モードのバッファ動作とコンペアマッチ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “0” にしてください。MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）を “1” にすると、MTIOC4C（MTIOC7C）端子の波形出力ができなくなります。

同様に、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “1” にすると、MTIOC4D（MTIOC7D）端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4（MTU6 および MTU7）のバッファ動作は MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）、MTU3.TMDR1.BFB ビット（MTU6.TMDR1.BFB ビット）の設定に従い動作します。たとえば、MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）を “1” にした場合、MTU3.TGRC（MTU6.TGRC）は MTU3.TGRA（MTU6.TGRA）のバッファレジスタとして機能します。同時に MTU4.TGRC（MTU7.TGRC）は MTU4.TGRA（MTU7.TGRA）のバッファレジスタとして機能します。

MTU3.TGRC（MTU6.TGRC）、MTU3.TGRD（MTU6.TGRD）がバッファレジスタとして動作している場合、TGImn 割り込み（m ＝ C、D、n ＝ 3、4、6、7）は発生しません。

MTU3.TMDR1.BFA ビット（MTU6.TMDR1.BFA ビット）、MTU3.TMDR1.BFB ビット（MTU6.TMDR1.BFB ビット）を “1” にし、MTU4.TMDR1.BFA ビット（MTU7.TMDR1.BFA ビット）、MTU4.TMDR1.BFB ビット（MTU7.TMDR1.BFB ビット）を “0” にした場合の MTU3.TGR（MTU6.TGR）、MTU4.TGR（MTU7.TGR）、MTIOC3（MTIOC6）、MTIOC4（MTIOC7）の動作例を図 10.145 に示します。

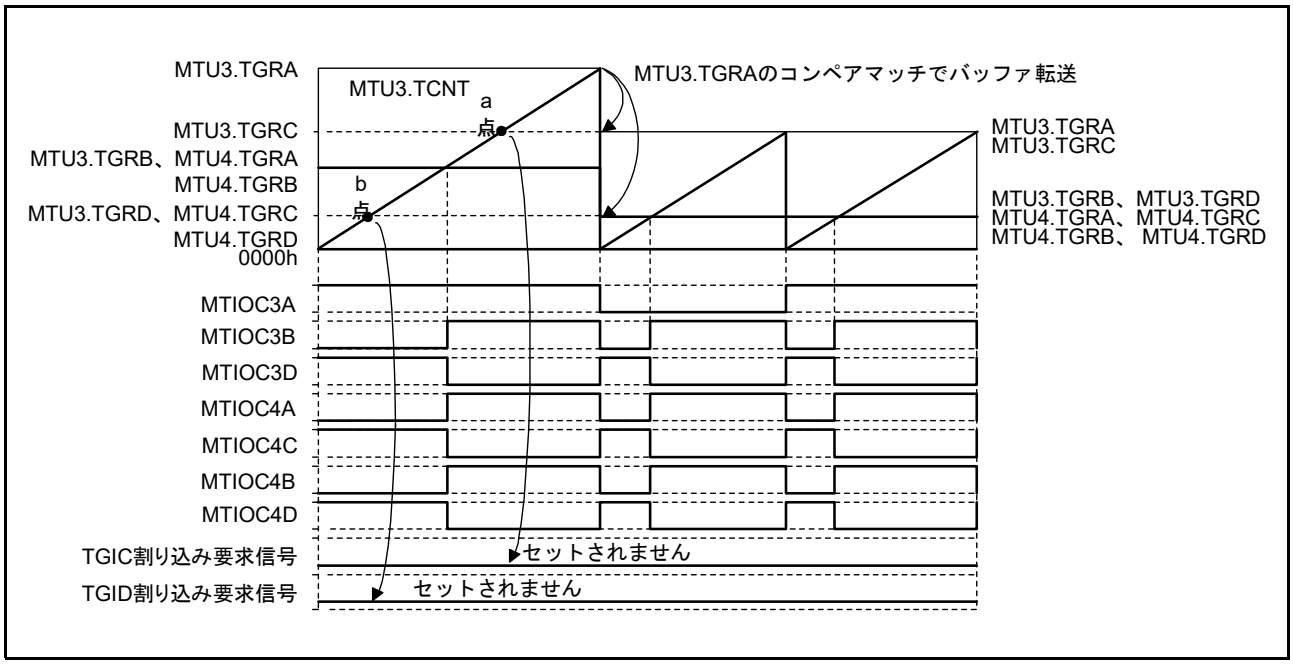


図 10.145　リセット同期 PWM モードのバッファ動作とコンペアマッチ

10.6.16　リセット同期 PWM モードのオーバフロー

リセット同期 PWM モードを設定し、TSTRA（TSTRB）の CST3（CST6）ビットを “1” にすると、MTU3.TCNT と MTU4.TCNT（MTU6.TCNT と MTU7.TCNT）のカウント動作が開始します。このとき、MTU4.TCNT（MTU7.TCNT）のカウントクロックソースとカウントエッジは MTU3.TCR（MTU6.TCR）の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA（MTU6.TGRA）の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA（MTU6.TGRA）のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT（MTU6.TCNT、MTU7.TCNT）がアップカウントし FFFFh になると、MTU3.TGRA（MTU6.TGRA）とのコンペアマッチが発生し、MTU3.TCNT と MTU4.TCNT（MTU6.TCNT と MTU7.TCNT）はともにクリアされます。このとき、TCIVn 割り込み（n ＝ 3、4、6、7）は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA（MTU6.TGRA）の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA（MTU6.TGRA）のコンペアマッチを指定した場合の動作例を**図 10.146** に示します。

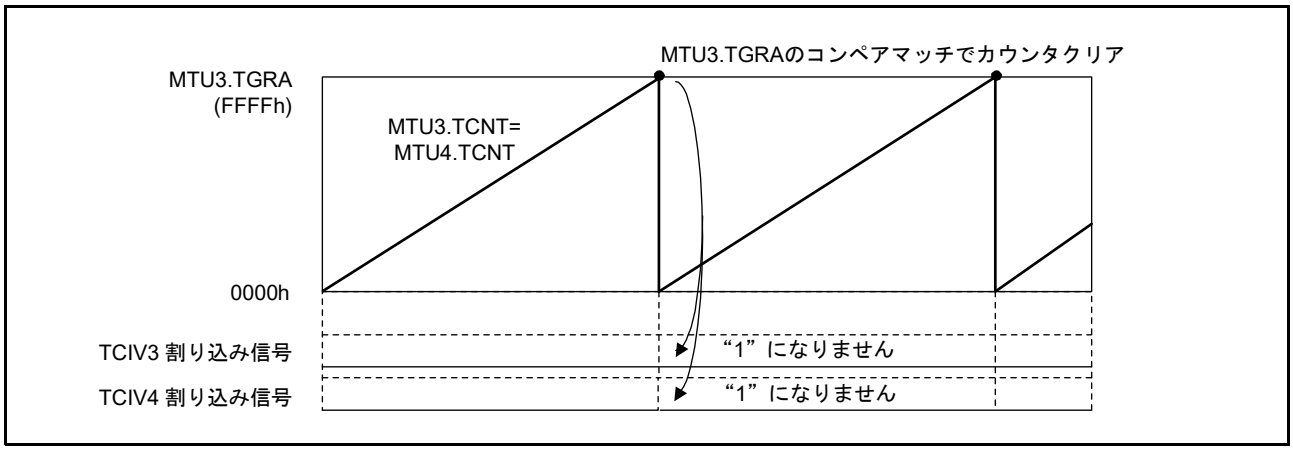


図 10.146　リセット同期 PWM モードのオーバフロー

10.6.17　オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TCIVn 割り込み（n ＝ 0 ～ 4、6 ～ 8）、TCIUn 割り込み（n ＝ 1、2）は発生せず、TCNT のクリアが優先されます。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタを FFFFh にした場合の動作タイミングを**図 10.147** に示します。

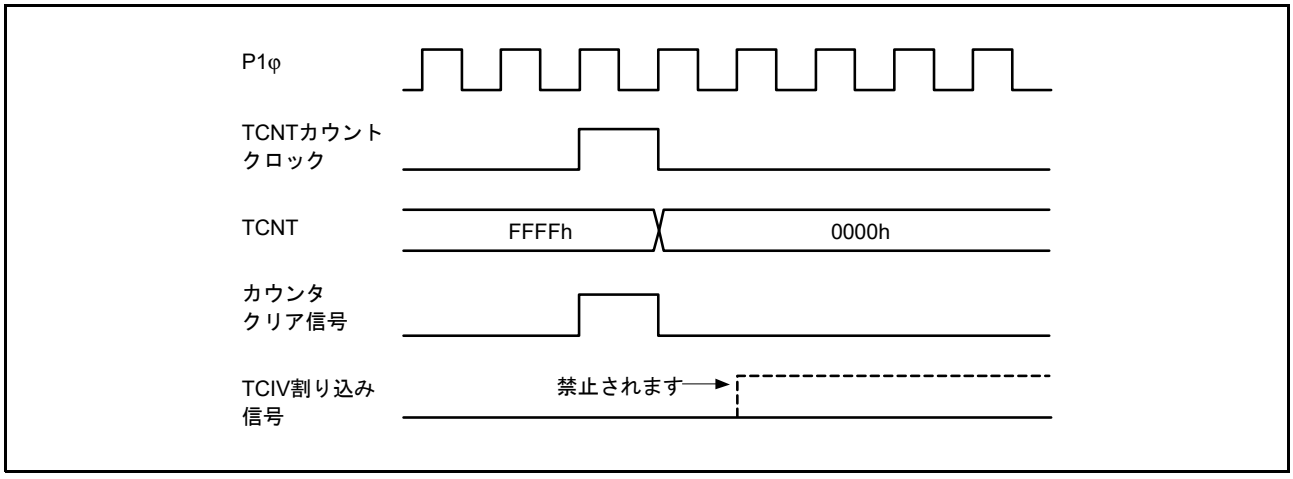


図 10.147　オーバフローとカウンタクリアの競合

10.6.18　TCNT への書き込みとオーバフロー／アンダフローの競合

TCNT の書き込みサイクルで、アップカウント／ダウンカウントが発生し、オーバフロー／アンダフローが発生しても、TCNT への書き込みが優先されます。TCIVn 割り込み（n ＝ 0 ～ 4、6 ～ 8）、TCIUn 割り込み（n ＝ 1、2）は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 10.148 に示します。

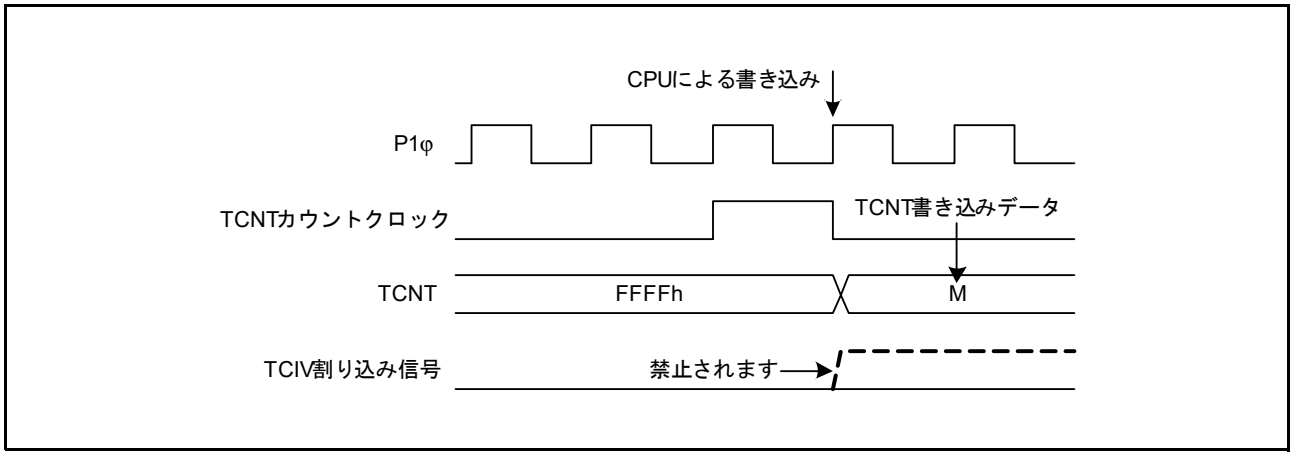


図 10.148　TCNT への書き込みとオーバフローの競合

10.6.19　ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

MTU3、MTU4（MTU6、MTU7）のノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移させる場合、出力端子（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D）を High の状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期 PWM モードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL（MTU6.TIORH、MTU6.TIORL、MTU7.TIORH、MTU7.TIORL）レジスタに “11h” を書いて出力端子を Low に初期化した後、レジスタの初期値 “00h” を書いてからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値 “00h” を書いてからリセット同期 PWM モードに遷移してください。

10.6.20　相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、MTU4（MTU6、MTU7）が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルは TOCR1A.OLSP ビット、TOCR1A.OLSN ビット、TOCR1B.OLSP ビット、TOCR1B.OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR レジスタは “00h” としてください。

相補 PWM モードで TDERA.TDER (TDERB.TDER) ビットを “0”（デッドタイムを生成しない）に設定した場合の逆相の出力レベルは、TOCR1A.OLSN (TOCR1B.OLSN) ビットの設定によらず、TOCR1A.OLSP (TOCR1B.OLSP) ビットの設定による正相出力の反転レベルとなります。

10.6.21　カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ

タイマカウンタ 1、2（MTU1.TCNT と MTU2.TCNT）をカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A、または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT（上位 16 ビットのカウンタ）が MTU2.TCNT（下位 16 ビットのカウンタ）のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT=FFF1h、MTU2.TCNT=0000h の値を MTU1.TGRA と MTU2.TGRA、もしくは MTU1.TGRB と MTU2.TGRB に転送すべきところを誤って MTU1.TCNT=FFF0h、MTU2.TCNT=0000h の値を転送します。

1 本のインプットキャプチャ入力で MTU1.TCNT と MTU2.TCNT を同時にキャプチャできる機能を使用すれば、MTU1.TCNT と MTU2.TCNT のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は「10.2.11　タイマインプットキャプチャコントロールレジスタ（TICCR）」を参照してください。

10.6.22　割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

MTU6、MTU7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

(1) 間引き機能 2、間引き回数が “0” の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4P1φ クロック以上（MTU4.TADCORA レジスタの更新値を「前値＋ 4 以上」、「前値－ 4 以下」に設定）
- MTU4.TADCORB のコンペア間隔が 4P1φ クロック以上（MTU4.TADCORB レジスタの更新値を「前値＋ 4 以上」、「前値－ 4 以下」に設定）

(2) 間引き機能 2、間引き回数が “1” 以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2P1φ 以上（MTU4.TADCORB レジスタの更新値を「前値＋ 2 以上」、「前値－ 2 以下」に設定）

10.6.23　相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態が有効となっております。詳細は、「11.　ポートアウトプットイネーブル 3（POE3）」を参照ください。

10.6.24　タイマカウンタ（MTU5.TCNT）とタイマジェネラルレジスタ（MTU5.TGR）の注意事項

MTU5.TCNTj（j ＝ U、V、W）のカウント動作を停止した状態で、MTU5.TGRj に MTU5.TCNTj 値 + 1 の値を設定しないでください。MTU5.TCNTj のカウント動作を停止した状態で、MTU5.TGRj に MTU5.TCNTj 値 + 1 の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット（MTU5.TIER.TGIE5j ビット）が “1”（許可）になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが “1”（許可）になっていると、MTU5.TCNTj カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると “0000h” に自動クリアされます。

10.6.25　相補 PWM モード同期クリアするときの異常動作防止の注意事項

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効（TWCRA.WRE ビット＝1、または TWCRB.WRE ビット＝1）である状態で、条件 1、条件 2 のいずれかを満たすと、下記の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる（もしくは消失する）
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1　初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアした場合（**図 10.149** 参照）

条件 2　初期出力の抑止期間⑩、⑪にて、MTU3.TGRB（MTU6.TGRB）≦ TDDRA（TDDRB）、MTU4.TGRA（MTU7.TGRA）≦ TDDRA（TDDRB）、MTU4.TGRB （MTU7.TGRB）≦ TDDRA（TDDRB）のいずれかが成立する状態で、同期クリアする（**図 10.150** 参照）

本現象は下記の方法により、回避することができます。

コンペアレジスタ MTU3.TGRB（MTU6.TGRB）、MTU4.TGRA（MTU7.TGRA）、MTU4.TGRB（MTU7.TGRB）のすべてが、TDDRA レジスタ（TDDRB レジスタ）の 2 倍以上になるように設定した状態で、同期クリアする

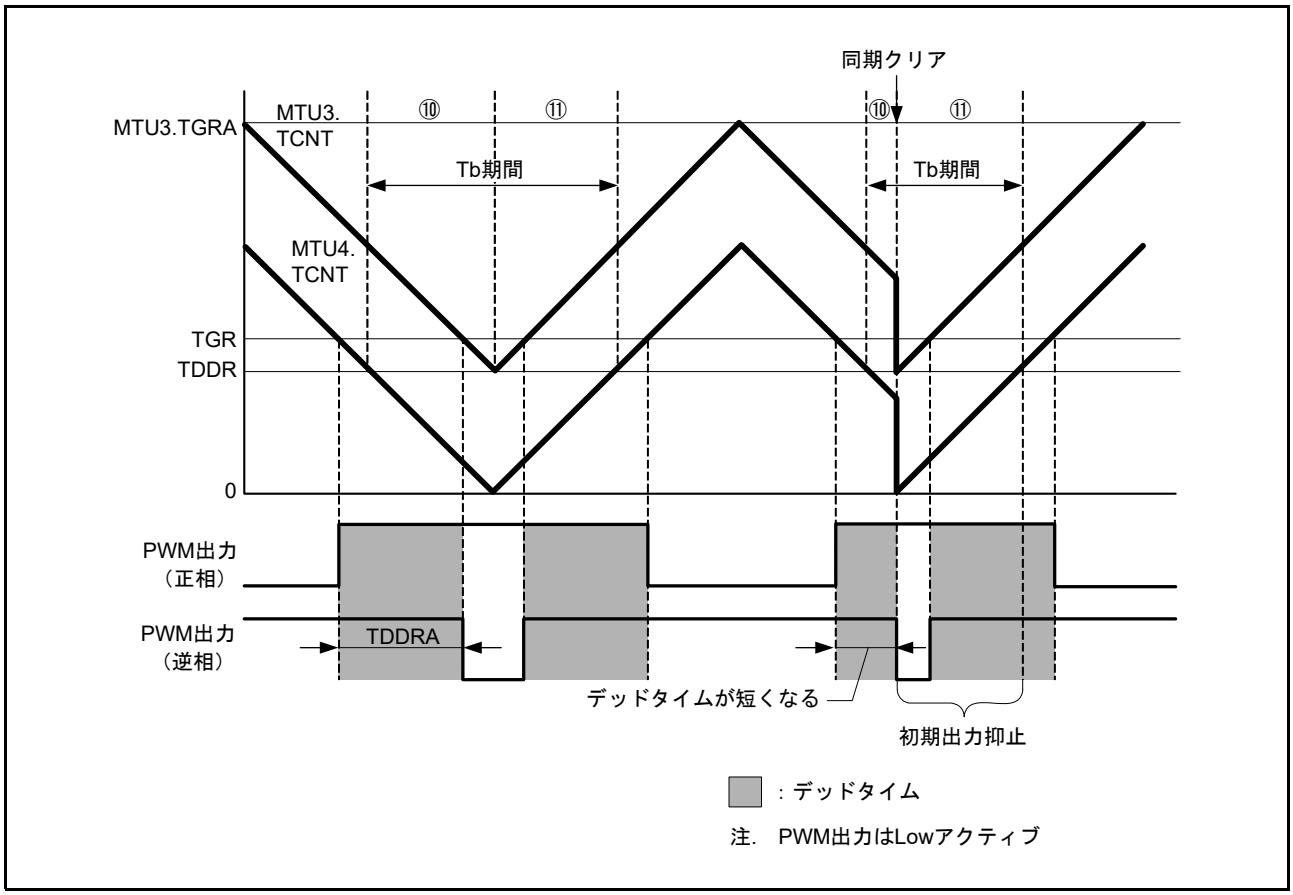


図 10.149　同期クリア例（条件 1 の場合）

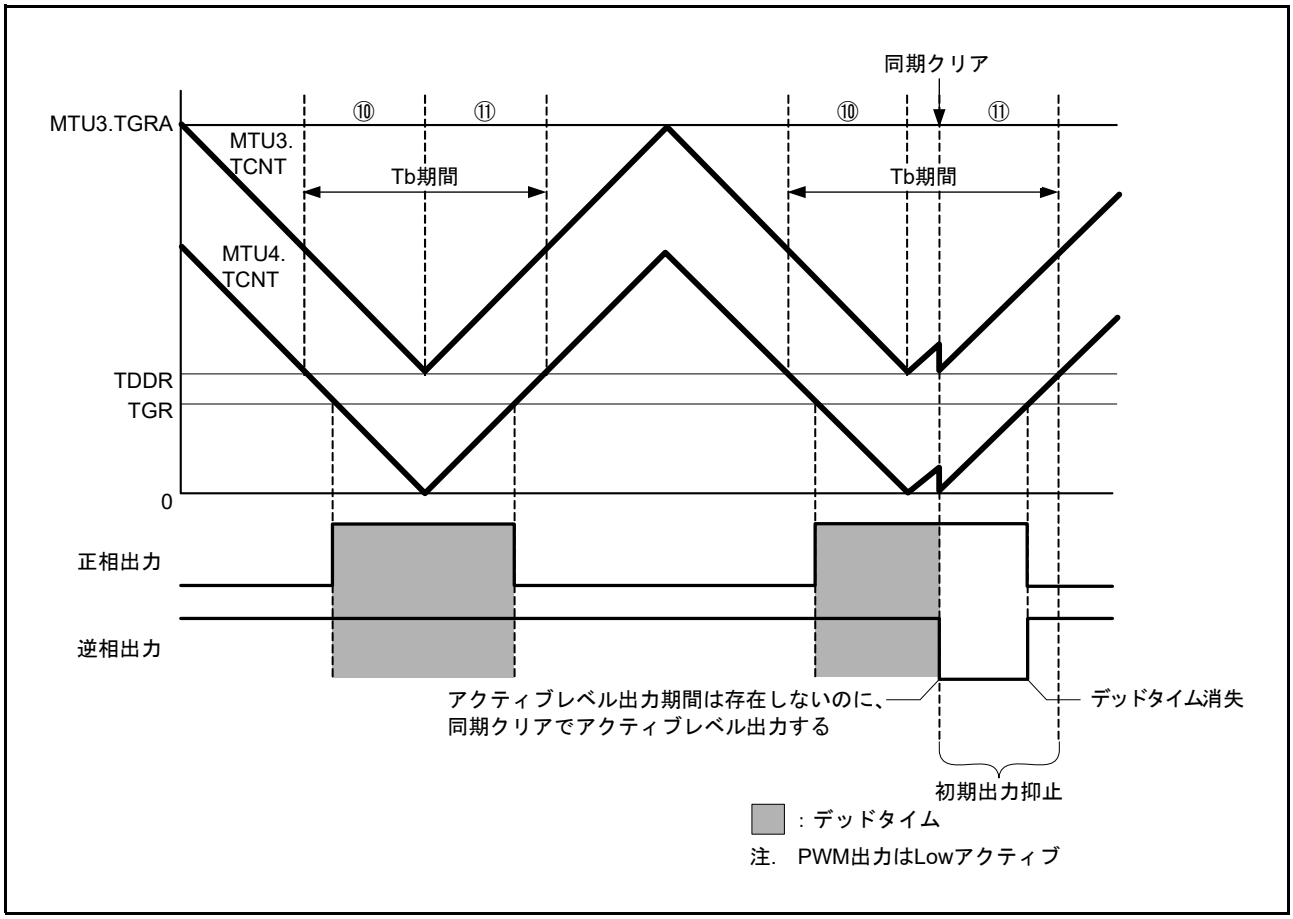


図 10.150　同期クリア例（条件 2 の場合）

10.6.26　コンペアマッチによる割り込み信号の連続出力

TGR レジスタに “0000h”、カウントクロックを P1φ/1 クロック、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは “0000h” のままとなり、割り込み信号は 1 サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2 回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 10.151 に示します。

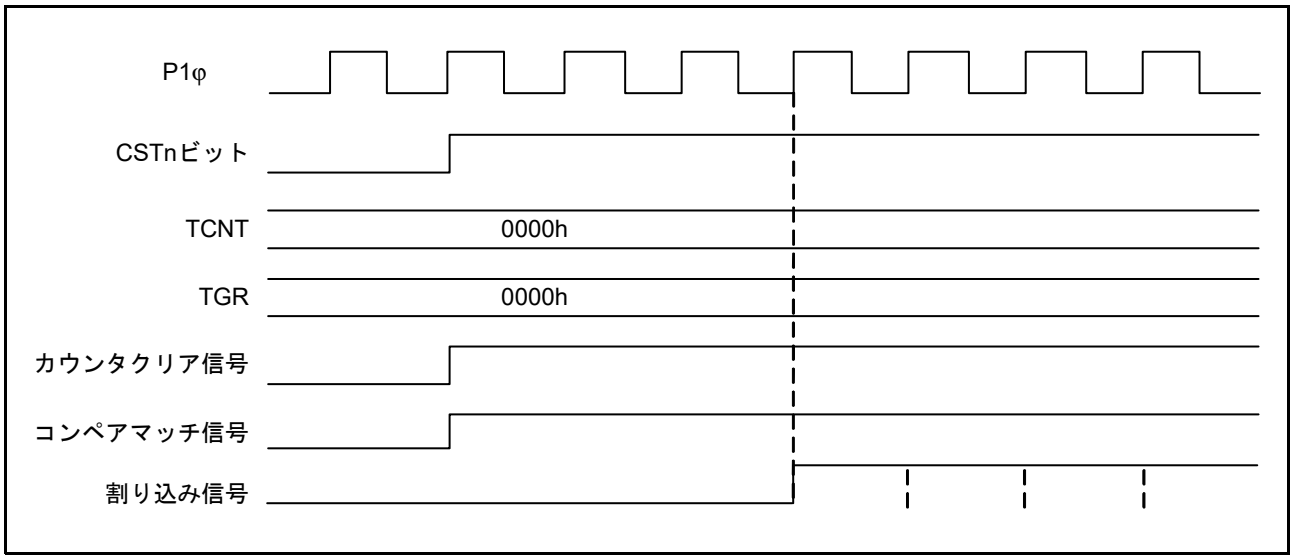


図 10.151　コンペアマッチによる割り込み信号の連続出力

10.6.27　相補 PWM モードにおける A/D 変換開始要求ディレイド機能の注意事項

- MTU4.TADCOBRA、MTU4.TADCOBRB（MTU7.TADCOBRA, MTU7.TADCOBRB）レジスタに “0”、かつ、MTU4.TADCR（MTU7.TADCR）レジスタの UT4AE、UT4BE（UT7AE, UT7BE）ビットに “1” を設定して、MTU4.TCNT（MTU7.TCNT）カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません（図 10.152）。
- MTU4.TADCOBRA、MTU4.TADCOBRB（MTU7.TADCOBRA, MTU7.TADCOBRB）レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR（MTU7.TADCR）レジスタの DT4AE、DT4BE（DT7AE, DT7BE）ビットに “1” を設定して、MTU4.TCNT（MTU7.TCNT）カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません（図 10.153）。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、2 ≦ MTUn.TADCORA/TADCORB ≦ TCDR – 2 を満たすように MTU4.TADCORA、MTU4.TADCORB（MTU7.TADCORA, MTU7.TADCORB）レジスタを設定してください（n = 4, 7）。

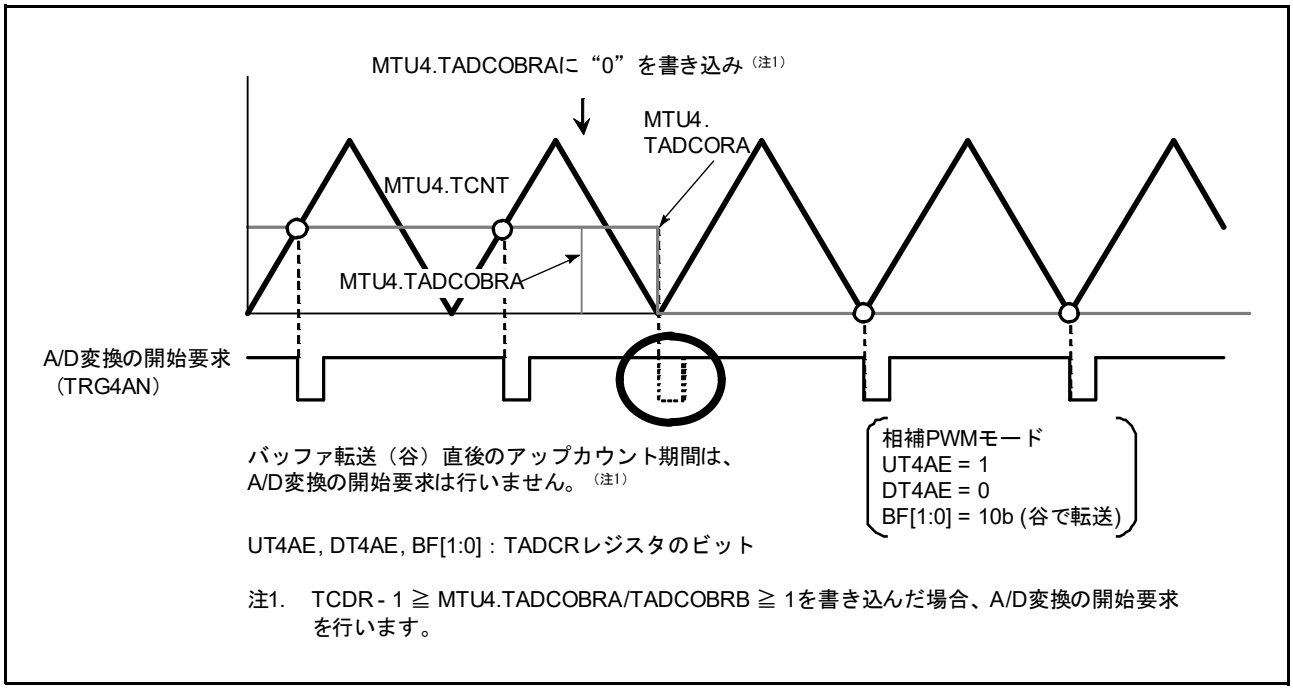


図 10.152　MTU4.TADCOBRA に “0” を書き込んだときの A/D 変換の開始要求（MTU4）

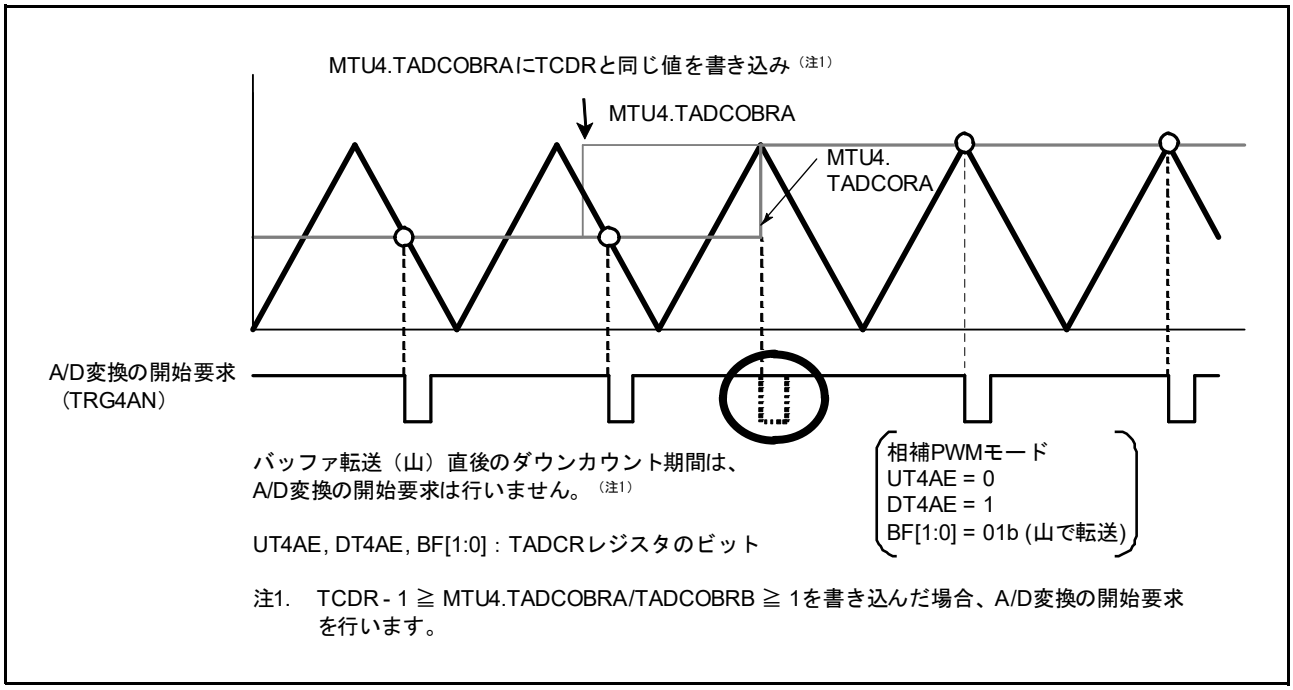


図 10.153　MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求（MTU4）

10.7　MTU 出力端子の初期化方法

10.7.1　動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード（MTU0 ～ MTU4、MTU6 ～ MTU8）
- PWM モード 1（MTU0 ～ MTU4、MTU6、MTU7）
- PWM モード 2（MTU0 ～ MTU2）
- 位相計数モード 1 ～ 5（MTU1、MTU2）
- 相補 PWM モード（MTU3、MTU4、MTU6、MTU7）
- リセット同期 PWM モード（MTU3、MTU4、MTU6、MTU7）

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

10.7.2　動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D）は、TOERA、TOERB レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3（POE3）を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を**表 10.80** に示します。

表 10.80　モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

Normal：ノーマルモード
PWM1：PWM モード 1
PWM2：PWM モード 2
PCM：位相計数モード 1 ～ 5
CPWM：相補 PWM モード
RPWM：リセット同期 PWM モード

10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ（TIOR）の設定で端子の出力レベルを選択するモード（Normal、PWM1、PWM2、PCM）に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB/MTIOCnD 端子（n ＝ 3、4、6、7）に波形が出力されません。端子の機能を MTIOCnB/MTIOCnD に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。
- PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。端子の機能を MTIOCnm 端子（n = 0 ～ 2、m = A ～ D）に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子（n = 0, 3, 4, 6, 7）に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子（n = 0, 3, 4, 6, 7）に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。
- タイマアウトプットコントロールレジスタ（TOCR1A、TOCR2A、TOCR1B、TOCR2B）の設定で端子の出力レベルを選択するモード（CPWM、RPWM）に移行する場合は、タイマアウトプットマスタイネーブルレジスタ（TOERA、TOERB）で MTU3、MTU4（MTU6、MTU7）を 1 度出力禁止にしてください。このとき、端子の機能を MTIOCnm 端子（n = 3, 4, 6, 7、m = A ～ D）に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で汎用出力ポートの設定をしてください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順（TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定（TOCR1B 設定、TOCR2B 設定、TMDR1 設定、TOERB 設定））に従い動作させてください。

注．　特に断りがない場合、本項記述中の n にはチャネル番号が入ります。

以下、**表 10.80** の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.154 に示します。

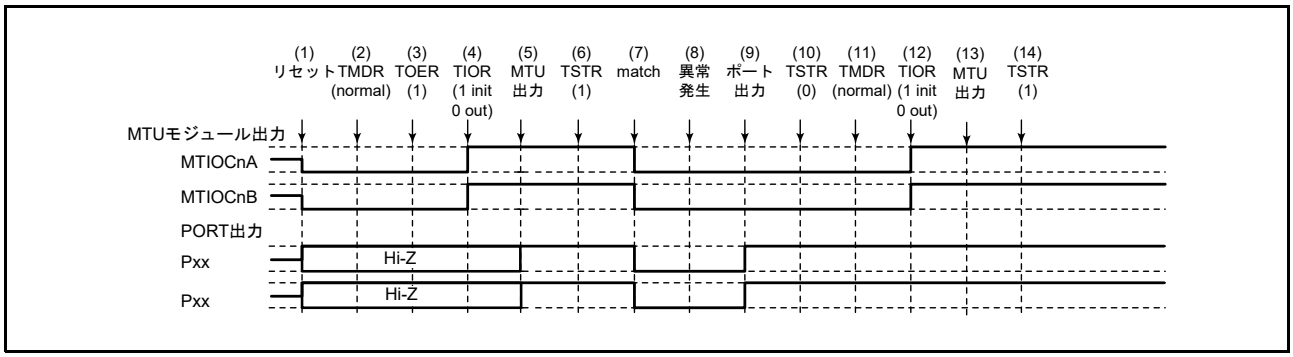


図 10.154　ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
(3) MTU3、MTU4（MTU6, MTU7）では TIOR レジスタで端子を初期化する前に TOERA（TOERB）レジスタで出力を許可してください。
(4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(5) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により Low を出力します。
(8) 異常が発生しました。
(9) 汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します。
(11) ノーマルモードで再スタートする場合は必要ありません。
(12) TIOR レジスタで端子を初期化してください。
(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.155 に示します。

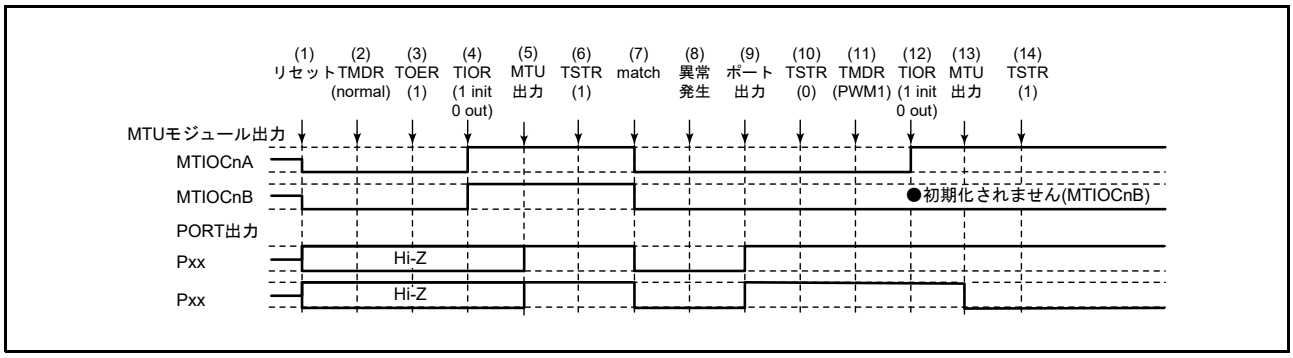


図 10.155　ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 10.154 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください。

(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.156 に示します。

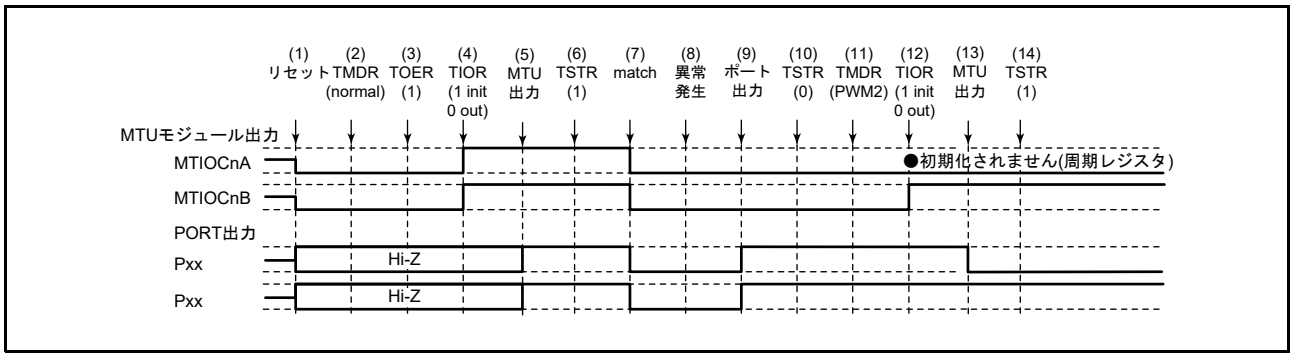


図 10.156　ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

（1）～（10）は図 10.154 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 .　PWM モード 2 は MTU0 ～ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.157 に示します。

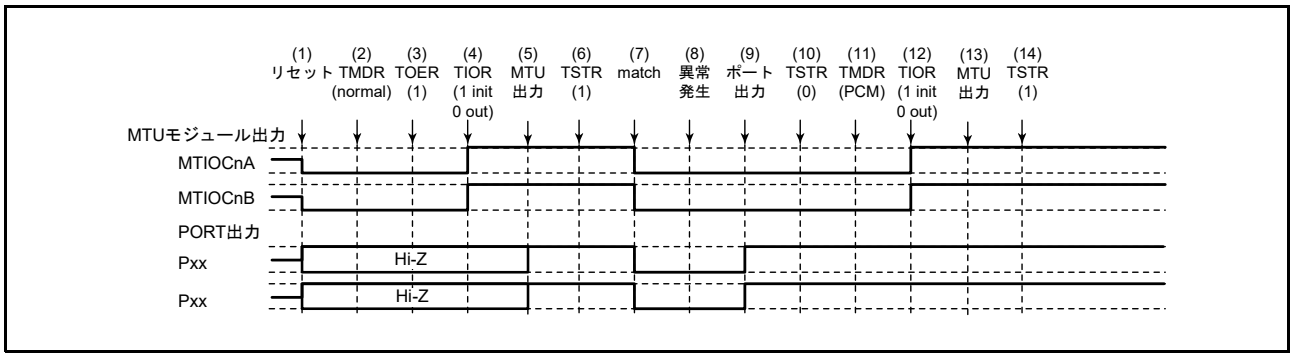


図 10.157　ノーマルモードで異常が発生し、位相計数モードで復帰する場合

（1）～（10）は図 10.154 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 .　位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.158 に示します。

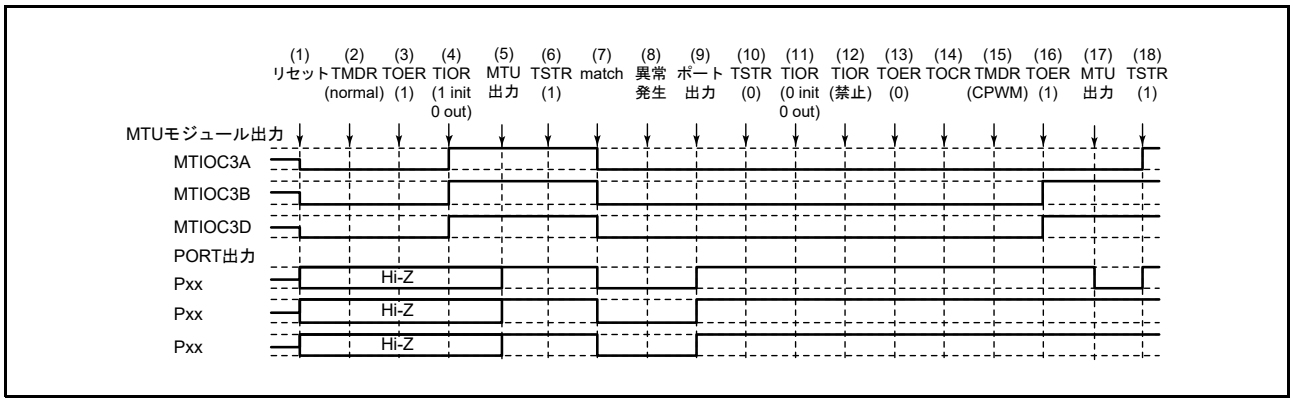


図 10.158　ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 10.154 と共通です。

(11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。

(12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。

(13) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(14) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可／禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(17) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(18) TSTRA（TSTRB）レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を**図 10.159** に示します。

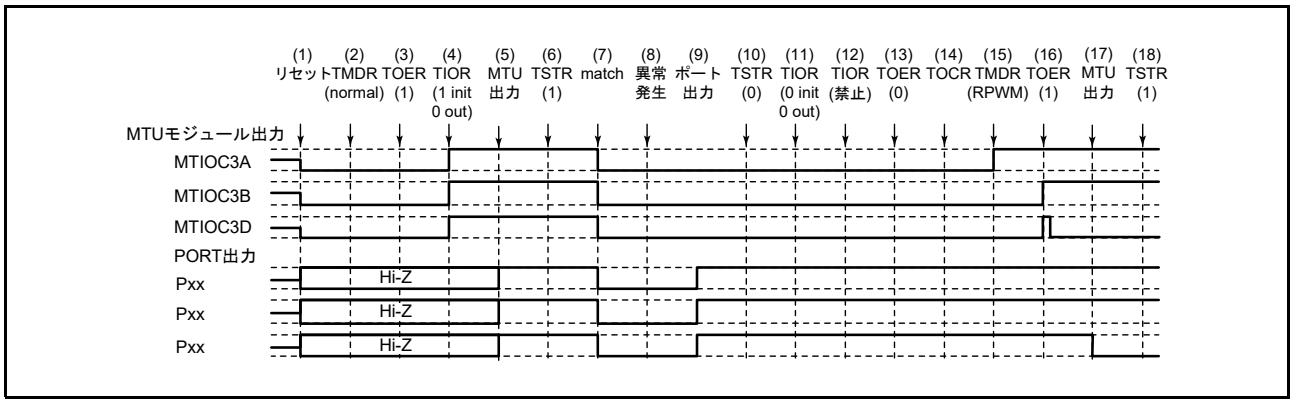


図 10.159　ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（13）は**図 10.156** と共通です。

(14) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM の出力レベルと周期出力の許可／禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(17) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(18) TSTRA（TSTRB）レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.160 に示します。

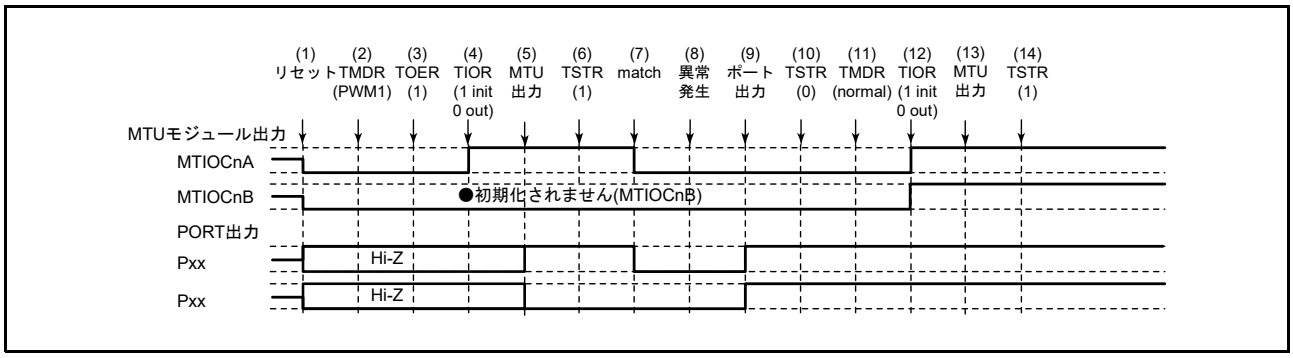


図 10.160　PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 1 を設定してください。
(3) MTU3、MTU4（MTU6, MTU7）では TIOR レジスタで端子を初期化する前に TOERA（TOERB）レジスタで出力を許可してください。
(4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません）。
(5) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により Low を出力します。
(8) 異常が発生しました。
(9) 汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します。
(11) ノーマルモードを設定してください。
(12) TIOR レジスタで端子を初期化してください。
(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(8)　PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.161 に示します。

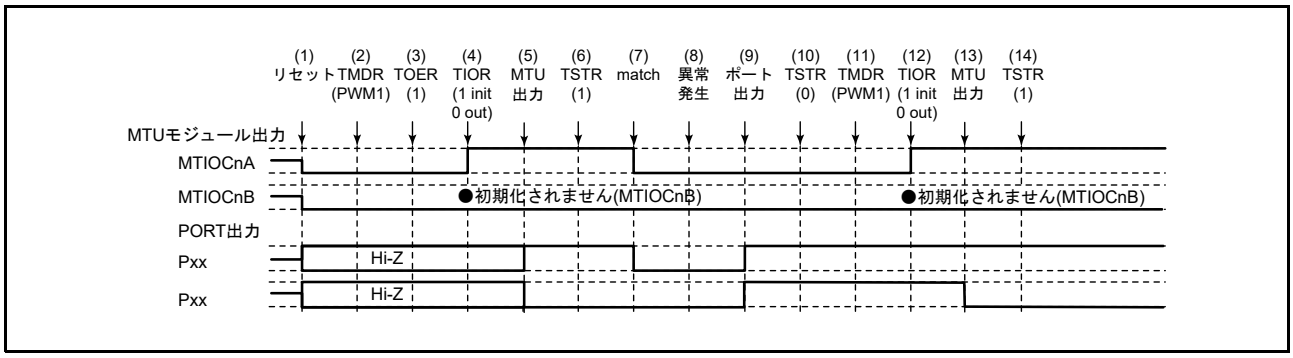


図 10.161　PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 10.160 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(9)　PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.162 に示します。

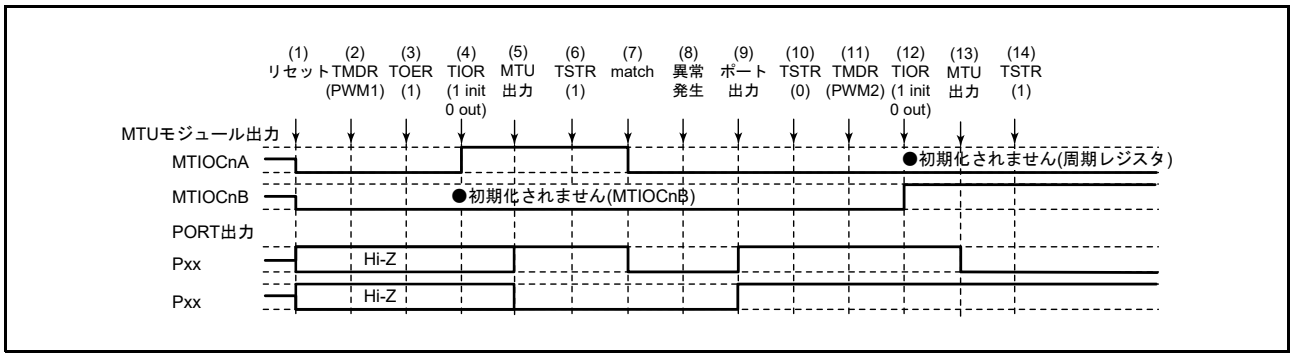


図 10.162　PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

（1）～（10）は図 10.160 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 .　PWM モード 2 は MTU0 ～ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.163 に示します。

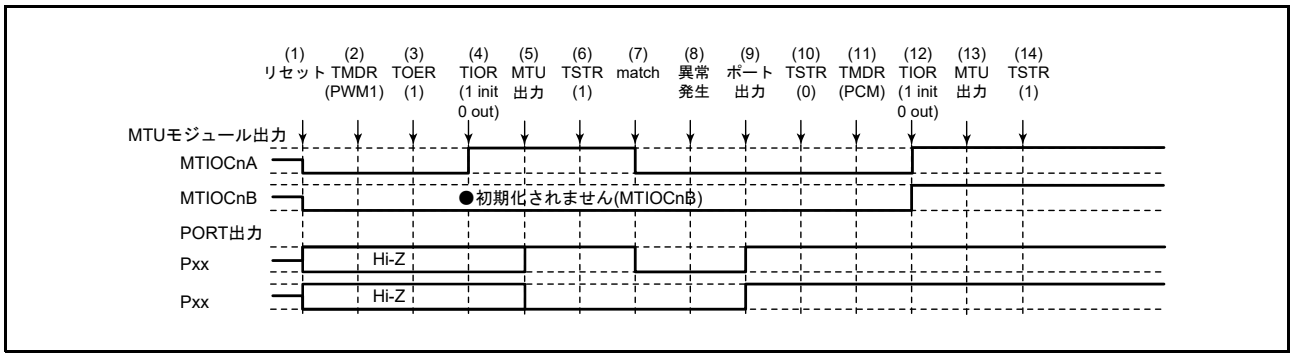


図 10.163　PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

（1）～（10）は図 10.160 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注 .　位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.164 に示します。

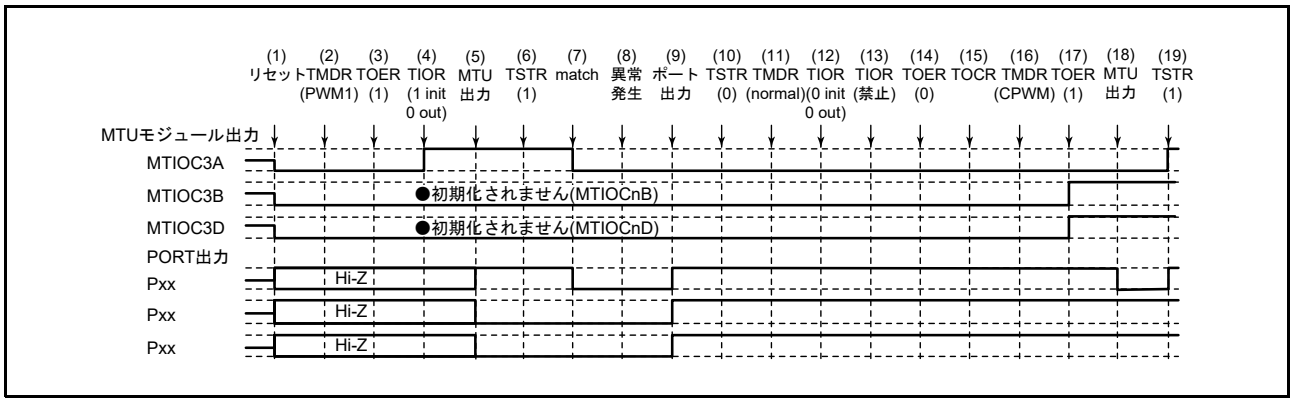


図 10.164　PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 10.160 と共通です。
(11) 波形生成部の初期化のためノーマルモードを設定してください。
(12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
(13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください
(14) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。
(15) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可／禁止を選択してください。
(16) 相補 PWM を設定します。
(17) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。
(18) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(19) TSTRA（TSTRB）レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.165 に示します。

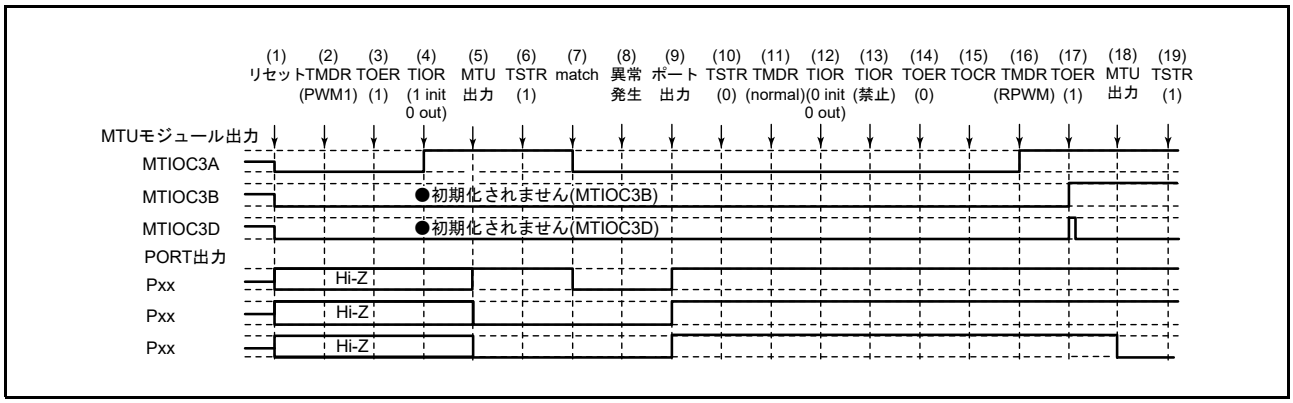


図 10.165　PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（14）は図 10.164 と共通です。

(15) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM の出力レベルと周期出力の許可／禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(18) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(19) TSTRA（TSTRB）レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.166 に示します。

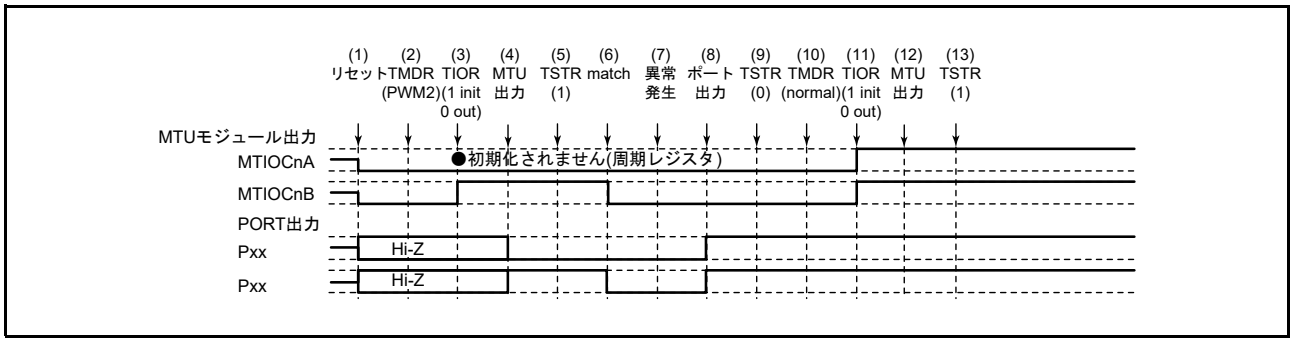


図 10.166　PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 2 を設定してください。
(3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子は初期化されません。例は MTUn.TGRA レジスタを周期レジスタに使用した場合です）。
(4) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。。
(5) TSTRA レジスタでカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) 汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(9) TSTRA レジスタでカウント動作を停止します。
(10) ノーマルモードを設定してください。
(11) TIOR レジスタで端子を初期化してください。
(12) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.167 に示します。

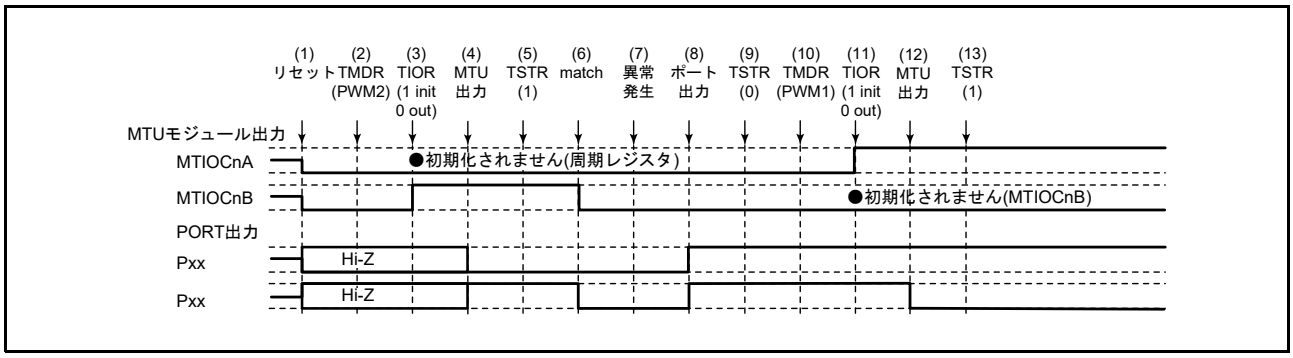


図 10.167　PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

（1）～（9）は図 10.166 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.168 に示します。

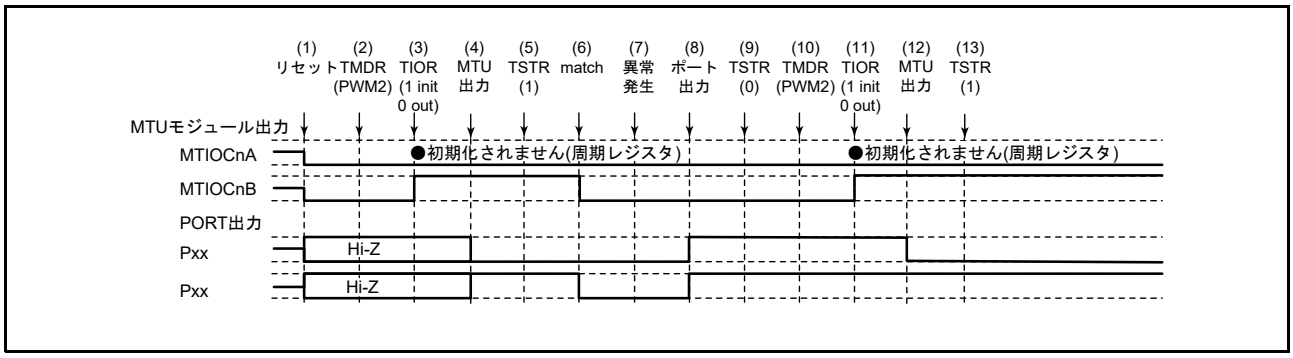


図 10.168　PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

（1）～（9）は図 10.166 と共通です。
(10) PWM モード 2 で再スタートする場合には必要ありません。
(11) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。
(12) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.169 に示します。

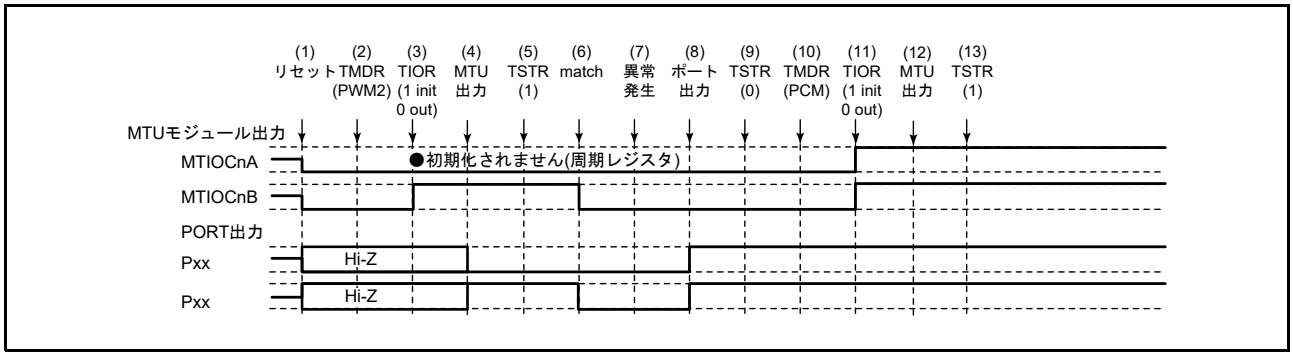


図 10.169　PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

（1）～（9）は図 10.166 と共通です。
(10) 位相計数モードを設定します。
(11) TIOR レジスタで端子を初期化してください。
(12) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.170 に示します。

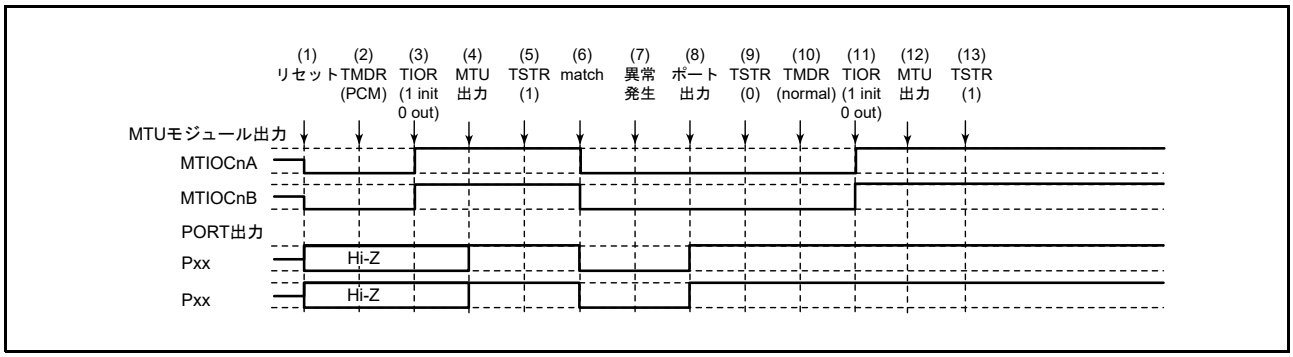


図 10.170　位相計数モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) 位相計数モードを設定してください。
(3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(4) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(5) TSTRA レジスタでカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) 汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(9) TSTRA レジスタでカウント動作を停止します。
(10) ノーマルモードで設定してください。
(11) TIOR レジスタで端子を初期化してください。
(12) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(13) TSTRA レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.171 に示します。

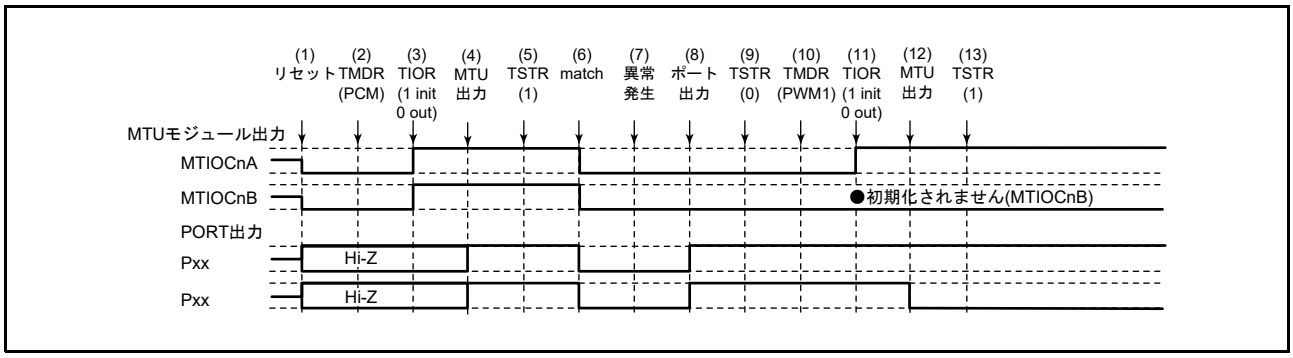


図 10.171　位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（9）は図 10.170 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 10.172 に示します。

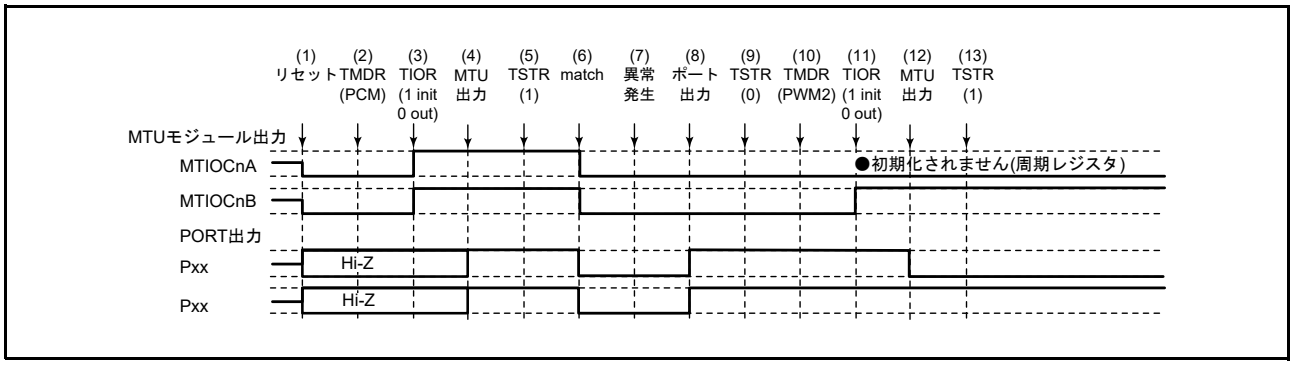


図 10.172　位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

（1）～（9）は図 10.170 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR レジスタで端子を初期化してください（PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(12) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.173 に示します。

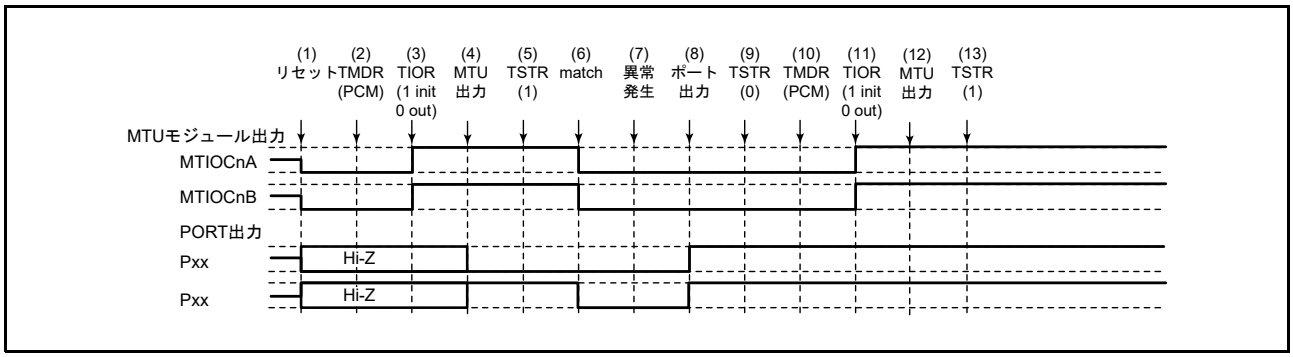


図 10.173　位相計数モードで異常が発生し、位相計数モードで復帰する場合

（1）～（9）は図 10.170 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.174 に示します。

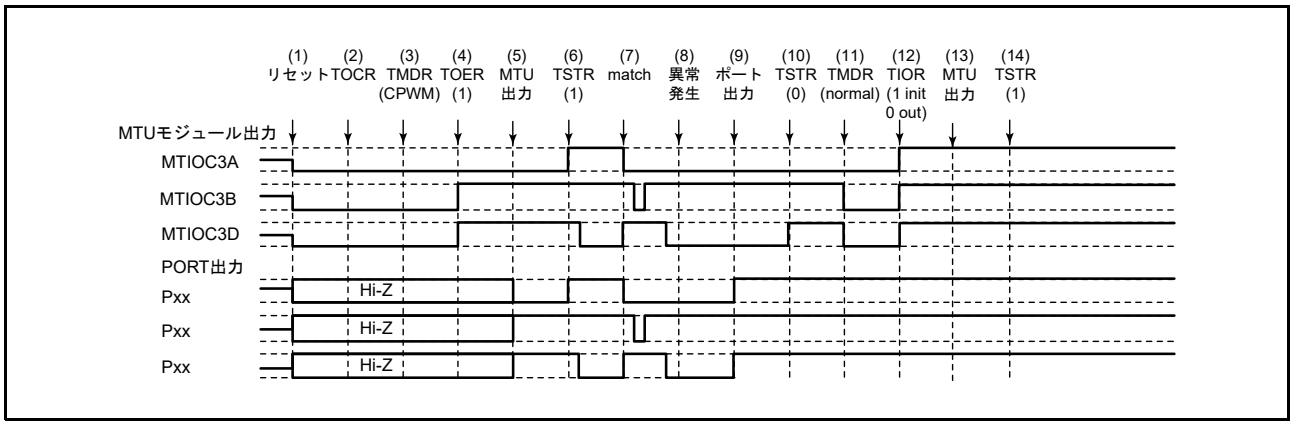


図 10.174　相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可／禁止を選択してください。
(3) 相補 PWM を設定します。
(4) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。
(5) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生により相補 PWM 波形を出力します。
(8) 異常が発生しました。
(9) 汎用入出力ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します（MTU 出力は相補 PWM 出力初期値となります）。
(11) ノーマルモードを設定してください（MTU 出力は Low となります）。
(12) TIOR レジスタで端子を初期化してください。
(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.175 に示します。

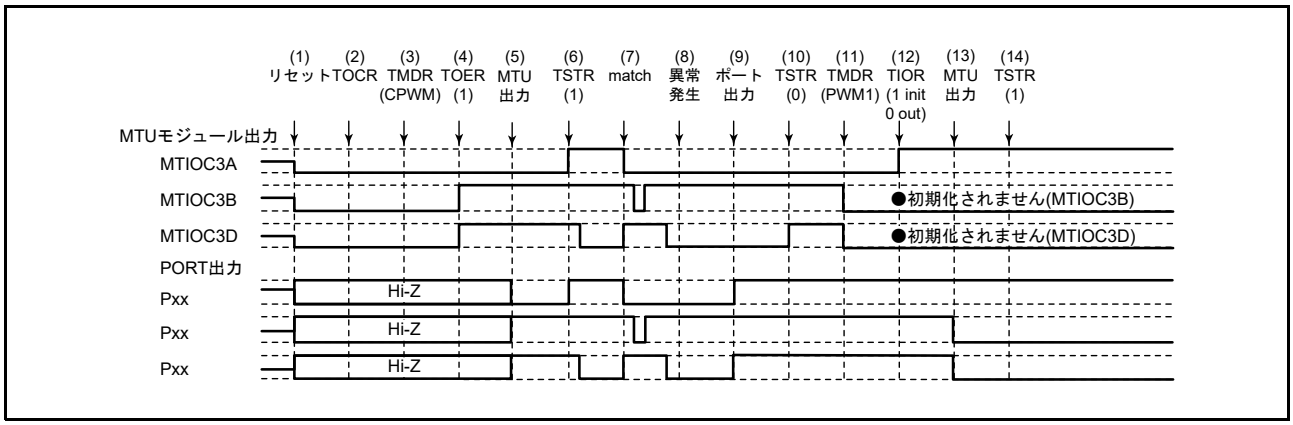


図 10.175　相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 10.174 と共通です。

(11) PWM モード 1 を設定してください（MTU 出力は Low となります）。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.176 に示します（周期、デューティ設定をカウンタを止めたときの値から再スタートする場合）。

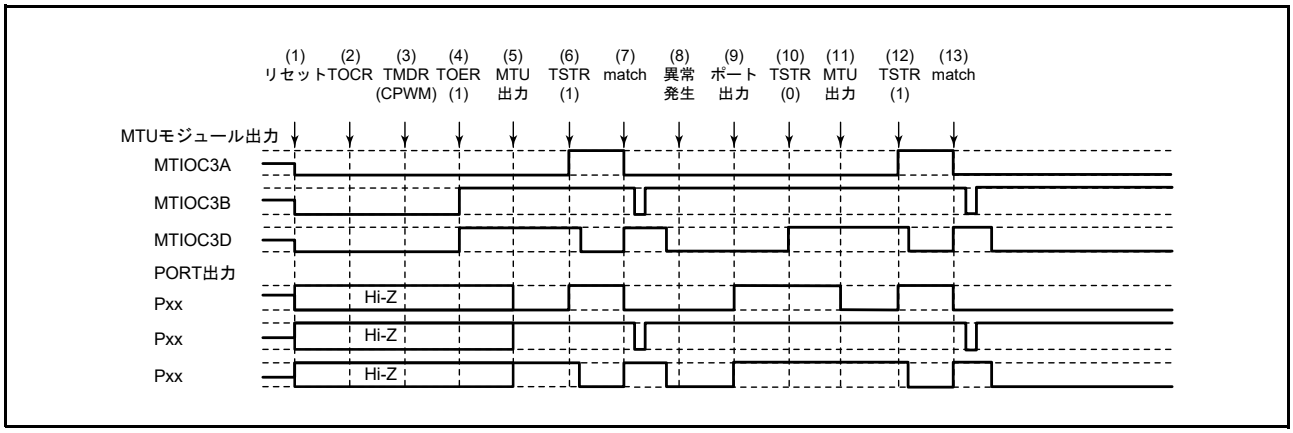


図 10.176　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合（1）

（1）～（10）は図 10.174 と共通です。

(11) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(12) TSTRA（TSTRB）レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.177 に示します（周期、デューティ比設定を全く新しい設定値で再スタートする場合）。

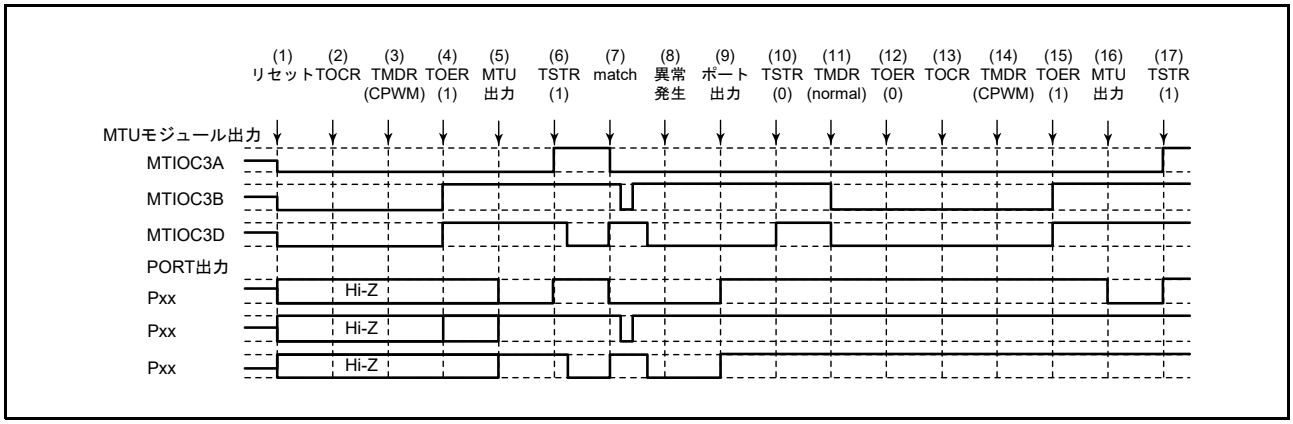


図 10.177　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合（2）

（1）～（10）は図 10.174 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(13) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM モードの出力レベルと周期出力の許可／禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(16) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(17) TSTRA（TSTRB）レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.178 に示します。

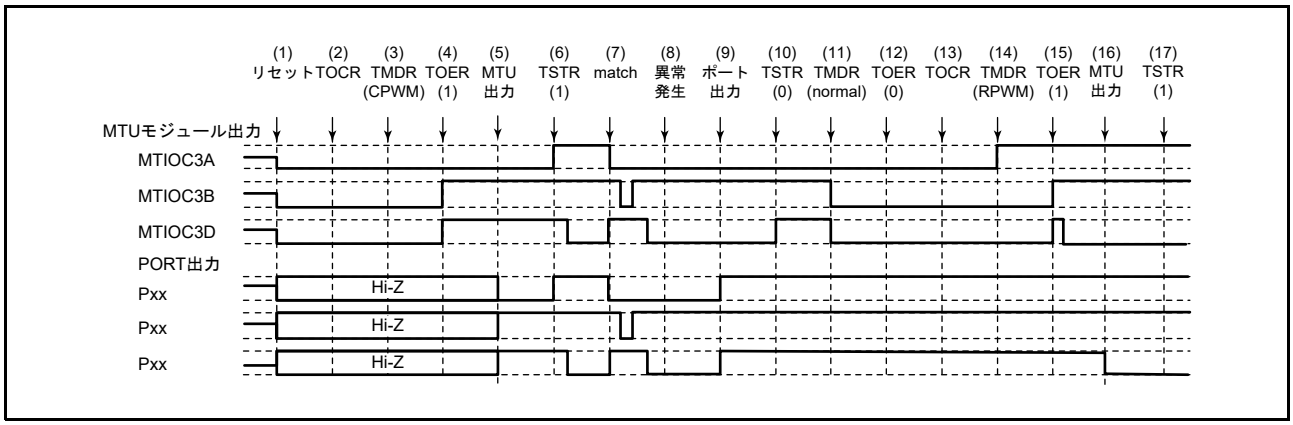


図 10.178　相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（10）は図 10.174 と共通です。

(11) ノーマルモードを設定してください（MTU 出力は Low となります）。

(12) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(13) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可／禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(16) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(17) TSTRA（TSTRB）レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を**図 10.179** に示します。

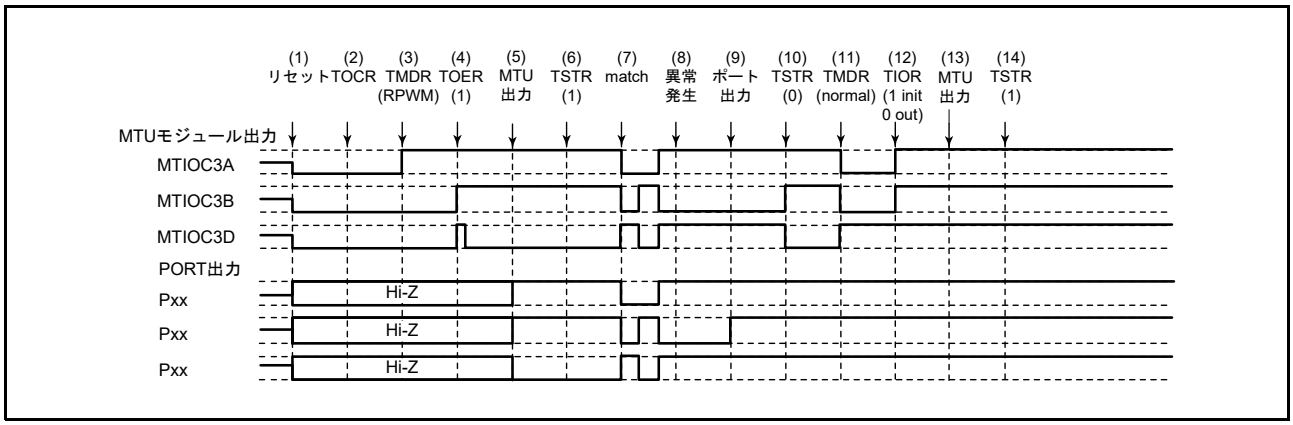


図 10.179　リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタでリセット同期 PWM の出力レベルと周期出力の許可／禁止を選択してください。
(3) リセット同期 PWM を設定します。
(4) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。
(5) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(6) TSTRA（TSTRB）レジスタでカウント動作を開始します。
(7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
(8) 異常が発生しました。
(9) 汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
(10) TSTRA（TSTRB）レジスタでカウント動作を停止します（MTU 出力はリセット同期 PWM 出力初期値となります）。
(11) ノーマルモードを設定してください（MTU 出力は正相側が Low、逆相側が High となります）。
(12) TIOR レジスタで端子を初期化してください。
(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。
(14) TSTRA（TSTRB）レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.180 に示します。

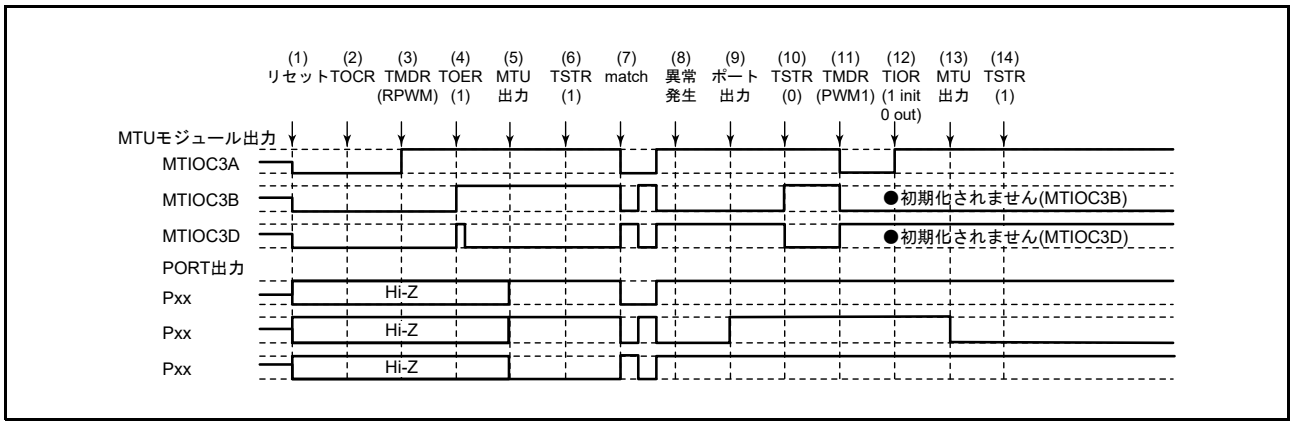


図 10.180　リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 10.179 と共通です。

(11) PWM モード 1 を設定してください（MTU 出力は正相側が Low、逆相側が High となります）。

(12) TIOR レジスタで端子を初期化してください（PWM モード 1 では MTIOCnB（MTIOCnD）端子に波形が出力されません。出力すべきレベルがある場合は、汎用入出力ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）で汎用出力ポートの設定をしてください）。

(13) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(14) TSTRA（TSTRB）レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.181 に示します。

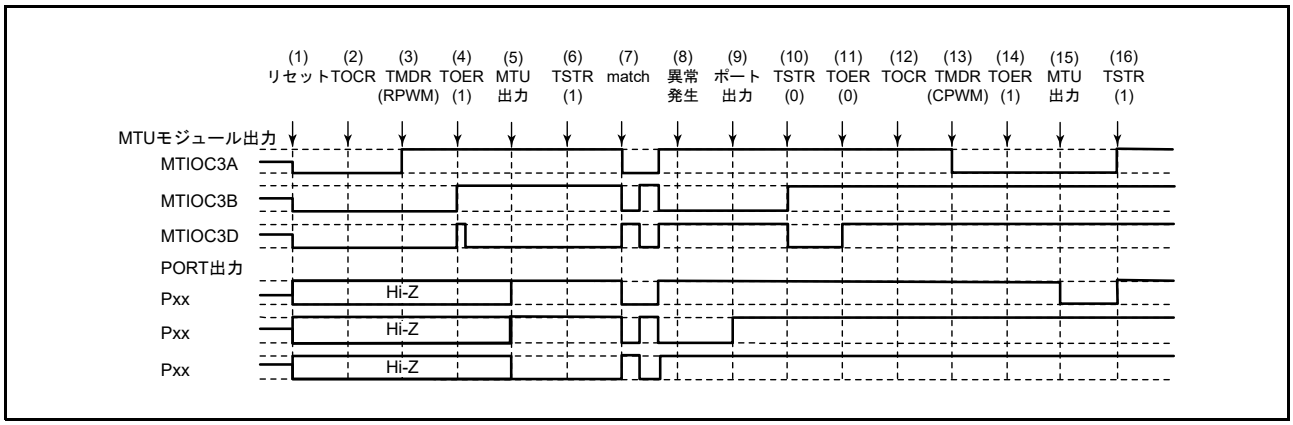


図 10.181　リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 10.179 と共通です。

(11) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を禁止してください。

(12) TOCR1A、TOCR2A（TOCR1B, TOCR2B）レジスタで相補 PWM の出力レベルと周期出力の許可／禁止を選択してください。

(13) 相補 PWM を設定します（MTU の周期出力端子は Low になります）。

(14) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6, MTU7）の出力を許可してください。

(15) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(16) TSTRA（TSTRB）レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.182 に示します。

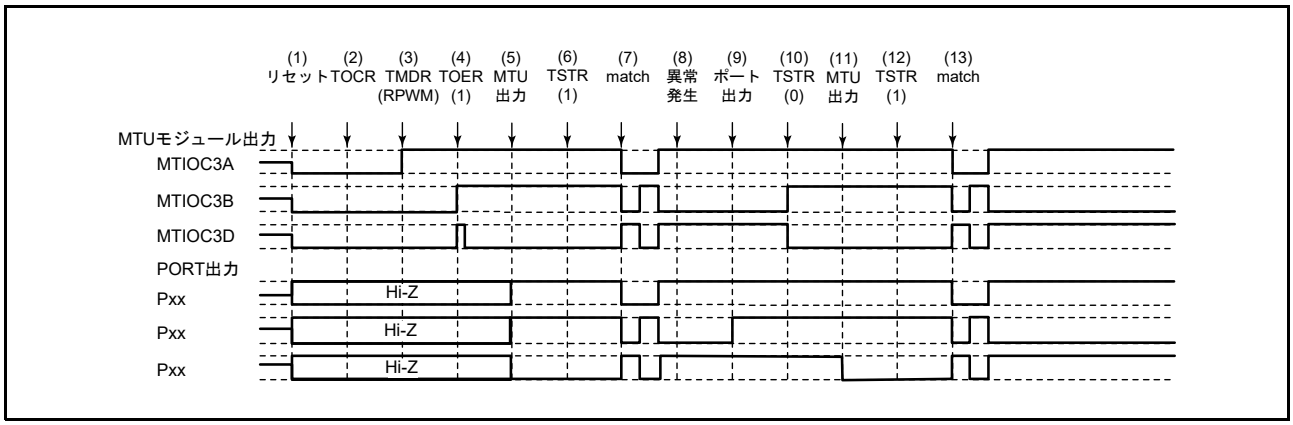


図 10.182　リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（10）は図 10.179 と共通です。

(11) 汎用入出力ポートのポートモードレジスタ（PMR）と Pmn 端子機能制御レジスタ（PmnPFS）で MTU 出力としてください。

(12) TSTRA（TSTRB）レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

11. ポートアウトプットイネーブル 3（POE3）

ポートアウトプットイネーブル 3（POE3）は、MTU3a の出力端子を各種条件でハイインピーダンス状態にすることができます。

11.1 概要

表 11.1 に POE3 の仕様を、**図 11.1** に POE3 のブロック図を示します。

表 11.1　POE3 の仕様

項目	内容
ハイインピーダンス対象端子	• MTU3a の出力端子 MTU0 端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D） MTU3 端子（MTIOC3B、MTIOC3D） MTU4 端子（MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D） MTU6 端子（MTIOC6B、MTIOC6D） MTU7 端子（MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D）
ハイインピーダンス発生条件	• 入力端子の変化 POE0#、POE4#、POE8#、POE10＃端子が入力されたとき（立ち下がりエッジまたはLowサンプリング） • 出力端子の短絡 以下の組み合わせの出力信号レベル（アクティブレベル）が1サイクル以上一致（短絡）したとき | | MTU相補PWM出力端子 | | 1 | MTIOC3B と MTIOC3D | | 2 | MTIOC4A と MTIOC4C | | 3 | MTIOC4B と MTIOC4D | | 4 | MTIOC6B と MTIOC6D | | 5 | MTIOC7A と MTIOC7C | | 6 | MTIOC7B と MTIOC7D | • SPOER レジスタ設定をしたとき
機能	• POE0#、POE4#、POE8#、POE10#の各入力端子に立ち下がりエッジ、P1φ／4×16回、P1φ／16×16回、P1φ／128×16回のLowサンプリングの設定が可能です。 • POE0#、POE4#、POE8#、POE10#端子の立ち下がりエッジ、またはLowサンプリングによって、MTU相補PWM出力端子およびMTU0端子をハイインピーダンス状態にできます。 • MTU相補PWM出力端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU相補PWM出力端子をハイインピーダンス状態にできます。 • POE3のSPOERレジスタの設定により、MTU相補PWM出力端子およびMTU0端子をハイインピーダンス状態にできます。 • 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE3 は**図 11.1** のブロック図に示すように、入力レベル検出回路、端子選択回路、出力レベル比較回路、およびハイインピーダンス要求／割り込み要求生成回路から構成されます。

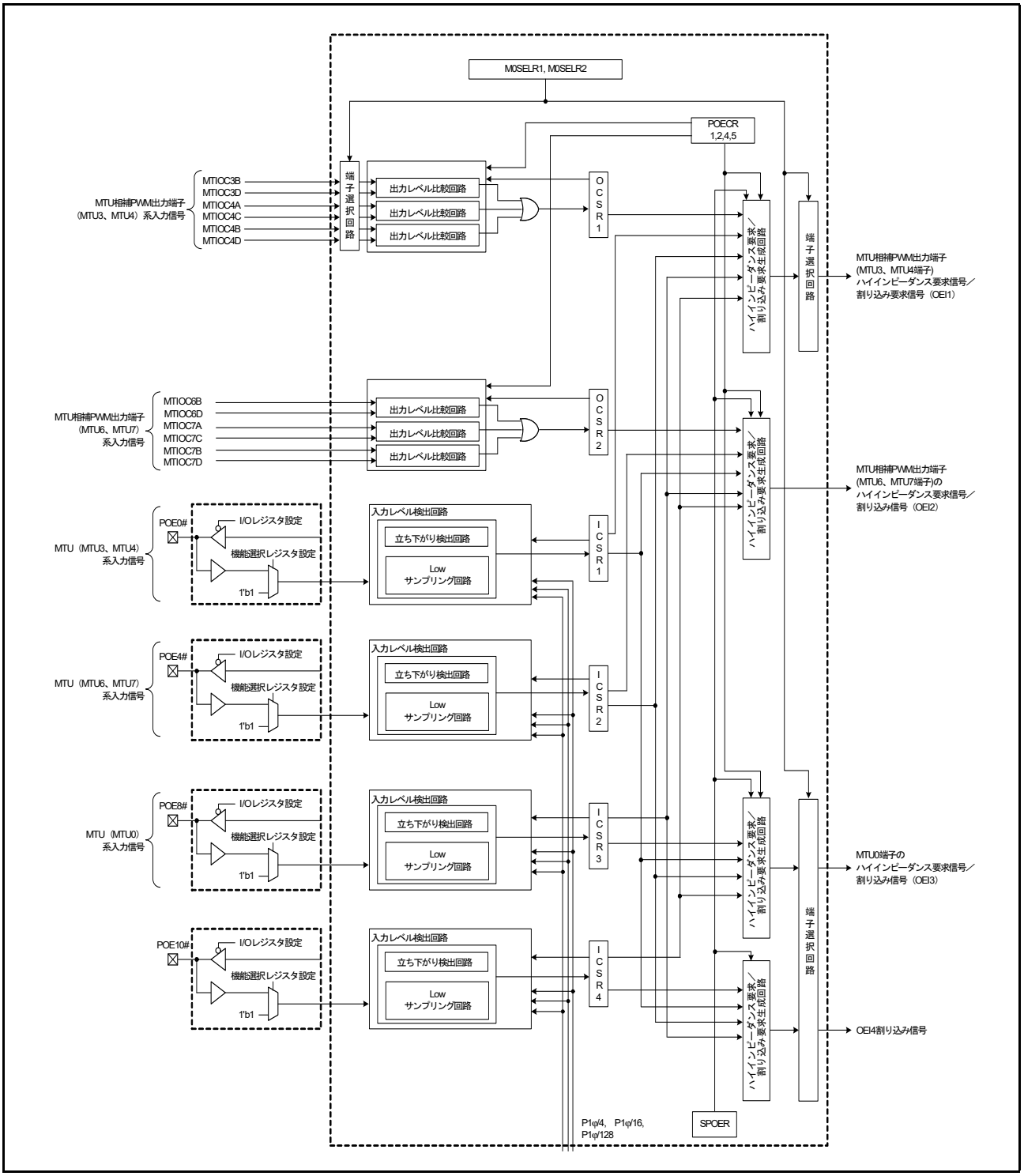


図 11.1　　POE3 のブロック図

表 11.2 に POE3 で使用する入出力端子を示します。

表 11.2　POE3 の入出力端子

端子名	入出力	機能
POE0#	入力	MTU 相補 PWM 出力端子（MTU3、MTU4 端子）をハイインピーダンス状態にする要求信号の入力端子です。レジスタの設定によって MTU0 端子、MTU6、MTU7 端子もハイインピーダンス状態にできます
POE4#	入力	MTU 相補 PWM 出力端子（MTU6、MTU7 端子）をハイインピーダンス状態にする要求信号の入力端子です。レジスタの設定によって MTU0 端子、MTU3、MTU4 端子もハイインピーダンス状態にできます
POE8#	入力	MTU0 の端子をハイインピーダンス状態にする要求信号の入力端子です。レジスタの設定によって MTU 相補 PWM 出力端子（MTU3、MTU4 端子または MTU6、MTU7 端子）もハイインピーダンス状態にできます
POE10#	入力	初期状態では本入力信号によりハイインピーダンス状態にできる端子はありません。レジスタの設定によって MTU 相補 PWM 出力端子（MTU3、MTU4 端子または MTU6、MTU7 端子）、MTU0 端子をハイインピーダンス状態にできます

表 11.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 11.3　端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3B と MTIOC3D	出力	周辺クロック 1C（P1φ）1 サイクル以上同時にアクティブレベル出力（注 1）が続いた場合、MTU 相補 PWM 出力端子（MTU3、MTU4 端子）をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3 のレジスタで設定できます 注 1.　MTUn.TOCR1A.TOCS ビットが“0”のときに、MTUn.TOCR1A.OLSP ビットが“0”の場合は Low 出力、“1”の場合は High 出力。または、MTUn.TOCR1A.TOCS ビットが“1”のときに、MTUn.TOCR2A.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1P ビットが“0”の場合は Low 出力、“1”の場合は High 出力
MTIOC4A と MTIOC4C	出力	
MTIOC4B と MTIOC4D	出力	
MTIOC6B と MTIOC6D	出力	周辺クロック 1C（P1φ）1 サイクル以上同時にアクティブレベル出力（注 1）が続いた場合、MTU 相補 PWM 出力端子（MTU6、MTU7 端子）をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3 のレジスタで設定できます 注 1.　MTUn.TOCR1B.TOCS ビットが“0”のときに、MTUn.TOCR1B.OLSP ビットが“0”の場合は Low 出力、“1”の場合は High 出力。または、MTUn.TOCR1B.TOCS ビットが“1”のときに、MTUn.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1P ビットが“0”の場合は Low 出力、“1”の場合は High 出力
MTIOC7A と MTIOC7C	出力	
MTIOC7B と MTIOC7D	出力	

11.2　レジスタの説明

表 11.4 にレジスタ構成を示します。
POE3 のレジスタは、リセットで初期化されます。

表 11.4　　レジスタ構成

レジスタ名	略称	アドレス	アクセスサイズ
入力レベルコントロール／ステータスレジスタ 1	ICSR1	H'E804_200	16
出力レベルコントロール／ステータスレジスタ 1	OCSR1	H'E804_2002	16
入力レベルコントロール／ステータスレジスタ 2	ICSR2	H'E804_2004	16
出力レベルコントロール／ステータスレジスタ 2	OCSR2	H'E804_2006	16
入力レベルコントロール／ステータスレジスタ 3	ICSR3	H'E804_2008	16
ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	H'E804_200A	8
ポートアウトプットイネーブルコントロールレジスタ 1	POECR1	H'E804_200B	8
ポートアウトプットイネーブルコントロールレジスタ 2	POECR2	H'E804_200C	16
ポートアウトプットイネーブルコントロールレジスタ 4	POECR4	H'E804_2010	16
ポートアウトプットイネーブルコントロールレジスタ 5	POECR5	H'E804_2012	16
入力レベルコントロール／ステータスレジスタ 4	ICSR4	H'E804_2016	16
MTU0 端子選択レジスタ 1	M0SELR1	H'E804_2024	8
MTU0 端子選択レジスタ 2	M0SELR2	H'E804_2025	8

11.2.1　入力レベルコントロール／ステータスレジスタ 1（ICSR1）

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス： H'E804_2000

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE0F	—	—	—	PIE1	—	—	—	—	—	—	POE0M[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	POE0M[1:0]	POE0 モード選択ビット	b1 b0 0 0：POE0# 入力の立ち下がりエッジで要求を受け付け 0 1：POE0# 入力の Low を P1φ／4 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE0# 入力の Low を P1φ／16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE0# 入力の Low を P1φ／128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	R/W （注 1）
b7～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE1	ポート割り込み許可 1 ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11～b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0 フラグ	0：POE0# 端子にハイインピーダンス要求なし 1：POE0# 端子にハイインピーダンス要求あり	R/(W) （注 2）
b15～b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注 1.　リセット後、1 回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注 2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

POE0M[1:0] ビット（POE0 モード選択ビット）

POE0# 端子の入力モードを選択します。

PIE1 ビット（ポート割り込み許可 1 ビット）

POE0F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ（POE0 フラグ）

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。
［“1” になる条件］

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

11.2.2　入力レベルコントロール／ステータスレジスタ 2（ICSR2）

ICSR2 レジスタは、POE4# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス： H'E804_2004

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE4F	—	—	—	PIE2	—	—	—	—	—	—	POE4M[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	POE4M[1:0]	POE4 モード選択ビット	b1 b0 0 0：POE4# 入力の立ち下がりエッジで要求を受け付け 0 1：POE4# 入力の Low を P1φ／4 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE4# 入力の Low を P1φ／16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE4# 入力の Low を P1φ／128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	R/W （注 1）
b7～b2	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b8	PIE2	ポート割り込み許可 2 ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11～b9	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b12	POE4F	POE4 フラグ	0：POE4# 端子にハイインピーダンス要求なし 1：POE4# 端子にハイインピーダンス要求あり	R/(W) （注 2）
b15～b13	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

注 1.　リセット後、1 回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注 2.　フラグを “0” にするため、“1” を読んだ後、“0” を書き込むことのみ可能です。

POE4M[1:0] ビット（POE4 モード選択ビット）

POE4# 端子の入力モードを選択します。

PIE2 ビット（ポート割り込み許可 2 ビット）

POE4F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE4F フラグ（POE4 フラグ）

POE4# 端子にハイインピーダンス要求が入力されたことを示すフラグです。
［“1” になる条件］

- POE4# 端子に POE4M[1:0] ビットで設定した入力が発生したとき

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

11.2.3　入力レベルコントロール／ステータスレジスタ 3（ICSR3）

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス： H'E804_2008

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE8F	—	—	POE8E	PIE3	—	—	—	—	—	—	POE8M[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	POE8M[1:0]	POE8 モード選択ビット	b1 b0 0 0：POE8# 入力の立ち下がりエッジで要求を受け付け 0 1：POE8# 入力の Low を P1φ／4 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE8# 入力の Low を P1φ／16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE8# 入力の Low を P1φ／128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	R/W （注 1）
b7～b2	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b8	PIE3	ポート割り込み許可 3 ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE8E	POE8 ハイインピーダンス許可ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注 1）
b11、b10	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b12	POE8F	POE8 フラグ	0：POE8# 端子にハイインピーダンス要求なし 1：POE8# 端子にハイインピーダンス要求あり	R/(W) （注 2）
b15～b13	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

注 1.　リセット後、1 回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注 2.　フラグを “0” にするため、“1” を読んだ後、“0” を書き込むことのみ可能です。

POE8M[1:0] ビット（POE8 モード選択ビット）

POE8# 端子の入力モードを選択します。

PIE3 ビット（ポート割り込み許可 3 ビット）

POE8F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット（POE8 ハイインピーダンス許可ビット）

POE8F フラグが “1” になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ（POE8 フラグ）

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“1” になる条件］

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

11.2.4　入力レベルコントロール／ステータスレジスタ 4（ICSR4）

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス： H'E804_2016

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE10F	—	—	POE10E	PIE4	—	—	—	—	—	—	POE10M[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	POE10M[1:0]	POE10 モード選択ビット	b1 b0 0 0：POE10# 入力の立ち下がりエッジで要求を受け付け 0 1：POE10# 入力の Low を P1φ／4 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0：POE10# 入力の Low を P1φ／16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1：POE10# 入力の Low を P1φ／128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	R/W （注 1）
b7～b2	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b8	PIE4	ポート割り込み許可 4 ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE10E	POE10 ハイインピーダンス許可ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注 1）
b11、b10	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b12	POE10F	POE10 フラグ	0：POE10# 端子にハイインピーダンス要求なし 1：POE10# 端子にハイインピーダンス要求あり	R/(W) （注 2）
b15～b13	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

注 1.　リセット後、1 回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注 2.　フラグを “0” にするため、“1” を読んだ後、“0” を書き込むことのみ可能です。

POE10M[1:0] ビット（POE10 モード選択ビット）

POE10# 端子の入力モードを選択します。

PIE4 ビット（ポート割り込み許可 4 ビット）

POE10F フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット（POE10 ハイインピーダンス許可ビット）

POE10F フラグが “1” になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE10F フラグ（POE10 フラグ）

POE10# 端子にハイインピーダンス要求が入力されたことを示すフラグです。
［“1” になる条件］

- POE10# 端子に POE10M[1:0] ビットで設定した入力が発生したとき

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

11.2.5　出力レベルコントロール／ステータスレジスタ 1（OCSR1）

OCSR1 レジスタは、出力レベルの比較許可／禁止、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス： H'E804_2002

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可1ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注1）
b14～b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) （注2）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OIE1 ビット（出力短絡割り込み許可 1 ビット）

OSF1 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット（出力短絡ハイインピーダンス許可 1 ビット）

OSF1 フラグが “1” になったときに、端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ（出力短絡フラグ 1）

MTU 相補 PWM 出力端子（MTU3、MTU4 端子）の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。
［“1” になる条件］

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

11.2.6　出力レベルコントロール／ステータスレジスタ 2（OCSR2）

OCSR2 レジスタは、出力レベルの比較許可／禁止、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

アドレス： H'E804_2006

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE2	出力短絡割り込み許可2ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE2	出力短絡ハイインピーダンス許可2ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注1）
b14～b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF2	出力短絡フラグ2	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) （注2）

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OIE2 ビット（出力短絡割り込み許可 2 ビット）

OSF2 フラグが “1” になったときに、割り込みを要求するかどうかを指定します。

OCE2 ビット（出力短絡ハイインピーダンス許可 2 ビット）

OSF2 フラグが “1” になったときに、端子をハイインピーダンスにするかどうかを指定します。

OSF2 フラグ（出力短絡フラグ 2）

MTU 相補 PWM 出力端子（MTU6、MTU7 端子）の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

［“1” になる条件］

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

［“0” になる条件］

- “1” の状態を読んだ後、“0” を書いたとき

11.2.7　ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）

SPOER レジスタは、端子のハイインピーダンスを制御するレジスタです。

アドレス： H'E804_200A

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTUCH0HIZ	MTUCH67HIZ	MTUCH34HIZ
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3、MTU4 ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b1	MTUCH67HIZ	MTU6、MTU7 出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b2	MTUCH0HIZ	MTU0 出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUCH34HIZ ビット（MTU3、MTU4 出力ハイインピーダンス許可ビット）

MTU 相補 PWM 出力端子（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D）をハイインピーダンス状態にする制御を行います。

［“1” になる条件］

- “1” を書いたとき

［“0” になる条件］

- リセット
- “1” の状態を読んだ後、“0” を書いたとき（注 1）

注 1.　クリアする場合は、必ず “1” を読んだ後、“0” を書く必要があります。

MTUCH67HIZ ビット（MTU6、MTU7 出力ハイインピーダンス許可ビット）

MTU 相補 PWM 出力端子（MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D）をハイインピーダンス状態にする制御を行います。

［“1” になる条件］

- “1” を書いたとき

［“0” になる条件］

- リセット
- “1” の状態を読んだ後、“0” を書いたとき（注 1）

注 1.　クリアする場合は、必ず “1” を読んだ後、“0” を書く必要があります。

MTUCH0HIZ ビット（MTU0 出力ハイインピーダンス許可ビット）

MTU0 の端子をハイインピーダンス状態にする制御を行います。

［“1” になる条件］

- “1” を書いたとき

［“0” になる条件］

- リセット
- “1” の状態を読んだ後、“0” を書いたとき（注 1）

注 1.　クリアする場合は、必ず “1” を読んだ後、“0” を書く必要があります。

11.2.8　ポートアウトプットイネーブルコントロールレジスタ 1（POECR1）

POECR1 レジスタは、MTU0 端子のハイインピーダンスを制御するレジスタです。

アドレス： H'E804_200B

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTIOC0Aハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W （注1）
b1	MTU0BZE	MTIOC0Bハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W （注1）
b2	MTU0CZE	MTIOC0Cハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W （注1）
b3	MTU0DZE	MTIOC0Dハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W （注1）
b7～b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

MTU0AZE ビット（MTIOC0A ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、POECR5 レジスタで追加選択した ICSRn.POEmF（n = 1, 2, 4、m = 0, 4, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU0 端子の MTIOC0A 出力をハイインピーダンス状態にするかどうか設定します。

MTU0BZE ビット（MTIOC0B ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、POECR5 レジスタで追加選択した ICSRn.POEmF（n = 1, 2, 4、m = 0, 4, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU0 端子の MTIOC0B 出力をハイインピーダンス状態にするかどうか設定します。

MTU0CZE ビット（MTIOC0C ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER. MTUCH0HIZ ビット、POECR5 レジスタで追加選択した ICSRn.POEmF（n = 1, 2, 4、m = 0, 4, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU0 端子の MTIOC0C 出力をハイインピーダンス状態にするかどうか設定します

MTU0DZE ビット（MTIOC0D ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER. MTUCH0HIZ ビット、POECR5 レジスタで追加選択した ICSRn.POEmF（n = 1, 2, 4、m = 0, 4, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU0 端子の MTIOC0D 出力をハイインピーダンス状態にするかどうか設定します。

11.2.9　ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）

POECR2 レジスタは、MTU 相補 PWM 出力端子（MTU3、MTU4、MTU6、MTU7 端子）のハイインピーダンスを制御するレジスタです。

アドレス： H'E804_200C

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3BDZE	MTU4ACZE	MTU4BDZE	—	—	—	—	—	MTU6BDZE	MTU7ACZE	MTU7BDZE
リセット後の値：	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BDZE	MTIOC7B／7Dハイインピーダンス許可ビット（注2）	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b1	MTU7ACZE	MTIOC7A／7Cハイインピーダンス許可ビット（注2）	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b2	MTU6BDZE	MTIOC6B／6Dハイインピーダンス許可ビット（注2）	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTIOC4B／4Dハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b9	MTU4ACZE	MTIOC4A／4Cハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b10	MTU3BDZE	MTIOC3B／3Dハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b15～b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。
注2.　MTU6、MTU7 を使用しない場合は、“0”に設定してください。

MTU7BDZE ビット（MTIOC7B ／ 7D ハイインピーダンス許可ビット）

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、POECR4 レジスタで追加選択した ICSRn.POEmF（n = 1, 3, 4、m = 0, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU3 端子の MTIOC7B 出力と MTIOC7D 出力をハイインピーダンス状態にするかどうか設定します。

MTU7ACZE ビット（MTIOC7A ／ 7C ハイインピーダンス許可ビット）

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、POECR4 レジスタで追加選択した ICSRn.POEmF（n = 1, 3, 4、m = 0, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU3 端子の MTIOC7A 出力と MTIOC7C 出力をハイインピーダンス状態にするかどうか設定します。

MTU6BDZE ビット（MTIOC6B ／ 6D ハイインピーダンス許可ビット）

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、POECR4 レジスタで追加選択した ICSRn.POEmF（n = 1, 3, 4、m = 0, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU3 端子の MTIOC6B 出力と MTIOC6D 出力をハイインピーダンス状態にするかどうか設定します。

MTU4BDZE ビット（MTIOC4B ／ 4D ハイインピーダンス許可ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、POECR4 レジスタで追加選択した ICSRn.POEmF（n = 2 ～ 4、m = 4, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU4 端子の MTIOC4B 出力と MTIOC4D 出力をハイインピーダンス状態にするかどうか設定します。

MTU4ACZE ビット（MTIOC4A ／ 4C ハイインピーダンス許可ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、POECR4 レジスタで追加選択した ICSRn.POEmF（n = 2 ～ 4、m = 4, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU4 端子の MTIOC4A 出力と MTIOC4C 出力をハイインピーダンス状態にするかどうか設定します。

MTU3BDZE ビット（MTIOC3B ／ 3D ハイインピーダンス許可ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、POECR4 レジスタで追加選択した ICSRn.POEmF（n = 2 ～ 4、m = 4, 8, 10）フラグのうち、どれか 1 つでも “1” になったときに、MTU3 端子の MTIOC3B 出力と MTIOC3D 出力をハイインピーダンス状態にするかどうか設定します。

11.2.10　ポートアウトプットイネーブルコントロールレジスタ 4（POECR4）

POECR4 レジスタは、MTU 相補 PWM 出力端子（MTU3、MTU4、MTU6、MTU7 端子）のハイインピーダンス制御条件を拡張するレジスタです。

ハイインピーダンス制御の対象と条件については、**図 11.2** を参照してください。

アドレス： H'E804_2010

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IC4ADDMT67ZE	IC3ADDMT67ZE	—	IC1ADDMT67ZE	—	—	—	—	IC4ADDMT34ZE	IC3ADDMT34ZE	IC2ADDMT34ZE	—	—
リセット後の値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	IC2ADDMT34ZE	MTU3、MTU4 ハイインピーダンス POE4F 追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b3	IC3ADDMT34ZE	MTU3、MTU4 ハイインピーダンス POE8F 追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b4	IC4ADDMT34ZE	MTU3、MTU4 ハイインピーダンス POE10F 追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b8～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	IC1ADDMT67ZE	MTU6、MTU7 ハイインピーダンス POE0F 追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11	IC3ADDMT67ZE	MTU6、MTU7 ハイインピーダンス POE8F 追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b12	IC4ADDMT67ZE	MTU6、MTU7 ハイインピーダンス POE10F 追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注1）
b15～b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

IC2ADDMT34ZE ビット（MTU3、MTU4 ハイインピーダンス POE4F 追加ビット）

ICSR2.POE4F フラグ（POE4#）を MTU3、MTU4 端子（MTIOC3B ／ MTIOC3D ／ MTIOC4A ／ MTIOC4C ／ MTIOC4B ／ MTIOC4D）のハイインピーダンス制御条件に追加します。

IC3ADDMT34ZE ビット（MTU3、MTU4 ハイインピーダンス POE8F 追加ビット）

ICSR3.POE8F フラグ（POE8#）を MTU3、MTU4 端子（MTIOC3B ／ MTIOC3D ／ MTIOC4A ／ MTIOC4C ／ MTIOC4B ／ MTIOC4D）のハイインピーダンス制御条件に追加します。

IC4ADDMT34ZE ビット（MTU3、MTU4 ハイインピーダンス POE10F 追加ビット）

ICSR4.POE10F フラグ（POE10#）を MTU3、MTU4 端子（MTIOC3B ／ MTIOC3D ／ MTIOC4A ／ MTIOC4C ／ MTIOC4B ／ MTIOC4D）のハイインピーダンス制御条件に追加します。

IC1ADDMT67ZE ビット（MTU6、MTU7 ハイインピーダンス POE0F 追加ビット）

ICSR1.POE0F フラグ（POE0#）を MTU6、MTU7 端子（MTIOC6B ／ MTIOC6D ／ MTIOC7A ／ MTIOC7C ／ MTIOC7B ／ MTIOC7D）のハイインピーダンス制御条件に追加します。

IC3ADDMT67ZE ビット（MTU6、MTU7 ハイインピーダンス POE8F 追加ビット）

ICSR3.POE8F フラグ（POE8#）を MTU6、MTU7 端子（MTIOC6B ／ MTIOC6D ／ MTIOC7A ／ MTIOC7C ／ MTIOC7B ／ MTIOC7D）のハイインピーダンス制御条件に追加します。

IC4ADDMT67ZE ビット（MTU6、MTU7 ハイインピーダンス POE10F 追加ビット）

ICSR4.POE10F フラグ（POE10#）を MTU6、MTU7 端子（MTIOC6B ／ MTIOC6D ／ MTIOC7A ／ MTIOC7C ／ MTIOC7B ／ MTIOC7D）のハイインピーダンス制御条件に追加します。

11.2.11　ポートアウトプットイネーブルコントロールレジスタ 5（POECR5）

POECR5 レジスタは、MTU0 端子のハイインピーダンス制御条件を拡張するレジスタです。
ハイインピーダンス制御の対象と条件については、**図 11.2** を参照してください。

アドレス： H'E804_2012

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IC4ADDMT0ZE	—	IC2ADDMT0ZE	IC1ADDMT0ZE	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	IC1ADDMT0ZE	MTU0 ハイインピーダンス POE0F 追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注 1）
b2	IC2ADDMT0ZE	MTU0 ハイインピーダンス POE4F 追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注 1）
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	IC4ADDMT0ZE	MTU0 ハイインピーダンス POE10F 追加ビット	0：ハイインピーダンス制御条件に追加しない 1：ハイインピーダンス制御条件に追加する	R/W（注 1）
b15～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注 1.　リセット後、1 回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

IC1ADDMT0ZE ビット（MTU0 ハイインピーダンス POE0F 追加ビット）

ICSR1.POE0F フラグ（POE0#）を MTU0 端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D）のハイインピーダンス制御条件に追加します。

IC2ADDMT0ZE ビット（MTU0 ハイインピーダンス POE4F 追加ビット）

ICSR2.POE4F フラグ（POE4#）を MTU0 端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D）のハイインピーダンス制御条件に追加します。

IC4ADDMT0ZE ビット（MTU0 ハイインピーダンス POE10F 追加ビット）

ICSR4.POE10F フラグ（POE10#）を MTU0 端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D）のハイインピーダンス制御条件に追加します。

11.2.12　MTU0 端子選択レジスタ 1（M0SELR1）

M0SELR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御対象となる MTU0-A ／ B の端子を選択するレジスタです。

アドレス： H'E804_2024

	b7	b6	b5	b4	b3	b2	b1	b0
	M0BSEL[3:0]				M0ASEL[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3～b0	M0ASEL[3:0]	MTU0-A（MTIOC0A）端子選択ビット	b3　b0 0000：PE3 を MTIOC0A 端子としてハイインピーダンス制御する 0010：PA6 を MTIOC0A 端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W （注 1）
b7～b4	M0BSEL[3:0]	MTU0-B（MTIOC0B）端子選択ビット	b7　b4 0000：PE4 を MTIOC0B 端子としてハイインピーダンス制御する 0001：PA5 を MTIOC0B 端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W （注 1）

注 1.　リセット後、1 回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

M0ASEL[3:0] ビット（MTU0-A（MTIOC0A）端子選択ビット）

ハイインピーダンス制御対象となる MTIOC0A 端子を選択します。

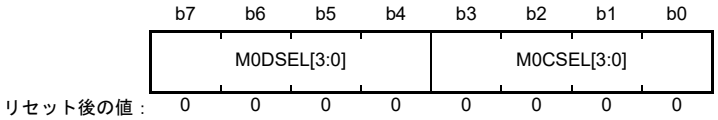
M0BSEL[3:0] ビット（MTU0-B（MTIOC0B）端子選択ビット）

ハイインピーダンス制御対象となる MTIOC0B 端子を選択します。

11.2.13　MTU0 端子選択レジスタ 2（M0SELR2）

M0SELR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御対象となる MTU0-C ／ D の端子を選択するレジスタです。

アドレス： H'E804_2025



ビット	シンボル	ビット名	機能	R/W
b3～b0	M0CSEL[3:0]	MTU0-C（MTIOC0C）端子選択ビット	b3 b0 0000：PE5 を MTIOC0C 端子としてハイインピーダンス制御する 0010：PA4 を MTIOC0C 端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W （注 1）
b7～b4	M0DSEL[3:0]	MTU0-D（MTIOC0D）端子選択ビット	b7 b4 0000：PE6 を MTIOC0D 端子としてハイインピーダンス制御する 0010：PA3 を MTIOC0D 端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W （注 1）

注 1.　リセット後、1 回のみ書き込み可能です。一度書き込むと、リセットされるまで、書いてもレジスタ値は書き換わりません。

M0CSEL[3:0] ビット（MTU0-C（MTIOC0C）端子選択ビット）

ハイインピーダンス制御対象となる MTIOC0C 端子を選択します。

M0DSEL[3:0] ビット（MTU0-D（MTIOC0D）端子選択ビット）

ハイインピーダンス制御対象となる MTIOC0D 端子を選択します。

11.3　動作説明

表 11.5 にハイインピーダンス制御の対象となる端子と、ハイインピーダンスになる条件を示します。

表11.5　　ハイインピーダンス制御の対象と条件

端子	条件	条件詳細
MTU3端子 （MTIOC3B、MTIOC3D）	• POE0#端子の入力レベル検出動作 • MTIOC3B端子とMTIOC3D端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件	MTU3BDZE・ ((POE0F) +(OSF1•OCE1) +(MTUCH34HIZ) +(IC2ADDMT34ZE•POE4F) +(IC3ADDMT34ZE•POE8E•POE8F) +(IC4ADDMT34ZE•ICSR4.POE10E・ICSR4.POE10F)
MTU4端子 （MTIOC4A、MTIOC4C）	• POE0#端子の入力レベル検出動作 • MTIOC4A端子とMTIOC4C端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件	MTU4ACZE・ ((POE0F) +(OSF1•OCE1) + (MTUCH34HIZ) +(IC2ADDMT34ZE•POE4F) +(IC3ADDMT34ZE•POE8E•POE8F) +(IC4ADDMT34ZE•ICSR4.POE10E・ICSR4.POE10F)
MTU4端子 （MTIOC4B、MTIOC4D）	• POE0#端子の入力レベル検出動作 • MTIOC4B端子とMTIOC4D端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件	MTU4BDZE・ ((POE0F) +(OSF1•OCE1) +(MTUCH34HIZ) +(IC2ADDMT34ZE•POE4F) +(IC3ADDMT34ZE•POE8E•POE8F) +(IC4ADDMT34ZE•ICSR4.POE10E・ICSR4.POE10F)
MTU6端子 （MTIOC6B、MTIOC6D）	• POE4#端子の入力レベル検出動作 • MTIOC6B端子とMTIOC6D端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件	MTU6BDZE・ ((POE4F +(OSF2•OCE2) +(MTUCH67HIZ) +(IC1ADDMT67ZE•POE0F) +(IC3ADDMT67ZE•POE8E•POE8F) +(IC4ADDMT67ZE•ICSR4.POE10E・ICSR4.POE10F)
MTU7端子 （MTIOC7A、MTIOC7C）	• POE4#端子の入力レベル検出動作 • MTIOC7A端子とMTIOC7C端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件	MTU7ACZE・ ((POE4F) +(OSF2•OCE2) +(MTUCH67HIZ) +(IC1ADDMT67ZE•POE0F) +(IC3ADDMT67ZE•POE8E•POE8F) +(IC4ADDMT67ZE•ICSR4.POE10E・ICSR4.POE10F)
MTU7端子 （MTIOC7B、MTIOC7D）	• POE4#端子の入力レベル検出動作 • MTIOC7B端子とMTIOC7D端子の出力レベル比較動作 • SPOERレジスタ設定 • POECR4で追加された条件	MTU7BDZE・ ((POE4F +(OSF2•OCE2) +(MTUCH67HIZ) +(IC1ADDMT67ZE•POE0F) +(IC3ADDMT67ZE•POE8E•POE8F) +(IC4ADDMT67ZE•ICSR4.POE10E・ICSR4.POE10F)
MTU0端子（ MTIOC0A）	• POE8#端子の入力レベル検出動作 • SPOERレジスタ設定 • POECR5で追加された条件	MTU0AZE・ ((POE8F•POE8E) +(MTUCH0HIZ) +(IC1ADDMT0ZE•POE0F) +(IC2ADDMT0ZE•POE4F) +(IC4ADDMT0ZE•ICSR4.POE10E・ICSR4.POE10F)

端子	条件	条件詳細
MTU0端子（MTIOC0B）	• POE8#端子の入力レベル検出動作 • SPOERレジスタ設定 • POECR5で追加された条件	MTU0BZE・ ((POE8F•POE8E) +(MTUCH0HIZ) +(IC1ADDMT0ZE•POE0F) +(IC2ADDMT0ZE•POE4F) +(IC4ADDMT0ZE•ICSR4.POE10E・ICSR4.POE10F)
MTU0端子（MTIOC0C）	• POE8#端子の入力レベル検出動作 • SPOERレジスタ設定 • POECR5で追加された条件	MTU0CZE・ ((POE8F•POE8E) +(MTUCH0HIZ) +(IC1ADDMT0ZE•POE0F) +(IC2ADDMT0ZE•POE4F) +(IC4ADDMT0ZE•ICSR4.POE10E・ICSR4.POE10F)
MTU0端子（MTIOC0D）	• POE8#端子の入力レベル検出動作 • SPOERレジスタ設定 • POECR5で追加された条件	MTU0DZE・ ((POE8F•POE8E) +(MTUCH0HIZ) +(IC1ADDMT0ZE•POE0F) +(IC2ADDMT0ZE•POE4F) +(IC4ADDMT0ZE•ICSR4.POE10E・ICSR4.POE10F)

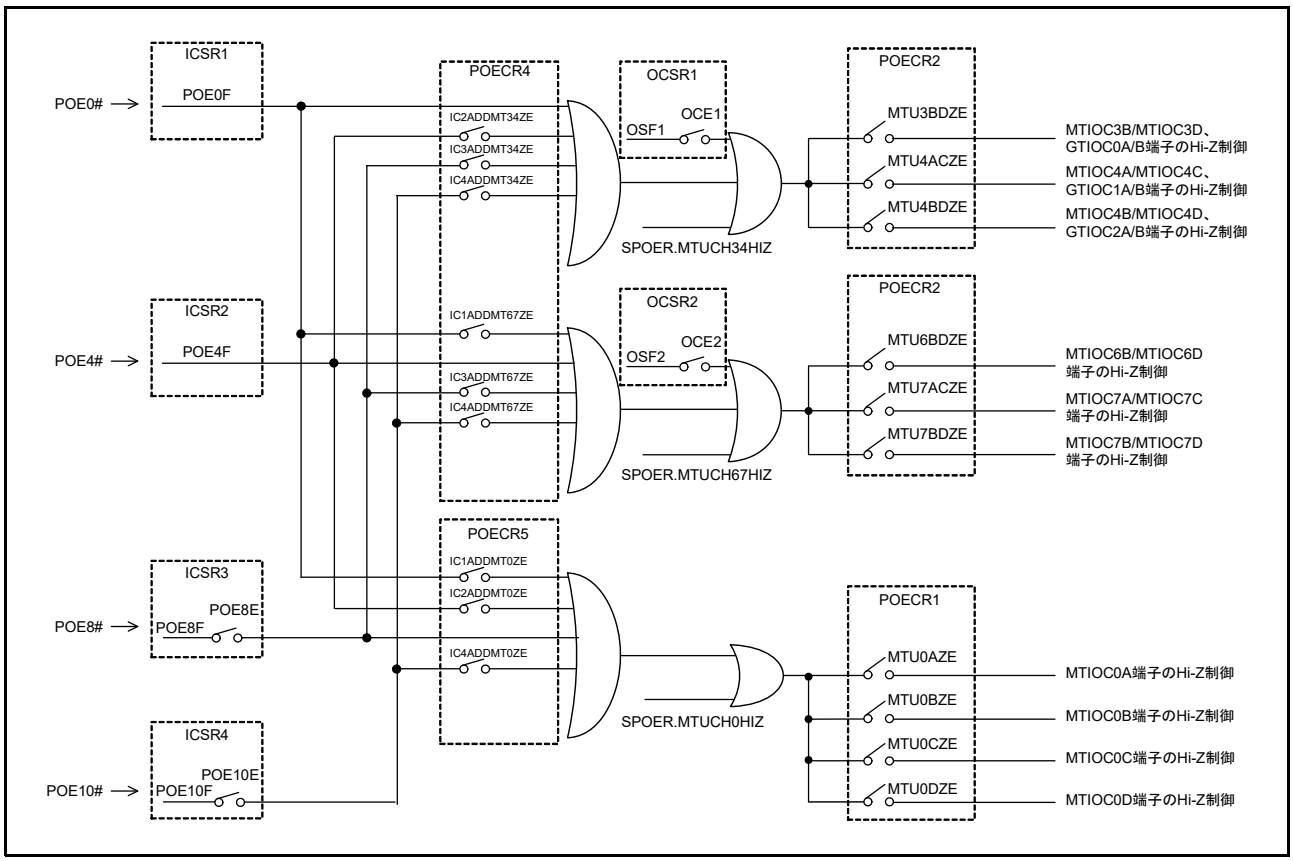


図 11.2　　ハイインピーダンス制御の対象と条件

POECR1 ～ POECR2 レジスタを設定することにより、各端子へのハイインピーダンス要求を制御できます。

POECR4 ～ POECR5 レジスタを設定することにより、MTU3、MTU4 端子は POE0# 以外を、MTU6、MTU7 端子は POE4# 以外を、MTU0 端子は POE8# 以外を、ハイインピーダンス制御条件に追加することができます。

たとえば、POECR4.IC2ADDMT34ZE ビットを 1 に設定すると、MTU3、MTU4 端子は POE4# の検出でもハイインピーダンス要求を出力します。

ICSR3 ～ ICSR4 レジスタを設定することにより、POE8#、POE10# によるハイインピーダンス要求を制御できます（ICSR1、ICSR2 レジスタはハイインピーダンス要求の出力を許可／禁止する制御はありません）。

OCSR1、OCSR2 レジスタを設定することにより、出力レベル比較の結果による MTU3、MTU4 端子と MTU6、MTU7 端子へのハイインピーダンス要求を制御できます。

11.3.1 MTU 端子選択

本 LSI では、MTU 用の各端子機能が各々複数のポートに割り当てられています。どのポートをハイインピーダンス制御対象とするかは POE3 の端子選択レジスタ（M0SELR1 ／ M0SELR2 レジスタ）で選択できます。**表 11.6** に MTU 端子と選択レジスタの対応表を示します。

なお、MTU として使用する端子は、別途汎用入出力ポートのレジスタで設定する必要があります。POE3 のレジスタで選択した端子と汎用入出力ポート のレジスタで選択した端子に乖離がないよう注意してください。

表11.6　MTU端子と選択レジスタの対応

MTU端子機能	対応ポート	選択レジスタ
MTIOC0A	PA6（注1）	M0SELR1
	PE3	
MTIOC0B	PA5（注1）	
	PE4	
MTIOC0C	PA4（注1）	M0SELR2
	PE5	
MTIOC0D	PA3（注1）	
	PE6	
MTIOC3B	PG2	—
MTIOC3D	PG3	
MTIOC4A	PG4	—
MTIOC4C	PG6	
MTIOC4B	PG5	—
MTIOC4D	PG7	
MTIOC6B	PF5（注1）	—
	P00（注2）	
MTIOC6D	PH2（注1）	
	P02（注2）	
MTIOC7A	PF0（注1）	
	P03（注2）	
MTIOC7C	PF2（注1）	
	P05（注2）	
MTIOC7B	PF1（注1）	
	P04（注2）	
MTIOC7D	PF3（注1）	
	P06（注2）	

注1.　176pin版は選択不可能です。
注2.　POE3による端子Hi-Z制御の対象外となります。

11.3.2　入力レベル検出動作

ICSR1 ～ ICSR4 レジスタで設定した入力条件が POE0#、POE4#、POE8#、POE10# 端子に発生した場合、MTU 相補 PWM 出力端子（MTU3、MTU4 端子または MTU6、MTU7 端子）および MTU0 端子をハイインピーダンス状態にします。ただし、MTU 相補 PWM 出力端子および MTU0 端子をマルチプレクスしている端子が、MTU 機能を選択していない場合でもハイインピーダンスになります。

(1)　立ち下がりエッジ検出

POE0#、POE4#、POE8#、POE10# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子がマルチプレクスされている端子をハイインピーダンス状態にします。

POE0#、POE4#、POE8#、POE10# 端子入力から端子のハイインピーダンスまでのタイミング例を**図 11.3** に示します。

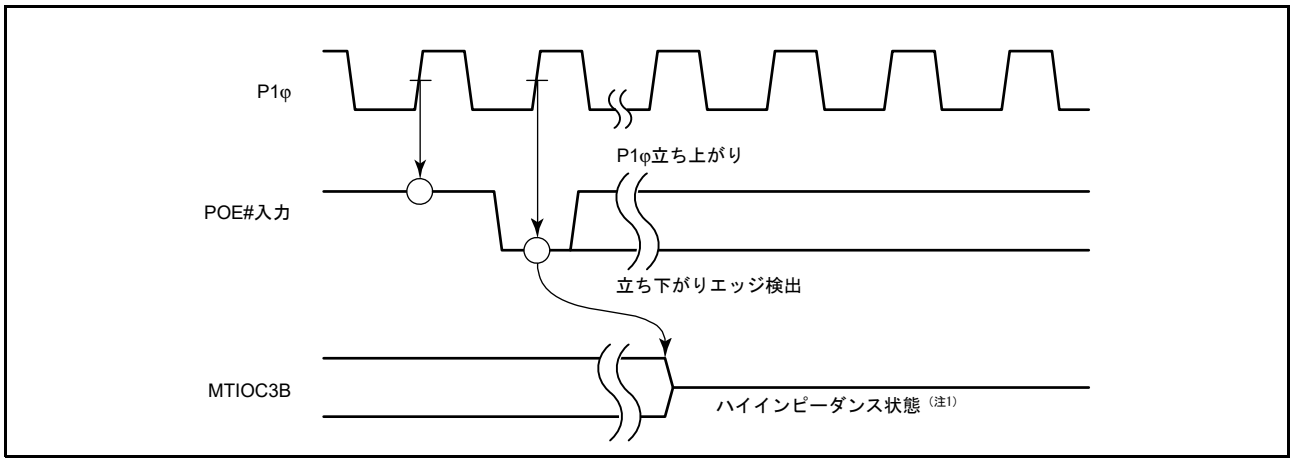


図 11.3　　立ち下がりエッジ検出動作

(2)　Low 検出

図 11.4 に Low 検出動作を示します。ICSR1 ～ ICSR4 レジスタで設定したサンプリングクロックで、16 回連続した Low をサンプリングします。このとき、1 度でも High を検出した場合は受け付けられません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子がハイインピーダンス状態になるタイミングは、立ち下がりエッジ検出、Low 検出ともに同じです。

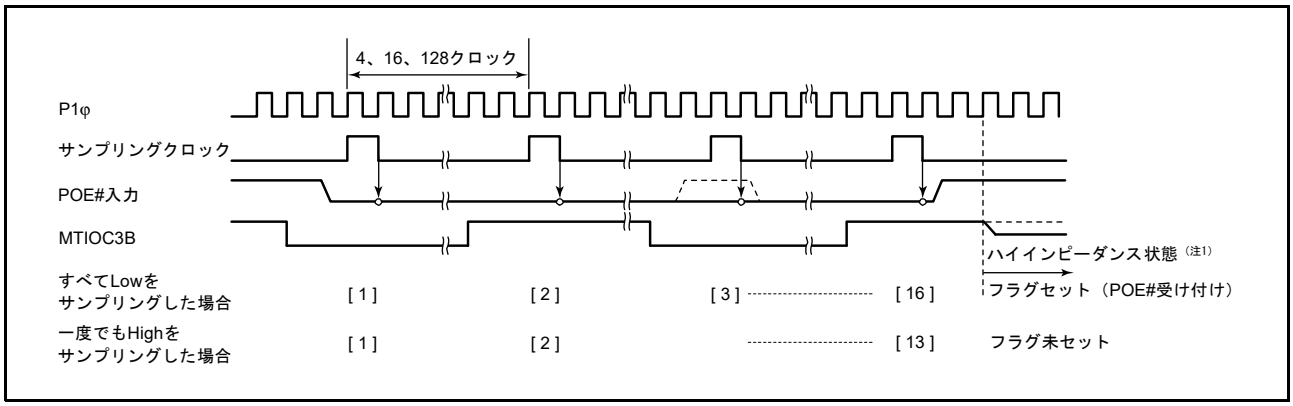


図 11.4　　Low 検出動作

11.3.3　出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 11.5 に示します。他の端子の組み合わせについても同様です。

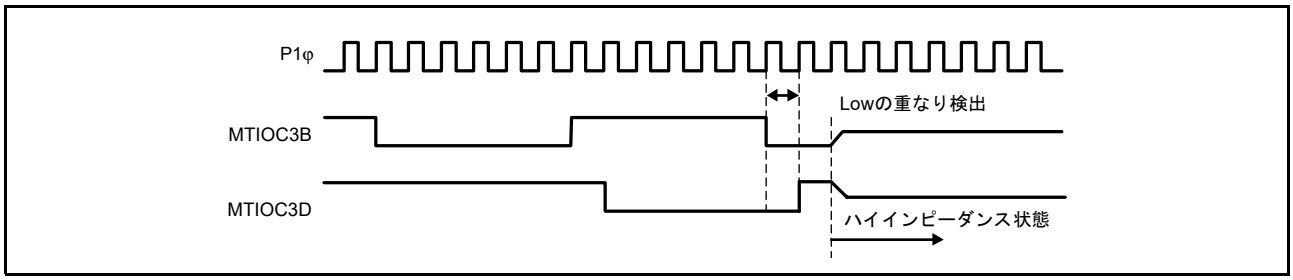


図 11.5　出力レベル検出動作

11.3.4　レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）により、直接、MTU 端子（MTU0、MTU3、MTU4、MTU6、MTU7）のハイインピーダンス制御をします。

たとえば SPOER.MTUCH34HIZ ビットを “1” にすることで、ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）で設定した MTU3、MTU4 の端子をハイインピーダンス状態にします。

他の端子についても、SPOER レジスタ内のビット設定により同様にハイインピーダンス制御が行えます。

11.3.5　ハイインピーダンス制御条件の追加機能

ポートアウトプットイネーブルコントロールレジスタ 4 ～ 5（POECR4 ～ 5）の設定により、MTU 相補 PWM 出力端子、MTU0 端子のハイインピーダンス制御条件を追加することができます。

たとえば、MTU3、MTU4 の端子のハイインピーダンス制御条件に、下記を追加することができます。

- POECR4.IC2ADDMT34ZE ビットを “1” にして、POE4# 端子による入力レベル検出を追加
- POECR4.IC3ADDMT34ZE ビットを “1” にして、POE8# 端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZE ビットを “1” にして、POE10# 端子による入力レベル検出を追加（ICSR4.POE10F）

他の端子についても、POECR4 ～ POECR5 レジスタの設定により同様にハイインピーダンス制御条件の追加が行えます。

11.3.6　ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、ICSR1.POE0F フラグ、ICSR2.POE4F フラグ、ICSR3.POE8F フラグ、ICSR4.POE10F フラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[1:0] ビット、ICSR2.POE4M[1:0] ビット、ICSR3.POE8M[1:0] ビット、ICSR4.POE10M[1:0] ビット、ICSR5.POE10M[1:0] ビットで Low サンプリングに設定している場合には、POE0#、POE4#、POE8#、POE10# 端子から High を入力して High をサンプリングした後でないと、フラグに対して “0” を書いても無効となりフラグは “0” になりません。

出力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを “0” にすることによって解除されます。OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを “0” にする場合は、端子から非アクティブレベルを出力するようにした後にしてください。非アクティブレベル出力は、MTU 内のレジスタを設定することで行うことができます。

11.4　POE3 設定手順

POE3 の設定手順を図 11.6 に示します。例として MTU 3 端子（MTIOC3B/MTIOC3D）の出力レベル比較によるハイインピーダンス制御を示します。図 11.6 では MTIOC3B 端子に PG2、MTIOC3D 端子に PG3 を選択します。

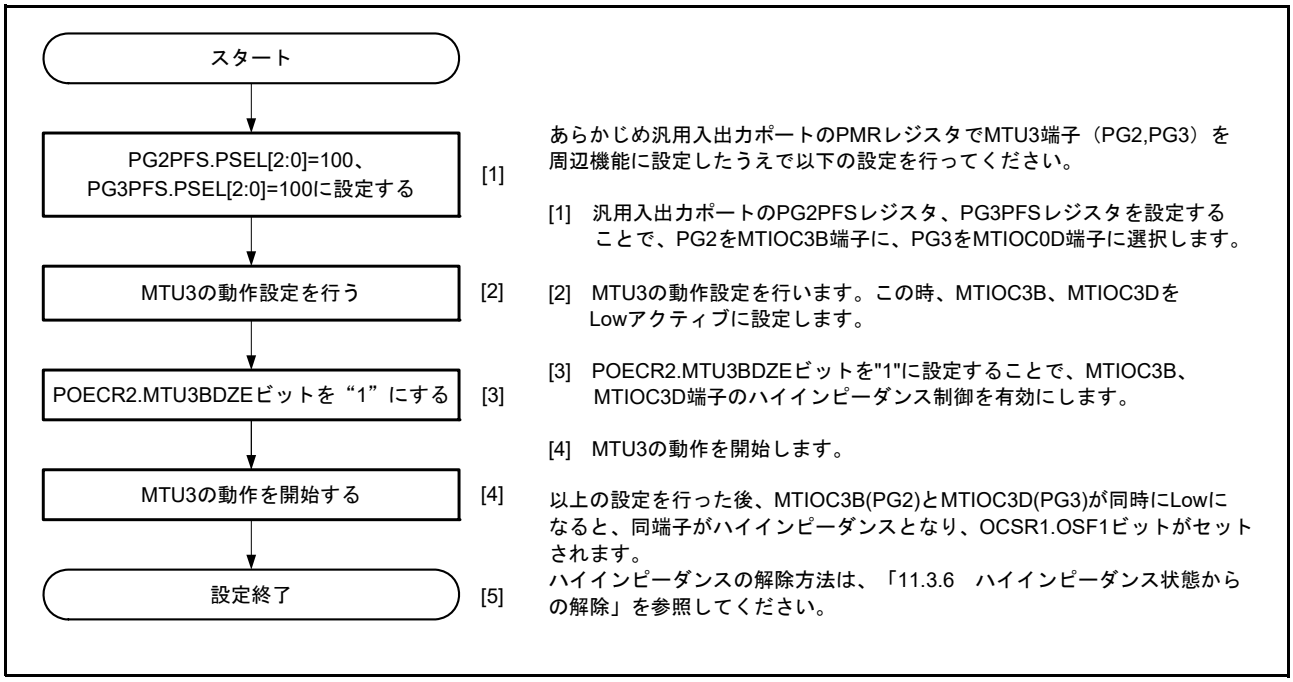


図 11.6　　POE3 の設定手順

11.5　割り込み

POE3 は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。**表 11.7** に割り込みの種類と割り込み要求を出す条件を示します。

表 11.7　割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み 1	POE0F、OSF1	PIE1•POE0F ＋ OIE1•OSF1
OEI2	アウトプットイネーブル割り込み 2	POE4F、OSF2	PIE2•POE4F ＋ OIE2•OSF2
OEI3	アウトプットイネーブル割り込み 3	POE8F	PIE3•POE8F
OEI4	アウトプットイネーブル割り込み 4	ICSR4.POE10F	PIE4•ICSR4.POE10F

11.6　使用上の注意事項

11.6.1　低消費電力モードへの遷移

POE3 を使用する場合は、ソフトウェアスタンバイモードおよびディープスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープスタンバイモードでは、POE3 の動作が停止するため、端子のハイインピーダンス制御はできません。

11.6.2　MTU 端子非選択時のハイインピーダンス制御

POECR1 、POECR2 レジスタにて MTU 端子のハイインピーダンス制御を有効にしハイインピーダンス条件を満たすと、MTU 機能がマルチプレクスされている端子が MTU 機能を選択していない場合でも、端子がハイインピーダンスとなります。

意図しないハイインピーダンスを避けるため、汎用入出力ポート の PmnPFS レジスタで選択した MTU 端子と、POE3 の端子選択レジスタで選択した MTU 端子に乖離がないよう設定を行ってください。

11.6.3　MTU6 ／ MTU7 未使用時のハイインピーダンス制御

MTU6、MTU7 を使用しない場合は、POECR2.MTU6BDZE, MTU7ACZE, MTU7BDZE ビットを “0” に設定し、ハイインピーダンス制御を無効にしてください。

12. 汎用 PWM タイマ（GPT）

12.1 概要

本 LSI は、8 チャネルの 32 ビットタイマ (GPT32E) により構成される汎用 PWM タイマ（GPT) を内蔵しています。**表 12.1** に GPT の仕様を、**表 12.2** に GPT の機能一覧を、**図 12.1** にブロック図を、**表 12.3** に入出力端子を示します。

表12.1　GPTの仕様

項目	内容
機能	• 32ビット×8チャネル • 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波） • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア／インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期設定用レジスタを搭載（オーバフロー／アンダフローで割り込み可能） • PWM動作の際にデットタイム生成が可能 • 任意チャネルのカウンタの同期スタート／ストップ／クリア • 最大8個のイベントに対応したカウンタのスタート／ストップ／クリア／アップ／ダウン • 入力レベル比較に対応したカウンタのスタート／ストップ／クリア／アップ／ダウン • 最大4個の外部トリガに対応したカウンタのスタート／ストップ／クリア／アップ／ダウン • デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 • A/Dコンバータの変換開始トリガ生成が可能(GPT32E0~3) • コンペアマッチA～Fイベント、オーバフローイベント／アンダフローイベントを出力可能 • インプットキャプチャ、外部トリガ端子にノイズフィルタを使用可能

表12.2　GPTの機能一覧

項目		GPT32E
カウントクロック		P1φ P1φ/4 P1φ/16 P1φ/64 P1φ/256 P1φ/1024
アウトプットコンペア／インプットキャプチャレジスタ（GTCCR）		GTCCRA GTCCRB
コンペア／バッファレジスタ		GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ		GTPR
周期設定バッファレジスタ		GTPBR GTPDBR
入出力端子		GTIOCA GTIOCB
外部トリガ入力端子		GTETRGA GTETRGB GTETRGC GTETRGD
カウンタクリア要因		GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、イベント入力、およびGTETRGA～GTETRGD端子入力
コンペアマッチ出力	Low出力	可能
	High出力	可能
	トグル出力	可能
インプットキャプチャ機能		可能
デッドタイム自動付加機能		可能
PWMモード		可能
位相計数機能		可能
バッファ動作		ダブルバッファ
ワンショット動作		可能
DMAの起動		すべての割り込み要因
A/D変換開始トリガ		GTADTRAまたはGTADTRBのコンペアマッチ(チャネル0～3)
割り込み要因		10要因 • GTCCRAコンペアマッチ／インプットキャプチャ（CCMPAn） • GTCCRBコンペアマッチ／インプットキャプチャ（CCMPBn） • GTCCRCコンペアマッチ（CMPCn） • GTCCRDコンペアマッチ（CMPDn） • GTCCREコンペアマッチ（CMPEn） • GTCCRFコンペアマッチ（CMPFn） • GTADTRAコンペアマッチ（ADTRGAn） • GTADTRBコンペアマッチ（ADTRGBn） • GTCNTオーバフロー（GTPRコンペアマッチ）（OVFn） • GTCNTアンダフロー（UNFn）
割り込み間引き機能		GTCNTオーバフロー（GTPRコンペアマッチ）（OVFn）の間引き／GTCNTアンダフロー（UNFn）割り込み（その他割り込みまたはA/D変換要求に対するインターロック機能付き）の間引き
イベント連携機能		可能
ノイズフィルタ機能		可能

GTWP: 汎用PWMタイマ書き込み保護レジスタ
GTSTR: 汎用PWMタイマソフトウェアスタートレジスタ
GTSTP: 汎用PWMタイマソフトウェアストップレジスタ
GTCLR: 汎用PWMタイマソフトウェアクリアレジスタ
GTSSR: 汎用PWMタイマスタート要因選択レジスタ
GTPSR: 汎用PWMタイマストップ要因選択レジスタ
GTCSR: 汎用PWMタイマクリア要因選択レジスタ
GTUPSR: 汎用PWMタイマアップカウント要因選択レジスタ
GTDNSR: 汎用PWMタイマダウンカウント要因選択レジスタ
GTICASR: 汎用PWMタイマインプットキャプチャ要因選択レジスタA
GTICBSR: 汎用PWMタイマインプットキャプチャ要因選択レジスタB
GTCR: 汎用PWMタイマコントロールレジスタ
GTUDDTYC: 汎用PWMタイマカウント方向、デューティ設定レジスタ
GTIOR: 汎用PWMタイマI/Oコントロールレジスタ
GTINTAD: 汎用PWMタイマ割り込み出力設定レジスタ
GTST: 汎用PWMタイマステータスレジスタ
GTBER: 汎用PWMタイマバッファイネーブルレジスタ
GTITC: 汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ
GTCNT: 汎用PWMタイマカウンタ
GTCCRA: 汎用PWMタイマコンペアキャプチャレジスタA
GTCCRB: 汎用PWMタイマコンペアキャプチャレジスタB
GTCCRC: 汎用PWMタイマコンペアキャプチャレジスタC
GTCCRD: 汎用PWMタイマコンペアキャプチャレジスタD
GTCCRE: 汎用PWMタイマコンペアキャプチャレジスタE
GTCCRF: 汎用PWMタイマコンペアキャプチャレジスタF

GTPR: 汎用PWMタイマ周期設定レジスタ
GTPBR: 汎用PWMタイマ周期設定バッファレジスタ
GTPDBR: 汎用PWMタイマ周期設定ダブルバッファレジスタ
GTADTRA: 汎用PWMタイマA/D変換開始要求タイミングレジスタA
GTADTBRA: 汎用PWMタイマA/D変換開始要求タイミングバッファレジスタA
GTADTDBRA: 汎用PWMタイマA/D変換開始要求タイミングダブルバッファレジスタA
GTADTRB: 汎用PWMタイマA/D変換開始要求タイミングレジスタB
GTADTBRB: 汎用PWMタイマA/D変換開始要求タイミングバッファレジスタB
GTADTDBRB: 汎用PWMタイマA/D変換開始要求タイミングダブルバッファレジスタB
GTDTCR: 汎用PWMタイマデッドタイムコントロールレジスタ
GTDVU: 汎用PWMタイマデッドタイム値レジスタU
GTDVD: 汎用PWMタイマデッドタイム値レジスタD
GTDBU: 汎用PWMタイマデッドタイムバッファレジスタU
GTDBD: 汎用PWMタイマデッドタイムバッファレジスタD
GTSOS: 汎用PWMタイマ出力保護機能ステータスレジスタ
GTSOTR: 汎用PWMタイマ出力保護機能一時解除レジスタ
GTECR: 汎用PWM タイマイベントコントロールレジスタ
GTESRn: 汎用PWM タイマイベントソース設定レジスタ

図 12.1　GPT のブロック図

表12.3　GPTの入出力端子

チャネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A（ノイズフィルタリング後）
	GTETRGB	入力	外部トリガ入力端子B（ノイズフィルタリング後）
	GTETRGC	入力	外部トリガ入力端子C（ノイズフィルタリング後）
	GTETRGD	入力	外部トリガ入力端子D（ノイズフィルタリング後）
GPT32E0	GTIOC0A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC0B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E1	GTIOC1A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC1B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E2	GTIOC2A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC2B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E3	GTIOC3A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC3B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E4	GTIOC4A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC4B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E5	GTIOC5A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC5B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E6	GTIOC6A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC6B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E7	GTIOC7A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC7B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子

12.2　レジスタの説明

表 12.4 に GPT のレジスタ一覧を示します。

表 12.4　GPT レジスタ

モジュールシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス（m=0～7）	アクセスサイズ
GPT32Em (m=0～7)	汎用 PWM タイマ書き込み保護レジスタ	GTWP	H'00000000	H'E804_3000+H'0100×m	32
	汎用 PWM タイマソフトウェアスタートレジスタ	GTSTR	H'00000000	H'E804_3004+H'0100×m	32
	汎用 PWM タイマソフトウェアストップレジスタ	GTSTP	H'FFFFFFFF	H'E804_3008+H'0100×m	32
	汎用 PWM タイマソフトウェアクリアレジスタ	GTCLR	H'00000000	H'E804_300C+H'0100×m	32
	汎用 PWM タイマスタート要因選択レジスタ	GTSSR	H'00000000	H'E804_3010+H'0100×m	32
	汎用 PWM タイマストップ要因選択レジスタ	GTPSR	H'00000000	H'E804_3014+H'0100×m	32
	汎用 PWM タイマクリア要因選択レジスタ	GTCSR	H'00000000	H'E804_3018+H'0100×m	32
	汎用 PWM タイマアップカウント要因選択レジスタ	GTUPSR	H'00000000	H'E804_301C+H'0100×m	32
	汎用 PWM タイマダウンカウント要因選択レジスタ	GTDNSR	H'00000000	H'E804_3020+H'0100×m	32
	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A	GTICASR	H'00000000	H'E804_3024+H'0100×m	32
	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B	GTICBSR	H'00000000	H'E804_3028+H'0100×m	32
	汎用 PWM タイマコントロールレジスタ	GTCR	H'00000000	H'E804_302C+H'0100×m	32
	汎用 PWM タイマカウント方向、デューティ設定レジスタ	GTUDDTYC	H'00000001	H'E804_3030+H'0100×m	32
	汎用 PWM タイマ I/O コントロールレジスタ	GTIOR	H'00000000	H'E804_3034+H'0100×m	32
	汎用 PWM タイマ割り込み出力設定レジスタ	GTINTAD	H'00000000	H'E804_3038+H'0100×m	32
	汎用 PWM タイマステータスレジスタ	GTST	H'00008000	H'E804_303C+H'0100×m	32
	汎用 PWM タイマバッファイネーブルレジスタ	GTBER	H'00000000	H'E804_3040+H'0100×m	32
	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ	GTITC	H'00000000	H'E804_3044+H'0100×m	32
	汎用 PWM タイマカウンタ	GTCNT	H'00000000	H'E804_3048+H'0100×m	32
	汎用 PWM タイマコンペアキャプチャレジスタ A	GTCCRA	H'FFFFFFFF	H'E804_304C+H'0100×m	32
	汎用 PWM タイマコンペアキャプチャレジスタ B	GTCCRB	H'FFFFFFFF	H'E804_3050+H'0100×m	32
	汎用 PWM タイマコンペアキャプチャレジスタ C	GTCCRC	H'FFFFFFFF	H'E804_3054+H'0100×m	32
	汎用 PWM タイマコンペアキャプチャレジスタ E	GTCCRE	H'FFFFFFFF	H'E804_3058+H'0100×m	32
	汎用 PWM タイマコンペアキャプチャレジスタ D	GTCCRD	H'FFFFFFFF	H'E804_305C+H'0100×m	32
	汎用 PWM タイマコンペアキャプチャレジスタ F	GTCCRF	H'FFFFFFFF	H'E804_3060+H'0100×m	32
	汎用 PWM タイマ周期設定レジスタ	GTPR	H'FFFFFFFF	H'E804_3064+H'0100×m	32

モジュール シンボル	レジスタ名	レジスタ シンボル	リセット後の値	アドレス（m=0～7）	アクセス サイズ
GPT32Em (m=0～7)	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	H'FFFFFFFF	H'E804_3068+H'0100×m	32
	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	H'FFFFFFFF	H'E804_306C+H'0100×m	32
	A/D変換開始要求タイミングレジスタA	GTADTRA	H'FFFFFFFF	H'E804_3070+H'0100×m	32
	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	H'FFFFFFFF	H'E804_3074+H'0100×m	32
	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	H'FFFFFFFF	H'E804_3078+H'0100×m	32
	A/D変換開始要求タイミングレジスタB	GTADTRB	H'FFFFFFFF	H'E804_307C+H'0100×m	32
	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	H'FFFFFFFF	H'E804_3080+H'0100×m	32
	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	H'FFFFFFFF	H'E804_3084+H'0100×m	32
	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	H'00000000	H'E804_3088+H'0100×m	32
	汎用PWMタイマデッドタイム値レジスタU	GTDVU	H'FFFFFFFF	H'E804_308C+H'0100×m	32
	汎用PWMタイマデッドタイム値レジスタD	GTDVD	H'FFFFFFFF	H'E804_3090+H'0100×m	32
	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	H'FFFFFFFF	H'E804_3094+H'0100×m	32
	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	H'FFFFFFFF	H'E804_3098+H'0100×m	32
	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	H'00000000	H'E804_309C+H'0100×m	32
	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	H'00000000	H'E804_30A0+H'0100×m	32
GPT	汎用PWMタイマイベントコントロールレジスタ	GTECR	H'00	H'E804_3800	8
	汎用PWMタイマイベントソース設定レジスタ0	GTESR0	H'0000	H'E804_3810	16
	汎用PWMタイマイベントソース設定レジスタ1	GTESR1	H'0000	H'E804_3814	16
	汎用PWMタイマイベントソース設定レジスタ2	GTESR2	H'0000	H'E804_3818	16
	汎用PWMタイマイベントソース設定レジスタ3	GTESR3	H'0000	H'E804_381C	16
	汎用PWMタイマイベントソース設定レジスタ4	GTESR4	H'0000	H'E804_3820	16
	汎用PWMタイマイベントソース設定レジスタ5	GTESR5	H'0000	H'E804_3824	16
	汎用PWMタイマイベントソース設定レジスタ6	GTESR6	H'0000	H'E804_3828	16
	汎用PWMタイマイベントソース設定レジスタ7	GTESR7	H'0000	H'E804_382C	16

12.2.1　汎用 PWM タイマ書き込み保護レジスタ（GTWP）

アドレス： GPT32Em.GTWP E804 3000h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	—	—	—	WP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止	0：レジスタへの書き込みを許可 1：レジスタへの書き込みを禁止	R/W
b7～b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15～b8	PRKEY[7:0]	GTWP キーコード	A5h を書き込むと、WP ビットへの書き込みが許可されます。 読むと 0 が読めます。	R/W
b31～b16	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTWP レジスタは、誤書き込み防止のため以下のレジスタへの書き込みを許可／禁止するレジスタです。

- GTSSR
- GTPSR
- GTCSR
- GTUPSR
- GTDNSR
- GTICASR
- GTICBSR
- GTCR
- GTUDDTYC
- GTIOR
- GTINTAD
- GTST
- GTBER
- GTITC
- GTCNT
- GTCCRA
- GTCCRB
- GTCCRC
- GTCCRD
- GTCCRE
- GTCCRF
- GTPR
- GTPBR
- GTPDBR
- GTADTRA

- GTADTBRA
- GTADTDBRA
- GTADTRB
- GTADTBRB
- GTADTDBRB
- GTDTCR
- GTDVU
- GTDVD
- GTDBU
- GTDBD
- GTSOS
- GTSOTR

12.2.2　汎用 PWM タイマソフトウェアスタートレジスタ（GTSTR）

アドレス： GPT32Em.GTSTR E804 3004h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CSTRT 7	CSTRT 6	CSTRT 5	CSTRT 4	CSTRT 3	CSTRT 2	CSTRT 1	CSTRT 0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTSTR レジスタは、各チャネル x（x = 0 ～ 7）の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を開始します。0 を書き込んでも、GTCNT カウンタの状態および GTSTR レジスタの値には影響しません。

CSTRTx ビット（チャネル x GTCNT カウントスタート）（x = 0 ～ 7）

チャネル x の GTCNT カウンタ動作を開始します。GPTx.GTSSR.CSTRT ビットを 1 にしない限り、GTSTR.CSTRTx ビットへの書き込みは無効です。

リードデータは各チャネルのカウンタ状態（GTCR.CST ビット値）を示します。0 はカウンタ停止を、1 はカウンタ実行を意味します。

12.2.3　汎用 PWM タイマソフトウェアストップレジスタ（GTSTP）

アドレス： GPT32Em.GTSTP E804 3008h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CSTOP 7	CSTOP 6	CSTOP 5	CSTOP 4	CSTOP 3	CSTOP 2	CSTOP 1	CSTOP 0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTSTP レジスタは、各チャネル x（x = 0 ～ 7）の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャネル番号に相当します。GTSTP レジスタは各チャネル共通です。1 が書き込まれた GTSTP レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を停止します。0 を書き込んでも、GTCNT カウンタの状態および GTSTP レジスタの値には影響しません。

CSTOPx ビット（チャネル x GTCNT カウントストップ）（x = 0 ～ 7）

チャネル x の GTCNT カウンタ動作を停止します。GPTx.GTPSR.CSTOP ビットを 1 にしない限り、GTSTP.CSTOPx ビットへの書き込みは無効です。リードデータは各チャネルのカウンタ状態（GTCR.CST ビットの反転値）を示します。0 はカウンタ実行を、1 はカウンタ停止を意味します。

12.2.4　汎用 PWM タイマソフトウェアクリアレジスタ（GTCLR）

アドレス： GPT32Em.GTCLR E804 300Ch + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CCLR 7	CCLR 6	CCLR 5	CCLR 4	CCLR 3	CCLR 2	CCLR 1	CCLR 0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCLR レジスタは書き込み専用レジスタであり、各チャネル x（x = 0 ～ 7）の GTCNT カウンタ動作をクリアします。

GTCLR レジスタのビット番号はチャネル番号に相当します。GTCLR レジスタは各チャネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタの状態には影響しません。

CCLRx ビット（チャネル x GTCNT カウントクリア）（x = 0 ～ 7）

1 を書き込むと、チャネル x の GTCNT カウンタ値がクリアされます。読むと 0 が読めます。

12.2.5 汎用 PWM タイマスタート要因選択レジスタ（GTSSR）

アドレス： GPT32Em.GTSSR E804 3010h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTRT	—	—	—	—	—	—	—	SSEVTH	SSEVTG	SSEVTF	SSEVTE	SSEVTD	SSEVTC	SSEVTB	SSEVTA
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCBFAH	SSCBFAL	SSCBRAH	SSCBRAL	SSCAFBH	SSCAFBL	SSCARBH	SSCARBL	SSGTRGDF	SSGTRGDR	SSGTRGCF	SSGTRGCR	SSGTRGBF	SSGTRGBR	SSGTRGAF	SSGTRGAR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタスタート許可	0：GTETRGA入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b1	SSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタスタート許可	0：GTETRGA入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b2	SSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタスタート許可	0：GTETRGB入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b3	SSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタスタート許可	0：GTETRGB入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b4	SSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタスタート許可	0：GTETRGC入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b5	SSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタスタート許可	0：GTETRGC入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b6	SSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタスタート許可	0：GTETRGD入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b7	SSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタスタート許可	0：GTETRGD入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b8	SSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b9	SSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b10	SSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	SSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b12	SSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b13	SSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b14	SSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b15	SSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b16	SSEVTA	イベント要因Aカウンタスタート許可	0：イベント入力Aでのカウンタスタートを禁止 1：イベント入力Aでのカウンタスタートを許可	R/W
b17	SSEVTB	イベント要因Bカウンタスタート許可	0：イベント入力Bでのカウンタスタートを禁止 1：イベント入力Bでのカウンタスタートを許可	R/W
b18	SSEVTC	イベント要因Cカウンタスタート許可	0：イベント入力Cでのカウンタスタートを禁止 1：イベント入力Cでのカウンタスタートを許可	R/W
b19	SSEVTD	イベント要因Dカウンタスタート許可	0：イベント入力Dでのカウンタスタートを禁止 1：イベント入力Dでのカウンタスタートを許可	R/W
b20	SSEVTE	イベント要因Eカウンタスタート許可	0：イベント入力Eでのカウンタスタートを禁止 1：イベント入力Eでのカウンタスタートを許可	R/W
b21	SSEVTF	イベント要因Fカウンタスタート許可	0：イベント入力Fでのカウンタスタートを禁止 1：イベント入力Fでのカウンタスタートを許可	R/W
b22	SSEVTG	イベント要因Gカウンタスタート許可	0：イベント入力Gでのカウンタスタートを禁止 1：イベント入力Gでのカウンタスタートを許可	R/W
b23	SSEVTH	イベント要因Hカウンタスタート許可	0：イベント入力Hでのカウンタスタートを禁止 1：イベント入力Hでのカウンタスタートを許可	R/W
b30～b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTRT	ソフトウェア要因カウンタスタート許可	0：GTSTRレジスタによるカウンタスタートを禁止 1：GTSTRレジスタによるカウンタスタートを許可	R/W

GTSSR レジスタは GTCNT カウンタの開始要因を設定するレジスタです。

SSGTRGAR ビット（GTETRGA 端子立ち上がり入力要因カウンタスタート許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGAF ビット（GTETRGA 端子立ち下がり入力要因カウンタスタート許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGBR ビット（GTETRGB 端子立ち上がり入力要因カウンタスタート許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGBF ビット（GTETRGB 端子立ち下がり入力要因カウンタスタート許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタスタート許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタスタート許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタスタート許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタスタート許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSEVTm ビット（イベント要因 m カウンタスタート許可）（m = A ～ H）

イベント入力 m での GTCNT カウンタスタートの許可／禁止を選択します。

CSTRT ビット（ソフトウェア要因カウンタスタート許可）

GTSTR レジスタによる GTCNT カウンタスタートの許可／禁止を選択します。

12.2.6 汎用 PWM タイマストップ要因選択レジスタ（GTPSR）

アドレス： GPT32Em.GTPSR E804 3014h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTOP	—	—	—	—	—	—	—	PSEVTH	PSEVTG	PSEVTF	PSEVTE	PSEVTD	PSEVTC	PSEVTB	PSEVTA
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSCBFAH	PSCBFAL	PSCBRAH	PSCBRAL	PSCAFBH	PSCAFBL	PSCARBH	PSCARBL	PSGTRGDF	PSGTRGDR	PSGTRGCF	PSGTRGCR	PSGTRGBF	PSGTRGBR	PSGTRGAF	PSGTRGAR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタストップ許可	0：GTETRGA入力の立ち上がりエッジでのカウンタストップを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b1	PSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタストップ許可	0：GTETRGA入力の立ち下がりエッジでのカウンタストップを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b2	PSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタストップ許可	0：GTETRGB入力の立ち上がりエッジでのカウンタストップを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b3	PSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタストップ許可	0：GTETRGB入力の立ち下がりエッジでのカウンタストップを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b4	PSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタストップ許可	0：GTETRGC入力の立ち上がりエッジでのカウンタストップを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタストップを許可	R/W
b5	PSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタストップ許可	0：GTETRGC入力の立ち下がりエッジでのカウンタストップを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタストップを許可	R/W
b6	PSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタストップ許可	0：GTETRGD入力の立ち上がりエッジでのカウンタストップを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタストップを許可	R/W
b7	PSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタストップ許可	0：GTETRGD入力の立ち下がりエッジでのカウンタストップを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタストップを許可	R/W
b8	PSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b9	PSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b10	PSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	PSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b12	PSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b13	PSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b14	PSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b15	PSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b16	PSEVTA	イベント要因Aカウンタストップ許可	0：イベント入力Aでのカウンタストップを禁止 1：イベント入力Aでのカウンタストップを許可	R/W
b17	PSEVTB	イベント要因Bカウンタストップ許可	0：イベント入力Bでのカウンタストップを禁止 1：イベント入力Bでのカウンタストップを許可	R/W
b18	PSEVTC	イベント要因Cカウンタストップ許可	0：イベント入力Cでのカウンタストップを禁止 1：イベント入力Cでのカウンタストップを許可	R/W
b19	PSEVTD	イベント要因Dカウンタストップ許可	0：イベント入力Dでのカウンタストップを禁止 1：イベント入力Dでのカウンタストップを許可	R/W
b20	PSEVTE	イベント要因Eカウンタストップ許可	0：イベント入力Eでのカウンタストップを禁止 1：イベント入力Eでのカウンタストップを許可	R/W
b21	PSEVTF	イベント要因Fカウンタストップ許可	0：イベント入力Fでのカウンタストップを禁止 1：イベント入力Fでのカウンタストップを許可	R/W
b22	PSEVTG	イベント要因Gカウンタストップ許可	0：イベント入力Gでのカウンタストップを禁止 1：イベント入力Gでのカウンタストップを許可	R/W
b23	PSEVTH	イベント要因Hカウンタストップ許可	0：イベント入力Hでのカウンタストップを禁止 1：イベント入力Hでのカウンタストップを許可	R/W
b30～b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTOP	ソフトウェア要因カウンタストップ許可	0：GTSTPレジスタによるカウンタストップを禁止 1：GTSTPレジスタによるカウンタストップを許可	R/W

GTPSR レジスタは GTCNT カウンタの停止要因を設定するレジスタです。

PSGTRGAR ビット（GTETRGA 端子立ち上がり入力要因カウンタストップ許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGAF ビット（GTETRGA 端子立ち下がり入力要因カウンタストップ許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGBR ビット（GTETRGB 端子立ち上がり入力要因カウンタストップ許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGBF ビット（GTETRGB 端子立ち下がり入力要因カウンタストップ許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタストップ許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタストップ許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタストップ許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタストップ許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタストップ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタストップ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタストップ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSEVTm ビット（イベント要因 m カウンタストップ許可）（m = A ～ H）

イベント入力 m での GTCNT カウンタストップの許可／禁止を選択します。

CSTOP ビット（ソフトウェア要因カウンタストップ許可）

GTSTP レジスタによる GTCNT カウンタストップの許可／禁止を選択します。

12.2.7　汎用 PWM タイマクリア要因選択レジスタ（GTCSR）

アドレス： GPT32Em.GTCSR E804 3018h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CCLR	—	—	—	—	—	—	—	CSEVTH	CSEVTG	CSEVTF	CSEVTE	CSEVTD	CSEVTC	CSEVTB	CSEVTA
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CSCBFAH	CSCBFAL	CSCBRAH	CSCBRAL	CSCAFBH	CSCAFBL	CSCARBH	CSCARBL	CSGTRGDF	CSGTRGDR	CSGTRGCF	CSGTRGCR	CSGTRGBF	CSGTRGBR	CSGTRGAF	CSGTRGAR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタクリア許可	0：GTETRGA入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b1	CSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタクリア許可	0：GTETRGA入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b2	CSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタクリア許可	0：GTETRGB入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b3	CSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタクリア許可	0：GTETRGB入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b4	CSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタクリア許可	0：GTETRGC入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b5	CSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタクリア許可	0：GTETRGC入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b6	CSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタクリア許可	0：GTETRGD入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b7	CSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタクリア許可	0：GTETRGD入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b8	CSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b9	CSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b10	CSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	CSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b12	CSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b13	CSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b14	CSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタクリア許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b15	CSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタクリア許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b16	CSEVTA	イベント要因Aカウンタクリア許可	0：イベント入力Aでのカウンタクリアを禁止 1：イベント入力Aでのカウンタクリアを許可	R/W
b17	CSEVTB	イベント要因Bカウンタクリア許可	0：イベント入力Bでのカウンタクリアを禁止 1：イベント入力Bでのカウンタクリアを許可	R/W
b18	CSEVTC	イベント要因Cカウンタクリア許可	0：イベント入力Cでのカウンタクリアを禁止 1：イベント入力Cでのカウンタクリアを許可	R/W
b19	CSEVTD	イベント要因Dカウンタクリア許可	0：イベント入力Dでのカウンタクリアを禁止 1：イベント入力Dでのカウンタクリアを許可	R/W
b20	CSEVTE	イベント要因Eカウンタクリア許可	0：イベント入力Eでのカウンタクリアを禁止 1：イベント入力Eでのカウンタクリアを許可	R/W
b21	CSEVTF	イベント要因Fカウンタクリア許可	0：イベント入力Fでのカウンタクリアを禁止 1：イベント入力Fでのカウンタクリアを許可	R/W
b22	CSEVTG	イベント要因Gカウンタクリア許可	0：イベント入力Gでのカウンタクリアを禁止 1：イベント入力Gでのカウンタクリアを許可	R/W
b23	CSEVTH	イベント要因Hカウンタクリア許可	0：イベント入力Hでのカウンタクリアを禁止 1：イベント入力Hでのカウンタクリアを許可	R/W
b30～b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可	0：GTCLRレジスタによるカウンタクリアを禁止 1：GTCLRレジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは GTCNT カウンタのクリア要因を設定するレジスタです。

CSGTRGAR ビット（GTETRGA 端子立ち上がり入力要因カウンタクリア許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGAF ビット（GTETRGA 端子立ち下がり入力要因カウンタクリア許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGBR ビット（GTETRGB 端子立ち上がり入力要因カウンタクリア許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGBF ビット（GTETRGB 端子立ち下がり入力要因カウンタクリア許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタクリア許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタクリア許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタクリア許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタクリア許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタクリア許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタクリア許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタクリア許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSEVTm ビット（イベント要因 m カウンタクリア許可）（m = A ～ H）

イベント入力 m での GTCNT カウンタクリアの許可／禁止を選択します。

CCLR ビット（ソフトウェア要因カウンタクリア許可）

GTCLR レジスタによる GTCNT カウンタクリアの許可／禁止を選択します。

12.2.8　汎用 PWM タイマアップカウント要因選択レジスタ（GTUPSR）

アドレス： GPT32Em.GTUPSR E804 301Ch + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	USEVTH	USEVTG	USEVTF	USEVTE	USEVTD	USEVTC	USEVTB	USEVTA
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAFBH	USCAFBL	USCARBH	USCARBL	USGTRGDF	USGTRGDR	USGTRGCF	USGTRGCR	USGTRGBF	USGTRGBR	USGTRGAF	USGTRGAR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントアップ許可	0：GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b1	USGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントアップ許可	0：GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b2	USGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントアップ許可	0：GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b3	USGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントアップ許可	0：GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b4	USGTRGCR	GTETRGC端子立ち上がり入力要因カウンタカウントアップ許可	0：GTETRGC入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b5	USGTRGCF	GTETRGC端子立ち下がり入力要因カウンタカウントアップ許可	0：GTETRGC入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b6	USGTRGDR	GTETRGD端子立ち上がり入力要因カウンタカウントアップ許可	0：GTETRGD入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b7	USGTRGDF	GTETRGD端子立ち下がり入力要因カウンタカウントアップ許可	0：GTETRGD入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b8	USCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b9	USCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b10	USCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	USCAFBH	GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可	0：GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTIOCB 入力が 1 のとき、GTIOCA 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b12	USCBRAL	GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可	0：GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b13	USCBRAH	GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可	0：GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b14	USCBFAL	GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可	0：GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTIOCA 入力が 0 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b15	USCBFAH	GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可	0：GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTIOCA 入力が 1 のとき、GTIOCB 入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b16	USEVTA	イベント要因 A カウンタカウントアップ許可	0：イベント入力 A でのカウンタカウントアップを禁止 1：イベント入力 A でのカウンタカウントアップを許可	R/W
b17	USEVTB	イベント要因 B カウンタカウントアップ許可	0：イベント入力 B でのカウンタカウントアップを禁止 1：イベント入力 B でのカウンタカウントアップを許可	R/W
b18	USEVTC	イベント要因 C カウンタカウントアップ許可	0：イベント入力 C でのカウンタカウントアップを禁止 1：イベント入力 C でのカウンタカウントアップを許可	R/W
b19	USEVTD	イベント要因 D カウンタカウントアップ許可	0：イベント入力 D でのカウンタカウントアップを禁止 1：イベント入力 D でのカウンタカウントアップを許可	R/W
b20	USEVTE	イベント要因 E カウンタカウントアップ許可	0：イベント入力 E でのカウンタカウントアップを禁止 1：イベント入力 E でのカウンタカウントアップを許可	R/W
b21	USEVTF	イベント要因 F カウンタカウントアップ許可	0：イベント入力 F でのカウンタカウントアップを禁止 1：イベント入力 F でのカウンタカウントアップを許可	R/W
b22	USEVTG	イベント要因 G カウンタカウントアップ許可	0：イベント入力 G でのカウンタカウントアップを禁止 1：イベント入力 G でのカウンタカウントアップを許可	R/W
b23	USEVTH	イベント要因 H カウンタカウントアップ許可	0：イベント入力 H でのカウンタカウントアップを禁止 1：イベント入力 H でのカウンタカウントアップを許可	R/W
b31～b24	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTUPSR レジスタは GTCNT カウンタのカウントアップ要因を設定するレジスタです。

GTUPSR レジスタの少なくとも 1 つのビットを 1 にすると、そのビットに対応する要因によって GTCNT カウンタはカウントアップされます。この場合、GTCR.TPCS は影響しません。

USGTRGAR ビット（GTETRGA 端子立ち上がり入力要因カウンタカウントアップ許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGAF ビット（GTETRGA 端子立ち下がり入力要因カウンタカウントアップ許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGBR ビット（GTETRGB 端子立ち上がり入力要因カウンタカウントアップ許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGBF ビット（GTETRGB 端子立ち下がり入力要因カウンタカウントアップ許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタカウントアップ許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタカウントアップ許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタカウントアップ許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタカウントアップ許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USEVTm ビット（イベント要因 m カウンタカウントアップ許可）（m = A ～ H）

イベント入力 m での GTCNT カウンタカウントアップの許可／禁止を選択します。

12.2.9　汎用 PWM タイマダウンカウント要因選択レジスタ（GTDNSR）

アドレス： GPT32Em.GTDNSR E804 3020h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DSEVTH	DSEVTG	DSEVTF	DSEVTE	DSEVTD	DSEVTC	DSEVTB	DSEVTA
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DSCBFAH	DSCBFAL	DSCBRAH	DSCBRAL	DSCAFBH	DSCAFBL	DSCARBH	DSCARBL	DSGTRGDF	DSGTRGDR	DSGTRGCF	DSGTRGCR	DSGTRGBF	DSGTRGBR	DSGTRGAF	DSGTRGAR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントダウン許可	0：GTETRGA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b1	DSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントダウン許可	0：GTETRGA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b2	DSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントダウン許可	0：GTETRGB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b3	DSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントダウン許可	0：GTETRGB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b4	DSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタカウントダウン許可	0：GTETRGC入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b5	DSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタカウントダウン許可	0：GTETRGC入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b6	DSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタカウントダウン許可	0：GTETRGD入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b7	DSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタカウントダウン許可	0：GTETRGD入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b8	DSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントダウン許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b9	DSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントダウン許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b10	DSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	DSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b12	DSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b13	DSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b14	DSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b15	DSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b16	DSEVTA	イベント要因Aカウンタカウントダウン許可	0：イベント入力Aでのカウンタカウントダウンを禁止 1：イベント入力Aでのカウンタカウントダウンを許可	R/W
b17	DSEVTB	イベント要因Bカウンタカウントダウン許可	0：イベント入力Bでのカウンタカウントダウンを禁止 1：イベント入力Bでのカウンタカウントダウンを許可	R/W
b18	DSEVTC	イベント要因Cカウンタカウントダウン許可	0：イベント入力Cでのカウンタカウントダウンを禁止 1：イベント入力Cでのカウンタカウントダウンを許可	R/W
b19	DSEVTD	イベント要因Dカウンタカウントダウン許可	0：イベント入力Dでのカウンタカウントダウンを禁止 1：イベント入力Dでのカウンタカウントダウンを許可	R/W
b20	DSEVTE	イベント要因Eカウンタカウントダウン許可	0：イベント入力Eでのカウンタカウントダウンを禁止 1：イベント入力Eでのカウンタカウントダウンを許可	R/W
b21	DSEVTF	イベント要因Fカウンタカウントダウン許可	0：イベント入力Fでのカウンタカウントダウンを禁止 1：イベント入力Fでのカウンタカウントダウンを許可	R/W
b22	DSEVTG	イベント要因Gカウンタカウントダウン許可	0：イベント入力Gでのカウンタカウントダウンを禁止 1：イベント入力Gでのカウンタカウントダウンを許可	R/W
b23	DSEVTH	イベント要因Hカウンタカウントダウン許可	0：イベント入力Hでのカウンタカウントダウンを禁止 1：イベント入力Hでのカウンタカウントダウンを許可	R/W
b31～b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDNSR レジスタは GTCNT カウンタのカウントダウン要因を設定するレジスタです。

GTDNSR レジスタの少なくとも 1 つのビットを 1 にすると、そのビットに対応する要因によって GTCNT カウンタはカウントダウンされます。この場合、GTCR.TPCS は影響しません。

DSGTRGAR ビット（GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGAF ビット（GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGBR ビット（GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGBF ビット（GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタカウントダウン許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタカウントダウン許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタカウントダウン許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタカウントダウン許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSEVTm ビット（イベント要因 m カウンタカウントダウン許可）（m = A ～ H）

イベント入力 m での GTCNT カウンタカウントダウンの許可／禁止を選択します。

12.2.10　汎用 PWM タイマインプットキャプチャ要因選択レジスタ A（GTICASR）

アドレス： GPT32Em.GTICASR E804 3024h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	ASEVTH	ASEVTG	ASEVTF	ASEVTE	ASEVTD	ASEVTC	ASEVTB	ASEVTA
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAFBH	ASCAFBL	ASCARBH	ASCARBL	ASGTRGDF	ASGTRGDR	ASGTRGCF	ASGTRGCR	ASGTRGBF	ASGTRGBR	ASGTRGAF	ASGTRGAR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b1	ASGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b2	ASGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b3	ASGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b4	ASGTRGCR	GTETRGC端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGC入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGC入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b5	ASGTRGCF	GTETRGC端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGC入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGC入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b6	ASGTRGDR	GTETRGD端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGD入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGD入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b7	ASGTRGDF	GTETRGD端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGD入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGD入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b8	ASCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b9	ASCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b10	ASCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	ASCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b12	ASCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b13	ASCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b14	ASCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b15	ASCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b16	ASEVTA	イベント要因AGTCCRAインプットキャプチャ許可	0：イベント入力AでのGTCCRAインプットキャプチャを禁止 1：イベント入力AでのGTCCRAインプットキャプチャを許可	R/W
b17	ASEVTB	イベント要因BGTCCRAインプットキャプチャ許可	0：イベント入力BでのGTCCRAインプットキャプチャを禁止 1：イベント入力BでのGTCCRAインプットキャプチャを許可	R/W
b18	ASEVTC	イベント要因CGTCCRAインプットキャプチャ許可	0：イベント入力CでのGTCCRAインプットキャプチャを禁止 1：イベント入力CでのGTCCRAインプットキャプチャを許可	R/W
b19	ASEVTD	イベント要因DGTCCRAインプットキャプチャ許可	0：イベント入力DでのGTCCRAインプットキャプチャを禁止 1：イベント入力DでのGTCCRAインプットキャプチャを許可	R/W
b20	ASEVTE	イベント要因EGTCCRAインプットキャプチャ許可	0：イベント入力EでのGTCCRAインプットキャプチャを禁止 1：イベント入力EでのGTCCRAインプットキャプチャを許可	R/W
b21	ASEVTF	イベント要因FGTCCRAインプットキャプチャ許可	0：イベント入力FでのGTCCRAインプットキャプチャを禁止 1：イベント入力FでのGTCCRAインプットキャプチャを許可	R/W
b22	ASEVTG	イベント要因GGTCCRAインプットキャプチャ許可	0：イベント入力GでのGTCCRAインプットキャプチャを禁止 1：イベント入力GでのGTCCRAインプットキャプチャを許可	R/W
b23	ASEVTH	イベント要因HGTCCRAインプットキャプチャ許可	0：イベント入力HでのGTCCRAインプットキャプチャを禁止 1：イベント入力HでのGTCCRAインプットキャプチャを許可	R/W
b31～b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICASR レジスタは GTCCRA のインプットキャプチャ要因を設定するレジスタです。

ASGTRGAR ビット（GTETRGA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGAF ビット（GTETRGA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGBR ビット（GTETRGB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGBF ビット（GTETRGB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGCR ビット（GTETRGC 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGCF ビット（GTETRGC 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGDR ビット（GTETRGD 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGDF ビット（GTETRGD 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASEVTm ビット（イベント要因 m カウンタ GTCCRA インプットキャプチャ許可）（m = A ～ H）

イベント入力 m での GTCCRA インプットキャプチャの許可／禁止を選択します。

12.2.11　汎用 PWM タイマインプットキャプチャ要因選択レジスタ B（GTICBSR）

アドレス： GPT32Em.GTICBSR E804 3028h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	BSEVTH	BSEVTG	BSEVTF	BSEVTE	BSEVTD	BSEVTC	BSEVTB	BSEVTA
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSCBFAH	BSCBFAL	BSCBRAH	BSCBRAL	BSCAFBH	BSCAFBL	BSCARBH	BSCARBL	BSGTRGDF	BSGTRGDR	BSGTRGCF	BSGTRGCR	BSGTRGBF	BSGTRGBR	BSGTRGAF	BSGTRGAR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b1	BSGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b2	BSGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b3	BSGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b4	BSGTRGCR	GTETRGC端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGC入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGC入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b5	BSGTRGCF	GTETRGC端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGC入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGC入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b6	BSGTRGDR	GTETRGD端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGD入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGD入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b7	BSGTRGDF	GTETRGD端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGD入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGD入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b8	BSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b9	BSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b10	BSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b11	BSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b12	BSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b13	BSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b14	BSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b15	BSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b16	BSEVTA	イベント要因AGTCCRBインプットキャプチャ許可	0：イベント入力AでのGTCCRBインプットキャプチャを禁止 1：イベント入力AでのGTCCRBインプットキャプチャを許可	R/W
b17	BSEVTB	イベント要因BGTCCRBインプットキャプチャ許可	0：イベント入力BでのGTCCRBインプットキャプチャを禁止 1：イベント入力BでのGTCCRBインプットキャプチャを許可	R/W
b18	BSEVTC	イベント要因CGTCCRBインプットキャプチャ許可	0：イベント入力CでのGTCCRBインプットキャプチャを禁止 1：イベント入力CでのGTCCRBインプットキャプチャを許可	R/W
b19	BSEVTD	イベント要因DGTCCRBインプットキャプチャ許可	0：イベント入力DでのGTCCRBインプットキャプチャを禁止 1：イベント入力DでのGTCCRBインプットキャプチャを許可	R/W
b20	BSEVTE	イベント要因EGTCCRBインプットキャプチャ許可	0：イベント入力EでのGTCCRBインプットキャプチャを禁止 1：イベント入力EでのGTCCRBインプットキャプチャを許可	R/W
b21	BSEVTF	イベント要因FGTCCRBインプットキャプチャ許可	0：イベント入力FでのGTCCRBインプットキャプチャを禁止 1：イベント入力FでのGTCCRBインプットキャプチャを許可	R/W
b22	BSEVTG	イベント要因GGTCCRBインプットキャプチャ許可	0：イベント入力GでのGTCCRBインプットキャプチャを禁止 1：イベント入力GでのGTCCRBインプットキャプチャを許可	R/W
b23	BSEVTH	イベント要因HGTCCRBインプットキャプチャ許可	0：イベント入力HでのGTCCRBインプットキャプチャを禁止 1：イベント入力HでのGTCCRBインプットキャプチャを許可	R/W
b31～b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICBSR レジスタは GTCCRB のインプットキャプチャ要因を設定するレジスタです。

BSGTRGAR ビット（GTETRGA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGAF ビット（GTETRGA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGBR ビット（GTETRGB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGBF ビット（GTETRGB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSEVTm ビット（イベント要因 m カウンタ GTCCRB インプットキャプチャ許可）（m = A ～ H）

イベント入力 m での GTCCRB インプットキャプチャの許可／禁止を選択します。

12.2.12　汎用 PWM タイマコントロールレジスタ（GTCR）

アドレス： GPT32Em.GTCR E804 302Ch + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	TPCS[2:0]			—	—	—	—	—	MD[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタート	0：カウント動作を停止 1：カウント動作を実行	R/W
b15～b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18～b16	MD[2:0]	モード選択	b18　b16 0 0 0：のこぎり波PWMモード（シングル／ダブルバッファ可） 0 0 1：のこぎり波ワンショットパルスモード（バッファ動作固定） 0 1 0：設定禁止 0 1 1：設定禁止 1 0 0：三角波PWMモード1（谷32ビット転送） （シングル／ダブルバッファ可） 1 0 1：三角波PWMモード2（山／谷32ビット転送） （シングル／ダブルバッファ可） 1 1 0：三角波PWMモード3（谷64ビット転送） （バッファ動作固定） 1 1 1：設定禁止	R/W
b23～b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26～b24	TPCS[2:0]	タイマプリスケーラ選択	b26　b24 0 0 0：P1φ/1 0 0 1：P1φ/4 0 1 0：P1φ/16 0 1 1：P1φ/64 1 0 0：P1φ/256 1 0 1：P1φ/1024	R/W
b31～b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット（カウントスタート）

GTCNT カウンタのスタート／ストップを制御します。

［1 になる条件］

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- カウンタスタート要因により GTSSR レジスタで許可した、イベント入力、または GTIOCA/GTIOCB/GTETRGA ～ GTETRGD ポート入力が発生したとき
- ソフトウェアで直接 1 を書き込んだとき

［0 になる条件］

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき

- カウンタストップ要因により GTPSR レジスタで許可した、イベント入力、または GTIOCA/GTIOCB/GTETRGA ～ GTETRGD ポート入力が発生したとき
- ソフトウェアで直接 0 を書き込んだとき

MD[2:0] ビット（モード選択）

GPT の動作モードを選択します。MD[2:0] ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

TPCS[2:0] ビット（タイマプリスケーラ選択）

GTCNT カウンタのクロックを選択します。チャネルごとに個別にクロックプリスケーラの選択が可能です。TPCS[2:0] ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

12.2.13　汎用 PWM タイマカウント方向、デューティ設定レジスタ（GTUDDTYC）

アドレス： GPT32Em.GTUDDTYC E804 3030h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]		—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定	0：GTCNT をカウントダウン 1：GTCNT をカウントアップ	R/W
b1	UDF	カウント方向強制設定	0：強制設定しない 1：強制設定する	R/W
b15～b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b17、b16	OADTY[1:0]	GTIOCA 出力デューティ設定	b17 b16 0 x：GTIOCA 端子のデューティはコンペアマッチに依存 1 0：GTIOCA 端子のデューティは 0% 1 1：GTIOCA 端子のデューティは 100%	R/W
b18	OADTYF	GTIOCA 出力デューティ強制設定	0：強制設定しない 1：強制設定する	R/W
b19	OADTYR	0%/100% デューティ設定解除後の GTIOCA 出力値選択	0：0%/100% デューティ設定解除後に、0%/100% デューティに設定された出力値を GTIOA[3:2] 機能に適用 1：0%/100% デューティ設定解除後に、マスクされたコンペアマッチ出力値を GTIOA[3:2] 機能に適用	R/W
b23～b20	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b25、b24	OBDTY[1:0]	GTIOCB 出力デューティ設定	b25 b24 0 x：GTIOCB 端子のデューティはコンペアマッチに依存 1 0：GTIOCB 端子のデューティ = 0% 1 1：GTIOCB 端子のデューティ = 100%	R/W
b26	OBDTYF	GTIOCB 出力デューティ強制設定	0：強制設定しない 1：強制設定する	R/W
b27	OBDTYR	0%/100% デューティ設定解除後の GTIOCB 出力値選択	0：0%/100% デューティ設定解除後に、0%/100% デューティに設定された出力値を GTIOB[3:2] 機能に適用 1：0%/100% デューティ設定解除後に、マスクされたコンペアマッチ出力値を GTIOB[3:2] 機能に適用	R/W
b31～b28	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

x：Don't care

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）および GTIOCA/GTIOCB 端子出力のデューティを設定するレジスタです。

【カウント方向】

- のこぎり波モードの場合

アップカウント中に UD ビットを 0 にした場合、オーバフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD ビットを 1 にした場合、アンダフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。

カウントストップ中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。カウントストップ中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。

カウントストップ中に UDF ビットを 1 にすると、UD ビットの値がカウントスタート時のカウント方向に反映されます。

- 三角波モードの場合

カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD ビットの値を変更しても、カウントスタート時のカウント方向には反映されません。

カウントストップ中に UDF ビットを 1 にすると、UD ビットの値がカウントスタート時のカウント方向に反映されます。

UD ビット（カウント方向設定）

GTCNT カウンタのカウント方向（アップ／ダウン）を設定します。

UDF ビット（カウント方向強制設定）

GTCNT カウンタ動作スタート時のカウント方向を強制的に UD ビットの値に設定します。カウンタ動作中の書き込みは、0 としてください。カウントストップ中に 1 を書いた場合、カウントスタートまでに 0 に戻してください。

【出力デューティ】

- のこぎり波モードの場合

アップカウント動作中に OADTY/OBDTY 値を変更すると、オーバフロー時にデューティが反映されます（GTCNT = GTPR）。ダウンカウント動作中に OADTY/OBDTY 値を変更すると、アンダフロー時にデューティが反映されます（GTCNT = 0）。

カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を 1 に変更すると、カウンタ動作開始時に出力デューティは反映されません。カウント方向がアップカウントの場合、オーバフロー時（GTCNT = GTPR）に出力デューティが反映されます。カウント方向がダウンカウントの場合、アンダフロー時（GTCNT = 0）に出力デューティが反映されます。カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を 0 に変更すると、カウンタ動作開始時に出力デューティが反映されます。

- 三角波モードの場合

カウント動作中に OADTY/OBDTY 値を変更すると、アンダフロー時にデューティが反映されます。カウントストップ中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を 1 に変更すると、カウンタ動作開始時に出力デューティは反映されませんが、アンダフロー時には出力デューティが反映されます。

カウントストップ中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を 0 に変更すると、カウンタ動作開始時に出力デューティが反映されます。

OmDTY[1:0] ビット（GTIOCm 出力デューティ設定）（m = A, B）

GTIOCm 端子の出力デューティ（0%、100%、またはコンペアマッチ制御）を設定します。

OmDTYF ビット（GTIOCm 出力デューティ強制設定）（m = A, B）

出力デューティサイクルを OmDTY の設定値に強制的に設定します。カウンタ動作時には、本ビットを 0 として使用してください。カウント停止中に本ビットを 1 にした場合、カウンタスタート後、最初の周期が終わるまでに本ビットを 0 に戻してください。

OmDTYR ビット（0%/100% デューティ設定解除後の GTIOCm 出力値選択）（m = A, B）

制御が 0%/100% デューティ設定から GTIOCm 端子のコンペアマッチに変更され、かつ GTIOR.GTIOm[3:2] ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）に設定された場合、周期の終わりで出力保持／トグル出力の対象となる値を選択します。

デューティ 0%/100% 設定動作を実行中、コンペアマッチ動作は GPT32 内部で継続されています。OmDTYR bit が 1 に set されると、このコンペアマッチ動作の周期の終わりで GTIOCm 端子は、GTIOR.GTIOm[3:2] によって選択された出力状態になります。

12.2.14　汎用 PWM タイマ I/O コントロールレジスタ（GTIOR）

アドレス： GPT32Em.GTIOR E804 3034h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCSB[1:0]		NFBEN	—	—	OBDF[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NFCSA[1:0]		NFAEN	—	—	OADF[1:0]		OAE	OAHLD	OADFLT	—	GTIOA[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4～b0	GTIOA[4:0]	GTIOCA端子機能選択	表12.5を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OADFLT	カウントストップ時のGTIOCA端子出力値設定	0：カウントストップ時にGTIOCA端子はLowを出力 1：カウントストップ時にGTIOCA端子はHighを出力	R/W
b7	OAHLD	カウントスタート／ストップ時のGTIOCA端子出力設定	0：カウントスタート／ストップ時のGTIOCA端子の出力レベルは、レジスタ設定値に従う 1：カウントスタート／ストップ時のGTIOCA端子の出力レベルを保持する	R/W
b8	OAE	GTIOCA端子出力許可	0：出力禁止 1：出力許可	R/W
b10、b9	OADF[1:0]	GTIOCA端子禁止値設定	b10 b9 0 0：出力禁止を禁止 0 1：出力禁止時にGTIOCA端子をHi-Zにする 1 0：出力禁止時にGTIOCA端子を0にする 1 1：出力禁止時にGTIOCA端子を1にする	R/W
b12、b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	NFAEN	ノイズフィルタAを許可	0：GTIOCA端子のノイズフィルタを停止 1：GTIOCA端子のノイズフィルタを許可	R/W
b15、b14	NFCSA[1:0]	ノイズフィルタAサンプリングクロック選択	b15 b14 0 0：P1φ/1 0 1：P1φ/4 1 0：P1φ/16 1 1：P1φ/64	R/W
b20～b16	GTIOB[4:0]	GTIOCB端子機能選択	表12.5を参照してください。	R/W
b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	OBDFLT	カウントストップ時のGTIOCB端子出力値設定	0：カウントストップ時にGTIOCB端子はLowを出力 1：カウントストップ時にGTIOCB端子はHighを出力	R/W
b23	OBHLD	カウントスタート／ストップ時のGTIOCB端子出力設定	0：カウントスタート／ストップ時のGTIOCB端子の出力レベルは、レジスタ設定値に従う 1：カウントスタート／ストップ時のGTIOCB端子の出力レベルを保持する	R/W
b24	OBE	GTIOCB端子出力許可	0：出力禁止 1：出力許可	R/W
b26、b25	OBDF[1:0]	GTIOCB端子禁止値設定	b26 b25 0 0：出力禁止を禁止 0 1：出力禁止時にGTIOCB端子をHi-Zにする 1 0：出力禁止時にGTIOCB端子を0にする 1 1：出力禁止時にGTIOCB端子を1にする	R/W
b28、b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFBEN	ノイズフィルタBを許可	0：GTIOCB端子のノイズフィルタを停止 1：GTIOCB端子のノイズフィルタを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31、b30	NFCSB[1:0]	ノイズフィルタ B サンプリングクロック選択	b31 b30 0 0：P1φ/1 0 1：P1φ/4 1 0：P1φ/16 1 1：P1φ/64	R/W

GTIOR レジスタは、GTIOCA 端子および GTIOCB 端子の機能を設定するレジスタです。

GTIOA[4:0] ビット（GTIOCA 端子機能選択）

GTIOCA 端子の機能を選択します。詳細は、**表 12.5** を参照してください。

OADFLT ビット（カウントストップ時の GTIOCA 端子出力値設定）

カウントストップ時に、GTIOCA 端子が Low または High のいずれを出力するかを設定します。

OAHLD ビット（カウントスタート／ストップ時の GTIOCA 端子出力設定）

GTIOCA 端子の出力レベルを保持するか、カウントスタート／ストップ時にレジスタ設定値に従うかを設定します。

［OAHLD ビットを 0 にした場合］

- カウントスタート時に、GTIOA[4:0] ビットのビット [4] で指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に OADFLT ビットを書き換えた場合、ただちに出力に反映される

［OAHLD ビットを 1 にした場合］

- カウントスタート／ストップ時に出力が保持される

OAE ビット（GTIOCA 端子出力許可）

GTIOCA 端子出力の許可／禁止を選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合（GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合）、OAE ビット値とは関係なく GTIOCA 端子からの出力はありません。

OADF[1:0] ビット（GTIOCA 端子禁止値設定）

出力禁止要求によって GTIOCA 端子から出力する値を選択します。

NFAEN ビット（ノイズフィルタ A を許可）

GTIOCA 端子からの入力に対してノイズフィルタの許可／停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、GTIOR レジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、本ビットを切り替えてください。

NFCSA[1:0] ビット（ノイズフィルタ A サンプリングクロック選択）

GTIOCA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

GTIOB[4:0] ビット（GTIOCB 端子機能選択）

GTIOCB 端子の機能を選択します。詳細は、**表 12.5** を参照してください。

OBDFLT ビット（カウントストップ時の GTIOCB 端子出力値設定）

カウントストップ時に、GTIOCB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット（カウントスタート／ストップ時の GTIOCB 端子出力設定）

GTIOCB 端子の出力レベルを保持するか、カウントスタート／ストップ時のレベルはレジスタ設定値に従うかを設定します。

［OBHLD ビットを 0 にした場合］

- カウントスタート時に、GTIOB[4:0] ビットのビット [4] で指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に OBDFLT ビットを書き換えた場合、ただちに出力に反映される

［OBHLD ビットを 1 にした場合］

- カウントスタート／ストップ時に出力が保持される

OBE ビット（GTIOCB 端子出力許可）

GTIOCB 端子出力の許可／禁止を選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用している場合（GTICBSR レジスタの少なくとも 1 ビットが 1）、OBE ビット値とは関係なく GTIOCB 端子からの出力はありません。

OBDF[1:0] ビット（GTIOCB 端子禁止値設定）

出力禁止要求によって GTIOCB 端子から出力する値を選択します。

NFBEN ビット（ノイズフィルタ B を許可）

GTIOCB 端子の入力のノイズフィルタ機能の許可／停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、GTIOR レジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、本ビットを切り替えてください。

NFCSB[1:0] ビット（ノイズフィルタ B サンプリングクロック選択）

GTIOCB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表12.5　GTIOA[4:0]ビットとGTIOB[4:0]ビットの設定値

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4	b3～b2	b1～b0
0	0	0	0	0	初期出力Lowの設定	周期の終わりで出力保持	GTCCRA/GTCCRBコンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRBコンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRBコンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRBコンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
1	0	0	0	0	初期出力Highの設定	周期の終わりで出力保持	GTCCRA/GTCCRBコンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
1	0	0	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
1	0	0	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
1	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRBコンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
1	0	1	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
1	0	1	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
1	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRBコンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
1	1	0	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
1	1	0	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRBコンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
1	1	1	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
1	1	1	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力

注.　周期の終わりとは、オーバフロー（アップカウント時にGTCNTカウンタがGTPR値から0に変化）、またはアンダフロー（ダウンカウント時にGTCNTカウンタが0 からGTPR値に変化）を意味します。この場合、三角波の谷（GTCNTカウンタが0から1に変化）およびのこぎり波に対してGTCNTカウンタがクリアされます。

注.　コンペアマッチ動作時、周期の終わりとGTCCRA/GTCCRBコンペアマッチのタイミングが一致する場合、のこぎり波PWMモードではb3～b2の設定が優先され、それ以外のモードではb1～b0の設定が優先されます。

注.　GTUPSRレジスタまたはGTDNSRレジスタの少なくとも1つのビットが1の場合のイベントカウント動作では、b3～b2の設定値は無視されます。

12.2.15　汎用 PWM タイマ割り込み出力設定レジスタ（GTINTAD）

アドレス： GPT32Em.GTINTAD E804 3038h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPABH	GRPDTE	—	—	GRP[1:0]		—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GTINTA	GTCCRAコンペアマッチ／インプットキャプチャ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b1	GTINTB	GTCCRBコンペアマッチ／インプットキャプチャ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b2	GTINTC	GTCCRCコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b3	GTINTD	GTCCRDコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b4	GTINTE	GTCCREコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b5	GTINTF	GTCCRFコンペアマッチ割り込み許可ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b7、b6	GTINTPR[1:0]	GTPRコンペアマッチ割り込み許可ビット	b7 b6 0 0：割り込み要求を禁止 0 1：のこぎり波のときにオーバフロー、三角波のときに（山）で割り込み要求を許可 1 0：のこぎり波のときにアンダフロー、三角波のときに（谷）で割り込み要求を許可 1 1：のこぎり波のときにオーバフロー／アンダフロー両方、三角波のときに（山／谷）両方で割り込み要求を許可	R/W
b15～b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ADTRAUEN	GTADTRAコンペアマッチ（アップカウント）A/D変換開始要求許可	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b17	ADTRADEN	GTADTRAコンペアマッチ（ダウンカウント）A/D変換開始要求許可	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b18	ADTRBUEN	GTADTRBコンペアマッチ（アップカウント）A/D変換開始要求許可	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b19	ADTRBDEN	GTADTRBコンペアマッチ（ダウンカウント）A/D変換開始要求許可	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b23～b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25、b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0：グループA出力禁止要求を選択 0 1：グループB出力禁止要求を選択 1 0：グループC出力禁止要求を選択 1 1：グループD出力禁止要求を選択	R/W
b27、b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	GRPDTE	デッドタイムエラー出力禁止要求許可	0：デッドタイムエラー出力禁止要求を禁止 1：デッドタイムエラー出力禁止要求を許可	R/W
b29	GRPABH	同時出力レベルHigh禁止要求許可	0：同時出力レベルHigh禁止要求を禁止 1：同時出力レベルHigh禁止要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b30	GRPABL	同時出力レベル Low 禁止要求許可	0：同時出力レベル Low 禁止要求を禁止 1：同時出力レベル Low 禁止要求を許可	R/W
b31	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTINTAD レジスタは、割り込み要求、A/D 変換開始要求、および出力禁止要求の許可／禁止を設定するレジスタです。

GTINTA ビット（GTCCRA コンペアマッチ／インプットキャプチャ割り込み許可ビット）

GTCCRA レジスタのコンペアマッチ／インプットキャプチャによる割り込み要求（CCMPAn）を許可／禁止します。

GTINTB ビット（GTCCRB コンペアマッチ／インプットキャプチャ割り込み許可ビット）

GTCCRB レジスタのコンペアマッチ／インプットキャプチャによる割り込み要求（CCMPBn）を許可／禁止します。

GTINTC ビット（GTCCRC コンペアマッチ割り込み許可ビット）

GTCCRC レジスタのコンペアマッチによる割り込み要求（CMPCn）を許可／禁止します。

GTINTD ビット（GTCCRD コンペアマッチ割り込み許可ビット）

GTCCRD レジスタのコンペアマッチによる割り込み要求（CMPDn）を許可／禁止します。

GTINTE ビット（GTCCRE コンペアマッチ割り込み許可ビット）

GTCCRE レジスタのコンペアマッチによる割り込み要求（CMPEn）を許可／禁止します。

GTINTF ビット（GTCCRF コンペアマッチ割り込み許可ビット）

GTCCRF レジスタのコンペアマッチによる割り込み要求（CMPFn）を許可／禁止します。

GTINTPR[1:0] ビット（GTPR コンペアマッチ割り込み許可ビット）

GTPR レジスタのコンペアマッチ（GTCNT カウンタのオーバフロー）／ GTCNT カウンタのアンダフローによる割り込み要求（OVFn/UNFn）を許可／禁止します。

ADTRAUEN ビット（GTADTRA コンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタのアップカウント中に、GTADTRA コンペアマッチによって生成される A/D 変換開始要求を許可／禁止します。

ADTRADEN ビット（GTADTRA コンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタのダウンカウント中に、GTADTRA コンペアマッチによって生成される A/D 変換開始要求を許可／禁止します。

ADTRBUEN ビット（GTADTRB コンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタのアップカウント中に、GTADTRB コンペアマッチによって生成される A/D 変換開始要求を許可／禁止します。

ADTRBDEN ビット（GTADTRB コンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタのダウンカウント中に、GTADTRB コンペアマッチによって生成される A/D 変換開始要求を許可／禁止します。

GRP[1:0] ビット（出力禁止要因選択）

GTIOCA 端子および GTIOCB 端子の出力禁止要因を選択します。POEG への出力ディセーブル要求は、デッドタイムエラー、同時 High 出力、同時 Low 出力の各要因が、それぞれの出力ディセーブル要求許可ビットに従い、GRP[1:0] ビットで選択されたグループに対して出力されます。GTST.ODF が、GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。GRP[1:0] ビットの設定は、GTIOR.OAE ビットと OBE ビットがともに ”0” の状態で行ってください。

GRPDTE ビット（デッドタイムエラー出力禁止要求許可）

デッドタイムエラー出力禁止要求を許可／禁止します。

GRPABH ビット（同時出力レベル High 禁止要求許可）

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力する場合の出力禁止要求を許可／禁止します。

GRPABL ビット（同時出力レベル Low 禁止要求許可）

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力する場合の出力禁止要求を許可／禁止します。

12.2.16　汎用 PWM タイマステータスレジスタ（GTST）

アドレス： GPT32Em.GTST E804 303Ch + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRBDF	ADTRBUF	ADTRADF	ADTRAUF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	ITCNT[2:0]			TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
リセット後の値：	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インプットキャプチャ／コンペアマッチフラグA	0：GTCCRAのインプットキャプチャ／コンペアマッチの発生なし 1：GTCCRAのインプットキャプチャ／コンペアマッチの発生あり	R/(W)（注1）
b1	TCFB	インプットキャプチャ／コンペアマッチフラグB	0：GTCCRBのインプットキャプチャ／コンペアマッチの発生なし 1：GTCCRBのインプットキャプチャ／コンペアマッチの発生あり	R/(W)（注1）
b2	TCFC	コンペアマッチフラグC	0：GTCCRCのコンペアマッチの発生なし 1：GTCCRCのコンペアマッチの発生あり	R/(W)（注1）
b3	TCFD	コンペアマッチフラグD	0：GTCCRDのコンペアマッチの発生なし 1：GTCCRDのコンペアマッチの発生あり	R/(W)（注1）
b4	TCFE	コンペアマッチフラグE	0：GTCCREのコンペアマッチの発生なし 1：GTCCREのコンペアマッチの発生あり	R/(W)（注1）
b5	TCFF	コンペアマッチフラグF	0：GTCCRFのコンペアマッチの発生なし 1：GTCCRFのコンペアマッチの発生あり	R/(W)（注1）
b6	TCFPO	オーバフローフラグ	0：オーバフロー（山）の発生なし 1：オーバフロー（山）の発生あり	R/(W)（注1）
b7	TCFPU	アンダフローフラグ	0：アンダフロー（谷）の発生なし 1：アンダフロー（谷）の発生あり	R/(W)（注1）
b10～b8	ITCNT[2:0]	OVFn/UNFn割り込み間引き回数カウンタ	タイマ割り込みが間引かれる回数をカウントするカウンタ	R
b14～b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	TUCF	カウント方向フラグ	0：GTCNTカウンタはダウンカウント 1：GTCNTカウンタはアップカウント	R
b16	ADTRAUF	GTADTRAコンペアマッチ（アップカウント）A/Dコンバータ開始リクエストフラグ	0：アップカウント時のGTADTRAコンペアマッチの発生なし 1：アップカウント時のGTADTRAコンペアマッチの発生あり	R/(W)（注1）
b17	ADTRADF	GTADTRAコンペアマッチ（ダウンカウント）A/Dコンバータ開始リクエストフラグ	0：ダウンカウント時のGTADTRAコンペアマッチの発生なし 1：ダウンカウント時のGTADTRAコンペアマッチの発生あり	R/(W)（注1）
b18	ADTRBUF	GTADTRBコンペアマッチ（アップカウント）A/Dコンバータ開始リクエストフラグ	0：アップカウント時のGTADTRBコンペアマッチの発生なし 1：アップカウント時のGTADTRBコンペアマッチの発生あり	R/(W)（注1）
b19	ADTRBDF	GTADTRBコンペアマッチ（ダウンカウント）A/Dコンバータ開始リクエストフラグ	0：ダウンカウント時のGTADTRBコンペアマッチの発生なし 1：ダウンカウント時のGTADTRBコンペアマッチの発生あり	R/(W)（注1）
b23～b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	ODF	出力禁止フラグ	0：出力禁止要求の発生なし 1：出力禁止要求の発生あり	R
b27～b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	DTEF	デッドタイムエラーフラグ	0：デッドタイムエラーの発生なし 1：デッドタイムエラーの発生あり	R
b29	OABHF	同時出力レベルHighフラグ	0：GTIOCA端子とGTIOCB端子は同時に1を出力しなかった 1：GTIOCA端子とGTIOCB端子は同時に1を出力した	R

ビット	シンボル	ビット名	機能	R/W
b30	OABLF	同時出力レベル Low フラグ	0：GTIOCA 端子と GTIOCB 端子は同時に 0 を出力しなかった 1：GTIOCA 端子と GTIOCB 端子は同時に 0 を出力した	R
b31	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　このビットには 0 のみ書けます。1 を書き込まないでください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ（インプットキャプチャ／コンペアマッチフラグ A）

GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。
［1 になる条件］

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ = GTCCRA レジスタになったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

［0 になる条件］

- このフラグに 0 を書いたとき

TCFB フラグ（インプットキャプチャ／コンペアマッチフラグ B）

GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。
［1 になる条件］

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ = GTCCRB レジスタになったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

［0 になる条件］

- このフラグに 0 を書いたとき

TCFC フラグ（コンペアマッチフラグ C）

GTCCRC のコンペアマッチのステータスを示します。
［1 になる条件］

- GTCNT カウンタ = GTCCRC レジスタになったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] ビット = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

TCFD フラグ（コンペアマッチフラグ D）

GTCCRD のコンペアマッチのステータスを示します。
[1 になる条件]
- GTCNT カウンタ = GTCCRD レジスタになったとき

[0 になる条件]
- このフラグに 0 を書いたとき

[比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] ビット = 10b、11b（GTCCRD レジスタがバッファ動作）

TCFE フラグ（コンペアマッチフラグ E）

GTCCRE のコンペアマッチのステータスを示します。
[1 になる条件]
- GTCNT カウンタ = GTCCRE レジスタになったとき

[0 になる条件]
- このフラグに 0 を書いたとき

[比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] ビット = 01b、10b、11b（GTCCRE レジスタがバッファ動作）

TCFF フラグ（コンペアマッチフラグ F）

GTCCRF のコンペアマッチのステータスを示します。
[1 になる条件]
- GTCNT カウンタ = GTCCRF レジスタになったとき

[0 になる条件]
- このフラグに 0 を書いたとき

[比較を行わない条件]
- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] ビット = 10b、11b（GTCCRF レジスタがバッファ動作）

TCFPO フラグ（オーバフローフラグ）

オーバフローまたは山が発生したことを示します。
[1 になる条件]
- のこぎり波モードでオーバフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）が発生したとき
- 三角波モードで山（GTCNT カウンタが GTPR 値から GTPR 値 -1 に変化）が発生したとき
- ハードウェア要因によるカウントで、オーバフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）が発生したとき

[0 になる条件]
- このフラグに 0 を書いたとき

TCFPU フラグ（アンダフローフラグ）

アンダフローまたは谷が発生したことを示します。
［1 になる条件］

- のこぎり波モードでアンダフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき
- 三角波モードで山（GTCNT カウンタが 0 から 1 に変化）が発生したとき
- ハードウェア要因によるカウントで、アンダフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき

［0 になる条件］

- このフラグに 0 を書いたとき

ITCNT[2:0] ビット（OVFn/UNFn 割り込み間引き回数カウンタ）

OVFn/UNFn（n = 0 ～ 7）割り込み間引き機能を使用（GTITC.IVTC[1:0] ビットを 00b 以外に設定）した場合、GTITC.IVTC[1:0] ビットで指定した OVFn/UNFn 割り込み要因が発生するたびに、ITCNT[2:0] ビットが 1 カウントアップします。
［0 になる条件］

- OVFn/UNFn 割り込み間引き機能を使用しないとき（GTITC.IVTC[1:0] ビット = 00b で、GTITC.IVTT[2:0] ビット = 000b のとき）
- OVFn/UNFn 割り込み間引き回数が指定した回数と一致したとき（ITCNT[2:0] ビット値が GTITC.IVTT[2:0] ビットで指定した間引き回数と一致したとき）

TUCF フラグ（カウント方向フラグ）

GTCNT カウンタのカウント方向を示します。イベントカウント動作において、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ADTRAUF フラグ（GTADTRA コンペアマッチ（アップカウント）A/D コンバータ開始リクエストフラグ）

GTADTRA コンペアマッチのアップカウント時のステータスフラグです。
［1 になる条件］

- アップカウント時に GTCNT = GTADTRA のとき

［0 になる条件］

- このフラグに 0 を書いたとき

ADTRADF フラグ（GTADTRA コンペアマッチ（ダウンカウント）A/D コンバータ開始リクエストフラグ）

GTADTRA コンペアマッチのダウンカウント時のステータスフラグです。
［1 になる条件］

- ダウンカウント時に GTCNT = GTADTRA のとき

［0 になる条件］

- このフラグに 0 を書いたとき

ADTRBUF フラグ（GTADTRB コンペアマッチ（アップカウント）A/D コンバータ開始リクエストフラグ）

GTADTRB コンペアマッチのアップカウント時のステータスフラグです。
［1 になる条件］

- アップカウント時に GTCNT = GTADTRB のとき

［0 になる条件］

- このフラグに 0 を書いたとき

ADTRBDF フラグ（GTADTRB コンペアマッチ（ダウンカウント）A/D コンバータ開始リクエストフラグ）

GTADTRB コンペアマッチのダウンカウント時のステータスフラグです。

［1 になる条件］

- ダウンカウント時に GTCNT = GTADTRB のとき

［0 になる条件］

- このフラグに 0 を書いたとき

ODF フラグ（出力禁止フラグ）

GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。出力禁止時、出力禁止要求がネゲートされる周期の間、出力禁止制御は解除されません。次の周期に解除されます。

DTEF フラグ（デッドタイムエラーフラグ）

デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期を超えたことを示します。

デッドタイム自動付加後のタイマ出力トグルポイントがタイマ周期に戻ると、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。

DTEF フラグによる割り込みが許可（GTINTAD.GRPDTE ビット = 1）になっている場合、DTEF フラグが 0 から 1 に変化するたびに DTEF フラグが出力禁止要求として POEG に出力されます。

［1 になる条件］

- デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期を超えたとき
  アップカウント時の三角波の場合：
  GTCCRA レジスタ − GTDVU レジスタ ≦ 0
  ダウンカウント時の三角波の場合：
  GTCCRA レジスタ − GTDVD レジスタ < 0
  アップカウント時ののこぎり波ワンショットパルスモードの場合：
  GTCCRA レジスタ − GTDVU レジスタ < 0、または
  GTCCRA レジスタ + GTDVD レジスタ > GTPR レジスタ
  ダウンカウント時ののこぎり波ワンショットパルスモードの場合：
  GTCCRA レジスタ + GTDVU レジスタ > GTPR レジスタ、または
  GTCCRA レジスタ − GTDVD レジスタ < 0

［0 になる条件］

- デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期内にあるとき

OABHF フラグ（同時出力レベル High フラグ）

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。OABHF フラグによる割り込みが許可（GTINTAD.GRPABH ビット = 1）されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。

［1 になる条件］

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき

［0 になる条件］

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 のとき

OABLF フラグ（同時出力レベル Low フラグ）

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。OABLF フラグによる割り込みが許可（GTINTAD.GRPABL ビット = 1）されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。

［1 になる条件］

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき

［0 になる条件］

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットの少なくとも一方が 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力（PWM 出力）信号です。出力禁止状態が実行される場合、コンペアマッチも GPT 内部で継続して実行され、OABHF/OABLF フラグは比較値の結果に応じて更新されます。

12.2.17　汎用 PWM タイマバッファイネーブルレジスタ（GTBER）

アドレス： GPT32Em.GTBER E804 3040h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	BD[3]	BD[2]	BD[1]	BD[0]
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRバッファ動作禁止	0：バッファ動作を許可 1：バッファ動作を禁止	R/W
b1	BD[1]	GTPRバッファ動作禁止		R/W
b2	BD[2]	GTADTRバッファ動作禁止		R/W
b3	BD[3]	GTDVバッファ動作禁止		R/W
b15～b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17、b16	CCRA[1:0]	GTCCRAバッファ動作	b17 b16 0 0：バッファ動作しない 0 1：シングルバッファ動作（GTCCRA レジスタ⇔GTCCRC レジスタ） 1 x：ダブルバッファ動作（GTCCRA レジスタ⇔GTCCRC レジスタ⇔GTCCRD レジスタ）	R/W
b19、b18	CCRB[1:0]	GTCCRBバッファ動作	b19 b18 0 0：バッファ動作しない 0 1：シングルバッファ動作（GTCCRB レジスタ⇔GTCCRE レジスタ） 1 x：ダブルバッファ動作（GTCCRB レジスタ⇔GTCCRE レジスタ⇔GTCCRF レジスタ）	R/W
b21、b20	PR[1:0]	GTPRバッファ動作	b21 b20 0 0：バッファ動作しない 0 1：シングルバッファ動作（GTPBR レジスタ⇒GTPR レジスタ） 1 x：ダブルバッファ動作（GTPDBR レジスタ⇒GTPBR レジスタ⇒GTPR レジスタ）	R/W
b22	CCRSWT	GTCCRAおよびGTCCRB強制バッファ動作	1を書くとGTCCRAおよびGTCCRB レジスタのバッファ転送を強制的に行います。このビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25、b24	ADTTA[1:0]	GTADTRAバッファ転送タイミング選択	• 三角波の場合 b25 b24 0 0：転送しない 0 1：山で転送 1 0：谷で転送 1 1：山と谷の両方で転送 • のこぎり波の場合 b25 b24 0 0：転送しない 0 0以外：アンダフロー（ダウンカウント時）、オーバフロー（アップカウント時）またはカウンタクリアで転送	R/W
b26	ADTDA	GTADTRAダブルバッファ動作	0：シングルバッファ動作 （GTADTBRA レジスタ⇒GTADTRA レジスタ） 1：ダブルバッファ動作 （GTADTDBRA レジスタ⇒GTADTBRA レジスタ⇒GTADTDRA レジスタ）	R/W

ビット	シンボル	ビット名	機能	R/W
b27	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b29、b28	ADTTB[1:0]	GTADTRB バッファ転送タイミング選択	• 三角波の場合 b29 b28 0 0：転送しない 0 1：山で転送 1 0：谷で転送 1 1：山と谷の両方で転送 • のこぎり波の場合 b29 b28 0 0：転送しない 0 0 以外：アンダフロー（ダウンカウント時）、オーバフロー（アップカウント時）またはカウンタクリアで転送	R/W
b30	ADTDB	GTADTRB ダブルバッファ動作	0：シングルバッファ動作 （GTADTBRB レジスタ⇒GTADTRB レジスタ） 1：ダブルバッファ動作 （GTADTDBRB レジスタ⇒GTADTBRB レジスタ⇒GTADTDRB レジスタ）	R/W
b31	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTBER レジスタは、バッファ動作を設定するレジスタです。GTCNT カウンタが停止しているときに設定する必要があります。

BD[0] ビット（GTCCR バッファ動作禁止）

GPT の GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが 1 のとき、BD[0] ビットを 0 にすると、GTCCRB レジスタはバッファ動作を実行せずに、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

BD[1] ビット（GTPR バッファ動作禁止）

GPT の GTPR、GTPBR、および GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

BD[2] ビット（GTADTR バッファ動作禁止）

GPT の GTADTRA、GTADTRB、GTADTBRA、GTADTBRB、GTADTDBRA、および GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。イベントカウント動作時は、このビットは使用できず、GTADTR バッファ動作は実行されません。

BD[3] ビット（GTDV バッファ動作禁止）

GPT の GTDVU、GTDVD、GTDBD、および GTDBU レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDFER ビットが 1、かつ BD[3] ビットが 0 の場合、バッファ動作は実行されず、GTDVD 値には GTDVU レジスタの値が自動的に設定されます。イベントカウント動作時は、このビットは使用できず、GTDV バッファ動作は実行されません。

CCRA[1:0] ビット（GTCCRA バッファ動作）

GPT の GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。（注 1）

CCRB[1:0] ビット（GTCCRB バッファ動作）

GPT の GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。（注 1）

PR[1:0] ビット（GTPR バッファ動作）

GPT の GTPR、GTPBR、および GTPDBR レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット（GTCCRA および GTCCRB 強制バッファ動作）

CCRSWT ビットに 1 を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読め、有効となるのは指定したコンペアマッチ動作でカウントが停止した場合のみです。

ADTTA[1:0] ビット（GTADTRA バッファ転送タイミング選択）

GTADTRA、GTADTBRA、および GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。イベントカウント動作時は使用できません。

ADTDA ビット（GTADTRA ダブルバッファ動作）

GTADTRA、GTADTBRA、および GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。イベントカウント動作時は使用できません。

ADTTB[1:0] ビット（GTADTRB バッファ転送タイミング選択）

GTADTRB、GTADTBRB、および GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。イベントカウント動作時は使用できません。

ADTDB ビット（GTADTRB ダブルバッファ動作）

GPT の GTADTRB、GTADTBRB、および GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。イベントカウント動作時は使用できません。

注 1.　のこぎり波ワンショットパルスモード、または三角波 PWM モード 3（谷 64 ビット転送）の場合、バッファ動作モードは固定となります。

12.2.18　汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ（GTITC）

アドレス： GPT32Em.GTITC E804 3044h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADTBL	—	ADTAL	—	IVTT[2:0]			IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRAコンペアマッチ／インプットキャプチャ割り込み連動	0：OVFn/UNFn割り込み間引き機能と連動しない 1：OVFn/UNFn割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRBコンペアマッチ／インプットキャプチャ割り込み連動	0：OVFn/UNFn割り込み間引き機能と連動しない 1：OVFn/UNFn割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRCコンペアマッチ割り込み連動	0：OVFn/UNFn割り込み間引き機能と連動しない 1：OVFn/UNFn割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRDコンペアマッチ割り込み連動	0：OVFn/UNFn割り込み間引き機能と連動しない 1：OVFn/UNFn割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCREコンペアマッチ割り込み連動	0：OVFn/UNFn割り込み間引き機能と連動しない 1：OVFn/UNFn割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRFコンペアマッチ割り込み連動	0：OVFn/UNFn割り込み間引き機能と連動しない 1：OVFn/UNFn割り込み間引き機能と連動する	R/W
b7、b6	IVTC[1:0]	OVFn/UNFn割り込み間引き機能選択	b7 b6 0 0：間引きしない 0 1：のこぎり波ではオーバフローとアンダフローの両方、三角波では山をカウントして間引く 1 0：のこぎり波ではオーバフローとアンダフローの両方、三角波では谷をカウントして間引く 1 1：のこぎり波ではオーバフローとアンダフローの両方、三角波では山と谷の両方をカウントして間引く	R/W
b10～b8	IVTT[2:0]	OVFn/UNFn割り込み間引き回数選択	b10　b8 0 0 0：間引きしない 0 0 1：間引き回数：1回 0 1 0：間引き回数：2回 0 1 1：間引き回数：3回 1 0 0：間引き回数：4回 1 0 1：間引き回数：5回 1 1 0：間引き回数：6回 1 1 1：間引き回数：7回	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	ADTAL	GTADTRA A/D変換開始要求連動	0：OVFn/UNFn割り込み間引き機能と連動しない 1：OVFn/UNFn割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	ADTBL	GTADTRB A/D変換開始要求連動	0：OVFn/UNFn割り込み間引き機能と連動しない 1：OVFn/UNFn割り込み間引き機能と連動する	R/W
b31～b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTITC レジスタは、GTCNT カウンタオーバフロー（GTPR コンペアマッチ）割り込み（OVFn）と、GTCNT カウンタアンダフロー割り込み（UNFn）に対して間引き機能を設定します。また、その他の割り込みと A/D 変換開始要求を、OVFn/UNFn 割り込み間引き機能と連動させるか否かを指定します。POEG への出力ディセーブル要求を、OVFn/UNFn 割り込み間引き機能と連動させることはできません。イベントカウント動作時は使用できません。

ITLA ビット（GTCCRA コンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRA コンペアマッチ／インプットキャプチャ割り込み（GTCIA）を、OVFn/UNFn 割り込み間引き機能と連動させる否かを指定します。

ITLB ビット（GTCCRB コンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRB コンペアマッチ／インプットキャプチャ割り込み（GTCIB）を、OVFn/UNFn 割り込み間引き機能と連動させる否かを指定します。

ITLC ビット（GTCCRC コンペアマッチ割り込み連動）

GTCCRC コンペアマッチ割り込み（GTCIC）を、OVFn/UNFn 割り込み間引き機能と連動させる否かを指定します。

ITLD ビット（GTCCRD コンペアマッチ割り込み連動）

GTCCRD コンペアマッチ割り込み（GTCID）を、OVFn/UNFn 割り込み間引き機能と連動させる否かを指定します。

ITLE ビット（GTCCRE コンペアマッチ割り込み連動）

GTCCRE コンペアマッチ割り込み（GTCIE）を、OVFn/UNFn 割り込み間引き機能と連動させる否かを指定します。

ITLF ビット（GTCCRF コンペアマッチ割り込み連動）

GTCCRF コンペアマッチ割り込み（GTCIF）を、OVFn/UNFn 割り込み間引き機能と連動させる否かを指定します。

IVTC[1:0] ビット（OVFn/UNFn 割り込み間引き機能選択）

GTPR コンペアマッチ（GTCNT オーバフロー）割り込み（OVFn）と、GTCNT カウンタアンダフロー割り込み（UNFn）に対して間引き機能を設定します。

IVTT[2:0] ビット（OVFn/UNFn 割り込み間引き回数選択）

GTPR コンペアマッチ（GTCNT オーバフロー）割り込み（OVFn）と、GTCNT カウンタアンダフロー割り込み（UNFn）に対して間引き回数を設定します。IVTT[2:0] ビットを書き換える場合は、最初に IVTC[1:0] ビットを 00b にしてください。

ADTAL ビット（GTADTRA A/D 変換開始要求連動）

GTADTRA の A/D 変換開始要求を、OVFn/UNFn 割り込み間引き機能と連動させる否かを指定します。

ADTBL ビット（GTADTRB A/D 変換開始要求連動）

GTADTRB の A/D 変換開始要求を、OVFn/UNFn 割り込み間引き機能と連動させる否かを指定します。

12.2.19　汎用 PWM タイマカウンタ（GTCNT）

アドレス： GPT32Em.GTCNT E804 3048h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCNT レジスタは、32 ビットの読み出し／書き込み可能なカウンタです。カウントストップ後にのみ書き込み可能です。32 ビット単位でアクセスしてください。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。GTCNT レジスタは、0 ≦ GTCNT ≦ GTPR の範囲に収まるように設定する必要があります。

12.2.20　汎用 PWM タイマコンペアキャプチャレジスタ n（GTCCRn）（n = A ～ F）

アドレス：
GPT32Em.GTCCRA E804 304Ch + 0100h × m（m = 0～7）
GPT32Em.GTCCRB E804 3050h + 0100h × m（m = 0～7）
GPT32Em.GTCCRC E804 3054h + 0100h × m（m = 0～7）
GPT32Em.GTCCRE E804 3058h + 0100h × m（m = 0～7）
GPT32Em.GTCCRD E804 305Ch + 0100h × m（m = 0～7）
GPT32Em.GTCCRF E804 3060h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTCCRn レジスタは、読み出し／書き込み可能なレジスタです。

GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア／インプットキャプチャ兼用のレジスタです。

GTCCRC レジスタと GTCCRE レジスタは、コンペアマッチレジスタですが、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。

GTCCRD レジスタと GTCCRF レジスタは、コンペアマッチレジスタですが、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ（GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ）としても機能します。

12.2.21　汎用 PWM タイマ周期設定レジスタ（GTPR）

アドレス： GPT32Em.GTPR E804 3064h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPR レジスタは、読み出し／書き込み可能なレジスタであり、GTCNT カウンタの最大カウント値を設定します。のこぎり波の場合、GTPR 値 +1 がカウント周期になります。三角波の場合、GTPR 値 ×2 がカウント周期になります。

12.2.22　汎用 PWM タイマ周期設定バッファレジスタ（GTPBR）

アドレス： GPT32Em.GTPBR E804 3068h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPBR レジスタは、読み出し／書き込み可能なレジスタであり、GTPR レジスタ用のバッファレジスタとして機能します。

12.2.23　汎用 PWM タイマ周期設定ダブルバッファレジスタ（GTPDBR）

アドレス： GPT32Em.GTPDBR E804 306Ch + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPDBR レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、GTPBR レジスタ用のバッファレジスタ（GTPR レジスタ用のダブルバッファレジスタ）として機能します。

12.2.24　A/D 変換開始要求タイミングレジスタ n（GTADTRn）（n = A, B）

アドレス：GPT32Em.GTADTRA E804 3070h + 0100h × m（m = 0～7）
GPT32Em.GTADTRB E804 307Ch + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTADTRn レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、A/D 変換開始要求のタイミングを設定します。GTADTRn レジスタの値が GTCNT カウンタ値と一致したとき、A/D 変換開始要求が発生します。32 ビット単位でアクセスしてください。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。

12.2.25　A/D 変換開始要求タイミングバッファレジスタ n（GTADTBRn）（n = A, B）

アドレス：GPT32Em.GTADTBRA E804 3074h + 0100h × m（m = 0～7）
GPT32Em.GTADTBRB E804 3080h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTADTBRn レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、GTADTRn レジスタ用のバッファレジスタとして動作します。32 ビット単位でアクセスしてください。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。

12.2.26　A/D 変換開始要求タイミングダブルバッファレジスタ n（GTADTDBRn）（n = A, B）

アドレス：GPT32Em.GTADTDBRA E804 3078h + 0100h × m（m = 0～7）
GPT32Em.GTADTDBRB E804 3084h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTADTDBRn レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、GTADTBRn レジスタ用のバッファレジスタ（GTADTR レジスタ用のダブルバッファレジスタ）として動作します。32 ビット単位でアクセスしてください。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。

12.2.27　汎用 PWM タイマデッドタイムコントロールレジスタ（GTDTCR）

アドレス：GPT32Em.GTDTCR E804 3088h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定	0：GTDVUおよびGTDVDレジスタを使用しないで、GTCCRBレジスタを個別に設定する 1：GTDVUおよびGTDVDレジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b3～b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TDBUE	GTDVUバッファ動作許可	0：GTDVUバッファ動作を禁止 1：GTDVUバッファ動作を許可	R/W
b5	TDBDE	GTDVDバッファ動作許可	0：GTDVDバッファ動作を禁止 1：GTDVDバッファ動作を許可	R/W
b7、b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TDFER	GTDVD設定	0：GTDVUおよびGTDVDレジスタを個別に設定する 1：GTDVUレジスタに書き込んだ値を、GTDVDレジスタにも自動設定する	R/W
b31～b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可するレジスタです。

TDE ビット（逆相波形設定）

GTDVU および GTDVD レジスタを使用するか否かを指定します。GTDVU および GTDVD レジスタを使用する場合、正相波形のコンペアマッチ値（GTCCRA）とデッドタイム値（GTDVU および GTDVD）から算出したデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、自動設定は行われません。

GTCCRB レジスタ値が自動設定されるとき、下記のような上限／下限値があります。算出された GTCCRB 値が上限値／下限値の範囲外となる場合は、GTCCRB レジスタには以下の制限値が設定され、GTST.DTEF フラグが 1 になります。ただし三角波では、算出された GTCCRB 値が上限値を超えると、GTST.DTEF フラグが 0 になります。

三角波の場合

上限値：GTPR レジスタ値－ 1

下限値：アップカウント時は 1、ダウンカウント時は 0

のこぎり波ワンショットパルスモードの場合

上限値：GTPR レジスタ値

下限値：0

TDBUE ビット（GTDVU バッファ動作許可）

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

TDBDE ビット（GTDVD バッファ動作許可）

GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。TDFER ビットを同時に 1 にした場合、TDFER ビットの設定が優先されます。

TDFER ビット（GTDVD 設定）

GTDVU レジスタに書き込んだ値を GTDVD レジスタにも自動設定するかどうかを設定します。

12.2.28　汎用 PWM タイマデッドタイム値レジスタ n（GTDVn）（n = U, D）

アドレス：GPT32Em.GTDVU E804 308Ch + 0100h x m（m = 0～7）
GPT32Em.GTDVD E804 3090h + 0100h x m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTDVn レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定します。GTDVU レジスタはアップカウント、GTDVD レジスタはダウンカウントに使用します。

GTDVn レジスタに、GTDVn ≧ GTPR となる値の設定は禁止です。また、デッドタイム自動設定機能を使用する場合、波形の変化ポイントがカウント周期を超えるような設定をしないでください。GTCCRB レジスタを読むことで、デッドタイム自動設定機能で設定されたデッドタイム付加後の逆相波形用の変化ポイントがわかります。GTDVn レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。GTDVn レジスタは 32 ビット単位でアクセスする必要があります。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。

GTDVn バッファ動作が許可されている場合、GTDBn はいつでも書き込み可能です。周期の終わりに GTDBn は GTDVn へ転送されます。GTDVn バッファ動作が禁止されている場合、GTDVn を新しい値に変更する前に、GTCR レジスタの CST ビットで GPT を停止してください。

12.2.29　汎用 PWM タイマデッドタイムバッファレジスタ n（GTDBn）（n = U, D）

アドレス：GPT32Em.GTDBU E804 3094h + 0100h × m（m = 0～7）
GPT32Em.GTDBD E804 3098h + 0100h × m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTDBn レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、GTDVn レジスタ用のバッファレジスタとして動作します。

12.2.30　汎用 PWM タイマ出力保護機能ステータスレジスタ（GTSOS）

アドレス： GPT32Em.GTSOS E804 309Ch + 0100h x m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	SOS[1:0]	出力保護機能ステータス	b1 b0 0 0：通常動作 0 1：保護状態（谷または山での転送時にGTCCRA = 0が設定された） 1 0：保護状態（谷での転送時にGTCCRA≧GTPRが設定された） 1 1：保護状態（山での転送時にGTCCRA≧GTPRが設定された）	R
b7～b2	—	予約ビット	読むと0が読めます。	R
b9、b8	—	予約ビット	読んだ場合、その値は不定。	R
b31～b10	—	予約ビット	読むと0が読めます。	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイムが自動設定（GTDTCR.TDE ビット = 1）されている場合にのみ有効です。

SOS[1:0] ビット（出力保護機能ステータス）

三角波 PWM モードにおいて、出力保護機能のステータスを示します。

12.2.31　汎用 PWM タイマ出力保護機能一時解除レジスタ（GTSOTR）

アドレス： GPT32Em.GTSOTR E804 30A0h + 0100h x m（m = 0～7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除	0：保護状態を解除しない 1：保護状態を解除する	R/W
b31～b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSOTR レジスタは、出力保護が設定されている場合に、GTIOCB 端子出力の保護状態を一時的に解除します。GTSOS.SOS[1:0] ビット = 10b（保護状態、谷での転送時に GTCCRA ≧ GTPR が設定された）の場合に限り、保護状態を解除できます。他の状態の場合には、保護状態は解除できません。

SOTR ビット（出力保護機能一時解除）

出力保護状態時に、GTIOCB 端子出力の保護状態を一時的に解除するか否かを設定します。SOTR ビットを 1 にすると、最初に現れる谷以降の出力保護機能が解除されます。SOTR ビットを 0 にすると、最初に現れる谷以降の出力保護機能が再開します。

12.2.32　汎用 PWM タイマイベントコントロールレジスタ（GTECR）

アドレス： GPT.GTECR E804 3800h

	b7	b6	b5	b4	b3	b2	b1	b0
	EVCON	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6～b0	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	EVCON	全イベント連携機能有効	0：イベント連携機能は無効 1：イベント連携機能は有効	R/W

GTECR レジスタは、イベント連携機能を制御するレジスタです。

12.2.33　汎用 PWM タイマイベントソース設定レジスタ（GTESRn）(n = 0 ～ 7)

アドレス：GPT.GTESR0 E804 3810h, GPT.GTESR1 E804 3814h, GPT.GTESR2 E804 3818h, GPT.GTESR3 E804 381Ch
GPT.GTESR4 E804 3820h, GPT.GTESR5 E804 3824h, GPT.GTESR6 E804 3828h, GPT.GTESR7 E804 382Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	EVS[6:0]						
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6～b0	EVS[6:0]	イベントソース選択	0000000：対応するイベント信号への出力は禁止 0000001～1000000b：選択するイベント信号の番号を指定 上記以外は設定しないでください。	R/W
b15～b7	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTESRn レジスタは、イベント入力ごとに選択するイベント信号を指定するレジスタです。GTESRn レジスタとイベント入力名の対応を**表 12.6** に示します。

表 12.6　GTESRn レジスタとイベント入力名の対応

レジスタ名	イベント名
GTESR0	イベント入力 A
GTESR1	イベント入力 B
GTESR2	イベント入力 C
GTESR3	イベント入力 D
GTESR4	イベント入力 E
GTESR5	イベント入力 F
GTESR6	イベント入力 G
GTESR7	イベント入力 H

12.3　動作説明

12.3.1　基本動作

各チャネルには 32 ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタがカウント周期を制御します。GTCNT カウンタ値が GTCCRA または GTCCRB レジスタの値と一致する場合、対応する GTIOCA 端子または GTIOCB 端子からの出力を変更できます。GTCCRA または GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用可能です。

GTCCRC および GTCCRD レジスタは、GTCCRA レジスタ用のバッファレジスタとして機能します。また、GTCCRE および GTCCRF レジスタは、GTCCRB レジスタ用のバッファレジスタとして機能します。

12.3.1.1　カウンタの動作

(1)　カウンタスタート／ストップ

各チャネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始します。GTCR.CST ビット値は以下の要因によって変化します。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 の場合、GTSTR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 の場合、GTSTP レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因

(2)　カウントクロックによるアップカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、対応する GTCR.CST ビットが 1 で、GTUPSR および GTDNSR レジスタが 00000000h の場合に、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバフロー）すると、GTST.TCFPO フラグが 1 になります。GTCNT カウンタはオーバフロー時、00000000h からアップカウントを継続します。

アップカウント時の周期カウント動作例を図 12.2 に示します。

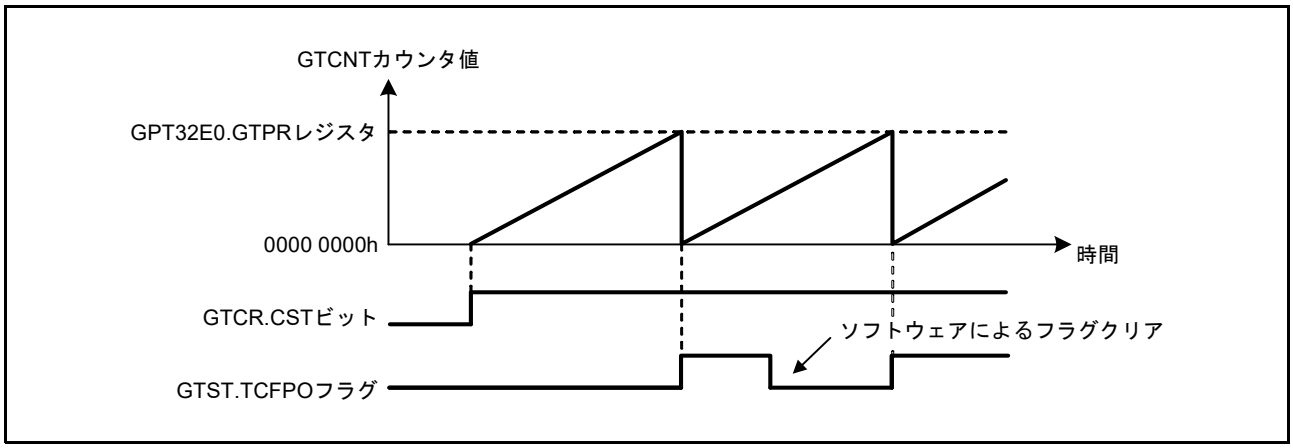


図 12.2　カウントクロックによるアップカウント時の周期カウント動作例

アップカウント時の周期カウント動作設定例を図 12.3 に示します。

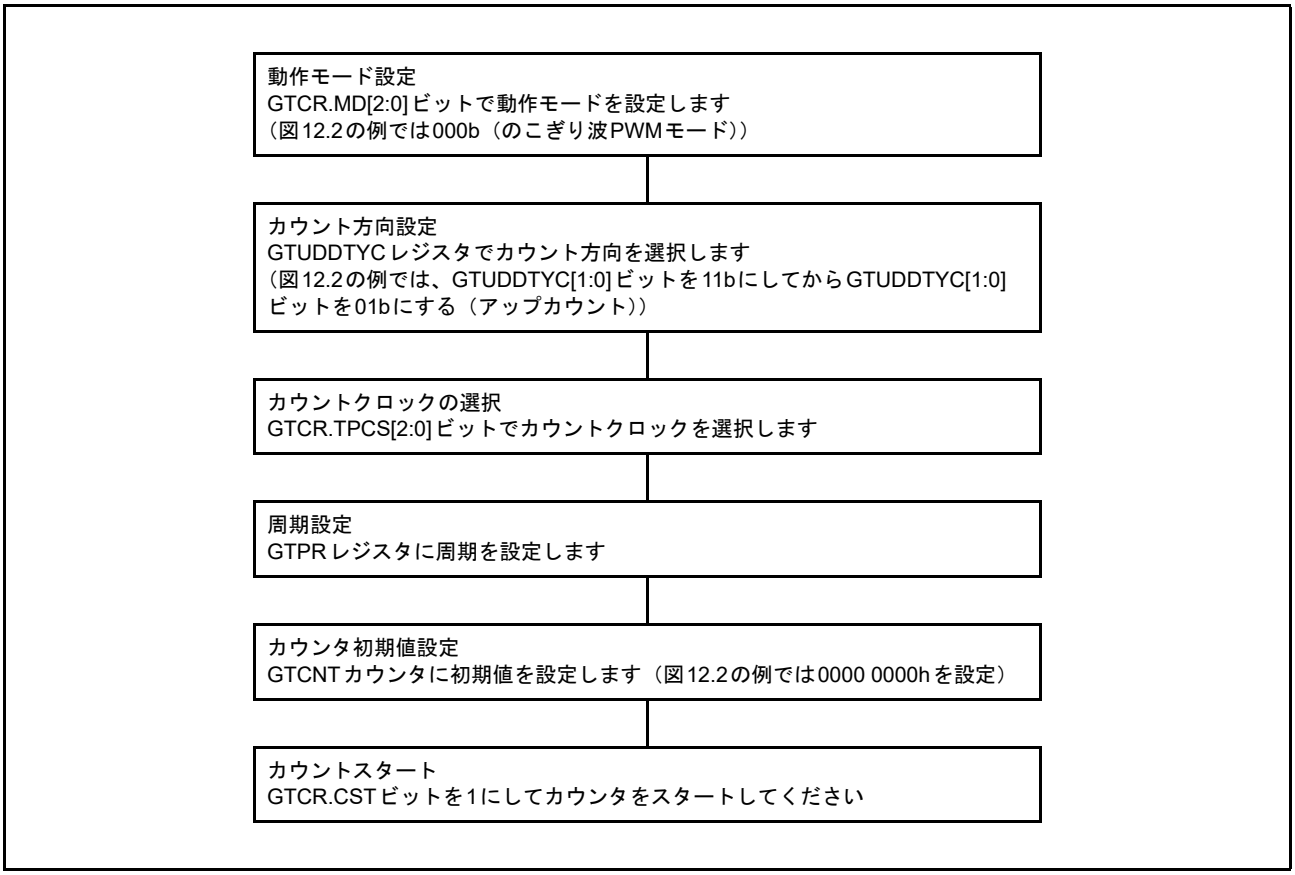


図 12.3　　カウントクロックによるアップカウント時の周期カウント動作設定例

(3) カウントクロックによるダウンカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 00000000h にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化（アンダフロー）すると、GTST.TCFPU ビットが 1 になります。GTCNT カウンタがアンダフローすると、GTPR 値からダウンカウントを再開します。

カウントクロックによるダウンカウント時の周期カウント動作例を図 12.4 に示します。

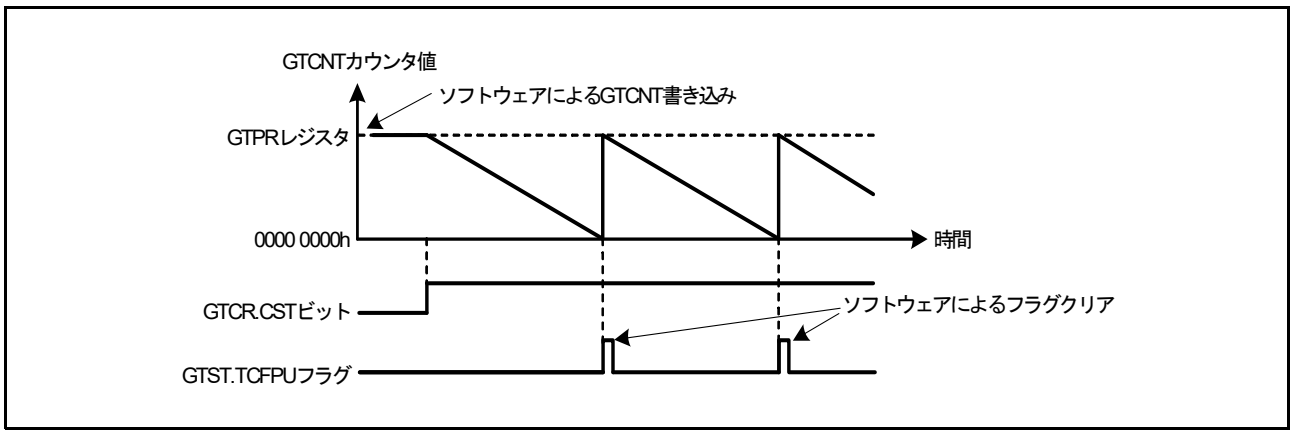


図 12.4　　カウントクロックによるダウンカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作設定例を図 12.5 に示します。

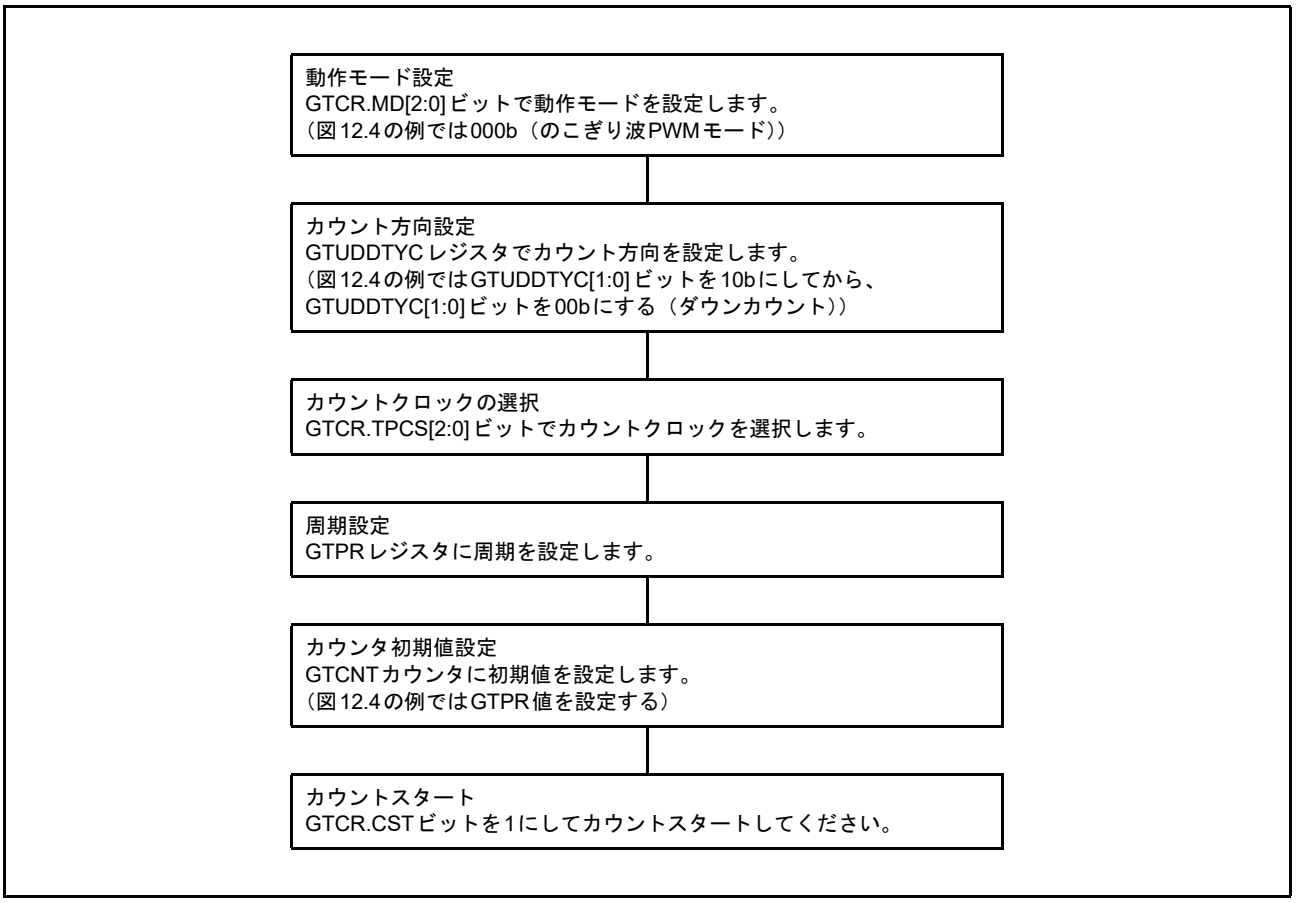


図 12.5　　カウントクロックによるダウンカウント時の周期カウント動作設定例

(4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因によるアップカウントを実行できます。

GTUPSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウントのオーバフロー動作は、カウントクロックによるアップカウントのオーバフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるカウントアップを行う場合、カウント動作が有効になります。GTCR.CST ビットを 1 にした後も、カウント動作は GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0] ビットで指定された 1 クロックサイクルの間、カウンタはカウントアップを行えません。GTCR.CST ビットを 1 にした後、P1φ 1 クロック分の遅延でカウントアップするためには GTCR.TPCS[2:0] ビットに 000b を設定してください。

ハードウェア要因（GTETRGA 端子の立ち上がりエッジ）によるアップカウント時の周期カウント動作例を**図 12.6** に示します。

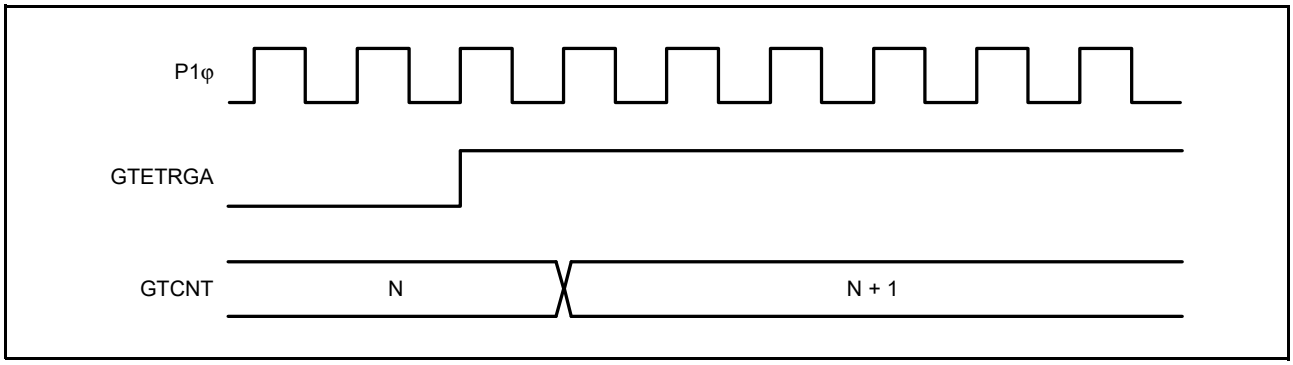


図 12.6　ハードウェア要因によるアップカウント時の周期カウント動作例

カウントクロックによるアップカウント時の周期カウント動作設定例を**図 12.7** に示します。

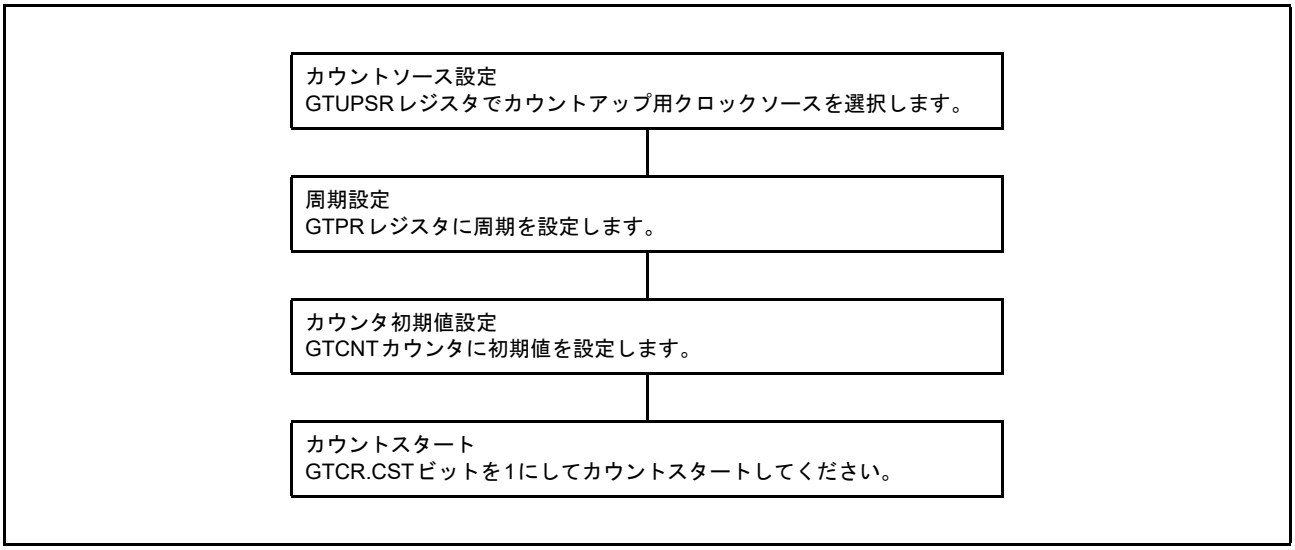


図 12.7　ハードウェア要因によるアップカウント時のイベントカウント動作設定例

(5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因によるダウンカウントを実行できます。

GTDNSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウントのアンダフロー動作は、カウントクロックによるダウンカウントのアンダフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるカウントダウンを行うと、カウント動作が有効になります。GTCR.CST ビットを 1 にした後も、カウント動作は GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0] ビットで指定された 1 クロックサイクルの間、カウンタはカウントダウンを行えません。GTCR.CST ビットを 1 にした後、P1φ 1 クロック分の遅延でカウントダウンするためには GTCR.TPCS[2:0] ビットに 000b を設定してください。

ハードウェア要因（GTETRGA 端子の立ち上がりエッジ）によるダウンカウント時の周期カウント動作例を**図 12.8** に示します。

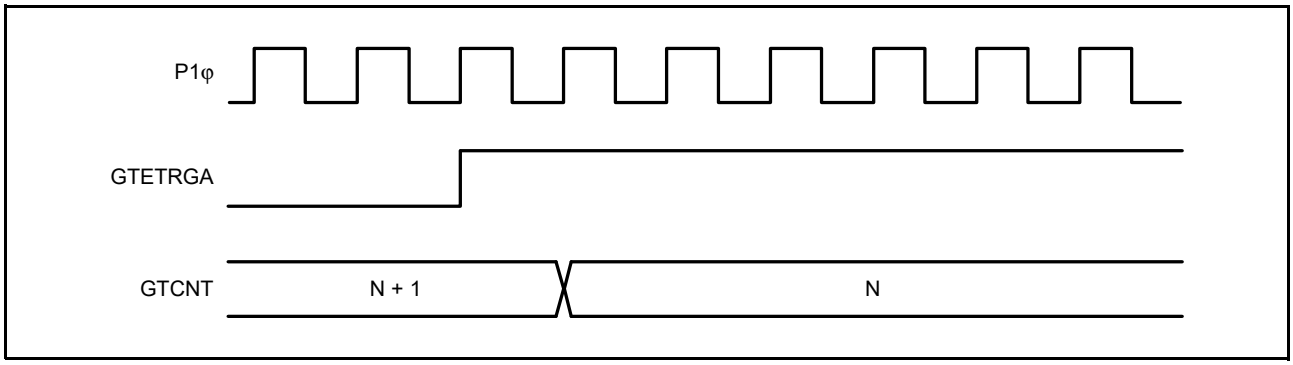


図 12.8　イベントカウント動作例（ハードウェア要因によるダウンカウント時）

ハードウェア要因によるダウンカウント時の周期カウント動作設定例を**図 12.9** に示します。

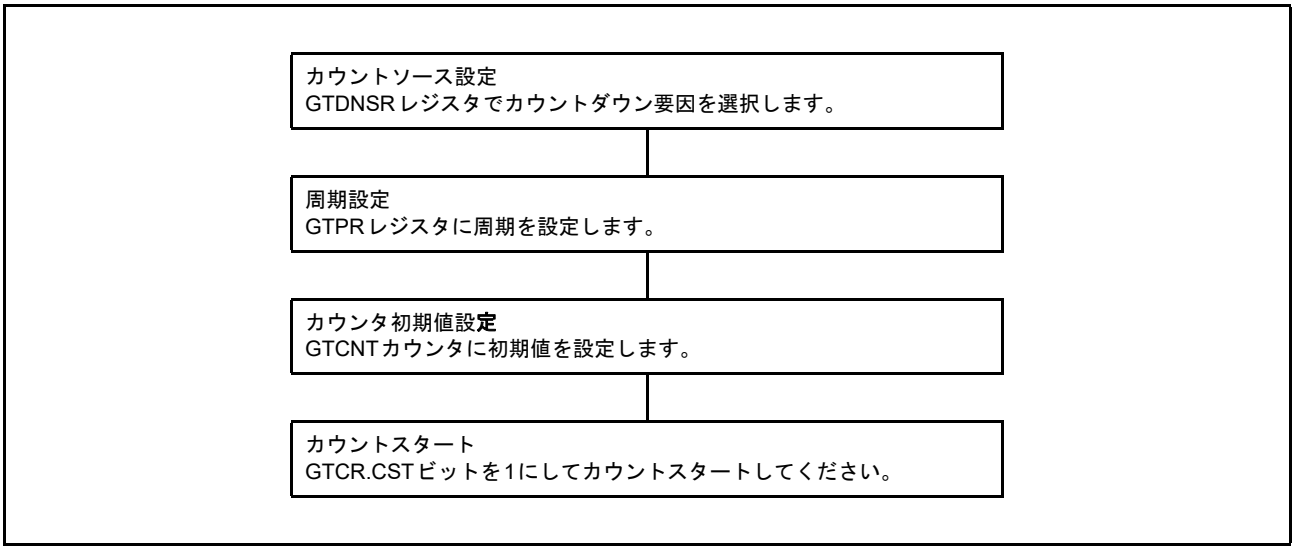


図 12.9　ハードウェア要因によるダウンカウント時のイベントカウント動作設定例

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアされます。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 の場合、GTCLR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作時は、GTCNT レジスタへの書き込みはしないでください。GTCNT カウンタは、カウント中でも（GTCR.CST ビット = 1）、カウント中でなくても（GTCR.CST ビット = 0）、GTCLR レジスタへの 1 の書き込みとハードウェア要因のクリア要求の両方の方法でクリアできます。

GTCR.MD[2:0] ビットおよびダウンカウント（GTST.TUCF ビット = 0）を示すカウント方向フラグで指定したのこぎり波の場合、GTCLR レジスタに 1 を書き込むか、或いはハードウェア要因によりクリアすると、GTCNT レジスタは GTPR レジスタの値に設定されます。のこぎり波モードでもダウンカウントでもない場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 ビットが 1 の場合のイベントカウント動作では、クリア要因発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアがただちに実行され、P1φ と同期が取られます。その他の設定を使用すると、GTCR.TPCS[2:0] ビットで選択したカウンタクロックと同期してクリアが実行されます。

12.3.1.2　コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCA または GTIOCB 出力端子から Low 出力／High 出力／トグル出力を行うことができます。また、GTPR レジスタで決定される “ 周期の終わり ” でも、GTIOCA または GTIOCB 端子出力を Low 出力／ High 出力／トグル出力とすることができます。

“ 周期の終わり ” とは、以下の場合です。

- アップカウント時ののこぎり波の場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバフロー）
- ダウンカウント時ののこぎり波の場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1)　Low 出力／ High 出力

GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力／ High 出力の動作例を図 12.10 に示します。

この例では、GPT32E0.GTCNT カウンタがアップカウント動作を行い、GPT32E0.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子から High が出力され、GPT32E0.GTCCRB レジスタのコンペアマッチによって GTIOC0B 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合、端子レベルは変化しません。

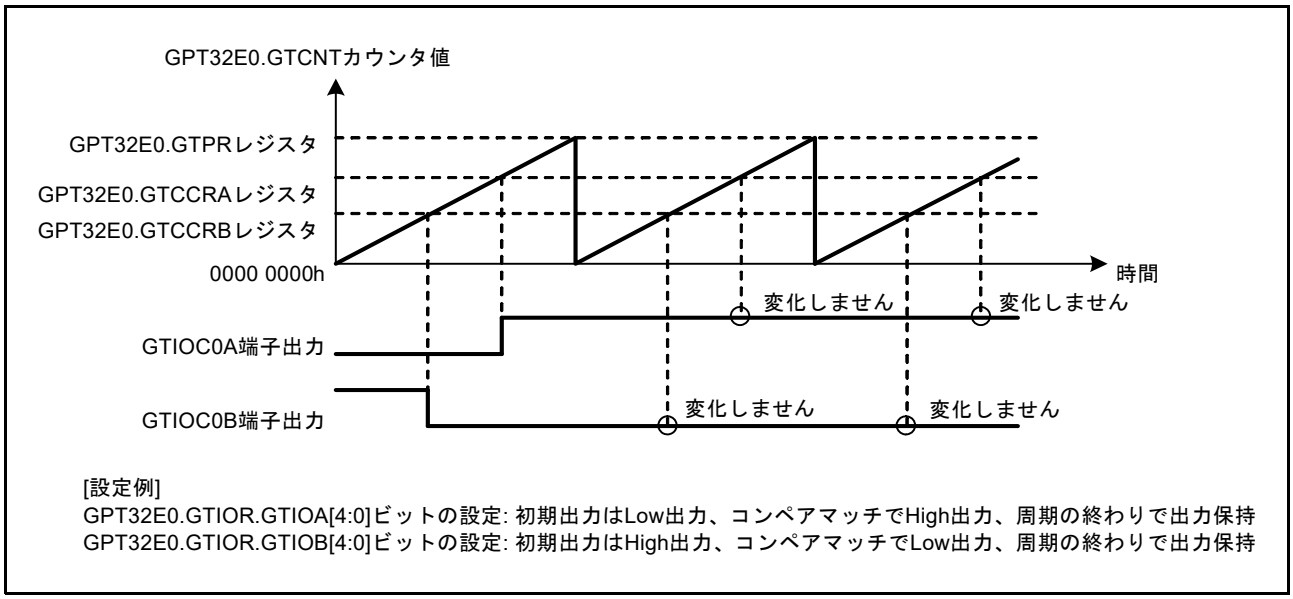


図 12.10　Low 出力／ High 出力動作例

Low 出力／ High 出力動作設定例を図 12.11 に示します。

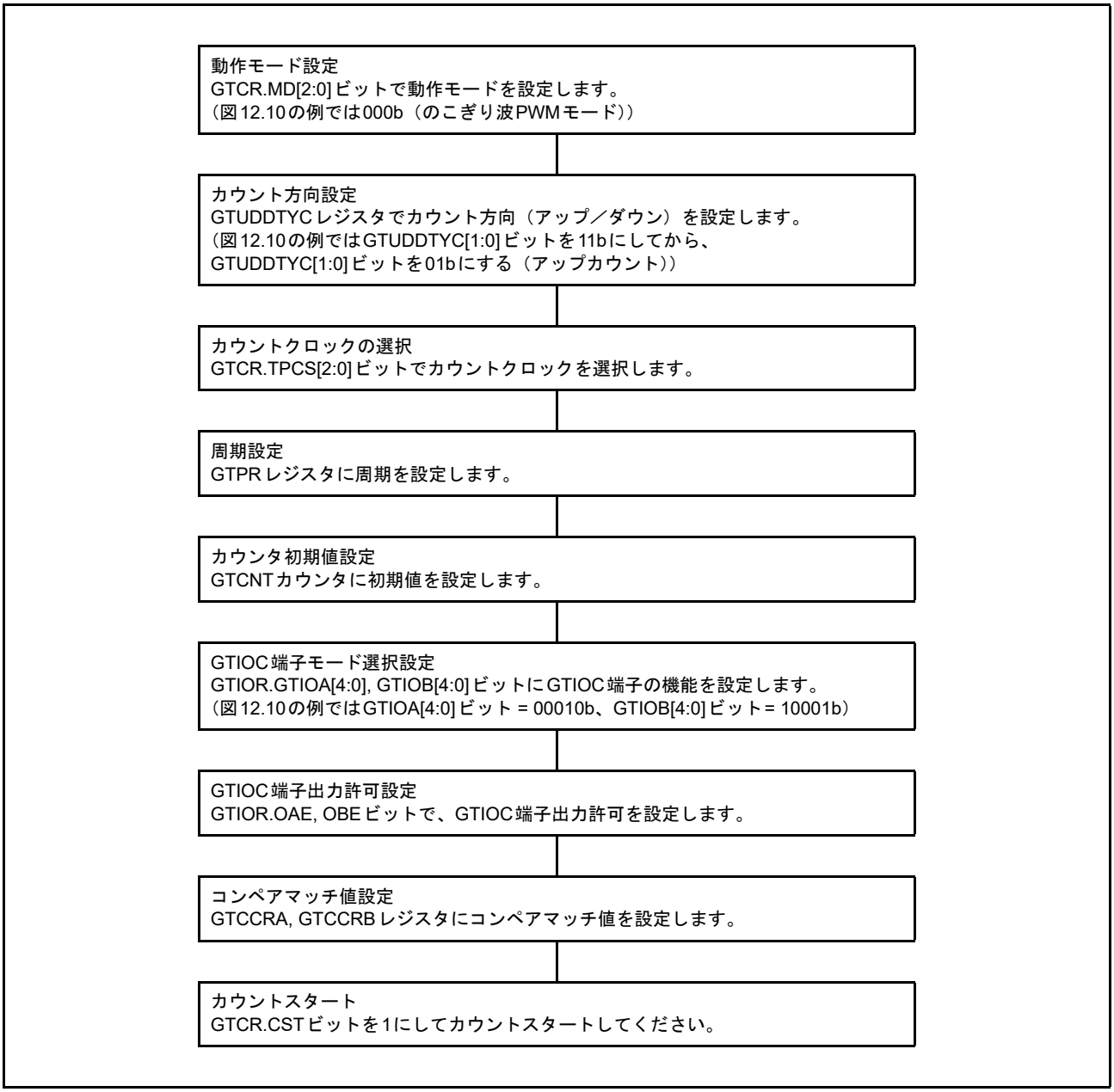


図 12.11　Low 出力／ High 出力動作設定例

(2)　トグル出力

GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力の動作例を、図 12.12 および図 12.13 に示します。図 12.12 は、GPT32E0.GTCNT カウンタがアップカウント動作を行い、GPT32E0.GTCCRA、GPT32E0.GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOC0A 端子と GTIOC0B 端子がトグル出力となるように設定した場合の例です。

図 12.13 は、GPT32E0.GTCNT カウンタがアップカウント動作を行い、GPT32E0.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。

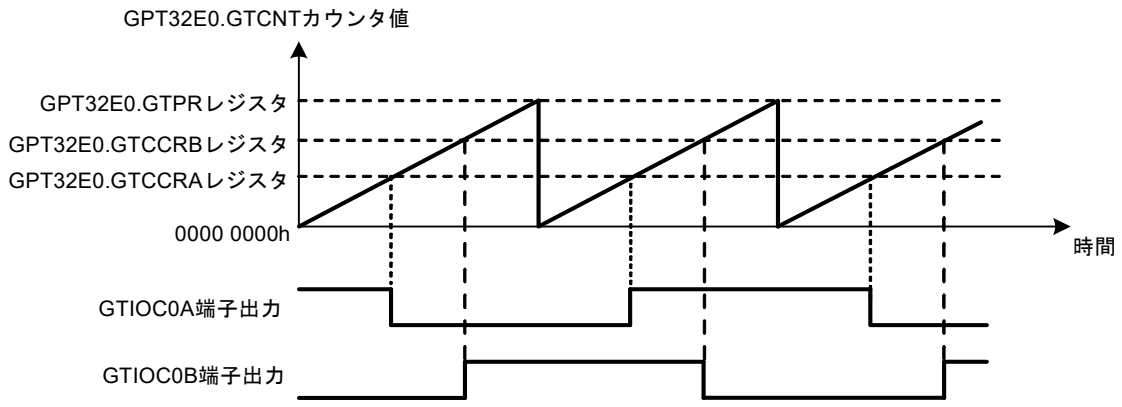


図 12.12　　トグル出力動作例（1）

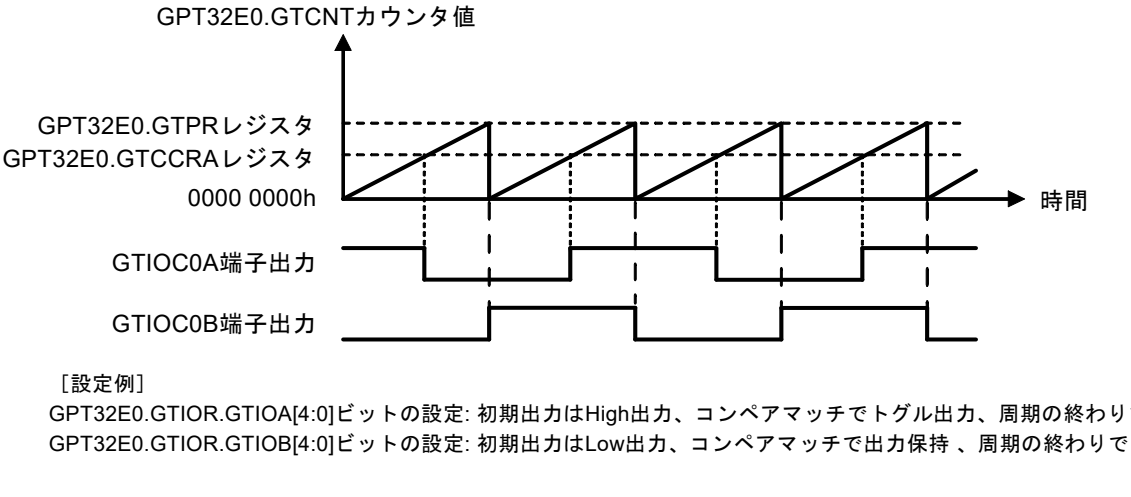


図 12.13　　トグル出力動作例（2）

トグル出力動作設定例を図 12.14 に示します。

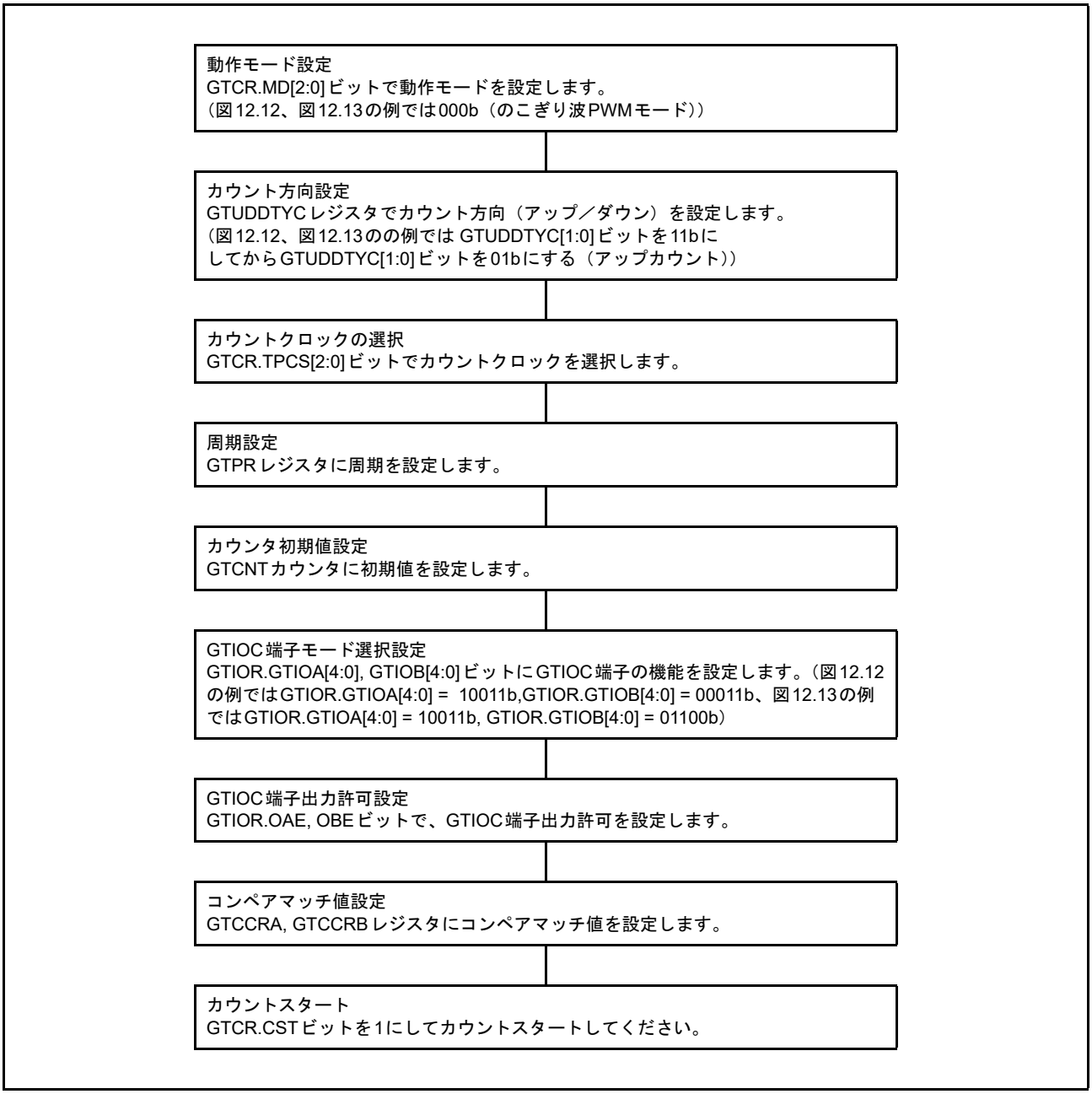


図 12.14　　トグル出力動作設定例

12.3.1.3　インプットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インプットキャプチャ機能の動作例を図 12.15 に示します。

この例では、カウントクロックで GPT32E0.GTCNT カウンタがアップカウント動作を行い、GTIOC0A 入力端子の両エッジで GTICCRA レジスタにインプットキャプチャを実行し、GTIOC0B 入力端子の立ち上がりエッジで GTICCRB レジスタにインプットキャプチャを実行するように設定しています。

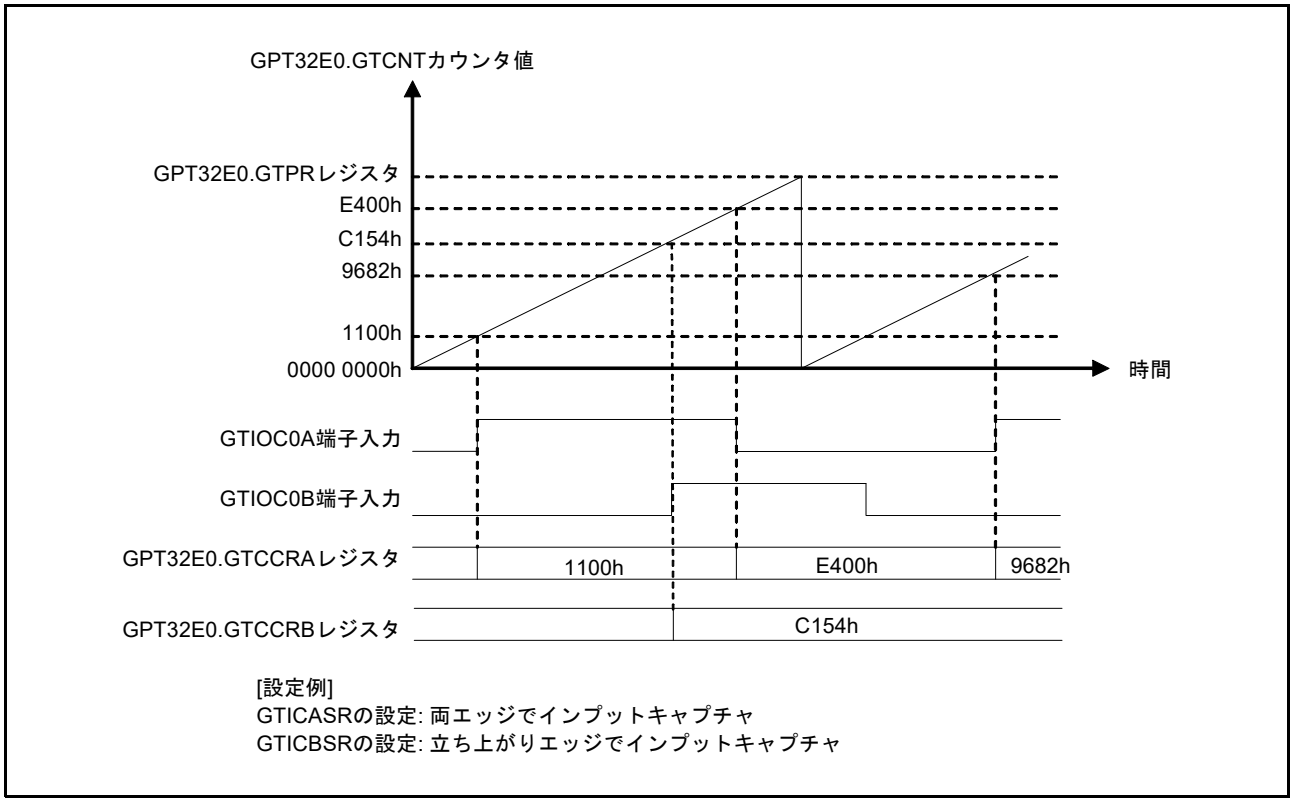


図 12.15　インプットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作設定例を図 12.16 に示します。

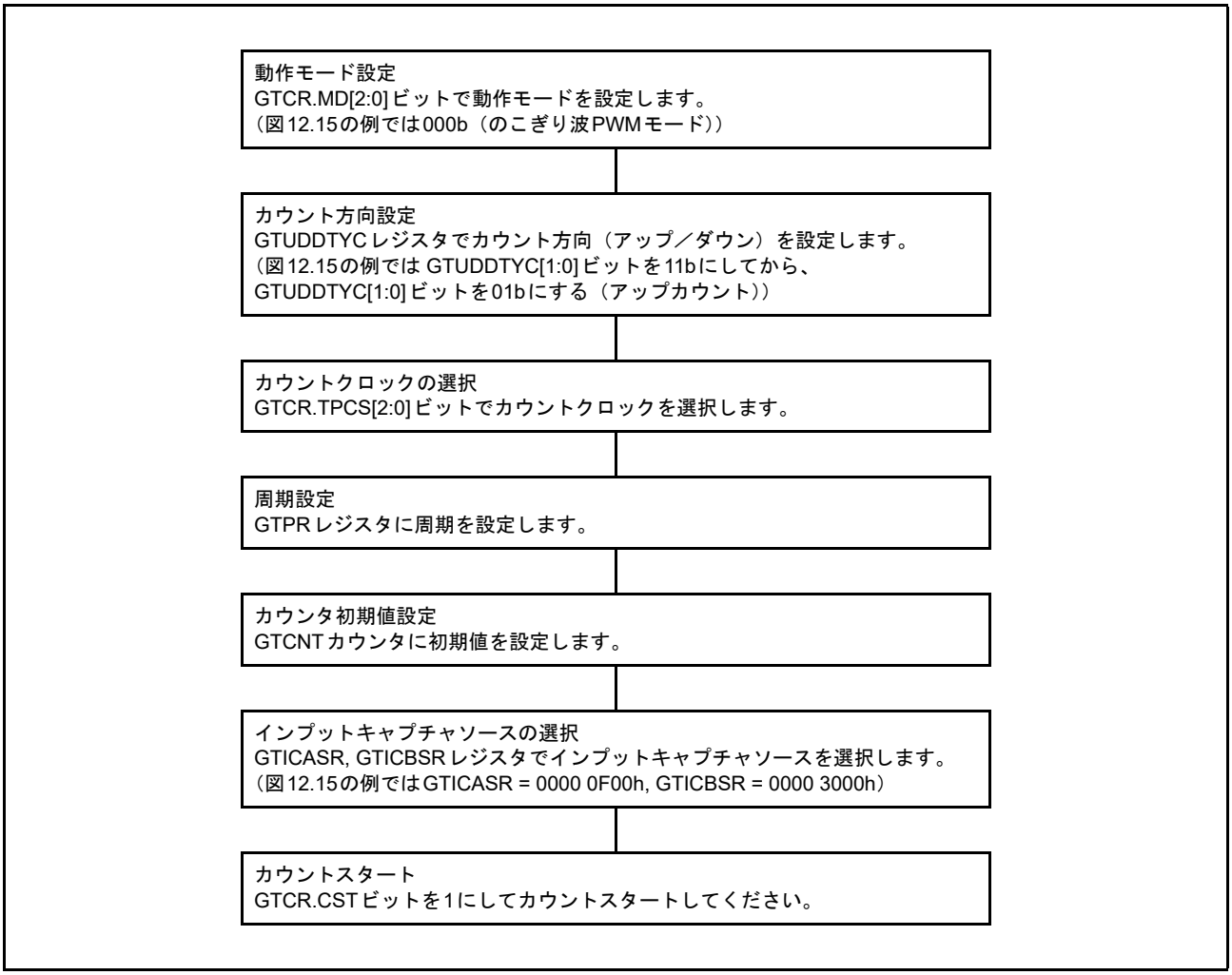


図 12.16　インプットキャプチャ動作設定例

12.3.2　バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR、GTPBR、および GTPDBR
- GTCCRA、GTCCRC、および GTCCRD
- GTCCRB、GTCCRE、および GTCCRF
- GTADTRA、GTADTBRA、および GTADTDBRA
- GTADTRB、GTADTBRB、および GTADTDBRB

GTDTCR レジスタを設定することにより、以下のバッファ動作が可能です。

- GTDVU および GTDBU
- GTDVD および GTDBD

12.3.2.1　GTPR レジスタのバッファ動作

GTPBR レジスタは GTPR レジスタのバッファレジスタ、GTPDBR レジスタは GTPBR レジスタ用のバッファレジスタ（GTPR レジスタ用のダブルバッファレジスタ）として動作します。バッファ転送は、のこぎり波モードまたはイベントカウントのオーバフロー時（アップカウント中）またはアンダフロー時（ダウンカウント中）、および三角波モードの谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR[23:0] ビットで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR[n] ビットが 1、n＝チャネル番号）

GTPR レジスタのダブルバッファ動作を設定するには、GTBER.PR[1:0] ビットを 10b または 11b にしてください。GTPR レジスタのバッファ動作を設定しない場合は、GTBER.PR[1:0] ビットを 00b にしてください。

GTPR レジスタのバッファ動作例を図 12.17 ～図 12.19 に、GTPR レジスタのバッファ動作設定例を図 12.20 に示します。

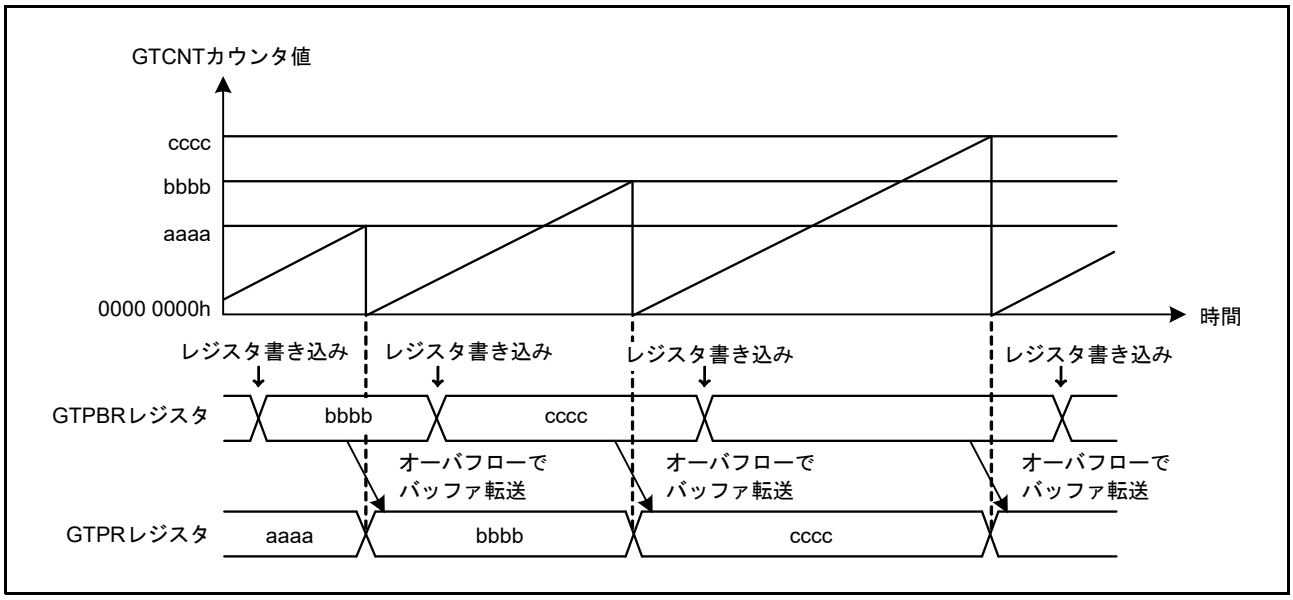


図 12.17　GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

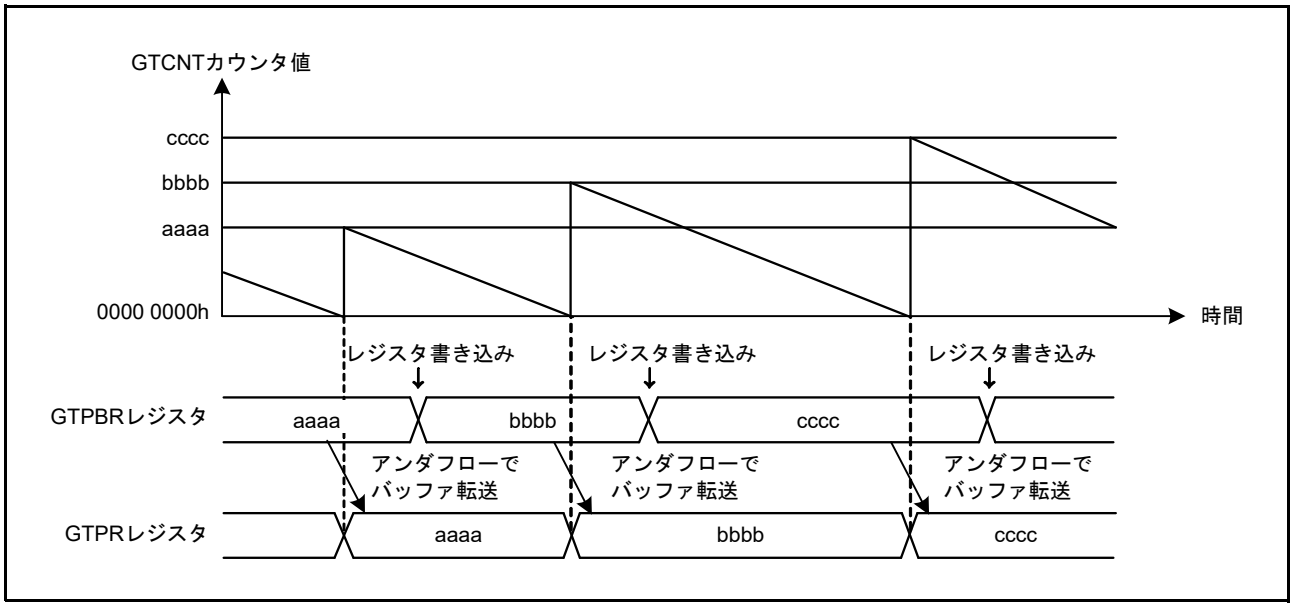


図 12.18　GTPR レジスタのバッファ動作例（のこぎり波でダウンカウントの場合）

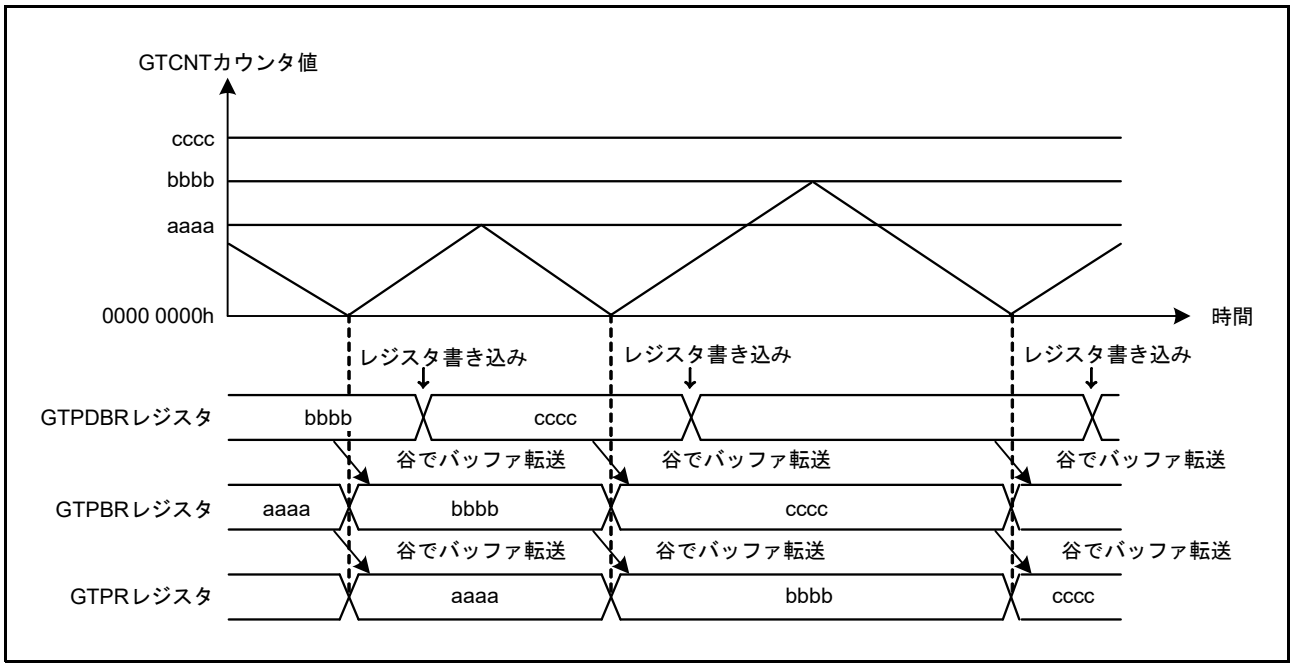


図 12.19　GTPR レジスタのダブルバッファ動作例（三角波の場合）

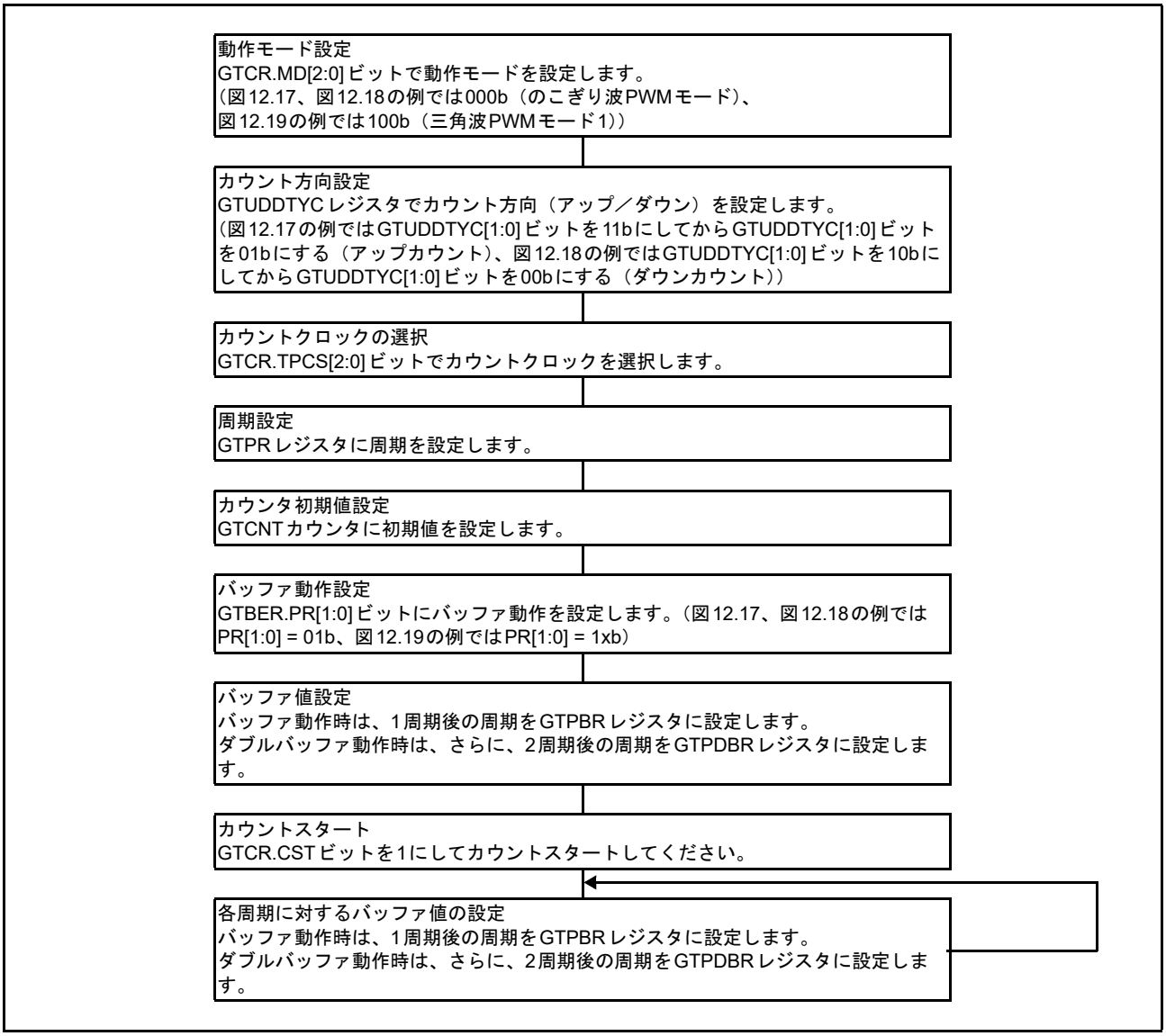


図 12.20　GTPR レジスタのバッファ動作設定例

12.3.2.2　GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ（GTCCRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ（GTCCRB レジスタのダブルバッファレジスタ）として動作します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 10b または 11b にします。シングルバッファとして動作設定するには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 01b にします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 00b にします。

(1)　GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送は以下の状況で発生します。

- オーバフロー／アンダフローによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、オーバフロー時（アップカウント中）またはアンダフロー時（ダウンカウント中）に、バッファ転送が実行されます。三角波モードでは、谷（三角波 PWM モード 1）または山と谷（三角波 PWM モード 2）で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、カウント中に**「12.3.2.1　GTPR レジスタのバッファ動作」**に示すものと同じカウンタクリア要因によって、バッファ転送が（アップカウント中のオーバフロー時またはダウンカウント中のアンダフロー時と同様に）実行されます。三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- バッファ強制転送
  カウント停止中に GTBER.CCRSWT ビットに ”1” を書くと、のこぎり波モード、イベントカウント動作、および三角波モードでは、GTCCRA および GTCCRB レジスタのバッファ転送が強制的に実行されます。さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタからテンポラリレジスタ A へのバッファ転送、および GTCCRF レジスタからテンポラリレジスタ B へのバッファ転送が実行されます。

GTCCRA および GTCCRB レジスタのバッファ動作例を図 12.21 ～図 12.23 に、GTCCRA および GTCCRB レジスタのバッファ動作設定例を図 12.24 に示します。

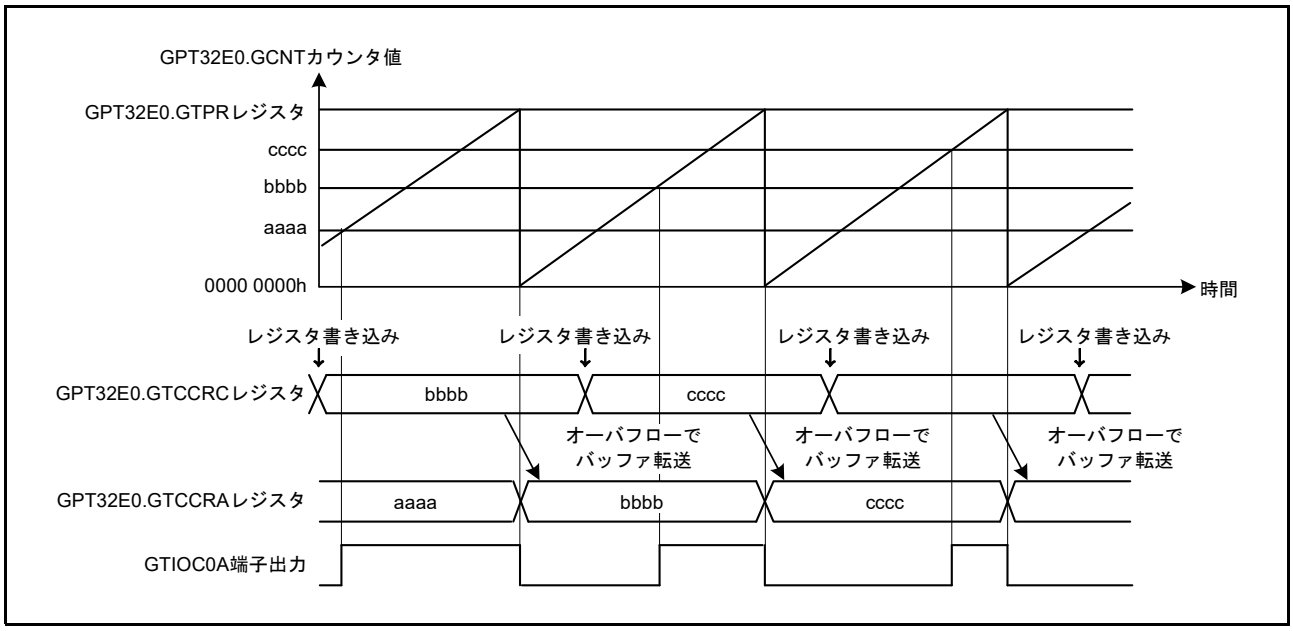


図 12.21　GTCCRA、GTCCRB レジスタのバッファ動作例（アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

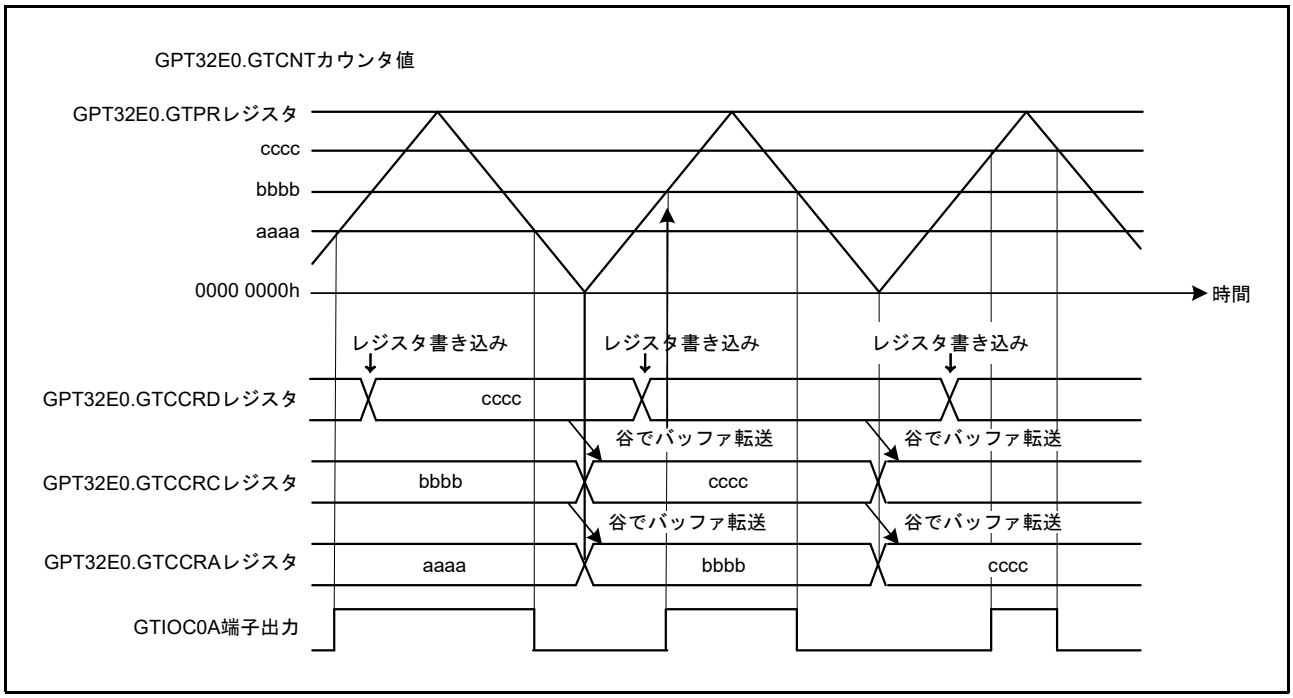


図 12.22　GTCCRA、GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

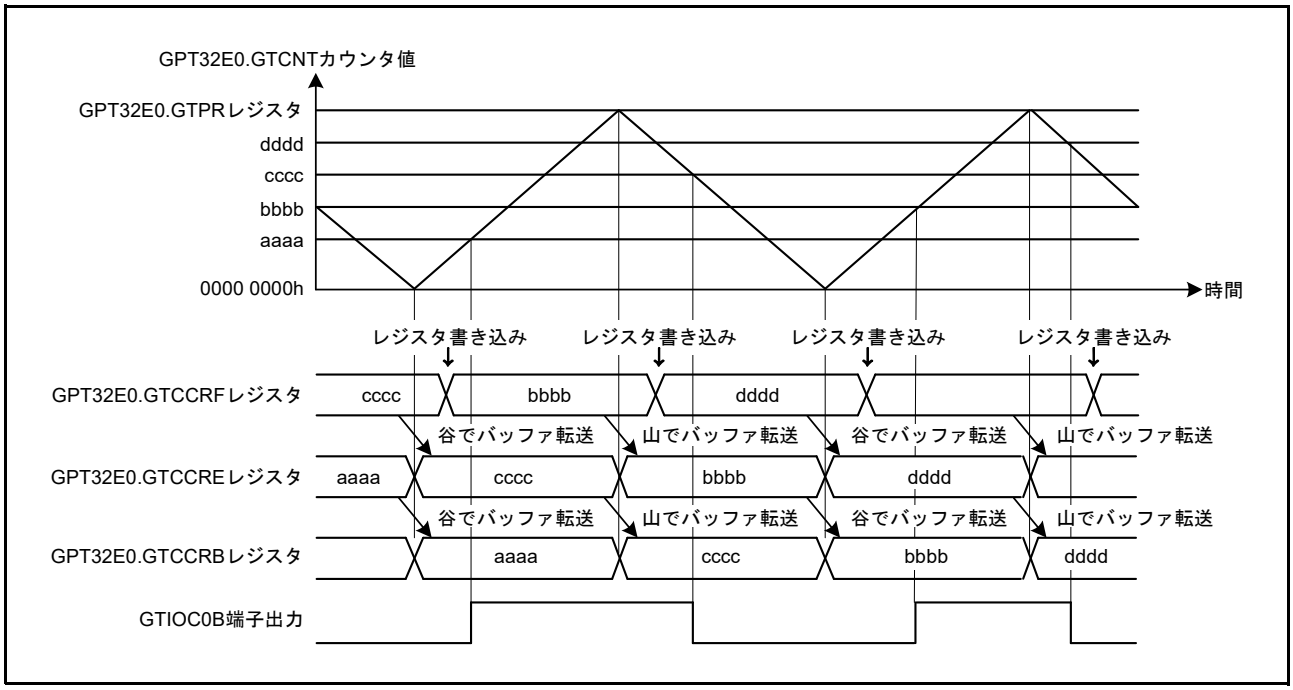


図 12.23　GTCCRA、GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

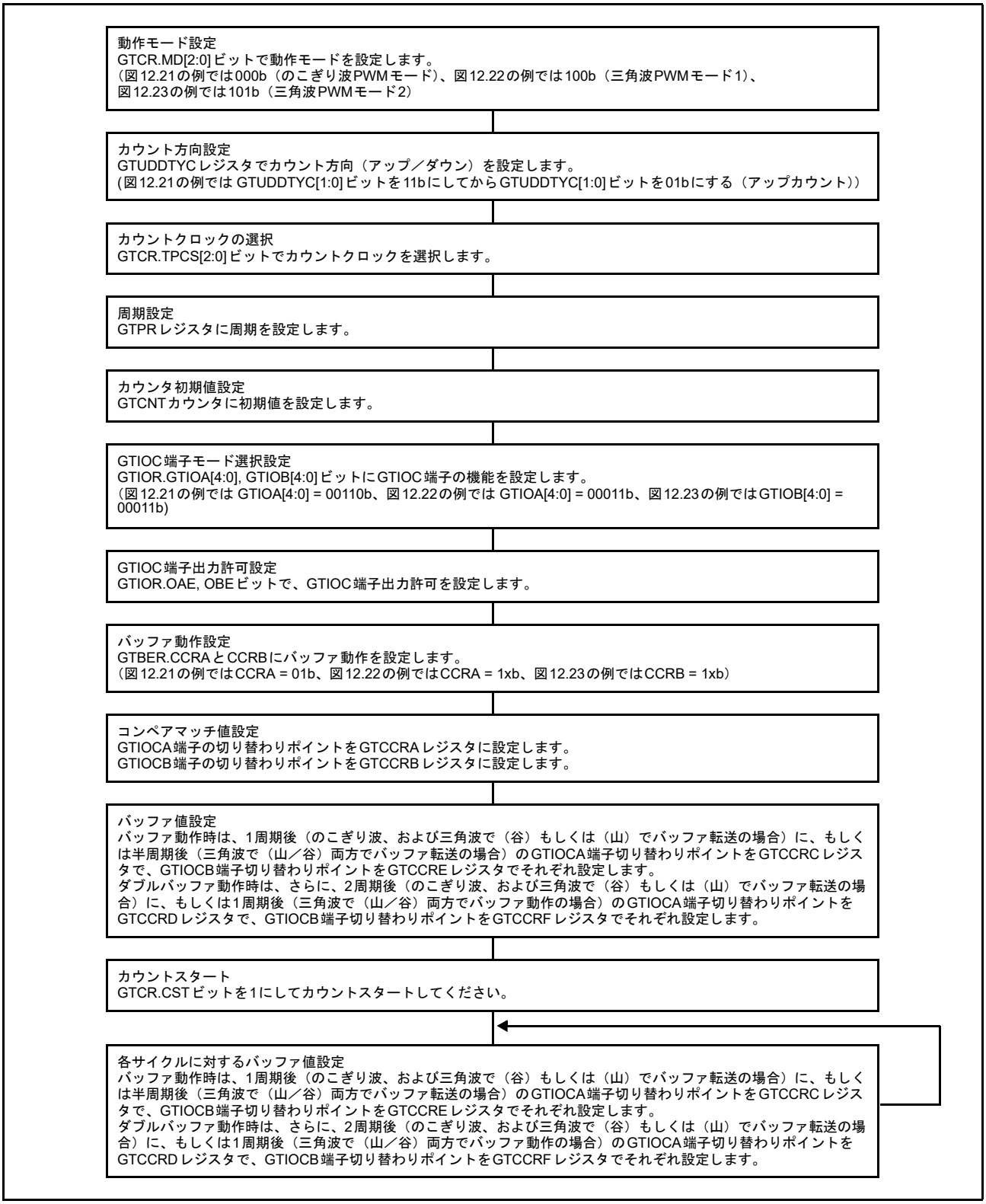


図 12.24　GTCCRA、GTCCRB レジスタのバッファ動作設定例（アウトプットコンペア時）

(2) GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

GTCCRA および GTCCRB レジスタのバッファ動作例を図 12.25 と図 12.26 に、GTCCRA、GTCCRB レジスタのバッファ動作設定例を図 12.27 に示します。

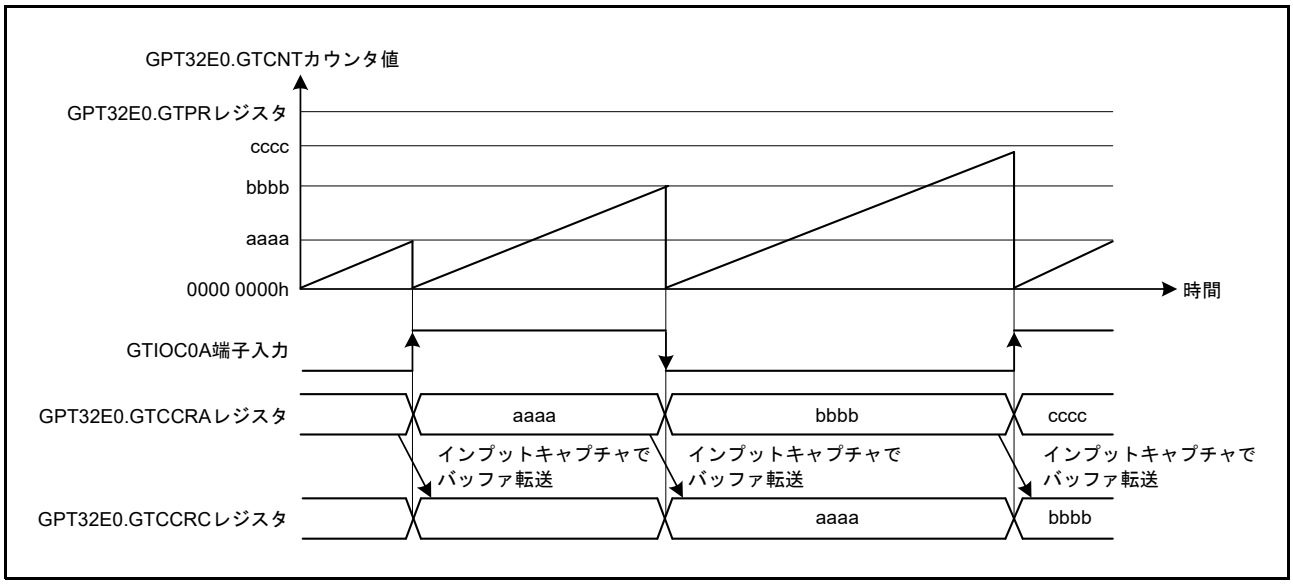


図 12.25　GTCCRA、GTCCRB レジスタのバッファ動作例（GTIOC0A 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0A 端子入力の両エッジで GTCNT カウンタクリアの場合）

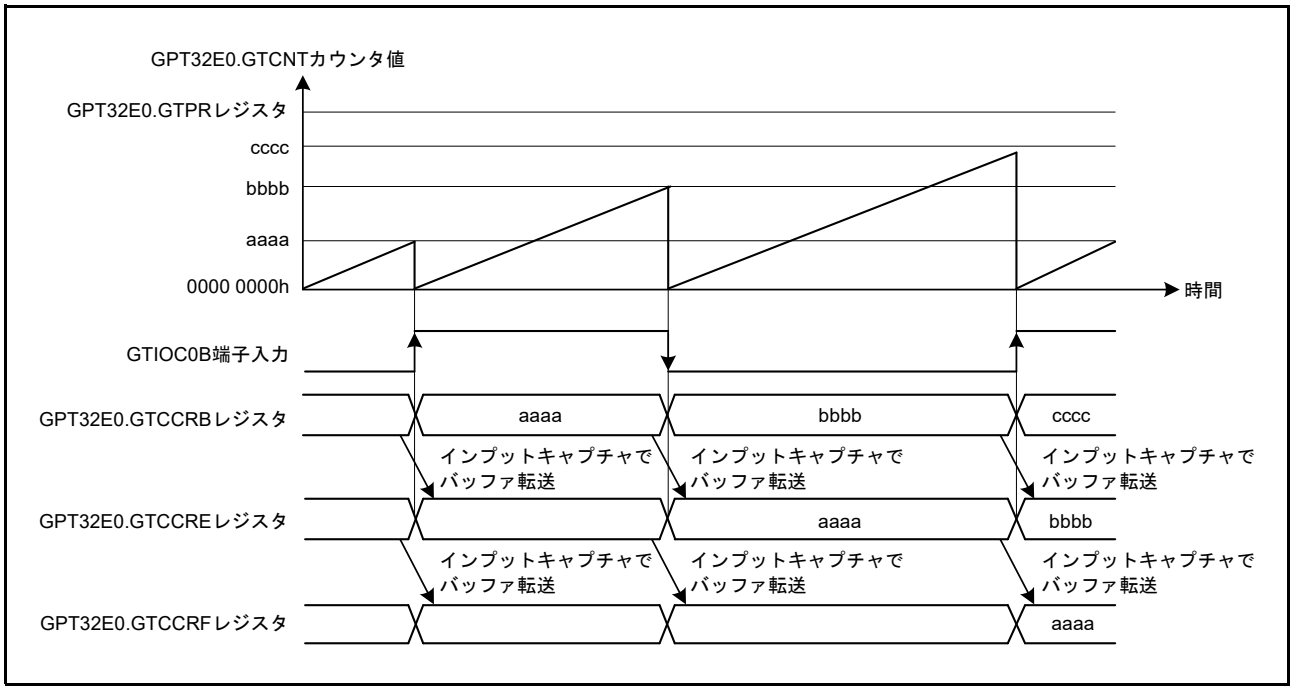


図 12.26　GTCCRA、GTCCRB レジスタのダブルバッファ動作例（GTIOC0B 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0B 端子入力の両エッジで GTCNT カウンタクリアの場合）

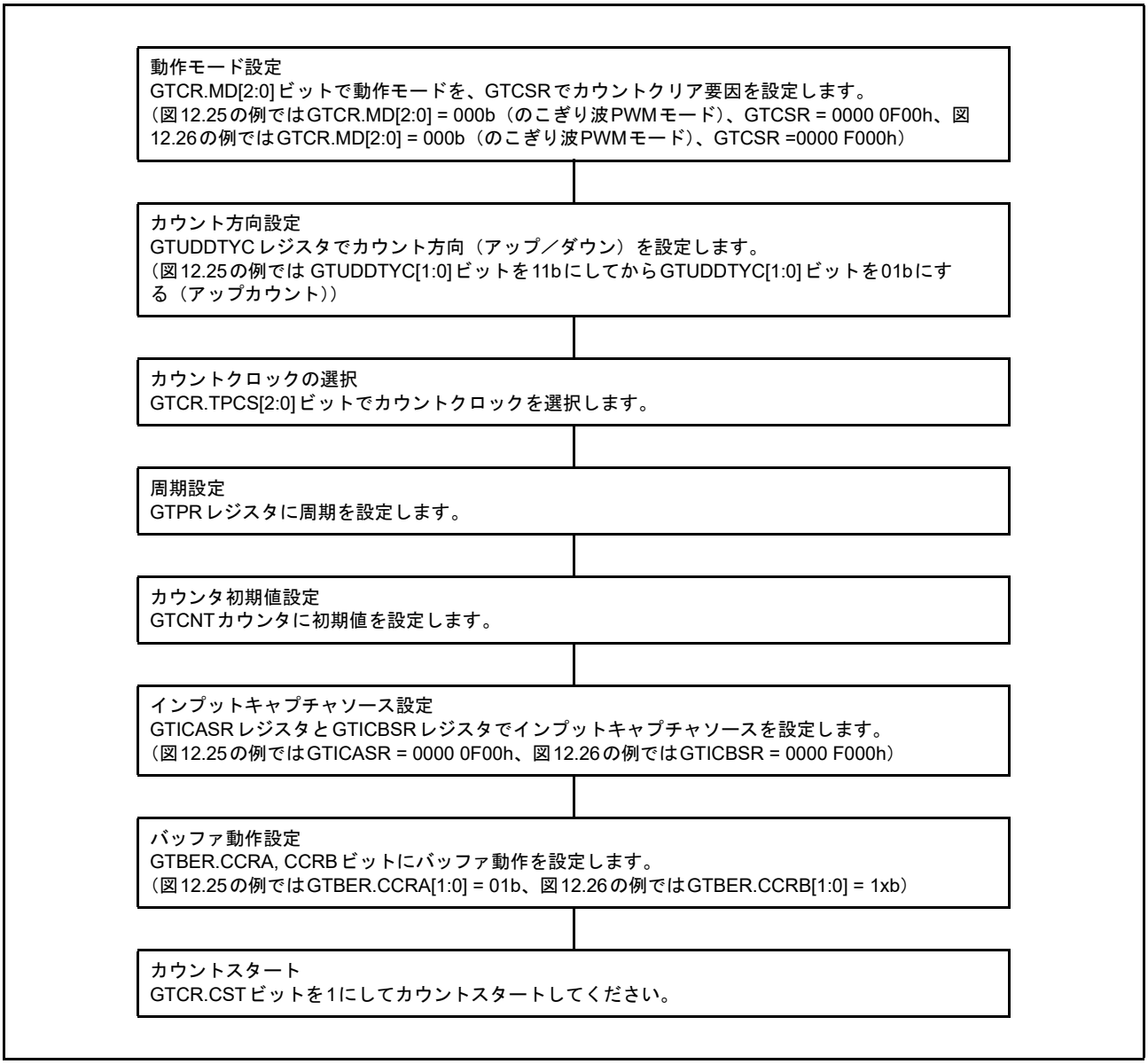


図 12.27　GTCCRA、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）

12.3.2.3　GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ（GTADTRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ（GTADTRB レジスタのダブルバッファレジスタ）として動作します。

GTADTRA または GTADTRB レジスタのダブルバッファ動作させる場合には、GTBER.ADTDA または GTBER.ADTDB ビットを 1 にします。シングルバッファとして動作設定するには、GTBER.ADTDA または GTBER.ADTDB ビットを 0 にします。GTADTRA または GTADTRB レジスタのバッファ動作させない場合は、GTBER.ADTTA[1:0] または GTBER.ADTTB[1:0] ビットを 00b にします。

バッファ転送のタイミングは、GTBER.ADTTA[1:0] ビットで設定できます。のこぎり波の場合、オーバフロー（アップカウント中）またはアンダフロー（ダウンカウント中）を選択できます。三角波の場合、GTBER.ADTTA[1:0] ビット = 01b のときは山、GTBER.ADTTA[1:0] ビット = 10b のときは谷、GTBER.ADTTA[1:0] ビット = 11b のときは山と谷の両方を選択できます。

GTADTRA および GTADTRB レジスタのバッファ動作例を図 12.28 ～図 12.30 に、GTDTRA および GTADTRB レジスタのバッファ動作設定例を図 12.31 に示します。

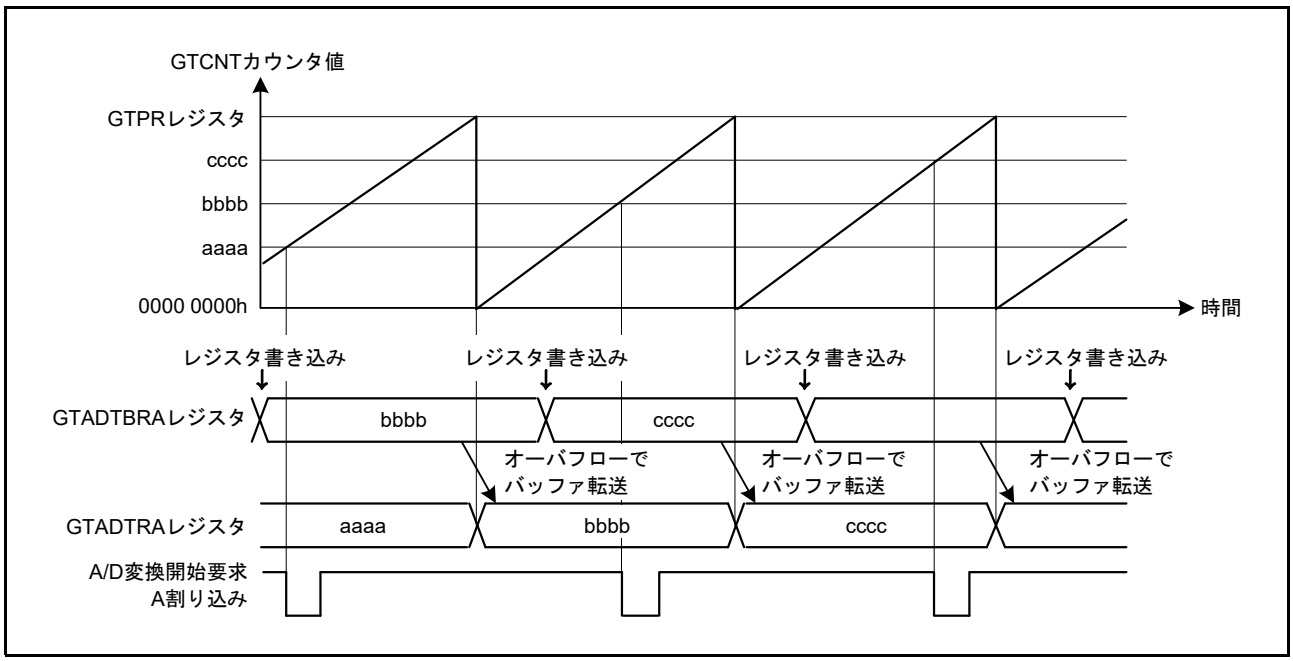


図 12.28　GTADTRA、GTADTRB レジスタのバッファ動作例（のこぎり波でアップカウント、アップカウントで A/D 変換開始要求割り込み発生の場合）

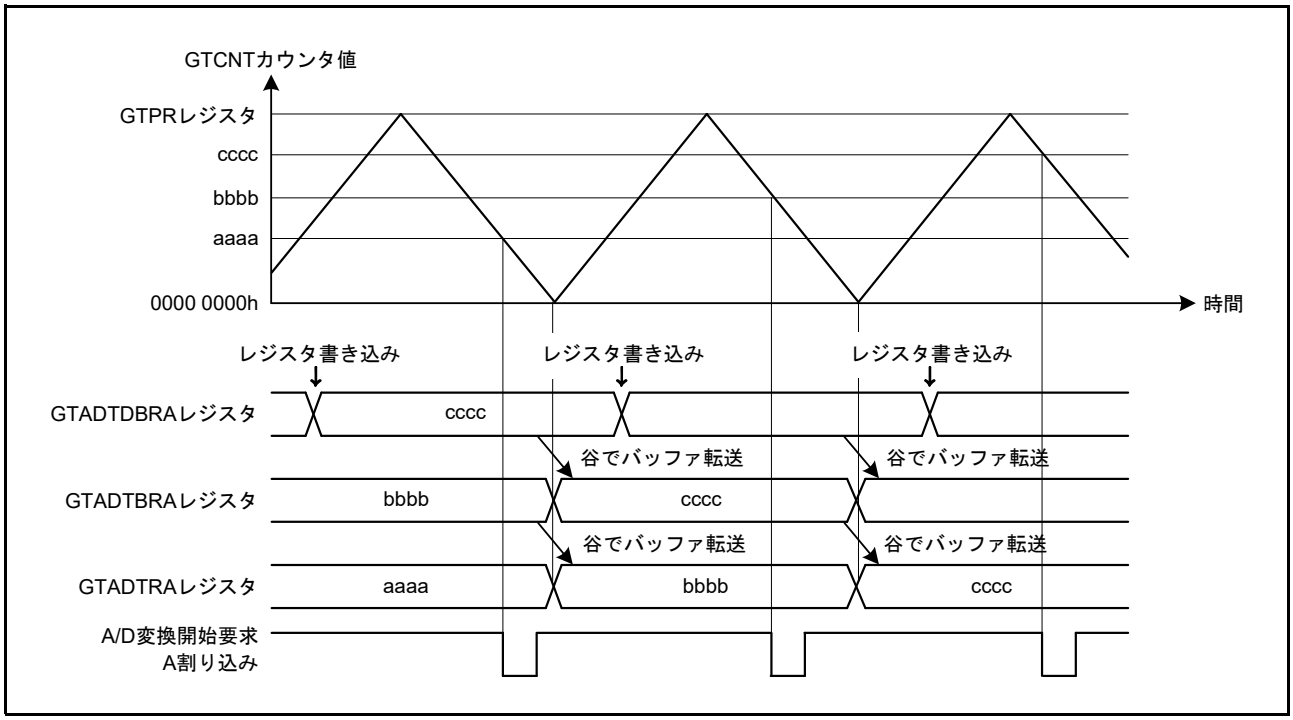


図 12.29　GTADTRA、GTADTRB レジスタのダブルバッファ動作例（三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求割り込み発生の場合）

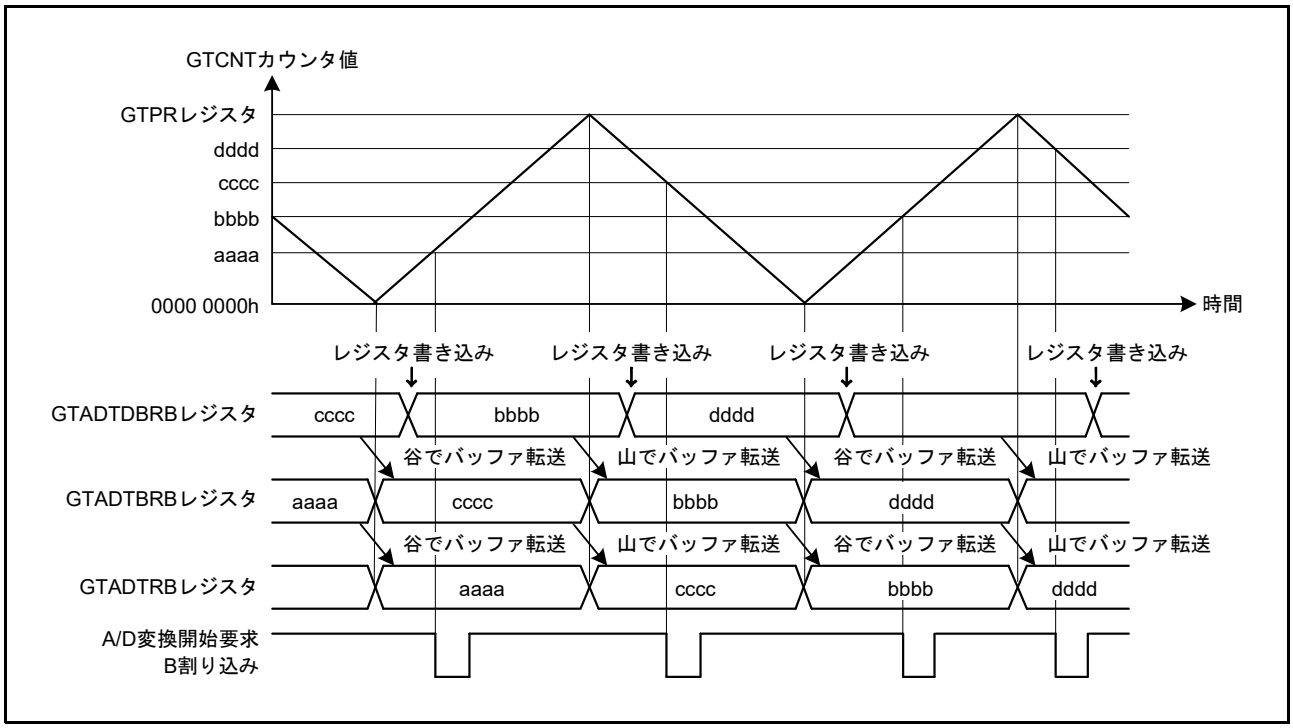


図 12.30　GTADTRA、GTADTRB レジスタのダブルバッファ動作例（三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求割り込み発生の場合）

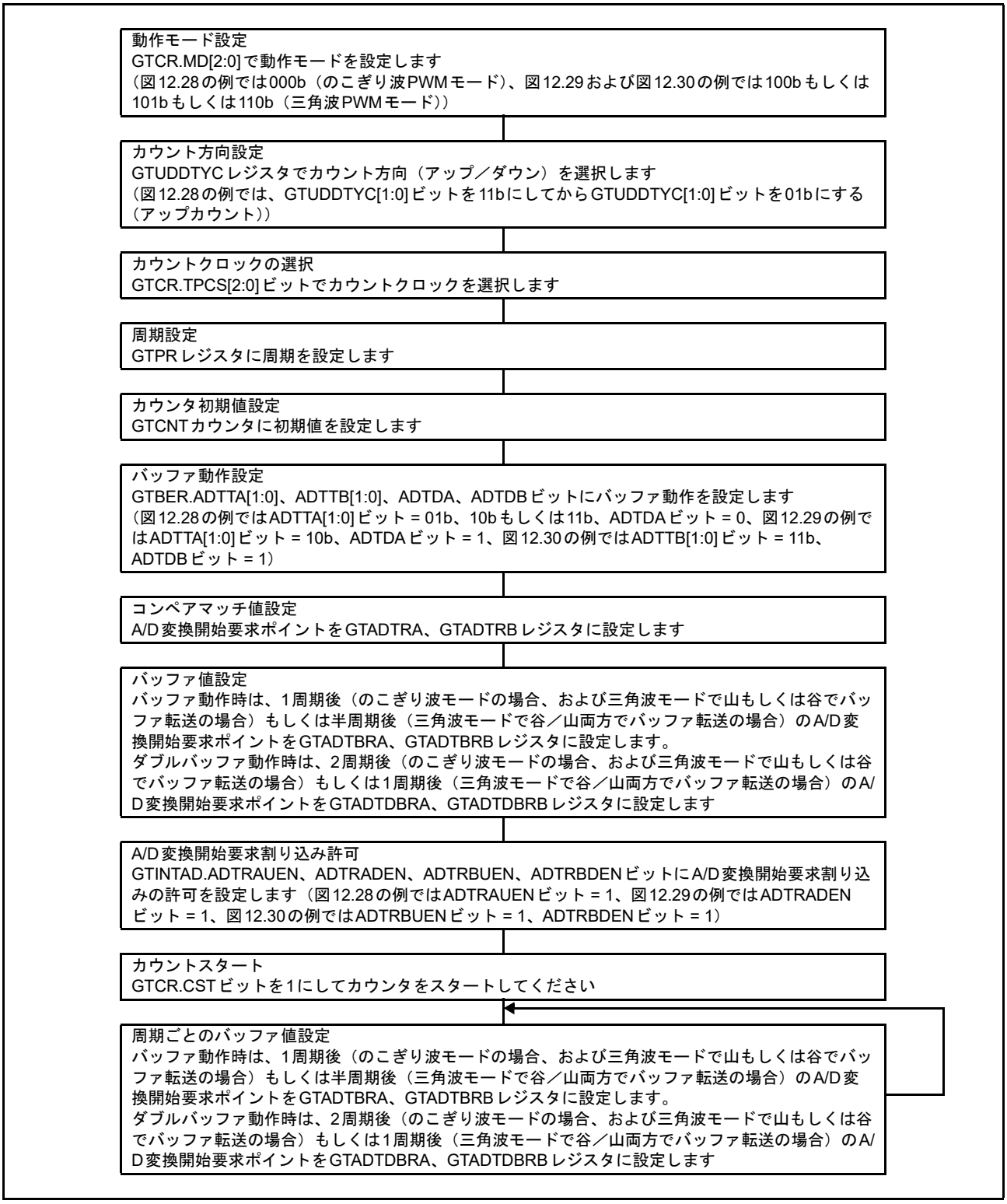


図 12.31　GTADTRA、GTADTRB レジスタのバッファ動作設定例

12.3.3　PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCA 端子または GTIOCB 端子へ PWM 波形を出力することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

12.3.3.1　のこぎり波 PWM モード

のこぎり波 PWM モードは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に、GTIOCA または GTIOCB 端子に PWM 波形を出力するモードです。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりにおいて、それぞれ個別に Low 出力／ High 出力／トグル出力から選択できます。

図 12.32 にのこぎり波 PWM モードの動作例を、**図 12.33** にのこぎり波 PWM モードの設定例を示します。

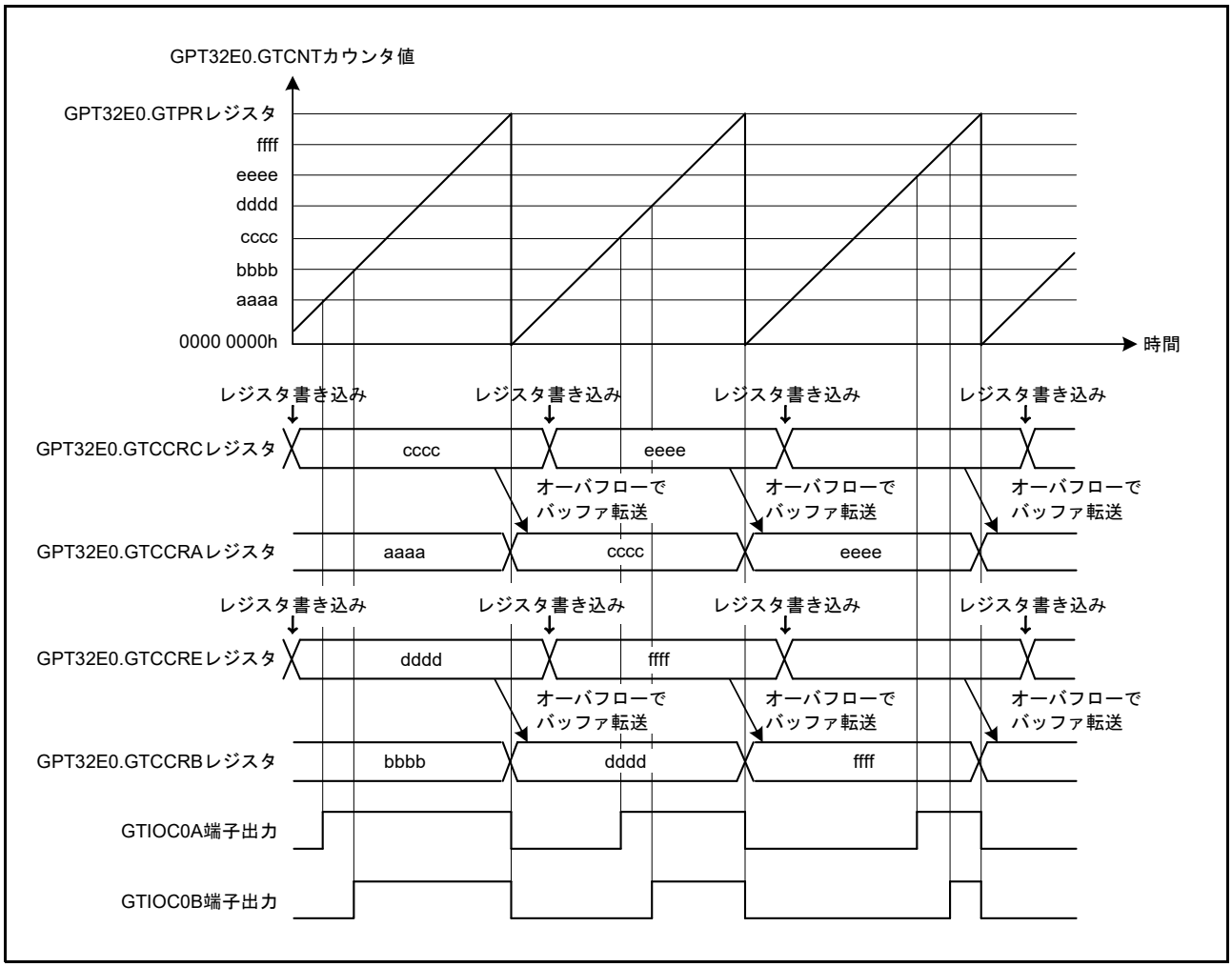


図 12.32　のこぎり波 PWM モード動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

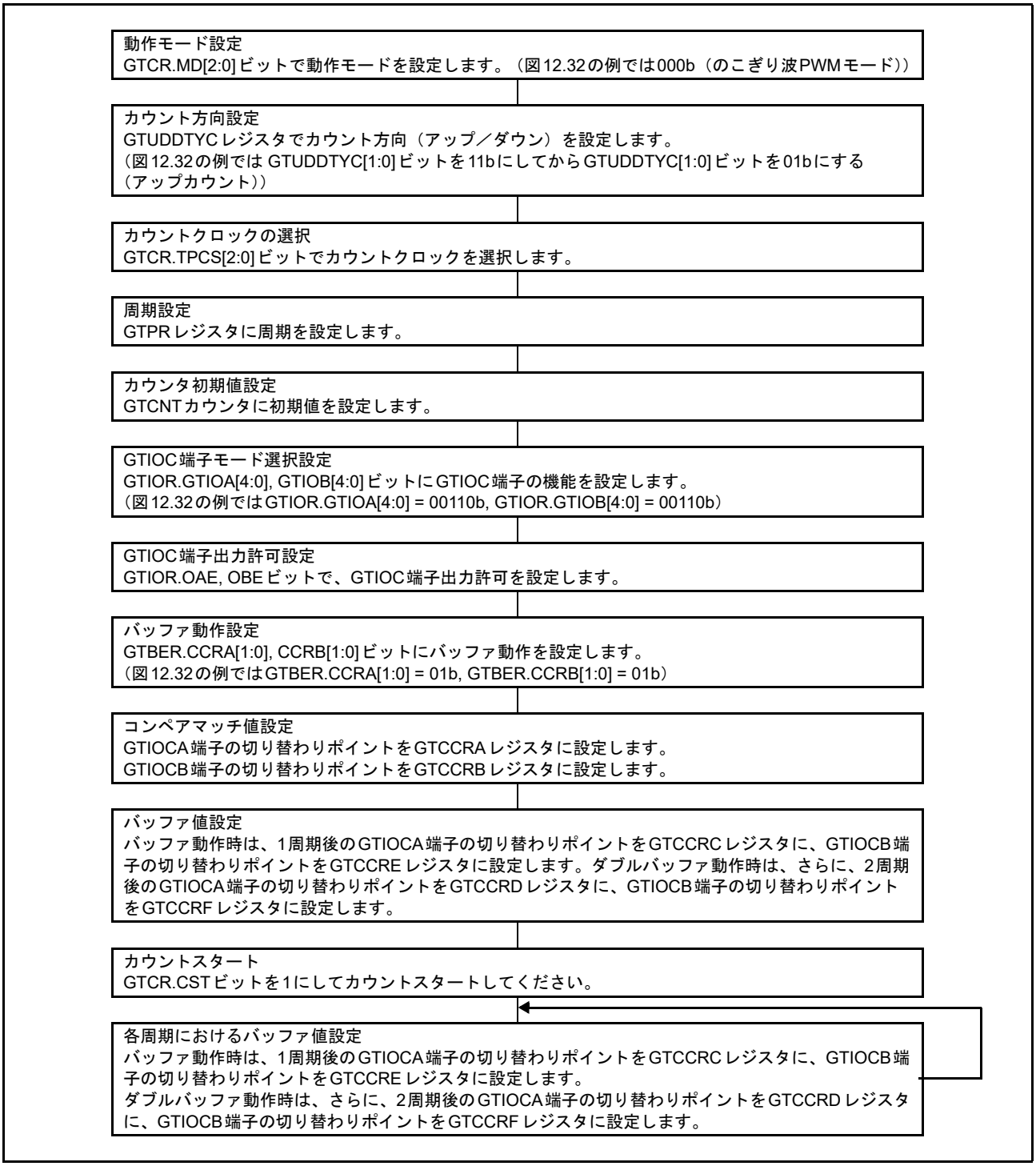


図 12.33　のこぎり波 PWM モード設定例

12.3.3.2　のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定するモードです。GTCNT カウンタにのこぎり波（半波）動作を実行させ、バッファ動作固定で、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力します。

のこぎり波ワンショットパルスモードでのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 周期の終わりに GTCCRC レジスタから GTCCRA レジスタへ
- 周期の終わりに GTCCRE レジスタから GTCCRB レジスタへ
- 周期の終わりに GTCCRD レジスタからテンポラリレジスタ A へ
- 周期の終わりに GTCCRF レジスタからテンポラリレジスタ B へ
- GTCCRA レジスタのコンペアマッチ時に、テンポラリレジスタ A から GTCCRA レジスタへ
- GTCCRB レジスタのコンペアマッチ時に、テンポラリレジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりにおいて、それぞれ個別に Low 出力／ High 出力／トグル出力から選択できます。カウント停止中に GTBER.CCRSWT ビットに ”1” を書くと、GTCCRD レジスタからテンポラリレジスタ A へ、および GTCCRF レジスタからテンポラリレジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値は GTCCRB レジスタに自動設定されます。

図 12.34 に、のこぎり波ワンショットパルスモードの動作例を、図 12.35 に、のこぎり波ワンショットパルスモードの設定例を示します。

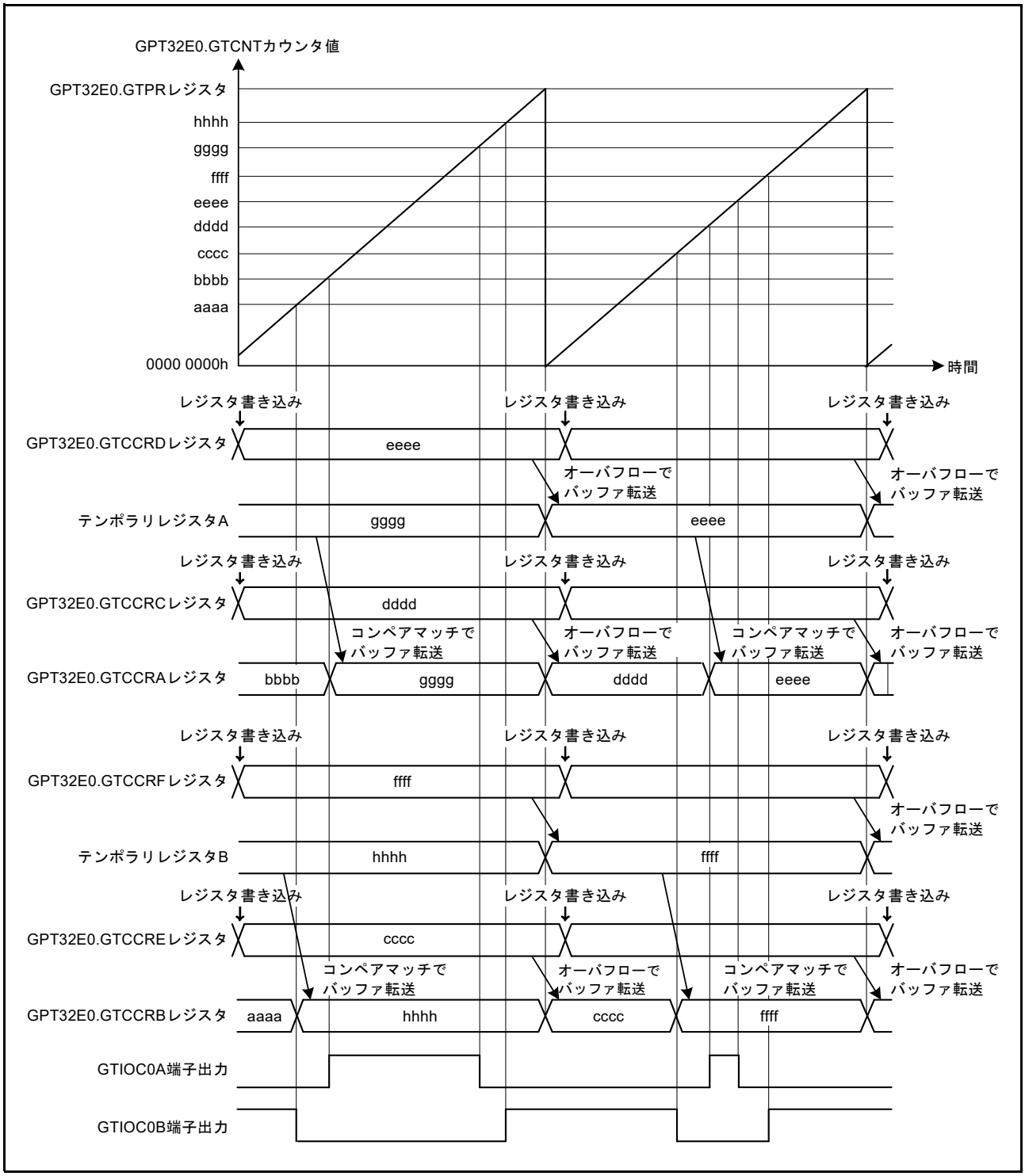


図 12.34　のこぎり波ワンショットパルスモード動作例（アップカウント、カウントスタート時 GTIOC0A 端子 = Low 出力／ GTIOC0B 端子 = High 出力、GTCCRA ／ GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

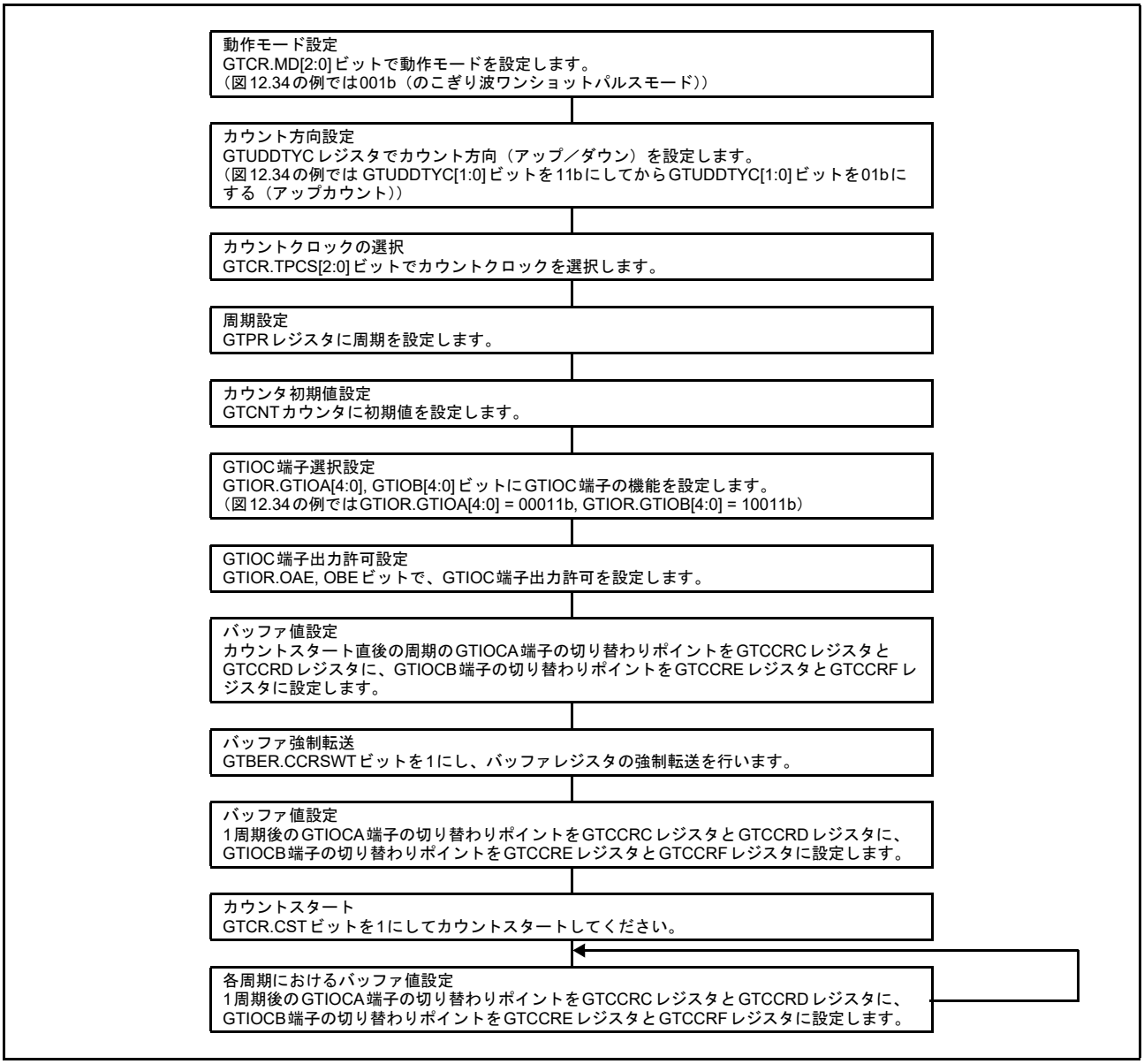


図 12.35　のこぎり波ワンショットパルスモード設定例

12.3.3.3　三角波 PWM モード 1（谷 32 ビット転送）

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力／ High 出力／トグル出力から選択できます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

図 12.36 に三角波 PWM モード 1 の動作例を、**図 12.37** に三角波 PWM モード 1 の設定例を示します。

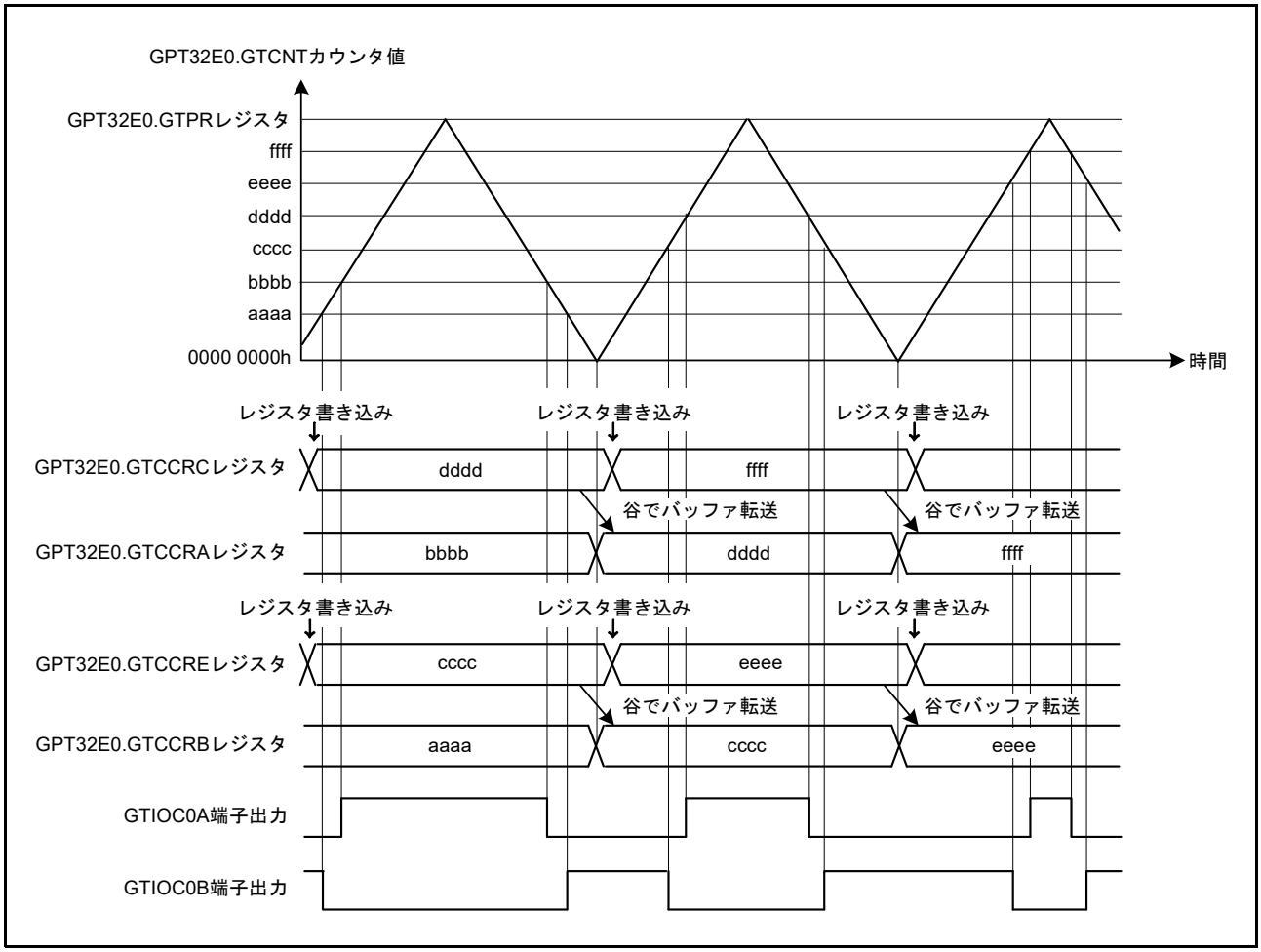


図 12.36　三角波 PWM モード 1 動作例（バッファ動作、カウントスタート時 GTIOC0A 端子 = Low 出力／ GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

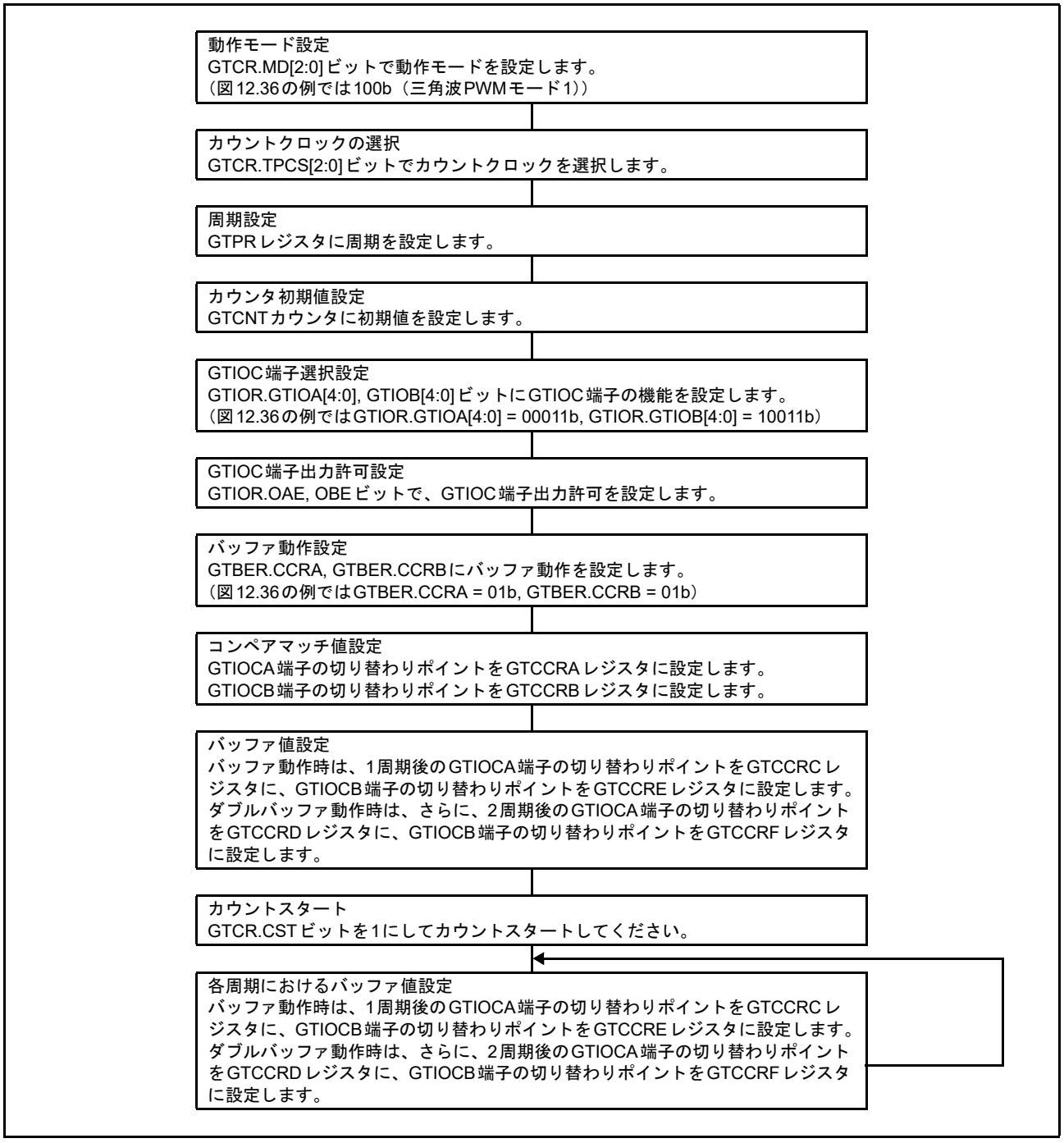


図 12.37　三角波 PWM モード 1 設定例

12.3.3.4　三角波 PWM モード 2（山／谷 32 ビット転送）

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。山と谷の両方でバッファ転送が行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりにおいて、それぞれ個別に Low 出力／ High 出力／トグル出力から選択できます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

図 12.38 に三角波 PWM モード 2 の動作例を、**図 12.39** に三角波 PWM モード 2 の設定例を示します。

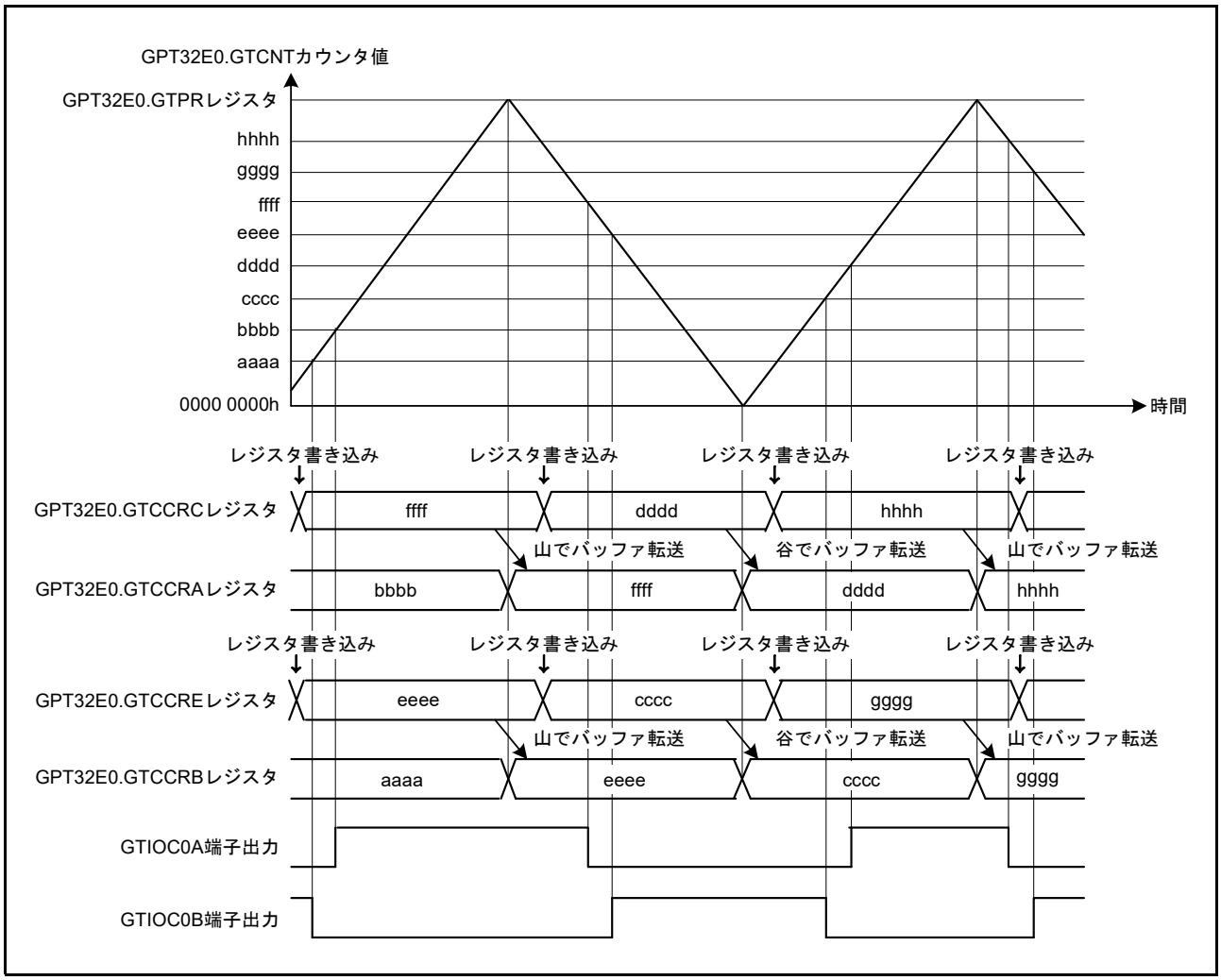


図 12.38　三角波 PWM モード 2 動作例（バッファ動作、カウントスタート時 GTIOC0A 端子 = Low 出力／ GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

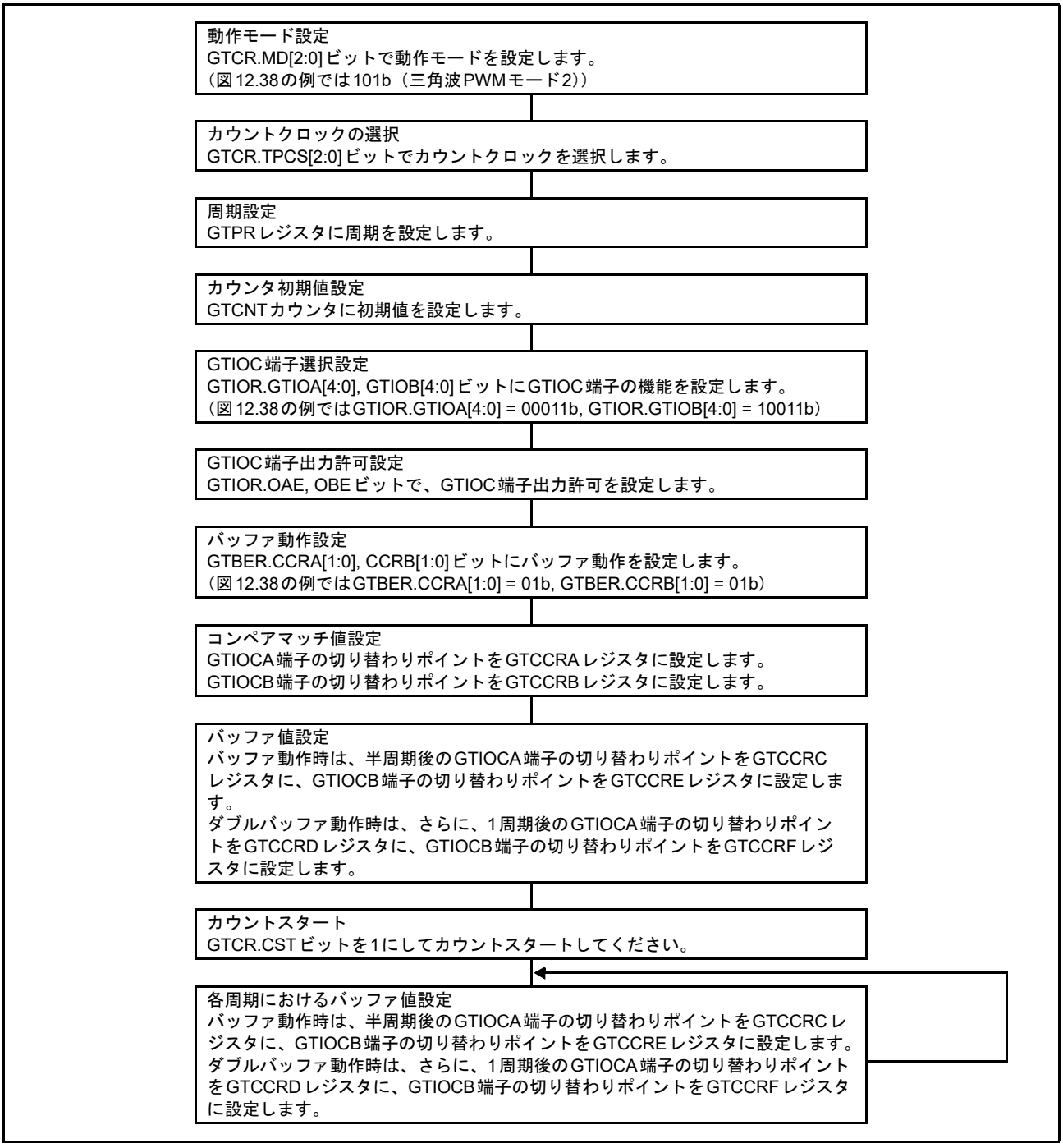


図 12.39　三角波 PWM モード 2 設定例

12.3.3.5　三角波 PWM モード 3（谷 64 ビット転送）

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。三角波 PWM モード 3 でのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 谷で GTCCRC レジスタから GTCCRA レジスタへ
- 谷で GTCCRE レジスタから GTCCRB レジスタへ
- 谷で GTCCRD レジスタからテンポラリレジスタ A へ
- 谷で GTCCRF レジスタからテンポラリレジスタ B へ
- 山でテンポラリレジスタ A から GTCCRA レジスタへ
- 山でテンポラリレジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力／ High 出力／トグル出力から選択できます。また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

図 12.40 に三角波 PWM モード 3 の動作例を、図 12.41 に三角波 PWM モード 3 の設定例を示します。

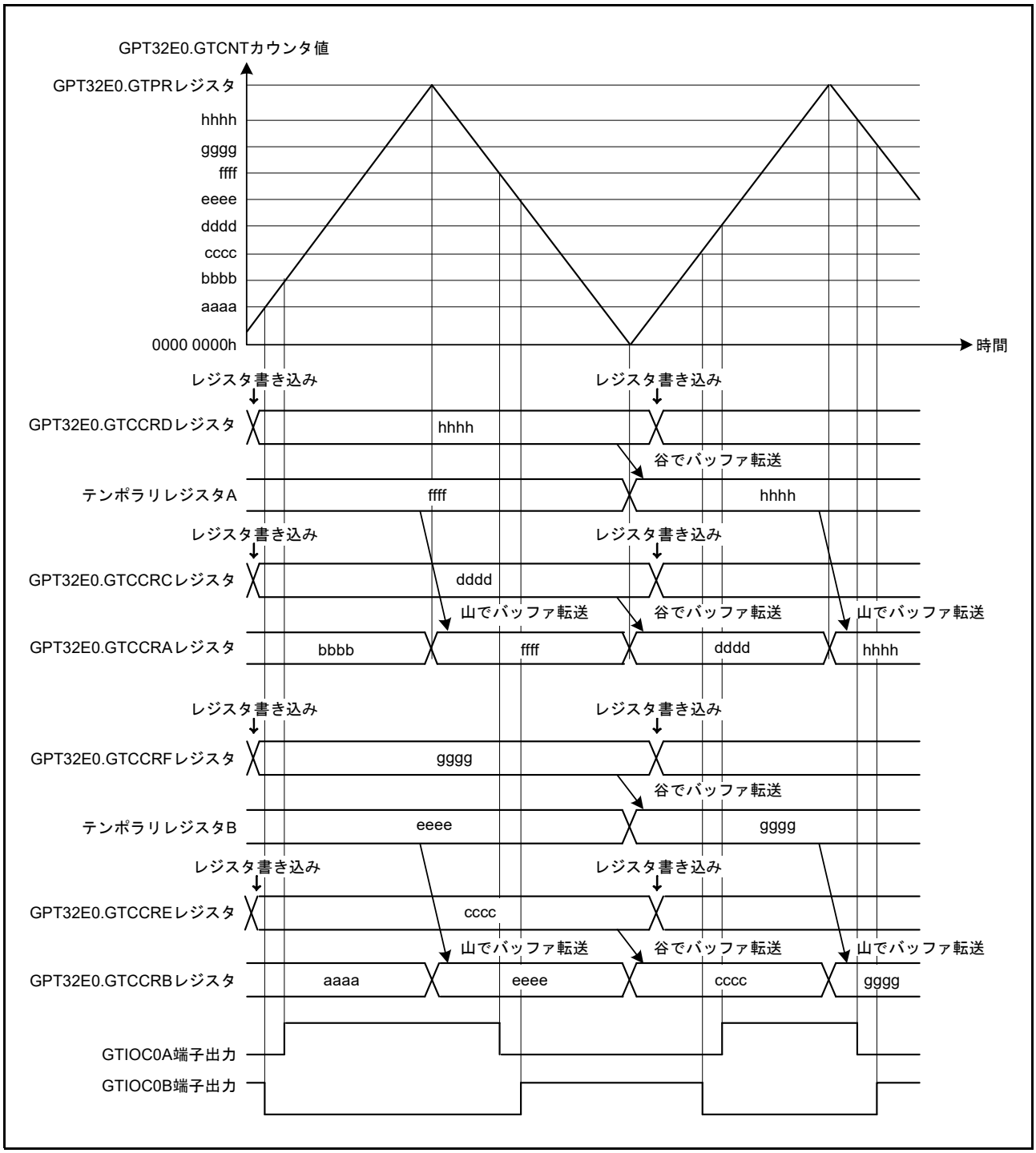


図 12.40　三角波 PWM モード 3 動作例（カウントスタート時 GTIOC0A 端子 = Low 出力／ GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

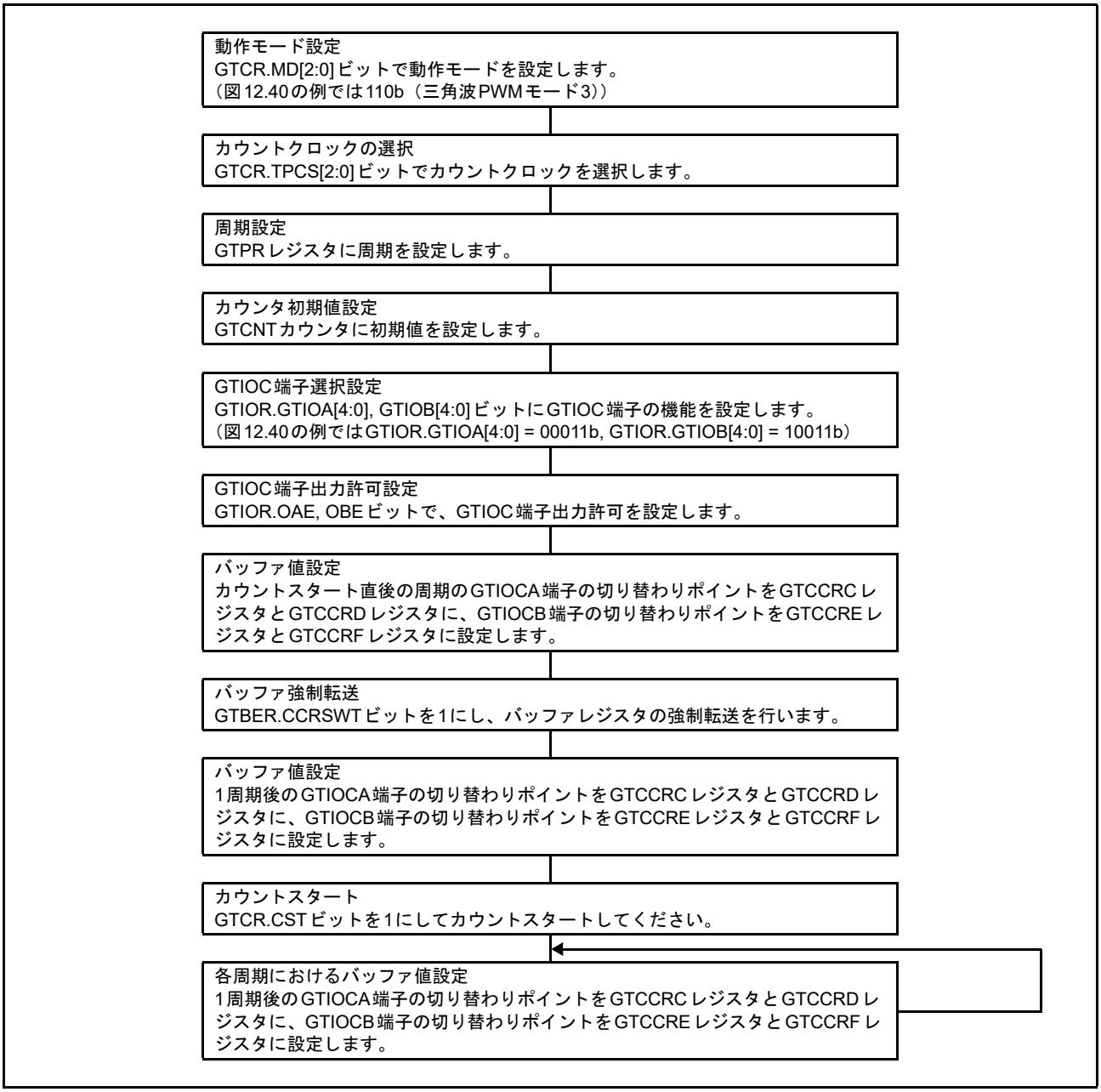


図 12.41　三角波 PWM モード 3 設定例

12.3.4　デッドタイム自動設定機能

GTDTCR レジスタを設定することにより、正相波形のコンペアマッチ値（GTCCRA 値）と指定したデッドタイム値（GTDVU および GTDVD 値）からデッドタイム付き逆相波形のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することが可能です。このデッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは、1 つの波形の前半部と後半部で個別に設定できます。逆相波形の前半部の切り替わりポイントにおけるデッドタイムは GTDVU レジスタに、後半部の切り替わりポイントにおけるデッドタイムは GTDVD レジスタに設定します。GTDTCR.TDFER ビットに ”1” を設定することによって、前半部と後半部で同じデッドタイムを設定することも可能です。

GTDBU レジスタは GTDVU レジスタのバッファレジスタとして、GTDBD レジスタは GTDVD レジスタのバッファレジスタとして使用可能です。バッファ転送は、のこぎり波の場合は GTCNT カウンタのオーバフロー時（アップカウント中）、アンダフロー時（ダウンカウント中）、または GTCNT カウンタクリアで、三角波の場合は谷で行われます。

デッドタイム自動設定による逆相波形の変化ポイントは、GTCCRB レジスタ値を読むことで確認できます。デッドタイム自動設定機能を使用する時は、GTCCRB レジスタへの書き込みは禁止です。

波形の変化ポイントがカウント周期を超えるようなデッドタイム設定は禁止です。デッドタイムエラーの発生条件となるようなデッドタイム設定を行った場合、**表 12.7** に示すように、正相波形と逆相波形の変化するポイントを補正して、デッドタイムを確保した波形を生成します。補正された逆相波形の変化ポイントは、GTCCRB レジスタに自動設定されますが、正相波形の変化ポイントの判定には内部信号を用いており、GTCCRA レジスタを補正値で更新することはありません。

のこぎり波ワンショットパルスモードで、デッドタイムエラー発生による波形変化ポイントの補正によって、変化ポイントの順番が乱れた場合や補正した後もカウント周期を超えている場合は、正相と逆相の相補関係を保証できません。

三角波モードでは、GTCCRA レジスタに GTCCRA=0 または GTCCRA ≧ GTPR となる値を設定することで、カウント周期を超えるようなデッドタイム設定になった場合、出力保護機能によって出力変化が抑止されます（「12.8.4　GTIOC 端子出力の出力保護機能」参照）。GTCCRA ≧ GTPR+GTDVn の場合、GTCCRB レジスタには上限値として、GTPR − 1 が設定されます。

表 12.7　デッドタイムエラー発生時の波形変化ポイントの補正

波形モード	カウント方向	区間	デッドタイムエラー条件	補正後の正相波形変化ポイント	補正後の逆相波形変化ポイント
のこぎり波ワンショットパルスモード	アップカウント	前側	GTCCRA − GTDVU ＜ 0	GTDVU	0
		後側	GTCCRA − GTDVD ＞ GTPR	GTPR − GTDVD	GTPR
	ダウンカウント	前側	GTCCRA − GTDVU ＞ GTPR	GTPR − GTDVU	GTPR
		後側	GTCCRA − GTDVD ＜ 0	GTDVD	0
三角波 PWM モード 1/2/3	アップカウント	（前側）	GTCCRA − GTDVU ≦ 0	GTDVU ＋ 1	1
	ダウンカウント	（後側）	GTCCRA − GTDVD ＜ 0	GTDVD	0

デッドタイム自動設定値は、GTCCRB レジスタ値を読むことで確認できます。GTCCRB レジスタにデッドタイム値が自動設定されるのは、次のカウントクロック周期で、デッドタイム自動設定値の計算用レジスタが更新されるときです。

GTDVn を書き換える方法は、バッファ動作の許可 / 禁止によって異なります。

GTDVn レジスタのバッファ動作が許可されている場合：GTDBn レジスタは、いつでも書き込み可能です。GTDBn レジスタの値は、周期の終わりに GTDVn レジスタへ転送されます。

GTDVn レジスタのバッファ動作が禁止されている場合：GTDVn レジスタを新しい値に変更する前に、GTCR レジスタの CST ビットを用いて GPT を停止してください。

デッドタイム自動設定機能の動作例を図 12.42 ～図 12.45 に示します。設定例を図 12.46 および図 12.47 に示します。

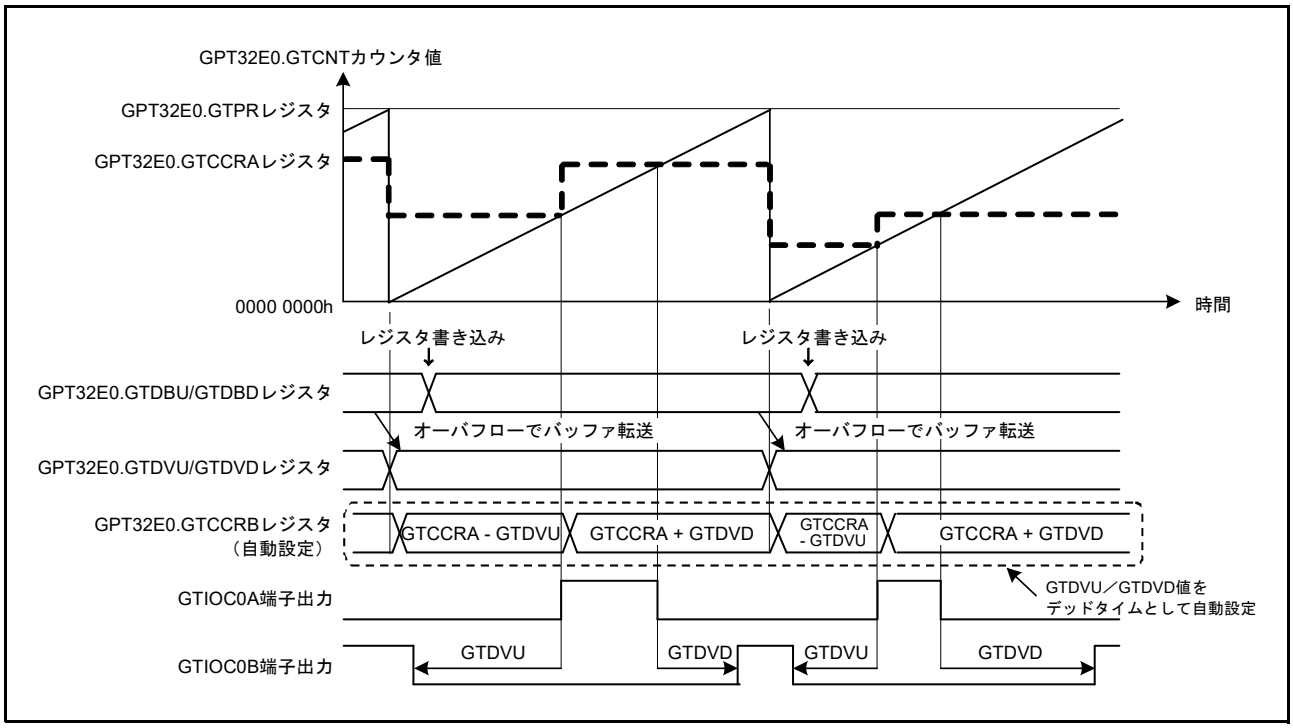


図 12.42　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、アップカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

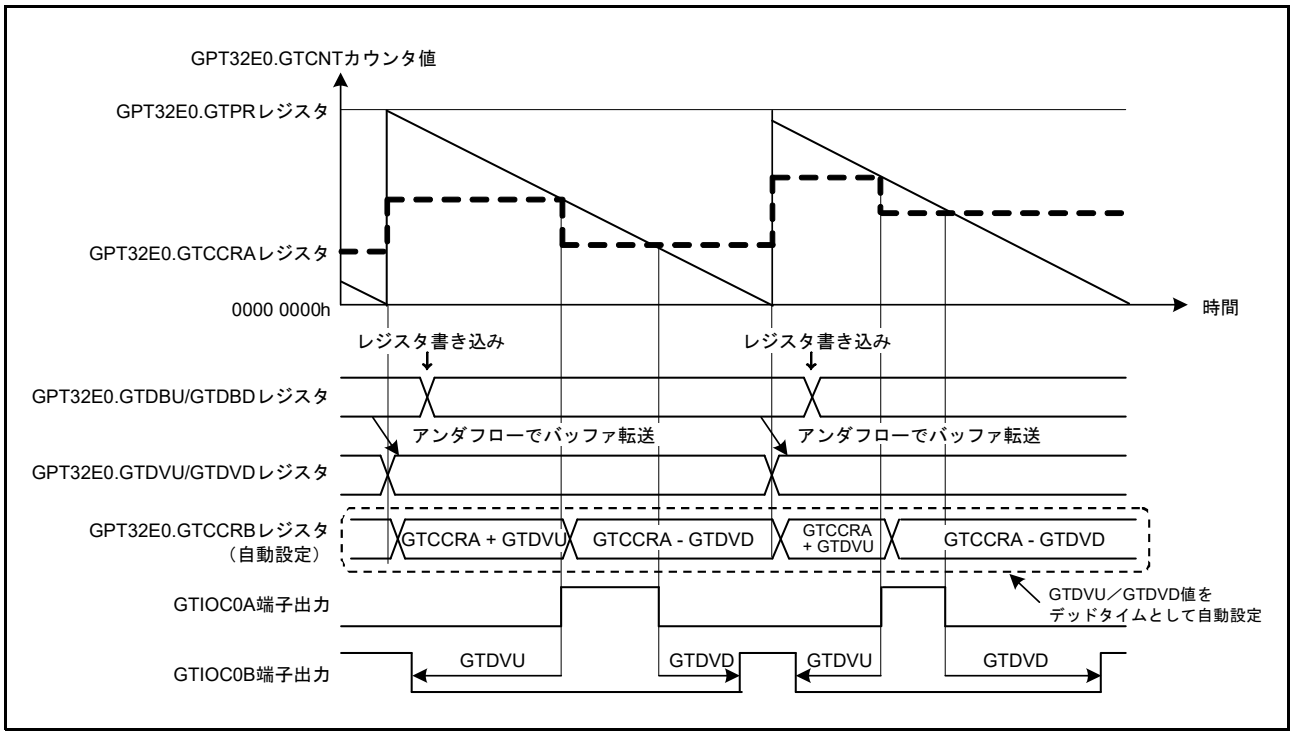


図 12.43　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

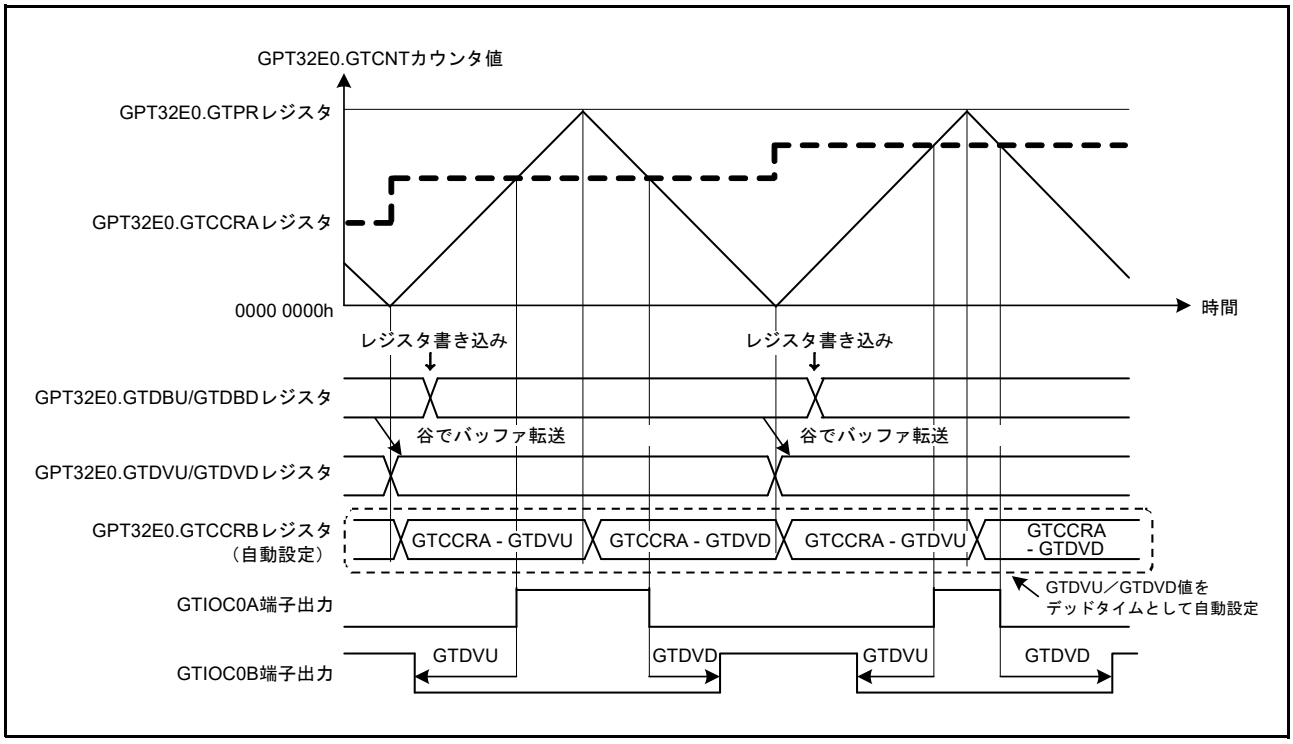


図 12.44　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

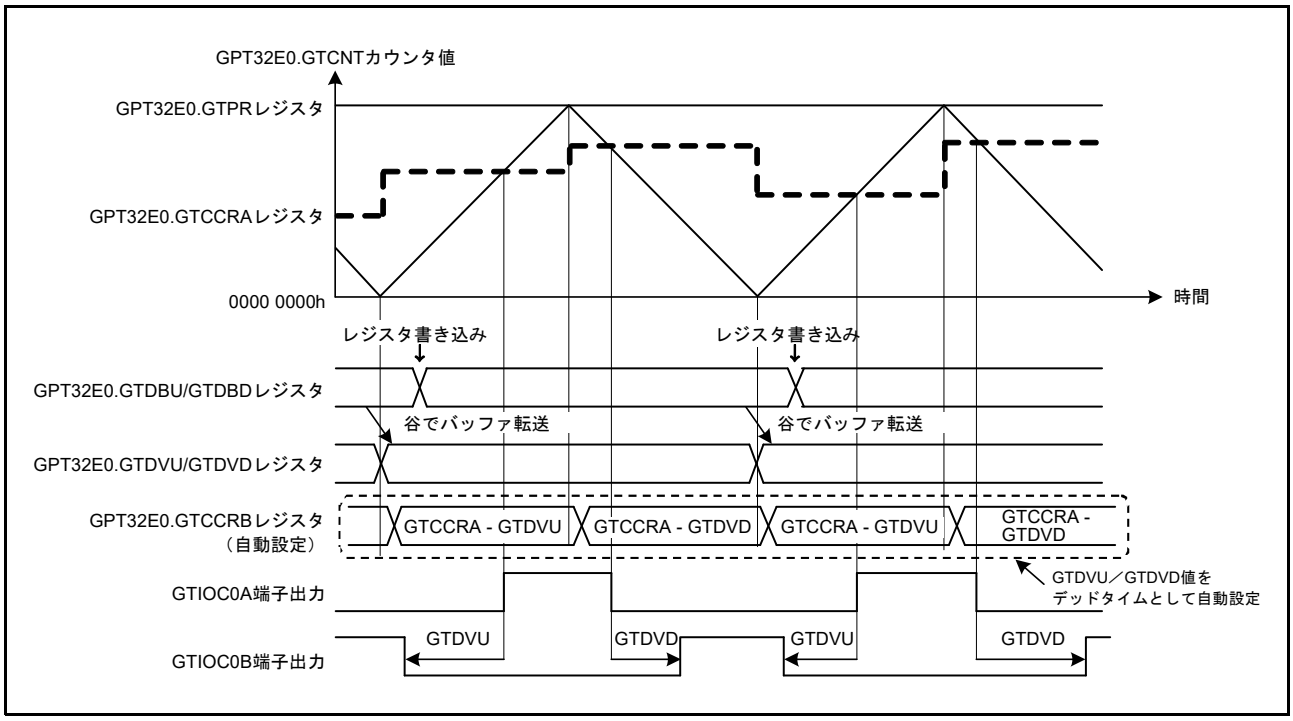


図 12.45　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

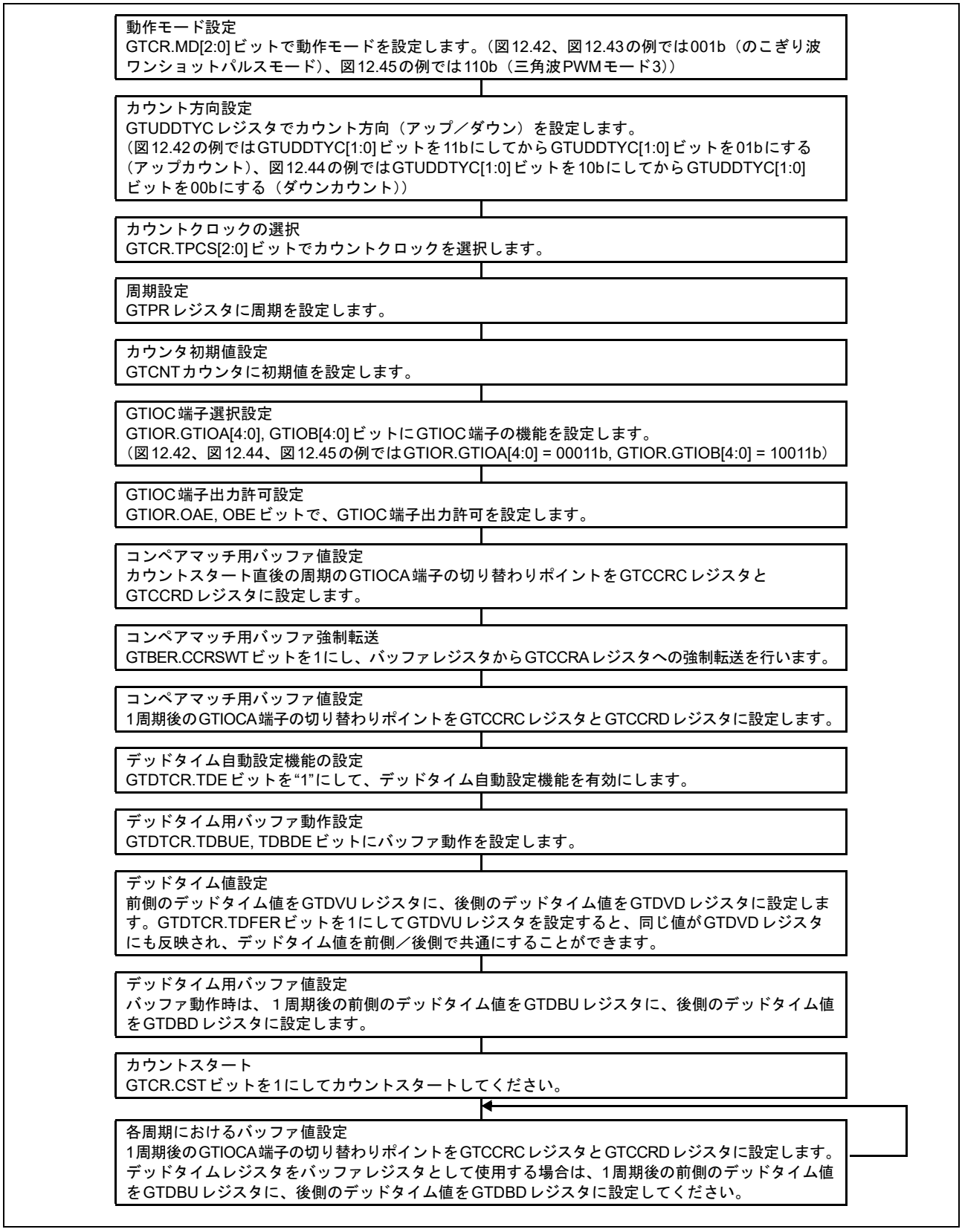


図 12.46　デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）

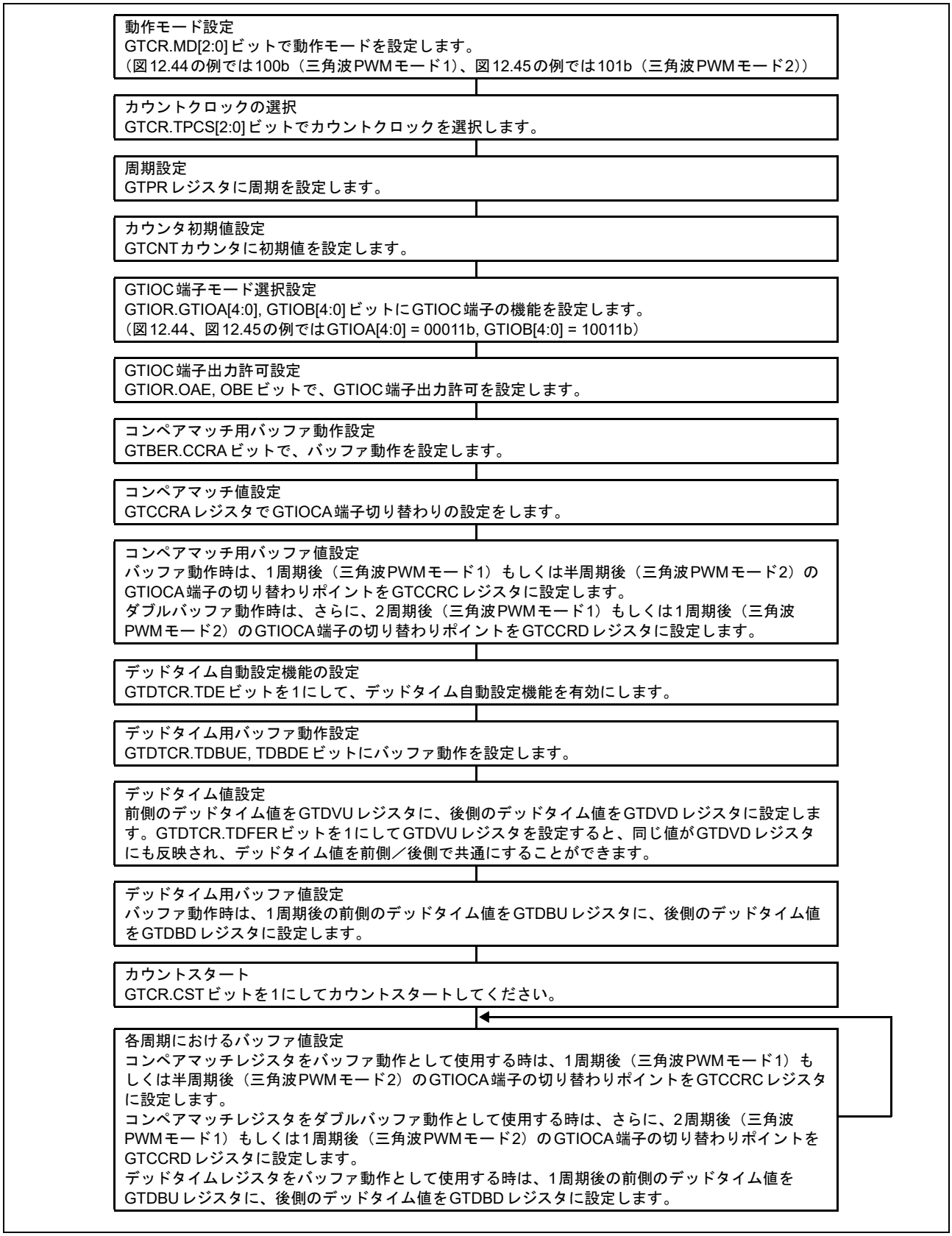


図 12.47　デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合）

12.3.5　カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバフロー（アップカウント中に変更した場合）またはアンダフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバフローまたはアンダフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート前の GTPR 値が反映されます。

図 12.48 にカウント方向切り替え機能の動作例を示します。

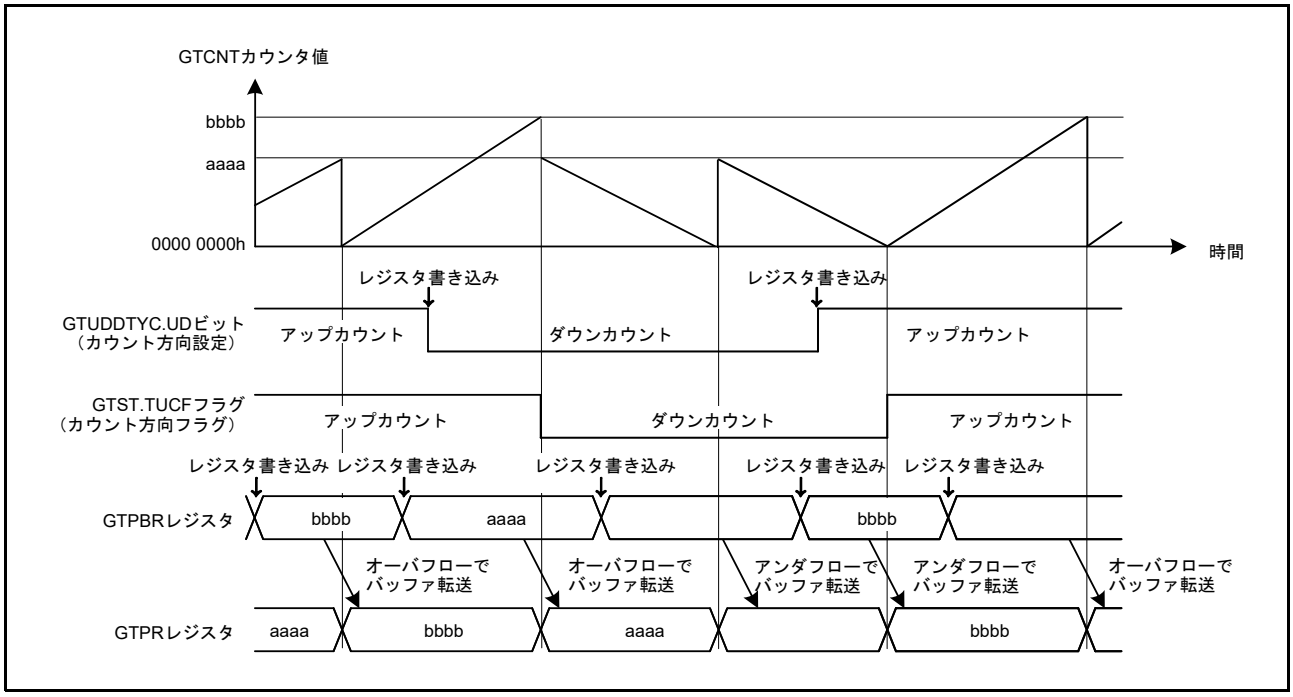


図 12.48　カウント方向切り替え機能の動作例（バッファ動作時）

12.3.6　出力デューティ 0% および出力デューティ 100% 機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCA 端子と GTIOCB 端子の出力デューティが 0% または 100% に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバオーバフロー（アップカウント中に変更した場合）またはアンダフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバフローまたはアンダフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットを 1 にすると、そのときの GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダフロー時に出力デューティが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0% または 100% デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0% または 100% デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCA 端子の出力値は、GTIOR.GTIOA[3:2] ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCB 端子の出力値は、GTIOR.GTIOB[3:2] ビットと GTUDDTYC.OBDTYR ビットで決定されます。

GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2] ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。周期の終わりでの GTIOCA/GTIOCB 端子の出力値を**表 12.8** に示します。

表 12.8　0% または 100% デューティ設定解除後の出力値（m = A, B）

GTIOR.GTIOm[3:2]	0% または 100% デューティ設定でマスクされた周期の終わりでのコンペアマッチ値	デューティ 0% 設定時の GTUDDTYC.OmDTYR		デューティ 100% 設定時の GTUDDTYC.OmDTYR	
		0	1	0	1
00（周期の終わりで出力保持）	0	0	0	1	0
	1	0	1	1	1
01（周期の終わりで Low 出力）	—	0	0	0	0
10（周期の終わりで High 出力）	—	1	1	1	1
11（周期の終わりでトグル出力）	0	1	1	0	1
	1	1	0	0	0

図 12.49 に出力デューティ 0%、100% 機能動作例を示します。

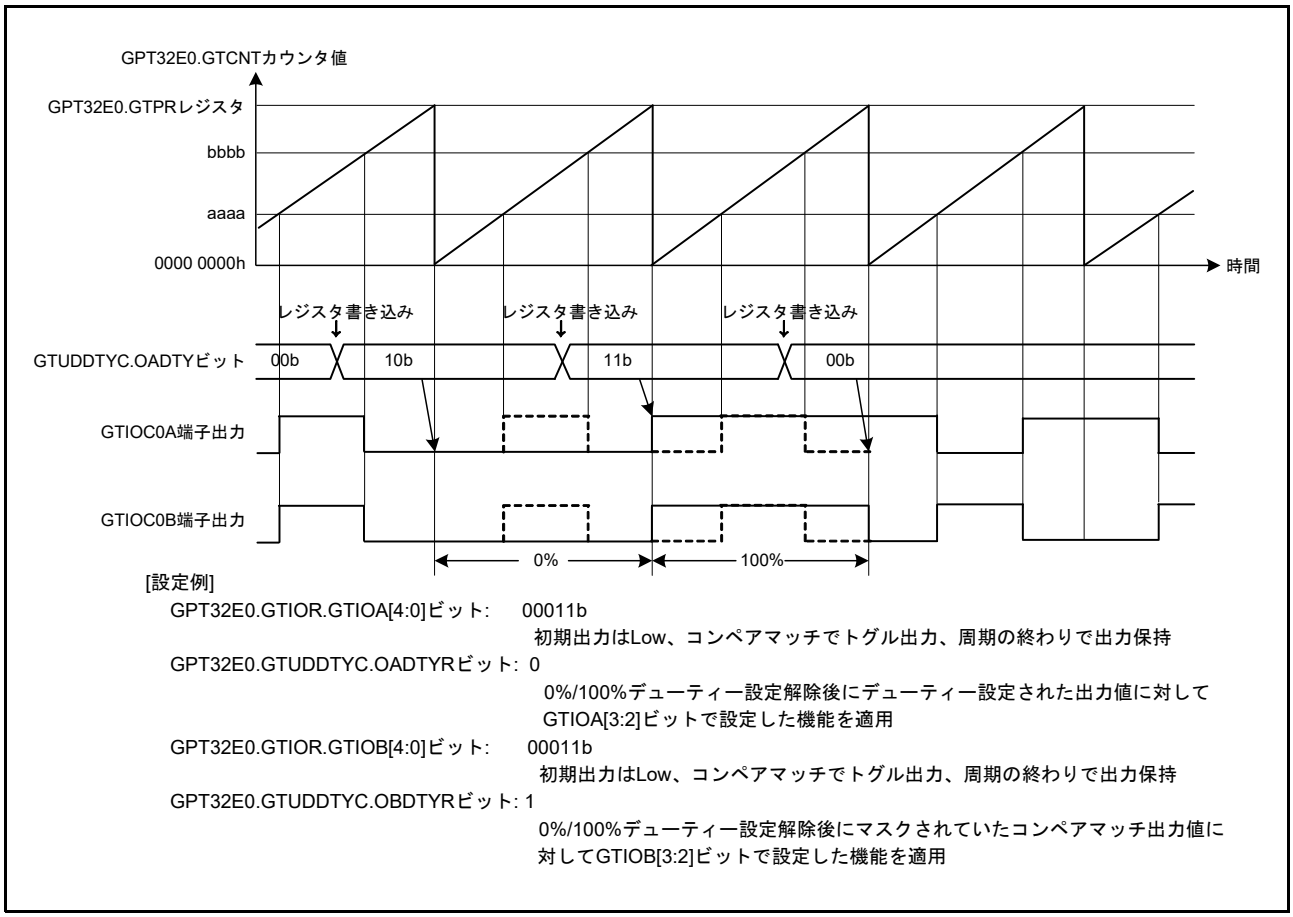


図 12.49　出力デューティ 0%、100% 機能動作例

12.3.7　ハードウェアカウントスタート／カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- イベント入力
- GTIOCA/GTIOCB 端子入力

12.3.7.1　ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 12.50 にハードウェア要因によるカウントスタートの動作例を示します。図 12.51 に設定例を示します。

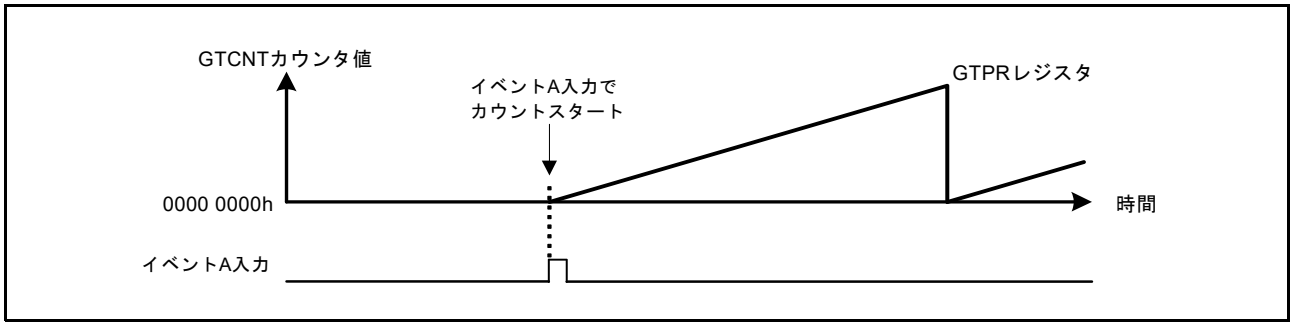


図 12.50　ハードウェア要因によるカウントスタート動作例（イベント A からの信号入力時のスタート）

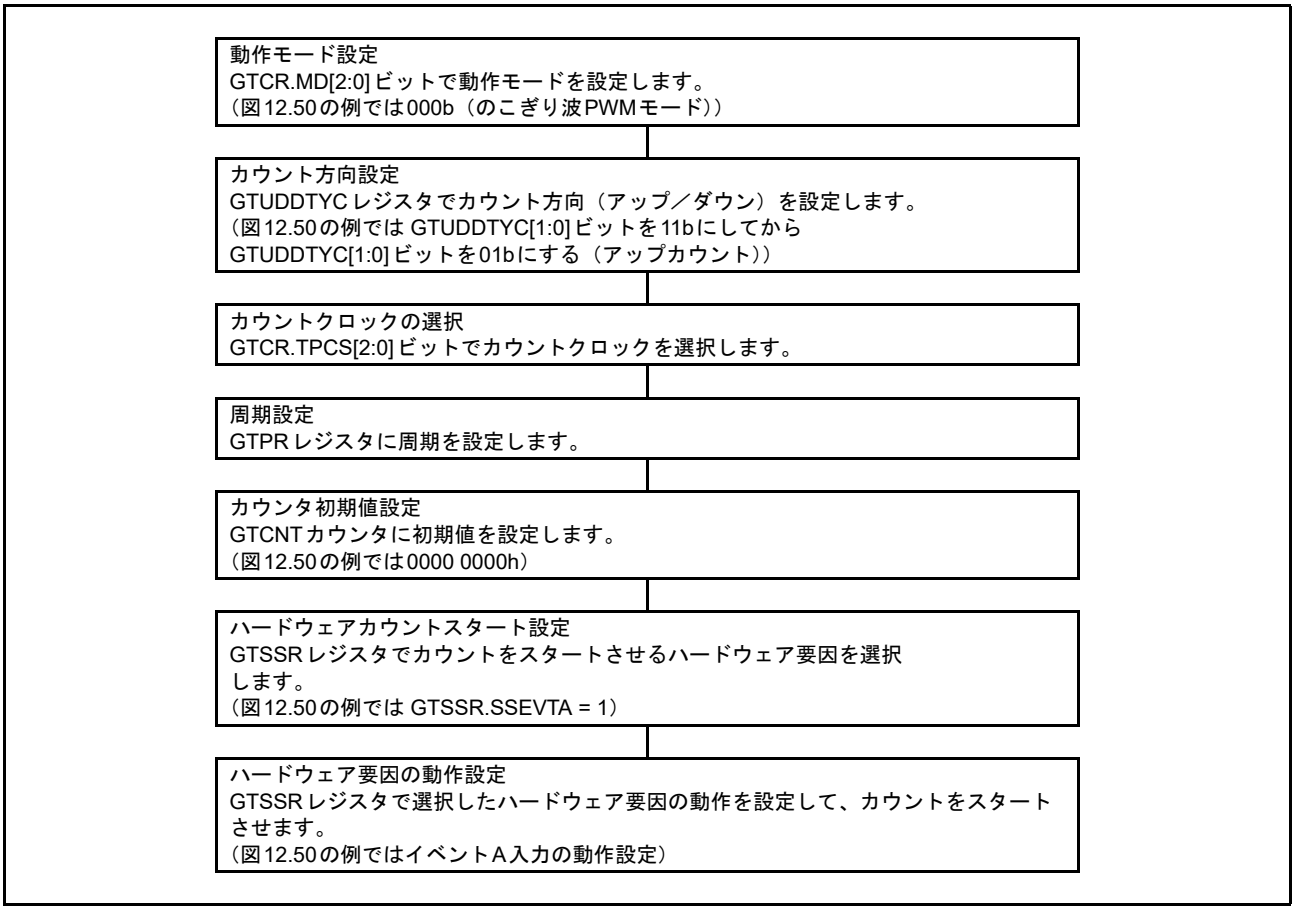


図 12.51　ハードウェア要因によるカウントスタート動作設定例

12.3.7.2　ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。図 12.52 にハードウェア要因によるカウントストップの動作例を示します。図 12.53 に設定例を示します。この例では、カウント動作がイベント A 入力のエッジでストップし、イベント B 入力のエッジで再スタートしています。

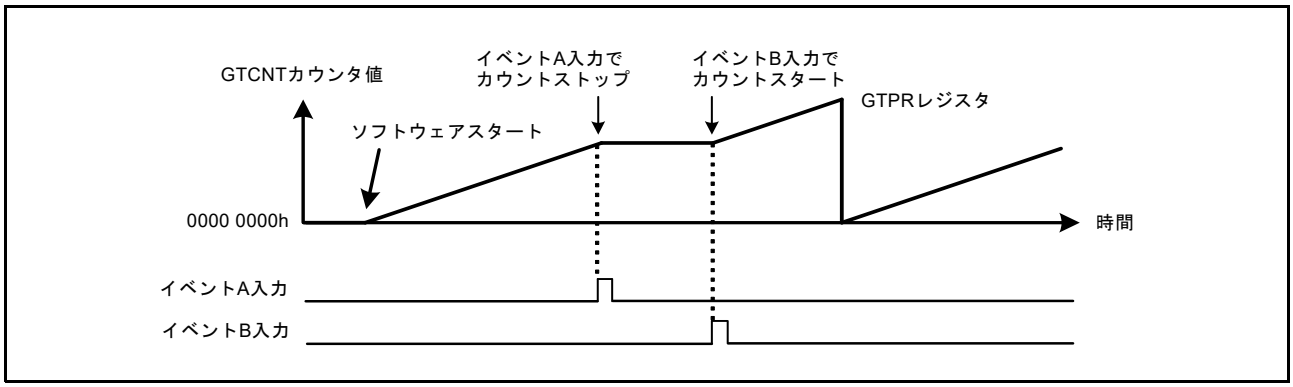


図 12.52　ハードウェア要因によるカウントストップ動作例（ソフトウェアによるスタート、イベント A 入力でのストップ、イベント B 入力での再スタートの場合）

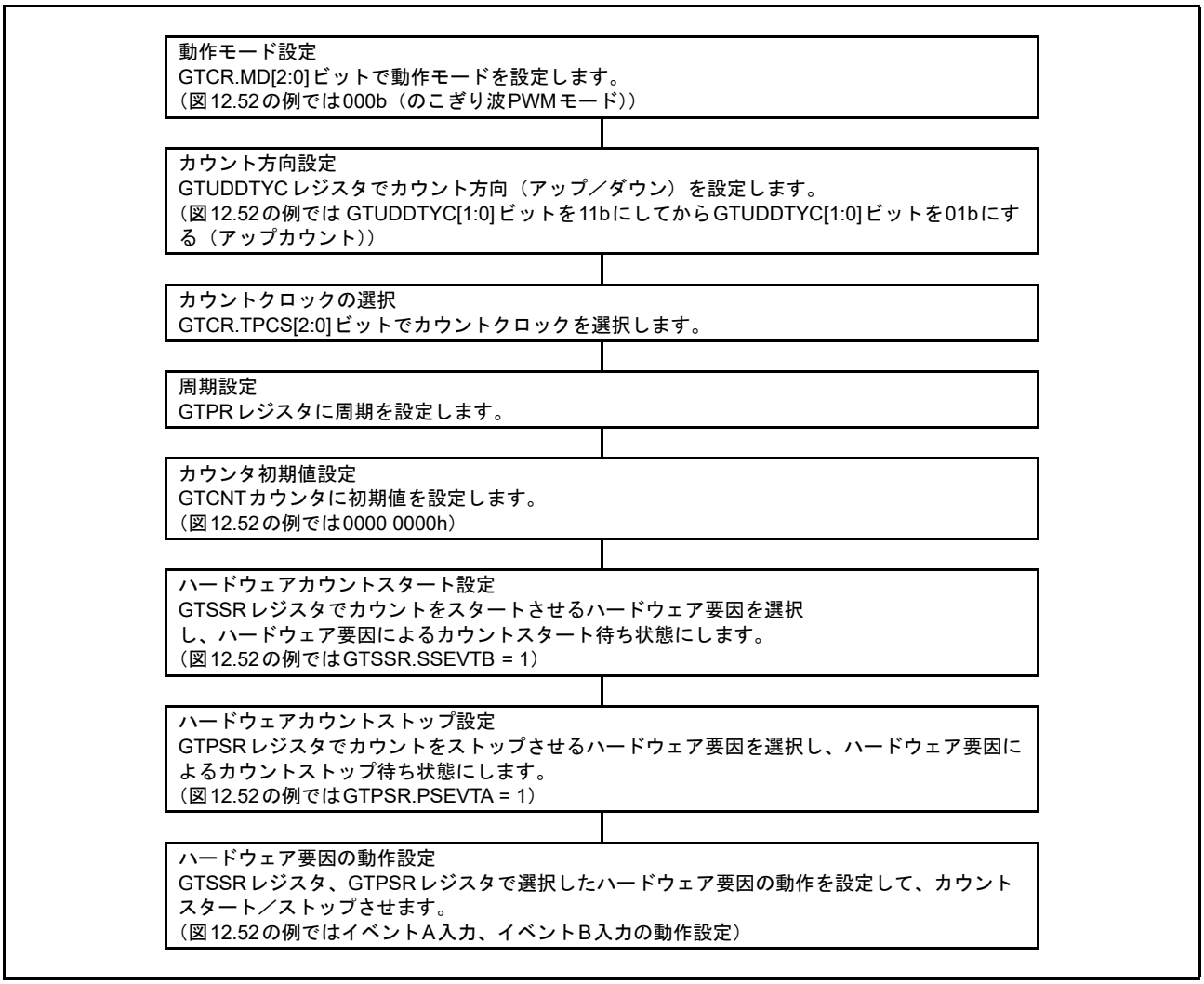


図 12.53　ハードウェア要因によるカウントストップ動作設定例

図 12.54 にハードウェア要因によるカウントスタート／ストップ動作例を示します。図 12.55 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

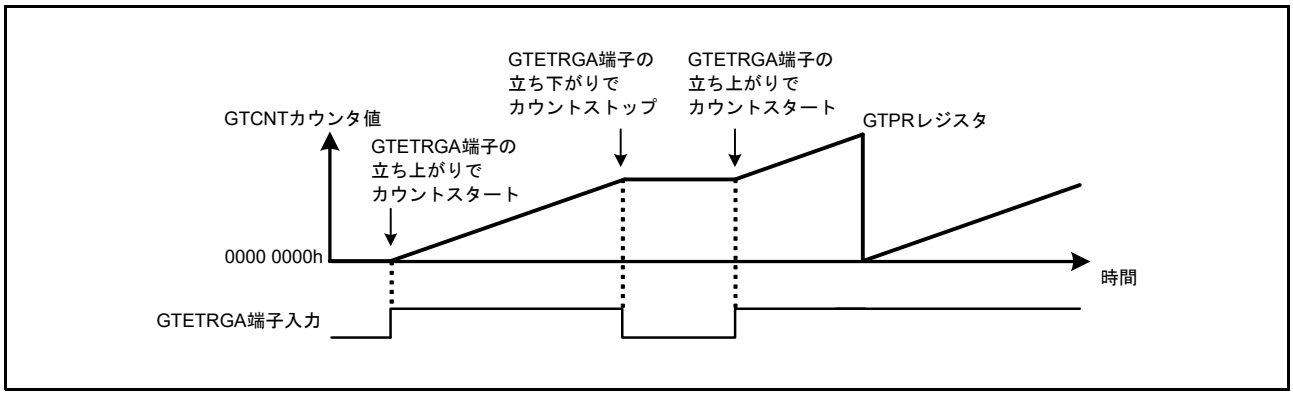


図 12.54　ハードウェア要因によるカウントスタート／ストップ動作例（GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合）

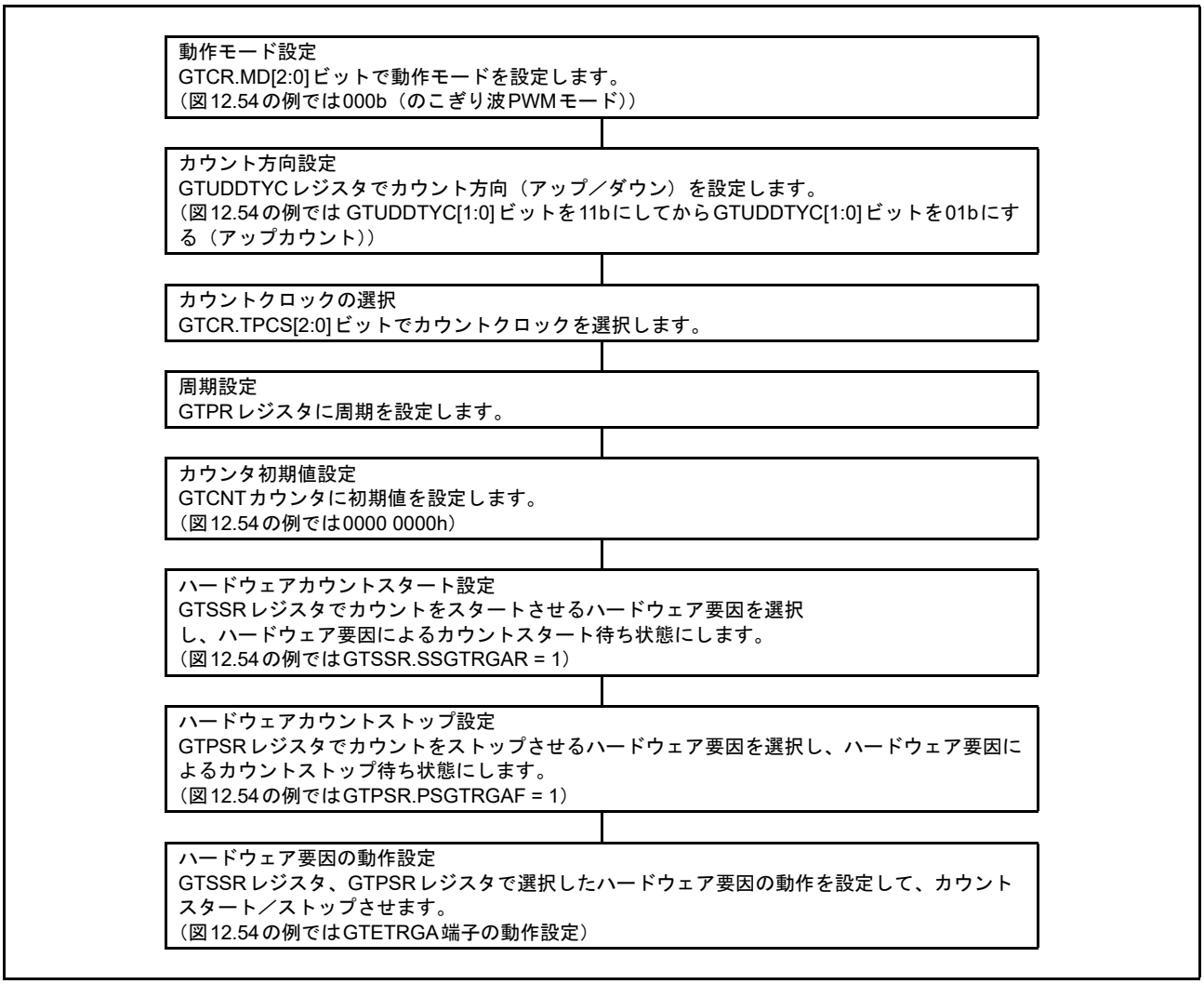


図 12.55　ハードウェア要因によるカウントスタート／ストップ動作設定例

12.3.7.3　ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントクリアが可能です。ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、OVFn/UNFn（n = 0 ～ 7）割り込み（オーバフロー／アンダフロー割り込み）は発生しません。

図 12.56 および**図 12.57** に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。**図 12.58** に設定例を示します。この例では、GTCNT カウンタはイベント A 入力のエッジでスタートし、イベント B 入力のエッジでストップ／クリアされています。

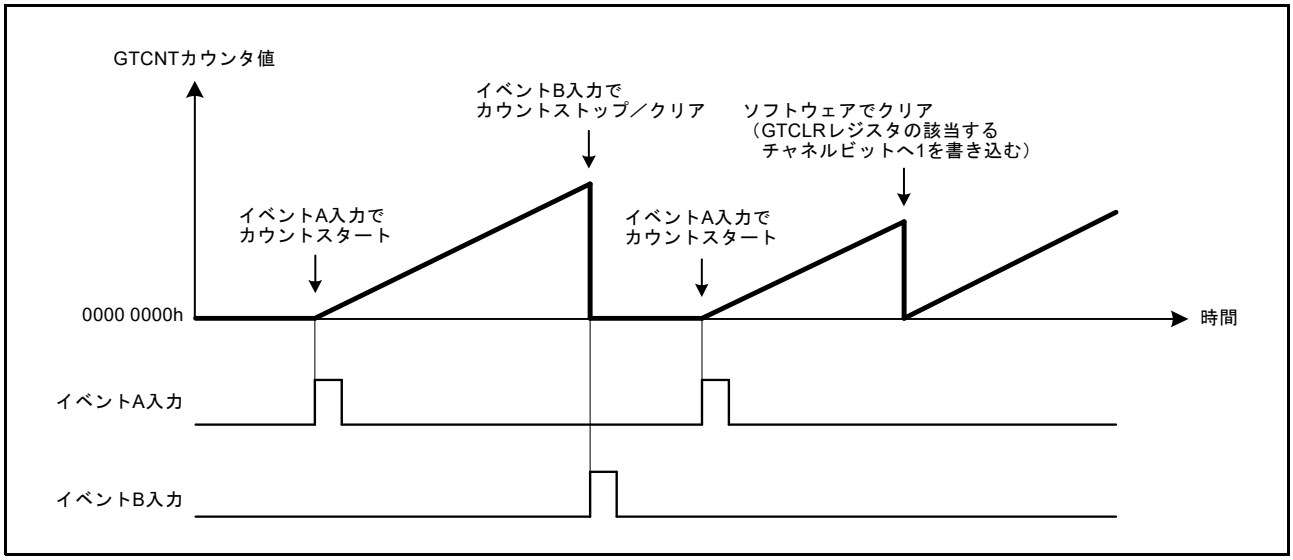


図 12.56　ハードウェア要因によるカウントクリア動作例（のこぎり波アップカウント、イベント入力 A でスタート、イベント B 入力でストップ／クリアの場合）

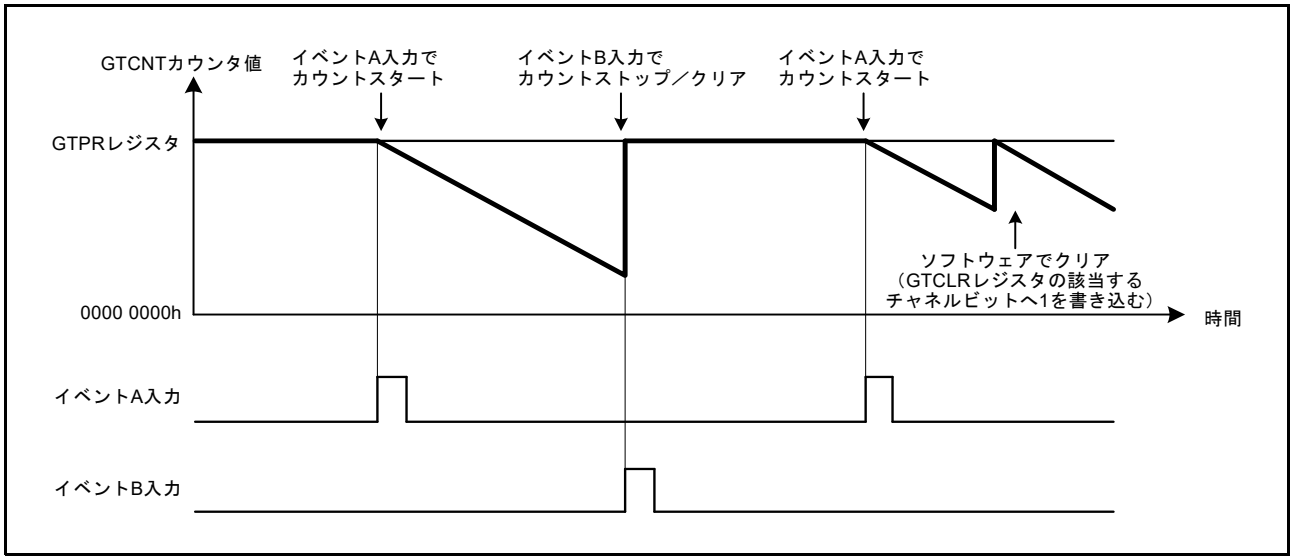


図 12.57　ハードウェア要因によるカウントクリア動作例（のこぎり波ダウンカウント、イベント A 入力でスタート、イベント B 入力でストップ／クリアの場合）

図 12.58　ハードウェア要因によるカウントクリア動作設定例

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、OVFn/UNFn（n＝0 ～ 7）割り込み（オーバフロー／アンダフロー割り込み）は発生しません。

図 12.59 にハードウェア要因によるカウンタクリアと OVFn（n = 0 ～ 7）割り込みの関係を示します。

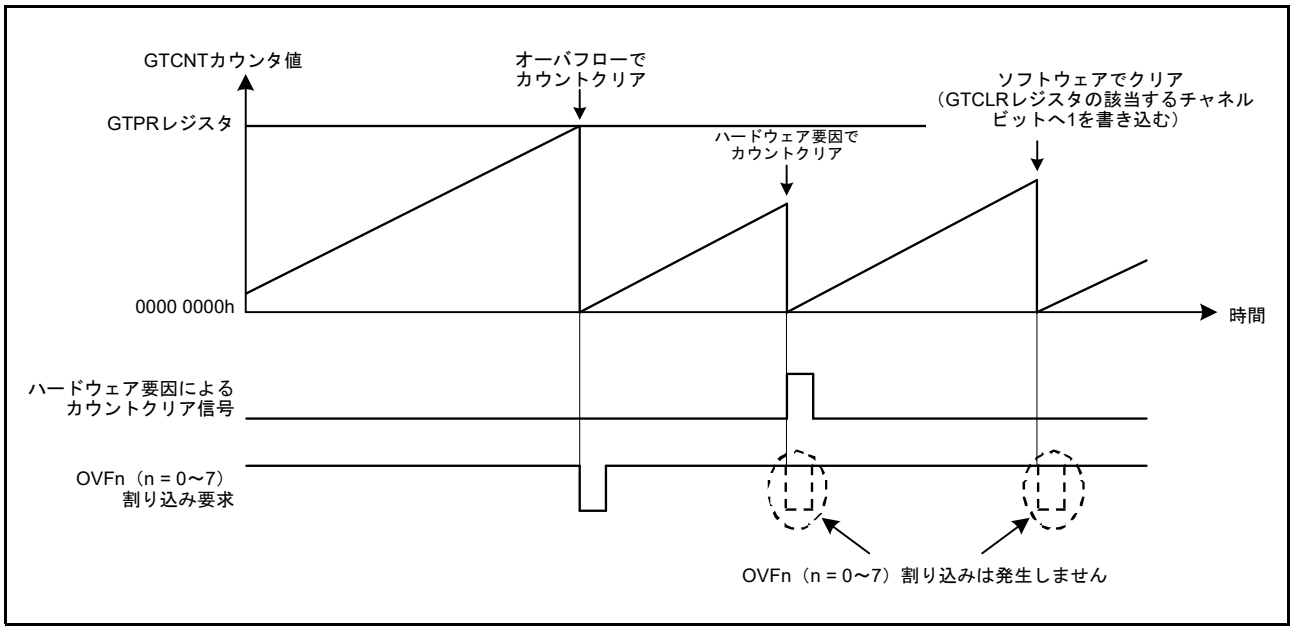


図 12.59　ハードウェア要因によるカウンタクリアと OVFn（n = 0 ～ 7）割り込みの関係

12.3.8　同期動作

同期スタート／ストップ／クリア動作など、チャネル間の同期動作を実行できます。

12.3.8.1　ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャネル上でスタート／ストップ／クリアが可能です。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

図 12.60 に、ソフトウェアによる同時スタート／ストップ／クリアの動作例を示します。**図 12.61** に、ソフトウェアによる位相スタートの動作例を示します。

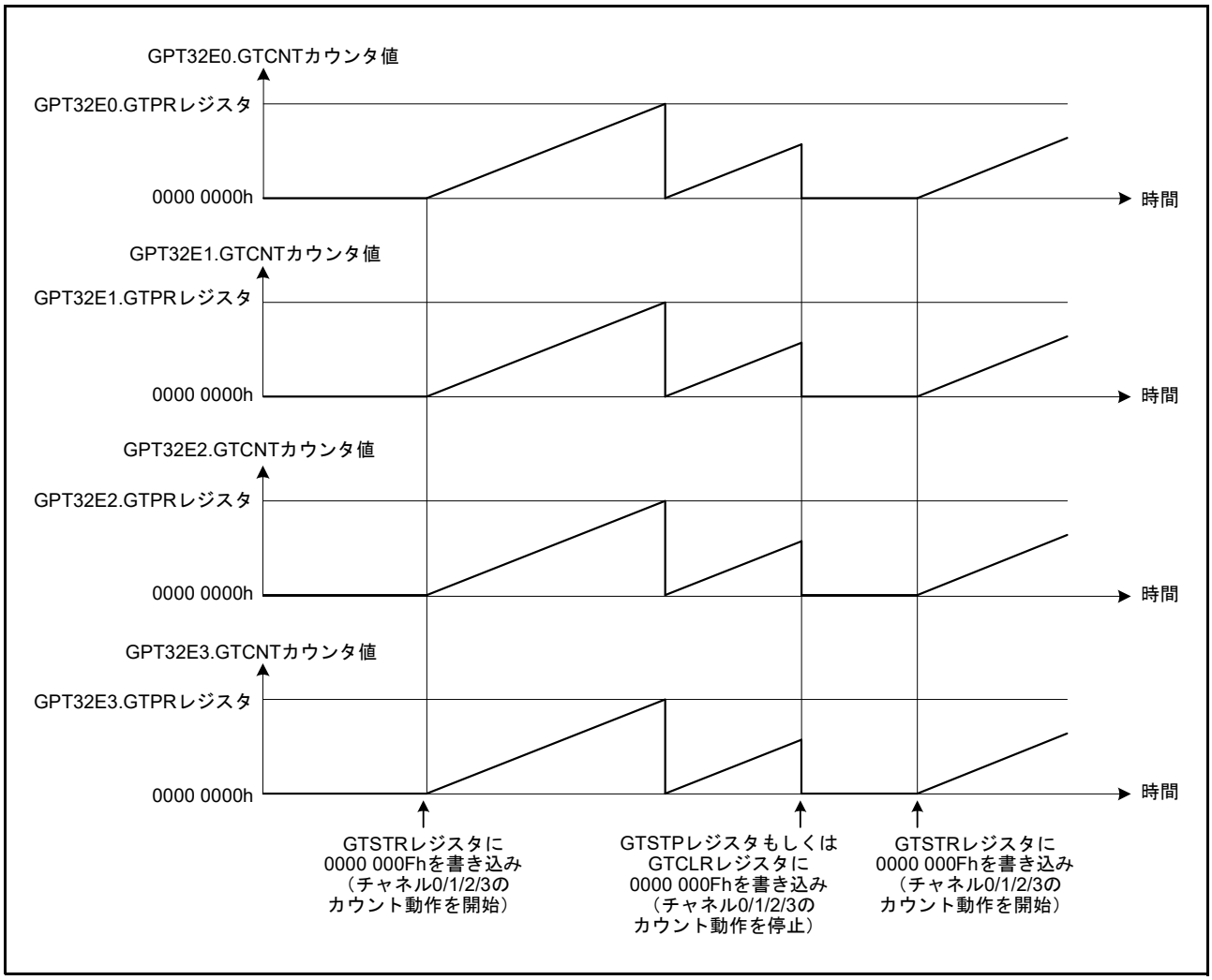


図 12.60　ソフトウェアによる同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

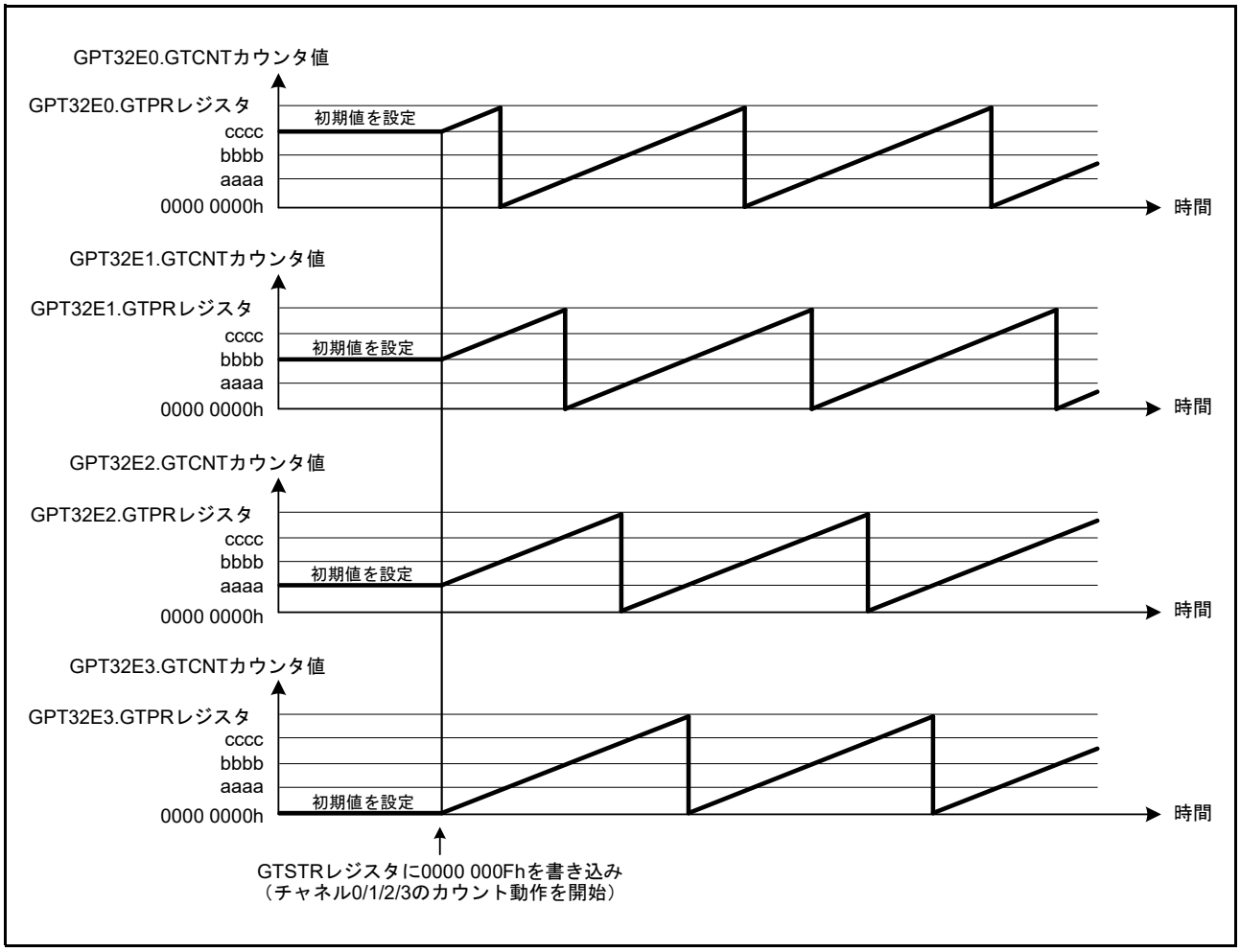


図 12.61　ソフトウェアによる位相スタート動作例（カウント周期（GTPR レジスタ値）が同一のとき）

12.3.8.2　ハードウェアによる同期動作

下記のハードウェア要因によって、GTCNT カウンタの同時スタートが可能です。

- 外部トリガ入力
- イベント入力

図 12.62 にハードウェア要因による同時スタート／ストップ／クリアの動作例を示します。**図 12.63** に設定例を示します。

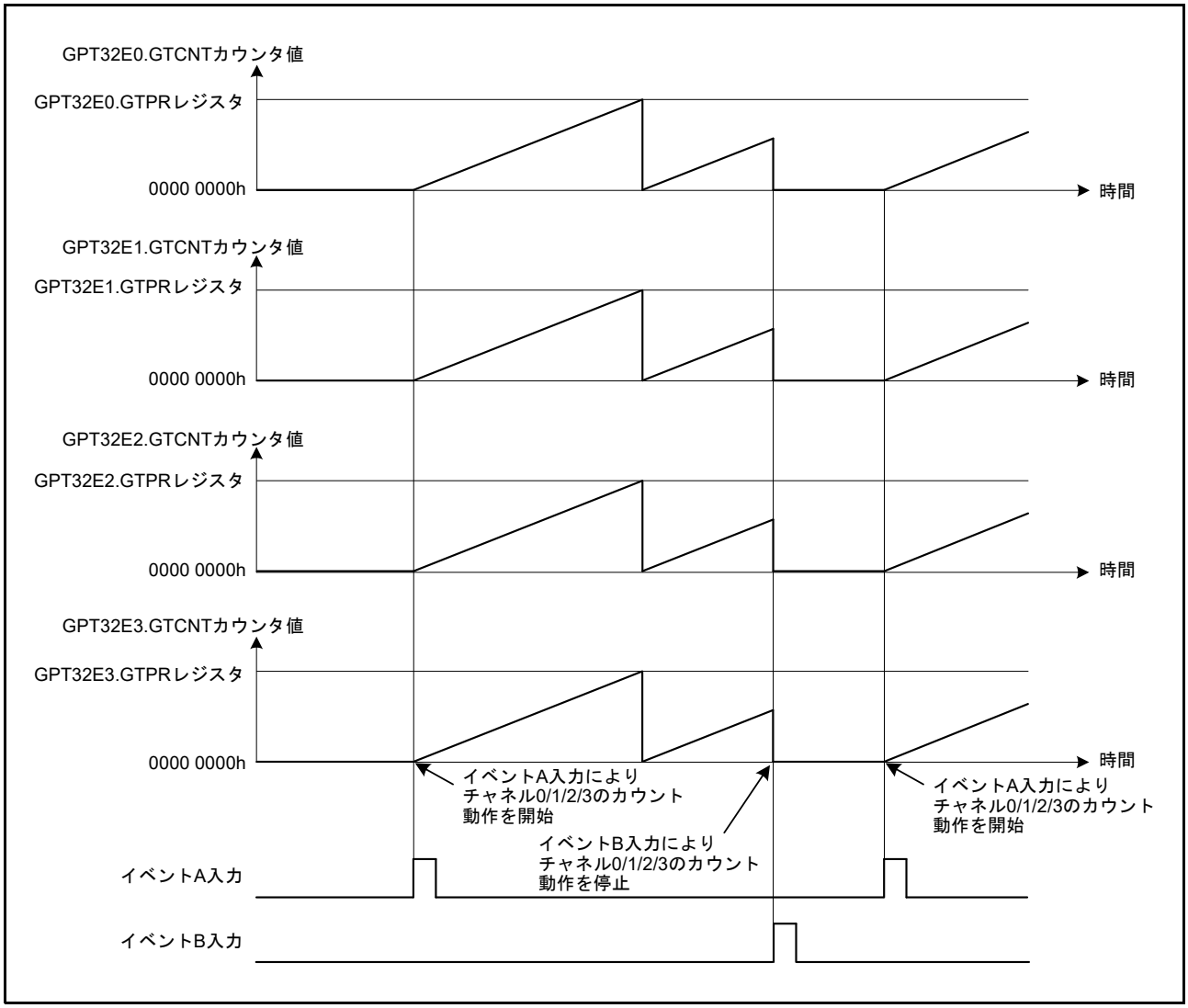


図 12.62　ハードウェア要因による同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

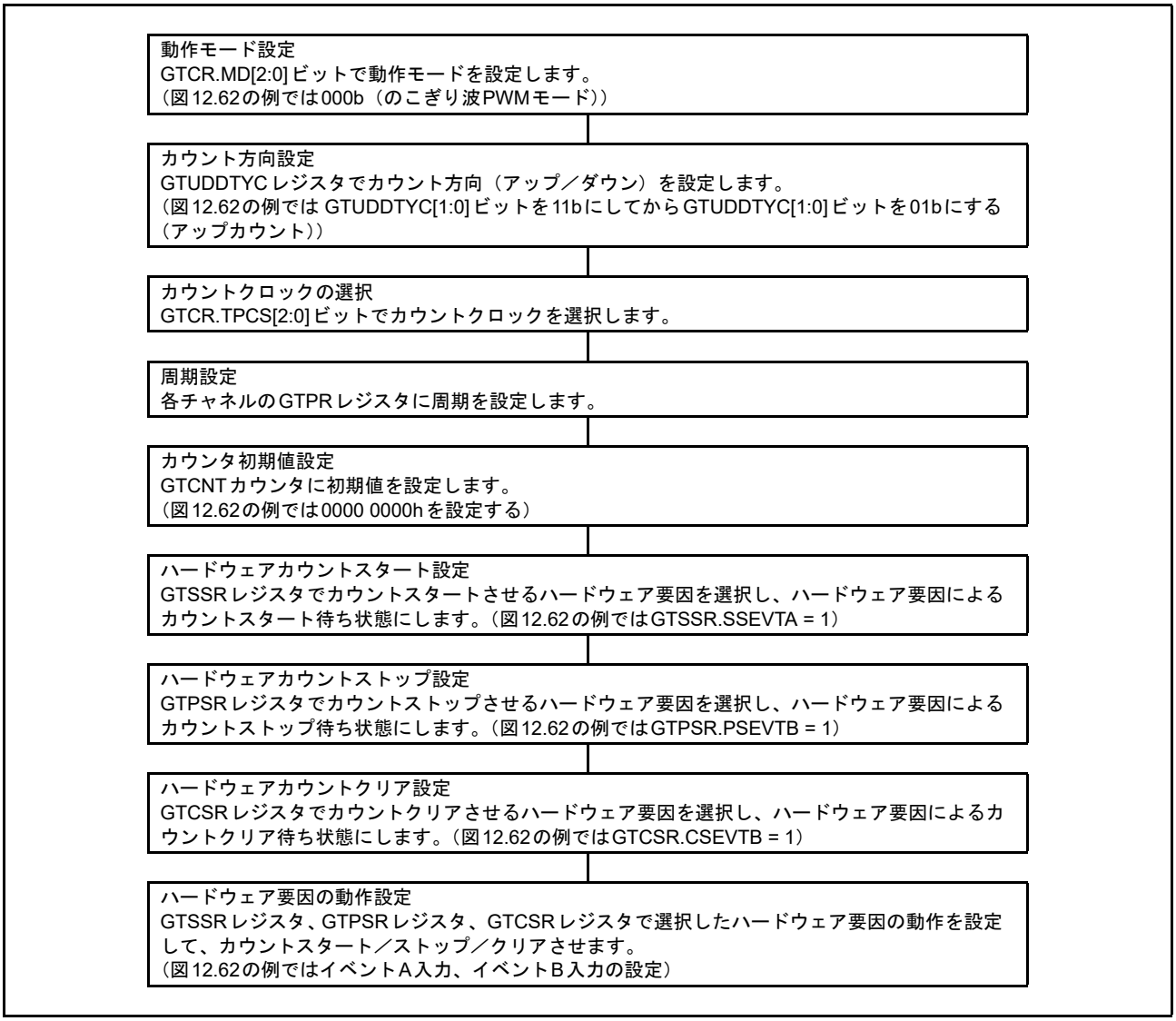


図 12.63　ハードウェア要因による同時スタート設定例

12.3.9　PWM 出力動作例

12.3.9.1　同期 PWM 出力

チャネル間の同期動作により、最大８チャネル１６相の連動した PWM 波形を出力できます。

図 12.64 に、4 チャネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

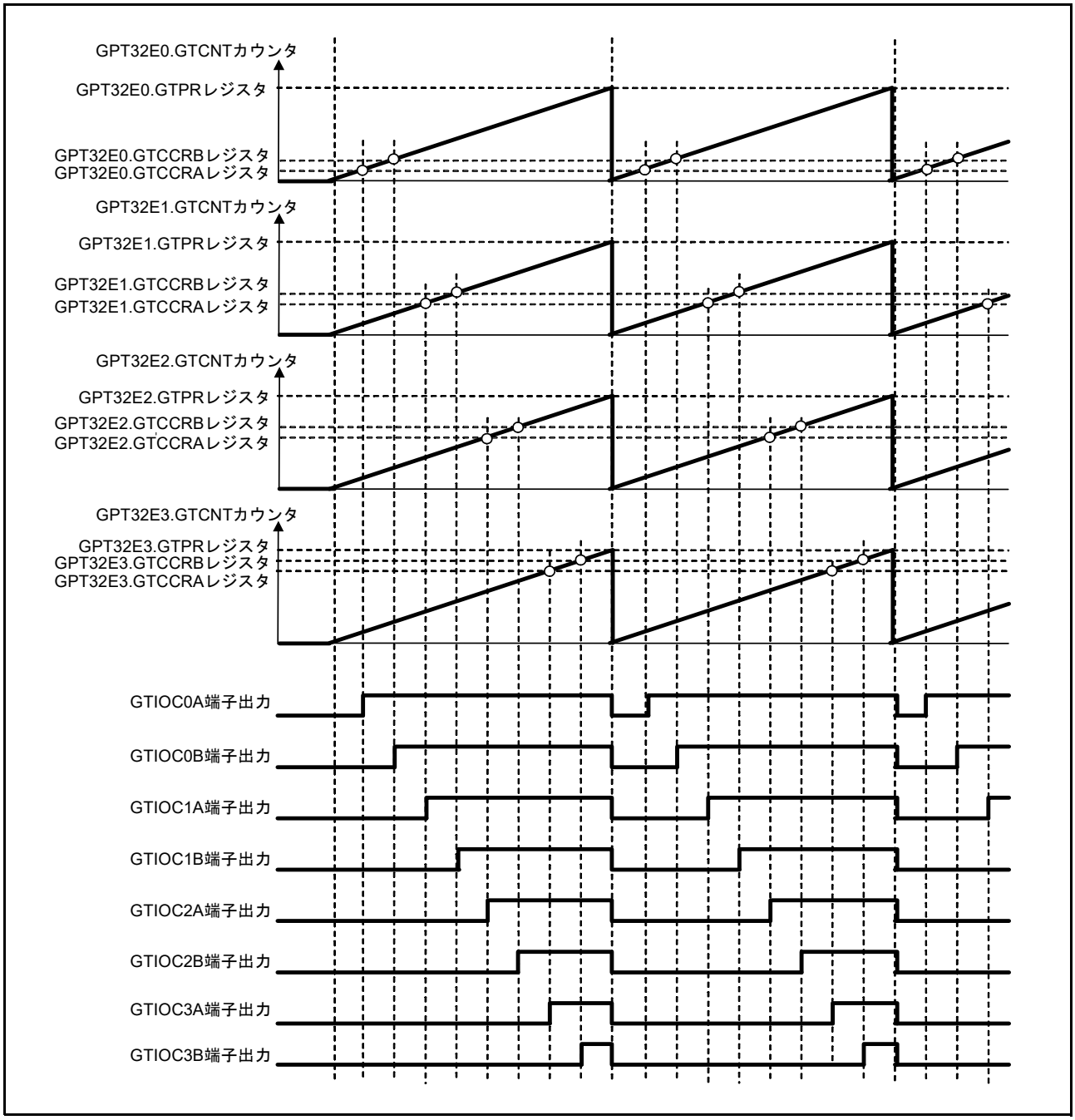


図 12.64　同期 PWM 出力例

12.3.9.2　のこぎり波 3 相相補 PWM 出力

図 12.65 に、3 チャネルをのこぎり波 PWM モードで同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

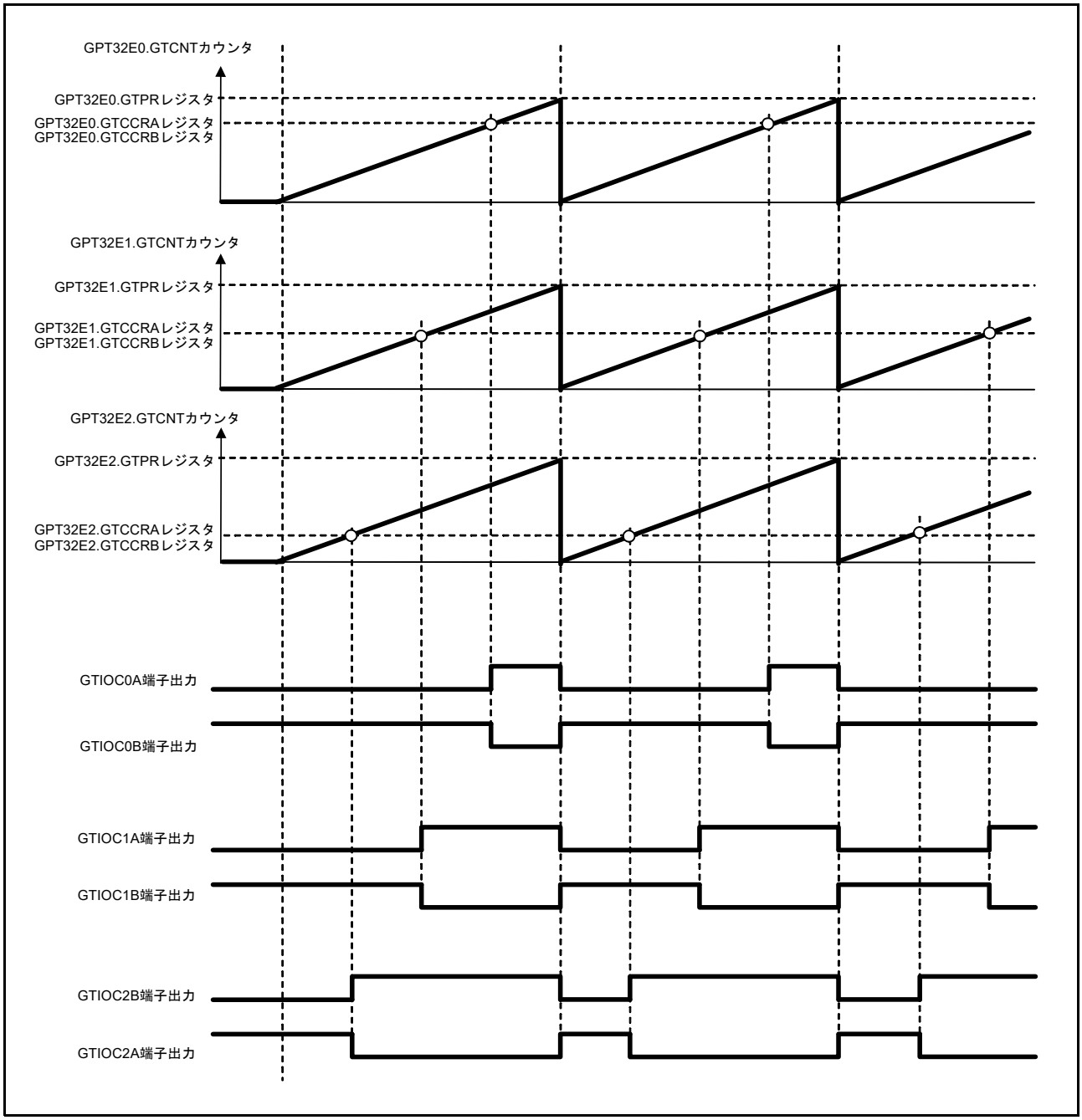


図 12.65　のこぎり波 3 相相補 PWM 出力例

12.3.9.3　のこぎり波 3 相相補 PWM 出力（デッドタイム自動設定）

図 12.66 に、デッドタイム自動設定機能を使用して、3 チャネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

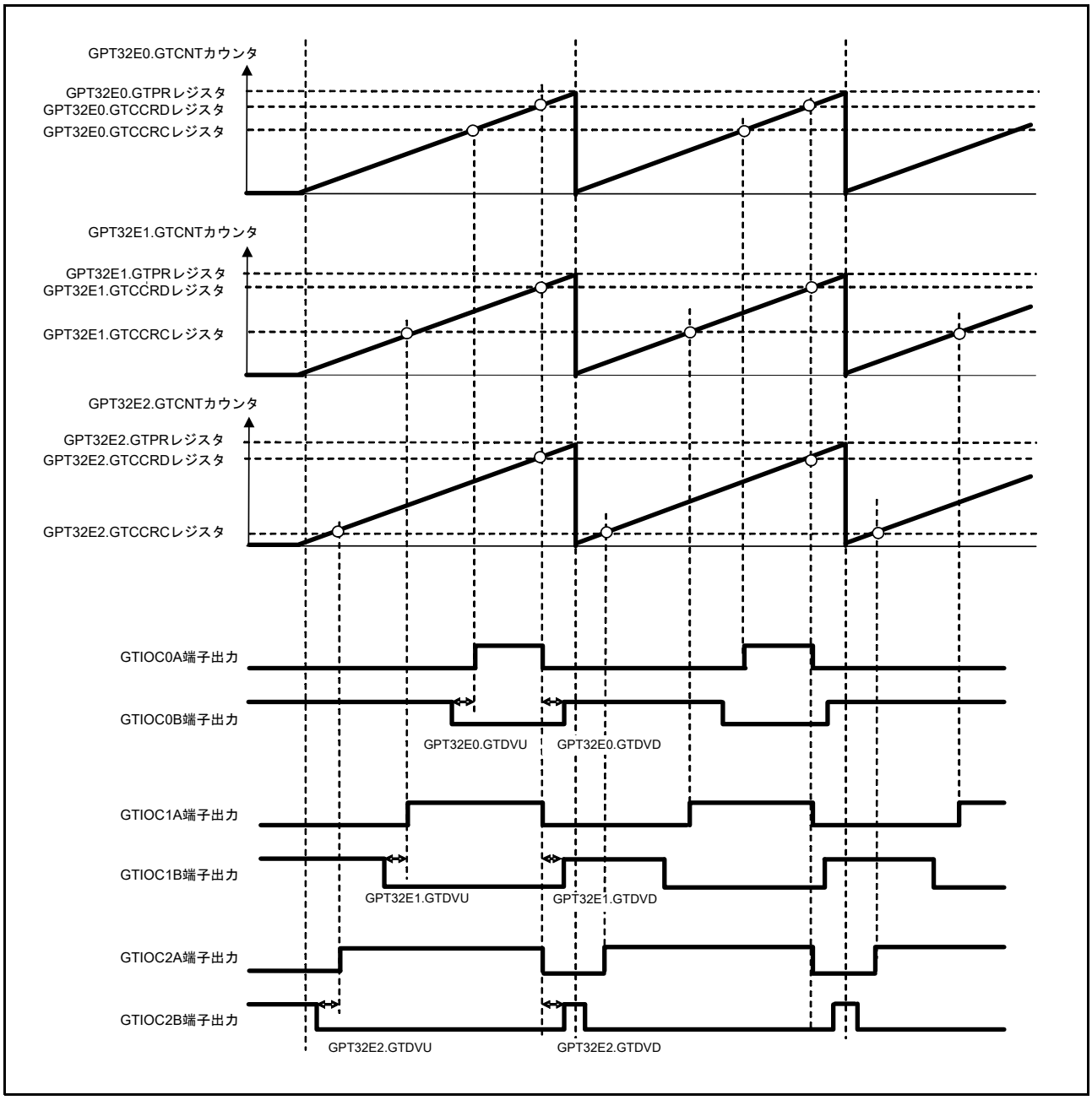


図 12.66　のこぎり波 3 相相補 PWM 出力例（デッドタイム自動設定）

12.3.9.4　三角波 3 相相補 PWM 出力

図 12.67 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

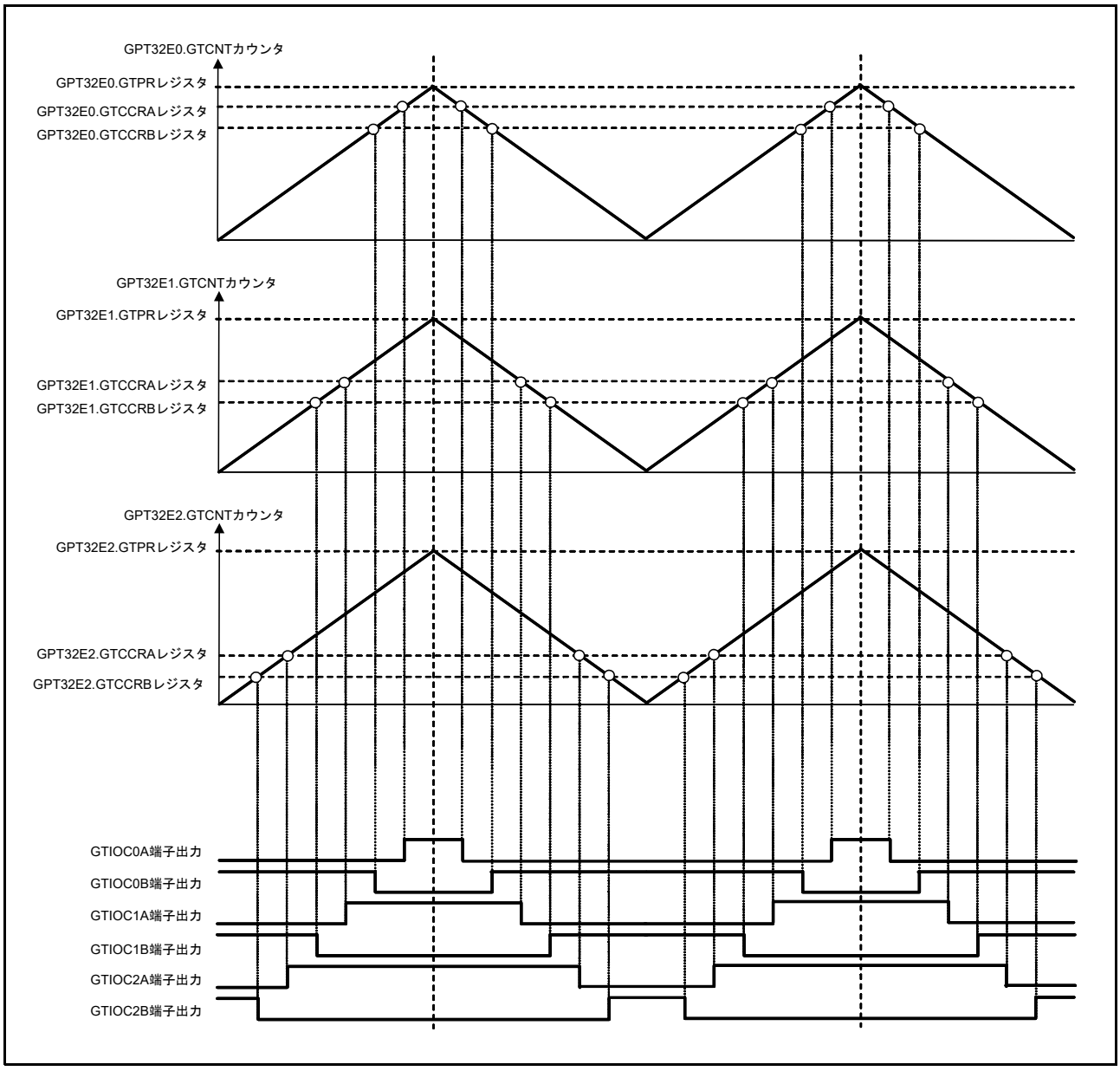


図 12.67　三角波 3 相相補 PWM 出力例

12.3.9.5　三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 12.68 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

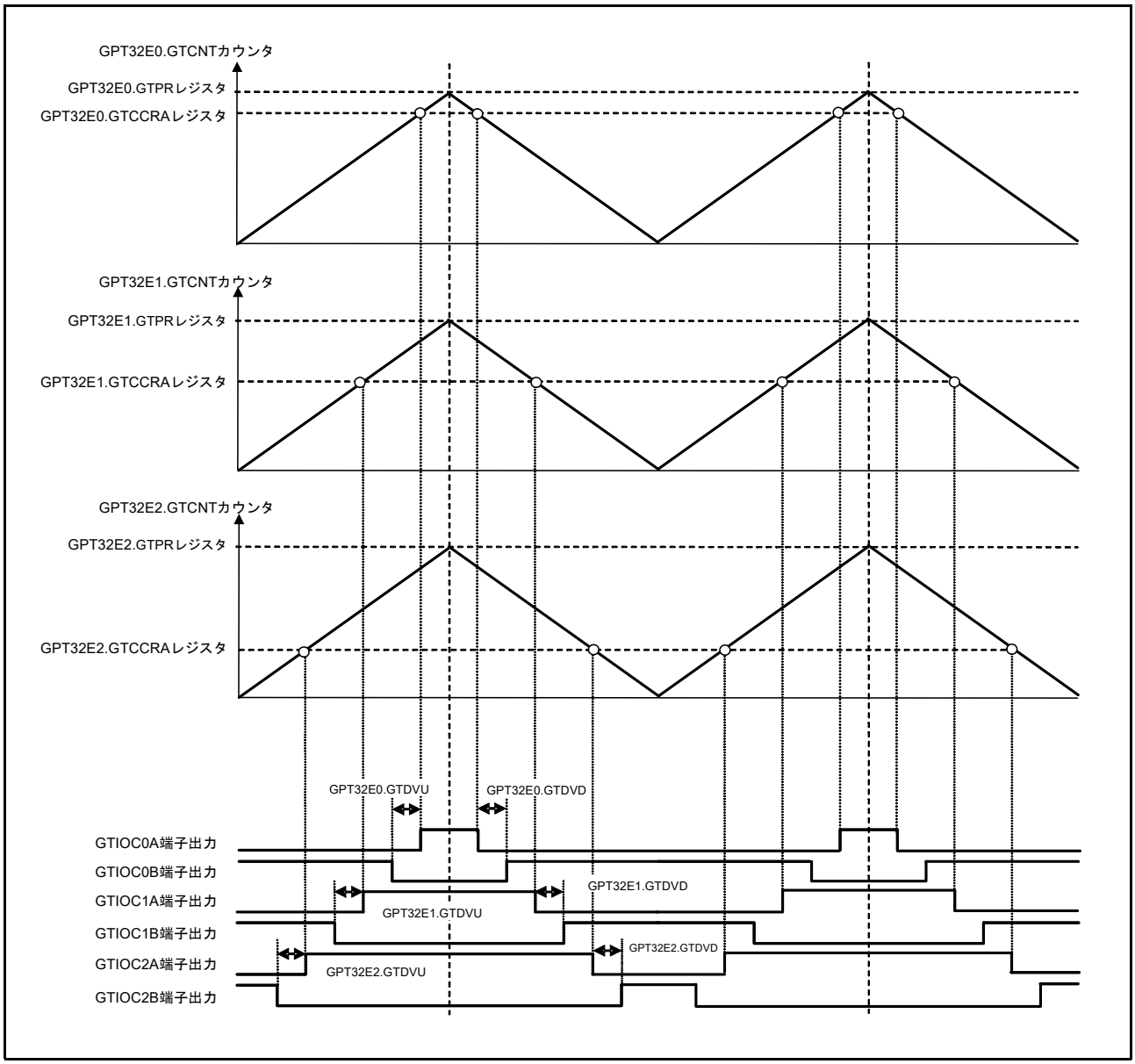


図 12.68　三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

12.3.9.6　非対称三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 12.69 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

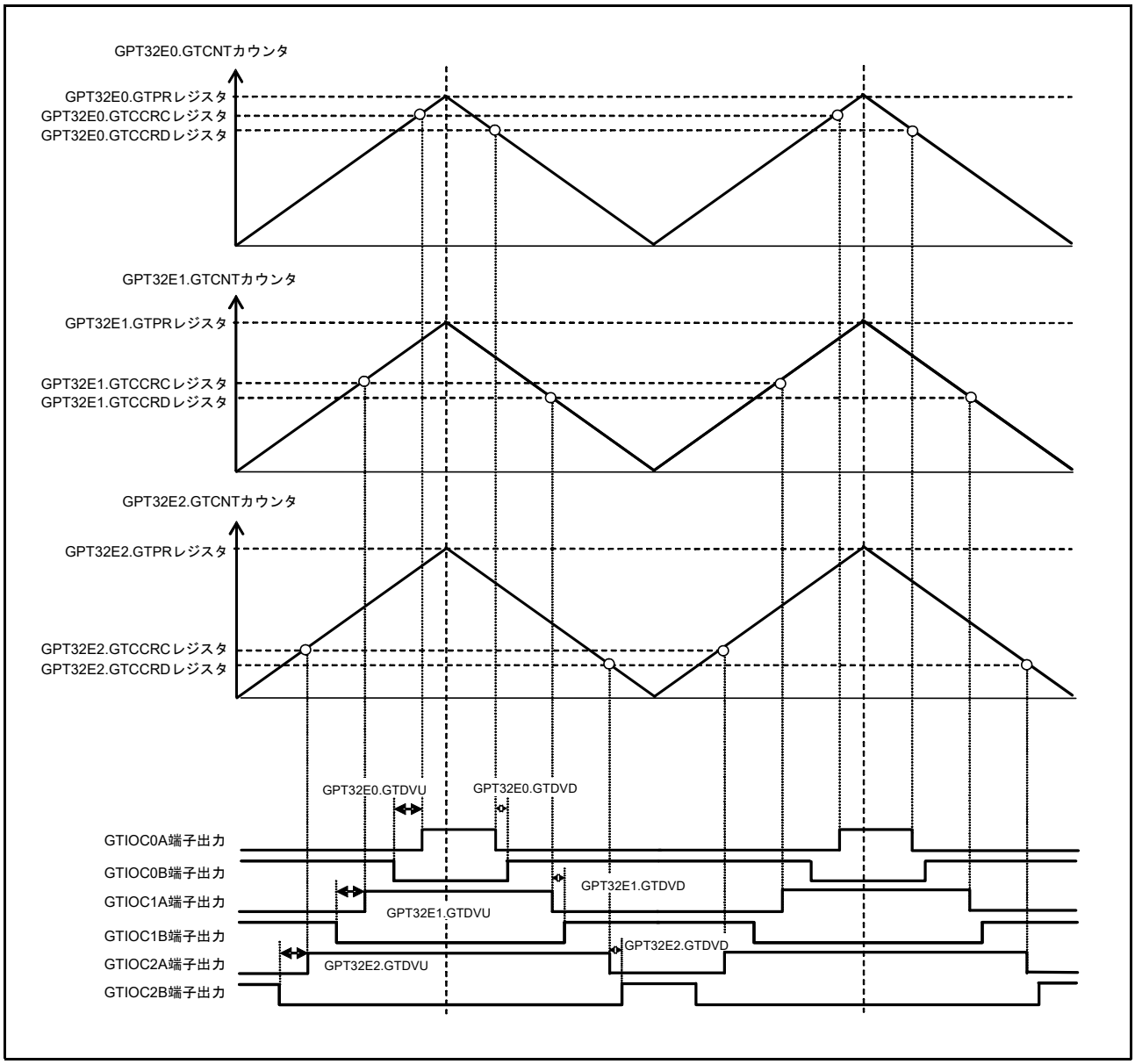


図 12.69　非対称三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

12.3.10　位相計数機能

GTIOCA 端子入力と GTIOCB 端子入力の間で位相差を検出し、対応する GTCNT カウンタがカウントアップまたはカウントダウンを実行します。GTUPSR および GTDNSR レジスタに設定されている GTIOCA 端子入力と GTIOCB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、**「12.3.1.1　カウンタの動作」**を参照してください。

図 12.70 ～**図 12.79** に、位相計数モード 1 ～ 5 を示します。**表 12.9** ～**表 12.18** に、アップカウント／ダウンカウントの条件と、GTUPSR および GTDNSR レジスタの設定値を示します。

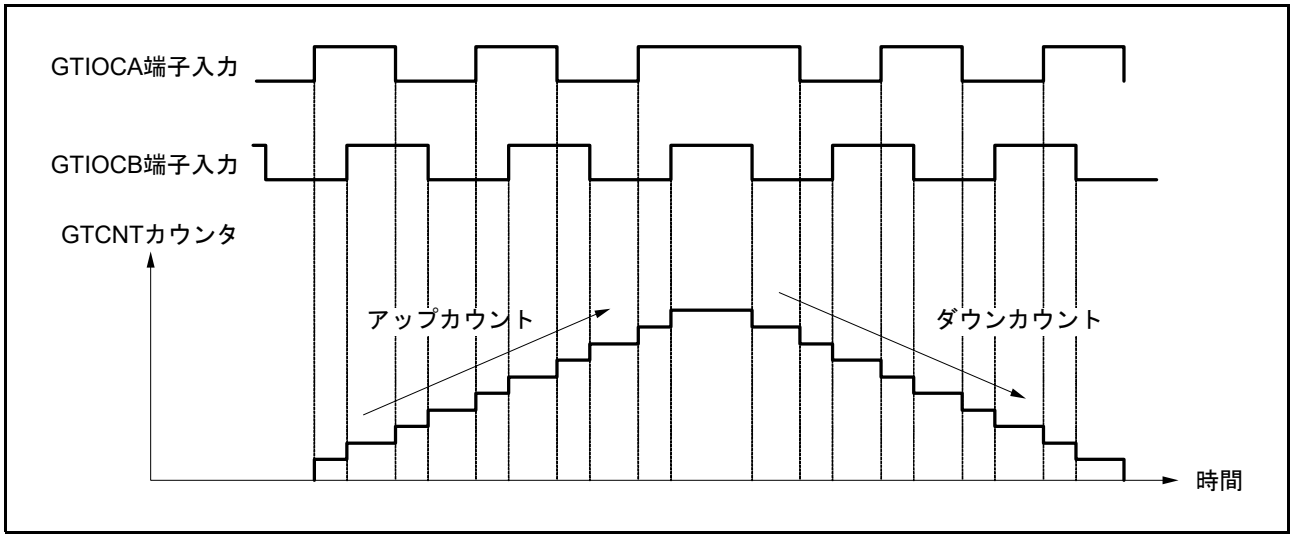


図 12.70　位相計数モード 1 の動作例

表 12.9　位相計数モード 1 でのアップカウント／ダウンカウントの条件

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR レジスタ = 00006900h GTDNSR レジスタ = 00009600h
Low	↓		
↑	Low		
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High		
↓	Low		

↑：立ち上がりエッジ

↓：立ち下がりエッジ

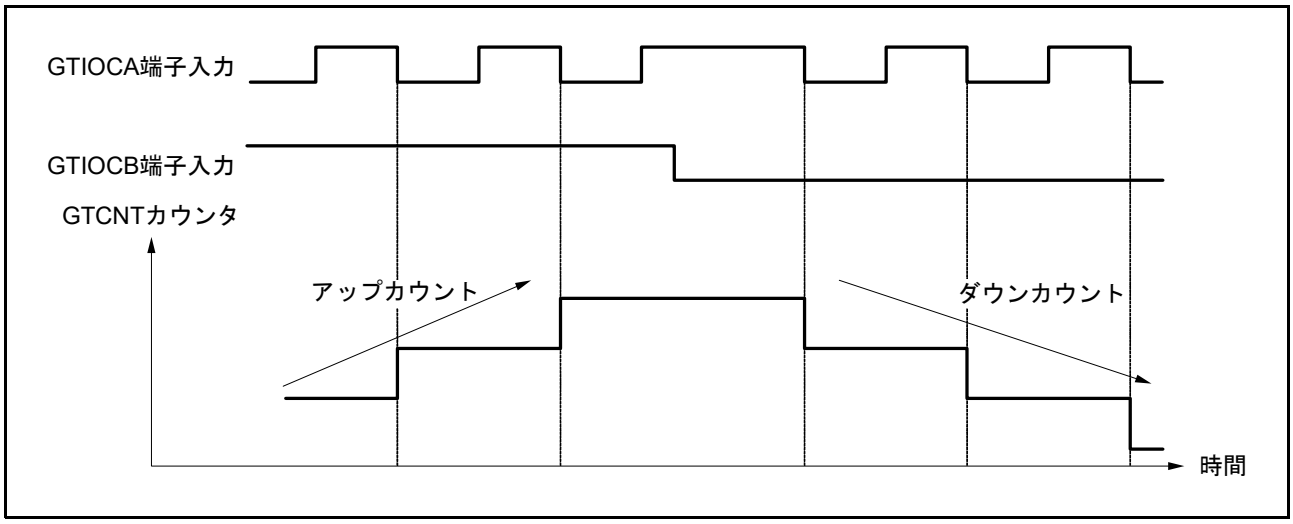


図 12.71　位相計数モード 2 の動作例（A）

表 12.10　位相計数モード2でのアップカウント／ダウンカウントの条件（A）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 00000800h GTDNSR レジスタ = 00000400h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High		
↓	Low	ダウンカウント	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

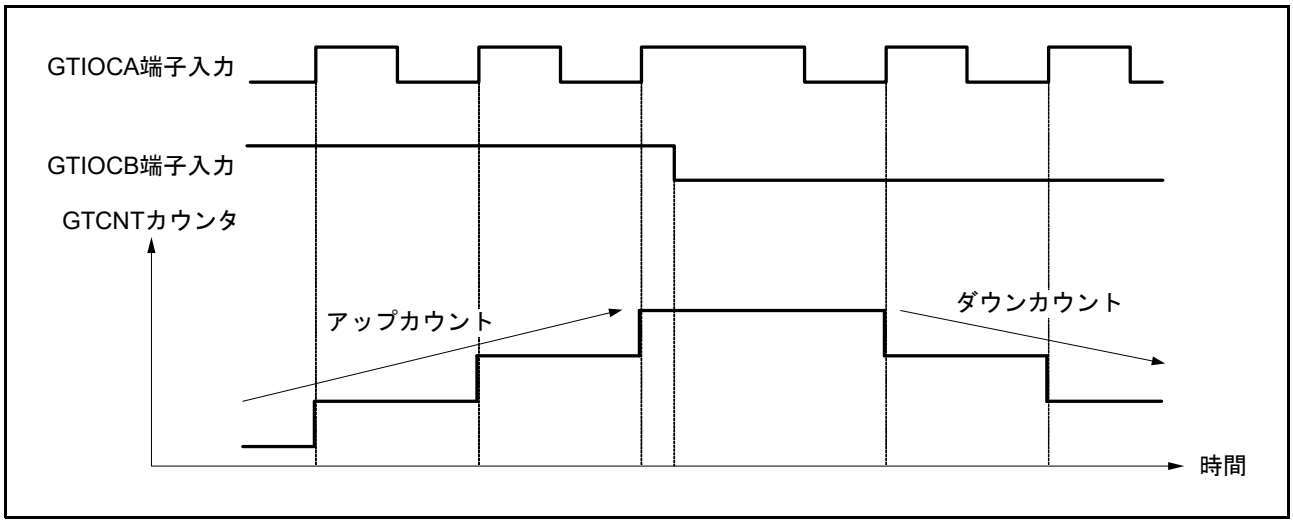


図 12.72　位相計数モード 2 の動作例（B）

表12.11　位相計数モード2でのアップカウント／ダウンカウントの条件（B）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	Don’t care	GTUPSR レジスタ = 00000200h GTDNSR レジスタ = 00000100h
Low	↓		
↑	Low	ダウンカウント	
↓	High	Don’t care	
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don't care	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

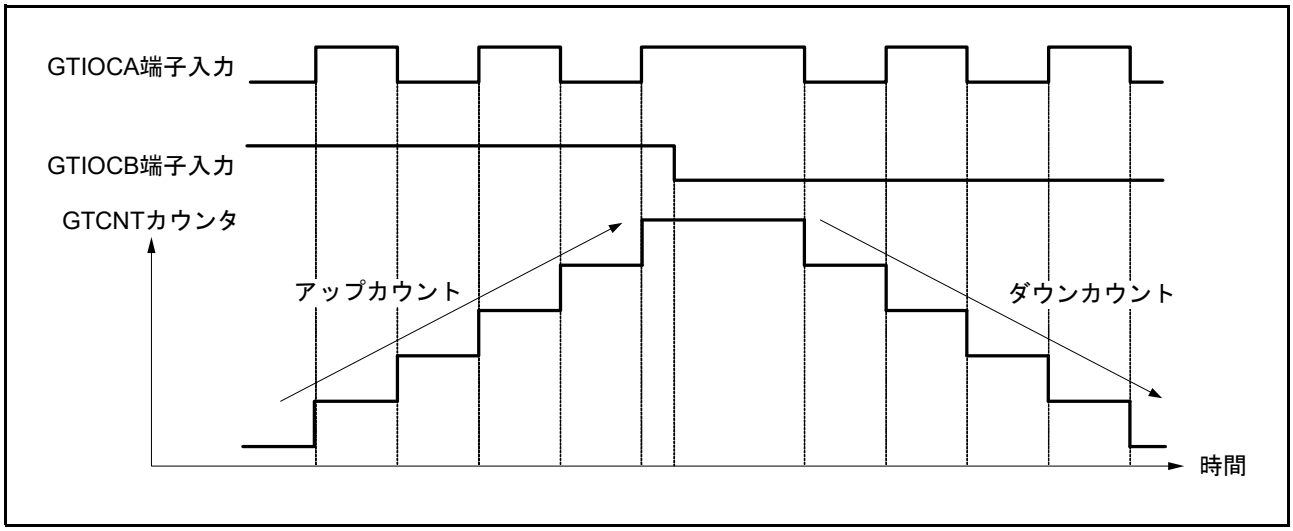


図 12.73　位相計数モード 2 の動作例（C）

表12.12　位相計数モード2でのアップカウント／ダウンカウントの条件（C）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 00000A00h GTDNSR レジスタ = 00000500h
Low	↓		
↑	Low	ダウンカウント	
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High	アップカウント	
↓	Low	ダウンカウント	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

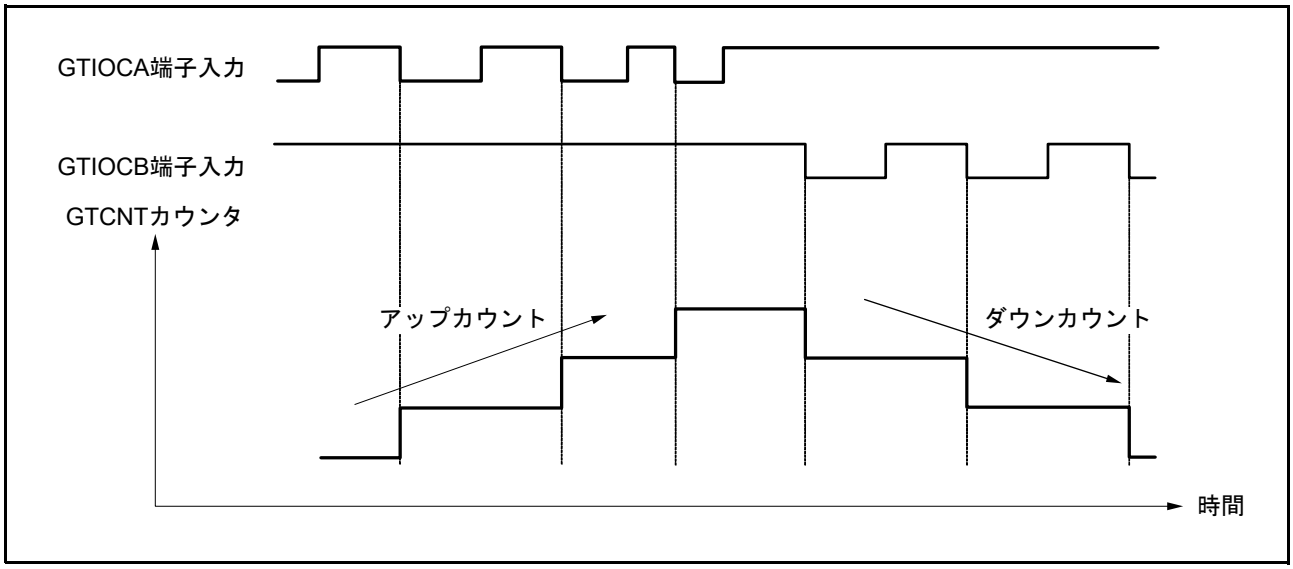


図 12.74　位相計数モード 3 の動作例（A）

表 12.13　位相計数モード 3 でのアップカウント／ダウンカウントの条件（A）

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 00000800h GTDNSR レジスタ = 00008000h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	Don't care	
↑	High		
↓	Low		

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

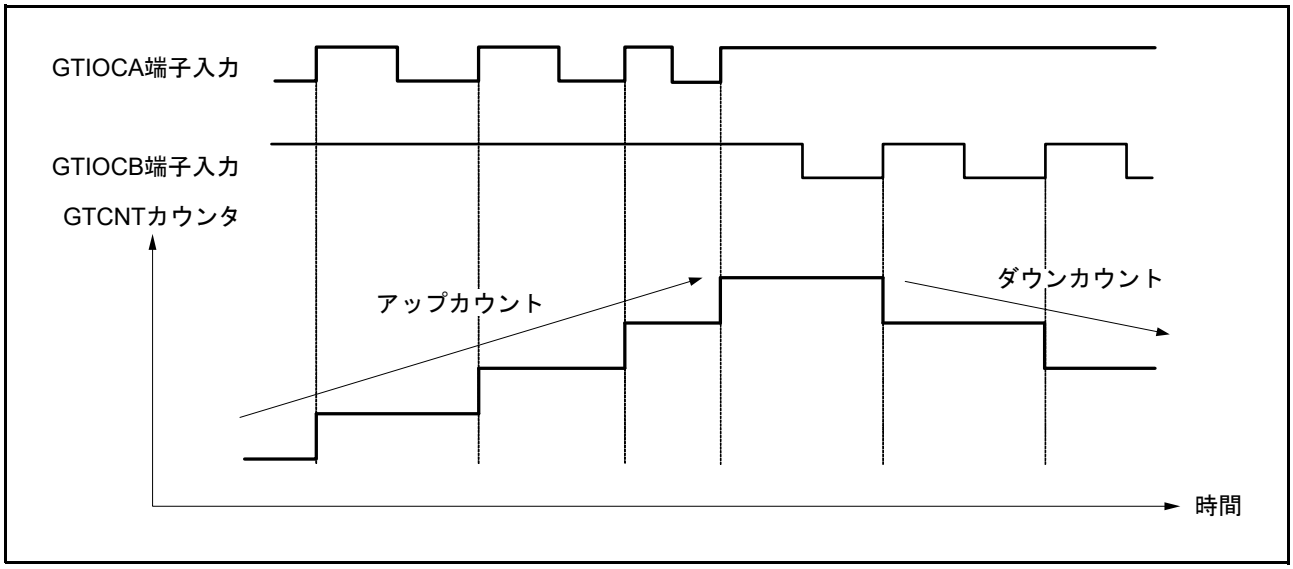


図 12.75　位相計数モード 3 の動作例（B）

表 12.14　位相計数モード 3 でのアップカウント／ダウンカウントの条件（B）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR レジスタ = 00000200h GTDNSR レジスタ = 00002000h
Low	↓	Don’t care	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don’t care	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

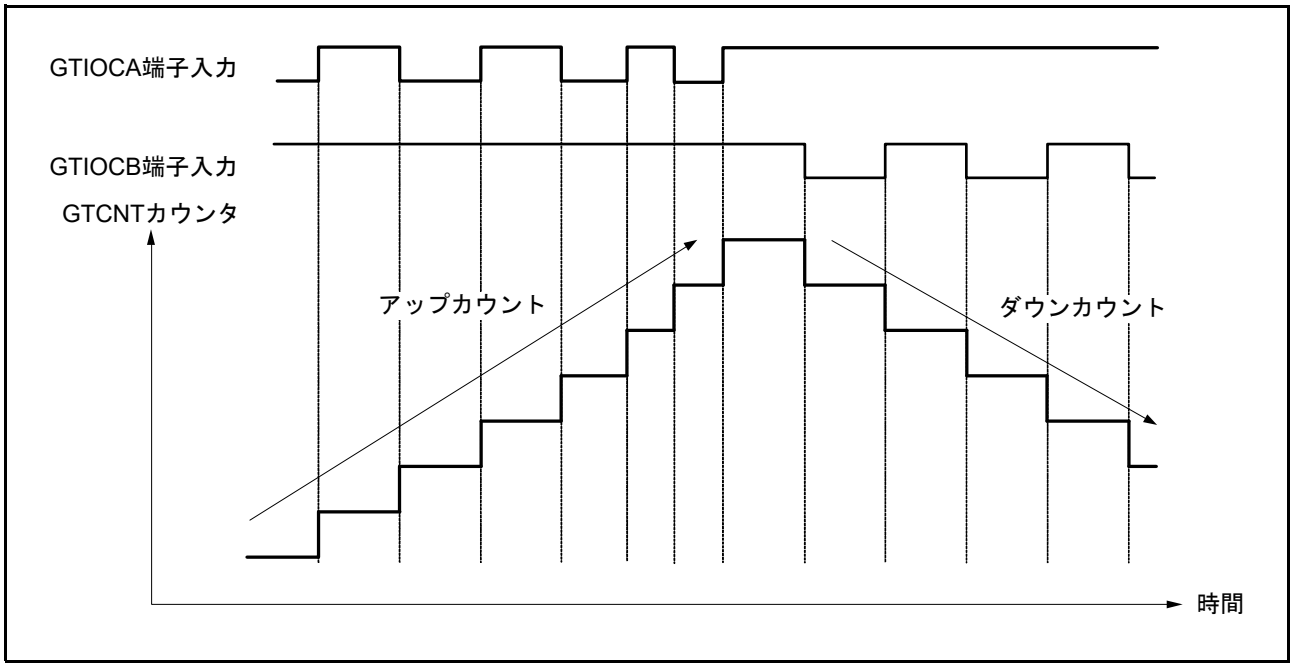


図 12.76　位相計数モード 3 の動作例（C）

表 12.15　位相計数モード3でのアップカウント／ダウンカウントの条件（C）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR レジスタ = 00000A00h GTDNSR レジスタ = 0000A000h
Low	↓	Don’t care	
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	Don’t care	
↑	High	アップカウント	
↓	Low	Don’t care	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

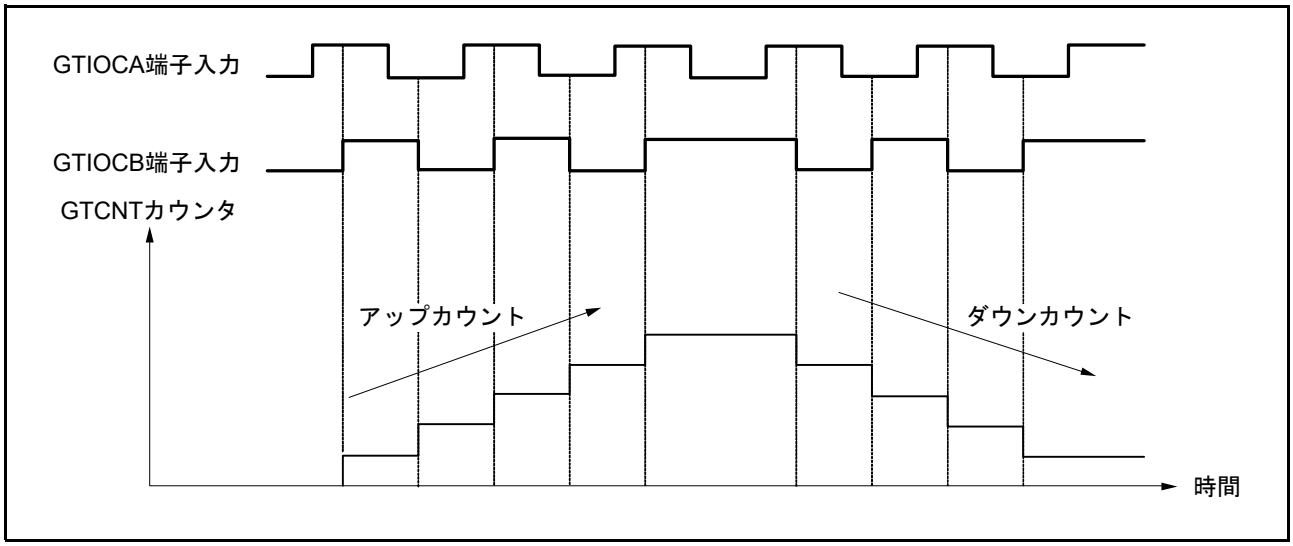


図 12.77　位相計数モード 4 の動作例

表 12.16　位相計数モード 4 でのアップカウント／ダウンカウントの条件

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR レジスタ = 00006000h GTDNSR レジスタ = 00009000h
Low	↓		
↑	Low	Don’t care	
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High	Don’t care	
↓	Low		

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

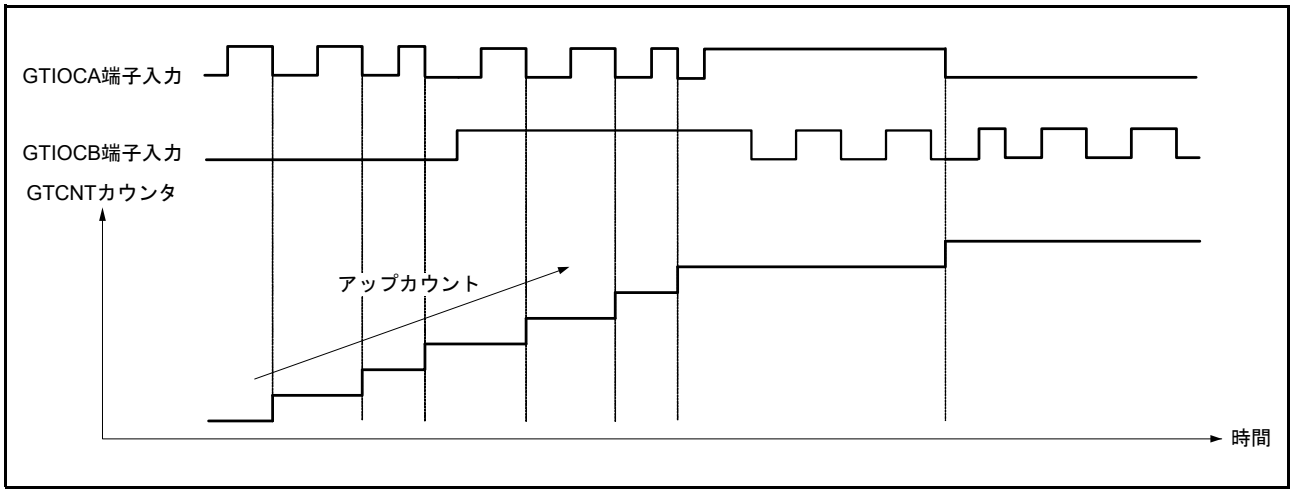


図 12.78　位相計数モード 5 の動作例（A）

表 12.17　位相計数モード 5 でのアップカウント／ダウンカウントの条件（A）

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	Don’t care	GTUPSR レジスタ = 00000C00h GTDNSR レジスタ = 00000000h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	Don’t care	
Low	↑		
↑	High		
↓	Low	アップカウント	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

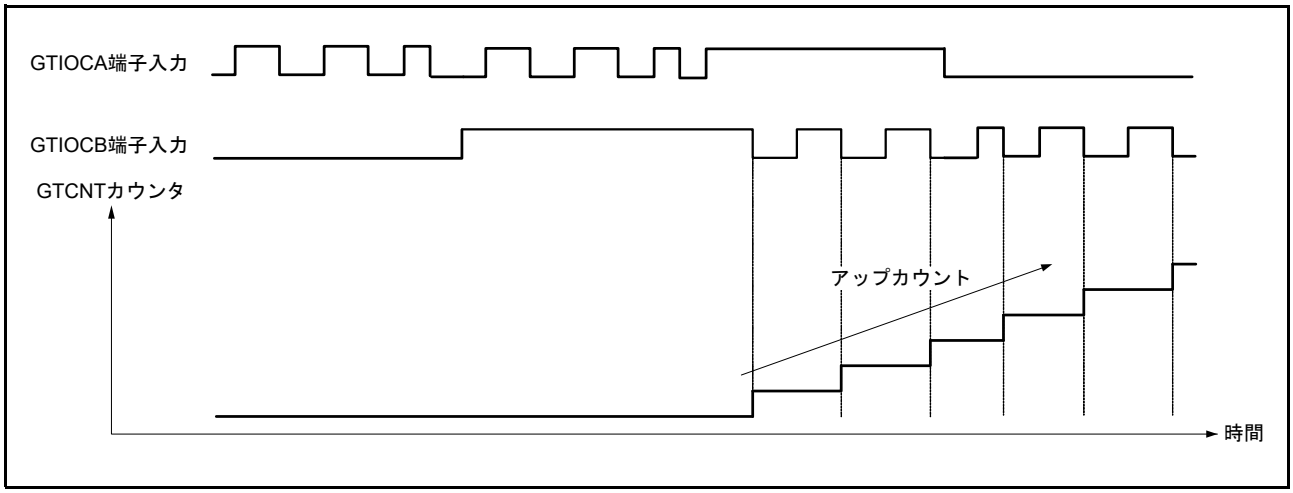


図 12.79　位相計数モード 5 の動作例（B）

表 12.18　位相計数モード 5 でのアップカウント／ダウンカウントの条件（B）

GTIOCA 端子入力	GTIOCB 端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 0000C000h GTDNSR レジスタ = 00000000h
Low	↓	アップカウント	
↑	Low	Don't care	
↓	High		
High	↓	アップカウント	
Low	↑	Don't care	
↑	High		
↓	Low		

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

12.4　割り込み要因

12.4.1　割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR インプットキャプチャ／コンペアマッチ
- GTADTR コンペアマッチ
- GTCNT カウンタオーバフロー（GTPR コンペアマッチ）／アンダフロー

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態によって自動更新されます。チャネル間の優先順位は、割り込みコントローラ（INTC）で変更可能です。ただし、1 つのチャネル内での優先順位は固定されています。詳細は、**「7.　割り込みコントローラ」**を参照してください。**表 12.19** に GPT の割り込み要因の一覧を示します。

表 12.19　割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DMAC の起動
0	CCMPA0	GPT32E0.GTCCRA インプットキャプチャ／コンペアマッチ	TCFA	可能
	CCMPB0	GPT32E0.GTCCRB インプットキャプチャ／コンペアマッチ	TCFB	可能
	CMPC0	GPT32E0.GTCCRC コンペアマッチ	TCFC	可能
	CMPD0	GPT32E0.GTCCRD コンペアマッチ	TCFD	可能
	CMPE0	GPT32E0.GTCCRE コンペアマッチ	TCFE	可能
	CMPF0	GPT32E0.GTCCRF コンペアマッチ	TCFF	可能
	ADTRGA0	GPT32E0.GTADTRA コンペアマッチ	ADTRAUF ADTRADF	可能
	ADTRGB0	GPT32E0.GTADTRB コンペアマッチ	ADTRBUF ADTRBDF	可能
	OVF0	GPT32E0.GTCNT オーバフロー（GPT32E0.GTPR コンペアマッチ）	TCFPO	可能
	UNF0	GPT32E0.GTCNT アンダフロー	TCFPU	可能
1	CCMPA1	GPT32E1.GTCCRA インプットキャプチャ／コンペアマッチ	TCFA	可能
	CCMPB1	GPT32E1.GTCCRB インプットキャプチャ／コンペアマッチ	TCFB	可能
	CMPC1	GPT32E1.GTCCRC コンペアマッチ	TCFC	可能
	CMPD1	GPT32E1.GTCCRD コンペアマッチ	TCFD	可能
	CMPE1	GPT32E1.GTCCRE コンペアマッチ	TCFE	可能
	CMPF1	GPT32E1.GTCCRF コンペアマッチ	TCFF	可能
	ADTRGA1	GPT32E1.GTADTRA コンペアマッチ	ADTRAUF ADTRADF	可能
	ADTRGB1	GPT32E1.GTADTRB コンペアマッチ	ADTRBUF ADTRBDF	可能
	OVF1	GPT32E1.GTCNT オーバフロー（GPT32E1.GTPR コンペアマッチ）	TCFPO	可能
	UNF1	GPT32E1.GTCNT アンダフロー	TCFPU	可能

チャネル	名称	割り込み要因	割り込みフラグ	DMACの起動
2	CCMPA2	GPT32E2.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	CCMPB2	GPT32E2.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	CMPC2	GPT32E2.GTCCRCコンペアマッチ	TCFC	可能
	CMPD2	GPT32E2.GTCCRDコンペアマッチ	TCFD	可能
	CMPE2	GPT32E2.GTCCREコンペアマッチ	TCFE	可能
	CMPF2	GPT32E2.GTCCRFコンペアマッチ	TCFF	可能
	ADTRGA2	GPT32E2.GTCCREコンペアマッチ	ADTRAUF ADTRADF	可能
	ADTRGB2	GPT32E2.GTCCRFコンペアマッチ	ADTRBUF ADTRBDF	可能
	OVF2	GPT32E2.GTCNTオーバフロー（GPT32E2.GTPRコンペアマッチ）	TCFPO	可能
	UNF2	GPT32E2.GTCNTアンダフロー	TCFPU	可能
3	CCMPA3	GPT32E3.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	CCMPB3	GPT32E3.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	CMPC3	GPT32E3.GTCCRCコンペアマッチ	TCFC	可能
	CMPD3	GPT32E3.GTCCRDコンペアマッチ	TCFD	可能
	CMPE3	GPT32E3.GTCCREコンペアマッチ	TCFE	可能
	CMPF3	GPT32E3.GTCCRFコンペアマッチ	TCFF	可能
	ADTRGA3	GPT32E3.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	ADTRGB3	GPT32E3.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	OVF3	GPT32E3.GTCNTオーバフロー（GPT32E3.GTPRコンペアマッチ）	TCFPO	可能
	UNF3	GPT32E3.GTCNTアンダフロー	TCFPU	可能
4	CCMPA4	GPT32E4.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	CCMPB4	GPT32E4.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	CMPC4	GPT32E4.GTCCRCコンペアマッチ	TCFC	可能
	CMPD4	GPT32E4.GTCCRDコンペアマッチ	TCFD	可能
	CMPE4	GPT32E4.GTCCREコンペアマッチ	TCFE	可能
	CMPF4	GPT32E4.GTCCRFコンペアマッチ	TCFF	可能
	ADTRGA4	GPT32E4.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	ADTRGB4	GPT32E4.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	OVF4	GPT32E4.GTCNTオーバフロー（GPT32E4.GTPRコンペアマッチ）	TCFPO	可能
	UNF4	GPT32E4.GTCNTアンダフロー	TCFPU	可能
5	CCMPA5	GPT32E5.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	CCMPB5	GPT32E5.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	CMPC5	GPT32E5.GTCCRCコンペアマッチ	TCFC	可能
	CMPD5	GPT32E5.GTCCRDコンペアマッチ	TCFD	可能
	CMPE5	GPT32E5.GTCCREコンペアマッチ	TCFE	可能
	CMPF5	GPT32E5.GTCCRFコンペアマッチ	TCFF	可能
	ADTRGA5	GPT32E5.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	ADTRGB5	GPT32E5.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	OVF5	GPT32E5.GTCNTオーバフロー（GPT32E5.GTPRコンペアマッチ）	TCFPO	可能
	UNF5	GPT32E5.GTCNTアンダフロー	TCFPU	可能

チャネル	名称	割り込み要因	割り込みフラグ	DMACの起動
6	CCMPA6	GPT32E6.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	CCMPB6	GPT32E6.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	CMPC6	GPT32E6.GTCCRCコンペアマッチ	TCFC	可能
	CMPD6	GPT32E6.GTCCRDコンペアマッチ	TCFD	可能
	CMPE6	GPT32E6.GTCCREコンペアマッチ	TCFE	可能
	CMPF6	GPT32E6.GTCCRFコンペアマッチ	TCFF	可能
	ADTRGA6	GPT32E6.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	ADTRGB6	GPT32E6.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	OVF6	GPT32E6.GTCNTオーバフロー（GPT32E6.GTPRコンペアマッチ）	TCFPO	可能
	UNF6	GPT32E6.GTCNTアンダフロー	TCFPU	可能
7	CCMPA7	GPT32E7.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	CCMPB7	GPT32E7.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	CMPC7	GPT32E7.GTCCRCコンペアマッチ	TCFC	可能
	CMPD7	GPT32E7.GTCCRDコンペアマッチ	TCFD	可能
	CMPE7	GPT32E7.GTCCREコンペアマッチ	TCFE	可能
	CMPF7	GPT32E7.GTCCRFコンペアマッチ	TCFF	可能
	ADTRGA7	GPT32E7.GTADTRAコンペアマッチ	ADTRAUF ADTRADF	可能
	ADTRGB7	GPT32E7.GTADTRBコンペアマッチ	ADTRBUF ADTRBDF	可能
	OVF7	GPT32E7.GTCNTオーバフロー（GPT32E7.GTPRコンペアマッチ）	TCFPO	可能
	UNF7	GPT32E7.GTCNTアンダフロー	TCFPU	可能

注.　この表は、リセット直後の初期状態を示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1) ADTRGAn 割り込み（n = 0 ～ 7）

GTCNT カウンタ値が GTADTRA レジスタ値と一致した場合、以下の条件で割り込み要求が発生します。

- アップカウント時、GTINTAD レジスタの割り込み許可ビット（ADTRAUEN）が 1 のとき
- ダウンカウント時、GTINTAD レジスタの割り込み許可ビット（ADTRADEN）が 1 のとき

イベントカウント動作実行時、この割り込み要求は発生しません。

(2) ADTRGBn 割り込み（n = 0 ～ 7）

GTCNT カウンタ値が GTADTRB レジスタ値と一致した場合、以下の条件で割り込み要求が発生します。

- アップカウント時、GTINTAD レジスタの割り込み許可ビット（ADTRBUEN）が 1 のとき
- ダウンカウント時、GTINTAD レジスタの割り込み許可ビット（ADTRBDEN）が 1 のとき

イベントカウント動作実行時、この割り込み要求は発生しません。

(3) CCMPAn 割り込み（n = 0 ～ 7）

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき

(4) CCMPBn 割り込み（n = 0 ～ 7）

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

(5) CMPCn 割り込み（n = 0 ～ 7）

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] ビット = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

(6) CMPDn 割り込み（n = 0 ～ 7）

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] ビット = 10b、11b（GTCCRD レジスタがバッファ動作）

(7) CMPEn 割り込み（n = 0 ～ 7）

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRE レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] ビット = 01b、10b、11b（GTCCRE レジスタがバッファ動作）

(8) CMPFn 割り込み（n = 0 ～ 7）

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRF レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] ビット = 10b、11b（GTCCRF レジスタがバッファ動作）

(9) OVFn 割り込み（n = 0 ～ 7）

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、オーバフロー時（アップカウント中に GTCNT カウンタ値が GTPR 値から 0 に変化）に割り込み要求が許可されているとき
- 三角波モードの場合、山（GTCNT カウンタ値が GTPR 値から GTPR 値 -1 に変化）で割り込み要求が許可されているとき
- ハードウェア要因によるカウントで、オーバフロー（アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化）が発生したとき

(10) UNFn 割り込み（n = 0 ～ 7）

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、アンダフロー時（ダウンカウント中に GTCNT カウンタ値が 0 から GTPR 値に変化）に割り込み要求が許可されているとき
- 三角波モードの場合、谷（GTCNT カウンタ値が 0 から 1 に変化）で割り込み要求が許可されているとき
- ハードウェア要因によるカウントで、アンダフロー（ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化）が発生したとき

表12.20　割り込み信号、割り込み許可ビット、割り込みステータスフラグ

割り込み信号	割り込み許可ビット	割り込みステータスフラグ
UNFn	GTINTAD[7:6] (GTINTPR[1:0])	GTST[7]（TCFPU）
OVFn		GTST[6]（TCFPO）
ADTRGBn	GTINTAD[19]（ADTRBDEN） GTINTAD[18]（ADTRBUEN）	GTST[19]（ADTRBDF） GTST[18]（ADTRBUF）
ADTRGAn	GTINTAD[17]（ADTRADEN） GTINTAD[16]（ADTRAUEN）	GTST[17]（ADTRADF） GTST[16]（ADTRAUF）
CMPFn	GTINTAD[5] (GTINTF)	GTST[5]（TCFF）
CMPEn	GTINTAD[4] (GTINTE)	GTST[4]（TCFE）
CMPDn	GTINTAD[3] (GTINTD)	GTST[3]（TCFD）
CMPCn	GTINTAD[2] (GTINTC)	GTST[2]（TCFC）
CCMPBn	GTINTAD[1] (GTINTB)	GTST[1]（TCFB）
CCMPAn	GTINTAD[0] (GTINTA)	GTST[0]（TCFA）

12.4.2　DMAC 起動

各チャネルの割り込みによって、DMAC を起動することができます。

詳細は、「9. **ダイレクトメモリアクセスコントローラ**」を参照してください。

12.4.3　割り込み、A/D 変換要求の間引き機能

GTITC レジスタを設定することにより、GTCNT カウンタのオーバフロー（GTPR レジスタのコンペアマッチ）割り込み（OVFn）と、アンダフロー割り込み（UNFn）を間引くことが可能です。また、他の割り込みや A/D 変換開始要求信号も、OVFn/UNFn 割り込み間引き機能と連動して間引くことができます。

割り込み要求間引き機能は、GTITC レジスタの設定のみに依存し、GTINTAD レジスタの割り込み許可ビットの設定には依存しません。

三角波モードで谷と山の両方をカウントして間引く場合、間引き回数を奇数に設定すると、間引きカウンタの開始タイミングによっては、谷のみまたは山のみで OVFn/UNFn 割り込み要求が発生しません。三角波モードで谷と山の両方をカウントし、谷のみまたは山のみで OVFn/UNFn 割り込みを発生させるには、間引き回数を偶数に設定してください。

同様に、のこぎり波モードでカウント方向を変えながらオーバフローとアンダフローの両方をカウントして間引く場合、オーバフローまたはアンダフローのいずれか一方のみでは OVFn 割り込み要求が発生しません。のこぎり波モードでカウント方向を変えながらオーバフローとアンダフローの両方をカウントし、オーバフローまたはアンダフローのいずれか一方のみで OVFn/UNFn 割り込みを発生させるには、最初に間引き状態を十分に検討してください。

間引き回数を変更する前に、間引き機能をいったん解除（GTITC.IVTC[1:0] ビット = 00b）してください。

間引き機能の動作例を**図 12.80 ～図 12.85** に示します。

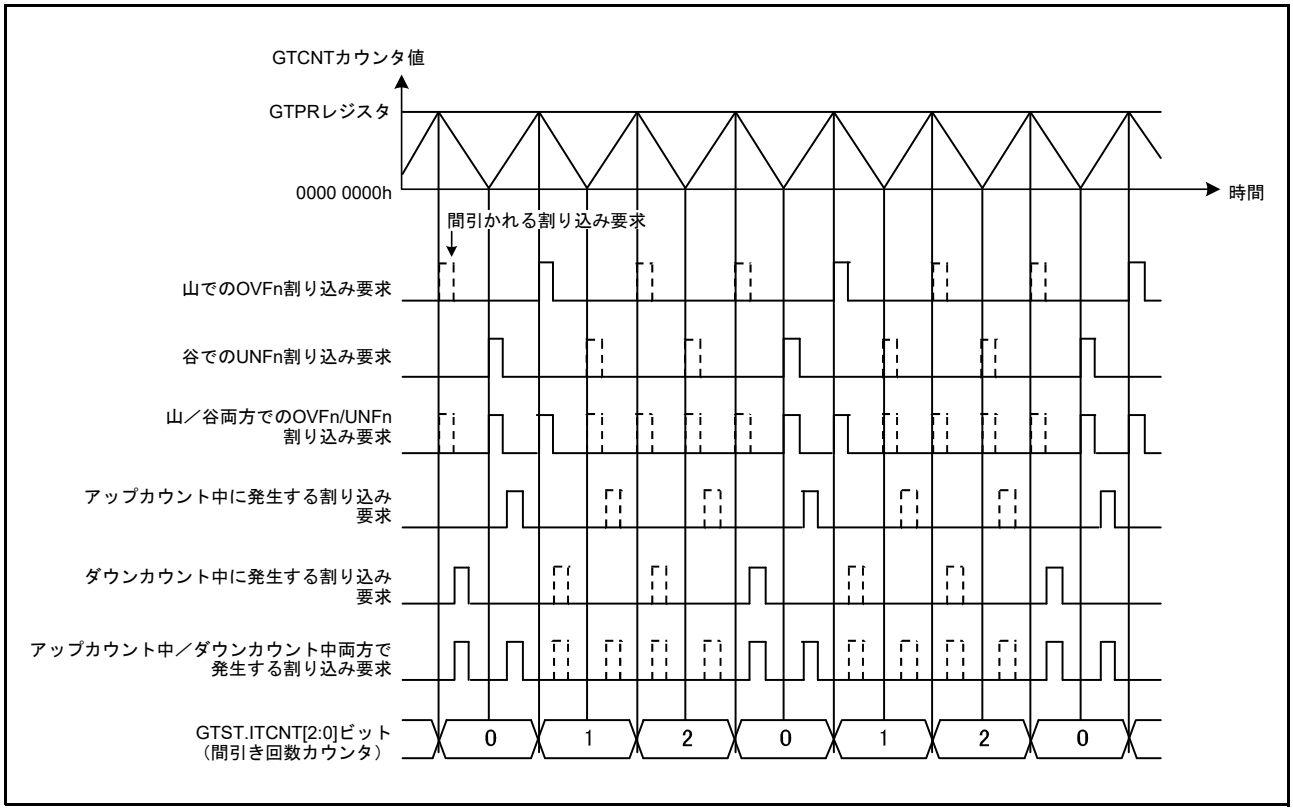


図 12.80　割り込み間引き機能の動作例（三角波、山をカウントして間引き、間引き回数 2 の場合）

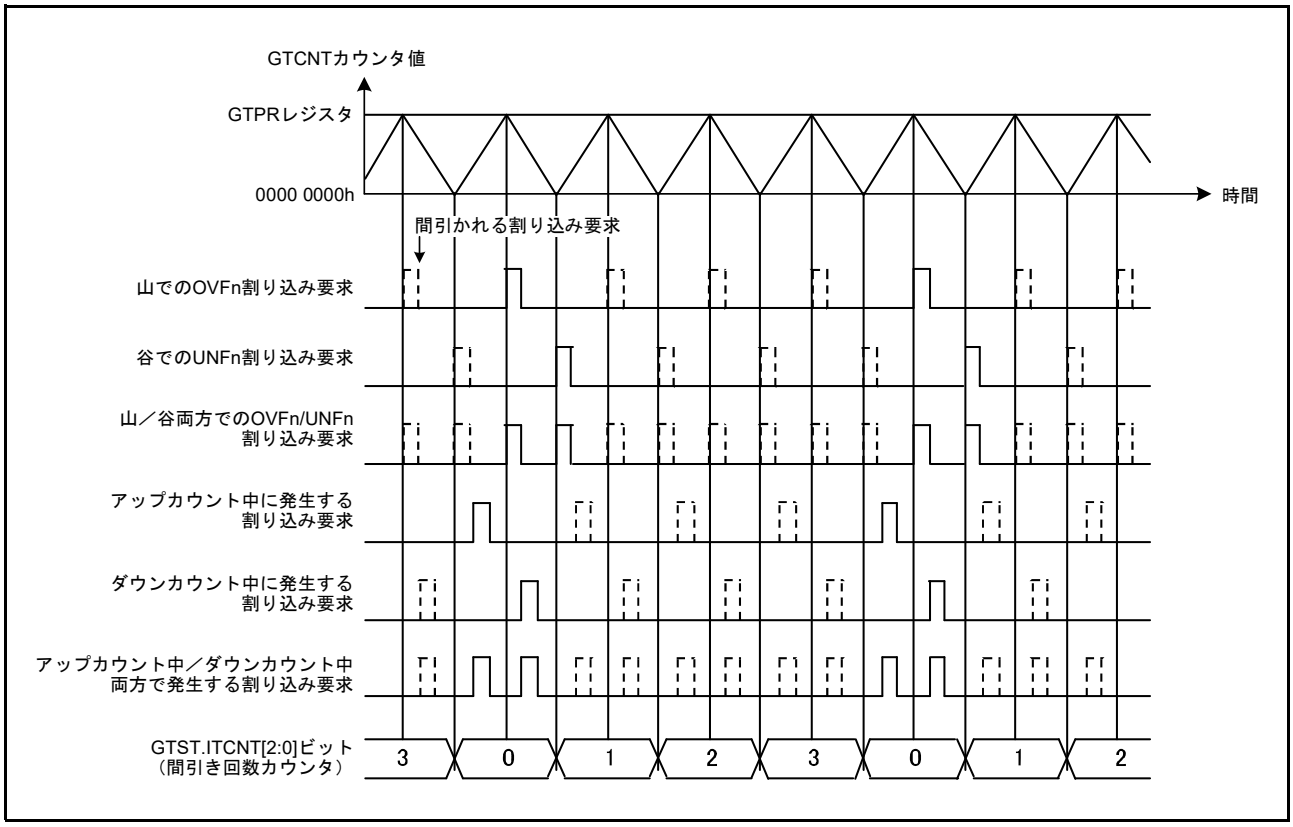


図 12.81　割り込み間引き機能の動作例（三角波、谷をカウントして間引き、間引き回数 3 の場合）

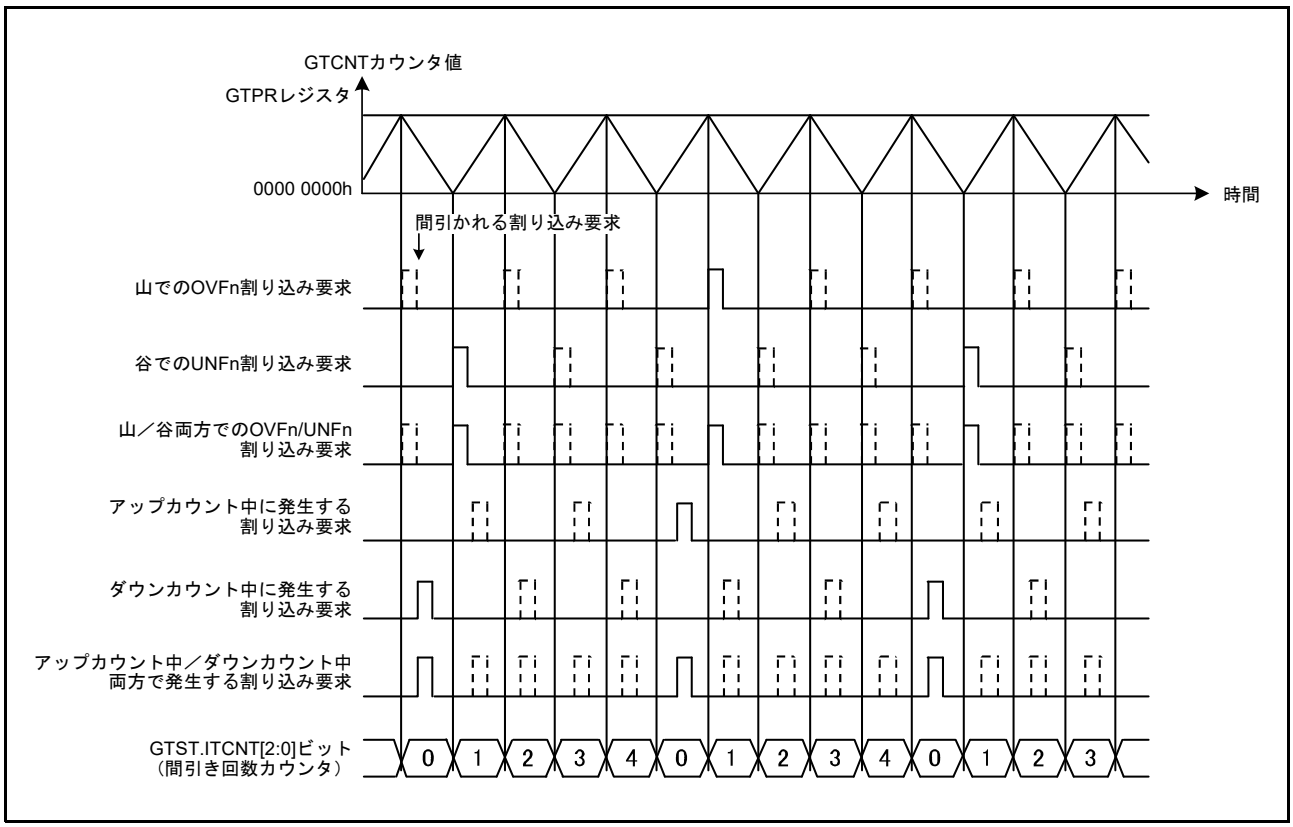


図 12.82　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 4 の場合）

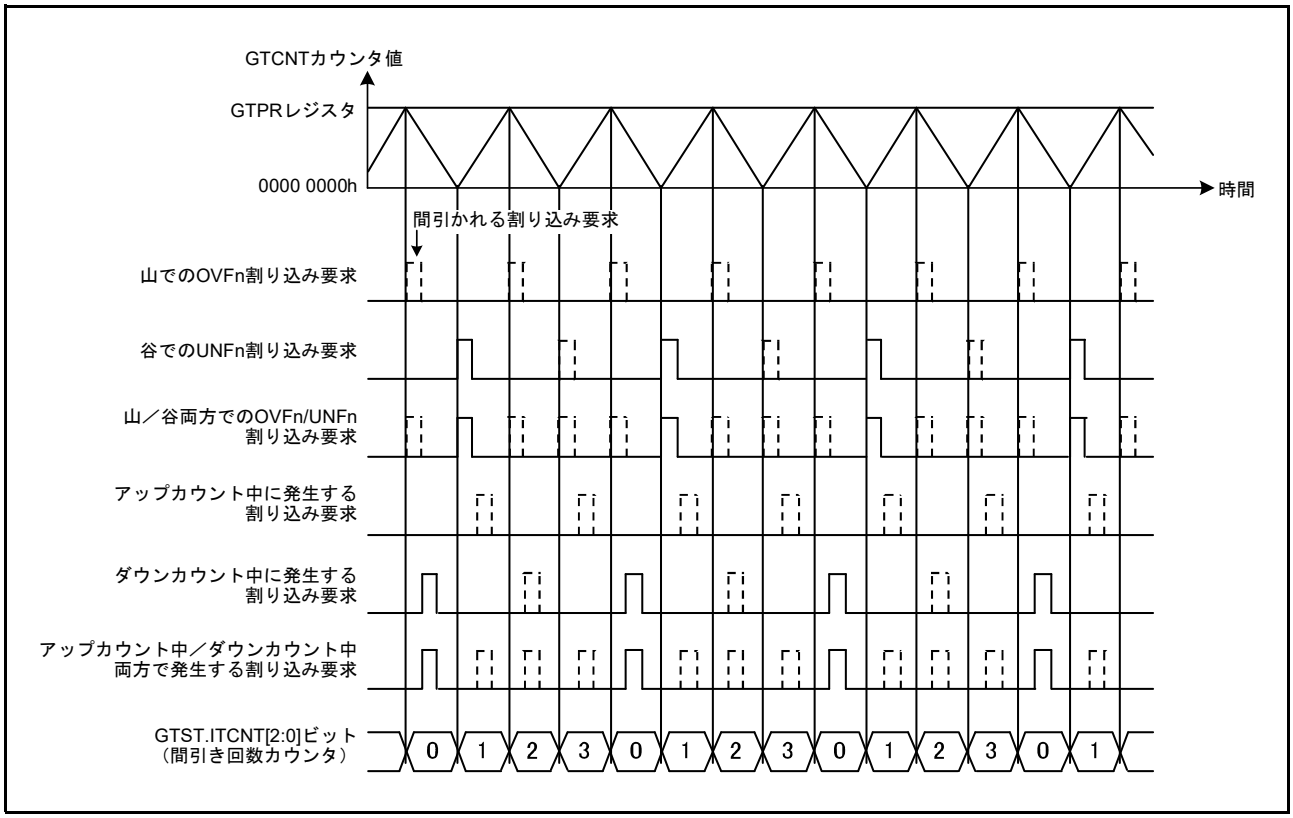


図 12.83　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合）

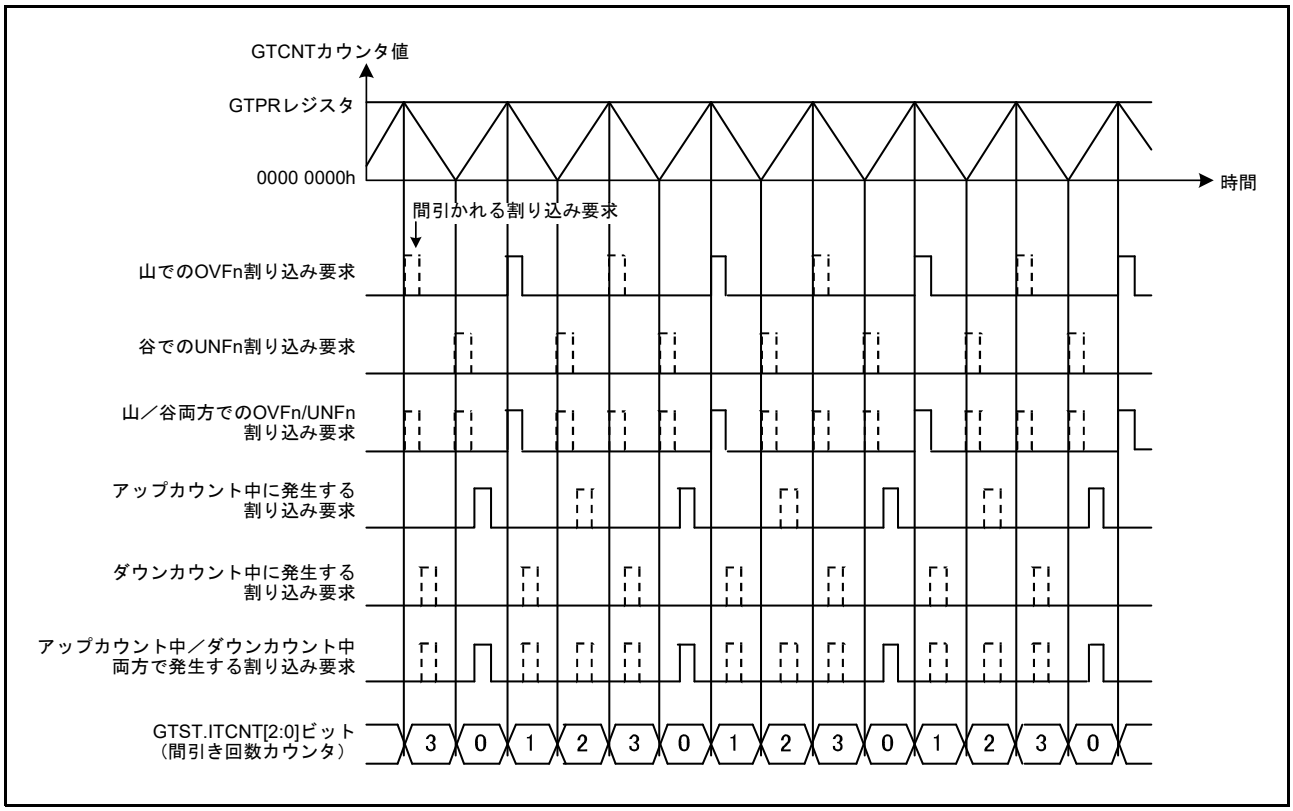


図 12.84　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合）

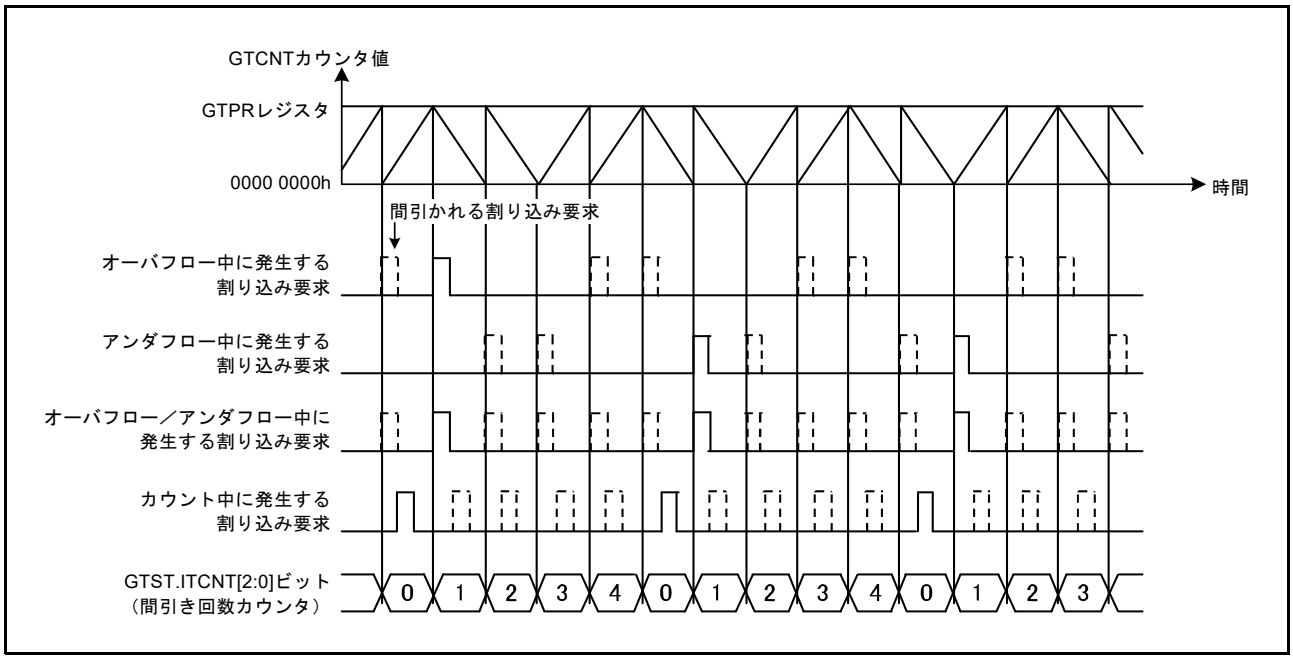


図 12.85　割り込み間引き機能の動作例（のこぎり波でカウント方向を切替えながら動作、オーバフローとアンダフローの両方をカウントして間引き、間引き回数 4 の場合）

12.5　A/D 変換開始要求

GPT では GTCNT カウンタと GTADTRA または GTADTRB レジスタとのコンペアマッチで、A/D 変換開始要求を発生させることができます。アップカウント時のみ、ダウンカウント時のみ、またはアップカウントとダウンカウント両方の指定ができます。

イベントカウント動作実行時は、A/D 変換開始要求割り込みを発生させることはできません。

GTADTRA および GTADTRB レジスタは、それぞれ 2 つのバッファレジスタを持ちます。GTADTRA レジスタでは、GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作が、GTADTRB レジスタでは、GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作が可能です。

図 12.86 に A/D 変換開始要求の動作例を、図 12.87 に A/D 変換開始要求動作設定例を示します。

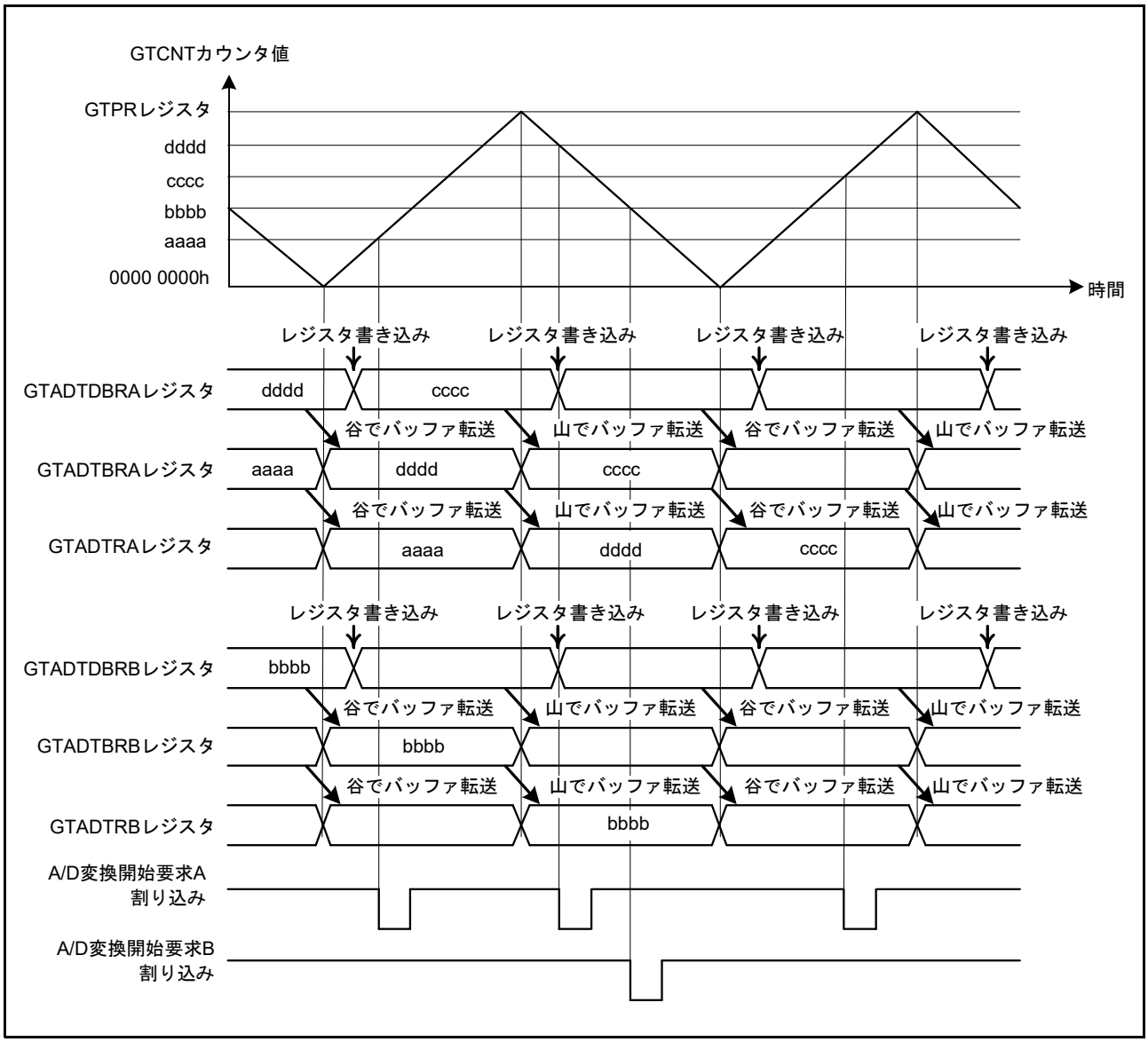


図 12.86　A/D 変換開始要求タイミング動作例（三角波、ダブルバッファ動作、谷と山の両方でバッファ転送、GTADTRA レジスタはアップカウントとダウンカウントの両方で A/D 変換開始要求割り込みを発生、GTADTRB レジスタはダウンカウントで A/D 変換開始要求割り込みを発生の場合）

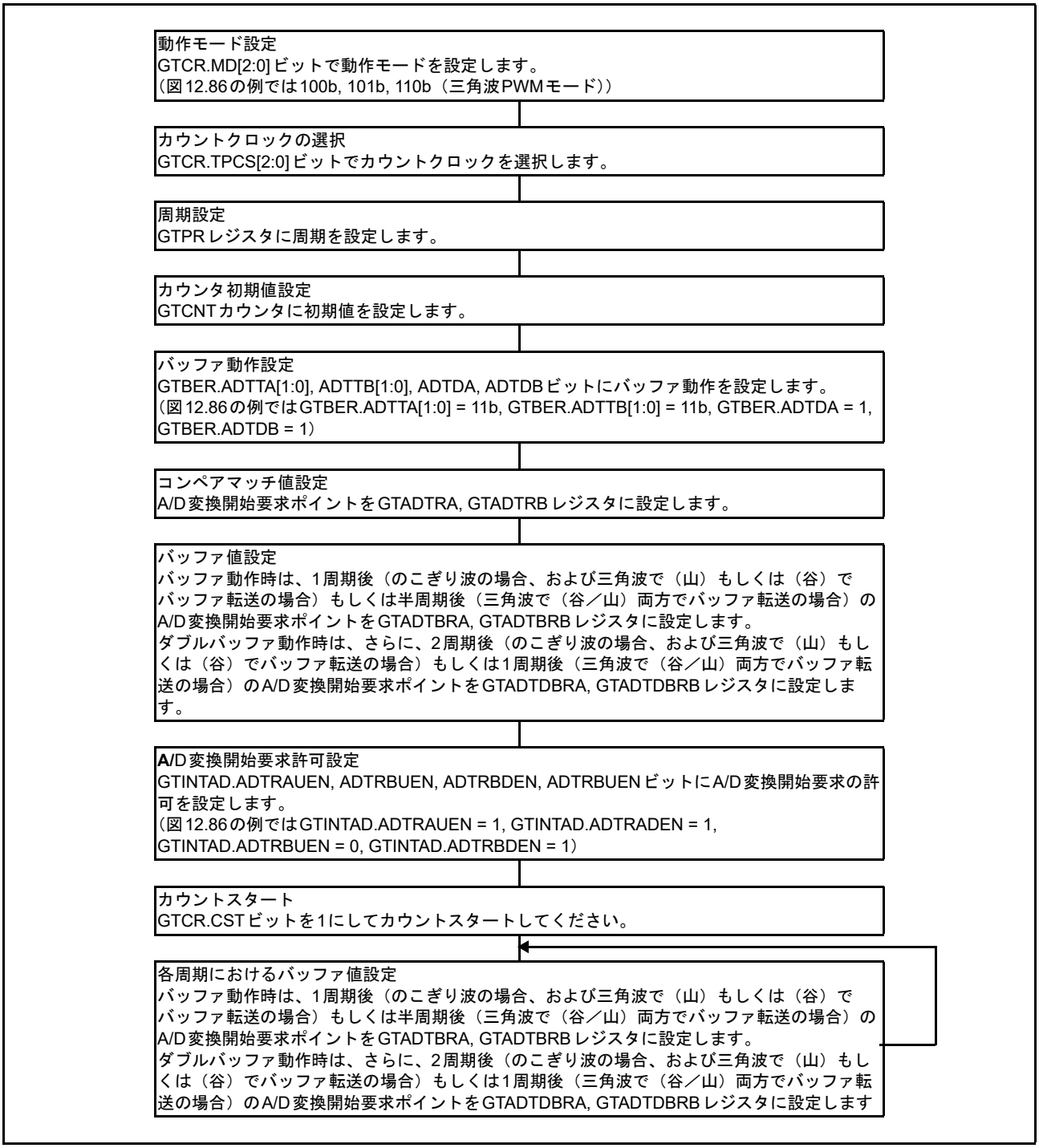


図 12.87　A/D 変換開始要求タイミング動作設定例

12.6　イベントによる連携動作

12.6.1　　イベント信号の生成

GPT では、他のチャネルで発生する割り込み要求信号をイベント信号として使用することにより、他のチャネルとの連係動作が可能です。

GPT には以下のイベント信号があります。

- コンペアマッチ A 割り込み発生（CCMPAn（n = 0 ～ 7））
- コンペアマッチ B 割り込み発生（CCMPBn（n = 0 ～ 7））
- コンペアマッチ C 割り込み発生（CMPCn（n = 0 ～ 7））
- コンペアマッチ D 割り込み発生（CMPDn（n = 0 ～ 7））
- コンペアマッチ E 割り込み発生（CMPEn（n = 0 ～ 7））
- コンペアマッチ F 割り込み発生（CMPFn（n = 0 ～ 7））
- オーバフロー割り込み発生（OVFn（n = 0 ～ 7））
- アンダフロー割り込み発生（UNFn（n = 0 ～ 7））

表 12.21 に、割り込み要求信号と GTESRn で指定するイベント番号の対応を示します。

表 12.21　　割り込み要求信号とイベント番号の対応

イベント番号	イベント発生チャネル	イベント信号
01h	GPT32E0	CCMPA0
02h		CCMPB0
03h		CMPC0
04h		CMPD0
05h		CMPE0
06h		CMPF0
07h		OVF0
08h		UNF0
09h	GPT32E1	CCMPA1
0Ah		CCMPB1
0Bh		CMPC1
0Ch		CMPD1
0Dh		CMPE1
0Eh		CMPF1
0Fh		OVF1
10h		UNF1
11h	GPT32E2	CCMPA2
12h		CCMPB2
13h		CMPC2
14h		CMPD2
15h		CMPE2
16h		CMPF2
17h		OVF2
18h		UNF2
19h	GPT32E3	CCMPA3
1Ah		CCMPB3
1Bh		CMPC3

イベント番号	イベント発生チャネル	イベント信号
1Ch	GPT32E3	CMPD3
1Dh		CMPE3
1Eh		CMPF3
1Fh		OVF3
20h		UNF3
21h	GPT32E4	CCMPA4
22h		CCMPB4
23h		CMPC4
24h		CMPD4
25h		CMPE4
26h		CMPF4
27h		OVF4
28h		UNF4
29h	GPT32E5	CCMPA5
2Ah		CCMPB5
2Bh		CMPC5
2Ch		CMPD5
2Dh		CMPE5
2Eh		CMPF5
2Fh		OVF5
30h		UNF5
31h	GPT32E6	CCMPA6
32h		CCMPB6
33h		CMPC6
34h		CMPD6
35h		CMPE6
36h		CMPF6
37h		OVF6
38h		UNF6
39h	GPT32E7	CCMPA7
3Ah		CCMPB7
3Bh		CMPC7
3Ch		CMPD7
3Dh		CMPE7
3Eh		CMPF7
3Fh		OVF7
40h		UNF7

12.6.2　イベント信号に対する動作

GPT は、最大 8 個のイベントに対して、以下の動作を実行できます。

- カウントスタート／ストップ／クリア
- アップカウント／ダウンカウント
- インプットキャプチャ

ハードウェア要因についての詳細は、「12.3　動作説明」を参照してください。

12.6.3　イベントによる連携動作の設定手順例

連携動作方法は以下の通りです。

1. イベント入力による動作設定を行います。
2. イベント入力となる割り込み要求信号を、GTESRn レジスタで設定します。
3. GTECR.EVCON ビットを 1 にして、すべてのイベント信号を有効にします。
4. GPT を起動させます。これによってイベントによる連携動作がアクティブになります。
5. イベント信号を無効にするには、対応する GTESRn.EVS[6:0] ビットを 0000000b にします。また、GTECR.EVCON ビットを 0 にすることにより、すべてのイベント信号を無効にします。

12.7　ノイズフィルタ機能

GPT のインプットキャプチャ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能を端子毎に有効／無効にすることや、チャネル毎にサンプリングクロックを設定することが可能です。

図 12.88 にノイズフィルタのタイミングを示します。

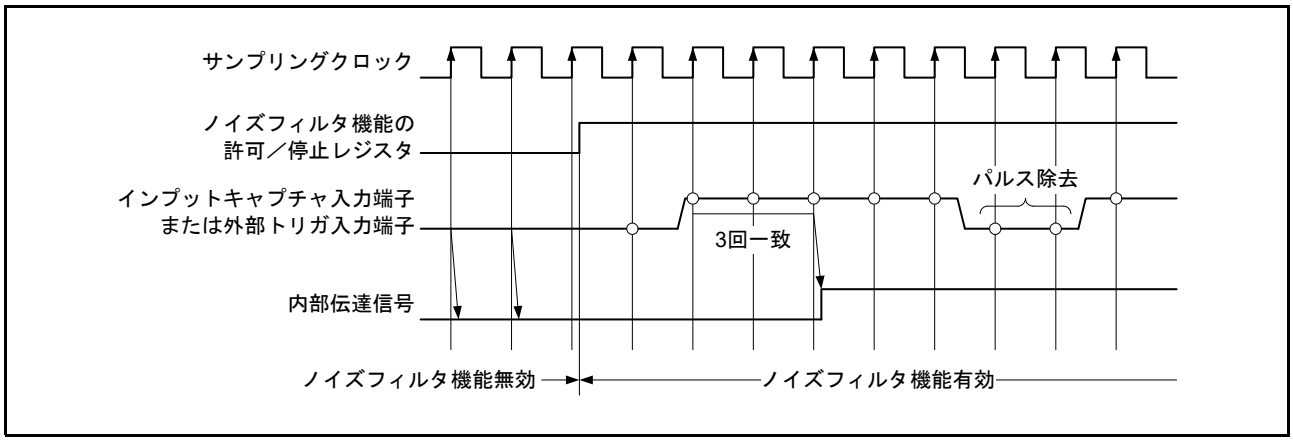


図 12.88　ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、「サンプリング周期 × 3 + P1φ」の遅延の後、ノイズフィルタ対象信号の両エッジでインプットキャプチャ動作または外部トリガ動作が実行されます。この遅延は、インプットキャプチャ入力または外部トリガ動作に対するノイズフィルタリングに起因するものです。

12.8　保護機能

12.8.1　レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD,GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR

12.8.2　バッファ動作の禁止

バッファレジスタへの書き込みタイミングが、バッファの転送タイミングに対して遅延した場合、GTBER.BD ビットの設定でバッファ動作の中断が可能です。バッファレジスタの書き込み中にバッファ転送条件が発生した場合でも、バッファ転送を一時的に禁止することができます。そのためには、バッファレジスタの書き込み前に対応する GTBER.BD ビットを 1（バッファ動作禁止）にしておき、すべてのバッファレジスタへの書き込み終了後に 0（バッファ動作許可）に戻します。**図 12.89** にバッファ動作を禁止するための動作例を示します。

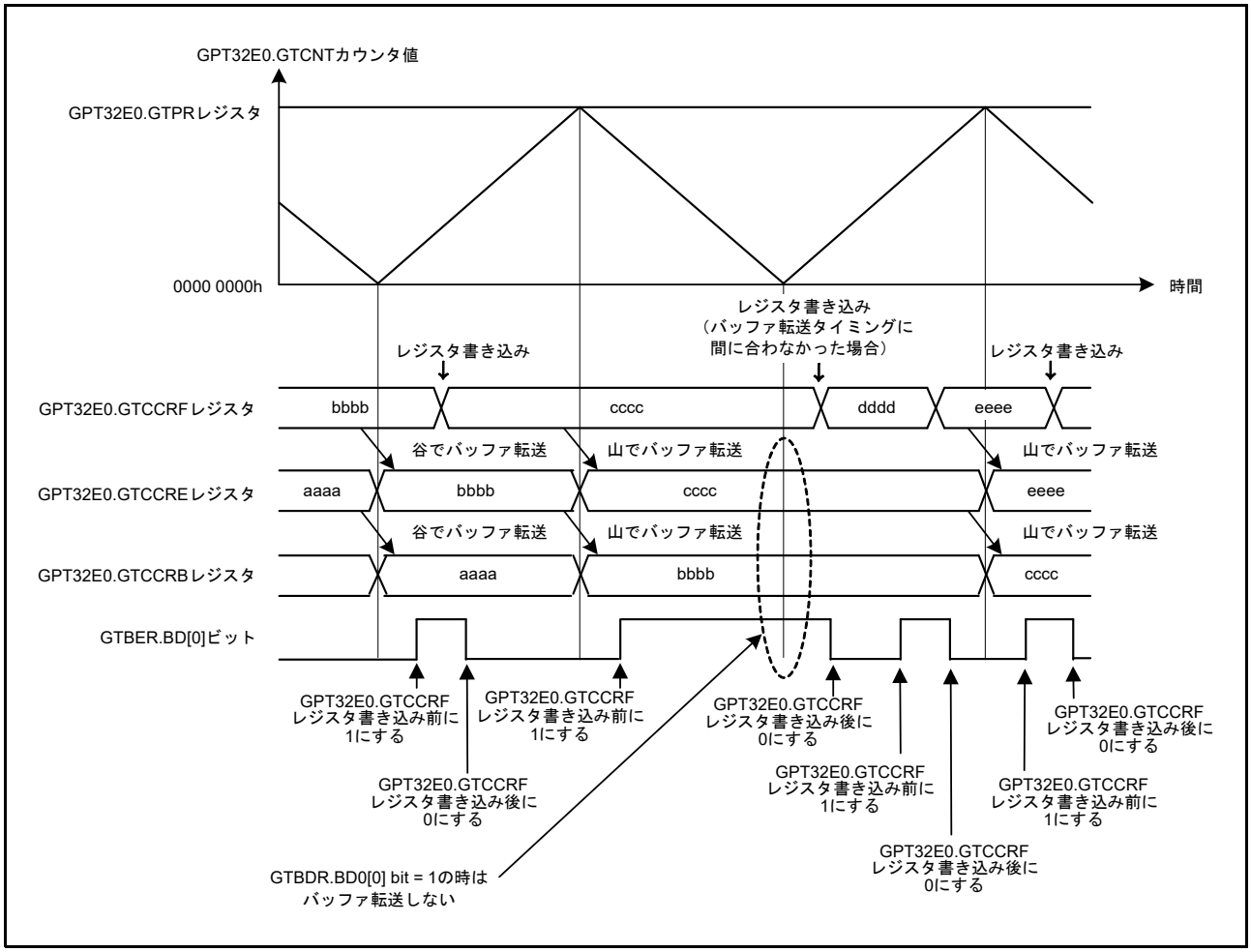


図 12.89　バッファ動作禁止の動作例（三角波、ダブルバッファ動作、谷と山の両方でバッファ転送の場合）

12.8.3　GTIOC 端子出力のネゲート制御

システム障害から保護するために、POEG からの出力禁止要求によって、GTIOC 端子の出力値を強制的に変更する出力禁止制御が備えられています。

デッドタイムエラーが発生した場合や、GTIOCA 端子の出力値が GTIOCB 端子の出力値と同じ場合には、出力保護が必要です。GPT はこのような条件を検出すると、GTINTAD.GRPDTE ビット、GTINTAD.GRPABH ビット、GTINTAD.GRPABL ビットなどの出力禁止要求許可ビットの設定に応じて、POEG に対して出力禁止要求を生成します。POEG は、各チャネルから出力禁止要求を受信すると、外部入力からの出力禁止要求信号との論理和を取った後、GPT に対して出力禁止要求を発生します。

POEG が生成した 4 つの出力禁止要求のうちの 1 つの出力禁止要求信号（GTIOCA 端子と GTIOCB 端子の共通出力禁止要求信号）を、GTINTAD.GRP[1:0] ビットの設定で選択します。選択した禁止出力要求の状態は、GTST.ODF ビットを読むことでモニタできます。出力禁止中の出力レベルは、GTIOCA 端子については GTIOR.OADF[1:0] ビットの設定、GTIOCB 端子については GTIOR.OBDF[1:0] ビットの設定に依存します。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止状態の解除タイミングは、出力禁止要求の停止から、早くとも P1φ の 3 周期後です。出力禁止制御を確実に実行するには、（POEG で出力禁止要求フラグをクリアすることにより）出力禁止要求が発生してから停止するまでに、少なくとも P1φ で 4 周期分待つ必要があります。

イベントカウント実行時、または出力禁止状態を周期の終わりを待たずにただちに解除する必要がある場合は、GTIOR.OADF[1:0] ビットを 00b（GTIOCA 端子の場合）にするか、または GTIOR.OBDF[1:0] ビットを 00b（GTIOCB 端子の場合）にする必要があります。

図 12.90 に GTIOC 端子出力禁止制御動作例を示します。

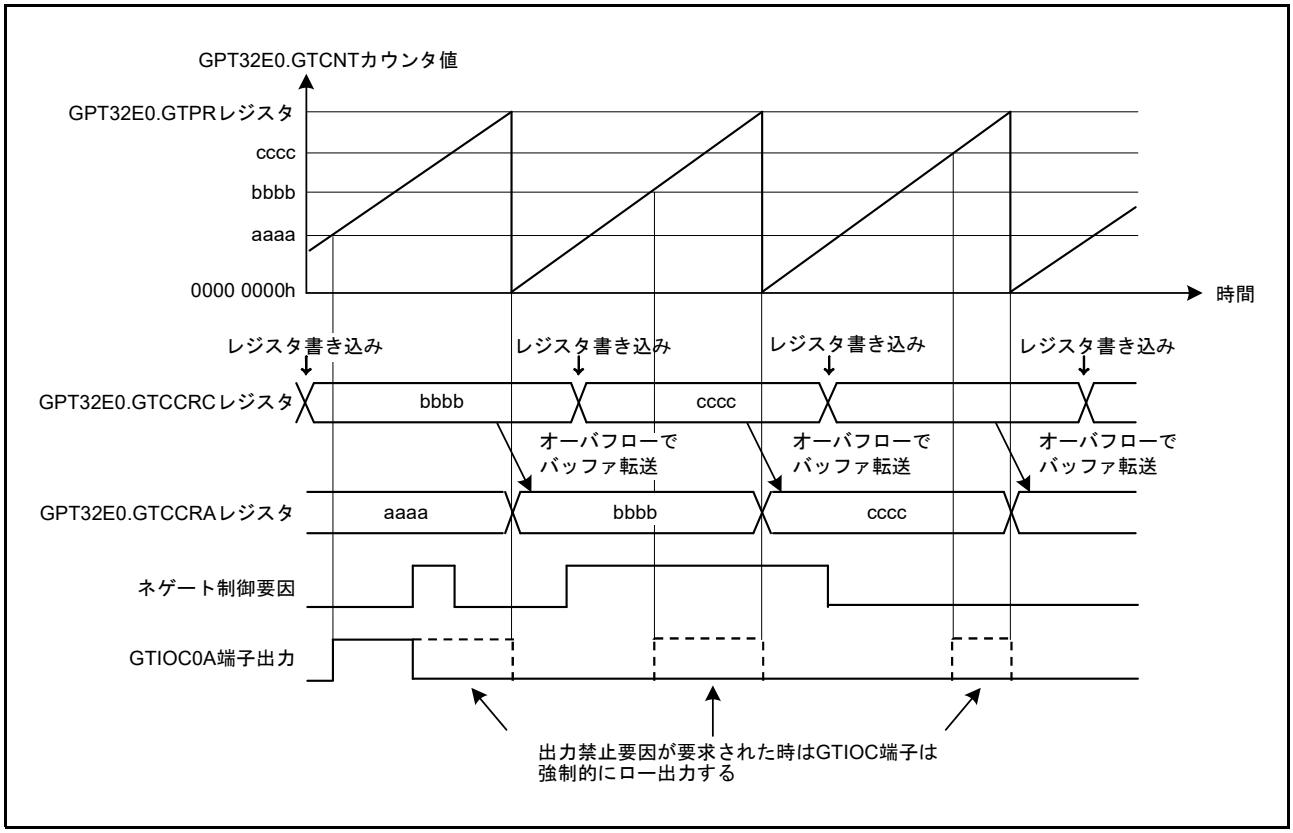


図 12.90　GTIOC 端子出力禁止制御動作例（のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合）

12.8.4　GTIOC 端子出力の出力保護機能

GTCCRA レジスタの誤設定（「0 < GTCCRA レジスタ < GTPR レジスタ」の範囲外の設定）に備えて、三角波モードでデッドタイム自動設定（GTDTCR.TDE ビット = 1）が実行されると、GTIOC 端子出力の出力保護機能（禁止機能）が起動されます。出力保護機能の状態は、GTSOS.SOS[1:0] ビットを読むことで確認できます。

図 12.91 に出力保護機能の状態遷移を示します。

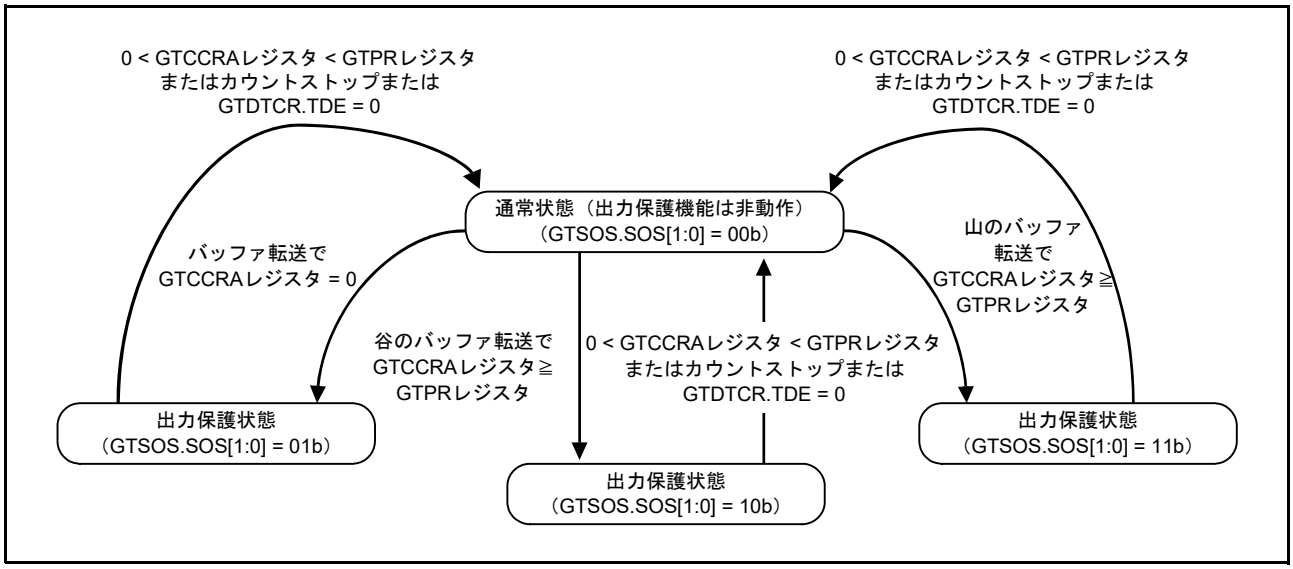
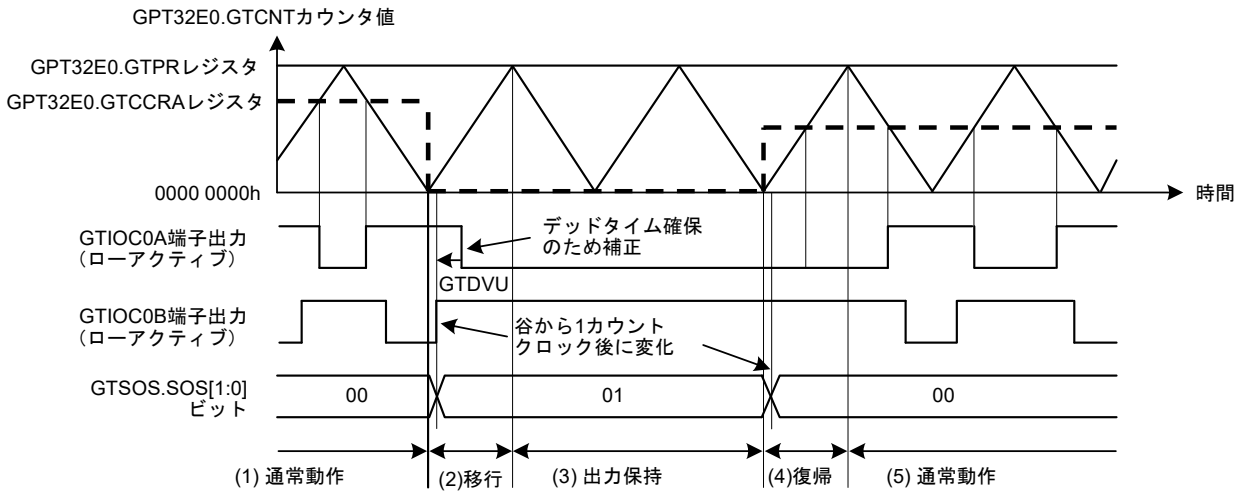


図 12.91　出力保護機能

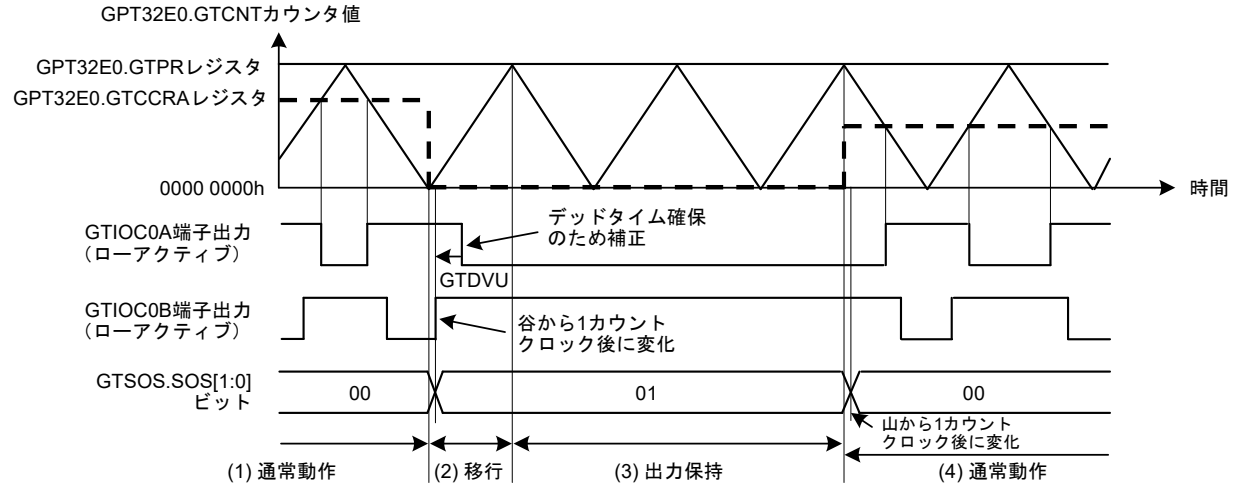
12.8.4.1　バッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能

図 12.92 と図 12.93 に、谷でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例を、図 12.94 と図 12.95 に、山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例を示します。



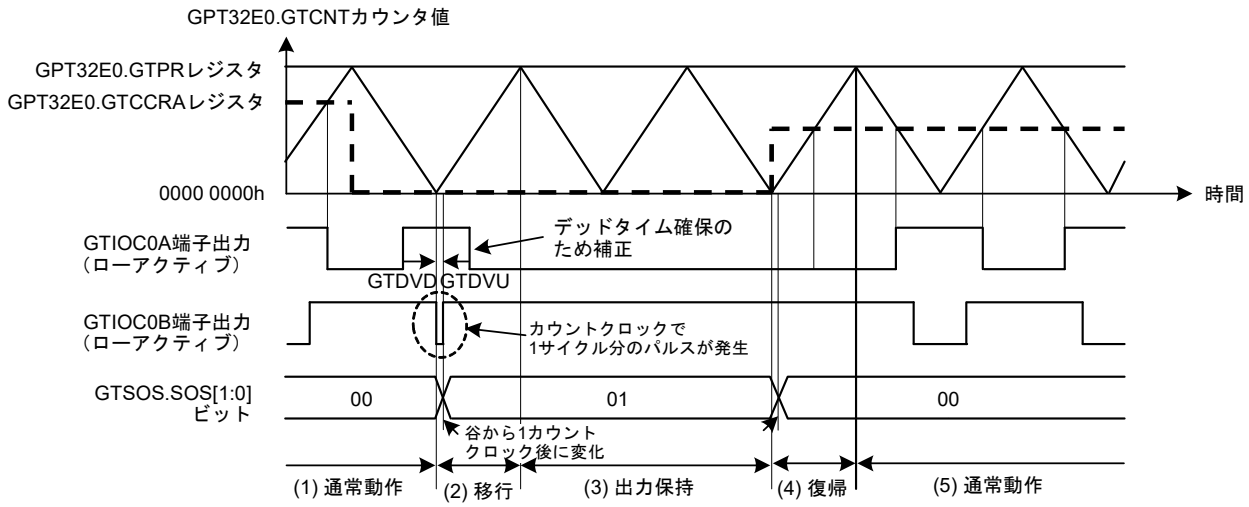
(1) 通常動作区間: 通常通りコンペアマッチによる出力トグル動作をします。
(2) 移行区間: 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します。
(3) 出力保持区間: GTCCRAレジスタ = 0が続いている間は出力を保持します。
(4) 復帰区間: 谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、次の山まで出力保持を維持します。
(5) 通常動作区間: 通常通りコンペアマッチによる出力トグル動作をします。

図 12.92　谷でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）



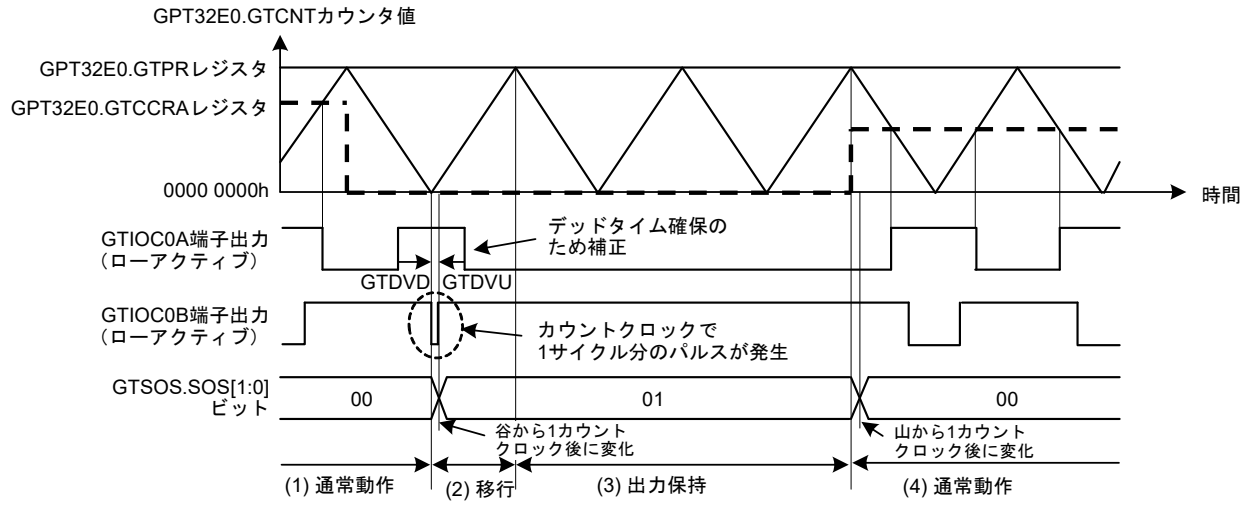
(1) 通常動作区間: 通常通りコンペアマッチによる出力トグル動作をします。
(2) 移行区間: 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します。
(3) 出力保持区間: GTCCRAレジスタ = 0が続いている間は出力を保持します。
(4) 復帰区間: 山のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、通常通りコンペアマッチによる出力トグル動作をします。

図 12.93　谷でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）



(1) 通常動作区間: 通常通りコンペアマッチによる出力トグル動作をします。
(2) 移行区間: 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します。
(3) 出力保持区間: GTCCRAレジスタ = 0が続いている間は出力を保持します。
(4) 復帰区間: 谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、次の山まで出力保持を維持します。
(5) 通常動作区間: 通常通りコンペアマッチによる出力トグル動作をします。

図 12.94　山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）



(1) 通常動作区間: 通常通りコンペアマッチによる出力トグル動作をします。
(2) 移行区間: 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します。
(3) 出力保持区間: GTCCRAレジスタ = 0が続いている間は出力を保持します。
(4) 通常動作区間: 山のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、通常通りコンペアマッチによる出力トグル動作をします。

図 12.95　山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）

12.8.4.2　谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能

図 12.96 と図 12.97 に、谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例を示します。

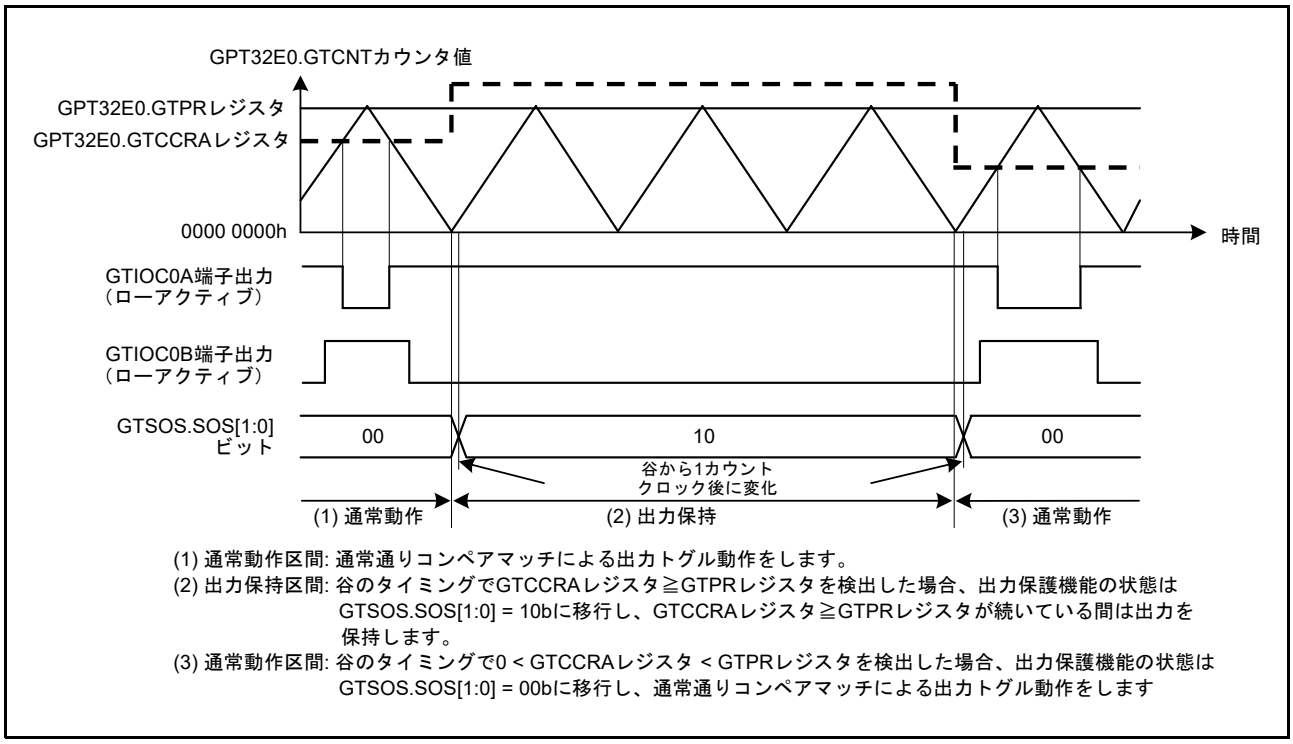
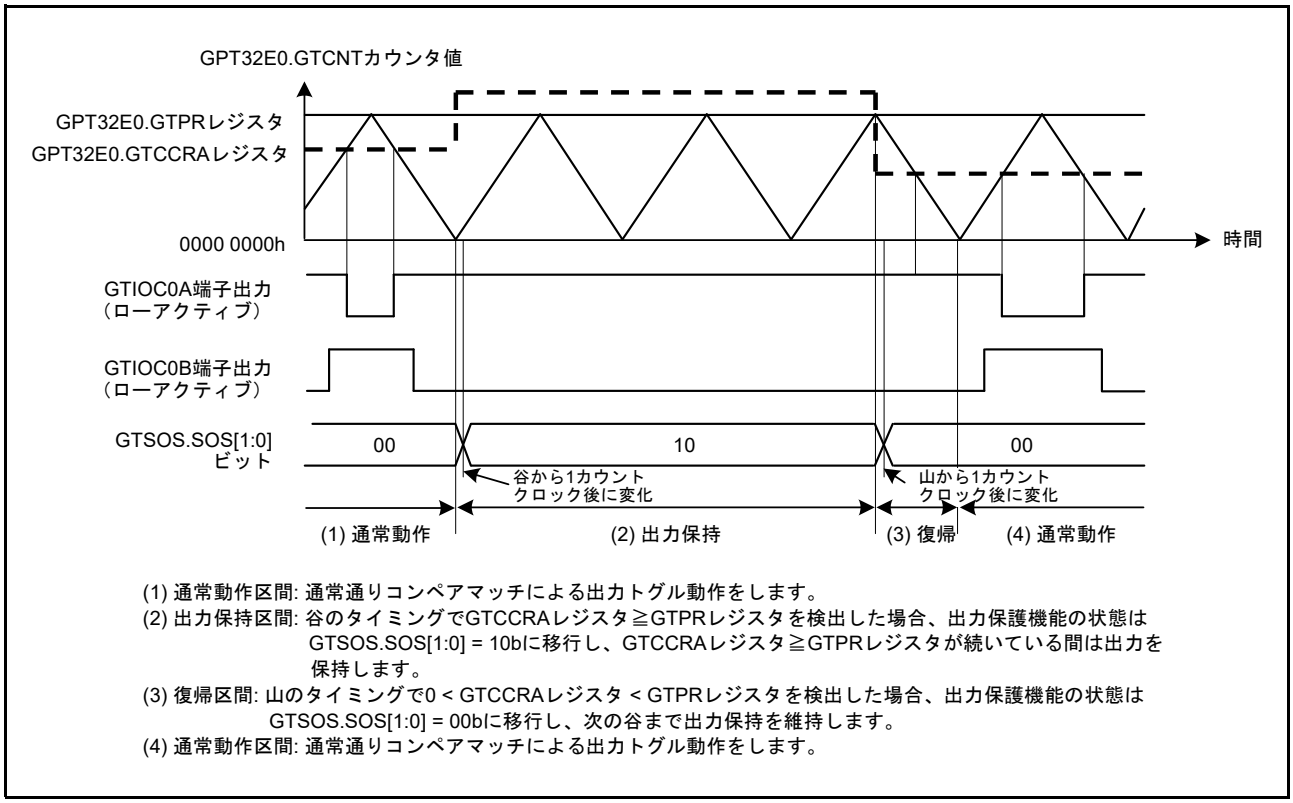


図 12.96　谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）



(1) 通常動作区間: 通常通りコンペアマッチによる出力トグル動作をします。
(2) 出力保持区間: 谷のタイミングでGTCCRAレジスタ≧GTPRレジスタを検出した場合、出力保護機能の状態は GTSOS.SOS[1:0] = 10bに移行し、GTCCRAレジスタ≧GTPRレジスタが続いている間は出力を保持します。
(3) 復帰区間: 山のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態は GTSOS.SOS[1:0] = 00bに移行し、次の谷まで出力保持を維持します。
(4) 通常動作区間: 通常通りコンペアマッチによる出力トグル動作をします。

図 12.97　谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）

12.8.4.3　山でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能

図 12.98 と図 12.99 に、山でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例を示します。

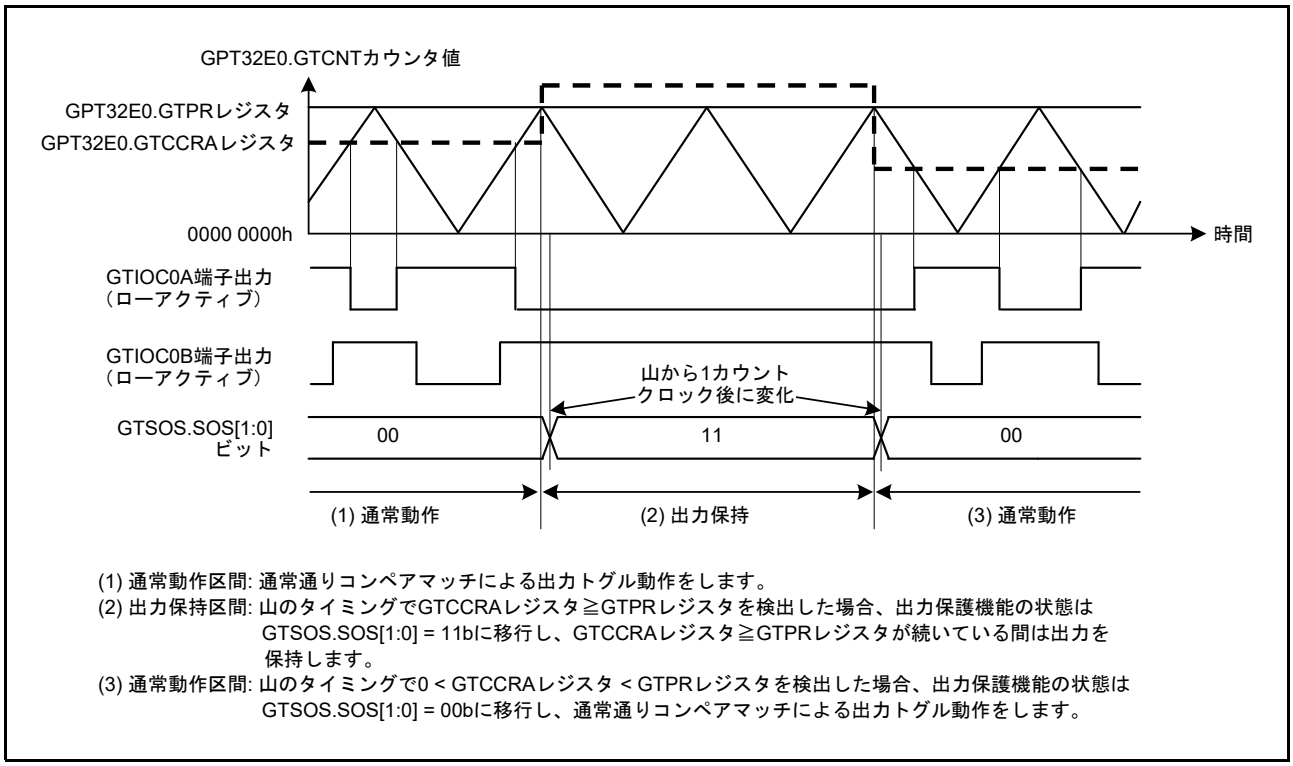


図 12.98　山でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）

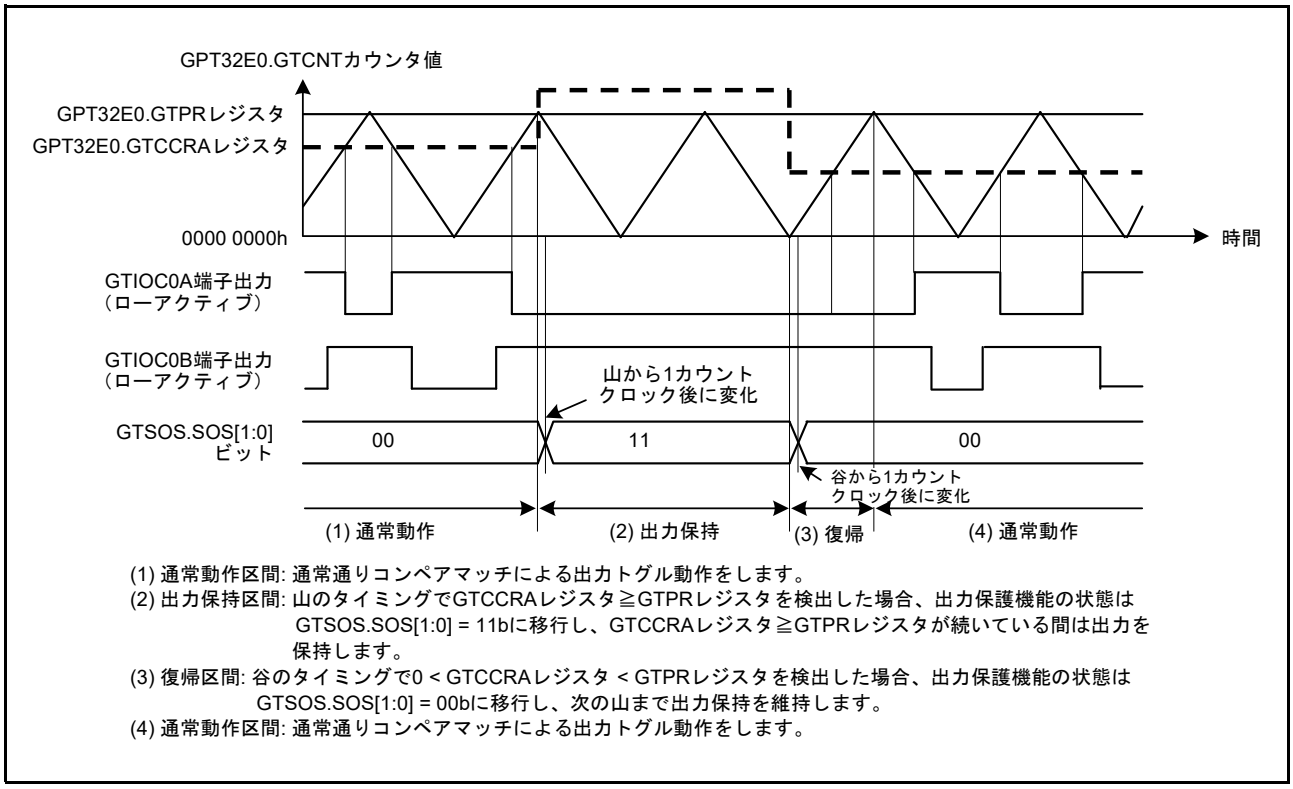


図 12.99　山でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）

12.8.4.4　出力保護機能の注意事項

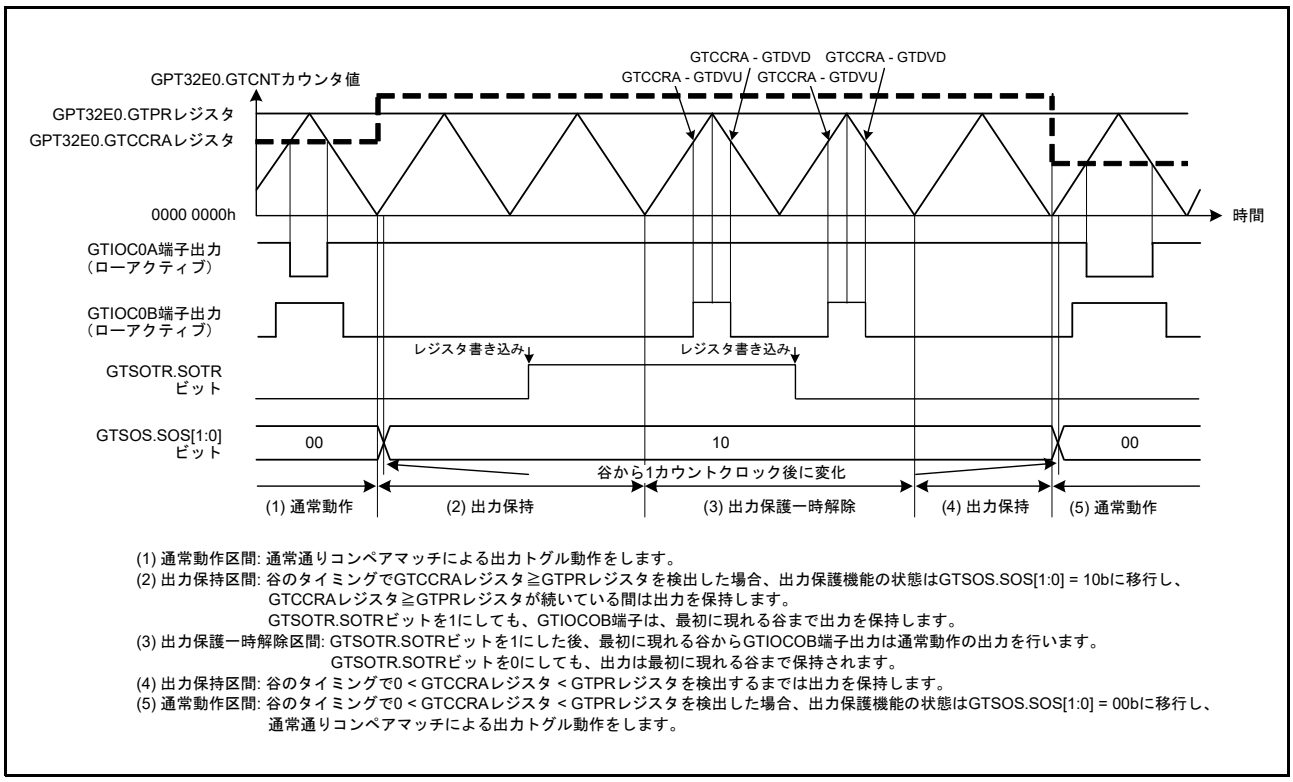
出力保護機能は、カウント動作中に GTCCRA レジスタに異常値が設定（0<GTCCRA<GTPR の範囲外に設定）された場合にも正相／逆相出力のうちどちらかが非アクティブ出力となるように機能しますが、下記の条件を満足しない場合、正常に機能しません。

- カウント開始時の GTCCRA レジスタの値が、0 < GTCCRA < GTPR
- 山のバッファ転送時に、GTCCRA − GTDVD < GTPR − 1 を満たしている
- 谷のバッファ転送時に、GTCCRA ≧ GTPR とする場合、GTCCRA − GTDVU > 1 を満たしている

12.8.4.5　出力保護機能の一時解除

GTSOS.SOS[1:0] ビットが 10b の状態（谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなったことによる出力保護状態）で、GTSOTR.SOTR ビットを 1 にすると、GTIOCB 端子の出力保護機能が一時的に解除されます。出力保護機能を解除しても、GTSOS.SOS[1:0] ビットは 10b の値を保持します。SOTR ビットを 0 にすると、GTIOCB 端子の出力保護機能が再開します。

図 12.100 に、谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の一時解除例を示します。



(1) 通常動作区間: 通常通りコンペアマッチによる出力トグル動作をします。
(2) 出力保持区間: 谷のタイミングでGTCCRAレジスタ≧GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 10bに移行し、
GTCCRAレジスタ≧GTPRレジスタが続いている間は出力を保持します。
GTSOTR.SOTRビットを1にしても、GTIOCOB端子は、最初に現れる谷まで出力を保持します。
(3) 出力保護一時解除区間: GTSOTR.SOTRビットを1にした後、最初に現れる谷からGTIOCOB端子出力は通常動作の出力を行います。
GTSOTR.SOTRビットを0にしても、出力は最初に現れる谷まで保持されます。
(4) 出力保持区間: 谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出するまでは出力を保持します。
(5) 通常動作区間: 谷のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、
通常通りコンペアマッチによる出力トグル動作をします。

図 12.100　谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能一時解除例（谷でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）

12.9　出力端子の初期化方法

12.9.1　リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートモードを設定し、GTIOR.OAE および GTIOR.OBE ビットを設定し、GPT 機能を外部端子に出力してから、カウントを開始してください。

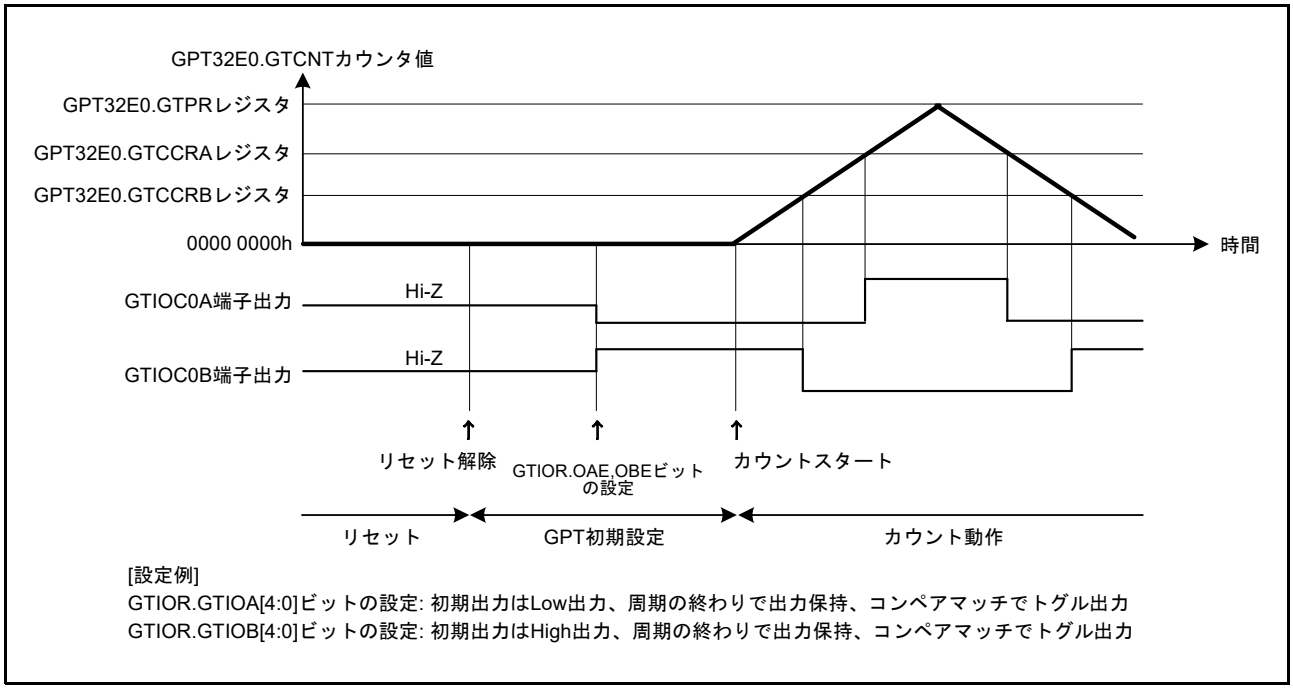


図 12.101　リセット後の端子設定例

12.9.2　動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子処理を実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ汎用入出力ポートの PDR,PODR,PMR レジスタを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR レジスタの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行った場合、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウント動作を停止した場合は、各レジスタを初期化してからカウントを再開してください。

12.10 使用上の注意事項

12.10.1 モジュールストップ機能の設定

スタンバイコントロールレジスタによって、GPT の動作を禁止／許可することが可能です。リセット後の初期状態では、GPT モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、**「52. 低消費電力モード」**を参照してください。

12.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定（n = A ～ F）

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次の条件を満たす必要があります。

GTDVU < GTCCRA、GTDVD < GTCCRA、および GTCCRA < GTPR

カウント動作中に GTCCRA レジスタ = 0 または GTCCRA レジスタ ≧ GTPR レジスタとなった場合、出力保護機能が起動します。

ただし、下記の条件を満足しない場合、出力保護機能は正常に機能しません。

- カウント開始時の GTCCRA レジスタの値が、0 < GTCCRA < GTPR
- 山のバッファ転送時に、GTCCRA − GTDVD < GTPR − 1 を満たしている
- 谷のバッファ転送時に、GTCCRA ≧ GTPR とする場合、GTCCRA − GTDVU > 1 を満たしている

詳細は、**「12.8.4 GTIOC 端子出力の出力保護機能」**を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲に収まるように設定する必要があります。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に GTCCRB レジスタも、0 < GTCCRB < GTPR の範囲に収まるように設定する必要があります。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定してください。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：GTCCRC < GTCCRD, GTCCRC > GTDVU, GTCCRD < (GTPR − GTDVD)
- ダウンカウント時：GTCCRC > GTCCRD, GTCCRC < (GTPR − GTDVU), GTCCRD > GTDVD

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRC < GTCCRD < GTPR
- ダウンカウント時：GTPR > GTCCRC > GTCCRD > 0

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定してください。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRE < GTCCRF < GTPR
- ダウンカウント時：GTPR > GTCCRE > GTCCRF > 0

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

12.10.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、0 ≦ GTCNT ≦ GTPR の範囲に収まるように設定してください。

12.10.4 GTCNT カウンタのスタート／ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート／ストップ制御タイミングは、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート／ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視されます。一方、GTCR.CST ビットが 0 にされた後にイベントが受け付けたり、割り込みが発生する場合があります。

12.10.5　競合時の優先順位

(1)　GTCNT レジスタ

表 12.22 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 12.22　GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み（GTCNT/GTCLR レジスタへの書き込み）	高 ▲
GTCSR レジスタで設定したハードウェア要因によるクリア	
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるカウントアップ／ダウン	
カウント動作	低

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2)　GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート／ストップと CPU による書き込み（GTCR/GTSTR/GTSTP レジスタへの書き込み）の間で競合があると、CPU による書き込みが優先されます。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(3)　GTCCRn レジスタ（n = A ～ F）

インプットキャプチャ／バッファ転送動作と GTCCRn レジスタへの書き込みの間で競合があると、GTCCRn レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みまたはハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRn レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4)　GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(5)　GTADTRn レジスタ（n = A, B）

バッファ転送動作と GTADTRn レジスタへの書き込みの間で競合があると、GTADTRn レジスタへの書き込みが優先されます。GTADTRn レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(6)　GTDVn レジスタ（n = U, D）

バッファ転送動作と GTDVn レジスタへの書き込みの間で競合があると、GTDVn レジスタへの書き込みが優先されます。GTDVn レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

13. GPT 用ポートアウトプットイネーブル（POEG）

13.1 概要

GPT 用ポートアウトプットイネーブル（POEG）は、汎用 PWM タイマ（GPT）の出力端子を以下の方法で出力禁止状態にすることができます。

- GTETRGA ～ GTETRGD 端子の入力レベル検出
- GPT からの出力禁止要求
- レジスタ設定

GTETRGA ～ GTETRGD 端子は、GPT への外部トリガ入力端子としても利用可能です。

表 13.1 に POEG の仕様、**図 13.1** にブロック図、そして**表 13.2** に入力端子を示します。

表 13.1　POEG の仕様

項目	内容
入力レベル検出による出力禁止制御	極性とフィルタの選択後、GTETRGA～GTETRGD 端子の立ち上がりエッジまたは High レベルをサンプリングした場合、GPT 出力端子を出力禁止に設定可能
GPT からの出力禁止要求	• GTIOCA および GTIOCB 端子が同時にアクティブレベルとなる場合、GPT は POEG に対して出力禁止要求を発生、POEG は、これらの要求を受信して、GTIOCA および GTIOCB 端子を出力禁止にするか否かの制御が可能 • GPT 出力端子がデッドタイムエラーおよび出力端子間の短絡を検出した場合に、GPT 出力端子を出力禁止に設定可能
ソフトウェア（レジスタ）による出力禁止制御	レジスタの設定値を書き換えることにより、GPT 出力端子を出力禁止に設定可能
割り込み	• 入力レベル検出による出力禁止制御が可能 • GPT からの出力禁止要求が可能
GPT に対する外部トリガ出力（カウント開始／カウント停止／カウントクリア／アップカウント／ダウンカウント／インプットキャプチャ機能）	極性とフィルタの選択後、GTETRGA～GTETRGD 信号を GPT へ出力可能
ノイズフィルタリング	• どの入力端子（GTETRGA～GTETRGD）に対しても、P1φ 1、P1φ 8、P1φ 32、または P1φ 128 クロックごとに 3 回のサンプリングを設定可能 • どの入力端子 (GTETRGA～GTETRGD) に対しても、正または負の極性を選択可能 • 極性およびフィルタ選択後の信号状態のモニタが可能

以下の説明で GTETRGn (n=A ～ D) は、GTETRGA ～ GTETRGD 端子を表しており、それぞれの端子から入力される信号は同じ n の POEGGn レジスタに関連付けられます。

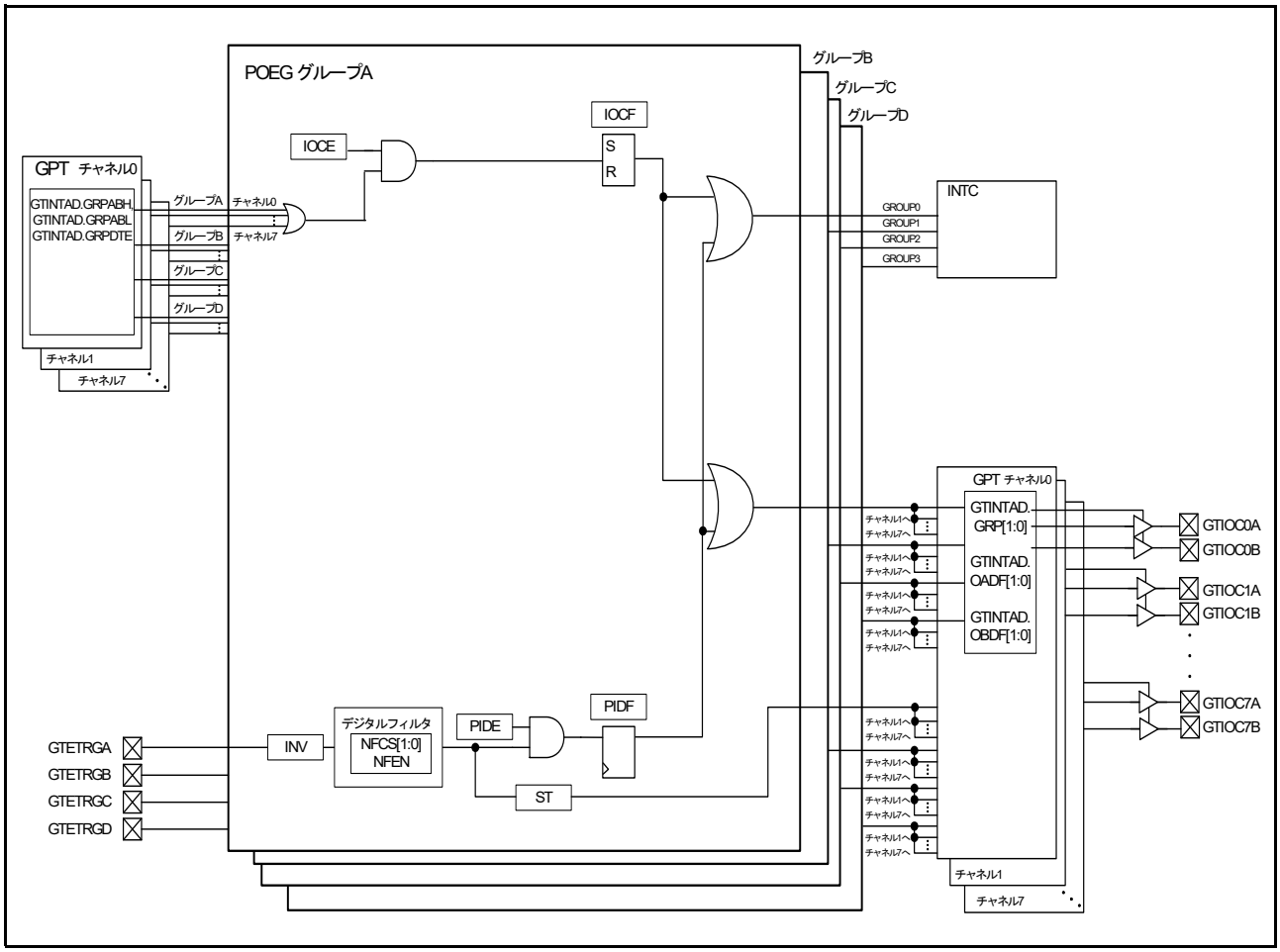


図 13.1　　POEG のブロック図

表 13.2　　POEGの入力端子

端子名	入出力	機能
GTETRGA	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子A
GTETRGB	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子B
GTETRGC	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子C
GTETRGD	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子D

13.2　レジスタの説明

表 13.3 にレジスタ構成を示します。

表 13.3　　レジスタ構成

レジスタ名	略称	アドレス	アクセスサイズ
POEG グループA 設定レジスタ	POEGGA	H'E804_4000	32
POEG グループB 設定レジスタ	POEGGB	H'E804_4800	32
POEG グループC 設定レジスタ	POEGGC	H'E804_5000	32
POEG グループD 設定レジスタ	POEGGD	H'E804_5800	32

13.2.1　　POEG グループ n 設定レジスタ（POEGGn）（n = A ～ D）

アドレス： POEG.POEGGA H'E804_4000, POEG.POEGGB H'E804_4800, POEG.POEGGC H'E804_5000, POEG.POEGGD H'E804_5800

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	IOCE	PIDE	SSF	—	IOCF	PIDF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0：GTETRGn端子からの出力禁止要求なし 1：GTETRGn端子からの出力禁止要求あり	R(/W) （注1）
b1	IOCF	GPT出力禁止要求検出フラグ	0：GPTの禁止要求による出力禁止要求なし 1：GPTの禁止要求による出力禁止要求あり	R(/W) （注1）
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R(/W)
b3	SSF	ソフトウェア停止フラグ	0：ソフトウェアによる出力禁止要求なし 1：ソフトウェアによる出力禁止要求あり	R/W
b4	PIDE	ポート入力検出許可	0：GTETRGn端子からの出力禁止要求を禁止 1：GTETRGn端子からの出力禁止要求を許可	R/W （注2）
b5	IOCE	GPT出力禁止要求許可	0：GPTの禁止要求による出力禁止要求を禁止 1：GPTの禁止要求による出力禁止要求を許可	R/W （注2）
b15～b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ST	GTETRGn入力ステータスフラグ	0：フィルタリング後のGTETRGn入力は0 1：フィルタリング後のGTETRGn入力は1	R
b27～b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	INV	GTETRGn入力反転	0：GTETRGnをそのまま入力 1：GTETRGnを反転して入力	R/W
b29	NFEN	ノイズフィルタ有効	0：ノイズフィルタリングを禁止 1：ノイズフィルタリングを許可	R/W
b31、b30	NFCS[1:0]	ノイズフィルタクロック選択	b1 b0 0 0：GTETRGn端子の入力レベルをP1φ 1クロックごとに3回サンプリング 0 1：GTETRGn端子の入力レベルをP1φ 8クロックごとに3回サンプリング 1 0：GTETRGn端子の入力レベルをP1φ 32クロックごとに3回サンプリング 1 1：GTETRGn端子の入力レベルをP1φ 128クロックごとに3回サンプリング	R/W

注1.　フラグをクリアするための0の書き込みのみ可能です。
注2.　リセット後、1回のみ書き込み可能です。

POEGGA ～ POEGGD レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。以下の説明で POEGGn とは、POEGGA ～ POEGGD レジスタのすべてを表しています。

13.3　出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、および GTIOCxB 出力端子は、出力禁止状態に設定可能になります。

- GTETRGn 端子の入力レベルまたはエッジ検出
  POEGGn.PIDE ビットが 1 の状態で、POEGGn.PIDF フラグが 1 になったとき
- GPT からの出力禁止要求
  POEGGn.IOCE ビットが 1 の状態で、POEGGn.IOCF フラグが 1 になったとき（GPT レジスタの GTINTAD.GRPDTE、GTINTAD.GRPABH、および GTINTAD.GRPABL ビットによって許可された禁止要求は、GTINTAD.GRP[1:0] で選択されたグループに適用されます）
- SSF ビットの設定
  POEGGn.SSF フラグが 1 になったとき

出力禁止の状態は、GPT モジュールで制御します。詳細は、GPT 章の GTINTAD.GRP[1:0] ビット、GTIOR.OADF[1:0] ビット、および GTIOR.OBDF[1:0] ビットを参照してください。

13.3.1　端子入力レベル検出時の動作

POEGGn.PIDE ビット、POEGGn.NFCS[1:0] ビット、POEGGn.NFEN ビット、および POEGGn.INV ビットに設定された入力条件が、GTETRGn 端子で発生すると、GPT 出力端子は出力禁止状態になります。

13.3.1.1　デジタルフィルタ

図 13.2 に、デジタルフィルタによる High 検出時の動作を示します。POEGGn.INV ビットの極性の設定に対応した High 状態が、POEGGn.NFCS[1:0] ビットと POEGGn.NFEN ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRGn 端子のレベル変化が無視されます。

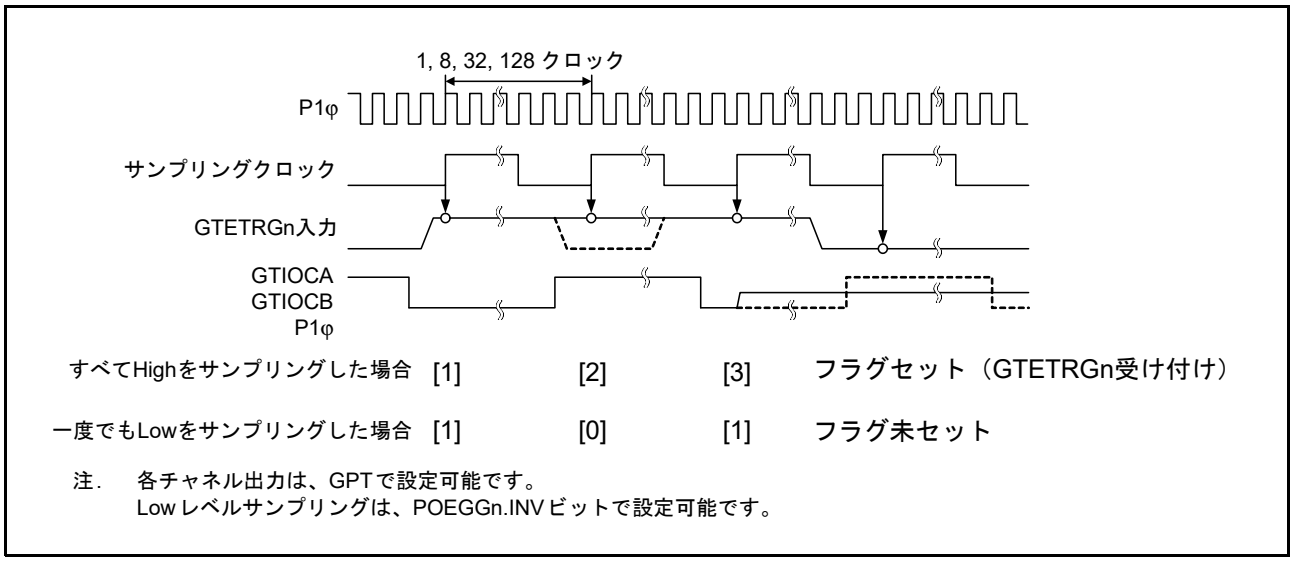


図 13.2　デジタルフィルタの動作例

13.3.2　GPT からの出力禁止要求

この動作の詳細については、「12.　汎用 PWM タイマ（GPT）」に記載の「12.8.3　GTIOC 端子出力のネゲート制御」を参照してください。

13.3.3　レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ（POEGGn.SSF）に書き込むことで直接制御が可能です。

13.3.4　出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

- POEGGn.PIDF フラグ
- POEGGn.IOCF フラグ
- POEGGn.SSF フラグ

外部入力端子 GTETRGn が無効ではなく、かつ POEGGn.ST ビットが 0 になっていなければ、POEGGn.PIDF フラグに 0 を書いても無視されます（フラグはクリアされません）。

GPT の GTST.DTEF フラグ、GTST.OABHF フラグ、および GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGGn.IOCF フラグに 0 を書くこと（フラグをクリアすること）ができます。

図 13.3 に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

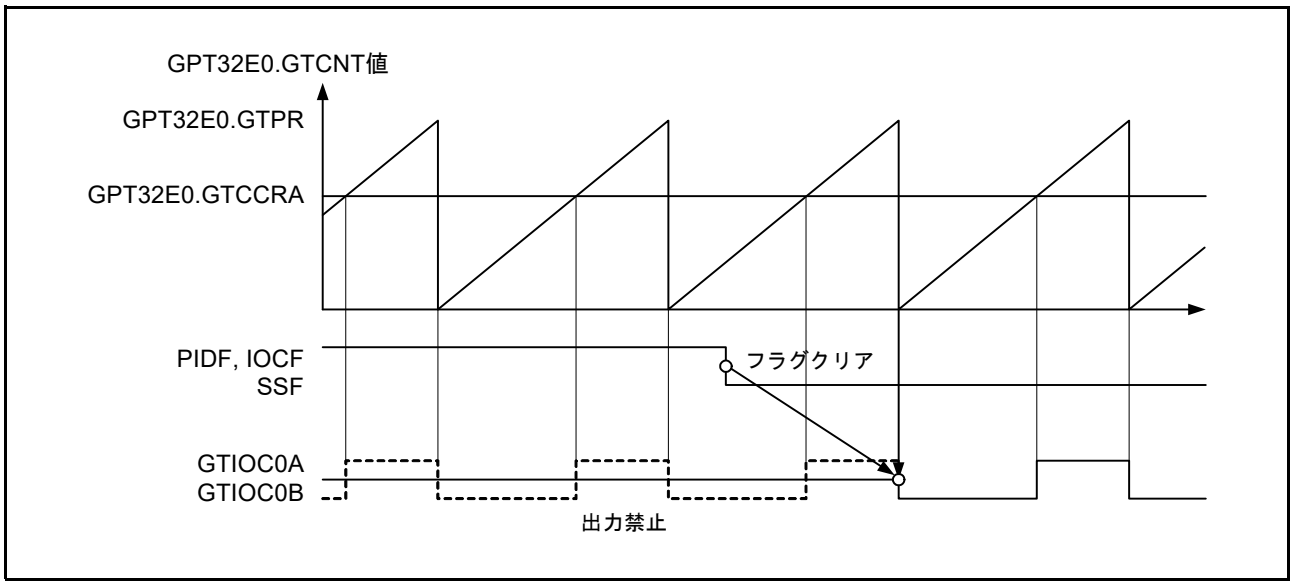


図 13.3　GPT 端子出力の出力禁止状態の解除タイミング

13.4　割り込み要因

POEG は、以下の要因によってトリガされたとき、割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPT からの出力禁止要求
- レジスタによる出力禁止制御

表 13.4 に、割り込み要求の条件を示します。

表 13.4　割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEG グループ A 割り込み	GROUP0	POEGGA.IOCF	GPT からの出力禁止要求の発生
		POEGGA.PIDF	GTETRGA 端子からの出力禁止要求の発生
POEG グループ B 割り込み	GROUP1	POEGGB.IOCF	GPT からの出力禁止要求の発生
		POEGGB.PIDF	GTETRGB 端子からの出力禁止要求の発生
POEG グループ C 割り込み	GROUP2	POEGGC.IOCF	GPT からの出力禁止要求の発生
		POEGGC.PIDF	GTETRGC 端子からの出力禁止要求の発生
POEG グループ D 割り込み	GROUP3	POEGGD.IOCF	GPT からの出力禁止要求の発生
		POEGGD.PIDF	GTETRGD 端子からの出力禁止要求の発生

13.5　GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETRGn 信号を GPT に出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インプットキャプチャ

POEGGn.INV ビットで設定した極性信号に対し、POEGGn.NFCS[1:0] および POEGGn.NFEN ビットで選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。「13.3.1 **端子入力レベル検出時の動作**」に記載のコントロールレジスタと同じものを設定してください。フィルタリング後の状態は POEGGn.ST フラグでモニタできます。

図 13.4 に、GPT に対する外部トリガ出力のタイミングを示します。

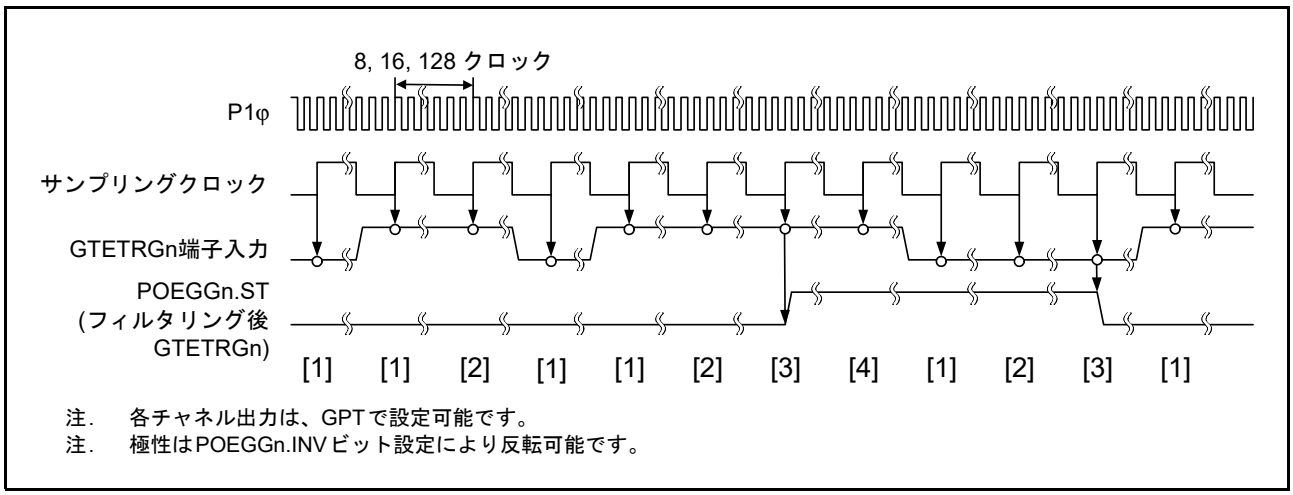


図 13.4　GPT に対する外部トリガ出力のタイミング

13.6　使用上の注意事項

13.6.1　ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

13.6.2　GPT 対応端子の指定

POEG は、PMR レジスタおよび PmnPFS.PSEL ビットによって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

14. OS タイマ

14.1 機能概要

OS タイマには、次の機能があります。

- 2 つの動作モード
  - インターバルタイマモード
  - フリーランニングコンペアモード
- コンペアマッチによる DMA の起動、または割り込み発生の選択可

14.1.1 特長

チャネル　この製品は次のチャネル数の OS タイマを搭載しています。

表 14.1　OS タイマのチャネル

	OS タイマ
チャネル数	3
名称	OSTMn

注.　n=0,1,2 となります。

n の意味

この章では、OS タイマの各チャネルを「n」で識別します。たとえば、n 出力レジスタ（OSTMnTO）（n = 0, 1, 2）のように記述しています。

レジスタアドレス

OS タイマのレジスタのアドレスは、それぞれのベースアドレス <OSTMn_base> からのオフセットで表されます。

各 OSTMn のレジスタベースアドレスを次の表に示します。

表 14.2　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<OSTM0_base>	$E803_B000_H$
<OSTM1_base>	$E803_C000_H$
<OSTM2_base>	$E803_D000_H$

割り込み

OS タイマは次の割り込み要求を発生できます。

表 14.3　OSTMn の割り込み要求

OSTMn の信号	機能	ダイレクトメモリアクセスコントローラ起動
OSTM0TINT	OSTM0 の割り込み	○
OSTM1TINT	OSTM1 の割り込み	○
OSTM2TINT	OSTM2 の割り込み	○

14.2 レジスタ

OS タイマは、次のレジスタで制御、動作します。

14.2.1 レジスタの概要

OSTMn（n = 0, 1, 2）のレジスタ一覧、メモリアドレスを以下に示します。
ベースアドレスは**表 14.2** をご参照ください。
実際のアドレスはこのベースアドレスに表で示したオフセット値を加算します。

レジスタ名	機能	R/W	初期値	アクセス単位（ビット）			アドレス
				8	16	32	
OSTMnCMP	OSTM コンペアレジスタ	R/W	0000 0000_H	—	—	○	<OSTMn_base> + 00_H
OSTMnCNT	OSTM カウンタレジスタ	R	FFFF $FFFF_H$	—	—	○	<OSTMn_base> + 04_H
OSTMnTE	OSTM カウントイネーブルステータスレジスタ	R	00_H	○	—	—	<OSTMn_base> + 10_H
OSTMnTS	OSTM カウント開始トリガレジスタ	W	00_H	○	—	—	<OSTMn_base> + 14_H
OSTMnTT	OSTM カウント停止トリガレジスタ	W	00_H	○	—	—	<OSTMn_base> + 18_H
OSTMnCTL	OSTM 制御レジスタ	R/W	00_H	○	—	—	<OSTMn_base> + 20_H

14.2.2　レジスタの詳細

14.2.2.1　OSTMnCMP — OSTM コンペアレジスタ

このレジスタは、動作モードによってダウンカウンタの開始値または、コンペア値を格納します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<OSTMn_base>

初期値　$0000\ 0000_H$

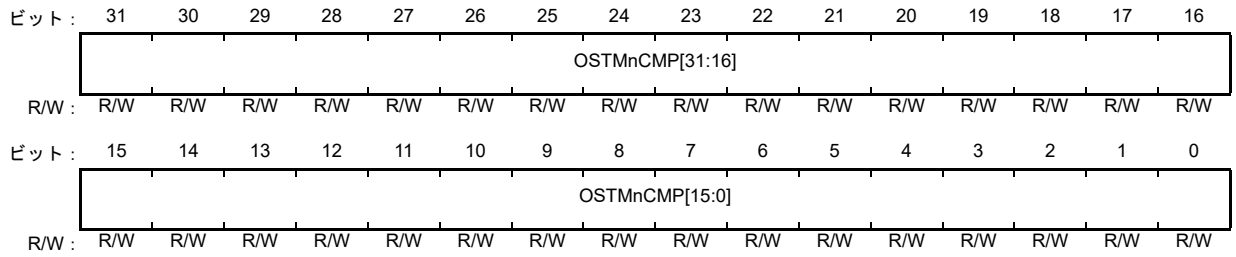


表 14.4　OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31～0	OSTMnCMP[31:0]	インターバルタイマモードの場合：ダウンカウンタの開始値 フリーランニングコンペアモードの場合：コンペア値

14.2.2.2　OSTMnCNT — OSTM カウンタレジスタ

このレジスタはタイマのカウンタ値を示します。

アクセス　32 ビット単位でリード可能です。

アドレス　<OSTMn_base> + 4_H

初期値　OS タイマの動作モードによって変わります。
表 14.6 を参照してください。

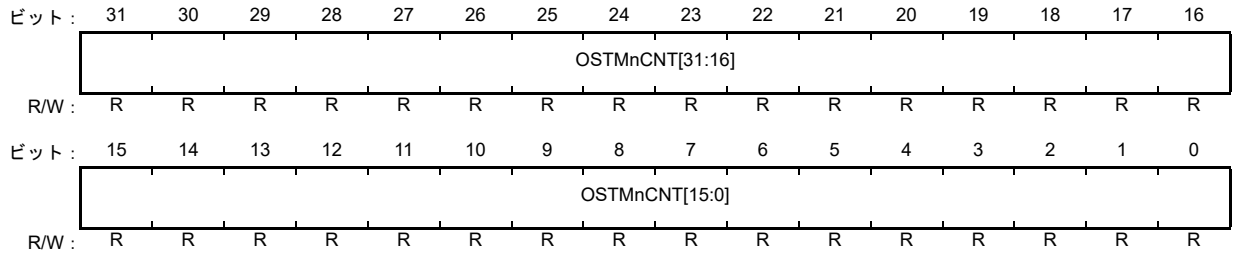


表 14.5　OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OSTMnCNT[31:0]	32 ビットカウンタの値

動作モード、カウントのアップダウン方向、初期値の関係を次に示します。初期値は、動作モードが変更されたあとにリードされる値です。

表 14.6　動作モード、カウントのアップダウン方向、初期値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウントのアップダウン方向	初期値
インターバルタイマモード	0（注 1）	ダウン	FFFF FFFF$_H$
フリーランニングコンペアモード	1	アップ	0000 0000$_H$

注 1.　リセット後の値

14.2.2.3　OSTMnTE — OSTM カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス　8 ビット単位でリード可能です。

アドレス　<OSTMn_base>+ 10_H

初期値　00_H

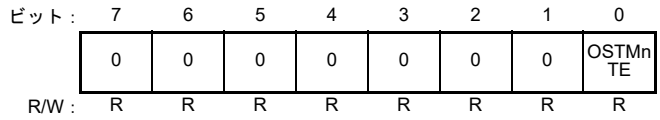


表 14.7　OSTMnTE レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OSTMnTE	カウンタの状態を示します。 0: カウンタが停止中 1: カウンタが動作中 OSTMnTS.OSTMnTS ビットを 1 に設定すると、このビットが 1 になります。 OSTMnTT.OSTMnTT ビットを 1 に設定すると、このビットが 0 にリセットされます。

備考

OSTMnTE = 0 の場合はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバルタイマモードでは、カウンタ値は OSTMnCMP レジスタ値からカウントダウンを開始します。
- フリーランニングコンペアモードでは、カウンタ値 $0000\ 0000_H$ からカウントアップを開始します。

14.2.2.4　OSTMnTS — OSTM カウント開始トリガレジスタ

このレジスタは、カウント動作を開始します。

アクセス　8 ビット単位でライト可能です。リードすると常に 00_H を返します。

アドレス　<OSTMn_base>+ 14_H

初期値　00_H

ビット：	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	OSTMnTS
R/W：	R	R	R	R	R	R	R	W

表 14.8　OSTMnTS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OSTMnTS	カウントの動作を開始します。 0: 設定は無効です。 1: カウントを開始し、OSTMnTE.OSTMnTE ビットをセットします。 • インターバルタイマモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 • フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

14.2.2.5　OSTMnTT — OSTM カウント停止トリガレジスタ

このレジスタは、カウント動作を停止します

アクセス　8 ビット単位でライト可能です。リードすると常に 00_H を返します。

アドレス　<OSTMn_base>+ 18_H

初期値　00_H

ビット：	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	OSTMnTT
R/W：	R	R	R	R	R	R	R	W

表 14.9　OSTMnTT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OSTMnTT	カウンタの動作を停止します。 0: 設定は無効です。 1: カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

14.2.2.6　OSTMnCTL — OSTM 制御レジスタ

このレジスタは、カウンタの動作モードを設定し、カウント開始時の割り込み要求 OSTMnTINT の許可／禁止を設定します。

アクセス　8 ビット単位でリード / ライト可能です。カウンタが無効の場合（OSTMnTE.OSTMnTE = 0）のみライト可能です。

アドレス　<OSTMn_base>+ 20_H

初期値　00_H

ビット：	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	OSTMnMD1	OSTMnMD0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

表 14.10　OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	OSTMnMD1	カウンタの動作モードを設定します。 0: インターバルタイマモード 1: フリーランニングコンペアモード
0	OSTMnMD0	カウント開始時の OSTMnTINT 割り込み許可／禁止を設定します。 0: カウント開始時の割り込みを禁止 1: カウント開始時の割り込みを許可

14.3 機能説明

OS タイマは 32 ビットのタイマ／カウンタです。

動作モードを選択することによりカウントのアップダウン方向を指定し、割り込み要求の生成を制御します。

14.3.1 ブロック図

OSTM の主な構成要素を次のブロック図に示します。

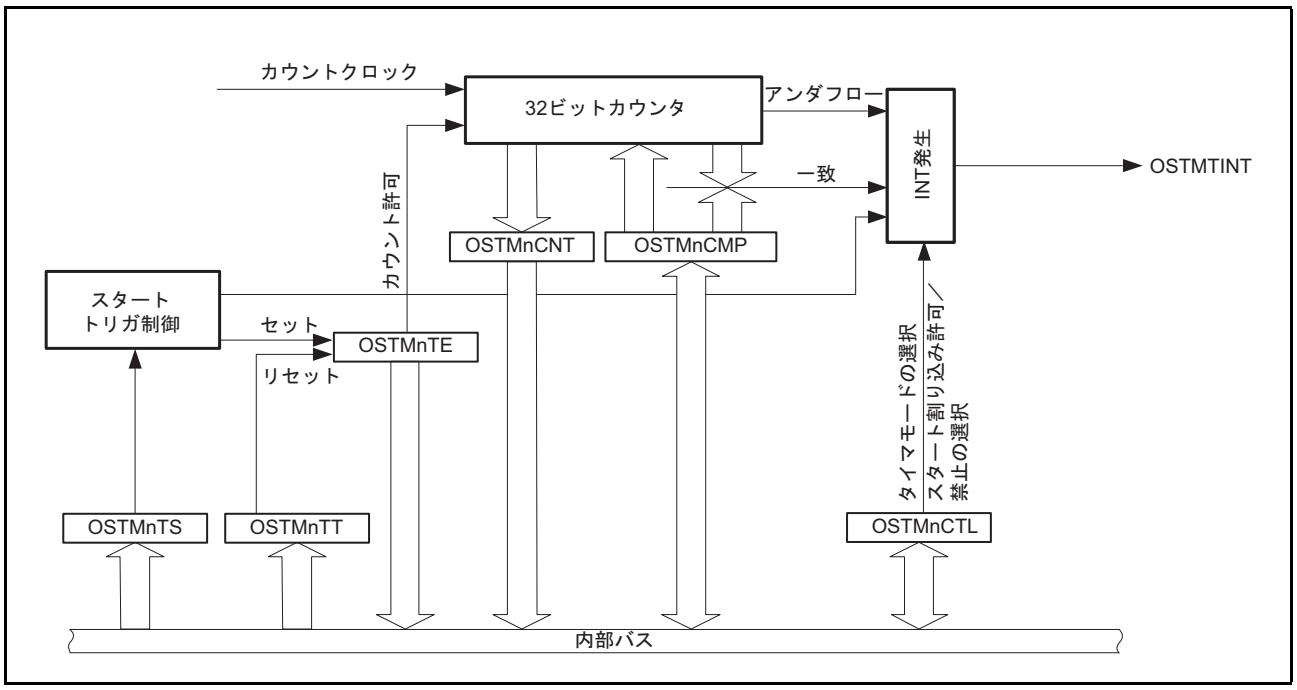


図 14.1 OSTM のブロック図

14.3.2 カウントクロック

OSTMn のカウントクロックは P1φ です。

14.3.3 割り込み要求の生成

カウンタが 0000 0000$_H$ に到達したとき（インターバルタイマモードの場合）またはカウンタがコンペア値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求 OSTMnTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

これを次の図に示します。

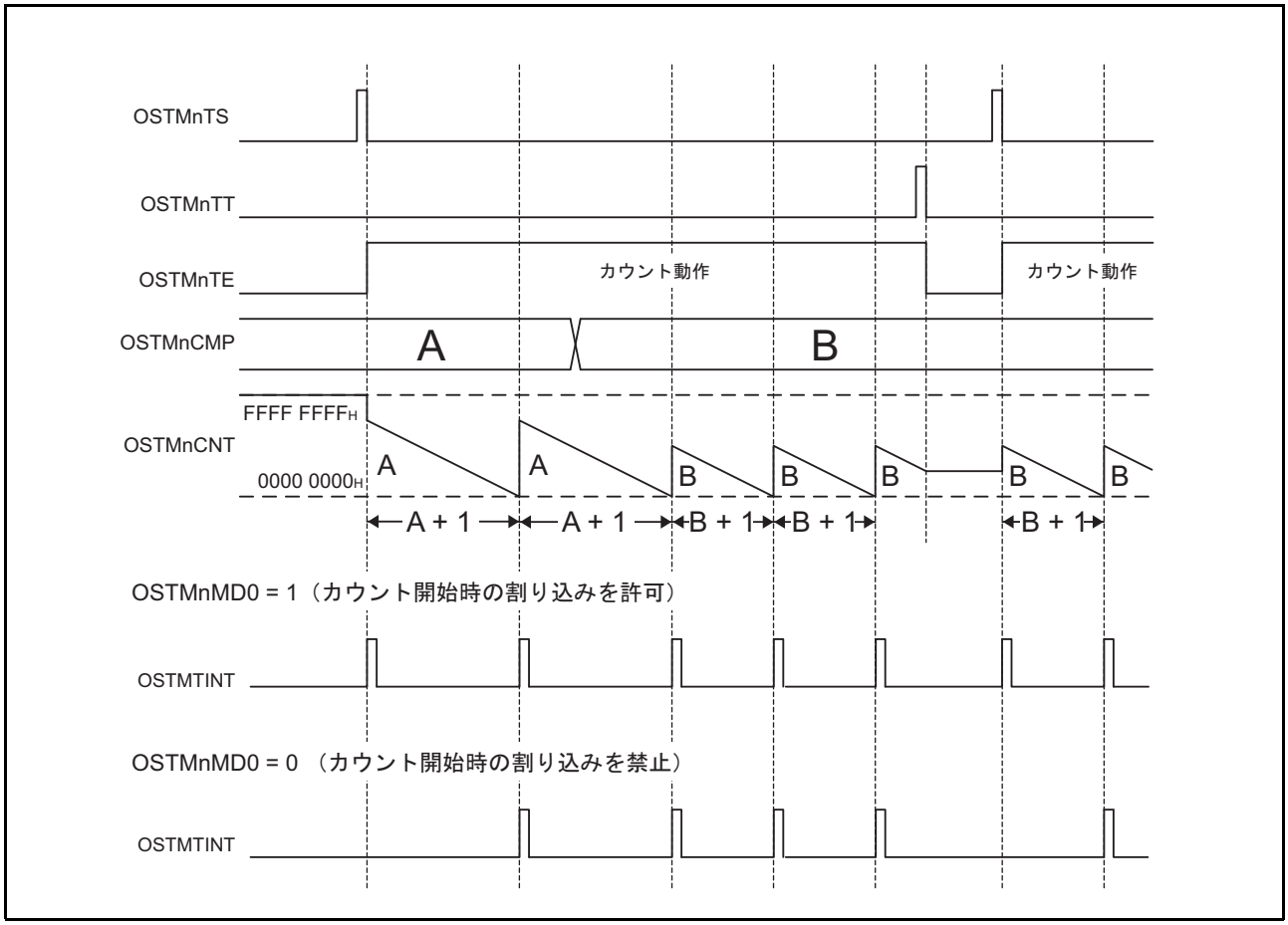


図 14.2 カウント開始時の割り込み生成（インターバルタイマモード）

14.3.4 タイマの起動と停止

OS タイマは次のように起動し、停止します。

起動

タイマは以下の設定によって起動します。

・OSTMnTS.OSTMnTS ビット = 1 に設定

ステータスビット OSTMnTE.OSTMnTE が 1 に設定されます。

動作モードによって、カウンタはカウントダウンまたはカウントアップを開始します。

停止

タイマは、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータスビット OSTMnTE.OSTMnTE がクリアされます。

14.3.5 インターバルタイマモード

インターバルタイマモードでは、OS タイマを一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

14.3.5.1 インターバルタイマモードの基本動作

インターバルタイマモードでは、カウンタは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタ値が 0000 0000_H に到達した場合に、割り込み要求 OSTMnTINT が発生します。

インターバルタイマモードは OSTMnCTL.OSTMnMD1 ビット = 0 で設定されます。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタ値が 0000 0000_H に到達後、カウンタは次のカウントクロックで OSTMnCMP レジスタ値から動作を開始します。

OSTMnTINT 周期

OSTMnTINT 出力の期間は次のようになります。

・OSTMnTINT 発生周期 = カウントクロック周期 ×(OSTMnCMP ＋ 1)

次の図に、インターバルタイマモードでカウンタスタート割り込みを許可された場合の OSTM の基本動作を示します。

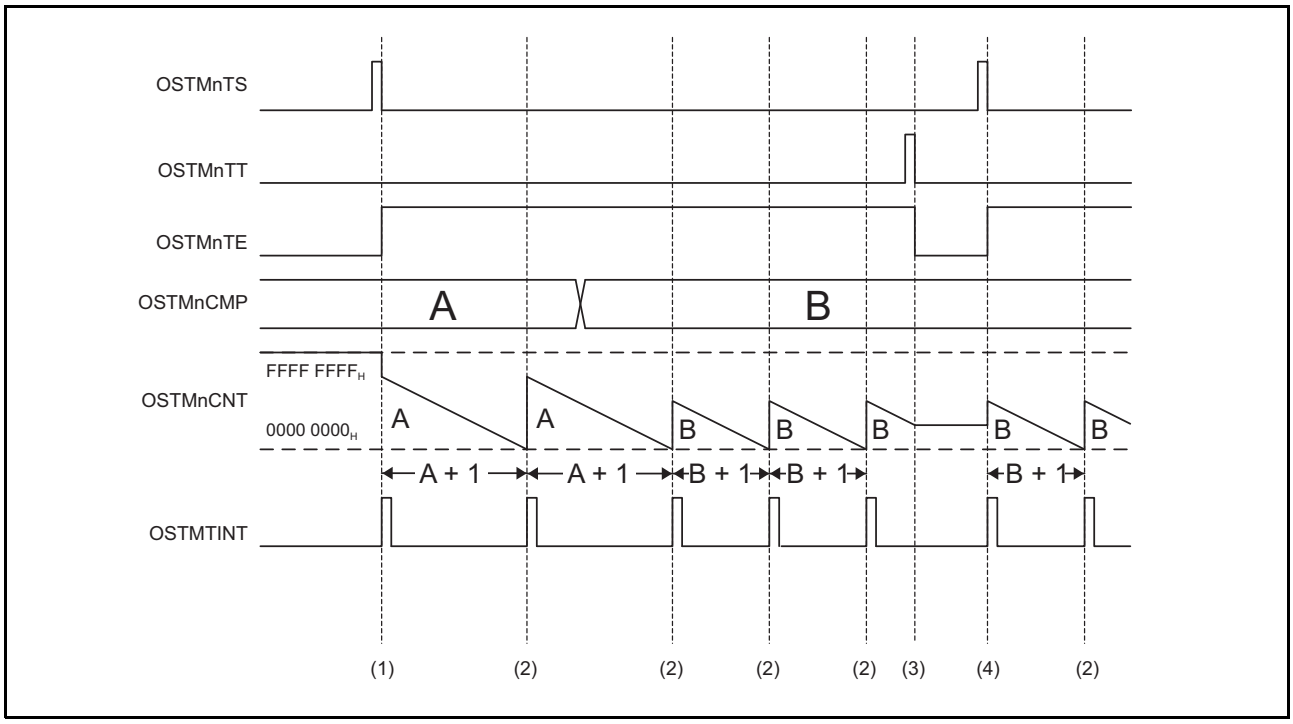


図 14.3 インターバルタイマモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS = 1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウントダウンを開始します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。カウンタ値は OSTMnCNT レジスタで示されます。

(2) カウンタが 0000 0000$_H$ に達すると、割り込み要求 OSTMTINT が発生します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを継続します。

(3) OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に OSTMnTS.OSTMnTS = 1 に設定することによって実行されます。

カウンタは、OSTMnCMP の値からカウントダウンを開始します。

次の図に、インターバルタイマモードでカウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1）されるタイミング図を示します。

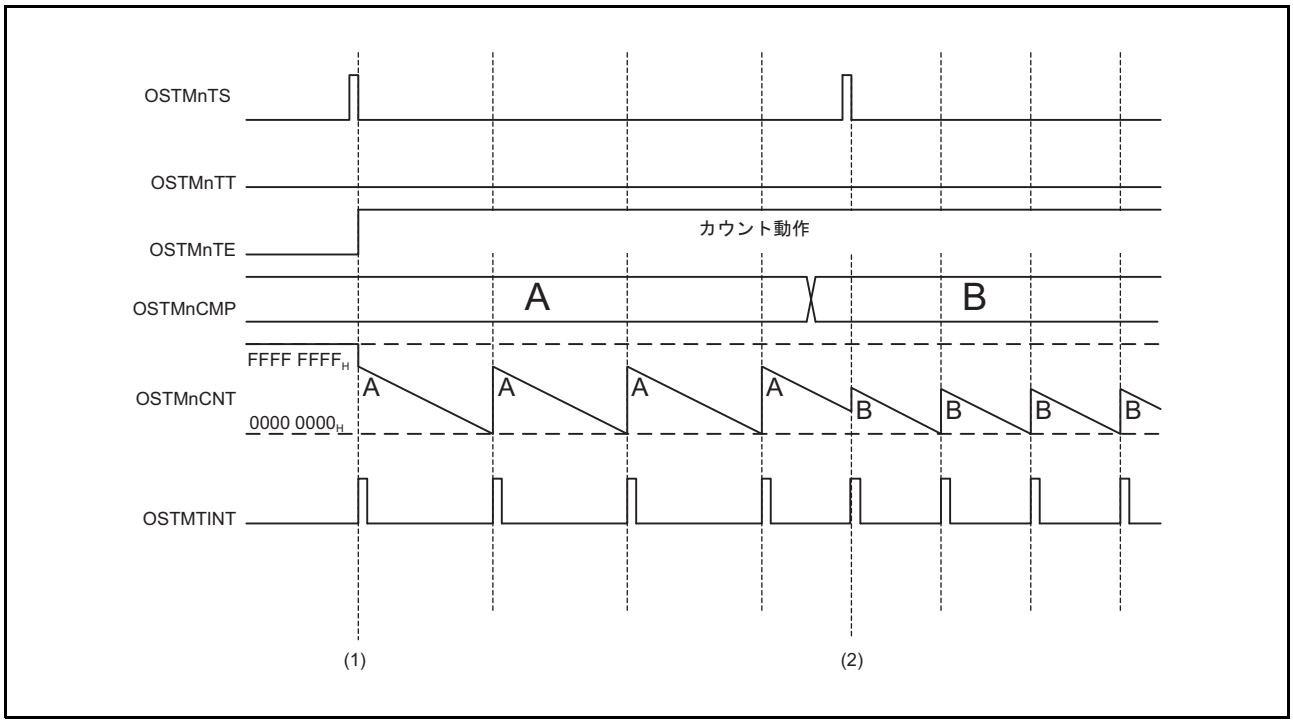


図 14.4 インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、**図 14.3** で説明されているように動作を開始します。

(2) カウンタは、動作している間（OSTMnTE.OSTMnTE = 1）OSTMnTS.OSTMnTS = 1 にすると、リスタートします。
カウンタは、ただちに OSTMnCMP の現在値からカウントダウンを再開します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。

14.3.5.2 OSTMnCMP = 0000 0000$_H$ の場合の動作

OSTMnCMP = 0000 0000$_H$ の場合に、OS タイマは次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMTINT は常に 1 になります。

次の図に、OSTMnCMP = 0000 0000$_H$ であり、カウンタスタート割り込みが許可された場合の OSTM の動作を示します。

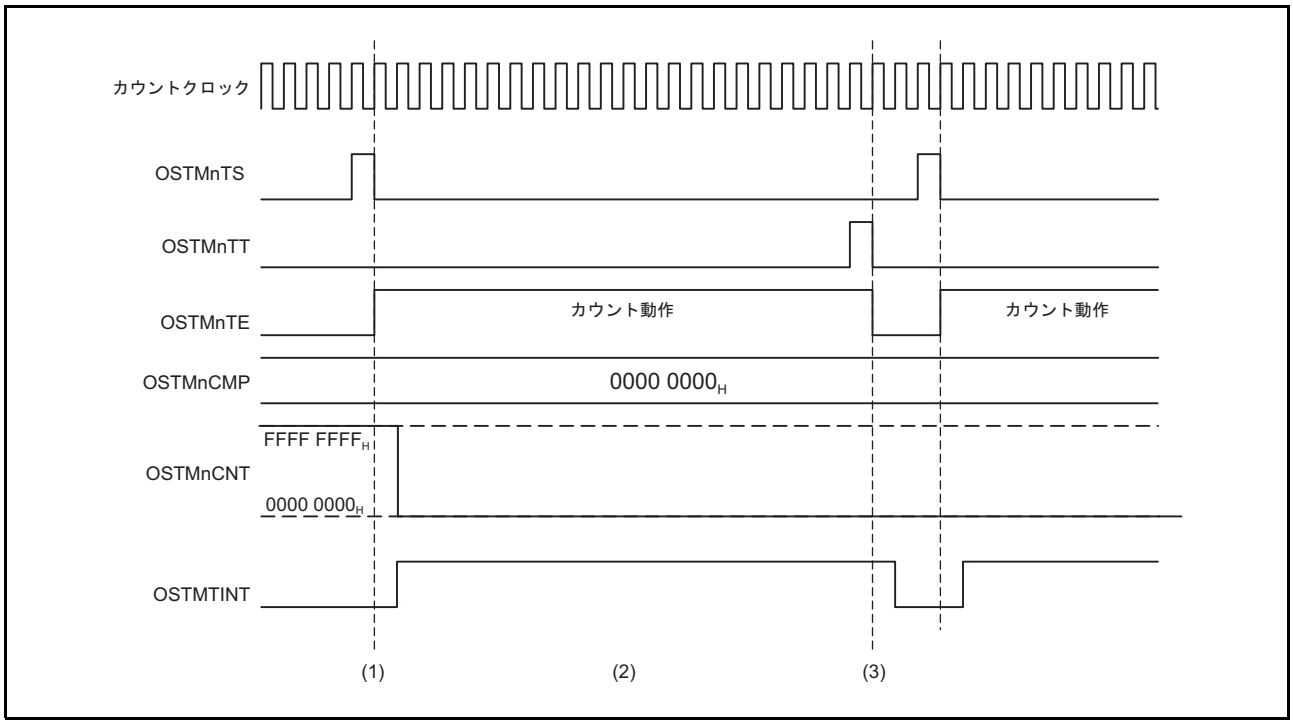


図 14.5 インターバルタイマモードで OSTMnCMP = 0000 0000$_H$ の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000$_H$ のままです。

(2) 割り込み要求 OSTMTINT が継続的に発生します。

(3) カウンタが停止すると、割り込み要求 OSTMTINT が停止します。

(4) カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

14.3.6　フリーランニングコンペアモード

14.3.6.1　フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは 0000 0000$_H$ から FFFF FFFF$_H$ までカウントアップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMnTINT が発生します。フリーランニングコンペアモードは、OSTMnCTL.OSTMnMD1 ビット = 1 で設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可（OSTMnCTL.OSTMnMD0 = 1）された場合の OSTM の基本動作を示します。

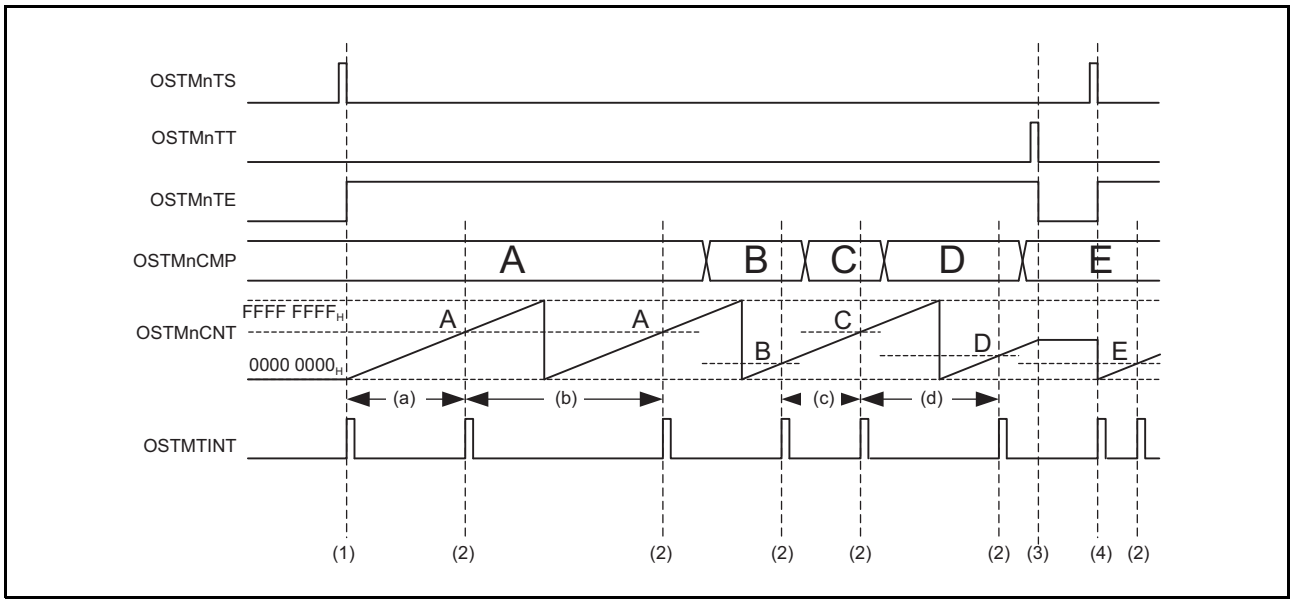


図 14.6　フリーランニングコンペアモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS = 1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは 0000 0000$_H$ から FFFF FFFF$_H$ までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。

(2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMTINT 割り込み要求が発生します。

(3) カウンタが停止すると（OSTMnTT.OSTMnTT = 1）、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS = 1 によりカウントを再開すると、カウンタは 0000 0000$_H$ からカウントを開始します。

OSTMTINT 期間

OSTMTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 14.11 OSTMTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMTINT の発生期間	タイミング図のラベル
カウント開始			(A + 1) × カウントクロック期間	(a)
A	A	書き換えなし	(FFFF FFFF$_H$ + 1) × カウントクロック期間	(b)
B	C > B	B <カウンタ値< C	(C – B) × カウントクロック期間	(c)
C	D < C	カウンタ値> D, C	(FFFF FFFF$_H$ – C + D + 1) × カウントクロック期間	(d)

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

14.3.6.2　OSTMnCMP = 0000 0000$_H$ の場合の動作

次の図に、OSTMnCMP = 0000 0000$_H$ であり、カウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1）された場合の OSTM の動作を示します。

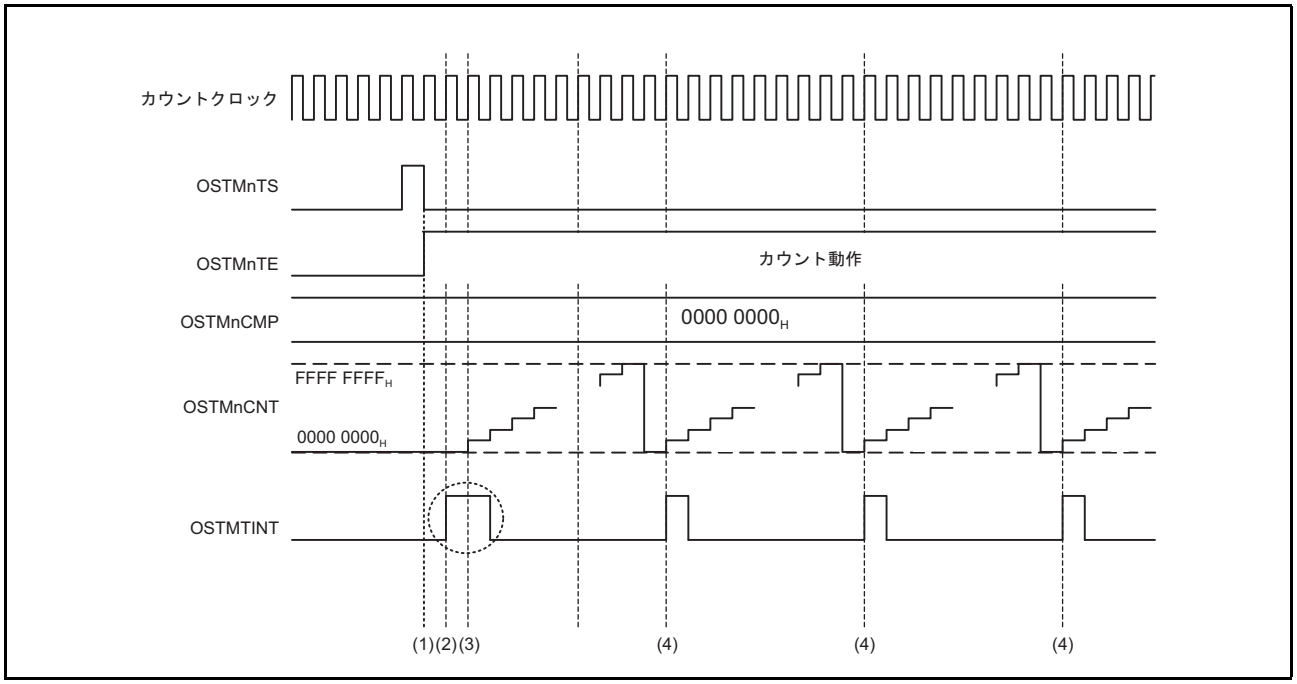


図 14.7　フリーランニングコンペアモードで OSTMnCMP = 0000 0000$_H$ の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウントを開始すると、カウンタは 0000 0000$_H$ から FFFF FFFF$_H$ までをカウントします。

(2) カウント開始時に割り込み要求 OSTMTINT が発生します。

(3) 現在のカウント値が OSTMnCMP と一致する場合は、割り込み要求 OSTMTINT が発生します。上記のように OSTMnCMP = 0000 0000$_H$ の場合、OSTMTINT はカウントクロック 2 クロック分発生します。

(4) (FFFF FFFF$_H$ + 1) クロックサイクルごとに、割り込み要求 OSTMTINT が発生します。カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

15. ウォッチドッグタイマ

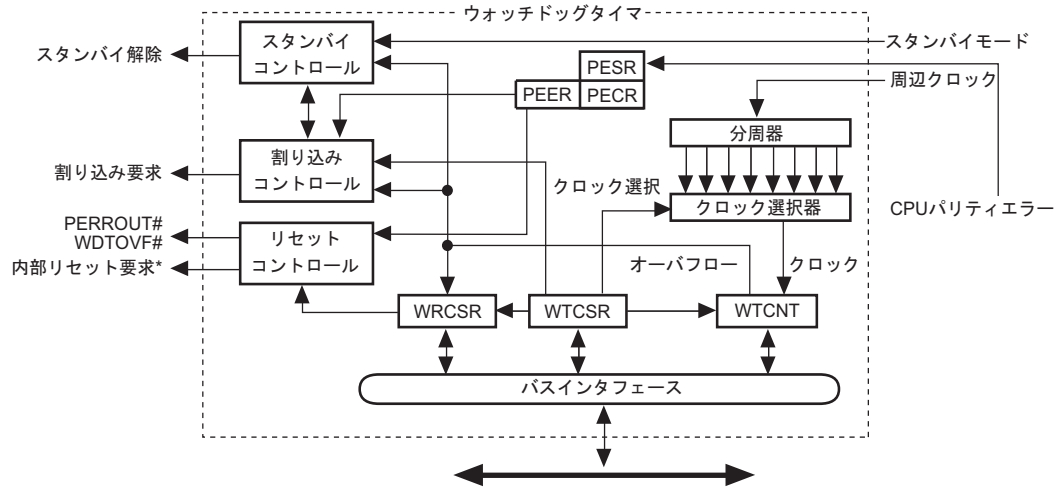
本 LSI は、ウォッチドッグタイマを内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバフローした場合、外部にオーバフロー信号（WDTOVF#）を出力します。同時に、本 LSI の内部リセット信号を発生することができます。同様に、CPU のパリティエラーによっても、外部にパリティエラー信号（PERROUT#）を出力し、本 LSI の内部リセット信号を発生することができます。

本モジュールは、1 チャネルのタイマで、ソフトウェアスタンバイモード解除のためのクロック発振安定時間のカウントに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

15.1 特長

- クロック発振安定時間の確保に使用可能
  ソフトウェアスタンバイモード状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ウォッチドッグタイマモード時、WDTOVF# 信号を出力
  カウンタがオーバフローすると、外部に WDTOVF# 信号を出力します。このとき、同時に本 LSI 内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットとなります。
- インターバルタイマモード時、割り込みを発生
  カウンタオーバフローにより、インターバルタイマ割り込み (ITI) を発生します。
- 16 種類のカウンタ入力クロックを選択可能
  周辺クロックを分周した 16 種類のクロック（P0φ×1 ～ ×1/4194304）から選択できます。
- CPU のパリティエラー時、内部リセットまたは割り込みの動作可能
  内部リセット選択時、CPU のパリティエラーが発生すると、本 LSI 内部リセットを発生し、外部に PERROUT# 信号を出力します。この内部リセットは、パワーオンリセットとなります。
  割り込み選択時、CPU のパリティエラーが発生すると、割り込み (CA9PEI) を発生します。
- CPU のパリティエラーの要因保持
  パリティエラーの要因は保持し、内部リセットではクリアされません。

図 15.1 にブロック図を示します。



【記号説明】

WTCSR: ウォッチドッグタイマコントロール／ステータスレジスタ	PEER : CPUパリティエラーイネーブルレジスタ
WTCNT: ウォッチドッグタイマカウンタ	PESR : CPUパリティエラーステータスレジスタ
WRCSR: ウォッチドッグリセットコントロール／ステータスレジスタ	PECR : CPUパリティエラーコントロールレジスタ

【注】 * 内部リセット信号は、レジスタの設定により発生させることができます。

図 15.1 ブロック図

15.2　入出力端子

表 15.1 に端子構成を示します。

表 15.1　端子構成

名称	端子名	入出力	機　　能
ウォッチドッグタイマオーバフロー	WDTOVF#	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力
CPUのパリティエラー	PERROUT#	出力	CPUのパリティエラー発生時の信号出力

15.3　レジスタの説明

表 15.2 にレジスタ構成を示します。

表 15.2　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FCFE7002	16*1
ウォッチドッグタイマコントロール／ステータスレジスタ	WTCSR	R/W	H'10	H'FCFE7000	16*1
ウォッチドッグリセットコントロール／ステータスレジスタ	WRCSR	R/W	H'1F	H'FCFE7004	16*1
CPUパリティエラーイネーブルレジスタ	PEER	R/W	H'00	H'FCFE7020	16*1
CPUパリティエラーコントロールレジスタ	PECR	R/W	H'00	H'FCFE7022	16*1
CPUパリティエラーステータスレジスタ	PESR	R/W	H'00	H'FCFE7024	16*1

注1.　* アクセスサイズは、「15.3.7　レジスタアクセス時の注意」を参照してください。読み出し時は、8 ビットアクセスになります。

15.3.1　ウォッチドッグタイマカウンタ（WTCNT）

WTCNT は、読み出し／書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバフロー信号（WDTOVF#）が発生し、インターバルタイマモードのときは割り込みが発生します。

WTCNT への書き込みは、上位バイトを H'5A にして 16 ビットサイズで行ってください。
読み出しは、8 ビットサイズで行ってください。

注 .　本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「15.3.7　レジスタアクセス時の注意」を参照してください。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.3.2　ウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR）

WTCSR は、読み出し／書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットからなります。

ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、カウンタオーバフロー後、値が保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にして 16 ビットサイズで行ってください。読み出しは、8 ビットサイズで行ってください。

注．　本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「15.3.7　レジスタアクセス時の注意」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	IOVF	WT/IT#	TME	—	CKS[3:0]			
初期値：	0	0	0	1	0	0	0	0
R/W：	R/(W)	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	IOVF	0	R/(W)	インターバルタイマオーバフロー インターバルタイマモードでWTCNTがオーバフローしたことを示します。ウォッチドッグタイマモードでは、セットされません。 0：オーバフローなし 1：インターバルタイマモードでWTCNTがオーバフローした ［クリア条件］ ・ IOVFを読み出してから0を書き込む
6	WT/IT#	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0：インターバルタイマモード 1：ウォッチドッグタイマモード 注．　ウォッチドッグタイマモードでは、WTCNTがオーバフローしたときWDTOVF#信号を外部へ出力 本モジュールの動作中にWT/IT#を書き換えるとカウントアップが正しく行われないことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に本モジュールを使用する場合には、このビットを0にしてください。 0：タイマディスエーブル 　カウントアップを停止し、WTCNTの値を保持する。 1：タイマイネーブル
4	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット	ビット名	初期値	R/W	説　明
3～0	CKS[3:0]	0000	R/W	クロックセレクト 周辺クロック（P0φ）を分周して得られる16種類のクロックから、WTCNTのカウントに使用するクロックを選択します。かっこ内に示すオーバフロー周期は、周辺クロック（P0φ）＝33.00MHzの場合の値です。 クロック分周比　オーバフロー周期 0000：1 x P0φ　（7.75μs） 0001：1/64 x P0φ　（496.48μs） 0010：1/128 x P0φ　（992.96μs） 0011：1/256 x P0φ　（1.98ms） 0100：1/512 x P0φ　（3.97ms） 0101：1/1024 x P0φ　（7.94ms） 0110：1/4096 x P0φ　（31.77ms） 0111：1/16384 x P0φ　（127.10ms） 1000：1/32768 x P0φ　（254.20ms） 1001：1/65536 x P0φ　（508.40ms） 1010：1/131072 x P0φ　（1.01s） 1011：1/262144 x P0φ　（2.03s） 1100：1/524288 x P0φ　（4.06s） 1101：1/1048576 x P0φ　（8.13s） 1110：1/2097152 x P0φ　（16.26s） 1111：1/4194304 x P0φ　（32.53s） 注.　本モジュールの動作中にCKS[3:0]ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[3:0]ビットを書き換える場合は、必ず本モジュールを停止させてください。

15.3.3　ウォッチドッグリセットコントロール／ステータスレジスタ（WRCSR）

WRCSR は、読み出し／書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ（WTCNT）のオーバフローによる内部リセット信号の発生を制御します。

注 .　本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「15.3.7　レジスタアクセス時の注意」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	WOVF	RSTE	—	—	—	—	—	—
初期値：	0	0	0	1	1	1	1	1
R/W：	R/(W)	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバフロー ウォッチドッグタイマモードでWTCNTがオーバフローしたことを示します。インターバルタイマモードでは、セットされません。 0：オーバフローなし 1：ウォッチドッグタイマモードでWTCNTがオーバフローした [クリア条件] • WOVFを読み出してから0を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードでWTCNTがオーバフローしたとき本LSI内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0：WTCNTがオーバフローしたとき、内部リセットしない* 1：WTCNTがオーバフローしたとき、内部リセットする 注　*　本LSI内部はリセットされませんが、本モジュール内のWTCNT、WTCSRはリセットされます。
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4 ～ 0	—	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

15.3.4　CPU パリティエラーイネーブルレジスタ (PEER)

PEER は、読み出し／書き込み可能な 8 ビットのレジスタで、CPU パリティエラーによる内部リセット信号と割り込み発生を制御します。

注 .　本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「15.3.7　レジスタアクセス時の注意」を参照してください。

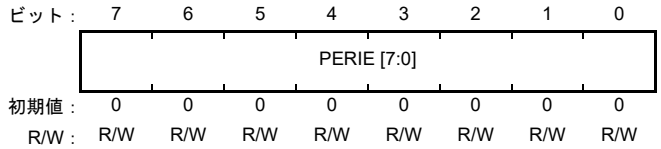
ビット：	7	6	5	4	3	2	1	0
	PEE[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	PEE[7:0]	H'00	R/W	CPUパリティエラーイネーブル PERIE [7:0](内部リセット、割り込み発生)の動作を各ビットで制御します。 CPUパリティエラーの内容については、CPUパリティエラーステータスレジスタ(PESR)を参照してください。 0：内部リセットもしくは割り込み発生の動作禁止 1：内部リセットもしくは割り込み発生の動作許可

15.3.5　CPU パリティエラーコントロールレジスタ (PECR)

PECR は、読み出し／書き込み可能な 8 ビットのレジスタで、CPU パリティエラーによる割り込みか内部リセット信号の発生を設定します。CPU パリティエラーイネーブルレジスタ (PEER) の PEE ビットが許可されているときに、選択された動作をします。

注 .　本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「15.3.7　レジスタアクセス時の注意」を参照してください。



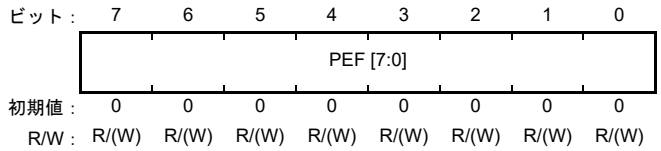
ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	PERIE [7:0]	H'00	R/W	CPUパリティエラーモードセレクト CPUパリティエラーにより内部リセットもしくは割り込みを選択します。 CPUパリティエラーイネーブルレジスタ(PEER)のPEEビットが1のみ有効です。 0：割り込みを選択 1：内部リセットを選択 　内部リセット時にはPERROUT#を外部へ出力

15.3.6　CPU パリティエラーステータスレジスタ (PESR)

PESR は、読み出し／0 書き込み可能な 8 ビットのレジスタで、CPU パリティエラーによる各要因を保持します。ただし、各要因のクリアは読み出してから 0 を書き込んでください。

なお、CPU パリティエラーイネーブルレジスタ (PEER) の設定に影響されません。

注．　本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「15.3.7　レジスタアクセス時の注意」を参照してください。



ビット	ビット名	初期値	R/W	説　　明
7	PEF[7]	0	R/(W)	CPUパリティエラー7フラグ BTACパリティエラーが発生したことを示します。 エラー発生時には、PEE[7], PERIE[7]に対応し動作します。 [クリア条件] • 読み出してから0を書き込む
6	PEF[6]	0	R/(W)	CPUパリティエラー6フラグ GHBパリティエラーが発生したことを示します。 エラー発生時には、PEE[6], PERIE[6]に対応し動作します。 [クリア条件] • 読み出してから0を書き込む
5	PEF[5]	0	R/(W)	CPUパリティエラー5フラグ 命令キャッシュタグRAMパリティエラー発生したことを示します。 エラー発生時には、PEE[5], PERIE[5]に対応し動作します。 [クリア条件] • 読み出してから0を書き込む
4	PEF[4]	0	R/(W)	CPUパリティエラー4フラグ 命令キャッシュデータRAMパリティエラーが発生したことを示します。 エラー発生時には、PEE[4], PERIE[4]に対応し動作します。 [クリア条件] • 読み出してから0を書き込む
3	PEF[3]	0	R/(W)	CPUパリティエラー3フラグ メインTLBパリティエラーが発生したことを示します。 エラー発生時には、PEE[3], PERIE[3]に対応し動作します。 [クリア条件] • 読み出してから0を書き込む
2	PEF[2]	0	R/(W)	CPUパリティエラー2フラグ データキャッシュ外部キャッシュ属性RAMパリティエラーが発生したことを示します。 エラー発生時には、PEE[2], PERIE[2]に対応し動作します。 [クリア条件] • 読み出してから0を書き込む
1	PEF[1]	0	R/(W)	CPUパリティエラー1フラグ データキャッシュ タグRAMパリティエラーが発生したことを示します。 エラー発生時には、PEE[1], PERIE[1]に対応し動作します。 [クリア条件] • 読み出してから0を書き込む
0	PEF[0]	0	R/(W)	CPUパリティエラー0フラグ データキャッシュ データRAMパリティエラーが発生したことを示します。 エラー発生時には、PEE[0], PERIE[0]に対応し動作します。 [クリア条件] • 読み出してから0を書き込む

15.3.7　レジスタアクセス時の注意

ウォッチドッグタイマカウンタ（WTCNT）、ウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR）、ウォッチドッグリセットコントロール／ステータスレジスタ（WRCSR）は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出しまたは書き込みを行ってください。

(1)　WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ず 16 ビット転送命令を使用してください。8 ビット転送および 32 ビット転送命令では書き込めません。

図 15.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

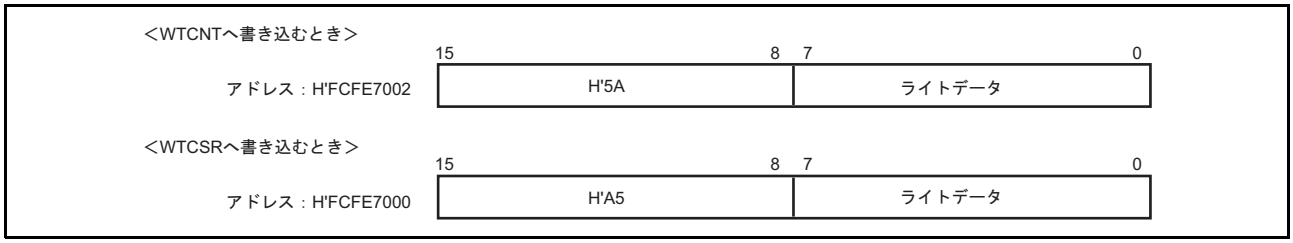


図 15.2　WTCNT および WTCSR への書き込み

(2)　WRCSR への書き込み

WRCSR へ書き込むときは、アドレス H'FCFE7004 に対して 16 ビット転送を行ってください。8 ビット転送命令および 32 ビット転送命令では書き込めません。

WOVF ビット（ビット 7）へ 0 を書き込む場合と、RSTE ビット（ビット 6）に書き込む場合では、図 15.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。

RSTE ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 の値が RSTE ビットに書き込まれます。このとき、WOVF ビットは影響を受けません。

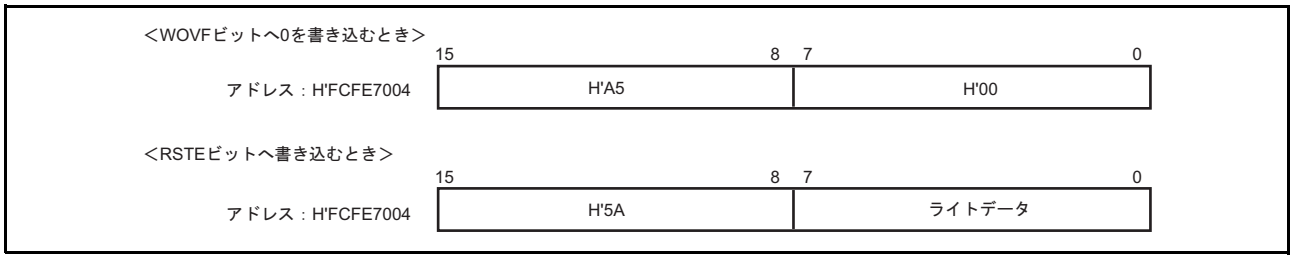


図 15.3　WRCSR への書き込み

(3)　WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FCFE7000 に、WTCNT はアドレス H'FCFE7002 に、WRCSR はアドレス H'FCFE7004 に割り当てられています。読み出すときは、必ず 8 ビット転送命令を使用してください。

(4)　PEER、PECR および PESR への書き込み

PEER、PECR および PESR へ書き込むときは、必ず 16 ビット転送命令を使用してください。8 ビット転送および 32 ビット転送命令では書き込めません。

図 15.4 に示すように、PEER、PECR および PESR へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが PEER、PECR および PESR へ書き込まれます。

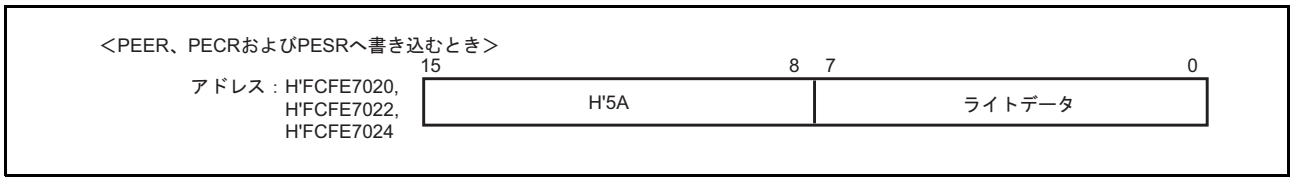


図 15.4　　PEER、PECR および PESR への書き込み

(5)　PEER、PECR および PESR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。読み出すときは、必ず 8 ビット転送命令を使用してください。

15.4　使用方法

15.4.1　ソフトウェアスタンバイモード解除の手順

本モジュールは、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します（リセットで解除する場合は、本モジュールは動作しないため、クロックの発振が安定するまで RES# 端子をローレベルに保ってください）。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS[3:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバフローまでの時間がクロック発振安定時間以上 *1 になるように設定してください。
3. スタンバイコントロールレジスタ 1（STBCR1：「52.　低消費電力モード」参照）の STBY ビットに 1、DEEP ビットに 0 を設定後、WFI 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、本モジュールがカウントを開始します。
5. 本モジュールがカウントオーバフローすると、クロックパルス発振器がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSR の WOVF はセットされません。

注 1.　RTCXTALSEL の RTC1XT, RTC0XT ビットがともに 0 の場合、ソフトウェアスタンバイモード中は EXTAL の発振が停止するため、EXTAL の内蔵発振回路発振安定時間（t_{ROSC}）と内蔵 PLL 回路発振安定時間（t_{POSC}）の合計以上の値を設定してください。
RTCXTALSEL の RTC1XT, RTC0XT ビットのどちらかが 1 の場合、ソフトウェアスタンバイモード中も EXTAL の発振は継続するため、内蔵 PLL 回路発振安定時間（t_{POSC}）以上の値を設定してください。

15.4.2　ウォッチドッグタイマモードの使用法

1. WTCSR の WT/IT# ビットに 1 を設定して、CKS[3:0] にカウントクロックの種類、WRCSR の RSTE ビットに本 LSI の内部をリセットするかしないか、および WTCNT に初期値を設定します。
2. WTCSR の TME ビットに 1 をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタが パリティエラーしないように定期的にカウンタを H'00 に書き換えてください。
4. カウンタが パリティエラーすると、本モジュールは WRCSR の WOVF を 1 にセットして、WDTOVF# 信号が外部に出力されます。これを図 15.5 に示します。この WDTOVF# 信号を用いて、システムをリセットすることができます。WDTOVF# 信号は、64×P0φ クロックの間出力されます。
5. WRCSR の RSTE ビットを 1 にセットしておくと、WDTOVF# 信号と同時に本 LSI の内部をリセットする信号を発生させることができます。内部リセット信号は、128×P0φ クロックの間出力されます。
6. RES# 端子からの入力信号によるリセットと本モジュールの パリティエラーによるリセットが同時に発生したときは、RES# 端子によるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。

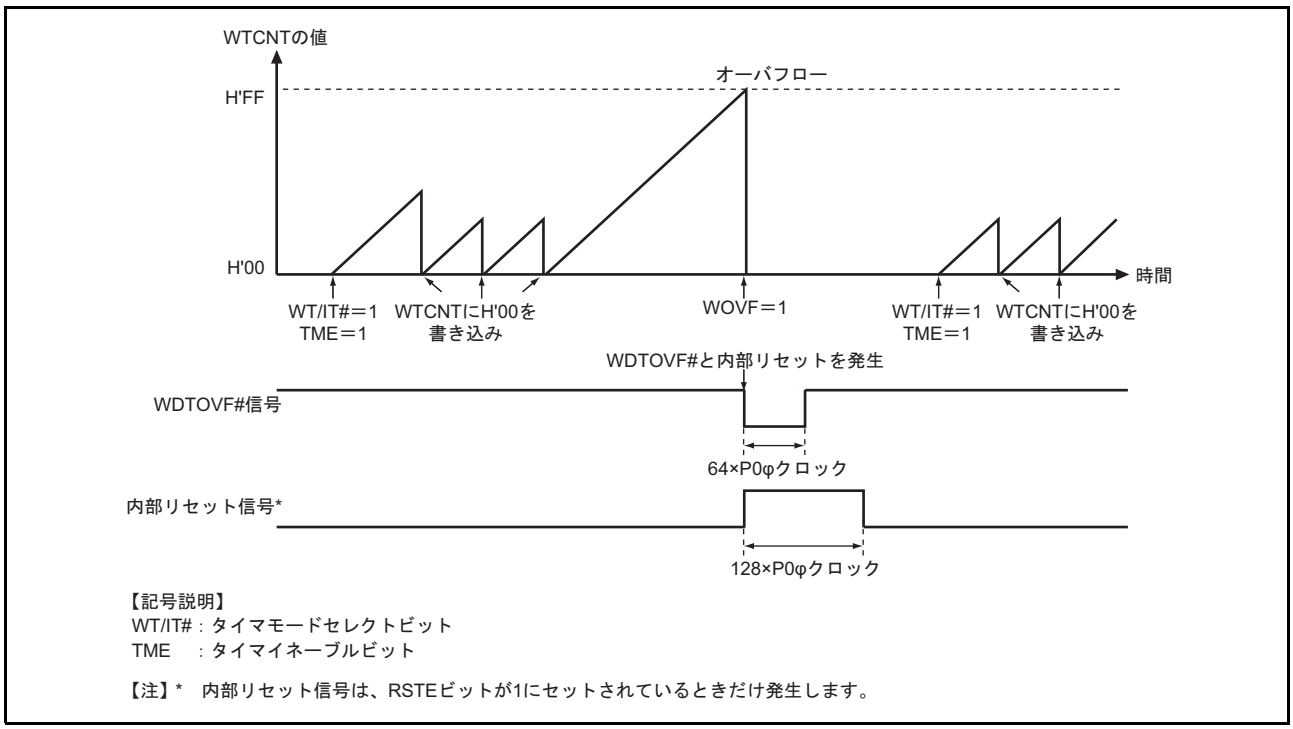


図 15.5　ウォッチドッグタイマモード時の動作

15.4.3　インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタが パリティエラーするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSR の WT/IT# ビットに 0 をセットして、CKS[3:0] ビットにカウントクロックの種類、WTCNT に初期値を設定します。
2. WTCSR の TME ビットに 1 をセットするとインターバルタイマモードでカウントを開始します。
3. 本モジュールは、カウンタが パリティエラーすると WTCSR の IOVF に 1 をセットし、インターバルタイマ割り込み要求を割り込みコントローラに送ります。カウンタはカウントを続行します。

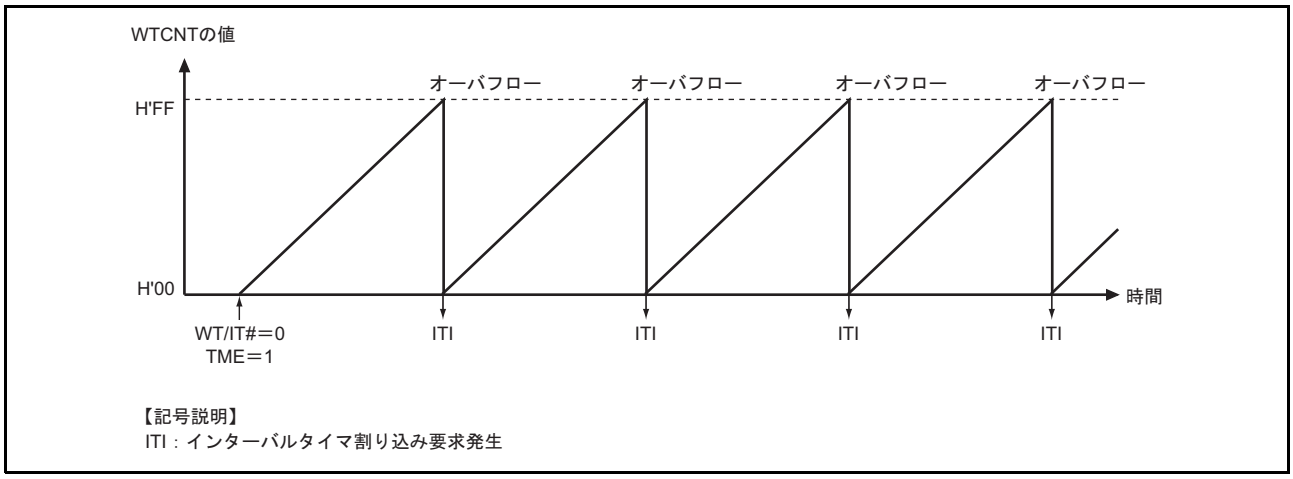


図 15.6　インターバルタイマモード時の動作

15.4.4　CPU パリティエラーの動作

CPU パリティエラーコントロールレジスタ (PECR) の各 PEE ビットに対応している CPU パリティエラー時に、割り込みもしくは内部リセットを発生することができます。

- PEE=1, PERIE=0 の場合 割り込み発生

CPU パリティエラー時に割り込みを発生させることができます。エラーの要因は、CPU パリティエラーステータスレジスタ (PESR) により確認できます。

- PEE=1, PERIE=1 の場合 内部リセット発生

CPU パリティエラー時に内部リセットを発生し、PERROUT# を外部へ出力します。内部リセット信号は、128×P0φ クロックの間出力され、PERROUT# 信号は、64×P0φ クロックの間出力されます。RES# 端子からの入力信号によるリセットと本モジュールの パリティエラーによるリセットが同時に発生したときは、RES# 端子によるリセットが優先され、PESR の ステータス (PEF) ビットは 0 にクリアされます。

15.5　使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

15.5.1　タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCSR レジスタの TME ビットのセットタイミングによって、P0φ の 1 サイクル後（最短）から、CKS[3:0] で選択した分周タイミング（最長）までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

15.5.2　WTCNT の設定値として H'FF は設定禁止

本モジュールでは WTCNT の値が H'FF になったことを オーバフローと判定します。
したがって、WTCNT に H'FF を設定すると、CKS[3:0] の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたはリセットが発生します。

15.5.3　インターバルタイマオーバフローフラグ

WTCNT の値が H'FF のときには、WTCSR の IOVF フラグはクリアできません。

WTCNT の値が H'00 になってからクリアを行うか、WTCNT の値を H'FF 以外の値に書き換えてから IOVF フラグをクリアしてください。

15.5.4　WDTOVF 信号によるシステムリセット

WDTOVF# 信号を本 LSI の RES# 端子に入力すると、本 LSI を正しく初期化できません。

WDTOVF# 信号は、本 LSI の RES# 端子に論理的に入力しないようにしてください。
WDTOVF# 信号でシステム全体をリセットするときは、図 15.7 に示すような回路で行ってください。

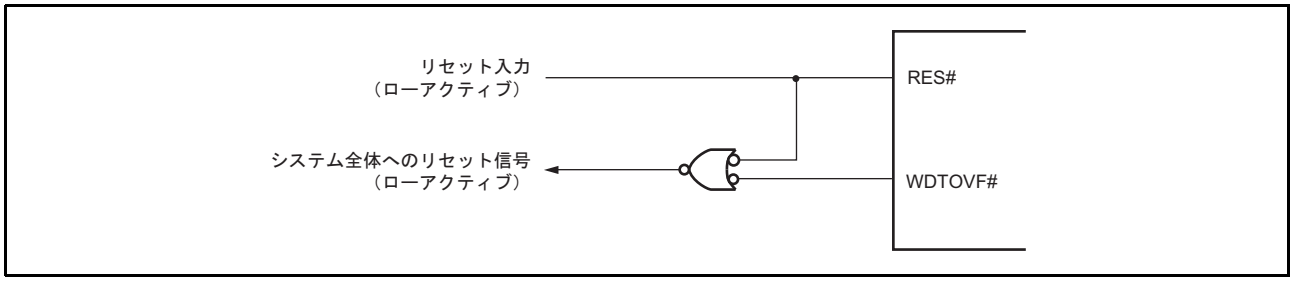


図 15.7　WDTOVF# 信号によるシステムリセット回路例

15.5.5　ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモードで、ウォッチドッグタイマカウンタ（WTCNT）のオーバフローによる内部リセットが発生した場合、ウォッチドッグリセットコントロール／ステータスレジスタ（WRCSR）は初期化されず、WOVF ビットは 1 の状態となります。WOVF ビットが 1 の状態の場合、WTCNT がオーバフローしても内部リセットは発生しません。

16. リアルタイムクロック（RTC）

本モジュールは、セキュア用とノンセキュア用の 2 チャネルのリアルタイムクロックを搭載しています。

注 . セキュア／ノンセキュアアクセスについて、詳細は「5.8 AXI プロトコルの制御信号 5.8.1 (3) 、5.8.2、5.8.3、5.8.4」を参照してください。

レジスタアドレス

本モジュールのレジスタのアドレスは、それぞれのベースアドレス <RTCn_base> からのオフセットで表されます。

各 RTCn のレジスタベースアドレスを次の表に示します。

表 16.1　RTC ベースアドレス

ベースアドレス名	ベースアドレス
<RTC0_base>	FCFF D000$_H$
<RTC1_base>	FCFF 1000$_H$

各チャネルを「n」で識別します。（n = 0：セキュア、1：ノンセキュア）

16.1 概要

RTC はカウントモードとして、カレンダカウントモードとバイナリカウントモードの 2 種類を持ち、レジスタの設定により切り替えて使用します。カレンダカウントモードは、2000 年から 2099 年の 100 年間を、うるう年を自動で判定してカウントするモードです。バイナリカウントモードは、秒をカウントし、その情報をシリアル値として保持するモードで、西暦以外のカレンダに対応できます。

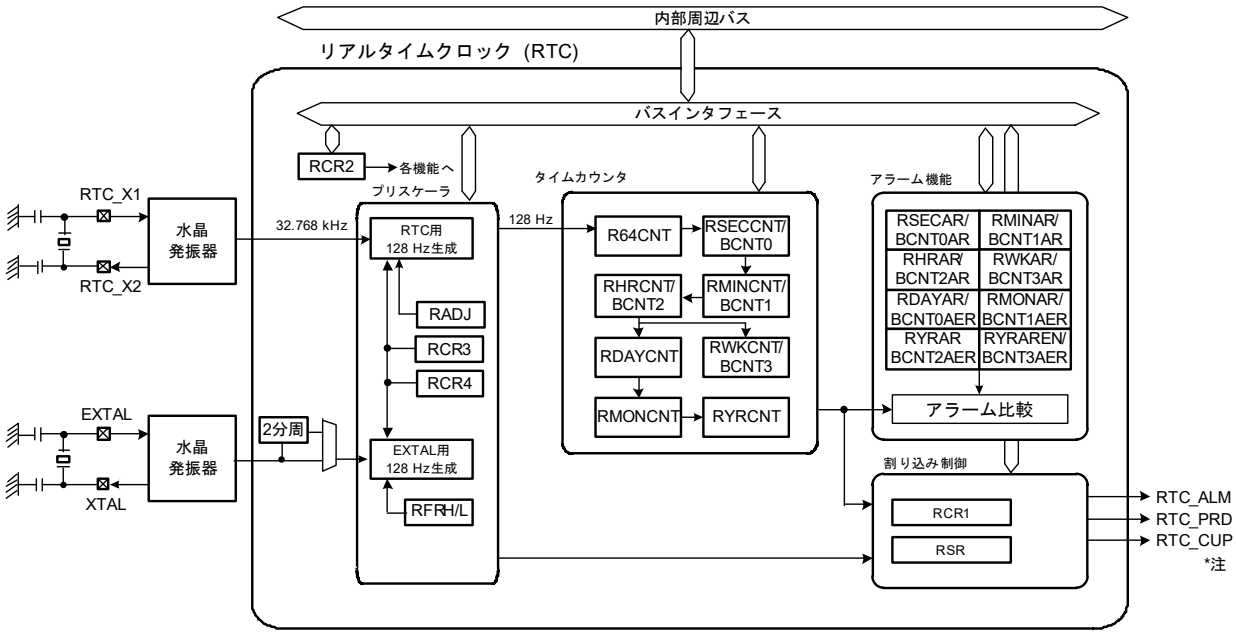
RTC は、カウントソースをプリスケーラで分周して得られた 128Hz クロックを使用します。年、月、日、曜日、午前／午後（12 時間モード時）、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 16.2 に RTC の仕様を、**図 16.1** に RTC のブロック図を、**表 16.3** に RTC の入出力端子を示します。

表16.2　RTCの仕様

項目	内容
カウントモード	カレンダカウントモード／バイナリカウントモード
カウントソース（注1）	リアルタイムクロック用(RTC_X1) 、または内部クロック用(EXTAL)
時計／カレンダ機能	• カレンダカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD表示 12時間／24時間モード切り替え機能 30秒調整機能（30秒未満は00秒に切り捨て、30秒以降は1分に桁上げ） うるう年自動補正機能 • バイナリカウントモード 秒を32ビットでカウント、バイナリ表示 • 両モード共通 スタート／ストップ機能 秒以下の桁のバイナリ表示（1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz） 時計誤差補正機能
割り込み	• アラーム割り込み（RTC_ALM） アラーム割り込み条件として、以下のいずれと比較するかを選択可能 カレンダカウントモード：年、月、日、曜日、時、分、秒 バイナリカウントモード：32ビットバイナリカウンタの各ビット • 周期割り込み（RTC_PRD） 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒周期から選択可能 • 桁上げ割り込み（RTC_CUP） 次のいずれかの条件で割り込み発生 ・64Hzカウンタから秒カウンタへの桁上げが発生したとき ・64Hzカウンタの変化とR64CNTレジスタの読み出しタイミングが重なったとき • アラーム割り込みによる、ディープスタンバイ復帰が可能

注1.　周辺モジュールクロック周波数（clkp0d）≧カウントソースクロック周波数となるようにしてください。



R64CNT：	64Hzカウンタ	RSECAR/BCNT0AR：	秒アラームレジスタ／バイナリカウンタ0アラームレジスタ
RSECCNT/BCNT0：	秒カウンタ／バイナリカウンタ0	RMINAR/BCNT1AR：	分アラームレジスタ／バイナリカウンタ1アラームレジスタ
RMINCNT/BCNT1：	分カウンタ／バイナリカウンタ1	RHRAR/BCNT2AR：	時アラームレジスタ／バイナリカウンタ2アラームレジスタ
RHRCNT/BCNT2：	時カウンタ／バイナリカウンタ2	RWKAR/BCNT3AR：	曜日アラームレジスタ／バイナリカウンタ3アラームレジスタ
RWKCNT/BCNT3：	曜日カウンタ／バイナリカウンタ3	RDAYAR/BCNT0AER：	日アラームレジスタ／
RDAYCNT：	日カウンタ		バイナリカウンタ0アラームイネーブルレジスタ
RMONCNT：	月カウンタ	RMONAR/BCNT1AER：	月アラームレジスタ／
RYRCNT：	年カウンタ		バイナリカウンタ1アラームイネーブルレジスタ
RSR：	RTCステータスレジスタ	RYRAR/BCNT2AER：	年アラームレジスタ／
RCR1：	RTCコントロールレジスタ1		バイナリカウンタ2アラームイネーブルレジスタ
RCR2：	RTCコントロールレジスタ2	RYRAREN/BCNT3AER：	年アラームイネーブルレジスタ／
RCR3：	RTCコントロールレジスタ3		バイナリカウンタ3アラームイネーブルレジスタ
RCR4：	RTCコントロールレジスタ4		
RADJ：	時間誤差補正レジスタ		
RFRH/L:	周波数レジスタ		

＊注：セキュア用は、RTC_ALMS, RTC_PRDS, RTC_CUPS となります。

図 16.1　RTC のブロック図

表 16.3　RTCの端子構成

名称	端子名	入出力	機能
リアルタイムクロック用 水晶発振子端子／外部クロック	RTC_X1	入力	本モジュール用に32.768kHzの水晶発振子を接続します。 またRTC_X1端子は外部クロックを入力することもできます。
	RTC_X2	出力	
内部クロック用 水晶発振子／外部クロック	EXTAL	入力	内部動作用に使用する水晶発振子を接続します。 詳細は「6.　クロックパルス発振器」を参照してください。
	XTAL	出力	

16.2　レジスタの説明

RTC レジスタの書き込み／読み出しは、「16.5.4　レジスタの書き込み／読み出し時の注意事項」に従って行ってください。

RTC のレジスタのビットで、リセット後の値が x（不定）のビットは、リセットでは初期化されません。カウント動作時（例：RCR2.START ビット = 1 のとき）にリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／ 64Hz カウンタは動作を継続します。

注 .　レジスタ書き込み中にリセットが発生した場合は、レジスタ値を破壊する可能性があります。また、レジスタ設定直後にソフトウェアスタンバイモードへ遷移しないでください。
詳細は、「16.5.3　レジスタ設定後の低消費電力モード移行について」を参照してください。

表 16.4 にレジスタ構成を示します。

表16.4　レジスタ構成

レジスタ名	シンボル	リセット後の値（注1）	アドレス	アクセスサイズ
64Hzカウンタ	R64CNT	xxh	RTCn_BASE+00h	8
秒カウンタ	RSECCNT	xxh	RTCn_BASE+02h	8
バイナリカウンタ0	BCNT0			
分カウンタ	RMINCNT	xxh	RTCn_BASE+04h	8
バイナリカウンタ1	BCNT1			
時カウンタ	RHRCNT	xxh	RTCn_BASE+06h	8
バイナリカウンタ2	BCNT2			
曜日カウンタ	RWKCNT	xxh	RTCn_BASE+08h	8
バイナリカウンタ3	BCNT3			
日カウンタ	RDAYCNT	xxh	RTCn_BASE+0Ah	8
月カウンタ	RMONCNT	xxh	RTCn_BASE+0Ch	8
年カウンタ	RYRCNT	00xxh	RTCn_BASE+0Eh	16
秒アラームレジスタ	RSECAR	xxh	RTCn_BASE+10h	8
バイナリカウント0アラームレジスタ	BCNT0AR			
分アラームレジスタ	RMINAR	xxh	RTCn_BASE+12h	8
バイナリカウント1アラームレジスタ	BCNT1AR			
時アラームレジスタ	RHRAR	xxh	RTCn_BASE+14h	8
バイナリカウント2アラームレジスタ	BCNT2AR			
曜日アラームレジスタ	RWKAR	xxh	RTCn_BASE+16h	8
バイナリカウント3アラームレジスタ	BCNT3AR			
日アラームレジスタ	RDAYAR	xxh	RTCn_BASE+18h	8
バイナリカウンタ0アラームイネーブルレジスタ	BCNT0AER			
月アラームレジスタ	RMONAR	xxh	RTCn_BASE+1Ah	8
バイナリカウンタ1アラームイネーブルレジスタ	BCNT1AER			
年アラームレジスタ	RYRAR	00xxh	RTCn_BASE+1Ch	16
バイナリカウンタ2アラームイネーブルレジスタ	BCNT2AER			
年アラームイネーブルレジスタ	RYRAREN	xxh	RTCn_BASE+1Eh	8
バイナリカウンタ3アラームイネーブルレジスタ	BCNT3AER			
RTC ステータスレジスタ	RSR	00h(注2)	RTCn_BASE+20h	8
RTCコントロールレジスタ1	RCR1	xxh	RTCn_BASE+22h	8
RTCコントロールレジスタ2	RCR2	xxh	RTCn_BASE+24h	8
RTCコントロールレジスタ3	RCR3	0xh	RTCn_BASE+26h	8
RTCコントロールレジスタ4	RCR4	0xh	RTCn_BASE+28h	8
周波数レジスタ	RFRH	000xh	RTCn_BASE+2Ah	16
	RFRL	xxxxh	RTCn_BASE+2Ch	16
時計誤差補正レジスタ	RADJ	xxh	RTCn_BASE+2Eh	8

注1.　RTCのレジスタビットで、リセット後の値がX（不定）のビットは、リセット、ディープスタンバイモードでは初期化されません。
また、カウント動作時（RCR2.STARTビット＝“1”のとき）にリセット状態または低消費電力状態へ遷移した場合、64Hzカウンタおよびカレンダーカウントモードでは年／月／日／曜日／時／分／秒カウンタ、バイナリカウントモードではバイナリカウンタの動作を継続します。
ただし、レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードやディープスタンバイモードへ遷移しないでください。
詳細は、「16.5.3　レジスタ設定後の低消費電力モード移行について」を参照ください。

注2.　リセット解除後、読み出し値が01h～07hとなる場合があります。

16.2.1　64Hz カウンタ（R64CNT）

アドレス： RTC.R64CNT 【セキュア用】FCFF D000h 【ノンセキュア用】FCFF 1000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値：	0	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz	秒以下の桁の1Hz～64Hzの状態を示します。	R
b1	F32HZ	32Hz		R
b2	F16HZ	16Hz		R
b3	F8HZ	8Hz		R
b4	F4HZ	4Hz		R
b5	F2HZ	2Hz		R
b6	F1HZ	1Hz		R
b7	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R

R64CNT は、カレンダカウントモード／バイナリカウントモード共通で使用します。64Hz カウンタ（R64CNT）は、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。R64CNT を読み出すことで、秒以下の状態が確認できます。

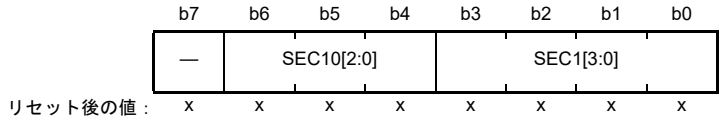
RTC ソフトウェアリセットまたは 30 秒調整を実行すると 00h になります。

読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

16.2.2　秒カウンタ（RSECCNT）／バイナリカウンタ 0（BCNT0）

(1)　カレンダカウントモード時

アドレス：RTC.RSECCNT 【セキュア用】FCFF D002h 【ノンセキュア用】FCFF 1002h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	SEC1[3:0]	1秒カウント	一秒の位は1秒ごとに0から9をカウントします。桁上げが発生すると十秒の位が+1されます。	R/W
b6～b4	SEC10[2:0]	10秒カウント	十秒の位は0から5をカウントして、60秒のカウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

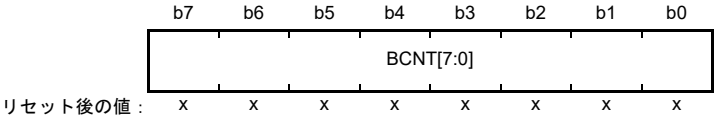
RSECCNT は、BCD コード化された秒部分を設定／カウントします。64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10 進で 00 ～ 59 です。それ以外の値が設定されると、正常に動作しません。書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

(2)　バイナリカウントモード時

アドレス：RTC.BCNT0 【セキュア用】FCFF D002h 【ノンセキュア用】FCFF 1002h



x：不定

BCNT0 は、書き込み／読み出し可能な 32 ビットバイナリカウンタの b7 ～ b0 です。32 ビットバイナリカウンタは、64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

16.2.3　分カウンタ（RMINCNT）／バイナリカウンタ 1（BCNT1）

(1)　カレンダカウントモード時

アドレス：RTC.RMINCNT 【セキュア用】FCFF D004h 【ノンセキュア用】FCFF 1004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MIN10[2:0]			MIN1[3:0]			
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	MIN1[3:0]	1分カウント	一分の位は1分ごとに0から9をカウントします。桁上げが発生すると十分の位が+1 されます。	R/W
b6～b4	MIN10[2:0]	10分カウント	十分の位は0から5をカウントして、60分のカウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RMINCNT は、BCD コード化された分部分を設定／カウントします。秒カウンタの 1 分ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 00 ～ 59 です。それ以外の値が設定されると、正常に動作しません。

書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

(2)　バイナリカウントモード時

アドレス：RTC.BCNT1 【セキュア用】FCFF D004h 【ノンセキュア用】FCFF 1004h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNT[15:8]							
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

BCNT1 は、書き込み／読み出し可能な 32 ビットバイナリカウンタの b15 ～ b8 です。32 ビットバイナリカウンタは、64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。

書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

16.2.4　時カウンタ（RHRCNT）／バイナリカウンタ 2（BCNT2）

(1)　カレンダカウントモード時

アドレス：RTC.RHRCNT 【セキュア用】FCFF D006h 【ノンセキュア用】FCFF 1006h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PM	HR10[1:0]		HR1[3:0]			
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	HR1[3:0]	1時間カウント	一時間の位は1時間ごとに0から9をカウントします。桁上げが発生すると十時間の位が+1されます。	R/W
b5、b4	HR10[1:0]	10時間カウント	十時間の位は一時間の位の桁上げごとに0から2をカウントします。	R/W
b6	PM	PM	時計カウンタのAM/PMの設定 0：午前 1：午後	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RHRCNT は、BCD コード化された時部分を設定／カウントします。分カウンタの 1 時間ごとの桁上げによってカウント動作を行います。設定可能範囲は、時間モードビット（RCR2.HR24）の設定によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが 0 の場合、00 ～ 11（BCD）

RCR2.HR24 ビットが 1 の場合、00 ～ 23（BCD）

上記以外の値が設定されると、正常に動作しません。書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。PM ビットは RCR2.HR24 ビットが 0 の場合のみ有効です。RCR2.HR24 ビットが 1 の場合は、PM ビットの値は無効となります。

読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

(2)　バイナリカウントモード時

アドレス：RTC.BCNT2 【セキュア用】FCFF D006h 【ノンセキュア用】FCFF 1006h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNT[23:16]							
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

BCNT2 は、書き込み／読み出し可能な 32 ビットバイナリカウンタの b23 ～ b16 です。32 ビットバイナリカウンタは、64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。

書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

16.2.5　曜日カウンタ（RWKCNT）／バイナリカウンタ 3（BCNT3）

(1)　カレンダカウントモード時

アドレス：RTC.RWKCNT 【セキュア用】FCFF D008h 【ノンセキュア用】FCFF 1008h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	DAYW[2:0]		
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b2～b0	DAYW[2:0]	曜日カウント	b2　b0 0 0 0：日 0 0 1：月 0 1 0：火 0 1 1：水 1 0 0：木 1 0 1：金 1 1 0：土 1 1 1：設定禁止	R/W
b7～b3	—	予約ビット	0 を設定してください。読むと設定値が読めます。	R/W

RWKCNT は、コード化された曜日部分を設定／カウントします。時カウンタの 1 日ごとの桁上げによってカウント動作を行います。0 ～ 6 の値を設定可能です。それ以外の値が設定されると、正常に動作しません。書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

(2)　バイナリカウントモード時

アドレス：RTC.BCNT3 【セキュア用】FCFF D008h 【ノンセキュア用】FCFF 1008h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNT[31:24]							
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

BCNT3 は、書き込み／読み出し可能な 32 ビットバイナリカウンタの b31 ～ b24 で、64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。
読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

16.2.6　日カウンタ（RDAYCNT）

アドレス： RTC.RDAYCNT 【セキュア用】FCFF D00Ah 【ノンセキュア用】FCFF 100Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DATE10[1:0]		DATE1[3:0]			
リセット後の値：	0	0	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	DATE1[3:0]	1日カウント	一日の位は1日ごとに0から9をカウントします。桁上げが発生すると十日の位が+1されます。	R/W
b5、b4	DATE10[1:0]	10日カウント	十日の位は一日の位の桁上げごとに0から3をカウントします。	R/W
b7、b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RDAYCNT は、カレンダカウントモードで使用され、BCD コード化された日部分を設定／カウントします。時カウンタの 1 日ごとの桁上げによってカウント動作を行います。月ごとおよびうるう年に対応したカウント動作を行います。うるう年は年カウンタ（RYRCNT）の “00” を 2000 年とみなして 2000 年から 2099 年を、400、100、4 で割り切れるかどうかによって計算されます。

設定可能範囲は、10 進（BCD）で 01 ～ 31 です。それ以外の値が設定されると、正常に動作しません。月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください。
書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。
読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

16.2.7　月カウンタ（RMONCNT）

アドレス： RTC.RMONCNT 【セキュア用】FCFF D00Ch 【ノンセキュア用】FCFF 100Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MON10	MON1[3:0]			
リセット後の値：	0	0	0	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	MON1[3:0]	1月カウント	一月の位は1月ごとに0から9をカウントします。桁上げが発生すると十月の位が+1されます。	R/W
b4	MON10	10月カウント	十月の位は一月の位の桁上げごとに0から1をカウントします。	R/W
b7～b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RMONCNT は、カレンダカウントモードで使用され、BCD コード化された月部分を設定／カウントします。日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 01 ～ 12 です。それ以外の値が設定されると、正常に動作しません。
書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。
読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

16.2.8　年カウンタ（RYRCNT）

アドレス： RTC.RYRCNT 【セキュア用】FCFF D00Eh 【ノンセキュア用】FCFF 100Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	YR1[3:0]	1年カウント	一年の位は1年ごとに0から9をカウントします。桁上げが発生すると十年の位が+1されます。	R/W
b7～b4	YR10[3:0]	10年カウント	十年の位は一年の位の桁上げごとに0から9をカウントします。	R/W
b15～b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RYRCNT は、カレンダカウントモードで使用され、BCD コード化された年部分を設定／カウントします。月カウンタの 1 年ごとの桁上げによって、カウント動作を行います。

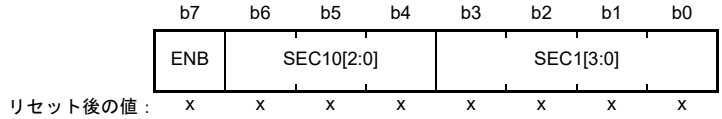
設定可能範囲は、10 進（BCD）で 00 ～ 99 です。それ以外の値が設定されると、正常に動作しません。書き込みは、スタートビット（RCR2.START）でカウント動作を停止させてから行ってください。

読み出し時は、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。

16.2.9 秒アラームレジスタ（RSECAR）／バイナリカウンタ 0 アラームレジスタ（BCNT0AR）

(1) カレンダカウントモード時

アドレス： RTC.RSECAR 【セキュア用】FCFF D010h 【ノンセキュア用】FCFF 1010h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	SEC1[3:0]	1秒	一秒の位の設定値	R/W
b6～b4	SEC10[2:0]	10秒	十秒の位の設定値	R/W
b7	ENB	ENB	0：RSECCNTの値と比較を行わない 1：RSECCNTの値と比較を行う	R/W

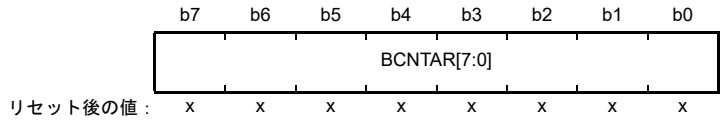
RSECAR は、BCD コード化された秒カウンタ（RSECCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RSECAR レジスタの値と RSECCNT カウンタの値との比較を行います。以下のアラームレジスタのうち、ENB ビットが 1 になっているもののみ、カウンタとアラームレジスタの比較を行います。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

おのおのがすべて一致するとき、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RSECAR レジスタの設定可能範囲は、10 進（BCD）で 00 ～ 59 です。それ以外の値が設定されると、正常に動作しません。RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス： RTC.BCNT0AR 【セキュア用】FCFF D010h 【ノンセキュア用】FCFF 1010h



x：不定

BCNT0AR は、32 ビットバイナリカウンタの b7 ～ b0 に対応する書き込み／読み出し可能なアラームレジスタです。RTC ソフトウェアリセットを実行すると 00h になります。

16.2.10 分アラームレジスタ（RMINAR）／バイナリカウンタ 1 アラームレジスタ（BCNT1AR）

(1) カレンダカウントモード時

アドレス： RTC.RMINAR 【セキュア用】FCFF D012h 【ノンセキュア用】FCFF 1012h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	MIN10[2:0]			MIN1[3:0]			
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	MIN1[3:0]	1分	一分の位の設定値	R/W
b6～b4	MIN10[2:0]	10分	十分の位の設定値	R/W
b7	ENB	ENB	0：RMINCNTの値と比較を行わない 1：RMINCNTの値と比較を行う	R/W

RMINAR は、BCD コード化された分カウンタ（RMINCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RMINAR の値と RMINCNT の値との比較を行います。以下のアラームレジスタのうち、ENB ビットが 1 になっているもののみ、カウンタとアラームレジスタの比較を行います。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

おのおのがすべて一致するとき、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMINAR レジスタの設定可能範囲は、10 進（BCD）で 00 ～ 59 です。それ以外の値が設定されると、正常に動作しません。RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス： RTC.BCNT1AR 【セキュア用】FCFF D012h 【ノンセキュア用】FCFF 1012h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNTAR[15:8]							
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

BCNT1AR は、32 ビットバイナリカウンタの b15 ～ b8 に対応する書き込み／読み出し可能なアラームレジスタです。RTC ソフトウェアリセットを実行すると 00h になります。

16.2.11 時アラームレジスタ（RHRAR）／バイナリカウンタ 2 アラームレジスタ（BCNT2AR）

(1) カレンダカウントモード時

アドレス： RTC.RHRAR 【セキュア用】FCFF D014h 【ノンセキュア用】FCFF 1014h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	PM	HR10[1:0]		HR1[3:0]			
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	HR1[3:0]	1時間	一時間の位の設定値	R/W
b5、b4	HR10[1:0]	10時間	十時間の位の設定値	R/W
b6	PM	PM	時計アラームのAM/PMの設定 0：午前 1：午後	R/W
b7	ENB	ENB	0：RHRCNTの値と比較を行わない 1：RHRCNTの値と比較を行う	R/W

RHRAR は、BCD コード化された時カウンタ（RHRCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RHRAR の値と RHRCNT の値との比較を行います。以下のアラームレジスタのうち、ENB ビットが 1 になっているもののみ、カウンタとアラームレジスタの比較を行います。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

おのおのがすべて一致するとき、RTC_ALM 割り込みに対応した IR フラグが 1 になります。設定可能範囲は、時間モードビット（RCR2.HR24）の設定によってそれぞれ以下の範囲となります。

- RCR2.HR24 ビットが 0 の場合、00 ～ 11（BCD）
- RCR2.HR24 ビットが 1 の場合、00 ～ 23（BCD）

上記以外の値が設定されると、正常に動作しません。RCR2.HR24 ビットが 0 の場合は、PM ビットの設定も行ってください。RCR2.HR24 ビットが 1 の場合は、PM ビットの値は無効となります。RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス： RTC.BCNT2AR 【セキュア用】FCFF D014h 【ノンセキュア用】FCFF 1014h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNTAR[23:16]							
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

BCNT2AR は、32 ビットバイナリカウンタの b23 ～ b16 に対応する書き込み／読み出し可能なアラームレジスタです。RTC ソフトウェアリセットを実行すると 00h になります。

16.2.12　曜日アラームレジスタ（RWKAR）／バイナリカウンタ 3 アラームレジスタ（BCNT3AR）

(1)　カレンダカウントモード時

アドレス： RTC.RWKAR 【セキュア用】FCFF D016h 【ノンセキュア用】FCFF 1016h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	DAYW[2:0]		
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b2～b0	DAYW[2:0]	曜日設定	b2　b0 0 0 0：日 0 0 1：月 0 1 0：火 0 1 1：水 1 0 0：木 1 0 1：金 1 1 0：土 1 1 1：設定禁止	R/W
b6～b3	—	予約ビット	0 を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0：RWKCNT の値と比較を行わない 1：RWKCNT の値と比較を行う	R/W

RWKAR は、コード化された曜日カウンタ（RWKCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RWKAR の値と RWKCNT の値との比較を行います。以下のアラームレジスタのうち、ENB ビットが 1 になっているもののみ、カウンタとアラームレジスタの比較を行います。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

おのおのがすべて一致するとき、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RWKAR レジスタの設定可能範囲は、10 進（BCD）で 0 ～ 6 です。それ以外の値が設定されると、正常に動作しません。RTC ソフトウェアリセットを実行すると 00h になります。

(2)　バイナリカウントモード時

アドレス： RTC.BCNT3AR 【セキュア用】FCFF D016h 【ノンセキュア用】FCFF 1016h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNTAR[31:24]							
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

BCNT3AR は、32 ビットバイナリカウンタの b31 ～ b24 に対応する書き込み／読み出し可能なアラームレジスタです。RTC ソフトウェアリセットを実行すると 00h になります。

16.2.13 日アラームレジスタ（RDAYAR）／バイナリカウンタ 0 アラームイネーブルレジスタ（BCNT0AER）

(1) カレンダカウントモード時

アドレス： RTC.RDAYAR 【セキュア用】FCFF D018h 【ノンセキュア用】FCFF 1018h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	DATE10[1:0]		DATE1[3:0]			
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	DATE1[3:0]	1日	一日の位の設定値	R/W
b5、b4	DATE10[1:0]	10日	十日の位の設定値	R/W
b6	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0：RDAYCNTの値と比較を行わない 1：RDAYCNTの値と比較を行う	R/W

RDAYAR は、BCD コード化された日カウンタ（RDAYCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RDAYAR の値と RDAYCNT の値との比較を行います。以下のアラームレジスタのうち、ENB ビットが 1 になっているもののみ、カウンタとアラームレジスタの比較を行います。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

おのおのがすべて一致するとき、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RDAYAR レジスタの設定可能範囲は、10 進（BCD）で 01 ～ 31 です。それ以外の値が設定されると、正常に動作しません。RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス： RTC.BCNT0AER 【セキュア用】FCFF D018h 【ノンセキュア用】FCFF 1018h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[7:0]							
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

BCNT0AER は、書き込み／読み出し可能なレジスタで、32 ビットバイナリカウンタの b7 ～ b0 に対応するアラーム許可を設定します。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）を比較し、おのおのすべてが一致した場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RTC ソフトウェアリセットを実行すると 00h になります。

16.2.14 月アラームレジスタ（RMONAR）／バイナリカウンタ 1 アラームイネーブルレジスタ（BCNT1AER）

(1) カレンダカウントモード時

アドレス： RTC.RMONAR 【セキュア用】FCFF D01Ah 【ノンセキュア用】FCFF 101Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	MON10	MON1[3:0]			
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	MON1[3:0]	1月	一月の位の設定値	R/W
b4	MON10	10月	十月の位の設定値	R/W
b6、b5	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0：RMONCNTの値と比較を行わない 1：RMONCNTの値と比較を行う	R/W

RMONAR は、BCD コード化された月カウンタ（RMONCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RMONAR の値と RMONCNT の値との比較を行います。以下のアラームレジスタのうち、ENB ビットが 1 になっているもののみ、カウンタとアラームレジスタの比較を行います。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

おのおのがすべて一致するとき、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMONAR レジスタの設定可能範囲は、10 進（BCD）で 01 ～ 12 です。それ以外の値が設定されると、正常に動作しません。RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス： RTC.BCNT1AER 【セキュア用】FCFF D01Ah 【ノンセキュア用】FCFF 101Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[15:8]							
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

BCNT1AER は、書き込み／読み出し可能なレジスタで、32 ビットバイナリカウンタの b15 ～ b8 に対応するアラーム許可を設定します。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）を比較し、おのおのすべてが一致した場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RTC ソフトウェアリセットを実行すると 00h になります。

16.2.15 年アラームレジスタ（RYRAR）／バイナリカウンタ 2 アラームイネーブルレジスタ（BCNT2AER）

(1) カレンダカウントモード時

アドレス： RTC.RYRAR 【セキュア用】FCFF D01Ch 【ノンセキュア用】FCFF 101Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3～b0	YR1[3:0]	1年	一年の位の設定値	R/W
b7～b4	YR10[3:0]	10年	十年の位の設定値	R/W
b15～b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RYRAR は、BCD コード化された年カウンタ（RYRCNT）に対応するアラームレジスタです。RYRAR の設定可能範囲は、10 進（BCD）で 00 ～ 99 です。それ以外の値が設定されると、正常に動作しません。RTC ソフトウェアリセットを実行すると 0000h になります。

(2) バイナリカウントモード時

アドレス： RTC.BCNT2AER 【セキュア用】FCFF D01Ch 【ノンセキュア用】FCFF 101Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ENB[23:16]							
リセット後の値：	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

BCNT2AER は、書き込み／読み出し可能なレジスタで、32 ビットバイナリカウンタの b23 ～ b16 に対応するアラーム許可を設定します。ENB[31:0] ビットのうち、1 のビットに対応したバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）を比較してすべてが一致した場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RTC ソフトウェアリセットを実行すると 0000h になります。

16.2.16　年アラームイネーブルレジスタ（RYRAREN）／バイナリカウンタ 3 アラームイネーブルレジスタ（BCNT3AER）

(1)　カレンダカウントモード時

アドレス：RTC.RYRAREN 【セキュア用】FCFF D01Eh 【ノンセキュア用】FCFF 101Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b6～b0	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0：RYRCNTの値と比較を行わない 1：RYRCNTの値と比較を行う	R/W

RYRAREN は、ENB ビットが 1 であれば、RYRAR の値と RYRCNT の値との比較を行います。以下のアラームレジスタのうち、ENB ビットが 1 になっているもののみ、カウンタとアラームレジスタの比較を行います。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

おのおのがすべて一致するとき、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RTC ソフトウェアリセットを実行すると 00h になります。

(2)　バイナリカウントモード時

アドレス：RTC.BCNT3AER 【セキュア用】FCFF D01Eh 【ノンセキュア用】FCFF 101Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値：	x	x	x	x	x	x	x	x

x：不定

BCNT3AER は、書き込み／読み出し可能なレジスタで、32 ビットバイナリカウンタの b31 ～ b24 に対応するアラーム許可を設定します。ENB[31:0] ビットのうち、1 になっているビットに対応したバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）を比較しておのおのすべてが一致した場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RTC ソフトウェアリセットを実行すると 00h になります。

16.2.17　RTC ステータスレジスタ（RSR）

アドレス：　RTC.RSR 【セキュア用】FCFF D020h 【ノンセキュア用】FCFF 1020h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PF	CF	AF
リセット後の値：	0	0	0	0	0	0*1	0*1	0*1

注．*1：リセット解除後、読み出し値が1となる場合があります。

ビット	シンボル	ビット名	機能	R/W
b0	AF	アラームフラグ	0：アラームレジスタとカウンタは不一致 1：アラームレジスタとカウンタは一致（注） 注．　1書き込みは無効です。	R/W
b1	CF	桁上げフラグ	0：秒カウンタ／バイナリカウンタ0への桁上げおよび 64Hzカウンタ読み出し時の64Hzカウンタへの桁上げなし 1：秒カウンタ／バイナリカウンタ0への桁上げまたは 64Hzカウンタ読み出し時の64Hzカウンタへの桁上げあり	R/W
b2	PF	周期割り込みフラグ	0：RCR1.PES[3:0]ビットで設定された周期で割り込み発生なし 1：RCR1.PES[3:0]ビットで設定された周期で割り込み発生あり（注） 注．　1書き込みは無効です。	R/W
b7 ～ b3	—	（予約ビット）	読むと“0”が読み出されます。書き込む値も“0”としてください。	R

RSR は、周期割り込み、桁上げおよびアラームフラグレジスタです。本レジスタはカレンダーカウントモード／バイナリカウントモードで共通の機能です。

各フラグは、プリスケーラや時計カウンタが、各割り込み設定条件と一致したときに “1” にセットされます。プリスケーラ、時計カウンタ、各割り込み設定レジスタは、リセットされないため、各フラグを読み出すまでにフラグがセットされる場合があります。

RTC ソフトウェアリセットを実行すると 00h にクリアされます。

AF フラグ（アラームフラグ）

アラームレジスタ（カレンダーカウントモード：RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAR、バイナリカウントモード：BCNT0AR、BCNT1AR、BCNT2AR、BCNT3AR）で設定したアラーム時刻（ENB ビットを 1 に設定したレジスタのみ）とカウンタが一致したとき 1 にセットされます。

［0 になる条件］

・AF に 0 を書き込んだとき

［1 になる条件］

・アラームレジスタ（ENB ビットを 1 に設定したレジスタのみ）とカウンタが一致したとき

CF フラグ（桁上げフラグ）

本フラグが 1 にセットされた場合、秒カウンタ／バイナリカウンタ 0 への桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタへの桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。

［0 になる条件］

・CF フラグに 0 を書き込んだとき

［1 になる条件］
・秒カウンタ／バイナリカウンタ 0 への桁上げまたは 64Hz カウンタ読み出し時に 64Hz カウンタへの桁上げが発生したとき
・CF フラグに 1 を書き込んだとき

PF フラグ（周期割り込みフラグ）

RCR1.PES[3:0] ビットで設定された周期で割り込み発生を示すフラグです。本フラグが 1 にセットされた場合、周期割り込みを発生します。
［0 になる条件］
・PF フラグに 0 を書き込んだとき
［1 になる条件］
・RCR1.PES[3:0] ビットで設定された周期で割り込みが発生したとき

16.2.18　RTC コントロールレジスタ 1（RCR1）

アドレス： RTC.RCR1 【セキュア用】FCFF D022h 【ノンセキュア用】FCFF 1022h

	b7	b6	b5	b4	b3	b2	b1	b0
	PES[3:0]				—	PIE	CIE	AIE
リセット後の値：	x	x	x	x	0	x	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可	0：アラーム割り込み要求を禁止 1：アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可	0：桁上げ割り込み要求を禁止 1：桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可	0：周期割り込み要求を禁止 1：周期割り込み要求を許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合0としてください。	R/W
b7～b4	PES[3:0]	周期割り込み選択	b7　b4 0 1 1 0：周期割り込み発生の周期は1/256秒ごと（注1） 0 1 1 1：周期割り込み発生の周期は1/128秒ごと 1 0 0 0：周期割り込み発生の周期は1/64秒ごと 1 0 0 1：周期割り込み発生の周期は1/32秒ごと 1 0 1 0：周期割り込み発生の周期は1/16秒ごと 1 0 1 1：周期割り込み発生の周期は1/8秒ごと 1 1 0 0：周期割り込み発生の周期は1/4秒ごと 1 1 0 1：周期割り込み発生の周期は1/2秒ごと 1 1 1 0：周期割り込み発生の周期は1秒ごと 1 1 1 1：周期割り込み発生の周期は2秒ごと 上記以外：周期割り込みは発生しない	R/W

注 1.　PES[3:0] ビット = 0110b のときに EXTAL を選択（RCR4.RCKSEL ビット = 1）すると、割り込み発生周期は 1/128 秒ごとになります。

RCR1 は、カレンダカウントモード／バイナリカウントモード共通で使用します。AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

AIE ビット（アラーム割り込み許可）

アラーム割り込み要求の許可または禁止を選択します。ディープスタンバイ中にカウンタとアラーム時刻が一致した場合、本ビットの設定に関係なくディープスタンバイから復帰します。

CIE ビット（桁上げ割り込み許可）

秒カウンタ（RSECCNT）／バイナリカウンタ 0（BCNT0）への桁上げが発生したとき、または 64Hz カウンタ（R64CNT）読み出しと 64Hz カウンタへの桁上げが重なったときの、割り込み要求の許可または禁止を選択します。

PIE ビット（周期割り込み許可）

周期割り込みの許可または禁止を選択します。

PES[3:0] ビット（周期割り込み選択）

周期割り込みの周期を設定します。PES[3:0] ビットで設定した周期に応じて周期割り込みを生成します。

16.2.19　RTC コントロールレジスタ 2（RCR2）

(1)　カレンダカウントモード時

アドレス：RTC.RCR2 【セキュア用】FCFF D024h 【ノンセキュア用】FCFF 1024h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	HR24	AADJP	AADJE	—	ADJ30	RESET	START
リセット後の値：	x	x	x	x	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0：プリスケーラと時計カウンタは停止 1：プリスケーラと時計カウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	• 書き込み時 0：書き込み無効 1：プリスケーラおよびRTCソフトウェアリセット対象レジスタ（注1）を初期化 • 読み出し時 0：通常の時計動作またはRTCソフトウェアリセット完了 1：RTCソフトウェアリセット中	R/W
b2	ADJ30	30秒調整	• 書き込み時 0：書き込み無効 1：30秒調整の実行 • 読み出し時 0：通常の時計動作または30秒調整が完了 1：30秒調整中	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	AADJE	自動補正機能許可（注2）	0：自動補正機能禁止 1：自動補正機能許可	R/W
b5	AADJP	自動補正周期選択（注2）	0：1分ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減 1：10秒ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減	R/W
b6	HR24	時間モード	0：RTCは12時間モードで動作 1：RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択	0：カレンダカウントモード 1：バイナリカウントモード	R/W

注1.　R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2.　EXTAL 選択時は本ビットの設定は無効です。

RCR2 は、時間モード、自動補正機能、30 秒調整、RTC ソフトウェアリセット、およびカウント制御に関するレジスタです。

START ビット（スタート）

プリスケーラおよび時計カウンタの停止または動作を制御するビットです。

START ビットは、カウントソースの次の周期に同期して更新されます。START ビットを書き換えた場合は、ビットの値が更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

プリスケーラおよびRTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに 1 が書き込まれた場合、カウントソースに同期して初期化が実行されます。初期化が完了すると RESET ビットは自動的に 0 になります。RESET ビットが 0 になったのを確認してから次の処理を行ってください。

ADJ30 ビット（30 秒調整）

30 秒調整を行うビットです。

ADJ30 ビットに 1 が書き込まれたとき、RSECCNT の値が 30 秒未満の場合は 00 秒に切り捨て、30 秒以上の場合は 1 分に切り上げします。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 が書き込まれた場合、30 秒調整が完了すると ADJ30 ビットは自動的に 0 になります。ADJ30 ビットに 1 を書き込んだ場合は、0 になったことを確認してから次の処理を実行してください。30 秒調整が行われると、プリスケーラおよび R64CNT もリセットされます。RTC ソフトウェアリセットを実行すると ADJ30 ビットは、0 になります。

AADJE ビット（自動補正機能許可）

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット（RADJ.PMADJ[1:0]）を 00b（補正しない）にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、0 になります。

AADJP ビット（自動補正周期選択）

自動補正周期を選択するビットです。

AADJP ビットの書き換えは、プラスマイナスビット（RADJ.PMADJ[1:0]）を 00b（補正しない）にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、0 になります。

HR24 ビット（時間モード）

RTC の時間モードを 12 時間モードで動作させるか、24 時間モードで動作させるかを指定するビットです。

HR24 ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止する（START ビットへ 0 を書く）ときは、同時に HR24 ビットの値を書き換えないでください。

CNTMD ビット（カウントモード選択）

RTC のカウントモードをカレンダカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定するビットです。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットは、カウントソースに同期して更新され、RTC ソフトウェアリセット完了までに値が確定します。

初期設定の詳細は、「16.3.1　電源投入後のレジスタの初期設定概要」を参照してください。

(2) バイナリカウントモード時

アドレス： RTC.RCR2 【セキュア用】FCFF D024h 【ノンセキュア用】FCFF 1024h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNT MD	—	AADJP	AADJE	—	—	RESET	START
リセット後の値：	x	x	x	x	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0：32ビットバイナリカウンタ§64Hzカウンタ、およびプリスケーラは停止 1：32ビットバイナリカウンタ§64Hzカウンタ、およびプリスケーラは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	• 書き込み時 0：書き込み無効 1：プリスケーラおよびRTCソフトウェアリセット対象レジスタを初期化（注1） • 読み出し時 0：通常の時計動作またはRTCソフトウェアリセット完了 1：RTCソフトウェアリセット中	R/W
b3、b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	AADJE	自動補正機能許可（注2）	0：自動補正機能禁止 1：自動補正機能許可	R/W
b5	AADJP	自動補正周期選択（注2）	0：32秒ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減する 1：8秒ごとにRADJ.ADJ[5:0]ビットをプリスケーラのカウント値から加減する	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b7	CNTMD	カウントモード選択	0：カレンダカウントモード 1：バイナリカウントモード	R/W

注1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. EXTAL選択時は本ビットの設定は無効です。

START ビット（スタート）

プリスケーラおよびカウンタ（時計）の停止または動作を制御するビットです。

START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、ビットの値が更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

プリスケーラおよび RTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに 1 が書き込まれた場合、カウントソースに同期して初期化が実行されます。初期化が完了すると RESET ビットは自動的に 0 になります。RESET ビットに 1 を書き込んだ場合は、0 になったことを確認してから次の処理を実行してください。

AADJE ビット（自動補正機能許可）

自動補正機能の禁止、許可を制御するビットです。
AADJE ビットの書き換えは、プラスマイナスビット（RADJ.PMADJ[1:0]）を 00b（補正しない）にしてから行ってください。RTC ソフトウェアリセットを実行すると AADJE ビットは、0 になります。

AADJP ビット（自動補正周期選択）

自動補正周期を選択するビットです。
バイナリカウントモードでは 32 秒ごとまたは 8 秒ごとの補正周期を選択することができます。
AADJP ビットの書き換えは、プラスマイナスビット（RADJ.PMADJ[1:0]）を 00b（補正しない）にしてから行ってください。RTC ソフトウェアリセットを実行すると AADJP ビットは、0 になります。

CNTMD ビット（カウントモード選択）

RTC のカウントモードをカレンダカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定するビットです。
カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。
本ビットは、カウントソースに同期して更新され、RTC ソフトウェアリセット完了までに値が確定します。
初期設定の詳細は、「16.3.1　電源投入後のレジスタの初期設定概要」を参照してください。

16.2.20　RTC コントロールレジスタ 3（RCR3）

アドレス： RTC.RCR3 【セキュア用】FCFF D026h 【ノンセキュア用】FCFF 1026h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RTCEN
リセット後の値：	0	0	0	0	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	RTCEN	32kHz クロック発振器制御ビット	0：32kHz クロック発振器停止 1：32kHz クロック発振器動作	R/W
b7～b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R

RCR3 は、クロック発生回路にある 32kHz クロック発振器を制御するためのレジスタです。32kHz クロック発振器の制御に関しては、**「6.　クロックパルス発振器」**を参照してください。

本レジスタはカレンダーカウントモード／バイナリカウントモードで共通の機能です。

本レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTCEN ビット（32kHz クロック発振器制御ビット）

32kHz クロック発振器の動作／停止を制御します。

32kHz クロック発振器の動作／停止は、RTCEN ビットで制御され、いずれかのビットが動作に設定されていると 32kHz クロック発振器は動作状態となります。

32kHz クロックを RTC のカウントソースとして使用する場合は、RTCEN ビットで 32kHz クロック発振器の動作設定を行ってください。

16.2.21　RTC コントロールレジスタ 4（RCR4）

アドレス： RTC.RCR4 【セキュア用】FCFF D028h 【ノンセキュア用】FCFF 1028h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCK SEL
リセット後の値：	0	0	0	0	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択	0：32kHzクロックを選択 1：EXTALクロックを選択	R/W
b7～b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RCR4 は、カウントソースを選択するレジスタで、カレンダカウントモード／バイナリカウントモード共通で使用します。

RCKSEL ビットが 0 のとき 32kHz クロックを使用して時計のカウント動作を行います。RCKSEL ビットが 1 のときは EXTAL クロック を使用して時計のカウント動作を行います。

RCKSEL ビット（カウントソース選択）

カウントソースを、32kHz クロック／ EXTAL クロックから選択します。

カウントソースの選択は、電源投入後、RTC のレジスタ初期設定前に一度だけ行ってください。

16.2.22　周波数レジスタ H/L（RFRH/L）

・RFRH レジスタ

アドレス： RTC.RFRH 【セキュア用】FCFF D02Ah 【ノンセキュア用】FCFF 102Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFC [16]
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

x：不定

・RFRL レジスタ

アドレス： RTC.RFRL 【セキュア用】FCFF D02Ch 【ノンセキュア用】FCFF 102Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFC[15:0]															
リセット後の値：	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

- RFRH レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	RFC[16]	周波数比較値	EXTAL クロックから、動作クロックを作成するために、128Hz のクロック周期になる比較値を設定します。	R/W
b15～b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R

- RFRL レジスタ

ビット	シンボル	ビット名	機能	R/W
b15～b0	RFC[15:0]	周波数比較値	EXTAL クロックから、動作クロックを作成するために、128Hz のクロック周期になる比較値を設定します。	R/W

RFRH/L は、EXTAL クロック選択時のプリスケーラ制御レジスタです。本レジスタはカレンダーカウントモード／バイナリカウントモードで共通の機能です。

本モジュールの時計カウンタは、128Hz クロックを基準クロックとして動作します。このため EXTAL クロック動作時は、プリスケーラで EXTAL クロックを分周し 128Hz クロックを生成します。クロックモード 0 では、EXTAL クロックをプリスケーラでのみ分周し 128Hz を生成します。クロックモード 1 では EXTAL クロックを 2 分周した後にプリスケーラで分周し 128Hz を生成します。RFC[16:0] ビットには、EXTAL クロック周波数から 128Hz を生成するための「周波数比較値」を設定します。「周波数比較値」は、EXTAL クロック周波数により、値を変更してください。計算方法は下記を参照してください。

「周波数比較値」の設定可能範囲は、0000_0007h ～ 0001_FFFFh です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

なお、128Hz クロックの生成が可能な EXTAL クロック周波数は、クロックモード 0 で 1.024kHz ～ 16.777MHz、クロックモード 1 で 2.048kHz ～ 33.555MHz となります。

また、周辺モジュールクロックと EXTAL クロックの動作周波数は、『周辺モジュールクロック ≧ EXTAL クロック』となるようにしてください。

「周波数比較値」計算方法

クロックモード 0

RFC [16:0] =（EXTAL クロック周波数）÷ 128 － 1

クロックモード 1

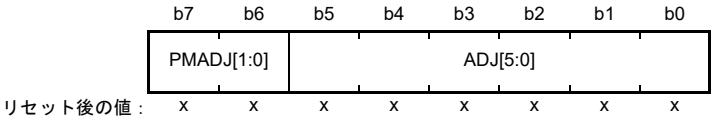
RFC [16:0] =（EXTAL クロック周波数）÷ 256 － 1

表 16.5　設定例

クロック周波数			RFC 設定値
EXTAL	クロックモード 0	10MHz	H'1312C
		12MHz	H'16E35
	クロックモード 1	20MHz	H'1312C
		24MHz	H'16E35

16.2.23　時計誤差補正レジスタ（RADJ）

アドレス： RTCRTC.RADJ 【セキュア用】FCFF D02Eh 【ノンセキュア用】FCFF 102Eh



x：不定

ビット	シンボル	ビット名	機能	R/W
b5～b0	ADJ[5:0]	補正値	プリスケーラの補正値を設定します。	R/W
b7、b6	PMADJ[1:0]	プラスマイナス	b7 b6 0 0：補正動作を行わない 0 1：プリスケーラに値を加えて補正を行う 1 0：プリスケーラから値を減じて補正を行う 1 1：設定禁止	R/W

プリスケーラに値を加えるか、プリスケーラから値を減じることによって、補正を行います。自動補正機能許可ビット（RCR2.AADJE）が 0 の場合は、RADJ レジスタを書き込むときに補正動作を行います。RCR2.AADJE ビットが 1 の場合は、自動補正周期選択ビット（RCR2.AADJP）で設定した間隔で補正動作を行います。

ソフトウェア設定（自動補正しない設定）による補正時は、レジスタ設定後、カウントソースで 320 サイクル以内に次の補正値を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、カウントソースで 320 サイクル以上待ってから次の補正値を設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。RTC ソフトウェアリセットを実行すると 00h になります。32kHz クロック選択時のみ本レジスタの設定が有効になります。EXTAL 選択時は、補正動作を行いません。

ADJ[5:0] ビット（補正値）

プリスケーラの補正値（32kHz クロックのクロックサイクル数）を設定します。

PMADJ[1:0] ビット（プラスマイナス）

ADJ[5:0] ビットで設定した誤差補正値に応じて時計を進めるか、遅らせるかを選択します。

16.3 動作説明

16.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、カウントモード設定、時刻設定、時計誤差補正、アラーム、割り込み、時間キャプチャコントロールレジスタの初期設定をしてください。

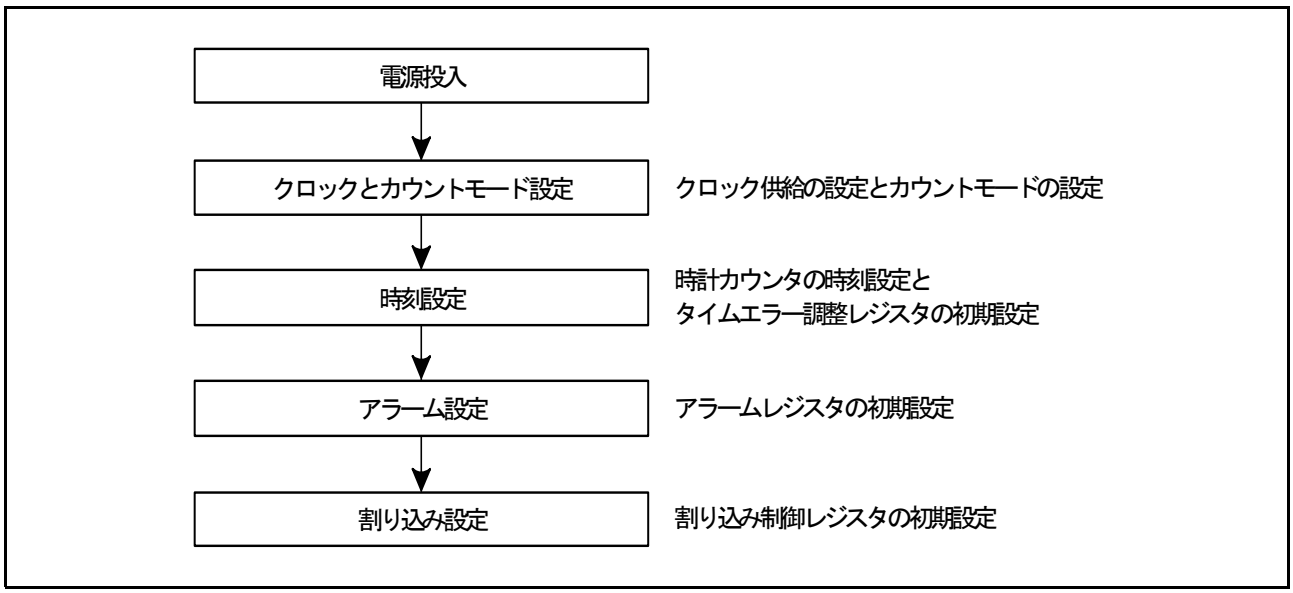
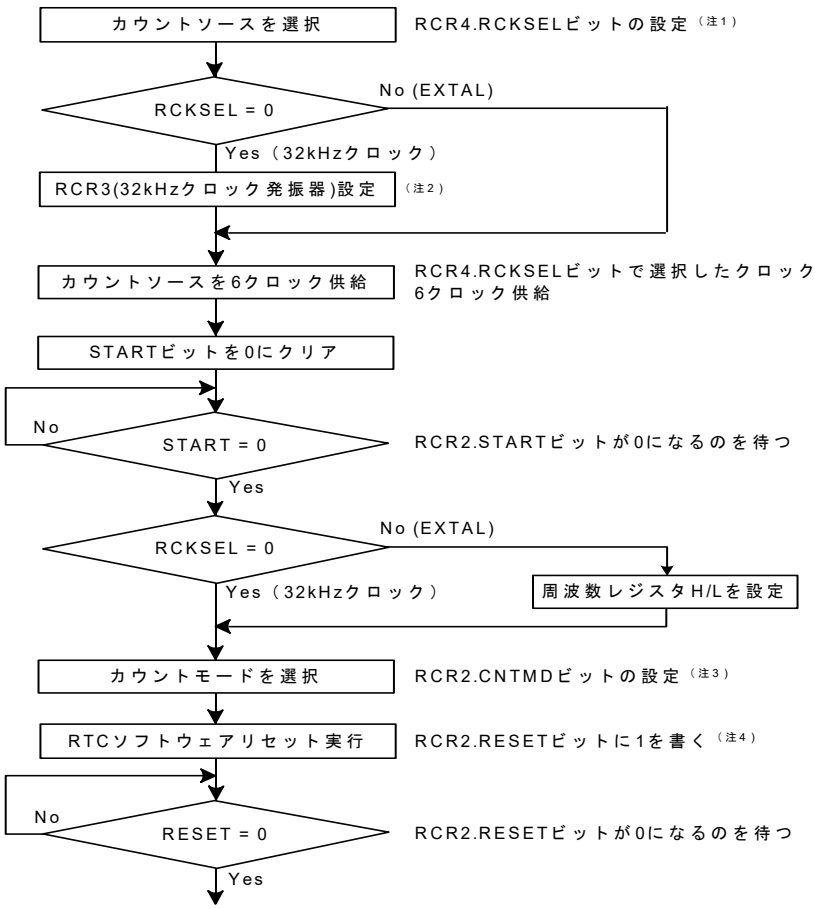


図 16.2　電源投入後の初期設定概要

16.3.2 クロックおよびカウントモードの設定手順

図 16.3 にクロックおよびカウントモードの設定手順を示します。

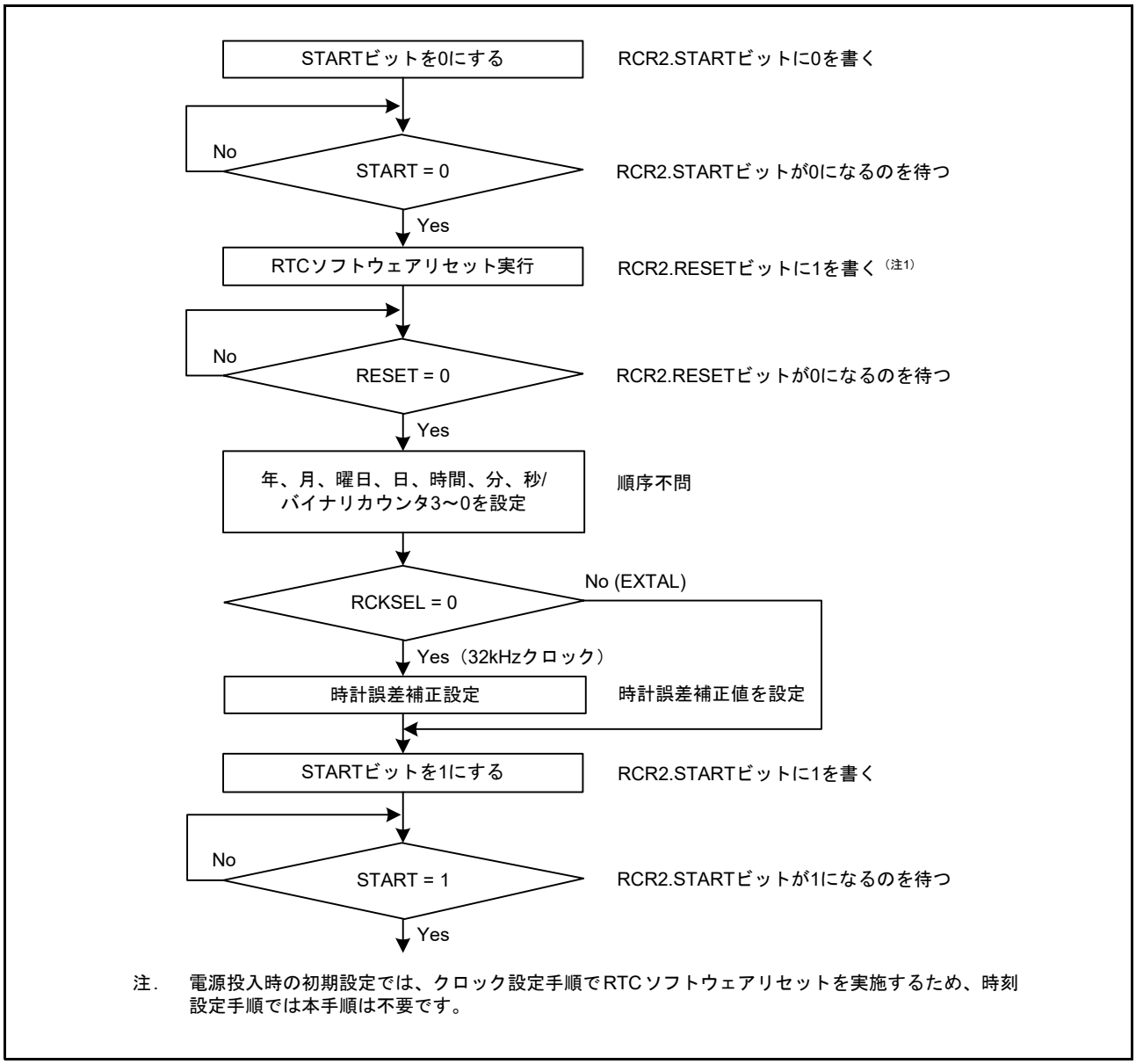


注1. 電源投入後、1度だけ設定できます。
注2. RCR3.RTCENに1を書いた場合、発振安定時間（tROSC）待ちが必要です。待ち時間に関しては、『56. 電気的特性』の『表56.5 内蔵発振回路発振安定時間(RTC_X1) (tROSC)』を参照してください。
注3. STARTビットに0を書くのと同時にカウントモードを設定する場合、本手順を省略できます。
注4. RCR2.CNTMDビットには、カウントモード設定に応じた値を書き込んでください。

図 16.3 クロックおよびカウントモードの設定手順

16.3.3 時刻設定手順

図 16.4 に時刻設定手順を示します。



注. 電源投入時の初期設定では、クロック設定手順でRTCソフトウェアリセットを実施するため、時刻設定手順では本手順は不要です。

図 16.4　時刻設定手順

16.3.4 30 秒調整手順

図 16.5 に 30 秒調整手順を示します。

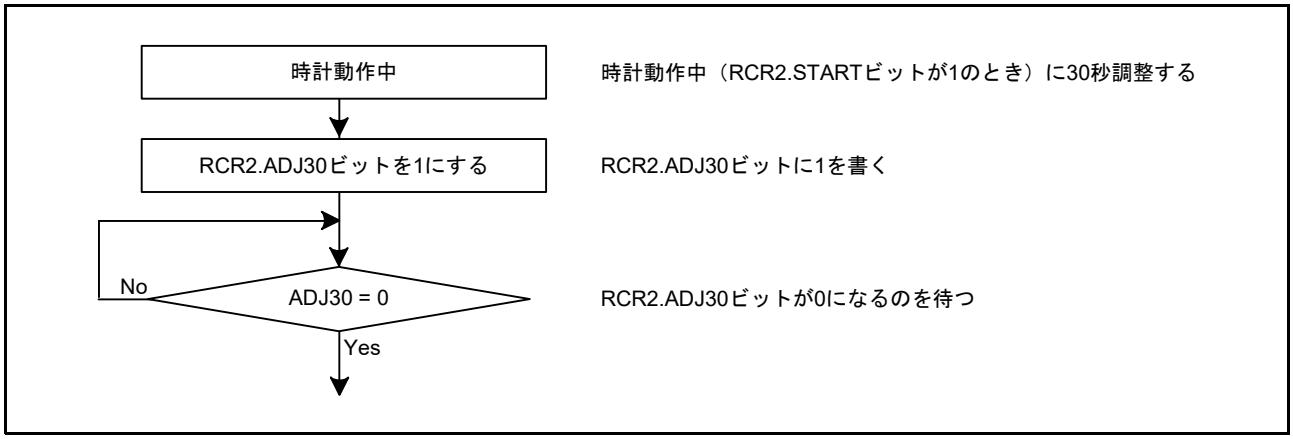


図 16.5　30 秒調整手順

16.3.5　64Hz カウンタおよび時刻読み出し手順

図 16.6 に 64Hz カウンタおよび時刻読み出し手順を示します。

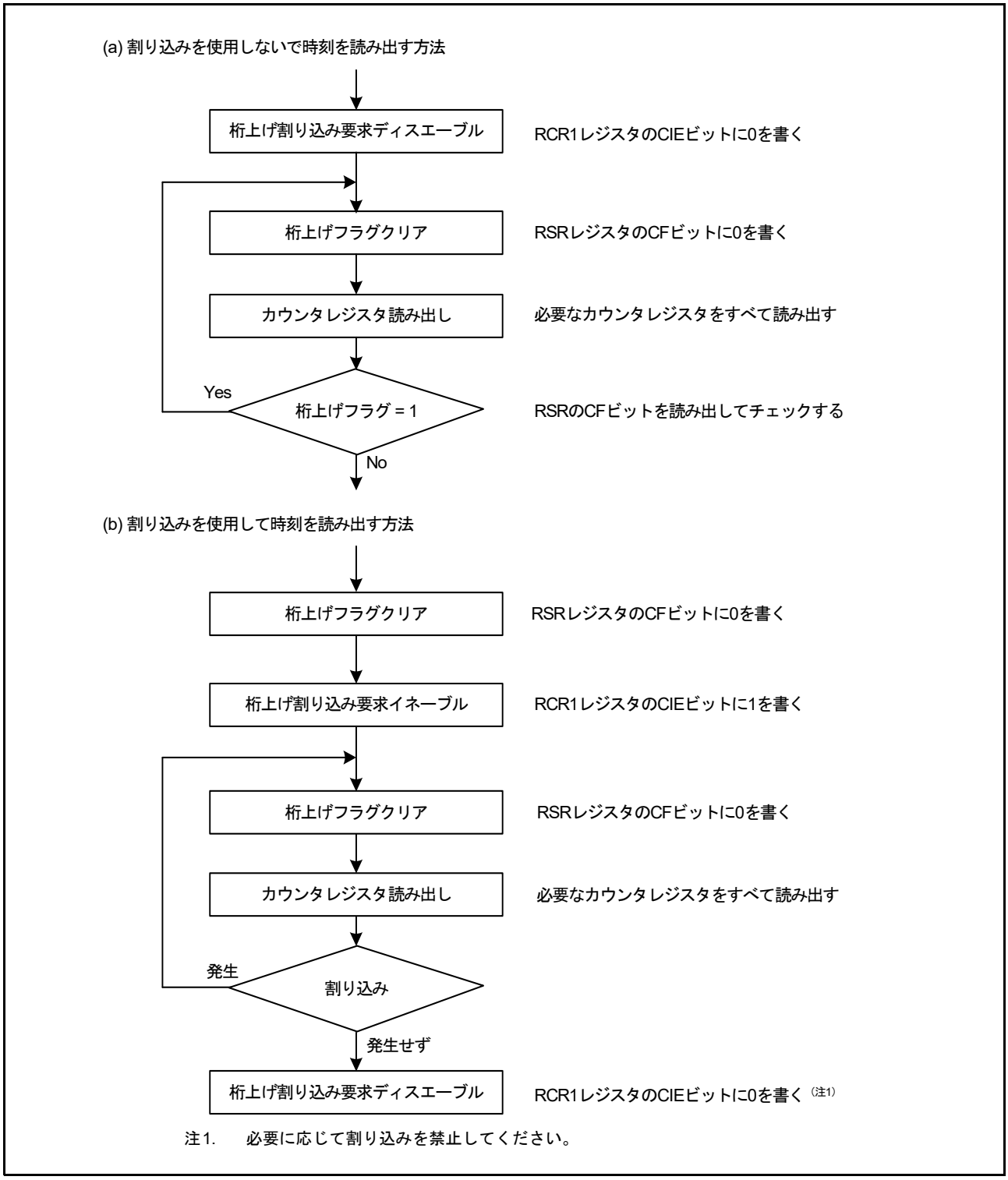


図 16.6　時刻読み出し手順

64Hz カウンタおよび時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 16.6 の（a）に、桁上げ割り込みを使用する方法を（b）に示します。通常、プログラムを容易にするために、割り込みを使用しない方法（a）を利用します。

16.3.6　アラーム機能

図 16.7 にアラーム機能の使用方法を示します。

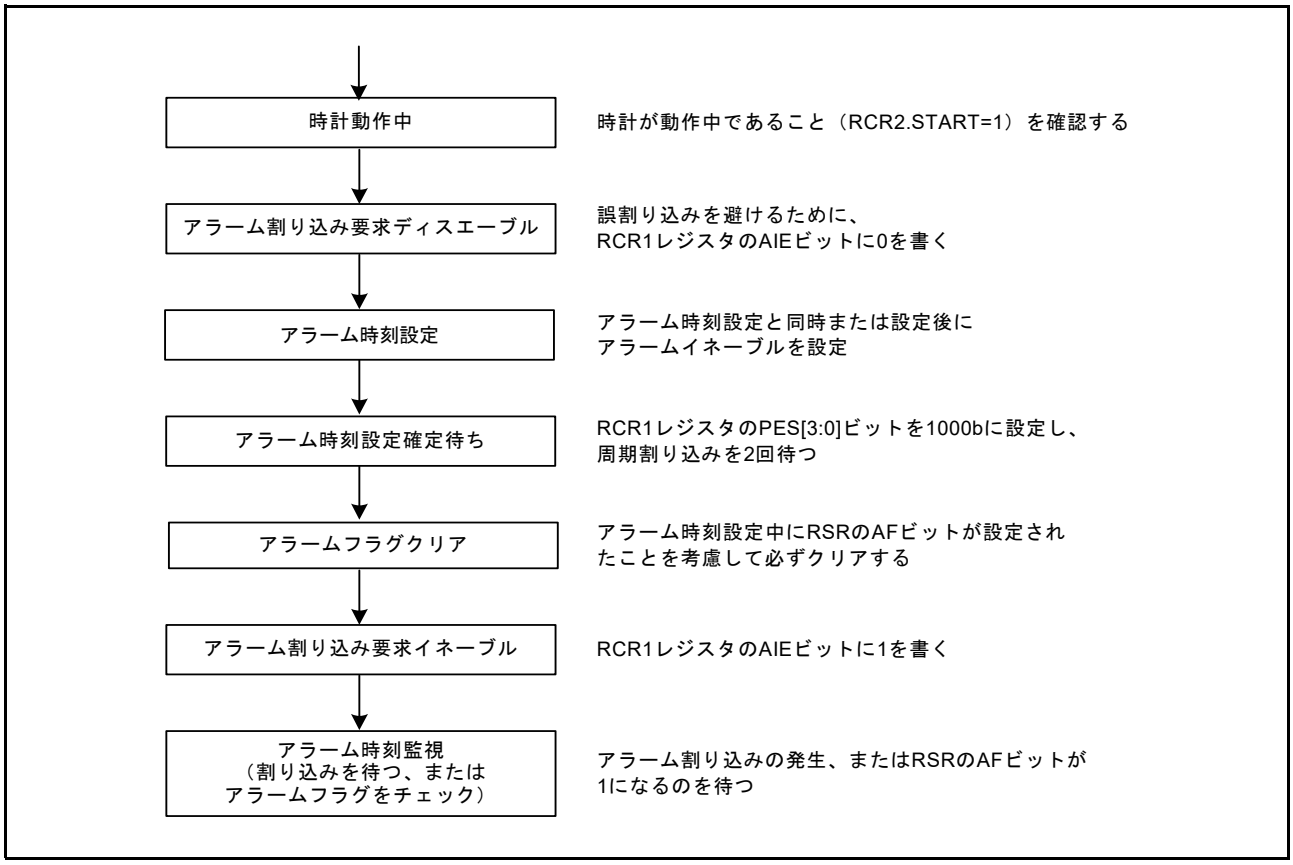


図 16.7　アラーム機能の使用方法

カレンダカウントモードでは、アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに 0 を書き込みます。

バイナリカウントモードでは、32 ビットの任意のビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラームイネーブルレジスタの ENB ビットに 1 を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットには、アラームイネーブルレジスタの ENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致した場合は、RSR のアラームフラグが 1 にセットされます。アラームの検出は、このビットを読み出すことによって確認できますが、通常は割り込みで行います。RCR1 レジスタの AIE ビットに 1 が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

RSR のアラームフラグは 0 を書き込むとクリアされます。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、低消費電力状態から復帰します。

16.3.7 アラーム割り込み禁止手順

図 16.8 に許可状態のアラーム割り込み要求を禁止する手順を示します。

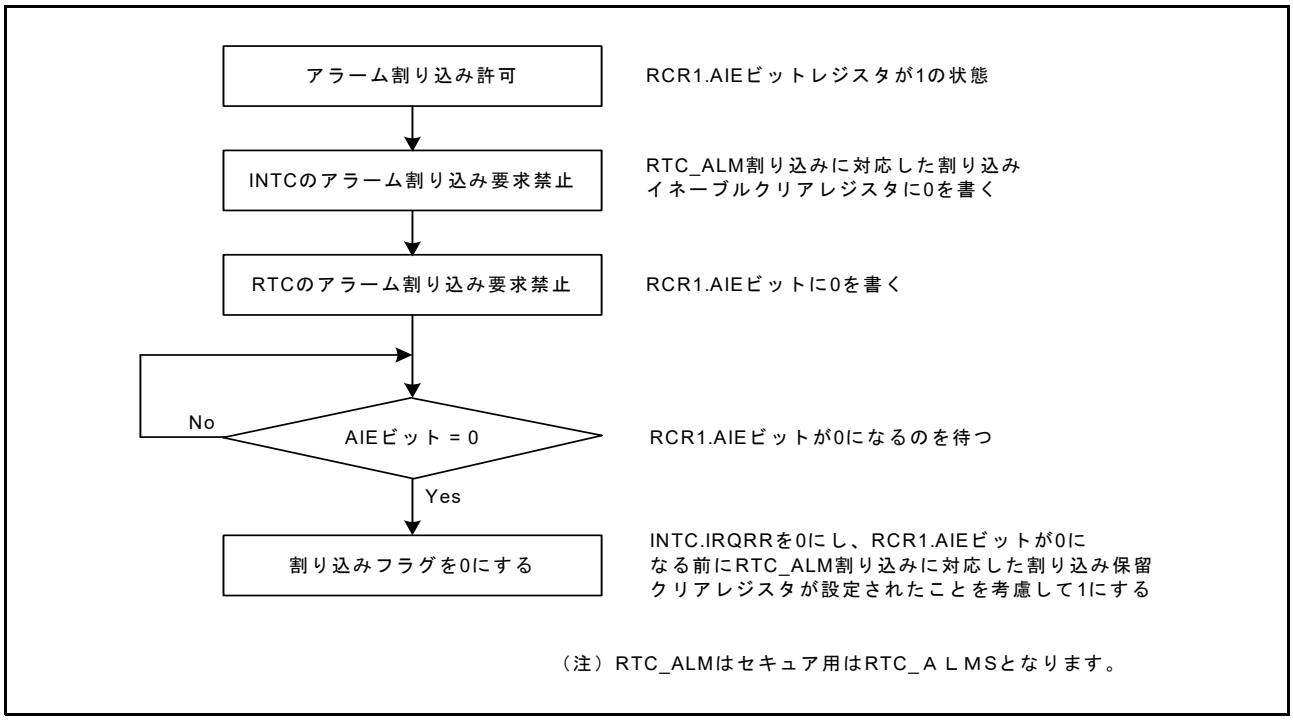


図 16.8　アラーム割り込み要求を禁止する手順

16.3.8　時計誤差補正機能

時計誤差補正機能は、32kHz クロックの発振精度の変動による時計の誤差（遅れる／進む）を補正します。32kHz クロック選択時、32,768 クロックサイクルを 1 秒として動作するため、32kHz クロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。時計誤差補正機能には 2 種類あります。

- 自動補正
- ソフトウェアによる補正

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

16.3.8.1　自動補正機能

RCR2.AADJE ビットが 1 の場合、自動補正機能が有効です。自動補正機能では、RCR2.AADJE ビットで選択した補正周期ごとに、プリスケーラでカウントした値を RADJ の値に加算するか、プリスケーラでカウントした値を RADJ の値から減算します。

(1)　例 1）32kHz クロック = 32.769kHz

(a)　補正方法

32kHz クロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になります。RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。
1 分であれば 60 クロックサイクル分、時計が進むため、1 分ごとに 60 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP ビット = 0（1 分ごとに補正）
- RADJ.PMADJ[1:0] ビット = 10b（プリスケーラから値を減算することで補正）
- RADJ.ADJ[5:0] ビット = 60（3Ch）

(2)　例 2）32kHz クロック = 32.766kHz

(a)　補正方法

32kHz クロックの周波数が 32.766kHz の場合、32,766 クロックサイクルで 1 秒になります。
RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 2 クロックサイクル分、時計が遅れます。10 秒であれば 20 クロックサイクル分、時計が遅れるため、10 秒ごとに 20 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP ビット = 1（10 秒ごとに補正）
- RADJ.PMADJ[1:0] ビット = 01b（プリスケーラへ値を加算することで補正）
- RADJ.ADJ[5:0] ビット = 20（14h）

(3) 例 3）32kHz クロック = 32.764kHz

(a) 補正方法

32kHz クロックの周波数が 32.764kHz の場合、32,764 クロックサイクルで 1 秒になります。RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 4 クロックサイクル分、時計が遅れます。
8 秒であれば 32 クロックサイクル分、時計が遅れるため、8 秒ごとに 32 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：（RCR2.CNTMD = 1 の場合）

- RCR2.AADJP ビット = 1（8 秒ごとに補正）
- RADJ.PMADJ[1:0] ビット = 01b（プリスケーラへ値を加算することで補正）
- RADJ.ADJ[5:0] ビット = 32（20h）

16.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットが 0 の場合、ソフトウェアによる補正が有効です。ソフトウェアによる補正では、RADJ への書き込み命令を実行したタイミングで、プリスケーラでカウントした値を RADJ の値に加算するか、プリスケーラでカウントした値を RADJ の値から減算します。

(1) 例 1）32kHz クロック = 32.769kHz

(a) 補正方法

32kHz クロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になります。RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。
1 秒ごとに 1 クロックサイクル分、時計が進むため、1 秒ごとに 1 クロックサイクル分、時計を遅らせることで補正できます。

(b) レジスタ設定内容

- RADJ.PMADJ[1:0] ビット = 10b（プリスケーラから値を減算することで補正）
- RADJ.ADJ[5:0] ビット = 1（01h）
  1 秒の割り込みごとに RADJ レジスタに書き込む。

16.3.8.3　補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを 00b（補正しない）にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b（補正しない）にする。
2. RCR2.AADJE ビットを 1（自動補正機能許可）にする。
3. RCR2.AADJP ビットで補正周期を選択する。
4. RADJ.PMADJ[1:0] ビットに加算か減算かを、RADJ.ADJ[5:0] ビットに時計誤差補正値を設定する。

自動補正から、ソフトウェアによる補正に切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b（補正しない）にする。
2. RCR2.AADJE ビットを 0（ソフトウェアによる補正有効）にする。
3. 任意のタイミングで RADJ.PMADJ[1:0] ビットに加算か減算かを、RADJ.ADJ[5:0] ビットに時計誤差補正値を書き込み、補正を行う。以降、RADJ レジスタに値を書き込むごとに時計補正を行う。

16.3.8.4　補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0] ビットを 00b（補正しない）にしてください。

16.4　割り込み要因

RTC には、表 16.6 に示すように 3 種類の割り込み要因があります。

表 16.6　RTC 割り込み要因

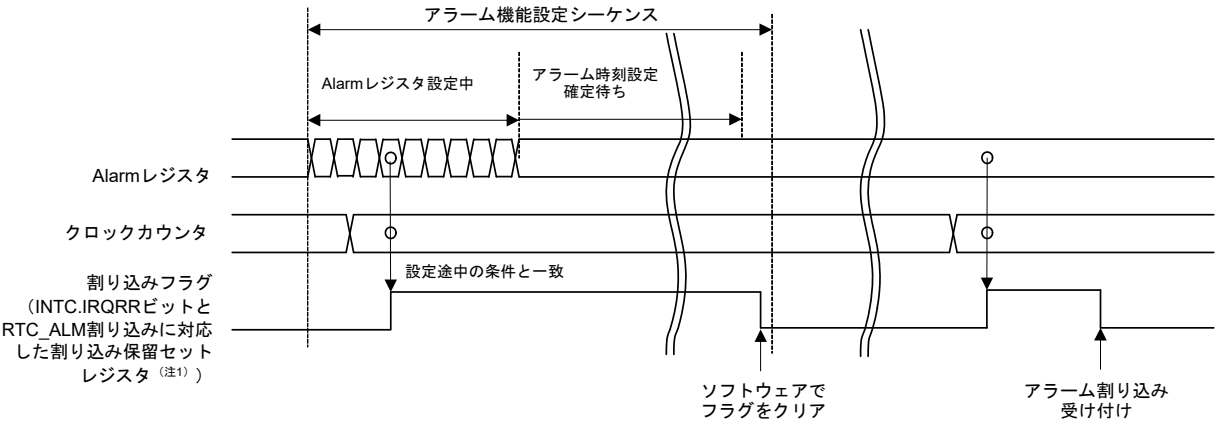
名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

注.　セキュア用は RTC_ALMS、RTC_PRDS、RTC_CUPS となります。

(1)　アラーム割り込み (RTC_ALM、RTC_ALMS)

アラームレジスタとリアルタイム時間カウンタとの比較結果によって割り込みが発生します。詳細は、「16.3.6　**アラーム機能**」を参照してください。

アラームレジスタの設定中に時計カウンタと一致して割り込みフラグが 1 になる可能性があるため、アラームレジスタの変更後、アラーム時刻設定の確定を待って、RTC_ALM 割り込みに対応した割り込み設定保留レジスタと INTC.IRQRR を再び 0 にしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは 1 になりません。



注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 16.9　アラーム割り込み (RTC_ALM、RTC_ALMS) のタイミングチャート

(2)　周期割り込み (RTC_PRD、RTC_PRDS)

2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期で発生する割り込みです。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

(3)　桁上げ割り込み (RTC_CUP、RTC_CUPS)

秒カウンタ／バイナリカウンタ 0 への桁上げが発生したとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが重なったときに発生する割り込みです。

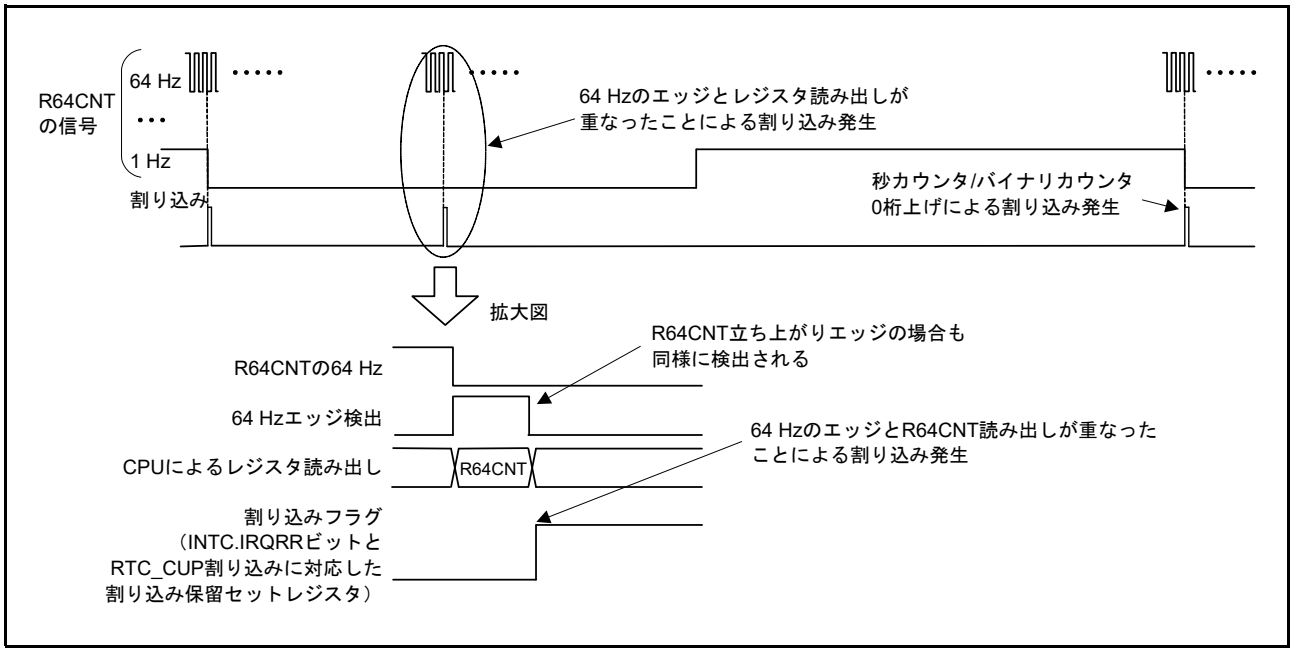


図 16.10　桁上げ割り込み (RTC_CUP 、RTC_CUPS) のタイミングチャート

16.5　使用上の注意事項

16.5.1　カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.START ビット = 1 のとき）は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR2.HR24
- RFRH、RFRL

上記のレジスタへの書き込みを行う場合は、カウンタを停止してから書き込んでください。

16.5.2　周期割り込みの使用について

周期割り込みの使用方法を図 16.11 に示します。

周期割り込みは、RCR1.PES[3:0] ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケーラ R64CNT、RSECCNT/BCNT0 を使用しているため、RCR1.PES[3:0] ビット設定直後の割り込み発生周期は保証されません。また、以下の影響で割り込み発生周期が変わる可能性があります。

- カウンタ動作の停止／動作／リセット
- RTC ソフトウェアによるリセット
- RCR2 値変更による 30 秒調整

時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正値の分だけ周期がずれます。

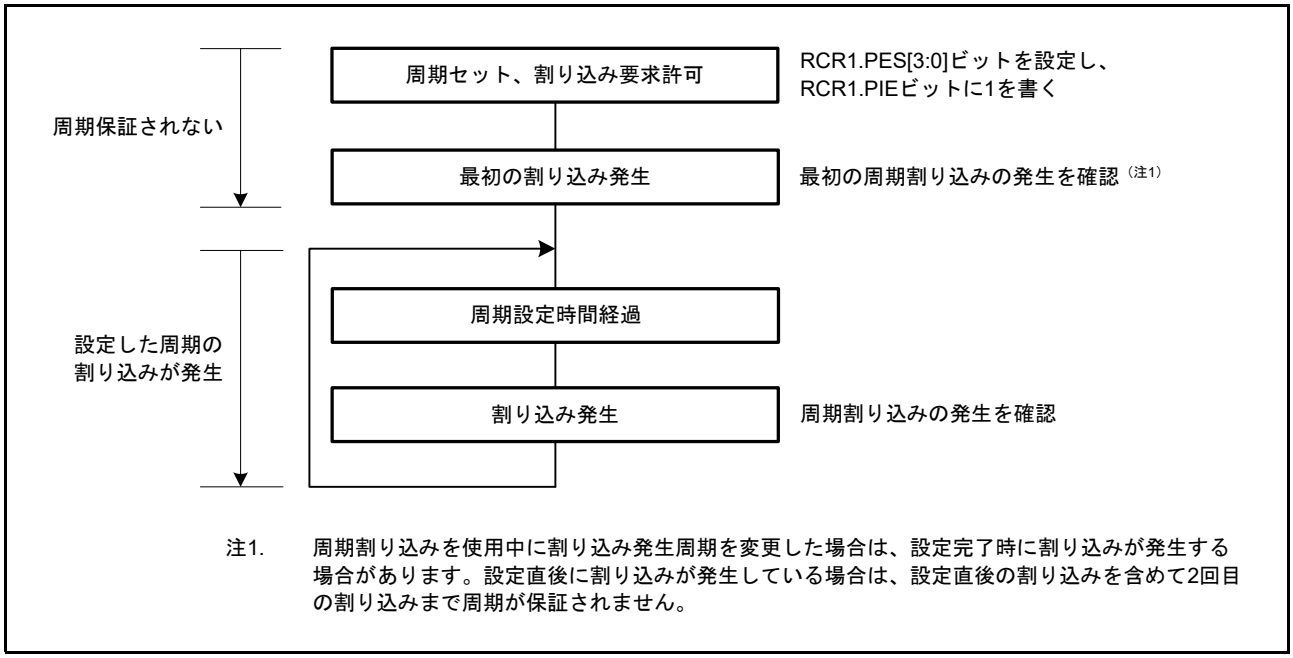


図 16.11　周期割り込み機能の使用方法

16.5.3　レジスタ設定後の低消費電力モード移行について

RTC 内レジスタへの書き込み中に低消費電力状態（ソフトウェアスタンバイモード／ディープスタンバイモード）へ遷移すると、レジスタ値を破壊する可能性があります。レジスタ設定後は、設定されたことを確認してから低消費電力状態に遷移してください。

16.5.4　レジスタの書き込み／読み出し時の注意事項

- 秒カウンタなど、カウンタレジスタの読み出しは、**「16.3.5　64Hz カウンタおよび時刻読み出し手順」**に従ってください。
- カウンタレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタ、周波数レジスタに書いた値は、書き込み後 4 回目の読み出しから反映されます。
- RCR1.CIE ビットは、書き込み後すぐに書いた値を読み出すことができます。
- リセット、ソフトウェアスタンバイモード、バッテリバックアップ状態から復帰した後に時計カウンタの値を読み出すときは、時計動作中（RCR2.START ビット = 1）で 1/128 秒待ってから読み出しを行ってください。
- リセット発生後、RTC レジスタへの書き込みは、カウントソースクロック 6 サイクルの経過後に行ってください。

16.5.5　カウントモードの変更について

カウントモード（カレンダ／バイナリ）を変更する場合には、RCR2.START ビットを 0 にし、カウント動作を停止させ、初期設定からやり直してください。初期設定の詳細は、**「16.3.1　電源投入後のレジスタの初期設定概要」**を参照してください。

16.5.6　リアルタイムクロックを使用しない場合の手順

リアルタイムクロックを使用しない場合、**「52.4.2　リアルタイムクロック未使用時の注意」**の手順に従って RTC へのクロック供給を停止してください。

17. FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）を 5 チャネル内蔵しています。SCIFA は、各チャネルとも独立に送信と受信用に 16 段の FIFO バッファを内蔵し、効率的かつ高速な連続通信を可能にしています。

17.1 概要

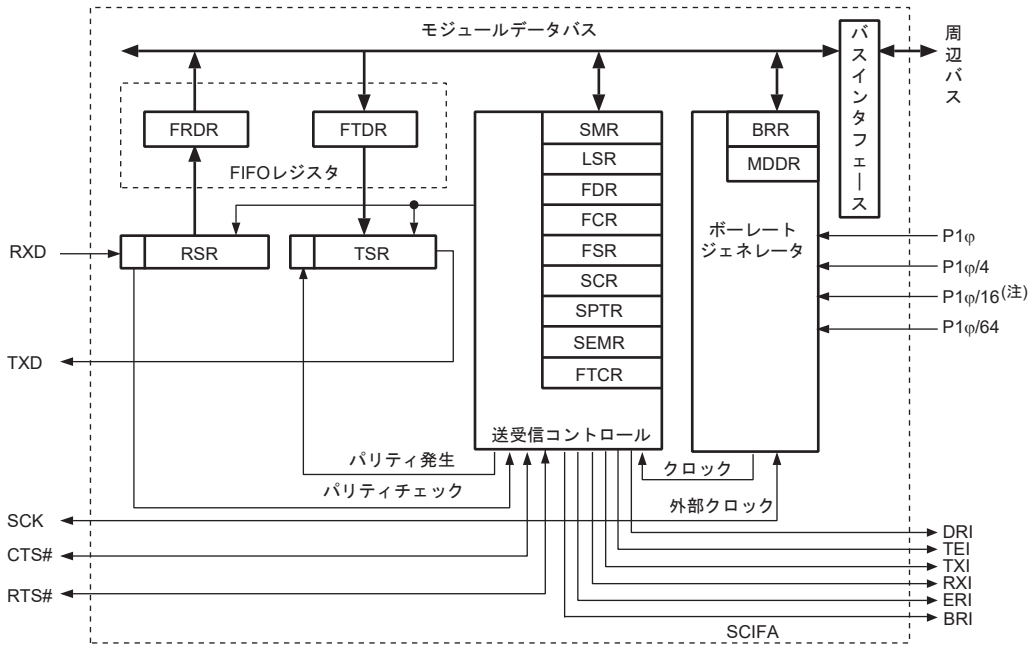
表 17.1 に SCIFA の仕様を示します。

表 17.1　SCIFA の仕様

項目		内容
チャネル		5 チャネル
シリアル通信方式		調歩同期式、クロック同期式
転送速度		内蔵ボーレートジェネレータにより任意のビットレートを設定可能
全二重通信		送信部：16 段の FIFO バッファによる連続送信が可能 受信部：16 段の FIFO バッファによる連続受信が可能
データ転送		LSB ファースト／MSB ファースト選択可能
割り込み要因		6 要因 • 送信終了（TEIF） • 送信 FIFO データエンプティ（TXIF） • 受信 FIFO データフル（RXIF） • 受信データレディ（DRIF）(注 1) • 受信エラー（ERIF） • ブレーク検出、またはオーバラン（BRIF）
調歩同期式モード	キャラクタ長	7 ビット／8 ビット
	送信ストップビット	1 ビット／2 ビット
	パリティ機能	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS# 端子、RTS# 端子を用いた送受信制御が可能 チャネル 3(SCIF3)、チャネル 4(SCIF4) は非対応
	ブレーク検出	ハードウェアによるブレーク信号検出機能
	クロックソース	内部クロック／外部クロックから選択
	ノイズ除去	RXD 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	キャラクタ長	8 ビット
	受信エラー検出	オーバランエラーを受信エラーとして検出
	クロックソース	内部クロック／外部クロックから選択
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注 1.　調歩同期モードのときのみ有効

図 17.1 に SCIFA のブロック図を示します。



RSR　：レシーブシフトレジスタ
FRDR　：レシーブFIFOデータレジスタ
TSR　：トランスミットシフトレジスタ
FTDR　：トランスミットFIFOデータレジスタ
SMR　：シリアルモードレジスタ
SCR　：シリアルコントロールレジスタ
FSR　：シリアルステータスレジスタ
MDDR　：モジュレーションデューティレジスタ
BRR　：ビットレートレジスタ
SPTR　：シリアルポートレジスタ
FCR　：FIFOコントロールレジスタ
FDR　：FIFOデータ数レジスタ
LSR　：ラインステータスレジスタ
SEMR　：シリアル拡張モードレジスタ
FTCR　：FIFOトリガコントロールレジスタ

注.　チャネル0は、P1φ/16の入力はありません。

図 17.1　SCIFA のブロック図

表 17.2 に SCIFA の入出力端子を示します。

表17.2　SCIFAの入出力端子

チャネル	名称	端子名	入出力	機　能
0 ～ 4	シリアルクロック端子	SCK0 ～ SCK4	入出力	送受信クロック入出力／汎用出力
	受信データ端子	RxD0 ～ RxD4	入力	受信データ入力
	送信データ端子	TxD0 ～ TxD4	出力	送信データ出力
0 ～ 2	送受信開始制御端子	CTS#0 ～ CTS#2	入出力	ハードウエアフロー制御用入力（送信可信号）／汎用出力
		RTS#0 ～ RTS#2	出力	ハードウエアフロー制御用出力（送信要求信号）／汎用出力

注.　各端子名のチャネルは省略して表記しています。

17.2　レジスタの説明

表17.3　レジスタ構成表

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	シリアルモードレジスタ	SMR	R/W	0000h	H'E8007000	16
	ビットレートレジスタ	BRR	R/W	FFh	H'E8007002	8
	モジュレーションデューティレジスタ	MDDR	R/W	FFh	H'E8007002	8
	シリアルコントロールレジスタ	SCR	R/W	0000h	H'E8007004	16
	トランスミットFIFOデータレジスタ	FTDR	W	不定	H'E8007006	8
	シリアルステータスレジスタ	FSR	R/W	0020h	H'E8007008	16
	レシーブFIFOデータレジスタ	FRDR	R	不定	H'E800700A	8
	FIFOコントロールレジスタ	FCR	R/W	0000h	H'E800700C	16
	FIFOデータ数レジスタ	FDR	R	0000h	H'E800700E	16
	シリアルポートレジスタ	SPTR	R/W	00xxh	H'E8007010	16
	ラインステータスレジスタ	LSR	R/W	0000h	H'E8007012	16
	シリアル拡張モードレジスタ	SEMR	R/W	00h	H'E8007014	8
	FIFOトリガコントロールレジスタ	FTCR	R/W	1F1Fh	H'E8007016	16
1	シリアルモードレジスタ	SMR	R/W	0000h	H'E8007800	16
	ビットレートレジスタ	BRR	R/W	FFh	H'E8007802	8
	モジュレーションデューティレジスタ	MDDR	R/W	FFh	H'E8007802	8
	シリアルコントロールレジスタ	SCR	R/W	0000h	H'E8007804	16
	トランスミットFIFOデータレジスタ	FTDR	W	不定	H'E8007806	8
	シリアルステータスレジスタ	FSR	R/W	0020h	H'E8007808	16
	レシーブFIFOデータレジスタ	FRDR	R	不定	H'E800780A	8
	FIFOコントロールレジスタ	FCR	R/W	0000h	H'E800780C	16
	FIFOデータ数レジスタ	FDR	R	0000h	H'E800780E	16
	シリアルポートレジスタ	SPTR	R/W	00xxh	H'E8007810	16
	ラインステータスレジスタ	LSR	R/W	0000h	H'E8007812	16
	シリアル拡張モードレジスタ	SEMR	R/W	00h	H'E8007814	8
	FIFOトリガコントロールレジスタ	FTCR	R/W	1F1Fh	H'E8007816	16
2	シリアルモードレジスタ	SMR	R/W	0000h	H'E8008000	16
	ビットレートレジスタ	BRR	R/W	FFh	H'E8008002	8
	モジュレーションデューティレジスタ	MDDR	R/W	FFh	H'E8008002	8
	シリアルコントロールレジスタ	SCR	R/W	0000h	H'E8008004	16
	トランスミットFIFOデータレジスタ	FTDR	W	不定	H'E8008006	8
	シリアルステータスレジスタ	FSR	R/W	0020h	H'E8008008	16
	レシーブFIFOデータレジスタ	FRDR	R	不定	H'E800800A	8
	FIFOコントロールレジスタ	FCR	R/W	0000h	H'E800800C	16
	FIFOデータ数レジスタ	FDR	R	0000h	H'E800800E	16
	シリアルポートレジスタ	SPTR	R/W	00xxh	H'E8008010	16
	ラインステータスレジスタ	LSR	R/W	0000h	H'E8008012	16
	シリアル拡張モードレジスタ	SEMR	R/W	00h	H'E8008014	8
	FIFOトリガコントロールレジスタ	FTCR	R/W	1F1Fh	H'E8008016	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
3	シリアルモードレジスタ	SMR	R/W	0000h	H'E8008800	16
	ビットレートレジスタ	BRR	R/W	FFh	H'E8008802	8
	モジュレーションデューティレジスタ	MDDR	R/W	FFh	H'E8008802	8
	シリアルコントロールレジスタ	SCR	R/W	0000h	H'E8008804	16
	トランスミットFIFOデータレジスタ	FTDR	W	不定	H'E8008806	8
	シリアルステータスレジスタ	FSR	R/W	0020h	H'E8008808	16
	レシーブFIFOデータレジスタ	FRDR	R	不定	H'E800880A	8
	FIFOコントロールレジスタ	FCR	R/W	0000h	H'E800880C	16
	FIFOデータ数レジスタ	FDR	R	0000h	H'E800880E	16
	シリアルポートレジスタ	SPTR	R/W	00xxh	H'E8008810	16
	ラインステータスレジスタ	LSR	R/W	0000h	H'E8008812	16
	シリアル拡張モードレジスタ	SEMR	R/W	00h	H'E8008814	8
	FIFOトリガコントロールレジスタ	FTCR	R/W	1F1Fh	H'E8008816	16
4	シリアルモードレジスタ	SMR	R/W	0000h	H'E8009000	16
	ビットレートレジスタ	BRR	R/W	FFh	H'E8009002	8
	モジュレーションデューティレジスタ	MDDR	R/W	FFh	H'E8009002	8
	シリアルコントロールレジスタ	SCR	R/W	0000h	H'E8009004	16
	トランスミットFIFOデータレジスタ	FTDR	W	不定	H'E8009006	8
	シリアルステータスレジスタ	FSR	R/W	0020h	H'E8009008	16
	レシーブFIFOデータレジスタ	FRDR	R	不定	H'E800900A	8
	FIFOコントロールレジスタ	FCR	R/W	0000h	H'E800900C	16
	FIFOデータ数レジスタ	FDR	R	0000h	H'E800900E	16
	シリアルポートレジスタ	SPTR	R/W	00xxh	H'E8009010	16
	ラインステータスレジスタ	LSR	R/W	0000h	H'E8009012	16
	シリアル拡張モードレジスタ	SEMR	R/W	00h	H'E8009014	8
	FIFOトリガコントロールレジスタ	FTCR	R/W	1F1Fh	H'E8009016	16

注.　BRR とMDDR は同一のアドレスに配置されています。これらのレジスタの切り替えはSEMRのMDDRSビットで行います。

17.2.1　レシーブシフトレジスタ（RSR）

RSR レジスタは、受信したシリアルデータを一時格納するレジスタです。SCIFA は、RXD 端子に入力されたシリアルデータを RSR レジスタに格納し、パラレルデータに変換します。1 バイトのデータ受信が終了すると、データは自動的にレシーブ FIFO データレジスタ（FRDR）に転送されます。

CPU から直接 RSR レジスタの読み出し／書き込みはできません。

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0

17.2.2　レシーブ FIFO データレジスタ（FRDR）

FRDR レジスタは、受信したシリアルデータを格納する 8 ビット 16 段の FIFO レジスタです。SCIFA は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ（RSR）から FRDR レジスタに受信したシリアルデータを転送し、受信動作を完了します。16 バイトの受信データの格納が終了するまで、連続した受信動作が可能です。レシーブ FIFO データレジスタに受信データがない状態で FRDR レジスタを読み出した場合、不定値が読めます。

FRDR レジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0

17.2.3　トランスミットシフトレジスタ（TSR）

SCIFA は、トランスミット FIFO データレジスタ（FTDR）から送信データをいったん TSR レジスタに転送し、TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータを送信後、自動的に FTDR レジスタから TSR レジスタに次の送信データを転送し、送信を開始します。

CPU から、直接 TSR レジスタの読み出し／書き込みはできません。

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1

17.2.4　トランスミットFIFOデータレジスタ（FTDR）

FTDRレジスタは、シリアル送信データを格納する8ビット16段のFIFOレジスタです。SCIFAは、トランスミットシフトレジスタ（TSR）の空を検出すると、FTDRレジスタに書き込まれた送信データをTSRレジスタに転送してシリアル送信を開始します。FTDRレジスタの送信データが空になるまで連続してシリアル送信ができます。FTDRレジスタへの送信データの書き込みは、送信データエンプティ割り込み（TXI）要求が発生したときに行ってください。

FTDRレジスタが送信データでいっぱい（16バイト）になると、次のデータを書き込むことができません。書き込みを行ってもデータは無視されます。

CPUはFTDRレジスタに対する書き込みはできますが、読み出しはできません。

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1

17.2.5　シリアルモードレジスタ（SMR）

SMRレジスタは、SCIFAのシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SMRレジスタは、常にCPUによる読み出し／書き込みが可能です。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CM	CHR	PE	PM	STOP	—	CKS[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0：P1φクロック（注1） 0 1：P1φ/4クロック（注1） 1 0：P1φ/16クロック（注1）（注2） 1 1：P1φ/64クロック（注1）	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	STOP	ストップビットレングスビット	0：1ストップビット 1：2ストップビット	R/W
b4	PM	パリティモードビット	0：偶数パリティ 1：奇数パリティ	R/W
b5	PE	パリティ許可ビット	0：パリティビットの付加、およびチェックを禁止 1：パリティビットの付加、およびチェックを許可	R/W
b6	CHR	キャラクタレングスビット	0：8ビットデータ 1：7ビットデータ（注3）	R/W
b7	CM	コミュニケーションモードビット	0：調歩同期式モード 1：クロック同期式モード	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　P1φ：周辺クロック
注2.　チャネル0は使用できません。チャネル1～4のみ使用できます。
注3.　7ビットデータを選択した場合、トランスミットFIFOデータレジスタのMSB（b7）は送信されません。

CKS[1:0] ビット（クロックセレクト選択ビット）

内蔵ボーレートジェネレータの内部クロックソースを選択します。
クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「17.2.8　ビットレートレジスタ（BRR）」を参照してください。

STOP ビット（ストップビットレングスビット）

調歩同期式モードでのストップビットの長さを 1 ビット／2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合、ストップビットは付加されませんので、このビットの設定は無効です。なお、受信時は STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。
ストップビットの 2 ビット目が “1” の場合はストップビットとして扱いますが、“0” の場合は次の送信キャラクタのスタートビットとして扱います。

注 .　STOP ビットが “1” で送信時は、送信キャラクタの最後尾に 1 ビットの “1”（ストップビット）を付加して送信します。

注 .　STOP ビットが “2” で送信時は、送信キャラクタの最後尾に 2 ビットの “1”（ストップビット）を付加して送信します。

PM ビット（パリティモードビット）

パリティチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。本ビットの設定は、調歩同期式モード、かつ本レジスタの PE ビットに “1” を設定したときのみ有効になります。クロック同期式モード、または調歩同期式モードでパリティの付加、およびチェックを禁止している場合、本ビットの指定は無効です。

注 .　偶数パリティに設定した場合、送信時には、パリティビットと送信キャラクタをあわせて、その中の “1” の数の合計が偶数になるようにパリティビットを付加して送信します。受信時は、パリティビットと受信キャラクタをあわせて、その中の “1” の数の合計が偶数かどうかをチェックします。

注 .　奇数パリティに設定した場合、送信時には、パリティビットと送信キャラクタをあわせて、その中の “1” の数の合計が奇数になるようにパリティビットを付加して送信します。受信時は、パリティビットと受信キャラクタをあわせて、その中の “1” の数の合計が奇数かどうかをチェックします。

PE ビット（パリティイネーブル許可ビット）

調歩同期式モードでの送信時のパリティビット付加、受信時のパリティビットチェックの許可／禁止を選択します。クロック同期式モードでは、本ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。

注 .　本ビットに “1” をセットすると、送信時には PM ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが PM ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。

CHR ビット（キャラクタレングスビット）

調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

CM ビット（コミュニケーションモードビット）

SCIFA の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

17.2.6　シリアルコントロールレジスタ（SCR）

SCR レジスタは、SCIFA の送信／受信動作、割り込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。SCR レジスタは、常に CPU による読み出し／書き込みが可能です。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	TEIE	CKE[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	CKE[1:0]	クロック許可ビット	（調歩同期式モードの場合） b1 b0 0 0：内部クロック／SCK端子は、入力端子（入力信号は無視）。SCK端子の状態はSPTRのSCKIOビット、SCKDTビットに依存します。 0 1：内部クロック／SCK端子はクロック出力（ビットレートの16倍または8倍の周波数のクロックを出力） 1 0：外部クロック／SCK端子はクロック入力（ビットレートの16倍または8倍の周波数のクロックを入力） 1 1：設定しないでください （クロック同期式モードの場合） b1 b0 0 0：内部クロック／SCK端子は同期クロック出力 0 1：内部クロック／SCK端子は同期クロック出力 1 0：外部クロック／SCK端子は同期クロック入力 1 1：設定しないでください	R/W
b2	TEIE（注1）	トランスミットエンドインタラプト許可ビット	0：トランスミットエンド割り込み（TEI）要求を禁止 1：トランスミットエンド割り込み（TEI）要求を許可	R/W
b3	REIE	レシーブエラーインタラプト許可ビット	0：受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求を禁止 1：受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求を許可	R/W
b4	RE	レシーブ許可ビット	0：受信動作を禁止 1：受信動作を許可	R/W
b5	TE	トランスミット許可ビット	0：送信動作を禁止 1：送信動作を許可	R/W
b6	RIE	レシーブインタラプト許可ビット	0：受信FIFOデータフル割り込み（RXI）要求、受信データレディ割り込み（DRI）要求、受信エラー割り込み（ERI）要求、およびブレーク割り込み（BRI）要求を禁止 1：受信FIFOデータフル割り込み（RXI）要求、受信データレディ割り込み（DRI）要求、受信エラー割り込み（ERI）要求、およびブレーク割り込み（BRI）要求を許可	R/W
b7	TIE	トランスミットインタラプト許可ビット	0：送信FIFOデータエンプティ割り込み（TXI）要求を禁止 1：送信FIFOデータエンプティ割り込み（TXI）要求を許可	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TEI割り込み要求を解除するには、TENDフラグの”1”を読み出した後、”0”にクリアするか、TEIEビットを”0”にしてください。

CKE[1:0] ビット（クロック許可ビット）

SCIFA のクロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。本ビットで SCK 端子をシリアルクロック出力端子にするか、シリアルクロック入力端子にするかを選択します。クロック同期式モードで、SCK 端子を同期クロック出力に設定する場合は、SMR レジスタの CM ビットを “1” に設定してから本ビットを設定してください。設定内容を**表 17.16** に示します。

REIE ビット（レシーブエラーインタラプト許可ビット）

受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求の許可／禁止を設定します。本ビットの設定は RIE ビットが “0” のときのみ有効です。

注 . ERI 割り込み要求の解除は、FSR レジスタの ER ビットの ”1” を読み出した後、”0” にクリアするか、本レジスタの RIE、REIE ビットを共に ”0” にクリアすることで行います。BRI 割り込み要求の解除は、FSR レジスタの BRK ビット、LSR レジスタの ORER フラグの ”1” を読み出した後、”0” にクリアするか、本レジスタの RIE、REIE ビットを共に ”0” にクリアすることで行います。

RE ビット（レシーブ許可ビット）

シリアル受信動作の許可／禁止を設定します。

注 . 本ビットを “0” に設定しても FSR レジスタの DR、ER、BRK、RDF、FER、PER、LSR レジスタの ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

注 . 受信動作を許可した状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出すると、シリアル受信を開始します。なお、本ビットを “1” にセットする前に必ずシリアルモードレジスタ（SMR）、FIFO コントロールレジスタ（FCR）の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。

TE ビット（トランスミット許可ビット）

シリアル送信動作の許可／禁止を設定します。

注 . 送信動作を許可した状態で、FTDR レジスタに送信データを書き込むとシリアル送信を開始します。なお、本ビットを “1” にセットする前に、必ず SMR レジスタおよび FCR レジスタの設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。

RIE ビット（レシーブインタラプト許可ビット）

シリアルステータスレジスタ（FSR）の RDF フラグが “1” にセットされたときの受信 FIFO データフル割り込み（RXI）要求、FSR レジスタの DR フラグが “1” にセットされたときの受信データレディ割り込み（DRI）要求、FSR レジスタの ER フラグが “1” にセットされたときの受信エラー割り込み（ERI）要求、および FSR レジスタの BRK フラグまたはラインステータスレジスタ（LSR）の ORER フラグが “1” にセットされたときのブレーク割り込み（BRI）要求の許可／禁止を設定します。

注 . RXI 割り込み要求の解除は、FSR レジスタの DR または RDF フラグの “1” を読み出した後、“0” にクリアするか、本ビットを “0” にクリアすることで行えます。DRI 割り込み要求の解除は、FSR レジスタの DR フラグの ”1” を読み出した後、”0” にクリアするか、本レジスタの RIE ビットを ”0” にクリアすることで行います。受信エラー割り込み (ERI) 要求、及びブレーク割り込み (BRI) 要求の解除は、本レジスタの RIE ビット、および REIE ビットを共に ”0” にクリアすることで行います。

TIE ビット（トランスミットインタラプト許可ビット）

トランスミット FIFO データレジスタ（FTDR）からトランスミットシフトレジスタ（TSR）へシリアル送信データが転送され、トランスミット FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ（FSR）の TDFE フラグが “1” にセットされたときの、送信 FIFO データエンプティ割り込み（TXI）要求の許可／禁止を設定します。

注 . TXI 割り込み要求の解除は、FTDR レジスタに指定した送信トリガ数より多い量の送信データを書き込み、FSR レジスタの TDFE フラグの “1” を読み出した後、TDFE フラグを “0” にクリアするか、または本ビットを “0” にクリアすることで行うことができます。

17.2.7　シリアルステータスレジスタ（FSR）

FSR レジスタは、16 ビットのレジスタです。下位 8 ビットは SCIFA の動作状態を示すステータスフラグです。

FSR レジスタは常に CPU から読み出し／書き込みができます。ただし、本レジスタの ER、TEND、TDFE、BRK、RDF、DR ビット（各ステータスフラグ）に “1” を書き込むことはできません。
また、これらのビットを “0” にクリアする場合は、あらかじめ “1” を読み出しておく必要があります。
さらに、b3（FER）、および b2（PER）は読み出し専用であり、書き込むことはできません。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	レシーブデータレディフラグ	0：受信中であるか、正常に受信完了後、FRDR レジスタに受信データが残っていないことを表示 1：次の受信データが受信されていないことを表示	R/(W)（注1）
b1	RDF	受信FIFOデータフルフラグ	0：FRDR レジスタの受信データ数が指定受信トリガ数より少ないことを表示 1：FRDR レジスタの受信データ数が指定受信トリガ数以上であることを表示	R/(W)（注1）
b2	PER	パリティエラーフラグ(注4)	0：次にFRDR レジスタから読み出す受信データにパリティエラーが発生しなかったことを表示 1：次にFRDR レジスタから読み出す受信データにパリティエラーが発生したことを表示	R
b3	FER	フレーミングエラーフラグ(注4)	0：次にFRDR レジスタから読み出す受信データにフレーミングエラーが発生しなかったことを表示 1：次にFRDR レジスタから読み出す受信データにフレーミングエラーが発生したことを表示	R
b4	BRK	ブレーク検出フラグ	0：ブレーク信号なし 1：ブレーク信号を受信（注2）	R/(W)（注1）
b5	TDFE	トランスミットFIFOデータエンプティフラグ	0：FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数より多いことを表示 1：FTDR レジスタに書き込んだ送信データ数が指定送信トリガ数以下であること（注3）を表示	R/(W)（注1）
b6	TEND	トランスミットエンドフラグ	0：送信待機中または送信中であることを表示 1：送信が終了したことを表示	R/(W)（注1）
b7	ER	受信エラーフラグ	0：受信中、または正常に受信が完了したことを表示 1：受信時にフレーミングエラーまたはパリティエラーが発生したことを表示	R/(W)（注1）
b15～b8	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

注1.　フラグをクリアするため、“1” を読み出した後に “0” を書き込むことのみ可能です。
注2.　ブレーク信号が検出されると、検出後のFRDR レジスタへの受信データ（00h）の転送は停止します。ブレークが終了し、受信信号がマーク状態（ハイレベル）になると、受信データの転送を再開します。
注3.　FTDR レジスタは16バイトのFIFO レジスタのため、TDFE = 1の状態で書き込むことができるデータの最大数は「16から未送信データ数を引いた数」になります。それ以上のデータを書き込んでもデータは無視されます。
FTDR レジスタのデータ数はFDR レジスタの上位8ビットで示されます。
注4.　DMACを用いてデータを読み出す場合は、これらのフラグによってエラーを確認することはできません。

DR ビット（レシーブデータレディビットフラグ）

調歩同期式モードで、レシーブ FIFO データレジスタ（FRDR）に指定した受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU（注）の時間経過後も次のデータが受信されていないことを示します。クロック同期式モードの場合はセットされません。

［“1” になる条件］

- FRDR レジスタのデータ数が指定した受信トリガ数未満であり、最後のストップビットから 15ETU 時間経過（注 1）後も次のデータが受信されないとき

［“0” になる条件］

以下のいずれかの条件成立時

- DR = 1 の状態を読み出した後、DR フラグに “0” を書き込んだとき
- FRDR レジスタ内の受信データをすべて読み出したとき

注 1.　8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。
（ETU：Element Time Unit：要素時間単位）

注 2.　SCR の RE ビットを 0 にクリアしたときには、DR ビットは影響を受けず以前の状態を保持します。

RDF ビット（受信 FIFO データフルビットフラグ）

受信データがレシーブ FIFO データレジスタ（FRDR）に転送され、FRDR のデータ数が指定した受信トリガ数以上になったことを示します。

［“1” になる条件］

- 指定受信トリガ数以上の受信データ数が FRDR レジスタに格納されるとき（注 1）

［“0” になる条件］

- RDF = 1 を読み出した後、本ビットに “0” を書き込んだとき
- FRDR レジスタで読み出したとき

注 1.　FRDR レジスタは 16 バイトの FIFO レジスタであるため、本ビットが “1” のときに読み出すことができるデータの最大数は、指定受信トリガ数となります。FRDR レジスタのすべてのデータを読み出した後、さらに読み出しを続けると不定値が読めます。FRDR レジスタの受信データ数は FDR レジスタの下位 8 ビットで示されます。

PER ビット（パリティエラー表示ビットフラグ）

調歩同期式モードで、レシーブ FIFO データレジスタ（FRDR）から読み出したデータにパリティエラーがあったかどうかを表示します。

［“1” になる条件］

- 次の FRDR レジスタの読み出しデータにパリティエラーあり

［“0” になる条件］

- 次の FRDR レジスタの読み出しデータにパリティエラーなし

FER ビット（フレーミングエラー表示ビットフラグ）

調歩同期式モードで、レシーブ FIFO データレジスタ（FRDR）から読み出したデータにフレーミングエラーがあったかどうかを表示します。

［“1” になる条件］

- 次の FRDR レジスタの読み出しデータにフレーミングエラーあり

［“0” になる条件］

- 次の FRDR レジスタの読み出しデータにフレーミングエラーなし

BRK ビット（ブレーク検出ビットフラグ）

受信データにブレーク信号が検出されたことを示します。

［“1” になる条件］

- フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上、受信データがスペース 0（Low）の場合

［“0” になる条件］

- BRK = 1 の状態を読み出した後、BRK フラグに “0” を書き込んだとき

TDFE ビット（送信トランスミット FIFO データエンプティビットフラグ）

トランスミット FIFO データレジスタ（FTDR）からトランスミットシフトレジスタ（TSR）にデータが転送され、FTDR レジスタのデータ数が指定した送信トリガ数以下になり、FTDR レジスタへの送信データの書き込みが許可されることを示します。

［“1” になる条件］

以下のいずれかの条件成立時

- SCR.TE ビットが “0” のとき
- FTDR レジスタに書き込んだ送信データ数が指定した送信トリガ数以下のとき

［“0” になる条件］

- TDFE = 1 の状態を読み出した後、TDFE ビットに “0” を書き込んだとき
- FTDR レジスタに送信データが書き込まれたとき

TEND ビット（トランスミットエンドビットフラグ）

送信データの最後のビットを送出時に、FTDR レジスタに有効なデータがなく、送信が終了したことを示します。

［“1” になる条件］

以下のいずれかの条件成立時

- 1 バイトのシリアル送信データの最後のビットを送出した際、FTDR レジスタに送信データがないとき

［“0” になる条件］

- FTDR レジスタへの送信データ書き込み
- TEND = 1 の状態を読み出した後、TEND フラグに “0” を書き込んだとき

ER ビット（受信エラービットフラグ）

フレーミングエラー、またはパリティを付加したデータの受信時にパリティエラーが発生したことを示します。（注 1）

［“1” になる条件］

以下のいずれかの条件成立時

- 1 回のデータ受信の終わりで受信データのストップビットが “1” であるかどうかをチェックし、ストップビットが “0” だったとき（注 2）
- 受信時の受信データとパリティビットを合わせた “1” の数が、シリアルモードレジスタ（SMR）の PM ビットで指定した偶数パリティ／奇数パリティの設定値と一致しなかったとき

［“0” になる条件］

- ER = 1 の状態を読み出した後、“0” を書き込んだとき

注 1.　SCR レジスタの RE ビットを “0” にクリアした場合、本ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは FRDR レジスタに転送され受信動作は継続します。FRDR レジスタから読み出したデータに受信エラーが含まれるかどうかは、FSR レジスタの FER ビットと PER ビットで判定で

きます。
注 1.　2 ストップモードのときは第 1 ストップビットのみチェックし、第 2 ストップビットはチェックされません。

17.2.8　ビットレートレジスタ（BRR）

BRR レジスタは、シリアルモードレジスタ（SMR）の CKS[1:0] で選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

BRR レジスタは MDDR レジスタと同一のアドレスに配置されており、SEMR.MDDRS = 0 の場合に選択され、CPU による読み出し／書き込みが可能です。SCR レジスタの TE = RE = 0 の状態で書いてください。

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1

BRR レジスタの設定値は以下の計算式で求められます。

【調歩同期式モード】

- ボーレートジェネレータ通常モード（SEMR.BGDM = 0）

$$N = \frac{P1\varphi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

（ビットレートの 16 倍の基本クロック（SMER.ABCS0 = 0）で動作時）

$$N = \frac{P1\varphi}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

（ビットレートの 8 倍の基本クロック（SMER.ABCS0 = 1）で動作時）

- ボーレートジェネレータ倍速モード（SEMR.BGDM = 1）

$$N = \frac{P1\varphi}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

（ビットレートの 16 倍の基本クロック（SMER.ABCS0 = 0）で動作時）

$$N = \frac{P1\varphi}{16 \times 2^{2n-1} \times B} \times 10^6 - 1$$

（ビットレートの 8 倍の基本クロック（SMER.ABCS0 = 1）で動作時）

【クロック同期式モード】

$$N = \frac{P1\varphi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B：ビットレート（bit/s）

N：BRR レジスタの設定値（0 ≦ N ≦ 255）（電気的特性を満足する設定値としてください）

P1φ：周辺モジュール用動作周波数（MHz）

n：ボーレートジェネレータ入力クロック（n = 0、1、2、3）（n とクロックの関係は、**表 17.4** を参照してください）

注．　ビットレートは、MDDR レジスタにより補正することができます。

詳細は、「17.2.9　モジュレーションデューティレジスタ（MDDR）」を参照してください。

表 17.4　　SMR レジスタの設定

n	クロック	SMR レジスタの設定値	
		CKS1	CKS0
0	P1φ	0	0
1	P1φ/4	0	1
2	P1φ/16	1	0
3	P1φ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード（SEMR.BGDM = 0）

$$誤差\ (\%) = \left\{ \frac{P1\varphi \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

（ビットレートの 16 倍の基本クロック（SMER.ABCS0 = 0）で動作時）

$$誤差\ (\%) = \left\{ \frac{P1\varphi \times 10^6}{(N + 1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

（ビットレートの 8 倍の基本クロック（SMER.ABCS0 = 1）で動作時）

- ボーレートジェネレータ倍速モード（SEMR.BGDM = 1）

$$誤差\ (\%) = \left\{ \frac{P1\varphi \times 10^6}{(N + 1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

（ビットレートの 16 倍の基本クロック（SMER.ABCS0 = 0）で動作時）

$$誤差\ (\%) = \left\{ \frac{P1\varphi \times 10^6}{(N + 1) \times B \times 16 \times 2^{2n-1}} - 1 \right\} \times 100$$

（ビットレートの 8 倍の基本クロック（SMER.ABCS0 = 1）で動作時）

表 17.5 に調歩同期式モードの BRR レジスタの設定例を、表 17.6 にクロック同期式モードの BRR レジスタの設定例を示します。

表17.5　ビットレートに対するBRRレジスタの設定例（調歩同期式モード）

ビットレート（bps）	P1φ (MHz)					
	27.5			66		
	n	N	誤差（%）	n	N	誤差（%）
150	3	89	-0.54	3	214	-0.53
300	3	44	-0.54	3	106	0.39
600	2	89	-0.54	2	214	-0.07
1200	2	44	-0.54	2	106	0.39
2400	1	89	-0.54	1	214	-0.07
4800	1	44	-0.54	1	106	0.39
9600	(注1)	(注1)	(注1)	0	214	-0.07
14400	1	14	-0.54	0	142	0.16
19200	(注1)	(注1)	(注1)	0	106	0.39
28800	(注1)	(注1)	(注1)	0	71	0.54
31250	(注1)	(注1)	(注1)	0	65	0.00
38400	(注1)	(注1)	(注1)	0	53	-0.53
115200	(注1)	(注1)	(注1)	0	17	-0.53
500000	(注1)	(注1)	(注1)	0	3	(注1)

注.　SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも“0”のときの値です。
SEMR.ABCS0 ビットと SEMR.BGDM ビットのいずれか一方を“1”にしたときは、ビットレートが2倍になります。
SEMR.ABCS0 ビットと SEMR.BGDM ビットを両方とも“1”にしたときは、ビットレートが4倍になります。
誤差は、1%以内になるように設定してください。

注1.　MDDR レジスタを使用することで設定が可能です。　詳細は、「17.2.9　モジュレーションデューティレジスタ（MDDR）」と表17.11を参照してください。

表17.6　ビットレートに対するBRRレジスタの設定例（クロック同期式モード）

ビットレート（bps）	P1φ (MHz)			
	27.5		66	
	n	N	n	N
250	—	—	—	—
500	3	214	—	—
1000	3	106	—	—
2500	3	42	3	102
5000	3	20	2	205
10000	3	10	2	102
25000	3	3	1	164
50000	3	1	1	82
100000	2	3	0	164
250000	2	1	0	65
500000	1	2	0	32
1000000	1	1	0	16
2500000	0	2	0	6
5000000	0	0*	0	2

*：連続送信／受信はできません

—：設定できません。

注.　誤差は、1%以内になるように設定してください。

表 17.7 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを、表 17.8 にボーレートジェネレータを使用する場合のクロック同期式モードの各周波数における最大ビットレートを示します。また、表 17.9 に外部クロック入力時の調歩同期式モードの最大ビットレートを、表 17.10 に外部クロック入力時のクロック同期式モードの最大ビットレートを示します。

表17.7　ボーレートジェネレータを使用する場合の各周波数における最大ビットレート（調歩同期式モード）

P1φ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
27.5	3437500	0	0
66	8250000	0	0

注.　SEMR.ABCS0ビットとSEMR.BGDMビットが両方とも“1”のときの値です。
SEMR.ABCS0ビットとSEMR.BGDMビットのいずれか一方を“1”にしたときは、ビットレートが1/2になります。
SEMR.ABCS0ビットとSEMR.BGDMビットを両方とも“0”にしたときは、ビットレートが1/4になります。

表17.8　ボーレートジェネレータを使用する場合の各周波数における最大ビットレート（クロック同期式モード）

P1φ (MHz)	非連続送信／受信時			連続送信／受信時		
	最大ビットレート（bit/s）	設定値		最大ビットレート（bit/s）	設定値	
		n	N		n	N
27.5	6875000	0	0	3437500	0	1
66	16500000	0	0	8250000	0	1

表17.9　外部クロック入力時の最大ビットレート（調歩同期式モード）

P1φ (MHz)	外部入力クロック（MHz）	最大ビットレート（bit/s）
27.5	6.875	859375
66	16.50	2062500

注.　SEMR.ABCS0 ビット = 1 のときの例です。ABCS0 ビット = 0にしたときは、ビットレートが1/2 になります。

表17.10　外部クロック入力時の最大ビットレート（クロック同期式モード）

P1φ (MHz)	外部入力クロック（MHz）	最大ビットレート（bit/s）
27.5	2.29	2291667
66	5.50	5500000

17.2.9　モジュレーションデューティレジスタ（MDDR）

MDDR レジスタは、BRR レジスタにより調整されたビットレートを補正するためのレジスタです。MDDR レジスタのリセット後の値は “FFh” です。SEMR.BRME ビットが “1” にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に MDDR/256 に補正します。MDDR レジスタの設定値とビットレート B の関係を下記の計算式に示します。MDDR レジスタは BRR レジスタと同一のアドレスに配置されており、SEMR.MDDRS ビット = 1 の場合に選択されます。
SCR レジスタの TE = RE = 0 の場合のみライト可能です。ビット 7 は “1” に固定されています。

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	1	1	1	1	1	1	1

ビットレートモジュレーション機能使用時の MDDR レジスタの設定値とビットレート B の関係は以下の計算式になります。

【調歩同期式モード】

- ボーレートジェネレータ通常モード（SEMR.BGDM = 0）

$$B = \frac{P1\varphi \times 10^6}{64 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$B = \frac{P1\varphi \times 10^6}{32 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

- ボーレートジェネレータ倍速モード（SEMR.BGDM = 1）

$$B = \frac{P1\varphi \times 10^6}{32 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$B = \frac{P1\varphi \times 10^6}{16 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

【クロック同期式モード】

$$B = \frac{P1\varphi \times 10^6}{8 \times 2^{2n-1} \times (256/MDDR) \times (N + 1)}$$

調歩同期式モードでビットレートモジュレーション機能を使用した場合のビットレート平均誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード（SEMR.BGDM = 0）

$$誤差\ (\%) = \left\{ \frac{P1\varphi \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$誤差\ (\%) = \left\{ \frac{P1\varphi \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

- ボーレートジェネレータ倍速モード（SEMR.BGDM = 1）

$$誤差\ (\%) = \left\{ \frac{P1\varphi \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$$

（ビットレートの 16 倍の基本クロック（SEMR.ABCS0 = 0）で動作時）

$$誤差\ (\%) = \left\{ \frac{P1\varphi \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/MDDR) \times (N+1)} - 1 \right\} \times 100$$

（ビットレートの 8 倍の基本クロック（SEMR.ABCS0 = 1）で動作時）

B：ビットレート（bit/s）
N：BRR レジスタの設定値（0 ≦ N ≦ 255）（電気的特性を満足する設定値としてください）
P1φ：周辺モジュール用動作周波数（MHz）
MDDR：MDDR レジスタの設定値（128 ≦ MDDR ≦ 255）
n：ボーレートジェネレータ入力クロック（n = 0、1、2、3）（n とクロックの関係は、**表 17.4** を参照してください）

表17.11　ビットレートに対するBRR、MDDRレジスタの設定例（調歩同期式モード）

ビットレート（bps）	P1φ (MHz)							
	27.5				66			
	n	N	MDDR	誤差（%）	n	N	MDDR	誤差（%）
150	—	—	—	—	3	213	255	0.00
300	—	—	—	—	3	106	255	0.00
600	—	—	—	—	2	213	255	0.00
1200	—	—	—	—	2	106	255	0.00
2400	—	—	—	—	1	213	255	0.00
4800	—	—	—	—	1	106	255	0.00
9600	1	21	252	0.14	0	213	255	0.00
14400	1	14	254	-0.93	—	—	—	—
19200	1	10	253	0.53	0	106	255	0.00
28800	1	6	242	0.74	0	70	254	0.08
31250	1	5	225	0.71	—	—	—	—
38400	1	4	230	0.53	0	52	253	0.15
115200	0	6	240	-0.09	—	—	—	—
500000	0	0	150	0.71	0	3	249	0.31

注.　SEMR.ABCS0ビットとSEMR.BGDMビットが両方とも“0”のときの値です。
SEMR.ABCS0ビットとSEMR.BGDMビットのいずれか一方を“1”にしたときは、ビットレートが2倍になります。
SEMR.ABCS0ビットとSEMR.BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
誤差は、1%以内になるように設定してください。

17.2.10 FIFO コントロールレジスタ（FCR）

FCR レジスタは、トランスミット FIFO データレジスタ（FTDR）およびレシーブ FIFO データレジスタ（FRDR）のデータ数のリセット、トリガ数の設定を行うレジスタです。
また、本レジスタ設定により、ループバックテストを行うことができます。
FCR レジスタは、常に CPU による読み出し／書き込みが可能です。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RSTRG[2:0]			RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOOP	ループバックテストビット	0：ループバックテストを禁止 1：ループバックテストを許可	R/W
b1	RFRST	レシーブFIFOデータレジスタリセットビット	0：通常動作 1：FRDRレジスタをリセット	R/W
b2	TFRST	トランスミットFIFOデータレジスタリセットビット	0：通常動作 1：FTDRレジスタをリセット	R/W
b3	MCE	モデムコントロール許可ビット	0：モデム信号を禁止（注1） 1：モデム信号を許可	R/W
b5、b4	TTRG[1:0]	トランスミットFIFOデータ数トリガ選択ビット	b5 b4 0 0：8（8）（注2） 0 1：4（12）（注2） 1 0：2（14）（注2） 1 1：0（16）（注2）	R/W
b7、b6	RTRG[1:0]	レシーブFIFOデータ数選択トリガビット	（調歩同期式モードの場合） b7 b6 0 0：1 0 1：4 1 0：8 1 1：14 （クロック同期式モードの場合） b7 b6 0 0：1 0 1：2 1 0：8 1 1：14	R/W
b10～b8	RSTRG[2:0]	RTS#出力アクティブトリガ数選択ビット	b10 b8 0 0 0：15 0 0 1：1 0 1 0：4 0 1 1：6 1 0 0：8 1 0 1：10 1 1 0：12 1 1 1：14	R/W
b15～b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　CTS#の入力レベルは送信動作に影響しません。また、RTS#の入力レベルは受信動作に影響しません。
注2.　（　）内の数値はTDFEフラグが“1”にセットされ、送信FIFOデータエンプティ割り込み（TXI）要求が発生するときのFTDRレジスタの空きバイト数を意味します。

LOOP ビット（ループバックテストビット）

送信出力端子（TXD）と受信入力端子（RXD）、RTS# 端子と CTS# 端子を内部で接続しループバックテストを行います。

RFRST ビット（レシーブ FIFO データレジスタリセットビット）

レシーブ FIFO データレジスタ（FRDR）内の受信データを無効にし、データを空の状態にします。なお “1” にセットした後は、必ずこのビットを “0” にしてください。

TFRST ビット（トランスミット FIFO データレジスタリセットビット）

トランスミット FIFO データレジスタ（FTDR）内の送信データを無効にし、データが空の状態にします。なお “1” にセットした後は、必ずこのビットを “0” にしてください。

MCE ビット（モデムコントロール許可ビット）

モデムコントロール信号 CTS#、RTS# の許可／禁止を設定します。
クロック同期モードの場合、本ビットは、常に 0 にしてください。

TTRG[1:0] ビット（トランスミット FIFO データ数トリガ選択ビット）

シリアルステータスレジスタ（FSR）の TDFE フラグをセットする基準となる送信データ数（指定送信トリガ数）を設定します。トランスミット FIFO データレジスタ（FTDR）に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは “1” にセットされ、送信 FIFO データエンプティ割り込み（TXI）要求が発生します。
本ビットの設定は、FTCR レジスタの TTRGS ビットが “0” の場合に有効です。FTCR レジスタの TTRGS ビットが “1” の場合は、FTCR レジスタの TFTC[4:0] ビットの設定が有効になります。

RTRG[1:0] ビット（レシーブ FIFO データ数選択トリガビット）

シリアルステータスレジスタ（FSR）の RDF フラグをセットする基準となる受信データ数（指定受信トリガ数）を設定します。レシーブ FIFO データレジスタ（FRDR）に格納された受信データ数が以下に示す設定トリガ数以上になったとき、RDF フラグは “1” にセットされ、受信 FIFO データフル割り込み（RXI）要求が発生します。
本ビットの設定は、FTCR レジスタの RTRGS ビットが “0” の場合に有効です。FTCR レジスタの RTRGS ビットが “1” の場合には、FTCR レジスタの RFTC[4:0] ビットの設定が有効になります。

RSTRG[2:0] ビット（RTS# 出力アクティブトリガ数選択ビット）

レシーブ FIFO データレジスタ（FRDR）内に格納された受信データ数が以下に示すトリガ設定数以上になったとき、RTS# 信号は High になります。
本ビットは調歩同期式モードにおいて、本レジスタの MCE ビットでモデム信号を許可した場合のみ有効です。

17.2.11 FIFO データ数レジスタ（FDR）

FDR レジスタは、トランスミット FIFO データレジスタ（FTDR）とレシーブ FIFO データレジスタ（FRDR）に格納されているデータ数を示します。

上位 8 ビットで FTDR レジスタの送信データ数を、下位 8 ビットで FRDR レジスタの受信データ数を示すレジスタです。FDR は、常に CPU から読み出しが可能です。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	T[4:0]					—	—	—	R[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4～b0	R[4:0]	FRDR 格納受信データ数ビット	FRDR レジスタに格納された受信データ数を示します。	R
b7～b5	—	予約ビット	読むと“0”が読めます	R
b12～b8	T[4:0]	FTDR 格納未送信データ数ビット	FTDR レジスタに格納された未送信データ数を示します。	R
b15～b13	—	予約ビット	読むと“0”が読めます	R

R[4:0] ビット

FRDR レジスタに格納された受信データ数を示します。

“00h” は受信データがないことを、“10h” は受信データがすべて FRDR レジスタに格納されていることを示します。

T[4:0] ビット

FTDR レジスタに格納された未送信データ数を示します。

“00h” は送信データがないことを、“10h” は送信データがすべて FTDR レジスタに格納されていることを示します。

17.2.12　シリアルポートレジスタ（SPTR）

SPTR レジスタは、SCIFA の端子にマルチプレクスされたポートの入出力およびデータを制御するレジスタです。

SPTR レジスタは、常に CPU による読み出し／書き込みが可能です。

注．　SPTR レジスタの bit 6, 4, 2, 0 を読み出すと、端子への入力状態が読めます（詳細は、各ビットの説明を参照してください）。これらのビットに対し 1 ビット単位で書き込んだ場合、リード・モディファイ・ライトされ、意図した値が書き込まれない場合があります。このため、例えば、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RTS2IO	RTS2DT	CTS2IO	CTS2DT	SCKIO	SCKDT	SPB2IO	SPB2DT
リセット後の値：	0	0	0	0	0	0	0	0	0	x	0	x	0	x	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	SPB2DT	シリアルポートブレークデータ選択ビット	SPB2IO ビット、SCR.TE ビットと組み合わせて、TXD 端子を制御します。表 17.14 を参照してください。	R/W
b1	SPB2IO	シリアルポートブレーク入出力ビット	SPB2DT ビット、SCR.TE ビットとあわせて、TXD 端子を制御します。	R/W
b2	SCKDT	SCK ポートデータ選択ビット	SCKIO ビット、SMR.CM ビット、SCR.CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。表 17.16 を参照してください。	R/W
b3	SCKIO	SCK ポート入出力ビット	SCKDT ビット、SMR.CM ビット、SCR.CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。表 17.16 を参照してください。	R/W
b4	CTS2DT	CTS#ポートデータ選択ビット	CTS2IO ビット、FCR.MCE ビットと組み合わせて CTS#端子を制御します。表 17.13 を参照してください。 SCIF3、SCIF4 は非対応。	R/W
b5	CTS2IO	CTS#ポート出力指定ビット		R/W
b6	RTS2DT	RTS#ポートデータ選択ビット	RTS2IO ビット、FCR.MCE ビットと組み合わせて RTS#端子を制御します。表 17.12 を参照してください。 SCIF3、SCIF4 は非対応。	R/W
b7	RTS2IO	RTS#ポート出力指定ビット		R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPB2DT ビット（シリアルポートブレークデータ選択ビット）

SCR.TE ビットが “0” のときに、TXD 端子の出力レベルを指定するビットです。本ビットを読み出した場合、SPB2IO ビットの設定値に関わらず、RXD 端子への入力状態が読めます。ただし、汎用入出力ポートで RXD 端子機能を選択しておく必要があります。

SPB2IO ビット（シリアルポートブレーク入出力ビット）

SPB2DT ビット、SCR レジスタの TE ビットとあわせて、TXD 端子を制御します。

SCKDT ビット（SCK ポートデータ選択ビット）

本ビットを読み出した場合、SCKIO ビットの設定値に関わらず、SCK 端子の状態が読めます（SCK 端子が入力の場合、入力信号自体は無効（意味を持たない）ですが、端子状態は読めます）。ただし、汎用入出力ポートで SCK 端子機能を選択しておく必要があります。

SCKIO ビット（SCK ポート入出力ビット）

SCK 端子の入出力状態を指定します。SCKDT ビット、SMR レジスタの CM ビット、SCR レジスタの CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。

CTS2DT ビット（CTS# ポートデータ選択ビット）

本ビットを読み出した場合、CTS2IO ビットの設定値に関わらず、CTS# 端子の状態が読めます。ただし、汎用入出力ポートで CTS# 端子機能を選択しておく必要があります。

RTS2DT ビット（RTS# ポートデータ選択ビット）

本ビットを読み出した場合、RTS2IO ビットの設定値に関わらず、RTS# 端子の状態が読めます。ただし、汎用入出力ポートで RTS# 端子機能を選択しておく必要があります。

表 17.12　RTS#端子状態

FCR.MCE ビットの設定値	RTS2IO ビットの設定値	RTS2DT ビットの設定値	RTS#端子の状態
0	0	×	設定しないでください（注1）
0	1	0	Low 出力
0	1	1	High 出力
1	×	×	モデムコントロール出力

×：Don’t care

注1.　RTS#端子を使用しない場合は、初期状態のままでも問題ありません。

表 17.13　CTS#端子状態

FCR.MCE ビットの設定値	CTS2IO ビットの設定値	CTS2DT ビットの設定値	CTS#端子の状態
0	0	×	設定しないでください（注1）
0	1	0	Low 出力
0	1	1	High 出力
1	×	×	モデムコントロール入力

×：Don’t care

注1.　CTS#端子を使用しない場合は、初期状態のままでも問題ありません。

表 17.14　TXD 端子状態

SCR.TE ビットの設定値	SPB2IO ビットの設定値	SPB2DT ビットの設定値	TXD 端子の状態
0	0	×	設定しないでください
0	1	0	Low 出力
0	1	1	High 出力
1	×	×	送信データ出力

×：Don’t care

17.2.13　ラインステータスレジスタ（LSR）

LSR レジスタは、16 ビットのレジスタです。PER ビットと FER ビットはレシーブ FIFO データレジスタの受信エラー数を示します。ORER ステータスフラグに “1” を書き込むことはできません。ORER ビットを “0” にクリアするには、あらかじめ “1” を読み出しておく必要があります。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PER[3:0]				—	—	FER[3:0]				—	ORER
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバランエラーフラグ	0：受信中、または正常に受信が完了したことを表示 1：受信時にオーバランエラーが発生したことを表示	R/(W) （注1）
b1	—	予約ビット	読むと “0” が読めます。	R
b5～b2	FER[3:0]	フレーミングエラー数ビット	レシーブFIFOデータレジスタ（FRDR）に格納されている受信データでフレーミングエラーが発生しているデータ数を示します。	R
b7、b6	—	予約ビット	読むと “0” が読めます。	R
b11～b8	PER[3:0]	パリティエラー数ビット	レシーブFIFOデータレジスタ（FRDR）に格納されている受信データでパリティエラーが発生しているデータ数を示します。	R
b15～b12	—	予約ビット	読むと “0” が読めます。	R

注1.　フラグをクリアするため、“1” を読み出した後に “0” を書き込むことのみ可能です。

ORER ビット（オーバランエラービットフラグ）

受信時にオーバランエラーが発生して異常終了したことを示します。本ビットはシリアルコントロールレジスタ（SCR）の RE ビットを 0 にクリアしても影響を受けず以前の状態を保持します。レシーブ FIFO データレジスタ（FRDR）はオーバランエラーが発生する前の受信データを保持し、後から受信したデータは失われます。さらに、ORER = 1 の状態で、以降のシリアル受信を続けることはできません。

［“1” になる条件］

- 受信 FIFO がフルの状態（16 バイトのデータが受信された状態）で次のシリアル受信を完了したとき

［“0” になる条件］

- ORER = 1 の状態を読み出した後、“0” を書き込んだとき

注．　クロック同期モードで内部クロックを選択した場合は、受信データ数を制御できるため、オーバランエラーは発生しません。

FER[3:0] ビット（フレーミングエラー数ビット）

FSR レジスタの ER ビットがセットされた後、ビット 5 ～ 2 の値がフレーミングエラーのデータ数になります。FRDR レジスタの 16 バイト受信データのすべてがフレーミングエラーを伴う場合、FER[3:0] は “0000” を表示します。

PER[3:0] ビット（パリティエラー数ビット）

FSR レジスタの ER ビットがセットされた後、ビット 11 ～ 8 の値がパリティエラーのデータ数になります。FRDR レジスタの 16 バイト受信データのすべてがパリティエラーを伴う場合、PER[3:0] は “0000” を表示します。

17.2.14　シリアル拡張モードレジスタ（SEMR）

SEMR レジスタは、LSB ファースト／MSB ファースト、ノイズ除去機能の許可、ボーレートジェネレータ通常／倍速モード、ビットレートモジュレーションの許可、モジュレーションデューティレジスタ選択、サンプリング回数の設定を行うレジスタです。

	b7	b6	b5	b4	b3	b2	b1	b0
	BGDM	—	BRME	MDDRS	DIR	NFEN	—	ABCS0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ABCS0	調歩同期式基本クロック選択ビット	0：転送レートの16倍の周波数を基本クロックとして動作 1：転送レートの8倍の周波数を基本クロックとして動作	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	NFEN	ノイズ除去機能許可ビット	0：RxD端子のノイズ除去機能無効 1：RxD端子のノイズ除去機能有効	R/W
b3	DIR	データトランスファディレクション選択ビット	0：FTDRレジスタの内容をLSBファーストで送信 受信データをLSBファーストでFRDRレジスタに格納 1：FTDRレジスタの内容をMSBファーストで送信 受信データをMSBファーストでFRDRレジスタに格納	R/W
b4	MDDRS	モジュレーションデューティレジスタ選択ビット	0：BRRレジスタのアクセスが可能 1：MDDRレジスタのアクセスが可能	R/W
b5	BRME	ビットレートモジュレーション許可ビット	0：ビットレートモジュレーション機能を禁止 1：ビットレートモジュレーション機能を許可	R/W
b6	—	予約ビット	読むと”0”が読めます。書く場合、必ず”0”としてください。	R/W
b7	BGDM	ボーレートジェネレータ倍速モード選択ビット	0：ボーレートジェネレータ通常モード ボーレートジェネレータは、クロックソースの2分周で動作 1：ボーレートジェネレータ倍速モード ボーレートジェネレータは、クロックソース（分周なし）で動作	R/W

ABCS0 ビット（調歩同期式基本クロック選択ビット）

調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。
本ビットの設定は、調歩同期式モード（SMR レジスタの CM ビット＝0）のときのみ有効です。

NFEN ビット（ノイズ除去機能許可ビット）

RxD 端子への入力に対してノイズ除去を行います。なお、調歩同期式モードのみ有効です。詳細は「17.7　ノイズ除去機能」を参照してください。
クロック同期モードの場合、本ビットは、必ず “0” にしてください。

DIR ビット（データトランスファディレクション選択ビット）

シリアル通信フォーマットを選択します。送信／受信フォーマットが 8 ビットの場合（注 1）のみ有効です。

注 1.　8 ビットデータ長の調歩同期モードまたはクロック同期モード

MDDRS ビット（モジュレーションデューティレジスタ選択ビット）

アクセスを可能にするレジスタを選択します。

BRME ビット（ビットレートモジュレーション許可ビット）

ビットレートモジュレーション機能の禁止／許可を設定します。

BGDM ビット（ボーレートジェネレータ倍速モード選択ビット）

ボーレートジェネレータの動作モードを選択します。本ビットを “1” にすると、SCIFA 内部のボーレートジェネレータが倍速モードで動作します。本ビットの設定は、調歩同期式モード（SMR.CM = 0）かつクロックソースを内部クロック（SCR.CKE[1:0] = 00）に設定したときのみ有効です。この設定以外のときは通常モードを使用してください。

17.2.15　FIFO トリガコントロールレジスタ（FTCR）

FTCR レジスタは、FIFO トリガを設定する 16 ビットのレジスタです。FTCR レジスタは常に CPU から読み出し／書き込みが可能です。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RTRGS	—	—	RFTC[4:0]					TTRGS	—	—	TFTC[4:0]				
リセット後の値：	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4～b0	TFTC[4:0]	送信FIFOデータ数トリガ設定ビット	00h設定時、送信データトリガ数は“0”になり、0Fh設定時は15になります。本ビットを10h～1Fhに設定しないでください	R/W
b6、b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTRGS	送信トリガ選択ビット	0：FCR.TTRG[1:0]ビットが有効 1：FTCR.TFTC[4:0]ビットが有効	R/W
b12～b8	RFTC[4:0]	受信FIFOデータ数トリガ設定ビット	01h設定時、受信データトリガ数は“1”になり、10h設定時は16になります。本ビットを00hおよび11h～1Fhに設定しないでください	R/W
b14、b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	RTRGS	受信トリガ選択ビット	0：FCR.RTRG[1:0]ビットが有効 1：FTCR.RFTC[4:0]ビットが有効	R/W

TFTC[4:0] ビット（送信 FIFO データ数トリガ設定ビット）

シリアルステータスレジスタ（FSR）の TDFE フラグをセットする基準となる送信データ数（指定送信トリガ数）を設定します。

トランスミット FIFO データレジスタ（FTDR）に格納された送信データ数が設定トリガ数以下になったとき TDFE フラグをセットし、送信 FIFO データエンプティ割り込み（TXI）要求が発生します。

RFTC[4:0] ビット（受信 FIFO データ数トリガ設定ビット）

シリアルステータスレジスタ（FSR）の RDF フラグをセットする基準となる受信データ数（指定受信トリガ数）を設定します。

レシーブ FIFO データレジスタ（FRDR）に格納された受信データ数が、設定トリガ数以上になったとき RDF フラグをセットし、受信 FIFO データフル割り込み（RXI）要求が発生します。

17.3　動作説明

17.3.1　概要

SCIFA は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信／受信のそれぞれに 16 段の FIFO バッファを内蔵しているため、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として RTS#、CTS# 信号を用意しています。

送受信フォーマットの選択は、シリアルモードレジスタ（SMR）で行います。これを**表 17.15** に示します。また、SCIFA のクロックソースは、シリアルコントロールレジスタ（SCR）の CKE1、CKE0 の組み合わせで決まります。これを**表 17.16** に示します。

(1)　調歩同期式モード

- データ長：7 ビット／8 ビットから選択可能
- パリティの付加、および 1 ビット／2 ビットのストップビットの付加を選択可能
  （これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、受信 FIFO データフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- FIFO データ数レジスタ（FDR）に送信／受信時の FIFO 格納データ数を表示
- SCIFA のクロックソース：内部クロック／外部クロックから選択可能
  内部クロックを選択した場合：SCIFA はボーレートジェネレータのクロックで動作し、ビットレートの 16 倍（または 8 倍）のクロックを出力することが可能
  外部クロックを選択した場合：ビットレートの 16 倍（または 8 倍）のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

(2)　クロック同期式モード

- 送信／受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラーの検出が可能
- SCIFA のクロックソース：内部クロック／外部クロックから選択可能
  内部クロックを選択した場合：SCIFA はボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
  外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表17.15　SMRレジスタの設定値とSCIFA送信／受信フォーマット

SMRレジスタ				モード	SCIFA送信／受信フォーマット		
b7	b6	b5	b3		データ長	パリティビット	ストップビット長
CM	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
	1	0	0		7ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
1	×	×	×	クロック同期式モード	8ビット	なし	なし

×：Don't care

表17.16　SMR、SCR、SPTRレジスタの設定値とSCIFAのクロックソースの選択

SMRレジスタ	SCRレジスタ		SPTRレジスタ		モード	クロックソース	SCK端子の機能
b7	b1	b0	b3	b2			
CM	CKE1	CKE0	SCKIO	SCKDT			
0	0	0	0	×	調歩同期式モード	内部	入力端子（入力信号は無効）（初期状態）
			1	0			SCK端子の状態Low
			1	1			SCK端子の状態High
		1	×	×			ビットレートの16/8倍のクロックを出力（注1）
	1	0	×	×		外部	ビットレートの16/8倍のクロックを入力（注2）
		1	×	×		設定禁止	
1	0	×	×	×	クロック同期式モード	内部	同期クロックを出力
	1	0	×	×		外部	同期クロックを入力
		1	×	×		設定禁止	

×：Don't care

注1.　SEMR.ABCS0 = 0：ビットレートの16倍の周波数クロックを出力
　　SEMR.ABCS0 = 1：ビットレートの8倍の周波数クロックを出力
注2.　SEMR.ABCS0 = 0：ビットレートの16倍の周波数クロックを入力
　　SEMR.ABCS0 = 1：ビットレートの8倍の周波数クロックを入力

17.3.2　調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットをデータに付加したキャラクタを送信／受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIFA 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっているため、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 17.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（High）に保たれています。SCIFA は通信回線を監視し、スペース（Low）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（Low）から始まり、データ（LSB ファースト時：最下位ビットから）、パリティビット（High ／ Low）、最後にストップビット（High）の順で構成されます。

調歩同期式モードでは、SCIFA は受信時にスタートビットの立ち下がりエッジで同期化を行います。SCIFA は、データを 1 ビット期間の 16/8 倍のクロックの 8 番目（注 1）でサンプリングするため、各ビットの中央で通信データが取り込まれます。

注 1.　SEMR.ABCS0 ビット = “0” のとき、1 ビット期間の 16 倍の周波数クロックの 8 番目でサンプリングします。SEMR.ABCS0 ビット =“ 1” のときは、1 ビット期間の 8 倍の周波数のクロックの 4 番目でサンプリングします。

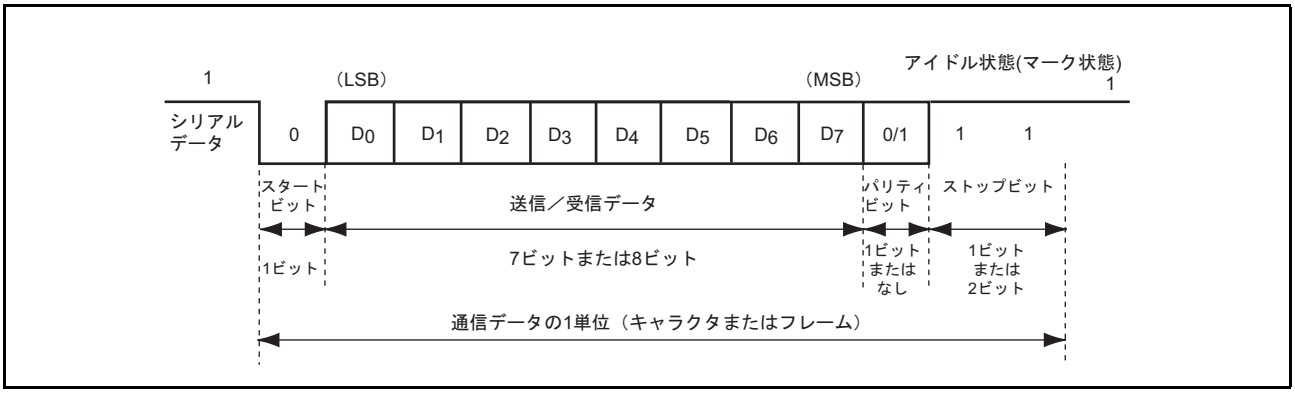


図 17.2　調歩同期式通信のデータフォーマット
（8 ビットデータ／パリティあり／ 2 ストップビット／ LSB ファーストの例）

(1) 送信／受信フォーマット

設定可能な送信／受信フォーマットを、**表 17.17** に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ（SMR）の設定により選択できます。

表 17.17　シリアル送信／受信フォーマット（調歩同期式モード）

SMR の設定			シリアル送信／受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START	8 ビットデータ								STOP		
		1	START	8 ビットデータ								STOP	STOP	
	1	0	START	8 ビットデータ								P	STOP	
		1	START	8 ビットデータ								P	STOP	STOP
1	0	0	START	7 ビットデータ							STOP			
		1	START	7 ビットデータ							STOP	STOP		
	1	0	START	7 ビットデータ							P	STOP		
		1	START	7 ビットデータ							P	STOP	STOP	

START：スタートビット

STOP　：ストップビット

P　　：パリティビット

(2) クロック

SCIFA の送受信クロックは、シリアルモードレジスタ（SMR）の CM ビット、シリアルコントロールレジスタ（SCR）の CKE[1:0] ビット、およびシリアル拡張モードレジスタ（SEMR）の ACS0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIFA のクロックソースの選択については**表 17.16** を参照してください。

外部クロックを SCK 端子に入力する場合は、使用するビットレートの 16 / 8 倍の周波数を入力してください。

内部クロックで動作させる場合、SCK 端子からクロックを出力することができます。このとき出力されるクロックはビットレートの 16 / 8 倍の周波数です。

(3) データの送信／受信動作

- SCIFA 初期化（調歩同期式モード）

データの送信／受信前には、まずシリアルコントロールレジスタ（SCR）の TE ビットおよび RE ビットを “0” にクリアした後、以下の順で SCIFA を初期化してください。

動作モードや通信フォーマットを変更する場合には、必ず SCR レジスタの TE ビットおよび RE ビットを “0” にクリアしてから次の手順で変更を行ってください。TE ビットを “0” にクリアすると、トランスミットシフトレジスタ（TSR）は初期化されます。しかし、TE ビットと RE ビットを “0” にクリアしても、シリアルステータスレジスタ（FSR）、トランスミット FIFO データレジスタ（FTDR）、レシーブ FIFO データレジスタ（FRDR）は初期化されず、これらのレジスタの内容は保持されますのでご注意ください。TE ビットの “0” クリアは、送信データをすべて送信し、FSR レジスタの TEND フラグがセットされた後に行ってください。TE ビットは送信中でも “0” クリア可能ですが、TE ビットを “0” クリアした後の送信データ（TXD 端子の出力レベル）は、SPTR.SPB2IO、SPB2DT ビットの設定値によって決まります。また再度 TE ビットを “1” にセットして送信を開始する前に FCR レジスタの TFRST ビットを “1” にセットして FTDR レジスタをリセットしてください。

外部クロックを使用している場合、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。**図 17.3** に SCIFA 初期化（調歩同期式モード）のフローチャートの例を示します。

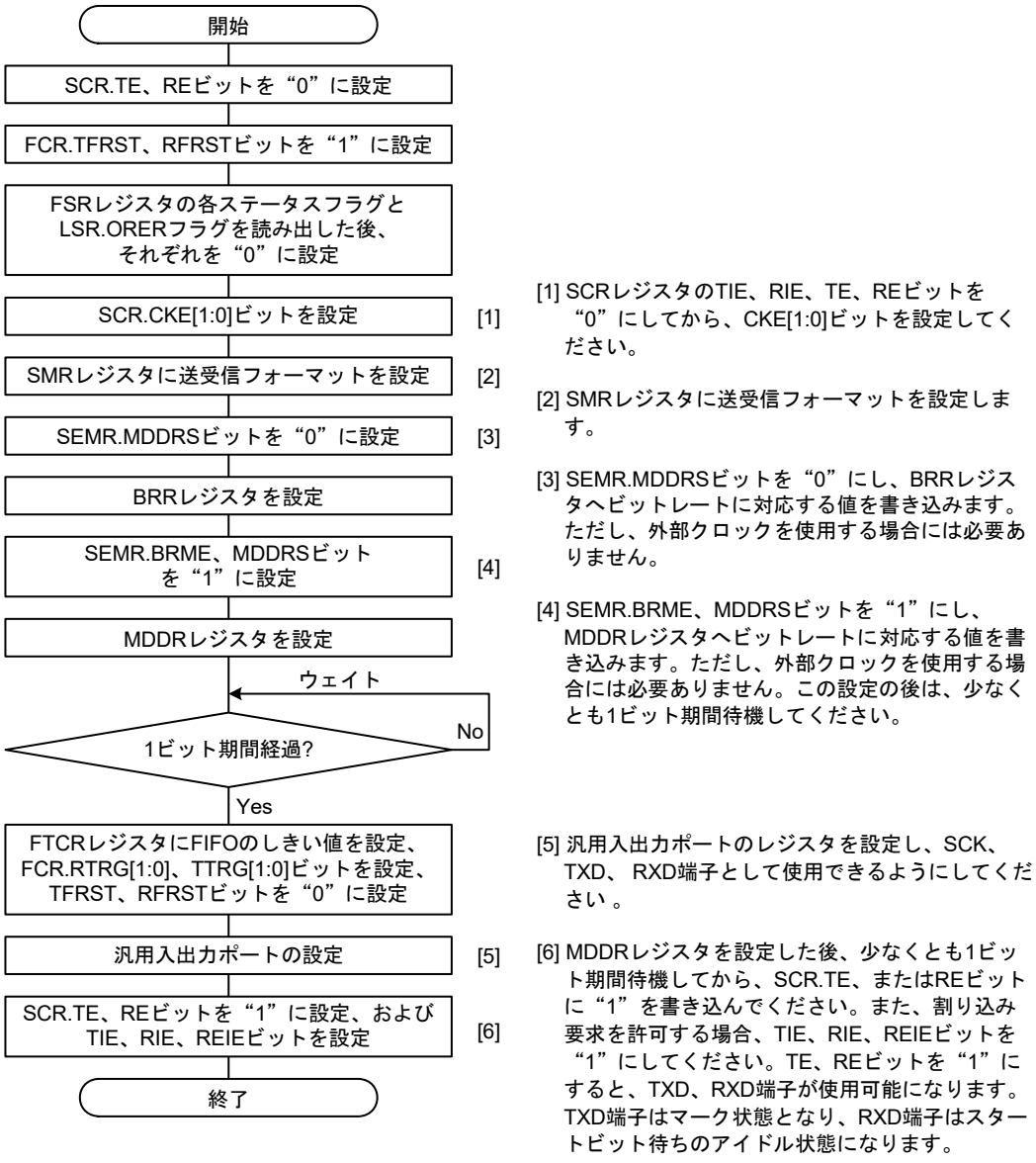
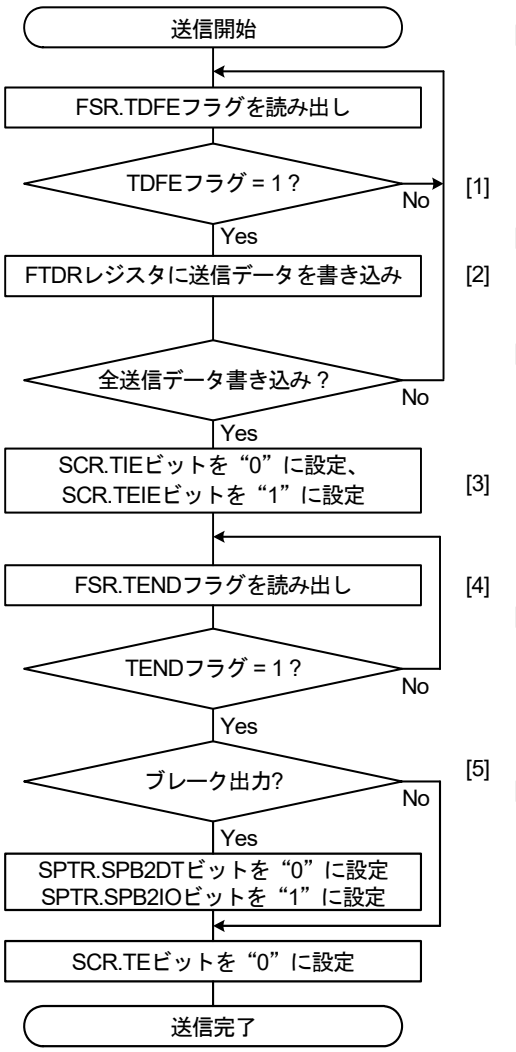


図 17.3　SCIFA 初期化（調歩同期式モード）のフローチャートの例

- シリアルデータ送信（調歩同期式モード）

図 17.4 にシリアル送信のフローチャートの例を示します。
SCIFA の送信を可能にした後、シリアルデータ送信は以下の手順で行ってください。



[1] SCIFAの状態を確認して、送信データを書き込み：
FSRレジスタを読み出して、TDFEフラグが“1”であることを確認した後、FTDRレジスタに送信データを書き込みます。書き込み可能な送信データ数は「16 - FDR.T[4:0]」になります。
TDFEフラグが“0”から“1”に変化したことはTXIF割り込み要求により知ることができます。

[2] シリアル送信の継続手順：
FTDRレジスタに送信データを書き込むと、TDFEフラグは自動でクリアされます。

[3] シリアル送信の終了手順（TXIF、TEIF割り込み使用時）：
最終送信データをFTDRレジスタに書き込んだ後、SCRレジスタのTIEビットを“0”に、TEIEビットを“1”にします。DMACを起動してFTDRレジスタに送信データを書き込む場合は、転送終了割り込みを許可に設定しておき、最終送信データをFTDRレジスタに書き込んだ時にCPU割り込み要求を発生させ、CPU割り込み処理にてTIE、TEIEビットの書き換えを行ってください。
TXIF、TEIF割り込み要求を使用しない場合は本手順は不要です。

[4] シリアル送信の終了確認：
FSRレジスタを読み出して、TENDフラグが“1”になったことを確認します。
TENDフラグが“1”になったことはTEIF割り込み要求により知ることができます。

[5] シリアル送信時にブレーク出力：
シリアル送信時にブレークを出力するときには、SPTRレジスタのSPB2DTビットを“0”に、SPB2IOビットを“1”にした後に、SCR.TEビットを“0”にします。(注1)
なお、ステップ[1]において、FDR.T[4:0]フラグ（FTDRレジスタに格納された未送信データ数）により、書き込み可能なデータバイト数を確認することができます。

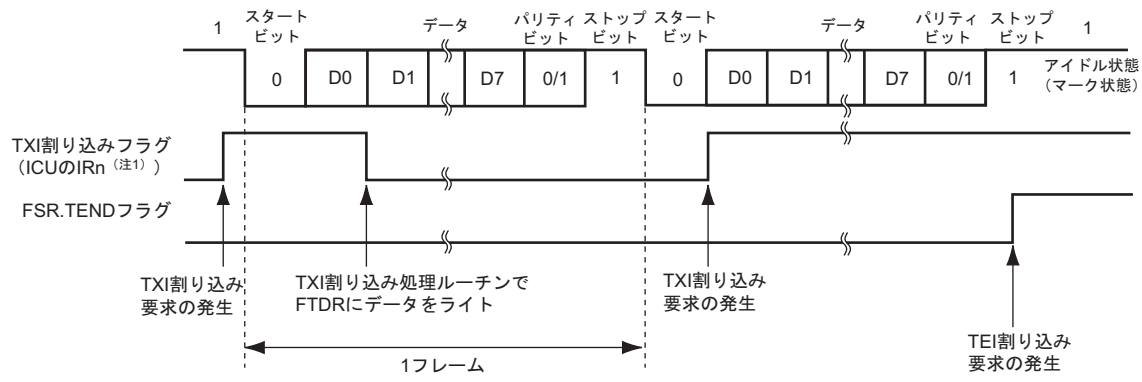
注1. SPTR レジスタの SPB2DT ビットを読み出すと、RXD 端子への入力状態が読めます。SPTR レジスタの SPB2DT ビット、SPB2IO ビットを 1 ビット単位で書き込む場合、リード・モディファイ・ライトされ、SPB2DT ビットに意図した値が書き込まれない場合があります。このため、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

図 17.4　シリアル送信のフローチャートの例

SCIFA は、シリアル送信時、以下のように動作します。

1. SCIFA は、TXI 割り込み処理ルーチンでトランスミット FIFO データレジスタ（FTDR）にデータが書き込まれると、FTDR レジスタからトランスミットシフトレジスタ（TSR）にデータを転送します。送信データを FTDR レジスタに書き込む前に、シリアルステータスレジスタ（FSR）の TDFE フラグが 1 にセットされていることを確認してください。書き込み可能な送信データバイト数は（16 －未送信データ数）です。
2. FTDR レジスタから TSR レジスタにデータを転送し、送信を開始すると、FTDR レジスタの送信データがなくなるまで連続して送信動作を実行します。FTDR レジスタの送信データバイト数が FIFO コントロールレジスタ（FCR）または FIFO トリガコントロールレジスタ（FTCR）で設定した送信トリガ数以下になると、TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ（SCR）の TIE ビットが “1” にセットされていると送信 FIFO データエンプティ割り込み（TXI）要求が発生します。
   シリアル送信データは、以下の順に TXD 端子から出力されます。
   (a) スタートビット：1 ビット “0” が出力されます。
   (b) 送信データ　　：8 ビットまたは 7 ビットのデータが LSB から順に出力されます（LSB ファースト時）。
   (c) パリティビット：1 ビットのパリティビット（偶数パリティ、または奇数パリティ）が出力されます（なお、パリティビットを出力しないフォーマットも選択できます）。
   (d) ストップビット：1 ビットまたは 2 ビットの “1”（ストップビット）が出力されます。
   (e) マーク状態　　：次の送信を開始するスタートビットを出力するまで “1” を出力し続けます。
3. SCIFA は、ストップビットを送出するタイミングで FTDR レジスタの送信データをチェックします。データがあると、FTDR レジスタから TSR レジスタにデータを転送し、ストップビットを出力した後、次のフレームのシリアル送信を開始します。送信するデータがない場合は FSR レジスタの TEND フラグに “1” をセットし、ストップビットを出力した後、“1” を連続して出力するマーク状態（High）になります。

調歩同期式モードでの送信時の動作例を**図 17.5** に示します。



注.　対応する割り込み番号は、「7. 割り込みコントローラ」を参照してください。

図 17.5　　送信時の動作例（8 ビットデータ／パリティあり／1 ストップビット／LSB ファーストの例）

4. モデムコントロールを許可した場合、CTS# 端子への入力レベルによって送信を停止／再開することができます。CTS# 端子に High が入力されると、送信中のときは 1 フレームの送信終了後マーク状態（High）になります。CTS# 端子に Low が入力されると、次の送信データがスタートビットを先頭に出力されます。モデムコントロールを使用した動作例を**図 17.6** に示します。

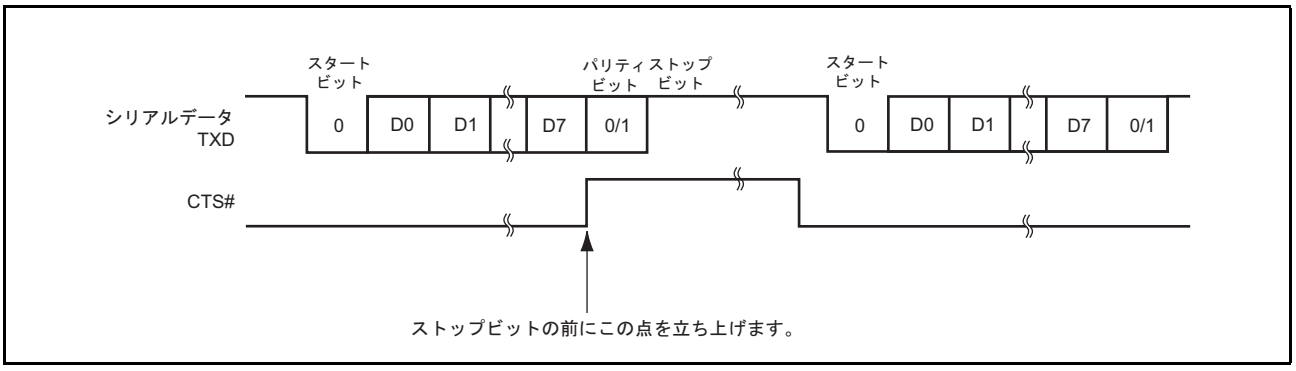
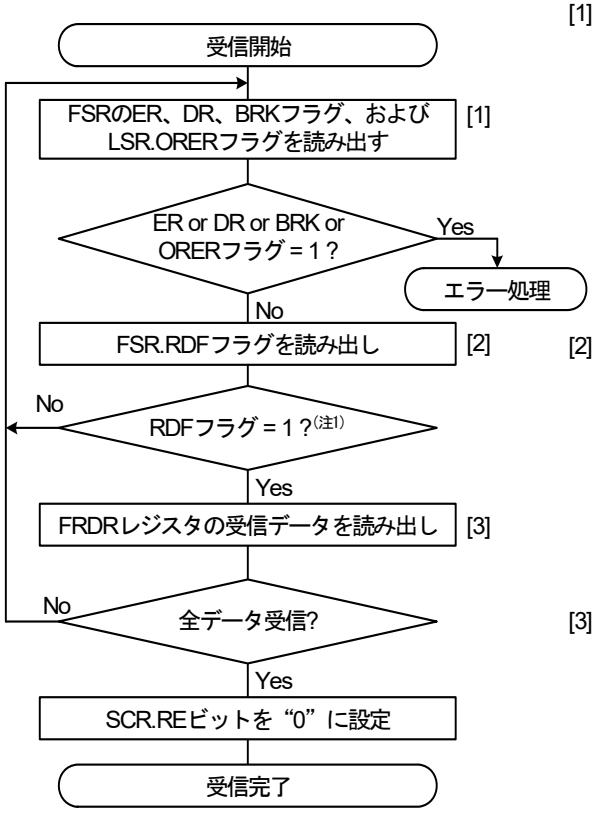


図 17.6　　モデムコントロールを使用した動作例（CTS#）

- シリアルデータ受信（調歩同期式モード）

図 17.7、図 17.8 にシリアル受信のフローチャートの例を示します。
SCIFA を受信許可に設定した後、次の手順でシリアルデータ受信を行ってください。



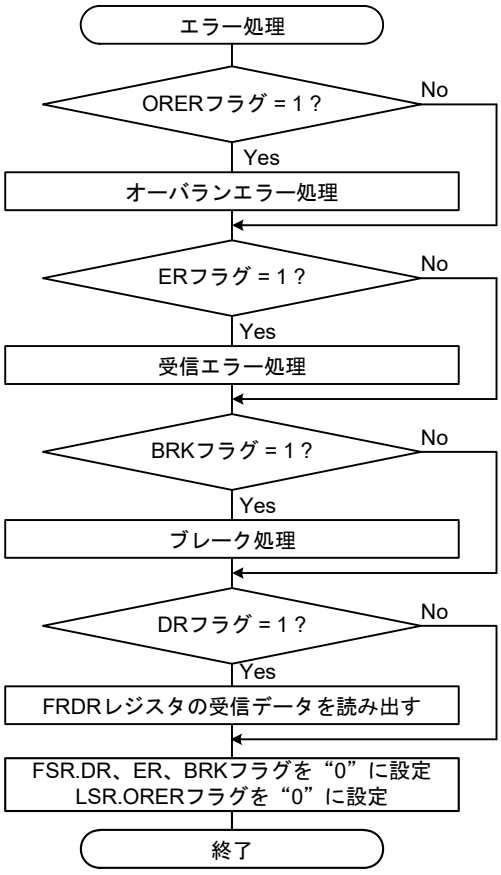
[1] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、FSRレジスタの ER、DR、BRKフラグ、およびLSR.ORERフラグを読み出してエラーを判定し、所定のエラー処理を行った後、ER、DR、BRK、ORERの各フラグをすべて “0” にしてください。
また、フレーミングエラー時にRXD端子の値を読み出すことでブレークの検出ができます。
エラーが発生したことは、BRIF、ERIF、DRIF割り込み要求により知ることができます。

[2] SCIFAの状態を確認して受信データを読み出し：
FSRレジスタを読み出して、RDFフラグが “1” であることを確認した後、FRDRレジスタに格納した受信データのうち、少なくとも受信FIFOしきい値分のデータを読み出します。読み出し可能な受信データバイト数は、FDR.R[4:0]フラグにより確認できます。
RDFフラグが “0” から “1” に変化したことは、RXIF割り込み要求により知ることができます。

[3] シリアル受信の継続手順：
FRDRレジスタから受信データを読み出すと、RDFフラグは自動でクリアされます。

注1.　全受信データ数は受信FIFOしきい値の整数倍にしてください。整数倍でない場合、手順[1]に戻り無限ループになりますので、別途タイマ等を用いてタイムアウト処理を行ってください。

図 17.7　シリアル受信のフローチャートの例（1）



・ FRDRレジスタから読み出した受信データにフレーミングエラー、パリティエラーが発生しているかどうかは、FSRレジスタのFER、PERフラグで知ることができます。

・ ブレーク信号の受信時、BRKフラグが“1”になっている場合、受信データはFRDRレジスタに転送されません。ただし、FRDRレジスタの最後尾のデータは“00h”で、フレーミングエラーが発生したブレークデータが格納されることに注意してください。

図 17.8　シリアル受信のフローチャートの例（2）

SCIFA は受信時、以下のように動作します。

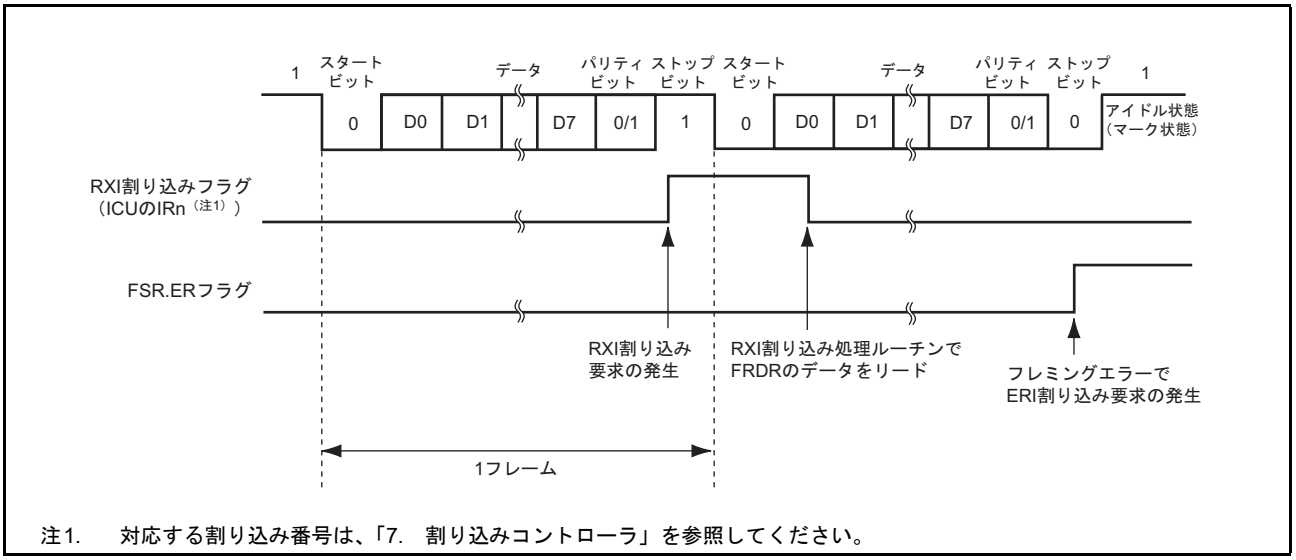
1. SCIFA は通信回線を監視し、スタートビットの “0” を検出すると内部を同期化し、受信を開始します。
2. 受信したデータを RSR レジスタに LSB から MSB の順に格納します（LSB ファースト時）。
3. パリティビットおよびストップビットを受信します。
   受信後、SCIFA は以下のチェックを行います。
   (a) ストップビットチェック : ストップビットが “1” かどうかをチェックします。ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
   (b) 受信データをレシーブシフトレジスタ（RSR）からレシーブ FIFO データレジスタ（FRDR）に転送できる状態かどうかをチェックします。
   (c) パリティビットチェック : パリティビットが期待値かどうかをチェックします。
   (d) オーバランエラーチェック : オーバランエラーが発生していないことを示す ORER フラグが “0” かどうかをチェックします。
   (e) ブレークチェック : ブレーク状態がセットされていないことを示す BRK フラグが “0” かどうかをチェックします。
   以上のチェックがすべてパスしたとき、FRDR レジスタに受信データが格納されます。

注 .　パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. 指定受信トリガ数以上の受信データ数がレシーブ FIFO データレジスタ（FRDR）に格納され、RDF フラグが “1” になったとき、SCR レジスタの RIE ビットが “1” にセットされていると、受信 FIFO データフル割り込み（RXI）要求が発生します。また、FRDR レジスタのデータが指定受信トリガ数未満の場合、SCR レジスタの RIE ビットが “1” にセットされていると、最後のストップビットから 15ETU 時間経過（注）後も次のデータが受信されないとき（FSR レジスタの DR フラグが “1”）、受信データレディ割り込み（DRI）要求を発生します。また、FSR レジスタの ER フラグが “1” になったとき、SCR レジスタの RIE ビットまたは REIE ビットが “1” にセットされていると、受信エラー割り込み（ERI）要求を発生します。さらに、FSR レジスタの BRK フラグまたは ORER フラグが “1” になったとき、SCR レジスタの RIE ビットまたは REIE ビットが “1” にセットされていると、ブレーク受信割り込み（BRI）要求を発生します。

注 1.　8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。
（ETU：Element Time Unit：要素時間単位）

調歩同期式モード受信時の動作例を図 17.9 に示します。



注1.　対応する割り込み番号は、「7.　割り込みコントローラ」を参照してください。

図 17.9　SCIFA の受信時の動作例
（8 ビットデータ／パリティあり／1 ストップビット／LSB ファーストの例）

5. モデムコントロールが有効の場合、FRDR レジスタに空きがあることを示す RTS# 信号を出力します。RTS# 端子が Low のときは受信可能です。RTS# 端子が High のときは FRDR レジスタのデータが RTS# 出力アクティブトリガ設定数以上となり、FRDR レジスタに余裕ができるまで次データの送信を待って欲しい状態であることを示します。モデムコントロール使用時の動作例を例を図 17.10 に示します。

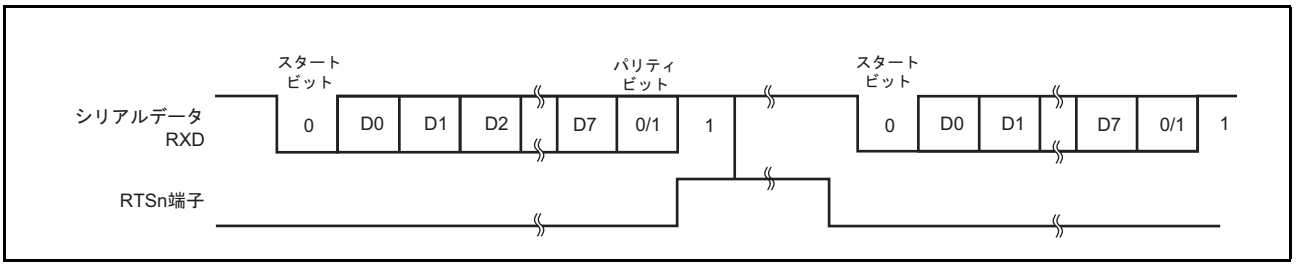


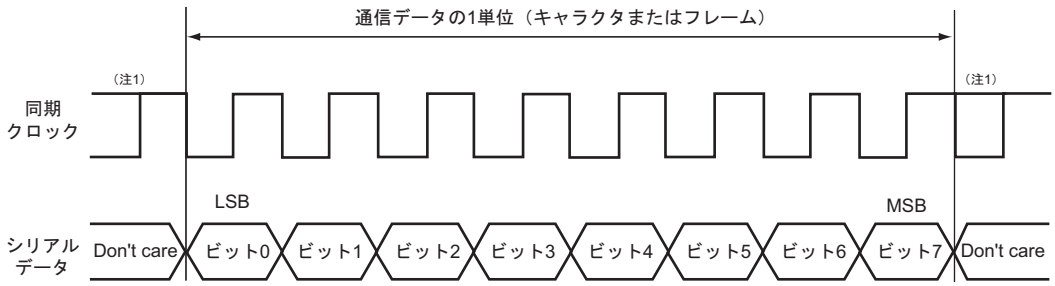
図 17.10　モデムコントロールを使用した動作例（RTS#）

17.3.3　クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCIFA 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部は、それぞれ 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを**図 17.11** に示します。



注1.　連続送信／受信のとき以外はハイレベル

図 17.11　クロック同期式通信のデータフォーマット（LSB ファースト時）

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力され、MSB 出力後の通信回線の状態は MSB の状態を保ちます（LSB ファースト時）。

クロック同期式モードでは、SCIFA は同期クロックの立ち上がりに同期してデータを受信します。

(1)　送信／受信フォーマット

8 ビットデータ固定です。

パリティビットは付加できません。

(2)　クロック

SCIFA の送受信クロックは、シリアルモードレジスタ（SMR）の CM ビット、シリアルコントロールレジスタ（SCR）の CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの 2 種類から選択できます。

内部クロックで動作させる場合、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信／受信を行わないときには High に固定されます。受信動作のみの場合、内部クロックを選択すると SCR レジスタの RE ビットが “1” の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信／受信動作

- SCIFA の初期化（クロック同期式モード）

データの送信／受信前にシリアルコントロールレジスタ（SCR）の TE、RE ビットを “0” にクリアした後、以下の手順で SCIFA を初期化してください。

また、モードや通信フォーマットを変更する場合も、必ず TE、RE ビットを “0” にクリアした後、以下の手順で変更してください。TE ビットを “0” にクリアするとトランスミットシフトレジスタ（TSR）が初期化されます。RE ビットを “0” にクリアしても、RDF、PER、FER、ORER の各フラグ、およびレシーブ FIFO データレジスタ（FRDR）の内容は保持されますので注意してください。

図 17.12 に SCIFA 初期化フローチャートの例を示します。

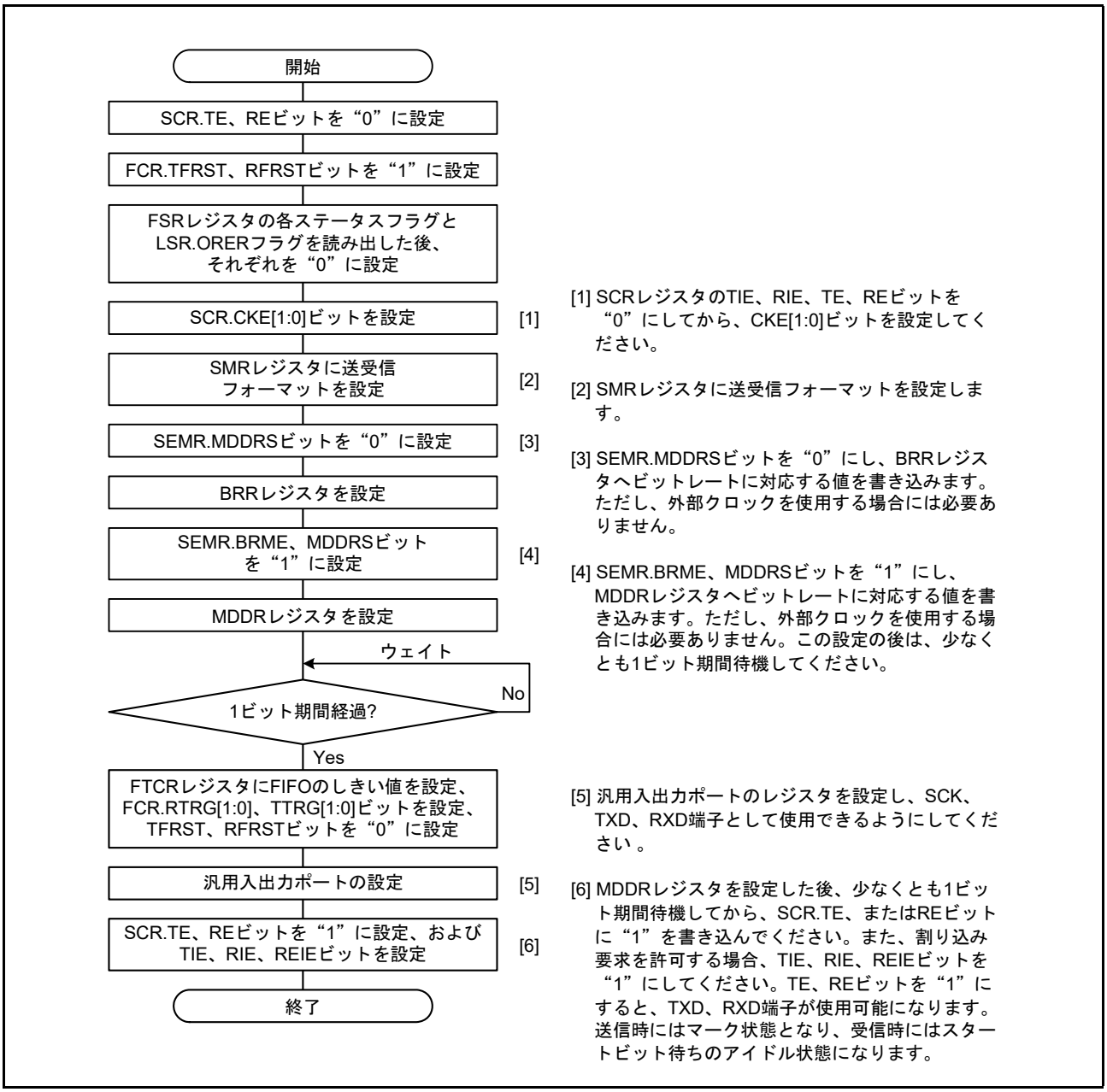
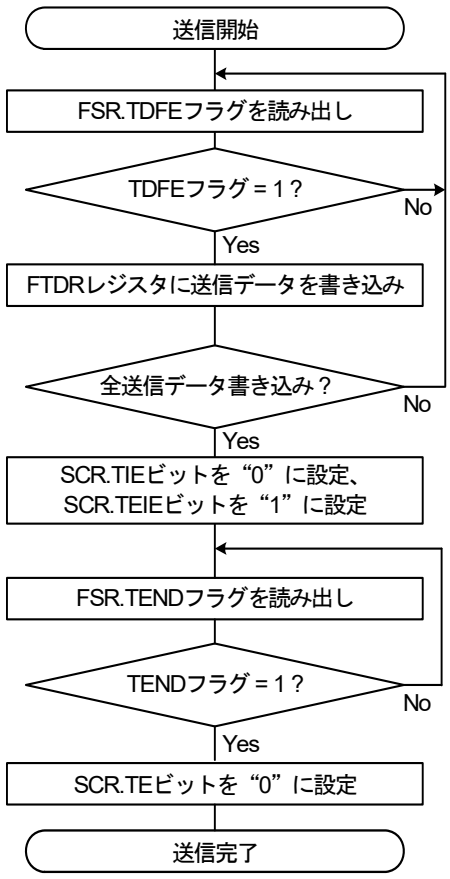


図 17.12　SCIFA 初期化フローチャートの例

- シリアルデータ送信（クロック同期式モード）

図 17.13 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFA を送信動作可能状態に設定した後、以下の手順で行ってください。



[1] SCIFAの状態を確認して、送信データを書き込み：
FSRレジスタを読み出して、TDFEフラグが“1”であることを確認した後、FTDRレジスタに送信データを書き込みます。
書き込み可能な送信データ数は「16 - FDR.T[4:0]」になります。
TDFEフラグが“0”から“1”に変化したことはTXIF割り込み要求により知ることができます。

[2] シリアル送信の継続手順：
FTDRレジスタに送信データを書き込むと、TDFEフラグは自動でクリアされます。

[3] シリアル送信の終了手順（TXIF、TEIF割り込み使用時）：
最終送信データをFTDRレジスタに書き込んだ後、SCR.TIEビットを“0”に、TEIEビットを“1”にします。
DMACを起動してFTDRレジスタに送信データを書き込む場合は、転送終了割り込みを許可に設定しておき、最終送信データをFTDRレジスタに書き込んだ時にCPU割り込み要求を発生させ、CPU割り込み処理にてTIE、TEIEビットの書き換えを行ってください。
TXIF、TEIF割り込み要求を使用しない場合は本手順は不要です。

[4] シリアル送信の終了確認：
FSRレジスタを読み出して、TENDフラグが“1”になったことを確認します。
TENDフラグが“1”になったことはTEIF割り込み要求により知ることができます。

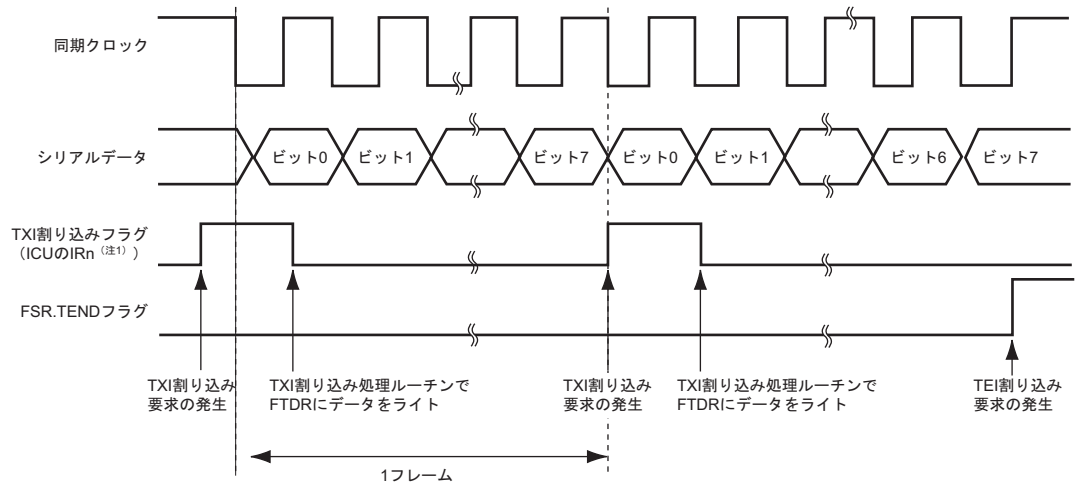
なお、ステップ[1]において、FDR.T[4:0]フラグ（FTDRレジスタに格納された未送信データ数）により、書き込み可能なデータバイト数を確認することができます。

図 17.13　シリアル送信のフローチャートの例

SCIFA はシリアル送信時、以下のように動作します。

1. TXI 割り込み処理ルーチンでトランスミット FIFO データレジスタ（FTDR）にデータが書き込まれると、FTDR レジスタからトランスミットシフトレジスタ（TSR）にデータを転送します。送信データを FTDR レジスタに書き込む前に、シリアルステータスレジスタ（FSR）の TDFE フラグが “1” にセットされていることを確認してください。書き込み可能な送信データバイト数は（16 －未送信データ数）です。
2. FTDR レジスタから TSR レジスタへデータが転送され、送信を開始すると、FTDR レジスタに送信データがなくなるまで連続して送信動作を続けます。FTDR レジスタの送信データバイト数が FIFO コントロールレジスタ（FCR）、または FIFO トリガコントロールレジスタ（FTCR）で設定した送信トリガ数以下になると、FSR レジスタの TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ（SCR）の TIE ビットに “1” がセットされていると、送信 FIFO データエンプティ割り込み（TXI）要求が発生します。
   クロック出力モードに設定した場合、SCIFA は同期クロックを 8 パルス出力します。外部クロックに設定した場合、入力クロックに同期してデータを出力します。シリアル送信データは、LSB（b0）～ MSB（b7）の順に TXD 端子から出力されます（LSB ファースト時）。
3. SCIFA は、最終ビットを送出するタイミングで FTDR レジスタの送信データをチェックします。送信データがある場合、FTDR レジスタから TSR レジスタにデータを転送し、次のフレームのシリアル送信を開始します。データがない場合は、FSR レジスタの TEND フラグを “1” にセットし、最終ビットを出力した後、TXD 端子は最終データの出力レベルを保持します。
4. シリアル送信終了後、SCK 端子は High 固定になります。

図 17.14 に SCIFA の送信時の動作例を示します。



注1.　対応する割り込み番号は、「7.　割り込みコントローラ」を参照してください。

図 17.14　SCIFA の送信時の動作例（LSB ファースト時）

- シリアルデータ受信（クロック同期式モード）

図 17.15 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFA を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIFA の初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り替える際は、必ず、ラインステータスレジスタ（LSR）の ORER、PER、FER の各フラグが “0” にクリアされていることを確認してください。

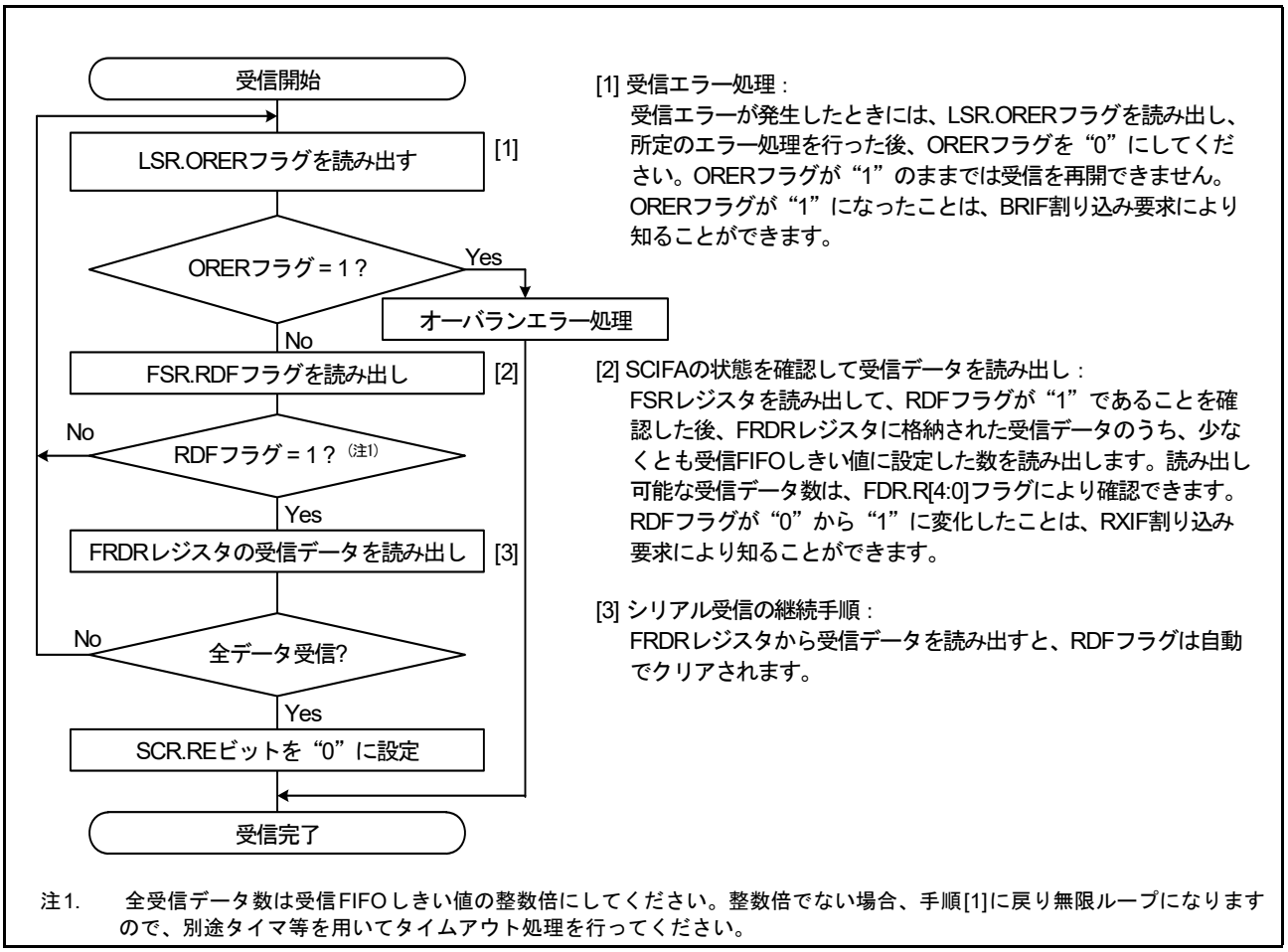
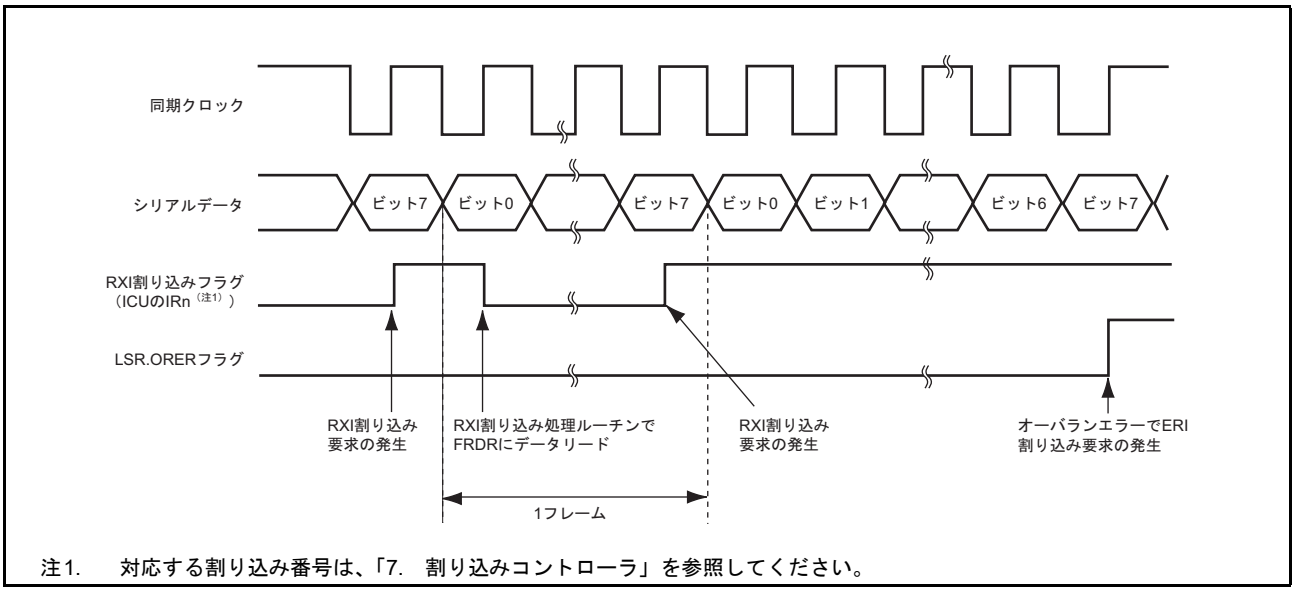


図 17.15　シリアル受信のフローチャートの例

SCIFA はシリアル受信時、以下のように動作します。

1. 同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシーブシフトレジスタ（RSR）に LSB から MSB の順に格納します（LSB ファースト時）。受信後、SCIFA は受信データを RSR レジスタから FRDR レジスタに転送できる状態かどうか確認します。転送できる状態であれば、FRDR レジスタに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作は行われません。
3. 指定受信トリガ数以上の受信データ数が FRDR レジスタに格納され、RDF フラグが “1” になったとき、シリアルコントロールレジスタ（SCR）の RIE ビットが “1” にセットされている場合は、受信 FIFO データフル割り込み（RXI）要求が発生します。また、ラインステータスレジスタ（LSR）の ORER フラグが “1” になったとき、SCR レジスタの RIE ビットまたは REIE ビットが “1” にセットされている場合は、ブレーク割り込み（BRI）要求が発生します。

図 17.16 に SCIFA の受信時の動作例を示します。



注1.　対応する割り込み番号は、「7.　割り込みコントローラ」を参照してください。

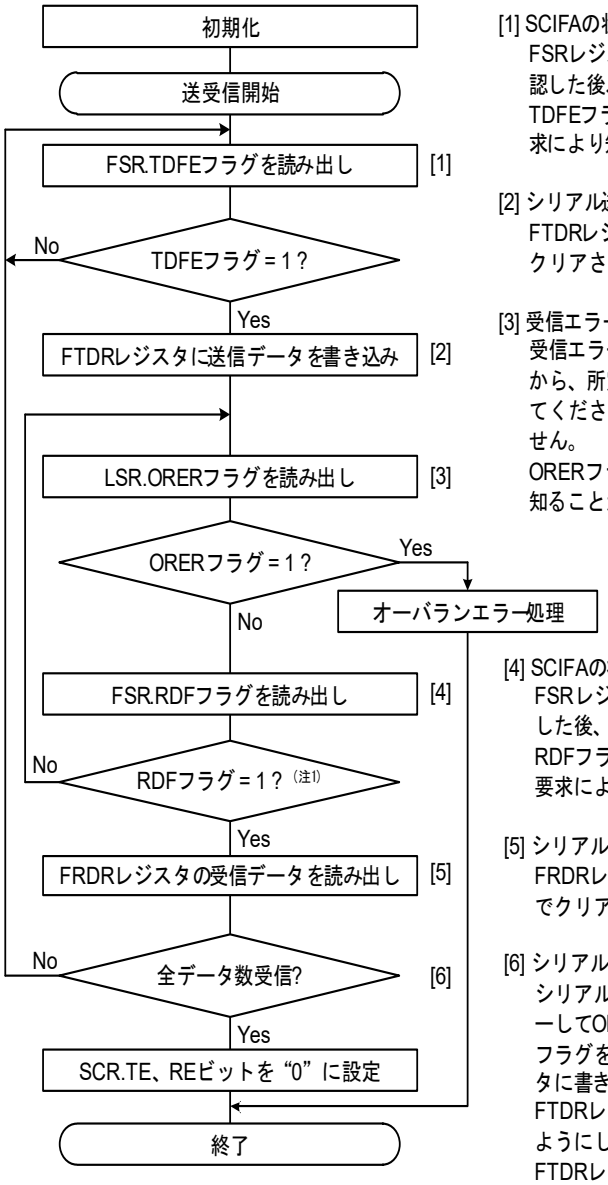
図 17.16　SCIFA の受信時の動作例（LSB ファースト時）

- **シリアルデータ送受信同時動作（クロック同期式モード）**

図 17.17 にシリアル送受信同時動作のフローチャートの例を示します。

送受信同時動作においては、受信データ数＝送信データ数＝FTDR レジスタへ書き込む送信データ数になります。

シリアルデータの送受信同時動作は、SCIFA を送受信動作可能状態に設定した後、以下の手順で行ってください。



[1] SCIFAの状態を確認して送信データを書き込み：
FSRレジスタを読み出して、TDFEフラグが“1”であることを確認した後、FTDRレジスタに送信データを書き込みます。
TDFEフラグが“0”から“1”に変化したことはTXIF割り込み要求により知ることができます。

[2] シリアル送信の継続手順：
FTDRレジスタに送信データを書き込むと、TDFEフラグは自動でクリアされます。

[3] 受信エラー処理：
受信エラーが発生したときには、LSR.ORERフラグを読み出してから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”のままでは受信を再開できません。
ORERフラグが“1”になったことは、BRIF割り込み要求により知ることができます。

[4] SCIFAの状態を確認して受信データを読み出し：
FSRレジスタを読み出してRDFフラグが“1”であることを確認した後、FRDRレジスタの受信データを読み出します。
RDFフラグが“0”から“1”に変化したことは、RXIF割り込み要求により知ることができます。

[5] シリアル受信の継続手順：
FRDRレジスタから受信データを読み出すと、RDFフラグは自動でクリアされます。

[6] シリアル送受信の継続手順（補足）：
シリアル送受信を続けるときには、FRDRレジスタがオーバフローしてORERフラグが“1”になる前にFRDRを読み出し、RDFフラグを“0”にするようにしてください。また、FTDRレジスタに書き込んだ最後のデータの最終ビットを送信する前に、FTDRレジスタにデータを書き込み、TDFEフラグを“0”にするようにしてください。
FTDRレジスタへのデータ書き込み、FRDRレジスタからのデータ読み出しの場合、TDFE、RDFフラグは自動でクリアされます。

注.　送信、または受信動作から同時送受信に切り替える時にはTEビットとREビットを“0”にしてからTEビットとREビットを同時に“1”にしてください。

注1.　全受信データ数は受信FIFOしきい値の整数倍にしてください。整数倍でない場合、手順[1]に戻り無限ループになりますので、別途タイマ等を用いてタイムアウト処理を行ってください。

図 17.17　シリアルデータ送受信フローチャートの例

17.4　ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。SMR レジスタの CKS1、CKS0 ビットで指定した内部クロックの 256 クロックに対し、MDDR レジスタで指定した個数のクロックだけを平均的な間隔になるように有効にすることによってビットレートを補正します。

調歩同期式モード時に CKS[1:0] ビットで P1φ を選択し、BRR = 0, MDDR = 160 に設定した例を、**図 17.18** に示します。この例では基本クロックの周期が平均的に 256 / 160 に補正され、ビットレートは 160 / 256 に補正されます。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

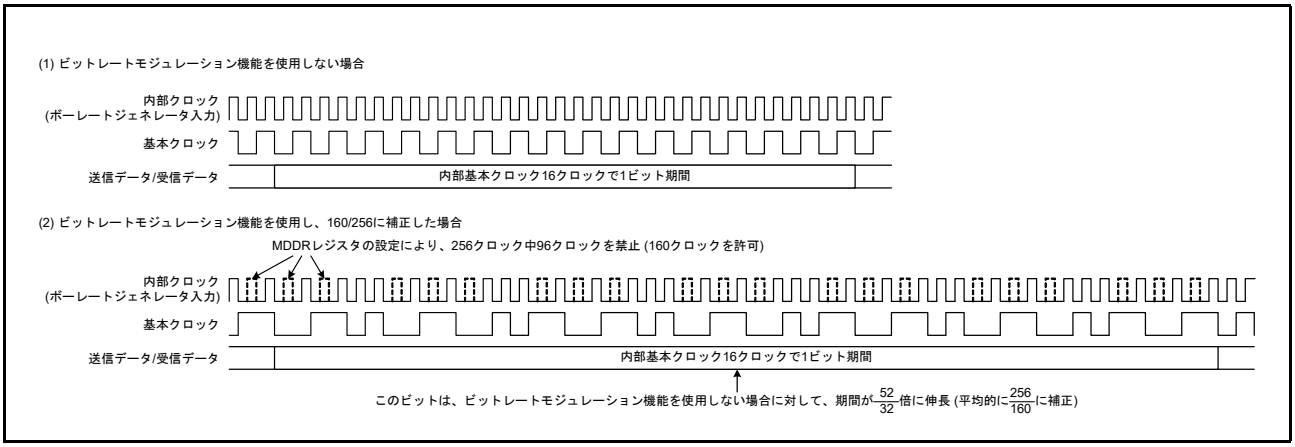


図 17.18　ビットレートモジュレーション機能使用時の内部基本クロックの例

17.5　割り込み要因

SCIFA は、送信 FIFO データエンプティ割り込み（TXI）要求、受信エラー割り込み（ERI）要求、受信 FIFO データフル割り込み（RXI）要求、ブレーク割り込み（BRI）要求、トランスミットエンド割り込み（TEI）、受信データレディ割り込み（DRI）要求の 6 種類の割り込み要因を持っています。TEI 割り込み、DRI 割り込み、ERI 割り込み、BRI 割り込みのベクタ番号は兼用になっています。

表 17.18 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR レジスタの TIE, RIE, REIE, TEIE ビットで許可／禁止を設定できます。また、各割り込み要求は、それぞれ独立に割り込みコントローラに入力されます。

送信の結果、FTDR レジスタに書き込んだ送信データ数が、指定送信トリガ数以下のとき、シリアルステータスレジスタ（FSR）の TDFE フラグが “1” にセットされ、TXI 割り込み要求が発生します。

指定受信トリガ数以上の受信データ数が FRDR レジスタに格納され、FSR レジスタの RDF フラグが “1” にセットされると、RXI 割り込み要求が発生します。

FRDR レジスタのデータ数が指定受信トリガ数未満の場合、最後のストップビットから 15ETU の時間経過（注 1）後も次のデータが受信されないと、FSR レジスタの DR フラグが “1” にセットされ、DRI 割り込み要求が発生します。クロック同期モードの場合、DRI 割り込み要求は発生しません。

FSR レジスタの BRK フラグまたは LSR レジスタの ORER フラグが “1” にセットされると BRI 割り込み要求が発生します。

FSR レジスタの ER フラグが “1” にセットされると ERI 割り込み要求が発生します。

FSR レジスタの TEND フラグが “1” にセットされると TEI 割り込み要求が発生します。

SCR レジスタの RIE ビットを “0” に設定し、REIE ビットを “1” に設定すると RXI 割り込み要求は発生せず、ERI、BRI 割り込み要求だけが発生します。

なお、TXI 割り込みは送信データの書き込みが可能なことを示し、RXI 割り込みは FRDR レジスタに受信データがあることを示しています。

注 1.　8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。
（ETU：Element Time Unit：要素時間単位）

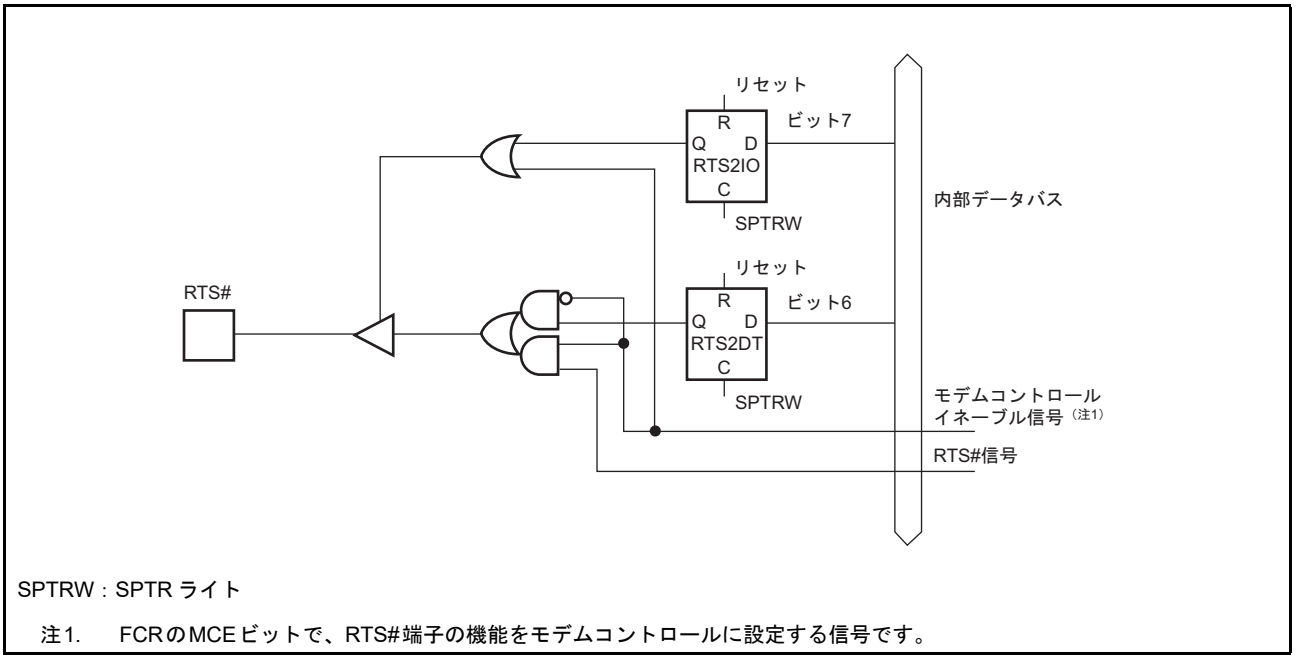
表 17.18　SCIFA 割り込み要因

名称	レベル/エッジ	割り込み要因	割り込み許可ビット	DMAC の起動	優先順位
BRI	レベル	ブレーク（BRK）またはオーバラン（ORER）による割り込み	RIE または REIE	不可	高
ERI	レベル	フレーミングエラーまたはパリティエラー（ER）による割り込み	RIE または REIE	不可	▲
RXI	レベル	受信 FIFO データフル（RDF）による割り込み	RIE	可	▲
TXI	レベル	送信 FIFO データエンプティ（TDFE）による割り込み	TIE	可	▲
TEI	レベル	トランスミットエンド（TEND）による割り込み	TEIE	不可	▲
DRI	レベル	受信データレディ（DR）による割り込み	RIE	不可	低

注.　TEI 割り込みと DRI 割り込みのベクタ番号は兼用です。
ERI 割り込みと BRI 割り込みのベクタ番号は兼用です。
CPU 処理の場合はブロック転送後にフラグをクリアします。DMAC 起動の場合はフラグアクセスは禁止です。

17.6　シリアルポートレジスタ（SPTR）と SCIFA 関連の端子との関係

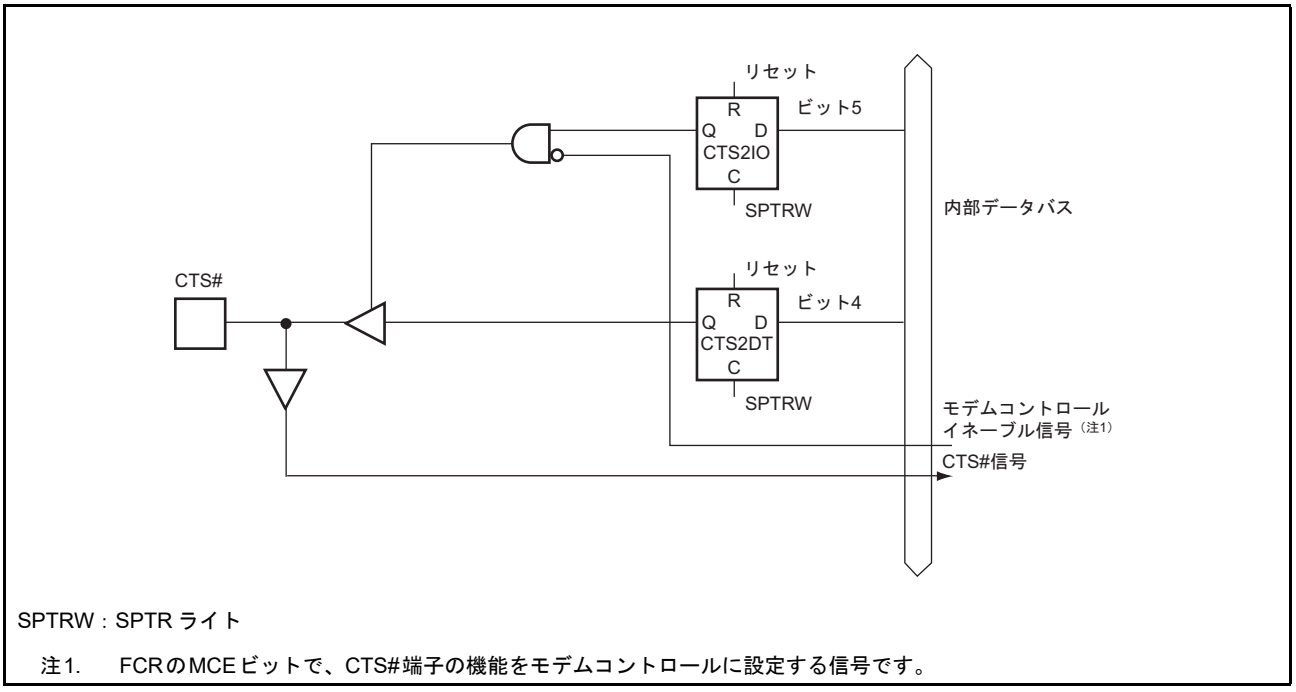
SPTR レジスタと SCIFA 関連の端子との関係を図 17.19 ～図 17.22 に示します。



SPTRW：SPTR ライト

注1.　FCR の MCE ビットで、RTS#端子の機能をモデムコントロールに設定する信号です。

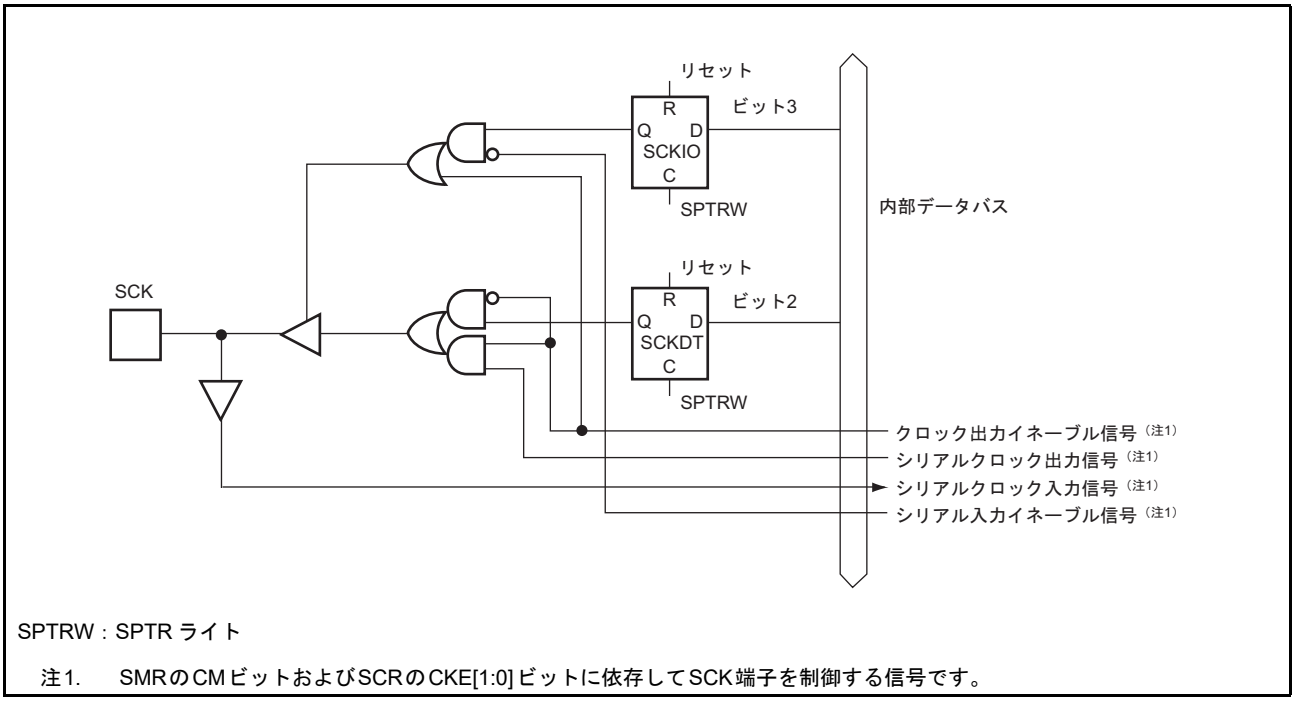
図 17.19　SPTR レジスタの RTS2IO ビット、RTS2DT ビットと RTS# 端子との関係



SPTRW：SPTR ライト

注1.　FCR の MCE ビットで、CTS#端子の機能をモデムコントロールに設定する信号です。

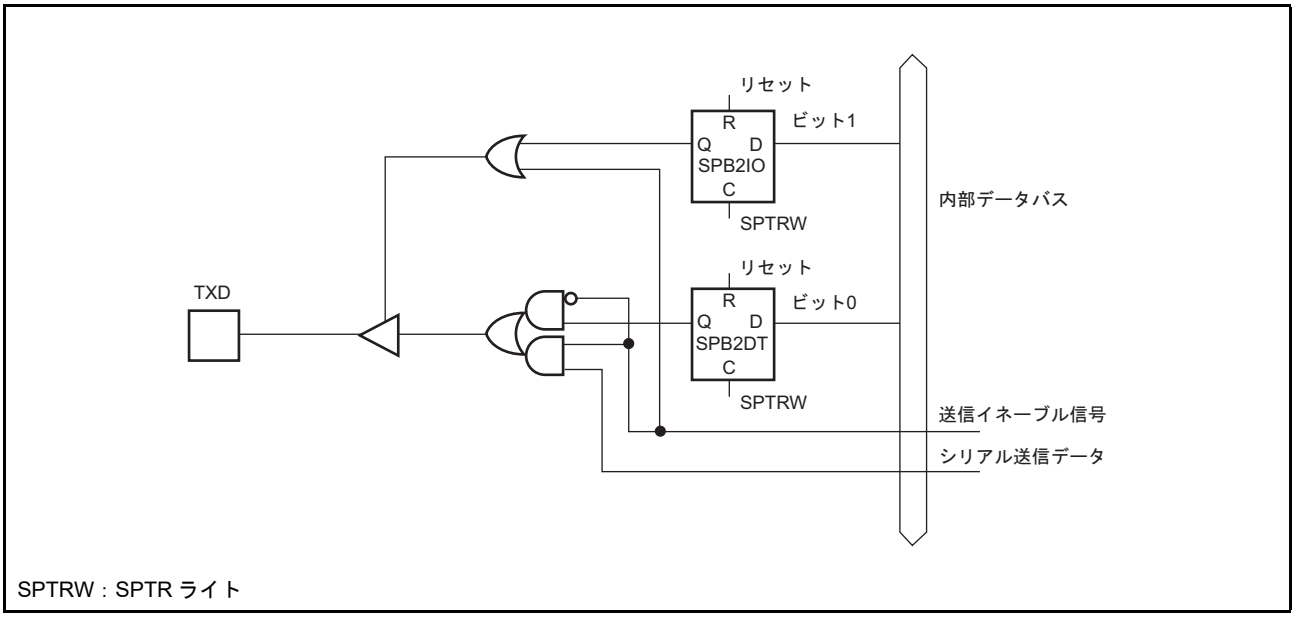
図 17.20　SPTR レジスタの CTS2IO ビット、CTS2DT ビットと CTS# 端子との関係



SPTRW：SPTR ライト

注1.　SMR の CM ビットおよび SCR の CKE[1:0] ビットに依存して SCK 端子を制御する信号です。

図 17.21　SPTR レジスタの SCKIO ビット、SCKDT ビットと SCK 端子との関係



SPTRW：SPTR ライト

図 17.22　SPTR レジスタの SPB2IO ビット、SPB2DT ビットと TXD 端子との関係

17.7　ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 17.23 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号、および 2 段のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられます。一致しない場合は前の値を保持します。（ノイズフィルタのサンプリングで使われるクロックで 3 回サンプリングした値が一致した場合、有効な受信信号として認識し、3 回サンプリングした値が一致しない場合はノイズとして判断し、受信信号として認識しません）。

調歩同期式モード時は、受信信号 RxDn 端子の入力にノイズ除去機能を使用することが可能です。RXDn 端子の受信レベルは、基本クロック（転送レートの 16 倍、または 8 倍（注 1）のクロック）でノイズフィルタのフリップフロップ回路に取り込まれます。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.RE = 0 にした場合、ノイズフィルタは “0” を RxDn の内部信号に出力します。受信停止中も内部の一致検出回路は動作を続け、受信再開と同時に直前の 3 回のサンプリング結果を出力します。

注1.　SEMR.ABCS0 ビットと SEMR.BGDM ビットが両方とも “0” のときは、ビットレートの 16 倍の周波数、SEMR.ABCS0 ビットまたは SEMR.BGDM ビットのいずれか一方が “1” のときは、ビットレートの 8 倍の周波数になります。

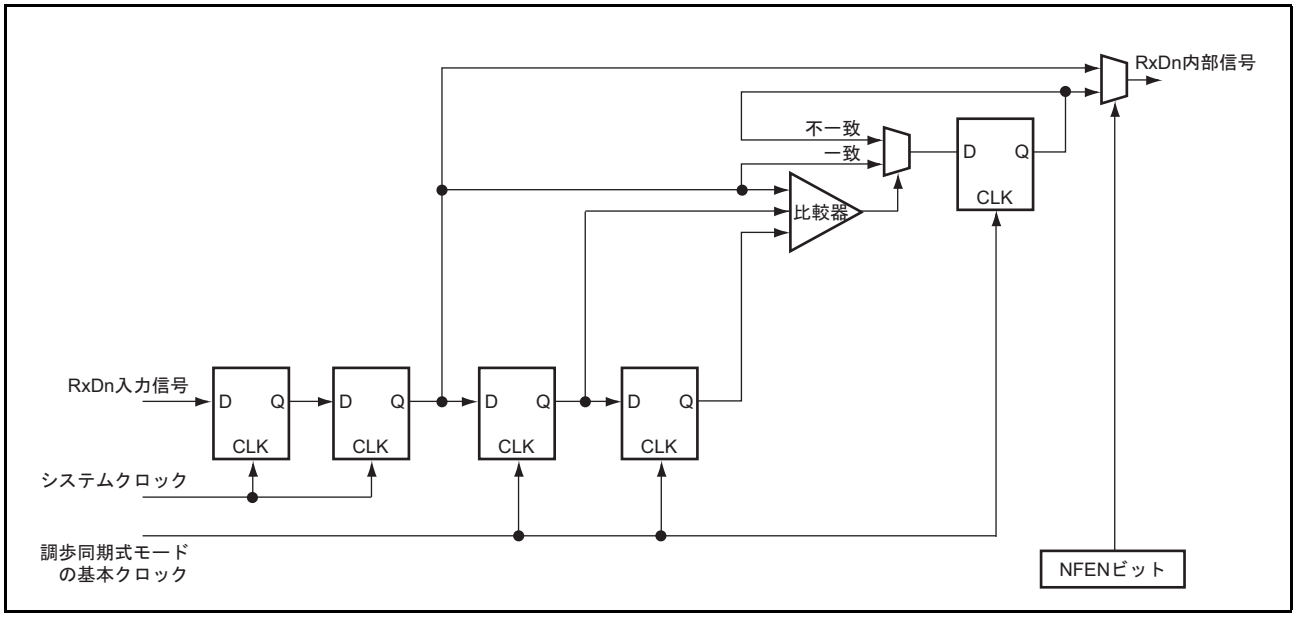


図 17.23　デジタルノイズフィルタ回路のブロック図

17.8　使用上の注意事項

SCIFA を使用する際は、以下のことに注意してください。

17.8.1　FTDR レジスタへの書き込みと TDFE フラグ

シリアルステータスレジスタ（FSR）の TDFE フラグは、トランスミット FIFO データレジスタ（FTDR）に書き込まれた送信データバイト数が FIFO コントロールレジスタ（FCR）の TTRG[1:0] または FIFO トリガコントロールレジスタ（FTCR）の TFTC[4:0] ビットで設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは FTDR レジスタの空バイト数分、書き込むことができるため、効率のよい連続送信が可能です。

ただし、FTDR レジスタに書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは “1” を読み出した後 “0” にクリアしても再び “1” にセットされます。

FTDR レジスタの送信データバイト数は、FIFO データ数レジスタ（FDR）の上位 8 ビットで確認することができます。

17.8.2　FRDR レジスタの読み出しと RDF フラグ

シリアルステータスレジスタ（FSR）の RDF フラグは、レシーブ FIFO データレジスタ（FRDR）の受信データバイト数が FIFO コントロールレジスタ（FCR）の RTRG[1:0] または FIFO トリガコントロールレジスタ（FTCR）の RFTC[4:0] ビットで設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを FRDR レジスタから読み出すことで、効率のよい連続受信が可能です。

ただし、FRDR レジスタのデータバイト数が受信トリガ数を上回る場合、RDF フラグは、“1” を読み出した後 “0” にクリアしても再び “1” にセットされます。

FRDR レジスタの受信データバイト数は、FIFO データ数レジスタ（FDR）の下位 8 ビットで確認することができます。

17.8.3　ブレークの検出と処理

フレーミングエラー（FER）検出時に RXD 端子の値を直接読み出すことで、ブレーク信号を検出できます。ブレーク時は、RXD 端子からの入力がすべて Low になります。このため、シリアルステータスレジスタ（FSR）の FER フラグが “1” にセットされ、またパリティエラーフラグ（PER）も “1” にセットされる場合があります。

SCIFA は、ブレーク信号を検出すると FRDR レジスタへの受信データの転送は停止しますが、受信動作は継続します。

17.8.4　SPTR レジスタへの書き込み

SPTR レジスタの bit 6, 4, 2, 0 を読み出すと、端子への入力状態が読めます（詳細は、**「17.2.12　シリアルポートレジスタ（SPTR）」**の各ビットの説明を参照してください）。これらのビットに 1 ビット単位で書き込んだ場合、リード・モディファイ・ライトされ、意図した値が書き込まれない場合があります。このため、例えば、SPB2DT ビットと SPB2IO ビットを操作するような場合は、それぞれのビットを同時に書き込んでください。

17.8.5　ブレークの送出

TXD 端子の出力信号は、シリアルポートレジスタ（SPTR）の SPB2IO ビットと SPB2DT ビットで決まります。これを利用してブレーク信号を送出することができます。

SCIFA の初期化から SCR レジスタの TE ビットを “1” にセット（送信可能）するまで、TXD 端子は送信データ出力端子として機能しません。この間の TXD 端子状態は SPB2DT ビットの値で代替されます。このため、最初は SPTR レジスタの SPB2IO と SPB2DT ビットを “1”（High 出力）に設定しておきます（マーク状態（High））。

シリアル送信時にブレーク信号を送出するためには、SPTR レジスタの SPB2IO ビットに “1” をセット、SPB2DT ビットを “0” にクリア（Low を指定）した後、SCR レジスタの TE ビットを 0 にクリア（送信停止）します。TE ビットを “0” にクリアすると、送信部は現在の送信状態とは無関係に初期化され、TXD 端子から Low が出力されます。

17.8.6　調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIFA は転送レートの 16 倍（注 1）の周波数の基本クロックで動作しています。受信時は、基本クロックの 8 クロック目（注 1）の立ち上がりエッジで受信データを内部に取り込みます。このタイミングを図 17.24 に示します。

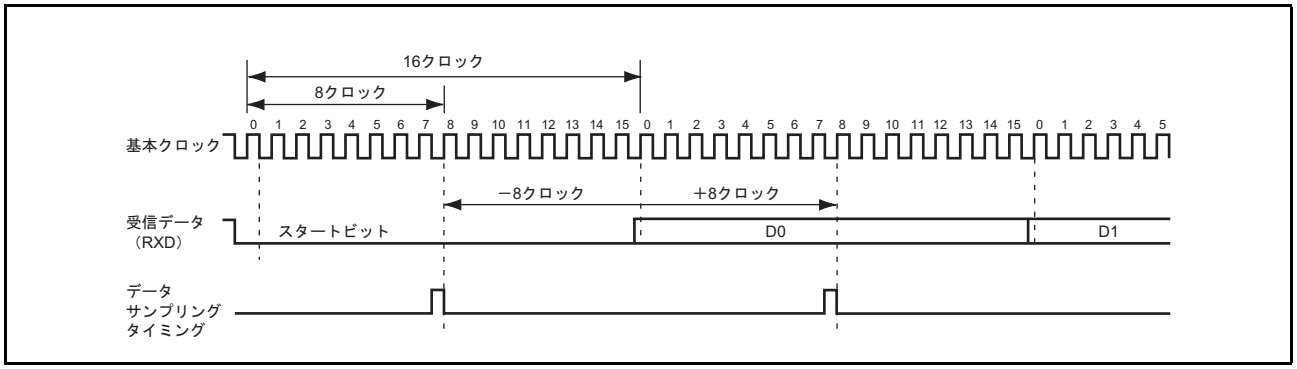


図 17.24　調歩同期式モードでの受信データサンプリングタイミング

注 1.　SEMR.ABCS0 ビット = 0 のときの例です。ABCS0 ビット = 1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

$$M = \{(0.5 - \frac{1}{2N} - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\} \times 100[\%] \ldots \text{式（1）}$$

M：受信マージン（%）
N：ビットレートに対するクロック周波数の比（N = 16）
D：クロックデューテイ（D:0 ～ 1.0）
L：フレーム長（L = 9 ～ 12）
F：クロック周波数の偏差の絶対値

式（1）で、F = 0、D = 0.5 とすると、受信マージンは式（2）より 46.875%となります。

D = 0.5、F = 0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \ldots \text{式（2）}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際は 20 ～ 30%の余裕を持たせてください。

17.8.7　シリアルステータスレジスタ（FSR）の FER フラグおよび PER フラグの注意事項

シリアルステータスレジスタ（FSR）の FER フラグおよび PER フラグは、次に読み出すレシーブ FIFO データレジスタ（FRDR）のステータスフラグです。CPU 、DMAC によりレシーブ FIFO データレジスタを読み出すと、受信データのフレーミングエラーおよびパリティエラーのフラグはクリアされます。受信データのフレーミングエラーおよびパリティエラーの状態を確認する場合は、シリアルステータスレジスタの読み出し後にレシーブ FIFO データレジスタを読み出してください。

17.8.8　クロック同期式モードにおける外部クロック入力時の注意事項

シリアルコントロールレジスタ（SCR）の TE = 1, RE = 1 の設定は、外部クロック（SCK）が “0”（Low）から “1”（High）になった後、周辺動作クロックが 4 クロック以上入力された後に行ってください。

また、外部クロック（SCK）を入力する（通信を開始する）場合、SCR レジスタの TE = 1, RE = 1 に設定し、外部クロックの 1 周期以上の時間経過後に入力してください。

17.8.9　モジュールスタンバイモードの設定

SCIFA はスタンバイコントロールレジスタにより、本モジュールの動作禁止／許可を設定することが可能です。初期値は、SCIFA の動作停止です。モジュールスタンバイモードを解除することにより、各レジスタのアクセスが可能となります。詳細は「52.　低消費電力モード」を参照してください。

17.8.10　クロック同期式モードで内部クロック選択時における受信動作の注意事項

クロック同期式モードで内部クロックを選択して受信を行う場合、レシーブ FIFO データレジスタ (FRDR) に格納されるデータ数が指定した受信トリガ数以上になると、RDF フラグをセットして RXI 割り込み要求が発生すると共に、同期クロックの出力が停止し、シリアルデータの受信動作が停止します。FRDR レジスタからデータを読み出し、FRDR レジスタに格納されたデータ数が指定受信トリガ数未満になると、同期クロックの出力を開始し、シリアルデータの受信動作を再開します。また、クロック同期式モードで内部クロックを選択して受信を行う場合、オーバランエラーは発生しないため、ORER フラグは “1” にセットされません。このため、オーバラン (ORER フラグ) を割り込み要因とする BRI 割り込みは利用できません。

18. シリアルコミュニケーションインタフェース（SCIg）

本 MCU は、独立した 2 チャネルのシリアルコミュニケーションインタフェース（SCI：Serial Communications Interface）を備えています。SCI は、SCIg モジュール（SCI0, SCI1）から構成されています。

SCIg（SCI0, SCI1）は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter（UART）や、Asynchronous Communication Interface Adapter（ACIA）などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3（Identification Card）に対応したスマートカード（IC カード）インタフェースに対応しています。

本章に記載している P1φ とは周辺クロック 1C を指します。

18.1 概要

表 18.1 に SCIg の仕様を示します。**図 18.1** に SCI0, SCI1 のブロック図を示します。

表 18.1　SCIg の仕様

項目		内容
シリアル通信方式		• 調歩同期式 • クロック同期式 • スマートカードインタフェース • IrDA (チャネル 0 のみ)
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 18.2 参照
データ転送		LSB ファースト／MSB ファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー
消費電力低減機能		チャネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ /奇数パリティ /パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がりエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能
	クロックソース	内部クロック /外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能

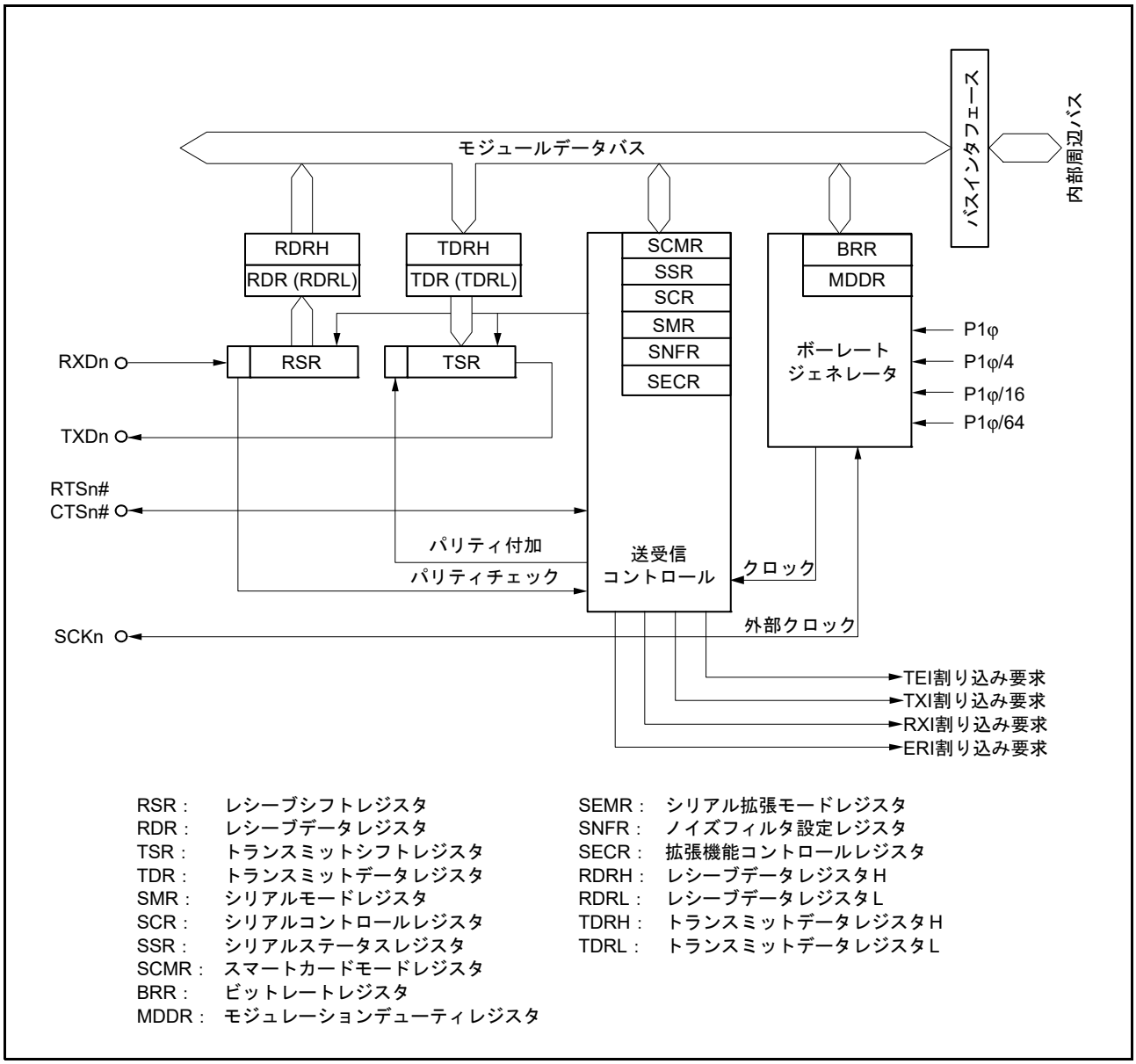


図 18.1　SCIg（SCI0, SCI1）のブロック図

表 18.2 に SCI の入出力端子をモード別に示します。

表18.2　SCIの入出力端子（調歩同期式/クロック同期式モード）

チャネル	端子名	入出力	機能
SCI0	SCI_SCK0	入出力	SCI0のクロック入出力端子
	SCI_RXD0	入力	SCI0の受信データ入力端子
	SCI_TXD0	出力	SCI0の送信データ出力端子
	SCI_CTS#0 / RTS#0	入出力	SCI0送受信開始制御用入出力端子
SCI1	SCI_SCK1	入出力	SCI1のクロック入出力端子
	SCI_RXD1	入力	SCI1の受信データ入力端子
	SCI_TXD1	出力	SCI1の送信データ出力端子
	SCI_CTS#1 / RTS#1	入出力	SCI1送受信開始制御用入出力端子

18.2 レジスタの説明

表18.3　レジスタ構成表

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	シリアルモードレジスタ	SMR	R/W	00h	H'E800B000	8
	ビットレートレジスタ	BRR	R/W	FFh	H'E800B001	8
	シリアルコントロールレジスタ	SCR	R/W	00h	H'E800B002	8
	トランスミットデータレジスタ	TDR	R/W	FFh	H'E800B003	8
	シリアルステータスレジスタ	SSR	R/W*	84h	H'E800B004	8
	レシーブデータレジスタ	RDR	R	00h	H'E800B005	8
	スマートカードモードレジスタ	SCMR	R/W*	F2h	H'E800B006	8
	シリアル拡張モードレジスタ	SEMR	R	00h	H'E800B007	8
	ノイズフィルタ設定レジスタ	SNFR	R	00h	H'E800B008	8
	拡張機能コントロールレジスタ	SECR	R/W	00h	H'E800B00D	8
	トランスミットデータレジスタH	TDRH	R/W	FFh	H'E800B00E	8
	トランスミットデータレジスタL	TDRL	R/W	FFh	H'E800B00F	8
	トランスミットデータレジスタHL	TDRHL	R/W	FFh	H'E800B00E	16
	レシーブデータレジスタH	RDRH	R	00h	H'E800B010	8
	レシーブデータレジスタL	RDRL	R	00h	H'E800B011	8
	レシーブデータレジスタHL	RDRHL	R	00h	H'E800B010	16
	モジュレーションデューティレジスタ	MDDR	R/W	FFh	H'E800B012	8
1	シリアルモードレジスタ	SMR	R/W	00h	H'E800B800	8
	ビットレートレジスタ	BRR	R/W	FFh	H'E800B801	8
	シリアルコントロールレジスタ	SCR	R/W	00h	H'E800B802	8
	トランスミットデータレジスタ	TDR	R/W	FFh	H'E800B803	8
	シリアルステータスレジスタ	SSR	R/W*	84h	H'E800B804	8
	レシーブデータレジスタ	RDR	R	00h	H'E800B805	8
	スマートカードモードレジスタ	SCMR	R/W*	F2h	H'E800B806	8
	シリアル拡張モードレジスタ	SEMR	R	00h	H'E800B807	8
	ノイズフィルタ設定レジスタ	SNFR	R	00h	H'E800B808	8
	拡張機能コントロールレジスタ	SECR	R/W	00h	H'E800B80D	8
	トランスミットデータレジスタH	TDRH	R/W	FFh	H'E800B80E	8
	トランスミットデータレジスタL	TDRL	R/W	FFh	H'E800B80F	8
	トランスミットデータレジスタHL	TDRHL	R/W	FFh	H'E800B80E	16
	レシーブデータレジスタH	RDRH	R	00h	H'E800B810	8
	レシーブデータレジスタL	RDRL	R	00h	H'E800B811	8
	レシーブデータレジスタHL	RDRHL	R	00h	H'E800B810	16
	モジュレーションデューティレジスタ	MDDR	R/W	FFh	H'E800B812	8

注.　*　一部、Rのみ

18.2.1　レシーブシフトレジスタ（RSR）

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

18.2.2　レシーブデータレジスタ（RDR）

RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

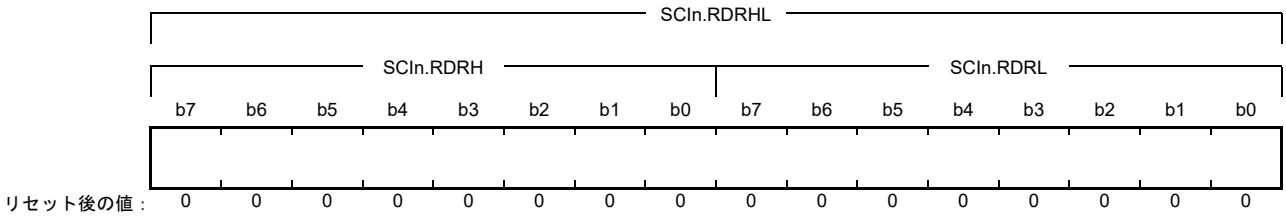
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み（RXI）要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

18.2.3　レシーブデータレジスタ H、L、HL（RDRH、RDRL、RDRHL）

- レシーブデータレジスタ H（RDRH）
- レシーブデータレジスタ L（RDRL）
- レシーブデータレジスタ HL（RDRHL）



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドーとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

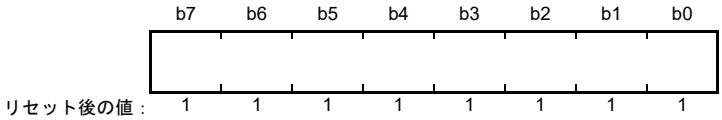
RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み（RXI）要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は “0” に固定されており、読むと “0” が読めます。書く場合、“0” としてください。

RDRHL レジスタとして 16 ビットでもアクセスできます。

18.2.4　トランスミットデータレジスタ（TDR）



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

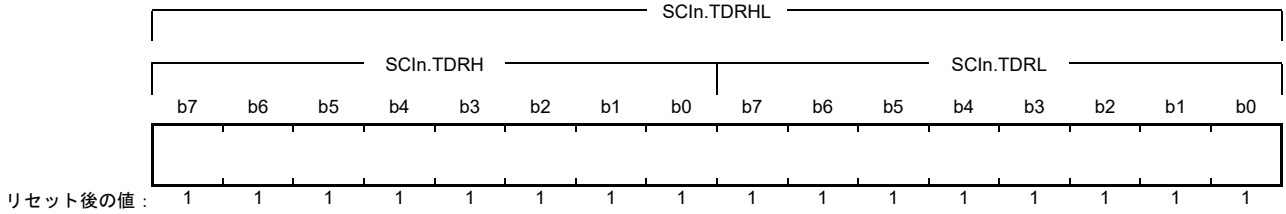
TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU からリード / ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み（TXI）要求が発生したときに 1 回だけ行ってください。

18.2.5　トランスミットデータレジスタ H、L、HL（TDRH、TDRL、TDRHL）

- トランスミットデータレジスタ H（TDRH）
- トランスミットデータレジスタ L（TDRL）
- トランスミットデータレジスタ HL（TDRHL）



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドーとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDRH レジスタおよび TDRL レジスタは CPU からリード／ライト可能です。TDRH レジスタの b1 から b7 は “1” に固定されており、読むと “1” が読めます。書く場合、“1” としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み（TXI）要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

18.2.6　トランスミットシフトレジスタ（TSR）

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

18.2.7　シリアルモードレジスタ（SMR）

注 .　SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1)　非スマートカードインタフェースモードのとき（SCMR.SMIF ビット＝ 0）

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0：P1φクロック（n＝0）（注1） 0 1：P1φ/4クロック（n＝1）（注1） 1 0：P1φ/16クロック（n＝2）（注1） 1 1：P1φ/64クロック（n＝3）（注1）	R/W （注4）
b2	MP	マルチプロセッサモードビット	（調歩同期式モードのみ有効） 0：マルチプロセッサ通信機能を禁止 1：マルチプロセッサ通信機能を許可	R/W （注4）
b3	STOP	ストップビットレングスビット	（調歩同期式モードのみ有効） 0：1ストップビット 1：2ストップビット	R/W （注4）
b4	PM	パリティモードビット	（PEビット＝1のときのみ有効） 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W （注4）
b5	PE	パリティイネーブルビット	（調歩同期式モードのみ有効） • 送信時 0：パリティビットなし 1：パリティビットを付加 • 受信時 0：パリティなしで受信 1：パリティチェックを行う	R/W （注4）
b6	CHR	キャラクタレングスビット	（調歩同期式モードのみ有効（注2）） SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0：データ長9ビットで送受信 0 1：データ長9ビットで送受信 1 0：データ長8ビットで送受信（初期値） 1 1：データ長7ビットで送受信（注3）	R/W （注4）
b7	CM	コミュニケーションモードビット	0：調歩同期式モードで動作 1：クロック同期式モードで動作	R/W （注4）

注1.　nは設定値の10進表示で、「18.2.11　ビットレートレジスタ（BRR）」中のnの値を表します。
注2.　調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。
注3.　LSBファースト固定となり、送信ではTDRレジスタのMSB（b7）は送信されません。
注4.　SCR.TEビット＝0、SCR.REビット＝0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。
CKS[1:0] ビットの設定値とボーレートの関係については、「18.2.11　ビットレートレジスタ（BRR）」を参照してください。

MP ビット（マルチプロセッサモードビット）

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット（ストップビットレングスビット）

送信データのストップビット長を選択します。
受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が “0” の場合は次の送信フレームのスタートビットと見なします。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。
マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット（パリティイネーブルビット）

PE ビットが “1” のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。
マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット（キャラクタレングスビット）

送受信データのデータ長を選択します。
SCMR.CHR1 ビットと組み合わせて選択します。
調歩同期式モード以外では、データ長は 8 ビット固定です。

(2) スマートカードインタフェースモードのとき（SCMR.SMIF ビット＝ 1）

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0：P1φクロック（n＝0）（注1） 0 1：P1φ/4クロック（n＝1）（注1） 1 0：P1φ/16クロック（n＝2）（注1） 1 1：P1φ/64クロック（n＝3）（注1）	R/W（注2）
b3、b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表18.4にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W（注2）
b4	PM	パリティモードビット	（PEビット＝1のときのみ有効） 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W（注2）
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W（注2）
b6	BLK	ブロック転送モードビット	0：通常モードで動作します 1：ブロック転送モードで動作します	R/W（注2）
b7	GM	GSMモードビット	0：通常モードで動作します 1：GSMモードで動作します	R/W（注2）

注1.　nは設定値の10進表示で、「18.2.11　ビットレートレジスタ（BRR）」中のnの値を表します。
注2.　SCR.TEビット＝0、SCR.REビット＝0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「18.2.11　ビットレートレジスタ（BRR）」を参照してください。

BCP[1:0] ビット（基本クロック パルスビット）

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「18.6.4　受信データサンプリングタイミングと受信マージン」を参照してください。

表18.4　　SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック（S＝93）（注1）
0	0	1	128クロック（S＝128）（注1）
0	1	0	186クロック（S＝186）（注1）
0	1	1	512クロック（S＝512）（注1）
1	0	0	32クロック（S＝32）（注1）（初期値）
1	0	1	64クロック（S＝64）（注1）
1	1	0	372クロック（S＝372）（注1）
1	1	1	256クロック（S＝256）（注1）

注1.　Sは「18.2.11　ビットレートレジスタ（BRR）」中のSの値を表します。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。
スマートカードインタフェースモードにおけるこのビットの使用方法については、**「18.6.2　データフォーマット（ブロック転送モード時を除く）」**を参照してください。

PE ビット（パリティ イネーブルビット）

PE ビットは “1” にしてください。
送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット（ブロック転送 モードビット）

BLK ビットを “1” にすると、ブロック転送モードで動作します。
ブロック転送モードについては、**「18.6.3　ブロック転送モード」**を参照してください。

GM ビット（GSM モードビット）

GM ビットを “1” にすると、GSM モードで動作します。
GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0etu（etu：Elementary Time Unit、1 ビットの転送期間）に前倒しされ、クロック出力制御機能が追加されます。詳細は、**「18.6.6　シリアルデータの送信（ブロック転送モードを除く）」**、**「18.6.8　クロック出力制御」**を参照してください。

18.2.8　シリアルコントロールレジスタ（SCR）

注．　SCR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1)　非スマートカードインタフェースモードのとき（SCMR.SMIF ビット＝ 0）

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	CKE[1:0]	クロックイネーブルビット	• SCI0, SCI1の場合 （調歩同期式の場合） b1 b0 0 0：内蔵ボーレートジェネレータ 汎用入出力ポートの設定によって、SCKn端子は入出力ポートとして使用できます 0 1：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x：外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください （クロック同期式の場合） b1 b0 0 x：内部クロック SCKn端子はクロック出力端子となります 1 x：外部クロック SCKn端子はクロック入力端子となります	R/W （注1）
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0：TEI割り込み要求を禁止 1：TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	（調歩同期式モードで、SMR.MPビット＝“1”のとき有効） 0：通常の受信動作 1：マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER,FERの各ステータスフラグのセット（“1”）を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的にクリア（“0”）され、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W （注2）
b5	TE	トランスミットイネーブルビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W （注2）
b6	RIE	レシーブインタラプト イネーブルビット	0：RXIおよびERI割り込み要求を禁止 1：RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0：TXI割り込み要求を禁止 1：TXI割り込み要求を許可	R/W

x：Don’t care

注1.　TEビット＝0、REビット＝0の場合のみ書き込み可能です。
注2.　SMR.CMビットが“1”のときは、TEビット＝0、REビット＝0の場合のみ“1”を書き込み可能です。
一度、TE、REビットのいずれかを“1”にした後は、TEビット＝0、REビット＝0の書き込みのみ可能になります。
SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット（クロックイネーブルビット）

クロックソースおよび SCKn 端子の機能を選択します。
内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット（トランスミットエンド インタラプトイネーブルビット）

TEI 割り込み要求を許可、または禁止します。
TEI 割り込み要求の禁止は、TEIE ビットを “0” にすることで行うことができます。

MPIE ビット（マルチプロセッサインタラプト イネーブルビット）

MPIE ビットを “1” にすると、マルチプロセッサビットが “0” の受信データは読み飛ばし、SSR.ORER、FER の各ステータスフラグは “1” にされません。マルチプロセッサビットが “1” のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は**「18.4　マルチプロセッサ通信機能」**を参照してください。

SSR.MPB ビット＝ 0 を含む受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、FER の各フラグのセット（“1”）は行いません。

MPB ビット＝ 1 を含む受信データを受信すると、MPB ビットを “1” にし、MPIE ビットを自動的に “0” にし、RXI、ERI 割り込み要求（SCR の RIE ビットが “1” にされている場合）と、ORER、FER フラグのセット（“1”）が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには “0” を書き込んでください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを “1” にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXI および ERI 割り込み要求を許可、または禁止します。
RXI 割り込み要求の禁止は、RIE ビットを “0” にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから “1” を読み出した後、“0” にするか、RIE ビットを “0” にすることで行うことができます。

(2) スマートカードインタフェースモードのとき（SCMR.SMIF ビット＝ 1）

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	CKE[1:0]	クロックイネーブルビット	• SMR.GM ビット＝0の場合 b1 b0 0 0：出力ディスエーブル （汎用入出力ポートの設定によって、SCKn 端子は入出力ポートとして使用できます） 0 1：クロック出力 1 x：（設定しないでください） • SMR.GM ビット＝1の場合 b1 b0 0 0：Low 出力固定 x 1：クロック出力 1 0：High 出力固定	R/W （注1）
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W （注2）
b5	TE	トランスミットイネーブルビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W （注2）
b6	RIE	レシーブインタラプトイネーブル ビット	0：RXI および ERI 割り込み要求を禁止 1：RXI および ERI 割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0：TXI 割り込み要求を禁止 1：TXI 割り込み要求を許可	R/W

x：Don’t care

注1.　TE ビット＝0、RE ビット＝0の場合のみ書き込み可能です。
注2.　TE ビット＝0、RE ビット＝0の場合のみ“1”を書き込みしてください。
　　一度、TE、RE ビットのいずれかを“1”にした後は、TE ビット＝0、RE ビット＝0の書き込みのみ行ってください。

各割り込み要求については、**「18.8　割り込み要因」**を参照してください。

CKE[1:0] ビット（クロックイネーブルビット）

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、**「18.6.8　クロック出力制御」**を参照してください。

TEIE ビット（トランスミットエンド インタラプトイネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

MPIE ビット（マルチプロセッサインタラプト イネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを “1” にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを “0” にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから “1” を読み出した後、“0” にするか、RIE ビットを “0” にすることで行うことができます。

18.2.9　シリアルステータスレジスタ（SSR）

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1)　非スマートカードインタフェースモードのとき（SCMR.SMIF ビット＝ 0）

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値：	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0：データ送信サイクル 1：ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0：データ送信サイクル 1：ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W)（注1）
b4	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W)（注1）
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W)（注1）
b6	RDRF	受信データフルフラグ	0：RDR レジスタからデータを転送したとき 1：受信が正常終了し、RSR レジスタから RDR レジスタへデータが転送されたとき	R/(W)（注2）
b7	TDRE	送信データエンプティフラグ	0：TDR レジスタへデータを転送したとき 1：TDR レジスタから TSR レジスタへデータが転送されたとき	R/(W)（注2）

注1.　フラグをクリアするための“0”書き込みのみ可能です。
注2.　書く場合“1”としてください。

MPB ビット（マルチプロセッサビット）

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが “0” のときは変化しません。

TEND フラグ（トランスミットエンドフラグ）

送信が終了したことを表示します。
［“1” になる条件］

- SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

［“0” になる条件］

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。
[“1” になる条件]

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” にされた状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ（フレーミングエラーフラグ）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。
[“1” になる条件]

- ストップビットが “0” のとき
  2 ストップモードのときは、1 ビット目のストップビットが “1” であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが “1” にされた状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  SCR.RE ビットを “0” にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。
[“1” になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに “1” にされた状態では、以降のシリアル受信を続けることはできません。
  なお、クロック同期式モードでは、シリアル送信も続けることはできません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。
[“1” になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0” になる条件]

- RDR レジスタからデータを転送したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。

［“1” になる条件］

- TDR レジスタから TSR レジスタにデータが転送されたとき

［“0” になる条件］

- TDR レジスタへ送信データを転送したとき

(2) スマートカードインタフェースモードのとき（SCMR.SMIF ビット＝ 1）

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値：	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは“0”としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0”としてください	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W)（注1）
b4	ERS	エラーシグナルステータスフラグ	0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R/(W)（注1）
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W)（注1）
b6	RDRF	受信データフルフラグ	0：RDR レジスタからデータを転送したとき 1：受信が正常終了し、RSR レジスタから RDR レジスタへデータが転送されたとき	R/(W)（注2）
b7	TDRE	送信データエンプティフラグ	0：TDR レジスタへデータを転送したとき 1：TDR レジスタから TSR レジスタへデータが転送されたとき	R/(W)（注2）

注1.　フラグをクリアするための“0”書き込みのみ可能です。
注2.　書く場合“1”としてください。

TEND フラグ（トランスミットエンドフラグ）

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき “1” にされます。

［“1” になる条件］

- SCR.TE ビット＝ 0（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ＝ 0 かつ TDR レジスタが更新されていないとき
  セットされるタイミングは、レジスタの設定により以下のように異なります。
  SMR.GM ビット＝ 0、SMR.BLK ビット＝ 0 のとき、送信開始から 12.5etu 後
  SMR.GM ビット＝ 0、SMR.BLK ビット＝ 1 のとき、送信開始から 11.5etu 後
  SMR.GM ビット＝ 1、SMR.BLK ビット＝ 0 のとき、送信開始から 11.0etu 後
  SMR.GM ビット＝ 1、SMR.BLK ビット＝ 1 のとき、送信開始から 11.0etu 後

［“0” になる条件］

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

［“1” になる条件］

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” にされた状態では、以降の受信データは RDR レジスタに転送

されません。
［“0” になる条件］
- “1” の状態を読み出した後、“0” を書き込んだとき
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

［“1” になる条件］
- エラーシグナル Low をサンプリングしたとき

［“0” になる条件］
- “1” の状態を読み出した後、“0” を書き込んだとき
  SCR.RE ビットを “0” にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。
［“1” になる条件］
- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに “1” にされた状態では、以降のシリアル受信を続けることはできません。

［“0” になる条件］
- “1” の状態を読み出した後、“0” を書き込んだとき
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。
［“1” になる条件］
- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

［“0” になる条件］
- RDR レジスタからデータを転送したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。
［“1” になる条件］
- TDR レジスタから TSR レジスタにデータが転送されたとき

［“0” になる条件］
- TDR レジスタへ送信データを転送したとき

18.2.10　スマートカードモードレジスタ（SCMR）

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェース モードセレクトビット	0：非スマートカードインタフェースモード （調歩同期式モード、クロック同期式モード） 1：スマートカードインタフェースモード	R/W （注1）
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインバートビット	0：TDRレジスタの内容をそのまま送信、受信データをそのまま RDRレジスタに格納 1：TDRレジスタの内容を反転して送信、受信データを反転して RDRレジスタに格納	R/W （注1）
b3	SDIR	送受信データトランスファ ディレクションビット	以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード（マルチプロセッサモード） • クロック同期式モード 0：LSBファーストで送受信 1：MSBファーストで送受信	R/W （注1）
b4	CHR1	キャラクタレングスビット1	（調歩同期式モードのみ有効（注2）） SMR.CHRビットと組み合わせて選択します CHR1 CHR 0 0：データ長9ビットで送受信 0 1：データ長9ビットで送受信 1 0：データ長8ビットで送受信（初期値） 1 1：データ長7ビットで送受信（注3）	R/W （注1）
b6～b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表18.5にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W （注1）

注1.　SCR.TEビット＝0、SCR.REビット＝0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。
注2.　調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。
注3.　LSBファースト固定となり、送信ではTDRレジスタのMSB（b7）は送信されません。

SMIF ビット（スマートカードインタフェース モードセレクトビット）

スマートカードインタフェースモードで動作させるときは、“1” を設定します。

非スマートカードインタフェースモードである調歩同期式（マルチプロセッサモード含む）、クロック同期式モードで動作させるときは、“0” を設定します。

SINV ビット（送受信データインバートビット）

送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PM ビットを反転してください。

CHR1 ビット（キャラクタレングスビット 1）

送受信データのデータ長を選択します。

SMR.CHR ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット（基本クロックパルスビット 2）

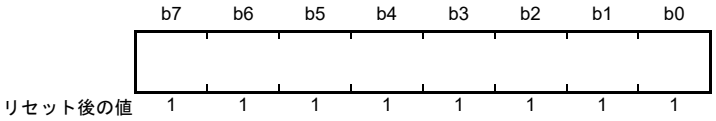
スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

表 18.5　SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93 クロック（S＝93）（注 1）
0	0	1	128 クロック（S＝128）（注 1）
0	1	0	186 クロック（S＝186）（注 1）
0	1	1	512 クロック（S＝512）（注 1）
1	0	0	32 クロック（S＝32）（注 1）（初期値）
1	0	1	64 クロック（S＝64）（注 1）
1	1	0	372 クロック（S＝372）（注 1）
1	1	1	256 クロック（S＝256）（注 1）

注 1.　S は「18.2.11　ビットレートレジスタ（BRR）」中の S の値を表します。

18.2.11　ビットレートレジスタ（BRR）



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモードにおける BRR レジスタの設定値 N とビットレート B の関係を**表 18.6** に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR.TE ビット＝ 0、SCR.RE ビット＝ 0 の場合のみ可能です。

表 18.6　BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定 BGDM ビット	SEMR レジスタの設定 ABCS ビット	BRR レジスタの設定値	誤差
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{P1\varphi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\{\frac{P1\varphi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
	0	1	$N = \frac{P1\varphi \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\{\frac{P1\varphi \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
	1	0		
	1	1	$N = \frac{P1\varphi \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\{\frac{P1\varphi \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
クロック同期式			$N = \frac{P1\varphi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{P1\varphi \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%)= $\{\frac{P1\varphi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\} \times 100$

B：ビットレート（bps）
N：ボーレートジェネレータの BRR の設定値（0 ≦ N ≦ 255）
P1φ：動作周波数（MHz）
n と S：下表のとおり SMR、SCMR レジスタの設定値によって決まります。

表 18.7　クロックソースの設定

SMR.CKS[1:0] ビットの設定	クロックソース	n
0 0	P1φクロック	0
0 1	P1φ/4 クロック	1
1 0	P1φ/16 クロック	2
1 1	P1φ/64 クロック	3

表 18.8　スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2 ビットの設定	SMR.BCP[1:0] ビットの設定	1 ビット期間中の 基本クロックパルス数	S
0	0 0	93 クロック	93
0	0 1	128 クロック	128
0	1 0	186 クロック	186
0	1 1	512 クロック	512
1	0 0	32 クロック	32
1	0 1	64 クロック	64
1	1 0	372 クロック	372
1	1 1	256 クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を**表 18.9** に、各動作周波数における設定可能な最大ビットレートを**表 18.10** に示します。また、クロック同期式モードにおける BRR レジスタの値 N の設定例を**表 18.12** に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を**表 18.14** に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は**「18.6.4　受信データサンプリングタイミングと受信マージン」**を参照してください。また、**表 18.11**、**表 18.13** に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ（SEMR）の調歩同期基本クロックセレクトビット（ABCS）またはボーレートジェネレータ倍速モードセレクトビット（BGDM ビット）のいずれか一方のビットを “1” にしたときのビットレートは**表 18.9** の 2 倍に、両ビットとも “1” にしたときのビットレートは 4 倍になります。

表18.9　ビットレートに対するBRRの設定例（調歩同期式モード）

ビットレート（bps）	動作周波数P1φ（MHz）														
	8			9.8304			10			12			12.288		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	141	0.03	2	174	–0.26	2	177	–0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	–1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	–2.34	0	19	0.00
31250	0	7	0.00	0	9	–1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	–2.34	0	9	0.00

ビットレート（bps）	動作周波数P1φ（MHz）														
	14			16			17.2032			18			19.6608		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	248	–0.17	3	70	0.03	3	75	0.48	3	79	–0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	–0.93	0	51	0.16	0	55	0.00	0	58	–0.69	0	63	0.00
19200	0	22	–0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	–1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	–2.34	0	15	0.00

ビットレート（bps）	動作周波数P1φ（MHz）														
	20			25			30			33			40		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	88	–0.25	3	110	–0.02	3	132	0.13	3	145	0.33	3	177	–0.25
150	3	64	0.16	3	80	0.47	3	97	–0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	–0.15	2	194	0.16	2	214	–0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	–0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	–0.15	1	194	0.16	1	214	–0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	–0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	–0.15	0	194	0.16	0	214	–0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	–0.35	0	106	0.39	0	129	0.16
19200	0	32	–1.36	0	40	–0.76	0	48	–0.35	0	53	–0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	–0.54	0	32	–1.36

ビットレート（bps）	動作周波数P1φ（MHz）								
	50			60			66		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	221	–0.02						
150	3	162	–0.15	3	194	0.16	3	214	-0.07
300	3	80	0.47	3	97	–0.35	3	106	0.39
600	2	162	–0.15	3	48	–0.35	2	214	-0.07
1200	2	80	0.47	2	97	–0.35	2	106	0.39
2400	1	162	–0.15	2	48	–0.35	1	214	-0.07
4800	1	80	0.47	1	97	–0.35	1	106	0.39
9600	0	162	–0.15	1	48	–0.35			
19200	0	80	0.47	0	97	–0.35	0	106	0.39
31250	0	49	0.00	0	59	0.00	0	65	0.00
38400	0	40	–0.76	0	48	–0.35	0	53	-0.54

注.　SEMR.ABCSビット＝0、SEMR.BGDMビット＝0のときの例です。
ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
ABCSビット=1、BGDMビット=1にしたときは、ビットレートが4倍になります。

表18.10　各動作周波数における最大ビットレート（調歩同期式モード）

P1φ（MHz）	SEMRレジスタの設定値				最大ビットレート（bps）	P1φ（MHz）	SEMRレジスタの設定値				最大ビットレート（bps）
	BGDMビット	ABCSビット	n	N			BGDMビット	ABCSビット	n	N	
8	0	0	0	0	250000	19.6608	0	0	0	0	614400
		1	0	0	500000			1	0	0	1228800
	1	0	0	0			1	0	0	0	
		1	0	0	1000000			1	0	0	2457600
9.8304	0	0	0	0	307200	20	0	0	0	0	625000
		1	0	0	614400			1	0	0	1250000
	1	0	0	0			1	0	0	0	
		1	0	0	1228800			1	0	0	2500000
10	0	0	0	0	312500	25	0	0	0	0	781250
		1	0	0	625000			1	0	0	1562500
	1	0	0	0			1	0	0	0	
		1	0	0	1250000			1	0	0	3125000
12	0	0	0	0	375000	30	0	0	0	0	937500
		1	0	0	750000			1	0	0	1875000
	1	0	0	0			1	0	0	0	
		1	0	0	1500000			1	0	0	3750000
12.288	0	0	0	0	384000	33	0	0	0	0	1031250
		1	0	0	768000			1	0	0	2062500
	1	0	0	0			1	0	0	0	
		1	0	0	1536000			1	0	0	4125000
14	0	0	0	0	437500	40	0	0	0	0	1250000
		1	0	0	875000			1	0	0	2500000
	1	0	0	0			1	0	0	0	
		1	0	0	1750000			1	0	0	5000000

P1φ（MHz）	SEMR レジスタの設定値				最大ビットレート（bps）	P1φ（MHz）	SEMR レジスタの設定値				最大ビットレート（bps）
	BGDM ビット	ABCS ビット	n	N			BGDM ビット	ABCS ビット	n	N	
16	0	0	0	0	500000	50	0	0	0	0	1562500
		1	0	0	1000000			1	0	0	3125000
	1	0	0	0			1	0	0	0	
		1	0	0	2000000			1	0	0	6250000
17.2032	0	0	0	0	537600	60	0	0	0	0	1875000
		1	0	0	1075200			1	0	0	3750000
	1	0	0	0			1	0	0	0	
		1	0	0	2150400			1	0	0	7500000
18	0	0	0	0	562500	66	0	0	0	0	2062500
		1	0	0	1125000			1	0	0	4125000
	1	0	0	0			1	0	0	0	
		1	0	0	2250000			1	0	0	8250000

表 18.11　外部クロック入力時の最大ビットレート（調歩同期式モード）

P1φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）	
		SEMR.ABCS ビット＝0	SEMR.ABCS ビット＝1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000
50	12.5000	781250	1562500
60	15.0000	937500	1875000
66	16.5000	1031250	2062500

表18.12　ビットレートに対するBRRの設定例（クロック同期式モード）

ビットレート（bps）	動作周波数P1φ（MHz）																					
	8		10		16		20		25		30		33		40		50		60		66	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																						
250	3	124	—	—	3	249																
500	2	249	—	—	3	124	—	—			3	233										
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	155	3	194	3	233		
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249	3	77	3	93	3	102
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124	2	155	3	46	2	205
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249	2	77	2	93	2	102
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99	1	124	1	149	1	164
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49	1	61	1	74	1	82
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99	0	124	0	149	0	164
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39	0	49	0	59	0	65
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19	0	24	0	29	0	32
1M	0	1	—	—	0	3	0	4	—	—	—	—	—	—	0	9	—	—	0	14	0	16
2.5M			0	0 (注1)			0	1	—	—	0	2	—	—	0	3	0	4	0	5	0	6
5M							0	0 (注1)							0	1			0	2	0	2
7.5M																			0	1	0	1

空欄：設定できません。

—　：設定可能ですが誤差があります。

注1.　連続送信／連続受信はできません。1フレームの送信／受信終了後、次のフレームの送信／受信を開始するまで1ビット期間の間隔が空きます（同期クロックの出力が1ビット期間停止します）。そのため、1フレーム（8ビット）のデータ転送に9ビット分の時間がかかり、平均した転送レートは$\frac{8}{9}$倍になります。

表18.13　外部クロック入力時の最大ビットレート（クロック同期式モード）

P1φ（MHz）	外部入力クロック（MHz）	最大ビットレート（Mbps）
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000
33	5.5000	5.5000
40	6.6667	6.6667
50	8.3333	8.3333
60	10.0000	10.0000
66	11.0000	11.0000

表18.14　ビットレートに対するBRRの設定例（スマートカードインタフェースモードでn＝0、S＝372のとき）

ビットレート（bps）	P1φ（MHz）	n	N	誤差（%）
9600	7.1424	0	0	0.00
	10.00	0	1	–30
	10.7136	0	1	–25
	13.00	0	1	–8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	–15.99
	20.00	0	2	–6.66
	25.00	0	3	–12.49
	30.00	0	3	5.01
	33.00	0	4	–7.59
	40.00	0	5	–6.66
	50.00	0	6	0.01
	60.00	0	7	5.01
	66.00	0	8	2.67

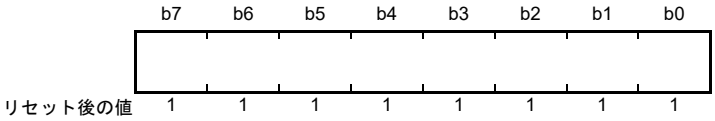
表18.15　各動作周波数における最大ビットレート（スマートカードインタフェースモードでS＝32のとき）

P1φ（MHz）	最大ビットレート（bps）	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0
66.00	1031250	0	0

表18.16　各動作周波数における最大ビットレート（スマートカードインタフェースモードでS＝372のとき）

P1φ（MHz）	最大ビットレート（bps）	n	N
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0
30.00	40323	0	0
66.00	88710	0	0

18.2.12　モジュレーションデューティレジスタ（MDDR）



MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが “1” にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR レジスタの設定値 M とビットレート B の関係を**表 18.17** に示します。

MDDR レジスタの初期値は FFh です。b7 は “1” に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR.TE ビット＝ 0、SCR.RE ビット＝ 0 の場合のみ可能です。

表 18.17　ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

モード	SEMR レジスタの設定		BRR レジスタの設定値	誤差
	BGDM ビット	ABCS ビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{P1\varphi \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \{ \frac{P1\varphi \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \} \times 100$
	0	1	$N = \frac{P1\varphi \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \{ \frac{P1\varphi \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \} \times 100$
	1	0		
	1	1	$N = \frac{P1\varphi \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) $= \{ \frac{P1\varphi \times 10^6}{B \times 16x \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \} \times 100$
クロック同期式（注 1）			$N = \frac{P1\varphi \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	
スマートカードインタフェース			$N = \frac{P1\varphi \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	誤差 (%) $= \{ \frac{P1\varphi \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N+1)} - 1 \} \times 100$

B：ビットレート（bps）
M：MDDR レジスタの設定値（128 ≦ M ≦ 255）
N：ボーレートジェネレータの BRR の設定値（0 ≦ N ≦ 255）
P1φ：動作周波数（MHz）
n と S：「18.2.11　ビットレートレジスタ（BRR）」表 18.7、表 18.8 のとおり SMR、SCMR レジスタの設定値によって決まります。

注 1.　クロック同期式モードの最高速設定（SMR.CKS[1:0] ビット =00b、かつ SCR.CKE[1] ビット =0、かつ BRR=0）では、本機能を使用しないでください。

18.2.13　シリアル拡張モードレジスタ（SEMR）

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	—	BRME	—	ACS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	（調歩同期式モードのみ有効） 0：外部クロック 1：予約ビット	R/W （注1）
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	BRME	ビットレートモジュレーションイネーブルビット	0：ビットレートモジュレーション機能無効 1：ビットレートモジュレーション機能有効	R/W （注1）
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロックセレクトビット	（調歩同期式モードのみ有効） 0：基本クロック16サイクルの期間が1ビット期間の転送レートになります 1：基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W （注1）
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	（調歩同期式モード） 0：RXDn入力信号のノイズ除去機能無効 1：RXDn入力信号のノイズ除去機能有効	R/W （注1）
b6	BGDM	ボーレートジェネレータ倍速モードセレクトビット	（調歩同期式モードで、SCR.CKE[1]ビット＝0のときのみ有効） 0：ボーレートジェネレータから通常の周波数のクロックを出力 1：ボーレートジェネレータから2倍の周波数のクロックを出力	R/W （注1）
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	（調歩同期式モードのみ有効） 0：RXDn端子入力のLowレベルでスタートビットを検出 1：RXDn端子入力の立ち下がりエッジでスタートビットを検出	R/W （注1）

注1.　SCR.TEビット＝0、SCR.REビット＝0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SEMR レジスタは、調歩同期式モード時の 1 ビット期間のクロックを選択するためのレジスタです。

ACS0 ビット（調歩同期クロックソースセレクトビット）

調歩同期式モードにおける、クロックソースを選択します。
ACS0 ビットは、調歩同期式モード（SMR.CM ビット＝ 0）で、
外部クロック入力（SCR.CKE[1:0] ビット＝ 10b、11b）のときに有効です。
調歩同期式モード以外では、“0” としてください。

BRME ビット（ビットレートモジュレーションイネーブルビット）

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

NFEN ビット（デジタルノイズフィルタ機能イネーブル ビット）

デジタルノイズフィルタ機能の有効、無効を選択します。
有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去します。
上記以外のモードでは NFEN ビットを “0” にし、デジタルノイズフィルタ機能を無効にしてください。
デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット（ボーレートジェネレータ倍速モードセレクトビット）

ボーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード（SMR.CM ビット＝ 0）で、クロックソースに内蔵ボーレートジェネレータを選択 SCR.CKE[1] ビット＝ 0）のときに有効です。内蔵ボーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット＝ 1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では “0” を設定してください。

RXDESEL ビット（調歩同期スタート ビットエッジ検出 セレクトビット）

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレーク時の動作が異なります。ブレーク中に受信動作を停止させたい場合、およびブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は “1” を設定してください。

調歩同期式モード以外では “0” を設定してください。

18.2.14　ノイズフィルタ設定レジスタ（SNFR）

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	NFCS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	NFCS[2:0]	ノイズフィルタクロック セレクトビット	調歩同期式モード時、基本クロック基準で b2　b0 0 0 0：1分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W （注1）
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　SCR.TE ビット＝0、SCR.RE ビット＝0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

NFCS[2:0] ビット（ノイズフィルタクロックセレクトビット）

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b” を設定してください。

18.2.15　拡張機能コントロールレジスタ（SECR）

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CTSE	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	CTSE	CTSイネーブルビット	0：CTS機能禁止（RTS出力有効） 1：CTS機能許可	R/W （注1）
b2～b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　SCR.TE ビット＝0、SCR.RE ビット＝0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SECR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスです。

CTSE ビット（CTS イネーブルビット）

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は “1” を設定します。“0” を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード時は “0” を設定してください。

18.3　調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 18.2 に示します。

1 フレームは、スタートビット（Low）から始まり送受信データ、パリティビット、ストップビット（High）の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態（High）に保たれています。

SCI は通信回線を監視し、スペース（Low）を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード / ライトができ、連続送受信が可能です。

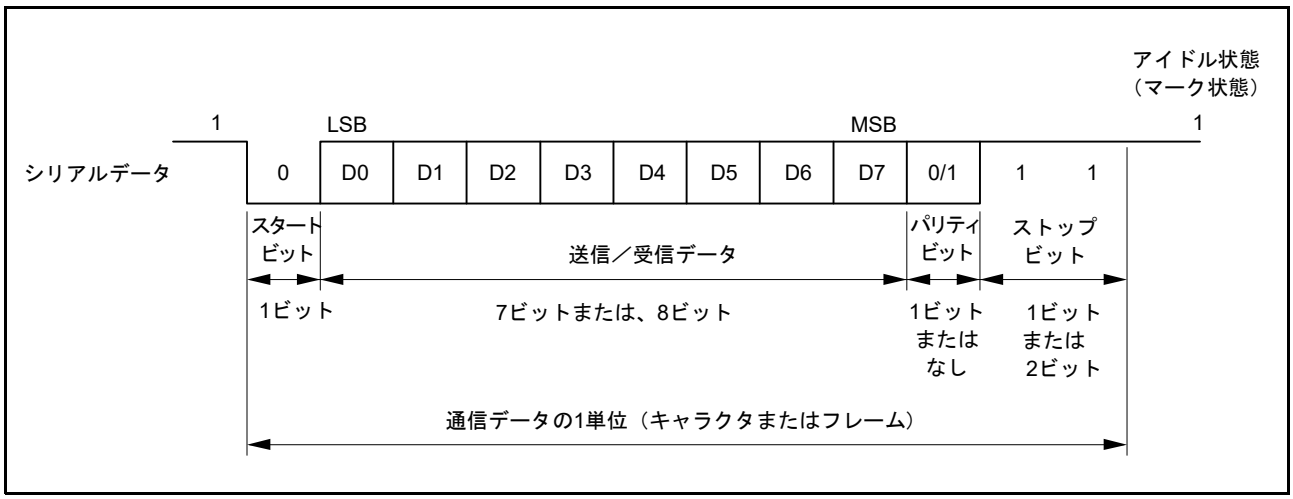


図 18.2　調歩同期式シリアル通信のデータフォーマット
（8 ビットデータ / パリティあり /2 ストップビットの例）

18.3.1　シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを**表 18.18** に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については**「18.4　マルチプロセッサ通信機能」**を参照してください。

表 18.18　シリアル送信/受信フォーマット（調歩同期式モード）

SCMR の設定	SMR の設定				シリアル送信／受信フォーマットとフレーム長
CHR1	CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12 13
0	0	0	0	0	S 9ビットデータ STOP
0	0	0	0	1	S 9ビットデータ STOP STOP
0	0	1	0	0	S 9ビットデータ P STOP
0	0	1	0	1	S 9ビットデータ P STOP STOP
1	0	0	0	0	S 8ビットデータ STOP
1	0	0	0	1	S 8ビットデータ STOP STOP
1	0	1	0	0	S 8ビットデータ P STOP
1	0	1	0	1	S 8ビットデータ P STOP STOP
1	1	0	0	0	S 7ビットデータ STOP
1	1	0	0	1	S 7ビットデータ STOP STOP
1	1	1	0	0	S 7ビットデータ P STOP
1	1	1	0	1	S 7ビットデータ P STOP STOP
0	0	—	1	0	S 9ビットデータ MPB STOP
0	0	—	1	1	S 9ビットデータ MPB STOP STOP
1	0	—	1	0	S 8ビットデータ MPB STOP
1	0	—	1	1	S 8ビットデータ MPB STOP STOP
1	1	—	1	0	S 7ビットデータ MPB STOP
1	1	—	1	1	S 7ビットデータ MPB STOP STOP

S　　：スタートビット

STOP　：ストップビット

P　　：パリティビット

MPB　：マルチプロセッサビット

18.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍（注 1）の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 18.3 に示すように受信データを基本クロックの 8 サイクル目（注 1）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

$$M=\left|(0.5-\frac{1}{2N})-(L-0.5)F-\frac{|D-0.5|}{N}(1+F)\right|\times 100\ [\%] \quad \cdots 式（1）$$

M ： 受信マージン
N ： クロックに対するビットレートの比
　（SEMR.ABCS ビット=0 のとき N=16、ABCS ビット=1 のとき N=8）
D ： クロックのデューティ（D=0.5～1.0）
L ： フレーム長（L=9～13）
F ： クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）＝ 0、D（クロックのデューティ）＝ 0.5 とすると、

M=｛0.5-1/（2×16）｝×100〔%〕=46.875%

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30%の余裕を持たせてください。

注 1.　SEMR.ABCS ビット＝ 0 のときの例です。ABCS ビット＝ 1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

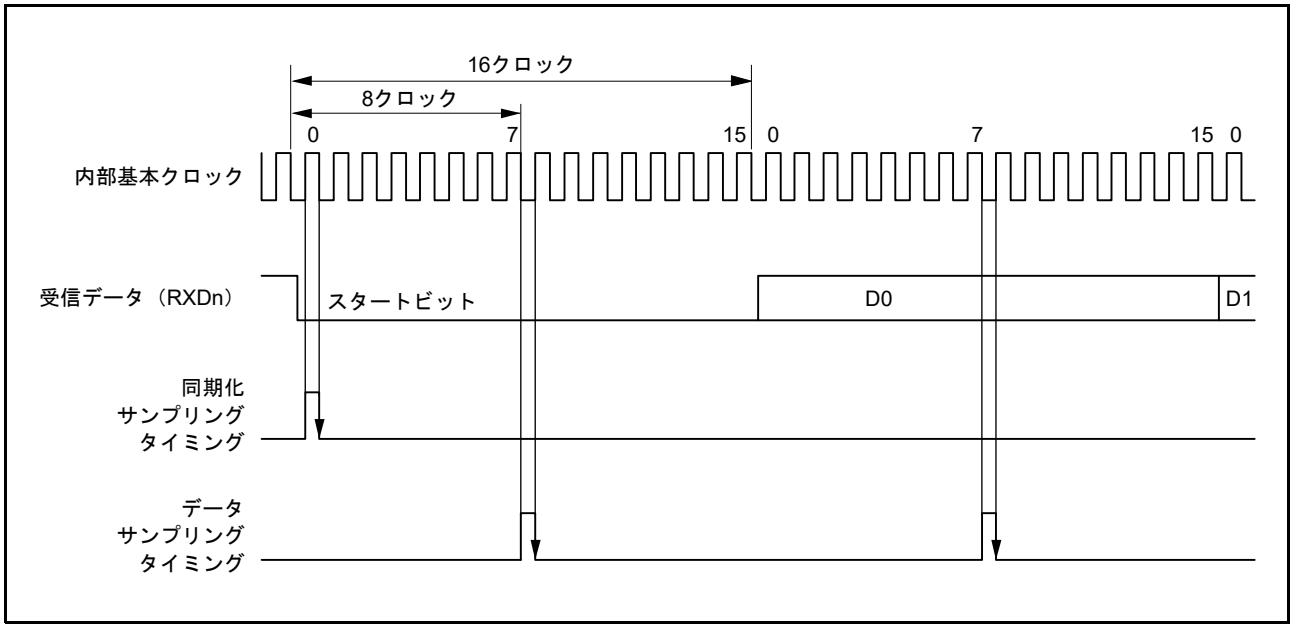


図 18.3　調歩同期式モードの受信データサンプリングタイミング

18.3.3　クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCKn 端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（SEMR.ABCS ビット＝ 0 のとき）、8 倍（SEMR.ABCS ビット＝ 1 のとき）の周波数のクロックを入力してください。

内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は**図 18.4** に示すように送信データの中央でクロックが立ち上がります。

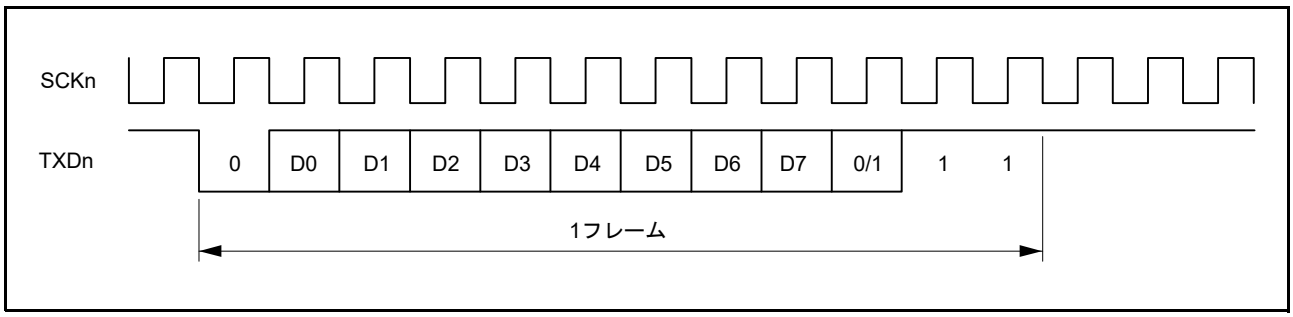


図 18.4　出力クロックと送信データの位相関係
（調歩同期式モード：SMR.CHR ＝ 0、PE ＝ 1、MP ＝ 0、STOP ＝ 1）

18.3.4　倍速モード

SEMR.BGDM ビットを “1” にすることによって内蔵ボーレートジェネレータの出力クロック周波数が 2 倍となり、ビットレートが 2 倍の高速通信が可能となります。また、この状態から SEMR.ABCS ビットを “1” にすると基本クロックのサイクル数が 16 から 8 になるため、ビットレートは初期状態から 4 倍に高速化されます。

なお、**「18.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン」**の式（1）が示すとおり、SEMR.ABCS ビットを “1” にするとサイクル数が 8 になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート 2 倍の高速通信は、SEMR.BGDM ビットを “0”、SEMR.ABCS ビットを “1” の設定よりも、SEMR.BGDM ビットを “1”、SEMR.ABCS ビットを “0” の設定を推奨します。

18.3.5　CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。

SECR.CTSE ビットを “1” にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTSn# 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTSn# 端子出力を使用して受信要求を行う機能で、受信可能状態になると Low を出力します。Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが “1”
- 受信動作中でない
- 読み出し前の受信データがない
- SSR.ORER, FER, PER フラグがすべて “0”

[High になる条件]

Low になる条件を満たさない場合

18.3.6　SCI の初期化（調歩同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 18.5 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR.ORER, FER, PER の各フラグおよび RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、SCR.TIE ビットが “1” の場合、TXI 割り込み要求が発生しますので注意してください。

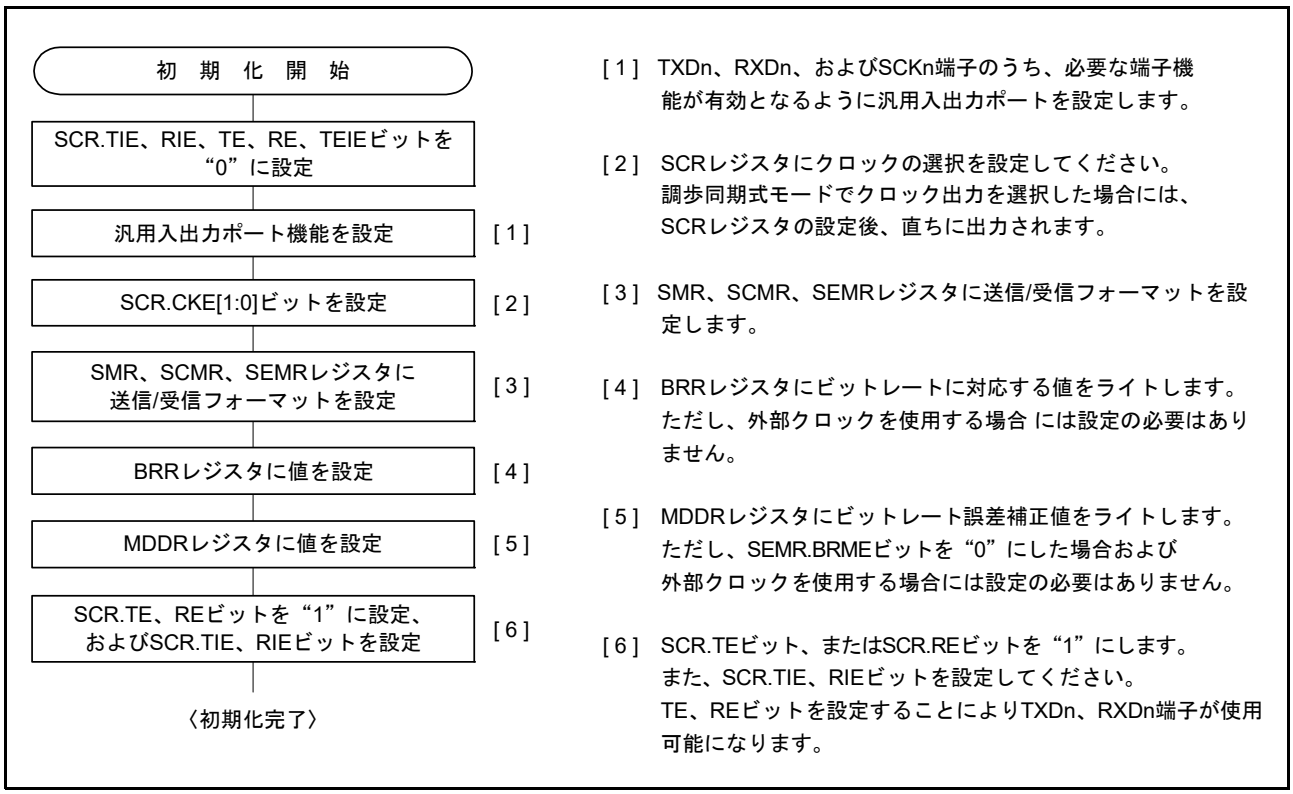


図 18.5　SCI の初期化フローチャートの例（調歩同期式モード）

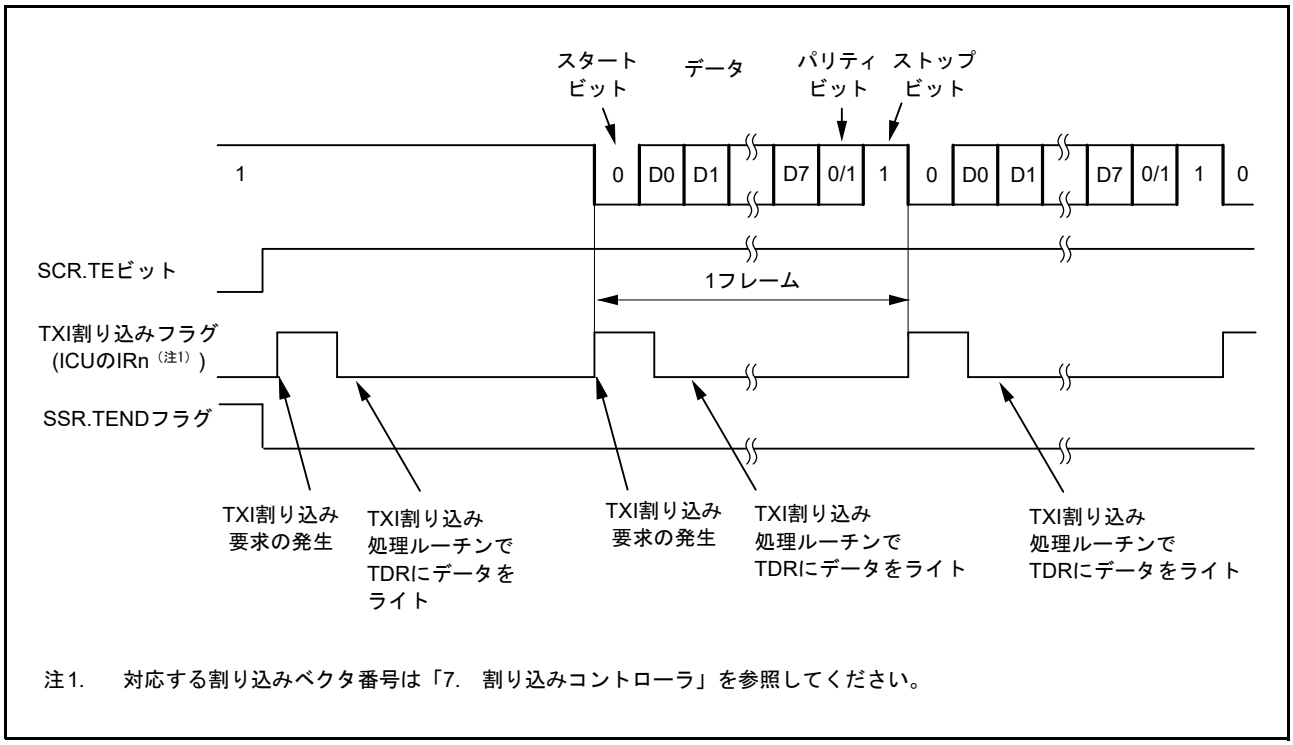
18.3.7　シリアルデータの送信（調歩同期式モード）

図 18.6 ～図 18.8 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ（注 1）にデータが書き込まれると、TDR レジスタ（注 1）から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” にした後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” にすることで発生します。
2. SECR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、TDR レジスタ（注 1）から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” にされていると、TXI 割り込み要求を発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ（注 1、注 2）に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ（注 1、注 2）に書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ（注 3）の更新（書き込み）をチェックします。
5. TDR レジスタ（注 3）が更新されていると、SECR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタ（注 1）から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ（注 3）が更新されていなければ、SSR.TEND フラグを “1” にし、ストップビット送出後、“1” を出力してマーク状態になります。このとき、SCR.TEIE ビットが “1” にされていると、SSR.TEND フラグが “1” にされ TEI 割り込み要求を発生します。

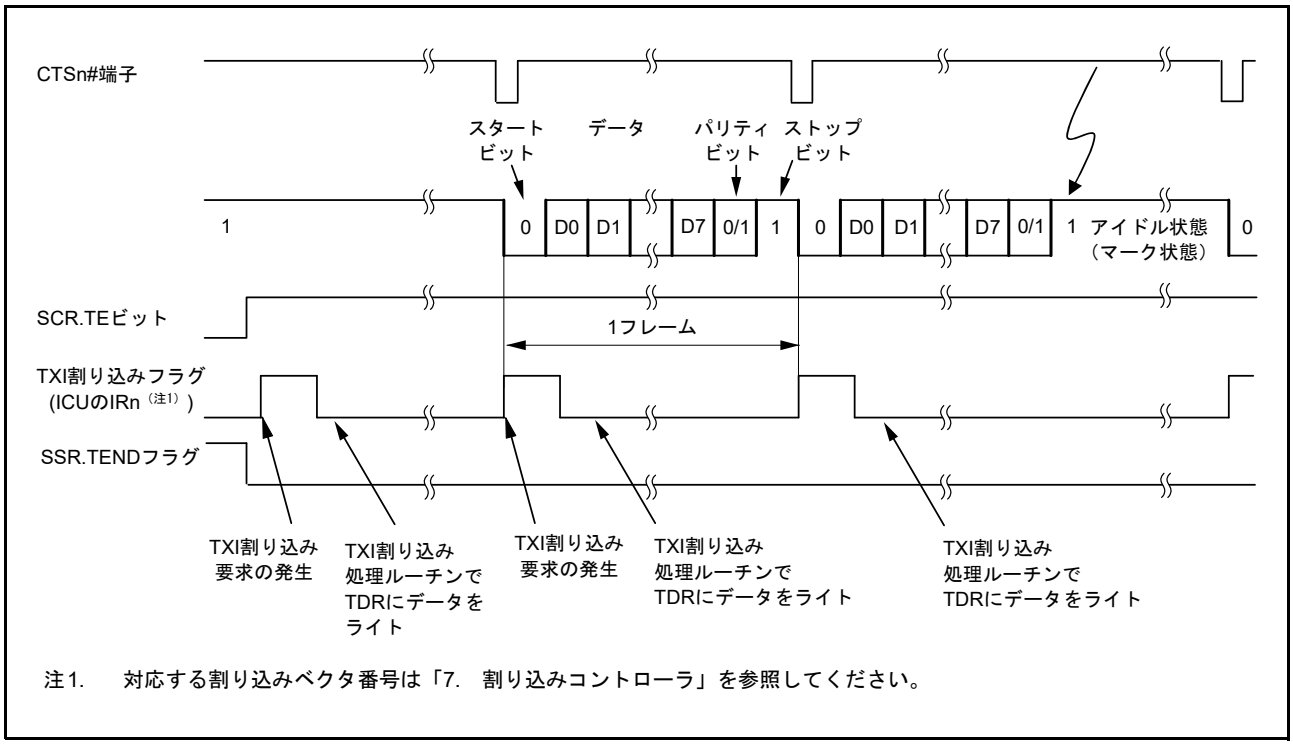
注 1.　データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。
注 2.　データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。
注 3.　データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 18.9 にシリアル送信のフローチャートの例を示します。



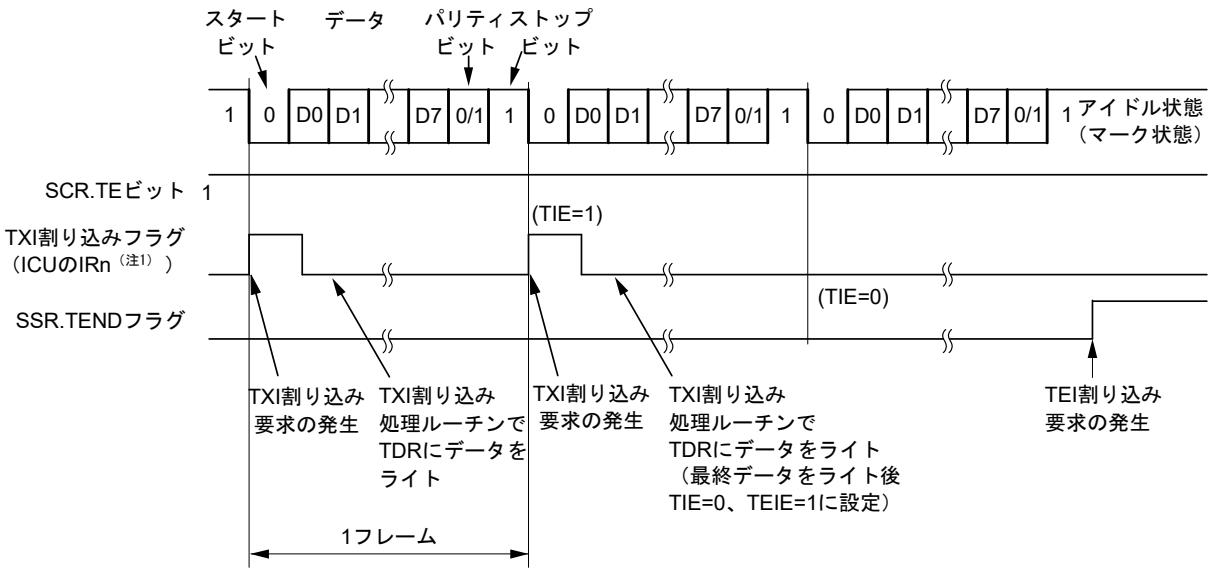
注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.6　調歩同期式モードのシリアル送信の動作例（1）
（8 ビットデータ／パリティあり／ 1 ストップビット／ CTS 機能使用しない／送信開始時）



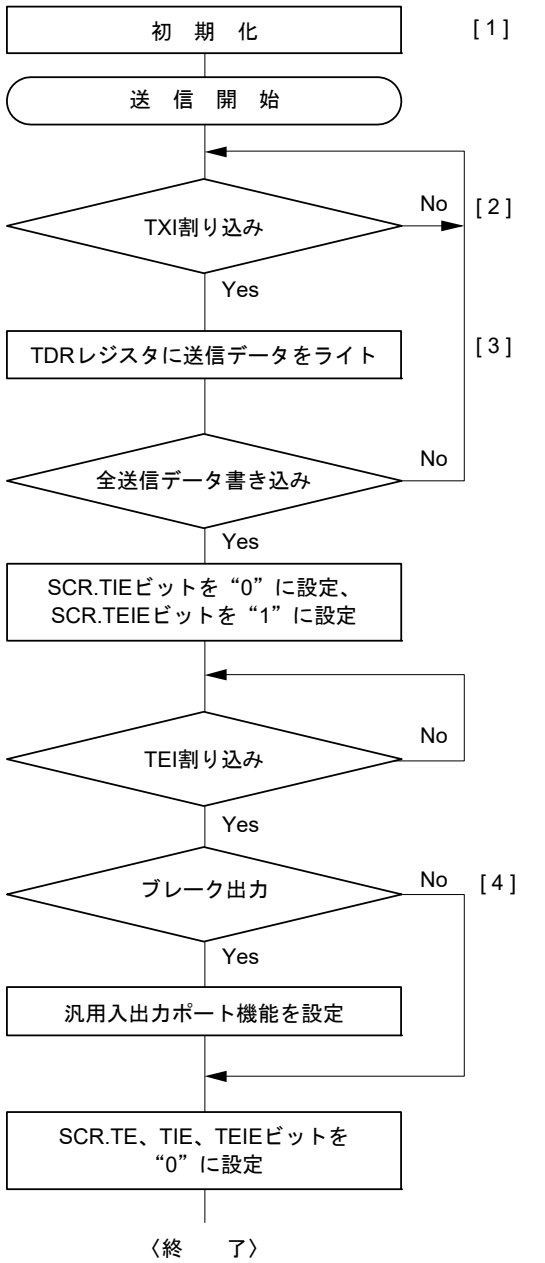
注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.7　調歩同期式モードのシリアル送信の動作例（2）
（8 ビットデータ／パリティあり／ 1 ストップビット／ CTS 機能使用する／送信開始時）



注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.8　調歩同期式モードのシリアル送信の動作例（3）
（8 ビットデータ／パリティあり／ 1 ストップビット／ CTS 機能使用しない／送信中～送信終了時）



[1]SCIの初期化：
データ送信に設定します。
SCR.TEビットを“1”にした後、
1フレーム分の1を出力して送信可能状態になります。

[2]TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み（TXI）要求が発生します。
TXI割り込み処理ルーチンでTDRレジスタに送信データを1回だけライトしてください。

[3]シリアル送信の継続手順：
シリアル送信を続けるときには、TXI割り込み要求でTDRレジスタに送信データを1回だけライトしてください。
TXI割り込み要求でDMACを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを“0”に、SCR.TEIEビットを“1”にします。

[4]シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、TXDn端子に対応する汎用入出力ポート機能を設定（Low出力に設定）し、TXDn
端子を汎用入出力ポート機能に切り替えた後、SCR.TEビットを“0”にします。

注.　TDRレジスタは、データ長9ビット選択時は、TDRHレジスタおよびTDRLレジスタになります。TDRH、TDRLレジスタの順にデータを書き込んでください。

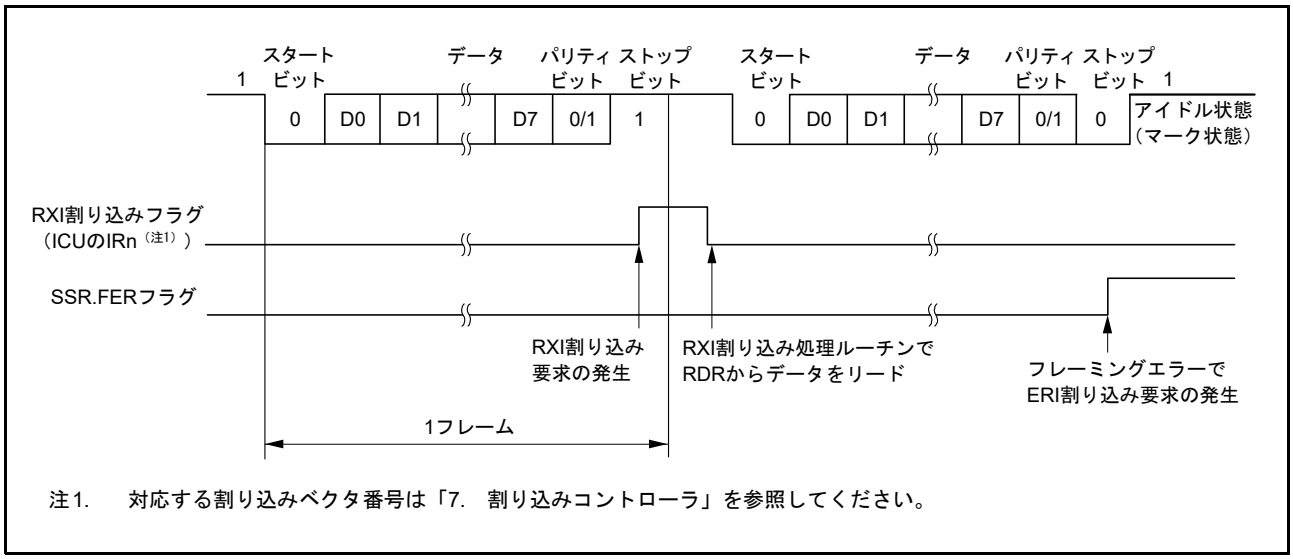
図 18.9　　調歩同期式モードのシリアル送信のフローチャート例

18.3.8　シリアルデータの受信（調歩同期式モード）

図 18.10、図 18.11 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

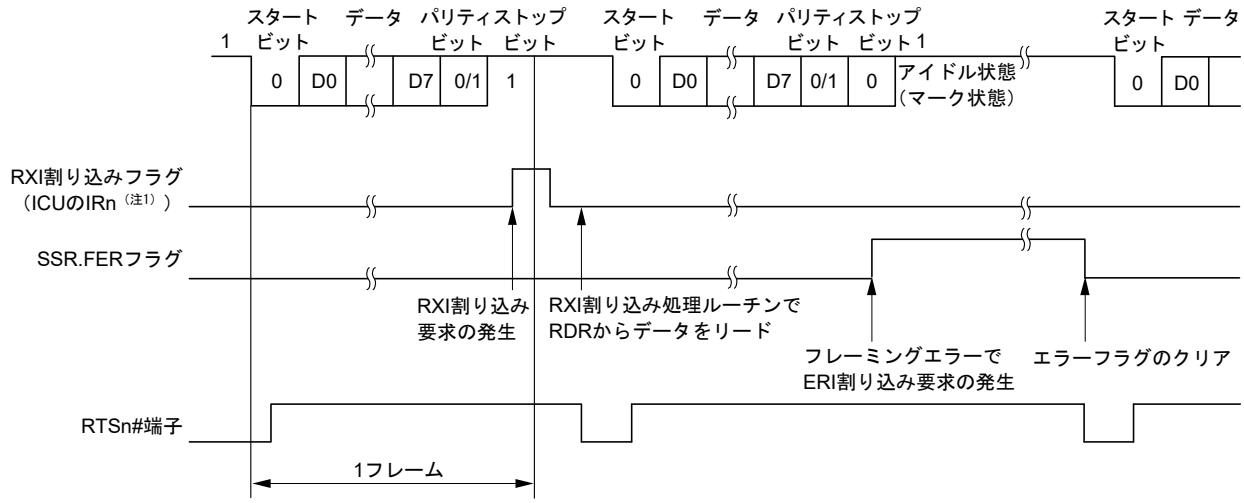
1. SCR.RE ビットを “1” にして、RTSn# 端子出力を Low にします。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。受信データは RDR レジスタ（注 1）に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ（注 1）に転送します。このとき、RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。
5. フレーミングエラー（ストップビットが “0” のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ（注 1）に転送します。このとき、RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。
6. 正常に受信したときは、受信データを RDR レジスタ（注 1）に転送します。このとき、RIE ビットが “1” にされていると、RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR レジスタ（注 1）に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ（注 2）に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

注 1.　データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。
注 2.　データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。



注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.10　調歩同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）
（8 ビットデータ／パリティあり／1 ストップビットの例）



注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.11　調歩同期式モードのシリアル受信時の動作例（2）（RTS 機能使用時）
（8 ビットデータ／パリティあり／1 ストップビットの例）

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 18.19 に示します。

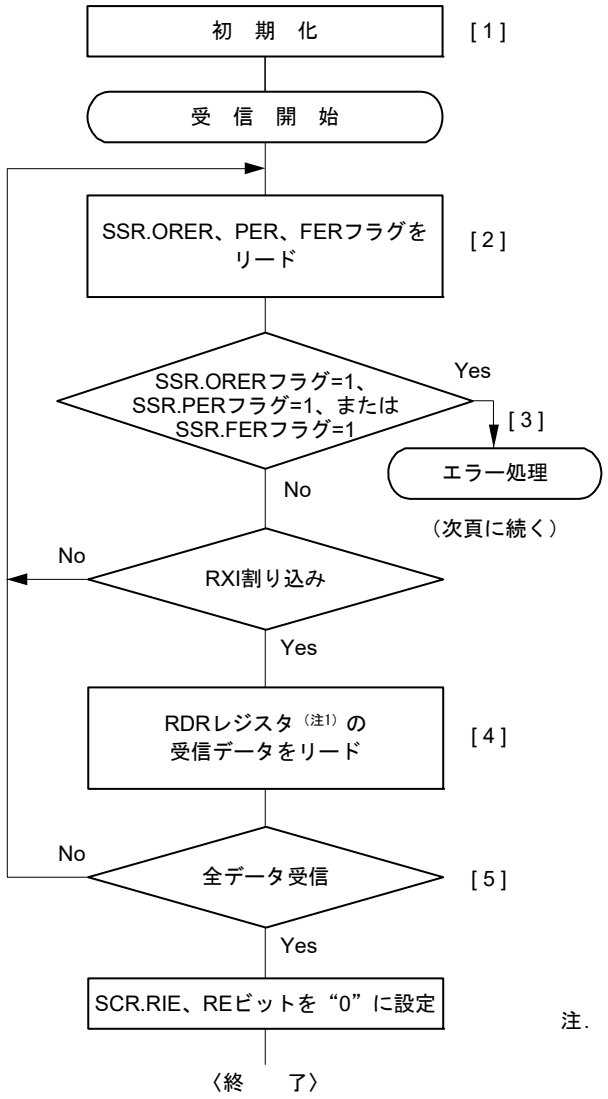
受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを “0” にしてください。また、オーバランエラー処理では RDR（または RDRL）レジスタをリードしてください。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR（または RDRL）レジスタに読み出し前の受信データが残る場合があるため、RDR（または RDRL）レジスタをリードしてください。

図 18.12、図 18.13 にシリアル受信のフローチャートの例を示します。

表 18.19　SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR（注）へ転送	フレーミングエラー
0	0	1	RDR（注）へ転送	パリティエラー
1	1	0	消失	オーバランエラー＋フレーミングエラー
1	0	1	消失	オーバランエラー＋パリティエラー
0	1	1	RDR（注）へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

注.　データ長 9 ビット選択時は RDRH、RDRL レジスタになります。



[1]SCIの初期化：
データ受信に設定します。

[2][3] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、ERI割り込みが発生します。SSR.ORER, PER, FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、PER、FERフラグをすべて“0”にしてください。ORER、PER、FERフラグのいずれかが“1”にされた状態では受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

[4]RXI割り込みルーチンで、RDRレジスタの受信データを1回リードします。

[5]シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RXI割り込みルーチンでRDRレジスタの値をリードします。DMACを起動し、RDRレジスタの値をリードすることも可能です。

注.　RDRレジスタは、データ長9ビット選択時は、RDRHレジスタおよびRDRLレジスタになります。RDRH、RDRLレジスタの順にデータを読み出してください。

図 18.12　調歩同期式モードのシリアル受信のフローチャート例（1）

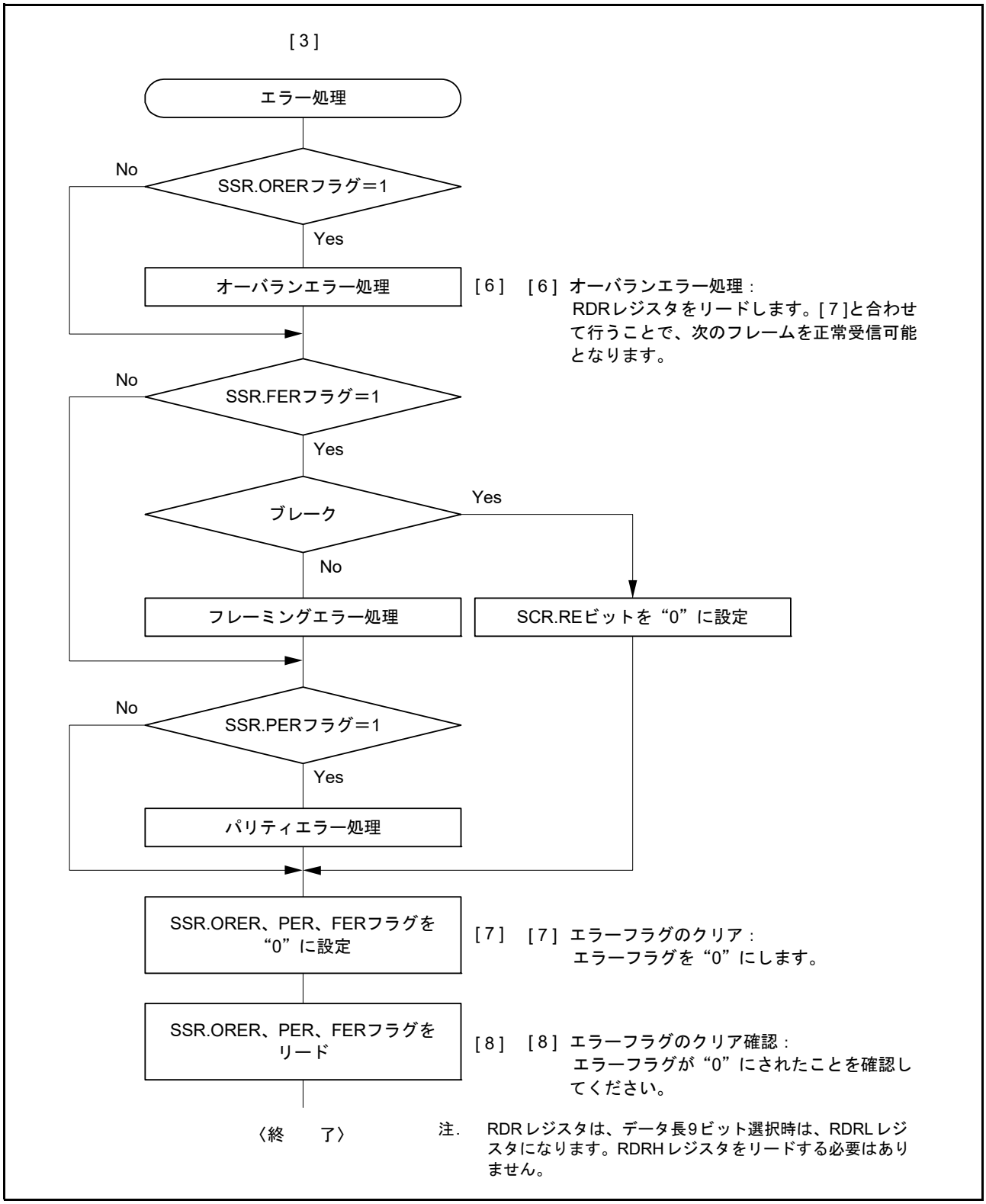


図 18.13　調歩同期式モードのシリアル受信のフローチャート例（2）

18.4　マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが “1” のとき ID 送信サイクル、“0” のときデータ送信サイクルとなります。

図 18.14 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが “1” の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが “1” の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを “1” にすると、マルチプロセッサビットが “1” のデータを受け取るまで RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出と SSR.ORER、FER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが “1” の受信キャラクタを受け取ると、SSR.MPBT ビットが “1” にされるとともに SCR.MPIE ビットが自動的にクリアされて通常の受信動作に戻ります。このとき SCR.RIE ビットがセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

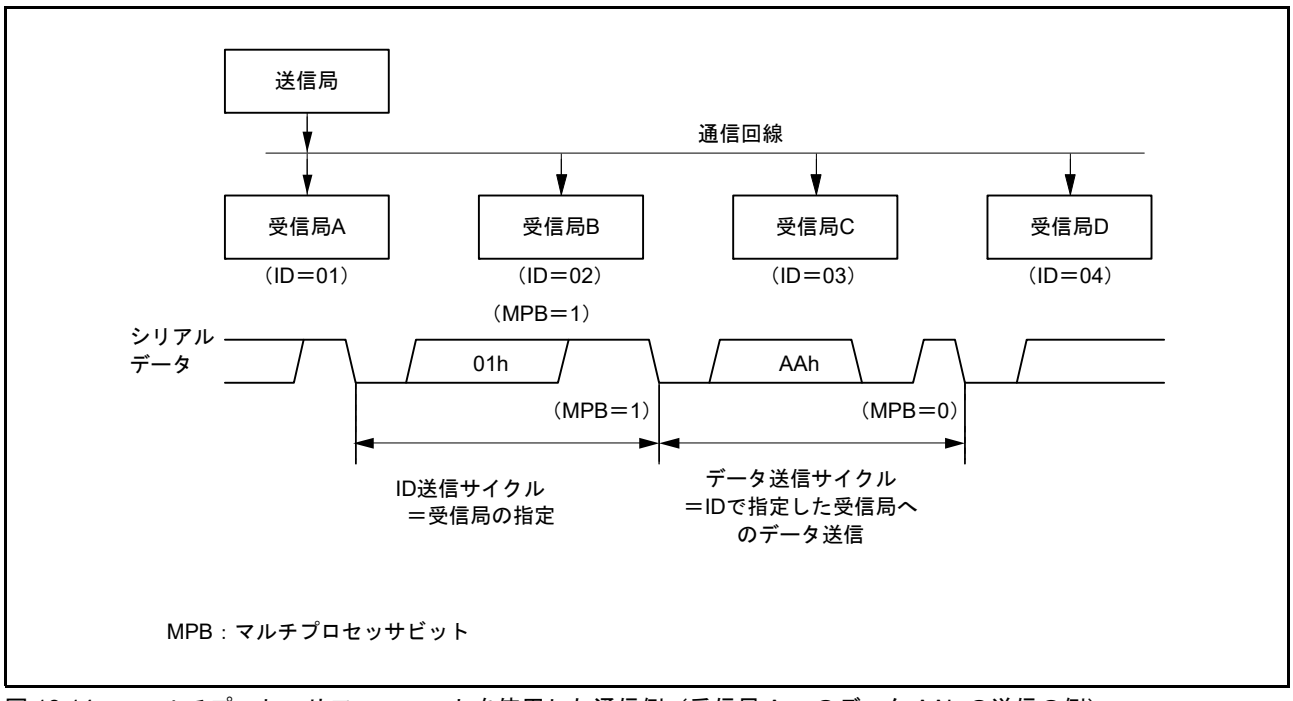
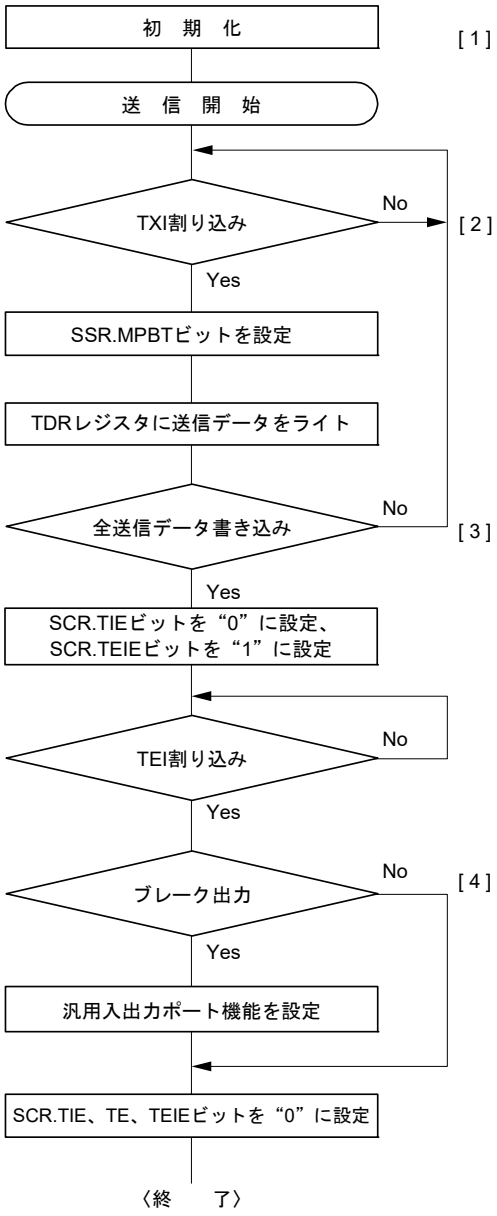


図 18.14　マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AAh の送信の例）

18.4.1　マルチプロセッサシリアルデータ送信

図 18.15 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを “1” にして送信してください。データ送信サイクルでは SSR.MPBT ビットを “0” にして送信してください。その他の動作は調歩同期式モードの動作と同じです。



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを“1”にした後、1フレーム分の1を出力して送信可能状態になります。

[2] TXI割り込み要求：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み（TXI）要求が発生します。
TXI割り込み処理ルーチンでSSR.MPBTビットを“0”または“1”にし、TDRレジスタに送信データを1回だけライトしてください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、TXI割り込み要求でTDRレジスタに送信データを1回だけライトしてください。TXI割り込み要求でDMACを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを“0”に、SCR.TEIEビットを“1”にします。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、TXDn端子に対応する汎用入出力ポート機能を設定（Low出力に設定）し、TXDn端子を汎用入出力ポート機能に切り替えた後に、SCR.TEビットを“0”にします。

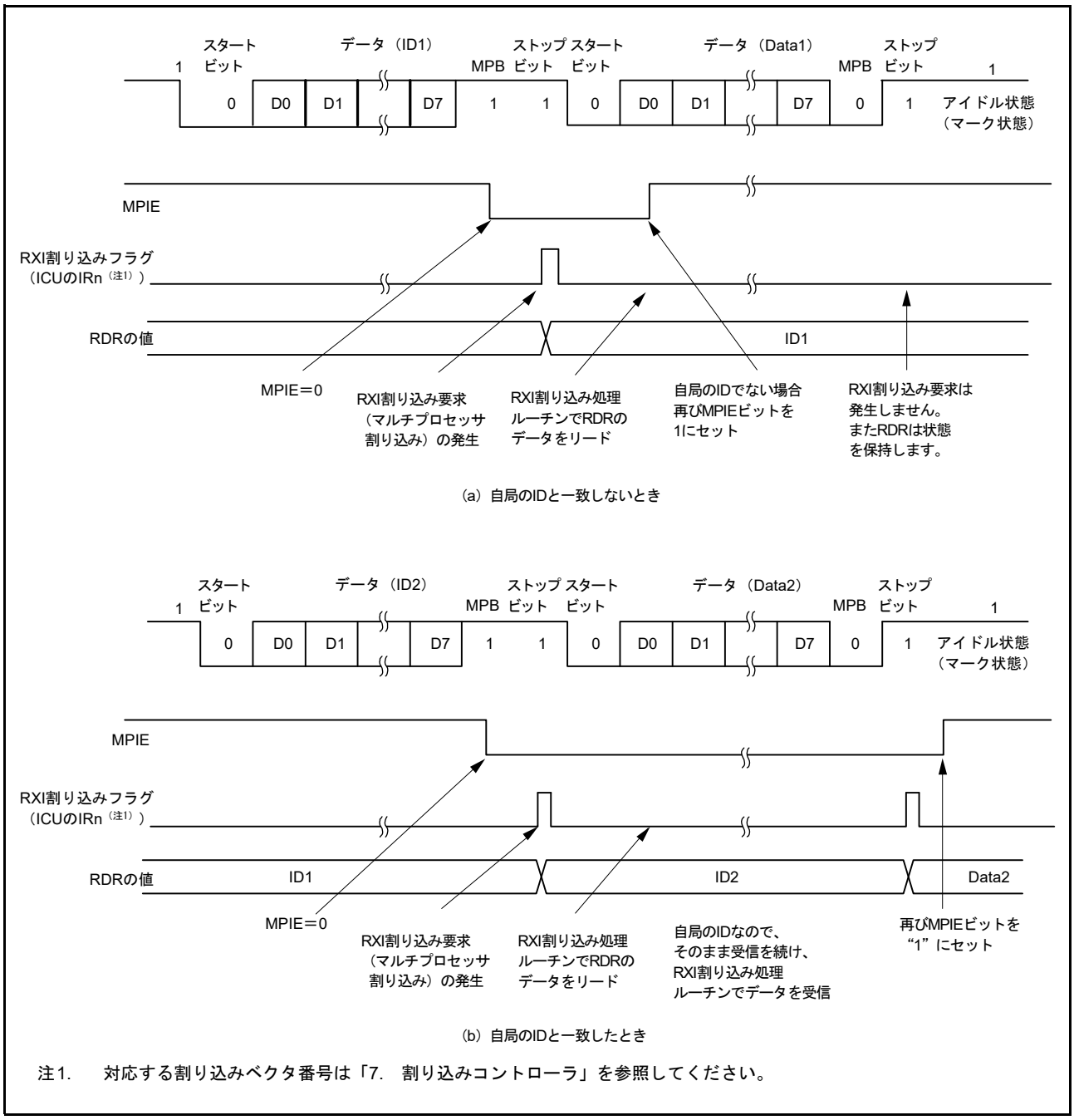
注.　TDRレジスタは、データ長9ビット選択時は、TDRHレジスタおよびTDRLレジスタになります。TDRH、TDRLレジスタの順にデータを書き込んでください。

図 18.15　マルチプロセッサシリアル送信のフローチャートの例

18.4.2　マルチプロセッサシリアルデータ受信

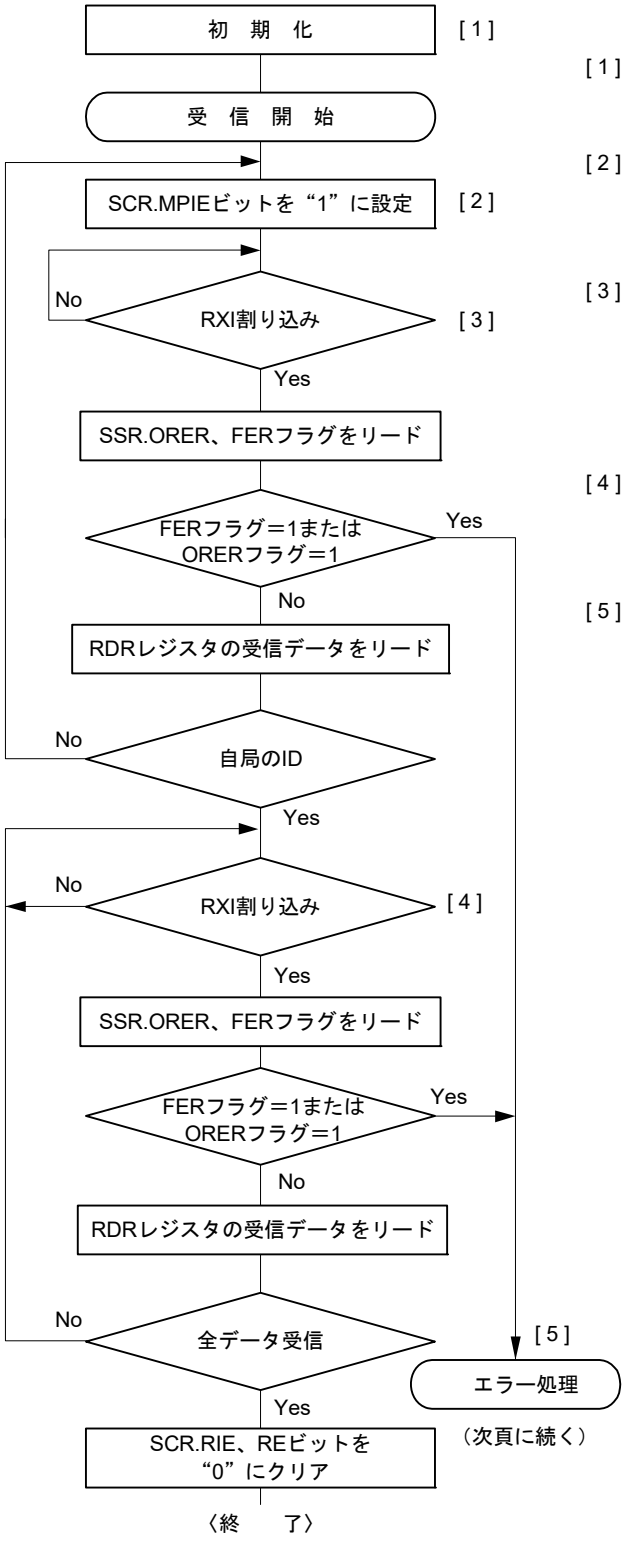
図 18.17、図 18.18 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを “1” にするとマルチプロセッサビットが “1” の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが “1” の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。

図 18.16 に受信時の動作例を示します。



注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.16　SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例）



[1] SCIの初期化：
データ受信に設定します。

[2] ID受信サイクル：
SCR.MPIEビットを“1”にし、ID受信を待ちます。

[3] SCIの状態を確認して、IDの受信と比較：
1回目のRXI割り込みで、RDRレジスタのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びSCR.MPIEビットを“1”にしてRXI割り込み要求を待ちます。

[4] RXI割り込みでデータの受信：
RXI割り込みルーチンで、RDRレジスタのデータを1回リードします。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSR.ORER, FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、FERフラグをすべて“0”にしてください。ORER、FERフラグのいずれかが“1”にされた状態では受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

注.　RDRレジスタは、データ長9ビット選択時は、RDRHレジスタおよびRDRLレジスタになります。RDRH、RDRLレジスタの順にデータを読み出してください。

図 18.17　マルチプロセッサシリアル受信のフローチャートの例（1）

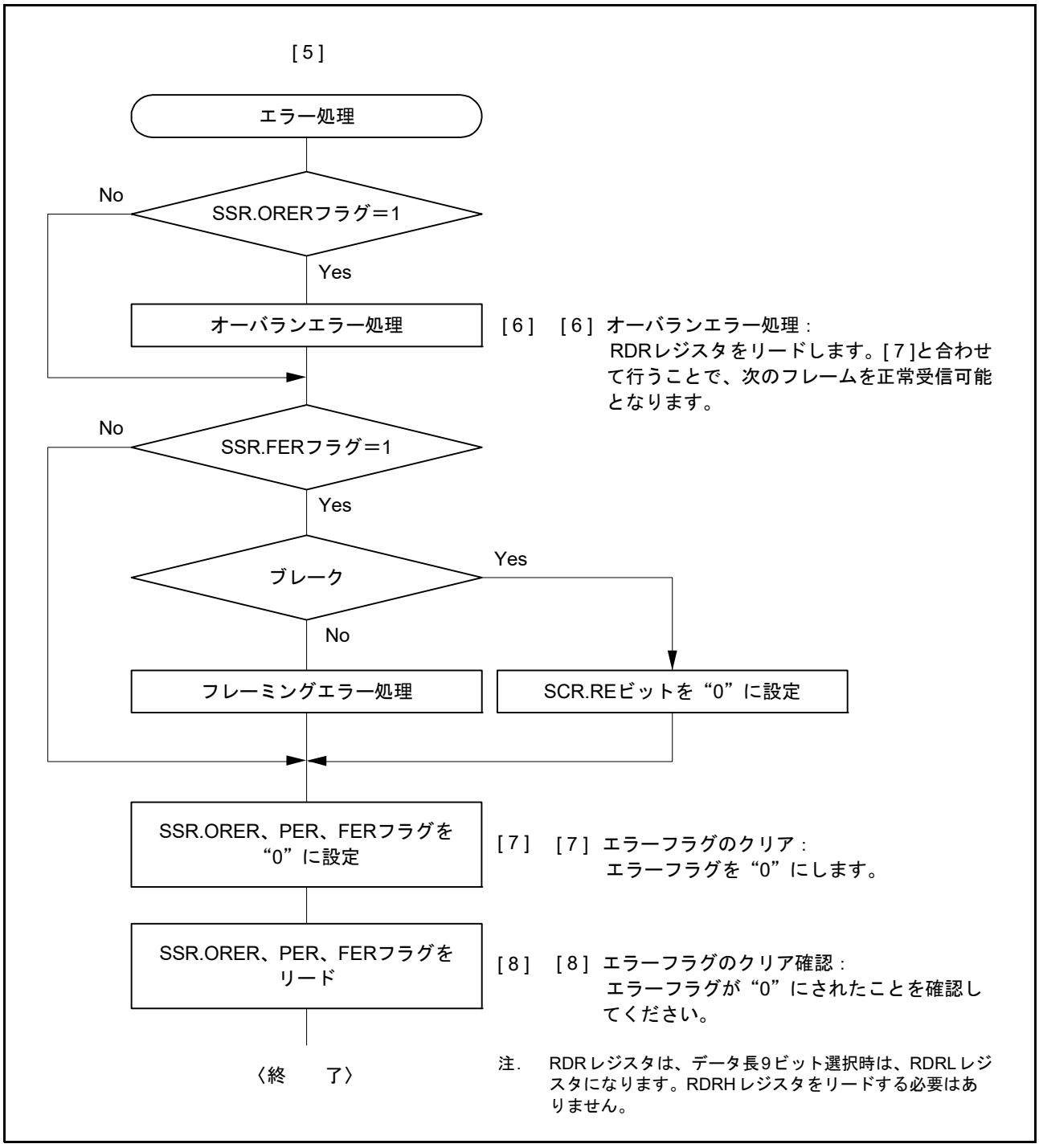


図 18.18　マルチプロセッサシリアル受信のフローチャートの例（2）

18.5　クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 18.19 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

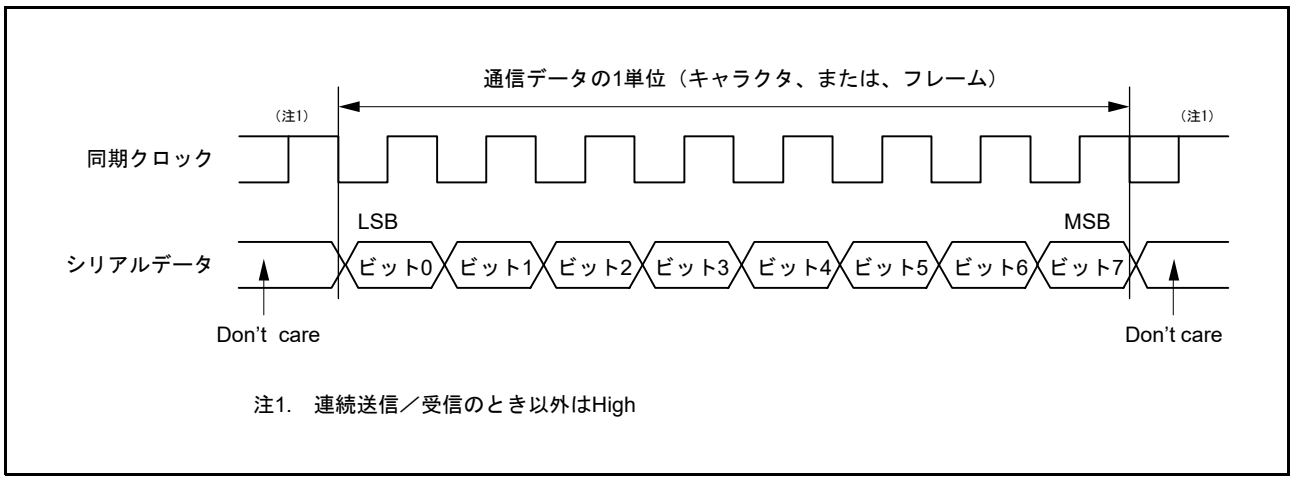


図 18.19　クロック同期式シリアル通信のデータフォーマット（LSB ファーストの場合）

18.5.1　クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを “1” にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを “0” にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが “0” のときに CTSn# 端子入力が High であれば、SCR.RE ビットを “1” にしてもクロック出力を開始しません。SCR.RE ビットを “1” にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを “0” にすると、同期クロックは High レベルで停止します。

18.5.2　CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SECR.CTSE ビット “1” にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが “1”
- 送受信動作中でない
- 読み出し前の受信データがない（SCR.RE ビットが “1” のとき）
- 送信データを書き込み済（SCR.TE ビットが “1” のとき）
- SSR.ORER フラグが “0”

[High になる条件]

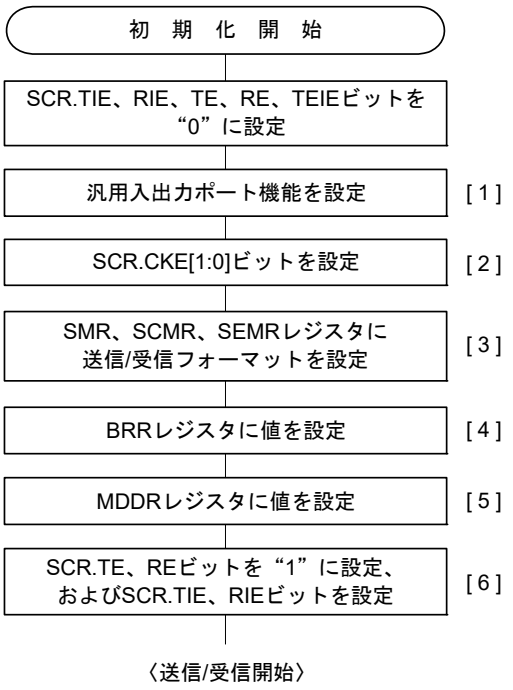
Low になる条件を満たさない場合

18.5.3　SCI の初期化（クロック同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 18.20 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。



[1] TXDn、RXDn、およびSCKn端子のうち、必要な入力/出力機能が有効となるように汎用入出力ポートを設定します。

[2] SCRレジスタにクロックの選択を設定してください。
内部クロックを選択した場合は、SCK端子が出力になります。

[3] SMR、SCMR、SEMRレジスタに送信/受信フォーマットを設定します。

[4] BRRレジスタにビットレートに対応する値をライトします。
ただし、外部クロックを使用する場合 には設定の必要はありません。

[5] MDDRレジスタにビットレート誤差補正値をライトします。
ただし、SEMR.BRMEビットを“0”にした場合および
外部クロックを使用する場合には設定の必要はありません。

[6] SCR.TEビット、またはSCR.REビットを“1”にします。
また、SCR.TIE、RIEビットを設定してください。
TE、REビットを設定することによりTXDn、RXDn端子が使用可能になります。

注.　送受信同時動作の場合は、SCR.TE、RE ビットの “0” 設定、“1” 設定は、同時に行ってください。

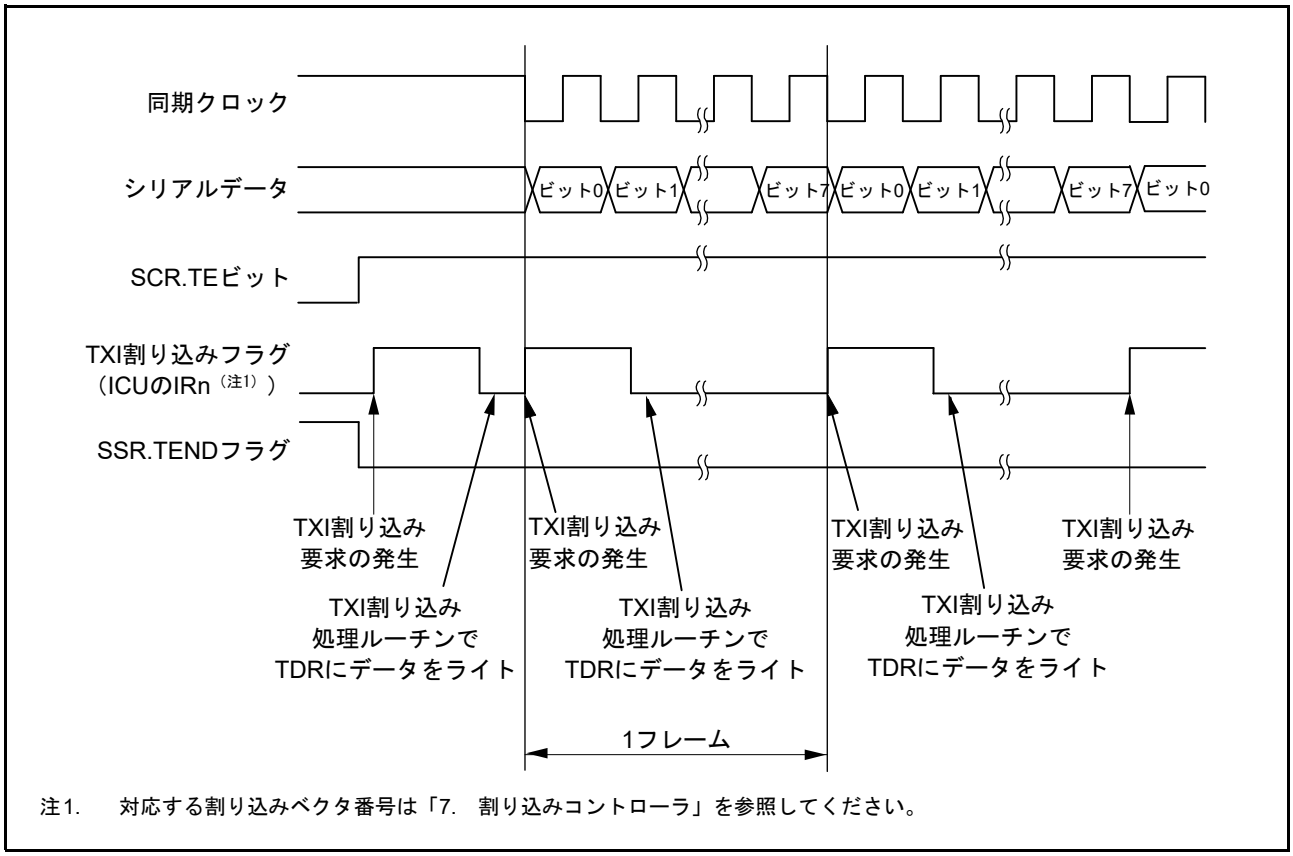
図 18.20　SCI の初期化フローチャートの例（クロック同期式モード）

18.5.4　シリアルデータの送信（クロック同期式モード）

図 18.21、図 18.22、図 18.23 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

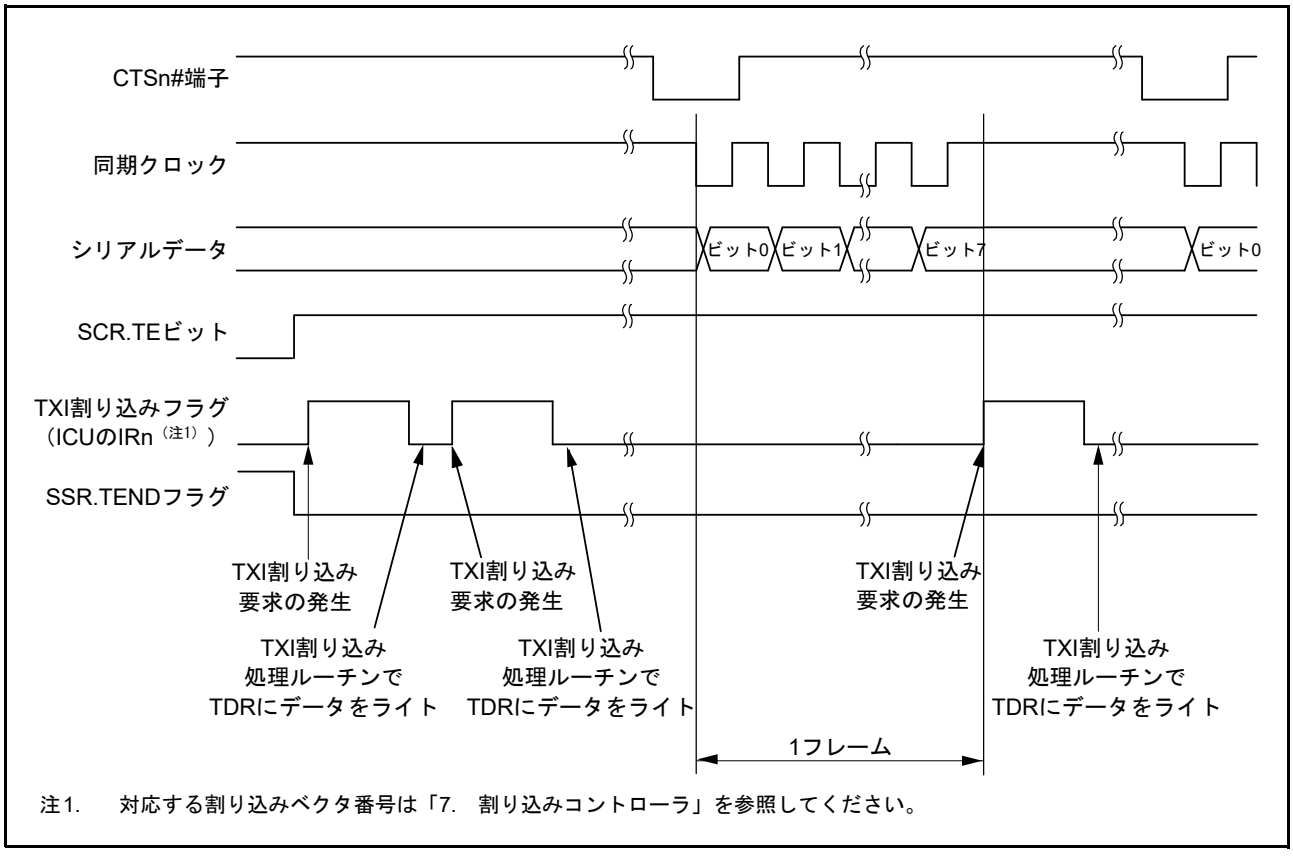
1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” にした後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” にされていると、TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SECR.CTSE ビットが “1”（CTS 機能許可）のとき、CTS 信号入力が Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが “1” にされていると、TEI 割り込み要求を発生します。SCKn 端子は High に固定されます。

図 18.24 にシリアル送信のフローチャートの例を示します。
受信エラーフラグ（SSR.ORER, FER, PER）が “1” にされた状態では送信を開始しません。送信開始の前に、受信エラーフラグを “0” にしてください。また、受信エラーフラグは SCR.RE ビットを “0” にしただけではクリアされませんので注意してください。



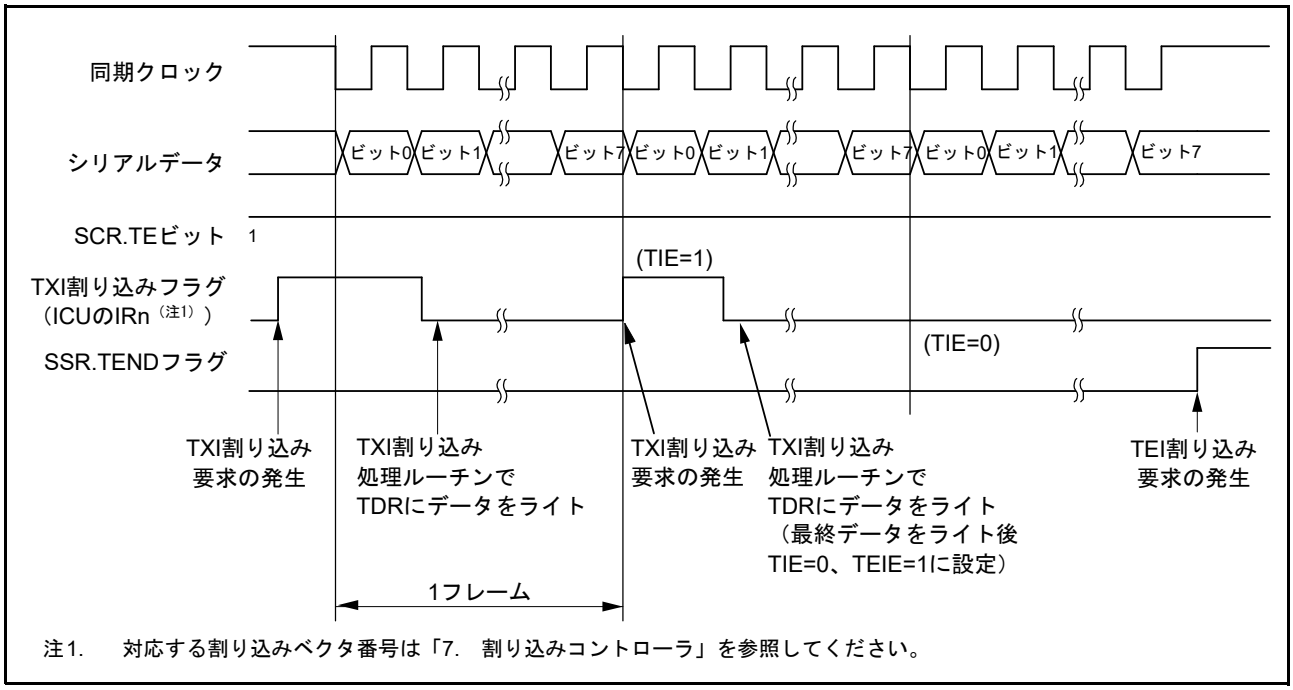
注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.21　クロック同期式モードのシリアル送信の動作例（1）（送信開始・CTS 機能使用しない）



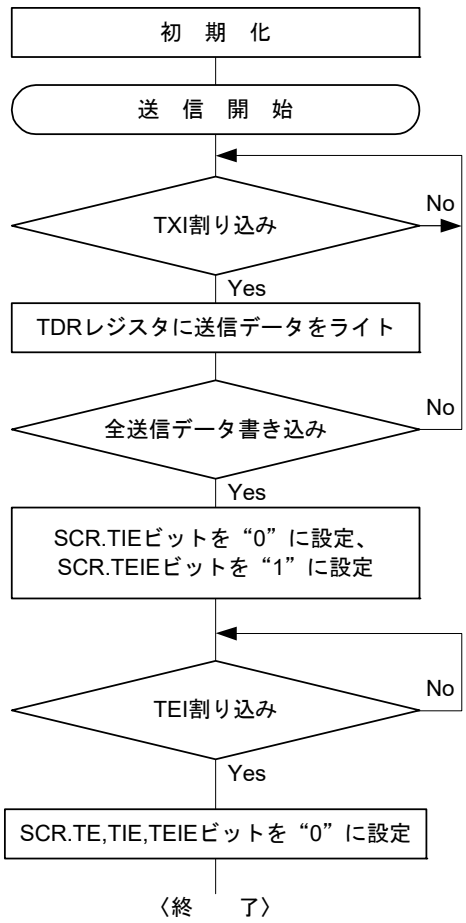
注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.22　クロック同期式モードのシリアル送信の動作例（2）（送信開始・CTS 機能使用する）



注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.23　クロック同期式モードのシリアル送信の動作例（3）（送信中～送信終了時）



[1]　[2]　[3]

[1]SCIの初期化：
データ送信に設定します。

[2] TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み（TXI）要求が発生します。TXI割り込み処理ルーチンでTDRレジスタに送信データを1回ライトします。

[3]シリアル送信の継続手順：
シリアル送信を続けるときには、送信データエンプティ割り込み（TXI）要求によりTDRレジスタにデータをライトしてください。TXI割り込み要求でDMACを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを“0”に、SCR.TEIEビットを“1”にします。

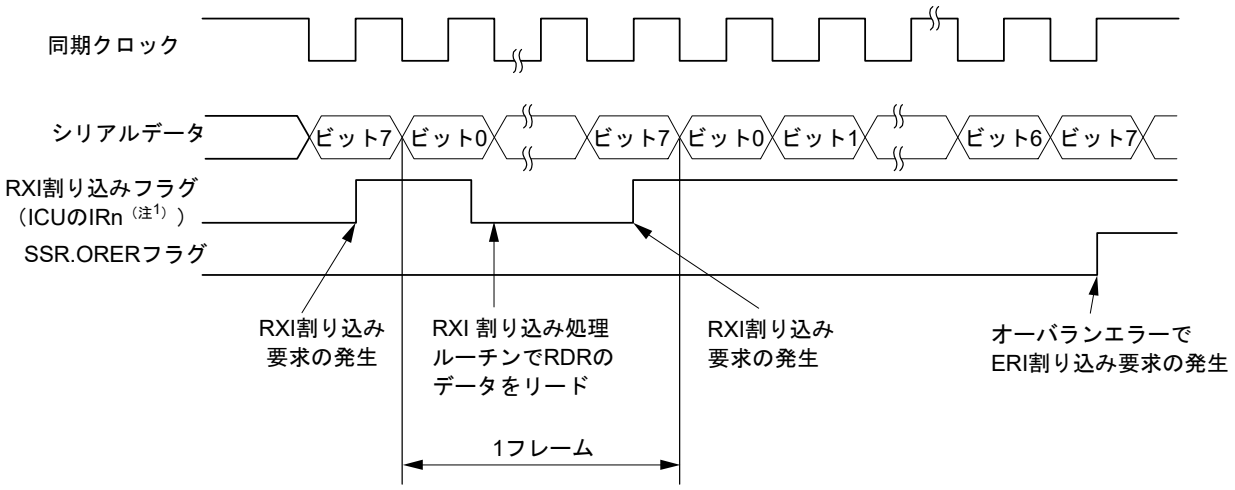
注.　外部クロック（SCR.CKE[1:0]ビット=10b、11b）のときは、最終ビットのSCK端子立ち上がりでSSR.TENDフラグが“1”になります。このとき、SCR.TEビットを直ぐ“0”にすると受信デバイス側の受信データのホールド時間が不足する場合があります。

図 18.24　クロック同期式モードのシリアル送信のフローチャート例

18.5.5　シリアルデータの受信（クロック同期式モード）

図 18.25、図 18.26 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが “1” になると、RTSn# 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが “1” にされていると、RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします（RTS 機能使用時）。



注1.　対応する割り込みベクタ番号は「7.　割り込みコントローラ」を参照してください。

図 18.25　クロック同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）

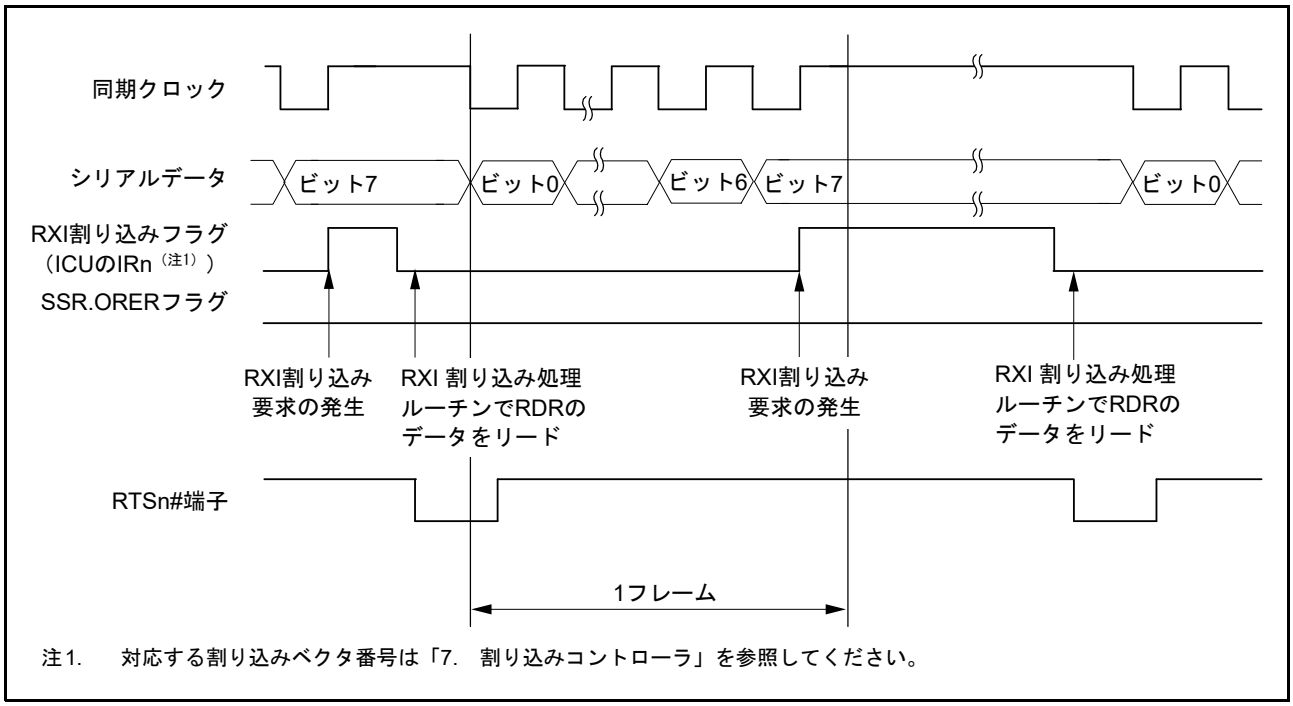
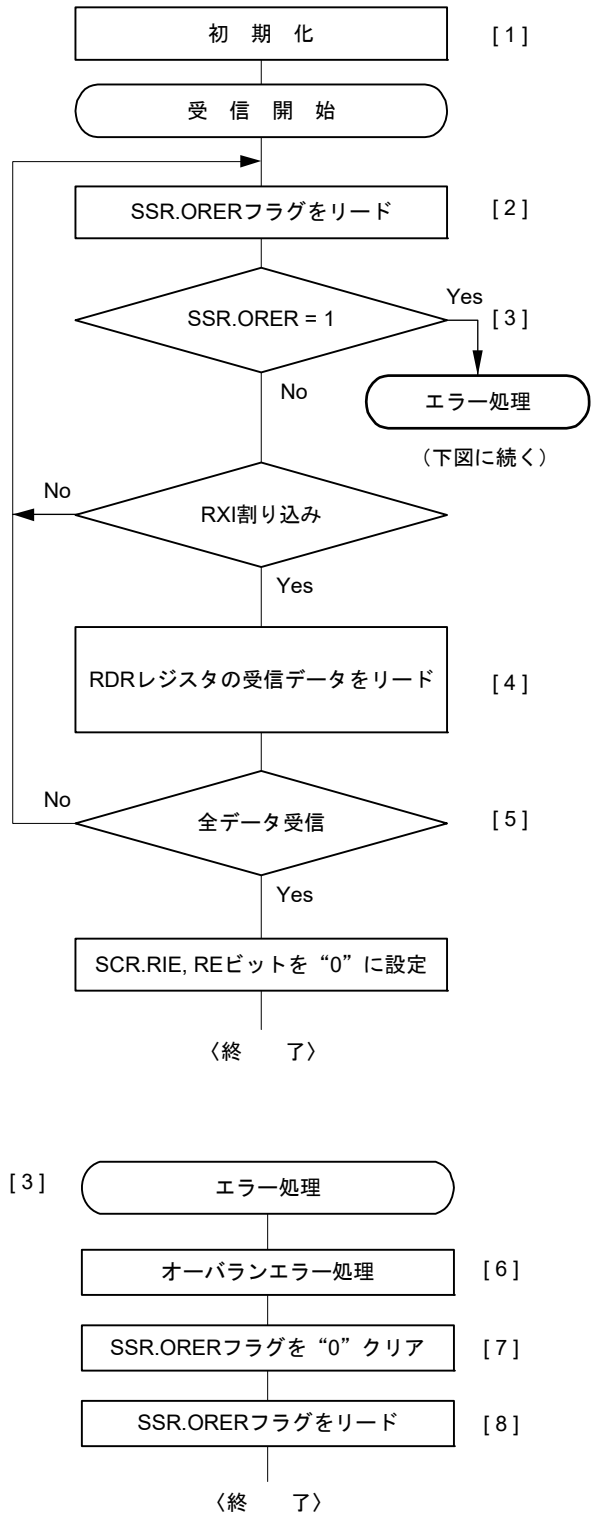


図 18.26　クロック同期式モードのシリアル受信時の動作例（2）（RTS 機能使用時）

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR.ORER, FER, PER フラグを “0” にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 18.27 にシリアル受信のフローチャートの例を示します。



[1]SCIの初期化：
RXDn端子として使用するポートを入力に設定してください。

[2][3]受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”にされた状態では、受信を再開できません。

[4]受信データフル割り込み（RXI）要求でRDRレジスタの受信データを1回リードしてください。

[5]シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRレジスタのリードを終了しておいてください。受信データフル割り込み（RXI）要求でDMACを起動し、RDRの値をリードすることも可能です。

[6]オーバランエラー処理：
RDRレジスタをリードします。[7]と合わせて行うことで、次のフレームを正常受信可能となります。

[7]エラーフラグのクリア：
エラーフラグを“0”にします。

[8]エラーフラグのクリア確認：
エラーフラグが“0”にされたことを確認してください。

図 18.27　クロック同期式モードのシリアル受信のフローチャート例

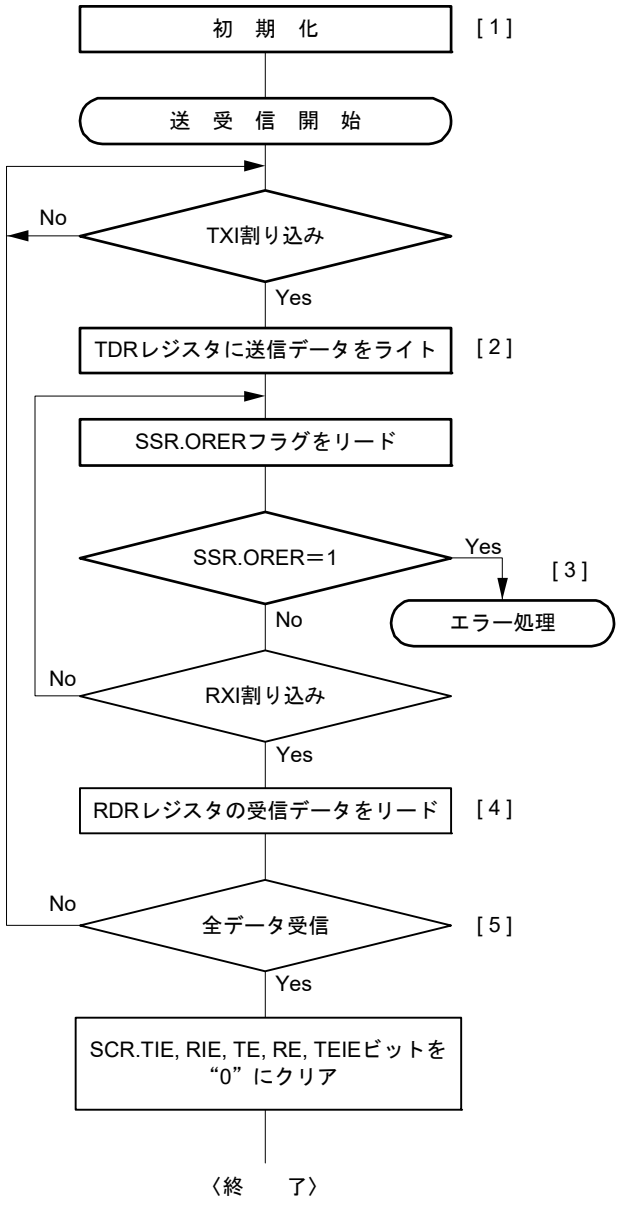
18.5.6　シリアルデータの送受信同時動作（クロック同期式モード）

図 18.28 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが “1” にされていることで確認してください。その後、SCR レジスタを初期化してから SCR.TIE, RIE, TE, RE ビットを 1 命令で同時に “1” にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR.RIE, RE ビットを “0” にしてから、エラーフラグ（SSR.ORER, FER, PER）が “0” にされていることを確認した後、SCR.TIE, RIE, TE, RE ビットを 1 命令で同時に “1” にしてください。



[1]SCI初期化：
TXDn端子は送信データ出力端子に、RXDn端子は受信データ入力端子にして送受信同時動作可能状態になります。

[2]送信データのライト：
TXI割り込みでTDRレジスタに送信データを1回ライトします。

[3]受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。ORERフラグが“1”にされた状態では受信を再開できません。

[4]受信データのリード：
RXI割り込みでRDRレジスタの受信データを1回リードします。

[5]シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前にRXI割り込みでRDRレジスタのリードを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTXI割り込みでTDRレジスタにデータをライトしてください。
送信データエンプティ割り込み（TXI）要求でDMACを起動し、TDRレジスタにデータをライトすることや、受信データフル割り込み（RXI）要求でDMACを起動し、RDRレジスタの値をリードすることも可能です。

注.　送信、または受信動作から同時送受信に切り替えるときには、SCR.TIE, RIE, TE, RE, TEIEビットを “0” にしてから、SCR.TIE, RIE, TE, REビットを同時に “1” にしてください。

図 18.28　クロック同期式モードのシリアル送受信同時動作のフローチャート例

18.6　スマートカードインタフェースモードの動作

SCI の拡張機能として、ISO/IEC 7816-3（Identification Card）に対応したスマートカード（IC カード）インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

18.6.1　接続例

図 18.29 にスマートカード（IC カード）との接続例を示します。

IC カードとは 1 本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット＝ 1、SCR.RE ビット＝ 1 に設定すると、閉じた送信／受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

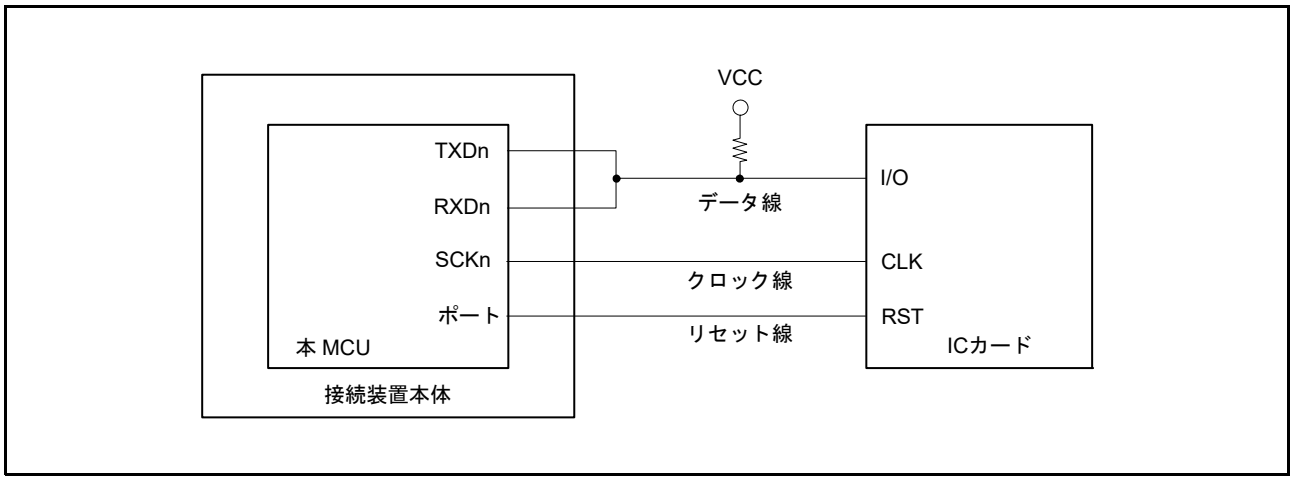


図 18.29　スマートカード（IC カード）との接続例

18.6.2　データフォーマット（ブロック転送モード時を除く）

図 18.30 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu（Elementary Time Unit : 1 ビットの転送期間）以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル（Low）を 1etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを再送信します。

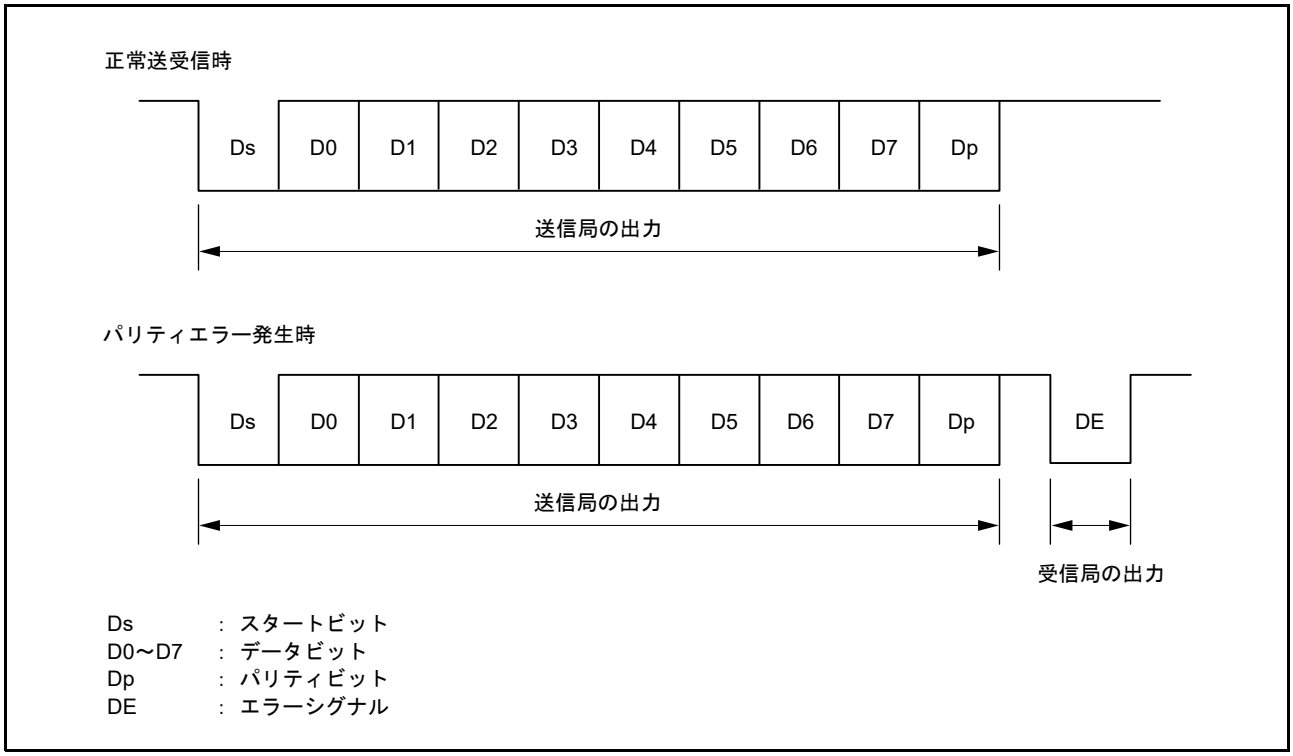


図 18.30　スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、図 18.31 に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。図 18.31 の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプでは、SCMR.SDIR, SINV ビットをともに “0” にしてください。また、スマートカードの規定により偶数パリティとなるよう SMR.PM ビットには “0” を設定してください。

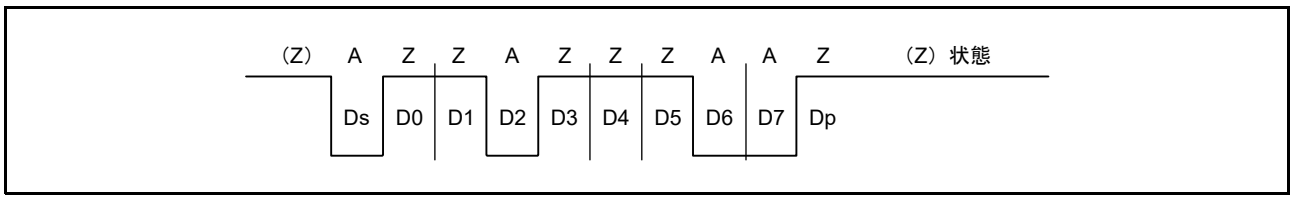


図 18.31　ダイレクトコンベンション
（SCMR.SDIR ビット＝ 0、SCMR.SINV ビット＝ 0、SMR.PM ビット＝ 0）

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。図 18.32 の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションタイプでは、SCMR.SDIR, SINV ビットをともに “1” にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、SINV ビットはデータビット D7 ～ D0 のみ反転させます。このため、送受信とも SMR.PM ビットに “1” を設定してパリティビットを反転させてください。

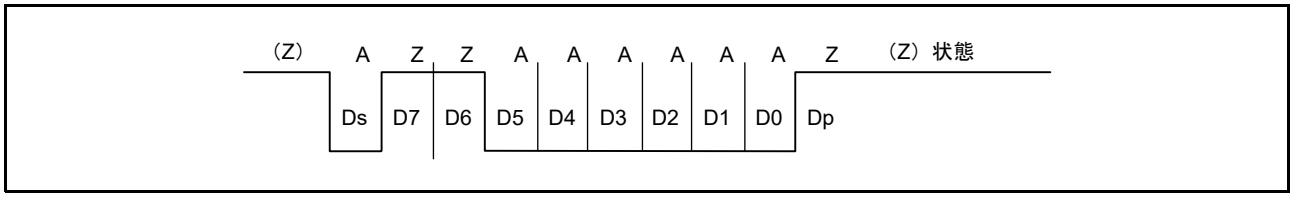


図 18.32　インバースコンベンション
（SCMR.SDIR ビット＝ 1、SCMR.SINV ビット＝ 1、SMR.PM ビット＝ 1）

18.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行いますが、エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5etu 後にセットされます。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため “0” となります。

18.6.4　受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCI は SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍（通常の調歩同期式モードでは 16 倍に固定されています）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 18.33 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 サイクルの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 \quad [\%]$$

M　：受信マージン(%)
N　：クロックに対するビットレートの比(N＝32, 64, 372, 256)
D　：クロックデューティ (D＝0～1.0)
L　：フレーム長(L＝10)
F　：クロック周波数の偏差の絶対値

上の式で、F ＝ 0、D ＝ 0.5、N ＝ 372 とすると、受信マージンは次のようになります。

M ＝ {0.5-1/(2×372)}×100[%] ＝ 49.866%

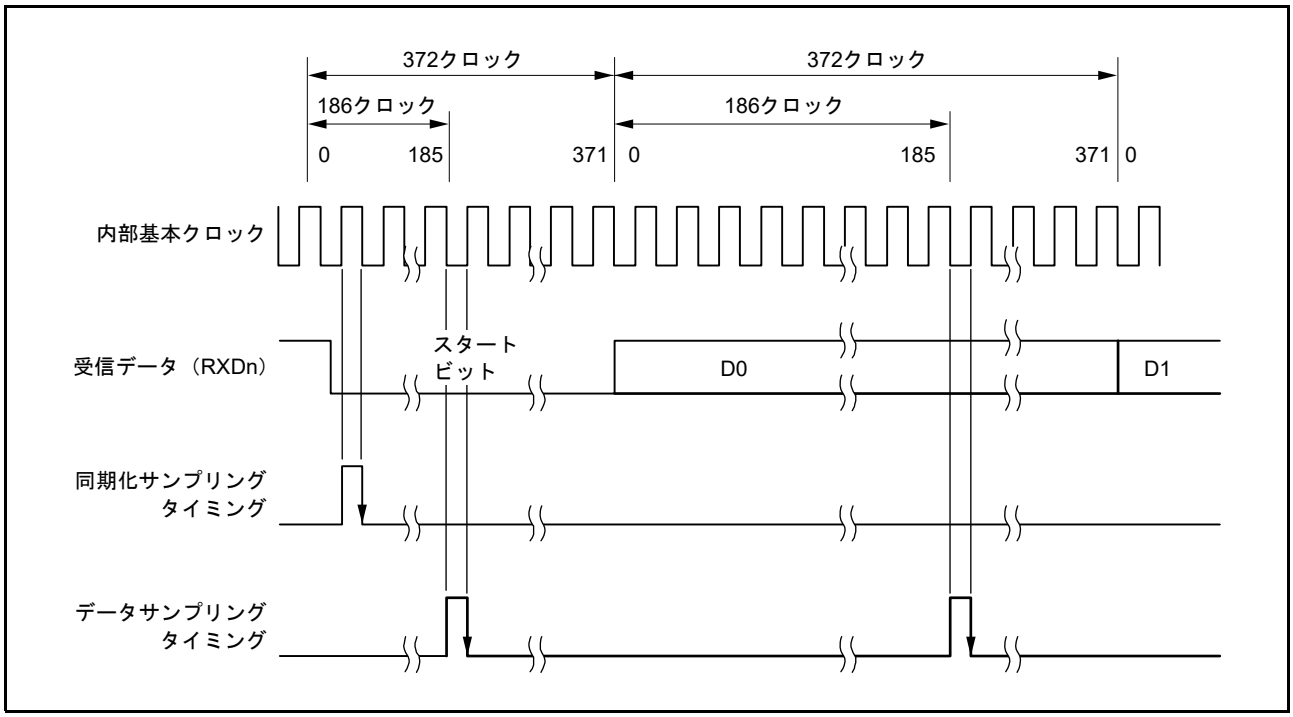


図 18.33　スマートカードインタフェースモード時の受信データサンプリングタイミング
（372 倍のクロック使用時）

18.6.5　SCI の初期化（スマートカードインタフェースモード）

図 18.34 のフローチャートの例に従って初期化してください。

送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化してから変更してください。なお、RE ビットを “0” にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット＝ 1、RE ビット＝ 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、あるいは SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット＝ 0、RE ビット＝ 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

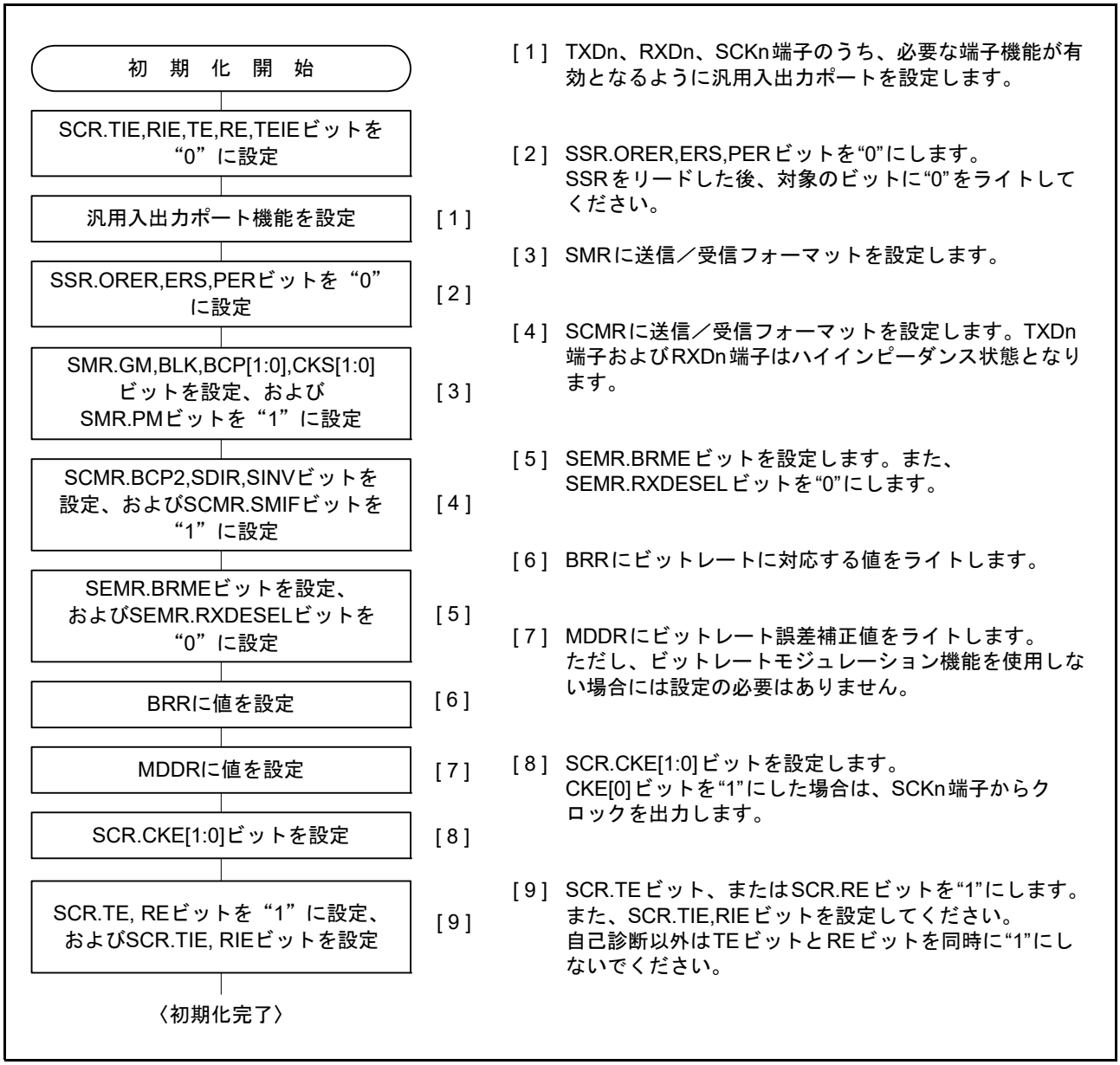


図 18.34　SCI の初期化フローチャートの例（スマートカードインタフェースモード）

18.6.6　シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を**図 18.35** に示します。

1. 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが “1” にされます。このとき SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
4. 再転送を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが “1” にされていれば、TXI 割り込み要求を発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を**図 18.37** に示します。これらの一連の処理は、TXI 割り込み要因によって DMAC を起動することで自動的に行うことができます。

送信動作では、SSR.TEND フラグが “1” にされると、SCR.TIE ビットを “1” にしておくと、TXI 割り込み要求を発生します。あらかじめ DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DMAC が起動されて送信データの転送を行います。TEND フラグは、DMAC によるデータ転送時に自動的に “0” になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にはクリアされませんので、RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DMAC を使って送受信を行う場合は、先に DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DMAC の設定方法は「**9.　ダイレクトメモリアクセスコントローラ**」を参照してください。

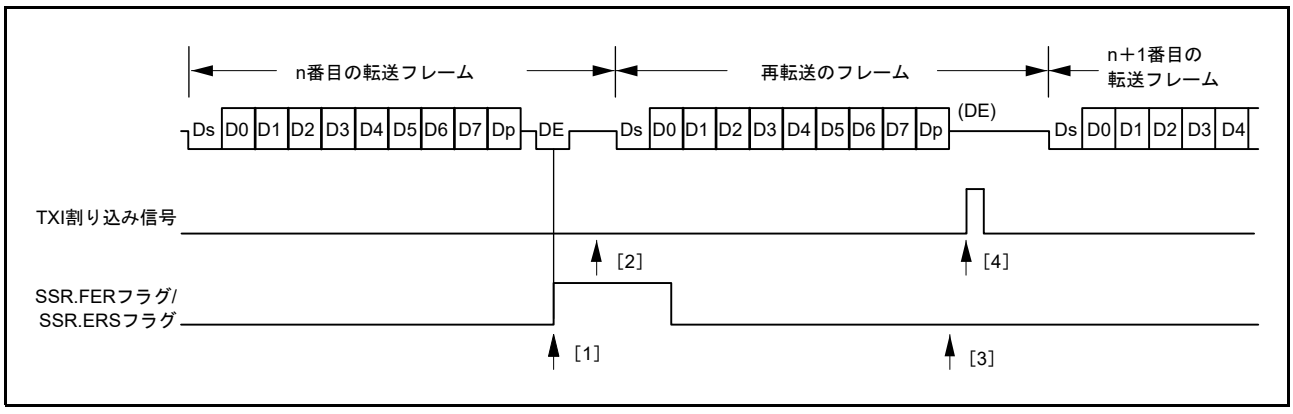


図 18.35　SCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 18.36 に TEND フラグ発生タイミングを示します。

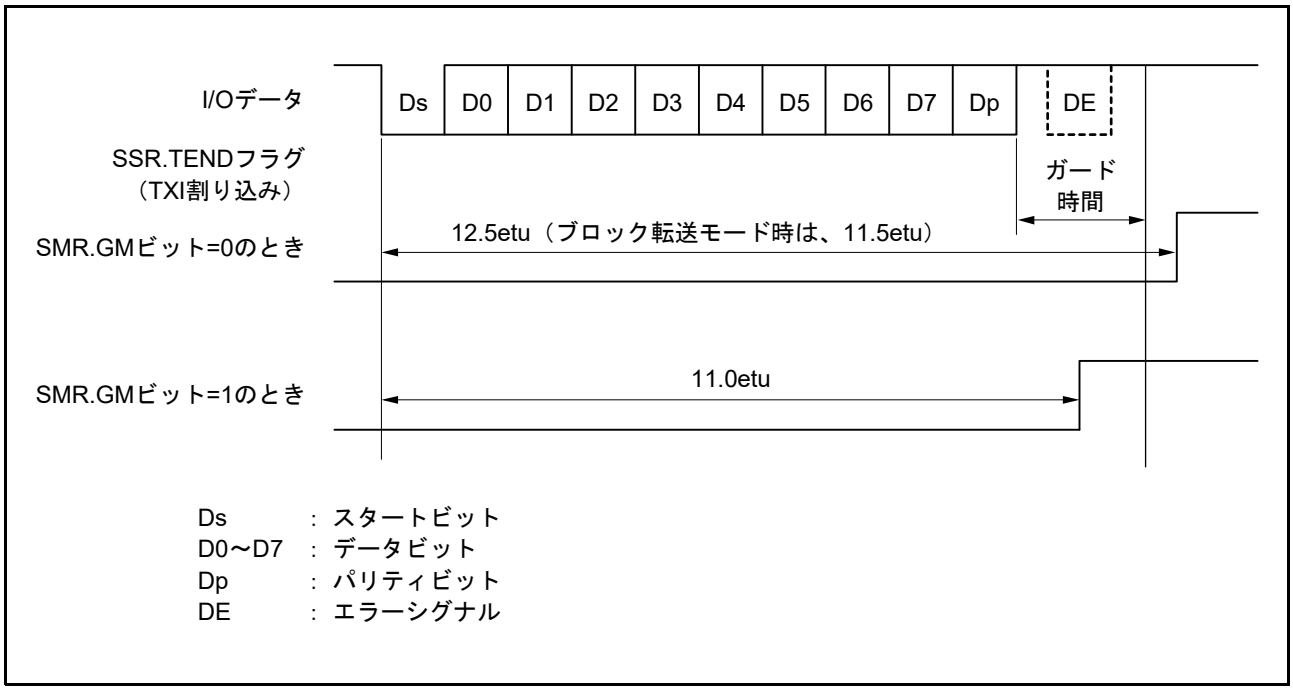


図 18.36　送信時の SSR.TEND フラグの発生タイミング

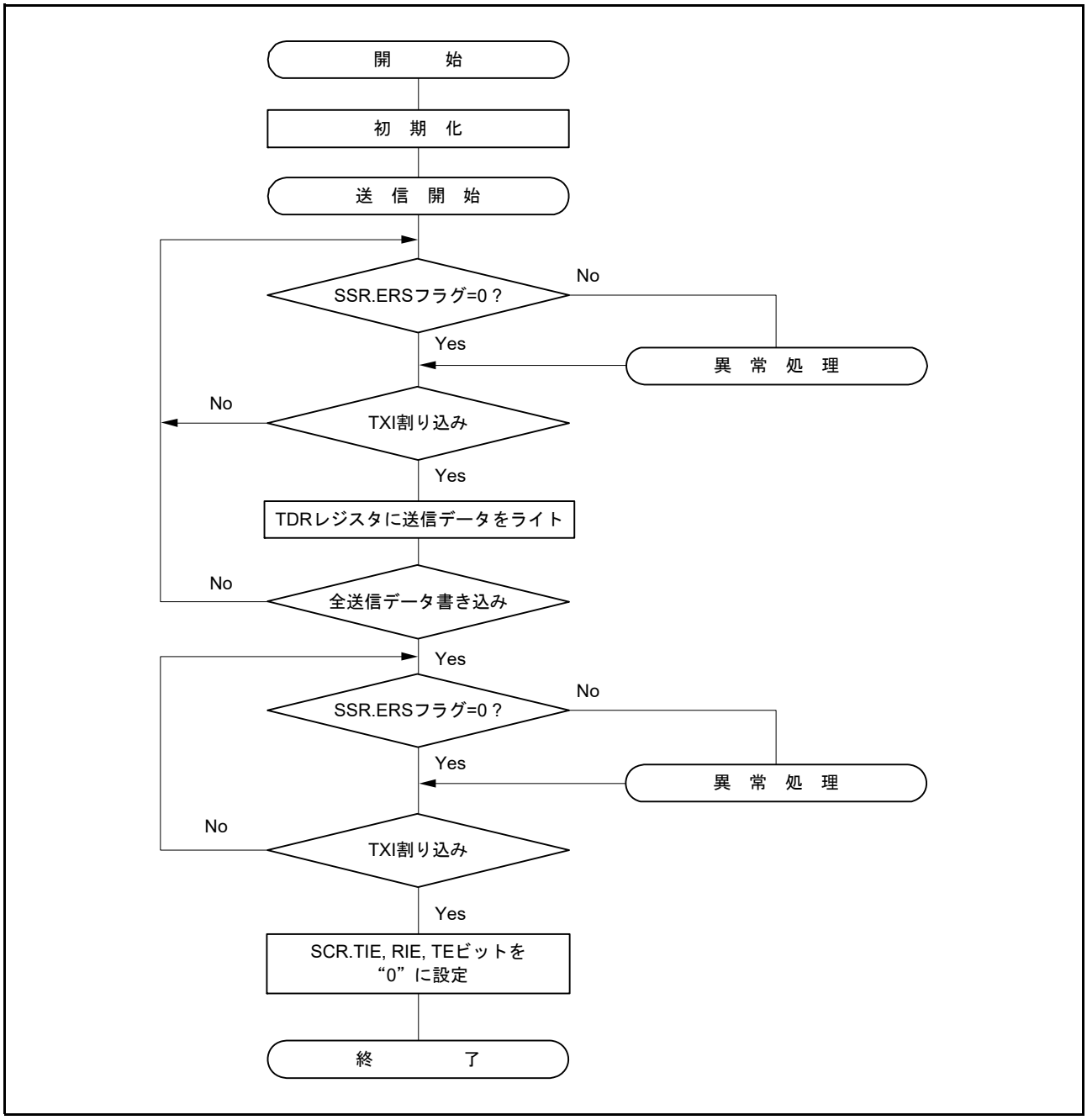


図 18.37　スマートカードインタフェース送信のフローチャート例

18.6.7　シリアルの受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 18.38 に示します。

1. 受信データにパリティエラーを検出すると SSR.PER フラグが “1” にされます。このとき、SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
2. パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
4. 正常に受信を完了したと判断して、RIE ビットが “1” にされていれば、RXI 割り込み要求を発生します。

シリアル受信のフローチャートの例を図 18.39 に示します。これらの一連の処理は、RXI 割り込み要求によって DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを “1” にしておくと、RXI 割り込み要求を発生します。あらかじめ DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR.ORER, PER フラグのいずれかが “1” にされると、受信エラー割り込み（ERI）要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DMAC は起動されず、受信データはスキップされるため DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが “1” にされた場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを “0” にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注 .　ブロック転送モードの場合は、「18.3　調歩同期式モードの動作」を参照してください。

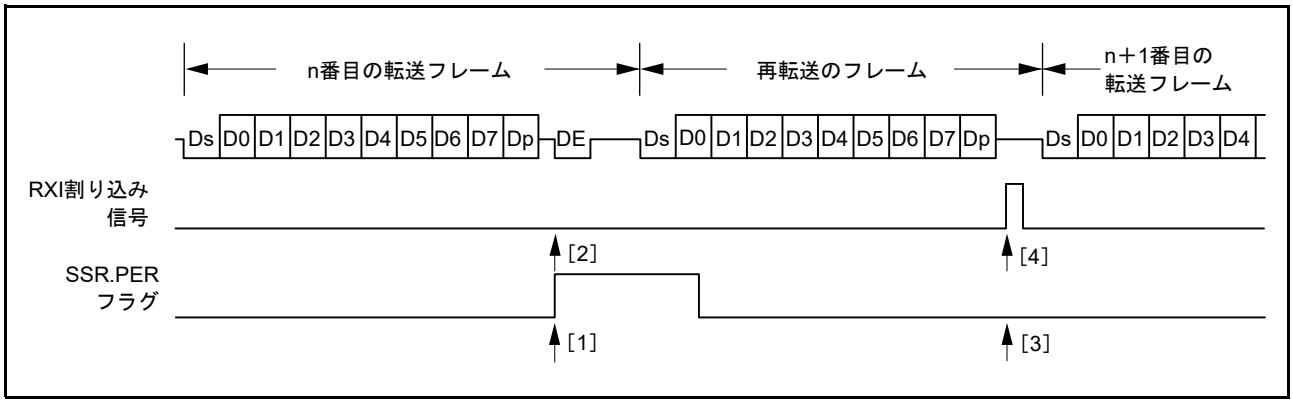


図 18.38　SCI 受信モードの場合の再転送動作（受信時の再転送動作）

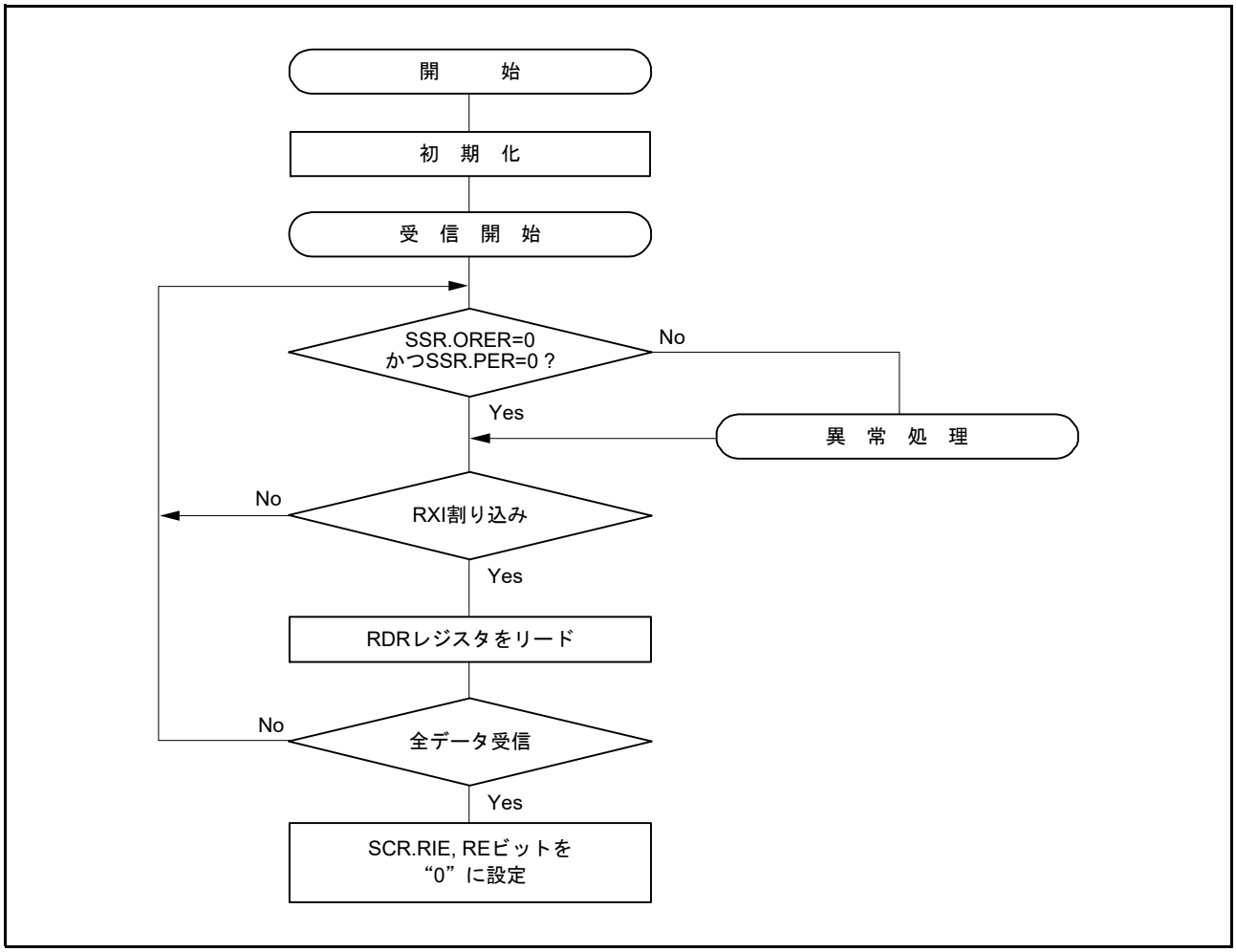


図 18.39　スマートカードインタフェース受信のフローチャート例

18.6.8　クロック出力制御

SMR.GM ビットが “1” にされているとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 18.40 にクロック出力の固定タイミングを示します。GM ビット＝ 1、CKE[1] ビット＝ 0 とし、CKE[0] ビットを制御した場合の例です。

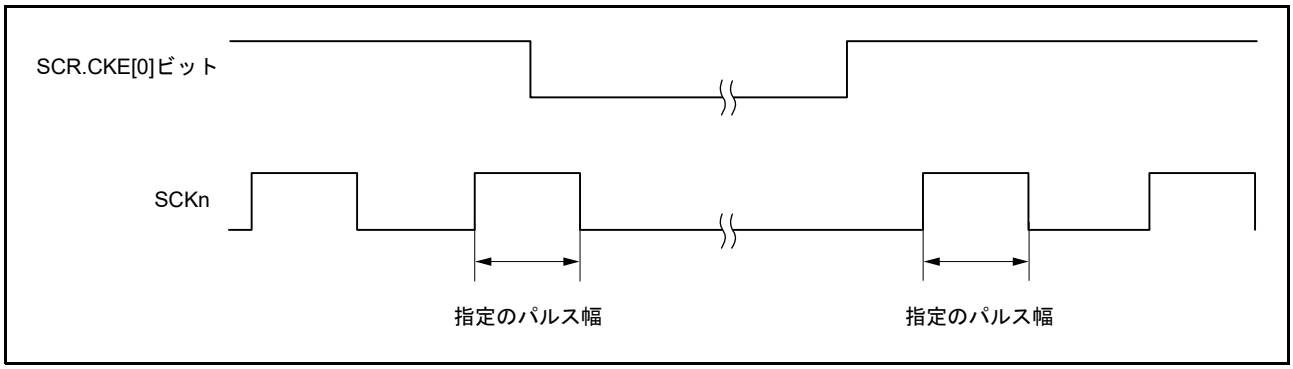


図 18.40　クロック出力固定タイミング

電源投入時は、クロックのデューティを確保するため、以下の手順で処理してください。

(1)　電源投入時

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗／プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを “1” にして、クロック出力を開始させてください。

18.7　ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 18.41 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDn の入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期（SEMR.ABCS = 0 のとき 1 ビット期間の 1/16、SEMR.ABCS = 1 のとき 1 ビット期間の 1/8）となります。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。

基本クロックが入力されている期間に SCR.TE ビット＝ 0、SCR.RE ビット＝ 0 にした場合、ノイズフィルタのフリップフロップはすべて “1” に初期化され、受信再開時の入力データが “1” の場合は一致検出として内部信号に伝えられます。“0” の場合は 3 回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

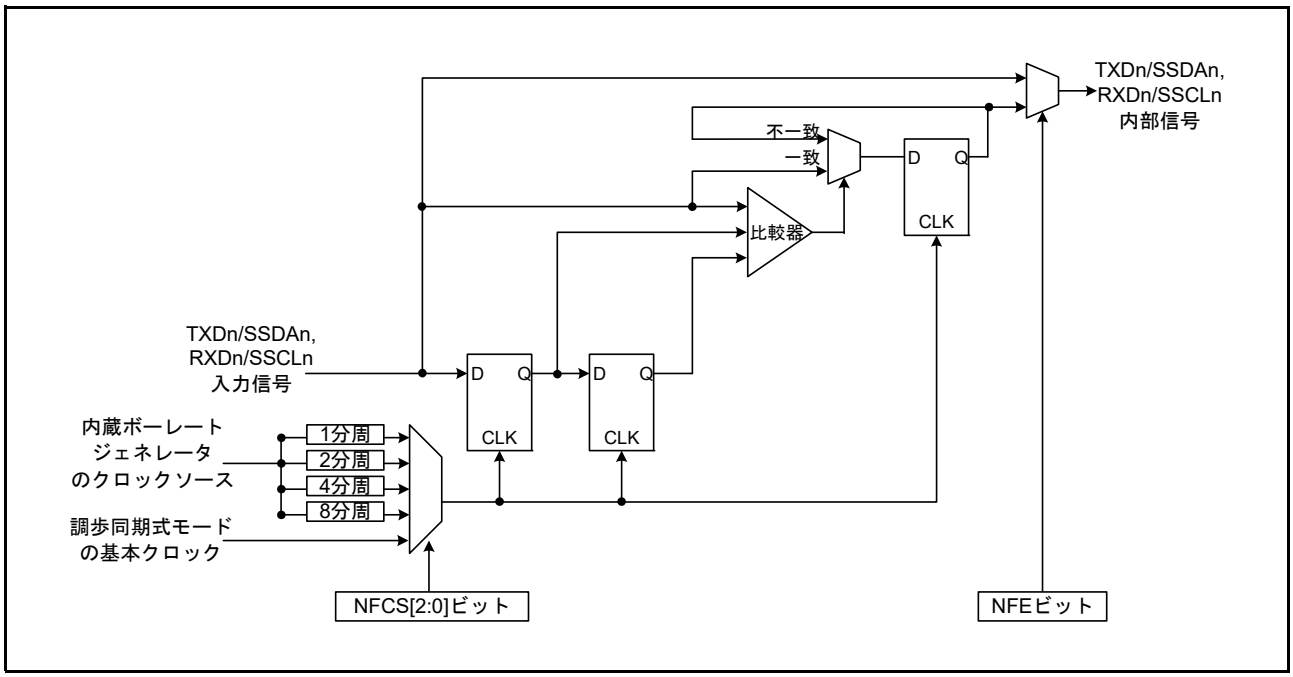


図 18.41　デジタルノイズフィルタ回路のブロック図

18.8　割り込み要因

18.8.1　TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、割り込みコントローラの割り込みステータスフラグが “1” のときに割り込み発生条件となっても、割り込みコントローラに対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが “0” になると、割り込みコントローラに対して保持していた割り込み要求を出力します。保持していた割り込み要求を出力すると、その割り込みの内部の保持は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を “0” にすることでクリアが可能です。

18.8.2　調歩同期式モード、クロック同期式モードにおける割り込み

表 18.20 に調歩同期式モード、クロック同期式モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタのイネーブルビットにより独立にイネーブルにすることができます。

SCR.TIE ビットが “1” のとき、送信データが TDR レジスタ、または TDRL レジスタ（注 1）から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを “1” にした後で SCR.TE ビットを “1” にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に “1” にすることでも発生します。TXI 割り込み要求により、DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが “0” の状態で SCR.TE ビットを “1” にした場合、および SCR.TE ビットが “1” の状態で SCR.TIE ビットを “1” にした場合には発生しません。（注 2）

SCR.TEIE ビットが “1” のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ（注 1）に次のデータをライトしていないと SSR.TEND フラグが “1” になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを “1” にしてから TDR レジスタ、または TDRL レジスタ（注 1）に送信データをライトするまでの間は、SSR.TEND フラグは “1” を保持しており、SCR.TEIE ビットを “1” にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ（注 1）にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが “1” のとき、受信データが RDR レジスタ、または RDRL レジスタ（注 1）に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが “1” のとき、SSR.ORER, FER, PER フラグのいずれかが “1” にされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER, FER, PER のすべてのビットをクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1.　調歩同期式モードかつデータ長 9 ビットを選択した場合

注 2.　最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表18.20　SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DMACの起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可能	高
RXI	受信データフル	—	可能	↑
TXI	送信データエンプティ	—	可能	
TEI	送信終了	TEND	不可能	低

18.8.3　スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、**表 18.21** の割り込み要因があります。送信終了割り込み（TEI）要求は使用できません。

表18.21　SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DMACの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可能	高
RXI	受信データフル	—	可能	↑
TXI	送信データエンプティ	TEND	可能	低

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが “1” にされると、TXI 割り込み要求が発生します。あらかじめ DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DMAC が起動されて送信データの転送を行います。TEND フラグは、DMAC によるデータ転送時に自動的に “0” にされます。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DMAC を使って送受信を行う場合は、先に DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DMAC の設定方法は「**9.　ダイレクトメモリアクセスコントローラ**」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

18.9　使用上の注意事項

18.9.1　モジュールストップ機能の設定

「52.2.4　スタンバイコントロールレジスタ 4（STBCR4）」により、SCI の動作を禁止／許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「52.　低消費電力モード」を参照してください。

18.9.2　ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて “0” になりますので、SSR.FER フラグが “1”（フレーミングエラーの発生あり）にされ、また SSR.PER フラグも “1”（パリティエラーの発生あり）に設定される可能性があります。SEMR.RXDESEL ビットが “0” のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを “0”（フレーミングエラーの発生なし）に設定しても、再び FER フラグが “1” にされますので注意してください。SEMR.RXDESEL ビットが “1” のとき、SCI は、SSR.FER フラグが “1” にされ、次のフレームのスタートビット検出待ちの状態で受信動作を停止します。このとき SSR.FER フラグを “0” にすれば、ブレーク中は SSR.FER フラグの “0” を保持します。RXDn 端子が “1” になりブレークが終了した後、最初の RXDn 端子の立ち下がりでスタートビットの始まりを検出し、受信動作を開始します。

18.9.3　マーク状態とブレークの送出

SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき、汎用入出力ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレークを送出することができます。SCR.TE ビットを “1”（シリアル送信動作を許可）にするまで、通信回線をマーク状態（“1” の状態）にするためには、汎用入出力ポート機能により TXDn 端子を “1” を出力に設定し、端子モードを汎用入出力ポートに設定します。一方、データ送信時にブレークを送出したいときは、汎用入出力ポート機能設定により TXDn 端子を “0” を出力に設定し、端子モードを汎用入出力ポートに設定します。SCR.TE ビットを “0” にすると現在の送信状態とは無関係に送信部は初期化されます。

18.9.4　受信エラーフラグと送信動作について（クロック同期式モード）

受信エラーフラグ（SSR.ORER）が “1” にされた状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを “0” にしておいてください。また、SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても受信エラーフラグは “0” にされませんので注意してください。

18.9.5　TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

18.9.6　クロック同期送信時の制約事項（クロック同期式モード）

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1)　送信開始時

CPU または DMAC による TDR レジスタの更新後、P1φ で 5 クロック以上経過した後に送信クロックを入力してください（図 18.42 参照）。

(2)　連続送信時

(a)　ビット7の送信クロックの立ち下がり以前に、TDR またはTDRL レジスタに次の送信データを書き込んでください（図18.42参照）。

(b)　ビット7送信開始以降にTDRを更新する場合は、同期クロックがLowの期間にTDRを更新し、かつビット7の送信クロックのHigh幅を、4P1φクロック以上にしてください（図18.42参照）。

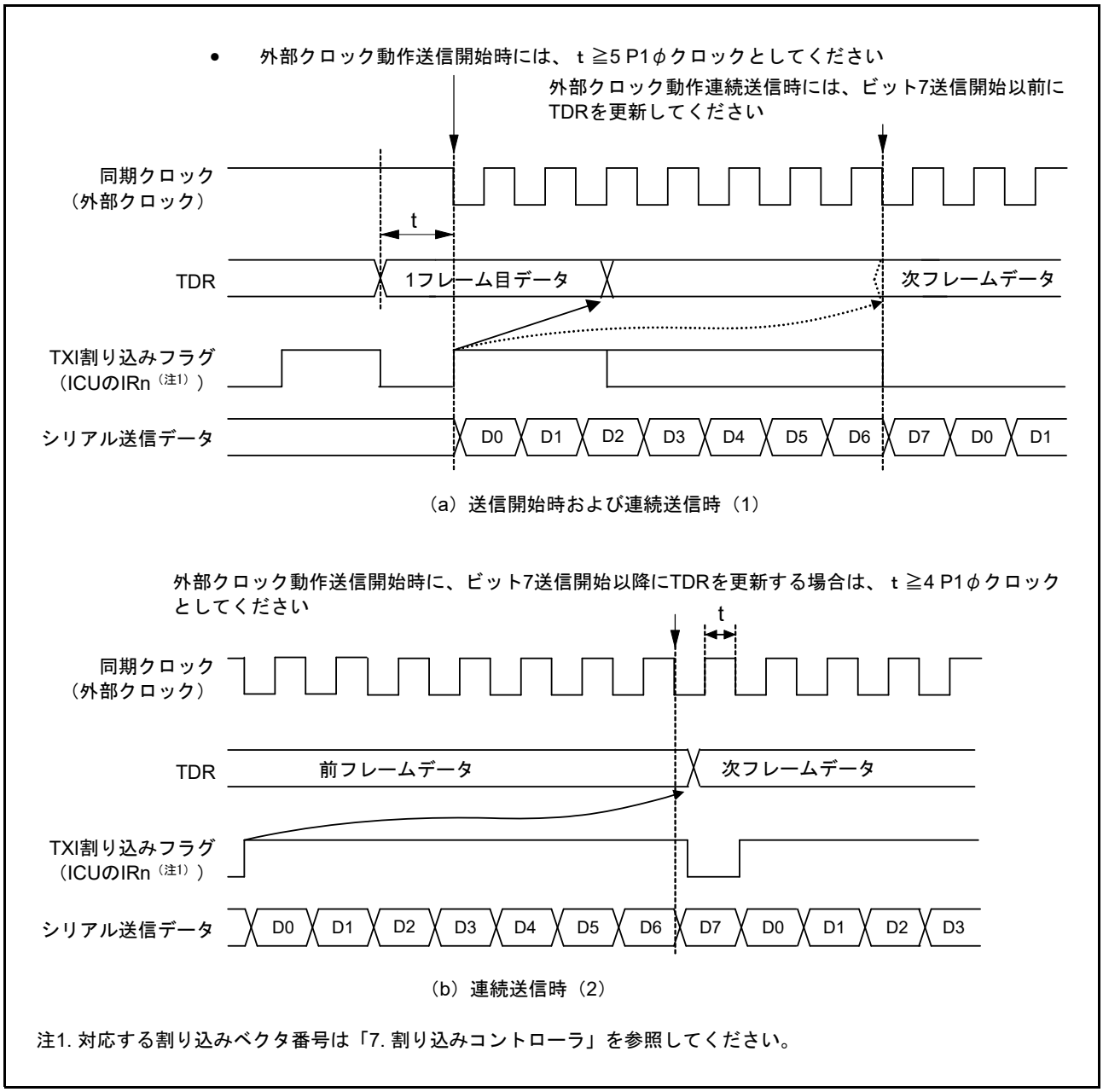


図 18.42　クロック同期式モード送信での外部クロック使用の制約事項

18.9.7　DMAC 使用上の制約事項

DMAC により、RDR、RDRH、RDRL レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み（RXI）に設定してください。

18.9.8　通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ（IRn.IR ビット）が “1” のときは、動作許可（SCR.TE ビットを “1” に設定、または SCR.RE ビットを “1” に設定）前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、**「7.　割り込みコントローラ」**を参照してください。

- 通信が停止していること（SCR.TE ビットまたは SCR.RE ビットが “0” となっていること）を確認
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を “0” に設定
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を読み出し、“0” を確認
- 割り込みコントローラの割り込みステータスフラグ（IRn.IR ビット）に “0” を設定

18.9.9　低消費電力状態時の動作について

(1)　送信

モジュールストップ状態への設定、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止（SCR.TIE ビット＝ 0、TE ビット＝ 0、TEIE ビット＝ 0）してから行ってください。TE ビットを “0” にすることによって、TSR レジスタおよび SSR.TEND フラグはリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態からの解除の後、送信モードを変えないで送信する場合は、TE ビット＝ 1 に設定し、SSR レジスタリード→ TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 18.43 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。
図 18.44、**図 18.45** にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

(2)　受信

モジュールストップ状態への設定または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止（SCR.RE ビット＝ 0）してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット＝ 1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 18.46 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

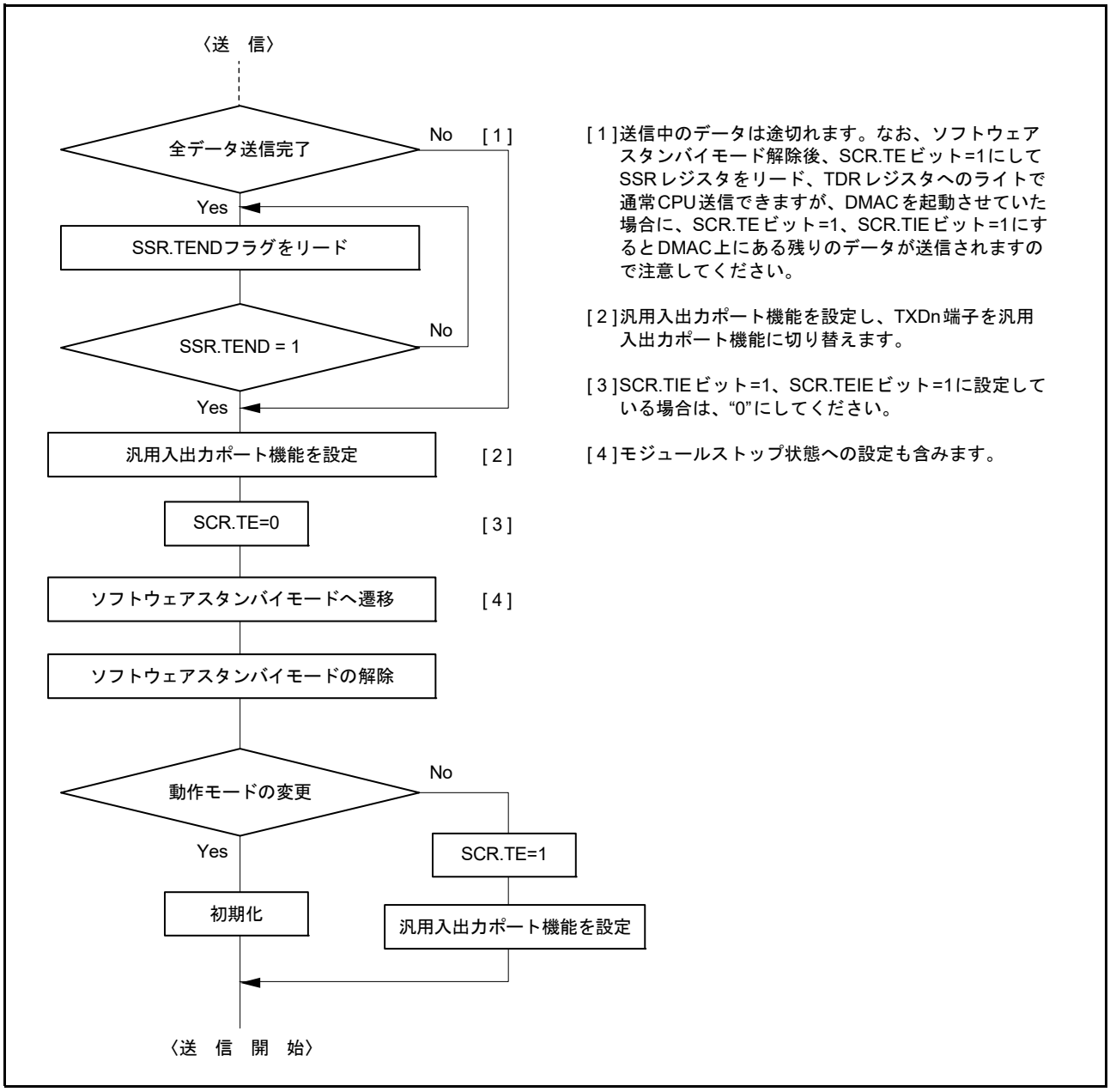


図 18.43　送信時のソフトウェアスタンバイモード遷移フローチャートの例

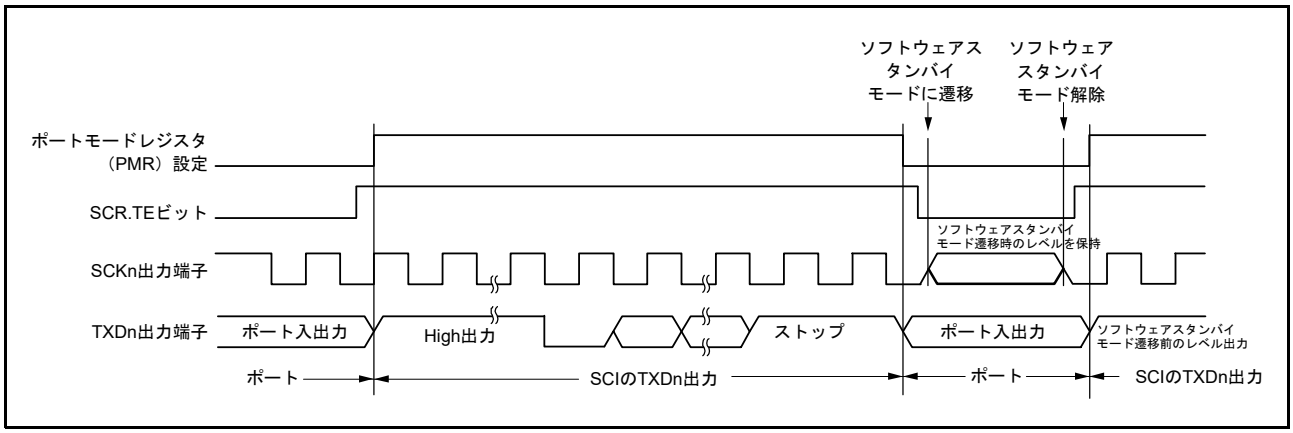


図 18.44　ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、調歩同期送信）

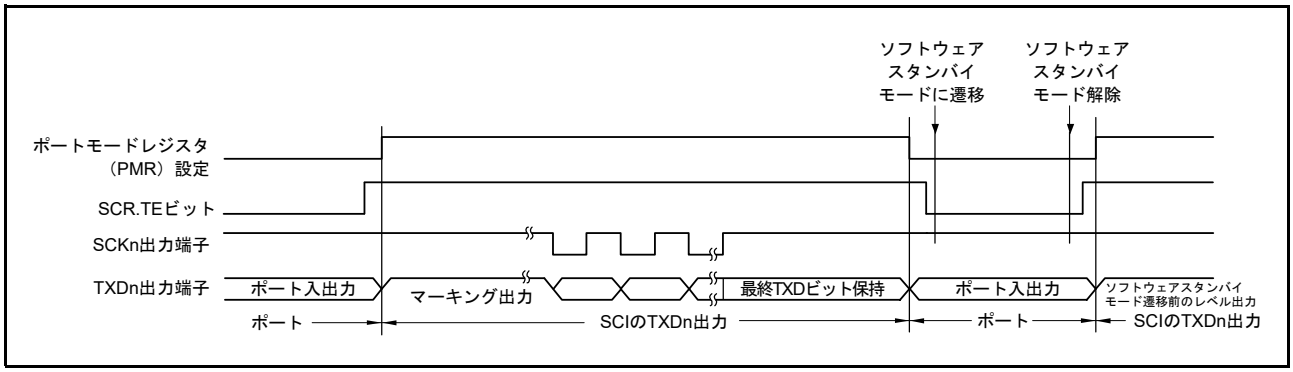


図 18.45　ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、クロック同期送信）

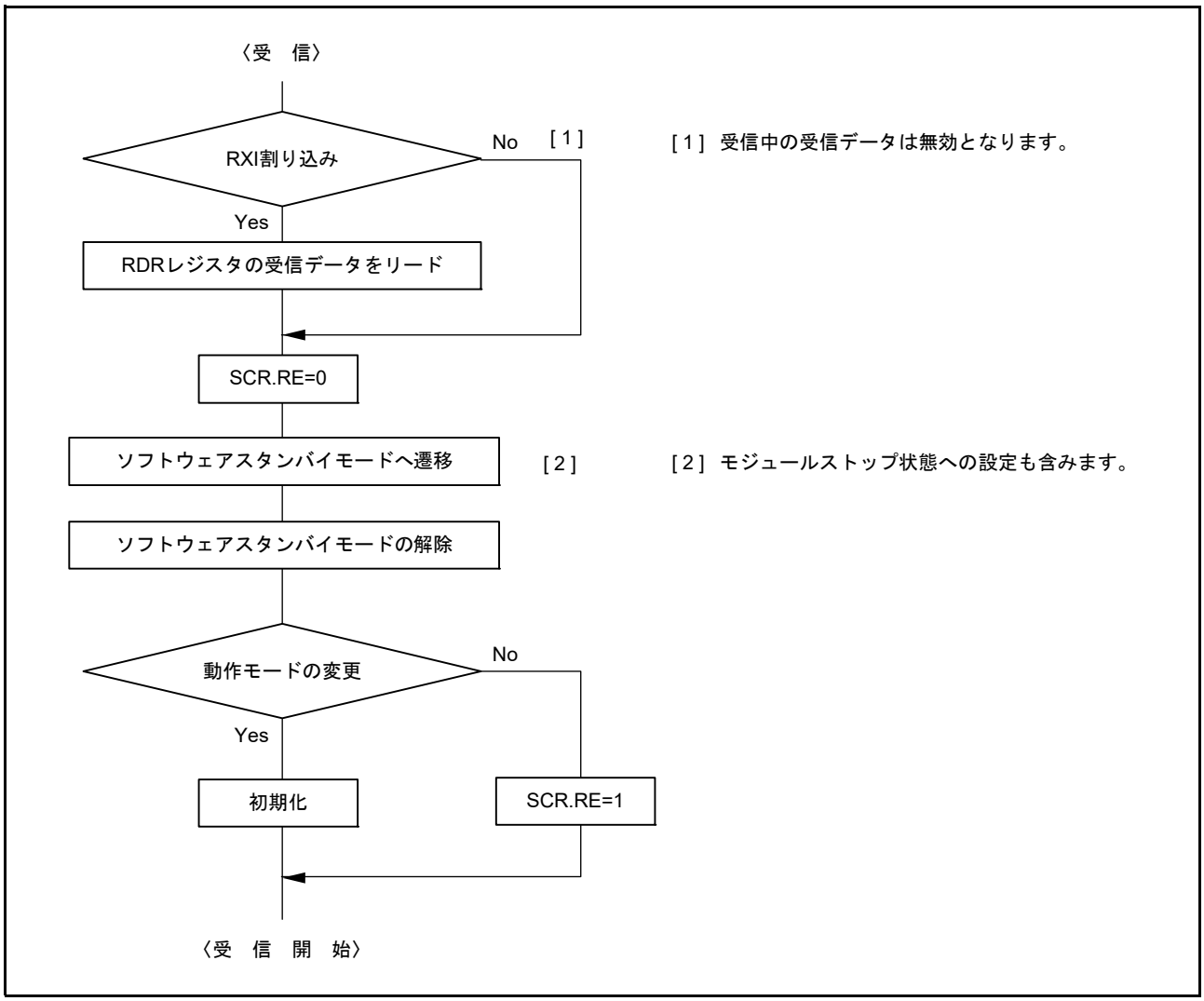


図 18.46　受信時のソフトウェアスタンバイモード遷移フローチャートの例

18.9.10　クロック同期式モードにおける外部クロック入力

クロック同期式モード時、外部クロック SCKn 入力は、High パルス期間および Low パルス期間を 2P1φ 以上、周期を 6P1φ 以上としてください。

18.9.11　トランスミットイネーブルビット（TE ビット）に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを “0”（シリアル送信動作を禁止）にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

TXDn ラインにプルアップ抵抗を接続する。

SCR.TE ビットを “0” にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。

また、SCR.TE ビットを “1” にしてから、端子の機能を「TXDn」に変更する。

18.10 IrDA 通信

シリアルコミュニケーションインタフェース (SCI) チャネル 0 は、IrDA（Infrared Data Association）モジュールと連携して IrDA 規格 1.0 に基づく IrDA 通信波形の送受信を実現します。

IRCR レジスタの IRE ビットで IrDA 機能をイネーブル（有効）にすると、シリアルコミュニケーションインタフェースチャネル 0 の SCI_TXD0、SCI_RXD0 信号は IrDA 規格 1.0 に準拠した波形のエンコード / デコードを行います。これを赤外線送受信トランシーバ / レシーバと接続することで、IrDA 規格 1.0 に準拠した赤外線送受信を実現することができます。

IrDA 規格 1.0 では、9600bps の転送レートで通信を開始し、その後必要に応じて転送レートを変化させることができます。IrDA モジュールは、自動的に転送レートを変更する機能は有していません。そのため転送レートを変更する場合は、シリアルコミュニケーションインタフェースの転送レートを変更してください。

図 18.47 にブロック図を、**表 18.22** に IrDA の端子構成を示します。

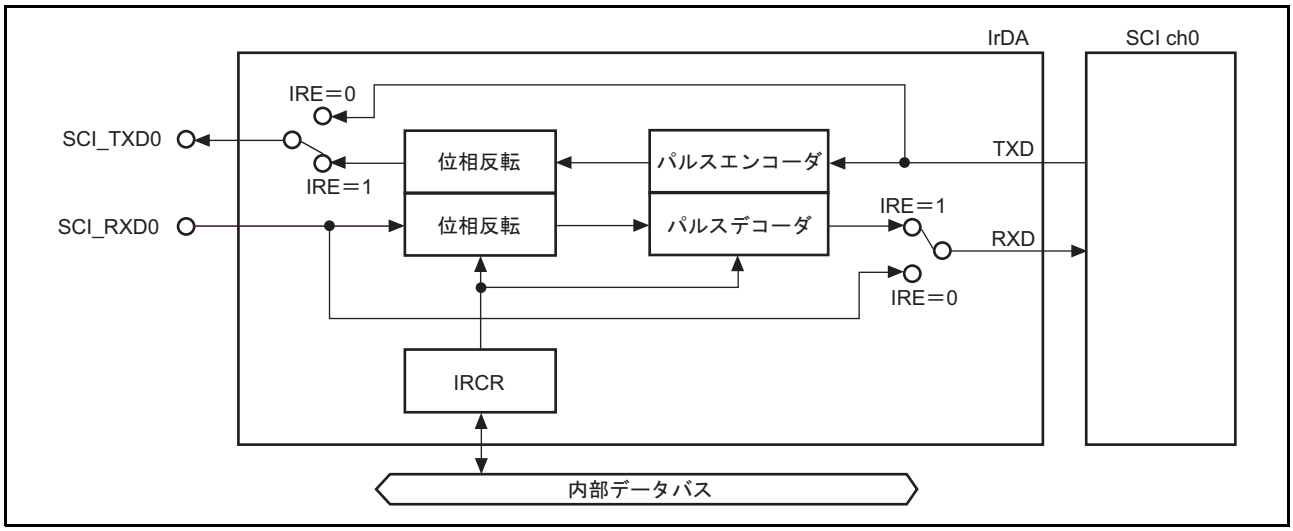


図 18.47　ブロック図

表 18.22　端子構成

名称	端子名	入出力	機　　能
IrDA送信データ端子	SCI_TXD0	出力	IrDA送信データ出力
IrDA受信データ端子	SCI_RXD0	入力	IrDA受信データ入力

18.11 IrDA レジスタの説明

表 18.23 にレジスタ構成を示します。

表 18.23　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
IrDA コントロールレジスタ	IRCR	R/W	H'00	H'E8014000	8

18.11.1 IrDA コントロールレジスタ（IRCR）

IRCR は、IrDA モジュールの動作設定を行うレジスタです。

	b7	b6	b5	b4	b3	b2	b1	b0
	IRE	IRCKS[2:0]			IRTX INV	IRRX INV	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	IRRXINV	SCI_RXD0 データ極性切り替えビット	SCI_RXD0 入力のロジックレベルの反転を設定します。 0：SCI_RXD0 入力をそのまま受信データとして使用します。 1：SCI_RXD0 入力を反転して受信データとして使用します。	R/W
b3	IRTXINV	SCI_TXD0 データ極性切り替えビット	SCI_TXD0 出力のロジックレベルの反転を設定します。 0：送信データをそのまま SCI_TXD0 へ出力します。 IRCKS ビットで指定したパルス幅は High レベルとなります。 1：送信データを反転して SCI_TXD0 へ出力します。 IRCKS ビットで指定したパルス幅は Low レベルとなります。	R/W
b6～b4	IRCKS[2:0]	IrDA クロックセレクトビット	IRE ビット=1 の時、SCI_TXD0 出力パルスをエンコードする際のパルス幅を設定します。 000：B×3/16（B= ビットレート） 001：P1φ/2 010：P1φ/4 011：P1φ/8 100：P1φ/16 101：P1φ/32 110：P1φ/64 111：P1φ/128	R/W
b7	IRE	IrDA イネーブルビット	SCI_TXD0 端子および SCI_RXD0 端子を、通常のシリアル機能にするか IrDA 機能にするか設定します。 0：IrDA 機能無効 （シリアルコミュニケーションインタフェースチャネル 0 からの TXD をSCI_TXD0 へそのまま出力します。 SCI_RXD0 をシリアルコミュニケーションインタフェースチャネル 0 の RXD へそのまま出力します。） 1：IrDA 機能有効 （シリアルコミュニケーションインタフェースチャネル 0 からの TXD をエンコードし、SCI_TXD0 へ出力します。 SCI_RXD0 をデコードし、シリアルコミュニケーションインタフェースチャネル 0 の RXD へ出力します。）	R/W

18.12 IrDA 動作説明

18.12.1 IrDA 設定フロー

IrDA の動作設定を行う際は、以下の手順にしたがってください。

1. 汎用入出力ポートを設定します。
2. IRCR レジスタを設定します。
3. シリアルコミュニケーションインタフェース関連のレジスタを設定します。

18.12.2 送信

IrDA 機能を有効にした送信時、シリアルコミュニケーションインタフェースの TXD からのシリアルデータ（UART フレームのデータ）は IR フレームに変換されます（**図 18.48** 参照）。IRTXINV=0 の時、シリアルデータが 0 の時、ビット周期の 3/16 の High パルスが SCI_TXD0 端子に出力されます（初期値）。なお High パルス幅は、IRCR レジスタの IRCKS[2:0] ビットで変更できます。IrDA 規格では、High パルス幅は最小 1.41µs、最大（3/16 ＋ 2.5%）× ビットレート、または（3/16× ビットレート）＋ 1.08µs と定められています。P1φ が 66MHz の時、1.41µs 以上で最大の High パルス幅として 1.94µs が設定可能です。またシリアルデータが 1 の時は、パルスは出力されません。

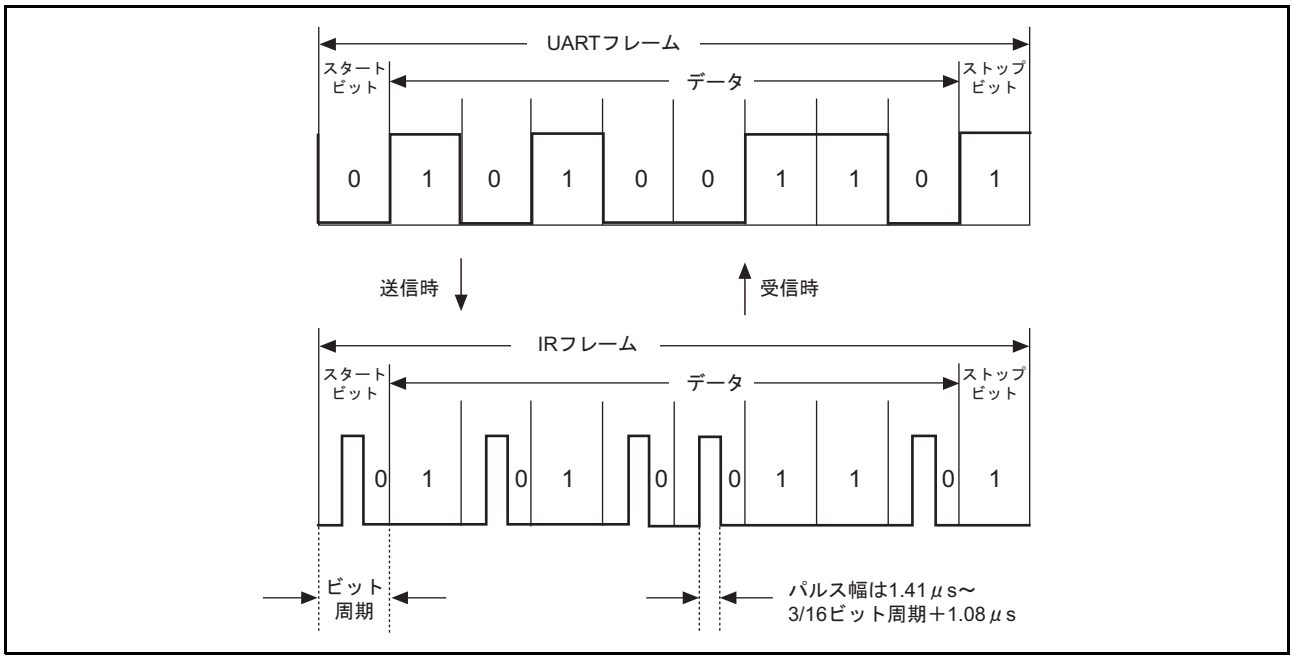


図 18.48　IrDA の送受信の動作例

18.12.3 受信

IRDA 機能を有効にした受信時、SCI_RXD0 端子からの IR フレームのデータは、シリアルデータに変換され、シリアルコミュニケーションインタフェースの RXD に出力されます。IRRXINV=0 の時、High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の 1.41µs より短いパルスは認識されませんので注意してください。

18.12.4 High パルス幅の選択

送信時にビット周期 ×3/16 よりパルス幅を短くする場合に、適用可能な IRCKS[2:0] ビットの設定（最小パルス幅）、P1φ の動作周波数とのビットレートの対応を表 18.24 に示します。

表 18.24　IRCKS[2:0] ビットの設定

P1φ（MHz）	ビットレート（bps）（上段）/ ビット周期×3/16（μs）（下段）					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
50	111	111	111	111	111	—（注1）
60	111	111	111	111	111	—（注2）
66	111	111	111	111	111	—（注2）

注1.　シリアルコミュニケーションインタフェース側のビットレートが設定できません。
注2.　ビットレート×3/16より短いパルス幅を設定できません。

18.13 IrDA 使用上の注意事項

18.13.1 受信時の最小パルス幅について

最小パルス幅 1.41μs より短いパルスは、認識されません。

18.13.2 シリアルコミュニケーションインタフェースの調歩同期基本クロックについて

IrDA モジュールは、シリアルコミュニケーションインタフェースから通信ビットレートの 16 倍の周波数の基本クロックを受け取り、連携して動作しています。シリアルコミュニケーションインタフェースは 1 ビット期間が 16 クロックサイクルまたは 8 クロックサイクルのどちらかに設定できますが、IrDA モジュールはシリアルコミュニケーションインタフェースの 1 ビット期間が 16 クロックサイクルの設定にのみ対応しています。

19. ルネサスシリアルペリフェラルインタフェース

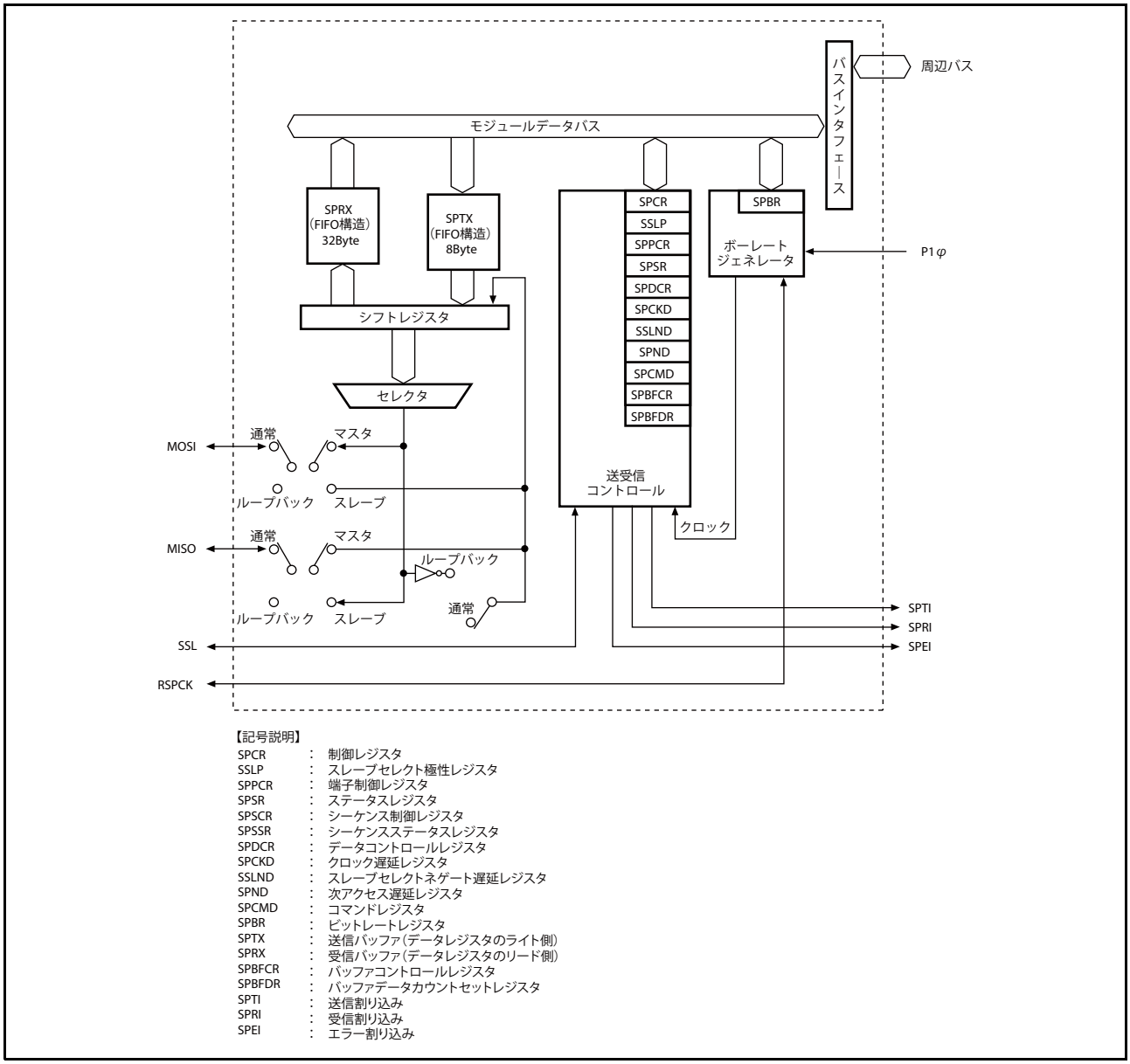
本 LSI は、独立した 3 チャネルのルネサスシリアルペリフェラルインタフェースを備えています。
本モジュールは、全二重同期式のシリアル通信ができます。

19.1 特長

本 LSI の本モジュールには次のような特長があります。

- SPI 転送機能
  MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（SPI Clock）信号を使用して、SPI 動作（4 線式）でシリアル通信が可能。
  マスタ／スレーブモードでのシリアル通信が可能。
  モードフォルトエラー検出が可能（SPI スレーブモード設定時のみ）。
  オーバランエラー検出が可能（SPI スレーブモード設定時のみ）。
  シリアル転送クロックの極性を変更可能。
  シリアル転送クロックの位相を変更可能。
- データフォーマット
  MSB ファースト／ LSB ファーストの切り替え可能。
  転送ビット長を 8、16、32 ビットに変更可能。
- ビットレート
  マスタ時の RSPCK は、最大 4096 分周
  内蔵ボーレートジェネレータで P1φ を分周して RSPCK を生成。
  外部入力クロックをシリアルクロックとして使用。
- バッファ構成
  送信用バッファ 8 Byte、受信用バッファ 32 Byte。
- SSL 制御機能
  1 チャネルあたり 1 本の SSL 信号あり。
  マスタ設定時には、SSL 信号を出力。
  スレーブ設定時には、SSL 信号を入力。
  SSL 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を設定可能。
  設定範囲：1 ～ 8 RSPCK　設定単位：1 RSPCK
  RSPCK 停止から SSL 出力のネゲートまでの遅延（SSL ネゲート遅延）を設定可能。
  設定範囲：1 ～ 8 RSPCK　設定単位：1 RSPCK
  次アクセスの SSL 出力アサートのウェイト（次アクセス遅延）を設定可能。
  設定範囲：1 ～ 8 RSPCK　設定単位：1 RSPCK
  SSL 極性変更機能。
- マスタ転送時の制御方式
  最大 4 コマンドで構成された転送をシーケンシャルにループ実行可能。
  各コマンドに設定可能な項目は以下のとおり。
  SSL 信号値、ビットレート、RSPCK 極性／位相、転送データ長、LSB ／ MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延。
  送信バッファへのライトで転送を起動可能。
  SPTEF ビットクリアで転送を起動可能。
  SSL ネゲート時の MOSI 信号値を設定可能。

- 割り込み要因
  マスカブルな割り込み要因あり。
  受信割り込み（受信バッファフル）。
  送信割り込み（送信バッファエンプティ）。
  エラー割り込み（モードフォルト、オーバラン）。
- その他
  ループバックモードあり。
  ディスエーブル（初期化）機能あり。



【記号説明】

SPCR	：	制御レジスタ
SSLP	：	スレーブセレクト極性レジスタ
SPPCR	：	端子制御レジスタ
SPSR	：	ステータスレジスタ
SPSCR	：	シーケンス制御レジスタ
SPSSR	：	シーケンスステータスレジスタ
SPDCR	：	データコントロールレジスタ
SPCKD	：	クロック遅延レジスタ
SSLND	：	スレーブセレクトネゲート遅延レジスタ
SPND	：	次アクセス遅延レジスタ
SPCMD	：	コマンドレジスタ
SPBR	：	ビットレートレジスタ
SPTX	：	送信バッファ（データレジスタのライト側）
SPRX	：	受信バッファ（データレジスタのリード側）
SPBFCR	：	バッファコントロールレジスタ
SPBFDR	：	バッファデータカウントセットレジスタ
SPTI	：	送信割り込み
SPRI	：	受信割り込み
SPEI	：	エラー割り込み

図 19.1　　ブロック図（1 チャネル分）

19.2　入出力端子

表 19.1 に端子構成を示します。SSL 端子の入出力方向は、マスタ設定の場合には出力、スレーブ設定の場合には入力に、本モジュールが自動的に切り替えます。RSPCK、MOSI、MISO の入出力方向は、マスタ／スレーブ設定と SSL 入力レベルに応じて、本モジュールが自動的に切り替えます（「19.4.2　端子の制御」を参照）。

表 19.1　端子構成

チャネル	名称	端子名	入出力	機　　能
0	クロック端子	RSPCK0	入出力	クロック入出力
	マスタ送出データ端子	MOSI0	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO0	入出力	スレーブ送出データ
	スレーブセレクト0端子	SSL00	入出力	スレーブセレクト
1	クロック端子	RSPCK1	入出力	クロック入出力
	マスタ送出データ端子	MOSI1	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO1	入出力	スレーブ送出データ
	スレーブセレクト0端子	SSL10	入出力	スレーブセレクト
2	クロック端子	RSPCK2	入出力	クロック入出力
	マスタ送出データ端子	MOSI2	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO2	入出力	スレーブ送出データ
	スレーブセレクト0端子	SSL20	入出力	スレーブセレクト

注.　本文中ではチャネルを省略し、RSPCK、MOSI、MISO、SSL と略称します。

19.3 レジスタの説明

表 19.2 にレジスタ構成を示します。これらのレジスタにより、マスタ／スレーブモードの指定、転送フォーマットの指定、および送信部／受信部の制御を行うことができます。

表19.2　レジスタ構成

チャネル	名称	略称（注1）	R/W	初期値	アドレス	アクセスサイズ
0	制御レジスタ_0	SPCR_0	R/W	H'00	H'E800C800	8
	スレーブセレクト極性レジスタ_0	SSLP_0	R/W	H'00	H'E800C801	8
	端子制御レジスタ_0	SPPCR_0	R/W	H'00	H'E800C802	8
	ステータスレジスタ_0	SPSR_0	R/(W)（注2）	H'60	H'E800C803	8
	データレジスタ_0	SPDR_0	R/W	不定	H'E800C804	8、16、32
	シーケンス制御レジスタ_0	SPSCR_0	R/W	H'00	H'E800C808	8
	シーケンスステータスレジスタ_0	SPSSR_0	R	H'00	H'E800C809	8
	ビットレートレジスタ_0	SPBR_0	R/W	H'FF	H'E800C80A	8
	データコントロールレジスタ_0	SPDCR_0	R/W	H'20	H'E800C80B	8
	クロック遅延レジスタ_0	SPCKD_0	R/W	H'00	H'E800C80C	8
	スレーブセレクトネゲート遅延レジスタ_0	SSLND_0	R/W	H'00	H'E800C80D	8
	次アクセス遅延レジスタ_0	SPND_0	R/W	H'00	H'E800C80E	8
	コマンドレジスタ0_0	SPCMD0_0	R/W	H'070D	H'E800C810	16
	コマンドレジスタ1_0	SPCMD1_0	R/W	H'070D	H'E800C812	16
	コマンドレジスタ2_0	SPCMD2_0	R/W	H'070D	H'E800C814	16
	コマンドレジスタ3_0	SPCMD3_0	R/W	H'070D	H'E800C816	16
	バッファコントロールレジスタ_0	SPBFCR_0	R/W	H'00	H'E800C820	8
	バッファデータカウントセットレジスタ_0	SPBFDR_0	R	H'0000	H'E800C822	16
1	制御レジスタ_1	SPCR_1	R/W	H'00	H'E800D000	8
	スレーブセレクト極性レジスタ_1	SSLP_1	R/W	H'00	H'E800D001	8
	端子制御レジスタ_1	SPPCR_1	R/W	H'00	H'E800D002	8
	ステータスレジスタ_1	SPSR_1	R/(W)（注2）	H'60	H'E800D003	8
	データレジスタ_1	SPDR_1	R/W	不定	H'E800D004	8、16、32
	シーケンス制御レジスタ_1	SPSCR_1	R/W	H'00	H'E800D008	8
	シーケンスステータスレジスタ_1	SPSSR_1	R	H'00	H'E800D009	8
	ビットレートレジスタ_1	SPBR_1	R/W	H'FF	H'E800D00A	8
	データコントロールレジスタ_1	SPDCR_1	R/W	H'20	H'E800D00B	8
	クロック遅延レジスタ_1	SPCKD_1	R/W	H'00	H'E800D00C	8
	スレーブセレクトネゲート遅延レジスタ_1	SSLND_1	R/W	H'00	H'E800D00D	8
	次アクセス遅延レジスタ_1	SPND_1	R/W	H'00	H'E800D00E	8
	コマンドレジスタ0_1	SPCMD0_1	R/W	H'070D	H'E800D010	16
	コマンドレジスタ1_1	SPCMD1_1	R/W	H'070D	H'E800D012	16
	コマンドレジスタ2_1	SPCMD2_1	R/W	H'070D	H'E800D014	16
	コマンドレジスタ3_1	SPCMD3_1	R/W	H'070D	H'E800D016	16
	バッファコントロールレジスタ_1	SPBFCR_1	R/W	H'00	H'E800D020	8
	バッファデータカウントセットレジスタ_1	SPBFDR_1	R	H'0000	H'E800D022	16

チャネル	名称	略称（注1）	R/W	初期値	アドレス	アクセスサイズ
2	制御レジスタ_2	SPCR_2	R/W	H'00	H'E800D800	8
	スレーブセレクト極性レジスタ_2	SSLP_2	R/W	H'00	H'E800D801	8
	端子制御レジスタ_2	SPPCR_2	R/W	H'00	H'E800D802	8
	ステータスレジスタ_2	SPSR_2	R/(W)（注2）	H'60	H'E800D803	8
	データレジスタ_2	SPDR_2	R/W	不定	H'E800D804	8、16、32
	シーケンス制御レジスタ_2	SPSCR_2	R/W	H'00	H'E800D808	8
	シーケンスステータスレジスタ_2	SPSSR_2	R	H'00	H'E800D809	8
	ビットレートレジスタ_2	SPBR_2	R/W	H'FF	H'E800D80A	8
	データコントロールレジスタ_2	SPDCR_2	R/W	H'20	H'E800D80B	8
	クロック遅延レジスタ_2	SPCKD_2	R/W	H'00	H'E800D80C	8
	スレーブセレクトネゲート遅延レジスタ_2	SSLND_2	R/W	H'00	H'E800D80D	8
	次アクセス遅延レジスタ_2	SPND_2	R/W	H'00	H'E800D80E	8
	コマンドレジスタ0_2	SPCMD0_2	R/W	H'070D	H'E800D810	16
	コマンドレジスタ1_2	SPCMD1_2	R/W	H'070D	H'E800D812	16
	コマンドレジスタ2_2	SPCMD2_2	R/W	H'070D	H'E800D814	16
	コマンドレジスタ3_2	SPCMD3_2	R/W	H'070D	H'E800D816	16
	バッファコントロールレジスタ_2	SPBFCR_2	R/W	H'00	H'E800D820	8
	バッファデータカウントセットレジスタ_2	SPBFDR_2	R	H'0000	H'E800D822	16

注1.　本文中ではチャネルを省略してレジスタ名を表記しています。
注2.　フラグをクリアするために0のみ書き込むことができます。

19.3.1　制御レジスタ（SPCR）

SPCR は、動作モードを設定するためのレジスタです。SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MOD FEN	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説　明
7	SPRIE	0	R/W	受信割り込みイネーブル 受信バッファ（SPRX）の受信データ数が指定受信トリガ数以上になり、ステータスレジスタ（SPSR）のSPRF フラグが1にセットされたとき、受信割り込み（SPRI）要求の発生の許可／禁止を設定します。 0：受信割り込み要求の発生を禁止する 1：受信割り込み要求の発生を許可する
6	SPE	0	R/W	機能イネーブル 本ビットを1にすることにより、本モジュールの機能が有効になります。ステータスレジスタ（SPSR）のMODF ビットが1の場合には、SPE ビットを1に設定することはできません（「19.4.6　エラー検出」を参照）。SPE ビットを0にすると、本モジュールの機能は無効化されて、モジュール機能の一部が初期化されます（「19.4.7　初期化」を参照）。 0：本モジュールの機能を無効化する 1：本モジュールの機能を有効化する
5	SPTIE	0	R/W	送信割り込みイネーブル 送信バッファ（SPTX）の送信データ数が指定送信トリガ数以下になり、ステータスレジスタ（SPSR）のSPTEF フラグが1にセットされたとき、送信割り込み（SPTI）要求の発生の許可／禁止を設定します。 0：送信割り込み要求の発生を禁止する 1：送信割り込み要求の発生を許可する
4	SPEIE	0	R/W	エラー割り込みイネーブル 本モジュールがモードフォルトエラーを検出してステータスレジスタ（SPSR）のMODF ビットを1にした場合、または本モジュールがオーバランエラーを検出してSPSR のOVRF ビットを1にした場合のエラー割り込み要求の発生を許可／禁止するためのビットです（「19.4.6　エラー検出」を参照）。 0：エラー割り込み要求の発生を禁止する 1：エラー割り込み要求の発生を許可する SPI スレーブモード設定時のみ有効となります。
3	MSTR	0	R/W	マスタ／スレーブモード選択 マスタ／スレーブモードを選択するためのビットです。また、本モジュールはMSTR ビットの設定に従って、RSPCK、MOSI、MISO、SSL 端子の方向を決定します。 0：スレーブモード 1：マスタモード
2	MODFEN	0	R/W	モードフォルトエラー検出イネーブル モードフォルトエラーの検出を許可／禁止するためのビットです（「19.4.6　エラー検出」を参照）。 0：モードフォルトエラー検出を禁止する 1：モードフォルトエラー検出を許可する 注.　SPI スレーブモード設定時のみ有効となります。 また、MSTR ビットをマスタモード設定する場合はかならず、MODFEN ビットを0に設定してください。
1、0	―	すべて0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。

19.3.2　スレーブセレクト極性レジスタ（SSLP）

SSLP は、SSL 信号の極性を設定するためのレジスタです。制御レジスタ（SPCR）の SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、SSL0P ビットを書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SSL0P
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7～1	—	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
0	SSL0P	0	R/W	SSL信号極性設定 SSL信号の極性を設定するためのビットです。SSL0Pの設定値が、SSL信号のアクティブ極性を示します。 0：SSL信号は0アクティブ 1：SSL信号は1アクティブ

19.3.3　端子制御レジスタ（SPPCR）

SPPCR は、端子モードを設定するために使用されるレジスタです。SPCR の SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、SPPCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	—	—	MOIFE	MOIFV	—	—	—	SPLP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7、6	—	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
5	MOIFE	0	R/W	MOSI アイドル値固定イネーブル マスタモードの本モジュールが、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSI 出力値を固定するために使用するビットです。MOIFE が 0 の場合には、本モジュールは SSL ネゲート期間中に前回のシリアル転送の最終出力値を MOSI に出力します（CPHA＝0 の場合は不定）。MOIFE が 1 の場合には、本モジュールは MOIFV ビットに設定された固定値を MOSI に出力します。 0：MOSI 出力値は前回転送の最終出力値（CPHA＝0 の場合は不定） 1：MOSI 出力値は MOIFV ビットの設定値
4	MOIFV	0	R/W	MOSI アイドル固定値 マスタモードで MOIFE ビットが 1 の場合には、本モジュールは MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を決定します。 0：MOSI アイドル固定値は 0 1：MOSI アイドル固定値は 1
3～1	—	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
0	SPLP	0	R/W	ループバック SPLP ビットを 1 にすると、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。 0：通常モード 1：ループバックモード

19.3.4　ステータスレジスタ（SPSR）

SPSR は、動作状態を示すフラグを格納したレジスタです。

ビット：	7	6	5	4	3	2	1	0
	SPRF	TEND	SPTEF	—	—	MODF	—	OVRF
初期値：	0	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/(W)*	R	R/(W)*

注.　* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　明
7	SPRF	0	R	受信バッファフルフラグ 受信バッファ（SPRX）の受信データ数がバッファコントロールレジスタ（SPBFCR）の受信バッファデータ数トリガ（RXTRG）で指定した値以上になったことを示すビットです。 0：受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満である 1：受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上である SPRF ビットを0にクリアするための条件は以下のとおりです。 • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満まで受信バッファを読み出したとき • 受信バッファデータリセットを有効にしたとき • パワーオンリセット SPRF ビットを1にセットするための条件は以下のとおりです。 • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上のとき
6	TEND	1	R	送信終了 送信終了したことを示すビットです。TEND ビットが1の場合、送信終了したことを示し、TEND ビットが0の場合、送信未終了であることを示します。 TEND ビットを0にクリアする条件は以下のとおりです。 • 送信レジスタからシフトレジスタへ送信データが転送されたとき TEND ビットを1にセットする条件は以下のとおりです。 • シリアル転送終了時に送信バッファ（SPTX）のデータ格納数が空であるとき 注.　SPI マスタモード設定のみ有効となります。
5	SPTEF	1	R	送信バッファエンプティフラグ 送信バッファ（SPTX）の送信データ数がバッファコントロールレジスタ（SPBFCR）の送信バッファデータ数トリガ（TXTRG）で指定した値以下になったことを示すビットです。 0：送信バッファの送信データ数が送信バッファデータ数トリガで指定した値以上である 1：送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満である SPTEF ビットを0にクリアする条件は以下のとおりです。 • 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値より多くなるまで送信バッファに書き込んだとき SPTEF ビットに1をセットする条件は以下のとおりです。 • 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満になったとき • 送信バッファデータリセットを有効にしたとき • パワーオンリセット
4、3	—	すべて0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
2	MODF	0	R/(W)*	モードフォルトエラーフラグ モードフォルトエラーの発生状況を示すビットです。本モジュールがスレーブモードの場合にMODFEN ビットに1を設定すると、データ転送に必要なRSPCK サイクルが終了する前にSSL 端子がネゲートされると、本モジュールがモードフォルトエラーを検出します。なお、SSL 信号のアクティブレベルは、スレーブセレクト極性レジスタ（SSLP）のSSL0P ビットによって決定されます。MODF ビットのクリア条件は以下のとおりです。 • MODF が1にされた状態のSPSR を読み出した後、MODF に0を書き込む • パワーオンリセット 0：モードフォルトエラーなし 1：モードフォルトエラー発生 注.　SPI スレーブモード設定時のみ有効となります。
1	—	0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説　　明
0	OVRF	0	R/(W)*	オーバランエラーフラグ オーバランエラーの発生状況を示すビットです。受信バッファ（SPRX）に受信データ長の空きがない状態でシリアル転送が完了した場合に、本モジュールはオーバランエラーを検出し、OVRF ビットを 1 にします。OVRF ビットのクリア条件は、以下のとおりです。 • OVRF が 1 にされた状態の SPSR を読み出した後、OVRF に 0 を書き込む • パワーオンリセット 0：オーバランエラーなし 1：オーバランエラー発生 注.　SPI スレーブモード設定時のみ有効となります。

注.　*フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

19.3.5　データレジスタ（SPDR）

SPDR は、送受信用のデータを格納するバッファです。

送信用バッファ（SPTX）と受信用バッファ（SPRX）は独立したバッファで、これらのバッファが SPDR にマッピングされています。

SPDR へのリード／ライトは、データコントロールレジスタ（SPDCR）のアクセス幅設定ビット（SPLW）の設定によって、バイト／ワード／ロングワードで行ってください。

SPDR の使用するビット長はコマンドレジスタ（SPCMD）のデータ長設定ビット（SPB3 ～ 0）によって決定されます。SPDCR のアクセス幅設定と SPCMD のデータ長設定は一致させる必要があります。

SPDR への書き込みは、送信バッファに SPDR アクセス幅長の空きがあると、SPDR から送信バッファへデータを書き込みます。送信バッファに SPDR アクセス幅長の空きがないと、書き込みを行いません。書き込みを試みてもデータは無視されます。

SPDR からデータを読み出すと、受信バッファにある受信データを読み出すことができます。受信バッファに受信データがない状態で読み出すと不定値となります。

また、SPDR にロングワード／ワード／バイトのアクセス幅で書き込みを行う場合、アクセス幅に関わらず、必ず 0 番地に送信データを書き込んでください。0 番地以外に書き込んだ場合のデータは保証しません。

SPDR からロングワード／ワード／バイトのアクセス幅で読み込みを行う場合、アクセス幅に関わらず、必ず 0 番地から受信データを読み込んでください。0 番地以外から読み込んだ場合のデータは不定値となります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.6　シーケンス制御レジスタ（SPSCR）

SPSCR は、本モジュールがマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュール機能がイネーブルである状態において、SPSCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SPSLN1	SPSLN0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7～2	—	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
1 0	SPSLN1 SPSLN0	0 0	R/W R/W	シーケンス長設定 マスタモードの本モジュールがシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの本モジュールはSPSLN1、SPSLN0に設定されたシーケンス長に応じて、参照するコマンドレジスタ0～3（SPCMD0～3）と参照順を変更します。SPSLN1、SPSLN0の設定値とシーケンス長、本モジュールが参照するSPCMD0～3の関係は以下のとおりです。なお、スレーブモードの本モジュールでは、常にSPCMD0が参照されます。 シーケンス長　参照するSPCMDレジスタ（番号） 00：1　0→0→… 01：2　0→1→0→… 10：3　0→1→2→0→… 11：4　0→1→2→3→0→…

19.3.7　シーケンスステータスレジスタ（SPSSR）

SPSSR は、本モジュールがマスタ動作する場合のシーケンス制御の状態を示すレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SPCP1	SPCP0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7～2	—	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
1 0	SPCP1 SPCP0	0 0	R R	コマンドポインタ シーケンス制御で、現在ポインタで指されているコマンドレジスタ0～3（SPCMD0～3）を示すビットです。SPCP1、SPCP0の値とSPCMD0～SPCMD3の対応は以下のとおりです。なお、シーケンス制御については、「19.4.8 (1) (c)　シーケンス制御」を参照してください。 00：SPCMD0 01：SPCMD1 10：SPCMD2 11：SPCMD3

19.3.8　ビットレートレジスタ（SPBR）

SPBR は、マスタモード時のビットレート設定に使用するレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールの機能がイネーブルである状態において、SPBR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

本モジュールをスレーブモードで使用する場合には、SPBR、BRDV の設定に関係なく、入力クロックのビットレートに依存します。

ビットレートは SPBR の設定値とコマンドレジスタ（SPCMD0 ～ 3）の BRDV1 ～ 0 ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR の設定値（0、1、2、……、255）、N は BRDV1 ～ 0 ビットの設定値（0、1、2、3）です。

$$\text{ビットレート} = \frac{f(P1\varphi)}{2\times(n+1)\times 2^{N}}$$

SPBR レジスタ、BRDV1 ～ 0 ビットの設定値とビットレートの関係の例を**表 19.3** に示します。

表 19.3　SPBR レジスタ、BRDV1 ～ 0 ビットの設定値とビットレート

SPBR の設定値（n）	BRDV1 ～ 0 の設定値（N）	分周比	ビットレート
			P1φ＝66MHz
0	0	2（注 1）	33.00Mbps
1	0	4	16.50Mbps
2	0	6	11.00Mbps
3	0	8	8.25Mbps
4	0	10	6.60Mbps
5	0	12	5.50Mbps
5	1	24	2.75Mbps
5	2	48	1.38Mbps
5	3	96	687.50kbps
255	3	4096	16.11kbps

注 1.　実際にシステムで使用するビットレートはタイミング仕様を検討頂いた上で決定してください。

19.3.9　データコントロールレジスタ（SPDCR）

SPDCR は、SPDR レジスタへのアクセス幅をバイトアクセス／ロングワードアクセス／ワードアクセスに設定、本モジュールがマスタモード設定時、ダミーデータ送信イネーブル（TXDMY）の許可設定をするためのレジスタです。

ステータスレジスタ（SPCR）の TEND ビットが送信未終了の状態のときに SPDCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	TXDMY	SPLW1	SPLW0	—	—	—	—	—
初期値：	0	0	1	0	0	0	0	0
R/W：	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7	TXDMY	0	R/W	ダミーデータ送信イネーブル ダミーデータ送信の許可／禁止を設定するためのビットです。 TXDMYを1にセットにし通信を行った場合、送信バッファに送信データがない場合でも、MOSI端子からダミーデータを送信し、シリアル通信をすることが可能となります。 送信バッファに送信データがなく、TXDMYに1がセットされている場合に、ダミーデータをシフトレジスタへ転送します。ダミーデータは端子から送信された直前のデータとなります。また、初期化後にTXDMYを1にセットし、転送を行った場合、送信されるダミーデータは不定値となります。 0：ダミーデータ送信を禁止にする 1：ダミーデータ送信を許可にする 本モジュールがマスタ設定時のみ有効となります。
6 5	SPLW1 SPLW0	0 1	R/W R/W	アクセス幅設定 データレジスタ（SPDR）へのアクセス幅を設定します。データレジスタ（SPDR）への転送データ長（注1）とSPLWのアクセス幅設定が異なる場合の動作は保証しません。 00：設定禁止 01：SPDRレジスタへバイト（8ビット）アクセス 10：SPDRレジスタへはワード（16ビット）アクセス 11：SPDRレジスタへはロングワード（32ビット）アクセス
4～0	—	すべて0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。

注1.　コマンドレジスタ（SPCMD）SPB3～0により決定されます。
「19.3.5　データレジスタ（SPDR）」を参照してください。

19.3.10　クロック遅延レジスタ（SPCKD）

SPCKD は、コマンドレジスタ（SPCMD）の SCKDEN ビットが 1 の状態における、SSL 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPCKD を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SCKDL2 ～ SCKDL0 に B'000 を設定してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCKDL2	SCKDL1	SCKDL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7 ～ 3	—	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
2 1 0	SCKDL2 SCKDL1 SCKDL0	0 0 0	R/W R/W R/W	RSPCK遅延設定 SPCMDのSCKDENビットが1の場合のRSPCK遅延値を設定するためのビットです。 SCKDL2～SCKDL0の設定値とRSPCK遅延値の関係は以下のとおりです。 000：1 RSPCK 001：2 RSPCK 010：3 RSPCK 011：4 RSPCK 100：5 RSPCK 101：6 RSPCK 110：7 RSPCK 111：8 RSPCK

19.3.11　スレーブセレクトネゲート遅延レジスタ（SSLND）

SSLND は、マスタモードの本モジュールがシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SSLND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SLNDL2 ～ SLNDL0 に B'000 を設定してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	SLNDL2	SLNDL1	SLNDL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 3	—	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
2 1 0	SLNDL2 SLNDL1 SLNDL0	0 0 0	R/W R/W R/W	SSL ネゲート遅延設定 SPCMD の SLNDEN ビットが 1 の場合の SSL ネゲート遅延を設定するためのビットです。 SLNDL2 ～ SLNDL0 の設定値と SSL ネゲート遅延値の関係は以下のとおりです。 000：1 RSPCK 001：2 RSPCK 010：3 RSPCK 011：4 RSPCK 100：5 RSPCK 101：6 RSPCK 110：7 RSPCK 111：8 RSPCK

19.3.12　次アクセス遅延レジスタ（SPND）

SPND は、コマンドレジスタ（SPCMD）の SPNDEN ビットが 1 の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SPNDL2 ～ SPNDL0 に B'000 を設定してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	SPNDL2	SPNDL1	SPNDL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7 ～ 3	—	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
2 1 0	SPNDL2 SPNDL1 SPNDL0	0 0 0	R/W R/W R/W	次アクセス遅延設定 SPCMDのSPNDENビットが1の場合の次アクセス遅延を設定するためのビットです。 SPNDL2～SPNDL0の設定値と次アクセス遅延値の関係は以下のとおりです。 000：1 RSPCK＋2 P1φ 001：2 RSPCK＋2 P1φ 010：3 RSPCK＋2 P1φ 011：4 RSPCK＋2 P1φ 100：5 RSPCK＋2 P1φ 101：6 RSPCK＋2 P1φ 110：7 RSPCK＋2 P1φ 111：8 RSPCK＋2 P1φ

19.3.13　コマンドレジスタ（SPCMD）

1 チャネルにコマンドレジスタ（SPCMD）が 4 本あります（SPCMD0 ～ SPCMD3）。SPCMD0 ～ SPCMD3 は、マスタモードの転送フォーマットを設定するために使用されます。また、SPCMD0 の一部のビットは、スレーブモードの転送フォーマットを設定するためにも使用されます。マスタモードの本モジュールはシーケンス制御レジスタ（SPSCR）の SPSLN1、SPSLN0 ビットの設定に従ってシーケンシャルに SPCMD0 ～ 3 を参照し、参照した SPCMD に設定されたシリアル転送を実行します。

ステータスレジスタ（SPSR）の TEND ビットが送信未終了の状態のときに、本モジュールが参照している SPCMD を書き換えた場合には、本モジュールの以降の動作は保証されません。マスタモードの本モジュールが参照している SPCMD は、シーケンスステータスレジスタ（SPSSR）の SPCP1、0 ビットにより確認できます。また、スレーブモードの本モジュールがイネーブルな状態において、SPCMD0 を書き換えた場合には、以降の動作は保証されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCK DEN	SLN DEN	SPN DEN	LSBF	SPB3	SPB2	SPB1	SPB0	SSLKP	—	—	—	BRDV1	BRDV0	CPOL	CPHA
初期値：	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
15	SCKDEN	0	R/W	RSPCK遅延設定イネーブル マスタモードの本モジュールが、SSL信号をアクティブにしてからRSPCKを発振するまでの期間（RSPCK遅延）を設定するためのビットです。SCKDENが0の場合には、本モジュールはRSPCK遅延を1RSPCKにします。SCKDENが1の場合には、本モジュールはクロック遅延レジスタ（SPCKD）の設定に従ったRSPCK遅延でRSPCKの発振を開始します。 本モジュールをスレーブモードで使用する場合には、SCKDENに0を設定してください。 0：RSPCK遅延は1RSPCK 1：RSPCK遅延はRSPCK遅延レジスタ（SPCKD）の設定値
14	SLNDEN	0	R/W	SSLネゲート遅延設定イネーブル マスタモードの本モジュールが、RSPCKを発振停止してからSSL信号を非アクティブにするまでの期間（SSLネゲート遅延）を設定するためのビットです。SLNDENが0の場合には、本モジュールはSSLネゲート遅延を1RSPCKにします。SLNDENが1の場合には、本モジュールはスレーブセレクトネゲート遅延レジスタ（SSLND）の設定に従ったRSPCK遅延でSSLをネゲートします。 本モジュールをスレーブモードで使用する場合には、SLNDENに0を設定してください。 0：SSLネゲート遅延は1RSPCK 1：SSLネゲート遅延はスレーブセレクトネゲート遅延レジスタ（SSLND）の設定値
13	SPNDEN	0	R/W	次アクセス遅延イネーブル マスタモードの本モジュールがシリアル転送を終了してSSL信号を非アクティブにしてから、次アクセスのSSL信号アサートを可能にするまでの期間（次アクセス遅延）を設定するためのビットです。SPNDENが0の場合には、本モジュールは次アクセス遅延を1RSPCK＋2P1φにします。SPNDENが1の場合には、本モジュールは次アクセス遅延レジスタ（SPND）の設定に従った次アクセス遅延を挿入します。 本モジュールをスレーブモードで使用する場合には、SPNDENに0を設定してください。 0：次アクセス遅延は1RSPCK＋2P1φ 1：次アクセス遅延は次アクセス遅延レジスタ（SPND）の設定値
12	LSBF	0	R/W	LSBファースト マスタモード／スレーブモードのデータフォーマットを、MSBファースト／LSBファーストに設定するためのビットです。 0：MSBファースト 1：LSBファースト
11 10 9 8	SPB3 SPB2 SPB1 SPB0	0 1 1 1	R/W R/W R/W R/W	データ長設定 マスタモード／スレーブモードの転送データ長を設定するためのビットです。 0100～0111：8ビット 1111：16ビット 0010、0011：32ビット その他：設定禁止

ビット	ビット名	初期値	R/W	説　明
7	SSLKP	0	R/W	SSL信号レベル保持 マスタモードの本モジュールがシリアル転送する場合に、現コマンドに対応するSSLネゲートタイミングから次コマンドに対応するSSLアサートタイミングの間に、現コマンドのSSL信号レベルを保持するか、ネゲートするかを設定するビットです。 本モジュールをスレーブモードで使用する場合には、SSLKPに0を設定してください。 0：転送終了時にSSL信号をネゲート 1：転送終了後から次アクセス開始までSSL信号レベルを保持
6～4	—	すべて0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
3 2	BRDV1 BRDV0	1 1	R/W R/W	ビットレート分周設定 ビットレートを決定するために使用するレジスタです。 BRDV1、0ビットとビットレートレジスタ（SPBR）の設定値の組み合わせでビットレートを決定します（「19.3.8　ビットレートレジスタ（SPBR）」を参照）。SPBRの設定値は、ベースとなるビットレートを決定します。BRDV1～0ビットの設定値は、ベースのビットレートに対して 分周なし／2分周／4分周／8分周 したビットレートを選択するために使用します。SPCMD0～3にはそれぞれ異なるBRDV1、0の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。 00：ベースのビットレートを選択 01：ベースのビットレートの2分周を選択 10：ベースのビットレートの4分周を選択 11：ベースのビットレートの8分周を選択
1	CPOL	0	R/W	RSPCK極性設定 マスタモード／スレーブモードのRSPCK極性を設定するためのビットです。 本モジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK極性を設定する必要があります。 0：アイドル時のRSPCKが0 1：アイドル時のRSPCKが1
0	CPHA	1	R/W	RSPCK位相設定 マスタモード／スレーブモードのRSPCK位相を設定するためのビットです。 本モジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK位相を設定する必要があります。 0：奇数エッジでデータサンプル、偶数エッジでデータ変化 1：奇数エッジでデータ変化、偶数エッジでデータサンプル

19.3.14　バッファコントロールレジスタ（SPBFCR）

SPBFCR は、送信バッファ（SPTX）／受信バッファ（SPRX）のデータ数のリセット、トリガデータ数の設定を行うレジスタです。

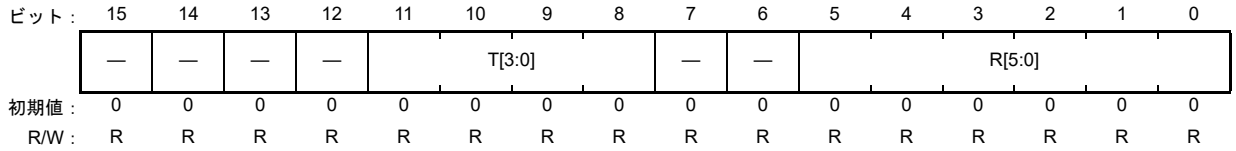
ビット：	7	6	5	4	3	2	1	0
	TXRST	RXRST	TXTRG[1:0]		—	RXTRG[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	TXRST	0	R/W	送信バッファデータリセット 送信バッファ内の送信データを無効にし、データが何もない状態にリセットします。 0：リセット動作を禁止（注1） 1：リセット動作を許可 注1.　パワーオンリセット時にはリセット動作が行われます。
6	RXRST	0	R/W	受信バッファデータリセット 受信バッファ内の受信データを無効にし、データが何もない状態にリセットします。 0：リセット動作を禁止（注1） 1：リセット動作を許可 注1.　パワーオンリセット時にはリセット動作が行われます。
5、4	TXTRG	00	R/W	送信バッファデータ数トリガ ステータスレジスタのSPTEF フラグの基準となる、送信バッファエンプティタイミングの設定をします。送信バッファ（SPTX）に格納されたデータバイト数が以下に示す設定トリガ数以下になったときSPTEF フラグは1にセットされます。 00：7 Byte（1）（注1） 01：6 Byte（2）（注1） 10：4 Byte（4）（注1） 11：0 Byte（8）（注1） 注1.　（）内の数値は送信バッファ（SPTX）の空きバイト数を示します。
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も0にしてください。
2～0	RXTRG	000	R/W	受信バッファデータ数トリガ ステータスレジスタのSPRF フラグの基準値となる、受信バッファフルタイミングの設定をします。受信バッファ（SPRX）に格納されたデータバイト数が以下に示す設定トリガ数以上になったときにSPRF フラグは1にセットされます。 000：1 Byte（31）（注1） 001：2 Byte（30）（注1） 010：4 Byte（28）（注1） 011：8 Byte（24）（注1） 100：16 Byte（16）（注1） 101：24 Byte（8）（注1） 110：32 Byte（0）（注1） 111：5 Byte（27）（注1） 注1.　（）内の数値は受信バッファ（SPRX）の空きバイト数を示します。

19.3.15　バッファデータカウントセットレジスタ（SPBFDR）

SPBFDR は、送信バッファ（SPTX）と受信バッファ（SPRX）に格納されているデータ数を示します。

上位 8 ビットで SPTX の送信データバイト数を、下位 8 ビットで SPRX の受信データバイト数を示します。



ビット	ビット名	初期値	R/W	説　　明
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も0にしてください。
11 ～ 8	T[3:0]	0000	R	SPTXに格納されている未送信データバイト数を示します。 B'0000 はSPTXがエンプティ状態であることを示します。 B'1000 はSPTXがフル状態であることを示します。
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も0にしてください。
5 ～ 0	R[5:0]	000000	R	SPRXに格納されている受信データバイト数を示します。 B'000000 はSPRXがエンプティ状態であることを示します。 B'100000 はSPRXがフル状態であることを示します。

19.4　動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

19.4.1　動作の概要

本モジュールは、スレーブモード、マスタモードのシリアル転送が可能です。モードは、制御レジスタ（SPCR）の MSTR ビットによって設定可能です。表 19.4 にモードと SPCR 設定の関係および各モードの概要を示します。

表19.4　モードとSPCR設定の関係および各モードの概要

モード	スレーブ（SPI動作）	マスタ（SPI動作）
MSTRビットの設定	0	1
MODFENビットの設定	0 or 1	0
RSPCK信号	入力	出力
MOSI信号	入力	出力
MISO信号	出力／Hi-Z	入力
SSL信号	入力	出力
SSL極性変更機能	あり	あり
転送レート	～P1φ/8	～P1φ/2
クロックソース	RSPCK入力	内蔵ボーレートジェネレータ
クロック極性	2種	2種
クロック位相	2種	2種
先頭転送ビット	MSB／LSB	MSB／LSB
転送データ長	8、16、32ビット	8、16、32ビット
バースト転送	可能（CPHA=1）	可能（CPHA=0、1）
RSPCK遅延制御	なし	あり
SSLネゲート遅延制御	なし	あり
次アクセス遅延制御	なし	あり
転送起動方法	SSL入力アクティブ またはRSPCK発振	SPE=1で送信 バッファ書き込み
シーケンス制御	なし	あり
送信バッファエンプティ検出	あり	あり
受信バッファフル検出	あり	あり
オーバランエラー検出	あり	なし
モードフォルトエラー検出	あり（MODFEN=1）	なし

19.4.2 端子の制御

本モジュールは、制御レジスタ（SPCR）の MSTR ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を**表 19.5** に示します。

表 19.5　端子の状態と制御ビット設定値の関係

モード	端子	端子状態
マスタ（SPI 動作）（MSTR＝1）	RSPCK	CMOS 出力
	SSL	CMOS 出力
	MOSI	CMOS 出力
	MISO	入力
スレーブ（SPI 動作）（MSTR＝0）	RSPCK	入力
	SSL	入力
	MOSI	入力
	MISO（注 1）	CMOS 出力／Hi-Z

注 1.　SSL が非アクティブレベルまたは SPCR の SPE ビットが 0 の場合、端子状態が Hi-Z になります。

マスタモード（SPI 動作）の本モジュールは、SPPCR の MOIFE ビットと MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を**表 19.6** のように決定します。

表 19.6　SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間の MOSI 信号値
0	0、1	前回転送の最終出力値（CPHA＝0 の場合は不定）
1	0	常に 0
1	1	常に 1

19.4.3　システム構成例

(1)　マスタ／スレーブ（本 LSI ＝マスタ）

図 19.2 に、本 LSI をマスタとして使用した場合のマスタ／スレーブのシステムの構成例を示します。マスタ／スレーブの構成では、本 LSI（マスタ）の SSL 出力は使用しません。スレーブの SSL 入力は 0 レベルに固定して、スレーブを常にセレクト状態にします。制御レジスタ（SPCR）の CPHA ビットが 0 の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

本 LSI（マスタ）は、RSPCK と MOSI を常にドライブします。スレーブは、MISO を常にドライブします。

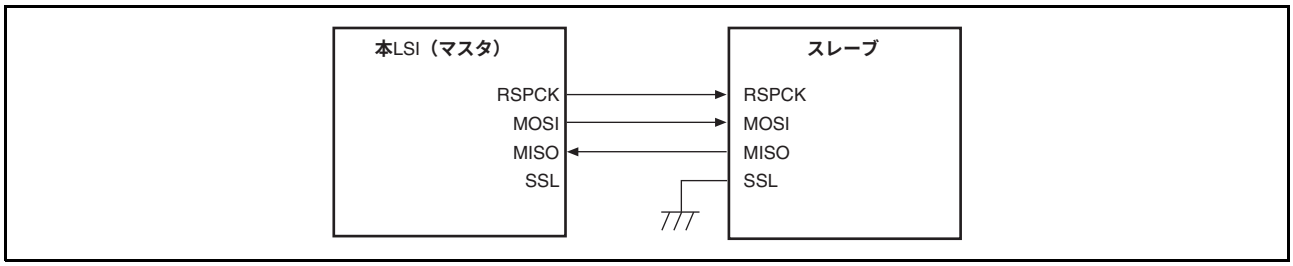


図 19.2　　マスタ／スレーブの構成例（本 LSI ＝マスタ）

(2)　マスタ／スレーブ（本 LSI ＝スレーブ）

図 19.3 に、本 LSI をスレーブとして使用した場合のマスタ／スレーブのシステム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL 端子を SSL 入力として使用します。マスタは、RSPCK と MOSI を常にドライブします。本 LSI（スレーブ）は、MISO を常にドライブします。SSL が非アクティブレベルの場合、端子状態が Hi-Z になります。

コマンドレジスタ（SPCMD）の CPHA ビットを 1 に設定したシングルスレーブ構成の場合には、本 LSI（スレーブ）の SSL 入力を 0 レベルに固定して本 LSI（スレーブ）を常に選択状態とし、シリアル転送を実行することも可能です（図 19.4）。

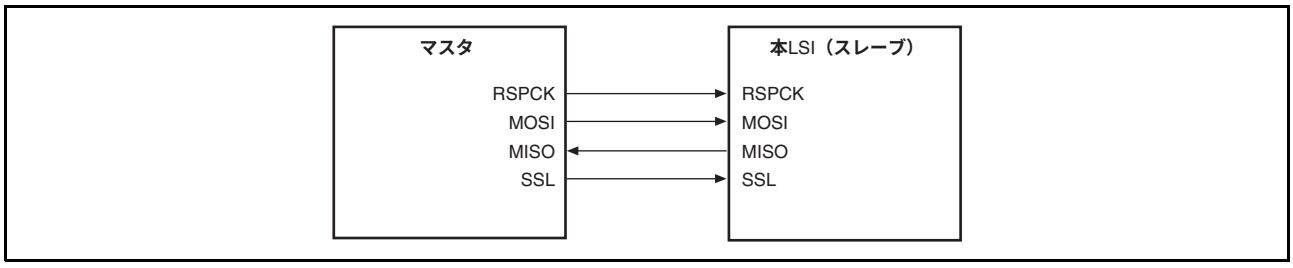


図 19.3　　マスタ／スレーブの構成例（本 LSI ＝スレーブ）

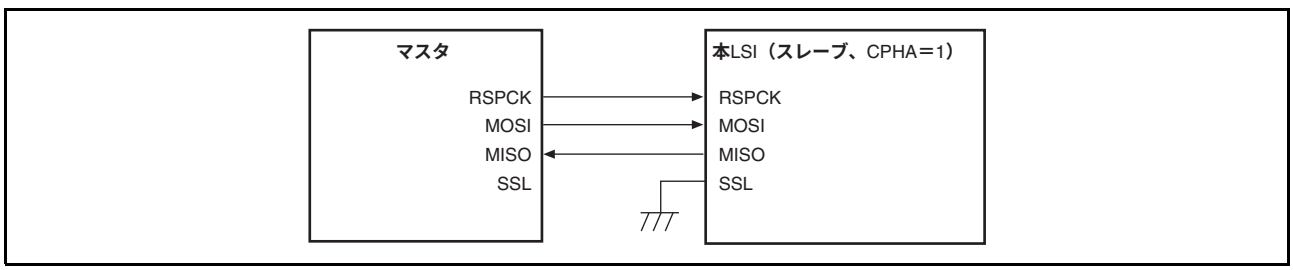


図 19.4　　マスタ／スレーブの構成例（本 LSI ＝スレーブ、CPHA ＝ 1）

(3)　マスタ／マルチスレーブ（本 LSI ＝スレーブ）

図 19.5 に、本 LSI をスレーブとして使用した場合のマスタ／マルチスレーブのシステム構成例を示します。図 19.5 の例では、マスタと 2 つの本 LSI（スレーブ X、スレーブ Y）からシステムを構成しています。

マスタの RSPCK 出力と MOSI 出力は、本 LSI（スレーブ X、スレーブ Y）の RSPCK 入力と MOSI 入力に接続します。本 LSI（スレーブ X、スレーブ Y）の MISO 出力は、マスタの MISO 入力に接続します。マスタの SSLX 出力、SSLY 出力は、本 LSI（スレーブ X、スレーブ Y）の SSL 入力に接続します。

マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI（スレーブ X、スレーブ Y）のうち、SSL0 入力に 0 レベルを入力されているスレーブが、MISO をドライブします。

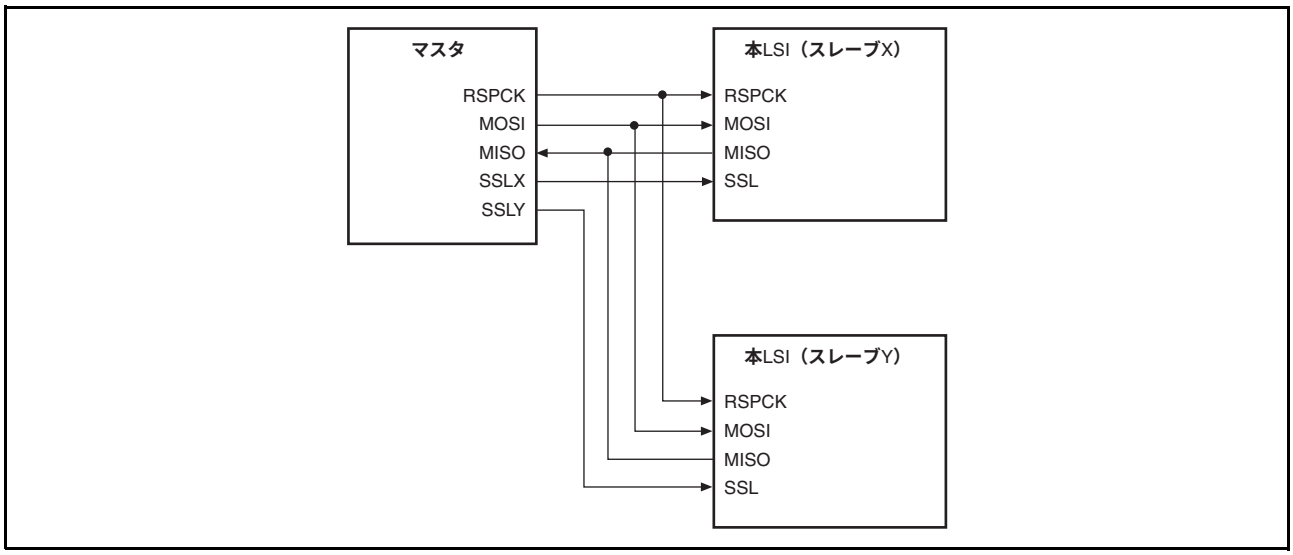


図 19.5　　シングルマスタ／マルチスレーブの構成例（本 LSI ＝スレーブ）

19.4.4　転送フォーマット

(1)　CPHA ＝ 0 の場合

図 19.6 にコマンドレジスタ（SPCMD）の CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 19.6 において、RSPCK（CPOL ＝ 0）は SPCMD の CPOL ビットが 0 の場合、RSPCK（CPOL ＝ 1）は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、本モジュールの設定に依存します。詳細は「19.4.2　端子の制御」を参照してください。

CPHA ビットが 0 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートから RSPCK 発振までの期間（RSPCK 遅延）です。t2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間（SSL ネゲート遅延）です。t3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間（次アクセス遅延）です。t1、t2、t3 は、システム上のマスタデバイスによって制御されます。本モジュールがマスタモードである場合の t1、t2、t3 については、「19.4.3　(1) マスタ／スレーブ（本 LSI ＝マスタ）」を参照してください。

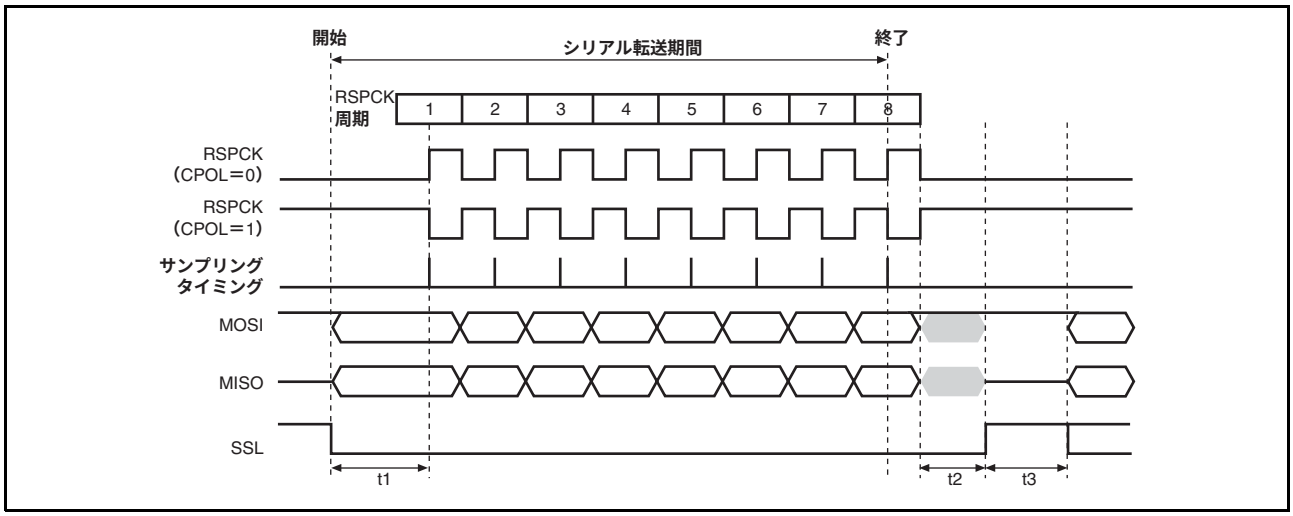


図 19.6　転送フォーマット（CPHA ＝ 0）

(2)　CPHA ＝ 1 の場合

図 19.7 コマンドレジスタ（SPCMD）の CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 19.7 において、RSPCK（CPOL ＝ 0）は SPCMD の CPOL ビットが 0 の場合、RSPCK（CPOL ＝ 1）は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、モード（マスタ／スレーブ）に依存します。詳細は「19.4.2　端子の制御」を参照してください。

CPHA ビットが 1 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ＝ 0 の場合と同様です。本モジュールがマスタモードである場合の t1、t2、t3 については、「19.4.3　(1)　マスタ／スレーブ（本 LSI ＝マスタ）」を参照してください。

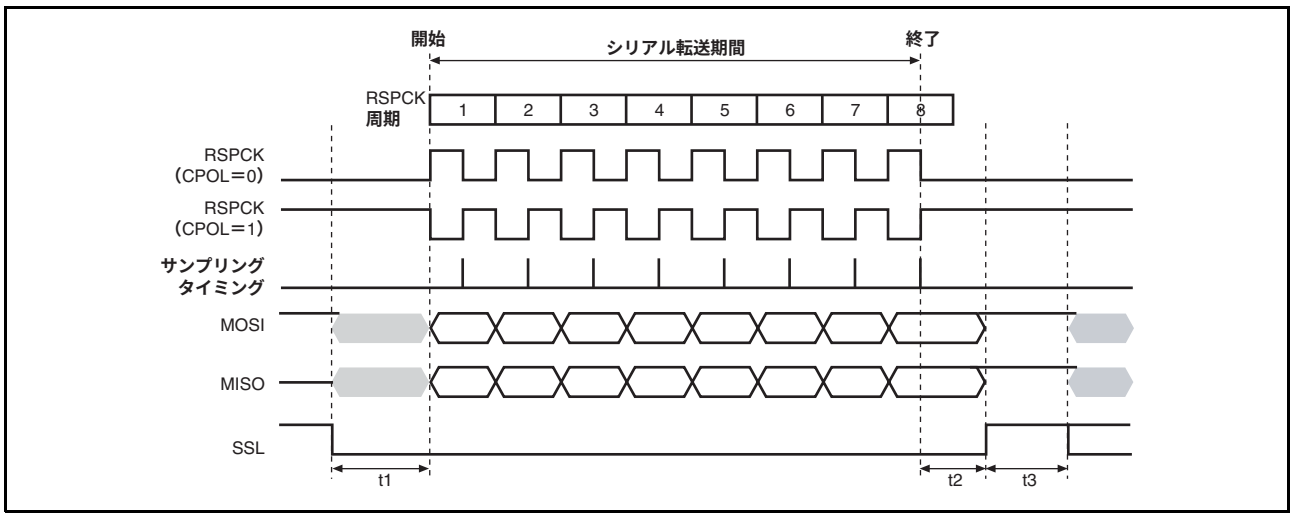


図 19.7　　転送フォーマット（CPHA ＝ 1）

19.4.5　データフォーマット

データフォーマットは、コマンドレジスタ（SPCMD）の設定値に依存します。MSB ／ LSB ファーストにかかわらず、本モジュールはデータレジスタ（SPDR）の LSB から設定データ長分の範囲を転送データとして扱います。

(1)　MSB ファースト転送（32 ビットデータ）

図 19.8 に、本モジュールがデータ長 32 ビットの MSB ファースト転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、SPDR の送信バッファに T31 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ～ R00 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ～ R00 がシフトレジスタからシフトアウトされます。

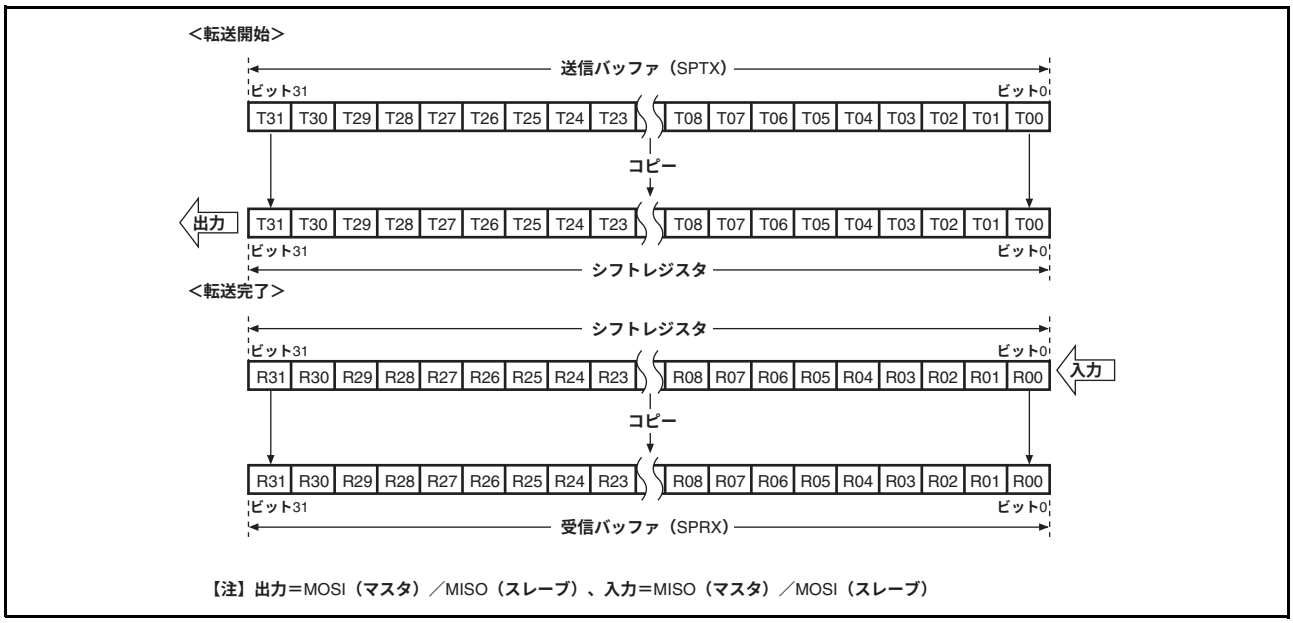


図 19.8　MSB ファースト転送（32 ビットデータ）

(2)　MSB ファースト転送（16 ビットデータ）

図 19.9 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 15 からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 15 ～ 0 には受信データ R15 ～ R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ～ 16 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R15 ～ R00 がシフトレジスタからシフトアウトされます。

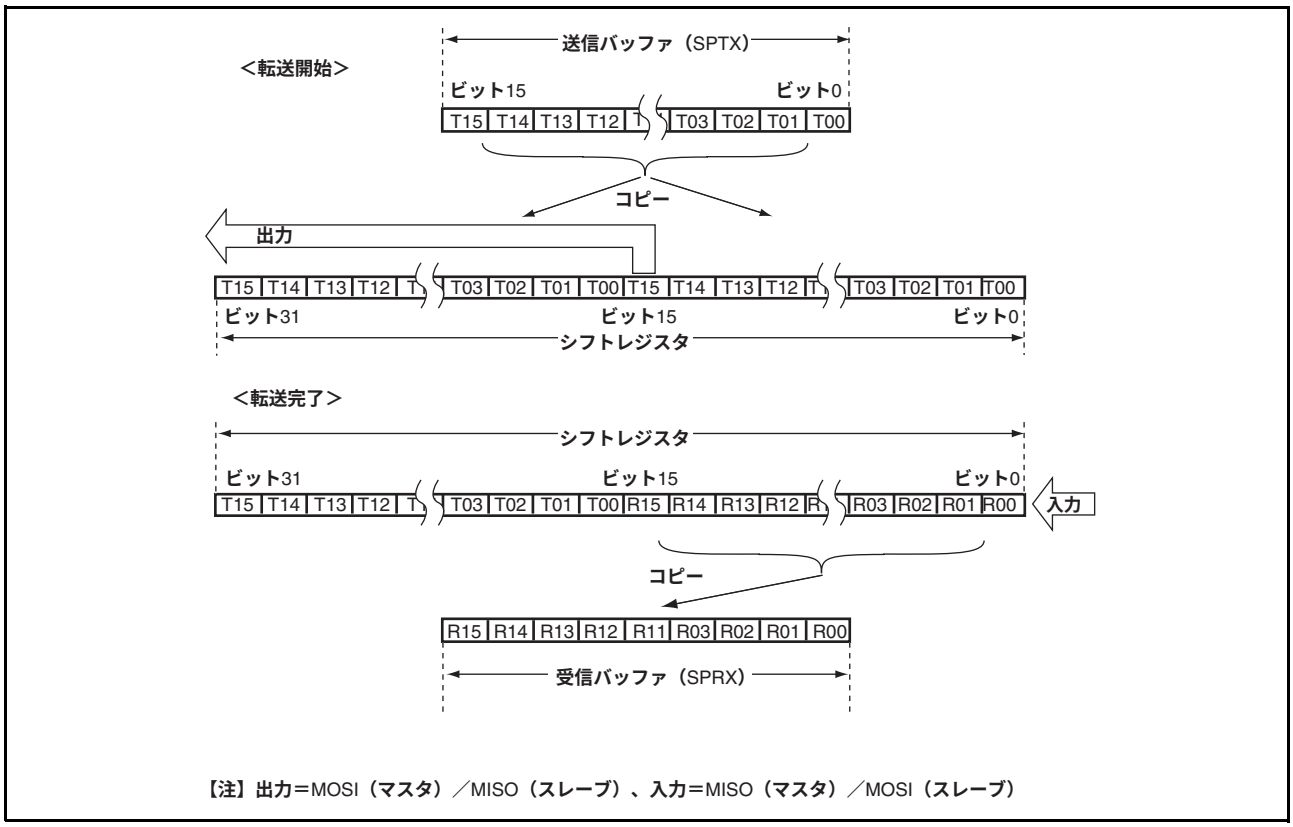


図 19.9　　MSB ファースト転送（16 ビットデータ）

(3)　MSB ファースト転送（8 ビットデータ）

図 19.10 に、本モジュールが 8 ビットのデータ転送を実施する場合のデータレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 7 からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 7 ～ 0 には受信データ R07 ～ R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ～ 8 には、転送前のデータが保持されています。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R07 ～ R00 がシフトレジスタからシフトアウトされます。

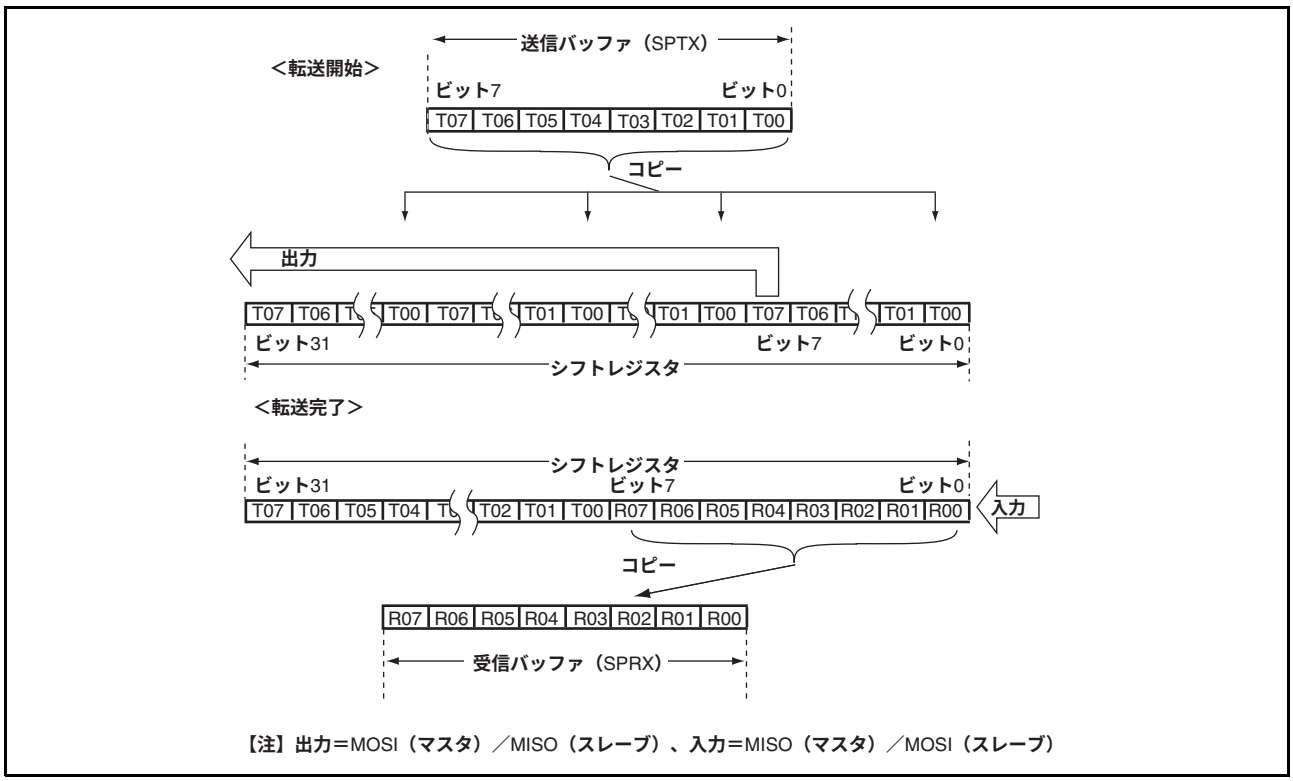


図 19.10　　MSB ファースト転送（8 ビットデータ）

(4) LSB ファースト転送（32 ビットデータ）

図 19.11 に、本モジュールがデータ長 32 ビットの LSB ファースト転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T31 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）から送信データを出力し、シフトレジスタの LSB（ビット 0）から受信データをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタには受信データ R00 ～ R31 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。

また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ R31 がシフトレジスタからシフトアウトされます。

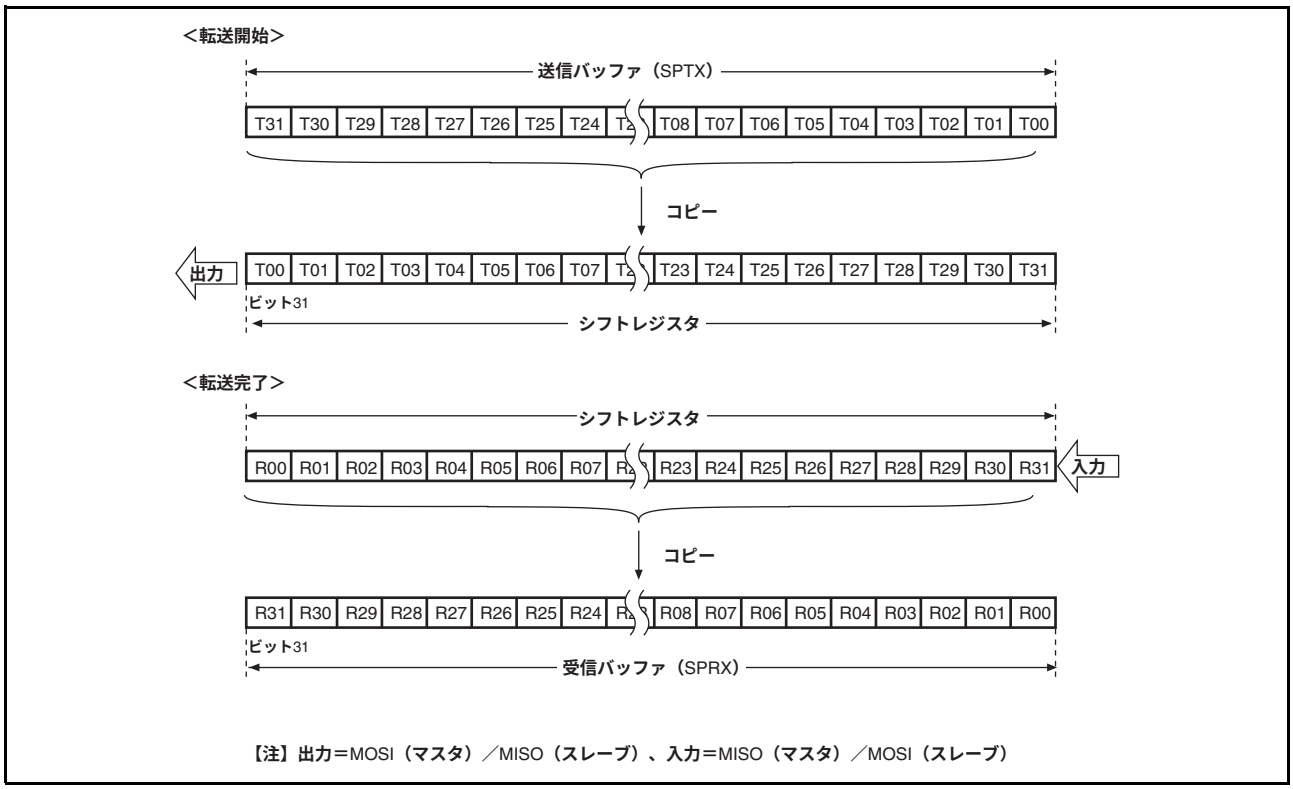


図 19.11　LSB ファースト転送（32 ビットデータ）

(5) LSB ファースト転送（16 ビットデータ）

図 19.12 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタのビット 16 からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ～ 16 には受信データ R00 ～ R15 が格納されます。シリアル転送完了後のシフトレジスタのビット 15 ～ 0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ R15 がシフトレジスタからシフトアウトされます。

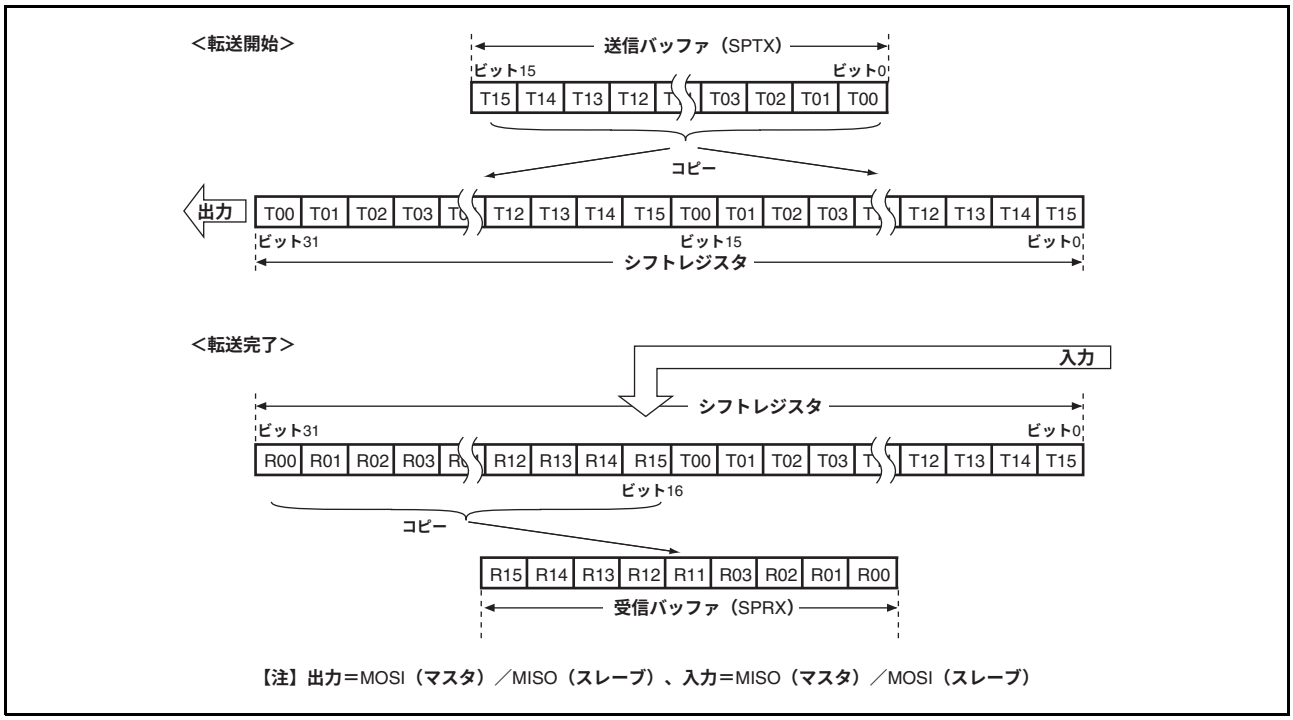


図 19.12　LSB ファースト転送（16 ビットデータ）

(6) LSB ファースト転送（8 ビットデータ）

図 19.13 に、本モジュールが 8 ビットのデータ転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタのビット 24 からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ～ 24 には受信データ R00 ～ R07 が格納されます。シリアル転送完了後のシフトレジスタのビット 23 ～ 0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ R07 がシフトレジスタからシフトアウトされます。

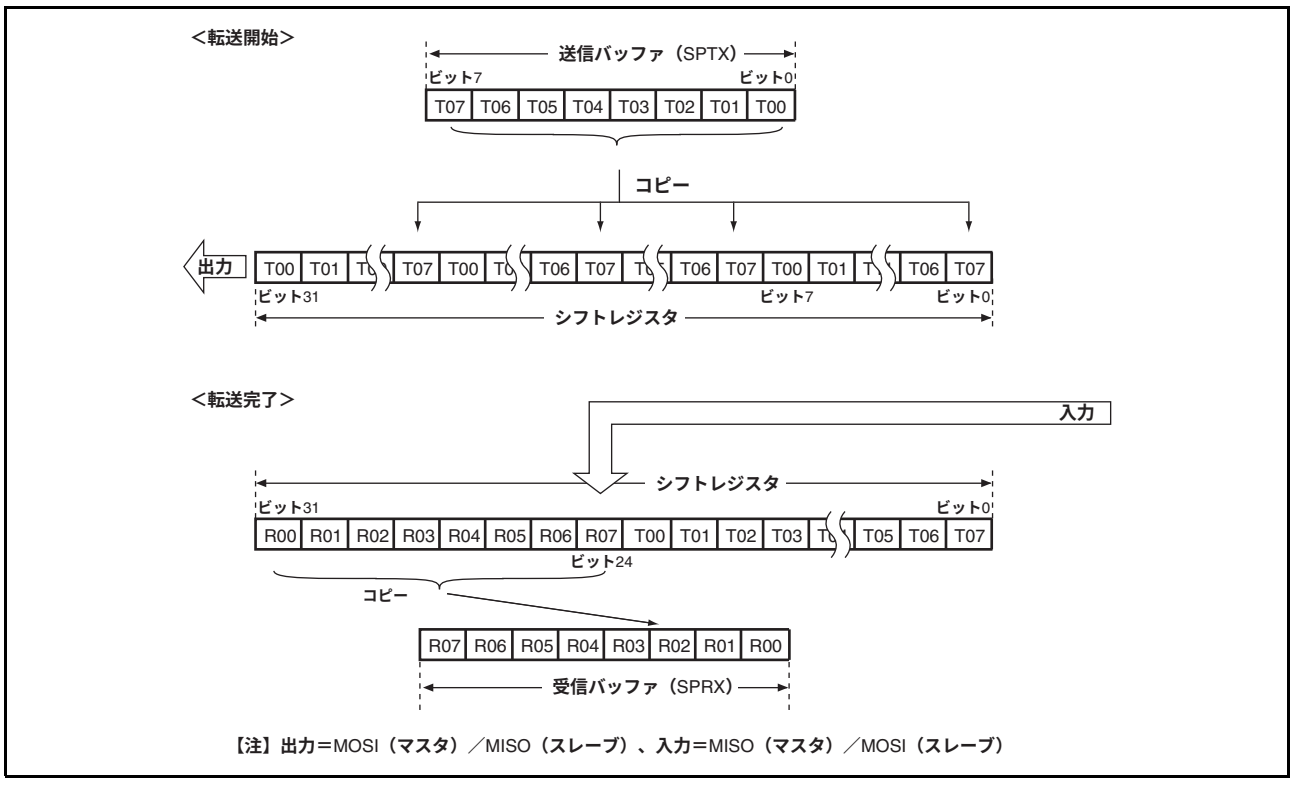


図 19.13　LSB ファースト転送（8 ビットデータ）

19.4.6　エラー検出

通常のシリアル転送では、データレジスタ（SPDR）の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR の受信バッファから読み出すことができます。SPDR へアクセスした場合の送受信バッファの状態やシリアル転送の開始／終了時の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、本モジュールはオーバランエラーまたはモードフォルトエラーとして検出します。**表 19.7** に、通常以外の転送動作とエラー検出機能の関係を示します。

表 19.7　通常以外の転送の発生条件とエラー検出機能

	発生条件	動作	エラー検出
A	送信バッファがいっぱいの状態で SPDR を書き込み。	書き込みデータ欠落。	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファに受信データが 1 つもない状態で SPDR を読み出し。	不定出力	なし
D	受信バッファが受信データでいっぱいの状態で、シリアル転送が終了。	シリアル受信データ欠落。	オーバランエラー検出（スレーブモードのみ）
E	スレーブモードでシリアル転送中に SSL 入力信号がネゲート。	シリアル転送中断。 送受信データ欠落。 動作ディスエーブル。	モードフォルトエラー検出

表 19.7 の A に示した動作に対しては、本モジュールはエラーを検出しません。SPDR への書き込みが可能であるかについては、バッファデータカウントセットレジスタ（SPBFDR）の T[3:0] ビットで確認することができます。

B に示した動作に対しても、本モジュールはエラーを検出しません。本モジュールでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR の受信バッファに保持されているので、正しく読み出されます。

C に示した動作に対しても、本モジュールはエラーを検出しません。不要なデータを読み出さないためには、バッファデータカウントセットレジスタ（SPBFDR）の R[5:0] ビットで受信バッファに格納されている受信データ数を確認してください。

D に示したオーバランエラーについては、「19.4.6　(1)　**オーバランエラー**」で詳しく説明します。また、E に示したモードフォルトエラーについては、「19.4.6　(2)　**モードフォルトエラー**」で説明します。

(1) オーバランエラー

データレジスタ（SPDR）の受信バッファフル状態でシリアル転送が終了すると、本モジュールはオーバランエラーを検出して SPSR の OVRF ビットを 1 にします。OVRF ビットが 1 の状態では、本モジュールはシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR の OVRF ビットを 0 にするためには、パワーオンリセットを実施するか、OVRF ビットが 1 にセットされた状態の SPSR を読み出した後に、OVRF に 0 を書き込む必要があります。

図 19.14 に、SPSR の SPRF ビットと OVRF ビットの動作を示します。**図 19.14** に記載した SPSR アクセスと SPDR アクセスは、それぞれのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。**図 19.14** の例では、コマンドレジスタ（SPCMD）の CPHA が 1、CPOL が 0 の設定で、本モジュールが 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

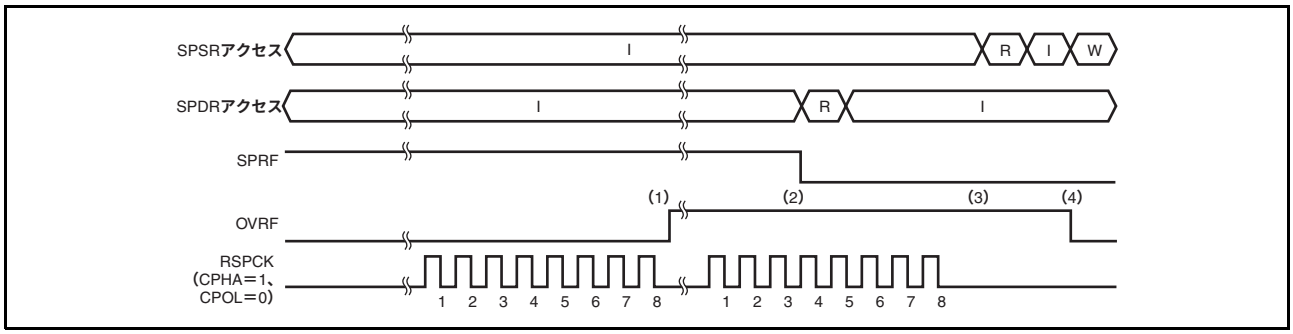


図 19.14　SPRF、OVRF ビットの動作例

以下に、図中の（1）～（4）に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファに受信データ長の空きがない状態でシリアル転送が終了すると、本モジュールがオーバランエラーを検出し、OVRF ビットを 1 にします。本モジュールはシフトレジスタのデータを受信バッファにコピーしません。
2. SPDR を読み出し、バッファコントロールレジスタ（SPBFCR）の受信バッファデータ数トリガ（RXTRG）ビットで設定したトリガ数以下になっても OVRF ビットはクリアされません。
3. オーバランエラー発生状態で、シリアル転送が終了すると本モジュールはシフトレジスタをエンプティであると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF ビットが 1 の状態で SPSR を読み出した後、OVRF に 0 を書き込むと、本モジュールは OVRF ビットをクリアします。

オーバランの発生は、SPSR の読み出しあるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ（SPCR）の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR の読み出し直後に SPSR を読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。

OVRF ビットを 0 にクリアする条件は以下のとおりです。

- OVRF が 1 にされた状態の SPSR を読み出した後、OVRF に 0 を書き込む
- パワーオンリセット

注．　オーバランエラーが発生している状態で、受信バッファに受信データ格納領域がある場合、本モジュールは受信データを受信します。

(2) モードフォルトエラー

MSTR ビットが 0 の場合には、本モジュールはスレーブモードで動作します。スレーブモードで MODFEN ビットが 1 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSL 入力信号がネゲートされると、本モジュールはモードフォルトエラーを検出します。

本モジュールはモードフォルトエラーを検出すると出力信号のドライブ停止および SPCR レジスタの SPE ビットのクリアを実施します。SPE ビットが 0 になると本モジュールの機能が無効化され、本モジュールによる外部信号のドライブは停止します。SPE ビットを 0 にすることによる本モジュール機能の無効化については「19.4.7　初期化」を参照してください。

モードフォルトエラーの発生は、SPSR の読み出し、あるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ（SPCR）の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。

MODF ビットが 1 の状態では、SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に本モジュールの機能を有効にするためには、必ず MODF ビットを 0 にしてください。MODF ビットを 0 にクリアする条件は以下のとおりです。

- MODF が 1 にされた状態の SPSR を読み出した後、MODF に 0 を書き込む
- パワーオンリセット

19.4.7　初期化

制御レジスタ（SPCR）の SPE ビットに 0 を書き込んだ場合、またはモードフォルトエラー検出により本モジュールが SPE ビットを 0 にクリアした場合には、本モジュールは機能を無効化し、モジュール機能の一部を初期化します。また、パワーオンリセットが発生した場合には、本モジュールはモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化について説明します。

(1)　SPE ビットのクリアによる初期化

SPCR の SPE ビットがクリアされた場合、本モジュールは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止（Hi-Z）
- 内部ステートの初期化
- SPSR の TEND ビットの初期化

SPE ビットのクリアによる初期化では、本モジュールの制御ビットは初期化されません。このため、SPE ビットに 1 を再設定すれば初期化前と同じ転送モードで本モジュールを起動できます。

19.4.8　SPI 動作

(1)　マスタモード動作

マルチマスタモード動作について説明します。

(a)　シリアル転送の開始

シリアル転送の開始条件は送信バッファからシフトレジスタへ送信データをコピーし、シフトレジスタがフルになり、かつ受信バッファに受信データ長の空きがある場合にシリアル転送を開始します。また、シフトレジスタに送信データが書き込まれていた場合、送信バッファからシフトレジスタへのコピーは行われません。

なお、転送フォーマットの詳細については**「19.4.4　転送フォーマット」**を参照してください。

(b)　シリアル転送の終了

コマンドレジスタ（SPCMD）の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。シリアル転送終了後にシフトレジスタから受信データを受信バッファにコピーします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信データ長の空きを確保してください。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのデータ長は、コマンドレジスタ（SPCMD）の SPB3 ～ SPB0 ビットの設定値に依存します。転送フォーマットの詳細については**「19.4.4　転送フォーマット」**を参照してください。

(c)　シーケンス制御

マスタモード時の転送フォーマットは、シーケンス制御レジスタ（SPSCR）、コマンドレジスタ 0 ～ 3（SPCMD0 ～ 3）、ビットレートレジスタ（SPBR）、クロック遅延値レジスタ（SPCKD）、スレーブセレクトネゲート遅延レジスタ（SSLND）、次アクセス遅延値レジスタ（SPND）によって決定されます。

SPSCR は、マスタモードの本モジュールで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0 ～ 3 には、SSL 出力信号値、MSB ／ LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性／位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD にはクロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

本モジュールは、SPSCR に設定されたシーケンス長に従って、SPCMD0 ～ 3 の一部／全部からなるシーケンスを構成します。本モジュールには、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、シーケンスステータスレジスタ（SPSSR）の SPCP1、0 ビットを読み出すことで確認が可能です。制御レジスタ（SPCR）の SPE ビットを 1 にして本モジュールの機能をイネーブルにすると、本モジュールはコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。本モジュールは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、本モジュールはポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

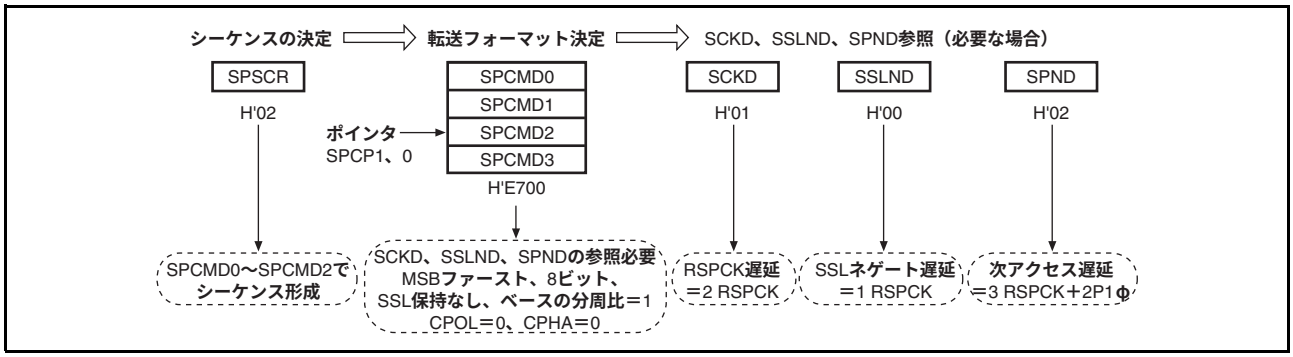


図 19.15　マスタモードでのシリアル転送方式の決定方法

(d)　バースト転送

本モジュールが現在のシリアル転送で参照しているコマンドレジスタ（SPCMD）の SSLKP ビットが 1 の場合には、本モジュールはシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、本モジュールは SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 19.16 に、SPCMD0、1 の設定を使用してバースト転送を実現した場合の SSL 信号動作例を示します。図 19.16 に記載した（1）～（7）の動作内容について、以下に説明します。なお、SSL 出力信号の極性は、スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。

1. SPCMD0 に従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
2. SPCMD0 に従ったシリアル転送を実行します。
3. SSL ネゲート遅延を挿入します。
4. SPCMD0 の SSLKP ビットが 1 であるため、SPCMD0 での SSL 信号値を保持します。この期間は、最短の場合には SPCMD0 の次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
5. SPCMD1 に従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
6. SPCMD1 に従ったシリアル転送を実行します。
7. SPCMD1 の SSLKP ビットが 0 であるため、SSL 信号をネゲートします。また、SPCMD1 に従った次アクセス遅延が挿入されます。

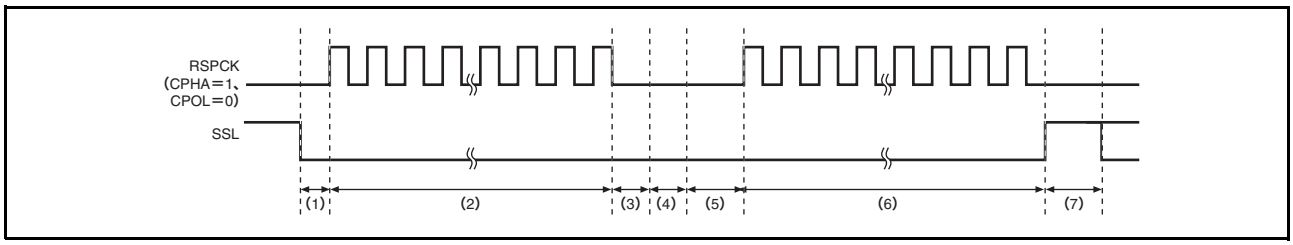


図 19.16　SSLKP ビットを利用したバースト転送動作の例

SSLKP ビットに 1 を設定した SPCMD での SSL 信号出力設定と、次転送で使用する SPCMD での SSL 信号出力設定が異なる場合、本モジュールは次転送のコマンドに対応した SSL 信号のアサート時（図 19.16 の（5））に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、MISO をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの本モジュールは、SSLKP を使用しない場合の SSL 信号動作をモジュール内部で参照して

います。SPCMD の CPHA ビットが 0 の場合でも、本モジュールは内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます（**「19.4.8　(2)　スレーブモード動作」**を参照）。

(e)　RSPCK 遅延（t1）

マスタモードの RSPCK 遅延値は、コマンドレジスタ（SPCMD）の SCKDEN ビットの設定とクロック遅延レジスタ（SPCKD）の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SCKDEN ビットと SPCKD を使用して、**表 19.8** のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、**「19.4.4　転送フォーマット」**を参照してください。

表 19.8　　SCKDEN、SPCKD と RSPCK 遅延値の関係

SCKDEN	SPCKD	RSPCK 遅延値
0	000 ～ 111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

(f)　SSL ネゲート遅延（t2）

マスタモードの SSL ネゲート遅延値は、コマンドレジスタ（SPCMD）の SLNDEN ビットの設定と SSL ネゲート遅延レジスタ（SSLND）の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SLNDEN ビットと SSLND を使用して、**表 19.9** のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、**「19.4.4　転送フォーマット」**を参照してください。

表 19.9　　SLNDEN、SSLND と SSL ネゲート遅延値の関係

SLNDEN	SSLND	SSL ネゲート遅延値
0	000 ～ 111	1 RSPCK
1	000	1 RSPCK
	001	2 RSPCK
	010	3 RSPCK
	011	4 RSPCK
	100	5 RSPCK
	101	6 RSPCK
	110	7 RSPCK
	111	8 RSPCK

(g) 次アクセス遅延（t3）

マスタモードの次アクセス遅延は、コマンドレジスタ（SPCMD）の SPNDEN ビットの設定と次アクセス遅延レジスタ（SPND）の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SPNDEN ビットと SPND を使用して、**表 19.10** のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、**「19.4.4　転送フォーマット」**を参照してください。

表 19.10　SPNDEN、SPND と次アクセス遅延値の関係

SPNDEN	SPND	次アクセス遅延値
0	000 ～ 111	1 RSPCK＋2 P1φ
1	000	1 RSPCK＋2 P1φ
	001	2 RSPCK＋2 P1φ
	010	3 RSPCK＋2 P1φ
	011	4 RSPCK＋2 P1φ
	100	5 RSPCK＋2 P1φ
	101	6 RSPCK＋2 P1φ
	110	7 RSPCK＋2 P1φ
	111	8 RSPCK＋2 P1φ

(h)　初期化フロー

図 19.17 に、SPI 動作時、本モジュールをマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、汎用入出力ポートの設定方法については各ブロックの説明を参照してください。

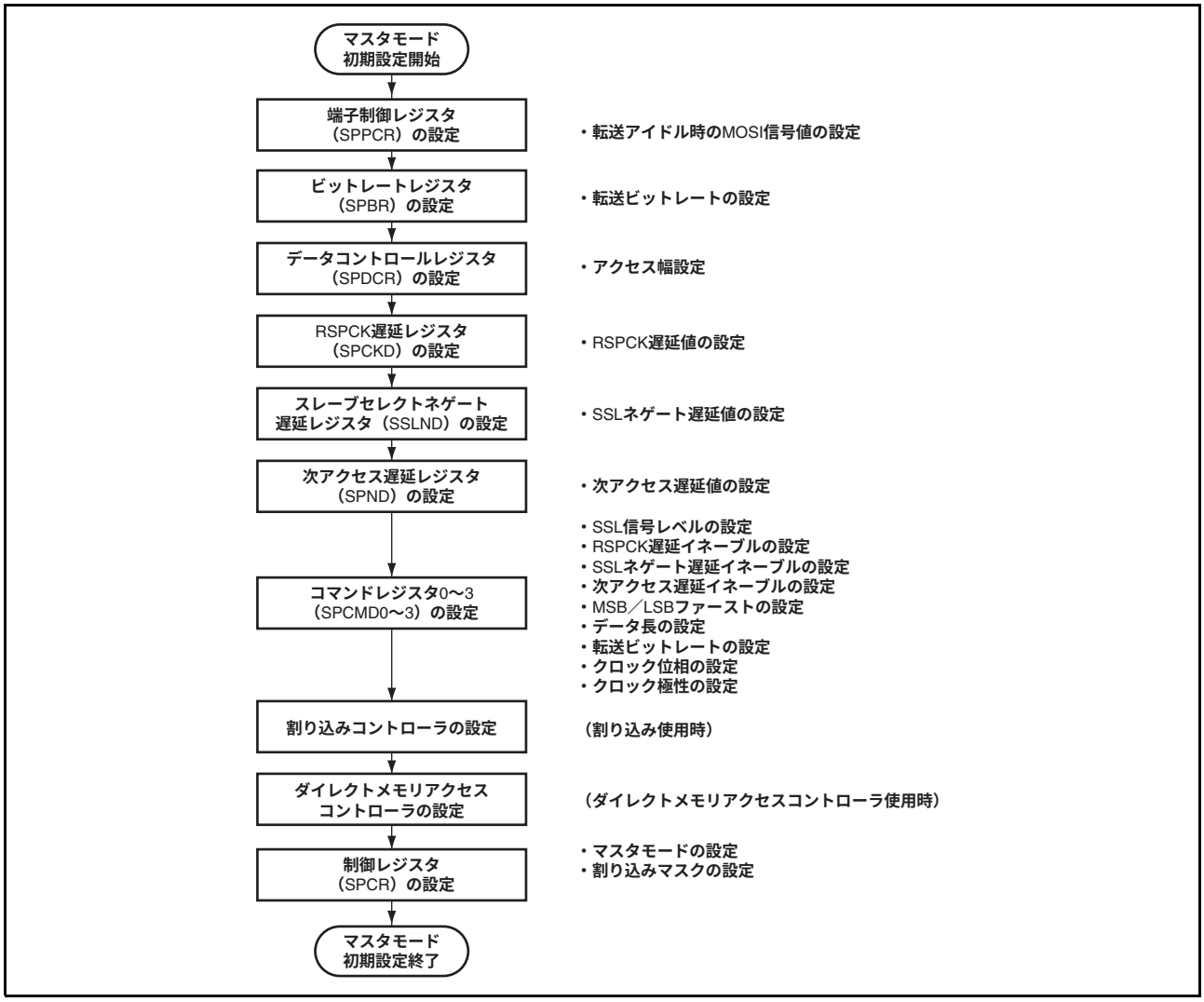


図 19.17　　マスタモード時の初期化フロー例

(i)　転送動作フロー

図 19.18 に、SPI 動作時、マスタモードの転送動作フローを示します。

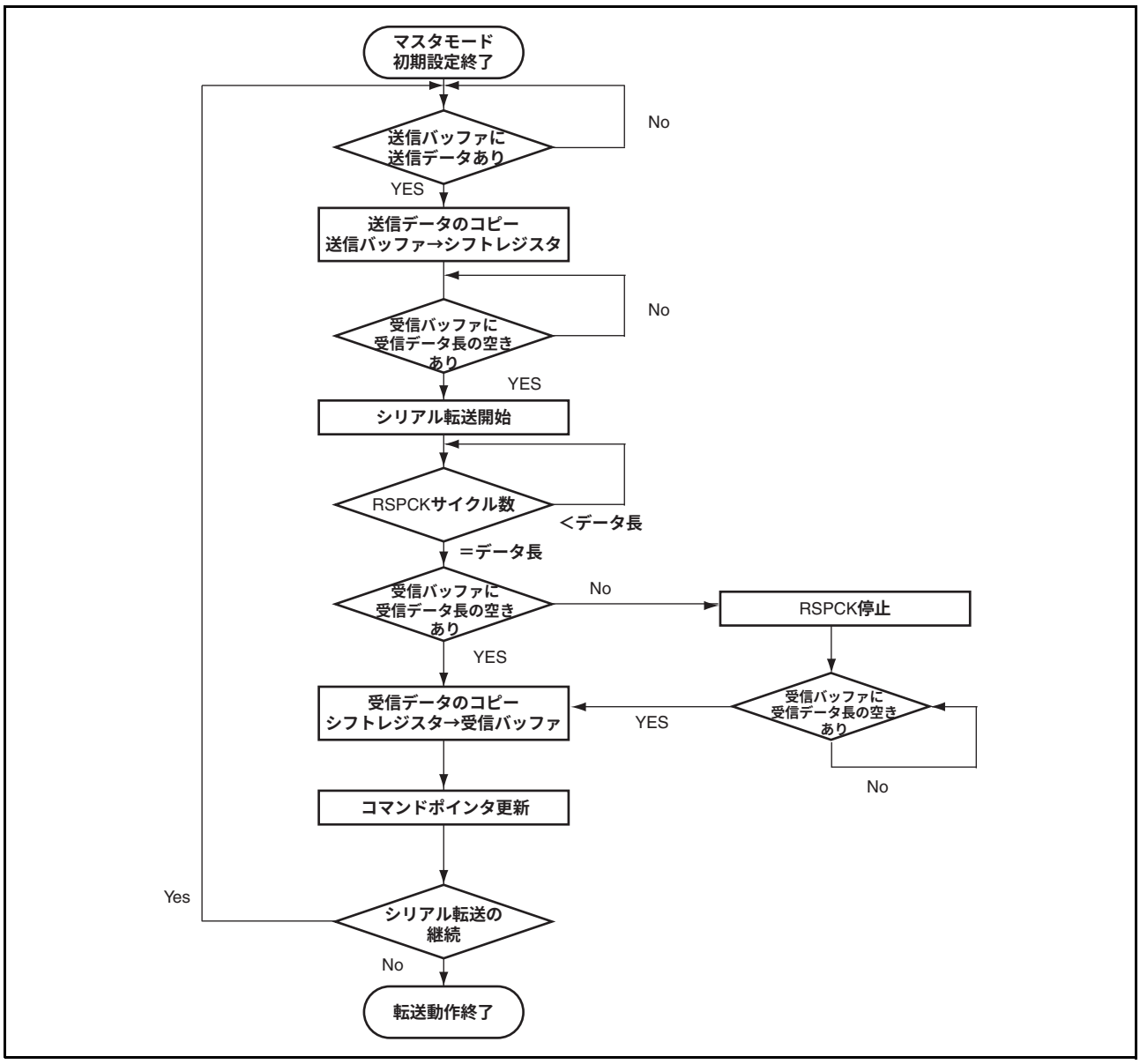


図 19.18　　マスタモード時の転送動作フロー

(2) スレーブモード動作

(a) シリアル転送の開始

コマンドレジスタ 0（SPCMD0）の CPHA ビットが 0 の場合、本モジュールは SSL 入力信号のアサートを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 0 の場合には、SSL 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、本モジュールは SSL 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 1 の場合には、SSL 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

本モジュールは、シフトレジスタがエンプティの状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、本モジュールはシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、本モジュールが MISO 出力信号のドライブを開始するタイミングは、SSL 信号アサートタイミングです。CPHA ビットの設定によって、本モジュールが出力するデータの有効／無効が異なります。

なお、本モジュールの転送フォーマットの詳細については、**「19.4.4　転送フォーマット」**を参照してください。SSL 入力信号の極性は、スレーブセレクト極性レジスタ（SSLP）の SSLP ビットの設定値に依存します。

(b) シリアル転送の終了

コマンドレジスタ 0（SPCMD0）の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。受信バッファに受信データを保存することができる空きがある場合には、シリアル転送の終了後に、本モジュールはシフトレジスタからデータレジスタ（SPDR）の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、本モジュールはシリアル転送の終了後にシフトレジスタの状態をエンプティに変更します。シリアル転送開始からシリアル転送終了の間に本モジュールが SSL 入力信号のネゲートを検出するとモードフォルトエラーが発生します（**「19.4.6　エラー検出」**を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのデータ長は SPCMD0 の SPB3 ～ SPB0 ビットの設定値に依存します。SSL 入力信号の極性は、スレーブセレクト極性レジスタ（SSLP）の SSLP ビットの設定値に依存します。転送フォーマットの詳細については、**「19.4.4　転送フォーマット」**を参照してください。

(c) スレーブ時の注意点

コマンドレジスタ 0（SPCMD0）の CPHA ビットが 0 の場合には、本モジュールは SSL 入力信号のアサートエッジを検出するとシリアル転送を開始します。**図 19.4** の例に示したような構成で本モジュールをスレーブで使用する場合には、SSL 入力信号が常にアクティブ状態に固定されるため、CPHA を 0 に設定した本モジュールではシリアル転送を正しく開始できません。SSL 入力信号をアクティブ状態に固定する構成で、スレーブモードの送受信を正しく実行するためには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合には、SSL 入力信号を固定しないでください。

(d)　バースト転送

コマンドレジスタ 0（SPCMD0）の CPHA ビットが 1 の場合には、SSL 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行することが可能です。CPHA ビットが 1 の場合には、SSL 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが 0 の場合には、「19.4.8　(2)　(c)　**スレーブ時の注意点**」と同じ理由のために、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(e)　初期化フロー

図 19.19 に、SPI 動作時、本モジュールをスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、汎用入出力ポートの設定方法については各ブロックの説明を参照してください。

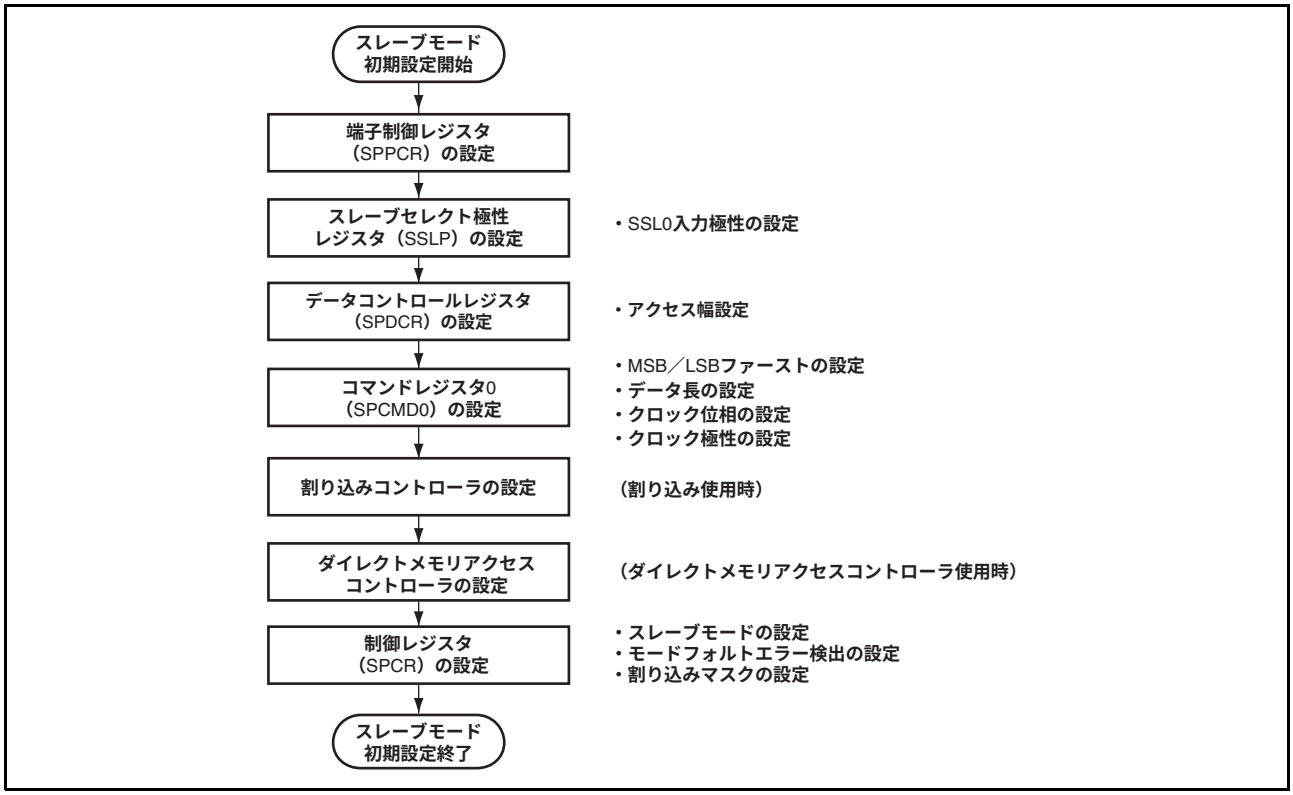


図 19.19　　スレーブモード時の初期化フロー例

(f)　転送動作フロー（CPHA ＝ 0）

図 19.20 に、SPI 動作時、コマンドレジスタ 0（SPCMD0）の CPHA ビットを 0 に設定したスレーブモードの転送動作フローを示します。

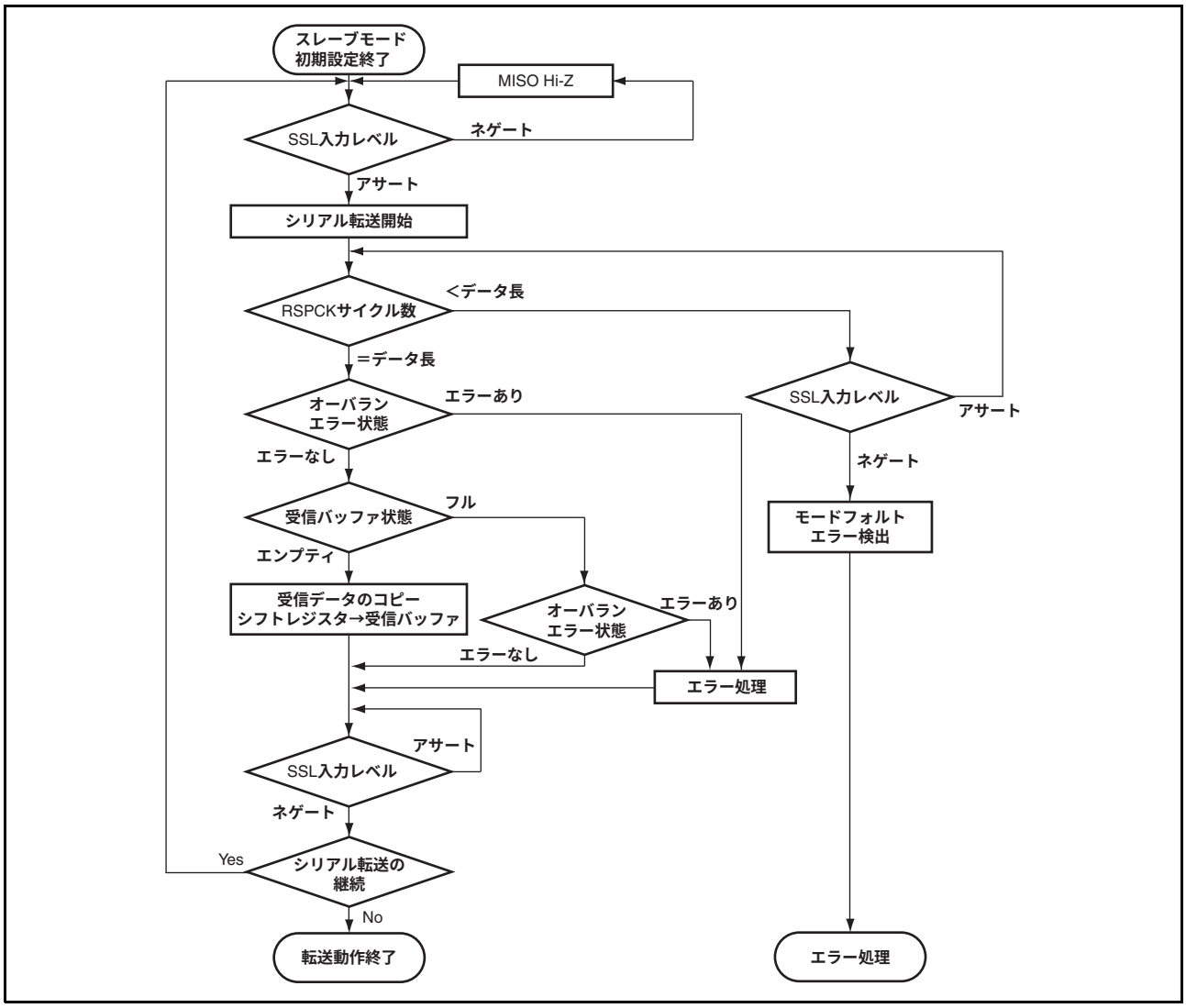


図 19.20　スレーブモード時の転送動作フロー（CPHA ＝ 0）

(g)　転送動作フロー（CPHA ＝ 1）

図 19.21 に、SPI 動作時、コマンドレジスタ 0（SPCMD0）の CPHA ビットを 1、制御レジスタ（SPCR）の MODFEN ビットを 1 に設定したスレーブモードの転送動作フローを示します。MODFEN ビットを 0 に設定した状態でシリアル転送を開始し、RSPCK サイクル数がデータ長より短い状態で SSL 入力レベルがネゲートされた場合、以降の動作は保証されません。

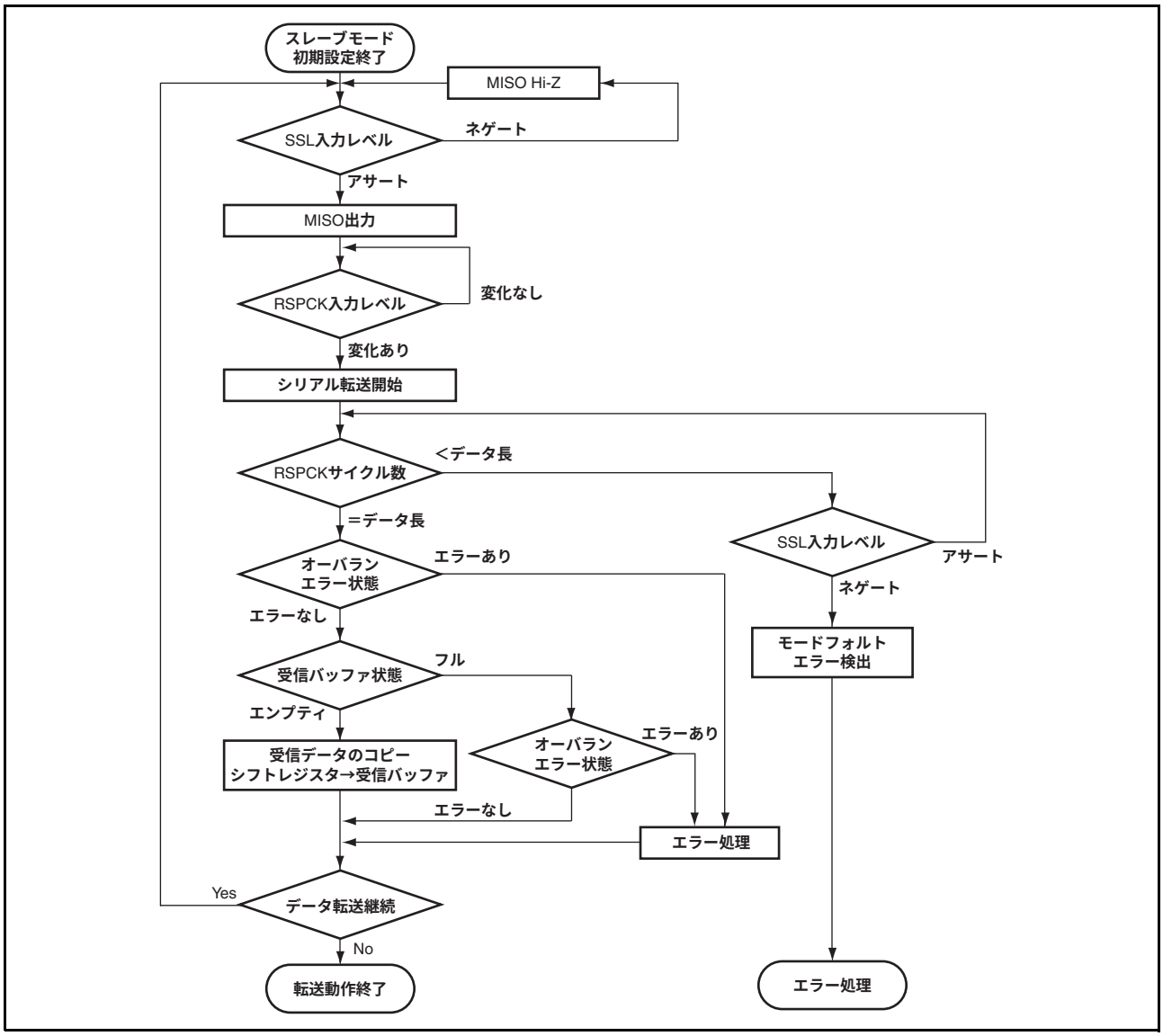


図 19.21　　スレーブモード時の転送動作フロー（CPHA ＝ 1）

19.4.9　エラー処理

図 19.22、図 19.23 に、エラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

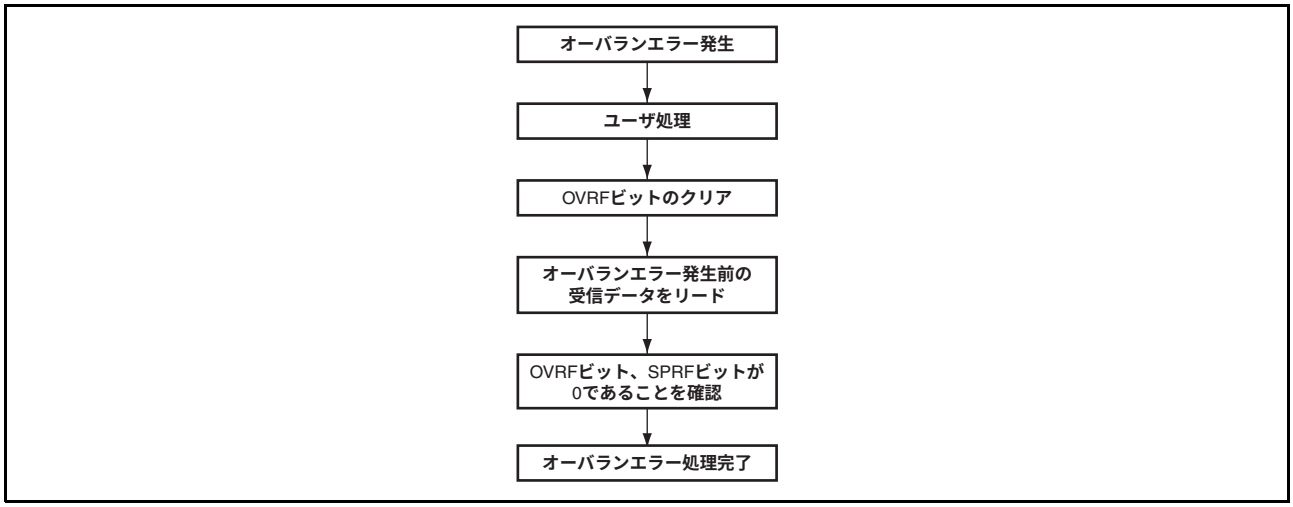


図 19.22　エラー処理（オーバランエラー）

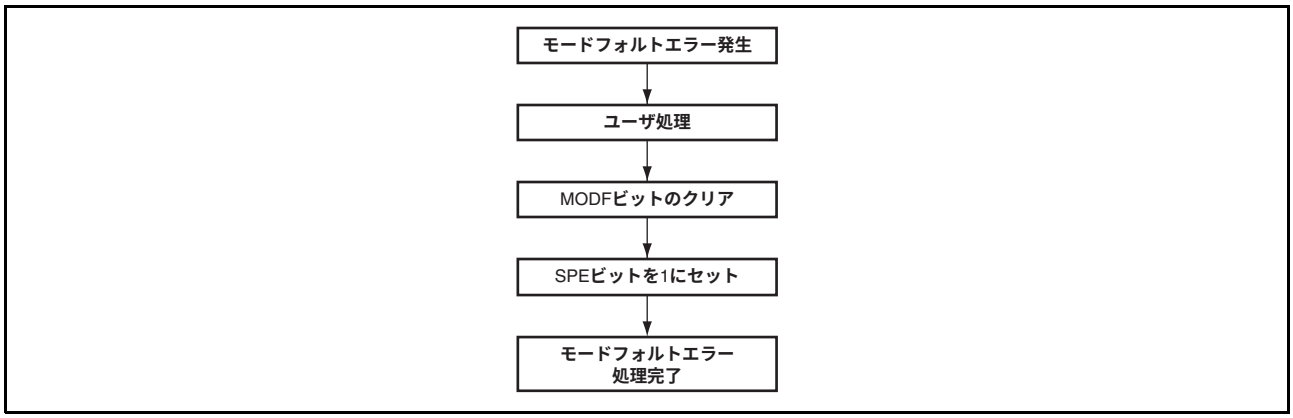


図 19.23　エラー処理（モードフォルトエラー）

19.4.10　ループバックモード

端子制御レジスタ（SPPCR）の SPLP ビットに 1 を書き込むと、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、送信データが受信データになります。**図 19.24** に、マスタモードの本モジュールをループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します。

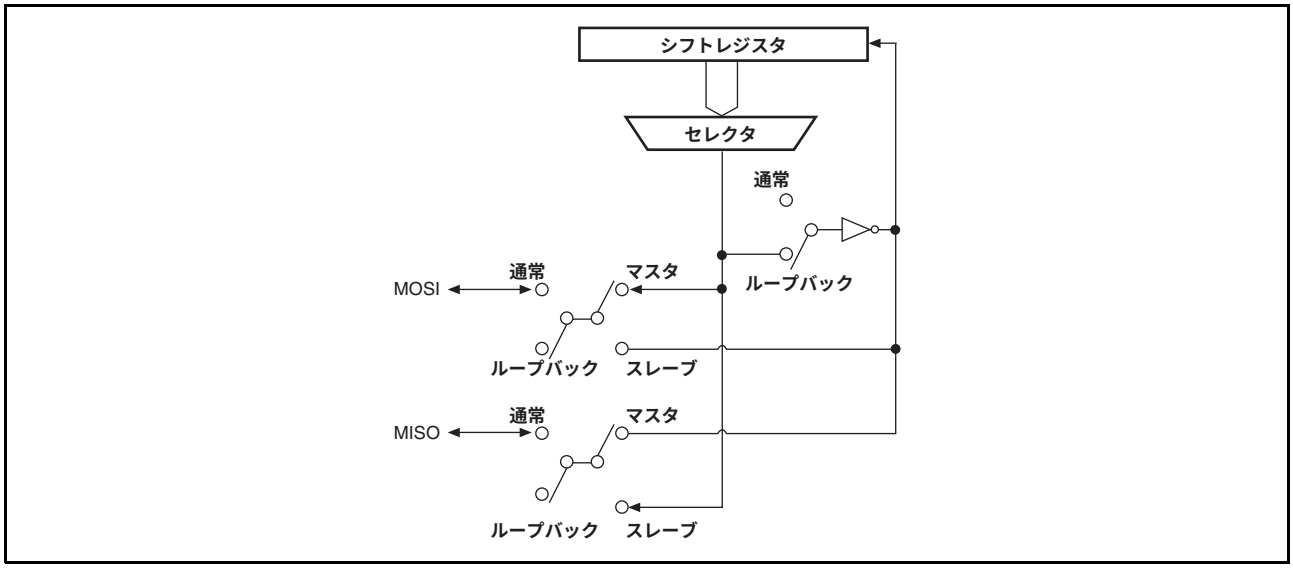


図 19.24　ループバックモード時のシフトレジスタ入出力構成（マスタモード）

19.4.11　割り込み要因

割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバランがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

表 19.11 に、割り込み要因を示します。

表 19.11 の割り込み条件が成立すると、割り込みが発生します。CPU またはダイレクトメモリアクセスコントローラによるデータ転送で割り込み要因をクリアしてください。

表 19.11　割り込み要因

名称	割り込み要因	略称	割り込み条件	ダイレクトメモリアクセスコントローラ起動
SPRI	受信バッファフル	RXI	(SPRIE = 1)・(SPRF = 1)	○
SPTI	送信バッファエンプティ	TXI	(SPTIE = 1)・(SPTEF = 1)	○
SPEI	モードフォルト	MOI	(SPEIE = 1)・(MODF = 1)	－
	オーバラン	OVI	(SPEIE = 1)・(OVRF = 1)	－

20. SPI マルチ I/O バスコントローラ

SPI マルチ I/ O バスコントローラは、本 LSI にシリアルフラッシュ、OctaFlash™、Xccela™ フラッシュメモリ、HyperFlash™ を直接接続することができます。

20.1 特長

本モジュールは、接続したシリアルフラッシュ、OctaFlash™、Xccela™ フラッシュメモリ、HyperFlash™ に対し、外部アドレス空間へのリードおよび手動モードによるデータの送受信を行うことができます。

20.1.1 シリアルフラッシュインタフェース

- PVcc_SPI：3.3V
- QSPI0_SPCLK：66MHz
- 1 チャネルあたりシリアルフラッシュを 2 個まで接続可能
  注) 2 つのシリアルフラッシュは、8 ビットバスインタフェースを作るために並列に動作される。
- データバス幅を 1 つのシリアルフラッシュに対し、1 ビット、4 ビットから選択可能
- シングルデータレート (SDR)、ダブルデータレート (DDR) 転送をサポート
- マスタ動作のみサポート (スレーブ動作は未サポート)

20.1.2 OctaFlash™、Xccela™ フラッシュメモリインタフェース

- PVcc_SPI：1.8V
- QSPI0_SPCLK：132MHz
- 1 個の Octal-SPI フラッシュメモリを接続可能

注 . OctaFlash™ は Macronix International Co., Ltd. の商標です。

注 . Xccela™ フラッシュメモリは Micron Technology, Inc. の商標です。

注 . 本マニュアルでは、1 チップセレクト、1 クロックソースと 1 データストローブ構成の 8 ビット SPI フラッシュメモリを「Octal-SPI フラッシュメモリ」と呼びます。

注 . 本マニュアルでは、データバス幅が 8 ビットの転送を Octal-SPI フラッシュメモリプロトコルモードと呼びます。
データバス幅が 1 ビット転送の場合、シリアルフラッシュメモリとして扱います。

20.1.3 HyperFlash™ インタフェース

- PVcc_SPI：1.8V
- QSPI0_SPCLK/QSPI1_SPCLK：132MHz
- 1 個の HyperFlash を接続可能
- データバス幅は 8 ビット固定
- ラップバーストは未サポート

注 . HyperFlash™ は Cypress Semiconductor Corporation. の商標です。

20.1.4 外部アドレス空間リードモード

- バスマスタから SPI マルチ I/O 空間へのリードアクセスは自動的にリードコマンドへ変換され、リードデータはバスマスタに返されます。
- 通常リードおよびバーストリード操作
- リードキャッシュ内蔵（ラインサイズ 64 ビット ×32 エントリ）により、効率の良いデータ受信可能

20.1.5 手動モード

- シリアルフラッシュ、Octal-SPI フラッシュ、HyperFlash に対し、リードおよびライトコマンドが可能
- ライトバッファを使用することにより、効率の良いデータ書き込みが可能
- リード時のキャッシュ動作は、サポートしておりません。

20.2 ブロック図

本モジュールの全体ブロックを図 20.1 に示します。

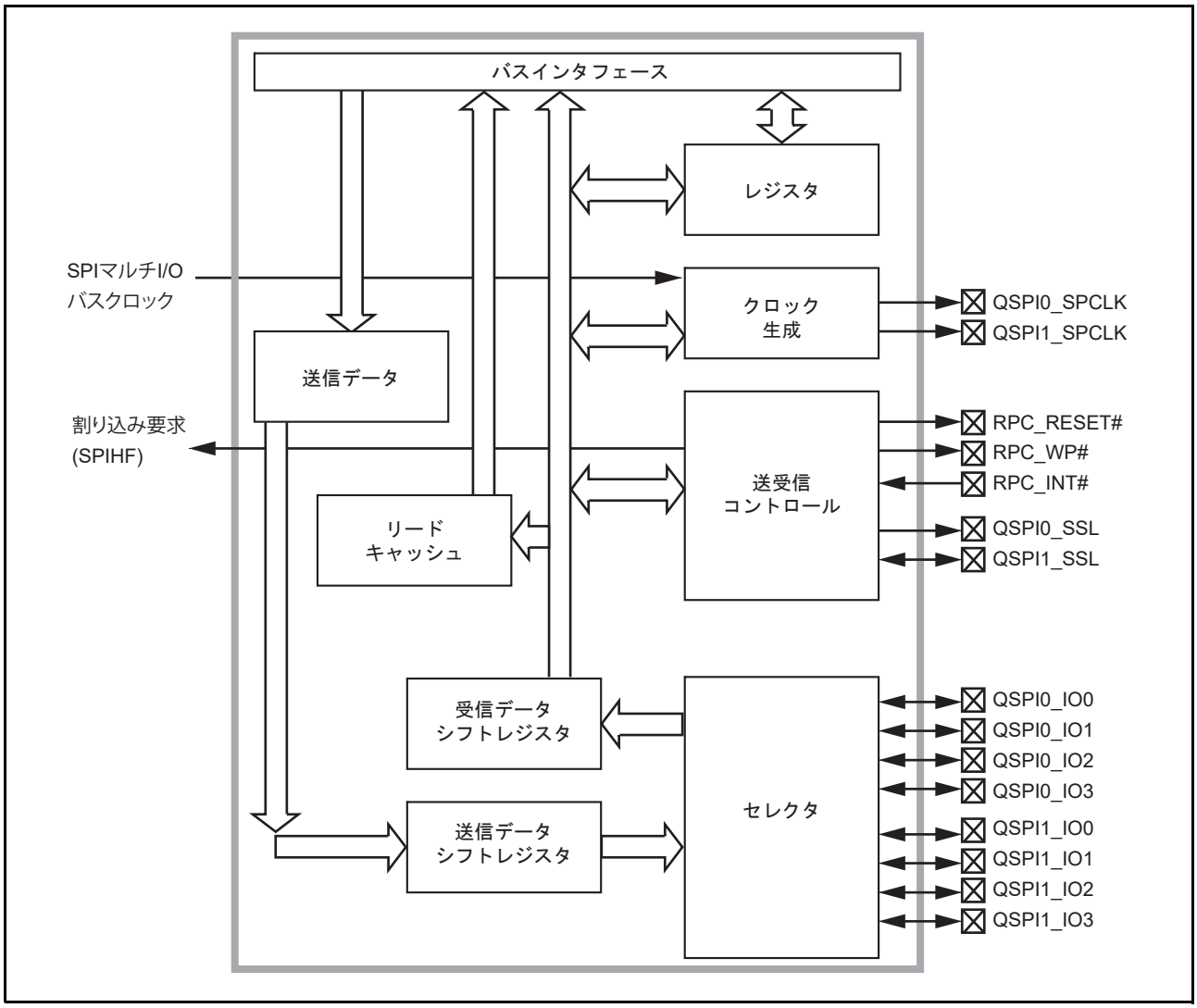


図 20.1　　ブロック図

20.3　入出力端子

本モジュールの端子構成を**表 20.1** に示します。

SPI マルチ I/O バスコントローラ端子の動作電圧は 3.3V ／ 1.8V 電源に対応しています。

SPI マルチ I/O バスコントローラ端子を使用する前に専用端子 POC 制御レジスタ (PPOC)、および、SPI マルチ I/O バスコントローラ専用端子駆動能力制御レジスタ (PSPIBSC) を必ず設定してください。

詳細は「51.3.30　**専用端子 POC 制御レジスタ**（PPOC）」、「51.3.34　**SPI マルチ I/O バスコントローラ専用端子駆動能力制御レジスタ (PSPIBSC)**」を参照してください。

表 20.1　端子構成

名称	端子名	入出力	4 ビットシリアルフラッシュ ×1 個接続	4 ビットシリアルフラッシュ ×2 個接続	Octal-SPI フラッシュメモリプロトコルモード接続	HyperFlash 接続
			CMNCR.BSZ=00	CMNCR.BSZ=01	CMNCR.BSZ=01	CMNCR.BSZ=01
クロック（注 1）	QSPI0_SPCLK	出力	SCK	SCK	SCLK	CK
データ 0（注 1）	QSPI0_IO0	入出力	SI/IO0	SI/IO0	SI/SIO0	DQ0
データ 1（注 1）	QSPI0_IO1	入出力	SO/IO1	SO/IO1	SO/SIO1	DQ1
データ 2（注 1）	QSPI0_IO2	入出力	WP#/IO2	WP#/IO2	SIO2	DQ2
データ 3（注 1）	QSPI0_IO3	入出力	HOLD#/IO3	HOLD#/IO3	SIO3	DQ3
スレーブセレクト（注 1）	QSPI0_SSL	出力	CS#	CS#	CS#	CS#
クロック	QSPI1_SPCLK	出力	—	SCK	—	CK#
データ 4	QSPI1_IO0	入出力	—	SI/IO0	SIO4	DQ4
データ 5	QSPI1_IO1	入出力	—	SO/IO1	SIO5	DQ5
データ 6	QSPI1_IO2	入出力	—	WP#/IO2	SIO6	DQ6
データ 7	QSPI1_IO3	入出力	—	HOLD#/IO3	SIO7	DQ7
スレーブセレクト	QSPI1_SSL	入出力	—	CS#	DQS (データストローブ)	RWDS (リードデータストローブ)
リセット（注 2）	RPC_RESET#	出力	RESET#	RESET#	RESET#	RESET#
ライトプロテクト（注 2）	RPC_WP#	出力	（1 ビットシリアル接続時 WP#/IO2）	—	—	—
割り込み（注 2）	RPC_INT#	入力	—	—	—	INT#

注 1.　BSZ[1:0]=00 設定で、シリアルフラッシュを接続する場合、シリアルフラッシュは QSPI0 ピングループに接続する必要があります。

注 2.　これらのピンはフラッシュの仕様に応じて接続する必要があります。

20.4　レジスタの説明

レジスタ構成を表 20.2 に示します。

表20.2　　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	CMNCR	R/W	H'01557301	H'1F800000	32
SSL 遅延レジスタ	SSLDR	R/W	H'00000000	H'1F800004	32
データリードコントロールレジスタ	DRCR	R/W	H'001F0100	H'1F80000C	32
データリードコマンド設定レジスタ	DRCMR	R/W	H'00A00000	H'1F800010	32
データリード拡張アドレス設定レジスタ	DREAR	R/W	H'00000000	H'1F800014	32
データリードオプション設定レジスタ	DROPR	R/W	H'00000000	H'1F800018	32
データリードイネーブル設定レジスタ	DRENR	R/W	H'A222D400	H'1F80001C	32
手動モードコントロールレジスタ	SMCR	R/W	H'00000000	H'1F800020	32
手動モードコマンド設定レジスタ	SMCMR	R/W	H'00000000	H'1F800024	32
手動モードアドレス設定レジスタ	SMADR	R/W	H'00000000	H'1F800028	32
手動モードオプション設定レジスタ	SMOPR	R/W	H'00000000	H'1F80002C	32
手動モードイネーブル設定レジスタ	SMENR	R/W	H'00004000	H'1F800030	32
手動モードリードデータレジスタ 0	SMRDR0	R	不定	H'1F800038	8、16、32
手動モードリードデータレジスタ 1	SMRDR1	R	不定	H'1F80003C	8、16、32
手動モードライトデータレジスタ 0	SMWDR0	R/W	H'00000000	H'1F800040	8、16、32
手動モードライトデータレジスタ 1	SMWDR1	R/W	H'00000000	H'1F800044	8、16、32
共通ステータスレジスタ	CMNSR	R	H'00000001	H'1F800048	32
データリードダミーサイクル設定レジスタ	DRDMCR	R/W	H'0000000B	H'1F800058	32
データリード DDR イネーブルレジスタ	DRDRENR	R/W	H'00005101	H'1F80005C	32
手動モードダミーサイクル設定レジスタ	SMDMCR	R/W	H'00000000	H'1F800060	32
手動 モード DDR イネーブルレジスタ	SMDRENR	R/W	H'00000000	H'1F800064	32
PHYコントロールレジスタ	PHYCNT	R/W	H'00000263	H'1F80007C	32
PHYオフセットレジスタ1	PHYOFFSET1	R/W	H'21511144	H'1F800080	32
PHYオフセットレジスタ2	PHYOFFSET2	R/W	H'00000431	H'1F800084	32
PHY割り込みレジスタ	PHYINT	R/W	H'07070002	H'1F800088	32
PHY調整レジスタ1	PHYADJ1	R/W	H'00000000	H'1F800070	32
PHY調整レジスタ2	PHYADJ2	R/W	H'00000000	H'1F800074	32

注.　上記以外の任意のアドレスに書き込まないでください。書き込みを行った場合、動作は保証できません。
　　上記以外のアドレスから読み取った値は未定義です。

20.4.1　共通コントロールレジスタ（CMNCR）

CMNCR は、SPI マルチ I/O バスコントローラの制御を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード／手動モード両方に反映されます。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。
CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD	—	—	—	—	—	—	—	MOIIO3[1:0]		MOIIO2[1:0]		MOIIO1[1:0]		MOIIO0[1:0]	
初期値：	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1
R/W：	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO3FV[1:0]		IO2FV[1:0]		—	—	IO0FV[1:0]		—	—	—	—	—	—	BSZ[1:0]	
初期値：	0	1	1	1	0	0	1	1	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MD	0	R/W	動作モード切り替え 動作モードの切り替えを行います。 0：外部アドレス空間リードモード 1：手動モード
30 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
23、22	MOIIO3[1:0]	01	R/W	QSPIn_SSL 出力アイドル値固定 QSPIn_IO3 QSPIn_SSL ネゲート期間に QSPIn_IO3 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は前回転送の最終ビット（前回がHi-Zのときは Hi-Z） 11：出力値は Hi-Z 注1.　Octal-SPI フラッシュメモリプロトコルモードで接続されている場合、このビットを01に設定する必要があります。 注2.　HyperFlash が接続されている場合、この機能は常に「10：出力値は前回転送の最終ビット(前回がHi-Zのときは Hi-Z)」に設定する必要があります。
21、20	MOIIO2[1:0]	01	R/W	QSPIn_SSL 出力アイドル値固定 QSPIn_IO2 QSPIn_SSL ネゲート期間に QSPIn_IO2 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は前回転送の最終ビット（前回がHi-Zのときは Hi-Z） 11：出力値は Hi-Z 注1.　Octal-SPI フラッシュメモリプロトコルモードで接続されている場合、このビットを01に設定する必要があります。 注2.　HyperFlash が接続されている場合、この機能は常に「10：出力値は前回転送の最終ビット(前回がHi-Zのときは Hi-Z)」に設定する必要があります。
19、18	MOIIO1[1:0]	01	R/W	QSPIn_SSL 出力アイドル値固定 QSPIn_IO1 QSPIn_SSL ネゲート期間に QSPIn_IO1 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は前回転送の最終ビット（前回がHi-Zのときは Hi-Z） 11：出力値は Hi-Z 注1.　Octal-SPI フラッシュメモリプロトコルモードで接続されている場合、このビットを01に設定する必要があります。 注2.　HyperFlash が接続されている場合、この機能は常に「10：出力値は前回転送の最終ビット(前回がHi-Zのときは Hi-Z)」に設定する必要があります。

ビット	ビット名	初期値	R/W	説明
17、16	MOIIO0[1:0]	01	R/W	QSPIn_SSL 出力アイドル値固定 QSPIn_IO0 QSPIn_SSL ネゲート期間に QSPIn_IO0 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は前回転送の最終ビット（前回がHi-Zのときはは Hi-Z） 11：出力値は Hi-Z 注1. Octal-SPI フラッシュメモリプロトコルモードで接続されている場合、このビットを01に設定する必要があります。 注2. HyperFlash が接続されている場合、この機能は常に「10：出力値は前回転送の最終ビット(前回がHi-Zのときはは Hi-Z)」に設定する必要があります。
15、14	IO3FV[1:0]	01	R/W	1 ビット幅時 QSPIn_IO3 固定値 1 ビット幅時、QSPIn_IO3 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は前回転送の最終ビット（前回がHi-Zのときはは Hi-Z） 11：出力値は Hi-Z
13、12	IO2FV[1:0]	11	R/W	1 ビット幅時 QSPIn_IO2 固定値 1 ビット幅時、QSPIn_IO2 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は前回転送の最終ビット（前回がHi-Zのときはは Hi-Z） 11：出力値は Hi-Z
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	IO0FV[1:0]	11	R/W	1 ビット幅入力時 QSPIn_IO0 固定値 1 ビット幅入力時、QSPIn_IO0 端子の出力値を固定します。 00：出力値は 0 固定 01：出力値は 1 固定 10：出力値は前回転送の最終ビット（前回がHi-Zのときはは Hi-Z） 11：出力値は Hi-Z 注. 1ビット幅以外のデータリード転送を行う場合、このビットを「11：出力値はHi-Z」に設定する必要があります。
7～2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	BSZ[1:0]	01	R/W	データバス幅指定 接続するシリアルフラッシュの数を指定します。 HyperFlash 接続時は、01にしてください。 00：シリアルフラッシュ ×1 01：シリアルフラッシュ ×2 、HyperFlash ×1、Octal-SPI フラッシュメモリプロトコルモードでの接続 ×1 1X：設定禁止 注. 本ビットを変更した場合は、必ず DRCR レジスタの RCF ビット＝ "1" により、リードキャッシュの全エントリをクリアしてください。

注. MOIIO3/MOIIO2/MOIIO1/MOIIO0の出力固定制御は、データ転送終了時のQSPIn_SSLネゲートタイミングにて反映されます。

20.4.2 SSL 遅延レジスタ（SSLDR）

SSLDR は、QSPIn_SSL 信号と QSPIn_SPCLK 信号間のタイミング調整を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード／手動モード両方に反映されます。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SPNDL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SLNDL[2:0]			—	—	—	—	—	SCKDL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 19	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18 ～ 16	SPNDL[2:0]	000	R/W	次アクセス遅延設定 転送終了から次の転送開始までの期間（次アクセス）を設定します。 000：1 QSPIn_SPCLK (SSLE=0の場合3 QSPIn_SPCLK) 001：2 QSPIn_SPCLK 010：3 QSPIn_SPCLK 011：4 QSPIn_SPCLK 100：5 QSPIn_SPCLK 101：6 QSPIn_SPCLK 110：7 QSPIn_SPCLK 111：8 QSPIn_SPCLK
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ～ 8	SLNDL[2:0]	000	R/W	QSPIn_SSL ネゲート遅延設定 転送の最終QSPIn_SPCLK エッジを送出してから QSPIn_SSL 端子をネゲートするまでの期間（QSPIn_SSL ネゲート遅延）を設定します。 000：1 QSPIn_SPCLK 001：2 QSPIn_SPCLK 010：3 QSPIn_SPCLK 011：4 QSPIn_SPCLK 100：5 QSPIn_SPCLK 101：6 QSPIn_SPCLK 110：7 QSPIn_SPCLK 111：8 QSPIn_SPCLK
7 ～ 3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 ～ 0	SCKDL[2:0]	000	R/W	クロック遅延設定 QSPIn_SSL 端子アサートからQSPIn_SPCLK発振までの期間（クロック遅延）を設定します。 000：1.5 QSPIn_SPCLK 001：2.5 QSPIn_SPCLK 010：3.5 QSPIn_SPCLK 011：4.5 QSPIn_SPCLK 100：5.5 QSPIn_SPCLK 101：6.5 QSPIn_SPCLK 110：7.5 QSPIn_SPCLK 111：8.5 QSPIn_SPCLK

20.4.3　データリードコントロールレジスタ（DRCR）

外部アドレス空間リード時の動作を設定する 32 ビットのレジスタです。

SSLN ビット以外は CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	SSLN	—	—	—	RBURST[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RCF	RBE	—	—	—	—	—	—	—	SSLE
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	SSLN	0	W	QSPIn_SSL ネゲート RBE ビット＝"1"かつ SSLE ビット＝"1"の設定のとき、本ビットに 1 ライトすることにより、アサート中の QSPIn_SSL をネゲートします。 読み出すと常に 0 が読み出されます。 注.　本ビットで QSPIn_SSL をネゲートした後、次のアクセスを始める場合、CMNSR レジスタの SSLF ビット＝0 をリードして QSPIn_SSL がネゲートされたことを確認してください。
23 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20 ～ 16	RBURST [4:0]	11111	R/W	リードデータバースト長 リード時のバースト長を設定します。 RBE ビット＝ "1" にセットしたときに有効となります。 00000：1 データ長連続 00001：2 データ長連続 ： 11110：31 データ長連続 11111：32 データ長連続 1 データ長は 64 ビットです。
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	RCF	0	W	リードキャッシュフラッシュ 1 を書き込むと、リードキャッシュの全エントリをクリアします。 読み出すと常に 0 が読み出されます。 キャッシュ領域をライトバッファとして使用した後、このキャッシュ領域は RCF ビットに 1 を書き込むことでクリアする必要があります。 注.　RCF ビットに 1 を書き込んでリードキャッシュのクリアを行った後は、DRCR レジスタの内容を読み出した後に外部アドレス空間リードを行ってください。
8	RBE	1	R/W	リードバースト リード時のバースト 有効/無効を設定します。 0：アクセスサイズに応じてリードします。 1：リードキャッシュが有効となり、RBURST[4:0] ビットに指定されたバースト数分のリードをします。 注意．キャッシュが有効時にアクセスがフラッシュの最後のアドレスに至る場合は、アクセスアドレスがフラッシュの内部アドレスと一致しません。読み出しアドレスとアクセスのデータサイズが最後のアドレスに至らないようにアクセスを管理してください。
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	SSLE	0	R/W	QSPIn_SSL ネゲート設定 リードバースト時の QSPIn_SSL のネゲート条件を設定します。 通常リード時はアクセスごとに QSPIn_SSL をネゲートします。 0：バースト長で設定されたデータ転送終了ごとに QSPIn_SSL をネゲートします。 1：アクセスしたアドレスが前回転送のアドレスから連続していないときに QSPIn_SSL をネゲートします。 注1. シリアルフラッシュが接続されている時に設定をしてください。 注2. SSLE=1 時、RBURST[4:0]=5'h01 は設定禁止

20.4.4　データリードコマンド設定レジスタ（DRCMR）

外部アドレス空間リード時に発行するコマンドを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CMD[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

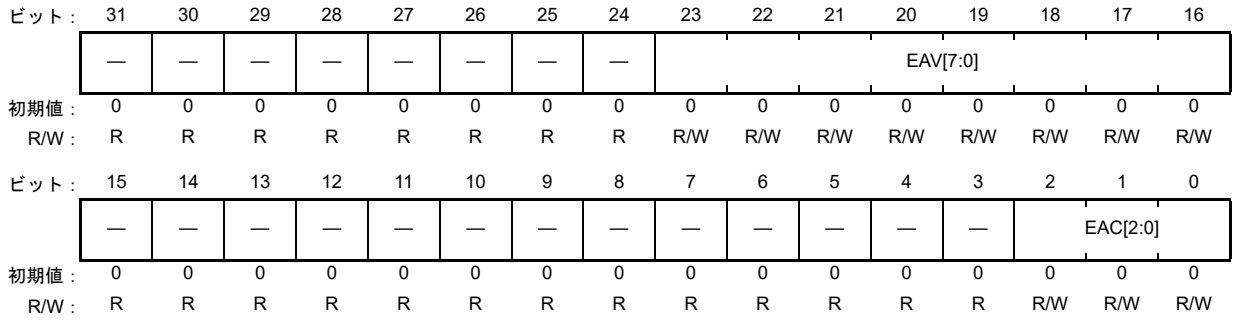
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OCMD[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23 ～ 16	CMD[7:0]	H'A0	R/W	コマンド コマンドを設定します。
15 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 ～ 0	OCMD[7:0]	‘H00	R/W	オプショナルコマンド オプショナルコマンドを設定します。

20.4.5　データリード拡張アドレス設定レジスタ（DREAR）

シリアルフラッシュおよび Octal-SPI フラッシュメモリプロトコルのアドレスを 32 ビットで出力するときの設定をする 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。
CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。



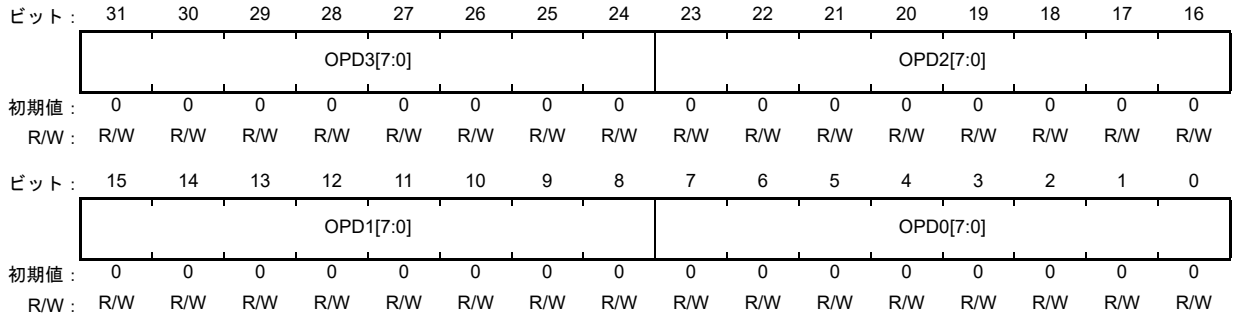
ビット	ビット名	初期値	R/W	説明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23 ～ 16	EAV[7:0]	H'00	R/W	32 ビット拡張上位アドレス固定値設定 シリアルフラッシュおよびOctal-SPI フラッシュメモリプロトコルのアドレスを 32 ビットで出力するとき、EAC[2:0] ビットで設定した外部アドレスの上位のアドレスビット値を設定するレジスタです。 ビット0がおよびシリアルフラッシュおよびOctal-SPI フラッシュメモリのアドレスビット[25]に対応し、ビット7 がビット[32]に対応します。 この設定は DRENR レジスタの ADE[3] ビット＝ 1 のときに有効となります。 EAC[2:0] ＝ 000 のとき、シリアルフラッシュおよびOctal-SPI フラッシュメモリのアドレス[32:25]の固定値をEAV[7:0]に設定します。 EAC[2:0] ＝ 001 のとき、シリアルフラッシュおよびOctal-SPI フラッシュメモリのアドレス[32:26]の固定値をEAV[7:1]に設定します。 EAC[2:0] ＝ 010 のとき、シリアルフラッシュおよびOctal-SPI フラッシュメモリのアドレス[32:27]の固定値をEAV[7:2]に設定します。 EAC[2:0] ＝ 011 のとき、シリアルフラッシュおよびOctal-SPI フラッシュメモリのアドレス[32:28]の固定値をEAV[7:3]に設定します。 （1）シリアルフラッシュ 1 個接続およびOctal-SPI フラッシュメモリプロトコル時 シリアルフラッシュのアドレス[31:0]を用いてアクセスします。 （2）シリアルフラッシュ 2 個接続時 シリアルフラッシュのアドレス[32:1]を用いてアクセスします。
15 ～ 3	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	EAC[2:0]	000	R/W	32 ビット拡張外部アドレス有効範囲設定 シリアルフラッシュおよびOctal-SPI フラッシュメモリプロトコルのアドレスを 32 ビットで出力するとき、シリアルフラッシュおよびOctal-SPI フラッシュメモリのアドレスとして使用する外部アドレスの範囲を設定します。 この設定はDRENR レジスタのADE[3]ビット＝ 1 のときに有効となります。 000：外部アドレスのビット[24:0]が有効 001：外部アドレスのビット[25:0]が有効 010：外部アドレスのビット[26:0]が有効 011：外部アドレスのビット[27:0]が有効 上記以外：設定禁止

20.4.6　データリードオプション設定レジスタ（DROPR）

外部アドレス空間リード時のオプションデータを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。



ビット	ビット名	初期値	R/W	説明
31 ～ 24	OPD3[7:0]	H'00	R/W	オプションデータ 3 オプションデータ 3 を設定します。
23 ～ 16	OPD2[7:0]	H'00	R/W	オプションデータ 2 オプションデータ 2 を設定します。
15 ～ 8	OPD1[7:0]	H'00	R/W	オプションデータ 1 オプションデータ 1 を設定します。
7 ～ 0	OPD0[7:0]	H'00	R/W	オプションデータ 0 オプションデータ 0 を設定します。

注.　出力の順番は OPD3 → OPD2 → OPD1 → OPD0 です。

20.4.7　データリードイネーブル設定レジスタ（DRENR）

外部アドレス空間リード時にコマンド／オプショナルコマンド／アドレス／オプションデータ／リードデータのビット幅、およびリードデータ以外の出力イネーブルの設定をする 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時 に変更した場合の動作は保証しません。

HyperFlash または、Octal-SPI フラッシュメモリプロトコルモードで接続する場合は、**表 20.6**（イネーブルレジスタ（HyperFlash））、**表 20.7**（イネーブルレジスタ（Octal-SPI フラッシュメモリプロトコルモード））を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	DRDB[1:0]	
初期値：	1	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DME	CDE	—	OCDE	ADE[3:0]				OPDE[3:0]				—	—	—	—
初期値：	1	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	CDB[1:0]	10	R/W	コマンドビット幅 コマンドのビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止
29、28	OCDB[1:0]	10	R/W	オプショナルコマンドビット幅 オプショナルコマンドのビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止
27、26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	ADB[1:0]	10	R/W	アドレスビット幅 アドレスのビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止
23、22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21、20	OPDB[1:0]	10	R/W	オプションデータビット幅 オプションデータのビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止
19、18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	DRDB[1:0]	10	R/W	データリードビット幅 データリードのビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止

ビット	ビット名	初期値	R/W	説明
15	DME	1	R/W	ダミーサイクルイネーブル ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注 .転送がダミーサイクルから始まる設定は禁止です。 0：挿入しない 1：挿入する
14	CDE	1	R/W	コマンドイネーブル コマンド出力を設定します。 0：出力しない 1：出力する 注.　Octal-SPI フラッシュ接続時に 1 を設定する場合、SMENR レジスタの CDE ビットは 0 に設定してください。
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	OCDE	1	R/W	オプショナルコマンドイネーブル オプショナルコマンド出力を設定します。 0：出力しない 1：出力する 注.　Octal-SPI フラッシュ接続時は、"0" を設定してください。
11 ～ 8	ADE[3:0]	0100	R/W	アドレスイネーブル アドレス出力を設定します。 必ず下記の設定で使用してください。 下記以外の設定をした場合の動作は保証しませ ん。 （1）シリアルフラッシュ 1 個接続時 0000：出力しない 0111：Address[23:0] を出力 1111：Address[31:0] を出力 上記以外：設定禁止 （2）シリアルフラッシュ 2 個接続、または Octal-SPI フラッシュメモリプロトコルモード接続時 0000：出力しない 0111：Address[24:1] を出力 1111：Address[32:1] を出力 1100：Octal-SPI フラッシュメモリプロトコルモード出力 (表 20.15 の 8-8-8 プロトコル動作) 上記以外：設定禁止 (3) HyperFlash 接続時 0100：HyperFlash 出力 上記以外：設定禁止
7 ～ 4	OPDE[3:0]	0000	R/W	オプションデータイネーブル オプションデータ出力を設定します。 必ず下記の設定で使用してください。 下記以外の設定をした場合の動作は保証しませ ん。 0000：出力しない 1000：OPD3 を出力 1100：OPD3、OPD2 を出力 1110：OPD3、OPD2、OPD1 を出力 1111：OPD3、OPD2、OPD1、OPD0 を出力 上記以外：設定禁止
3 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20.4.8　手動モードコントロールレジスタ（SMCR）

手動 モードの動作を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SSLKP	—	—	—	—	—	SPIRE	SPIWE	SPIE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	W

ビット	ビット名	初期値	R/W	説明
31 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SSLKP	0	R/W	QSPIn_SSL信号レベル保持 転送終了後のQSPIn_SSLの状態を決定します。 0：転送終了時にQSPIn_SSL信号をネゲート 1：転送終了後から次アクセス開始までQSPIn_SSL信号レベルを保持 注.　SSLKP=1にて、リードデータから転送を開始する設定は禁止です。
7 ～ 3	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SPIRE	0	R/W	データリードイネーブル 手動モード時のリードイネーブルです。 0：データリードしない 1：データリードする 注.　SPIDB[1:0]ビットで転送データビット幅を4ビットに設定した場合、SPIREビットとSPIWEビットを同時に1に設定しないでください。
1	SPIWE	0	R/W	データライトイネーブル 手動モード時のライトイネーブルです。 0：データライトしない 1：データライトする 注.　SPIDB[1:0] ビットで転送データビット幅を4ビットに設定した場合、SPIREビットとSPIWEビットを同時に1に設定しないでください。
0	SPIE	0	W	SPIデータ転送イネーブル 本ビットを1セットすることにより、データ転送を行います。 CMNSRレジスタのTENDビット＝ "1" 時のみ有効です。CMNSRレジスタのTENDビット＝ "0" 時に、1セットした場合の動作は保証しません。 読み出すと常に0が読み出されます。 注.　QSPIn_SSLがネゲートされているときはSPIRE、SPIWEビット＝ "0" でも、出力イネーブルに設定したコマンド／オプショナルコマンド／アドレス／オプションデータは出力されます。 QSPIn_SSL がアサートされているときは「20.6.2　手動モードのQSPIn_SSL 保持状態からの転送開始の注意事項」に従ってください。

20.4.9　手動モードコマンド設定レジスタ（SMCMR）

手動モード時に発行するコマンドを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CMD[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OCMD[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23 ～ 16	CMD[7:0]	H'00	R/W	コマンド コマンドを設定します。
15 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 ～ 0	OCMD[7:0]	H'00	R/W	オプショナルコマンド オプショナルコマンドを設定します。

20.4.10　手動モードアドレス設定レジスタ（SMADR）

手動 モード時のアドレスを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:24]								ADR[23:16]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 24	ADR[31:24]	H'00	R/W	アドレス シリアルフラッシュのアドレスを 32 ビットで出力するときのビット 31 ～ 24 を設定します。 シリアルフラッシュ、Octal-SPI フラッシュ接続時、この設定は SMENR レジスタの ADE[3] ビット＝ 1 の時に有効になります。 HYPER フラッシュ接続時、ADE[3] に関わらず常に有効になります。

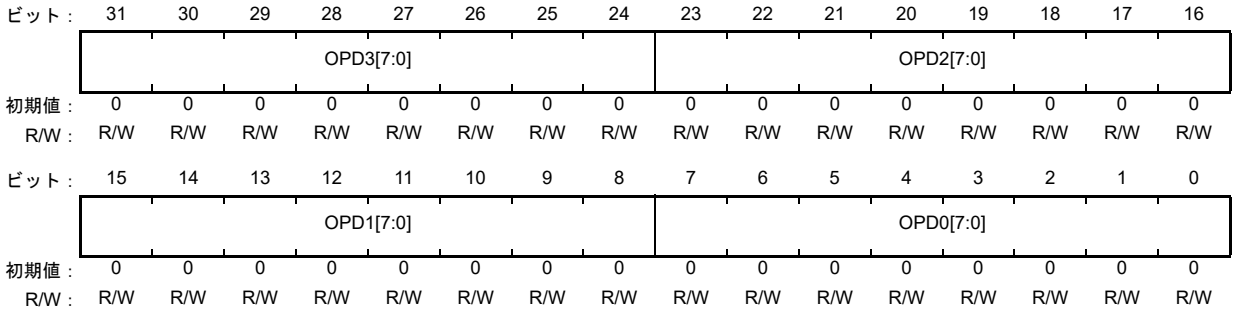
ビット	ビット名	初期値	R/W	説明
23 ～ 0	ADR[23:0]	H'000000	R/W	アドレス アドレスを設定します。

20.4.11　手動モードオプション設定レジスタ（SMOPR）

手動 モード時のオプションデータを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。



ビット	ビット名	初期値	R/W	説明
31 ～ 24	OPD3[7:0]	H'00	R/W	オプションデータ 3 オプションデータ 3 を設定します。
23 ～ 16	OPD2[7:0]	H'00	R/W	オプションデータ 2 オプションデータ 2 を設定します。
15 ～ 8	OPD1[7:0]	H'00	R/W	オプションデータ 1 オプションデータ 1 を設定します。
7 ～ 0	OPD0[7:0]	H'00	R/W	オプションデータ 0 オプションデータ 0 を設定します。

注.　出力の順番は OPD3 → OPD2 → OPD1 → OPD0 です。

20.4.12　手動モードイネーブル設定レジスタ（SMENR）

手動モード時にコマンド／オプショナルコマンド／アドレス／オプションデータ／転送データのビット幅およびイネーブルとダミーサイクルのイネーブルの設定をする 32 ビットのレジスタです。コマンド／オプショナルコマンド／アドレス／オプションデータ／ダミーサイクル／転送データすべてをディスエーブルにすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時 に変更した場合の動作は保証しません。

HyperFlash または、Octal-SPI フラッシュメモリプロトコルモードで接続する場合は、**表 20.6**（イネーブルレジスタ（HyperFlash））、**表 20.7**（イネーブルレジスタ（Octal-SPI フラッシュメモリプロトコルモード））を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	SPIDB[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DME	CDE	—	OCDE	ADE[3:0]				OPDE[3:0]				SPIDE[3:0]			
初期値：	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	CDB[1:0]	00	R/W	コマンドビット幅 コマンドのビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止
29、28	OCDB[1:0]	00	R/W	オプショナルコマンドビット幅 オプショナルコマンドのビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止
27、26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	ADB[1:0]	00	R/W	アドレスビット幅 アドレスのビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止
23、22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21、20	OPDB[1:0]	00	R/W	オプションデータビット幅 オプションデータのビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止
19、18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	SPIDB[1:0]	00	R/W	転送データビット幅 転送データビット幅を設定します。 00：1 ビット 10：4 ビット 上記以外：設定禁止

ビット	ビット名	初期値	R/W	説明
15	DME	0	R/W	ダミーサイクルイネーブル ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注.　手動モードでライトのときは挿入禁止です。 これは 1 回の転送がダミーサイクルで終わる場合も含みます。 転送がダミーサイクルで始まる設定は禁止です。 0：挿入しない 1：挿入する
14	CDE	1	R/W	コマンドイネーブル コマンド出力を設定します。 0：出力しない 1：出力する 注.　Octal-SPI フラッシュ接続時に DRENR レジスタの CDE ビットを 1 に設定する場合、0 に設定してください。
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	OCDE	0	R/W	オプショナルコマンドイネーブル オプショナルコマンド出力を設定します。 0：出力しない 1：出力する 注.　Octal-SPI フラッシュ接続時は、"0" を設定してください。
11 ～ 8	ADE[3:0]	0000	R/W	アドレスイネーブル アドレス出力を設定します。 必ず下記の設定で使用してください。 下記以外の設定をした場合の動作は保証しません。 (1) シリアルフラッシュ、または Octal-SPI フラッシュメモリプロトコルモード接続時 0000：出力しない 0100：ADR[23:16] を出力 0110：ADR[23:8] を出力 0111：ADR[23:0] を出力 1111：ADR[31:0] を出力 1100：Octal-SPI フラッシュメモリプロトコルモード出力 (表 20.15 の 8-8-X プロトコル動作) 上記以外：設定禁止 (2) HyperFlash 接続時 0100：HyperFlash 出力 注.　これらのビットは、ライトバッファ機能使用時 "0111" または "1111" に指定する必要があります。
7 ～ 4	OPDE[3:0]	0000	R/W	オプションデータイネーブル オプションデータ出力を設定します。 必ず下記の設定で使用してください。 下記以外の設定をした場合の動作は保証しません。 0000：出力しない 1000：OPD3 を出力 1100：OPD3、OPD2 を出力 1110：OPD3、OPD2、OPD1 を出力 1111：OPD3、OPD2、OPD1、OPD0 を出力 上記以外：設定禁止

ビット	ビット名	初期値	R/W	説明
3 ～ 0	SPIDE[3:0]	0000	R/W	転送データイネーブル 転送データの有効を設定します。 CMNCR レジスタの BSZ[1:0] ビットにより、有効データが異なります。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 (1) CMNCR レジスタの BSZ[1:0] ビット＝ 00 （シリアルフラッシュ 1 個接続） 0000：転送しない 1000：8 ビット転送 （手動モードリード／ライトデータレジスタ 0 の 0 番地のデータを有効） 1100：16 ビット転送 （手動モードリード／ライトデータレジスタ 0 の 0 ～ 1 番地のデータを有効） 1111：32 ビット転送 （手動 モードリード／ライトデータレジスタ 0 の 0 ～ 3 番地のデータを有効） 上記以外：設定禁止 (2) CMNCR レジスタの BSZ[1:0] ビット＝ 01 （シリアルフラッシュ 2 個接続） 0000：転送しない 1000：16 ビット転送 （手動モードリード／ライトデータレジスタ 0 の 0 ～ 1 番地のデータを有効） 1100：32 ビット転送 （手動モードリード／ライトデータレジスタ 0 の 0 ～ 3 番地のデータを有効） 1111：64 ビット転送 （手動モードリード／ライトデータレジスタ 0 の 0 ～ 3 番地のデータと 手動モードリード／ライトデータレジスタ 1 の 0 ～ 3 番地のデータを有効） 上記以外：設定禁止

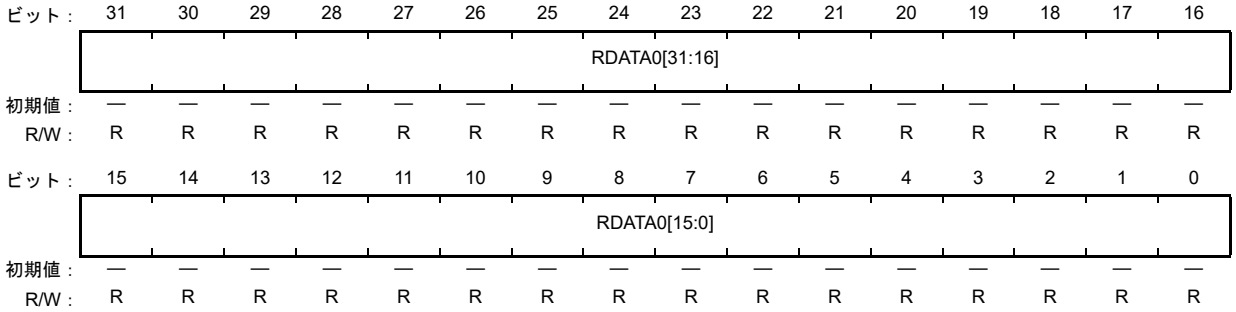
20.4.13　手動モードリードデータレジスタ 0（SMRDR0）

手動モード時のリードデータを格納する 32 ビットのレジスタです。

本レジスタへのアクセスは手動モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず LSB からアクセスしてください。

CMNSR レジスタの TEND フラグ＝ "1" のときにリードしてください。

CMNSR レジスタの TEND フラグ＝ "0" 時にリードした場合の動作は保証しません。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	RDATA0[31:0]	不定	R	リードデータ 手動モード時にリードしたデータを格納します。 CMNCR レジスタの BSZ[1:0] ビットにより、データビットが異なります。 BSZ[1:0] ＝ 00：リードデータ [31:0] となります。 BSZ[1:0] ＝ 01：リードデータ [63:32] となります。

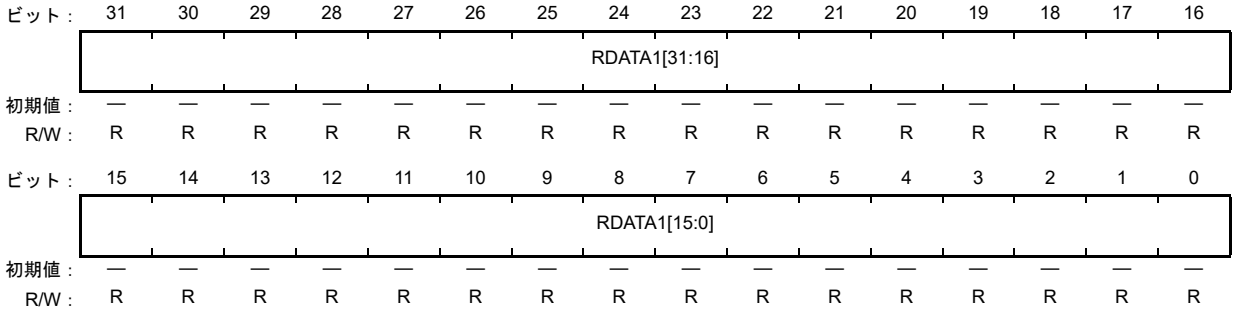
注.　本レジスタと SMRDR1 レジスタは手動モードの受信が終了すると内容が書き換えられます。
手動モードの受信が終了したら必ずデータを読み出してください。

20.4.14　手動モードリードデータレジスタ 1（SMRDR1）

手動モード時のリードデータを格納する 32 ビットのレジスタです。

本レジスタへのアクセスは手動モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず LSB からアクセスしてください。

CMNSR レジスタの TEND フラグ＝ "1" のときにリードしてください。
CMNSR レジスタの TEND フラグ＝ "0" 時にリードした場合の動作は保証しません。



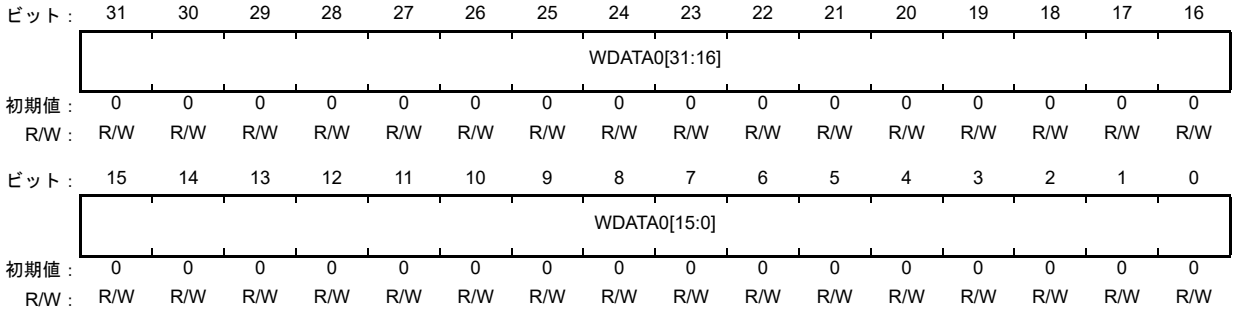
ビット	ビット名	初期値	R/W	説明
31 ～ 0	RDATA1[31:0]	不定	R	リードデータ 手動モード時にリードしたデータを格納します。 CMNCR レジスタの BSZ[1:0] ビットにより、データビットが異なります。 BSZ[1:0] ＝ 00：本ビットの値は無効です。 BSZ[1:0] ＝ 01：リードデータ [31:0] となります。

20.4.15　手動モードライトデータレジスタ 0（SMWDR0）

手動モード時のライトデータを設定する 32 ビットのレジスタです。

本レジスタへのアクセスは手動モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。
CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	WDATA0 [31:0]	すべて 0	R/W	ライトデータ 手動モード時にライトするデータを格納します。 CMNCR レジスタの BSZ[1:0] ビットにより、データビットが異なります。 BSZ[1:0] ＝ 00：ライトデータ [31:0] となります。 BSZ[1:0] ＝ 01：ライトデータ [63:32] となります。 注.　Octal-SPI フラッシュメモリプロトコルモード 接続 (OPI) 時は、下記のデータアラインを行い、設定してください。 ・STR 時　ライトするデータを D[31:0] とした場合 WDATA0[31:0]={ D[23:20], D[31:28], D[19:16], D[27:24], D[7: 4], D[15:12], D[3: 0], D[11: 8] } ・DTR 時　ライトするデータを D[31:0] とした場合 WDATA0[31:0]={ D[31:28], D[23:20], D[27:24], D[19:16], D[15:12], D[7: 4], D[11:8], D[3: 0] }

20.4.16　手動モードライトデータレジスタ 1（SMWDR1）

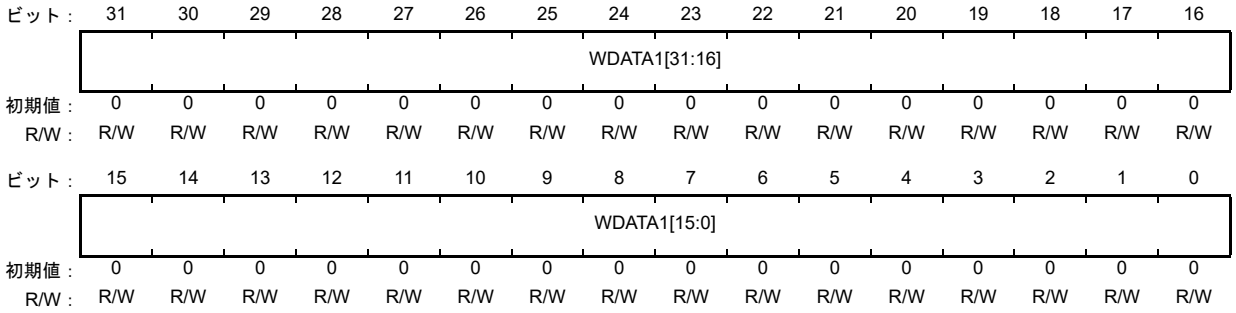
手動 モード時のライトデータを設定する 32 ビットのレジスタです。

CMNCR レジスタの BSZ[1:0] ビット＝ 01 の時に有効となります。BSZ[1:0] ビット＝ 00 の時、本レジスタの値は無効です。

本レジスタへのアクセスは手動モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	WDATA1 [31:0]	すべて 0	R/W	ライトデータ 手動モード時にライトするデータを格納します。 CMNCR レジスタの BSZ[1:0] ビットにより、データビットが異なります。 BSZ[1:0] ＝ 00：本ビットの値は無効です。 BSZ[1:0] ＝ 01：ライトデータ [31:0] となります。 注.　Octal-SPI フラッシュメモリプロトコルモード接続 (OPI) 時は、下記のデータアラインを行い、設定してください。 ・STR 時　ライトするデータを D[31:0] とした場合 WDATA1[31:0]={ D[23:20], D[31:28], D[19:16], D[27:24], D[7: 4], D[15:12], D[3: 0], D[11: 8] } ・DTR 時　ライトするデータを D[31:0] とした場合 WDATA1[31:0]={ D[31:28], D[23:20], D[27:24], D[19:16], D[15:12], D[7: 4], D[11:8], D[3: 0] }

20.4.17　共通ステータスレジスタ（CMNSR）

動作状態を示すフラグを格納する 32 ビットのレジスタです。
本レジスタは、外部アドレス空間リード／手動モード両方に反映されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSLF	TEND
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	SSLF	0	R	QSPIn_SSL 端子モニタ 0：QSPIn_SSL 端子がネゲート中 1：QSPIn_SSL 端子がアサート中
0	TEND	1	R	転送終了フラグ データ転送を終了したことを示します。 0：転送中であることを表示 1：転送を終了したことを表示

20.4.18　データリードダミーサイクル設定レジスタ（DRDMCR）

外部アドレス空間リード時に挿入するダミーサイクルのサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定はデータリードイネーブル設定レジスタ（DRENR）の DME ビット＝ "1" のときに有効になります。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DMCYC[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4 ～ 0	DMCYC[4:0]	H'0B	R/W	ダミーサイクル数設定 データリードイネーブル設定レジスタ（DRENR）のDMEビット＝ "1" のときに挿入するダミーサイクルのサイクル数を設定します。 00001：2サイクル 00010：3サイクル … 10010：19サイクル 10011：20サイクル 上記以外：設定禁止

20.4.19　データリード DDR イネーブルレジスタ（DRDRENR）

外部アドレス空間リード時のアドレス／オプションデータ／リードデータの SDR/DDR 転送を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。
CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	HYPE			—	—	—	ADDRE	—	—	—	OPDRE	—	—	—	DRDRE
初期値：	0	1	0	1	0	0	0	1	0	0	0	0	0	0	0	1
R/W：	R	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 15	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 12	HYPE	101	R/W	HyperFlash, Octal-SPI フラッシュメモリ DDR モードイネーブル 101：HyperFlash 接続時, Octal-SPI フラッシュメモリプロトコル DDR モードで、コマンドだけでなくアドレスやデータを転送 100：Octal-SPI フラッシュメモリプロトコル DDR モードでコマンドのみを転送 000：SPI フラッシュモード 上記以外：設定禁止
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	ADDRE	1	R/W	アドレス DDR イネーブル アドレスの SDR/DDR 転送を設定します。 0：SDR 転送 1：DDR 転送 注：HyperFlash 接続時、このビットに 1 を指定してください。
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	OPDRE	0	R/W	オプションデータ DDR イネーブル オプションデータの SDR/DDR 転送を設定します。 0：SDR 転送 1：DDR 転送
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	DRDRE	1	R/W	データリード DDR イネーブル データリードの SDR/DDR 転送を設定します。 0：SDR 転送 1：DDR 転送

20.4.20　手動モードダミーサイクル設定レジスタ（SMDMCR）

手動モード時に挿入するダミーサイクルのサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定は 手動モードイネーブル設定レジスタ（SMENR）の DME ビット＝ "1" のときに有効になります。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DMCYC[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 5	ー	すべて 0	R	リザーブビット 読み出すと常 0が読み出されます。書き込む値も常に0にしてください。
4 ～ 0	DMCYC[4:0]	00000	R/W	ダミーサイクル数設定 手動モードイネーブル設定レジスタ（SMENR）のDMEビット＝"1" のときに挿入するダミーサイクルのサイクル数を設定します。 00001：2サイクル 00010：3サイクル .... 10010：19サイクル 10011：20サイクル 上記以外：設定禁止

20.4.21　手動モード DDR イネーブルレジスタ（SMDRENR）

手動モード時のアドレス／オプションデータ／転送データの SDR/DDR 転送を設定する 32 ビットのレジ スタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。
CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	HYPE[2:0]			—	—	—	ADDRE	—	—	—	OPDRE	—	—	—	SPIDRE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 15	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 12	HYPE[2:0]	000	R/W	HyperFlash, Octal-SPI フラッシュメモリプロトコルモードDDRモードイネーブル 101：HyperFlash接続時、Octal-SPI フラッシュメモリプロトコル DDRモードで、コマンドだけでなくアドレスやデータを転送 100：Octal-SPI フラッシュメモリプロトコル DDRモードでコマンドのみを転送 000：SPI フラッシュモード 上記以外：設定禁止
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	ADDRE	0	R/W	アドレスDDRイネーブル アドレスのSDR/DDR転送を設定します。 0：SDR転送 1：DDR転送 注：HyperFlash 接続時、このビットに1を設定してください。
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	OPDRE	0	R/W	オプションデータDDRイネーブル オプションデータのSDR/DDR 転送を設定します。 0：SDR転送 1：DDR転送
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SPIDRE	0	R/W	転送データDDRイネーブル 転送データのSDR/DDR転送を設定します。 0：SDR転送 1：DDR転送 注：HyperFlash 接続時、このビットに1を設定してください。

20.4.22　PHY コントロールレジスタ（PHYCNT）

PHY 動作モードを設定する 32 ビットのレジ スタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAL	ALT_ ALIGN	—	—	—	—	—	—	OCTA[1:0]		EXDS	OCT	—	HS	CKSEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	WBUF2	—	WBUF	PHYMEM[1:0]	
初期値：	0	0	0	0	0	0	1	0	0	1	1	0	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	CAL	0	W	PHYキャリブレーション PHYのキャリブレーションを実行します。 手動モード時、必ずアクセス前に、キャリブレーションを実行してください。 0：キャリブレーションを実行しない 1：キャリブレーションを実行する
30	ALT_ ALIGN	0	R/W	Octal-SPI フラッシュメモリプロトコルモード 代替アライメント 0：Octal-SPI フラッシュメモリプロトコルモード で接続時の代替アライメントをサポートしない 1：Octal-SPI フラッシュメモリプロトコルモード で接続時の代替アライメントをサポートする
29～24	—	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23、22	OCTA [1:0]	00	R/W	Octal-SPI フラッシュメモリプロトコルモードアライメント Octal-SPI フラッシュメモリプロトコルモードで DDRモードにおけるデータアライメントを示します。 詳細は、「20.5.14　Octal-SPI フラッシュメモリプロトコルモードでのデータアライメント」を参照してください。 HyperFlash または、シリアルフラッシュメモリ接続時、これらのビットは、00を設定してください。 00：HyperFlash、Octal-SPI フラッシュメモリプロトコルモード (SDRモード時)、シリアルフラッシュメモリ接続時 01：代替アライメントをサポート 10：順序アライメントをサポート 11：設定禁止 注1.　Octal-SPI フラッシュメモリプロトコルモード代替アライメントを使用する際は、ALT_ALIGN = 1も設定してください。 注2.　Octal-SPI フラッシュメモリプロトコルモード順序アライメントを使用する際は、ALT_ALIGNはドントケアです。
21	EXDS	0	R/W	外部データストローブ データストローブが、シリアルフラッシュに接続されている時、シリアルフラッシュメモリによる外部データストローブ信号を使用します。Octal-SPI フラッシュメモリプロトコルモードで接続されている時は、このビットを1に設定してください。 注.　HyperFlash が接続されている時は、このレジスタに0を設定してください。 0：外部データストローブ信号を使用しない 1：外部データストローブ信号を使用する
20	OCT	0	R/W	Octal-SPI フラッシュメモリプロトコルモード 0：下記以外のモード 1：Octal-SPI フラッシュメモリプロトコルモード を使用する
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
18	HS	0	R/W	ハイスピード応答モード ハイスピード応答モードを設定する。 0：リードデータは、DRCR.RBURST で指定したデータ数リードした後、バスマスタへ出力する。 1：DRCR.RBE=1 のとき、リードデータはデバイスアクセスによってパラレルでバスマスタへ出力する。 注1.　このビットに 1 を設定した時は、DMA 転送を使用してください。転送サイズは DRCR.RBURST[4:0]=5'h1F 固定にしてください。 注2.　DMA 転送中にレジスタ領域にアクセスしないでください。 注3.　このビットに 1 を設定した時は、SPI マルチ I/O バス空間へのアクセスが必ず 256 バイト境界のアドレスから開始するようにしてください。また、DMA 転送を開始する前に、DRCR.RCF ビットに 1 を書き込んでリードキャッシュのクリアを行ってください。
17、16	CKSEL [1:0]	00	R/W	クロックタイミング切り替え シリアルフラッシュ接続時のクロックのタイミングを調整します。 「20.5.17　タイミング調整」に記載のフローに従って必ず設定してください。 Octal-SPI フラッシュメモリプロトコルモード、HyperFlash 接続時は、CKSEL[1:0] = b'11 に必ず設定してください。
15～10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
8、7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6、5	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	WBUF2	0	R/W	ライトバッファイネーブル 2 フラッシュメモリに書き込まれる時、ライトバッファが使用されます。 ライトバッファの用法は、20.5.13 を参照してください。 0 : ライトバッファを使用しない 1 : ライトバッファをフラッシュメモリのデータ書き込みのために使用する
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	WBUF	0	R/W	ライトバッファイネーブル フラッシュメモリに書き込まれる時、ライトバッファが使用されます。 ライトバッファの用法は、20.5.13 を参照してください。 0 : ライトバッファを使用しない 1 : ライトバッファをフラッシュメモリのデータ書き込みのために使用する
1、0	PHYMEM [1:0]	11	R/W	デバイス選択 接続するデバイスを選択します。 00：SDR モードのシリアルフラッシュまたは Octal-SPI フラッシュメモリ 01：DDR モードのシリアルフラッシュまたは Octal-SPI フラッシュメモリ 11：HyperFlash 上記以外：設定禁止

20.4.23　PHY オフセットレジスタ 1（PHYOFFSET1）

SDR/DDR 動作を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	DDRTMG		—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	1	0	0	0	0	1	0	1	0	1	0	0	0	1
R/W：	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	1	0	0	0	1	0	1	0	0	0	1	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29、28	DDRTMG	10	R/W	SDR/DDR動作レジスタ 10：外部アドレス空間リードモードまたは手動モードでDDR転送でデータリードする場合に設定してください 11：外部アドレス空間リードモードまたは手動モードでSDR転送でデータリードする場合に設定してください 上記以外：設定禁止
27 ～ 25	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
21	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
19 ～ 17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
15 ～ 13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
11 ～ 9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

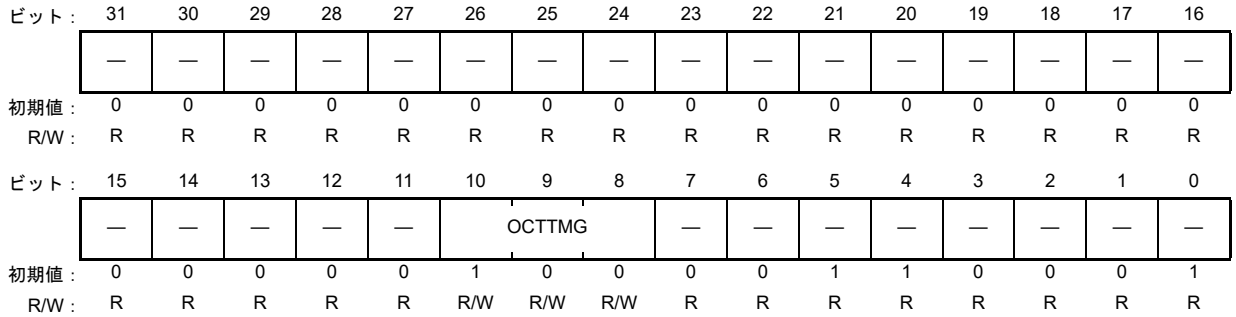
ビット	ビット名	初期値	R/W	説明
5 ～ 3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1、0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20.4.24　PHY オフセットレジスタ 2（PHYOFFSET2）

DDR 動作でのタイミング調整を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。



ビット	ビット名	初期値	R/W	説明
31 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	OCTTMG	100	R/W	Octal-SPI フラッシュメモリプロトコルモード動作タイミング Octal-SPI フラッシュメモリプロトコルモードにおけるライト時のタイミング調整を設定します。 000：表 20.14 のビット幅 1-1-4 もしくは 1-4-4 のシリアルフラッシュライトバッファ動作 100：シリアルフラッシュまたは HyperFlash 011：Octal-SPI フラッシュメモリプロトコルモード動作 上記以外：設定禁止 注.　Octal-SPI フラッシュメモリプロトコルモードでシリアルフラッシュ互換モードのとき、100 を設定してください。
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

20.4.25　PHY 割り込みレジスタ（PHYINT）

本レジスタは、割り込み信号と端子を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	RSTEN	WPEN	INTEN	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RST VAL	WPVAL	INT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R

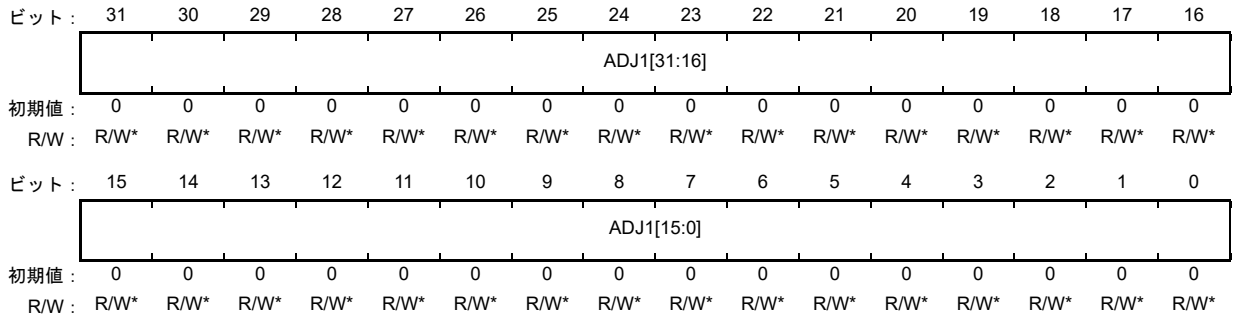
ビット	ビット名	初期値	R/W	説明
31 ～ 27	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	RSTEN	1	R/W	RPC_RESET#端子 イネーブル RPC_RESET#端子の有効、無効 0：RPC_RESET#端子を無効にする 1：RPC_RESET#端子を有効にすることで、RSTVALの値が反映されます
25	WPEN	1	R/W	RPC_WP#端子 イネーブル RPC_WP#端子の有効、無効 0：RPC_WP#端子を無効にする 1：RPC_WP#端子を有効にすることで、WPVALの値が反映されます
24	INTEN	1	R/W	RPC_INT#端子 イネーブル RPC_INT#端子の有効、無効 0：RPC_INT#端子を無効にする 1：RPC_INT#端子を有効にすることで、HyperFlash からの割り込み信号が有効になります
23 ～ 19	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18 ～ 16	—	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
15 ～ 3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	RSTVAL	0	R/W	RPC_RESET#端子の出力値 RPC_RESET#端子からの出力値を設定します。RSTEN=1のとき、設定が有効になります。 0：RPC_RESET# = H 1：RPC_RESET# = L
1	WPVAL	1	R/W	RPC_WP#端子の出力値 RPC_WP#端子からの出力値を設定します。WPEN=1のとき、設定が有効になります。 0：RPC_WP# = H 1：RPC_WP# = L
0	INT	0	R	割り込みステータス RPC_INT#がLに設定された時、接続デバイスの割り込み発生を検出するためにこのビットはHになります。

20.4.26　PHY 調整レジスタ 1（PHYADJ1）

シリアルフラッシュ接続時のタイミング調整を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	ADJ1[31:0]	すべて0	R/W*	シリアルフラッシュ動作タイミング調整 「図20.29　(1)　シリアルフラッシュ (SDRモード(Octal-SPIフラッシュを除く))のタイミング調整フロー」「図20.29　(2)　シリアルフラッシュ (DDRモード)のタイミング調整フロー」に従い、設定してください。 注.　本フローに記載された設定値を順番通りに書き込んでください。

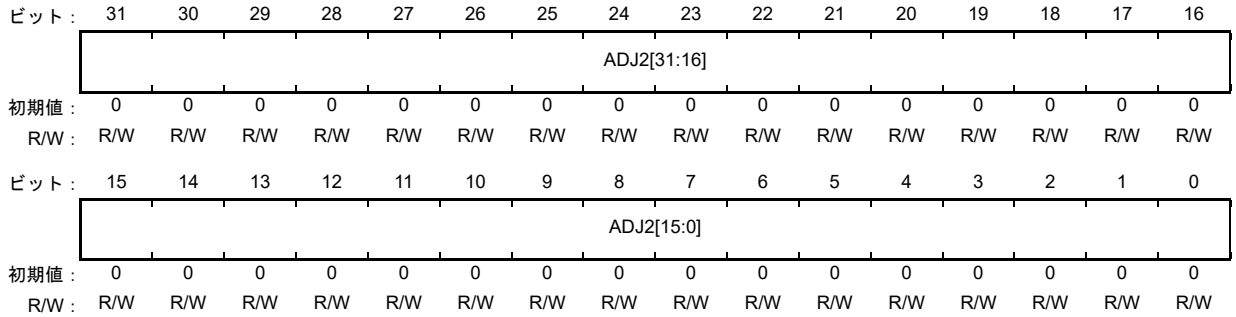
注.　ビット31~6は読み出すと常に0が読み出されます。

20.4.27　PHY 調整レジスタ 2（PHYADJ2）

シリアルフラッシュ接続時のタイミング調整を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝ "1" のときに変更してください。

CMNSR レジスタの TEND フラグ＝ "0" 時に変更した場合の動作は保証しません。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	ADJ2[31:0]	すべて0	R/W	シリアルフラッシュ動作タイミング調整 「図20.29　(1)　シリアルフラッシュ (SDRモード(Octal-SPIフラッシュを除く))のタイミング調整フロー」「図20.29　(2)　シリアルフラッシュ (DDRモード)のタイミング調整フロー」に従い、設定してください。 注.　本フローに記載された設定値を順番通りに書き込んでください。

20.5　動作説明

20.5.1　　システム構成

本モジュールは、1 または、2 個のシリアルフラッシュメモリデバイス、Octal-SPI フラッシュまたは、HyperFlash を接続することが可能です。接続数は CMNCR レジスタの BSZ[1:0] ビットにより切り替えます。

システム構成の例を**図 20.2**、**図 20.3**、**図 20.4** および**図 20.5** に示します。

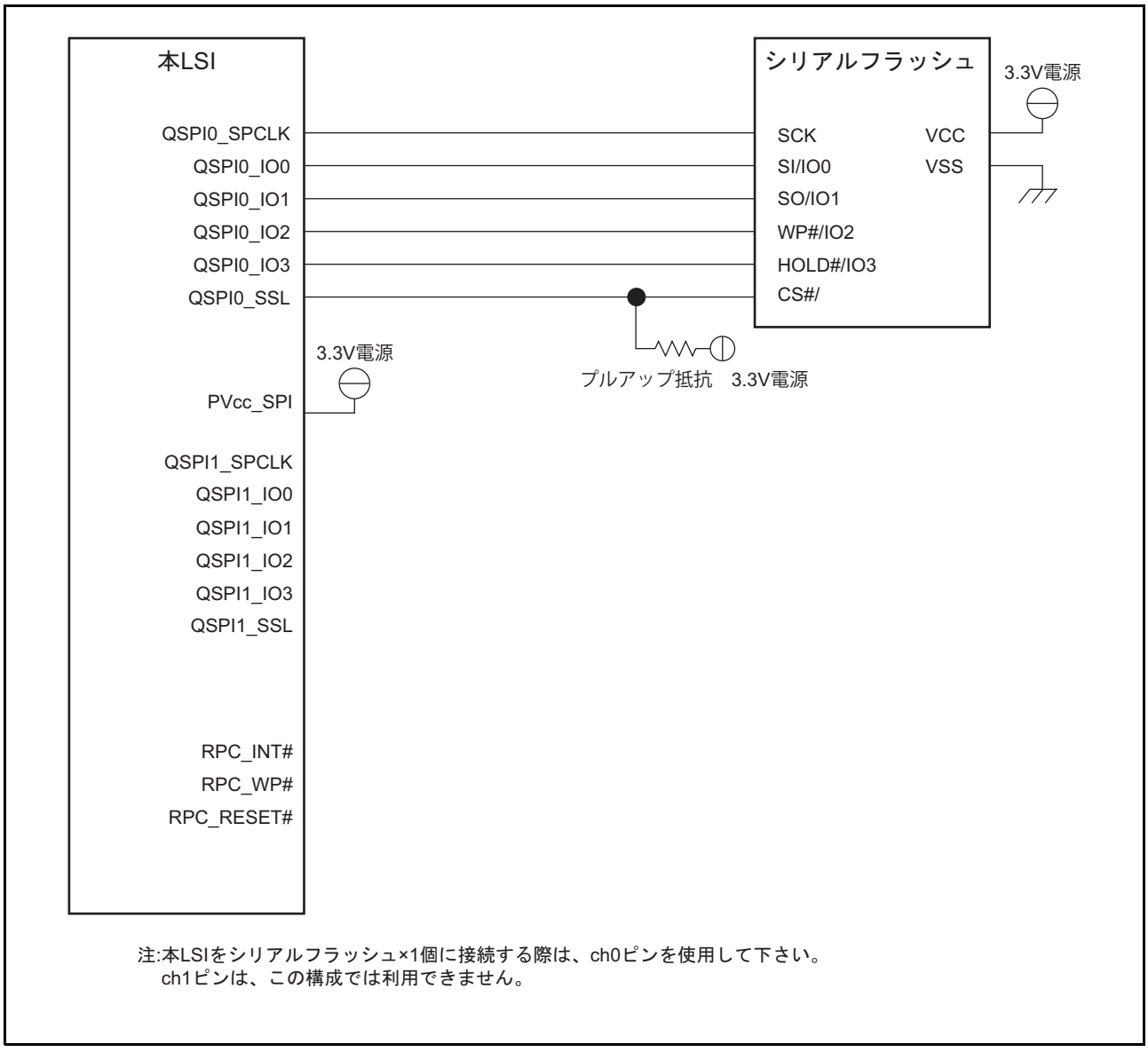


図 20.2　　4 ビットシリアルフラッシュ 1 個接続例

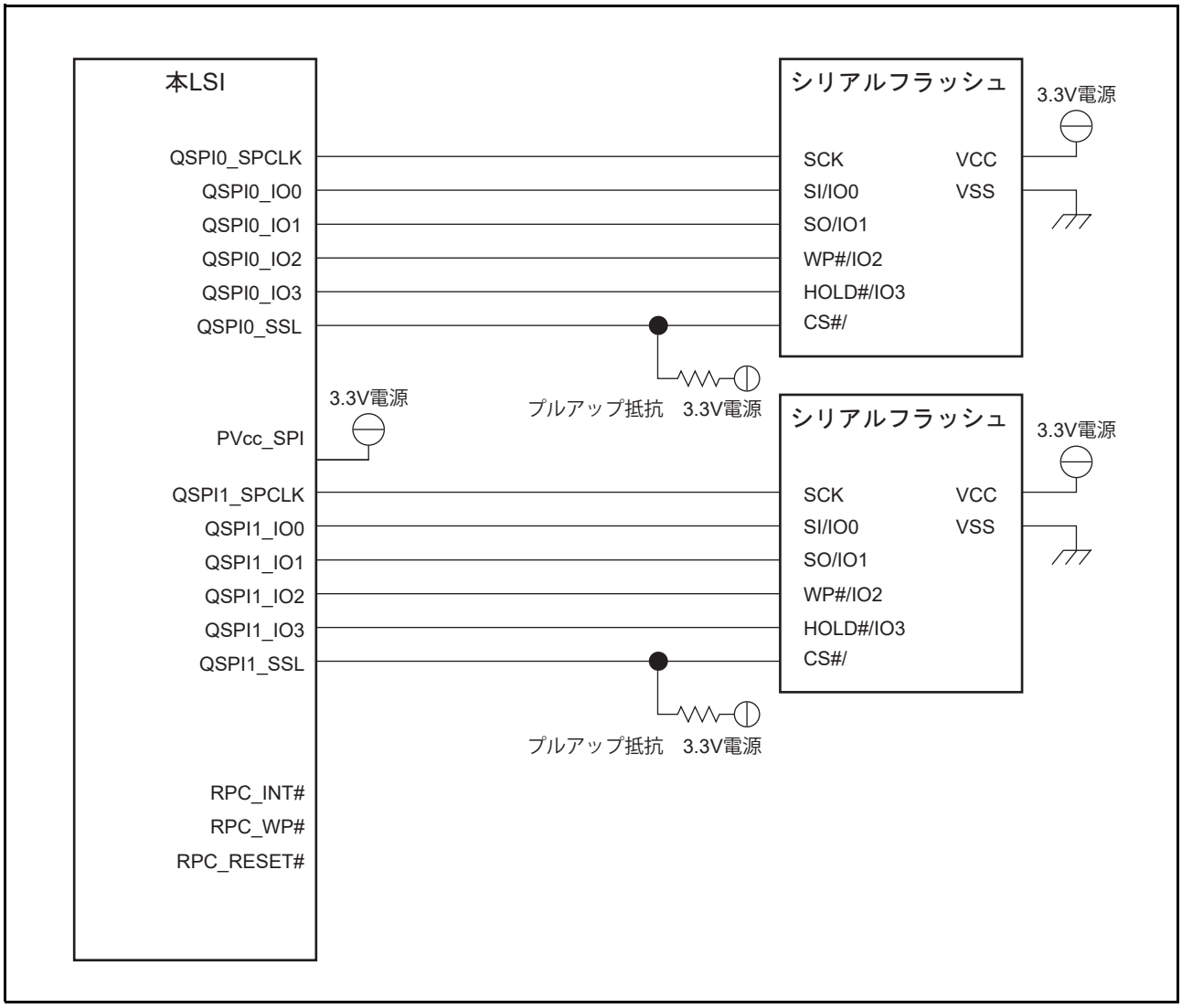


図 20.3　　4 ビットシリアルフラッシュ 2 個接続例（CMNCR レジスタの BSZ[1:0] ビット＝ 01）

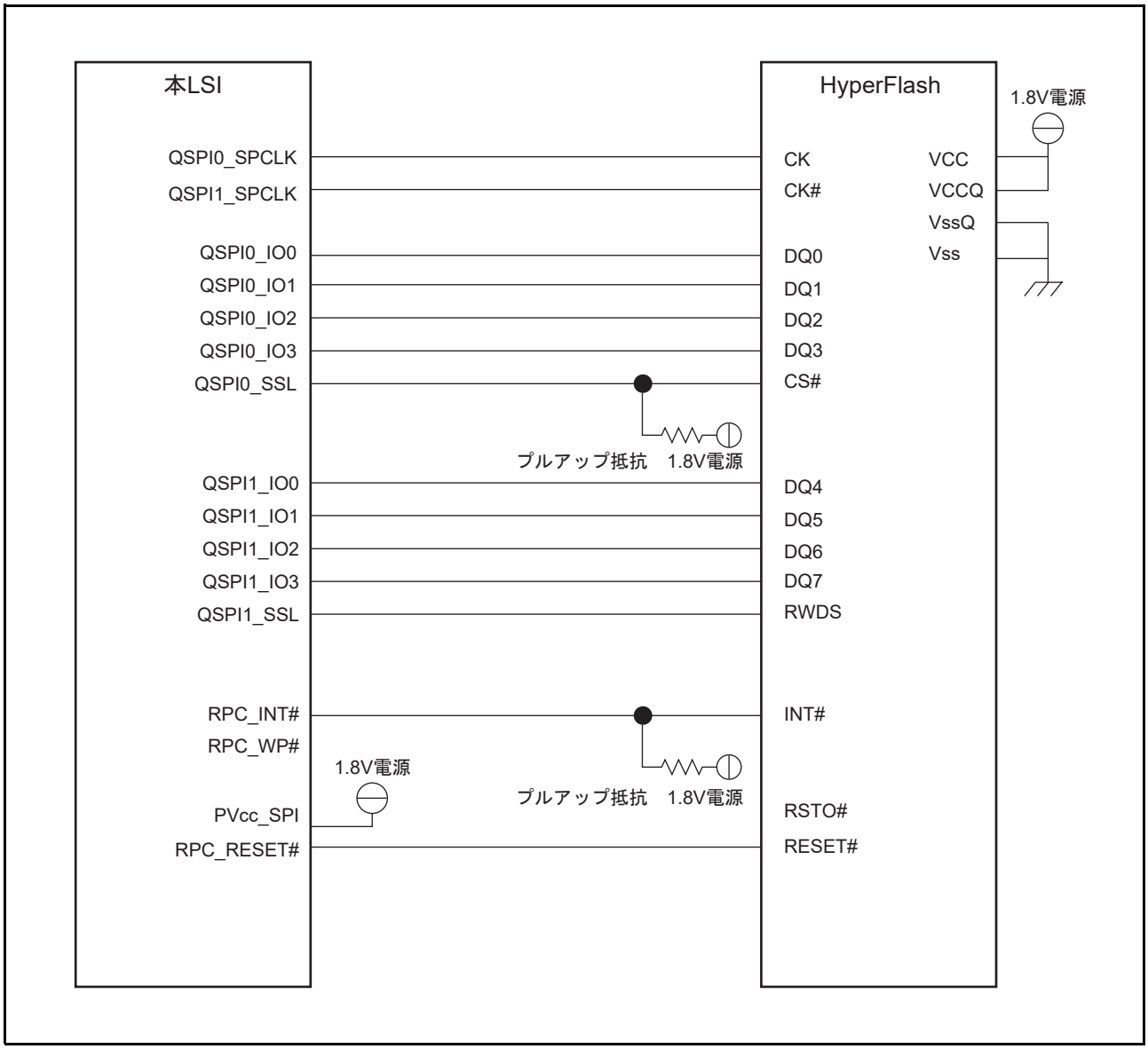


図 20.4　　HyperFlash 接続例

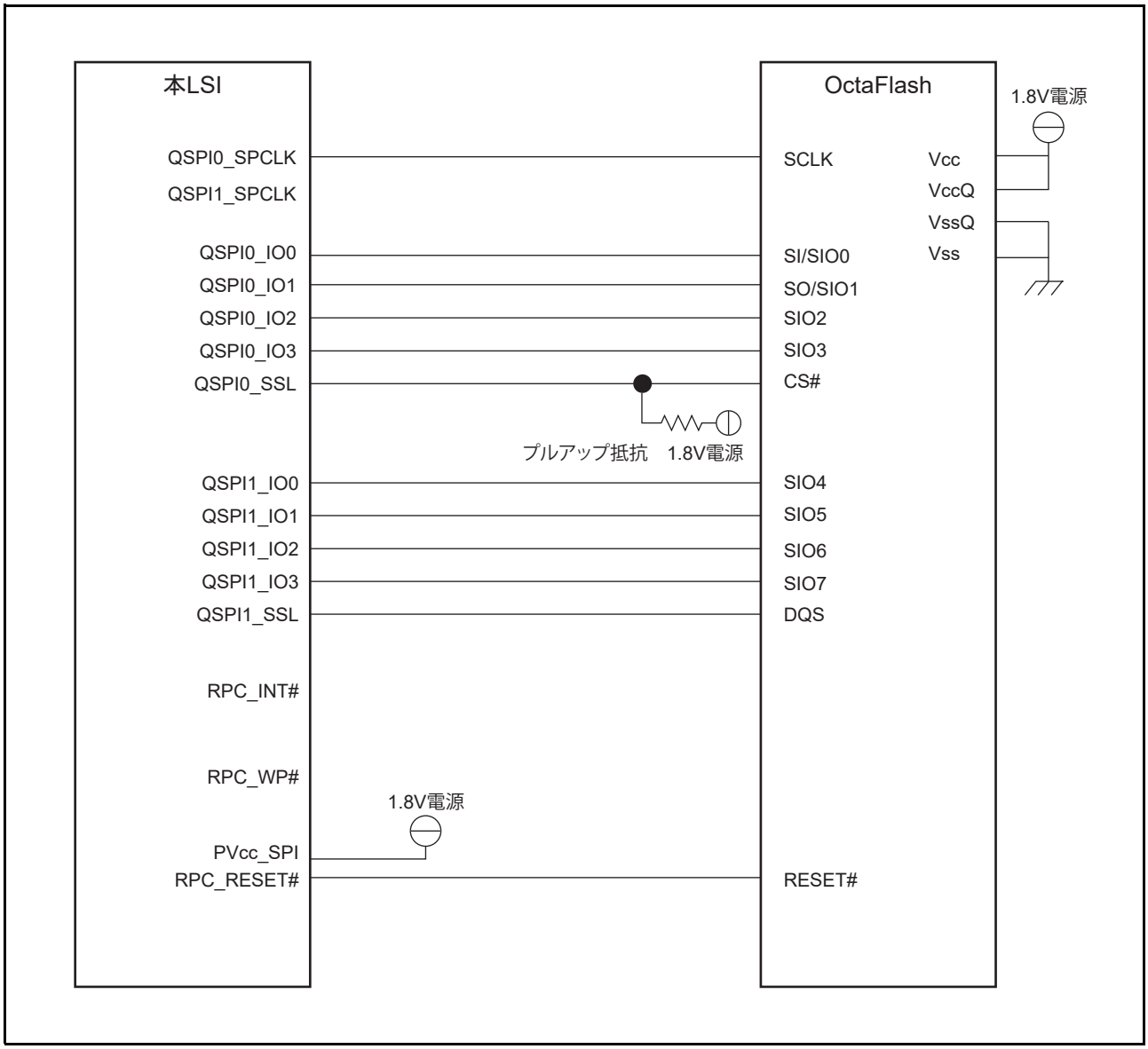


図 20.5　　OctaFlash 接続例

20.5.2　アドレスマップ

外部アドレス空間リードモード時、接続するシリアルフラッシュや HyperFlash、Octal-SPI フラッシュメモリは、SPI マルチ I/O バス空間に割り当てられます。内部アドレス空間は 256M バイトですが、DREAR レジスタでオフセットを指定することにより、シリアルフラッシュ 1 個、Octal-SPI フラッシュメモリ接続時は最大 4G バイトまで、シリアルフラッシュ 2 個、HyperFlash 接続時は最大 8G バイトまでアクセス可能です。HyperFlash 接続時は外部アドレス空間リードモード時にアドレス拡張を行うことはできません。

HyperFlash 接続時に 256MB より大きなアドレスを使用する場合は手動モードを使用してください。

表 20.3　アドレスマップ

内部アドレス	最大アクセス領域
H'20000000～H'2FFFFFFF	シリアルフラッシュ ×1、Octal-SPI フラッシュメモリ ×1：4G バイト シリアルフラッシュ ×2、Hyperflash×1(手動モード時)：8G バイト

注.　アクセス保護を設定することにより、このアドレス空間だけでなくレジスタ領域も保護されています。

20.5.3　シリアルフラッシュ 32 ビットアドレス

SPI マルチ I/O バス空間は 256M バイトであるため、直接アクセスできるのはシリアルフラッシュの 32 ビット アドレス領域の一部となります。32 ビットアドレスの上位ビットはレジスタに設定した固定値 となります。

シリアルフラッシュのアドレスを 32 ビットで出力するためには、DRENR レジスタの ADE[3] ビット＝ 1 に設定し、DREAR レジスタの EAC[2:0] ビットにシリアルフラッシュのアドレスとして使用する外部アドレスの範囲と、DREAR レジスタの EAV[7:0] ビットに 32 ビットアドレスの上位ビットとする固定値を設定します。

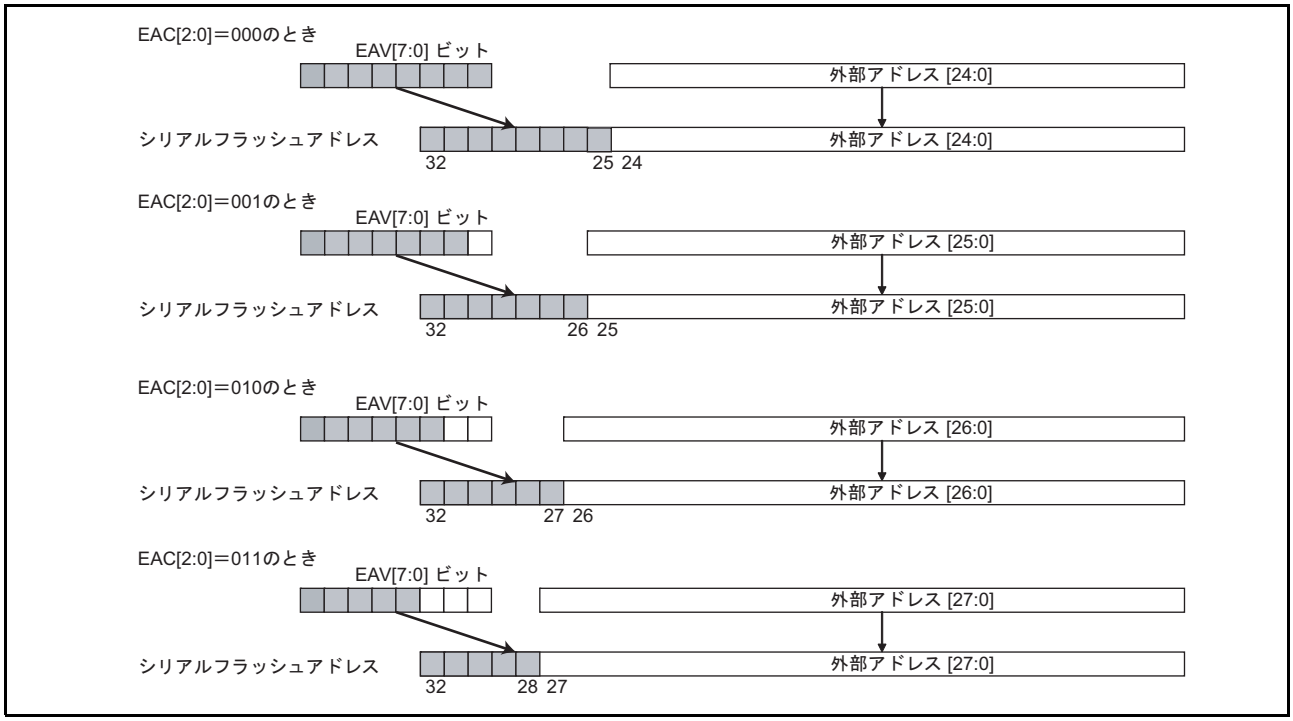


図 20.6　32 ビットアドレス設定

RENR レジスタの ADE[3] ビット＝ 1 とすることで、シリアルフラッシュのアドレスを [31:0] ビットで出力 することが可能となります。

EAC[2:0] ＝ 000 とした場合、外部アドレス [24:0] が有効となります。[32:25] ビットは EAV[7:0] に設定してください。

EAC[2:0] ＝ 001 とした場合、外部アドレス [25:0] が有効となります。[32:26] ビットは EAV[7:1] に設定してください。

EAC[2:0] ＝ 010 とした場合、外部アドレス [26:0] が有効となります。[32:27] ビットは EAV[7:2] に設定してください。

EAC[2:0] ＝ 011 とした場合、外部アドレス [27:0] が有効となります。[32:28] ビットは EAV[7:3] に設定してください。

実際に外部デバイスに使用するアドレスは以下の通りです。

- シリアルフラッシュ 1 個接続および Octal-SPI フラッシュメモリプロトコルのときはアドレス [31:0] を使用します。
- シリアルフラッシュ 2 個接続のときはアドレス [32:1] を使用します。

20.5.4　動作モード

本モジュールは、外部アドレス空間リードモードおよび手動モードの 2 つのモードを持っています。

外部アドレス空間リードモードは、SPI マルチ I/O バス空間へのリードを データリードプロトコルに変換し、データの受信を行います。データ取得後、発行元のバスマスタにデータを返します。詳細については、**「20.5.5　外部アドレス空間リードモード」**を参照してください。

手動モードは、レジスタ設定にて任意の プロトコルを行います。詳細については**「20.5.7　手動モード」**を参照してください。

20.5.5　外部アドレス空間リードモード

外部アドレス空間リードモードにより、SPI マルチ I/O バス空間へのリードをデータリードプロトコルに変換することが できます。また、リード時に発行するコマンド／オプショナルコマンド／オプション データとダミーサイク ルを、レジスタ設定にて変更することができます。

外部アドレス空間リードモードでは、通常リード動作とバーストリード動作の 2 つの動作を選択することができます。転送フォーマットは、共通コントロールレジスタ（CMNCR）、SSL 遅延レジスタ（SSLDR）、データリードコントロールレジスタ（DRCR）、データリードコマンド設定レジスタ（DRCMR）、データリード拡張アドレス設定レジスタ（DREAR）、データリードオプション 設定レジスタ（DROPR）、データリードイネーブル設定レジスタ（DRENR）、データリードダミーサイクル 設定レジスタ（DRDMCR）、データリード DDR イネーブルレジスタ（DRDRENR）により決定されます。

(1)　通常リード動作

DRCR レジスタの RBE ビット＝ "0" に設定することにより、通常リード動作となります。通常リード動作では、バスマスタからリードアクセスすることにより外部デバイスからデータをリードします。
データリード後、QSPIn_SSL 端子はネゲートされます。

シリアルフラッシュの通常リード動作時のタイミング図を**図 20.7** に示します。

t1 は QSPIn_SSL 端子アサートから QSPIn_SPCLK 発振までの期間（クロック遅延）、t2 は転送の最終 QSPIn_CLK エッジを送出してから QSPIn_SSL 端子をネゲートするまでの期間（QSPIn_SSL ネゲート遅延）、t3 は転送終了から次の転送開始までの期間（次アクセス）を意味します。

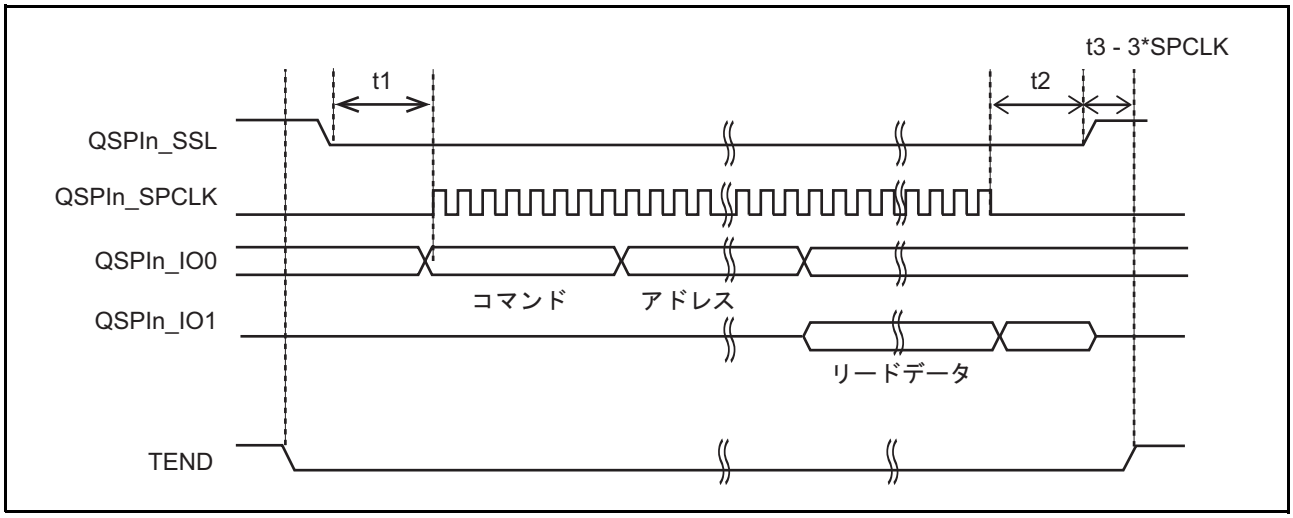


図 20.7　通常リード動作タイミング

注 .　T1 ～ T3 は、それぞれ SSLDR.SCKDL、SSLDR.SLNDL と SSLDR.SPNDL ビットで指定

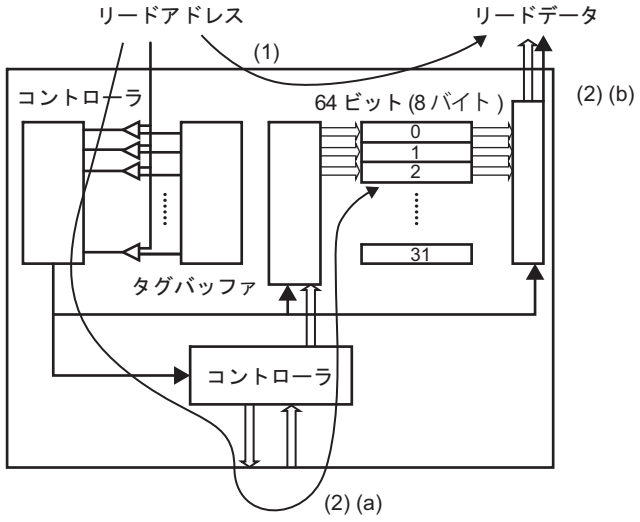
(2)　バーストリード動作

DRCR レジスタの RBE ビット＝ "1" に設定することにより、バーストリード動作となります。バーストリード動作では、リードキャッシュが有効となります。
リードキャッシュの動作については「20.5.6　リードキャッシュ」を参照してください。

バスマスタからのリードアクセスに対し、まずリードキャッシュからデータを参照します。リードキャッシュにデータがある場合は、外部デバイスへはアクセスせず、リードキャッシュからデータを 読み出します。リードキャッシュにデータが無い場合は、外部デバイスへバーストリードし、読み出したデータはリードキャッシュに格納しつつ、バスマスタへデータを返します。
このときのデータ転送長は 64 ビット × RBURST[4:0] ビットであり、必ず 64 ビット境界からリードします。

また、DRCR レジスタの SSLE ビットによりデータ転送後の QSPIn_SSL 端子の状態を選択できます。SSLE ビット＝ 0 であれば、データ転送後必ず QSPIn_SSL 端子をネゲートします。SSLE ビット＝ 1 の動作については、「20.5.5 (3)　バーストリード動作 QSPIn_SSL 自動ネゲート」を参照してください。

本動作の模式図および SSLE ビット＝ "0" 時のバーストリード動作タイミングを図 20.8 と図 20.9 に示します。



(1) リードキャッシュにデータがある場合
　リードキャッシュにデータがある場合、リードキャッシュからデータを読み出します。
　外部デバイスにアクセスは行いません。
(2) リードキャッシュにデータが無い場合
　(a) 外部デバイスからデータを読み出し、リードキャッシュにキャッシュします。
　(b) リードキャッシュからデータを読み出し、バスマスタへ返します。

図 20.8　　バーストリード動作時のリード動作

注.　本LSIをシリアルフラッシュ ×1個に接続する際は、ch0ピンを使用してください。
　　ch1ピンは、この構成では利用できません。

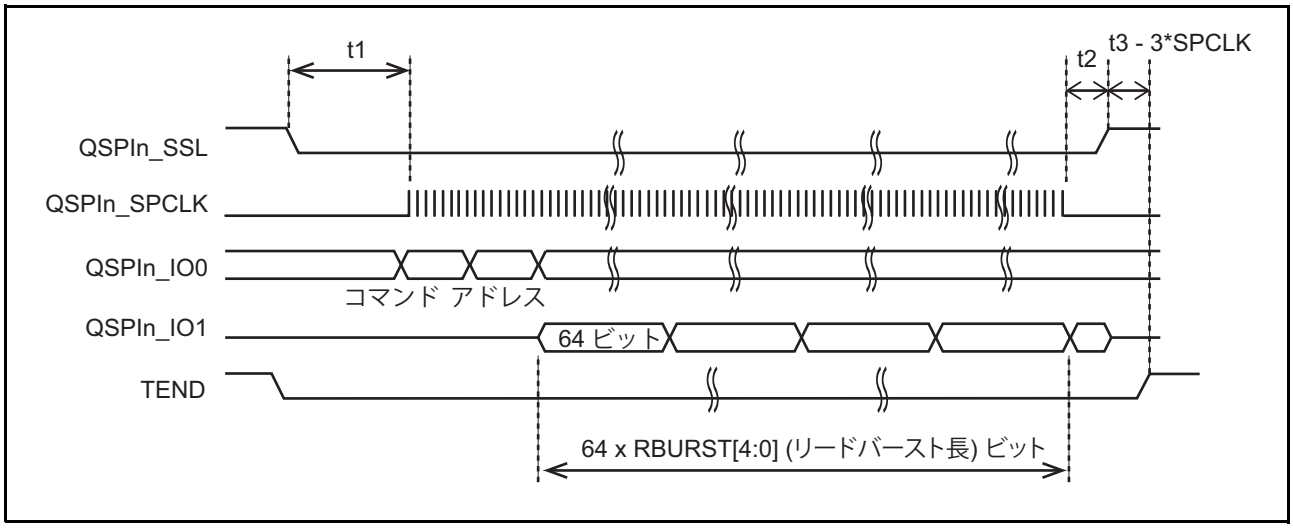


図 20.9 バーストリード動作時のリード動作

注 . T1 ～ T3 は、それぞれ SSLDR.SCKDL、SSLDR.SLNDL と SSLDR.SPNDL ビットで指定

(3) バーストリード動作 QSPIn_SSL 自動ネゲート

本モジュールは、DRCR レジスタの SSLE ビット＝ "1" 設定時バーストリード転送後に QSPIn_SSL 端子をネゲートしません。次回アクセス時、前回リードアドレスに対してアドレスが連続している場合、コマンド／ オプショナルコマンド／アドレス／オプションデータ／ダミーサイクルは発行せずに、バーストリードを行 います。また、アドレスが連続していない場合は QSPIn_SSL 端子を一度ネゲートし、コマンド／オプショナル コマンド／アドレス／オプションデータ／ダミーサイクルを発行後にバーストリードを行います。

連続アドレス時および非連続アドレス時のバーストリードタイミングを図 20.10 と図 20.11 に示します。本動作にて DRCR レジスタの SSLN ビットで QSPIn_SSL をネゲートした後に次のアクセスを行う場合、CMNSR レジスタの SSLF ビット＝ 0 をリードして QSPIn_SSL がネゲートされたことを確認してください。この機能はシリアルフラッシュ接続時にサポートします。

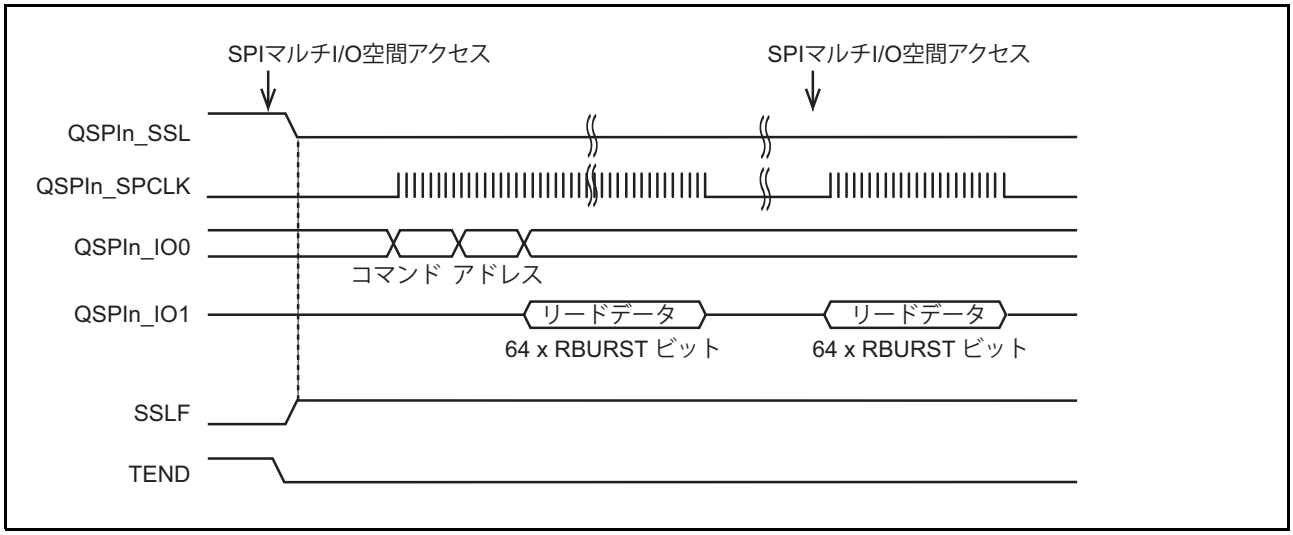


図 20.10　連続アドレスバーストリード動作タイミング（SSLE ビット＝ 1）

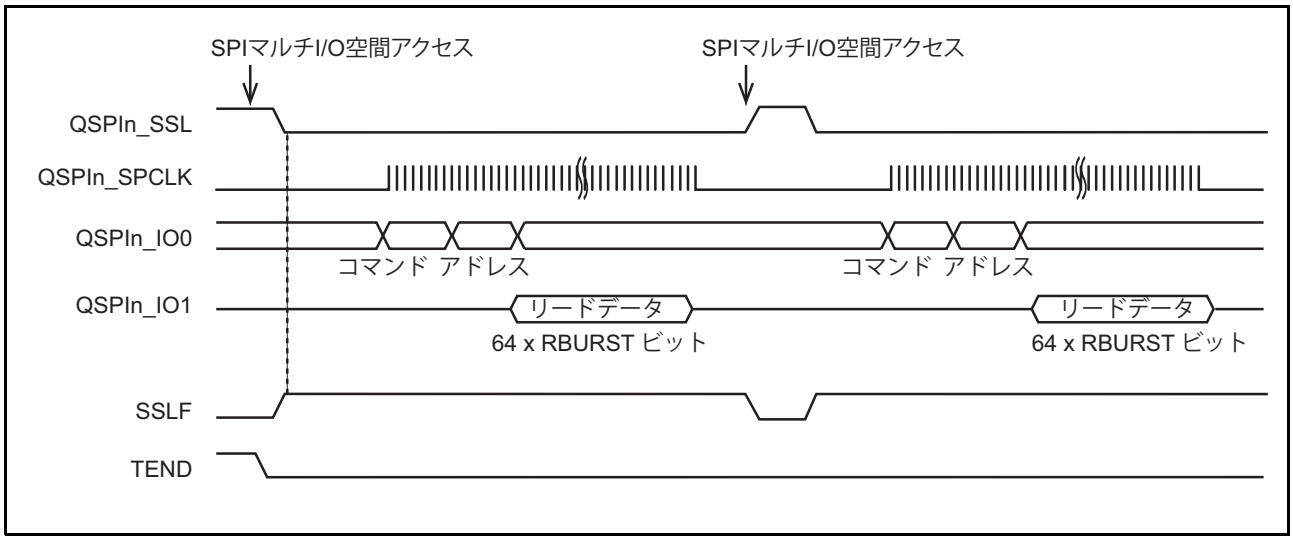


図 20.11　非連続アドレスバーストリード動作タイミング（SSLE ビット＝ 1）

(4) 初期設定フロー

外部アドレス空間リードモード時の初期設定フロー例を図 20.12 に示します。

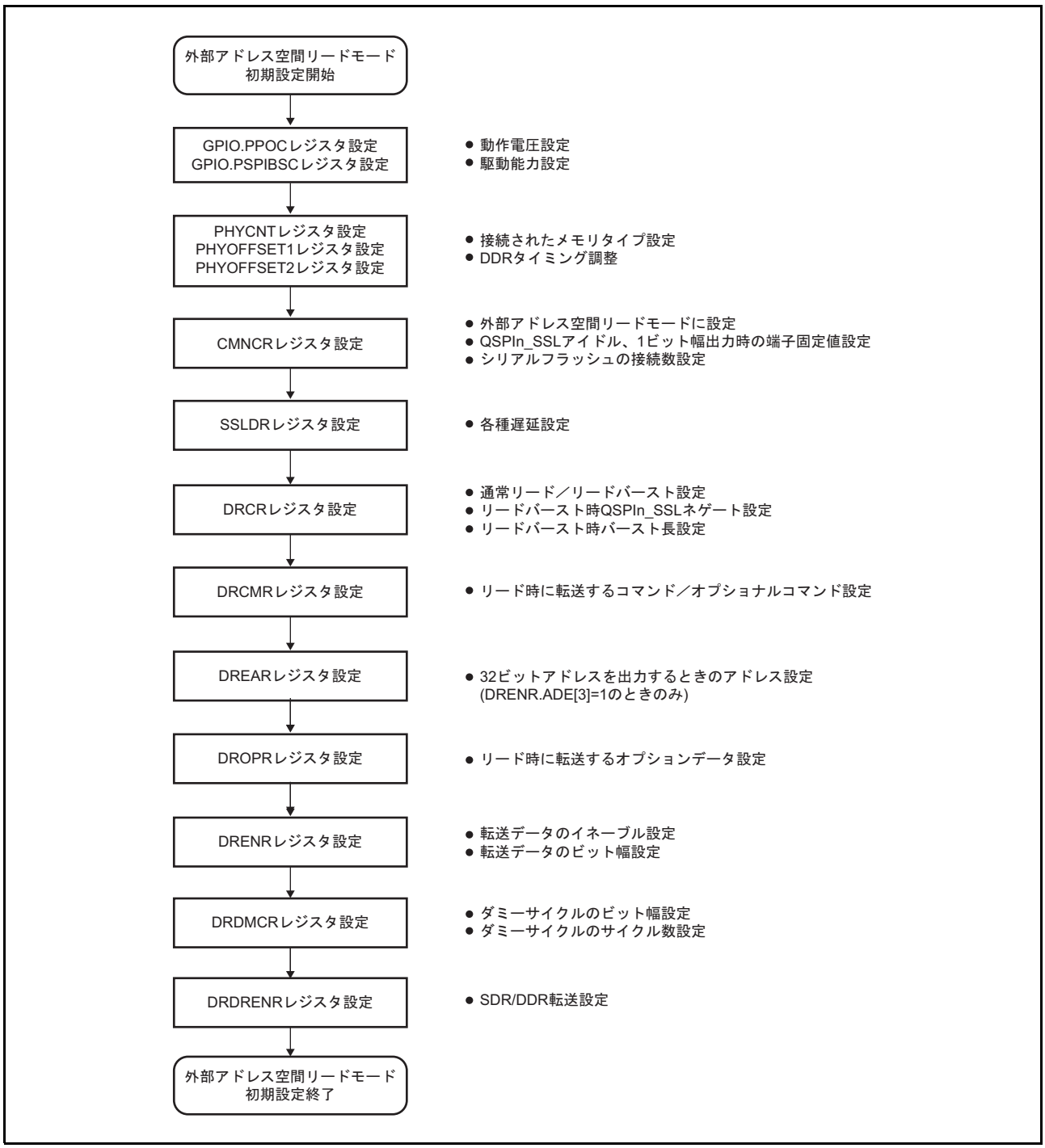


図 20.12　外部アドレス空間リードモード時の初期設定フロー例

20.5.6　リードキャッシュ

本モジュールは、簡易的なリードキャッシュを内蔵しています。外部アドレス空間リードモード、バーストリード動作時リードキャッシュを使用できます。リードキャッシュは、ラインサイズ 64 ビット、32 エン トリで構成されています。

リードキャッシュの構成を図 20.13 に示します。

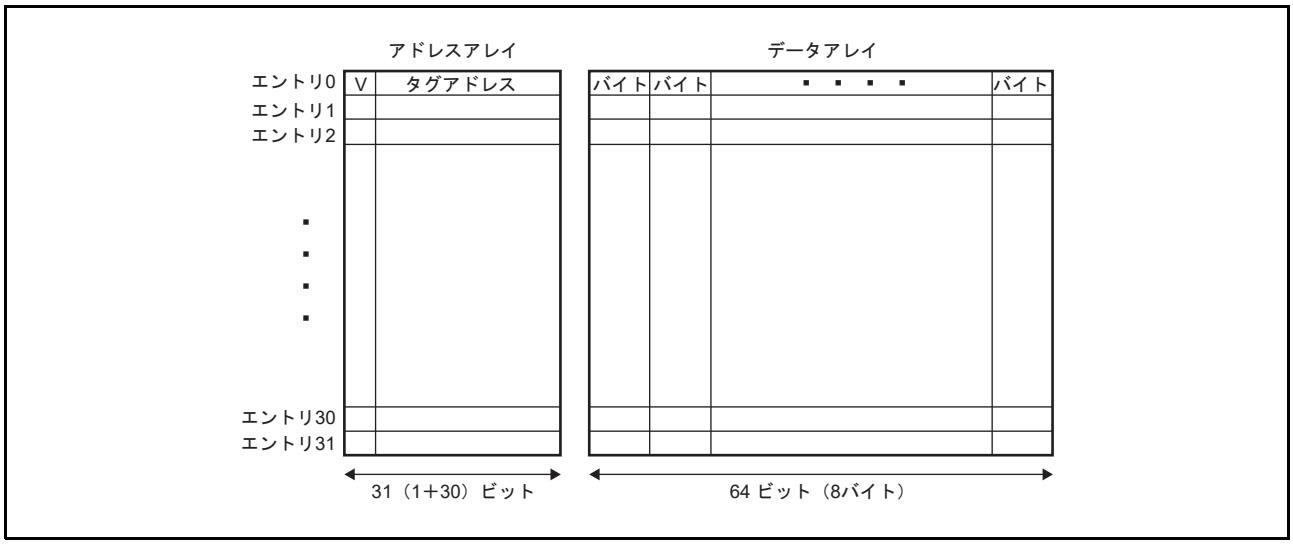


図 20.13　リードキャッシュの構成

(1)　アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

タグアドレスは、シリアルフラッシュに使用されるアドレスを保持します。アドレス 32 ～ 3 ビットからなります。アドレス出力が 24 ビットで、シリアルフラッシュ 1 個接続時はアドレス 23 ～ 3 が有効となり、シリアルフラッシュ 2 個接続時はアドレス 24 ～ 3 が有効となります。

アドレス出力が 32 ビットで、シリアルフラッシュ 1 個接続時はアドレス 31 ～ 3 が有効となり、シリアルフラッシュ 2 個接続時はアドレス 32 ～ 3 が有効となります。

(2)　データアレイ

64 ビットのリードデータを保持します。リードキャッシュへの登録はライン単位で行われます。

(3)　リード動作

リードヒットした場合、リードキャッシュからデータを読み出します。リードミスした場合、64 × RBURST（リードバースト長）分データをシリアルフラッシュから読み出し、リードキャッシュを更新した後、バスマスタに対しデータを返します。

(4)　データ置換

データの更新はライトポインタにより管理されます。リードミス時、ライトポインタが指し示しているエ ントリから RBURST（リードバースト長）分、データを置換します。つまり格納した古い順から置換しま す。データを参照したかどうかは影響しません。

20.5.7　手動モード

本モジュールは、レジスタ設定で任意の シリアル送信動作を行うことができます。

転送フォーマットは、共通コントロールレジスタ（CMNCR）、SSL 遅延レジスタ（SSLDR）、手動モードコントロールレジスタ（SMCR）、手動モードコマンド設定レジスタ（SMCMR）、手動モードアドレス設定レジスタ（SMADR）、手動モードオプション設定レジスタ（SMOPR）、手動モードイネーブル設定レジスタ（SMENR）、手動モードリードデータレジスタ（SMRDR）、手動モードライトデータレジスタ（SMWDR）、手動モードダミーサイクル設定レジスタ（SMDMCR）、手動モード DDR イネーブルレジスタ（SMDRENR）により決定されます。

手動モードは、シリアルフラッシュのステータスリードまたはライト動作等に使用することができます。

このモードでの 1 回の転送とは SMCR レジスタの SPIE ビットを 1 にセットしてから TEND が 1 にセットされるまでを意味します。

(1)　転送の開始

SMCR レジスタの SPIE ビット＝ "1" により、設定した転送フォーマットにて転送を開始します。ライトイネーブル時、手動モードライトデータレジスタがシリアルフラッシュに送信されます。リードイネーブル時、シリアルフラッシュから読み出したデータが、手動モードリードデータレジスタに格納されます。

タイミング図を**図 20.14** に示します。

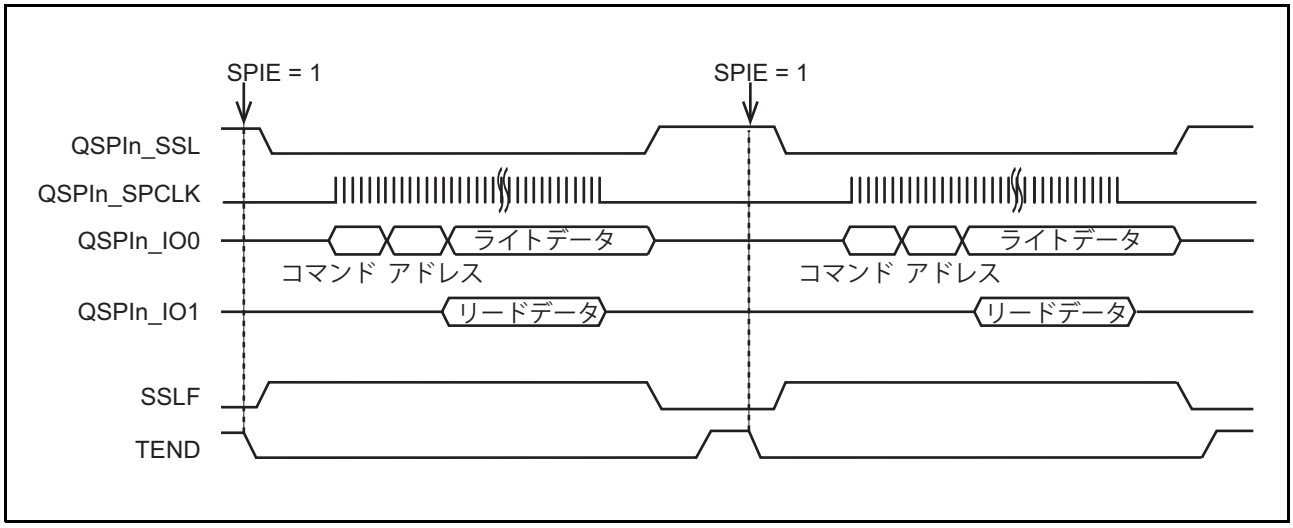


図 20.14　シリアル送信動作タイミング図

(2)　リード／ライトイネーブル

リード動作 : SMCR レジスタの SPIRE ビット＝ "1" に設定することで、データをリードすることができます。リードしたデータは SMRDR レジスタに格納されます。

ライト動作 : SMCR レジスタの SPIWE ビット＝ "1" に設定することで、データをライトすることができます。SMWDR レジスタに格納されたデータが出力されます。

また、SMENR レジスタの SPIDB[1:0] ビットのビット幅を 1 ビットに設定しているときは、SPIRE、SPIWE ビット＝ "1" に設定することで送受信可能となります。ただし、SPIDB[1:0] ビットのビット幅を 4 ビットに設定したときは、SPIRE、SPIWE ビットのどちらか片方を有効にしてください。両方有効に した場合の動作は保証しません。

(3)　QSPIn_SSL 端子アサート保持

SMCR レジスタの SSLKP ビット＝ "1" により、QSPIn_SSL 端子を次の転送までアサートし続けます。本機能により、QSPIn_SSL アサート状態のまま連続的に転送を行うことができます。

SSLKP ビットを利用した転送タイミングを図 20.15 に示します。

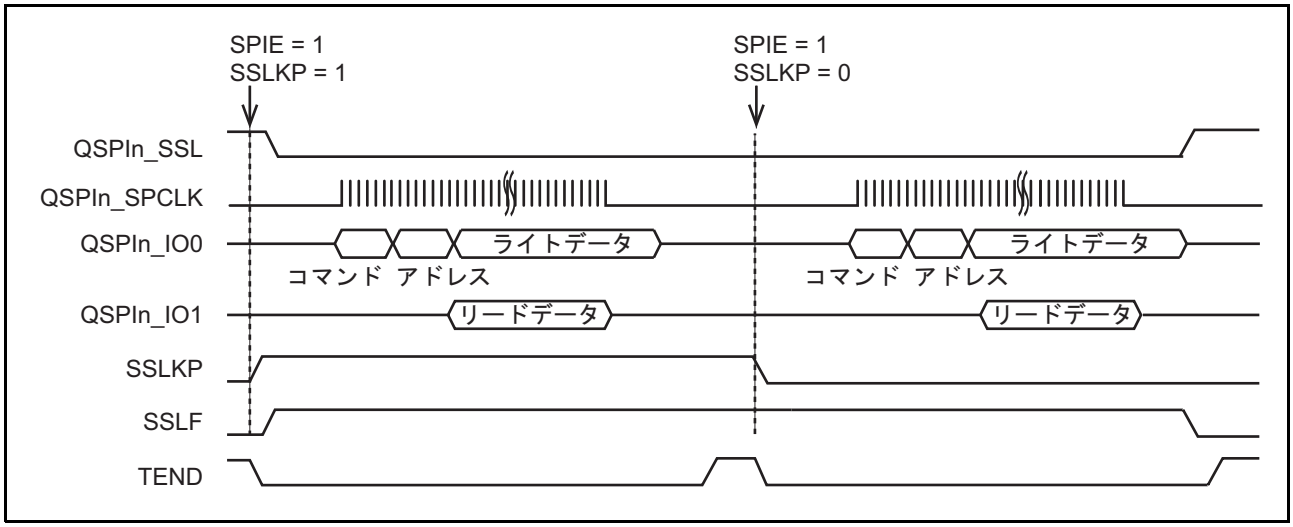


図 20.15　SSLKP ビットを利用した転送タイミング図

(4)　初期設定フロー

手動モード時の初期設定フロー例を図 20.16 に示します。

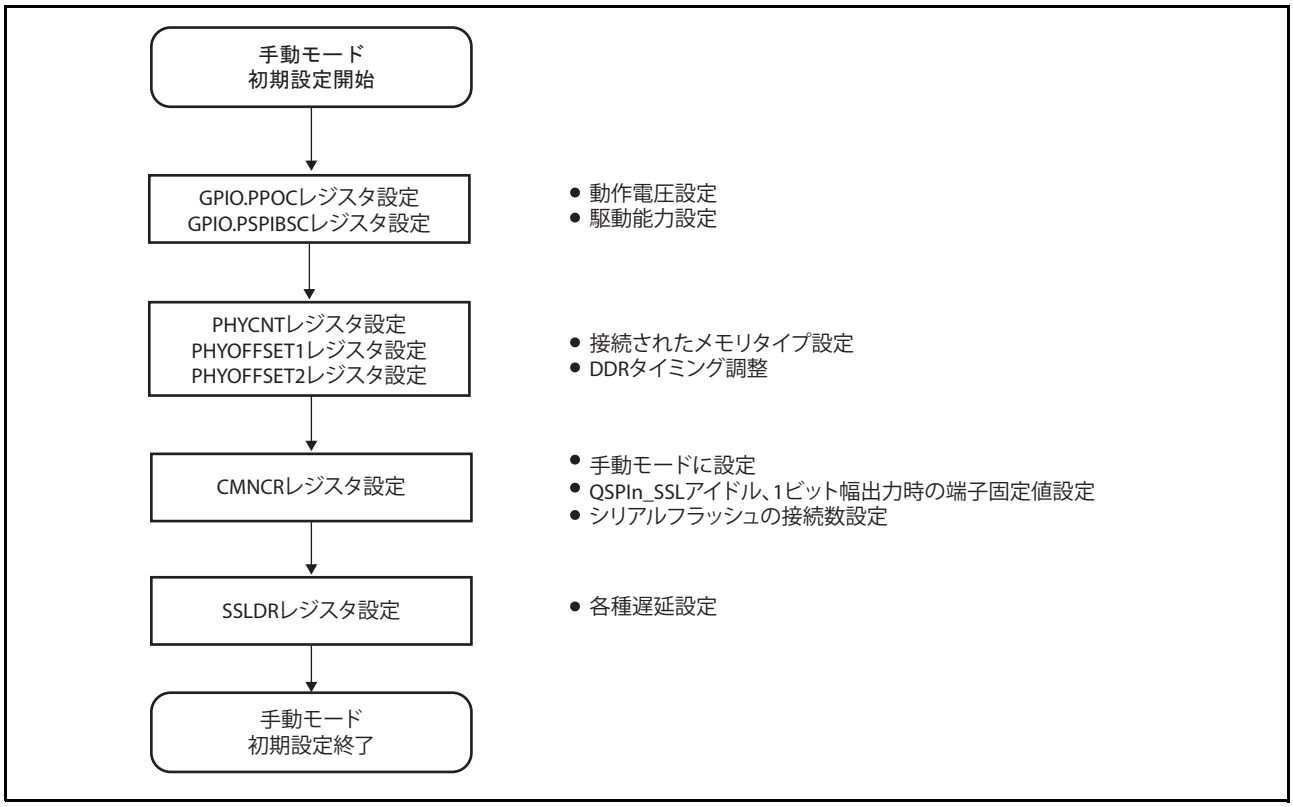


図 20.16　手動モード時の初期設定フロー例

(5)　データ転送設定フロー

手動モード時のデータ転送設定フロー例を図 20.17 に示します。

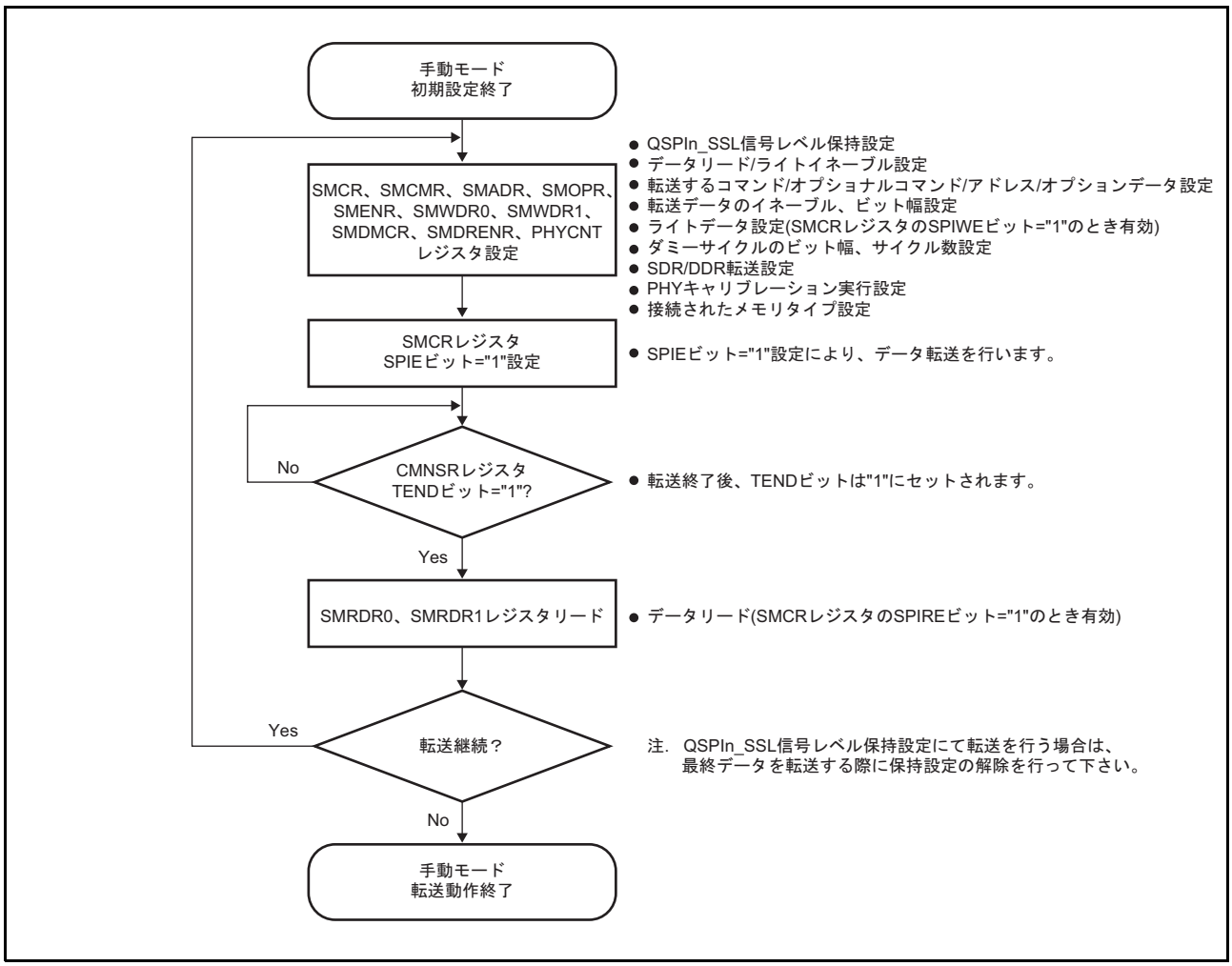


図 20.17　　手動モード時のデータ転送設定フロー例

20.5.8　コマンドシーケンス

本モジュールは、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクル、データの順番でデータ入出力を行います。

(1)　データレジスタ

入出力されるデータを**表 20.4** に示します。

表20.4　データレジスタ

データ		外部アドレス空間リードモード	手動モード
コマンド（8ビット）		DRCMR.CMD[7:0] ビット	SMCMR.CMD[7:0] ビット
オプショナルコマンド（8 ビット）		DRCMR.OCMD[7:0] ビット	SMCMR.OCMD[7:0] ビット
アドレス（32 ビット／24 ビット）	BSZ[1:0] ＝ 00（1 個接続）	32 ビット時：DREAR.EAV[6:3 ～ 0] ビット＋リードした下位アドレス [27 ～ 24:0] ビット 24 ビット時：リードした下位アドレス [23:0] ビット	32 ビット時：SMADR.ADR[31:0] ビット 24 ビット時：SMADR.ADR[23:0] ビット
	BSZ[1:0] ＝ 01（2 個接続）	32 ビット時：DREAR.EAV[7:3 ～ 0] ビット＋リードした下位アドレス [27 ～ 24:1] ビット 24 ビット時：リードした下位アドレス [24:1] ビット	
オプションデータ（8 ビット ×4）		DROPR レジスタ	SMOPR レジスタ
ダミーサイクル（2～ 20 サイクル）		DRDMCR レジスタ	SMDMCR レジスタ（リード時のみ）
転送データ		通常リード：8/16/32 ビット バーストリード：64 × RBURST ビット	リード：SMRDR0、1 レジスタ ライト：SMWDR0、1 レジスタ

表20.5　データレジスタ (HyperFlash)

データ	外部アドレス空間リードモード	手動モード
CA0(47-40)	DRCMR.CMD[7:5]+ リードしたアドレス [31:27]	SMCMR.CMD[7:5] + SMADR.ADR[31:27]
CA0(39-32)	リードしたアドレス [26:19]	SMADR.ADR[26:19]
CA1(31-24)	リードしたアドレス [18:11]	SMADR.ADR[18:11]
CA1(23-16)	リードしたアドレス [10:3]	SMADR.ADR[10:3]
CA2(15-8)	DROPR レジスタ [15:8]	SMOPR レジスタ [15:8]
CA2(7-0)	DROPR レジスタ [7:3]+ リードしたアドレス [2:0]	SMOPR レジスタ [7:3] + SMADR.ADR[2:0]
ダミーサイクル（2～20サイクル）	DRDMCR レジスタ	SMDMCR レジスタ
転送データ	通常リード：8/16/32 ビット バーストリード：64 × RBURST ビット	リード：SMRDR0、1 レジスタ ライト：SMWDR0、1 レジスタ

(2)　データイネーブル

外部アドレス空間リードモード時、DRENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME ビットにより、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクルの転送イネーブル／ディスエーブルを制御することが可能です。ダミーサイクルのサイクル数はデータリードモードダミーサイクルレジスタ（DRDMCR）にて制御することが可能です。

同様に 手動モード時、SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME、SPIDE[3:0] ビットにより、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクル、転送データのイネーブル／ディスエーブルを制御することが可能です。ただし、手動モード時、すべてを ディスエーブルにすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。ダミーサイクルのサイクル数は手動モードダミーサイクルレジスタ（SMDMCR）にて制御することが可能です。

また、外部アドレス空間リードモード時のアドレス／オプションデータ、手動モード時のアドレス／オプションデータ／転送データは、転送データ長により設定可能なイネーブルビットが決まっています。設定可能なイネーブルビットの組み合わせについては、各レジスタの説明を参照してください。

ディスエーブルにした場合、そのデータは飛ばされ、次のデータの入出力を行います。コマンド、オプショナルコマンド、アドレス、オプションデータは常に出力です。ダミーサイクル中は使用している端子を Hi-Z にします。データは外部アドレス空間リードモード時は常に入力、手動モード時は、SMCR レジスタの SPIRE、SPIWE ビット設定により入出力を決定します。

ダミーサイクルの挿入には制限があります。詳細は DRENR レジスタと SMENR レジスタの DME ビットを参照してください。

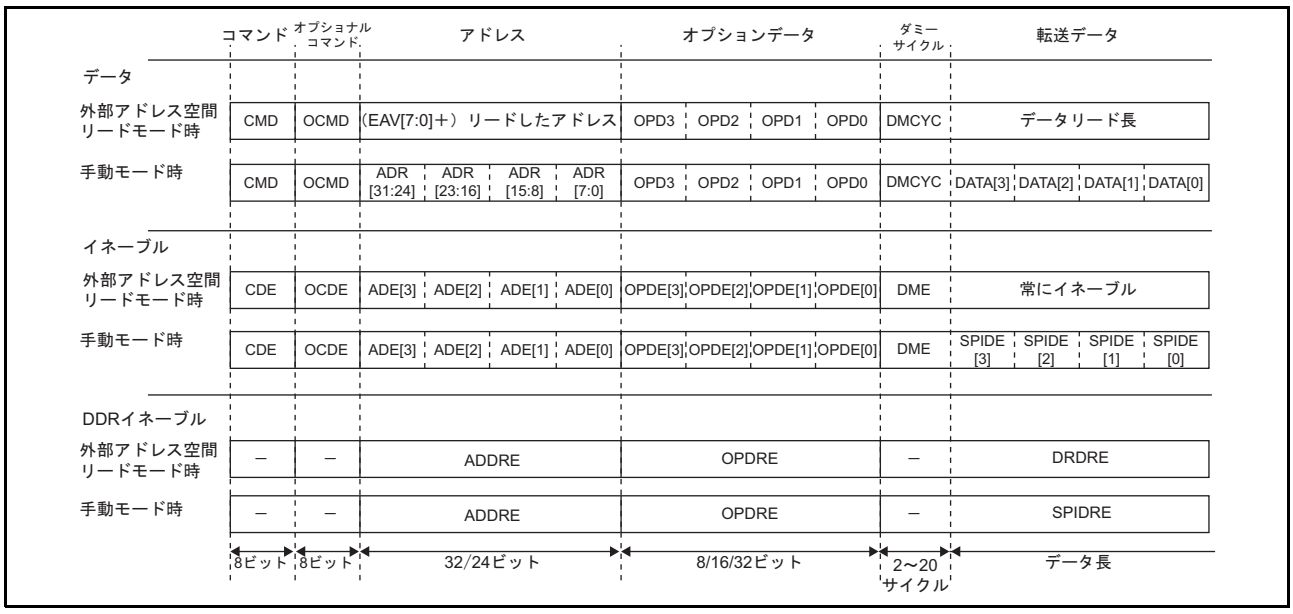


図 20.18　データとイネーブルの関係 (シリアルフラッシュ)

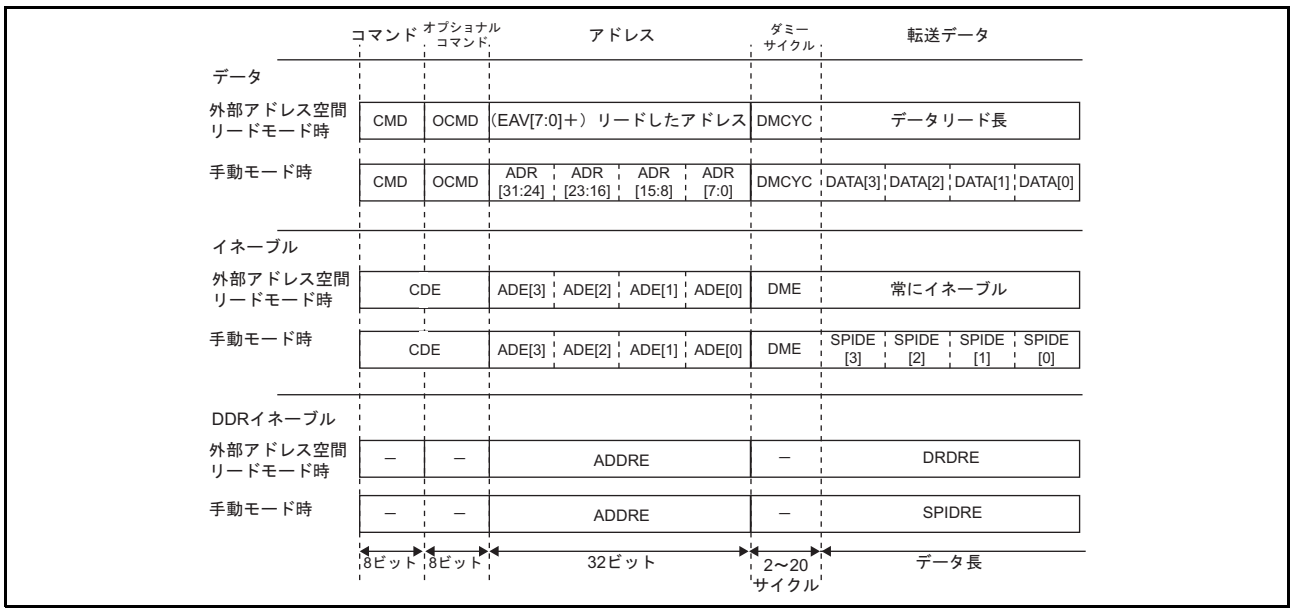


図 20.19　データとイネーブルの関係 (Octal-SPI フラッシュメモリプロトコルモード)

本 LSI に HyperFlash 接続時、外部アドレス空間リードモードでは、DRENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME と DRDRENR レジスタの HYPE[2:0]、ADDRE、OPDRE を有効に設定し、手動モードでは、SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME と SMDRENR レジスタの HYPE[2:0]、ADDRE、OPDRE、DRDRE を有効に設定してください。

表20.6　イネーブルレジスタ (HyperFlash)

外部アドレス空間リードモード			手動モード		
レジスタ	ビット	設定値	レジスタ	ビット	設定値
DRENR	CDE	1	SMENR	CDE	1
	OCDE	1		OCDE	1
	ADE[3:0]	0100		ADE[3:0]	0100
	OPDE[3:0]	0000		OPDE[3:0]	0000
	DME	1		DME	Read: 1 Write: 0
				SPIDE[3:0]	
				16bit	1000
				32bit	1100
				64bit	1111
DRDRENR	HYPE[2:0]	101	SMDRENR	HYPE[2:0]	101
	ADDRE	1		ADDRE	1
	OPDRE	0		OPDRE	0
	DRDRE	1		SPIDRE	1

表20.7　イネーブルレジスタ (Octal-SPI フラッシュメモリプロトコルモード)

外部アドレス空間リードモード			手動モード		
レジスタ	ビット	設定値	レジスタ	ビット	設定値
DRENR	CDE	1	SMENR	CDE	1
	OCDE	0		OCDE	0
	ADE[3:0]	1100		ADE[3:0]	1100
	OPDE[3:0]	0000		OPDE[3:0]	0000
	DME	1		DME	Read: 1 Write: 0
SMENR	CDE	0		SPIDE[3:0]	
				16bit	1000
				32bit	1100
				64bit	1111
DRDRENR	HYPE[2:0]	100, 101	SMDRENR	HYPE[2:0]	100, 101
	ADDRE	1		ADDRE	1
	OPDRE	0		OPDRE	0
	DRDRE	1		SPIDRE	1

注.　コマンドのみの転送を行う場合は、DRDRENR.HYPE または SMDRENR.HYPE に "100" を設定してください。

(3)　ビット幅

外部アドレス空間リードモード時、DRENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、DRDB[1:0] ビットによりコマンド／オプショナルコマンド／アドレス／オプションデータ／リードデータのビット幅をそれぞれ制御することが可能です。

同様に手動モード時、SMENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、SPIDB[1:0] ビットによりコマンド／オプショナルコマンド／アドレス／オプションデータ／リードライトデータのビット幅を制御することが可能です。

(a)　1 ビット幅

ビット幅を 1 ビットに設定した場合、QSPI0_IO1、QSPI1_IO1 端子は入力、QSPI0_IO0、QSPI1_IO0 端子は出力と なります。QSPI0_IO2、QSPI1_IO2、QSPI0_IO3、QSPI1_IO3 端子は使用しません。

転送フォーマット例を**図 20.20** と**図 20.21** に示します。

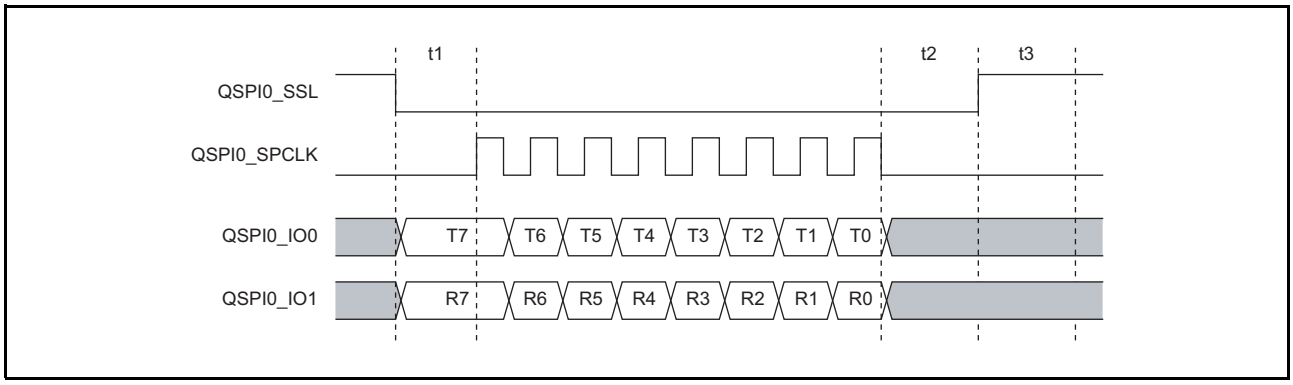


図 20.20　　1 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

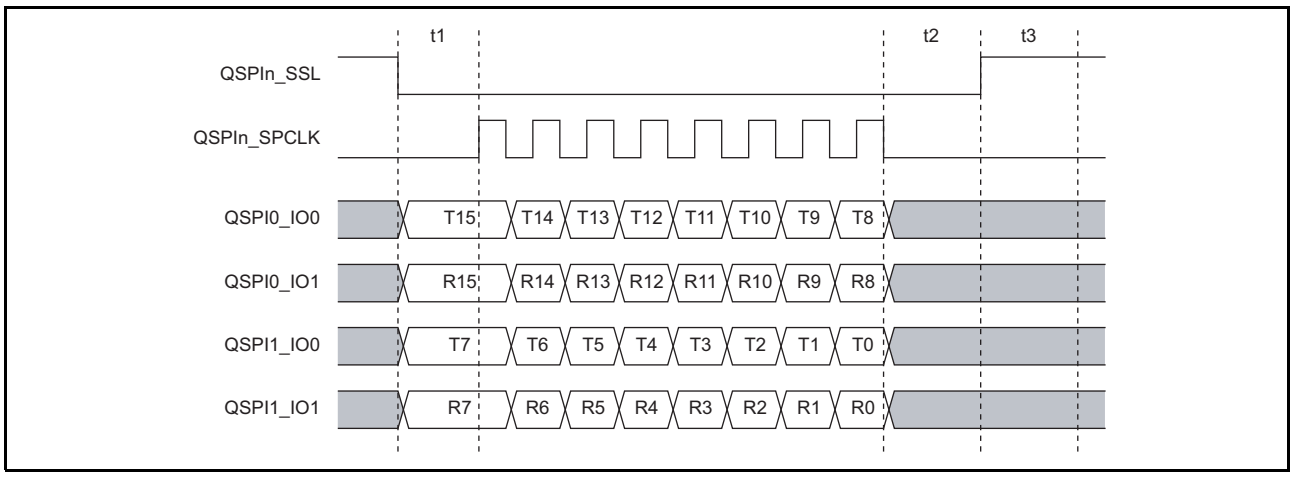


図 20.21　　1 ビット幅、シリアルフラッシュ 2 個接続転送フォーマット例

(b)　4 ビット幅 (シリアルフラッシュ)

ビット幅を 4 ビットに設定した場合、QSPI0_IO0、QSPI1_IO0、QSPI0_IO1、QSPI1_IO1、QSPI0_IO2、QSPI1_IO2、QSPI0_IO3、QSPI1_IO3 端子は入力もしくは出力のどちらかになります。転送フォーマット例を図 20.22 と図 20.23 に示します。

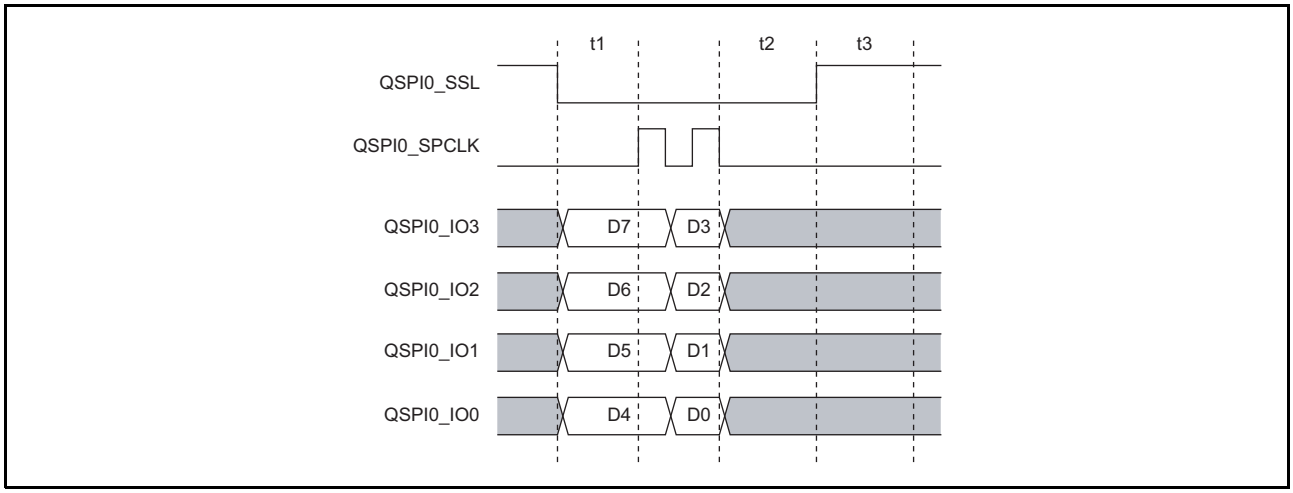


図 20.22　　4 ビット幅、シリアルフラッシュ 1 個転送フォーマット例

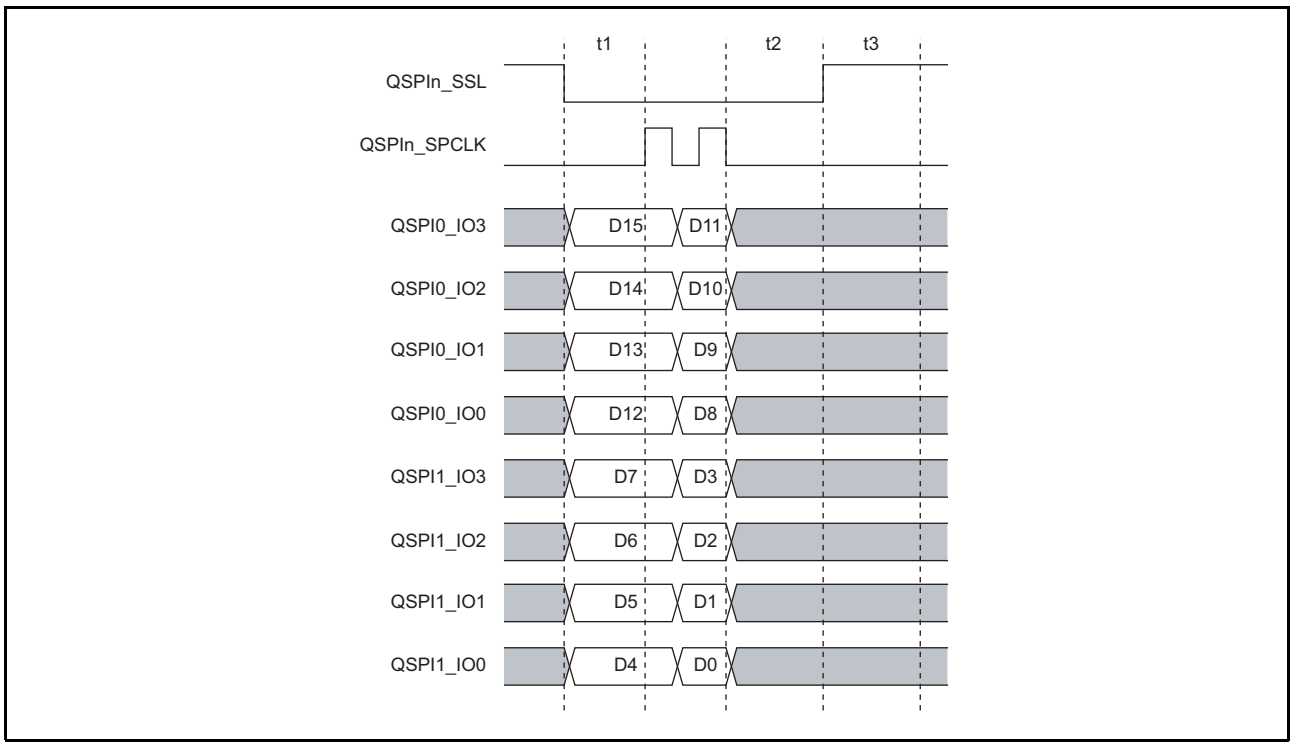


図 20.23　　4 ビット幅、シリアルフラッシュ 2 個転送フォーマット例

(c)　8 ビット幅 (HyperFlash)

本 LSI に HyperFlash 接続時、QSPI0_SPCLK と QSPI1_SPCLK は差動クロック、QSPI1_SSL は RDS (リードデータストローブ) のための入力端子、QSPI0_IO0、QSPI1_IO0、QSPI0_IO1、QSPI1_IO1、QSPI0_IO2、QSPI1_IO2、QSPI0_IO3、QSPI1_IO3 端子は入力もしくは出力のどちらかになります。転送フォーマット例を**図 20.24** と**図 20.25** に示します。

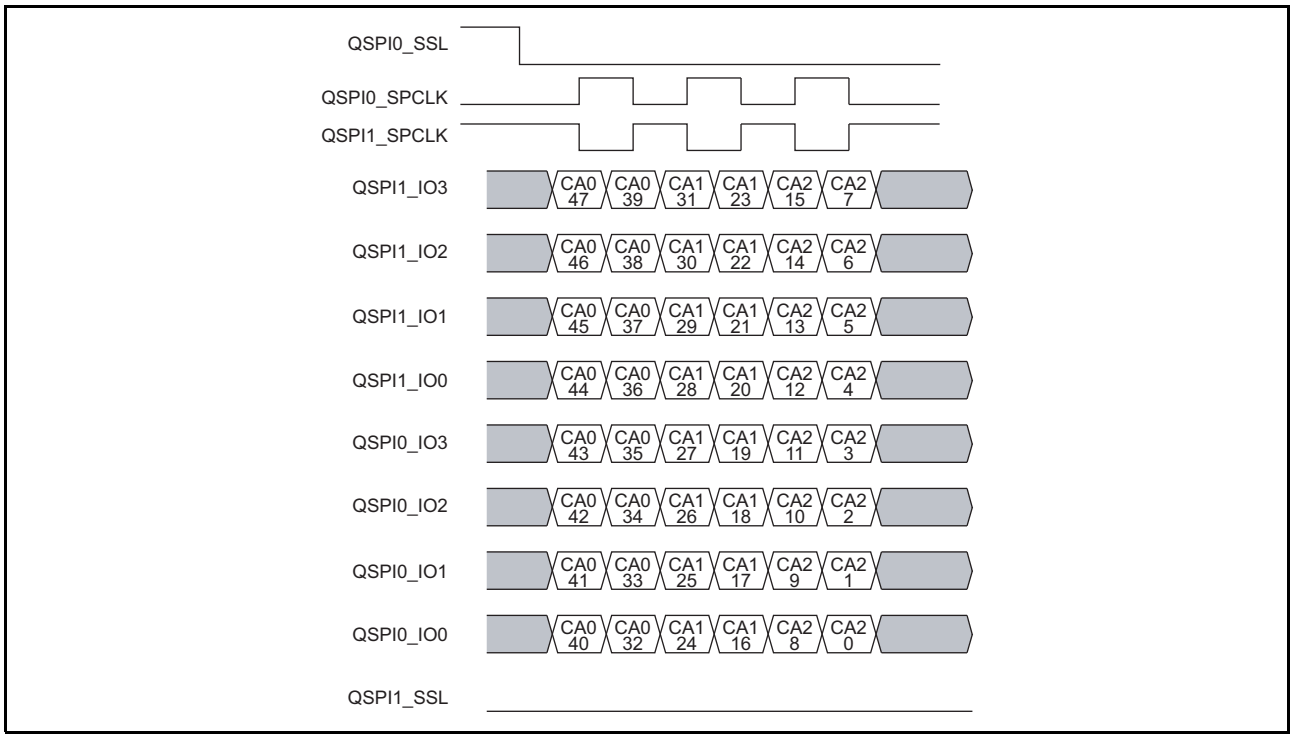


図 20.24　HyperFlash のコマンド／アドレスフェーズ転送フォーマット例

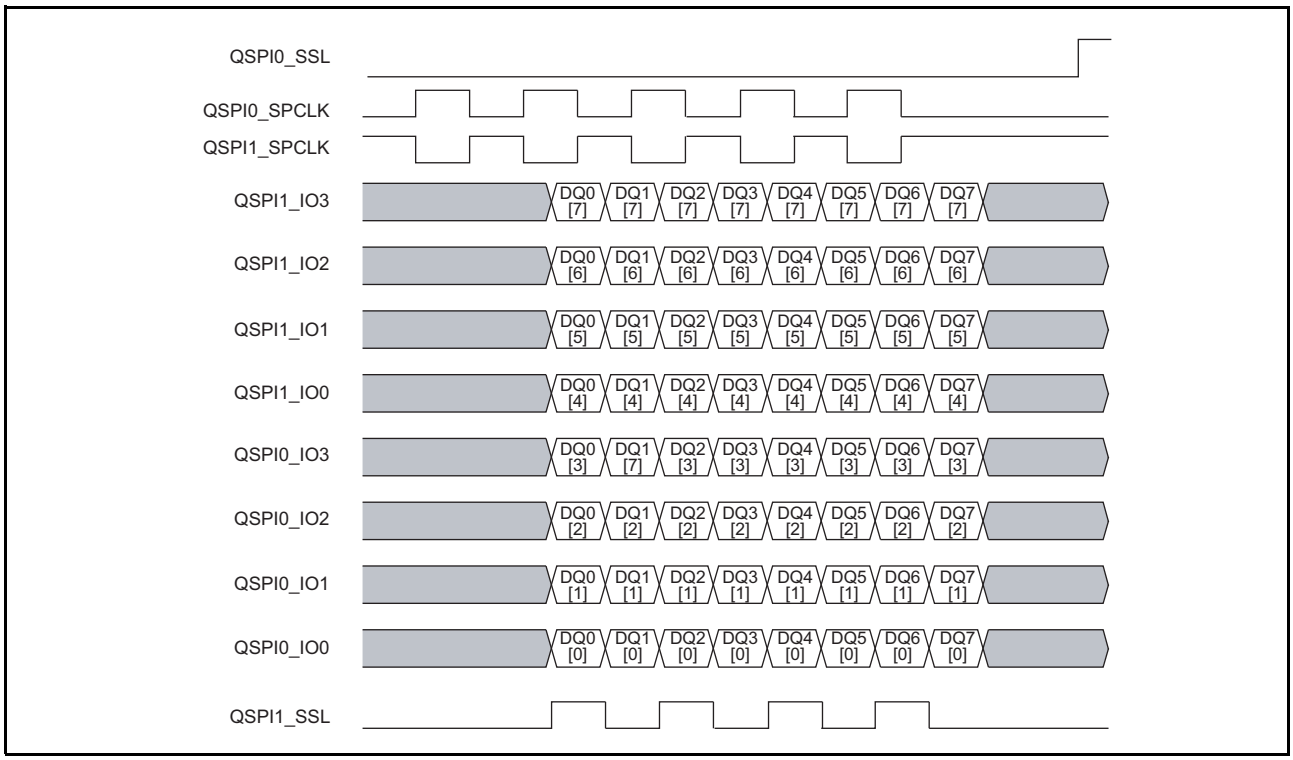


図 20.25　HyperFlash のリードフェーズ転送フォーマット例

20.5.9 データ端子制御

本モジュールは、使用するデータ幅・リード・ライト設定により端子状態を自動的に切り替えます。また、QSPIn_SSL ネゲートの端子状態は CMNCR レジスタの MOIIO3、MOIIO2、MOIIO1、MOIIO0 ビットにより設定可能です。

QSPIn_SSL, QSPIn_SPCLK 端子は常に出力です。それぞれの端子状態を**表 20.8 ～表 20.11** に示します。

シリアルフラッシュ ×1 個接続時の ch1 端子とシリアルフラッシュとの接続構成は禁止されますので、ご注意ください。

表20.8　端子状態（1）

端子	QSPIn_SSL ネゲート	QSPIn_SSL アサート	
		コマンド、オプショナルコマンド、アドレス、オプションデータ	
		1 ビット幅	4 ビット幅
QSPI0_IO0、QSPI1_IO0	MOIIO0 ビット設定値	出力	出力
QSPI0_IO1、QSPI1_IO1	MOIIO1 ビット設定値	Hi-Z	出力
QSPI0_IO2、QSPI1_IO2	MOIIO2 ビット設定値	IO2FV ビット設定値	出力
QSPI0_IO3、QSPI1_IO3	MOIIO3 ビット設定値	IO3FV ビット設定値	出力

表20.9　端子状態（2）

端子	転送データ			
	外部アドレス空間リードモード		SPI 動作	
	1 ビット幅	4 ビット幅	SPIRE ビット＝ 1、SPIWE ビット＝ 0	
			1 ビット幅	4 ビット幅
QSPI0_IO0、QSPI1_IO0	IO0FV ビット設定値	入力	IO0FV ビット設定値	入力
QSPI0_IO1、QSPI1_IO1	入力	入力	入力	入力
QSPI0_IO2、QSPI1_IO2	Hi-Z	入力	Hi-Z	入力
QSPI0_IO3、QSPI1_IO3	Hi-Z	入力	Hi-Z	入力

表20.10　端子状態（3）

端子	転送データ			
	SPI 動作			
	SPIRE ビット＝ 0、SPIWE ビット＝ 1		SPIRE ビット＝ 1、SPIWE ビット＝ 1	
	1 ビット幅	4 ビット幅	1 ビット幅	4 ビット幅
QSPI0_IO0、QSPI1_IO0	出力	出力	出力	設定禁止
QSPI0_IO1、QSPI1_IO1	Hi-Z	出力	入力	設定禁止
QSPI0_IO2、QSPI1_IO2	IO2FV ビット設定値	出力	IO2FV ビット 設定値	設定禁止
QSPI0_IO3、QSPI1_IO3	IO3FV ビット 設定値	出力	IO3FV ビット 設定値	設定禁止

表20.11　端子状態（4）

端子	ダミーサイクル
QSPI0_IO0、QSPI1_IO0	IO0FV ビット設定値
QSPI0_IO1、QSPI1_IO1	Hi-Z
QSPI0_IO2、QSPI1_IO2	Hi-Z
QSPI0_IO3、QSPI1_IO3	Hi-Z

20.5.10　QSPIn_SSL 端子制御

QSPIn_SSL 端子のネゲート条件を下記に示します。

(1)　外部アドレス空間リードモード

(a)　通常リード動作（DRCR レジスタの RBE ビット＝ "0"）

データ転送完了し、t2 サイクル後にネゲート

(b)　バーストリード QSPIn_SSL 自動ネゲートなし
（DRCR レジスタの RBE ビット＝ "1"、DRCR レジスタの SSLE ビット＝ "0"）

データ転送完了し、t2 サイクル後にネゲート

(c)　バーストリード QSPIn_SSL 自動ネゲート
（DRCR レジスタの RBE ビット＝ "1"、DRCR レジスタの SSLE ビット＝ "1"）

- リードアドレスが前回リードしたアドレスに対し非連続のとき、t2 サイクル後にネゲート
- DRCR レジスタの SSLN ビット＝ "1" 設定後にネゲート

(2)　手動モード

(a)　QSPIn_SSL 端子アサート保持なし（SMCR レジスタの SSLKP ビット＝ "0"）

データ転送完了し、t2 サイクル後にネゲート

(b)　QSPIn_SSL 端子アサート保持あり（SMCR レジスタの SSLKP ビット＝ "1"）

ネゲートしません。
ネゲートする場合は、SSLKP ビット＝ "0" 設定後にデータの転送を行ってください。
HyperFlash、Octal-SPI フラッシュメモリプロトコルモード接続時、QSPIn_SSL はデータストローブのために入力端子として使用されることにご注意ください。

20.5.11　QSPIn_SPCLK 端子制御

QSPI0_SPCLK と QSPI1_SPCLK は次の設定に従い、出力されます。

表 20.12　QSPIn_SPCLK 出力

端子	HyperFlash (CMNCR.BSZ=01, PHYCNT.PHYMEM=11)	シリアルフラッシュ ×1 個 (CMNCR.BSZ=00, PHYCNT.PHYMEM=00,01	シリアルフラッシュ ×2 個 (CMNCR.BSZ=01, PHYCNT.PHYMEM=00,01
QSPI0_SPCLK	出力	出力	出力
QSPI1_SPCLK	QSPI0_SPCLK との差動出力	Hi-Z	出力

20.5.12　フラグ

本モジュールは、CMNSR レジスタに SSLF、TEND ビットの 2 つのビットを持っています。
これらのビッ トは読み出しのみ可能です。

(1)　SSLF ビット

QSPIn_SSL の端子状態を示します。QSPIn_SSL をアサートしているときは "1"、ネゲートしているときは "0" が読 み出されます。

(2)　TEND ビット

データ転送中／終了を示します。
t1 期間、データ転送、t2 期間、t3 期間のとき、およびバーストリード QSPIn_SSL 自動ネゲートでの リードアクセス待ちのとき、データ転送中であることを示し TEND ビット＝ "0" が読み出されます。
上記以外のとき、データ転送終了を示し TEND ビット＝ "1" が読み出されます。

(3)　レジスタ書き換え

TEND ビットの状態により、レジスタ書き換えタイミングを決定します。
DRCR レジスタ SSLN ビット以外のライトアクセス可能なすべてのレジスタは TEND ＝ "1" の時に書き換えてください。
また、SMRDR0、SMRDR1 レジスタは TEND ＝ "1" のときにリードしてください。
CMNSR レジスタは常にリード可能です。

20.5.13　ライトバッファ動作

このモジュールはライト動作時のライトバッファとしてリードキャッシュを使用します。
このライトバッファはパフォーマンスを向上させます。

表 20.13　ライトバッファ空間

アドレス	アクセスサイズ
H'1F80_8000 ～ H'1F80_80FF	4, 8, 16, 32, 64 バイト

注.　この空間へは転送サイズ 8 バイトでデバイスの開始アドレスから順にアクセスしてください。
非連続的もしくはランダムにアクセスした場合、動作は保証されません。
手動モードで動作させた後、またはキャッシュ領域をライトバッファとして使用した場合、このキャッシュ領域は 1 を RCF ビットに書き込むことによってクリアする必要があります。

図 20.26 は、書き込みバッファを使用するためのシーケンスを示しています。手動モードの初期設定について、図 20.16 をご参照ください。

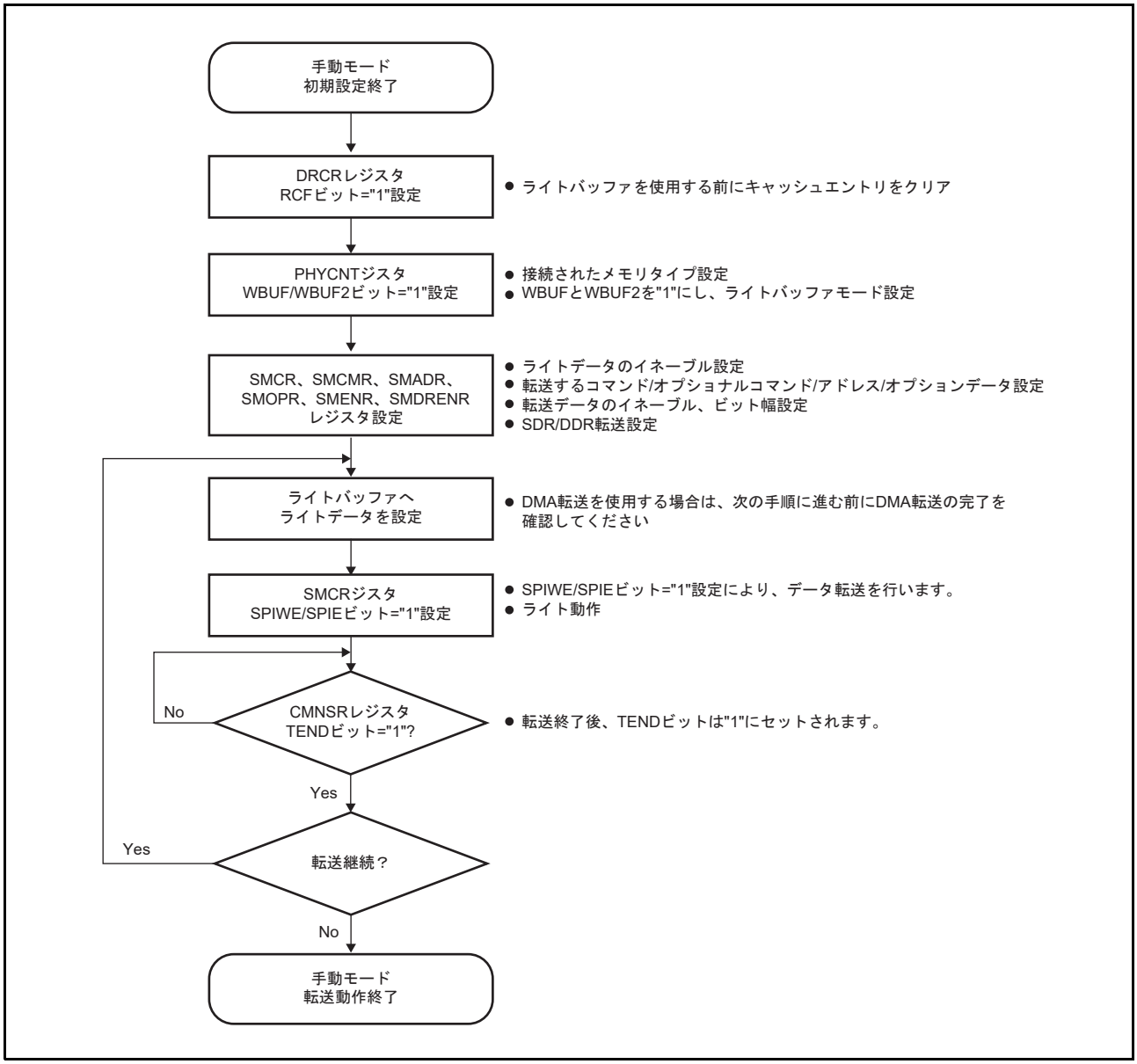


図 20.26　ライトバッファ使用手順

20.5.14　Octal-SPI フラッシュメモリプロトコルモードでのデータアライメント

本 LSI を Octal-SPI フラッシュメモリプロトコルモードで接続する場合、このコントローラは 2 つのデータアライメントタイプをサポートします。図 20.27、図 20.28 はそれぞれ順序および代替アライメントを示しています。

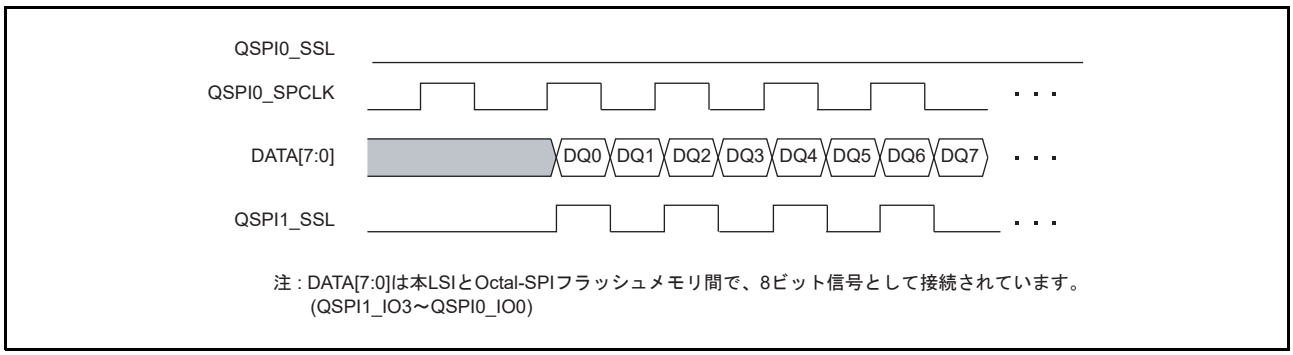


図 20.27　Octal-SPI フラッシュメモリプロトコルモード順序アライメント (PHYCNT.OCTA = 10)

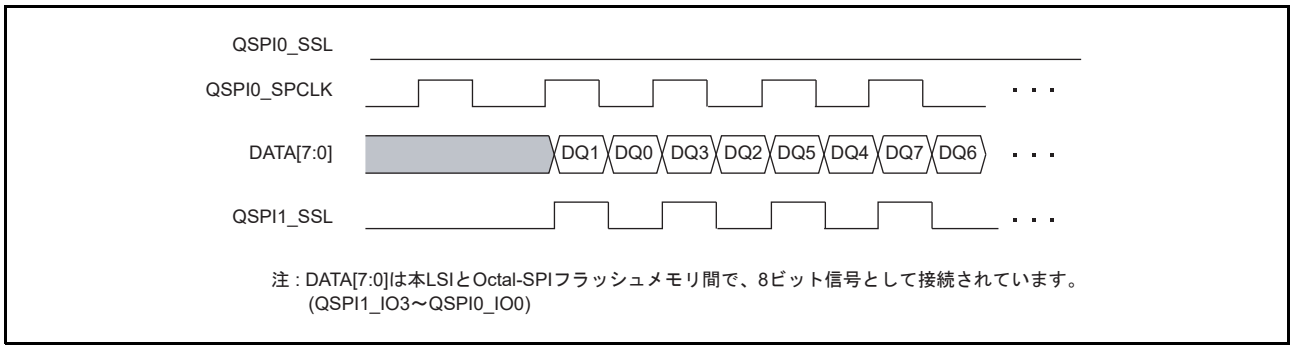


図 20.28　Octal-SPI フラッシュメモリプロトコルモード代替アライメント (PHYCNT.OCTA = 01)

20.5.15 サポートされているシリアルフラッシュプロトコル

表 20.14 に、本 LSI でサポートされているシリアルフラッシュプロトコルを示す。

表20.14 サポートされているシリアルフラッシュプロトコル

ビット幅 (コマンド-アドレス-データ)	コマンド	アドレス	データ
1-0-0	SDR	NA	NA
1-0-1	SDR	NA	SDR
1-1-0	SDR	SDR	NA
1-1-1	SDR	SDR	SDR
	SDR	DDR	DDR
1-1-4	SDR	SDR	SDR
1-4-4	SDR	SDR	SDR
	SDR	DDR	DDR

20.5.16 サポートされている Octal-SPI フラッシュメモリプロトコル

表 20.15 に、本 LSI でサポートされている Octal-SPI フラッシュメモリプロトコルを示す。

表20.15 サポートされているOctal-SPIフラッシュメモリプロトコル

ビット幅 (コマンド-アドレス-データ)	コマンド	アドレス	データ
1-0-0	SDR	NA	NA
1-0-1	SDR	NA	SDR
1-1-0	SDR	SDR	NA
1-1-1	SDR	SDR	SDR
8-0-0	SDR	NA	NA
	DDR	NA	NA
8-0-8	DDR	NA	DDR
8-8-0	DDR	DDR	NA
8-8-8	DDR	DDR	DDR

20.5.17　タイミング調整

シリアルフラッシュを接続しデータ転送を行う場合は、入力データ取り込むためのクロックのタイミング調整を行う必要があります。データストローブを使用する Octal-SPI フラッシュメモリプロトコルモード、HyperFlash を接続する場合は、自動で入力データの取り込みタイミングが調整されます。

シリアルフラッシュ (SDR モード (Octal-SPI フラッシュを除く)) 接続時のタイミング調整フローを図 20.29 (1) に示します。

本フローで示す処理は、シリアルフラッシュメモリ（SDR モード）動作時、SCLKSEL.SPICR[1:0] のレジスタ設定値を初期値から変更する前に実行してください。また、本フローは、定期的に実行する必要はありません。

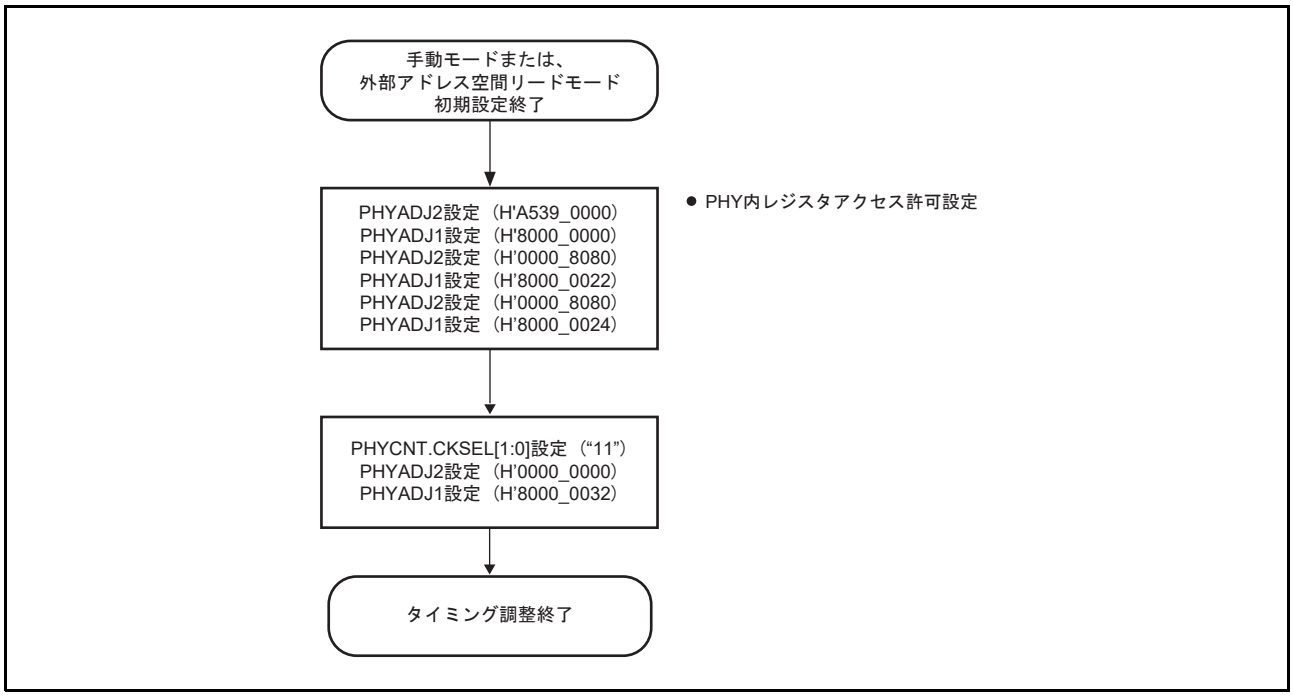


図 20.29　(1)　シリアルフラッシュ (SDR モード (Octal-SPI フラッシュを除く)) のタイミング調整フロー

シリアルフラッシュ (DDR モード) 接続時のタイミング調整フローを図 20.29 (2) に示します。
本タイミング調整フローにより得られた設定値は、電圧や温度変動の影響を受けるため
本フローを定期的に実行する必要があります。

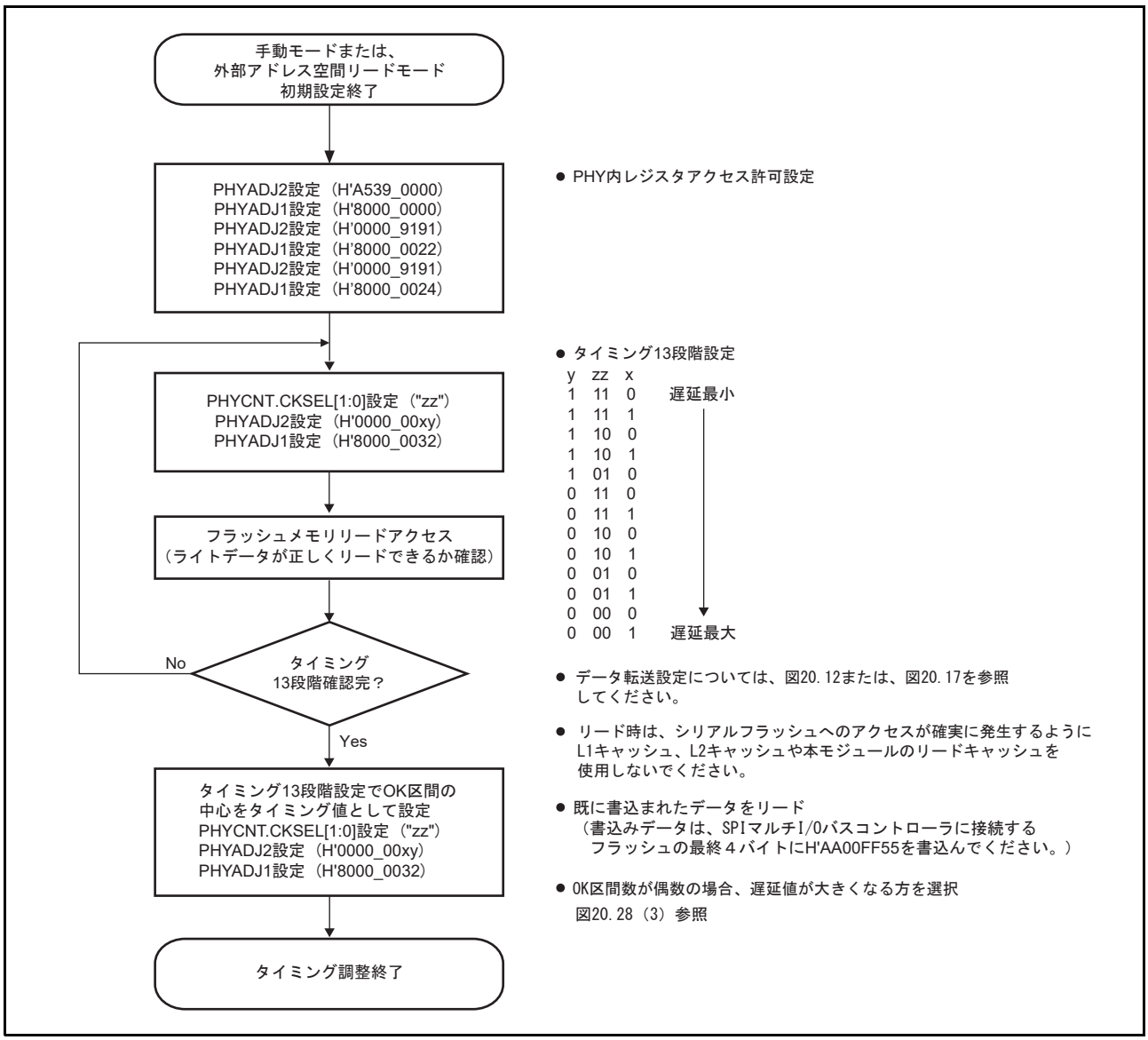


図 20.29　(2)　シリアルフラッシュ (DDR モード) のタイミング調整フロー

シリアルフラッシュ (DDR モード) 接続時のタイミング設定例を図 20.29 (3) に示します。

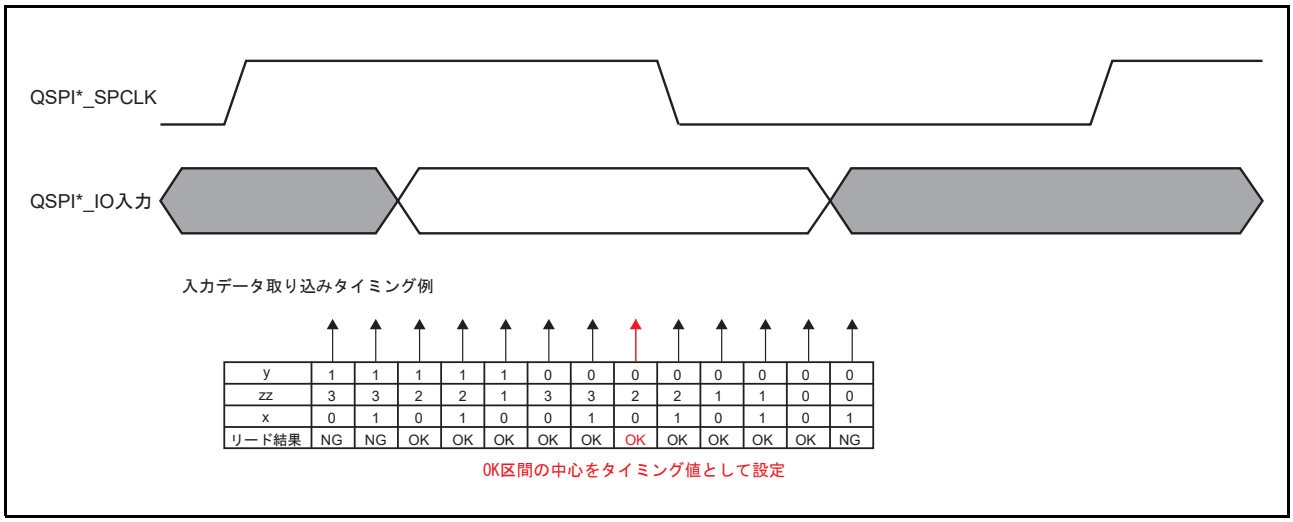


図 20.29　(3)　シリアルフラッシュ (DDR モード) のタイミング設定例

20.5.18　データアライメント

外部アドレス空間リードモードと手動モードのデータアライメントを図 20.30 と図 20.31 に示します。シリアルフラッシュを 2 個接続したとき、端子 QSPI0_IO0 ～ 3 に接続したシリアルフラッシュは 2n 番地、端子 QSPI1_IO0 ～ 3 に接続したシリアルフラッシュは 2n + 1 番地となります。必ずワード以上でアクセスする必要があり、バイト単位でアクセスすることはできません。

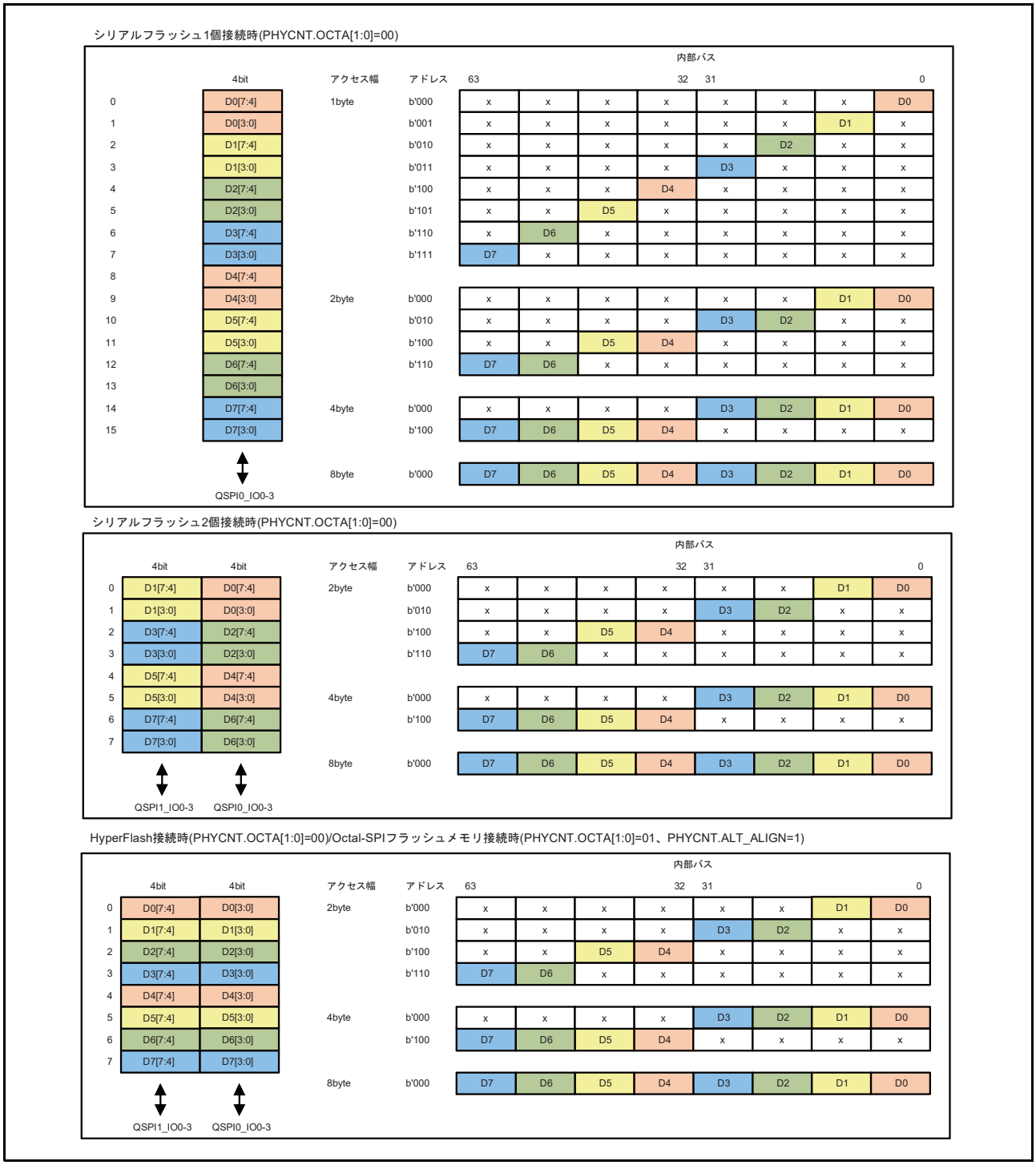
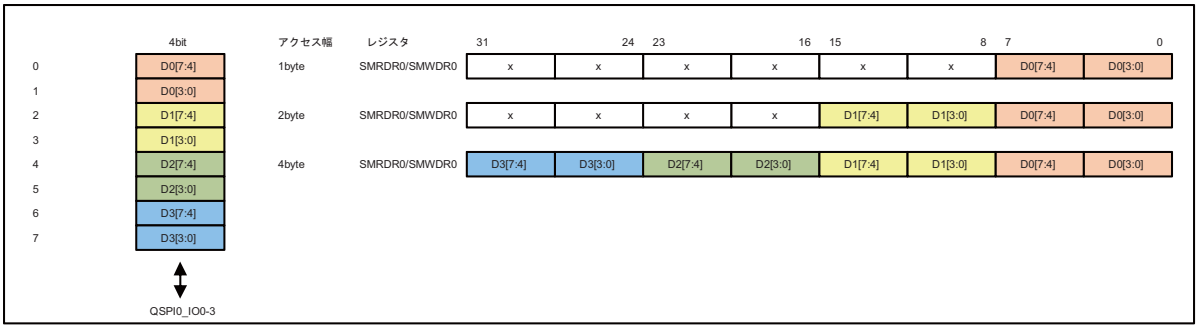
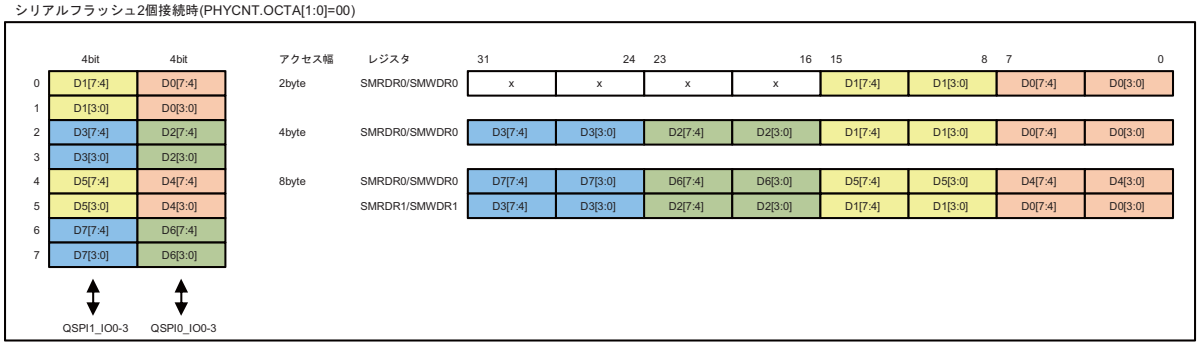


図 20.30　外部アドレス空間リードモードのデータアライメント

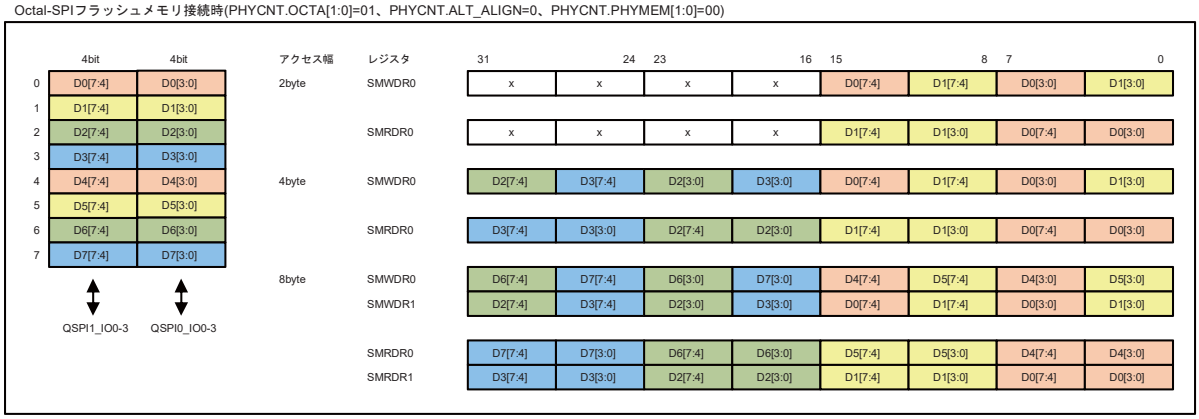
シリアルフラッシュ1個接続時(PHYCNT.OCTA[1:0]=00)



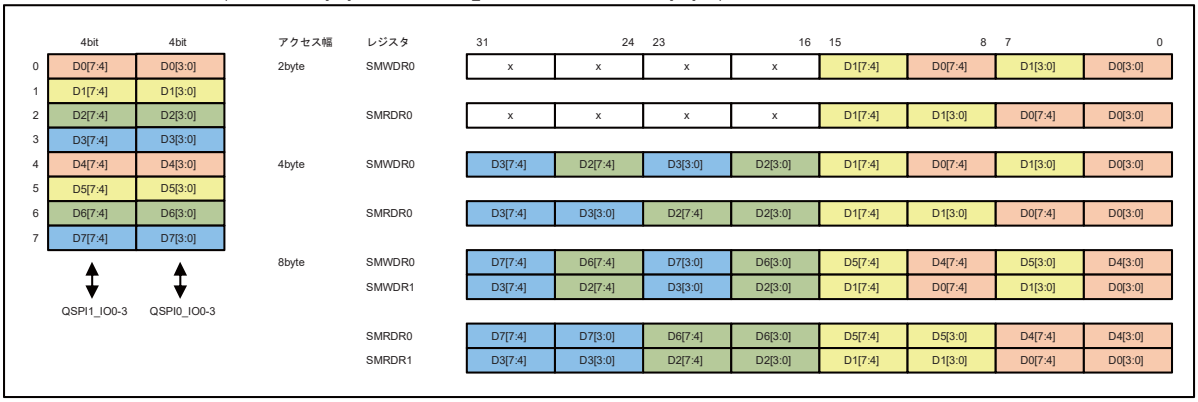
シリアルフラッシュ2個接続時(PHYCNT.OCTA[1:0]=00)



Octal-SPIフラッシュメモリ接続時(PHYCNT.OCTA[1:0]=01、PHYCNT.ALT_ALIGN=0、PHYCNT.PHYMEM[1:0]=00)



Octal-SPIフラッシュメモリ接続時(PHYCNT.OCTA[1:0]=01、PHYCNT.ALT_ALIGN=1、PHYCNT.PHYMEM[1:0]=01)



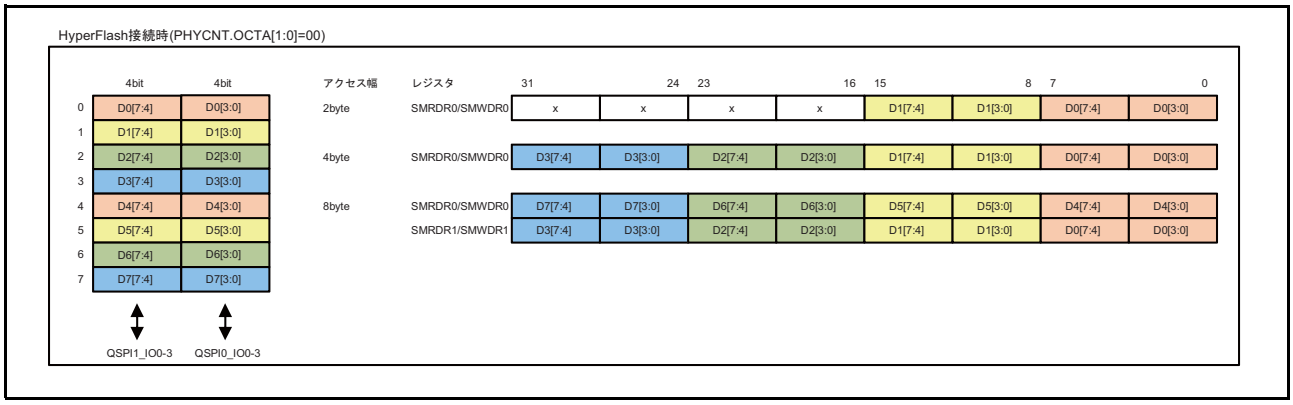


図 20.31　　手動モードのデータアライメント

20.6　使用上の注意事項

20.6.1　QSPIn_SSL 端子をネゲートしている状態でのデータリード転送

データリード転送のみを行う場合は、SMENR.SPIDE[3:0] ＝ 1100 または 1111 に設定するようにしてください。

SMENR.SPIDE[3:0] ＝ 1000 にてデータリード転送のみを行った場合、正常に転送が行われません。

20.6.2　手動モードの QSPIn_SSL 保持状態からの転送開始の注意事項

手動モードで QSPIn_SSL 端子をアサート保持している状態で、コマンド、オプショナルコマンド、アドレス、オプションデータで転送を開始する際は、SMCR レジスタの SPIWE ビットを 1 に設定してください。

また手動モードで QSPIn_SSL 端子をアサート保持している状態で、リードデータから転送を開始する設定は禁止です。

20.6.3　RPC_RESET# 操作

RPC_RESET 端子を操作するには２つの方法があります。

1. PHYINT.RSTEN、PHYINT.RSTVAL を使用
   RPC_RESET# の状態は、PHYINT.RETVAL 値に依存します。
2. このモジュールへのリセットをアクティブ化
   パワーオンリセットもしくはソフトウェアリセットによるリセット間、RPC_RESET# 端子は L になります。リセットが非アクティブ化後、RPC_RESET# 端子は H になります。

20.6.4　モジュールストップ操作後のソフトウェアリセット

モジュールストップが非アクティブ化された後も、このモジュールにソフトウェアリセットを供給してください。ソフトウェアリセットがアクティブ化されている間、RPC_RESET# 端子の状態が L であることに注意してください。接続した機器で必要とされるリセット後のリセット期間とアクセス可能期間を保証してください。

20.6.5　Octal-SPI フラッシュメモリプロトコルモード接続の Write データ

Octal-SPI フラッシュメモリプロトコルモードで接続し、Write 動作を行う場合は、Write データのアラインが必要になります。

詳細は、「20.4.15　手動モードライトデータレジスタ 0（SMWDR0）」および「20.4.16　手動モードライトデータレジスタ 1（SMWDR1）」を参照してください。

21. HyperBus™ コントローラ

HyperBus™ コントローラは、本 LSI に HyperFlash™ と HyperRAM™ を直接接続することができます。

注 .　HyperBus™ / HyperFlash™ / HyperRAM™ は Cypress Semiconductor Corporation. の商標です。

21.1 特長

- HyperBus インタフェースサポート
- HyperBus インタフェース対応の HyperFlash/ HyperRAM をそれぞれ 1 個接続可能
- チップセレクトを各 1 本 (HM_CS0# : HyperFlash、HM_CS1# : HyperRAM) (注)

注 .　同時に動作 (リード / ライト) できるデバイスは 1 つのみ

- HM_CK、HM_CK# : 132MHz
- PVcc_HO : 1.8V

21.2 ブロック図

本モジュールの全体ブロックを 図 21.1 に示します。

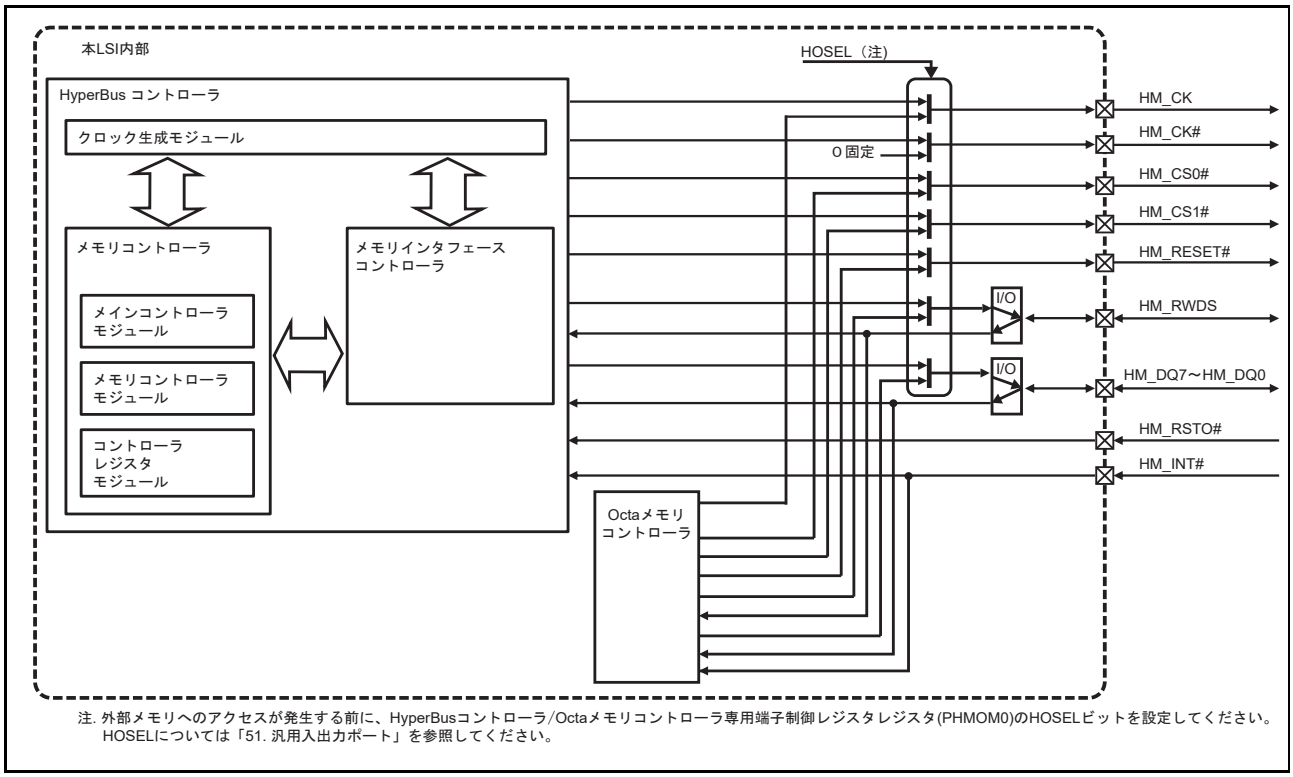


図 21.1　ブロック図

21.3 HyperBus システム構成

図 21.2 に本 LSI の HyperBus に HyperFlash と HyperRAM を接続した場合の接続図例を示します。
HyperFlash は、CS0# に接続し、HyperRAM は、CS1# に接続します。

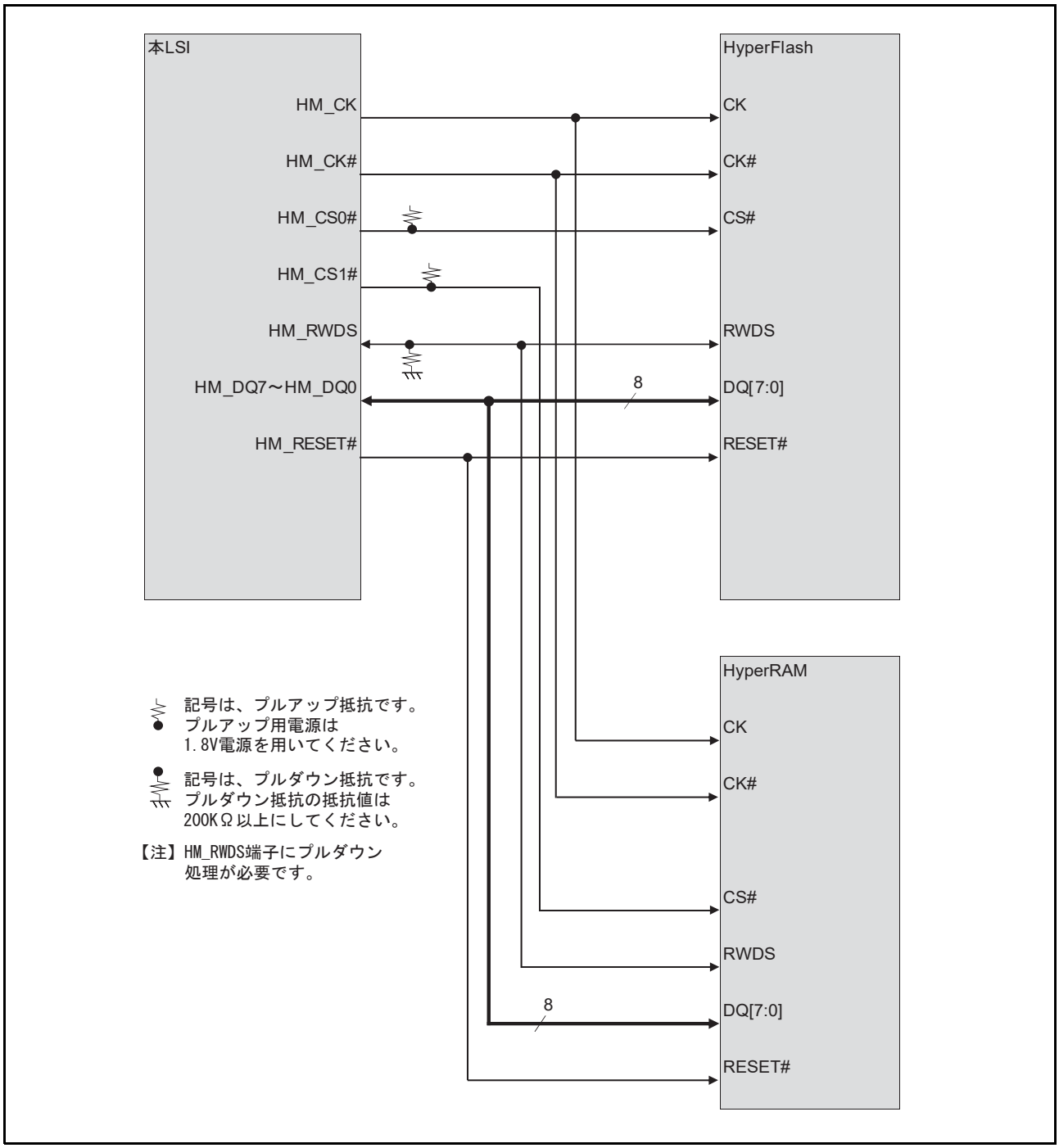


図 21.2　本 LSI と HyperFlash、HyperRAM の接続図例

21.4 入出力端子

本モジュールの端子構成を表 21.1 に示します。

表21.1　端子構成

端子名	入出力	名称	機能
HM_CK	出力	クロック	差動クロック出力端子です。
HM_CK#	出力	クロック	差動クロック出力端子です。
HM_CS0#	出力	チップセレクト 0	HyperFlash のためのチップセレクト信号です。
HM_CS1#	出力	チップセレクト 1	HyperRAM のためのチップセレクト信号です。
HM_RWDS	入出力	リードライトデータストローブ	リードデータストローブ / ライトデータマスク端子です。
HM_DQ7～HM_DQ0	入出力	データ	データ入出力端子です。
HM_RESET#	出力	リセット出力	HyperFlash、HyperRAM へのリセット出力です。
HM_RSTO#	入力	リセット入力	HyperFlash からのリセット入力です。
HM_INT#	入力	割り込み入力	HyperFlash からの割り込み入力です。

注.　HM_RSTO# と HM_INT# は、兼用端子 (3.3V 電源) にマルチプレクスされた入力機能です。その他の端子は、専用端子 (1.8V 電源) です。

21.5 レジスタの説明

表 21.2 にレジスタ構成を示します。

各レジスタは 32 ビットアクセス可能です。

表に記載されているレジスタアドレス以外にはアクセスしないでください。

表21.2　HyperBus コントローラレジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
コントローラステータスレジスタ	CSR	R	0x00000000	0x1F400000	32
インタラプトイネーブルレジスタ	IEN	R/W	0x00000000	0x1F400004	32
インタラプトステータスレジスタ	ISR	R	0x00000000	0x1F400008	32
CS0 メモリ設定レジスタ	MCR0	R/W	0x00000003	0x1F400020	32
CS1 メモリ設定レジスタ	MCR1	R/W	0x00000003	0x1F400024	32
CS0 メモリタイミングレジスタ	MTR0	R/W	0x00000001	0x1F400030	32
CS1 メモリタイミングレジスタ	MTR1	R/W	0x00000001	0x1F400034	32

21.5.1 コントローラステータスレジスタ (CSR)

CSR は、HyperBus コントローラの内部ステータスを表示するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	WRSTO ERR	WTRS ERR	WDEC ERR	—	—	—	—	—	—	—	WACT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RDS STALL	RRSTO ERR	RTRS ERR	RDEC ERR	—	—	—	—	—	—	—	RACT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～27	—	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。
26	WRSTO ERR	0	R	ライトRSTOエラー ライト動作時にメモリがリセット状態であったか示すビットです。 ライト時にHyperBusメモリがリセット状態であった場合、1にセットされます。 0: エラーなし。 1: エラーあり、AXIスレーブエラーを出力。
25	WTRS ERR	0	R	ライト処理エラー ライト動作がAXIプロトコルに準拠していたか示すビットです。 ライト動作がAXIプロトコルに準拠していない場合、1にセットされます。 0: エラーなし。 1: エラーあり、AXIスレーブエラーを出力。
24	WDEC ERR	0	R	ライトデコードエラー ライト先アドレスが書き込み可能であったか示すビットです。 ライト先アドレスに問題があった場合、1にセットされます。 0: エラーなし。 1: エラーあり、AXIスレーブエラーを出力。
23～17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
16	WACT	0	R	ライトステータス ライト処理の状態を示すビットです。 ライトコマンドを受けた時1にセットされ、ライト処理終了時に0にセットされます。 0: ライトアイドル状態。 1: ライト処理中。
15～12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
11	RDS STALL	0	R	RDSタイムアウト リード動作がタイムアウトしたか示すビットです。 リード動作時、HyperBusメモリのHM_RWDS信号がLowのまま一定時間経過したら 1 にセットされます。 0: エラーなし。 1: エラーあり、AXIスレーブエラーを出力。
10	RRSTO ERR	0	R	リードRSTOエラー リード動作時にメモリがリセット状態であったか示すビットです。 リード時にHyperBusメモリがリセット状態であった場合、1にセットされます。 0: エラーなし。 1: エラーあり、AXIスレーブエラーを出力。
9	RTRS ERR	0	R	リード処理エラー リード動作がAXIプロトコルに準拠していたか示すビットです。 リード動作がAXIプロトコルに準拠していない場合、1にセットされます。 0: エラーなし。 1: エラーあり、AXIスレーブエラーを出力。

ビット	ビット名	初期値	R/W	説明
8	RDEC ERR	0	R	リードデコードエラー リード先アドレスが書き込み可能であったか示すビットです。 リード先アドレスに問題があった場合、1にセットされます。 0: エラーなし。 1: エラーあり、AXIスレーブエラーを出力。
7～1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
0	RACT	0	R	リードステータス リード処理状態を示すビットです。 リードコマンドを受けた時1にセットされ、リード処理終了時に0にセットされます。 0: リードアイドル状態。 1: リード処理中。

21.5.2　インタラプトイネーブルレジスタ (IEN)

IEN レジスタは、割り込み信号の設定を行うレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INTP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RPC INTE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31	INTP	0	R/W	インタラプト極性設定 0: IENOn信号アクティブロー。 1: IENOn信号アクティブハイ。
30～1	—	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
0	RPC INTE	0	R/W	インタラプトイネーブル 0: 無効。 1: HyperBusメモリのHM_INT#信号として有効。

21.5.3　インタラプトステータスレジスタ (ISR)

ISR レジスタは、割り込み信号の状態を示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RPC INTS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～1	—	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。
0	RPC INTS	0	R	HyperBusメモリ割り込み状態 HyperBusメモリの割り込み状態を示すビットです。 0：割り込みなし。 1：割り込みあり。

21.5.4 CS0 メモリ設定レジスタ (MCR0)

MCR0 レジスタは、HyperFlash アクセス時のコントローラ側の動作の設定を行うレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MAXEN	—	—	—	—	MAXLEN[8:0]									—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	MAXEN	0	R/W	最大時間設定イネーブル HM_CS0#信号のLow時間設定をMAXLEN[8:0]で制御するかを設定するビットです。 0：HM_CS0#信号のLow時間を設定しない。 1：HM_CS0#信号のLow時間をMAXLEN[8:0]で設定。
30～27	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26～18	MAXLEN[8:0]	すべて0	R/W	最大時間設定 HM_CS0#信号の最大リードライト処理時間を設定します。 000000000: 2バイト(1クロックサイクル) 000000001: 4バイト(2クロックサイクル) 000000010: 6バイト(3クロックサイクル) ... 111111111: 1024バイト(512クロックサイクル) MAXENが0の場合、この設定は無効です。 クロックサイクルはHM_CK/HM_CK#換算となります。
17～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	—	11	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

21.5.5　CS1 メモリ設定レジスタ (MCR1)

MCR1 レジスタは、HyperRAM アクセス時のコントローラ側の動作の設定を行うレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MAXEN	—	—	—	—	MAXLEN[8:0]									—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CRT	DEV TYPE	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	MAXEN	0	R/W	最大時間設定イネーブル HM_CS1#信号のLow時間設定をMAXLEN[8:0]で制御するかを設定するビットです。 0：HM_CS1#信号のLow時間を設定しない。 1：HM_CS1#信号のLow時間をMAXLEN[8:0]で設定。
30～27	—	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
26～18	MAXLEN [8:0]	すべて 0	R/W	最大時間設定 HM_CS1#信号の最大リードライト処理時間を設定します。 000000000: 2 バイト(1クロックサイクル) 000000001: 4 バイト(2クロックサイクル) 000000010: 6 バイト(3 クロックサイクル) … 111111111: 1024 バイト(512クロックサイクル) MAXENが0の場合、この設定は無効です。 クロックサイクルはHM_CK/HM_CK#換算となります。
17～6	—	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
5	CRT	0	R/W	アクセス対象 リードライト動作のアクセス対象を設定します。 0：メモリスペース 1：レジスタスペース
4	DEV TYPE	0	R/W	デバイスタイプ 1を設定してください。
3、2	—	00	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
1、0	—	11	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1 にしてください。

21.5.6　CS0 メモリタイミングレジスタ (MTR0)

MTR0 レジスタは、HM_CS0# 信号の各アクセスタイミングを設定するレジスタです。
本レジスタの各パラメータは、「21.6.4　MTR0, MTR1 タイミング」を参照してください。

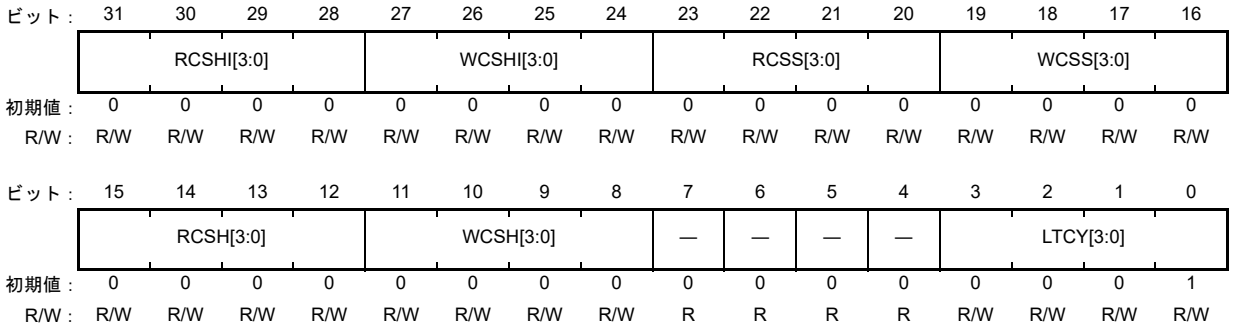
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RCSHI[3:0]				WCSHI[3:0]				RCSS[3:0]				WCSS[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCSH[3:0]				WCSH[3:0]				—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～28	RCSHI [3:0]	0000	R/W	リードチップセレクトタイミング設定 HM_CS0# 端子がネゲートされてから次のリードアクセス開始までの最小待ち時間。 0000: 1.5 クロックサイクル … 1111: 16.5 クロックサイクル
27～24	WCSHI [3:0]	0000	R/W	ライトチップセレクトタイミング設定 HM_CS0# 端子がネゲートされてから次のライトアクセス開始までの最小待ち時間。 0000: 1.5 クロックサイクル … 1111: 16.5 クロックサイクル
23～20	RCSS [3:0]	0000	R/W	リードチップセレクトセットアップタイミング設定 HM_CS0#信号がアサートされてからリード用のHM_CS0#信号のセットアップ時間を設定します。 0000: 1 クロックサイクル … 1111: 16 クロックサイクル
19～16	WCSS [3:0]	0000	R/W	ライトチップセレクトセットアップタイミング設定 HM_CS0#信号がアサートされてからライト用のHM_CS0#信号のセットアップ時間を設定します。 0000: 1 クロックサイクル … 1111: 16 クロックサイクル
15～12	RCSH [3:0]	0000	R/W	リードチップセレクトホールドタイミング設定 リード処理終了時からHM_CS0#信号がネゲートされるまでの時間を設定します。 0000: 1 クロックサイクル … 1111: 16 クロックサイクル
11～8	WCSH [3:0]	0000	R/W	ライトチップセレクトホールドタイミング設定 ライト処理終了時からHM_CS0#信号がネゲートされるまでの時間を設定します。 0000: 1 クロックサイクル … 1111: 16 クロックサイクル
7～1	—	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
0	—	1	R	リザーブビット 読み出すと常に1 が読み出されます。書き込む値も常に1 にしてください。

21.5.7　CS1 メモリタイミングレジスタ (MTR1)

MTR1 レジスタは、HM_CS1# 信号の各アクセスタイミングを設定するレジスタです。
本レジスタの各パラメータは、「21.6.4　MTR0, MTR1 タイミング」を参照してください。



ビット	ビット名	初期値	R/W	説明
31～28	RCSHI [3:0]	0000	R/W	リードチップセレクトタイミング設定 HM_CS1# 端子がネゲートされてから次のリードアクセス開始までの最小待ち時間。 0000: 1.5 クロックサイクル … 1111: 16.5 クロックサイクル
27～24	WCSHI [3:0]	0000	R/W	ライトチップセレクトタイミング設定 HM_CS1# 端子がネゲートされてから次のライトアクセス開始までの最小待ち時間。 0000: 1.5 クロックサイクル … 1111: 16.5 クロックサイクル
23～20	RCSS [3:0]	0000	R/W	リードチップセレクトセットアップタイミング設定 HM_CS1#信号がアサートされてからリード用のHM_CS1#信号のセットアップ時間を設定します。 0000: 1 クロックサイクル … 1111: 16 クロックサイクル
19～16	WCSS [3:0]	0000	R/W	ライトチップセレクトセットアップタイミング設定 HM_CS1#信号がアサートされてからライト用のHM_CS1#信号のセットアップ時間を設定します。 0000: 1 クロックサイクル … 1111: 16 クロックサイクル
15～12	RCSH [3:0]	0000	R/W	リードチップセレクトホールドタイミング設定 リード処理終了時からHM_CS1#信号がネゲートされるまでの時間を設定します。 0000: 1 クロックサイクル … 1111: 16 クロックサイクル
11～8	WCSH [3:0]	0000	R/W	ライトチップセレクトホールドタイミング設定 ライト処理終了時からHM_CS1#信号がネゲートされるまでの時間を設定します。 0000: 1 クロックサイクル … 1111: 16 クロックサイクル
7～4	—	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
3～0	LTCY [3:0]	0001	R/W	レイテンシ設定 初期リードライトレイテンシを設定します。 HyperRAM 使用時にのみ使用します。 MCR1.DEVTYPE が0（HyperFlash 指定）の場合この設定は無視されます。 0000: 5 クロックレイテンシ 0001: 6 クロックレイテンシ 0010～1111：設定禁止

21.6　動作説明

21.6.1　アドレスマップ

メモリマップドリードモード時、HyperFlash は HyperFlash 空間 (0x30000000 ～ 0x3FFFFFFF)、HyperRAM は HyperRAM 空間 (0x40000000 ～ 0x4FFFFFFF) に割り当てられます。

HyperFlash、HyperRAM はそれぞれ 1 つの接続が可能で、最大でそれぞれ 256M バイトまでアクセス可能です。

	内部アドレス	最大アクセス領域
HyperFlash	0x30000000～0x3FFFFFFF	最大で256Mバイト
HyperRAM	0x40000000～0x4FFFFFFF	最大で256Mバイト

21.6.2　HyperBus メモリインタフェースの説明

この章では、HyperBus メモリインタフェースについて説明します。

21.6.2.1　ライト動作

このセクションでは、HyperBus コントローラのライト動作を説明します。

HyperBus コントローラは HM_CS0#（HM_CS1#）、HM_CK、HM_CK#、HM_DQ7 ～ HM_DQ0 をアサートします。そして、3 ワードのコマンド / アドレスを出力し、1 つ以上のデータをライトします。HyperRAM のライト動作では、データを書き込む前に初期クロックレイテンシがあります。

図 21.3 に HyperFlash インタフェースのライト波形を示し、図 21.4 に HyperRAM インタフェースのライト波形を示します。

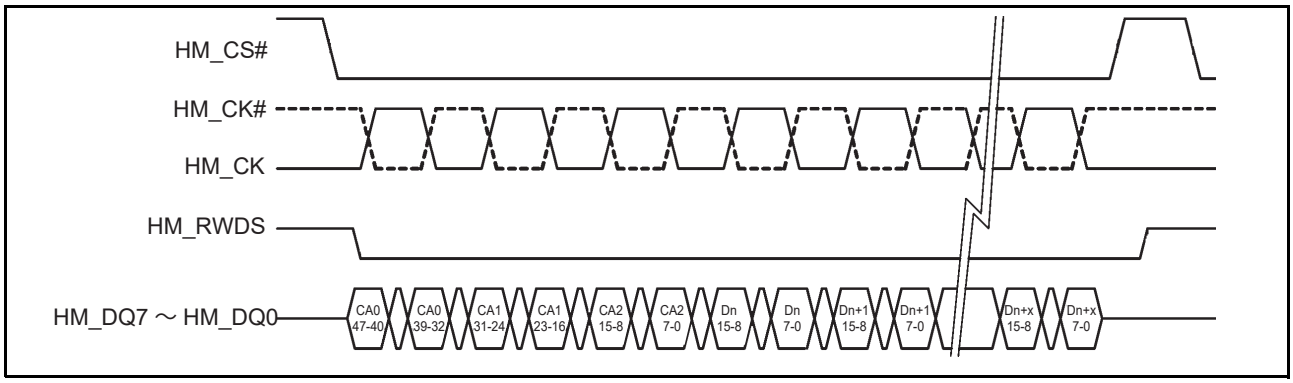


図 21.3　HyperFlash インタフェースのライト波形

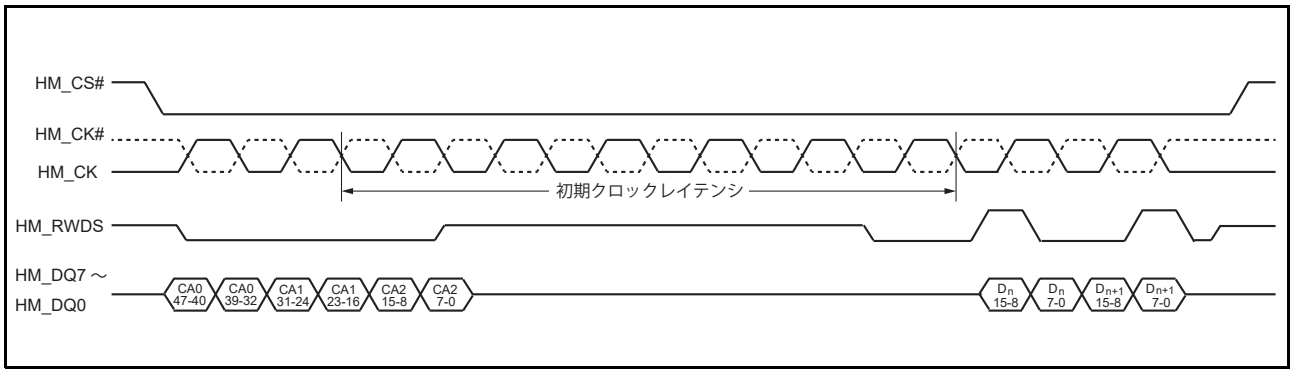


図 21.4　HyperRAM インタフェースのライト波形

21.6.2.2　リード動作

このセクションでは、HyperBus コントローラのリード動作を説明します。
HyperBus コントローラは HM_CS0#（HM_CS1#）、HM_CK、HM_CK#、HM_DQ7 ～ HM_DQ0 をアサートします。そして、3 ワードのコマンド / アドレスを出力し、HM_RWDS のタイミングで 1 つ以上のデータをリードします。

図 21.5 に、HyperBus メモリインタフェースのリード波形を示します。

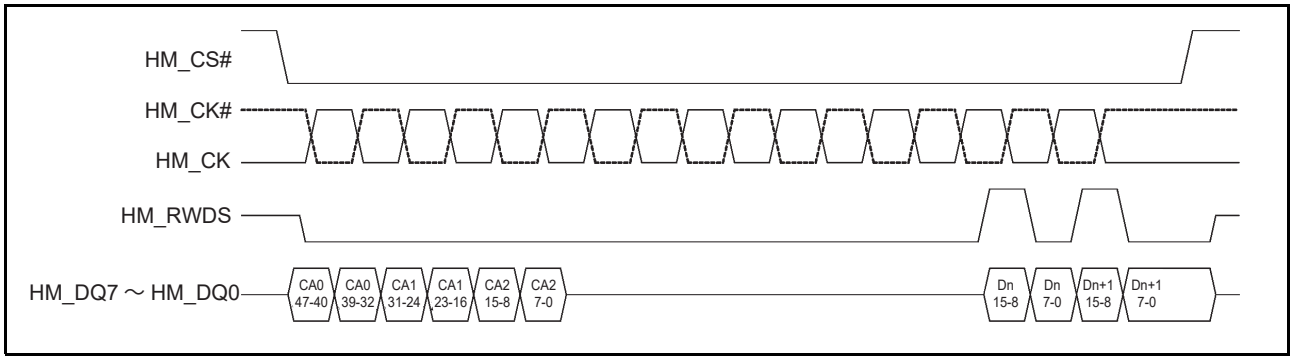


図 21.5　HyperBus メモリインタフェースのリード波形

21.6.2.3　1 バイトライトアクセス

このセクションでは、1 バイトライトアクセスについて説明します。
HyperBus コントローラは、3 ワードのコマンド / アドレスを出力し、レイテンシサイクル後に 2 バイト単位で書き込みデータを出力します。
ターゲットデバイスが HyperRAM のとき、HyperBus インタフェースは、書込み動作中にバイトマスクとして RWDS 信号を出力します。無効な書込みデータは、RWDS の High によってマスクされます。
ターゲットデバイスが HyperFlash のとき、HyperFlash は 2 バイトアクセスのみをサポートするため、1 バイトのライトアクセスをしないでください。

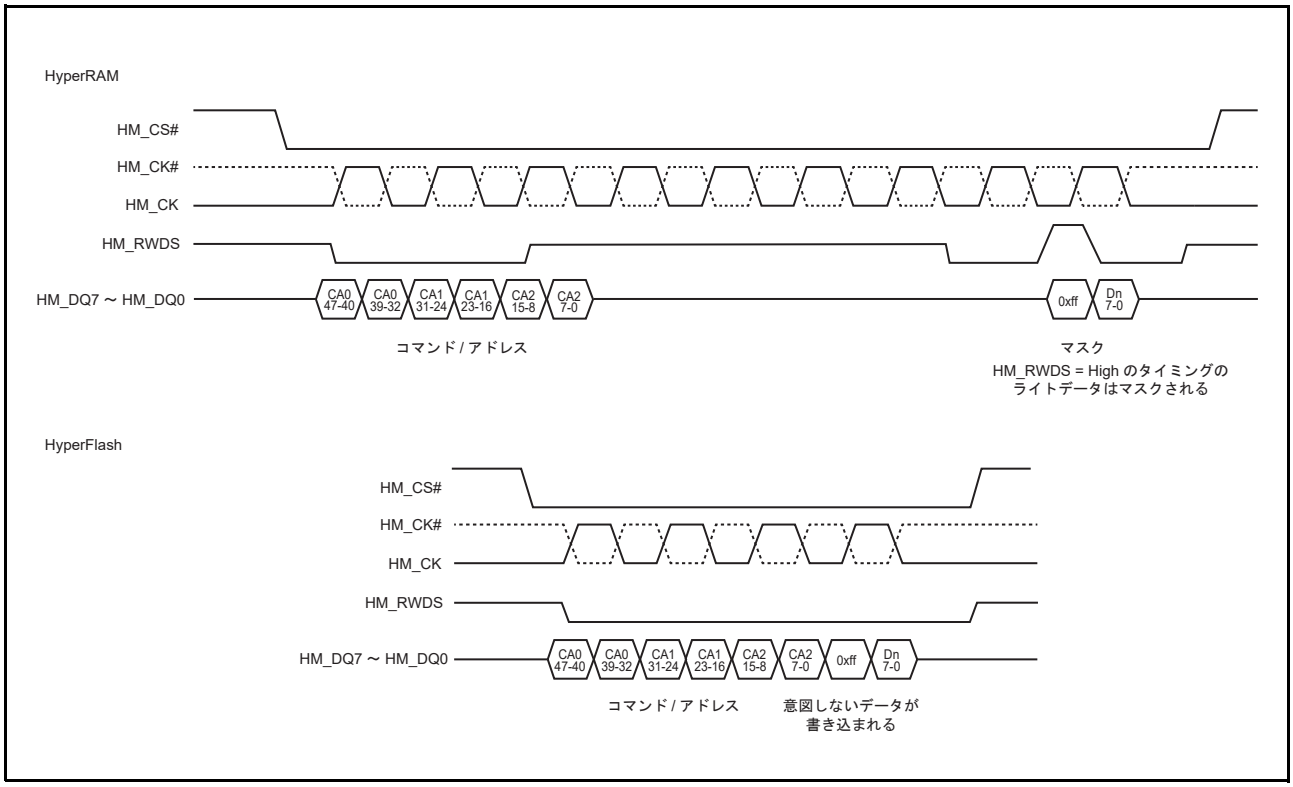


図 21.6 1 バイトライト波形

21.6.2.4　HyperBus コマンド / アドレスのビット割り当て

HyperBus メモリデバイスは、6 バイトのコマンド / アドレス情報を使用してトランザクションの特性を定義します。表 21.3 に、HyperBus コントローラのコマンド / アドレスの割り当てを示します。

表21.3　コマンド/アドレスのビット割り当て

<table>
<tr><th>ビット</th><th>ビット名</th><th>説明</th></tr>
<tr><td>47</td><td>R/W#</td><td>0: ライト　1: リード</td></tr>
<tr><td>46</td><td>アクセス対象</td><td>0: メモリアクセス　1: レジスタアクセス</td></tr>
<tr><td>45</td><td>バーストタイプ</td><td>0: ラップバースト　1: リニアバースト
※AXI バスのバーストタイプに応じて出力します。
HyperBus コントローラは、32 バイトおよび 64 バイトのバースト長の転送のみサポートしています。
2 次キャッシュを使用する場合には、AXI バスが扱うバーストアドレスのラップ境界と HyperFlash/HyperRAM のラップバーストのアドレス境界が一致するように、2 次キャッシュのバーストアクセス設定と HyperFlash/HyperRAM のバースト長の設定を合わせる必要があります。
<table>
<tr><th rowspan="2">HyperFlash/HyperRAM のバースト長設定</th><th colspan="3">2 次キャッシュの Prefetch Control Register の設定値</th></tr>
<tr><th>Bit30</th><th>Bit27</th><th>Bit23</th></tr>
<tr><td>32 バイト</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>64 バイト</td><td>1</td><td>0</td><td>1</td></tr>
<tr><td>上記以外：設定禁止</td><td colspan="3">—</td></tr>
</table>
</td></tr>
<tr><td>44</td><td>リザーブビット</td><td>0</td></tr>
<tr><td>43 ～ 16</td><td>上位アドレス</td><td>システム ワード アドレス ビット[30:3]</td></tr>
<tr><td>15</td><td>リザーブビット</td><td>0</td></tr>
<tr><td>14、13</td><td>リザーブビット</td><td>11</td></tr>
<tr><td>12 ～ 3</td><td>リザーブビット</td><td>全て0</td></tr>
<tr><td>2 ～ 0</td><td>下位アドレス</td><td>システム ワード アドレス ビット[2:0]</td></tr>
</table>

21.6.2.5　HyperRAM 空間のコンフィグレーションレジスタ　データアライメント

図 21.7 は、HyperRAM 空間のコンフィグレーションレジスタをアクセスしたときのデータアライメントを示します。

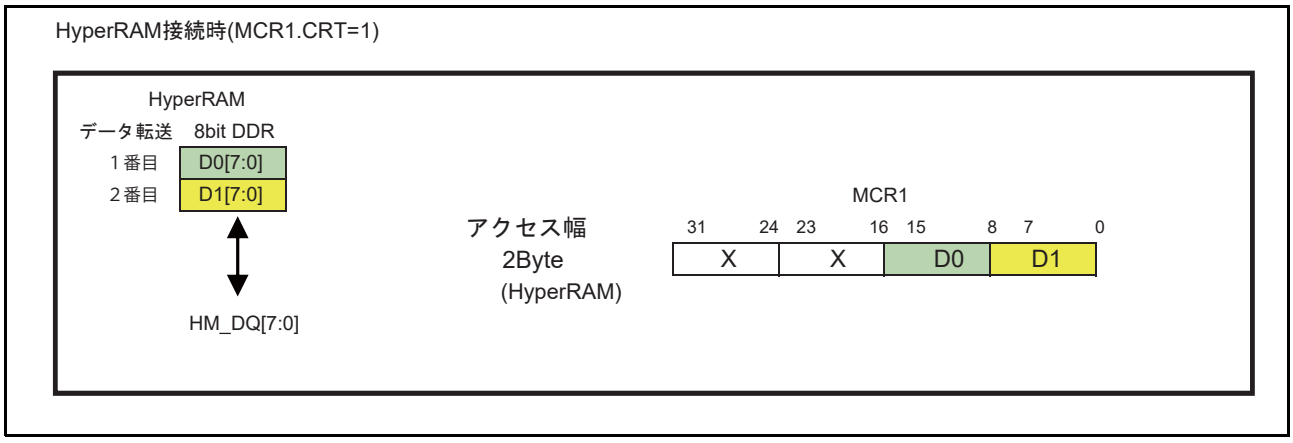


図 21.7　HyperRAM 空間のコンフィグレーションレジスタ　データアライメント

21.6.3　動作フロー

本章では代表的な動作フローの例を示します。

初期設定として、外部メモリへのアクセスが発生する前に、HyperBus コントローラ / Octa メモリコントローラ専用端子制御レジスタ (PHMOM0) の HOSEL ビットと SCLK 選択レジスタ (SCLKSEL) の HYMCR ビットフィールドを設定してください。

HOSEL については「51.　汎用入出力ポート」を参照してください。

HYMCR については「6.　クロックパルス発振器」を参照してください。

21.6.3.1　ライト動作フロー

図 21.8 は、例として HyperFlash への 2 バイト単位での N バイトライト (Word Program) 動作フローを示します。

注 .　データのバイトライト時において、4 バイトライト以上のデータのライト時は HyperBus メモリインタフェースの仕様に合わせたクロック周波数にてライトしてください。

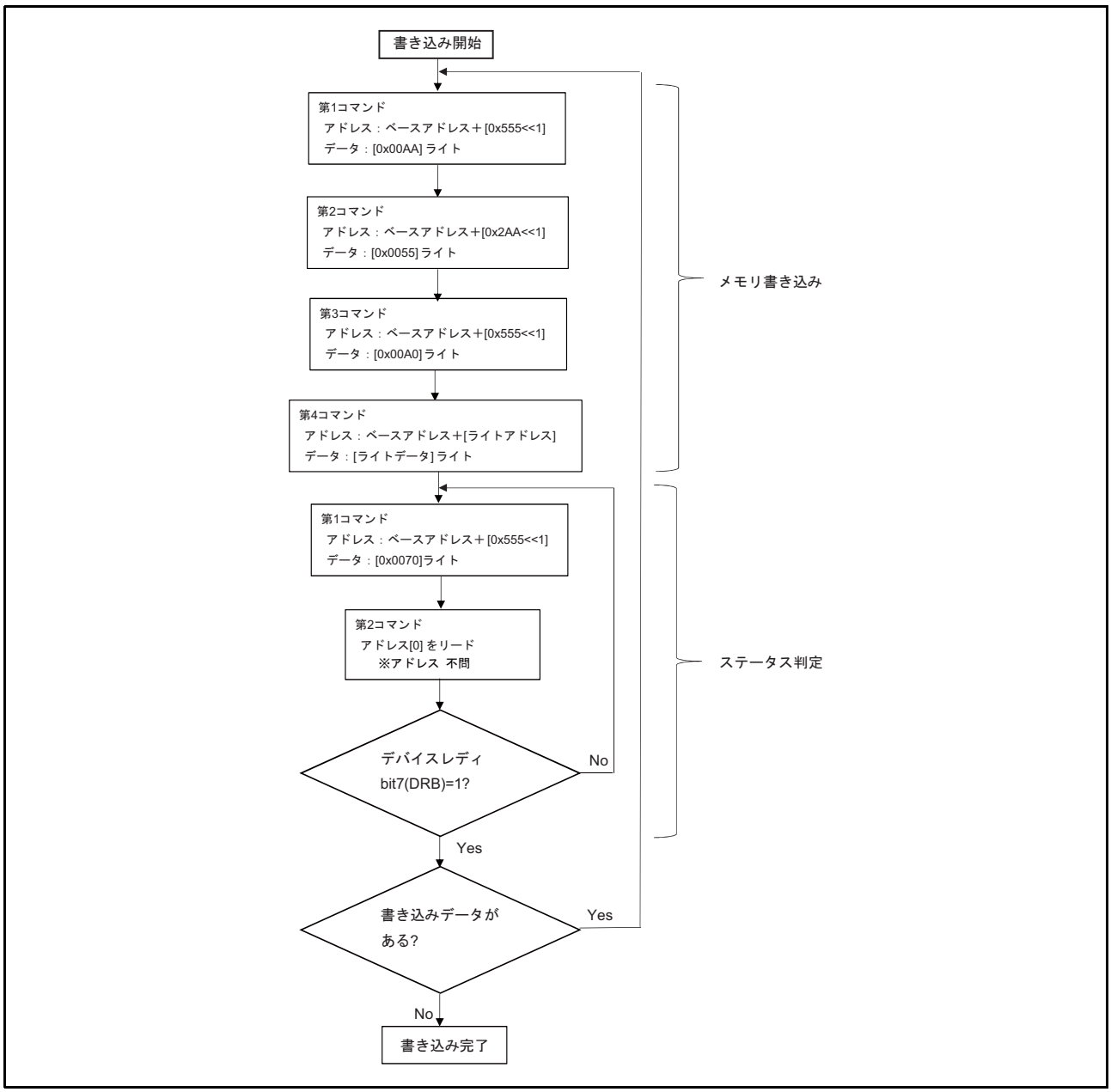


図 21.8　HyperFlash ライト動作フロー

21.6.3.2　消去動作フロー

図 21.9 は、例としてセクタ消去動作フローを示します。

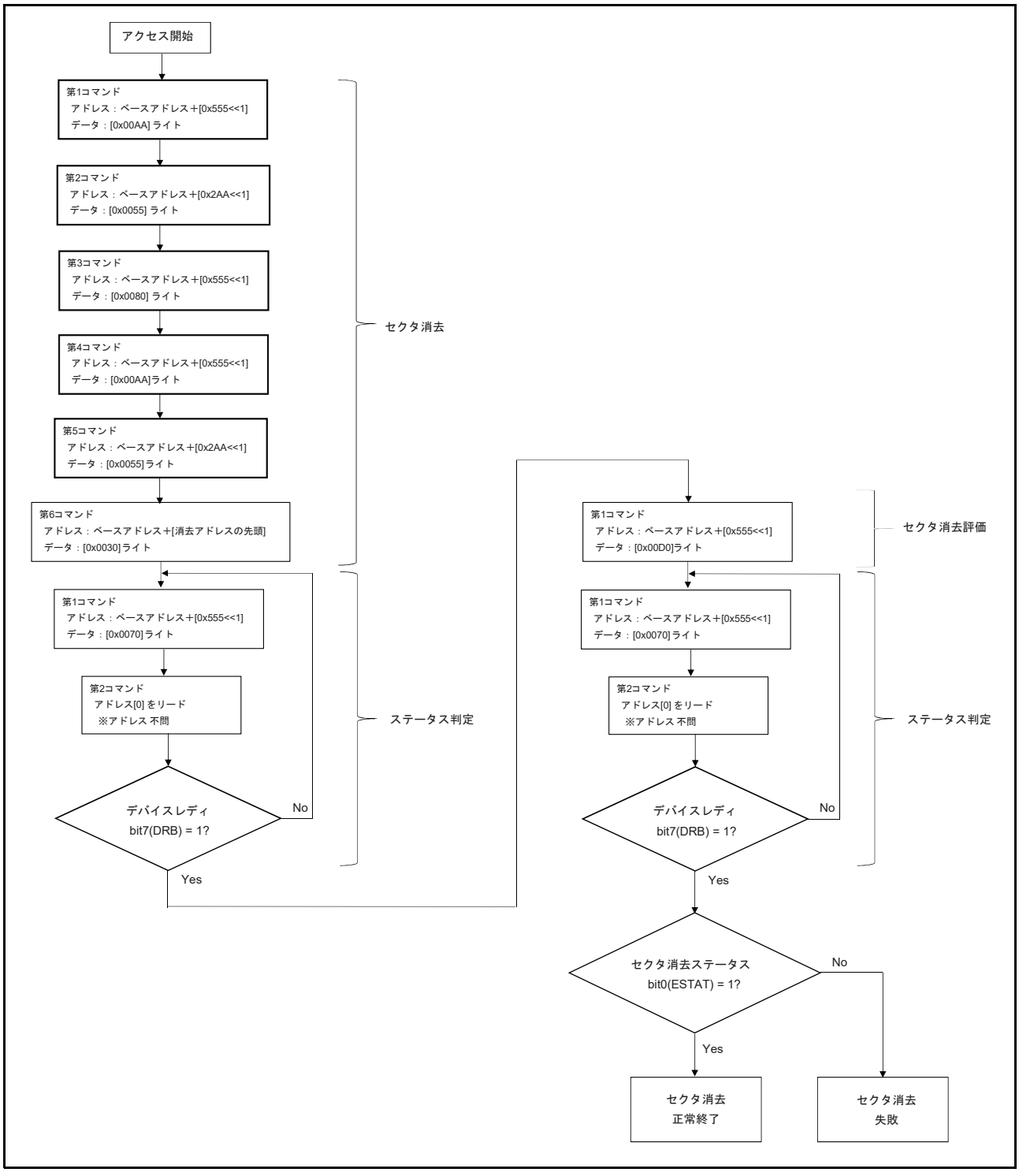


図 21.9　HyperFlash セクタ消去動作フロー

21.6.3.3　コンフィグレーションレジスタのライトとリードの動作フロー

図 21.10 に例として HyperFlash の揮発性コンフィグレーションレジスタへのライト・リード動作フローを示します。

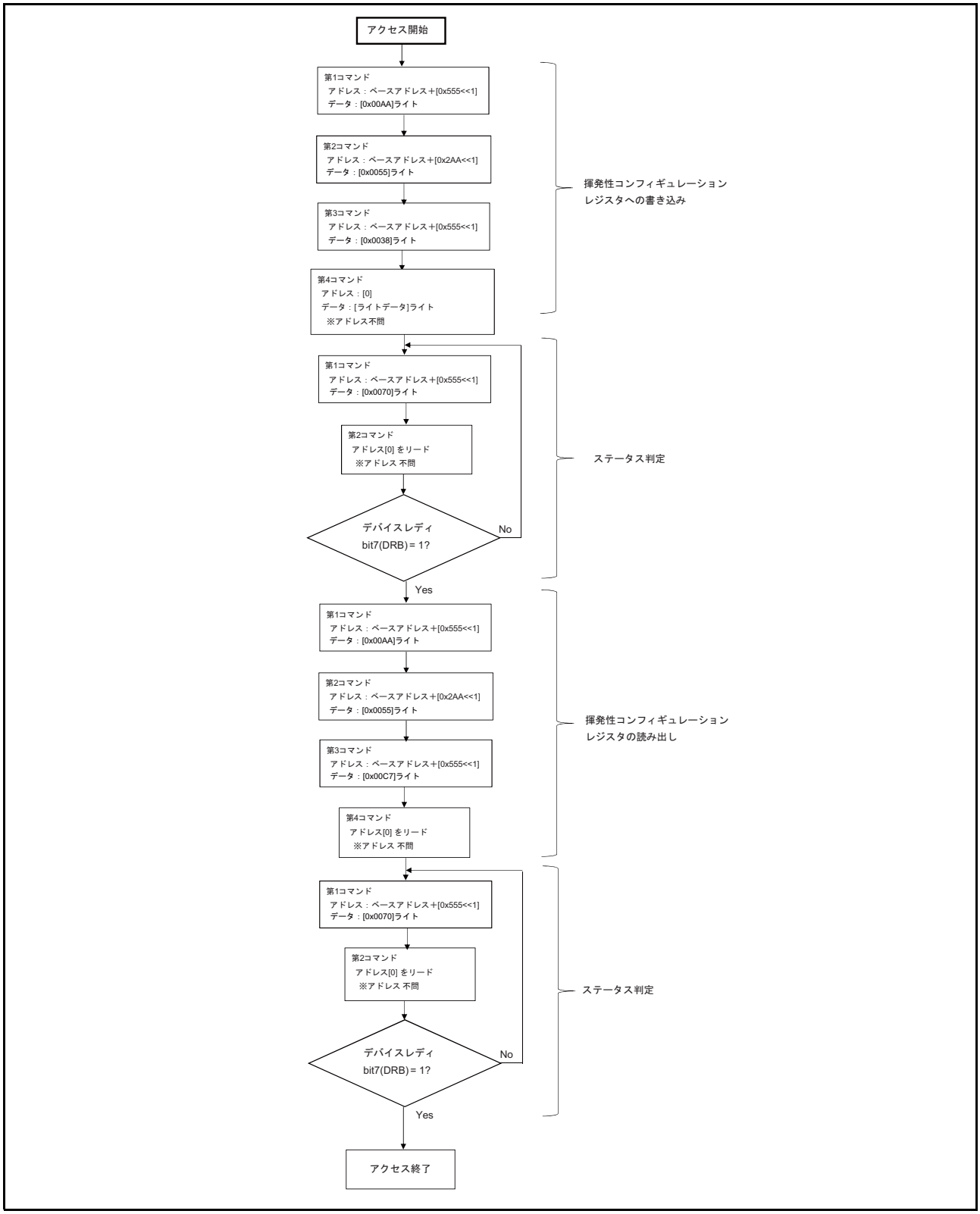


図 21.10　HyperFlash 揮発性コンフィグレーションレジスタのライト・リード

21.6.4　MTR0, MTR1 タイミング

本章は、「21.5.6　CS0 メモリタイミングレジスタ (MTR0)」の MTR0 と「21.5.7　CS1 メモリタイミングレジスタ (MTR1)」の MTR1 に使用する各種タイミングパラメータをタイミング図に示します。

HyperBus コントローラからメモリ (HyperFlash, HyperRAM) へ、ライト / リードアクセスを行う時のタイミングを下図に示します。

① WCSS/RCSS は HM_CS0#/HM_CS1# 端子アサートから最初の HM_CK/HM_CK# エッジまでの期間

② WCSH/RCSH は転送の最終の HM_CK/HM_CK# エッジを送出してから HM_CS0#/HM_CS1# 端子をネゲートするまでの期間

③ WCSHI/RCSHI は転送終了から次の転送開始までの期間

④ LTCY は、MTR1 のみ設定します。(HyperRAM に設定します。HyperFlash は設定不要です。)

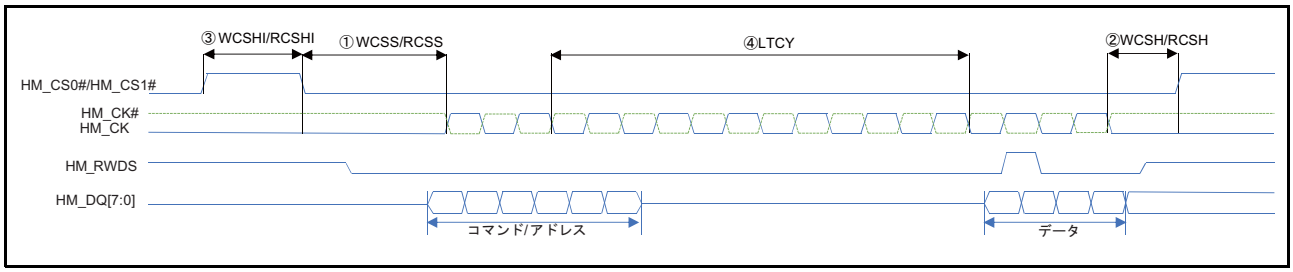


図 21.11　ライト / リード動作時のタイミング図

22. Octa メモリコントローラ

Octa メモリコントローラは、本 LSI に OctaFlash™ と OctaRAM™ を直接接続することができます。

注 . OctaFlash™/OctaRAM™ は Macronix International Co., Ltd. の商標です。

22.1 特長

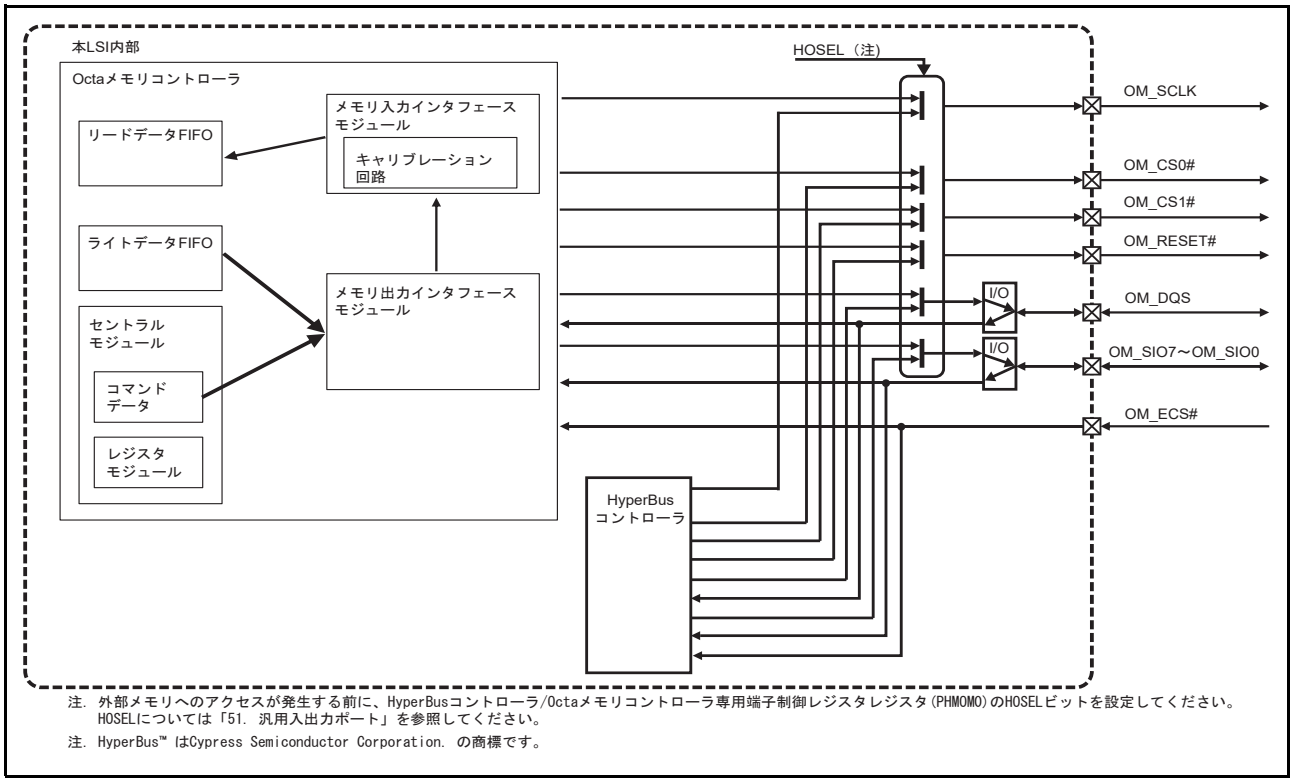
- Macronix シリアルマルチ I/O (MXSMIO®)、Octa ペリフェラルインタフェース (OPI) サポート
- OPI インタフェース対応の OctaFlash/ OctaRAM をそれぞれ 1 個接続可能
- チップセレクトを各 1 本 (OM_CS0# : OctaFlash、OM_CS1# : OctaRAM) (注)

注 . 同時に動作 (リード / ライト) できるデバイスは 1 つのみ

- デバイスインタフェース
  SPI : Serial Peripheral Interface (OctaFlash、SPI モード)
  SOPI : Single Octa I/O (8bit) (OctaFlash、シングルデータレート)
  DOPI : Double Octa I/O (8bit) (OctaFlash/OcatRAM、ダブルデータレート)
- 3 バイト / 4 バイト OctaFlash アドレスコマンドサポート
- 4 バイト OctaRAM アドレスコマンドサポート
- Read-While-Write (RWW) サポート
- 1LC/2LC (レイテンシカウント) OctaRAM サポート
- ECS# (Error Corrected Signal) 信号あり、ECC エラー検出 (OctaFlash のみ)
- Fastboot は非対応
- 独立したフラッシュ / RAM アドレス空間での、CPU からの直接アクセス (メモリマップ読み出し、書き込み) 機能サポート
- OM_SCLK : 132MHz
- PVcc_HO : 1.8V

22.2 ブロック図

本モジュールの全体ブロックを図 22.1 に示します。



注. 外部メモリへのアクセスが発生する前に、HyperBusコントローラ/Octaメモリコントローラ専用端子制御レジスタレジスタ(PHMOMO)のHOSELビットを設定してください。
HOSELについては「51. 汎用入出力ポート」を参照してください。

注. HyperBus™ はCypress Semiconductor Corporation. の商標です。

図 22.1 ブロック図

22.3 入出力端子

本モジュールの端子構成を表 22.1 に示します。

表22.1 端子構成

端子名	入出力	名称	機能
OM_SCLK	出力	クロック	クロック出力端子です。
OM_CS0#	出力	チップセレクト0	OctaFlashのためのチップセレクト信号です。
OM_CS1#	出力	チップセレクト1	OctaRAMのためのチップセレクト信号です。
OM_DQS	入出力	リードライトデータストローブ	リードデータストローブ/ライトデータマスク端子です。
OM_SIO7～OM_SIO0	入出力	データ	データ入出力端子です。
OM_RESET#	出力	リセット出力	OctaFlash、OctaRAMへのリセット出力です。
OM_ECS#	入力	ECCエラー検出端子	外部メモリからのECCエラー検出端子です。

注. OM_ECS#は、兼用端子(3.3V電源)にマルチプレクスされた入力機能です。その他の端子は、専用端子(1.8V電源)です。

22.3.1　デバイス インタフェース

デバイスインタフェースは、OctaFlash / OctaRAM インタフェースと互換性があります。

デバイスメモリからのデータ読み出し時、またはデバイスメモリへのデータ書き込み時、I/O モードに従ってビット順は変更されます。このマッピングテーブルを以下に示します。

表22.2　異なるI/Oモードでのビット順序

I/Oモード	ビット順 (MSB)
デバイスからのデータ読み出し	
1 I/O (SPI)	OM_SIO1　入力
8 I/O (SOPI)	OM_SIO7～0　入力
8 I/O (DOPI)	OM_SIO7～0　入力　データ順{D1, D0}, {D3, D2}…
デバイスへのデータプログラム/書き込み	
1 I/O (SPI)	OM_SIO0　出力
8 I/O (SOPI)	OM_SIO7～0　出力
8 I/O (DOPI)	OM_SIO7～0　出力　データ順{D1, D0}, {D3, D2}…

22.4　レジスタの説明

表 22.3 にレジスタ構成を示します。

フラッシュメモリ / RAM にアクセスするにはメモリマップモードとコンフィギュレーションモードの二種類があります。

メモリマップモード

- OctaFlash/RAM のメモリアレイ領域へのリード / ライトアクセスが可能

コンフィギュレーションモード

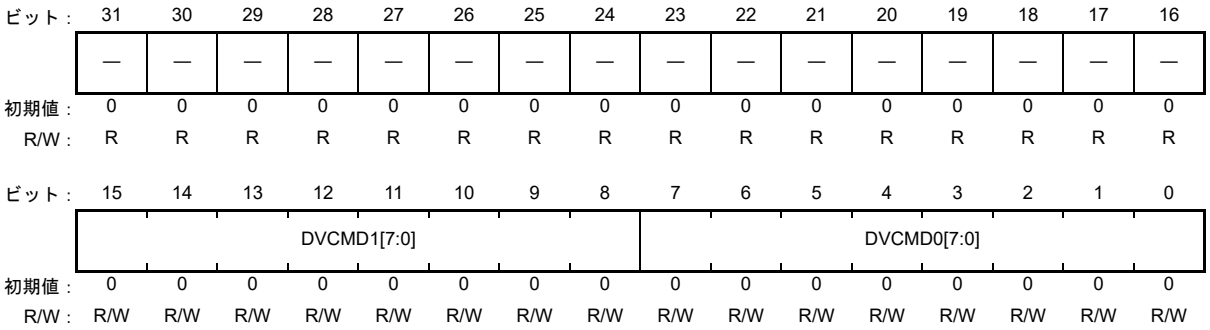
- 任意のコマンド / データを送信可能

表22.3　Octa メモリコントローラレジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
デバイスコマンドレジスタ	DCR	R/W	H'00000000	H'1F401000	32
デバイスアドレスレジスタ	DAR	R/W	H'00000000	H'1F401004	32
デバイスコマンド設定レジスタ	DCSR	R/W	H'00000000	H'1F401008	32
デバイスサイズレジスタ_0	DSR0	R/W	H'00000000	H'1F40100C	32
デバイスサイズレジスタ_1	DSR1	R/W	H'00000000	H'1F401010	32
メモリ遅延トリムレジスタ	MDTR	R/W	H'06009400	H'1F401014	32
自動キャリブレーションタイマレジスタ	ACTR	R/W	H'10000000	H'1F401018	32
自動キャリブレーションアドレスレジスタ_0	ACAR0	R/W	H'00000000	H'1F40101C	32
自動キャリブレーションアドレスレジスタ_1	ACAR1	R/W	H'00000000	H'1F401020	32
デバイスリードタイミング設定レジスタ	DRCSTR	R/W	H'00000000	H'1F401034	32
デバイスライトタイミング設定レジスタ	DWCSTR	R/W	H'00000000	H'1F401038	32
デバイスセレクトタイミング設定レジスタ	DCSTR	R/W	H'00000000	H'1F40103C	32
コントローラデバイス設定レジスタ	CDSR	R/W	H'00000000	H'1F401040	32
メモリマップダミー長設定レジスタ	MDLR	R/W	H'00000000	H'1F401044	32
メモリマップリードライトコマンドレジスタ_0	MRWCR0	R/W	H'00000000	H'1F401048	32
メモリマップリードライトコマンドレジスタ_1	MRWCR1	R/W	H'00000000	H'1F40104C	32
メモリマップリードライト設定レジスタ	MRWCSR	R/W	H'00000000	H'1F401050	32
エラーステータスレジスタ	ESR	R	H'00000000	H'1F401054	32
コンフィグデータなしライトレジスタ	CWNDR	W	H'00000000	H'1F401058	32
コンフィグライトデータレジスタ	CWDR	W	H'00000000	H'1F40105C	32
コンフィグリードデータレジスタ	CRR	R	H'00000000	H'1F401060	32

22.4.1　デバイスコマンドレジスタ（DCR）

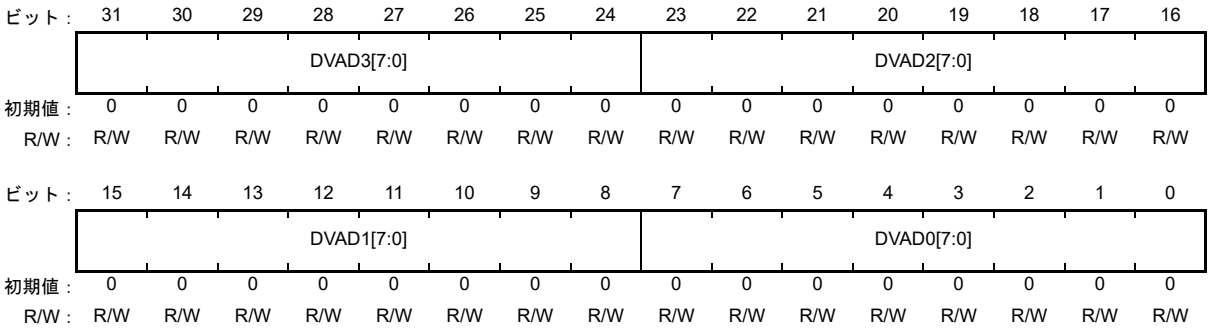
DCR は、コマンドデータを設定するレジスタです。



ビット	ビット名	初期値	R/W	説明
31～16	—	すべて 0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
15～8	DVCMD1 [7:0]	すべて 0	R/W	デバイスコマンドデータ デバイスにコマンドとして転送するデータを設定します。 DCSR.CMDLEN[2:0] = 2 の場合のみ、1バイト目として転送されます。
7～0	DVCMD0 [7:0]	すべて 0	R/W	デバイスコマンドデータ デバイスにコマンドとして転送するデータを設定します。 DCSR.CMDLEN[2:0] = 1 の場合、1バイト目として転送されます。 DCSR.CMDLEN[2:0] = 2 の場合、2バイト目として転送されます。

22.4.2　デバイスアドレスレジスタ（DAR）

DAR レジスタは、制御対象のアドレスを設定するレジスタです。



ビット	ビット名	初期値	R/W	説明
31～24	DVAD3 [7:0]	すべて 0	R/W	デバイスアドレスデータ 3 デバイスアドレスデータを設定します。 DCSR.ADLEN[2:0] = 4 の場合のみ使用し、第 1 バイトとして設定されます。
23～16	DVAD2 [7:0]	すべて 0	R/W	デバイスアドレスデータ 2 デバイスアドレスデータを設定します。 DCSR.ADLEN[2:0] = 3 の場合、第 1 バイトとして設定されます。 DCSR.ADLEN[2:0] = 4 の場合、第 2 バイトとして設定されます。
15～8	DVAD1 [7:0]	すべて 0	R/W	デバイスアドレスデータ 1 デバイスアドレスデータを設定します。 DCSR.ADLEN[2:0] = 3 の場合、第 2 バイトとして設定されます。 DCSR.ADLEN[2:0] = 4 の場合、第 3 バイトとして設定されます。
7～0	DVAD0 [7:0]	すべて 0	R/W	デバイスアドレスデータ 0 デバイスアドレスデータを設定します。 DCSR.ADLEN[2:0] = 3 の場合、第 3 バイトとして設定されます。 DCSR.ADLEN[2:0] = 4 の場合、第 4 バイトとして設定されます。

22.4.3　デバイスコマンド設定レジスタ（DCSR）

DCSR レジスタは、デバイスコマンドを設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	ACDA	DOPI	ADLEN[2:0]			DAOR	CMDLEN[2:0]			ACDV	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

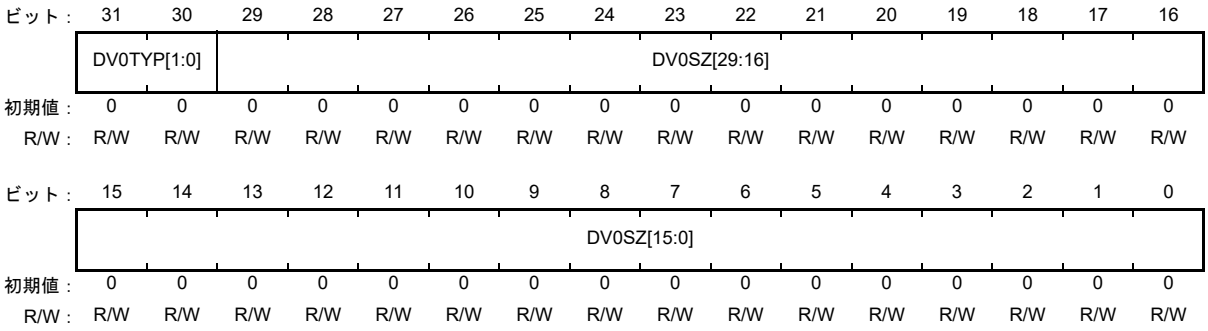
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DMLEN[7:0]								DALEN[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～29	—	すべて0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
28	ACDA	0	R/W	データアクセス制御 データアクセスかレジスタアクセスを設定します。 0：レジスタアクセス 転送データに調整を行なわない。 1：データアクセス （1）DOPIモードでは、アドレスbit0 は強制的に0になります。 （2）DOPIモードでは、リード・タイプ・コマンドの DAR[0] が1の場合、 デバイスからのバイト0はドロップされます。 （3）AXIリードデータはDARに従って調整される。 たとえば： DAR[1:0] = 1の場合、最初の有効なデータは RDATA[15:8] に格納されます。 （4）DOPIモードでは、AXIライトデータがDARに従って使用されます。 たとえば： ターゲットデバイスがフラッシュで、DAR[1:0] = 1 の場合、フラッシュに送信される 第1バイトは強制的に0xffになります。 ターゲットデバイスがRAMで、DAR[1:0] = 1 の場合、RAMに送信される 第1バイトはDQSMによってマスクされます。 （5）ターゲットデバイスがRAMの場合、メモリに送信されるアドレスはRAM仕様に 従って変わります。
27	DOPI	0	R/W	DOPIシングルバイト設定 DOPIモードであっても、読み出しデータが各サイクルで1バイトしかない場合に設定します。たとえば、OctaFlashのRDID、RDSRコマンドです。 0：1クロック 2バイトの設定（標準設定） 1：1クロック 1バイトの設定（データはクロック立ち上がり時に変更し、立下り時は固定）
26～24	ADLEN[2:0]	000	R/W	転送アドレス長設定 転送するアドレスの長さをバイト単位で設定します。
23	DAOR	0	R/W	データ順番設定 リードおよびライト動作時、データのバイト順番を設定します。 0：バイト0、バイト1、バイト2、バイト3 1：バイト1、バイト0、バイト3、バイト2
22～20	CMDLEN[2:0]	000	R/W	転送コマンド長設定 転送するコマンドの長さをバイト単位で設定します。
19	ACDV	0	R/W	アクセス先設定 アクセスするデバイスを設定します。 0：デバイス0にコマンドを転送します。 1：デバイス1にコマンドを転送します。
18～16	—	すべて0	R	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。
15～8	DMLEN[7:0]	すべて0	R/W	ダミー(レイテンシ)サイクル設定 ダミー(レイテンシ)サイクルの長さをOM_SCLK単位で設定します。

ビット	ビット名	初期値	R/W	説明
7～0	DALEN [7:0]	すべて 0	R/W	転送データ長設定 転送データの長さをバイト単位で設定します。 [7:0]が0の場合、メモリへの送信またはメモリからの受信のためのデータはありません。

22.4.4　デバイスサイズレジスタ _0（DSR0）

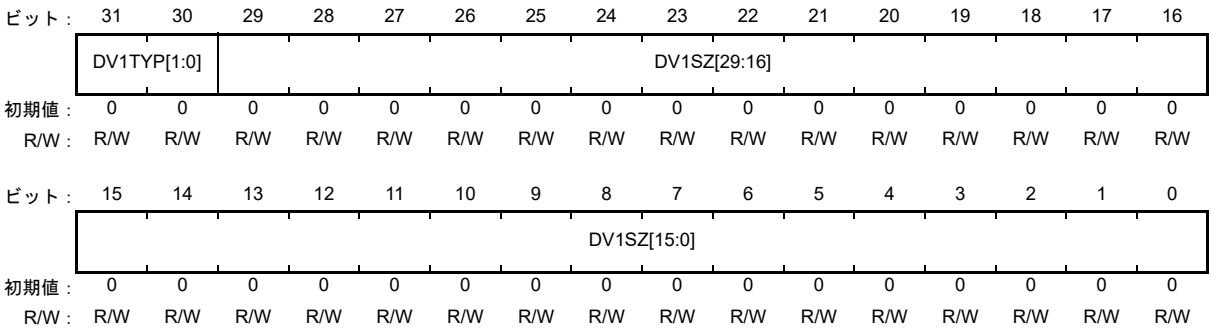
DSR0 レジスタはデバイス 0 としてアクセスする対象のタイプ、フラッシュのサイズを指定するレジスタです。



ビット	ビット名	初期値	R/W	説明
31、30	DV0TYP [1:0]	00	R/W	デバイス0タイプ設定 00に設定してください。
29～0	DV0SZ [29:0]	すべて 0	R/W	デバイス0容量設定 デバイス0として接続されている対象を30ビットでサイズを設定します。 設定例：H'10000000: 256MByte Flash H'08000000: 128MByte Flash

22.4.5　デバイスサイズレジスタ _1（DSR1）

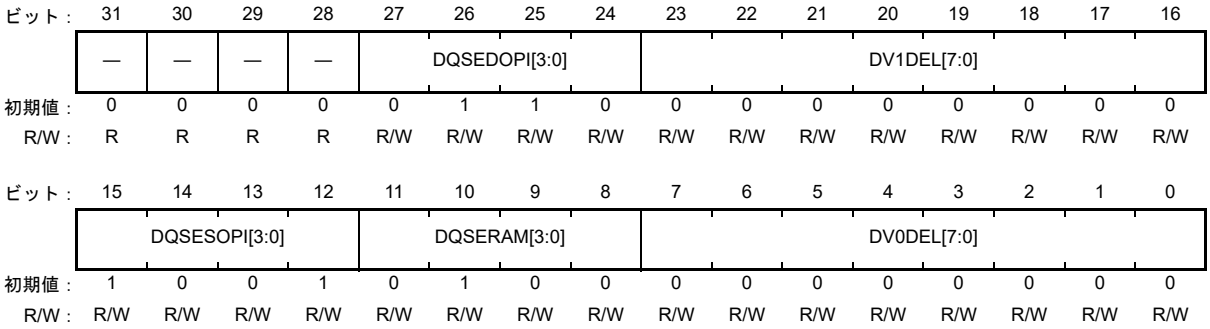
DSR1 レジスタはデバイス 1 としてアクセスする対象のタイプ、RAM のサイズを指定するレジスタです。



ビット	ビット名	初期値	R/W	説明
31、30	DV1TYP [1:0]	00	R/W	デバイス1タイプ設定 01に設定してください。
29～0	DV1SZ [29:0]	すべて 0	R/W	デバイス1容量設定 デバイス1として接続されている対象を30ビットでサイズを設定します。 設定例：H'01000000: 16MByte RAM H'00800000: 8MByte RAM

22.4.6　メモリ遅延トリムレジスタ（MDTR）

MDTR レジスタは、メモリアクセスのタイミング調整を設定するレジスタです。
自動キャリブレーションに関しては「22.5　動作説明」を参照してください。



ビット	ビット名	初期値	R/W	説明
31～28	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27～24	DQSEDOPI [3:0]	H'6	R/W	OM_DQSイネーブルカウンタ DOPIモード[Flash]用の設定。
23～16	DV1DEL [7:0]	すべて 0	R/W	デバイス1 遅延設定 デバイス1のDOPIモード[RAM]でのリードアクセス時にデータ取り込み調整のための、入力ストローブ信号(OM_DQS)の遅延値を設定します。
15～12	DQSESOPI [3:0]	H'9	R/W	OM_DQSイネーブルカウンタ SOPIモード[Flash]用の設定。
11～8	DQSERAM [3:0]	H'4	R/W	OM_DQSイネーブルカウンタ DOPIモード[RAM]用の設定。
7～0	DV0DEL [7:0]	すべて 0	R/W	デバイス0 遅延設定 デバイス0のSOPI/DOPIモード[Flash]でのリードアクセス時にデータ取り込み調整のための、入力ストローブ信号(OM_DQS)の遅延値を設定します。

OM_DQS クロック入力（SOPI / DOPI モード）による読み出し動作中、OM_DQS クロックはコマンド / アドレスフェーズが終了した後、ハイインピーダンスから入力に遷移します。（外部デバイスから 0 出力を受ける）有効なデータを得るためには、DQS イネーブルカウンタと遅延調整が必要となります。

OM_DQS イネーブルカウンタ設定値（OM_SCLK 換算）
0000: １クロックサイクル
0001: ２クロックサイクル
0010: ３クロックサイクル
0011: ４クロックサイクル
...
1111: １６クロックサイクル

OM_DQS イネーブルカウンター設定例

表 22.4　OctaRAM 用 OM_DQS イネーブルカウンタ設定例

	RAM	
ダミー (レイテンシ) サイクル数	プレサイクル On	プレサイクル Off
3	4	4～5
4	4～5	4～6
5	4～6	4～7
6	4～7	4～8
7	4～8	4～9
8	4～9	4～10

表 22.5　OctaFlash 用 OM_DQS イネーブルカウンタ設定例

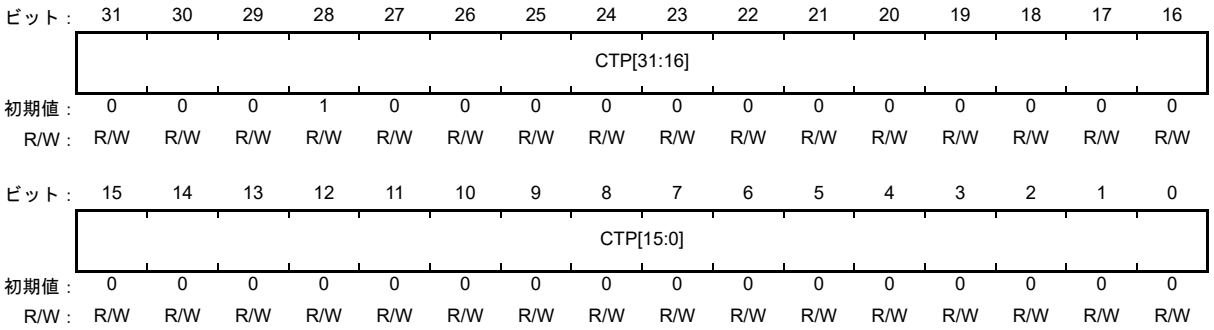
	SOPI	DOPI	
ダミー (レイテンシ) サイクル数	プレサイクル On	プレサイクル On	プレサイクル Off
4	8～9	5～6	5～7
6	8～11	5～8	5～9
8	8～13	5～10	5～11
10	8～15	5～12	5～13
12	8～15	5～14	5～15
14	8～15	5～15	5～15
16	8～15	5～15	5～15
18	8～15	5～15	5～15
20	8～15	5～15	5～15

これらの 2 つのテーブルは、OM_DQS 遅延の 1 つのケースのリストです。

OM_DQS 遅延サイクルがこの範囲にない場合は、「22.7　OM_DQS イネーブルカウンタ」を参照し、正しい範囲を再計算してください。

22.4.7　自動キャリブレーションタイマレジスタ（ACTR）

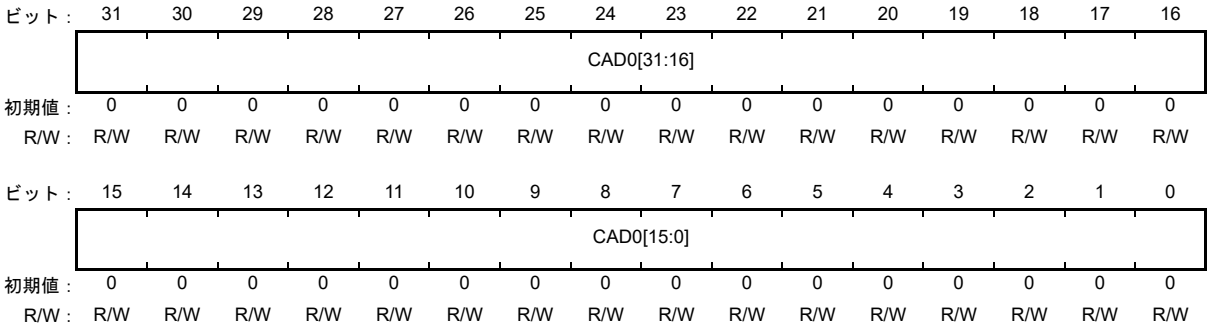
ACTR レジスタは自動キャリブレーションを実行する周期を設定するレジスタです。



ビット	ビット名	初期値	R/W	説明
31～0	CTP[31:0]	H'10000000	R/W	自動キャリブレーション周期設定 自動キャリブレーションの実行周期を32ビットで設定します。 自動キャリブレーション周期時間(ns) = CTP[31:0] × Bφ 自動キャリブレーションが有効 (CDSR.ACMODE[1:0] = H'1) でかつ、内部タイマがこのレジスタの値と等しくなった時、自動キャリブレーションを始めます。

22.4.8　自動キャリブレーションアドレスレジスタ _0（ACAR0）

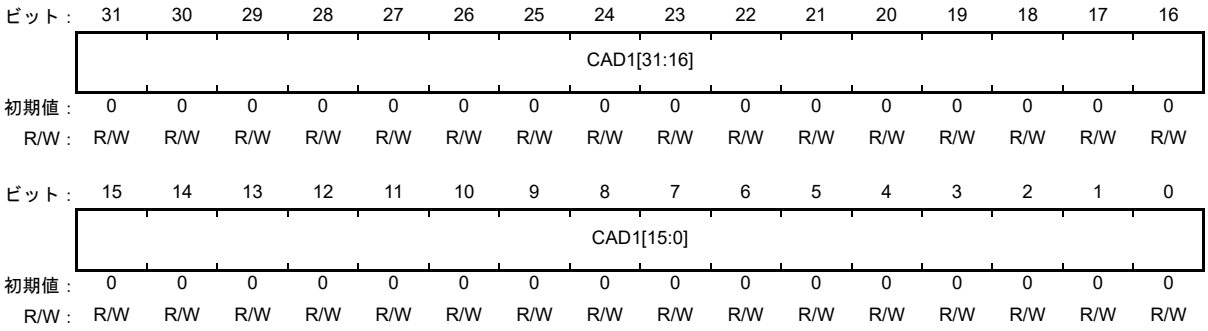
ACAR0 レジスタは、デバイス 0 の自動キャリブレーションを行う際の OctaFlash のライト・リード先アドレスを設定するレジスタです。



ビット	ビット名	初期値	R/W	説明
31～0	CAD0[31:0]	すべて0	R/W	自動キャリブレーションアドレス デバイス0の自動キャリブレーションを行う際のOctaFlashのライト・リード先アドレスを設定します。 注.　本LSIのOctaFlash空間アドレスではなく、OctaFlashのメモリアドレスを設定してください。

22.4.9　自動キャリブレーションアドレスレジスタ _1（ACAR1）

ACAR1 レジスタは、デバイス 1 の自動キャリブレーションを行う際の OctaRAM のライト・リード先アドレスを設定するレジスタです。



ビット	ビット名	初期値	R/W	説明
31～0	CAD1 [31:0]	すべて 0	R/W	自動キャリブレーションアドレス デバイス1の自動キャリブレーションを行う際のOctaRAMのライト・リード先アドレスを設定します。 注.　本LSIのOctaRAM空間アドレスではなく、OctaRAMのメモリアドレスを設定してください。

22.4.10　デバイスリードタイミング設定レジスタ（DRCSTR）

DRCSTR レジスタは、メモリマップリード時の各デバイスのリードタイミングを設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DVRDLO1[1:0]		DVRDHI1[2:0]			DVRDCMD1[2:0]			—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DVRDLO0[1:0]		DVRDHI0[2:0]			DVRDCMD0[2:0]			CTR0	CTRW0[6:0]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	DVRDLO1[1:0]	00	R/W	デバイス1セレクト信号Lowタイミング設定（注） デバイス1セレクト信号のLowからリード動作を行う間のタイミングを示します。 OM_CS1#信号がLowになってから最初のOM_SCLK信号がHighになるタイミングです。 DOPIモード 00: 1.5 クロックサイクル 01: 2.5 クロックサイクル 10: 3.5 クロックサイクル 11: 4.5 クロックサイクル その他のモード 00: 2 クロックサイクル 01: 3 クロックサイクル 10: 4 クロックサイクル 11: 5 クロックサイクル
29～27	DVRDHI1[2:0]	000	R/W	デバイス1セレクト信号Highタイミング設定（注） デバイス1のリード動作が終了してからセレクト信号をHighにする間のタイミングを示します。 最後のOM_SCLK信号がLowになってからOM_CS1#信号がHighになるタイミングです。 DOPI (SOPI) モード 000：設定禁止 001：設定禁止 010：設定禁止 011：設定禁止 100：設定禁止 101：6.5 (7) クロックサイクル 110：7.5 (8) クロックサイクル 111：8.5 (9) クロックサイクル 注.　括弧内の値はSOPIモード時 その他のモード 000：2 クロックサイクル 001：3 クロックサイクル 010：4 クロックサイクル 011：5 クロックサイクル 100：6 クロックサイクル 101：7 クロックサイクル 110：8 クロックサイクル 111：9 クロックサイクル

ビット	ビット名	初期値	R/W	説明
26～24	DVRDCMD1 [2:0]	000	R/W	デバイス1コマンド実行間タイミング設定（注） デバイス1に対するコマンドとコマンドの間のタイミングを示します。 OM_CS1#信号がHighから次にLowになるまでのタイミングです。 000：2 クロックサイクル 001：5 クロックサイクル 010：7 クロックサイクル 011：9 クロックサイクル 100：11 クロックサイクル 101：13 クロックサイクル 110：15 クロックサイクル 111：17 クロックサイクル
23～16	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15、14	DVRDLO0 [1:0]	00	R/W	デバイス0 セレクト信号Lowタイミング設定（注） デバイス0 セレクト信号をLowからリード動作を行うまでのタイミングを示します。 OM_CS0#信号がLowになってから最初のOM_SCLK信号がHighになるタイミングです。 DOPIモード 00: 1.5 クロックサイクル 01: 2.5 クロックサイクル 10: 3.5 クロックサイクル 11: 4.5 クロックサイクル その他のモード 00: 2 クロックサイクル 01: 3 クロックサイクル 10: 4 クロックサイクル 11: 5 クロックサイクル
13～11	DVRDHI0 [2:0]	000	R/W	デバイス0セレクト信号Highタイミング設定（注） デバイス0のリード動作が終了してからセレクト信号をHighにするまでのタイミングを示します。 最後のOM_SCLK信号がLowになってからOM_CS0#信号がHighになるタイミングです。 DOPI (SOPI) モード 000：設定禁止 001：設定禁止 010：設定禁止 011：設定禁止 100：設定禁止 101：6.5 (7) クロックサイクル 110：7.5 (8) クロックサイクル 111：8.5 (9) クロックサイクル 注.　括弧内の値はSOPIモード時 その他のモード 000：2 クロックサイクル 001：3 クロックサイクル 010：4 クロックサイクル 011：5 クロックサイクル 100：6 クロックサイクル 101：7 クロックサイクル 110：8 クロックサイクル 111：9 クロックサイクル
10～8	DVRDCMD0 [2:0]	000	R/W	デバイス0コマンド実行間タイミング設定（注） デバイス0に対するコマンドとコマンドの間のタイミングを示します。 OM_CS0#信号がHighから次にLowになるまでのタイミングです。 000：2 クロックサイクル 001：5 クロックサイクル 010：7 クロックサイクル 011：9 クロックサイクル 100：11 クロックサイクル 101：13 クロックサイクル 110：15 クロックサイクル 111：17 クロックサイクル
7	CTR0	0	R/W	デバイス0連続リード設定 連続リード有効の場合、CTRW0[6:0]で設定された値を使用し、連続リード動作が行なわれるのを待ちます。本ビットはOctaFlashのDOPIモード時以外は使用しないでください。 0: デバイス0の連続リード無効 1: デバイス0の連続リード有効

ビット	ビット名	初期値	R/W	説明
6～0	CTRW0 [6:0]	すべて 0	R/W	デバイス 0 連続リードサイクル設定 デバイス 0 の連続リードが有効の場合、リード動作が行なわれた後、設定されたクロックサイクル分 OM_CS0# 信号を low 固定にします。 次のリード動作が行なわれる前にクロックサイクル数がビットの設定の 2 倍を超えたら OM_CS0# 信号を High に戻します。

注. クロックサイクルは内部クロック換算となっており、OM_SCLK 換算では、上記表の値の 1/2 となります。

22.4.11　デバイスライトタイミング設定レジスタ（DWCSTR）

DWCSTR レジスタは、メモリマップライト時の各デバイスのライトタイミングを設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DVWLO1[1:0]		DVWHI1[2:0]			DVWCMD1[2:0]			—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DVWLO0[1:0]		DVWHI0[2:0]			DVWCMD0[2:0]			—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	DVWLO1 [1:0]	00	R/W	デバイス1セレクト信号Lowタイミング設定（注） デバイス1セレクト信号のLowからライト動作を行う間のタイミングを示します。 OM_CS1#がLowになってから最初のOM_SCLKがHighになるタイミングです。 DOPIモード 00: 1.5 クロックサイクル 01: 2.5 クロックサイクル 10: 3.5 クロックサイクル 11: 4.5 クロックサイクル その他のモード 00: 2 クロックサイクル 01: 3 クロックサイクル 10: 4 クロックサイクル 11: 5 クロックサイクル
29～27	DVWHI1 [2:0]	000	R/W	デバイス1セレクト信号Highタイミング設定（注） ライト動作が終了してからセレクト信号をHighにする間のタイミングを示します。 最後のOM_SCLKがLowからOM_CS1#がHighになるタイミングです。 DOPIモード 000：1.5 クロックサイクル 001：2.5 クロックサイクル 010：3.5 クロックサイクル 011：4.5 クロックサイクル 100：5.5 クロックサイクル 101：6.5 クロックサイクル 110：7.5 クロックサイクル 111：8.5 クロックサイクル その他のモード 000：2 クロックサイクル 001：3 クロックサイクル 010：4 クロックサイクル 011：5 クロックサイクル 100：6 クロックサイクル 101：7 クロックサイクル 110：8 クロックサイクル 111：9 クロックサイクル
26～24	DVWCMD1 [2:0]	000	R/W	デバイス1コマンド実行間タイミング設定（注） デバイス1に対するコマンドとコマンドの間のタイミングを示します。 OM_CS1#がHighから次にLowになるまでのタイミングです。 000：2 クロックサイクル 001：5 クロックサイクル 010：7 クロックサイクル 011：9 クロックサイクル 100：11 クロックサイクル 101：13 クロックサイクル 110：15 クロックサイクル 111：17 クロックサイクル

ビット	ビット名	初期値	R/W	説明
23～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15、14	DVWLO0 [1:0]	00	R/W	デバイス0セレクト信号Lowタイミング設定（注） デバイス0セレクト信号をLowからリード動作を行うまでのタイミングを示します。 OM_CS0#信号がLowになってから最初のOM_SCLK信号がHighになるタイミングです。 DOPIモード 00: 1.5 クロックサイクル 01: 2.5 クロックサイクル 10: 3.5 クロックサイクル 11: 4.5 クロックサイクル その他のモード 00: 2 クロックサイクル 01: 3 クロックサイクル 10: 4 クロックサイクル 11: 5 クロックサイクル
13～11	DVWHI0 [2:0]	000	R/W	デバイス0セレクト信号Highタイミング設定（注） デバイス0のリード動作が終了してからセレクト信号をHighにするまでのタイミングを示します。 最後のOM_SCLK信号がLowになってからOM_CS0#信号がHigh になるタイミングです。 DOPIモード 000：1.5 クロックサイクル 001：2.5 クロックサイクル 010：3.5 クロックサイクル 011：4.5 クロックサイクル 100：5.5 クロックサイクル 101：6.5 クロックサイクル 110：7.5 クロックサイクル 111：8.5 クロックサイクル その他のモード 000：2 クロックサイクル 001：3 クロックサイクル 010：4 クロックサイクル 011：5 クロックサイクル 100：6 クロックサイクル 101：7 クロックサイクル 110：8 クロックサイクル 111：9 クロックサイクル
10～8	DVWCMD0 [2:0]	000	R/W	デバイス0コマンド実行間タイミング設定（注） デバイス0に対するコマンドとコマンドの間のタイミングを示します。 OM_CS0#信号がHighから次にLowになるまでのタイミングです。 000：2 クロックサイクル 001：5 クロックサイクル 010：7 クロックサイクル 011：9 クロックサイクル 100：11 クロックサイクル 101：13 クロックサイクル 110：15 クロックサイクル 111：17 クロックサイクル
7～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　クロックサイクルは内部クロック換算となっており、OM_SCLK換算では、上記表の値の1/2となります。

22.4.12　デバイスセレクトタイミングレジスタ（DCSTR）

DCSTR レジスタは、コンフィグレーションモード時のタイミングを設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DVSELLO[1:0]		DVSELHI[2:0]			DVSELCMD[2:0]			—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15、14	DVSELLO[1:0]	00	R/W	デバイスセレクト信号Lowタイミング設定（注） デバイスセレクト信号のLowからコマンドを行う間のタイミングを示します。 OM_CS#がLowになってから最初のOM_SCLKがHighになるタイミングです。 DOPIモード 00: 1.5 クロックサイクル 01: 2.5 クロックサイクル 10: 3.5 クロックサイクル 11: 4.5 クロックサイクル その他のモード 00: 2 クロックサイクル 01: 3 クロックサイクル 10: 4 クロックサイクル 11: 5 クロックサイクル
13～11	DVSELHI[2:0]	000	R/W	デバイスセレクト信号Highタイミング設定（注） コマンドが終了してからセレクト信号をHighにする間のタイミングを示します。 最後のOM_SCLKがLowからOM_CS#がHighになるタイミングです。 DOPI (SOPI) モード 000：設定禁止 001：設定禁止 010：設定禁止 011：設定禁止 100：設定禁止 101：6.5 (7) クロックサイクル 110：7.5 (8) クロックサイクル 111：8.5 (9) クロックサイクル 注.　括弧内の値はSOPIモード時 その他のモード 000：2 クロックサイクル 001：3 クロックサイクル 010：4 クロックサイクル 011：5 クロックサイクル 100：6 クロックサイクル 101：7 クロックサイクル 110：8 クロックサイクル 111：9 クロックサイクル

ビット	ビット名	初期値	R/W	説明
10～8	DVSELCMD [2:0]	000	R/W	デバイスコマンド実行間タイミング設定（注） デバイスに対するコマンドとコマンドの間のタイミングを示します。 OM_CS#がHighから次にLowになるまでのタイミングです。 000：2 クロックサイクル 001：5 クロックサイクル 010：7 クロックサイクル 011：9 クロックサイクル 100：11 クロックサイクル 101：13 クロックサイクル 110：15 クロックサイクル 111：17 クロックサイクル
7～0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　クロックサイクルは内部クロック換算となっており、OM_SCLK換算では、上記表の値の1/2となります。

22.4.13　コントローラデバイス設定レジスタ（CDSR）

CDSRレジスタは、コントローラおよび各デバイスの自動キャリブレーション、プレサイクル設定、デバイス転送タイプの制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DLFT	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

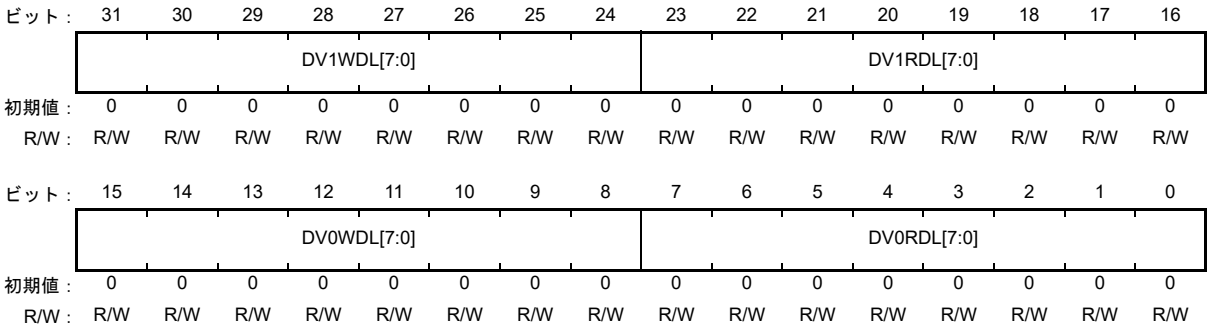
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	ACMODE[1:0]		ACMEME[1:0]		—	—	—	—	DV1PC	DV0PC	DV1TTYP[1:0]		DV0TTYP[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	DLFT	0	R/W	デッドロックフリータイマイネーブル コントローラのデッドロックの発生を防ぐタイマを有効にします。 タイムアウト状態はシステムリセットによってのみリセットされます。 0: タイマを有効にする 1: タイマを無効にする 注.　本機能はOM_SCLK 132 MHz時のみ使用可能。それ以外の場合はタイマを無効に設定してください。
30～14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	ACMODE[1:0]	00	R/W	自動キャリブレーションモード 00：自動キャリブレーション無効(注) 01：自動キャリブレーション有効 10：設定禁止 11：設定禁止 ACMODEはOctaFlashへの書き込み動作中は設定を無効にしてください。 自動キャリブレーションはDOPIモードのみサポートします。
11、10	ACMEME[1:0]	00	R/W	自動キャリブレーションメモリイネーブル設定 自動キャリブレーションはDOPIモードのみをサポートします。 DOPIモードを終了する場合は、自動キャリブレーションを無効にしてください。 [1]:デバイス1用イネーブル　1:有効、0:無効 [0]:デバイス0用イネーブル　1:有効、0:無効
9～6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	DV1PC	0	R/W	デバイス1メモリプレサイクル設定 0: 無効 1: 有効
4	DV0PC	0	R/W	デバイス0メモリプレサイクル設定 0: 無効 1: 有効
3、2	DV1TTYP[1:0]	00	R/W	デバイス1転送タイプ設定 00: SPIモード 01: SOPIモード 10: DOPIモード 11: 設定禁止
1、0	DV0TTYP[1:0]	00	R/W	デバイス0転送タイプ設定 00: SPIモード 01: SOPIモード 10: DOPIモード 11: 設定禁止

注.　自動キャリブレーションを無効とした場合、「22.4.6　メモリ遅延トリムレジスタ（MDTR）」のデバイス0遅延設定(OctaFlash)、デバイス1遅延設定(OctaRAM)を手動で設定する必要があります。図22.15の「MDTR(OctaFlash)の初期設定」および「MDTR(OctaRAM)の初期設定」の処理を参考に設定してください。

22.4.14　メモリマップダミー長設定レジスタ（MDLR）

MDLR レジスタは、メモリマップのライト、リード時のダミー (レイテンシ) サイクル数を設定するレジスタです。

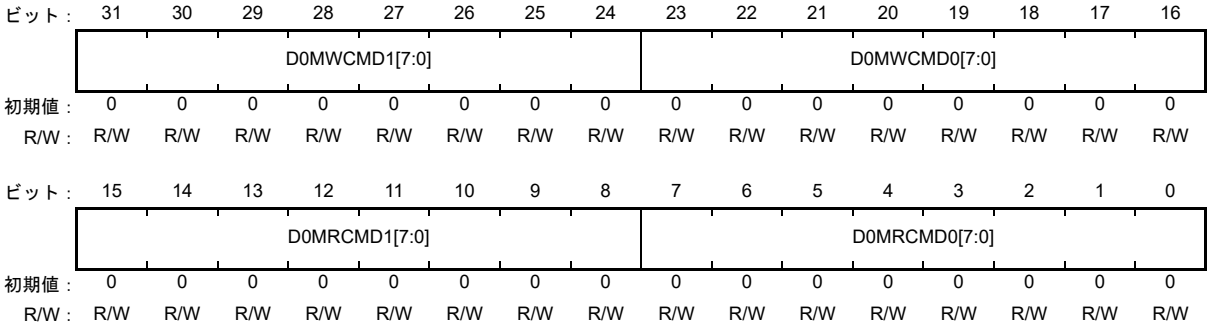


ビット	ビット名	初期値	R/W	説明
31～24	DV1WDL [7:0]	すべて 0	R/W	デバイス1ライトダミー (レイテンシ)サイクル数設定 デバイス1のライト時のダミー (レイテンシ)サイクル数をOM_SCLKサイクル単位で設定します。
23～16	DV1RDL [7:0]	すべて 0	R/W	デバイス1リードダミー (レイテンシ)サイクル数設定 デバイス1のリード時のダミー (レイテンシ)サイクル数をOM_SCLKサイクル単位で設定します。
15～8	DV0WDL [7:0]	すべて 0	R/W	デバイス0ライトダミー (レイテンシ)サイクル数設定 デバイス0のライト時のダミー (レイテンシ)サイクル数をOM_SCLKサイクル単位で設定します。
7～0	DV0RDL [7:0]	すべて 0	R/W	デバイス0リードダミー (レイテンシ)サイクル数設定 デバイス0のリード時のダミー (レイテンシ)サイクル数をOM_SCLKサイクル単位で設定します。

注.　OctaFlashにてダミー (レイテンシ)サイクル数を変更する場合は、メモリ側設定の変更後にデバイスコマンド設定レジスタ（DCSR）のDMLEN[7:0]を変更し、ダミー (レイテンシ)サイクル数を合わせてからメモリの状態確認のためのステータスリードをする必要があります。

22.4.15　メモリマップリードライトコマンドレジスタ _0（MRWCR0）

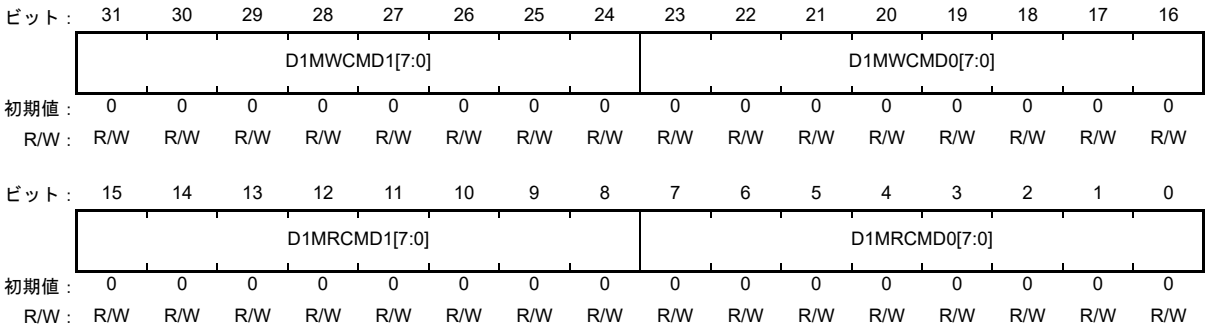
MRWCR0 レジスタは、デバイス 0 のリードおよびライトコマンドを設定するレジスタです。



ビット	ビット名	初期値	R/W	説明
31～24	D0MWCMD1 [7:0]	すべて 0	R/W	メモリマップライトコマンド1設定 メモリマップライトコマンドを設定します。 フラッシュメモリの仕様によりSPI、SOPI、DOPIモードがあります。 SPIモードではコマンド1は転送されません。 SOPI、DOPIモードではコマンド1がコマンド0より先に転送されます。 デバイス0のモード指定はCDSR.DV0TTYP[1:0]で設定できます。
23～16	D0MWCMD0 [7:0]	すべて 0	R/W	メモリマップライトコマンド0設定 メモリマップライトコマンドを設定します。 フラッシュメモリの仕様によりSPI、SOPI、DOPIモードがあります。 SPIモードではコマンド0のみ転送されます。 SOPI、DOPI モードではコマンド1がコマンド0より先に転送されます。 デバイス0のモード指定はCDSR.DV0TTYP[1:0]で設定できます。
15～8	D0MRCMD1 [7:0]	すべて 0	R/W	メモリマップリードコマンド1設定 メモリマップリードコマンドを設定します。 フラッシュメモリの仕様によりSPI、SOPI、DOPIモードがあります。 SPIモードではコマンド1は転送されません。 SOPI、DOPIモードではコマンド1がコマンド0より先に転送されます。 デバイス0のモード指定はCDSR.DV0TTYP[1:0]で設定できます。
7～0	D0MRCMD0 [7:0]	すべて 0	R/W	メモリマップリードコマンド0設定 メモリマップリードコマンドを設定します。 フラッシュメモリの仕様によりSPI、SOPI、DOPIモードがあります。 SPIモードではコマンド0のみ転送されます。 SOPI、DOPIモードではコマンド1がコマンド0より先に転送されます。 デバイス0のモード指定はCDSR.DV0TTYP[1:0]で設定できます。

22.4.16　メモリマップリードライトコマンドレジスタ _1（MRWCR1）

MRWCR1 レジスタは、デバイス 1 のリードおよびライトコマンドを設定するレジスタです。



ビット	ビット名	初期値	R/W	説明
31～24	D1MWCMD1 [7:0]	すべて 0	R/W	メモリマップライトコマンド1設定 メモリマップライトコマンドを設定します。 RAMの仕様によりSPI、SOPI、DOPIモードがあります。 SPIモードではコマンド1は転送されません。 SOPI、DOPIモードではコマンド1がコマンド0より先に転送されます。 デバイス1のモード指定はCDSR.DV1TTYP[1:0]で設定できます。
23～16	D1MWCMD0 [7:0]	すべて 0	R/W	メモリマップライトコマンド0設定 メモリマップライトコマンドを設定します。 RAMの仕様によりSPI、SOPI、DOPIモードがあります。 SPIモードではコマンド0のみ転送されます。 SOPI、DOPI モードではコマンド1がコマンド0より先に転送されます。 デバイス1のモード指定はCDSR.DV1TTYP[1:0]で設定できます。
15～8	D1MRCMD1 [7:0]	すべて 0	R/W	メモリマップリードコマンド1設定 メモリマップリードコマンドを設定します。 RAMの仕様によりSPI、SOPI、DOPIモードがあります。 SPIモードではコマンド1は転送されません。 SOPI、DOPIモードではコマンド1がコマンド0より先に転送されます。 デバイス1のモード指定はCDSR.DV1TTYP[1:0]で設定できます。
7～0	D1MRCMD0 [7:0]	すべて 0	R/W	メモリマップリードコマンド0設定 メモリマップリードコマンドを設定します。 RAMの仕様によりSPI、SOPI、DOPIモードがあります。 SPIモードではコマンド0のみ転送されます。 SOPI、DOPIモードではコマンド1がコマンド0より先に転送されます。 デバイス1のモード指定はCDSR.DV1TTYP[1:0]で設定できます。

22.4.17　メモリマップリードライト設定レジスタ（MRWCSR）

MRWCSR レジスタは、メモリマップのリードおよびライト動作を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MWO1	MWCL1[2:0]			MWAL1[2:0]			—	MRO1	MRCL1[2:0]			MRAL1[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	MWO0	MWCL0[2:0]			MWAL0[2:0]			—	MRO0	MRCL0[2:0]			MRAL0[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	MWO1	0	R/W	デバイス1ライト順番設定 0: ライトの順番は第0バイト、第1バイト、第2バイト、第3バイトの順 1: ライトの順番は第1バイト、第0バイト、第3バイト、第2バイトの順
29～27	MWCL1 [2:0]	000	R/W	デバイス1ライトコマンド長設定 デバイス1のライトコマンドのバイト長を設定します。
26～24	MWAL1 [2:0]	000	R/W	デバイス1ライトアドレス長設定 デバイス1のメモリマップライトのアドレスバイト長を設定します。
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22	MRO1	0	R/W	デバイス1リード順番設定 0: リードの順番は第0バイト、第1バイト、第2バイト、第3バイトの順 1: リードの順番は第1バイト、第0バイト、第3バイト、第2バイトの順 注.　DOPIモード時のみ有効。SOPI / SPIモードでは、無効となります。
21～19	MRCL1 [2:0]	000	R/W	デバイス1リードコマンド長設定 デバイス1のリードコマンドのバイト長を設定します。
18～16	MRAL1 [2:0]	000	R/W	デバイス1リードアドレス長設定 デバイス1のメモリマップリードのアドレスバイト長を設定します。
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	MWO0	0	R/W	デバイス0ライト順番設定 0: ライトの順番は第0バイト、第1バイト、第2バイト、第3バイトの順 1: ライトの順番は第1バイト、第0バイト、第3バイト、第2バイトの順
13～11	MWCL0 [2:0]	000	R/W	デバイス0ライトコマンド長設定 デバイス0のライトコマンドのバイト長を設定します。
10～8	MWAL0 [2:0]	000	R/W	デバイス0ライトアドレス長設定 デバイス0のメモリマップライトのアドレスバイト長を設定します。
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	MRO0	0	R/W	デバイス0リード順番設定 0: リードの順番は第0バイト、第1バイト、第2バイト、第3バイトの順 1: リードの順番は第1バイト、第0バイト、第3バイト、第2バイトの順 注.　DOPIモード時のみ有効。SOPI / SPIモードでは、無効となります。
5～3	MRCL0 [2:0]	000	R/W	デバイス0リードコマンド長設定 デバイス0のリードコマンドのバイト長を設定します。
2～0	MRAL0 [2:0]	000	R/W	デバイス0リードアドレス長設定 デバイス0のメモリマップリードのアドレスバイト長を設定します。

22.4.18　エラーステータスレジスタ（ESR）

ESR レジスタは、メモリマップのリードおよびライトのコマンド実行時に発生したエラーのステータスレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MWESR[7:0]								MRESR[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～16	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
15～8	MWESR[7:0]	0	R	メモリマップライトエラーステータス H'80 = invalid command, H'01 = write data length error
7～0	MRESR[7:0]	0	R	メモリマップリードエラーステータス H'80 = invalid command, H'01 = ECC error, H'02 = preamble error, H'03 = wait OM_DQS timeout

22.4.19　コンフィグデータなしライトレジスタ（CWNDR）

CWNDR レジスタは、コンフィグレーションモードでデータなしライトコマンドを実行するレジスタです。このレジスタに書き込みを行うことで、コントローラはデータなしライトコマンドを発行します。

アドレス設定は DAR レジスタ、コマンド設定は DCSR レジスタ、コマンドデータは DCR レジスタで設定してください。

DCSR.DALEN ビットを "0" に設定して、このレジスタに書き込みを行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

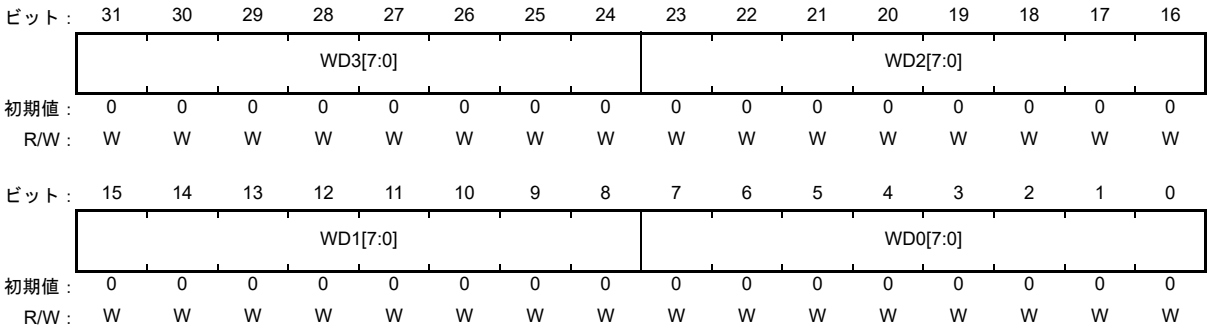
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31～0	—	すべて0	W	書き込む値は常に 0 にしてください。

22.4.20　コンフィグライトデータレジスタ（CWDR）

CWDR レジスタは、ライトデータを設定し、コンフィグレーションモードでライトコマンドを実行するレジスタです。このレジスタに書き込みを行うことで、コントローラはライトコマンドとライトデータを発行します。DCSR の DAOR ビットに従って、コントローラはメモリに送信するバイト順を決定します。アドレス設定は DAR レジスタ、コマンド設定は DCSR レジスタ、コマンドデータは DCR レジスタで設定してください。

DCSR.DALEN ビットを "0" 以外の値に設定して、このレジスタに書き込みを行ってください。

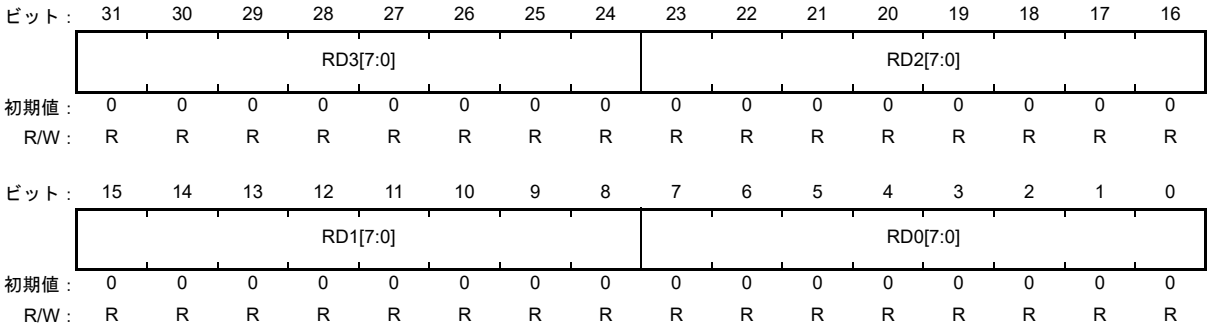


ビット	ビット名	初期値	R/W	説明
31～24	WD3 [7:0]	すべて0	W	ライトデータ3 ライトデータの第3バイトを設定します。
23～16	WD2 [7:0]	すべて0	W	ライトデータ2 ライトデータの第2バイトを設定します。
15～8	WD1 [7:0]	すべて0	W	ライトデータ1 ライトデータの第1バイトを設定します
7～0	WD0 [7:0]	すべて0	W	ライトデータ0 ライトデータの第0バイトを設定します。

22.4.21　コンフィグリードデータレジスタ（CRR）

CRR レジスタは、コンフィグレーションモードでリードコマンドを実行し、リードデータを格納するレジスタです。このレジスタの読み出しを行うことで、コントローラはリードコマンドを発行し、リードデータを本レジスタに格納します。DCSR の DAOR ビットに従って、コントローラはメモリから受信するバイト順を決定します。

アドレス設定は DAR レジスタ、コマンド設定は DCSR レジスタ、コマンドデータは DCR レジスタで設定してください。



ビット	ビット名	初期値	R/W	説明
31～24	RD3 [7:0]	すべて0	R	リードデータ3 リードデータの第3バイトを格納します。
23～16	RD2 [7:0]	すべて0	R	リードデータ2 リードデータの第2バイトを格納します。
15～8	RD1 [7:0]	すべて0	R	リードデータ1 リードデータの第1バイトを格納します。
7～0	RD0 [7:0]	すべて0	R	リードデータ0 リードデータの第0バイトを格納します。

22.5　動作説明

22.5.1　Octa メモリコントローラシステム構成

図 22.2 に本 LSI の Octa メモリコントローラに OctaFlash と OctaRAM を接続した場合の接続図例を示します。

OctaFlash は、CS0# に接続し、OctaRAM は、CS1# に接続します。

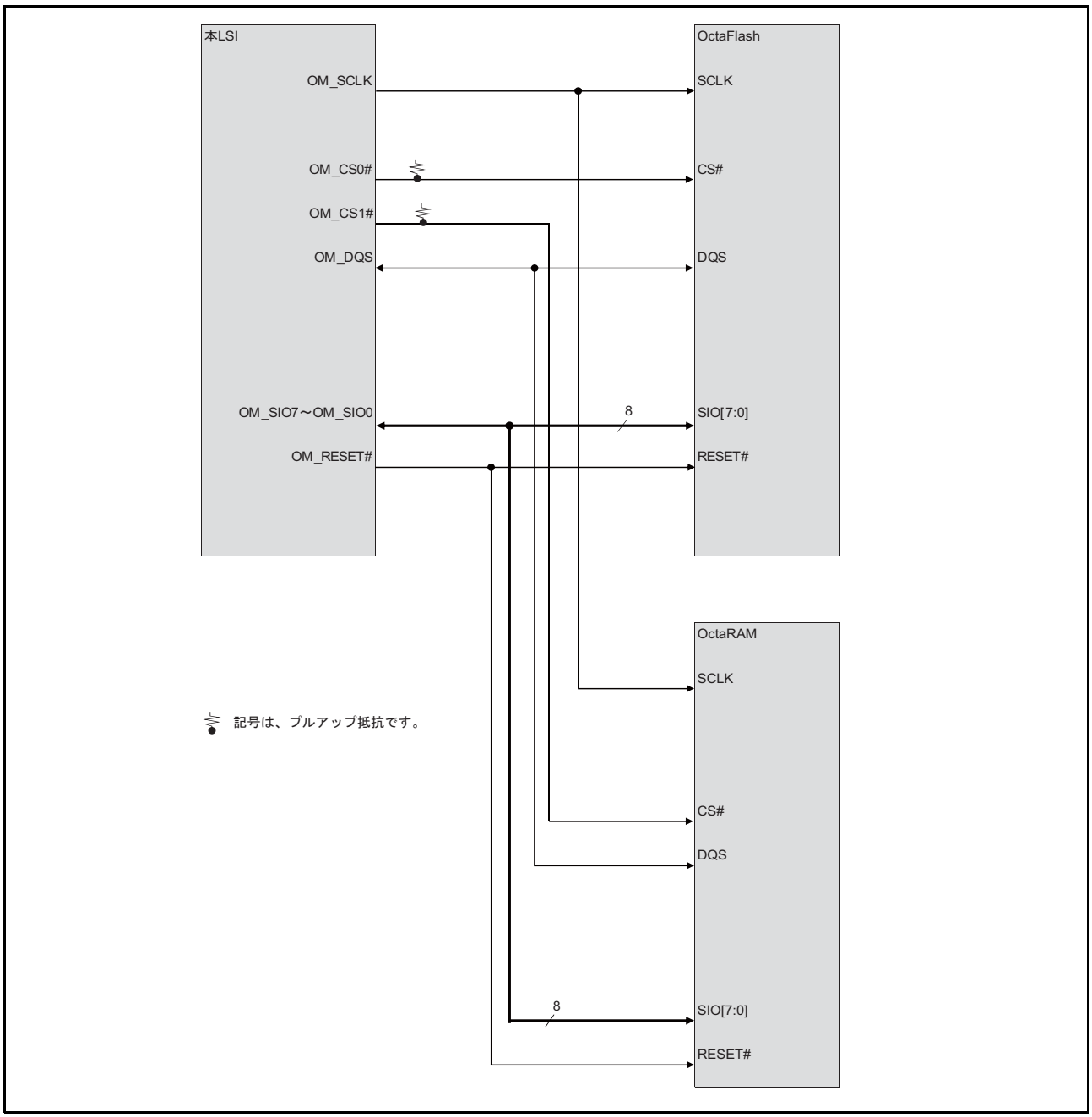


図 22.2　本 LSI と OctaFlash, OctaRAM の接続図例

22.5.2 アドレスマップ

メモリマップモード時、OctaFlash は OctaFlash 空間 (H'50000000 ～ H'5FFFFFFF)、OctaRAM は OctaRAM 空間 (H'60000000 ～ H'6FFFFFFF) に割り当てられます。

OctaFlash、OctaRAM はそれぞれ 1 つの接続が可能で、最大でそれぞれ 256M バイトまでアクセス可能です。

	内部アドレス	最大アクセス領域
OctaFlash	H'50000000～H'5FFFFFFF	最大で256Mバイト
OctaRAM	H'60000000～H'6FFFFFFF	最大で256Mバイト

22.5.3　Octa メモリインタフェースの説明

この章では、Octa メモリインタフェースについて説明します。

22.5.3.1　ライト動作

Octa メモリコントローラは OM_CS0#（OM_CS1#）、OM_SCLK、OM_SIO7 ～ OM_SIO0 を使用しコマンド / アドレスを出力し、1 つ以上のデータをライトします。

OctaRAM のライト動作では、データを書き込む前にクロックレイテンシがあります。

図 22.3、**図 22.4**、**図 22.5** に OctaFlash インタフェースのライト波形を示し、**図 22.6** に OctaRAM インタフェースのライト波形を示します。

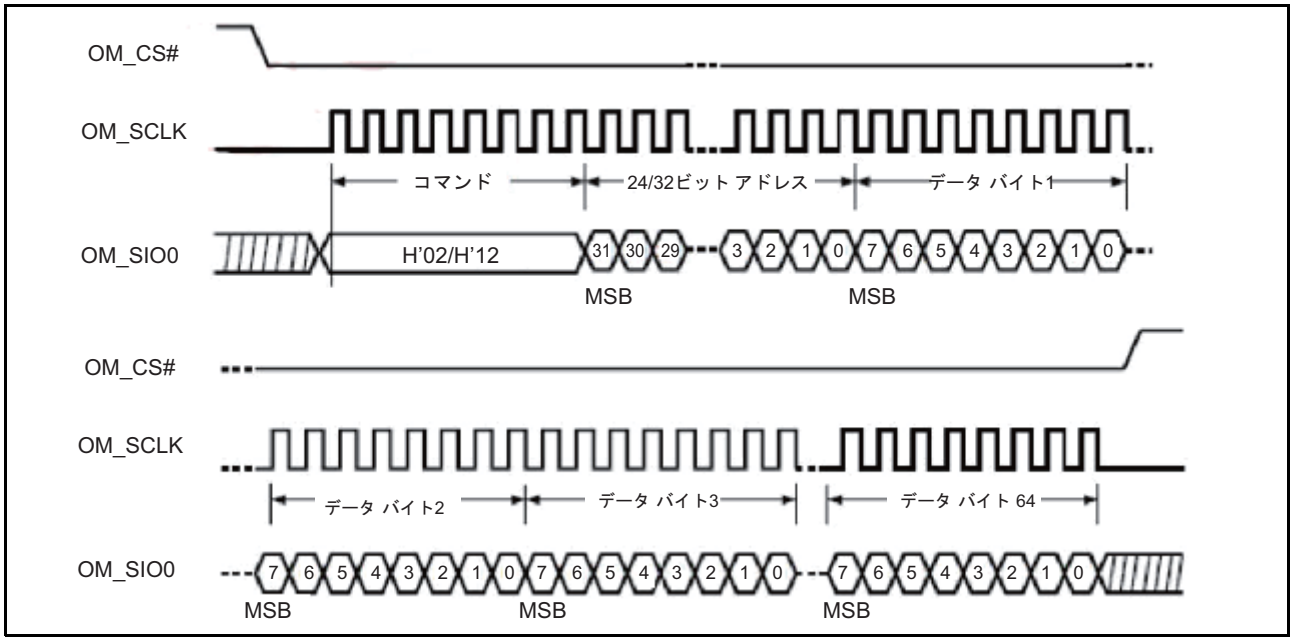


図 22.3　OctaFlash インタフェースのライト波形（SPI Mode）

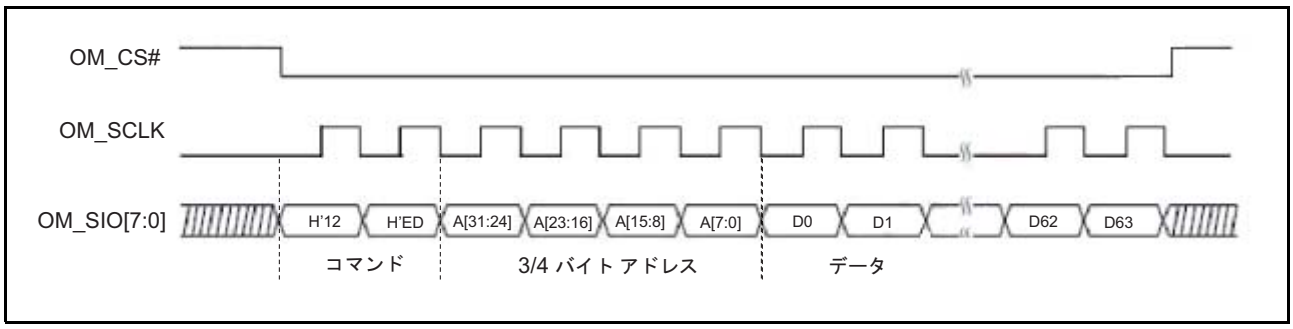


図 22.4　OctaFlash インタフェースのライト波形（SOPI Mode）

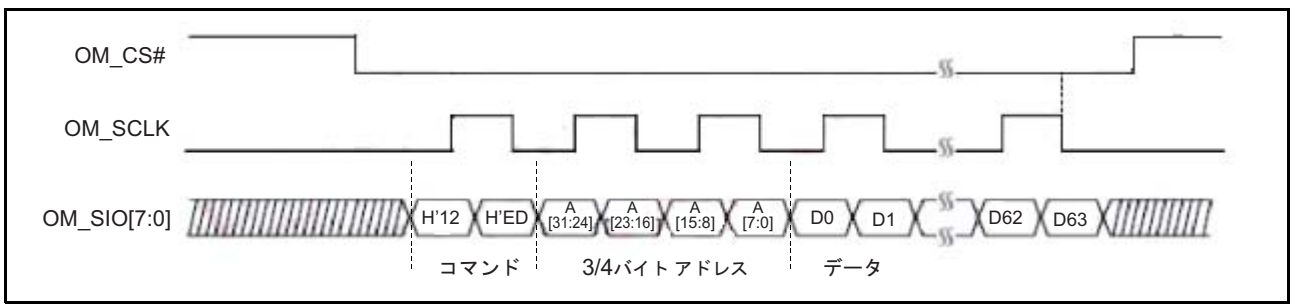


図 22.5　OctaFlash インタフェースのライト波形（DOPI Mode）

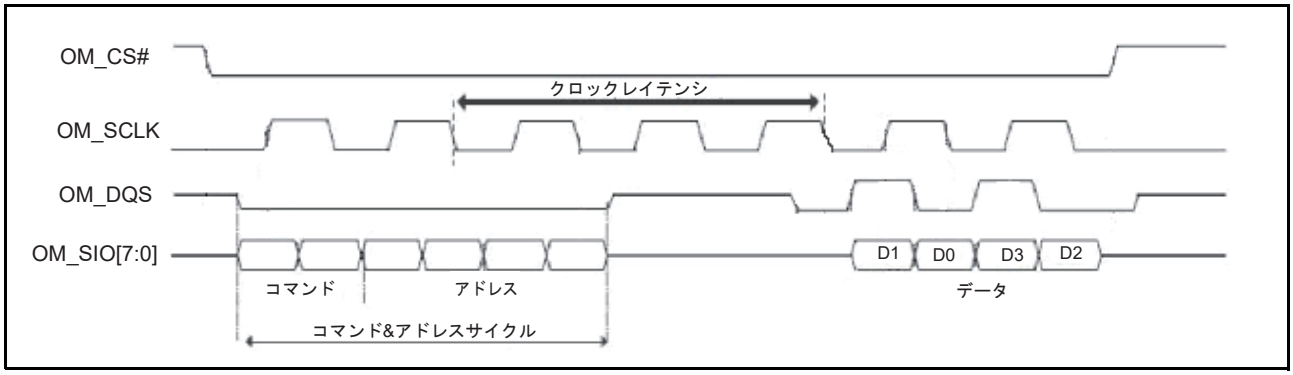


図 22.6 OctaRAM インタフェースのライト波形

22.5.3.2　リード動作

Octa メモリコントローラは OM_CS0#（OM_CS1#）、OM_SCLK 、OM_SIO7 ～ OM_SIO0 を使用しコマンド / アドレスを出力し、OM_DQS のタイミングで 1 つ以上のデータをリードします。

OctaFlash、OctaRAM のリード動作では、データを読み出す前にクロックレイテンシがあります。

クロックレイテンシの設定はメモリの設定値に合わせ、**「22.4.14　メモリマップダミー長設定レジスタ（MDLR）」**に設定する必要があります。

図 22.7、**図 22.8**、**図 22.9** に OctaFlash インタフェースのリード波形を示し、**図 22.10** に OctaRAM インタフェースのリード波形を示します。

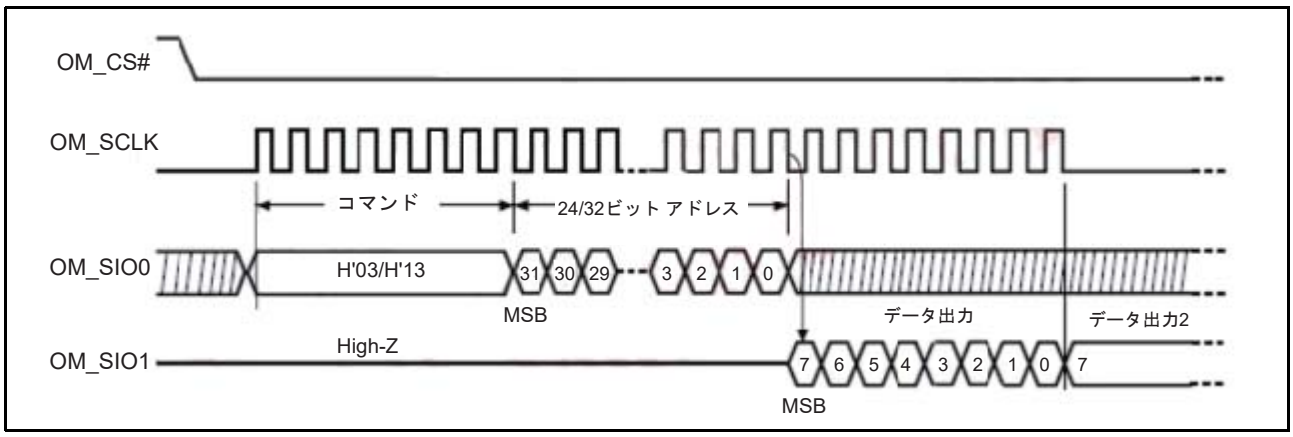


図 22.7　OctaFlash インタフェースのリード波形（SPI Mode）

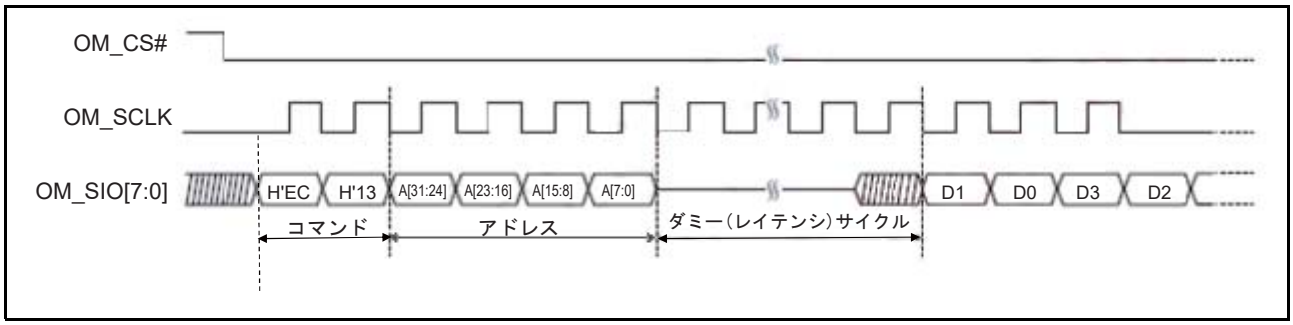


図 22.8　OctaFlash インタフェースのリード波形（SOPI Mode）

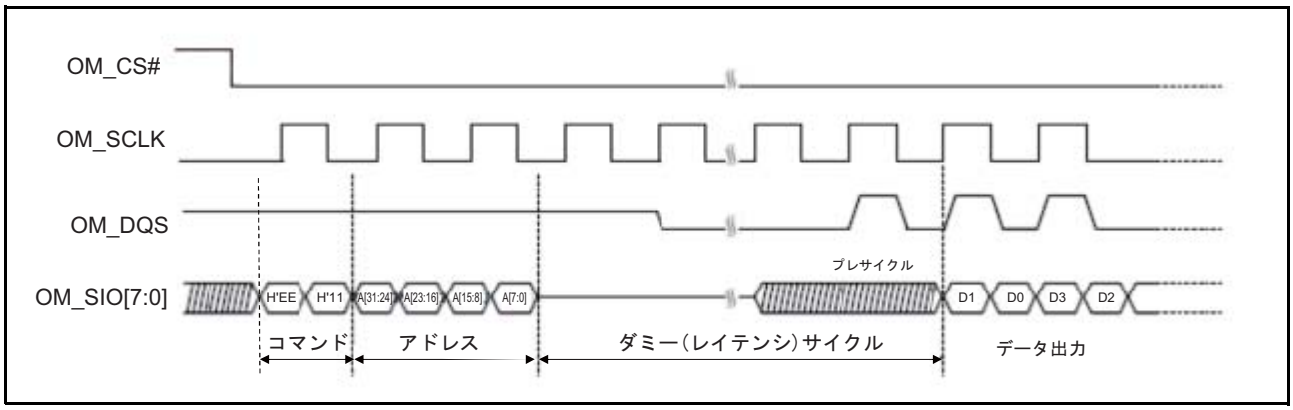


図 22.9　OctaFlash インタフェースのリード波形（DOPI Mode/pre-cycle 有効）

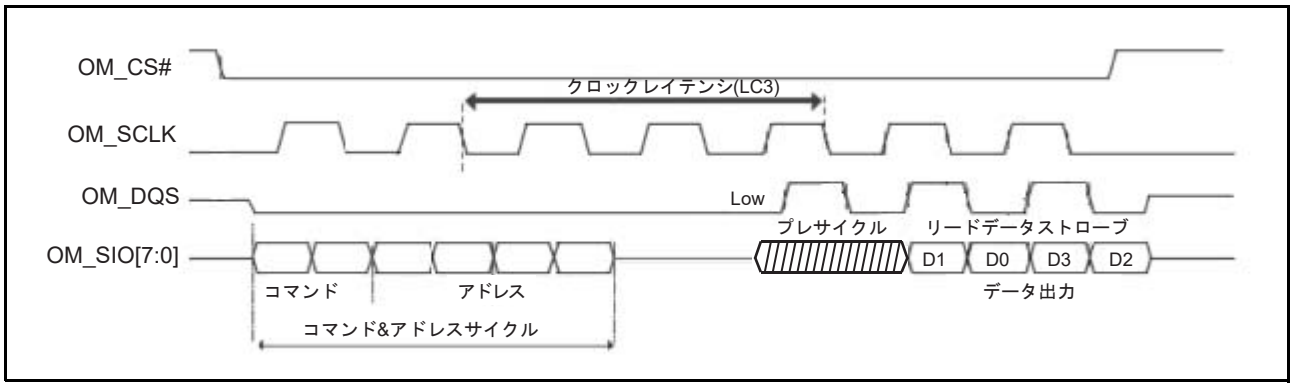


図 22.10 OctaRAM インタフェースのリード波形（pre-cycle 有効）

22.5.4　OctaFlash 空間と OctaRAM 空間のデータアライメント

図 22.11 は、OctaFlash または、OctaRAM のメモリデータアライメントを示します。

図 22.12 は、OctaFlash または、OctaRAM のコンフィグレーションレジスタをアクセスしたときのデータアライメントを示します。

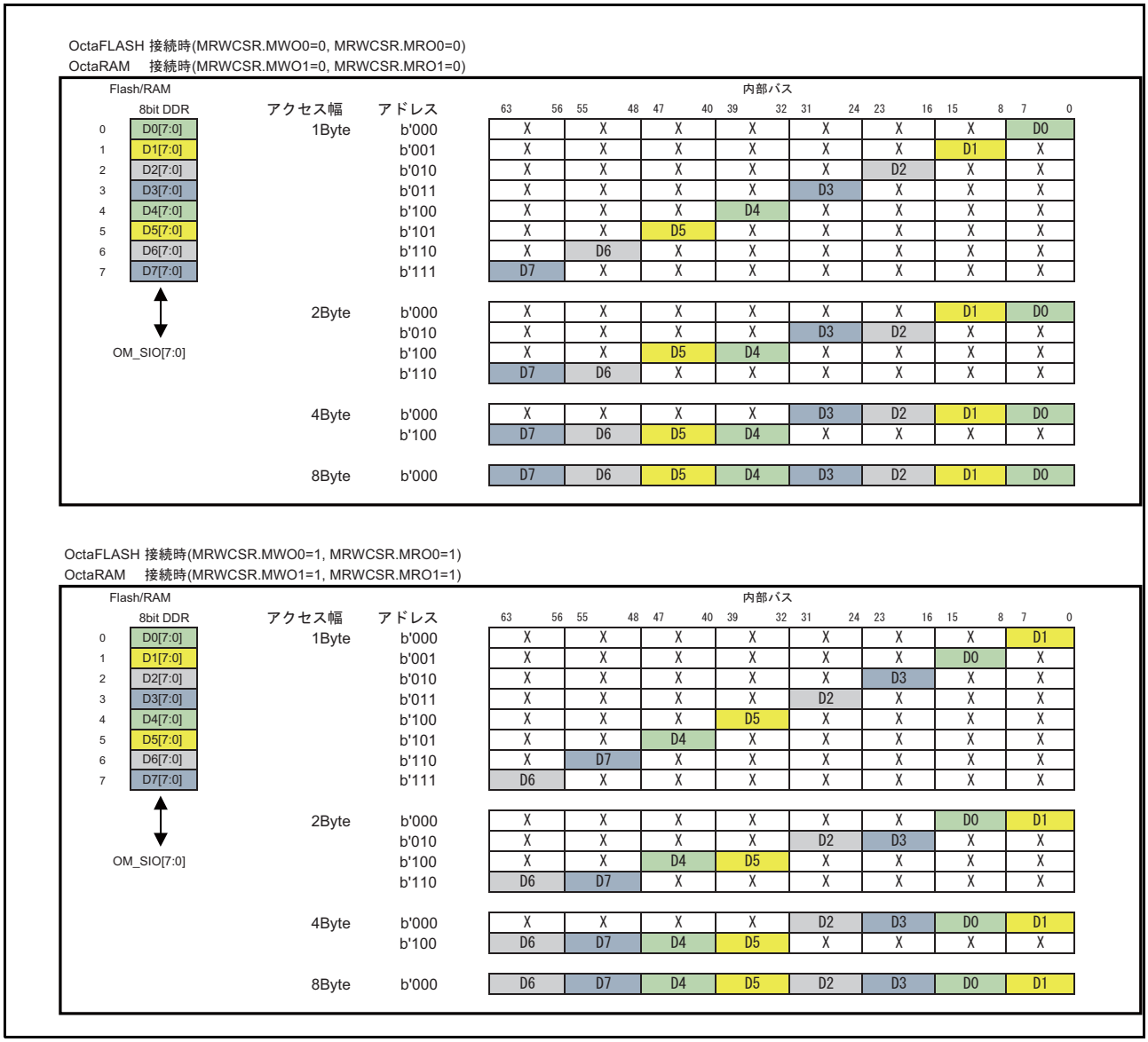


図 22.11　OctaFlash 空間と OctaRAM 空間のメモリデータアライメント

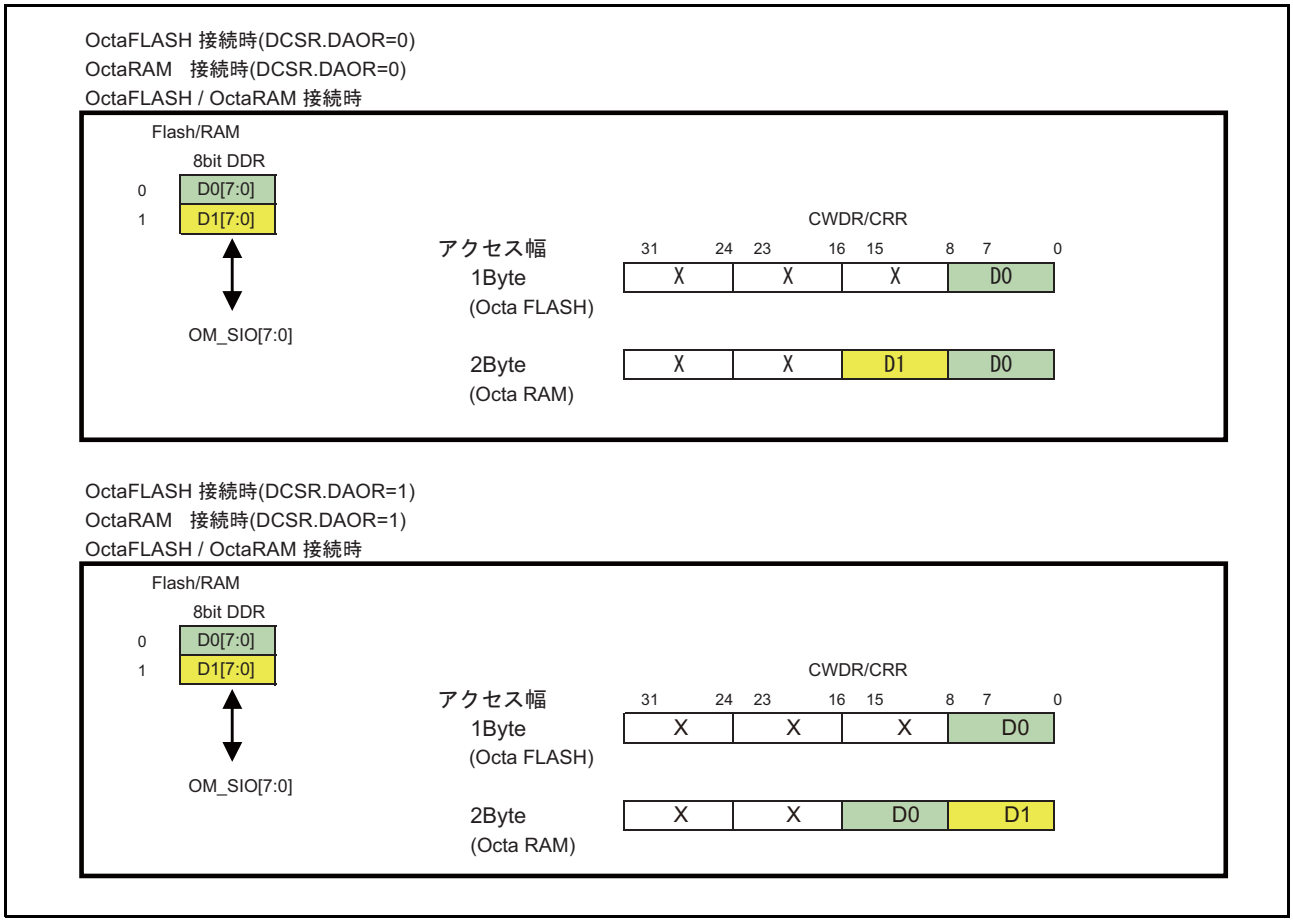


図 22.12　OctaFlash 空間と OctaRAM 空間のコンフィグレーションレジスタデータアライメント

22.5.5　DOPI モード時の 1 バイトライトアクセス

このセクションでは、DOPI モード時の 1 バイトライトアクセスについて説明します。

DOPI モード時の Octa メモリデバイスへのライトアクセスは 2 バイト単位で行われます。

ターゲットデバイスが OctaRAM のとき、コントローラは書込み動作中にバイトマスクとして OM_DQS 信号を出力します。無効な書込みデータは、OM_DQS によってマスクされます。

ターゲットデバイスが OctaFlash のとき、OctaFlash は 2 バイトアクセスのみをサポートするため、1 バイトのライトアクセスをしないでください。

図 22.13 に、DOPI モード時の 1 バイトライト動作波形を示します。

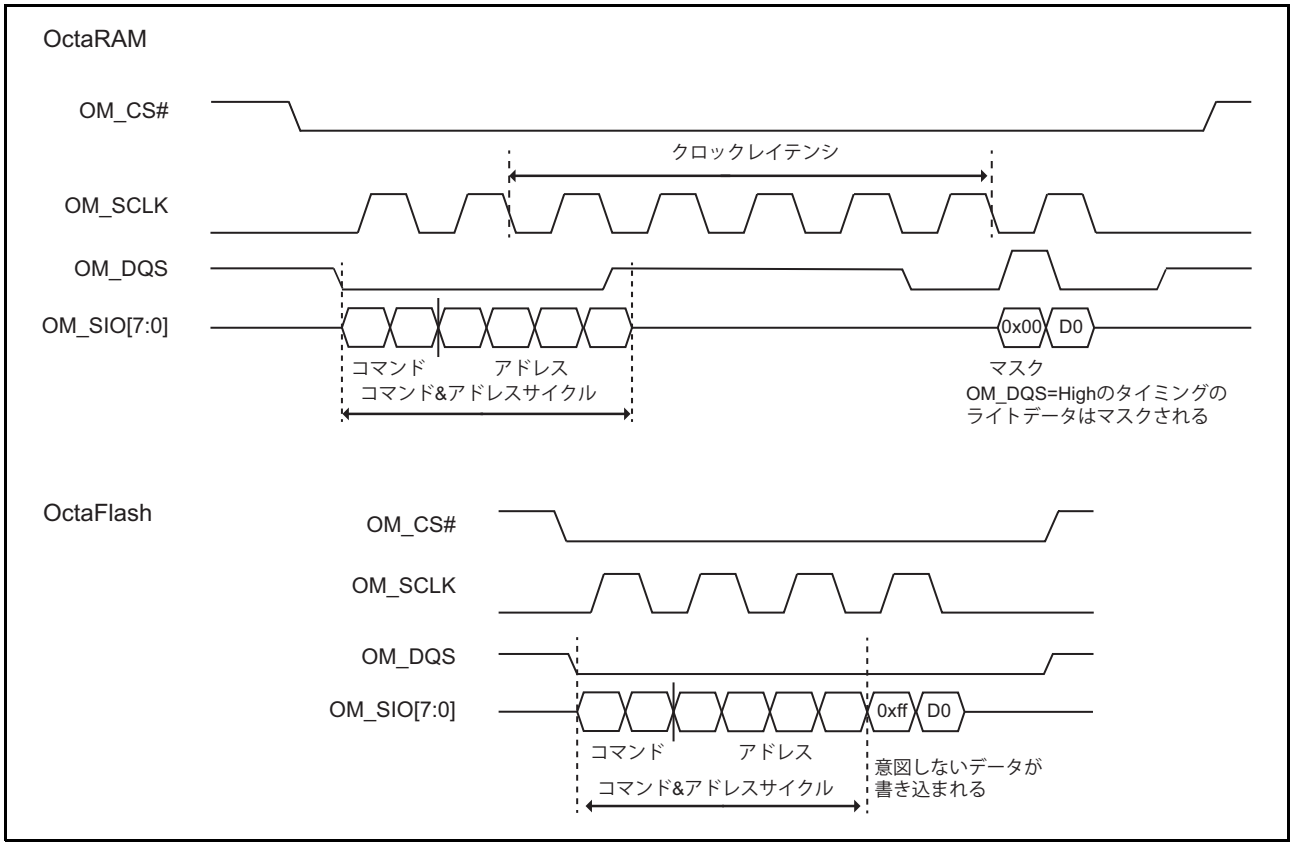


図 22.13　DOPI モード 1 バイトライト波形

22.5.6　動作フロー

Octa メモリコントローラのさまざまな目的に対して関連する動作フローについて説明します。

下記に示す値は設定例であり、各コマンド、データは使用するメモリ仕様に合わせた設定にする必要があります。

この章で説明している例は、次の環境で設定しています。

(1) メモリ接続は、CS0（デバイス 0）：OctaFlash、CS1（デバイス 1）：OctaRAM

(2) OM_SCLK (Octa メモリクロック) 周波数：132MHz

22.5.6.1　初期設定

この章では、Octa メモリコントローラの初期設定の例を示します。

初期設定として、外部メモリへのアクセスが発生する前に、HyperBus コントローラ / Octa メモリコントローラ専用端子制御レジスタ (PHMOM0) の HOSEL ビットを設定してください。

HOSEL については「51.　汎用入出力ポート」を参照してください。

表 22.6　Octa メモリコントローラ初期化設定例

ステップ	リード/ライト	アドレス (レジスタ)	データ	データ長 (バイト)	説明
1	ライト	DSR0	H'08000000	4	デバイス 0 タイプ設定 / デバイス 0 容量設定
2	ライト	DSR1	H'40800000	4	デバイス 1 タイプ設定 / デバイス 1 容量設定
3	ライト	MDTR	H'0740A640	4	メモリアクセスのタイミング調整
4	ライト	DRCSTR	H'29002900	4	各デバイスのリードタイミングを設定
5	ライト	DWCSTR	H'1A001A00	4	各デバイスのライトタイミングを設定
6	ライト	DCSTR	H'00002900	4	デバイスセレクトのタイミングを設定
7	ライト	CDSR	H'0000000A	4	コントローラの設定 (1) メモリプレサイクル 有効 / 無効 (2) 転送タイプ設定 SPI/SOPI/DOPI
8	ライト	MDLR	H'05050E0E	4	ダミー (レイテンシ) サイクル数設定
9	ライト	MRWCR0	H'12EDEE11	4	デバイス 0 のリードおよびライトコマンドを設定
10	ライト	MRWCR1	H'2000A000	4	デバイス 1 のリードおよびライトコマンドを設定
11	ライト	MRWCSR	H'54545454	4	メモリマップのリードおよびライト動作を設定 (1) コマンドのバイト長を設定 (2) アドレスのバイト長を設定 (3) ライト順番設定

注.　HyperBus コントローラ / Octa メモリコントローラ専用端子制御レジスタ (PHMOM0) の HOSEL ビットを設定してください。
HOSEL については「51.　汎用入出力ポート」を参照してください。

22.5.6.2　基本動作設定

この章では、Octa Flash/Octa RAM の基本的な動作を示します。

下記に示す値は設定例であり、各コマンド、データは使用するメモリ仕様に合わせた設定にする必要があります。

(1)　Octa Flash 動作設定

1.　ライトイネーブルオン設定

ステップ	リード/ライト	レジスタ	SPI Mode		OPI Mode		説明
			データ	データ長(バイト)	データ	データ長(バイト)	
1	ライト	DCR	H'00000006	4	H'000006F9	4	
2	ライト	DCSR	H'00100000	4	H'00200000	4	
3	ライト	CWNDR	Don't Care	4	Don't Care	4	

2.　ステータスレジスタリード

ステップ	リード/ライト	レジスタ	SPI Mode		OPI Mode		説明
			データ	データ長(バイト)	データ	データ長(バイト)	
1	ライト	DCR	H'00000005	4	H'000005FA	4	
2	ライト	DAR	—	—	H'00000000	4	
3	ライト	DCSR	H'00100001	4	H'0C200401	4	
4	リード	CRR	H'000000xx	1	H'000000xx	1	上位24ビットは、すべて0 下位8ビットにリードデータが格納される

3.　コンフィギュレーションレジスタリード

ステップ	リード/ライト	レジスタ	SPI Mode		OPI Mode		説明
			データ	データ長(バイト)	データ	データ長(バイト)	
1	ライト	DCR	H'00000015	4	H'000015EA	4	
2	ライト	DAR	—	—	H'00000001	4	
3	ライト	DCSR	H'00100001	4	H'0C200401	4	
4	リード	CRR	H'000000xx	1	H'000000xx	1	上位24ビットは、すべて0 下位8ビットにリードデータが格納される

4.　コンフィギュレーションレジスタライト

ステップ	リード/ライト	レジスタ	SPI Mode		OPI Mode		説明
			データ	データ長(バイト)	データ	データ長(バイト)	
1	ライト	DCR	-	-	H'000001FE	4	
2	ライト	DAR	-	-	H'00000001	4	
3	ライト	DCSR	-	-	H'04200001	4	
4	ライト	CWDR	-	-	H'000000xx	1	上位24ビットは、すべて0 下位8ビットにライトデータを設定する

5. コンフィギュレーションレジスタ 2 リード

ステップ	リード/ライト	レジスタ	SPI Mode		OPI Mode		説明
			データ	データ長(バイト)	データ	データ長(バイト)	
1	ライト	DCR	H'00000071	4	H'0000718E	4	
2	ライト	DAR	アドレス	4	アドレス	4	
3	ライト	DCSR	H'04100001	4	H'0C200401	4	
4	リード	CRR	H'000000xx	1	H'000000xx	1	上位 24 ビットは、すべて 0 下位 8 ビットにリードデータが格納される

6. コンフィギュレーションレジスタ 2 ライト

ステップ	リード/ライト	レジスタ	SPI Mode		OPI Mode		説明
			データ	データ長(バイト)	データ	データ長(バイト)	
1	ライト	DCR	H'00000072	4	H'0000728D	4	
2	ライト	DAR	アドレス	4	アドレス	4	
3	ライト	DCSR	H'04100001	4	H'04200001	4	
4	ライト	CWDR	H'000000xx	1	H'000000xx	1	上位 24 ビットは、すべて 0 下位 8 ビットにライトデータを設定する

7. メモリマップ ライト / リード コマンド設定

ステップ	リード/ライト	レジスタ	SPI Mode		OPI Mode		説明
			データ	データ長(バイト)	データ	データ長(バイト)	
1	ライト	MRWCR0	H'00120013	4	H'12EDEE11	4	
2	ライト	MRWCSR	H'00000C0C	4	H'00005454	4	

8. セクタ消去

ステップ	リード/ライト	レジスタ	SPI Mode		OPI Mode		説明
			データ	データ長(バイト)	データ	データ長(バイト)	
1	ライト	DCR	H'00000021	4	H'000021DE	4	
2	ライト	DAR	消去アドレス	4	消去アドレス	4	
3	ライト	DCSR	H'04100000	4	H'04200000	4	
4	ライト	CWNDR	Don't Care	4	Don't Care	4	

(2) Octa Ram 動作設定

1. コンフィギュレーションレジスタリード

ステップ	リード/ライト	レジスタ	データ	データ長(バイト)	説明
1	ライト	DCR	H'0000C000	4	
2	ライト	DAR	H'00040000	4	
3	ライト	DCSR	H'04A80502	4	
4	リード	CRR	H'0000xxxx	2	上位16ビットは、すべて0 下位16ビットにリードデータが格納される

2. コンフィギュレーションレジスタライト

ステップ	リード/ライト	レジスタ	データ	データ長(バイト)	説明
1	ライト	DCR	H'00004000	4	
2	ライト	DAR	H'00040000	4	
3	ライト	DCSR	H'04A80002	4	
4	ライト	CWDR	H'0000xxxx	2	上位16ビットは、すべて0 下位16ビットにライトデータを設定する

22.6　OM_DQS の遅延調整と自動キャリブレーション

22.6.1　　OM_DQS の遅延調整

DOPI モードの特性によっては、コントローラは OM_DQS クロックの立上りエッジ / 立下りエッジでデータをラッチできません。十分なセットアップ / ホールド時間マージンでデータをキャプチャするには、OM_DQS の遅延調整が必要です。この遅延調整は、メモリ遅延トリムレジスタ (MDTR) の DV1DEL[7:0]、DV0DEL[7:0] で行います。

図 22.14 は、データをラッチする OM_DQS (遅延調整後) が、良好なラッチポジションを有することを示しています。

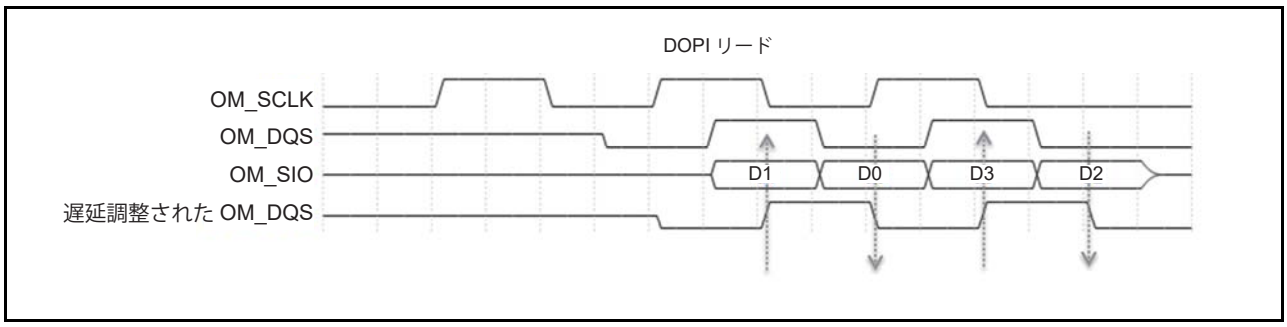


図 22.14　　遅延調整された OM_DQS を使用したデータのラッチ

22.6.2　OM_DQS 自動キャリブレーション

本 LSI では電圧や温度の変動による影響により、正しいデータを取得できなくなることを防ぐために自動キャリブレーション機能を備えています。

自動キャリブレーション機能を使用する場合は、下記のレジスタを設定する必要があります。

- コントローラデバイス設定レジスタ（CDSR）
  自動キャリブレーションモード設定 [ACMODE[1:0]]
- 自動キャリブレーションタイマレジスタ（ACTR）
  自動キャリブレーションを実行する周期を設定
- 自動キャリブレーションアドレスレジスタ _0/1（ACAR0/1）
  プリアンブルパターン格納アドレス設定

自動キャリブレーションは、プリアンブルパターンを格納するための 16 バイトのユーザ領域が必要です。プリアンブルパターンは ACAR0, ACAR1 に設定したアドレスへ格納してください。

プリアンブルパターン H'00F708F7 FF0000F7 0800FF00 FFFF0000
MRWCSR.MRO1 / MRWCSR.MRO0 が 0 の場合、H'00F708F7 FF0000F7 0800FF00 FFFF0000
MRWCSR.MRO1 / MRWCSR.MRO0 が 1 の場合、H'F700F708 00FFF700 000800FF FFFF0000
をフラッシュ / RAM デバイスへ格納してください。

自動キャリブレーションを有効にして ACTR に設定した時間が経過すると、OM_DQS の遅延設定を自動で変更し ACAR0/ACAR1 に設定したアドレスからプリアンブルパターンが正しく読み出せるか確認します。1 回の自動キャリブレーションでプリアンブルパターンの読み出しは 48 回発生します。その中から最適なラッチポジションを探索し、その結果を MDTR の DV0DEL/DV1DEL へ更新します。その後、自動キャリブレーション用のタイマはリスタートします。

なお、自動キャリブレーションのプリアンブルパターン読み出し中、CPU や他のバスマスタによる OctaFlash/OctaRAM 空間へのアクセスは待たされます。

図 22.15 に、Octa Flash/Octa RAM の自動キャリブレーション設定の動作フロー例を示します。

設定開始前には、「51.3.35　HyperBus コントローラ／ Octa メモリコントローラ専用端子制御レジスタ (PHMOM0)」の HOSEL ビットで、Octa メモリコントローラを選択していることを確認してください。

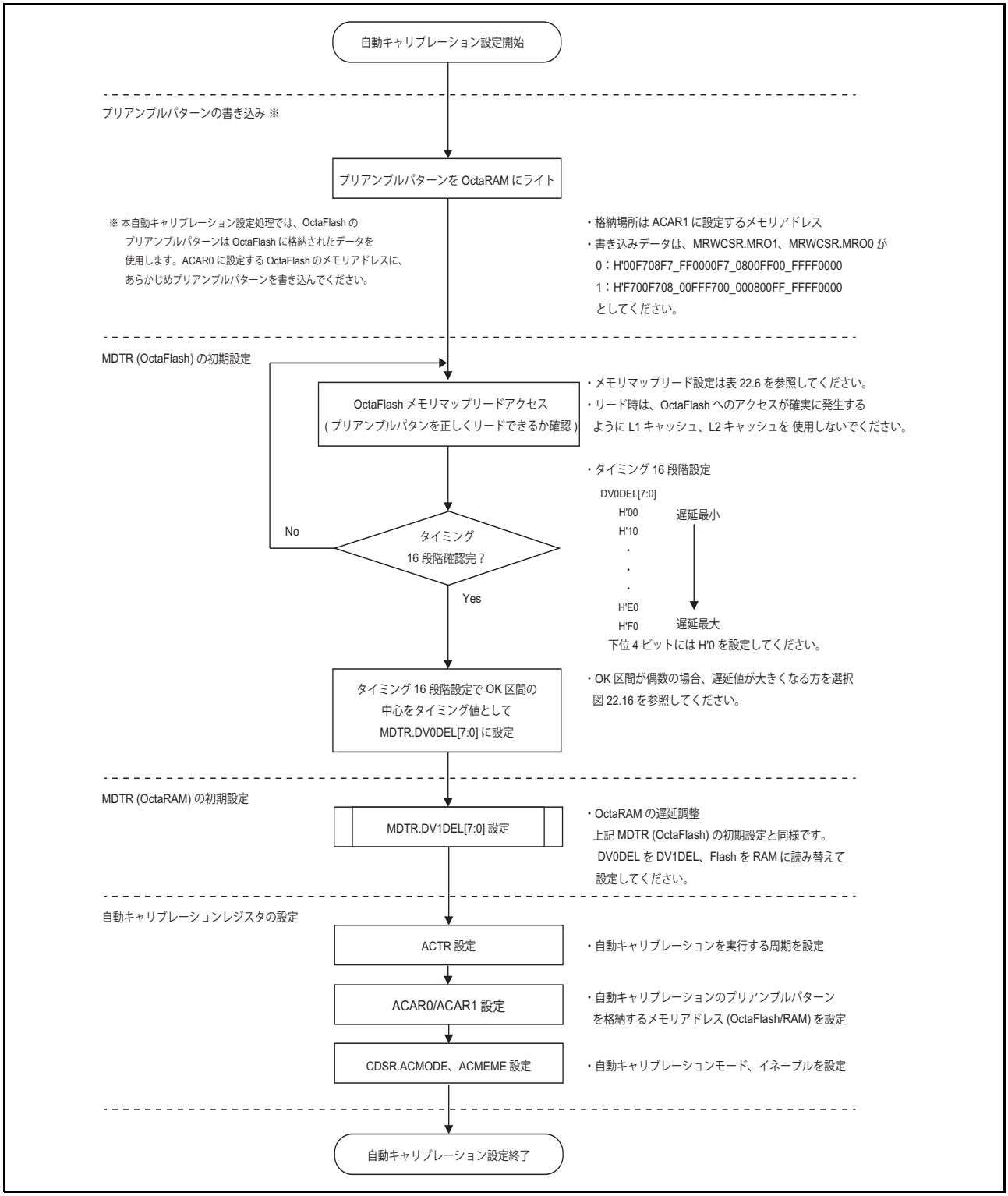


図 22.15　　自動キャリブレーションの設定フロー

MDTR の DV0DEL、DV1DEL 初期設定例を図 22.16 に示します。

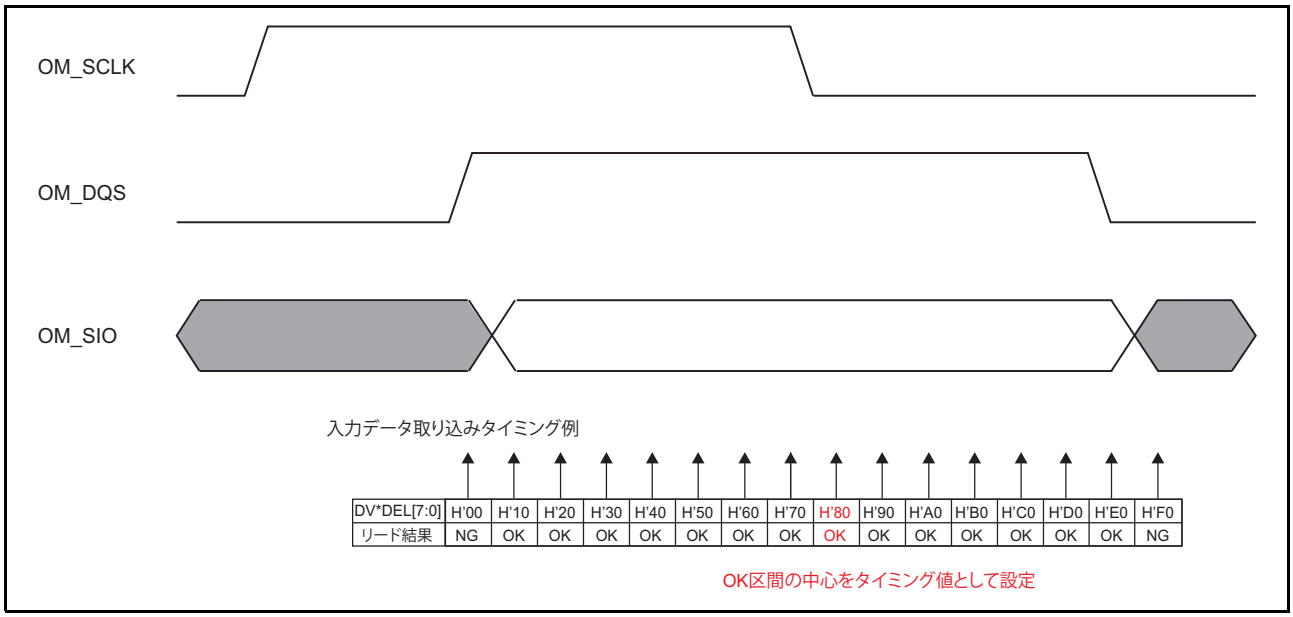


図 22.16　MDTR の DV0DEL、DV1DEL 初期設定例

22.7　OM_DQS イネーブルカウンタ

リード・コマンドの動作中、OM_DQS 信号はコントローラによってデータラッチ用のクロックとして使われます。ただし、メモリデバイスがアイドル状態の場合、OM_DQS はハイインピーダンス（Hi-Z）状態を維持し、データ出力前に Low にアサートします。この Hi-Z から Low への遷移は、コントローラの OM_DQS データラッチロジックを駆動し、不正なデータをラッチする可能性があります。OM_DQS がハイインピーダンス (Hi-Z) 状態を維持し、データ出力前に Low にアサートする場合の波形を図 22.17 に示します。

このような Hi-Z から Low への遷移を避けるために、コントローラは構成レジスタ（MDTR）が無効なデータをバイパスすることができます。MDTR.DQSEDOPI[3:0] はフラッシュ DOPI モード、MDTR.DQSESOPI[3:0] はフラッシュ SOPI モード、MDTR.DQSERAM[3:0] は RAM モード用です。各設定値は、0 ～ 15 の範囲で設定可能です。

OM_DQS イネーブルカウンタ (MDTR) の最小値 ≧ コマンドサイクル数 + アドレスサイクル数 (注 1) + OM_DQS ステーブルサイクル数 (注 2) + OM_DQS ディレイサイクル数 (注 3)
OM_DQS イネーブルカウンタ (MDTR) の最大値 ≦ コマンドサイクル数 + アドレスサイクル数 (注 1) + メモリのダミー (レイテンシ) サイクル数 + OM_DQS ディレイサイクル数 (注 3) + プレサイクルコンフィグ (注 4)

注 1.　フラッシュ SOPI: コマンドサイクル数 + アドレスサイクル数 = 2 + 4 = 6
フラッシュ DOPI: コマンドサイクル数 + アドレスサイクル数 = 1 + 2 = 3
RAM DOPI: コマンドサイクル数 + アドレスサイクル数 = 1 + 2 - 1 = 2（2 サイクル目からのダミー (レイテンシ) サイクル計算開始）
注 2.　OM_DQS ステーブルサイクル数 : 最大値は 2 OM_SCLK（OctaFlash / OctaRAM のリファレンス仕様）
注 3.　OM_DQS ディレイサイクル数 : 外部要因による OM_DQS クロックディレイ
OM_DQS ディレイ ≦ 0.25 OM_SCLK、OM_DQS ディレイサイクル = -1
0.25 OM_SCLK ＜ OM_DQS ディレイ ≦ 1.25 OM_SCLK、OM_DQS ディレイサイクル = 0
1.25 OM_SCLK ＜ OM_DQS ディレイ ≦ 2.25 OM_SCLK、OM_DQS ディレイサイクル = 1
（フラッシュ SOPI モードの場合、0.25 → 0.5、1.25 → 1.5、2.25 → 2.5 へ読み替える）
注 4.　プレサイクルコンフィグ : OM_DQS プレサイクル on/off
OM_DQS プレサイクル off: プレサイクルコンフィグ = 0
OM_DQS プレサイクル on: プレサイクルコンフィグ = -1

フラッシュ DOPI モード、ダミー (レイテンシ) サイクル数 = 4、プレサイクル off 時の設定例
OM_DQS イネーブルカウンタ (MDTR) の最小値 ≧ 1+ 2 + 2 + 0 = 5
OM_DQS イネーブルカウンタ (MDTR) の最大値 ≦ 1 + 2 + 4 + 0 = 7

上記より、MDTR.DQSEDOPI[3:0] を 5 から 7 に設定すると、正しいデータをラッチできます。MDTR が小さすぎると、Hi-Z から Low への遷移によって誤ったデータがラッチされる可能性があります。MDTR が大きすぎると、データがラッチされません。

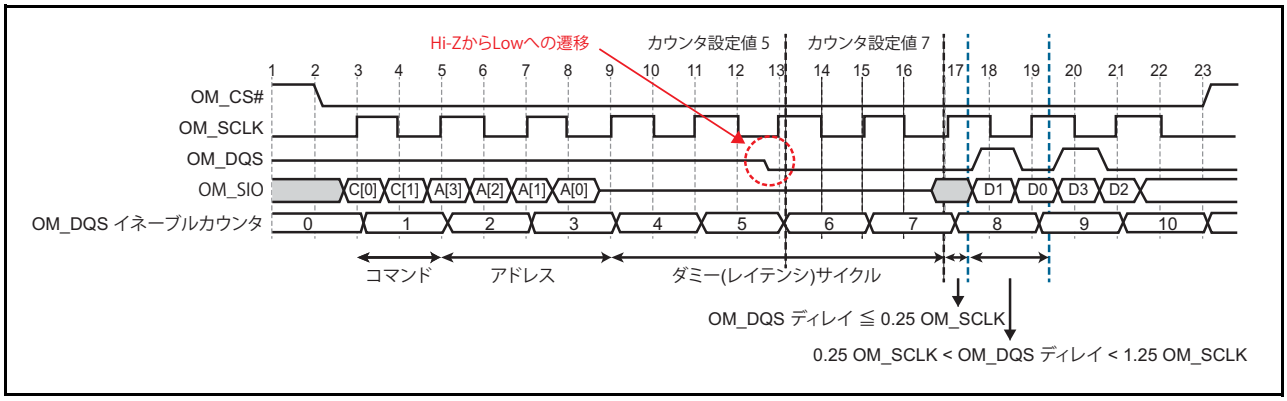


図 22.17　OM_DQS イネーブルカウンタのタイミング図
(フラッシュ DOPI モード、ダミー (レイテンシ) サイクル数 = 4、OM_DQS プレサイクル off)

23. I²C バスインタフェース

本章では、I²C バスインタフェース（RIIC）全般について説明します。

最初の節では、チャネル数、レジスタベースアドレスなど、本 LSI に固有の特長について説明します。それ以降の節では、RIIC の機能、レジスタについて説明します。

23.1 特長

23.1.1 チャネル数

本 LSI は以下のチャネル数の I²C バスインタフェース（RIIC）を搭載しています。

表 23.1　RIIC のチャネル数

項目	内容
チャネル数	4
名称	RIICn（n = 0 ～ 3）

表 23.2　添字

添字	意味
n	本章では、I²C バスインタフェースの各チャネルを「n」（n = 0～3）で識別します。 たとえば、I²C バスコントロールレジスタ 1 は RIICnCR1 と記述します。

23.1.2 レジスタベースアドレス

各 RIICn のレジスタベースアドレス <RIICn_base> を次の表に示します。

RIICn レジスタのアドレスは、各チャネルのレジスタベースアドレス <RIICn_base> にオフセットを加えた値で表されます。

表 23.3　レジスタベースアドレス

チャネル	ベースアドレス名	ベースアドレス
RIIC0	<RIIC0_base>	$E803_A000_H$
RIIC1	<RIIC1_base>	$E803_A400_H$
RIIC2	<RIIC2_base>	$E803_A800_H$
RIIC3	<RIIC3_base>	$E803_AC00_H$

23.1.3 外部入出力信号

RIIC の外部入出力信号を以下の表に示します。

表 23.4　RIICn の I/O 信号

チャネル	兼用端子名	機能
RIIC0	RIIC0SCL	RIIC0 シリアルクロック入出力端子
	RIIC0SDA	RIIC0 シリアルデータ入出力端子
RIIC1	RIIC1SCL	RIIC1 シリアルクロック入出力端子
	RIIC1SDA	RIIC1 シリアルデータ入出力端子
RIIC2	RIIC2SCL	RIIC2 シリアルクロック入出力端子
	RIIC2SDA	RIIC2 シリアルデータ入出力端子
RIIC3	RIIC3SCL	RIIC3 シリアルクロック入出力端子
	RIIC3SDA	RIIC3 シリアルデータ入出力端子

23.2 概要

23.2.1 機能概要

通信フォーマット

- I²C バスフォーマット／ SMBus フォーマット
- マスタ／スレーブ選択可能
- 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保

転送速度

～ 1 Mbps

SCL クロック

マスタ時、SCL クロックのデューティ比を以下の範囲で設定可能
0% ＜デューティ＜ 100%

コンディション発行／検出

- スタートコンディション／リスタートコンディション／ストップコンディションの自動生成
- スタートコンディション（リスタートコンディション含む）／ストップコンディション検出

スレーブアドレス

- スレーブアドレスを 3 セット設定可能
- 7 ビット／ 10 ビットアドレスフォーマット対応（混在可能）
- ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能

アクノリッジ応答

- 送信時、アクノリッジビットの自動ロード
  - ノットアクノリッジ受信時に次送信データ転送の自動中断が可能
- 受信時、アクノリッジビットの自動送出
  - 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能

ウェイト機能

- 受信時、SCL クロックの Low ホールドによるウェイトが可能
  - 8 クロック目と 9 クロック目の間をウェイト
  - 9 クロック目と 1 クロック目の間をウェイト（WAIT 機能）

SDA 出力遅延機能

アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

アービトレーション

- マルチマスタ対応
  - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能
  - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能
  - マスタ時、送信データ不一致でアービトレーションロスト検出可能

- バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能
  （スタートコンディションの二重発行防止）
- ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能
- スレーブ送信時、データ不一致でアービトレーションロスト検出可能

タイムアウト検出機能

内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能

ノイズ除去

RIICnSCL、RIICnSDA 端子入力にアナログノイズフィルタとデジタルノイズフィルタを内蔵
デジタルノイズフィルタはノイズ除去幅をプログラマブルに調整可能

割り込み要因

- 8 種類
  - 送信終了
  - 受信データフル
  - 送信データエンプティ
  - ストップコンディション検出
  - スタートコンディション検出
  - NACK 受信
  - アービトレーションロスト
  - タイムアウト

消費電力低減機能

モジュールストップ状態への設定が可能

23.2.2　ブロック図

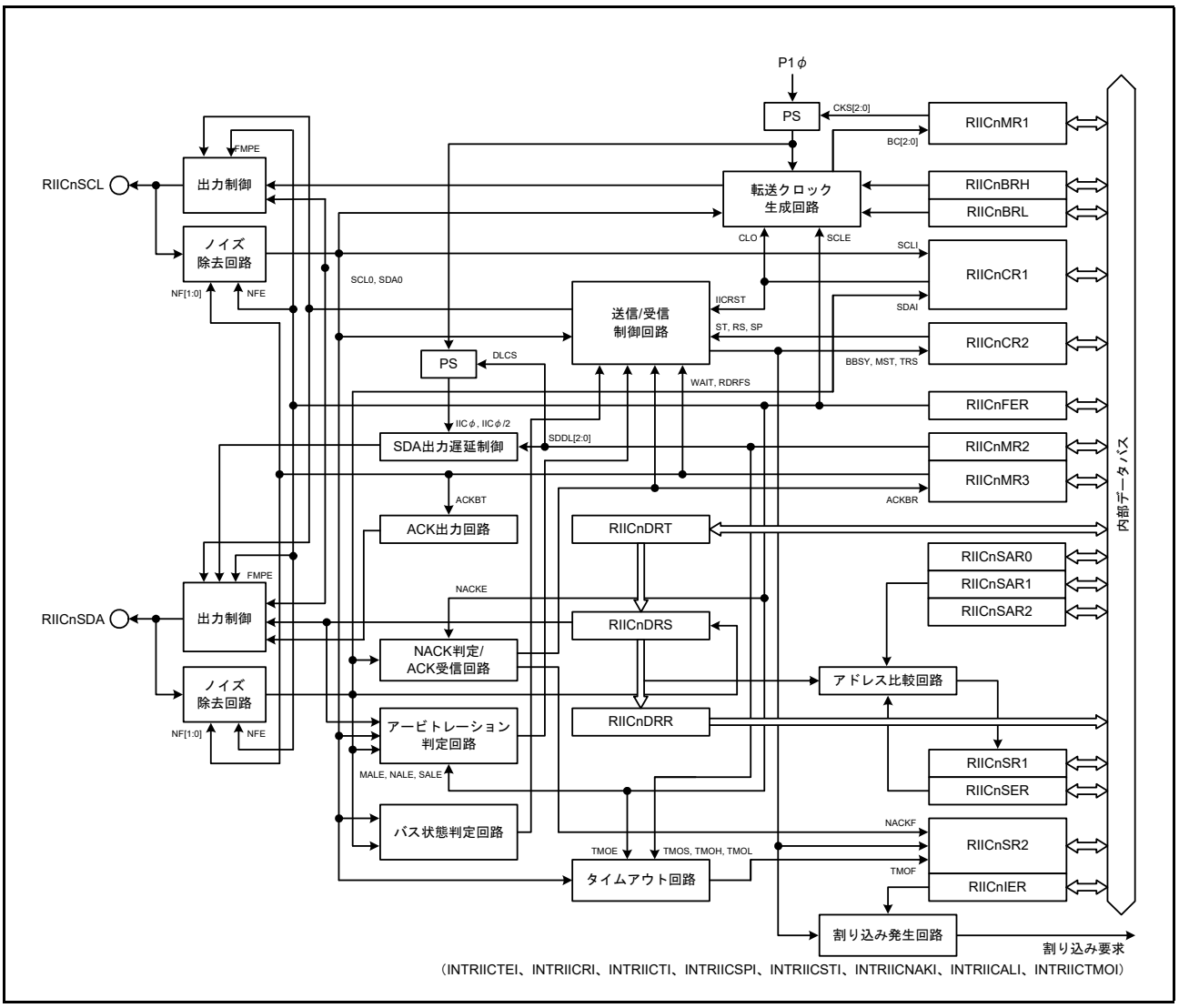


図 23.1　RIIC のブロック図

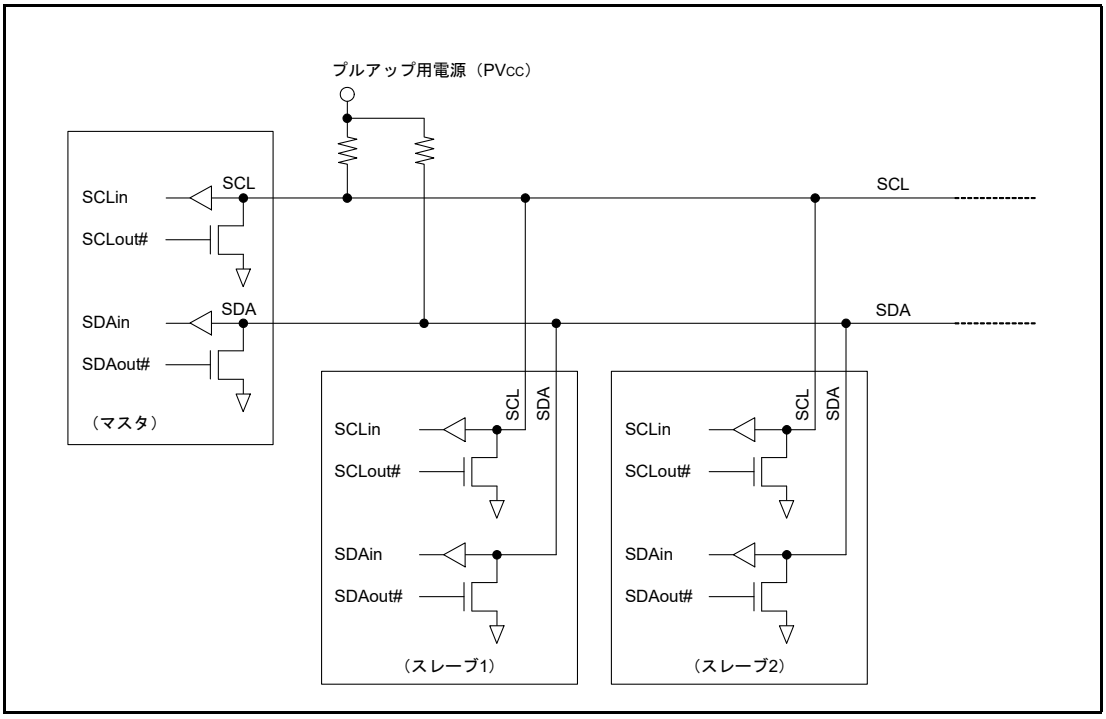


図 23.2　　入出力端子の外部回路接続例（I²C バス構成例）

RIICnSCL、RIICnSDA 端子は、マスタ、スレーブともにシュミット入力、オープンドレイン出力となります。また、出力がオープンドレインのため、外部にプルアップ抵抗が必要です。

23.3 レジスタ

チャネル	レジスタ名	略称	アドレス	アクセスサイズ
RIIC0	I²Cバスコントロールレジスタ1	ICCR1	E803 A000h	8、16、32
	I²Cバスコントロールレジスタ2	ICCR2	E803 A004h	8、16、32
	I²Cバスモードレジスタ1	ICMR1	E803 A008h	8、16、32
	I²Cバスモードレジスタ2	ICMR2	E803 A00Ch	8、16、32
	I²Cバスモードレジスタ3	ICMR3	E803 A010h	8、16、32
	I²Cバスファンクションイネーブルレジスタ	ICFER	E803 A014h	8、16、32
	I²Cバスステータスイネーブルレジスタ	ICSER	E803 A018h	8、16、32
	I²Cバスインタラプトイネーブルレジスタ	ICIER	E803 A01Ch	8、16、32
	I²Cバスステータスレジスタ1	ICSR1	E803 A020h	8、16、32
	I²Cバスステータスレジスタ2	ICSR2	E803 A024h	8、16、32
	I²Cスレーブアドレスレジスタ0	ICSAR0	E803 A028h	8、16、32
	I²Cスレーブアドレスレジスタ1	ICSAR1	E803 A02Ch	8、16、32
	I²Cスレーブアドレスレジスタ2	ICSAR2	E803 A030h	8、16、32
	I²Cバスビットレートロウレベルレジスタ	ICBRL	E803 A034h	8、16、32
	I²Cバスビットレートハイレベルレジスタ	ICBRH	E803 A038h	8、16、32
	I²Cバス送信データレジスタ	ICDRT	E803 A03Ch	8、16、32
	I²Cバス受信データレジスタ	ICDRR	E803 A040h	8、16、32
RIIC1	I²Cバスコントロールレジスタ1	ICCR1	E803 A400h	8、16、32
	I²Cバスコントロールレジスタ2	ICCR2	E803 A404h	8、16、32
	I²Cバスモードレジスタ1	ICMR1	E803 A408h	8、16、32
	I²Cバスモードレジスタ2	ICMR2	E803 A40Ch	8、16、32
	I²Cバスモードレジスタ3	ICMR3	E803 A410h	8、16、32
	I²Cバスファンクションイネーブルレジスタ	ICFER	E803 A414h	8、16、32
	I²Cバスステータスイネーブルレジスタ	ICSER	E803 A418h	8、16、32
	I²Cバスインタラプトイネーブルレジスタ	ICIER	E803 A41Ch	8、16、32
	I²Cバスステータスレジスタ1	ICSR1	E803 A420h	8、16、32
	I²Cバスステータスレジスタ2	ICSR2	E803 A424h	8、16、32
	I²Cスレーブアドレスレジスタ0	ICSAR0	E803 A428h	8、16、32
	I²Cスレーブアドレスレジスタ1	ICSAR1	E803 A42Ch	8、16、32
	I²Cスレーブアドレスレジスタ2	ICSAR2	E803 A430h	8、16、32
	I²Cバスビットレートロウレベルレジスタ	ICBRL	E803 A434h	8、16、32
	I²Cバスビットレートハイレベルレジスタ	ICBRH	E803 A438h	8、16、32
	I²Cバス送信データレジスタ	ICDRT	E803 A43Ch	8、16、32
	I²Cバス受信データレジスタ	ICDRR	E803 A440h	8、16、32
RIIC2	I²Cバスコントロールレジスタ1	ICCR1	E803 A800h	8、16、32
	I²Cバスコントロールレジスタ2	ICCR2	E803 A804h	8、16、32
	I²Cバスモードレジスタ1	ICMR1	E803 A808h	8、16、32
	I²Cバスモードレジスタ2	ICMR2	E803 A80Ch	8、16、32
	I²Cバスモードレジスタ3	ICMR3	E803 A810h	8、16、32
	I²Cバスファンクションイネーブルレジスタ	ICFER	E803 A814h	8、16、32
	I²Cバスステータスイネーブルレジスタ	ICSER	E803 A818h	8、16、32
	I²Cバスインタラプトイネーブルレジスタ	ICIER	E803 A81Ch	8、16、32
	I²Cバスステータスレジスタ1	ICSR1	E803 A820h	8、16、32
	I²Cバスステータスレジスタ2	ICSR2	E803 A824h	8、16、32

チャネル	レジスタ名	略称	アドレス	アクセスサイズ
RIIC2	I²C スレーブアドレスレジスタ 0	ICSAR0	E803 A828h	8、16、32
	I²C スレーブアドレスレジスタ 1	ICSAR1	E803 A82Ch	8、16、32
	I²C スレーブアドレスレジスタ 2	ICSAR2	E803 A830h	8、16、32
	I²C バスビットレートロウレベルレジスタ	ICBRL	E803 A834h	8、16、32
	I²C バスビットレートハイレベルレジスタ	ICBRH	E803 A838h	8、16、32
	I²C バス送信データレジスタ	ICDRT	E803 A83Ch	8、16、32
	I²C バス受信データレジスタ	ICDRR	E803 A840h	8、16、32
RIIC3	I²C バスコントロールレジスタ 1	ICCR1	E803 AC00h	8、16、32
	I²C バスコントロールレジスタ 2	ICCR2	E803 AC04h	8、16、32
	I²C バスモードレジスタ 1	ICMR1	E803 AC08h	8、16、32
	I²C バスモードレジスタ 2	ICMR2	E803 AC0Ch	8、16、32
	I²C バスモードレジスタ 3	ICMR3	E803 AC10h	8、16、32
	I²C バスファンクションイネーブルレジスタ	ICFER	E803 AC14h	8、16、32
	I²C バスステータスイネーブルレジスタ	ICSER	E803 AC18h	8、16、32
	I²C バスインタラプトイネーブルレジスタ	ICIER	E803 AC1Ch	8、16、32
	I²C バスステータスレジスタ 1	ICSR1	E803 AC20h	8、16、32
	I²C バスステータスレジスタ 2	ICSR2	E803 AC24h	8、16、32
	I²C スレーブアドレスレジスタ 0	ICSAR0	E803 AC28h	8、16、32
	I²C スレーブアドレスレジスタ 1	ICSAR1	E803 AC2Ch	8、16、32
	I²C スレーブアドレスレジスタ 2	ICSAR2	E803 AC30h	8、16、32
	I²C バスビットレートロウレベルレジスタ	ICBRL	E803 AC34h	8、16、32
	I²C バスビットレートハイレベルレジスタ	ICBRH	E803 AC38h	8、16、32
	I²C バス送信データレジスタ	ICDRT	E803 AC3Ch	8、16、32
	I²C バス受信データレジスタ	ICDRR	E803 AC40h	8、16、32

23.3.1 RIICnCR1 — I²C バスコントロールレジスタ 1

アクセス： RIICnCR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnCR1L、RIICnCR1H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnCR1LL、RIICnCR1LH、RIICnCR1HL、RIICnCR1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス： RIICnCR1: <RIICn_base> + 0000H
RIICnCR1L: <RIICn_base> + 0000H、RIICnCR1H: <RIICn_base> + 0002H
RIICnCR1LL: <RIICn_base> + 0000H、RIICnCR1LH: <RIICn_base> + 0001H、RIICnCR1HL: <RIICn_base> + 0002H、
RIICnCR1HH: <RIICn_base> + 0003H

初期値： 0000 001FH　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表23.5　RIICnCR1 レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7	ICE	I²Cバスインタフェース許可ビット 0：RIICnSCL、RIICnSDA端子の出力禁止（RIICnSCL、RIICnSDA端子への入力は有効） 1：許可（RIICnSCL、RIICnSDA端子駆動状態） （IICRSTビットとの組合せで、RIICリセット、内部リセットを選択）
6	IICRST	I²Cバスインタフェース内部リセットビット 0：RIIC / 内部リセット解除 1：RIIC / 内部リセット状態 （ビットカウンタのクリア、SCL/SDA出力ラッチを解除）
5	CLO	SCLクロック追加出力ビット 0：SCLクロックを追加で出力しない（通常状態） 1：SCLクロックを追加で出力する（1クロック出力後、自動的に“0”になる）
4	SOWP（注2）	SCLO/SDAOライトプロテクトビット 0：SCLO、SDAOビットの値を設定 （読むと“1”が読めます）
3	SCLO（注1, 注2）	SCL出力制御ビット 読み出し時 0：RIICnSCL端子はLow出力 1：RIICnSCL端子はハイインピーダンス 書き込み時 0：RIICnSCL端子をLow出力に変更 1：RIICnSCL端子をハイインピーダンスに変更 （外部プルアップ抵抗によりHigh出力）
2	SDAO（注1, 注2）	SDA出力制御ビット 読み出し時 0：RIICnSDA端子はLow出力 1：RIICnSDA端子はハイインピーダンス 書き込み時 0：RIICnSDA端子をLow出力に変更 1：RIICnSDA端子をハイインピーダンスに変更 （外部プルアップ抵抗によりHigh出力）
1	SCLI	SCLバス入力モニタビット 0：RIICnSCL端子入力はLow 1：RIICnSCL端子入力はHigh

ビット位置	ビット名	機能
0	SDAI	SDA バス入力モニタビット 0：RIICnSDA 端子入力は Low 1：RIICnSDA 端子入力は High

注1.　通信中に書き込みをしないでください。通信中に値を変更すると、送信／受信動作の異常動作や AL エラーが発生する場合があります。
注2.　SDAO ビットおよび SCLO ビットを書き換える場合は、SOWP ビットを“0”にするのと同時に書き換えてください。

CLO ビット（SCL クロック追加出力ビット）

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。
通常は “0” にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、**「23.13.2　SCL クロック追加出力機能」**を参照してください。

IICRST ビット（I²C バス内部リセットビット）

RIIC の内部状態をリセットします。
IICRST ビットを “1” にすると、RIIC リセットまたは内部リセットを行うことができます。
RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。**表 23.6** に RIIC のリセットの種類を示します。
RIIC リセットでは RIICnCR2.BBSY フラグを含めた全レジスタ（ICE、IICRST は除く）および内部状態を、内部リセットではビットカウンタ（RIICnMR1.BC[2:0] ビット）、I²C バスシフトレジスタ（RIICnDRS）、I²C バスステータスレジスタ（RIICnSR1、RIICnSR2）および内部状態をリセットします。各レジスタのリセット状況については、**「23.15　RIIC のリセット機能」**を参照してください。
動作中（ICE ビット = 1 の状態）、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを “1” にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。
また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで RIICnSCL 端子／ RIICnSDA 端子をハイインピーダンスにしてバスを解放することができます。

注意．スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 23.6　RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタ（ICE、IICRST は除く）および内部状態をリセット
	1	内部リセット	RIICnMR1.BC[2:0] ビット、RIICnSR1、RIICnSR2、RIICnDRS レジスタおよび内部状態をリセット

ICE ビット（I²C バスインタフェース許可ビット）

RIICnSCL、RIICnSDA 端子の駆動／非駆動を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については**表 23.6** を参照してください。

RIIC を使用するときは、ICE ビットを “1” に設定してください。ICE ビットが “1” のとき、RIICnSCL、RIICnSDA 端子は駆動状態になります。

RIIC を使用しないときは、ICE ビットを “0” に設定してください。ICE ビットが “0” のとき、RIICnSCL、RIICnSDA 端子は出力禁止になります。

23.3.2　RIICnCR2 — I²C バスコントロールレジスタ 2

アクセス：RIICnCR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnCR2L、RIICnCR2H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnCR2LL、RIICnCR2LH、RIICnCR2HL、RIICnCR2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnCR2: <RIICn_base> + 0004_H
RIICnCR2L: <RIICn_base> + 0004_H、RIICnCR2H: <RIICn_base> + 0006_H
RIICnCR2LL: <RIICn_base> + 0004_H、RIICnCR2LH: <RIICn_base> + 0005_H、RIICnCR2HL: <RIICn_base> + 0006_H、RIICnCR2HH: <RIICn_base> + 0007_H

初期値：$0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BBSY	MST	TRS	—	SP	RS	ST	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R

表 23.7　RIICnCR2 レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7	BBSY	バスビジー検出フラグ 0：I²C バスが解放状態（バスフリー状態） 1：I²C バスが占有状態（バスビジー状態またはバスフリーの期間中）
6	MST	マスタ／スレーブモードビット 0：スレーブモード 1：マスタモード
5	TRS	送信／受信モードビット 0：受信モード 1：送信モード
4	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
3	SP	ストップコンディション発行要求ビット 0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する
2	RS	リスタートコンディション発行要求ビット 0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する
1	ST	スタートコンディション発行要求ビット 0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する
0	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください

ST ビット（スタートコンディション発行要求ビット）

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが “1” になるとスタートコンディションの発行を要求し、BBSY フラグが “0”（バスフリー）のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、**「23.12　スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」**を参照してください。

［“1” になる条件］

“1” を書いたとき

［“0” になる条件］

- “0” を書いたとき
- スタートコンディションの発行が完了したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注意 . ST ビットは、BBSY フラグが “0”（バスフリー）のとき、“1”（スタートコンディション発行要求）にしてください。
BBSY フラグが “1”（バスビジー）のとき、ST ビットを “1”（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット（リスタートコンディション発行要求ビット）

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが “1” になるとリスタートコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、**「23.12　スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」**を参照してください。

［“1” になる条件］

RIICnCR2.BBSY フラグが “1” の状態で、“1” を書いたとき

［“0” になる条件］

- “0” を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注意 1. ストップコンディション発行中に RS ビットを “1” にしないでください。
2. リスタートコンディションを発行する場合、マスタ送信モードで実施することを推奨します。マスタモード以外で RS ビットに “1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは “1” のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット（ストップコンディション発行要求ビット）

マスタモードでストップコンディションの発行を要求します。

SP ビットが “1” になるとストップコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、**「23.12　スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」**を参照してください。

［“1” になる条件］

RIICnCR2.BBSY フラグが “1” でかつ RIICnCR2.MST ビットが “1” の状態で、“1” を書いたとき

［“0” になる条件］

- “0” を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- スタートコンディションおよびリスタートコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注意 1. BBSY フラグ = 0（バスフリー）のとき書き込みはできません。

2. リスタートコンディション発行中に SP ビットを “1” にしないでください。

TRS ビット（送信／受信モードビット）

送信／受信モードを示すビットです。

TRS ビットが “0” のとき受信モード、TRS ビットが “1” のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行／検出および R/W# ビットなどで “1”/“0” になり、動作モードは自動的に送信モードまたは受信モードに移行します。

［“1” になる条件］

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “0” のとき
- スレーブモード時、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき

［“0” になる条件］

- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき（ジェネラルコールアドレス含む）
- スレーブ送信モード時、リスタートコンディションを検出したとき（RIICnCR2.BBSY = 1、RIICnCR2.MST = 0 の状態でリスタートコンディションを検出したとき）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット（マスタ／スレーブモードビット）

マスタモード／スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行／検出などで “1”/“0” になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。

［“1” になる条件］

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）

［“0” になる条件］

- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ（バスビジー検出フラグ）

I2C バスの占有（バスビジー）／解放状態（バスフリー）を示します。

SCL ラインが High の状態で SDA ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して “1” になります。

SCL ラインが High の状態で SDA ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間（RIICnBRL レジスタに設定した時間）スタートコンディション検出がないとき “0” になります。

［“1” になる条件］

- スタートコンディションを検出したとき

［“0” になる条件］

- ストップコンディションを検出後、バスフリーの時間（RIICnBRL レジスタに設定した時間）スタートコンディション検出がないとき
- RIICnCR1.ICE ビットが “0” の状態で RIICnCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

23.3.3　RIICnMR1 — I²C バスモードレジスタ 1

アクセス：RIICnMR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR1L、RIICnMR1H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR1LL、RIICnMR1LH、RIICnMR1HL、RIICnMR1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnMR1: <RIICn_base> + 0008_H
RIICnMR1L: <RIICn_base> + 0008_H、RIICnMR1H: <RIICn_base> + $000A_H$
RIICnMR1LL: <RIICn_base> + 0008_H、RIICnMR1LH: <RIICn_base> + 0009_H、RIICnMR1HL: <RIICn_base> + $000A_H$、RIICnMR1HH: <RIICn_base> + $000B_H$

初期値：0000 0008_H　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CKS[2:0]			BCWP	BC[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.8　RIICnMR1 レジスタの内容

ビット位置	ビット名	機能
31～7	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
6～4	CKS[2:0]	内部基準クロック（IICφ）選択ビット b6　b4 0　0　0：IICφ = P1φ/1 0　0　1：IICφ = P1φ/2 0　1　0：IICφ = P1φ/4 0　1　1：IICφ = P1φ/8 1　0　0：IICφ = P1φ/16 1　0　1：IICφ = P1φ/32 1　1　0：IICφ = P1φ/64 1　1　1：IICφ = P1φ/128
3	BCWP（注 1）	BC ライトプロテクトビット 0：BC[2:0]の値を設定許可　（読むと“1”が読めます）
2～0	BC[2:0]	ビットカウンタ b2　b0 0　0　0：9 ビット 0　0　1：2 ビット 0　1　0：3 ビット 0　1　1：4 ビット 1　0　0：5 ビット 1　0　1：6 ビット 1　1　0：7 ビット 1　1　1：8 ビット

注 1.　BC[2:0]ビットを書き換える場合は、同時に BCWP ビットに"0"を書いてください。

BC[2:0] ビット（ビットカウンタ）

SCL ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数＋ 1 を指定し（データにアクノリッジ 1 ビットが付加されて転送される）、転送フレーム間でかつ SCL ラインが Low の 状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出（リスタートコンディション含む）で自動的に “000_B” に戻ります。

23.3.4　RIICnMR2 — I²C バスモードレジスタ 2

アクセス：RIICnMR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR2L、RIICnMR2H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR2LL、RIICnMR2LH、RIICnMR2HL、RIICnMR2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnMR2: <RIICn_base> + $000C_H$
RIICnMR2L: <RIICn_base> + $000C_H$、RIICnMR2H: <RIICn_base> + $000E_H$
RIICnMR2LL: <RIICn_base> + $000C_H$、RIICnMR2LH: <RIICn_base> + $000D_H$、RIICnMR2HL: <RIICn_base> + $000E_H$、
RIICnMR2HH: <RIICn_base> + $000F_H$

初期値：$0000\ 0006_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 23.9　RIICnMR2 レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7	DLCS	SDA 出力遅延クロックソース選択ビット 0：SDA 出力遅延カウンタのクロックソースに内部基準クロック（IICφ）を選択 1：SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周（IICφ/2）を選択(注 1)
6～4	SDDL[2:0]	SDA 出力遅延カウンタ RIICnMR2.DLCS＝0（IICφ）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICφの 1 サイクル 0 1 0：IICφの 2 サイクル 0 1 1：IICφの 3 サイクル 1 0 0：IICφの 4 サイクル 1 0 1：IICφの 5 サイクル 1 1 0：IICφの 6 サイクル 1 1 1：IICφの 7 サイクル RIICnMR2.DLCS = 1（IICφ/2）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICφの 1～2 サイクル 0 1 0：IICφの 3～4 サイクル 0 1 1：IICφの 5～6 サイクル 1 0 0：IICφの 7～8 サイクル 1 0 1：IICφの 9～10 サイクル 1 1 0：IICφの 11～12 サイクル 1 1 1：IICφの 13～14 サイクル
3	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
2	TMOH	タイムアウト H カウント制御ビット 0：SCL ラインが High でカウント禁止 1：SCL ラインが High でカウント有効
1	TMOL	タイムアウト L カウント制御ビット 0：SCL ラインが Low でカウント禁止 1：SCL ラインが Low でカウント有効
0	TMOS	タイムアウト検出時間選択ビット 0：ロングモードを選択 1：ショートモードを選択

注 1.　SCL = Low のときのみ DLCS = 1（IICφ/2）の設定が有効になります。SCL = High のとき DLCS = 1 の設定は無効となり内部基準クロック（IICφ）となります。

TMOS ビット（タイムアウト検出時間選択ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット = 1）にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCL ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック（IICφ）をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、**「23.13.1　タイムアウト検出機能」**を参照してください。

TMOL ビット（タイムアウト L カウント制御ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット = 1）に SCL ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット（タイムアウト H カウント制御ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット = 1）に SCL ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

SDDL[2:0] ビット（SDA 出力遅延カウンタ）

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、**「23.7　SDA 出力遅延機能」**を参照してください。

注意．SDA 出力遅延の設定は、I²C バス規格（データ有効時間／アクノリッジ有効時間 注 1 内）または SMBus 規格（データホールド時間：300[ns] 以上、かつ SCL クロックの Low 幅－データセットアップ時間：250[ns] の範囲内）に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注 1.　データ有効時間／アクノリッジ有効時間
3,450[ns]（0 ～ 100[kbps]：標準モード (Sm)）
900[ns]（0 ～ 400[kbps]：高速モード (Fm)）
450[ns]（0 ～ 1[Mbps]：高速モードプラス (Fm+)）

23.3.5　RIICnMR3 — I²C バスモードレジスタ 3

アクセス：RIICnMR3 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR3L、RIICnMR3H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR3LL、RIICnMR3LH、RIICnMR3HL、RIICnMR3HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnMR3: <RIICn_base> + 0010_H
RIICnMR3L: <RIICn_base> + 0010_H、RIICnMR3H: <RIICn_base> + 0012_H
RIICnMR3LL: <RIICn_base> + 0010_H、RIICnMR3LH: <RIICn_base> + 0011_H、RIICnMR3HL: <RIICn_base> + 0012_H、RIICnMR3HH: <RIICn_base> + 0013_H

初期値：$0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SMBE	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	W	R/W	R	R/W	R/W

表 23.10　RIICnMR3 レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7	SMBE	SMBus/ I²C バス選択端子許可ビット 0：I²C バス選択 1：SMBus 選択
6	WAIT（注 2）	WAIT ビット 0：WAIT なし （9 クロック目と 1 クロック目の間を Low にホールドしない） 1：WAIT あり （9 クロック目と 1 クロック目の間を Low にホールドする） Low ホールドは RIICnDRR レジスタの読み出しで解除
5	RDRFS（注 2）	RDRF フラグセットタイミング選択ビット 0：SCL クロックの 9 クロック目の立ち上がり時に“1”になる （8 クロック目の立ち下がりで SCL ラインを Low にホールドしない） 1：SCL クロックの 8 クロック目の立ち上がり時に“1”になる （8 クロック目の立ち下がりで SCL ラインを Low にホールドする） Low ホールドは ACKBT ビットへの書き込みで解除
4	ACKWP（注 1）	ACKBT ライトプロテクトビット 0：ACKBT ビットへの書き込み禁止 1：ACKBT ビットへの書き込み許可
3	ACKBT（注 1）	送信アクノリッジビット 0：アクノリッジビットに“0”を送出（ACK 送信） 1：アクノリッジビットに“1”を送出（NACK 送信）
2	ACKBR	受信アクノリッジビット 0：アクノリッジビットに“0”を受信（ACK 受信） 1：アクノリッジビットに“1”を受信（NACK 受信）
1、0	NF[1:0]	ノイズフィルタ段数選択ビット b1 b0 0 0：1 × IICφ 以下のノイズを除去（フィルタは 1 段） 0 1：2 × IICφ 以下のノイズを除去（フィルタは 2 段） 1 0：3 × IICφ 以下のノイズを除去（フィルタは 3 段） 1 1：4 × IICφ 以下のノイズを除去（フィルタは 4 段）

注 1.　ACKWP ビットは、ACKBT ビットへの書き込みと同時に“1”にしても、ACKBT ビットに書き込みはできません。
注 2.　WAIT ビットおよび RDRFS ビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット（ノイズフィルタ段数選択ビット）

RIICnSCL、RIICnSDA 端子に入力された信号に対して、除去可能なノイズ幅を選択します。

ACKBR ビット（受信アクノリッジビット）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。
[“1” になる条件]
RIICnCR2.TRS ビットが “1” の状態でアクノリッジビットに “1” を受信したとき
[“0” になる条件]

- RIICnCR2.TRS ビットが “1” の状態でアクノリッジビットに “0” を受信したとき
- RIICnCR1.ICE ビットが “0” の状態で RIICnCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

ACKBT ビット（送信アクノリッジビット）

受信モード時にアクノリッジのタイミングで送出するビットを設定します。
[“1” になる条件]
ACKWP ビットが “1” の状態で “1” を書いたとき
[“0” になる条件]

- ACKWP ビットが “1” の状態で “0” を書いたとき
- ストップコンディションの発行を検出したとき
- RIICnCR1.ICE ビットが “0” の状態で RIICnCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

注意．ACKBT ビットに書く場合には、ACKWP ビットが “1” の状態で行ってください。ACKWP ビットが “0” の状態で書いた場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット（ACKBT ライトプロテクトビット）

ACKBT ビットへの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択ビット）

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが “0” のとき、8 クロック目の立ち下がりで SCL ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを “1” にします。

RDRFS ビットが “1” のとき、RDRF フラグは 8 クロック目の立ち上がりで “1” にし、8 クロック目の立ち下がりで SCL ラインを Low にホールドします。この SCL ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK（ACKBT ビットが “0”）または NACK（ACKBT ビットが “1”）を送出する処理が可能です。

WAIT ビット（WAIT ビット）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ（RIICnDRR レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが “0” のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに “0” のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが “1” のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、RIICnDRR レジスタの値が読み出されるまでの間 SCL ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注意 . WAIT ビットを “0” にする場合は、RIICnDRR を先に読んでから “0” にしてください。

SMBE ビット（SMBus 選択ビット）

SMBE ビットを “1” にすると、RIICnSER.HOAE ビットが有効になります。

23.3.6　RIICnFER — I²C バスファンクションイネーブルレジスタ

アクセス：RIICnFER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnFERL、RIICnFERH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnFERLL、RIICnFERLH、RIICnFERHL、RIICnFERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnFER: <RIICn_base> + 0014_H
RIICnFERL: <RIICn_base> + 0014_H、RIICnFERH: <RIICn_base> + 0016_H
RIICnFERLL: <RIICn_base> + 0014_H、RIICnFERLH: <RIICn_base> + 0015_H、RIICnFERHL: <RIICn_base> + 0016_H、RIICnFERHH: <RIICn_base> + 0017_H

初期値：$0000\ 0072_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
初期値：	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.11　RIICnFER レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7	FMPE	ファストモードプラス有効ビット 0：SCL 端子／SDA 端子に fm+ 用スロープ制御回路を使用しない 1：SCL 端子／SDA 端子に fm+ 用スロープ制御回路を使用する
6	SCLE	SCL 同期回路有効ビット 0：SCL 同期回路無効 1：SCL 同期回路有効
5	NFE	デジタルノイズフィルタ回路有効ビット 0：デジタルノイズフィルタ回路を使用しない 1：デジタルノイズフィルタ回路を使用する
4	NACKE	NACK 受信転送中断許可ビット 0：NACK 受信時、転送を中断しない（転送中断禁止） 1：NACK 受信時、転送を中断する（転送中断許可）
3	SALE	スレーブアービトレーションロスト検出許可ビット 0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可
2	NALE	NACK 送信アービトレーションロスト検出許可ビット 0：NACK 送信アービトレーションロスト検出禁止 1：NACK 送信アービトレーションロスト検出許可
1	MALE	マスタアービトレーションロスト検出許可ビット 0：マスタのアービトレーションロスト検出禁止 （アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による RIICnCR2.MST, TRS ビットの自動クリアを行わない） 1：マスタアービトレーションロスト検出許可 （アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による RIICnCR2.MST, TRS ビットの自動クリアを行う）
0	TMOE	タイムアウト検出機能有効ビット 0：タイムアウト検出機能無効 1：タイムアウト検出機能有効

TMOE ビット（タイムアウト検出機能有効ビット）

タイムアウト検出機能の有効／無効を選択します。
タイムアウト検出機能の詳細については、「23.13.1　タイムアウト検出機能」を参照してください。

MALE ビット（マスタアービトレーションロスト検出許可ビット）

マスタモード時にアービトレーションロスト検出機能の有効／無効を決定します。通常は “1” にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出許可ビット）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出許可ビット）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可ビット）

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は “1” にしてください。
NACKE ビットが “1” のとき、NACK を受信した場合、次の転送動作を中断します。
NACKE ビットが “0” のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

SCLE ビット（SCL 同期回路有効ビット）

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は “1” にしてください。
SCLE ビットを “0”（SCL 同期回路無効）にすると、クロック同期を行いません。この設定の場合、RIIC は SCL ラインの状態に関わらず RIICnBRH および RIICnBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション、リスタートコンディション、ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。
SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き “0” にしないでください。

FMPE ビット（高速モードプラス有効ビット）

スロープ制御回路を高速モードプラス [fm+] 用のスロープ制御回路を使用するかどうかを選択します。
FMPE ビットを “1” にすると I²C バスの高速モードプラス [fm+] のスロープ制御規格（tof）に準拠したスロープ制御回路が選択され、“0” にすると I²C バスのスタンダードモード [Sm] および高速モード [fm] のスロープ制御規格（tof）に準拠したスロープ制御回路が選択されます。
通信速度を I²C バス規格の～ 1Mbps（高速モードプラス [fm+]）で使用する場合は “1” にし、それ以外の通信速度（～ 100kbps[Sm]、～ 400kbps[fm]）または SMBus（10kbps ～ 100kbps）で使用する場合は “0” にしてください。

23.3.7　RIICnSER — I²C バスステータスイネーブルレジスタ

アクセス：RIICnSER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSERL、RIICnSERH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSERLL、RIICnSERLH、RIICnSERHL、RIICnSERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnSER: <RIICn_base> + 0018_H
RIICnSERL: <RIICn_base> + 0018_H、RIICnSERH: <RIICn_base> + $001A_H$
RIICnSERLL: <RIICn_base> + 0018_H、RIICnSERLH: <RIICn_base> + 0019_H、RIICnSERHL: <RIICn_base> + $001A_H$、RIICnSERHH: <RIICn_base> + $001B_H$

初期値：$0000\ 0009_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HOAE	—	DIDE	—	GCE	SAR2	SAR1	SAR0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
R/W：	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 23.12　RIICnSER レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7	HOAE	ホストアドレス許可ビット 0：ホストアドレス検出は無効 1：ホストアドレス検出は有効
6	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
5	DIDE	デバイス ID アドレス検出許可ビット 0：デバイス ID アドレス検出は無効 1：デバイス ID アドレス検出は有効
4	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
3	GCE	ジェネラルコールアドレス許可ビット 0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効
2	SAR2	スレーブアドレスレジスタ 2 許可ビット 0：RIICnSAR2 の設定値は無効 1：RIICnSAR2 の設定値は有効
1	SAR1	スレーブアドレスレジスタ 1 許可ビット 0：RIICnSAR1 の設定値は無効 1：RIICnSAR1 の設定値は有効
0	SAR0	スレーブアドレスレジスタ 0 許可ビット 0：RIICnSAR0 の設定値は無効 1：RIICnSAR0 の設定値は有効

SARy ビット（スレーブアドレスレジスタ y 許可ビット）（y = 0 ～ 2）

RIICnSARy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARy ビットを “1” にすると、RIICnSARy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARy ビットを “0” にすると、RIICnSARy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCE ビット（ジェネラルコールアドレス許可ビット）

ジェネラルコールアドレス（$0000\ 000_B$ ＋ 0[W] : All“0”）を受信した場合、無視するかどうかを選択します。

GCE ビットが “1” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は RIICnSARy レジスタ（y = 0 ～ 2）で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCE ビットが “0” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出許可ビット）

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームにデバイス ID アドレス（$1111\ 100_B$）を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが “1” の場合、受信した第 1 フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが “0”[W] のとき第 2 フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが “0” の場合、受信した第 1 フレームがデバイス ID アドレスと一致しても無視され、第 1 フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、**「23.9.3　デバイス ID アドレス検出機能」**を参照してください。

HOAE ビット（ホストアドレス許可ビット）

RIICnMR3.SMBE ビットが “1” の場合、ホストアドレス（$0001\ 000_B$）を受信したとき、無視するかどうかを選択します。

RIICnMR3.SMBE ビットが “1” でかつ HOAE ビットが “1” の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は RIICnSARy レジスタ（y = 0 ～ 2）で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

RIICnMR3.SMBE ビットが “0” または HOAE ビットが “0” の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

23.3.8　RIICnIER — I²C バスインタラプトイネーブルレジスタ

アクセス：RIICnIER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnIERL、RIICnIERH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnIERLL、RIICnIERLH、RIICnIERHL、RIICnIERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnIER: <RIICn_base> + $001C_H$
RIICnIERL: <RIICn_base> + $001C_H$、RIICnIERH: <RIICn_base> + $001E_H$
RIICnIERLL: <RIICn_base> + $001C_H$、RIICnIERLH: <RIICn_base> + $001D_H$、RIICnIERHL: <RIICn_base> + $001E_H$、RIICnIERHH: <RIICn_base> + $001F_H$

初期値：$0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.13　RIICnIER レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7	TIE	送信データエンプティ割り込み許可ビット 0：送信データエンプティ割り込み（INTRIICTI）の禁止 1：送信データエンプティ割り込み（INTRIICTI）の許可
6	TEIE	送信終了割り込み許可ビット 0：送信終了割り込み（INTRIICTEI）の禁止 1：送信終了割り込み（INTRIICTEI）の許可
5	RIE	受信データフル割り込み許可ビット 0：受信データフル割り込み（INTRIICRI）の禁止 1：受信データフル割り込み（INTRIICRI）の許可
4	NAKIE	NACK 受信割り込み許可ビット 0：NACK 受信割り込み（INTRIICNAKI）の禁止 1：NACK 受信割り込み（INTRIICNAKI）の許可
3	SPIE	ストップコンディション検出割り込み許可ビット 0：ストップコンディション検出割り込み（INTRIICSPI）の禁止 1：ストップコンディション検出割り込み（INTRIICSPI）の許可
2	STIE	スタートコンディション検出割り込み許可ビット 0：スタートコンディション検出割り込み（INTRIICSTI）の禁止 1：スタートコンディション検出割り込み（INTRIICSTI）の許可
1	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み（INTRIICALI）の禁止 1：アービトレーションロスト割り込み（INTRIICALI）の許可
0	TMOIE	タイムアウト割り込み許可ビット 0：タイムアウト割り込み（INTRIICTMOI）の禁止 1：タイムアウト割り込み（INTRIICTMOI）の許可

TMOIE ビット（タイムアウト割り込み許可ビット）

RIICnSR2.TMOF フラグが “1” のとき、タイムアウト割り込み（INTRIICTMOI）の許可／禁止を選択します。INTRIICTMOI 割り込みは、TMOF フラグを “0” にするか、または TMOIE ビットを “0” にすることで解除できます。

ALIE ビット（アービトレーションロスト割り込み許可ビット）

RIICnSR2.AL フラグが “1” のとき、アービトレーションロスト割り込み（INTRIICALII）の許可／禁止を選択します。INTRIICALI 割り込みは、AL フラグを “0” にするか、または ALIE ビットを “0” にすることで解除できます。

STIE ビット（スタートコンディション検出割り込み許可ビット）

RIICnSR2.START フラグが “1” のとき、スタートコンディション検出割り込み（INTRIICSTI）の許可／禁止を選択します。INTRIICSTI 割り込みは、START フラグを “0” にするか、または STIE ビットを “0” にすることで解除できます。

SPIE ビット（ストップコンディション検出割り込み許可ビット）

RIICnSR2.STOP フラグが “1” のとき、ストップコンディション検出割り込み（INTRIICSPI）の許可／禁止を選択します。INTRIICSPI 割り込みは、STOP フラグを “0” にするか、または SPIE ビットを “0” にすることで解除できます。

NAKIE ビット（NACK 受信割り込み許可ビット）

RIICnSR2.NACKF フラグが “1” のとき、NACK 受信割り込み（INTRIICNAKI）の許可／禁止を選択します。INTRIICNAKI 割り込みは、NACKF フラグを “0” にするか、または NAKIE ビットを “0” にすることで解除できます。

RIE ビット（受信データフル割り込み許可ビット）

RIICnSR2.RDRF フラグが “1” のとき、受信データフル割り込み（INTRIICRI）の許可／禁止を選択します。INTRIICRI 割り込みは、RDRF フラグを ”0” にするか、または RIE ビットを ”0” にすることで解除できます。

TEIE ビット（送信終了割り込み許可ビット）

RIICnSR2.TEND フラグが “1” の とき、送信終了割り込み（INTRIICTEI）の許可／禁止を選択します。INTRIICTEI 割り込みは、TEND フラグを “0” にするか、または TEIE ビットを “0” にすることで解除できます。

TIE ビット（送信データエンプティ割り込み許可ビット）

RIICnSR2.TDRE フラグが “1” のとき、送信データエンプティ割り込み（INTRIICTI）の許可／禁止を選択します。

23.3.9　RIICnSR1 — I²C バスステータスレジスタ 1

アクセス：RIICnSR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSR1L、RIICnSR1H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSR1LL、RIICnSR1LH、RIICnSR1HL、RIICnSR1HH レジスタは、8/1 ビット単位でリード／ライト可能です。

アドレス：RIICnSR1: <RIICn_base> + 0020_H
RIICnSR1L: <RIICn_base> + 0020_H、RIICnSR1H: <RIICn_base> + 0022_H
RIICnSR1LL: <RIICn_base> + 0020_H、RIICnSR1LH: <RIICn_base> + 0021_H、RIICnSR1HL: <RIICn_base> + 0022_H、RIICnSR1HH: <RIICn_base> + 0023_H

初期値：$0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/(W)（注1）	R	R/(W)（注1）	R	R/W（注1）	R/(W)（注1）	R/(W)（注1）	R/(W)（注1）

注1.　“0”のみ書けます。

表 23.14　RIICnSR1 レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7	HOA	ホストアドレス検出フラグ 0：ホストアドレス未検出 1：ホストアドレス検出
6	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
5	DID	デバイス ID アドレス検出フラグ 0：デバイス ID アドレス未検出 1：デバイス ID アドレス検出
4	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
3	GCA	ジェネラルコールアドレス検出フラグ 0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出
2	AAS2	スレーブアドレス 2 検出フラグ 0：スレーブアドレス 2 未検出 1：スレーブアドレス 2 検出
1	AAS1	スレーブアドレス 1 検出フラグ 0：スレーブアドレス 1 未検出 1：スレーブアドレス 1 検出
0	AAS0	スレーブアドレス 0 検出フラグ 0：スレーブアドレス 0 未検出 1：スレーブアドレス 0 検出

AASy フラグ（スレーブアドレス y 検出フラグ）（y = 0 ～ 2）

［“1” になる条件］

【7 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 0】

RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 1】

RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0_B ＋ RIICnSARy.SVA[9:8] と一致し、それに続くアドレスが RIICnSARy.SVA[7:0] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 0】

RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 1】

- RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0_B ＋ RIICnSARy.SVA[9:8] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0_B ＋ RIICnSARy.SVA[9:8] と一致し、それに続くアドレスが RIICnSARy.SVA[7:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ（ジェネラルコールアドレス検出フラグ）

［“1” になる条件］

RIICnSER.GCE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000_B ＋ 0[W]）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnSER.GCE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000_B ＋ 0[W]）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ（デバイス ID アドレス検出フラグ）

［“1” になる条件］

- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100_B）＋ 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、デバイス ID アドレスが一致し

た後にリスタートコンディション検出し、さらにデバイス ID アドレス（$1111\ 100_B$）＋ 1[R] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（$1111\ 100_B$）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（$1111\ 100_B$）＋ 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ～ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ（ホストアドレス検出フラグ）

［“1” になる条件］

RIICnMR3.SMBE ビットが "1" かつ RIICnSER.HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（$0001\ 000_B$）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnMR3.SMBE ビットに “0” または RIICnSER.HOAE ビットに “0” を書いたとき
- RIICnSER.HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（$0001\ 000_B$）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

23.3.10　RIICnSR2 — I²C バスステータスレジスタ 2

アクセス：RIICnSR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSR2L、RIICnSR2H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSR2LL、RIICnSR2LH、RIICnSR2HL、RIICnSR2HH レジスタは、8/1 ビット単位でリード／ライト可能です。

アドレス：RIICnSR2: <RIICn_base> + 0024_H
RIICnSR2L: <RIICn_base> + 0024_H、RIICnSR2H: <RIICn_base> + 0026_H
RIICnSR2LL: <RIICn_base> + 0024_H、RIICnSR2LH: <RIICn_base> + 0025_H、RIICnSR2HL: <RIICn_base> + 0026_H、RIICnSR2HH: <RIICn_base> + 0027_H

初期値：$0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R(/W)（注1）	R(/W)（注1）	R(/W)（注1）	R(/W)（注1）	R(/W)（注1）	R(/W)（注1）	R(/W)（注1）

注1.　“0”のみ書けます。

表23.15　RIICnSR2 レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7	TDRE	送信データエンプティフラグ 0：RIICnDRT レジスタに送信データあり 1：RIICnDRT レジスタに送信データなし
6	TEND	送信終了フラグ 0：データ送信中 1：データ送信終了
5	RDRF	受信データフルフラグ 0：RIICnDRR レジスタに受信データなし 1：RIICnDRR レジスタに受信データあり
4	NACKF	NACK 受信フラグ 0：NACK 未受信 1：NACK 受信
3	STOP	ストップコンディション検出フラグ 0：ストップコンディション未検出 1：ストップコンディション検出
2	START	スタートコンディション検出フラグ 0：スタートコンディション未検出 1：スタートコンディション検出
1	AL	アービトレーションロストフラグ 0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり
0	TMOF	タイムアウトフラグ 0：タイムアウトの発生なし 1：タイムアウトの発生あり

TMOF フラグ（タイムアウトフラグ）

SCL ラインの状態が一定期間変化しない場合、タイムアウトを認識して “1” になります。

［“1” になる条件］

タイムアウト検出機能は RIICnFER.TMOE ビットが “1” のとき有効で、以下の期間に SCL ラインの Low 固定または High 固定のバス異常状態を検出します。

- マスタモード（RIICnCR2.MST ビット＝ 1）で、バスビジー（RIICnCR2.BBSY フラグ＝ 1）
- スレーブモード（RIICnCR2.MST ビット＝ 0）で、自スレーブアドレス一致（RIICnSR1 レジスタ≠ 00_H）かつバスビジー（RIICnCR2.BBSY フラグ＝ 1）
- スタートコンディション発行要求中（RIICnCR2.ST ビット＝ 1）で、バスフリー（RIICnCR2.BBSY フラグ＝ 0）

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ（アービトレーションロストフラグ）

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失（アービトレーションロスト）したことを示します。RIIC は送信中に SDA ラインのレベルを監視し、出力データと SDA ラインのレベルが一致しない場合 AL フラグを “1” にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定により受信モード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

［“1” になる条件］

【マスタアービトレーションロスト検出有効時：RIICnFER.MALE ビット＝ 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出）したとき
- RIICnCR2.ST ビットが “1”（スタートコンディション発行要求）の状態でスタートコンディションを検出したとき、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
- RIICnCR2.BBSY フラグが “1” の状態で RIICnCR2.ST ビットが “1”（スタートコンディション発行要求）に設定したとき

【NACK アービトレーションロスト検出有効時：RIICnFER.NALE ビット＝ 1】

受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：RIICnFER.SALE ビット＝ 1】

スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

表 23.16　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

RIICnFER			RIICnSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	RIICnCR2.ST = 1 の状態でスタートコンディション検出時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
					RIICnCR2.BBSY = 1 の状態で RIICnCR2.ST = 1 にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x：Don't care

START フラグ（スタートコンディション検出フラグ）

［“1” になる条件］

スタートコンディション（リスタートコンディション含む）を検出したとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

［“1” になる条件］

ストップコンディションを検出したとき

［“0” になる条件］

“1” を読んだ後、“0” を書いたとき

RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ（NACK 受信フラグ）

［“1” になる条件］

RIICnFER.NACKE ビットが “1”（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジがなかった（NACK を受信した）とき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注意．NACKF フラグが “1” になると RIIC は通信動作を中断します。NACKF フラグが “1” の状態で送信モード時に RIICnDRT レジスタへの書き込みや、受信モード時に RIICnDRR レジスタの読み出しを行っても、送信／受信動作は行われません。通信動作を再開する場合は NACKF フラグを “0” にしてください。

RDRF フラグ（受信データフルフラグ）

［“1” になる条件］

- スレーブ受信モード
  - スタートコンディション（リスタートコンディション含む）を検出後、受信したスレーブアドレスが一致して RIICnCR2.TRS ビットが “0” になったとき

- RIICnDRS レジスタから RIICnDRR レジスタに受信データが転送されて、SCL クロックの 8 または 9 クロック目（RIICnMR3.RDRFS ビットで選択）の立ち上がり時

- マスタ受信モード
  - スタートコンディション（リスタートコンディション含む）を発行後、スレーブアドレスとデータ方向を送信して、受信モード（RIICnCR2.TRS ビットを “1”）にしたとき
  - RIICnDRS レジスタから RIICnDRR レジスタに受信データが転送されて、SCL クロックの 8 または 9 クロック目（RIICnMR3.RDRFS ビットで選択）の立ち上がり時

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- RIICnDRR レジスタを読んだとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ（送信終了フラグ）

［“1” になる条件］

TDRE フラグが “1” の状態で、SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- RIICnDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ（送信データエンプティフラグ）

［“1” になる条件］

- RIICnDRT レジスタから RIICnDRS レジスタにデータ転送が行われ、RIICnDRT レジスタが空になったとき
- RIICnCR2.TRS ビットが “1” になったとき
  - スタートコンディション（リスタートコンディション含む）検出後、RIICnCR2.MST ビットが “1” のとき
  - 受信モードから送信モードになったとき
- 受信したスレーブアドレスが一致し、TRS ビットが “1” のとき

［“0” になる条件］

- RIICnDRT レジスタへデータを書いたとき
- RIICnCR2.TRS ビットが “0” になったとき
  - ストップコンディションを検出したとき
  - 送信モードから受信モードになったとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注意 . RIICnFER.NACKE ビットが “1” の状態で NACKF フラグが “1” になると RIIC は通信動作を中断します。このとき、TDRE フラグが “0” の状態（次の送信データが既に書き込まれている状態）の場合、9 クロック目の立ち上がりで RIICnDRS レジスタへのデータ転送が行われ RIICnDRT レジスタが空状態になりますが、TDRE フラグは “1” になりません。

23.3.11　RIICnSARy — I²C スレーブアドレスレジスタ y（y = 0 ～ 2）

アクセス：RIICnSARy レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSARyL、RIICnSARyH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSARyLL、RIICnSARyLH、RIICnSARyHL、RIICnSARyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnSAR0: <RIICn_base> + 0028_H
RIICnSAR0L: <RIICn_base> + 0028_H、RIICnSAR0H: <RIICn_base> + $002A_H$
RIICnSAR0LL: <RIICn_base> + 0028_H、RIICnSAR0LH: <RIICn_base> + 0029_H、RIICnSAR0HL: <RIICn_base> + $002A_H$、
RIICnSAR0HH: <RIICn_base> + $002B_H$
RIICnSAR1: <RIICn_base> + $002C_H$
RIICnSAR1L: <RIICn_base> + $002C_H$、RIICnSAR1H: <RIICn_base> + $002E_H$
RIICnSAR1LL: <RIICn_base> + $002C_H$、RIICnSAR1LH: <RIICn_base> + $002D_H$、RIICnSAR1HL: <RIICn_base> + $002E_H$、
RIICnSAR1HH: <RIICn_base> + $002F_H$
RIICnSAR2: <RIICn_base> + 0030_H
RIICnSAR2L: <RIICn_base> + 0030_H、RIICnSAR2H: <RIICn_base> + 0032_H
RIICnSAR2LL: <RIICn_base> + 0030_H、RIICnSAR2LH: <RIICn_base> + 0031_H、RIICnSAR2HL: <RIICn_base> + 0032_H、

初期値：$0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FSy	—	—	—	—	—	SVA[9:1]									SVA0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.17　RIICnSARy レスレジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
15	FSy	7 ビット/10 ビットアドレスフォーマット選択ビット 0：7 ビットアドレスフォーマット選択 1：10 ビットアドレスフォーマット選択
14 ～ 10	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
9 ～ 1	SVA[9:1]	7 ビットアドレス/10 ビットアドレス上位ビット スレーブアドレスを設定してください。 • FSy ビット= 0（7 ビットアドレスフォーマット選択）のとき、SVA[7:1] ビットが有効になり、7 ビットスレーブアドレスになる • FSy ビット= 1（10 ビットアドレスフォーマット選択）のとき、SVA[9:1] ビットは SVA0 ビットと合わせて 10 ビットスレーブアドレスになる
0	SVA0	10 ビットアドレス最下位ビット スレーブアドレスを設定してください。 • FSy ビット = 0（7 ビットアドレスフォーマット選択）のとき、SVA0 ビットは無効になる • FSy ビット = 1（10 ビットアドレスフォーマット選択）のとき、SVA0 ビットが有効になり、SVA[9:1] ビットと合わせて 10 ビットスレーブアドレスになる

SVA0 ビット（10 ビットアドレス最下位ビット）

10 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット = 1）、10 ビットアドレス最下位ビットとして機能し、SVA[9:1] ビットと合わせて 10 ビットアドレスを設定します。

RIICnSER.SARy ビットが “1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが “1” のとき設定値が有効になり、RIICnSARy.FSy ビットまたは SARy ビットが “0” のとき設定値は無視されます。

SVA[9:1] ビット（7 ビットアドレス／ 10 ビットアドレス上位ビット）

7 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット = 0）、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット = 1）、SVA0 ビットと合わせて 10 ビットアドレスとして機能します。

RIICnSER.SARy ビットが “0” のとき設定値は無視されます。

FSy ビット（7 ビット／ 10 ビットアドレスフォーマット選択ビット）

スレーブアドレス y（RIICnSARy レジスタ）を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

RIICnSER.SARy ビットが “1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが “0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、RIICnSARy.SVA[7:1] ビットの設定値が有効になり SVA[9:8] ビットおよび RIICnSARy.SVA0 ビットの設定値は無視されます。

RIICnSER.SARy ビットが “1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが “1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[9:1] ビット、SVA0 ビットの設定値が有効になります。

RIICnSER.SARy ビットが “0”（RIICnSARy レジスタ無効）のとき RIICnSARy.FSy ビットの設定値は無効です。

23.3.12　RIICnBRL — I²C バスビットレートロウレベルレジスタ

アクセス：RIICnBRL レジスタは、32 ビット単位でリード／ライト可能です。
RIICnBRLL、RIICnBRLH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnBRLLL、RIICnBRLLH、RIICnBRLHL、RIICnBRLHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnBRL: <RIICn_base> + 0034_H
RIICnBRLL: <RIICn_base> + 0034_H、RIICnBRLH: <RIICn_base> + 0036_H
RIICnBRLLL: <RIICn_base> + 0034_H、RIICnBRLLH: <RIICn_base> + 0035_H、RIICnBRLHL: <RIICn_base> + 0036_H、RIICnBRLHH: <RIICn_base> + 0037_HRIICnSAR2HH: <RIICn_base> + 0033_HRIICnSAR0: <RIICn_base> + 0028_H
RIICnSAR0L: <RIICn_base> + 0028_H、RIICnSAR0H: <RIICn_base> + $002A_H$
RIICnSAR0LL: <RIICn_base> + 0028_H、RIICnSAR0LH: <RIICn_base> + 0029_H、RIICnSAR0HL: <RIICn_base> + $002A_H$、RIICnSAR0HH: <RIICn_base> + $002B_H$
RIICnSAR1: <RIICn_base> + $002C_H$
RIICnSAR1L: <RIICn_base> + $002C_H$、RIICnSAR1H: <RIICn_base> + $002E_H$
RIICnSAR1LL: <RIICn_base> + $002C_H$、RIICnSAR1LH: <RIICn_base> + $002D_H$、RIICnSAR1HL: <RIICn_base> + $002E_H$、RIICnSAR1HH: <RIICn_base> + $002F_H$

初期値：$0000\ 00FF_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	BRL[4:0]				
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 23.18　RIICnBRL レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7～5	—	予約ビット 読むと“1”が読めます。書く場合、“1”としてください。
4～0	BRL[4:0]	ビットレート Low 幅設定ビット SCL クロックの Low 幅の値を設定

RIICnBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また RIICnBRL レジスタは、SCL 自動 Low ホールド発生時（「23.10　SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注 1）以上の値を設定してください。

RIICnBRL レジスタは RIICnMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICφ）で Low 幅をカウントします。

注 1.　データセットアップ時間（$t_{SU:DAT}$）
250[ns]（0 ～ 100[kbps]：標準モード（Sm））
100[ns]（0 ～ 400[kbps]：高速モード（Fm））
50[ns]（0 ～ 1[Mbps]：高速モードプラス（Fm+））

23.3.13　RIICnBRH — I²C バスビットレートハイレベルレジスタ

アクセス：RIICnBRH レジスタは、32 ビット単位でリード／ライト可能です。
RIICnBRHL、RIICnBRHH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnBRHLL、RIICnBRHLH、RIICnBRHHL、RIICnBRHHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnBRH: <RIICn_base> + 0038H
RIICnBRHL: <RIICn_base> + 0038H、RIICnBRHH: <RIICn_base> + 003AH
RIICnBRHLL: <RIICn_base> + 0038H、RIICnBRHLH: <RIICn_base> + 0039H、RIICnBRHHL: <RIICn_base> + 003AH、
RIICnBRHHH:<RIICn_base> + 003BH

初期値：$0000\ 00FF_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	BRH[4:0]				
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 23.19　RIICnBRH レジスタの内容

ビット位置	ビット名	機能
31～8	—	予約ビット 読むと“0”が読めます。書く場合、“0”としてください
7～5	—	予約ビット 読むと“1”が読めます。書く場合、“1”としてください。
4～0	BRH[4:0]	ビットレート High 幅設定ビット SCL クロックの High 幅の値を設定

RIICnBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

RIICnBRH レジスタは RIICnMR1.CKS[2:0] ビットで選択された内部基準クロックソース（IICφ）で High 幅をカウントします。

下記に周波数と Duty 比の算出式を示します。
周波数と Duty 比はレジスタ設定により算出式が①～⑤のいずれかになります。

注意．RIICnBRL と RIICnBRH には、RIICnFER の SCLE ビットと NFE ビットと RIICnMR3 の NF ビットの値により設定下限値が存在する為、注意してください。設定下限値についての詳細は、表 23.20 を参照してください。

① SCLE = 0 の場合
周波数の計算式 = 1 / {[(BRH + 1) ＋ (BRL + 1)] / IICφ + tr + tf}
Duty の計算式 = {tr + (BRH + 1) / IICφ } / {tr + tf + [(BRH + 1) + (BRL + 1)] / IICφ }
② SCLE = 1、NFE = 0、CKS = 000 (IICφ = P1φ) の場合
周波数の計算式 = 1 / {[(BRH + 3) ＋ (BRL + 3)] / IICφ + tr + tf}
Duty の計算式 = {tr + (BRH + 3) / IICφ } / {tr + tf + [(BRH + 3) + (BRL + 3)] / IICφ }
③ SCLE = 1、NFE = 1、CKS = 000 (IICφ = P1φ) の場合
周波数の計算式 = 1 / {[(BRH + 3 + nf) ＋ (BRL + 3 + nf)] / IICφ + tr + tf}
Duty の計算式 = {tr + (BRH + 3 + nf) / IICφ } / {tr + tf + [(BRH + 3 + nf) + (BRL + 3 + nf)] / IICφ }
④ SCLE = 1、NFE = 0、CKS = 000 以外 (IICφ < P1φ) の場合
周波数の計算式 = 1 / {[(BRH + 2) ＋ (BRL + 2)] / IICφ + tr + tf}
Duty の計算式 = {tr + (BRH + 2) / IICφ } / {tr + tf + [(BRH + 2) + (BRL + 2)] / IICφ }
⑤ SCLE = 1、NFE = 1、CKS = 000 以外 (IICφ < P1φ) の場合
周波数の計算式 = 1 / {[(BRH + 2 + nf) ＋ (BRL + 2 + nf)] / IICφ + tr + tf}
Duty の計算式 = {tr + (BRH + 2 + nf) / IICφ} / {tr + tf + [(BRH + 2 + nf) + (BRL + 2 + nf)] / IICφ }

算出式中の記号の説明
SCLE ：RIICnFER.SCLE ビット。
BRH ：RIICnBRH.BRH[4:0] ビット。
BRL ：RIICnBRL.BRL[4:0] ビット。
CKS ：RIICnMR1.CKS ビット。
NFE ：RIICnFER.NFE ビット。
IICφ：CKS で選択された内部基準クロック。
tf : SCL ライン立下り時間 [s] (注 1)
tr : SCL ライン立上り時間 [s] (注 1)
nf ：デジタルノイズフィルタ段数。RIICnMR3.NF[1:0] で設定。

注 1. SCL ライン立上り時間 [tr]、SCL ライン立下り時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

表 23.20　RIICnBRL と RIICnBRH の設定下限値

SCLE	NFE	nf	デジタル フィルタ 最小通過 パルス幅	BRH、BRL の 設定下限値	下限値設定時の パルス幅
0	0	—	1 * IICφ	1	2 * IICφ
0	1	1	2 * IICφ	2	3 * IICφ
0	1	2	3 * IICφ	3	4 * IICφ
0	1	3	4 * IICφ	4	5 * IICφ
0	1	4	5 * IICφ	5	6 * IICφ
IICφ 周期 ＞ P1φ 周期 (CKS = 000 以外)					
1	0	—	1 * IICφ	0	2 * IICφ
1	1	1	2 * IICφ	1	4 * IICφ
1	1	2	3 * IICφ	2	6 * IICφ
1	1	3	4 * IICφ	3	8 * IICφ
1	1	4	5 * IICφ	4	10 * IICφ
IICφ 周期 ＝ P1φ 周期 (CKS = 000)					
1	0	-	2 * IICφ	0	3 * IICφ
1	1	1	3 * IICφ	1	5 * IICφ
1	1	2	4 * IICφ	2	7 * IICφ
1	1	3	5 * IICφ	3	9 * IICφ
1	1	4	6 * IICφ	4	11 * IICφ

RIICnBRH、RIICnBRL レジスタの値の設定例を表 23.21、表 23.2 に示します。

表 23.21　転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例（RIICnFER.SCLE が“1”、RIICnFER.NFE が"0" の場合）

転送速度 [kbps]	周辺クロックの動作周波数 P1φ[MHz]								
	55			60			66		
	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL
10	111_B	18 ($F2_H$)	21 ($F5_H$)	111_B	18 ($F2_H$)	25 ($F9_H$)	111_B	24 ($F8_H$)	24 ($F8_H$)
50	101_B	15 (EF_H)	16 ($F0_H$)	101_B	13 (ED_H)	20 ($F4_H$)	101_B	15 (EF_H)	22 ($F6_H$)
100	100_B	15 (EF_H)	16 ($F0_H$)	100_B	16 ($F0_H$)	18 ($F2_H$)	100_B	18 ($F2_H$)	20 ($F4_H$)
400	010_B	13 (ED_H)	18 ($F2_H$)	010_B	16 ($F0_H$)	18 ($F2_H$)	010_B	17 ($F1_H$)	21 ($F5_H$)
1000	001_B	7 ($E7_H$)	15 (EF_H)	001_B	10 (EA_H)	14 (EE_H)	001_B	12 (EC_H)	15 (EF_H)

表 23.22　転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例（RIICnFER.SCLE が“1”、RIICnFER.NFE が"1"、NF 段数が"4" の場合）

転送速度 [kbps]	周辺クロックの動作周波数 P1φ[MHz]								
	55			60			66		
	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL
10	111_B	12 (EC_H)	19 ($F3_H$)	111_B	11 (EB_H)	24 ($F8_H$)	111_B	12 (EC_H)	28 (FC_H)
50	101_B	10 (EA_H)	13 (ED_H)	101_B	7 ($E7_H$)	19 ($F3_H$)	101_B	10 (EA_H)	20 ($F4_H$)
100	100_B	10 (EA_H)	13 (ED_H)	100_B	12 (EC_H)	14 (EE_H)	100_B	14 (EE_H)	16 ($F0_H$)
400	010_B	9 ($E9_H$)	14 (EE_H)	010_B	10 (EA_H)	16 ($F0_H$)	010_B	12 (EC_H)	18 ($F2_H$)
1000	001_B	6 ($E6_H$)	8 ($E8_H$)	001_B	6 ($E6_H$)	10 (EA_H)	001_B	7 ($E7_H$)	12 (EC_H)

23.3.14　RIICnDRT — I²C バス送信データレジスタ

アクセス：RIICnDRT レジスタは、32 ビット単位でリード／ライト可能です。
RIICnDRTL、RIICnDRTH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnDRTLL、RIICnDRTLH、RIICnDRTHL、RIICnDRTHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnDRT: <RIICn_base> + $003C_H$
RIICnDRTL: <RIICn_base> + $003C_H$、RIICnDRTH: <RIICn_base> + $003E_H$
RIICnDRTLL: <RIICn_base> + $003C_H$、RIICnDRTLH: <RIICn_base> + $003D_H$、RIICnDRTHL: <RIICn_base> + $003E_H$、RIICnDRTHH: <RIICn_base> + $003F_H$

初期値：$0000\ 00FF_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRT[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I²C バスシフトレジスタ（RIICnDRS）の空きを検出すると、RIICnDRT レジスタに書き込まれた送信データが RIICnDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

RIICnDRT レジスタと RIICnDRS レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ送信中に、次に送信するデータを RIICnDRT レジスタに書いておくと連続送信動作が可能です。

RIICnDRT レジスタは常に読み出し／書き込み可能です。RIICnDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み（INTRIICTI）要求が発生したときに 1 回だけ行ってください。ビット 8 ～ 15 に値を書き込む場合は、必ず 0 を書き込んでください。

23.3.15　RIICnDRR — I²C バス受信データレジスタ

アクセス：RIICnDRR レジスタは、32 ビット単位でリード／ライト可能です。
RIICnDRRL、RIICnDRRH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnDRRLL、RIICnDRRLH、RIICnDRRHL、RIICnDRRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RIICnDRR: <RIICn_base> + 0040_H
RIICnDRRL: <RIICn_base> + 0040_H、RIICnDRRH: <RIICn_base> + 0042_H
RIICnDRRLL: <RIICn_base> + 0040_H、RIICnDRRLH: <RIICn_base> + 0041_H、RIICnDRRHL: <RIICn_base> + 0042_H、
RIICnDRRHH:<RIICn_base> + 0043_H

初期値：$0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRR[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ（RIICnDRS）から RIICnDRR レジスタへ転送され、次のデータを受信可能にします。

RIICnDRS レジスタと RIICnDRR レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ受信中に、すでに受信したデータを RIICnDRR レジスタから読んでおくと連続受信動作が可能です。

RIICnDRR レジスタに書き込みはできません。RIICnDRR レジスタの読み出しは、受信データフル割り込み（INTRIICRI）要求が発生したときに 1 回だけ行ってください。

受信データを RIICnDRR レジスタから読み出ししないまま（RIICnSR2.RDRF フラグが “1” の状態のまま）次の受信データを受け取ると、RIIC は RDRF フラグを次に “1” になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

23.3.16　RIICnDRS — I²C バスシフトレジスタ

アクセス：アクセスすることはできません。
アドレス：—
初期値：0000 00FFH

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRS[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

RIICnDRS レジスタは、データを送信／受信するためのシフトレジスタです。

送信時は RIICnDRT レジスタから送信データが RIICnDRS レジスタに転送され、SDA 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが RIICnDRS レジスタから RIICnDRR レジスタへ転送されます。

RIICnDRS レジスタは直接アクセスすることはできません。

23.4　割り込み要因

RIIC の割り込み要因には、送信終了、受信データフル、送信データエンプティ、ストップコンディション検出、スタートコンディション検出、NACK 受信、アービトレーションロスト、タイムアウトの 8 種類があります。

表 23.23 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要因は、DMAC を起動してデータ転送を行うことができます。

表23.23　割り込み要因

名称	割り込み要因	割り込みフラグ	DMACの起動	優先順位（注1）	割り込み条件
INTRIICTEI	送信終了	TEND	不可能	高	TEND = 1 かつ TEIE = 1
INTRIICRI	受信データフル	RDRF	可能	↑	RDRF = 1 かつ RIE = 1
INTRIICTI	送信データエンプティ	TDRE	可能		TDRE = 1 かつ TIE = 1
INTRIICSPI	ストップコンディション検出	STOP	不可能		STOP = 1 かつ SPIE = 1
INTRIICSTI	スタートコンディション検出	START	不可能		START = 1 かつ STIE = 1
INTRIICNAKI	NACK受信	NACKF	不可能		NACKF = 1 かつ NAKIE = 1
INTRIICALI	アービトレーションロスト	AL	不可能		AL = 1 かつ ALIE = 1
INTRIICTMOI	タイムアウト	TMOF	不可能	低	TMOF = 1 かつ TMOIE = 1

注1.　割り込み優先度レジスタ（ICDIPRn）の設定値が同じ場合

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

注意 1. CPU から周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

2. INTRIICRI 割り込みと INTRIICTI 割り込みはエッジ割り込みのためクリアの必要はありません。
3. INTRIICTEI 割り込みを使用する場合、INTRIICTEI 割り込み処理の中で、RIICnSR2.TEND フラグをクリアしてください。
4. INTRIICSPI 割り込みを使用する場合、INTRIICSPI 割り込み処理の中で、RIICnSR2.STOP フラグをクリアしてください。
5. INTRIICSTI 割り込みを使用する場合、INTRIICSTI 割り込み処理の中で、RIICnSR2.START フラグをクリアしてください。
6. INTRIICNAKI 割り込みを使用する場合、INTRIICNAKI 割り込み処理の中で、RIICnSR2.NACKF フラグをクリアしてください。
7. INTRIICALI 割り込みを使用する場合、INTRIICALI 割り込み処理の中で、RIICnSR2.AL フラグをクリアしてください。
8. INTRIICTMOI 割り込みを使用する場合、INTRIICTMOI 割り込み処理の中で、RIICnSR2.TMOF フラグをクリアしてください。

23.5　動作

23.5.1　通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。(1 フレーム)。マスタはスタートコンディションおよびリスタートコンディションを発行した後、はじめのフレームでスレーブアドレスとデータ方向を送出します。指定されたスレーブはストップコンディションが発行されるか、もしくはリスタートコンディションにより新たにスレーブが指定されるまで有効です。

図 23.3 に I²C バスフォーマットを、図 23.4 に I²C バスタイミングを示します。

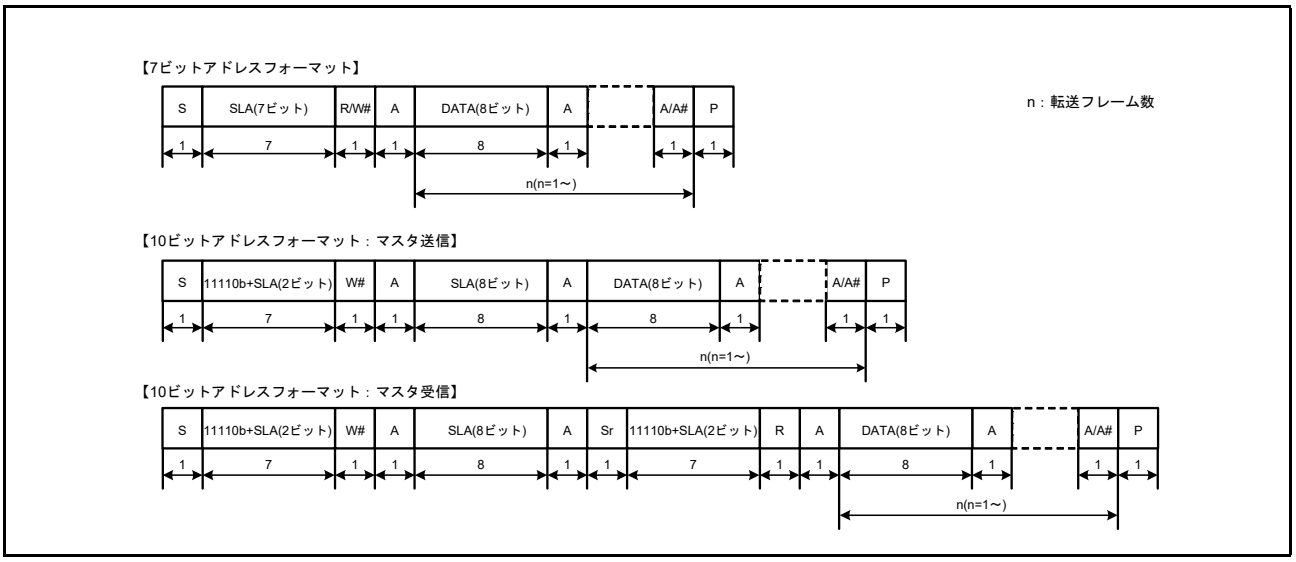


図 23.3　I²C バスフォーマット

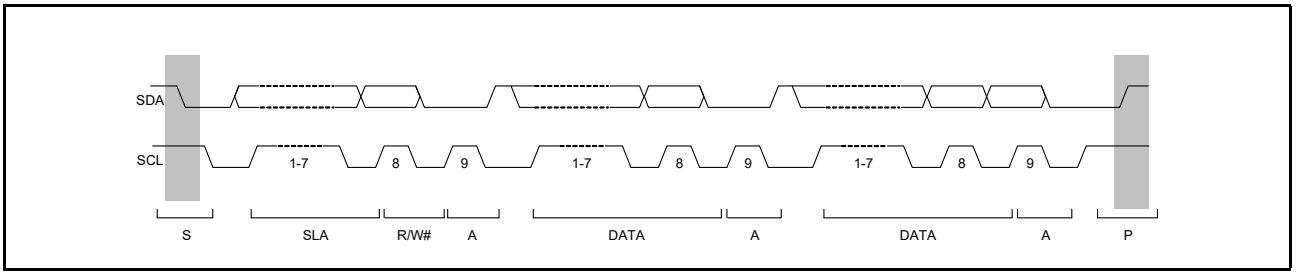


図 23.4　I²C バスタイミング（SLA = 7 ビットの場合）

S　：スタートコンディションを示します。マスタデバイスが、SCL ラインが High の状態で SDA ラインが High から Low に変化します。

SLA　：スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#　：送信／受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A　：アクノリッジを示します。受信デバイスが SDA ラインを Low にします（マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します）。

A#　：ノットアクノリッジを示します。受信デバイスから応答がない、または受信デバイスが存在せず、SDA ラインが High の状態のままです。

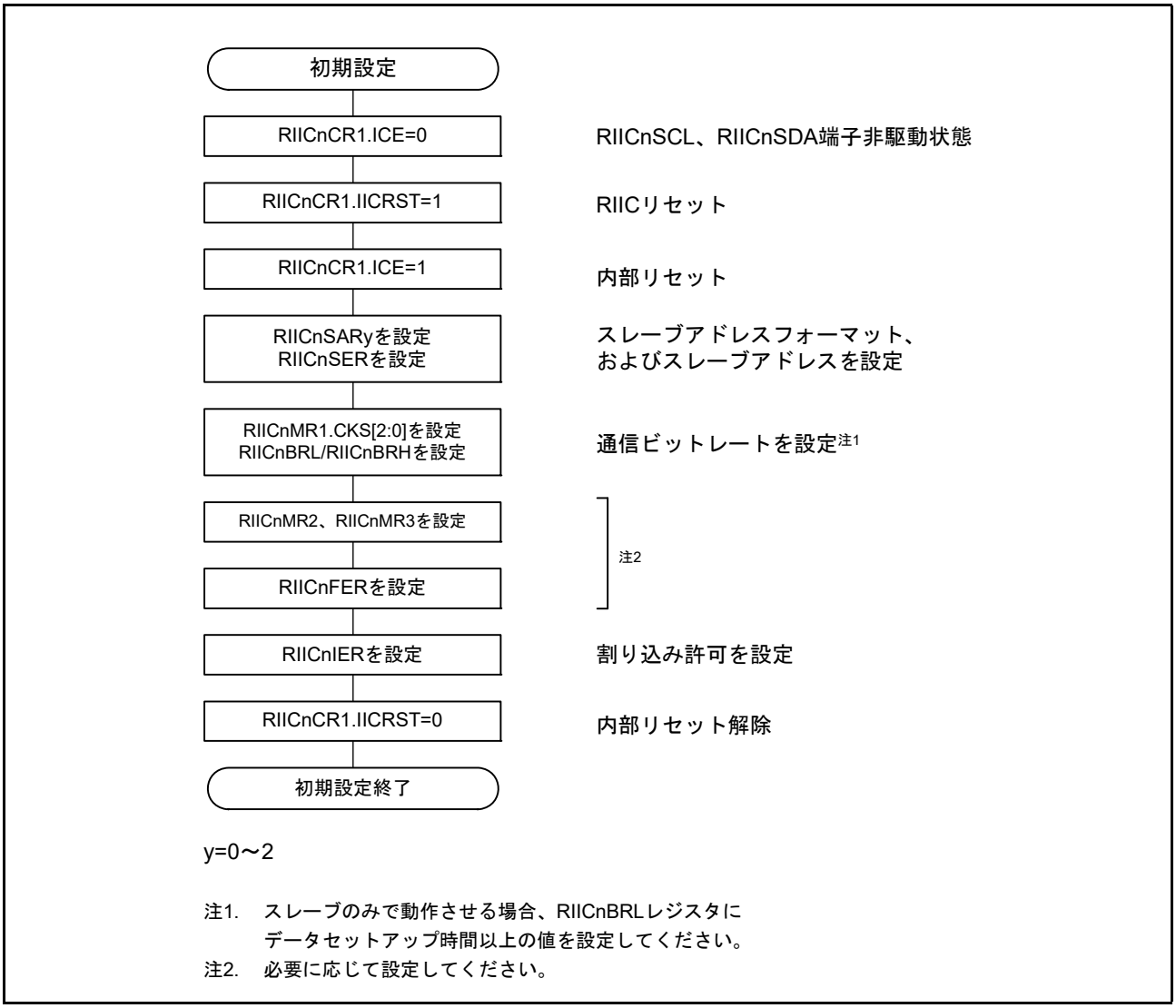
Sr　：リスタートコンディションを示します。マスタデバイスが、SCL ラインが High の状態でセットアップ時間経過後に SDA ラインが High から Low に変化します。

DATA　：送受信データを示します。

P　：ストップコンディションを示します。マスタデバイスが、SCL ラインが High の状態で SDA ラインが Low から High に変化します。

23.5.2　初期設定

データの送信／受信を開始する場合、**図 23.5** に示す手順に従って RIIC を初期化してください。



注1.　スレーブのみで動作させる場合、RIICnBRLレジスタに
　　データセットアップ時間以上の値を設定してください。
注2.　必要に応じて設定してください。

図 23.5　　RIIC の初期化フローチャート例

23.5.3　マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 23.6 にマスタ送信の使用例を、図 23.7 ～図 23.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

(1) RIICnCR1.ICE ビットを “0”（RIICnSCL、RIICnSDA 端子非駆動状態）にしたまま RIICnCR1.IICRST ビットを “1”（RIIC リセット）にした後、RIICnCR1.ICE ビットを “1”（内部リセット）にします。
これにより RIICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、RIICnSARy、RIICnSER、RIICnMR1、RIICnBRH、RIICnBRL レジスタ (y = 0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については図 23.5 参照）。必要なレジスタの設定が終了したら、RIICnCR1.IICRST ビットを “0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) RIICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、RIICnCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、RIICnSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、RIICnCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。
また RIICnSR2.TDRE は、TRS ビット = 1 により自動的に “1” になります。

(3) RIICnSR2.TDRE フラグが “ 1 ” であることを確認した後、RIICnDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。RIICnDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、RIICnDRT レジスタから RIICnDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は R/W# ビット = 0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき RIICnSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は RIICnCR2.SP ビットに “1” を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で RIICnDRT レジスタに $1111\ 0_B$ ＋ スレーブアドレスの上位 2 ビット ＋ W# を書き、2 回目のアドレス送信処理で RIICnDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(4) RIICnSR2.TDRE フラグが “1” であることを確認した後、送信データを RIICnDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL ラインを Low にホールドします。

(5) 送信するデータの最後のバイトを RIICnDRT レジスタに書き終わった後、RIICnSR2.TEND フラグが “1” になるまで待ってから RIICnCR2.SP ビットに “1” を書いてください（ストップコンディション発行要求）。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

(6) RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットが自動的に “00_B” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.TDRE, TEND フラグも自動的に “0” になり、RIICnSR2.STOP フラグが “1” になります。

(7) RIICnSR2.NACKF、STOP フラグを “0” にしてください。

注意 . RIICnSR2.STOP フラグが "1" となる前に、RIICnSR2.NACKF フラグを "0" クリアすると、通信動作を再開し

ますので、必ず RIICnSR2.STOP フラグが "1" であることを確認した後に、RIICnSR2.NACKF フラグを "0" クリアしてください。特に、NACK 受信割り込み (INTRIICNAKI) を使用時、割り込み処理内で STOP フラグが "1" となる前に、NACKF フラグを "0" クリアしないよう注意してください。

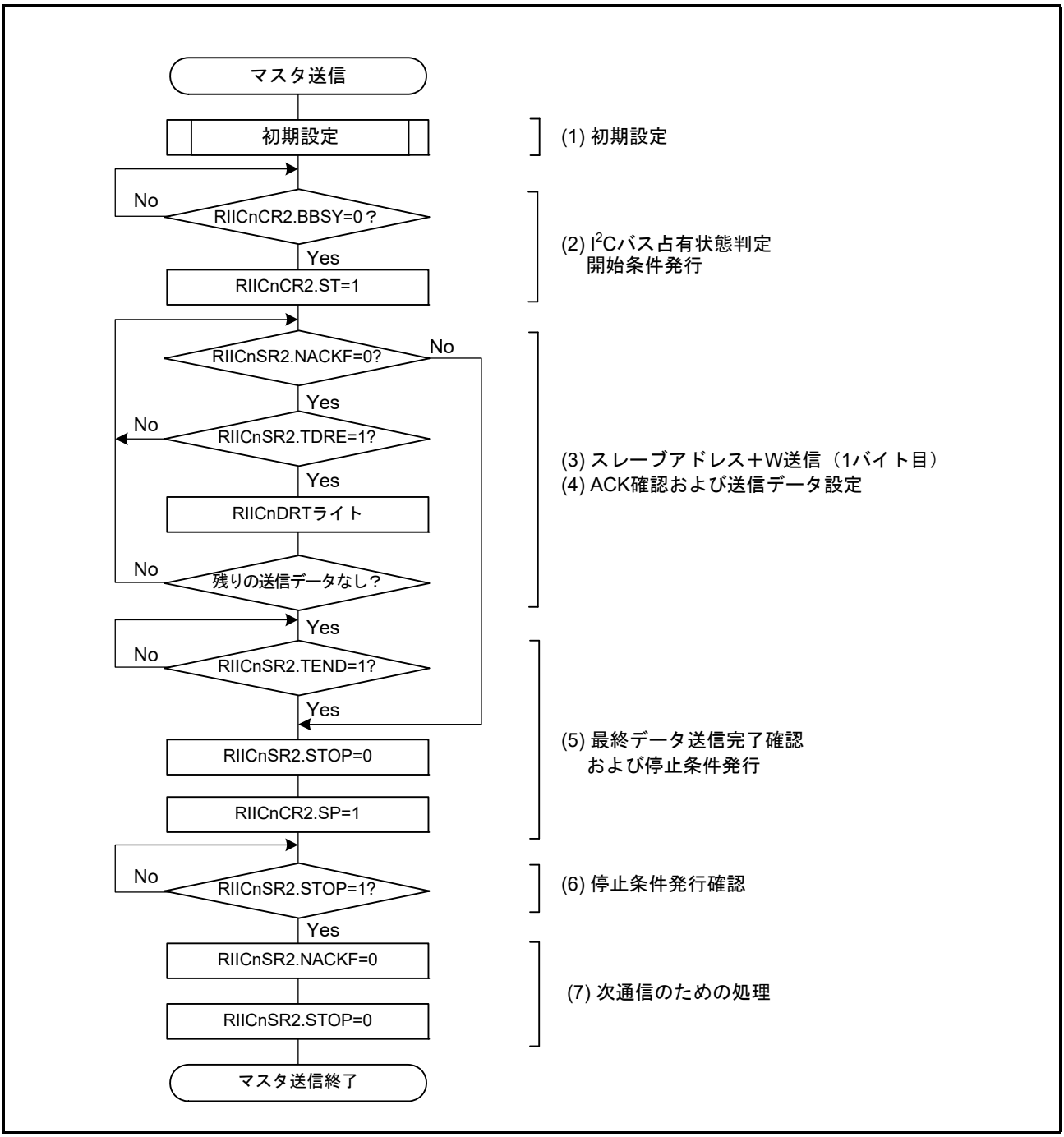


図 23.6　　マスタ送信のフローチャート例

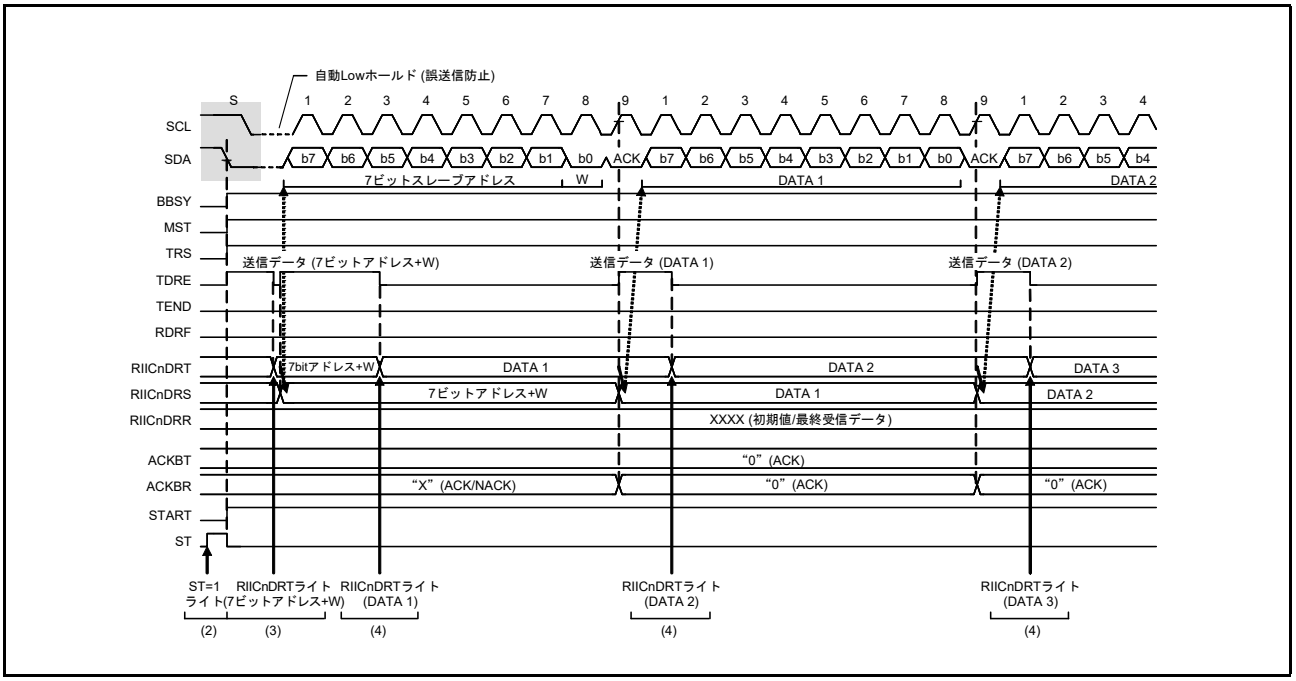


図 23.7　　マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

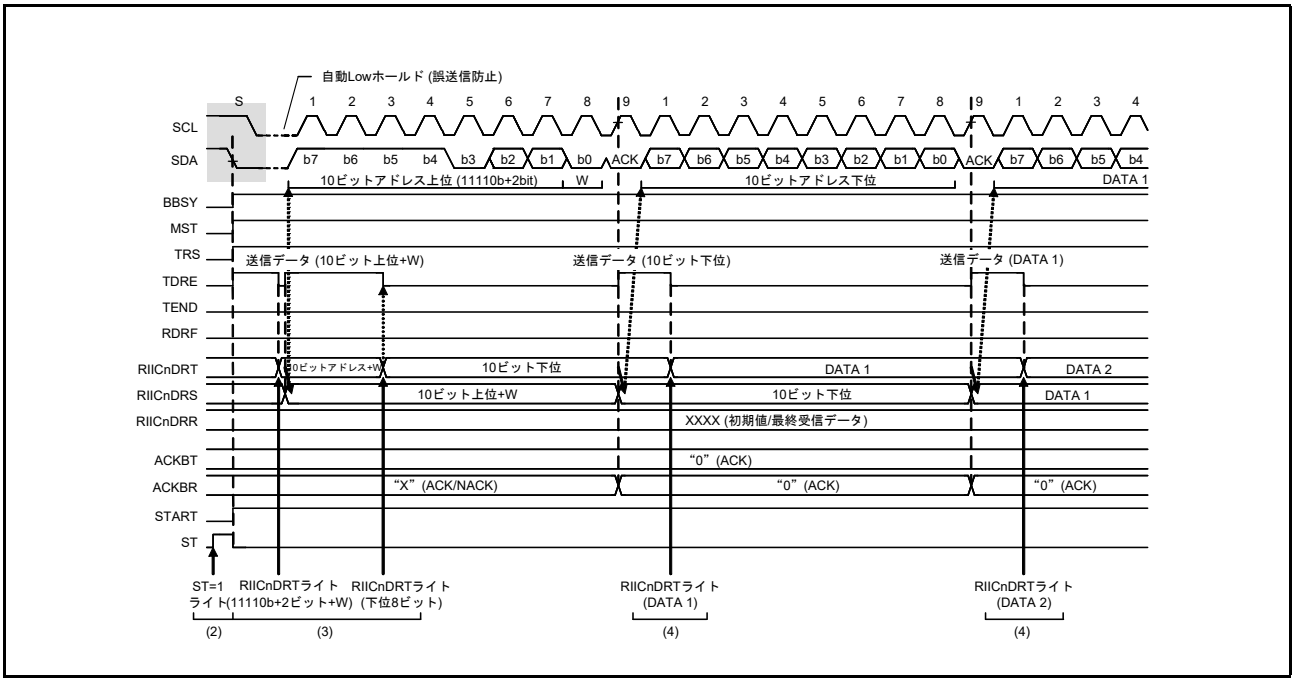


図 23.8　　マスタ送信の動作タイミング（2）（10 ビットアドレスフォーマットのとき）

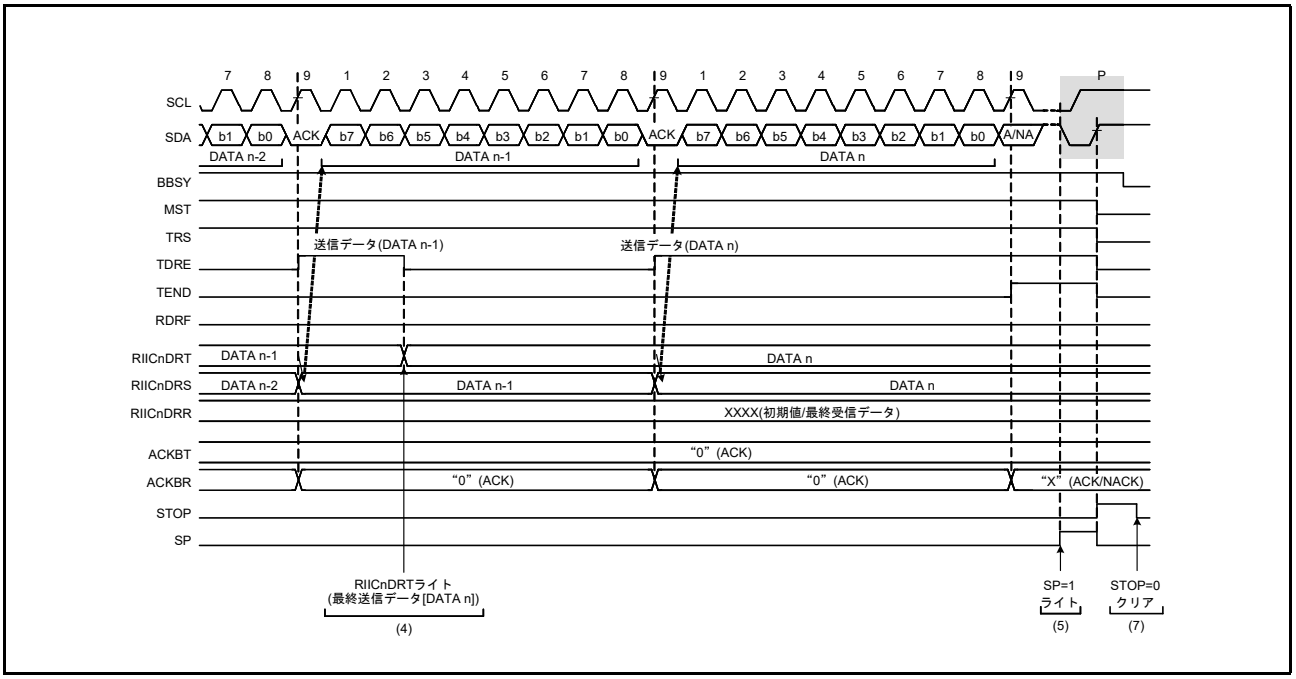


図 23.9　　マスタ送信の動作タイミング（3）

23.5.4　マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 23.10 にマスタ受信の 3 バイト以上受信使用例（7 ビットアドレスフォーマットの場合）、
図 23.14 にマスタ受信の 1 バイト／2 バイト受信使用例（7 ビットアドレスフォーマットの場合）を、
図 23.11 ～**図 23.13** にマスタ受信の動作タイミングを示します。
以下にマスタ受信の受信手順と動作を示します。

(1) RIICnCR1.ICE ビットを “0”（RIICnSCL、RIICnSDA 端子非駆動状態）にしたまま RIICnCR1.IICRST ビットを “1”（RIIC リセット）にした後、RIICnCR1.ICE ビットを “1”（内部リセット）にします。これにより RIICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、RIICnSARy、RIICnSER、RIICnMR1、RIICnBRH、RIICnBRL レジスタ (y = 0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については**図 23.5** 参照）。必要なレジスタの設定が終了したら、RIICnCR1.IICRST ビットを “0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) RIICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、RIICnCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、RIICnSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、RIICnCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。
また RIICnSR2.TDRE フラグは、TRS ビット = 1 により自動的に “1” になります。

(3) RIICnSR2.TDRE フラグが “1” であることを確認した後、RIICnDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。RIICnDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、RIICnDRT レジスタから RIICnDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に RIICnCR2.TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は R/W# ビット = 1 を受信すると、9 クロック目の立ち上がりで TRS ビットを “0” にしてマスタ受信モードに移行します。このとき TDRE フラグは “0” に、RIICnSR2.RDRF フラグは自動的に “1” になります。
このとき RIICnSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は RIICnCR2.SP ビットに “1” を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、11110_B ＋スレーブアドレスの上位 2 ビット＋ R を送信することで、マスタ受信モードに移行します。

(4) RIICnSR2.RDRF フラグが “1” であることを確認した後、ダミーで RIICnDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。

(5) 1 バイトのデータ受信が終了し、RIICnMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、RIICnSR2.RDRF フラグが “1” になります。このとき RIICnDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に “0” になります。また SCL クロックの 9 クロック目のアクノリッジビットには、RIICnMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト － 1 の場合、RIICnDRR レジスタ（最終バ

イト－2 バイト目）を読む前に RIICnMR3.WAIT ビットを “1”（WAIT あり）にしてください。これにより、続く（6）の RIICnMR3.ACKBT ビットを “1”（NACK）にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCL ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

（6）RIICnMR3.RDRFS ビットが “0” でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、RIICnMR3.ACKBT ビットを “1”（NACK）にしてください。

（7）RIICnDRR レジスタ（最終バイト－1 バイト目）読み出し後、RIICnSR2.RDRF フラグが “1” であることを確認してから、RIICnCR2.SP ビットに “1” を書いて（ストップコンディション発行要求）、RIICnDRR レジスタ（最終バイト）を読んでください。RIIC は RIICnDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。

（8）RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットは自動的に “00_B” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.STOP フラグが “1” になります。

（9）RIICnSR2.STOP フラグが “1” であることを確認した後、次通信のために RIICnSR2.NACKF, STOP フラグを “0” にしてください。

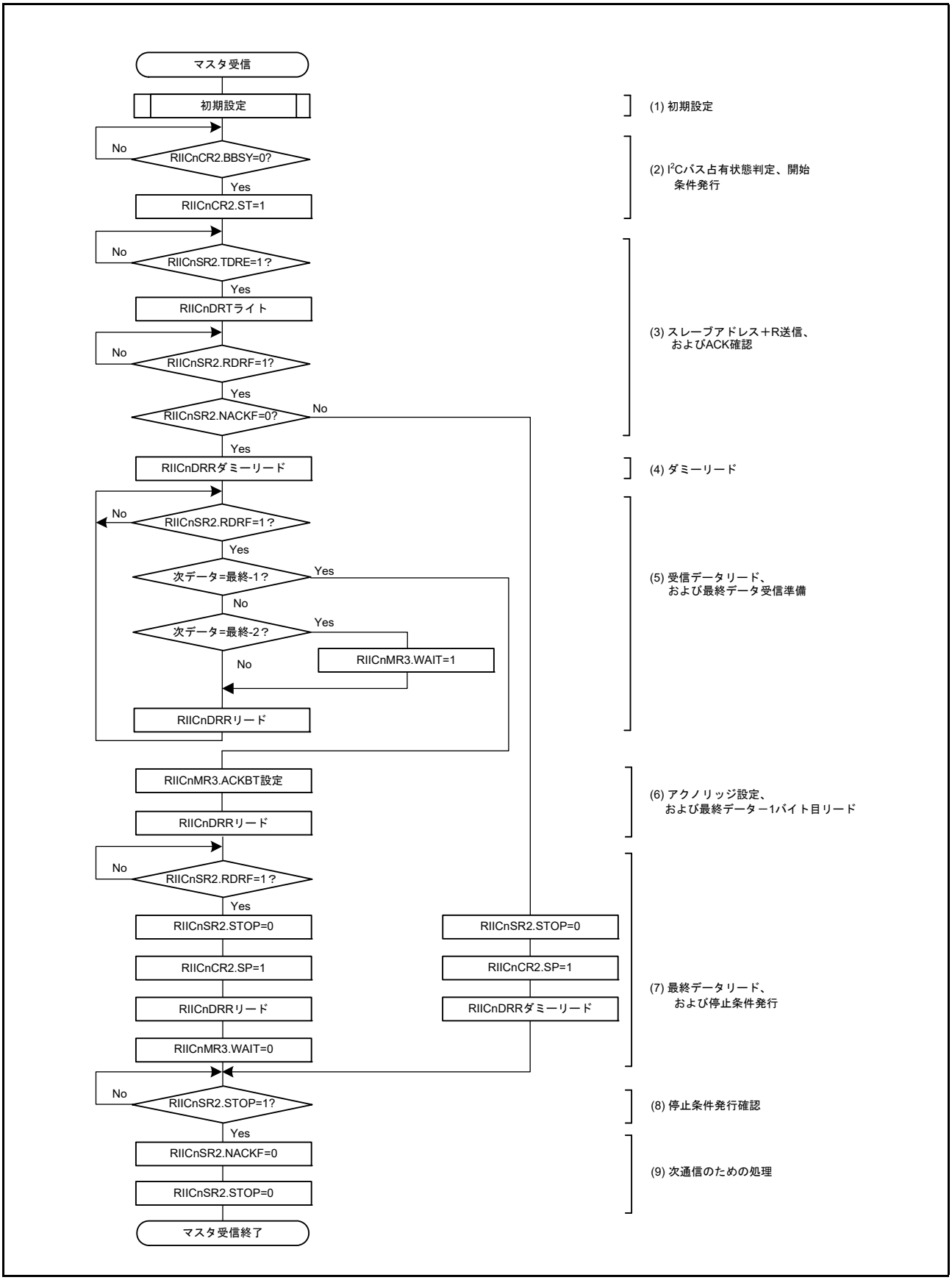


図 23.10　マスタ受信の 3 バイト以上受信フローチャート例（7 ビットアドレスフォーマットの場合）

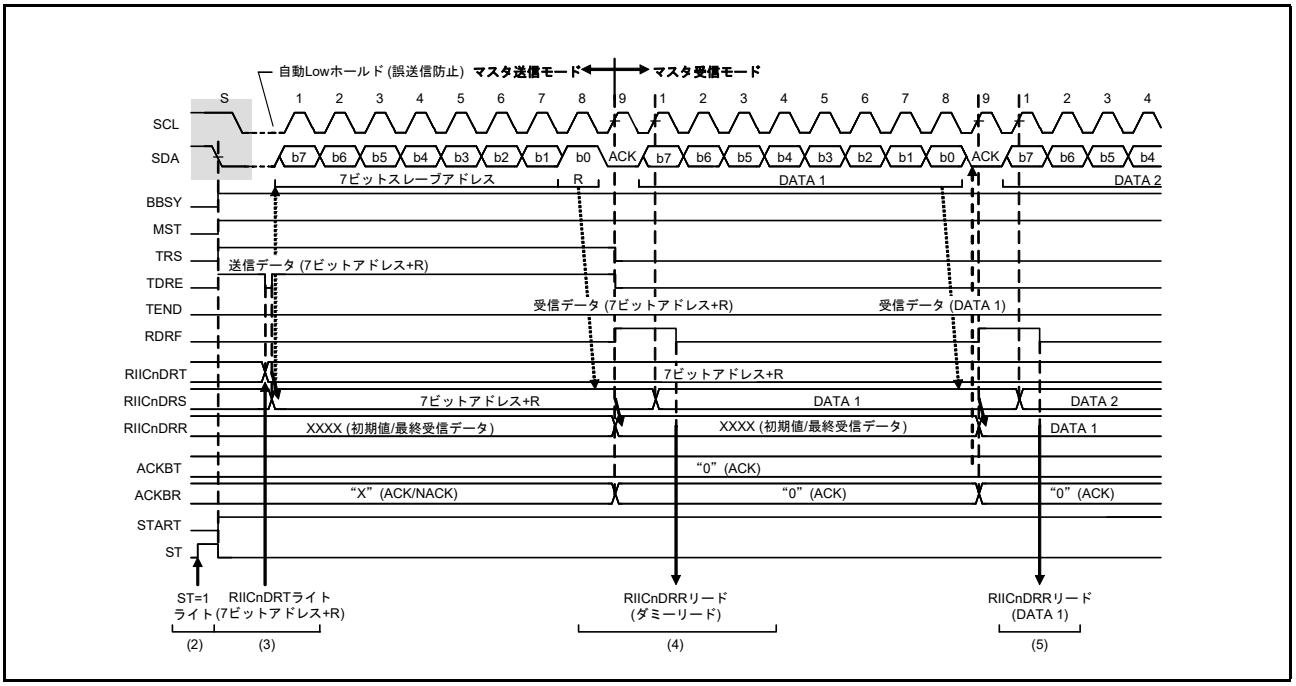


図 23.11　　マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS = 0 のとき）

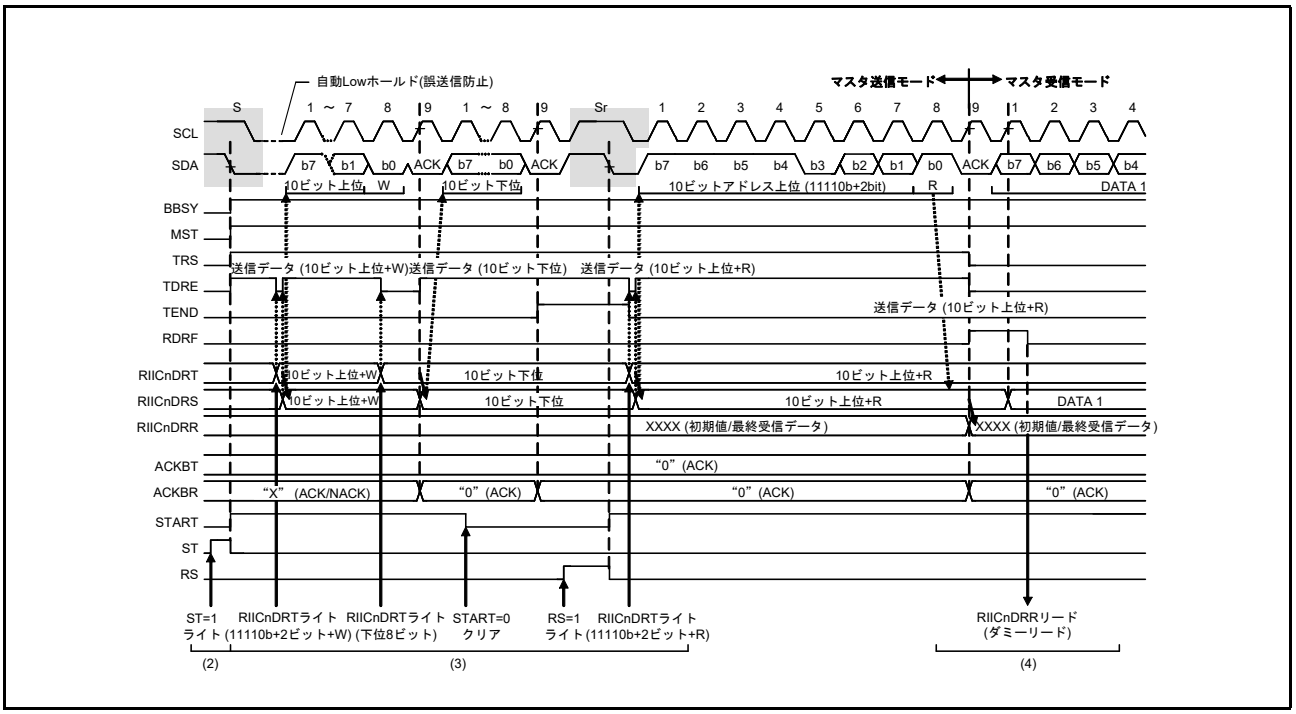


図 23.12　　マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS = 0 のとき）

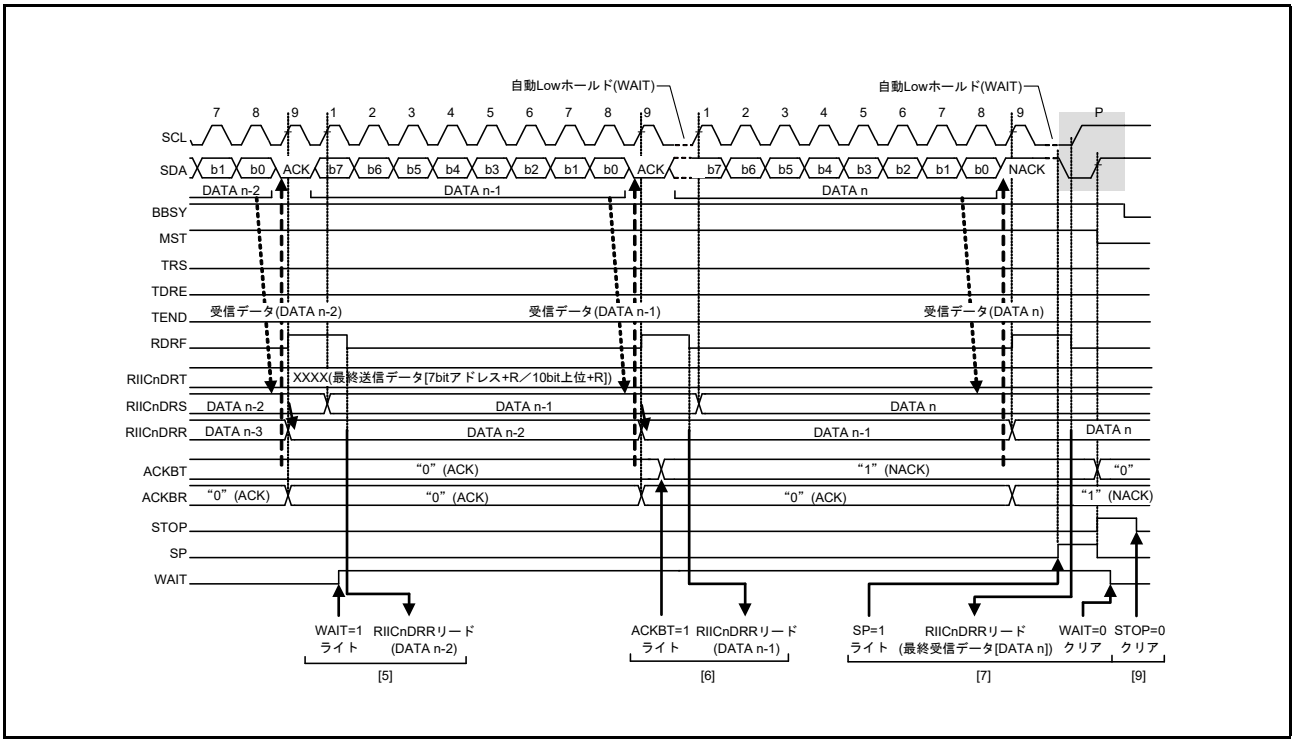


図 23.13　マスタ受信の動作タイミング（3）（RDRFS = 0 のとき）

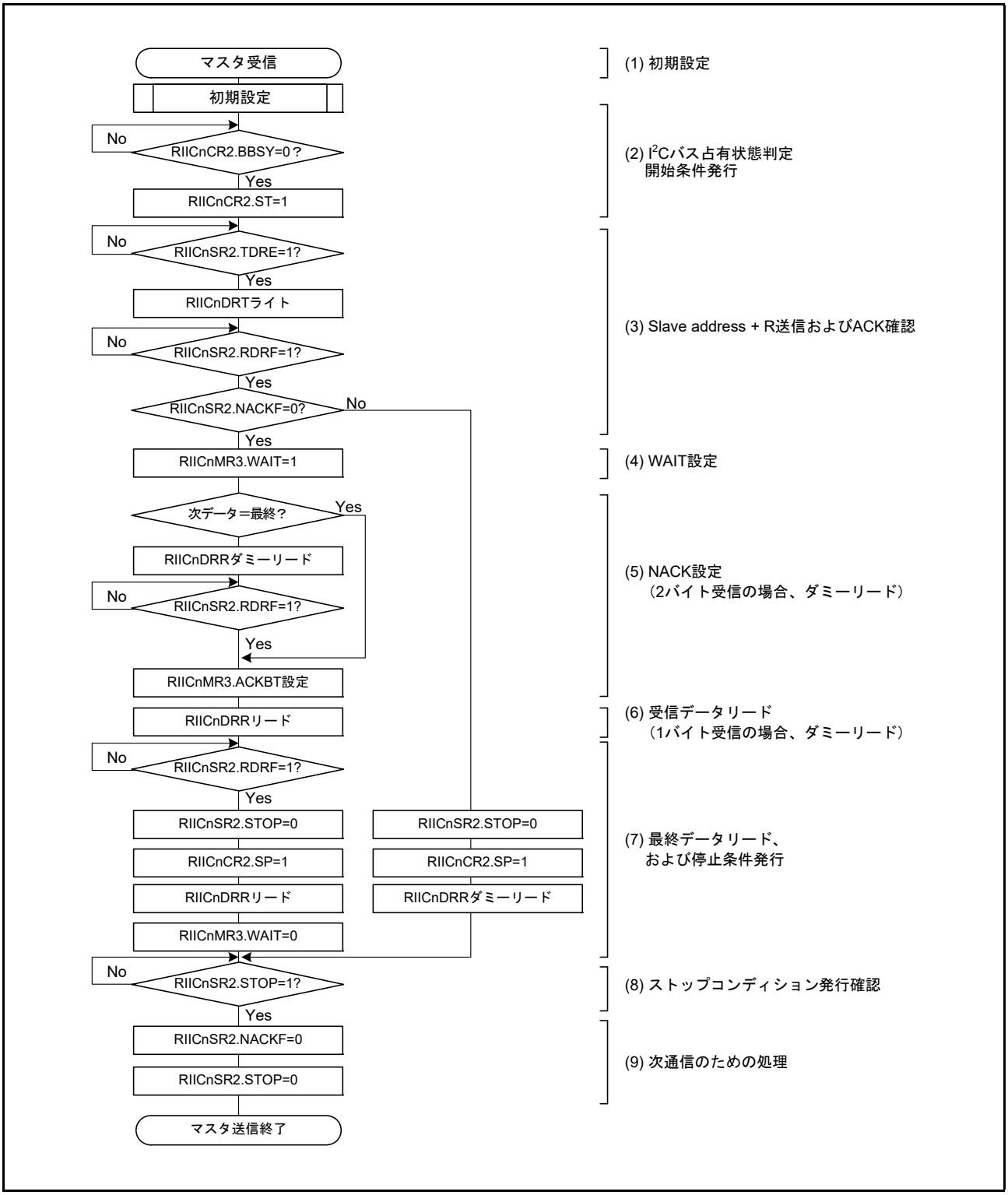


図 23.14　マスタ受信の 1 バイト／2 バイト受信フロー例（7 ビットアドレスフォーマットの場合）

23.5.5　スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 23.15 にスレーブ送信の使用例を示します。**図 23.16**、**図 23.17** にスレーブ送信のタイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

(1) **図 23.5** に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.HOA, GCA, AASy ビット（y = 0 ～ 2）のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。
このとき受信した R/W# ビットが “1” のとき、RIICnCR2.TRS ビットおよび RIICnSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。

(3) RIICnSR2.TDRE フラグが “1” であることを確認した後、RIICnDRT レジスタに送信データを書いてください。このとき、RIICnFER.NACKE ビットが “1” の状態でマスタデバイスからアクノリッジがなかった（NACK を受信した）場合、RIIC は次の通信動作を中断します。

(4) RIICnSR2.NACKF フラグが “1” になるか、または最終送信データを RIICnDRT レジスタに書いた後、RIICnSR2.TDRE フラグが “1” の状態で、RIICnSR2.TEND フラグが “1” になるまで待ってください。
RIICnSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCL ラインを Low にホールドします。

(5) RIICnSR2.NACKF フラグが “1” または RIICnSR2.TEND フラグが “1” の場合、終了処理のため RIICnDRR レジスタをダミーで読んでください。これにより SCL ラインを開放します。

(6) RIIC はストップコンディションを検出すると、RIICnSR1.HOA、GCA、AASy ビット (y = 0 ～ 2)、RIICnSR2.TDRE、TEND フラグ、RIICnCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。

(7) RIICnSR2.NACKF、STOP フラグを “0” にしてください。

注意．RIICnSR2.STOP フラグが "1" となる前に、RIICnSR2.NACKF フラグを "0" クリアすると、通信動作を再開しますので、必ず RIICnSR2.STOP フラグが "1" であることを確認した後に、RIICnSR2.NACKF フラグを "0" クリアしてください。特に、NACK 受信割り込み (INTRIICNAKI) を使用時、割り込み処理内で STOP フラグが "1" となる前に、NACKF フラグを "0" クリアしないよう注意してください。

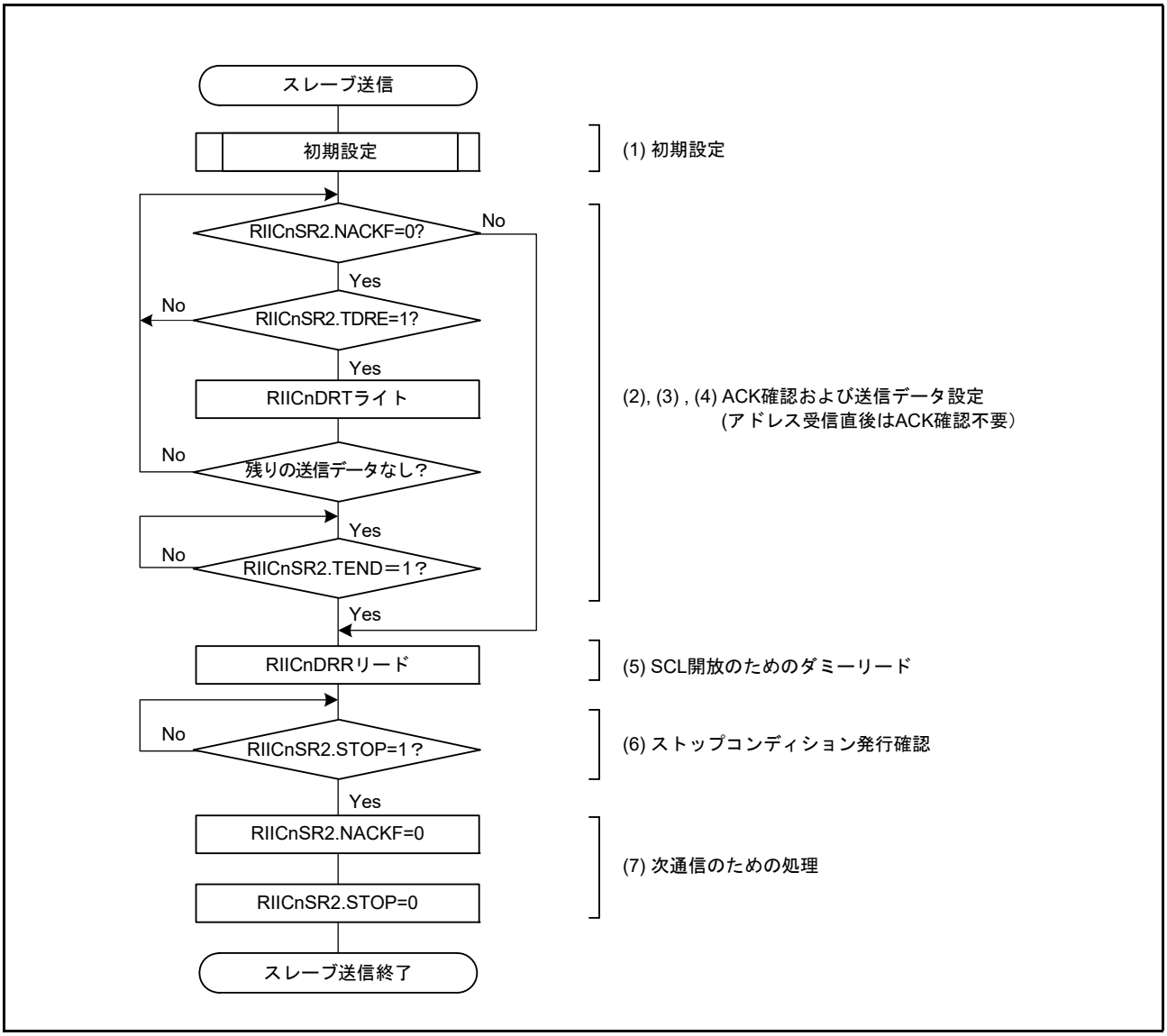


図 23.15　スレーブ送信のフローチャート例

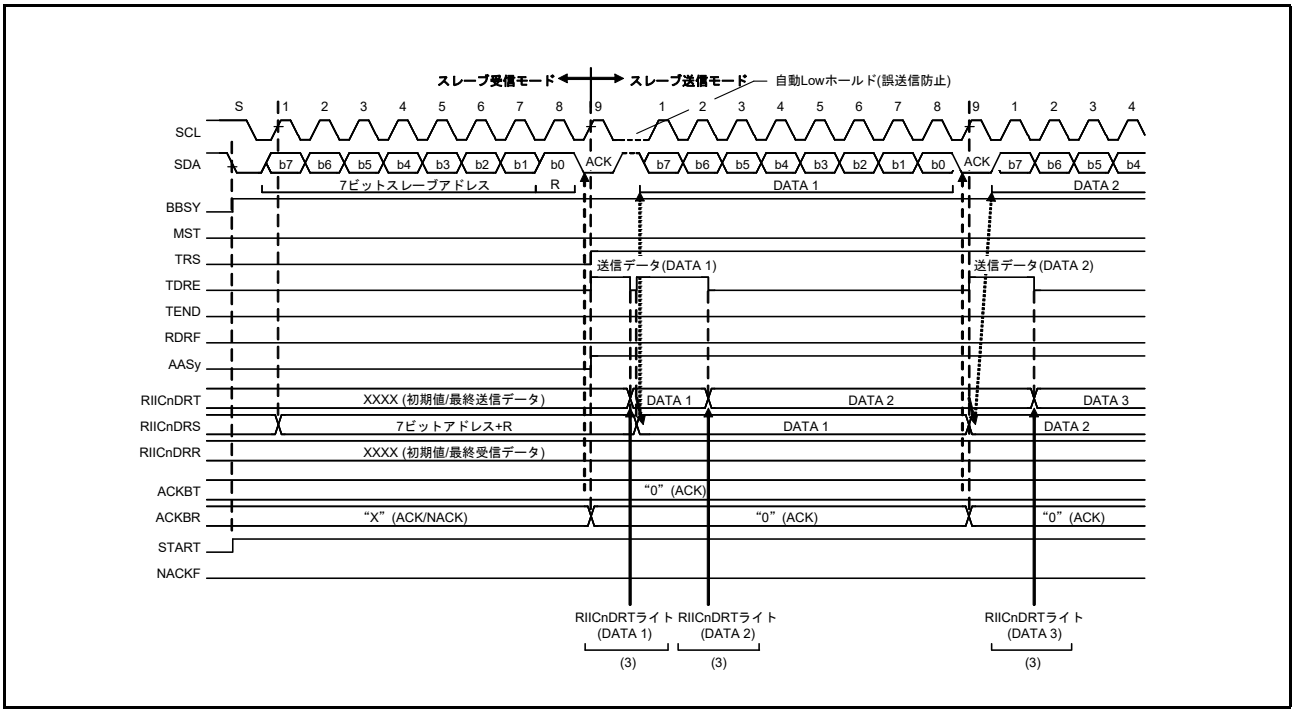


図 23.16　スレーブ送信の動作タイミング（**1**）（7 ビットアドレスフォーマットのとき）

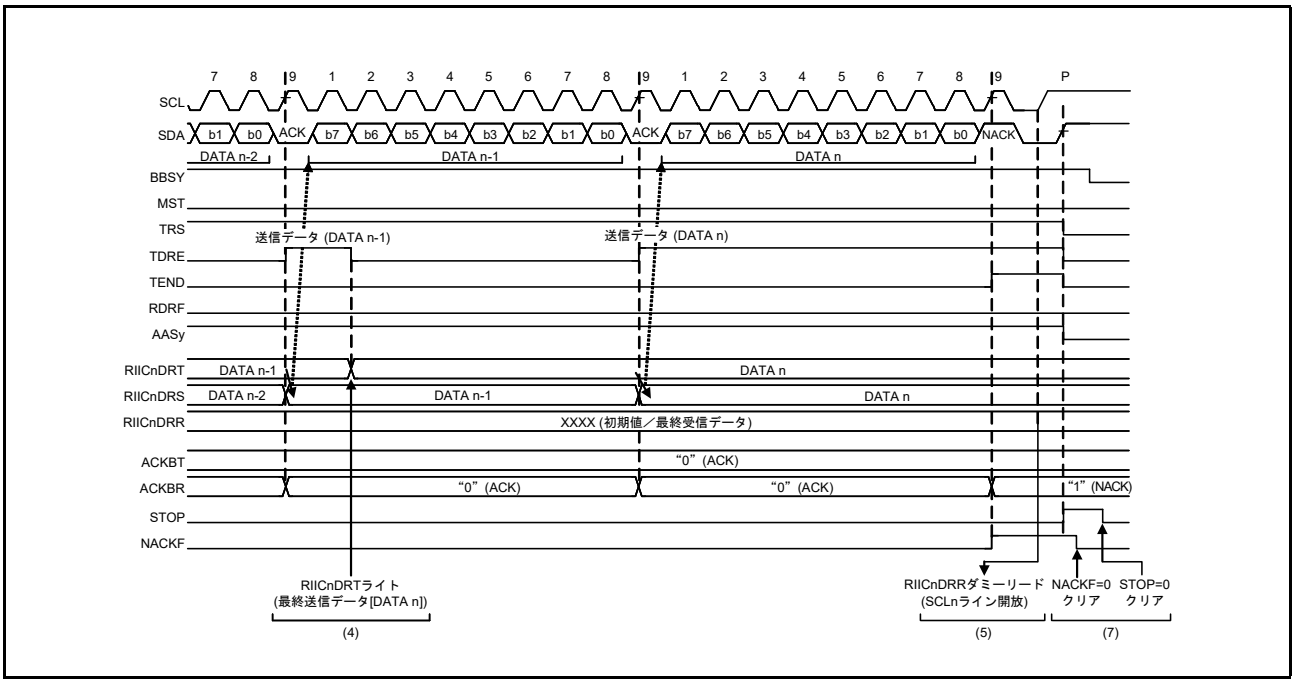


図 23.17　スレーブ送信の動作タイミング（**2**）

23.5.6　スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 23.18 にスレーブ受信の使用例を、図 23.19、図 23.20 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

(1) 図 23.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.HOA, GCA, AASy ビット (y = 0 ～ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。
このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、RIICnSR2.RDRF フラグを “1” にします。

(3) RIICnSR2.STOP フラグが “0” で、かつ RIICnSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は RIICnDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス＋ R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。

(4) RIICnDRR レジスタを読むと RIIC は RIICnSR2.RDRF フラグを自動的に “0” にします。なお、RIICnDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが “1” になるタイミングの 1 つ手前の SCL クロック立ち下がりで SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタを読むことで解除され RIIC は SCL ラインを開放します。
RIICnSR2.STOP フラグが “1” で、かつ RIICnSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで RIICnDRR レジスタを読んでください。

(5) RIIC はストップコンディションを検出すると、RIICnSR1.HOA、GCA, AASy ビット (y = 0 ～ 2) を自動的に “0” にします。

(6) RIICnSR2.STOP フラグが “1” であることを確認した後、次通信のために RIICnSR2.STOP フラグを “0” にしてください。

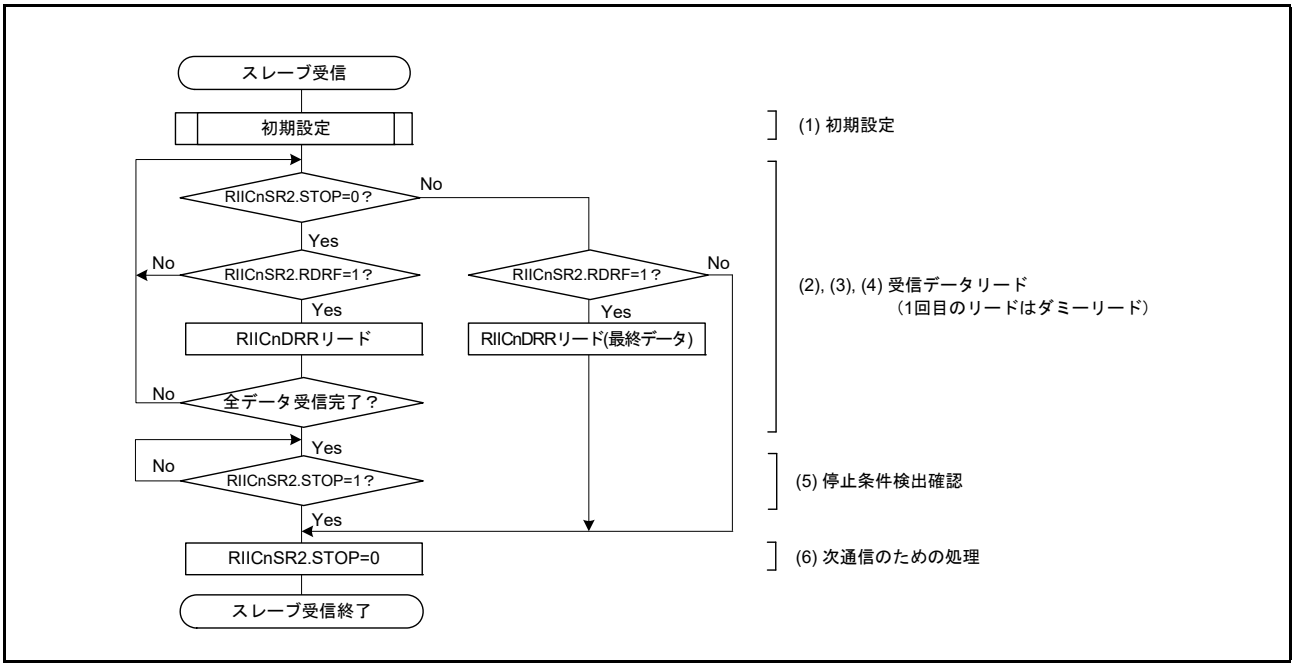


図 23.18　スレーブ受信のフローチャート例

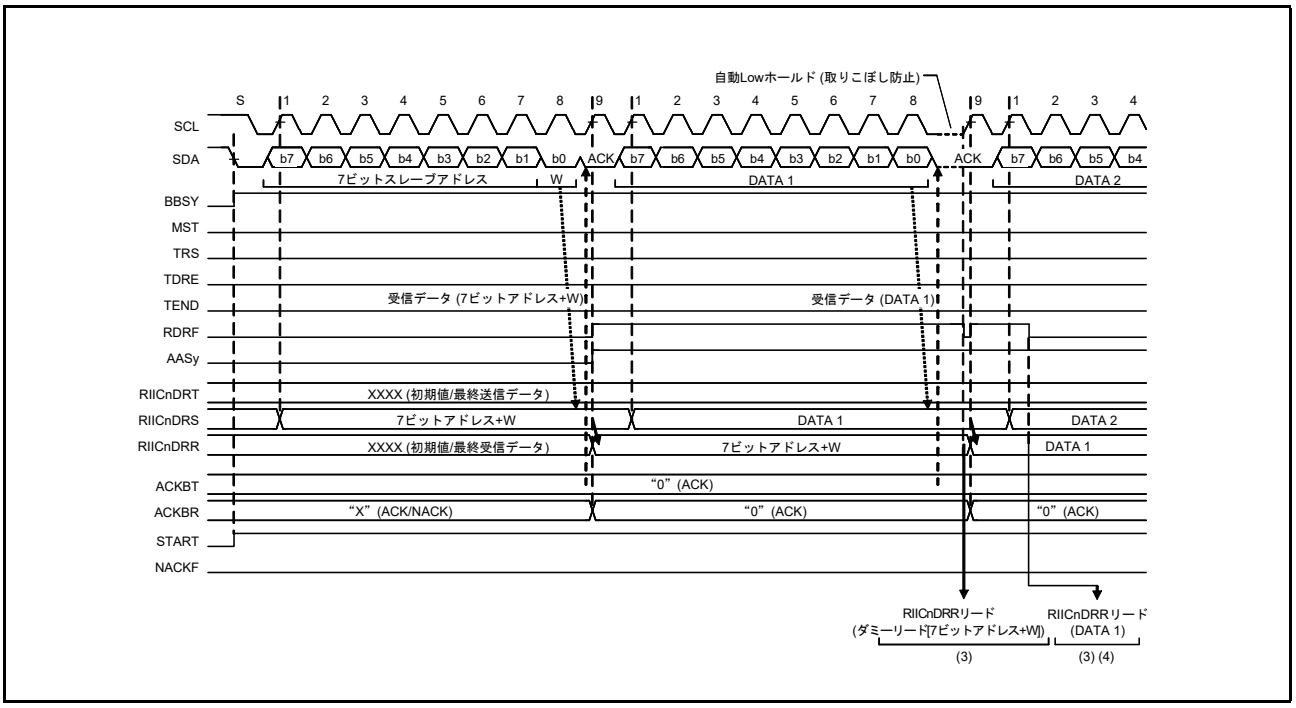


図 23.19　スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS = 0 のとき）

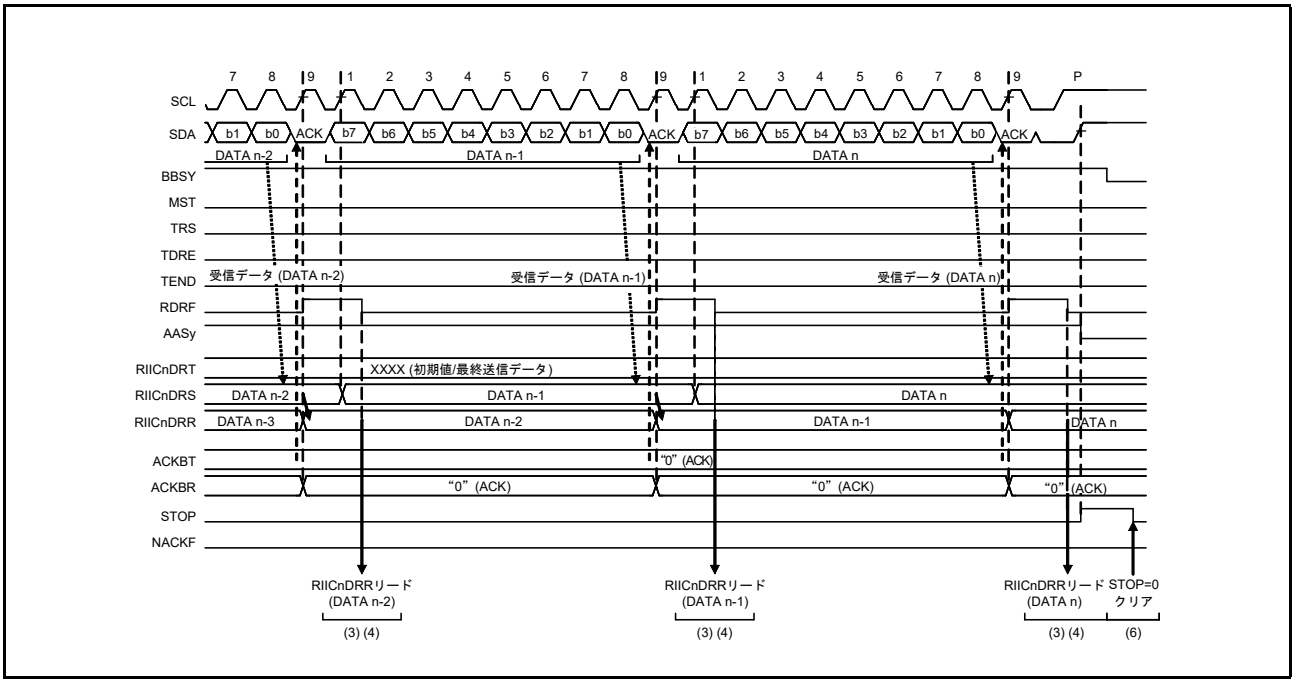


図 23.20　スレーブ受信の動作タイミング（2）（RDRFS = 0 のとき）

23.6　SCL 同期回路

RIIC の SCL クロック生成は SCL ラインの立ち上がりを検出すると、RIICnBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCL ラインを Low にドライブして立ち下げます。また SCL ラインの立ち下がりを検出すると、RIICnBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があり、RIIC は通信時に SCL ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能（SCL 同期回路）を備えています。

RIIC が SCL ラインの立ち上がりを検出し RIICnBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により SCL ラインが立ち下げられた場合、RIIC は SCL ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCL ラインの Low ドライブを行うのと同時に RIICnBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は RIICnFER.SCLE ビットが “1” のとき有効です。

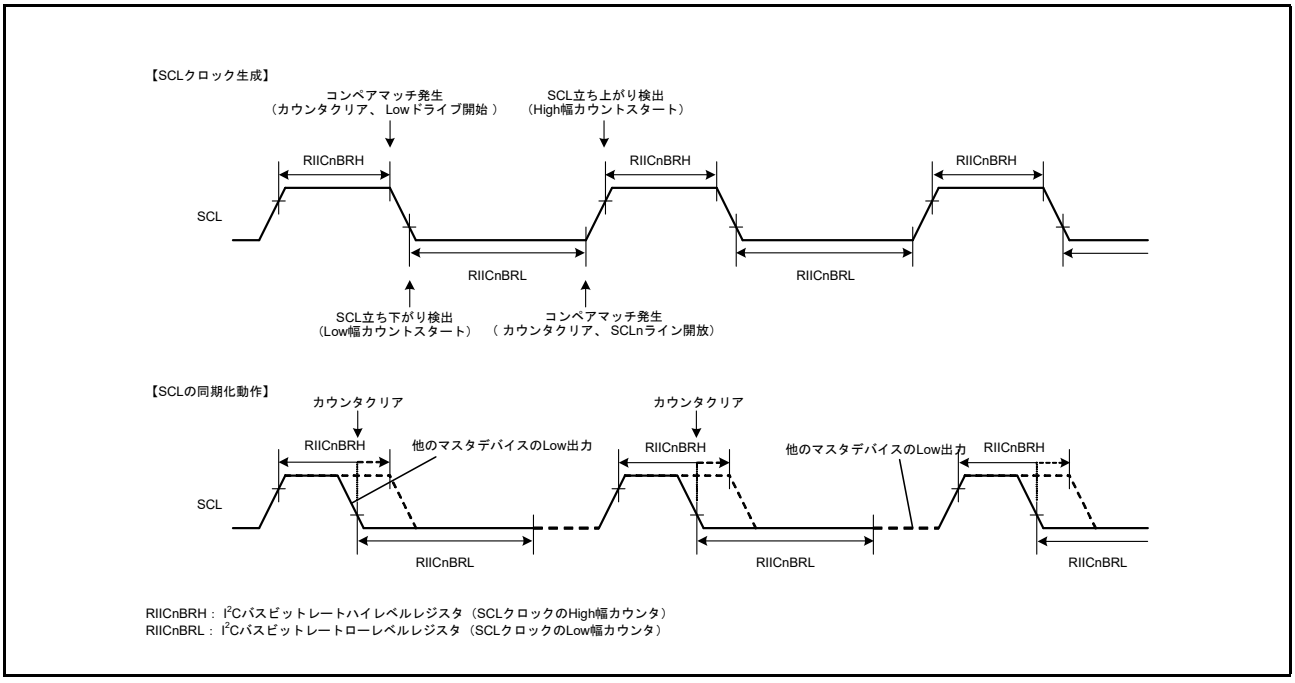


図 23.21　RIIC の SCL クロック生成および SCL 同期化動作

23.7　SDA 出力遅延機能

RIIC には SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（発行動作（開始／再開始／停止）、データ出力、ACK/NACK 出力）を遅延させることができます。

SDA 出力遅延機能は、SCL クロックの立ち下がり検出から SDA 出力を遅延させ、確実に SCL クロックの Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBus のデータホールド時間 :300ns（min）の規格を満たす目的でも使用することができます。

この SDA 出力遅延機能は RIICnMR2.SDDL[2:0] ビットが “000_B” 以外のとき有効で、SDDL[2:0] ビットが “000_B” のとき無効です。

SDA 出力遅延機能が有効（SDDL[2:0] ビットが “000_B” 以外）のとき、SDA 出力遅延カウンタは RIICnMR2.DLCS ビットで選択された内部基準クロック（IICφ）またはその 2 分周クロック（IICφ/2）をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力（発行動作（開始／再開始／停止）、データ出力、ACK/NACK 出力）を行います。

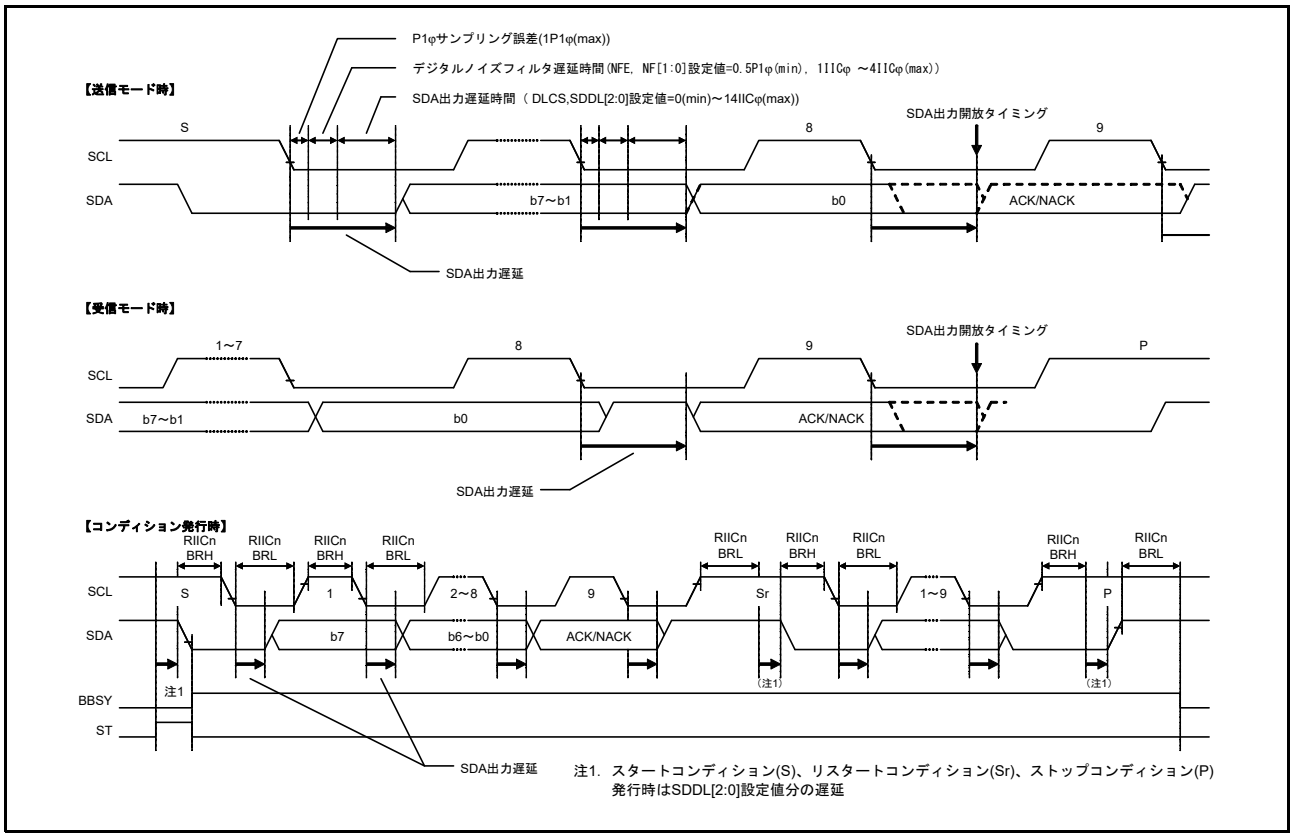


図 23.22　SDA 出力遅延タイミング

23.8　デジタルノイズフィルタ回路

図 23.23 にデジタルノイズフィルタ回路のブロック図を示します。RIICnFER.NFE ビットを ”1” に設定すると、RIICnSCL、RIICnSDA 端子の入力は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は RIICnMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1 × IICφ ～ 4 × IICφ サイクル分となります。

RIICnSCL 端子入力信号（または RIICnSDA 端子入力信号）は IICφ の立ち下がりでサンプリングされ、RIICnMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、P1φ と IICφ の周波数の比が小さい場合、（RIICnMR1.CKS[2:0] ビットを "000_B" に設定した場合）は、デジタルノイズフィルタの特性上、必要な信号まで除去してしまう可能性があるので、注意してください。

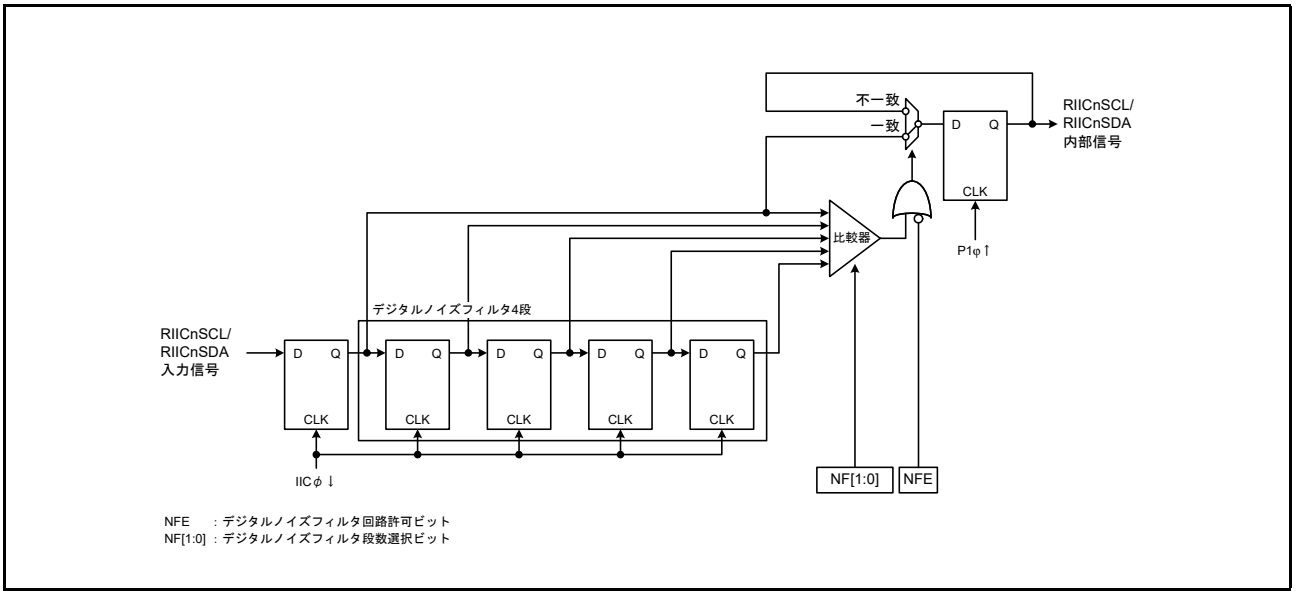


図 23.23　デジタルノイズフィルタ回路のブロック図

23.9　アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

23.9.1　スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。RIICnSER.SARy ビット (y = 0 ～ 2) が “1” のとき、RIICnSARy レジスタ (y = 0 ～ 2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.AASy フラグ (y = 0 ～ 2) を “1” にし、続く R/W# ビットにより RIICnSR2.RDRF フラグまたは RIICnSR2.TDRE フラグを “1” にします。これにより受信データフル割り込み（INTRIICRI）または送信データエンプティ割り込み（INTRIICTI）を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 23.24 ～図 23.26 に AASy フラグが “1” になるタイミングを示します。

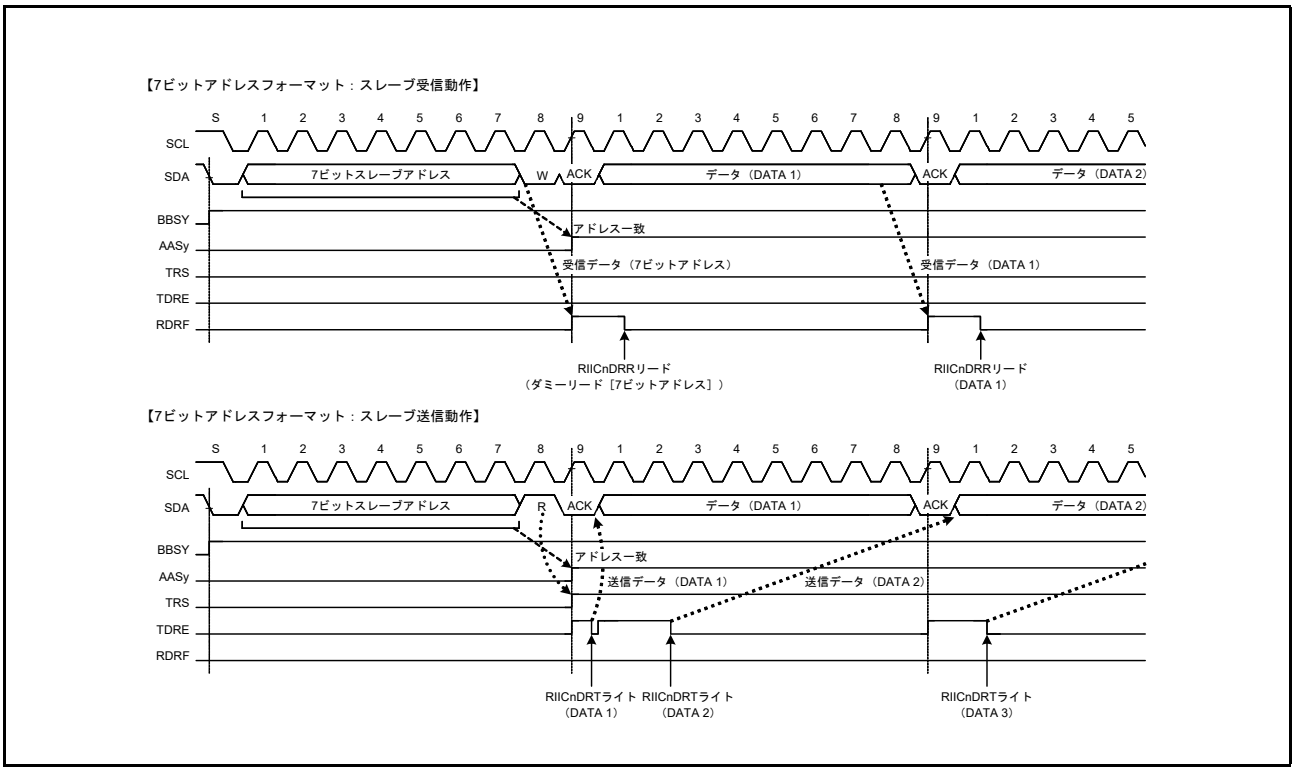


図 23.24　7 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

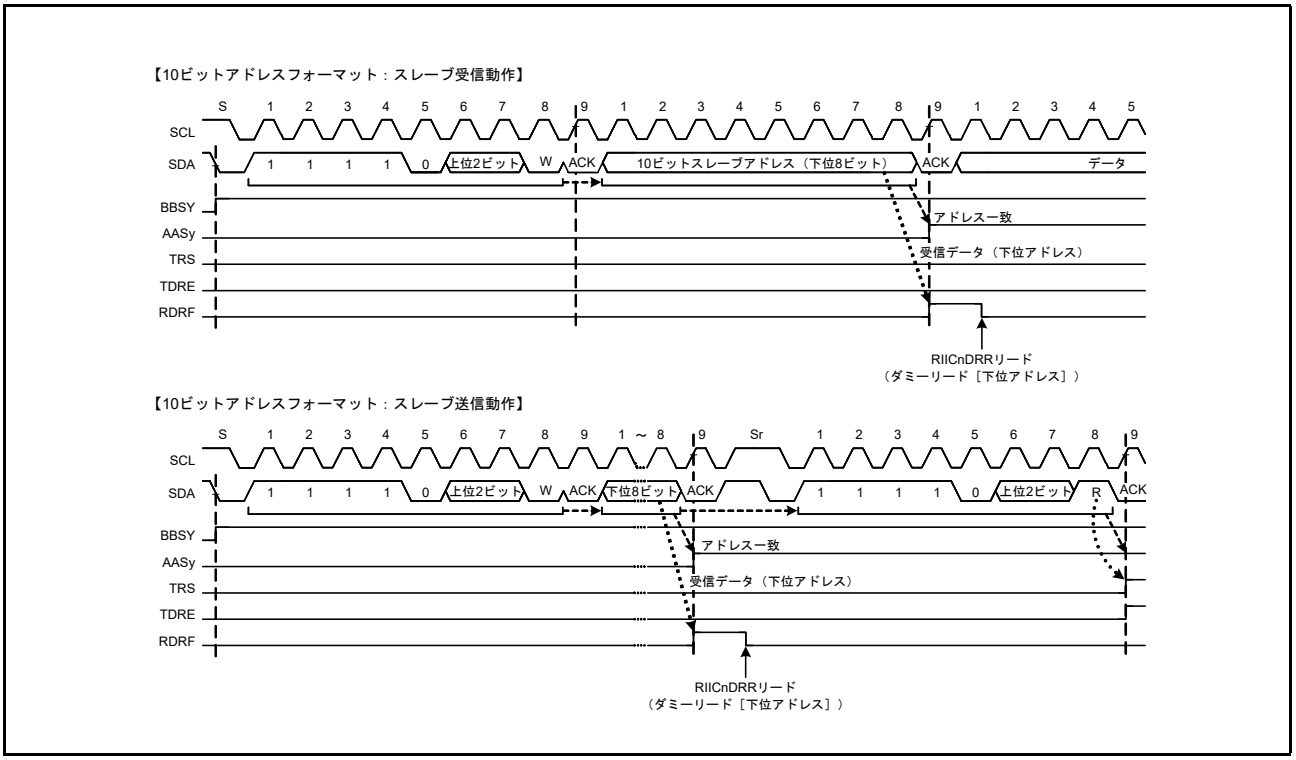


図 23.25　**10** ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

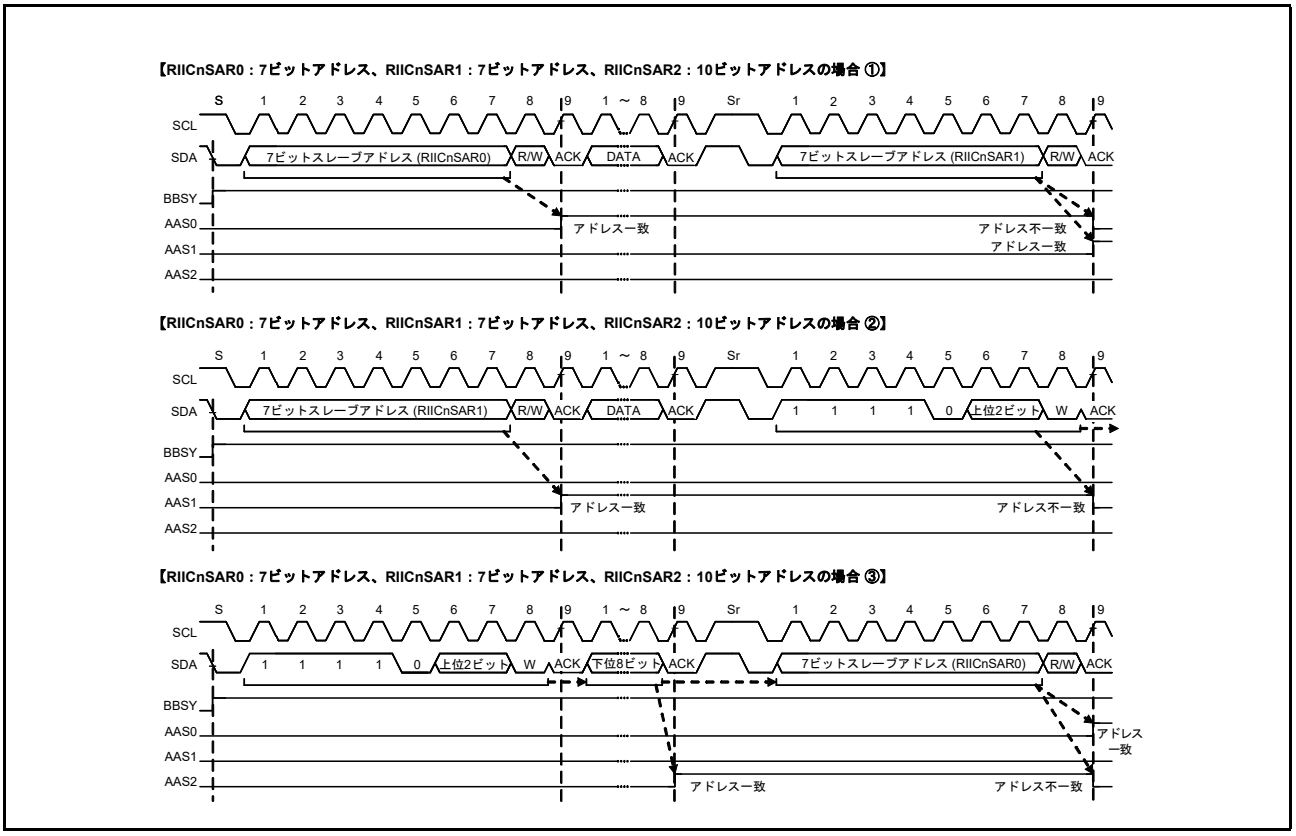


図 23.26　**7** ビット /10 ビットアドレスフォーマット混在時に AASy フラグが “1”/“0” になるタイミング

23.9.2　ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス（$0000\ 000_B$ ＋ 0[W]）の検出機能を備えています。RIICnSER.GCE ビットが “1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが $0000\ 000_B$ ＋ 1[R]（スタートバイト）だった場合、RIIC はこのアドレスを All“0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.GCA フラグを “1” にし、同時に RIICnSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み（INTRIICRI）を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

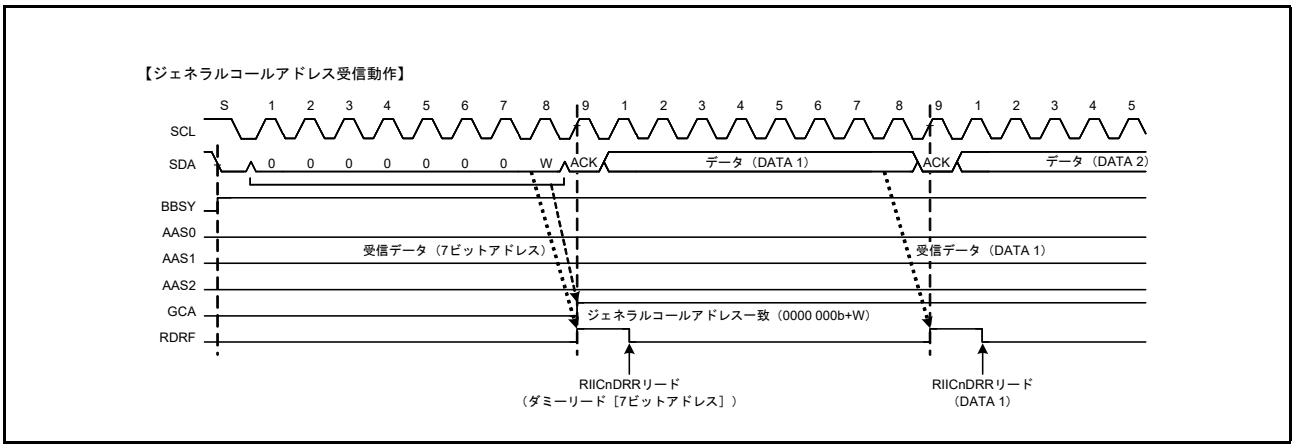


図 23.27　ジェネラルコールアドレス受信時に GCA フラグが “1” になるタイミング

23.9.3　デバイス ID アドレス検出機能

RIIC は I²C バス（Rev.03）に準拠したデバイス ID アドレスの検出機能を備えています。RIICnSER.DIDE ビットを “1” にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100_B を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが “0” のとき SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.DID フラグを “1” にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する RIICnSR1.AASy フラグ (y = 0 ～ 2) が “1” になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス（1111 100_B）と一致し、続く R/W# ビットが “1” のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、RIICnSR2.TDRE フラグを “1” にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを “0” にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス（1111 100_B）と一致し、かつ R/W# ビットが “0” のとき DID フラグを “1” にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが “1” の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE = 1 確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイト分：メーカ [12 ビット] ＋部品識別 [9 ビット] ＋リビジョン [3 ビット]）は、通常の送信データと同様あらかじめ準備してください。詳細については NXP 社の I²C バス規格書を参照してください。

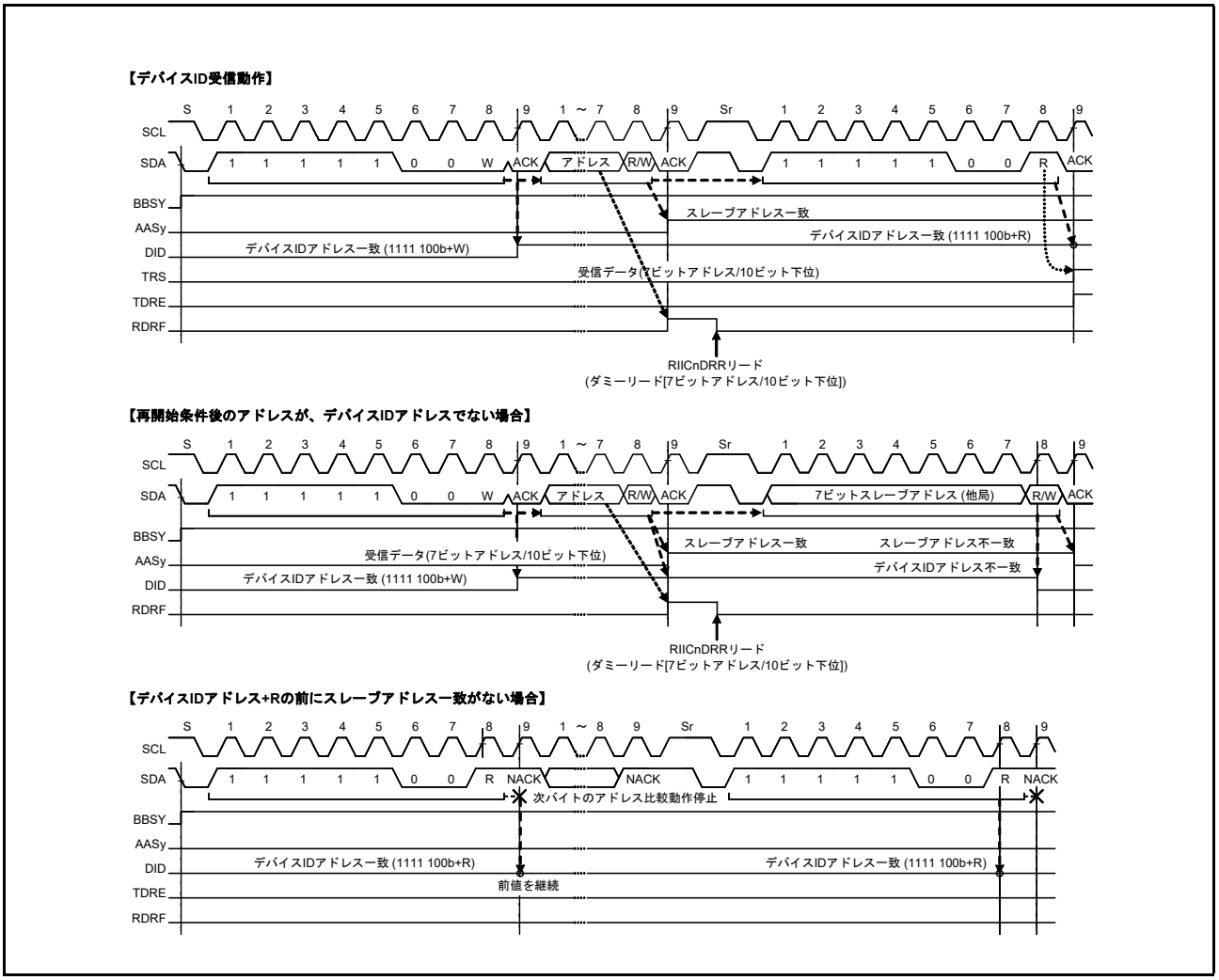


図 23.28　デバイス ID アドレス受信時の AASy、DID フラグセット／クリアタイミング

23.9.4　ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。RIICnMR3.SMBE ビットが “1” のとき RIICnSER.HOAE ビットを “1” にすると、スレーブ受信モード（RIICnCR2.MST, TRS ビット = 00_B）にホストアドレス（$0001\ 000_B$）を検出することが可能です。

RIIC はホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.HOA フラグを “1” にし、Wr ビット（R/W# ビットに “0” を受信）のとき RIICnSR2.RDRF フラグを “1” にします。これにより受信データフル割込み (INTRIICRI) を発生させることができ、HOA フラグを確認することでスマートバッテリなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス（$0001\ 000_B$）に続くビットが Rd ビット（R/W# ビットに “1” を受信）の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

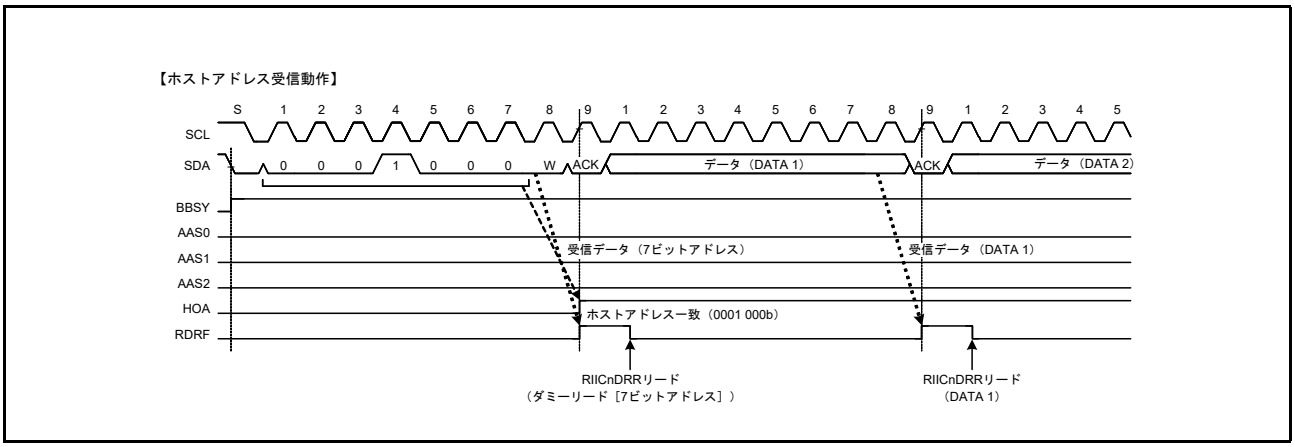


図 23.29　ホストアドレス受信時に HOA フラグが “1” になるタイミング

23.10 SCL の自動 Low ホールド機能

23.10.1 送信データ誤送信防止機能

RIIC は送信モード時（RIICnCR2.TRS ビット = 1）、シフトレジスタ（RIICnDRS レジスタ）が空の状態でかつ送信データ（RIICnDRT レジスタ）が書かれていない場合、以下に示す区間、自動的に SCL ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の Low 区間

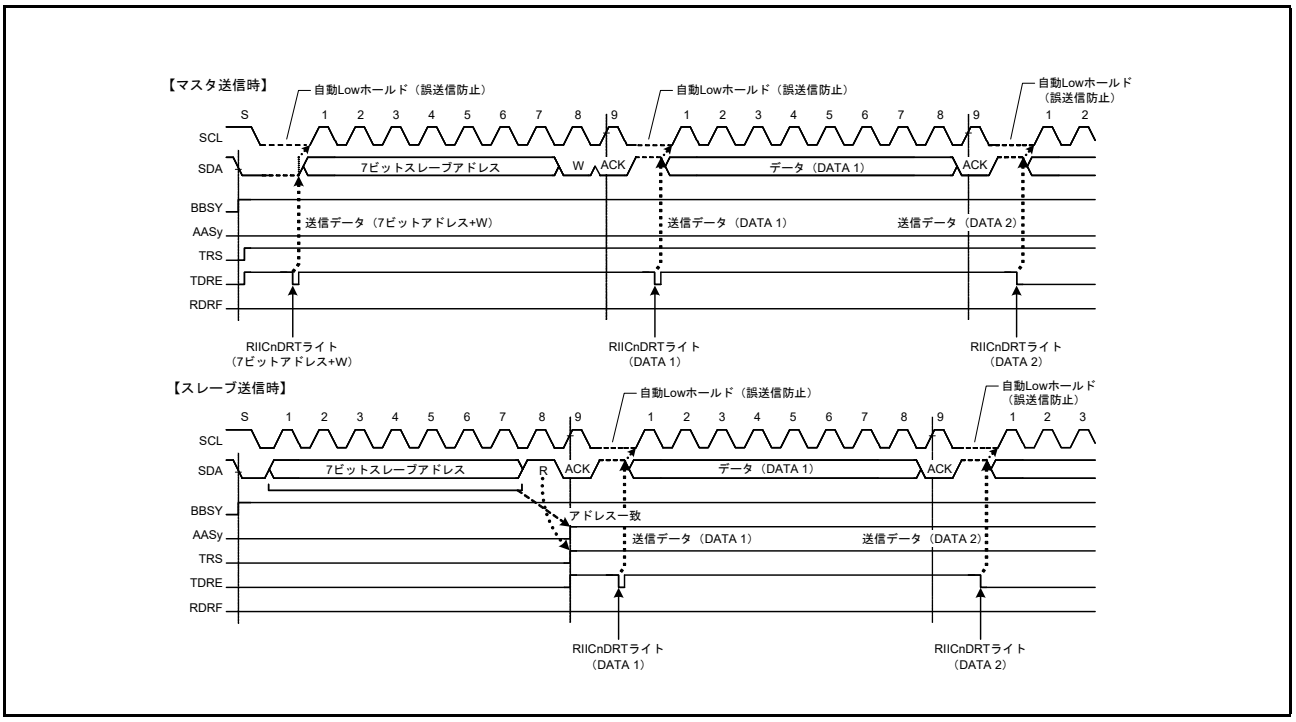


図 23.30　送信モードの自動 Low ホールド動作

23.10.2　NACK 受信転送中断機能

RIIC は送信モード時（RIICnCR2.TRS ビット = 1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は RIICnFER.NACKE ビットが “1”（転送中断許可）のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合（RIICnSR2.TDRE フラグ = 0 の状態）、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（RIICnSR2.NACKF フラグ = 1）、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合にはリスタートコンディション発行後に NACKF フラグを “0” クリア、またはストップコンディション発行確認後に NACKF、STOP フラグを “0” クリアし次にスタートコンディション発行を行って、動作をやり直してください。

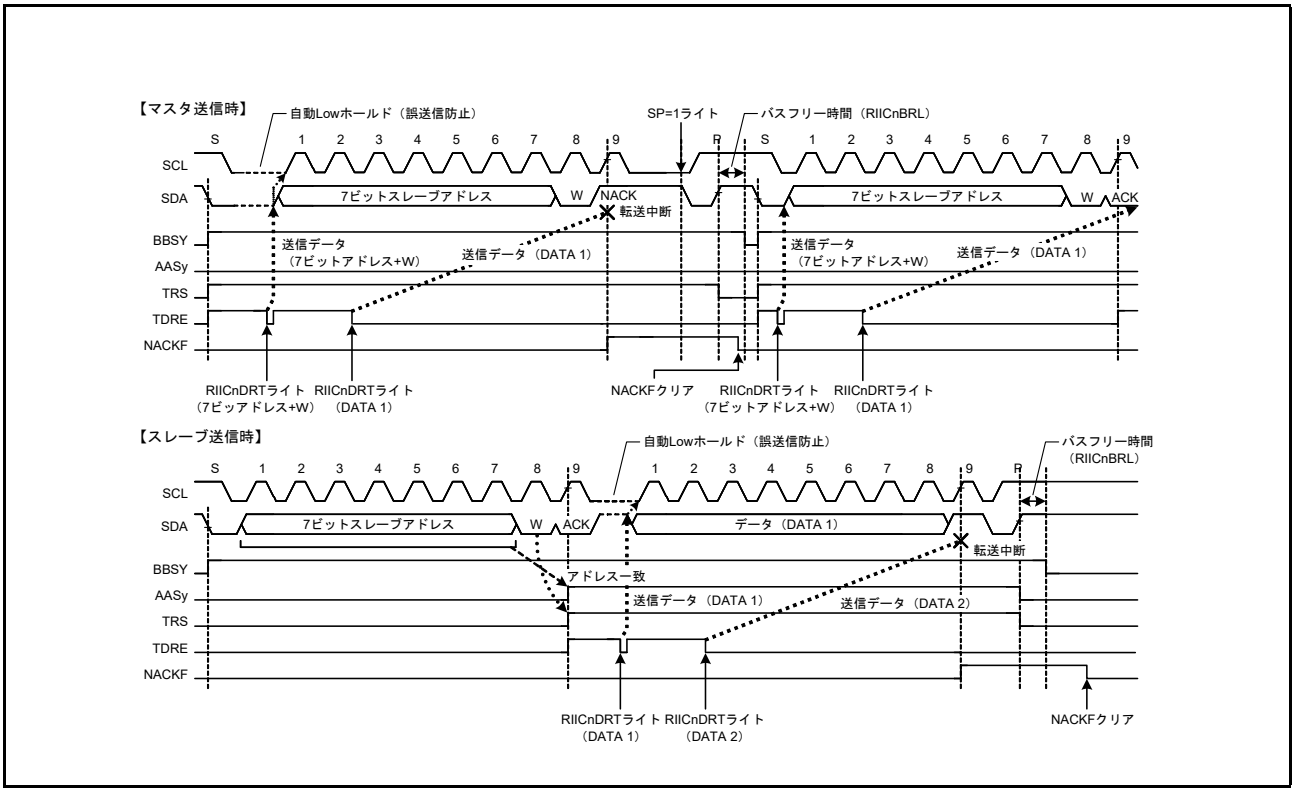


図 23.31　NACK 受信時の転送中断動作（NACKE = 1 のとき）

23.10.3　受信データ取りこぼし防止機能

RIIC は受信モード時（RIICnCR2.TRS ビット = 0）、受信データフル（RIICnSR2.RDRF フラグ = 1）の状態で受信データ（RIICnDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では RIICnMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1)　WAIT ビットによる 1 バイト受信動作／自動 Low ホールド機能

RIICnMR3.WAIT ビットを “1” にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。RIICnMR3.RDRFS ビットが “0” のとき、RIIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に RIICnMR3.ACKBT ビットの内容が送出され、9 クロック目立ち下がりを検出すると WAIT ビット機能により自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

(2)　RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

RIICnMR3.RDRFS ビットを “1” にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを “1” にすると、受信データフルフラグ（RIICnSR2.RDRF フラグ）が “1” になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnMR3.ACKBT ビットへの書き込みによって解除され、RIICnDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

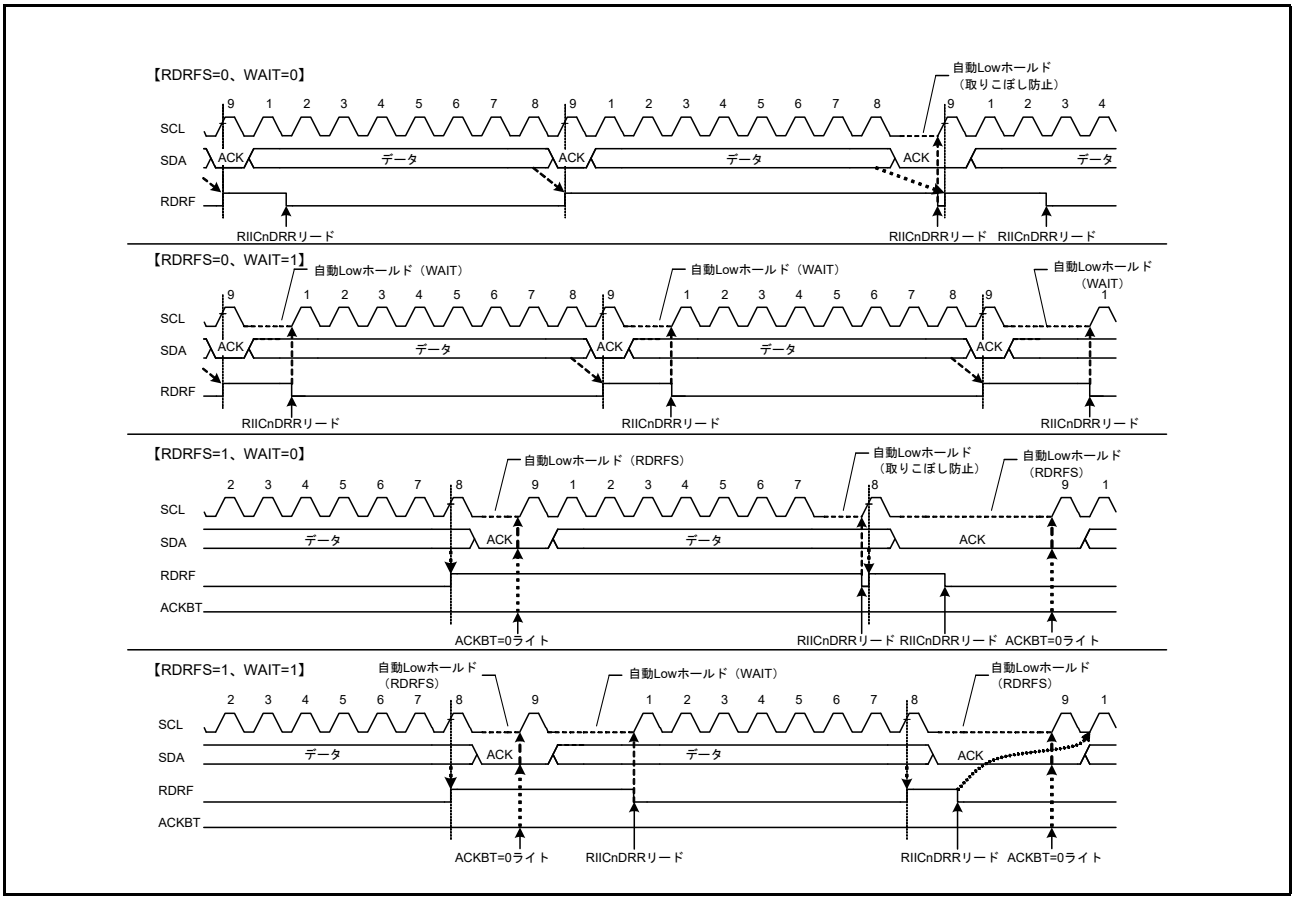


図 23.32　受信モードの自動 Low ホールド動作（RDRFS、WAIT ビット）

23.11　アービトレーションロスト検出機能

RIIC には I²C バス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

23.11.1　マスタアービトレーションロスト検出機能（MALE ビット）

RIIC はスタートコンディション発行の際 SDA ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDA ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に RIICnCR2.BBSY フラグが “1”（バスビジー中）のときに RIICnCR2.ST ビットを “1” にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ（SDA 信号）と SDA ラインに不一致が生じた場合（自分が出した SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、RIICnFER.MALE ビットが “1”（マスタアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［マスタアービトレーションロスト条件］

- RIICnCR2.BBSY フラグ = 0 の状態で RIICnCR2.ST ビット = 1 によるスタートコンディション発行時に SDA 信号と SDA ライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- RIICnCR2.BBSY フラグ = 1 で RIICnCR2.ST ビットを “1” にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（RIICnCR2.MST, TRS ビット = 11_B）、アクノリッジを除く送信データ（SDA 信号）と SDA ライン上の信号の状態が不一致のとき

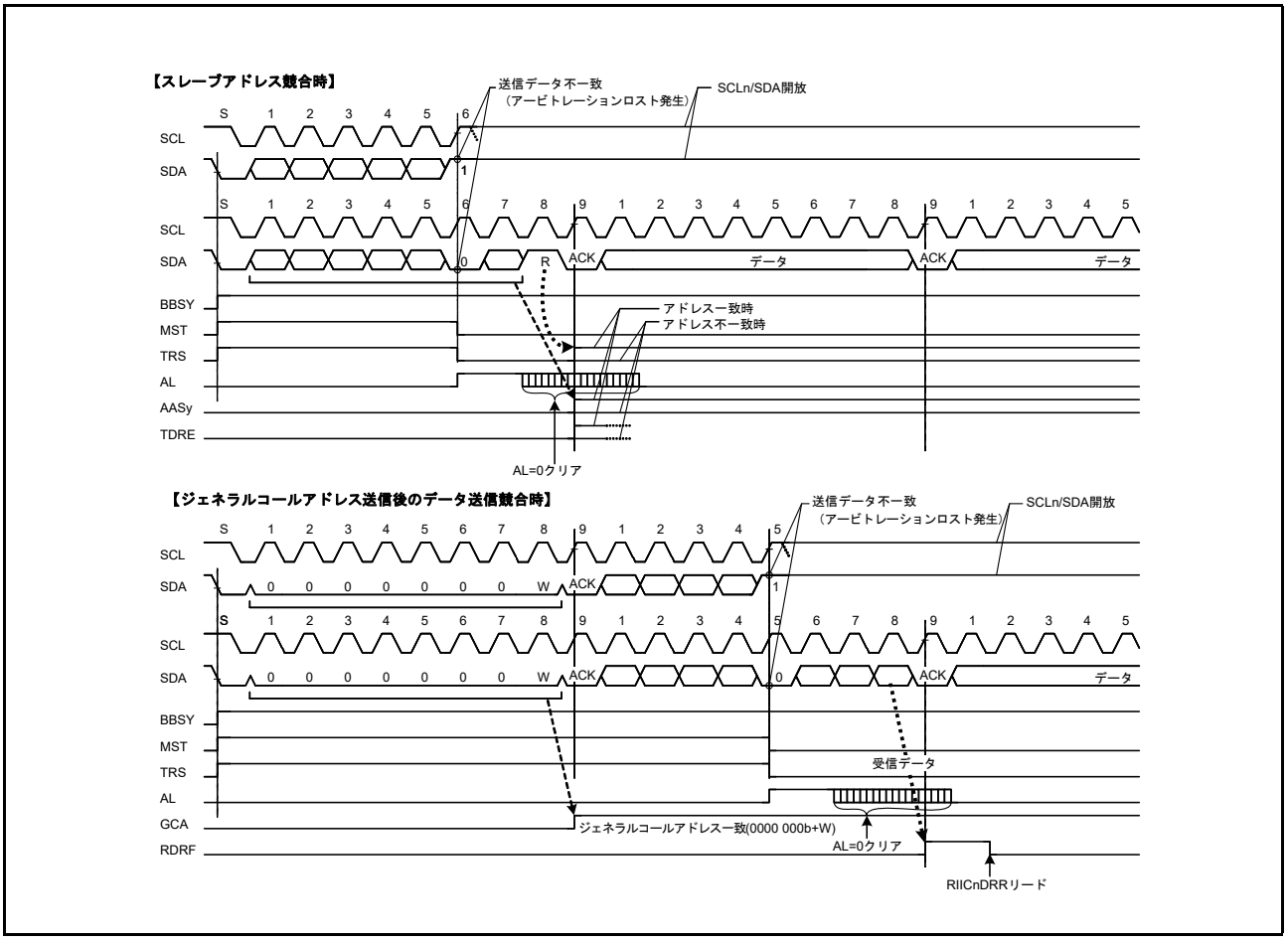


図 23.33　　マスタアービトレーションロスト検出動作例（MALE = 1 のとき）

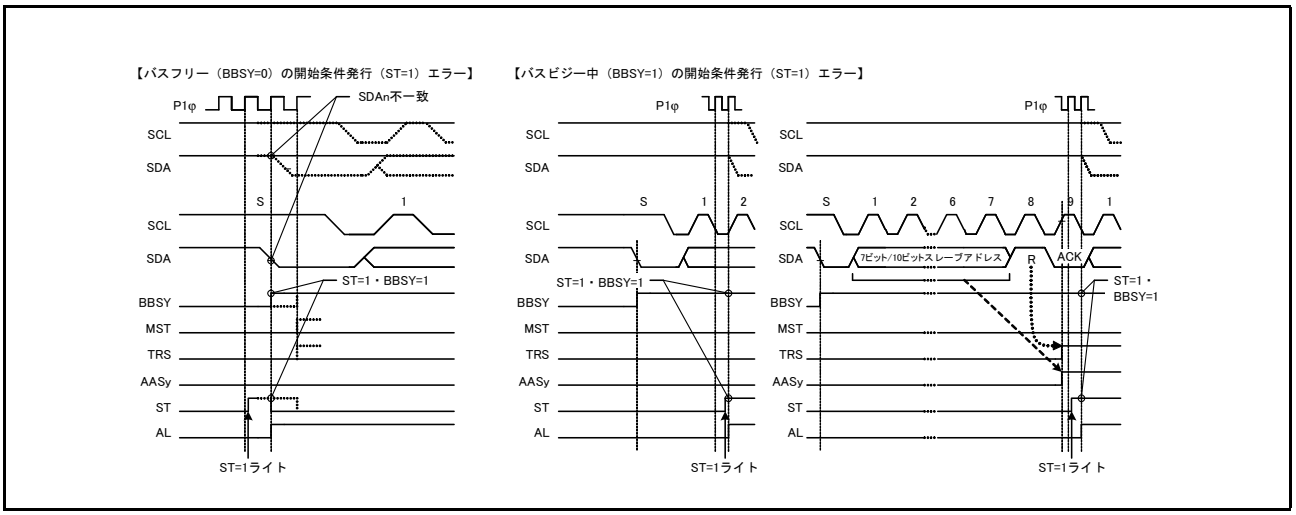


図 23.34　　スタートコンディション発行時のアービトレーションロスト（MALE = 1 のとき）

23.11.2　NACK 送信アービトレーションロスト検出機能（NALE ビット）

RIIC は受信モード時で NACK 送信時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致の場合（自分が出した SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。**図 23.35** に NACK 送信アービトレーションロスト検出動作例を示します。

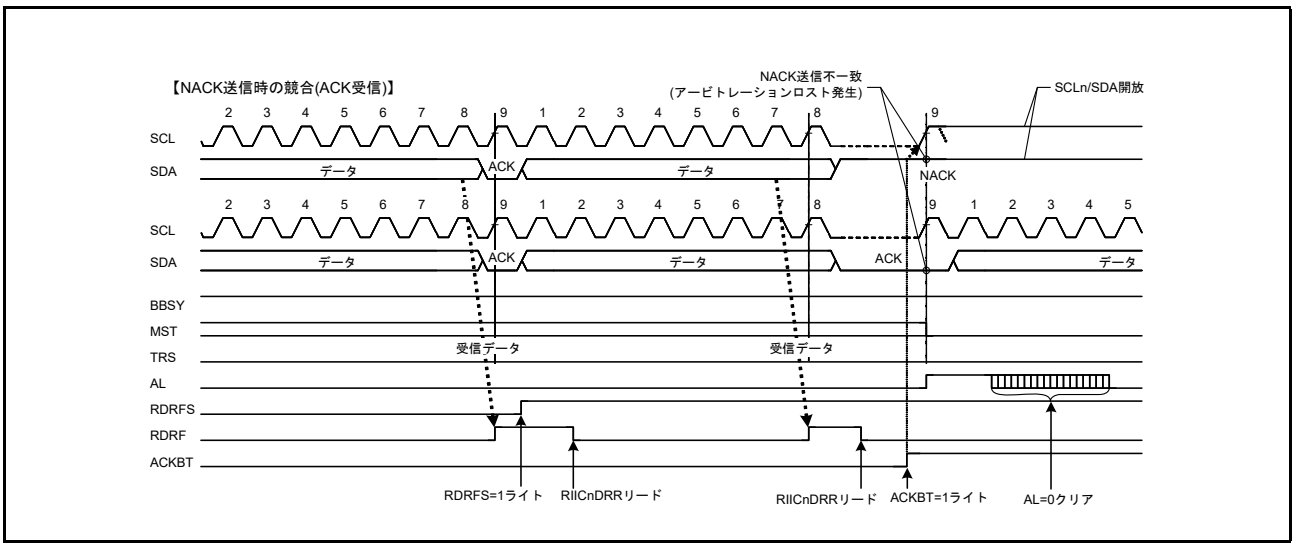


図 23.35　NACK 送信アービトレーションロスト検出動作例（NALE = 1 のとき）

2 つのマスタデバイス（マスタ A、マスタ B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B ともどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、アサインアドレスの UDID（ユニークデバイスアイデンティファイ）不一致時の NACK 送信以降、およびアサインアドレス確定後の Get UDID（汎用）の NACK 送信以降の余剰処理（FF_H 送信処理）を省くことができます。

なお NACK 送信アービトレーションロスト検出は、RIICnFER.NALE ビットが “1”（NACK 送信アービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［NACK 送信アービトレーションロスト条件］

NACK 送信時（RIICnMR3.ACKBT ビット = 1）、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき（ACK を受信したとき）

23.11.3　スレーブアービトレーションロスト検出機能（SALE ビット）

RIIC は、スレーブ送信時に送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態に不一致が生じた場合（自分が出した SDA 出力が High 出力（= SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID（ユニークデバイスアイデンティファイ）送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理（FF_H 送信処理）を省くことができます。

なおスレーブアービトレーションロスト検出は、RIICnFER.SALE ビットが “1”（スレーブアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

スレーブ送信モード時（RIICnCR2.MST, TRS ビット = 01_B）、アクノリッジを除く送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態が不一致のとき

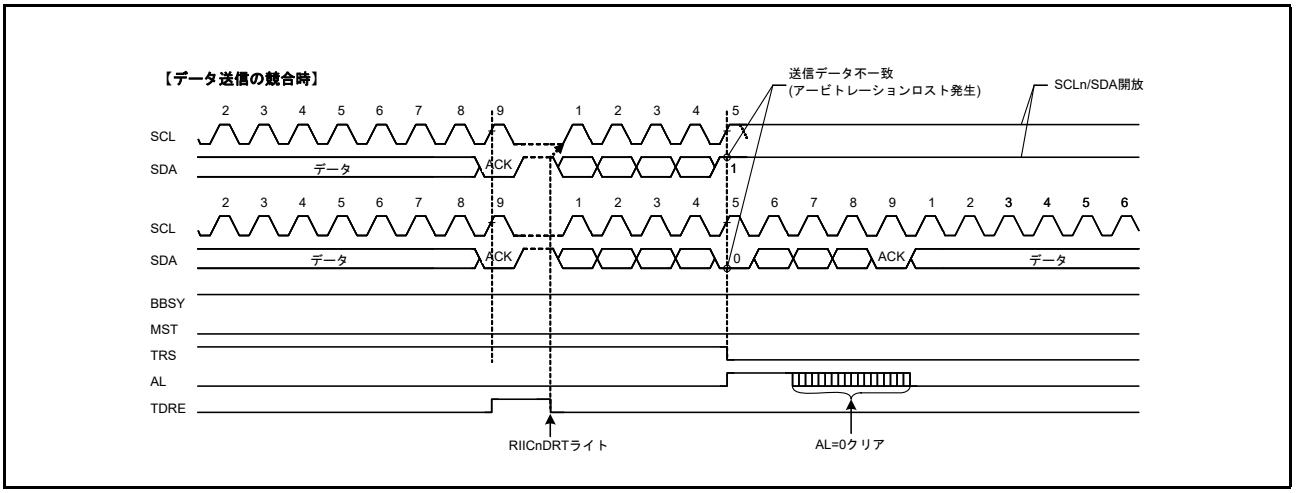


図 23.36　スレーブアービトレーションロスト検出動作例（SALE = 1 のとき）

23.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

23.12.1 スタートコンディション発行動作

RIIC は、RIICnCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを “1” にすると、スタートコンディション発行の要求が行われ RIICnCR2.BBSY フラグが “0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

［スタートコンディション発行動作］

- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
- SCL ラインを立ち下げ（High から Low に遷移）
- SCL ラインの Low を検出後、RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保

23.12.2 リスタートコンディション発行動作

RIIC は RIICnCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを “1” にするとリスタートコンディション発行の要求が行われ、RIIC は RIICnCR2.BBSY フラグが “1”（バスビジー）の状態でかつ RIICnCR2.MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

［リスタートコンディション発行動作］

- SDA ラインを開放
- RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保
- SCL ラインを開放（Low から High に遷移）
- SCL ラインの High 検出後、RIICnBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
- SCL ラインを立ち下げ（High から Low に遷移）
- SCL ラインの Low を検出後、RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保

注意．リスタートコンデション要求の発行時、RIICnSR2.START = 0 としたのちに、RIICnCR2.RS = 1 としてください。その後、RIICnSR2.START が 1 であることを確認してから RIICnSR2.START = 0 としたのちに RIICnDRT にスレーブアドレスを書くようにしてください。

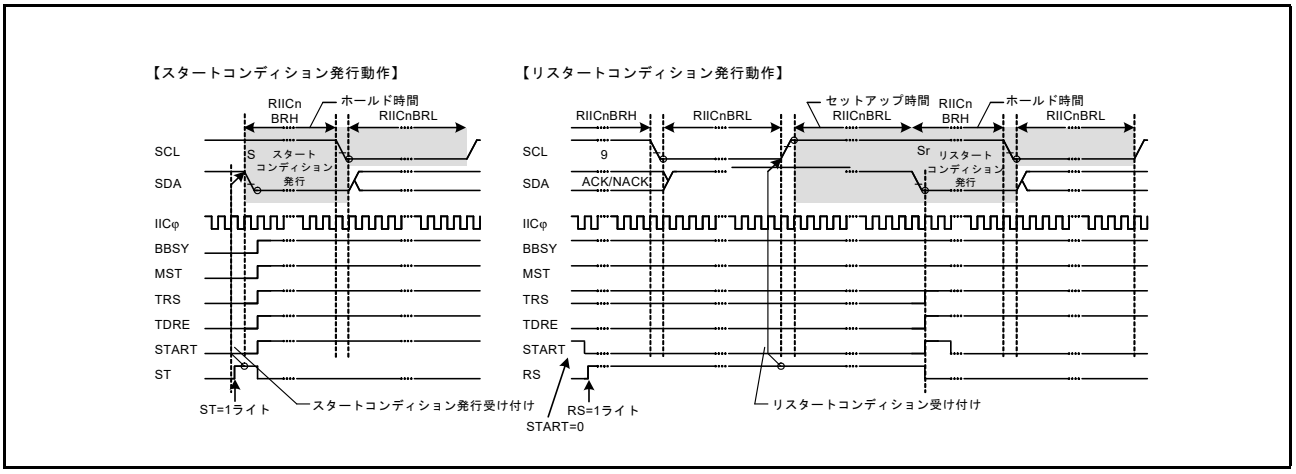


図 23.37　スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）

23.12.3　ストップコンディション発行動作

RIIC は RIICnCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを “1” にするとストップコンディション発行の要求が行われ、RIIC は RIICnCR2.BBSY フラグが “1”（バスビジー）の状態でかつ RIICnCR2.MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

［ストップコンディション発行動作］

- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保
- SCL ラインを開放（Low から High に遷移）
- SCL ラインの High 検出後、RIICnBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA ラインを開放（Low から High に遷移）
- RIICnBRL レジスタで設定した時間バスフリー時間を確保
- BBSY フラグクリア（バス権解放）

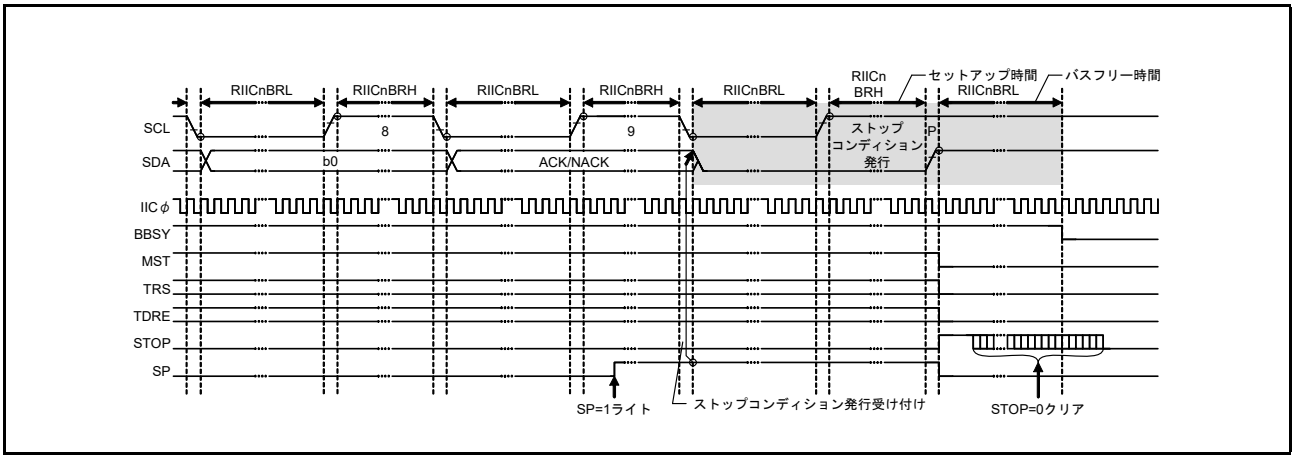


図 23.38　ストップコンディション発行動作タイミング（SP ビット）

23.13　バスハングアップ

I²C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCL ラインや SDA ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCL ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能および RIIC ／内部リセット機能を備えています。

また、RIICnCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCL ライン／ SDA ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

23.13.1　タイムアウト検出機能

RIIC には SCL ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は SCL ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCL ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCL ラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバス異常状態を知らせることができます。

このタイムアウト検出機能は RIICnFER.TMOE ビットが “1” のとき有効で、以下のときに SCL ラインの Low 固定または High 固定のバス異常状態を検出します。

(1) バスビジー状態（RIICnCR2.BBSY = 1）で、マスタモード（RIICnCR2.MST = 1）時
(2) バスビジー状態（RIICnCR2.BBSY = 1）で、スレーブモード（RIICnCR2.MST = 0）かつ
　　自スレーブアドレス一致（RIICnSR1 レジスタ≠ 00_H）時
(3) バスフリー状態 （RIICnCR2.BBSY = 0）で、スタートコンディション発行要求中
　　（ RIICnCR2.ST ビットが ”1”）の期間

タイムアウト検出機能の内部カウンタは、RIICnMR1.CKS[2:0] ビットで設定された内部基準クロック（IICφ）をカウントソースとして動作し、ロングモード選択時（RIICnMR2.TMOS ビット = 0）16 ビットカウンタ、ショートモード選択時（TMOS ビット = 1）14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL ラインが Low 状態のときカウントさせるか、High 状態のときカウントさせるか、あるいはその両方をカウントさせるかを RIICnMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を “0” にした場合は、内部カウント動作を行いません。

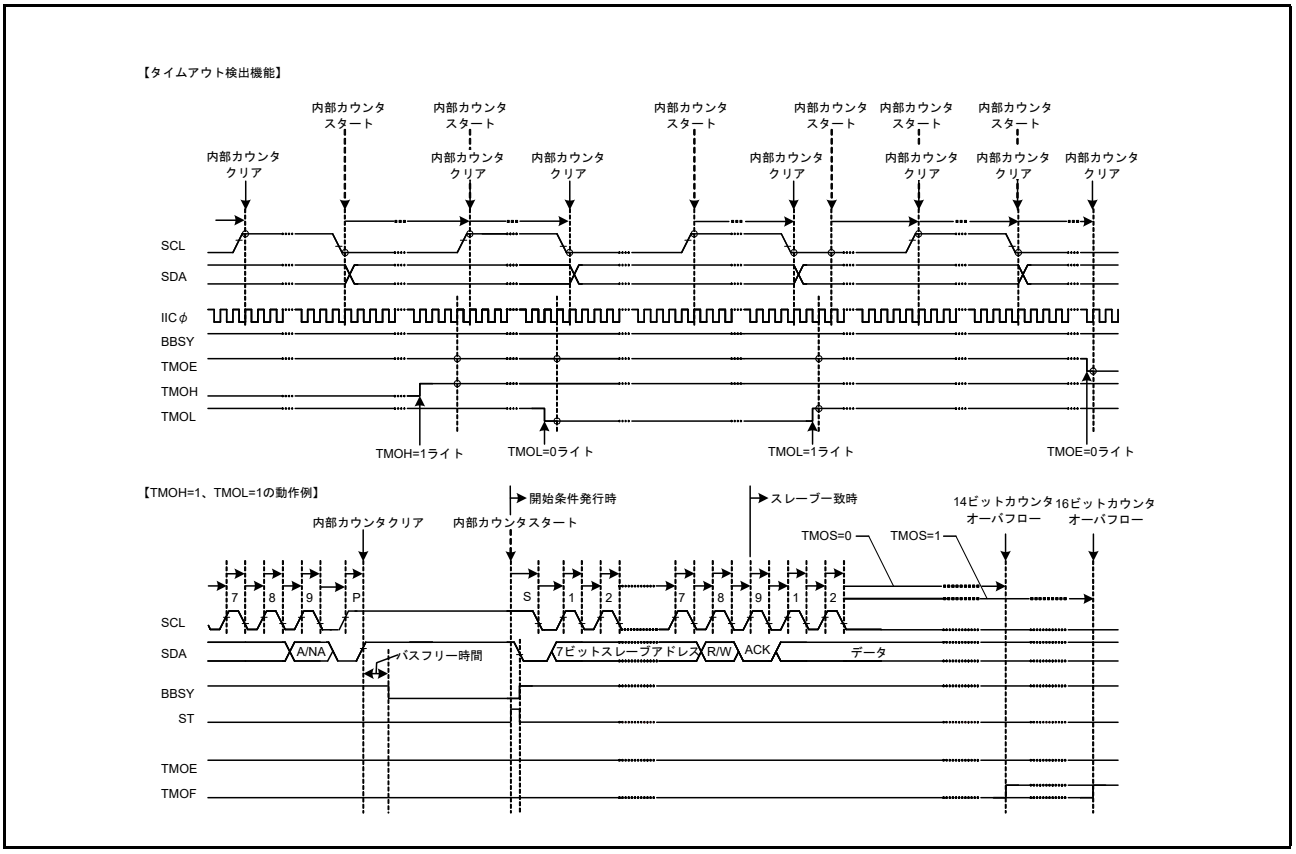


図 23.39　タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）

23.13.2　SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、RIICnCR1.CLO ビットを “1” にすると、RIICnMR1.CKS[2:0] ビット、RIICnBRH、RIICnBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に “0” になります。このとき BBSY フラグ =1 の場合 SCL 端子は L 出力を継続し、BBSY フラグ =0 の場合 SCL 端子は H になります。また、ソフトウェアで CLO ビットが “0” であることを確認後 “1” を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できないバス異常状態のとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA ライン開放は RIICnCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

[RIICnCR1.CLO ビットの出力条件]

- バスフリー状態（RIICnCR2.BBSY フラグ = 0）またはマスタモード（RIICnCR2.MST ビット = 1、BBSY フラグ = 1 の状態）のとき
- 通信デバイスが SCL ラインを Low ホールドにしていない状態のとき

図 23.40 に SCL クロック追加出力機能（CLO ビット）を示します。

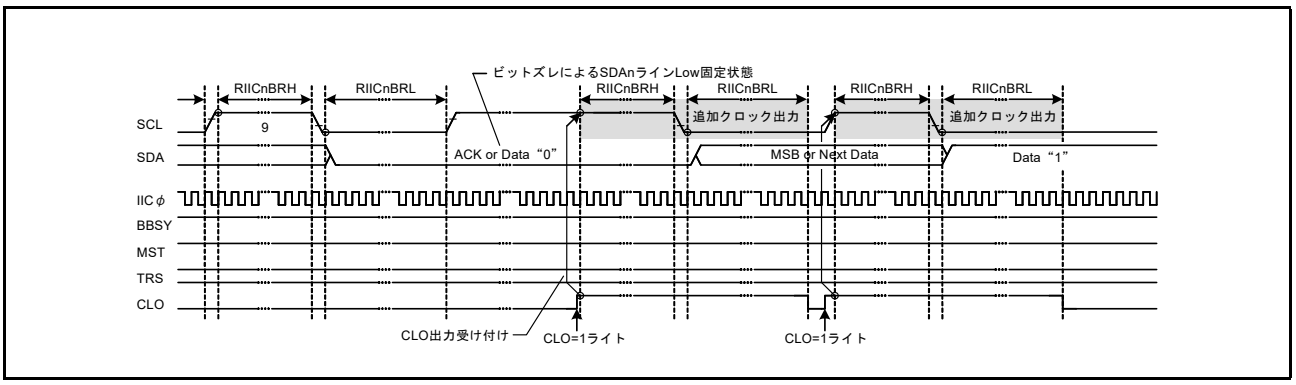


図 23.40　SCL クロック追加出力機能（CLO ビット）

23.13.3　RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは RIICnCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は RIICnCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCL 端子／ SDA 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット（RIICnCR1.ICE, IICRST ビット = 01_B）のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC ／内部リセットの詳細については、**「23.15　RIIC のリセット機能」**を参照してください。

23.14　SMBus 動作

RIIC は SMBus（Ver.2.0）に準拠した通信動作が可能です。SMBus 通信を行うには、RIICnMR3.SMBE ビットを “1” にしてください。転送速度は SMBus 規格の 10 kbps ～ 100 kbps の範囲に収まるよう RIICnMR1.CKS[2:0] ビット、RIICnBRH、RIICnBRL レジスタを設定し、データホールド時間 :300ns（min）の規格を守るよう RIICnMR2.DLCS ビットおよび RIICnMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、RIICnBRL はデータセットアップ時間（250ns）以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス（$1100\ 001_B$）はスレーブアドレスレジスタ L0 ～ L2（RIICnSAR0、RIICnSAR1、RIICnSAR2）のいずれか 1 本を使用し、該当する RIICnSARy.FSy ビット (y = 0 ～ 2)（7 ビット／ 10 ビットアドレスフォーマット選択ビット）を “0”（7 ビットアドレスフォーマット）を選択してください。

また、UDID（ユニークデバイスアイデンティファイ）送信時には、RIICnFER.SALE ビットを “1” にしてスレーブアービトレーションロスト検出機能を有効にしてください。

23.14.1　SMBus タイムアウト測定

(1)　スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（INTRIICSTI）、ストップコンディション検出割り込み（INTRIICSPI）を利用してスタートコンディション検出からストップコンディション検出までの時間を内蔵タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間［スレーブデバイス］$T_{LOW:SEXT}$：25ms（max）以内である必要があります。

内蔵タイマで計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには RIICnCR1.IICRST ビットに “1” を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL 端子／ SDA 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2)　マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（INTRIICSTI）、ストップコンディション検出割り込み（INTRIICSPI）、および送信終了割り込み（INTRIICTEI）または受信データフル割り込み（INTRIICRI）を利用して、それぞれの区間を内蔵タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間［マスタデバイス］$T_{LOW:MEXT}$：10ms（max）以内である必要があり、スタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ を加算した結果が $T_{LOW:SEXT}$：25ms（max）以内である必要があります。

ACK 受信タイミング（SMBCLK の 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は RIICnSR2.TEND フラグ、マスタ受信モード時（マスタレシーバ）は RIICnSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは RIICnMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SMBCLK の 9 クロック目の立ち上がりで “1” になります。

内蔵タイマで計測した時間が、SMBus 規格のクロック Low の累積時間［マスタデバイス］$T_{LOW:MEXT}$：10ms（max）または各計測時間の加算した結果が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作（RIICnDRT レジスタへの書き込み動作）を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

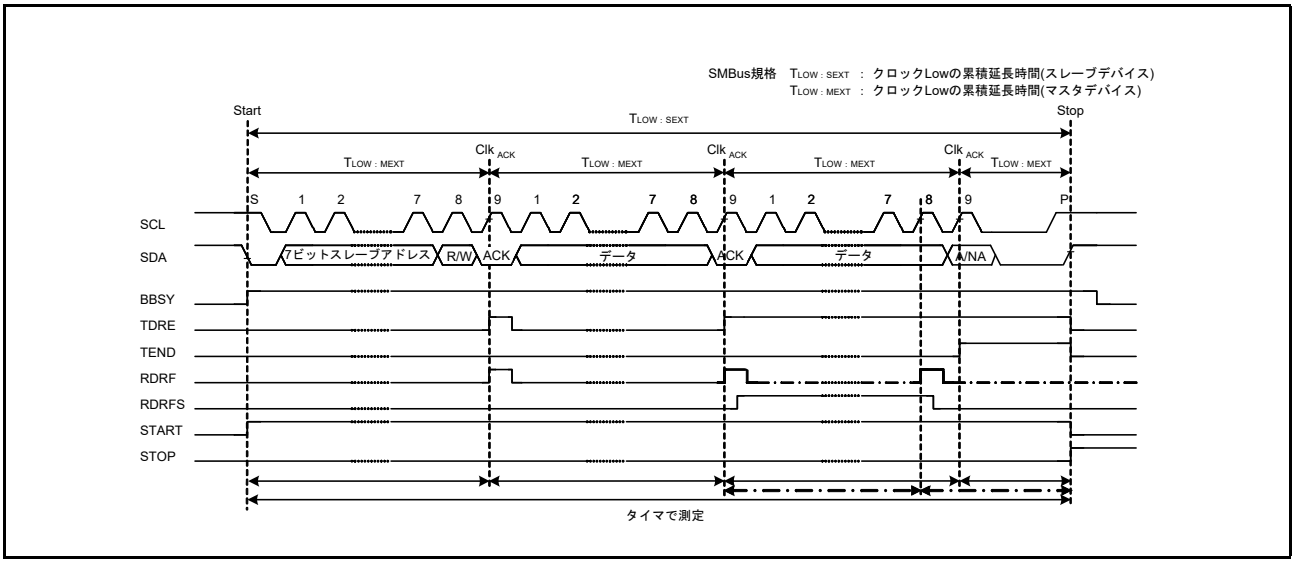


図 23.41　SMBus タイムアウト測定

23.14.2　SMBus ホスト通知プロトコル／ Notify ARP master

SMBus ではスレーブデバイスが SMBus ホスト（または ARP マスタ）に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知（または要求）することができます。

本 LSI を SMBus ホスト（または ARP マスタ）として動作させる場合、スレーブデバイスからのホストアドレス（$0001\ 000_B$）送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、RIICnMR3.SMBE ビットを “1”、RIICnSER.HOAE ビットを “1” にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

23.15 RIIC のリセット機能

RIIC はチップリセット、RIIC リセットおよび内部リセットのリセット機能を持っています。表 23.24 に各リセットのリセット範囲およびリセット状況を示します。

表 23.24　RIIC のリセット機能

レジスタ		RIIC リセット（ICE ビット = 0、IICRST ビット = 1）	内部リセット（ICE ビット = 1、IICRST ビット = 1）	スタートコンディション／リスタートコンディション検出	ストップコンディション検出
RIICnCR1	ICE	0	1	保持	保持
	IICRST	1	1	保持	保持
	CLO	初期化	保持	保持	保持
	SOWP	初期化	保持	保持	保持
	SCLO	初期化	初期化	保持	保持
	SDAO	初期化	初期化	保持	保持
	SCLI	初期化	保持	保持	保持
	SDAI	初期化	保持	保持	保持
RIICnCR2	BBSY	初期化	初期化（注 1）	動作	保持
	MST	初期化	初期化	動作（保持）	初期化
	TRS	初期化	初期化	動作（保持）	初期化
	SP	初期化	初期化	初期化	初期化
	RS	初期化	初期化	初期化	初期化
	ST	初期化	初期化	初期化	保持
RIICnMR1	CKS[2:0]	初期化	保持	保持	保持
	BCWP	初期化	保持	保持	保持
	BC[2:0]	初期化	初期化	初期化	保持
RIICnMR2		初期化	保持	保持	保持
RIICnMR3	WAIT	初期化	保持	保持	保持
	RDRFS	初期化	保持	保持	保持
	ACKWP	初期化	保持	保持	保持
	ACKBT	初期化	保持	保持	初期化
	ACKBR	初期化	保持	保持	保持
	NF[1:0]	初期化	保持	保持	保持
RIICnFER		初期化	保持	保持	保持
RIICnSER		初期化	保持	保持	保持
RIICnIER		初期化	保持	保持	保持
RIICnSR1	DID	初期化	初期化	保持	初期化
	GCA	初期化	初期化	保持	初期化
	AAS2	初期化	初期化	保持	初期化
	AAS1	初期化	初期化	保持	初期化
	AAS0	初期化	初期化	保持	初期化
RIICnSR2	TDRE	初期化	初期化	保持	初期化
	TEND	初期化	初期化	保持	初期化
	RDRF	初期化	初期化	保持	保持
	NACKF	初期化	初期化	保持	保持
	STOP	初期化	初期化	保持	動作
	START	初期化	初期化	動作	初期化
	AL	初期化	初期化	保持	保持
	TMOF	初期化	初期化	保持	保持

レジスタ	RIIC リセット（ICE ビット = 0、IICRST ビット = 1）	内部リセット（ICE ビット = 1、IICRST ビット = 1）	スタートコンディション／リスタートコンディション検出	ストップコンディション検出
RIICnSAR0、1、2	初期化	保持	保持	保持
RIICnBRH、RIICnBRL	初期化	保持	保持	保持
RIICnDRT	初期化	保持	保持	保持
RIICnDRR	初期化	保持	保持	保持
RIICnDRS	初期化	初期化	保持	保持

注1.　ストップコンディション検出後のバスフリー期間中に、内部リセットをかけた場合、BBSY フラグが内部リセット解除から、バスフリー時間を経由して、“0” となります。
バスフリー期間以外で内部リセットをかけた場合は、BBSY フラグはクリアされません。

24. シリアルサウンドインタフェース（SSIF-2）

24.1 概要

シリアルサウンドインタフェース (SSIF-2) は、I²S フォーマット／モノラルフォーマット／ TDM フォーマットと互換性のある様々なデバイスと音声データの送受信を行うことができます。

24.1.1 特長

表24.1　SSIF-2 の特長

項目		内容
チャネル数		・4チャネル
通信モード		・マスタ／スレーブ ・チャネル0, 1, 3は全二重通信が可能　チャネル2は半二重通信のみ可能
通信フォーマット		・I²Sフォーマット ・モノラルフォーマット ・TDMフォーマット
シリアルデータ		・MSBファースト ・データの左詰め／右詰めを選択可能 ・SSILRCK/SSIFS～SSITxD/SSIRxD間の遅延（1クロック／無）を選択可能 ・システムワード長(8/16/24/32/48/64/128/256bit)を選択可能 ・データワード長（8/16/18/20/22/24/32bit）を選択可能 ・パディング極性（ローレベル／ハイレベル）を選択可能
ビット クロック (SSIBCK)	マスタ時	・クロック源（AUDIO_CLK/AUDIO_X1）を選択可能 ・クロック源の分周比（1/2/4/6/8/12/16/24/32/48/64/96/128分周）を選択可能 ・通信停止中の供給／停止を選択可能
	スレーブ時	・入力方法（直接／ノイズキャンセラ経由）を選択可能
	マスタ／スレーブ	・極性（立ち上がりエッジ／立ち下がりエッジ）を選択可能
LRクロック／フレーム同期 (SSILRCK/SSIFS)	マスタ時	・極性（ローレベル／ハイレベル）を選択可能 ・通信停止中の供給／停止を選択可能
	スレーブ時	・入力方法（直接／ノイズキャンセラ経由）を選択可能
送信データ、受信データ (SSITxD、SSIRxD)	送信	・ミュート（送信FIFOデータ送信／0固定送信）を選択可能
	受信(スレーブ時)	・入力方法（直接／ノイズキャンセラ経由）を選択可能
FIFO	容量	・送信FIFO：4 Byte × 32段、受信FIFO：4 Byte × 32段
	データアライメント	・FIFOとシフトレジスタ間のデータ転送方法（左詰め／右詰め）を選択可能
割り込み	割り込み出力	・通信エラー／アイドルモード(レベル) ・受信データフル（エッジ）[全二重通信] ・送信データエンプティ（エッジ）[全二重通信] ・受信データフル／送信データエンプティ（エッジ）[半二重通信]
	割り込み取りこぼし対策機能	・エッジ割り込みは各々割り込み取りこぼし対策の機能を搭載
消費電力低減機能		・マスタのクロック源供給／停止を選択可能

SSIF-2 の通信フォーマットで使用する語句の定義は下記の通りです。

表24.2　　語句定義

語句	定義
開始トリガ	通信停止から通信許可としてSSILRCK/SSIFS端子にLRCKPに設定した値となる最初のエッジ
フレーム境界	1フレームの最初のデータ転送開始時、および最終データを転送終了時
フレームワード数	1フレームあたりのサウンドチャネル数
システムワード長	1チャネルあたりのビット長
データワード長	1チャネルあたりの有効ビット長
通信フォーマットの制御ビット	・SSICR レジスタ : FRM, DWL, SWL, LRCKP, SPDP, SDTA, PDTA, DEL ・SSIFCR レジスタ : BSW ・SSIOFR レジスタ : OMOD ・SSISCR レジスタ : TDES, RDFS

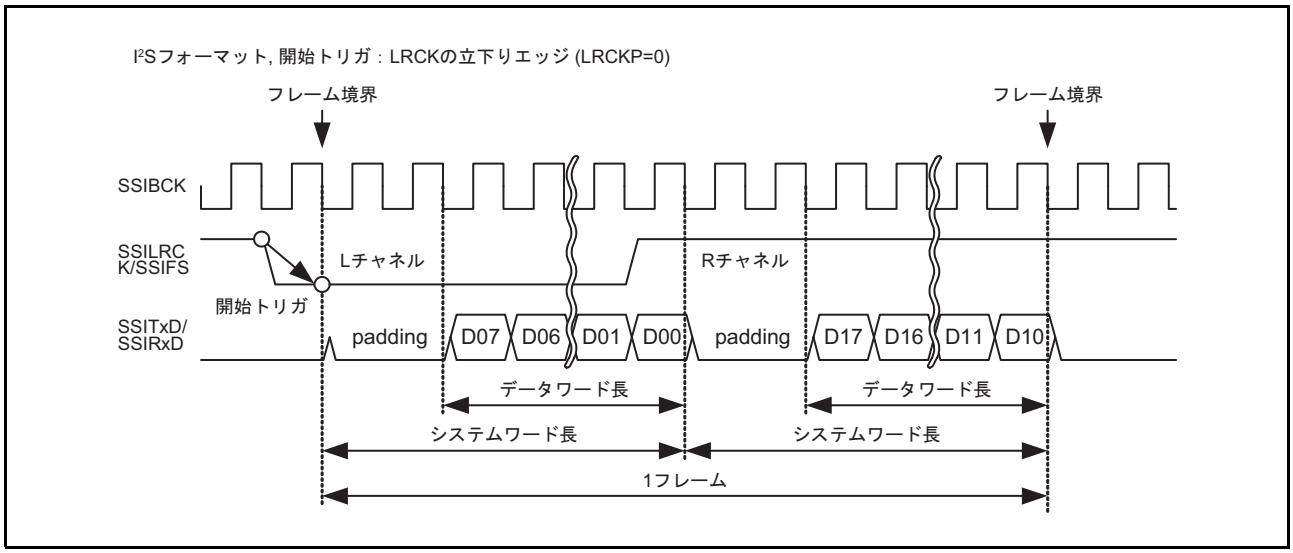
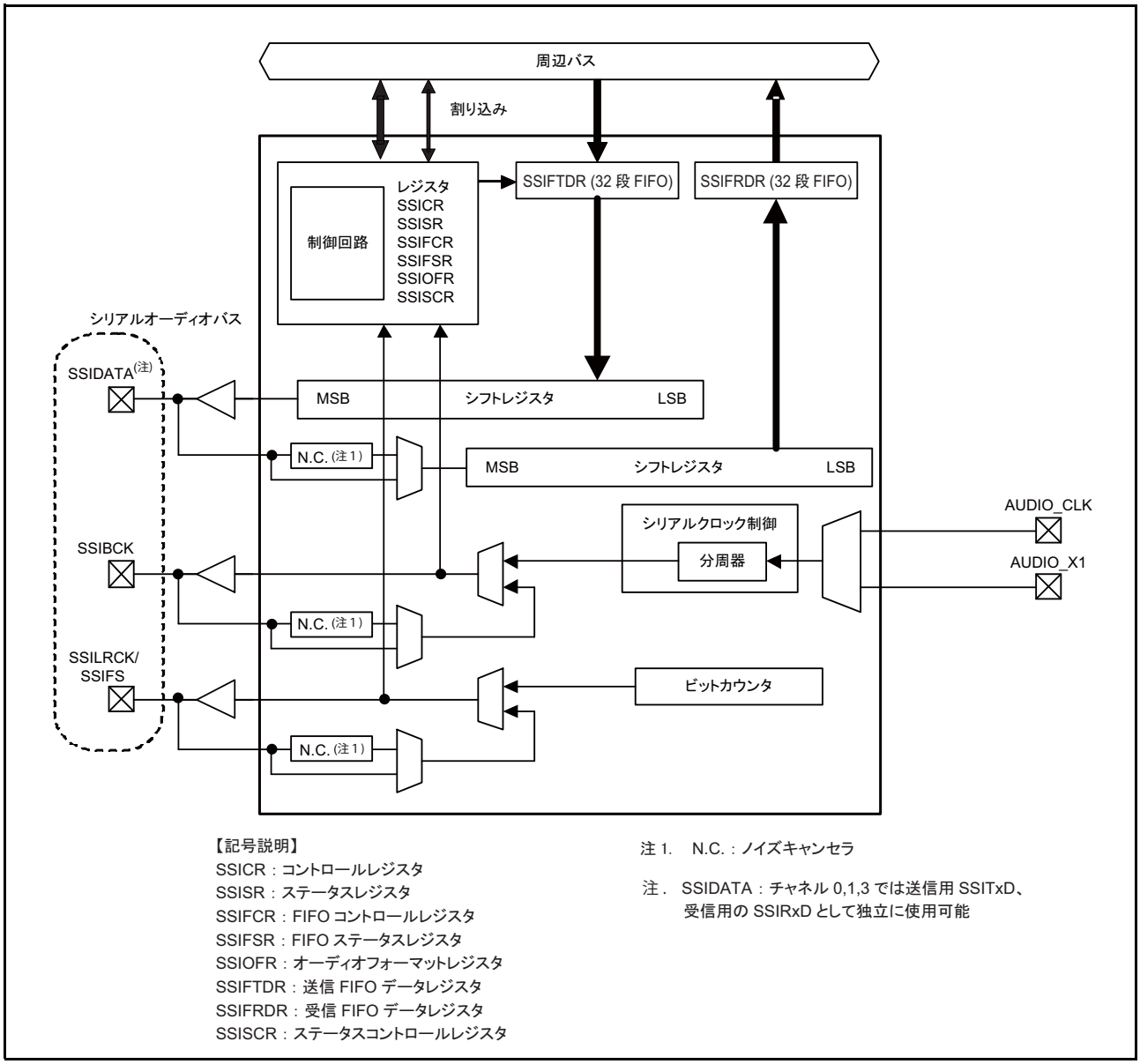


図 24.1　　通信フォーマット定義

24.1.2　ブロック概要

図 24.2 に SSIF-2 のブロック図を示します。



【記号説明】
SSICR：コントロールレジスタ
SSISR：ステータスレジスタ
SSIFCR：FIFO コントロールレジスタ
SSIFSR：FIFO ステータスレジスタ
SSIOFR：オーディオフォーマットレジスタ
SSIFTDR：送信 FIFO データレジスタ
SSIFRDR：受信 FIFO データレジスタ
SSISCR：ステータスコントロールレジスタ

注 1.　N.C.：ノイズキャンセラ

注．　SSIDATA：チャネル 0,1,3 では送信用 SSITxD、
受信用の SSIRxD として独立に使用可能

図 24.2　SSIF-2 ブロック図

SSIF-2 のクロック構成を図 24.3 に示します。

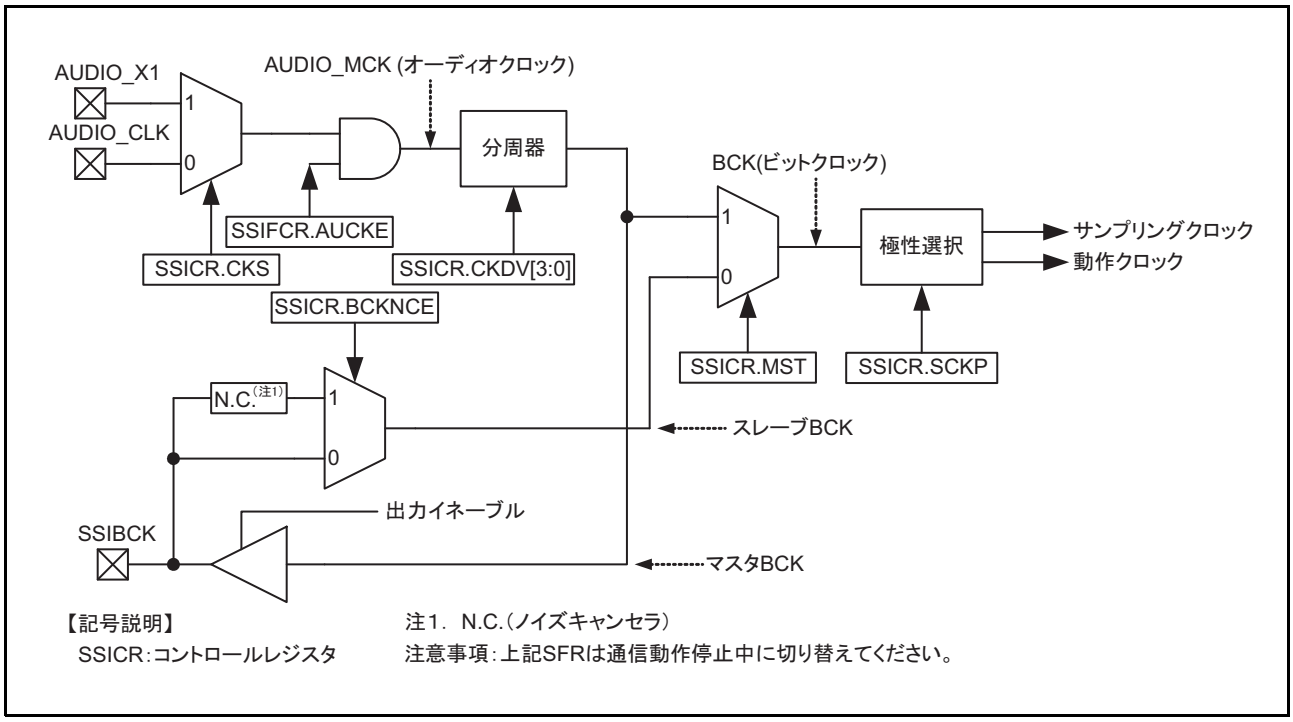


図 24.3　　SSIF-2 のクロック構成

24.2　入出力端子

表 24.3 に端子構成を示します。

表24.3　端子構成

チャネル	名称	入出力	機能
0、1、3	SSIBCK0、SSIBCK1、SSIBCK3	入出力	ビットクロック
	SSILRCK0、SSILRCK1、SSILRCK3	入出力	LRクロック／フレームシンク
	SSITxD0、SSITxD1、SSITxD3	出力	シリアルデータ出力
	SSIRxD0、SSIRxD1、SSIRxD3	入力	シリアルデータ入力
2	SSIBCK2	入出力	ビットクロック
	SSILRCK2	入出力	LRクロック／フレームシンク
	SSIDATA2	入出力	シリアルデータ入出力
共通	AUDIO_CLK	入力	オーディオ用外部クロック （オーバサンプルクロックを入力）
	AUDIO_X1	入力	オーディオ用水晶発振子／外部クロック （オーバサンプルクロックを入力）
	AUDIO_X2	出力	

24.3 レジスター覧

表24.4　制御レジスター覧

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	コントロールレジスタ	SSICR	R/W	0000_0000H	E804_8000H	32
	ステータスレジスタ ＊bit31-30, bit25-0はリードオンリーです。	SSISR	R/W	0200_0000H	E804_8004H	32
	FIFOコントロールレジスタ	SSIFCR	R/W	0000_0000H	E804_8010H	32
	FIFOステータスレジスタ ＊bit31-17, bit15-1はリードオンリーです。	SSIFSR	R/W	0001_0000H	E804_8014H	32
	送信FIFOデータレジスタ	SSIFTDR	W	0000_0000H	E804_8018H	32, 16, 8
	受信FIFOデータレジスタ	SSIFRDR	R	0000_0000H	E804_801CH	32, 16, 8
	オーディオフォーマットレジスタ	SSIOFR	R/W	0000_0000H	E804_8020H	32
	ステータスコントロールレジスタ	SSISCR	R/W	0000_0000H	E804_8024H	32
1	コントロールレジスタ	SSICR	R/W	0000_0000H	E804_8800H	32
	ステータスレジスタ ＊bit31-30, bit25-0はリードオンリーです。	SSISR	R/W	0200_0000H	E804_8804H	32
	FIFOコントロールレジスタ	SSIFCR	R/W	0000_0000H	E804_8810H	32
	FIFOステータスレジスタ ＊bit31-17, bit15-1はリードオンリーです。	SSIFSR	R/W	0001_0000H	E804_8814H	32
	送信FIFOデータレジスタ	SSIFTDR	W	0000_0000H	E804_8818H	32, 16, 8
	受信FIFOデータレジスタ	SSIFRDR	R	0000_0000H	E804_881CH	32, 16, 8
	オーディオフォーマットレジスタ	SSIOFR	R/W	0000_0000H	E804_8820H	32
	ステータスコントロールレジスタ	SSISCR	R/W	0000_0000H	E804_8824H	32
2	コントロールレジスタ	SSICR	R/W	0000_0000H	E804_9000H	32
	ステータスレジスタ ＊bit31-30, bit25-0はリードオンリーです。	SSISR	R/W	0200_0000H	E804_9004H	32
	FIFOコントロールレジスタ	SSIFCR	R/W	0000_0000H	E804_9010H	32
	FIFOステータスレジスタ ＊bit31-17, bit15-1はリードオンリーです。	SSIFSR	R/W	0001_0000H	E804_9014H	32
	送信FIFOデータレジスタ	SSIFTDR	W	0000_0000H	E804_9018H	32, 16, 8
	受信FIFOデータレジスタ	SSIFRDR	R	0000_0000H	E804_901CH	32, 16, 8
	オーディオフォーマットレジスタ	SSIOFR	R/W	0000_0000H	E804_9020H	32
	ステータスコントロールレジスタ	SSISCR	R/W	0000_0000H	E804_9024H	32
3	コントロールレジスタ	SSICR	R/W	0000_0000H	E804_9800H	32
	ステータスレジスタ ＊bit31-30, bit25-0はリードオンリーです。	SSISR	R/W	0200_0000H	E804_9804H	32
	FIFOコントロールレジスタ	SSIFCR	R/W	0000_0000H	E804_9810H	32
	FIFOステータスレジスタ ＊bit31-17, bit15-1はリードオンリーです。	SSIFSR	R/W	0001_0000H	E804_9814H	32
	送信FIFOデータレジスタ	SSIFTDR	W	0000_0000H	E804_9818H	32, 16, 8
	受信FIFOデータレジスタ	SSIFRDR	R	0000_0000H	E804_981CH	32, 16, 8
	オーディオフォーマットレジスタ	SSIOFR	R/W	0000_0000H	E804_9820H	32
	ステータスコントロールレジスタ	SSISCR	R/W	0000_0000H	E804_9824H	32

注.　上記アドレス以外へのアクセスは禁止です。

24.4　機能詳細

24.4.1　レジスタの説明

24.4.1.1　コントロールレジスタ (SSICR)

SSICR は読み出し／書き込み可能な 32 ビットのレジスタです。このレジスタはオーディオクロックの選択、IRQ の制御、データフォーマットの選択、動作モードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	予約ビット。0 を設定してください。読み出すと 0 が読めます。
30	CKS	0	R/W	マスタ通信のオーディオクロック選択 *1 0：AUDIO_CLK 入力を選択します 1：AUDIO_X1 入力を選択します
29	TUIEN	0	R/W	送信アンダフロー割り込み出力イネーブル 0：送信アンダフロー割り込み出力を禁止 1：送信アンダフロー割り込み出力を許可
28	TOIEN	0	R/W	送信オーバフロー割り込み出力イネーブル 0：送信オーバフロー割り込み出力を禁止 1：送信オーバフロー割り込み出力を許可
27	RUIEN	0	R/W	受信アンダフロー割り込み出力イネーブル 0：受信アンダフロー割り込み出力を禁止 1：受信アンダフロー割り込み出力を許可
26	ROIEN	0	R/W	受信オーバフロー割り込み出力イネーブル 0：受信オーバフロー割り込み出力を禁止 1：受信オーバフロー割り込み出力を許可
25	IIEN	0	R/W	アイドルモード割り込み出力イネーブル 0：アイドルモード割り込み出力を禁止 1：アイドルモード割り込み出力を許可
24	—	0	R	予約ビット。0 を設定してください。読み出すと 0 が読めます。
23～22	FRM[1:0]	00B	R/W	フレームワード数選択 *1

	通信フォーマット（SSIOFR.OMOD[1:0]）		
FRM[1:0]	I²S（00B）	モノラル（10B）	TDM（01B）
00B	2	1	設定禁止
01B	設定禁止	設定禁止	4
10B			6
11B			8

ビット	ビット名	初期値	R/W	説明
21～19	DWL[2:0]	000B	R/W	データワード長選択 *1 000：8ビット 001：16ビット 010：18ビット 011：20ビット 100：22ビット 101：24ビット 110：32ビット 111：設定禁止
18～16	SWL[2:0]	000B	R/W	システムワード長選択 *1 000：8ビット 001：16ビット 010：24ビット 011：32ビット 100：48ビット 101：64ビット 110：128ビット 111：256ビット
15	—	0	R	予約ビット。0を設定してください。読み出すと0が読めます。
14	MST	0	R/W	マスタイネーブル *1 0：スレーブ通信 1：マスタ通信
13	BCKP	0	R/W	ビットクロック極性選択 *1 0：SSILRCK/SSIFSとSSIFTxD/SSIFRxDはSSIBCKの立ち下がりエッジで変化 （SSIBCK立ち上がりエッジでSSILRCK/SSIFSとSSIFRxDをサンプリング） 1：SSILRCK/SSIFSとSSIFTxD/SSIFRxDはSSIBCKの立ち上がりエッジで変化 （SSIBCK立ち下がりエッジでSSILRCK/SSIFSとSSIFRxDをサンプリング）
12	LRCKP	0	R/W	LRクロック/フレームシンクの初期値と極性選択 *1 0：初期値はハイレベル 1フレームの開始トリガはSSILRCK/SSIFSの立ち下がりエッジ同期 1：初期値はローレベル 1フレームの開始トリガはSSILRCK/SSIFSの立ち上がりエッジ同期
11	SPDP	0	R/W	シリアルパディング極性選択 *1 0：パディングデータはローレベル 1：パディングデータはハイレベル
10	SDTA	0	R/W	シリアルデータアラインメント選択 *1 0：シリアルデータ、パディングビットの順に送受信を行う。 1：パディングビット、シリアルデータの順に送受信を行う。
9	PDTA	0	R/W	配置データアラインメント選択 *1 0：配置データ（SSIFTDR、SSIFRDR）を左詰め 1：配置データ（SSIFTDR、SSIFRDR）を右詰め
8	DEL	0	R/W	シリアルデータディレイ選択 *1 0：SSILRCK/SSIFSとSSIFTxD/SSIFRxD間でSSIBCKの1サイクルの遅延あり 1：SSILRCK/SSIFSとSSIFTxD/SSIFRxD間の遅延なし モノラルフォーマットでは、SSILRCK/SSIFSの波形制御を実施。 (詳細は「24.4.2.2　モノラルフォーマット」を参照)

ビット	ビット名	初期値	R/W	説明
7～4	CKDV[3:0]	0H	R/W	ビットクロック分周比選択 *1 CKDV[3:0] 0000：AUDIO_MCK 0001：AUDIO_MCK / 2 0010：AUDIO_MCK / 4 0011：AUDIO_MCK / 8 0100：AUDIO_MCK / 16 0101：AUDIO_MCK / 32 0110：AUDIO_MCK / 64 0111：AUDIO_MCK / 128 1000：AUDIO_MCK / 6 1001：AUDIO_MCK / 12 1010：AUDIO_MCK / 24 1011：AUDIO_MCK / 48 1100：AUDIO_MCK / 96 1101：設定禁止 1110：設定禁止 1111：設定禁止
3	MUEN	0	R/W	ミュート（無音）イネーブル 0：次のフレーム境界でミュート状態を解除する 1：次のフレーム境界でミュート状態にする
2	—	0	R	予約ビット。0を設定してください。読み出すと0が読めます。
1	TEN	0	R/W	送受信動作イネーブル *2 (TEN, REN)：動作状態 00：送受信動作禁止 01：受信動作許可（受信動作開始） 10：送信動作許可（送信動作開始） 11：送受信動作許可（送受信動作開始）
0	REN	0	R/W	

注1.　SSIF-2が通信状態(SSISR.IIRQ = 0)で本ビットへの書き込みは禁止です。書き換えた場合には、動作は保証しません。
注2.　TEN, RENビットの設定値を書き変えた場合には、SSISR.IIRQビットが意図した状態になることを確認してください。書き変えた場合には、動作は保証しません。例えば、動作許可に設定した場合にはSSISR.IIRQ = ’0’、動作禁止に設定した場合にはSSISR.IIRQ = ’1’を確認してください。

- CKS ビット

本ビットはマスタ通信 (MST = ’1’) 時のオーディオクロックを設定します。スレーブ通信 (MST = ’0’) 時には、本ビットの設定は無効です。

本ビットの書き換えは、AUDIO_MCK 供給停止時に行ってください。詳細タイミングは「24.4.1.3　FIFO コントロールレジスタ (SSIFCR)」の AUCKE ビット詳細説明を参照してください。

- TUIEN ビット

本ビットは送信アンダフロー割り込みの出力許可／出力禁止を設定します。本ビットを許可（’1’）に設定した場合には、SSISR.TUIRQ = ’1’ の立ち上がりにて割り込みを出力します。SSISR.TUIRQ = ’1’ の状態で本ビットを ’0’ から ’1’ へ変更した場合にも割り込みを出力します。

- TOIEN ビット

本ビットは送信オーバフロー割り込みの出力許可／出力禁止を設定します。本ビットを許可（’1’）に設定した場合には、SSISR.TOIRQ = ’1’ の立ち上がりにて割り込みを出力します。SSISR.TOIRQ = ’1’ の状態で本ビットを ’0’ から ’1’ へ変更した場合にも割り込みを出力します。

- RUIEN ビット

本ビットは受信アンダフロー割り込みの出力許可／出力禁止を設定します。本ビットを許可（’1’）に設定した場合には、SSISR.RUIRQ = ’1’ の立ち上がりにて割り込みを出力します。SSISR.RUIRQ = ’1’ の状態で本ビットを ’0’ から ’1’ へ変更した場合にも割り込みを出力します。

- ROIEN ビット

本ビットは受信オーバフロー割り込みの出力許可／出力禁止を設定します。本ビットを許可（’1’）に設定した場合には、SSISR.ROIRQ = ’1’ の立ち上がりにて割り込みを出力します。SSISR.ROIRQ = ’1’ の状態で本ビットを ’0’ から ’1’ へ変更した場合にも割り込みを出力します。

- IIEN ビット

本ビットはアイドルモード割り込みの出力許可／出力禁止を設定します。本ビットを許可（’1’）に設定した場合には、SSISR.IIRQ = ’1’ の立ち上がりにて割り込みを出力します。SSISR.IIRQ = ’1’ の状態で本ビットを ’0’ から ’1’ へ変更した場合にも割り込みを出力します。

- FRM[1:0] ビット

本ビットは各通信フォーマットのフレームワード数を設定します。

本ビットの書き換えは、SSILRCK 端子への LR クロック供給停止時に行ってください。LR クロックの出力動作は「24.4.1.7　オーディオフォーマットレジスタ (SSIOFR)」の LRCONT ビット詳細説明を参照してください。

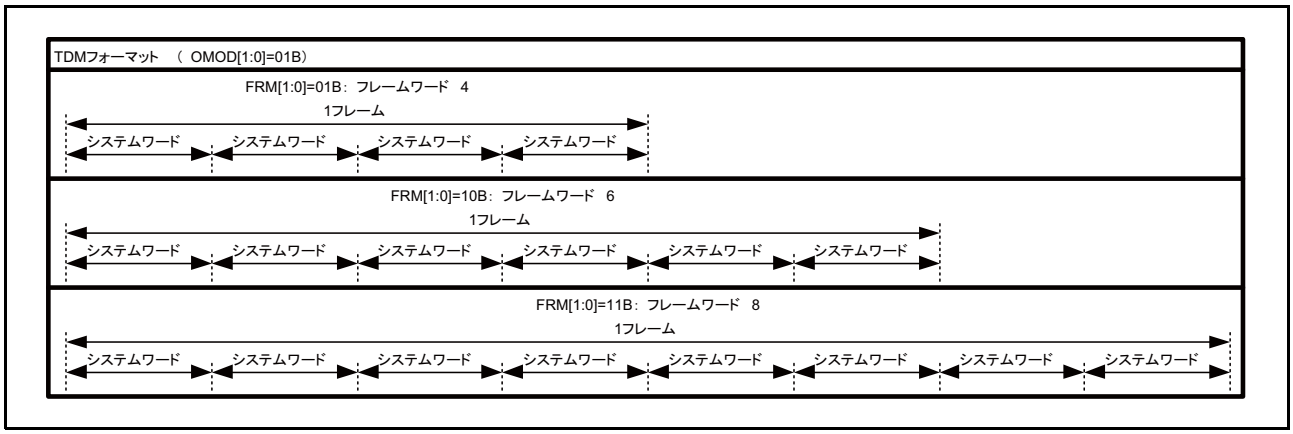


図 24.4　　フレームワード数

- DWL[2:0] ビット

本ビットは 1 データワードのビット数を設定します。データワード長よりシステムワード長のデータ数が小さい設定は禁止です。詳細は「24.4.2　通信フォーマット」の表 24.13 を参照してください。

- SWL[2:0] ビット

本ビットはシステムワードのビット数を設定します。DWL[2:0] で設定した 1 データワードとの関係でパディングビットを送受信します。詳細は「24.4.2　通信フォーマット」の表 24.13 を参照してください。

本ビットの書き換えは、SSILRCK 端子への LR クロック供給停止時に行ってください。LR クロックの出力動作は「24.4.1.7　オーディオフォーマットレジスタ (SSIOFR)」の LRCONT ビット詳細説明を参照してください。

- MST ビット

本ビットはマスタ通信／スレーブ通信を設定します。

本ビットの書き換えは、AUDIO_MCK 供給停止時に行ってください。詳細タイミングは「24.4.1.3　FIFO コントロールレジスタ (SSIFCR)」の AUCKE ビット詳細説明を参照してください。

- BCKP ビット

本ビットはビットクロックの極性（**表 24.5**）を設定します。

本ビットの書き換えは、AUDIO_MCK 供給停止時に行ってください。詳細タイミングは「**24.4.1.3　FIFO コントロールレジスタ (SSIFCR)**」の AUCKE ビット詳細説明を参照してください。

表24.5　ビットクロック極性

通信	マスタ／スレーブ	タイミング	BCKP = '0'	BCKP = '1'
受信	スレーブ	SSILRCK/SSIFSサンプリング	SSIBCK立ち上がりエッジ	SSIBCK立ち下がりエッジ
	マスタ／スレーブ	SSIFRxDサンプリング	SSIBCK立ち上がりエッジ	SSIBCK立ち下がりエッジ
送信	マスタ	SSILRCK/SSIFS出力変化	SSIBCK立ち下がりエッジ	SSIBCK立ち上がりエッジ
	マスタ／スレーブ	SSIFTxD出力変化	SSIBCK立ち下がりエッジ	SSIBCK立ち上がりエッジ

- LRCKP ビット

本ビットは SSILRCK/SSIFS の初期値と極性を設定します。使用する SSIF-2 の通信フォーマットに応じて、本ビットを設定してください（**表 24.6**）。スレーブ通信 (MST = '0') の場合には、開始トリガのみ使用します。

本ビットの書き換えは、SSILRCK 端子への LR クロック供給停止時に行ってください。LR クロックの出力動作は「**24.4.1.7　オーディオフォーマットレジスタ (SSIOFR)**」の LRCONT ビット詳細説明を参照してください。

表24.6　SSILRCK/SSIFS端子の出力初期値と極性

通信フォーマット	期待する初期状態	LRCKPの設定値
I^2S	H	0
モノラル	L	1
TDM	L	1

注.　I^2S、モノラル、TDMに互換性のあるフォーマットの場合には、それぞれ通信可能な設定をしてください。

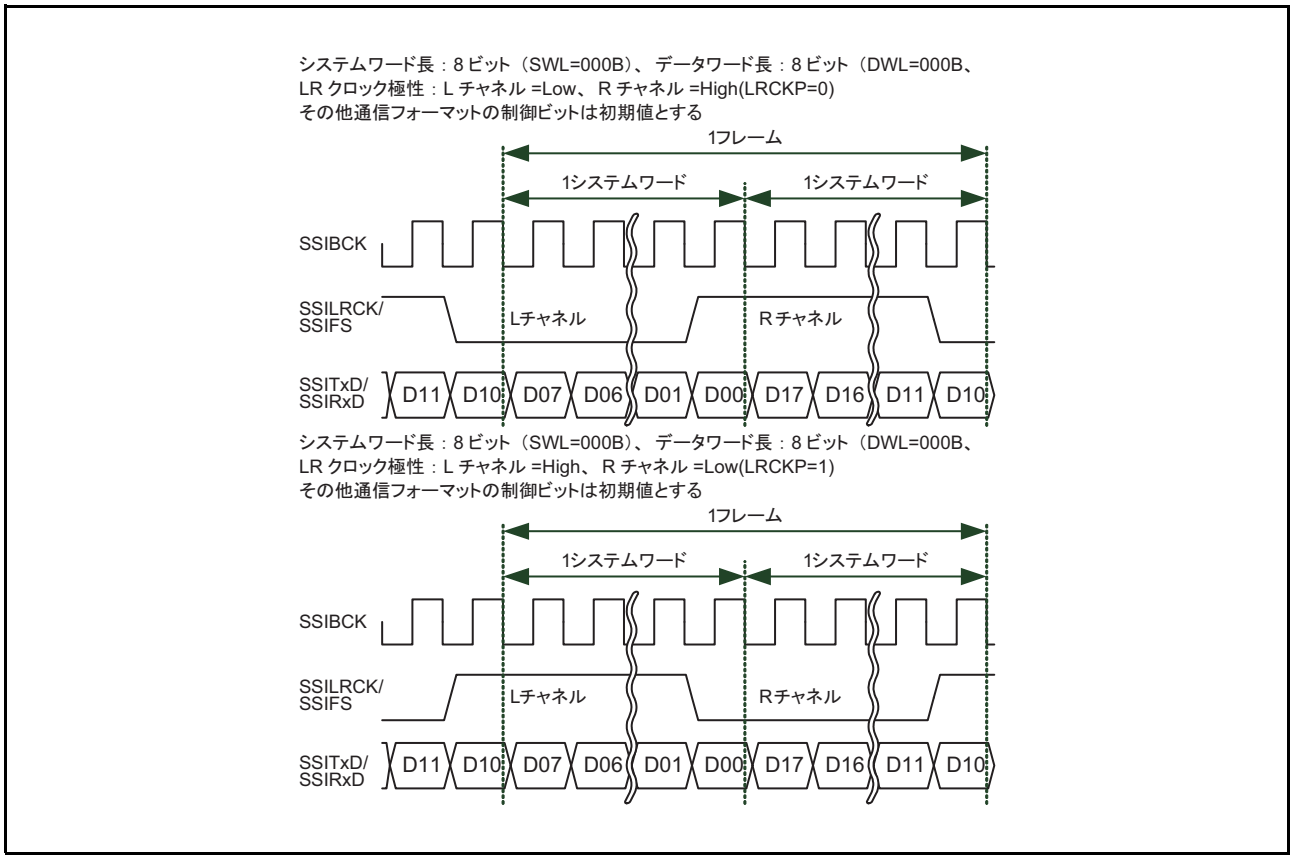


図 24.5　　LR クロック／フレームシンク極性の設定

- SPDP ビット

本ビットはパディングビットの極性を設定します。

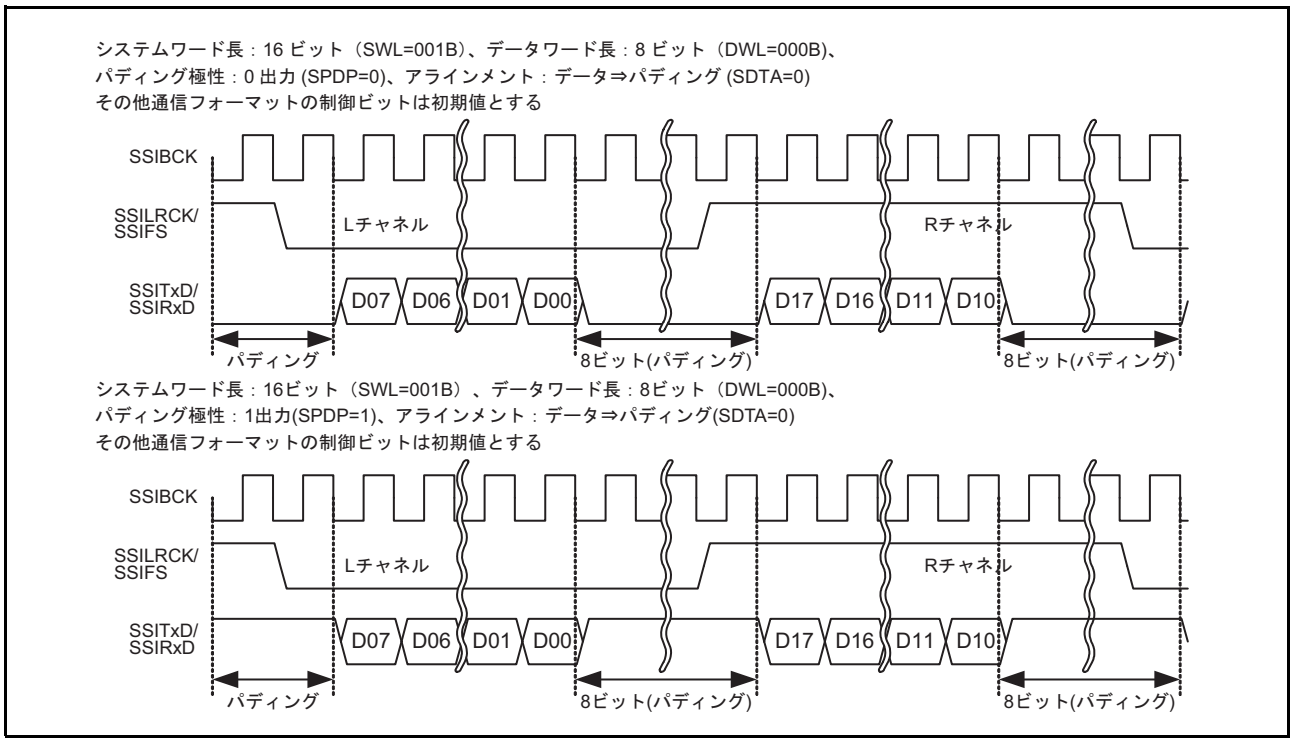


図 24.6　　パディング極性の設定

- SDTA ビット

本ビットはシリアルデータとパディングビットのアラインメントを設定します。パディングビットがない通信の場合には、本ビットは無効です。

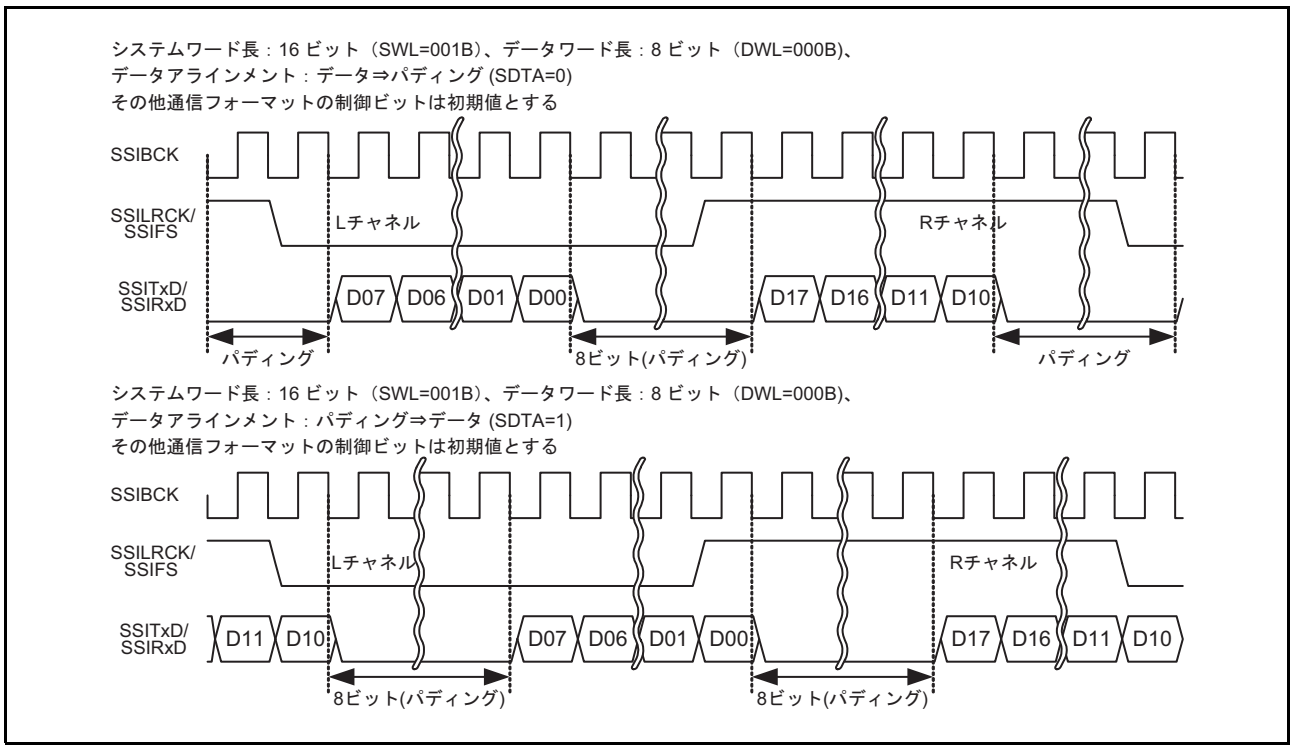


図 24.7　　パディングありのシリアルデータアラインメント設定

- PDTA ビット

本ビットは配置データのアラインメントを設定します。データワード長を 32 ビット設定（DWL[2:0] = 110B）した場合、本ビットは無効です。

送信時：

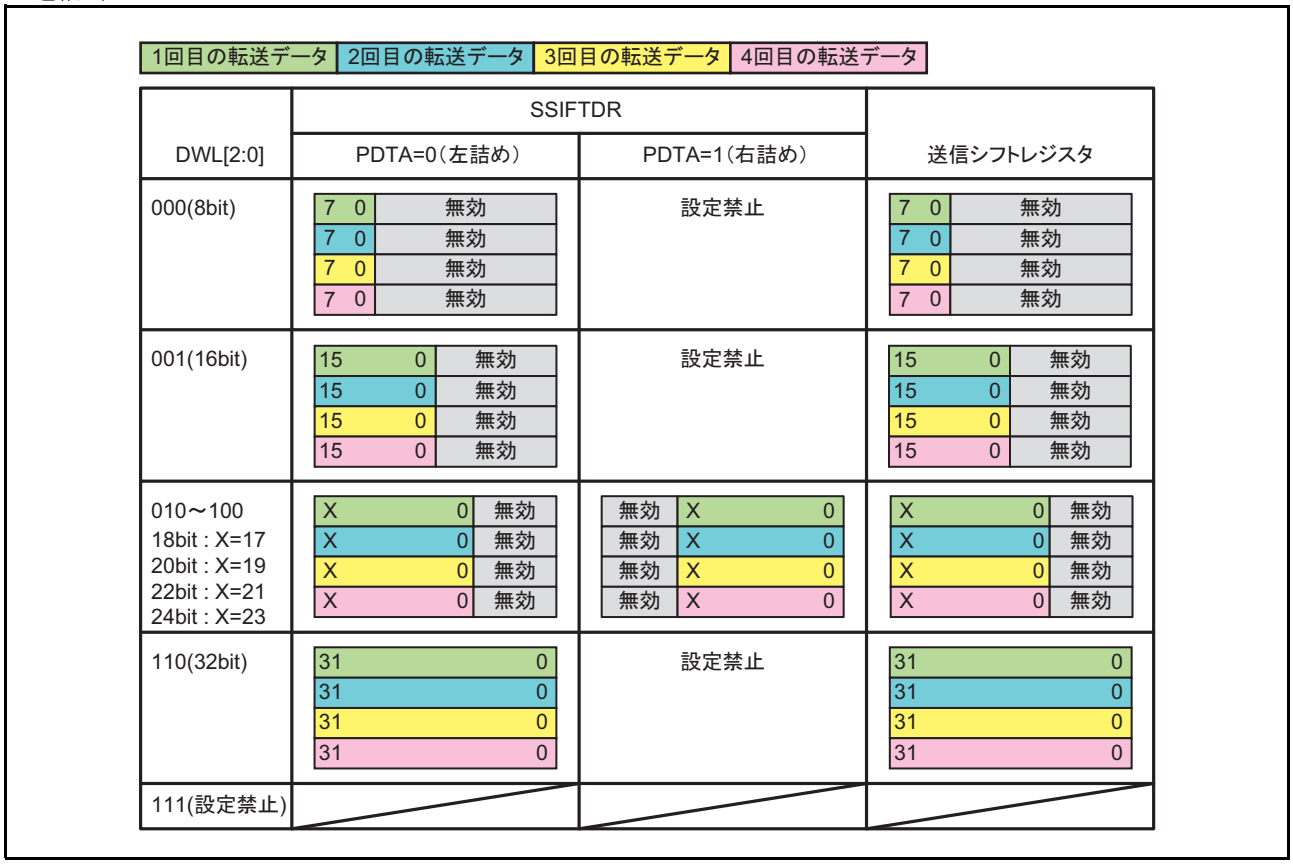


図 24.8　　送信時の配置データアラインメント

受信時：

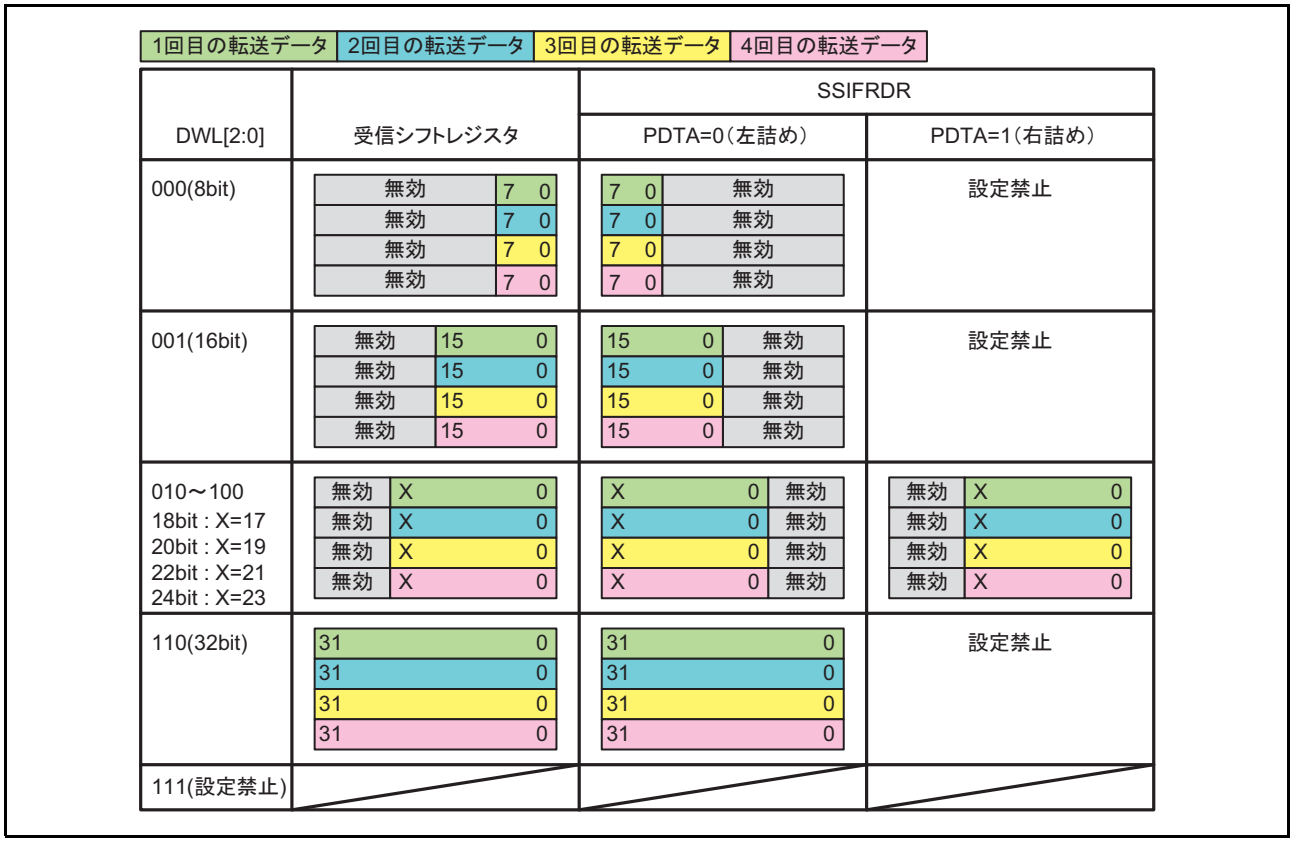


図 24.9　　図 4.5 受信時の配置データアラインメント

- DEL ビット

本ビットは SSILRCK/SSIFS と SSITxD/SSIRxD 間の遅延有無を設定します。

I^2S フォーマットと TDM フォーマットの場合には、DEL = '0' を設定してください（図 24.10）。モノラルフォーマットの場合には、SSILRCK/SSIFS の H 幅が変わります。詳細は「24.4.2.2　モノラルフォーマット」を参照してください。互換性のある通信フォーマットの場合には、通信可能な設定をしてください。

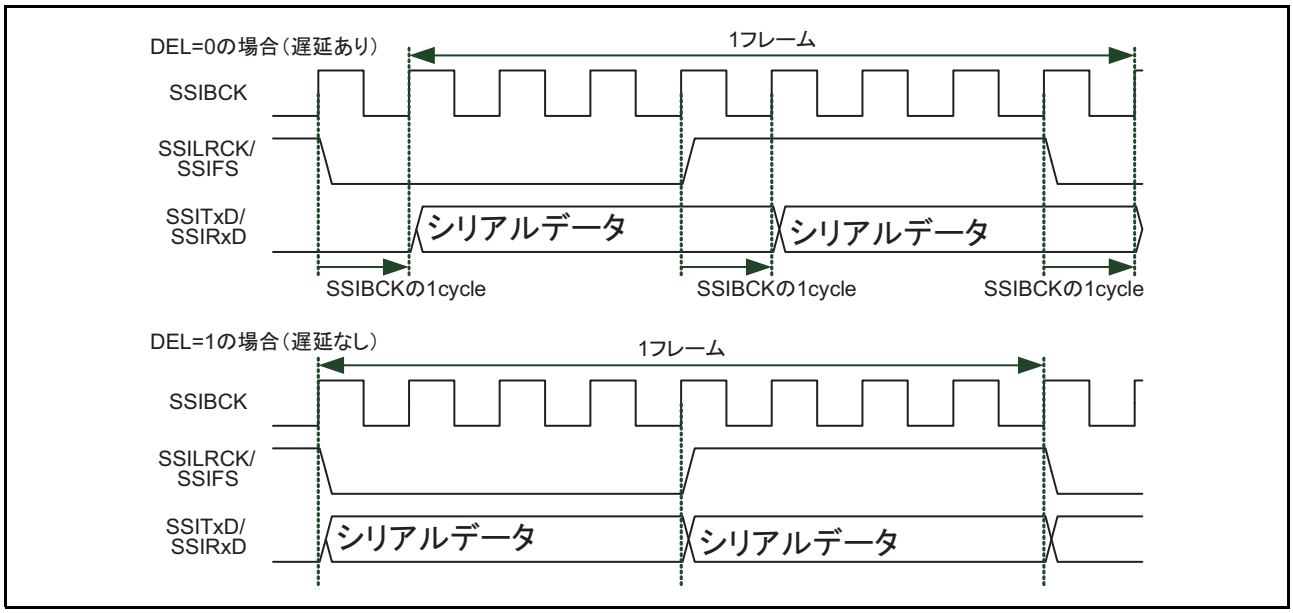


図 24.10　　シリアルデータの遅延設定

- CKDV[3:0] ビット

本ビットはマスタ通信時 (MST = ’1’) の AUDIO_MCK を基準にビットクロックの分周比を設定します（図 24.11）。スレーブ通信時 (MST = ’0’) の場合、本ビットは無効です。

本ビットの書き換えは、AUDIO_MCK 供給停止時に行ってください。詳細タイミングは「24.4.1.3　FIFO コントロールレジスタ (SSIFCR)」の AUCKE ビット詳細説明を参照してください。

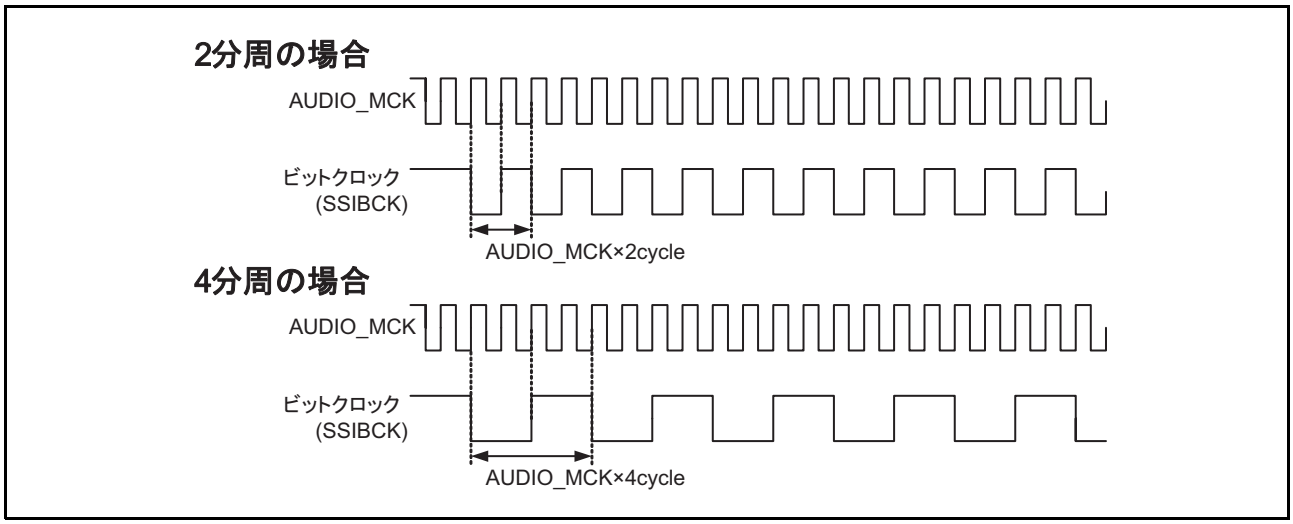


図 24.11　マスタ通信時のサンプリング周波数

- MUEN ビット

本ビットは SSITxD 端子から出力するデータのミュート機能を設定します。本ビットを '1' に設定した場合には、次のフレーム境界から SSITxD の出力値を '0' にすることができます。本ビットを '0' に設定した場合には、次のフレーム境界から SSITxD の出力値を FIFO 送信データレジスタのデータにすることができます。本ビットの制御はデータ固定だけのため、ステータスフラグや割り込み信号は通常通り発生します。

本ビットの書き換えは、通信フォーマットを設定完了した後に設定してください。

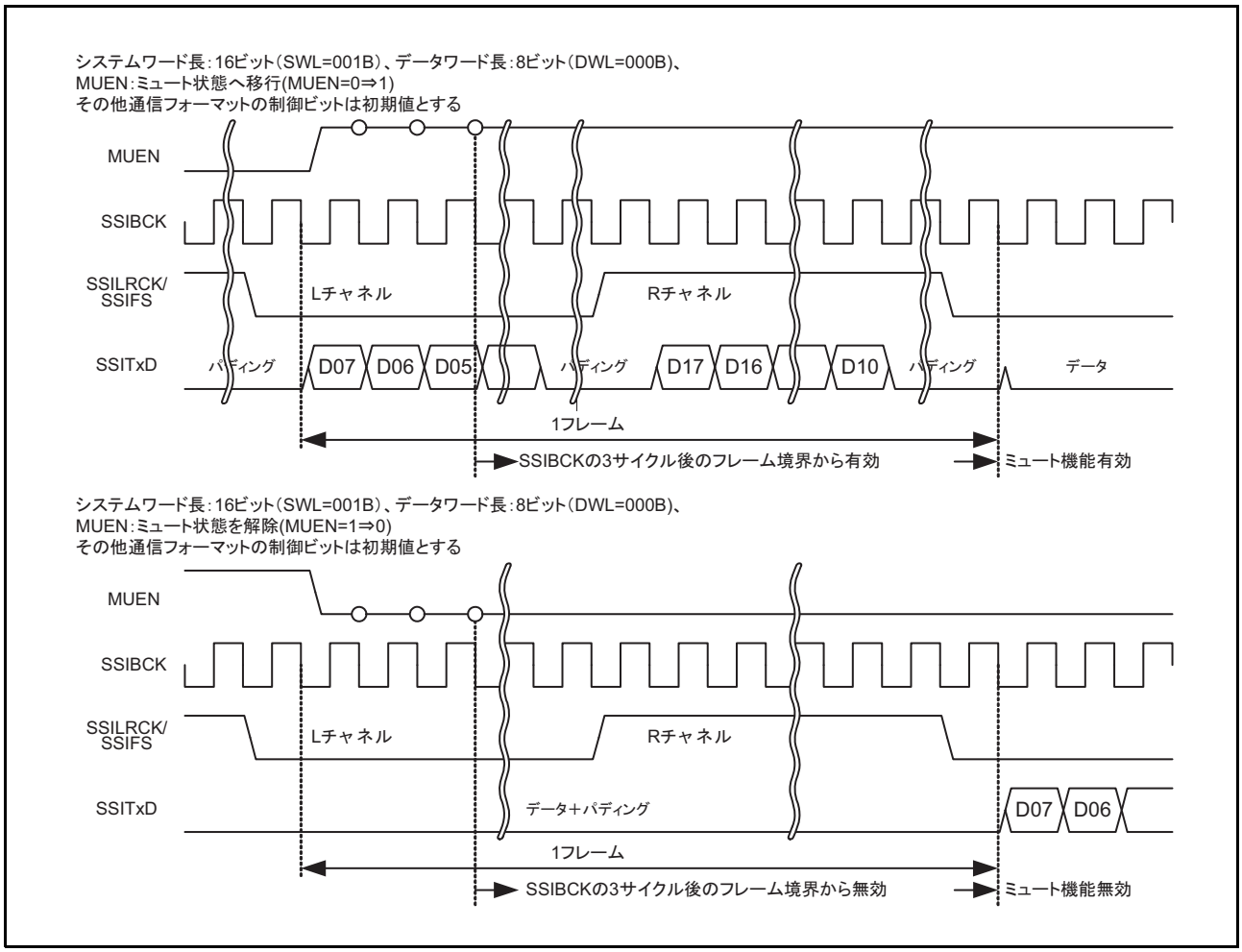


図 24.12　ミュート機能設定時の送信データ

- TEN ビット、REN ビット

本ビットは送信／受信動作の許可／禁止を設定します。本ビットへ 1 を書き込んだ場合、SSILRCK/SSIFS の開始トリガに同期して通信動作を開始します。詳細は「24.5.2.2　送信動作」「24.5.2.3　受信動作」「24.5.2.4　送受信動作」を参照してください。本ビットへ 0 を書き込んだ場合、次のフレーム境界で通信動作を停止します。SSIF-2 を送受信として使用する場合には、必ず同時に 1 を設定してください。また SSIF-2 の通信を停止する場合には必ず送受信停止（TEN = 0 かつ REN = 0）を設定してください。

フレーム境界を待たずに SSIF-2 を停止したい場合には、ソフトウェアリセット手順に従ってください。

24.4.1.2　ステータスレジスタ (SSISR)

SSISR は読み出し／書き込み可能な 32 ビットのレジスタです。このレジスタは SSIF-2 の動作状態を示すステータスフラグで構成されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W0	R/W0	R/W0	R/W0	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～30	—	00B	R	予約ビット。0を設定してください。読み出すと0が読めます。
29	TUIRQ	0	R/W0	送信アンダフローエラーステータスフラグ 0：送信アンダフローエラーなし 1：送信アンダフローエラー発生
28	TOIRQ	0	R/W0	送信オーバフローエラーステータスフラグ 0：送信オーバフローエラーなし 1：送信オーバフローエラー発生
27	RUIRQ	0	R/W0	受信アンダフローエラーステータスフラグ 0：受信アンダフローエラーなし 1：受信アンダフローエラー発生
26	ROIRQ	0	R/W0	受信オーバフローエラーステータスフラグ 0：受信オーバフローエラーなし 1：受信オーバフローエラー発生
25	IIRQ	1	R	アイドルモードステータスフラグ 0：通信状態 1：アイドル状態
24～0	—	0000000H	R	予約ビット。0を設定してください。読み出すと0が読めます。

- TUIRQ ビット

本ビットは送信アンダフローエラーを示すステータスフラグです。本フラグのセット動作は自動判定しますが、クリア動作はレジスタアクセスにてクリアする必要があります。本フラグは送信動作の 1 フレームより 1 フレームに必要なシリアルデータを SSIFTDR の書き込みが遅かったことを示します。本フラグが '1' となった後、本フラグをクリアしても SSIFTxD の出力値は 0 です。送信 FIFO データレジスタ（SSIFTDR）へ書き込んだデータを SSIFTxD 端子へ出力するためには、**「24.5.2.5　通信停止動作」**の**図 24.55** と、**「24.5.2.6　エラー動作」**の**図 24.56** に従ってください。エラー発生後の復帰手順は**「24.5.2.6　エラー動作」**を参照してください。本フラグは送信 FIFO データレジスタリセット (SSIFCR.TFRST) によってクリアしません。

[クリアとセットの優先順位]

セット動作優先 (注意 1)

[クリア条件]

下記のいずれかが成立したとき

(1) 本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込んだ場合 (注意 2)

(2) 通信許可 (SSICR.TEN を 0 から 1 に変更) した場合

[クリアタイミング]

上記クリア条件別のタイミング

(1) 本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込み完了時（**図 24.13**）

(2) SSICR.TEN = ’1’ を書き込み完了して P1φ の 1 サイクル後（**図 24.13**）

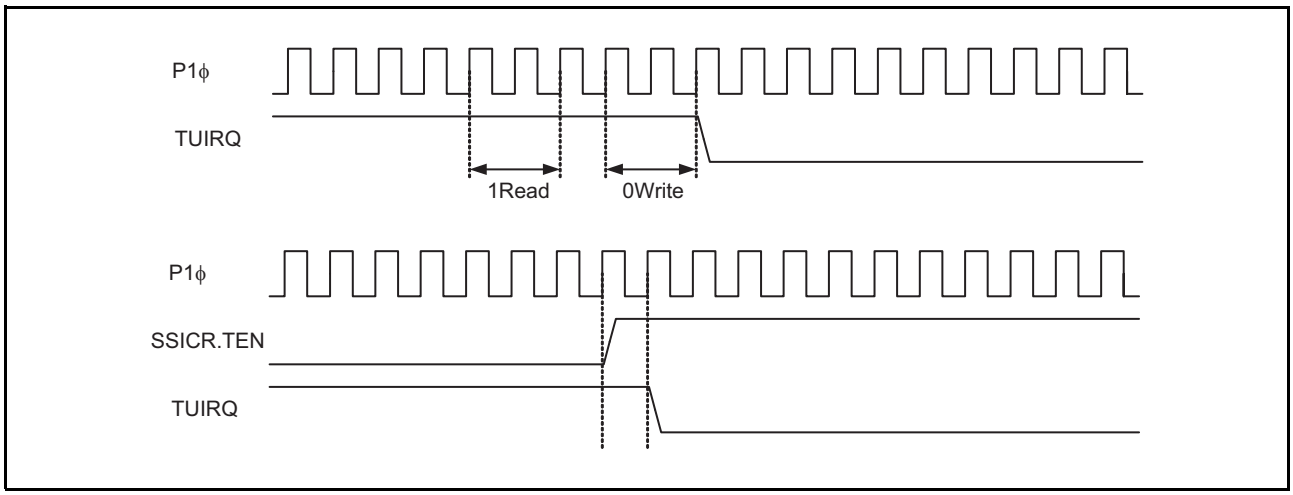


図 24.13　TUIRQ のクリアタイミング

注意 1. 本ビットはソフトウェアリセット (SSIFCR.SSIRST = ’1’) のクリア対象ビットです。ソフトウェアリセットは上記の優先順位より優先です。

2. ’1’ を読み出した状態は次の 3 つの条件でクリアします。
   - ソフトウェアリセット (SSIFCR.SSIRST = ’1’)
   - ’1’ を読み出した後、’0’ を書き込みが完了時
   - SSICR.TEN = ’1’ を書き込み完了して P1φ の 1 サイクル後

3. 通信許可（SSICR.TEN を ’0’ から ’1’ を書き込み）後、送信エラーフラグ (SSISR レジスタの TOIRQ、TUIRQ) はクリアします。しかし、連続して SSISR レジスタをリードした場合には、送信エラーフラグのクリア状態を読み出せないことがあります。

[セット条件]

通信を継続するフレーム境界時に SSIFTDR の送信データが次の 1 フレーム分書き込まれていない場合（図 24.14、図 24.15）

[セットタイミング]

フレーム境界から P1φ の 3 サイクル後（図 24.14）。

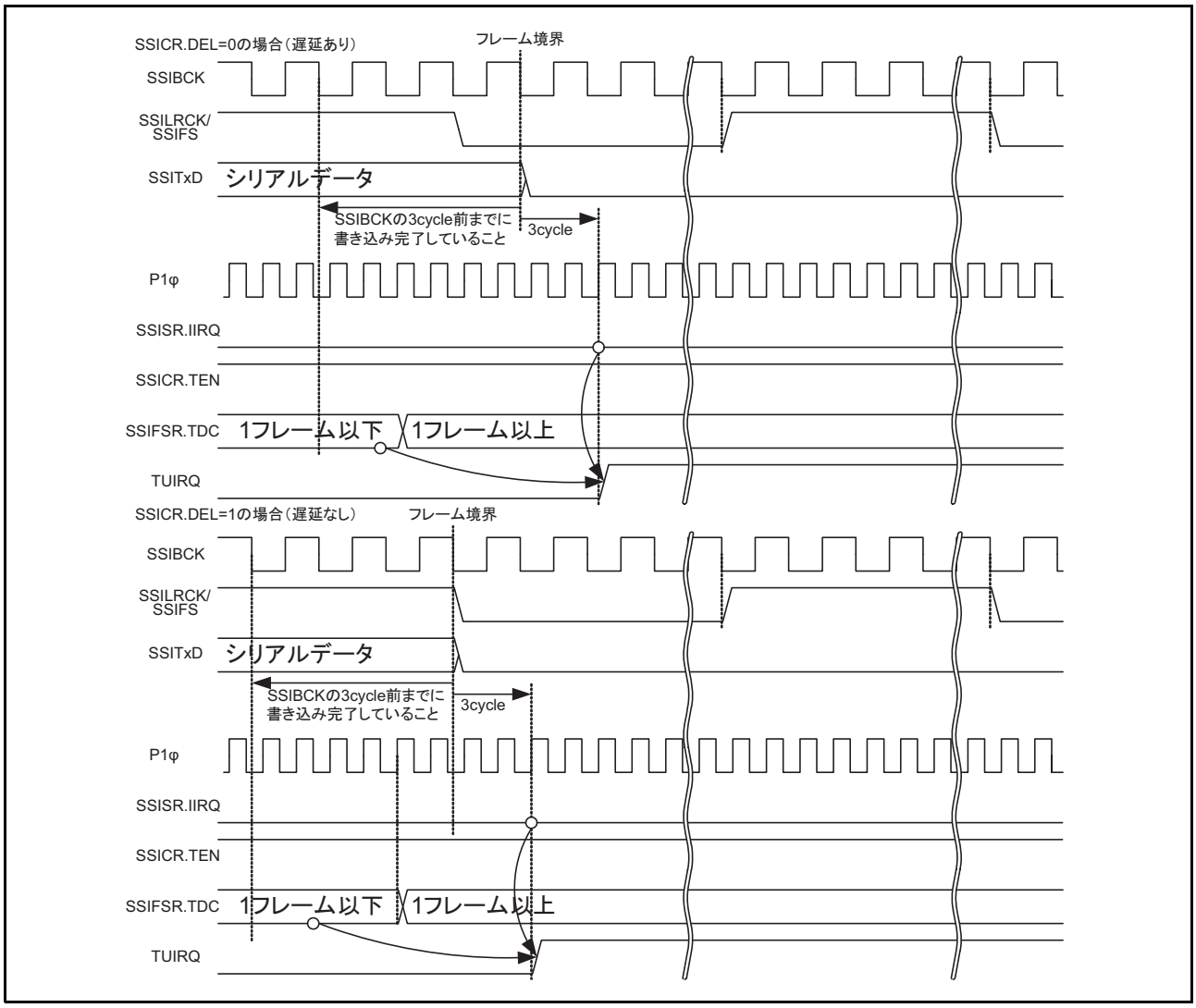


図 24.14　TUIRQ のセットタイミング (通信を継続する場合)

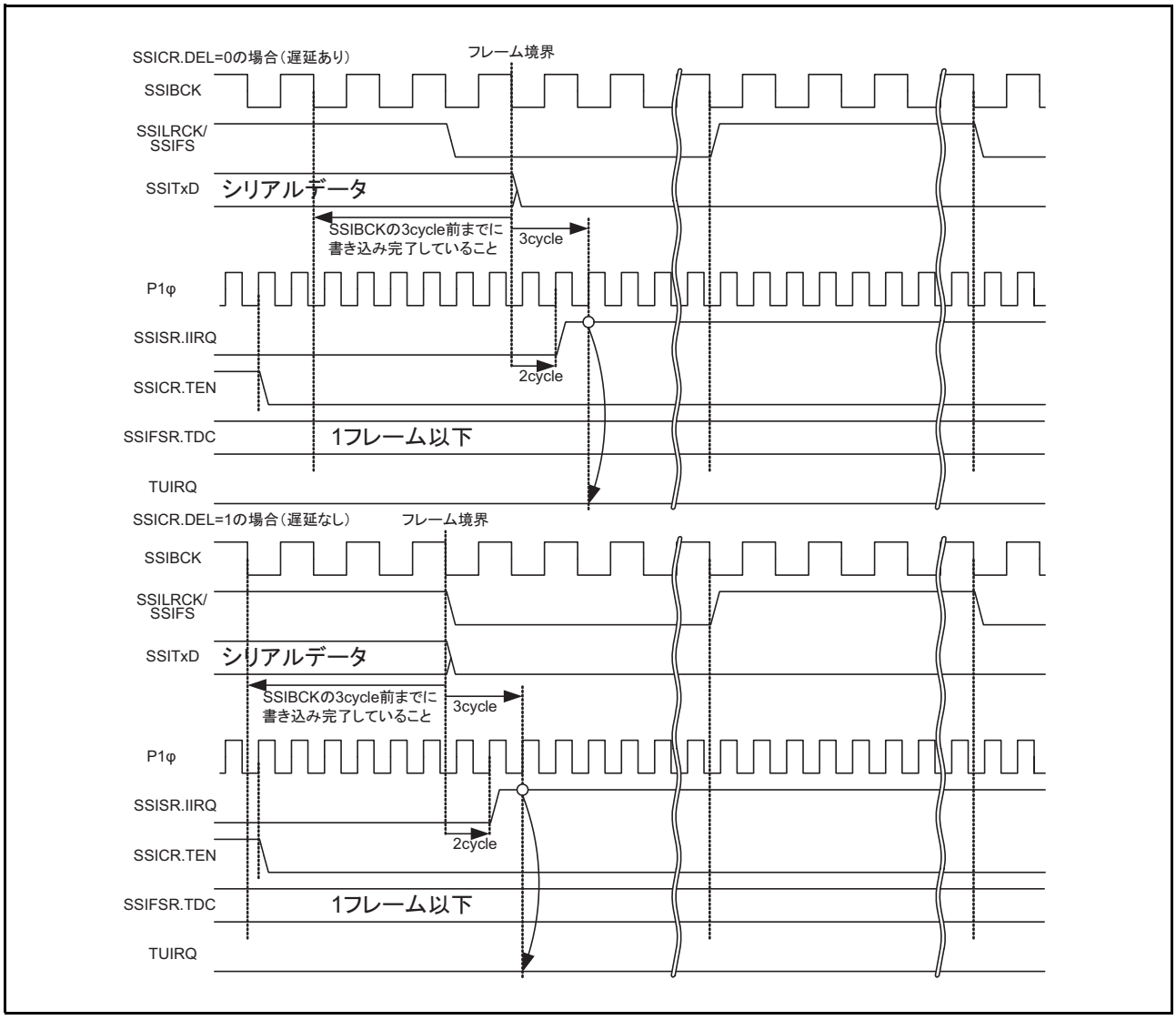


図 24.15　TUIRQ のセットタイミング (通信を停止する場合)

- TOIRQ ビット

本ビットは送信オーバフローエラーを示すステータスフラグです。本フラグのセット動作は自動判定しますが、クリア動作はレジスタアクセスにてクリアする必要があります。本フラグは SSIFTDR がデータフルの状態で SSIFTDR へ書き込んだことを示します。送信オーバフローが発生した書き込みは無効です。エラー発生後の復帰手順は「24.5.2.6　エラー動作」を参照してください。本フラグは送信 FIFO データレジスタリセット (SSIFCR.TFRST) によってクリアしません。

[クリアとセットの優先順位]

セット動作優先 (注意 1)

[クリア条件]

下記のいずれかが成立したとき

(1) 本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込んだ場合 (注意 2)

(2) 通信許可 (SSICR.TEN を 0 から 1 に変更) した場合

[クリアタイミング]

上記クリア条件別のタイミング

(1) 本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込み完了時（図 24.13 と同様）

(2) SSICR.TEN = ’1’ を書き込み完了して P1φ の 1 サイクル後（図 24.13）

注意 1. 本ビットはソフトウェアリセット (SSIFCR.SSIRST = ’1’) のクリア対象ビットです。ソフトウェアリセットは上記の優先順位より優先です。

2. ’1’ を読み出した状態は次の 3 つの条件でクリアします。
   - ソフトウェアリセット (SSIFCR.SSIRST = ’1’)
   - ’1’ を読み出した後、’0’ を書き込みが完了した時
   - SSICR.TEN = ’1’ を書き込み完了して P1φ の 1 サイクル後

3. 通信許可（SSICR.TEN を ’0’ から ’1’ を書き込み）後、送信エラーフラグ (SSISR レジスタの TOIRQ、TUIRQ) はクリアします。しかし、連続して SSISR レジスタをリードした場合には、送信エラーフラグのクリア状態を読み出せないことがあります。

[セット条件]

SSIFTDR がデータフルの状態で SSIFTDR へ書き込んだ場合

[セットタイミング]

SSIFTDR へ書き込みが完了した時（図 24.16）

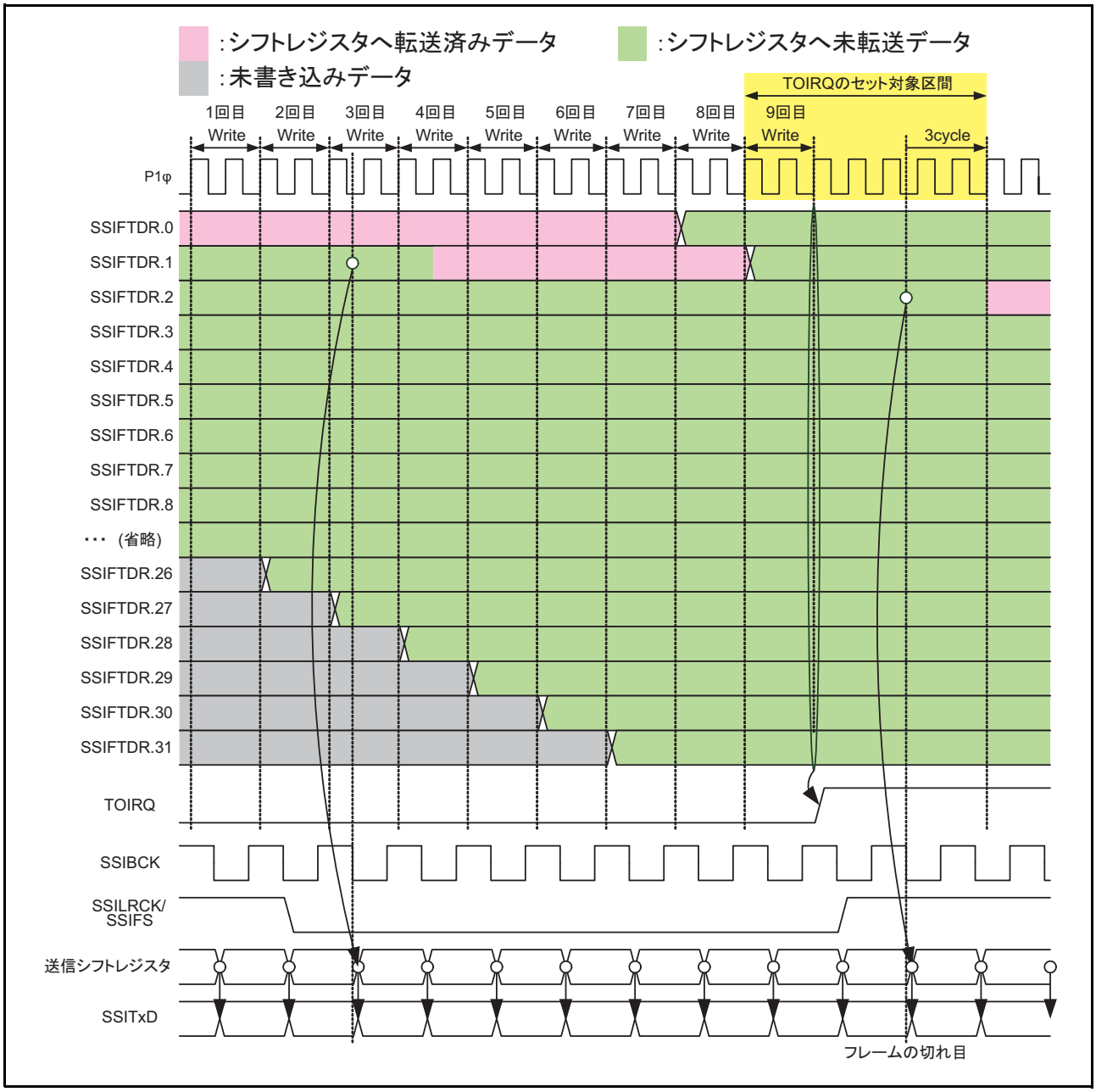


図 24.16　　OIRQ のセットタイミング

- RUIRQ ビット

本ビットは受信アンダフローエラーを示すステータスフラグです。本フラグのセット動作は自動判定しますが、クリア動作はレジスタアクセスにてクリアする必要があります。本フラグは SSIFRDR がエンプティの状態で SSIFRDR を読み出したことを示します。受信アンダフローエラーが発生する SSIFRDR の読み出し値は無効なデータです。エラー発生後の復帰手順は「24.5.2.6　**エラー動作**」を参照してください。本フラグは受信 FIFO データレジスタリセット (SSIFCR.RFRST) によってクリアしません。ただし、受信 FIFO データレジスタリセット中 (SSIFCR.RFRST = 1) に SSIFRDR を読み出してもセットしません。

[クリアとセットの優先順位]

セット動作優先（注 1）

[クリア条件]

下記のいずれかが成立したとき

（1）本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込んだ場合（注 2）
（2）通信許可 (SSICR.REN を 0 から 1 に変更) を行った場合
[クリアタイミング]
上記クリア条件別のタイミング
（1）本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込み完了時（図 24.13 と同様）
（2）SSICR.REN = ’1’ を書き込み完了して P1φ の 1 サイクル後（図 24.13）

注意 1. 本ビットはソフトウェアリセット (SSIFCR.SSIRST = ’1’) のクリア対象ビットです。ソフトウェアリセットは上記の優先順位より優先です。
2. ’1’ を読み出した状態は次の 3 つの条件でクリアします。
・ソフトウェアリセット (SSIFCR.SSIRST = ’1’)
・’1’ を読み出した後、’0’ を書き込みが完了時
・SSICR.REN = ’1’ を書き込み完了して P1φ の 1 サイクル後
3. 通信許可（SSICR.REN を ’0’ から ’1’ を書き込み）後、受信エラーフラグ (SSISR レジスタの RUIRQ と ROIRQ) はクリアします。連続して SSISR レジスタをリードした場合には、受信エラーフラグのクリア状態を読み出せません。

[セット条件]
SSIFRDR がエンプティの状態で SSIFRDR を読み出した場合
[セットタイミング]
SSIFRDR が読み出し完了した時（図 24.17）

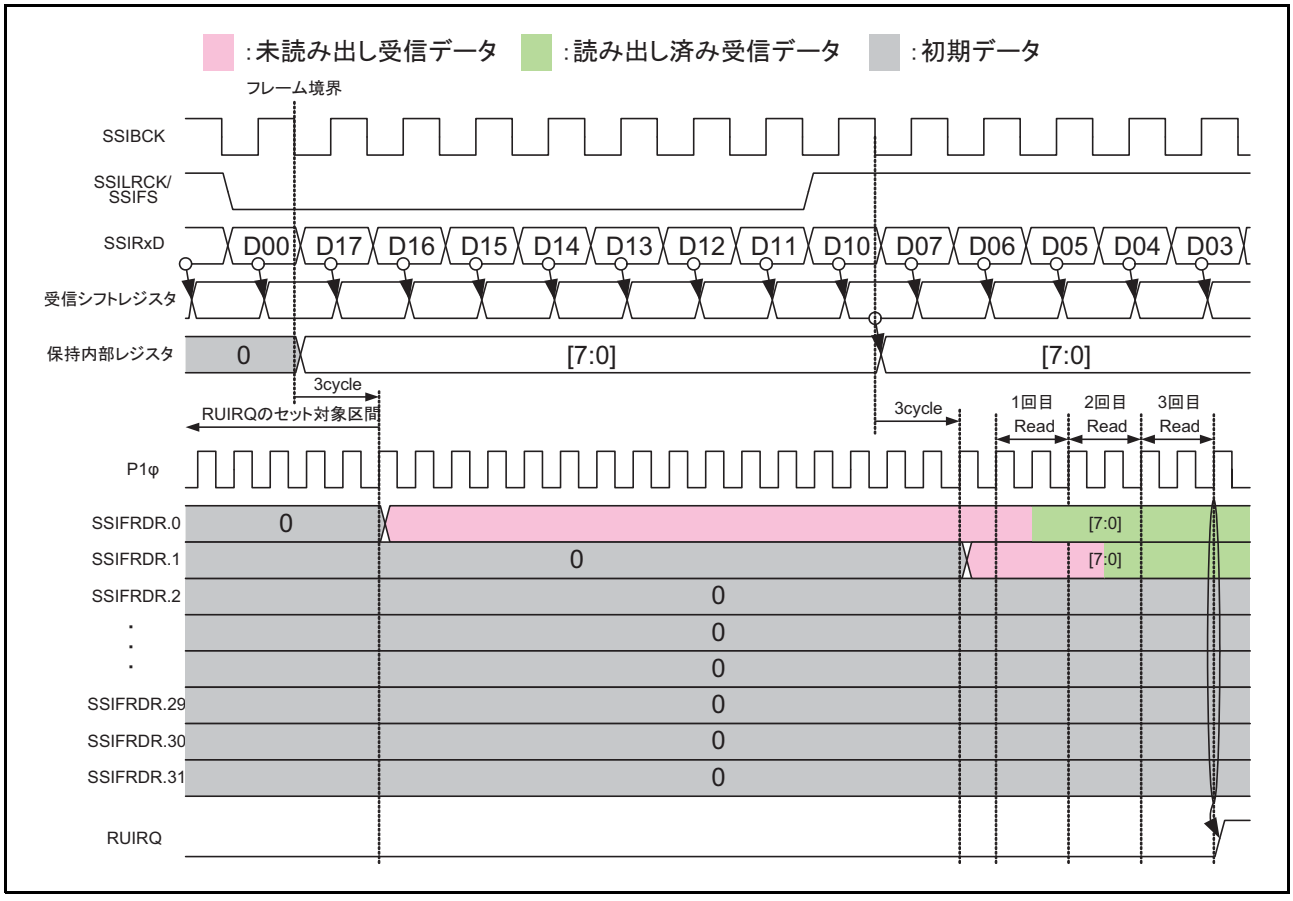


図 24.17　RUIRQ のセットタイミング

- ROIRQ ビット

本ビットは受信オーバフローエラーを示すステータスフラグです。本フラグのセット動作は自動判定しますが、クリア動作はレジスタアクセスにてクリアする必要があります。本フラグは要求レートより高いレートで受信データが供給されたことを示します。受信オーバフローエラーが発生する受信動作では受信シフトレジスタから SSIFRDR へのデータ転送は行われません。エラー発生後の復帰手順は「24.5.2.6　エラー動作」を参照してください。本フラグは受信 FIFO データレジスタリセット (SSIFCR.RFRST) によってクリアしません。

[クリアとセットの優先順位]

セット動作優先（注 1）

[クリア条件]

下記のいずれかが成立したとき

(1) 本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込んだ場合（注 2）

(2) 通信許可 (SSICR.REN を 0 から 1 に変更) した場合

[クリアタイミング]

上記クリア条件別のタイミング

(1) 本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込み完了時（図 24.13 と同様）

(2) SSICR.REN = ’1’ を書き込み完了して P1φ の 1 サイクル後（図 24.13）

注意 1. 本ビットはソフトウェアリセット (SSIFCR.SSIRST = ’1’) のクリア対象ビットです。 ソフトウェアリセットは上記の優先順位より優先です。

2. ’1’ を読み出した状態は次の 3 つの条件でクリアします。
   - ソフトウェアリセット (SSIFCR.SSIRST = ’1’)
   - ’1’ を読み出した後、’0’ を書き込みが完了時
   - SSICR.REN = ’1’ を書き込み完了して P1φ の 1 サイクル後

3. 通信許可（SSICR.REN を ’0’ から ’1’ を書き込み）後、受信エラーフラグ (SSISR レジスタの RUIRQ と ROIRQ) はクリアします。連続して SSISR レジスタをリードした場合には、受信エラーフラグのクリア状態を読み出せません。

[セット条件]

SSIFRDR にデータ空きがない状態で新たなデータを受信完了した場合

[セットタイミング]

受信完了して P1φ の 3 サイクル後（図 24.18）

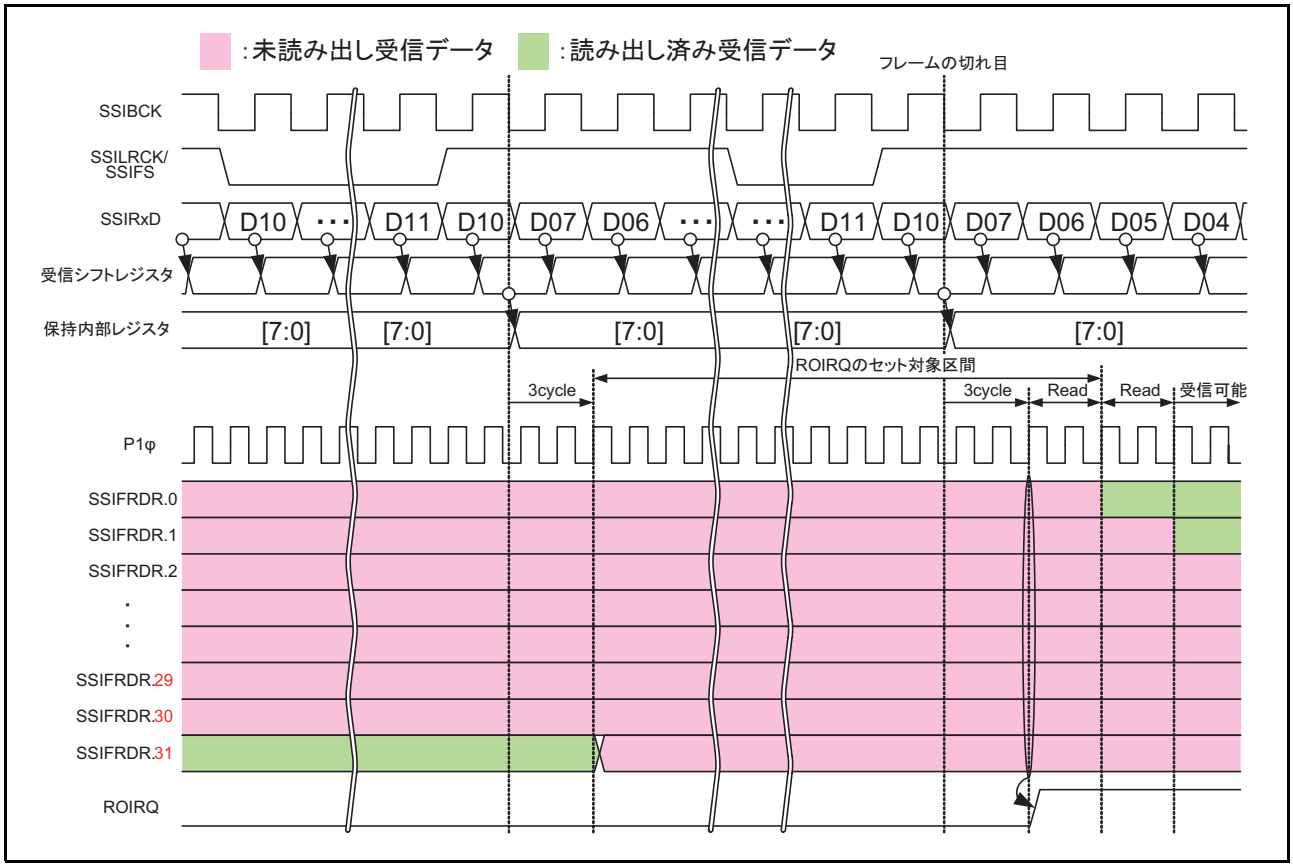


図 24.18　　ROIRQ のセットタイミング

- IIRQ ビット

本ビットはアイドル状態を示すステータスフラグです。本フラグは SSIF-2 がアイドル状態にあるか通信状態にあるかを示します（図 24.19、図 24.20）。

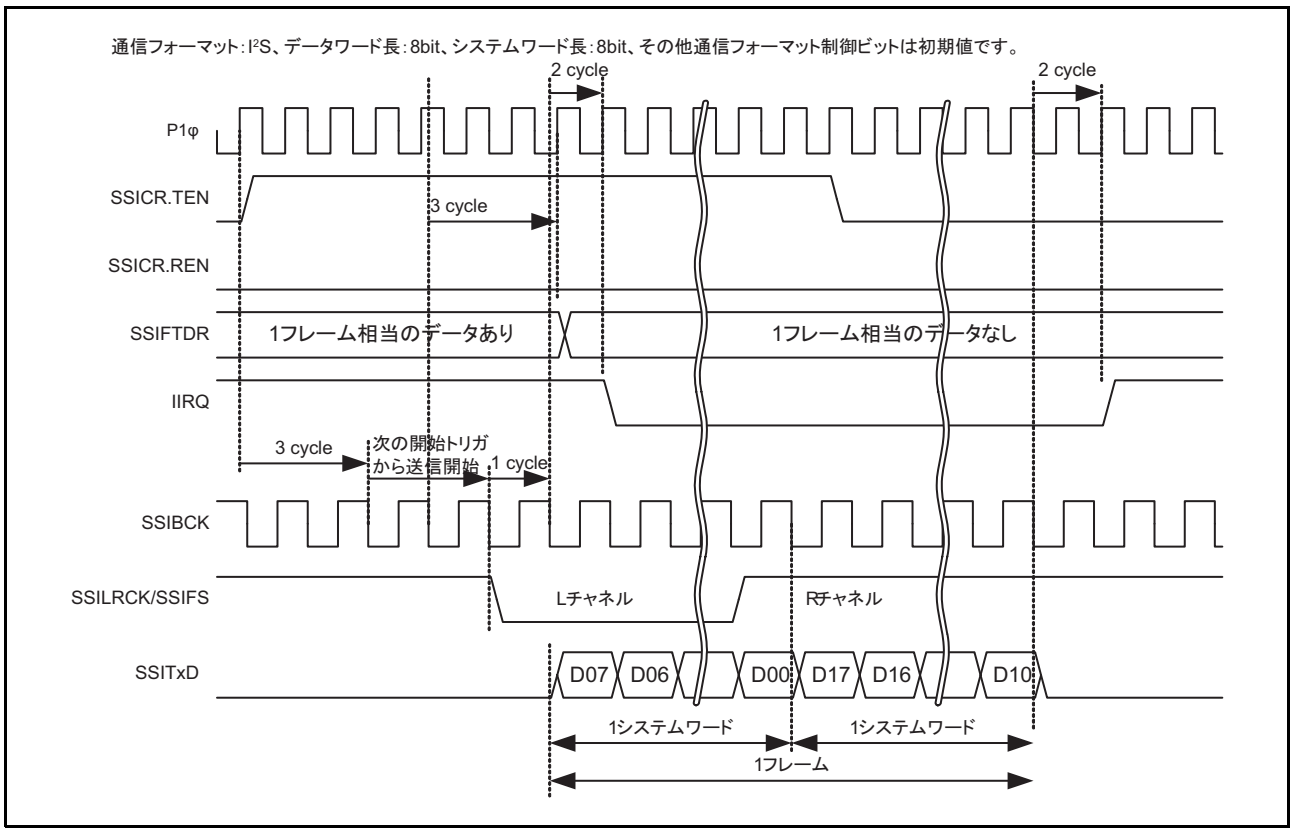


図 24.19　IIRQ のセットタイミング (送信動作)

- トランスミッタ（送信動作のみ）

[クリア条件]

送信動作許可（SSICR.TEN = 1 かつ SSICR.REN = 0）状態で 1 フレーム相当の送信データを SSIFTDR へ書き込み完了して SSILRCK/SSIFS に開始トリガが発生した場合

[クリアタイミング]

クリア条件の開始トリガが発生した SSIBCK の 1 サイクル＋ P1φ の 2 サイクル

[セット条件]

送受信動作禁止（SSICR.TEN = 0 かつ SSICR.REN = 0）状態で 1 フレームの送信が完了した場合

[セットタイミング]

セット条件の送信完了 (フレーム境界) から P1φ の 2 サイクル

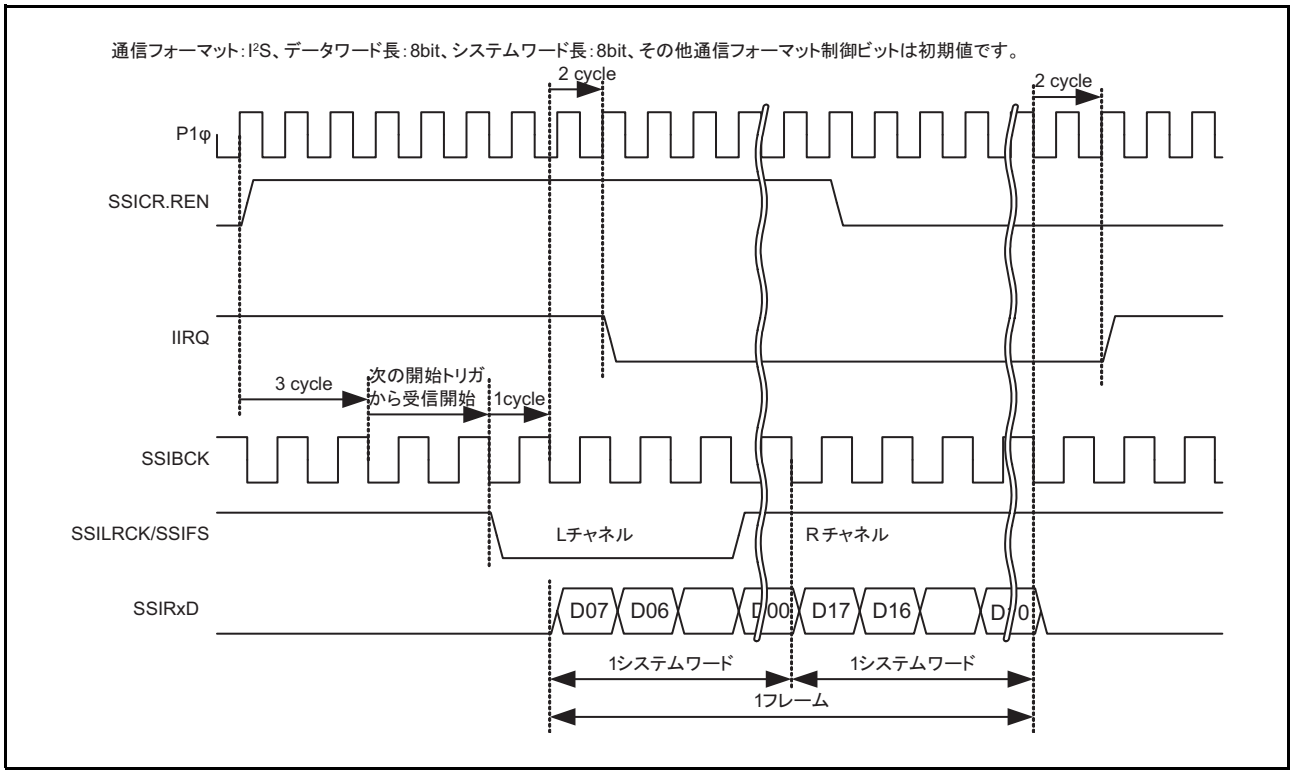


図 24.20　IIRQ のセットタイミング (受信動作)

- レシーバ（受信動作のみ）

[クリア条件]

受信動作許可（SSICR.TEN = 0 かつ SSICR.REN = 1）状態で SSILRCK/SSIFS に開始トリガが発生した場合

[クリアタイミング]

クリア条件の開始トリガが発生した SSIBCK の 1 サイクル＋ P1φ の 2 サイクル

[セット条件]

送受信動作禁止（SSICR.TEN = 0 かつ SSICR.REN = 0）状態で 1 フレームの受信が完了した場合

[セットタイミング]

セット条件の受信完了 (フレーム境界) から P1φ の 2 サイクル

- トランシーバ（送受信動作）

[クリア条件]

送受信動作許可（SSICR.TEN = 1 かつ SSICR.REN = 1）状態で 1 フレーム相当の送信データを SSIFTDR へ書き込み完了して SSILRCK/SSIFS に開始トリガが発生した場合

[クリアタイミング]

クリア条件の開始トリガが発生した SSIBCK の 1 サイクル＋ P1φ の 2 サイクル

[セット条件]

送受信動作禁止（SSICR.TEN = 0 かつ SSICR.REN = 0）状態で 1 フレームの送信が完了した場合

[セットタイミング]

セット条件の送信完了 (フレーム境界) から P1φ の 2 サイクル

24.4.1.3　FIFO コントロールレジスタ (SSIFCR)

SSIFCR は読み出し／書き込み可能な 32 ビットのレジスタです。このレジスタはソフトウェアリセット、バイトスワップ、ノイズキャンセラ、および割り込み要求許可の設定を行うレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AUCKE	–	–	–	–	–	–	–	–	–	–	–	–	–	–	SSIRST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	BSW	BCKNCE	LRCKNCE	RXDNCE	–	–	–	–	TIE	RIE	TFRST	RFRST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	AUCKE	0	R/W	マスタ通信時のAUDIO_MCKイネーブル *1 0：AUDIO_MCKの供給停止 1：AUDIO_MCKの供給許可
30～17	–	0000H	R	予約ビット。0を設定してください。読み出すと0が読めます。
16	SSIRST	0	R/W	ソフトウェアリセット 0：ソフトウェアリセット解除 1：ソフトウェアリセット状態
15～12	–	0H	R	予約ビット。0を設定してください。読み出すと0が読めます。
11	BSW	0	R/W	バイトスワップイネーブル *1 0：バイトスワップ禁止 1：バイトスワップ許可
10	BCKNCE	0	R/W	スレーブ通信時のノイズキャンセライネーブル（SSIBCK) *1*2 0：ノイズキャンセラ禁止（バイパス） 1：ノイズキャンセラ許可
9	LRCKNCE	0	R/W	スレーブ通信時のノイズキャンセライネーブル（SSILRCK/SSIFS) *1*2 0：ノイズキャンセラ禁止（バイパス） 1：ノイズキャンセラ許可
8	RXDNCE	0	R/W	スレーブ通信時、受信データ入力のノイズキャンセライネーブル（SSIRxD) *1*2 0：ノイズキャンセラ禁止（バイパス） 1：ノイズキャンセラ許可
7～4	–	0H	R	予約ビット。0を設定してください。読み出すと0が読めます。
3	TIE	0	R/W	送信データエンプティ割り込み出力イネーブル 0：送信データエンプティ割り込みを禁止 1：送信データエンプティ割り込みを許可
2	RIE	0	R/W	受信データフル割り込み出力イネーブル 0：受信データフル割り込みを禁止 1：受信データフル割り込みを許可
1	TFRST	0	R/W	送信FIFOデータレジスタリセット*1 0：送信データFIFOリセット解除 1：送信データFIFOリセット状態
0	RFRST	0	R/W	受信FIFOデータレジスタリセット*1 0：受信データFIFOリセット解除 1：受信データFIFOリセット状態

注1.　SSIF-2が通信状態(SSISR.IIRQ = 0)で本ビットへの書き込みは禁止です。書き換えた場合には、動作は保証しません。
注2.　SSICR.DEL='1'での送信動作（SSICR.TEN='1'）を除くスレーブ通信時(SSICR.MST='0')時のみ '1' を設定することができます。マスター通信時(SSICR.MST='1')、または、SSICR.DEL='1'でのスレーブ送信動作（SSICR.MST='0'、SSICR.TEN='1'）時は必ず'0'を設定してください。また、BCKNCE, LRCKNCE, RXDNCEは同じ値を設定してください。

- AUCKE ビット

本ビットはマスタ通信（MST = 1）時の AUDIO_MCK の供給許可／供給禁止を設定します。

本ビットの書き換えは、AUDIO_MCK に関係する設定（SSICR レジスタの CKS、MST、BCKP、CKDV）が完了した後に行ってください。

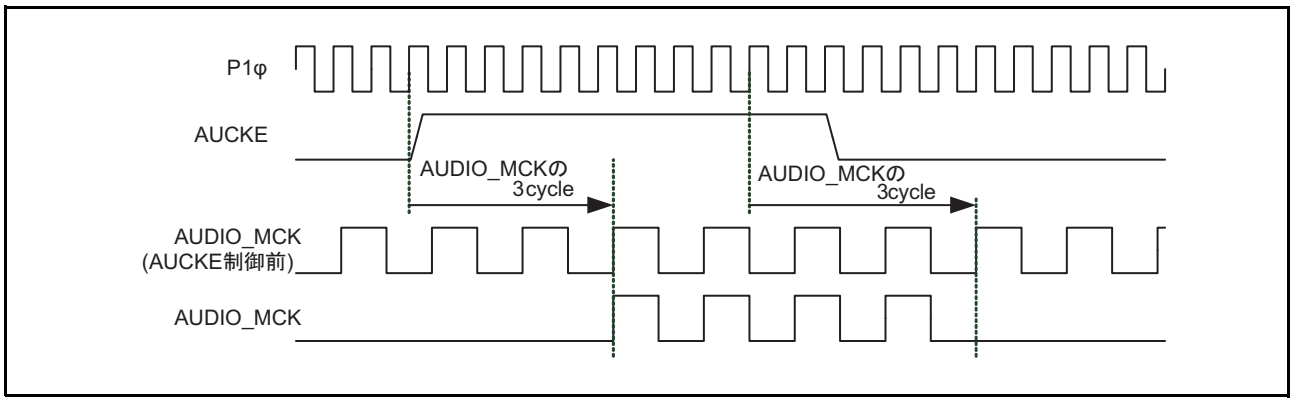


図 24.21　AUDIO_MCK の停止／再開

注意．スレーブ通信時（SSICR.MST = ’0’）、SSIF-2 は SSIBCK の供給が必要です。マスタ側の BCK の停止は、SSIF-2 がアイドル状態（SSISR.IIRQ = ’1’）を確認してから行ってください。SSIF-2 がアイドル状態になる前に BCK を停止した場合には、通信開始手順（図 24.52）を実施するか、通信再開手順（図 24.57）に従ってアイドル状態を待ってから通信を再開してください。

注意．マスタ通信時（SSICR.MST = ’1’）、SSIF-2 はオーディオクロック（AUDIO_MCK）で動いています。SSIF-2 を完全停止させる場合には、SSIF-2 がアイドル状態（SSISR.IIRQ = ’1’）を確認してから SSIFCR.ADCKE = ’0’ を書き込んでください。SSIF-2 がアイドル状態になる前に SSIFCR.ADCKE = ’0’ を書き込んだ場合には、通信開始手順（図 24.52）を実施してください。

本ビットを ’1’ に設定した後に SSIBCK 端子に出力するまでのタイミングを図 24.22 と図 24.23 に示します。

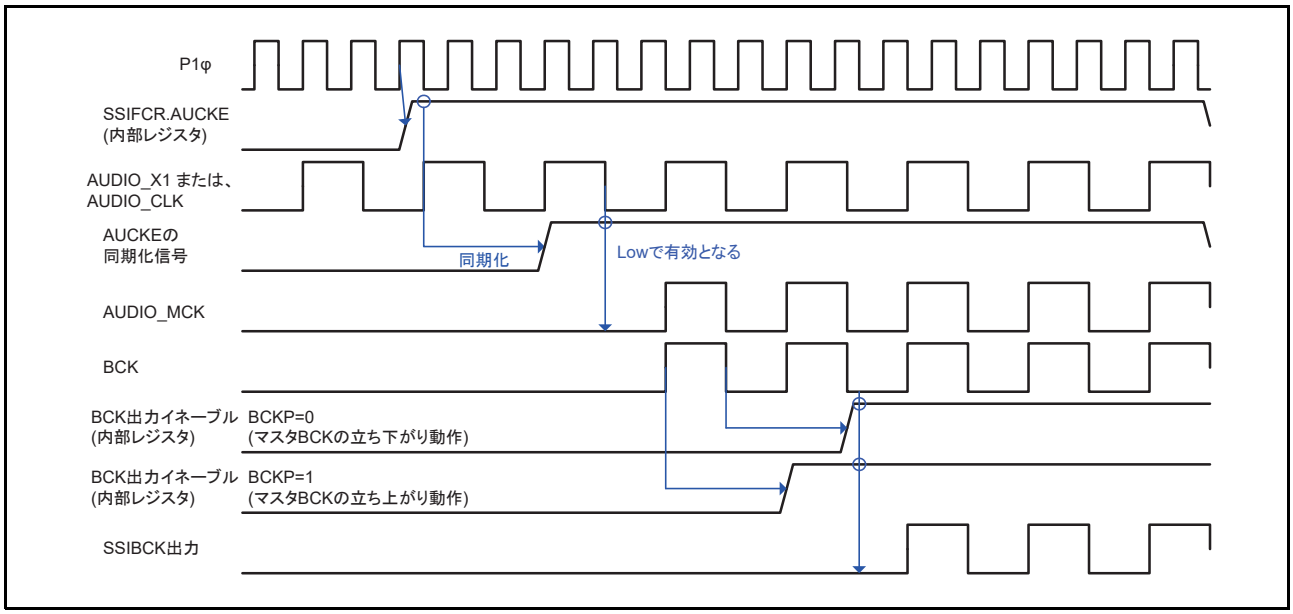


図 24.22　システムリセットからマスタ通信開始した場合のタイミングチャート

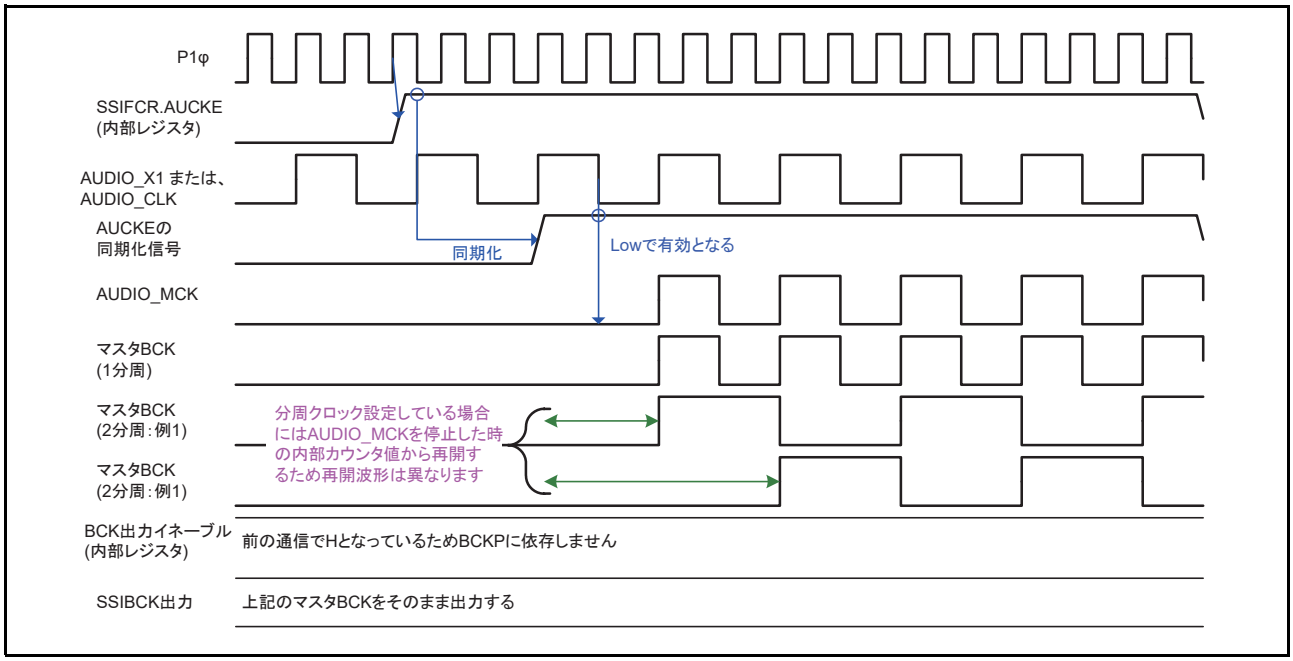


図 24.23　通信停止からマスタ通信開始した場合のタイミングチャート

注意．AUDIO_MCK の供給を停止した場合には、SSIBCK 端子は値を保持します。SSIBCK 端子が ”H” の状態で停止することがあります。

- SSIRST ビット

本ビットは SSIF-2 のソフトウェアリセットを設定します。本ビットへ ’1’ を書き込むと、SSIF-2 は内部状態を初期化します。ソフトウェアリセット対象のレジスタは、**表 24.7** の網掛け部です。本ビットは ’1’ を書き込み後、自動でクリアされないため ’0’ を書いてソフトウェアリセットを解除してください。本ビットへ ’0’ を書き込み完了後、必ず本ビットが ’0’ になったことを確認してから次の手順を行ってください。

SSIF-2 の通信動作を即停止したい場合には、周辺機能をオフに設定後、本ビットへ ’1’ を書き込んでください。このソフトウェアリセットによる初期化はビットクロックとは無関係に行われます。

表24.7　　SSIRSTビットによるソフトウェアリセット対象ビット

シンボル	アドレス（BASE+）		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	00h	+0	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	04h	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	10h	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	BCKNCE	LRCKNCE	RxDNCE	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	14h	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	18h	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	1ch	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	20h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	24h	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

- BSW ビット

本ビットは送信 FIFO データレジスタ（SSIFTDR）と受信 FIFO データレジスタ（SSIFRDR）に対するレジスタアクセスのバイトスワップ許可／禁止を設定します。本ビットは送信 FIFO データレジスタ（SSIFTDR）と受信 FIFO データレジスタ（SSIFRDR）へ 16 ビットまたは 32 ビットアクセスした時のみ有効です（図 24.24）。

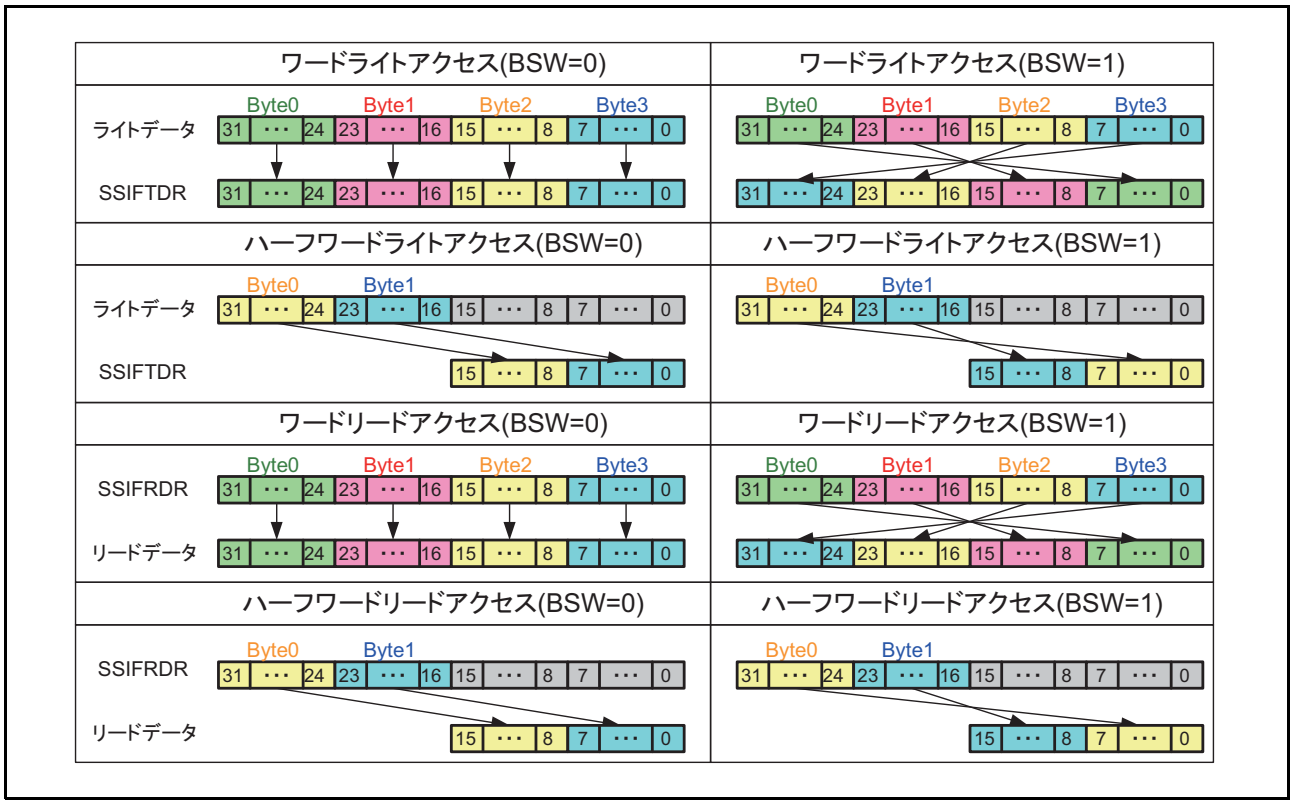


図 24.24　バイトスワップ動作例

- BCKNCE ビット

本ビットは SSICR.DEL='1' での送信動作（SSICR.TEN='1'）を除くスレーブ通信（SSICR.MST='0'）時の SSIBCK 入力信号に対して、15ns(Typ) の性能を持つノイズキャンセラの使用 / 未使用を設定します。本ビットはマスタ通信（SSICR.MST='1'）時には無効です。

マスタ通信時、または、SSICR.DEL='1' でのスレーブ送信動作（SSICR.MST='0'、SSICR.TEN='1'）時は必ず '0' を設定してください。また BCKNCE, LRCKNCE, RXDNCE は必ず同じ値を設定してください。

- LRCKNCE ビット

本ビットは SSICR.DEL='1' での送信動作（SSICR.TEN='1'）を除くスレーブ通信（SSICR.MST='0'）時の SSILRCK/SSIFS 入力信号に対して、15ns(Typ) の性能を持つノイズキャンセラの使用 / 未使用を設定します。本ビットはマスタ通信（SSICR.MST='1'）時には無効です。

マスタ通信時、または、SSICR.DEL='1' でのスレーブ送信動作（SSICR.MST='0'、SSICR.TEN='1'）時は必ず '0' を設定してください。また BCKNCE, LRCKNCE, RXDNCE は必ず同じ値を設定してください。

- RXDNCE ビット

本ビットは SSICR.DEL='1' での送信動作（SSICR.TEN='1'）を除くスレーブ通信（SSICR.MST='0'）時、かつ、受信動作許可（SSICR.REN='1'）時の SSIRxD 入力信号に対して、15ns(Typ) の性能を持つノイズキャンセラの使用 / 未使用を設定します。

本ビットはマスタ通信（SSICR.MST='1'）時、また、受信動作禁止（SSICR.REN='0'）時には無効です。

マスタ通信時、または、SSICR.DEL='1' でのスレーブ送信動作（SSICR.MST='0'、SSICR.TEN='1'）時には必ず '0' を設定してください。また BCKNCE, LRCKNCE, RXDNCE は必ず同じ値を設定してください。

- TIE ビット

本ビットは送信データエンプティ割り込みの出力許可／出力禁止を設定します。送信データエンプティ割り込みは FIFO 送信データレジスタへ書き込む割り込み要因として使用します。本ビットの設定は送信データエンプティ割り込みのセット条件 (SSISCR.TDES) を設定した後に 1 に設定してください。送信データエンプティ割り込みの発生タイミングは**図 24.25** を参照してください。

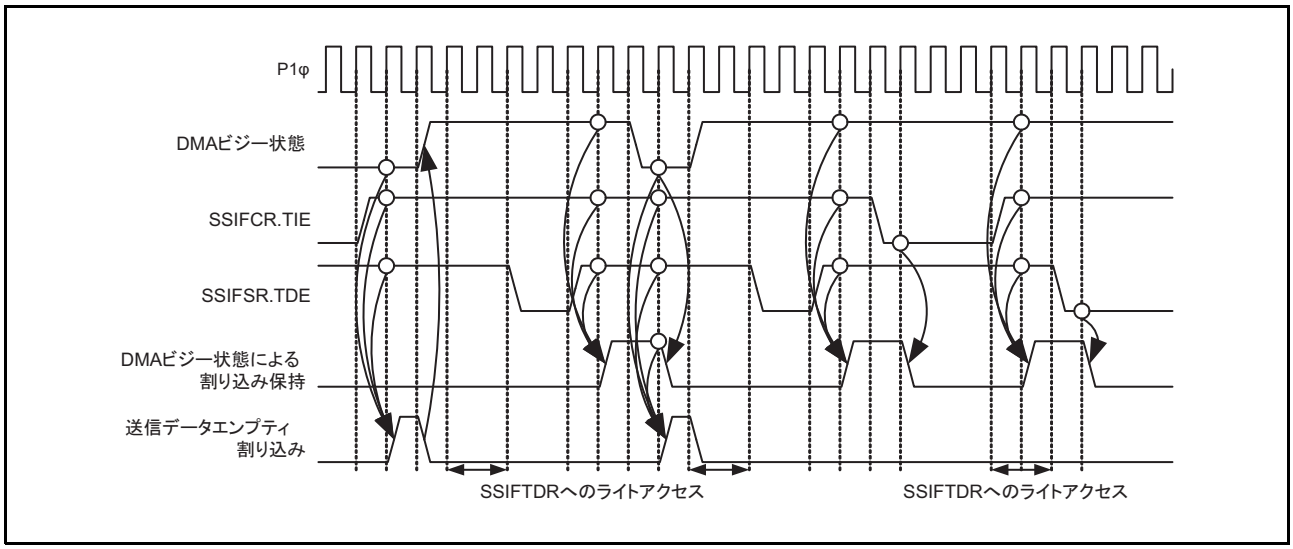


図 24.25　送信データエンプティ割り込みの発生タイミング

- RIE ビット

本ビットは受信データフル割り込みの出力許可／出力禁止を設定します。受信データエンプティ割り込みは FIFO 受信データレジスタを読み出す割り込み要因として使用します。本ビットの設定は受信データフル割り込みのセット条件 (SSISCR.RDFS) を設定した後に 1 に設定してください。受信データフル割り込みの発生タイミングは**図 24.26** を参照してください。

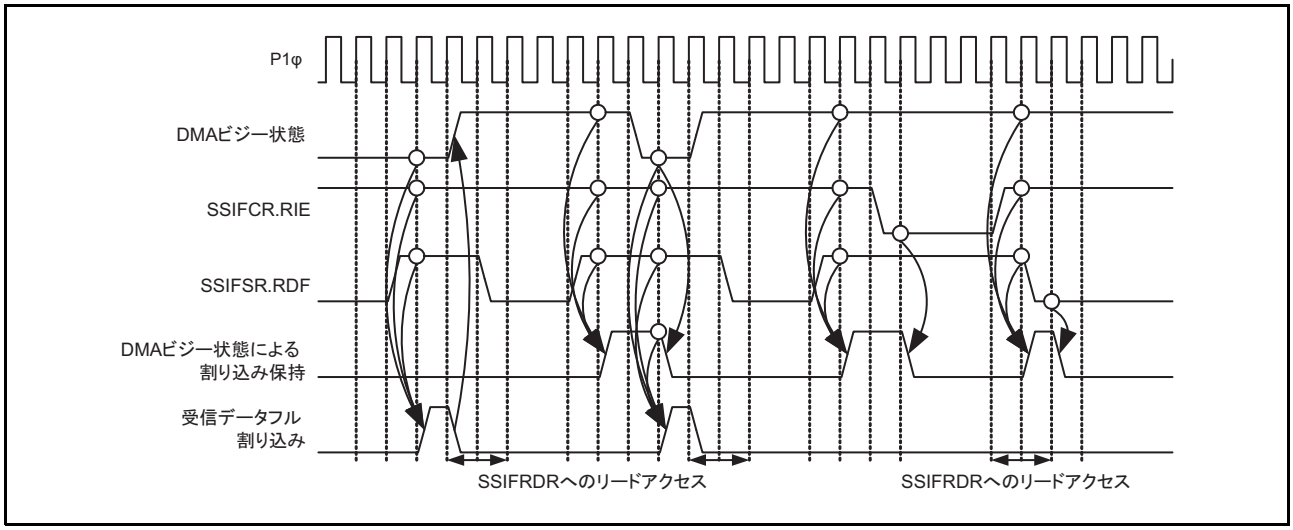


図 24.26　送信データエンプティ割り込みの発生タイミング

- TFRST ビット

本ビットは送信 FIFO データレジスタ（SSIFTDR）のソフトウェアリセットを設定します。本ビットへ 1 を書き込むと、送信 FIFO データレジスタ（SSIFTDR）に関連する内部状態を初期化します。本ビットでソフトウェアリセットする対象レジスタは表 24.8 の網掛け部です。本ビットは '1' を書き込み後、自動でクリアされないため '0' を書いてソフトウェアリセットを解除してください。本ビットへ '0' を書き込み完了後、必ず本ビットが '0' になったことを確認してから次の手順を行ってください。

本ビットは SSIRST のリセット対象ビットです。SSIRST によるソフトウェアリセットが優先のため、本ビットの書き込みは無効となります。

表24.8　TFRSTビットによるソフトウェアリセット対象ビット

シンボル	アドレス（BASE+）		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	00h	+0	–	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	–	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	–	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	–	TEN	REN
SSISR	04h	+0	–	–	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	–	–	–	–	–	–	–	–	–
		+2	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
SSIFCR	10h	+0	AUCKE	–	–	–	–	–	–	–	–	–	–	–	–	–	–	SSIRST
		+2	–	–	–	–	BSW	BCKNCE	LRCKNCE	RxDNCE	–	–	–	–	TIE	RIE	TFRST	RFRST
SSIFSR	14h	+0	–	–	TDC[5:0]						–	–	–	–	–	–	–	TDE
		+2	–	–	RDC[5:0]						–	–	–	–	–	–	–	RDF
SSIFTDR	18h	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	1ch	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	20h	+0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
		+2	–	–	–	–	–	–	BCKASTP	LRCONT	–	–	–	–	–	–	OMOD[1:0]	
SSISCR	24h	+0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
		+2	–	–	–	TDES[4:0]					–	–	–	RDFS[4:0]				

- RFRST ビット

本ビットは受信 FIFO データレジスタ（SSIFRDR）のソフトウェアリセットを設定します。本ビットへ ’1’ を書き込むと、受信 FIFO データレジスタ（SSIFRDR）に関連する内部状態を初期化します。本ビットでソフトウェアリセットする対象レジスタは表 24.9 の網掛け部です。本ビットは ’1’ を書き込み後、自動でクリアされないため ’0’ を書いてソフトウェアリセットを解除してください。本ビットへ ’0’ を書き込み完了後、必ず本ビットが ’0’ になったことを確認してから次の手順を行ってください。

本ビットは SSIRST のリセット対象ビットです。SSIRST によるソフトウェアリセットが優先のため、本ビットの書き込みは無効となります。

表24.9　RFRSTビットによるソフトウェアリセット対象ビット

シンボル	アドレス（BASE+）		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	00h	+0	–	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	–	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	–	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	–	TEN	REN
SSISR	04h	+0	–	–	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	–	–	–	–	–	–	–	–	–
		+2	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
SSIFCR	10h	+0	AUCKE	–	–	–	–	–	–	–	–	–	–	–	–	–	–	SSIRST
		+2	–	–	–	–	BSW	BCKNCE	LRCKNCE	RxDNCE	–	–	–	–	TIE	RIE	TFRST	RFRST
SSIFSR	14h	+0	–	–	TDC[5:0]						–	–	–	–	–	–	–	TDE
		+2	–	–	RDC[5:0]						–	–	–	–	–	–	–	RDF
SSIFTDR	18h	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	1ch	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR	20h	+0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
		+2	–	–	–	–	–	–	BCKASTP	LRCONT	–	–	–	–	–	–	OMOD[1:0]	
SSISCR	24h	+0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
		+2	–	–	–	TDES[4:0]					–	–	–	RDFS[4:0]				

24.4.1.4　FIFO ステータスレジスタ (SSIFSR)

SSIFSR は、送信、および受信 FIFO データレジスタの動作状態を示すステータスフラグで構成されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W0

ビット	ビット名	初期値	R/W	説明
31～30	—	0H	R	予約ビット。0を設定してください。読み出すと0が読めます。
29～24	TDC[5:0]	00H	R	送信FIFOデータ数表示フラグ
23～17	—	00H	R	予約ビット。0を設定してください。読み出すと0が読めます。
16	TDE	1	R/W0	送信データエンプティフラグ 0：SSIFTDRの空きデータ容量がSSISCR.TDES値以下 1：SSIFTDRの空きデータ容量がSSISCR.TDES値+1以上
15～14	—	0H	R	予約ビット。0を設定してください。読み出すと0が読めます。
13～8	RDC[5:0]	00H	R	受信FIFOデータ数表示フラグ
7～1	—	00H	R	予約ビット。0を設定してください。読み出すと0が読めます。
0	RDF	0	R/W0	受信データフルフラグ 0：SSIFRDRの受信データ容量がSSISCR.RDFS値以下 1：SSIFRDRの受信データ容量がSSISCR.RDFS値+1以上

- TDC[5:0] ビット

本ビットは送信 FIFO データレジスタ（SSIFTDR）に格納された有効データ数を示すフラグです。本フラグが 0H の場合には、送信データがないことを示します。また 20H の場合には、書き込むデータの空きがないことを示します。

- TDE ビット

本ビットは送信 FIFO データレジスタ（SSIFTDR）の空き容量が SSISCR.TDES ビットで設定した数値 +1 以上であることを示すフラグです。このフラグのセット動作は自動判定しますが、クリア動作はレジスタアクセスにてクリアする必要があります。

[セットとクリアの優先順位]

クリア動作優先 (注意 1)

[クリア条件]

以下 2 つの条件でクリアします。

(1) 本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込んだ場合（CPU 動作）(注意 2)

(2) DMA を用いて 1 つの割り込みルーチンで、SSIFTDR を書き込んだ場合の最終アクセス (DMA 動作)

[クリアタイミング]

上記クリア条件別のタイミング

(1) 本ビットの ’1’ を読み出した後、本ビットに ’0’ を書き込み完了時（**図 24.13** と同様）

(2) DMA を用いて 1 つの割り込みルーチンで、SSIFTDR を書き込んだ場合の最終アクセス

注意 1. 本ビットはソフトウェアリセット (SSIFCR.SSIRST = '1') と送信 FIFO データレジスタリセット (SSIFCR.TFRST = '1') によるリセット対象ビットです。ソフトウェアリセットと送信 FIFO データレジスタリセットは上記の優先順位より優先です。
2. 本ビットの 1 を読み出した状態は次の 4 つの条件でクリアします。
・ソフトウェアリセット (SSIFCR.SSIRST = '1')
・送信 FIFO データレジスタリセット (SSIFCR.TFRST = '1')
・本ビットの '1' を読み出した後、本ビットに '0' を書き込み完了時
・DMA を用いて 1 つの割り込みルーチンで、SSIFTDR を書き込んだ場合の最終アクセス

[セット条件]
SSIFTDR の空き容量が SSISCR.TDES ビットで設定した数値 +1 以上の場合
[セットタイミング]
SSIFTDR の空き容量が SSISCR.TDES ビットで設定した数値 +1 以上の状態を P1φ で検出時

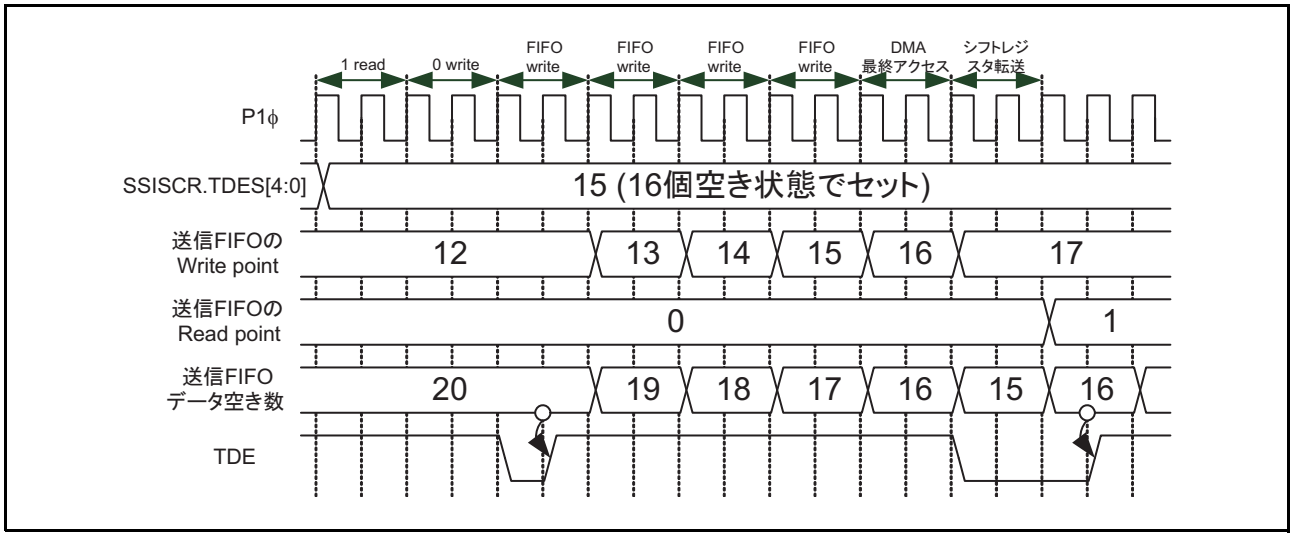


図 24.27　TDE のセットとクリアのタイミングチャート

- RDC[5:0]

本ビットは受信 FIFO データレジスタ（SSIFRDR）に格納された有効データ数を示すフラグです。本フラグが 0H の場合には、受信データがないことを示します。また 20H の場合には、受信データが一杯でデータ空きがないことを示します。

- RDF ビット

本ビットは受信 FIFO データレジスタ（SSIFRDR）にある受信して読み出していないデータ容量が SSISCR.RDFS ビットで設定した数値 +1 以上であることを示すフラグです。このフラグのセット動作は自動判定しますが、クリア動作はレジスタアクセスにてクリアする必要があります。

[セットとクリアの優先順位]
クリア動作優先
[クリア条件]
以下 2 つの条件でクリアします。(注意 1)
(1) 本ビットの '1' を読み出した後、本ビットに '0' を書き込んだ場合（CPU 動作）(注意 2)
(2) DMA を用いて 1 つの割り込みルーチンで行う SSIFRDR を読み出す最終アクセス (DMA 動作)
[クリアタイミング]
上記クリア条件別のタイミング
(1) 本ビットの '1' を読み出した後、本ビットに '0' を書き込み完了時（図 24.13 と同様）
(2) DMA を用いて 1 つの割り込みルーチンで行う SSIFRDR を読み出す最終アクセス命令の P1φ の 1 サイクル後

注意 1. 本ビットはソフトウェアリセット (SSIFCR.SSIRST = '1') と受信 FIFO データレジスタリセット (SSIFCR.RFRST = '1') によるリセット対象ビットです。本ビットのクリア条件は、上記に加えて、ソフトウェアリセットと受信 FIFO データレジスタリセットがあります。

2. 本ビットの '1' を読み出した状態は次の 4 つの条件でクリアします。
   - ソフトウェアリセット (SSIFCR.SSIRST = '1')
   - 受信 FIFO データレジスタリセット (SSIFCR.RFRST = '1')
   - 本ビットの '1' を読み出した後、本ビットに '0' を書き込み完了時
   - DMA を用いて 1 つの割り込みルーチンで行う SSIFRDR を読み出す最終アクセス

[セット条件]

SSIFRDR のデータ容量が SSISCR.RDFS ビットで設定した数値＋ 1 以上になった場合

[セットタイミング]

SSIFRDR のデータ容量が SSISCR.RDFS ビットで設定した数値＋ 1 以上となるシフトレジスタ転送完了時

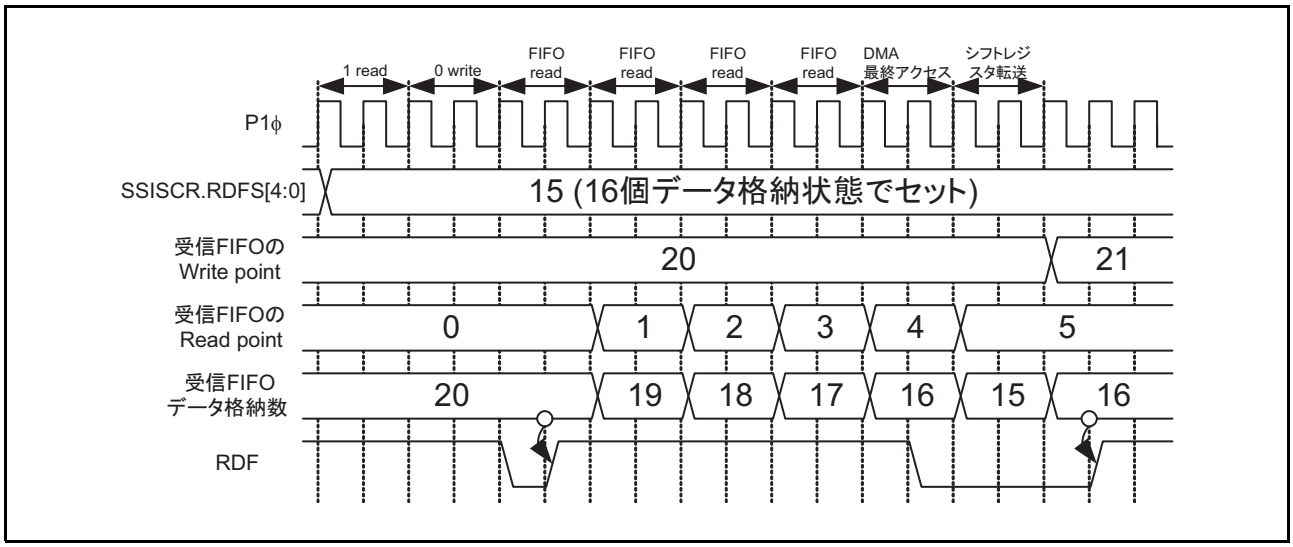
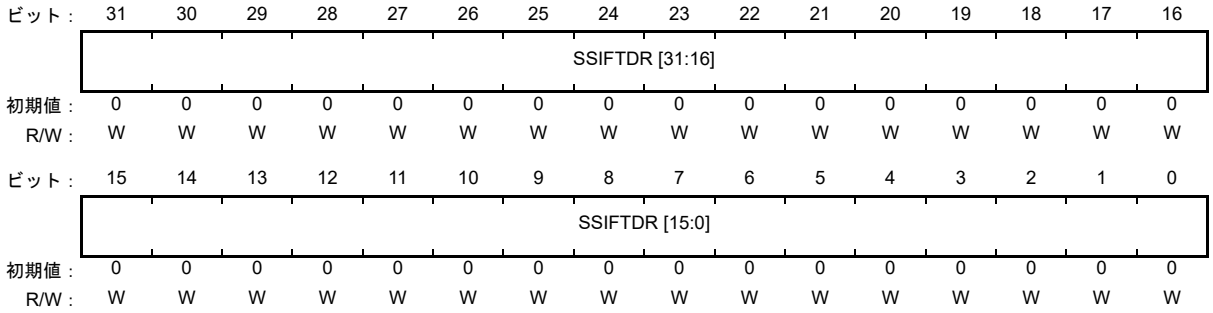


図 24.28　RDF のセットとクリアのタイミングチャート

24.4.1.5　送信 FIFO データレジスタ (SSIFTDR)

SSIFTDR は書き込み可能な 32 ビットのレジスタです。このレジスタを読み出した場合には 0 が読み出せます。このレジスタはシリアル送信するデータを格納します。



ビット	ビット名	初期値	R/W	説明
31～0	SSIFTDR[31:0]	00000000H	W	送信FIFOデータ

送信動作として使用する場合には、送信データエンプティ割り込みによる DMA 動作は本レジスタへの書き込みを設定してください。本レジスタへのアクセスサイズは通信するデータワード長に合わせてください（表 24.10）。

表24.10　FIFOへのレジスタアクセス制限

アクセスサイズ		バイト	ハーフワード	ワード
SSICR.DWL[2:0]	データワード長			
000B	8	○	×	×
001B	16	×	○	×
010B	18	×	×	○
011B	20	×	×	○
100B	22	×	×	○
101B	24	×	×	○
110B	32	×	×	○
111B	設定禁止	×	×	×

送信 FIFO データレジスタへのレジスタアクセスは図 24.29 のようになります。

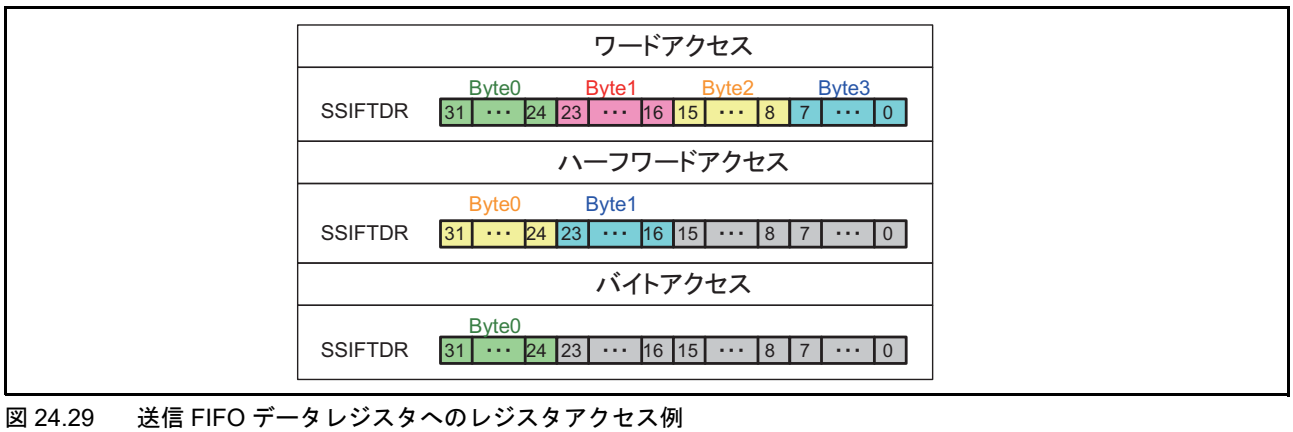


図 24.29　送信 FIFO データレジスタへのレジスタアクセス例

送信 FIFO データレジスタと送信シフトレジスタの構成と動作例を図 24.30 に示す。この図は FIFO のデータ格納動作です。通信動作とは無関係です。

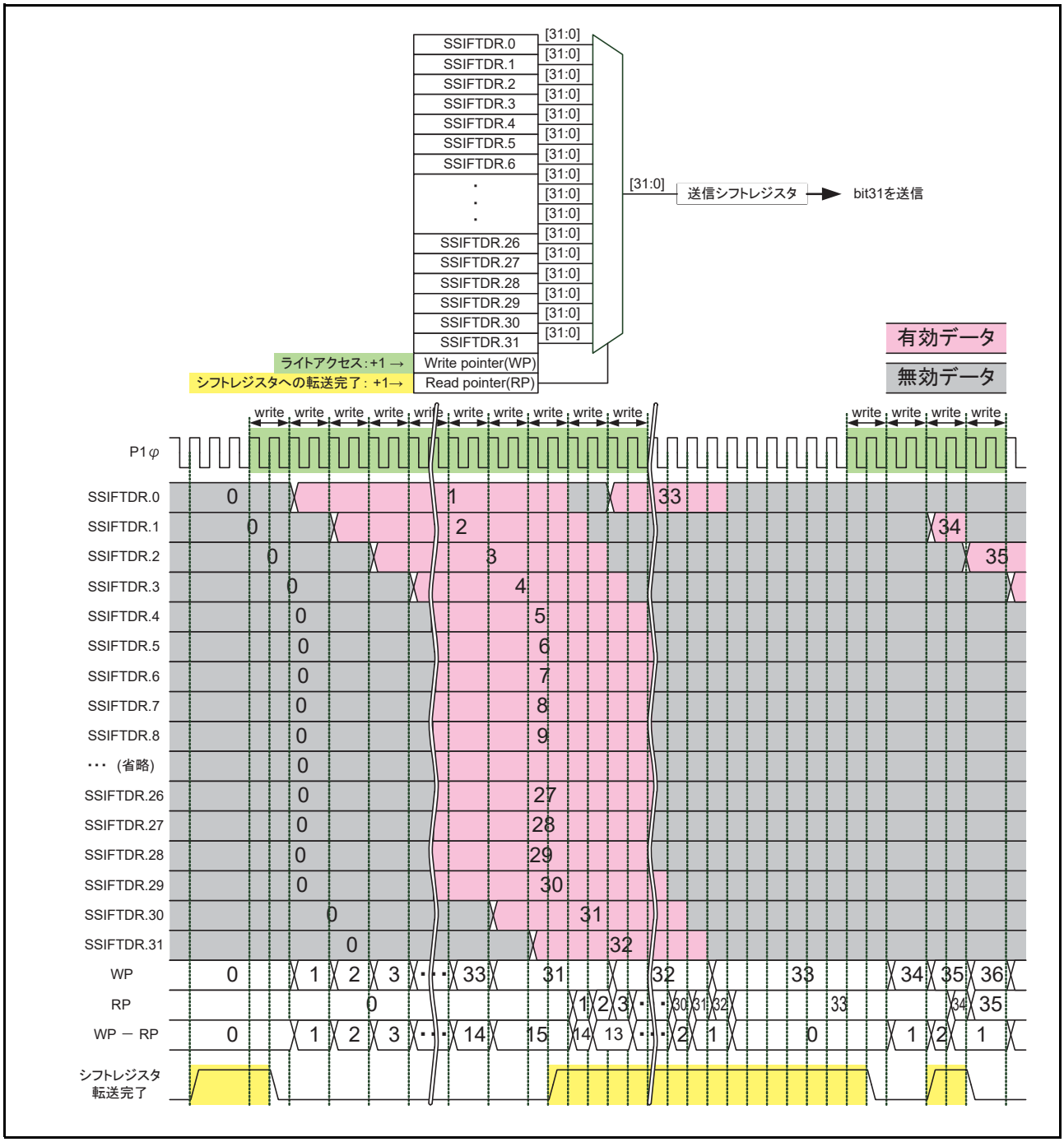
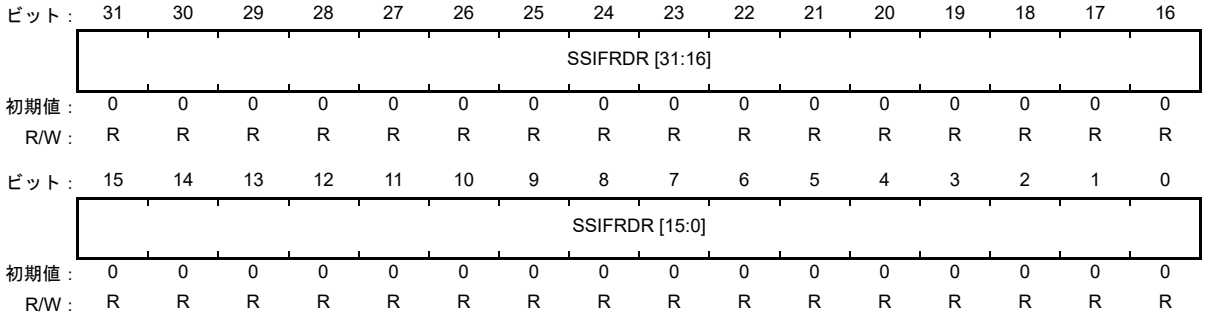


図 24.30　送信 FIFO データレジスタと送信シフトレジスタの構成と FIFO の動作例

24.4.1.6　受信 FIFO データレジスタ (SSIFRDR)

SSIFRDR は読み出し可能な 32 ビットのレジスタです。このレジスタは受信したシリアルデータを格納します。



ビット	ビット名	初期値	R/W	説明
31～0	SSIFRDR[31:0]	00000000H	R	受信FIFOデータ

受信動作として使用する場合には、受信データフル割り込みによる DMA 動作は本レジスタからの読み出しを設定してください。本レジスタへのアクセスサイズは通信するデータワード長に合わせてください（**表 24.10**）。

受信 FIFO データレジスタへのレジスタアクセスは送信 FIFO データレジスタと同じです（**図 24.29**）。

受信 FIFO データレジスタと受信シフトレジスタの構成と動作例を**図 24.31** に示す。この図は FIFO のデータ格納動作です。通信動作とは無関係です。

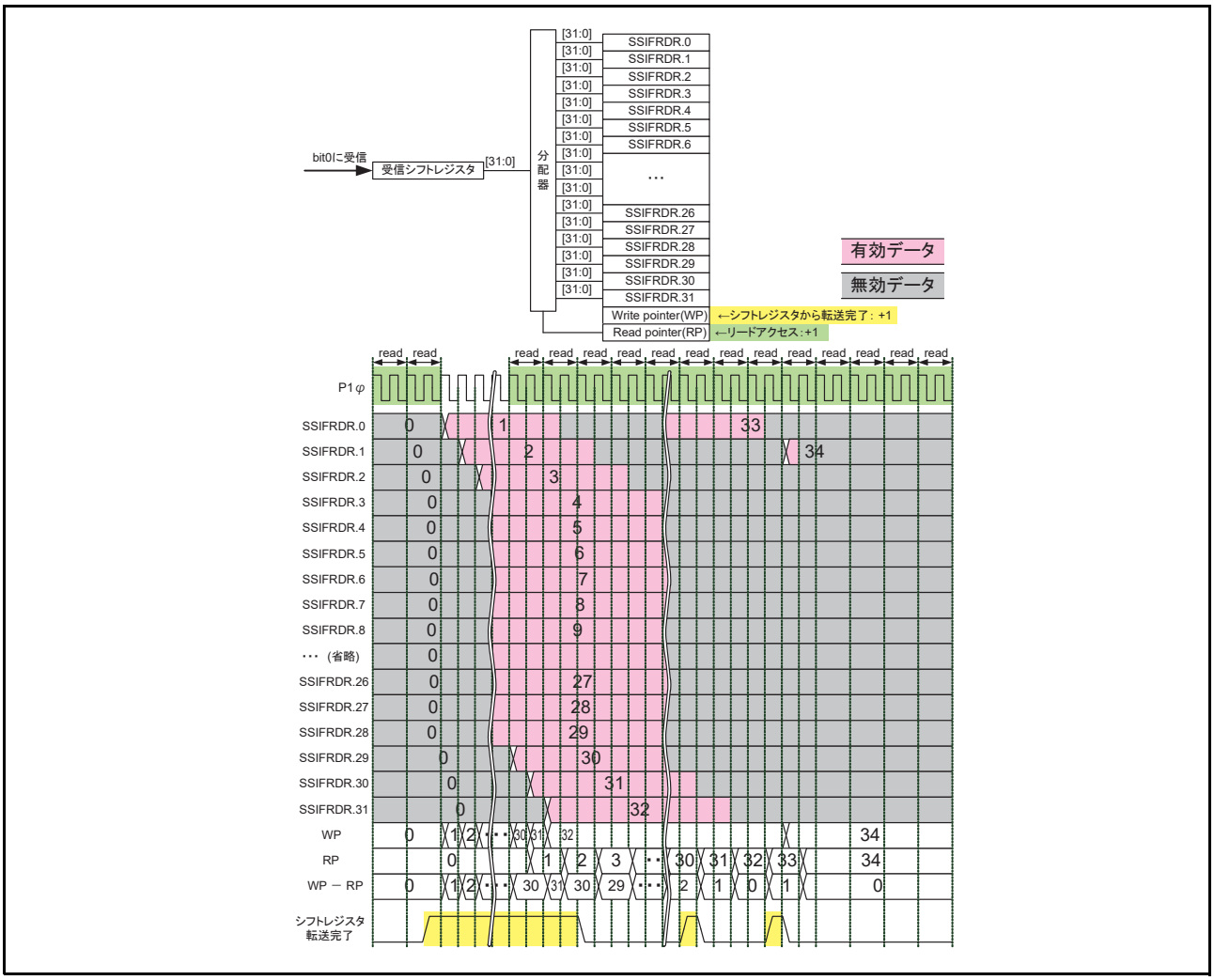


図 24.31　受信 FIFO データレジスタと受信シフトレジスタの構成と FIFO の動作例

24.4.1.7　オーディオフォーマットレジスタ (SSIOFR)

SSIOFR は読み出し／書き込み可能な 32 ビットのレジスタです。このレジスタではオーディオフォーマット（通信フォーマット、LR クロック／フレームシンクコンティニュ、BCK 出力停止）の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	BCKA STP	LR CONT	—	—	—	—	—	—	OMOD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～10	—	000000H	R	予約領域。0 を設定してください。読み出すと 0 が読めます。
9	BCKASTP	0	R/W	SSIF-2　アイドル時の BCK 出力停止許可*1 *2 0：BCK を SSIBCK 端子へ常に出力 1：BCK を SSIBCK 端子へ自動出力制御
8	LRCONT	0	R/W	LR クロック／フレームシンクコンティニュ動作許可*1 *2 0：LR クロックコンティニュ動作禁止 1：LR クロックコンティニュ動作許可
7～2	—	00H	R	予約領域。0 を設定してください。読み出すと 0 が読めます。
1～0	OMOD[1:0]	0	R/W	オーディオフォーマット選択 *3 *4 OMOD[1:0]：フォーマット 00：I²S フォーマット 01：TDM フォーマット 10：モノラルフォーマット 11：設定禁止

注1.　マスタ通信（SSICR.MST = '1'）の時のみ設定可能です。スレーブ通信（SSICR.MST = '0'）の時には設定は無効です。
注2.　BCKASTP = '1' かつ LRCONT = '1' の設定は禁止です。
注3.　SSIF-2 が通信状態 (SSISR.IIRQ = '0') で本ビットへの書き込みは禁止です。書き換えた場合には、動作は保証しません。
注4.　対向デバイスの通信フォーマットが SSIF-2 のフォーマットに互換性がある場合には、通信可能な通信フォーマット設定して使用ください。

- BCKASTP ビット

本ビットはマスタ通信 (SSICR.MST = '1') 時、**図 24.32** と**図 24.33** に示すよう通信動作に合わせて BCK を SSIBCK 端子へ出力する機能のオン／オフを設定します。

本ビットの書き換えは、通信フォーマットを設定完了した後に設定してください。

本ビットは必ず下記の使い方を守ってください。

BCKASTP を '0' に設定して通信を開始し、通信中に BCKASTP を '1' に設定してください。これにより通信停止すると SSIBCK 端子へのビットクロック出力が自動で停止します。通信再開する場合には、アイドル状態 (SSICR.IIRQ = '1') かつ AUDIO_MCK の供給許可の状態 (SSIFCR.AUCKE = '1') で BCKASTP = 0 に設定してください。

マスタ通信（SSICR.MST = ’1’）かつアイドル状態 (SSICR.IIRQ = ’1’) の場合

表24.11　BCKASTPとSSIBCK端子の出力状態

BCKASTPビット	SSIBCK端子の出力状態
0	出力
1	停止

注意．スレーブである対向デバイスが通信動作前から SSIBCK 端子のクロックを必要とする場合には、使用できません。通信終了後にクロックを停止するために使用してください (図 24.33)。また機能が有効となるタイミングは図 24.32 を参照してください。

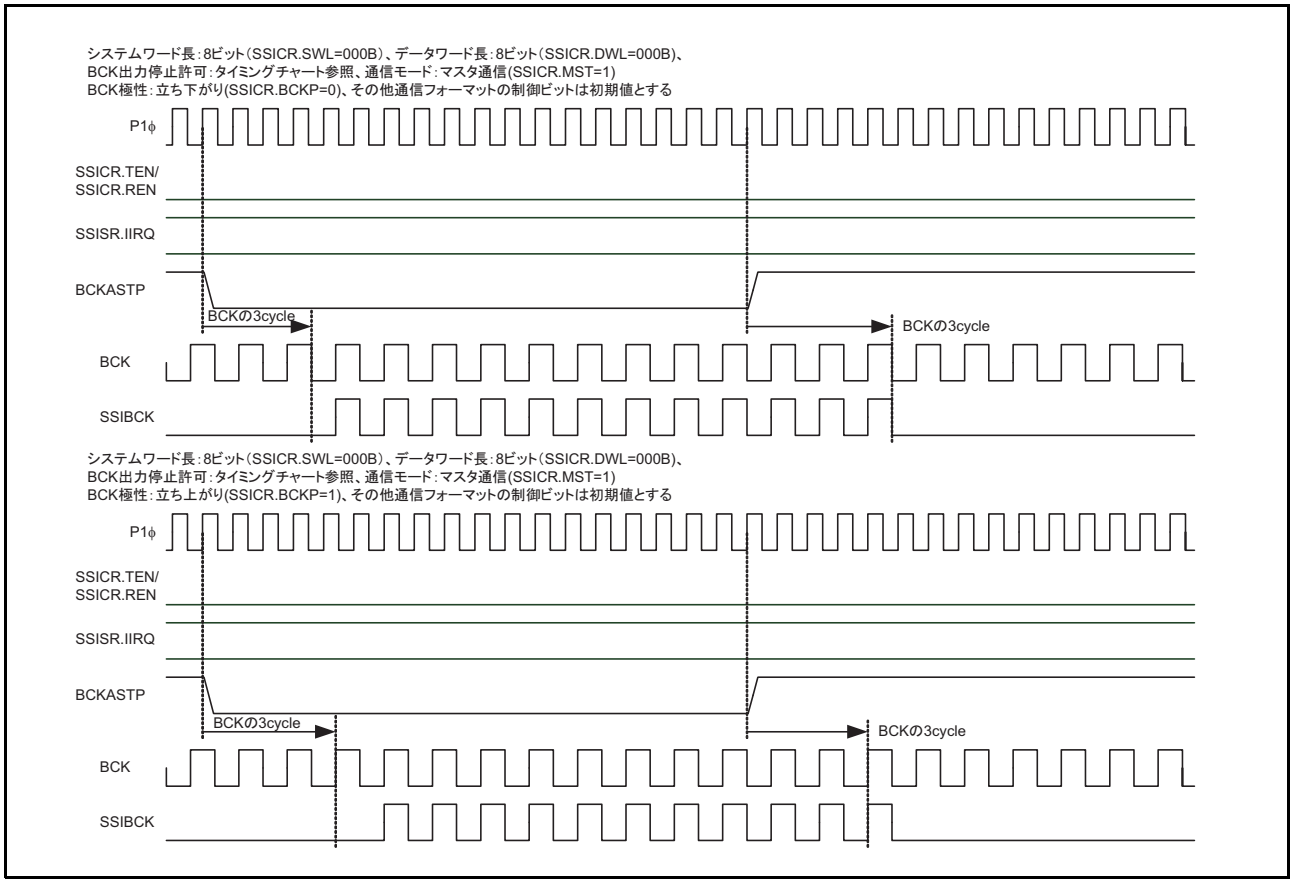


図 24.32　BCKASTP ビットの動作例 (アイドル状態)

マスタ通信（SSICR.MST = ’1’）かつ BCK 出力自動停止機能を許可 (BCKASTP = ’1’) の場合 (**図 24.33**)
SSIBCK 端子への BCK 出力の詳細は下記の通りです。

出力開始タイミング：LR クロック／フレームシンクが有効値に変化するタイミングに有効エッジが発生するよう BCK を出力
出力停止タイミング：フレーム境界＋ 1 ～ 1.5 クロック

詳細タイミングは**図 24.33** のタイミングチャートを参照してください。

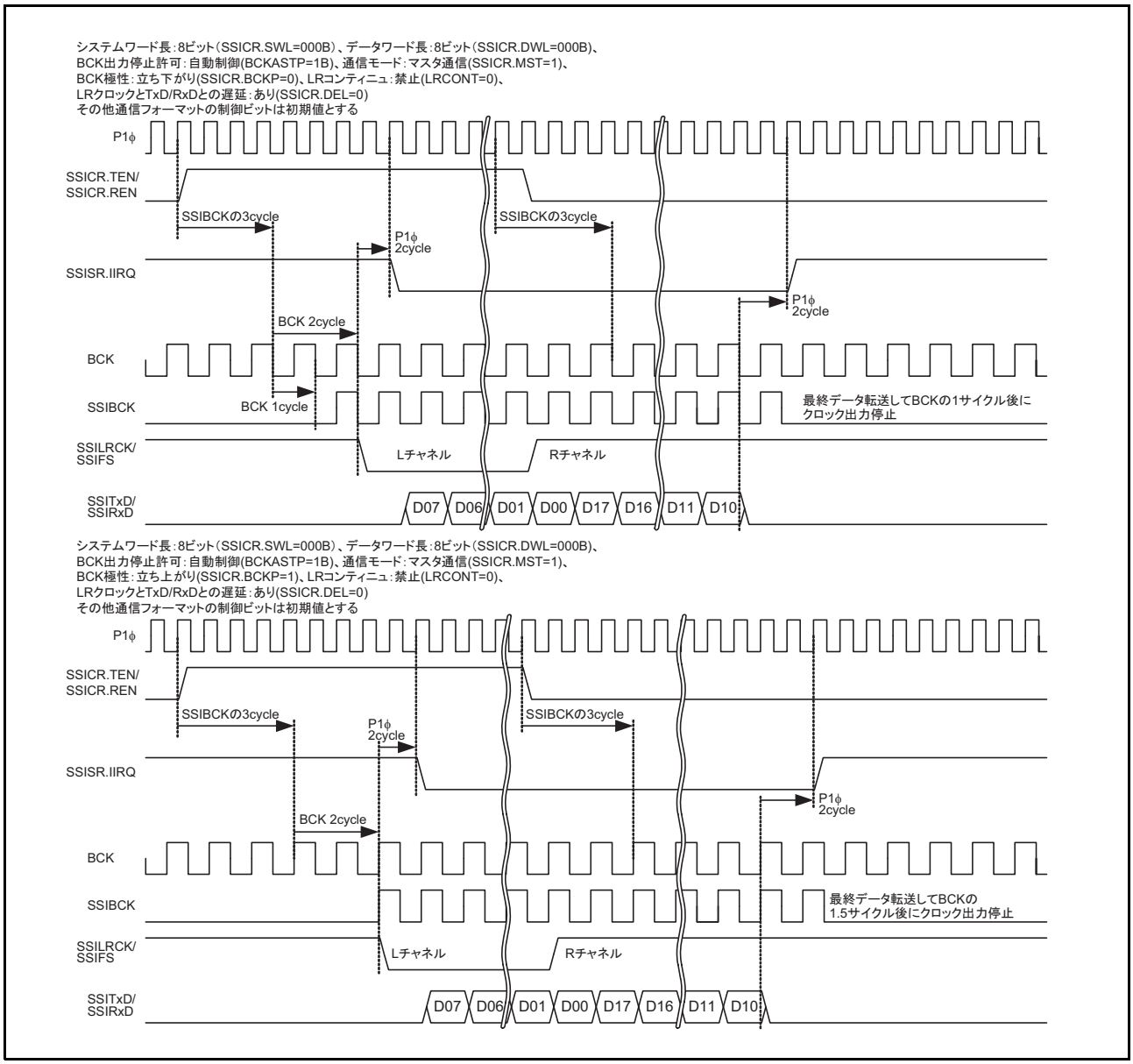


図 24.33　BCKASTP ビットの動作例 (BCKASTP = 1 での通信動作)

- LRCONT ビット

本ビットはマスタ通信 (SSICR.MST = ’1’) かつアイドル状態 (SSISR.IIRQ = ’1’) の時、SSILRCK/SSIFS 端子の出力許可／禁止を設定します。

マスタ通信（SSICR.MST = ’1’）かつ本ビットを ’1’ に設定（LR クロック／フレームシンクコンティニュ動作許可）すると、アイドル状態でも SSILRCK/SSIFS 端子から信号を出力することができます。

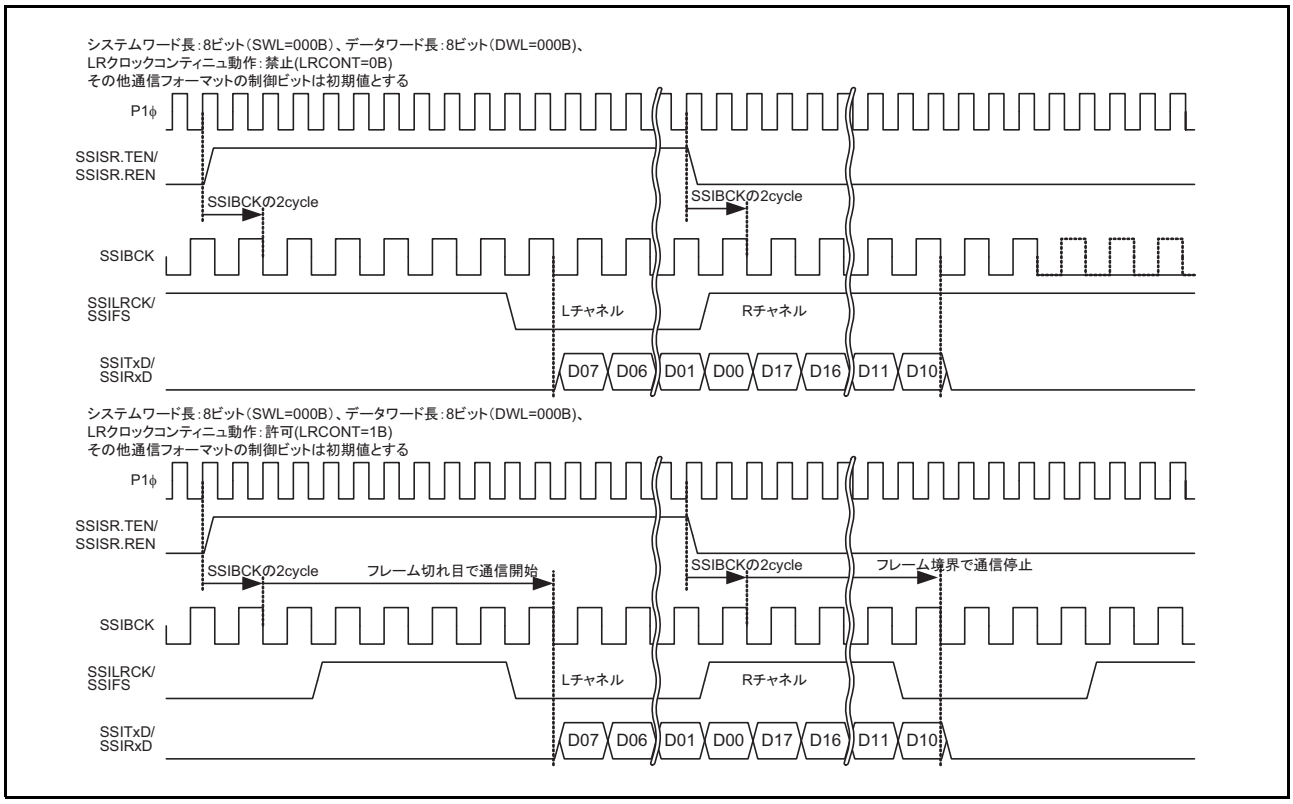


図 24.34　LR クロック／フレームシンクコンティニュ動作例

- OMOD[1:0] ビット

本ビットはオーディオフォーマットを設定します。

本ビットの書き換えは、SSILRCK 端子への LR クロック供給停止時に行ってください。LR クロックの出力動作は「24.4.1.7　**オーディオフォーマットレジスタ (SSIOFR)**」の LRCONT ビット詳細説明を参照してください。

24.4.1.8　ステータスコントロールレジスタ (SSISCR)

SSISCR は読み出し／書き込み可能な 32 ビットのレジスタです。このレジスタは TDE フラグ、RDF フラグの動作設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 13	—	00000H	R	予約領域。0を設定してください。読み出すと0が読めます。
12 ～ 8	TDES[4:0]	00H	R/W	TDEセット条件選択 *1 TDES[3:0]：動作 00000B：SSIFTDRの空き容量が1段以上ある場合 00001B：SSIFTDRの空き容量が2段以上ある場合 ・・・（省略） 11110B：SSIFTDRの空き容量が31段以上ある場合 11111B：SSIFTDRの空き容量が32段以上ある場合
7 ～ 5	—	0H	R	予約領域。0を設定してください。読み出すと0が読めます。
4 ～ 0	RDFS[4:0]	0H	R/W	RDFセット条件選択 *1 RDFS[3:0]：動作 00000B：SSIFRDRのデータ容量が1段以上ある場合 00001B：SSIFRDRのデータ容量が2段以上ある場合 ・・・（省略） 11110B：SSIFRDRのデータ容量が31段以上ある場合 11111B：SSIFRDRのデータ容量が32段以上ある場合

注1.　SSIF-2が通信状態(SSISR.IIRQ='0')で本ビットへの書き込みは禁止です。書き換えた場合には、書き換え直後の動作は保証しません。

- TDES[4:0] ビット

本ビットは送信データエンプティフラグ（TDE）のセット条件を設定します。

- RDFS[4:0] ビット

本ビットは受信データフルフラグ（RDF）のセット条件を設定します。

24.4.2　通信フォーマット

SSIF-2 は 3 つの通信フォーマットに対応しています（表 24.12）。

表 24.12　対応する通信フォーマット

通信フォーマット	SSIOFR.OMOD[1:0]
I²S フォーマット	00
TDM フォーマット	01
モノラルフォーマット	10

通信フォーマットで共通のシリアルデータ構成について説明します。シリアルデータは設定したシステムワード長（SSICR.SWL[2:0]）とデータワード長（SSICR.DWL[2:0]）によって決まります。データワード長よりシステムワード長が大きい場合には、パディングビットを転送します（図 24.35）。

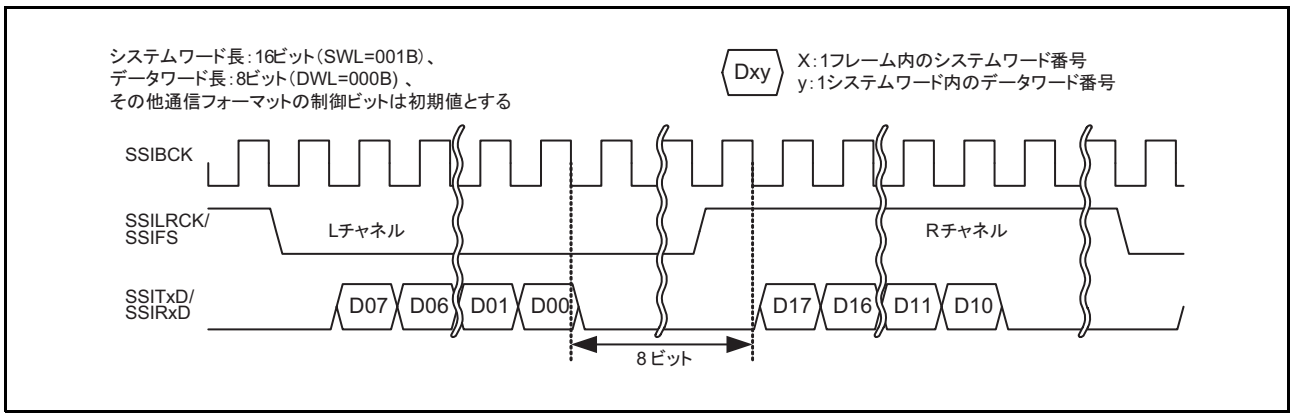


図 24.35　パディングビット転送例（I²S フォーマット：システムワード長＞データワード長）

システムワード長（SSICR.SWL[2:0]）とデータワード長（SSICR.DWL[2:0]）の設定別のパディングビット数を表 24.13 に示します。禁止設定には「-」としています。

表 24.13　パディングビット数

	SSICR.DWL[2:0]	000B	001B	010B	011B	100B	101B	110B	111B
SSICR.SWL[2:0]	システムワード長	8	16	18	20	22	24	32	設定禁止
000B	8	0	–	–	–	–	–	–	–
001B	16	8	0	–	–	–	–	–	–
010B	24	16	8	6	4	2	0	–	–
011B	32	24	16	14	12	10	8	0	–
100B	48	40	32	30	28	26	24	16	–
101B	64	56	48	46	44	42	40	32	–
110B	128	120	112	110	108	106	104	96	–
111B	256	248	240	238	236	234	232	224	–

24.4.2.1　I²S フォーマット

I²S フォーマットは I²S 対応のシリアル・デバイスと接続するための通信フォーマットです。このフォーマットに設定（SSIOFR.OMOD[1:0] = 00B）すると、1 フレームは、L チャネル、R チャネルの 2 システムワードで構成します。SSILRCK/SSIFS 信号は L チャネル（ローレベル）／R チャネル（ハイレベル）を示し、SSICR.LRCKP ビットで SSILRCK/SSIFS の極性を設定できます。パディングなしの I²S フォーマットを図 24.36 に示します。パディングありの I²S フォーマットは図 24.35 を参照してください。

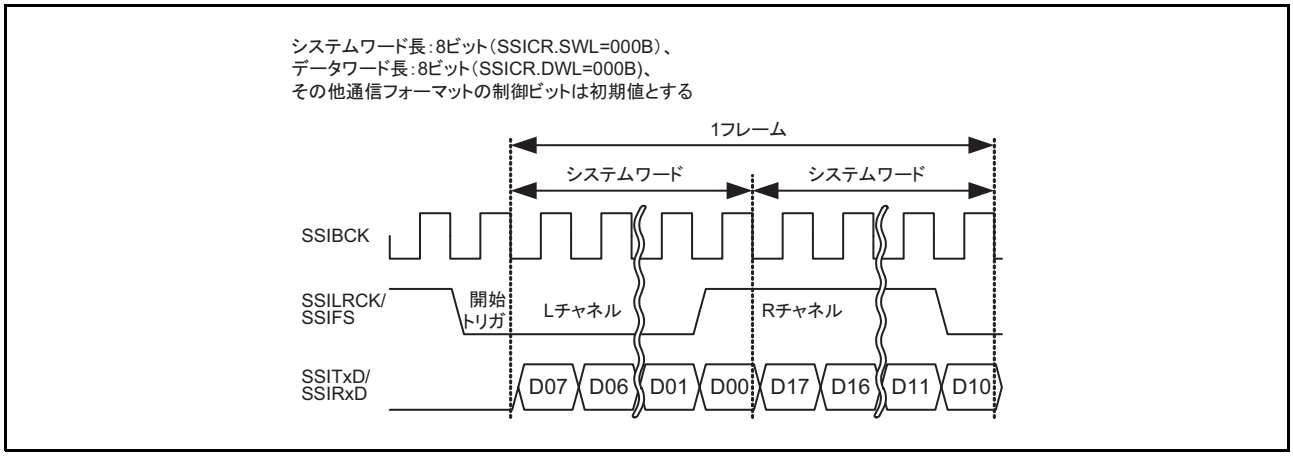


図 24.36　I²S フォーマット (パディングなし : システムワード長＝データワード長)

SSIF-2 がアイドル状態の外部端子状態は「24.5.1.1　アイドル状態」を参照してください。

注意 . SSIF-2 は通信の同期を示す SSILRCK/SSIFS 端子を持っています。SSIF-2 がスレーブ通信（SSICR.MST = 0）の場合には、対向デバイスと SSIF-2 の通信フォーマットを合わせてください。SSIF-2 は SSILRCK/SSIFS の信号を通信開始トリガとしてのみ使用します。

24.4.2.2　モノラルフォーマット

モノラルフォーマットはモノラル対応のシリアル・デバイスと接続するための通信フォーマットです。このフォーマットに設定（SSIOFR.OMOD[1:0] = 10B）すると、1 フレームは 1 システムワードで構成します（図 24.37）。また SSILRCK/SSIFS の立ち上がりが開始トリガを示します。パディングなしのモノラルフォーマットを図 24.37、パディングありのモノラルフォーマットを図 24.38 に示します。

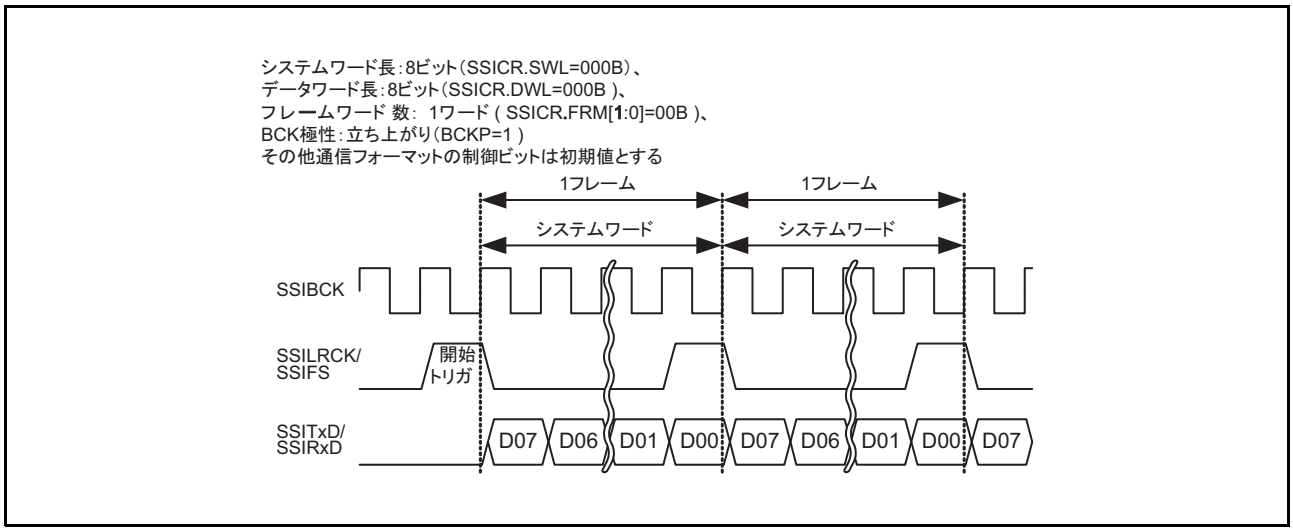


図 24.37　モノラルのショートフレーム (パディングなし : システムワード長＝データワード長)

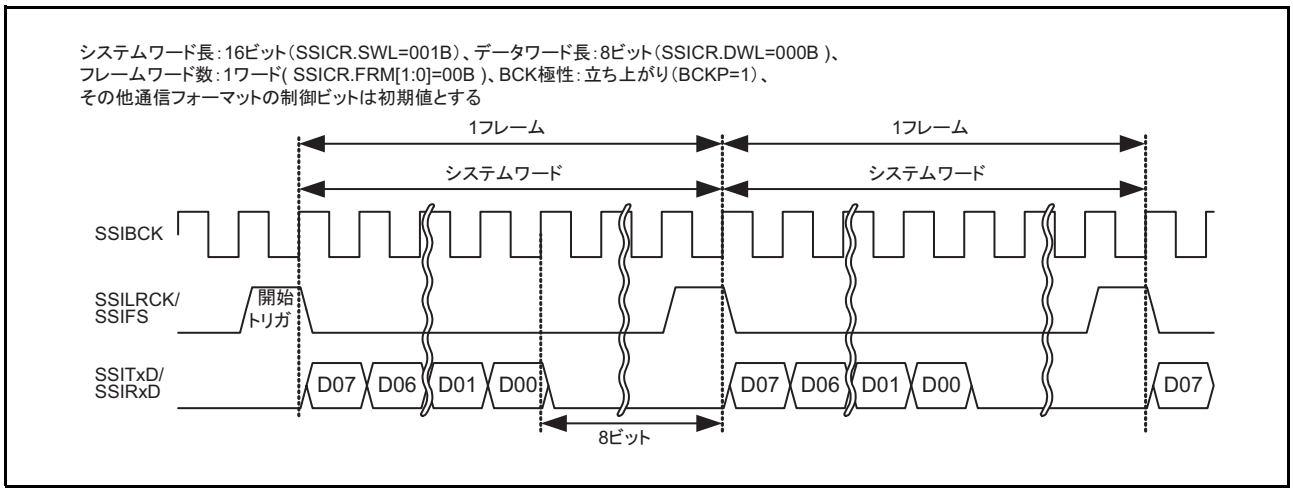


図 24.38　モノラルのショートフレーム (パディングあり : システムワード長＞データワード長)

SSIF-2 が対応するモノラルフォーマットはショートフレームとロングフレームです。2 つのフレームの違いは「(1)　ショートフレーム」「(2)　ロングフレーム」を参照してください。

SSIF-2 がアイドル状態の外部端子状態は「24.5.1.1　アイドル状態」を参照してください。

注意 . SSIF-2 は通信の同期を示す SSILRCK/SSIFS 端子を持っています。SSIF-2 がスレーブ通信（SSICR.MST = 0）の場合には、対向デバイスと SSIF-2 の通信フォーマットを合わせてください。SSIF-2 は SSILRCK/SSIFS の信号を通信開始トリガとしてのみ使用します。

(1)　ショートフレーム

ショートフレーム（SSICR.DEL = 0）の場合には、シリアルデータの開始を示す SSILRCK/SSIFS は SSIBCK の 1 サイクル期間だけ H となります（**図 24.37**、**図 24.38**）。データの転送開始は SSILRCK/SSIFS の立ち下がりからです。

(2)　ロングフレーム

ロングフレーム（SSICR.DEL = 1）の場合には、シリアルデータの開始を示す SSILRCK/SSIFS は SSIBCK の 2 サイクル期間だけ H となります（**図 24.39**）。データの転送開始は SSILRCK/SSIFS の立ち上がりから開始します。

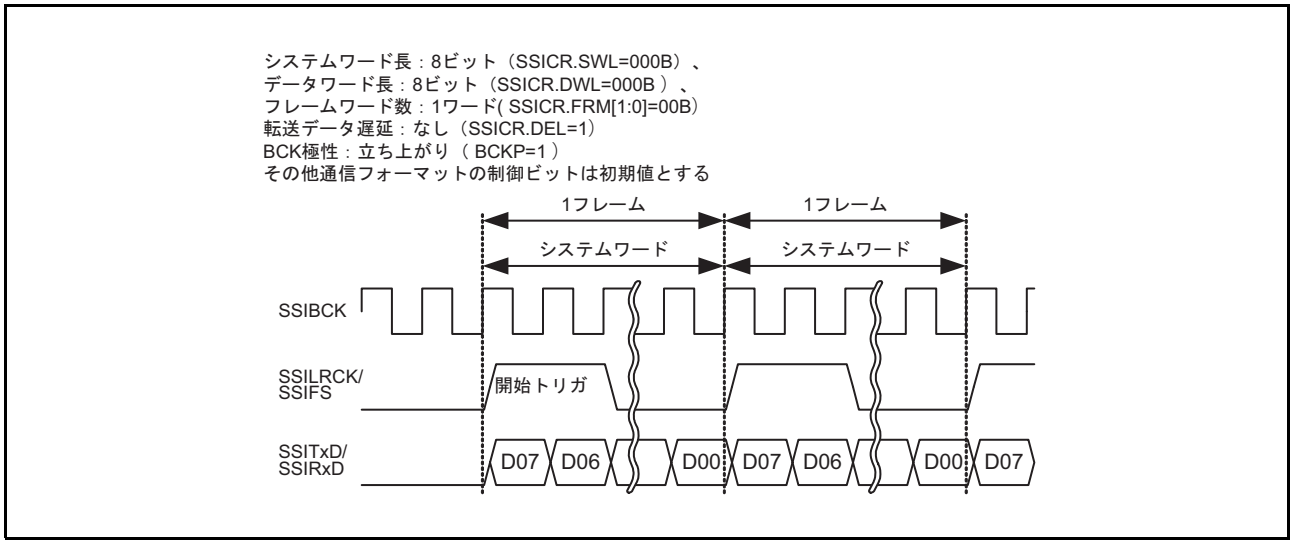


図 24.39　　モノラルのロングフレーム (パディングなし)

24.4.2.3　TDM フォーマット

TDM フォーマットは TDM 対応のマルチチャネル・デバイスと接続するためのフォーマットです。このフォーマットに設定（SSIOFR.OMOD[1:0] = 01B）すると、1 フレームは SSICR.FRM[1:0] ビットで設定した 4 システムワードから 8 システムワードで構成します。このフォーマットでは、SSILRCK/SSIFS 信号はシステムワード 1 の区間のみハイレベルとなり、それ以外の区間はローレベルになります。この SSILRCK/SSIFS 信号に発生するパルスを SYNC パルスと定義し、立ち上がりが 1 フレームの開始を示します。パディングなしの TDM フォーマットを**図 24.40**、パディングありの TDM フォーマットを**図 24.41** に示します。

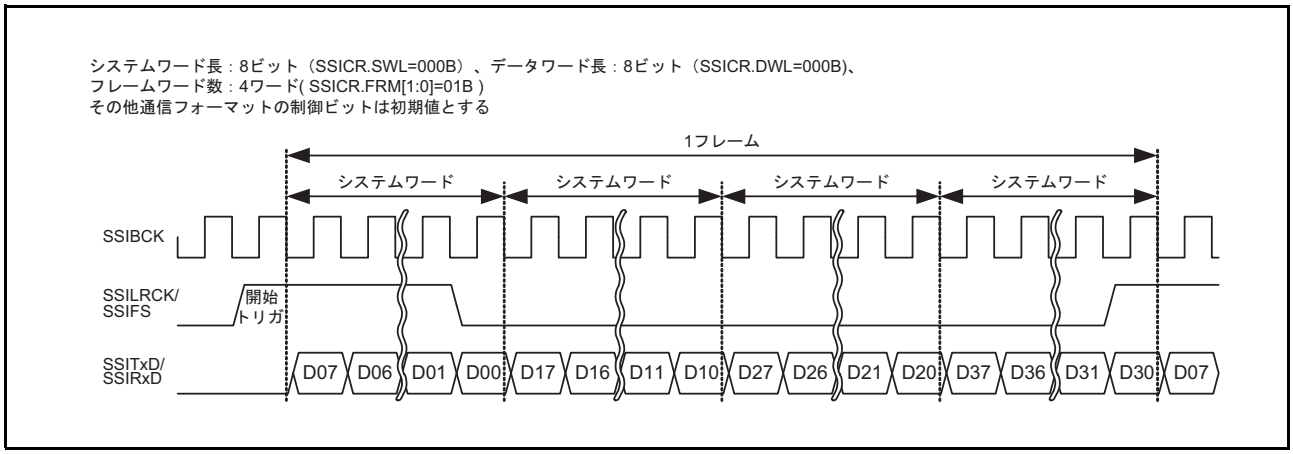


図 24.40　TDM フォーマット (パディングなし : システムワード長＝データワード長)

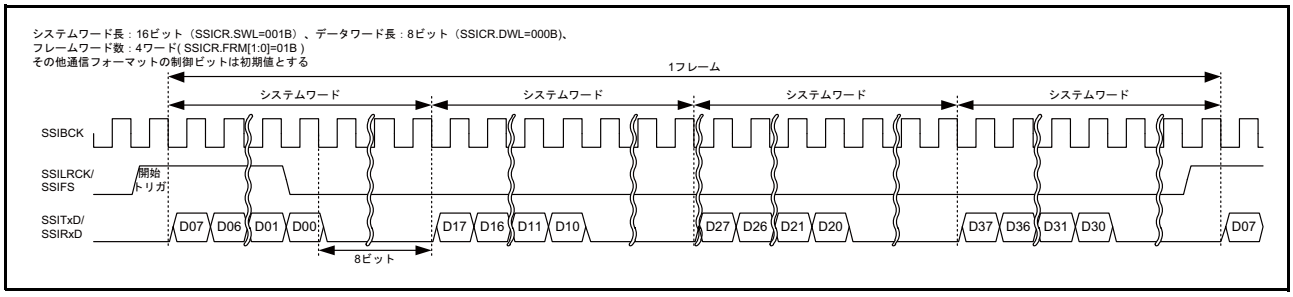


図 24.41　TDM フォーマット (パディングあり : システムワード長＞データワード長)

SSIF-2 がアイドル状態の外部端子状態は「**24.5.1.1　アイドル状態**」を参照してください。

注意 . SSIF-2 は通信の同期を示す SSILRCK/SSIFS 端子を持っています。SSIF-2 がスレーブ通信（SSICR.MST = 0）の場合には、対向デバイスと SSIF-2 の通信フォーマットを合わせてください。SSIF-2 は SSILRCK/SSIFS の信号を通信開始トリガとしてのみ使用します。

24.4.3　通信モード

SSIF-2 は下記のモードを設定することができます。各通信モードで使用できない制御ビットを表 24.15 に示します。SSIF-2 が持つ 6 つのモードの詳細は、「24.4.3.1　スレーブ通信」から「24.4.3.5　送受信」で説明します。

表 24.14　通信モード

通信モード	SSICR.MST ビット	SSICR.REN ビット	SSICR.TEN ビット
スレーブ送信	0	0	1
スレーブ受信	0	1	0
スレーブ送受信	0	1	1
マスタ送信	1	0	1
マスタ受信	1	1	0
マスタ送受信	1	1	1

表 24.15　各通信モードで使用できない制御ビット

通信モード 制御ビット	スレーブ受信	スレーブ送信	スレーブ送受信	マスタ受信	マスタ送信	マスタ送受信
SSICR.CKS	無効	無効	無効	使用可能	使用可能	使用可能
SSICR.CKDV	無効	無効	無効	使用可能	使用可能	使用可能
SSICR.MUEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.TEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.REN	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.AUCKEN	無効	無効	無効	使用可能	使用可能	使用可能
SSIFCR.BCKNCE	使用可能	使用可能*1	使用可能*2	無効	無効	無効
SSIFCR.LRCKNCE	使用可能	使用可能*1	使用可能*2	無効	無効	無効
SSIFCR.RXDNCE	使用可能	無効	使用可能	無効	無効	無効
SSIFCR.TIE	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RIE	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.TFRST	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RFRST	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIOFR.BCKASTP	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.LRCONT	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.OMOD	使用可能	使用可能	使用可能	使用可能	使用可能	使用可能
SSISCR.TDES	無効	使用可能	使用可能	無効	使用可能	使用可能
SSISCR.RDFS	使用可能	無効	使用可能	使用可能	無効	使用可能

注 1.　SSICR.DEL='1'の場合は無効
注 2.　SSICR.DEL='1'での送信動作（SSICR.TEN='1'）時は無効

24.4.3.1　スレーブ通信

SSIF-2 は SSICR.MST = 0 のときスレーブ通信となります。シリアルデータ通信に使う SSIBCK 信号と SSILRCK/SSIFS 信号は外部デバイスから供給してください。これらの信号が SSIF-2 に設定された通信フォーマットと一致しない場合には、動作は保証できません。

24.4.3.2　マスタ通信

SSIF-2 は SSICR.MST = 1 のときマスタ通信となります。シリアルデータ通信に使う SSIBCK 信号と SSILRCK/SSIFS 信号はオーディオクロックから内部生成します。これらの信号のフォーマットは SSIF-2 の設定に従います。スレーブデバイスの通信フォーマットが SSIF-2 に設定した通信フォーマットと一致しない場合には、動作は保証できません。

24.4.3.3　送信

SSIF-2 は SSICR.TEN = 1 かつ SSICR.REN = 0 のとき対向デバイスにシリアルデータを送信します。対向デバイスと SSIF-2 の通信フォーマットが一致しない場合には、動作は保証できません。

24.4.3.4　受信

SSIF-2 は SSICR.TEN = 0 かつ SSICR.REN = 1 のとき対向デバイスからシリアルデータを受信します。対向デバイスと SSIF-2 の通信フォーマットが一致しない場合には、動作は保証できません。

24.4.3.5　送受信

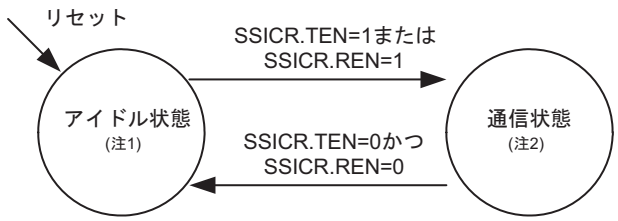
SSIF-2 は SSICR.TEN = 1 かつ SSICR.REN = 1 のとき対向デバイスとシリアルデータを送受信します。対向デバイスと SSIF-2 の通信フォーマットが一致しない場合には、動作は保証できません。

24.5　オペレーション

24.5.1　動作状態

SSIF-2 は大きく 2 つの動作状態があります（図 24.42）。

- アイドル状態（SSISR.IIRQ = ’1’）
- 通信状態（SSISR.IIRQ = ’0’）



注1.　：アイドル状態の詳細は「24.5.1.1　アイドル状態」を参照してください。
注2.　：通信状態の詳細は「24.5.1.2　通信状態」を参照してください。

図 24.42　SSIF-2 の状態遷移図

24.5.1.1　アイドル状態

SSIF-2 は通信停止しています。ただし、SSICR.MST = ’1’ の場合には、SSIOFR.BCKASTP ビットと SSIOFR.LRCONT ビットの設定によって外部端子へ BCK と LR クロック／フレームシンクへの出力制御をすることができます（表 24.16）。この機能は通信フォーマット共通です。

表 24.16　アイドル状態での外部端子の出力状態

SSICR.MST	SSIOFR.BCKASTP	SSIOFR.LRCONT	端子出力状態		
			SSIBCK	SSILRCK/SSIFS	SSITxD
0	–	–	停止	停止	停止
1	0	0	供給	停止	停止
1	0	1	供給	供給	停止
1	1	0	停止	停止	停止
1	1	1	停止	供給	停止

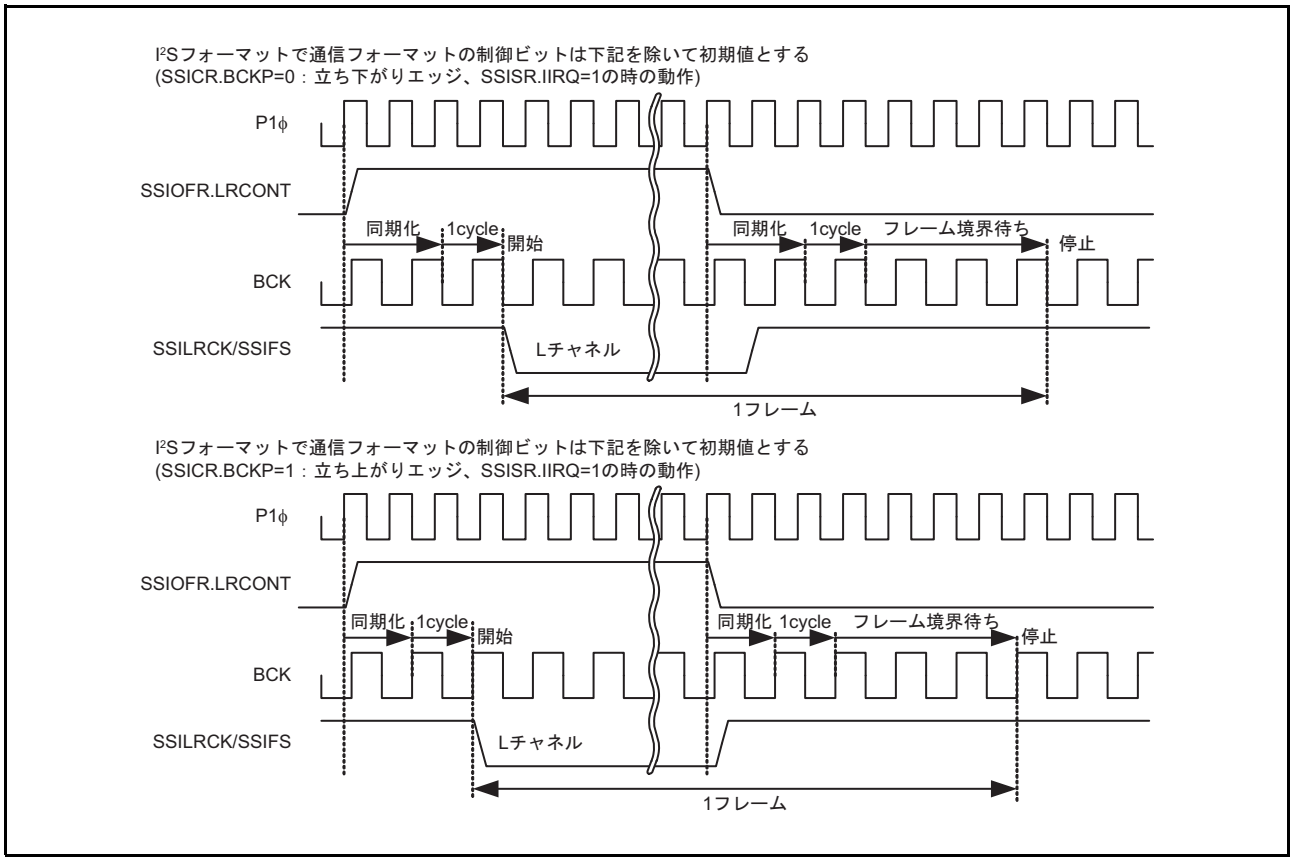


図 24.43　SSIOFR.LRCONT の LR クロック／フレームシンクコンティニュ解除動作例

注意．マスタ通信（SSICR.MST = ’1’）で SSIF-2 がアイドル状態の時、SSIOFR.LRCONT を用いて SSILRCK/SSIFS 端子の出力を停止する場合は次のことに注意してください。SSIOFR.LRCONT = ’1’ から ’0’ を書き込むと、出力が停止します（図 24.43）。対向デバイスが影響を受けない状態にしてから行ってください。

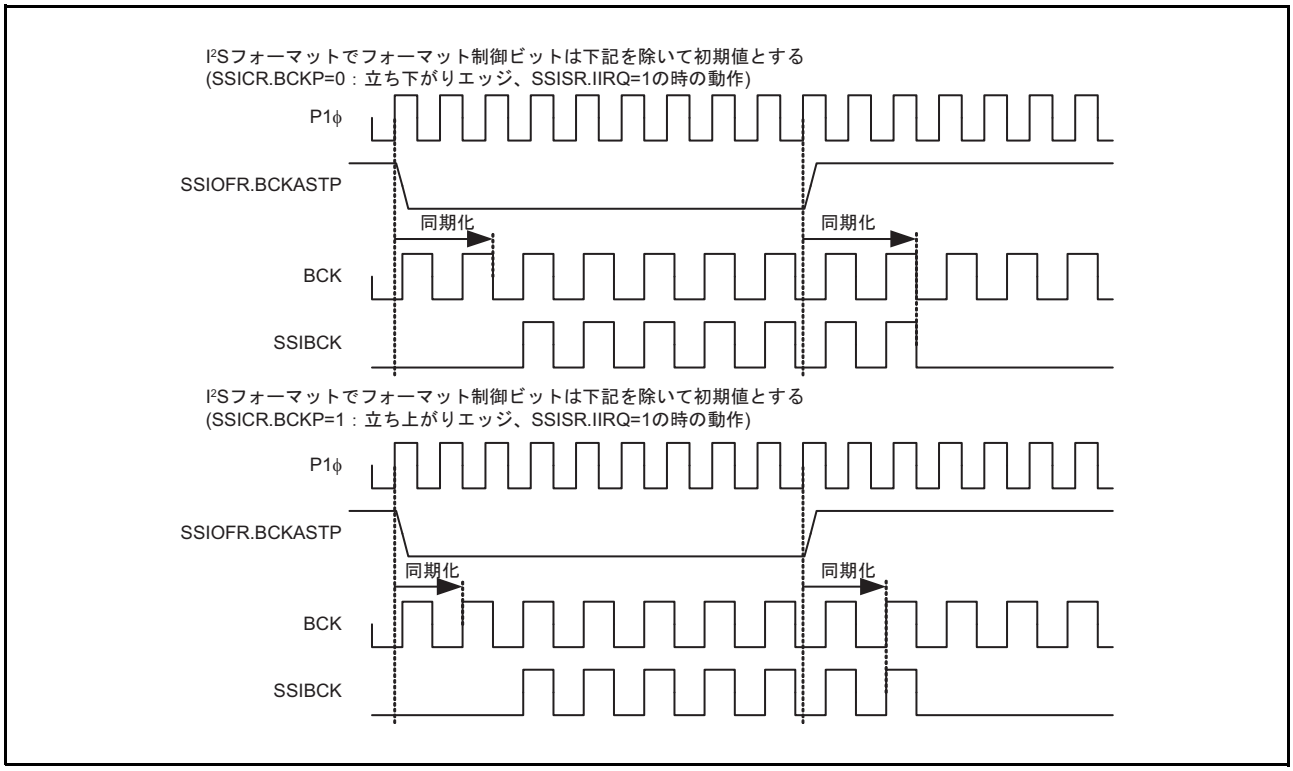


図 24.44　SSIOFR.BCKASTP の SSIBCK 停止動作例

注意．マスタ通信（SSICR.MST = ’1’）で SSIF-2 がアイドル状態の時、SSIOFR.BCKASTP を用いて SSIBCK 端子の出力を停止する場合は次のことに注意してください。SSIOFR.BCKASTP = ’0’ から ’1’ を書き込むと、出力が停止します（図 24.44）。対向デバイスが影響を受けない状態にしてから行ってください。

24.5.1.2　通信状態

SSIF-2 は通信動作しています。通信状態の遷移図を図 24.45、遷移条件を表 24.17 に示します。遷移条件が成立しない場合には、状態は遷移しません。

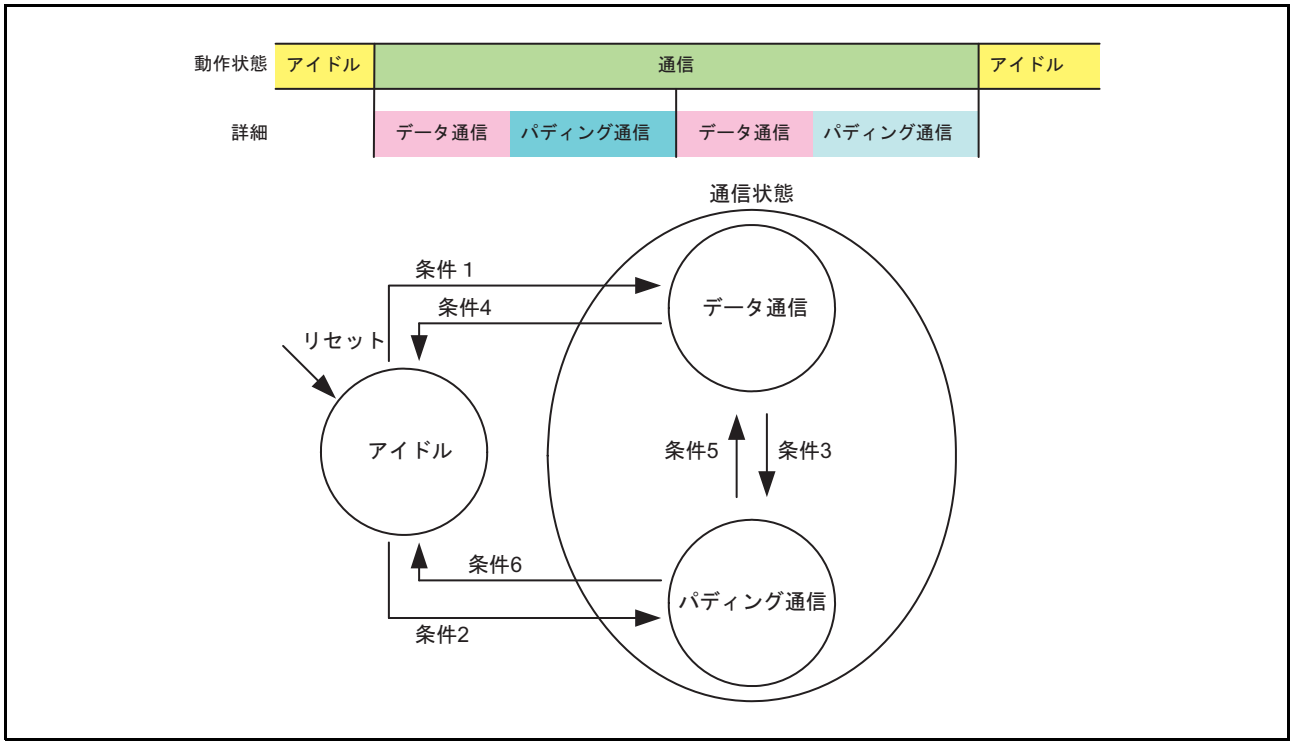


図 24.45　通信動作の状態遷移図

表 24.17　通信動作の状態遷移条件

条件No.	遷移条件
1	SSICR.SDTA = '0'、またはパディングビットがない設定でSSICR.TEN = '1'またはSSICR.REN = '1'を書き込む
2	SSICR.SDTA = '1'かつパディングビットがある設定でSSICR.TEN = '1'またはSSICR.REN = '1'を書き込む
3	下記3つの条件が全て成立した場合 ・SSICR.TEN = '1'またはSSICR.REN = '1'の状態 ・パディングビットがある設定 ・データワードの最終ビットを転送完了
4	下記2つの条件が全て成立した場合 ・SSICR.SDTA = '1'またはパディングビットがない設定 ・SSICR.TEN = '0'かつSSICR.REN = '0'の状態で1フレームのデータワードの最終ビットを転送完了
5	SSICR.TEN = '1'またはSSICR.REN = '1'の状態で最終パディングビットを転送完了
6	下記2つの条件が全て成立した場合 ・SSICR.SDTA = '0'かつパディングビットがある設定 ・SSICR.TEN = '0'かつSSICR.REN = '0'の状態で最終パディングビットを転送完了時

パディングビットの有無は表 24.13 を参照してください。

(1) データ通信状態

SSIF-2 は通信動作しています。この状態は SSICR.DWL[2:0] ビットで設定したデータワード長のデータを送信／受信／送受信します。

- パディングビットがない設定での状態遷移

通信状態（SSISR.IIRQ = ’0’）では、SSIF-2 は常にデータ通信状態です（図 24.46）。送受信動作禁止（SSICR.TEN = ’0’ かつ SSICR.REN = ’0’）にした場合には、SSIF-2 はアイドル状態に遷移します（図 24.47）。

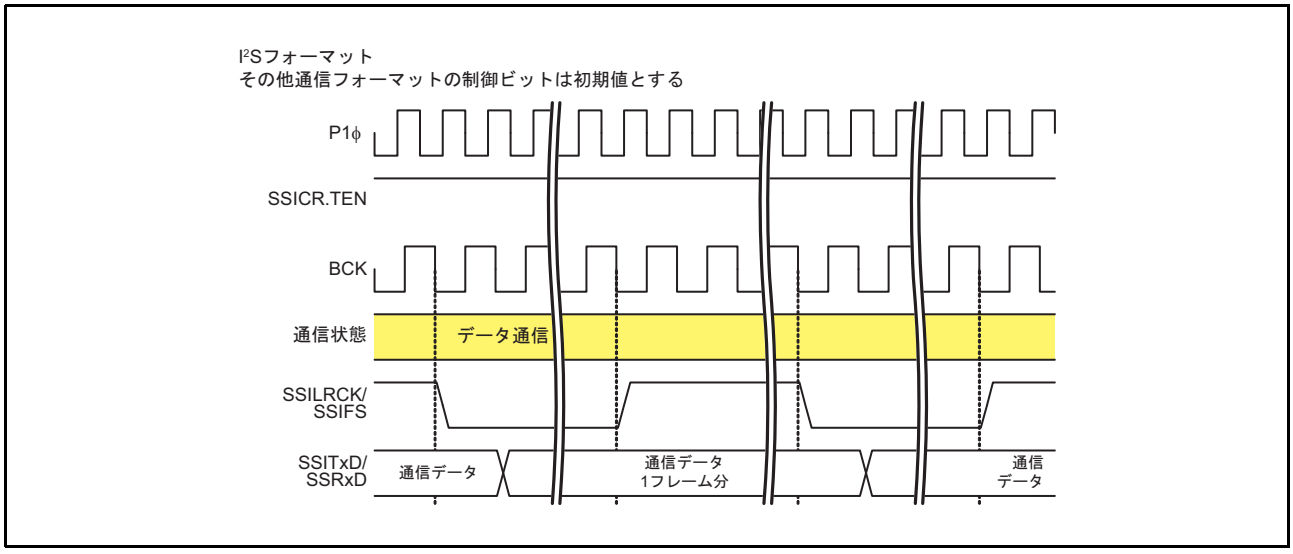


図 24.46　データ通信の継続動作

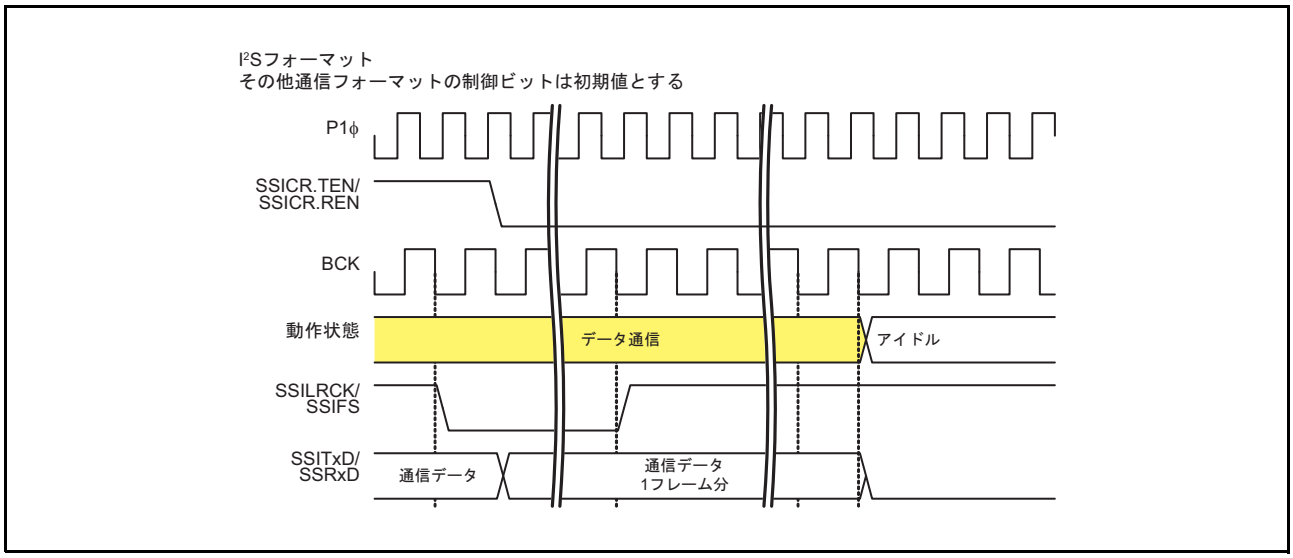


図 24.47　データ通信（パディングなし）からの通信停止動作

- パディングビットがある設定での状態遷移

通信状態（SSISR.IIRQ = ’0’）で SSIF-2 がデータワードの最終ビットを転送完了するとデータ通信状態からパディング通信状態へ遷移します（**図 24.48**）。SSICR.SDTA = ’1’ の状態で送受信動作禁止（SSICR.TEN = ’0’ かつ SSICR.REN = ’0’）でない場合には、SSIF-2 は通信停止する時にデータ通信状態からアイドル状態に遷移します（**図 24.49**）。

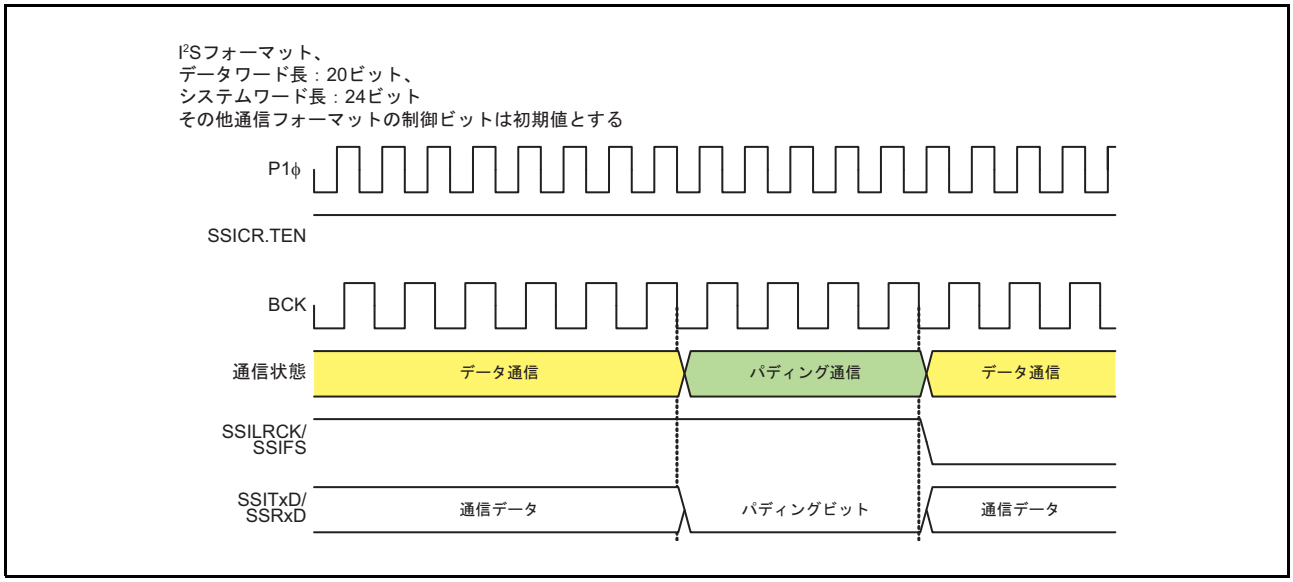


図 24.48　　データ通信からパディング通信への遷移

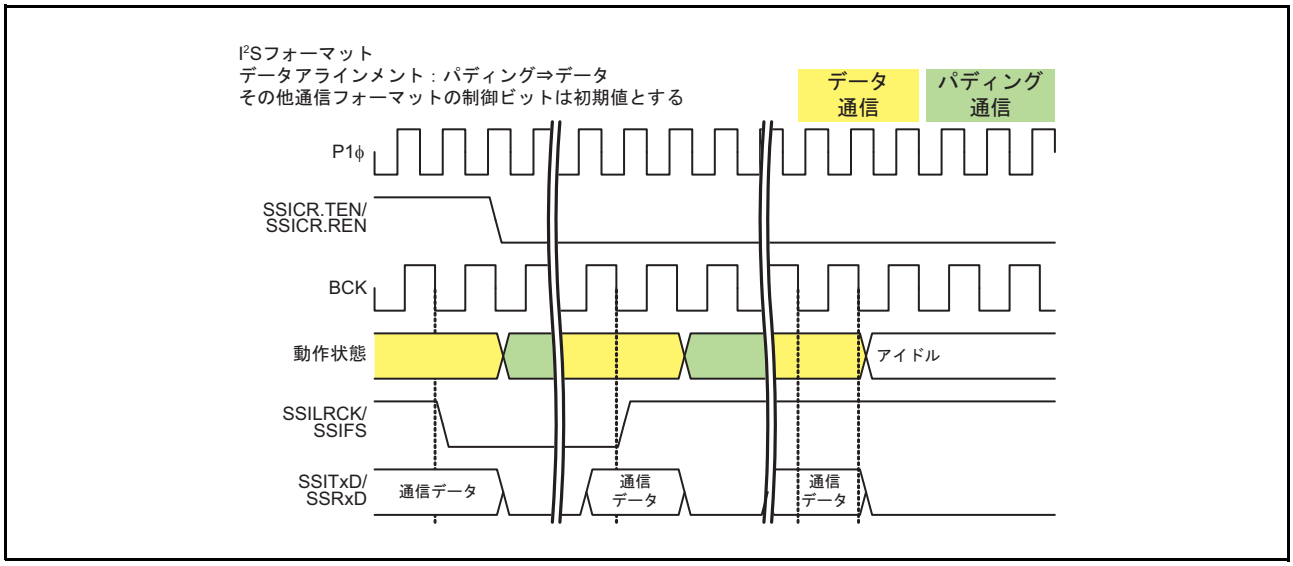


図 24.49　　データ通信（パディングあり）からの通信停止動作

(2)　パディング通信

SSIF-2 は通信動作しています。この状態は SSICR.SWL[2:0] と SSICR.DWL[2:0] ビットで決まったパティングビットを送信／受信／送受信します。

- パディングビットがある設定での状態遷移

通信状態（SSISR.IIRQ = ’0’）で SSIF-2 が最終パディングビットを転送完了するとデータ通信へ遷移します（図 24.48）。SSICR.SDTA = ’0’ の状態で送受信動作禁止（SSICR.TEN = ’0’ かつ SSICR.REN = ’0’）にした場合には、SSIF-2 は、通信停止する時にパディング通信からアイドルに遷移します（図 24.50）。

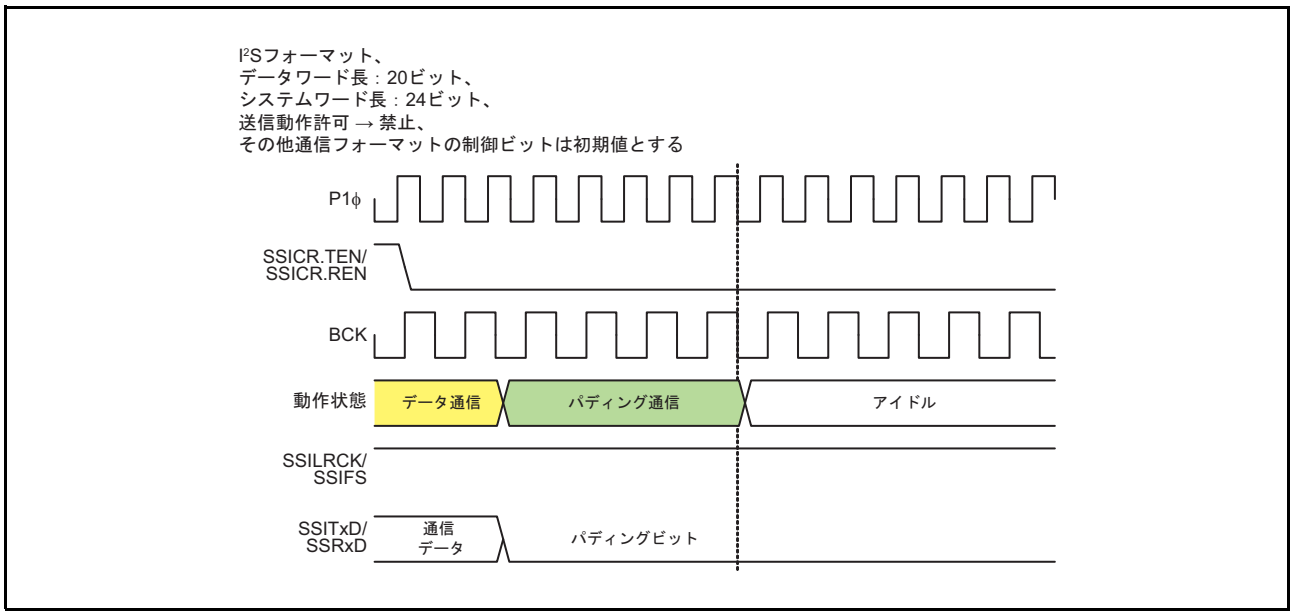


図 24.50　パディング通信からの通信停止動作

24.5.2　通信動作

SSIF-2 の通信動作の流れを図 24.51 に示します。

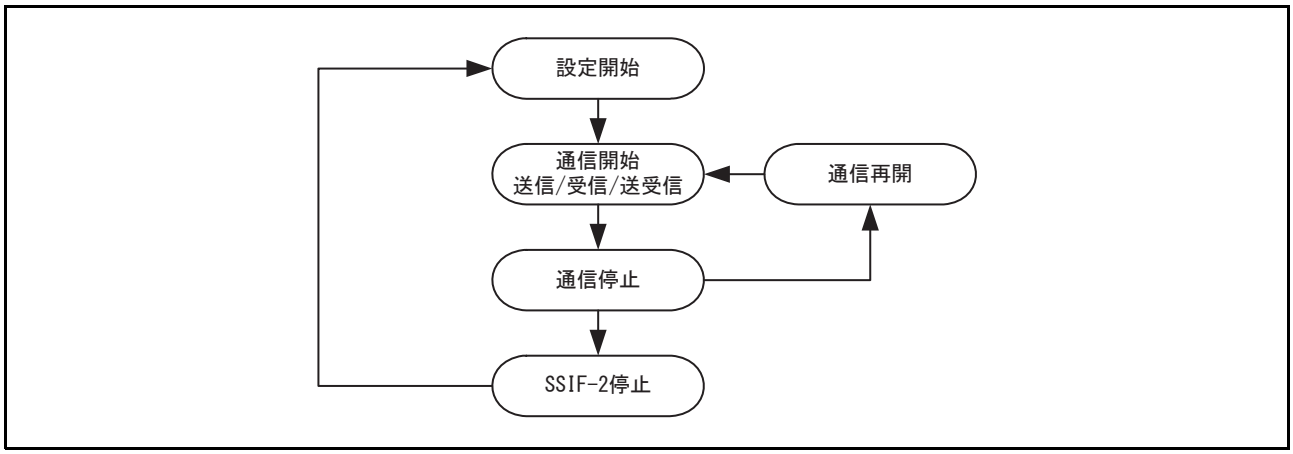


図 24.51　SSIF-2 の通信動作

各動作の手順毎に「24.5.2.1　通信開始動作」から「24.5.2.7　通信再開動作」で説明します。

24.5.2.1　通信開始動作

SSIF-2 の通信開始動作を説明します。SSIF-2 の通信を開始するための通信開始手順を**図 24.52** に示します。必ず通信開始手順に従ってください。通信開始後の送信動作は**「24.5.2.2　送信動作」**、受信動作は**「24.5.2.3　受信動作」**を参照してください。

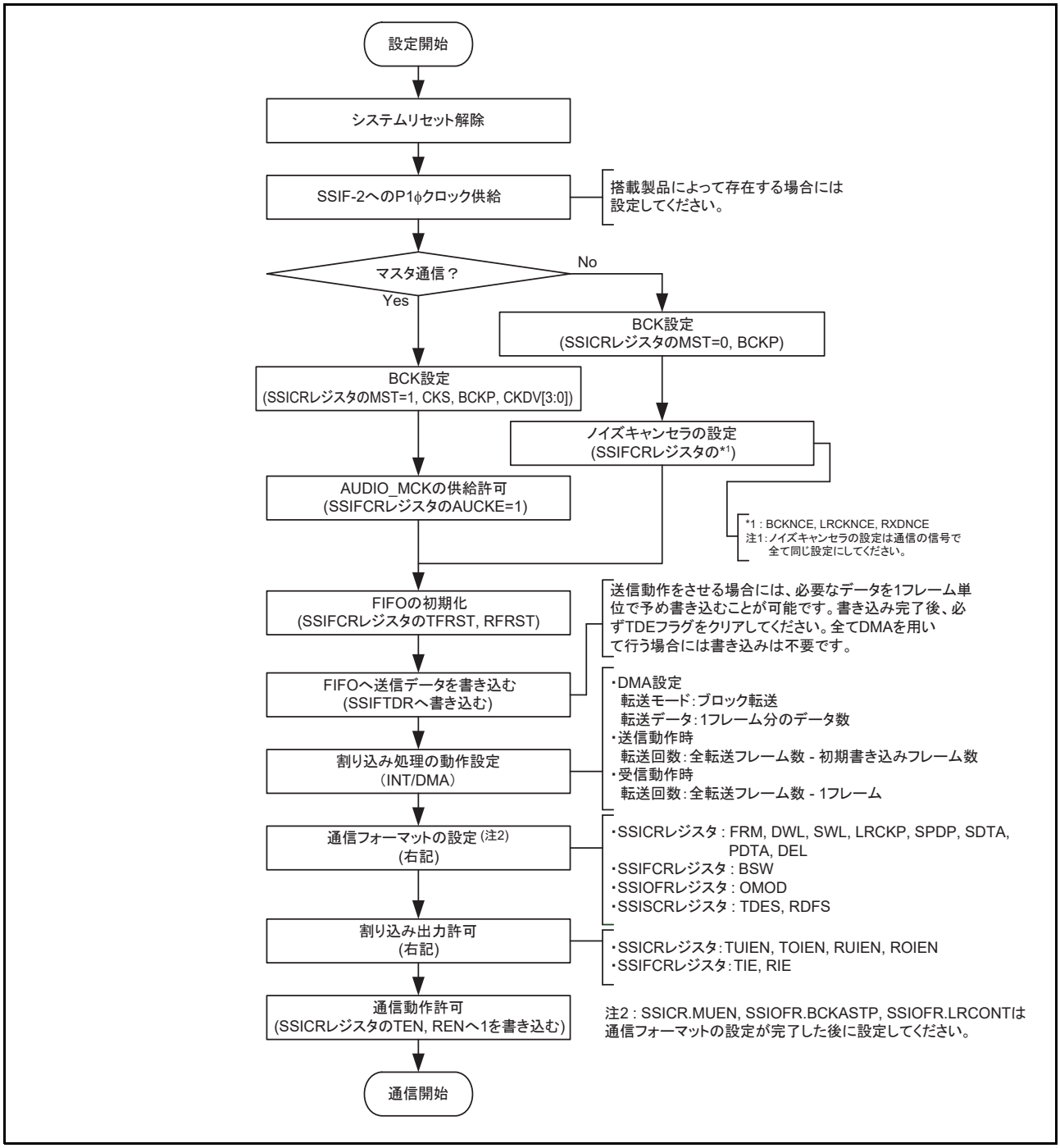


図 24.52　通信開始手順（CPU 手順）

SSIF-2 の通信動作は DMA の割り込み動作にて連続通信できます。SSIF-2 を送信動作させる場合には、SSIFCR.TIE, SSICR.TUIEN, SSICR.TOIEN は ’1’ に設定してください。SSIF-2 を受信動作させる場合には、SSIFCR.RIE, SSICR.RUIEN, SSICR.ROIEN は ’1’ に設定してください。

24.5.2.2　送信動作

送信動作中は送信動作手順 (**図 24.53**) に従ってください。

送信動作は送信動作許可（SSICR.TEN = ’1’ かつ SSICR.REN = ’0’）すると、送信 FIFO データレジスタ（SSIFTDR）に 1 フレーム以上のシリアルデータがある状態で SSILRCK/SSIFS の開始トリガが発生した場合に開始します。SSIF-2 は通信開始手順で設定した TDE セット条件（SSISCR.TDES）と送信データエンプティ割り込み許可（SSIFCR.TIE）に従って送信データエンプティ割り込みを DMA に出力します。この割り込みは送信 FIFO データレジスタ（SSIFTDR）への書き込み要求を示します。通信開始手順では、送信データエンプティ割り込みの DMA 動作に送信 FIFO データレジスタ（SSIFTDR）への書き込みを設定してください。これにより SSIF-2 は CPU を仲介せず連続データ送信が可能です。送信データエンプティ割り込みは SSISCR.TDES で設定した送信 FIFO データレジスタの空き容量になったら発生します。書き込み回数は送信データエンプティ割り込みが示す送信 FIFO データレジスタの空き容量に合わせて設定してください。エラーが発生した場合には、**「24.5.2.5　通信停止動作」**に従って**「24.5.2.6　エラー動作」**を実施してください。

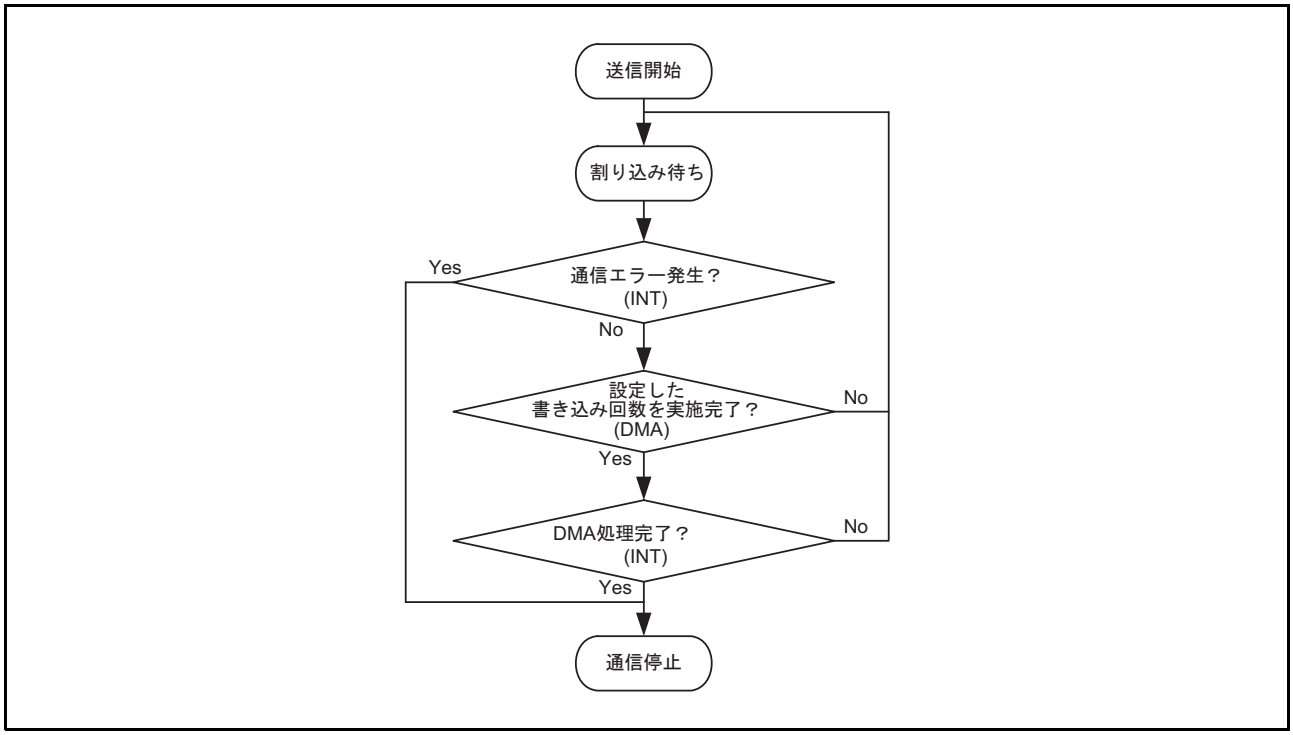


図 24.53　送信動作手順

注意 . SSIF-2 で定義している通信フローは DMA を用いたフローを示しています。DMA を使用しない場合には、SSIFSR.TDE の ’1’ をポーリングして SSIFTDR へ書き込みしてください。SSIFSR.TDE の ’1’ を検出して SSIFTDR へ書き込む回数は、SSISCR.TDES で設定した送信 FIFO データレジスタの空き容量に従ってください。空き容量に相当する送信データを SSIFTDR へ書き込み後、必ず SSIFSR.TDE フラグをクリアしてください。繰り返す事によって連続した送信動作が可能です。クリアしない場合には、SSIFSR.TDE はクリアしません。

24.5.2.3　受信動作

受信動作中は受信動作手順 (**図 24.54**) に従ってください。

受信動作は受信動作許可（SSICR.TEN = ’0’ かつ SSICR.REN = ’1’）すると、SSILRCK/SSIFS の開始トリガが発生した場合に開始します。SSIF-2 は通信開始手順で設定した RDF セット条件（SSISCR.RDFS）と受信データフル割り込み許可（SSIFCR.RIE）に従って受信データフル割り込みを DMA に出力します。この割り込みは受信 FIFO データレジスタ（SSIFRDR）の読み出し要求を示します。通信開始手順では、受信データフル割り込みの DMA 動作に受信 FIFO データレジスタ（SSIFRDR）の読み出しを設定してください。これにより SSIF-2 は CPU を仲介せず連続データ受信が可能です。受信データフル割り込みは SSISCR.RDFS で設定した受信 FIFO データレジスタのデータ容量が格納されたら発生します。書き込み回数は受信データフル割り込みが示す受信 FIFO データレジスタのデータ容量に合わせて設定してください。エラーが発生した場合には、**「24.5.2.5　通信停止動作」**に従って**「24.5.2.6　エラー動作」**を実施してください。

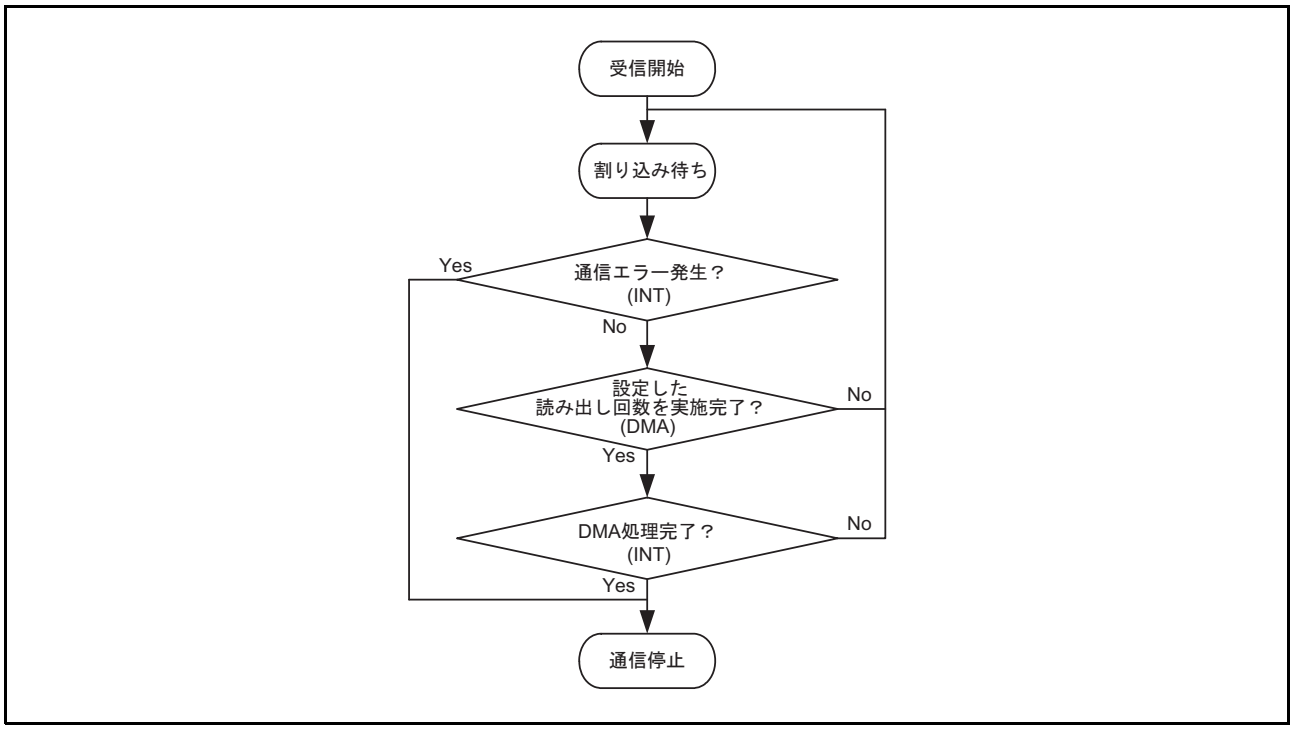


図 24.54　受信動作手順

注意 . SSIF-2 で定義している通信フローは DMA を用いたフローを示しています。DMA を使用しない場合には、SSIFSR.RDF の ’1’ をポーリングして SSIFRDR を読み出してください。SSIFSR.RDF の ’1’ を検出して SSIFRDR を読み出す回数は、SSISCR.RDFS で設定した受信 FIFO データレジスタの受信データ容量に従ってください。受信完了したデータを SSIFRDR から読み出し後、必ず SSIFSR.RDF フラグをクリアしてください。繰り返す事によって連続した受信動作が可能です。クリアしない場合には、SSIFSR.RDF はクリアしません。

24.5.2.4　送受信動作

送受信動作は送受信動作許可（SSICR.TEN = 1 かつ SSICR.REN = 1）にすると、送信 FIFO データレジスタ（SSIFTDR）に 1 フレーム以上のシリアルデータがある状態で SSILRCK/SSIFS の開始トリガが発生すると開始します。SSIF-2 の送受信動作は**「24.5.2.2　送信動作」**と**「24.5.2.3　受信動作」**に示した手順をそれぞれする事で連続して送受信可能です。送受信停止動作は**「24.5.2.5　通信停止動作」**を参照してください。

24.5.2.5　通信停止動作

SSIF-2 の通信停止動作を説明します。SSIF-2 の通信を停止するための通信停止手順を図 24.55 に示します。必ず通信停止手順に従ってください。

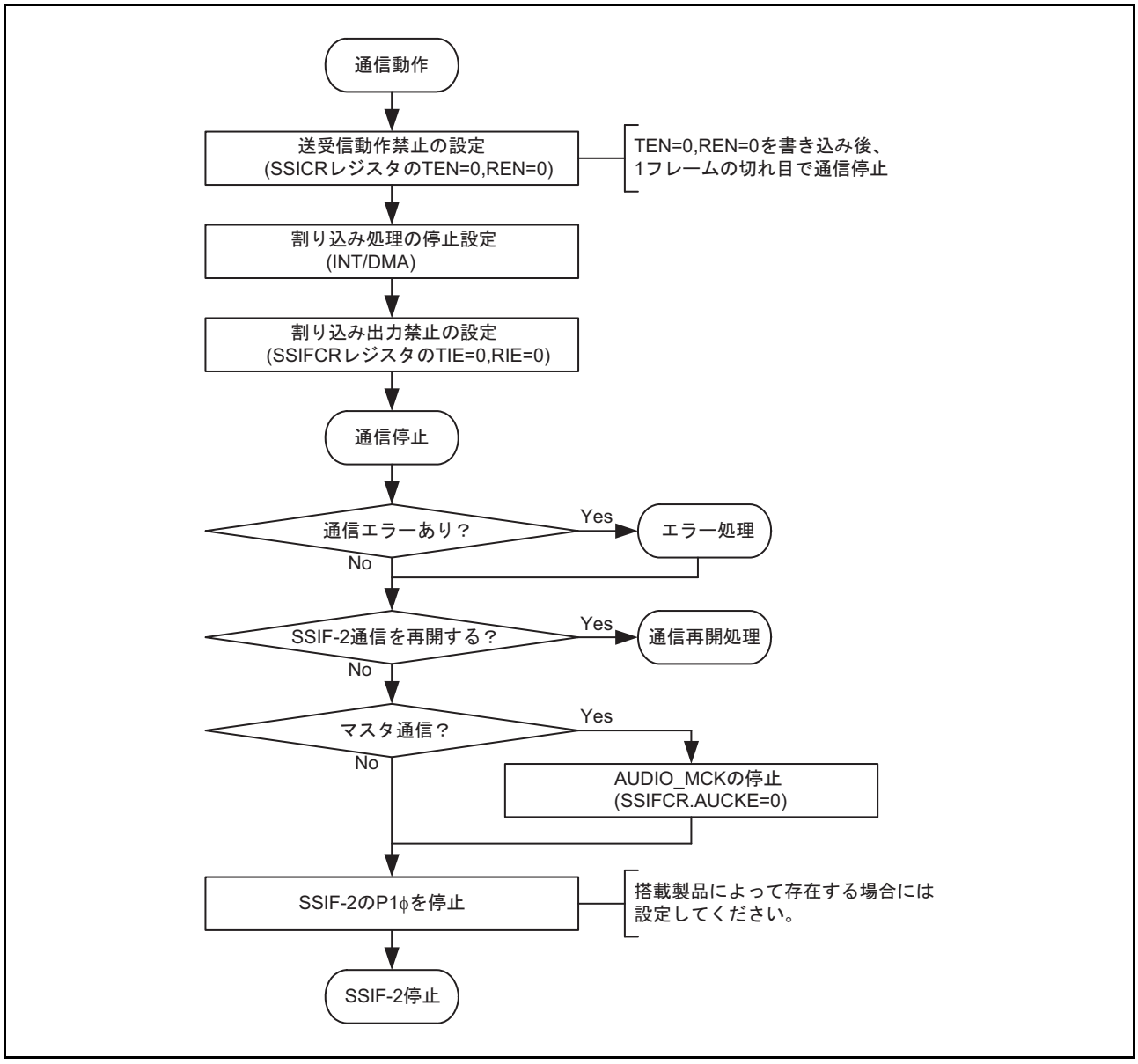


図 24.55　通信停止手順（CPU 手順）

SSIF-2 を停止する場合、SSISR.IIRQ ビットがアイドル状態を示すまで下記クロックの供給が必要です。

- SSICR.MST = ’0’ のとき SSIBCK 端子からの入力クロック
- SSICR.MST = ’1’ のとき AUDIO_MCK

SSIF-2 を前の通信設定で再開したい場合には「24.5.2.7　通信再開動作」を参照してください。

注意．通信停止手順（図 24.55）に従って SSIF-2 停止した場合には、通信開始手順（図 24.52）に従って通信開始してください。

24.5.2.6　エラー動作

SSIF-2 は 4 つのエラーを持っています。

- 送信アンダフローエラー
- 送信オーバフローエラー
- 受信アンダフローエラー
- 受信オーバフローエラー

SSIF-2 のアンダフローエラーまたはオーバフローエラーが発生した場合、SSIF-2 は再起動が必要です。通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。

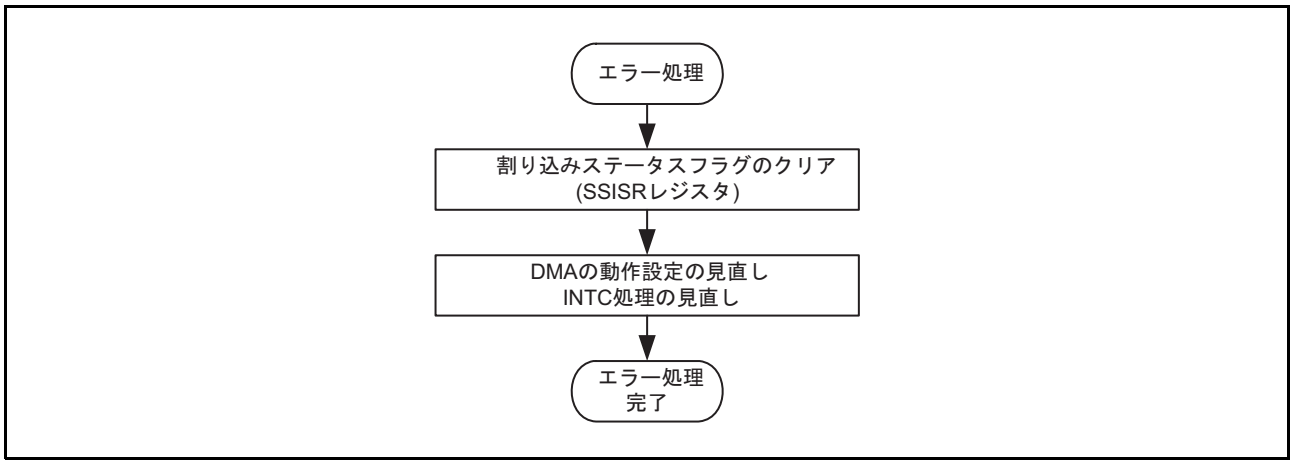


図 24.56　エラー手順

4 つのエラーの動作を説明します。エラー割り込みは SSICR レジスタの割り込み出力許可ビットを出力許可に設定した状態かつ SSISR レジスタの各エラーフラグがセット状態で発生します。各エラーフラグのセット条件は「**24.4.1.2　ステータスレジスタ (SSISR)**」の各フラグ説明を参照してください。

(1)　送信アンダフローエラー

送信アンダフローエラーが発生した場合には、送信データエンプティ割り込みによる送信 FIFO データレジスタ（SSIFTDR）への書き込み回数を見直してください。送信アンダフローエラー発生後、SSIF-2 から送信するデータは ’0’ を出力となります。送信 FIFO データレジスタ（SSIFTDR）へ書き込んだシリアルデータを正しく SSIFTxD 端子へ出力するためには、通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。本エラーが発生した後、シリアルデータは通常通り消費します。通信を再開する場合には、最初からデータを書き込んでください。

(2)　送信オーバフローエラー

送信オーバフローエラーが発生した場合には、送信データエンプティ割り込みによる送信 FIFO データレジスタ（SSIFTDR）に書き込む回数を見直してください。送信オーバフローエラー発生した送信 FIFO データレジスタ（SSIFTDR）に書き込んだシリアルデータは無効となります。このエラーは送信動作中に関係なく発生します。復帰するためには通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。通信を再開した場合には、無効となったシリアルデータを考慮してください。

(3)　受信アンダフローエラー

受信アンダフローエラーが発生した場合には、受信データフル割り込みによる受信 FIFO データレジスタ

（SSIFRDR）の読み出し回数を見直してください。受信アンダフローエラーが発生した受信 FIFO データレジスタ（SSIFRDR）の読み出し値は不定となります。このエラーは受信動作中に関係なく発生します。復帰するためには通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。

(4)　受信オーバフローエラー

受信オーバフローエラーが発生した場合には、受信データフル割り込みによる受信 FIFO データレジスタ（SSIFRDR）の読み出し回数を見直してください。受信オーバフローエラーが発生した受信データは受信 FIFO データレジスタ（SSIFRDR）へ格納できません。復帰するためには通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。

24.5.2.7　通信再開動作

SSIF-2 の通信再開は通信再開手順（**図 24.57**）に従ってください。通信再開手順は通信停止手順後、同じ設定で通信再開する事を想定しています。クロックおよびスレーブ／マスタの設定を変更する場合には通信開始手順（**図 24.52**）に従ってください。通信開始後の送信動作は「**24.5.2.2　送信動作**」、受信動作は「**24.5.2.3　受信動作**」を参照してください。

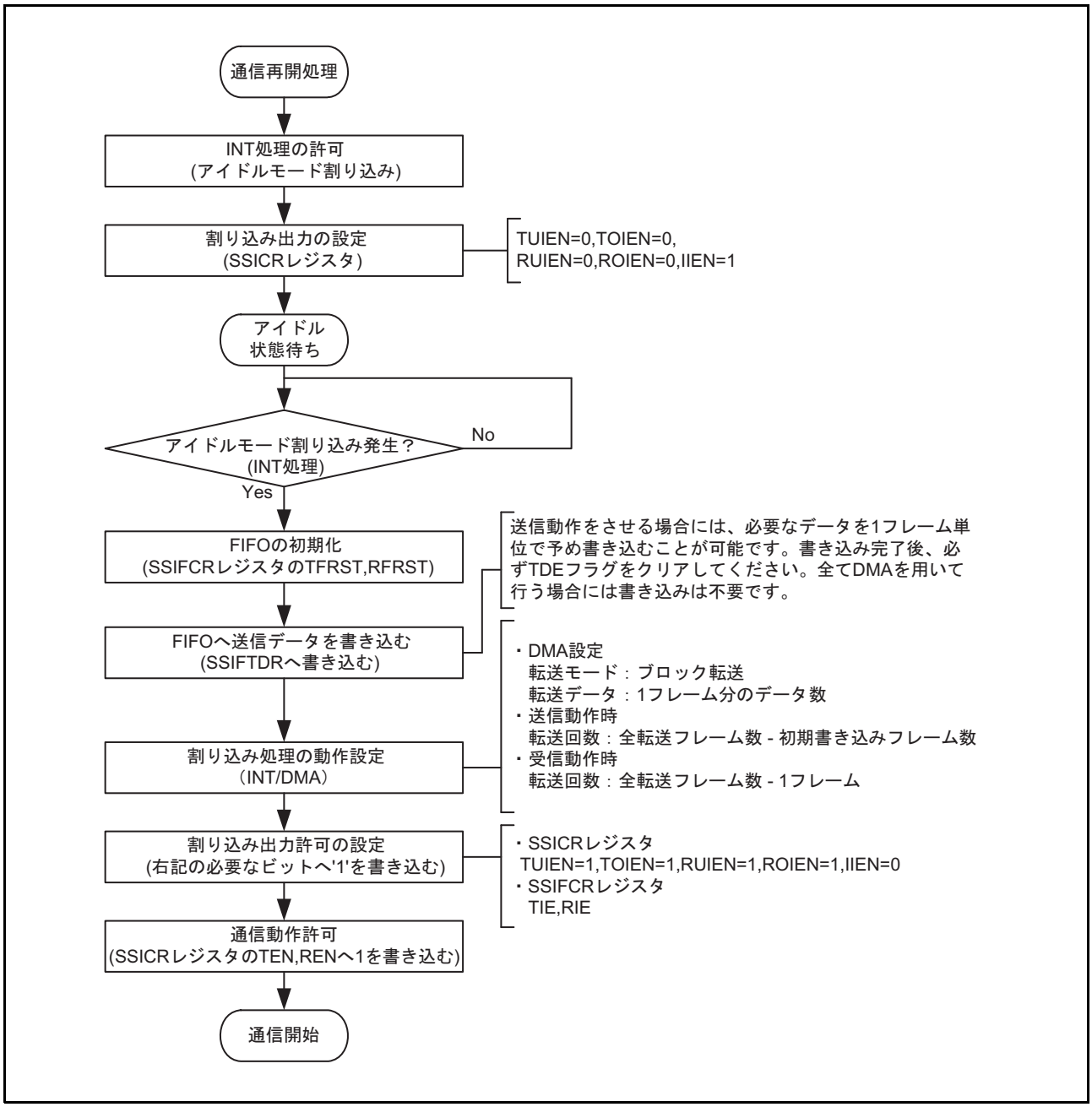


図 24.57　通信再開手順（CPU 手順）

24.5.3　割り込み要因

表 24.18 に各割り込み要因を示します。各割り込み要因は、SSICR の TUIEN、TOIEN、RUIEN、ROIEN、IIEN と SSIFCR の TIE、RIE ビットで割り込み出力の許可または禁止が設定できます。

表 24.18　割り込み要因

割り込み要因	内容	割り込みフラグ	割り込みセンス	DMA起動
INT_ssif_int_req	送信アンダフロー割り込み／ 送信オーバフロー割り込み／ 受信アンダフロー割り込み／ 受信オーバフロー割り込み／ アイドルモード割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROIRQ SSISR.IIRQ	レベル	不可
INT_ssif_dma_tx	送信データエンプティ割り込み	SSIFSR.TDE	エッジ	可
INT_ssif_dma_rx	受信データフル割り込み	SSIFSR.RDF	エッジ	可
INT_ssif_dma_rt	受信データフル割り込み 送信データエンプティ割り込み	SSIFSR.TDE/ SSIFSR.RDF	エッジ	可

24.5.3.1　INT_ssif_int_req 割り込み

この割り込みは 5 つの割り込みを併合しています。必要な割り込みを出力許可に設定して SSIF-2 を使用してください。この割り込みは 5 つの要因がそれぞれ持つフラグと出力許可イネーブルから動きます（図 24.58）。割り込みのクリアは割り込み許可イネーブルを ’0’ に設定するか、割り込みフラグを ’0’ にクリアしてください。

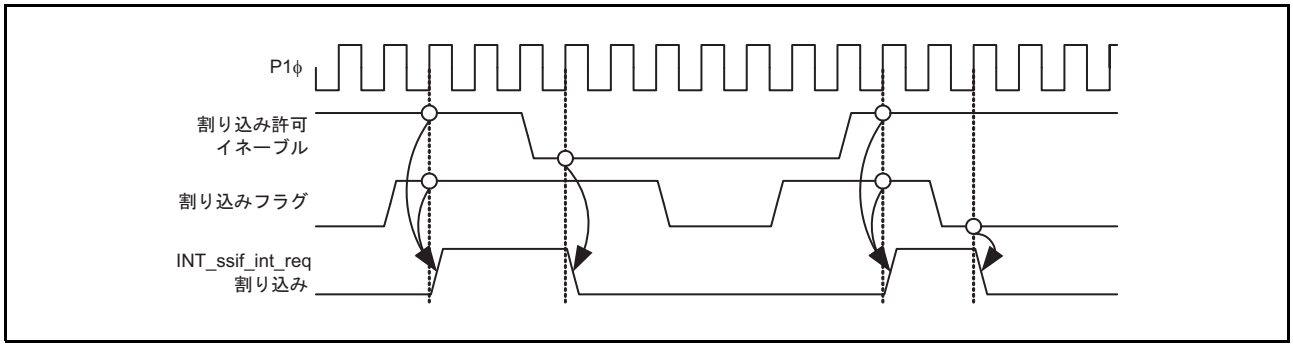


図 24.58　割り込み要因共通の INT_ssif_int_req 割り込みタイミングチャート

(1)　送信アンダフロー割り込み

送信アンダフロー割り込みは、SSICR.TUIEN = ’1’ の時に SSISR.TUIRQ を出力します。SSIF-2 を送信として使用する場合には、この割り込みの出力を許可（SSICR.TUIRQ = ’1’）に設定してください。この割り込みが発生した場合には、通信停止手順（図 24.55）とエラー手順（図 24.56）に従ってください。

(2)　送信オーバフロー割り込み

送信オーバフロー割り込みは、SSICR.TOIRQ = ’1’ の時に SSISR.TOIRQ を出力します。SSIF-2 を送信として使用する場合には、この割り込みの出力を許可（SSICR.TOIRQ = ’1’）に設定してください。この割り込みが発生した場合には、通信停止手順（図 24.55）とエラー手順（図 24.56）に従ってください。

(3)　受信アンダフロー割り込み

受信アンダフロー割り込みは、SSICR.RUIRQ = ’1’ の時に SSISR.RUIRQ を出力します。SSIF-2 を受信として使用する場合には、この割り込みの出力を許可（SSICR.RUIRQ = ’1’）に設定してください。この割り込みが発生した場合には、通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。

(4)　受信オーバフロー割り込み

受信オーバフロー割り込みは、SSICR.ROIRQ = ’1’ の時に SSISR.ROIRQ を出力します。SSIF-2 を受信として使用する場合には、この割り込みの出力を許可（SSICR.ROIRQ = ’1’）に設定してください。この割り込みが発生した場合には、通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。

(5)　アイドルモード割り込み

アイドルモード割り込みは、SSICR.IIEN = ’1’ の時に SSISR.IIRQ を出力します。この割り込みは完全に通信が停止している事を確認する時に使用します（**図 24.57**）。

24.5.3.2　INT_ssif_dma_tx 割り込み [全二重通信]

送信データエンプティ割り込みは、下記の条件でパルス割り込みを出力します。

- SSIFCR.TIE = ’1’ かつ SSIFSR.TDE = ’1’ となった場合

SSIF-2 動作：SSIFCR.TIE = ’1’ の時に SSIFSR.TDE が ’0’ から ’1’ となった場合
CPU 命令：SSIFSR.TDE = ’1’ の時に SSIFCR.TIE を ’0’ から ’1’ に変更した場合

この割り込みは割り込み取りこぼし対策の機能を持っています。DMA がビジー状態（割り込みを受付不可）を示しているときに割り込み条件が発生した場合、割り込み出力を保持します。保持した割り込みは DMA が受付可能な状態になった後に出力します（図 24.59）。

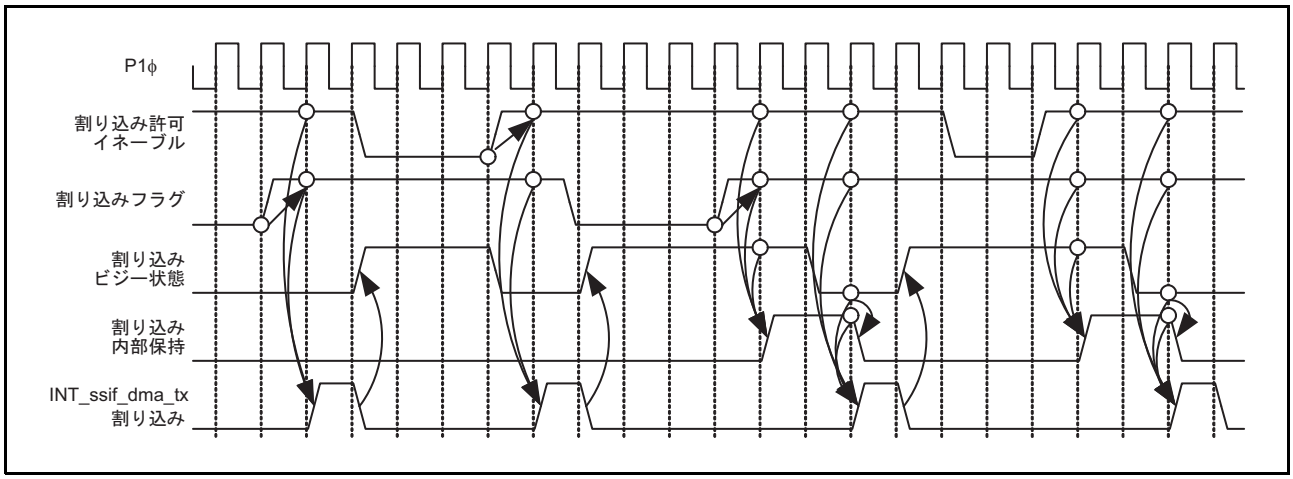


図 24.59　INT_ssif_dma_tx 割り込みタイミングチャート

24.5.3.3　INT_ssif_dma_rx 割り込み [全二重通信]

受信データフル割り込みは、下記の条件でパルス割り込みを出力します。

- SSIFCR.RIE = ’1’ かつ SSIFSR.RDF = ’1’ となった場合

SSIF-2 動作：SSIFCR.RIE = ’1’ の時に SSIFSR.RDF が ’0’ から ’1’ となった場合
CPU 命令：SSIFSR.RDF = ’1’ の時に SSIFCR.RIE を ’0’ から ’1’ に変更した場合

この割り込みは割り込み取りこぼし対策の機能を持っています。DMA がビジー状態（割り込みを受付不可）を示しているときに割り込み条件が発生した場合、割り込み出力を保持します。保持した割り込みは DMA が受付可能な状態になった後に出力します。動きは図 24.60 と同じです。

24.5.3.4　INT_ssif_dma_rt 割り込み [半二重通信]

この割り込みは送信データエンプティ割り込みと受信データフル割り込みの 2 要因で発生します。割り込みが発生した場合には、割り込みフラグを読み出して発生した割り込み要因を特定する必要があります。

この割り込みは割り込み取りこぼし対策の機能を持っています。DMA がビジー状態（割り込みを受付不可）を示しているときに割り込み条件が発生した場合、割り込み出力を保持します。保持した割り込みは DMA が受付可能な状態になった後に出力します（図 24.60）。

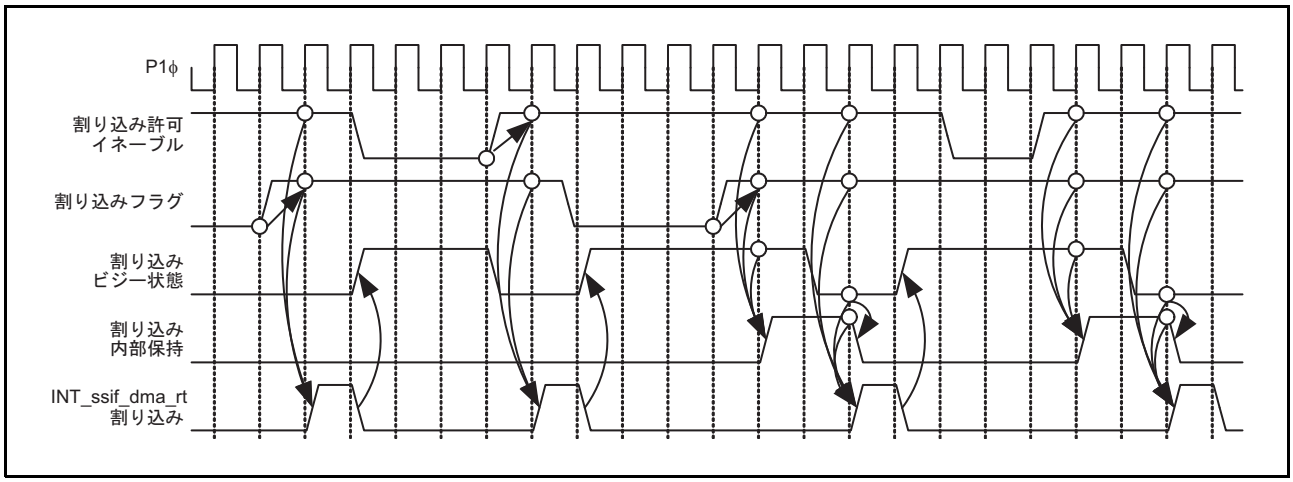


図 24.60　INT_ssif_dma_rt 割り込みタイミングチャート

24.5.4　ソフトウェアリセット

SSIF-2 は、状態をリセットするために 3 つのソフトウェアリセットビットを持っています。

- SSIF-2 ソフトウェアリセット（SSIFCR.SSIRST）
- 送信 FIFO データレジスタリセット（SSIFCR.TFRST）
- 受信 FIFO データレジスタリセット（SSIFCR.RFRST）

3 つのソフトウェリセットの手順を説明します。

24.5.4.1　ソフトウェアリセット手順

(1)　SSIF-2 ソフトウェアリセット

SSIF-2 ソフトウェアリセットビット（SSIFCR.SSIRST）はソフトウェアリセット手順（**図 24.61**）に従ってください。ソフトウェアリセット手順は同じ設定で通信再開する事を想定しています。クロックおよびスレーブ／マスタの設定を変更する場合には通信開始手順（**図 24.52**）に従ってください。通信開始後の送信動作は「**24.5.2.2　送信動作**」、受信動作は「**24.5.2.3　受信動作**」を参照ください。

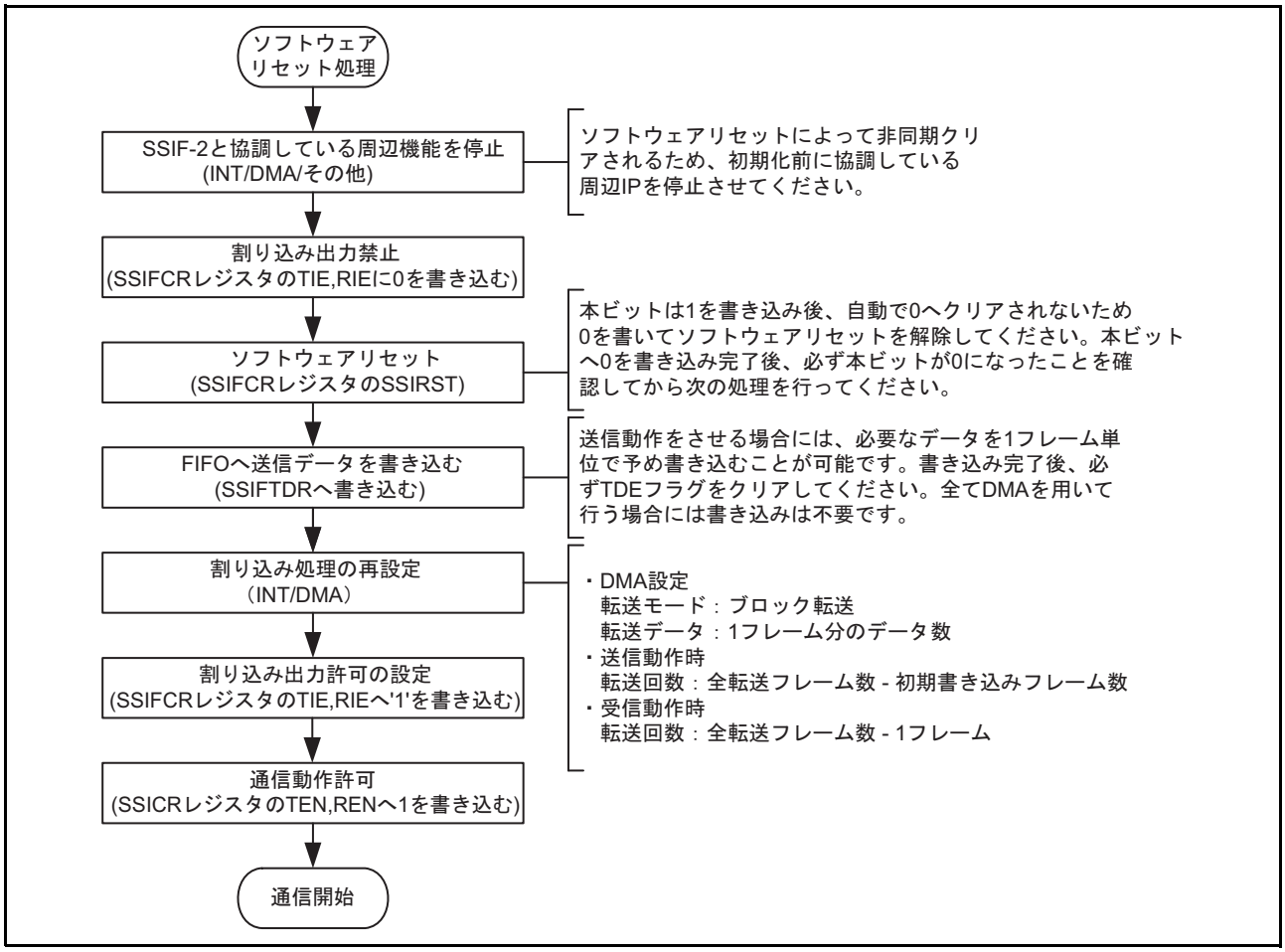


図 24.61　ソフトウェアリセット手順（CPU 手順）

(2)　送信 FIFO データレジスタリセット

送信 FIFO データレジスタリセットは通信開始手順（**図 24.52**）と通信再開手順（**図 24.57**）に従ってください。

(3)　受信 FIFO データレジスタリセット

受信 FIFO データレジスタリセットは信開始手順（**図 24.52**）と通信再開手順（**図 24.57**）に従ってください。

24.6　注意事項

24.6.1　注意事項

24.6.1.1　DMA を使用した通信での注意

SSIF-2 は下記の通り DMA アクセスを想定しています。

表 24.19　DMA アクセスを期待する割り込み

通信動作	割り込み	DMA アクセス	LSI 仕様	備考
送信	INT_ssif_dma_tx	SSIFTDR への書き込み	全二重通信	
	INT_ssif_dma_rt		半二重通信	
受信	INT_ssif_dma_rx	SSIFRDR の読み出し	全二重通信	
	INT_ssif_dma_rt		半二重通信	
送受信	INT_ssif_dma_tx	SSIFTDR への書き込み	全二重通信	
	INT_ssif_dma_rx	SSIFRDR の読み出し	全二重通信	

DMA を使用しないで通信する場合には、下記を必ず守ってください。

- CPU を使用して SSIFTDR への書き込んだ場合、最終アクセス時に SSIFSR.TDE をクリアしてください。クリアしない場合には、意図しない送信オーバフローが発生する可能性があります。
- CPU を使用して SSIFRDR への読み込んだ場合、最終アクセス時に SSIFSR.RDE をクリアしてください。クリアしない場合には、意図しない受信オーバフローが発生する可能性があります。

24.6.1.2　スレーブ通信時

(1)　ADCKE 制御

スレーブ通信時（SSICR.MST = ’0’）、SSIF-2 は SSIBCK の供給が必要です。マスタ側の BCK の停止は、SSIF-2 がアイドル状態（SSISR.IIRQ = ’1’）を確認してから行ってください。SSIF-2 がアイドル状態になる前に BCK を停止した場合には、通信開始手順（図 24.52）を実施するか、通信再開手順（図 24.57）に従ってアイドル状態を待ってから通信を再開してください。

(2)　SSILRCK/SSIFS 端子

SSIF-2 は通信の同期を示す SSILRCK/SSIFS 端子を持っています。SSIF-2 がスレーブ通信（SSICR.MST = 0）の場合には、対向デバイスと SSIF-2 の通信フォーマットを合わせてください。SSIF-2 は SSILRCK/SSIFS の信号を通信開始トリガとしてのみ使用します。

24.6.1.3　マスタ通信

(1)　ADCKE 制御

マスタ通信時（SSICR.MST = ’1’）、SSIF-2 はオーディオクロック（AUDIO_MCK）で動いています。SSIF-2 を完全停止させる場合には、SSIF-2 がアイドル状態（SSISR.IIRQ = ’1’）を確認してから SSIFCR.ADCKE = ’0’ を書き込んでください。SSIF-2 がアイドル状態になる前に SSIFCR.ADCKE = ’0’ を書き込んだ場合には、通信開始手順（**図 24.52**）を実施してください。

(2)　LRCONT 制御

マスタ通信（SSICR.MST = ’1’）で SSIF-2 がアイドル状態の時、SSIOFR.LRCONT を用いて SSILRCK/SSIFS 端子の出力を停止する場合は次のことに注意してください。SSIOFR.LRCONT = ’1’ から ’0’ を書き込むと、出力が停止します（**図 24.43**）。対向デバイスが影響を受けない状態にしてから行ってください。

(3)　BCKASTP 制御

マスタ通信（SSICR.MST = ’1’）で SSIF-2 がアイドル状態の時、SSIOFR.BCKASTP を用いて SSIBCK 端子の出力を停止する場合は次のことに注意してください。SSIOFR.BCKASTP = ’0’ から ’1’ を書き込むと、出力が停止します（**図 24.44**）。対向デバイスが影響を受けない状態にしてから行ってください。

注意：スレーブである対向デバイスが通信動作前から SSIBCK 端子のクロックを必要とする場合には、使用できません。

24.6.1.4　通信フロー

(1)　エラー割り込みが発生した場合

SSIF-2 は 4 つのエラーを持っています。

- 送信アンダフローエラー
- 送信オーバフローエラー
- 受信アンダフローエラー
- 受信オーバフローエラー

SSIF-2 のアンダフローエラーまたはオーバフローエラーが発生した場合、SSIF-2 は再起動が必要です。通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。

(a)　送信アンダフローエラー

送信アンダフローエラーが発生した場合には、送信データエンプティ割り込みによる送信 FIFO データレジスタ（SSIFTDR）への書き込み回数を見直してください。送信アンダフローエラー発生後、SSIF-2 から送信するデータは ’0’ を出力となります。送信 FIFO データレジスタ（SSIFTDR）へ書き込んだシリアルデータを正しく SSIFTxD 端子へ出力するためには、通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。本エラーが発生した後、シリアルデータは通常通り消費します。通信を再開する場合には、最初からデータを書き込んでください。

(b)　送信オーバフローエラー

送信オーバフローエラーが発生した場合には、送信データエンプティ割り込みによる送信 FIFO データレジスタ（SSIFTDR）に書き込む回数を見直してください。送信オーバフローエラー発生した送信 FIFO データレジスタ（SSIFTDR）に書き込んだシリアルデータは無効となります。このエラーは送信動作中に関係なく発生します。復帰するためには通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。通信を再開した場合には、無効となったシリアルデータを考慮してください。

(c)　受信アンダフローエラー

受信アンダフローエラーが発生した場合には、受信データフル割り込みによる受信 FIFO データレジスタ（SSIFRDR）の読み出し回数を見直してください。受信アンダフローエラーが発生した受信 FIFO データレジスタ（SSIFRDR）の読み出し値は不定となります。このエラーは受信動作中に関係なく発生します。復帰するためには通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。

(d)　受信オーバフローエラー

受信オーバフローエラーが発生した場合には、受信データフル割り込みによる受信 FIFO データレジスタ（SSIFRDR）の読み出し回数を見直してください。受信オーバフローエラーが発生した受信データは受信 FIFO データレジスタ（SSIFRDR）へ格納できません。復帰するためには通信停止手順（**図 24.55**）とエラー手順（**図 24.56**）に従ってください。

(2)　送信データエンプティ割り込み

SSIF-2 で定義している通信フローは DMA を用いたフローを示しています。DMA を使用しない場合には、SSIFSR.TDE の ’1’ をポーリングして SSIFTDR へ書き込みしてください。SSIFSR.TDE の ’1’ を検出して SSIFTDR へ書き込む回数は、SSISCR.TDES で設定した送信 FIFO データレジスタの空き容量に従ってください。空き容量に相当する送信データを SSIFTDR へ書き込み後、必ず SSIFSR.TDE フラグをクリアしてください。繰り返す事によって連続した送信動作が可能です。クリアしない場合には、SSIFSR.TDE はクリアしません。

(3)　受信データフル割り込み

SSIF-2 で定義している通信フローは DMA を用いたフローを示しています。DMA を使用しない場合には、SSIFSR.RDF の ’1’ をポーリングして SSIFRDR を読み出してください。SSIFSR.RDF の ’1’ を検出して SSIFRDR を読み出す回数は、SSISCR.RDFS で設定した受信 FIFO データレジスタの受信データ容量に従ってください。受信完了したデータを SSIFRDR から読み出し後、必ず SSIFSR.RDF フラグをクリアしてください。繰り返す事によって連続した受信動作が可能です。クリアしない場合には、SSIFSR.RDF はクリアしません。

(4)　転送モードを切り替える場合の注意

①送信、受信、送受信からモード遷移する場合は、送受信動作禁止 (SSICR レジスタの TEN = 0, REN = 0) を設定してください。
②アイドル状態（SSISR.IIRQ = 1）を確認してください。
③アイドル状態で SSICR.TEN ビットと SSICR.REN ビットを再設定し転送を再開してください。

(5)　SSIF-2 停止後の通信開始

通信停止手順（**図 24.55**）に従って SSIF-2 停止した場合には、通信開始手順（**図 24.52**）に従って通信開始してください。

24.6.1.5　ライトアクセス制約

(1)　SSICR レジスタ

TEN, REN ビットの設定値を書き変えた場合には、SSISR.IIRQ ビットが意図した状態になることを確認してください。書き変えた場合には、動作は保証しません。例えば、動作許可に設定した場合には SSISR.IIRQ = ’0’、動作禁止に設定した場合には SSISR.IIRQ = ’1’ を確認してください。

(a)　TEN ビットと REN ビット

本ビットへ 1 を書き込んだ場合、SSILRCK/SSIFS の開始トリガに同期して通信動作を開始します。詳細は**「24.5.2.2　送信動作」「24.5.2.3　受信動作」「24.5.2.4　送受信動作」**を参照してください。本ビットへ 0 を書き込んだ場合、次のフレーム境界で通信動作を停止します。SSIF-2 を送受信として使用する場合には、必ず同時に 1 を設定してください。また SSIF-2 の通信を停止する場合には必ず送受信停止（TEN = 0 かつ REN = 0）を設定してください。

(2)　SSISR レジスタ

(a)　TUIRQ と TOIRQ のクリア動作

通信許可（SSICR.TEN を ’0’ から ’1’ を書き込み）後、送信エラーフラグ (SSISR レジスタの TOIRQ、TUIRQ) はクリアします。しかし、連続して SSISR レジスタをリードした場合には、送信エラーフラグのクリア状態を読み出せないことがあります。

(b)　RUIRQ と ROIRQ のクリア動作

通信許可（SSICR.REN を ’0’ から ’1’ を書き込み）後、受信エラーフラグ (SSISR レジスタの RUIRQ と ROIRQ) はクリアします。連続して SSISR レジスタをリードした場合には、受信エラーフラグのクリア状態を読み出せません。

(3) 通信状態

表 24.20 の網掛け部のビットは通信状態で書き変えないでください。書き変えた場合には、書き換え直後の動作は保証しません。

表24.20　通信状態での書き換え禁止ビット

シンボル	アドレス（BASE+）		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	00h	+0	–	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	–	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	–	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	–	TEN	REN
SSISR	04h	+0	–	–	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	–	–	–	–	–	–	–	–	–
		+2	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
SSIFCR	10h	+0	AUCKE	–	–	–	–	–	–	–	–	–	–	–	–	–	–	SSIRST
		+2	–	–	–	–	BSW	BCKNCE	LRCKNCE	RxDNCE	–	–	–	–	TIE	RIE	TFRST	RFRST
SSIFSR	14h	+0	–	–	TDC[5:0]						–	–	–	–	–	–	–	TDE
		+2	–	–	RDC[5:0]						–	–	–	–	–	–	–	RDF
SSIFTDR	18h	+0	FTDR[31:16]															
		+2	FTDR[15:0]															
SSIFRDR	1ch	+0	FRDR[31:16]															
		+2	FRDR[15:0]															
SSIOFR		+0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
		+2	–	–	–	–	–	–	BCKSTP	LRCONT	–	–	–	–	–	–	OMOD[1:0]	
SSISCR	24h	+0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
		+2	–	–	TDES[5:0]						–	–	RDFS[5:0]					

25. CANFD インタフェース（RS-CANFD）

本章では、CANFD インタフェース（RS-CANFD）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、本 LSI に固有の特長について説明します。それ以降の節では、RS-CANFD の機能、レジスタについて説明します。

25.1 RS-CANFD の特長

25.1.1 ユニット数とチャネル数

本製品は以下のユニット数の RS-CANFD を搭載しています。

表 25.1　RS-CANFD のユニット数

RS-CANFD	
ユニット数	1
名称	RSCFD0

また本製品は以下に示す CANFD インタフェースチャネルを搭載しています。

表 25.2　RS-CANFD のチャネル数

RS-CANFD	
チャネル数	2
名称	CAN0、CAN1

RS-CANFD は 2 種類のインタフェースモード（クラシカル CAN モードと CANFD モード）を持ち、それぞれで異なるレジスタを使用します。レジスタ名はインタフェースモードによって RSCANnXXX と RSCFDnCFDXXX の 2 種類があり（XXX は任意）、2 つのレジスタで共通した仕様について説明する場合は RSCFDn(CFD)XXX と記述します。

表 25.3　添字

添字	意味
n	本章では、RS-CANFD のユニットを「n」（n = 0）で識別します。たとえば、ユニット n の RSCFD のグローバル制御レジスタは RSCFDn(CFD)GCTR と記述します。
m	本章では、RS-CANFD のチャネル数を「m」（m = 0, 1）で識別します。たとえば、チャネル m ステータスレジスタは RSCFDn(CFD)CmSTS と記述します。
j	受信ルールテーブルを関係するレジスタを「j」（j = 0 ~ 15）で識別します。たとえば、受信ルール ID レジスタは RSCFDn(CFD)GAFLIDj と記述します。
k	送受信 FIFO バッファ番号を「k」（k = 0～5）で識別します。たとえば、送受信 FIFO バッファコンフィグレーション/ 制御レジスタは RSCFDn(CFD)CFCCk と記述します。
x	受信 FIFO バッファ番号を「x」(x = 0 ~ 7）で識別します。例えば、受信 FIFO バッファステータスレジスタは、RSCFDn(CFD)RFSTSx と記述します。
d	送受信 FIFO バッファおよび受信 FIFO バッファのデータフィールドレジスタを「d」（クラシカル CAN モードは d = 0 ～ 1、CANFD モードは d = 0 ～ 15）で識別します。たとえば、送受信 FIFO バッファデータフィールドレジスタは RSCFDn(CFD)CFDFd_k と記述します。
q	受信バッファの番号を「q」（q = 0～31）で識別します。たとえば、受信バッファ ID レジスタは RSCFDn(CFD)RMIDq で記述します。
p	送信バッファの番号を「p」（p = 0～31）で識別します。たとえば、送信バッファ制御レジスタは RSCFDn(CFD)TMCp と記述します。
b	受信バッファおよび送信バッファのデータフィールドレジスタを「b」（クラシカル CAN モードは b = 0 ～ 1、CANFD モードは b = 0 ～ 4）で識別します。たとえば、受信バッファデータフィールドレジスタは RSCFDn(CFD)RMDFb_q と記述します。
r	CAN 用 RAM テスト番号を「r」（r = 0 ~ 63）で識別します。たとえば、RAM テストページアクセスレジスタは RSCFDn(CFD)RPGACCr と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」（y＝0）で識別します。たとえば、受信バッファ新データレジスタ は RSCFDn(CFD)RMNDy と記述します。

注.　本章の機能およびレジスタ説明は、RS-CANFD 2 チャネル内蔵品 (m = 0, 1）について記載しています。本文中の添字の値はお使いになる製品に合わせてください。また、以下の点に注意してください。
お使いになる製品により添字の範囲外となるビットへ書き込む場合はリセット後の値を書き込んでください。

25.1.2 レジスタベースアドレス

RSCFDn のベースアドレスを以下の表に示します。
RSCFDn のレジスタアドレスは、ベースアドレス からのオフセットで表されます。

表25.4　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSCFD0_base>	E802 0000

25.1.3 クロック供給

RSCFDn のクロック供給を以下の表に示します。

表25.5　クロック供給

ユニット名	ユニットクロック名	供給クロック名
RSCFDn	clk_xincan	CAN_CLK
	clkc	P1φ/2
	pclk	P1φ

RSCFDn の動作周波数は、転送レート、および使用チャネル数に依存します。**表 25.6** に示す範囲で使用してください。

表25.6　本LSIにおける転送レート・使用チャネル数での動作周波数範囲

条件			動作可能な周波数範囲		
モード	転送レート	使用ch数	pclk	clk_xincan 注1	clkc 注1、注2
CANFD	4.125Mbps	2ch	pclk≧64MHz	32MHz≦clk_xincan≦pclk/2	32MHz≦clkc≦pclk/2
		1ch			
	2Mbps	2ch	pclk≧32MHz	16MHz≦clk_xincan≦pclk/2	16MHz≦clkc≦pclk/2
		1ch			
CAN/CANFD	1Mbps	2ch	pclk≧30.6MHz	8MHz≦clk_xincan≦pclk/2	8MHz≦clkc≦pclk/2
		1ch	pclk≧27.5MHz		
	500kbps	2ch	pclk≧27.5MHz	4MHz≦clk_xincan≦pclk/2	4MHz≦clkc≦pclk/2
		1ch			
	125kbps	2ch	pclk≧27.5MHz	1MHz≦clk_xincan≦pclk/2	1MHz≦clkc≦pclk/2
		1ch			

注1.　RSCFDn(CFD)GCFGのDCSビットにより、clk_xincan、clkcいずれかを選択可能です。各クロックはpclk/2以下に設定してください。
注2.　pclk＜25MHz時は、clk_xincan を選択してください。

25.1.4　割り込み要求

RSCFDn の割り込み要求を以下の表に示します。

表 25.7　割り込み要求

ユニット割り込み信号		概要
INTRCANGERR		CAN グローバルエラー割り込み
INTRCANGRECC		CAN 受信 FIFO 割り込み
CAN0	INTRCAN0ERR	CAN0 エラー割り込み
	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み
	INTRCAN0TRX	CAN0 送信割り込み
CAN1	INTRCAN1ERR	CAN1 エラー割り込み
	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み
	INTRCAN1TRX	CAN1 送信割り込み

25.1.5　外部入出力信号

RSCFDn の外部入出力信号を以下の表に示します。

表 25.8　外部入出力信号

ユニット信号名	概要	ポート端子兼用信号名
CANmRX (m = 0, 1)	CANm 受信データ入力	CANmRX (m = 0, 1)
CANmTX (m = 0, 1)	CANm 送信データ出力	CANmTX (m = 0, 1)
CANmRX_DATARATE_EN (m = 0, 1)	CANm 受信データフェーズ出力	CANmRX_DATARATE_EN (m = 0, 1)
CANmTX_DATARATE_EN (m = 0, 1)	CANm 送信データフェーズ出力	CANmTX_DATARATE_EN (m = 0, 1)
CAN_CLK	CAN 通信用クロックソース	CAN_CLK

25.2 概要

25.2.1 機能概要

表 25.9 に RS-CANFD モジュールの仕様、図 25.1 に RS-CANFD モジュールブロック図を示します。

表25.9　RS-CANFDモジュールの仕様

項目	仕様
チャネル数	2
プロトコル	ISO11898-1 仕様準拠 インタフェースモードの切り替えにより、CANFDフレームの使用を選択可能
通信速度	クラシカルCANモード： 最大1Mbps 通信速度（CANmビットタイムクロック）＝ $\frac{1}{\text{CANm ビットタイム}}$ CANmビットタイム ＝ CANmTq × 1ビット分のTq数 CANmTq ＝ $\frac{\text{（RSCANnCmCFG レジスタの BRP[9:0] ビット + 1）}}{\text{fCAN}}$ fCAN：CANクロック（RSCANnGCFGレジスタのDCSビットで選択したクロック）の周波数 CANFDモード： 通常ビットレート 最大1 Mbps、データビットレート 最大4.125 Mbps 通信速度（CANm通常ビットタイムクロック）＝ $\frac{1}{\text{CANm 通常ビットタイム}}$ 通信速度（CANmデータビットタイムクロック）＝ $\frac{1}{\text{CANm データビットタイム}}$ CANm通常ビットタイム ＝ CANmTq(N) × 1通常ビット分のTq数 CANmデータビットタイム ＝ CANmTq(D) × 1データビット分のTq数 CANmTq(N) ＝ $\frac{\text{（RSCFDnCFDCmNCFG レジスタの NBRP[9:0] ビット + 1）}}{\text{fCAN}}$ CANmTq(D) ＝ $\frac{\text{（RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビット + 1）}}{\text{fCAN}}$ fCAN：CANクロック（RSCFDnCFDGCFGレジスタのDCSビットで選択したクロック）の周波数 m = 0, 1 Tq：Time quantum
バッファ	合計160バッファ • 各チャネル専用：32バッファ（16バッファ × 2チャネル） 送信バッファ：16バッファ／1チャネル 送信キュー：1本／1チャネル（送信バッファと共用、最大16バッファ割り当て可能） • チャネル間共用：128バッファ 受信バッファ：0～32バッファ 受信FIFOバッファ：8本（1本あたり最大128バッファ割り当て可能） 送受信FIFOバッファ：3本／1チャネル（1本あたり最大128バッファ割り当て可能）
受信機能	• データフレームとリモートフレームを受信可能 • 受信するIDフォーマット（標準ID、拡張ID、両方）を選択可能 • FIFOごとの割り込み許可／禁止設定可能 • ミラー機能（自送信メッセージの受信機能） • タイムスタンプ機能（メッセージの受信時間を16ビットタイマ値で記録）
受信フィルタ機能	• 合計128個の受信ルールで受信メッセージを選別可能 • チャネルごとに0～128個の範囲で受信ルール数を設定可能 • アクセプタンスフィルタ処理:各受信ルールごとにID、マスク設定可能 • DLCフィルタ処理:各受信ルールごとにDLCフィルタチェック可能
受信メッセージ転送機能	• ルーティング機能 受信メッセージを任意のバッファへ転送する機能（転送可能バッファ数：8） 転送先:受信バッファ、受信FIFOバッファ、送受信FIFOバッファ • ラベル付加機能 受信バッファおよびFIFOバッファへメッセージ格納時、ラベル情報も同時に格納可能

項目	仕様
送信機能	• データフレームとリモートフレームを送信可能 • 送信するIDフォーマット（標準ID、拡張ID、両方）を選択可能 • 送信バッファ、送受信FIFOバッファごとに割り込み許可／禁止設定可能 • ID優先送信または送信バッファ番号優先送信を選択可能 • 送信アボート機能（フラグでアボート完了を確認可能） • ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能（送受信FIFOバッファの送信モードまたはゲートウェイモード）
送信キュー機能	格納された全メッセージがID優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能 履歴情報にタイムスタンプ（メッセージの送信時間を16ビットタイマ値で記録）を付加
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 • ISO11898-1仕様準拠 • バスオフ開始でチャネル待機モードへ自動遷移 • バスオフ終了でチャネル待機モードへ自動遷移 • プログラムによる要求によってチャネル待機モードへ遷移 • プログラムによる要求によってエラーアクティブ状態へ遷移（バスオフ強制復帰機能）
エラー状態の監視	• CANプロトコルエラー（スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー、バスロック）を監視 • エラー状態の遷移を検出（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） • エラーカウンタの読み出し • DLCエラーを監視
割り込み要因	8本 • グローバル割り込み（2本） 受信FIFO割り込み グローバルエラー割り込み • チャネル割り込み（各チャネルごとに3本ずつ） CANm送信割り込み（m = 0, 1） – CANm送信完了割り込み – CANm送信アボート割り込み – CANm送受信FIFO送信完了割り込み（送信モード、ゲートウェイモード時） – CANm送信履歴割り込み – CANm送信キュー割り込み CANm送受信FIFO受信完了割り込み（受信モード、ゲートウェイモード時） CANmエラー割り込み
CANストップモード	RS-CANFD モジュールに供給されるクロックを停止することで消費電流を低減可能
CANクロックソース	clkcかclk_xincanを選択可能 設定可能な周波数は表25.6を参照してください。
テスト機能	ユーザ評価用テスト機能 • リッスンオンリモード • セルフテストモード0（外部ループバック） • セルフテストモード1（内部ループバック） • 制限動作モード • RAMテスト（読み書きテスト） • チャネル間通信テスト[CRCエラーテスト可能]

25.2.2　インタフェースモード

RS-CANFD は 2 種類のインタフェースモードを持ちます。

- クラシカル CAN モード：クラシカル CAN フレームのみを扱います
- CANFD モード：クラシカル CAN フレームと CANFD フレームの両方を扱います

2 つのモードはそれぞれベースアドレスが共通の異なるレジスタマップを使用し、モードの切り替えによりレジスタマップが切り替わります。

インタフェースモードの切り替えは RSCFDn(CFD)GRMCFG レジスタの RCMC ビットで行います。

25.2.3　ブロック図

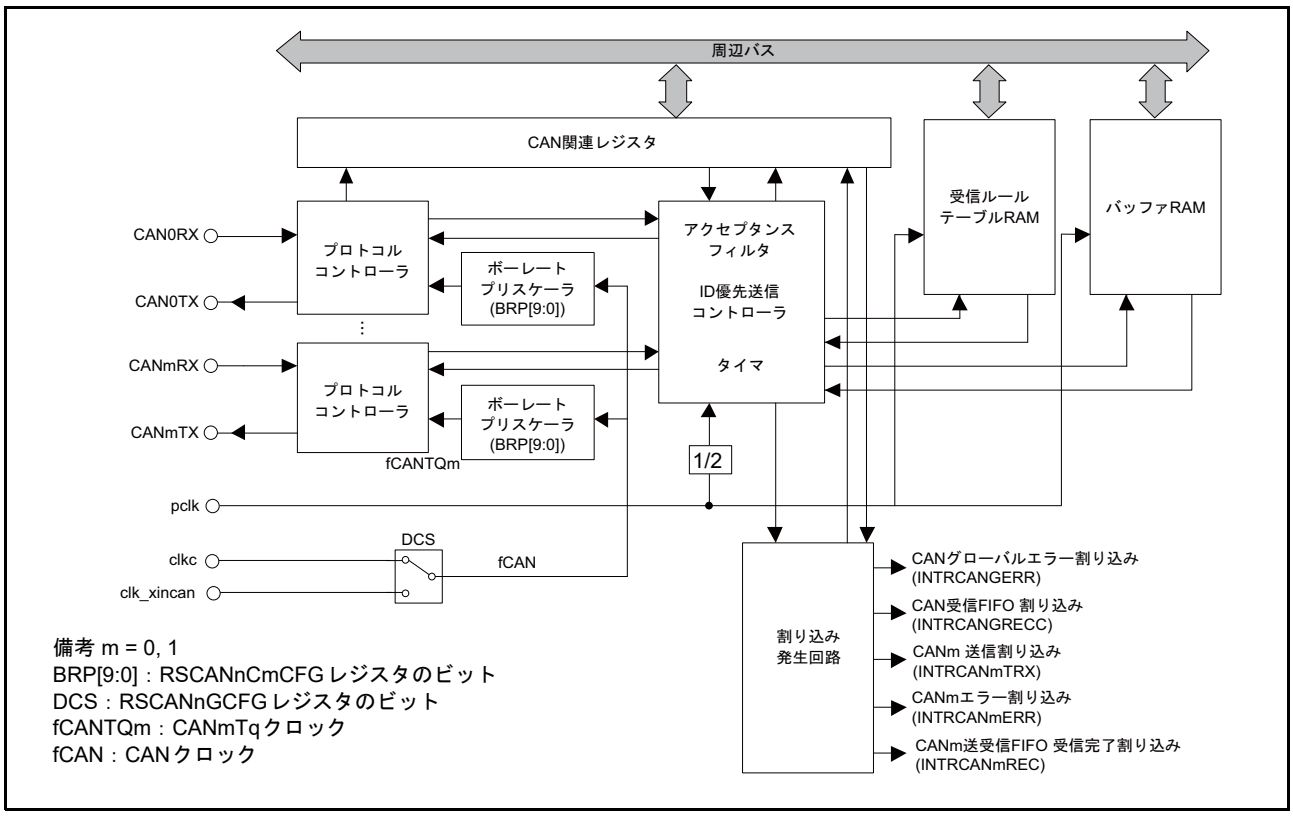


図 25.1　RS-CANFD モジュールのブロック図（クラシカル CAN モード時）

CANFD モード時は、ボーレートプリスケーラおよびプロトコルコントローラに入力されるクロックが異なります。**「25.11.1.3　通信速度の設定」**を参照してください。

25.3　レジスタ（クラシカル CAN モード）

25.3.1　レジスター覧

クラシカル CAN モードで使用する場合の RS-CANFD のレジスター覧を以下の表に示します。

<RSCFDn_base> は「25.1.2　レジスタベースアドレス」を参照してください。

なお、グローバルリセットモードやチャネルリセットモードで初期化されるレジスタについては以下をご参照ください。

- 表 25.176　グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧
- 表 25.177　グローバルリセットモードでのみ初期化されるレジスター覧

表25.10　レジスター覧

モジュール名	レジスタ名	略号	アドレス
インタフェースモード関連レジスタ			
RSCANn	グローバルインタフェースモード選択レジスタ	RSCANnGRMCFG	<RSCFDn_base> + $04FC_H$
チャネル関連レジスタ			
RSCANn	チャネルmコンフィグレーションレジスタ	RSCANnCmCFG	<RSCFDn_base> + 0000_H + (10_H × m)
RSCANn	チャネルm制御レジスタ	RSCANnCmCTR	<RSCFDn_base> + 0004_H + (10_H × m)
RSCANn	チャネルmステータスレジスタ	RSCANnCmSTS	<RSCFDn_base> + 0008_H + (10_H × m)
RSCANn	チャネルmエラーフラグレジスタ	RSCANnCmERFL	<RSCFDn_base> + $000C_H$ + (10_H × m)
グローバル関連レジスタ			
RSCANn	グローバルコンフィグレーションレジスタ	RSCANnGCFG	<RSCFDn_base> + 0084_H
RSCANn	グローバル制御レジスタ	RSCANnGCTR	<RSCFDn_base> + 0088_H
RSCANn	グローバルステータスレジスタ	RSCANnGSTS	<RSCFDn_base> + $008C_H$
RSCANn	グローバルエラーフラグレジスタ	RSCANnGERFL	<RSCFDn_base> + 0090_H
RSCANn	グローバルタイムスタンプカウンタレジスタ	RSCANnGTSC	<RSCFDn_base> + 0094_H
RSCANn	グローバルTX割り込みステータスレジスタ0	RSCANnGTINTSTS0	<RSCFDn_base> + 0460_H
RSCANn	グローバルFDコンフィグレーションレジスタ	RSCANnGFDCFG	<RSCFDn_base> + 0474_H
受信ルール関連レジスタ			
RSCANn	受信ルールエントリ制御レジスタ	RSCANnGAFLECTR	<RSCFDn_base> + 0098_H
RSCANn	受信ルールコンフィグレーションレジスタ0	RSCANnGAFLCFG0	<RSCFDn_base> + $009C_H$
RSCANn	受信ルールIDレジスタj	RSCANnGAFLIDj	<RSCFDn_base> + 0500_H + (10_H × j)
RSCANn	受信ルールマスクレジスタj	RSCANnGAFLMj	<RSCFDn_base> + 0504_H + (10_H × j)
RSCANn	受信ルールポインタ0レジスタj	RSCANnGAFLP0_j	<RSCFDn_base> + 0508_H + (10_H × j)
RSCANn	受信ルールポインタ1レジスタj	RSCANnGAFLP1_j	<RSCFDn_base> + $050C_H$ + (10_H × j)
受信バッファ関連レジスタ			
RSCANn	受信バッファナンバレジスタ	RSCANnRMNB	<RSCFDn_base> + $00A4_H$
RSCANn	受信バッファ新データレジスタy	RSCANnRMNDy	<RSCFDn_base> + $00A8_H$ + (04_H × y)
RSCANn	受信バッファIDレジスタq	RSCANnRMIDq	<RSCFDn_base> + 0600_H + (10_H × q)
RSCANn	受信バッファポインタレジスタq	RSCANnRMPTRq	<RSCFDn_base> + 0604_H + (10_H × q)
RSCANn	受信バッファデータフィールド0レジスタq	RSCANnRMDF0_q	<RSCFDn_base> + 0608_H + (10_H × q)
RSCANn	受信バッファデータフィールド1レジスタq	RSCANnRMDF1_q	<RSCFDn_base> + $060C_H$ + (10_H × q)
受信FIFOバッファ関連レジスタ			
RSCANn	受信FIFOバッファコンフィグレーション／制御レジスタx	RSCANnRFCCx	<RSCFDn_base> + $00B8_H$ + (04_H × x)
RSCANn	受信FIFOバッファステータスレジスタx	RSCANnRFSTSx	<RSCFDn_base> + $00D8_H$ + (04_H × x)
RSCANn	受信FIFOバッファポインタ制御レジスタx	RSCANnRFPCTRx	<RSCFDn_base> + $00F8_H$ + (04_H × x)

モジュール名	レジスタ名	略号	アドレス
RSCANn	受信FIFOバッファアクセスIDレジスタx	RSCANnRFIDx	<RSCFDn_base> + $0E00_H$ + (10_H × x)
RSCANn	受信FIFOバッファアクセスポインタレジスタx	RSCANnRFPTRx	<RSCFDn_base> + $0E04_H$ + (10_H × x)
RSCANn	受信FIFOバッファアクセスデータフィールド0レジスタx	RSCANnRFDF0_x	<RSCFDn_base> + $0E08_H$ + (10_H × x)
RSCANn	受信FIFOバッファアクセスデータフィールド1レジスタx	RSCANnRFDF1_x	<RSCFDn_base> + $0E0C_H$ + (10_H × x)
送受信FIFOバッファ関連レジスタ			
RSCANn	送受信FIFOバッファコンフィグレーション／制御レジスタk	RSCANnCFCCk	<RSCFDn_base> + 0118_H + (04_H × k)
RSCANn	送受信FIFOバッファステータスレジスタk	RSCANnCFSTSk	<RSCFDn_base> + 0178_H + (04_H × k)
RSCANn	送受信FIFOバッファポインタ制御レジスタk	RSCANnCFPCTRk	<RSCFDn_base> + $01D8_H$ + (04_H × k)
RSCANn	送受信FIFOバッファアクセスIDレジスタk	RSCANnCFIDk	<RSCFDn_base> + $0E80_H$ + (10_H × k)
RSCANn	送受信FIFOバッファアクセスポインタレジスタk	RSCANnCFPTRk	<RSCFDn_base> + $0E84_H$ + (10_H × k)
RSCANn	送受信FIFOバッファアクセスデータフィールド0レジスタk	RSCANnCFDF0_k	<RSCFDn_base> + $0E88_H$ + (10_H × k)
RSCANn	送受信FIFOバッファアクセスデータフィールド1レジスタk	RSCANnCFDF1_k	<RSCFDn_base> + $0E8C_H$ + (10_H × k)
FIFOステータス関連レジスタ			
RSCANn	FIFOエンプティステータスレジスタ	RSCANnFESTS	<RSCFDn_base> + 0238_H
RSCANn	FIFOフルステータスレジスタ	RSCANnFFSTS	<RSCFDn_base> + $023C_H$
RSCANn	FIFO メッセージロストステータスレジスタ	RSCANnFMSTS	<RSCFDn_base> + 0240_H
RSCANn	受信FIFOバッファ割り込みフラグステータスレジスタ	RSCANnRFISTS	<RSCFDn_base> + 0244_H
RSCANn	送受信FIFOバッファ 受信割り込みフラグステータスレジスタ	RSCANnCFRISTS	<RSCFDn_base> + 0248_H
RSCANn	送受信FIFOバッファ 送信割り込みフラグステータスレジスタ	RSCANnCFTISTS	<RSCFDn_base> + $024C_H$
送信バッファ関連レジスタ			
RSCANn	送信バッファ制御レジスタp	RSCANnTMCp	<RSCFDn_base> + 0250_H + (01_H × p)
RSCANn	送信バッファステータスレジスタp	RSCANnTMSTSp	<RSCFDn_base> + $02D0_H$ + (01_H × p)
RSCANn	送信バッファ IDレジスタp	RSCANnTMIDp	<RSCFDn_base> + 1000_H + (10_H × p)
RSCANn	送信バッファポインタレジスタ p	RSCANnTMPTRp	<RSCFDn_base> + 1004_H + (10_H × p)
RSCANn	送信バッファデータフィールド0レジスタp	RSCANnTMDF0_p	<RSCFDn_base> + 1008_H + (10_H × p)
RSCANn	送信バッファデータフィールド1レジスタp	RSCANnTMDF1_p	<RSCFDn_base> + $100C_H$ + (10_H × p)
RSCANn	送信バッファ割り込みイネーブルコンフィグレーションレジスタy	RSCANnTMIECy	<RSCFDn_base> + 0390_H + (04_H × y)
送信バッファステータス関連レジスタ			
RSCANn	送信バッファ送信要求ステータスレジスタy	RSCANnTMTRSTSy	<RSCFDn_base> + 0350_H + (04_H × y)
RSCANn	送信バッファ送信アボート要求ステータスレジスタy	RSCANnTMTARSTSy	<RSCFDn_base> + 0360_H + (04_H × y)
RSCANn	送信バッファ送信完了ステータスレジスタy	RSCANnTMTCSTSy	<RSCFDn_base> + 0370_H + (04_H × y)
RSCANn	送信バッファ送信アボートステータスレジスタy	RSCANnTMTASTSy	<RSCFDn_base> + 0380_H + (04_H × y)
送信キュー関連レジスタ			
RSCANn	送信キューコンフィグレーション／制御レジスタm	RSCANnTXQCCm	<RSCFDn_base> + $03A0_H$ + (04_H × m)
RSCANn	送信キューステータスレジスタm	RSCANnTXQSTSm	<RSCFDn_base> + $03C0_H$ + (04_H × m)
RSCANn	送信キューポインタ制御レジスタm	RSCANnTXQPCTRm	<RSCFDn_base> + $03E0_H$ + (04_H × m)
送信履歴関連レジスタ			
RSCANn	送信履歴コンフィグレーション／制御レジスタm	RSCANnTHLCCm	<RSCFDn_base> + 0400_H + (04_H × m)

モジュール名	レジスタ名	略号	アドレス
RSCANn	送信履歴ステータスレジスタ m	RSCANnTHLSTSm	<RSCFDn_base> + 0420_H + (04_H × m)
RSCANn	送信履歴ポインタ制御レジスタ m	RSCANnTHLPCTRm	<RSCFDn_base> + 0440_H + (04_H × m)
RSCANn	送信履歴アクセスレジスタ m	RSCANnTHLACCm	<RSCFDn_base> + 1800_H + (04_H × m)
テスト関連レジスタ			
RSCANn	グローバルテストコンフィグレーションレジスタ	RSCANnGTSTCFG	<RSCFDn_base> + 0468_H
RSCANn	グローバルテスト制御レジスタ	RSCANnGTSTCTR	<RSCFDn_base> + $046C_H$
RSCANn	グローバルロックキーレジスタ	RSCANnGLOCKK	<RSCFDn_base> + $047C_H$
RSCANn	RAMテストページアクセスレジスタ r	RSCANnRPGACCr	<RSCFDn_base> + 1900_H + (04_H × r)

表25.11　各チャネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 16 × m + 0
	送信バッファ 16 × m + 1
	送信バッファ 16 × m + 2
	送信バッファ 16 × m + 3
	送信バッファ 16 × m + 4
	送信バッファ 16 × m + 5
	送信バッファ 16 × m + 6
	送信バッファ 16 × m + 7
	送信バッファ 16 × m + 8
	送信バッファ 16 × m + 9
	送信バッファ 16 × m + 10
	送信バッファ 16 × m + 11
	送信バッファ 16 × m + 12
	送信バッファ 16 × m + 13
	送信バッファ 16 × m + 14
	送信バッファ 16 × m + 15

表25.12　各チャネルに割り当てられる送受信FIFOバッファ k

	CANm
送受信FIFOバッファ k	送受信FIFOバッファ 3 × m + 0
	送受信FIFOバッファ 3 × m + 1
	送受信FIFOバッファ 3 × m + 2

表25.13　CFTML[3:0]ビットの設定値によって送受信FIFOバッファにリンクされる送信バッファ p

CFTML[3:0]ビットの設定値	送受信FIFOバッファにリンクされる送信バッファ p
0000_B	送信バッファ 16 × m + 0
0001_B	送信バッファ 16 × m + 1
0010_B	送信バッファ 16 × m + 2
0011_B	送信バッファ 16 × m + 3
0100_B	送信バッファ 16 × m + 4
0101_B	送信バッファ 16 × m + 5
0110_B	送信バッファ 16 × m + 6
0111_B	送信バッファ 16 × m + 7
1000_B	送信バッファ 16 × m + 8
1001_B	送信バッファ 16 × m + 9
1010_B	送信バッファ 16 × m + 10
1011_B	送信バッファ 16 × m + 11
1100_B	送信バッファ 16 × m + 12
1101_B	送信バッファ 16 × m + 13
1110_B	送信バッファ 16 × m + 14
1111_B	送信バッファ 16 × m + 15

表25.14　各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC[3:0]ビットの設定値	送信キューに割り当てられる送信バッファ p
0000_B	設定しないでください。
0001_B	設定しないでください。
0010_B	送信バッファ 16 × m + 15～16 × m + 13
0011_B	送信バッファ 16 × m + 15～16 × m + 12
0100_B	送信バッファ 16 × m + 15～16 × m + 11
0101_B	送信バッファ 16 × m + 15～16 × m + 10
0110_B	送信バッファ 16 × m + 15～16 × m + 9
0111_B	送信バッファ 16 × m + 15～16 × m + 8
1000_B	送信バッファ 16 × m + 15～16 × m + 7
1001_B	送信バッファ 16 × m + 15～16 × m + 6
1010_B	送信バッファ 16 × m + 15～16 × m + 5
1011_B	送信バッファ 16 × m + 15～16 × m + 4
1100_B	送信バッファ 16 × m + 15～16 × m + 3
1101_B	送信バッファ 16 × m + 15～16 × m + 2
1110_B	送信バッファ 16 × m + 15～16 × m + 1
1111_B	送信バッファ 16 × m + 15～16 × m + 0

25.3.2　インタフェースモード関連レジスタの詳細

25.3.2.1　RSCANnGRMCFG — グローバルインタフェースモード選択レジスタ

アクセス：RSCANnGRMCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGRMCFGL、RSCANnGRMCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGRMCFGLL、RSCANnGRMCFGLH、RSCANnGRMCFGHL、RSCANnGRMCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnGRMCFG: <RSCFDn_base> + $04FC_H$、
RSCANnGRMCFGL: <RSCFDn_base> + $04FC_H$、
RSCANnGRMCFGH: <RSCFDn_base> + $04FE_H$、
RSCANnGRMCFGLL: <RSCFDn_base> + $04FC_H$、
RSCANnGRMCFGLH: <RSCFDn_base> + $04FD_H$、
RSCANnGRMCFGHL: <RSCFDn_base> + $04FE_H$、
RSCANnGRMCFGHH: <RSCFDn_base> + $04FF_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCMC
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 25.15　RSCANnGRMCFG レジスタの内容

ビット	ビット名	機能
31 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RCMC	インタフェースモード選択ビット 0: クラシカル CAN モード 1: CANFD モード

注 1.　RSCANnGRMCFG register と RSCFDnCFDGRMCFG register は同一レジスタです。どちらかのレジスタを設定してください。

RSCANnGRMCFG レジスタはグローバルリセットモードでのみ書き換えてください。また、他の RS-CANFD レジスタを設定する前に設定を行ってください。

RCMC ビット

“0” にすると、クラシカル CAN モードになります。

“1” にすると、CANFD モードになります。CANFD モードからクラシカル CAN モードに変更する場合は、CANFD モードのレジスタマップにのみ割り当てられているレジスタ、ビットすべてにリセット後の値にしてから、RSCANnGRMCFG レジスタを書き換えてください。

25.3.3　チャネル関連レジスタの詳細

25.3.3.1　RSCANnCmCFG — チャネルコンフィグレーションレジスタ（m = 0、1）

アクセス：RSCANnCmCFGレジスタは、32ビット単位でリード／ライト可能です。
RSCANnCmCFGL、RSCANnCmCFGHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnCmCFGLL、RSCANnCmCFGLH、RSCANnCmCFGHL、RSCANnCmCFGHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnCmCFG: <RSCFDn_base> + 0000_H + (10_H × m)
RSCANnCmCFGL: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCANnCmCFGH: <RSCFDn_base> + 0002_H + (10_H × m)
RSCANnCmCFGLL: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCANnCmCFGLH: <RSCFDn_base> + 0001_H + (10_H × m)、
RSCANnCmCFGHL: <RSCFDn_base> + 0002_H + (10_H × m)、
RSCANnCmCFGHH: <RSCFDn_base> + 0003_H + (10_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SJW[1:0]		—	TSEG2[2:0]			TSEG1[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	BRP[9:0]									
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.16　RSCANnGRMCFGレジスタの内容

ビット	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	SJW[1:0]	再同期ジャンプ幅制御ビット b25 b24 0　0：1 Tq 0　1：2 Tq 1　0：3 Tq 1　1：4 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～20	TSEG2[2:0]	タイムセグメント2制御ビット b22 b21 b20 0　0　0：設定しないでください 0　0　1：2 Tq 0　1　0：3 Tq 0　1　1：4 Tq 1　0　0：5 Tq 1　0　1：6 Tq 1　1　0：7 Tq 1　1　1：8 Tq

ビット	ビット名	機能
19～16	TSEG1[3:0]	タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9～0	BRP[9:0]	プリスケーラ分周比設定ビット 設定値を P（0～1023）とすると、ボーレートプリスケーラは fCAN を P+1 で分周します。

RSCANnCmCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、**「25.11.1　初期設定」**を参照してください。

SJW[1:0] ビット

再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1 ～ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0] ビット

フェーズセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。
2 ～ 8Tq の値が設定可能です。
TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0] ビット

プロパゲーションセグメント（PROP_SEG）とフェーズセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。
4 ～ 16Tq の値が設定可能です。

BRP[9:0] ビット

CAN クロック（fCAN）をボーレートプリスケーラ（(BRP[9:0]) + 1）で分周したクロックが CANmTq クロック（fCANTQm）になり、CANmTq クロックの 1 クロックが 1 Time Quantum（Tq）になります。

25.3.3.2　RSCANnCmCTR — チャネル制御レジスタ（m = 0、1）

アクセス：RSCANnCmCTR レジスタは、32ビット単位でリード／ライト可能です。
RSCANnCmCTRL、RSCANnCmCTRH レジスタは、16ビット単位でリード／ライト可能です。
RSCANnCmCTRLL、RSCANnCmCTRLH、RSCANnCmCTRHL、RSCANnCmCTRHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnCmCTR: <RSCFDn_base> + 0004_H + (10_H × m)
RSCANnCmCTRL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCANnCmCTRH: <RSCFDn_base> + 0006_H + (10_H × m)
RSCANnCmCTRLL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCANnCmCTRLH: <RSCFDn_base> + 0005_H + (10_H × m)、
RSCANnCmCTRHL: <RSCFDn_base> + 0006_H + (10_H × m)、
RSCANnCmCTRHH: <RSCFDn_base> + 0007_H + (10_H × m)

リセット後の値：$0000\ 0005_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	—	—	—	TAIE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表25.17　RSCANnCmCTR レジスタの内容

ビット	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	CRCT	CRCエラーテスト許可ビット 0: 受信IDフィールドの先頭ビットを反転しない 1: 受信IDフィールドの先頭ビットを反転する
29～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0　0：標準テストモード 0　1：リッスンオンリモード 1　0：セルフテストモード0（外部ループバックモード） 1　1：セルフテストモード1（内部ループバックモード）
24	CTME	通信テストモード許可ビット 0：通信テストモード禁止 1：通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0：RSCANnCmERFL レジスタのビット14～8がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1：発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0　0：ISO11898-1 仕様準拠 0　1：バスオフ開始でチャネル待機モードへ遷移 1　0：バスオフ終了でチャネル待機モードへ遷移 1　1：バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20～17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TAIE	送信アボート割り込み許可ビット 0：送信アボート割り込み禁止 1：送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み禁止 1：アービトレーションロスト割り込み許可

ビット	ビット名	機能
14	BLIE	バスロック割り込み許可ビット 0：バスロック割り込み禁止 1：バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0：バスエラー割り込み禁止 1：バスエラー割り込み許可
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。
2	CSLPR	チャネルストップモードビット 0：チャネルストップモードではない 1：チャネルストップモード
1、0	CHMDC[1:0]	モード選択ビット b1　b0 0　0：チャネル通信モード 0　1：チャネルリセットモード 1　0：チャネル待機モード 1　1：設定しないでください

CRCT ビット

RS-CANFD モジュール内部の CRC 生成回路をテストするビットです。“1” にするとメッセージの受信時に ID フィールドの先頭ビットを反転します。このビット反転により、CRC 演算結果は受信フレームの正常な CRC 値と一致しなくなるため、CRC エラーが検出されます（RSCANnCmERFL レジスタの CERR ビットが “1”）。この機能を使用する場合は、以下の点に注意してください。

- RSCANnCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合に使用できます。
- 他の CAN ノードと通信はできません。チャネル間通信テスト（RSCANnGTSTCFG レジスタの CmICBCE ビットが “1”）で使用してください。
- ID フィールドのビット反転によりビットスタッフィングルール違反が起こる可能性があります。その場合は、CRC エラーではなくスタッフエラーが検出されます。

このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTME ビット

“1” にすると通信テストモードは許可になります。このビットはチャネル待機モードで書き換えてください。チャネルリセットモード時は、“0” になります。

ERRD ビット

RSCANnCmERFL レジスタのビット 14 ～ 8 の表示モードを制御します。

“0” にすると、RSCANnCmERFL レジスタのビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、最初に発生したエラーのフラグのみが “1” になります。最初のエラーで複数のエラーが発生した場合は、検出されたエラーのフラグはすべて “1” になります 。

“1” にすると発生順に関係なく、起こったエラーのフラグはすべて “1” になります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CANFD モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが “00B” の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CANFD モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを “10B”（チャネル待機モード）にしても 128 回検出するまでチャネル待機モードには遷移しません。

BOM[1:0] ビットが “01B” の場合、RS-CANFD モジュールがバスオフ状態に達すると、RSCANnCmCTR レジスタ（m = 0, 1）の CHMDC[1:0] ビットが “10B” になり、チャネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCANnCmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00H” になります。

BOM[1:0] ビットが “10B” の場合、RS-CANFD モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが “10B” になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが “00H” になります。

BOM[1:0] ビットが “11B” の場合、RS-CANFD モジュールがバスオフ状態のときに CHMDC[1:0] ビットを “10B” にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは “00H” になります。しかし、CHMDC[1:0] ビットを “10B” にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールがチャネル待機モードに遷移するのと同時（BOM[1:0] ビットが “01B” のとき : バスオフ開始時、または BOM[1:0] ビットが “10B” のとき : バスオフ終了時）に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを “1” に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを “1” に設定し、RSCANnCmERFL レジスタの ALF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを “1” に設定し、RSCANnCmERFL レジスタの BLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを “1” に設定し、RSCANnCmERFL レジスタの OVLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを “1” に設定し、RSCANnCmERFL レジスタの BORF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを “1” に設定し、RSCANnCmERFL レジスタの BOEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを “1” に設定し、RSCANnCmERFL レジスタの EPF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを “1” に設定し、RSCANnCmERFL レジスタの EWF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを “1” に設定し、RSCANnCmERFL レジスタの BEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時 “1” にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に “0” になります。“1” にすると、RSCANnCmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00H” になり、RSCANnCmSTS レジスタの BOSTS フラグは “0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCANnCmCTR レジスタの BOM[1:0] ビットが “00B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを “1” にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャネル通信モードで “1” を書いてください。

CSLPR ビット

“1” にすると、チャネルストップモードになります。
“0” にすると、チャネルストップモードは解除されます。
このビットは、チャネル通信モードまたはチャネル待機モードでは書き換えないでください。

CHMDC[1:0] ビット

チャネルのモード（チャネル通信モード、チャネルリセットモード、チャネル待機モード）を選択するビットです。詳細は、**「25.6.2　チャネルモード」**を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを “1” にすることで遷移します。CHMDC[1:0] ビットを “11B” には設定しないでください。BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に “10B” になります。

25.3.3.3　RSCANnCmSTS — チャネルステータスレジスタ（m = 0、1）

アクセス：RSCANnCmSTS レジスタは、32ビット単位でリードのみ可能です。
RSCANnCmSTSL、RSCANnCmSTSH レジスタは、16ビット単位でリードのみ可能です。
RSCANnCmSTSLL、RSCANnCmSTSLH、RSCANnCmSTSHL、RSCANnCmSTSHH レジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCANnCmSTS: <RSCFDn_base> + 0008_H + (10_H × m)
RSCANnCmSTSL: <RSCFDn_base> + 0008_H + (10_H × m)、
RSCANnCmSTSH: <RSCFDn_base> + $000A_H$ + (10_H × m)
RSCANnCmSTSLL: <RSCFDn_base> + 0008_H + (10_H × m)、
RSCANnCmSTSLH: <RSCFDn_base> + 0009_H + (10_H × m)、
RSCANnCmSTSHL: <RSCFDn_base> + $000A_H$ + (10_H × m)、
RSCANnCmSTSHH: <RSCFDn_base> + $000B_H$ + (10_H × m)

リセット後の値：$0000\ 0005_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC[7:0]								REC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.18　RSCANnCmSTS レジスタの内容

ビット	ビット名	機能
31～24	TEC[7:0]	送信エラーカウンタ（TEC）の値が読めます。
23～16	REC[7:0]	受信エラーカウンタ（REC）の値が読めます。
15～8	予約ビット	リードした場合はリセット後の値が読めます。
7	COMSTS	通信ステータスフラグ 0：通信可能な状態ではない 1：通信可能な状態
6	RECSTS	受信ステータスフラグ 0：バスアイドルまたは送信中またはバスオフ状態 1：受信中
5	TRMSTS	送信ステータスフラグ 0：バスアイドルまたは受信中 1：送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0：バスオフ状態ではない 1：バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0：エラーパッシブ状態ではない 1：エラーパッシブ状態
2	CSLPSTS	チャネルストップステータスフラグ 0：チャネルストップモードではない 1：チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0：チャネル待機モードではない 1：チャネル待機モード
0	CRSTSTS	チャネルリセットステータスフラグ 0：チャネルリセットモードではない 1：チャネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。
チャネルリセットモード時は、“0” になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。
チャネルリセットモード時は、“0” になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。
チャネルリセットモードまたはチャネル待機モードからチャネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1” になります。チャネルリセットモードまたはチャネル待機モード時は、“0” になります。

RECSTS フラグ

受信を開始すると “1” になります。バスアイドル状態になるか、または送信を開始すると “0” になります。

TRMSTS フラグ

送信を開始すると “1” になります。バスオフ状態では “1” のままです。バスアイドル状態になるか、または受信を開始すると “0” になります。

BOSTS フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると “1” になります。バスオフ状態以外になると “0” になります。

EPSTS フラグ

エラーパッシブ状態（（128 ≦ TEC[7:0] ビット≦ 255）または（128 ≦ REC[7:0] ビット））になると、“1” になります。エラーパッシブ状態以外になるか、またはチャネルリセットモードになると、“0” になります。

CSLPSTS フラグ

チャネルストップモードに遷移すると、“1” になります。チャネルストップモードから復帰すると “0” になります。

CHLTSTS フラグ

チャネル待機モードに遷移すると “1” になります。チャネル待機モード以外のモードに遷移すると “0” になります。

CRSTSTS フラグ

チャネルリセットモードに遷移すると “1” になります。チャネル通信モードまたはチャネル待機モードに遷移すると “0” になります。チャネルリセットモードからチャネルストップモードに遷移しても、“1” のままです。

25.3.3.4　RSCANnCmERFL — チャネルエラーフラグレジスタ（m = 0、1）

アクセス：RSCANnCmERFLレジスタは、32ビット単位でリード／ライト可能です。
RSCANnCmERFLL、RSCANnCmERFLHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnCmERFLLL、RSCANnCmERFLLH、RSCANnCmERFLHL、RSCANnCmERFLHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnCmERFL: <RSCFDn_base> + $000C_H$ + (10_H × m)
RSCANnCmERFLL: <RSCFDn_base> + $000C_H$ + (10_H × m)、
RSCANnCmERFLH: <RSCFDn_base> + $000E_H$ + (10_H × m)
RSCANnCmERFLLL: <RSCFDn_base> + $000C_H$ + (10_H × m)、
RSCANnCmERFLLH: <RSCFDn_base> + $000D_H$ + (10_H × m)、
RSCANnCmERFLHL: <RSCFDn_base> + $000E_H$ + (10_H × m)、
RSCANnCmERFLHH: <RSCFDn_base> + $000F_H$ + (10_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCREG[14:0]														
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.19　RSCANnCmERFLレジスタの内容

ビット	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30～16	CRCREG [14:0]	CRC演算データ 送信メッセージまたは受信メッセージを基に計算したCRC値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACKデリミタエラーフラグ 0：ACKデリミタエラー未検出 1：ACKデリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0：ドミナントビットエラー未検出 1：ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0：レセシブビットエラー未検出 1：レセシブビットエラー検出
11	CERR	CRCエラーフラグ 0：CRCエラー未検出 1：CRCエラー検出
10	AERR	ACKエラーフラグ 0：ACKエラー未検出 1：ACKエラー検出
9	FERR	フォームエラーフラグ 0：フォームエラー未検出 1：フォームエラー検出
8	SERR	スタッフエラーフラグ 0：スタッフエラー未検出 1：スタッフエラー検出

ビット	ビット名	機能
7	ALF	アービトレーションロストフラグ 0：アービトレーションロスト未検出 1：アービトレーションロスト検出
6	BLF	バスロックフラグ 0：チャネルバスロック未検出 1：チャネルバスロック検出
5	OVLF	オーバロードフラグ 0：オーバロード未検出 1：オーバロード検出
4	BORF	バスオフ復帰フラグ 0：バスオフ復帰未検出 1：バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0：バスオフ開始未検出 1：バスオフ開始検出
2	EPF	エラーパッシブフラグ 0：エラーパッシブ未検出 1：エラーパッシブ検出
1	EWF	エラーワーニングフラグ 0：エラーワーニング未検出 1：エラーワーニング検出
0	BEF	バスエラーフラグ 0：チャネルバスエラーは未検出 1：チャネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。各フラグを “0” にする場合は、プログラムで “0” を書いてください。プログラムで “1” にできません。フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。チャネルリセットモード時、“0” になります。

RSCANnCmERFL レジスタのビット 14 ～ 8 に関して、RSCANnCmCTR レジスタの ERRD ビットを “0”（最初に発生したエラー情報のみ表示）に設定したとき、ビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、対応するフラグは “1” になります。

CRCREG[14:0] フラグ

RSCANnCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。

チャネルリセットモード時は、“0” になります。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1” になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると “1” になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると “1” になります。

CERR フラグ

CRC エラーを検出すると “1” になります。

AERR フラグ

ACK エラーを検出すると “1” になります。

FERR フラグ

フォームエラーを検出すると “1” になります。

SERR フラグ

スタッフエラーを検出すると “1” になります。

ALF フラグ

アービトレーションロストを検出すると “1” になります。

BLF フラグ

チャネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1” になります。“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを “1” から “0” にした後、レセシブビットを検出
- BLF ビットを “1” から “0” にした後、チャネルリセットモードに遷移し、再度チャネル通信モードに遷移

OVLF フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると “1” になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると “1” になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は “1” になりません。

- RSCANnCmCTR レジスタの CHMDC[1:0] ビットを “01B”（チャネルリセットモード）に設定した場合
- RSCANnCmCTR レジスタの RTBO ビットを “1”（バスオフからの強制復帰）に設定した場合
- RSCANnCmCTR レジスタの BOM[1:0] ビットを “01B”（バスオフ開始でチャネル待機モードへ遷移）に設定した場合
- BOM[1:0] ビットが “11B”（バスオフ中にプログラムによる要求でチャネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを “10B”（チャネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると、“1” になります。RSCANnCmCTR レジスタ（m = 0, 1）の BOM[1:0] ビットが “01B”（バスオフ開始でチャネル待機モードへ遷移）で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態（（128 ≦ TEC[7:0] ビット≦ 255）または（128 ≦ REC[7:0] ビット））になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWF フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビットが 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCANnCmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

備　考

本レジスタのフラグを“0”にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

25.3.4　グローバル関連レジスタの詳細

25.3.4.1　RSCANnGCFG — グローバルコンフィグレーションレジスタ

アクセス：RSCANnGCFGレジスタは、32ビット単位でリード／ライト可能です。
RSCANnGCFGL、RSCANnGCFGHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnGCFGLL、RSCANnGCFGLH、RSCANnGCFGHL、RSCANnGCFGHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnGCFG: <RSCFDn_base> + 0084_H
RSCANnGCFGL: <RSCFDn_base> + 0084_H、RSCANnGCFGH: <RSCFDn_base> + 0086_H
RSCANnGCFGLL: <RSCFDn_base> + 0084_H、RSCANnGCFGLH: <RSCFDn_base> + 0085_H、
RSCANnGCFGHL: <RSCFDn_base> + 0086_H、RSCANnGCFGHH: <RSCFDn_base> + 0087_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]			TSSS	TSP[3:0]				TMTSCE	—	—	DCS	MME	DRE	DCE	TPRI
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表25.20　RSCANnGCFGレジスタの内容

ビット	ビット名	機能
31～16	ITRCP[15:0]	インターバルタイマプリスケーラ設定ビット 設定値をMとするとpclkをM分周します。 インターバルタイマを使用する場合、“0000_H”を設定しないでください。
15～13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0：チャネル0ビットタイムクロック 0 0 1：チャネル1ビットタイムクロック 0 1 0：設定しないでください 0 1 1：設定しないでください 1 0 0：設定しないでください 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください
12	TSSS	タイムスタンプソース選択 0：pclk/2 注1 1：ビットタイムクロック
11～8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0：分周なし 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 0 1 1 1：128分周 1 0 0 0：256分周 1 0 0 1：512分周 1 0 1 0：1024分周 1 0 1 1：2048分周 1 1 0 0：4096分周 1 1 0 1：8192分周 1 1 1 0：16384分周 1 1 1 1：32768 分周

ビット	ビット名	機能
7	TMTSCE	送信タイムスタンプ許可ビット 0：送信タイムスタンプ禁止 1：送信タイムスタンプ許可
6～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	DCS	CAN クロック源選択ビット 注2 0：clkc 1：clk_xincan
3	MME	ミラー機能許可ビット 0：ミラー機能禁止 1：ミラー機能許可
2	DRE	DLC 置換許可ビット 0：DLC 置換禁止 1：DLC 置換許可
1	DCE	DLC チェック許可ビット 0：DLC チェック禁止 1：DLC チェック許可
0	TPRI	送信優先順位選択ビット 0：ID 優先 1：送信バッファ番号優先

注1.　タイムスタンプのカウントソースに pclk/2 を設定するときは、TSBTCS[2:0] を“000B”にしてください。
注2.　CAN クロックの周波数の設定は、「25.1.3　クロック供給」を参照してください。

RSCANnGCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は**「25.8.3.1　インターバル送信機能」**を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが “1” のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

TMTSCE ビット

“1” にすると、送信完了したメッセージのタイムスタンプを送信履歴バッファに格納できます。タイムスタンプは RSCANnTHLACCm レジスタの TMTS[15:0] ビットに格納されます。

DCS ビット

“0” のとき、clkc が CAN クロック（fCAN）のクロック源になります。
“1” のとき、clk_xincan が CAN クロック（fCAN）のクロック源になります。
CAN クロックの周波数の設定は、**「25.1.3　クロック供給」**を参照してください。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00H” が格納されます。

DCE ビットが “1”（DLC チェック許可）のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCANnGAFLP0_j レジスタの GAFLDLC[3:0] ビットを “0000B” にしてから、RSCANnGCFG レジスタの DCE ビットを “0” にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール（ISO11898-1 仕様）に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0” に設定してください。

25.3.4.2　RSCANnGCTR — グローバル制御レジスタ

アクセス：RSCANnGCTRレジスタは、32ビット単位でリード／ライト可能です。
RSCANnGCTRL、RSCANnGCTRHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnGCTRLL、RSCANnGCTRLH、RSCANnGCTRHL、RSCANnGCTRHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnGCTR: <RSCFDn_base> + 0088_H
RSCANnGCTRL: <RSCFDn_base> + 0088_H、RSCANnGCTRH: <RSCFDn_base> + $008A_H$
RSCANnGCTRLL: <RSCFDn_base> + 0088_H、RSCANnGCTRLH: <RSCFDn_base> + 0089_H、
RSCANnGCTRHL: <RSCFDn_base> + $008A_H$、RSCANnGCTRHH: <RSCFDn_base> + $008B_H$

リセット後の値：$0000\ 0005_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表25.21　RSCANnGCTRレジスタの内容

ビット	ビット名	機能
31～17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRSTビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLEIE	送信履歴バッファオーバフロー割り込み許可ビット 0：送信履歴バッファオーバフロー割り込み禁止 1：送信履歴バッファオーバフロー割り込み許可
9	MEIE	FIFOメッセージロスト割り込み許可ビット 0：FIFOメッセージロスト割り込み禁止 1：FIFOメッセージロスト割り込み許可
8	DEIE	DLCエラー割り込み許可ビット 0：DLCエラー割り込み禁止 1：DLCエラー割り込み許可
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0：グローバルストップモードではない 1：グローバルストップモード
1、0	GMDC[1:0]	グローバルモード選択ビット b1　b0 0　0：グローバル動作モード 0　1：グローバルリセットモード 1　0：グローバルテストモード 1　1：設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1” にすると RSCANnGTSC レジスタが “0000H” になります。

THLEIE ビット

THLEIE ビットを “1” に設定し、RSCANnGERFL レジスタの THLES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを “1” に設定し、RSCANnGERFL レジスタの MES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを “1” に設定し、RSCANnGERFL レジスタの DEF フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1” にすると、グローバルストップモードになります。
“0” にすると、グローバルストップモードは解除されます。
このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0] ビット

RS-CANFD モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、**「25.6.1　グローバルモード」**を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを “1” にすることで遷移します。

25.3.4.3　RSCANnGSTS — グローバルステータスレジスタ

アクセス：RSCANnGSTSレジスタは、32ビット単位でリードのみ可能です。
RSCANnGSTSL、RSCANnGSTSHレジスタは、16ビット単位でリードのみ可能です。
RSCANnGSTSLL、RSCANnGSTSLH、RSCANnGSTSHL、RSCANnGSTSHHレジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCANnGSTS: <RSCFDn_base> + $008C_H$
RSCANnGSTSL: <RSCFDn_base> + $008C_H$、RSCANnGSTSH: <RSCFDn_base> + $008E_H$
RSCANnGSTSLL: <RSCFDn_base> + $008C_H$、RSCANnGSTSLH: <RSCFDn_base> + $008D_H$、
RSCANnGSTSHL: <RSCFDn_base> + $008E_H$、RSCANnGSTSHH: <RSCFDn_base> + $008F_H$

リセット後の値：$0000\ 000D_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAM INIT	GSLP STS	GHLT STS	GRST STS
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.22　RSCANnGSTSレジスタの内容

ビット	ビット名	機能
31～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	GRAMINIT	CAN用RAMクリアステータスフラグ 0：CAN用RAMクリア完了 1：CAN用RAMクリア中
2	GSLPSTS	グローバルストップステータスフラグ 0：グローバルストップモードではない 1：グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0：グローバルテストモードではない 1：グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0：グローバルリセットモードではない 1：グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。
MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると “0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると “0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると “0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると “1” になります。

グローバルリセットモード以外のモードに遷移すると “0” になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1” のままです。

25.3.4.4　RSCANnGERFL — グローバルエラーフラグレジスタ

アクセス：RSCANnGERFLレジスタは、32ビット単位でリード／ライト可能です。
RSCANnGERFLL、RSCANnGERFLHレジスタは、16ビット単位でリードリード／ライト可能です。
RSCANnGERFLLL、RSCANnGERFLLH、RSCANnGERFLHL、RSCANnGERFLHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnGERFL: <RSCFDn_base> + 0090_H
RSCANnGERFLL: <RSCFDn_base> + 0090_H、RSCANnGERFLH: <RSCFDn_base> + 0092_H
RSCANnGERFLLL: <RSCFDn_base> + 0090_H、RSCANnGERFLLH: <RSCFDn_base> + 0091_H、
RSCANnGERFLHL: <RSCFDn_base> + 0092_H、RSCANnGERFLHH: <RSCFDn_base> + 0093_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W注1

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.23　RSCANnGERFLレジスタの内容

ビット	ビット名	機能
31～14、7、6、4、3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～8、5	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
2	THLES	送信履歴バッファオーバフローステータスフラグ 0：送信履歴バッファオーバフローなし 1：送信履歴バッファオーバフロー
1	MES	FIFOメッセージロストステータスフラグ 0：FIFOメッセージロストエラーなし 1：FIFOメッセージロストエラー
0	DEF	DLCエラーフラグ 0：DLCエラーなし 1：DLCエラー

RSCANnGERFL レジスタのフラグは、グローバルリセットモード時、“0” になります。

THLES フラグ

RSCANnTHLSTSm レジスタ（m = 0, 1）の THLELT フラグのいずれか 1 つでも “1” になると、THLES フラグは “1” になります。

全チャネルの THLELT フラグを “0” にすると、THLES フラグは “0” になります。

MES フラグ

RSCANnRFSTSx レジスタ（x = 0 ~ 7）の RFMLT フラグまたは RSCANnCFSTSk レジスタ（k = 0 ~ 5）の CFMLT フラグのいずれか 1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1” になります。プログラムで “0” を書くことで、“0” にできます。

備　考

本レジスタのフラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

25.3.4.5　RSCANnGTSC — グローバルタイムスタンプカウンタレジスタ

アクセス：RSCANnGTSCレジスタは、32ビット単位でリードのみ可能です。
RSCANnGTSCL、RSCANnGTSCHレジスタは、16ビット単位でリードのみ可能です。

アドレス：RSCANnGTSC: <RSCFDn_base> + 0094_H
RSCANnGTSCL: <RSCFDn_base> + 0094_H、RSCANnGTSCH: <RSCFDn_base> + 0096_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.24　RSCANnGTSCレジスタの内容

ビット	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値：0000_H～$FFFF_H$

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。また、RSCANnGCFG レジスタの TMTSCE ビットが “1” のとき、送信履歴バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCANnGCFG レジスタの TSSS ビットが “0”（pclk）の場合：
  グローバル動作モードへ遷移したときに、カウント開始。
  グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1”（CANm ビットタイムクロック）の場合：
  対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。
  対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

25.3.4.6　RSCANnGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス：RSCANnGTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCANnGTINTSTS0L、RSCANnGTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCANnGTINTSTS0LL、RSCANnGTINTSTS0LH、RSCANnGTINTSTS0HL、RSCANnGTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnGTINTSTS0: <RSCFDn_base> + 0460_H
RSCANnGTINTSTS0L: <RSCFDn_base> + 0460_H、RSCANnGTINTSTS0H: <RSCFDn_base> + 0462_H
RSCANnGTINTSTS0LL: <RSCFDn_base> + 0460_H、RSCANnGTINTSTS0LH: <RSCFDn_base> + 0461_H、
RSCANnGTINTSTS0HL: <RSCFDn_base> + 0462_H、RSCANnGTINTSTS0HH: <RSCFDn_base> + 0463_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R注1	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1

注1.　本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

表25.25　RSCANnGTINTSTS0 レジスタの内容

ビット	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャネル1送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
11	CFTIF1	チャネル1送受信FIFO送信割り込みステータスフラグ 0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり
10	TQIF1	チャネル1送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
9	TAIF1	チャネル1送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
8	TSIF1	チャネル1送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
7～5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャネル0送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
3	CFTIF0	チャネル0送受信FIFO送信割り込みステータスフラグ 0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり
2	TQIF0	チャネル0送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TAIF0	チャネル0送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり

ビット	ビット名	機能
0	TSIF0	チャネル0送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCANnTMIECy レジスタの TMIEp ビットが “1”（送信バッファ割り込みが許可）、かつ対応する RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “10B”（送信完了、アボート要求なし）、または “11B”（送信完了、アボート要求あり）になると、TSIFm ビットは “1” になります。

TSIFm が “1” になる条件が成立している TMTRF[1:0] フラグを全て “00B” にすると、このフラグは “0” になります。また TMIEp ビットを “0” にすることでも、このフラグは “0” になります。

TAIFm ビット

RSCANnCmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）、かつ RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “01B”（送信アボート完了）になると、TAIFm ビットは “1” になります。

送信アボートを完了した TMTRF[1:0] フラグを全て “00B” にすると、このフラグは “0” になります。

TQIFm ビット

RSCANnTXQCCm レジスタの TXQIE ビットが “1”（送信キュー割り込み許可）、かつ RSCANnTXQSTSm レジスタの TXQIF が “1”（送信キュー割り込み要求あり）になると TQIFm ビットは “1” になります。

RSCANnTXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット

RSCANnCFCCk レジスタの CFTXIE ビットが “1”（送受信 FIFO 送信割り込み許可）、かつ RSCANnCFSTSk レジスタの CFTXIF ビットが “1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット

RSCANnTHLCCm レジスタの THLIE ビットが “1”（送信履歴割り込み許可）、かつ RSCANnTHLSTSm レジスタの THLIF ビットが “1”（送信履歴割り込み要求あり）になると、THIFm ビットは “1” になります。

RSCANnTHLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

25.3.4.7　RSCANnGFDCFG — グローバル FD コンフィグレーションレジスタ

アクセス：RSCANnGFDCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGFDCFG L、RSCANnGFDCFG H レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGFDCFG LL、RSCANnGFDCFG LH、RSCANnGFDCFG HL、RSCANnGFDCFG HH レジスタは、
8 ビット単位でリード／ライト可能です。

アドレス：RSCANnGFDCFG: <RSCFDn_base> + 0474_H
RSCANnGFDCFG L: <RSCFDn_base> + 0474_H、RSCANnGFDCFG H: <RSCFDn_base> + 0476_H
RSCANnGFDCFG LL: <RSCFDn_base> + 0474_H、RSCANnGFDCFG LH: <RSCFDn_base> + 0475_H、
RSCANnGFDCFG HL: <RSCFDn_base> + 0476_H、RSCANnGFDCFG HH: <RSCFDn_base> + 0477_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.26　RSCANnGFDCFG レジスタの内容

ビット	ビット名	機能
31～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TSCCFG[1:0]	タイムスタンプキャプチャ設定ビット b 9　b8 0　0：SOF ビットのサンプルポイントでキャプチャ 0　1：有効なフレーム送受信完了でキャプチャ 1　0：設定しないでください 1　1：設定しないでください
7 ～ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。

TSCCFG ビット

タイムスタンプ値のキャプチャポイントを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

25.3.5　受信ルール関連レジスタの詳細

25.3.5.1　RSCANnGAFLECTR — 受信ルールエントリ制御レジスタ

アクセス：RSCANnGAFLECTRレジスタは、32ビット単位でリード／ライト可能です。
RSCANnGAFLECTRL、RSCANnGAFLECTRHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnGAFLECTRLL、RSCANnGAFLECTRLH、RSCANnGAFLECTRHL、RSCANnGAFLECTRHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnGAFLECTR: <RSCFDn_base> + 0098_H
RSCANnGAFLECTRL: <RSCFDn_base> + 0098_H、RSCANnGAFLECTRH: <RSCFDn_base> + $009A_H$
RSCANnGAFLECTRLL: <RSCFDn_base> + 0098_H、RSCANnGAFLECTRLH: <RSCFDn_base> + 0099_H、
RSCANnGAFLECTRHL: <RSCFDn_base> + $009A_H$、RSCANnGAFLECTRHH: <RSCFDn_base> + $009B_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表25.27　RSCANnGAFLECTRレジスタの内容

ビット	ビット名	機能
31～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0：受信ルールテーブル書き込み禁止 1：受信ルールテーブル書き込み許可
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～0	AFLPN[4:0]	受信ルールテーブルページ番号設定ビット ページ0（00000_B）からページ7（00111_B）の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ “1” にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“00000_B” ～ “00111_B” 以外の値を設定しないでください。

25.3.5.2　RSCANnGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス：RSCANnGAFLCFG0 レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGAFLCFG0L、RSCANnGAFLCFG0H レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGAFLCFG0LL、RSCANnGAFLCFG0LH、RSCANnGAFLCFG0HL、RSCANnGAFLCFG0HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnGAFLCFG0: <RSCFDn_base> + $009C_H$
RSCANnGAFLCFG0L: <RSCFDn_base> + $009C_H$、RSCANnGAFLCFG0H: <RSCFDn_base> + $009E_H$
RSCANnGAFLCFG0LL: <RSCFDn_base> + $009C_H$、RSCANnGAFLCFG0LH: <RSCFDn_base> + $009D_H$、
RSCANnGAFLCFG0HL: <RSCFDn_base> + $009E_H$、RSCANnGAFLCFG0HH: <RSCFDn_base> + $009F_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.28　RSCANnGAFLCFG0 レジスタの内容

ビット	ビット名	機能
31 ～ 24	RNC0[7:0]	チャネル 0 用ルール数 チャネル 0 の受信ルール数を設定してください。
23 ～ 16	RNC1[7:0]	チャネル 1 用ルール数 チャネル 1 の受信ルール数を設定してください。
15 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCANnGAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 ×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 128 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャネル 0 の受信ルールテーブルに登録するルール数を設定します。
00_H ～ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャネル 1 の受信ルールテーブルに登録するルール数を設定します。
00_H ～ 80_H 以外の値を設定しないでください。

25.3.5.3　RSCANnGAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）

アクセス：RSCANnGAFLIDj レジスタは、32ビット単位でリード／ライト可能です。
RSCANnGAFLIDjL、RSCANnGAFLIDjH レジスタは、16ビット単位でリード／ライト可能です。
RSCANnGAFLIDjLL、RSCANnGAFLIDjLH、RSCANnGAFLIDjHL、RSCANnGAFLIDjHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnGAFLIDj: <RSCFDn_base> + 0500_H + (10_H × j)
RSCANnGAFLIDjL: <RSCFDn_base> + 0500_H + (10_H × j)、
RSCANnGAFLIDjH: <RSCFDn_base> + 0502_H + (10_H × j)
RSCANnGAFLIDjLL: <RSCFDn_base> + 0500_H + (10_H × j)、
RSCANnGAFLIDjLH: <RSCFDn_base> + 0501H + (10_H × j)、
RSCANnGAFLIDjHL: <RSCFDn_base> + 0502H + (10_H × j)、
RSCANnGAFLIDjHH: <RSCFDn_base> + 0503H + (10_H × j)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.29　RSCANnGAFLIDj レジスタの内容

ビット	ビット名	機能
31	GAFLIDE	IDE選択ビット 0：標準ID 1：拡張ID
30	GAFLRTR	RTR選択ビット 0：データフレーム 1：リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0：他のCANノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時
28 ～ 0	GAFLID [28:0]	ID設定ビット 受信ルールのIDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b28～b11は“0”にしてください。

RSCANnGAFLIDj レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に “1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

25.3.5.4　RSCANnGAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）

アクセス：RSCANnGAFLMj レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGAFLMjL、RSCANnGAFLMjH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGAFLMjLL、RSCANnGAFLMjLH、RSCANnGAFLMjHL、RSCANnGAFLMjHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnGAFLMj: <RSCFDn_base> + 0504_H+ (10_H × j)
RSCANnGAFLMjL: <RSCFDn_base> + 0504_H + (10_H × j)、
RSCANnGAFLMjH: <RSCFDn_base> + 0506_H + (10_H × j)
RSCANnGAFLMjLL: <RSCFDn_base> + 0504_H + (10_H × j)、
RSCANnGAFLMjLH: <RSCFDn_base> + 0505_H + (10_H × j)、
RSCANnGAFLMjHL: <RSCFDn_base> + 0506_H + (10_H× j)、
RSCANnGAFLMjHH: <RSCFDn_base> + 0507_H + (10_H × j)

リセット後の値：$0000\ 0000_H$

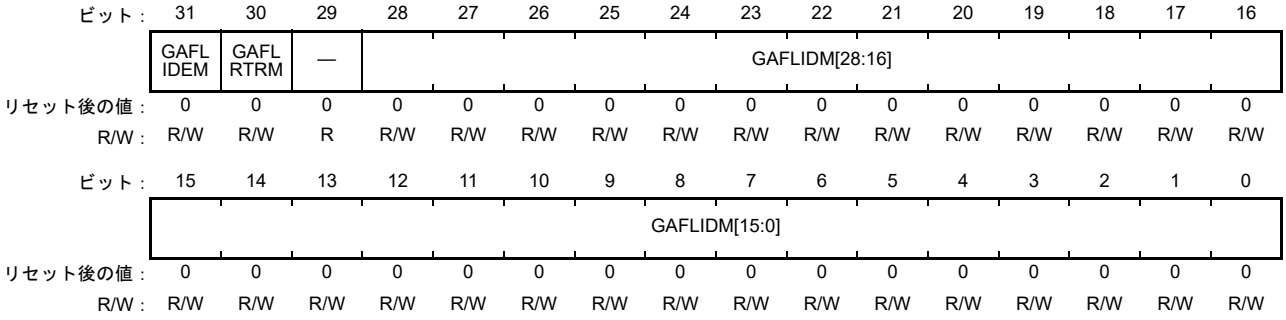


表 25.30　RSCANnGAFLMj レジスタの内容

ビット	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0：IDE ビットを比較しない 1：IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0：RTR ビットを比較しない 1：RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ～ 0	GAFLIDM [28:0]	ID マスクビット 0：対応する ID ビットを比較しない 1：対応する ID ビットを比較する

RSCANnGAFLMj レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCANnGAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。
“0” にすると、 すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを “0” にする場合は、GAFLIDM[28:0] ビットをすべて “0” にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

25.3.5.5　RSCANnGAFLP0_j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）

アクセス：RSCANnGAFLP0_jレジスタは、32ビット単位でリード／ライト可能です。
RSCANnGAFLP0_jL、RSCANnGAFLP0_jHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnGAFLP0_jLL、RSCANnGAFLP0_jLH、RSCANnGAFLP0_jHL、RSCANnGAFLP0_jHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnGAFLP0_j: <RSCFDn_base> + 0508_H + (10_H × j)
RSCANnGAFLP0_jL: <RSCFDn_base> + 0508_H + (10_H × j)、
RSCANnGAFLP0_jH: <RSCFDn_base> + $050A_H$ + (10_H × j)
RSCANnGAFLP0_jLL: <RSCFDn_base> + 0508_H + (10_H × j)、
RSCANnGAFLP0_jLH: <RSCFDn_base> + 0509_H + (10_H × j)、
RSCANnGAFLP0_jHL: <RSCFDn_base> + $050A_H$ + (10_H × j)、
RSCANnGAFLP0_jHH: <RSCFDn_base> + $050B_H$ + (10_H × j)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC[3:0]				GAFLPTR[11:0]											
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLRMV	GAFLRMDP[6:0]							—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表25.31　RSCANnGAFLP0_jレジスタの内容

ビット	ビット名	機能
31 ～28	GAFLDLC [3:0]	受信ルールDLC設定ビット b31 b30 b29 b28 0 0 0 0 : DLCチェックしない 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0：受信バッファを使用しない 1：受信バッファを使用する
14 ～8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCANnGAFLP0_j レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B” を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1” にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを “1” にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCANnRMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

25.3.5.6　RSCANnGAFLP1_j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）

アクセス：RSCANnGAFLP1_jレジスタは、32ビット単位でリード／ライト可能です。
RSCANnGAFLP1_jL、RSCANnGAFLP1_jHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnGAFLP1_jLL、RSCANnGAFLP1_jLH、RSCANnGAFLP1_jHL、RSCANnGAFLP1_jHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnGAFLP1_j: <RSCFDn_base> + 050CH + (10_H × j)
RSCANnGAFLP1_jL: <RSCFDn_base> + 050CH + (10_H × j)、
RSCANnGAFLP1_jH: <RSCFDn_base> + 050EH + (10_H × j)
RSCANnGAFLP1_jLL: <RSCFDn_base> + 050CH + (10_H × j)、
RSCANnGAFLP1_jLH: <RSCFDn_base> + 050DH + (10_H × j)、
RSCANnGAFLP1_jHL: <RSCFDn_base> + 050EH + (10_H × j)、
RSCANnGAFLP1_jHH: <RSCFDn_base> + 050FH + (10_H × j)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	GAFLFDP[13:0]													
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.32　RSCANnGAFLP1_jレジスタの内容

ビット	ビット名	機能
31 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ～ 8	GAFLFDP [13:8]	送受信FIFOバッファ k選択ビット （ビット位置-8が対象となる送受信FIFOバッファ番号kになります） 0：送受信FIFOバッファを選択しない 1：送受信FIFOバッファを選択する
7 ～ 0	GAFLFDP [7:0]	受信FIFOバッファ x選択ビット （ビット位置が対象となる受信FIFOバッファ番号xになります） 0：受信FIFOバッファを選択しない 1：受信FIFOバッファを選択する

RSCANnGAFLP1_j レジスタは、RSCANnGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLFDP[13:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCANnGAFLP0_j レジスタの GAFLRMV ビットを “1”（受信バッファにメッセージを格納する）にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCANnCFCCk レジスタの CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファのみ選択できます。

25.3.6　受信バッファ関連レジスタの詳細

25.3.6.1　RSCANnRMNB — 受信バッファナンバレジスタ

アクセス：RSCANnRMNB レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnRMNBL、RSCANnRMNBH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnRMNBLL、RSCANnRMNBLH、RSCANnRMNBHL、RSCANnRMNBHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnRMNB: <RSCFDn_base> + $00A4_H$
RSCANnRMNBL: <RSCFDn_base> + $00A4_H$、RSCANnRMNBH: <RSCFDn_base> + $00A6_H$
RSCANnRMNBLL: <RSCFDn_base> + $00A4_H$、RSCANnRMNBLH: <RSCFDn_base> + $00A5_H$、
RSCANnRMNBHL: <RSCFDn_base> + $00A6_H$、RSCANnRMNBHH: <RSCFDn_base> + $00A7_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	NRXMB[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.33　RSCANnRMNB レジスタの内容

ビット	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～ 0	NRXMB[7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0～32 の範囲で設定してください。

RSCANnRMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0] ビット

RS-CANFD モジュール全体の受信バッファ数を設定します。最大値は、16 ×（チャネル数）です。
“0” を設定すると、受信バッファは使用できません。

25.3.6.2　RSCANnRMNDy — 受信バッファ新データレジスタ（y = 0）

アクセス：RSCANnRMNDy レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnRMNDyL、RSCANnRMNDyH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnRMNDyLL、RSCANnRMNDyLH、RSCANnRMNDyHL、RSCANnRMNDyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnRMNDy: <RSCFDn_base> + $00A8_H$ + (04_H × y)
RSCANnRMNDyL: <RSCFDn_base> + $00A8_H$ + (04_H × y)、
RSCANnRMNDyH: <RSCFDn_base> + $00AA_H$ + (04_H × y)
RSCANnRMNDyLL: <RSCFDn_base> + $00A8_H$ + (04_H × y)、
RSCANnRMNDyLH: <RSCFDn_base> + $00A9_H$ + (04_H × y)、
RSCANnRMNDyHL: <RSCFDn_base> + $00AA_H$ + (04_H × y)、
RSCANnRMNDyHH: <RSCFDn_base> + $00AB_H$ + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.34　RSCANnRMNDy レジスタの内容

ビット	ビット名	機能
31 ～ 16	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 31～y × 32 + 16） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり
15 ～ 0	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 15～y × 32 + 0） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり

RSCANnRMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

RMNSq フラグ（q = 0 ~ 31）

対応する受信バッファにメッセージを格納する処理が始まると “1” になります。

フラグを “0” にする場合は、プログラムで “0” を書いてください。書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いてください。メッセージ格納中は “0” にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0” になります。

25.3.6.3　RSCANnRMIDq — 受信バッファ ID レジスタ（q = 0 ~ 31）

アクセス：RSCANnRMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMIDqL、RSCANnRMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMIDqLL、RSCANnRMIDqLH、RSCANnRMIDqHL、RSCANnRMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnRMIDq: <RSCFDn_base> + 0600_H + (10_H × q)
RSCANnRMIDqL: <RSCFDn_base> + 0600_H + (10_H × q)、
RSCANnRMIDqH: <RSCFDn_base> + 0602_H + (10_H × q)
RSCANnRMIDqLL: <RSCFDn_base> + 0600_H + (10_H × q)、
RSCANnRMIDqLH: <RSCFDn_base> + 0601_H + (10_H × q)、
RSCANnRMIDqHL: <RSCFDn_base> + 0602_H + (10_H × q)、
RSCANnRMIDqHH: <RSCFDn_base> + 0603_H + (10_H × q)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.35　RSCANnRMIDq レジスタの内容

ビット	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RMRTR	受信バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ～ 0	RMID[28:0]	受信バッファ ID データ 受信メッセージの標準 ID ／拡張 ID が読めます。 標準 ID の場合は、b10 ～ b0 を読んでください。b28 ～ b11 は“0”が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

25.3.6.4　RSCANnRMPTRq — 受信バッファポインタレジスタ（q = 0 ~ 31）

アクセス：RSCANnRMPTRqレジスタは、32ビット単位でリードのみ可能です。
RSCANnRMPTRqL、RSCANnRMPTRqHレジスタは、16ビット単位でリードのみ可能です。
RSCANnRMPTRqLL、RSCANnRMPTRqLH、RSCANnRMPTRqHL、RSCANnRMPTRqHHレジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCANnRMPTRq: <RSCFDn_base> + 0604_H + (10_H × q)
RSCANnRMPTRqL: <RSCFDn_base> + 0604_H + (10_H × q)、
RSCANnRMPTRqH: <RSCFDn_base> + 0606_H + (10_H × q)
RSCANnRMPTRqLL: <RSCFDn_base> + 0604_H + (10_H × q)、
RSCANnRMPTRqLH: <RSCFDn_base> + 0605_H + (10_H × q)、
RSCANnRMPTRqHL: <RSCFDn_base> + 0606_H + (10_H × q)、
RSCANnRMPTRqHH: <RSCFDn_base> + 0607_H + (10_H × q)

リセット後の値：$0000\ 0000_H$

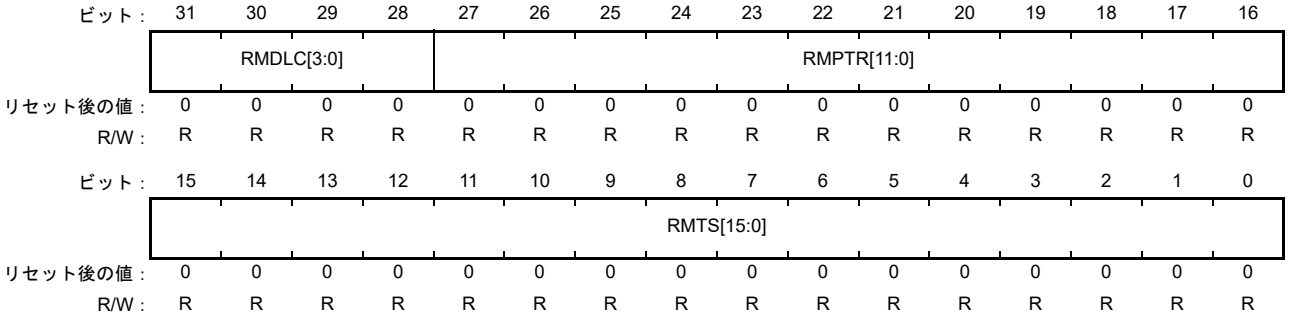


表25.36　RSCANnRMPTRqレジスタの内容

ビット	ビット名	機能
31 ～28	RMDLC[3:0]	受信バッファ DLCデータ b31 b30 b29 b28 0 0 0 0：データバイトなし 0 0 0 1：1データバイト 0 0 1 0：2データバイト 0 0 1 1：3データバイト 0 1 0 0：4データバイト 0 1 0 1：5データバイト 0 1 1 0：6データバイト 0 1 1 1：7データバイト 1 X X X：8データバイト
27 ～16	RMPTR[11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ～0	RMTS[15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

25.3.6.5　RSCANnRMDF0_q — 受信バッファデータフィールド 0 レジスタ（q = 0 ~ 31）

アクセス：RSCANnRMDF0_q レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMDF0_qL、RSCANnRMDF0_qH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMDF0_qLL、RSCANnRMDF0_qLH、RSCANnRMDF0_qHL、RSCANnRMDF0_qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：
RSCANnRMDF0_q: <RSCFDn_base> + 0608_H + (10_H × q)
RSCANnRMDF0_qL: <RSCFDn_base> + 0608_H + (10_H × q)、
RSCANnRMDF0_qH: <RSCFDn_base> + $060A_H$ + (10_H × q)
RSCANnRMDF0_qLL: <RSCFDn_base> + 0608_H + (10_H × q)、
RSCANnRMDF0_qLH: <RSCFDn_base> + 0609_H + (10_H × q)、
RSCANnRMDF0_qHL: <RSCFDn_base> + $060A_H$ + (10_H × q)、
RSCANnRMDF0_qHH: <RSCFDn_base> + $060B_H$ + (10_H × q)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB3[7:0]								RMDB2[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB1[7:0]								RMDB0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.37　RSCANnRMDF0_q レジスタの内容

ビット	ビット名	機能
31 ～ 24	RMDB3[7:0]	受信バッファデータバイト 3
23 ～ 16	RMDB2[7:0]	受信バッファデータバイト 2
15 ～ 8	RMDB1[7:0]	受信バッファデータバイト 1
7 ～ 0	RMDB0[7:0]	受信バッファデータバイト 0 受信バッファに格納されたメッセージのデータが読めます。

RSCANnRMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

25.3.6.6　RSCANnRMDF1_q — 受信バッファデータフィールド 1 レジスタ（q = 0 ~ 31）

アクセス：RSCANnRMDF1_q レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRMDF1_qL、RSCANnRMDF1_qH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRMDF1_qLL、RSCANnRMDF1_qLH、RSCANnRMDF1_qHL、RSCANnRMDF1_qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnRMDF1_q: <RSCFDn_base> + $060C_H$ + (10_H × q)
RSCANnRMDF1_qL: <RSCFDn_base> + $060C_H$ + (10_H × q)、
RSCANnRMDF1_qH: <RSCFDn_base> + $060E_H$ + (10_H × q)
RSCANnRMDF1_qLL: <RSCFDn_base> + $060C_H$ + (10_H × q)、
RSCANnRMDF1_qLH: <RSCFDn_base> + $060D_H$ + (10_H × q)、
RSCANnRMDF1_qHL: <RSCFDn_base> + $060E_H$ + (10_H × q)、
RSCANnRMDF1_qHH: <RSCFDn_base> + $060F_H$ + (10_H × q)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB7[7:0]								RMDB6[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB5[7:0]								RMDB4[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.38　RSCANnRMDF1_q レジスタの内容

ビット	ビット名	機能
31 ～ 24	RMDB7[7:0]	受信バッファデータバイト 7 受信バッファデータバイト 6 受信バッファデータバイト 5 受信バッファデータバイト 4 受信バッファに格納されたメッセージのデータが読めます。
23 ～ 16	RMDB6[7:0]	
15 ～ 8	RMDB5[7:0]	
7 ～ 0	RMDB4[7:0]	

RSCANnRMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

25.3.7　受信 FIFO バッファ関連レジスタの詳細

25.3.7.1　RSCANnRFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）

アクセス：RSCANnRFCCxレジスタは、32ビット単位でリード／ライト可能です。
RSCANnRFCCxL、RSCANnRFCCxHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnRFCCxLL、RSCANnRFCCxLH、RSCANnRFCCxHL、RSCANnRFCCxHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnRFCCx: <RSCFDn_base> + $00B8_H$ + (04_H × x)
RSCANnRFCCxL: <RSCFDn_base> + $00B8_H$ + (04_H × x)、
RSCANnRFCCxH: <RSCFDn_base> + $00BA_H$ + (04_H × x)
RSCANnRFCCxLL: <RSCFDn_base> + $00B8_H$ + (04_H × x)、
RSCANnRFCCxLH: <RSCFDn_base> + $00B9_H$ + (04_H × x)、
RSCANnRFCCxHL: <RSCFDn_base> + $00BA_H$ + (04_H × x)、
RSCANnRFCCxHH: <RSCFDn_base> + $00BB_H$ + (04_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表25.39　RSCANnRFCCxレジスタの内容

ビット	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～13	RFIGCV[2:0]	受信FIFO割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0：FIFOバッファに 1/8 までメッセージ格納時 0 0 1：FIFOバッファに 2/8 までメッセージ格納時 0 1 0：FIFOバッファに 3/8 までメッセージ格納時 0 1 1：FIFOバッファに 4/8 までメッセージ格納時 1 0 0：FIFOバッファに 5/8 までメッセージ格納時 1 0 1：FIFOバッファに 6/8 までメッセージ格納時 1 1 0：FIFOバッファに 7/8 までメッセージ格納時 1 1 1：FIFOバッファがフルのとき
12	RFIM	受信FIFO割り込み要因選択ビット 0：RFIGCV[2:0]ビットで設定した条件に達したときに発生 1：1メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～8	RFDC[2:0]	受信FIFOバッファ段数設定ビット b10 b9 b8 0 0 0：0メッセージ 0 0 1：4メッセージ 0 1 0：8メッセージ 0 1 1：16メッセージ 1 0 0：32メッセージ 1 0 1：48メッセージ 1 1 0：64メッセージ 1 1 1：128メッセージ
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

ビット	ビット名	機能
1	RFIE	受信 FIFO 割り込み許可ビット 0：受信 FIFO 割り込み禁止 1：受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0：受信 FIFO バッファを使用しない 1：受信 FIFO バッファを使用する

RFIGCV[2:0] ビット

RFIM ビットを “0” にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（RFDC[2:0] の設定）に対する分数で指定します。

RFDC[2:0] ビットを “001B”（4 メッセージ）に設定した場合は、RFIGCV[2:0] ビットを “001B”、“011B”、“101B”、または “111B” にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000B” に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1” にすると、受信 FIFO 割り込みが使用できます。RFE ビットが “0”（受信 FIFO バッファを使用しない）のときに、RFIE ビットを書き換えてください。

RFE ビット

“1” にすると、受信 FIFO バッファが使用できます。“0” にすると、RSCANnRFSTSx レジスタの RFEMP フラグが “1”（バッファ空）になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

このビットは、RSCANnRFCCx レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

グローバルリセットモード時、“0” になります。

25.3.7.2　RSCANnRFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）

アクセス：RSCANnRFSTSx レジスタは、32ビット単位でリード／ライト可能です。
RSCANnRFSTSxL、RSCANnRFSTSxH レジスタは、16ビット単位でリード／ライト可能です。
RSCANnRFSTSxLL、RSCANnRFSTSxLH、RSCANnRFSTSxHL、RSCANnRFSTSxHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnRFSTSx: <RSCFDn_base> + $00D8_H$ + (04_H × x)
RSCANnRFSTSxL: <RSCFDn_base> + $00D8_H$ + (04_H × x)、
RSCANnRFSTSxH: <RSCFDn_base> + $00DA_H$ + (04_H × x)
RSCANnRFSTSxLL: <RSCFDn_base> + $00D8_H$ + (04_H × x)、
RSCANnRFSTSxLH: <RSCFDn_base> + $00D9_H$ + (04_H × x)、
RSCANnRFSTSxHL: <RSCFDn_base> + $00DA_H$ + (04_H × x)、
RSCANnRFSTSxHH: <RSCFDn_base> + $00DB_H$ + (04_H × x)

リセット後の値：$0000\ 0001_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]								—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.40　RSCANnRFSTSx レジスタの内容

ビット	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～8	RFMC[7:0]	受信FIFO未読メッセージ数表示カウンタ 受信FIFOバッファに格納された未読メッセージ数を示します。
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信FIFO割り込み要求フラグ 0：受信FIFO割り込み要求なし 1：受信FIFO割り込み要求あり
2	RFMLT	受信FIFOメッセージロストフラグ 0：受信FIFOメッセージロストなし 1：受信FIFOメッセージロスト
1	RFFLL	受信FIFOバッファフルステータスフラグ 0：受信FIFOバッファフルではない 1：受信FIFOバッファフル
0	RFEMP	受信FIFOバッファ空ステータスフラグ 0：受信FIFOバッファに未読メッセージあり 1：受信FIFOバッファに未読メッセージなし（バッファ空）

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCANnRFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

このフラグは、グローバルリセットモード時、“00_H” になります。

RFIF フラグ

RSCANnRFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに “1” になります。RFIF フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき “1” になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCANnRFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると “1” になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると “0” になります。また、RSCANnRFCCx レジスタの RFE ビットが “0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に “0” になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと “1” になります。また、RSCANnRFCCx レジスタの RFE ビットが “0” のとき、またはグローバルリセットモード時に “1” になります。

受信メッセージが 1 つでも受信 FIFO バッファに格納されると “0” になります。

備　考

RFMLT もしくはRFIF フラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

25.3.7.3　RSCANnRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）

アクセス：RSCANnRFPCTRx レジスタは、32ビット単位でライトのみ可能です。
RSCANnRFPCTRxL、RSCANnRFPCTRxH レジスタは、16ビット単位でライトのみ可能です。
RSCANnRFPCTRxLL、RSCANnRFPCTRxLH、RSCANnRFPCTRxHL、RSCANnRFPCTRxHH レジスタは、8ビット単位でライトのみ可能です。

アドレス：RSCANnRFPCTRx: <RSCFDn_base> + $00F8_H$ + (04_H × x)
RSCANnRFPCTRxL: <RSCFDn_base> + $00F8_H$ + (04_H × x)、
RSCANnRFPCTRxH: <RSCFDn_base> + $00FA_H$ + (04_H × x)
RSCANnRFPCTRxLL: <RSCFDn_base> + $00F8_H$ + (04_H × x)、
RSCANnRFPCTRxLH: <RSCFDn_base> + $00F9_H$ + (04_H × x)、
RSCANnRFPCTRxHL: <RSCFDn_base> + $00FA_H$ + (04_H × x)、
RSCANnRFPCTRxHH: <RSCFDn_base> + $00FB_H$ + (04_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表25.41　RSCANnRFPCTRx レジスタの内容

ビット	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	RFPC[7:0]	受信FIFOポインタ制御 “FF_H”を書くと、受信FIFOバッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0] ビット

RFPC[7:0] ビットに “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCANnRFSTSx レジスタの RFMC[7:0] ビット（受信 FIFO 未読メッセージ数表示カウンタ）の値が 1 減算されます。RSCANnRFIDx、RSCANnRFPTRx、RSCANnRFDF0_x、RSCANnRFDF1_x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCANnRFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）で、RSCANnRFSTSx レジスタの RFEMP フラグが “0” 未読メッセージあり）のときに行ってください。

25.3.7.4　RSCANnRFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）

アクセス：RSCANnRFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFIDxL、RSCANnRFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFIDxLL、RSCANnRFIDxLH、RSCANnRFIDxHL、RSCANnRFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnRFIDx: <RSCFDn_base> + $0E00_H$ + (10_H × x)
RSCANnRFIDxL: <RSCFDn_base> + $0E00_H$ + (10_H × x)、
RSCANnRFIDxH: <RSCFDn_base> + $0E02_H$ + (10_H × x)
RSCANnRFIDxLL: <RSCFDn_base> + $0E00_H$ + (10_H × x)、
RSCANnRFIDxLH: <RSCFDn_base> + $0E01_H$ + (10_H × x)、
RSCANnRFIDxHL: <RSCFDn_base> + $0E02_H$ + (10_H × x)、
RSCANnRFIDxHH: <RSCFDn_base> + $0E03_H$ + (10_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.42　RSCANnRFIDx レジスタの内容

ビット	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	予約ビット	リードした場合はリセット後の値が読めます。
28～0	RFID[28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID／拡張 ID が読めます。 標準 ID の場合は、b10～b0 を読んでください。b28～b11 は“0”が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

25.3.7.5　RSCANnRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）

アクセス：RSCANnRFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFPTRxL、RSCANnRFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFPTRxLL、RSCANnRFPTRxLH、RSCANnRFPTRxHL、RSCANnRFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnRFPTRx: <RSCFDn_base> + $0E04_H$ + (10_H × x)
RSCANnRFPTRxL: <RSCFDn_base> + $0E04_H$ + (10_H × x)、
RSCANnRFPTRxH: <RSCFDn_base> + $0E06_H$ + (10_H × x)
RSCANnRFPTRxLL: <RSCFDn_base> + $0E04_H$ + (10_H × x)、
RSCANnRFPTRxLH: <RSCFDn_base> + $0E05_H$ + (10_H × x)、
RSCANnRFPTRxHL: <RSCFDn_base> + $0E06_H$ + (10_H × x)、
RSCANnRFPTRxHH: <RSCFDn_base> + $0E07_H$ + (10_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC[3:0]				RFPTR[11:0]											
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.43　RSCANnRFPTRx レジスタの内容

ビット	ビット名	機能
31 ～ 28	RFDLC[3:0]	受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	RFPTR[11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ～ 0	RFTS[15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

25.3.7.6　RSCANnRFDF0_x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ（x = 0 ~ 7）

アクセス：RSCANnRFDF0_x レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFDF0_xL、RSCANnRFDF0_xH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFDF0_xLL、RSCANnRFDF0_xLH、RSCANnRFDF0_xHL、RSCANnRFDF0_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnRFDF0_x: <RSCFDn_base> + $0E08_H$ + (10_H × x)
RSCANnRFDF0_xL: <RSCFDn_base> + $0E08_H$ + (10_H × x)、
RSCANnRFDF0_xH: <RSCFDn_base> + $0E0A_H$ + (10_H × x)
RSCANnRFDF0_xLL: <RSCFDn_base> + $0E08_H$ + (10_H × x)、
RSCANnRFDF0_xLH: <RSCFDn_base> + $0E09_H$ + (10_H × x)、
RSCANnRFDF0_xHL: <RSCFDn_base> + $0E0A_H$ + (10_H × x)、
RSCANnRFDF0_xHH: <RSCFDn_base> + $0E0B_H$ + (10_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB3[7:0]								RFDB2[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB1[7:0]								RFDB0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.44　RSCANnRFDF0_x レジスタの内容

ビット	ビット名	機能
31 ～ 24	RFDB3[7:0]	受信バッファデータバイト 3 受信バッファデータバイト 2 受信バッファデータバイト 1 受信バッファデータバイト 0 受信バッファに格納されたメッセージのデータが読めます。
23 ～ 16	RFDB2[7:0]	
15 ～ 8	RFDB1[7:0]	
7 ～ 0	RFDB0[7:0]	

RSCANnRFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

25.3.7.7　RSCANnRFDF1_x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ（x = 0 ~ 7）

アクセス：RSCANnRFDF1_x レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFDF1_xL、RSCANnRFDF1_xH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFDF1_xLL、RSCANnRFDF1_xLH、RSCANnRFDF1_xHL、RSCANnRFDF1_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnRFDF1_x: <RSCFDn_base> + $0E0C_H$ + (10_H × x)
RSCANnRFDF1_xL: <RSCFDn_base> + $0E0C_H$ + (10_H × x)、
RSCANnRFDF1_xH: <RSCFDn_base> + $0E0E_H$ + (10_H × x)
RSCANnRFDF1_xLL: <RSCFDn_base> + $0E0C_H$ + (10_H × x)、
RSCANnRFDF1_xLH: <RSCFDn_base> + $0E0D_H$ + (10_H × x)、
RSCANnRFDF1_xHL: <RSCFDn_base> + $0E0E_H$ + (10_H× x)、
RSCANnRFDF1_xHH: <RSCFDn_base> + $0E0F_H$ + (10_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB7[7:0]								RFDB6[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB5[7:0]								RFDB4[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.45　RSCANnRFDF1_x レジスタの内容

ビット	ビット名	機能
31 ～ 24	RFDB7[7:0]	受信 FIFO バッファデータバイト 7 受信 FIFO バッファデータバイト 6 受信 FIFO バッファデータバイト 5 受信 FIFO バッファデータバイト 4 受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	RFDB6[7:0]	
15 ～ 8	RFDB5[7:0]	
7 ～ 0	RFDB4[7:0]	

RSCANnRFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

25.3.8　送受信 FIFO バッファ関連レジスタの詳細

25.3.8.1　RSCANnCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ~ 5）

アクセス：RSCANnCFCCk レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFCCkL、RSCANnCFCCkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFCCkLL、RSCANnCFCCkLH、RSCANnCFCCkHL、RSCANnCFCCkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnCFCCk: <RSCFDn_base> + 0118_H + (04_H × k)
RSCANnCFCCkL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCANnCFCCkH: <RSCFDn_base> + $011A_H$ + (04_H × k)
RSCANnCFCCkLL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCANnCFCCkLH: <RSCFDn_base> + 0119_H + (04_H × k)、
RSCANnCFCCkHL: <RSCFDn_base> + $011A_H$ + (04_H × k)、
RSCANnCFCCkHH: <RSCFDn_base> + $011B_H$ + (04_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]								CFTML[3:0]				CFITR	CFITSS	CFM[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV[2:0]			CFIM	—	CFDC[2:0]			—	—	—	—	—	CFTXIE	CFRXIE	CFE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表25.46　RSCANnCFCCk レジスタの内容

ビット	ビット名	機能
31～24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値：00_H～FF_H
23～20	CFTML[3:0]	送信バッファリンク設定ビット 送受信FIFOバッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信FIFOインターバルタイマ分解能 0：pclk/2をITRCP[15:0]ビットで分周したクロック 1：pclk/2をITRCP[15:0]ビットの値× 10で分周したクロック が読めます。
18	CFITSS	送受信FIFOインターバルタイマクロックソース選択 0：CFITRビットで選択したクロックソース 1：関連チャネルのビットタイムクロック
17～16	CFM[1:0]	送受信FIFOモード選択ビット b17 b16 0 0：受信モード 0 1：送信モード 1 0：ゲートウェイモード 1 1：設定しないでください
15～13	CFIGCV[2:0]	送受信FIFO受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0：FIFOバッファに 1/8 までメッセージ格納時 0 0 1：FIFOバッファに 2/8 までメッセージ格納時 0 1 0：FIFOバッファに 3/8 までメッセージ格納時 0 1 1：FIFOバッファに 4/8 までメッセージ格納時 1 0 0：FIFOバッファに 5/8 までメッセージ格納時 1 0 1：FIFOバッファに 6/8 までメッセージ格納時 1 1 0：FIFOバッファに 7/8 までメッセージ格納時 1 1 1：FIFOバッファがフルのとき

ビット	ビット名	機能
12	CFIM	送受信FIFO割り込み要因選択ビット 0： • 受信モード、ゲートウェイモード時 受信メッセージ数がCFIGCV[2:0]ビットで設定した条件に達したとき、FIFO受信割り込み要求発生 • 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき､FIFO送信割り込み要求発生 1： • 受信モード、ゲートウェイモード時 1メッセージ受信ごとにFIFO受信割り込み要求発生 • 送信モード、ゲートウェイモード時 1メッセージ送信が完了するごとにFIFO送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～8	CFDC[2:0]	送受信FIFOバッファ段数設定ビット b10 b9 b8 0 0 0：0メッセージ 0 0 1：4メッセージ 0 1 0：8メッセージ 0 1 1：16メッセージ 1 0 0：32メッセージ 1 0 1：48メッセージ 1 1 0：64メッセージ 1 1 1：128メッセージ
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信FIFO送信割り込み許可ビット 0：送受信FIFO送信割り込み禁止 1：送受信FIFO送信割り込み許可
1	CFRXIE	送受信FIFO受信割り込み許可ビット 0：送受信FIFO受信割り込み禁止 1：送受信FIFO受信割り込み許可
0	CFE	送受信FIFOバッファ許可ビット 0：送受信FIFOバッファを使用しない 1：送受信FIFOバッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを “01B”（送信モード）または “10B”（ゲートウェイモード）に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを “01B”（送信モード）または “10B”（ゲートウェイモード）に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャネル番号 m は、k/3 の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、(16 × m) + CFTML[3:0] となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 25.11** および**表 25.12** を参照してください。

CFDC[2:0] ビットを “001B” 以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが “0” のとき、有効です。
“0” のとき、インターバルタイマクロックソースは、pclk/2 を RSCANnGCFG レジスタの ITRCP[15:0] ビットで分周したクロックとなります。
“1” のとき、インターバルタイマクロックソースは、pclk/2 を RSCANnGCFG レジスタの ITRCP[15:0] ビットの値 ×10 で分周したクロックとなります。
CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0” のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。
“1” のとき、FIFO にリンクしているチャネルのビットタイムクロックがインターバルタイマのカウントソースになります。
CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットを “00B”（受信モード）または “10B”（ゲートウェイモード）に、CFIM ビットを “0” にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0] の設定）に対する分数で指定します。
CFDC[2:0] ビットを “001B”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを “001B”、“011B”、“101B”、または “111B” にしてください。
このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000B” に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを “1” に設定し、RSCANnCFSTSk レジスタの CFTXIF フラグが “1” になった場合、送受信 FIFO 送信割り込み要求が発生します。
CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを “1” に設定し、RSCANnCFSTSk レジスタの CFRXIF フラグが “1” になった場合、送受信 FIFO 受信割り込み要求が発生します。
CFE ビットが “0” の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1” にすると、送受信 FIFO バッファを使用できます。

“0” にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で “0” になります。

- 受信モード時 : グローバルリセットモード
- 送信モードまたはゲートウェイモード時 : チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード : グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード : チャネル通信モードまたはチャネル待機モード

このビットは、RSCANnCFCCk レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

25.3.8.2　RSCANnCFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ~ 5）

アクセス：RSCANnCFSTSk レジスタは、32ビット単位でリード／ライト可能です。
RSCANnCFSTSkL、RSCANnCFSTSkH レジスタは、16ビット単位でリード／ライト可能です。
RSCANnCFSTSkLL、RSCANnCFSTSkLH、RSCANnCFSTSkHL、RSCANnCFSTSkHH レジスタは、8ビット単位でリード／ライト可能です

アドレス：RSCANnCFSTSk: <RSCFDn_base> + 0178_H + (04_H × k)
RSCANnCFSTSkL: <RSCFDn_base> + 0178_H + (04_H × k)、
RSCANnCFSTSkH: <RSCFDn_base> + $017A_H$ + (04_H × k)
RSCANnCFSTSkLL: <RSCFDn_base> + 0178_H + (04_H × k)、
RSCANnCFSTSkLH: <RSCFDn_base> + 0179_H + (04_H × k)、
RSCANnCFSTSkHL: <RSCFDn_base> + $017A_H$ + (04_H × k)、
RSCANnCFSTSkHH: <RSCFDn_base> + $017B_H$ + (04_H × k)

リセット後の値：$0000\ 0001_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC[7:0]								—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.47　RSCANnCFSTSk レジスタの内容

ビット	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～8	CFMC[7:0]	送受信FIFOメッセージ数表示カウンタ 送受信FIFOバッファに格納されたメッセージ数を示します。
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信FIFO送信割り込み要求フラグ 0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり
3	CFRXIF	送受信FIFO受信割り込み要求フラグ 0：送受信FIFO受信割り込み要求なし 1：送受信FIFO受信割り込み要求あり
2	CFMLT	送受信FIFOメッセージロストフラグ 0：送受信FIFOメッセージロストなし 1：送受信FIFOメッセージロスト
1	CFFLL	送受信FIFOバッファフルステータスフラグ 0：送受信FIFOバッファフルではない 1：送受信FIFOバッファフル
0	CFEMP	送受信FIFOバッファ空ステータスフラグ 0：送受信FIFOバッファにメッセージあり 1：送受信FIFOバッファにメッセージなし（バッファ空）

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCANnCFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01B”（送信モード）の場合 : バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが “00B”（受信モード）の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが “10B”（ゲートウェイモード）の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0] ビットが “00B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合 : チャネルリセットモード
- RSCANnCFCCk レジスタの CFE ビットが “0” の場合

CFTXIF フラグ

次の条件で、CFTXIF フラグは “1” になります。

- CFM[1:0] ビットが “01B” または “10B” で、RSCANnCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは “0” になります。

- CFTXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0] ビットが “00B” または “10B” で、RSCANnCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは “1” になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは “0” になります。

- CFMLT フラグへの “0” 書き込み
- CFM[1:0] ビットが “00B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFFLL フラグ

次の条件で、CFFLL フラグは “1” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCANnCFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFFLL フラグは “0” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCANnCFCCk レジスタの CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合 : 送信アボート中でないとき
- CFM[1:0] ビットが “00B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合：チャネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは “1” になります。

- CFM[1:0] ビットが “00B” の場合：全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合：すべてのメッセージを送信したとき、またはチャネルリセットモード
- CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：送信アボート中でないとき

次の条件で、CFEMP フラグは “0” になります。

- CFM[1:0] ビットが “00B” または “10B” の場合: 受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが “01B” の場合：RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタに書いてから、RSCANnCFPCTRk レジスタに “FFH” を書いたとき

備　考

CFTXIF, CFRXIF, CFMLT フラグを “0” にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いてください。

25.3.8.3　RSCANnCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0～5）

アクセス：RSCANnCFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCANnCFPCTRkL、RSCANnCFPCTRkH レジスタは、16 ビット単位でライトのみ可能です。
RSCANnCFPCTRkLL、RSCANnCFPCTRkLH、RSCANnCFPCTRkHL、RSCANnCFPCTRkHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス：RSCANnCFPCTRk: <RSCFDn_base> + $01D8_H$ + (04_H × k)
RSCANnCFPCTRkL: <RSCFDn_base> + $01D8_H$ + (04_H × k)、
RSCANnCFPCTRkH: <RSCFDn_base> + $01DA_H$ + (04_H × k)
RSCANnCFPCTRkLL: <RSCFDn_base> + $01D8_H$ + (04_H × k)、
RSCANnCFPCTRkLH: <RSCFDn_base> + $01D9_H$ + (04_H × k)、
RSCANnCFPCTRkHL: <RSCFDn_base> + $01DA_H$ + (04_H × k)、
RSCANnCFPCTRkHH: <RSCFDn_base> + $01DB_H$ + (04_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 25.48　RSCANnCFPCTRk レジスタの内容

ビット	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	CFPC[7:0]	送受信 FIFO ポインタ制御 • 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 • 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 • ゲートウェイモード時 設定しないでください。

CFPC[7:0] ビット

- 受信モード（RSCANnCFCCk レジスタの CFM[1:0] ビットが “00_B”）のとき：
  CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCANnCFSTSk レジスタの CFMC[7:0] ビット（送受信 FIFO メッセージ数表示カウンタ）の値が 1 減算されます。RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
  なお、“FF_H” の書き込みは RSCANnCFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCANnCFSTSk レジスタの CFEMP フラグが “0”（メッセージあり）のときに行ってください。
- 送信モード（RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B”）のとき：
  CFPC[7:0] ビットに “FF_H” を書くと、RSCANnCFIDk、RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCANnCFIDk、

RSCANnCFPTRk、RSCANnCFDF0_k、RSCANnCFDF1_k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FFH” を書いてください。
なお、“FFH” の書き込みは、RSCANnCFCCk レジスタの CFE ビットが “1” で、RSCANnCFSTSk レジスタの CFFLL フラグが “0”（フルではない）のときに行ってください。

- ゲートウェイモード（RSCANnCFCCk レジスタの CFM[1:0] ビットが “10B”）のとき：
  設定しないでください。

25.3.8.4　RSCANnCFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ~ 5）

アクセス：RSCANnCFIDk レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFIDkL、RSCANnCFIDkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFIDkLL、RSCANnCFIDkLH、RSCANnCFIDkHL、RSCANnCFIDkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnCFIDk: <RSCFDn_base> + $0E80_H$ + (10_H × k)
RSCANnCFIDkL: <RSCFDn_base> + $0E80_H$ + (10_H × k)、
RSCANnCFIDkH: <RSCFDn_base> + $0E82_H$ + (10_H × k)
RSCANnCFIDkLL: <RSCFDn_base> + $0E80_H$ + (10_H × k)、
RSCANnCFIDkLH: <RSCFDn_base> + $0E81_H$ + (10_H × k)、
RSCANnCFIDkHL: <RSCFDn_base> + $0E82_H$ + (10_H × k)、
RSCANnCFIDkHH: <RSCFDn_base> + $0E83_H$ + (10_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.49　RSCANnCFIDk レジスタの内容

ビット	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが“01_B”（送信モード）時のみ有効 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28～0	CFID[28:0]	送受信 FIFO バッファ ID データ • CFM[1:0] ビットが“01_B”（送信モード）時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10～b0 に ID を設定してください。b28～b11 は“0”にしてください。 • CFM[1:0] ビットが“00_B”（受信モード）時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10～b0 を読んでください。b28～b11 は“0”が読めます。

RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0] ビットが “00B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット（標準 ID または拡張 ID）を示します。CFM[1:0] ビットが “01B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット（データフレームまたはリモートフレーム）を示します。CFM[1:0] ビットが “01B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ）が送信履歴バッファに格納されます。
CFM[1:0] ビットが “01B”（送信モード）のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが “00B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。
CFM[1:0] ビットが “01B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

25.3.8.5　RSCANnCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ~ 5）

アクセス：RSCANnCFPTRk レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFPTRkL、RSCANnCFPTRkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFPTRkLL、RSCANnCFPTRkLH、RSCANnCFPTRkHL、RSCANnCFPTRkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnCFPTRk: <RSCFDn_base> + $0E84_H$ + (10_H × k)
RSCANnCFPTRkL: <RSCFDn_base> + $0E84_H$ + (10_H × k)、
RSCANnCFPTRkH: <RSCFDn_base> + $0E86_H$ + (10_H × k)
RSCANnCFPTRkLL: <RSCFDn_base> + $0E84_H$ + (10_H × k)、
RSCANnCFPTRkLH: <RSCFDn_base> + $0E85_H$ + (10_H × k)、
RSCANnCFPTRkHL: <RSCFDn_base> + $0E86_H$ + (10_H × k)、
RSCANnCFPTRkHH: <RSCFDn_base> + $0E87_H$ + (10_H × k)

リセット後の値：$0000\ 0000_H$

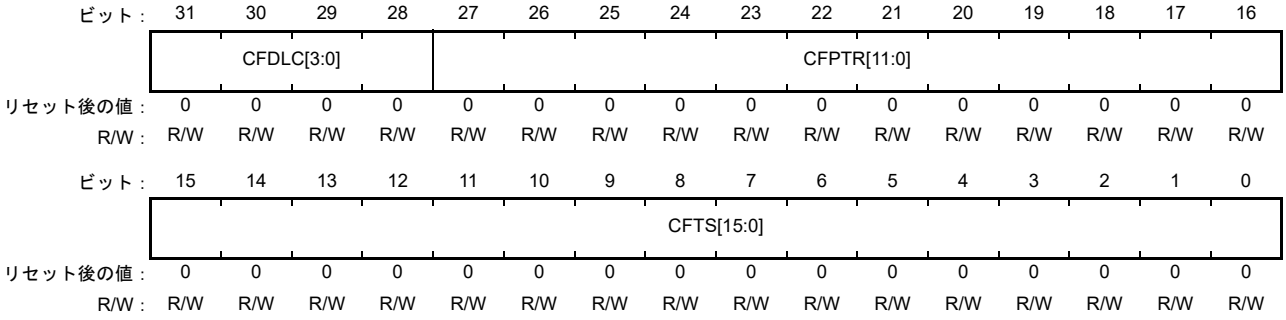


表 25.50　RSCANnCFPTRk レジスタの内容

ビット	ビット名	機能
31 ~ 28	CFDLC[3:0]	送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	CFPTR[11:0]	送受信 FIFO バッファラベルデータ • CFM[1:0] ビットが“01_B”（送信モード）時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 • CFM[1:0] ビットが“00_B”（受信モード）時 受信メッセージのラベル情報が読めます。
15 ~ 0	CFTS[15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが“00_B”（受信モード）時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが “00B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが “01B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。“1001B” 以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0] ビット

CFM[1:0] ビットが “00B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01B” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。
CFM[1:0] ビットが “00B” のときに、有効になります。

25.3.8.6　RSCANnCFDF0_k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（k = 0 ~ 5）

アクセス：RSCANnCFDF0_k レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFDF0_kL、RSCANnCFDF0_kH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFDF0_kLL、RSCANnCFDF0_kLH、RSCANnCFDF0_kHL、RSCANnCFDF0_kHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnCFDF0_k: <RSCFDn_base> + $0E88_H$ + (10_H × k)
RSCANnCFDF0_kL: <RSCFDn_base> + $0E88_H$ + (10_H × k)、
RSCANnCFDF0_kH: <RSCFDn_base> + $0E8A_H$ + (10_H × k)
RSCANnCFDF0_kLL: <RSCFDn_base> + $0E88_H$ + (10_H × k)、
RSCANnCFDF0_kLH: <RSCFDn_base> + $0E89_H$ + (10_H × k)、
RSCANnCFDF0_kHL: <RSCFDn_base> + $0E8A_H$ + (10_H × k)、
RSCANnCFDF0_kHH: <RSCFDn_base> + $0E8B_H$ + (10_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB3[7:0]								CFDB2[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB1[7:0]								CFDB0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.51　RSCANnCFDF0_k レジスタの内容

ビット	ビット名	機能
31 ～ 24	CFDB3[7:0]	送受信 FIFO バッファデータバイト 3 送受信 FIFO バッファデータバイト 2 送受信 FIFO バッファデータバイト 1 送受信 FIFO バッファデータバイト 0 • CFM[1:0] ビットが“01_B”（送信モード）時 送受信 FIFO バッファのデータを設定してください。 • CFM[1:0] ビットが“00_B”（受信モード）時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	CFDB2[7:0]	
15 ～ 8	CFDB1[7:0]	
7 ～ 0	CFDB0[7:0]	

RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B” （送信モード）の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” （受信モード）の場合のみ、このレジスタを読めます。RSCANnCFPTRk レジスタの CFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

25.3.8.7　RSCANnCFDF1_k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（k = 0 ~ 5）

アクセス：RSCANnCFDF1_k レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnCFDF1_kL、RSCANnCFDF1_kH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnCFDF1_kLL、RSCANnCFDF1_kLH、RSCANnCFDF1_kHL、RSCANnCFDF1_kHH レジスタは、8 ビット単位でリード／ライト可能です

アドレス：RSCANnCFDF1_k: <RSCFDn_base> + $0E8C_H$ + (10_H × k)
RSCANnCFDF1_kL: <RSCFDn_base> + $0E8C_H$ + (10_H × k)、
RSCANnCFDF1_kH: <RSCFDn_base> + $0E8E_H$ + (10_H × k)
RSCANnCFDF1_kLL: <RSCFDn_base> + $0E8C_H$ + (10_H × k)、
RSCANnCFDF1_kLH: <RSCFDn_base> + $0E8D_H$ + (10_H × k)、
RSCANnCFDF1_kHL: <RSCFDn_base> + $0E8E_H$ + (10_H × k)、
RSCANnCFDF1_kHH: <RSCFDn_base> + $0E8F_H$ + (10_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB7[7:0]								CFDB6[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB5[7:0]								CFDB4[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.52　RSCANnCFDF1_k レジスタの内容

ビット	ビット名	機能
31 ～ 24	CFDB7[7:0]	送受信 FIFO バッファデータバイト 7 送受信 FIFO バッファデータバイト 6 送受信 FIFO バッファデータバイト 5 送受信 FIFO バッファデータバイト 4 • CFM[1:0] ビットが“01_B”（送信モード）時 送受信 FIFO バッファのデータを設定してください。 • CFM[1:0] ビットが“00_B”（受信モード）時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	CFDB6[7:0]	
15 ～ 8	CFDB5[7:0]	
7 ～ 0	CFDB4[7:0]	

RSCANnCFCCk レジスタの CFM[1:0] ビットが “01_B” （送信モード）の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” （受信モード）の場合のみ、このレジスタを読めます。RSCANnCFPTRk レジスタの CFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

25.3.9　FIFO ステータス関連レジスタの詳細

25.3.9.1　RSCANnFESTS — FIFO エンプティステータスレジスタ

アクセス：RSCANnFESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnFESTSL、RSCANnFESTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnFESTSLL、RSCANnFESTSLH、RSCANnFESTSHL、RSCANnFESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnFESTS: <RSCFDn_base> + 0238_H
RSCANnFESTSL: <RSCFDn_base> + 0238_H、RSCANnFESTSH: <RSCFDn_base> + $023A_H$
RSCANnFESTSLL: <RSCFDn_base> + 0238_H、RSCANnFESTSLH: <RSCFDn_base> + 0239_H、
RSCANnFESTSHL: <RSCFDn_base> + $023A_H$、RSCANnFESTSHH: <RSCFDn_base> + $023B_H$

リセット後の値：$03FF\ FFFF_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CF5 EMP	CF4 EMP	CF3 EMP	CF2 EMP	CF1 EMP	CF0 EMP	RF7 EMP	RF6 EMP	RF5 EMP	RF4 EMP	RF3 EMP	RF2 EMP	RF1 EMP	RF0 EMP
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.53　RSCANnFESTS レジスタの内容

ビット	ビット名	機能
31～14	予約ビット	リードした場合はリセット後の値が読めます。
13	CF5EMP	送受信FIFOバッファエンプティステータスフラグ 0：送受信FIFOバッファ kにメッセージあり 1：送受信FIFOバッファ kにメッセージなし (k = 0 ~ 5)
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	受信FIFOバッファエンプティステータスフラグ 0：受信FIFOバッファ xに未読メッセージあり 1：受信FIFOバッファ xに未読メッセージなし (x = 0 ~ 7)
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCANnFESTS レジスタは、グローバルリセットモード時、“$03FF\ FFFF_H$” になります。

CFkEMP フラグ（k = 0 ~ 5）

RSCANnCFSTSk レジスタの CFEMP フラグが “1”（メッセージなし）になると、CFkEMP フラグは “1” になります。CFEMP フラグが “0”（メッセージあり）になると、CFkEMP フラグは “0” になります。

RFxEMP フラグ（x = 0 ~ 7）

RSCANnRFSTSx レジスタの RFEMP フラグが “1”（未読メッセージなし）になると、RFxEMP フラグは “1” になります。RFEMP フラグが “0”（未読メッセージあり）になると、RFxEMP フラグは “0” になります。

25.3.9.2　RSCANnFFSTS — FIFO フルステータスレジスタ

アクセス：RSCANnFFSTS レジスタは、32ビット単位でリードのみ可能です。
RSCANnFFSTSL、RSCANnFFSTSH レジスタは、16ビット単位でリードのみ可能です。
RSCANnFFSTSLL、RSCANnFFSTSLH、RSCANnFFSTSHL、RSCANnFFSTSHH レジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCANnFFSTS: <RSCFDn_base> + $023C_H$
RSCANnFFSTSL: <RSCFDn_base> + $023C_H$、RSCANnFFSTSH: <RSCFDn_base> + $023E_H$
RSCANnFFSTSLL: <RSCFDn_base> + $023C_H$、RSCANnFFSTSLH: <RSCFDn_base> + $023D_H$、
RSCANnFFSTSHL: <RSCFDn_base> + $023E_H$、RSCANnFFSTSHH: <RSCFDn_base> + $023F_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CF5 FLL	CF4 FLL	CF3 FLL	CF2 FLL	CF1 FLL	CF0 FLL	RF7 FLL	RF6 FLL	RF5 FLL	RF4 FLL	RF3 FLL	RF2 FLL	RF1 FLL	RF0 FLL
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.54　RSCANnFFSTS レジスタの内容

ビット	ビット名	機能
31～14	予約ビット	リードした場合はリセット後の値が読めます。
13	CF5FLL	送受信FIFOバッファフルステータスフラグ 0：送受信FIFOバッファ k はフルではない 1：送受信FIFOバッファ kはフル （k = 0 ~ 5）
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	
7	RF7FLL	受信FIFOバッファフルステータスフラグ 0：受信FIFOバッファ x はフルではない 1：受信FIFOバッファ xはフル （x = 0 ~ 7）
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCANnFFSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkFLL フラグ（k = 0 ~ 5）

RSCANnCFSTSk レジスタの CFFLL フラグが “1”（バッファフル）になると、CFkFLL フラグは “1” になります。
CFFLL フラグが “0”（送受信 FIFO がバッファフルでない）になると、CFkFLL フラグは “0” になります。

RFxFLL フラグ（x = 0 ~ 7）

RSCANnRFSTSx レジスタの RFFLL フラグが “1”（バッファフル）になると、RFxFLL フラグは “1” になります。RFFLL フラグが “0”（バッファフルでない）になると、RFxFLL フラグは “0” になります。

25.3.9.3　RSCANnFMSTS — FIFO メッセージロストステータスレジスタ

アクセス：RSCANnFMSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnFMSTSL、RSCANnFMSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnFMSTSLL、RSCANnFMSTSLH、RSCANnFMSTSHL、RSCANnFMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnFMSTS: <RSCFDn_base> + 0240_H
RSCANnFMSTSL: <RSCFDn_base> + 0240_H、RSCANnFMSTSH: <RSCFDn_base> + 0242_H
RSCANnFMSTSLL: <RSCFDn_base> + 0240_H、RSCANnFMSTSLH: <RSCFDn_base> + 0241_H、
RSCANnFMSTSHL: <RSCFDn_base> + 0242_H、RSCANnFMSTSHH: <RSCFDn_base> + 0243_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CF5 MLT	CF4 MLT	CF3 MLT	CF2 MLT	CF1 MLT	CF0 MLT	RF7 MLT	RF6 MLT	RF5 MLT	RF4 MLT	RF3 MLT	RF2 MLT	RF1 MLT	RF0 MLT
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.55　RSCANnFMSTS レジスタの内容

ビット	ビット名	機能
31 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。
13	CF5MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0：送受信 FIFO バッファ k メッセージロストなし 1：送受信 FIFO バッファ k メッセージロスト （k = 0 ~ 5）
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0：受信 FIFO バッファ x メッセージロストなし 1：受信 FIFO バッファ x メッセージロスト （x = 0 ~ 7）
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCANnFMSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkMLT フラグ（k = 0 ~ 5）

RSCANnCFSTSk レジスタの CFMLT フラグが “1”（メッセージロスト）になると、CFkMLT フラグは “1” になります。

CFMLT フラグを “0” にすると、CFkMLT フラグは “0” になります。

RFxMLT フラグ（x = 0 ~ 7）

RSCANnRFSTSx レジスタの RFMLT フラグが “1”（メッセージロスト）になると、RFxMLT フラグは “1” になります。RFMLT フラグを “0” にすると、RFxMLT フラグは “0” になります。

25.3.9.4　RSCANnRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス：RSCANnRFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnRFISTSL、RSCANnRFISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnRFISTSLL、RSCANnRFISTSLH、RSCANnRFISTSHL、RSCANnRFISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnRFISTS: <RSCFDn_base> + 0244_H
RSCANnRFISTSL: <RSCFDn_base> + 0244_H、RSCANnRFISTSH: <RSCFDn_base> + 0246_H
RSCANnRFISTSLL: <RSCFDn_base> + 0244_H、RSCANnRFISTSLH: <RSCFDn_base> + 0245_H、
RSCANnRFISTSHL: <RSCFDn_base> + 0246_H、RSCANnRFISTSHH: <RSCFDn_base> + 0247_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.56　RSCANnRFISTS レジスタの内容

ビット	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信FIFOバッファ割り込み要求ステータスフラグ 0：受信FIFOバッファ x割り込み要求なし 1：受信FIFOバッファ x割り込み要求あり （x = 0 ~ 7）
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCANnRFISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

RFxIF フラグ（x = 0 ~ 7）

RSCANnRFSTSx レジスタの RFIF フラグが “1”（割り込み要求あり）になると、RFxIF フラグは “1” になります。RFIF フラグを “0” にすると、RFxIF フラグは “0” になります。

25.3.9.5　RSCANnCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ

アクセス：RSCANnCFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCANnCFRISTSL、RSCANnCFRISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnCFRISTSLL、RSCANnCFRISTSLH、RSCANnCFRISTSHL、RSCANnCFRISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnCFRISTS: <RSCFDn_base> + 0248_H
RSCANnCFRISTSL: <RSCFDn_base> + 0248_H、RSCANnCFRISTSH: <RSCFDn_base> + $024A_H$
RSCANnCFRISTSLL: <RSCFDn_base> + 0248_H、RSCANnCFRISTSLH: <RSCFDn_base> + 0249_H、
RSCANnCFRISTSHL: <RSCFDn_base> + $024A_H$、RSCANnCFRISTSHH: <RSCFDn_base> + $024B_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CF5 RXIF	CF4 RXIF	CF3 RXIF	CF2 RXIF	CF1 RXIF	CF0 RXIF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.57　RSCANnCFRISTS レジスタの内容

ビット	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。
5	CF5RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 受信割り込み要求なし 1：送受信 FIFO バッファ k 受信割り込み要求あり （k = 0 ~ 5）
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCANnCFRISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkRXIF フラグ（k = 0 ~ 5）

RSCANnCFSTSk レジスタの CFRXIF フラグが “1”（割り込み要求あり）になると、CFkRXIF フラグは “1” になります。CFRXIF フラグを “0” にすると、CFkRXIF フラグは “0” になります。

25.3.9.6　RSCANnCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグステータス レジスタ

アクセス：RSCANnCFTISTS レジスタは、32ビット単位でリードのみ可能です。
RSCANnCFTISTSL、RSCANnCFTISTSH レジスタは、16ビット単位でリードのみ可能です。
RSCANnCFTISTSLL、RSCANnCFTISTSLH、RSCANnCFTISTSHL、RSCANnCFTISTSHH レジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCANnCFTISTS: <RSCFDn_base> + $024C_H$
RSCANnCFTISTSL: <RSCFDn_base> + $024C_H$、RSCANnCFTISTSH: <RSCFDn_base> + $024E_H$
RSCANnCFTISTSLL: <RSCFDn_base> + $024C_H$、RSCANnCFTISTSLH: <RSCFDn_base> + $024D_H$、
RSCANnCFTISTSHL: <RSCFDn_base> + $024E_H$、RSCANnCFTISTSHH: <RSCFDn_base> + $024F_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CF5 TXIF	CF4 TXIF	CF3 TXIF	CF2 TXIF	CF1 TXIF	CF0 TXIF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.58　RSCANnCFTISTS レジスタの内容

ビット	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。
5	CF5TXIF	送受信FIFOバッファ 送信割り込み要求ステータスフラグ 0：送受信FIFOバッファ k 送信割り込み要求なし 1：送受信FIFOバッファ k 送信割り込み要求あり （k = 0 ~ 5）
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCANnCFTISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkTXIF フラグ（k = 0 ~ 5）

RSCANnCFSTSk レジスタの CFTXIF フラグが “1”（割り込み要求あり）になると、CFkTXIF フラグは “1” になります。CFTXIF フラグを “0” にすると、CFkTXIF フラグは “0” になります。

25.3.10　送信バッファ関連レジスタの詳細

25.3.10.1　RSCANnTMCp — 送信バッファ制御レジスタ（p = 0 ~ 31）

アクセス：RSCANnTMCpレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnTMCp: <RSCFDn_base> + 0250_H + (01_H × p)

リセット後の値：00_H

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W 注1	R/W 注1

注1.　このビットへの書き込みは、ビットセットする（“1”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.59　RSCANnTMCpレジスタの内容

ビット	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0：ワンショット送信禁止 1：ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0：送信アボートを要求しない 1：送信アボートを要求する
0	TMTR	送信要求ビット 0：送信を要求しない 1：送信を要求する

RSCANnTMCp レジスタが次の条件を満たす場合は、“00_H” にしてください。

- RSCANnCFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCANnTMCp レジスタ（p = m × 16 + CFTML[3:0] ビットの値）
- RSCANnTXQCCm レジスタ（m = 0, 1）の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCANnTMCp レジスタ（p = (m × 16 + 15) ～ (m × 16 + 15 - TXQDC[3:0] ビットの値)）

RSCANnTMCp レジスタのビットは、チャネルリセットモード時に “0” になります。RSCANnTMCp レジスタは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

TMOM ビット

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCANnTMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

TMTAR ビット

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが “1” のとき、TMTAR ビットを “1” にできます。

TMTAR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” になりません。

• 送信が完了したとき

• 送信アボートが完了したとき
• エラーまたはアービトレーションロストを検出したとき
“0” になるタイミングと “1” を書くタイミングが同じ場合、“0” になります。

TMTR ビット

“1” にすると、送信バッファに格納されたメッセージの送信を行います。
TMTR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” にできません。
• 送信が完了したとき
•TMTAR ビットを “1” にし、送信アボートが完了したとき
•TMOM ビットが “1” の状態で、エラーまたはアービトレーションロストを検出したとき
RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “00B” のときに、TMTR ビットを “1” に設定してください。

25.3.10.2　RSCANnTMSTSp — 送信バッファステータスレジスタ（p = 0 ~ 31）

アクセス：RSCANnTMSTSpレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnTMSTSp: <RSCFDn_base> + $02D0_H$ + (01_H × p)

リセット後の値：00_H

ビット：	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R

表25.60　RSCANnTMSTSpレジスタの内容

ビット	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0：送信アボート要求なし 1：送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0：送信要求なし 1：送信要求あり
2、1	TMTRF[1:0]	送信バッファ送信結果フラグ b2　b1 0　0：送信中、または送信要求なし 0　1：送信アボート完了 1　0：送信完了（送信アボート要求なし） 1　1：送信完了（送信アボート要求あり）
0	TMTSTS	送信バッファ送信ステータスフラグ 0：送信中ではない 1：送信中

RSCANnTMSTSp レジスタのビットは、チャネルリセットモード時に “0” になります。

TMTARM フラグ

RSCANnTMCp レジスタの TMTAR ビットを “1” にすると、TMTARM フラグは “1” になります。
RSCANnTMCp レジスタの TMTAR ビットが “0” になると、TMTARM フラグは “0” になります。

TMTRM フラグ

RSCANnTMCp レジスタの TMTR ビットを “1” にすると、TMTRM フラグは “1” になります。
RSCANnTMCp レジスタの TMTR ビットが “0” になると、TMTRM フラグは “0” になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。
00_B：送信中または送信要求なし。
01_B：送信バッファからの送信がアボートされた。
10_B：RSCANnTMCp レジスタの TMTAR ビットが “0”（送信アボートを要求しない）で、送信が完了した。
11_B：RSCANnTMCp レジスタの TMTAR ビットが “1”（送信アボートを要求する）で、送信が完了した。
TMTRF[1:0] フラグは、チャネル通信モードまたはチャネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0” になります。

25.3.10.3　RSCANnTMIDp — 送信バッファ ID レジスタ（p = 0 ~ 31）

アクセス：RSCANnTMIDp レジスタは、32ビット単位でリード／ライト可能です。
RSCANnTMIDpL、RSCANnTMIDpH レジスタは、16ビット単位でリード／ライト可能です。
RSCANnTMIDpLL、RSCANnTMIDpLH、RSCANnTMIDpHL、RSCANnTMIDpHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnTMIDp: <RSCFDn_base> + 1000_H + (10_H × p)
RSCANnTMIDpL: <RSCFDn_base> + 1000_H + (10_H × p)、
RSCANnTMIDpH: <RSCFDn_base> + 1002_H + (10_H × p)
RSCANnTMIDpLL: <RSCFDn_base> + 1000_H + (10_H × p)、
RSCANnTMIDpLH: <RSCFDn_base> + 1001_H + (10_H × p)、
RSCANnTMIDpHL: <RSCFDn_base> + 1002_H + (10_H × p)、
RSCANnTMIDpHH: <RSCFDn_base> + 1003_H + (10_H × p)

リセット後の値：$0000\ 0000_H$

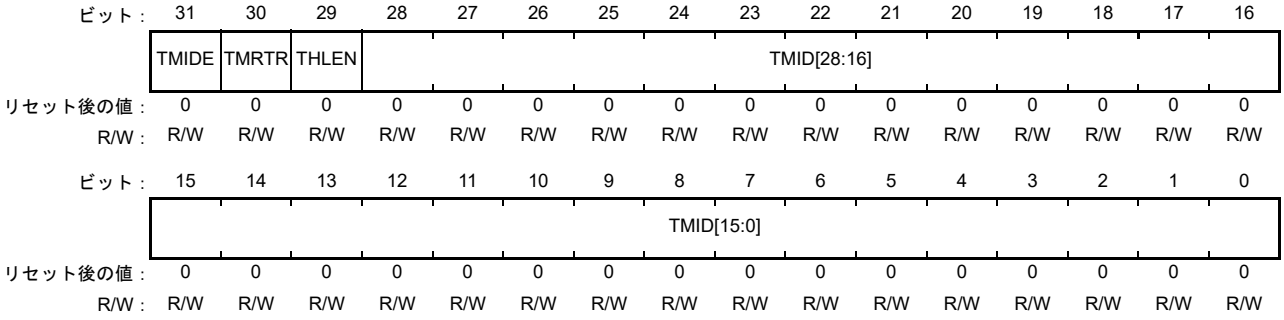


表25.61　RSCANnTMIDp レジスタの内容

ビット	ビット名	機能
31	TMIDE	送信バッファ IDEビット 0：標準ID 1：拡張ID
30	TMRTR	送信バッファ RTRビット 0：データフレーム 1：リモートフレーム
29	THLEN	送信履歴データ格納許可ビット 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28～0	TMID[28:0]	送信バッファ IDデータ 標準IDまたは拡張IDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b28～b11は“0”にしてください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、RSCANnGCFG レジスタの TMTSCE ビットが “1” のときはタイムスタンプを含む）が送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

25.3.10.4　RSCANnTMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 31）

アクセス：RSCANnTMPTRpレジスタは、32ビット単位でリード／ライト可能です。
RSCANnTMPTRpL、RSCANnTMPTRpHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnTMPTRpLL、RSCANnTMPTRpLH、RSCANnTMPTRpHL、RSCANnTMPTRpHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnTMPTRp: <RSCFDn_base> + 1004_H + (10_H × p)
RSCANnTMPTRpL: <RSCFDn_base> + 1004_H + (10_H × p)、
RSCANnTMPTRpH: <RSCFDn_base> + 1006_H + (10_H × p)
RSCANnTMPTRpLL: <RSCFDn_base> + 1004_H + (10_H × p)、
RSCANnTMPTRpLH: <RSCFDn_base> + 1005_H + (10_H × p)、
RSCANnTMPTRpHL: <RSCFDn_base> + 1006_H + (10_H × p)、
RSCANnTMPTRpHH: <RSCFDn_base> + 1007_H + (10_H × p)

リセット後の値：$0000\ 0000_H$

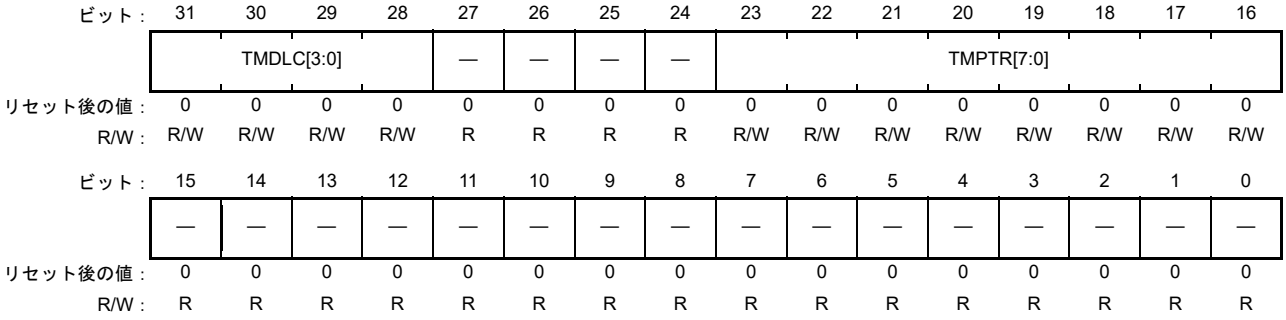


表25.62　RSCANnTMPTRpレジスタの内容

ビット	ビット名	機能
31 ～28	TMDLC[3:0]	送信バッファ DLCデータ b31 b30 b29 b28 0 0 0 0 : 0データバイト 0 0 0 1 : 1データバイト 0 0 1 0 : 2データバイト 0 0 1 1 : 3データバイト 0 1 0 0 : 4データバイト 0 1 0 1 : 5データバイト 0 1 1 0 : 6データバイト 0 1 1 1 : 7データバイト 1 × × × : 8データバイト
27～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～16	TMPTR[7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15 ～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

このレジスタは、対応するRSCANnTMSTSpレジスタのTMTRMビットが“0”（送信を要求しない）のときに書き換えてください。送受信FIFOバッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファp (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCANnTMIDpレジスタのTMRTRビットが“0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。“1001_B”以上を設定した場合、送信されるデータは、8バイトになります。

TMRTRビットが“1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

25.3.10.5　RSCANnTMDF0_p — 送信バッファデータフィールド 0 レジスタ（p = 0 ~ 31）

アクセス：RSCANnTMDF0_p レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTMDF0_pL、RSCANnTMDF0_pH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTMDF0_pLL、RSCANnTMDF0_pLH、RSCANnTMDF0_pHL、RSCANnTMDF0_pHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnTMDF0_p: <RSCFDn_base> + 1008_H + (10_H × p)
RSCANnTMDF0_pL: <RSCFDn_base> + 1008_H + (10_H × p)、
RSCANnTMDF0_pH: <RSCFDn_base> + $100A_H$ + (10_H × p)
RSCANnTMDF0_pLL: <RSCFDn_base> + 1008_H + (10_H × p)、
RSCANnTMDF0_pLH: <RSCFDn_base> + 1009_H + (10_H × p)、
RSCANnTMDF0_pHL: <RSCFDn_base> + $100A_H$ + (10_H × p)、
RSCANnTMDF0_pHH: <RSCFDn_base> + $100B_H$ + (10_H × p)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB3[7:0]								TMDB2[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB1[7:0]								TMDB0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.63　RSCANnTMDF0_p レジスタの内容

ビット	ビット名	機能
31 ～ 24	TMDB3[7:0]	送信バッファデータバイト 3 送信バッファデータバイト 2 送信バッファデータバイト 1 送信バッファデータバイト 0 送信バッファのデータを設定してください。
23 ～ 16	TMDB2[7:0]	
15 ～ 8	TMDB1[7:0]	
7 ～ 0	TMDB0[7:0]	

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

25.3.10.6　RSCANnTMDF1_p — 送信バッファデータフィールド 1 レジスタ（p = 0 ~ 31）

アクセス：RSCANnTMDF1_p レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTMDF1_pL、RSCANnTMDF1_pH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTMDF1_pLL、RSCANnTMDF1_pLH、RSCANnTMDF1_pHL、RSCANnTMDF1_pHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnTMDF1_p: <RSCFDn_base> + $100C_H$ + (10_H × p)
RSCANnTMDF1_pL: <RSCFDn_base> + $100C_H$ + (10_H × p)、
RSCANnTMDF1_pH: <RSCFDn_base> + $100E_H$ + (10_H × p)
RSCANnTMDF1_pLL: <RSCFDn_base> + $100C_H$ + (10_H × p)、
RSCANnTMDF1_pLH: <RSCFDn_base> + $100D_H$ + (10_H × p)、
RSCANnTMDF1_pHL: <RSCFDn_base> + $100E_H$ + (10_H × p)、
RSCANnTMDF1_pHH: <RSCFDn_base> + $100F_H$ + (10_H × p)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB7[7:0]								TMDB6[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB5[7:0]								TMDB4[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.64　RSCANnTMDF1_p レジスタの内容

ビット	ビット名	機能
31 ～ 24	TMDB7[7:0]	送信バッファデータバイト 7
23 ～ 16	TMDB6[7:0]	送信バッファデータバイト 6
15 ～ 8	TMDB5[7:0]	送信バッファデータバイト 5
7 ～ 0	TMDB4[7:0]	送信バッファデータバイト 4 送信バッファのデータを設定してください。

このレジスタは、対応する RSCANnTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

25.3.10.7　RSCANnTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（y = 0）

アクセス：RSCANnTMIECy レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnTMIECyL、RSCANnTMIECyH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnTMIECyLL、RSCANnTMIECyLH、RSCANnTMIECyHL、RSCANnTMIECyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnTMIECy: <RSCFDn_base> + 0390_H + (04_H × y)
RSCANnTMIECyL: <RSCFDn_base> + 0390_H + (04_H × y)、
RSCANnTMIECyH: <RSCFDn_base> + 0392_H + (04_H × y)
RSCANnTMIECyLL: <RSCFDn_base> + 0390_H + (04_H × y)、
RSCANnTMIECyLH: <RSCFDn_base> + 0391_H + (04_H × y)、
RSCANnTMIECyHL: <RSCFDn_base> + 0392_H + (04_H × y)、
RSCANnTMIECyHH: <RSCFDn_base> + 0393_H + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15～ y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.65　RSCANnTMIECy レジスタの内容

ビット	ビット名	機能
31 ～ 16	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 31～y × 32 + 16） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可
15 ～ 0	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 15～y × 32 + 0） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可

TMIEp ビット（p = 0 ~ 31）

このビットを “1” に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCANnTMSTSp レジスタの TMTRM フラグが “0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは “0” にしてください。

表 25.66 にビット配置を示します。

表 25.66　TMIEp ビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.3.11　送信バッファステータス関連レジスタの詳細

25.3.11.1　RSCANnTMTRSTSy — 送信バッファ送信要求ステータスレジスタ（y = 0）

アクセス：RSCANnTMTRSTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTRSTSyL、RSCANnTMTRSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTRSTSyLL、RSCANnTMTRSTSyLH、RSCANnTMTRSTSyHL、RSCANnTMTRSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnTMTRSTSy: <RSCFDn_base> + 0350_H + (04_H × y)
RSCANnTMTRSTSyL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCANnTMTRSTSyH: <RSCFDn_base> + 0352_H + (04_H × y)
RSCANnTMTRSTSyLL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCANnTMTRSTSyLH: <RSCFDn_base> + 0351_H + (04_H × y)、
RSCANnTMTRSTSyHL: <RSCFDn_base> + 0352_H + (04_H × y)、
RSCANnTMTRSTSyHH: <RSCFDn_base> + 0353_H + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.67　RSCANnTMTRSTSy レジスタの内容

ビット	ビット名	機能
31 ～ 16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 31～y × 32 + 16） 0：送信要求なし 1：送信要求あり
15 ～ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 15～y × 32 + 0） 0：送信要求なし 1：送信要求あり

TMTRSTSp フラグ（p = 0 ~ 31）

RSCANnTMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを “1”（送信を要求する）にすると、対応する TMTRSTSp フラグは “1” になります。

TMTR ビットが “0”（送信を要求しない）になると、対応する TMTRSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 25.68 にビット配置を示します。

表 25.68　TMTRSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.3.11.2　RSCANnTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ（y = 0）

アクセス：RSCANnTMTARSTSy レジスタは、32ビット単位でリードのみです。
RSCANnTMTARSTSyL、RSCANnTMTARSTSyH レジスタは、16ビット単位でリードのみ可能です。
RSCANnTMTARSTSyLL、RSCANnTMTARSTSyLH、RSCANnTMTARSTSyHL、RSCANnTMTARSTSyHH レジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCANnTMTARSTSy: <RSCFDn_base> + 0360_H + (04_H × y)
RSCANnTMTARSTSyL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCANnTMTARSTSyH: <RSCFDn_base> + 0362_H + (04_H × y)
RSCANnTMTARSTSyLL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCANnTMTARSTSyLH: <RSCFDn_base> + 0361_H + (04_H × y)、
RSCANnTMTARSTSyHL: <RSCFDn_base> + 0362_H + (04_H × y)、
RSCANnTMTARSTSyHH: <RSCFDn_base> + 0363_H + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.69　RSCANnTMTRSTSy レジスタの内容

ビット	ビット名	機能
31～16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグp（p = y × 32 + 31～y × 32 + 16） 0：送信アボート要求なし 1：送信アボート要求あり
15～0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグp（p = y × 32 + 15～y × 32 + 0） 0：送信アボート要求なし 1：送信アボート要求あり

TMTARSTSp フラグ（p = 0 ~ 31）

RSCANnTMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを “1”（送信アボートを要求する）にすると、対応する TMTARSTSp フラグは “1” になります。

TMTAR ビットが “0”（送信アボートを要求しない）になると、対応する TMTARSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 25.70 にビット配置を示します。

表25.70　TMTARSTSpビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.3.11.3　RSCANnTMTCSTSy — 送信バッファ送信完了ステータスレジスタ（y = 0）

アクセス：RSCANnTMTCSTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTCSTSyL、RSCANnTMTCSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTCSTSyLL、RSCANnTMTCSTSyLH、RSCANnTMTCSTSyHL、RSCANnTMTCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnTMTCSTSy: <RSCFDn_base> + 0370_H + (04_H × y)
RSCANnTMTCSTSyL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCANnTMTCSTSyH: <RSCFDn_base> + 0372_H + (04_H × y)
RSCANnTMTCSTSyLL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCANnTMTCSTSyLH: <RSCFDn_base> + 0371_H + (04_H × y)、
RSCANnTMTCSTSyHL: <RSCFDn_base> + 0372_H + (04_H × y)、
RSCANnTMTCSTSyHH: <RSCFDn_base> + 0373_H + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTCSTSp (p = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTCSTSp (p = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.71　RSCANnTMTCSTSy レジスタの内容

ビット	ビット名	機能
31 ～ 16	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 31～y × 32 + 16） 0：送信未完了 1：送信完了
15 ～ 0	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 15～y × 32 + 0） 0：送信未完了 1：送信完了

TMTCSTSp フラグ（p = 0 ~ 31）

RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、送信アボート要求なし）または “11B”（送信完了、送信アボート要求あり）になると、対応する TMTCSTSp フラグは “1” になります。

TMTCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 25.72 にビット配置を示します。

表 25.72　TMTCSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.3.11.4　RSCANnTMTASTSy — 送信バッファ送信アボートステータスレジスタ（y = 0）

アクセス：RSCANnTMTASTSy レジスタは、32 ビット単位でリードのみです。
RSCANnTMTASTSyL、RSCANnTMTASTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCANnTMTASTSyLL、RSCANnTMTASTSyLH、RSCANnTMTASTSyHL、RSCANnTMTASTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCANnTMTASTSy: <RSCFDn_base> + 0380_H + (04_H × y)
RSCANnTMTASTSyL: <RSCFDn_base> + 0380_H + (04_H × y)、
RSCANnTMTASTSyH: <RSCFDn_base> + 0382_H + (04_H × y)
RSCANnTMTASTSyLL: <RSCFDn_base> + 0380_H + (04_H × y)、
RSCANnTMTASTSyLH: <RSCFDn_base> + 0381_H + (04_H × y)、
RSCANnTMTASTSyHL: <RSCFDn_base> + 0382_H + (04_H × y)、
RSCANnTMTASTSyHH: <RSCFDn_base> + 0383_H + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31～y x 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.73　RSCANnTMTASTSy レジスタの内容

ビット	ビット名	機能
31 ～ 16	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 31～y × 32 + 16） 0：送信アボートなし 1：送信アボートあり
15 ～ 0	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 15～y × 32 + 0） 0：送信アボートなし 1：送信アボートあり

TMTASTSp フラグ（p = 0 ~ 31）

RSCANnTMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 25.74 にビット配置を示します。

表25.74　TMTASTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.3.12　送信キュー関連レジスタの詳細

25.3.12.1　RSCANnTXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0、1）

アクセス：RSCANnTXQCCm レジスタは、32ビット単位でリード／ライト可能です。
RSCANnTXQCCmL、RSCANnTXQCCmH レジスタは、16ビット単位でリード／ライト可能です。
RSCANnTXQCCmLL、RSCANnTXQCCmLH、RSCANnTXQCCmHL、RSCANnTXQCCmHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnTXQCCm: <RSCFDn_base> + $03A0_H$ + (04_H × m)
RSCANnTXQCCmL: <RSCFDn_base> + $03A0_H$ + (04_H × m)、
RSCANnTXQCCmH: <RSCFDn_base> + $03A2_H$ + (04_H × m)
RSCANnTXQCCmLL: <RSCFDn_base> + $03A0_H$ + (04_H × m)、
RSCANnTXQCCmLH: <RSCFDn_base> + $03A1_H$ + (04_H × m)、
RSCANnTXQCCmHL: <RSCFDn_base> + $03A2_H$ + (04_H × m)、
RSCANnTXQCCmHH: <RSCFDn_base> + $03A3_H$ + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC[3:0]				—	—	—	—	—	—	—	TXQE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表25.75　RSCANnTXQCCm レジスタの内容

ビット	ビット名	機能
31 ～14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0：送信完了によって送信キューが空になったときに発生 1：1メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0：送信キュー割り込み禁止 1：送信キュー割り込み許可
11 ～8	TXQDC[3:0]	送信キュー段数設定ビット 設定値をg（g = 2 ~ 15）とすると、g + 1 の送信キューを使用できます。 “0”を設定すると、送信キューは使用できません。 “1”は設定しないでください。
7 ～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0：送信キューを使用しない 1：送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを “1” に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。
TXQIE ビットを書き換える場合は、TXQE ビットを “0” にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に (m × 16 + 15) から (m × 16 + 0) まで順番に割り付けられます。バッファの割り当て例については、**図 25.9** を参照してください。このビットはチャネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1” にすると送信キューを使用できます。このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。チャネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010B” 以上に設定してから TXQE ビットを “1” にしてください。

25.3.12.2　RSCANnTXQSTSm — 送信キューステータスレジスタ（m = 0、1）

アクセス：RSCANnTXQSTSmレジスタは、32ビット単位でリード／ライト可能です。
RSCANnTXQSTSmL、RSCANnTXQSTSmHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnTXQSTSmLL、RSCANnTXQSTSmLH、RSCANnTXQSTSmHL、RSCANnTXQSTSmHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnTXQSTSm: <RSCFDn_base> + $03C0_H$ + (04_H × m)
RSCANnTXQSTSmL: <RSCFDn_base> + $03C0_H$ + (04_H × m)、
RSCANnTXQSTSmH: <RSCFDn_base> + $03C2_H$ + (04_H × m)
RSCANnTXQSTSmLL: <RSCFDn_base> + $03C0_H$ + (04_H × m)、
RSCANnTXQSTSmLH: <RSCFDn_base> + $03C1_H$ + (04_H × m)、
RSCANnTXQSTSmHL: <RSCFDn_base> + $03C2_H$ + (04_H × m)、
RSCANnTXQSTSmHH: <RSCFDn_base> + $03C3_H$ + (04_H × m)

リセット後の値：$0000\ 0001_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFLL	TXQEMP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.76　RSCANnTXQSTSmレジスタの内容

ビット	ビット名	機能
31 ～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0：送信キューフルではない 1：送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0：送信キューにメッセージあり 1：送信キューにメッセージなし（送信キュー空）

TXQIF フラグ

RSCANnTXQCCmレジスタのTXQIMビットで設定した要因が発生すると、“1”になります。

TXQIFフラグへの“0”書き込み、またはチャネルリセットモード時、“0”になります。TXQIFフラグは、RSCANnTXQCCmレジスタのTXQEビットを“0”（送信キューを使用しない）にしても“0”になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCANnTXQCCmレジスタのTXQDC[3:0]ビットで設定した段数が一致すると、“1”になります。

次の条件で“0”になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャネルリセットモード時

TXQEMP フラグ

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは “0” になります。
次の条件で、“1” になります。

- TXQE ビットを “0”（送信キューを使用しない）にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

25.3.12.3　RSCANnTXQPCTRm — 送信キューポインタ制御レジスタ（m = 0、1）

アクセス：RSCANnTXQPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCANnTXQPCTRmL、RSCANnTXQPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCANnTXQPCTRmLL、RSCANnTXQPCTRmLH、RSCANnTXQPCTRmHL、RSCANnTXQPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス：RSCANnTXQPCTRm: <RSCFDn_base> + $03E0_H$ + (04_H × m)
RSCANnTXQPCTRmL: <RSCFDn_base> + $03E0_H$ + (04_H × m)、
RSCANnTXQPCTRmH: <RSCFDn_base> + $03E2_H$ + (04_H × m)
RSCANnTXQPCTRmLL: <RSCFDn_base> + $03E0_H$ + (04_H × m)、
RSCANnTXQPCTRmLH: <RSCFDn_base> + $03E1_H$ + (04_H × m)、
RSCANnTXQPCTRmHL: <RSCFDn_base> + $03E2_H$ + (04_H × m)、
RSCANnTXQPCTRmHH: <RSCFDn_base> + $03E3_H$ + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 25.77　RSCANnTXQPCTRm レジスタの内容

ビット	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	TXQPC[7:0]	送信キューポインタ制御 “FF_H”を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに “FF_H” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCANnTMIDp、RSCANnTMPTRp、RSCANnTMDF0_p、RSCANnTMDF1_p レジスタ（p = 15、31）に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCANnTXQCCm レジスタの TXQE ビットが “1”（送信キューを使用する）で、RSCANnTXQSTSm レジスタの TXQFLL フラグが “0”（フルではない）の場合にのみ行ってください。

25.3.13　送信履歴関連レジスタの詳細

25.3.13.1　RSCANnTHLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0、1）

アクセス：RSCANnTHLCCmレジスタは、32ビット単位でリード／ライト可能です。
RSCANnTHLCCmL、RSCANnTHLCCmHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnTHLCCmLL、RSCANnTHLCCmLH、RSCANnTHLCCmHL、RSCANnTHLCCmHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnTHLCCm: <RSCFDn_base> + 0400_H + (04_H × m)
RSCANnTHLCCmL: <RSCFDn_base> + 0400_H + (04_H × m)、
RSCANnTHLCCmH: <RSCFDn_base> + 0402_H + (04_H × m)
RSCANnTHLCCmLL: <RSCFDn_base> + 0400_H + (04_H × m)、
RSCANnTHLCCmLH: <RSCFDn_base> + 0401_H + (04_H × m)、
RSCANnTHLCCmHL: <RSCFDn_base> + 0402_H + (04_H × m)、
RSCANnTHLCCmHH: <RSCFDn_base> + 0403_H + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表25.78　RSCANnTHLCCmレジスタの内容

ビット	ビット名	機能
31 ～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0：送受信FIFO、送信キューからのエントリ 1：送信バッファ、送受信FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0：送信履歴バッファに12データ格納されたとき 1：1送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0：送信履歴割り込み禁止 1：送信履歴割り込み許可
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0：送信履歴バッファを使用しない 1：送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。
このビットはチャネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを “1” に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが “0” の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1” にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。
このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。
チャネルリセットモード時、“0” になります。

25.3.13.2　RSCANnTHLSTSm — 送信履歴ステータスレジスタ（m = 0、1）

アクセス：RSCANnTHLSTSm レジスタは、32ビット単位でリード／ライト可能です。
RSCANnTHLSTSmL、RSCANnTHLSTSmH レジスタは、16ビット単位でリード／ライト可能です。
RSCANnTHLSTSmLL、RSCANnTHLSTSmLH、RSCANnTHLSTSmHL、RSCANnTHLSTSmHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnTHLSTSm: <RSCFDn_base> + 0420_H + (04_H × m)
RSCANnTHLSTSmL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCANnTHLSTSmH: <RSCFDn_base> + 0422_H + (04_H × m)
RSCANnTHLSTSmLL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCANnTHLSTSmLH: <RSCFDn_base> + 0421_H + (04_H × m)、
RSCANnTHLSTSmHL: <RSCFDn_base> + 0422_H + (04_H × m)、
RSCANnTHLSTSmHH: <RSCFDn_base> + 0423_H + (04_H × m)

リセット後の値：$0000\ 0001_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC[4:0]					—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.79　RSCANnTHLSTSm レジスタの内容

ビット	ビット名	機能
31 ～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～8	THLMC[4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバフローフラグ 0：送信履歴バッファオーバフローではない 1：送信履歴バッファオーバフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0：送信履歴バッファフルではない 1：送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0：送信履歴バッファに未読データあり 1：送信履歴バッファに未読データなし（バッファ空）

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。チャネルリセットモード時、“0” になります。

THLIF フラグ

RSCANnTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1” になります。
プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき “1” になります。この場合、新しいデータは破棄されます。プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLFLL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1” になります。格納数が 16 個より少なくなると “0” になります。RSCANnTHLCCm レジスタの THLE ビットが “0”（送信履歴バッファを使用しない）のとき、またはチャネルリセットモード時、“0” になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると “0” になります。

送信履歴バッファのすべてのデータを読むと “1” になります。RSCANnTHLCCm レジスタの THLE ビットを “0”（送信履歴バッファを使用しない）にしたとき、またはチャネルリセットモード時、“1” になります。

備　考

THLIF 、THLELT フラグを“0”にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

25.3.13.3　RSCANnTHLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0、1）

アクセス：RSCANnTHLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCANnTHLPCTRmL、RSCANnTHLPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCANnTHLPCTRmLL、RSCANnTHLPCTRmLH、RSCANnTHLPCTRmHL、RSCANnTHLPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス：RSCANnTHLPCTRm: <RSCFDn_base> + 0440_H + (04_H × m)
RSCANnTHLPCTRmL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCANnTHLPCTRmH: <RSCFDn_base> + 0442_H + (04_H × m)
RSCANnTHLPCTRmLL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCANnTHLPCTRmLH: <RSCFDn_base> + 0441_H + (04_H × m)、
RSCANnTHLPCTRmHL: <RSCFDn_base> + 0442_H + (04_H × m)、
RSCANnTHLPCTRmHH: <RSCFDn_base> + 0443_H + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 25.80　RSCANnTHLPCTRm レジスタの内容

ビット	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	THLPC[7:0]	送信履歴リストポインタ制御 “FF_H”を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに “FF_H” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCANnTHLSTSm レジスタの THLMC[4:0] ビット（送信履歴バッファ未読数カウンタ）の値が 1 減算されます。RSCANnTHLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FF_H” を書いてください。

なお、”FF_H” の書き込みは、RSCANnTHLCCm レジスタの THLE ビットが “1”（送信履歴バッファを使用する）で、RSCANnTHLSTSm レジスタの THLEMP フラグが “0” のときのみ行ってください。

25.3.13.4　RSCANnTHLACCm — 送信履歴アクセスレジスタ（m = 0、1）

アクセス：RSCANnTHLACCmレジスタは、32ビット単位でリードのみです。
RSCANnTHLACCmL、RSCANnTHLACCmHレジスタは、16ビット単位でリードのみ可能です。
RSCANnTHLACCmLL、RSCANnTHLACCmLH、RSCANnTHLACCmHL、RSCANnTHLACCmHHレジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCANnTHLACCm: <RSCFDn_base> + 1800_H + (04_H × m)
RSCANnTHLACCmL: <RSCFDn_base> + 1800_H + (04_H × m)、
RSCANnTHLACCmH: <RSCFDn_base> + 1802_H + (04_H × m)
RSCANnTHLACCmLL: <RSCFDn_base> + 1800_H + (04_H × m)、
RSCANnTHLACCmLH: <RSCFDn_base> + 1801_H + (04_H × m)、
RSCANnTHLACCmHL: <RSCFDn_base> + 1802_H + (04_H × m)、
RSCANnTHLACCmHH: <RSCFDn_base> + 1803_H + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTS[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]								—	BN[3:0]				BT[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.81　RSCANnTHLACCmレジスタの内容

ビット	ビット名	機能
31 ～16	TMTS[15:0]	タイムスタンプデータ 格納されたデータのタイムスタンプデータが読めます。
15 ～8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	予約ビット	リードした場合はリセット後の値が読めます。
6 ～3	BN[3:0]	バッファ番号データ 送信元の送信バッファ／送受信FIFO／送信キュー番号が読めます。
2 ～0	BT[2:0]	バッファタイプデータ b2　b1　b0 0　0　1：送信バッファ 0　1　0：送受信FIFOバッファ 1　0　0：送信キュー

TMTS[15:0] ビット

RSCANnGCFG レジスタの TMTSCE ビットが “1” のとき、送信履歴バッファに格納された送信履歴データのタイムスタンプ値を表示します。TMTSCE ビットが “0” のとき、常に “0” が読めます。

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

25.3.14　テスト関連レジスタの詳細

25.3.14.1　RSCANnGTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス：RSCANnGTSTCFGレジスタは、32ビット単位でリード／ライト可能です。
RSCANnGTSTCFGL、RSCANnGTSTCFGHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnGTSTCFGLL、RSCANnGTSTCFGLH、RSCANnGTSTCFGHL、RSCANnGTSTCFGHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnGTSTCFG: <RSCFDn_base> + 0468_H
RSCANnGTSTCFGL: <RSCFDn_base> + 0468_H、RSCANnGTSTCFGH: <RSCFDn_base> + $046A_H$
RSCANnGTSTCFGLL: <RSCFDn_base> + 0468_H、RSCANnGTSTCFGLH: <RSCFDn_base> + 0469_H、
RSCANnGTSTCFGHL: <RSCFDn_base> + $046A_H$、RSCANnGTSTCFGHH: <RSCFDn_base> + $046B_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS[6:0]						
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	C1ICBCE	C0ICBCE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表25.82　RSCANnGTSTCFGレジスタの内容

ビット	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。。
22～16	RTMPS[6:0]	RAMテストページ設定ビット ページ0（00_H）～ページ19（13_H）の範囲で設定
15～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。。
1	C1ICBCE	CAN1チャネル間通信テスト許可ビット 0：CAN1チャネル間通信テスト禁止 1：CAN1チャネル間通信テスト許可
0	C0ICBCE	CAN0チャネル間通信テスト許可ビット 0：CAN0チャネル間通信テスト禁止 1：CAN0チャネル間通信テスト許可

RSCANnGTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ～ 13_H 以外の値を設定しないでください。

C1ICBCE ビット

“1” にすると、チャネル 1 のチャネル間通信テストが許可になります。
グローバルリセットモード時、“0” になります。

C0ICBCE ビット

“1” にすると、チャネル 0 のチャネル間通信テストが許可になります。
グローバルリセットモード時、“0” になります。

25.3.14.2　RSCANnGTSTCTR — グローバルテスト制御レジスタ

アクセス：RSCANnGTSTCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCANnGTSTCTRL、RSCANnGTSTCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCANnGTSTCTRLL、RSCANnGTSTCTRLH、RSCANnGTSTCTRHL、RSCANnGTSTCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCANnGTSTCTR: <RSCFDn_base> + $046C_H$
RSCANnGTSTCTRL: <RSCFDn_base> + $046C_H$、RSCANnGTSTCTRH: <RSCFDn_base> + $046E_H$
RSCANnGTSTCTRLL: <RSCFDn_base> + $046C_H$、RSCANnGTSTCTRLH: <RSCFDn_base> + $046D_H$、
RSCANnGTSTCTRHL: <RSCFDn_base> + $046E_H$、RSCANnGTSTCTRHH: <RSCFDn_base> + $046F_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 25.83　RSCANnGTSTCTR レジスタの内容

ビット	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0：RAM テスト禁止 1：RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。。
0	ICBCTME	チャネル間通信テスト許可ビット 0：チャネル間通信テスト禁止 1：チャネル間通信テスト許可

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。グローバルリセットモード時、“0” になります。

1. RSCANnGCTR レジスタの GMDC[1:0] ビットを “10_B”（グローバルテストモード）にする。
2. RTME ビットを “1” にする。
3. RTME ビットが “1” になったことを確認する。

ICBCTME ビット

“1” にすると、RSCANnGTSTCFG レジスタの CmICBCE ビット（m = 0, 1）を “1” に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。グローバルリセットモード時、“0” になります。

25.3.14.3　RSCANnGLOCKK — グローバルロックキーレジスタ

アクセス：RSCANnGLOCKKレジスタは、32ビット単位でライトのみ可能です。
RSCANnGLOCKKL、RSCANnGLOCKKHレジスタは、16ビット単位でライトのみ可能です。

アドレス：RSCANnGLOCKK: <RSCFDn_base> + $047C_H$
RSCANnGLOCKKL: <RSCFDn_base> + $047C_H$、RSCANnGLOCKKH: <RSCFDn_base> + $047E_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1

注1.　RS-CANFD モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表25.84　RSCANnGLOCKKレジスタの内容

ビット	ビット名	機能
31 ～16	予約ビット	ライトする場合はリセット後の値を書いてください。
15 ～0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCANnGLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。
プロテクト解除データについては、**「25.11.4.2　プロテクト解除手順」**を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCANnGTSTCTR レジスタの RTME ビットへの “1” 書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域（<RSCFDn_base> + 0000_H ～ <RSCFDn_base> + $04FF_H$）に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

25.3.14.4　RSCANnRPGACCr — RAM テストページアクセスレジスタ（r = 0 ~ 63）

アクセス：RSCANnRPGACCrレジスタは、32ビット単位でリード／ライト可能です。
RSCANnRPGACCrL、RSCANnRPGACCrHレジスタは、16ビット単位でリード／ライト可能です。
RSCANnRPGACCrLL、RSCANnRPGACCrLH、RSCANnRPGACCrHL、RSCANnRPGACCrHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCANnRPGACCr: <RSCFDn_base> + 1900_H + (04_H × r)
RSCANnRPGACCrL: <RSCFDn_base> + 1900_H + (04_H × r)、
RSCANnRPGACCrH: <RSCFDn_base> + 1902_H + (04_H × r)
RSCANnRPGACCrLL: <RSCFDn_base> + 1900_H + (04_H × r)、
RSCANnRPGACCrLH: <RSCFDn_base> + 1901_H + (04_H × r)、
RSCANnRPGACCrHL: <RSCFDn_base> + 1902_H + (04_H × r)、
RSCANnRPGACCrHH: <RSCFDn_base> + 1903_H + (04_H × r)

リセット後の値：$0000\ 0000_H$

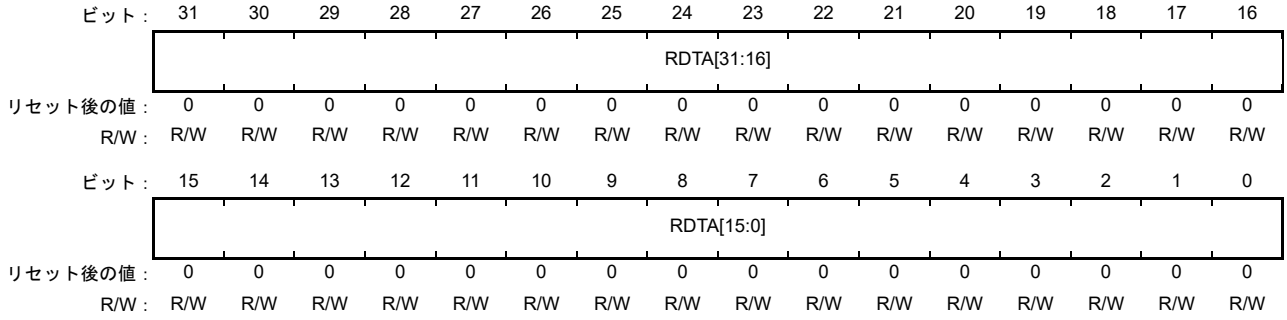


表25.85　RSCANnRPGACCrレジスタの内容

ビット	ビット名	機能
31 ～0	RDTA[31:0]	RAMデータテストアクセス CAN用RAMデータの読み書きができます。

RSCANnRPGACCr レジスタは、グローバルテストモードでかつ RSCANnGTSTCTR レジスタの RTME ビットが “1”（RAM テスト許可）の状態で書き換えてください。

RTME ビットが “1” のときに、RSCANnRPGACCr レジスタへの読み書きができます。

25.4　レジスタ（CANFD モード）

この節では、RS-CANFD を CANFD モードで使用する場合のすべてのレジスタについて説明します。

25.4.1　レジスター覧

CANFD モードで使用する場合の RS-CANFD のレジスター覧を以下の表に示します。

<RSCFDn_base> は「25.1.2　レジスタベースアドレス」を参照してください。

なお、グローバルリセットモードやチャネルリセットモードで初期化されるレジスタについては以下をご参照ください。

- 「表 25.176　グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧」
- 「表 25.177　グローバルリセットモードでのみ初期化されるレジスター覧」

表25.86　レジスター覧

モジュール名	レジスタ名	略号	アドレス
インタフェースモード関連レジスタ			
RSCFDn	グローバルインタフェースモード選択レジスタ	RSCFDnCFDGRMCFG	<RSCFDn_base> + $04FC_H$
チャネル関連レジスタ			
RSCFDn	チャネルm通常ビットレート コンフィグレーションレジスタ	RSCFDnCFDCmNCFG	<RSCFDn_base> + 0000_H + (10_H × m)
RSCFDn	チャネルm制御レジスタ	RSCFDnCFDCmCTR	<RSCFDn_base> + 0004_H + (10_H × m)
RSCFDn	チャネルmステータスレジスタ	RSCFDnCFDCmSTS	<RSCFDn_base> + 0008_H + (10_H × m)
RSCFDn	チャネルmエラーフラグレジスタ	RSCFDnCFDCmERFL	<RSCFDn_base> + $000C_H$ + (10_H× m)
RSCFDn	チャネルmデータビットレート コンフィグレーションレジスタ	RSCFDnCFDCmDCFG	<RSCFDn_base> + 0500_H + (20_H × m)
RSCFDn	チャネルm CANFDコンフィグレーション レジスタ	RSCFDnCFDCmFDCFG	<RSCFDn_base> + 0504_H + (20_H × m)
RSCFDn	チャネルm CANFD制御レジスタ	RSCFDnCFDCmFDCTR	<RSCFDn_base> + 0508_H + (20_H × m)
RSCFDn	チャネルm CANFDステータスレジスタ	RSCFDnCFDCmFDSTS	<RSCFDn_base> + $050C_H$ + (20_H × m)
RSCFDn	チャネルm CANFD CRCレジスタ	RSCFDnCFDCmFDCRC	<RSCFDn_base> + 0510_H + (20_H × m)
グローバル関連レジスタ			
RSCFDn	グローバルコンフィグレーションレジスタ	RSCFDnCFDGCFG	<RSCFDn_base> + 0084_H
RSCFDn	グローバル制御レジスタ	RSCFDnCFDGCTR	<RSCFDn_base> + 0088_H
RSCFDn	グローバルステータスレジスタ	RSCFDnCFDGSTS	<RSCFDn_base> + $008C_H$
RSCFDn	グローバルエラーフラグレジスタ	RSCFDnCFDGERFL	<RSCFDn_base> + 0090_H
RSCFDn	グローバルタイムスタンプカウンタレジスタ	RSCFDnCFDGTSC	<RSCFDn_base> + 0094_H
RSCFDn	グローバルTX割り込みステータスレジスタ0	RSCFDnCFDGTINTSTS0	<RSCFDn_base> + 0460_H
RSCFDn	グローバルFDコンフィグレーションレジスタ	RSCFDnCFDGFDCFG	<RSCFDn_base> + 0474_H
受信ルール関連レジスタ			
RSCFDn	受信ルールエントリ制御レジスタ	RSCFDnCFDGAFLECTR	<RSCFDn_base> + 0098_H
RSCFDn	受信ルールコンフィグレーションレジスタ0	RSCFDnCFDGAFLCFG0	<RSCFDn_base> + $009C_H$
RSCFDn	受信ルールIDレジスタj	RSCFDnCFDGAFLIDj	<RSCFDn_base> + 1000_H + (10_H × j)
RSCFDn	受信ルールマスクレジスタj	RSCFDnCFDGAFLMj	<RSCFDn_base> + 1004_H + (10_H × j)
RSCFDn	受信ルールポインタ0レジスタj	RSCFDnCFDGAFLP0_j	<RSCFDn_base> + 1008_H + (10_H × j)
RSCFDn	受信ルールポインタ1レジスタj	RSCFDnCFDGAFLP1_j	<RSCFDn_base> + $100C_H$ + (10_H × j)
受信バッファ関連レジスタ			
RSCFDn	受信バッファナンバレジスタ	RSCFDnCFDRMNB	<RSCFDn_base> + $00A4_H$
RSCFDn	受信バッファ新データレジスタy	RSCFDnCFDRMNDy	<RSCFDn_base> + $00A8_H$ + (04_H × y)
RSCFDn	受信バッファIDレジスタq	RSCFDnCFDRMIDq	<RSCFDn_base> + 2000_H + (20_H × q)

モジュール名	レジスタ名	略号	アドレス
RSCFDn	受信バッファポインタレジスタq	RSCFDnCFDRMPTRq	<RSCFDn_base> + 2004_H + (20_H × q)
RSCFDn	受信バッファ CANFDステータスレジスタq	RSCFDnCFDRMFDSTSq	<RSCFDn_base> + 2008_H + (20_H × q)
RSCFDn	受信バッファデータフィールドbレジスタq	RSCFDnCFDRMDFb_q	<RSCFDn_base> + $200C_H$ + (04_H × b) + (20_H × q)
受信FIFOバッファ関連レジスタ			
RSCFDn	受信FIFOバッファコンフィグレーション／制御レジスタx	RSCFDnCFDRFCCx	<RSCFDn_base> + $00B8_H$ + (04_H × x)
RSCFDn	受信FIFOバッファステータスレジスタx	RSCFDnCFDRFSTSx	<RSCFDn_base> + $00D8_H$ + (04_H × x)
RSCFDn	受信FIFOバッファポインタ制御レジスタx	RSCFDnCFDRFPCTRx	<RSCFDn_base> + $00F8_H$ + (04_H × x)
RSCFDn	受信FIFOバッファアクセスIDレジスタx	RSCFDnCFDRFIDx	<RSCFDn_base> + 3000_H + (80_H × x)
RSCFDn	受信FIFOバッファアクセスポインタレジスタx	RSCFDnCFDRFPTRx	<RSCFDn_base> + 3004_H + (80_H × x)
RSCFDn	受信FIFO CANFDステータスレジスタx	RSCFDnCFDRFFDSTSx	<RSCFDn_base> + 3008_H + (80_H × x)
RSCFDn	受信FIFOバッファアクセスデータフィールドdレジスタx	RSCFDnCFDRFDFd_x	<RSCFDn_base> + $300C_H$ + (04_H × d) + (80_H × x)
送受信FIFOバッファ関連レジスタ			
RSCFDn	送受信FIFOバッファコンフィグレーション／制御レジスタk	RSCFDnCFDCFCCk	<RSCFDn_base> + 0118_H + (04_H × k)
RSCFDn	送受信FIFOバッファステータスレジスタk	RSCFDnCFDCFSTSk	<RSCFDn_base> + 0178_H + (04_H × k)
RSCFDn	送受信FIFOバッファポインタ制御レジスタk	RSCFDnCFDCFPCTRk	<RSCFDn_base> + $01D8_H$ + (04_H × k)
RSCFDn	送受信FIFOバッファアクセスIDレジスタk	RSCFDnCFDCFIDk	<RSCFDn_base> + 3400_H + (80_H × k)
RSCFDn	送受信FIFOバッファアクセスポインタレジスタk	RSCFDnCFDCFPTRk	<RSCFDn_base> + 3404_H + (80_H × k)
RSCFDn	送受信FIFO CANFDコンフィグレーション／ステータスレジスタk	RSCFDnCFDCFFDCSTSk	<RSCFDn_base> + 3408_H + (80_H × k)
RSCFDn	送受信FIFOバッファアクセスデータフィールドdレジスタk	RSCFDnCFDCFDFd_k	<RSCFDn_base> + $340C_H$ + (04_H × d) + (80_H × k)
FIFOステータス関連レジスタ			
RSCFDn	FIFOエンプティステータスレジスタ	RSCFDnCFDFESTS	<RSCFDn_base> + 0238_H
RSCFDn	FIFOフルステータスレジスタ	RSCFDnCFDFFSTS	<RSCFDn_base> + $023C_H$
RSCFDn	FIFO メッセージロストステータスレジスタ	RSCFDnCFDFMSTS	<RSCFDn_base> + 0240_H
RSCFDn	受信FIFOバッファ割り込みフラグステータスレジスタ	RSCFDnCFDRFISTS	<RSCFDn_base> + 0244_H
RSCFDn	送受信FIFOバッファ 受信割り込みフラグステータスレジスタ	RSCFDnCFDCFRISTS	<RSCFDn_base> + 0248_H
RSCFDn	送受信FIFOバッファ 送信割り込みフラグステータスレジスタ	RSCFDnCFDCFTISTS	<RSCFDn_base> + $024C_H$
FIFO DMA関連レジスタ			
RSCFDn	DMA許可レジスタ	RSCFDnCFDCDTCT	<RSCFDn_base> + 0490_H
RSCFDn	DMAステータスレジスタ	RSCFDnCFDCDTSTS	<RSCFDn_base> + 0494_H
送信バッファ関連レジスタ			
RSCFDn	送信バッファ制御レジスタp	RSCFDnCFDTMCp	<RSCFDn_base> + 0250_H + (01_H × p)
RSCFDn	送信バッファステータスレジスタp	RSCFDnCFDTMSTSp	<RSCFDn_base> + $02D0_H$ + (01_H × p)
RSCFDn	送信バッファ IDレジスタp	RSCFDnCFDTMIDp	<RSCFDn_base> + 4000_H + (20_H × p)
RSCFDn	送信バッファポインタレジスタ p	RSCFDnCFDTMPTRp	<RSCFDn_base> + 4004_H + (20_H × p)
RSCFDn	送信バッファ CANFDコンフィグレーションレジスタp	RSCFDnCFDTMFDCTRp	<RSCFDn_base> + 4008_H + (20_H × p)
RSCFDn	送信バッファデータフィールドbレジスタp	RSCFDnCFDTMDFb_p	<RSCFDn_base> + $400C_H$ + (04_H × b) + (20H × p)
RSCFDn	送信バッファ割り込みイネーブルコンフィグレーションレジスタy	RSCFDnCFDTMIECy	<RSCFDn_base> + 0390_H + (04_H × y)

モジュール名	レジスタ名	略号	アドレス
送信バッファステータス関連レジスタ			
RSCFDn	送信バッファ送信要求ステータスレジスタy	RSCFDnCFDTMTRSTSy	<RSCFDn_base> + 0350_H + (04_H × y)
RSCFDn	送信バッファ送信アボート要求ステータスレジスタy	RSCFDnCFDTMTARSTSy	<RSCFDn_base> + 0360_H + (04_H × y)
RSCFDn	送信バッファ送信完了ステータスレジスタy	RSCFDnCFDTMTCSTSy	<RSCFDn_base> + 0370_H + (04_H × y)
RSCFDn	送信バッファ送信アボートステータスレジスタy	RSCFDnCFDTMTASTSy	<RSCFDn_base> + 0380_H + (04_H × y)
送信キュー関連レジスタ			
RSCFDn	送信キューコンフィグレーション／制御レジスタm	RSCFDnCFDTXQCCm	<RSCFDn_base> + $03A0_H$ + (04_H × m)
RSCFDn	送信キューステータスレジスタm	RSCFDnCFDTXQSTSm	<RSCFDn_base> + $03C0_H$ + (04_H × m)
RSCFDn	送信キューポインタ制御レジスタm	RSCFDnCFDTXQPCTRm	<RSCFDn_base> + $03E0_H$ + (04_H × m)
送信履歴関連レジスタ			
RSCFDn	送信履歴コンフィグレーション／制御レジスタm	RSCFDnCFDTHLCCm	<RSCFDn_base> + 0400_H + (04_H × m)
RSCFDn	送信履歴ステータスレジスタm	RSCFDnCFDTHLSTSm	<RSCFDn_base> + 0420_H + (04_H × m)
RSCFDn	送信履歴ポインタ制御レジスタm	RSCFDnCFDTHLPCTRm	<RSCFDn_base> + 0440_H + (04_H × m)
RSCFDn	送信履歴アクセスレジスタm	RSCFDnCFDTHLACCm	<RSCFDn_base> + 6000_H + (04_H × m)
テスト関連レジスタ			
RSCFDn	グローバルテストコンフィグレーションレジスタ	RSCFDnCFDGTSTCFG	<RSCFDn_base> + 0468_H
RSCFDn	グローバルテスト制御レジスタ	RSCFDnCFDGTSTCTR	<RSCFDn_base> + $046C_H$
RSCFDn	グローバルロックキーレジスタ	RSCFDnCFDGLOCKK	<RSCFDn_base> + $047C_H$
RSCFDn	RAMテストページアクセスレジスタr	RSCFDnCFDRPGACCr	<RSCFDn_base> + 6400_H + (04_H × r)

表25.87　各チャネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 16 × m + 0
	送信バッファ 16 × m + 1
	送信バッファ 16 × m + 2
	送信バッファ 16 × m + 3
	送信バッファ 16 × m + 4
	送信バッファ 16 × m + 5
	送信バッファ 16 × m + 6
	送信バッファ 16 × m + 7
	送信バッファ 16 × m + 8
	送信バッファ 16 × m + 9
	送信バッファ 16 × m + 10
	送信バッファ 16 × m + 11
	送信バッファ 16 × m + 12
	送信バッファ 16 × m + 13
	送信バッファ 16 × m + 14
	送信バッファ 16 × m + 15

表25.88　各チャネルに割り当てられる送受信FIFOバッファ k

	CANm
送信バッファ k	送受信FIFOバッファ 3 × m + 0
	送受信FIFOバッファ 3 × m + 1
	送受信FIFOバッファ 3 × m + 2

表25.89　CFTML[3:0]ビットの設定値によって送受信FIFOバッファにリンクされる送信バッファ p

CFTML[3:0]ビットの設定値	送受信FIFOバッファにリンクされる送信バッファ p
0000_B	送信バッファ 16 × m + 0
0001_B	送信バッファ 16 × m + 1
0010_B	送信バッファ 16 × m + 2
0011_B	送信バッファ 16 × m + 3
0100_B	送信バッファ 16 × m + 4
0101_B	送信バッファ 16 × m + 5
0110_B	送信バッファ 16 × m + 6
0111_B	送信バッファ 16 × m + 7
1000_B	送信バッファ 16 × m + 8
1001_B	送信バッファ 16 × m + 9
1010_B	送信バッファ 16 × m + 10
1011_B	送信バッファ 16 × m + 11
1100_B	送信バッファ 16 × m + 12
1101_B	送信バッファ 16 × m + 13
1110_B	送信バッファ 16 × m + 14
1111_B	送信バッファ 16 × m + 15

表25.90　各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC[3:0]ビットの設定値	送信キューに割り当てられる送信バッファ p
0000_B	設定しないでください。
0001_B	設定しないでください。
0010_B	送信バッファ 16 × m + 15～16 × m + 13
0011_B	送信バッファ 16 × m + 15～16 × m + 12
0100_B	送信バッファ 16 × m + 15～16 × m + 11
0101_B	送信バッファ 16 × m + 15～16 × m + 10
0110_B	送信バッファ 16 × m + 15～16 × m + 9
0111_B	送信バッファ 16 × m + 15～16 × m + 8
1000_B	送信バッファ 16 × m + 15～16 × m + 7
1001_B	送信バッファ 16 × m + 15～16 × m + 6
1010_B	送信バッファ 16 × m + 15～16 × m + 5
1011_B	送信バッファ 16 × m + 15～16 × m + 4
1100_B	送信バッファ 16 × m + 15～16 × m + 3
1101_B	送信バッファ 16 × m + 15～16 × m + 2
1110_B	送信バッファ 16 × m + 15～16 × m + 1
1111_B	送信バッファ 16 × m + 15～16 × m + 0

25.4.2　インタフェースモード関連レジスタの詳細

25.4.2.1　RSCFDnCFDGRMCFG — グローバルインタフェースモード選択レジスタ

アクセス：RSCFDnCFDGRMCFGレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGRMCFGL、RSCFDnCFDGRMCFGHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGRMCFGLL、RSCFDnCFDGRMCFGLH、RSCFDnCFDGRMCFGHL、RSCFDnCFDGRMCFGHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGRMCFG: <RSCFDn_base> + $04FC_H$
RSCFDnCFDGRMCFGL: <RSCFDn_base> + $04FC_H$、
RSCFDnCFDGRMCFGH: <RSCFDn_base> + $04FE_H$
RSCFDnCFDGRMCFGLL: <RSCFDn_base> + $04FC_H$、
RSCFDnCFDGRMCFGLH: <RSCFDn_base> + $04FD_H$、
RSCFDnCFDGRMCFGHL: <RSCFDn_base> + $04FE_H$、
RSCFDnCFDGRMCFGHH: <RSCFDn_base> + $04FF_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCMC
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表25.91　RSCFDnCFDGRMCFGレジスタの内容

ビット	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RCMC	インタフェースモード選択ビット 0: クラシカルCANモード 1: CANFDモード

注1.　RSCANnGRMCFG registerとRSCFDnCFDGRMCFG registerは同一レジスタです。どちらかのレジスタを設定してください。

RSCFDnCFDGRMCFG レジスタはグローバルリセットモードでのみ書き換えてください。また、他の RS-CANFD レジスタを設定する前に設定を行ってください。

RCMC ビット

“0” にすると、クラシカル CAN モードになります。“1” にすると、CANFD モードになります。クラシカル CAN モードから CANFD モードに変更する場合は、クラシカル CAN モードのレジスタマップにのみ割り当てられているレジスタ、ビットすべてにリセット後の値にしてから、RSCFDnCFDGRMCFG レジスタを書き換えてください。

25.4.3　チャネル関連レジスタの詳細

25.4.3.1　RSCFDnCFDCmNCFG — チャネル通常ビットレートコンフィグレーションレジスタ（m = 0、1）

アクセス：RSCFDnCFDCmNCFG レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCmNCFGL、RSCFDnCFDCmNCFGH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCmNCFGLL、RSCFDnCFDCmNCFGLH、RSCFDnCFDCmNCFGHL、RSCFDnCFDCmNCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCmNCFG: <RSCFDn_base> + 0000_H + (10_H × m)
RSCFDnCFDCmNCFGL: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCFDnCFDCmNCFGH: <RSCFDn_base> + 0002_H + (10_H × m)
RSCFDnCFDCmNCFGLL: <RSCFDn_base> + 0000_H + (10_H × m)、
RSCFDnCFDCmNCFGLH: <RSCFDn_base> + 0001_H + (10_H × m)、
RSCFDnCFDCmNCFGHL: <RSCFDn_base> + 0002_H + (10_H × m)、
RSCFDnCFDCmNCFGHH: <RSCFDn_base> + 0003_H + (10_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NTSEG2[4:0]					—	NTSEG1[6:0]						
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NSJW[4:0]					—	NBRP[9:0]									
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.92　RSCFDnCFDCmNCFG レジスタの内容

ビット	ビット名	機能
31 ～ 29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28 ～ 24	NTSEG2[4:0]	通常ビットレート タイムセグメント 2 制御ビット b28 b27 b26 b25 b24 0 0 0 0 0：設定しないでください 0 0 0 0 1：2 Tq ： ： 1 1 1 1 0：31 Tq 1 1 1 1 1：32 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22 ～ 16	NTSEG1[6:0]	通常ビットレート タイムセグメント 1 制御ビット b22 b21 b20 b19 b18 b17 b16 0 0 0 0 0 0 0：設定しないでください 0 0 0 0 0 0 1：設定しないでください 0 0 0 0 0 1 0：設定しないでください 0 0 0 0 0 1 1：4 Tq ： ： 1 1 1 1 1 1 0：127 Tq 1 1 1 1 1 1 1：128 Tq
15 ～ 11	NSJW[4:0]	通常ビットレート 再同期ジャンプ幅制御ビット b15 b14 b13 b12 b11 0 0 0 0 0：1 Tq 0 0 0 0 1：2 Tq 0 0 0 1 0：3 Tq ： ： 1 1 1 1 0：31 Tq 1 1 1 1 1：32 Tq

ビット	ビット名	機能
10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9 ～ 0	NBRP[9:0]	通常ビットレート プリスケーラ分周比設定ビット 設定値をP（0 ～ 1023）とすると、通常ビットレートプリスケーラはfCANを P + 1 で分周します。

RSCFDnCFDCmNCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、**「25.11.1　初期設定」**を参照してください。

NTSEG2[4:0] ビット

通常ビットレートのフェーズセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。
2 ～ 32Tq の値が設定可能です。
NTSEG1[6:0] ビットより小さい値を設定してください。

NTSEG1[6:0] ビット

通常ビットレートのプロパゲーションセグメント（PROP_SEG）とフェーズセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。
4 ～ 128Tq の値が設定可能です。

NSJW[4:0] ビット

通常ビットレートの再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1 ～ 32Tq の値が設定可能です。NTSEG2[4:0] ビット以下の値を設定してください。

NBRP[9:0] ビット

CAN クロック（fCAN）を通常ビットレートプリスケーラ（(NBRP[9:0]) + 1）で分周したクロックが CANmTq(N) クロック（fCANTQ(N)m）になり、CANmTq(N) クロックの 1 クロックが 1 Time Quantum（Tq）になります。
通常ビットレートとデータビットレートは NBRP[9:0] ビットと DBRP[7:0] ビットを同じ値に設定し、セグメントの値によって 2 つのビットレートを異なる値にしてください。

25.4.3.2　RSCFDnCFDCmCTR — チャネル制御レジスタ（m = 0、1）

アクセス：RSCFDnCFDCmCTRレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCmCTRL、RSCFDnCFDCmCTRHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCmCTRLL、RSCFDnCFDCmCTRLH、RSCFDnCFDCmCTRHL、RSCFDnCFDCmCTRHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCmCTR: <RSCFDn_base> + 0004_H + (10_H × m)
RSCFDnCFDCmCTRL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCFDnCFDCmCTRH: <RSCFDn_base> + 0006_H + (10_H × m)
RSCFDnCFDCmCTRLL: <RSCFDn_base> + 0004_H + (10_H × m)、
RSCFDnCFDCmCTRLH: <RSCFDn_base> + 0005_H + (10_H × m)、
RSCFDnCFDCmCTRHL: <RSCFDn_base> + 0006_H + (10_H × m)、
RSCFDnCFDCmCTRHH: <RSCFDn_base> + 0007_H + (10_H × m)

リセット後の値：$0000\ 0005_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ROM	CRCT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	TDCVFIE	SOCOIE	EOCOIE	TAIE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表25.93　RSCFDnCFDCmCTRレジスタの内容

ビット	ビット名	機能
31	ROM	制限動作モード許可ビット 0：制限動作モード禁止 1：制限動作モード許可
30	CRCT	CRCエラーテスト許可ビット 0: 受信IDフィールドの先頭ビットを反転しない 1: 受信IDフィールドの先頭ビットを反転する
29～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0　0：標準テストモード 0　1：リッスンオンリモード 1　0：セルフテストモード0（外部ループバックモード） 1　1：セルフテストモード1（内部ループバックモード）
24	CTME	通信テストモード許可ビット 0：通信テストモード禁止 1：通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0：RSCFDnCFDCmERFL レジスタのビット14～8がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1：発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0　0：ISO11898-1仕様準拠 0　1：バスオフ開始でチャネル待機モードへ遷移 1　0：バスオフ終了でチャネル待機モードへ遷移 1　1：バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	TDCVFIE	送信遅延補正バイオレーション割り込み許可ビット 0：送信遅延補正バイオレーション割り込み禁止 1：送信遅延補正バイオレーション割り込み許可

ビット	ビット名	機能
18	SOCOIE	通信成功回数カウンタオーバフロー割り込み許可ビット 0：通信成功回数カウンタオーバフロー割り込み禁止 1：通信成功回数カウンタオーバフロー割り込み許可
17	EOCOIE	エラー発生回数カウンタオーバフロー割り込み許可ビット 0：エラー発生回数カウンタオーバフロー割り込み禁止 1：エラー発生回数カウンタオーバフロー割り込み許可
16	TAIE	送信アボート割り込み許可ビット 0：送信アボート割り込み禁止 1：送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み禁止 1：アービトレーションロスト割り込み許可
14	BLIE	バスロック割り込み許可ビット 0：バスロック割り込み禁止 1：バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0：バスエラー割り込み禁止 1：バスエラー割り込み許可
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBOビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。
2	CSLPR	チャネルストップモードビット 0：チャネルストップモードではない 1：チャネルストップモード
1、0	CHMDC[1:0]	モード選択ビット b1　b0 0　0：チャネル通信モード 0　1：チャネルリセットモード 1　0：チャネル待機モード 1　1：設定しないでください

ROM ビット

RSCFDnCFDCmCTR レジスタの ROM ビットと CTME ビットを “1” にすると、制限動作モードが許可されます。制限動作モードは RSCFDnCFDCmCTR レジスタの CTMS[1:0] ビットが “00B”（標準テストモード）の場合のみ使用してください。このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CRCT ビット

RS-CANFD モジュール内部の CRC 生成回路をテストするビットです。“1” にするとメッセージの受信時に ID フィールドの先頭ビットを反転します。このビット反転により、CRC 演算結果は受信フレームの正常な CRC 値と一致しなくなるため、CRC エラーが検出されます（RSCFDnCFDCmERFL レジスタの CERR ビットが “1”）。この機能を使用する場合は、以下の点に注意してください。

- RSCFDnCFDCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合に使用できます。
- 他の CAN ノードと通信はできません。チャネル間通信テスト（RSCFDnCFDGTSTCFG レジスタの CmICBCE ビットが “1”）で使用してください。
- ID フィールドのビット反転によりビットスタッフィングルール違反が起こる可能性があります。その場合は、CRC エラーではなくスタッフエラーが検出されます。

このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTME ビット

“1” にすると通信テストモードは許可になります。このビットはチャネル待機モードで書き換えてください。チャネルリセットモード時は、“0” になります。

ERRD ビット

RSCFDnCFDCmERFL レジスタのビット 14 ～ 8 の表示モードを制御します。

“0” にすると、RSCFDnCFDCmERFL レジスタのビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、最初に発生したエラーのフラグのみが “1” になります。最初のエラーで複数のエラーが発生した場合は、検出されたエラーのフラグはすべて “1” になります。

“1” にすると発生順に関係なく、起こったエラーのフラグはすべて “1” になります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CANFD モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが “00B” の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CANFD モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを “10B”（チャネル待機モード）にしても 128 回検出するまでチャネル待機モードには遷移しません。

BOM[1:0] ビットが “01B” の場合、RS-CANFD モジュールがバスオフ状態に達すると、RSCFDnCFDCmCTR レジスタ（m = 0, 1）の CHMDC[1:0] ビットが “10B” になり、チャネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RSCFDnCFDCmSTS レジスタの TEC[7:0] ビットと

REC[7:0] ビットが “00H” になります。

BOM[1:0] ビットが “10B” の場合、RS-CANFD モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが “10B” になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが “00H” になります。

BOM[1:0] ビットが “11B” の場合、RS-CANFD モジュールがバスオフ状態のときに CHMDC[1:0] ビットを “10B” にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは “00H” になります。しかし、CHMDC[1:0] ビットを “10B” にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールがチャネル待機モードに遷移するのと同時（BOM[1:0] ビットが “01B” のとき : バスオフ開始時、または BOM[1:0] ビットが “10B” のとき : バスオフ終了時）に、プログラムによる CHMDC[1:0] ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0] ビットはチャネルリセットモードでのみ書き換えてください。

TDCVFIE ビット

TDCVFIE ビットを “1” に設定し、RSCFDnCFDCmFDSTS レジスタの TDCVF フラグが “1” になった場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

SOCOIE ビット

SOCOIE ビットを “1” に設定し、RSCFDnCFDCmFDSTS レジスタの SOCO フラグが “1” になった場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EOCOIE ビット

EOCOIE ビットを “1” に設定し、RSCFDnCFDCmFDSTS レジスタの EOCO フラグが “1” になった場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを “1” に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの ALF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの BLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの OVLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの BORF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの BOEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの EPF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの EWF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを “1” に設定し、RSCFDnCFDCmERFL レジスタの BEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時 “1” にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に “0” になります。“1” にすると、RSCFDnCFDCmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00H” になり、RSCFDnCFDCmSTS レジスタの BOSTS フラグは “0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCFDnCFDCmCTR レジスタの BOM[1:0] ビットが “00B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを “1” にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャネル通信モードで “1” を書いてください。

CSLPR ビット

“1” にすると、チャネルストップモードになります。

“0” にすると、チャネルストップモードは解除されます。

このビットは、チャネル通信モードまたはチャネル待機モードでは書き換えないでください。

CHMDC[1:0] ビット

チャネルのモード（チャネル通信モード、チャネルリセットモード、チャネル待機モード）を選択するビットです。詳細は、**「25.6.2 チャネルモード」**を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを “1” にすることで遷移します。CHMDC[1:0] ビットを “11B” には設定しないでください。BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に “10B” になります。

25.4.3.3　RSCFDnCFDCmSTS — チャネルステータスレジスタ（m = 0、1）

アクセス：RSCFDnCFDCmSTSレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCmSTSL、RSCFDnCFDCmSTSHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCmSTSLL、RSCFDnCFDCmSTSLH、RSCFDnCFDCmSTSHL、RSCFDnCFDCmSTSHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCmSTS: <RSCFDn_base> + 0008_H + (10_H × m)
RSCFDnCFDCmSTSL: <RSCFDn_base> + 0008_H + (10_H × m)、
RSCFDnCFDCmSTSH: <RSCFDn_base> + $000A_H$ + (10_H × m)
RSCFDnCFDCmSTSLL: <RSCFDn_base> + 0008_H + (10_H × m)、
RSCFDnCFDCmSTSLH: <RSCFDn_base> + 0009_H + (10_H × m)、
RSCFDnCFDCmSTSHL: <RSCFDn_base> + $000A_H$ + (10_H × m)、
RSCFDnCFDCmSTSHH: <RSCFDn_base> + $000B_H$ + (10_H × m)

リセット後の値：$0000\ 0005_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC[7:0]								REC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ESIF	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W：	R	R	R	R	R	R	R	R/W 注1	R	R	R	R	R	R	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.94　RSCFDnCFDCmSTSレジスタの内容

ビット	ビット名	機能
31～24	TEC[7:0]	送信エラーカウンタ（TEC）の値が読めます。
23～16	REC[7:0]	受信エラーカウンタ（REC）の値が読めます。
15～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	ESIF	エラーステート表示フラグ 0：ESIビットがレセシブであるCANFDメッセージを受信していない 1：ESIビットがレセシブであるCANFDメッセージを少なくとも1メッセージ受信した
7	COMSTS	通信ステータスフラグ 0：通信可能な状態ではない 1：通信可能な状態
6	RECSTS	受信ステータスフラグ 0：バスアイドルまたは送信中またはバスオフ状態 1：受信中
5	TRMSTS	送信ステータスフラグ 0：バスアイドルまたは受信中 1：送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0：バスオフ状態ではない 1：バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0：エラーパッシブ状態ではない 1：エラーパッシブ状態
2	CSLPSTS	チャネルストップステータスフラグ 0：チャネルストップモードではない 1：チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0：チャネル待機モードではない 1：チャネル待機モード

ビット	ビット名	機能
0	CRSTSTS	チャネルリセットステータスフラグ 0：チャネルリセットモードではない 1：チャネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

ESIF フラグ

正常に受信したメッセージでレセシブの ESI ビットを検出すると、“1” になります。ループバックモードまたはミラーモードの場合は、自送信メッセージが受信メッセージとみなされます。このフラグを “0” にする場合は、プログラムで “0” を書いてください。プログラムで “1” にできません。フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。

チャネルリセットモード時は、“0” になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャネルリセットモードまたはチャネル待機モードからチャネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1” になります。チャネルリセットモードまたはチャネル待機モード時は、“0” になります。

RECSTS フラグ

受信を開始すると “1” になります。バスアイドル状態になるか、または送信を開始すると “0” になります。

TRMSTS フラグ

送信を開始すると “1” になります。バスオフ状態では “1” のままです。バスアイドル状態になるか、または受信を開始すると “0” になります。

BOSTS フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると “1” になります。バスオフ状態以外になると “0” になります。

EPSTS フラグ

エラーパッシブ状態（（128 ≦ TEC[7:0] ビット≦ 255）または（128 ≦ REC[7:0] ビット））になると、“1” になります。エラーパッシブ状態以外になるか、またはチャネルリセットモードになると、“0” になります。

CSLPSTS フラグ

チャネルストップモードに遷移すると、“1” になります。チャネルストップモードから復帰すると “0” になります。

CHLTSTS フラグ

チャネル待機モードに遷移すると “1” になります。チャネル待機モード以外のモードに遷移すると “0” になります。

CRSTSTS フラグ

チャネルリセットモードに遷移すると “1” になります。チャネル通信モードまたはチャネル待機モードに遷移すると “0” になります。チャネルリセットモードからチャネルストップモードに遷移しても、“1” のままです。

25.4.3.4　RSCFDnCFDCmERFL — チャネルエラーフラグレジスタ（m = 0、1）

アクセス：RSCFDnCFDCmERFLレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCmERFLL、RSCFDnCFDCmERFLHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCmERFLLL、RSCFDnCFDCmERFLLH、RSCFDnCFDCmERFLHL、RSCFDnCFDCmERFLHHレジスタは、8ビット単位でリード／ライト可能です

アドレス：RSCFDnCFDCmERFL: <RSCFDn_base> + $000C_H$ + (10_H × m)
RSCFDnCFDCmERFLL: <RSCFDn_base> + $000C_H$ + (10_H × m)、
RSCFDnCFDCmERFLH: <RSCFDn_base> + $000E_H$ + (10_H × m)
RSCFDnCFDCmERFLLL: <RSCFDn_base> + $000C_H$ + (10_H × m)、
RSCFDnCFDCmERFLLH: <RSCFDn_base> + $000D_H$ + (10_H × m)、
RSCFDnCFDCmERFLHL: <RSCFDn_base> + $000E_H$ + (10_H × m)、
RSCFDnCFDCmERFLHH: <RSCFDn_base> + $000F_H$ + (10_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCREG[14:0]														
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.95　RSCFDnCFDCmERFLレジスタの内容

ビット	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30～16	CRCREG [14:0]	CRC演算データ（CRC長15ビット） 送信メッセージまたは受信メッセージを基に計算したCRC値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACKデリミタエラーフラグ 0：ACKデリミタエラー未検出 1：ACKデリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0：ドミナントビットエラー未検出 1：ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0：レセシブビットエラー未検出 1：レセシブビットエラー検出
11	CERR	CRCエラーフラグ 0：CRCエラー未検出 1：CRCエラー検出
10	AERR	ACKエラーフラグ 0：ACKエラー未検出 1：ACKエラー検出
9	FERR	フォームエラーフラグ 0：フォームエラー未検出 1：フォームエラー検出
8	SERR	スタッフエラーフラグ 0：スタッフエラー未検出 1：スタッフエラー検出

ビット	ビット名	機能
7	ALF	アービトレーションロストフラグ 0：アービトレーションロスト未検出 1：アービトレーションロスト検出
6	BLF	バスロックフラグ 0：チャネルバスロック未検出 1：チャネルバスロック検出
5	OVLF	オーバロードフラグ 0：オーバロード未検出 1：オーバロード検出
4	BORF	バスオフ復帰フラグ 0：バスオフ復帰未検出 1：バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0：バスオフ開始未検出 1：バスオフ開始検出
2	EPF	エラーパッシブフラグ 0：エラーパッシブ未検出 1：エラーパッシブ検出
1	EWF	エラーワーニングフラグ 0：エラーワーニング未検出 1：エラーワーニング検出
0	BEF	バスエラーフラグ 0：チャネルバスエラーは未検出 1：チャネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。各フラグを “0” にする場合は、プログラムで “0” を書いてください。プログラムで “1” にできません。フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。チャネルリセットモード時、“0” になります。

RSCFDnCFDCmERFL レジスタのビット 14 ～ 8 に関して、RSCFDnCFDCmCTR レジスタの ERRD ビットを “0”（最初に発生したエラー情報のみ表示）に設定したとき、ビット 14 ～ 8 のすべてのフラグが “0” の状態でエラーが検出された場合に、対応するフラグは “1” になります。

CRCREG[14:0] フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージがクラシカル CAN フレーム（CRC 長 15 ビット）ならば、このフラグが更新され、メッセージを基に計算した CRC 値が読めます。CANFD フレームを送受信したときは、RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0] ビットが更新されます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。

チャネルリセットモード時は、“0” になります。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1” になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると “1” になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると “1” になります。

CERR フラグ

CRC エラーを検出すると “1” になります。

AERR フラグ

ACK エラーを検出すると “1” になります。

FERR フラグ

フォームエラーを検出すると “1” になります。

SERR フラグ

スタッフエラーを検出すると “1” になります。

ALF フラグ

アービトレーションロストを検出すると “1” になります。

BLF フラグ

チャネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1” になります。“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを “1” から “0” にした後、レセシブビットを検出
- BLF ビットを “1” から “0” にした後、チャネルリセットモードに遷移し、再度チャネル通信モードに遷移

OVLF フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると “1” になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると “1” になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は “1” になりません。

- RSCFDnCFDCmCTR レジスタの CHMDC[1:0] ビットを “01B”（チャネルリセットモード）に設定した場合
- RSCFDnCFDCmCTR レジスタの RTBO ビットを “1”（バスオフからの強制復帰）に設定した場合
- RSCFDnCFDCmCTR レジスタの BOM[1:0] ビットを “01B”（バスオフ開始でチャネル待機モードへ遷移）に設定した場合
- BOM[1:0] ビットが “11B”（バスオフ中にプログラムによる要求でチャネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを “10B”（チャネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると、“1” になります。RSCFDnCFDCmCTR レジスタ（m = 0, 1）の BOM[1:0] ビットが “01B”（バスオフ開始でチャネル待機モードへ遷移）で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態（（128 ≦ TEC[7:0] ビット≦ 255）または（128 ≦ REC[7:0] ビット））になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、

REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWF フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC[7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビット が 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCFDnCFDCmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

備　考

本レジスタのフラグを “0” にする場合は、対象フラグには “0” を、それ以外のフラグには “1” を、ストア命令を使用して書いてください。

25.4.3.5　RSCFDnCFDCmDCFG — チャネルデータビットレートコンフィグレーションレジスタ（m = 0、1）

アクセス：RSCFDnCFDCmDCFGレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCmDCFGL、RSCFDnCFDCmDCFGHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCmDCFGLL、RSCFDnCFDCmDCFGLH、RSCFDnCFDCmDCFGHL、RSCFDnCFDCmDCFGHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCmDCFG: <RSCFDn_base> + 0500_H + (20_H × m)
RSCFDnCFDCmDCFGL: <RSCFDn_base> + 0500_H + (20_H × m)、
RSCFDnCFDCmDCFGH: <RSCFDn_base> + 0502_H + (20_H × m)
RSCFDnCFDCmDCFGLL: <RSCFDn_base> + 0500_H + (20_H × m)、
RSCFDnCFDCmDCFGLH: <RSCFDn_base> + 0501_H + (20_H × m)、
RSCFDnCFDCmDCFGHL: <RSCFDn_base> + 0502_H + (20_H × m)、
RSCFDnCFDCmDCFGHH: <RSCFDn_base> + 0503_H + (20_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	DSJW[2:0]			—	DTSEG2[2:0]			DTSEG1[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DBRP[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.96　RSCFDnCFDCmDCFGレジスタの内容

ビット	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26～24	DSJW[2:0]	データビットレート 再同期ジャンプ幅制御ビット b26 b25 b24 0 0 0：1 Tq 0 0 1：2 Tq 0 1 0：3 Tq 0 1 1：4 Tq 1 0 0：5 Tq 1 0 1：6 Tq 1 1 0：7 Tq 1 1 1：8 Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～20	DTSEG2[2:0]	データビットレート タイムセグメント2制御ビット b22 b21 b20 0 0 0：設定しないでください 0 0 1：2 Tq 0 1 0：3 Tq 0 1 1：4 Tq 1 0 0：5 Tq 1 0 1：6 Tq 1 1 0：7 Tq 1 1 1：8 Tq

ビット	ビット名	機能
19～16	DTSEG1[3:0]	データビットレート タイムセグメント1制御ビット b19 b18 b17 b16 0 0 0 0 : 設定しないでください 0 0 0 1 : 2 Tq 0 0 1 0 : 3 Tq 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7～0	DBRP[7:0]	データビットレート プリスケーラ分周比設定ビット 設定値をP（0～255）とすると、データビットレートプリスケーラはfCANを P + 1 で分周します。

RSCFDnCFDCmDCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。クラシカル CAN フレームしか使用しない場合は、RSCFDnCFDCmDCFG レジスタに、RSCFDnCFDCmNCFG レジスタの設定値と同じ値を設定してください。ビットタイミングパラメータの説明と設定については、**「25.11.1　初期設定」**を参照してください。

DSJW[2:0] ビット

データビットレートの再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1 ～ 8Tq の値が設定可能です。DTSEG2[2:0] ビット以下の値を設定してください。

DTSEG2[2:0] ビット

データビットレートのフェーズセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。
2 ～ 8Tq の値が設定可能です。
DTSEG1[3:0] ビットより小さい値を設定してください。

DTSEG1[3:0] ビット

データビットレートのプロパゲーションセグメント（PROP_SEG）とフェーズセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。
2 ～ 16Tq の値が設定可能です。

DBRP[7:0] ビット

CAN クロック（fCAN）をデータビットレートプリスケーラ（(DBRP[7:0]) + 1）で分周したクロックが CANmTq(D) クロック（fCANTQ(D)m）になり、CANmTq(D) クロックの 1 クロックが 1 Time Quantum（Tq）になります。
NBRP[9:0] ビットと DBRP[7:0] ビットには必ず同じ値に設定してください。
通常ビットレートとデータビットレートを異なる値に設定したい場合、RSCFDnCFDCmNCFG.NTSEG1, NTSEG2 ビット、RSCFDnCFDCmDCFG.DTSEG1, DTSEG2 ビットでそれぞれ希望するビットレート値に変更してください。RSCFDnCFDCmFDCFG レジスタの TDCE ビットが 1（送信遅延補正許可）のときは、NBRP[9:0] ビットと DBRP[7:0] ビットに 1 以下の同じ値を設定してください。

25.4.3.6　RSCFDnCFDCmFDCFG — チャネル CANFD コンフィグレーションレジスタ（m = 0、1）

アクセス：RSCFDnCFDCmFDCFGレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDCFGL、RSCFDnCFDCmFDCFGHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDCFGLL、RSCFDnCFDCmFDCFGLH、RSCFDnCFDCmFDCFGHL、RSCFDnCFDCmFDCFGHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCmFDCFG: <RSCFDn_base> + 0504_H + (20_H × m)
RSCFDnCFDCmFDCFGL: <RSCFDn_base> + 0504_H + (20_H × m)、
RSCFDnCFDCmFDCFGH: <RSCFDn_base> + 0506_H + (20_H × m)
RSCFDnCFDCmFDCFGLL: <RSCFDn_base> + 0504_H + (20_H × m)、
RSCFDnCFDCmFDCFGLH: <RSCFDn_base> + 0505_H + (20_H × m)、
RSCFDnCFDCmFDCFGHL: <RSCFDn_base> + 0506_H + (20_H × m)、
RSCFDnCFDCmFDCFGHH: <RSCFDn_base> + 0507_H + (20_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	REFE	FDOE	TMME	GWBRS	GWFDF	GWEN	—	TDCO[6:0]						
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表25.97　RSCFDnCFDCmFDCFGレジスタの内容

ビット	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	REFE	受信データエッジフィルタ許可ビット 0: 受信データエッジフィルタ禁止 1: 受信データエッジフィルタ許可
28	FDOE	FDオンリーモード許可ビット 0: FDオンリーモード禁止 1: FDオンリーモード許可
27	TMME	送信バッファマージモード許可ビット 0: 送信バッファマージモード禁止 1: 送信バッファマージモード許可
26	GWBRS	ゲートウェイBRS設定ビット 0: 受信フレームのBRSビットを“0”にして送信 1: 受信フレームのBRSビットを“1”にして送信
25	GWFDF	ゲートウェイFDF設定ビット 0: 受信フレームをクラシカルCANフレームとして送信 1: 受信フレームをCANFDフレームとして送信
24	GWEN	CAN-CANFD ゲートウェイ許可ビット 0: CAN-CANFDゲートウェイ禁止 1: CAN-CANFDゲートウェイ許可
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	TDCO[6:0]	送信遅延補正オフセット設定ビット 送信遅延補正のオフセット値を設定します。
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	ESIC	エラーステート表示モード選択ビット 0: 常にチャネルのエラーステートをフレームのESIビットとして送信 1: チャネルがエラーパッシブではないとき、メッセージバッファのエラーステートをフレームのESIビットとして送信 チャネルがエラーパッシブのとき、チャネルのエラーステートをフレームのESIビットとして送信

ビット	ビット名	機能
9	TDCE	送信遅延補正許可ビット 0: 送信遅延補正禁止 1: 送信遅延補正許可
8	TDCOC	送信遅延補正計測選択ビット 0: 計測およびオフセット 1: オフセットのみ
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	EOCCFG [2:0]	エラー発生回数カウント方式選択ビット b2 b1 b0 0 0 0：全ての送信メッセージと受信メッセージ 0 0 1：全ての送信メッセージ 0 1 0：全ての受信メッセージ 0 1 1：設定しないでください 1 0 0：送信または受信したCANFDメッセージのデータフェーズのみ 1 0 1：送信したCANFDメッセージのデータフェーズのみ 1 1 0：受信したCANFDメッセージのデータフェーズのみ 1 1 1：設定しないでください

REFE ビット

“1” にするとアイドル状態検出時の受信データエッジフィルタが許可され、2TQ 未満のドミナントは無視されます。2TQ 以上のドミナントをエッジとして検出します。このビットはチャネルリセットモードでのみ書き換えてください。

FDOE ビット

“1” にすると FD オンリーモードが許可されます。送信時、RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットまたは RSCFDnCFDTMFDCTRp レジスタの TMFDF ビットの設定に関係なく CANFD フレームを送信します。受信時、クラシカル CAN フレームを受信した場合は、フォームエラーを検出します。このビットはチャネルリセットモードでのみ書き換えてください。

TMME ビット

“1” にすると送信バッファマージモードが許可されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

GWBRS ビット

GWEN ビットが “1” のとき、ゲートウェイ機能で送信する CANFD フレームの BRS ビットを設定します。GWFDF ビットを “0” にするときは、このビットに “0” を書いてください。このビットはチャネルリセットモードでのみ書き換えてください。

GWFDF ビット

GWEN ビットが “1” のとき、ゲートウェイ機能で送信する CANFD フレームの FDF ビットを設定します。このビットはチャネルリセットモードでのみ書き換えてください。

GWEN ビット

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットを “10B”（ゲートウェイモード）に設定した送受信 FIFO バッファの動作を制御します。

このビットを “1” にすると、CAN-CANFD ゲートウェイが許可され、ゲートウェイ機能で受信したフレームと異なるフォーマットでの送信ができます。受信フレームは GWFDF ビットと GWBRS ビットの設定に従って置換されます。受信したクラシカル CAN フレームの DLC 値が “1001B” 以上であり、GWFDF ビットが “1”（CANFD フレーム）の場合は、DLC を “1000B” に置き換えます。

このビットが “1” のとき、以下のフレームはゲートウェイ機能でルーティングしないでください。

- ペイロード長が 8 バイトを超える CANFD フレーム
- リモートフレーム

また、このビットが “1” のとき、GWFDF の設定により以下のフレームのみ該当するチャネルから送信してください。

- GWFDF = 0 のとき、クラシカル CAN フレームのみ送信してください。
- GWFDF = 1 のとき、CANFD フレームのみ送信してください。

このビットはチャネルリセットモードでのみ書き換えてください。

表 25.98 に CAN-CANFD ゲートウェイ許可時の送受信フレームのフォーマットと設定を示します。

表25.98　CAN-CANFD ゲートウェイ許可時動作

受信フレーム			GWFDF ビット	送信フレーム		
フォーマット	BRS ビット	受信DLC値		フォーマット	BRS ビット	送信DLC値
クラシカルCAN	なし	DLC ≦ “1000_B”	0	クラシカル CAN	なし	置換しない
		DLC ＞ “1000_B”				
CANFD	任意	DLC ≦ “1000_B”				
クラシカルCAN	なし	DLC ≦ “1000_B”	1	CANFD	GWBRS ビットの設定に従う	置換しない
		DLC ＞ “1000_B”				“1000_B” に置換
CANFD	任意	DLC ≦ “1000_B”				置換しない

TDCO[6:0] ビット

SSP オフセット値を設定します。この値の使用方法は、RSCFDnCFDCmFDCFG レジスタの TDCOC ビットに依存します。この設定値は、CAN クロック (fCAN) を基準としております。

TDCOC ビットが “0” のとき、送信遅延補正結果は測定した遅延と TDCO[6:0] ビット値の合計値と等しくなります（最も近い整数の Tq に切り捨てます）。

TDCOC ビットが “1” のとき、送信遅延補正結果は TDCO[6:0] ビットの値と等しくなります。

SSP オフセット値は TDCO[6:0] ビットの設定値＋ 1 となります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

ESIC ビット

ESIC ビットを “1” にすると、チャネルがエラーアクティブならば、送信メッセージの ESI ビット値として、送受信 FIFO バッファまたは送信バッファに設定された ESI ビット値（RSCFDnCFDCFFDCSTSk レジスタの CFESI ビットまたは RSCFDnCFDTMFDCTRp レジスタの TMESI ビット）が送信されます。チャネルがエラーパッシブであるか、ESIC ビットが “0” ならばチャネルのステータスが ESI ビット値として送信されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

表 25.99　送信 ESI 値

ESIC ビット	チャネル ステータス	送信 ESI 値
0	エラーアクティブ	0（ノードはエラーアクティブ）
	エラーパッシブ	1（ノードはエラーパッシブ）
1	エラーアクティブ	送受信 FIFO バッファまたは 送信バッファに設定した ESI 値 （RSCFDnCFDCFFDCSTSk レジスタの CFESI ビットまたは RSCFDnCFDTMFDCTRp レジスタの TMESI ビット）
	エラーパッシブ	1（ノードはエラーパッシブ）

TDCE ビット

“1” にすると送信遅延補正が許可されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

TDCOC ビット

“0” のとき、SSP の位置は測定した遅延と SSP オフセット値（固定値）の合計で定義されます。
“1” のとき、SSP の位置は SSP オフセット値のみで定義されます。
このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

EOCCFG[2:0] ビット

エラー発生回数カウンタで CAN バスエラーをカウントするときのフレームフォーマットおよび送受信方向を選択します。
このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

25.4.3.7　RSCFDnCFDCmFDCTR — チャネル CANFD 制御レジスタ（m = 0、1）

アクセス：RSCFDnCFDCmFDCTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDCTRL、RSCFDnCFDCmFDCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDCTRLL、RSCFDnCFDCmFDCTRLH、RSCFDnCFDCmFDCTRHL、RSCFDnCFDCmFDCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCmFDCTR: <RSCFDn_base> + 0508_H + (20_H × m)
RSCFDnCFDCmFDCTRL: <RSCFDn_base> + 0508_H + (20_H × m)、
RSCFDnCFDCmFDCTRH: <RSCFDn_base> + $050A_H$ + (20_H × m)
RSCFDnCFDCmFDCTRLL: <RSCFDn_base> + 0508_H + (20_H × m)、
RSCFDnCFDCmFDCTRLH: <RSCFDn_base> + 0509_H + (20_H × m)、
RSCFDnCFDCmFDCTRHL: <RSCFDn_base> + $050A_H$ + (20_H × m)、
RSCFDnCFDCmFDCTRHH: <RSCFDn_base> + $050B_H$ + (20_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 25.100　RSCFDnCFDCmFDCTR レジスタの内容

ビット	ビット名	機能
31 ～ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SOCCLR	通信成功回数カウンタクリアビット SOCCLR ビットを“1”にすると、通信成功回数カウンタがクリアされます。常に“0”が読めます。
0	EOCCLR	エラー発生回数カウンタクリアビット EOCCLR ビットを“1”にすると、エラー発生回数カウンタがクリアされます。常に“0”が読めます。

SOCCLR ビット

“1” にすると、通信成功回数カウンタ（RSCFDnCFDCmFDSTS レジスタの SOC[7:0] ビット）がクリアされます。このビットは自動的に “0” になります。

EOCCLR ビット

“1” にすると、エラー発生回数カウンタ（RSCFDnCFDCmFDSTS レジスタの EOC[7:0] ビット）がクリアされます。このビットは自動的に “0” になります。

25.4.3.8　RSCFDnCFDCmFDSTS — チャネル CANFD ステータスレジスタ（m = 0、1）

アクセス：RSCFDnCFDCmFDSTS レジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDSTSL、RSCFDnCFDCmFDSTSH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCmFDSTSLL、RSCFDnCFDCmFDSTSLH、RSCFDnCFDCmFDSTSHL、RSCFDnCFDCmFDSTSHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCmFDSTS: <RSCFDn_base> + $050C_H$ + (20_H × m)
RSCFDnCFDCmFDSTSL: <RSCFDn_base> + $050C_H$ + (20_H × m)、
RSCFDnCFDCmFDSTSH: <RSCFDn_base> + $050E_H$ + (20_H × m)
RSCFDnCFDCmFDSTSLL: <RSCFDn_base> + $050C_H$ + (20_H × m)、
RSCFDnCFDCmFDSTSLH: <RSCFDn_base> + $050D_H$ + (20_H × m)、
RSCFDnCFDCmFDSTSHL: <RSCFDn_base> + $050E_H$ + (20_H × m)、
RSCFDnCFDCmFDSTSHH: <RSCFDn_base> + $050F_H$ + (20_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SOC[7:0]								EOC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SOCO	EOCO	TDCVF	TDCR[6:0]						
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R	R	R	R	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.101　RSCFDnCFDCmFDSTS レジスタの内容

ビット	ビット名	機能
31～24	SOC[7:0]	通信成功回数カウンタ 通信成功回数カウンタの値が読めます。
23～16	EOC[7:0]	エラー発生回数カウンタ エラー発生回数カウンタの値が読めます。
15～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	SOCO	通信成功回数カウンタオーバフローフラグ 0：通信成功回数カウンタオーバフローではない 1：通信成功回数カウンタオーバフロー
8	EOCO	エラー発生回数カウンタオーバフローフラグ 0：エラー発生回数カウンタオーバフローではない 1：エラー発生回数カウンタオーバフロー
7	TDCVF	送信遅延補正バイオレーションフラグ 0：送信遅延補正バイオレーションなし 1：送信遅延補正バイオレーション
6～0	TDCR[6:0]	送信遅延補正結果ステータスビット 送信遅延補正結果が読めます。

SOC[7:0] ビット

通信成功回数カウンタの値を示します。通信成功回数カウンタはエラーなしでメッセージの受信完了または送信完了が起こるとインクリメントされ、“FFH” に達すると、更新を停止します。ループバックモードのとき、このカウンタは 2 回インクリメントされます。

このビットは、RSCFDnCFDCmCTR レジスタの SOCCLR ビットに “1” を書き込むと “0” にクリアされます。チャネルリセットモード時は、“0” になります。

EOC[7:0] ビット

エラー発生回数カウンタの値を示します。エラー発生回数カウンタは、RSCFDnCFDCmFDCFG レジスタの EOCCFG[2:0] ビットに設定された条件に従って、エラー発生時にインクリメントされ、カウンタが “FFH” に達すると、更新が停止します。

このビットは、RSCFDnCFDCmCTR レジスタの EOCCLR ビットに “1” を書き込むと “0” にクリアされます。チャネルリセットモード時は、“0” になります。

SOCO フラグ

通信成功回数カウンタのオーバフローが発生したことを示すビットです。

SOC[7:0] ビットが “FFH” に達しているとき、メッセージの受信完了または送信完了が起こると “1” になります。チャネルリセットモード時は、“0” になります。

EOCO フラグ

エラー発生回数カウンタのオーバフローが発生したことを示すビットです。

EOC[7:0] ビットが “FFH” に達しているとき、RSCFDnCFDCmFDCFG レジスタの EOCCFG[2:0] ビットに設定された条件下で CAN バスエラーが検出されると “1” になります。チャネルリセットモード時は、“0” になります。

TDCVF フラグ

送信遅延補正のバイオレーションを示すビットです。

送信データはトランシーバのループ遅延によって遅延した受信 CAN バスレベルと比較されます。この遅延は温度のような物理的な要因によって変化します。TDCR[6:0] フラグはメッセージごとに更新されるため、一時的な最大遅延を確認することができません。

このビットは送信遅延補正が補正最大 3CANm ビットタイム –2fCAN を超えた場合、“1” になります（CANm ビットタイムはデータビットレートの値）。

チャネルリセットモード時は、“0” になります。

TDCR[6:0] フラグ

送信遅延補正結果を CAN クロック（fCAN）のクロックの倍数で示すビットです。

この結果は RSCFDnCFDCmFDCFG レジスタの TDCOC ビットおよび TDCO[6:0] ビットの設定に依存します。このフラグは、RSCFDnCFDCmFDCFG レジスタの TDCE ビットが “1”(送信遅延補正許可) で、TDCOC ビットが “0”(計測およびオフセット) の場合に、FDF ビットと res ビット間の立下りエッジのタイミングで更新されます。

チャネルリセットモード時は、“0” になります。

25.4.3.9　RSCFDnCFDCmFDCRC — チャネル CANFD CRC レジスタ（m = 0、1）

アクセス：RSCFDnCFDCmFDCRC レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCmFDCRCL、RSCFDnCFDCmFDCRCH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCmFDCRCLL、RSCFDnCFDCmFDCRCLH、RSCFDnCFDCmFDCRCHL、RSCFDnCFDCmFDCRCHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDCmFDCRC: <RSCFDn_base> + 0510_H + (20_H × m)
RSCFDnCFDCmFDCRCL: <RSCFDn_base> + 0510_H + (20_H × m)、
RSCFDnCFDCmFDCRCH: <RSCFDn_base> + 0512_H + (20_H × m)
RSCFDnCFDCmFDCRCLL: <RSCFDn_base> + 0510_H + (20_H × m)、
RSCFDnCFDCmFDCRCLH: <RSCFDn_base> + 0511_H + (20_H × m)、
RSCFDnCFDCmFDCRCHL: <RSCFDn_base> + 0512_H + (20_H × m)、
RSCFDnCFDCmFDCRCHH: <RSCFDn_base> + 0513_H + (20_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SCNT[3:0]				—	—	—	CRCREG[20:16]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRCREG[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.102　RSCFDnCFDCmFDCRC レジスタの内容

ビット	ビット名	機能
31～28	予約ビット	リードした場合はリセット後の値が読めます。
27～24	SCNT[3:0]	スタッフカウントビット FD フレーム中のスタッフカウントビット値が読めます。b25 ~ b27 は、送受信したフレームのスタッフビット数をモジュロ 8 変換し、クレイコード化した値です。b24 は b25 ~ b27 の偶数パリティ値です。
23～21	予約ビット	リードした場合はリセット後の値が読めます。
20～0	CRCREG [20:0]	CRC 演算データ（CRC 長 17 ビットまたは 21 ビット） 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。 CRC 長 17 ビットのとき、b20～b17 は“0”が読めます。

SCNT[3:0] フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージが CANFD フレームならば、CANFD フレームのスタッフカウントビット値が読めます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。このフラグは、CANFD フレームの CRC フィールドの 1 ビット目で更新されます。チャネルリセットモード時は、“0” になります。

CRCREG[20:0] フラグ

RSCFDnCFDCmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージが CANFD フレーム（CRC 長 17 ビットまたは 21 ビット）ならば、このフラグが更新され、メッセージを基に計算した CRC 値が読めます。メッセージの CRC 長が 17 ビットのとき、b20 ～ b17 は常に “0” が読めます。クラシカル CAN フレームを送受信したときは、RSCFDnCFDCmERFL レジスタの CRCREG[14:0] ビットが更新されます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。

チャネルリセットモード時は、“0” になります。

25.4.4　グローバル関連レジスタの詳細

25.4.4.1　SCFDnCFDGCFG — グローバルコンフィグレーションレジスタ

アクセス：RSCFDnCFDGCFGレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGCFGL、RSCFDnCFDGCFGHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGCFGLL、RSCFDnCFDGCFGLH、RSCFDnCFDGCFGHL、RSCFDnCFDGCFGHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGCFG: <RSCFDn_base> + 0084_H
RSCFDnCFDGCFGL: <RSCFDn_base> + 0084_H、RSCFDnCFDGCFGH: <RSCFDn_base> + 0086_H
RSCFDnCFDGCFGLL: <RSCFDn_base> + 0084_H、RSCFDnCFDGCFGLH: <RSCFDn_base> + 0085_H、
RSCFDnCFDGCFGHL: <RSCFDn_base> + 0086_H、RSCFDnCFDGCFGHH: <RSCFDn_base> + 0087_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]			TSSS	TSP[3:0]				—	—	CMPOC	DCS	MME	DRE	DCE	TPRI
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表25.103　RSCFDnCFDGCFGレジスタの内容

ビット	ビット名	機能
31～16	ITRCP[15:0]	インターバルタイマプリスケーラ設定ビット 設定値をMとするとpclkをM分周します。 インターバルタイマを使用する場合、“0000_H”を設定しないでください。
15～13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0：チャネル0通常ビットタイムクロック 0 0 1：チャネル1通常ビットタイムクロック 0 1 0：設定しないでください 0 1 1：設定しないでください 1 0 0：設定しないでください 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください
12	TSSS	タイムスタンプソース選択 0：pclk/2 注1 1：通常ビットタイムクロック
11～8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0：分周なし 0 0 0 1：2分周 0 0 1 0：4分周 0 0 1 1：8分周 0 1 0 0：16分周 0 1 0 1：32分周 0 1 1 0：64分周 0 1 1 1：128分周 1 0 0 0：256分周 1 0 0 1：512分周 1 0 1 0：1024分周 1 0 1 1：2048分周 1 1 0 0：4096分周 1 1 0 1：8192分周 1 1 1 0：16384分周 1 1 1 1：32768 分周

ビット	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CMPOC	ペイロードオーバフローモード選択ビット 0：メッセージは格納されない 1：メッセージは格納され、バッファサイズを超える分のペイロードは切り捨てられる
4	DCS	CANクロック源選択ビット注2 0：clkc 1：clk_xincan
3	MME	ミラー機能許可ビット 0：ミラー機能禁止 1：ミラー機能許可
2	DRE	DLC置換許可ビット 0：DLC置換禁止 1：DLC置換許可
1	DCE	DLCチェック許可ビット 0：DLCチェック禁止 1：DLCチェック許可
0	TPRI	送信優先順位選択ビット 0：ID優先 1：送信バッファ番号優先

注1.　タイムスタンプのカウントソースにpclk/2を設定するときは、TSBTCS[2:0]を“000_B”にしてください。
注2.　CANクロックの周波数の設定は、「25.1.3　クロック供給」を参照してください。

RSCFDnCFDGCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は**「25.8.3.1　インターバル送信機能」**を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが “1” のとき、タイムスタンプカウンタのクロック源となる通常ビットタイムクロックのチャネルの選択ができます。ただし、CANFD フレームを扱うチャネルは選択しないでください。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。クラシカル CAN フレームのみを扱うチャネルがない場合は、pclk を選択してください。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

CMPOC ビット

受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超えた場合の動作を選択します。

“0” のとき、ペイロードがオーバフローする受信メッセージはバッファに格納されません。

“1” のとき、ペイロードがオーバフローする受信メッセージはバッファに格納されます。このとき、バッファのペイロード格納サイズを超える分のペイロードは切り捨てられます。

バッファのペイロード格納サイズは以下のビットで設定します。

- 受信バッファ :RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビット
- 受信 FIFO バッファ :RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビット

- 送受信 FIFO バッファ :RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビット

DCS ビット

“0” のとき、clkc が CAN クロック（fCAN）のクロック源になります。
“1” のとき、clk_xincan が CAN クロック（fCAN）のクロック源になります。
CAN クロックの周波数の設定は、**「25.1.3　クロック供給」**を参照してください。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00H” が格納されます。
DCE ビットが “1”（DLC チェック許可）のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCFDnCFDGAFLP0_j レジスタの GAFLDLC[3:0] ビットを “0000B” にしてから、RSCFDnCFDGCFG レジスタの DCE ビットを “0” にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。
“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール（ISO11898-1 仕様）に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。
送信キューを使用している場合は、“0” に設定してください。

25.4.4.2　RSCFDnCFDGCTR — グローバル制御レジスタ

アクセス：RSCFDnCFDGCTRレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGCTRL、RSCFDnCFDGCTRHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGCTRLL、RSCFDnCFDGCTRLH、RSCFDnCFDGCTRHL、RSCFDnCFDGCTRHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGCTR: <RSCFDn_base> + 0088_H
RSCFDnCFDGCTRL: <RSCFDn_base> + 0088_H、RSCFDnCFDGCTRH: <RSCFDn_base> + $008A_H$
RSCFDnCFDGCTRLL: <RSCFDn_base> + 0088_H、RSCFDnCFDGCTRLH: <RSCFDn_base> + 0089_H、
RSCFDnCFDGCTRHL: <RSCFDn_base> + $008A_H$、RSCFDnCFDGCTRHH: <RSCFDn_base> + $008B_H$

リセット後の値：$0000\ 0005_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CMPOFIE	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W：	0	0	0	0	R/W	R/W	R/W	R/W	0	0	0	0	0	R/W	R/W	R/W

表25.104　RSCFDnCFDGCTRレジスタの内容

ビット	ビット名	機能
31～17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRSTビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	CMPOFIE	ペイロードオーバフロー割り込み許可ビット 0：ペイロードオーバフロー割り込み禁止 1：ペイロードオーバフロー割り込み許可
10	THLEIE	送信履歴バッファオーバフロー割り込み許可ビット 0：送信履歴バッファオーバフロー割り込み禁止 1：送信履歴バッファオーバフロー割り込み許可
9	MEIE	FIFOメッセージロスト割り込み許可ビット 0：FIFOメッセージロスト割り込み禁止 1：FIFOメッセージロスト割り込み許可
8	DEIE	DLCエラー割り込み許可ビット 0：DLCエラー割り込み禁止 1：DLCエラー割り込み許可
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0：グローバルストップモードではない 1：グローバルストップモード
1、0	GMDC[1:0]	グローバルモード選択ビット b1　b0 0　0：グローバル動作モード 0　1：グローバルリセットモード 1　0：グローバルテストモード 1　1：設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1” にすると RSCFDnCFDGTSC レジスタが “0000H” になります。

CMPOFIE ビット

CMPOFIE ビットを “1” に設定し、RSCFDnCFDGERFL レジスタの CMPOF フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

THLEIE ビット

THLEIE ビットを “1” に設定し、RSCFDnCFDGERFL レジスタの THLES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを “1” に設定し、RSCFDnCFDGERFL レジスタの MES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを “1” に設定し、RSCFDnCFDGERFL レジスタの DEF フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1” にすると、グローバルストップモードになります。
“0” にすると、グローバルストップモードは解除されます。
このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0] ビット

RS-CANFD モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、**「25.6.1　グローバルモード」**を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを “1” にすることで遷移します。

25.4.4.3　RSCFDnCFDGSTS — グローバルステータスレジスタ

アクセス：RSCFDnCFDGSTSレジスタは、32ビット単位でリードのみ可能です。
RSCFDnCFDGSTSL、RSCFDnCFDGSTSHレジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDGSTSLL、RSCFDnCFDGSTSLH、RSCFDnCFDGSTSHL、RSCFDnCFDGSTSHHレジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDGSTS: <RSCFDn_base> + $008C_H$
RSCFDnCFDGSTSL: <RSCFDn_base> + $008C_H$、RSCFDnCFDGSTSH: <RSCFDn_base> + $008E_H$
RSCFDnCFDGSTSLL: <RSCFDn_base> + $008C_H$、RSCFDnCFDGSTSLH: <RSCFDn_base> + $008D_H$、
RSCFDnCFDGSTSHL: <RSCFDn_base> + $008E_H$、RSCFDnCFDGSTSHH: <RSCFDn_base> + $008F_H$

リセット後の値：$0000\ 000D_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.105　RSCFDnCFDGSTSレジスタの内容

ビット	ビット名	機能
31～4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN用RAMクリアステータスフラグ 0：CAN用RAMクリア完了 1：CAN用RAMクリア中
2	GSLPSTS	グローバルストップステータスフラグ 0：グローバルストップモードではない 1：グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0：グローバルテストモードではない 1：グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0：グローバルリセットモードではない 1：グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。
MCU のリセット後、“1” になります。CAN 用 RAM クリアが完了すると “0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると “0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると “0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると “1” になります。

グローバルリセットモード以外のモードに遷移すると “0” になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1” のままです。

25.4.4.4　RSCFDnCFDGERFL — グローバルエラーフラグレジスタ

アクセス：RSCFDnCFDGERFLレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGERFLL、RSCFDnCFDGERFLHレジスタは、16ビット単位でリードリード／ライト可能です。
RSCFDnCFDGERFLLL、RSCFDnCFDGERFLLH、RSCFDnCFDGERFLHL、RSCFDnCFDGERFLHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGERFL: <RSCFDn_base> + 0090_H
RSCFDnCFDGERFLL: <RSCFDn_base> + 0090_H、RSCFDnCFDGERFLH: <RSCFDn_base> + 0092_H
RSCFDnCFDGERFLLL: <RSCFDn_base> + 0090_H、RSCFDnCFDGERFLLH: <RSCFDn_base> + 0091_H、
RSCFDnCFDGERFLHL: <RSCFDn_base> + 0092_H、RSCFDnCFDGERFLHH: <RSCFDn_base> + 0093_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R	R/W 注1

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.106　RSCFDnCFDGERFLレジスタの内容

ビット	ビット名	機能
31～14、7、6、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～8、5	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
3	CMPOF	ペイロードオーバフローフラグ 0：ペイロードオーバフローなし 1：ペイロードオーバフロー
2	THLES	送信履歴バッファオーバフローステータスフラグ 0：送信履歴バッファオーバフローなし 1：送信履歴バッファオーバフロー
1	MES	FIFOメッセージロストステータスフラグ 0：FIFOメッセージロストエラーなし 1：FIFOメッセージロストエラー
0	DEF	DLCエラーフラグ 0：DLCエラーなし 1：DLCエラー

RSCFDnCFDGERFL レジスタのフラグは、グローバルリセットモード時、“0” になります。

CMPOF フラグ

チャネル m（m = 0, 1）のいずれか 1 つでもペイロードオーバフローが発生すると、CMPOF フラグは “1” になります。プログラムで “0” を書くことで、“0” にできます。

THLES フラグ

RSCFDnCFDTHLSTSm レジスタ（m = 0, 1）の THLELT フラグのいずれか 1 つでも “1” になると、THLES フラグは “1” になります。

全チャネルの THLELT フラグを “0” にすると、THLES フラグは “0” になります。

MES フラグ

RSCFDnCFDRFSTSx レジスタ（x = 0 ~ 7）の RFMLT フラグまたは RSCFDnCFDCFSTSk レジスタ（k = 0 ~ 5）の CFMLT フラグのいずれか 1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1” になります。プログラムで “0” を書くことで、“0” にできます。

備考 . 本レジスタのフラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

25.4.4.5　RSCFDnCFDGTSC — グローバルタイムスタンプカウンタレジスタ

アクセス：RSCFDnCFDGTSCレジスタは、32ビット単位でリードのみ可能です。
RSCFDnCFDGTSCL、RSCFDnCFDGTSCHレジスタは、16ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDGTSC: <RSCFDn_base> + 0094_H
RSCFDnCFDGTSCL: <RSCFDn_base> + 0094_H、RSCFDnCFDGTSCH: <RSCFDn_base> + 0096_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.107　RSCFDnCFDGTSCレジスタの内容

ビット	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値：0000_H～$FFFF_H$

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。また、送信履歴バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCFDnCFDGCFG レジスタの TSSS ビットが “0”（pclk）の場合：
  グローバル動作モードへ遷移したときに、カウント開始。
  グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1”（CANm 通常ビットタイムクロック）の場合：
  対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。
  対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

25.4.4.6　RSCFDnCFDGTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス：RSCFDnCFDGTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDGTINTSTS0L、RSCFDnCFDGTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDGTINTSTS0LL、RSCFDnCFDGTINTSTS0LH、RSCFDnCFDGTINTSTS0HL、RSCFDnCFDGTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDGTINTSTS0: <RSCFDn_base> + 0460_H
RSCFDnCFDGTINTSTS0L: <RSCFDn_base> + 0460_H、RSCFDnCFDGTINTSTS0H: <RSCFDn_base> + 0462_H
RSCFDnCFDGTINTSTS0LL: <RSCFDn_base> + 0460_H、RSCFDnCFDGTINTSTS0LH: <RSCFDn_base> + 0461_H、
RSCFDnCFDGTINTSTS0HL: <RSCFDn_base> + 0462_H、RSCFDnCFDGTINTSTS0HH: <RSCFDn_base> + 0463_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R注1	R注1	R注1	R注1	R注1	R	R	R	R注1	R注1	R注1	R注1	R注1

注1.　本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

表25.108　RSCFDnCFDGTINTSTS0 レジスタの内容

ビット	ビット名	機能
31 ～13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャネル1送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
11	CFTIF1	チャネル1送受信FIFO送信割り込みステータスフラグ 0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり
10	TQIF1	チャネル1送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
9	TAIF1	チャネル1送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
8	TSIF1	チャネル1送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
7～5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャネル0送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
3	CFTIF0	チャネル0送受信FIFO送信割り込みステータスフラグ 0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり
2	TQIF0	チャネル0送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TAIF0	チャネル0送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり

ビット	ビット名	機能
0	TSIF0	チャネル0送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり

TSIFm ビット

RSCFDnCFDTMIECy レジスタの TMIEp ビットが “1”（送信バッファ割り込みが許可）、かつ対応する RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “10B”（送信完了、アボート要求なし）、または “11B”（送信完了、アボート要求あり）になると、TSIFm ビットは “1” になります。

TSIFm が “1” になる条件が成立している TMTRF[1:0] フラグを全て “00B” にすると、このフラグは “0” になります。また TMIEp ビットを “0” にすることでも、このフラグは “0” になります。

TAIFm ビット

RSCFDnCFDCmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）、かつ RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “01B”（送信アボート完了）になると、TAIFm ビットは “1” になります。

送信アボートを完了した TMTRF[1:0] フラグを全て “00B” にすると、このフラグは “0” になります。

TQIFm ビット

RSCFDnCFDTXQCCm レジスタの TXQIE ビットが “1”（送信キュー割り込み許可）、かつ RSCFDnCFDTXQSTSm レジスタの TXQIF が “1”（送信キュー割り込み要求あり）になると TQIFm ビットは “1” になります。

RSCFDnCFDTXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット

RSCFDnCFDCFCCk レジスタの CFTXIE ビットが “1”（送受信 FIFO 送信割り込み許可）、かつ RSCFDnCFDCFSTSk レジスタの CFTXIF ビットが “1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット

RSCFDnCFDTHLCCm レジスタの THLIE ビットが “1”（送信履歴割り込み許可）、かつ RSCFDnCFDTHLSTSm レジスタの THLIF ビットが “1”（送信履歴割り込み要求あり）になると、THIFm ビットは “1” になります。

RSCFDnCFDTHLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

25.4.4.7　RSCFDnCFDGFDCFG — グローバル FD コンフィグレーションレジスタ

アクセス：RSCFDnCFDGFDCFG レジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGFDCFG L、RSCFDnCFDGFDCFG H レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGFDCFG LL、RSCFDnCFDGFDCFG LH、RSCFDnCFDGFDCFG HL、RSCFDnCFDGFDCFG HH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGFDCFG: <RSCFDn_base> + 0474_H
RSCFDnCFDGFDCFG L: <RSCFDn_base> + 0474_H、RSCFDnCFDGFDCFG H: <RSCFDn_base> + 0476_H
RSCFDnCFDGFDCFG LL: <RSCFDn_base> + 0474_H、RSCFDnCFDGFDCFG LH: <RSCFDn_base> + 0475_H、
RSCFDnCFDGFDCFG HL: <RSCFDn_base> + 0476_H、RSCFDnCFDGFDCFG HH: <RSCFDn_base> + 0477_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	RPED
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.109　RSCFDnCFDGFDCFG レジスタの内容

ビット	ビット名	機能
31 ～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TSCCFG[1:0]	タイムスタンプキャプチャ設定ビット b9 b8 0　0：SOF ビットのサンプルポイントでキャプチャ 0　1：有効なフレーム送受信完了でキャプチャ 1　0：res ビットのサンプルポイントでキャプチャ注1 1　1：設定しないでください
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RPED	プロトコルエクセプションイベント検出禁止ビット 0：プロトコルエクセプションイベント検出許可 1：プロトコルエクセプションイベント検出禁止

注 1.　クラシカル CAN フレーム送受信の場合は、タイムキャプチャポイントは SOF ビットのサンプルポイントとなります。

TSCCFG ビット

タイムスタンプ値のキャプチャポイントを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

PRED ビット

“1” にするとプロトコルエクセプションイベントの検出が禁止されます。このビットが、“1” のとき、プロトコルエクセプションイベントを検出した場合は、フォームエラーと判断してエラーフレームを出力します。このビットはグローバルリセットモードでのみ書き換えてください。

25.4.5　受信ルール関連レジスタの詳細

25.4.5.1　RSCFDnCFDGAFLECTR — 受信ルールエントリ制御レジスタ

アクセス：RSCFDnCFDGAFLECTR レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLECTRL、RSCFDnCFDGAFLECTRH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLECTRLL、RSCFDnCFDGAFLECTRLH、RSCFDnCFDGAFLECTRHL、RSCFDnCFDGAFLECTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGAFLECTR: <RSCFDn_base> + 0098_H
RSCFDnCFDGAFLECTRL: <RSCFDn_base> + 0098_H、RSCFDnCFDGAFLECTRH: <RSCFDn_base> + $009A_H$
RSCFDnCFDGAFLECTRLL: <RSCFDn_base> + 0098_H、RSCFDnCFDGAFLECTRLH: <RSCFDn_base> + 0099_H、
RSCFDnCFDGAFLECTRHL: <RSCFDn_base> + $009A_H$、RSCFDnCFDGAFLECTRHH: <RSCFDn_base> + $009B_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 25.110　RSCFDnCFDGAFLECTR レジスタの内容

ビット	ビット名	機能
31 ～ 9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0：受信ルールテーブル書き込み禁止 1：受信ルールテーブル書き込み許可
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4 ～ 0	AFLPN[4:0]	受信ルールテーブルページ番号設定ビット ページ 0（00000_B）からページ 7（00111_B）の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ “1” にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“00000_B” ～ “00111_B” 以外の値を設定しないでください。

25.4.5.2　RSCFDnCFDGAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス：RSCFDnCFDGAFLCFG0 レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLCFG0L、RSCFDnCFDGAFLCFG0H レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLCFG0LL、RSCFDnCFDGAFLCFG0LH、RSCFDnCFDGAFLCFG0HL、RSCFDnCFDGAFLCFG0HH レジスタは、8 ビット単位でリード／ライト可能です

アドレス：RSCFDnCFDGAFLCFG0: <RSCFDn_base> + $009C_H$
RSCFDnCFDGAFLCFG0L: <RSCFDn_base> + $009C_H$、RSCFDnCFDGAFLCFG0H: <RSCFDn_base> + $009E_H$
RSCFDnCFDGAFLCFG0LL: <RSCFDn_base> + $009C_H$、RSCFDnCFDGAFLCFG0LH: <RSCFDn_base> + $009D_H$、
RSCFDnCFDGAFLCFG0HL: <RSCFDn_base> + $009E_H$、RSCFDnCFDGAFLCFG0HH: <RSCFDn_base> + $009F_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.111　RSCFDnCFDGAFLCFG0 レジスタの内容

ビット	ビット名	機能
31 ～ 24	RNC0[7:0]	チャネル 0 用ルール数 チャネル 0 の受信ルール数を設定してください。
23 ～ 16	RNC1[7:0]	チャネル 1 用ルール数 チャネル 1 の受信ルール数を設定してください。
15 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCFDnCFDGAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 ×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 128 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャネル 0 の受信ルールテーブルに登録するルール数を設定します。
00_H ～ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャネル 1 の受信ルールテーブルに登録するルール数を設定します。
00_H ～ 80_H 以外の値を設定しないでください。

25.4.5.3　RSCFDnCFDGAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）

アクセス：RSCFDnCFDGAFLIDj レジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLIDjL、RSCFDnCFDGAFLIDjH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLIDjLL、RSCFDnCFDGAFLIDjLH、RSCFDnCFDGAFLIDjHL、RSCFDnCFDGAFLIDjHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGAFLIDj: <RSCFDn_base> + 1000_H + (10_H × j)
RSCFDnCFDGAFLIDjL: <RSCFDn_base> + 1000_H + (10_H × j)、
RSCFDnCFDGAFLIDjH: <RSCFDn_base> + 1002_H + (10_H × j)
RSCFDnCFDGAFLIDjLL: <RSCFDn_base> + 1000_H + (10_H × j)、
RSCFDnCFDGAFLIDjLH: <RSCFDn_base> + 1001_H + (10_H × j)、
RSCFDnCFDGAFLIDjHL: <RSCFDn_base> + 1002_H + (10_H × j)、
RSCFDnCFDGAFLIDjHH: <RSCFDn_base> + 1003_H + (10_H × j)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.112　RSCFDnCFDGAFLIDj レジスタの内容

ビット	ビット名	機能
31	GAFLIDE	IDE選択ビット 0：標準ID 1：拡張ID
30	GAFLRTR	RTR選択ビット 0：データフレーム 1：リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0：他のCANノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時
28～0	GAFLID [28:0]	ID設定ビット 受信ルールのIDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b28～b11は“0”にしてください

RSCFDnCFDGAFLIDj レジスタは、RSCFDnCFDGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に “1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

25.4.5.4　RSCFDnCFDGAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）

アクセス：RSCFDnCFDGAFLMjレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLMjL、RSCFDnCFDGAFLMjHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLMjLL、RSCFDnCFDGAFLMjLH、RSCFDnCFDGAFLMjHL、RSCFDnCFDGAFLMjHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGAFLMj: <RSCFDn_base> + 1004_H + (10_H × j)
RSCFDnCFDGAFLMjL: <RSCFDn_base> + 1004_H + (10_H × j)、
RSCFDnCFDGAFLMjH: <RSCFDn_base> + 1006_H + (10_H × j)
RSCFDnCFDGAFLMjLL: <RSCFDn_base> + 1004_H + (10_H × j)、
RSCFDnCFDGAFLMjLH: <RSCFDn_base> + 1005_H + (10_H × j)、
RSCFDnCFDGAFLMjHL: <RSCFDn_base> + 1006_H + (10_H × j)、
RSCFDnCFDGAFLMjHH: <RSCFDn_base> + 1007_H + (10_H × j)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDEM	GAFLRTRM	—	GAFLIDM[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.113　RSCFDnCFDGAFLMjレジスタの内容

ビット	ビット名	機能
31	GAFLIDEM	IDEマスクビット 0：IDEビットを比較しない 1：IDEビットを比較する
30	GAFLRTRM	RTRマスクビット 0：RTRビットを比較しない 1：RTRビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28～0	GAFLIDM[28:0]	IDマスクビット 0：対応するIDビットを比較しない 1：対応するIDビットを比較する

RSCFDnCFDGAFLMj レジスタは、RSCFDnCFDGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCFDnCFDGAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。
“0” にすると、 すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを “0” にする場合は、GAFLIDM[28:0] ビットをすべて “0” にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

25.4.5.5　RSCFDnCFDGAFLP0_j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）

アクセス：RSCFDnCFDGAFLP0_jレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLP0_jL、RSCFDnCFDGAFLP0_jHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLP0_jLL、RSCFDnCFDGAFLP0_jLH、RSCFDnCFDGAFLP0_jHL、RSCFDnCFDGAFLP0_jHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGAFLP0_j: <RSCFDn_base> + 1008_H + (10_H × j)
RSCFDnCFDGAFLP0_jL: <RSCFDn_base> + 1008_H + (10_H × j)、
RSCFDnCFDGAFLP0_jH: <RSCFDn_base> + $100A_H$ + (10_H × j)
RSCFDnCFDGAFLP0_jLL: <RSCFDn_base> + 1008_H + (10_H × j)、
RSCFDnCFDGAFLP0_jLH: <RSCFDn_base> + 1009_H + (10_H × j)、
RSCFDnCFDGAFLP0_jHL: <RSCFDn_base> + $100A_H$ + (10_H × j)、
RSCFDnCFDGAFLP0_jHH: <RSCFDn_base> + $100B_H$ + (10_H × j)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC[3:0]				GAFLPTR[11:0]											
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLRMV	GAFLRMDP[6:0]							—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表25.114　RSCFDnCFDGAFLP0_jレジスタの内容

ビット	ビット名	機能
31 ～28	GAFLDLC [3:0]	受信ルールDLC設定ビット
27 ～16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12ビットのラベル情報を設定

b31 b30 b29 b28	クラシカル CANフレーム	CANFDフレーム
0 0 0 0	0データバイト	
0 0 0 1	1データバイト	
0 0 1 0	2データバイト	
0 0 1 1	3データバイト	
0 1 0 0	4データバイト	
0 1 0 1	5データバイト	
0 1 1 0	6データバイト	
0 1 1 1	7データバイト	
1 0 0 0	8データバイト	
1 0 0 1	8データバイト	12データバイト
1 0 1 0		16データバイト
1 0 1 1		20データバイト
1 1 0 0		24データバイト
1 1 0 1		32データバイト
1 1 1 0		48データバイト
1 1 1 1		64データバイト

ビット	ビット名	機能
15	GAFLRMV	受信バッファ許可ビット 0：受信バッファを使用しない 1：受信バッファを使用する
14 ～ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSCFDnCFDGAFLP0_j レジスタは、RSCFDnCFDGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000B” を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1” にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを “1” にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCFDnCFDRMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

25.4.5.6　RSCFDnCFDGAFLP1_j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）

アクセス：RSCFDnCFDGAFLP1_jレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLP1_jL、RSCFDnCFDGAFLP1_jH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGAFLP1_jLL、RSCFDnCFDGAFLP1_jLH、RSCFDnCFDGAFLP1_jHL、RSCFDnCFDGAFLP1_jHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGAFLP1_j: <RSCFDn_base> + $100C_H$ + (10_H × j)
RSCFDnCFDGAFLP1_jL: <RSCFDn_base> + $100C_H$ + (10_H × j)、
RSCFDnCFDGAFLP1_jH: <RSCFDn_base> + $100E_H$ + (10_H × j)
RSCFDnCFDGAFLP1_jLL: <RSCFDn_base> + $100C_H$ + (10_H × j)、
RSCFDnCFDGAFLP1_jLH: <RSCFDn_base> + $100D_H$ + (10_H × j)、
RSCFDnCFDGAFLP1_jHL: <RSCFDn_base> + $100E_H$ + (10_H × j)、
RSCFDnCFDGAFLP1_jHH: <RSCFDn_base> + $100F_H$ + (10_H × j)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	GAFLFDP[13:0]													
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.115　RSCFDnCFDGAFLP1_jレジスタの内容

ビット	ビット名	機能
31 ～14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13 ～8	GAFLFDP [13:8]	送受信FIFOバッファ k選択ビット （ビット位置-8が対象となる送受信FIFOバッファ番号kになります） 0：送受信FIFOバッファを選択しない 1：送受信FIFOバッファを選択する
7 ～0	GAFLFDP [7:0]	受信FIFOバッファ x選択ビット （ビット位置が対象となる受信FIFOバッファ番号xになります） 0：受信FIFOバッファを選択しない 1：受信FIFOバッファを選択する

RSCFDnCFDGAFLP1_j レジスタは、RSCFDnCFDGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLFDP[13:0] ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCFDnCFDGAFLP0_j レジスタの GAFLRMV ビットを “1”（受信バッファにメッセージを格納する）にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファのみ選択できます。

25.4.6　受信バッファ関連レジスタの詳細

25.4.6.1　RSCFDnCFDRMNB — 受信バッファナンバレジスタ

アクセス：RSCFDnCFDRMNBレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDRMNBL、RSCFDnCFDRMNBHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDRMNBLL、RSCFDnCFDRMNBLH、RSCFDnCFDRMNBHL、RSCFDnCFDRMNBHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDRMNB: <RSCFDn_base> + $00A4_H$
RSCFDnCFDRMNBL: <RSCFDn_base> + $00A4_H$、RSCFDnCFDRMNBH: <RSCFDn_base> + $00A6_H$
RSCFDnCFDRMNBLL: <RSCFDn_base> + $00A4_H$、RSCFDnCFDRMNBLH: <RSCFDn_base> + $00A5_H$、
RSCFDnCFDRMNBHL: <RSCFDn_base> + $00A6_H$、RSCFDnCFDRMNBHH: <RSCFDn_base> + $00A7_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMPLS[1:0]		NRXMB[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.116　RSCFDnCFDRMNBレジスタの内容

ビット	ビット名	機能
31～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	RMPLS[1:0]	受信バッファペイロード格納サイズ選択ビット b9　b8 0　0：8バイト 0　1：12バイト 1　0：16バイト 1　1：20バイト
7～0	NRXMB[7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0～32の範囲で設定してください。

RSCFDnCFDRMNBレジスタはグローバルリセットモードでのみ書き換えてください。

RMPLS[1:0] ビット

受信バッファに格納できるペイロードの上限サイズを選択します。

NRXMB[7:0] ビット

RS-CANFDモジュール全体の受信バッファ数を設定します。最大値は、16×（チャネル数）です。
“0”を設定すると、受信バッファは使用できません。

25.4.6.2　RSCFDnCFDRMNDy — 受信バッファ新データレジスタ（y = 0）

アクセス：RSCFDnCFDRMNDyレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDRMNDyL、RSCFDnCFDRMNDyHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDRMNDyLL、RSCFDnCFDRMNDyLH、RSCFDnCFDRMNDyHL、RSCFDnCFDRMNDyHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDRMNDy: <RSCFDn_base> + $00A8_H$ + (04_H × y)
RSCFDnCFDRMNDyL: <RSCFDn_base> + $00A8_H$ + (04_H × y)、
RSCFDnCFDRMNDyH: <RSCFDn_base> + $00AA_H$ + (04_H × y)
RSCFDnCFDRMNDyLL: <RSCFDn_base> + $00A8_H$ + (04_H × y)、
RSCFDnCFDRMNDyLH: <RSCFDn_base> + $00A9_H$ + (04_H × y)、
RSCFDnCFDRMNDyHL: <RSCFDn_base> + $00AA_H$ + (04_H × y)、
RSCFDnCFDRMNDyHH: <RSCFDn_base> + $00AB_H$ + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.117　RSCFDnCFDRMNDyレジスタの内容

ビット	ビット名	機能
31～16	RMNSq	受信バッファ受信完了フラグq（q = y × 32 + 31～y × 32 + 16） 0：受信バッファqに新しいメッセージなし 1：受信バッファqに新しいメッセージあり
15～0	RMNSq	受信バッファ受信完了フラグq（q = y × 32 + 15～y × 32 + 0） 0：受信バッファqに新しいメッセージなし 1：受信バッファqに新しいメッセージあり

RSCFDnCFDRMNDyレジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSqフラグ（q = 0 ~ 31）

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、プログラムで“0”を書いてください。書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。メッセージ格納中は“0”にできません。メッセージを格納する時間は受信バッファの格納ペイロードサイズによって異なり、RSCFDnCFDRMNBレジスタのRMPLS[1:0]ビットが“00_B”（8バイト）のときはpclkの12クロック分、RMPLS[1:0]ビットが“11_B”（20バイト）のときはpclkの18クロック分です（格納ペイロードサイズ4バイトあたりpclkの2クロック分）。

グローバルリセットモード時、“0”になります。

25.4.6.3　RSCFDnCFDRMIDq — 受信バッファ ID レジスタ（q = 0 ~ 31）

アクセス：RSCFDnCFDRMIDq レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMIDqL、RSCFDnCFDRMIDqH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMIDqLL、RSCFDnCFDRMIDqLH、RSCFDnCFDRMIDqHL、RSCFDnCFDRMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDRMIDq: <RSCFDn_base> + 2000_H + (20_H × q)
RSCFDnCFDRMIDqL: <RSCFDn_base> + 2000_H + (20_H × q)、
RSCFDnCFDRMIDqH: <RSCFDn_base> + 2002_H + (20_H × q)
RSCFDnCFDRMIDqLL: <RSCFDn_base> + 2000_H + (20_H × q)、
RSCFDnCFDRMIDqLH: <RSCFDn_base> + 2001_H + (20_H × q)、
RSCFDnCFDRMIDqHL: <RSCFDn_base> + 2002_H + (20_H × q)、
RSCFDnCFDRMIDqHH: <RSCFDn_base> + 2003_H + (20_H × q)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.118　RSCFDnCFDRMIDq レジスタの内容

ビット	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RMRTR	受信バッファ RTR／RRS ビット • 受信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム • 受信メッセージが CANFD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ～ 0	RMID[28:0]	受信バッファ ID データ 受信メッセージの標準 ID／拡張 ID が読めます。 標準 ID の場合は、b10 ～ b0 を読んでください。b28 ～ b11 は“0”が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RMRTR ビット

受信したメッセージがクラシカル CAN フレームのとき、受信バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。受信したメッセージが CANFD フレームのときはメッセージの RRS ビット値を示します。

RMID[28:0] ビット

受信バッファに格納されたメッセージの ID を示します。

25.4.6.4　RSCFDnCFDRMPTRq — 受信バッファポインタレジスタ（q = 0 ~ 31）

アクセス：RSCFDnCFDRMPTRq レジスタは、32ビット単位でリードのみ可能です。
RSCFDnCFDRMPTRqL、RSCFDnCFDRMPTRqH レジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDRMPTRqLL、RSCFDnCFDRMPTRqLH、RSCFDnCFDRMPTRqHL、RSCFDnCFDRMPTRqHH レジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDRMPTRq: <RSCFDn_base> + 2004_H + (20_H × q)
RSCFDnCFDRMPTRqL: <RSCFDn_base> + 2004_H + (20_H × q)、
RSCFDnCFDRMPTRqH: <RSCFDn_base> + 2006_H + (20_H × q)
RSCFDnCFDRMPTRqLL: <RSCFDn_base> + 2004_H + (20_H × q)、
RSCFDnCFDRMPTRqLH: <RSCFDn_base> + 2005_H + (20_H × q)、
RSCFDnCFDRMPTRqHL: <RSCFDn_base> + 2006_H + (20_H × q)、
RSCFDnCFDRMPTRqHH: <RSCFDn_base> + 2007_H + (20_H × q)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC[3:0]				RMPTR[11:0]											
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.119　RSCFDnCFDRMPTRq レジスタの内容

<table>
<tr><th>ビット</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31 ～28</td><td>RMDLC
[3:0]</td><td>受信バッファ DLCデータ
<table>
<tr><th>b31 b30 b29 b28</th><th>クラシカル
CANフレーム</th><th>CANFDフレーム</th></tr>
<tr><td>0 0 0 0</td><td colspan="2">0データバイト</td></tr>
<tr><td>0 0 0 1</td><td colspan="2">1データバイト</td></tr>
<tr><td>0 0 1 0</td><td colspan="2">2データバイト</td></tr>
<tr><td>0 0 1 1</td><td colspan="2">3データバイト</td></tr>
<tr><td>0 1 0 0</td><td colspan="2">4データバイト</td></tr>
<tr><td>0 1 0 1</td><td colspan="2">5データバイト</td></tr>
<tr><td>0 1 1 0</td><td colspan="2">6データバイト</td></tr>
<tr><td>0 1 1 1</td><td colspan="2">7データバイト</td></tr>
<tr><td>1 0 0 0</td><td colspan="2">8データバイト</td></tr>
<tr><td>1 0 0 1</td><td rowspan="9">8データバイト</td><td>12データバイト</td></tr>
<tr><td>1 0 1 0</td><td>16データバイト</td></tr>
<tr><td>1 0 1 1</td><td>20データバイト</td></tr>
<tr><td>1 1 0 0</td><td>24データバイト</td></tr>
<tr><td>1 1 0 1</td><td>32データバイト</td></tr>
<tr><td>1 1 1 0</td><td>48データバイト</td></tr>
<tr><td>1 1 1 1</td><td>64データバイト</td></tr>
</table></td></tr>
<tr><td>27 ～16</td><td>RMPTR
[11:0]</td><td>受信バッファラベルデータ
受信メッセージのラベル情報が読めます。</td></tr>
</table>

ビット	ビット名	機能
15 ～ 0	RMTS [15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0] ビット

受信バッファに格納されたメッセージのデータ長を示します。受信バッファに格納されるペイロードのバイト数は RSCFDnCFDRMNB レジスタの RMPLS[1:0] ビットに従います。

RMPTR[11:0] ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0] ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

25.4.6.5　RSCFDnCFDRMFDSTSq — 受信バッファ CANFD ステータスレジスタ（q = 0 ~ 31）

アクセス：RSCFDnCFDRMFDSTSq レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRMFDSTSqL、RSCFDnCFDRMFDSTSqH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRMFDSTSqLL、RSCFDnCFDRMFDSTSqLH、RSCFDnCFDRMFDSTSqHL、RSCFDnCFDRMFDSTSqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDRMFDSTSq: <RSCFDn_base> + 2008_H + (20_H × q)
RSCFDnCFDRMFDSTSqL: <RSCFDn_base> + 2008_H + (20_H × q)、
RSCFDnCFDRMFDSTSqH: <RSCFDn_base> + $200A_H$ + (20_H × q)
RSCFDnCFDRMFDSTSqLL: <RSCFDn_base> + 2008_H + (20_H × q)、
RSCFDnCFDRMFDSTSqLH: <RSCFDn_base> + 2009_H + (20_H × q)、
RSCFDnCFDRMFDSTSqHL: <RSCFDn_base> + $200A_H$ + (20_H × q)、
RSCFDnCFDRMFDSTSqHH: <RSCFDn_base> + $200B_H$ + (20_H × q)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RMFDF	RMBRS	RMESI
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.120　RSCFDnCFDRMFDSTSq レジスタの内容

ビット	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます
2	RMFDF	FDF ビット 0：クラシカル CAN フレーム 1：CANFD フレーム
1	RMBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	RMESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

RMFDF ビット

受信バッファに格納されたメッセージの FD フォーマット（クラシカル CAN フレームまたは CANFD フレーム）を示します。

RMBRS ビット

RMFDF ビットが “1” の場合は、受信バッファに格納されたメッセージの BRS ビット値を示します。RMFDF ビットが “0” の場合は、常に “0” が読めます。

RMESI ビット

RMFDF ビットが “1” の場合は、受信バッファに格納されたメッセージの ESI ビット値を示します。RMFDF ビットが “0” の場合は、常に “0” が読めます。

25.4.6.6　RSCFDnCFDRMDFb_q — 受信バッファデータフィールドbレジスタ（b = 0 ~ 4, q = 0 ~ 31）

アクセス：RSCFDnCFDRMDFb_qレジスタは、32ビット単位でリードのみ可能です。
RSCFDnCFDRMDFb_qL、RSCFDnCFDRMDFb_qHレジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDRMDFb_qLL、RSCFDnCFDRMDFb_qLH、RSCFDnCFDRMDFb_qHL、RSCFDnCFDRMDFb_qHHレジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDRMDFb_q: <RSCFDn_base> + $200C_H$ + (04_H × b) + (20_H × q)
RSCFDnCFDRMDFb_qL: <RSCFDn_base> + $200C_H$ + (04_H × b) + (20_H × q)、
RSCFDnCFDRMDFb_qH: <RSCFDn_base> + $200E_H$ + (04_H × b) + (20_H × q)
RSCFDnCFDRMDFb_qLL: <RSCFDn_base> + $200C_H$ + (04_H × b) + (20_H × q)、
RSCFDnCFDRMDFb_qLH: <RSCFDn_base> + $200D_H$ + (04_H × b) + (20_H × q)、
RSCFDnCFDRMDFb_qHL: <RSCFDn_base> + $200E_H$ + (04_H × b) + (20_H × q)、
RSCFDnCFDRMDFb_qHH: <RSCFDn_base> + $200F_H$ + (04_H × b) + (20_H × q)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB4 × b + 3 [7:0]								RMDB4 × b + 2 [7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB4 × b + 1 [7:0]								RMDB4 × b + 0 [7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.121　RSCFDnCFDRMDFb_qレジスタの内容

ビット	ビット名	機能
31 ～24	RMDB4 × b + 3 [7:0]	受信バッファデータバイト4 × b + 3 受信バッファデータバイト4 × b + 2 受信バッファデータバイト4 × b + 1 受信バッファデータバイト4 × b + 0 受信バッファに格納されたメッセージのデータが読めます。
23 ～16	RMDB4 × b + 2 [7:0]	
15 ～8	RMDB4 × b + 1 [7:0]	
7 ～0	RMDB4 × b + 0 [7:0]	

RSCFDnCFDRMPTRqレジスタのRMDLC[3:0]ビットの値が受信バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

受信バッファのペイロード格納サイズはRSCFDnCFDRMNBレジスタのRMPLS[1:0]ビットで指定します。指定サイズを超える領域に対応するRSCFDnCFDRMDFb_qレジスタは読み書きしないでください。

25.4.7　受信 FIFO バッファ関連レジスタの詳細

25.4.7.1　RSCFDnCFDRFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）

アクセス：RSCFDnCFDRFCCx レジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDRFCCxL、RSCFDnCFDRFCCxH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDRFCCxLL、RSCFDnCFDRFCCxLH、RSCFDnCFDRFCCxHL、RSCFDnCFDRFCCxHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDRFCCx: <RSCFDn_base> + $00B8_H$ + (04_H × x)
RSCFDnCFDRFCCxL: <RSCFDn_base> + $00B8_H$ + (04_H × x)、
RSCFDnCFDRFCCxH: <RSCFDn_base> + $00BA_H$ + (04_H × x)
RSCFDnCFDRFCCxLL: <RSCFDn_base> + $00B8_H$ + (04_H × x)、
RSCFDnCFDRFCCxLH: <RSCFDn_base> + $00B9_H$ + (04_H × x)、
RSCFDnCFDRFCCxHL: <RSCFDn_base> + $00BA_H$ + (04_H × x)、
RSCFDnCFDRFCCxHH: <RSCFDn_base> + $00BB_H$ + (04_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

表25.122　RSCFDnCFDRFCCx レジスタの内容

ビット	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～13	RFIGCV[2:0]	受信FIFO割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0：FIFOバッファに 1/8 までメッセージ格納時 0 0 1：FIFOバッファに 2/8 までメッセージ格納時 0 1 0：FIFOバッファに 3/8 までメッセージ格納時 0 1 1：FIFOバッファに 4/8 までメッセージ格納時 1 0 0：FIFOバッファに 5/8 までメッセージ格納時 1 0 1：FIFOバッファに 6/8 までメッセージ格納時 1 1 0：FIFOバッファに 7/8 までメッセージ格納時 1 1 1：FIFOバッファがフルのとき
12	RFIM	受信FIFO割り込み要因選択ビット 0：RFIGCV[2:0]ビットで設定した条件に達したときに発生 1：1メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～8	RFDC[2:0]	受信FIFOバッファ段数設定ビット b10 b9 b8 0 0 0：0メッセージ 0 0 1：4メッセージ 0 1 0：8メッセージ 0 1 1：16メッセージ 1 0 0：32メッセージ 1 0 1：48メッセージ 1 1 0：64メッセージ 1 1 1：128メッセージ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

ビット	ビット名	機能
6～4	RFPLS[2:0]	受信FIFOバッファペイロード格納サイズ選択ビット b6 b5 b4 0 0 0：8バイト 0 0 1：12バイト 0 1 0：16バイト 0 1 1：20バイト 1 0 0：24バイト 1 0 1：32バイト 1 1 0：48バイト 1 1 1：64バイト
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信FIFO割り込み許可ビット 0：受信FIFO割り込み禁止 1：受信FIFO割り込み許可
0	RFE	受信FIFOバッファ許可ビット 0：受信FIFOバッファを使用しない 1：受信FIFOバッファを使用する

RFIGCV[2:0] ビット

RFIM ビットを “0” にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（RFDC[2:0] の設定）に対する分数で指定します。

RFDC[2:0] ビットを “001B”（4 メッセージ）に設定した場合は、RFIGCV[2:0] ビットを “001B”、“011B”、“101B”、または “111B” にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000B” に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFPLS[2:0] ビット

受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1” にすると、受信 FIFO 割り込みが使用できます。RFE ビットが “0”（受信 FIFO バッファを使用しない）のときに、RFIE ビットを書き換えてください。

RFE ビット

“1” にすると、受信 FIFO バッファが使用できます。“0” にすると、RSCFDnCFDRFSTSx レジスタの RFEMP フラグが “1”（バッファ空）になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

このビットは、RSCFDnCFDRFCCx レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

グローバルリセットモード時、“0” になります。

25.4.7.2　RSCFDnCFDRFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）

アクセス：RSCFDnCFDRFSTSx レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDRFSTSxL、RSCFDnCFDRFSTSxH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDRFSTSxLL、RSCFDnCFDRFSTSxLH、RSCFDnCFDRFSTSxHL、RSCFDnCFDRFSTSxHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDRFSTSx: <RSCFDn_base> + $00D8_H$ + (04_H × x)
RSCFDnCFDRFSTSxL: <RSCFDn_base> + $00D8_H$ + (04_H × x)、
RSCFDnCFDRFSTSxH: <RSCFDn_base> + $00DA_H$ + (04_H × x)
RSCFDnCFDRFSTSxLL: <RSCFDn_base> + $00D8_H$ + (04_H × x)、
RSCFDnCFDRFSTSxLH: <RSCFDn_base> + $00D9_H$ + (04_H × x)、
RSCFDnCFDRFSTSxHL: <RSCFDn_base> + $00DA_H$ + (04_H × x)、
RSCFDnCFDRFSTSxHH: <RSCFDn_base> + $00DB_H$ + (04_H × x)

リセット後の値：$0000\ 0001_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]								—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 25.123　RSCFDnCFDRFSTSx レジスタの内容

ビット	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0：受信 FIFO 割り込み要求なし 1：受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0：受信 FIFO メッセージロストなし 1：受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファフルではない 1：受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0：受信 FIFO バッファに未読メッセージあり 1：受信 FIFO バッファに未読メッセージなし（バッファ空）

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCFDnCFDRFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

このフラグは、グローバルリセットモード時、“00_H” になります。

RFIF フラグ

RSCFDnCFDRFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに “1” になります。RFIF フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき “1” になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCFDnCFDRFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると “1” になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると “0” になります。また、RSCFDnCFDRFCCx レジスタの RFE ビットが “0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に “0” になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと “1” になります。また、RSCFDnCFDRFCCx レジスタの RFE ビットが “0” のとき、またはグローバルリセットモード時に “1” になります。

受信メッセージが 1 つでも受信 FIFO バッファに格納されると “0” になります。

備　考

RFMLT もしくはRFIF フラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

25.4.7.3　RSCFDnCFDRFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）

アクセス：RSCFDnCFDRFPCTRx レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDRFPCTRxL、RSCFDnCFDRFPCTRxH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDRFPCTRxLL、RSCFDnCFDRFPCTRxLH、RSCFDnCFDRFPCTRxHL、RSCFDnCFDRFPCTRxHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス：RSCFDnCFDRFPCTRx: <RSCFDn_base> + $00F8_H$ + (04_H × x)
RSCFDnCFDRFPCTRxL: <RSCFDn_base> + $00F8_H$ + (04_H × x)、
RSCFDnCFDRFPCTRxH: <RSCFDn_base> + $00FA_H$ + (04_H × x)
RSCFDnCFDRFPCTRxLL: <RSCFDn_base> + $00F8_H$ + (04_H × x)、
RSCFDnCFDRFPCTRxLH: <RSCFDn_base> + $00F9_H$ + (04_H × x)、
RSCFDnCFDRFPCTRxHL: <RSCFDn_base> + $00FA_H$ + (04_H × x)、
RSCFDnCFDRFPCTRxHH: <RSCFDn_base> + $00FB_H$ + (04_H × x)

リセット後の値：0000 0000H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 25.124　RSCFDnCFDRFPCTRx レジスタの内容

ビット	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	RFPC[7:0]	受信 FIFO ポインタ制御 “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RSCFDnCFDCDTCT レジスタの RFDMAEx ビットが “1”（DMA 転送要求を許可する）の場合、このレジスタに書き込みを行わないでください。

RFPC[7:0] ビット

RFPC[7:0] ビットに “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCFDnCFDRFSTSx レジスタの RFMC[7:0] ビット（受信 FIFO 未読メッセージ数表示カウンタ）の値が 1 減算されます。RSCFDnCFDRFIDx、RSCFDnCFDRFPTRx、RSCFDnCFDRFFDSTSx、RSCFDnCFDRFDFd_x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCFDnCFDRFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）で、RSCFDnCFDRFSTSx レジスタの RFEMP フラグが “0” 未読メッセージあり）のときに行ってください。

25.4.7.4　RSCFDnCFDRFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）

アクセス：RSCFDnCFDRFIDx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFIDxL、RSCFDnCFDRFIDxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFIDxLL、RSCFDnCFDRFIDxLH、RSCFDnCFDRFIDxHL、RSCFDnCFDRFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDRFIDx: <RSCFDn_base> + 3000_H + (80_H × x)
RSCFDnCFDRFIDxL: <RSCFDn_base> + 3000_H + (80_H × x)、
RSCFDnCFDRFIDxH: <RSCFDn_base> + 3002_H + (80_H × x)
RSCFDnCFDRFIDxLL: <RSCFDn_base> + 3000_H + (80_H × x)、
RSCFDnCFDRFIDxLH: <RSCFDn_base> + 3001_H + (80_H × x)、
RSCFDnCFDRFIDxHL: <RSCFDn_base> + 3002_H + (80_H × x)、
RSCFDnCFDRFIDxHH: <RSCFDn_base> + 3003_H + (80_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.125　RSCFDnCFDRFPCTRx レジスタの内容

ビット	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID。
30	RFRTR	受信 FIFO バッファ RTR／RRS ビット • 受信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム • 受信メッセージが CANFD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	予約ビット	リードした場合はリセット後の値が読めます。
28 ～ 0	RFID[28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID／拡張 ID が読めます。 標準 ID の場合は、b10 ～ b0 を読んでください。b28 ～ b11 は“0”が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RFRTR ビット

受信したメッセージがクラシカル CAN フレームのとき、受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。受信したメッセージが CANFD フレームのときはメッセージの RRS ビット値を示します。

RFID[28:0] ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

25.4.7.5　RSCFDnCFDRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）

アクセス：RSCFDnCFDRFPTRx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFPTRxL、RSCFDnCFDRFPTRxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFPTRxLL、RSCFDnCFDRFPTRxLH、RSCFDnCFDRFPTRxHL、RSCFDnCFDRFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDRFPTRx: <RSCFDn_base> + 3004_H + (80_H × x)
RSCFDnCFDRFPTRxL: <RSCFDn_base> + 3004_H + (80_H × x)、
RSCFDnCFDRFPTRxH: <RSCFDn_base> + 3006_H + (80_H × x)
RSCFDnCFDRFPTRxLL: <RSCFDn_base> + 3004_H + (80_H × x)、
RSCFDnCFDRFPTRxLH: <RSCFDn_base> + 3005_H + (80_H × x)、
RSCFDnCFDRFPTRxHL: <RSCFDn_base> + 3006_H + (80_H × x)、
RSCFDnCFDRFPTRxHH: <RSCFDn_base> + 3007_H + (80_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC[3:0]				RFPTR[11:0]											
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.126　RSCFDnCFDRFPTRx レジスタの内容

<table>
<tr><th>ビット</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31 ～ 28</td><td>RFDLC[3:0]</td><td>受信 FIFO バッファ DLC データ
<table>
<tr><th>b31 b30 b29 b28</th><th>クラシカル
CAN フレーム</th><th>CANFD フレーム</th></tr>
<tr><td>0 0 0 0</td><td colspan="2">0 データバイト</td></tr>
<tr><td>0 0 0 1</td><td colspan="2">1 データバイト</td></tr>
<tr><td>0 0 1 0</td><td colspan="2">2 データバイト</td></tr>
<tr><td>0 0 1 1</td><td colspan="2">3 データバイト</td></tr>
<tr><td>0 1 0 0</td><td colspan="2">4 データバイト</td></tr>
<tr><td>0 1 0 1</td><td colspan="2">5 データバイト</td></tr>
<tr><td>0 1 1 0</td><td colspan="2">6 データバイト</td></tr>
<tr><td>0 1 1 1</td><td colspan="2">7 データバイト</td></tr>
<tr><td>1 0 0 0</td><td colspan="2">8 データバイト</td></tr>
<tr><td>1 0 0 1</td><td rowspan="10">8 データバイト</td><td>12 データバイト</td></tr>
<tr><td>1 0 1 0</td><td>16 データバイト</td></tr>
<tr><td>1 0 1 1</td><td>20 データバイト</td></tr>
<tr><td>1 1 0 0</td><td>24 データバイト</td></tr>
<tr><td>1 1 0 1</td><td>32 データバイト</td></tr>
<tr><td>1 1 1 0</td><td>48 データバイト</td></tr>
<tr><td>1 1 1 1</td><td>64 データバイト</td></tr>
</table></td></tr>
<tr><td>27 ～ 16</td><td>RFPTR[11:0]</td><td>受信 FIFO バッファラベルデータ
受信メッセージのラベル情報が読めます。</td></tr>
<tr><td>15 ～ 0</td><td>RFTS[15:0]</td><td>受信 FIFO バッファタイムスタンプデータ
受信メッセージのタイムスタンプ値が読めます。</td></tr>
</table>

RFDLC[3:0] ビット

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0] ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0] ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

25.4.7.6　RSCFDnCFDRFFDSTSx — 受信 FIFO CANFD ステータスレジスタ（x = 0 ~ 7）

アクセス：RSCFDnCFDRFFDSTSx レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFFDSTSxL、RSCFDnCFDRFFDSTSxH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFFDSTSxLL、RSCFDnCFDRFFDSTSxLH、RSCFDnCFDRFFDSTSxHL、RSCFDnCFDRFFDSTSxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDRFFDSTSx: <RSCFDn_base> + 3008_H + (80_H × x)
RSCFDnCFDRFFDSTSxL: <RSCFDn_base> + 3008_H + (80_H × x)、
RSCFDnCFDRFFDSTSxH: <RSCFDn_base> + $300A_H$ + (80_H × x)
RSCFDnCFDRFFDSTSxLL: <RSCFDn_base> + 3008_H + (80_H × x)、
RSCFDnCFDRFFDSTSxLH: <RSCFDn_base> + 3009_H + (80_H × x)、
RSCFDnCFDRFFDSTSxHL: <RSCFDn_base> + $300A_H$ + (80_H × x)、
RSCFDnCFDRFFDSTSxHH: <RSCFDn_base> + $300B_H$ + (80_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFDF	RFBRS	RFESI
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.127　RSCFDnCFDRFFDSTSx レジスタの内容

ビット	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	RFFDF	FDF ビット 0：クラシカル CAN フレーム 1：CANFD フレーム
1	RFBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	RFESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

RFFDF ビット

受信 FIFO バッファに格納されたメッセージの FD フォーマット（クラシカル CAN フレームまたは CANFD フレーム）を示します。

RFBRS ビット

RFFDF ビットが “1” の場合は、受信 FIFO バッファに格納されたメッセージの BRS ビット値を示します。RFFDF ビットが “0” の場合は、常に “0” が読めます。

RFESI ビット

RFFDF ビットが “1” の場合は、受信 FIFO バッファに格納されたメッセージの ESI ビット値を示します。RFFDF ビットが “0” の場合は、常に “0” が読めます。

25.4.7.7　RSCFDnCFDRFDFd_x — 受信 FIFO バッファアクセスデータフィールド d レジスタ（d = 0 ~ 15, x = 0 ~ 7）

アクセス：RSCFDnCFDRFDFd_xレジスタは、32ビット単位でリードのみ可能です。
RSCFDnCFDRFDFd_xL、RSCFDnCFDRFDFd_xHレジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDRFDFd_xLL、RSCFDnCFDRFDFd_xLH、RSCFDnCFDRFDFd_xHL、RSCFDnCFDRFDFd_xHHレジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDRFDFd_x: <RSCFDn_base> + $300C_H$ + (04_H × d) + (80_H × x)
RSCFDnCFDRFDFd_xL: <RSCFDn_base> + $300C_H$ + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xH: <RSCFDn_base> + $300E_H$ + (04_H × d) + (80_H× x)
RSCFDnCFDRFDFd_xLL: <RSCFDn_base> + $300C_H$ + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xLH: <RSCFDn_base> + $300D_H$ + (04_H × d) + (80_H × x)、
RSCFDnCFDRFDFd_xHL: <RSCFDn_base> + $300E_H$ + (04_H× d) + (80_H × x)、
RSCFDnCFDRFDFd_xHH: <RSCFDn_base> + $300F_H$ + (04_H × d) + (80_H × x)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB4 × d + 3 [7:0]								RFDB4 × d + 2 [7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB4 × d + 1 [7:0]								RFDB4 × d + 0 [7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.128　RSCFDnCFDRFDFd_xレジスタの内容

ビット	ビット名	機能
31 ～24	RFDB4 × d + 3 [7:0]	受信FIFOバッファデータバイト4 × d + 3 受信FIFOバッファデータバイト4 × d + 2 受信FIFOバッファデータバイト4 × d + 1 受信FIFOバッファデータバイト4 × d + 0 受信FIFOバッファに格納されたメッセージのデータが読めます。
23 ～16	RFDB4 × d + 2 [7:0]	
15 ～8	RFDB4 × d + 1 [7:0]	
7 ～0	RFDB4 × d + 0 [7:0]	

RSCFDnCFDRFPTRx レジスタの RFDLC[3:0] ビットの値が受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

受信 FIFO バッファのペイロード格納サイズは RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDRFDFd_x レジスタは読み書きしないでください。

25.4.8　送受信 FIFO バッファ関連レジスタの詳細

25.4.8.1　RSCFDnCFDCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ~ 5）

アクセス：RSCFDnCFDCFCCk レジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCFCCkL、RSCFDnCFDCFCCkH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCFCCkLL、RSCFDnCFDCFCCkLH、RSCFDnCFDCFCCkHL、RSCFDnCFDCFCCkHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCFCCk: <RSCFDn_base> + 0118_H + (04_H × k)
RSCFDnCFDCFCCkL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCFDnCFDCFCCkH: <RSCFDn_base> + $011A_H$ + (04_H × k)
RSCFDnCFDCFCCkLL: <RSCFDn_base> + 0118_H + (04_H × k)、
RSCFDnCFDCFCCkLH: <RSCFDn_base> + 0119_H + (04_H × k)、
RSCFDnCFDCFCCkHL: <RSCFDn_base> + $011A_H$ + (04_H × k)、
RSCFDnCFDCFCCkHH: <RSCFDn_base> + $011B_H$ + (04_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]								CFTML[3:0]				CFITR	CFITSS	CFM[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV[2:0]			CFIM	—	CFDC[2:0]			—	CFPLS[2:0]			—	CFTXIE	CFRXIE	CFE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表25.129　RSCFDnCFDCFCCk レジスタの内容

ビット	ビット名	機能
31～24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値：00_H～FF_H
23～20	CFTML[3:0]	送信バッファリンク設定ビット 送受信FIFOバッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信FIFOインターバルタイマ分解能 0：pclk/2をITRCP[15:0]ビットで分周したクロック 1：pclk/2をITRCP[15:0]ビットの値× 10で分周したクロック
18	CFITSS	送受信FIFOインターバルタイマクロックソース選択 0：CFITRビットで選択したクロックソース 1：関連チャネルの通常ビットタイムクロック
17～16	CFM[1:0]	送受信FIFOモード選択ビット b17 b16 0 0：受信モード 0 1：送信モード 1 0：ゲートウェイモード 1 1：設定しないでください
15～13	CFIGCV[2:0]	送受信FIFO受信割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0：FIFOバッファに 1/8 までメッセージ格納時 0 0 1：FIFOバッファに 2/8 までメッセージ格納時 0 1 0：FIFOバッファに 3/8 までメッセージ格納時 0 1 1：FIFOバッファに 4/8 までメッセージ格納時 1 0 0：FIFOバッファに 5/8 までメッセージ格納時 1 0 1：FIFOバッファに 6/8 までメッセージ格納時 1 1 0：FIFOバッファに 7/8 までメッセージ格納時 1 1 1：FIFOバッファがフルのとき

ビット	ビット名	機能
12	CFIM	送受信FIFO割り込み要因選択ビット 0： • 受信モード、ゲートウェイモード時 受信メッセージ数がCFIGCV[2:0]ビットで設定した条件に達したとき、FIFO受信割り込み要求発生 • 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO送信割り込み要求発生 1： • 受信モード、ゲートウェイモード時 1メッセージ受信ごとにFIFO受信割り込み要求発生 • 送信モード、ゲートウェイモード時 1メッセージ送信が完了するごとにFIFO送信割り込み要求発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～8	CFDC[2:0]	送受信FIFOバッファ段数設定ビット b10 b9 b8 0 0 0：0メッセージ 0 0 1：4メッセージ 0 1 0：8メッセージ 0 1 1：16メッセージ 1 0 0：32メッセージ 1 0 1：48メッセージ 1 1 0：64メッセージ 1 1 1：128メッセージ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～4	CFPLS[2:0]	送受信FIFOバッファペイロード格納サイズ選択ビット b6 b5 b4 0 0 0：8バイト 0 0 1：12バイト 0 1 0：16バイト 0 1 1：20バイト 1 0 0：24バイト 1 0 1：32バイト 1 1 0：48バイト 1 1 1：64バイト
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信FIFO送信割り込み許可ビット 0：送受信FIFO送信割り込み禁止 1：送受信FIFO送信割り込み許可
1	CFRXIE	送受信FIFO受信割り込み許可ビット 0：送受信FIFO受信割り込み禁止 1：送受信FIFO受信割り込み許可
0	CFE	送受信FIFOバッファ許可ビット 0：送受信FIFOバッファを使用しない 1：送受信FIFOバッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを “01B”（送信モード）または “10B”（ゲートウェイモード）に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを “01B”（送信モード）または “10B”（ゲートウェイモード）に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャネル番号 m は、k/3 の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、(16 × m) + CFTML[3:0] となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 25.11** および**表 25.12** を参照してください。
CFDC[2:0] ビットを “001B” 以上にすると、CFTML[3:0] ビットの設定が有効になります。
同一チャネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが “0” のとき、有効です。
“0” のとき、インターバルタイマクロックソースは、pclk/2 を RSCFDnCFDGCFG レジスタの ITRCP[15:0] ビットで分周したクロックとなります。
“1” のとき、インターバルタイマクロックソースは、pclk/2 を RSCFDnCFDGCFG レジスタの ITRCP[15:0] ビットの値 × 10 で分周したクロックとなります。
CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0” のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。
“1” のとき、FIFO にリンクしているチャネルの通常ビットタイムクロックがインターバルタイマのカウントソースになります。CANFD フレームを扱わないチャネルにのみ使用してください。
CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFITSS ビットを書き換えてください。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットを “00B”（受信モード）または “10B”（ゲートウェイモード）に、CFIM ビットを “0” にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0] の設定）に対する分数で指定します。
CFDC[2:0] ビットを “001B”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを “001B”、“011B”、“101B”、または “111B” にしてください。
このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000B” に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFPLS[2:0] ビット

送受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを “1” に設定し、RSCFDnCFDCFSTSk レジスタの CFTXIF フラグが “1” になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを “1” に設定し、RSCFDnCFDCFSTSk レジスタの CFRXIF フラグが “1” になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが “0” の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1” にすると、送受信 FIFO バッファを使用できます。

“0” にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で “0” になります。

- 受信モード時 : グローバルリセットモード
- 送信モードまたはゲートウェイモード時 : チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード : グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード : チャネル通信モードまたはチャネル待機モード

このビットは、RSCFDnCFDCFCCk レジスタの他のすべてのビットを設定後に、別の命令を使用して “1” にしてください。

25.4.8.2　RSCFDnCFDCFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ~ 5）

アクセス：RSCFDnCFDCFSTSk レジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCFSTSkL、RSCFDnCFDCFSTSkH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCFSTSkLL、RSCFDnCFDCFSTSkLH、RSCFDnCFDCFSTSkHL、RSCFDnCFDCFSTSkHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCFSTSk: <RSCFDn_base> + 0178_H + (04_H × k)
RSCFDnCFDCFSTSkL: <RSCFDn_base> + 0178_H + (04_H × k)、
RSCFDnCFDCFSTSkH: <RSCFDn_base> + $017A_H$ + (04_H × k)
RSCFDnCFDCFSTSkLL: <RSCFDn_base> + 0178_H + (04_H × k)、
RSCFDnCFDCFSTSkLH: <RSCFDn_base> + 0179_H + (04_H × k)、
RSCFDnCFDCFSTSkHL: <RSCFDn_base> + $017A_H$ + (04_H × k)、
RSCFDnCFDCFSTSkHH: <RSCFDn_base> + $017B_H$ + (04_H × k)

リセット後の値：$0000\ 0001_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC[7:0]								—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.130　RSCFDnCFDCFSTSk レジスタの内容

ビット	ビット名	機能
31 ～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～8	CFMC[7:0]	送受信FIFOメッセージ数表示カウンタ 送受信FIFOバッファに格納されたメッセージ数を示します。
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信FIFO送信割り込み要求フラグ 0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり
3	CFRXIF	送受信FIFO受信割り込み要求フラグ 0：送受信FIFO受信割り込み要求なし 1：送受信FIFO受信割り込み要求あり
2	CFMLT	送受信FIFOメッセージロストフラグ 0：送受信FIFOメッセージロストなし 1：送受信FIFOメッセージロスト
1	CFFLL	送受信FIFOバッファフルステータスフラグ 0：送受信FIFOバッファフルではない 1：送受信FIFOバッファフル
0	CFEMP	送受信FIFOバッファ空ステータスフラグ 0：送受信FIFOバッファにメッセージあり 1：送受信FIFOバッファにメッセージなし（バッファ空）

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01B”（送信モード）の場合 : バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが “00B”（受信モード）の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが “10B”（ゲートウェイモード）の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0] ビットが “00B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合 : チャネルリセットモード
- RSCFDnCFDCFCCk レジスタの CFE ビットが “0” の場合

CFTXIF フラグ

次の条件で、CFTXIF フラグは “1” になります。

- CFM[1:0] ビットが “01B” または “10B” で、RSCFDnCFDCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは “0” になります。

- CFTXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0] ビットが “00B” または “10B” で、RSCFDnCFDCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは “1” になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは “0” になります。

- CFMLT フラグへの “0” 書き込み
- CFM[1:0] ビットが “00B” の場合 : グローバルリセットモード

- CFM[1:0] ビットが “01B” または “10B” の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

CFFLL フラグ

次の条件で、CFFLL フラグは “1” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCFDnCFDCFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFFLL フラグは “0” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCFDnCFDCFCCk レジスタの CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：送信アボート中でないとき
- CFM[1:0] ビットが “00B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合：チャネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは “1” になります。

- CFM[1:0] ビットが “00B” の場合：全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが “01B” または “10B” の場合：すべてのメッセージを送信したとき、またはチャネルリセットモード
- CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：送信アボート中でないとき

次の条件で、CFEMP フラグは “0” になります。

- CFM[1:0] ビットが “00B” または “10B” の場合: 受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが “01B” の場合：RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDFd_k レジスタに書いてから、RSCFDnCFDCFPCTRk レジスタに “FFH” を書いたとき

備　考

CFTXIF, CFRXIF, CFMLT フラグを “0” にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには “1” を書いてください。

25.4.8.3　RSCFDnCFDCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ~ 5）

アクセス：RSCFDnCFDCFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDCFPCTRkL、RSCFDnCFDCFPCTRkH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDCFPCTRkLL、RSCFDnCFDCFPCTRkLH、RSCFDnCFDCFPCTRkHL、RSCFDnCFDCFPCTRkHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス：RSCFDnCFDCFPCTRk: <RSCFDn_base> + $01D8_H$ + (04_H × k)
RSCFDnCFDCFPCTRkL: <RSCFDn_base> + $01D8_H$ + (04_H × k)、
RSCFDnCFDCFPCTRkH: <RSCFDn_base> + $01DA_H$ + (04_H × k)
RSCFDnCFDCFPCTRkLL: <RSCFDn_base> + $01D8_H$ + (04_H × k)、
RSCFDnCFDCFPCTRkLH: <RSCFDn_base> + $01D9_H$ + (04_H × k)、
RSCFDnCFDCFPCTRkHL: <RSCFDn_base> + $01DA_H$ + (04_H × k)、
RSCFDnCFDCFPCTRkHH: <RSCFDn_base> + $01DB_H$ + (04_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 25.131　RSCFDnCFDCFPCTRk レジスタの内容

ビット	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	CFPC[7:0]	送受信 FIFO ポインタ制御 • 受信モード時 “FF_H”を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 • 送信モード時 “FF_H”を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 • ゲートウェイモード時 設定しないでください。

対応する送受信 FIFO バッファがチャネル m に割り当てられた先頭の送受信 FIFO バッファ（k は 3 × m）のとき、RSCFDnCFDCDTCT レジスタの CFDMAEm ビットが “1”（DMA 転送要求を許可する）の場合、このレジスタに書き込みを行わないでください。

CFPC[7:0] ビット

- 受信モード（RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “00_B”）のとき：
  CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCFDnCFDCFSTSk レジスタの CFMC[7:0] ビット（送受信 FIFO メッセージ数表示カウンタ）の値が 1 減算されます。RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDFd_k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
  なお、“FF_H” の書き込みは RSCFDnCFDCFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCFDnCFDCFSTSk レジスタの CFEMP フラグが “0”（メッセージあり）のときに行ってください。

- 送信モード（RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01B”）のとき：
  CFPC[7:0] ビットに “FFH” を書くと、RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDFd_k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCFDnCFDCFIDk、RSCFDnCFDCFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDnCFDCFDFd_k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FFH” を書いてください。
  なお、“FFH” の書き込みは、RSCFDnCFDCFCCk レジスタの CFE ビットが “1” で、RSCFDnCFDCFSTSk レジスタの CFFLL フラグが “0”（フルではない）のときに行ってください。
- ゲートウェイモード（RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “10B”）のとき：設定しないでください。

25.4.8.4　RSCFDnCFDCFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ~ 5）

アクセス：RSCFDnCFDCFIDkレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCFIDkL、RSCFDnCFDCFIDkHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCFIDkLL、RSCFDnCFDCFIDkLH、RSCFDnCFDCFIDkHL、RSCFDnCFDCFIDkHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCFIDk: <RSCFDn_base> + 3400_H + (80_H × k)
RSCFDnCFDCFIDkL: <RSCFDn_base> + 3400_H + (80_H × k)、
RSCFDnCFDCFIDkH: <RSCFDn_base> + 3402_H + (80_H × k)
RSCFDnCFDCFIDkLL: <RSCFDn_base> + 3400_H + (80_H × k)、
RSCFDnCFDCFIDkLH: <RSCFDn_base> + 3401_H + (80_H × k)、
RSCFDnCFDCFIDkHL: <RSCFDn_base> + 3402_H + (80_H × k)、
RSCFDnCFDCFIDkHH: <RSCFDn_base> + 3403_H + (80_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.132　RSCFDnCFDCFIDkレジスタの内容

ビット	ビット名	機能
31	CFIDE	送受信FIFOバッファ IDEビット 0：標準ID 1：拡張ID
30	CFRTR	送受信FIFOバッファ RTR／RRSビット • CFM[1:0]ビットが“01_B”（送信モード）時 • 送信メッセージがクラシカルCANフレームのとき 0：データフレーム 1：リモートフレーム • 送信メッセージがCANFDフレームのとき “0”を書いてください。 • CFM[1:0]ビットが“00_B”（受信モード）時 • 受信メッセージがクラシカルCANフレームのとき 0：データフレーム 1：リモートフレーム • 受信メッセージがCANFDフレームのとき 受信メッセージのRRSビット値が読めます。
29	THLEN	送信履歴データ格納許可ビット CFM[1:0]ビットが“01_B”（送信モード）時のみ有効 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～0	CFID[28:0]	送受信FIFOバッファ IDデータ • CFM[1:0]ビットが“01_B”（送信モード）時 標準IDまたは拡張IDを設定してください。標準IDの場合、b10～b0にIDを設定してください。b28～b11は“0”にしてください。 • CFM[1:0]ビットが“00_B”（受信モード）時 受信メッセージの標準IDまたは拡張IDが読めます。標準IDの場合、b10～b0を読んでください。b28～b11は“0”が読めます。

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書け

ます。CFM[1:0] ビットが “00B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0] ビットが “00B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット（標準 ID または拡張 ID）を示します。CFM[1:0] ビットが “01B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00B” のとき、受信したメッセージがクラシカル CAN フレームならば、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット（データフレームまたはリモートフレーム）を示します。受信したメッセージが CANFD フレームのときはメッセージの RRS ビット値を示します。

CFM[1:0] ビットが “01B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットが “1”（CANFD フレーム）であるときは、“0” にしてください。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ）が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01B”（送信モード）のときに、有効になります。

CFID[28:0] ビット

CFM[1:0] ビットが “00B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

25.4.8.5　RSCFDnCFDCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ~ 5）

アクセス：RSCFDnCFDCFPTRk レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCFPTRkL、RSCFDnCFDCFPTRkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCFPTRkLL、RSCFDnCFDCFPTRkLH、RSCFDnCFDCFPTRkHL、RSCFDnCFDCFPTRkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCFPTRk: <RSCFDn_base> + 3404_H + (80_H × k)
RSCFDnCFDCFPTRkL: <RSCFDn_base> + 3404_H + (80_H × k)、
RSCFDnCFDCFPTRkH: <RSCFDn_base> + 3406_H + (80_H × k)
RSCFDnCFDCFPTRkLL: <RSCFDn_base> + 3404_H + (80_H × k)、
RSCFDnCFDCFPTRkLH: <RSCFDn_base> + 3405_H + (80_H × k)、
RSCFDnCFDCFPTRkHL: <RSCFDn_base> + 3406_H + (80_H × k)、
RSCFDnCFDCFPTRkHH: <RSCFDn_base> + 3407_H + (80_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC[3:0]				CFPTR[11:0]											
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.133　RSCFDnCFDCFPTRk レジスタの内容

ビット	ビット名	機能
31 ～ 28	CFDLC[3:0]	送受信 FIFO バッファ DLC データ

b31 b30 b29 b28	クラシカル CAN フレーム	CANFD フレーム
0 0 0 0	0 データバイト	
0 0 0 1	1 データバイト	
0 0 1 0	2 データバイト	
0 0 1 1	3 データバイト	
0 1 0 0	4 データバイト	
0 1 0 1	5 データバイト	
0 1 1 0	6 データバイト	
0 1 1 1	7 データバイト	
1 0 0 0	8 データバイト	
1 0 0 1	8 データバイト	12 データバイト
1 0 1 0		16 データバイト
1 0 1 1		20 データバイト
1 1 0 0		24 データバイト
1 1 0 1		32 データバイト
1 1 1 0		48 データバイト
1 1 1 1		64 データバイト

ビット	ビット名	機能
27 ～ 16	CFPTR[11:0]	送受信 FIFO バッファラベルデータ • CFM[1:0] ビットが “01_B”（送信モード）時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 • CFM[1:0] ビットが “00_B”（受信モード）時 受信メッセージのラベル情報が読めます
15 ～ 0	CFTS[15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが “00_B”（受信モード）時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。RSCFDnCFDCFFDCSTSk レジスタの CFFDF ビットが “0”（クラシカル CAN フレーム）のときに CFDLC[3:0] ビットに “1001_B” 以上を設定した場合、実際に送られるデータは 8 バイトになります。CFFDF ビットが “1”（CANFD フレーム）のとき、RSCFDnCFDCmFDCFG レジスタの TMME ビットおよび RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットによって設定可能な値の範囲が異なります。

- TMME ビットが “0”（送信バッファマージモード禁止）の場合：
  “0000_B” ～ “1111_B” の全ての値が設定できます。設定したデータ長が CFPLS[2:0] ビットで設定したペイロード格納サイズを超えるとき、超えた分のペイロードは “CC_H” でパディングされます。
- TMME ビットが “1”（送信バッファマージモード許可）の場合：
  データ長は CFPLS[2:0] ビットで設定したペイロード格納サイズを超えないように設定してください。

CFPTR[11:0] ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01_B” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0] ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。
CFM[1:0] ビットが “00_B” のときに、有効になります。

25.4.8.6　RSCFDnCFDCFFDCSTSk — 送受信 FIFO CANFD コンフィグレーション／ステータスレジスタ（k = 0 ~ 5）

アクセス：RSCFDnCFDCFFDCSTSk レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCFFDCSTSkL、RSCFDnCFDCFFDCSTSkH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCFFDCSTSkLL、RSCFDnCFDCFFDCSTSkLH、RSCFDnCFDCFFDCSTSkHL、RSCFDnCFDCFFDCSTSkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCFFDCSTSk: <RSCFDn_base> + 3408_H + (80_H × k)
RSCFDnCFDCFFDCSTSkL: <RSCFDn_base> + 3408_H + (80_H × k)、
RSCFDnCFDCFFDCSTSkH: <RSCFDn_base> + $340A_H$ + (80_H × k)
RSCFDnCFDCFFDCSTSkLL: <RSCFDn_base> + 3408_H + (80_H × k)、
RSCFDnCFDCFFDCSTSkLH: <RSCFDn_base> + 3409_H + (80_H × k)、
RSCFDnCFDCFFDCSTSkHL: <RSCFDn_base> + $340A_H$ + (80_H × k)、
RSCFDnCFDCFFDCSTSkHH: <RSCFDn_base> + $340B_H$ + (80_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CFFDF	CFBRS	CFESI
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 25.134　RSCFDnCFDCFFDCSTSk レジスタの内容

ビット	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。
2	CFFDF	FDF ビット 0：クラシカル CAN フレーム 1：CANFD フレーム
1	CFBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	CFESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFFDF ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納されたメッセージの FD フォーマット（クラシカル CAN フレームまたは CANFD フレーム）を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの FD フォーマットを設定します。

CFBRS ビット

CFM[1:0] ビットが “00_B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファに格納された受信メッセージの BRS ビット値を示し、CFFDF ビットが “0” ならば常に “0” が読めます。

CFM[1:0] ビットが “01B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファから送信するメッセージの BRS ビット値を設定します。CFFDF ビットが “0” ならば “0” を書いてください。

CFESI ビット

CFM[1:0] ビットが “00B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファに格納された受信メッセージの ESI ビット値を示し、CFFDF ビットが “0” ならば常に “0” が読めます。

CFM[1:0] ビットが “01B” のとき、CFFDF ビットが “1” ならば送受信 FIFO バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RSCFDnCFDCmFDCFG レジスタの ESIC ビットが “1” かつチャネルがエラーアクティブ状態のとき送信されます。チャネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。CFFDF ビットが “0” のときは “0” を書いてください。

25.4.8.7　RSCFDnCFDCFDFd_k — 送受信 FIFO バッファアクセスデータフィールド d レジスタ（d = 0 ~ 15, k = 0 ~ 5）

アクセス：RSCFDnCFDCFDFd_kレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDCFDFd_kL、RSCFDnCFDCFDFd_kH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDCFDFd_kLL、RSCFDnCFDCFDFd_kLH、RSCFDnCFDCFDFd_kHL、RSCFDnCFDCFDFd_kHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCFDFd_k: <RSCFDn_base> + $340C_H$ + (04_H × d) + (80_H × k)
RSCFDnCFDCFDFd_kL: <RSCFDn_base> + $340C_H$ + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDFd_kH: <RSCFDn_base> + $340E_H$ + (04_H × d) + (80_H × k)
RSCFDnCFDCFDFd_kLL: <RSCFDn_base> + $340C_H$ + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDFd_kLH: <RSCFDn_base> + $340D_H$ + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDFd_kHL: <RSCFDn_base> + $340E_H$ + (04_H × d) + (80_H × k)、
RSCFDnCFDCFDFd_kHH: <RSCFDn_base> + $340F_H$ + (04_H × d) + (80_H × k)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB4 × d + 3 [7:0]								CFDB4 × d + 2 [7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB4 × d + 1 [7:0]								CFDB4 × d + 1 [7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.135　RSCFDnCFDCFDFd_kレジスタの内容

ビット	ビット名	機能
31 ～24	CFDB4 × d + 3 [7:0]	送受信FIFOバッファデータバイト4 × d + 3 送受信FIFOバッファデータバイト4 × d + 2 送受信FIFOバッファデータバイト4 × d + 1 送受信FIFOバッファデータバイト4 × d + 0 • CFM[1:0]ビットが“01_B”（送信モード）時 送受信FIFOバッファのデータを設定してください。 • CFM[1:0]ビットが“00_B”（受信モード）時 送受信FIFOバッファに格納されたメッセージのデータが読めます。
23 ～16	CFDB4 × d + 2 [7:0]	
15 ～8	CFDB4 × d + 1 [7:0]	
7 ～0	CFDB4 × d + 0 [7:0]	

RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットが “01_B” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” の場合のみ、このレジスタを読めます。RSCFDnCFDCFPTRk レジスタの CFDLC[3:0] ビットの値が送受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

送受信 FIFO バッファのペイロード格納サイズは RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットで指定します。指定サイズを超える領域に対応する RSCFDnCFDCFDFd_k レジスタは読み書きしないでください。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

25.4.9　FIFO ステータス関連レジスタの詳細

25.4.9.1　RSCFDnCFDFESTS — FIFO エンプティステータスレジスタ

アクセス：RSCFDnCFDFESTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDFESTSL、RSCFDnCFDFESTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDFESTSLL、RSCFDnCFDFESTSLH、RSCFDnCFDFESTSHL、RSCFDnCFDFESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDFESTS: <RSCFDn_base> + 0238_H
RSCFDnCFDFESTSL: <RSCFDn_base> + 0238_H、RSCFDnCFDFESTSH: <RSCFDn_base> + $023A_H$
RSCFDnCFDFESTSLL: <RSCFDn_base> + 0238_H、RSCFDnCFDFESTSLH: <RSCFDn_base> + 0239_H、
RSCFDnCFDFESTSHL: <RSCFDn_base> + $023A_H$、RSCFDnCFDFESTSHH: <RSCFDn_base> + $023B_H$

リセット後の値：$03FF\ FFFF_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CF5 EMP	CF4 EMP	CF3 EMP	CF2 EMP	CF1 EMP	CF0 EMP	RF7 EMP	RF6 EMP	RF5 EMP	RF4 EMP	RF3 EMP	RF2 EMP	RF1 EMP	RF0 EMP
リセット後の値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.136　RSCFDnCFDFESTS レジスタの内容

ビット	ビット名	機能
31 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。
13	CF5EMP	送受信 FIFO バッファエンプティステータスフラグ 0：送受信 FIFO バッファ k にメッセージあり 1：送受信 FIFO バッファ k にメッセージなし （k = 0 ~ 5）
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0：受信 FIFO バッファ x に未読メッセージあり 1：受信 FIFO バッファ x に未読メッセージなし （x = 0 ~ 7）
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCFDnCFDFESTS レジスタは、グローバルリセットモード時、“$03FF\ FFFF_H$” になります。

CFkEMP フラグ（k = 0 ~ 5）

RSCFDnCFDCFSTSk レジスタの CFEMP フラグが “1”（メッセージなし）になると、CFkEMP フラグは “1” になります。CFEMP フラグが “0”（メッセージあり）になると、CFkEMP フラグは “0” になります。

RFxEMP フラグ（x = 0 ~ 7）

RSCFDnCFDRFSTSx レジスタの RFEMP フラグが “1”（未読メッセージなし）になると、RFxEMP フラグは “1” になります。RFEMP フラグが “0”（未読メッセージあり）になると、RFxEMP フラグは “0” になります。

25.4.9.2　RSCFDnCFDFFSTS — FIFO フルステータスレジスタ

アクセス：RSCFDnCFDFFSTS レジスタは、32ビット単位でリードのみ可能です。
RSCFDnCFDFFSTSL、RSCFDnCFDFFSTSH レジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDFFSTSLL、RSCFDnCFDFFSTSLH、RSCFDnCFDFFSTSHL、RSCFDnCFDFFSTSHH レジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDFFSTS: <RSCFDn_base> + $023C_H$
RSCFDnCFDFFSTSL: <RSCFDn_base> + $023C_H$、RSCFDnCFDFFSTSH: <RSCFDn_base> + $023E_H$
RSCFDnCFDFFSTSLL: <RSCFDn_base> + $023C_H$、RSCFDnCFDFFSTSLH: <RSCFDn_base> + $023D_H$、
RSCFDnCFDFFSTSHL: <RSCFDn_base> + $023E_H$、RSCFDnCFDFFSTSHH: <RSCFDn_base> + $023F_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CF5 FLL	CF4 FLL	CF3 FLL	CF2 FLL	CF1 FLL	CF0 FLL	RF7 FLL	RF6 FLL	RF5 FLL	RF4 FLL	RF3 FLL	RF2 FLL	RF1 FLL	RF0 FLL
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.137　RSCFDnCFDFFSTS レジスタの内容

ビット	ビット名	機能
31 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。
13	CF5FLL	送受信FIFOバッファフルステータスフラグ 0：送受信FIFOバッファ k はフルではない 1：送受信FIFOバッファ kはフル （k = 0 ~ 5）
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	
7	RF7FLL	受信FIFOバッファフルステータスフラグ 0：受信FIFOバッファ x はフルではない 1：受信FIFOバッファ xはフル （x = 0 ~ 7）
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCFDnCFDFFSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkFLL フラグ（k = 0 ~ 5）

RSCFDnCFDCFSTSk レジスタの CFFLL フラグが “1”（バッファフル）になると、CFkFLL フラグは “1” になります。

CFFLL フラグが “0”（送受信 FIFO がバッファフルでない）になると、CFkFLL フラグは “0” になります。

RFxFLL フラグ（x = 0 ~ 7）

RSCFDnCFDRFSTSx レジスタの RFFLL フラグが “1”（バッファフル）になると、RFxFLL フラグは “1” になります。RFFLL フラグが “0”（バッファフルでない）になると、RFxFLL フラグは “0” になります。

25.4.9.3　RSCFDnCFDFMSTS — FIFO メッセージロストステータスレジスタ

アクセス：RSCFDnCFDFMSTS レジスタは、32ビット単位でリードのみ可能です。
RSCFDnCFDFMSTSL、RSCFDnCFDFMSTSH レジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDFMSTSLL、RSCFDnCFDFMSTSLH、RSCFDnCFDFMSTSHL、RSCFDnCFDFMSTSHH レジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDFMSTS: <RSCFDn_base> + 0240_H
RSCFDnCFDFMSTSL: <RSCFDn_base> + 0240_H、RSCFDnCFDFMSTSH: <RSCFDn_base> + 0242_H
RSCFDnCFDFMSTSLL: <RSCFDn_base> + 0240_H、RSCFDnCFDFMSTSLH: <RSCFDn_base> + 0241_H、
RSCFDnCFDFMSTSHL: <RSCFDn_base> + 0242_H、RSCFDnCFDFMSTSHH: <RSCFDn_base> + 0243_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CF5 MLT	CF4 MLT	CF3 MLT	CF2 MLT	CF1 MLT	CF0 MLT	RF7 MLT	RF6 MLT	RF5 MLT	RF4 MLT	RF3 MLT	RF2 MLT	RF1 MLT	RF0 MLT
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.138　RSCFDnCFDFMSTS レジスタの内容

ビット	ビット名	機能
31 ～ 14	予約ビット	リードした場合はリセット後の値が読めます。
13	CF5MLT	送受信FIFOバッファメッセージロストステータスフラグ 0：送受信FIFOバッファ kメッセージロストなし 1：送受信FIFOバッファ kメッセージロスト （k = 0 ~ 5）
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	受信FIFOバッファメッセージロストステータスフラグ 0：受信FIFOバッファ xメッセージロストなし 1：受信FIFOバッファ xメッセージロスト （x = 0 ~ 7）
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCFDnCFDFMSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkMLT フラグ（k = 0 ~ 5）

RSCFDnCFDCFSTSk レジスタの CFMLT フラグが “1”（メッセージロスト）になると、CFkMLT フラグは “1” になります。

CFMLT フラグを “0” にすると、CFkMLT フラグは “0” になります。

RFxMLT フラグ（x = 0 ~ 7）

RSCFDnCFDRFSTSx レジスタの RFMLT フラグが “1”（メッセージロスト）になると、RFxMLT フラグは “1” になります。RFMLT フラグを “0” にすると、RFxMLT フラグは “0” になります。

25.4.9.4　RSCFDnCFDRFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス：RSCFDnCFDRFISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDRFISTSL、RSCFDnCFDRFISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDRFISTSLL、RSCFDnCFDRFISTSLH、RSCFDnCFDRFISTSHL、RSCFDnCFDRFISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDRFISTS: <RSCFDn_base> + 0244_H
RSCFDnCFDRFISTSL: <RSCFDn_base> + 0244_H、RSCFDnCFDRFISTSH: <RSCFDn_base> + 0246_H
RSCFDnCFDRFISTSLL: <RSCFDn_base> + 0244_H、RSCFDnCFDRFISTSLH: <RSCFDn_base> + 0245_H、
RSCFDnCFDRFISTSHL: <RSCFDn_base> + 0246_H、RSCFDnCFDRFISTSHH: <RSCFDn_base> + 0247_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.139　RSCFDnCFDRFISTS レジスタの内容

ビット	ビット名	機能
31 ～ 8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0：受信 FIFO バッファ x 割り込み要求なし 1：受信 FIFO バッファ x 割り込み要求あり （x = 0 ~ 7）
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCFDnCFDRFISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

RFxIF フラグ（x = 0 ~ 7）

RSCFDnCFDRFSTSx レジスタの RFIF フラグが “1”（割り込み要求あり）になると、RFxIF フラグは “1” になります。RFIF フラグを “0” にすると、RFxIF フラグは “0” になります。

25.4.9.5　RSCFDnCFDCFRISTS — 送受信 FIFO バッファ 受信割り込みフラグ ステータスレジスタ

アクセス：RSCFDnCFDCFRISTSレジスタは、32ビット単位でリードのみ可能です。
RSCFDnCFDCFRISTSL、RSCFDnCFDCFRISTSHレジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDCFRISTSLL、RSCFDnCFDCFRISTSLH、RSCFDnCFDCFRISTSHL、RSCFDnCFDCFRISTSHHレジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDCFRISTS: <RSCFDn_base> + 0248_H
RSCFDnCFDCFRISTSL: <RSCFDn_base> + 0248_H、RSCFDnCFDCFRISTSH: <RSCFDn_base> + $024A_H$
RSCFDnCFDCFRISTSLL: <RSCFDn_base> + 0248_H、RSCFDnCFDCFRISTSLH: <RSCFDn_base> + 0249_H、
RSCFDnCFDCFRISTSHL: <RSCFDn_base> + $024A_H$、RSCFDnCFDCFRISTSHH: <RSCFDn_base> + $024B_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CF5 RXIF	CF4 RXIF	CF3 RXIF	CF2 RXIF	CF1 RXIF	CF0 RXIF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.140　RSCFDnCFDCFRISTSレジスタの内容

ビット	ビット名	機能
31 ～6	予約ビット	リードした場合はリセット後の値が読めます。
5	CF5RXIF	送受信FIFOバッファ受信割り込み要求ステータスフラグ 0：送受信FIFOバッファ k受信割り込み要求なし 1：送受信FIFOバッファ k 受信割り込み要求あり （k = 0 ~ 5）
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCFDnCFDCFRISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkRXIF フラグ（k = 0 ~ 5）

RSCFDnCFDCFSTSk レジスタの CFRXIF フラグが “1”（割り込み要求あり）になると、CFkRXIF フラグは “1” になります。CFRXIF フラグを “0” にすると、CFkRXIF フラグは “0” になります。

25.4.9.6　RSCFDnCFDCFTISTS — 送受信 FIFO バッファ 送信割り込みフラグ ステータスレジスタ

アクセス：RSCFDnCFDCFTISTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCFTISTSL、RSCFDnCFDCFTISTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCFTISTSLL、RSCFDnCFDCFTISTSLH、RSCFDnCFDCFTISTSHL、RSCFDnCFDCFTISTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDCFTISTS: <RSCFDn_base> + $024C_H$
RSCFDnCFDCFTISTSL: <RSCFDn_base> + $024C_H$、RSCFDnCFDCFTISTSH: <RSCFDn_base> + $024E_H$
RSCFDnCFDCFTISTSLL: <RSCFDn_base> + $024C_H$、RSCFDnCFDCFTISTSLH: <RSCFDn_base> + $024D_H$、
RSCFDnCFDCFTISTSHL: <RSCFDn_base> + $024E_H$、RSCFDnCFDCFTISTSHH: <RSCFDn_base> + $024F_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CF5 TXIF	CF4 TXIF	CF3 TXIF	CF2 TXIF	CF1 TXIF	CF0 TXIF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.141　RSCFDnCFDCFTISTS レジスタの内容

ビット	ビット名	機能
31 ～6	予約ビット	リードした場合はリセット後の値が読めます。
5	CF5TXIF	送受信FIFOバッファ 送信割り込み要求ステータスフラグ 0：送受信FIFOバッファ k 送信割り込み要求なし 1：送受信FIFOバッファ k 送信割り込み要求あり (k = 0 ~ 5)
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCFDnCFDCFTISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkTXIF フラグ（k = 0 ~ 5）

RSCFDnCFDCFSTSk レジスタの CFTXIF フラグが “1”（割り込み要求あり）になると、CFkTXIF フラグは “1” になります。CFTXIF フラグを “0” にすると、CFkTXIF フラグは “0” になります。

25.4.10　FIFO DMA 関連レジスタの詳細

25.4.10.1　RSCFDnCFDCDTCT — DMA 許可レジスタ

アクセス：RSCFDnCFDCDTCT レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDCDTCTL、RSCFDnCFDCDTCTH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDCDTCTLL、RSCFDnCFDCDTCTLH、RSCFDnCFDCDTCTHL、RSCFDnCFDCDTCTHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDCDTCT: <RSCFDn_base> + 0490_H
RSCFDnCFDCDTCTL: <RSCFDn_base> + 0490_H
RSCFDnCFDCDTCTH: <RSCFDn_base> + 0492_H
RSCFDnCFDCDTCTLL: <RSCFDn_base> + 0490_H、
RSCFDnCFDCDTCTLH: <RSCFDn_base> + 0491_H、
RSCFDnCFDCDTCTHL: <RSCFDn_base> + 0492_H、
RSCFDnCFDCDTCTHH: <RSCFDn_base> + 0493_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CFDMAE1	CFDMAE0	RFDMAE7	RFDMAE6	RFDMAE5	RFDMAE4	RFDMAE3	RFDMAE2	RFDMAE1	RFDMAE0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.142　RSCFDnCFDCDTCT レジスタの内容

ビット	ビット名	機能
31 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	CFDMAE1	送受信 FIFO バッファ 3 DMA 許可ビット 0：送受信 FIFO バッファ 3 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 3 の DMA 転送要求を許可する
8	CFDMAE0	送受信 FIFO バッファ 0 DMA 許可ビット 0：送受信 FIFO バッファ 0 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 0 の DMA 転送要求を許可する
7	RFDMAE7	受信 FIFO バッファ x DMA 許可ビット 0：受信 FIFO バッファ x の DMA 転送要求を許可しない 1：受信 FIFO バッファ x の DMA 転送要求を許可する （x = 0 ~ 7）
6	RFDMAE6	
5	RFDMAE5	
4	RFDMAE4	
3	RFDMAE3	
2	RFDMAE2	
1	RFDMAE1	
0	RFDMAE0	

RSCFDnCFDCDTCT レジスタは、グローバル動作モードまたはグローバルテストモードで書き換えてください。

CFDMAEm ビット

送受信 FIFO バッファ 3 × m（チャネル m に割り当てられた最初の送受信 FIFO バッファ）の DMA 転送を許可します。RSCFDnCFDCFCCk レジスタの CFM[1:0] ビットを “00B”（受信モード）に設定した送受信 FIFO バッファのみ DMA 転送を許可できます。CFM[1:0] ビットが “01B”（送信モード）または “10B”（ゲートウェイモード）の場合は、“0” にしてください。

RFDMAEx ビット

受信 FIFO バッファ x の DMA 転送を許可します。

25.4.10.2　RSCFDnCFDCDTSTS — DMA ステータスレジスタ

アクセス：RSCFDnCFDCDTSTS レジスタは、32 ビット単位でリードのみ可能です。
RSCFDnCFDCDTSTSL、RSCFDnCFDCDTSTSH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDCDTSTSLL、RSCFDnCFDCDTSTSLH、RSCFDnCFDCDTSTSHL、RSCFDnCFDCDTSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDCDTSTS: <RSCFDn_base> + 0494_H
RSCFDnCFDCDTSTSL: <RSCFDn_base> + 0494_H
RSCFDnCFDCDTSTSH: <RSCFDn_base> + 0496_H
RSCFDnCFDCDTSTSLL: <RSCFDn_base> + 0494_H、
RSCFDnCFDCDTSTSLH: <RSCFDn_base> + 0495_H、
RSCFDnCFDCDTSTSHL: <RSCFDn_base> + 0496_H、
RSCFDnCFDCDTSTSHH: <RSCFDn_base> + 0497_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CFDMASTS1	CFDMASTS0	RFDMASTS7	RFDMASTS6	RFDMASTS5	RFDMASTS4	RFDMASTS3	RFDMASTS2	RFDMASTS1	RFDMASTS0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.143　RSCFDnCFDCDTSTS レジスタの内容

ビット	ビット名	機能
31 ～ 10	予約ビット	リードした場合はリセット後の値が読めます。
9	CFDMASTS1	送受信FIFOバッファ 3 DMAステータスビット 0：送受信FIFOバッファ 3のDMA転送中でない 1：送受信FIFOバッファ 3のDMA転送中
8	CFDMASTS0	送受信FIFOバッファ 0 DMAステータスビット 0：送受信FIFOバッファ 0のDMA転送中でない 1：送受信FIFOバッファ 0のDMA転送中
7	RFDMASTS7	受信FIFOバッファ x DMAステータスビット 0：受信FIFOバッファ xのDMA転送中でない 1：受信FIFOバッファ xのDMA転送中 （x = 0 ~ 7）
6	RFDMASTS6	
5	RFDMASTS5	
4	RFDMASTS4	
3	RFDMASTS3	
2	RFDMASTS2	
1	RFDMASTS1	
0	RFDMASTS0	

CFDMASTSm ビット

送受信 FIFO バッファ 3 × m（チャネル m に割り当てられた先頭の送受信 FIFO バッファ）の DMA 転送が許可状態（RSCFDnCFDCDTCT レジスタの CFDMAEm ビットが “1”）で送受信 FIFO バッファにメッセージがあるとき、CFDMASTSm ビットは “1” になり、DMA 転送中であることを示します。

送受信 FIFO バッファの全メッセージが転送されるか DMA 転送が禁止状態（CFDMAEm ビットが “0”）になると、CFDMASTSm ビットは “0” になり、DMA 転送が完了したことを示します。DMA 転送中に CFDMAEm ビットを “0” にした場合、実行中の DMA 転送が完了した（転送中のメッセージがペイロード格納領域の最終バイトまで転送された）後で CFDMASTSm ビットが “0” になります。

グローバルリセットモード時、“0” になります。

RFDMASTSx ビット

受信 FIFO バッファ x の DMA 転送が許可状態（RSCFDnCFDCDTCT レジスタの対応する RFDMAEx ビットが “1”）で受信 FIFO バッファにメッセージがあるとき、RFDMAEx ビットは “1” になり、DMA 転送中であることを示します。

受信 FIFO バッファ x の全メッセージが転送されるか DMA 転送が禁止状態（RFDMAEx ビットが “0”）になると、RFDMASTSx ビットは “0” になり、DMA 転送が完了したことを示します。DMA 転送中に RFDMAEx ビットを “0” にした場合、実行中の DMA 転送が完了した（転送中のメッセージがペイロード格納領域の最終バイトまで転送された）後で RFDMASTSx ビットが "0" になります。グローバルリセットモード時、“0” になります。

25.4.11　送信バッファ関連レジスタの詳細

25.4.11.1　RSCFDnCFDTMCp — 送信バッファ制御レジスタ（p = 0 ~ 31）

アクセス：RSCFDnCFDTMCpレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTMCp: <RSCFDn_base> + 0250_H + (01_H × p)

リセット後の値：00H

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W注1	R/W注1

注1.　このビットへの書き込みは、ビットセットする（“1”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.144　RSCFDnCFDTMCpレジスタの内容

ビット	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0：ワンショット送信禁止 1：ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0：送信アボートを要求しない 1：送信アボートを要求する
0	TMTR	送信要求ビット 0：送信を要求しない 1：送信を要求する

RSCFDnCFDTMCp レジスタが次の条件を満たす場合は、“00_H” にしてください。

- RSCFDnCFDCFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCFDnCFDTMCp レジスタ（p = m × 16 + CFTML[3:0] ビットの値）
- RSCFDnCFDTXQCCm レジスタ（m = 0, 1）の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCFDnCFDTMCp レジスタ（p = (m × 16 + 15) ～ (m × 16 + 15 - TXQDC[3:0] ビットの値)）
- RSCFDnCFDCmFDCFG レジスタの TMME ビットが “1”（送信バッファマージモード）で、ペイロード格納領域として割り当てられた送信バッファに対応する RSCFDnCFDTMCp レジスタ（p = (m × 16) + 1、(m × 16) + 2、(m × 16) + 4、(m × 16) + 5）

RSCFDnCFDTMCp レジスタのビットは、チャネルリセットモード時に “0” になります。
RSCFDnCFDTMCp レジスタは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

TMOM ビット

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCFDnCFDTMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

TMTAR ビット

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが “1” のとき、TMTAR ビットを “1” にできます。

TMTAR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0” になるタイミングと “1” を書くタイミングが同じ場合、“0” になります。

TMTR ビット

“1” にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” にできません。

- 送信が完了したとき
- TMTAR ビットを “1” にし、送信アボートが完了したとき
- TMOM ビットが “1” の状態で、エラーまたはアービトレーションロストを検出したとき

RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “00B” のときに、TMTR ビットを “1” に設定してください。

25.4.11.2　RSCFDnCFDTMSTSp — 送信バッファステータスレジスタ（p = 0 ~ 31）

アクセス：RSCFDnCFDTMSTSp レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTMSTSp: <RSCFDn_base> + $02D0_H$ + (01_H × p)

リセット後の値：00_H

ビット：	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R

表 25.145　RSCFDnCFDTMSTSp レジスタの内容

ビット	ビット名	機能
7 ～ 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0：送信アボート要求なし 1：送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0：送信要求なし 1：送信要求あり
2、1	TMTRF[1:0]	送信バッファ送信結果フラグ b2　b1 0　0：送信中、または送信要求なし 0　1：送信アボート完了 1　0：送信完了（送信アボート要求なし） 1　1：送信完了（送信アボート要求あり）
0	TMTSTS	送信バッファ送信ステータスフラグ 0：送信中ではない 1：送信中

RSCFDnCFDTMSTSp レジスタのビットは、チャネルリセットモード時に “0” になります。

TMTARM フラグ

RSCFDnCFDTMCp レジスタの TMTAR ビットを “1” にすると、TMTARM フラグは “1” になります。
RSCFDnCFDTMCp レジスタの TMTAR ビットが “0” になると、TMTARM フラグは “0” になります。

TMTRM フラグ

RSCFDnCFDTMCp レジスタの TMTR ビットを “1” にすると、TMTRM フラグは “1” になります。
RSCFDnCFDTMCp レジスタの TMTR ビットが “0” になると、TMTRM フラグは “0” になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。
00_B：送信中または送信要求なし。
01_B：送信バッファからの送信がアボートされた。
10_B：RSCFDnCFDTMCp レジスタの TMTAR ビットが “0”（送信アボートを要求しない）で、送信が完了した。
11_B：RSCFDnCFDTMCp レジスタの TMTAR ビットが “1”（送信アボートを要求する）で、送信が完了した。

TMTRF[1:0] フラグは、チャネル通信モードまたはチャネル待機モードで “00B” を書いてください。“00B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0” になります。

25.4.11.3　RSCFDnCFDTMIDp — 送信バッファ ID レジスタ（p = 0 ~ 31）

アクセス：RSCFDnCFDTMIDp レジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDTMIDpL、RSCFDnCFDTMIDpH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDTMIDpLL、RSCFDnCFDTMIDpLH、RSCFDnCFDTMIDpHL、RSCFDnCFDTMIDpHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTMIDp: <RSCFDn_base> + 4000_H + (20_H × p)
RSCFDnCFDTMIDpL: <RSCFDn_base> + 4000_H + (20_H × p)、
RSCFDnCFDTMIDpH: <RSCFDn_base> + 4002_H + (20_H × p)
RSCFDnCFDTMIDpLL: <RSCFDn_base> + 4000_H + (20_H × p)、
RSCFDnCFDTMIDpLH: <RSCFDn_base> + 4001_H + (20_H × p)、
RSCFDnCFDTMIDpHL: <RSCFDn_base> + 4002_H + (20_H × p)、
RSCFDnCFDTMIDpHH: <RSCFDn_base> + 4003_H + (20_H × p)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID[28:16]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.146　RSCFDnCFDTMIDp レジスタの内容

ビット	ビット名	機能
31	TMIDE	送信バッファ IDEビット 0：標準ID 1：拡張ID
30	TMRTR	送信バッファ RTR／RRSビット • 送信メッセージがクラシカルCANフレームのとき 0：データフレーム 1：リモートフレーム • 送信メッセージがCANFDフレームのとき “0”を書いてください。
29	THLEN	送信履歴データ格納許可ビット 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～0	TMID[28:0]	送信バッファ IDデータ 標準IDまたは拡張IDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b28～b11は“0”にしてください。

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。
RSCFDnCFDTMFDCTRp レジスタの TMFDF ビットが “1”（CANFD フレーム）であるときは、“0” にしてください。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ）が送信履歴バッファに格納されます。

TMID[28:0] ビット

送信バッファから送信するメッセージの ID を設定します。

25.4.11.4　RSCFDnCFDTMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 31）

アクセス：RSCFDnCFDTMPTRp レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTMPTRpL、RSCFDnCFDTMPTRpH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTMPTRpLL、RSCFDnCFDTMPTRpLH、RSCFDnCFDTMPTRpHL、RSCFDnCFDTMPTRpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTMPTRp: <RSCFDn_base> + 4004_H + (20_H × p)
RSCFDnCFDTMPTRpL: <RSCFDn_base> + 4004_H + (20_H × p)、
RSCFDnCFDTMPTRpH: <RSCFDn_base> + 4006_H + (20_H × p)
RSCFDnCFDTMPTRpLL: <RSCFDn_base> + 4004_H + (20_H × p)、
RSCFDnCFDTMPTRpLH: <RSCFDn_base> + 4005_H + (20_H × p)、
RSCFDnCFDTMPTRpHL: <RSCFDn_base> + 4006_H + (20_H × p)、
RSCFDnCFDTMPTRpHH: <RSCFDn_base> + 4007_H + (20_H × p)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC[3:0]				—	—	—	—	TMPTR[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.147　RSCFDnCFDTMPTRp レジスタの内容

ビット	ビット名	機能
31 ～ 28	TMDLC[3:0]	送信バッファ DLC データ
27 ～ 24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23 ～ 16	TMPTR[7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。

b31 b30 b29 b28	クラシカル CAN フレーム	CANFD フレーム
0 0 0 0	0 データバイト	
0 0 0 1	1 データバイト	
0 0 1 0	2 データバイト	
0 0 1 1	3 データバイト	
0 1 0 0	4 データバイト	
0 1 0 1	5 データバイト	
0 1 1 0	6 データバイト	
0 1 1 1	7 データバイト	
1 0 0 0	8 データバイト	
1 0 0 1	8 データバイト	12 データバイト
1 0 1 0		16 データバイト
1 0 1 1		20 データバイト
1 1 0 0		24 データバイト
1 1 0 1		32 データバイト
1 1 1 0		48 データバイト
1 1 1 1		64 データバイト

ビット	ビット名	機能
15 ～ 0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0] ビット

RSCFDnCFDTMIDp レジスタの TMRTR ビットが “0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。RSCFDnCFDTMFDCTRp レジスタの TMFDF ビットが “0”（クラシカル CAN フレーム）のときに TMDLC[3:0] ビットに “1001B” 以上を設定した場合、送信されるデータは、8 バイトになります。TMFDF ビットが “1”（CANFD フレーム）のとき、RSCFDnCFDCmFDCFG レジスタの TMME ビットによって設定可能な値の範囲が異なります。

- TMME ビットが “0”（送信バッファマージモード禁止）の場合：
  “0000B” ～ “1111B” の全ての値が設定できます。“1100B” 以上の値を設定したとき、20 バイトを超える分のペイロードは “CCH” でパディングされます。
- TMME ビットが “1”（送信バッファマージモード許可）の場合：
  対応する送信バッファの番号が p = (m × 16) + 0、(m × 16) + 3 であるとき、“0000B” ～ “1111B” の全ての値が設定できます。それ以外の場合は “1011B”（20 データバイト）までの値を設定してください。

TMRTR ビットが “1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0] ビット

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

25.4.11.5　RSCFDnCFDTMFDCTRp — 送信バッファ CANFD コンフィグレーション レジスタ（p = 0 ~ 31）

アクセス：RSCFDnCFDTMFDCTRp レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTMFDCTRpL、RSCFDnCFDTMFDCTRpH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTMFDCTRpLL、RSCFDnCFDTMFDCTRpLH、RSCFDnCFDTMFDCTRpHL、RSCFDnCFDTMFDCTRpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTMFDCTRp: <RSCFDn_base> + 4008_H + (20_H × p)
RSCFDnCFDTMFDCTRpL: <RSCFDn_base> + 4008_H + (20_H × p)、
RSCFDnCFDTMFDCTRpH: <RSCFDn_base> + $400A_H$ + (20_H × p)
RSCFDnCFDTMFDCTRpLL: <RSCFDn_base> + 4008_H + (20_H × p)、
RSCFDnCFDTMFDCTRpLH: <RSCFDn_base> + 4009_H + (20_H × p)、
RSCFDnCFDTMFDCTRpHL: <RSCFDn_base> + $400A_H$ + (20_H × p)、
RSCFDnCFDTMFDCTRpHH: <RSCFDn_base> + $400B_H$ + (20_H × p)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TMFDF	TMBRS	TMESI
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 25.148　RSCFDnCFDTMFDCTRp レジスタの内容

ビット	ビット名	機能
31 ～ 3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMFDF	FDF ビット 0：クラシカル CAN フレーム 1：CANFD フレーム
1	TMBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	TMESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

このレジスタは、対応する RSCFDnCFDTMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMFDF ビット

送信バッファから送信するメッセージの FD フォーマットを設定します。

TMBRS ビット

TMFDF ビットが “1” のとき、このビットを “1” にすると、送信メッセージのデータ領域はデータビットレートで送信されます。TMFDF ビットが “0” のときは、このビットに “0” を書いてください。

TMESI ビット

TMFDF ビットが “1” のとき、送信バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RSCFDnCFDCmFDCFG レジスタの ESIC ビットが “1” かつチャネルがエラーアクティブ状態のとき送信されます。チャネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。TMFDF ビットが “0” のときは、このビットに “0” を書いてください。

25.4.11.6　RSCFDnCFDTMDFb_p — 送信バッファデータフィールドbレジスタ（b = 0 ~ 4, p = 0 ~ 31）

アクセス：RSCFDnCFDTMDFb_pレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDTMDFb_pL、RSCFDnCFDTMDFb_pHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDTMDFb_pLL、RSCFDnCFDTMDFb_pLH、RSCFDnCFDTMDFb_pHL、RSCFDnCFDTMDFb_pHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTMDFb_p: <RSCFDn_base> + $400C_H$ + (04_H × b) + (20_H × p)
RSCFDnCFDTMDFb_pL: <RSCFDn_base> + $400C_H$ + (04_H × b) + (20_H × p)、
RSCFDnCFDTMDFb_pH: <RSCFDn_base> + $400E_H$ + (04_H × b) + (20_H × p)
RSCFDnCFDTMDFb_pLL: <RSCFDn_base> + $400C_H$ + (04_H × b) + (20_H × p)、
RSCFDnCFDTMDFb_pLH: <RSCFDn_base> + $400D_H$ + (04_H × b) + (20_H × p)、
RSCFDnCFDTMDFb_pHL: <RSCFDn_base> + $400E_H$ + (04_H × b) + (20_H × p)、
RSCFDnCFDTMDFb_pHH: <RSCFDn_base> + $400F_H$ + (04_H × b) + (20_H × p)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB4 × b + 3 [7:0]								TMDB4 × b + 2 [7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB4 × b + 1 [7:0]								TMDB4 × b + 0 [7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表25.149　RSCFDnCFDTMDFb_pレジスタの内容

ビット	ビット名	機能
31 ～24	TMDB4 × b + 3 [7:0]	送信バッファデータバイト4 × b + 3 送信バッファデータバイト4 × b + 2 送信バッファデータバイト4 × b + 1 送信バッファデータバイト4 × b + 0 送信バッファのデータを設定してください。
23 ～16	TMDB4 × b + 2 [7:0]	
15 ～8	TMDB4 × b + 1 [7:0]	
7 ～0	TMDB4 × b + 0 [7:0]	

このレジスタは、対応するRSCFDnCFDTMSTSpレジスタのTMTRMビットが“0”（送信を要求しない）のときに書き換えてください。送受信FIFOバッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファp (p = m × 16 + 15) のみに書いてください。

25.4.11.7　RSCFDnCFDTMIECy — 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（y = 0）

アクセス：RSCFDnCFDTMIECy レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDTMIECyL、RSCFDnCFDTMIECyH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDTMIECyLL、RSCFDnCFDTMIECyLH、RSCFDnCFDTMIECyHL、RSCFDnCFDTMIECyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTMIECy: <RSCFDn_base> + 0390_H + (04_H × y)
RSCFDnCFDTMIECyL: <RSCFDn_base> + 0390_H + (04_H × y)、
RSCFDnCFDTMIECyH: <RSCFDn_base> + 0392_H + (04_H × y)
RSCFDnCFDTMIECyLL: <RSCFDn_base> + 0390_H + (04_H × y)、
RSCFDnCFDTMIECyLH: <RSCFDn_base> + 0391_H + (04_H × y)、
RSCFDnCFDTMIECyHL: <RSCFDn_base> + 0392_H + (04_H × y)、
RSCFDnCFDTMIECyHH: <RSCFDn_base> + 0393_H + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15～ y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.150　RSCFDnCFDTMIECy レジスタの内容

ビット	ビット名	機能
31 ～16	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 31～y × 32 + 16） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可
15 ～0	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 15～y × 32 + 0） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可

TMIEp ビット（p = 0 ~ 31）

このビットを “1” に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCFDnCFDTMSTSp レジスタの TMTRM フラグが “0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは “0” にしてください。RSCFDnCFDCmFDCFG レジスタの TMME ビットが “1”（送信バッファマージモード許可）のときは、ペイロード格納領域として割り当てられた送信バッファに対応するビットは “0” にしてください。

表 25.151 にビット配置を示します。

表 25.151　TMIEp ビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.4.12　送信バッファステータス関連レジスタの詳細

25.4.12.1　RSCFDnCFDTMTRSTSy — 送信バッファ送信要求ステータスレジスタ（y = 0）

アクセス：RSCFDnCFDTMTRSTSyレジスタは、32ビット単位でリードのみです。
RSCFDnCFDTMTRSTSyL、RSCFDnCFDTMTRSTSyHレジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDTMTRSTSyLL、RSCFDnCFDTMTRSTSyLH、RSCFDnCFDTMTRSTSyHL、RSCFDnCFDTMTRSTSyHHレジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDTMTRSTSy: <RSCFDn_base> + 0350_H + (04_H × y)
RSCFDnCFDTMTRSTSyL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCFDnCFDTMTRSTSyH: <RSCFDn_base> + 0352_H + (04_H × y)
RSCFDnCFDTMTRSTSyLL: <RSCFDn_base> + 0350_H + (04_H × y)、
RSCFDnCFDTMTRSTSyLH: <RSCFDn_base> + 0351_H + (04_H × y)、
RSCFDnCFDTMTRSTSyHL: <RSCFDn_base> + 0352_H + (04_H × y)、
RSCFDnCFDTMTRSTSyHH: <RSCFDn_base> + 0353_H + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.152　RSCFDnCFDTMTRSTSyレジスタの内容

ビット	ビット名	機能
31～16	TMTRSTSp	送信バッファ送信要求ステータスフラグp（p = y × 32 + 31～y × 32 + 16） 0：送信要求なし 1：送信要求あり
15～0	TMTRSTSp	送信バッファ送信要求ステータスフラグp（p = y × 32 + 15～y × 32 + 0） 0：送信要求なし 1：送信要求あり

TMTRSTSp フラグ（p = 0 ~ 31）

RSCFDnCFDTMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを “1”（送信を要求する）にすると、対応する TMTRSTSp フラグは “1” になります。

TMTR ビットが “0”（送信を要求しない）になると、対応する TMTRSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 25.153 にビット配置を示します。

表 25.153　TMTRSTSp ビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.4.12.2　RSCFDnCFDTMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ（y = 0）

アクセス：RSCFDnCFDTMTARSTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTMTARSTSyL、RSCFDnCFDTMTARSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTARSTSyLL、RSCFDnCFDTMTARSTSyLH、RSCFDnCFDTMTARSTSyHL、RSCFDnCFDTMTARSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDTMTARSTSy: <RSCFDn_base> + 0360_H + (04_H × y)
RSCFDnCFDTMTARSTSyL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCFDnCFDTMTARSTSyH: <RSCFDn_base> + 0362_H + (04_H × y)
RSCFDnCFDTMTARSTSyLL: <RSCFDn_base> + 0360_H + (04_H × y)、
RSCFDnCFDTMTARSTSyLH: <RSCFDn_base> + 0361_H + (04_H × y)、
RSCFDnCFDTMTARSTSyHL: <RSCFDn_base> + 0362_H + (04_H × y)、
RSCFDnCFDTMTARSTSyHH: <RSCFDn_base> + 0363_H + (04_H × y)

リセット後の値：$0000\ 0001_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.154　RSCFDnCFDTMTARSTSy レジスタの内容

ビット	ビット名	機能
31 ～ 16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 31～y × 32 + 16） 0：送信アボート要求なし 1：送信アボート要求あり
15 ～ 0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 15～y × 32 + 0） 0：送信アボート要求なし 1：送信アボート要求あり

TMTARSTSp フラグ（p = 0 ~ 31）

RSCFDnCFDTMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを “1”（送信アボートを要求する）にすると、対応する TMTARSTSp フラグは “1” になります。

TMTAR ビットが “0”（送信アボートを要求しない）になると、対応する TMTARSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 25.157 にビット配置を示します。

表25.155　TMTARSTSpビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.4.12.3　RSCFDnCFDTMTCSTSy — 送信バッファ送信完了ステータスレジスタ（y = 0）

アクセス：RSCFDnCFDTMTCSTSy レジスタは、32 ビット単位でリードのみです。
RSCFDnCFDTMTCSTSyL、RSCFDnCFDTMTCSTSyH レジスタは、16 ビット単位でリードのみ可能です。
RSCFDnCFDTMTCSTSyLL、RSCFDnCFDTMTCSTSyLH、RSCFDnCFDTMTCSTSyHL、RSCFDnCFDTMTCSTSyHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDTMTCSTSy: <RSCFDn_base> + 0370_H + (04_H × y)
RSCFDnCFDTMTCSTSyL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCFDnCFDTMTCSTSyH: <RSCFDn_base> + 0372_H + (04_H × y)
RSCFDnCFDTMTCSTSyLL: <RSCFDn_base> + 0370_H + (04_H × y)、
RSCFDnCFDTMTCSTSyLH: <RSCFDn_base> + 0371_H + (04_H × y)、
RSCFDnCFDTMTCSTSyHL: <RSCFDn_base> + 0372_H + (04_H × y)、
RSCFDnCFDTMTCSTSyHH: <RSCFDn_base> + 0373_H + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTCSTSp (p = y × 32 + 31～y × 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTCSTSp (p = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.156　RSCFDnCFDTMTCSTSy レジスタの内容

ビット	ビット名	機能
31 ～ 16	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 31～y × 32 + 16） 0：送信未完了 1：送信完了
15 ～ 0	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 15～y × 32 + 0） 0：送信未完了 1：送信完了

TMTCSTSp フラグ（p = 0 ~ 31）

RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、送信アボート要求なし）または “11_B”（送信完了、送信アボート要求あり）になると、対応する TMTCSTSp フラグは “1” になります。

TMTCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 25.157 ビット配置を示します。

表 25.157　TMTCSTSp ビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.4.12.4　RSCFDnCFDTMTASTSy — 送信バッファ送信アボートステータスレジスタ（y = 0）

アクセス：RSCFDnCFDTMTASTSyレジスタは、32ビット単位でリードのみです。
RSCFDnCFDTMTASTSyL、RSCFDnCFDTMTASTSyHレジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDTMTASTSyLL、RSCFDnCFDTMTASTSyLH、RSCFDnCFDTMTASTSyHL、RSCFDnCFDTMTASTSyHHレジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDTMTASTSy: <RSCFDn_base> + 0380_H + (04_H × y)
RSCFDnCFDTMTASTSyL: <RSCFDn_base> + 0380_H + (04_H × y)、
RSCFDnCFDTMTASTSyH: <RSCFDn_base> + 0382_H + (04_H × y)
RSCFDnCFDTMTASTSyLL: <RSCFDn_base> + 0380_H + (04_H × y)、
RSCFDnCFDTMTASTSyLH: <RSCFDn_base> + 0381_H + (04_H × y)、
RSCFDnCFDTMTASTSyHL: <RSCFDn_base> + 0382_H + (04_H × y)、
RSCFDnCFDTMTASTSyHH: <RSCFDn_base> + 0383_H + (04_H × y)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31～y x 32 + 16 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15～y × 32 + 0 (y = 0))															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.158　RSCFDnCFDTMTASTSyレジスタの内容

ビット	ビット名	機能
31～16	TMTASTSp	送信バッファ送信アボートステータスフラグp（p = y × 32 + 31～y × 32 + 16） 0：送信アボートなし 1：送信アボートあり
15～0	TMTASTSp	送信バッファ送信アボートステータスフラグp（p = y × 32 + 15～y × 32 + 0） 0：送信アボートなし 1：送信アボートあり

TMTASTSp フラグ（p = 0 ~ 31）

RSCFDnCFDTMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 25.159 にビット配置を示します。

表25.159　TMTASTSp ビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
・ ・	・ ・	・ ・
15	0	15
16	1	0
・ ・	・ ・	・ ・
30	1	14
31	1	15

25.4.13　送信キュー関連レジスタの詳細

25.4.13.1　RSCFDnCFDTXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0、1）

アクセス：RSCFDnCFDTXQCCmレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDTXQCCmL、RSCFDnCFDTXQCCmHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDTXQCCmLL、RSCFDnCFDTXQCCmLH、RSCFDnCFDTXQCCmHL、RSCFDnCFDTXQCCmHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTXQCCm: <RSCFDn_base> + $03A0_H$ + (04_H × m)
RSCFDnCFDTXQCCmL: <RSCFDn_base> + $03A0_H$ + (04_H × m)、
RSCFDnCFDTXQCCmH: <RSCFDn_base> + $03A2_H$ + (04_H × m)
RSCFDnCFDTXQCCmLL: <RSCFDn_base> + $03A0_H$ + (04_H × m)、
RSCFDnCFDTXQCCmLH: <RSCFDn_base> + $03A1_H$ + (04_H × m)、
RSCFDnCFDTXQCCmHL: <RSCFDn_base> + $03A2_H$ + (04_H × m)、
RSCFDnCFDTXQCCmHH: <RSCFDn_base> + $03A3_H$ + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC[3:0]				—	—	—	—	—	—	—	TXQE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表25.160　RSCFDnCFDTXQCCmレジスタの内容

ビット	ビット名	機能
31 ～14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0：送信完了によって送信キューが空になったときに発生 1：1メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0：送信キュー割り込み禁止 1：送信キュー割り込み許可
11 ～8	TXQDC[3:0]	送信キュー段数設定ビット 設定値をg（g = 2 ~ 15）とすると、g+1の送信キューを使用できます。 “0”を設定すると、送信キューは使用できません。 “1”は設定しないでください。 送信バッファマージモードの場合は、g = 2 ~ 9を設定してください。
7 ～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0：送信キューを使用しない 1：送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを “1” に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを “0” にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に (m × 16 + 15) から (m × 16 + 0) まで順番に割り付けられます。バッファの割り当て例については、**図 25.9** を参照してください。RSCFDnCFDCmFDCFG レジスタの TMME ビットが “1”（送信バッファマージモード）のとき、送信バッファ (m × 16 + 5) から (m × 16 + 0) はマージされ、送信キューに割り付けることはできないため、TXQDC[3:0] ビットに 10 ~ 15 は設定しないでください。このビットはチャネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1” にすると送信キューを使用できます。このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。チャネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010B” 以上に設定してから TXQE ビットを “1” にしてください。

25.4.13.2　RSCFDnCFDTXQSTSm — 送信キューステータスレジスタ（m = 0、1）

アクセス：RSCFDnCFDTXQSTSm レジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDTXQSTSmL、RSCFDnCFDTXQSTSmH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDTXQSTSmLL、RSCFDnCFDTXQSTSmLH、RSCFDnCFDTXQSTSmHL、RSCFDnCFDTXQSTSmHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTXQSTSm: <RSCFDn_base> + $03C0_H$ + (04_H × m)
RSCFDnCFDTXQSTSmL: <RSCFDn_base> + $03C0_H$ + (04_H × m)、
RSCFDnCFDTXQSTSmH: <RSCFDn_base> + $03C2_H$ + (04_H × m)
RSCFDnCFDTXQSTSmLL: <RSCFDn_base> + $03C0_H$ + (04_H × m)、
RSCFDnCFDTXQSTSmLH: <RSCFDn_base> + $03C1_H$ + (04_H × m)、
RSCFDnCFDTXQSTSmHL: <RSCFDn_base> + $03C2_H$ + (04_H × m)、
RSCFDnCFDTXQSTSmHH: <RSCFDn_base> + $03C3_H$ + (04_H × m)

リセット後の値：$0000\ 0001_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFLL	TXQEMP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.161　RSCFDnCFDTXQSTSm レジスタの内容

ビット	ビット名	機能
31 ～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12 ～8	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
7 ～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQIF	送信キュー割り込み要求フラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0：送信キューフルではない 1：送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0：送信キューにメッセージあり 1：送信キューにメッセージなし（送信キュー空）

TXQIF フラグ

RSCFDnCFDTXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1” になります。

TXQIF フラグへの “0” 書き込み、またはチャネルリセットモード時、“0” になります。TXQIF フラグは、RSCFDnCFDTXQCCm レジスタの TXQE ビットを “0”（送信キューを使用しない）にしても “0” になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCFDnCFDTXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で “0” になります。

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャネルリセットモード時

TXQEMP フラグ

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは “0” になります。

次の条件で、“1” になります。

- TXQE ビットを “0”（送信キューを使用しない）にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

25.4.13.3　RSCFDnCFDTXQPCTRm — 送信キューポインタ制御レジスタ（m = 0、1）

アクセス：RSCFDnCFDTXQPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDTXQPCTRmL、RSCFDnCFDTXQPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDTXQPCTRmLL、RSCFDnCFDTXQPCTRmLH、RSCFDnCFDTXQPCTRmHL、RSCFDnCFDTXQPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス：RSCFDnCFDTXQPCTRm: <RSCFDn_base> + $03E0_H$ + (04_H × m)
RSCFDnCFDTXQPCTRmL: <RSCFDn_base> + $03E0_H$ + (04_H × m)、
RSCFDnCFDTXQPCTRmH: <RSCFDn_base> + $03E2_H$ + (04_H × m)
RSCFDnCFDTXQPCTRmLL: <RSCFDn_base> + $03E0_H$ + (04_H × m)、
RSCFDnCFDTXQPCTRmLH: <RSCFDn_base> + $03E1_H$ + (04_H × m)、
RSCFDnCFDTXQPCTRmHL: <RSCFDn_base> + $03E2_H$ + (04_H × m)、
RSCFDnCFDTXQPCTRmHH: <RSCFDn_base> + $03E3_H$ + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 25.162　RSCFDnCFDTXQPCTRm レジスタの内容

ビット	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	TXQPC[7:0]	送信キューポインタ制御 “FF_H” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに “FF_H” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCFDnCFDTMIDp、RSCFDnCFDTMPTRp、RSCFDnCFDTMFDCTRp、RSCFDnCFDTMDFb_p レジスタ (p = 15, 31) に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCFDnCFDTXQCCm レジスタの TXQE ビットが “1”（送信キューを使用する）で、RSCFDnCFDTXQSTSm レジスタの TXQFLL フラグが “0”（フルではない）の場合にのみ行ってください。

25.4.14　送信履歴関連レジスタの詳細

25.4.14.1　RSCFDnCFDTHLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0、1）

アクセス：RSCFDnCFDTHLCCmレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDTHLCCmL、RSCFDnCFDTHLCCmHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDTHLCCmLL、RSCFDnCFDTHLCCmLH、RSCFDnCFDTHLCCmHL、RSCFDnCFDTHLCCmHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTHLCCm: <RSCFDn_base> + 0400_H + (04_H × m)
RSCFDnCFDTHLCCmL: <RSCFDn_base> + 0400_H + (04_H × m)、
RSCFDnCFDTHLCCmH: <RSCFDn_base> + 0402_H + (04_H × m)
RSCFDnCFDTHLCCmLL: <RSCFDn_base> + 0400_H + (04_H × m)、
RSCFDnCFDTHLCCmLH: <RSCFDn_base> + 0401_H + (04_H × m)、
RSCFDnCFDTHLCCmHL: <RSCFDn_base> + 0402_H + (04_H × m)、
RSCFDnCFDTHLCCmHH: <RSCFDn_base> + 0403_H + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表25.163　RSCFDnCFDTHLCCmレジスタの内容

ビット	ビット名	機能
31～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0：送受信FIFO、送信キューからのエントリ 1：送信バッファ、送受信FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0：送信履歴バッファに12データ格納されたとき 1：1送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0：送信履歴割り込み禁止 1：送信履歴割り込み許可
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0：送信履歴バッファを使用しない 1：送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。
このビットはチャネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを “1” に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが “0” の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1” にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。
このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。
チャネルリセットモード時、“0” になります。

25.4.14.2　RSCFDnCFDTHLSTSm — 送信履歴ステータスレジスタ（m = 0、1）

アクセス：RSCFDnCFDTHLSTSm レジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDTHLSTSmL、RSCFDnCFDTHLSTSmH レジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDTHLSTSmLL、RSCFDnCFDTHLSTSmLH、RSCFDnCFDTHLSTSmHL、RSCFDnCFDTHLSTSmHH レジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDTHLSTSm: <RSCFDn_base> + 0420_H + (04_H × m)
RSCFDnCFDTHLSTSmL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCFDnCFDTHLSTSmH: <RSCFDn_base> + 0422_H + (04_H × m)
RSCFDnCFDTHLSTSmLL: <RSCFDn_base> + 0420_H + (04_H × m)、
RSCFDnCFDTHLSTSmLH: <RSCFDn_base> + 0421_H + (04_H × m)、
RSCFDnCFDTHLSTSmHL: <RSCFDn_base> + 0422_H + (04_H × m)、
RSCFDnCFDTHLSTSmHH: <RSCFDn_base> + 0423_H + (04_H × m)

リセット後の値：$0000\ 0001_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC[4:0]					—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表25.164　RSCFDnCFDTHLSTSmレジスタの内容

ビット	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12～8	THLMC[4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバフローフラグ 0：送信履歴バッファオーバフローではない 1：送信履歴バッファオーバフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0：送信履歴バッファフルではない 1：送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0：送信履歴バッファに未読データあり 1：送信履歴バッファに未読データなし（バッファ空）

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。チャネルリセットモード時、“0” になります。THLIF フラグ RSCFDnCFDTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1” になります。

THLIF フラグ

RSCFDnCFDTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1” になります。

本フラグはチャネルリセットモードかプログラムで本フラグに “0” を書き込みことで “0” にクリアされます。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。

“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき “1” になります。この場合、新しいデータは破棄されます。プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

フラグを “0” にする場合は、対応するフラグにプログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、“0” にしたいビットを “0”、そうでないビットを “1” にしてください。

THLFLL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1” になります。格納数が 16 個より少なくなると “0” になります。RSCFDnCFDTHLCCm レジスタの THLE ビットが “0”（送信履歴バッファを使用しない）のとき、またはチャネルリセットモード時、“0” になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると “0” になります。

送信履歴バッファのすべてのデータを読むと “1” になります。RSCFDnCFDTHLCCm レジスタの THLE ビットを “0”（送信履歴バッファを使用しない）にしたとき、またはチャネルリセットモード時、“1” になります。

備　考

THLIF 、THLELT フラグを“0”にする場合は、プログラムで “0” を書いてください。“0” を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

25.4.14.3　RSCFDnCFDTHLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0、1）

アクセス：RSCFDnCFDTHLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RSCFDnCFDTHLPCTRmL、RSCFDnCFDTHLPCTRmH レジスタは、16 ビット単位でライトのみ可能です。
RSCFDnCFDTHLPCTRmLL、RSCFDnCFDTHLPCTRmLH、RSCFDnCFDTHLPCTRmHL、RSCFDnCFDTHLPCTRmHH レジスタは、8 ビット単位でライトのみ可能です。

アドレス：RSCFDnCFDTHLPCTRm: <RSCFDn_base> + 0440_H + (04_H × m)
RSCFDnCFDTHLPCTRmL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCFDnCFDTHLPCTRmH: <RSCFDn_base> + 0442_H + (04_H × m)
RSCFDnCFDTHLPCTRmLL: <RSCFDn_base> + 0440_H + (04_H × m)、
RSCFDnCFDTHLPCTRmLH: <RSCFDn_base> + 0441_H + (04_H × m)、
RSCFDnCFDTHLPCTRmHL: <RSCFDn_base> + 0442_H + (04_H × m)、
RSCFDnCFDTHLPCTRmHH: <RSCFDn_base> + 0443_H + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 25.165　RSCFDnCFDTHLPCTRm レジスタの内容

ビット	ビット名	機能
31 ～ 8	予約ビット	ライトする場合はリセット後の値を書いてください。
7 ～ 0	THLPC[7:0]	送信履歴リストポインタ制御 “FF_H” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに “FF_H” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCFDnCFDTHLSTSm レジスタの THLMC[4:0] ビット（送信履歴バッファ未読数カウンタ）の値が 1 減算されます。RSCFDnCFDTHLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FF_H” を書いてください。

なお、”FF_H” の書き込みは、RSCFDnCFDTHLCCm レジスタの THLE ビットが “1”（送信履歴バッファを使用する）で、RSCFDnCFDTHLSTSm レジスタの THLEMP フラグが “0” のときのみ行ってください。

25.4.14.4　RSCFDnCFDTHLACCm — 送信履歴アクセスレジスタ（m = 0、1）

アクセス：RSCFDnCFDTHLACCm レジスタは、32ビット単位でリードのみです。
RSCFDnCFDTHLACCmL、RSCFDnCFDTHLACCmH レジスタは、16ビット単位でリードのみ可能です。
RSCFDnCFDTHLACCmLL、RSCFDnCFDTHLACCmLH、RSCFDnCFDTHLACCmHL、RSCFDnCFDTHLACCmHH レジスタは、8ビット単位でリードのみ可能です。

アドレス：RSCFDnCFDTHLACCm: <RSCFDn_base> + 6000_H + (04_H × m)
RSCFDnCFDTHLACCmL: <RSCFDn_base> + 6000_H + (04_H × m)、
RSCFDnCFDTHLACCmH: <RSCFDn_base> + 6002_H + (04_H × m)
RSCFDnCFDTHLACCmLL: <RSCFDn_base> + 6000_H + (04_H × m)、
RSCFDnCFDTHLACCmLH: <RSCFDn_base> + 6001_H + (04_H × m)、
RSCFDnCFDTHLACCmHL: <RSCFDn_base> + 6002_H + (04_H × m)、
RSCFDnCFDTHLACCmHH: <RSCFDn_base> + 6003_H + (04_H × m)

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTS[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]								—	BN[3:0]				BT[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表25.166　RSCFDnCFDTHLACCm レジスタの内容

ビット	ビット名	機能
31～16	TMTS[15:0]	タイムスタンプデータ 格納されたデータのタイムスタンプデータが読めます。
15～8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	予約ビット	リードした場合はリセット後の値が読めます。
6～3	BN[3:0]	バッファ番号データ 送信元の送信バッファ／送受信FIFO／送信キュー番号が読めます。
2～0	BT[2:0]	バッファタイプデータ b2　b1　b0 0　0　1：送信バッファ 0　1　0：送受信FIFOバッファ 1　0　0：送信キュー

TMTS[15:0] ビット

送信履歴バッファに格納された送信履歴データのタイムスタンプ値を表示します。

TID[7:0] ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0] ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

25.4.15　テスト関連レジスタの詳細

25.4.15.1　RSCFDnCFDGTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス：RSCFDnCFDGTSTCFGレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGTSTCFGL、RSCFDnCFDGTSTCFGHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGTSTCFGLL、RSCFDnCFDGTSTCFGLH、RSCFDnCFDGTSTCFGHL、RSCFDnCFDGTSTCFGHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGTSTCFG: <RSCFDn_base> + 0468_H
RSCFDnCFDGTSTCFGL: <RSCFDn_base> + 0468_H、RSCFDnCFDGTSTCFGH: <RSCFDn_base> + $046A_H$
RSCFDnCFDGTSTCFGLL: <RSCFDn_base> + 0468_H、RSCFDnCFDGTSTCFGLH: <RSCFDn_base> + 0469_H、
RSCFDnCFDGTSTCFGHL: <RSCFDn_base> + $046A_H$、RSCFDnCFDGTSTCFGHH: <RSCFDn_base> + $046B_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	RTMPS[6:0]						
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	C1ICBCE	C0ICBCE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表25.167　RSCFDnCFDGTSTCFGレジスタの内容

ビット	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	RTMPS[6:0]	RAMテストページ設定ビット ページ0（00_H）～ページ27（$1B_H$）の範囲で設定
15～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	C1ICBCE	CAN1チャネル間通信テスト許可ビット 0：CAN1チャネル間通信テスト禁止 1：CAN1チャネル間通信テスト許可
0	C0ICBCE	CAN0チャネル間通信テスト許可ビット 0：CAN0チャネル間通信テスト禁止 1：CAN0チャネル間通信テスト許可

RSCFDnCFDGTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[6:0] ビット

RAM テスト時、RAM テスト対象となるページ番号を設定します。00_H ～ $1B_H$ 以外の値を設定しないでください。また、最終ページ (RTMPS ビットが “$1B_H$”) の 192 バイト以降の RAM にはアクセスしないでください。

C1ICBCE ビット

“1” にすると、チャネル 1 のチャネル間通信テストが許可になります。
グローバルリセットモード時、“0” になります。

C0ICBCE ビット

“1” にすると、チャネル 0 のチャネル間通信テストが許可になります。
グローバルリセットモード時、“0” になります。

25.4.15.2　RSCFDnCFDGTSTCTR — グローバルテスト制御レジスタ

アクセス：RSCFDnCFDGTSTCTRレジスタは、32ビット単位でリード／ライト可能です。
RSCFDnCFDGTSTCTRL、RSCFDnCFDGTSTCTRHレジスタは、16ビット単位でリード／ライト可能です。
RSCFDnCFDGTSTCTRLL、RSCFDnCFDGTSTCTRLH、RSCFDnCFDGTSTCTRHL、RSCFDnCFDGTSTCTRHHレジスタは、8ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDGTSTCTR: <RSCFDn_base> + $046C_H$
RSCFDnCFDGTSTCTRL: <RSCFDn_base> + $046C_H$、RSCFDnCFDGTSTCTRH: <RSCFDn_base> + $046E_H$
RSCFDnCFDGTSTCTRLL: <RSCFDn_base> + $046C_H$、RSCFDnCFDGTSTCTRLH: <RSCFDn_base> + $046D_H$、
RSCFDnCFDGTSTCTRHL: <RSCFDn_base> + $046E_H$、RSCFDnCFDGTSTCTRHH: <RSCFDn_base> + $046F_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表25.168　RSCFDnCFDGTSTCTRレジスタの内容

ビット	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAMテスト許可ビット 0：RAMテスト禁止 1：RAMテスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャネル間通信テスト許可ビット 0：チャネル間通信テスト禁止 1：チャネル間通信テスト許可

RTME ビット

“1” にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。グローバルリセットモード時、“0” になります。

1. RSCFDnCFDGCTR レジスタの GMDC[1:0] ビットを “10_B”（グローバルテストモード）にする。
2. RTME ビットを “1” にする。
3. RTME ビットが “1” になったことを確認する。

ICBCTME ビット

“1” にすると、RSCFDnCFDGTSTCFG レジスタの CmICBCE ビット（m = 0, 1）を “1” に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。グローバルリセットモード時、“0” になります。

25.4.15.3　RSCFDnCFDGLOCKK — グローバルロックキーレジスタ

アクセス：RSCFDnCFDGLOCKKレジスタは、32ビット単位でライトのみ可能です。
RSCFDnCFDGLOCKKL、RSCFDnCFDGLOCKKHレジスタは、16ビット単位でライトのみ可能です。

アドレス：RSCFDnCFDGLOCKK: <RSCFDn_base> + $047C_H$
RSCFDnCFDGLOCKKL: <RSCFDn_base> + $047C_H$、RSCFDnCFDGLOCKKH: <RSCFDn_base> + $047E_H$

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1	W注1

注1.　RS-CANFD モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表25.169　RSCFDnCFDGLOCKKレジスタの内容

ビット	ビット名	機能
31～16	予約ビット	ライトする場合はリセット後の値を書いてください。
15～0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCFDnCFDGLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「25.11.4.2　プロテクト解除手順」を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCFDnCFDGTSTCTR レジスタの RTME ビットへの “1” 書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域（<RSCFDn_base> + 0000_H ～ <RSCFDn_base> + $05FF_H$）に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

25.4.15.4　RSCFDnCFDRPGACCr — RAM テストページアクセスレジスタ（r = 0 ~ 63）

アクセス：RSCFDnCFDRPGACCr レジスタは、32 ビット単位でリード／ライト可能です。
RSCFDnCFDRPGACCrL、RSCFDnCFDRPGACCrH レジスタは、16 ビット単位でリード／ライト可能です。
RSCFDnCFDRPGACCrLL、RSCFDnCFDRPGACCrLH、RSCFDnCFDRPGACCrHL、RSCFDnCFDRPGACCrHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス：RSCFDnCFDRPGACCr: <RSCFDn_base> + 6400_H + (04_H × r)
RSCFDnCFDRPGACCrL: <RSCFDn_base> + 6400_H + (04_H × r)、
RSCFDnCFDRPGACCrH: <RSCFDn_base> + 6402_H + (04_H × r)
RSCFDnCFDRPGACCrLL: <RSCFDn_base> + 6400_H + (04_H × r)、
RSCFDnCFDRPGACCrLH: <RSCFDn_base> + 6401_H + (04_H × r)、
RSCFDnCFDRPGACCrHL: <RSCFDn_base> + 6402_H + (04_H × r)、
RSCFDnCFDRPGACCrHH: <RSCFDn_base> + 6403_H + (04_H × r)

リセット後の値：$0000\ 0000_H$

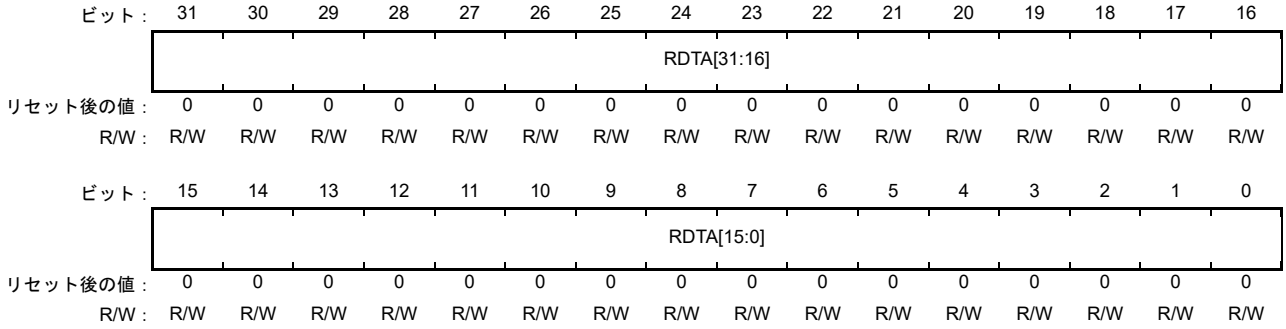


表 25.170　RSCFDnCFDRPGACCr レジスタの内容

ビット	ビット名	機能
31 ～ 0	RDTA[31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RSCFDnCFDRPGACCr レジスタは、グローバルテストモードでかつ RSCFDnCFDGTSTCTR レジスタの RTME ビットが “1”（RAM テスト許可）の状態で書き換えてください。

RTME ビットが “1” のときに、RSCFDnCFDRPGACCr レジスタへの読み書きができます。

25.5　割り込み要因と DMA トリガ

25.5.1　割り込み要因

RS-CANFD モジュールには 8 本の割り込みがあり、グローバル割り込みとチャネル割り込みに分類されます。

- グローバル割り込み（2 本）
  受信 FIFO 割り込み
  グローバルエラー割り込み
- チャネル割り込み（各チャネルごとに 3 本ずつ）
  CANm 送信割り込み（m = 0, 1）
  – CANm 送信完了割り込み
  – CANm 送信アボート割り込み
  – CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時）
  – CANm 送信履歴割り込み
  – CANm 送信キュー割り込み
  CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時）
  CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが “1”（割り込み要求あり）になります。その場合、割り込み許可ビットを “1”（割り込み許可）にしていると、RS-CANFD モジュールから割り込み要求が出力されます。（割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。）

割り込み要求フラグを “0”（割り込み要求なし）にするか、割り込み許可ビットを “0”（割り込み禁止）にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 25.171 に CAN 割り込み要因一覧を示します。**図 25.2** に CAN グローバル割り込みブロック図を、**図 25.3** に CAN チャネル割り込みブロック図を示します。

表 25.171　CAN 割り込み要因一覧

RCAN					INTC	DMA
	割り込み要因（ユニット割り込み信号）		対応する割り込み要求フラグ	対応する割り込み許可ビット	要求要因名	転送要求信号
グローバル割り込み	受信 FIFO（INTRCANGRECC）	受信 FIFO 0	RSCFDn(CFD)RFSTS0 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC0 レジスタの RFIE ビット	RFI	RXF_DMA0
		受信 FIFO 1	RSCFDn(CFD)RFSTS1 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC1 レジスタの RFIE ビット		RXF_DMA1
		受信 FIFO 2	RSCFDn(CFD)RFSTS2 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC2 レジスタの RFIE ビット		RXF_DMA2
		受信 FIFO 3	RSCFDn(CFD)RFSTS3 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC3 レジスタの RFIE ビット		RXF_DMA3
		受信 FIFO 4	RSCFDn(CFD)RFSTS4 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC4 レジスタの RFIE ビット		RXF_DMA4
		受信 FIFO 5	RSCFDn(CFD)RFSTS5 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC5 レジスタの RFIE ビット		RXF_DMA5
		受信 FIFO 6	RSCFDn(CFD)RFSTS6 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC6 レジスタの RFIE ビット		RXF_DMA6
		受信 FIFO 7	RSCFDn(CFD)RFSTS7 レジスタの RFIF フラグ	RSCFDn(CFD)RFCC7 レジスタの RFIE ビット		RXF_DMA7

RCAN					INTC	DMA
	割り込み要因（ユニット割り込み信号）		対応する割り込み要求フラグ	対応する割り込み許可ビット	要求要因名	転送要求信号
グローバル割り込み	グローバルエラー (INTRCANGERR)		RSCFDn(CFD)GERFL レジスタの DEF フラグ RSCFDn(CFD)GERFL レジスタの MES フラグ RSCFDn(CFD)GERFL レジスタの THLES フラグ RSCFDnCFDGERFL レジスタの CMPOF フラグ	RSCFDn(CFD)GCTR レジスタの DEIE ビット RSCFDn(CFD)GCTR レジスタの MEIE ビット RSCFDn(CFD)GCTR レジスタの THLEIE ビット RSCFDnCFDGCTR レジスタの CMPOFIE ビット	GERI	—
チャネル割り込み（m = 0, 1）	CANm 送信 (INTRCANmTRX)	CANm 送信完了	RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグ	RSCFDn(CFD)TMIECy レジスタの TMIEp ビット	CTXIm	—
		CANm 送信アボート	RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグ	RSCFDn(CFD)CmCTR レジスタの TAIE ビット		—
		CANm 送受信 FIFO 送信完了	RSCFDn(CFD)CFSTSk レジスタの CFTXIF フラグ	RSCFDn(CFD)CFCCk レジスタの CFTXIE ビット		—
		CANm 送信キュー	RSCFDn(CFD)TXQSTSm レジスタの TXQIF フラグ	RSCFDn(CFD)TXQCCm レジスタの TXQIE ビット		—
		CANm 送信履歴	RSCFDn(CFD)THLSTSm レジスタの THLIF フラグ	RSCFDn(CFD)THLCCm レジスタの THLIE ビット		—
	CANm 送受信 FIFO 受信完了 (INTRCANmREC)		RSCFDn(CFD)CFSTSk レジスタの CFRXIF フラグ	RSCFDn(CFD)CFCCk レジスタの CFRXIE ビット	CFRXIm	COM_DMAm
	CANm エラー (INTRCANmERR)		RSCFDn(CFD)CmERFL レジスタの BEF フラグ RSCFDn(CFD)CmERFL レジスタの ALF フラグ RSCFDn(CFD)CmERFL レジスタの BLF フラグ RSCFDn(CFD)CmERFL レジスタの OVLF フラグ RSCFDn(CFD)CmERFL レジスタの BORF フラグ RSCFDn(CFD)CmERFL レジスタの BOEF フラグ RSCFDn(CFD)CmERFL レジスタの EPF フラグ RSCFDn(CFD)CmERFL レジスタの EWF フラグ RSCFDnCFDCmFDSTS レジスタの SOCO フラグ RSCFDnCFDCmFDSTS レジスタの EOCO フラグ RSCFDnCFDCmFDSTS レジスタの TDCVF フラグ	RSCFDn(CFD)CmCTR レジスタの BEIE ビット RSCFDn(CFD)CmCTR レジスタの ALIE ビット RSCFDn(CFD)CmCTR レジスタの BLIE ビット RSCFDn(CFD)CmCTR レジスタの OLIE ビット RSCFDn(CFD)CmCTR レジスタの BORIE ビット RSCFDn(CFD)CmCTR レジスタの BOEIE ビット RSCFDn(CFD)CmCTR レジスタの EPIE ビット RSCFDn(CFD)CmCTR レジスタの EWIE ビット RSCFDnCFDCmCTR レジスタの SOCOIE ビット RSCFDnCFDCmCTR レジスタの EOCOIE ビット RSCFDnCFDCmCTR レジスタの TDCVFIE ビット	CERIm	—

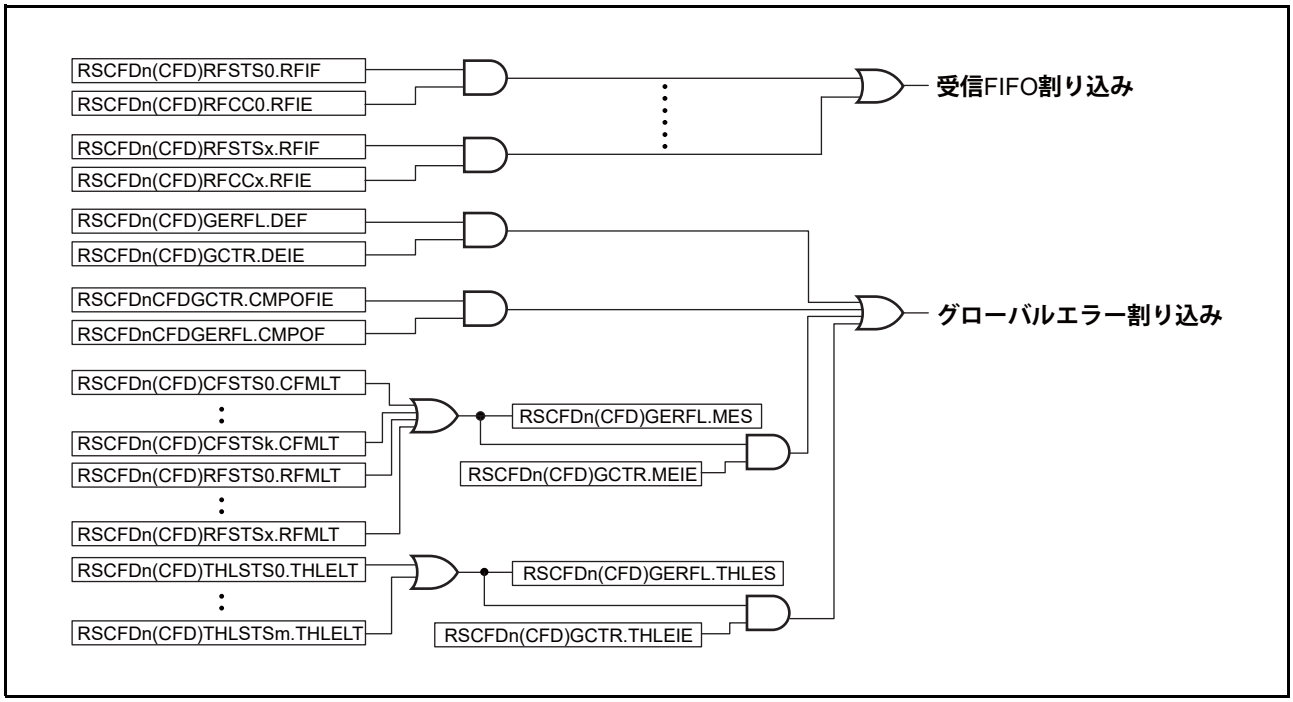


図 25.2　CAN グローバル割り込みブロック図

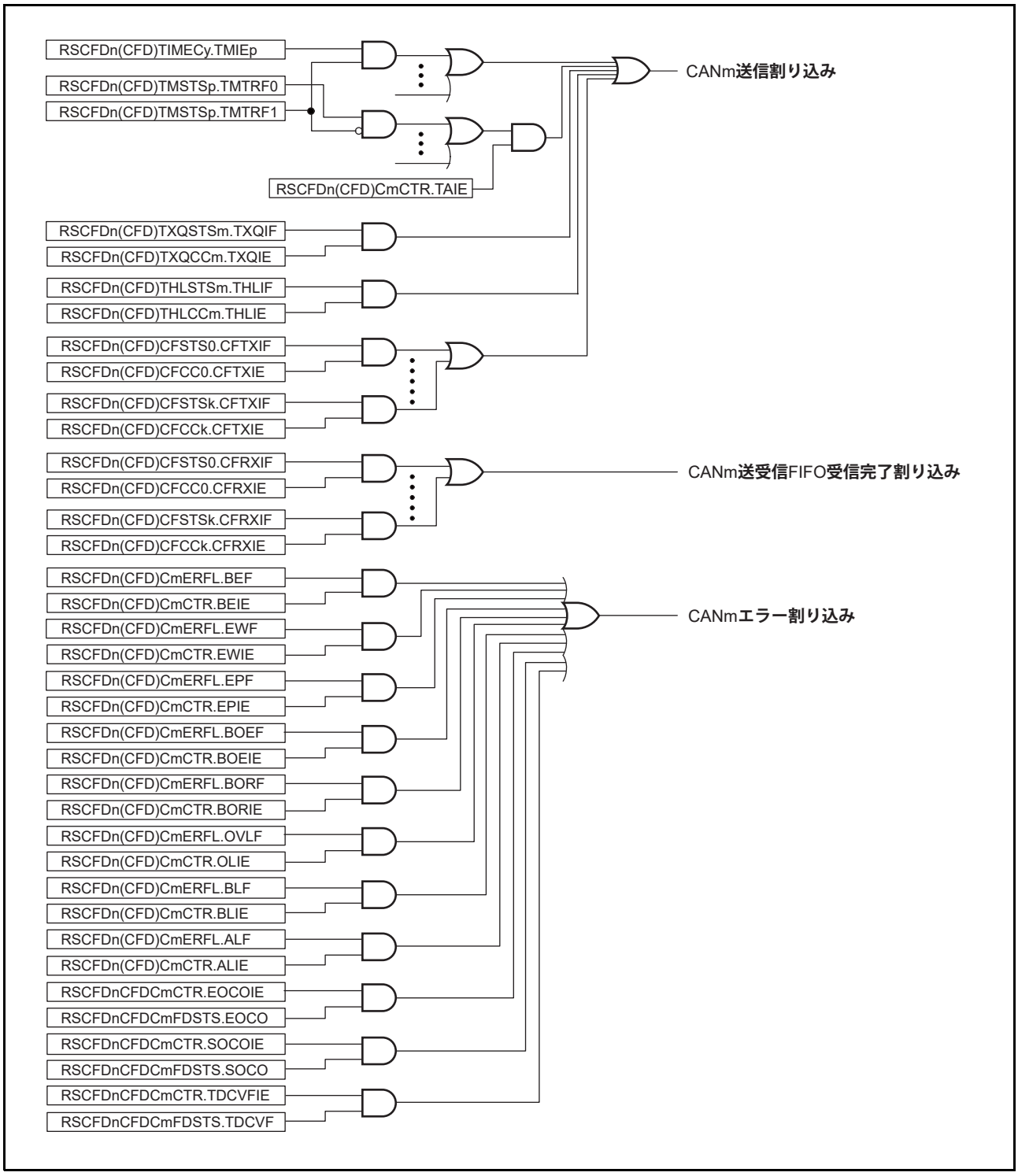


図 25.3　　CAN チャネル割り込みブロック図

25.5.2　DMA トリガ（CANFD モードのみ）

CANFD モードのとき、受信に使用する FIFO バッファを DMA のチャネルに関連付けることができます。次の 10 本の FIFO バッファに関連付けが可能です。

- 全ての受信 FIFO バッファ x (x = 0 ~ 7)
- チャネル m に割り当てられた最初の送受信 FIFO バッファ k (k = 3 × m、m = 0, 1)

DMA 許可ビット（RSCFDnCFDCDTCT レジスタの RFDMAEx ビットまたは CFDMAEm ビット）に “1” が設定され、関連する FIFO に未読メッセージがあるとき、DMA 転送要求トリガが生成されます。

25.6 CAN モード

RS-CANFD モジュールには、RS-CANFD モジュール全体の状態を制御するグローバルモードが 4 種類と、個々のチャネル状態を制御するチャネルモードが 4 種類あります。「25.6.1 **グローバルモード**」にグローバルモード、「25.6.2 **チャネルモード**」にチャネルモードの詳細を示します。

- グローバルストップモード : モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード : モジュール全体の初期設定を行う。
- グローバルテストモード : テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード : モジュール全体を動作可能にする。
- チャネルストップモード : チャネルのクロックが停止する。
- チャネルリセットモード : チャネルの初期設定を行う。
- チャネル待機モード : CAN 通信を停止させたり、チャネルのテストを許可する。
- チャネル通信モード : CAN 通信を行う。

25.6.1 グローバルモード

図 25.4 にグローバルモードの遷移図を示します。

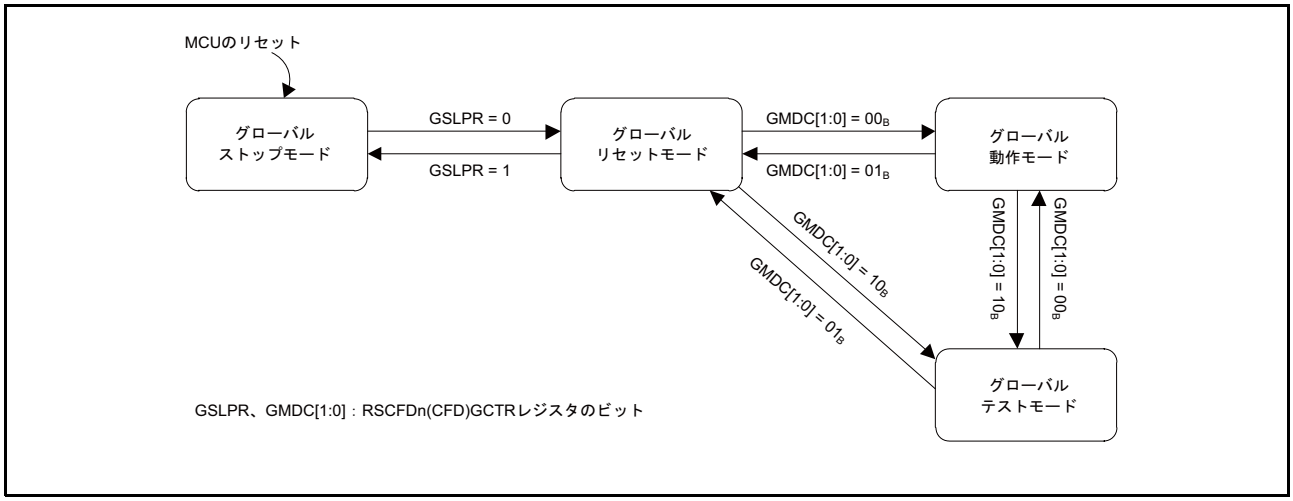


図 25.4　グローバルモードの遷移図

グローバルモードの遷移により、チャネルのモードが変化する場合があります。**表 25.172** にグローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化を示します。

表25.172　グローバルモード設定（GMDC[1:0]、GSLPRビット）によるチャネルモードの変化

設定前のチャネルモード	設定後のチャネルモード			
	$GMDC[1:0] = 00_B$ GSLPR = 0 （グローバル動作）	$GMDC[1:0] = 10_B$ GSLPR = 0 （グローバルテスト）	$GMDC[1:0] = 01_B$ GSLPR = 0 （グローバルリセット）	$GMDC[1:0] = 01_B$ GSLPR = 1 （グローバルストップ）
チャネル通信	チャネル通信	チャネル待機	チャネルリセット	遷移禁止
チャネル待機	チャネル待機	チャネル待機	チャネルリセット	遷移禁止
チャネルリセット	チャネルリセット	チャネルリセット	チャネルリセット	チャネルストップ
チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ

注1.　GMDC[1:0]ビットとGSLPRビットは、RSCFDn(CFD)GCTRレジスタのビット。

表 25.173 にグローバルモードの遷移時間を示します。

表25.173　グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclkの3クロック
グローバルリセット	グローバルストップ	pclkの3クロック
グローバルリセット	グローバルテスト	pclkの10クロック
グローバルリセット	グローバル動作	pclkの10クロック
グローバルテスト	グローバルリセット	2CANビットタイム注1注2
グローバルテスト	グローバル動作	pclkの3クロック
グローバル動作	グローバルリセット	2CANビットタイム注1注2
グローバル動作	グローバルテスト	CANフレームの2つ分注1

注1.　使用チャネルの内、最も遅い通信速度のCANビットタイムおよびCANフレーム時間になります。
注2.　CANFDモードのときは、通常ビットレートのCANビットタイムになります。

25.6.1.1　グローバルストップモード

グローバルストップモードではCANのクロックが停止するので、消費電力が低減されます。CAN関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPRビットへのCPU書き込み用クロックのみが動作します。

MCUのリセット後、グローバルストップモードになります。また、グローバルリセットモード時にRSCFDn(CFD)GCTRレジスタのGSLPRビットを“1”（グローバルストップモード）にすると、各RSCFDn(CFD)CmCTRレジスタのCSLPRビットが“1”（チャネルストップモード）になります。その後、すべてのチャネルが強制的にチャネルストップモードへ遷移すると、グローバルストップモードになります。GSLPRビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

25.6.1.2　グローバルリセットモード

グローバルリセットモードでRS-CANFDモジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。初期化されるレジスタについては、**「表25.176　グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧」**と**「表25.177　グローバルリセットモードでのみ初期化されるレジスター覧」**を参照してください。

RSCFDn(CFD)GCTRレジスタのGMDC[1:0]ビットを“01B”に設定すると、各RSCFDn(CFD)CmCTRレジスタ（m = 0, 1）のCHMDC[1:0]ビットが“01B”（チャネルリセットモード）になります。すべてのチャネルが強制的にチャネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャネルリセットモードまたはチャネルストップモードであるチャネルはモード遷移しません（CHMDC[1:0]ビットがすでに“01B”に設定されているため）。

25.6.1.3　グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべてのCAN通信は停止します。

RSCFDn(CFD)GCTRレジスタのGMDC[1:0]ビットを“10B”に設定すると、各RSCFDn(CFD)CmCTRレジスタのCHMDC[1:0]ビットが“10B”（チャネル待機モード）になります。すべてのチャネルが強制的にチャネル待機モードへ遷移すると、グローバルテストモードになります。チャネルストップモード、チャネルリセットモード、またはチャネル待機モードであるチャネルは、モード遷移しません。

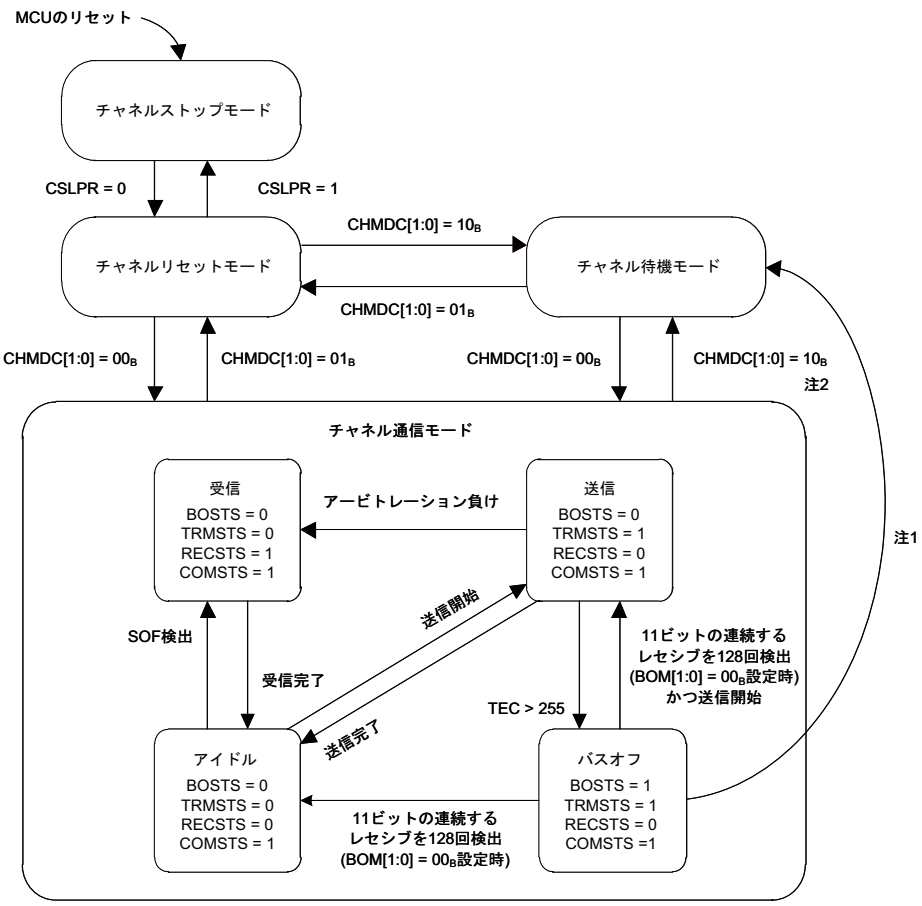
25.6.1.4　グローバル動作モード

グローバル動作モードではRS-CANFDモジュールが動作します。

RSCFDn(CFD)GCTRレジスタのGMDC[1:0]ビットを“00B”にすると、グローバル動作モードに遷移します。

25.6.2　チャネルモード

図 25.5 にチャネルモードの状態遷移図を示します。表 25.174 にチャネルモードの遷移時間 を示します。



備考：CHMDC[1:0]、CSLPR、BOM[1:0]：RSCFDn(CFD)CmCTR レジスタのビット (m = 0, 1)
BOSTS、TRMSTS、RECSTS、COMSTS：RSCFDn(CFD)CmSTS レジスタのビット

注 1.　バスオフ状態から待機モードへの遷移タイミング
・BOM[1:0] = 01B の場合：TEC > 255 になると、チャネル待機モードへ遷移
・BOM[1:0] = 10B の場合：11 ビットの連続するレセシブを 128 回検出したとき、チャネル待機モードへ遷移
・BOM[1:0] = 11B の場合：CHMDC[1:0] ビットを “10B” にすると、チャネル待機モードへ遷移

注 2.　CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。

図 25.5　チャネルモードの状態遷移図

表 25.174　チャネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャネルストップ	チャネルリセット	pclk の 3 クロック
チャネルリセット	チャネルストップ	pclk の 3 クロック
チャネルリセット	チャネル待機	3 CANm ビットタイム（注 1）
チャネルリセット	チャネル通信	4 CANm ビットタイム（注 1）
チャネル待機	チャネルリセット	2 CANm ビットタイム（注 1）
チャネル待機	チャネル通信	4 CANm ビットタイム（注 1）
チャネル通信	チャネルリセット	2 CANm ビットタイム（注 1）
チャネル通信	チャネル待機	CANm フレームの 2 つ分

注 1.　CANFD モードのときは、通常ビットレートの CANm ビットタイムになります。

25.6.2.1　チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。チャネル関連レジスタの 読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、MCU のリセット後、チャネルストップモードになります。また、チャネルリセットモード時に、RSCFDn(CFD)CmCTR レジスタ（m = 0, 1）の CSLPR ビットを “1”（チャネルストップモード）にすると、チャネルストップモードに遷移します。CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えないでください。

25.6.2.2　チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。初期化されるレジスタについては、**「表 25.176　グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧」**を参照してください。

CAN 通信中に RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0] ビットを “01B”（チャネルリセットモード）にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。**表 25.175** に CAN 通信中に CHMDC[1:0] ビットを “01B”（チャネルリセットモード）に設定したときの動作を示します。

25.6.2.3　チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 25.175 に CAN 通信中に CHMDC[1:0] ビットを “10B”（チャネル待機モード）に設定したときの動作を示します。

表25.175　チャネルリセット／チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット（CHMDC[1:0] = “01_B”）	受信の終了を待たずにチャネルリセットモードに遷移(注1)	送信の終了を待たずにチャネルリセットモードに遷移(注1)	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機注3（CHMDC[1:0] = “10_B”）	受信の終了を待ってチャネル待機モードに遷移(注2)	送信の終了を待ってチャネル待機モードに遷移	【BOM[1:0]ビットが “00_B”の場合】バスオフ復帰後のみ、チャネル待機モード遷移(CHMDC[1:0] = “10_B”)が実行される 【BOM[1:0]ビットが “01_B”の場合】バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移 【BOM[1:0]ビットが “10_B”の場合】バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移 【BOM[1:0]ビットが “11_B”の場合】CHMDC[1:0]ビットに “10_B”が設定されるとすぐにチャネル待機モードに遷移 (バスオフ復帰の終了は待たない)

注1.　通信が終了した後にチャネルリセットモードへ遷移するには、まずCHMDC[1:0]ビットを“10B”に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0]ビットを“01B”に設定してください。

注2.　CANバスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。バスロックを検出するとRSCFDn(CFD)CmERFL レジスタのBLF フラグが“1”になるので、CANバスの状態を確認できます。

注3.　チャネルリセットモードからチャネル待機モードへ遷移する場合、クラシカルCANモードのときはチャネルリセットモードでRSCANnCmCFG レジスタを設定してからチャネル待機モードへ遷移してください。CANFDモードのときはRSCFDnCFDCmNCFG レジスタとRSCFDnCFDCmDCFG レジスタを設定してから遷移してください。

25.6.2.4　チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- アイドル：受信も送信もしていない状態。
- 受信：他のノードから送られてきたメッセージを受信している状態。
- 送信：メッセージを送信している状態。
- バスオフ：CAN 通信から遮断されている状態。

RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0] ビットを “00B” にすると、チャネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RSCFDn(CFD)CmSTS レジスタ（m = 0, 1）の COMSTS フラグが “1”（通信可能な状態）になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

25.6.2.5　バスオフ状態

CAN 仕様の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。
バスオフ状態からの復帰条件は、RSCFDn(CFD)CmCTR レジスタの BOM[1:0] ビットで設定します。

- BOM[1:0] ビットが “00B” のとき：
  CAN 仕様に準拠し、11 ビットの連続するレセシブを 128 回検出後に、バスオフ状態から CAN 通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RSCFDn(CFD)CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットは “00H” に初期化され、RSCFDn(CFD)CmERFL レジスタの BORF フラグが “1”（バスオフ復帰検出）になり、バスオフ復帰割り込み要求が発生します。バスオフ状態で、RSCFDn(CFD)CmCTR レジスタの CHMDC[1:0] ビットを “10B”（チャネル待機モード）にすると、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。
- BOM[1:0] ビットが “01B” のとき：
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10B” になり、チャネル待機モードへ遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00H” に初期化されます。BORF フラグは “1” にならず、バスオフ復帰割り込み要求は発生しません。
- BOM[1:0] ビットが “10B” のとき：
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10B” になり、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00H” に初期化され、BORF フラグが “1” になり、バスオフ復帰割り込み要求が発生します。
- BOM[1:0] ビットが “11B” のとき：
  バスオフ状態時に、CHMDC[1:0] ビットを “10B” にすると、バスオフ復帰を待たずにチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00H” に初期化されます。BORF フラグは “1” になりません。またバスオフ復帰割り込み要求は発生しません。
  ただし、CHMDC[1:0] ビットを “10B” にする前に 11 ビットの連続するレセシブを 128 回検出し、エラーアクティブ状態に復帰した場合、BORF フラグが “1” になり、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールによるチャネル待機モードへの遷移と、プログラムによる CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0] ビット を “01B” または “10B” に設定した場合のチャネル待機モードへの自動的な遷移は、CHMDC[1:0] ビットが “00B”（チャネル通信モード）のときのみ発生します。

また、RSCFDn(CFD)CmCTR レジスタの RTBO ビットを “1” にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに “1” を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORF フラグは “1” になりません。
TEC[7:0] ビットと REC[7:0] ビットは “00H” に初期化されます。RTBO ビットは、BOM[1:0] ビットが “00B” のときのみ “1” を書いてください。バスオフ状態以外で、RTBO ビットに “1” を書いても無視され、RTBO ビットは直ちに “0” になります。

25.6.3　CAN モード遷移によるレジスタ初期化

チャネルリセットモードへの遷移によって初期化されるビットおよびフラグを**表 25.176** に示します。これらは、グローバルリセットモードへの遷移でも初期化されます。また、グローバルリセットモードへの遷移のみによって初期化されるビットおよびフラグを**表 25.177** に示します。

表25.176　グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧

レジスタ	ビット/フラグ
RSCFDn(CFD)CmCTR レジスタ	(ROM), CRCT, CTMS[1:0], CTME, CHMDC[1:0]
RSCFDn(CFD)CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, (ESIF), REC[7:0], TEC[7:0]
RSCFDn(CFD)CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCFDnCFDCmFDCTR レジスタ	EOCCLR, SOCCLR
RSCFDnCFDCmFDSTS レジスタ	SOC[7:0], EOC[7:0], SOCO, EOCO, TDCVF, TDCR[6:0]
RSCFDnCFDCmFDCRC レジスタ	CRCREG[20:0], SCNT[3:0]
RSCFDn(CFD)CFCCk レジスタ	送受信FIFOバッファが送信モードまたはゲートウェイモード時: CFE
RSCFDn(CFD)CFSTSk レジスタ	送受信FIFOバッファが送信モードまたはゲートウェイモード時: CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCFDn(CFD)CFTISTS レジスタ	CFkTXIF
RSCFDn(CFD)TMCp レジスタ	TMOM, TMTAR, TMTR
RSCFDn(CFD)TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCFDn(CFD)TMTRSTSy レジスタ	TMTRSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCFDn(CFD)TMTARSTSy レジスタ	TMTARSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCFDn(CFD)TMTCSTSy レジスタ	TMTCSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCFDn(CFD)TMTASTSy レジスタ	TMTASTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCFDn(CFD)TXQCCm レジスタ	TXQE
RSCFDn(CFD)TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCFDn(CFD)THLCCm レジスタ	THLE
RSCFDn(CFD)THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCFDn(CFD)GTINTSTS0 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm（m = 0, 1）

注.　（　）内のビット/フラグはCANFDモードのレジスタにのみ存在

表25.177　グローバルリセットモードでのみ初期化されるレジスター覧

レジスタ	ビット/フラグ
RSCFDn(CFD)GSTS レジスタ	GHLTSTS
RSCFDn(CFD)GERFL レジスタ	EEF0, EEF1, (CMPOF), THLES, MES, DEF
RSCFDn(CFD)GTSC レジスタ	TS[15:0]
RSCFDn(CFD)RMNDy レジスタ	RMNSq
RSCFDn(CFD)RFCCx レジスタ	RFE
RSCFDn(CFD)RFSTSx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCFDn(CFD)CFCCk レジスタ	送受信FIFOが受信モード時: CFE
RSCFDn(CFD)CFSTSk レジスタ	送受信FIFOバッファが受信モード時: CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCFDn(CFD)FESTS レジスタ	CFkEMP, RFxEMP
RSCFDn(CFD)FFSTS レジスタ	CFkFLL, RFxFLL
RSCFDn(CFD)FMSTS レジスタ	CFkMLT, RFxMLT
RSCFDn(CFD)RFISTS レジスタ	RFxIF
RSCFDn(CFD)CFRISTS レジスタ	CFkRXIF
RSCFDnCFDCDTCT レジスタ	CFDMAEm, RFDMAEx
RSCFDnCFDCDTSTS レジスタ	CFDMASTSm, RFDMASTSx
RSCFDn(CFD)GTSTCFG レジスタ	RTMPS[6:0], C0ICBCE, C1ICBCE
RSCFDn(CFD)GTSTCTR レジスタ	RTME, ICBCTME

注.　（　）内のビット/フラグはCANFDモードのレジスタにのみ存在

25.7　受信機能

受信の種類には次の 2 つがあります。

- 受信バッファによる受信：
  全チャネルで共有する受信バッファは、0 ～ 32 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信：
  全チャネルで共有する受信 FIFO バッファが 8 本と、各チャネル専用の送受信 FIFO バッファが 1 チャネルにつき 3 本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

25.7.1　受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は 1 チャネルにつき最大 128 で、モジュール全体では、64 × チャネル数 となります（本モジュールは 2 チャネル搭載しているため、最大 128 ルール登録できます）。受信ルールは各チャネルごとに設定してください。他のチャネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。**図 25.6** に受信ルール登録の説明図を示します。

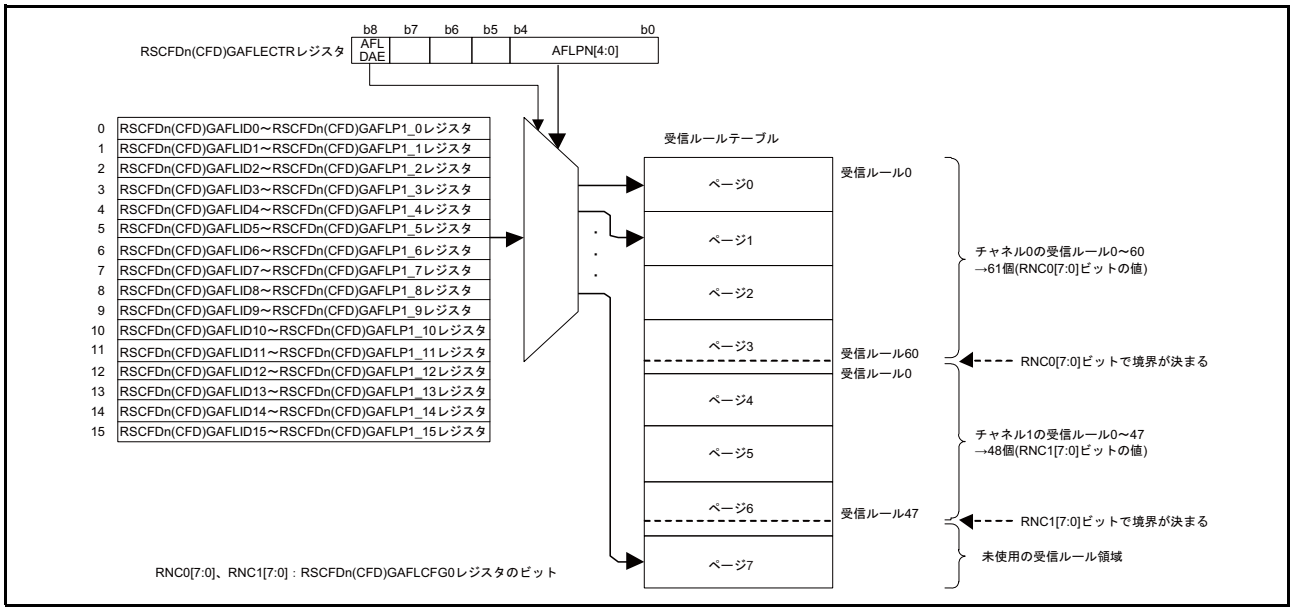


図 25.6　受信ルール登録（チャネル 0, 1 を設定する場合）

注意．各チャネルの受信ルールは、連続して設定してください。
チャネル 0 の受信ルールとチャネル 1 の受信ルールを交互に設定することはできません。

各受信ルールは RSCFDn(CFD)GAFLIDj、RSCFDn(CFD)GAFLMj、RSCFDn(CFD)GAFLP0_j、RSCFDn(CFD)GAFLP1_j レジスタ（j = 0 ~ 15）の 16 バイトで構成されています。RSCFDn(CFD)GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCFDn(CFD)GAFLMj レジスタではマスク設定、RSCFDn(CFD)GAFLP0_j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCFDn(CFD)GAFLP1_j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

25.7.1.1　アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCFDn(CFD)GAFLMj レジスタで “0”（ビットを比較しない）にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

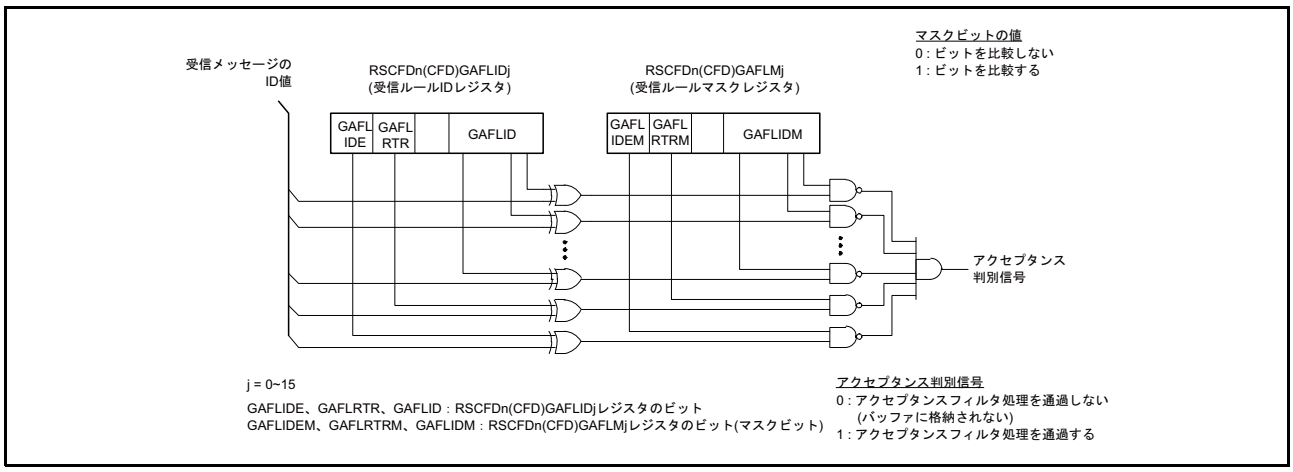


図 25.7　アクセプタンスフィルタ機能

25.7.1.2　DLC フィルタ処理

RSCFDn(CFD)GCFG レジスタの DCE ビットを “1”（DLC チェック許可）にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCFDn(CFD)GCFG レジスタの DRE ビットが “0”（DLC 置換禁止）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCFDn(CFD)GCFG レジスタの DRE ビットが “1”（DLC 置換許可）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00H” が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCFDn(CFD)GERFL レジスタの DEF フラグが “1”（DLC エラー）となります。

25.7.1.3 ルーティング処理

アクセプタンスフィルタ処理とDLCフィルタ処理を通過したメッセージは、受信バッファ、受信FIFOバッファ、または受信およびゲートウェイモードに設定した送受信FIFOバッファに格納されます。メッセージ格納先は、RSCFDn(CFD)GAFLP0_jレジスタ（j = 0 ~ 15）のGAFLRMVビット、GAFLRMDP[6:0]ビット、RSCFDn(CFD)GAFLP1_jレジスタで設定します。フィルタ処理を通過したメッセージは最大8つのバッファに格納することができます。

CANFDモードのとき、受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超える場合は、RSCFDnCFDGERFLレジスタのCMPOFフラグが“1”（ペイロードオーバフロー）となり、RSCFDnCFDGCFGレジスタのCMPOCビットに従って処理が行われます。CMPOCビットが“0”のとき、ペイロード格納サイズを超えるメッセージはバッファに格納されません。CMPOCビットが“1”のときは格納サイズを超える分のペイロードは切り捨てられて、メッセージがバッファに格納されます。

25.7.1.4 ラベル付加処理

フィルタ処理を通過したメッセージに12ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCFDn(CFD)GAFLP0_jレジスタのGAFLPTR[11:0]ビットに設定します。

25.7.1.5 ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCFDn(CFD)GCFGレジスタのMMEビットを“1”（ミラー機能許可）にすることで使用可能になります。

ミラー機能使用時、他のCANノードが送信したメッセージを受信するときは、RSCFDn(CFD)GAFLIDjレジスタのGAFLLBビットを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLBビットを“1”にした受信ルールがデータ処理に使用されます。

25.7.1.6　タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間と送信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、RSCFDn(CFD)GCFG レジスタの TSCCFG[1:0] ビットで設定したタイミングで取り込まれ、受信時はメッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCFDn(CFD)GCFG レジスタの TSBTCS[2:0]、TSSS ビットで選択します。クラシカル CAN モードのときは pclk/2 または CANm ビットタイムクロック（m = 0, 1）から選択できます。CANFD モードのときは pclk/2 または CANm 通常ビットタイムクロックから選択できます。ただし、CANFD フレームを扱うチャネルの CANm 通常ビットタイムクロックは選択しないでください。選択したクロック源を RSCFDn(CFD)GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックまたは CANm 通常ビットタイムクロックをクロック源として使用する場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。pclk/2 をクロック源として使用する場合、タイムスタンプ機能はチャネルモードに影響されません。

タイムスタンプカウンタ値は RSCFDn(CFD)GCTR レジスタの TSRST ビットを “1” にすると、“0000H” にリセットされます。

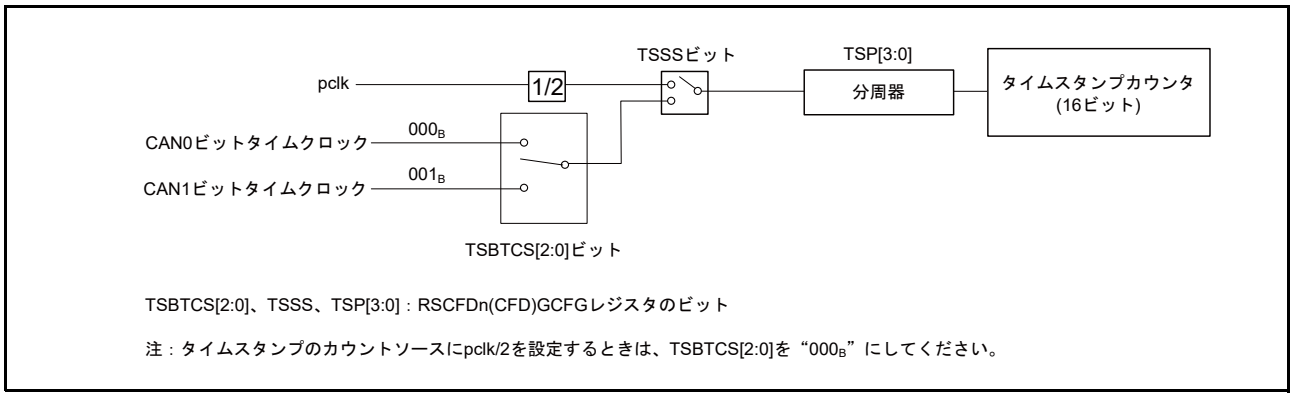


図 25.8　タイムスタンプ機能のブロック図

25.8　送信機能

送信の種類には、次の 3 つがあります。クラシカル CAN モードのとき、送信可能なペイロード長はいずれも 8 バイトです。CANFD モードのとき、送信可能なペイロード長は送信の種類によって異なります。

- 送信バッファによる送信：
  1 チャネルにつき 16 バッファあります。CANFD モードで送信可能なペイロード長は 20 バイトです。ただし、送信バッファマージモードを使用すると、16 バッファのうち 4 バッファがペイロード専用格納領域として割り付けられ、2 バッファが 20 バイトを超えるペイロードを送信可能になります。
- 送受信 FIFO バッファ（送信モード）による送信：
  1 チャネルにつき 3 本ずつあります。1 本の FIFO バッファに最大 128 メッセージ格納できます。CANFD モードで送信可能なペイロード長は 64 バイトです。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信：
  1 チャネルにつき最大 16 の送信バッファを送信キューに割り付けできます。CANFD モードで送信可能なペイロード長は 20 バイトです。送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID 順に送信されます。

図 25.9 に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。

図 25.9　送信キューの割り付けと送受信 FIFO バッファのリンク

25.8.1　送信の優先順位判定

同一チャネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。判定方法は次の 2 つから選択することができます。

- ID 優先　（TPRI ビットが “0”）
- 送信バッファ番号優先　（TPRI ビットが “1”）

RSCFDn(CFD)GCFG レジスタの TPRI ビットの設定は、すべての CAN チャネルで有効です。

TPRI ビットを “0” にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2 つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを “1” にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

25.8.2　送信バッファを用いた送信

送信バッファの送信要求ビット（RSCFDn(CFD)TMCp レジスタの TMTR ビット）を “1”（送信を要求する）にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCFDn(CFD)TMSTSp レジスタ（p = 0 ~ 31）の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは “10B”（送信完了 : 送信アボート要求なし）または “11B”（送信完了 : 送信アボート要求あり）になります。

25.8.2.1　送信アボート機能

RSCFDn(CFD)TMSTSp レジスタの TMTRM ビットが “1”（送信要求あり）である送信バッファにおいて、RSCFDn(CFD)TMCp レジスタの TMTAR ビットを “1”（送信アボートを要求する）にすると、送信要求が取り消されます。送信アボートが完了すると、RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグが “01B”（送信アボート完了）になり、送信要求が取り消されます（TMTRM ビットが “0” になる）。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを “1” にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

25.8.2.2　ワンショット送信機能（再送信禁止機能）

RSCFDn(CFD)TMCp レジスタの TMOM ビットを “1”（ワンショット送信許可）にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCFDn(CFD)TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは “10B” または “11B” になります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは “01B”（送信アボート完了）になります。

25.8.2.3　送信バッファマージモード（CANFD モードのみ）

送信バッファで送信可能なペイロード長は 20 バイトですが、送信バッファマージモードによって 3 バッファの送信バッファをマージすることにより、最大 64 バイトのペイロード長を持つメッセージを送信できます。

RSCFDnCFDCmFDCFG レジスタの TMME ビットを “1” にすると、送信バッファマージモードが許可されます。このモードは 1 チャネルごとに 6 バッファがマージ領域となり、送信バッファ（16 × m）+ 0 ～（16 × m）+ 2 と送信バッファ（16 × m）+ 3 ～（16 × m）+ 5 の 2 組がマージされます。送信要求は先頭の送信バッファで行い、続く 2 バッファはペイロード格納領域として使用します。詳細は、**「25.11.3.1　送信バッファからの送信手順」**及び**表 25.184** を参照ください。先頭バッファ以外の送信バッファに対しては、送信要求ビット（RSCFDnCFDTMCp レジスタの TMTR ビット）および送信アボート要求ビット（RSCFDnCFDTMCp レジスタの TMTAR ビット）に “1” を設定しないでください。

送信バッファマージモードが許可されているとき、マージされている 6 バッファに対して送受信 FIFO バッファをリンクしないでください。また、送信キューへの割り付けは行わないでください。

25.8.3　FIFO バッファによる送信

1 本の送受信 FIFO バッファに、RSCFDn(CFD)CFCCk レジスタ（k = 0 ~ 5）の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCFDn(CFD)CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCFDn(CFD)CFCCk レジスタの CFE ビットを “1”（送受信 FIFO バッファを使用する）にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にすると、次に示すタイミングで CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、アービトレーションロスト、またはチャネル待機モードへの遷移の後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

25.8.3.1　インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCFDn(CFD)CFCCk レジスタの CFE ビットを “1” にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します（CAN プロトコルの EOF7 の後）。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを “0” にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCFDn(CFD)CFCCk レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに “00H” を設定してください。

RSCFDn(CFD)CFCCk レジスタの CFITR ビットと CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを “00B” にすると pclk/2 を ITRCP[15:0] ビットの値で分周したクロック、“10B” にすると pclk/2 を ITRCP[15:0] ビットの値 ×10 で分周したクロック、“x1B” にするとクラシカル CAN モードのときは CANm ビットタイムクロック、CANFD モードのときは CANm 通常ビットタイムクロックがカウントソースになります。CANFD フレームを処理しないチャネルにのみ、このカウントソースを使用してください。

ITRCP[15:0] ビットの設定値を M、CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが “00B” の場合 :

$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times N$$

- CFITR、CFITSS ビットが “10B” の場合 :

$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが “x1B” の場合 :

クラシカル CAN モードの場合　：$\frac{1}{\text{CANm ビットタイムクロックの周波数}} \times N$

CANFD モードの場合　：$\frac{1}{\text{CANm 通常ビットタイムクロックの周波数}} \times N$

図 25.10 にインターバルタイマのブロック図を示します。

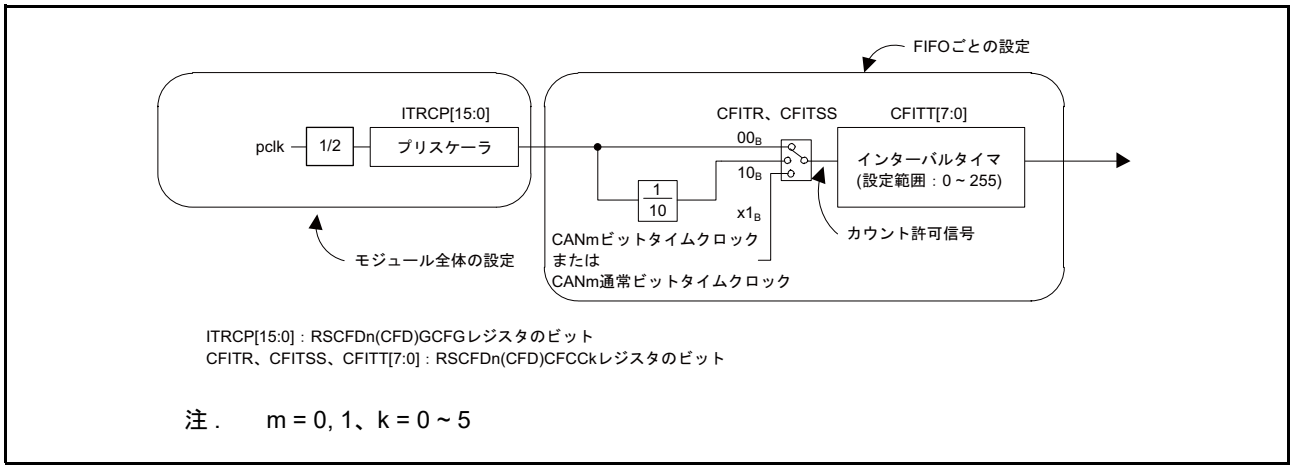


図 25.10　インターバルタイマのブロック図

図 25.11 にインターバルタイマのタイミング図を示します。

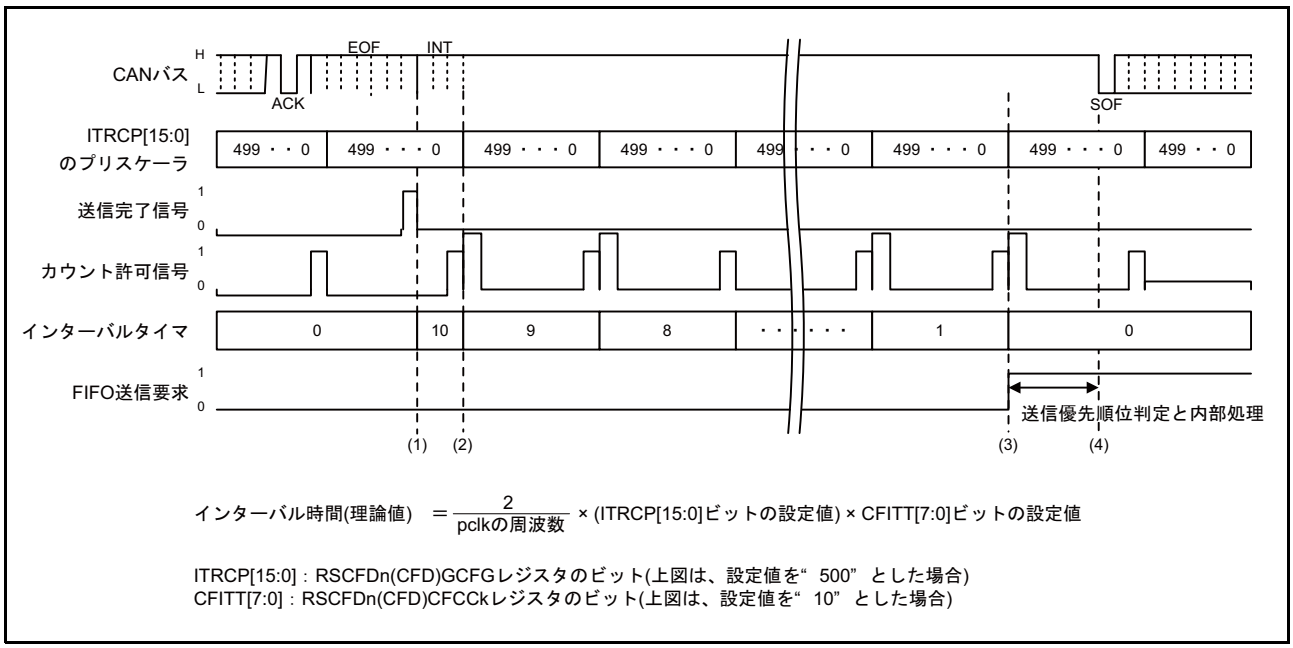


図 25.11　インターバルタイマのタイミング図

(1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケーラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの 1 カウント分の誤差が発生します。
(2) 次のカウント許可信号で、インターバルタイマは “1” 減算されます。
(3) インターバルタイマが “0” になると、送受信 FIFO バッファから送信要求が出されます。
(4) 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CANm ビットタイムクロックの 3 クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャネルで発生すると、最大で pclk の 644 クロック分遅延する場合があります。

25.8.4　送信キューによる送信

送信キューは 1 チャネルごとに 3 ～ 16 バッファまで（送信バッファマージモードのときは 10 バッファまで）割り付けられ、送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2 つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCFDn(CFD)TXQCCm レジスタの TXQE ビットを “0” にすると、送信キューが使用不可になります。TXQE ビットを “0” にするとき、次に示すタイミングで RSCFDn(CFD)TXQSTSm レジスタの TXQEMP フラグは “1”（送信キュー空）になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、アービトレーションロスト、またはチャネル待機モードの遷移の後に、空になります。

TXQE ビットを “0” にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを “1” にする前に、TXQEMP フラグが “1” になったことを確認してください。

25.8.5　送信データパディング（CANFD モードのみ）

設定された送信メッセージの DLC 値が示すペイロード長が、送信に使用するバッファのペイロード格納領域サイズを超える場合、超えた分のペイロードは “CCH” でパディングされます。

この処理は、送信バッファマージモードが許可されていない（RSCFDnCFDCmFDCFG レジスタの TMME ビットが “0”）とき、次に示す場合に行われます。

- 送信またはゲートウェイモードに設定された送受信 FIFO：
  送信 DLC のペイロード長が、RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットに設定された送受信 FIFO のペイロード格納領域サイズを超えるとき
- 送信バッファ（送信キューを含む）：
  送信 DLC のペイロード長が 20 バイトを超えるとき

送信バッファマージモードが許可されているとき、送信バッファ、送受信 FIFO バッファ、送信キューのいずれを用いた送信でも送信データパディングは行われません。このとき、送信メッセージの DLC 値は、送信に使用するバッファのペイロード格納サイズを超えるペイロード長を設定しないでください。

25.8.6　送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各チャネルごとに 1 つの送信履歴バッファを持ち、送信履歴バッファには 16 個の送信履歴データを格納できます。

RSCFDn(CFD)THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCFDn(CFD)CFIDk レジスタ（k = 0 ~ 5）の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

クラシカル CAN モードのときは、RSCANnGCFG レジスタの TMTSCE ビットで、送信履歴データにタイムスタンプ値を含めるかどうかを設定できます。CANFD モードのときは、常にタイムスタンプ値が含まれます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、クラシカル CAN モードの場合は最大で pclk の 128 クロック分、CANFD モードの場合は最大で pclk の 396 クロック分遅延する場合があります。

- バッファタイプ　　001B: 送信バッファ
  010B : 送受信 FIFO バッファ
  100B : 送信キュー
- バッファ番号　　送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。
  これはバッファタイプに依存します。**表 25.178** を参照してください。
- ラベルデータ　　送信メッセージのラベル情報
- タイムスタンプ　　送信メッセージのタイムスタンプ値
  （クラシカル CAN モードの場合は、TMTSCE ビットが “1” のとき）

表25.178　送信履歴データのバッファ番号

バッファタイプ バッファ番号	001_B	010_B	100_B
0000_B	送信バッファ 16 × m + 0	RSCFDn(CFD)CFCCk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号（k = 0 ~ 5）	送信を行った送信キューに割り付けられた送信バッファの番号
0001_B	送信バッファ 16 × m + 1		
0010_B	送信バッファ 16 × m + 2		
0011_B	送信バッファ 16 × m + 3		
0100_B	送信バッファ 16 × m + 4		
0101_B	送信バッファ 16 × m + 5		
0110_B	送信バッファ 16 × m + 6		
0111_B	送信バッファ 16 × m + 7		
1000_B	送信バッファ 16 × m + 8		
1001_B	送信バッファ 16 × m + 9		
1010_B	送信バッファ 16 × m + 10		
1011_B	送信バッファ 16 × m + 11		
1100_B	送信バッファ 16 × m + 12		
1101_B	送信バッファ 16 × m + 13		
1110_B	送信バッファ 16 × m + 14		
1111_B	送信バッファ 16 × m + 15		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

タイムスタンプは、メッセージの SOF（スタートオブフレーム）のタイミングで、タイムスタンプカウンタから値が取り込まれます。タイムスタンプカウンタの詳細は「**25.7.1.6　タイムスタンプ**」を参照してく

ださい。

送信履歴データは、RSCFDn(CFD)THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとすると、バッファがオーバフローし、新しいデータは破棄されます。

25.9　ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャネルから送信することができます。

RSCFDn(CFD)CFCCk レジスタの CFM[1:0] ビットを “10B”（ゲートウェイモード）に設定した送信するチャネルの送受信 FIFO バッファを RSCFDn(CFD)GAFLP1_j レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されます。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイ モードに設定した送受信 FIFO バッファは、RSCFDn(CFD)CFCCk レジスタの CFE ビットを “0” にすると、使用不可になります。CFE ビットを “0” にすると、次に示すタイミングで CFEMP フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

25.9.1　CAN-CANFD ゲートウェイ（CANFD モードのみ）

CANFD モードでゲートウェイ機能を使用するときは、送信するフレームをクラシカル CAN フレームまたは CANFD フレームに置換することができます。

RSCFDnCFDCmFDCFG レジスタの GWEN ビットを “1” にすると、CAN-CANFD ゲートウェイが許可されます。RSCFDnCFDCmFDCFG レジスタの GWFDF ビットと GWBRS ビットで、送信フレームの FDF ビットと BRS ビットを選択できます。受信した CAN フレームの DLC 値が “1001B” 以上であり、GWFDF ビットが “1”（CANFD フレーム）の場合は、DLC が “1000B” に置き換えられます。

CAN-CANFD ゲートウェイが許可されているとき、以下のフレームはルーティングしないでください。

- ペイロード長が 8 バイトを超える CANFD フレーム
- リモートフレーム

また、CAN-CANFD ゲートウェイが許可されているとき、GWFDF の設定により以下のフレームのみ該当するチャネルから送信してください。

- GWFDF = 0 のとき、クラシカル CAN フレームのみ送信してください。
- GWFDF = 1 のとき、CANFD フレームのみ送信してください。

25.10 テスト機能

テスト機能は、通信テストとグローバルテストの 2 つに分類できます。

- 通信テスト : チャネルごとに行うテスト
  - 標準テストモード
  - リッスンオンリモード
  - セルフテストモード 0（外部ループバックモード）
  - セルフテストモード 1（内部ループバックモード）
  - 制限動作モード（CANFD モードのみ）
- グローバルテスト : モジュール全体で行うテスト
  - RAM テスト（読み書きテスト）
  - チャネル間通信テスト [CRC エラーテスト可能]

25.10.1 標準テストモード

標準テストモードでは、CRC テストを行うことができます。送信または受信メッセージを基に RS-CANFD モジュールが計算した CRC 値がレジスタに格納されます。格納先は、メッセージがクラシカル CAN フレーム（CRC 長 15 ビット）のときは RSCFDn(CFD)CmERFL レジスタの CRCREG[14:0] ビット、CANFD フレーム（CRC 長 17 ビットまたは 21 ビット）のときは RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0] ビットです。CRC エラーテストを行う場合は、チャネル間通信テスト機能を使用してください。詳細は「25.10.6.1 CRC エラーテスト」を参照してください。

25.10.2 リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 25.12 にリッスンオンリモード選択時の接続を示します。

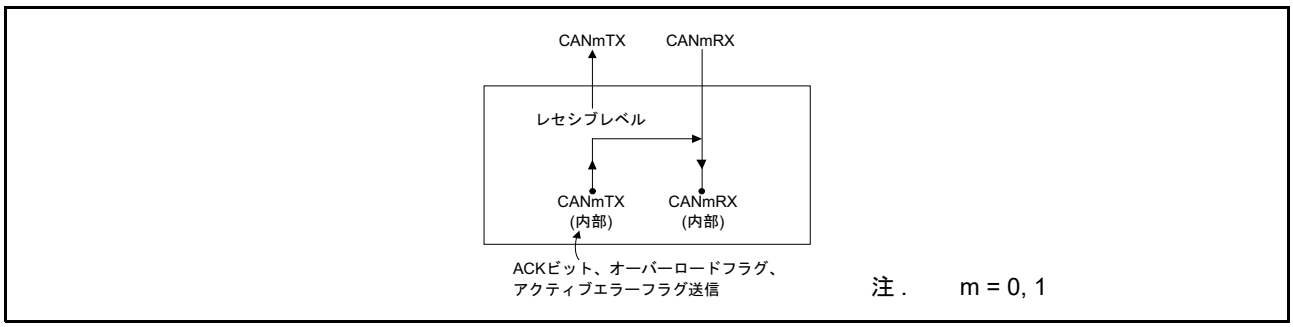


図 25.12　リッスンオンリモード選択時の接続

25.10.3　セルフテストモード（ループバックモード）

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他の CAN ノードが送信したメッセージは、RSCFDn(CFD)GAFLIDj レジスタ（j = 0 ~ 15）の GAFLLB ビットを “0”（他の CAN ノードが送信したメッセージを受信時）にした受信ルールとのみ比較されます。

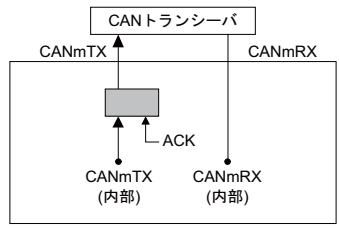
ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

25.10.3.1　セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 は CAN トランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

図 25.13 にセルフテストモード 0 選択時の接続を示します。



注 .　m = 0, 1

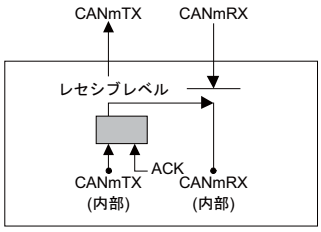
図 25.13　セルフテストモード 0 選択時の接続

25.10.3.2　セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

セルフテストモード 1 では内部 CANmTX 端子（m = 0, 1）から内部 CANmRX 端子への内部フィードバックを行います。外部 CANmRX 端子の入力は、切り離されます。外部 CANmTX 端子はレセシブビットのみ出力します。

図 25.14 にセルフテストモード 1 選択時の接続を示します。



注 .　m = 0, 1

図 25.14　セルフテストモード 1 選択時の接続

25.10.4　制限動作モード（CANFD モードのみ）

制限動作モードでは、有効なデータフレームおよびリモートフレームを受信した場合に ACK ビットを生成しますが、エラーフレームまたはオーバロードフレーム送信条件を検出してもこれらのフレームを送信しません。条件を検出した場合は、CAN 通信に再同期するため、バスアイドル状態になるのを待ちます。また、受信エラーカウンタ（REC）と送信エラーカウンタ（TEC）はエラーの発生で変化しません。

送信については任意の送信要求が可能であり、制限はありません。

25.10.5　RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RSCFDn(CFD)GTSTCFG レジスタの RTMPS[6:0] ビットで設定し、ページ内のデータは RSCFDn(CFD)RPGACCr レジスタ（r = 0 ~ 63）から読み出し／書き込みができます。有効な総 RAM サイズは、クラシカル CAN モードでは 5120 バイト（1400_H）、CANFD モードでは 7104 バイト（$1BC0_H$）です。CANFD モードでは、最終ページ (RTMPS ビットが “$1B_H$”) の 192 バイト以降の RAM にはアクセスしないでください。

25.10.6　チャネル間通信テスト

チャネル間通信テスト機能を使用すると、CAN チャネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャネルは外部の CAN バスから切り離されます。

各チャネルに対して送受信の設定を行ってから、チャネル通信モードで送受信を開始してください。テストに参加しないチャネルは、チャネル待機モードにしてください。

図 25.15 にチャネル間通信テスト接続図を示します。

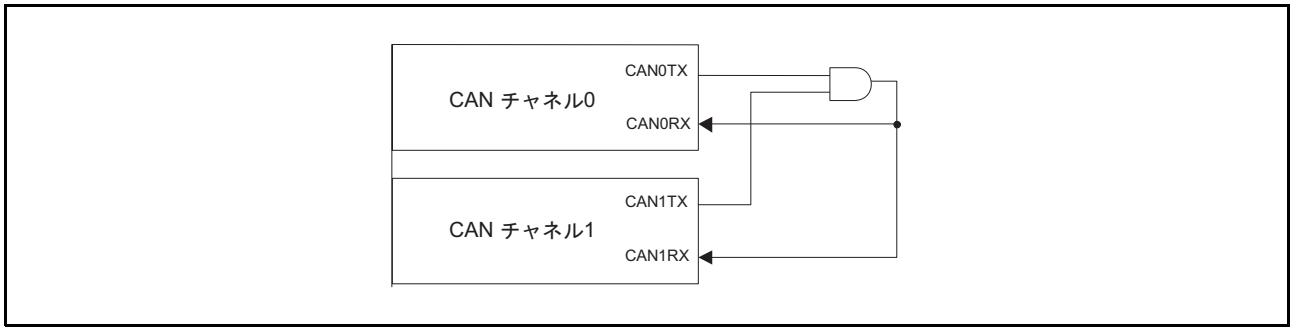


図 25.15　チャネル間通信テスト接続図

25.10.6.1　CRC エラーテスト

チャネル間通信テスト時は、CRC エラーテストを行うことができます。以下にチャネル 0-1 間通信テスト中にチャネル 0 の CRC エラーテストを行う場合の手順例を示します。

前提条件

- チャネル間通信テスト有効
- チャネル 0 およびチャネル 1 は標準テストモード

手順

1. チャネル 1 の送信バッファ p からメッセージ送信を行うよう設定
2. RSCFDn(CFD)C0CTR レジスタの CRCT ビットに “1” を設定（受信 ID フィールドの先頭ビット反転が有効）
3. RSCFDn(CFD)TMCp レジスタの TMTR ビットに “1” を設定（チャネル 1 の送信バッファ p に対し、送信要求を発行）
4. チャネルバスエラーによる CAN0 エラー割り込みの発生を待つ
5. 双方のチャネルで RSCFDn(CFD)CmERFL レジスタの CRCREG[14:0] ビットまたは RSCFDnCFDCmFDCRC レジスタの CRCREG[20:0] ビットを読み出し、CRC 値が送信側と受信側で異なっていることを確認
6. RSCFDm(CFD)C0ERFL レジスタの CERR ビットが “1”（CRC エラー検出）になっていることを確認

CRC エラーテスト機能は、受信 ID フィールドの先頭ビットを反転させることにより、CRC 値の不正を発生させます。したがって、ID の上位 5 ビットが 10000_B、または ID の上位 6 ビットが 011111_B であるメッセージを受信した場合、CRC エラーではなくスタッフエラー（同一レベルデータが 6 ビット連続）が検出されますので注意してください。

RS-CANFD モジュールの CRC 生成回路は各チャネルがそれぞれ持つプロトコルコントローラ内にあり、送信と受信で同一の回路を共用するため、送信時の CRC 演算テストを別途行う必要ありません。

25.11 RS-CANFD の設定手順

25.11.1 初期設定

MCU のリセット後に RS-CANFD モジュールは CAN 用 RAM の初期化を行います。RAM の初期化時間は、pclk の 2530 サイクルです。RAM の初期化中は、RSCFDn(CFD)GSTS レジスタの GRAMINIT フラグが “1”（CAN 用 RAM クリア中）になり、初期化が終了すると “0”（CAN 用 RAM クリア完了）になります。GRAMINIT フラグが “0” になった後に CAN の設定を行ってください。**図 25.16** に MCU のリセット後の設定手順を示します。

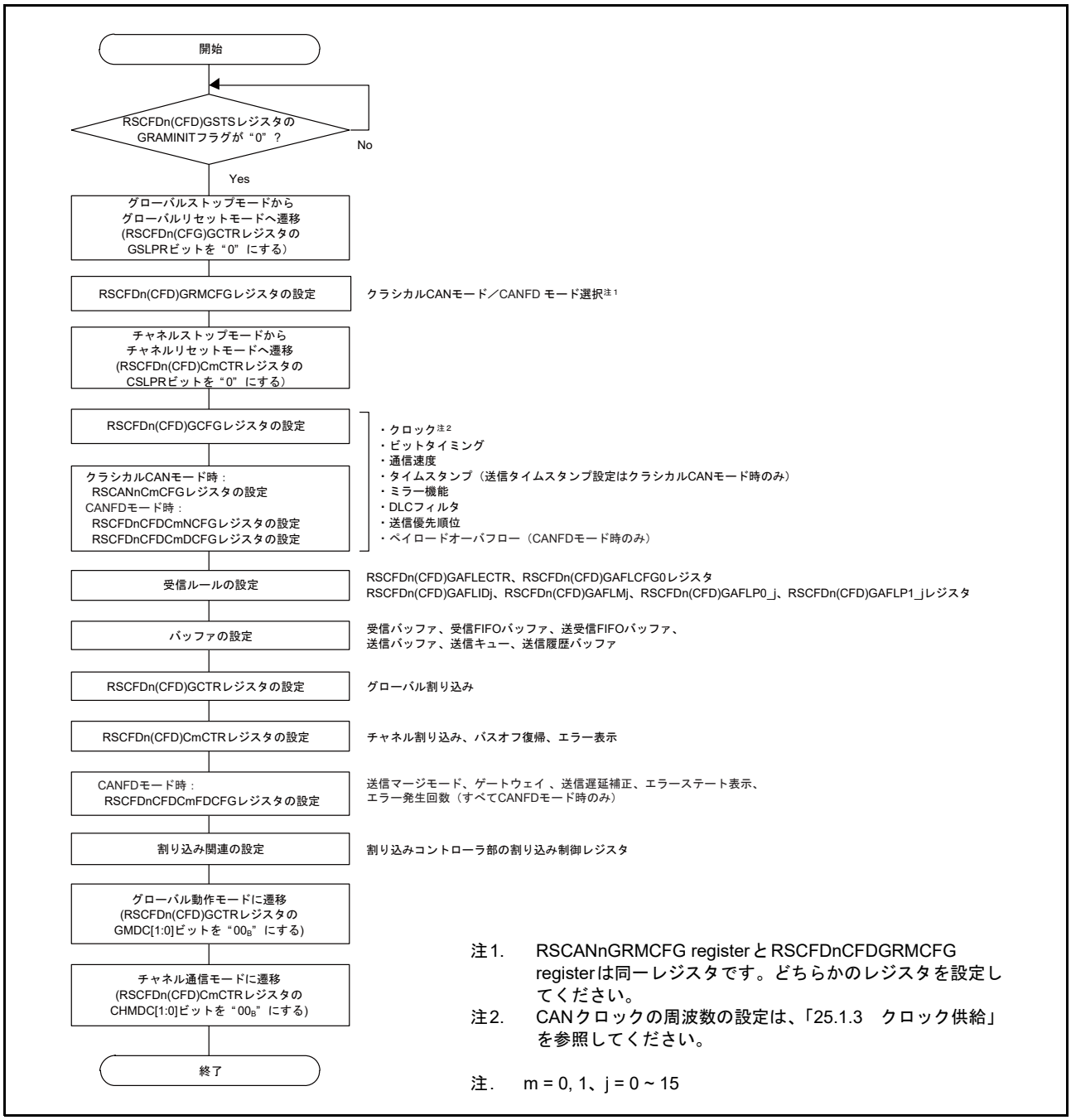


図 25.16　MCU のリセット後の設定手順

25.11.1.1　クロックの設定

RS-CANFD モジュールのクロック源である CAN クロック（fCAN）を設定します。RSCFDn(CFD)GCFG レジスタの DCS ビットで、clkc、または clk_xincan を選択します。

25.11.1.2　ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャネルごとにレジスタで設定できます。クラシカル CAN モードの場合は RSCANnCmCFG レジスタで設定します。CANFD モードの場合は 2 種類のビットレート（通常ビットレートとデータビットレート）を持ち、それぞれ RSCFDnCFDCmNCFG レジスタと RSCFDnCFDCmDCFG レジスタで設定します。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum（以下 Tq）単位で調整できます。1Tq は、RSCFDn(CFD)nGCFG レジスタの DCS ビットで選択したクロックを分周したクロックの周期になります。分周比は、クラシカル CAN モードの場合は RSCANnCmCFG レジスタの BRP[9:0] ビットで設定し（CANmTq クロック）、CANFD モードの場合は RSCFDnCFDCmNCFG レジスタの NBRP[9:0] ビットと RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビットで設定します（CANmTq(N) クロックと CANmTq(D) クロック）。

NBRP[9:0] ビットと DBRP[7:0] ビットには必ず同じ値に設定してください。

通常ビットレートとデータビットレートを異なる値に設定したい場合、

RSCFDnCFDCmNCFG.NTSEG1, NTSEG2 ビット、RSCFDnCFDCmDCFG.DTSEG1, DTSEG2

ビットでそれぞれ希望するビットレート値に変更してください。

また、RSCFDnCFDCmFDCFG レジスタの TDCE ビットが “1”(送信遅延補正許可) のとき、NBRP[9:0] ビットと DBRP[7:0] ビットには “1” 以下の同じ値を設定してください。

図 25.17 にビットタイミング図を示します。**表 25.179** にビットタイミングの設定例を示します。

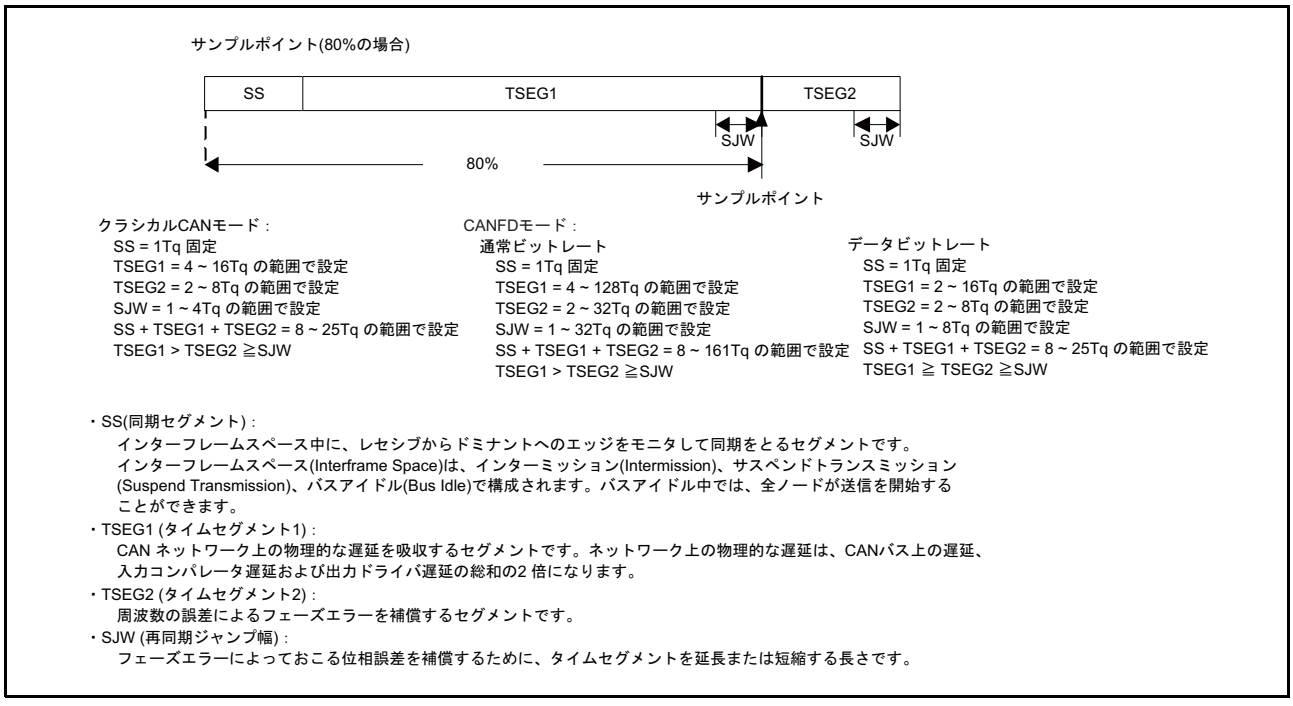


図 25.17　ビットタイミング図

表 25.179　ビットタイミングの設定例

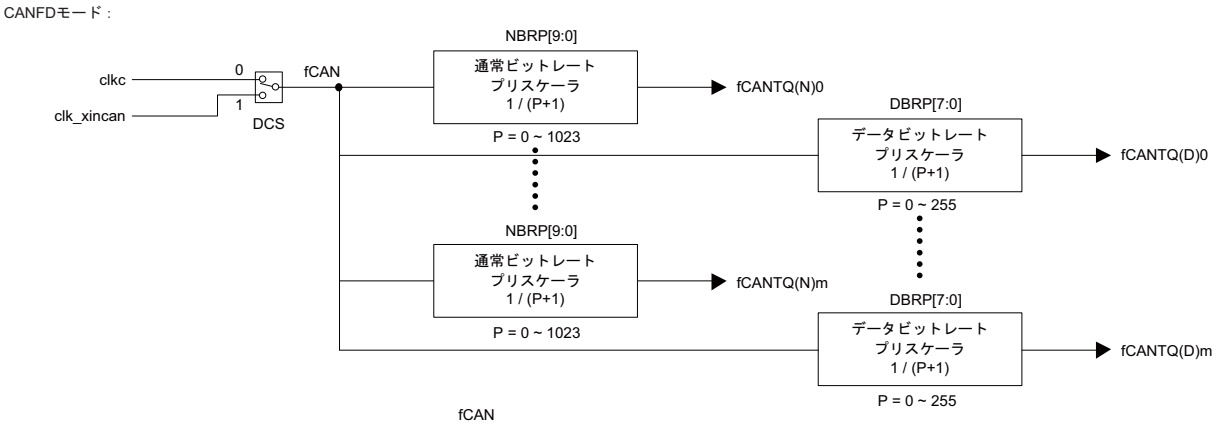
1 ビット	設定値（Tq）				サンプルポイント（%） ＊図 25.17 を参照
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00
50Tq (注 1)	1	39	10	4	80.00

注 1.　CANFD モードのみ

25.11.1.3　通信速度の設定

CAN の通信速度は、fCAN、ボーレートプリスケーラ分周値、および 1 ビットタイムの Tq 数を用いてチャネルごとに設定します。CANFD モードの場合は、チャネルごとにアービトレーションフェーズとデータフェーズの 2 種類の通信速度を設定します。

図 25.18 に CAN クロック制御ブロック図、表 25.180、表 25.181 に通信速度の設定例を示します。



注．　m = 0, 1
DCS：RSCFDn(CFD)GCFG レジスタのビット
BRP[9:0]：RSCANnCmCFG レジスタのビット
NBRP[9:0]：RSCFDnCFDCmNCFG レジスタのビット
DBRP[7:0]：RSCFDnCFDCmDCFG レジスタのビット
fCAN：CAN クロック
fCANTQm：CANmTq クロック
fCANTQ(N)m：CANmTq(N) クロック
fCANTQ(D)m：CANmTq(D) クロック

図 25.18　CAN クロック制御ブロック図

表25.180　通信速度の設定例（クラシカルCANモード）

fCAN / 通信速度	32MHz	16MHz	8MHz
1Mbps	8Tq（4） 16Tq（2）	8Tq（2） 16Tq（1）	8Tq（1）
500Kbps	8Tq（8） 16Tq（4）	8Tq（4） 16Tq（2）	8Tq（2） 16Tq（1）
250Kbps	8Tq（16） 16Tq（8）	8Tq（8） 16Tq（4）	8Tq（4） 16Tq（2）
125Kbps	8Tq（32） 16Tq（16）	8Tq（16） 16Tq（8）	8Tq（8） 16Tq（4）

表25.181　通信速度の設定例（CANFDモード、通常ビットレートとデータビットレート）

fCAN / 通信速度	32MHz	16MHz
通常 1Mbps データ 4Mbps	通常 32Tq（1） データ 8Tq（1）	なし
通常 500Kbps データ 2Mbps	通常 64Tq（1） データ 16Tq（1）	通常 32Tq（1） データ 8Tq（1）

注.　（　）内の数字はボーレートプリスケーラ分周値

25.11.1.4　受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCFDn(CFD)GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ～ 23（6 チャネル搭載ユニットの場合）を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可／禁止を設定します。

図 25.19 に受信ルール設定手順について示します。

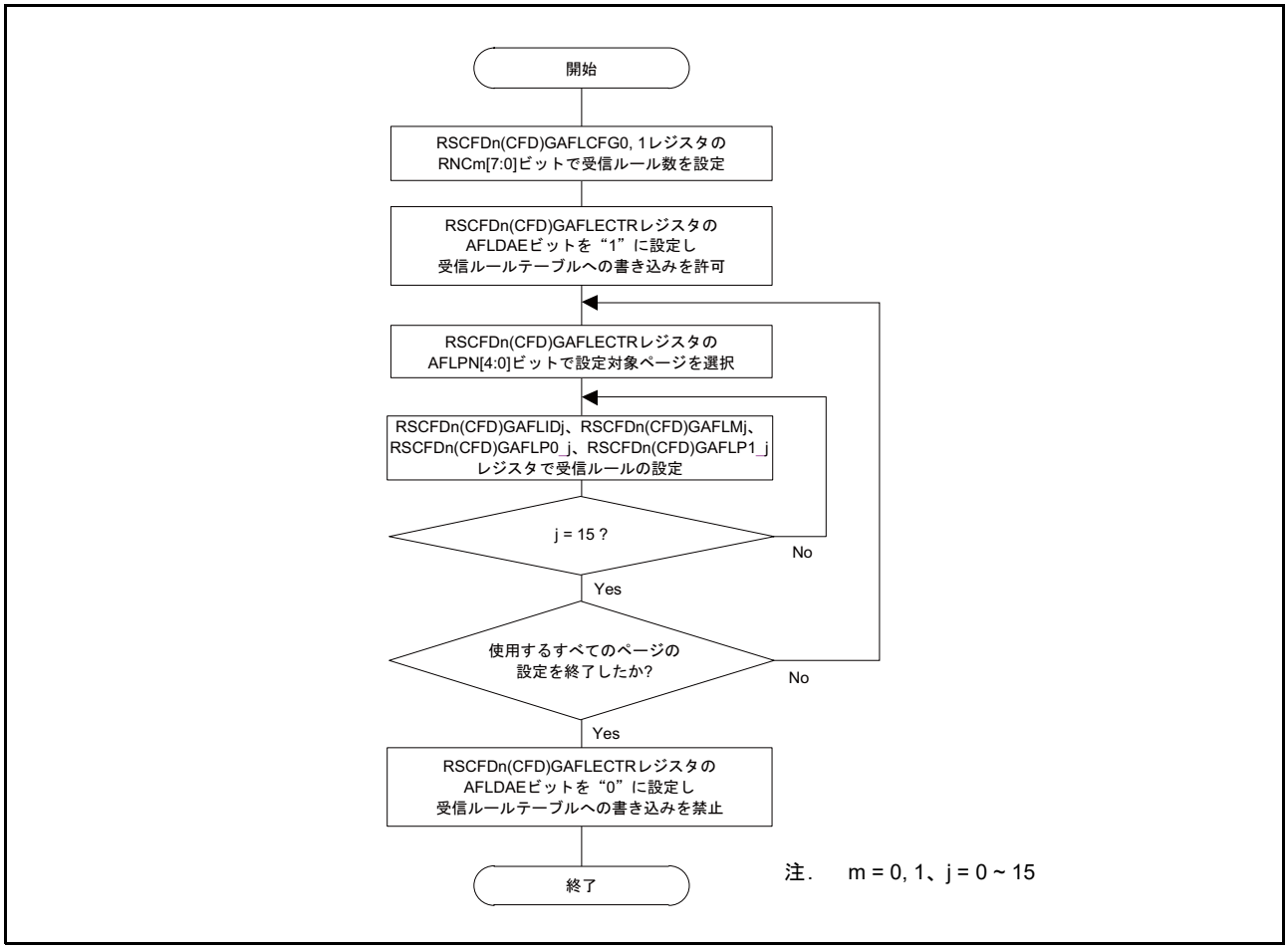


図 25.19　受信ルール設定手順

25.11.1.5　バッファの設定

各種バッファの使用バッファ数（格納メッセージ数）と割り込み要因を設定します。CANFD モード時はペイロード格納サイズも設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

クラシカル CAN モード時、受信バッファと FIFO バッファで使用可能な RAM は最大 2048 バイトです。使用可能なバッファは最大 128 バッファで、1 バッファあたり 16 バイトを使用します。次の条件を満たすように設定してください。

受信バッファ数
+ 受信 FIFO バッファ x の段数の合計
+ 送受信 FIFO バッファ k の段数の合計≦ 128 バッファ

CANFD モード時、受信バッファと FIFO バッファで使用可能な RAM は最大 3584 バイトです。次の条件を満たすように設定してください。

受信バッファ数 ×（12 + ペイロード格納サイズ）
+ 受信 FIFO バッファ x の（段数 ×（12 + ペイロード格納サイズ））の合計
+ 送受信 FIFO バッファ k の（段数 ×（12 + ペイロード格納サイズ））の合計
≦ 3584 バイト

図 25.20 にバッファの構成を示します。**図 25.21** に各種バッファの設定手順を示します。

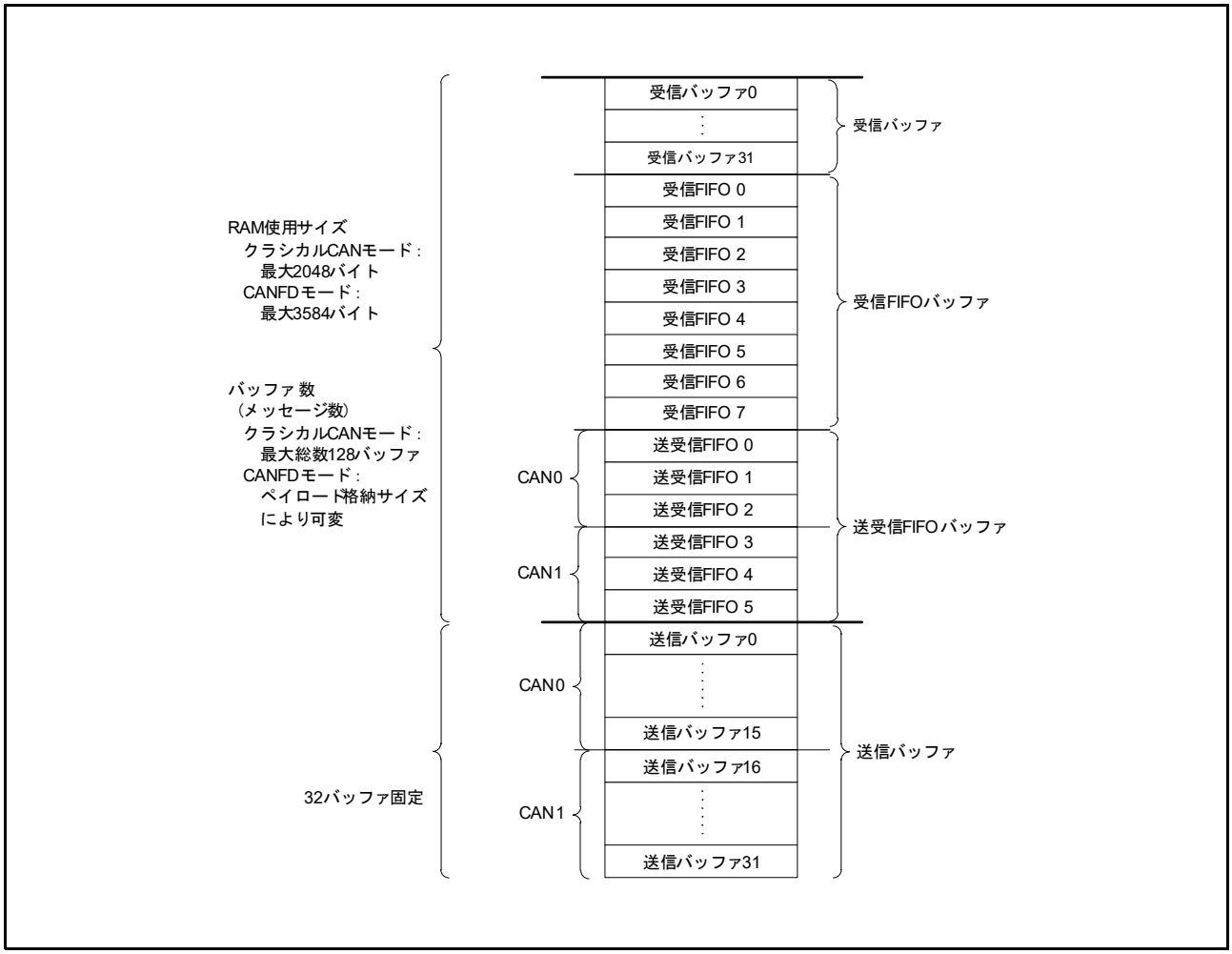


図 25.20　バッファの構成

注意．受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ、送信バッファは連続して配置されます。

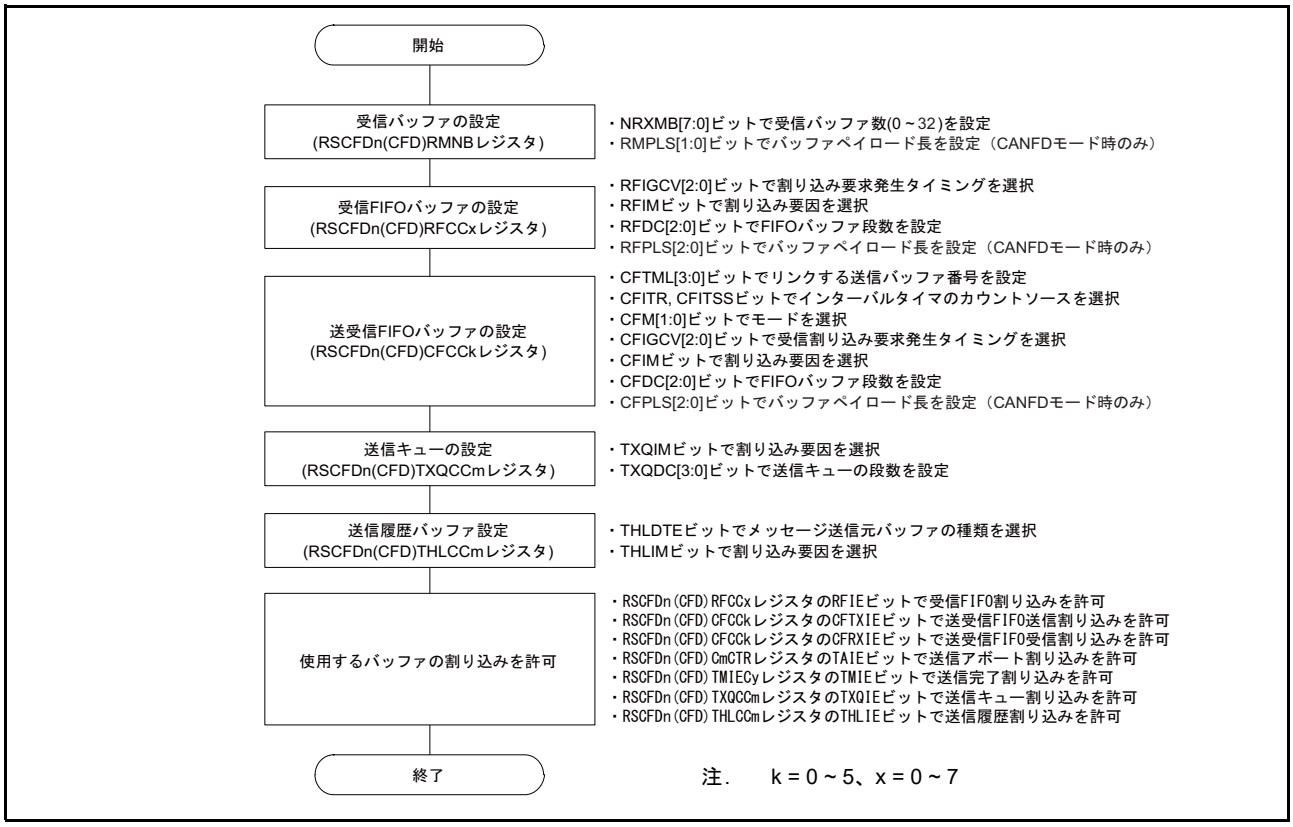


図 25.21　各種バッファの設定手順

25.11.1.6　送信遅延補正（CANFD モードのみ）

CANFD モードのデータフェーズでは高いボーレートが使用されます。このときの伝播遅延を許容するための機能として、送信遅延補正があります。

この機能を使用する場合は、RSCFDnCFDCmFDCFG レジスタの TDCE ビットを “1” に設定します。また、データフェーズで使用されるセカンダリサンプルポイント（SSP）のタイミングを RSCFDnCFDCmFDCFG レジスタの TDCOC ビットと TDCO[6:0] ビットで設定します。

TDCOC ビットが “0” のとき、SSP のタイミングは RS-CANFD モジュールが測定した遅延と TDCO[6:0] ビット値を合計した値と等しくなります（最も近い整数の Tq に切り捨てます）。通常、TDCO[6:0] ビット値はサンプルポイントのタイミングである SS と TSEG1 の合計値でなければなりません。

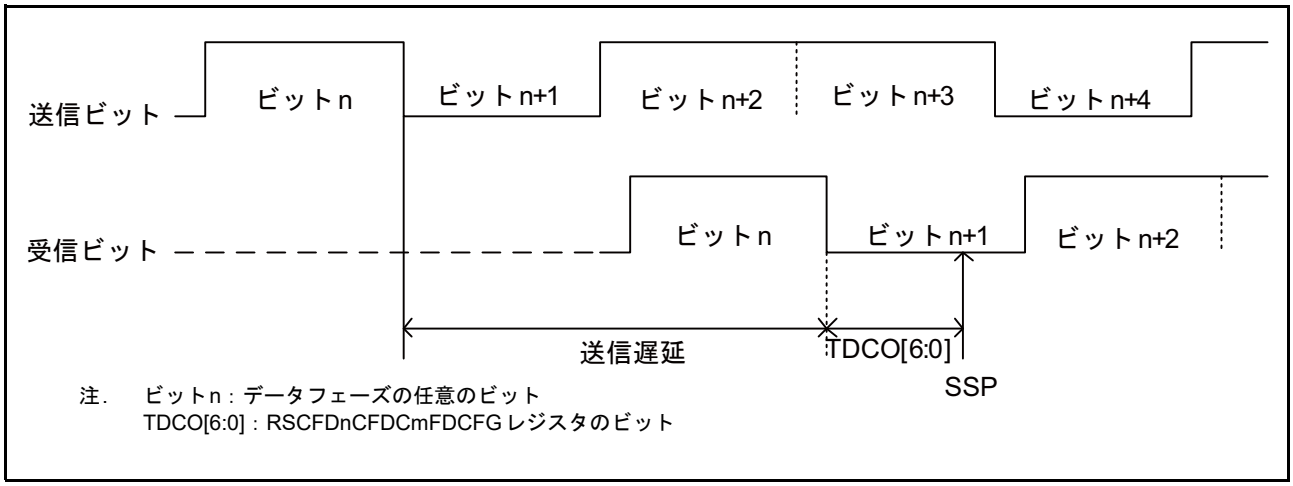


図 25.22　SSP のタイミング

TDCOC ビットが “1” のとき、SSP のタイミングは TDCO[6:0] ビット値のみで決定されます（RSCFDnCFDCmDCFG レジスタの DBRP[7:0] ビットが 0 より大きいとき、TDCO[6:0] ビット値もまた最も近い整数の Tq に切り捨てられます）。

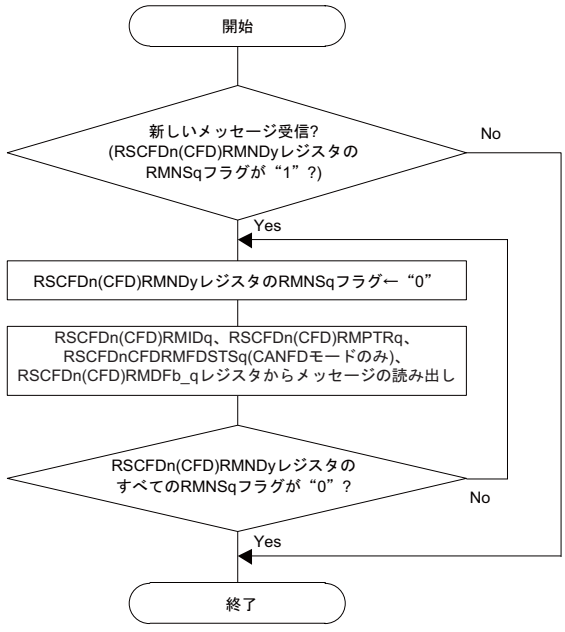
RS-CANFD モジュールは最大 3CANm ビットタイム – 2fCAN の遅延を補償します（CANm ビットタイムはデータビットレートの値）。

RSCFDnCFDCmFDCFG レジスタの TDCE ビットが “1”(送信遅延補正許可) のとき、NBRP[9:0] ビットと DBRP[7:0] ビットには “1” 以下の同じ値を設定してください。

25.11.2　受信手順

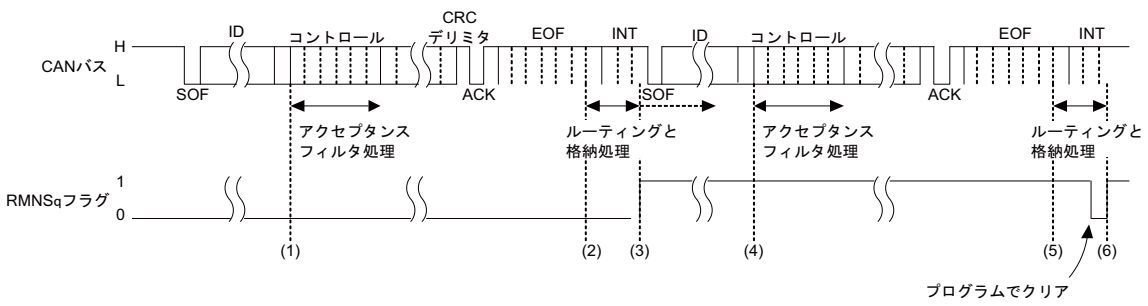
25.11.2.1　受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCFDn(CFD)RMNDy レジスタの RMNSq フラグ（y = 0、q = 0 ~ 31）が “1”（受信バッファ q に新しいメッセージあり）になります。メッセージは RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq(CANFD モード時のみ)、RSCFDn(CFD)RMDFb_q（クラシカル CAN モード時は b = 0 ~ 1、CANFD モード時は b = 0 ~ 4）レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。**図 25.23** に受信バッファの読み出し手順を示します。この手順により、RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCFDn(CFD)RMDFb_q レジスタから読み出したメッセージの一貫性を確保できます。



注.　y = 0 、q = 0 ~ 31、b = 0 ~ 1（クラシカルCANモード時）、0 ~ 4（CANFDモード時）

図 25.23　受信バッファの読み出し手順



注.　y = 0 、q = 0 ~ 31
RMNSq：RSCFDn(CFD)RMNDy レジスタのフラグ）

図 25.24　受信バッファの受信タイミング図

(1) メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。
(2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
(3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。メッセージの格納処理が始まると、対応する RSCFDn(CFD)RMNDy レジスタの RMNSq フラグが “1”（受信バッファに新しいメッセージあり）になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っていると、ルーティング処理や格納処理が遅延する場合があります。
(4) 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。
(5) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
(6) 対応する RMNSq フラグを “0”（受信バッファに新しいメッセージなし）にクリアした場合、メッセージの格納処理が始まると、再度 “1” になります。RMNSq フラグが “1” のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを “0” にできません。

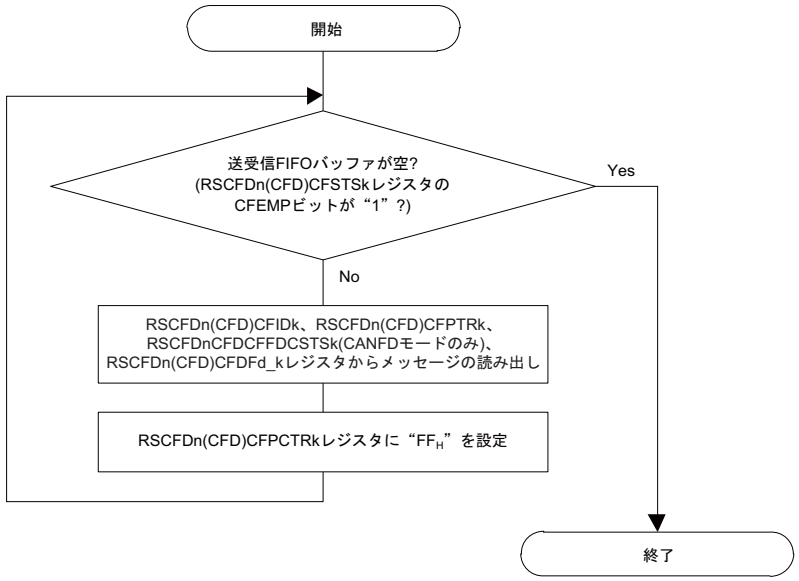
25.11.2.2　FIFO バッファの読み出し手順

受信メッセージが 1 つ以上の受信 FIFO バッファまたは、受信モード／ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ（RSCFDn(CFD)RFSTSx レジスタ（x = 0 ~ 7）の RFMC[7:0] ビットまたは RSCFDn(CFD)CFSTSk レジスタ（k = 0 ~ 5）の CFMC[7:0] ビット）の値が 1 加算されます。このとき、RSCFDn(CFD)RFCCx レジスタの RFIE ビット（受信 FIFO 割り込み許可ビット）や RSCFDn(CFD)CFCCk レジスタの CFRXIE ビット（送受信 FIFO 受信割り込み許可ビット）を “1” にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCFDn(CFD)RFIDx、RSCFDn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx（CANFD モード時のみ）、RSCFDn(CFD)RFDFd_x（クラシカル CAN モード時は d = 0 ~ 1、CANFD モード時は d = 0 ~ 15）レジスタから、送受信 FIFO バッファの場合は RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk（CANFD モード時のみ）、RSCFDn(CFD)CFDFd_k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値（RSCFDn(CFD)RFCCx レジスタの RFDC[2:0] ビットまたは RSCFDn(CFD)CFCCk レジスタの CFDC[2:0] ビットで設定した値）に一致したとき、RFFLL フラグまたは CFFLL フラグが “1”（FIFO バッファフル）になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCFDn(CFD)RFSTSx レジスタの RFEMP フラグまたは RSCFDn(CFD)CFSTSk レジスタの CFEMP フラグが “1”（FIFO バッファ空）になります。

割り込み要求フラグ（RSCFDn(CFD)RFSTSx レジスタの RFIF フラグまたは RSCFDn(CFD)CFSTSk レジスタの CFRXIF フラグ）が “1”（割り込み要求あり）の状態で RFE ビットや CFE ビットを “0”（FIFO バッファを使用しない）にすると、割り込み要求フラグは自動的に “0” になりません。割り込み要求フラグはプログラムで “0” にしてください。



注.　k = 0 ~ 5、d = 0 ~ 1（クラシカルCANモード時）、0 ~ 15（CANFDモード時）

図 25.25　送受信 FIFO バッファの読み出し手順

CANFD モードでメッセージを読み出すとき、RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビットまたは RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズを超える領域に対応する RSCFDnCFDRFDFd_x、RSCFDnCFDCFDFd_k レジスタの読み出しはしないでください。

表25.182　受信FIFOバッファのペイロード格納領域

RFPLS[2:0]ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000_B	8バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF1_x
001_B	12バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF2_x
010_B	16バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF3_x
011_B	20バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF4_x
100_B	24バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF5_x
101_B	32バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF7_x
110_B	48バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF11_x
111_B	64バイト	RSCFDnCFDRFDF0_x ～ RSCFDnCFDRFDF15_x

表25.183　送受信FIFOバッファのペイロード格納領域

RFPLS[2:0]ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000_B	8バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF1_k
001_B	12バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF2_k
010_B	16バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF3_k
011_B	20バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF4_k
100_B	24バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF5_k
101_B	32バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF7_k
110_B	48バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF11_k
111_B	64バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF15_k

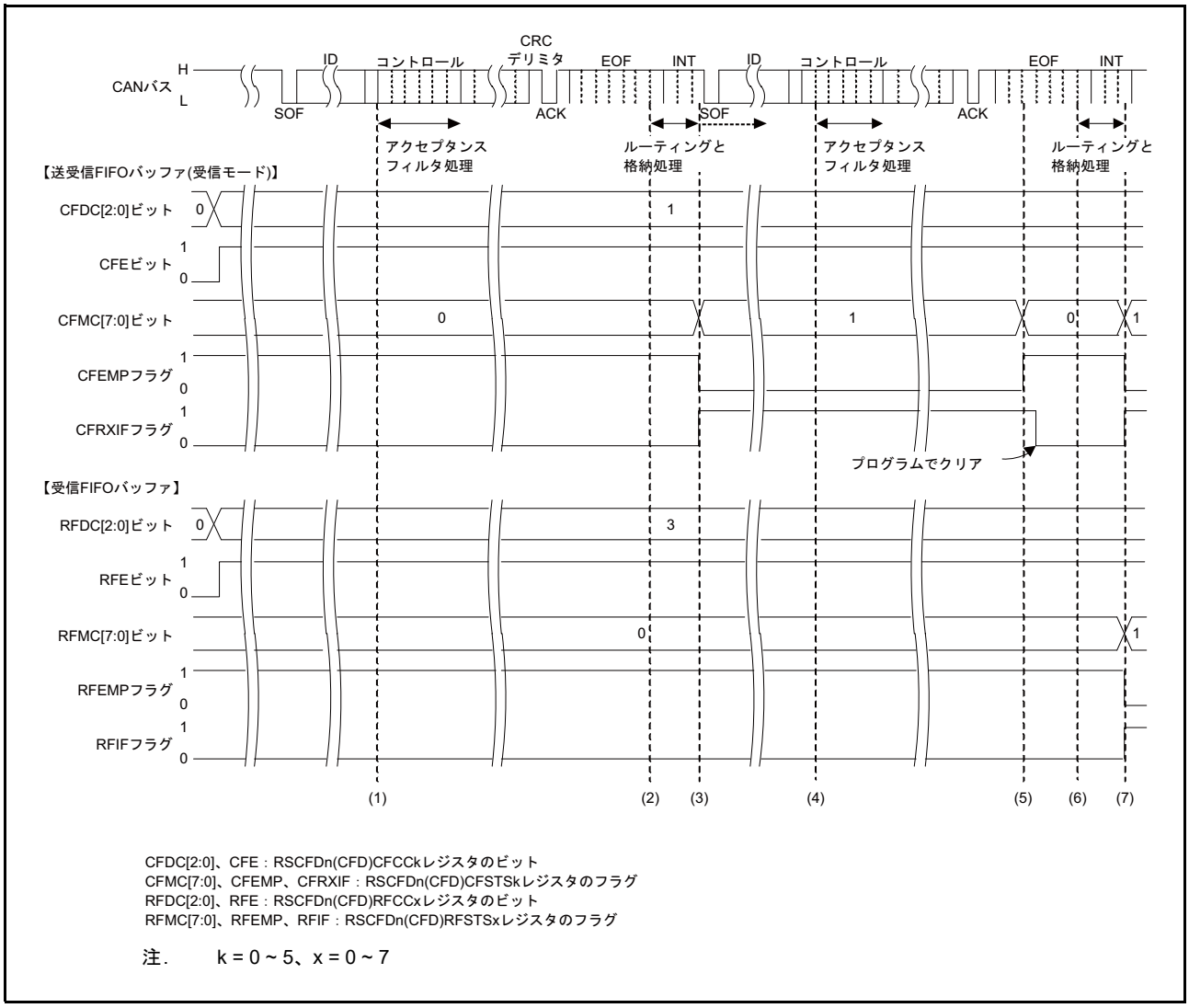


図 25.26　FIFO バッファの受信タイミング図

(1) メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(3) DLC フィルタ処理を通過し、かつ RSCFDn(CFD)CFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCFDn(CFD)CFCCk レジスタの CFDC[2:0] ビットの値が “001B” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCFDn(CFD)CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて “01H” になります。RSCFDn(CFD)CFCCk レジスタの CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCFDn(CFD)CFSTSk レジスタの CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。CFRXIF フラグはプログラムで “0” にできます。

(4) 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

（5）RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDn(CFD)CFDFd_k レジスタから受信メッセージを読み出し、RSCFDn(CFD)CFPCTRk レジスタに “FF$_H$” を書きます。それにより、RSCFDn(CFD)CFSTS レジスタの CFMC[7:0] ビットが 1 減算されて “00$_H$” になり、RSCFDn(CFD)CFSTSk レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

（6）対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCFDn(CFD)GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

（7）DLC フィルタ処理を通過し、かつ CFE ビットが “1”（送受信 FIFO バッファを使用する）、CFDC[2:0] ビットの値が “001$_B$” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが 1 加算されて “01$_H$” になります。CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。
また、RSCFDn(CFD)RFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）、RSCFDn(CFD)RFCCx レジスタの RFDC[2:0] ビットの値が “001$_B$” 以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCFDn(CFD)RFSTSx レジスタの RFMC[7:0] ビットが 1 加算されて “01$_H$” になります。RSCFDn(CFD)RFCCx レジスタの RFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCFDn(CFD)RFSTSx レジスタの RFIF フラグが “1”（受信 FIFO 割り込み要求あり）になります。

25.11.2.3　FIFO バッファの DMA 転送による読み出し手順

CANFD モードのとき、次の FIFO バッファに対し、DMA 転送で読み出しを行うことができます。

- 全ての受信 FIFO バッファ x（x = 0 ~ 7）
- チャネル m に割り当てられた最初の送受信 FIFO バッファ k（k = 3 × m、m = 0, 1）

DMA 許可ビット（RSCFDnCFDCDTC レジスタの RFDMAEx ビットまたは CFDMAEm ビット）は任意のタイミングで設定できます。ただし、“1”（DMA 転送要求許可）にするときは、あらかじめ関連する FIFO の受信割り込み許可ビット（RSCFDnCFDRFCCx レジスタの RFIE ビットまたは RSCFDnCFDCFCCk レジスタの CFRXIE ビット）を “0”（割り込み禁止）にしてください。DMA 転送要求が許可されているときは、FIFO 制御レジスタ（RSCFDnCFDRFCCx レジスタまたは RSCFDnCFDCFCCk レジスタ）にライトしないでください。

DMA 転送が許可された FIFO バッファに未読メッセージがあるとき、DMA 転送要求トリガが生成されます。転送元アドレスには FIFO アクセスレジスタのアドレスを指定し、1 回のトリガでペイロード格納領域の末尾まで読み出されるよう転送サイズを調整してください。この末尾は RSCFDnCFDRFCCx レジスタの RFPLS[2:0] ビットまたは RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズに依存します。

FIFO バッファに格納されたペイロードの末尾が読み出されると、RSCFDnCFDRFSTSx レジスタの RFMC[7:0] ビットまたは RSCFDnCFDCFSTSk レジスタの CFMC[7:0] ビットが自動的に 1 減算されます。末尾の読み出し後、FIFO に未読メッセージが残っていれば、再度トリガが生成されます。

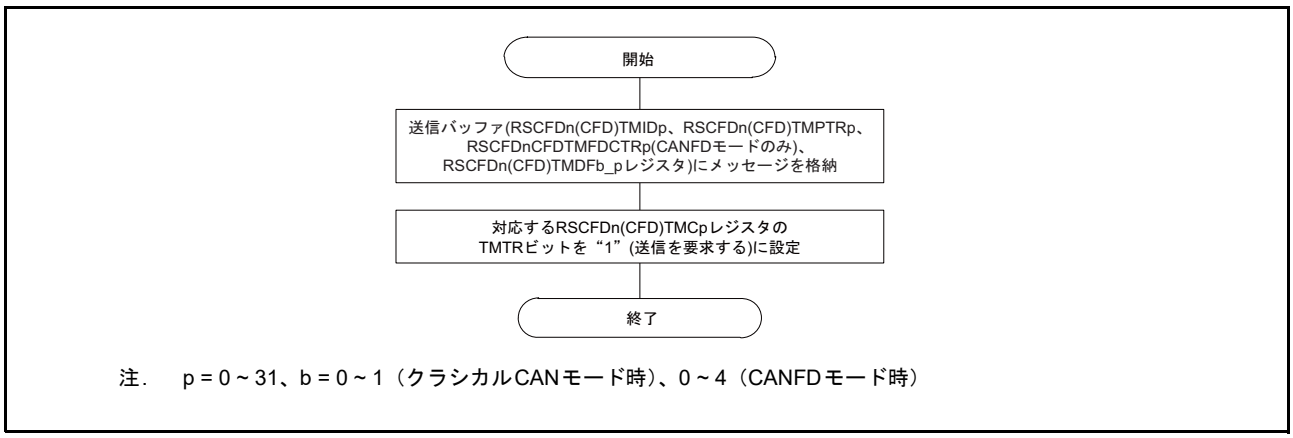
DMA 転送中に RFDMAEx ビットまたは CFDMAEm ビットを “0”（DMA 転送要求禁止）にした場合、DMA 転送ステータス（RSCFDnCFDCDTSTS レジスタの RFDMASTSx ビットまたは CFDMASTSm ビット）が “0”（DMA 転送中でない）になるのを待ってから、次の処理（再度 DMA 転送を許可するなど）に移行してください。DMA 転送を禁止にする場合は、FIFO バッファに残っているメッセージと新しく到着するメッセージをどのように処理するか検討してください。FIFO バッファが許可状態ならば、FIFO バッファの受信は継続します。

25.11.3　送信手順

25.11.3.1　送信バッファからの送信手順

図 25.27 に送信バッファからの送信手順を示します。

図 25.28 に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 25.29 に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。



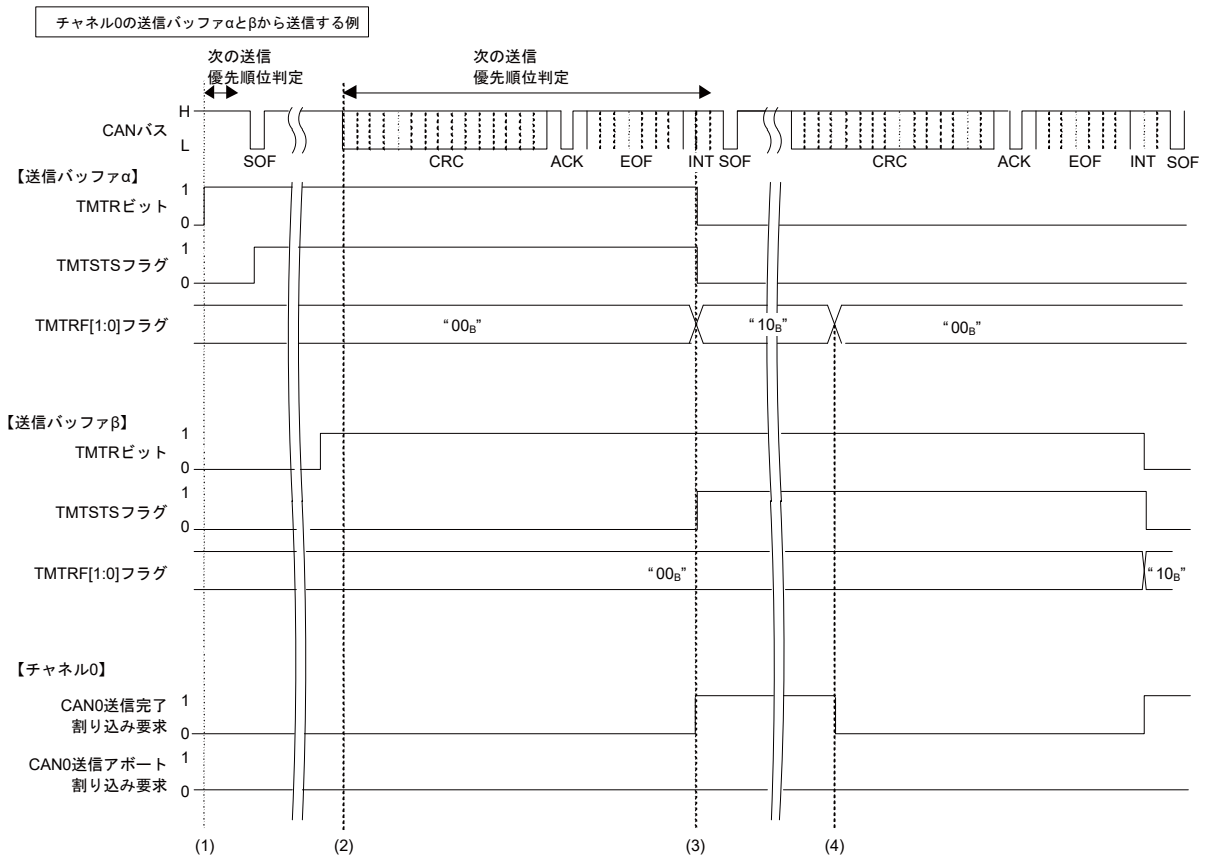
注.　p = 0 ~ 31、b = 0 ~ 1（クラシカル CAN モード時）、0 ~ 4（CANFD モード時）

図 25.27　送信バッファからの送信手順

CANFD モードかつ送信バッファマージモードの場合、送信バッファ（16 × m）+ 0 と送信バッファ（16 × m）+ 3 で 20 バイトを超えるペイロードを持つメッセージを送信することができます。このとき、送信バッファ（16 × m）+ 1 ～（16 × m）+ 2 と送信バッファ（16 × m）+ 4 ～（16 × m）+ 5 はペイロード格納領域として割り当てられ、これらのバッファに対応する RSCFDnCFDTMIDp、RSCFDnCFDTMPTRp、RSCFDnCFDTMFDCTRp レジスタは RSCFDnCFDTMDFb_p レジスタ同様 4 バイトのデータバイト（ペイロード）を格納可能なデータフィールドレジスタとして扱えます。表 25.184 に送信バッファ 0 でペイロード長が 20 バイトを超えるメッセージを送信する場合のメッセージ格納レジスタを示します。

表25.184　送信バッファマージモード時のメッセージ格納レジスタ（送信バッファ0の例）

送信バッファ	ベースアドレスからのオフセット	略号	送信バッファマージモード時のレジスタ機能
送信バッファ0	4000_H	RSCFDnCFDTMID0	送信バッファ0 IDデータ、送信履歴データ格納許可ビット、RTRビット、IDEビット
	4004_H	RSCFDnCFDTMPTR0	送信バッファ0 ラベルデータ、DLCデータ
	4008_H	RSCFDnCFDTMFDCTR0	送信バッファ0 ESIビット、BRSビット、FDFビット
	$400C_H$～$401C_H$	RSCFDnCFDTMDF0_0 ～RSCFDnCFDTMDF4_0	送信バッファ0 データバイト0, 1, 2, 3 ～送信バッファ0 データバイト16, 17, 18, 19
送信バッファ1	4020_H	RSCFDnCFDTMID1	送信バッファ0 データバイト20, 21, 22, 23
	4024_H	RSCFDnCFDTMPTR1	送信バッファ0 データバイト24, 25, 26, 27
	4028_H	RSCFDnCFDTMFDCTR1	送信バッファ0 データバイト28, 29, 30, 31
	$402C_H$～$403C_H$	RSCFDnCFDTMDF0_1 ～RSCFDnCFDTMDF4_1	送信バッファ0 データバイト32, 33, 34, 35 ～送信バッファ0 データバイト48, 49, 50, 51
送信バッファ2	4040_H	RSCFDnCFDTMID2	送信バッファ0 データバイト52, 53, 54, 55
	4044_H	RSCFDnCFDTMPTR2	送信バッファ0 データバイト56, 57, 58, 59
	4048_H	RSCFDnCFDTMFDCTR2	送信バッファ0 データバイト60, 61, 62, 63
	$404C_H$～$405C_H$	RSCFDnCFDTMDF0_2 ～RSCFDnCFDTMDF4_2	使用しない



注.　α = 0 ~ 15、β = 0 ~ 15
TMTR：RSCFDn(CFD)TMCpレジスタのビット
TMTSTS、TMTRF[1:0]：RSCFDn(CFD)TMSTSpレジスタのフラグ

図25.28　送信バッファの送信タイミング図（正常に送信完了時）

(1) CAN バスがアイドル状態のとき RSCFDn(CFD)TMCα レジスタの TMTR ビットを “1” にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ α が最優先送信バッファとして決まると、対応する RSCFDn(CFD)TMSTSα レジスタの TMTSTS フラグが “1”（送信中）になり、CAN チャネルは送信を開始します。

(2) CRC フィールドの 1 ビット目で、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(3) 送信が成功すると、RSCFDn(CFD)TMSTSα レジスタの TMTRF[1:0] フラグは “10B”（送信完了（送信アボート要求なし））になり、TMTSTS フラグと RSCFDn(CFD)TMCα レジスタの TMTR ビットは “0” になります。RSCFDn(CFD)TMIEC0 レジスタの TMIEα ビットが “1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00B”（送信中または送信要求なし）にしてください。

(4) 次の送信を開始する前に、TMTRF[1:0] フラグを “00B” にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを “1”（送信を要求する）にしてください。TMTRF[1:0] フラグが “00B” のときのみ、TMTR ビットを “1” に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは “0” になります。送信の優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

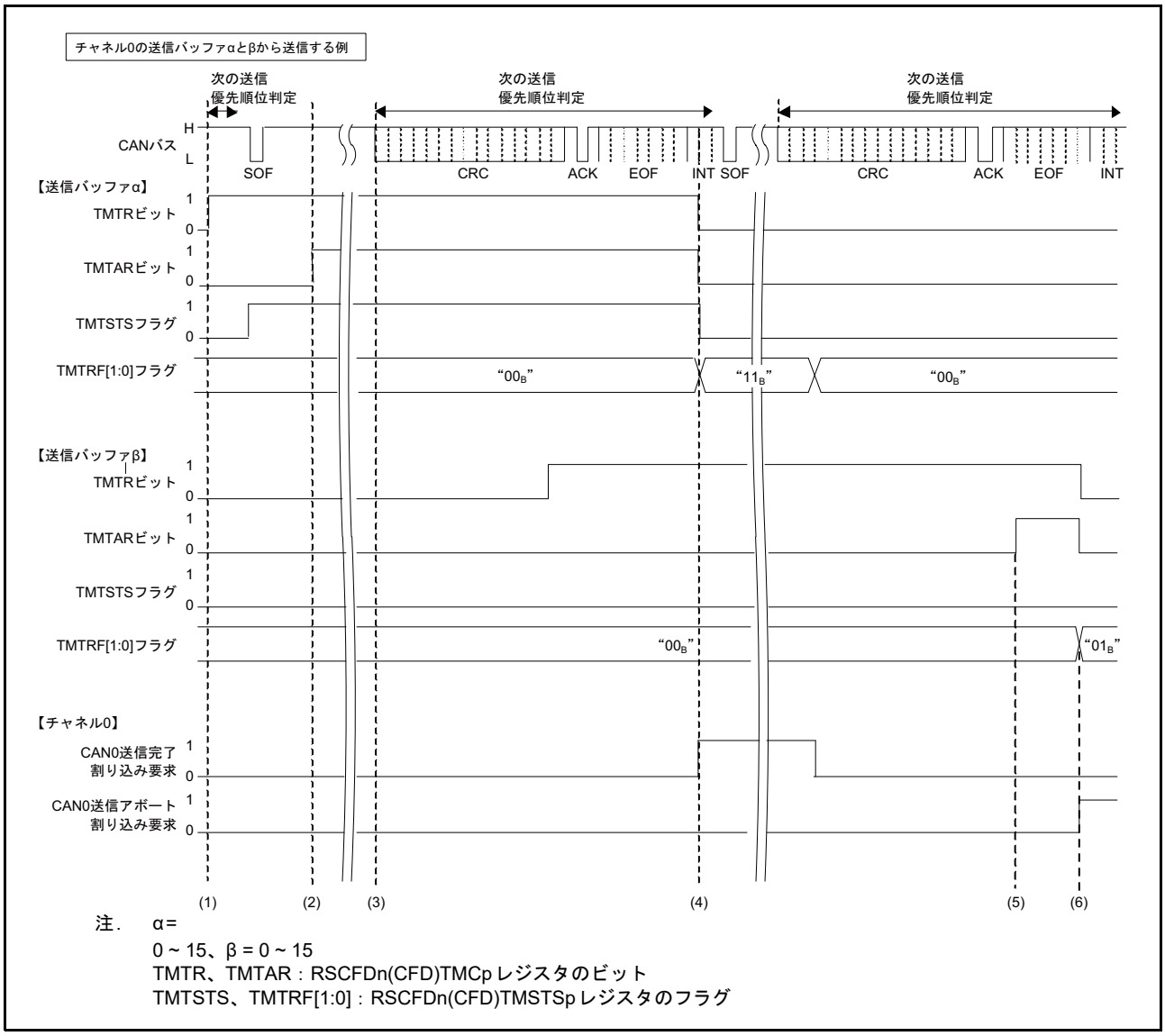


図 25.29　送信バッファの送信タイミング図（送信アボート完了時）

(1) CAN バスがアイドル状態のとき RSCFDn(CFD)TMCα レジスタの TMTR ビットを “1” にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ α が最優先送信バッファとして決まると、対応する RSCFDn(CFD)TMSTSα レジスタの TMTSTS フラグが “1”（送信中）になり、CAN チャネルは送信を開始します。

(2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを “1”（アボート要求する）にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。

(3) CRC フィールドの 1 ビット目で、次の優先順位判定処理を開始します。このタイミング図では、バッファ β は次の送信バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(4) 送信が成功すると、RSCFDn(CFD)TMSTSα レジスタの TMTRF[1:0] フラグは “11B”（送信完了（送信アボート要求あり））になり、TMTSTS フラグと RSCFDn(CFD)TMCα レジスタの TMTR ビットは “0” になります。RSCFDn(CFD)TMIEC0 レジスタの TMIEα ビットが “1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00B”（送信中または送信要求なし）にしてください。

(5) CAN バス上に他の CAN ノードが送信している場合（TMTSTS フラグは “0”）、対応するチャネルが優先順位判定中に TMTAR ビットを “1” にすると、TMTR ビットを “0” にできません。

(6) 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが “01B” になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0] フラグは “01B” になります。このとき、TMTR ビットと TMTAR ビットは “0” になります。RSCFDn(CFD)CmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00B” にしてください。

CAN チャネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは “0” になります。優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

25.11.3.2　送受信 FIFO バッファからの送信手順

図 25.30 に送受信 FIFO バッファからの送信手順を示します。

図 25.31 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。図 25.32 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

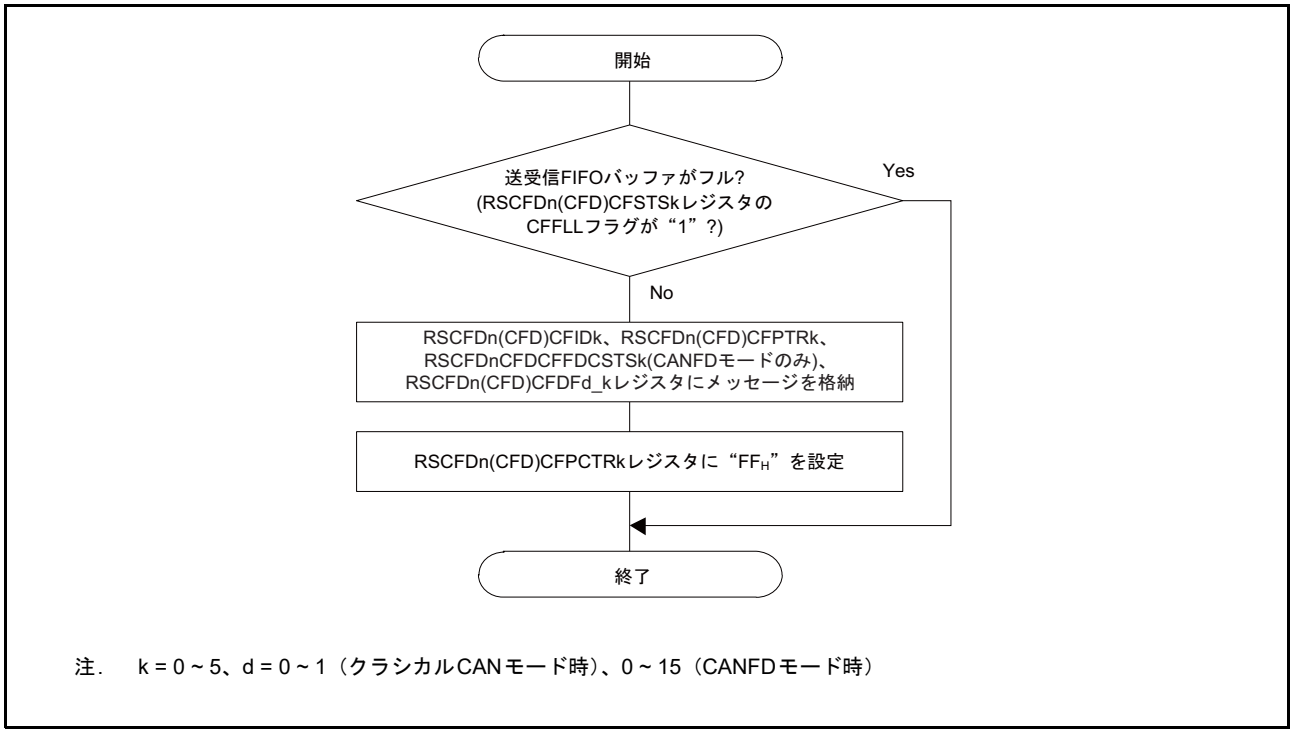
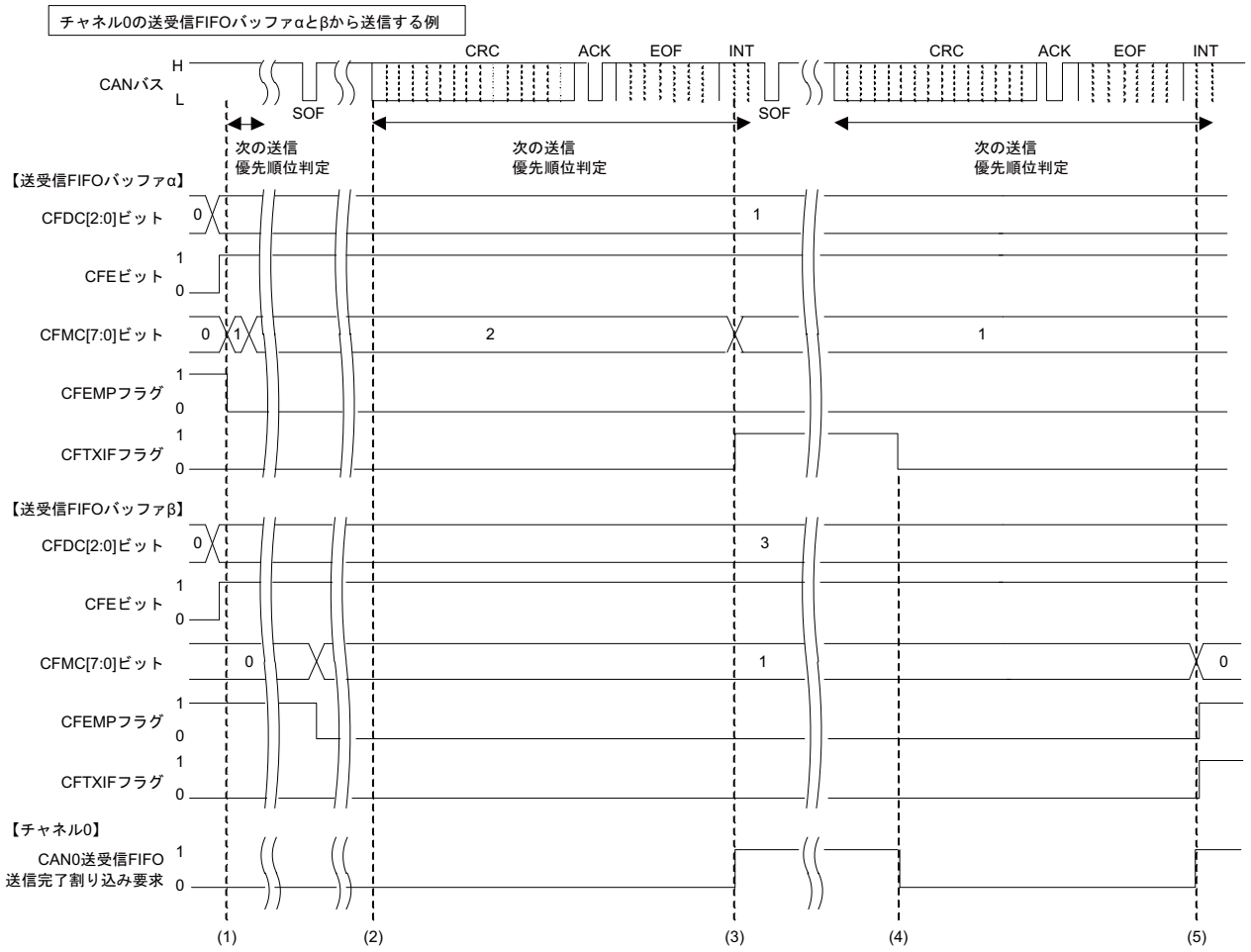


図 25.30　送受信 FIFO バッファからの送信手順

メッセージを格納するとき、RSCFDnCFDCFCCk レジスタの CFPLS[2:0] ビットで設定したペイロード格納サイズを超える領域に対応する RSCFDnCFDCFDFd_k レジスタへの書き込みはしないでください。

表25.185　送受信FIFOバッファのペイロード格納領域

CFPLS[2:0]ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000_B	8バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF1_k
001_B	12バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF2_k
010_B	16バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF3_k
011_B	20バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF4_k
100_B	24バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF5_k
101_B	32バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF7_k
110_B	48バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF11_k
111_B	64バイト	RSCFDnCFDCFDF0_k ～ RSCFDnCFDCFDF15_k



注．　α = 0 ~ 2、β = 0 ~ 2
CFDC[2:0]、CFE：RSCFDn(CFD)CFCCk レジスタのビット
CFMC[7:0]、CFEMP、CFTXIF：RSCFDn(CFD)CFSTSk レジスタのフラグ

図 25.31　　送受信 FIFO バッファの送信タイミング図（正常に送信完了時）

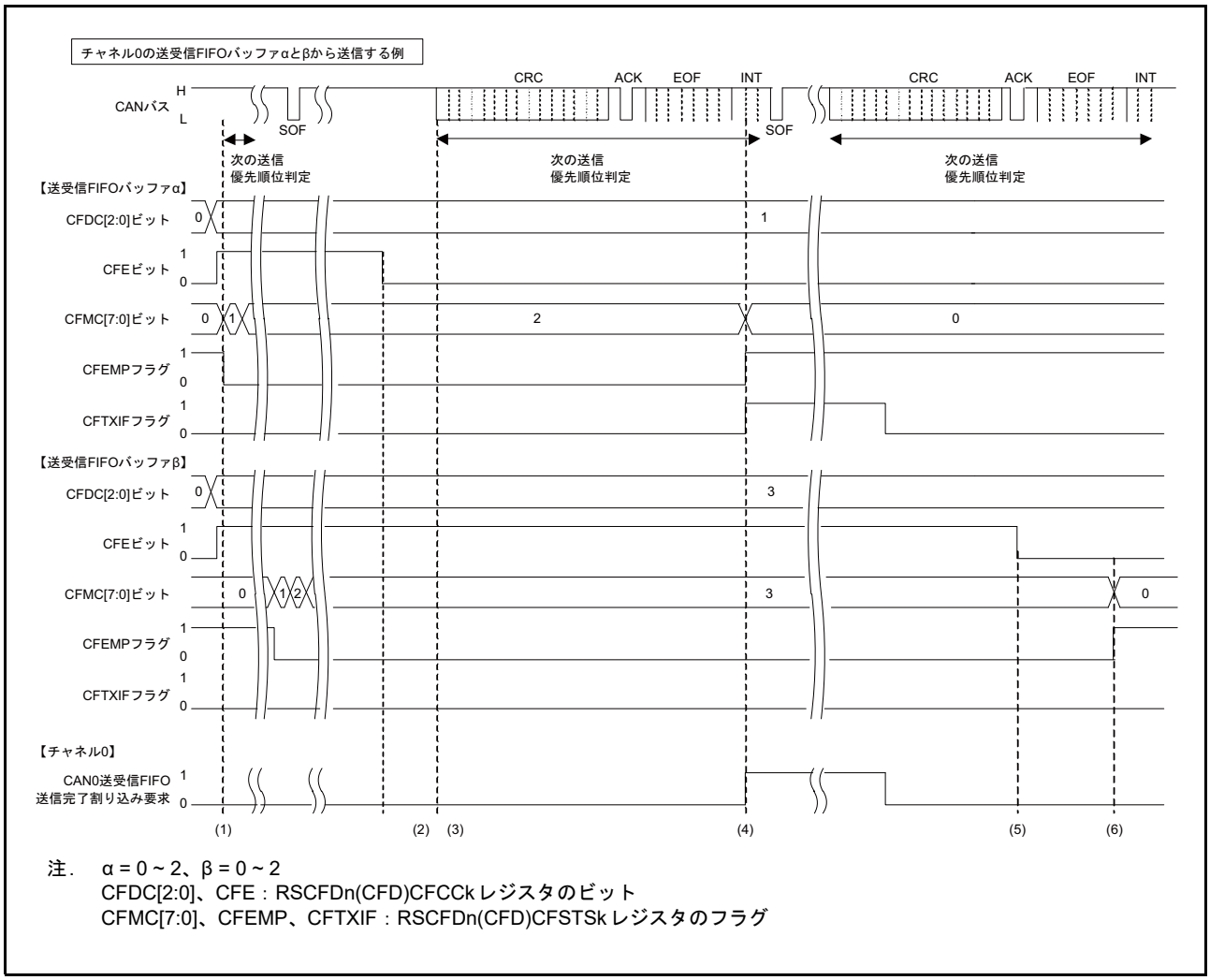
(1) CAN バスがアイドル状態のとき、RSCFDn(CFD)CFCCα レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCFDn(CFD)CFCCα レジスタの CFDC[2:0] ビットが “001B”（4 メッセージ）以上、RSCFDn(CFD)CFSTSα レジスタの CFMC[7:0] ビットの値が “01H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ α から送信されます。

(2) バッファからの送信要求があれば、CRC フィールドの 1 ビット目で次の優先順位判定処理を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(3) 送信が成功すると、RSCFDn(CFD)CFSTSα レジスタの CFMC[7:0] ビットが 1 減算されます。RSCFDn(CFD)CFCCα レジスタの CFIM ビットを “1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCFDn(CFD)CFSTSα レジスタの CFTXIF フラグが “1”（送受信 FIFO 送信割り込み要求あり）になります。

(4) CFTXIF フラグはプログラムでクリアできます。
(5) チャネル 0 の送受信 FIFO バッファ β からの送信が完了し、RSCFDn(CFD)CFSTSβ レジスタの CFMC[7:0] ビットが 1 減算されます。CFMC[7:0] ビットが “00H” になるため、RSCFDn(CFD)CFSTSβ レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

CFEMP フラグが “1” になるまで送信は続けられます。RSCFDn(CFD)CFSTSα、RSCFDn(CFD)CFSTSβ レジスタの CFFLL フラグが “1”（送受信 FIFO バッファフル）になるまで、送信メッセージを FIFO バッファに格納することができます。



注． α = 0 ~ 2、β = 0 ~ 2
CFDC[2:0]、CFE：RSCFDn(CFD)CFCCk レジスタのビット
CFMC[7:0]、CFEMP、CFTXIF：RSCFDn(CFD)CFSTSk レジスタのフラグ

図 25.32　送受信 FIFO バッファの送信タイミング図（送信アボート完了時）

(1) CAN バスがアイドル状態のとき、RSCFDn(CFD)CFCCα レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCFDn(CFD)CFCCα レジスタの CFDC[2:0] ビットが “001B”（4 メッセージ）以上、RSCFDn(CFD)CFSTSα レジスタの CFMC[7:0] ビットの値が “01H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ α から送信されます。
(2) メッセージが送信中、または次の送信に決まっているとき、アービトレーションロストまたはエラーが発生しない限り、CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても送信はアボートされません。

(3) バッファからの送信要求があれば、CRC フィールドの先頭ビットで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ β は次の送信用バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(4) 送信が成功すると、CFMC[7:0] ビットの値が “00H” になります。CFIM ビットを “1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCFDn(CFD)CFSTSα レジスタの CFTXIF フラグが “1”（送受信 FIFO バッファ送信割り込み要求あり）になります。CFTXIF フラグはプログラムでクリアできます。

(5) CAN バス上の他の CAN ノードが送信中の場合（送受信 FIFO バッファ β からは送信されていない）、送信の優先順位判定中に RSCFDn(CFD)CFCCβ レジスタの CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても、送受信 FIFO バッファ β は直ちに禁止にはできません（RSCFDn(CFD)CFSTSβ レジスタの CFEMP フラグは直ちに “1”（送受信 FIFO バッファ空）にはなりません）。

(6) 内部処理時間経過後、送受信 FIFO バッファ β は禁止され、RSCFDn(CFD)CFSTSβ レジスタの CFMC[7:0] ビットは “00H” になり、CFEMP フラグは “1” になります。送受信 FIFO バッファ β が送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファ β は禁止されます（CFMC[7:0] ビットは “00H” になり、CFEMP フラグは “1” になります）。

25.11.3.3　送信キューからの送信手順

図 25.33 に送信キューからの送信手順を示します。

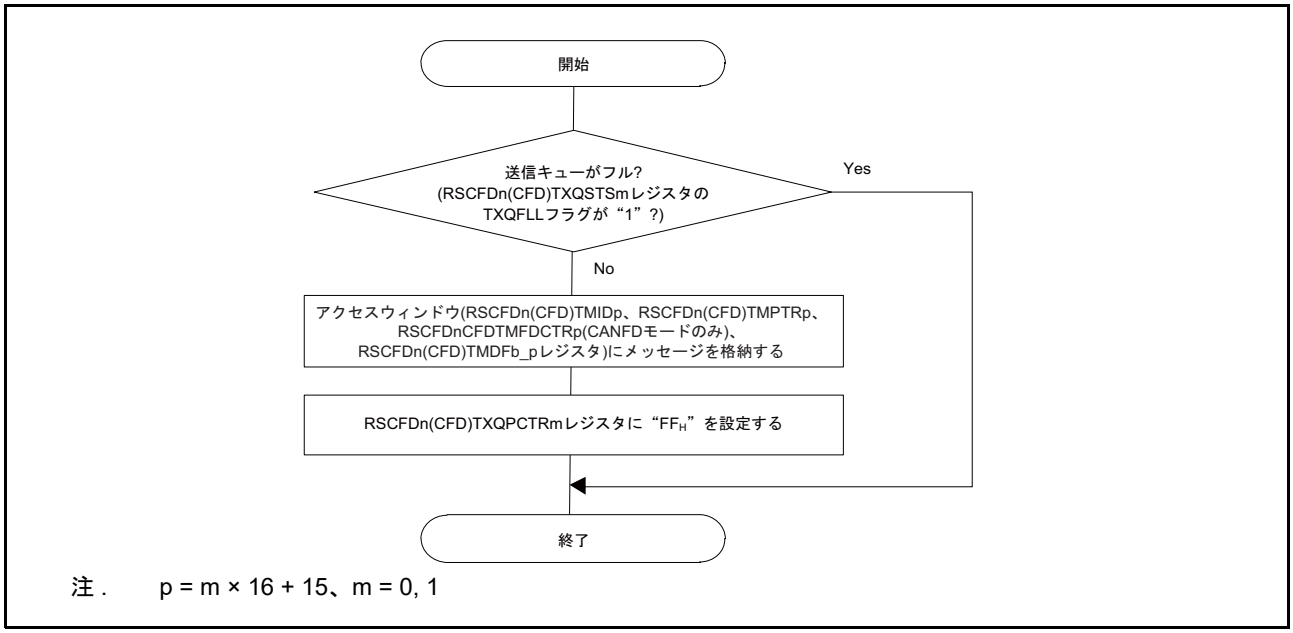


図 25.33　送信キューからの送信手順

25.11.3.4　送信履歴バッファの読み出し手順

送信履歴データは、RSCFDn(CFD)THLACCm レジスタで読めます。1 データを読んだ後、対応する RSCFDn(CFD)THLPCTRm レジスタ（m = 0, 1）へ “FF$_H$” を書くと、次のデータへアクセスできます。図 25.34 に送信履歴バッファの読み出し手順を示します。

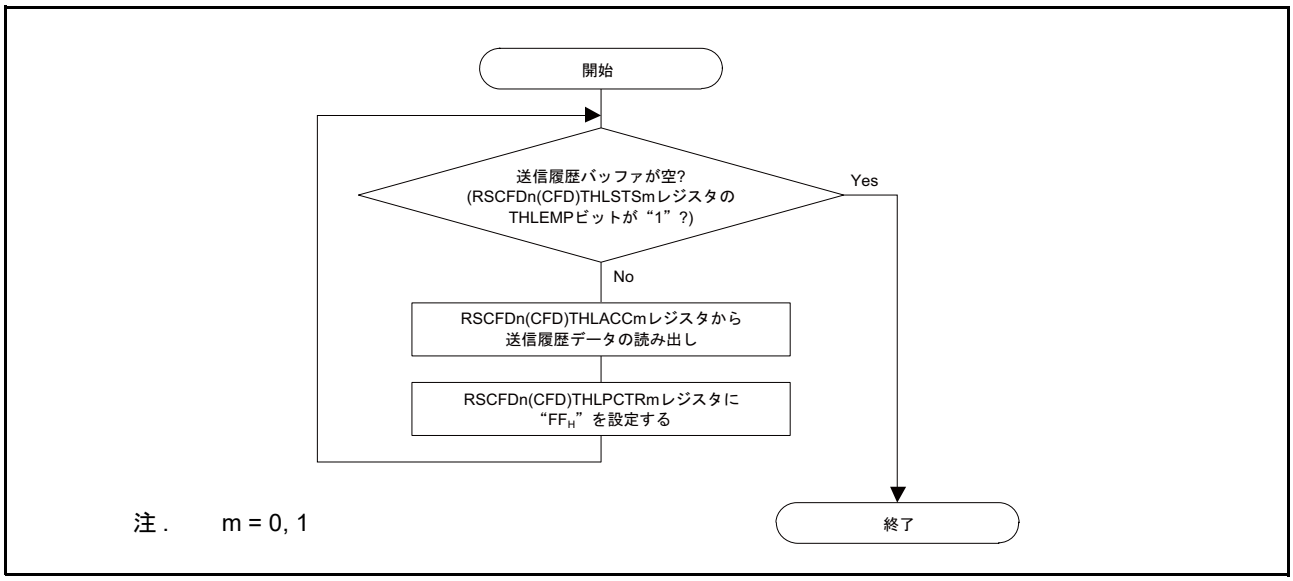


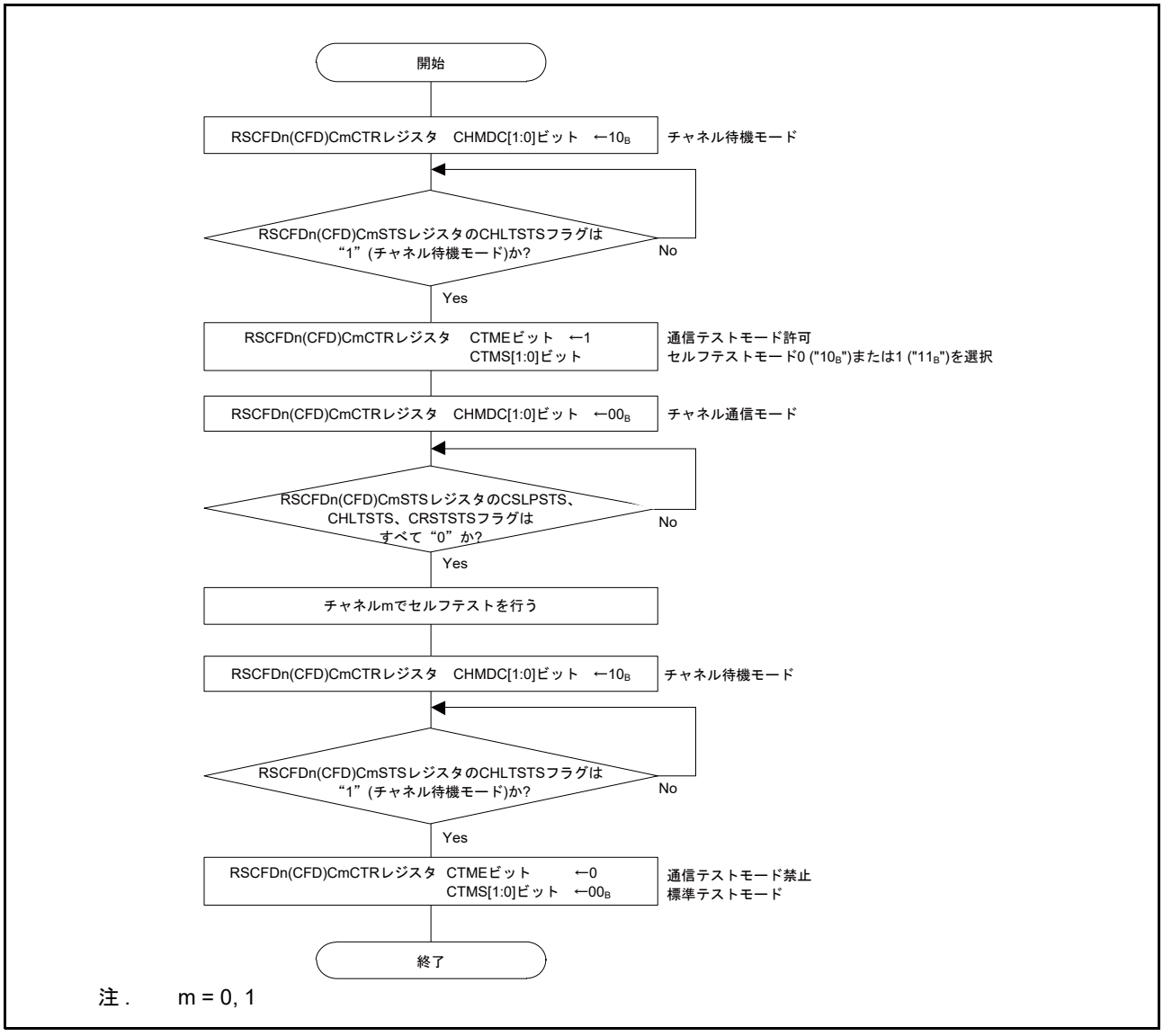
図 25.34　送信履歴バッファの読み出し手順

25.11.4　テスト設定

25.11.4.1　セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャネル単体で通信テストを行うことができます。

図 25.35 にセルフテストモードの設定手順を示します。



注 .　m = 0, 1

図 25.35　セルフテストモードの設定手順

25.11.4.2　プロテクト解除手順

表 25.186 に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RSCFDn(CFD)GLOCKK レジスタの LOCK[15:0] ビットに書いてから、それぞれのテスト機能ビットを “1” にしてください。

表 25.186　テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575_H	$8A8A_H$	RSCFDn(CFD)GTSTCTR レジスタ　RTME ビット

間違った値を LOCK[15:0] ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。図 25.36 にプロテクト解除手順を示します。

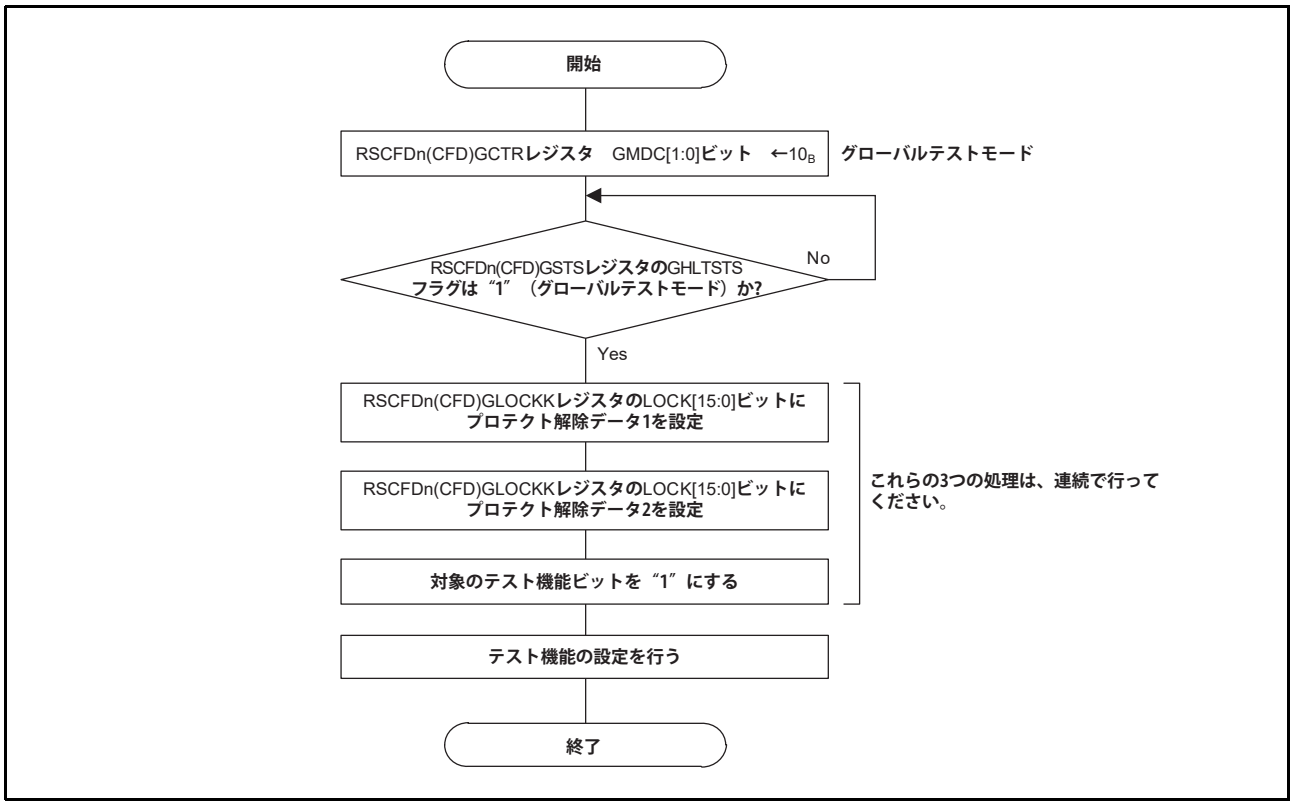
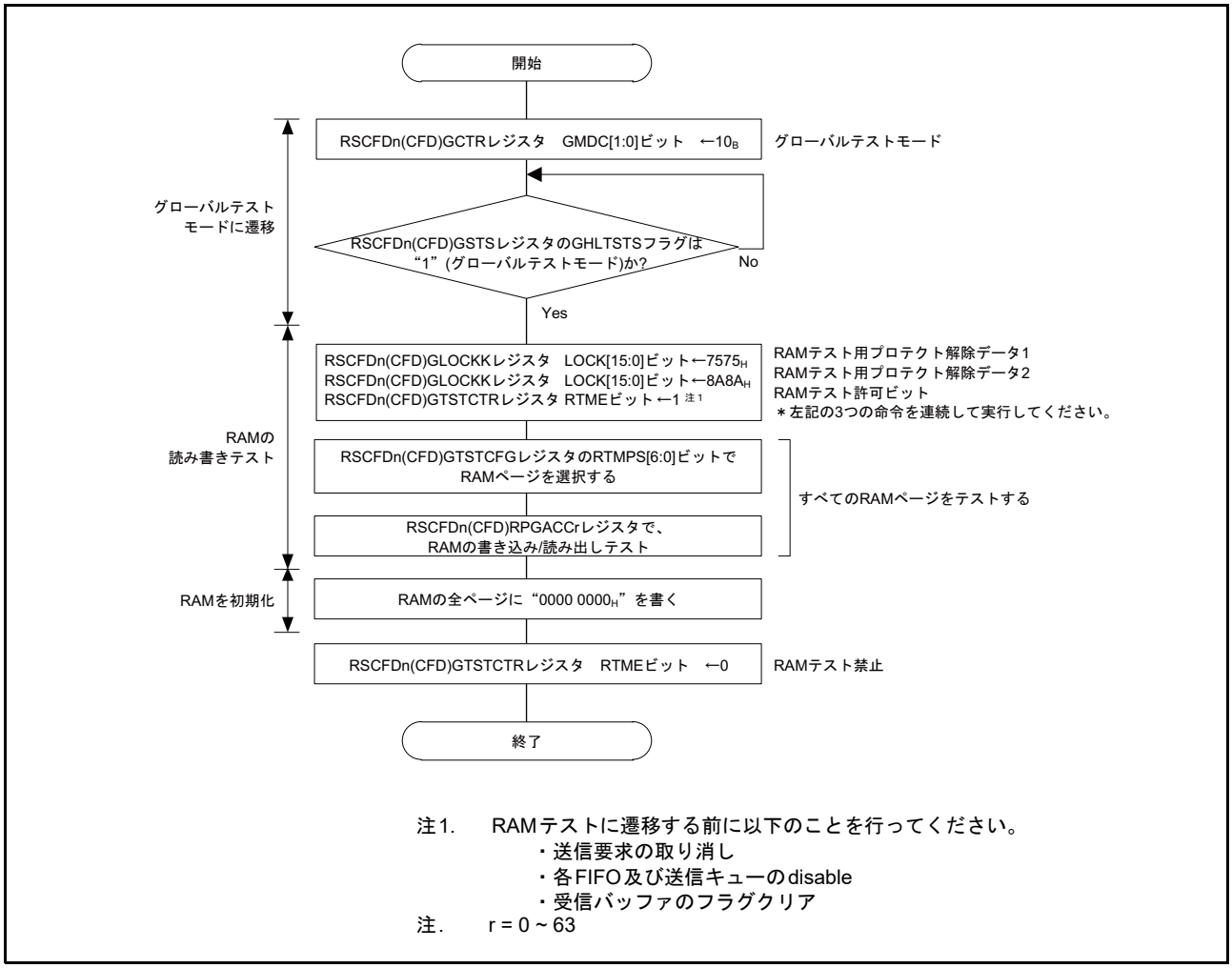


図 25.36　プロテクト解除手順

25.11.4.3　RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに “0000 0000H” を書いてください。

図 25.37 に RAM テストの設定手順を示します。



注1.　RAMテストに遷移する前に以下のことを行ってください。
- 送信要求の取り消し
- 各FIFO及び送信キューのdisable
- 受信バッファのフラグクリア

注.　r = 0 ~ 63

図 25.37　RAM テストの設定手順

25.11.4.4　チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。
図 25.38 にチャネル間通信テストの設定手順を示します。

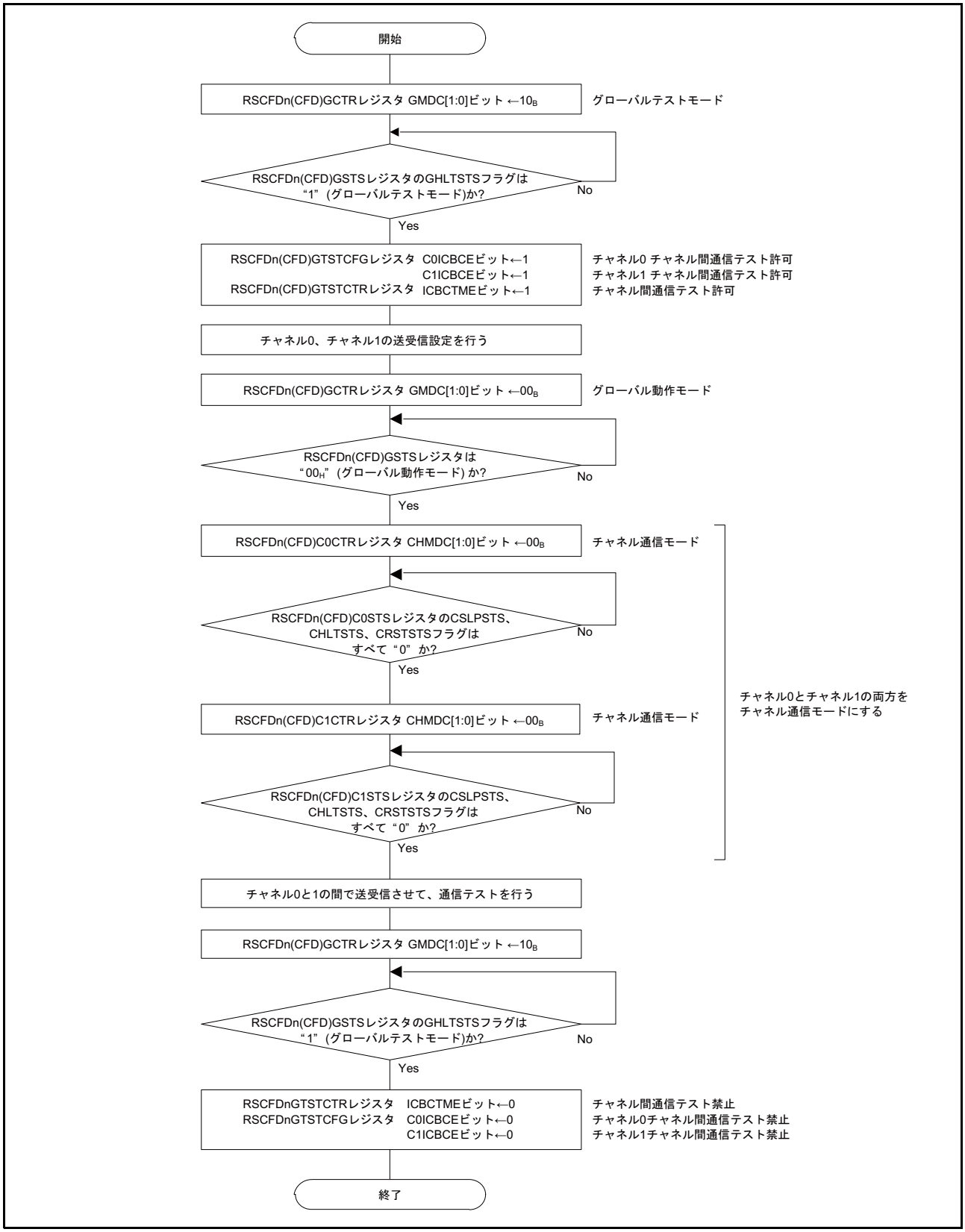


図 25.38　チャネル間通信テストの設定手順（チャネル 0-1 間通信テストの例）

25.12 RS-CANFD モジュールの注意事項

- パワーオンリセットを行わずにインタフェースモードを変更する場合は、切り替え後のレジスタマップに割り当てられていないレジスタ、ビットすべてにリセット後の値を書いてから、RSCFDn(CFD)GRMCFG レジスタを書き換えてください。
- グローバルモードを変更する場合は、RSCFDn(CFD)GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャネルモードを変更する場合は、RSCFDn(CFD)CmSTS レジスタ（m = 0, 1）の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- CANFD モード時、クラシカル CAN フレームしか使用しない場合は、RSCFDnCFDCmDCFG レジスタに、RSCFDnCFDCmNCFG レジスタの設定値と同じ値を設定してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ（RSCFDn(CFD)TMCp レジスタ）は “00H” にしてください。また、対応する送信バッファのステータスレジスタ（RSCFDn(CFD)TMSTSp レジスタ）は使用しないでください。その他のステータスレジスタ（RSCFDn(CFD)TMTRSTS0 ～ RSCFDn(CFD)TMTRSTS2、RSCFDn(CFD)TMTARSTS0 ～ RSCFDn(CFD)TMTARSTS2、RSCFDn(CFD)TMTCSTS0 ～ RSCFDn(CFD)TMTCSTS2、RSCFDn(CFD)TMTASTS0 ～ RSCFDn(CFD)TMTASTS2 レジスタ）は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ（RSCFDn(CFD)TMIEC0 ～ RSCFDn(CFD)TMIEC2 レジスタ）の許可ビットは “0”（割り込み禁止）にしてください。
- 送信バッファマージモード（CANFD モード時）を使用する場合、ペイロード格納領域として割り当てられた送信バッファに対応する送信バッファの制御レジスタ（RSCFDn(CFD)TMCp レジスタ）は “00H” にしてください。また、対応する割り込み許可レジスタ（RSCFDn(CFD)TMIEC0 ～ RSCFDn(CFD)TMIEC2 レジスタ）の許可ビットは “0”（割り込み禁止）にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。また、送信バッファマージモード（CANFD モード時）でペイロード格納領域として割り当てられた送信バッファを、送信キューに割り当てないでください。
- 1 つの送信バッファには、1 つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。
- 「25.3　レジスタ（クラシカル CAN モード）」と「25.4　レジスタ（CANFD モード）」に記載されているリセット後の値は、RAM アクセスを行うレジスタの場合、CAN 用 RAM 初期化によってクリアされた後の値を示します。クリア前の値は不定です。次のレジスタが該当します。
  - 受信ルール（RSCFDn(CFD)GAFLIDj、RSCFDn(CFD)GAFLMj、RSCFDn(CFD)GAFLP0_j、RSCFDn(CFD)GAFLP1_j レジスタ）
  - 受信バッファ（RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、

RSCFDn(CFD)RMDFb_q レジスタ）
- 受信 FIFO バッファアクセスレジスタ（RSCFDn(CFD)RFIDx、RSCFDn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx、RSCFDn(CFD)RFDFd_x レジスタ）
- 送受信 FIFO バッファアクセスレジスタ（RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDn(CFD)CFDFd_k レジスタ）
- 送信バッファ（RSCFDn(CFD)TMIDp、RSCFDn(CFD)TMPTRp、RSCFDnCFDTMFDCTRp、RSCFDn(CFD)TMDFb_p レジスタ）
- 送信履歴アクセスレジスタ（RSCFDn(CFD)THLACCm レジスタ）
- RAM テストページアクセスレジスタ（RSCFDn(CFD)RPGACCr レジスタ）

- 未使用の受信バッファ（RSCFDn(CFD)RMIDq、RSCFDn(CFD)RMPTRq、RSCFDnCFDRMFDSTSq、RSCFDn(CFD)RMDFb_q レジスタ）、受信 FIFO バッファアクセスレジスタ（RSCFDn(CFD)RFIDx、RSCFDn(CFD)RFPTRx、RSCFDnCFDRFFDSTSx、RSCFDn(CFD)RFDFd_x レジスタ）と送受信 FIFO バッファアクセスレジスタ（RSCFDn(CFD)CFIDk、RSCFDn(CFD)CFPTRk、RSCFDnCFDCFFDCSTSk、RSCFDn(CFD)CFDFd_k レジスタ）の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

26. ルネサス SPDIF インタフェース

26.1 概要

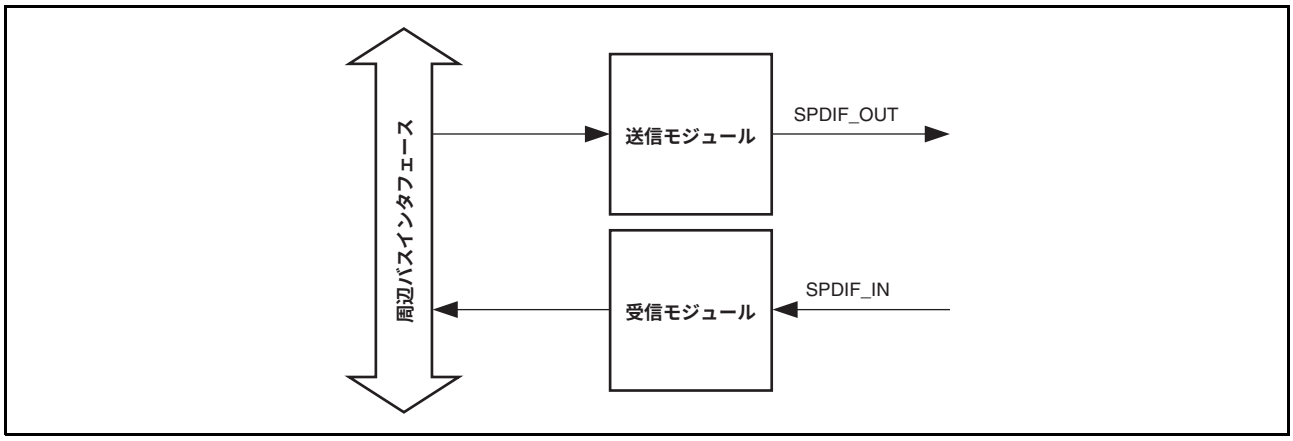


図 26.1　概略ブロック図

26.2 特長

- IEC60958 規格に適合（ステレオ、民生用モードのみ）
- サンプリング周波数：32 kHz、44.1 kHz、48 kHz
- オーディオワードサイズ：16 ～ 24 ビット／サンプル
- バイフェーズマーク方式エンコード
- データのダブルバッファ
- パリティ付きシリアルデータ
- 同時送受信可能
- 受信モジュールは IEC61937 圧縮モードデータを自動検出可能

26.3　機能ブロック図

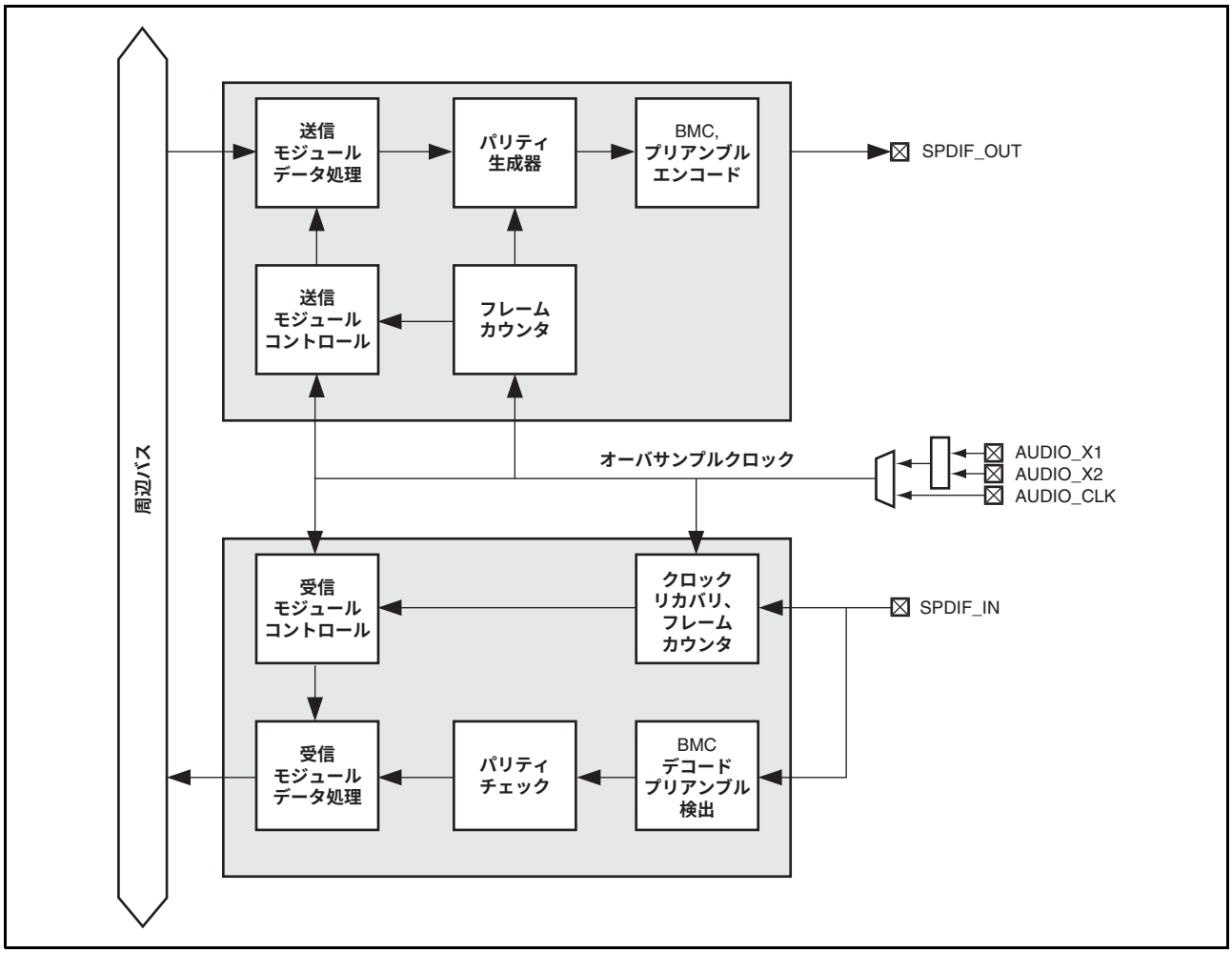


図 26.2　　機能ブロック図

26.4　入出力端子

表 26.1 に端子構成を示します。

表26.1　端子構成

チャネル	名称	入出力	機　　能
0	SPDIF_OUT	出力	送信側バイフェーズマーク・エンコードされたSPDIFビットストリーム
1	SPDIF_IN	入力	受信側バイフェーズマーク・エンコードされたSPDIFビットストリーム
0、1 共通	AUDIO_CLK	入力	オーディオ用外部クロック
	AUDIO_X1	入力	オーディオ用水晶発振子／外部クロック
	AUDIO_X2	出力	

26.5　ルネサス SPDIF（IEC60958）フレームフォーマット

ルネサス SPDIF のフレームは 2 つのサブフレーム（チャネル 1 およびチャネル 2）で構成され、サブフレームには 4 ビットのプリアンブル、最大 24 ビットのオーディオデータ、V フラグ、ユーザビット、チャネルステータスビット、偶数パリティビットがあります。図 26.3 に、サブフレームフォーマットを示します。ルネサス SPDIF は、このフォーマットに対して伝送ラインの DC 成分が最小となるバイフェーズマーク方式による変調（チャネルコーディング）を行います。

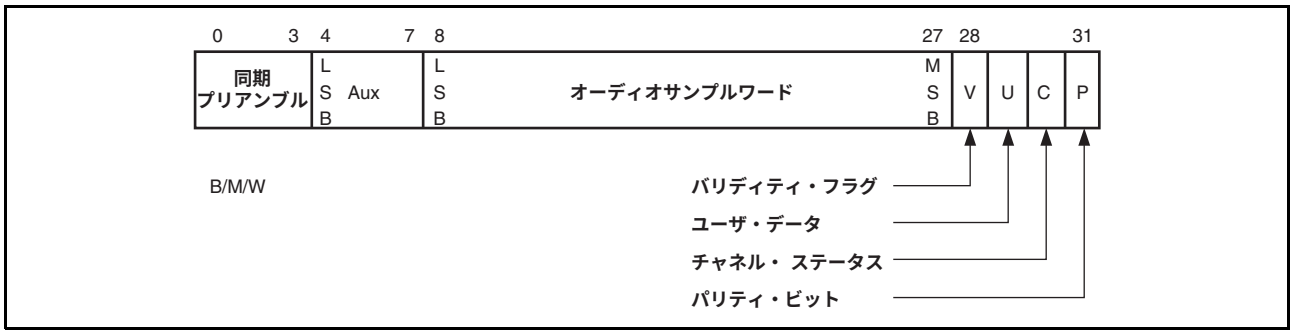


図 26.3　サブフレームフォーマット

図 26.4 に連続する 192 フレームからなるブロックフォーマットを示します。開始フレーム（プリアンブル B）から 192 番目のフレーム 191 までが 1 ブロックであり、各サブフレームはプリアンブルにより識別します。サブフレームは 1 ブロックに 384 個あり、新しいブロックの開始を示すサブフレーム 0、サブフレーム 1（通常、左チャネル）、サブフレーム 2（通常、右チャネル）の 3 種類で構成されます。通常、SPDIF で送受信される音楽データは連続しており、ブロックが連続します。

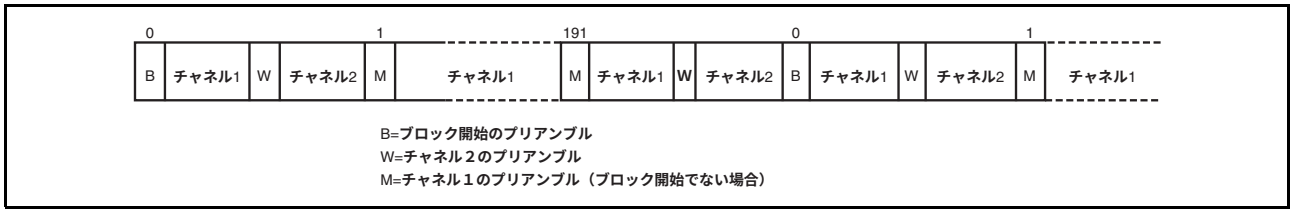


図 26.4　ブロックフォーマット

表 26.2 に、ルネサス SPDIF プリアンブルの値（2 進）を示します。先行するシンボルの状態（パリティビット）によりプリアンブルの極性が変ります。

表26.2　　プリアンブルの値

プリアンブル	先行シンボル状態＝0	先行シンボル状態＝1
B	11101000	00010111
M	11100010	00011101
W	11100100	00011011

備考　図26.3で示すように、サブフレームのタイムスロット31にある偶数パリティビットにより、1回の送信ではプリアンブルタイプが決まります。したがって、通常ルネサスSPDIFを通して送られるセット状態はいずれか1つが選択されます。しかし、IEC60958などではプリアンブル極性を逆に接続することも考慮して両タイプをデコードすることを規定しており、ルネサスSPDIFは表26.2のプリアンブルをデコードしています。

チャネルステータス情報は、1 つのサブフレームに 1 ビットエンコードします。したがって、1 ブロック当たりのチャネルステータス情報は、サブフレーム 1 とサブフレーム 2 で各々 192 ビットとなります。チャネルステータスのフォーマットについては、IEC60958 規格を参照してください。

26.6　レジスタ構成

表 26.3 にレジスタ構成を示します。

表26.3　　レジスタ構成

チャネル	名称	略称	アドレス	アクセスサイズ
0 （送信）	送信モジュールチャネル1オーディオレジスタ	TLCA	H'E804 F000	32
	送信モジュールチャネル2オーディオレジスタ	TRCA	H'E804 F004	32
	送信モジュールチャネル1ステータスレジスタ	TLCS	H'E804 F008	32
	送信モジュールチャネル2ステータスレジスタ	TRCS	H'E804 F00C	32
	送信ユーザデータレジスタ	TUI	H'E804 F010	32
1 （受信）	受信モジュールチャネル1オーディオレジスタ	RLCA	H'E804 F014	32
	受信モジュールチャネル2オーディオレジスタ	RRCA	H'E804 F018	32
	受信モジュールチャネル1ステータスレジスタ	RLCS	H'E804 F01C	32
	受信モジュールチャネル2ステータスレジスタ	RRCS	H'E804 F020	32
	受信ユーザデータレジスタ	RUI	H'E804 F024	32
0、1 共通	コントロールレジスタ	CTRL	H'E804 F028	32
	ステータスレジスタ	STAT	H'E804 F02C	32
0、1 共通	送信モジュールDMAオーディオデータレジスタ	TDAD	H'E804 F030	32
	受信モジュールDMAオーディオデータレジスタ	RDAD	H'E804 F034	32

注.　レジスタはすべてロングワードレジスタですので、常にロングワードでアクセスしてください。
各レジスタの図で、0と書いてあるビットには常に0を書き込んでください（ライト可能な場合）。この場合、読み出し値も常に0です（リード可能な場合）。

26.7　レジスタの説明

【レジスタ説明の記号説明】

初期値	：リセット後のレジスタ値
—	：不定値
R/W	：リードおよびライト可。書き込み値を読み出すことができます。
R	：リードのみ可。書き込む値は常に 0 にしてください。
R/WC0	：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1	：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
W	：ライトのみ可。リードは禁止されています。リザーブビットの場合、書き込む値は常に 0 にしてください。
—/W	：ライトのみ可。読み出し値は不定です。

26.7.1　コントロールレジスタ（CTRL）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	CKS	—	PB	RASS		TASS		RDE	TDE	NCSI	AOS	RME	TME
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REIE	TEIE	UBOI	UBUI	CREI	PAEI	PREI	CSEI	ABOI	ABUI	RUII	TUII	RCSI	RCBI	TCSI	TCBI
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 29	—	すべて 0	R	リザーブビット
28	CKS	0	R/W	オーバサンプルクロックセレクト オーバサンプルクロックの供給源を選択します。 0：AUDIO_X1 1：AUDIO_CLK
27	—	0	R	リザーブビット
26	PB	0	R/W	パスバック 送信モジュールSPDIF出力を、SPDIFモジュールのSPDIF受信モジュールに戻します（パスバック）。 0：パスバック無効 1：パスバック有効
25、24	RASS	すべて 0	R/W	受信モジュールオーディオサンプルビットサイズ データアライメントのための、受信モジュールオーディオサンプルビットのサイズ（16、20、または24ビット）を指定します。 00：16ビットサンプル 01：20ビットサンプル 10：24ビットサンプル 11：予約
23、22	TASS	すべて 0	R/W	送信モジュールオーディオサンプルビットサイズ データアライメントのための、送信モジュールオーディオサンプルビットのサイズ（16、20、または24ビット）を指定します。 00：16ビットサンプル 01：20ビットサンプル 10：24ビットサンプル 11：予約
21	RDE	0	R/W	受信モジュールDMAイネーブル 受信モジュールのDMA要求を許可します。 0：受信モジュールDMAを禁止 1：受信モジュールDMAを許可
20	TDE	0	R/W	送信モジュールDMAイネーブル 送信モジュールのDMA要求を許可します。 0：送信モジュールDMAを禁止 1：送信モジュールDMAを許可
19	NCSI	0	R/W	新チャネルステータス情報 送信モジュールに修理すべき新チャネルステータス情報がある場合、このビットを1に設定します。 0：新チャネルステータス情報はありません。 1：新チャネルステータス情報があります。
18	AOS	0	R/W	オーディオオンリーサンプル ユーザデータレジスタにユーザ情報がある場合、このビットを0に設定します。1に設定した場合、ユーザビットにはすべて0が設定されます。 0：ユーザ情報があります。 1：ユーザ情報はありません。

ビット	ビット名	初期値	R/W	説　　明
17	RME	0	R/W	受信モジュールイネーブル 受信モジュールを有効にします。 0：受信モジュールは無効 1：受信モジュールは有効
16	TME	0	R/W	送信モジュールイネーブル 送信モジュールを有効にします。 0：送信モジュールは無効 1：送信モジュールは有効
15	REIE	0	R/W	受信モジュールエラー割り込みイネーブル このビットをクリアすると、受信モジュールのエラー割り込みをすべてマスクします。 セットすると、受信モジュールエラー割り込みをすべて許可します。 0：受信モジュールエラー割り込みを禁止 1：受信モジュールエラー割り込みを許可
14	TEIE	0	R/W	送信モジュールエラー割り込みイネーブル このビットをクリアすると、送信モジュールのエラー割り込みをすべてマスクします。 セットすると、送信モジュールエラー割り込みをすべて許可します。 0：送信モジュールエラー割り込みを禁止 1：送信モジュールエラー割り込みを許可
13	UBOI	0	R/W	ユーザバッファオーバラン割り込みイネーブル ユーザバッファオーバラン割り込みを許可します。 0：ユーザバッファオーバラン割り込みを禁止 1：ユーザバッファオーバラン割り込みを許可
12	UBUI	0	R/W	ユーザバッファアンダラン割り込みイネーブル ユーザバッファアンダラン割り込みを許可します。 0：ユーザバッファアンダラン割り込みを禁止 1：ユーザバッファアンダラン割り込みを許可
11	CREI	0	R/W	クロックリカバリエラー割り込みイネーブル クロックリカバリエラー割り込みを許可します。 0：クロックリカバリエラー割り込みを禁止 1：クロックリカバリエラー割り込みを許可
10	PAEI	0	R/W	パリティエラー割り込みイネーブル パリティチェックエラー割り込みを許可します。 0：パリティチェックエラー割り込みを禁止 1：パリティチェックエラー割り込みを許可
9	PREI	0	R/W	プリアンブルエラー割り込みイネーブル プリアンブルチェックエラー割り込みを許可します。 0：プリアンブルエラー割り込みを禁止 1：プリアンブルエラー割り込みを許可
8	CSEI	0	R/W	チャネルステータスエラー割り込みイネーブル チャネルステータスエラー割り込みを許可します。 0：チャネルステータスエラー割り込みを禁止 1：チャネルステータスエラー割り込みを許可
7	ABOI	0	R/W	オーディオバッファオーバラン割り込みイネーブル 受信モジュールオーディオバッファオーバラン割り込みを許可します。 0：オーディオバッファオーバラン割り込みを禁止 1：オーディオバッファオーバラン割り込みを許可
6	ABUI	0	R/W	オーディオバッファアンダラン割り込みイネーブル 送信モジュールオーディオバッファアンダラン割り込みを許可します。 0：オーディオバッファアンダラン割り込みを禁止 1：オーディオバッファアンダラン割り込みを許可
5	RUII	0	R/W	受信モジュールユーザ情報割り込みイネーブル 受信モジュールユーザ情報レジスタフル割り込みを許可します。 0：受信モジュールユーザ情報割り込みを禁止 1：受信モジュールユーザ情報割り込みを許可
4	TUII	0	R/W	送信モジュールユーザ情報割り込みイネーブル 送信モジュールユーザ情報レジスタエンプティ割り込みを許可します。 0：送信モジュールユーザ情報割り込みを禁止 1：送信モジュールユーザ情報割り込みを許可

ビット	ビット名	初期値	R/W	説　　明
3	RCSI	0	R/W	受信モジュールチャネルステータス割り込みイネーブル 受信モジュールチャネルステータスレジスタフル割り込みを許可します。 0：受信モジュールチャネルステータス割り込みを禁止 1：受信モジュールチャネルステータス割り込みを許可
2	RCBI	0	R/W	受信モジュールチャネルバッファ割り込みイネーブル 受信モジュールオーディオチャネルバッファフル割り込みを許可します。 0：受信モジュールオーディオチャネル割り込みを禁止 1：受信モジュールオーディオチャネル割り込みを許可
1	TCSI	0	R/W	送信モジュールチャネルステータス割り込みイネーブル 送信モジュールチャネルステータスレジスタエンプティ割り込みを許可します。 0：送信モジュールチャネルステータス割り込みを禁止 1：送信モジュールチャネルステータス割り込みを許可
0	TCBI	0	R/W	送信モジュールチャネルバッファ割り込みイネーブル 送信モジュールオーディオチャネルバッファエンプティ割り込みを許可します。 0：送信モジュールオーディオチャネル割り込みを禁止 1：送信モジュールオーディオチャネル割り込みを許可

26.7.2　ステータスレジスタ（STAT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CMD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIS	TIS	UBO	UBU	CE	PARE	PREE	CSE	ABO	ABU	RUIR	TUIR	CSRX	CBRX	CSTX	CBTX
初期値：	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	―	すべて 0	R	リザーブビット
16	CMD	0	R	圧縮モードデータ 受信データが圧縮モードデータ（Vフラグおよびチャネルステータスのビット1＝1）のとき、このビットがセットされます。 0：圧縮モードデータではありません。 1：圧縮モードデータです。
15	RIS	1	R	受信モジュールアイドル状態 受信モジュールがアイドル状態のとき、このビットがセットされます。 0：受信モジュールはアイドル状態ではありません。 1：受信モジュールはアイドル状態です。
14	TIS	1	R	送信モジュールアイドル状態 送信モジュールがアイドル状態のとき、このビットがセットされます。 0：送信モジュールはアイドル状態ではありません。 1：送信モジュールはアイドル状態です。
13	UBO	0	R/WC0	ユーザバッファオーバラン（注1） 受信モジュールユーザバッファがオーバランすると、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIEビットとUBOIビットがセットされていると、割り込みが発生します。 0：ユーザバッファはオーバランしていません。 1：ユーザバッファオーバランが発生しました。
12	UBU	0	R/WC0	ユーザバッファアンダラン（注1） 送信モジュールユーザバッファがアンダランすると、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのTEIEビットとUBUIビットがセットされていると、割り込みが発生します。 0：ユーザバッファはアンダランしていません。 1：ユーザバッファアンダランが発生しました。
11	CE	0	R/WC0	クロックエラー（注1） クロックリカバリの同期がとれなくなると、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIEビットとCREIビットがセットされていると、割り込みが発生します。 0：クロックリカバリ正常 1：クロックリカバリエラー
10	PARE	0	R/WC0	パリティエラー（注1） パリティチェックの結果がエラーとなったとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIEビットとPAEIビットがセットされていると、割り込みが発生します。 0：パリティチェック正常 1：パリティエラー
9	PREE	0	R/WC0	プリアンブルエラー（注1） 未定義プリアンブルやプリアンブルが正しい位置に現れなかったとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIEビットとPREIビットがセットされていると、割り込みが発生します。 注.　ブロック開始のプリアンブルのあとでのみセットされます。 0：プリアンブルは正しい位置にあります。 1：プリアンブルエラー

ビット	ビット名	初期値	R/W	説　　明
8	CSE	0	R/WC0	チャネルステータスエラー（注1） チャネルステータス情報が、送信状態にある32番目のフレームより前に書き込まれたとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのTEIEビットとCSEIビットがセットされていると、割り込みが発生します。 0：チャネルステータス正常 1：チャネルステータスエラー
7	ABO	0	R/WC0	オーディオバッファオーバラン（注1） 受信モジュールオーディオバッファが第1ステージと第2ステージが共にフル状態で、データが上書きされたことを示します。ビットに0を書き込むと、このビットはクリアされます。コントロールレジスタのREIEビットとABOIビットがセットされていると、割り込みが発生します。 0：受信モジュールオーディオバッファはオーバランしていません。 1：受信モジュールオーディオバッファオーバランが発生しました。
6	ABU	0	R/WC0	オーディオバッファアンダラン（注1） 送信モジュールオーディオバッファが第1ステージと第2ステージともに空になり、最後のデータ転送が繰り返されたことを示します。ビットに0を書き込むと、このビットはクリアされます。コントロールレジスタのTEIEビットとABUIビットがセットされていると、割り込みが発生します。 0：送信モジュールオーディオバッファはアンダランしていません。 1：送信モジュールオーディオバッファアンダランが発生しました。
5	RUIR	0	R	受信モジュールユーザ情報レジスタ 受信モジュールユーザ情報レジスタの状態を示します。受信モジュールユーザレジスタを読み出すと、このビットはクリアされます。コントロールレジスタのRUIIビットがセットされていると、割り込みが発生します。 0：受信モジュールユーザ情報レジスタエンプティ 1：受信モジュールユーザ情報レジスタフル
4	TUIR	0	R	送信モジュールユーザ情報レジスタ 送信モジュールユーザ情報レジスタの状態を示します。送信モジュールユーザレジスタに書き込むと、このビットはクリアされます。コントロールレジスタのTUIIビットがセットされていると、割り込みが発生します。 0：送信モジュールユーザ情報レジスタフル 1：送信モジュールユーザ情報レジスタエンプティ
3	CSRX	0	R	チャネル1、2ステータス—受信モジュール 受信モジュールチャネルステータスレジスタの状態を示します。受信モジュールチャネルステータスレジスタを読み出すと、このビットはクリアされます。コントロールレジスタのRCSIビットがセットされていると、割り込みが発生します。 0：受信モジュールチャネルステータスレジスタエンプティ 1：受信モジュールチャネルステータスレジスタフル
2	CBRX	0	R	チャネル1、2バッファ —受信モジュール 受信モジュールオーディオチャネルレジスタの状態を示します。受信モジュールオーディオチャネルレジスタを読み出すと、このビットはクリアされます。コントロールレジスタのRCBIビットがセットされていると、割り込みが発生します。 0：受信モジュールオーディオチャネルレジスタエンプティ 1：受信モジュールオーディオチャネルレジスタフル
1	CSTX	0	R	チャネル1、2ステータス—送信モジュール 送信モジュールチャネルステータスレジスタの状態を示します。送信モジュールチャネルステータスレジスタに書き込むと、このビットはクリアされます。コントロールレジスタのTCSIビットがセットされていると、割り込みが発生します。 0：送信モジュールチャネルステータスレジスタフル 1：送信モジュールチャネルステータスレジスタエンプティ
0	CBTX	0	R	チャネル1、2バッファ —送信モジュール 送信モジュールオーディオチャネルレジスタの状態を示します。送信モジュールオーディオチャネルレジスタに書き込むと、このビットはクリアされます。コントロールレジスタのTCBIビットがセットされていると、割り込みが発生します。 0：送信モジュールオーディオチャネルレジスタフル 1：送信モジュールオーディオチャネルレジスタエンプティ

注1.　DMA転送中にエラービットを検出した場合は、DMA転送の再設定が必要です。この場合、ルネサスSPDIFモジュールイネーブルビット（RMEまたはTMEビット）、DMAイネーブルビット（RDEまたはTDEビット）を「禁止」に設定し、エラー状態を解除した上で、ダイレクトメモリアクセスコントローラを再設定してください。この後、モジュールイネーブルビットを「許可」に設定しDMA転送を再開できます。

26.7.3　送信モジュールチャネル 1 オーディオレジスタ（TLCA）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	オーディオPCMデータ							
初期値：	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	オーディオPCMデータ															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	—	W	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	W	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

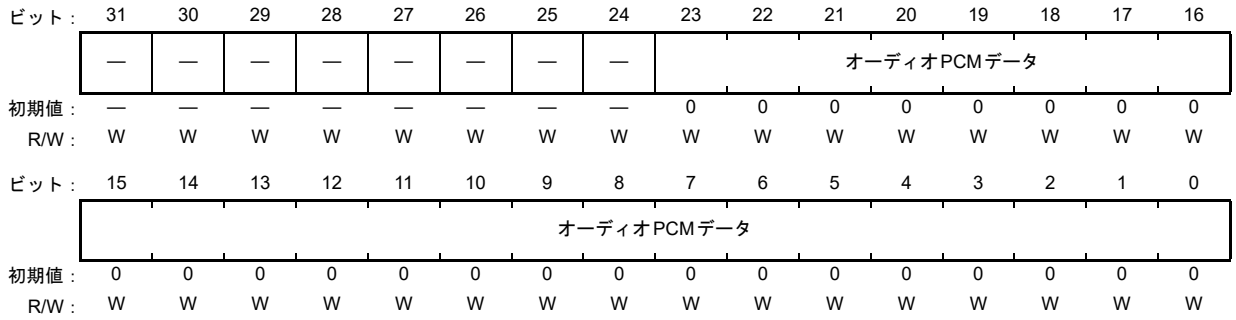
26.7.4　送信モジュールチャネル 2 オーディオレジスタ（TRCA）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	オーディオPCMデータ							
初期値：	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	オーディオPCMデータ															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	—	W	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	W	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

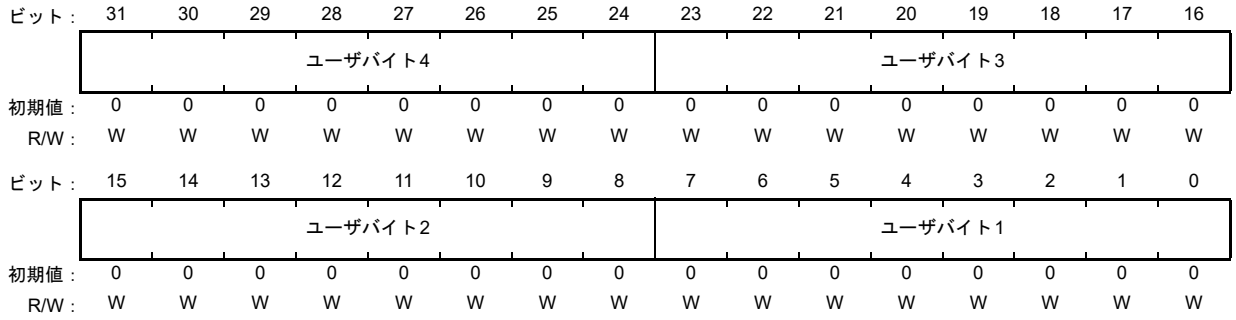
26.7.5　送信モジュール DMA オーディオデータレジスタ（TDAD）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	—	W	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	W	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

26.7.6　送信ユーザデータレジスタ（TUI）

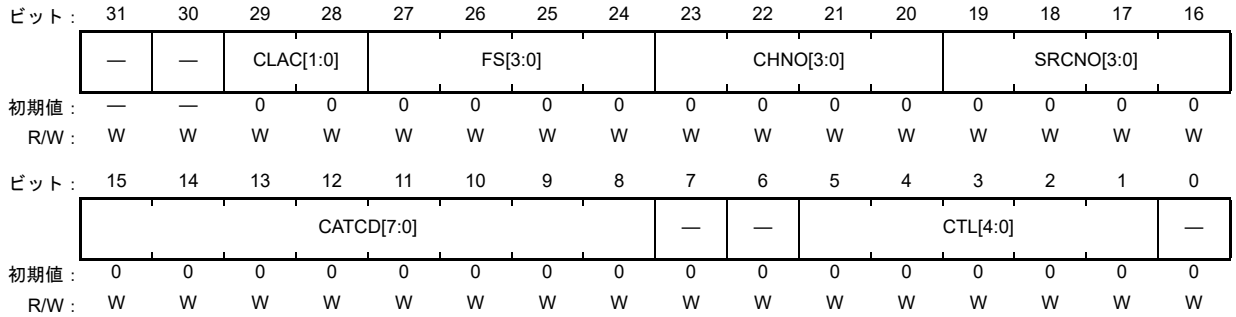
サブフレームの U ビットデータを書き込みます。U ビットデータはサブフレーム 1、サブフレーム 2 の順番で送信するため、16 フレームごとにデータを更新してください。ユーザバイトの内容については、使用するデバイスに対応するユーザ情報の規格を参照してください。送信するユーザビットは LSB 側から順番に設定します。



ビット	ビット名	初期値	R/W	説明
31 ～ 24	ユーザバイト 4	すべて 0	W	Uビット情報が格納されます。
23 ～ 16	ユーザバイト 3	すべて 0	W	
15 ～ 8	ユーザバイト 2	すべて 0	W	
7 ～ 0	ユーザバイト 1	すべて 0	W	

26.7.7　送信モジュールチャネル 1 ステータスレジスタ（TLCS）

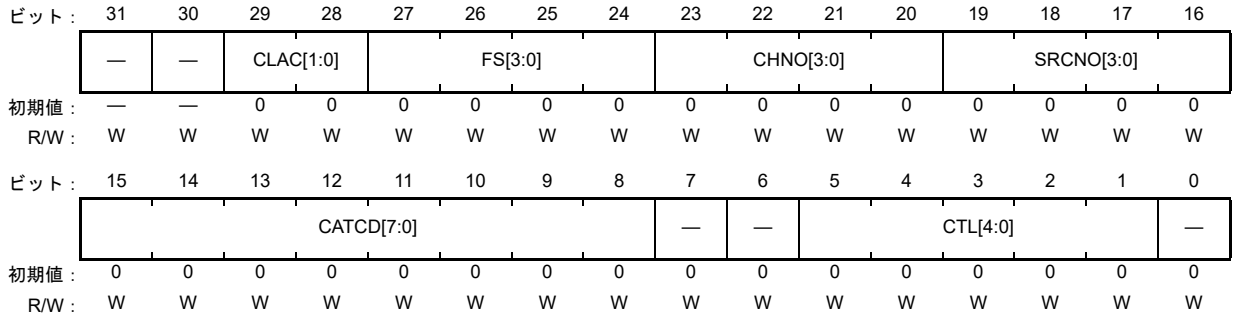
送信するチャネルステータス情報は 30 ビットのレジスタに格納します。チャネルステータス情報は 1 フレーム当たり各チャネルごとに 192 ビットで構成されますが、必要なデータは下記レジスタに設定する 30 ビット分しかないため、最初の 30 ビットを送信したあとは 0 を送ります。



ビット	ビット名	初期値	R/W	説　　明
31、30	—	—	W	リザーブビット
29、28	CLAC[1:0]	すべて 0	W	クロック精度 00：レベル2 01：レベル1 10：レベル3 11：予約
27 ～ 24	FS[3:0]	すべて 0	W	サンプル周波数（FS） 0000：44.1 kHz 0010：48 kHz 0011：32 kHz
23 ～ 20	CHNO[3:0]	すべて 0	W	チャネル番号 0000：Don't care 0001：A（左チャネル） 0010：B（右チャネル） 0011：C
19 ～ 16	SRCNO[3:0]	すべて 0	W	送信元番号 0000：Don't care 0001：1 0010：2 0011：3
15 ～ 8	CATCD[7:0]	すべて 0	W	カテゴリコード（例） 00000000：2チャネル汎用フォーマット 00000001：2チャネルコンパクトディスク（IEC908） 00000010：2チャネルPCMエンコーダ／デコーダ 00000011：2チャネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	W	リザーブビット 書き込む値は常に0にしてください。
5 ～ 1	CTL[4:0]	すべて 0	W	コントロール コントロールビットは送信元からコピーされます（IEC60958規格を参照）。
0	—	0	W	リザーブビット 書き込む値は常に0にしてください。

26.7.8　送信モジュールチャネル 2 ステータスレジスタ（TRCS）

送信するチャネルステータス情報は 30 ビットのレジスタに格納します。チャネルステータス情報は 1 フレーム当たり各チャネルごとに 192 ビットで構成されますが、必要なデータは下記レジスタに設定する 30 ビット分しかないため、最初の 30 ビットを送信した後は 0 を送ります。



ビット	ビット名	初期値	R/W	説　　明
31、30	—	—	W	リザーブビット
29、28	CLAC[1:0]	すべて 0	W	クロック精度 00：レベル2 01：レベル1 10：レベル3 11：予約
27 ～ 24	FS[3:0]	すべて 0	W	サンプル周波数（FS） 0000：44.1 kHz 0010：48 kHz 0011：32 kHz
23 ～ 20	CHNO[3:0]	すべて 0	W	チャネル番号 0000：Don't care 0001：A（左チャネル） 0010：B（右チャネル） 0011：C
19 ～ 16	SRCNO[3:0]	すべて 0	W	送信元番号 0000：Don't care 0001：1 0010：2 0011：3
15 ～ 8	CATCD[7:0]	すべて 0	W	カテゴリコード（例） 00000000：2チャネル汎用フォーマット 00000001：2チャネルコンパクトディスク（IEC908） 00000010：2チャネルPCMエンコーダ／デコーダ 00000011：2チャネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	W	リザーブビット 書き込む値は常に0にしてください。
5 ～ 1	CTL[4:0]	すべて 0	W	コントロール コントロールビットは送信元からコピーされます（IEC60958規格を参照）。
0	—	0	W	リザーブビット 書き込む値は常に0にしてください。

26.7.9　受信モジュールチャネル 1 オーディオレジスタ（RLCA）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	オーディオPCMデータ							
初期値：	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	オーディオPCMデータ															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	—	R	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	R	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

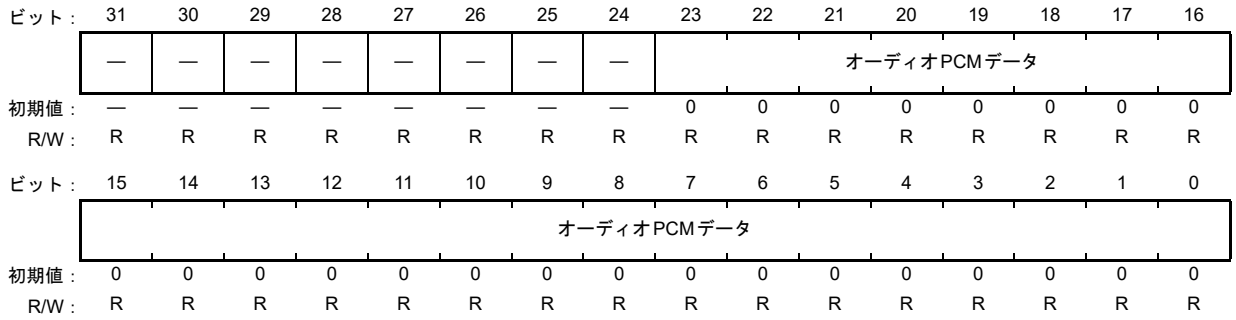
26.7.10　受信モジュールチャネル 2 オーディオレジスタ（RRCA）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	オーディオPCMデータ							
初期値：	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	オーディオPCMデータ															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	—	R	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	R	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

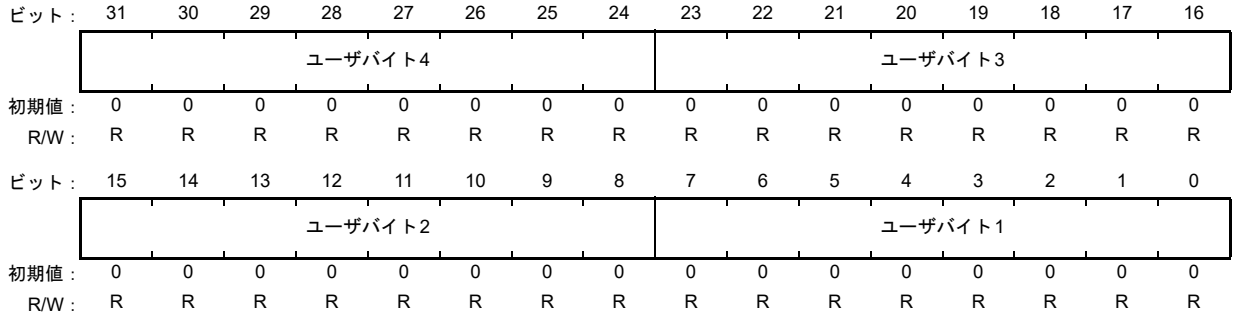
26.7.11　受信モジュール DMA オーディオデータ（RDAD）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	－	R	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	R	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

26.7.12　受信ユーザデータレジスタ（RUI）

ルネサス SPDIF をとおして受信したサブフレームの U ビットデータが格納されます。LSB 側からサブフレーム 1、サブフレーム 2 の順番で U ビット情報が格納されるため、16 フレームごとに読み出してください。ユーザバイトの内容については、使用するデバイスに対応する規格を参照してください。



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	ユーザバイト 4	すべて 0	R	Uビット情報が格納されます。
23 ～ 16	ユーザバイト 3	すべて 0	R	
15 ～ 8	ユーザバイト 2	すべて 0	R	
7 ～ 0	ユーザバイト 1	すべて 0	R	

26.7.13　受信モジュールチャネル 1 ステータスレジスタ（RLCS）

チャネルステータスは、ブロック開始から受信したサブフレーム 1 が順番にレジスタの LSB ビットより格納されます。チャネルステータスの内容は IEC-60958 を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CLAC[1:0]		FS[3:0]				CHNO[3:0]				SRCNO[3:0]			
初期値：	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CATCD[7:0]								—	—	CTL[4:0]					—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31、30	—	—	R	リザーブビット
29、28	CLAC[1:0]	すべて 0	R	クロック精度 00：レベル2 01：レベル1 10：レベル3 11：予約
27 ～ 24	FS[3:0]	すべて 0	R	サンプル周波数（fs） 0000：44.1 kHz 0010：48 kHz 0011：32 kHz
23 ～ 20	CHNO[3:0]	すべて 0	R	チャネル番号 0000：Don't care 0001：A（左チャネル） 0010：B（右チャネル） 0011：C
19 ～ 16	SRCNO[3:0]	すべて 0	R	送信元番号 0000：Don't care 0001：1 0010：2 0011：3
15 ～ 8	CATCD[7:0]	すべて 0	R	カテゴリコード（例） 00000000：2チャネル汎用フォーマット 00000001：2チャネルコンパクトディスク（IEC908） 00000010：2チャネルPCMエンコーダ／デコーダ 00000011：2チャネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	R	リザーブビット
5 ～ 1	CTL[4:0]	すべて 0	R	コントロール コントロールビットは送信元からコピーされます（IEC60958規格を参照）。
0	—	0	R	リザーブビット

26.7.14　受信モジュールチャネル 2 ステータスレジスタ（RRCS）

チャネルステータスは、ブロック開始から受信したサブフレーム 2 が順番にレジスタの LSB ビットより格納されます。チャネルステータスの内容は IEC-60958 を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CLAC[1:0]		FS[3:0]				CHNO[3:0]				SRCNO[3:0]			
初期値：	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CATCD[7:0]								—	—	CTL[4:0]					—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31、30	—	—	R	リザーブビット
29、28	CLAC[1:0]	すべて 0	R	クロック精度 00：レベル2 01：レベル1 10：レベル3 11：予約
27 ～ 24	FS[3:0]	すべて 0	R	サンプル周波数（fs） 0000：44.1 kHz 0010：48 kHz 0011：32 kHz
23 ～ 20	CHNO[3:0]	すべて 0	R	チャネル番号 0000：Don't care 0001：A（左チャネル） 0010：B（右チャネル） 0011：C
19 ～ 16	SRCNO[3:0]	すべて 0	R	送信元番号 0000：Don't care 0001：1 0010：2 0011：3
15 ～ 8	CATCD[7:0]	すべて 0	R	カテゴリコード（例） 00000000：2チャネル汎用フォーマット 00000001：2チャネルコンパクトディスク（IEC908） 00000010：2チャネルPCMエンコーダ／デコーダ 00000011：2チャネルデジタルオーディオテープレコーダ
7、6	—	すべて 0	R	リザーブビット
5 ～ 1	CTL[4:0]	すべて 0	R	コントロール コントロールビットは送信元からコピーされます（IEC60958規格を参照）。
0	—	0	R	リザーブビット

26.8　機能の説明－送信モジュール

26.8.1　送信モジュール

送信モジュールは、送信する PCM データおよび補助情報を IEC60958 規格（SPDIF）に適合したバイフェーズマーク方式の変調にエンコードして送信します。

送信モジュールのクロックは、外部から供給されるオーバサンプリングクロックです。このクロックは通常バイフェーズマーク方式のエンコードに必要なクロック周波数の 8 倍の周波数でオーバサンプルとなる値を選択します。この場合、サブフレーム内にある 32 個タイムスロットの送信に必要なクロック周波数は、オーディオデータのサンプル周波数の 512 倍となります。

オーディオデータとチャネルステータス情報は、まずモジュールのチャネル 1 に、次にチャネル 2 に書き込みます。チャネルステータスは、一般には情報が変化したときのみ書き込みが必要となります。チャネルステータスの書き込みは 30 フレーム後（現在のチャネルステータスデータの送信がすべて完了したとき）に SPDIF モジュールから要求されるため、31 フレームから次のブロック＝ 192 フレームが開始する前に書き込みをしてください。

オーディオデータは、ダブルバッファ構成で格納します。ダブルバッファの第 1 ステージにデータがなくなったことを確認する手段には、割り込み要求を送る方法とステータスレジスタを読み出す 2 つがあります。DMA 転送は、最初の要求でチャネル 1 オーディオデータを、2 番目の要求でチャネル 2 オーディオデータを送信します。

送信するチャネルステータス情報はチャネル 1、2 の 30 ビットのレジスタに設定します。チャネルステータス情報は 1 ブロック間では各チャネル当たり 192 ビットとなりますが、必要なデータは 30 ビット分しかないため、ルネサス SPDIF モジュールでは最初の 30 ビットを送信した後はブロックが完了するまでゼロを送信します。

ユーザデータは 32 ビットのダブルバッファ配列です。ダブルバッファの第 1 ステージが空の状態は、割り込みによる要求かステータスレジスタを読み出すことにより確認します。一般にユーザデータ情報はブロック間のデータ長では不足し、チャネル 1、チャネル 2 の順に送信し、1 ブロック間のユーザデータは 384 ビット送信後、次のブロックも連続して送信します。

ルネサス SPDIF モジュールでは扱うオーディオデータはリニア PCM で、設定できるサイズは最大 24 ビットです。このため、オーディオデータがリニア PCM であることを示す V フラグは常に 0 となります。V フラグはレジスタによる設定はありません。シリアル出力データの 32 ビット（プリアンブルは含まず）ごとに偶数パリティを生成します。

注 .　送信モジュールユーザバッファのアンダランが発生すると、次のデータが書き込まれるまで、SPDIF のバッファにある現在のデータを送信します。

26.8.2　送信モジュールの初期化

送信モジュールは、リセット後にデフォルトでアイドル状態に遷移します。また、CTRL レジスタの TME ビットに 0 を書き込んでアイドル状態に遷移させることもできます。アイドル状態では、送信モジュールは次のような設定になります。

- 送信モジュールのアイドルステータスビット（TIS）は 1 にセットされ、その他のステータスビットはすべて 0 にクリアされます。
- プリアンブル生成が無効になります。
- チャネル 1、2 の同期が 0 にセットされます（チャネル 1：0、チャネル 2：1）。
- ワードカウントとフレームカウントが 0 になります。
- バイフェーズマークによるエンコーダからの出力が 0 になります。

チャネルステータスレジスタ、ユーザデータレジスタ、オーディオデータレジスタは、アイドル状態に遷移する前の値を保持します。アイドル状態から復帰するには、CTRL レジスタの TME ビットに 1 を書き込んでください。

26.8.3　送信モジュールの初期設定

TME ビットを 1 にセットすると、TUIR ビットおよび CSTX ビットが 1 にセットされますが、このとき、1）TUI、2）TLCS、TRCS の順にデータを書き込むと、チャネルステータスエラーが発生します。エラーの発生を抑えるには、1）TLCS、TRCS、2）TUI の順に書き込んでください。

また、TME ビットを 1 にセットした後、最初のオーディオデータの書き込み（CPU アクセスによる TLCA、TRCA への書き込み、または、DMA 転送による TDAD への書き込み）は、TLCS、TRCS、TUI への書き込み後、CSTX および TUIR がクリアされたことを確認してから行ってください。

26.8.4　送信モジュールのデータ転送

送信モジュールがアイドル状態から復帰すると、データ転送が可能になります。データ転送は、3 つの方法のいずれかで開始できます。割り込みで転送を行う方法、DMA 要求で行う方法、ステータスレジスタを読み出して行う方法です。送受信に共通な割り込み信号と、送信モジュール用の単独の DMA 要求信号が用意されています。

図 26.5 に、割り込みを用いた送信モジュールのデータ転送を示します。

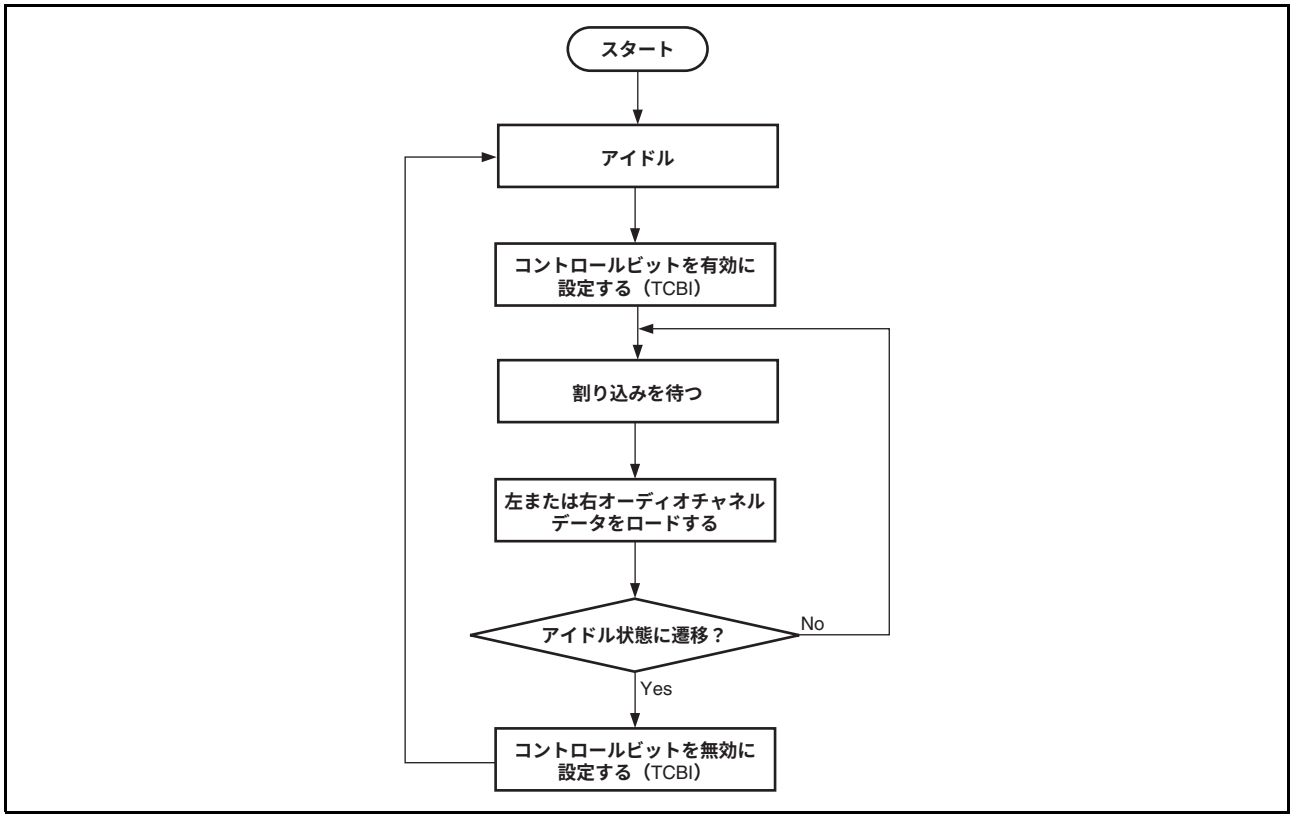


図 26.5　送信モジュールのデータ転送フロー（割り込みによる方法）

図 26.6 に、DMA 要求を用いた送信モジュールのデータ転送を示します。

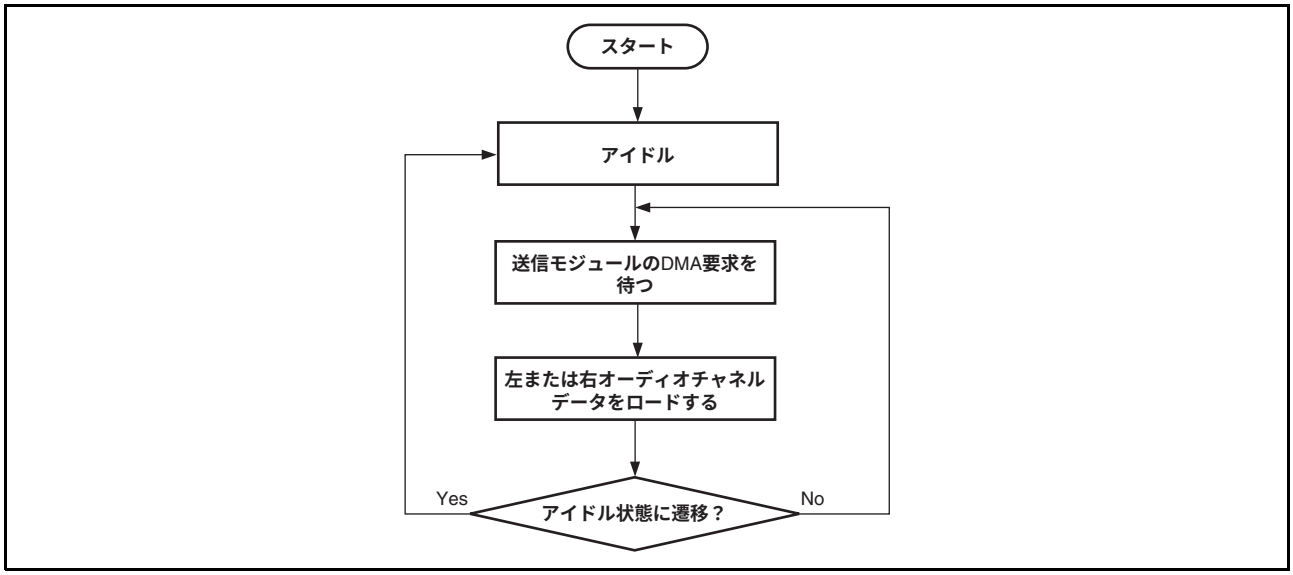


図 26.6　　送信モジュールデータ転送フロー（DMA 要求による方法）

チャネルステータス情報は、その情報が変化したときに更新します。更新する場合は、次のブロックを送信する前に行わなければならないため、更新するチャネルステータスは、30 フレームの送信が完了したあとに書き込んでください。30 フレームの送信完了は、割り込みで通知するか、またはステータスビットを読み出して検出することができます。30 フレームの送信が完了する前（現在の情報の送信中）にチャネルステータス情報を書き込むと、ステータスレジスタのチャネルステータスエラービット（CSE）がセットされ、割り込みが発生します。

注 .　30 フレームで、1 つのチャネルステータスブロックの有効な情報をすべて送信することができます。

26.9　機能の説明－受信モジュール

26.9.1　受信モジュール

受信モジュールは、IEC60958 規格でエンコードされた入力からデータとクロックを復調します。復調されたデータはリニア PCM 形式のデータでオーディオデータレジスタに格納され、補助情報として同時に受信されるチャネルステータスとユーザ情報はレジスタに格納されます。

受信モジュールのメインクロックは、外部から供給されるオーバサンプリングクロックです。受信モジュールは、オーバサンプリングクロックの 4 倍の周波数で動作します。

注 .　送信モジュールと受信モジュールのオーバサンプリングクロックは同一です。

パルス幅カウンタと平均化フィルタを用いてクロックリカバリを行い、入力データの各ビットの中間点でサンプリングパルスを発生するようにします。クロックエラーステータスビットは、クロック同期ミスを示します。入力データに最初のプリアンブルが現れたとき、同期がとられます。調整を継続することで、ジッタやクロック変動がクロックリカバリ規定の範囲内である間は、そのクロックリカバリへの影響を抑えることができます。

クロックリカバリが成功すると、バイフェーズマーク方式によるデコーダがプリアンブル検出を開始します。デコーダはブロック開始のプリアンブル（**表 26.2** 参照）を検索します。プリアンブルエラーステータスビットは、次のプリアンブルが正しいタイミングで現れなかったことを示します。これは、転送の抜けや障害によるものと考えられます。

デコードしたデータに対し、偶数パリティチェックを行います。不一致があると、パリティエラーステータスビットがセットされます。

SPDIF モジュールは、オーディオデータ以外に、ユーザデータとチャネルステータス情報を取り出します。オーディオデータは、ダブルバッファ構成で格納します。バッファフル状態による割り込み要求送信か、またはステータスビットを読み出すことで、データが読み出し可能になったことを検出できます。DMA 転送は、最初の要求でチャネル 1 オーディオデータを、2 番目の要求でチャネル 2 オーディオデータを転送します。

チャネルステータス情報は 30 ビットのレジスタに格納します。チャネルステータス情報は、1 サブフレームあたり 1 ビットずつ受信しているため、各チャネル分合計 30 フレームを受信するまではレジスタへの格納が完了しません。新しいチャネルステータス情報を現在のデータと比較し、変化があったときだけ CPU が新しい情報を読み出します。同時にユーザデータも受信しますが、ユーザデータはサブフレームごとにレジスタに格納するため、16 フレームで受信が完了します。

注 1.　チャネルステータス情報データ要求は、DMA 転送できません。
注 2.　受信モジュールユーザバッファのオーバランが発生すると、SPDIF のバッファにある現在のデータは、SPDIF インタフェースから入力される次のデータで上書きされます。

26.9.2　受信モジュールの初期化

受信モジュールは、リセット後にデフォルトでアイドル状態に遷移します。また、CTRL レジスタの RME ビットに 0 を書き込んでアイドル状態に遷移させることもできます。アイドル状態では、受信モジュールは次のような設定になります。

- 受信モジュールのアイドルステータスビットは 1 にセットされ、その他のステータスビットはすべて 0 にクリアされます。
- チャネル 1、2 の同期が 0 にセットされます（チャネル 1：0、チャネル 2：1）。
- ワードカウントとフレームカウントが 0 になります。

チャネルステータスレジスタ、ユーザデータレジスタ、オーディオデータレジスタは、アイドル状態に遷移する前の値を保持します。アイドル状態から復帰するには、CTRL レジスタの RME ビットに 1 を書き込んでください。

26.9.3　受信モジュールのデータ転送

受信モジュールがアイドル状態から復帰するとデータ転送が可能になります。データ転送は、3 つの方法のいずれかで開始できます。割り込みで転送を行う方法、ステータスレジスタを読み出して行う方法、DMA 要求で行う方法です。送受信に共通な割り込み信号と、受信モジュール用の単独の DMA 要求信号が用意されています。受信モジュールへのデータ転送中、以下の要因によるエラー信号で、割り込みが発生する可能性があります。

1. クロックリカバリエラー
2. 転送ミスまたは障害 ― プリアンブルエラーで通知
3. パリティチェックエラー

転送ミスまたは障害の場合、サブフレーム開始またはブロック開始のプリアンブルの位置がずれたり、現れなかったりします。

パリティチェックエラーは、パリティビットが誤っている場合に発生します。このエラーは、上記のどの要因でも発生する可能性があります。

- クロックリカバリの許容差

クロックリカバリの受信マージンは、以下の式で表します。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)\, F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン
N：オーバサンプリング速度
L：フレーム長＝ 33
D：デューティサイクル＝ 0.6
F：オーバサンプリングクロック偏差＝レベル II 精度＝ $1000 \times 10e^{-6}$

図 26.7 に、受信マージン M を示します。

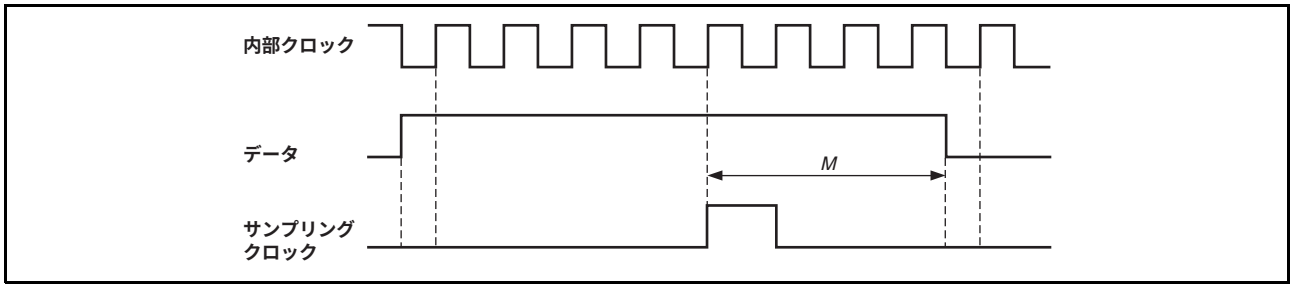


図 26.7　　受信マージン

上記の式にジッタを導入した場合、以下の不等式で表します。

$$j \leq \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)\, F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

J：クロックジッタ
8 倍のオーバサンプリング速度：受信マージン＝ 39.25%
4 倍のオーバサンプリング速度：受信マージン＝ 31.75%
2 倍のオーバサンプリング速度：受信マージン＝ 16.75%

最速のサンプル周波数は 48kHz です。この場合、必要なクロック周波数は、128 × 48 kHz ＝ 6.144 MHz です。1 サイクル中の最悪ケースのジッタは、40 ns ＝ 周期の 24.5% と定められています。したがって、4 以上のオーバサンプリング速度であれば、上記の不等式が満たされます。

図 26.8 に、割り込みを用いた受信モジュールのデータ転送を示します。

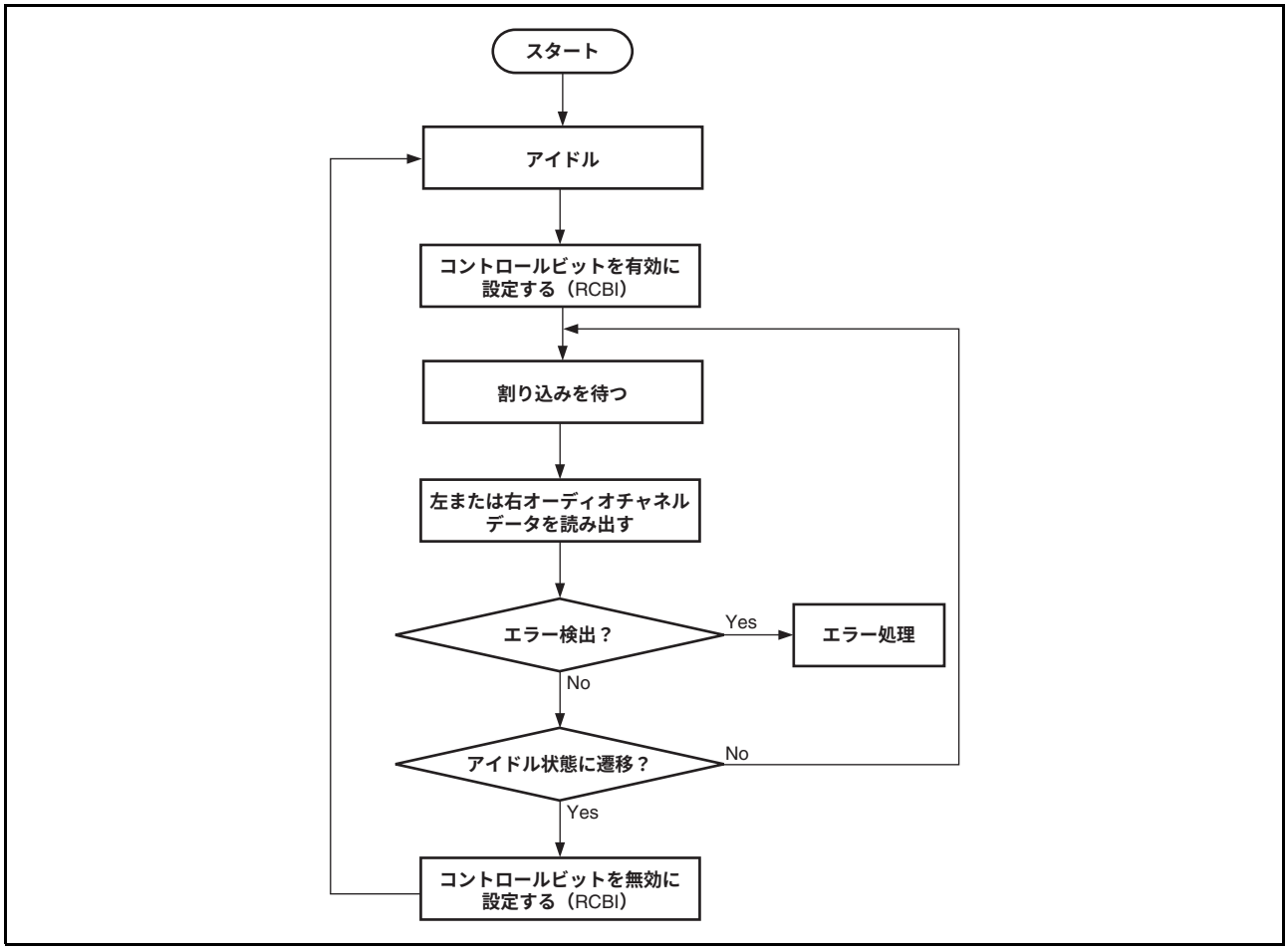


図 26.8　　受信モジュールのデータ転送フロー（割り込みによる方法）

チャネルステータス情報レジスタに情報が格納されたことを通知する割り込みは、30 番目のフレーム受信が完了したあとで情報が変化したときのみ発生します。

26.10 モジュールの停止

26.10.1 送信モジュールと受信モジュールのアイドル状態

送信モジュールと受信モジュールは、コントロールレジスタのアイドルビット（送信モジュールは TME ビット、受信モジュールは RME ビット）に 0 を書き込むことで、動作を無効にできます。このアイドル状態は、ステータスレジスタのアイドルビット（送信モジュールは TIS ビット、受信モジュールは RIS ビット）を読み出すことで検出できます。

26.11 圧縮モードデータ

圧縮モードデータは、IEC61937 仕様で定義されています。SPDIF モジュールは、圧縮モードデータの検出のみを行います。バリディティフラグ（V フラグ）とチャネルステータスデータのビット 1 をチェックし、両方とも 1 の場合は圧縮モードデータとしてステータスレジスタの CMD ビットに設定します。

注 . 受信モジュールのみが圧縮モードデータを検出します。この情報は、送信モジュールには関係がありません。

26.12 参考

IEC60958 デジタルオーディオインタフェース
IEC61937 圧縮モードデジタルオーディオインタフェース

26.13 使用上の注意

26.13.1 TUIR のクリアについて

TUI に書き込んだ後、TUIR がクリアされるまで、最大 1 フレーム分の送信の完了を待つ必要があります。送信モジュールユーザ情報割り込みによって TUI にデータを書き込む場合は、割り込みを誤って再度受け付けないように、TUIR がクリアされたことを確認してから、割り込み処理ルーチンを終了させてください。

26.13.2 オーディオ用入力クロックの周波数

AUDIO X1、AUDIO X2 または AUDIO CLK に入力するクロックの周波数は、P1φ の周波数よりも低くしてください。

27. イーサネットコントローラ（ETHERC）

27.1 概要

本 MCU は、イーサネットあるいは IEEE802.3 の Media Access Control (MAC) 層規格に準拠したイーサネットコントローラ (ETHERC) を 2 チャネル内蔵しています。各 ETHERC は MAC 層のインタフェースを 1 チャネル内蔵しており、物理層の LSI (PHY-LSI) と接続することにより、イーサネット／ IEEE802.3 に準拠したフレームの送受信を行うことができます。また、ETHERC は MCU の内部でイーサネットコントローラ用 DMA コントローラ (EDMAC) に接続されており、CPU を介することなくデータ転送を行うことができます。

表 27.1 に ETHERC の仕様を、**図 27.1** に ETHERC の構成を、**表 27.2** に ETHERC の入出力端子を示します。

また、**図 27.2** と**図 27.3** に PHY-LSI との接続例を示します。

表27.1　ETHERCの仕様

項目	内容
チャネル	2チャネル
プロトコル	IEEE802.3xに準拠したフロー制御
データ送受信	イーサネット／IEEE802.3に準拠したフレームを送受信
通信速度	10 Mbpsおよび100 Mbpsに対応
通信方式	全二重通信および半二重通信に対応
インタフェース	IEEE802.3uに準拠したMII (Media Independent Interface)およびRMII (Reduced Media Independent Interface)に対応
機能	Magic Packet™ (注1)の検出およびWake-On-LAN (WOL)信号の出力

注1.　Magic Packetは、Advanced Micro Devices, Inc.の商標です。

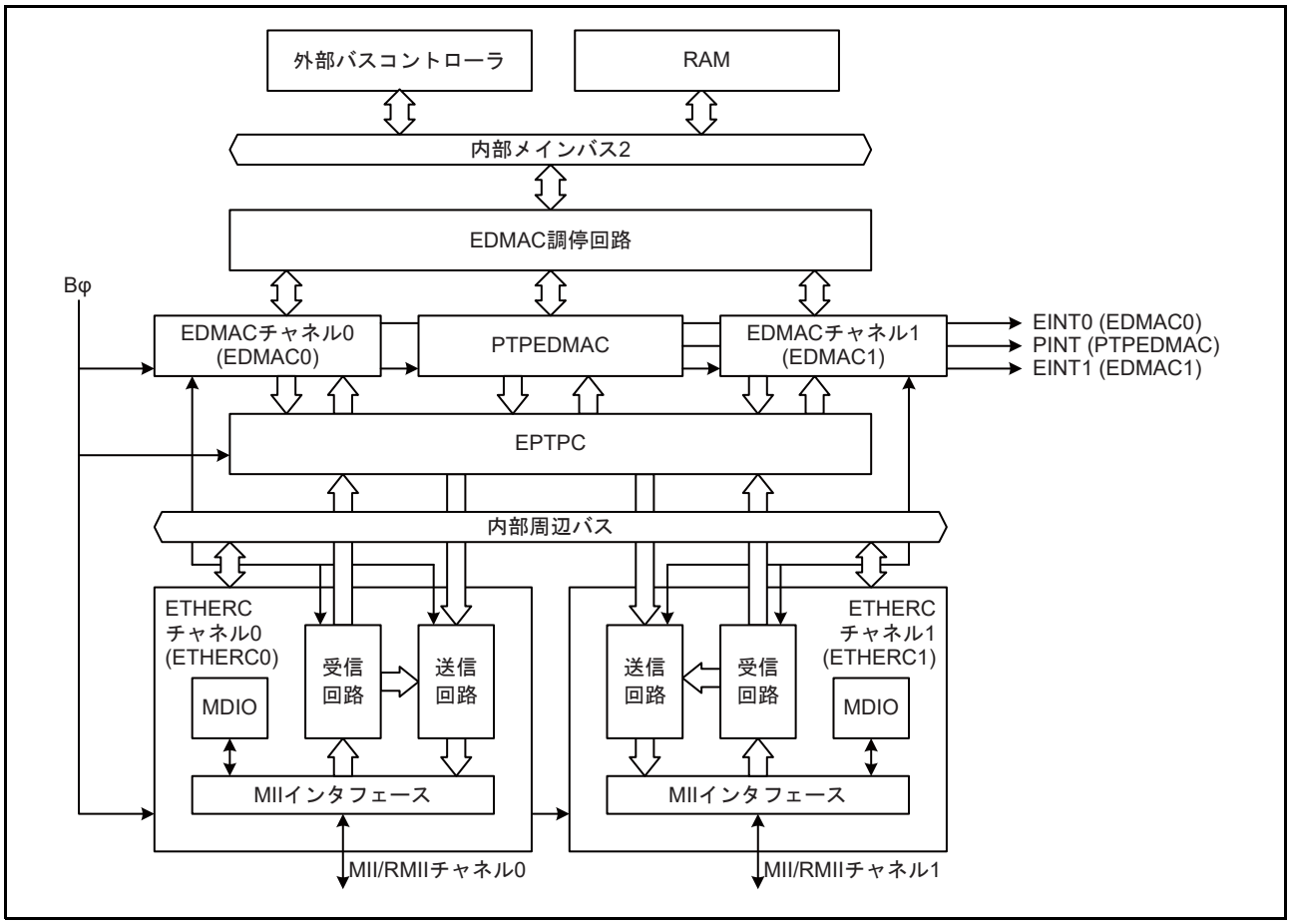


図 27.1　　ETHERC の構成

表27.2　ETHERCの入出力端子(n = 0, 1)

動作モード	端子名	入出力	機能
MII	ETn_TX_CLK (注1)	入力	送信クロック ETn_TX_EN、ETn_ETXD3～ETn_ETXD0、ETn_TX_ER信号出力時のタイミング基準信号
	ETn_RX_CLK (注1)	入力	受信クロック ETn_RX_DV、ETn_ERXD3～ETn_ERXD0、ETn_RX_ER信号入力時のタイミング基準信号
	ETn_TX_EN (注1)	出力	送信データ有効 ETn_ETXD3～ETn_ETXD0上に有効な送信データが出力されていることを示す信号
	ETn_ETXD3～ETn_ETXD0 (注1)	出力	4ビットの送信データ
	ETn_TX_ER (注1)	出力	送信エラー 送信中のエラーをPHY-LSIに通知するための信号
	ETn_RX_DV (注1)	入力	受信データ有効 ETn_ERXD3～ETn_ERXD0上に有効な受信データがあることを示す信号
	ETn_ERXD3～ETn_ERXD0 (注1)	入力	4ビットの受信データ
	ETn_RX_ER (注1)	入力	受信エラー PHY-LSIからETHERCへ転送中のフレームにエラーがあることを示す信号
	ETn_CRS (注1)	入力	キャリア感知
	ETn_COL (注1)	入力	衝突検出
	ETn_MDC (注1)	出力	マネジメントデータクロック ETn_MDIOによる情報転送用の基準クロック信号
	ETn_MDIO (注1)	入出力	マネジメントデータI/O PHY-LSIとの間で管理情報を交換するための双方向データ信号
	ETn_LINKSTA	入力	PHY-LSIからのリンクステータス入力
	ETn_EXOUT / ETn_SCLKIN	入出力	汎用出力端子／STCAクロック入力
	ETn_WOL	出力	Wake-On-LAN Magic Packet受信を示す信号
RMII	REF50CKn (注2)	入力	基準クロック RMIIn_TXD_EN、RMIIn_TXD1～RMIIn_TXD0、RMIIn_CRS_DV、RMIIn_RXD1～RMIIn_RXD0、RMIIn_RX_ERのタイミング基準信号
	RMIIn_TXD_EN (注2)	出力	送信データ有効 RMIIn_TXD1～RMIIn_TXD0上に有効な送信データが出力されていることを示す信号
	RMIIn_TXD1～RMIIn_TXD0 (注2)	出力	2ビットの送信データ
	RMIIn_CRS_DV (注2)	入力	キャリア感知／受信データ有効 有効な受信データがRMIIn_RXD1～RMIIn_RXD0上にあることを示す信号
	RMIIn_RXD1～RMIIn_RXD0 (注2)	入力	2ビットの受信データ
	RMIIn_RX_ER (注2)	入力	受信エラー PHY-LSIからETHERCへ転送中のフレームにエラーがあることを示す信号
	ETn_MDC (注2)	出力	マネジメントデータクロック ETn_MDIOによる情報転送用の基準クロック信号
	ETn_MDIO (注2)	入出力	マネジメントデータI/O PHY-LSIとの間で管理情報を交換するための双方向データ信号
	ETn_LINKSTA	入力	PHY-LSIからのリンクステータス入力
	ETn_EXOUT / ETn_SCLKIN	入出力	汎用出力端子／STCAクロック入力
	ETn_WOL	出力	Wake-On-LAN Magic Packet受信を示す信号

注1.　IEEE802.3u準拠のMII信号
注2.　IEEE802.3u準拠のRMII信号

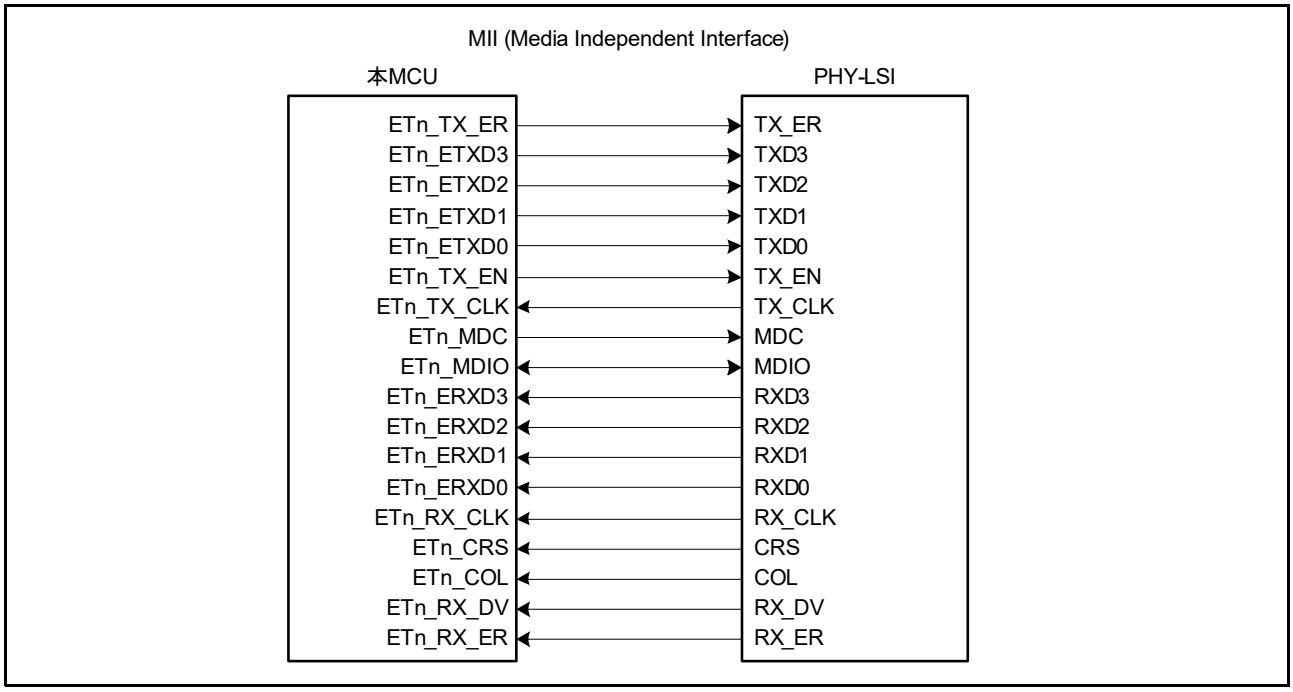


図 27.2　　PHY-LSI との接続例 (MII)

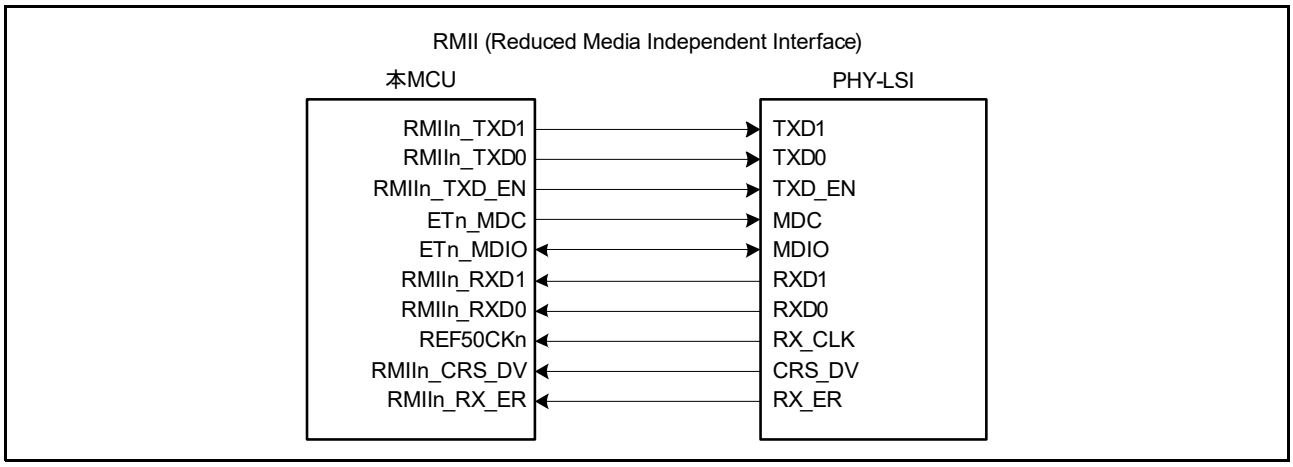


図 27.3　　PHY-LSI との接続例 (RMII)

27.2 レジスタの説明

表 27.3 にレジスタ構成を示します。

表27.3　イーサネットコントローラレジスタ構成

モジュール	レジスタ名	略称	アドレス	アクセスサイズ
ETHERC0	ETHERCモードレジスタ	ECMR	E820 4100h	32
	受信フレーム長上限レジスタ	RFLR	E820 4108h	32
	ETHERCステータスレジスタ	ECSR	E820 4110h	32
	ETHERC割り込み許可レジスタ	ECSIPR	E820 4118h	32
	PHY部インタフェースレジスタ	PIR	E820 4120h	32
	PHY部ステータスレジスタ	PSR	E820 4128h	32
	乱数生成カウンタ上限値設定レジスタ	RDMLR	E820 4140h	32
	Interpacket Gap設定レジスタ	IPGR	E820 4150h	32
	自動PAUSEフレーム設定レジスタ	APR	E820 4154h	32
	手動PAUSEフレーム設定レジスタ	MPR	E820 4158h	32
	受信PAUSEフレームカウンタ	RFCF	E820 4160h	32
	自動PAUSEフレーム再送回数設定レジスタ	TPAUSER	E820 4164h	32
	PAUSEフレーム再送回数カウンタ	TPAUSECR	E820 4168h	32
	ブロードキャスト フレーム受信回数設定レジスタ	BCFRR	E820 416Ch	32
	MACアドレス上位設定レジスタ	MAHR	E820 41C0h	32
	MACアドレス下位設定レジスタ	MALR	E820 41C8h	32
	送信リトライオーバカウンタレジスタ	TROCR	E820 41D0h	32
	遅延衝突検出カウンタレジスタ	CDCR	E820 41D4h	32
	キャリア消失カウンタレジスタ	LCCR	E820 41D8h	32
	キャリア未検出カウンタレジスタ	CNDCR	E820 41DCh	32
	CRC エラーフレーム受信カウンタレジスタ	CEFCR	E820 41E4h	32
	フレーム受信エラーカウンタレジスタ	FRECR	E820 41E8h	32
	ショートフレーム受信カウンタレジスタ	TSFRCR	E820 41ECh	32
	ロングフレーム受信カウンタレジスタ	TLFRCR	E820 41F0h	32
	端数ビットフレーム受信カウンタレジスタ	RFCR	E820 41F4h	32
	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	E820 41F8h	32
ETHERC1	ETHERCモードレジスタ	ECMR	E820 4300h	32
	受信フレーム長上限レジスタ	RFLR	E820 4308h	32
	ETHERCステータスレジスタ	ECSR	E820 4310h	32
	ETHERC割り込み許可レジスタ	ECSIPR	E820 4318h	32
	PHY部インタフェースレジスタ	PIR	E820 4320h	32
	PHY部ステータスレジスタ	PSR	E820 4328h	32
	乱数生成カウンタ上限値設定レジスタ	RDMLR	E820 4340h	32
	Interpacket Gap設定レジスタ	IPGR	E820 4350h	32
	自動PAUSEフレーム設定レジスタ	APR	E820 4354h	32
	手動PAUSEフレーム設定レジスタ	MPR	E820 4358h	32
	受信PAUSEフレームカウンタ	RFCF	E820 4360h	32
	自動PAUSEフレーム再送回数設定レジスタ	TPAUSER	E820 4364h	32
	PAUSEフレーム再送回数カウンタ	TPAUSECR	E820 4368h	32
	ブロードキャスト フレーム受信回数設定レジスタ	BCFRR	E820 436Ch	32
	MACアドレス上位設定レジスタ	MAHR	E820 43C0h	32
	MACアドレス下位設定レジスタ	MALR	E820 43C8h	32

モジュール	レジスタ名	略称	アドレス	アクセスサイズ
ETHERC1	送信リトライオーバカウンタレジスタ	TROCR	E820 43D0h	32
	遅延衝突検出カウンタレジスタ	CDCR	E820 43D4h	32
	キャリア消失カウンタレジスタ	LCCR	E820 43D8h	32
	キャリア未検出カウンタレジスタ	CNDCR	E820 43DCh	32
	CRC エラーフレーム受信カウンタレジスタ	CEFCR	E820 43E4h	32
	フレーム受信エラーカウンタレジスタ	FRECR	E820 43E8h	32
	ショートフレーム受信カウンタレジスタ	TSFRCR	E820 43ECh	32
	ロングフレーム受信カウンタレジスタ	TLFRCR	E820 43F0h	32
	端数ビットフレーム受信カウンタレジスタ	RFCR	E820 43F4h	32
	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	E820 43F8h	32

27.2.1 ETHERC モードレジスタ (ECMR)

アドレス： ETHERC0.ECMR E820 4100h, ETHERC1.ECMR E820 4300h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TPC	ZPF	PFR	RXF	TXF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PRCEF	—	—	MPDE	—	—	RE	TE	—	ILB	RTM	DM	PRM
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRM	プロミスキャスモードビット	0：ETHERCは通常モード 1：ETHERCはプロミスキャスモード	R/W
b1	DM	デュプレックスモードビット	0：半二重通信 1：全二重通信	R/W
b2	RTM	送受信レートビット	0：10 Mbps 1：100 Mbps	R/W
b3	ILB	内部ループバックモードビット	0：通常のデータ送受信を行う 1：全二重通信のときETHERC内部でループバックを行う	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TE	送信許可ビット	0：送信機能は無効 1：送信機能は有効	R/W
b6	RE	受信許可ビット	0：受信機能は無効 1：受信機能は有効	R/W
b8、b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	MPDE	Magic Packet検出許可ビット	0：Magic Packetの検出を禁止 1：Magic Packetの検出を許可	R/W
b11、b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	PRCEF	CRCエラーフレーム受信モードビット	0：CRCエラーをEDMACに通知する 1：CRCエラーをEDMACに通知しない	R/W
b15～b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	TXF	送信系フロー制御動作モードビット	0：PAUSEフレームの自動送信機能は無効 1：PAUSEフレームの自動送信機能は有効	R/W
b17	RXF	受信系フロー制御動作モードビット	0：PAUSEフレームの検出機能は無効 1：PAUSEフレームの検出機能は有効	R/W
b18	PFR	PAUSEフレーム受信モードビット	0：PAUSEフレームをEDMACへ転送しない 1：PAUSEフレームをEDMACへ転送する	R/W
b19	ZPF	0 time PAUSEフレーム使用許可ビット	0：pause_timeパラメータが0のPAUSEフレーム制御を無効にする 1：pause_timeパラメータが0のPAUSEフレーム制御を有効にする	R/W
b20	TPC	PAUSEフレーム送信ビット	0：PAUSE期間中でもPAUSEフレームを送信する 1：PAUSE期間中にはPAUSEフレームを送信しない	R/W
b31～b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECMR レジスタは、ETHERC の動作を制御するレジスタです。

ECMR レジスタの TE ビット、RE ビットを除く各ビットは、リセット後の初期設定時に設定してください。それ以外のときに書き換える場合は、EDMACn.EDMR.SWR ビットを “1” にして、ETHERC と EDMAC を初期状態に戻してから再設定してください。

PRM ビット (プロミスキャスモードビット)

“1” にすると、すべてのイーサネットフレームを受信するプロミスキャスモードで動作します。プロミスキャスモードは、宛先アドレスの相違、ブロードキャストアドレスであるかどうか、マルチキャストビットの有無などにかかわらず、受信可能なすべてのフレームを受信するモードです。

RTM ビット (送受信レートビット)

RMII 選択時の送受信のビットレートを指定します。

ILB ビット (内部ループバックモードビット)

“1” にすると、MCU 内部で送信フレームをループバックさせることができます。ループバックテストを行うときは DM ビットも “1” (全二重通信) にしてください。

TE ビット (送信許可ビット)

“1” にすると ETHERC の送信機能が有効になります。
“0” にすると、処理中のフレームの送信を完了してから送信機能が無効になります。

RE ビット (受信許可ビット)

“1” にすると ETHERC の受信機能が有効になります。
“0” にすると、処理中のフレームの受信を完了してから受信機能が無効になります。

PRCEF ビット (CRC エラーフレーム受信モードビット)

“1” にすると、受信フレームの CRC エラーを検出した場合も、EDMAC に通知しません。結果として EDMACn.EESR.CERF フラグ、受信ディスクリプタ 0 (RD0) の RFS0 ビットは “1” になりません。

ZPF ビット (0 time PAUSE フレーム使用許可 ビット)

このビットが “1” の場合、前回送信した PAUSE フレームの PAUSE 時間が経過していない内に受信 FIFO からの PAUSE フレーム送信要求が取り消されると、pause_time パラメータが “0” の PAUSE フレームを送信します。また、pause_time パラメータが “0” の PAUSE フレームを受信すると、送信待ちを解除します。

このビットが “0” の場合、受信 FIFO からの PAUSE フレーム送信要求が取り消されても、前回送信した PAUSE フレームの PAUSE 時間が経過するまでは、次の PAUSE フレームを送信しません。また、pause_time パラメータが “0” の PAUSE フレームを受信した場合、その PAUSE フレームを破棄します。

27.2.2　受信フレーム長上限レジスタ (RFLR)

アドレス： ETHERC0.RFLR E820 4108h, ETHERC1.RFLR E820 4308h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RFL[11:0]											
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11～b0	RFL[11:0]	受信フレーム長上限値ビット	設定した値がそのまま上限値として使用されます。 ただし、“5EEh”以下はすべて1518バイト、“800h”以上はすべて2048バイトとして処理されます。	R/W
b31～b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFLR レジスタは、本 MCU が受信できる最大フレーム長をバイト単位で指定するレジスタです。ECMR.RE ビットが “1” (受信機能有効) のときは、このレジスタを書き換えないでください。

RFL[11:0] ビット (受信フレーム長上限値ビット)

RFL[11:0] ビットに設定された値をフレーム長のチェック値とし、受信したフレームの宛先アドレス部から FCS 部までのバイト数がこの値を超えたとき、ロングフレーム受信エラーとして EDMAC に通知します。

設定値を超えた長さのフレームを受信したとき、超えた分のデータは破棄されます。

27.2.3　ETHERC ステータスレジスタ (ECSR)

アドレス： ETHERC0.ECSR E820 4110h, ETHERC1.ECSR E820 4310h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BFR	PSRTO	—	LCHNG	MPD	ICD
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICD	不正キャリア検出フラグ	0：PHY-LSIは、回線上で不正キャリアを検出していない 1：PHY-LSIは、回線上で不正キャリアを検出した	R/W （注1）
b1	MPD	Magic Packet検出フラグ	0：Magic Packet を検出していない 1：Magic Packet を検出した	R/W （注1）
b2	LCHNG	リンク信号変化フラグ	0：ETn_LINKSTA信号の変化を検出していない 1：ETn_LINKSTA信号の変化(HighからLow、またはLowからHigh)を検出した	R/W （注1）
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PSRTO	PAUSEフレーム再送リトライオーバフラグ	0：PAUSE フレーム再送回数が上限値に達していない 1：PAUSE フレーム再送回数が上限値に達した	R/W （注1）
b5	BFR	ブロードキャストフレーム連続受信フラグ	0：ブロードキャストフレームの連続受信を検出していない 1：ブロードキャストフレームの連続受信を検出した	R/W （注1）
b31～b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　フラグをクリアするには"1"を書いてください。

ECSR レジスタは、ETHERC のステータスを表示するレジスタです。

ECSR レジスタのいずれかのビットが “1” になったとき、ECSIPR レジスタの対応するビットが “1” (割り込み通知許可) であると、EDMAC.EESR.ECI フラグが “1” になります。

ICD フラグ (不正キャリア検出フラグ)

回線上で PHY-LSI が不正なキャリアを検出したことを表します。

PHY-LSI から図 27.11 に示すような受信エラー信号を受け取った場合、ICD フラグが “1” になります。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを確認してください。

LCHNG フラグ (リンク信号変化フラグ)

PHY-LSI から入力される ETn_LINKSTA 信号が、High から Low、または Low から High に変化したことを表します。

現在のリンク状態を確認するには、PSR.LMON フラグを参照してください。

PSRTO フラグ (PAUSE フレーム再送リトライオーバフラグ)

PAUSE フレームの自動送信機能を有効にしたときの PAUSE フレームの再送において、再送回数が TPAUSER レジスタに設定した値に達したことを表します。

27.2.4 ETHERC 割り込み許可レジスタ (ECSIPR)

アドレス： ETHERC0.ECSIPR E820 4118h, ETHERC1.ECSIPR E820 4318h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BFSIPR	PSRTOIP	—	LCHNGIP	MPDIP	ICDIP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICDIP	不正キャリア検出割り込み許可ビット	0：不正キャリア検出割り込み通知を禁止 1：不正キャリア検出割り込み通知を許可	R/W
b1	MPDIP	Magic Packet検出割り込み許可ビット	0：Magic Packet検出割り込み通知を禁止 1：Magic Packet検出割り込み通知を許可	R/W
b2	LCHNGIP	リンク信号変化割り込み許可ビット	0：ETn_LINKSTA信号変化割り込み通知を禁止 1：ETn_LINKSTA信号変化割り込み通知を許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PSRTOIP	PAUSEフレーム再送リトライオーバ割り込み許可ビット	0：PAUSEフレーム再送リトライオーバ割り込み通知を禁止 1：PAUSEフレーム再送リトライオーバ割り込み通知を許可	R/W
b5	BFSIPR	ブロードキャストフレーム連続受信割り込み許可ビット	0：ブロードキャストフレーム連続受信割り込み通知を禁止 1：ブロードキャストフレーム連続受信割り込み通知を許可	R/W
b31～b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECSIPR レジスタは、ECSR レジスタに表示されるステータスを EDMAC に通知するかどうかを選択するレジスタです。各ビットは、ECSR レジスタの同番号のフラグに対応しています。

27.2.5　PHY 部インタフェースレジスタ (PIR)

アドレス： ETHERC0.PIR E820 4120h, ETHERC1.PIR E820 4320h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MDC	MII/RMIIマネジメントデータクロックビット	このビットの値をETn_MDC端子から出力し、MII/RMIIへのマネジメントデータクロックを供給します。	R/W
b1	MMD	MII/RMIIマネジメントモードビット	0：リード 1：ライト	R/W
b2	MDO	MII/RMIIマネジメントデータアウトビット	MMDビットが“1”(ライト)のとき、このビットの値をETn_MDIO端子から出力します。MMDビットが“0”(リード)のときには出力しません。	R/W
b3	MDI	MII/RMIIマネジメントデータインビット	ETn_MDIO端子のレベルを表します。書く場合は、“0”としてください。	R/W
b31～b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PIR レジスタは、MII/RMII を経由して PHY-LSI 内部のレジスタをアクセスするために使用するレジスタです。マネジメントクロック、マネジメントデータともソフトウェアにて制御します。

MII/RMII レジスタへのアクセス方法については、「27.3.4　MII/RMII レジスタのアクセス方法」を参照してください。

27.2.6 PHY 部ステータスレジスタ (PSR)

アドレス： ETHERC0.PSR E820 4128h, ETHERC1.PSR E820 4328h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LMON
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LMON	ETn_LINKSTA 端子状態フラグ	ETn_LINKSTA 端子に PHY-LSI から出力されるリンク信号を接続することによって、リンク状態を読むことができます。 極性については、接続する PHY-LSI の仕様を参照してください	R
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PSR レジスタは、PHY-LSI からのインタフェース信号をモニタするためのレジスタです。

27.2.7 乱数生成カウンタ上限値設定レジスタ (RDMLR)

アドレス： ETHERC0.RDMLR E820 4140h, ETHERC1.RDMLR E820 4340h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	RMD[19:16]			
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMD[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b19～b0	RMD[19:0]	乱数生成カウンタ上限値ビット	00000h：通常の動作での設定値 00001h～FFFFFh：設定しないでください	R/W
b31～b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　RDMLR レジスタは、乱数生成部の動作が変わるため、"00000h" 以外を書く場合は注意してください。

RDMLR レジスタは、乱数生成部で使用しているカウンタの上限値を設定するレジスタです。

ECMR.TE ビットが “1” (送信機能有効)、または RE ビットが “1” (受信機能有効) のときは、このレジスタを書き換えないでください。

27.2.8　Interpacket Gap 設定レジスタ (IPGR)

アドレス： ETHERC0.IPGR E820 4150h, ETHERC1.IPGR E820 4350h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IPG[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b4～b0	IPG[4:0]	Interpacket Gap ビット	00h：16 ビット時間 01h：20 ビット時間 　：　： 14h：96 ビット時間 (初期値) 　：　： 1Fh：140 ビット時間	R/W
b31～b5	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

IPGR レジスタは、Interpacket Gap (IPG) の値を設定するレジスタです。

ECMR.TE ビットが “1” (送信機能有効)、または RE ビットが “1” (受信機能有効) のときは、このレジスタを書き換えないでください。

IPG の詳細については「27.3.6　IPG の変更による伝送効率の調整」を参照してください。

27.2.9　自動 PAUSE フレーム設定レジスタ (APR)

アドレス： ETHERC0.APR E820 4154h, ETHERC1.APR E820 4354h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AP[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	AP[15:0]	自動PAUSE時間設定ビット	自動送信するPAUSEフレームのpause_timeパラメータ値を設定します。設定値の512倍のビット時間、送信を待たせることができます。	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

APR レジスタは、自動送信する PAUSE フレームの PAUSE 時間を設定するレジスタです。APR レジスタに設定した値が PAUSE フレームの pause_time パラメータとして使用されます。

ECMR.TE ビットが “1” (送信機能有効)、または RE ビットが “1” (受信機能有効) のときは、このレジスタを書き換えないでください。

27.2.10　手動 PAUSE フレーム設定レジスタ (MPR)

アドレス： ETHERC0.MPR E820 4158h, ETHERC1.MPR E820 4358h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MP[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	MP[15:0]	手動PAUSE時間設定ビット	手動送信するPAUSEフレームのpause_timeパラメータ値を設定します。設定値の512倍のビット時間、送信を待たせることができます。読むと不定値が読めます。	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MPR レジスタは、手動送信する PAUSE フレームの PAUSE 時間を設定するレジスタです。MPR レジスタに設定した値が PAUSE フレームの pause_time パラメータとして使用されます。

このレジスタに値を設定すると、PAUSE フレームが送信されます。このレジスタへの書き込みは、ECMR.TE ビットが “1” (送信機能有効) のときに行ってください。

27.2.11　受信 PAUSE フレームカウンタ (RFCF)

アドレス： ETHERC0.RFCF E820 4160h, ETHERC1.RFCF E820 4360h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RPAUSE[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	RPAUSE[7:0]	PAUSEフレーム受信回数	PAUSEフレームの受信回数	R
b31～b8	—	予約ビット	読むと“0”が読めます。	R

RFCF レジスタは、PAUSE フレームの受信カウンタです。レジスタを読むとカウンタはリセットされます。

27.2.12　自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)

アドレス： ETHERC0.TPAUSER E820 4164h, ETHERC1.TPAUSER E820 4364h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TPAUSE[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	TPAUSE[15:0]	自動PAUSEフレーム 再送回数上限値	0000h：再送回数は無制限 0001h：再送回数の上限値は、1回 ：　： FFFFh：再送回数の上限値は、65535回	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPAUSER レジスタは、PAUSE フレームの自動再送回数の上限値を設定するレジスタです。
ECMR.TE ビットが “1” (送信機能有効) のときは、このレジスタを書き換えないでください。

27.2.13　PAUSE フレーム再送回数カウンタ (TPAUSECR)

アドレス： ETHERC0.TPAUSECR E820 4168h, ETHERC1.TPAUSECR E820 4368h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TXP[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	TXP[7:0]	PAUSEフレーム再送回数	PAUSEフレームの再送回数	R
b31～b8	—	予約ビット	読むと“0”が読めます。	R

TPAUSECR レジスタは、PAUSE フレームの自動再送回数を示すカウンタです。レジスタを読むとカウンタはリセットされます。

27.2.14　ブロードキャストフレーム受信回数設定レジスタ (BCFRR)

アドレス： ETHERC0.BCFRR E820 416Ch, ETHERC1.BCFRR E820 436Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BCF[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	BCF[15:0]	ブロードキャストフレーム連続受信回数設定ビット	0000h：受信回数制限なし 0001h：1フレーム受信 ：　： FFFFh：65535フレーム受信	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BCFRR レジスタは、ブロードキャストフレームを連続で受信できる回数を設定するレジスタです。設定した回数を超えた場合、ECSR.BFR フラグが “1” になり、以降のブロードキャストフレームは破棄されます。なお、ブロードキャストフレームの連続受信をカウントする内部カウンタは、ブロードキャスト以外のフレームを受信するとリセットされます。

ECMR.RE ビットが “1” (受信信機能有効) のときは、このレジスタを書き換えないでください。

27.2.15　MAC アドレス上位設定レジスタ (MAHR)

アドレス： ETHERC0.MAHR E820 41C0h, ETHERC1.MAHR E820 43C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MAHR レジスタは、48 ビットの MAC アドレスの上位 32 ビット (b47 ～ b16) を設定するレジスタです。たとえば MAC アドレスが “01-23-45-67-89-AB” である場合は、“0123 4567h” を設定します。

MAHR レジスタの設定は、リセット後の初期設定時に行ってください。また、ECMR.TE ビットが “1” (送信機能有効)、または RE ビットが “1” (受信機能有効) のときは、このレジスタを書き換えないでください。このレジスタの値を変更する場合は、EDMACn.EDMR.SWR ビットを “1” にして、ETHERC と EDMAC を初期状態に戻してから再設定してください。

27.2.16　MAC アドレス下位設定レジスタ (MALR)

アドレス： ETHERC0.MALR E820 41C8h, ETHERC1.MALR E820 43C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	—	—	MACアドレスの下位16ビットを設定します。	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MALR レジスタは、48 ビットの MAC アドレスの下位 16 ビット (b15 ～ b0) を設定するレジスタです。たとえば MAC アドレスが “01-23-45-67-89-AB” である場合は、“0000 89ABh” を設定します。

MALR レジスタの設定は、リセット後の初期設定時に行ってください。また、ECMR.TE ビットが “1” (送信機能有効)、または RE ビットが “1” (受信機能有効) のときは、このレジスタを書き換えないでください。このレジスタの値を変更する場合は、EDMACn.EDMR.SWR ビットを “1” にして ETHERC と EDMAC を初期状態に戻してから再設定してください。

27.2.17　送信リトライオーバカウンタレジスタ (TROCR)

アドレス： ETHERC0.TROCR E820 41D0h, ETHERC1.TROCR E820 43D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TROCR レジスタは、送信リトライオーバになったフレームの数を示すカウンタです。

TROCR レジスタは、15 回目の再送を失敗すると 1 インクリメントされ、“FFFF FFFFh” になるとカウントを停止します。TROCR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

27.2.18　遅延衝突検出カウンタレジスタ (CDCR)

アドレス： ETHERC0.CDCR E820 41D4h, ETHERC1.CDCR E820 43D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CDCR レジスタは、送信開始以降に検出した遅延衝突の回数を示すカウンタです。

CDCR レジスタの値が “FFFF FFFFh” になるとカウントを停止します。CDCR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

27.2.19　キャリア消失カウンタレジスタ (LCCR)

アドレス： ETHERC0.LCCR E820 41D8h, ETHERC1.LCCR E820 43D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LCCR レジスタは、フレーム送信中のキャリア消失を検出した回数を示すカウンタです。

LCCR レジスタの値が “FFFF FFFFh” になるとカウントを停止します。LCCR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

27.2.20　キャリア未検出カウンタレジスタ (CNDCR)

アドレス： ETHERC0.CNDCR E820 41DCh, ETHERC1.CNDCR E820 43DCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CNDCR レジスタは、プリアンブル送信中にキャリアを検出できなかった回数を示すカウンタです。

CNDCR レジスタの値が “FFFF FFFFh” になるとカウントを停止します。CNDCR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

27.2.21　CRC エラーフレーム受信カウンタレジスタ (CEFCR)

アドレス： ETHERC0.CEFCR E820 41E4h, ETHERC1.CEFCR E820 43E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CEFCR レジスタは、CRC エラーを検出した受信フレームの数を示すカウンタです。

CEFCR レジスタの値が “FFFF FFFFh” になるとカウントアップを停止します。CEFCR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

27.2.22　フレーム受信エラーカウンタレジスタ (FRECR)

アドレス： ETHERC0.FRECR E820 41E8h, ETHERC1.FRECR E820 43E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FRECR レジスタは、フレーム受信エラーの発生回数を示すカウンタです。フレーム受信エラーは PHY-LSI から ETn_RX_ER 端子を使用して通知されます。

FRECR レジスタは、ETn_RX_ER 端子が High になるごとに 1 インクリメントされ、“FFFF FFFFh” になるとカウントを停止します。FRECR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

フレーム受信エラーが発生した場合、EPTPC を使用しているかどうかにかかわらず、EPTPCn.SYSR.INFABT フラグが “1” になる場合があります。この場合、EPTPC、PTPEDMAC、および該当するチャネルの ETHERC、EDMAC をリセットしてください。

リセットの手順は「27.5.3　制御情報異常発生時の処理」を参照してください。

27.2.23　ショートフレーム受信カウンタレジスタ (TSFRCR)

アドレス： ETHERC0.TSFRCR E820 41ECh, ETHERC1.TSFRCR E820 43ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TSFRCR レジスタは、ショートフレーム (64 バイト未満のフレーム) の受信回数を示すカウンタです。

TSFRCR レジスタの値が “FFFF FFFFh” になるとカウントを停止します。TSFRCR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

27.2.24　ロングフレーム受信カウンタレジスタ (TLFRCR)

アドレス： ETHERC0.TLFRCR E820 41F0h, ETHERC1.TLFRCR E820 43F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TLFRCR レジスタは、ロングフレーム (RFLR レジスタに設定した長さを超えるフレーム) の受信回数を示すカウンタです。

TLFRCR レジスタの値が “FFFF FFFFh” になるとカウントを停止します。TLFRCR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

なお、端数ビットフレームを受信した場合は、TLFRCR レジスタはインクリメントされません。この場合は、端数ビットフレーム受信カウンタレジスタ (RFCR) がインクリメントされます。

27.2.25　端数ビットフレーム受信カウンタレジスタ (RFCR)

アドレス： ETHERC0.RFCR E820 41F4h, ETHERC1.RFCR E820 43F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RFCR レジスタは、端数ビットフレーム (8 ビットに満たない端数ビットデータを含むフレーム) の受信回数を示すカウンタです。

RFCR レジスタの値が “FFFF FFFFh” になるとカウントを停止します。RFCR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

端数ビットフレームを受信した場合、EPTPC を使用しているかどうかにかかわらず、EPTPCn.SYSR.INFABT フラグが “1” になる場合があります。

この場合、EPTPC、PTPEDMAC、および該当するチャネルの ETHERC、EDMAC をリセットしてください。リセットの手順は**「27.5.3　制御情報異常発生時の処理」**を参照してください。

27.2.26　マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)

アドレス： ETHERC0.MAFCR E820 41F8h, ETHERC1.MAFCR E820 43F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MAFCR レジスタは、マルチキャストアドレスが指定されたフレームの受信回数を示すカウンタです。

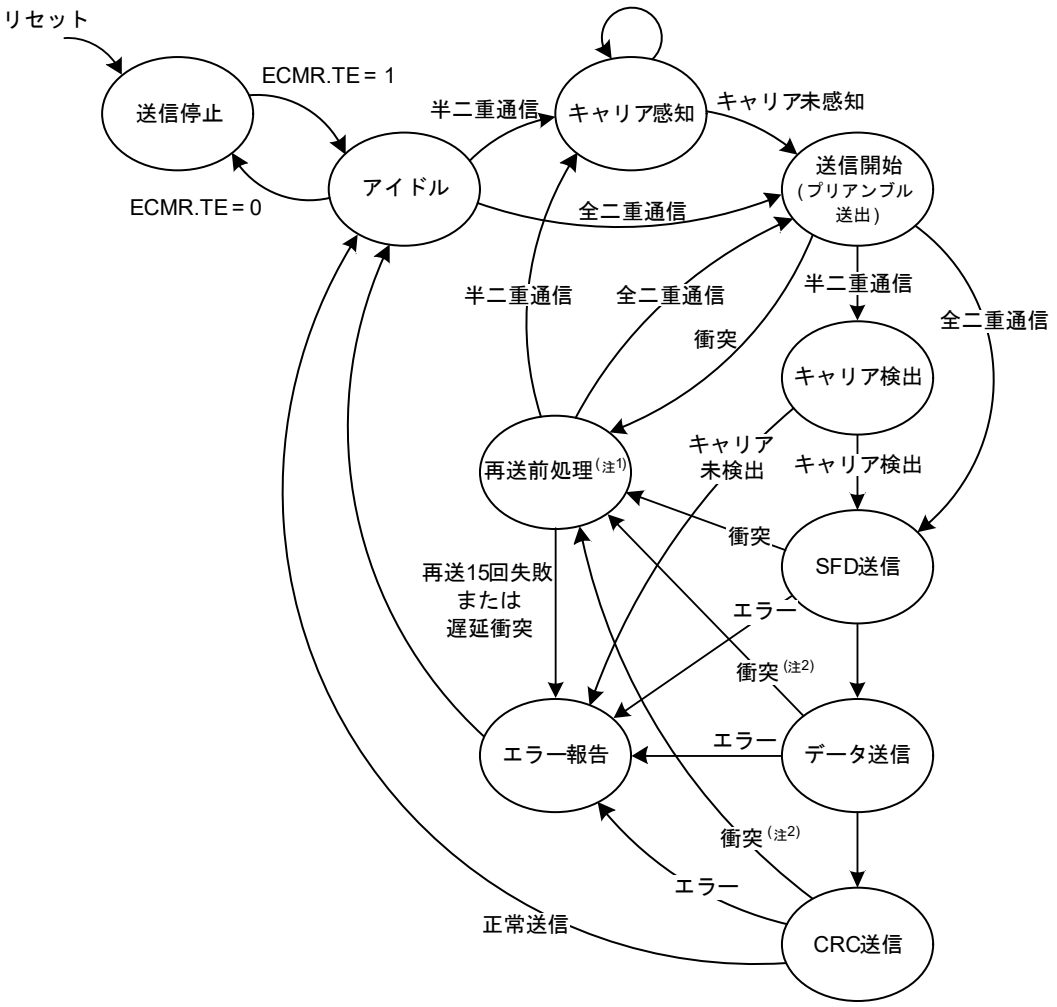
MAFCR レジスタの値が “FFFF FFFFh” になるとカウントを停止します。MAFCR レジスタに任意の値を書き込むと、カウンタの値は “0” になります。

27.3　動作説明

ETHERC の動作概要を以下に示します。ETHERC は IEEE802.3x に準拠したフロー制御をサポートしており、PAUSE フレームの送信および受信が可能です。

27.3.1　送信動作

ETHERC 送信部は、EDMAC から送信要求があると、送信データをフレームに組み立てて MII/RMII に出力します。MII/RMII を経由した送信フレームは、PHY-LSI によって回線上に送出されます。ETHERC 送信部の状態遷移図を図 27.4 に示します。



注1. 再送前処理には衝突検出に伴うジャムの送出とバックオフアルゴリズムによる送信時間間隔の調整が含まれます。
注2. プリアンブル送信開始より、512ビット時間以内に衝突を検出したときのみ再送処理を行います。
512ビット時間を超えた後に衝突を検出した場合は、ジャムの送出のみ行い、バックオフアルゴリズムによる再送処理は行いません。

図 27.4　ETHERC 送信部状態遷移図

（1）ECMR.TE ビットを "1" にすると、ETHERC は送信アイドル状態に遷移します。
（2）EDMAC から送信要求があると、ETHERC はキャリア感知状態に遷移し、Interpacket Gap 時間を待ってからプリアンブルを MII/RMII に送出します。キャリア感知を必要としない全二重通信モードを選択しているときには、EDMAC から送信要求があると即座にプリアンブルを送出します。
（3）SFD (スタートフレームデリミタ)、送信データ、CRC を順次送信します。送信が正常に終了すると、ETHERC は EDMAC に正常終了を通知し、EDMAC は EDMACn.EESR.TC フラグを "1" にします。また、データ送信中に遅延衝突、あるいはキャリア消失を検出すると、送信を中断し EDMAC にその要因を通知します。
（4）Interpacket Gap 時間を経た後、ETHERC はアイドル状態に遷移し、以後送信データがあれば送信を継続します。

27.3.2　受信動作

ETHERC 受信部は、MII/RMII より入力された受信フレームをプリアンブル、SFD (スタートフレームデリミタ)、受信データおよび CRC に分解し、EDMAC には受信データ (宛先アドレス、送信元アドレス、タイプ／長さ、データ／ LLC) のみを転送します。ETHERC 受信部の状態遷移図を図 27.5 に示します。

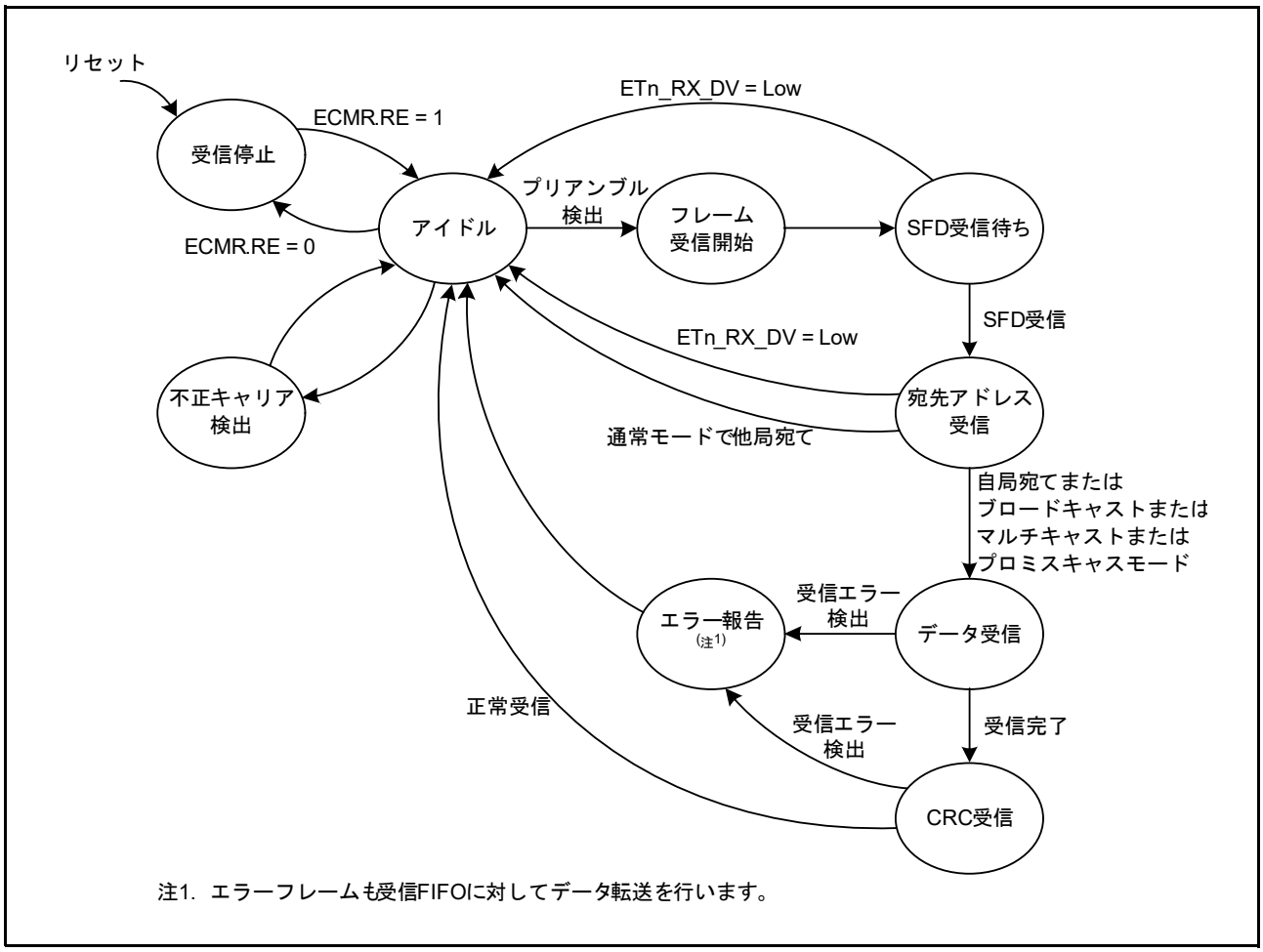


図 27.5　ETHERC 受信部状態遷移図

(1) ECMR.RE ビットを "1" にすると、ETHERC は受信アイドル状態に遷移します。
(2) 受信パケットのプリアンブルに続く SFD を検出すると、ETHERC は受信処理を開始します。不正な SFD を受信すると、ETHERC はフレームを破棄します。
(3) ETHERC が通常動作の場合は、受信フレームの宛先アドレスが本 MCU 宛のとき、または受信フレームがブロードキャストフレームかマルチキャストフレームのときに、データ受信を開始します。ETHERC がプロミスキャスモード動作の場合は、受信フレームの種類にかかわらずデータ受信を開始します。
(4) MII/RMII からのデータを受信した後、ETHERC は CRC チェックを行います。CRC チェックの結果は、EDMAC に通知され、受信バッファに受信データが転送された後、受信ディスクリプタ内にステータスとしてライトバックされます。また、EDMACn.EESR.CERF フラグにも反映されます。
(5) 1 フレームの受信が完了した後、ECMR.RE ビットが "1" の場合、次のフレーム受信に備えます。

27.3.3　フレームタイミング

27.3.3.1　MII フレームタイミング

MII フレームのタイミングを図 27.6 ～図 27.11 に示します。

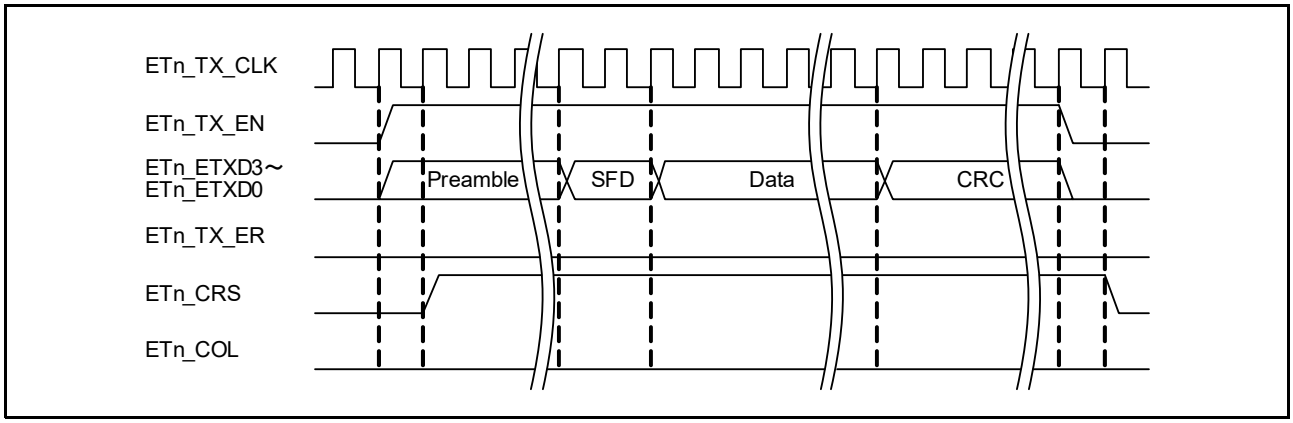


図 27.6　MII フレーム送信タイミング (正常時)

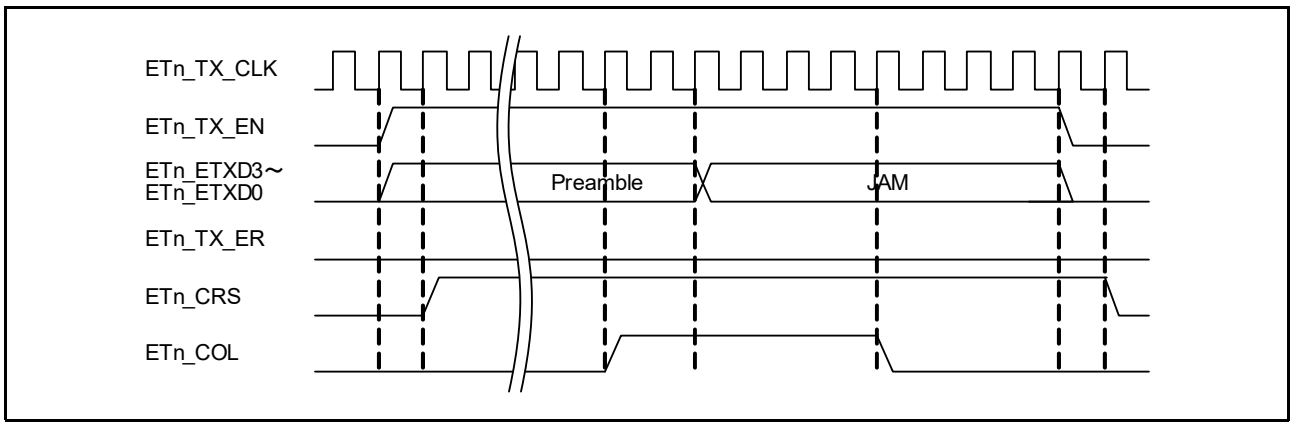


図 27.7　MII フレーム送信タイミング (衝突発生)

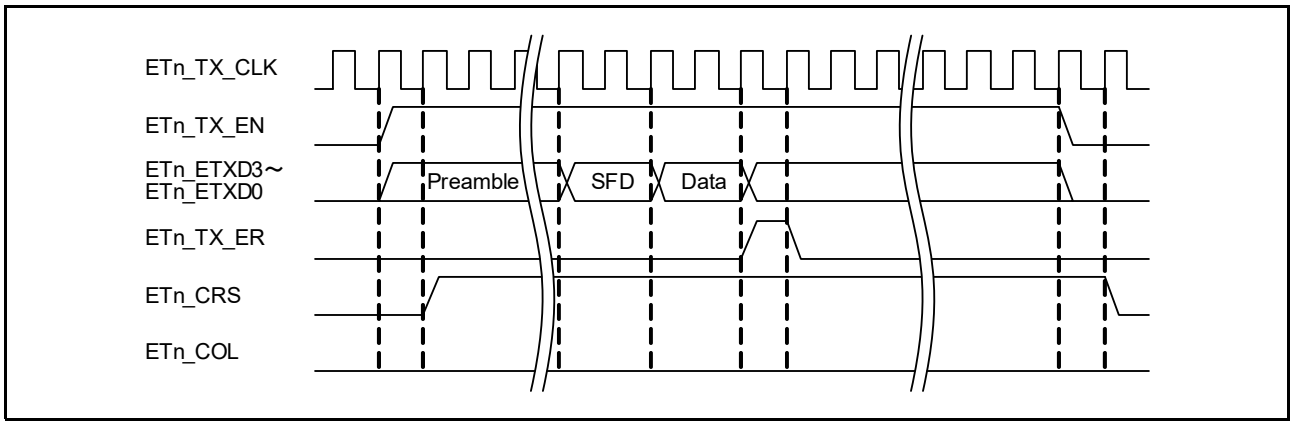


図 27.8　MII フレーム送信タイミング (送信エラー発生)

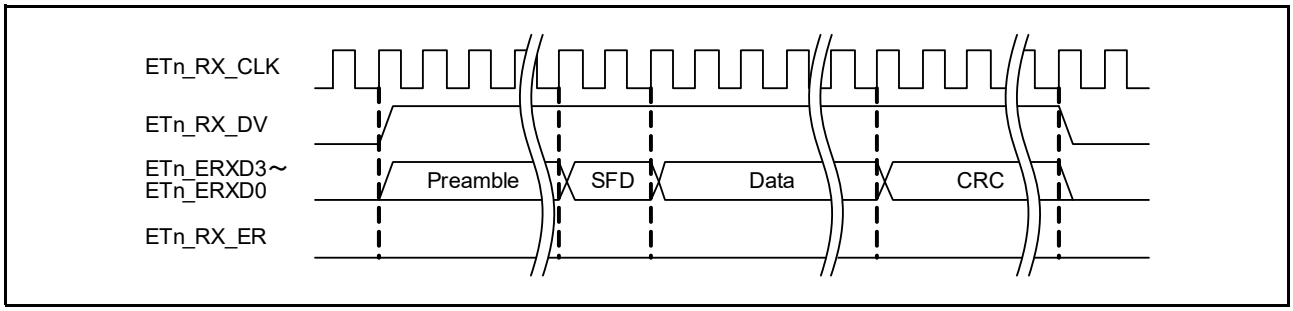


図 27.9　MII フレーム受信タイミング (正常受信)

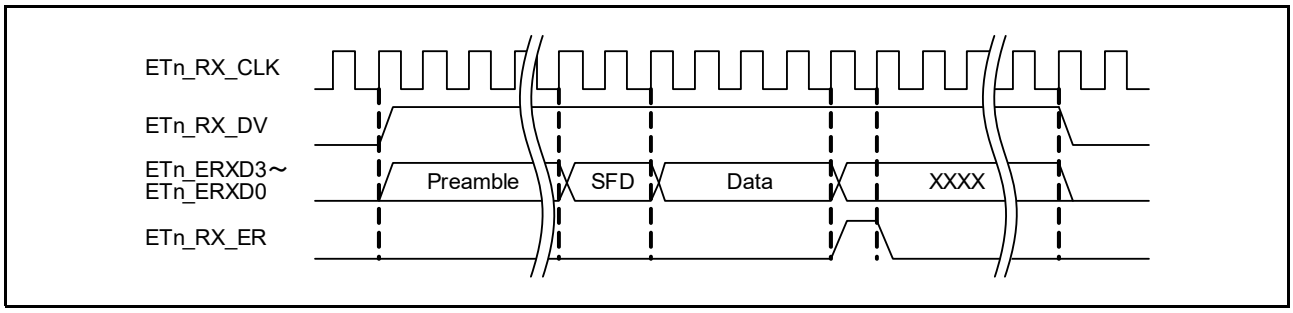


図 27.10　MII フレーム受信タイミング (受信エラー (1) 受信エラー通知)

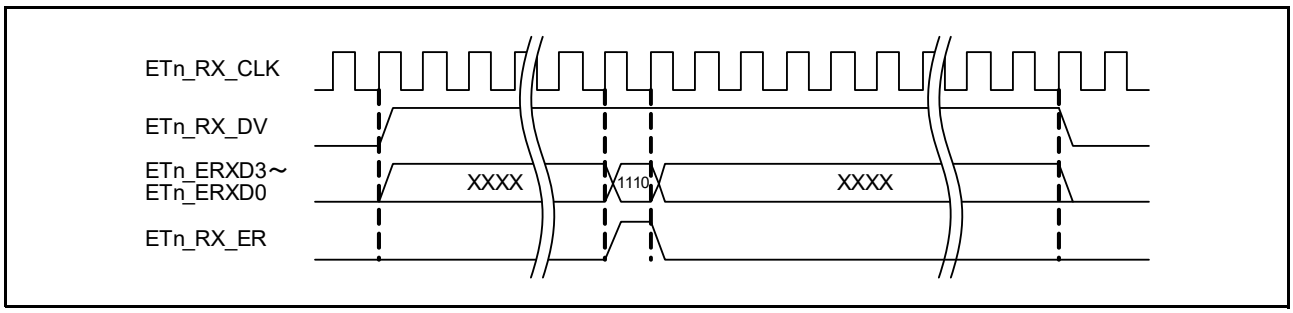


図 27.11　MII フレーム受信タイミング (受信エラー (2) 不正キャリア検出通知)

27.3.3.2　RMII フレームタイミング

RMII のフレームタイミングを図 27.12 ～図 27.14 に示します。

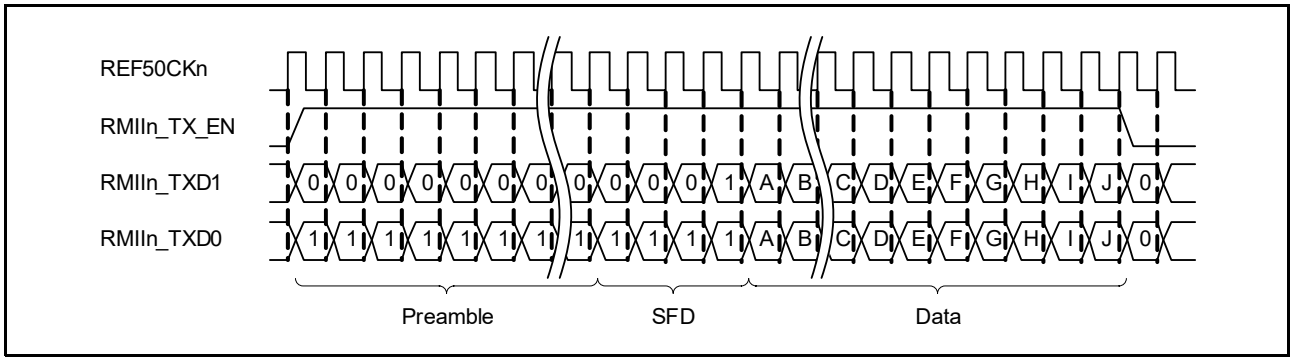


図 27.12　RMII フレーム送信タイミング (正常送信)

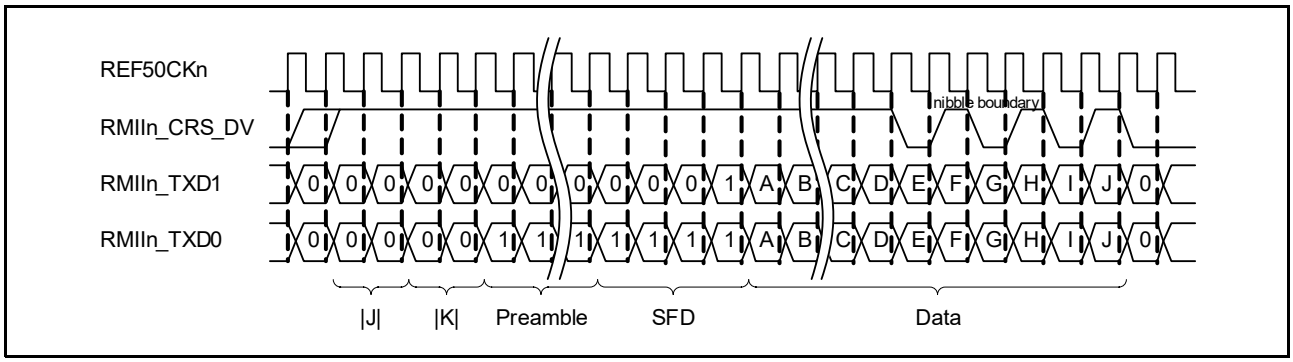


図 27.13　RMII フレーム受信タイミング (正常受信)

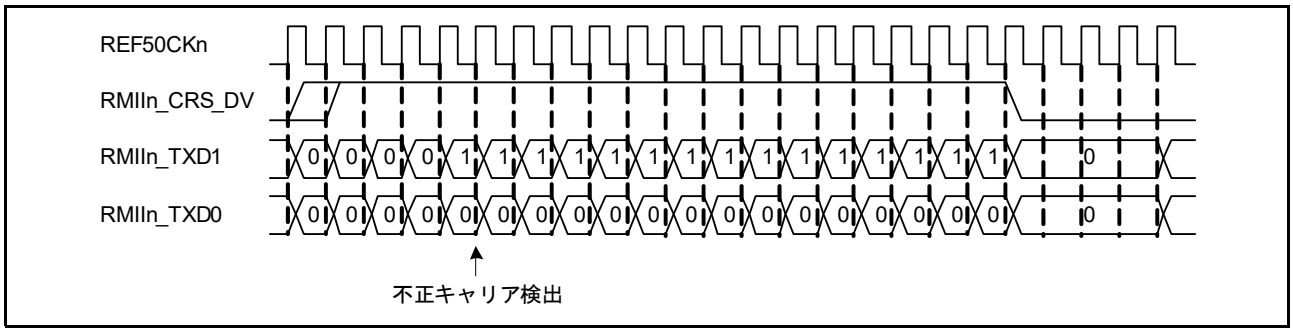


図 27.14　RMII フレーム受信タイミング (不正キャリア検出を伴う受信)

27.3.4　MII/RMII レジスタのアクセス方法

PHY-LSI 内にある MII/RMII レジスタへは、PIR レジスタを使用してアクセスします。MII/RMII 管理フレームフォーマットに従ったシリアルデータを、ETn_MDC、ETn_MDIO 端子をソフトウェアで制御して送受信します。

27.3.4.1　MII/RMII 管理フレームのフォーマット

MII/RMII 管理フレームのフォーマットを**表 27.4** に示します。

表27.4　MII/RMII管理フレームフォーマット

アクセス種別		MII/RMII管理フレーム							
	項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
	ビット数	32	2	2	5	5	2	16	1
リード		1..1	01	10	00001	RRRRR	Z0	DDDDDDDDDDDDDDDD	Z
ライト		1..1	01	01	00001	RRRRR	10	DDDDDDDDDDDDDDDD	Z

PRE (Preamble)　32 個の連続した “1” を送信

ST (Stat of Frame)　“01b” を送信

OP (Operation code)　リード時は “10b”、ライト時は “01b” を送信

PHYAD (PHY Address)　1 つの MAC に最大 32 の PHY-LSI が接続可能。この 5 ビットで PHY-LSI を選択。PHY-LSI のアドレスが 1 番の場合、“00001b” を送信

REGAD (Register Address)　PHY-LSI にある最大 32 個のレジスタから 1 つを選択。
レジスタアドレスが 1 番の場合、“00001b” を送信

TA (Turnarround)　リード時にレジスタアドレスとデータが衝突しないようにするための 2 ビット分の切り替え時間
(a)　ライト時は “10b” を送信
(b)　リード時は、1 ビット分のバス解放 (Z 出力) を行う
(PHY-LSI からは次のクロックで “0” が出力されるので「Z0」と表記)

DATA (Data)　16 ビットのデータ。MSB 側から順次送信あるいは受信

IDLE (Idle Condition)　次の MII/RMII 管理フォーマット入力までの待機時間
(a)　ライト時は、バス解放 (Z 出力) を行う
(b)　リード時は、TA 時にバス解放済みであり制御不要

27.3.4.2　MII/RMII レジスタアクセス手順

MII/RMII レジスタへのアクセスは、1 ビット単位のデータの書き込み、1 ビット単位のデータの読み出し、バス解放、および単独バス解放を組み合わせて行います。MII/RMII レジスタアクセスタイミングの例を図 27.15 ～図 27.18 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

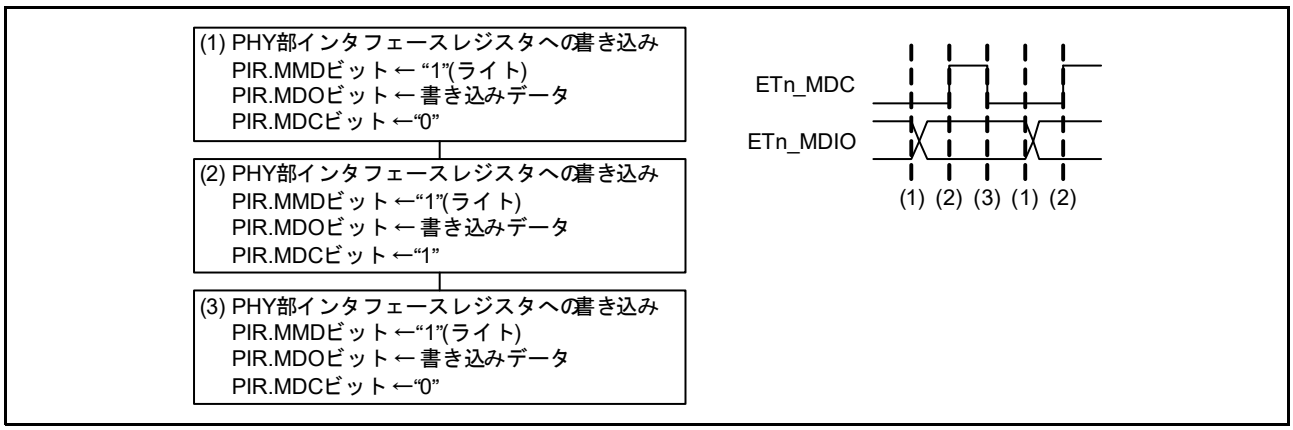


図 27.15　1 ビットデータのライトフロー

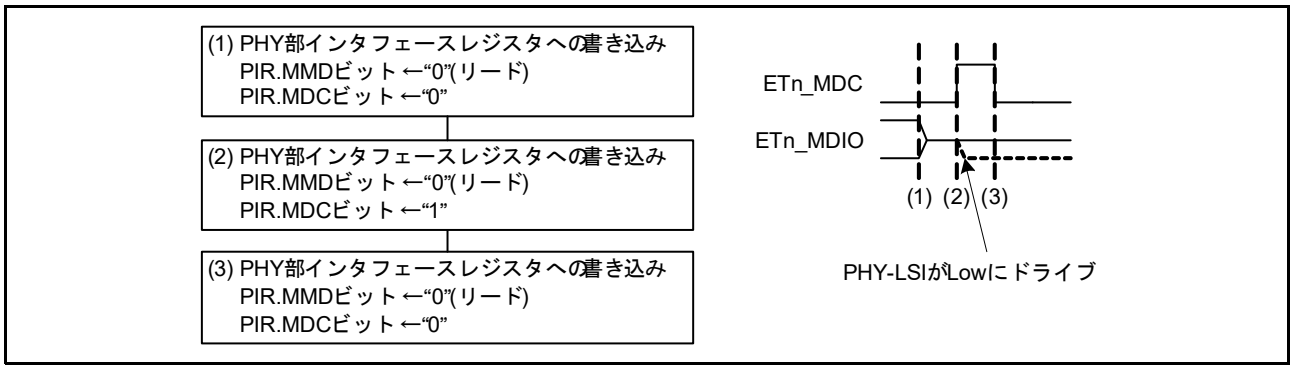


図 27.16　バス解放フロー (表 27.4 中のリード時の TA)

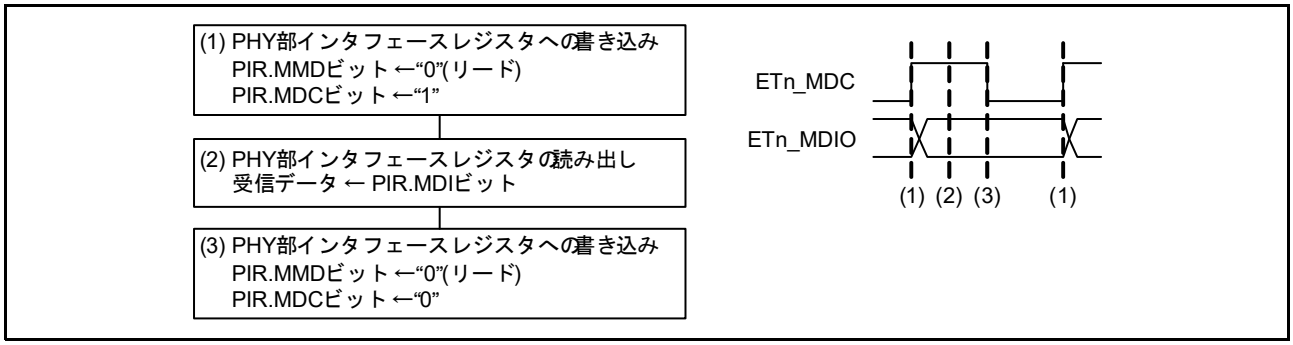


図 27.17　1 ビットデータのリードフロー

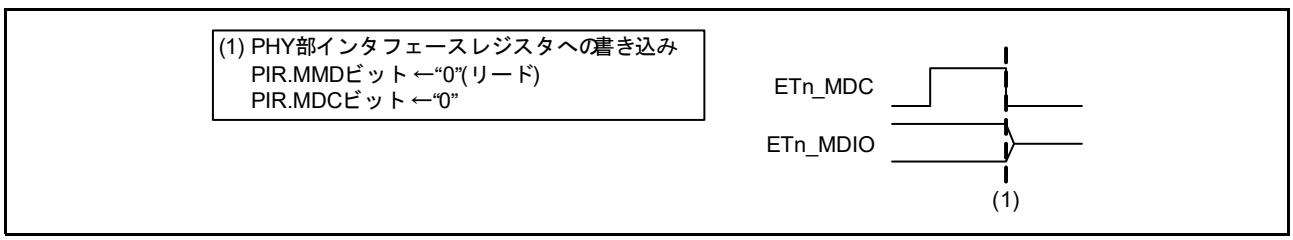


図 27.18　単独バス解放フロー (表 27.4 中のライト時の IDLE)

27.3.5　Magic Packet の検出

ETHERC は、Wake-On-LAN (WOL) に対応しています。これは、ホスト装置などから送出される Magic Packet を検出し、スリープモードなどの低消費電力状態から復帰する機能です。ETHERC は、Magic Packet を検出すると、ETn_WOL 端子から High を出力します。ETn_WOL 端子を Low にするには EDMACn.EDMR.SWR ビットに "1" を書いてください。

Magic Packet は、ブロードキャストで送信されるため、そのフォーマット内で指定された宛先 MAC アドレスにかかわらず受信されます。ETHERC はその宛先 MAC アドレスと自身の MAC アドレスが合致した場合のみ、ETn_WOL 端子から High を出力します。Magic Packet に関する詳細については、AMD 社の技術資料を参照してください。本 MCU での WOL の使用手順例を以下に示します。

(1) 割り込みコントローラを設定して EINTn 割り込み要求を禁止します
(2) ECMR.MPDE ビットを "1" にして、Magic Packet の検出を許可します。ECMR.RE ビットを "1" にして、受信を許可します
(3) ECSIPR.MPDIP ビットを "1" にして、Magic Packet 検出割り込みの通知を許可します
(4) EDMACn.EESIPR.ECIIP ビットを "1" にして、ETHERC ステータスレジスタ要因割り込みを許可します
(5) 割り込みコントローラを設定して EINTn 割り込み要求を許可します
(6) 必要に応じて、CPU の動作モードをスリープモードにするか、使用しない周辺機能をモジュールストップ状態にします
(7) Magic Packet を検出すると、CPU へ割り込みが要求されます。また、MCU 外部に対しては、ETn_WOL 端子から High を出力して、Magic Packet を検出したことを通知します

27.3.5.1　Magic Packet 検出時の注意事項

ETHERC は、Magic Packet の受信を待っているときも、ブロードキャストパケットなどを受信しています。そのため、Magic Packet を検出したとき、EDMAC の受信 FIFO には受信データが蓄積されている場合があります。同様に、ECSR レジスタや EDMACn.EESR レジスタの各フラグも、変化している場合があります。Magic Packet 検出により通常の動作に復帰する場合は、EDMACn.EDMR.SWR ビットを "1" にして、ETHERC と EDMAC の初期化を行ってください。

27.3.6　IPG の変更による伝送効率の調整

ETHERC は、送信フレーム間の無送信期間である IPG (Interpacket Gap) の値を変更することができます。IPGR レジスタの設定値を変更することで、伝送効率を標準値よりも上げたり下げたりすることが可能です。なお、IPG の標準値は IEEE802.3 で定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。

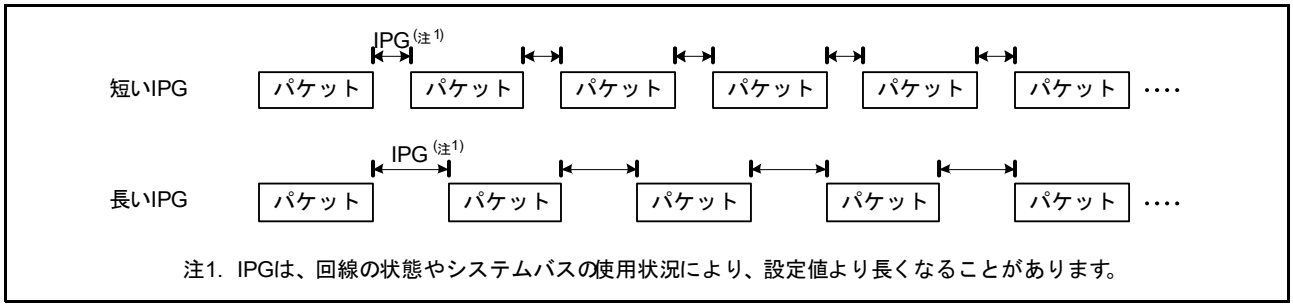


図 27.19　IPG の変更による伝送効率の違い

27.3.7　フロー制御

全二重通信モードで動作しているとき、ETHERC は、IEEE802.3x に準拠したフロー制御を行うことができ、受信側と送信側を個別に設定することができます。PAUSE フレームの送信方法には、自動送信と手動送信の 2 種類があります。

27.3.7.1　PAUSE フレームの自動送信

ECMR.TXF ビットを "1" にすると、PAUSE フレームの自動送信機能が有効になります。PAUSE フレームの送信は、EDMAC からの PAUSE フレーム送信要求によって、自動的に行われます。PAUSE フレームの pause_time パラメータには、APR.AP[15:0] ビットに設定した値が使用されます。

PAUSE フレームを送信した後、PAUSE 時間が経過した時点で、EDMAC からの PAUSE フレーム送信要求がなくなっていない場合は、再度 PAUSE フレームを送信します。PAUSE フレームの再送回数の上限は TPAUSER.TPAUSE[15:0] ビットで設定することができます。設定した回数に達した場合は、以降の PAUSE フレーム送信は行われません。

図 27.20 に PAUSE フレームの自動送信の設定手順例を示します。

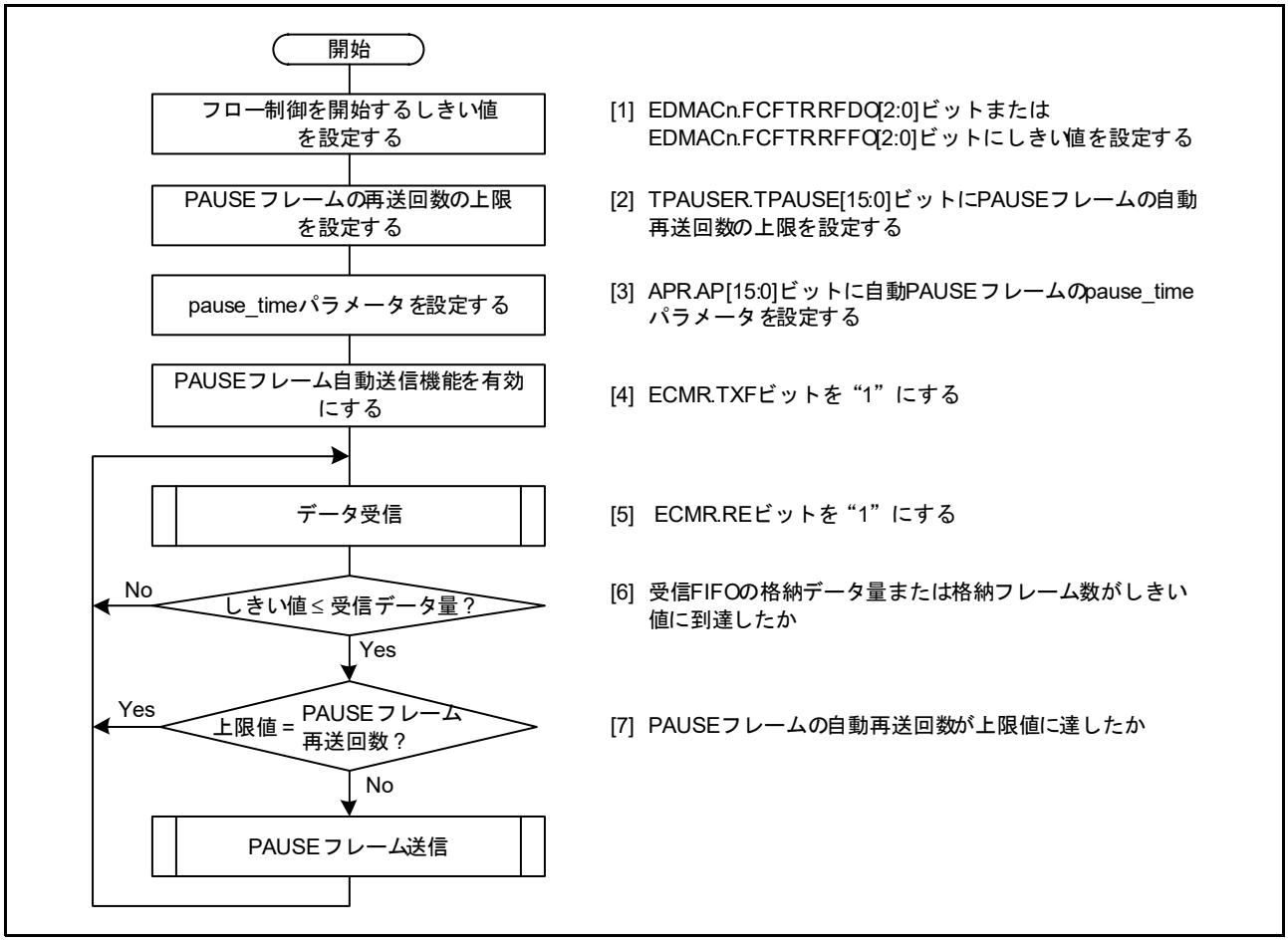


図 27.20　PAUSE フレーム自動送信の設定手順例

27.3.7.2　PAUSE フレームの手動送信

PAUSE フレームの手動送信は、任意のタイミングで行うことができます。ソフトウェアで MPR.MP[15:0] ビットに PAUSE フレームの pause_time パラメータを書き込むと、ETHERC は PAUSE フレームを 1 回送信します。PAUSE フレームの手動送信を複数回行う場合は、MPR.MP[15:0] ビットへの書き込みを複数回行ってください。

27.3.7.3　PAUSE フレームの受信

ECMR.RXF ビットを "1" にすると、PAUSE フレームの検出機能が有効になります。PAUSE フレームを受信すると、ETHERC は送信中のフレームを送信してから、受信した PAUSE フレームの PAUSE 時間が経過するまで次のフレームを送信しません。また、RFCF.RPAUSE[7:0] ビットをインクリメントします。

ECMR.ZPF ビットが "1" のときは、pause_time パラメータが "0" の PAUSE フレームを受信すると、送信待ちを解除します。

27.4　割り込み

ECSR レジスタの各フラグが "1" になったとき、ECSIPR レジスタの対応するビットが "1" であると、ETHERC は EDMAC に割り込み要因としてステータスを通知します。通知を受け取ると、EDMAC は EDMACn.EESR.ECI フラグを "1" にします。このとき、EDMACn.EESIPR.ECIIP ビットが "1" であると、EDMAC は EINTn 割り込みを CPU に要求します。

詳細は「29.　イーサネットコントローラ用 DMA コントローラ（EDMACa）」を参照してください。

27.5　使用上の注意事項

27.5.1　LCHNG フラグが "1" になる条件について

ETn_LINKSTA 端子の入力レベルが変化していない場合でも、ECSR.LCHNG フラグが "1" になる場合があります。汎用入出力ポートで端子機能を設定し、汎用入出力ポートに ETn_LINKSTA 信号を割り付けたときや、EDMACn.EDMR.SWR ビットによる ETHERC と EDMAC のソフトウェアリセットを解除したときに、ETn_LINKSTA 端子に High が入力されている場合です。これは、汎用入出力ポートで端子機能に ETn_LINKSTA 信号を割り付けていないときや、ETHERC と EDMAC のソフトウェアリセットを行っているときは、ETHERC 内部の ETn_LINKSTA 信号が、外部端子への入力レベルとは無関係に Low に固定されているからです。誤ってリンク信号変化割り込みを発生させないように、ECSR.LCHNG フラグをクリアしてから、ECSIPR.LCHNGIP ビットを "1" にしてください。

27.5.2　RMII 選択時の RMIIn_RX_ER 端子入力について

RMII 選択時、PHY-LSI から受け取る受信エラー信号の幅が REF50CKn クロック (50 MHz) の 1 サイクル分しかない場合、エラー信号として認識しません。

27.5.3　制御情報異常発生時の処理

EPTPC.BYPASS.BYPASSn ビットが “0” の場合、端数ビットフレームを受信したり、フレーム受信エラーが発生したりすると、EPTPCn.SYSR.INFABT フラグが “1” になる場合があります。この場合、EPTPC、PTPEDMAC、および該当するチャネルの ETHERC、EDMAC をリセットしてください。リセットの手順については、「27.5.5　イーサネットコントローラのリセット手順」を参照してください。

27.5.4　EPTPC 未使用時の注意事項

EPTPC を使用しない場合は、EPTPC.BYPASS レジスタの BYPASS0 ビット、BYPASS1 ビットを 1 に設定してください。

27.5.5　イーサネットコントローラのリセット手順

ETHERC、EPTPC、EDMAC をリセットする場合、以下の手順で実施してください。

(a)　EPTPC を使用していない場合

(1) 該当するチャネルの EDMACn.EDMR レジスタに “0000 0001h” (ETHERCn と EDMACn をリセット) を書く
(2) 初期化が完了するまで (Bφ 換算で 64 サイクル) 待つ

(b)　EPTPC を使用している場合

(1) EPTPC.PTRSTR レジスタに “0000 0001h” (EPTPC をリセット) を書く
(2) PTPEDMAC.EDMR レジスタに “0000 0001h” (PTPEDMAC をリセット) を書く
(3) 該当するチャネルの EDMACn.EDMR レジスタに “0000 0001h” (ETHERCn と EDMACn をリセット) を書く
(4) 初期化が完了するまで (Bφ 換算で 64 サイクル) 待つ
(5) EPTPC.PTRSTR レジスタに “0000 0000h” (EPTPC のリセットを解除) を書く
(6) EPTPC のリセットが解除されるまで (Bφ 換算で 256 サイクル) 待つ

28. イーサネットコントローラ用 PTP コントローラ（EPTPCa）

28.1 概要

本 MCU は、IEEE 1588-2008 (Version2) で規定された Precision Time Protocol (PTP) を用い、機器間の時刻同期を行うイーサネットコントローラ用 PTP コントローラ (EPTPC) を内蔵しています。EPTPC は、同期フレーム処理部 (SYNFP0, SYNFP1)、パケット中継部 (PRC-TC)、統計的クロック補正部 (STCA) で構成されています。

EPTPC は、イーサネットコントローラ (ETHERC) および PTP 用イーサネットコントローラ用 DMA コントローラ (PTPEDMAC) と合わせて使用してください。

表 28.1 に EPTPC の仕様を、**図 28.1** に EPTPC の構成を示します。

表28.1　EPTPCの仕様

項目	内容
プロトコル	IEEE 1588で規定されたPrecision Time Protocol (PTP) に準拠
同期フレーム処理部 (SYNFP0, SYNFP1)	• PTPメッセージをマスタまたはスレーブとして送受信可能 • 以下の4種類のクロックデバイスに対応 Ordinary Clock (OC) Boundary Clock (BC) End-to-End Transparent Clock (E2E TC) Peer-to-Peer Transparent Clock (P2P TC) • IEEE 1588で規定されたmeanPathDelay値およびoffsetFromMaster値を算出 • マスタクロックとして動作可能 • マルチキャストパケット受信時、MACアドレスによって、ハードウェアフィルタリングが可能 • PTPメッセージの種類によって、ハードウェアフィルタリングが可能 • PTPメッセージのフレームは、Layer4 (IPv4, UDP) およびLayer2 (イーサネットフレーム) に対応 • 時刻同期機能を使用しない場合、通常のEtherポートとして使用可能
パケット中継部 (PRC-TC)	• Etherポート0および1の間で、受信データの中継が可能 • Etherポート0および1に同じMACアドレスを設定した場合、双方のポートから、あるいは片方のポートのみからデータを送信することが可能 • パケットの中継方法は、ストア＆フォワード方式とカットスルー方式から選択
統計的クロック補正部 (STCA)	• 統計的クロック補正部への供給クロックは、20, 25, 50 MHzから選択 クロックソースは、外部クロックETn_SCLKIN (20,25,50 MHz)、REF50CKn (50 MHz)、ETn_RX_CLK (25 MHz)が選択可能です。 ただし、ETn_RX_CLK選択時は、ETn_RX_CLKが25 MHzに固定 (100 Mbps固定）されている必要があります。 • スレーブ動作時、取得したoffsetFromMaster値と、事前に指定したしきい値により、同期状態を把握することが可能。また、プラスおよびマイナス方向の傾き値を収集し、その統計からしきい値を指定することが可能（ワースト10値取得機能） • マスタクロックより取得および補正した時刻情報を、自身の時刻情報としてローカルクロックカウンタに保持 • STCAクロックをクロックソースとするパルス出力タイマmからパルスを生成可能（m = 0 ~ 5）
割り込み要因	MINT割り込み • 各モジュールのステータス変化が変化したときに要求 • それぞれのパルス出力タイマが生成するパルスの立ち上がりエッジで要求 IPLS割り込み • 事前に選択したパルス出力タイマグループが生成するパルスの立ち上がりあるいは立ち下がりエッジで要求 • エッジごと、あるいは1回のみ要求することが可能

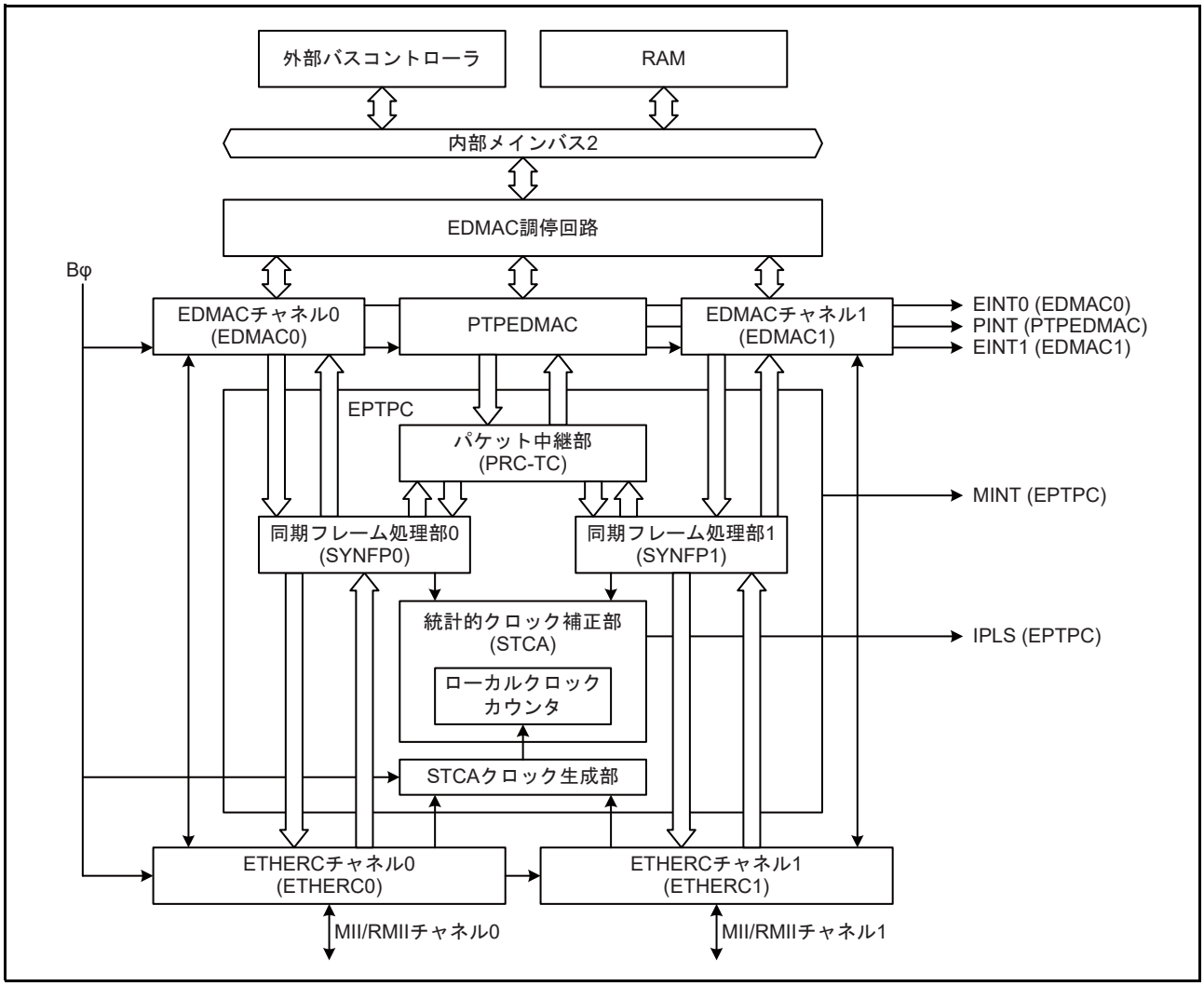


図 28.1　　EPTPC の構成

本章では、複数のチャネルが存在するモジュールの全体を指すとき、チャネルを省略することがあります。省略されたチャネルの表記方法の一覧を**表 28.2** に示します。

表28.2　　省略された表記の一覧

モジュール名	チャネル	意味
SYNFPnモジュール	n = 0, 1	同期フレーム処理部0および1 (SYNFP0, SYNFP1)
パルス出力タイマm	m = 0 ~ 5	パルス出力タイマのチャネル0 ~ 5

28.1.1　クロックデバイスと Ether ポートの組み合わせ

EPTPC は、Ordinary Clock (OC)、Boundary Clock (BC) および Transparent Clock (TC) の 3 種類 のクロックデバイスをサポートしています。また、各クロックデバイスは、End-to-End (E2E) 動作と Peer-to-Peer (P2P) 動作をサポートしています。

表 28.3 にクロックデバイスと、Ether ポート 0 および Ether ポート 1 との組み合わせを示します。

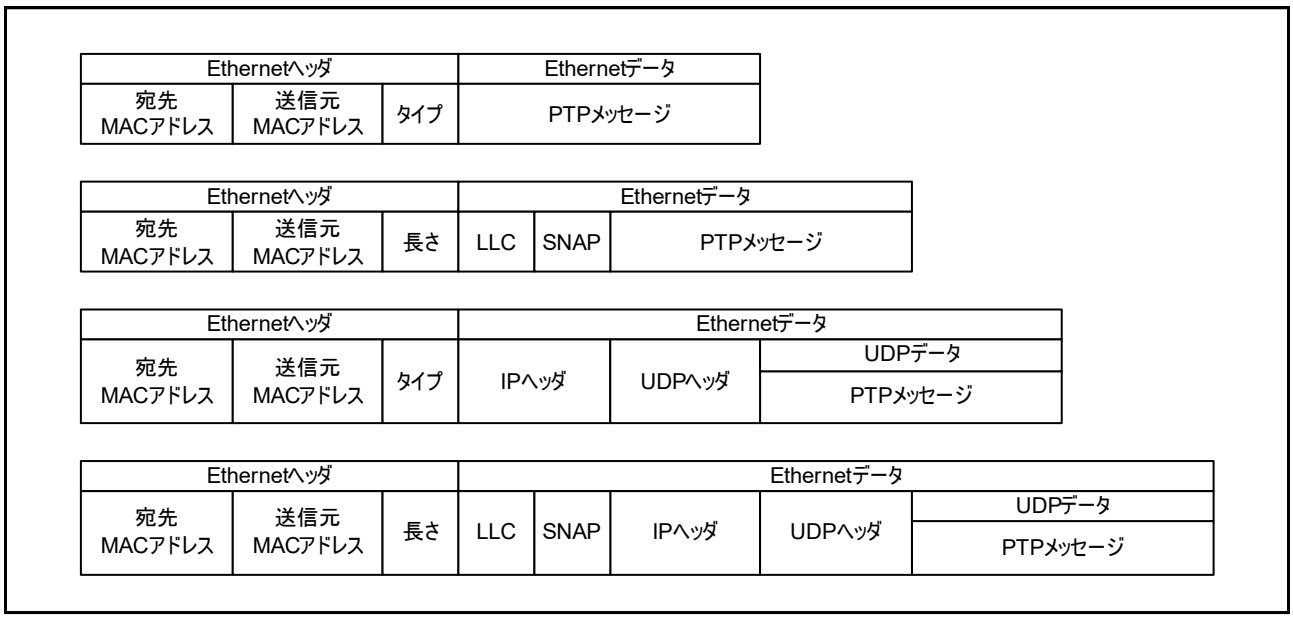
表28.3　デバイスタイプの組み合わせ

クロックデバイス	Etherポート0		Etherポート1	
EPTPCによる制御なし	PTP制御非対応			
Etherポート0のみEPTPC動作のOrdinary Clock (OC)	マスタ	End-to-end (E2E)	PTP制御非対応	
		Peer-to-peer (P2P)		
	スレーブ	E2E		
		P2P		
Etherポート1のみEPTPC動作のOrdinary Clock (OC)	PTP制御非対応		マスタ	E2E
				P2P
			スレーブ	E2E
				P2P
Boundary Clock (BC)	マスタ	E2E	マスタ	E2E
		E2E		P2P
		P2P		E2E
		P2P		P2P
	マスタ	E2E	スレーブ	E2E
		E2E		P2P
		P2P		E2E
		P2P		P2P
	スレーブ	E2E	マスタ	E2E
		E2E		P2P
		P2P		E2E
		P2P		P2P
Transparent Clock (TC)	E2E TC			
	P2P TC			

28.1.2　PTP メッセージのフレームフォーマット

PTP メッセージのフレームフォーマットは、SYFORMR.FORM0 ビットおよび FORM1 ビットにより、4 種類から選択できます。

EPTPC が送受信する PTP メッセージのフォーマットの一覧を図 28.2 に示します。



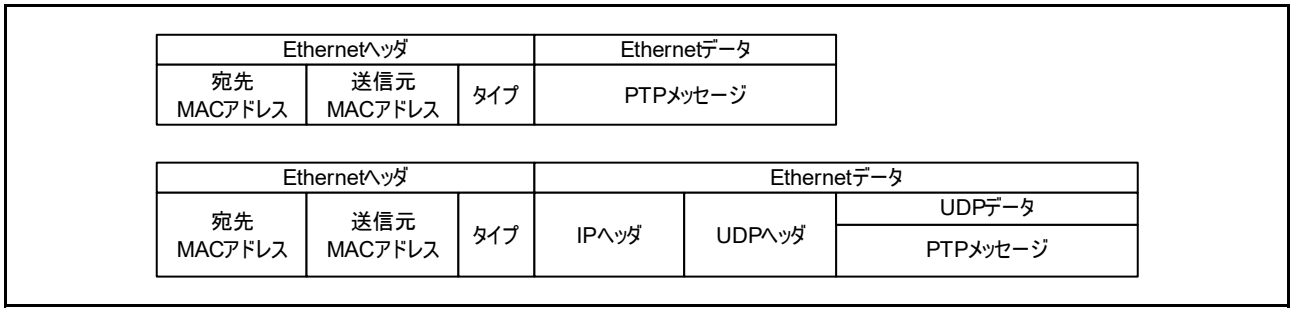


図 28.2　PTP メッセージのフレームフォーマット

EPTPC は、PTP メッセージを送信することができます。PTP メッセージを送信する際、宛先に指定する MAC アドレスや IP アドレスは、送信する PTP メッセージの種類により、通常は、IEEE 1588 で規定されたマルチキャストアドレスを指定します。

また、UDP を用いて PTP メッセージをカプセル化する場合に使用するポート番号も IEEE 1588 で規定されており、PTP メッセージの種類により指定する必要があります。PTP メッセージのイーサフレームフォーマットと指定する情報の一覧を表 28.4 に示します。

表28.4　マルチキャスト時のPTPメッセージの種類とイーサフレームフォーマットに指定する情報の一覧

PTPメッセージの種類			IEEE802.3フレームフォーマット (SYFORMR.FORM0ビット = “1”)		Ethernet IIフレームフォーマット (SYFORMR.FORM0ビット = “0”)		UDP ポート番号 (注1)
			MACアドレス	IPアドレス (IPv4)	MACアドレス	EtherType	
PTP-primary	Event Messages	Sync	01-00-5E-00-01-81	224.0.1.129	01-1B-19-00-00-00	88F7h	319
		Delay_Req					
PTP-pdelay		Pdelay_Req	01-00-5E-00-00-6B	224.0.0.107	01-80-C2-00-00-0E		
		Pdelay_Resp					
	General Messages	Pdelay_Resp_Follow_Up					320
PTP-primary		Announce	01-00-5E-00-01-81	224.0.1.129	01-1B-19-00-00-00		
		Follow_Up					
		Delay_Resp					
		Signaling					
		Management					

注1.　UDPでPTPメッセージをカプセル化する場合(SYFORMR.FORM1ビット = “1”)のみ指定する必要があります。

28.1.3　PTP メッセージの種類と処理内容

EPTPC が受信する PTP メッセージとその処理内容を**表 28.5** に、EPTPC が送信する PTP メッセージとその処理内容を**表 28.6** に示します。

表 28.5　EPTPC が受信する PTP メッセージの一覧

メッセージタイプ	メッセージ	処理内容
Event	Sync	flagField の twoStepFlag が FALSE である場合、offsetFromMaster 値を算出します
	Delay_Req	Delay_Resp の応答を行います
	Pdelay_Req	Pdelay_Resp の応答を行います
	Pdelay_Resp	flagField の twoStepFlag が FALSE の場合、meanPathDelay 値を算出します
General	Announce	—
	Follow_Up	先に受信した Sync メッセージの flagField の twoStepFlag が TRUE でかつ、meanPathDelay 値が確定している場合、offsetFromMaster 値の算出を行います
	Delay_Resp	meanPathDelay 値を算出します
	Pdelay_Resp_Follow_Up	先に受信した Pdelay_Resp メッセージの flagField の twoStepFlag が TRUE である場合、meanPathDelay 値を算出します
	Management	—
	Signaling	—

表 28.6　EPTPC が送信する PTP メッセージの一覧

メッセージタイプ	メッセージ	処理内容
Event	Sync	SYTLIR.SYNC[7:0] ビットで指定された間隔で定周期送信を行います
	Delay_Req	0 から SYTLIR.DREQ[7:0] ビットで指定された 2 倍の時間の間で生成された乱数値をインターバル時間として、送信を行います
	Pdelay_Req	SYTLIR.DREQ[7:0] ビットで指定された間隔で定周期送信を行います
	Pdelay_Resp	Pdelay_Req に対する応答送信を行います
General	Announce	SYTLIR.ANCE[7:0] ビットで指定された間隔で定周期送信を行います
	Follow_Up	—
	Delay_Resp	Delay_Req に対する応答送信を行います
	Pdelay_Resp_Follow_Up	—
	Management	—
	Signaling	—

28.2 レジスタの説明

表 28.7 にレジスタ構成を示します。

表28.7　イーサネットコントローラ用PTPコントローラレジスタ構成

モジュール	レジスタ名	略称	アドレス	アクセスサイズ
EPTPC	PTPリセットレジスタ	PTRSTR	E820 4500h	32
	STCAクロック選択レジスタ	STCSELR	E820 4504h	32
	1588モジュールバイパスレジスタ	BYPASS	E820 4508h	32
	MINT割り込み要因ステータスレジスタ	MIESR	E820 5000h	32
	MINT割り込み要求許可レジスタ	MIEIPR	E820 5004h	32
	IPLS割り込み要求許可レジスタ	ELIPPR	E820 5010h	32
	IPLS割り込み許可自動クリア設定レジスタ	ELIPACR	E820 5014h	32
	STCAステータスレジスタ	STSR	E820 5040h	32
	STCAステータス通知許可レジスタ	STIPR	E820 5044h	32
	STCAクロック周波数設定レジスタ	STCFR	E820 5050h	32
	STCA動作モードレジスタ	STMR	E820 5054h	32
	Syncメッセージ受信タイムアウトレジスタ	SYNTOR	E820 5058h	32
	IPLS割り込み要求タイマ選択レジスタ	IPTSELR	E820 5060h	32
	MINT割り込み要求タイマ選択レジスタ	MITSELR	E820 5064h	32
	時刻同期チャネル選択レジスタ	STCHSELR	E820 506Ch	32
	スレーブ時刻同期スタートレジスタ	SYNSTARTR	E820 5080h	32
	ローカルクロックカウンタ初期値ロード指示レジスタ	LCIVLDR	E820 5084h	32
	同期外れ検出しきい値レジスタ	SYNTDARU	E820 5090h	32
	同期外れ検出しきい値レジスタ	SYNTDARL	E820 5094h	32
	同期検出しきい値レジスタ	SYNTDBRU	E820 5098h	32
	同期検出しきい値レジスタ	SYNTDBRL	E820 509Ch	32
	ローカルクロックカウンタ初期値レジスタ	LCIVRU	E820 50B0h	32
	ローカルクロックカウンタ初期値レジスタ	LCIVRM	E820 50B4h	32
	ローカルクロックカウンタ初期値レジスタ	LCIVRL	E820 50B8h	32
	ワースト10値取得指示レジスタ	GETW10R	E820 5124h	32
	プラス側傾き制限値レジスタ	PLIMITRU	E820 5128h	32
	プラス側傾き制限値レジスタ	PLIMITRM	E820 512Ch	32
	プラス側傾き制限値レジスタ	PLIMITRL	E820 5130h	32
	マイナス側傾き制限値レジスタ	MLIMITRU	E820 5134h	32
	マイナス側傾き制限値レジスタ	MLIMITRM	E820 5138h	32
	マイナス側傾き制限値レジスタ	MLIMITRL	E820 513Ch	32
	統計情報保持制御レジスタ	GETINFOR	E820 5140h	32
	ローカルクロックカウンタ	LCCVRU	E820 5170h	32
	ローカルクロックカウンタ	LCCVRM	E820 5174h	32
	ローカルクロックカウンタ	LCCVRL	E820 5178h	32
	プラス側傾きワースト10値レジスタ	PW10VRU	E820 5210h	32
	プラス側傾きワースト10値レジスタ	PW10VRM	E820 5214h	32
	プラス側傾きワースト10値レジスタ	PW10VRL	E820 5218h	32
	マイナス側傾きワースト10値レジスタ	MW10RU	E820 52D0h	32
	マイナス側傾きワースト10値レジスタ	MW10RM	E820 52D4h	32
	マイナス側傾きワースト10値レジスタ	MW10RL	E820 52D8h	32
	タイマスタート時刻設定レジスタ	TMSTTRU0	E820 5300h	32

モジュール	レジスタ名	略称	アドレス	アクセスサイズ
EPTPC	タイマスタート時刻設定レジスタ	TMSTTRL0	E820 5304h	32
	タイマ周期設定レジスタ0	TMCYCR0	E820 5308h	32
	タイマパルス幅設定レジスタ0	TMPLSR0	E820 530Ch	32
	タイマスタート時刻設定レジスタ	TMSTTRU1	E820 5310h	32
	タイマスタート時刻設定レジスタ	TMSTTRL1	E820 5314h	32
	タイマ周期設定レジスタ1	TMCYCR1	E820 5318h	32
	タイマパルス幅設定レジスタ1	TMPLSR1	E820 531Ch	32
	タイマスタート時刻設定レジスタ	TMSTTRU2	E820 5320h	32
	タイマスタート時刻設定レジスタ	TMSTTRL2	E820 5324h	32
	タイマ周期設定レジスタ2	TMCYCR2	E820 5328h	32
	タイマパルス幅設定レジスタ2	TMPLSR2	E820 532Ch	32
	タイマスタート時刻設定レジスタ	TMSTTRU3	E820 5330h	32
	タイマスタート時刻設定レジスタ	TMSTTRL3	E820 5334h	32
	タイマ周期設定レジスタ3	TMCYCR3	E820 5338h	32
	タイマパルス幅設定レジスタ3	TMPLSR3	E820 533Ch	32
	タイマスタート時刻設定レジスタ	TMSTTRU4	E820 5340h	32
	タイマスタート時刻設定レジスタ	TMSTTRL4	E820 5344h	32
	タイマ周期設定レジスタ4	TMCYCR4	E820 5348h	32
	タイマパルス幅設定レジスタ4	TMPLSR4	E820 534Ch	32
	タイマスタート時刻設定レジスタ	TMSTTRU5	E820 5350h	32
	タイマスタート時刻設定レジスタ	TMSTTRL5	E820 5354h	32
	タイマ周期設定レジスタ5	TMCYCR5	E820 5358h	32
	タイマパルス幅設定レジスタ5	TMPLSR5	E820 535Ch	32
	タイマスタートレジスタ	TMSTARTR	E820 537Ch	32
	PRC-TC ステータスレジスタ	PRSR	E820 5400h	32
	PRC-TC ステータス通知許可レジスタ	PRIPR	E820 5404h	32
	チャネル0自局MACアドレスレジスタ	PRMACRU0	E820 5410h	32
	チャネル0自局MACアドレスレジスタ	PRMACRL0	E820 5414h	32
	チャネル1自局MACアドレスレジスタ	PRMACRU1	E820 5418h	32
	チャネル1自局MACアドレスレジスタ	PRMACRL1	E820 541Ch	32
	パケット送信抑止制御レジスタ	TRNDISR	E820 5420h	32
	中継モードレジスタ	TRNMR	E820 5430h	32
	カットスルー転送開始しきい値レジスタ	TRNCTTDR	E820 5434h	32
EPTPC0	SYNFPステータスレジスタ	SYSR	E820 5800h	32
	SYNFPステータス通知許可レジスタ	SYIPR	E820 5804h	32
	SYNFP MACアドレスレジスタ	SYMACRU	E820 5810h	32
	SYNFP MACアドレスレジスタ	SYMACRL	E820 5814h	32
	SYNFP LLC-CTL値レジスタ	SYLLCCTLR	E820 5818h	32
	SYNFP自局IPアドレスレジスタ	SYIPADDRR	E820 581Ch	32
	SYNFP仕様・バージョン設定レジスタ	SYSPVRR	E820 5840h	32
	SYNFPドメイン番号設定レジスタ	SYDOMR	E820 5844h	32
	アナウンスメッセージフラグフィールド設定レジスタ	ANFR	E820 5850h	32
	Syncメッセージフラグフィールド設定レジスタ	SYNFR	E820 5854h	32
	Delay_Reqメッセージフラグフィールド設定レジスタ	DYRQFR	E820 5858h	32
	Delay_Respメッセージフラグフィールド設定レジスタ	DYRPFR	E820 585Ch	32
	SYNFP自局クロックIDレジスタ	SYCIDRL	E820 5860h	32

モジュール	レジスタ名	略称	アドレス	アクセスサイズ
EPTPC0	SYNFP自局クロックIDレジスタ	SYCIDRU	E820 5864h	32
	SYNFP自局ポート番号レジスタ	SYPNUMR	E820 5868h	32
	SYNFPレジスタ値ロード指示レジスタ	SYRVLDR	E820 5880h	32
	SYNFP受信フィルタレジスタ1	SYRFL1R	E820 5890h	32
	SYNFP受信フィルタレジスタ2	SYRFL2R	E820 5894h	32
	SYNFP送信許可レジスタ	SYTRENR	E820 5898h	32
	マスタクロックIDレジスタ	MTCIDL	E820 58A0h	32
	マスタクロックIDレジスタ	MTCIDU	E820 58A4h	32
	マスタクロックポート番号レジスタ	MTPID	E820 58A8h	32
	SYNFP送信間隔設定レジスタ	SYTLIR	E820 58C0h	32
	SYNFP受信logMessageIntervel値表示レジスタ	SYRLIR	E820 58C4h	32
	offsetFromMaster値レジスタ	OFMRL	E820 58C8h	32
	offsetFromMaster値レジスタ	OFMRU	E820 58CCh	32
	meanPathDelay値レジスタ	MPDRU	E820 58D0h	32
	meanPathDelay値レジスタ	MPDRL	E820 58D4h	32
	grandmasterPriorityフィールド設定レジスタ	GMPR	E820 58E0h	32
	grandmasterClockQualityフィールド設定レジスタ	GMCQR	E820 58E4h	32
	grandmasterIdentityフィールド設定レジスタ	GMIDRU	E820 58E8h	32
	grandmasterIdentityフィールド設定レジスタ	GMIDRL	E820 58ECh	32
	currentUtcOffset/timeSourceフィールド設定レジスタ	CUOTSR	E820 58F0h	32
	stepsRemovedフィールド設定レジスタ	SRR	E820 58F4h	32
	PTP-primaryメッセージ用宛先MACアドレス設定レジスタ	PPMACRU	E820 5900h	32
	PTP-primaryメッセージ用宛先MACアドレス設定レジスタ	PPMACRL	E820 5904h	32
	PTP-pdelayメッセージ用MACアドレス設定レジスタ	PDMACRU	E820 5908h	32
	PTP-pdelayメッセージ用MACアドレス設定レジスタ	PDMACRL	E820 590Ch	32
	PTPメッセージEtherType設定レジスタ	PETYPER	E820 5910h	32
	PTP-primaryメッセージ用宛先IPアドレス設定レジスタ	PPIPR	E820 5920h	32
	PTP-pdelayメッセージ用宛先IPアドレス設定レジスタ	PDIPR	E820 5924h	32
	PTPeventメッセージ用TOS設定レジスタ	PETOSR	E820 5928h	32
	PTPgeneralメッセージ用TOS設定レジスタ	PGTOSR	E820 592Ch	32
	PTP-primaryメッセージ用TTL設定レジスタ	PPTTLR	E820 5930h	32
	PTP-pdelayメッセージ用TTL設定レジスタ	PDTTLR	E820 5934h	32
	PTPeventメッセージ用UDP宛先ポート番号設定レジスタ	PEUDPR	E820 5938h	32
	PTPgeneralメッセージ用UDP宛先ポート番号設定レジスタ	PGUDPR	E820 593Ch	32
	フレーム受信フィルタ設定レジスタ	FFLTR	E820 5940h	32
	フレーム受信フィルタ用MACアドレス0設定レジスタ	FMAC0RU	E820 5960h	32
	フレーム受信フィルタ用MACアドレス0設定レジスタ	FMAC0RL	E820 5964h	32
	フレーム受信フィルタ用MACアドレス1設定レジスタ	FMAC1RU	E820 5968h	32
	フレーム受信フィルタ用MACアドレス1設定レジスタ	FMAC1RL	E820 596Ch	32
	非対称遅延値設定レジスタ	DASYMRU	E820 59C0h	32
	非対称遅延値設定レジスタ	DASYMRL	E820 59C4h	32
	タイムスタンプ遅延値設定レジスタ	TSLATR	E820 59C8h	32
	SYNFP動作設定レジスタ	SYCONFR	E820 59CCh	32
	SYNFPフレームフォーマット設定レジスタ	SYFORMR	E820 59D0h	32
	レスポンスメッセージ受信タイムアウトレジスタ	RSTOUTR	E820 59D4h	32

モジュール	レジスタ名	略称	アドレス	アクセスサイズ
EPTPC1	SYNFPステータスレジスタ	SYSR	E820 5C00h	32
	SYNFPステータス通知許可レジスタ	SYIPR	E820 5C04h	32
	SYNFP MACアドレスレジスタ	SYMACRU	E820 5C10h	32
	SYNFP MACアドレスレジスタ	SYMACRL	E820 5C14h	32
	SYNFP LLC-CTL値レジスタ	SYLLCCTLR	E820 5C18h	32
	SYNFP自局IPアドレスレジスタ	SYIPADDRR	E820 5C1Ch	32
	SYNFP仕様・バージョン設定レジスタ	SYSPVRR	E820 5C40h	32
	SYNFPドメイン番号設定レジスタ	SYDOMR	E820 5C44h	32
	アナウンスメッセージフラグフィールド設定レジスタ	ANFR	E820 5C50h	32
	Syncメッセージフラグフィールド設定レジスタ	SYNFR	E820 5C54h	32
	Delay_Reqメッセージフラグフィールド設定レジスタ	DYRQFR	E820 5C58h	32
	Delay_Respメッセージフラグフィールド設定レジスタ	DYRPFR	E820 5C5Ch	32
	SYNFP自局クロックIDレジスタ	SYCIDRL	E820 5C60h	32
	SYNFP自局クロックIDレジスタ	SYCIDRU	E820 5C64h	32
	SYNFP自局ポート番号レジスタ	SYPNUMR	E820 5C68h	32
	SYNFPレジスタ値ロード指示レジスタ	SYRVLDR	E820 5C80h	32
	SYNFP受信フィルタレジスタ1	SYRFL1R	E820 5C90h	32
	SYNFP受信フィルタレジスタ2	SYRFL2R	E820 5C94h	32
	SYNFP送信許可レジスタ	SYTRENR	E820 5C98h	32
	マスタクロックIDレジスタ	MTCIDL	E820 5CA0h	32
	マスタクロックIDレジスタ	MTCIDU	E820 5CA4h	32
	マスタクロックポート番号レジスタ	MTPID	E820 5CA8h	32
	SYNFP送信間隔設定レジスタ	SYTLIR	E820 5CC0h	32
	SYNFP受信logMessageIntervel値表示レジスタ	SYRLIR	E820 5CC4h	32
	offsetFromMaster値レジスタ	OFMRL	E820 5CC8h	32
	offsetFromMaster値レジスタ	OFMRU	E820 5CCCh	32
	meanPathDelay値レジスタ	MPDRU	E820 5CD0h	32
	meanPathDelay値レジスタ	MPDRL	E820 5CD4h	32
	grandmasterPriorityフィールド設定レジスタ	GMPR	E820 5CE0h	32
	grandmasterClockQualityフィールド設定レジスタ	GMCQR	E820 5CE4h	32
	grandmasterIdentityフィールド設定レジスタ	GMIDRU	E820 5CE8h	32
	grandmasterIdentityフィールド設定レジスタ	GMIDRL	E820 5CECh	32
	currentUtcOffset/timeSourceフィールド設定レジスタ	CUOTSR	E820 5CF0h	32
	stepsRemovedフィールド設定レジスタ	SRR	E820 5CF4h	32
	PTP-primaryメッセージ用宛先MACアドレス設定レジスタ	PPMACRU	E820 5D00h	32
	PTP-primaryメッセージ用宛先MACアドレス設定レジスタ	PPMACRL	E820 5D04h	32
	PTP-pdelayメッセージ用MACアドレス設定レジスタ	PDMACRU	E820 5D08h	32
	PTP-pdelayメッセージ用MACアドレス設定レジスタ	PDMACRL	E820 5D0Ch	32
	PTPメッセージEtherType設定レジスタ	PETYPER	E820 5D10h	32
	PTP-primaryメッセージ用宛先IPアドレス設定レジスタ	PPIPR	E820 5D20h	32
	PTP-pdelayメッセージ用宛先IPアドレス設定レジスタ	PDIPR	E820 5D24h	32
	PTP eventメッセージ用TOS設定レジスタ	PETOSR	E820 5D28h	32
	PTPgeneralメッセージ用TOS設定レジスタ	PGTOSR	E820 5D2Ch	32
	PTP-primaryメッセージ用TTL設定レジスタ	PPTTLR	E820 5D30h	32
	PTP-pdelayメッセージ用TTL設定レジスタ	PDTTLR	E820 5D34h	32
	PTPeventメッセージ用UDP宛先ポート番号設定レジスタ	PEUDPR	E820 5D38h	32

モジュール	レジスタ名	略称	アドレス	アクセスサイズ
EPTPC1	PTPgeneralメッセージ用UDP宛先ポート番号設定レジスタ	PGUDPR	E820 5D3Ch	32
	フレーム受信フィルタ設定レジスタ	FFLTR	E820 5D40h	32
	フレーム受信フィルタ用MACアドレス0 設定レジスタ	FMAC0RU	E820 5D60h	32
	フレーム受信フィルタ用MACアドレス0 設定レジスタ	FMAC0RL	E820 5D64h	32
	フレーム受信フィルタ用MACアドレス1設定レジスタ	FMAC1RU	E820 5D68h	32
	フレーム受信フィルタ用MACアドレス1設定レジスタ	FMAC1RL	E820 5D6Ch	32
	非対称遅延値設定レジスタ	DASYMRU	E820 5DC0h	32
	非対称遅延値設定レジスタ	DASYMRL	E820 5DC4h	32
	タイムスタンプ遅延値設定レジスタ	TSLATR	E820 5DC8h	32
	SYNFP動作設定レジスタ	SYCONFR	E820 5DCCh	32
	SYNFPフレームフォーマット設定レジスタ	SYFORMR	E820 5DD0h	32
	レスポンスメッセージ受信タイムアウトレジスタ	RSTOUTR	E820 5DD4h	32

28.2.1　MINT 割り込み要因ステータスレジスタ (MIESR)

アドレス： EPTPC.MIESR E820 5000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PRC	SY1	SY0	ST
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ST	STCAステータスフラグ	0：STCAモジュールのステータスに変化なし 1：STCAモジュールのステータスに変化あり	R
b1	SY0	SYNFP0ステータスフラグ	0：SYNFP0モジュールのステータスに変化なし 1：SYNFP0モジュールのステータスに変化あり	R
b2	SY1	SYNFP1ステータスフラグ	0：SYNFP1モジュールのステータスに変化なし 1：SYNFP1モジュールのステータスに変化あり	R
b3	PRC	PRC-TCステータスフラグ	0：PRC-TCモジュールのステータスに変化なし 1：PRC-TCモジュールのステータスに変化あり	R
b15～b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	CYC0	パルス出力タイマ0立ち上がりエッジ検出フラグ	0：パルス出力タイマ0の周期パルスの立ち上がりエッジ検出なし 1：パルス出力タイマ0の周期パルスの立ち上がりエッジ検出あり	R/W (注1)
b17	CYC1	パルス出力タイマ1立ち上がりエッジ検出フラグ	0：パルス出力タイマ1の周期パルスの立ち上がりエッジ検出なし 1：パルス出力タイマ1の周期パルスの立ち上がりエッジ検出あり	R/W (注1)
b18	CYC2	パルス出力タイマ2立ち上がりエッジ検出フラグ	0：パルス出力タイマ2の周期パルスの立ち上がりエッジ検出なし 1：パルス出力タイマ2の周期パルスの立ち上がりエッジ検出あり	R/W (注1)
b19	CYC3	パルス出力タイマ3立ち上がりエッジ検出フラグ	0：パルス出力タイマ3の周期パルスの立ち上がりエッジ検出なし 1：パルス出力タイマ3の周期パルスの立ち上がりエッジ検出あり	R/W (注1)
b20	CYC4	パルス出力タイマ4立ち上がりエッジ検出フラグ	0：パルス出力タイマ4の周期パルスの立ち上がりエッジ検出なし 1：パルス出力タイマ4の周期パルスの立ち上がりエッジ検出あり	R/W (注1)
b21	CYC5	パルス出力タイマ5立ち上がりエッジ検出フラグ	0：パルス出力タイマ5の周期パルスの立ち上がりエッジ検出なし 1：パルス出力タイマ5の周期パルスの立ち上がりエッジ検出あり	R/W (注1)
b31～b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　"1"を書くとフラグが"0"になります。"0"を書いてもフラグの値は変化しません。

MIESR レジスタは、MINT 割り込みの要因となる、STCA、SYNFPn、PRC-TC モジュールのステータスの変化、およびパルス出力タイマ m の立ち上がりエッジ検出の有無を表示するレジスタです。

MINT 割り込みについては「28.4　割り込み」を参照してください。

28.2.2　MINT 割り込み要求許可レジスタ (MIEIPR)

アドレス： EPTPC.MIEIPR E820 5004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	CYCP5	CYCP4	CYCP3	CYCP2	CYCP1	CYCP0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PR	SY1	SY0	ST
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ST	STCAステータス割り込み要求許可ビット	0：STCAステータスフラグによるMINT割り込み要求を禁止 1：STCAステータスフラグによるMINT割り込み要求を許可	R/W
b1	SY0	SYNFP0ステータス割り込み要求許可ビット	0：SYNFP0ステータスフラグによるMINT割り込み要求を禁止 1：SYNFP0ステータスフラグによるMINT割り込み要求を許可	R/W
b2	SY1	SYNFP1ステータス割り込み要求許可ビット	0：SYNFP1ステータスフラグによるMINT割り込み要求を禁止 1：SYNFP1ステータスフラグによるMINT割り込み要求を許可	R/W
b3	PRC	PRC-TCステータス割り込み要求許可ビット	0：PRC-TCステータスフラグによるMINT割り込み要求を禁止 1：PRC-TCステータスフラグによるMINT割り込み要求を許可	R/W
b15～b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	CYC0	パルス出力タイマ0立ち上がりエッジ検出割り込み要求許可ビット	0：パルス出力タイマ0立ち上がりエッジ検出によるMINT割り込み要求を禁止 1：パルス出力タイマ0立ち上がりエッジ検出によるMINT割り込み要求を許可	R/W
b17	CYC1	パルス出力タイマ1立ち上がりエッジ検出割り込み要求許可ビット	0：パルス出力タイマ1立ち上がりエッジ検出によるMINT割り込み要求を禁止 1：パルス出力タイマ1立ち上がりエッジ検出によるMINT割り込み要求を許可	R/W
b18	CYC2	パルス出力タイマ2立ち上がりエッジ検出割り込み要求許可ビット	0：パルス出力タイマ2立ち上がりエッジ検出によるMINT割り込み要求を禁止 1：パルス出力タイマ2立ち上がりエッジ検出によるMINT割り込み要求を許可	R/W
b19	CYC3	パルス出力タイマ3立ち上がりエッジ検出割り込み要求許可ビット	0：パルス出力タイマ3立ち上がりエッジ検出によるMINT割り込み要求を禁止 1：パルス出力タイマ3立ち上がりエッジ検出によるMINT割り込み要求を許可	R/W
b20	CYC4	パルス出力タイマ4立ち上がりエッジ検出割り込み要求許可ビット	0：パルス出力タイマ4立ち上がりエッジ検出によるMINT割り込み要求を禁止 1：パルス出力タイマ4立ち上がりエッジ検出によるMINT割り込み要求を許可	R/W
b21	CYC5	パルス出力タイマ5立ち上がりエッジ検出割り込み要求許可ビット	0：パルス出力タイマ5立ち上がりエッジ検出によるMINT割り込み要求を禁止 1：パルス出力タイマ5立ち上がりエッジ検出によるMINT割り込み要求を許可	R/W
b31～b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

MIEIPR レジスタは、MINT 割り込みの要因が発生したとき、MINT 割り込み要求を禁止または許可するレジスタです。

28.2.3　IPLS 割り込み要求許可レジスタ (ELIPPR)

アドレス： EPTPC.ELIPPR E820 5010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	PLSN	—	—	—	—	—	—	—	PLSP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b5～b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b7、b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b13～b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b15、b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	PLSP	パルス出力タイマ立ち上がりエッジ検出IPLS割り込み要求許可ビット	0：選択したパルス出力タイマの立ち上がりエッジによるIPLS割り込み要求を禁止 1：選択したパルス出力タイマの立ち上がりエッジによるIPLS割り込み要求を許可	R/W
b23～b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	PLSN	パルス出力タイマ立ち下がりエッジ検出IPLS割り込み要求許可ビット	0：選択したパルス出力タイマの立ち下がりエッジによるIPLS割り込み要求を禁止 1：選択したパルス出力タイマの立ち下がりエッジによるIPLS割り込み要求を許可	R/W
b31～b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

IPTSELR レジスタで選択したパルス出力タイマの立ち上がりエッジ、あるいは立ち下がりエッジによるIPLS 割り込みを禁止または許可します。

ELIPACR レジスタにより、IPLS 割り込みの要求を 1 回だけとすることもできます。

IPLS 割り込みについては「28.4　割り込み」を参照してください。

28.2.4　IPLS 割り込み許可自動クリア設定レジスタ (ELIPACR)

アドレス： EPTPC.ELIPACR E820 5014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	PLSN	—	—	—	—	—	—	—	PLSP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	PLSP	ELIPPR.PLSPビット自動クリア許可ビット	0：パルス出力タイマ立ち上がりエッジ検出IPLS割り込み要求許可の自動クリアモード無効 1：パルス出力タイマ立ち上がりエッジ検出IPLS割り込み要求許可の自動クリアモード有効	R/W
b23～b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	PLSN	ELIPPR.PLSNビット自動クリア許可ビット	0：パルス出力タイマ立ち下がりエッジ検出IPLS割り込み要求許可の自動クリアモード無効 1：パルス出力タイマ立ち下がりエッジ検出IPLS割り込み要求許可の自動クリアモード有効	R/W
b31～b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ELIPACR レジスタは、パルス出力タイマ m が生成する周期パルスのエッジによる IPLS 割り込みの要求を、1 回だけ許可するために使用するレジスタです。

通常、ELIPPR レジスタの各ビットで許可されている場合、IPLS 割り込みの要求は、パルス出力タイマ m の周期パルスのエッジごとに発生します。ELIPPR レジスタのビットが “1” で、ELIPACR レジスタの対応するビットも “1” のとき、IPLS 割り込みの要求が発生すると、ELIPPR レジスタの該当するビットが自動的に “0” になります。

IPLS 割り込みについては「28.4　割り込み」を参照してください。

28.2.5　STCA ステータスレジスタ (STSR)

アドレス： EPTPC.STSR E820 5040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	W10D	SYNT OUT	—	SYNC OUT	SYNC
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	同期状態検出フラグ	0：同期状態の検出なし 1：同期状態の検出あり	R/W (注1)
b1	SYNCOUT	同期外れ検出フラグ	0：同期外れの検出なし 1：同期外れの検出あり	R/W (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R
b3	SYNTOUT	Syncメッセージ受信タイムアウト検出フラグ	0：Syncメッセージ受信タイムアウトの検出なし 1：Syncメッセージ受信タイムアウトの検出あり	R/W (注1)
b4	W10D	ワースト10取得完了フラグ	0：ワースト10値の取得未完了 1：ワースト10値の取得完了	R/W (注1)
b31～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

注.　SYNSTARTR.STRビットが"0"のとき、STSRレジスタの各フラグは変化しません。
注1.　"1"を書くとフラグが"0"になります。"0"を書いてもフラグの値は変化しません。

STSR レジスタは、STCA モジュールのステータスを表示するレジスタです。

SYNC フラグ (同期状態検出フラグ)

STMR.ALEN0 ビットが “1” のとき、STMR.SYTH[3:0] ビットで指定した回数以上、同期状態が連続で発生したことを示します。STMR.ALEN0 ビットが “0” のときは、指定した回数以上、同期状態が連続で発生しても、SYNC フラグは “1” になりません。

SYNCOUT フラグ (同期外れ検出フラグ)

STMR.ALEN0 ビットが “1” のとき、STMR.DVTH[3:0] ビットで指定した回数以上、同期外れが連続で発生したことを示します。時刻同期を開始した (SYNSTARTR.STR ビットを “1” にした) 直後は同期外れの状態なので、STMR.ALEN0 ビットの値に関わらず、SYNCOUT フラグは “1” になります。SYNCOUT フラグを使用する場合は、時刻同期を開始した直後に SYNCOUT フラグを “0” にしてください。STMR.ALEN0 ビットが “0” のときは、時刻同期を開始した直後に SYNCOUT フラグを “0” にすると、その後指定した回数以上、同期外れが連続で発生しても、SYNCOUT フラグは “1” になりません。

SYNTOUT フラグ (Sync メッセージ受信タイムアウト検出フラグ)

STMR.ALEN1 ビットが “1” のとき、SYNTOR レジスタで指定した期間、Sync メッセージを受信しなかったことを示します。EPTPC を動作させてから一度も Sync メッセージを受信せずに時刻同期を開始した (SYNSTARTR.STR ビットを “1” にした) 場合、その直後に SYNTOUT フラグが “1” になります。SYNTOUT フラグを使用する場合は、時刻同期を開始した直後に SYNTOUT フラグを “0” にしてください。

W10D フラグ (ワースト 10 取得完了フラグ)

ワースト 10 の取得が終了したことを示します。

28.2.6　STCA ステータス通知許可レジスタ (STIPR)

アドレス： EPTPC.STIPR E820 5044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	W10D	SYNT OUT	—	SYNC OUT	SYNC
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	SYNCステータス通知許可ビット	0：STSR.SYNCステータスの通知を禁止 1：STSR.SYNCステータスの通知を許可	R/W
b1	SYNCOUT	SYNCステータス通知許可ビット	0：STSR.SYNCOUTステータスの通知を禁止 1：STSR.SYNCOUTステータスの通知を許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R
b3	SYNTOUT	SYNTOUTステータス通知許可ビット	0：STSR.SYNTOUTステータスの通知を禁止 1：STSR.SYNTOUTステータスの通知を許可	R/W
b4	W10D	W10Dステータス通知許可ビット	0：STSR.W10Dステータスの通知を禁止 1：STSR.W10Dステータスの通知を許可	R/W
b31～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

STIPR レジスタは、STCA モジュールのステータスの変化を、MIESR.ST フラグに反映するかどうかを指定するレジスタです。

28.2.7　STCA クロック周波数設定レジスタ (STCFR)

アドレス： EPTPC.STCFR E820 5050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCF[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	STCF[1:0]	STCAクロック周波数ビット	b1 b0 0 0 : 20 MHz 0 1 : 25 MHz 1 0 : 50 MHz 1 1 : 設定しないでください。	R/W
b31～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

注.　EDMAC、ETHERCおよびPTPEDMACの動作開始前に設定してください。動作中は設定変更を行わないでください。

STCFR レジスタは、STCA モジュールのクロックソース（STCA クロック）の周波数を指定するレジスタです。

STCFR レジスタで指定する周波数は、STCSELR レジスタで指定した周波数と同じ周波数にしてください。

STCF[1:0] ビット (STCA クロック周波数ビット)

STCA クロックの周波数を指定します。

IEEE 1588 による同期制御を行うためには、STCA クロックの周波数は、20 MHz、25 MHz、50 MHz のいずれかを指定する必要があります。また、このビットで指定された周波数と、STCA モジュールに実際に入力されたクロックの周波数が異なる場合、動作を保証できません。

28.2.8　STCA 動作モードレジスタ (STMR)

アドレス： EPTPC.STMR E820 5054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ALEN1	ALEN0	—	—	—	—	DVTH[3:0]				SYTH[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	W10S	—	CMOD	—	—	—	—	—	WINT[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	WINT[7:0]	ワースト10値取得時間ビット	00h：ワースト10値の取得を行わない 01h：Syncメッセージ受信1回 ～ FFh：Syncメッセージ受信255回	R/W
b12～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b13	CMOD	時刻同期補正モードビット	0：モード1 1：モード2	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	W10S	ワースト10値取得制御選択ビット	0：測定開始をハードウェアで行い、取得した値(PW10VR、MW10Rレジスタ)を制限値としてフィルタリングします 1：GETW10R.GW10ビットにより測定を開始します。また、PLIMITR、MLIMITRレジスタに設定した値を制限値としてフィルタリングします	R/W
b19～b16	SYTH[3:0]	同期状態検出しきい値設定ビット	0h：検出を行わない(注1) 1h：1回 ～ Fh：15回	R/W
b23～b20	DVTH[3:0]	同期外れ検出しきい値設定ビット	0h：検出を行わない(注2) 1h：1回 ～ Fh：15回	R/W
b27～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	ALEN0	アラーム検出許可ビット0	0：同期状態または同期外れを検出したとき、STSR.SYNCフラグまたはSYNCOUTフラグを“1”にしない 1：同期状態または同期外れを検出したとき、STSR.SYNCフラグまたはSYNCOUTフラグを“1”にする	R/W
b29	ALEN1	アラーム検出許可ビット1	0：Syncメッセージの受信タイムアウトを検出したとき、STSR.SYNTOUTフラグを“1”にしない 1：Syncメッセージの受信タイムアウトを検出したとき、STSR.SYNTOUTフラグを“1”にする	R/W
b31、b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　ALEN0ビットの値に関わらず、STSR.SYNCフラグは"1"になりません。
注2.　ALEN0ビットの値に関わらず、STSR.SYNCOUTフラグは"1"になりません。

STMR レジスタは、STCA モジュールの動作モードを設定するレジスタです。

WINT[7:0] ビット (ワースト 10 値取得時間ビット)

傾きのワースト 10 取得時間 (Sync メッセージ受信回数) を設定します。通常は Sync メッセージ受信回数を 32 回以上に設定することを推奨します。

CMOD ビット (時刻同期補正モードビット)

スレーブクロックとして動作する場合、自身の時刻情報を 2 種類のモード（モード 1 またはモード 2）で補正できます。システム構成等を考慮し、補正モードを選択してください。**表 28.8** に各補正モードに関しての概要を示します。

表 28.8　　補正モードの種類と特長

補正モード	機能	特長	注意点
モード 1	Sync メッセージを受信するごとに、最新の offsetFromMaster 値で補正するモード (補正スタート直後は、モード 1 で動作し、その後設定したモードに遷移します)	マスタクロックの時刻情報を、一度で自身の時刻情報として設定することが可能	offsetFromMaster 値が算出できなくなると、同期が保証できなくなる (例：通信障害による一時的なパケット廃棄など)
モード 2	offsetFromMaster 値から求めた傾きを保持し (ワースト 10 制御)、マスタクロックの時刻情報に近づくように補正するモード	offsetFromMaster 値が算出できなくなっても、ある程度の同期が保証できる (傾き情報から補正する)	同期確立までの時間が長い

W10S ビット (ワースト 10 値取得制御選択ビット)

ワースト 10 値の測定およびフィルタに使用する値を選択します。“0” に設定した場合は、PW10VRU、PW10VRM、PW10VRL レジスタおよび MW10RU、MW10RM、MW10RL レジスタに取得した値を制限値として使用します。“1” に設定した場合は、PLIMITRU、PLIMITRM、PLIMITRL レジスタおよび MLIMITRU、MLIMITRM、MLIMITRL レジスタに設定した値を制限値としてフィルタリングします。

SYTH[3:0] ビット (同期状態検出しきい値設定ビット)

連続何回でしきい値未満となったら、同期状態と判定するかを指定するビットです。SYNTDBRU、SYNTDBRL レジスタに指定した値を、このビットで指定した回数分連続で下回ったとき、同期状態と判定します。ALEN0 ビットが “1” のとき、STSR.SYNC フラグが “1” になります。

DVTH[3:0] ビット (同期外れ検出しきい値設定ビット)

連続何回でしきい値を超えたら、同期外れと判定するかを指定するビットです。SYNTDARU、SYNTDARL レジスタに指定した値を、このビットで指定した回数分連続で超えたとき、同期外れと判定します。ALEN0 ビットが “1” のとき、STSR.SYNCOUT フラグが “1” になります。

ALEN0 ビット (アラーム検出許可ビット 0)

このビットが “1” のとき、同期外れまたは同期状態を検出したとき、STSR.SYNC または SYNCOUT フラグが “1” になります。このビットが “0” のとき、同期外れまたは同期状態を検出しても、SYNC または SYNCOUT フラグは “1” になりません。

ALEN1 ビット (アラーム検出許可ビット 1)

このビットが “1” のとき、SYNTOR レジスタに指定された期間、Sync メッセージを受信しなかった場合、STSR.SYNTOUT フラグが “1” になります。このビットが “0” のとき、受信タイムアウトが発生していも、SYNTOUT フラグは “1” になりません。

28.2.9　Sync メッセージ受信タイムアウトレジスタ (SYNTOR)

アドレス： EPTPC.SYNTOR E820 5058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	設定値をnとすると、1024 × n [ns] 以内にSyncメッセージを受信しなかった場合、Syncメッセージ受信タイムアウトとなり、STSR.SYNTOUTフラグが“1”になります。	R/W

SYNTOR レジスタは Sync メッセージの受信タイムアウト時間を指定するレジスタです。設定値の 1024 倍がタイムアウト時間で、単位は ns です。

指定した時間内に Sync メッセージを受信しなかった場合、タイムアウトと判定されます。

SYNTOR レジスタの値が “0” のとき、STSR.SYNTOUT フラグは “1” になりません。

28.2.10　IPLS 割り込み要求タイマ選択レジスタ (IPTSELR)

アドレス： EPTPC.IPTSELR E820 5060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	IPTSEL5	IPTSEL4	IPTSEL3	IPTSEL2	IPTSEL1	IPTSEL0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IPTSEL0	パルス出力タイマ0選択ビット	0：IPLS割り込み要求にパルス出力タイマ0を選択しない 1：IPLS割り込み要求にパルス出力タイマ0を選択する	R/W
b1	IPTSEL1	パルス出力タイマ1選択ビット	0：IPLS割り込み要求にパルス出力タイマ1を選択しない 1：IPLS割り込み要求にパルス出力タイマ1を選択する	R/W
b2	IPTSEL2	パルス出力タイマ2選択ビット	0：IPLS割り込み要求にパルス出力タイマ2を選択しない 1：IPLS割り込み要求にパルス出力タイマ2を選択する	R/W
b3	IPTSEL3	パルス出力タイマ3選択ビット	0：IPLS割り込み要求にパルス出力タイマ3を選択しない 1：IPLS割り込み要求にパルス出力タイマ3を選択する	R/W
b4	IPTSEL4	パルス出力タイマ4選択ビット	0：IPLS割り込み要求にパルス出力タイマ4を選択しない 1：IPLS割り込み要求にパルス出力タイマ4を選択する	R/W
b5	IPTSEL5	パルス出力タイマ5選択ビット	0：IPLS割り込み要求にパルス出力タイマ5を選択しない 1：IPLS割り込み要求にパルス出力タイマ5を選択する	R/W
b31～b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

IPTSELR レジスタは、IPLS 割り込みを要求するパルス出力タイマを選択するレジスタです。

パルス出力タイマ m は、STCA クロックをクロックソースとし、指定された周期およびデューティ比でパルスを出力できます。ELIPPR.PLSP ビットが “1” のときはパルスの立ち上がりエッジを、PLSN ビットが “1” のときはパルスの立ち下がりエッジを検出したときに、IPLS 割り込みを要求します。IPTSELR レジスタで複数のチャネルが “1” とされた場合、各チャネルからの割り込み要求の論理和が割り込み要求信号となります。IPLS 割り込みについては「28.4　割り込み」を参照してください。

28.2.11　MINT 割り込み要求タイマ選択レジスタ (MITSELR)

アドレス： EPTPC.MITSELR E820 5064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	MINT EN5	MINT EN4	MINT EN3	MINT EN2	MINT EN1	MINT EN0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MINTEN0	パルス出力タイマ0 MINT 割り込み出力許可ビット	0：パルス出力タイマ0 のMINT 割り込み出力を MIESR.CYC0 フラグに反映しない 1：パルス出力タイマ0 のMINT 割り込み出力を MIESR.CYC0 フラグに反映する	R/W
b1	MINTEN1	パルス出力タイマ1 MINT 割り込み出力許可ビット	0：パルス出力タイマ1のMINT 割り込み出力を MIESR.CYC1 フラグに反映しない 1：パルス出力タイマ1 のMINT 割り込み出力を MIESR.CYC1 フラグに反映する	R/W
b2	MINTEN2	パルス出力タイマ2 MINT 割り込み出力許可ビット	0：パルス出力タイマ2 のMINT 割り込み出力を MIESR.CYC2 フラグに反映しない 1：パルス出力タイマ2 のMINT 割り込み出力を MIESR.CYC2 フラグに反映する	R/W
b3	MINTEN3	パルス出力タイマ3 MINT 割り込み出力許可ビット	0：パルス出力タイマ3 のMINT 割り込み出力を MIESR.CYC3 フラグに反映しない 1：パルス出力タイマ3 のMINT 割り込み出力を MIESR.CYC3 フラグに反映する	R/W
b4	MINTEN4	パルス出力タイマ4 MINT 割り込み出力許可ビット	0：パルス出力タイマ4 のMINT 割り込み出力を MIESR.CYC4 フラグに反映しない 1：パルス出力タイマ4 のMINT 割り込み出力を MIESR.CYC4 フラグに反映する	R/W
b5	MINTEN5	パルス出力タイマ5 MINT 割り込み出力許可ビット	0：パルス出力タイマ5のMINT 割り込み出力を MIESR.CYC5 フラグに反映しない 1：パルス出力タイマ5 のMINT 割り込み出力を MIESR.CYC5 フラグに反映する	R/W
b31～b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

MITSELR レジスタは、MINT 割り込みを要求するパルス出力タイマ m を選択するレジスタです。

パルス出力タイマ m は、STCA クロックをクロックソースとし、指定された周期およびデューティ比でパルスを出力できます。MIEIPR.CYCm ビットが “1” のとき、対応するパルス出力タイマ m の出力パルスの立ち上がりエッジを検出すると、MINT 割り込みを要求します。

MINT 割り込みについては「28.4　割り込み」を参照してください。

28.2.12　時刻同期チャネル選択レジスタ (STCHSELR)

アドレス： EPTPC.STCHSELR E820 506Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SYSEL
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYSEL	時刻情報入力選択ビット	0：SYNFP0 モジュールからの時刻情報を使用 1：SYNFP1 モジュールからの時刻情報を使用	R/W (注1)
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

注1.　SYNSTARTR.STR ビットが"1"のとき、このビットを書き換えないでください。

STCHSELR レジスタは、STCA モジュールへ入力する時刻情報を選択するレジスタです。

28.2.13　スレーブ時刻同期スタートレジスタ (SYNSTARTR)

アドレス： EPTPC.SYNSTARTR E820 5080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR	スレーブ時刻同期制御ビット	0：スレーブ時刻同期を停止 1：スレーブ時刻同期を開始	R/W
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

SYNSTARTR レジスタは、時刻同期の開始 / 停止を設定するレジスタです。スレーブノードとして動作する時に使用します。

28.2.14　ローカルクロックカウンタ初期値ロード指示レジスタ (LCIVLDR)

アドレス： EPTPC.LCIVLDR E820 5084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOAD
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOAD	ローカルクロックカウンタ初期値ロード指示ビット	0：ローカルクロックカウンタに初期値をロードしない 1：ローカルクロックカウンタに初期値をロードする	W(注1)
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

注1.　SYNSTARTR.STRビットが"1"のとき、このビットを書き換えないでください。

LCIVLDR レジスタは、LCIVRU、LCIVRM、LCIVRL レジスタの値を、ローカルクロックカウンタの初期値として設定するレジスタです。

28.2.15　同期外れ検出しきい値レジスタ (SYNTDARU, SYNTDARL)

アドレス： EPTPC.SYNTDARU E820 5090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	同期外れ検出しきい値の上位32 ビットを設定します	R/W

アドレス： EPTPC.SYNTDARL E820 5094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	同期外れ検出しきい値の下位32 ビットを設定します	R/W

SYNTDAR(U/L) レジスタは、offsetFromMaster 値が、同期外れと判定されるしきい値を指定するレジスタです。しきい値を設定するときは、SYNTDARU レジスタには上位 32 ビットを、SYNTDARL レジスタには下位 32 ビットをこの順で連続して書いてください。

offsetFromMaster 値が、SYNTDAR(U/L) レジスタに指定された値以上になったとき、同期外れが検出されます。SYNTDAR(U/L) レジスタにはナノ秒単位の値を指定してください。

マスタクロックとして動作する場合、SYNTDAR(U/L) レジスタの値は使用されません。

28.2.16　同期検出しきい値レジスタ (SYNTDBRU, SYNTDBRL)

アドレス： EPTPC.SYNTDBRU E820 5098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	同期外れ検出しきい値の上位32 ビットを設定します	R/W

アドレス： EPTPC.SYNTDBRL E820 509Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	同期外れ検出しきい値の下位32 ビットを設定します	R/W

SYNTDBR(U/L) レジスタは、offsetFromMaster 値が、同期状態と判定されるしきい値を指定するレジスタです。しきい値を設定するときは、SYNTDBRU レジスタには上位 32 ビットを、SYNTDBRL レジスタには下位 32 ビットをこの順で連続して書いてください。

offsetFromMaster 値が、SYNTDBR(U/L) レジスタに指定された値を下回ったとき、同期状態が検出されます。SYNTDBR(U/L) レジスタにはナノ秒単位の値を指定してください。

マスタクロックとして動作する場合、SYNTDBR(U/L) レジスタの値は使用されません。

28.2.17　ローカルクロックカウンタ初期値レジスタ (LCIVRU, LCIVRM, LCIVRL)

アドレス： EPTPC.LCIVRU E820 50B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	—	—	ローカルクロックカウンタに設定する初期値の整数部上位16 ビットを設定します	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

アドレス： EPTPC.LCIVRM E820 50B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	ローカルクロックカウンタに設定する初期値の整数部下位32 ビットを設定します	R/W

アドレス： EPTPC.LCIVRL E820 50B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	ローカルクロックカウンタに設定する初期値の小数部をns 単位で設定します	R/W

LCIVR(U/M/L) レジスタは、ローカルクロックカウンタの初期値を設定するレジスタで、秒単位で表した時刻を、整数部と小数部に分けて設定します。初期値を設定するときは、LCIVRU レジスタには整数部の上位 16 ビットを、LCIVRM レジスタには整数部の下位 32 ビットを、LCIVRL レジスタには小数部をナノ秒単位で、この順で連続して書いてください。

LCIVR(U/M/L) レジスタの値をローカルクロックカウンタに設定するには、LCIVLDR.LOAD ビットを “1” にしてください。

(例) 2.000000025s を初期値として設定する場合、以下の値をレジスタに書き込みます。

LCIVRU：“0000 0000h”

LCIVRM：“0000 0002h”

LCIVRL：“0000 0019h”

28.2.18　ワースト 10 値取得指示レジスタ (GETW10R)

アドレス： EPTPC.GETW10R E820 5124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GW10
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GW10	ワースト10 値取得指示ビット	0：ワースト10 値の取得をしない 1：ワースト10 値の取得を開始する	R/W (注1)
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R

注1.　STMR.W10S ビットが"0"のときに、このビットを"1"にしないでください。

GETW10R レジスタは、ソフトウェア制御で傾き値の算出を開始し、ワースト 10 値の選出を行わせるためのレジスタです。

傾き値とは、ある時刻が経過したときのスレーブのクロックカウンタの増分を指します。STMR.W10S ビットが “1” のときに GW10 ビットを “1” にすると、EPTPC は、Sync メッセージを受信するごとに傾き値を算出します。STMR.WINT[7:0] ビットで指定された回数分、傾き値の算出が行われます。指定された回数の算出が終了すると、GW10 ビットは “0” になります。マスタクロックとして動作する場合、GETW10R レジスタは使用しません。

28.2.19　プラス側傾き制限値レジスタ (PLIMITRU, PLIMITRM, PLIMITRL)

アドレス： EPTPC.PLIMITRU E820 5128h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30～b0	—	—	プラス側の傾き制限値の上位31 ビットを設定します	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC.PLIMITRM E820 512Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	プラス側傾き制限値の中位32 ビットを設定します	R/W

アドレス： EPTPC.PLIMITRL E820 5130h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	プラス側傾き制限値の下位32 ビットを設定します	R/W

PLIMITR(U/M/L) レジスタは、時刻同期に使用する傾き値の上限 (プラス側の傾き値) を指定するレジスタです。上限値を設定するときは、PLIMITRU レジスタ、PLIMITRM レジスタ、PLIMITRL レジスタの順で連続して書いてください。

PLIMITR(U/M/L) レジスタに指定された値以上の傾き値は時刻同期に使用されません。マスタクロックとして動作する場合、PLIMITR(U/M/L) レジスタは使用されません。STMR.CMOD ビットが “1”、かつ STMR.W10S ビットが “1” のとき、PLIMITR(U/M/L) レジスタが有効となります。

レジスタに設定するプラス側の傾き値は下記の式で計算してください。

PLIMITR(U/M/L) レジスタ値 = A [s] ÷ T [s] × 2^{32}

A：Sync メッセージの受信周期の時間に、スレーブクロックの時刻が進む時間 [s]

T：Sync メッセージの受信周期 (Sync メッセージ周期) 時間 [s]

たとえば、Sync メッセージ周期が 0.5 秒でその間にスレーブクロックの時刻が 0.7 秒進む場合を上限値として設定する場合には、

設定値 PLIMITR = 0.7 ÷ 0.5 × 2^{32} = 6 012 954 214 = 1 6666 6666h

になり、設定値は PLIMITRU = “0000 0000h”、PLIMITRM = “0000 0001h”、PLIMITRL = “6666 6666h” となります。

設定できる最小値は、ローカルクロックカウンタのカウントソースである STCA クロックの周波数に依存します。たとえば、STCA クロックの周波数が 50 MHz の場合には、

最小 PLIMITR(U/M/L) レジスタ値 = (1/50 [MHz]) [s] ÷ 0.5 [s] × 2^{32} = 172 = ACh

になり、設定値は PLIMITRU = “0000 0000h”、PLIMITRM = “0000 0000h”、PLIMITRL = “0000 00ACh” となります。

28.2.20　マイナス側傾き制限値レジスタ (MLIMITRU, MLIMITRM, MLIMITRL)

アドレス： EPTPC.MLIMITRU E820 5134h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30～b0	—	—	マイナス側傾き制限値の上位31 ビットを設定します	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC.MLIMITRM E820 5138h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	マイナス側傾き制限値の中位32 ビットを設定します	R/W

アドレス： EPTPC.MLIMITRL E820 513Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	プラス側傾き制限値の下位32 ビットを設定します	R/W

MLIMITR(U/M/L) レジスタは、時刻同期に使用する傾き値の下限 (マイナス側の傾き値) を指定するレジスタです。下限値は 2 の補数で設定してください。また、下限値を設定するときは、MLIMITRU レジスタ、MLIMITRM レジスタ、MLIMITRL レジスタの順で連続して書いてください。

MLIMITR(U/M/L) レジスタに指定された値以下の傾き値は時刻同期に使用されません。マスタクロックとして動作する場合、MLIMITR(U/M/L) レジスタは使用されません。STMR.CMOD ビットが “1”、かつ W10S ビットが “1” のとき、MLIMITR(U/M/L) レジスタが有効となります。

値の設定方法および設定できる最小値は、PLIMITRU、PLIMITRM、PLIMITRL レジスタと同じです。

28.2.21　統計情報表示指示レジスタ (GETINFOR)

アドレス： EPTPC.GETINFOR E820 5140h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INFO
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INFO	情報保持制御ビット	【書き込み時】 0：何もしない 1：情報保持指示 【読み出し時】 0：情報保持完了 1：情報保持処理中 情報保持指示後、情報保持完了となる前に読み込む各種統計情報の値は保証しません。	R/W
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

GETINFOR レジスタは、以下の統計情報の保持制御を行うレジスタです。

- LCCVRU、LCCVRM、LCCVRL レジスタ
- PW10VRU、PW10VRM、PW10VRL レジスタ
- MW10RU、MW10RM、MW10RL レジスタ

INFO ビットには "1" のみ書き込めます。PW10VRU、PW10VRM、PW10VRL レジスタ、または MW10RU、MW10RM、MW10RL レジスタに値を設定する場合、STMR.W10S ビットが "1" のときのみ、INFO ビットを "1" にしてください。なお、ワースト 10 値の取得が完了する前に INFO ビットを "1" にした場合、PW10VR(U/M/L) レジスタと MW10R(U/M/L) レジスタに保持された情報が正しいかどうかは保証しません。GETW10R.GW10 ビットによって、統計情報の取得が完了したことを確認してから INFO ビットを "1" にしてください。INFO ビットは、情報の保持が完了すると自動で "0" に戻ります。

28.2.22　ローカルクロックカウンタ (LCCVRU, LCCVRM, LCCVRL)

アドレス： EPTPC.LCCVRU E820 5170h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	—	—	ローカルクロックカウンタの整数部上位16 ビットが読めます	R
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC.LCCVRM E820 5174h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	ローカルクロックカウンタの整数部下位32 ビットが読めます	R

アドレス： EPTPC.LCCVRL E820 5178h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	ローカルクロックカウンタの小数部(ns 単位)が読めます	R

LCCVR(U/M/L) レジスタは、ローカルクロックカウンタの値を表示するレジスタで、秒単位で表した時刻を、整数部と小数部に分けて表示します。

GETINFOR.INFO ビットを “1” にすると、その時点のローカルクロックカウンタの値が LCCVR(U/M/L) レジスタに保持されます。LCCVRU レジスタの下位 16 ビットは秒の整数部上位 16 ビット、LCCVRM レジスタは秒の整数部下位 32 ビット、LCCVRL レジスタは小数部をナノ秒単位で保持します。

たとえば、保持している時刻情報が 14 時 25 分 44 秒 10 ミリ秒 23 マイクロ秒 39 ナノ秒であった場合、LCCVR(U/M/L) レジスタの表示値は以下になります。

上位 48 ビット：$14 \times 3600 + 25 \times 60 + 44 = 51944$ [s] = 0000 0000 CAE8h

下位 32 ビット：$10 \times 10^6 + 23 \times 10^3 + 39 = 10023039$ [ns] = 0098 F07Fh

28.2.23　プラス側傾きワースト 10 値レジスタ (PW10VRU, PW10VRM, PW10VRL)

アドレス： EPTPC.PW10VRU E820 5210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	プラス側傾き値の上位32 ビットが読めます	R

アドレス： EPTPC.PW10VRM E820 5214h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	プラス側傾き値の中位32 ビットが読めます	R

アドレス： EPTPC.PW10VRL E820 5218h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	プラス側傾き値の下位32 ビットが読めます	R

PW10VR(U/M/L) レジスタは、プラス側の傾き値のワースト 10 値を表示するレジスタです。

GETINFOR.INFO ビットを “1” にすると、その時点でのワースト 10 値が PW10VR(U/M/L) レジスタに保持されます。

PW10VR(U/M/L) レジスタに保持される傾き値の形式は、PLIMITRU、PLIMITRM、PLIMITRL レジスタと同様です。値の形式の詳細は、PLIMITR レジスタを参照してください。

マスタクロックとして動作する場合、PW10VR(U/M/L) レジスタは使用しません。

28.2.24　マイナス側傾きワースト 10 値レジスタ (MW10RU, MW10RM, MW10RL)

アドレス： EPTPC.MW10RU E820 52D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	マイナス側傾き値の上位32 ビットが読めます	R

アドレス： EPTPC.MW10RM E820 52D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	マイナス側傾き値の中位32 ビットが読めます	R

アドレス： EPTPC.MW10RL E820 52D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	マイナス側傾き値の下位32 ビットが読めます	R

MW10R(U/M/L) レジスタは、マイナス側の傾き値のワースト 10 値を表示するレジスタです。

GETINFOR.INFO ビットを “1” にすると、その時点でのワースト 10 値が MW10R(U/M/L) レジスタに保持されます。

MW10R(U/M/L) レジスタに保持される傾き値の形式は、MLIMITRU、MLIMITRM、MLIMITRL レジスタと同様です。値の形式の詳細は、MLIMITR レジスタを参照してください。

マスタクロックとして動作する場合、MW10R(U/M/L) レジスタは使用しません。

28.2.25　タイマスタート時刻設定レジスタ (TMSTTRUm, TMSTTRLm) (m = 0 ~ 5)

アドレス：EPTPC.TMSTTRU0 E820 5300h, EPTPC.TMSTTRU1 E820 5310h, EPTPC.TMSTTRU2 E820 5320h, EPTPC.TMSTTRU3 E820 5330h, EPTPC.TMSTTRU4 E820 5340h, EPTPC.TMSTTRU5 E820 5350h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	パルス出力タイマ開始時刻の上位32 ビットをns 単位で設定します	R/W

アドレス：EPTPC.TMSTTRL0 E820 5304h, EPTPC.TMSTTRL1 E820 5314h, EPTPC.TMSTTRL2 E820 5324h, EPTPC.TMSTTRL3 E820 5334h, EPTPC.TMSTTRL4 E820 5344h, EPTPC.TMSTTRL5 E820 5354h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	パルス出力タイマ開始時刻の下位32 ビットをns 単位で設定します	R/W

TMSTTR(U/L)m レジスタは、パルス出力タイマ m の開始時刻を指定するレジスタです。

パルス出力タイマ m の開始時刻 (64 ビット) をナノ秒単位で設定してください。設定はナノ秒単位で行いますが、パルス出力タイマ m の開始時刻は STCA クロックの分解能に依存します。

たとえば STCA クロックが 50 MHz の場合、1 周期は 20 ns になりますから、タイマの開始時刻は TMSTTR(U/L) レジスタに設定した時刻より ±20 ns の範囲でずれる可能性があります。

TMSTTR(U/L)m レジスタに値を書くときは、TMSTARTR.ENm ビットが “0” のときに、TMSTTRUm、TMSTTRLm レジスタの順に連続で書いてください。

なお、TMSTTR(U/L)m レジスタに設定する時刻の形式は「28.2.22　ローカルクロックカウンタ (LCCVRU, LCCVRM, LCCVRL)」と異なります。

28.2.26　タイマ周期設定レジスタ m (TMCYCRm) (m = 0 ~ 5)

アドレス：EPTPC.TMCYCR0 E820 5308h, EPTPC.TMCYCR1 E820 5318h, EPTPC.TMCYCR2 E820 5328h, EPTPC.TMCYCR3 E820 5338h, EPTPC.TMCYCR4 E820 5348h, EPTPC.TMCYCR5 E820 5358h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—														
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b29～b0	—	—	パルス出力タイマの周期をns 単位で設定します STCA クロックの4 周期以上の値を設定してください	R/W
b31、b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TMCYCRm レジスタは、パルス出力タイマ m が生成するパルスの周期を指定するレジスタです。TMSTARTR.ENm ビットが “0” のときに、STCA クロックの 4 周期以上の値をナノ秒単位で設定してください。

なお、設定はナノ秒単位で行いますが、パルス出力タイマ m が生成するパルスの周期と開始時刻は STCA クロックの周期に依存します。たとえば STCA クロックが 50 MHz の場合、1 周期は 20 ns になりますから、パルス出力タイマ m のカウントソースは TMCYCRm レジスタに設定した周期より 0 ～ 19 ns ずれる可能性があります。SYNFP モジュールでは、このずれを補正するための計算が行われています。

たとえば、STCA クロックが 50 MHz のときにタイマの周期を 81 ns に設定した場合、実際のタイマの周期は 80 ns か 100 ns にしかなりません。このとき、SYNFP モジュールはタイマの周期を 20 回のうち 19 回を 80 ns に、1 回を 100 ns に設定して、周期の平均値が 81 ns になるように調整します。

(80 [ns] × 19 + 100 [ns] × 1) ÷ 20 = 81 [ns]

TMCYCRm レジスタに設定可能な最小値は STCA クロック 4 周期分です。たとえば、STCA クロックが 50 MHz の場合は 80 ns になります。この値以上を設定しない場合、タイマ動作は保証できません。

28.2.27　タイマパルス幅設定レジスタ m (TMPLSRm) (m = 0 ~ 5)

アドレス：EPTPC.TMPLSR0 E820 530Ch, EPTPC.TMPLSR1 E820 531Ch, EPTPC.TMPLSR2 E820 532Ch, EPTPC.TMPLSR3 E820 533Ch, EPTPC.TMPLSR4 E820 534Ch, EPTPC.TMPLSR5 E820 535Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—													
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28～b0	—	—	タイマのHigh パルス幅をns 単位で設定します STCA クロックの2 周期以上の値を設定してください	R/W
b31～b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TMPLSRm レジスタは、パルス出力タイマ m が生成するパルスの High 幅を指定するレジスタです。TMSTARTR.ENm ビットが “0” のときに、STCA クロックの 2 周期以上の値をナノ秒単位で設定してください。

TMPLSRm レジスタの上位 3 ビットは予約ビットです。読んだ場合 “000b” が読めます。書く場合は “000b” を書いてください。

なお、設定はナノ秒単位で行いますが、タイマの High 幅は STCA クロックの周期に依存します。タイマの High 幅の補正方法は、TMCYCRm レジスタに記載したタイマ周期の補正方法と同様です。

28.2.28　タイマスタートレジスタ (TMSTARTR)

アドレス： EPTPC.TMSTARTR E820 537Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	EN5	EN4	EN3	EN2	EN1	EN0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	パルス出力タイマ0 スタートビット	0：パルス出力タイマ0 を停止 1：パルス出力タイマ0 を起動	R/W
b1	EN1	パルス出力タイマ1 スタートビット	0：パルス出力タイマ1 を停止 1：パルス出力タイマ1 を起動	R/W
b2	EN2	パルス出力タイマ2 スタートビット	0：パルス出力タイマ2 を停止 1：パルス出力タイマ2 を起動	R/W
b3	EN3	パルス出力タイマ3 スタートビット	0：パルス出力タイマ3 を停止 1：パルス出力タイマ3 を起動	R/W
b4	EN4	パルス出力タイマ4 スタートビット	0：パルス出力タイマ4 を停止 1：パルス出力タイマ4 を起動	R/W
b5	EN5	パルス出力タイマ5 スタートビット	0：パルス出力タイマ5 を停止 1：パルス出力タイマ5 を起動	R/W
b31～b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TMSTARTR レジスタはパルス出力タイマ m の動作を停止または開始させるレジスタです。

28.2.29　PRC-TC ステータスレジスタ (PRSR)

アドレス： EPTPC.PRSR E820 5400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	URE1	URE0	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MACE	—	—	—	—	OVRE3	OVRE2	OVRE1	OVRE0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRE0	中継パケットオーバフロー検出フラグ0	0：SYNFP1→PTPEDMAC でオーバフローなし 1：SYNFP1→PTPEDMAC でオーバフロー検出	R/W (注1)
b1	OVRE1	中継パケットオーバフロー検出フラグ1	0：SYNFP0→PTPEDMAC でオーバフローなし 1：SYNFP0→PTPEDMAC でオーバフロー検出	R/W (注1)
b2	OVRE2	中継パケットオーバフロー検出フラグ2	0：SYNFP1→SYNFP0 でオーバフローなし 1：SYNFP1→SYNFP0 でオーバフロー検出	R/W (注1)
b3	OVRE3	中継パケットオーバフロー検出フラグ3	0：SYNFP0→SYNFP1 でオーバフローなし 1：SYNFP0→SYNFP1 でオーバフロー検出	R/W (注1)
b7～b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	MACE	送信元MAC アドレス不一致検出フラグ	0：MAC アドレス不一致の検出なし 1：MAC アドレス不一致の検出あり	R/W (注1)
b15～b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b27～b16	—	予約ビット	読むと不定値が読めます。書く場合、“0”としてください	R/W
b28	URE0	中継パケットアンダフロー検出フラグ0	0：SYNFP1→SYNFP0 でアンダフローなし 1：SYNFP1→SYNFP0 でアンダフロー検出	R/W (注1)
b29	URE1	中継パケットアンダフロー検出フラグ1	0：SYNFP0→SYNFP1 でアンダフローなし 1：SYNFP0→SYNFP1 でアンダフロー検出	R/W (注1)
b31、b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　"1"を書くとフラグが"0"になります。"0"を書いてもフラグの値は変化しません。

PRSR レジスタは PRC-TC モジュールのステータスを表示するレジスタです。

PRC-TC モジュールでは、Ether ポート 0、Ether ポート 1、PTPEDMAC のそれぞれに対して Ether パケットの送受信を行います。PRSR レジスタは、Ether パケットの送受信において発生する、オーバフロー、アンダフロー、MAC アドレス不一致などのステータスを表します。

OVRE0 フラグ (中継パケットオーバフロー検出フラグ 0)

SYNFP1 モジュールから PTPEDMAC へデータを転送するときに、FIFO のオーバフローが発生したことを示します。OVRE0 フラグが “1” になった場合、PTPEDMAC で受け取った受信データは誤っている可能性があります。

OVRE1 フラグ (中継パケットオーバフロー検出フラグ 1)

SYNFP0 モジュールから PTPEDMAC へデータを転送するときに、FIFO のオーバフローが発生したことを示します。OVRE1 フラグが “1” になった場合、PTPEDMAC で受け取った受信データは誤っている可能性があります。

OVRE2 フラグ (中継パケットオーバフロー検出フラグ 2)

SYNFP1 モジュールから SYNFP0 モジュールへパケットを中継するときに、FIFO のオーバフローが発生したことを示します。

OVRE3 フラグ (中継パケットオーバフロー検出フラグ 3)

SYNFP0 モジュールから SYNFP1 モジュールへパケットを中継するときに、FIFO のオーバフローが発生したことを示します。

MACE フラグ (送信元 MAC アドレス不一致検出フラグ)

PTPEDMAC から受け取った送信パケットの送信元 MAC アドレスが、PRMACRU0、PRMACRL0 レジスタと PRMACRU1、PRMACRL1 レジスタのいずれにも一致しない場合に “1” になります。

URE0 フラグ (中継パケットアンダフロー検出フラグ 0)

SYNFP1 モジュールから SYNFP0 モジュールへパケットを中継するときに、FIFO のアンダフローが発生したことを示します。

URE1 フラグ (中継パケットアンダフロー検出フラグ 1)

SYNFP0 モジュールから SYNFP1 モジュールへパケットを中継するときに、FIFO のアンダフローが発生したことを示します。

28.2.30　PRC-TC ステータス通知許可レジスタ (PRIPR)

アドレス： EPTPC.PRIPR E820 5404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	URE1	URE0	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MACE	—	—	—	—	OVRE3	OVRE2	OVRE1	OVRE0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRE0	PRSR.OVRE0 ステータス通知許可ビット	0：PRSR.OVRE0 ステータス通知を禁止 1：PRSR.OVRE0 ステータス通知を許可	R/W
b1	OVRE1	PRSR.OVRE1 ステータス通知許可ビット	0：PRSR.OVRE1 ステータス通知を禁止 1：PRSR.OVRE1 ステータス通知を許可	R/W
b2	OVRE2	PRSR.OVRE2 ステータス通知許可ビット	0：PRSR.OVRE2 ステータス通知を禁止 1：PRSR.OVRE2 ステータス通知を許可	R/W
b3	OVRE3	PRSR.OVRE3 ステータス通知許可ビット	0：PRSR.OVRE3 ステータス通知を禁止 1：PRSR.OVRE3 ステータス通知を許可	R/W
b7～b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	MACE	PRSR.MACE ステータス通知許可ビット	0：PRSR.MACE ステータス通知を禁止 1：PRSR.MACE ステータス通知を許可	R/W
b27～b9	—	予約ビット	読むと不定値が読めます。書く場合、“0”としてください	R
b28	URE0	PRSR.MACE ステータス通知許可ビット	0：PRSR.URE0 ステータス通知を禁止 1：PRSR.URE0 ステータス通知を許可	R/W
b29	URE1	PRSR.MACE ステータス通知許可ビット	0：PRSR.URE1 ステータス通知を禁止 1：PRSR.URE1 ステータス通知を許可	R/W
b31、b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注.　RC-TCモジュールによる割り込み要求については、「28.4　割り込み」を参照してください。

PRIPR レジスタは、PRC-TC モジュールのステータスを、MIESR.PRC フラグに反映するかどうかを指定するレジスタです。

28.2.31　チャネル 0 自局 MAC アドレスレジスタ (PRMACRU0, PRMACRL0)

アドレス： EPTPC.PRMACRU0 E820 5410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	Ether ポート0 自局MAC アドレスの上位24 ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC.PRMACRL0 E820 5414h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	Ether ポート0 自局MAC アドレスの下位24 ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PRMACR(U/L)0 レジスタは、Ether ポート 0 の自局 MAC アドレスを設定するレジスタです。MAC アドレスの上位 24 ビットを PRMACRU0 レジスタに、下位 24 ビットを PRMACRL0 レジスタに設定してください。

PTPEDMAC からの送信時に使用し、フレームの送信元 MAC アドレスと本レジスタの設定値が一致したフレームを、Ether ポート 0 側へ送信します。PRMACR(U/L)0 レジスタには、EPTPC0 モジュールの SYMACRU、SYMACRL レジスタと同じ値を指定してください。

PRMACR(U/L)0 レジスタの書き換えは、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

28.2.32　チャネル 1 自局 MAC アドレスレジスタ (PRMACRU1, PRMACRL1)

アドレス： EPTPC.PRMACRU1 E820 5418h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	Ether ポート 1 自局MAC アドレスの上位24 ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC.PRMACRL1 E820 541Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	Ether ポート 1 自局MAC アドレスの下位24 ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PRMACR(U/L)1 レジスタは、Ether ポート 1 の自局 MAC アドレスを設定するレジスタです。MAC アドレスの上位 24 ビットを PRMACRU1 レジスタに、下位 24 ビットを PRMACRL1 レジスタに設定してください。

PTPEDMAC からの送信時に使用し、フレームの送信元 MAC アドレスと本レジスタの設定値が一致したフレームを、Ether ポート 1 側へ送信します。PRMACR(U/L)1 レジスタには、EPTPC1 モジュールの SYMACRU、SYMACRL レジスタと同じ値を指定してください。

PRMACR(U/L)1 レジスタの書き換えは、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

28.2.33　パケット送信抑止制御レジスタ (TRNDISR)

アドレス： EPTPC.TRNDISR E820 5420h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDIS[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	TDIS[1:0]	パケット送信抑止制御ビット	b1 b0 0 0：Ether ポート0 とEther ポート1 の両方にPTP パケットを送信 0 1：Ether ポート0 にのみPTP パケット送信 1 0：Ether ポート1 にのみPTP パケット送信 1 1：設定しないでください	R/W
b31～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TRNDISR レジスタは、Ether ポート 0 および Ether ポート 1 の各自局 MAC アドレスが同じ場合の、PTP パケットの送信動作を制御するレジスタです。

PRMACRU0、PRMACRL0 レジスタと PRMACRU1、PRMACRL1 レジスタに同じ MAC アドレスが指定されている場合、EPTPC は、双方のポートから同じ PTP パケットを送信するか、あるいは片方のみから送信するか、のいずれかを選択できます。

Ether ポート 0 および Ether ポート 1 に異なる MAC アドレスが指定されている場合、TDIS[1:0] ビットは “00b” にしてください。“00b” 以外を設定した場合、フレームの送信元 MAC アドレスと同じ自局 MAC アドレスが設定された Ether ポートから、フレームを送信できない可能性があります。

TRNDISR レジスタの書き換えは、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

28.2.34　中継モードレジスタ (TRNMR)

アドレス：EPTPC.TRNMR E820 5430h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FWD1	FWD0	—	—	—	—	—	—	—	MOD
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOD	カットスルーモードビット	0：ストア＆フォワード 1：カットスルー	R/W
b7～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	FWD0	チャネル0中継許可ビット	0：他ノード宛のユニキャスト／マルチキャスト（PTP パケットを除く）／ブロードキャストメッセージをPort0 からPort1 へ中継しない 1：他ノード宛のユニキャスト／マルチキャスト（PTP パケットを除く）／ブロードキャストメッセージをPort0 からPort1 へ中継する	R/W
b9	FWD1	チャネル1中継許可ビット	0：他ノード宛のユニキャスト／マルチキャスト（PTP パケットを除く）／ブロードキャストメッセージをPort1 からPort0 へ中継しない 1：他ノード宛のユニキャスト／マルチキャスト（PTP パケットを除く）／ブロードキャストメッセージをPort1 からPort0 へ中継する	R/W
b31～b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

TRNMR レジスタは、PRC-TC モジュールが行う Ether ポート 0 と Ether ポート 1 間のパケット中継を制御するレジスタです。たとえば図 28.3 に示すように、本 MCU を用いてネットワークをデイジーチェーン方式で構成する場合、Ether ポート 0 と Ether ポート 1 間のパケット中継を有効にすることにより、任意の機器間でパケットを送受信できます。

パケットの転送では CRC 値の再計算を行うため、カットスルーモードの場合、CRC 値が異常であったパケットが、正常な CRC 値が付与されて転送される可能性があります。異常パケットの破棄が必要な場合は、ストア & フォワードモードを使用してください。なお、96 バイト未満のパケットのレイテンシは、カットスルーモードとストア & フォワードモードで差がありません。

TRNMR レジスタの書き換えは、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

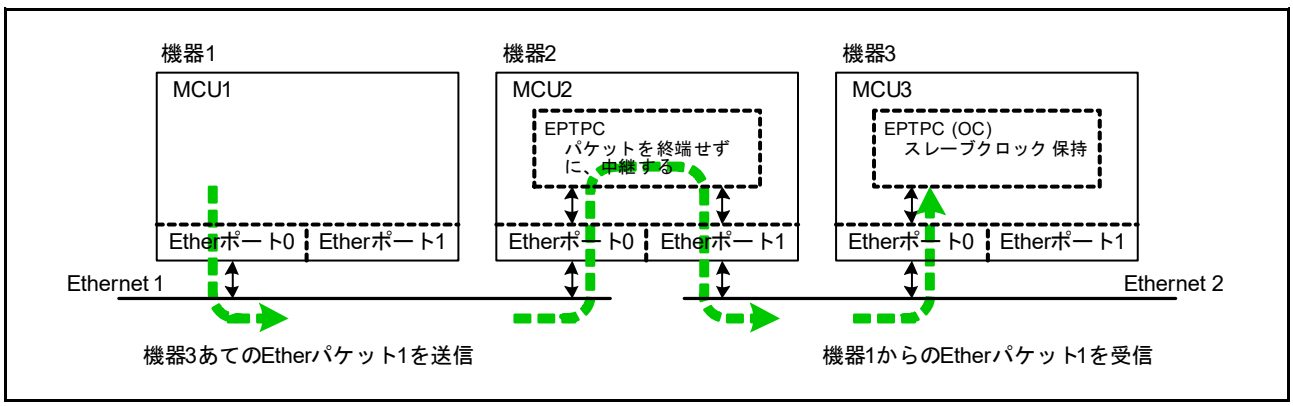


図 28.3　本 MCU を使用したネットワーク構成例

28.2.35　カットスルー転送開始しきい値レジスタ (TRNCTTDR)

アドレス：EPTPC.TRNCTTDR E820 5434h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THVAL[10:0]										
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	THVAL[10:0]	FIFO読み出し開始しきい値ビット	カットスルーモード時の中継FIFO読み出し開始しきい値（バイト数で指定）(注1)	R
b10～b2				R/W
b31～b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　下位2ビットには値を設定できません。"0"固定です。また、"96" ("60h")以上の値を設定してください。

TRNCTTDR レジスタは、Ether ポート間の中継方式がカットスルーモードの場合に、送信ポートが中継 FIFO の読み出しを開始するしきい値を設定するレジスタです。

TRNMR.MOD ビットが "1" (カットスルーモード) の場合、中継 FIFO に全てのフレームデータが格納されるのを待たずに転送を行うことができます。THVAL[10:0] ビットには、中継 FIFO にどれだけのデータが格納されたら転送を開始するかのしきい値をバイト数で設定します。しきい値には 4 の倍数を設定してください。

中継 FIFO の読み出しは以下のどちらかの条件が成立したときに開始されます。

- 中継 FIFO に格納されたデータ量が THVAL[10:0] ビットで指定されたバイト数以上になったとき
- 中継 FIFO に格納されたフレーム数が 1 以上になったとき

TRNCTTDR レジスタの書き換えは、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

28.2.36　SYNFP ステータスレジスタ (SYSR)

アドレス： EPTPC0.SYSR E820 5800h, EPTPC1.SYSR E820 5C00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GENDN	RESDN
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	INFABT	—	RECLP	—	—	—	—	—	DRQOVR	INTDEV	DRPTO	—	MPDUD	INTCHG	OFMUD
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OFMUD	offsetFromMaster値更新フラグ	0：offsetFromMaster値の更新なし 1：offsetFromMaster値の更新あり	R/W (注1)
b1	INTCHG	受信logMessageInterval値変更検出フラグ	0：受信logMessageInterval値に変更なし 1：受信logMessageInterval値に変更あり	R/W (注1)
b2	MPDUD	meanPathDelay値更新フラグ	0：meanPathDelay値の更新なし 1：meanPathDelay値の更新あり	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	DRPTO	Delay_Resp/Pdelay_Resp受信タイムアウト検出フラグ	0：Delay_Resp/Pdelay_Resp受信タイムアウトの発生なし 1：Delay_Resp/Pdelay_Resp受信タイムアウトの発生あり	R/W (注1)
b5	INTDEV	受信logMessageInterval値範囲外フラグ	0：受信したlogMessageInterval値が範囲内 1：受信したlogMessageInterval値が範囲外	R/W (注1)
b6	DRQOVR	Delay_Req受信FIFOオーバフロー検出フラグ	0：Delay_Reqの受信FIFOオーバフローなし 1：Delay_Reqの受信FIFOオーバフローあり	R/W (注1)
b11～b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	RECLP	ループ受信検出フラグ	0：ループ受信なし 1：ループ受信あり	R/W (注1)
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INFABT	制御情報異常検出フラグ	0：制御情報に異常なし 1：制御情報に異常あり	R/W (注1)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RESDN	応答停止完了検出フラグ	0：応答停止が未完了 1：応答停止が完了	R/W (注1)
b17	GENDN	生成停止完了検出フラグ	0：生成停止が未完了 1：生成停止が完了	R/W (注1)
b23～b18	—	予約ビット	読むと不定値が読めます。書く場合、“0”としてください	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　"1"を書くとフラグが"0"になります。"0"を書いてもフラグの値は変化しません。

SYSR レジスタは、SYNFP モジュールのステータスを表示するレジスタです。

OFMUD フラグ (offsetFromMaster 値更新フラグ)

offsetFromMaster 値を更新したことを表します。

INTCHG フラグ (受信 logMessageInterval 値変更検出フラグ)

受信設定されている Delay_Resp、Sync または Announce メッセージの logMessageInterval 値が先に受信した値と異なっていることを表します。

MPDUD フラグ (meanPathDelay 値更新フラグ)

meanPathDelay 値を更新したことを表します。

INTDEV フラグ (受信 logMessageInterval 値範囲外フラグ)

logMessageInterval 値が -7 ~ 6 の範囲外である Delay_Resp メッセージを受信したことを表します。

DRQOVR フラグ (Delay_Req 受信 FIFO オーバフロー検出フラグ)

受信した Delay_Req メッセージの情報を格納する FIFO に 32 エントリ以上格納されたことを表します。

RECLP フラグ (ループ受信検出フラグ)

sourcePortIdentity フィールド値が自局の PortIdentity (SYCIDRU、SYCIDRL および SYPNUMR レジスタ) と一致する PTP メッセージを受信したことを表します。

INFABT フラグ (制御情報異常検出フラグ)

制御情報に不一致が発生したことを表します。
このビットが “1” になった場合、EPTPC、PTPEDMAC、および該当するチャネルの ETHERC、EDMAC をリセットしてください。リセットの手順は以下の通りです。

(1) EPTPC.PTRSTR レジスタに “0000 0001h” を書く
(2) PTPEDMAC.EDMR レジスタに “0000 0001h” を書く
(3) 該当するチャネルの EDMACn.EDMR レジスタに “0000 0001h” を書く
(4) 初期化が完了するまで (Bφ 換算で 64 サイクル) 待つ
(5) EPTPC.PTRSTR レジスタに “0000 0000h” を書く

なお、リセットについての詳細は「28.2.83　PTP リセットレジスタ (PTRSTR)」、「29.2.1　EDMAC モードレジスタ（EDMR）」を参照してください。

RESDN フラグ (応答停止完了検出フラグ)

SYRFL1R および SYRVLDR レジスタで、Delay_Req もしくは Pdelay_Req を SYNFP モジュールでの処理を無効とし、応答メッセージである Delay_Resp もしくは Pdelay_Resp の送信処理が完了したことを表します。

GENDN フラグ (生成停止完了検出フラグ)

SYTRENR、SYRVDR レジスタにて、無効に設定したメッセージの送信処理が完了したことを表します。

28.2.37　SYNFP ステータス通知許可レジスタ (SYIPR)

アドレス： EPTPC0.SYIPR E820 5804h, EPTPC1.SYIPR E820 5C04h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GENDN	RESDN
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	INFABT	—	RECLP	—	—	—	—	—	DRQOVR	INTDEV	DRPTO	—	MPDUD	INTCHG	OFMUD
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OFMUD	SYSR.OFMUDステータス通知許可ビット	0：SYSR.OFMUDステータスの通知を禁止 1：SYSR.OFMUDステータスの通知を許可	R/W
b1	INTCHG	SYSR.INTCHGステータス通知許可ビット	0：SYSR.INTCHGステータスの通知を禁止 1：SYSR.INTCHGステータスの通知を許可	R/W
b2	MPDUD	SYSR.MPDUDステータス通知許可ビット	0：SYSR.MPDUDステータスの通知を禁止 1：SYSR.MPDUDステータスの通知を許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	DRPTO	SYSR.DRPTOステータス通知許可ビット	0：SYSR.DRPTOステータスの通知を禁止 1：SYSR.DRPTOステータスの通知を許可	R/W
b5	INTDEV	SYSR.INTDEVステータス通知許可ビット	0：SYSR.INTDEVステータスの通知を禁止 1：SYSR.INTDEVステータスの通知を許可	R/W
b6	DRQOVR	SYSR.DRQOVRステータス通知許可ビット	0：SYSR.DRQOVRステータスの通知を禁止 1：SYSR.DRQOVRステータスの通知を許可	R/W
b11～b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	RECLP	SYSR.RECLPステータス通知許可ビット	0：SYSR.RECLPステータスの通知を禁止 1：SYSR.RECLPステータスの通知を許可	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INFABT	SYSR.INFABTステータス通知許可ビット	0：SYSR.INFABTステータスの通知を禁止 1：SYSR.INFABTステータスの通知を許可	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RESDN	SYSR.RESDNステータス通知許可ビット	0：SYSR.RESDNステータスの通知を禁止 1：SYSR.RESDNステータスの通知を許可	R/W
b17	GENDN	SYSR.GENDNステータス通知許可ビット	0：SYSR.GENDNステータスの通知を禁止 1：SYSR.GENDNステータスの通知を許可	R/W
b23～b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SYIPR レジスタは、SYNFPn モジュールのステータスの変化を、MIESR.SYn フラグに反映するかどうかを指定するレジスタです。

28.2.38　SYNFP MAC アドレスレジスタ (SYMACRU, SYMACRL)

アドレス： EPTPC0.SYMACRU E820 5810h, EPTPC1.SYMACRU E820 5C10h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	自局MACアドレスの上位24ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

アドレス： EPTPC0.SYMACRL E820 5814h, EPTPC1.SYMACRL E820 5C14h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	自局MACアドレスの下位24ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SYMACR(U/L) レジスタは、Ether ポート 0 および Ether ポート 1 の自局 MAC アドレスを指定するレジスタです。

SYMACR(U/L) レジスタの書き換えは、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

28.2.39　SYNFP LLC-CTL 値レジスタ (SYLLCCTLR)

アドレス： EPTPC0.SYLLCCTLR E820 5818h, EPTPC1.SYLLCCTLR E820 5C18h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CTL[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	CTL[7:0]	LLC-CTL フィールドビット	IEEE802.3 フレームフォーマットでのフレーム生成時、LLC 副層の制御フィールドに使用する値を設定します	R/W
b31～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SYLLCCTLR レジスタは、SYNFP モジュールが生成する LLC フレームの制御フィールド (LLC-CTL) 値を設定するレジスタです。

SYLLCCTLR レジスタの書き換えは、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

28.2.40　SYNFP 自局 IP アドレスレジスタ (SYIPADDRR)

アドレス： EPTPC0.SYIPADDRR E820 581Ch, EPTPC1.SYIPADDRR E820 5C1Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	自局 IP アドレスを設定します	R/W

SYIPADDRR レジスタは、Ether ポート 0 および Ether ポート 1 の自局 IP アドレスを指定するレジスタです。

SYIPADDRR レジスタの書き換えは、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

28.2.41　SYNFP 仕様・バージョン設定レジスタ (SYSPVRR)

アドレス： EPTPC0.SYSPVRR E820 5840h, EPTPC1.SYSPVRR E820 5C40h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TRSP[3:0]				VER[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b3～b0	VER[3:0]	versionPTP フィールド値ビット	PTP v2 ヘッダの versionPTP フィールドの値を設定します。 メッセージ受信時、受信フレームの versionPTP フィールドと比較されます。 メッセージ生成時、送信フレームの versionPTP フィールドに使用されます。 “0010b” (PTP v2) を設定してください	R/W
b7～b4	TRSP[3:0]	transportSpecific フィールド値ビット	PTP v2 ヘッダの transportSpecific フィールドの値を設定します。 メッセージ受信時、受信フレームの transportSpecific フィールドと比較されます。 メッセージ生成時、送信フレームの transportSpecific フィールドに使用されます。 “0000b” (IEEE 1588) を設定してください	R/W
b31～b8	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R

SYSPVRR レジスタは、PTP v2 メッセージヘッダの transportSpecific および versionPTP フィールドの値を設定するレジスタです。

PTP メッセージの受信または送信が許可されているとき、このレジスタを書き換えないでください。

28.2.42　SYNFP ドメイン番号設定レジスタ (SYDOMR)

アドレス： EPTPC0.SYDOMR E820 5844h, EPTPC1.SYDOMR E820 5C44h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	DNUM[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	DNUM[7:0]	domainNumber フィールド値設定ビット	PTP v2 ヘッダの domainNumber フィールドの値を設定します。 メッセージ受信時、PTP 受信処理の条件として受信フレームの domainNumber フィールドと比較されます。 メッセージ生成時、送信フレームの domainNumber フィールドに使用されます。	R/W
b31～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SYDOMR レジスタは、PTP v2 メッセージヘッダの domainNumber フィールドの値を設定するレジスタです。PTP メッセージの受信または送信が許可されているとき、このレジスタを書き換えないでください。

28.2.43　アナウンスメッセージフラグフィールド設定レジスタ (ANFR)

アドレス： EPTPC0.ANFR E820 5850h, EPTPC1.ANFR E820 5C50h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	FLAG 14	FLAG 13	—	—	FLAG 10	—	FLAG 8	—	—	FLAG 5	FLAG 4	FLAG 3	FLAG 2	FLAG 1	FLAG 0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLAG0	leap61 ビット	timePropertiesDS の leap61 メンバの論理値を設定します 0：leap61 を “FALSE” に設定 1：leap61 を “TRUE” に設定	R/W
b1	FLAG1	leap59 ビット	timePropertiesDS の leap59 メンバの論理値を設定します 0：leap59 を “FALSE” に設定 1：leap59 を “TRUE” に設定	R/W
b2	FLAG2	currentUtcOffsetValid ビット	timePropertiesDS の currentUtcOffsetValid メンバの論理値を設定します 0：currentUtcOffsetValid を “FALSE” に設定 1：currentUtcOffsetValid を “TRUE” に設定	R/W
b3	FLAG3	ptpTimescale ビット	timePropertiesDS の ptpTimescale メンバの論理値を設定します 0：ptpTimescale を “FALSE” に設定 1：ptpTimescale を “TRUE” に設定	R/W
b4	FLAG4	timeTraceable ビット	timePropertiesDS の timeTraceable メンバの論理値を設定します 0：timeTraceable を “FALSE” に設定 1：timeTraceable を “TRUE” に設定	R/W
b5	FLAG5	frequencyTraceable ビット	timePropertiesDS の frequencyTraceable メンバの論理値を設定します 0：frequencyTraceable を “FALSE” に設定 1：frequencyTraceable を “TRUE” に設定	R/W
b7、b6	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b8	FLAG8	alternateMasterFlag ビット	0：alternateMasterFlag を “FALSE” に設定 1：alternateMasterFlag を “TRUE” に設定	R/W
b9	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b10	FLAG10	unicastFlag ビット	0：unicastFlag を “FALSE” に設定 1：unicastFlag を “TRUE” に設定	R/W
b12、b11	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b13	FLAG13	PTP profile Specific 1 ビット	0：PTP profile Specific 1 を “FALSE” に設定 1：PTP profile Specific 1 を “TRUE” に設定	R/W
b14	FLAG14	PTP profile Specific 2 ビット	0：PTP profile Specific 2 を “FALSE” に設定 1：PTP profile Specific 2 を “TRUE” に設定	R/W
b31～b15	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

ANFR レジスタは、SYNFP モジュールが Announce メッセージを生成するときに、ヘッダの flagField フィールドに使用する値を設定するレジスタです。

ANFR レジスタで指定したデータは、SYRVLDR.ANUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.44　Sync メッセージフラグフィールド設定レジスタ (SYNFR)

アドレス： EPTPC0.SYNFR E820 5854h, EPTPC1.SYNFR E820 5C54h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	FLAG 14	FLAG 13	—	—	FLAG 10	FLAG 9	FLAG 8	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	FLAG8	alternateMasterFlag ビット	0：alternateMasterFlag を“FALSE”に設定 1：alternateMasterFlag を“TRUE”に設定	R/W
b9	FLAG9	twoStepFlag ビット	“0” (“FALSE”)にしてください	R/W
b10	FLAG10	unicastFlag ビット	0：unicastFlag を“FALSE”に設定 1：unicastFlag を“TRUE”に設定	R/W
b12、b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FLAG13	PTP profile Specific 1 ビット	0：PTP profile Specific 1 を“FALSE”に設定 1：PTP profile Specific 1 を“TRUE”に設定	R/W
b14	FLAG14	PTP profile Specific 2 ビット	0：PTP profile Specific 2 を“FALSE”に設定 1：PTP profile Specific 2 を“TRUE”に設定	R/W
b31～b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SYNFR レジスタは、SYNFP モジュールが Sync メッセージを生成するときに、ヘッダの flagField フィールドに使用する値を設定するレジスタです。

SYNFR レジスタで指定したデータは、SYRVLDR.STUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.45　Delay_Req メッセージフラグフィールド設定レジスタ (DYRQFR)

アドレス： EPTPC0.DYRQFR E820 5858h, EPTPC1.DYRQFR E820 5C58h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	FLAG 14	FLAG 13	—	—	FLAG 10	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	FLAG10	unicastFlag ビット	0：unicastFlag を“FALSE”に設定 1：unicastFlag を“TRUE”に設定	R/W
b12、b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FLAG13	PTP profile Specific 1 ビット	0：PTP profile Specific 1 を“FALSE”に設定 1：PTP profile Specific 1 を“TRUE”に設定	R/W
b14	FLAG14	PTP profile Specific 2 ビット	0：PTP profile Specific 2 を“FALSE”に設定 1：PTP profile Specific 2 を“TRUE”に設定	R/W
b31～b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DYRQFR レジスタは、SYNFP モジュールが Delay_Req または Pdelay_Req メッセージを生成するときに、ヘッダの flagField フィールドに使用する値を設定するレジスタです。

DYRQFR レジスタで指定したデータは、SYRVLDR.STUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.46　Delay_Resp メッセージフラグフィールド設定レジスタ (DYRPFR)

アドレス： EPTPC0.DYRPFR E820 585Ch, EPTPC1.DYRPFR E820 5C5Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	FLAG 14	FLAG 13	—	—	FLAG 10	FLAG 9	FLAG 8	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	FLAG8	alternateMasterFlag ビット (注1)	0：alternateMasterFlag を“FALSE”に設定 1：alternateMasterFlag を“TRUE”に設定	R/W
b9	FLAG9	twoStepFlag ビット (注2)	“0” (“FALSE”)にしてください	R/W
b10	FLAG10	unicastFlag ビット	0：unicastFlag を“FALSE”に設定 1：unicastFlag を“TRUE”に設定	R/W
b12、b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FLAG13	PTP profile Specific 1 ビット	0：PTP profile Specific 1 を“FALSE”に設定 1：PTP profile Specific 1 を“TRUE”に設定	R/W
b14	FLAG14	PTP profile Specific 2 ビット	0：PTP profile Specific 2 を“FALSE”に設定 1：PTP profile Specific 2 を“TRUE”に設定	R/W
b31～b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　Pdelay_Resp メッセージでは予約ビットです。"0"にしてください。
注2.　Delay_Resp メッセージでは予約ビットです。

DYRPFR レジスタは、SYNFP モジュールが Delay_Resp/Pdelay_Resp メッセージを生成するときに、ヘッダの flagField フィールドに使用する値を設定するレジスタです。

DYRPFR レジスタで指定したデータは、SYRVLDR.STUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

Delay_Resp メッセージまたは Pdelay_Resp メッセージの送信処理が有効であるとき、DYRPFR レジスタを書き換えないでください。また、送信処理を無効にした場合、SYSR.RESDN フラグが “1” になるまで、書き換えは行わないでください。

28.2.47　SYNFP 自局クロック ID レジスタ (SYCIDRU, SYCIDRL)

アドレス： EPTPC0.SYCIDRU E820 5860h, EPTPC1.SYCIDRU E820 5C60h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	自ポートのClock-IDの上位32ビットを設定します	R/W

アドレス： EPTPC0.SYCIDRL E820 5864h, EPTPC0.SYCIDRL E820 5C64h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	自ポートのClock-IDの下位32ビットを設定します	R/W

SYCIDR レジスタは、自ポートの Clock-ID を設定するレジスタです。

SYNFP モジュールが PTP メッセージ生成するときに、ヘッダの sourcePortIdentity フィールドの clockIdentity 部に使用されます。また、PTP メッセージを受信したときは、sourcePortIdentity フィールドの clockIdentity 部と比較され、自身が送信した PTP メッセージであるかどうかの判定に使われます。

通常は、portDS.portIdentity.clockIdentity 値を設定してください。

PTP メッセージの受信または送信が許可されているとき、SYCIDR レジスタの書き換えは行わないでください。

28.2.48　SYNFP 自局ポート番号レジスタ (SYPNUMR)

アドレス： EPTPC0.SYPNUMR E820 5868h, EPTPC1.SYPNUMR E820 5C68h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PNUM[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	PNUM[15:0]	自局ポート番号設定ビット	自ポートのポート番号を設定します。	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SYPNUMR レジスタは、自ポートのポート番号を設定するレジスタです。

SYNFP モジュールが PTP メッセージ生成するときに、ヘッダの sourcePortIdentity フィールドの portNumber 部に使用されます。また、PTP メッセージを受信したときは、sourcePortIdentity フィールドの portNumber 部と比較され、自身が送信した PTP メッセージであるかどうかの判定に使われます。

通常は、portDS.portIdentity.portNumber 値を設定してください。

PTP メッセージの受信または送信が許可されているとき、SYPNUMR レジスタの書き換えは行わないでください。

28.2.49　SYNFP レジスタ値ロード指示レジスタ (SYRVLDR)

アドレス： EPTPC0.SYRVLDR E820 5880h, EPTPC1.SYRVLDR E820 5C80h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ANUP	STUP	BMUP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BMUP	BMC更新ビット	このビットを“1”にすると、マスタクロックの識別情報を保持するレジスタの値を、SYNFPモジュールへ同時に反映します	W
b1	STUP	ステート更新ビット	このビットを“1”にすると、PTPメッセージ受信および送信に関するレジスタの値を、SYNFPモジュールへ同時に反映します	W
b2	ANUP	Announceメッセージ生成情報更新ビット	このビットを“1”にすると、Announceメッセージ生成に必要なレジスタの値を、Announceメッセージ生成ブロックへ同時に反映します	W
b31～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SYRVLDR レジスタは、複数のレジスタの値を SYNFP モジュールへ同時に更新させるために使用するレジスタです。

BMUP ビット (BMC 更新ビット)

このビットを "1" にすると、以下に示すマスタクロックの識別情報を保持するレジスタの値を、SYNFP モジュールへ同時に反映します。

- MTCIDU レジスタ、MTCIDL レジスタ
- MTPID レジスタ

STUP ビット (ステート更新ビット)

このビットを "1" にすると、以下に示す PTP メッセージ受信および送信に関するレジスタおよびビットの値を、SYNFP モジュールへ同時に反映します。

- SYNFR レジスタ
- DYRQFR レジスタ
- SYTLIR.DREQ[7:0] ビット
- RSTOUTR レジスタ
- SYRFL1R レジスタ
- SYRFL2R レジスタ
- SYTRENR レジスタ

ANUP ビット (Announce メッセージ生成情報更新ビット)

このビットを "1" にすると、以下に示す Announce メッセージ生成に必要なレジスタおよびビットの値を、Announce メッセージ生成ブロックへ同時に反映します。

- ANFR レジスタ
- SYTLIR.ANCE[7:0] ビット
- GMPR レジスタ
- GMCQR レジスタ
- GMIDRU レジスタ、GMIDRL レジスタ
- CUOTSR レジスタ
- SRR レジスタ

28.2.50　SYNFP 受信フィルタレジスタ 1 (SYRFL1R)

アドレス： EPTPC0.SYRFL1R E820 5890h, EPTPC1.SYRFL1R E820 5C90h

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PDFUP[2:0]			—	PDRP[2:0]			—	PDRQ[2:0]			—	DRP[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DRQ[2:0]			—	FUP[2:0]			—	SYNC[2:0]			—	—	ANCE[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANCE[1:0]	Announceメッセージ処理 設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b1			0：PRC-TCで中継(Port0、Port1間の中継)しない 1：PRC-TCで中継(Port0、Port1間の中継)する	R/W
b3、b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SYNC[2:0]	Syncメッセージ処理 設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b5			0：PRC-TCで中継(Port0、Port1間の中継)しない 1：PRC-TCで中継(Port0、Port1間の中継)する	R/W
b6			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	FUP[2:0]	Follow_Upメッセージ処理 設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b9			0：PRC-TCで中継(Port0、Port1間の中継)しない 1：PRC-TCで中継(Port0、Port1間の中継)する	R/W
b10			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	DRQ[2:0]	Delay_Reqメッセージ処理 設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b13			0：PRC-TCで中継(Port0、Port1間の中継)しない 1：PRC-TCで中継(Port0、Port1間の中継)する	R/W
b14			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	DRP[2:0]	Delay_Respメッセージ処理 設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b17			0：PRC-TCで中継(Port0、Port1間の中継)しない 1：PRC-TCで中継(Port0、Port1間の中継)する	R/W
b18			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	PDRQ[2:0]	Pdelay_Reqメッセージ処理 設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b21			0：PRC-TCで中継(Port0、Port1間の中継)しない 1：PRC-TCで中継(Port0、Port1間の中継)する	R/W
b22			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b24	PDRP[2:0]	Pdelay_Respメッセージ処理設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b25			0：PRC-TCで中継(Port0、Port1間の中継)しない 1：PRC-TCで中継(Port0、Port1間の中継)する	R/W
b26			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	PDFUP[2:0]	Pdelay_Resp_Follow_Up メッセージ処理設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b29			0：PRC-TCで中継(Port0、Port1間の中継)しない 1：PRC-TCで中継(Port0、Port1間の中継)する	R/W
b30			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYRFL1R レジスタは、PTP メッセージの受信フィルタを設定するレジスタです。

それぞれのメッセージに対応するビットを、複数ビット “1” にすることができます。全て “0” にすると、当該メッセージはすべて破棄されます。

SYRFL1R レジスタに設定したデータは、SYRVLDR.STUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.51　SYNFP 受信フィルタレジスタ 2 (SYRFL2R)

アドレス： EPTPC0.SYRFL2R E820 5894h, EPTPC0.SYRFL2R E820 5C94h

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ILL[1:0]		—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	SIG[1:0]		—	—	MAN[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MAN[1:0]	Managementメッセージ処理設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b1			0：PRC-TC で中継(Port0、Port1 間の中継)しない 1：PRC-TC で中継(Port0、Port1間の中継)する	R/W
b3、b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SIG[1:0]	Signalingメッセージ処理設定ビット	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b5			0：PRC-TC で中継(Port0、Port1間の中継)しない 1：PRC-TC で中継(Port0、Port1間の中継)する	R/W
b27～b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	ILL[1:0]	イリーガルメッセージ処理設定ビット (注1)	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b29			0：PRC-TC で中継(Port0、Port1間の中継)しない 1：PRC-TC で中継(Port0、Port1間の中継)する	R/W
b31、b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注1.　PTP v2以外、もしくはメッセージタイプが未定義のPTPメッセージをイリーガルメッセージとして扱います。

SYRFL2R レジスタは、PTP メッセージの受信フィルタを設定するレジスタです。

それぞれのメッセージに対応するビットを、複数ビット “1” にすることができます。全て “0” にすると、当該メッセージはすべて破棄されます。SYRFL2R レジスタに設定したデータは、SYRVLDR.STUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.52　SYNFP 送信許可レジスタ (SYTRENR)

アドレス： EPTPC0.SYTRENR E820 5898h, EPTPC1.SYTRENR E820 5C98h

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PDRQ	—	—	—	DRQ	—	—	—	SYNC	—	—	—	ANCE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANCE	Announceメッセージ送信許可ビット	0：Announceメッセージの送信を行わない 1：Announceメッセージの送信を行う	R/W
b3～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SYNC	Syncメッセージ送信許可ビット	0：Syncメッセージの送信を行わない 1：Syncメッセージの送信を行う	R/W
b7～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	DRQ	Delay_Reqメッセージ送信許可ビット	0：Delay_Reqメッセージの送信を行わない 1：Delay_Reqメッセージの送信を行う	R/W
b11～b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	PDRQ	Pdelay_Reqメッセージ送信許可ビット	0：Pdelay_Reqメッセージの送信を行わない 1：Pdelay_Reqメッセージの送信を行う	R/W
b31～b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SYTRENR レジスタは、PTP メッセージ送信を許可または禁止するレジスタです。

PDRQ ビットと DRQ ビットは、どちらか一方のみ “1” にしてください。双方が “1” の場合の動作は保証できません。

SYTRENR レジスタに設定したデータは、SYRVLDR.STUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.53　マスタクロック ID レジスタ (MTCIDU, MTCIDL)

アドレス： EPTPC0.MTCIDU E820 58A0h, EPTPC1.MTCIDU E820 5CA0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	マスタクロックのClock-ID の上位32 ビットを設定します	R/W

アドレス： EPTPC0.MTCIDL E820 58A4h, EPTPC1.MTCIDL E820 5CA4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	マスタクロックのClock-IDの下位32ビットを設定します	R/W

MTCID(U/L) レジスタは、同期させるマスタの Clock-ID を設定するレジスタです。

MTCID(U/L) レジスタに設定したデータは、SYRVLDR.BMUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.54　マスタクロックポート番号レジスタ (MTPID)

アドレス： EPTPC0.MTPID E820 58A8h, EPTPC1.MTPID E820 5CA8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PNUM[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	PNUM[15:0]	マスタクロックポート番号設定ビット	マスタクロックのポート番号を設定します	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

MTPID レジスタは、同期させるマスタのポート番号を設定するレジスタです。

MTPID レジスタに設定したデータは、SYRVLDR.BMUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

通常は、parentDS.parentPortIdentity.portNumber 値を設定してください。

28.2.55　SYNFP 送信間隔設定レジスタ (SYTLIR)

アドレス： EPTPC0.SYTLIR E820 58C0h, EPTPC1.SYTLIR E820 5CC0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DREQ[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC[7:0]								ANCE[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b7～b0	ANCE[7:0]	Announceメッセージ送信間隔設定ビット	Announceメッセージの送信間隔を設定します	R/W
b15～b8	SYNC[7:0]	Syncメッセージ送信間隔設定ビット	Syncメッセージの送信間隔を設定します。また、設定値はSyncメッセージのlogMessageIntervalフィールドにも使用されます	R/W
b23～b16	DREQ[7:0]	Delay_Reqメッセージ送信間隔平均値／Pdelay_Reqメッセージ送信間隔設定ビット	Delay_Reqメッセージの平均送信間隔とPdelay_Reqメッセージの送信間隔を設定します。 また、設定値はDelay_Respメッセージのフィールドにも使用されます	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SYTLIR レジスタは、SYNFP モジュールが生成するメッセージの送信間隔を指定するレジスタです。値は 2 を底とする対数 (log2(x)) で設定します。

設定した値を n とすると、送信間隔は 2^n [s] となります。設定可能な値は、-7 (F9h) ～ +6 (06h) です。

例：

06h を設定した場合、送信間隔は、$2^6 = 64$ [s] となります

00h を設定した場合、送信間隔は、$2^0 = 1$ [s] となります

FFh を設定した場合、送信間隔は、$2^{-1} = 0.5$ [s] = 500 [ms] となります

F9h を設定した場合、送信間隔は、$2^{-7} = 0.0078125$ [s] = 7.8125 [ms] となります

ANCE[7:0] ビットに設定した値は、SYRVLDR.ANUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

DREQ[7:0] および SYNC[7:0] ビットに設定した値は、SYRVLDR.STUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.56　SYNFP 受信 logMessageIntervel 値表示レジスタ (SYRLIR)

アドレス： EPTPC0.SYRLIR E820 58C4h, EPTPC1.SYRLIR E820 5CC4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DRESP[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

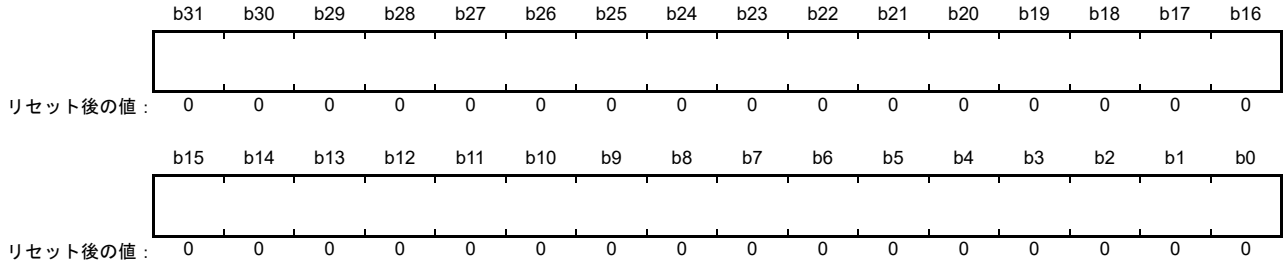
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC[7:0]								ANCE[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	ANCE [7:0]	Announce メッセージ logMessageInterval フィールド表示フラグ	受信した Announce メッセージの logMessageInterval フィールドの値が表示されます。	R
b15～b8	SYNC [7:0]	Sync メッセージ logMessageInterval フィールド表示フラグ	受信した Sync メッセージの logMessageInterval フィールドの値が表示されます。	R
b23～b16	DRESP [7:0]	Delay_Resp メッセージ logMessageInterval フィールド表示フラグ	受信した Delay_Resp メッセージの logMessageInterval フィールドの値が表示されます。	R
b31～b24	—	予約ビット	読むと“0”が読めます	R

SYRLIR レジスタは、受信した PTP メッセージの logMessageInterval フィールドの値を表示するレジスタです。

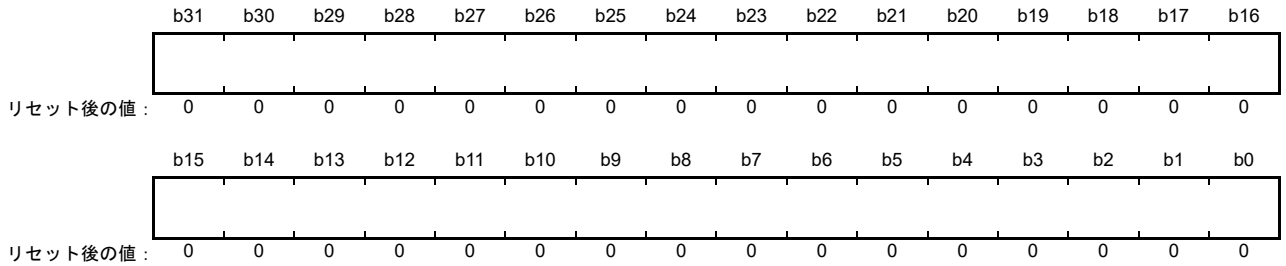
28.2.57 offsetFromMaster 値レジスタ (OFMRU, OFMRL)

アドレス： EPTPC0.OFMRU E820 58C8h, EPTPC1.OFMRU E820 5CC8h



ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	算出したoffsetFromMaster値の上位32ビットが表示されます	R

アドレス： EPTPC0.OFMRL E820 58CCh, EPTPC1.OFMRL E820 5CCCh



ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	算出したoffsetFromMaster値の下位32ビットが表示されます	R

OFMR(U/L) レジスタは、offsetFromMaster の算出値を表示するレジスタです。

表示される offsetFromMaster 値は 2 の補数で、単位は ns です。データセット currentDS.offsetFromMaster の数値表現 (注 1) とは異なりますので注意してください。

OFMR(U/L) レジスタを読む場合は、OFMRU、OFMRL の順にアクセスしてください。

注1. currentDS.offsetFromMasterの数値は2^{16}倍されています。
例: 2.5 [ns] = 00000000_00028000h

28.2.58　meanPathDelay 値レジスタ (MPDRU, MPDRL)

アドレス： EPTPC0.MPDRU E820 58D0h, EPTPC1.MPDRU E820 5CD0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	算出したmeanPathDelay値の上位32ビットが表示されます	R

アドレス： EPTPC0.MPDRL E820 58D4h, EPTPC1.MPDRL E820 5CD4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	算出したmeanPathDelay値の下位32ビットが表示されます	R

MPDR(U/L) レジスタは、meanPathDelay の算出値を表示するレジスタです。

表示される meanPathDelay 値は 2 の補数で、単位は ns です。データセット currentDS.meanPathDelay の数値表現 (注 1) とは異なりますので注意してください。

MPDR(U/L) レジスタを読む場合は、MPDRU、MPDRL の順にアクセスしてください。

注1.　currentDS.meanPathDelayの数値は2^{16}倍されています。
例: 2.5 [ns] = 00000000_00028000h

28.2.59 grandmasterPriority フィールド設定レジスタ (GMPR)

アドレス： EPTPC0.GMPR E820 58E0h, EPTPC1.GMPR E820 5CE0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	GMPR1[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	GMPR2[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	GMPR2[7:0]	grandmasterPriority2 フィールド値設定ビット	Announce メッセージの grandmasterPriority2 フィールドに使用する値を設定します	R/W
b15～b8	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R
b23～b16	GMPR1[7:0]	grandmasterPriority1 フィールド値設定ビット	Announce メッセージの grandmasterPriority1 フィールドに使用する値を設定します	R/W
b31～b24	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R

GMPR レジスタは、SYNFP モジュールが生成する Announce メッセージの grandmasterPriority1 および grandmasterPriority2 フィールドの値を指定するレジスタです。

GMPR レジスタに設定したデータは、SYRVLDR.ANUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.60 grandmasterClockQuality フィールド設定レジスタ (GMCQR)

アドレス： EPTPC0.GMCQR E820 58E4h, EPTPC0.GMCQR E820 5CE4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	Announceメッセージのgrandmasterクロッククオリティフィールドに使用する値を設定します。なお、grandmasterClockQualityフィールドは以下の構成になっています。 b31～b24：clockClass b23～b16：clockAccuracy b15～b0：offsetScaledLogVariance	R/W

GMCQR レジスタは、SYNFP モジュールが生成する Announce メッセージの grandmasterClockQuality フィールドの値を指定するレジスタです。

GMCQR レジスタに設定したデータは、SYRVLDR.ANUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.61 grandmasterIdentity フィールド設定レジスタ (GMIDRU, GMIDRL)

アドレス： EPTPC0.GMIDRU E820 58E8h, EPTPC1.GMIDRU E820 5CE8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	AnnounceメッセージのgrandmasterIdentityフィールドに使用する値の上位32ビットを設定します	R/W

アドレス： EPTPC0.GMIDRL E820 58ECh, EPTPC1.GMIDRL E820 5CECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	AnnounceメッセージのgrandmasterIdentityフィールドに使用する値の下位32ビットを設定します	R/W

GMIDR(U/L) レジスタは、SYNFP モジュールが生成する Announce メッセージの grandmasterIdentity フィールドの値を指定するレジスタです。

GMIDR(U/L) レジスタに設定したデータは、SYRVLDR.ANUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.62 currentUtcOffset/timeSource フィールド設定レジスタ (CUOTSR)

アドレス： EPTPC0.CUOTSR E820 58F0h, EPTPC1.CUOTSR E820 5CF0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CUTO[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TSRC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	TSRC[7:0]	timeSource フィールド値設定ビット	Announce メッセージの timeSource フィールドに使用する値を設定します	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31～b16	CUTO[15:0]	currentUtcOffset フィールド値設定ビット	Announce メッセージの currentUtcOffset フィールドに使用する値を設定します	R/W

CUOTSR レジスタは、SYNFP モジュールが生成する Announce メッセージの currentUtcOffset および timeSource フィールドの値を指定するレジスタです。

CUOTSR レジスタに設定したデータは、SYRVLDR.ANUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.63 stepsRemoved フィールド設定レジスタ (SRR)

アドレス： EPTPC0.SRR E820 58F4h, EPTPC1.SRR E820 5CF4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SRMV[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	SRMV[15:0]	stepsRemoved フィールド値設定ビット	Announce メッセージの stepsRemoved フィールドに使用する値を設定します	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SRR レジスタは、SYNFP モジュールが生成する Announce メッセージの stepsRemoved フィールドの値を指定するレジスタです。

SRR レジスタに設定したデータは、SYRVLDR.ANUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.64 PTP-primary メッセージ用宛先 MAC アドレス設定レジスタ (PPMACRU, PPMACRL)

アドレス： EPTPC0.PPMACRU E820 5900h, EPTPC1.PPMACRU E820 5D00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	1	1	0	1	1	0	0	0	1	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	PTP-primaryメッセージ用宛先MACアドレスの上位24ビットを設定します。	R/W
b31～b-24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC0.PPMACRL E820 5904h, EPTPC1.PPMACRL E820 5D04h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	PTP-primaryメッセージ用宛先MACアドレスの下位24ビットを設定します。	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PPMACR レジスタは、PTP-primary メッセージの宛先 MAC アドレスを指定するレジスタです。通常は、01:1B:19:00:00:00 を設定してください。

PTP-primary メッセージフレームを Ethernet フォーマットで生成する場合の宛先 MAC アドレスフィールドに使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.65 PTP-pdelay メッセージ用 MAC アドレス設定レジスタ (PDMACRU, PDMACRL)

アドレス： EPTPC0.PDMACRU E820 5908h, EPTPC1.PDMACRU E820 5D08h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	1	0	0	0	0	0	0	0	1	1	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	PTP-pdelayメッセージ用宛先MACアドレスの上位24ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC0.PDMACRL E820 590Ch, EPTPC1.PDMACRL E820 5D0Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	PTP-pdelayメッセージ用宛先MACアドレスの下位24ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PDMACR レジスタは、PTP-pdelay メッセージの宛先 MAC アドレスを指定するレジスタです。通常は、01:80:C2:00:00:0E を設定してください。

PTP-pdelay メッセージフレームを Ethernet フォーマットで生成する場合の宛先 MAC アドレスフィールドに使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.66　PTP メッセージ EtherType 設定レジスタ (PETYPER)

アドレス： EPTPC0.PETYPER E820 5910h, EPTPC1.PETYPER E820 5D10h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[15:0]															
リセット後の値：	1	0	0	0	1	0	0	0	1	1	1	1	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b15～b0	TYPE[15:0]	PTP メッセージ EtherType 値設定ビット	Ethernet II フレームの EtherType フィールドの値を設定します	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PETYPER レジスタは、PTP メッセージの EtherType を指定するレジスタです。通常は、“0000 88F7h” を設定してください。

PTP メッセージフレームを Ethernet II フォーマットで生成する場合の EtherType フィールドに使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.67　PTP-primary メッセージ用宛先 IP アドレス設定レジスタ (PPIPR)

アドレス： EPTPC0.PPIPR E820 5920h, EPTPC1.PPIPR E820 5D20h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	PTP-primaryメッセージ用宛先IPアドレスを設定します	R/W

PPIPR レジスタは、PTP-primary メッセージの宛先 IP アドレスを指定するレジスタです。通常は、“E000 0181h” (224.0.1.129) を設定してください。

PTP-primary メッセージフレームを IPv4 フォーマットで生成する場合の宛先 IP アドレスフィールドに使用されます。下位 23 ビットは Ethernet フレームの宛先 MAC アドレスフィールドにも使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.68　PTP-pdelay メッセージ用宛先 IP アドレス設定レジスタ (PDIPR)

アドレス： EPTPC0.PDIPR E820 5924h, EPTPC1.PDIPR E820 5D24h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	PTP-pdelayメッセージ用宛先IPアドレスを設定します	R/W

PDIPR レジスタは、PTP-pdelay メッセージの宛先 IP アドレスを指定するレジスタです。
通常は、“E000 006Bh” (224.0.0.107) を設定してください。

PTP-pdelay メッセージフレームを IPv4 フォーマットで生成する場合の宛先 IP アドレスフィールドに使用されます。下位 23 ビットは Ethernet フレームの宛先 MAC アドレスフィールドにも使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.69　PTP event メッセージ用 TOS 設定レジスタ (PETOSR)

アドレス： EPTPC0.PETOSR E820 5928h, EPTPC1.PETOSR E820 5D28h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	EVTO[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	EVTO[7:0]	PTP eventメッセージ用TOSフィールド値設定ビット	PTP eventメッセージのIPv4ヘッダ内TOSフィールドに使用する値を設定します	R/W
b31～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PETOSR レジスタは、PTP event メッセージの IPv4 ヘッダ内の TOS (Type of Service) フィールドの値を指定するレジスタです。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.70　PTP general メッセージ用 TOS 設定レジスタ (PGTOSR)

アドレス： EPTPC0.PGTOSR E820 592Ch, EPTPC1.PGTOSR E820 5D2Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	GETO[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	GETO[7:0]	PTP general メッセージ用 TOS フィールド値 設定ビット	PTP general メッセージの IPv4 ヘッダ内 TOS フィールドに使用する値を設定します。	R/W
b31～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PGTOSR レジスタは、PTP general メッセージの IPv4 ヘッダ内の TOS (Type of Service) フィールドの値を指定するレジスタです。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.71　PTP-primary メッセージ用 TTL 設定レジスタ (PPTTLR)

アドレス： EPTPC0.PPTTLR E820 5930h, EPTPC1.PPTTLR E820 5D30h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PRTL[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	PRTL[7:0]	PTP-primaryメッセージ用TTLフィールド値設定ビット	PTP-primaryメッセージのIPv4ヘッダ内TTLフィールドに使用する値を設定します	R/W
b31～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PPTTLR レジスタは、PTP-primary メッセージの IPv4 ヘッダ内の TTL (Time to Live) フィールドの値を指定するレジスタです。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.72　PTP-pdelay メッセージ用 TTL 設定レジスタ (PDTTLR)

アドレス： EPTPC0.PDTTLR E820 5934h, EPTPC1.PDTTLR E820 5D34h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PDTL[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b7～b0	PDTL[7:0]	PTP-pdelayメッセージ用TTLフィールド値ビット	PTP-pdelayメッセージのIPv4ヘッダ内TTLフィールドに使用する値を設定します	R/W
b31～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PDTTLR レジスタは、PTP-pdelay メッセージの IPv4 ヘッダ内の TTL フィールドの値を指定するレジスタです。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.73　PTP event メッセージ用 UDP 宛先ポート番号設定レジスタ (PEUDPR)

アドレス： EPTPC0.PEUDPR E820 5938h, EPTPC1.PEUDPR E820 5D38h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EVUPT[15:0]															
リセット後の値：	0	0	0	0	0	0	0	1	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b15～b0	EVUPT[15:0]	PTP eventメッセージ用宛先ポート番号設定ビット	PTP eventメッセージのUDPヘッダ内宛先ポート番号フィールドに使用する値を設定します	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PEUDPR レジスタは、PTP event メッセージの UDP ヘッダ内の宛先ポート番号フィールドの値を指定するレジスタです。通常は、“013Fh” (319) を設定してください。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.74　PTP general メッセージ用 UDP 宛先ポート番号設定レジスタ (PGUDPR)

アドレス： EPTPC0.PGUDPR E820 593Ch, EPTPC1.PGUDPR E820 5D3Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GEUPT[15:0]															
リセット後の値：	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	GEUPT[15:0]	PTP generalメッセージ用宛先ポート番号ビット	PTP generalメッセージのUDPヘッダ内宛先ポート番号フィールドに使用する値を設定します。	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PGUDPR レジスタは、PTP general メッセージの UDP ヘッダ内の宛先ポート番号フィールドの値を指定するレジスタです。通常は、“0140h” (320) を設定してください。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.75　フレーム受信フィルタ設定レジスタ (FFLTR)

アドレス：EPTPC0.FFLTR E820 5940h, EPTPC1.FFLTR E820 5D40h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EXTPRM
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ENB	PRT	SEL
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEL	受信MACアドレス選択ビット (注1)	PTPメッセージ以外のマルチキャストフレームに対するフィルタ設定を行います。 b2 b0 0 0 0：フィルタ無効(全てのマルチキャストフレームを受信) 0 0 1：フィルタ無効(全てのマルチキャストフレームを受信) 0 1 0：フィルタ無効(全てのマルチキャストフレームを受信) 0 1 1：フィルタ無効(全てのマルチキャストフレームを受信) 1 0 0：マルチキャストフレームを受信しない 1 0 1：マルチキャストフレームを受信しない 1 1 0：FMAC0R(U/L)レジスタのMACアドレスと一致するマルチキャストフレームのみ受信 1 1 1：FMAC1R(U/L)レジスタのMACアドレスと一致するマルチキャストフレームのみ受信	R/W
b1	PRT	フレーム受信許可ビット(注1)		R/W
b2	ENB	受信フィルタ許可ビット(注1)		R/W
b15～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	EXTPRM	拡張プロミスキャスモード設定ビット	0：通常動作(自宛ユニキャスト受信、PTPフィルタリング、マルチキャストフィルタリング、全ブロードキャスト受信) 1：拡張プロミスキャスモード(全てのフレームを受信)	R/W
b31～b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　これらのビットの設定は、EXTPRMビットが"0"のときのみ有効です。

FFLTR レジスタは、拡張プロミスキャスモードの設定と、PTP メッセージ以外のマルチキャストフレームに対する受信フィルタの設定を行うレジスタです。

PTP メッセージ以外のマルチキャストフレームに対する受信フィルタは、ENB、PRT、SEL ビットを “110b” または “111b” にすることで有効になります。受信フィルタを通過したフレームは EDMACn に転送されます。

なお、PTP メッセージ以外のマルチキャストフレームの中継は、TRNMR レジスタの設定に、PTP メッセージの受信、中継処理は、SYRFL1R レジスタおよび SYRFL2R レジスタの設定に従います。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.76　フレーム受信フィルタ用 MAC アドレス 0 設定レジスタ (FMAC0RU, FMAC0RL)

アドレス： EPTPC0.FMAC0RU E820 5960h, EPTPC1.FMAC0RU E820 5D60h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	受信するマルチキャストフレームの宛先MACアドレスの上位24ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC0.FMAC0RL E820 5964h, EPTPC1.FMAC0RL E820 5D64h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	受信するマルチキャストフレームの宛先MACアドレスの下位24ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

FMAC0R(U/L) レジスタは、PTP メッセージ以外のマルチキャストフレームの受信フィルタで使用する MAC アドレスを指定するレジスタです。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.77　フレーム受信フィルタ用 MAC アドレス 1 設定レジスタ（FMAC1RU、FMAC1RL）

アドレス： EPTPC0.FMAC1RU E820 5968h, EPTPC1.FMAC1RU E820 5D68h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	受信するマルチキャストフレームの宛先MACアドレスの上位24ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC0.FMAC1RL E820 596Ch, EPTPC1.FMAC1RL E820 5D6Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23～b0	—	—	受信するマルチキャストフレームの宛先MACアドレスの下位24ビットを設定します	R/W
b31～b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

FMAC1R(U/L) レジスタは、PTP メッセージ以外のマルチキャストフレームの受信フィルタで使用する MAC アドレスを指定するレジスタです。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.78　非対称遅延値設定レジスタ (DASYMRU, DASYMRL)

アドレス： EPTPC0.DASYMRU E820 59C0h, EPTPC1.DASYMRU E820 5DC0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	—	—	非対称遅延値の上位16ビットを設定します。 本MCUでは“0000h”を設定してください	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

アドレス： EPTPC0.DASYMRL E820 59C4h, EPTPC1.DASYMRL E820 5DC4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	非対称遅延値の下位32ビットを設定します。 本MCUでは“0000 0000h”を設定してください	R/W

DASYMR(U/L) レジスタは、非対称遅延値 (delayAsymmetry) を設定するレジスタです。
本 MCU では DASYMRU レジスタ、DASYMRL レジスタとも “0000 0000h” を設定してください。

28.2.79　タイムスタンプ遅延値設定レジスタ (TSLATR)

アドレス： EPTPC0.TSLATR E820 59C8h, EPTPC1.TSLATR E820 5DC8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	INGP[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EGP[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	EGP[15:0]	出力ポートタイムスタンプ遅延値設定ビット	出力ポートのタイムスタンプ遅延値[ns]を設定します	R/W
b31～b16	INGP[15:0]	入力ポートタイムスタンプ遅延値設定ビット	入力ポートのタイムスタンプ遅延値[ns]を設定します	R/W

TSLATR レジスタは、タイムスタンプ取得遅延量を ns 単位で設定するレジスタです。
PTP メッセージの受信もしくは送信が許可されているとき、このレジスタを書き換えないでください。

EGP[15:0] ビット (出力ポートタイムスタンプ遅延値設定ビット)

表 28.9 に示す固定値を設定してください。Link 転送速度 (100 Mbps / 10 Mbps) と STCA クロック周波数 (25 MHz / 50 MHz) により、タイムスタンプ遅延値が異なります。

表28.9　EGP[15:0]ビットの設定値[ns]

Link転送速度		STCAクロック周波数		
		20 MHz	25 MHz	50 MHz
MII	100 Mbps	590	625	695
	10 Mbps	7430	7465	7535
RMII	100 Mbps	770	805	875
	10 Mbps	9230	9265	9335

INGP[15:0] ビット (入力ポートタイムスタンプ遅延値設定ビット)

表 28.10 に示す固定値を設定してください。Link 転送速度 (100 Mbps / 10 Mbps) と STCA クロック周波数 (25 MHz / 50 MHz) により、タイムスタンプ遅延値が異なります。

表28.10　INGP[15:0]ビットの設定値[ns]

Link転送速度		STCAクロック周波数		
		20 MHz	25 MHz	50 MHz
MII	100 Mbps	980	945	875
	10 Mbps	8180	8145	8075
RMII	100 Mbps	1060	1025	955
	10 Mbps	8980	8945	8875

28.2.80　SYNFP 動作設定レジスタ (SYCONFR)

アドレス： EPTPC0.SYCONFR E820 59CCh, EPTPC1.SYCONFR E820 5DCCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TC MOD	—	—	—	FILDIS
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SBDIS	—	—	—	—	TCYC[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	TCYC[7:0]	PTPメッセージ送信間隔設定ビット	送信完了から送信開始までの時間を送信クロックのサイクル数で設定します。 設定値をnとすると、nサイクルの送信間隔を確保します。 “00h”を設定した場合は送信間隔の確保は行いません。 推奨値は“28h” (40サイクル)です	R/W
b11～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	SBDIS	Syncメッセージ送信帯域確保機能無効化ビット	0：Syncメッセージ送信帯域確保機能有効 (EDMAC優先度低) 1：Syncメッセージ送信帯域確保機能無効 (EDMAC優先度高)	R/W
b15～b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	FILDIS	受信メッセージdomainNumberフィルタ禁止ビット	0：PTPメッセージの受信フィルタの条件にdomainNumberフィールドとの比較を含める 1：PTPメッセージの受信フィルタの条件にdomainNumberフィールドとの比較を含めない	R/W
b19～b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TCMOD	TCモード設定ビット	0：E2E TC 1：P2P TC	R/W
b31～b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SYCONFR レジスタは、SYNFP モジュールの動作を設定するレジスタです。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

TCYC[7:0] ビット (PTP メッセージ送信間隔設定ビット)

PTP メッセージの ETHERC 内での送信遅延時間を一定にするために、パケット間の待ち時間を確保するためのビットです。

ETHERC の送信完了信号が入力されてから次の送信要求信号を出力するまでの時間を送信クロック (Link 転送速度が 10 Mbps のときは 2.5 MHz、100 Mbps のときは 25 MHz) のサイクル数で設定します。

SBDIS ビット (Sync メッセージ送信帯域確保機能無効化ビット)

SYNC メッセージの送信周期精度向上のために確保している帯域を無効にするビットです。

TCMOD ビット (TC モード設定ビット)

TC として動作する場合の Delay Mechanism を設定します。この設定により、TC における correctionField フィールドの演算方法を変更します。

28.2.81　SYNFP フレームフォーマット設定レジスタ (SYFORMR)

アドレス： EPTPC0.SYFORMR E820 59D0h, EPTPC1.SYFORMR E820 5DD0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FORM1	FORM0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FORM0	Ethernetフレームフォーマット設定ビット	“0”：（Ethernet IIフレームフォーマット）にしてください	R/W
b1	FORM1	Ethernet/UDPカプセル化ビット	0：PTP directly over Ethernet 1：PTP over UDP/IPv4	R/W
b31～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

SYFORMR レジスタは、SYNFP モジュールが生成するフレームフォーマットの種類を指定するレジスタです。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

28.2.82　レスポンスメッセージ受信タイムアウトレジスタ (RSTOUTR)

アドレス： EPTPC0.RSTOUTR E820 59D4h, EPTPC1.RSTOUTR E820 5DD4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	レスポンスメッセージ受信タイムアウト時間設定ビット	設定値をnとすると、n × 1024 [ns] 以内にレスポンスメッセージを受信できなかった場合にタイムアウトと判定されます。	R/W

RSTOUTR レジスタは、PTP のレスポンスメッセージ (Delay_Resp/Pdelay_Resp) の受信タイムアウト検出機能に使用し、タイムアウトまでの時間を指定するレジスタです。

Delay_Req または Pdelay_Req メッセージを送信した後、設定した時間内に Delay_Resp または Pdelay_Resp メッセージを受信できなかった場合、SYSR.DRPTO フラグが “1” になります。

このレジスタに設定したデータは、SYRVLDR.STUP ビットを “1” にすることで、SYNFP モジュールに反映されます。

28.2.83　PTP リセットレジスタ (PTRSTR)

アドレス： EPTPC.PTRSTR E820 4500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RESET
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RESET	EPTPC ソフトウェアリセットビット	0：EPTPC をリセットしない 1：EPTPC をリセットする (注1)	R/W
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　ソフトウェアリセット実行中は、本レジスタ以外のEPTPC関連レジスタにアクセスしないでください。

PTRSTR レジスタは、EPTPC をリセットするためのレジスタです。

EPTPC の初期化完了までの所要時間は、周辺モジュールクロック (Bφ) で 64 サイクルです。RESET ビットを “1” にした後は、Bφ の 64 サイクル分の時間を待ってから RESET ビットを “0” に戻してください。

28.2.84　STCA クロック選択レジスタ (STCSELR)

アドレス： EPTPC.STCSELR E820 4504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCLKSEL[2:0]			—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2、b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b7～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b10～b8	SCLKSEL [2:0]	STCA クロック 選択ビット	b10 b8 010 : REF50CK0端子からの入力クロック 011 : REF50CK1端子からの入力クロック 100 : ET0_RX_CLK端子からの入力クロック／ET0_SCLKIN端子からの入力クロック 101 : ET1_RX_CLK端子からの入力クロック／ET1_SCLKIN端子からの入力クロック 上記以外は設定しないでください	R/W
b31～b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

STCSELR レジスタは、EPTPC で使用する STCA クロックを選択するレジスタです。

EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に設定してください。また、動作中は書き換えないでください。

SCLKSEL[2:0] ビット (STCA クロック選択ビット)

EPTPC で使用する STCA クロックを選択します。ETn_RX_CLK/ETn_SCLKIN の切り替えは、周辺端子機能制御レジスタ (PMODEPFS）の Etn_EXOUT_SEL ビットにより選択されます。詳しくは、**「51.　汎用入出力ポート」**を参照してください。

28.2.85　1588 モジュールバイパスレジスタ (BYPASS)

アドレス： EPTPC.BYPASS E820 4508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BYPASS1
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BYPASS0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYPASS0	Ether 0ch 1588 モジュール バイパス設定	0：Etherチャネル0の1588モジュールを使用 1：Etherチャネル0の1588モジュールをバイパス	R/W
b15～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	
b16	BYPASS1	Ether 1ch 1588 モジュール バイパス設定	0：Etherチャネル1の1588モジュールを使用 1：Etherチャネル1の1588モジュールをバイパス	
b31～b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　Etherの動作中は、バイパスレジスタにアクセスしないでください。EPTPCを使用しない場合、EPTPC内のバイパスレジスタを設定してバイパスすることができます。

28.3　動作説明

EPTPC は、リセット解除後、PTP メッセージの受信 (解析) と送信 (生成) を行わない設定になっているため、ETHERC と EDMAC は、EPTPC の影響を受けずにフレームの送受信を行います。EPTPC のレジスタに値を設定することで、ETHERC と EDMAC は、SYNFP モジュールの MAC アドレスによるフィルタ機能や、PRC-TC モジュールの Ether ポート間中継機能 を使用することができるようになります。PTP メッセージの送受信を行うには、EPTPC の設定を行う必要があります。

フレームの転送および中継に関するモジュールのブロック図を**図 28.4** に示します。

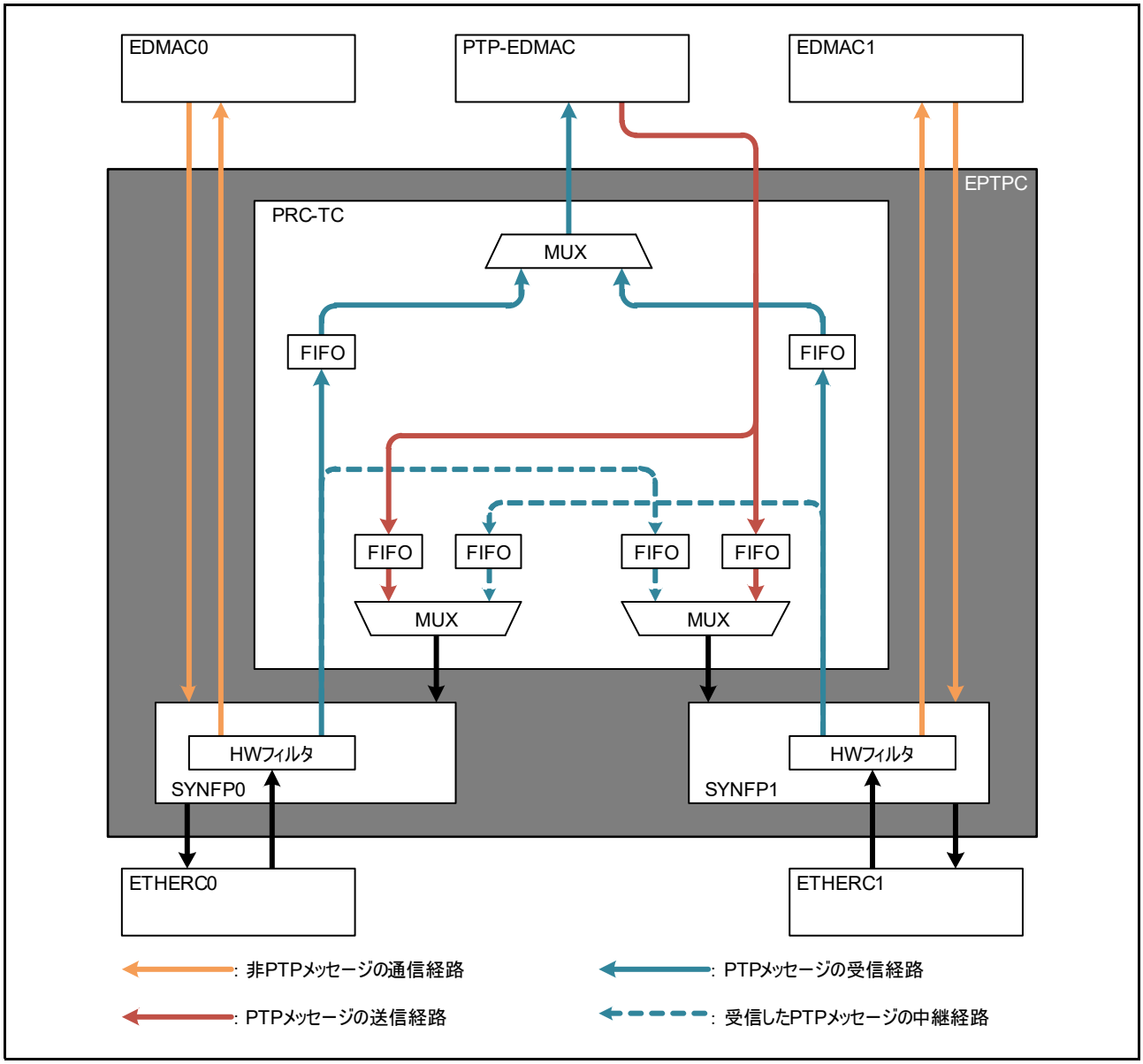


図 28.4　　フレームの転送および中継に関するモジュールのブロック図

28.3.1　非 PTP メッセージの送受信と中継

FFLTR.EXTPRM ビットが "1" (拡張プロミスキャスモード) のとき、EPTPC は拡張プロミスキャスモードで動作します。このモードでは、Ether ポートから受信したフレームは、フィルタリングされず、全て EDMAC へ転送されます。

FFLTR.EXTPRM ビットが "0" (通常動作) のとき、EPTPC は、通常動作モードで動作します。このモードでは、Ether ポートで受信したフレームは、SYNFP モジュールのハードウェアフィルタ機能により、フィルタリングされます。

また、TRNMR.FWD0 ビットおよび FWD1 ビットにより、他ノード宛のフレームをもう一方の Ether ポートへ中継することもできます。

ユニキャストフレームを受信した場合、そのフレームが自ノード宛であれば、EPTPC は EDMAC へフレームを転送します。他ノード宛のフレームを受信した場合、Ether ポート間の中継機能が有効であれば、EPTPC は他 Ether ポートへ受信したフレームを中継します。

マルチキャストフレームを受信した場合、EDMAC へフレームを転送する、転送しない、または指定した MAC アドレスと一致した場合のみ転送する、のいずれかから動作を選択できます。また、Ether ポート間の中継機能が有効であれば、EPTPC は他 Ether ポートへマルチキャストフレームを中継します。

ブロードキャストフレームを受信した場合、EPTPC は自 Ether ポートの EDMAC へフレームを転送します。また、Ether ポート間の中継機能が有効であれば、他 Ether ポートへブロードキャストフレームを中継します。

受信したフレームを他 Ether ポートへ中継する機能を持つ PRC-TC モジュールには、フレームを中継するための中継 FIFO が存在します。中継 FIFO からのデータの読み出しは、ストア & フォワード方式とカットスルー方式の 2 種類から選択できます。カットスルー方式では、中継 FIFO 内にフレームが 1 つ以上存在するか、中継 FIFO 内にしきい値以上のデータが存在するか、のいずれかあるいは両方が成立したときに中継 FIFO の読み出しを開始します。中継 FIFO 読み出しのしきい値は、TRNCTTDR.THVAL[10:0] ビットで指定します。

カットスルー方式では、読み出し開始後に障害 (リードデータ化け等) が発生して、当該フレームがエラーフレーム扱いになった場合、ETHERC へエラーを通知する手段がありません。そのため、ETHERC がこのエラーフレームを正常フレームとして回線へ送出する可能性があります。このような状況を回避するには、ストア & フォワード方式で中継 FIFO を読み出すようにしてください。ストア & フォワード方式では、PRC-TC モジュール内でエラーフレームが破棄されます。

28.3.2　非 PTP メッセージの通信経路

Ether ポートで受信したメッセージは、EDMAC へ転送されます。また、PRC-TC モジュールの Ether ポート間中継機能により、Ether ポート間でメッセージを中継することができます。

非 PTP メッセージの送受信と中継の経路を図 28.5 に示します。

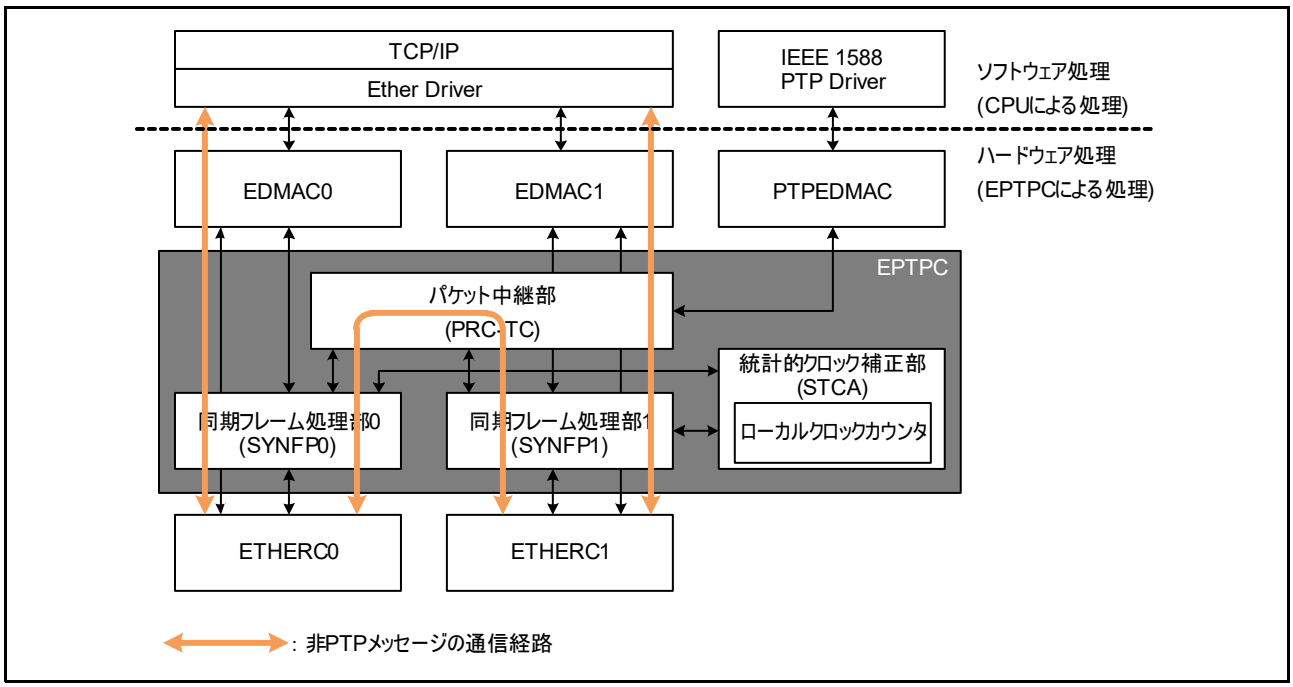


図 28.5　非 PTP メッセージの送受信と中継の経路

28.3.3 PTP メッセージの送受信と中継

EPTPC では、設定内容により、受信した PTP メッセージの解析およびフィールドの抽出と、PTP メッセージの生成および送信を、ハードウェアが自動で行います。ただし、一部の PTP メッセージは、ソフトウェアによって送受信する必要があります。PTP メッセージの送受信制御の仕様を表 28.11 示します。

表 28.11　PTP メッセージの制御

メッセージタイプ	メッセージ	OC (Ordinary Clock)/BC (Boundary Clock)		TC (Transparent Clock)
		マスタ	スレーブ	
Event	Sync	生成(自動)	受信(自動)	中継(自動)
	Delay_Req	生成(自動)	受信(自動)	中継(自動)
	Pdelay_Req	生成および受信(自動)	生成および受信(自動)	生成および受信(自動)
	Pdelay_Resp	生成および受信(自動)	生成および受信(自動)	生成および受信(自動)
General	Announce	生成(自動)	受信(ソフトウェア)	受信(ソフトウェア)
	Follow_Up	— (注1)	受信(自動)	中継(自動)
	Delay_Resp	パケット生成	受信(自動)	中継(自動)
	Pdelay_Resp_Follow_Up	— (注1)	受信(自動)	中継(自動)
	Management	送受信(ソフトウェア)		送受信(ソフトウェア) 中継(自動)
	Signaling	送受信(ソフトウェア)		送受信(ソフトウェア) 中継(自動)

注1.　One-Step で対応するため、制御の必要はありません。

28.3.4　PTP メッセージの通信経路

PTP メッセージの通信経路は、ソフトウェアによる処理が必要なメッセージと、ハードウェアによって自動で処理されるメッセージとで異なります。

28.3.4.1　ソフトウェア処理が必要な PTP メッセージの通信経路

ソフトウェア処理が必要な PTP メッセージの通信経路を図 28.6 に示します。
表 28.11 で「(ソフトウェア)」が付く処理が、図に示す経路を使用します。

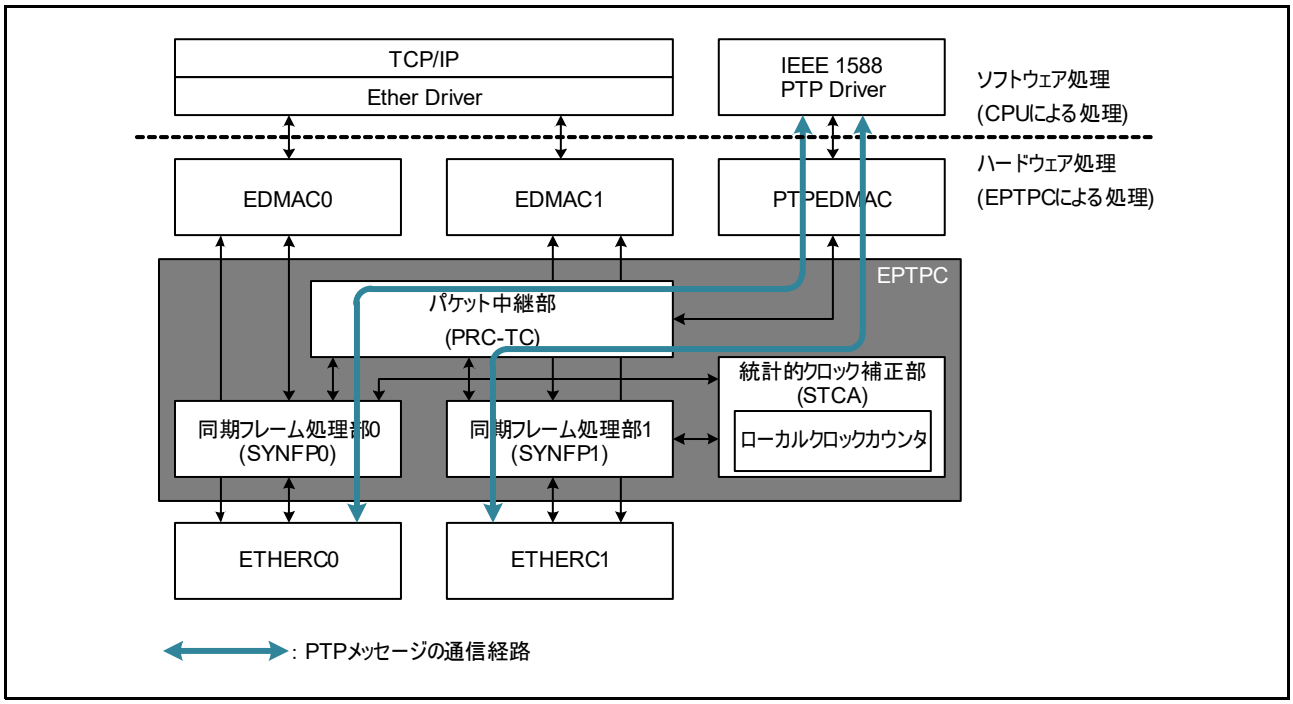


図 28.6　ソフトウェア処理が必要な PTP メッセージの通信経路

28.3.4.2　自動で処理される PTP メッセージの通信経路

ハードウェアによって自動で処理される PTP メッセージの送受信は SYNFP モジュールによって、中継は PRC-TC モジュールによって 行われます。

(1)　ハードウェアによる PTP メッセージの生成と応答

SYNFP モジュールが自動的に PTP メッセージを生成したり、自動的に応答するときの通信経路を**図 28.7** に示します。**表 28.11** で中継以外の「(自動)」が付く処理が、図に示す経路を使用します。

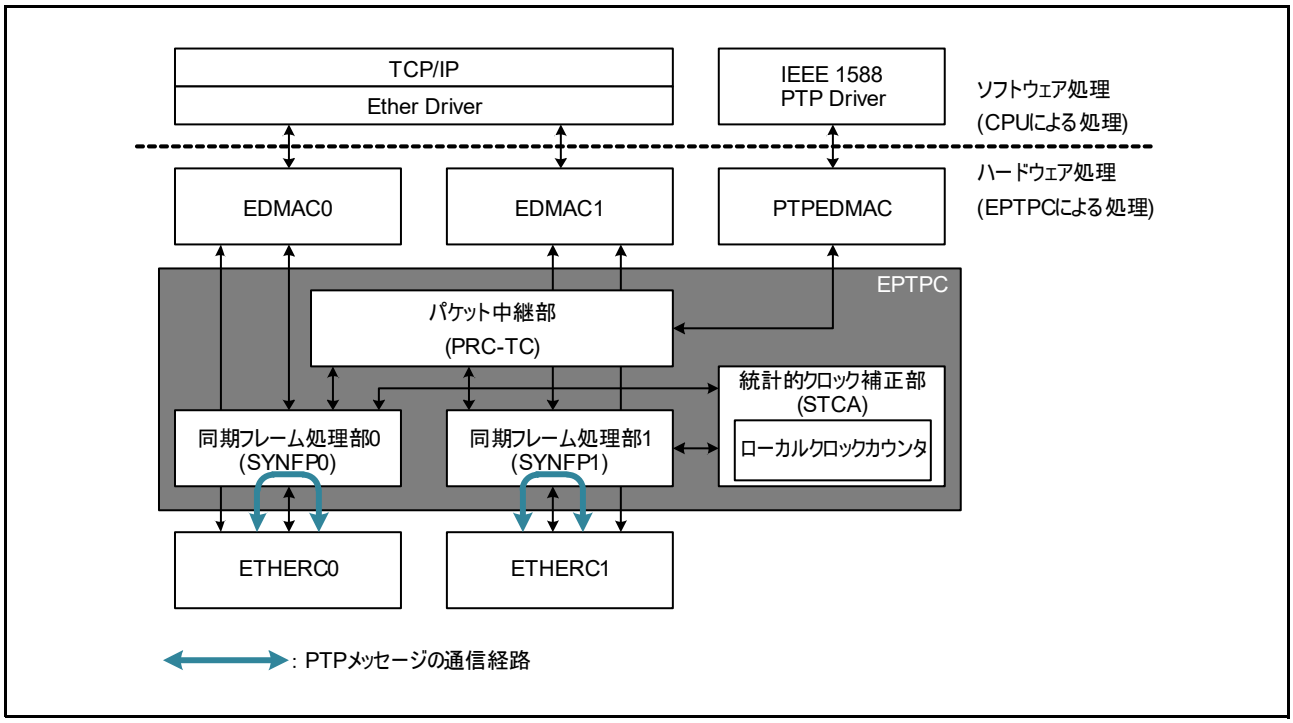


図 28.7　　ハードウェアによる PTP メッセージの生成と応答の経路

(2)　ハードウェアによる PTP メッセージの中継

PRC-TC モジュールにより、PTP メッセージが中継される経路を図 28.8 に示します。表 28.11 の中継処理が、図に示す経路を使用します。

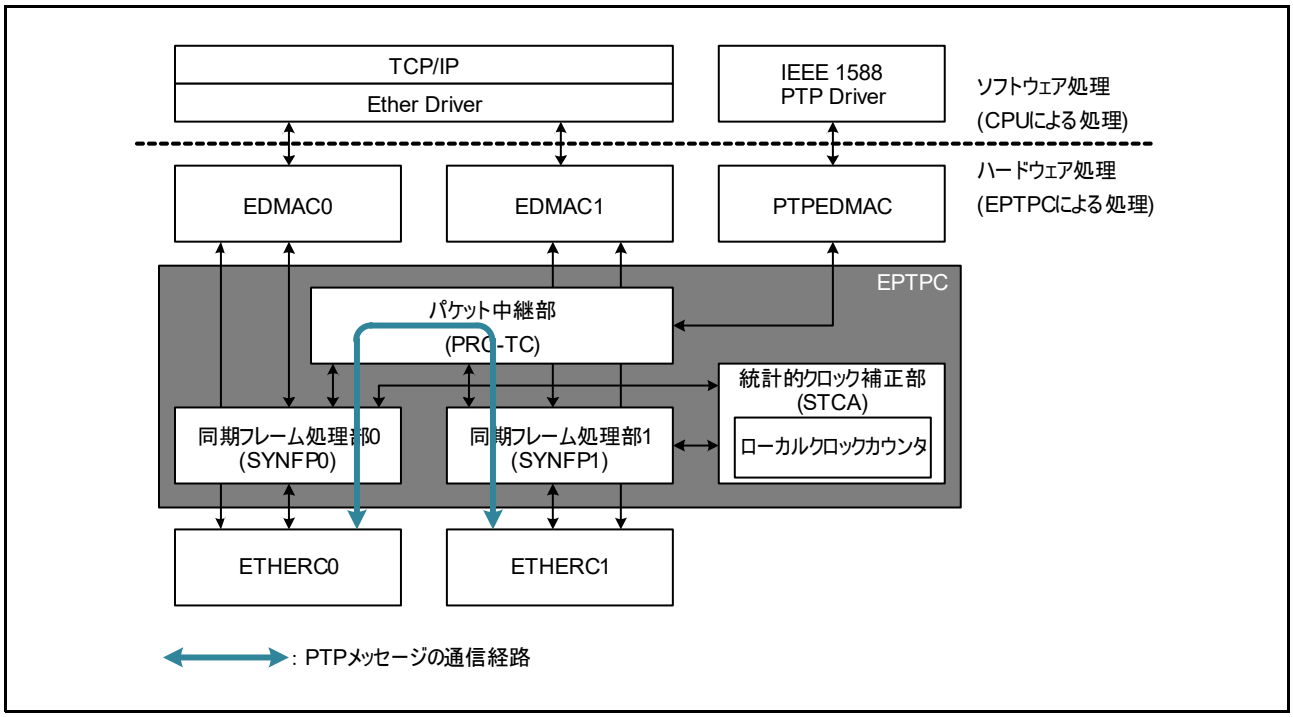


図 28.8　　ハードウェアによる PTP メッセージの中継経路

28.3.5　クロックデバイス

EPTPC は、IEEE 1588 で規定されているクロックデバイスとして動作することができます。

28.3.5.1　End-to-End (E2E)

(1)　マスタ

E2E マスタとして動作する場合、以下の PTP メッセージの送受信を行います。

表28.12　PTPメッセージの処理一覧(E2Eマスタ)

メッセージタイプ	メッセージ	処理内容
Event	Sync	SYTLIR.SYNC[7:0]ビットで指定された間隔で定周期送信を行います。
	Delay_Req	このメッセージを受信すると、Delay_Respによる応答を行います。
	Pdelay_Req	—
	Pdelay_Resp	—
General	Announce	SYTLIR.ANCE[7:0]ビットで指定された間隔で定周期送信を行います。
	Follow_Up	—
	Delay_Resp	Delay_Reqメッセージを受信すると、応答送信を行います。
	Pdelay_Resp_Follow_Up	—
	Management	PTPEDMAC経由でソフトウェアにより送受信を行います。
	Signaling	PTPEDMAC経由でソフトウェアにより送受信を行います。

(2)　スレーブ

E2E スレーブとして動作する場合、以下の PTP メッセージの送受信を行い、算出した offsetFromMaster 値で自身の時刻情報を補正します。

表28.13　PTPメッセージの処理一覧(E2Eスレーブ)

メッセージタイプ	メッセージ	処理内容
Event	Sync	flagFieldのtwoStepFlagがFALSE (one-step clock)である場合、このメッセージを受信するとoffsetFromMaster値を算出します。
	Delay_Req	0からSYTLIR.DREQ[7:0]ビットで指定された時間×2までの間隔でランダムに送信を行います。
	Pdelay_Req	—
	Pdelay_Resp	—
General	Announce	PTPEDMAC経由でソフトウェアに渡されます。
	Follow_Up	先に受信したSyncメッセージのflagFieldのtwoStepFlagがTRUE (two-step clock)である場合、このメッセージを受信するとoffsetFromMaster値を算出します。
	Delay_Resp	このメッセージを受信すると、meanPathDelay値を算出します。
	Pdelay_Resp_Follow_Up	—
	Management	PTPEDMAC経由でソフトウェアにより送受信を行います。
	Signaling	PTPEDMAC経由でソフトウェアにより送受信を行います。

28.3.5.2 Peer-to-Peer (P2P)

(1) マスタ

P2P マスタとして動作する場合、以下の PTP メッセージの送受信を行います。

表28.14　PTPメッセージの処理一覧(P2Pマスタ)

メッセージタイプ	メッセージ	処理内容
Event	Sync	SYTLIR.SYNC[7:0]ビットで指定された間隔で定期的に送信時のタイムスタンプを送信します。
	Delay_Req	—
	Pdelay_Req	SYTLIR.DREQ[7:0]ビットで指定された間隔で定周期送信を行います。 このメッセージを受信すると、Pdelay_Respの応答を行います。
	Pdelay_Resp	Pdelay_Reqメッセージを受信すると、応答送信を行います。 flagFieldのtwoStepFlagがFALSE (one-step clock)の場合、このメッセージを受信するとmeanPathDelay値を算出します。
General	Announce	SYTLIR.ANCE[7:0]ビットで指定された間隔で定周期送信を行います。
	Follow_Up	—
	Delay_Resp	—
	Pdelay_Resp_Follow_Up	先に受信したPdelay_RespメッセージのflagFieldのtwoStepFlagがTRUE (two-step clock)である場合、このメッセージを受信するとmeanPathDelay値を算出します。
	Management	PTPEDMAC経由でソフトウェアにより送受信を行います。
	Signaling	PTPEDMAC経由でソフトウェアにより送受信を行います。

(2) スレーブ

P2P スレーブとして動作する場合、以下の PTP メッセージの送受信を行い、算出した offsetFromMaster 値で自身の時刻情報を補正します。

表28.15　PTPメッセージの処理一覧(P2Pスレーブ)

メッセージタイプ	メッセージ	処理内容
Event	Sync	flagFieldのtwoStepFlagがFALSE (one-step clock)である場合、このメッセージを受信するとoffsetFromMaster値を算出します。
	Delay_Req	—
	Pdelay_Req	SYTLIR.DREQ[7:0]ビットで指定された間隔で定周期送信を行います。 このメッセージを受信すると、Pdelay_Respの応答を行います。
	Pdelay_Resp	Pdelay_Reqメッセージを受信すると、応答送信を行います。 flagFieldのtwoStepFlagがFALSE (one-step clock)の場合、このメッセージを受信するとmeanPathDelay値を算出します。
General	Announce	PTPEDMAC経由でソフトウェアに渡されます。
	Follow_Up	先に受信したSyncメッセージのflagFieldのtwoStepFlagがTRUE (two-step clock)である場合、このメッセージを受信するとoffsetFromMaster値を算出します。
	Delay_Resp	—
	Pdelay_Resp_Follow_Up	先に受信したPdelay_RespメッセージのflagFieldのtwoStepFlagがTRUE (two-step clock)である場合、このメッセージを受信するとmeanPathDelay値を算出します。
	Management	PTPEDMAC経由でソフトウェアにより送受信を行います。
	Signaling	PTPEDMAC経由でソフトウェアにより送受信を行います。

28.3.5.3 Ordinary Clock (OC)

いずれか一方の Ether ポートで PTP メッセージの送受信を行います。

OC は、グランドマスタクロックか、マスタ - スレーブ階層でのスレーブクロックとして動作します。

E2E マスタ、E2E スレーブ、P2P マスタ、および P2P スレーブとしての動作に関しては、**「28.3.7　E2E マスタ動作」**、**「28.3.8　E2E スレーブ動作」**、**「28.3.10　P2P マスタ動作」**、**「28.3.11　P2P スレーブ動作」**を参照してください。

28.3.5.4 Boundary Clock (BC)

両方の Ether ポートで PTP メッセージの送受信を行います。

一方のポートはルートとなるマスタクロックに同期したスレーブとして、他方のポートはマスタクロックに同期した時刻情報を配信するマスタとして動作します。

また、両方のポートをマスタとして動作させることも可能です。

E2E マスタ、E2E スレーブ、P2P マスタ、および P2P スレーブとしての動作に関しては、**「28.3.7　E2E マスタ動作」**、**「28.3.8　E2E スレーブ動作」**、**「28.3.10　P2P マスタ動作」**、**「28.3.11　P2P スレーブ動作」**を参照してください。

28.3.5.5 Transparent Clock (TC)

(1) E2E TC

E2E TC として動作する場合、受信した PTP-primary および PTP-pdelay メッセージを中継します。

表28.16　パケット処理一覧(E2E TC)

メッセージタイプ	メッセージ	処理内容
Event	Sync	クロックデバイス内での滞留時間を加算し、中継します。
	Delay_Req	
	Pdelay_Req	
	Pdelay_Resp	
General	Announce	中継します。
	Follow_Up	
	Delay_Resp	
	Pdelay_Resp_Follow_Up	
	Management	中継します。 また、PTPEDMAC経由でソフトウェアによる送受信も行います。
	Signaling	

(2) P2P TC

P2P TC として動作する場合、Delay_Req と Delay_Resp を除く PTP-primary メッセージを中継します。

表28.17　パケット処理一覧(P2P TC)

メッセージタイプ	メッセージ	処理内容
Event	Sync	クロックデバイス内での滞留時間を加算し、中継します。
	Delay_Req	—
	Pdelay_Req	SYTLIR.DREQ[7:0]ビットで指定された間隔で定周期送信を行います。 このメッセージを受信すると、Pdelay_Respの応答を行います。
	Pdelay_Resp	Pdelay_Reqメッセージを受信すると、応答送信を行います。 flagFieldのtwoStepFlagがFALSE (one-step clock)の場合、このメッセージを受信するとmeanPathDelay値を算出します。
General	Announce	中継します
	Follow_Up	
	Delay_Resp	—
	Pdelay_Resp_Follow_Up	先に受信したPdelay_RespメッセージのflagFieldのtwoStepFlagがTRUE (two-step clock)である場合、このメッセージを受信するとmeanPathDelay値を算出します。
	Management	中継します また、PTPEDMAC経由でソフトウェアによる送受信も行います。
	Signaling	

28.3.6 EPTPC の初期化

PTP メッセージを送受信するには、EPTPC の各レジスタに対して設定を行う必要があります。初期設定が必要なレジスタの一覧を表 28.18 に示します。使用する Ether ポートに対応したレジスタに初期設定を行ってください。PTP メッセージのフレームフォーマットに UDP/IPv4 を使用する場合、表 28.19 に示すレジスタにも初期設定を行ってください。

表28.18　初期設定が必要なレジスター覧

レジスタ名称	設定値	備考
STCFR	例) 0000 0002h	例として50 MHzを示しています。他に3種設定可能です。
STCSELR	例) 0000 0206h	例としてREF50CK0端子からの入力クロックを示しています。
PRMACRU0, PRMACRL0	任意	Etherポート0を使用しない場合、設定は不要です。
PRMACRU1, PRMACRL1	任意	Etherポート1を使用しない場合、設定は不要です。
SYCONFR	例) 0000 0028h	動作させるデバイスタイプにより、設定値が異なります。
SYMACRU, SYMACRL	任意	
SYSPVRR	0000 002h	transportSpecificおよびversionフィールド
SYDOMR	任意	
SYCIDRU, SYCIDRL	任意	Etherポート0とEtherポート1で同じ値を設定してください。
SYPNUMR	0000 0001h もしくは 0000 0002h	OCの場合、0000 0001hを設定します。 BCまたはTCの場合、一方のポートには0000 0001hを他方のポートには0000 0002hを設定してください。
PPMACRU, PPMACRL	01:1B:19:00:00:00	PTP-primaryメッセージのMACアドレス
PDMACRU, PDMACRL	01:80:C2:00:00:0E	PTP-pdelayメッセージのMACアドレス
DASYMRU, DASYMRL	0000 0000h	—
TSLATR	任意	Link転送速度とSTCAクロック周波数に依存します。
SYFORMR	任意	4種の設定が可能です。
SYLLCCTLR	0000 0003h	EthernetフレームLLC-CTLフィールド値
PETYPER	0000 88F7h	PTPメッセージのEtherタイプ

表28.19　初期設定が必要なレジスター覧(UDP/IPv4使用時の追加設定)

レジスタ名称	設定値	備考
SYIPADDRR	任意	自局IPアドレス
PRIPR	E000 0181h	PTP-primaryメッセージのIPアドレス
PETOSR	任意	differentiated service (DS)フィールドの値は、利用可能な1番高いtraffic class selector codepointを設定してください。
PGTOSR	任意	
PPTTLR	任意	PTP-primaryメッセージのTTLフィールド値
PEUDPR	0000 013Fh	EventメッセージのUDPポート番号
PGUDPR	0000 0140h	GeneralメッセージのUDPポート番号
PDIPR	E000 006Bh	PTP-pdelayメッセージのIPアドレス
PDTTLR	0000 0001h	PTP-pdelayメッセージのTTLフィールド値

OC または BC として動作させる場合は、図 28.9 に示すように、受信した Announce、Management および Signaling メッセージが PTPEDMAC に転送されるように設定してください。

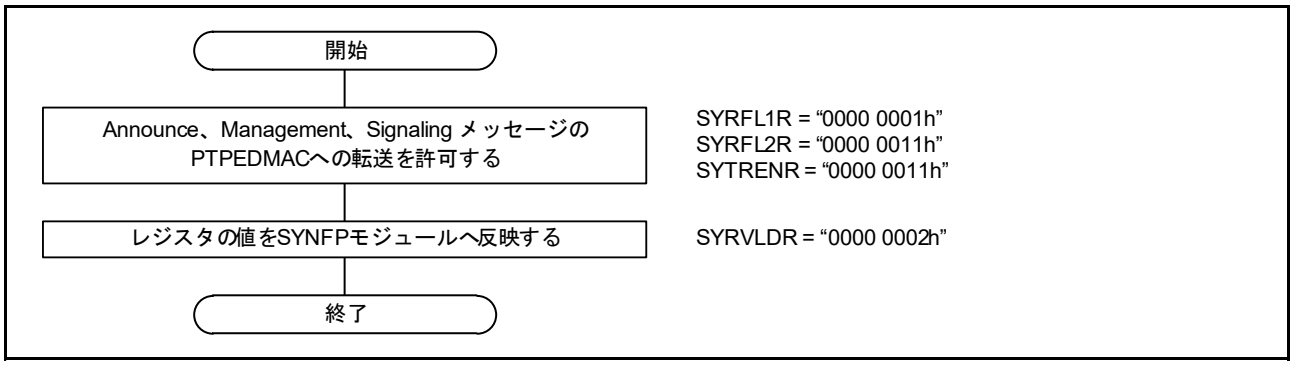


図 28.9　　PTP デバイス共通設定

28.3.7　E2E マスタ動作

28.3.7.1　初期設定

E2E マスタとして動作させるために使用するレジスタを表 28.20 に示します。

OC、もしくは両方の Ether ポートがマスタである BC として動作させる場合、必要に応じて事前に時刻情報の初期値を設定してください。時刻情報の初期値に関しては「28.2.17　ローカルクロックカウンタ初期値レジスタ (LCIVRU, LCIVRM, LCIVRL)」を参照してください。

レジスタに設定した値を反映させるには、SYRVLDR.STUP ビットまたは ANUP ビットを "1" にする必要があります。

表28.20　E2Eマスタとして動作させるために使用するレジスタ

レジスタ名称	ロード指示に使用する SYRVLDR レジスタのビット	設定値	備考
SYNFR	STUP	0000 0000h	Sync メッセージ flagField
SYTLIR	STUP ANUP	例) 0000 0001h	Delay_Resp: 1s Sync: 1s Announce: 2s
ANFR	ANUP	0000 0000h	Announce メッセージ flagField
GMPR	ANUP	任意	
GMCQR	ANUP	任意	
GMIDR	ANUP	任意	
CUOTSR	ANUP	任意	timeSource: Internal Oscillator
SRR	ANUP	任意	OC もしくは両ポートが マスタの BC として動作させる場合、0000 0000h を設定してください。 BC で スレーブ/マスタ として動作させる場合、スレーブで受信した Announce メッセージの StepsRemoved フィールドの値に 1 を加算した値を設定してください。
SYRFL1R	STUP	0000 4001h	Delay_Req メッセージを SYNFP モジュールで処理
SYRFL2R	STUP	0000 0011h	Signaling、Management メッセージを PTPEDMAC へ転送
SYTRENR	STUP	0000 0011h	Sync、Announce メッセージを送信

28.3.7.2　動作の開始手順

E2E マスタ動作を開始させるための設定手順を図 28.10 に示します。

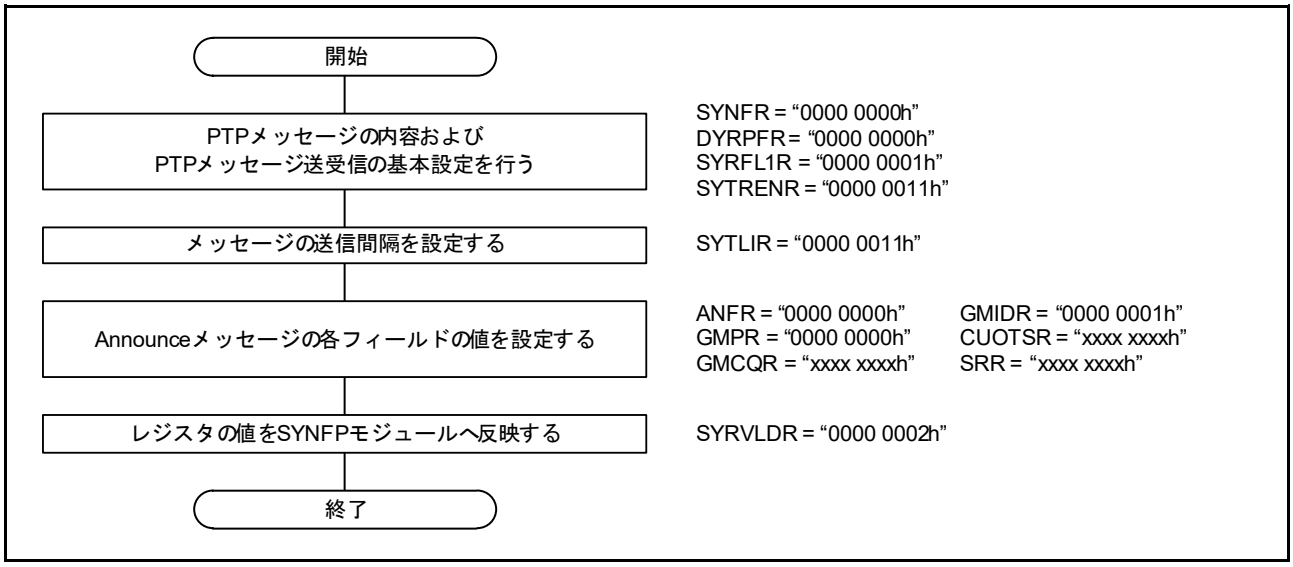


図 28.10　E2E マスタ動作の開始手順

28.3.7.3　設定内容の変更手順

ネットワークの状況によっては、Delay_Req メッセージの受信頻度が上がり、Delay_Req メッセージ受信 FIFO がオーバフローすることがあります。このような場合には、スレーブの Delay_Req メッセージ送信間隔を長くするために、Delay_Resp メッセージの logMessageInterval フィールド値を変更します。logMessageInterval フィールド値の変更手順を図 28.11 に示します。

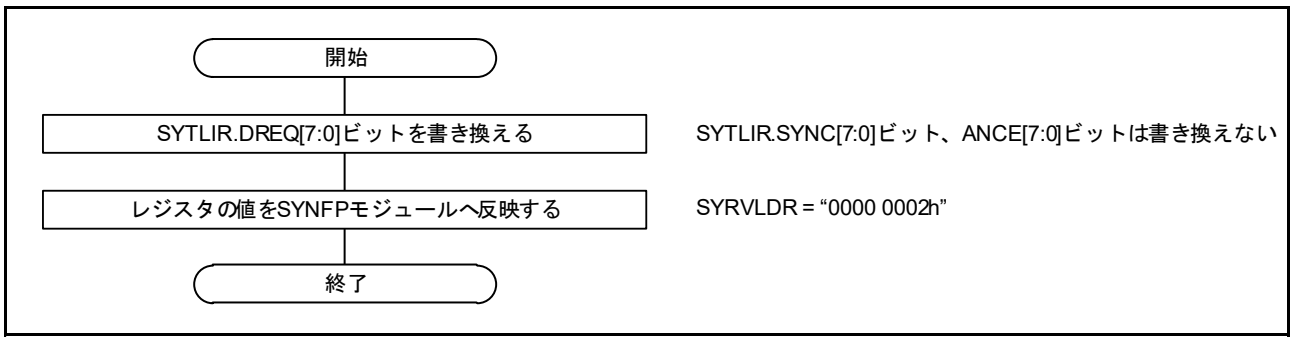


図 28.11　Delay_Resp メッセージの logMessageInterval フィールド値の変更手順

28.3.7.4　動作の停止手順

E2E マスタ動作の停止手順を図 28.12 に示します。SYSR.GENDN フラグと RESDN フラグで、生成停止と応答停止の完了を確認し、E2E マスタ動作の停止完了を確認してください。

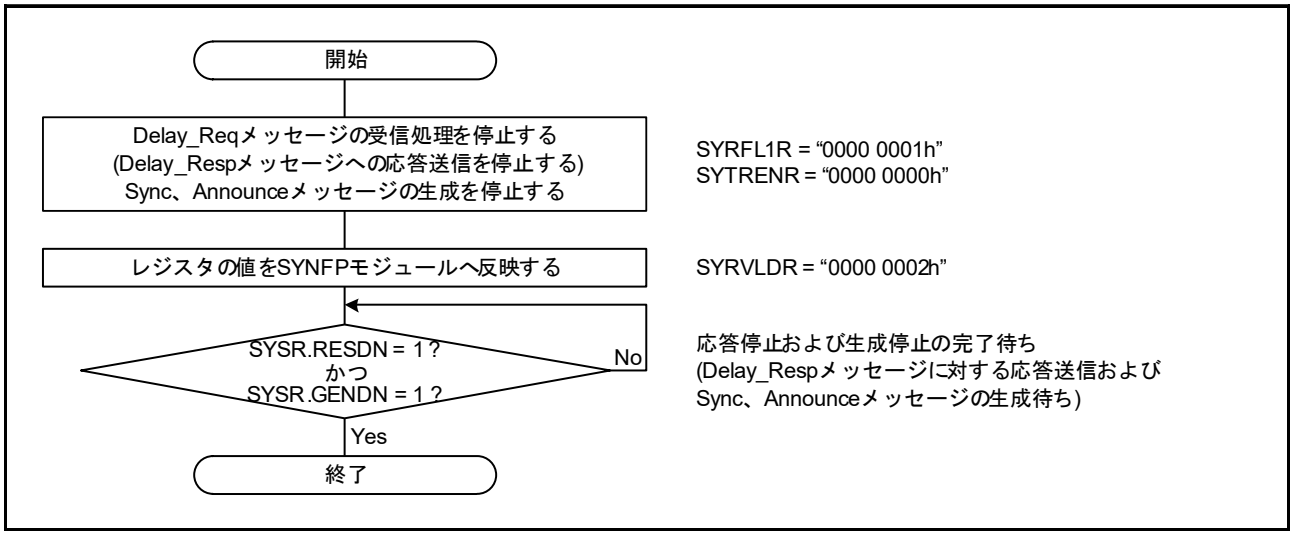


図 28.12　E2E マスタ動作の停止手順

28.3.8　E2E スレーブ動作

28.3.8.1　初期設定

E2E スレーブとして動作させるために使用するレジスタを表 28.21 に示します。

レジスタに設定した値を反映させるには、SYRVLDR.STUP ビット、ANUP ビットまたは BMUP ビットを "1" にする必要があります。

表 28.21　E2E スレーブとして動作させるために使用するレジスタ

レジスタ名称	ロード指示に使用する SYRVLDR レジスタのビット	設定値	備考
MTCID	BMUP	任意	同期するマスタクロックの clockIdentity
MTPID	BMUP	任意	同期するマスタクロックの portNumber
SYTLIR	ANUP BMUP	例) 0000 0000h	Delay_Resp: 1 s (注 1)
RSTOUTR	STUP	任意	
SYNTOR	—	任意	
SYRFL1R	STUP	0004 0441h	Delay_Resp、Follow_Up、Sync メッセージを受信 Announce メッセージを PTPEDMAC へ転送
SYRFL2R	STUP	0000 0011h	Signaling、Management メッセージを PTPEDMAC へ転送
SYTRENR	STUP	0000 0100h	Delay_Req メッセージを生成

注 1.　Delay_Resp メッセージを受信した場合、E2E スレーブは、SYTLIR.DREQ[7:0] ビットを、SYRLIR.DRESP[7:0] フラグに表示される値に更新する必要があります。なお、SYTLIR.DREQ[7:0] ビットに指定できる値の範囲は -7 ~ 6 です。SYRLIR.DRESP[7:0] フラグに表示された値が -8 以下である場合は -7 を、7 以上である場合は 6 を SYTLIR.DREQ[7:0] ビットに設定してください。

28.3.8.2　動作の開始手順

E2E スレーブ動作を開始させるための設定手順を図 28.13 に示します。

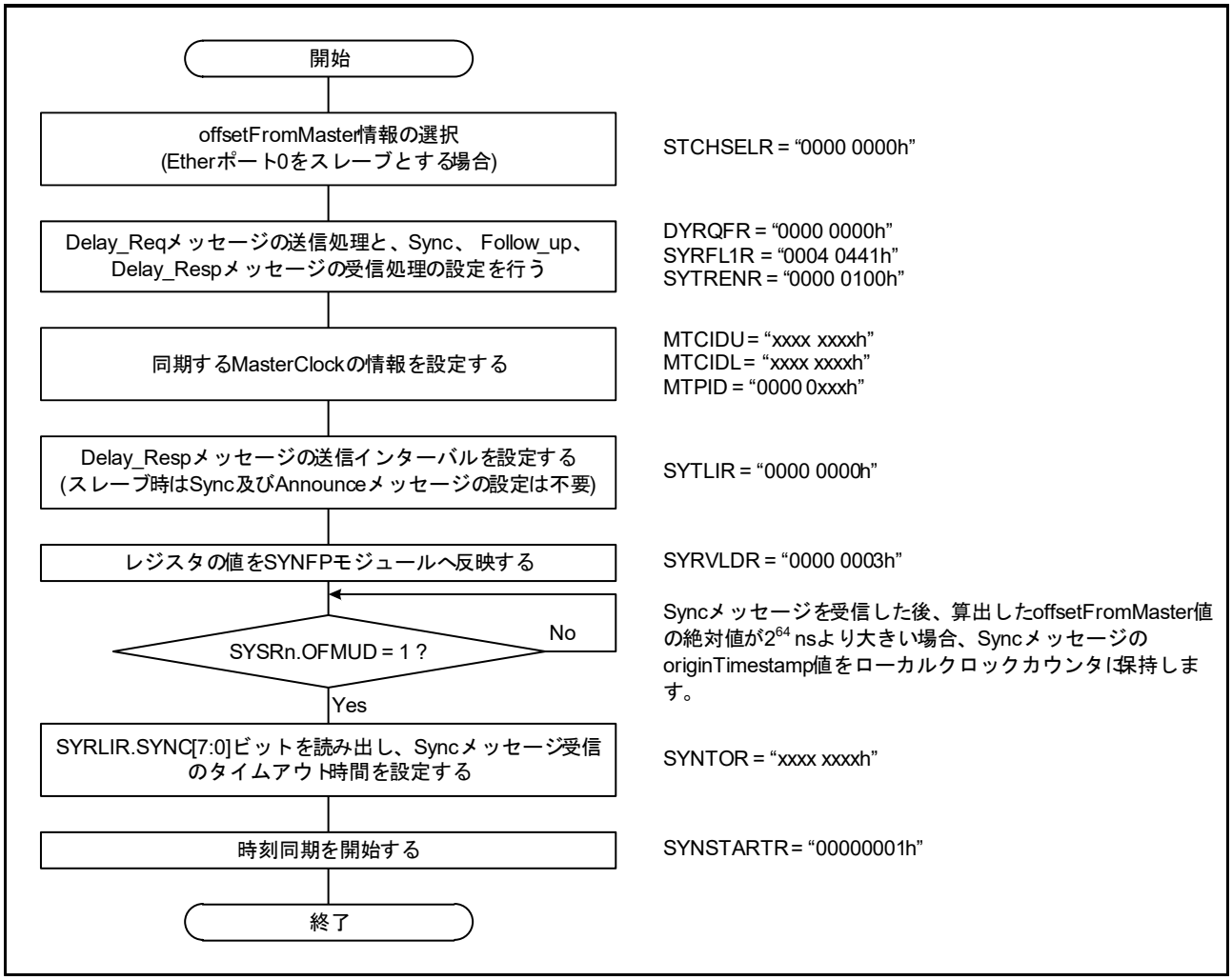


図 28.13　E2E スレーブ動作の開始手順

28.3.8.3　設定内容の変更手順

IEEE 1588 の規定では、Delay_Req メッセージの平均送信間隔は、受信した Delay_Resp メッセージの logMessageInterval フィールドの値に合わせる必要があります。EPTPC では、受信したメッセージの logMessageInterval 値が先に受信した値と異なっていると、SYSR.INTCHG フラグが "1" になります。この場合、SYTLIR.DREQ[7:0] ビットに、SYRLIR.DRESP[7:0] フラグの値を設定してください。

なお、SYTLIR.DREQ[7:0] ビットに指定できる値の範囲は -7 ~ 6 です。SYRLIR.DRESP[7:0] フラグに表示された値が -8 以下である場合は -7 を、7 以上である場合は 6 を SYTLIR.DREQ[7:0] ビットに指定してください。

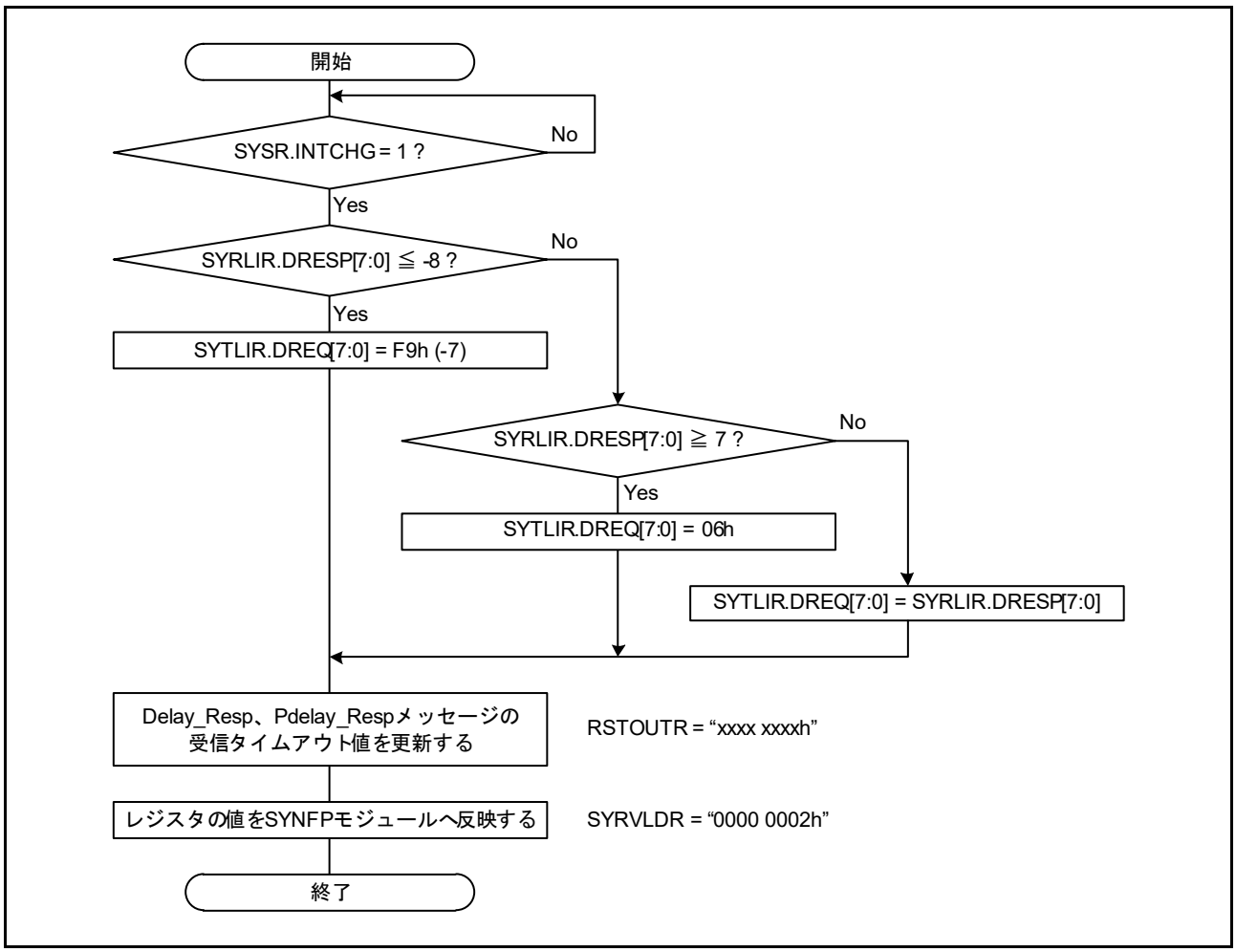


図 28.14　Delay_Req メッセージの送信間隔の変更手順

28.3.8.4　動作の停止手順

E2E スレーブ動作の停止手順を図 28.15 に示します。SYSR.GENDN フラグで、生成停止の完了を確認し、E2E スレーブ動作の停止完了を確認してください。

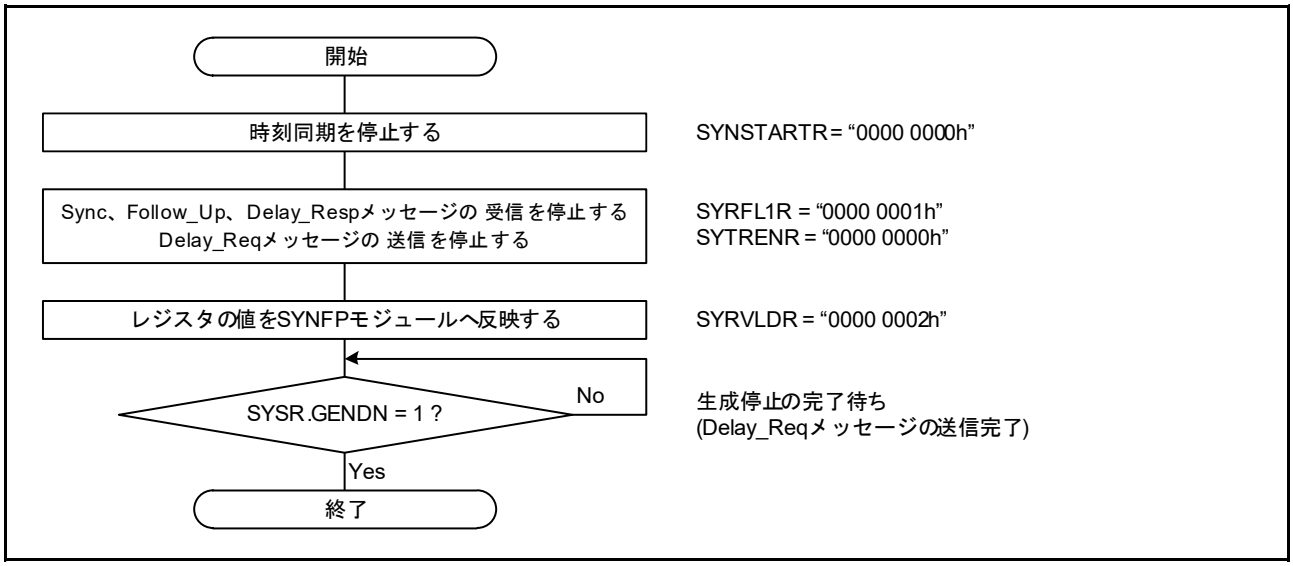


図 28.15　E2E スレーブ動作の停止手順

28.3.9　P2P 動作（マスタおよびスレーブ共通）

EPTPC を P2P として動作させる場合、マスタあるいはスレーブ動作に関わらず、PTP-pdelay メッセージは SYNFP モジュールで処理されます。また、Pdelay_Req メッセージの送信間隔と、Pdelay_Resp メッセージの受信監視パラメータの設定が必要です。P2P として動作させるために使用するレジスタを表 28.22 に示します。

表 28.22　P2P として動作させるために使用するレジスタ

レジスタ名称	ロード指示に使用する SYRVLDR レジスタのビット	設定値	備考
MTCID	BMUP	任意	同期するマスタクロックの clockIdentity
MTPID	BMUP	任意	同期するマスタクロックの portNumber
SYTLIR	ANUP, STUP	0000 0000h	Announce: — Sync: — Pdelay_Req: 1 s
RSTOUTR	STUP	任意	
SYRFL1R	STUP	4440 0001h	Pdelay_Req、Pdelay_Resp、Pdelay_Resp_Follow_Up メッセージを受信 Announce メッセージを PTPEDMAC へ転送
SYRFL2R	STUP	0000 0011h	Signaling、Management メッセージを PTPEDMAC へ転送
SYTRENR	STUP	0000 1000h	Pdelay_Req メッセージを生成

28.3.9.1　動作の開始手順

P2P としての動作 (PTP-pdelay メッセージの送受信) を開始するための手順を図 28.16 に示します。

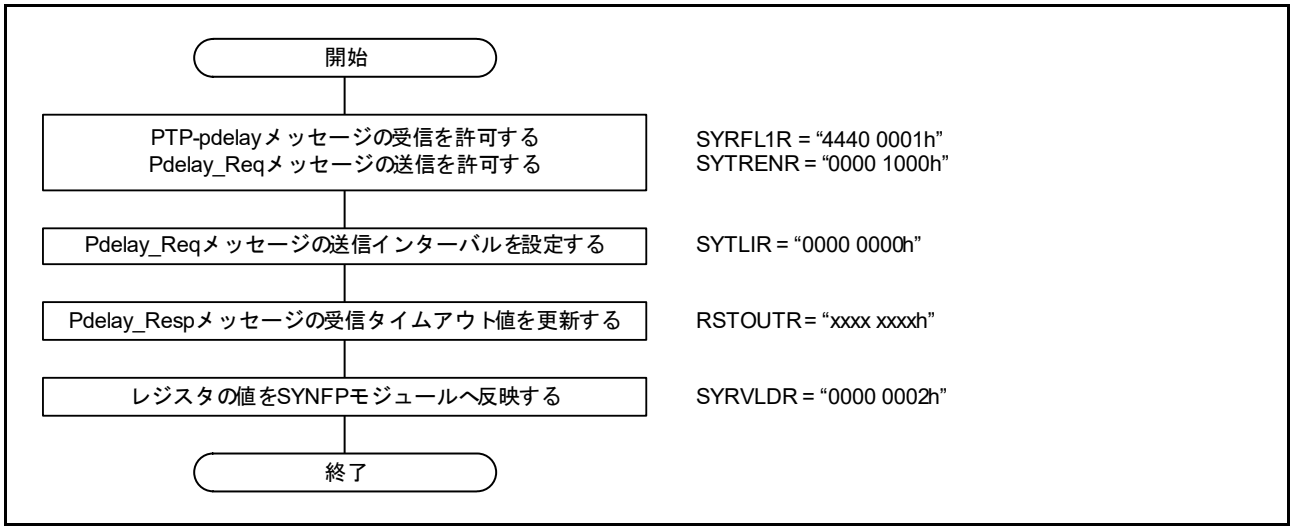


図 28.16　P2P 動作の開始手順

28.3.9.2　動作の停止手順

P2P としての動作 (PTP-pdelay メッセージの送受信) を停止するための手順を図 28.17 に示します。

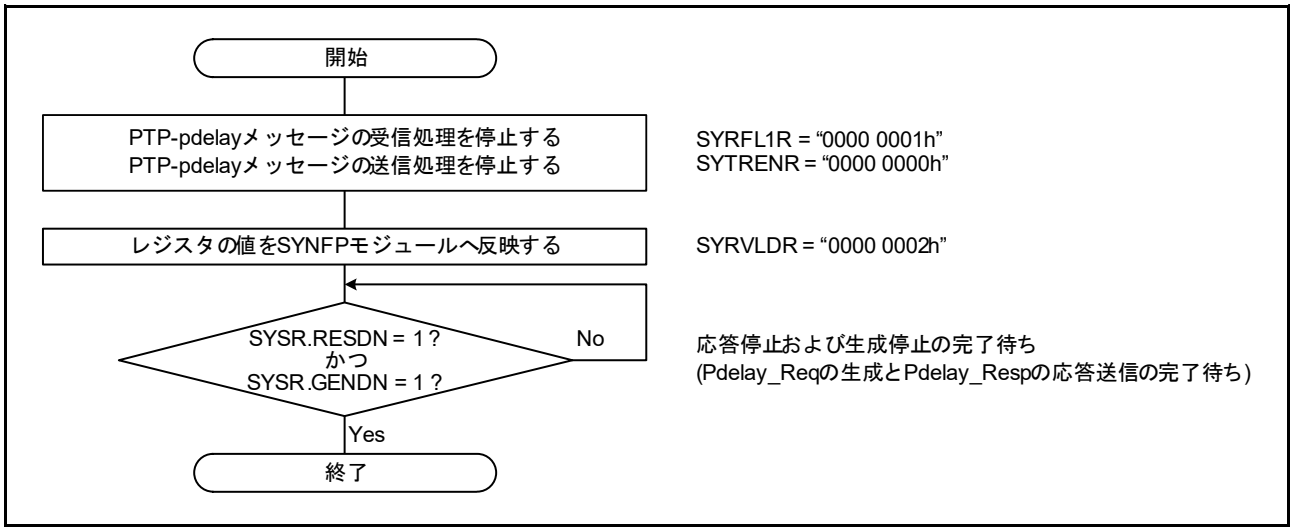


図 28.17　P2P 動作の停止手順

28.3.10　P2P マスタ動作

OC、もしくは両方のポートがマスタの BC として動作させる場合、必要に応じて事前に時刻情報の初期値を設定してください。時刻情報の初期値に関しては「28.2.17　ローカルクロックカウンタ初期値レジスタ (LCIVRU, LCIVRM, LCIVRL)」を参照してください。P2P マスタとして動作させるために使用するレジスタを表 28.23 に示します。

表 28.23　P2P マスタとして動作させるために使用するレジスタ

レジスタ名称	ロード指示に使用する SYRVLDR レジスタのビット	設定値	備考
SYCONFR	—	0000 0028h	
ANFR	ANUP	0000 0000h	Announce メッセージ flagField
SYNFR	STUP	0000 0000h	Sync メッセージ flagField
SYTLIR	ANUP STUP	例) 0000 0001h	Announce: 2 s Sync: 1 s Pdelay_Req: 1 s
GMPR	ANUP	任意	Grandmaster Priority1 および Priority2
GMCQR	ANUP	任意	Grandmaster Quality
GMIDR	ANUP	任意	Grandmaster Identity
CUOTSR	ANUP	任意	currentUtcOffset, timeSource
SRR	ANUP	任意	StepsRemoved
RSTOUTR	STUP	任意	
SYRFL1R	STUP	4440 0000h	Pdelay_Req、Pdelay_Resp、Pdelay_Resp_Follow_Up メッセージを受信
SYRFL2R	STUP	0000 0011h	Signaling、Management メッセージを PTPEDMAC へ転送
SYTRENR	STUP	0000 1011h	Pdelay_Req、Sync、Announce メッセージを送信

28.3.10.1　動作の開始手順

P2P としての動作 (PTP-pdelay メッセージの送受信) 中に、Sync メッセージ、Announce メッセージの送信を開始すると、P2P マスタとして動作します。P2P マスタ動作の開始手順を図 28.18 に示します。

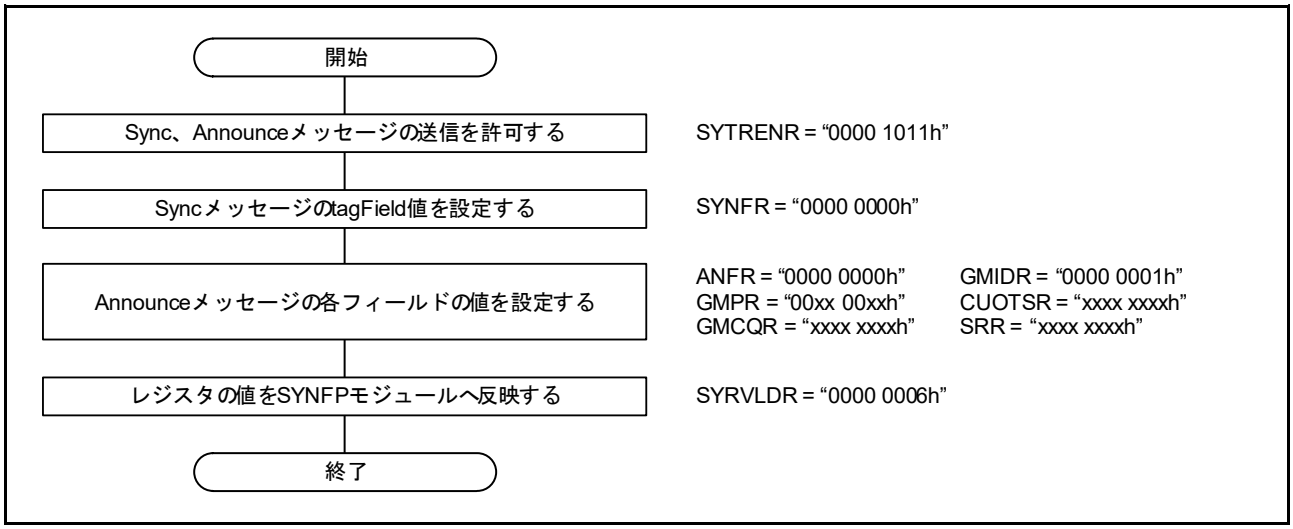


図 28.18　P2P マスタ動作の開始手順

28.3.10.2　動作の停止手順

P2P マスタとしての動作を停止するため、Sync メッセージと Announce メッセージの送信を停止する手順を図 28.19 に示します。

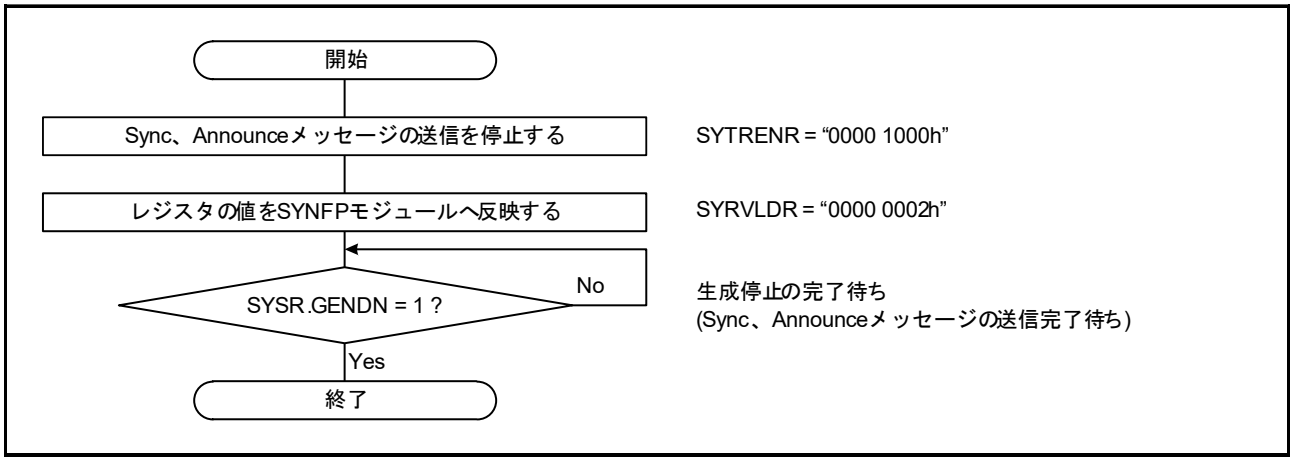


図 28.19　P2P マスタ動作の停止手順

28.3.11　P2P スレーブ動作

P2P 動作中に、Sync メッセージと Follow_Up メッセージを SYNFP モジュールで受信するように設定することで、P2P スレーブとして動作します。同期させるマスタクロックの情報を指定する必要があります。P2P スレーブとして動作させるために使用するレジスタを表 28.24 に示します。

表 28.24　P2P スレーブとして動作させるために使用するレジスタ

レジスタ名称	ロード指示に使用する SYRVLDR レジスタのビット	設定値	備考
MTCID	BMUP	任意	同期させるマスタクロックの clockIdentity
MTPID	BMUP	任意	同期させるマスタクロックの portNumber
RSTOUTR	STUP	任意	
SYRFL1R	STUP	4440 0441h	Pdelay_Req、Pdelay_Resp、Pdelay_Resp_Follow_Up、Follow_Up、Sync メッセージを受信 Announce メッセージを PTPEDMAC へ転送

28.3.11.1　動作の開始手順

P2P としての動作 (PTP-pdelay メッセージの送受信) 中に、スレーブとしての追加設定を行う手順を図 28.20 に示します。

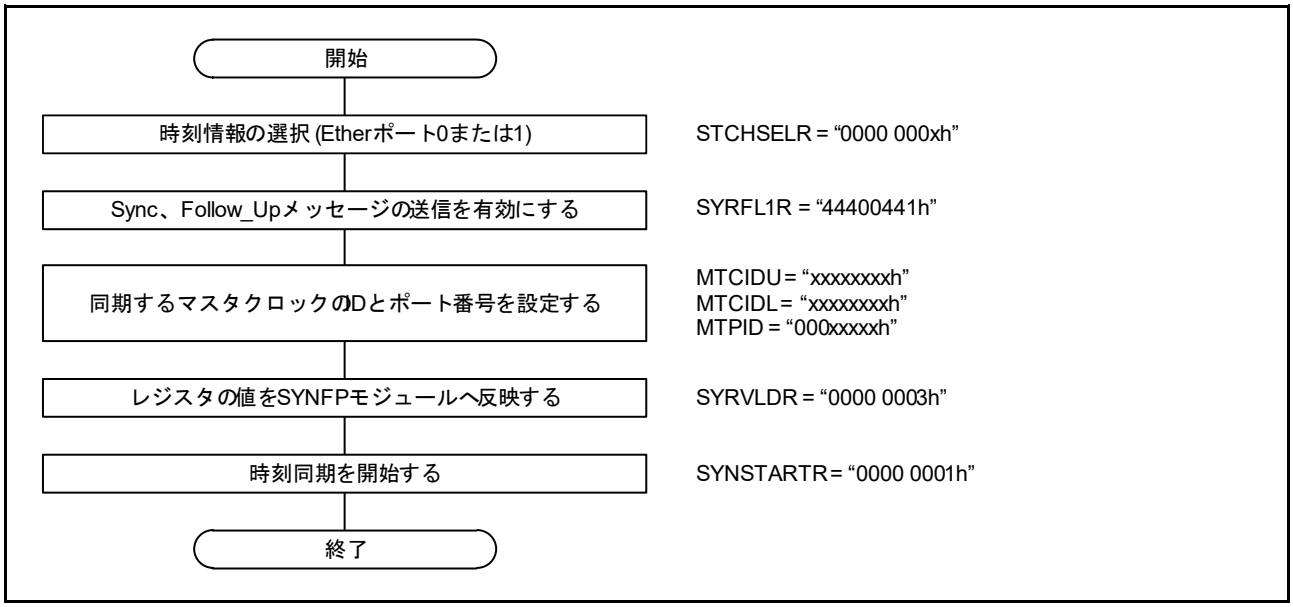


図 28.20　P2P スレーブ動作の開始手順

28.3.11.2　動作の停止手順

P2P スレーブとしての動作を停止するため、Sync メッセージと Follow_Up メッセージの受信を停止する手順を図 28.21 に示します。

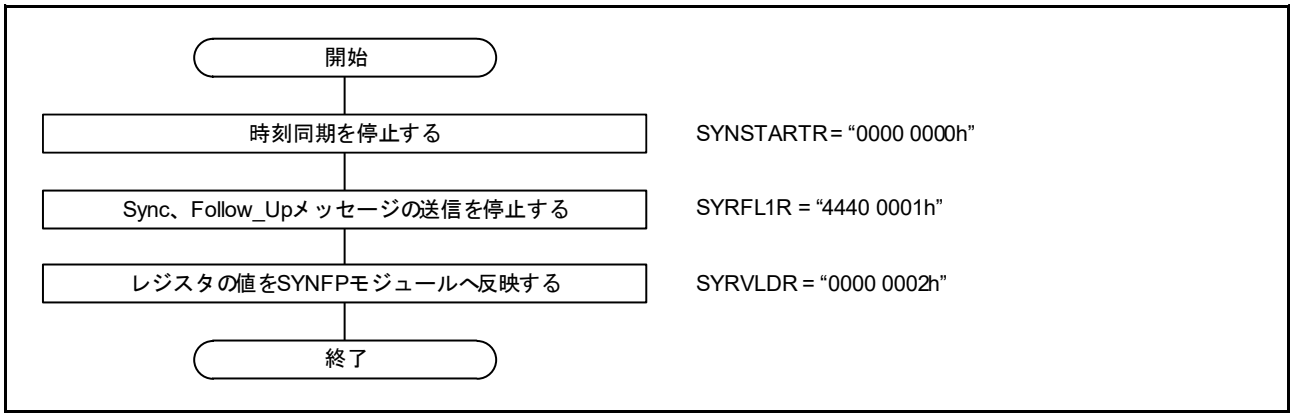


図 28.21　P2P スレーブ動作の停止手順

28.3.12　E2E TC 動作

28.3.12.1　初期設定

E2E TC として動作させるために使用するレジスタを表 28.25 に示します。
SYNFP0 モジュールと SYNFP1 モジュールの両方に設定を行ってください。

表 28.25　E2E TC として動作させるために使用するレジスタ

レジスタ名称	ロード指示に使用する SYRVLDR レジスタのビット	設定値	備考
SYCONFR	—	例) 0000 0028h	PTP デバイス初期設定で TCMOD ビットを“0”にしてください。
SYRFL1R	STUP	2222 2222h	各メッセージを PRC-TC で中継
SYRFL2R	STUP	2000 0033h	Signaling、Management メッセージを PTPEDMAC へ転送するとともに PRC-TC で中継
SYTRENR	STUP	0000 0000h	メッセージの生成なし

28.3.12.2　動作の開始手順

E2E TC としての動作を開始するための手順を図 28.22 に示します。

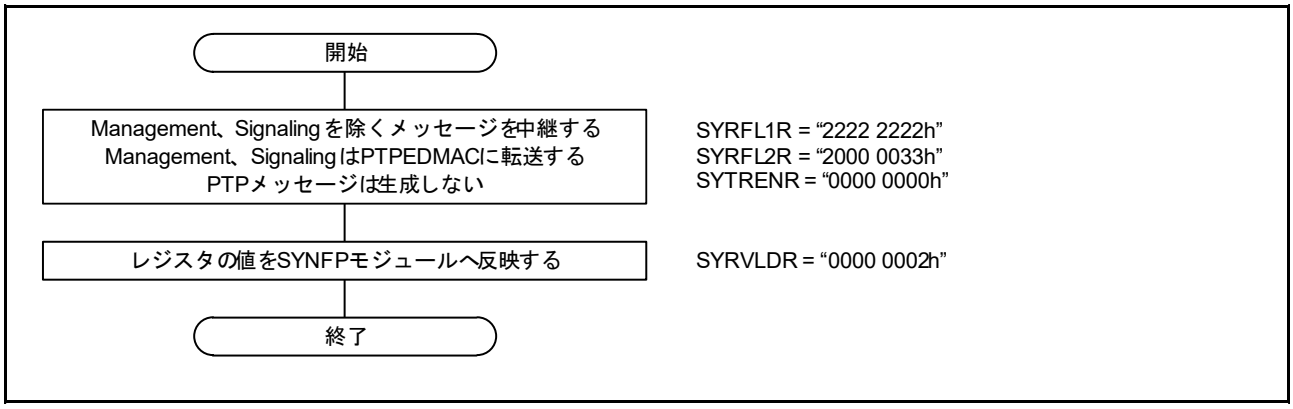


図 28.22　E2E TC 動作の開始手順

28.3.13　P2P TC 動作

P2P TC として動作させるために使用するレジスタを表 28.26 に示します。
SYNFP0 モジュールと SYNFP1 モジュールの両方に設定を行ってください。

表 28.26　P2P TC として動作させるために使用するレジスタ

レジスタ名称	ロード指示に使用する SYRVLDR レジスタのビット	設定値	備考
SYCONFR	—	例) 0010 0028h	PTP デバイス初期設定で TCMOD ビットを“1”にしてください。
RSTOUTR	STUP	任意	
SYTLIR	STUP	例) 0000 0000h	Pdelay_Req: 1 s
SYRFL1R	STUP	4440 0222h	Delay_Req、Delay_Resp メッセージを破棄 Sync、Follow_Up、Announce メッセージを PRC-TC で中継
SYRFL2R	STUP	2000 0033h	Signaling、Management を PTPEDMAC へ転送するとともに PRC-TC で中継
SYTRENR	STUP	0000 1000h	Pdelay_Req メッセージを生成

28.3.13.1　動作の開始手順

P2P TC としての動作を開始するための手順を図 28.23 に示します。

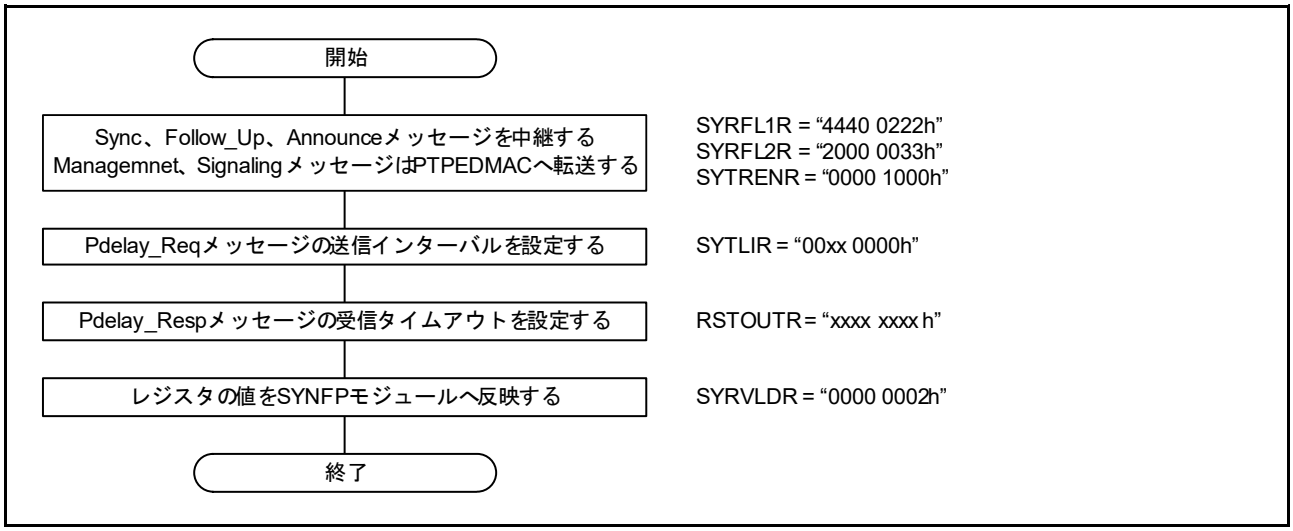


図 28.23　P2P TC 動作の開始手順

28.3.14　メッセージ受信の監視

28.3.14.1　Announce メッセージの受信

EPTPC は、Announce メッセージの受信タイムアウトを検出しません。Announce メッセージの受信タイムアウトを検出するには、ソフトウェアで Announce メッセージの受信を監視する必要があります。

28.3.14.2　Sync メッセージの受信

時刻同期の補正中に Sync メッセージの受信タイムアウトが発生すると、STSR.SYNTOUT フラグが "1" になります。また、時刻同期の補正中であるかどうかに関わらず、Sync メッセージを受信すると、SYSR.OFMUD フラグが "1" になります。このため、Sync メッセージの受信タイムアウトにより時刻同期の補正が停止している場合でも、SYSR.OFMUD フラグを参照することで、Sync メッセージの受信を検出することができます。

28.3.14.3　Delay_Resp、Pdelay_Resp メッセージの受信

E2E スレーブ動作時に Delay_Req メッセージを送信し、Delay_Resp メッセージの受信タイムアウトが発生したとき、あるいは P2P 動作時に Pdelay_Req メッセージを送信し、Pdelay_Resp メッセージの受信タイムアウトが発生したとき、SYSR.DRPTO フラグが "1" になります。Delay_Resp メッセージまたは Pdelay_Resp メッセージを受信すると、SYSR.MPDUD フラグが "1" になるため、受信タイムアウト発生後であっても、Delay_Resp メッセージまたは Pdelay_Resp メッセージの受信を検出することができます。

28.3.15　時刻同期の補正機能

スレーブは、マスタクロックに対するスレーブクロックの傾き差分を算出します。クロックの傾き差分の算出には、IEEE 1588 規格に基づいたアルゴリズムで算出される offsetFromMaster 値を使用するため、周波数差以外にネットワークのゆらぎ成分も含まれています。ネットワーク負荷などによるゆらぎ成分の除去のために、EPTPC はワースト 10 機能を有しています。得られた傾き差分値を元に時刻補正を行うことで、図 28.25 に示す様な補正結果が得られます。

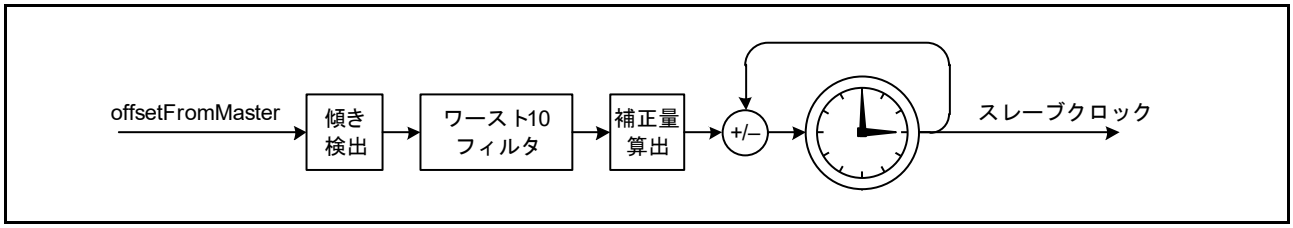


図 28.24　時刻補正回路の構成

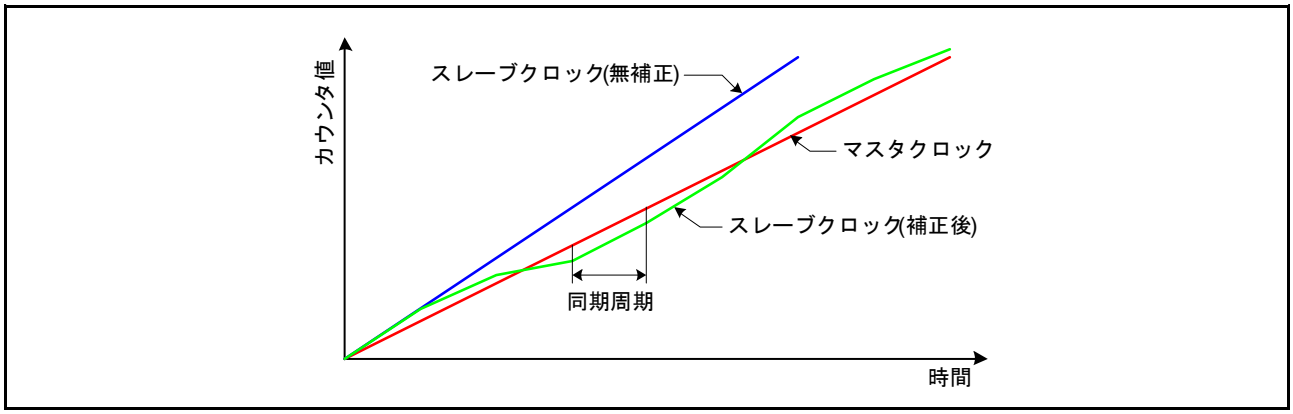


図 28.25　時刻補正の概念

28.3.15.1　同期外れおよび同期状態の判定

同期外れとは、offsetFromMaster の絶対値が SYNTDARU、SYNTDARL レジスタで指定した値以上になったことを指します。同期状態とは、offsetFromMaster の絶対値が、SYNTDBRU、SYNTDBRL レジスタで指定した値未満になったことを指します。

同期外れとなったときは、STSR.SYNCOUT フラグが、同期状態となったときは SYNC フラグが "1" になります。それぞれのしきい値を異なる値にすることで、ヒステリシスを持たせることができます。また、STMR.DVTH[3:0]、SYTH[3:0] ビットによって、何回連続で検出すれば同期外れまたは同期状態と判定するかを指定することもできます。

ネットワークの揺らぎによる同期外れにより制御を中断させる必要のあるシステムにおいては、SYNTDARU、SYNTDARL レジスタの設定値を小さな値にし、同期外れ判定の連続検出回数を 1 回にします。そのような必要がないシステムの場合には、SYNTDARU、SYNTDARL レジスタの設定値および連続検出回数を大きな値にします。

同期外れおよび同期状態の発生例を**図 28.26** に示します。この例では同期外れおよび同期状態と判定する連続検出回数を、ともに 3 回としています。

注 .　STSR.SYNCOUT フラグは、同期外れと判定される条件が発生していなくても、時刻同期を開始したときに "1" になります。そのため、時刻同期を開始した直後の同期外れ検出は無視する必要があります。

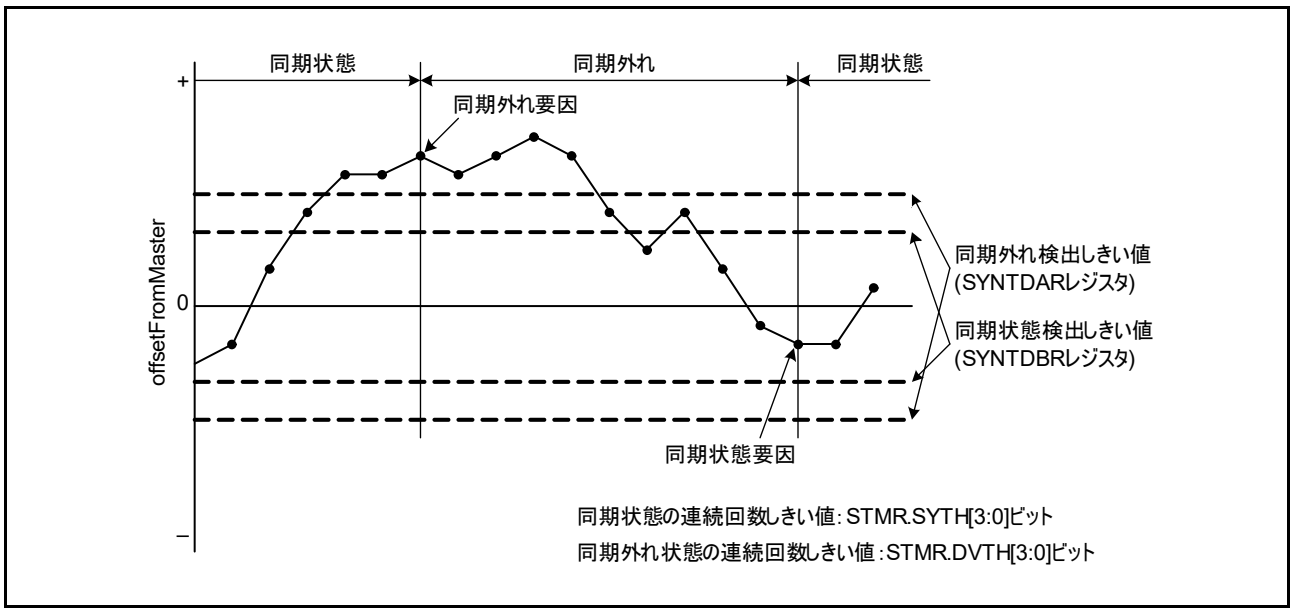


図 28.26　同期外れおよび同期状態の発生例 (STMR.DVTH[3:0] ビットおよび SYTH[3:0] ビットで連続検出回数を 3 回に指定)

28.3.15.2　ワースト 10 機能

ワースト 10 機能とは、算出したクロック傾き差分のうち、過大または過小な値に対して制限をかけるための機能です。

制限を行うためのしきい値は、一定期間の通信状態を観測してクロックの傾き差分を収集し、その中から選出します。傾き差分は、クロック自体の誤差だけでなくネットワークの揺らぎも考慮して、**図 28.27** に示すようなプラス、マイナス両方の値を収集します。収集したプラスおよびマイナスの傾き差分の内、傾きの大きい値の 1 位から 10 位 (ワースト 1 からワースト 10) を保持し、ワースト 10 値をしきい値として使用します。このしきい値を超える大きさのクロックの傾き差分をワースト 10 値に置き換えることで、スレーブクロックの時刻揺らぎを抑制することができます。また、事前に測定した結果からしきい値を設定する方法や、動作中にしきい値を更新するために、傾き差分の定期的な収集を行うことも可能です。

なお、ワースト 10 値による傾き差分値のフィルタリングを有効にすることで、スレーブクロックの揺らぎを抑制できますが、マスタクロックへの追従は遅くなります。

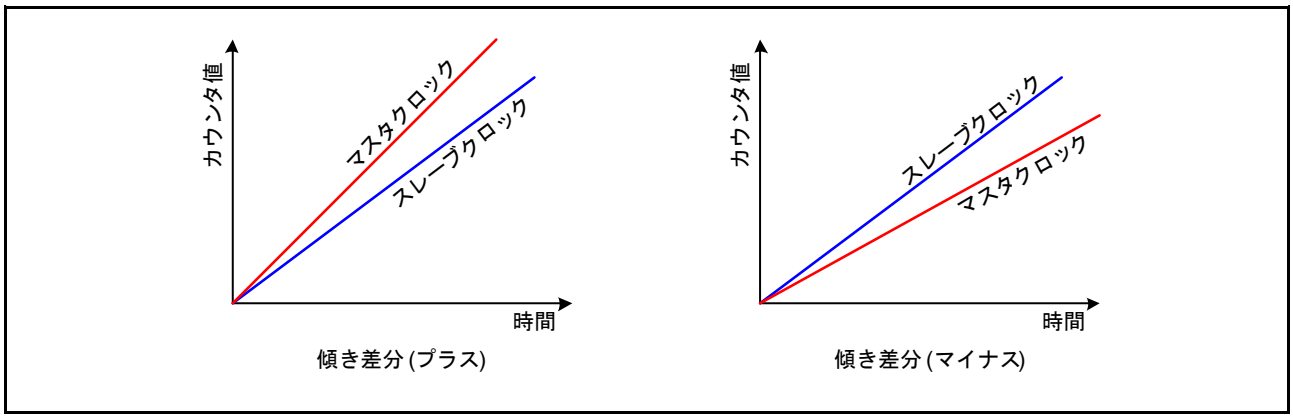


図 28.27　傾き差分の概念

28.3.15.3　クロック傾き差分値の収集とワースト 10 値の選出

EPTPC は、スレーブ動作時、受信したメッセージから offsetFromMaster 値を算出し、そこからマスタクロックと自身のクロック (スレーブクロック) との傾き差分を算出することができます。収集した傾き差分値の集合から、ワースト 10 値を選出します。ワースト 10 値の取得開始とフィルタリングの実施方法として、ハードウェアで自動的に行う方法と、ソフトウェアで指示する方法の 2 種類があります。

傾き差分値収集の概念を図 28.28 に示します。

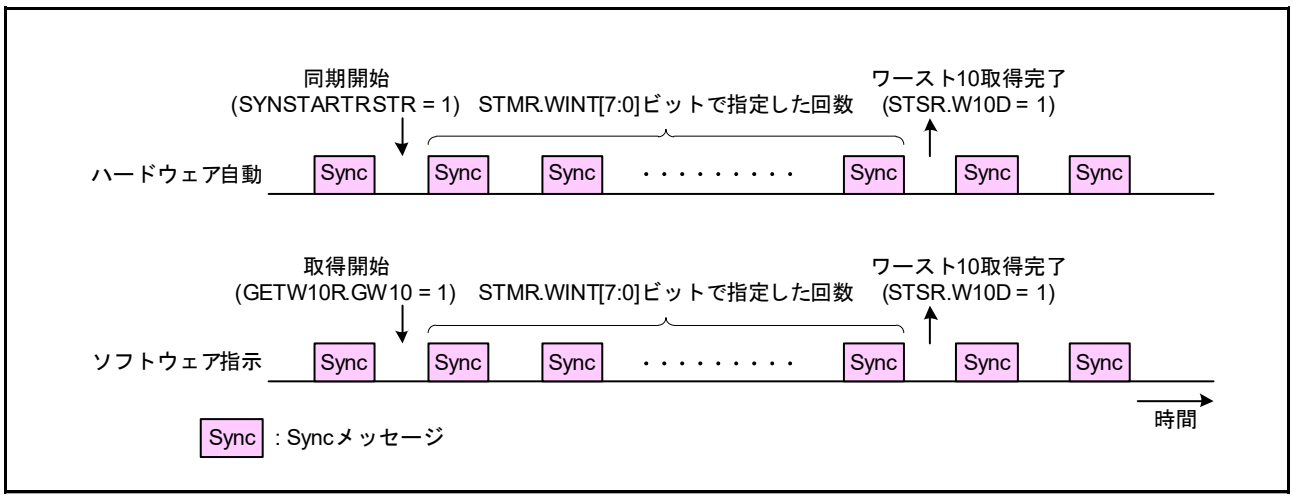


図 28.28　傾き差分値収集の概念

(1)　ハードウェアによる傾き差分の収集およびワースト 10 値の選出

STMR.W10S ビットが "0" のとき、EPTPC はハードウェアで傾き差分値の収集を行います。

SYNSTARTR.STR ビットを "1" (スレーブ時刻同期を開始) にすると、EPTPC は STMR.WINT[7:0] ビットで指定された回数分、傾き差分値を収集します。傾き差分値の収集が終了すると、プラス側とマイナス側の傾き差分のそれぞれ大きい方から 10 番目の値をワースト 10 値として、PW10VRU、PW10VRM、PW10VRL レジスタおよび MW10RU、MW10RM、MW10RL レジスタに格納します。ワースト 10 値の取得が完了すると、STSR.W10D フラグが "1" になります。

傾き差分値のフィルタリングは、格納したワースト 10 値を使用して自動的に行われます。

なお、STMR.WINT[7:0] ビットで指定した取得回数が 10 回に満たない場合、収集した内でのプラス側の最良値の 2 倍の値を PW10VRU、PW10VRM、PW10VRL レジスタに、マイナス側の最良値の半分の値を MW10RU、MW10RM、MW10RL レジスタに格納します。

(2)　ソフトウェアによる傾き差分の収集およびワースト 10 値の選出

STMR.W10S ビットが "1" のとき、EPTPC はソフトウェアによる指示に基づいて傾き差分値の収集を開始します。

時刻同期がすでに開始されているときに、GETW10R.GW10 ビットを "1" にすると、EPTPC は STMR.WINT[7:0] ビットで指定された回数分、傾き差分値を収集します。傾き差分値の収集が終了すると、プラス側とマイナス側の傾き差分のそれぞれ値の大きい方から 10 番目の値をワースト 10 値として、PW10VRU、PW10VRM、PW10VRL レジスタおよび MW10RU、MW10RM、MW10RL レジスタに格納します。ワースト 10 値の取得が完了すると、STSR.W10D フラグが "1" になります。

傾き差分値のフィルタリングは、PLIMITRU、PLIMITRM、PLIMITRL レジスタおよび MLIMITRU、MLIMITRM、MLIMITRL レジスタを上下限値として行われるので、PW10VR(U/M/L) レジスタと MW10R(U/M/L) レジスタに格納された値を、それぞれ PLIMITR(U/M/L) レジスタと MLIMITR(U/M/L) レジスタに書き込む必要があります。

なお、STMR.WINT[7:0] ビットで指定した取得回数が 10 回に満たない場合、収集した内でのプラス側の最良値の 2 倍の値を PW10VRU、PW10VRM、PW10VRL レジスタに、マイナス側の最良値の半分の値を MW10RU、MW10RM、MW10RL レジスタに格納します。

ソフトウェアによるワースト 10 値の取得手順の例を図 28.29 に示します。

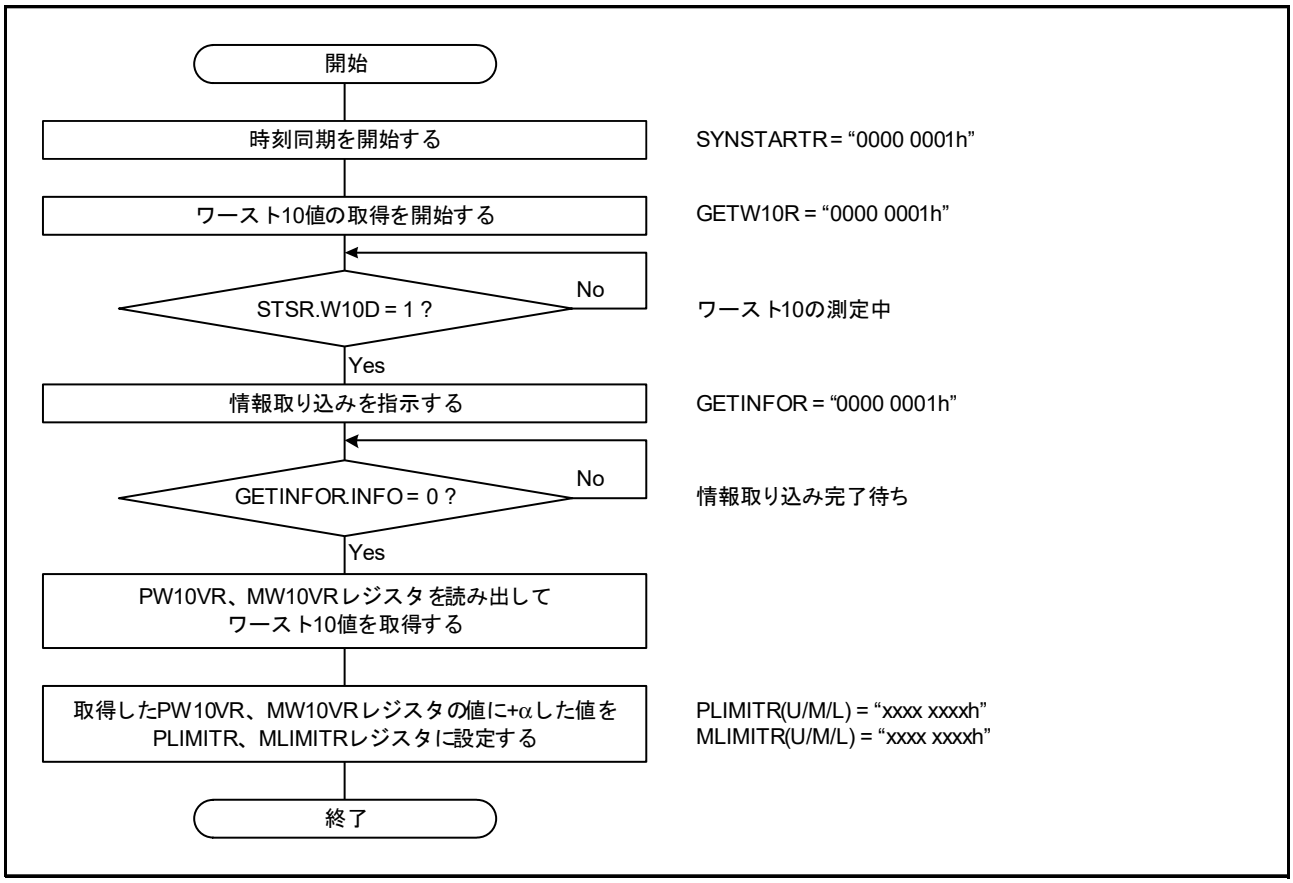


図 28.29　　ソフトウェアによるワースト 10 値取得手順例

28.3.16　ローカルクロックカウンタ

ローカルクロックカウンタとは、同期された時刻情報を保持するカウンタです。ETHERC のモジュールストップ解除後、または EPTPC のソフトウェアリセット解除後に "0" からカウントを開始します。ローカルクロックカウンタには初期値として任意の値を設定することができます。ローカルクロックカウンタへの初期値の設定手順を図 28.30 に示します。

また、ローカルクロックカウンタの時刻情報を読み出すこともできます。ローカルクロックカウンタの時刻情報の読み出し手順を図 28.31 に示します。

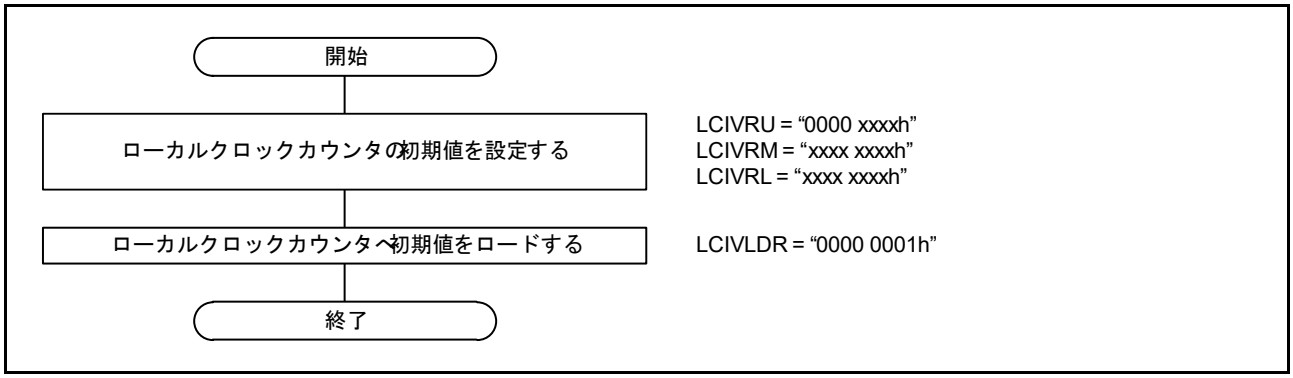


図 28.30　ローカルクロックカウンタへの初期値設定の手順

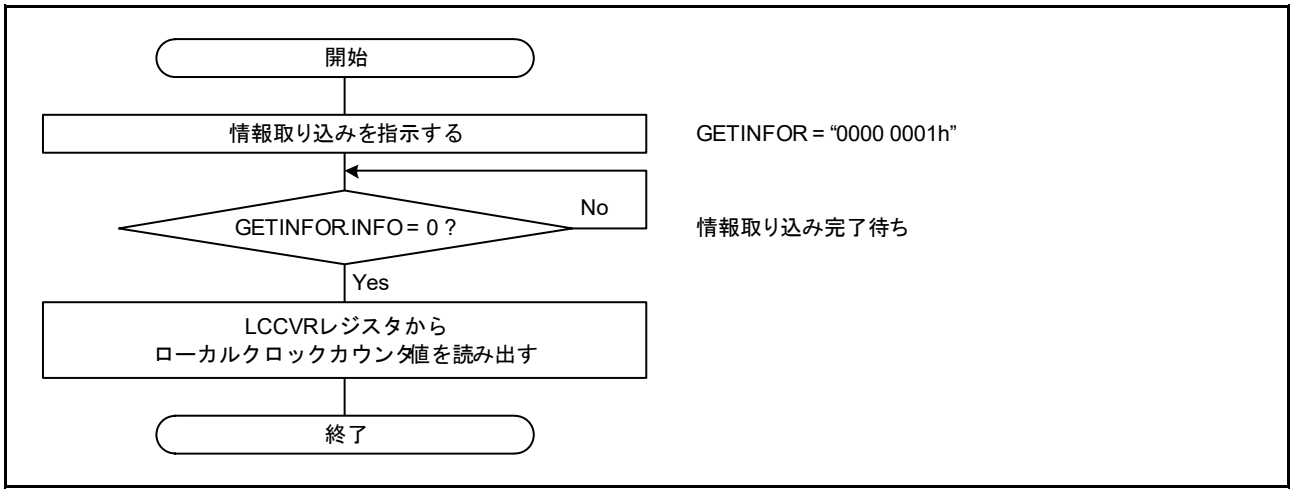


図 28.31　ローカルクロックカウンタからの時刻の読み出し手順

28.3.17　パルス出力タイマ

EPTPC の STCA モジュールには、それぞれ独立して動作するタイマが 6 チャネル (パルス出力タイマ 0 ～ パルス出力タイマ 5) 内蔵されています。

パルス出力タイマはそれぞれに周期パルスを生成することができ、周期パルスの立ち上がりエッジや立ち下がりエッジで、割り込み要求を生成することができます。また、パルス出力タイマは動作開始時刻 (tstart)、周期パルスの周期 (tc) およびパルス幅 (tw) を指定することができます。

パルス出力タイマの動作タイミングを**図 28.32** に、指定できる値の制限を**表 28.27** に示します。

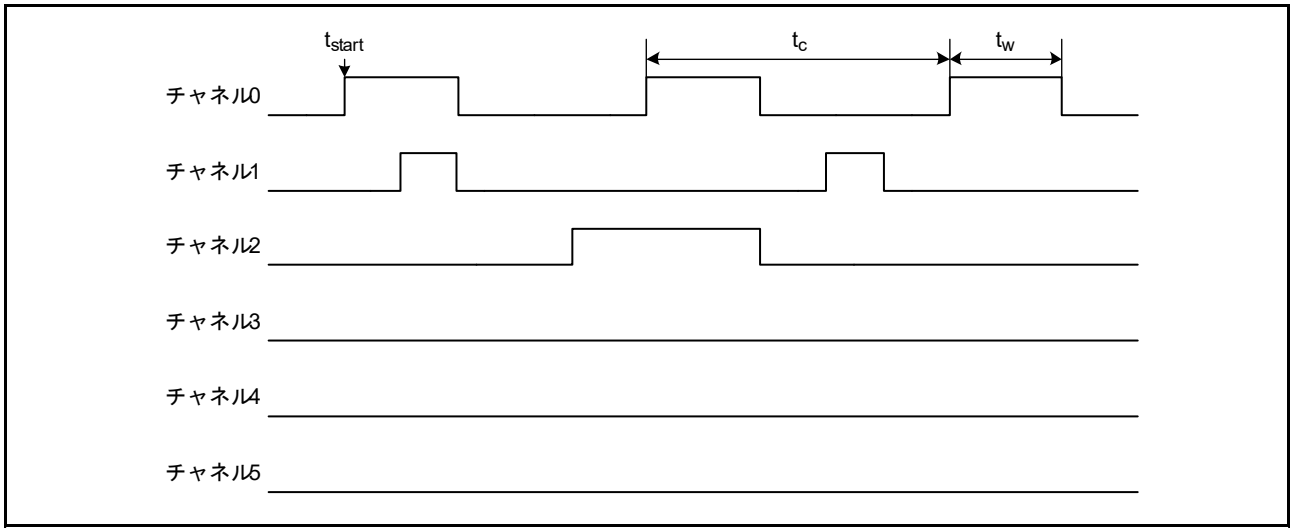


図 28.32　パルス出力タイマの動作タイミング

表28.27　パルス出力タイマに指定できる値の制限

項目	内容
周期(tc)	STCAクロックの4周期以上、1 s以下
周期の分解能	1 ns単位 ただし、立ち上がりエッジのタイミングはSTCAクロック周期(50/40/20 ns)により丸められます
パルス幅(tw)	STCAクロックの2周期以上、500 ms以下
パルス幅の分解能	1 ns単位 ただし、立ち下がりエッジのタイミングはSTCAクロック周期(50/40/20 ns)により丸められます

28.3.17.1　パルス出力タイマの設定手順

パルス出力タイマの設定手順を図 28.33 に示します。

なお、TMSTTRUm、TMSTTRLm レジスタ (m = 0 ～ 5) に設定した時刻以降にパルス出力タイマを起動させた場合、周期パルスは発生しません。パルス出力タイマの開始時刻は、パルス出力タイマの起動を行う時刻より後の時刻を指定してください。

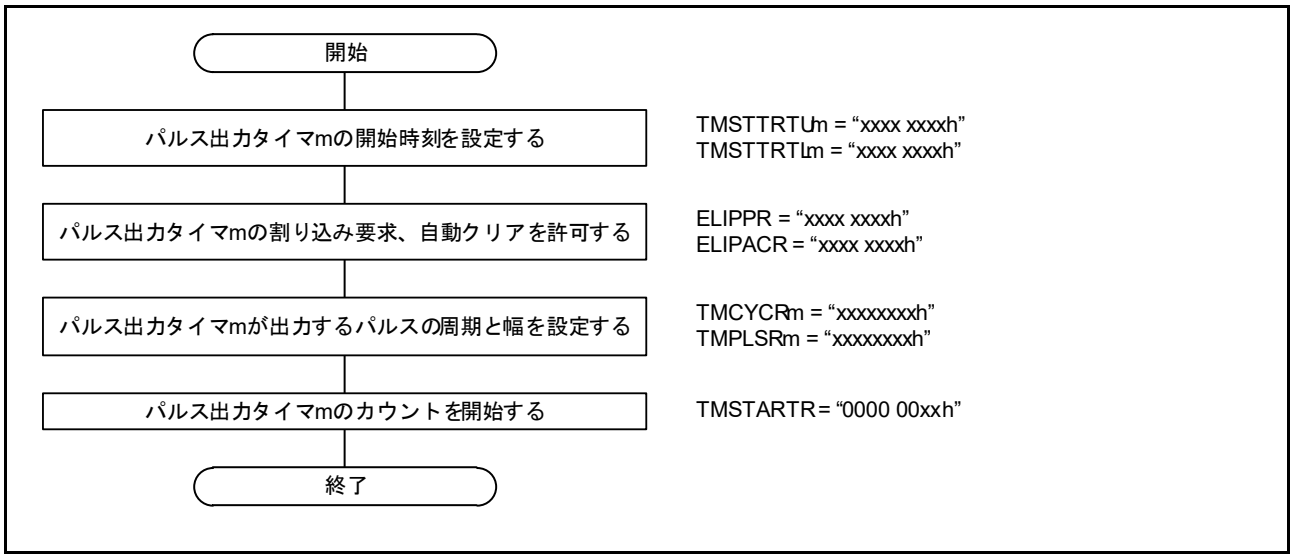


図 28.33　パルス出力タイマ設定手順

28.3.17.2　周期パルスによる割り込み要求

パルス出力タイマが生成する周期パルスの立ち上がりエッジまたは立ち下がりエッジの検出により、MINT 割り込み要求、IPLS 割り込み要求の生成を行うことができます。また、検出するエッジの種類や使用するパルス出力タイマの選択、IPLS 割り込みの自動クリアなどを指定することができます。これらの指定は、TMSTARTR.ENm ビットを "1" (パルス出力タイマ m を起動) にする前に行ってください。

(1)　MINT 割り込み要求

パルス出力タイマが生成する周期パルスの立ち上がりエッジを検出し、MINT 割り込み要求を生成することができます。立ち下がりエッジは使用できません。MITSELR.MINTENm ビットにより、MINT 割り込みを要求するパルス出力タイマを選択できます。

MINT 割り込み要求許可ビットの自動クリアはできません。

(2)　IPLS 割り込み要求

パルス出力タイマが生成する周期パルスの立ち上がりまたは立ち上がりエッジを検出し、IPLS 割り込み要求を生成することができます。IPTSELR.IPTSELm ビットにより、IPLS 割り込みを要求するパルス出力タイマを選択できます。

ELIPACR.PLSP ビットおよび PLSN ビットにより IPLS 割り込み要求許可ビットの自動クリアを有効にすることができます。

28.3.18　送信優先制御

28.3.18.1　アービトレーション

PRC-TC モジュールで PTPEDMAC からの送信要求と他チャネルへの中継要求が競合した場合、他チャネルへの中継要求が優先されます。

また、SYNFP モジュールで複数のメッセージ送信要求が競合した場合、表 28.28 に示すアービトレーション優先度に従って順番に処理されます。

表28.28　送信メッセージのアービトレーション優先度

送信メッセージ	優先順位	備考
Sync	1　（優先高）	
Delay_Req, Pdelay_Req	2	Delay_Reqメッセージと Pdelay_Reqメッセージを同時に送信するデバイスタイプはありません
Delay_Resp, Pdelay_Resp	3	Delay_Respメッセージと Pdelay_Respメッセージを同時に送信するデバイスタイプはありません
Announce	4	
他チャネルからの中継メッセージ	5	この2つはPRC-TCモジュールで優先順位が決定されます
PTPEDMACからの送信メッセージ	5	
EDMACからの送信メッセージ	6　（優先低）	

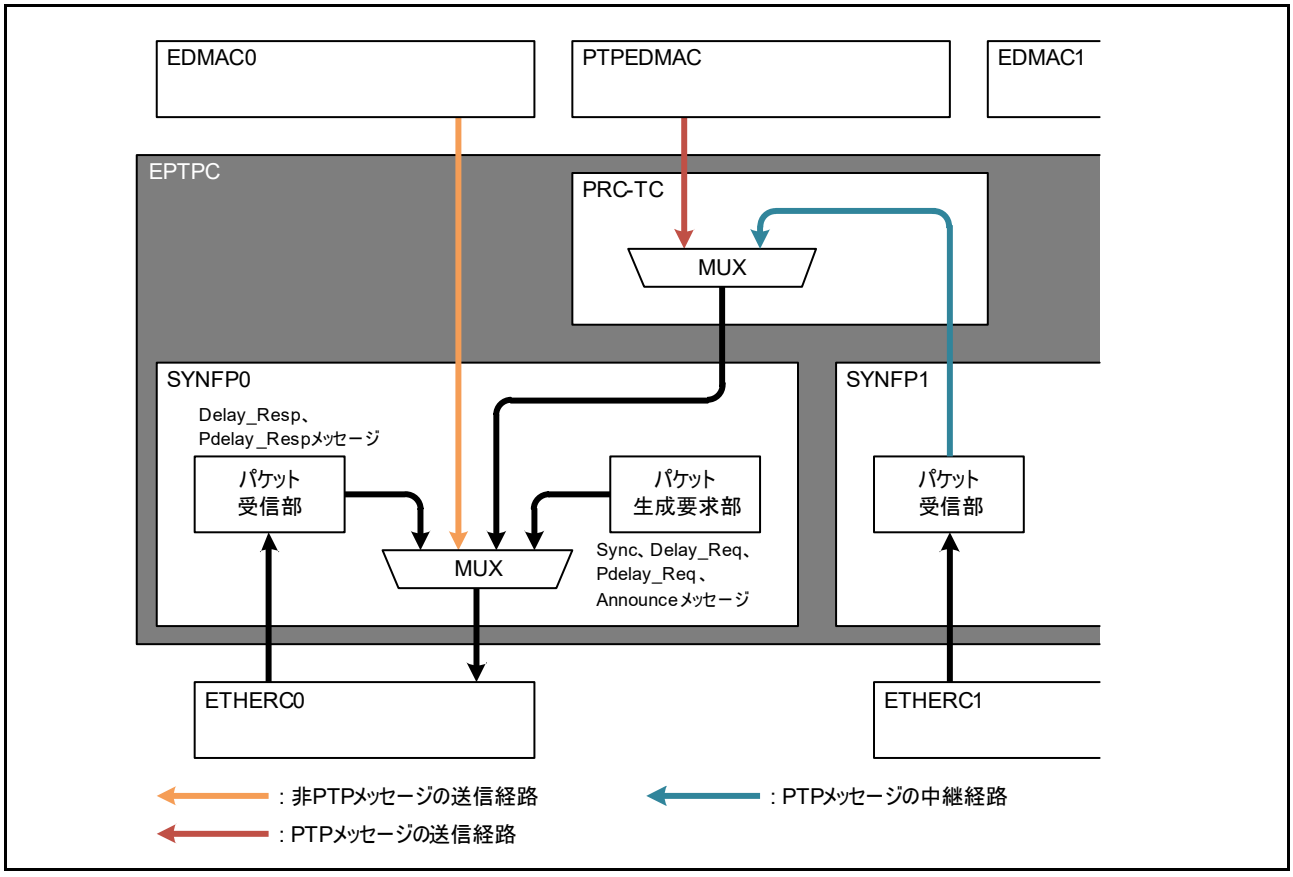


図 28.34　送信メッセージのアービトレーション

28.3.18.2　Sync メッセージ送信帯域確保機能

EPTPC は、Sync メッセージを送信するための帯域を確保して、高い精度で定周期送信を行うことができます。

一定周期で Sync メッセージを送信しようとしていても、そのときに PTPEDMAC からの送信や他のチャネルへのメッセージ中継 が行われていると、Sync メッセージの送信はそれらの処理が完了した後に行われるため、送信周期が一定でなくなってしまいます。

Sync メッセージ送信帯域確保機能により、EDMAC0、EDMAC1 および PTPEDMAC からのメッセージ送信を制限し、揺らぎのない Sync メッセージの送信が行えます。SYCONFR.SBDIS ビットを "1" にすると、Sync メッセージ送信帯域確保機能を無効にすることができます。Sync メッセージ送信帯域確保機能の概念を図 28.35 に示します。

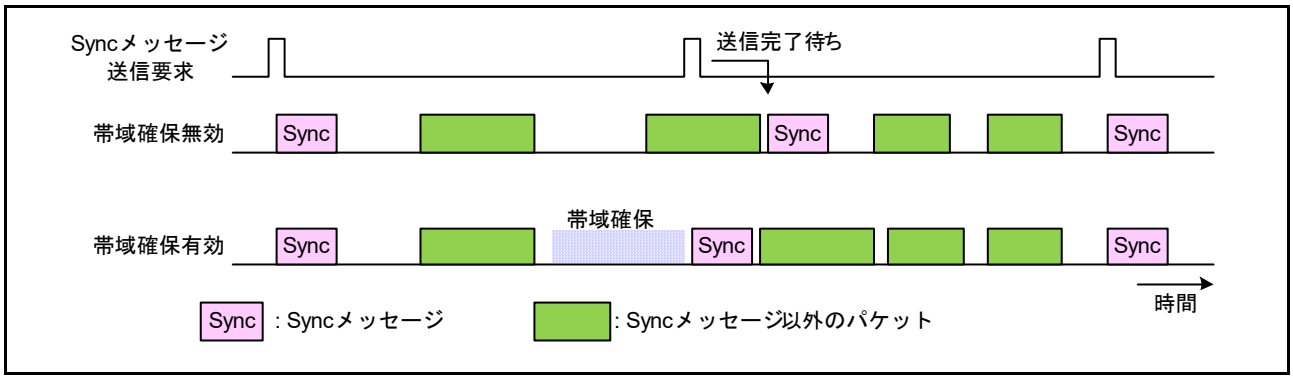


図 28.35　Sync メッセージ送信帯域確保機能

28.3.18.3　送信間隔確保機能

ETHERC でのメッセージ送信において、送信要求から Ether ポート 0 または Ether ポート 1 の MII 上にメッセージが送出されるまでの遅延時間が一定であれば、スレーブは PTP メッセージのタイムスタンプ値を使って正確に遅延量を算出することができます。しかし、連続送信を行った場合など、Interpacket Gap 時間を待つためにメッセージの待機処理が発生するような場合は、遅延時間に揺らぎが生じます。

SYCONFR.TCYC[7:0] ビットで送信フレームの間隔を指定し、送信完了から送信要求までの間隔を制御することで、Interpacket Gap 時間待ちの影響を避けて ETHERC の送出遅延を一定に保ち、タイムスタンプ値の信頼性を確保することができます。

28.4　割り込み

EPTPC には、MINT 割り込み要求と IPLS 割り込み要求の 2 種類の割り込みがあります。

図 28.36 に MINT 割り込み要求と IPLS 割り込み要求の関係を、図 28.37 にパルス出力タイマの割り込み要求の詳細を示します。

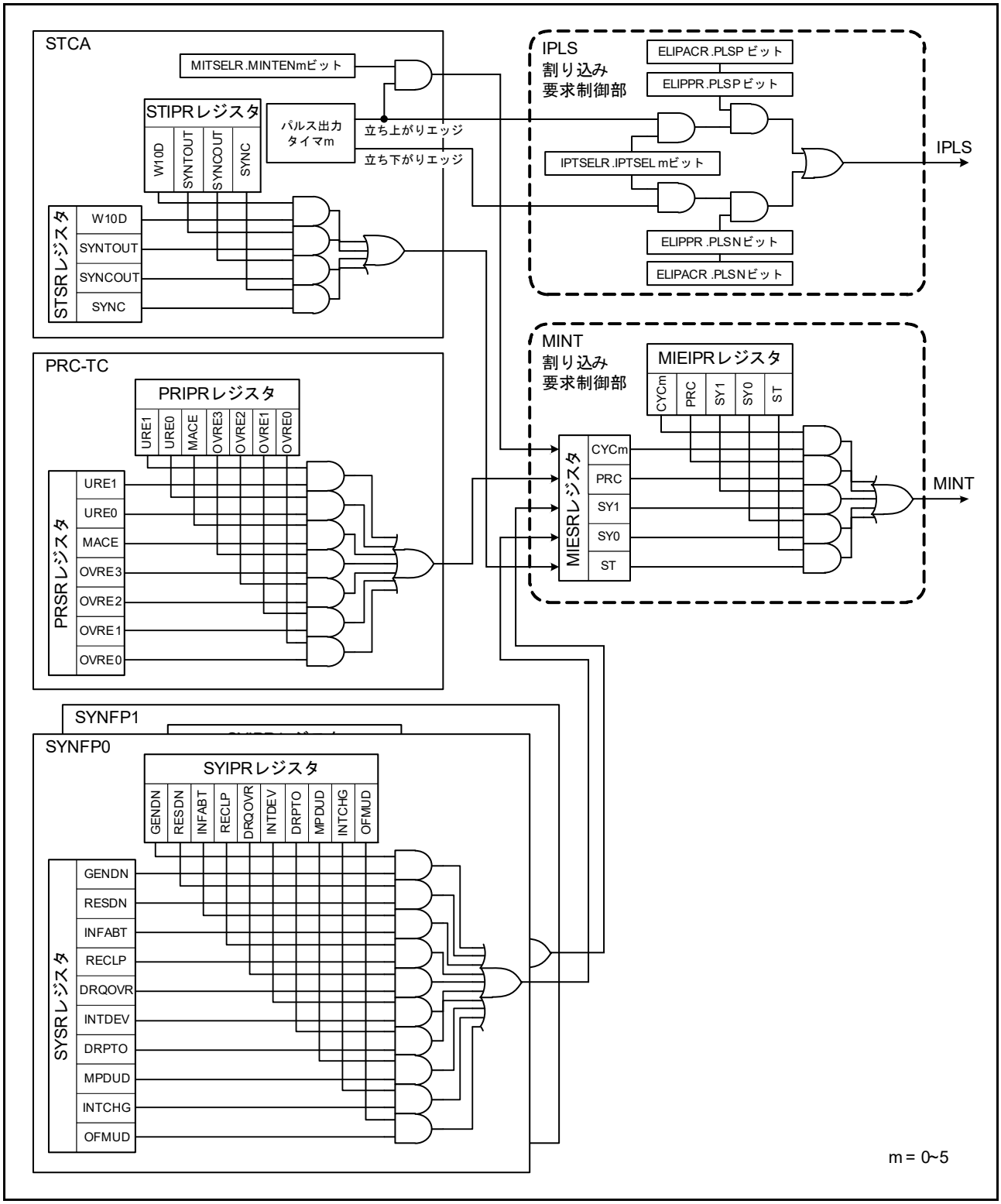


図 28.36　MINT 割り込み要求と IPLS 割り込み要求

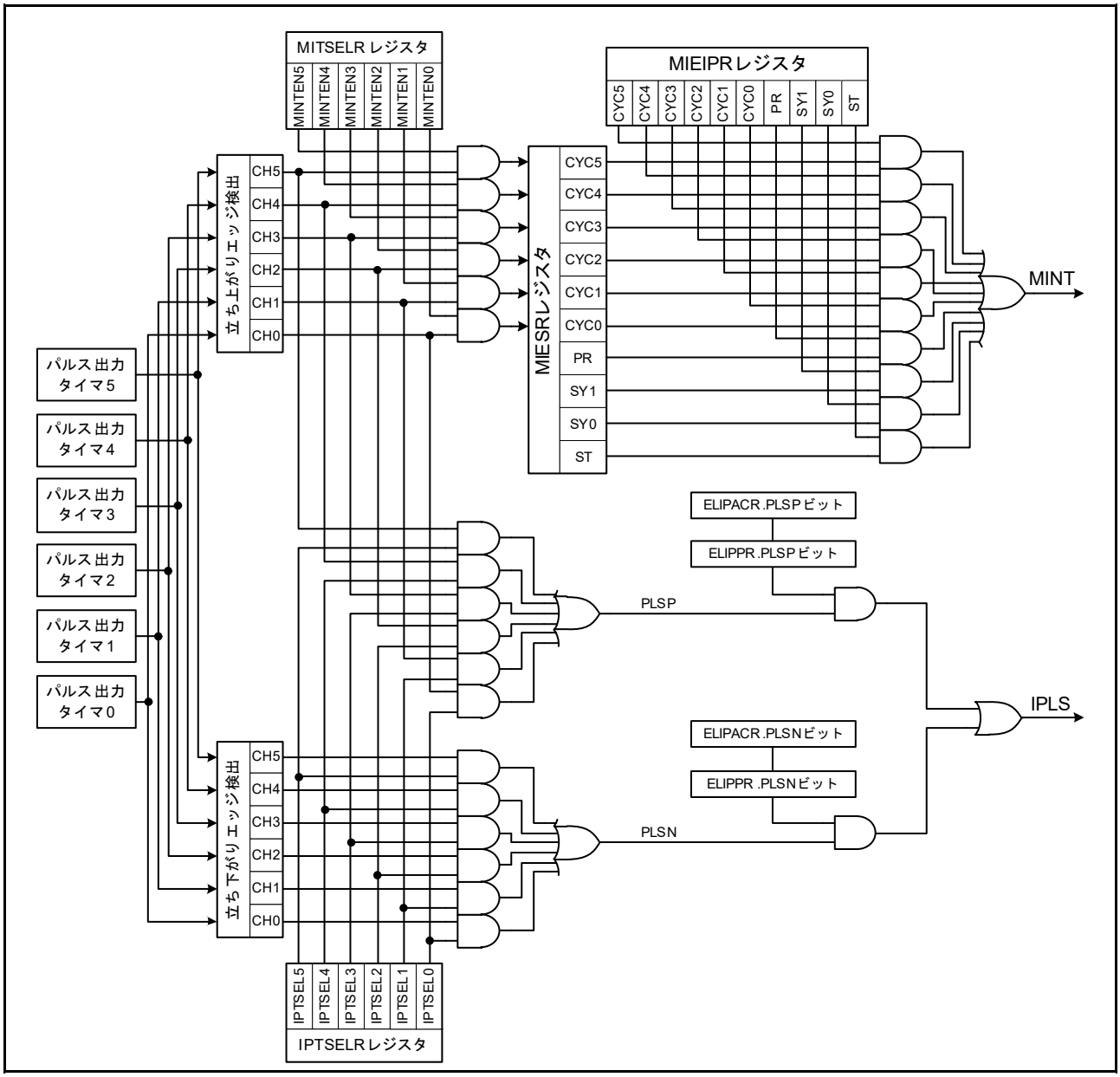


図 28.37　パルス出力タイマの割り込み要求の詳細

28.5　使用上の注意事項

28.5.1　モジュールストップ機能の設定

スタンバイコントロールレジスタ 6 （STBCR6）によって、EPTPC の動作を禁止／許可することができます。リセット解除後、EPTPC の動作は停止しています。

モジュールストップ状態を解除し、BYPASS.BYPASSn ビットを “0” にしてから 3μs 経過すると、EPTPC の各レジスタにアクセスできるようになります。

モジュールストップ機能に関する詳細は、**「52.　低消費電力モード」**を参照してください。

各ビットの設定値と、その時アクセス可能なレジスタの関係を**表 28.29** に示します。

なお、STCA モジュール、SYNFP モジュールのレジスタにアクセスするには、それぞれ STCA クロック、MII クロックが供給されている必要があります。

表 28.29

STBCR6 レジスタ				BYPASS レジスタ		アクセス対象のレジスタの配置アドレス					
MSTP65 (ETHERC0, EDMAC0)	MSTP64 (ETHERC1, EDMAC1)	MSTP63 (EPTPC, PTPEDMAC)	MSTP62 (共通)	BYPASS0	BYPASS1	E820 4500h ～ E820 45FFh	E820 5000h ～ E820 503Fh	E820 5040h ～ E820 53FFh (STCA)	E820 5400h ～ E820 57FFh (PRC-TC)	E820 5800h ～ E820 5BFFh (SYNFP0)	E820 5C00h ～ E820 5FFFh (SYNFP1)
0	0	0	0	0	0	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス可能
0	1	0	0	0	1	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス不可
1	0	0	0	1	0	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス不可	アクセス可能
0	0	1	0	1	1	アクセス可能	アクセス不可	アクセス不可	アクセス不可	アクセス不可	アクセス不可
0	1	1	0	1	1	アクセス可能	アクセス不可	アクセス不可	アクセス不可	アクセス不可	アクセス不可
1	0	1	0	1	1	アクセス可能	アクセス不可	アクセス不可	アクセス不可	アクセス不可	アクセス不可
1	1	1	1	1	1	アクセス不可	アクセス不可	アクセス不可	アクセス不可	アクセス不可	アクセス不可

注．　上記以外の組合せは使用禁止です。

アクセス不可のレジスタにアクセスした場合や、MII クロック、STCA クロックが供給されていないときにレジスタにアクセスした場合、ライト時はライトすることができません。リード時は 0h が読み出されます。

28.5.1.1　モジュールストップ状態の解除

EPTPC を使用する場合、モジュールストップ状態の解除は以下の手順で実施してください。また、この手順を実行している間、他の処理を行わないでください。

（1）STBCR6 レジスタの MSTP62 ビット、MSTP63 ビット、MSTP64 ビット、MSTP65 ビットを “0” にする
（2）BYPASS レジスタの BYPASS0 ビット、BYPASS1 ビットを “0” にする
（3）3μs 待つ

注．　上記はすべての機能を有効にする場合です。各ビットの設定は、必要に応じて実施してください。

28.5.1.2　モジュールストップ状態への遷移

ETHERC、EPTPC、EDMAC をモジュールストップ状態に遷移させるには、以下の手順で実施してください。また、この手順を実行している間、他の処理を行わないでください。

（1）ETHERC、EPTPC、EDMAC をリセットする（注 1）
（2）BYPASS レジスタの BYPASS0 ビット、BYPASS1 ビットを “1” にする
（3）STBCR6 レジスタの MSTP62 ビット、MSTP63 ビット、MSTP64 ビット、MSTP65 ビットを “1” にする
（4）3μs 待つ

注 1.　「27.5.5　イーサネットコントローラのリセット手順」参照。

28.5.2　ソフトウェアスタンバイモード遷移時の注意事項

CPU をソフトウェアスタンバイモードに遷移させる場合、WFI 命令を実行する前に ETHERC、EPTPC、EDMAC をモジュールストップ状態に遷移させてください。

28.5.3　レジスタアクセス時のウェイト数

EPTPC のレジスタをアクセスしたときには、周辺モジュールクロック (Bφ) と STCA クロック、TX_CLK などの MII クロックなど複数のクロックとの調停が行われます。そのため、周辺モジュールクロックの周波数、STCA クロック周波数、MII クロックの周波数の組み合わせによってレジスタアクセス時に生じるウェイト数が異なります。

クロック周波数に応じたウェイト数の例を**表 28.30** に示します。アクセスサイクル数は、この値に 1 ～ 2 サイクル加算してください。

表28.30　レジスタアクセスのウェイト数(STCAクロック周波数が50 MHzの場合)

アドレス	STCAクロック = 50 MHz							
	周辺モジュールクロックBφ = 132 MHz				周辺モジュールクロックBφ = 33 MHz			
	MIIクロック 25 MHz (100 Mbps)		MIIクロック 2.5 MHz (10 Mbps)		MIIクロック 25 MHz (100 Mbps)		MIIクロック 2.5 MHz (10 Mbps)	
	リード	ライト	リード	ライト	リード	ライト	リード	ライト
E820 4500h～E820 45FFh	2	2	2	2	2	2	2	2
E820 5000h～E820 503Fh	4	4	4	4	4	4	4	4
E820 5040h～E820 53FFh(STCA)	7	19 ～ 25 (注 1)	7	19 ～ 25 (注 1)	7	15 ～ 17 (注 1)	7	15 ～ 17 (注 1)
E820 5400h～E820 57FFh(PRC-TC)	8	8	8	8	8	8	8	8
E820 5800h～E820 5BFFh(SYNFP0)	8	25 ～ 37 (注 2)	8	119 ～ 225 (注 2)	8	17 ～ 21 (注 2)	8	41 ～ 69 (注 2)
E820 5C00h～E820 5FFFh(SYNFP1)	8	25 ～ 37 (注 2)	8	119 ～ 225 (注 2)	8	17 ～ 21 (注 2)	8	41 ～ 69 (注 2)

注1.　STCA関連レジスタのウェイト数Wstcaは、周辺モジュールクロックの周期(tc(Bφ)) とSTCAクロックの周期(tc(STCA))より、下記の範囲になることが計算できます。

Wstcaの最小値 = Int (tc(STCA) ÷ tc(Bφ)) × 2 + 15　(tc(Bφ)≦tc(STCA))
= 15　(tc(Bφ) > tc(STCA))

Wstcaの最大値 = Int (tc(STCA) ÷ tc(Bφ)) × 4 + 17　(tc(Bφ)≦tc(STCA))
= 17　(tc(Bφ) > tc(STCA))

Int(A)は、Aを超えない最大の整数値を求める演算です。
本計算では、CPUクロックの周期と周辺モジュールクロックの周期が一致していることが前提です。
たとえば、周辺モジュールクロックが132 MHz、STCAクロックは50MHzで動作している場合、
Wstcaの最小値 = Int (20 [ns] ÷ 7.58 [ns]) × 2 + 15 = 19
Wstcaの最大値 = Int (20 [ns] ÷ 7.58 [ns]) × 4 + 17 = 25
となります。

注2.　SYNFP関連レジスタのウェイト数Wsynfは、周辺モジュールクロックの周期(tc(Bφ)) とMIIクロックの周期(tc(MII))より、下記の範囲になることが計算できます。

Wsynfの最小値 = Int (tc(MII) ÷ tc(Bφ)) × 2 + 15　(tc(Bφ)≦tc(MII))
= 15　(tc(Bφ) > tc(MII))

Wsynfの最大値 = Int (tc(MII) ÷ tc(Bφ)) × 4 + 17　(tc(Bφ)≦tc(MII))
= 17　(tc(Bφ) > tc(MII))

Int(A)は、Aを超えない最大の整数値を求める演算です。
本計算では、CPUクロックの周期と周辺モジュールクロックの周期が一致していることが前提です。
たとえば、周辺モジュールクロックが132 MHz、送信レートが10 Mbps (MIIクロックが2.5 MHz)の場合、
Wsynfの最小値 = Int (400 [ns] ÷ 7.58 [ns]) × 2 + 15 = 119
Wsynfの最大値 = Int (400 [ns] ÷ 7.58 [ns]) × 4 + 17 = 225
となります。

28.5.4　MII 使用時における EPTPCa 動作の制限

STCA クロックに、MII インタフェースの ETn_RX_CLK を使用することが可能ですが、25 MHz に固定 (100 Mbps に固定) している必要があります。

MII インタフェース使用時に ETHERC を 10 Mbps で使用する可能性がある場合は、ETn_SCLKIN を使用してください。

28.5.5　トランスペアレントクロック (TC) 設定時の PTPEDMAC 送信

PTP イベントメッセージに該当する SYRFL1R.PDRP[1]、SYRFL1R.PDRQ[1]、SYRFL1R.DRP[1]、SYRFL1R.SYNC[1] のいづれかを 1 にセットした場合、PTPEDMAC から送信せず、送信側チャネルの EDMACn から送信してください。

(n=0,1)

29. イーサネットコントローラ用 DMA コントローラ（EDMACa）

29.1 概要

本 MCU は、イーサネットコントローラ（ETHERC）用に 2 チャネル、PTP コントローラ（EPTPC）用に 1 チャネルの DMA コントローラ（EDMAC）を内蔵しています。EDMAC0 は ETHERC0 の、EDMAC1 は ETHERC1 の送受信データを制御します。PTPEDMAC は EPTPC の設定により ETHERC0 と ETHERC1 の送受信データを制御します。なお本章では、チャネル番号は n で表記します（n = 0, 1）。

通信に使用するバッファ管理の多くの部分を EDMAC が制御しているため、CPU の負荷を軽減し、効率の良いデータ送受信制御を行うことができます。これらのデータ転送は、メモリ上に配置されたディスクリプタと呼ばれる情報に基づいて制御されます。

表 29.1 に EDMAC の仕様を、**図 29.1** に EDMAC の構成を、**図 29.2** にメモリ上のディスクリプタおよび送受信バッファの構成を示します。

表 29.1　EDMAC の仕様

項目	内容
データ送受信	• ディスクリプタによる送受信制御 • 1バッファ／フレーム（シングルバッファフレーム送受信）、複数バッファ／フレーム（マルチバッファフレーム送受信）の転送方式に対応
機能	• ブロック転送（32バイト単位）によるシステムバス占有時間を最短化 • 送受信フレームステータスのディスクリプタへのライトバック • 受信データへのパディング挿入
消費電力低減機能	モジュールストップ状態に遷移することで消費電力を低減可能

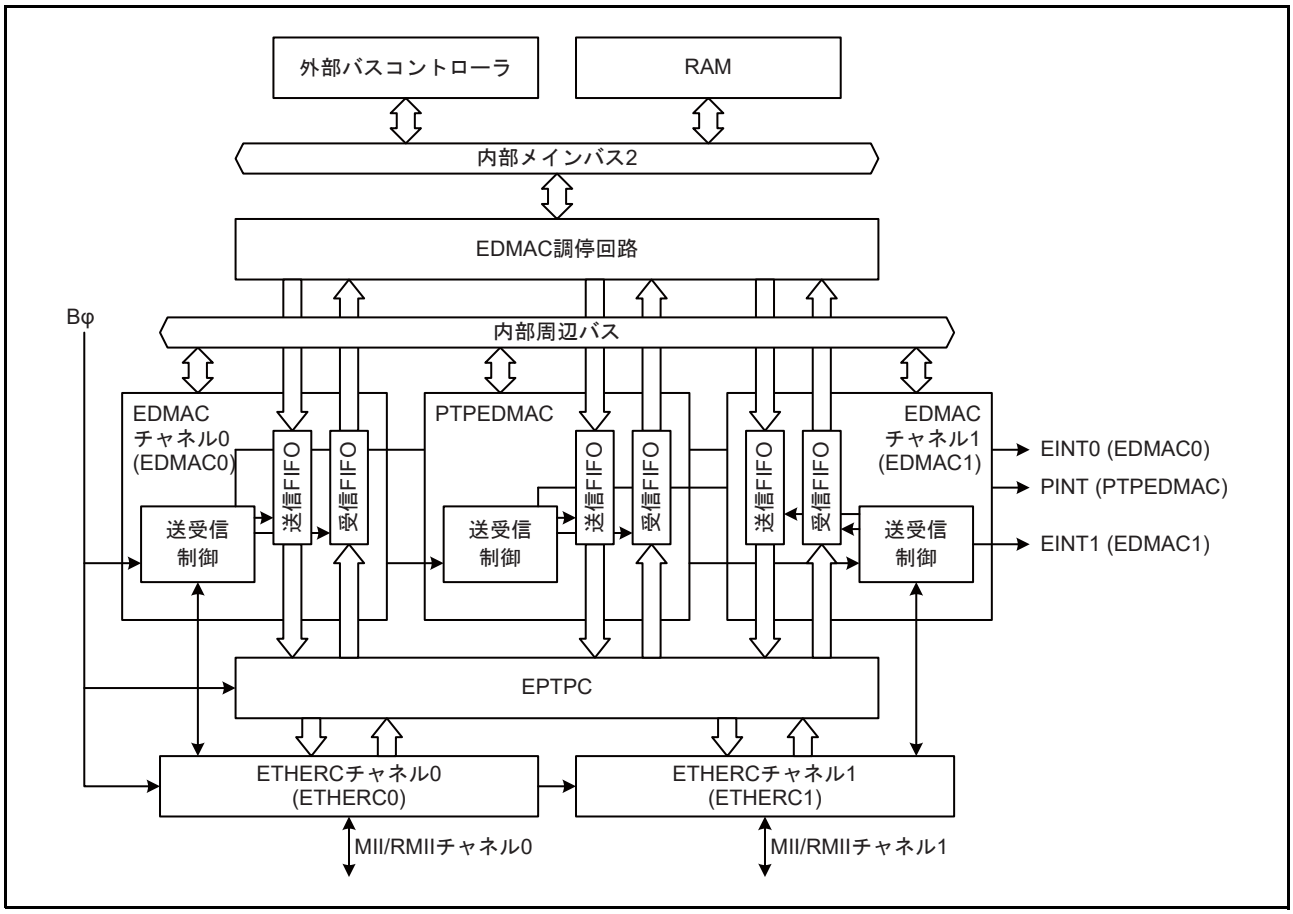


図 29.1　　EDMAC の構成

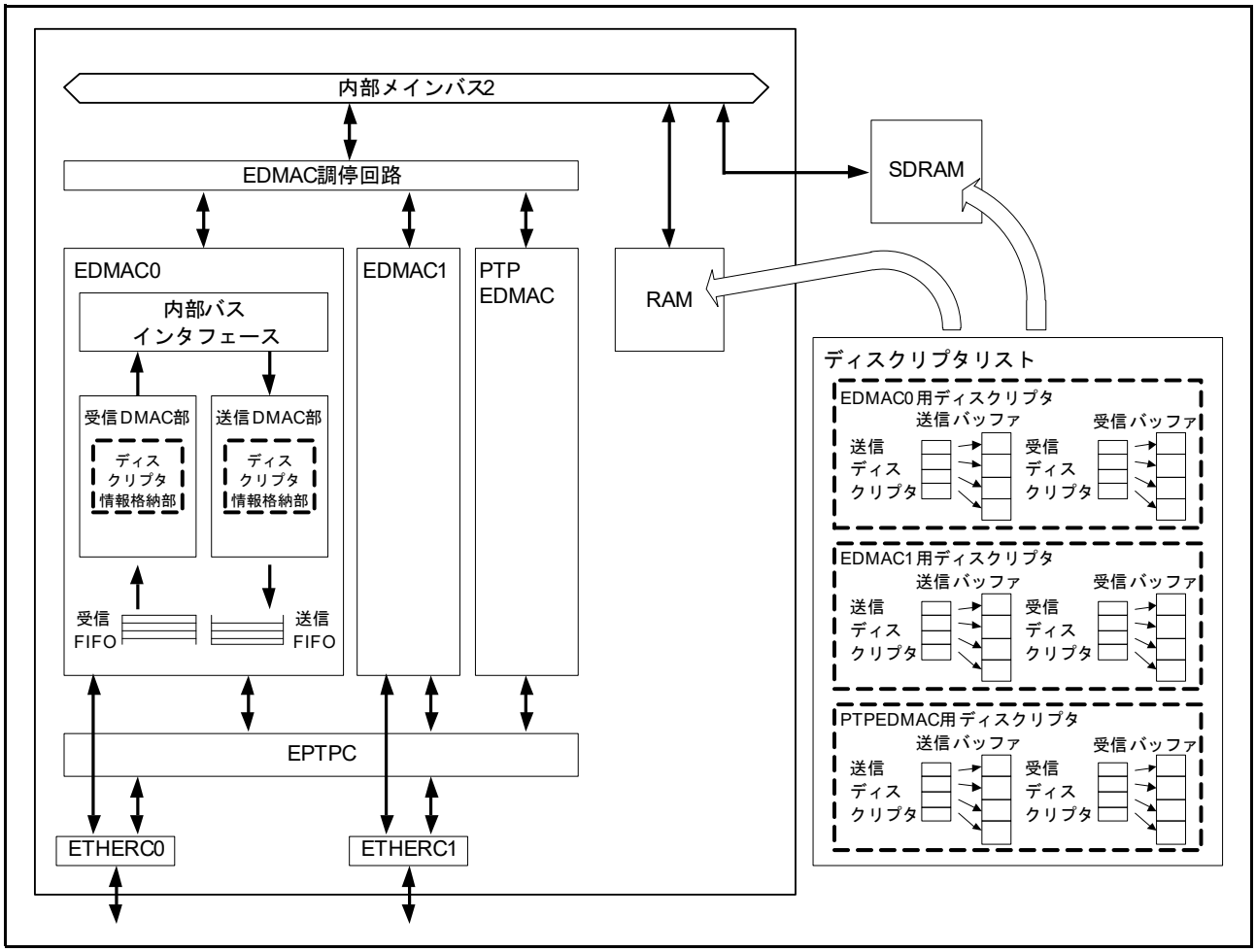


図 29.2　　EDMAC とメモリ上のディスクリプタおよび送受信バッファの構成

29.2 レジスタの説明

表 29.2 にレジスタ構成を示します。

表29.2　イーサネットコントローラ用DMAコントローラレジスタ構成

モジュール	レジスタ名	略称	アドレス	アクセスサイズ
EDMAC0	EDMACモードレジスタ	EDMR	E820 4000h	32
	EDMAC送信要求レジスタ	EDTRR	E820 4008h	32
	EDMAC受信要求レジスタ	EDRRR	E820 4010h	32
	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	E820 4018h	32
	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	E820 4020h	32
	ETHERC/EDMACステータスレジスタ	EESR	E820 4028h	32
	ETHERC/EDMACステータス割り込み許可レジスタ	EESIPR	E820 4030h	32
	ETHERC/EDMAC送受信ステータスコピー指示レジスタ	TRSCER	E820 4038h	32
	ミスドフレームカウンタレジスタ	RMFCR	E820 4040h	32
	送信FIFOしきい値指定レジスタ	TFTR	E820 4048h	32
	FIFO容量指定レジスタ	FDR	E820 4050h	32
	受信方式制御レジスタ	RMCR	E820 4058h	32
	送信FIFOアンダフローカウント	TFUCR	E820 4064h	32
	受信FIFOオーバフローカウント	RFOCR	E820 4068h	32
	個別出力信号設定レジスタ	IOSR	E820 406Ch	32
	フロー制御開始FIFOしきい値設定レジスタ	FCFTR	E820 4070h	32
	受信データパディング挿入設定レジスタ	RPADIR	E820 4078h	32
	送信割り込み設定レジスタ	TRIMD	E820 407Ch	32
	受信バッファライトアドレスレジスタ	RBWAR	E820 40C8h	32
	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	E820 40CCh	32
	送信バッファリードアドレスレジスタ	TBRAR	E820 40D4h	32
	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	E820 40D8h	32
EDMAC1	EDMACモードレジスタ	EDMR	E820 4200h	32
	EDMAC送信要求レジスタ	EDTRR	E820 4208h	32
	EDMAC受信要求レジスタ	EDRRR	E820 4210h	32
	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	E820 4218h	32
	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	E820 4220h	32
	ETHERC/EDMACステータスレジスタ	EESR	E820 4228h	32
	ETHERC/EDMACステータス割り込み許可レジスタ	EESIPR	E820 4230h	32
	ETHERC/EDMAC送受信ステータスコピー指示レジスタ	TRSCER	E820 4238h	32
	ミスドフレームカウンタレジスタ	RMFCR	E820 4240h	32
	送信FIFOしきい値指定レジスタ	TFTR	E820 4248h	32
	FIFO容量指定レジスタ	FDR	E820 4250h	32
	受信方式制御レジスタ	RMCR	E820 4258h	32
	送信FIFOアンダフローカウント	TFUCR	E820 4264h	32
	受信FIFOオーバフローカウント	RFOCR	E820 4268h	32
	個別出力信号設定レジスタ	IOSR	E820 426Ch	32
	フロー制御開始FIFOしきい値設定レジスタ	FCFTR	E820 4270h	32
	受信データパディング挿入設定レジスタ	RPADIR	E820 4278h	32
	送信割り込み設定レジスタ	TRIMD	E820 427Ch	32
	受信バッファライトアドレスレジスタ	RBWAR	E820 42C8h	32
	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	E820 42CCh	32

モジュール	レジスタ名	略称	アドレス	アクセスサイズ
EDMAC1	送信バッファリードアドレスレジスタ	TBRAR	E820 42D4h	32
	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	E820 42D8h	32
PTPEDMAC	EDMACモードレジスタ	EDMR	E820 4400h	32
	EDMAC送信要求レジスタ	EDTRR	E820 4408h	32
	EDMAC受信要求レジスタ	EDRRR	E820 4410h	32
	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	E820 4418h	32
	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	E820 4420h	32
	PTP/EDMACステータスレジスタ	EESR	E820 4428h	32
	PTP/EDMACステータス割り込み許可レジスタ	EESIPR	E820 4430h	32
	ミスドフレームカウンタレジスタ	RMFCR	E820 4440h	32
	送信FIFOしきい値指定レジスタ	TFTR	E820 4448h	32
	FIFO容量指定レジスタ	FDR	E820 4450h	32
	受信方式制御レジスタ	RMCR	E820 4458h	32
	送信FIFOアンダフローカウント	TFUCR	E820 4464h	32
	受信FIFOオーバフローカウント	RFOCR	E820 4468h	32
	フロー制御開始FIFOしきい値設定レジスタ	FCFTR	E820 4470h	32
	受信データパディング挿入設定レジスタ	RPADIR	E820 4478h	32
	送信割り込み設定レジスタ	TRIMD	E820 447Ch	32
	受信バッファライトアドレスレジスタ	RBWAR	E820 44C8h	32
	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	E820 44CCh	32
	送信バッファリードアドレスレジスタ	TBRAR	E820 44D4h	32
	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	E820 44D8h	32

29.2.1　EDMAC モードレジスタ（EDMR）

アドレス： EDMAC0.EDMR E820 4000h, EDMAC1.EDMR E820 4200h, PTPEDMAC.EDMR E820 4400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	DE	DL[1:0]		—	—	—	SWR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWR	ソフトウェアリセットビット	“1”を書くと、対応するチャネルの EDMAC、ETHERC をリセットします。なお、PTPEDMAC の場合は、ETHERC はリセットされません。 また、TDLAR、RDLAR、RMFCR、TFUCR、RFOCR レジスタは、このビットではリセットされません。 読むと“0”が読めます。	R/W
b3～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5、b4	DL[1:0]	送受信ディスクリプタ長指定ビット	b5 b4 0 0：16 バイト 0 1：32 バイト 1 0：64 バイト 1 1：16 バイト	R/W
b6	DE	ビッグエンディアンモード／リトルエンディアンモード指定ビット（注1）	0：ビッグエンディアンモード 1：リトルエンディアンモード	R/W
b31～b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　送受信バッファのデータについて有効になります。送受信ディスクリプタ、レジスタについては無効です

EDMR レジスタは、EDMAC の動作を制御するレジスタです。

EDMR レジスタの設定は、リセット後の初期設定時に行ってください。それ以外のときに書き換える場合は、SWR ビットを “1” にして、ETHERC と EDMAC を初期状態に戻してから再設定してください。データの送受信中に、ETHERC および EDMAC をリセットすると、回線上に異常なデータが送出される可能性がありますから、ETHERC の送受信機能が有効であるとき、このレジスタを書き換えないでください。なお、ETHERC および EDMAC の初期化完了までの所要時間は、周辺モジュールクロック（Bφ）で 64 サイクルです。ETHERC および EDMAC 内のレジスタアクセスは、初期化が完了した後に行ってください。

29.2.2 EDMAC 送信要求レジスタ（EDTRR）

アドレス： EDMAC0.EDTRR E820 4008h, EDMAC1.EDTRR E820 4208h, PTPEDMAC.EDTRR E820 4408h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TR	送信要求ビット	“1”を書くと、EDMAC は該当するディスクリプタを読み込み、TD0.TACT ビットが“1”であるフレームを送信します。 有効なフレーム全てを送信した後、このビットは“0”に戻ります。 “0”書き込みは無効です。	R/W
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDTRR レジスタは、EDMAC の送信を制御するレジスタです。

EDMAC は 1 つのフレームの送信を終了すると、次のディスクリプタを読み込みます。この TD0.TACT ビットが “1” であれば、送信を継続します。“0” であれば、EDMAC は TR ビットを “0” にして、送信を停止します。

29.2.3 EDMAC 受信要求レジスタ（EDRRR）

アドレス： EDMAC0.EDRRR E820 4010h, EDMAC1.EDRRR E820 4210h, PTPEDMAC.EDRRR E820 4410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RR	受信要求ビット	0：受信機能を無効にする（注1） 1：受信ディスクリプタを読み込み、受信機能を有効にする。	R/W
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、EDMACは正常な動作ができなくなります。この場合、再度EDMACの受信機能を有効にするためには、EDMR.SWRビットを“1”にしてソフトウェアリセットを実施する必要があります。
EDMACをリセットせずに受信機能を無効にするには、ETHERCのECMR.REビットを“0”にして受信機能を無効にします。
次にEDMACの受信が完了し受信ディスクリプタのライトバックが確認できた後、RRビットを“0”にしてください。

EDRRR レジスタは、EDMAC の受信を制御するレジスタです。

EDMAC は RR ビットが “1” になると、当該受信ディスクリプタを読み込みます。RD0.RACT ビットが “1” であれば、ETHERC からの受信要求を待ちます。

受信バッファ分の受信が完了すると、EDMAC は次のディスクリプタを読み込み、フレームの受信を待ちます。このとき RD0.RACT ビットが “0” である場合は、EDMAC は RR ビットを “0” にして、受信を停止します。

29.2.4　送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）

アドレス： EDMAC0.TDLAR E820 4018h, EDMAC1.TDLAR E820 4218h, PTPEDMAC.TDLAR E820 4418h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	送信ディスクリプタリストの先頭アドレスを設定します。 EDMR.DL[1:0]ビットで指定したディスクリプタ長に合わせてアドレスを指定する必要があります。 16 バイトバウンダリ：下位4 ビット = 0000b 32 バイトバウンダリ：下位5 ビット = 00000b 64 バイトバウンダリ：下位6 ビット = 000000b	R/W

TDLAR レジスタは、送信ディスクリプタリストの先頭アドレスを指定するレジスタです。

各ディスクリプタは、EDMR.DL[1:0] ビットで指定したディスクリプタ長に合致する境界に配置してください。

送信中に TDLAR レジスタを書き換えないでください。TDLAR レジスタの書き換えは、EDTRR.TR ビットが “0” のときに行ってください。

29.2.5　受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）

アドレス： EDMAC0.RDLAR E820 4020h, EDMAC1.RDLAR E820 4220h, PTPEDMAC.RDLAR E820 4420h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	—	—	受信ディスクリプタリストの先頭アドレスを設定します。 EDMR.DL[1:0] ビットで指定したアドレス境界に合わせてアドレスを指定する必要があります。 16 バイトバウンダリ：下位 4 ビット = 0000b 32 バイトバウンダリ：下位 5 ビット = 00000b 64 バイトバウンダリ：下位 6 ビット = 000000b	R/W

RDLAR レジスタは、受信ディスクリプタリストの先頭アドレスを指定するレジスタです。

各ディスクリプタは、EDMR.DL[1:0] ビットで指定したディスクリプタ長に合致する境界に配置してください。

受信中に RDLAR レジスタを書き換えないでください。RDLAR レジスタの書き換えは、EDRRR.RR ビットが “0” のときに行ってください。

29.2.6 ETHERC/EDMAC ステータスレジスタ（EDMACn.EESR）

アドレス： EDMAC0.EESR E820 4028h, EDMAC1.EESR E820 4228h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWB	—	—	—	TABT	RABT	RFCOF	—	ECI	TC	TDE	TFUF	FR	RDE	RFOF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CND	DLC	CD	TRO	RMAF	—	—	RRF	RTLF	RTSF	PRE	CERF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CERF	CRC エラーフラグ	0：CRC エラー未検出 1：CRC エラー検出	R/W
b1	PRE	PHY-LSI 受信エラーフラグ	0：PHY-LSI 受信エラー未検出 1：PHY-LSI 受信エラー検出	R/W
b2	RTSF	ショートフレーム受信エラーフラグ	0：ショートフレーム未受信 1：ショートフレーム受信	R/W
b3	RTLF	ロングフレーム受信エラーフラグ	0：ロングフレーム未受信 1：ロングフレーム受信	R/W
b4	RRF	端数ビットフレーム受信フラグ	0：端数ビットフレーム未受信 1：端数ビットフレーム受信	R/W
b6、b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RMAF	マルチキャストアドレスフレーム受信フラグ	0：マルチキャストアドレスフレーム未受信 1：マルチキャストアドレスフレーム受信	R/W
b8	TRO	送信リトライオーバフラグ	0：送信リトライオーバ未検出 1：送信リトライオーバ検出	R/W
b9	CD	遅延衝突検出フラグ	0：遅延衝突未検出 1：フレーム送信中に遅延衝突を検出	R/W
b10	DLC	キャリア消失検出フラグ	0：キャリア消失未検出 1：フレーム送信中にキャリア消失を検出	R/W
b11	CND	キャリア未検出フラグ	0：送信開始時にキャリア検出 1：プリアンブル送信中にキャリアを検出できなかった	R/W
b15～b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	RFOF	受信FIFO オーバフローフラグ	0：オーバフロー未発生 1：オーバフロー発生	R/W
b17	RDE	受信ディスクリプタ枯渇フラグ	0：受信ディスクリプタ有効ビットRD0.RACT = 1 を検出 1：受信ディスクリプタ有効ビットRD0.RACT = 0 を検出	R/W
b18	FR	フレーム受信フラグ	0：フレーム未受信 1：フレーム受信済み。受信ディスクリプタ更新完了	R/W
b19	TFUF	送信FIFO アンダフローフラグ	0：アンダフロー未発生 1：アンダフロー発生	R/W
b20	TDE	送信ディスクリプタ枯渇フラグ	0：送信ディスクリプタ有効ビットTD0.TACT = 1 を検出 1：送信ディスクリプタ有効ビットTD0.TACT = 0 を検出	R/W
b21	TC	フレーム転送完了フラグ	0：転送未完了または転送未指示 1：送信ディスクリプタにより指示された全フレームの送信FIFOへの転送が完了した	R/W
b22	ECI	ETHERC ステータスレジスタ要因フラグ	0：ETHERC ステータス割り込み要因未検出 1：ETHERC ステータス割り込み要因検出	R （注1）
b23	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b24	RFCOF	受信フレームカウンタ オーバフローフラグ	0：受信フレームカウンタがオーバフローしていない 1：受信フレームカウンタがオーバフローした	R/W
b25	RABT	受信中断検出フラグ	0：フレーム受信中断未発生または受信未指示 1：フレーム受信中断発生	R/W
b26	TABT	送信中断検出フラグ	0：フレーム送信中断未発生または送信未指示 1：フレーム送信中断発生	R/W
b29～b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	TWB	ライトバック完了フラグ	0：ライトバック未完了または送信未指示 1：送信ディスクリプタのライトバックが完了	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　ECI フラグは読み出し専用です。ETHERC の ECSR レジスタの要因がクリアされると ECI フラグも“0”になります。

EDMACn.EESR レジスタは、ETHERCn と EDMACn の通信ステータスを表示するレジスタです。

EESR レジスタの各フラグは、EDMACn からの割り込み要求信号（EINTn）として出力することができます。ECI フラグを除く各フラグは “1” を書くことで “0” になります。“0” を書いても各フラグの値には影響しません。各割り込み要求は EDMACn.EESIPR レジスタの対応するビットによって許可することが可能です。

CERF フラグ（CRC エラーフラグ）

受信フレームの FCS 部のチェックを行い、誤りがある場合に “1” になります。

PRE フラグ（PHY-LSI 受信エラーフラグ）

PHY-LSI から出力される RX_ER 信号が High であったことを示します。

RTSF フラグ（ショートフレーム受信エラーフラグ）

64 バイト未満のフレームを受信したことを示します。

RTLF フラグ（ロングフレーム受信エラーフラグ）

ETHERCn.RFLR レジスタで設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。なお、設定値を超えた部分のデータについては、破棄されます。

RRF フラグ（端数ビットフレーム受信フラグ）

1 ～ 7 ビットの端数が生じたことを示します。端数ビットを含む最後の 1 ワードは転送されません。

RMAF フラグ（マルチキャストアドレスフレーム受信フラグ）

マルチキャストフレームを受信したことを示します。

TRO フラグ（送信リトライオーバフラグ）

フレーム送信の 15 回目のリトライ中に、再度衝突が発生したことを示します。

CD フラグ（遅延衝突検出フラグ）

フレーム送信中に遅延衝突を検出したことを示します。

DLC フラグ（キャリア消失検出フラグ）

フレーム送信中のキャリア消失を検出したことを示します。

CND フラグ（キャリア未検出フラグ）

プリアンブルの送信中にキャリアが検出できない場合に “1” になります。

RFOF フラグ（受信 FIFO オーバフローフラグ）

フレーム受信中に受信 FIFO がオーバフローしたことを示します。

RDE フラグ（受信ディスクリプタ枯渇フラグ）

読み込んだ受信ディスクリプタが無効であったことを示します。
このフラグが “1” になった場合は、当該受信ディスクリプタの RD0.RACT ビットを “1” にし、EDRRR.RR ビットを “1” にすると、受信を再開することができます。

FR フラグ（フレーム受信フラグ）

フレームを受信し、受信ディスクリプタを更新したことを示します。FR フラグは、1 フレームの受信が完了する度に “1” になります。

TFUF フラグ（送信 FIFO アンダフローフラグ）

フレーム送信中に送信 FIFO 内のデータがなくなったことを示します。回線上には不完全なデータが送出されます。

TDE フラグ（送信ディスクリプタ枯渇フラグ）

マルチバッファフレーム送信のとき、処理中の送信ディスクリプタがフレームを完結しない設定（TD0.TFP[1:0] ビットが “10b” または “00b”）である場合に、次に読み込んだディスクリプタの TD0.TACT ビットが “0” であったことを示します。結果として不完全なフレームを送出する場合があります。
このフラグが “1” になった場合は、ソフトウェアリセットを実施してから EDTRR.TR ビットを “1” にして、送信を再開してください。このとき TDLAR レジスタに格納されているアドレスからの送信開始となります。

TC フラグ（フレーム転送完了フラグ）

送信ディスクリプタによって指定されたデータをすべて ETHERC から送信したことを示します。
シングルバッファフレーム送信のときは、1 フレームの送信が完了した場合、またマルチバッファフレーム送信のときは、フレーム最後のデータを送信し、次に読み込んだ送信ディスクリプタの TD0.TACT ビットが “0” であった場合に、TC フラグが “1” になります。フレーム送信完了後、EDMAC は転送ステータスを当該ディスクリプタにライトバックします。

ECI フラグ（ETHERC ステータスレジスタ要因フラグ）

ETHERCn.ECSR レジスタによる割り込み要求が発生したときに “1” になります。

RFCOF フラグ（受信フレームカウンタオーバフローフラグ）

受信 FIFO 内に格納できるフレーム数が上限（16 フレーム）に達しているときに、次のフレームの受信が始まったことを示します。なお、RFCOF フラグが “1” のときに受信したフレームは破棄されます。

RABT フラグ（受信中断検出フラグ）

フレーム受信時、CRC エラー、PHY-LSI 受信エラー、ショートフレーム受信エラー、ロングフレーム受信エラー等によって ETHERC がフレーム受信を中断したことを示します。

TABT フラグ（送信中断検出フラグ）

フレーム送信時、送信リトライオーバ、キャリア消失、キャリア未検出等によって ETHERC がフレーム送信を中断したことを示します。

TWB フラグ（ライトバック完了フラグ）

フレーム送信完了後の EDMAC による当該ディスクリプタへのライトバックが完了したことを示します。
TRIMD.TIM ビットの設定により、フレームの送信が完了するごとに “1” にすることもできます。
このフラグは、TRIMD.TIS ビットが “1” になっているときのみ “1” になります。

29.2.7　PTP/EDMAC ステータスレジスタ（PTPEDMAC.EESR）

アドレス：PTPEDMAC.EESR E820 4428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWB	—	—	—	TABT	—	RFCOF	—	—	TC	TDE	TFUF	FR	RDE	RFOF
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MACE	RPORT	—	—	PVER	TYPE[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3～b0	TYPE[3:0]	PTP v2 メッセージタイプ フラグ	b3　b0 0 0 0 0：Sync 0 0 0 1：Delay_Req 0 0 1 0：Pdelay_Req 0 0 1 1：Pdelay_Resp 1 0 0 0：Follow_Up 1 0 0 1：Delay_Resp 1 0 1 0：Pdelay_Resp_Follow_Up 1 0 1 1：Announce 1 1 0 0：Signaling 1 1 0 1：Management 上記以外：予約	R/W
b4	PVER	PTP v2 パケットフラグ	0：PTP v2 パケットではない 1：PTP v2 パケットである	R/W
b6、b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RPORT	受信ポート表示フラグ	0：ポート0 1：ポート1	R/W
b8	MACE	MAC アドレス不一致 フラグ	0：送信フレームデータの送信元MAC アドレスが設定値と一致 1：送信フレームデータの送信元MAC アドレスが設定値と一致していない	R/W
b15～b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	RFOF	受信FIFO オーバフロー フラグ	0：オーバフロー未発生 1：オーバフロー発生	R/W
b17	RDE	受信ディスクリプタ 枯渇フラグ	0：受信ディスクリプタ有効ビットRD0.RACT = 1 を検出 1：受信ディスクリプタ有効ビットRD0.RACT = 0 を検出	R/W
b18	FR	フレーム受信フラグ	0：フレーム未受信 1：フレーム受信済み。受信ディスクリプタ更新完了	R/W
b19	TFUF	送信FIFO アンダフロー フラグ	0：アンダフロー未発生 1：アンダフロー発生	R/W
b20	TDE	送信ディスクリプタ 枯渇フラグ	0：送信ディスクリプタ有効ビットTD0.TACT = 1 を検出 1：送信ディスクリプタ有効ビットTD0.TACT = 0 を検出	R/W
b21	TC	フレーム転送完了フラグ	0：転送未完了または転送未指示 1：送信ディスクリプタにより指示された全フレームの送信FIFO への転送が完了した	R/W
b23、b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	RFCOF	受信フレームカウンタ オーバフローフラグ	0：受信フレームカウンタがオーバフローしていない 1：受信フレームカウンタがオーバフローした	R/W
b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	TABT	送信中断検出フラグ	0：フレーム送信中断未発生または送信未指示 1：フレーム送信中断発生	R/W
b29～b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b30	TWB	ライトバック完了フラグ	0：ライトバック未完了または送信未指示 1：送信ディスクリプタのライトバック完了	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PTPEDMAC.EESR レジスタは、PTPEDMAC の通信ステータスを表示するレジスタです。

EESR レジスタの各フラグは、PTPEDMAC からの割り込み要求信号（PINT）として出力することができます。各フラグは “1” を書くことで “0” になります。“0” を書いても各フラグの値には影響しません。TYPE[3:0] フラグを除く各割り込み要因は PTPEDMAC.EESIPR レジスタの対応するビットによって許可することが可能です。

TYPE[3:0] フラグ（PTP v2 メッセージタイプフラグ）

受信した PTP メッセージのタイプを示します。

PVER フラグ（PTP v2 パケットフラグ）

受信したパケットが PTP v2 パケットであるかどうかを示します。

RPORT フラグ（受信ポート表示フラグ）

PTP メッセージをどちらの ETHER ポートで受信したかを示します。

MACE フラグ（MAC アドレス不一致フラグ）

送信フレームデータの送信元 MAC アドレスが設定値と異なることを示します。

RFOF フラグ（受信 FIFO オーバフローフラグ）

フレーム受信中に受信 FIFO がオーバフローしたことを示します。

RDE フラグ（受信ディスクリプタ枯渇フラグ）

読み込んだ受信ディスクリプタが無効であったことを示します。
このフラグが “1” になった場合は、当該受信ディスクリプタの RD0.RACT ビットを “1” にし、EDRRR.RR ビットを “1” にすると、受信を再開することができます。

FR フラグ（フレーム受信フラグ）

フレームを受信し、受信ディスクリプタを更新したことを示します。FR フラグは、1 フレームの受信が完了する度に “1” になります。

TFUF フラグ（送信 FIFO アンダフローフラグ）

フレーム送信中に送信 FIFO 内のデータがなくなったことを示します。回線上には不完全なデータが送出されます。

TDE フラグ（送信ディスクリプタ枯渇フラグ）

マルチバッファフレーム送信のとき、処理中の送信ディスクリプタがフレームを完結しない設定（TD0.TFP[1:0] ビットが “10b” または “00b”）である場合に、次に読み込んだディスクリプタの TD0.TACT ビットが “0” であったことを示します。結果として不完全なフレームを送出する場合があります。
このフラグが “1” になった場合は、ソフトウェアリセットを実施してから EDTRR.TR ビットを “1” にして、送信を再開してください。このとき TDLAR レジスタに格納されているアドレスからの送信開始となります。

TC フラグ（フレーム転送完了フラグ）

送信ディスクリプタによって指定されたデータをすべて ETHERC から送信したことを示します。シングルバッファフレーム送信のときは、1 フレームの送信が完了した場合、またマルチバッファフレーム送信のときは、フレーム最後のデータを送信し、次に読み込んだ送信ディスクリプタの TD0.TACT ビットが “0” であった場合に、TC フラグが “1” になります。フレーム送信完了後、PTPEDMAC は転送ステータスを当該ディスクリプタにライトバックします。

RFCOF フラグ（受信フレームカウンタオーバフローフラグ）

受信 FIFO 内に格納できるフレーム数が上限（16 フレーム）に達しているときに、次のフレームの受信が始まったことを示します。なお、RFCOF フラグが “1” のときに受信したフレームは破棄されます。

TABT フラグ（送信中断検出フラグ）

フレーム送信時、送信リトライオーバ、キャリア消失、キャリア未検出等によって ETHERC がフレーム送信を中断したことを示します。

TWB フラグ（ライトバック完了フラグ）

フレーム送信完了後の PTPEDMAC による当該ディスクリプタへのライトバックが完了したことを示します。TRIMD.TIM ビットの設定により、フレームの送信が完了するごとに “1” にすることもできます。このフラグは、TRIMD.TIS ビットが “1” になっているときのみ “1” になります。

29.2.8 ETHERC/EDMAC ステータス割り込み許可レジスタ（EDMACn.EESIPR）

アドレス： EDMAC0.EESIPR E820 4030h, EDMAC1.EESIPR E820 4230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWBIP	—	—	—	TABTIP	RABTIP	RFCOFIP	—	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CNDIP	DLCIP	CDIP	TROIP	RMAFIP	—	—	RRFIP	RTLFIP	RTSFIP	PREIP	CERFIP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CERFIP	受信フレームCRCエラー割り込み要求許可ビット	0：CRC エラー割り込み要求禁止 1：CRC エラー割り込み要求許可	R/W
b1	PREIP	PHY-LSI 受信エラー割り込み要求許可ビット	0：PHY-LSI 受信エラー割り込み要求禁止 1：PHY-LSI 受信エラー割り込み要求許可	R/W
b2	RTSFIP	ショートフレーム受信エラー割り込み要求許可ビット	0：ショートフレーム受信エラー割り込み要求禁止 1：ショートフレーム受信エラー割り込み要求許可	R/W
b3	RTLFIP	ロングフレーム受信エラー割り込み要求許可ビット	0：ロングフレーム受信エラー割り込み要求禁止 1：ロングフレーム受信エラー割り込み要求許可	R/W
b4	RRFIP	端数ビットフレーム受信割り込み要求許可ビット	0：端数ビットフレーム受信割り込み要求禁止 1：端数ビットフレーム受信割り込み要求許可	R/W
b6、b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RMAFIP	マルチキャストアドレスフレーム受信割り込み要求許可ビット	0：マルチキャストアドレスフレーム受信割り込み要求禁止 1：マルチキャストアドレスフレーム受信割り込み要求許可	R/W
b8	TROIP	送信リトライオーバ割り込み要求許可ビット	0：送信リトライオーバ割り込み要求禁止 1：送信リトライオーバ割り込み要求許可	R/W
b9	CDIP	遅延衝突検出割り込み要求許可ビット	0：遅延衝突割り込み要求禁止 1：遅延衝突割り込み要求許可	R/W
b10	DLCIP	キャリア消失検出割り込み要求許可ビット	0：キャリア消失検出割り込み要求禁止 1：キャリア消失検出割り込み要求許可	R/W
b11	CNDIP	キャリア未検出割り込み要求許可ビット	0：キャリア未検出割り込み要求禁止 1：キャリア未検出割り込み要求許可	R/W
b15～b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	RFOFIP	受信FIFO オーバフロー割り込み要求許可ビット	0：オーバフロー割り込み要求禁止 1：オーバフロー割り込み要求許可	R/W
b17	RDEIP	受信ディスクリプタ枯渇割り込み要求許可ビット	0：受信ディスクリプタ枯渇割り込み要求禁止 1：受信ディスクリプタ枯渇割り込み要求許可	R/W
b18	FRIP	フレーム受信割り込み要求許可ビット	0：フレーム受信割り込み要求禁止 1：フレーム受信割り込み要求許可	R/W
b19	TFUFIP	送信FIFO アンダフロー割り込み要求許可ビット	0：アンダフロー割り込み要求禁止 1：アンダフロー割り込み要求許可	R/W
b20	TDEIP	送信ディスクリプタ枯渇割り込み要求許可ビット	0：送信ディスクリプタ枯渇割り込み要求禁止 1：送信ディスクリプタ枯渇割り込み要求許可	R/W
b21	TCIP	フレーム送信完了割り込み要求許可ビット	0：フレーム送信完了割り込み要求禁止 1：フレーム送信完了割り込み要求許可	R/W
b22	ECIIP	ETHERC ステータスレジスタ要因割り込み要求許可ビット	0：ETHERC ステータス割り込み要求禁止 1：ETHERC ステータス割り込み要求許可	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	RFCOFIP	受信フレームカウンタオーバフロー割り込み要求許可ビット	0：受信フレームカウンタオーバフロー割り込み要求禁止 1：受信フレームカウンタオーバフロー割り込み要求許可	R/W

ビット	シンボル	ビット名	機能	R/W
b25	RABTIP	受信中断検出割り込み要求許可ビット	0：受信中断検出割り込み要求禁止 1：受信中断検出割り込み要求許可	R/W
b26	TABTIP	送信中断検出割り込み要求許可ビット	0：送信中断検出割り込み要求禁止 1：送信中断検出割り込み要求許可	R/W
b29～b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	TWBIP	ライトバック完了割り込み要求許可ビット	0：ライトバック完了割り込み要求禁止 1：ライトバック完了割り込み要求許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMACn.EESIPR レジスタは、EDMACn.EESR レジスタの各ビットに対応する割り込み要求許可レジスタです。各ビットを “1” にすることで割り込み要求が許可されます。

29.2.9　PTP/EDMAC ステータス割り込み許可レジスタ（PTPEDMAC.EESIPR）

アドレス： PTPEDMAC.EESIPR E820 4430h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWBIP	—	—	—	TABTIP	—	RFCOFIP	—	—	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MACEIP	RPORTIP	—	—	PVERIP	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PVERIP	PTP v2 パケット受信割り込み要求許可ビット	0：PTP v2 パケット受信割り込み要求禁止 1：PTP v2 パケット受信割り込み要求許可	R/W
b6、b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RPORTIP	受信ポート割り込み要求許可ビット	0：ポート1 にフレーム受信時の割り込み要求を禁止 1：ポート1 にフレームを受信時の割り込み要求を許可	R/W
b8	MACEIP	MAC アドレス不一致割り込み要求許可ビット	0：送信フレームデータの送信元MAC アドレスが設定値と一致していないときの割り込み要求を禁止 1：送信フレームデータの送信元MAC アドレスが設定値と一致していないときの割り込み要求を許可	R/W
b15～b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	RFOFIP	受信FIFO オーバフロー割り込み要求許可ビット	0：オーバフロー割り込み要求禁止 1：オーバフロー割り込み要求許可	R/W
b17	RDEIP	受信ディスクリプタ枯渇割り込み要求許可ビット	0：受信ディスクリプタ枯渇割り込み要求禁止 1：受信ディスクリプタ枯渇割り込み要求許可	R/W
b18	FRIP	フレーム受信割り込み要求許可ビット	0：フレーム受信割り込み要求禁止 1：フレーム受信割り込み要求許可	R/W
b19	TFUFIP	送信FIFO アンダフロー割り込み要求許可ビット	0：アンダフロー割り込み要求禁止 1：アンダフロー割り込み要求許可	R/W
b20	TDEIP	送信ディスクリプタ枯渇割り込み許可ビット	0：送信ディスクリプタ枯渇割り込み禁止 1：送信ディスクリプタ枯渇割り込み許可	R/W
b21	TCIP	フレーム送信完了割り込み要求許可ビット	0：フレーム送信完了割り込み要求禁止 1：フレーム送信完了割り込み要求許可	R/W
b23、b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	RFCOFIP	受信フレームカウンタオーバフロー割り込み要求許可ビット	0：受信フレームカウンタオーバフロー割り込み要求禁止 1：受信フレームカウンタオーバフロー割り込み要求許可	R/W
b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	TABTIP	送信中断検出割り込み要求許可ビット	0：送信中断検出割り込み要求禁止 1：送信中断検出割り込み要求許可	R/W
b29～b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	TWBIP	ライトバック完了割り込み要求許可ビット	0：ライトバック完了割り込み要求禁止 1：ライトバック完了割り込み要求許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PTPEDMAC.EESIPR レジスタは、PTPEDMAC.EESR の各ビットに対応する割り込み要求許可レジスタです。各ビットを “1” にすることで割り込み要求が許可されます。

29.2.10 ETHERC/EDMAC 送受信ステータスコピー指示レジスタ（EDMACn.TRSCER）

アドレス： EDMAC0.TRSCER E820 4038h, EDMAC1.TRSCER E820 4238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RMAFCE	—	—	RRFCE	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	RRFCE	RRF フラグコピー指示ビット	0：EESR.RRF フラグのステータスを受信ディスクリプタのRD0.RFE ビットに反映する 1：EESR.RRF フラグのステータスは受信ディスクリプタのRD0.RFE ビットに反映しない	R/W
b6、b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RMAFCE	RMAF フラグコピー指示ビット	0：EESR.RMAF フラグのステータスを受信ディスクリプタのRD0.RFE ビットに反映する 1：EESR.RMAF フラグのステータスは受信ディスクリプタのRD0.RFE ビットに反映しない	R/W
b31～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMACn.TRSCER レジスタは、EDMACn.EESR レジスタの RMAF フラグ、RRF フラグに表示される受信ステータスを受信ディスクリプタの RFE ビットにサマリとして反映するか否かを指示するレジスタです。

TRSCER レジスタの各ビットは EESR レジスタの同番号のビットに対応しています。

ビットの値を “0” にすると、対応する受信ステータス（EESR.RMAF フラグまたは RRF フラグ）が受信ディスクリプタの RFE ビットに反映されます。“1” にすると、受信ステータスは RFE ビットに反映されません。

29.2.11　ミスドフレームカウンタレジスタ（RMFCR）

アドレス：EDMAC0.RMFCR E820 4040h, EDMAC1.RMFCR E820 4240h, PTPEDMAC.RMFCR E820 4440h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MFC[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	MFC[15:0]	ミスドフレームカウンタビット	受信時に、受信バッファに転送しきれずに破棄されたフレーム数を示します	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMFCR レジスタは、受信時に受信 FIFO に収容しきれずに破棄されたフレームの数を示すカウンタです。受信 FIFO がオーバフローすると、受信 FIFO はデータの受け入れを中断し、これ以降のフレームを破棄します。このとき同時に RMFCR レジスタの値をインクリメントします。RMFCR レジスタの値が “FFFFh” になるとカウントアップを停止します。RMFCR レジスタに任意の値を書くと、カウンタの値は “0” になります。

途中までしか受信できなかったフレームについては、受信 FIFO 内のデータが受信バッファに転送された後、受信ディスクリプタ（RD0）の RACT ビットが “0”（ディスクリプタ無効）に、RFS9 ビットが “1”（受信 FIFO オーバフロー）に、また EDMACn.EESR レジスタ、または PTPEDMAC.EESR レジスタの RFOF フラグが “1”（オーバフロー検出）になります。

29.2.12　送信 FIFO しきい値指定レジスタ（TFTR）

アドレス： EDMAC0.TFTR E820 4048h, EDMAC1.TFTR E820 4248h, PTPEDMAC.TFTR E820 4448h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TFT[10:0]										
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10～b0	TFT[10:0]	送信FIFO しきい値ビット	b10 b0 000h：ストア＆フォワードモード 001h～00Ch：設定しないでください 00Dh～200h：設定した値の4 倍の値がしきい値になります 例 00Dh：52 バイト 040h：256 バイト 100h：1024 バイト 200h：2048 バイト 201h～7FFh：設定しないでください	R/W
b31～b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　1フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。
注2.　送信アンダフローの発生を防ぐため、初期値（ストア＆フォワードモード）でのご使用を推奨します。

TFTR レジスタは、最初の送信を開始するまでの送信 FIFO のしきい値を指定するレジスタです。実際のしきい値は、設定した数値の 4 倍の値に相当します。

ETHERC は送信 FIFO 内のデータ数が TFTR レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが完了すると送信を開始します。なお TFTR レジスタの設定は、EDTRR.TR ビットが “0” のときに行ってください。

29.2.13　FIFO 容量指定レジスタ（FDR）

アドレス：EDMAC0.FDR E820 4050h, EDMAC1.FDR E820 4250h, PTPEDMAC.FDR E820 4450h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TFD[4:0]					—	—	—	RFD[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4～b0	RFD[4:0]	受信FIFO 容量ビット	b4　b0 01111：4096 バイト 上記以外は設定しないでください	R/W
b7～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12～b8	TFD[4:0]	送信FIFO 容量ビット	b12　b8 00111：2048 バイト 上記以外は設定しないでください	R/W
b31～b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FDR レジスタは、送信および受信 FIFO の容量を指定するレジスタです。
送受信を開始する前に、0000 070Fh を設定してください。

29.2.14　受信方式制御レジスタ（RMCR）

アドレス：EDMAC0.RMCR E820 4058h, EDMAC1.RMCR E820 4258h, PTPEDMAC.RMCR E820 4458h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RNR
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RNR	受信要求リセットビット	0：1 フレームの受信が完了したとき、EDRRR.RR ビット（受信要求ビット）を“0”にする 1：1 フレームの受信が完了しても、EDRRR.RR ビット（受信要求ビット）を“0”にしない	R/W
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMCR レジスタは、フレームを受信するときの EDRRR.RR ビットの制御方法を指定するレジスタです。

RNR ビットが “0” の場合は、1 フレームの受信が完了すると、EDRRR.RR ビットが自動的に “0” になりますから、後続のフレームを受信するには、ソフトウェアで再度 RR ビットを “1” にする必要があります。

RNR ビットが “1” の場合は、1 フレームの受信が完了しても、EDRRR.RR ビットは自動的に “0” なりませんから、EDMAC は次の受信ディスクリプタを読み込んでフレームの受信を継続します。ただし、受信ディスクリプタが枯渇した場合は、EDRRR.RR ビットは “0” になります。連続で受信を行う場合は、RNR ビットを “1” にしておくことを推奨いたします。

RMCR レジスタの設定は、EDRRR.RR ビットが “0” のときに行ってください。

29.2.15　送信 FIFO アンダフローカウント（TFUCR）

アドレス： EDMAC0.TFUCR E820 4064h, EDMAC1.TFUCR E820 4264h, PTPEDMAC.TFUCR E820 4464h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	UNDER[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	UNDER[15:0]	送信FIFO アンダフロー数ビット	送信FIFO のアンダフローが発生した回数が表示されます。 カウント値が“FFFFh”になるとカウントは停止します	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TFUCR レジスタは、送信 FIFO がアンダフローした回数を示すレジスタです。
TFUCR レジスタに任意の値を書くと、カウンタの値は “0” になります。

29.2.16　受信 FIFO オーバフローカウント（RFOCR）

アドレス： EDMAC0.RFOCR E820 4068h, EDMAC1.RFOCR E820 4268h, PTPEDMAC.RFOCR E820 4468h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVER[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	OVER[15:0]	受信FIFO オーバフロー数ビット	受信FIFO のオーバフローが発生した回数が表示されます。 カウント値が“FFFFh”になるとカウントは停止します	R/W
b31～b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFOCR レジスタは、受信 FIFO がオーバフローした回数を示すレジスタです。
RFOCR レジスタに任意の値を書くと、カウンタの値は “0” になります。

29.2.17　個別出力信号設定レジスタ（IOSR）

アドレス： EDMAC0.IOSR E820 406Ch, EDMAC1.IOSR E820 426Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ELB
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELB	外部ループバックモード	0：ETn_EXOUT 端子から、Low を出力する 1：ETn_EXOUT 端子から、High を出力する	R/W
b31～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IOSR レジスタは外部ループバックモード時に ETHERC の外部出力端子（ETn_EXOUT）の出力レベルを選択するレジスタです。

ELB ビットの値は、本 MCU の外部出力端子（ETn_EXOUT）にそのまま出力されます。ETn_EXOUT 端子を用いて PHY-LSI におけるループバックモードの指示などに利用します。この機能によって PHY-LSI でのループバック機能を実現する場合は、PHY-LSI に ETn_EXOUT 端子に対応する端子があることが必要です。

29.2.18　フロー制御開始 FIFO しきい値設定レジスタ（FCFTR）

アドレス：EDMAC0.FCFTR E820 4070h, EDMAC1.FCFTR E820 4270h, PTPEDMAC.FCFTR E820 4470h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFO[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFDO[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2～b0	RFDO[2:0]	受信FIFO 格納データ量 PAUSE 送出しきい値ビット	b2 b0 0 0 0：受信FIFO 内に224（256-32）バイトのデータを格納時 0 0 1：受信FIFO 内に480（512-32）バイトのデータを格納時 ： 1 1 0：受信FIFO 内に1760（1792-32）バイトのデータを格納時 1 1 1：受信FIFO 内に2016（2048-32）バイトのデータを格納時	R/W
b15～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18～b16	RFFO[2:0]	受信FIFO 格納フレーム数 PAUSE 送出しきい値ビット	b18 b16 0 0 0：受信FIFO 内に受信フレームを2 フレーム格納完了時 0 0 1：受信FIFO 内に受信フレームを4 フレーム格納完了時 0 1 0：受信FIFO 内に受信フレームを6 フレーム格納完了時 ： 1 1 0：受信FIFO 内に受信フレームを14 フレーム格納完了時 1 1 1：受信FIFO 内に受信フレームを16 フレーム格納完了時	R/W
b31～b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCFTR レジスタは、ETHERC のフロー制御の設定（PAUSE フレームの自動送信のしきい値設定）を行うレジスタです。

受信 FIFO 内の格納データ量（RFDO[2:0] ビット）、格納フレーム数（RFFO[2:0] ビット）によるしきい値を設定できます。格納データ量しきい値判定、および格納フレーム数しきい値判定の論理和を条件としてフロー制御を開始します。

29.2.19　受信データパディング挿入設定レジスタ（RPADIR）

アドレス：EDMAC0.RPADIR E820 4078h, EDMAC1.RPADIR E820 4278h, PTPEDMAC.RPADIR E820 4478h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PADS[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	PADR[5:0]					
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5～b0	PADR[5:0]	パディング挿入位置指定ビット	b5 b0 00h：受信データの先頭にパディングを挿入 01h：受信データの1バイト目と2バイト目の間にパディングを挿入 ： 3Eh：受信データの62バイト目と63バイト目の間にパディングを挿入 3Fh：受信データの63バイト目と64バイト目の間にパディングを挿入	R/W
b15～b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17、b16	PADS[1:0]	パディング挿入サイズ指定ビット	b17 b16 0　0：パディング挿入なし 0　1：1バイト挿入 1　0：2バイト挿入 1　1：3バイト挿入	R/W
b31～b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RPADIR レジスタは、受信データに対するパディングの挿入の設定を行うレジスタです。パディング値は“00h” です。

RPADIR レジスタを再設定するときは、EDMR.SWR ビットでリセットしてから行ってください。

29.2.20　送信割り込み設定レジスタ（TRIMD）

アドレス： EDMAC0.TRIMD E820 407Ch, EDMAC1.TRIMD E820 427Ch, PTPEDMAC.TRIMD E820 447Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TIM	—	—	—	TIS
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIS	送信割り込み許可ビット	0：割り込み禁止 1：割り込み許可 TIM ビットで指定したモードでEESR.TWB フラグを“1”とし割り込み通知を行う	R/W
b3～b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TIM	送信割り込みモード	0：送信完了割り込みモード フレーム送信が完了したときに割り込み 1：ライトバック完了割り込みモード TWBI ビットが“1”になっている送信ディスクリプタへのライトバックが完了したときに割り込み	R/W
b31～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRIMD レジスタは、送信割り込みのモード、禁止／許可を設定するレジスタです。

このレジスタで設定した条件が満たされると、EESR.TWB フラグが “1” になり、EESIPR.TWBIP ビットが “1” であると、割り込み要求が出力されます。

29.2.21　受信バッファライトアドレスレジスタ（RBWAR）

アドレス： EDMAC0.RBWAR E820 40C8h, EDMAC1.RBWAR E820 42C8h, PTPEDMAC.RBWAR E820 44C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RBWAR レジスタは、EDMAC が受信バッファにデータを書き込むとき、最後にデータを書き込んだアドレスを示すレジスタです。

RBWAR レジスタに表示されるアドレスを参照することによって、EDMAC が受信バッファ内のどのアドレスに対し処理を実行しているかを認識できます。ただし、データ受信中は、EDMAC が受信バッファに対して出力しているアドレスと RBWAR レジスタの読み出し値が一致していない場合もあります。

RBWAR レジスタは、読み出し専用です。書き込みは禁止です。

29.2.22　受信ディスクリプタフェッチアドレスレジスタ（RDFAR）

アドレス： EDMAC0.RDFAR E820 40CCh, EDMAC1.RDFAR E820 42CCh, PTPEDMAC.RDFAR E820 44CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RDFAR レジスタは、EDMAC が受信ディスクリプタからディスクリプタ情報を取得するとき、最後に取得した受信ディスクリプタの先頭アドレスを示すレジスタです。

RDFAR レジスタに表示されるアドレスを参照することによって、EDMAC がどの受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。ただし、データ受信中は、EDMAC が取得した受信ディスクリプタのアドレスと RDFAR レジスタの読み出し値が一致していない場合もあります。

RDFAR レジスタは、読み出し専用です。書き込みは禁止です。

29.2.23　送信バッファリードアドレスレジスタ（TBRAR）

アドレス： EDMAC0.TBRAR E820 40D4h, EDMAC1.TBRAR E820 42D4h, PTPEDMAC.TBRAR E820 44D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TBRAR レジスタは、EDMAC が送信バッファからデータを読み出すとき、最後にデータを読み出したアドレスを示すレジスタです。

TBRAR レジスタに表示されるアドレスを参照することによって、EDMAC が送信バッファ内のどのアドレスに対し処理を実行しているかを認識できます。ただし、データ送信中は、EDMAC が送信バッファに対して出力しているアドレスと TBRAR レジスタの読み出し値が一致していない場合もあります。

TBRAR レジスタは、読み出し専用です。書き込みは禁止です。

29.2.24　送信ディスクリプタフェッチアドレスレジスタ（TDFAR）

アドレス： EDMAC0.TDFAR E820 40D8h, EDMAC1.TDFAR E820 42D8h, PTPEDMAC.TDFAR E820 44D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TDFAR レジスタは、EDMAC が送信ディスクリプタからディスクリプタ情報を取得するとき、最後に取得した送信ディスクリプタの先頭アドレスを示すレジスタです。

TDFAR レジスタに表示されるアドレスを参照することによって、EDMAC がどの送信ディスクリプタ情報をもとに処理を実行しているか認識できます。ただし、データ送信中は、EDMAC が取得した送信ディスクリプタのアドレスと TDFAR レジスタの読み出し値が一致していない場合もあります。

TDFAR レジスタは、読み出し専用です。書き込みは禁止です。

29.3　動作説明

EDMAC は、ディスクリプタに書かれた情報に基づいてデータ転送を行います。ディスクリプタには送信用と受信用の 2 種類があり、バッファのサイズやアドレス、送受信のステータスなどで構成されています。このディスクリプタを複数個連続して配置（ディスクリプタリスト）することで、送信および受信を連続して行います。

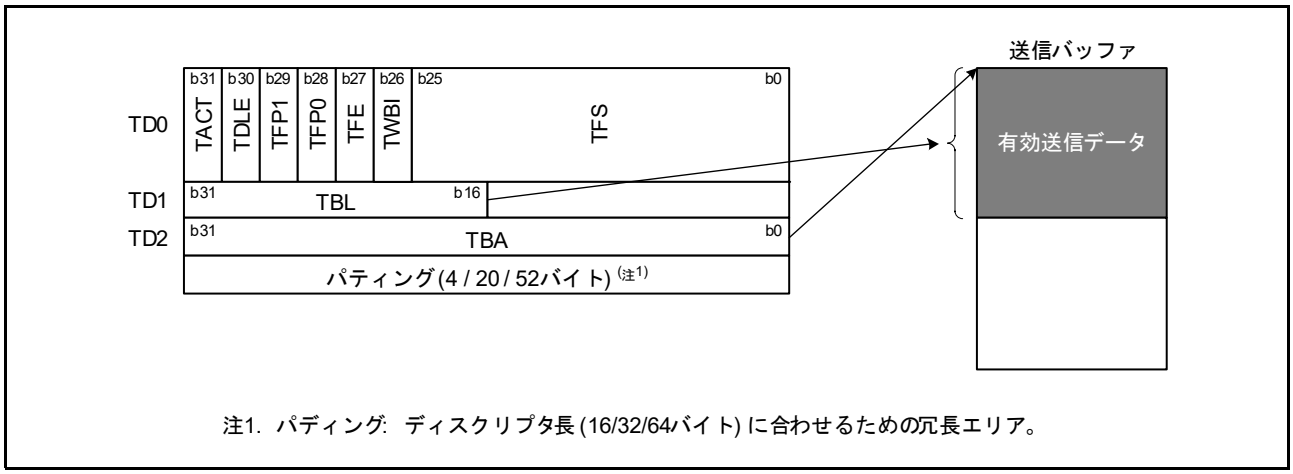
29.3.1　ディスクリプタリストと送受信バッファの配置

EDMAC を使用してデータ転送を行うには、送信および受信のディスクリプタリストをメモリ上に作成して、送信ディスクリプタリストの先頭アドレスを TDLAR レジスタに、受信ディスクリプタリストの先頭アドレスを RDLAR レジスタに指定する必要があります。また、それぞれのディスクリプタに対応する送信バッファと受信バッファも確保する必要があります。

ディスクリプタリストは、EDMR.DL[1:0] ビットで指定したディスクリプタ長に従ったアドレス境界に配置してください。送信バッファは、ロングワード境界、ワード境界、バイト境界のいずれに配置しても構いません。ただし、送信バッファの有効バイト長が 16 バイト以下になる場合は、32 バイト境界に配置してください。受信バッファは、32 バイト境界に配置してください。また、EDMAC0、EDMAC1、PTPEDMAC が使用する送信および受信ディスクリプタや送信および受信バッファのアドレスは、それぞれ重ならないように配置してください。

29.3.1.1　送信ディスクリプタ

図 29.3 に送信ディスクリプタと送信バッファの関係を示します。送信ディスクリプタは、TD0 ～ TD2 で構成されています。送信ディスクリプタへの設定値によって、送信フレームと送信バッファの構成を 1 バッファ／フレーム（シングルバッファフレーム送信）、または複数バッファ／フレーム（マルチバッファフレーム送信）のように関連づけることが可能です。



注1. パディング: ディスクリプタ長 (16/32/64バイト) に合わせるための冗長エリア。

図 29.3　送信ディスクリプタと送信バッファの関係

(1) 送信ディスクリプタ 0 （TD0）

ビット	シンボル	ビット名	機能	R/W
b25～b0	TFS	送信フレームステータス	ディスクリプタ作成時は全ビット“0”を設定してください。 ライトバックされた後の各ビットの意味は以下のとおりです。 【EDMACn の場合】 TFS25～TFS9：予約 TFS8：送信中断検出（EESR.TABT フラグに相当） TFS7～TFS4：予約 TFS3：キャリア未検出（EESR.CND フラグに相当） TFS2：キャリア消失検出（EESR.DLC フラグに相当） TFS1：送信中の遅延衝突検出（EESR.CD フラグに相当） TFS0：送信リトライオーバ（EESR.TRO フラグに相当） 各ビットが“1”になった場合、フレーム送信中に該当するエラーが発生したことを示します。いずれかのビットが“1”になると、TFE ビットも“1”になります。なお、TFS3～TFS0 のいずれかが“1”になった場合、TFS8 も“1”になります。 【PTPEDMAC の場合】 TFS25～TFS9：予約 TFS8：送信中断検出（EESR.TABT フラグに相当） TFS7～TFS1：予約 TFS0：送信フレームデータの送信元MAC アドレスが設定値と不一致（EESR.MACE フラグに相当） 各ビットが“1”になった場合、フレーム送信中に該当するエラーが発生したことを示します。いずれかのビットが“1”になると、TFE ビットも“1”になります。なお、TFS0 が“1”になった場合、TFS8 も“1”になります。	R/W
b26	TWBI	ライトバック完了割り込み指示	0：このディスクリプタへのライトバック完了時には割り込みを発生させない 1：このディスクリプタへのライトバック完了時に割り込みを発生させる	R/W
b27	TFE	送信フレームエラー	0：フレーム送信は正常に終了 1：フレーム送信中にエラー発生（送信中断）	R/W
b29～b28	TFP[1:0]	送信フレーム内位置	b29 b28 0 0：このディスクリプタが示す送信バッファは送信フレームの中間部分（フレームを完結しない） 0 1：このディスクリプタが示す送信バッファは送信フレームの最終部分（フレームを完結する） 1 0：このディスクリプタが示す送信バッファは送信フレームの先頭部分（フレームを完結しない） 1 1：このディスクリプタが示す送信バッファの内容が送信フレームのすべて（1 バッファスラッシュフレーム）	R/W
b30	TDLE	送信ディスクリプタリスト最終	TDLE ビットが“1”であると、当該ディスクリプタが送信ディスクリプタリストの最終であることを示します	R/W
b31	TACT	送信ディスクリプタ有効	当該ディスクリプタが有効であることを示します	R/W

注.　ライトバックされるビットを下線で示しています。

TD0 は送信フレームの設定と、送信後のステータスを示します。

TWBI ビット（ライトバック完了割り込み指示ビット）

このビットの設定は、TRIMD.TIM ビットが "1" のとき有効です。また、割り込み要求を発生させるには、TRIMD.TIS ビットと EESIPR.TWBIP ビットを "1" にする必要があります。

TFE ビット（送信フレームエラービット）

TFE ビットが “1” のとき、TFS ビットのいずれかが “1” になっていることを示します。

TFP[1:0] ビット（送信フレーム内位置ビット）

送信バッファと送信フレームの関連づけを行います。前後のディスクリプタにおいて、TFP[1:0] ビットおよび TD1.TBL ビットの設定は、論理的に矛盾しない関係を維持してください。

TACT ビット（送信ディスクリプタ有効ビット）

当該ディスクリプタが有効であることを示します。TACT ビットはソフトウェアによって “1” にされ、送信フレームの転送が完了したとき、または送信が中断されたときに “0” になります。

(2)　送信ディスクリプタ 1 （TD1）

ビット	シンボル	ビット名	機能	R/W
b15～b0	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W
b31～b16	TBL	送信バッファ長	対象となる送信バッファの有効バイト長を設定します。1以上の値を設定してください。	R/W

TD1 には送信バッファの有効バイト長を設定します。

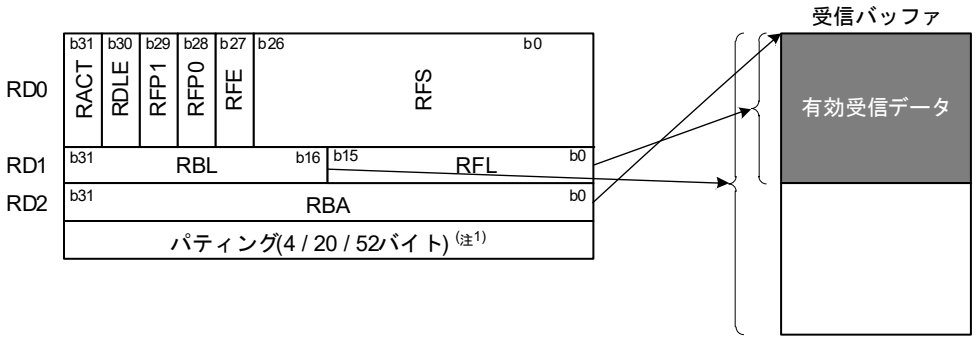
(3)　送信ディスクリプタ 2 （TD2）

ビット	シンボル	ビット名	機能	R/W
b31～b0	TBA	送信バッファアドレス	送信バッファの先頭アドレスを設定します。TD1.TBL ビットの値が 1～16 バイトの場合は、32 バイト境界に配置してください。	R/W

TD2 には送信バッファの先頭アドレスを設定します。

29.3.1.2　受信ディスクリプタ

図 29.4 に受信ディスクリプタと受信バッファの関係を示します。受信ディスクリプタへの設定値によって、受信フレームと受信バッファの構成を 1 バッファ／フレーム（シングルバッファフレーム受信）、または複数バッファ / フレーム（マルチバッファフレーム受信）のように関連づけることが可能です。
受信バッファ長（RBL）を 0 にした場合、ディスクリプタ指定の動作は保証されません。



注1. パディング: ディスクリプタ長 (16/32/64バイト) に合わせるための冗長エリア。

図 29.4　受信ディスクリプタと受信バッファの関係

(1) 受信ディスクリプタ 0 （RD0）

ビット	シンボル	ビット名	機能	R/W
b26～b0	RFS	受信フレームステータス	ディスクリプタ作成時は全ビット“0”を設定してください。 ライトバックされた後の各ビットの意味は以下のとおりです。 【EDMACn の場合】 RFS26～RFS10：予約 RFS9：受信FIFO オーバフロー（EESR.RFOF フラグに相当） RFS8：受信中断検出（EESR.RABT フラグに相当） RFS7：マルチキャストアドレスフレームを受信 （EESR.RMAF フラグに相当） RFS6、RFS5：予約 RFS4：端数ビットフレーム受信エラー（EESR.RRF フラグに相当） RFS3：ロングフレーム受信エラー（EESR.RTLF フラグに相当） RFS2：ショートフレーム受信エラー（EESR.RTSF フラグに相当） RFS1：PHY-LSI 受信エラー（EESR.PRE フラグに相当） RFS0：受信フレームCRC エラー（EESR.CERF フラグに相当） 各ビットが“1”になった場合、フレーム受信中に該当するエラーが発生したことを示します。いずれかのビットが“1”になると、RFE ビットも“1”になります（RFS7 とRFS4 はTRSCER レジスタによってRFE ビットに反映させないこともできます）。なお、RFS3～RFS0 のいずれかが“1”になった場合、RFS8 も“1”になります。 【PTPEDMAC の場合】 RFS26～RFS10：予約 RFS9：受信FIFO オーバフロー（EESR.RFOF フラグに相当） RFS8：予約 RFS7：受信ポート（EESR.RPORT フラグに相当） RFS4：PTP v2 パケット受信（EESR.PVER フラグに相当） PTPEDMAC では、PTP パケットのみ受信が可能です。非PTP パケットを受信した場合、PTPEDMAC には転送されずに破棄されます。 RFS3～RFS0：受信PTP メッセージタイプ （EESR.TYPE[3:0]フラグに相当） 各ビットは、受信したフレームのステータスを示します。	R/W
b27	RFE	受信フレームエラー	【EDMACn の場合】 0：受信フレームにエラーなし 1：受信フレームにエラーあり 【PTPEDMAC の場合】 予約ビット	R/W
b29～b28	RFP[1:0]	受信フレーム内位置	b29　b28 0　0：このディスクリプタが示す受信バッファは受信フレームの中間部分（フレームを完結しない） 0　1：このディスクリプタが示す受信バッファは受信フレームの最終部分（フレームを完結する） 1　0：このディスクリプタが示す受信バッファは受信フレームの先頭部分（フレームを完結しない） 1　1：このディスクリプタが示す受信バッファの内容が1 フレームに相当する（1 バッファ／フレーム）	R/W
b30	RDLE	受信ディスクリプタリスト最終	RDLE ビットが“1”であると、当該ディスクリプタが受信ディスクリプタリストの最終であることを示します	R/W
b31	RACT	受信ディスクリプタ有効	当該ディスクリプタが有効であることを示します	R/W

注.　ライトバックされるビットを下線で示しています。

RD0 は受信フレームのステータスを示します。

RFE ビット（受信フレームエラービット）

RFE ビットが “1” のとき、RFS ビットのいずれかが “1” になっていることを示します（EDMACn の RFS7, RFS4 については、TRSCER レジスタによって RFE ビットに反映されないようにすることが可能です）。

RFP[1:0] ビット（受信フレーム内位置ビット）

受信バッファと受信フレームの関連づけを行います。

RACT ビット（受信ディスクリプタ有効ビット）

該当ディスクリプタが有効であることを示します。RACT ビットはソフトウェアによって “1” にされ、受信フレームを RD2 で示される受信バッファに転送し、フレームすべての転送が完了したとき、または受信バッファが一杯になった場合に “0” になります。

(2)　受信ディスクリプタ 1 （RD1）

ビット	シンボル	ビット名	機能	R/W
b15～b0	RFL	受信フレーム長	バッファ内に格納された受信フレームの長さ（バイト数）を示します。 RPADIR レジスタで指定したパディング分のバイト数は含みません。フレームの最終部分に該当するディスクリプタにライトバックされます	R/W
b31～b16	RBL	受信バッファ長	対象となる受信バッファのバイト長を示します。バッファ長は32 の整数倍の値を設定してください	R/W

注.　ライトバックされるビットを下線で示しています。

RD1 には受信バッファ長を設定します。受信が完了すると受信フレーム長がライトバックされます。

(3)　受信ディスクリプタ 2 （RD2）

ビット	シンボル	ビット名	機能	R/W
b31～b0	RBA	受信バッファアドレス	受信バッファの先頭アドレスを示します。バッファアドレスは32 バイト境界に設定してください	R/W

RD2 には受信バッファの先頭アドレスを示します。

29.3.2　送信機能

ETHERC の ECMR.TE ビットが “1” のとき、EDTRR.TR ビットを “1” にすると、EDMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（リセット後は TDLAR レジスタが示すディスクリプタ）を読み込みます。送信ディスクリプタ（TD0）の TACT ビットが “1” の場合、EDMAC は送信ディスクリプタ 2（TD2）で指定される送信バッファ先頭アドレスから順次送信データを読み出して送信 FIFO 経由で ETHERC に転送します。ETHERC は送信フレームを作成し MII/RMII に向けて送信を開始します。TD1.TBL ビットで指定されたバッファ長分のデータ転送が終わると、TD0.TFP[1:0] ビットの値によって以下のビットにライトバックを行い、次のディスクリプタを取得します。

- TD0.TFP[1:0] ビット = “00b” or “10b” （フレーム継続）の場合
  TD0.TACT ビット
- TD0.TFP[1:0] ビット = “01b” or “11b” （フレーム終了）の場合
  TD0.TACT ビット、TFS ビット、TFE ビット

読み込んだディスクリプタの TD0.TACT ビットが “1” の間は、EDMAC はディスクリプタの読み込みとフレームの送信を継続します。TD0.TACT ビットが “0” のディスクリプタを読み込むと、EDMAC は EDTRR.TR ビットを “0” にして送信処理を終了します。

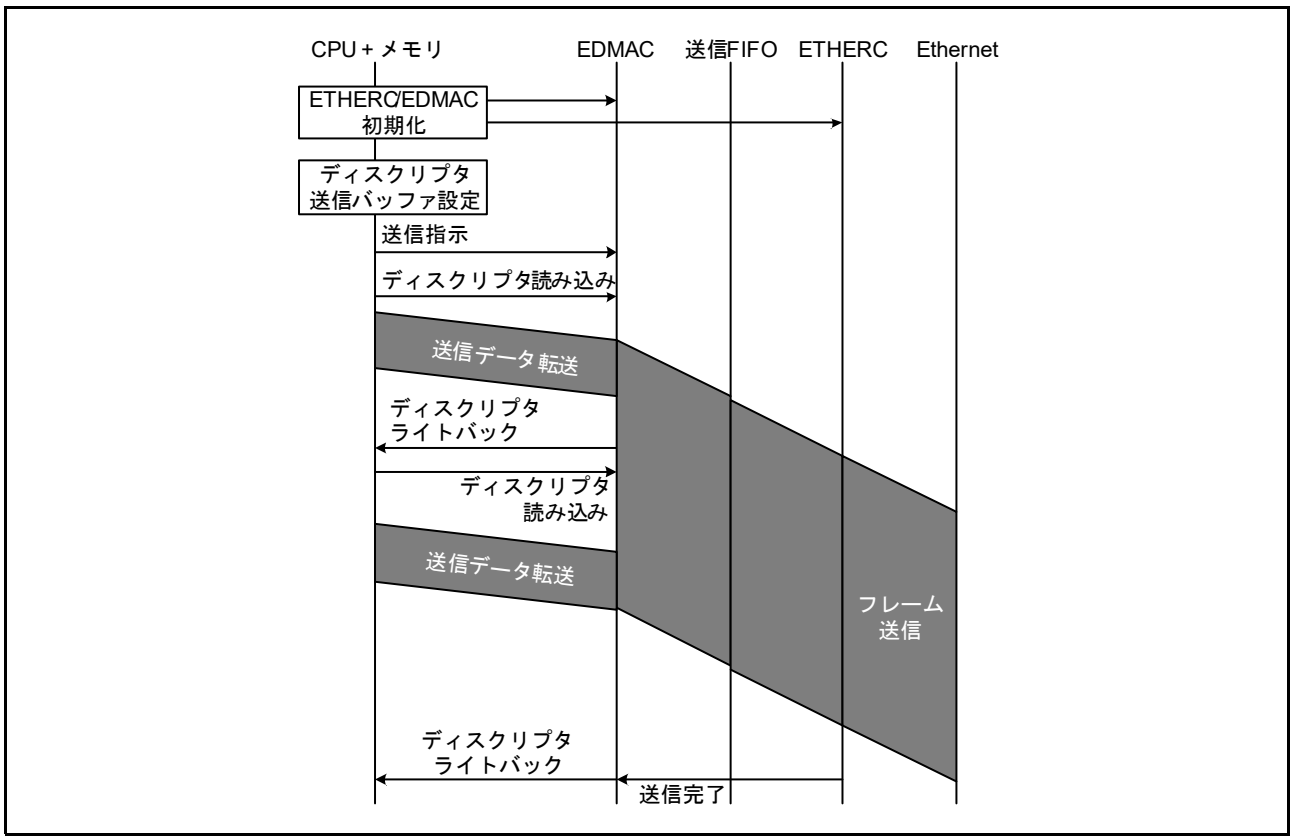


図 29.5　送信フローの例

29.3.3　受信機能

ETHERC の ECMR.RE ビットが “1” のとき、EDRRR.RR ビットを “1” にすると、EDMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（リセット後は RDLAR レジスタが示すディスクリプタ）を読み込んだ後に受信待機状態となります。受信ディスクリプタ 0（RD0）の RACT ビットが “1” のときに、受信 FIFO に 32 バイト以上のデータが格納されるか、フレームの最終バイトが格納されると、受信 FIFO から受信ディスクリプタ 2（RD2）で指定される受信バッファにデータを転送します。受信したフレームのデータ長が受信ディスクリプタ 1（RD1）の RBL ビットで指定されたバッファ長よりも長い場合は、EDMAC は受信バッファがいっぱいになった時点で RD0.RFP[1:0] ビットに “10b” または “00b” を、RD0.RACT ビットに “0” をライトバックした後に次のディスクリプタを読み込みます。その後、新たな受信バッファに引き続きデータを転送します。フレームの受信が完了した場合、または何らかのエラーでフレーム受信が中断された場合は、RD0.RFP[1:0] ビットに “11b” または “01b” を、RD0.RACT ビットに “0” を、また RD1.RFL ビットに受信フレーム長をライトバックします（注 1）。RMCR.RNR ビットが “1” の場合は、その後、次のディスクリプタを読み込み受信待機状態となります。RNR ビットが “0” の場合は、EDRRR.RR ビットを “0” にして受信を停止します。

注 1.　FIFO に格納されたデータが 16 倍と未満のときに受信が中断された場合は、FIFO 内のデータは転送されずに破棄されます。このとき、対応するエラーフラグも "1" になりません。

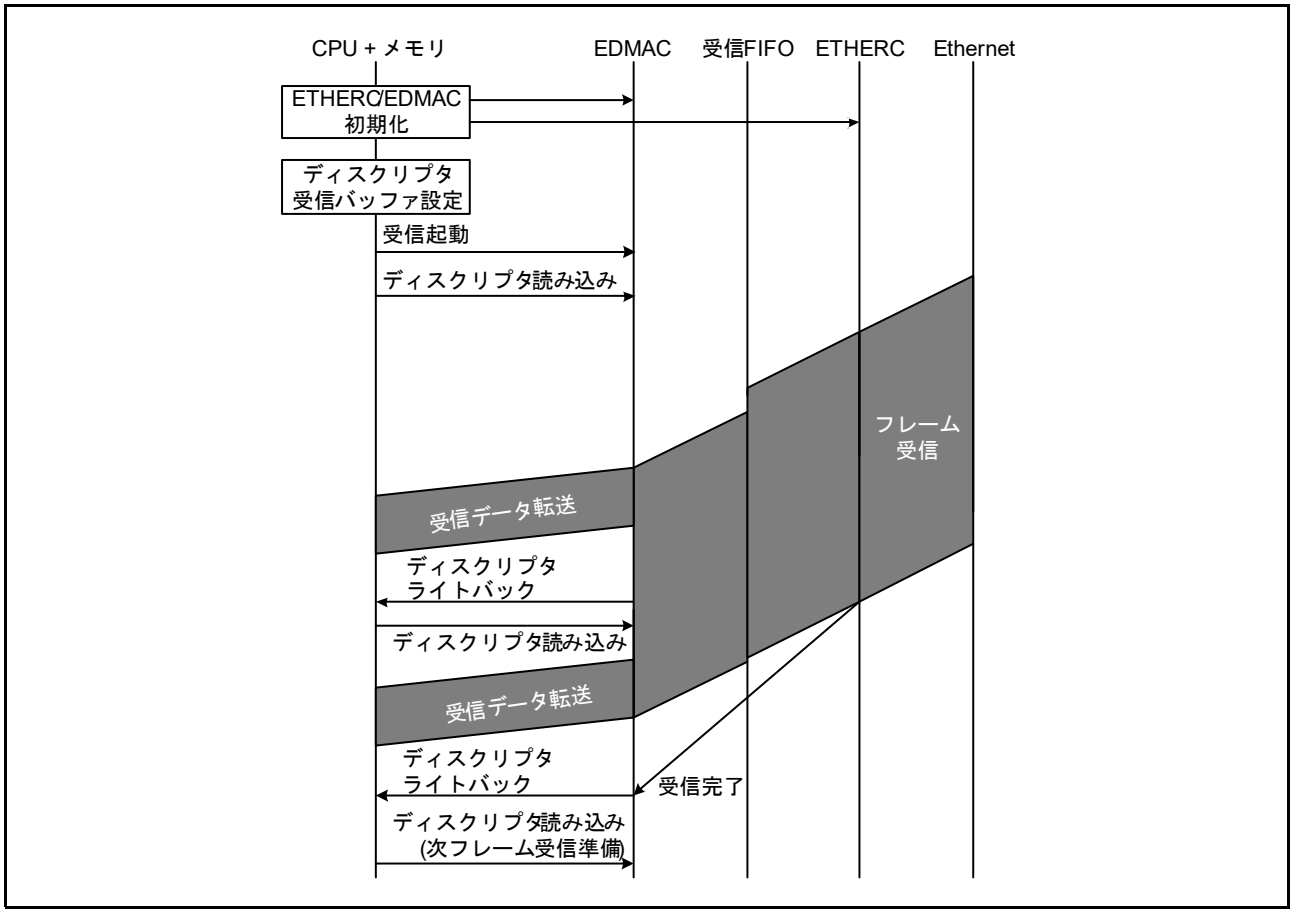


図 29.6　受信フローの例

29.3.4　マルチバッファフレーム送信

29.3.4.1　マルチバッファフレーム送信の送信エラー処理

マルチバッファフレーム送信での送信中にエラーが発生した場合は、EDMAC は図 29.7 に示す処理を行います。

図中で送信ディスクリプタ 0（TD0）の TACT ビットが “0” のディスクリプタは、すでにバッファ内のデータを正常に送信したことを、TD0.TACT ビットが “1” のディスクリプタは、バッファ内のデータが未送信であることを示します。TD0.TACT ビットが “1” で、かつフレームの先頭部分またはフレームの中間部分のディスクリプタでフレーム送信エラー（注 1）が発生した場合は、即座に送信 FIFO からのデータ送信と、EDMAC のデータ転送を停止して TD0.TACT ビットを “0” にします。その後、次のディスクリプタを読み込み、TD0.TFP[1:0] ビットから、そのディスクリプタが中間部分（“00b”）なのか、最終部分（“01b”）なのかを判断します。中間部分のディスクリプタである場合は、TD0.TACT ビットを “0” にするのみで、すぐに次ディスクリプタの読み出しを行います。最終部分のディスクリプタである場合は、TD0.TACT ビットを “0” にするのみでなく、TD0.TFE ビットおよび TD0.TFS ビットへのライトバックも同時に行います。エラー発生から最終部分のディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。EESIPR レジスタで該当する送信エラー割り込みが許可されている場合は、最終部分ディスクリプタのライトバック直後に割り込み要求が発生します。

注1.　EDMACnの場合は、送信リトライオーバ、遅延衝突検出、キャリア消失検出、キャリア未検出。PTPEDMACの場合は、MACアドレス不一致。

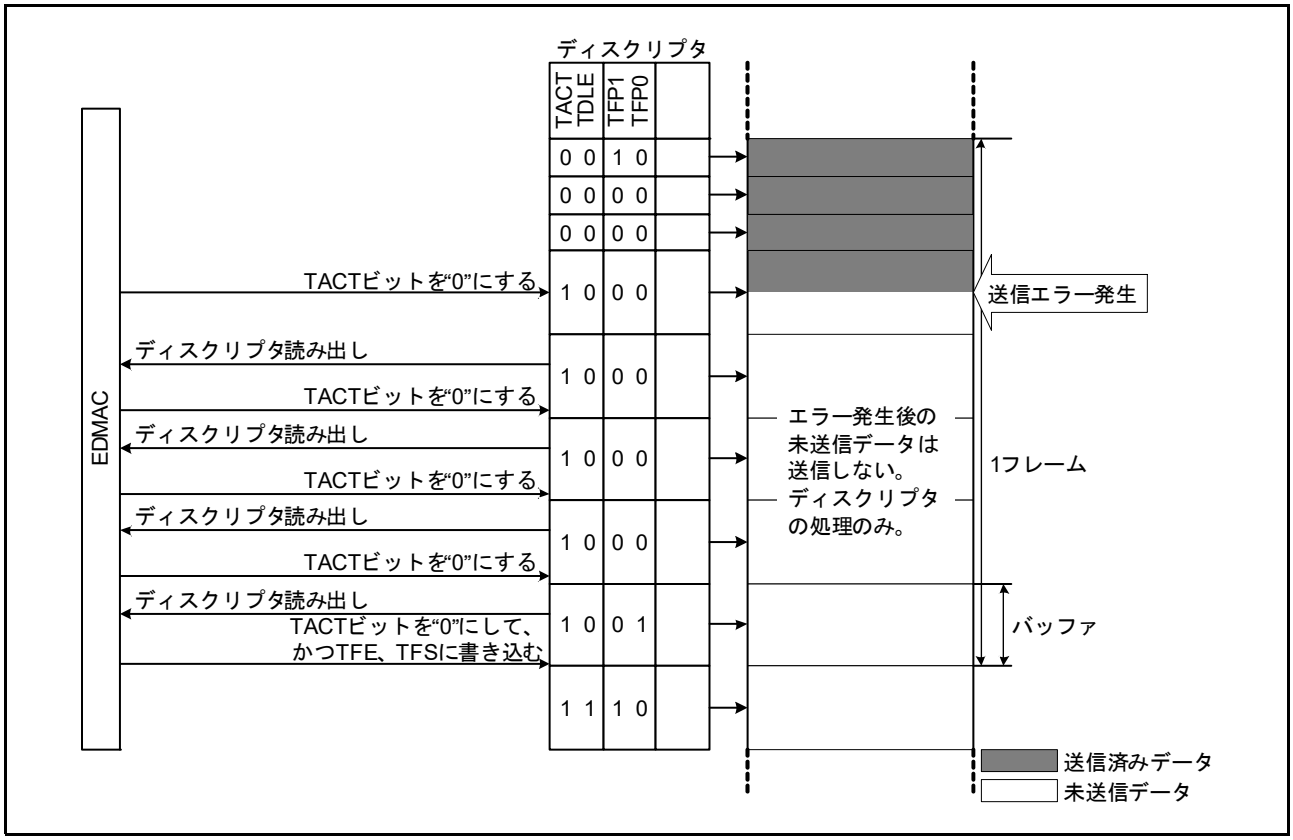


図 29.7　送信エラー発生後の EDMAC 動作

29.3.4.2　マルチバッファフレーム受信の受信エラー処理

マルチバッファフレーム受信での受信中にエラーが発生した場合は、EDMAC は図 29.8 に示す処理を行います。

図中で受信ディスクリプタ 0（RD0）の RACT ビットが “0” のディスクリプタはすでにバッファ内にデータを正常に受信したことを示し、RD0.RACT ビットが “1” のディスクリプタは未受信であることを示します。フレーム受信エラー（注 1）が発生した場合、受信 FIFO は当該フレームのデータの受け入れを中断しますが、それまでに受信 FIFO に格納されたデータは受信バッファに転送されます。

転送中に受信バッファがいっぱいになった場合は、RACT ビットを “0”、RFP[1:0] ビットを “10b” または “00b” にし、次のディスクリプタを読み込みます。受信 FIFO 内の全データの転送が完了すると、ディスクリプタにステータスのライトバックを行います。

EESIPR レジスタで該当する受信エラー割り込みが許可されている場合は、ライトバック直後に割り込み要求が発生します。新しいフレームの受信要求がある場合には、エラーが発生したディスクリプタの次のディスクリプタを用いて引き続き受信を行います。

注 1.　EDMACn の場合、CRC エラー、PHY-LSI 受信エラー、ショートフレーム受信エラー、ロングフレーム受信エラー、端数ビットフレーム受信エラー。PTPEDMAC の場合、パリティエラー検出。

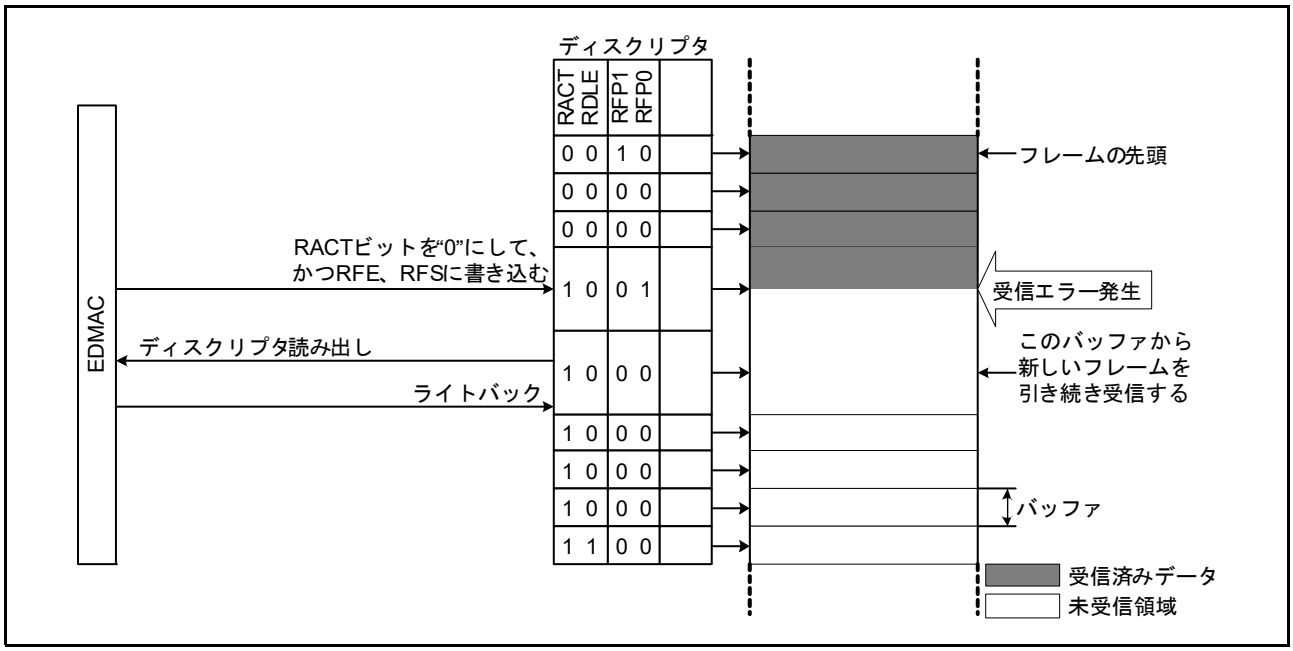


図 29.8　受信エラー発生後の EDMAC 動作

29.3.5　EDMAC チャネルの優先順位

3 つの EDMAC（EDMAC0, EDMAC1, PTPEDMAC）の優先順位はラウンドロビン方式で決められます。ラウンドロビン方式では、1 つのチャネルで転送が終了するごとにそのチャネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 29.9 示します。
なおリセット直後の優先順位は、EDMAC0 > EDMAC1 > PTPEDMAC です。

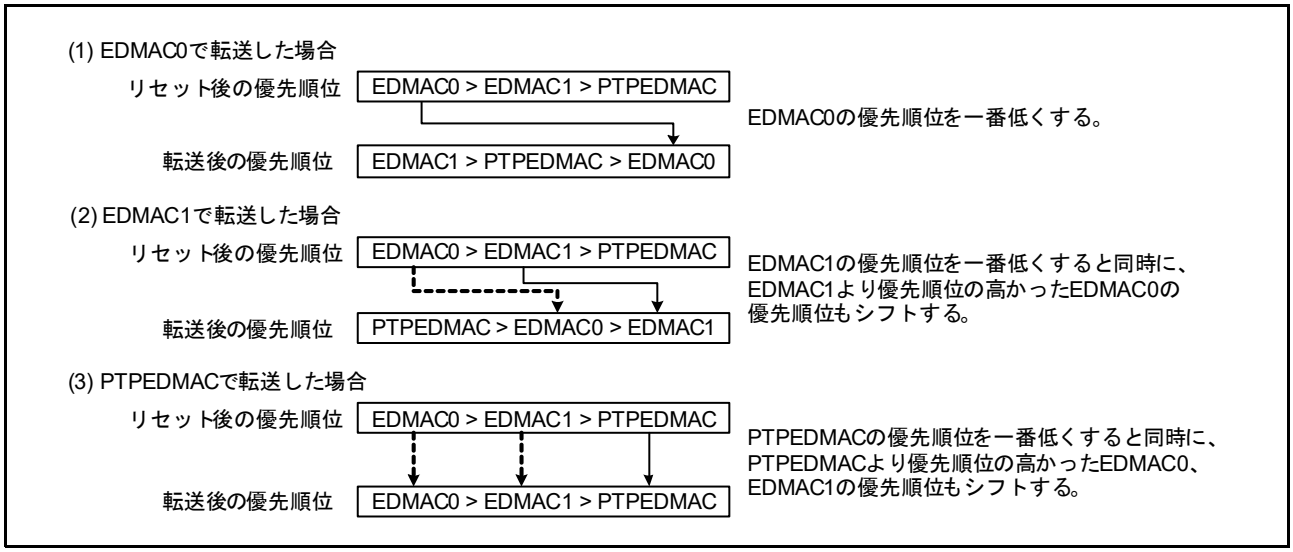


図 29.9　　ラウンドロビン方式の動作

図 29.10 に EDMAC0 と PTPEDMAC に同時に転送要求が発生し、さらに EDMAC0 の転送中に EDMAC1 の転送要求が発生した場合のチャネルの優先順位の変化を示します。この場合の動作は以下のようになります。

(1) EDMAC0 と PTPEDMAC に同時に転送要求が発生します。
(2) EDMAC0 の方が PTPEDMAC より優先順位が高いので、EDMAC0 の転送を開始します（PTPEDMAC は転送待ち）。
(3) EDMAC0 の転送中に EDMAC1 に転送要求が発生します（EDMAC1 と PTPEDMAC は転送待ち）。
(4) EDMAC0 の転送を終了すると、EDMAC0 の優先順位を一番低くします。
(5) この時点で EDMAC1 のほうが PTPEDMAC より優先順位が高いので、EDMAC1 の転送を開始します（PTPEDMAC は転送待ち）。
(6) EDMAC1 の転送を終了すると、EDMAC1 の優先順位を一番低くします。
(7) PTPEDMAC の転送を開始します。
(8) PTPEDMAC の転送を終了すると、PTPEDMAC の優先順位を一番低くします。

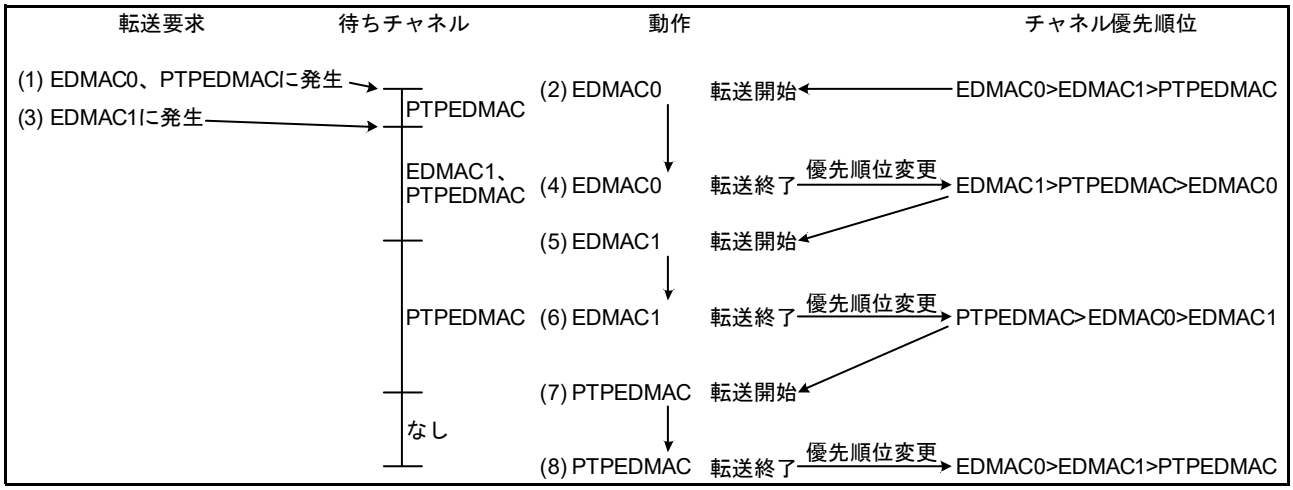


図 29.10　　ラウンドロビン方式でのチャネル優先順位

29.4　割り込み

EESR レジスタのステータスフラグのいずれかが “1” になったとき、対応する EESIPR レジスタの割り込み要求許可ビットが “1” であると、EDMACn は EINTn 割り込み要求を、PTPEDMAC は PINT 割り込み要求を CPU に出力します。

29.5　使用上の注意事項

29.5.1　モジュールストップ機能の設定

スタンバイコントロールレジスタ 6 （STBCR6）の以下のビットによって、EDMAC モジュール動作を許可または禁止することができます。

・MSTP65 ビットは ETHERC0 および EDMAC0 の動作を許可または禁止できます。
・MSTP64 ビットは ETHERC1 および EDMAC1 の動作を許可または禁止できます。
・MSTP63 ビットは EPTPC および PTPEDMAC の動作を許可または禁止できます。

リセット後の初期状態では、モジュールの動作は禁止しています。モジュールストップ状態を解除することによりレジスタへのアクセスが可能になります。詳細は、**「52.　低消費電力モード」**を参照してください。

29.5.2　EDMAC 動作中の EDMAC 停止

EDMAC 動作中に、スリープ命令、またはモジュールストップ機能により EDMAC の動作を停止する場合、EDTRR.TR ビットが “0”、EDRRR.RR ビットが “0” であることを確認してください。EDTRR.TR ビットが “1”、または EDRRR.RR ビットが “1” のときに EDMAC を停止した場合、送受信中のフレーム、および復帰後の EDMAC の動作は保証できません。

30. A/D コンバータ

30.1 概要

本 LSI は、逐次比較方式の A/D コンバータを 1 ユニット内蔵しています。最大 8 チャネルのアナログ入力を選択することができます。

A/D 変換精度は 12 ビット変換から選択でき、速度と分解能の関係を最適化してデジタル値に変換することが可能です。

動作モードは、任意に選択した最大 8 チャネルのアナログ入力を若いチャネル番号順に変換するシングルスキャンモードと、任意に選択した最大 8 チャネルのアナログ入力を順次若いチャネル番号順に連続して変換する連続スキャンモードと、最大 8 チャネルのアナログ入力を任意に選択して 2 つ（グループ A、グループ B）または 3 つのグループ（グループ A、グループ B、グループ C）に分け、グループ単位で選択したチャネルのアナログ入力を若いチャネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードは、2 つのグループ（グループ A、B）か、3 つのグループ（グループ A、B、C）のどちらか一方を選択します。各グループ（A、B または A、B、C）のスキャン開始条件（トリガ）を個別に選択し、各グループ（A、B または A、B、C）のスキャンを異なるタイミングで開始する事ができます。

グループスキャンモードのグループ優先動作は、前述の動作に加え、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。グループ優先動作の優先順位は、グループ A > グループ B > グループ C の順となります。グループ優先動作では、グループ C のスキャン中にグループ B のスキャン開始を受け付けるとグループ C のスキャンを中断しグループ B のスキャンを開始する、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始する、同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けるとグループ B のスキャンを中断し、グループ A のスキャンを開始する動作となります。

また中断したグループのスキャンを優先グループのスキャン終了後に再開することもできます。

ダブルトリガモードは、任意に選択した 1 チャネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループ A）で変換し、1 回目の A/D 変換開始トリガで変換したデータと 2 回目の A/D 変換開始トリガで変換したデータを別々のレジスタに格納（A/D 変換データの 2 重化）します。

自己診断は、スキャン毎の最初に 1 回実施され、A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

コンペア機能は、ウィンドウ A/B それぞれに上位側、下位側の基準値を指定し、選択したチャネルの A/D 変換値が比較条件に一致した場合、割り込みを出力する機能です。また、A/D 変換値と下位側基準値を比較するコンパレータ動作も可能です。

表 30.1 に A/D コンバータの仕様を、表 30.2 に A/D コンバータの機能概要を示します。

表30.1　A/Dコンバータの仕様

項目	内容
入力チャネル	8チャネル
A/D変換方式	逐次比較方式
分解能	12ビット／10ビット／8ビット変換を選択可能
変換時間	1チャネル当たり1μs（A/D変換クロック ADCLK = 33MHz動作時）
A/D変換クロック	周辺モジュールクロック PCLK (= P1φ)と、A/D変換クロック ADCLK (= P0φ)を以下の分周比で設定可能 PCLK: ADCLK分周比 = 1：1, 1：2 各クロックの設定は、クロックパルス発振器で行います
データレジスタ	• アナログ入力用8本、ダブルトリガモードでのA/D変換データ2重化用1本、ダブルトリガモード拡張動作時のA/D変換データ2重化用2本、自己診断用1本 • A/D変換結果をA/Dデータレジスタに保持 • A/D変換結果は、8, 10, 12ビット変換精度に対応 • 加算時はA/D変換結果の加算値を変換精度ビット数＋2ビット(注3)でA/Dデータレジスタに保持 • ダブルトリガモード（シングルスキャンモードとグループスキャンモードで選択可能） 選択した1つのチャネルのアナログ入力のA/D変換データを1回目は対象チャネルのデータレジスタに保持、2回目のA/D変換データはA/Dデータ2重化レジスタに保持 • ダブルトリガモード拡張動作（特定トリガ種別で有効） 選択した1つのチャネルのアナログ入力のA/D変換データをトリガ種別ごとの2重化レジスタに保持
動作モード	• シングルスキャンモード： ・任意に選択した最大8チャネルのアナログ入力 • 連続スキャンモード： ・任意に選択した最大8 チャネルのアナログ入力を繰り返しA/D変換 • グループスキャンモード： ・使用するグループの数は2つ（グループA、B）と3つ（グループA、B、C）が選択可能 （グループの数が2つの場合、グループA、グループBの組み合わせのみ選択可能） ・任意に選択した最大8 チャネルのアナログ入力をグループA、BまたはグループA、B、Cに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 ・グループA、グループB、グループCは、各々のスキャン開始条件（トリガ）を選択する事で、異なるタイミングでスキャン開始可能 • グループスキャンモード（グループ優先選択時）： ・低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループA（高）＞グループB＞グループC（低） ・優先グループのスキャン終了後、低優先グループのスキャンを再実行（再スキャン）する／しないを設定可能。また再スキャンは、選択チャネルの最初からか、A/D変換未終了のチャネルからかを設定可能。
A/D変換開始条件	• ソフトウェアトリガ • 同期トリガ マルチファンクションタイマパルスユニット3（MTU3a ）、汎用PWMタイマ（GPT） • 非同期トリガ 外部トリガADTRG#端子によるA/D変換の開始が可能
機能	• サンプリングステート数可変機能（チャネルごとに設定可能） • A/Dコンバータの自己診断機能 • A/D変換値加算モードと平均モードが選択可能 • アナログ入力断線検出機能（ディスチャージ／プリチャージ） • ダブルトリガモード（A/D変換データ2重化機能） • 12ビット／10ビット／8ビット変換切り替え機能 • A/Dデータレジスタオートクリア機能 • コンペア機能（ウィンドウA、ウィンドウB）
割り込み要因	• ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求（S12ADI0）を発生 • ダブルトリガモード（ダブルトリガ拡張動作含む）の設定では、2回のスキャン終了でスキャン終了割り込み要求（S12ADI0）を発生 • グループスキャンモードの設定では、 - グループAのスキャン終了でスキャン終了割り込み要求（S12ADI0）を発生 - グループBのスキャン終了でグループB専用のスキャン終了割り込み要求（S12GBADI0）を発生 - グループCのスキャン終了でグループC専用のスキャン終了割り込み要求（S12GCADI0）を発生 • グループスキャンモードでダブルトリガモード（ダブルトリガ拡張動作含む）の設定では、グループAの2回のスキャン終了でスキャン終了割り込み要求（S12ADI0）を発生。グループBとグループCのスキャン終了で、それぞれ専用のスキャン終了割り込み要求（S12GBADI0/S12GCADI0）を発生（パルス出力） • ウィンドウA/Bの比較条件成立でS12ADCMPAI0/S12ADCMPBI0を発生 • S12ADI0またはS12GBADI0, S12GCADI0割り込みでDMAコントローラ（DMAC）を起動可能

項目	内容
消費電力低減機能	• モジュールスタンバイモード、ソフトウェアスタンバイモード、ディープスタンバイモードへ設定可能（注1）（注2）

注1.　詳細は「52.　低消費電力モード」を参照してください。
注2.　モジュールスタンバイモード解除後は、1μs 以上待ってから A/D 変換を開始してください。
注3.　加算時の拡張ビット数は、A/D 変換精度と加算回数により異なります。
　　2 ビット拡張：A/D 変換精度 = 8/10/12 ビット時の～4 回変換（3 回加算）。
　　4 ビット拡張：A/D 変換精度 = 12 ビット時の 16 回変換（15 回加算）。

表 30.2　A/D コンバータの機能概要

項目				ユニット 0 (S12ADB0)
アナログ入力チャネル				AN000～AN007
A/D 変換開始条件	ソフトウェア	ソフトウェアトリガ		可能
	非同期トリガ	外部トリガ（注1）	トリガ入力端子	ADTRG#
	同期トリガ	MTU3a からのトリガ	MTU0.TGRA のコンペアマッチ／インプットキャプチャ	TRGA0N
			MTU1.TGRA のコンペアマッチ／インプットキャプチャ	TRGA1N
			MTU2.TGRA のコンペアマッチ／インプットキャプチャ	TRGA2N
			MTU3.TGRA のコンペアマッチ／インプットキャプチャ	TRGA3N
			MTU4.TGRA のコンペアマッチ／インプットキャプチャ、または相補 PWM モード時 MTU4.TCNT のアンダフロー（谷）	TRGA4N
			MTU6.TGRA のコンペアマッチ／インプットキャプチャ	TRGA6N
			MTU7.TGRA のコンペアマッチ／インプットキャプチャ、または相補 PWM モード時 MTU7.TCNT のアンダフロー（谷）	TRGA7N
			MTU0.TGRE のコンペアマッチ	TRG0N
			MTU4.TADCORA と MTU4.TCNT のコンペアマッチ	TRG4AN
			MTU4.TADCORB と MTU4.TCNT のコンペアマッチ	TRG4BN
			MTU4.TADCORA と MTU4.TCNT のコンペアマッチ、または、MTU4.TADCORB と MTU4.TCNT のコンペアマッチ	TRG4AN または TRG4BN
			MTU4.TADCORA と MTU4.TCNT のコンペアマッチと、MTU4.TADCORB と MTU4.TCNT のコンペアマッチ（割り込み間引き機能 2 を使用時）	TRG4ABN
			MTU7.TADCORA と MTU7.TCNT のコンペアマッチ	TRG7AN
			MTU7.TADCORB と MTU7.TCNT のコンペアマッチ	TRG7BN
			MTU7.TADCORA と MTU7.TCNT のコンペアマッチ、または、MTU7.TADCORB と MTU7.TCNT のコンペアマッチ	TRG7AN または TRG7BN
			MTU7.TADCORA と MTU7.TCNT のコンペアマッチと、MTU7.TADCORB と MTU7.TCNT のコンペアマッチ（割り込み間引き機能 2 を使用時）	TRG7ABN

項目				ユニット0 (S12ADB0)
A/D変換 開始条件	同期トリガ	GPTからのトリガ	GPT0.GTADTRAのコンペアマッチ	ADTRGA0
			GPT0.GTADTRBのコンペアマッチ	ADTRGB0
			GPT1.GTADTRAのコンペアマッチ	ADTRGA1
			GPT1.GTADTRBのコンペアマッチ	ADTRGB1
			GPT2.GTADTRAのコンペアマッチ	ADTRGA2
			GPT2.GTADTRBのコンペアマッチ	ADTRGB2
			GPT3.GTADTRAのコンペアマッチ	ADTRGA3
			GPT3.GTADTRBのコンペアマッチ	ADTRGB3
			GPT0.GTADTRAのコンペアマッチ、または、 GPT0.GTADTRBのコンペアマッチ	ADTRGA0 またはADTRGB0
			GPT1.GTADTRAのコンペアマッチ、または、 GPT1.GTADTRBのコンペアマッチ	ADTRGA1 またはADTRGB1
			GPT2.GTADTRAのコンペアマッチ、または、 GPT2.GTADTRBのコンペアマッチ	ADTRGA2 またはADTRGB2
			GPT3.GTADTRAのコンペアマッチ、または、 GPT3.GTADTRBのコンペアマッチ	ADTRGA3 またはADTRGB3
割り込み				S12ADI0 S12GBADI0 S12GCADI0 S12ADCMPAI0 S12ADCMPBI0

注1.　A/D変換を開始するトリガをADTRG#に設定する場合は、汎用入出力機能を設定してください。
詳細は「51.　汎用入出力ポート」を参照してください。

表 30.3 に A/D コンバータで使用する入力端子を示します。

表30.3　　A/Dコンバータの端子

端子名	入出力	名称	機能
AN007 ~ AN000	入力	アナログ入力端子	アナログ入力端子です。
ADTRG#	入力	A/D変換トリガ入力	A/D変換のための外部トリガ入力端子です。
AVcc	入力	アナログ電源／アナログ基準電圧	A/Dコンバータの電源端子兼、アナログ基準電圧端子です。
AVss	入力	アナロググランド	A/Dコンバータのグランド端子です。

30.2 レジスタの説明

表 30.4 に本モジュールのレジスター覧を示します。

表30.4 A/Dコンバータのレジスター覧

レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
A/Dコントロールレジスタ	ADCSR	0000h	E800_5800h	16
A/Dチャネル選択レジスタA0	ADANSA0	0000h	E800_5804h	16
A/D変換値加算/平均機能チャネル選択レジスタ0	ADADS0	0000h	E800_5808h	16
A/D変換値加算/平均回数選択レジスタ	ADADC	00h	E800_580Ch	8
A/Dコントロール拡張レジスタ	ADCER	0000h	E800_580Eh	16
A/D変換開始トリガ選択レジスタ	ADSTRGR	0000h	E800_5810h	16
A/Dチャネル選択レジスタB0	ADANSB0	0000h	E800_5814h	16
A/Dデータ2重化レジスタ	ADDBLDR	0000h	E800_5818h	16
A/D自己診断データレジスタ	ADRD	0000h	E800_581Eh	16
A/Dデータレジスタ0	ADDR0	0000h	E800_5820h	16
A/Dデータレジスタ1	ADDR1	0000h	E800_5822h	16
A/Dデータレジスタ2	ADDR2	0000h	E800_5824h	16
A/Dデータレジスタ3	ADDR3	0000h	E800_5826h	16
A/Dデータレジスタ4	ADDR4	0000h	E800_5828h	16
A/Dデータレジスタ5	ADDR5	0000h	E800_582Ah	16
A/Dデータレジスタ6	ADDR6	0000h	E800_582Ch	16
A/Dデータレジスタ7	ADDR7	0000h	E800_582Eh	16
A/D断線検出コントロールレジスタ	ADDISCR	00h	E800_587Ah	8
A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	0000h	E800_5880h	16
A/Dデータ2重化レジスタA	ADDBLDRA	0000h	E800_5884h	16
A/Dデータ2重化レジスタB	ADDBLDRB	0000h	E800_5886h	16
A/Dコンペア機能ABステータスモニタレジスタ	ADWINMON	00h	E800_588Ch	8
A/Dコンペア機能コントロールレジスタ	ADCMPCR	0000h	E800_5890h	16
A/Dコンペア機能ウィンドウAチャネル選択レジスタ0	ADCMPANSR0	0000h	E800_5894h	16
A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	0000h	E800_5898h	16
A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPDR0	0000h	E800_589Ch	16
A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPDR1	0000h	E800_589Eh	16
A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0	ADCMPSR0	0000h	E800_58A0h	16
A/Dコンペア機能ウィンドウBチャネル選択レジスタ	ADCMPBNSR	00h	E800_58A6h	8
A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	0000h	E800_58A8h	16
A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	0000h	E800_58AAh	16
A/Dコンペア機能ウィンドウBステータスレジスタ	ADCMPBSR	00h	E800_58ACh	8
A/Dチャネル選択レジスタC0	ADANSC0	0000h	E800_58D4h	16
A/DグループCトリガ選択レジスタ	ADGCTRGR	00h	E800_58D9h	8
A/Dサンプリングステートレジスタ0	ADSSTR0	0Bh	E800_58E0h	8
A/Dサンプリングステートレジスタ1	ADSSTR1	0Bh	E800_58E1h	8
A/Dサンプリングステートレジスタ2	ADSSTR2	0Bh	E800_58E2h	8
A/Dサンプリングステートレジスタ3	ADSSTR3	0Bh	E800_58E3h	8
A/Dサンプリングステートレジスタ4	ADSSTR4	0Bh	E800_58E4h	8
A/Dサンプリングステートレジスタ5	ADSSTR5	0Bh	E800_58E5h	8
A/Dサンプリングステートレジスタ6	ADSSTR6	0Bh	E800_58E6h	8
A/Dサンプリングステートレジスタ7	ADSSTR7	0Bh	E800_58E7h	8

30.2.1　A/D データレジスタ y（ADDRy : y=0 ～ 7）、A/D データ 2 重化レジスタ（ADDBLDR）、A/D データ 2 重化レジスタ A（ADDBLDRA）、A/D データ 2 重化レジスタ B（ADDBLDRB）

ADDRy レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作であるトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換精度指定ビットの設定値（12 ビット、10 ビット、8 ビット）
- A/D 変換値加算／平均回数選択レジスタの設定値（A/D 変換回数、A/D 変換値平均モード選択／非選択）

以下の表に、各条件と「30.2.23　データフォーマット」(1) ～ (9) の対応を示します。

表 30.5　加算回数と設定条件の対応表

A/D 変換精度	フォーマット指定	加算／平均非選択	加算選択時 変換回数 (加算回数)					平均選択時 変換回数	
			1 (0) 回	2 (1) 回	3 (2) 回	4 (3) 回	16 (15) 回	2 回	4 回
8 ビット	右寄せ	(1)	(3) (注 1)	(3) (注 1)	(3) (注 1)	(3) (注 1)		(1)	(1)
	左寄せ	(2)	(4) (注 1)	(4) (注 1)	(4) (注 1)	(4) (注 1)		(2)	(2)
10 ビット	右寄せ	(3)	(5) (注 1)	(5) (注 1)	(5) (注 1)	(5) (注 1)		(3)	(3)
	左寄せ	(4)	(6) (注 1)	(6) (注 1)	(6) (注 1)	(6) (注 1)		(4)	(4)
12 ビット	右寄せ	(5)	(7) (注 1)	(7) (注 1)	(7) (注 1)	(7) (注 1)	(9) (注 2)	(5)	(5)
	左寄せ	(6)	(8) (注 1)	(8) (注 1)	(8) (注 1)	(8) (注 1)	(9) (注 2)	(6)	(6)

注 1.　加算モード時、変換回数（加算回数）1（0）～ 4（3）回を指定した場合に限り、A/D 変換加算結果を 2 ビット拡張し、A/D データレジスタに格納します。「◆ A/D 変換値加算モードを選択した場合」にも説明を記載しています。

注 2.　A/D 変換精度 12 ビットで加算選択時、16 回変換（15 回加算）時は、A/D 変換加算結果を 4 ビット拡張し、A/D データレジスタに格納します。

本レジスタフォーマットについては、「30.2.23　データフォーマット」(1) ～ (9) を参照してください。

その際、

- ビットシンボル DATA[*:0] を AD[*:0] に読替えてください。
- 機能は n ビット A/D 変換値としてください。（n = 8, 10, 12, 14 ～ 16）
- R/W 属性は R としてください。

A/D 変換値平均モードを選択した場合

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。A/D 変換値平均モードを設定すると、A/D 変換結果の平均値を A/D データレジスタに保持します。A/D 変換値平均モードを選択した場合でも、通常の A/D 変換と同様に A/D データレジスタフォーマットビットの設定に従い、A/D データレジスタに値が格納されます。

A/D 変換値加算モードを選択した場合

ビット精度を 12 ビットに設定の場合、A/D 変換値加算モードを 1 回、2 回、4 回に設定できます。

また、ビット精度を 12 ビットに設定の場合に限り、A/D 変換値加算モードを 16 回に設定できます。

A/D 変換値加算モードを設定すると、A/D 変換結果の加算値を、変換精度のビット数にビット拡張して A/D データレジスタに保持します。

ビット拡張は、A/D 変換精度 12 ビット選択で、加算モード 1 回～ 4 回設定時には、2 ビット拡張します。A/D 変換精度 12 ビット選択で、加算モード 16 回設定時には 4 ビット拡張します。

また、A/D 変換値加算モードを選択した場合でも、上述の A/D データレジスタフォーマットビットの設定に従い、A/D データレジスタに値が格納されます。

30.2.2　A/D 自己診断データレジスタ（ADRD）

ADRD レジスタは、A/D コンバータの自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD ビットに加えて、自己診断のステータスビット（DIAGST）が付加されます。ADRD は下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換精度指定ビットの設定値（12 ビット、10 ビット、8 ビット）

A/D 自己診断機能には A/D 変換値加算／平均モードを適用することはできません。自己診断機能の詳細は「30.2.9　A/D コントロール拡張レジスタ（ADCER）」を参照してください。

右詰めフォーマットの場合

DIAGST[1:0] は上位ビット 2 ケタ (b15 ～ b14) に配置されます、A/D 変換精度指定ビットの設定値により、A/D 変換結果はビット位置 b13 ～ b0 に配置されます。

A/D 変換精度指定ビット =8 ビットの場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DIAGST[1:0]		—	—	—	—	—	—	AD[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

A/D 変換精度指定ビット =10 ビットの場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DIAGST[1:0]		—	—	—	—	AD[9:0]									
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

A/D 変換精度指定ビット =12 ビットの場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DIAGST[1:0]		—	—	AD[11:0]											
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13～b0	AD[11**:0]	—	A/D変換精度指定ビット設定値により、データ幅が変わります。 8ビット：AD[7:0]は、b7～b0に格納されます。 10ビット：AD[9:0]は、b9～b0に格納されます。 12ビット：AD[11:0]は、b11～b0に格納されます。	R
	—	予約ビット	読むと”0”が読めます。書く場合、”0”としてください	R0
b15、b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0　0　：パワーオンから一度も自己診断を実施していないことを示す 0　1　：0Vの電圧値の自己診断を実施したことを示す 1　0　：基準電源x1/2の電圧値の自己診断を実施したことを示す 1　1　：基準電源の電圧値の自己診断を実施したことを示す	R

左詰めフォーマットの場合

DIAGST[1:0] は下位ビット 2 ケタ (b1 ～ b0) に配置されます、A/D 変換精度指定ビットの設定値により、A/D 変換結果はビット位置 b15 ～ b2 に配置されます。

A/D 変換精度指定ビット =12 ビットの場合

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD[11:0]												—	—	DIAGST[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	DIAGST[1:0]	自己診断ステータスビット	b1　b0 0　0　：パワーオンから一度も自己診断を実施していないことを示す 0　1　：0Vの電圧値の自己診断を実施したことを示す 1　0　：基準電源x1/2の電圧値の自己診断を実施したことを示す 1　1　：基準電源の電圧値の自己診断を実施したことを示す	R
b15～b2	AD[11** :0]	—	A/D変換精度指定ビット設定値により、データ幅が変わります。 8ビット：AD[7:0]は、b15～b8に格納されます。 10ビット：AD[9:0]は、b15～b6に格納されます。 12ビット：AD[11:0]は、b15～b4に格納されます	R
	—	予約ビット	読むと”0”が読めます。書く場合、”0”としてください	R0

30.2.3　A/D コントロールレジスタ（ADCSR）

ADCSR レジスタは、A/D 変換制御、モード／トリガ／割り込みの設定をします。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]		ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4～b0	DBLANS[4:0]	A/D 変換データ 2 重化チャネル選択ビット	A/D 変換データを 2 重化するアナログ入力を 1 チャネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R0
b6	GBADIE	グループB スキャン終了割り込み許可ビット	0：グループB のスキャン終了後にS12GBADI0 割り込み発生を禁止 1：グループB のスキャン終了後にS12GBADI0 割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0：ダブルトリガモード非選択 1：ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット（注1）	0：同期トリガ（MTU、GPT）によるA/D 変換の開始を選択 1：非同期トリガ（ADTRG#）によるA/D 変換の開始を選択	R/W
b9	TRGE	トリガ許可ビット	0：同期、非同期トリガによるA/D 変換の開始を禁止 1：同期、非同期トリガによるA/D 変換の開始を許可	R/W
b11、b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R0
b12	ADIE	スキャン終了割り込み許可ビット	0：スキャン終了後にS12ADI0 割り込み発生を禁止 1：スキャン終了後にS12ADI0 割り込み発生を許可	R/W
b14、b13	ADCS[1:0]	スキャンモード選択ビット	00：シングルスキャンモード 01：グループスキャンモード 10：連続スキャンモード 11：設定禁止	R/W
b15	ADST	A/D 変換スタートビット	0：A/D 変換停止 1：A/D 変換開始	R/W（注2）

注1.　外部端子（非同期トリガ）でA/D変換を起動する方法
外部端子（ADTRG#）にHighを入力した状態で、ADCSR.TRGEビットを”1”、ADCSR.EXTRGビットを”1”にします。
その後、ADTRG#の信号をLowに変化させると、ADTRG#の立下りエッジを検出し、スキャン変換を開始します。
このときのLow入力のパルス幅は、1.5 PCLKクロック以上必要です。
注2.　以下のADSTビット説明を参照してください。

- DBLANS[4:0] ビット（A/D 変換データ 2 重化チャネル選択ビット）

  ダブルトリガモードで A/D 変換データを 2 重化する 1 チャネルを選択します。DBLANS[4:0] ビットで選択したチャネルのアナログ入力を、ダブルトリガモードの 1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。**表 30.6** に A/D 変換データ 2 重化チャネルの選択表を記します。ダブルトリガモードでの A/D 変換値加算／平均機能は、DBLANS[4:0] で選択したチャネルを ADADS0 レジスタで選択する事で実行可能です。ダブルトリガモードを選択した場合は、ADANSA0 レジスタで選択したチャネルは無効になり、DBLANS[4:0] で選択した 1 チャネルが A/D 変換を行うチャネルとなります。グループスキャンモードでダブルトリガモードを選択した場合、グループ A のみダブルトリガモードの動作を行い、グループ B、C はダブルトリガモードの動作を行いません。また、ダブルトリガモード時は、グループ A に複数チャネルのアナログ入力は選択できませんが、グループ B、C には複数チャネルのアナログ入力が選択可能です。また、DBLANS[4:0] ビットは、ADST ビットが “0” のときに設定してください（ADST ビットへの “1” 書き込みと同時設定もしないでください）。

表 30.6 A/D 変換データ 2 重化 CH（チャネル）選択表

DBLANS[4:0]	2 重化 CH
5'd0	AN000
5'd1	AN001
5'd2	AN002
5'd3	AN003
5'd4	AN004
5'd5	AN005
5'd6	AN006
5'd7	AN007

- GBADIE ビット（グループ B スキャン終了割り込みイネーブルビット）
  グループスキャンモードでのグループ B のスキャン終了割り込み（S12GBADI0）の発生を許可／禁止します。

- DBLE ビット（ダブルトリガモード選択ビット）
  ダブルトリガモードは、ADSTRGR.TRSA[5:0] で選択した同期トリガ（MTU、GPT）でスキャンを開始した事を条件に以下 1 と 2 の動作となります。
  ADIE ビットが “1” に設定されている場合に、1 回目のスキャン終了時はスキャン終了割り込みを出力せず、2 回目のスキャン終了時にスキャン終了割り込みを出力します。
  DBLANS[4:0] ビットで選択したアナログ入力の A/D 変換データを、1 回目は A/D データレジスタ y に格納し、2 回目は A/D データ 2 重化レジスタに格納します。
  DBLE ビットを ”1” にすると ADANSA0 レジスタで選択したチャネルは無効になります。ダブルトリガモードは、DBLE ビットを “0” にすると非選択となり、再度 DBLE ビットを “1” にすると最初のトリガによるスキャンを 1 回目として上記 1 と 2 の動作を行います。連続スキャンモードではダブルトリガモードを使用しないでください。ダブルトリガモード選択中はソフトウェアトリガを使用しないでください。DBLE ビットは、ADST ビットが “0” のときに設定してください（ADST ビットへの “1” 書き込みと同時設定もしないでください）。

- EXTRG ビット（非同期トリガ選択ビット）
  A/D 変換を開始するトリガを同期トリガにするか、非同期トリガにするか選択します。

- TRGE ビット（トリガ許可ビット）
  同期トリガ、非同期トリガによる A/D 変換の開始を許可／禁止します。
  グループスキャンモードでは、このビットを ”1” にしてください。

- ADIE ビット（スキャン終了割り込み許可ビット）
  グループスキャンモードでのグループ B とグループ C を除く、A/D スキャン変換終了割り込み（S12ADI0）の発生を許可／禁止します。
  ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが “1” にセットされていれば、S12ADI0 割り込みが発生します。
  ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] で選択した同期トリガ（MTU、GPT）で開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが “1” にセットされていれば S12ADI0 割り込みが発生します。

- ADCS[1:0] ビット（スキャンモード選択ビット）
  スキャン変換モードを選択します。
  シングルスキャンモードは、ADANSA0 レジスタで選択した最大 8 チャネルのアナログ入力を若いチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの変換が終了するとスキャン変換を停止します。
  連続スキャンモードは、ADCSR.ADST ビットが “1” の間、ADANSA0 レジスタで選択した最大 8 チャネルのアナログ入力を若いチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの変換が終了すると最初のチャネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを “0” にすると、スキャン中に A/D 変換を停止します。グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ（MTU、GPT）を開始条件として、ADANSA0 レジスタで選択した最大 8 チャネルのアナログ入力（グループ A）を若いチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの A/D 変換が終了すると停止します。また同様に ADSTRGR.TRSB[5:0]、DGCTRGR.TRSC[5:0] で選択した同期トリガ（MTU、GPT）を A/D 変換開始条件として、ADANSB0 レジスタ・ADANSC0 レジスタで選択した最大 8 チャネルのアナログ入力（グループ B・グループ C）を若いチャネル番号順に A/D 変換を実施し、選択されたすべてのチャネルの A/D 変換が終了すると停止します。
  グループスキャンモードを選択する場合は、グループ A とグループ B とグループ C で異なるトリガを選択してください。
  グループスキャンモード設定時に 2 つのグループを使用する場合、グループ A とグループ B を使用してください（ADGCTRGR.GRCE=1’b0）。また、3 つのグループを使用する場合、グループ A、グループ B とグループ C を使用してください（ADGCTRGR.GRCE=1’b1）。
  ADCS[1:0] ビットは、ADST ビットが “0” のときに設定してください（ADST ビットへの “1” 書き込みと同時設定もしないでください）。

- ADST ビット（A/D 変換スタートビット）
  A/D 変換の開始／停止を制御します。ADST ビットを “1” に設定する前に、A/D 変換クロック、変換モード、変換対象の設定を行ってください。

■ “1” になる条件

- ソフトウェアで “1” を書き込んだとき
- ADCSR.EXTRG ビットに “0”、ADCSR.TRGE ビットに “1” を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ（MTU、GPT）を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットに "1" を設定し、ADSTRGR.TRSB[5:0] または ADGCTRGR.TRSC[5:0] で選択した同期トリガ（MTU、GPT）を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットに “1”、ADSTRGR.TRSA[5:0] に “000000b” を設定し、非同期トリガを検出したとき
- グループ優先動作モード有効時（ADCSR.ADCS[1:0]=”01b” かつ ADGSPCR.PGS=”1”）に、ADGSPCR.GBRP ビットを ”1” に設定し、最も優先度の低いグループの A/D 変換を開始したとき

■ “0” になる条件

- ソフトウェアで “0” を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャネルの A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループスキャンモードでグループ C のスキャンが終了したとき
- グループ優先動作モード有効時（ADCSR.ADCS[1:0] = ”01b” かつ ADGSPCR.PGS = ”1”）に、ADGSPCR.GBRSCN ビットを ”1” に設定し、最も優先度の低いグループのトリガによるスキャンが終了したとき

注 1. グループ優先動作モード有効時（ADCSR.ADCS[1:0] = ”01b” かつ ADGSPCR.PGS = ”1”）は ADST ビットに ”1” を書きこまないでください。

注 2. グループ優先動作モード有効時（ADCSR.ADCS[1:0] = ”01b” かつ ADGSPCR.PGS = ”1”）は ADST ビットに ”0” を書きこまないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

注 3. グループ優先動作モード有効時（ADCSR.ADCS[1:0] = ”01b” かつ ADGSPCR.PGS = ”1”）にシングルスキャン連続機能を使用（ADGSPCR.GBRP = ”1”）した場合、ADST ビットは “1” を保持します。

30.2.4 A/D チャネル選択レジスタ A0（ADANSA0）

ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSA0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	ANSA0[7:0]	A/D変換チャネル選択ビット	0：AN000～AN007を変換対象から外す 1：AN000～AN007を変換対象とする	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- ANSA0[7:0] ビット（A/D 変換チャネル選択ビット）
  A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA0[0] が AN000、ANSA0[7] が AN007 に対応します。
  ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0[7:0] ビットの設定は無効となります。
  ANSA0[7:0] ビットは、ADCSR.ADST ビットが ”0” のときに設定してください。

30.2.5 A/D チャネル選択レジスタ B0（ADANSB0）

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 を選択するレジスタです。ADANSB0 レジスタは他のスキャンモードでは使用しません。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSB0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	ANSB0[7:0]	A/D変換チャネル選択ビット	0：AN000～AN007 を変換対象から外す 1：AN000～AN007 を変換対象とする	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- ANSB0[7:0] ビット（A/D 変換チャネル選択ビット）
  グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 の選択を行います。ANSB0[0] が AN000、ANSB0[7] が AN007 に対応します。
  ANSB0[7:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

30.2.6　A/D チャネル選択レジスタ C0（ADANSC0）

ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 を選択するレジスタです。ADANSC0 レジスタは他のスキャンモードでは使用しません。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSC0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	ANSC0[7:0]	A/D 変換チャネル選択ビット	0：AN000～AN007 を変換対象から外す 1：AN000～AN007 を変換対象とする	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- ANSC0[7:0] ビット（A/D 変換チャネル選択ビット）
  グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN007 の選択を行います。ANSC0[0] が AN000、ANSC0[7] が AN007 に対応します。
  ANSC0[7:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

30.2.7　A/D 変換値加算／平均機能チャネル選択レジスタ 0（ADADS0）

ADADS0 レジスタは、A/D 変換を連続で指定した回数（加算可能回数は使用変換精度によって異なります。30.2.1 の表 30.5 を確認してください。）分実施して加算（積算）、または平均する A/D 変換チャネル AN000 ～ AN007 を選択します。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ADS0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7 ～b0	ADS0[7:0]	A/D 変換値加算／平均チャネル選択ビット	0：AN000～AN007 の A/D 変換値加算／平均モード非選択 1：AN000～AN007 の A/D 変換値加算／平均モード選択	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- ADS0[7:0] ビット（A/D 変換値加算チャネル選択ビット）

  ADANSA0.ANSA0[n] ビット（n = 0 ～ 7）または ADCSR.DBLANS[4:0] ビットと ADANSB0.ANSB0[n] ビット、ADANSC0.ANSC0[n] ビット（n = 0 ～ 7）で選択した A/D 変換チャネルと同一番号の ADS0[n] ビットを “1” にすると、ADADC.ADC[2:0] ビットで設定した回数（加算可能回数は使用変換精度によって異なります。30.2.1 の表 30.5 を確認してください。）分、選択したチャネルのアナログ入力を連続して A/D 変換し、ADADC.AVEE ビットが ”0” の場合は加算（積算）した値を、ADADC.AVEE ビットが ”1” の場合は平均した値を A/D データレジスタに返します。加算／平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

  ADS0[7:0] ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

以下にビット ADS0[2] と ADS0[6] を “1” にしたときのスキャン動作シーケンスを示します。
連続スキャンモード（ADCSR.ADCS = 10b）で、加算モードを選択（ADADC.AVEE = 0）、加算回数は 3 回に設定（ADADC.ADC[2:0] = 011b）、AN000 ～ AN007 が選択（ADANSA0.ANSA0[7:0] = FFh）されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算（積算）値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し加算（積算）値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

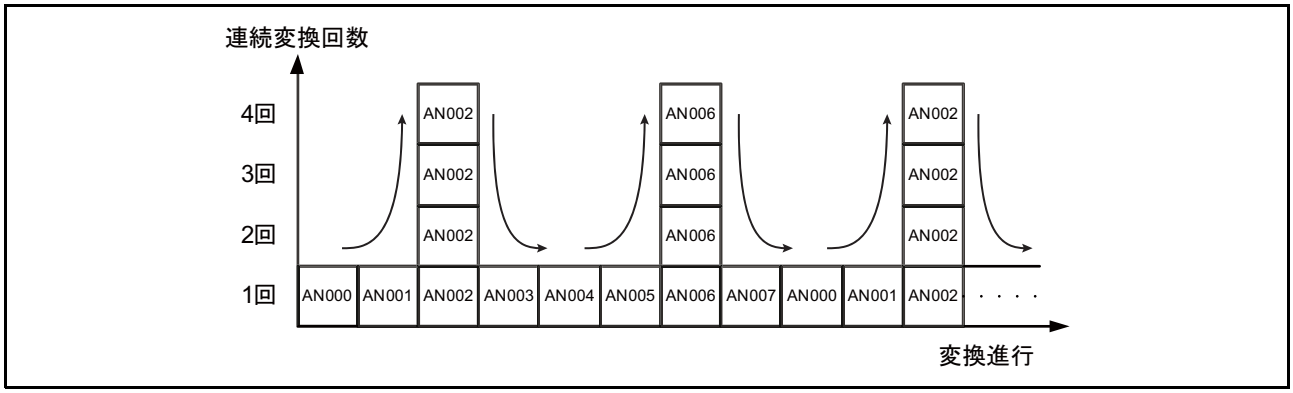


図 30.1　ADADC.ADC[2:0] = 011b, ADADC.AVEE = 0, ADS0[2] = 1, ADS0[6] = 1 選択時のスキャン動作シーケンス

30.2.8　A/D 変換値加算／平均回数選択レジスタ（ADADC）

ADADC レジスタは、A/D 変換値加算／ 平均モードが選択されたチャネルの A/D 変換に対して加算／平均回数の設定と、加算モードまたは平均モードの選択を行います。

	b7	b6	b5	b4	b3	b2	b1	b0
	AVEE	—	—	—	—	ADC[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2～b0	ADC[2:0]	加算回数選択ビット	b2 b1 b0 000：1 回変換（通常変換と同じ） 001：2 回変換（加算モード選択時 1 回加算を行う） 010：3 回変換（加算モード選択時 2 回加算を行う）（注1） 011：4 回変換（加算モード選択時 3 回加算を行う） 101：16 回変換（加算モード選択時15 回加算を行う） 上記以外は設定しないでください	R/W
b6～b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b7	AVEE	平均モードイネーブルビット	0：平均モードを非選択（注1） 1：平均モードを選択（注1）	R/W

注1.　AVEE ビットは、2回変換、4回変換のときにのみ有効です。平均モードを選択した場合（ADADC.AVEE = 1）は、3回変換（ADADC.ADC[2:0] = 010b）に設定しないでください。

- ADC[2:0] ビット（加算回数選択ビット）

  ダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0] ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたチャネルの A/D 変換に対して共通の変換回数を設定します。
  平均モードを選択した場合（ADADC.AVEE = 1）は、3 回変換（ADADC.ADC[2:0] = 010b）に設定しないでください。
  また、30.2.1 の表 30.5 に示す通り、加算回数 16 回（ADADC.ADC[2:0] = 101b）と A/D 変換精度 8 ビット／ 10 ビット（ADCER.ADPRC[1:0] = 10b / 01b）の組合せは設定禁止です。
  ADC[2:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

- AVEE ビット（平均モードイネーブルビット）

  ダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0] ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたチャネルの A/D 変換に対して、加算モードまたは平均モードの選択を行います。
  平均モードを選択した場合（ADADC.AVEE = 1）は、3 回変換（ADADC.ADC[2:0] = 010b）に設定しないでください。3 回変換の平均値を求めることはできません。
  AVEE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

30.2.9　A/D コントロール拡張レジスタ（ADCER）

ADCER レジスタは、A/D データレジスタの設定、A/D 変換精度、自己診断変換の設定を行います。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]		—	—	ACE	—	—	ADPRC[1:0]		—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b2、b1	ADPRC[1:0]	A/D 変換精度選択ビット	b2 b1 0 0：12 ビット精度で A/D 変換を実施 0 1：10 ビット精度で A/D 変換を実施 1 0：8 ビット精度で A/D 変換を実施	R/W
b4、b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b5	ACE	自動クリアイネーブルビット	0：自動クリアを禁止 1：自動クリアを許可	R/W
b7、b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b9、b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0：自己診断固定モード選択時は設定禁止 0 1：0V の電圧を使って自己診断を行う 1 0：基準電源×1/2 の電圧を使って自己診断を行う 1 1：基準電源の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0：自己診断電圧ローテーションモード 1：自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0：A/D コンバータの自己診断を実施しない 1：A/D コンバータの自己診断を実施する	R/W
b14～b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0：A/D データレジスタのフォーマットを右詰めにする 1：A/D データレジスタのフォーマットを左詰めにする	R/W

- ADPRC[1:0] ビット（A/D 変換精度指定ビット）

  A/D 変換を、12 ビット精度、10 ビット精度、8 ビット精度のいずれで実施するかを選択します。A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は**「30.3.6　アナログ入力のサンプリング時間とスキャン変換時間」**を参照してください。ADPCR[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

- ACE ビット（自動クリアイネーブルビット）

  CPU および DMAC によって ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタを読み出した後、当該レジスタの自動クリア（All“0”）を行うか行わないかを選択します。自動クリアにより ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタの未更新故障を検出することができます。

- DIAGVAL[1:0] ビット（自己診断変換電圧選択ビット）

  詳細は ADCER.DIAGLD ビットの説明を参照してください。

  ADCER.DIAGVAL[1:0] ビットが ”00b” の状態で ADCER.DIAGLD ビットを ”1” に設定して、自己診断を実施しないでください。

- DIAGLD ビット（自己診断モード選択ビット）

  自己診断で変換する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。

ADCER.DIAGLD ビットを “0” にすると 0V → 基準電源 × 1/2 → 基準電源の順番にローテーションして変換していきます。リセット後、自己診断電圧ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。
DIAGLD ビットの設定は、ADST ビットが “0” のときに行ってください。

- DIAGM ビット（自己診断イネーブルビット）
  自己診断を実施するかしないかを選択します。
  自己診断は、A/D コンバータの故障を検出するための機能です。内部で生成する 0V、基準電源 × 1/2、基準電源の 3 つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ（ADRD）に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD を読み出し、変換値が正常の範囲にある（正常）かない（異常）かを判断します。自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。ダブルトリガ機能を使用（ADCSR.DBLE = “1”）する場合は、自己診断を非選択（DIAGM ビットは “0”）にしてください。
  グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B とグループ C のそれぞれで自己診断を実行します。
  DIAGM ビットの設定は、ADST ビットが “0” のときに行ってください。

- ADRFMT ビット（A/D データレジスタフォーマット選択ビット）
  ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADCMPDR0/1、ADWINLLB、ADWINULB レジスタに格納するデータの右詰め／左詰めを選択します。ADRFMT ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。
  各データレジスタのフォーマットの詳細は、「30.2.23　データフォーマット」を参照してください。

30.2.10　A/D 変換開始トリガ選択レジスタ（ADSTRGR）

ADSTRGR レジスタは、A/D 変換開始トリガを選択します。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TRSA[5:0]						—	—	TRSB[5:0]					
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5～b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7、b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b13～b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15、b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- TRSB[5:0] ビット（グループ B 専用 A/D 変換開始トリガ選択ビット）
  グループ B で選択したアナログ入力のスキャンを開始するトリガの選択を行います。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0] を “000000” 以外に設定し、ADCSR.TRGE ビットを “1” に設定してください。
  グループスキャンモードのグループ優先動作時に、2 グループを選択 (ADGCTRGR.GRCE = 0) した場合、ADGSPCR.GBRP ビットを “1” に設定することで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを “1” に設定する場合は、TRSB[5:0] ビットを “3Fh” に設定してください。
  A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間（tSCAN) 以上となるように設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効となる場合があります。A/D 変換トリガは同期化処理が必要なため、選択した場合、同期化処理の分だけ遅延が発生します。
  詳細は「30.3.6　アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。
  表 30.7 に TRSB[5:0] ビットでの A/D 起動要因選択一覧を示します。

- TRSA[5:0] ビット（A/D 変換開始トリガ選択ビット）
  シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガ（MTU、GPT）の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを “1” に設定し、かつ ADCSR.EXTRG ビットを “0” に設定してください。
- 非同期トリガ（ADTRG#）を使用する場合は、ADCSR.TRGE ビットを “1” に設定し、かつ ADCSR.EXTRG ビットを “1” に設定してください。
- ソフトウェアトリガ（ADCSR.ADST）は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット TRSA[5:0] ビットの設定にかかわらず有効です。

A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間（tSCAN）以上となるように設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効になる場合があります。

A/D 変換トリガは同期化処理が必要なため、選択した場合、同期化処理の分だけ遅延が発生します。詳細は「30.3.6　アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 30.8 に TRSA[5:0] ビットでの A/D 起動要因選択一覧を示します。

表30.7　　TRSB[5:0]（グループB専用）でのA/D変換開始要因選択一覧

モジュール	要因	備考	TRSB [5]	TRSB [4]	TRSB [3]	TRSB [2]	TRSB [1]	TRSB [0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ／インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー（谷）	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ／インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー（谷）	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、または、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、または、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）	0	1	0	0	0	0

モジュール	要因	備考	TRSB [5]	TRSB [4]	TRSB [3]	TRSB [2]	TRSB [1]	TRSB [0]
GPT	ADTRGA0	GPT0.GTADTRAのコンペアマッチ	0	1	0	0	0	1
	ADTRGB0	GPT0.GTADTRBのコンペアマッチ	0	1	0	0	1	0
	ADTRGA1	GPT1.GTADTRAのコンペアマッチ	0	1	0	0	1	1
	ADTRGB1	GPT1.GTADTRBのコンペアマッチ	0	1	0	1	0	0
	ADTRGA2	GPT2.GTADTRAのコンペアマッチ	0	1	0	1	0	1
	ADTRGB2	GPT2.GTADTRBのコンペアマッチ	0	1	0	1	1	0
	ADTRGA3	GPT3.GTADTRAのコンペアマッチ	0	1	0	1	1	1
	ADTRGB3	GPT3.GTADTRBのコンペアマッチ	0	1	1	0	0	0
	ADTRGA0 または ADTRGB0	GPT0.GTADTRAのコンペアマッチ、または、GPT0.GTADTRBのコンペアマッチ	0	1	1	0	0	1
	ADTRGA1 または ADTRGB1	GPT1.GTADTRAのコンペアマッチ、または、GPT1.GTADTRBのコンペアマッチ	0	1	1	0	1	0
	ADTRGA2 または ADTRGB2	GPT2.GTADTRAのコンペアマッチ、または、GPT2.GTADTRBのコンペアマッチ	0	1	1	0	1	1
	ADTRGA3 または ADTRGB3	GPT3.GTADTRAのコンペアマッチ、または、GPT3.GTADTRBのコンペアマッチ	0	1	1	1	0	0

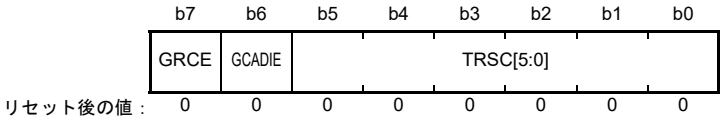
表30.8 TRSA[5:0]でのA/D変換開始要因選択一覧

モジュール	要因	備考	TRSA [5]	TRSA [4]	TRSA [3]	TRSA [2]	TRSA [1]	TRSA [0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRG#	トリガ入力端子	0	0	0	0	0	0
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ／インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー（谷）	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ／インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ／インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー（谷）	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチまたは、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1

モジュール	要因	備考	TRSA [5]	TRSA [4]	TRSA [3]	TRSA [2]	TRSA [1]	TRSA [0]
MTU	TRG4ABN	MTU4.TADCORA と MTU4.TCNT のコンペアマッチと、MTU4.TADCORB と MTU4.TCNT のコンペアマッチ（割り込み間引き機能2を使用時）	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORA と MTU7.TCNT のコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORB と MTU7.TCNT のコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORA と MTU7.TCNT のコンペアマッチ、または、MTU7.TADCORB と MTU7.TCNT のコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORA と MTU7.TCNT のコンペアマッチと、MTU7.TADCORB と MTU7.TCNT のコンペアマッチ（割り込み間引き機能2を使用時）	0	1	0	0	0	0
GPT	ADTRGA0	GPT0.GTADTRA のコンペアマッチ	0	1	0	0	0	1
	ADTRGB0	GPT0.GTADTRB のコンペアマッチ	0	1	0	0	1	0
	ADTRGA1	GPT1.GTADTRA のコンペアマッチ	0	1	0	0	1	1
	ADTRGB1	GPT1.GTADTRB のコンペアマッチ	0	1	0	1	0	0
	ADTRGA2	GPT2.GTADTRA のコンペアマッチ	0	1	0	1	0	1
	ADTRGB2	GPT2.GTADTRB のコンペアマッチ	0	1	0	1	1	0
	ADTRGA3	GPT3.GTADTRA のコンペアマッチ	0	1	0	1	1	1
	ADTRGB3	GPT3.GTADTRB のコンペアマッチ	0	1	1	0	0	0
	ADTRGA0 または ADTRGB0	GPT0.GTADTRA のコンペアマッチ、または、GPT0.GTADTRB のコンペアマッチ	0	1	1	0	0	1
	ADTRGA1 または ADTRGB1	GPT1.GTADTRA のコンペアマッチ、または、GPT1.GTADTRB のコンペアマッチ	0	1	1	0	1	0
	ADTRGA2 または ADTRGB2	GPT2.GTADTRA のコンペアマッチ、または、GPT2.GTADTRB のコンペアマッチ	0	1	1	0	1	1
	ADTRGA3 または ADTRGB3	GPT3.GTADTRA のコンペアマッチ、または、GPT3.GTADTRB のコンペアマッチ	0	1	1	1	0	0

30.2.11　A/D グループ C トリガ選択レジスタ（ADGCTRGR）

ADGCTRGR レジスタは、グループ C の動作許可設定と A/D 変換開始トリガを選択します。グループ優先動作の設定は、「30.3.4.3　**グループ優先動作**」を参照してください。



ビット	シンボル	ビット名	機能	R/W
b5～b0	TRSC[5:0]	グループC専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループCのA/D変換開始トリガを選択します	R/W
b6	GCADIE	グループCスキャン終了割り込み許可	0：グループCのスキャン終了後にS12GCADI0割り込み発生を禁止 1：グループCのスキャン終了後にS12GCADI0割り込み発生を許可	R/W
b7	GRCE	グループC専用A/D変換動作許可ビット	グループCのA/D変換動作許可を設定します 0:グループCを使用しない。 1:グループCを使用する。	R/W

- TRSC[5:0] ビット（グループ C 専用 A/D 変換開始トリガ選択ビット）

  グループ C で選択したアナログ入力のスキャンを開始するトリガの選択を行います。TRSC[5:0] ビットはグループスキャンモードでのみ使用可能なビットで、他のスキャンモードでは使用しません。グループ C のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガは設定できません。グループスキャンモードでグループ C を使用する場合は、TRSC[5:0] を “000000” 以外に設定し、ADCSR.TRGE ビットを “1”、GRCE ビットを “1” に設定してください。

  グループスキャンモードのグループ 優先制御時にグループ C を使用し、ADGSPCR.GBRP ビットを “1” に設定することで、グループ C をシングルスキャンモードで連続動作させることができます。グループ C をシングルスキャンモードで連続動作させる場合は、TRSC[5:0] ビットを “3Fh” に設定しトリガ選択を無効にしてください。

  A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間（tSCAN) 以上となるように設定してください。発行間隔が tSCAN 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

  A/D 変換トリガは同期化処理が必要なため、選択した場合、同期化処理の分だけ遅延が発生します。詳細は「30.3.6　**アナログ入力のサンプリング時間とスキャン変換時間**」を参照してください。

  表 30.9 に TRSC[5:0] ビットでの A/D 起動要因選択一覧を示します。

- GCADIE ビット（グループ C スキャン終了割り込みイネーブルビット）

  グループスキャンモードでのグループ C のスキャン終了割り込み（S12GCADI0）の発生を許可／禁止します。

- GRCE ビット（グループ C 専用 A/D 変換動作許可ビット）

  グループスキャンモードでグループ C を使用する場合は、GRCE ビットを " 1 " にしてください。

  GRCE ビットが "0" の場合は、グループ C のトリガ入力が無効となります。グループ C を使用したグループ優先動作（ADGSPCR.PGS ビットが "1"）で、ADGSPCR.GBRP を "1" とすると、グループ C がシングルスキャンの連続動作を行います。（GRCE ビットを "1" にするとグループ B はシングルスキャンの連続動作を行いません）

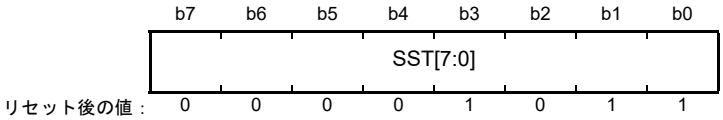
  GRCE ビットは、ADCSR.ADST ビットが "0" のときに設定してください。

表 30.9　TRSC[5:0]（グループ C 専用）での A/D 変換開始要因選択一覧

モジュール	要因	備考	TRSC [5]	TRSC [4]	TRSC [3]	TRSC [2]	TRSC [1]	TRSC [0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU	TRGA0N	MTU0.TGRA のコンペアマッチ／インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRA のコンペアマッチ／インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRA のコンペアマッチ／インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRA のコンペアマッチ／インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRA のコンペアマッチ／インプットキャプチャ、または相補 PWM モード時 MTU4.TCNT のアンダフロー（谷）	0	0	0	1	0	1
	TRGA6N	MTU6.TGRA のコンペアマッチ／インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU6.TGRA のコンペアマッチ／インプットキャプチャまたは相補 PWM モード時 MTU7.TCNT のアンダフロー（谷）	0	0	0	1	1	1
	TRG0N	MTU0.TGRE のコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORA と MTU4.TCNT のコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORB と MTU4.TCNT のコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORA と MTU4.TCNT のコンペアマッチ、または、MTU4.TADCORB と MTU4.TCNT のコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORA と MTU4.TCNT のコンペアマッチと、MTU4.TADCORB と MTU4.TCNT のコンペアマッチ（割り込み間引き機能 2 を使用時）	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORA と MTU7.TCNT のコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORB と MTU7.TCNT のコンペアマッチ	0	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORA と MTU7.TCNT のコンペアマッチ、または、MTU7.TADCORB と MTU7.TCNT のコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORA と MTU7.TCNT のコンペアマッチと、MTU7.TADCORB と MTU7.TCNT のコンペアマッチ（割り込み間引き機能 2 を使用時）	0	1	0	0	0	0
GPT	ADTRGA0	GPT0.GTADTRA のコンペアマッチ	0	1	0	0	0	1
	ADTRGB0	GPT0.GTADTRB のコンペアマッチ	0	1	0	0	1	0
	ADTRGA1	GPT1.GTADTRA のコンペアマッチ	0	1	0	0	1	1
	ADTRGB1	GPT1.GTADTRB のコンペアマッチ	0	1	0	1	0	0
	ADTRGA2	GPT2.GTADTRA のコンペアマッチ	0	1	0	1	0	1
	ADTRGB2	GPT2.GTADTRB のコンペアマッチ	0	1	0	1	1	0
	ADTRGA3	GPT3.GTADTRA のコンペアマッチ	0	1	0	1	1	1
	ADTRGB3	GPT3.GTADTRB のコンペアマッチ	0	1	1	0	0	0
	ADTRGA0 または ADTRGB0	GPT0.GTADTRA のコンペアマッチ、または、GPT0.GTADTRB のコンペアマッチ	0	1	1	0	0	1
	ADTRGA1 または ADTRGB1	GPT1.GTADTRA のコンペアマッチ、または、GPT1.GTADTRB のコンペアマッチ	0	1	1	0	1	0
	ADTRGA2 または ADTRGB2	GPT2.GTADTRA のコンペアマッチ、または、GPT2.GTADTRB のコンペアマッチ	0	1	1	0	1	1
	ADTRGA3 または ADTRGB3	GPT3.GTADTRA のコンペアマッチ、または、GPT3.GTADTRB のコンペアマッチ	0	1	1	1	0	0

30.2.12　A/D サンプリングステートレジスタ n（ADSSTRn）（n=0 ～ 7）

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行うレジスタです。



ビット	シンボル	ビット名	機能	R/W
b7～b0	SST[7:0]	サンプリング時間設定ビット	5～255ステートの間でサンプリング時間を設定します	R/W

1 ステート＝ 1 ADCLK（A/D 変換クロック）幅で ADCLK クロックが 33MHz であれば 1 ステート 約 30.3ns になります。初期値は 11 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整する事ができます。本ビットの設定は ADCSR.ADST ビットが “0” のときに行ってください。サンプリング時間の設定下限値は、分周比により異なります。

PCLK：ADCLK 分周比 = 1：1、1：2 の場合、5 ステート以上の値を設定してください。

表 30.10 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

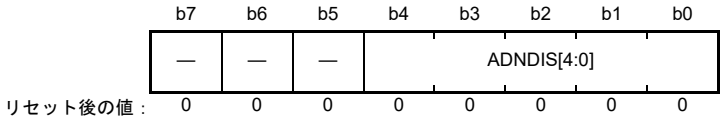
詳細は、**「30.3.6　アナログ入力のサンプリング時間とスキャン変換時間」**を参照してください。

表30.10　A/Dサンプリングステートレジスタと対象チャネルの関係

ビット名	対象チャネル
ADSSTR0.SST[7:0]ビット	AN000、自己診断
ADSSTR1.SST[7:0]ビット	AN001
ADSSTR2.SST[7:0]ビット	AN002
ADSSTR3.SST[7:0]ビット	AN003
ADSSTR4.SST[7:0]ビット	AN004
ADSSTR5.SST[7:0]ビット	AN005
ADSSTR6.SST[7:0]ビット	AN006
ADSSTR7.SST[7:0]ビット	AN007

30.2.13　A/D 断線検出コントロールレジスタ（ADDISCR）

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。



ビット	シンボル	ビット名	機能	R/W
b4～b0	ADNDIS[4:0]	断線検出アシスト設定ビット	断線検出アシスト機能を設定します b4　ADNDIS[4]：プリ／ディスチャージの選択 0：ディスチャージ 1：プリチャージ b3～b0　ADNDIS[3:0]：ディス／プリチャージ期間	R/W
b7～b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- ADNDIS[4:0] ビット（A/D 断線検出アシスト設定ビット）

  A/D 断線検出アシスト機能のプリチャージ／ディスチャージの設定、プリチャージ／ディスチャージ期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ／ディスチャージ期間を設定します。

  ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。

  ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b, 0001b 以外では、設定した値が、プリチャージ／ディスチャージ期間のステート数となります。ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

30.2.14　A/D グループスキャン優先コントロールレジスタ（ADGSPCR）

ADGSPCR レジスタは、グループスキャンモードで低優先グループのスキャンを中断し、優先グループのスキャンを実行する優先制御を設定するレジスタです。
グループ優先動作の設定は、「30.3.4.3　グループ優先動作」を参照してください。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	LGRRS	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループ優先動作 設定ビット(注1)	0：グループ優先動作を行わない 1：グループ優先動作を行う	R/W
b1	GBRSCN	低優先グループ再起動 設定ビット	（PGS = 1 のときのみ有効。PGS = 0のときは予約ビット） 0：グループ優先動作で中断されたグループの再スキャンをしない 1：グループ優先動作で中断されたグループの再スキャンをする	R/W
b8～b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b13～b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b14	LGRRS	再開チャネル 選択ビット	（PGS = 1 かつ GBRSCN = 1 のときのみ有効。PGS = 0 または GBRSCN = 0 ときは予約ビット） 0：スキャン先頭チャネルから再スキャンを行う 1：A/D 変換が未終了チャネルから再スキャンを行う	R/W
b15	GBRP	シングルスキャン 連続起動設定ビット (注2)	（PGS = 1 のときのみ有効。PGS = 0 のときは予約ビット） 0：シングルスキャン連続動作しない 1：最も優先度の低いグループがシングルスキャン連続動作する	R/W

注1.　PGS ビットを“1”にするときは、ADCSR.ADCS[1:0] ビットを“01b”（グループスキャンモード）に設定してください。それ以外の設定をした場合、動作は保証されません。
注2.　GBRP ビットを"1"にした場合は、GBRSCN ビットの設定によらず、最も優先度の低いグループがシングルスキャン連続動作を実行します。

- PGS ビット（グループ優先動作設定ビット）

  グループスキャンモードでの優先動作を制御します。グループ優先動作を行うときは “1” を設定してください。PGS ビットを “1” に設定するときは、必ず ADCSR.ADCS[1:0] ビットを ”01b”(グループスキャンモード) に設定してください。それ以外の設定をした場合、動作は保証されません。
  グループ優先動作は、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。
  優先順位は、グループ A > グループ B > グループ C の順です。グループ C のスキャン中にグループ B のスキャン開始を受け付けると、グループ C のスキャンを中断し、グループ B のスキャンを開始します。
  また、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始します。同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けると、グループ B のスキャンを中断し、グループ A のスキャンを開始します。
  PGS ビットを “0” にする場合は、「30.5.2　A/D 変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGS ビットを “1” にする場合は、「30.3.4.3　グループ優先動作」の手順に従い設定を行ってください。

- GBRSCN ビット（低優先グループ再起動設定ビット）

  グループ優先動作時の、再スキャン動作を設定します。GBRSCN ビットの設定は、PGS ビットが “1” のときに有効となります。

GBRSCN ビットを “1” にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。
GBRSCN ビットを ”0” にした場合は、スキャン中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

- LGRRS ビット（再開チャネル選択ビット）
  グループ優先動作時の、再スキャン開始チャネルを設定します。LGRRS ビットの設定は、PGS ビットと GBRSCN ビットが “1” のときに有効となります。
  LGRRS ビットが ”0” のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後のスキャンを先頭チャネルから再実行します。
  LGRRS ビットが ”1” のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後のスキャンを A/D 変換未終了のチャネルから再実行（注）します。
  LGRRS ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

注 . 中断時に加算設定チャネルの A/D 変換が設定回数分終了していなければ、再実行時、加算設定チャネルは再度 A/D 変換を設定回数分実行します。

- GBRP ビット（シングルスキャン連続起動設定ビット）
  グループ優先動作設定で最も優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。GBRP ビットの設定は、PGS ビットが “1” のときに有効となります。
  最も優先度の低いグループとは、グループ A、B、C を使用する場合はグループ C、グループ A、B のみを使用する場合は、グループ B になります。
  GBRP ビットを “1” にすると、最も優先度の低いグループのシングルスキャンが起動します。スキャン終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。
  GBRP ビットを “ 1 ” にする場合は、事前に最も優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを “ 1 ” に設定した場合、GBRSCN ビットが “0” でも、最も優先度の低いグループのみ再スキャンを行います。
  GBRP ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

30.2.15　A/D コンペア機能コントロールレジスタ（ADCMPCR）

ADCMPCR レジスタは、コンペアウィンドウ A/B 機能の設定を行います。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPAIE	WCMPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b9	CMPBE	コンペアウィンドウB 動作許可ビット	0：コンペアウィンドウB停止 1：コンペアウィンドウB動作	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b11	CMPAE	コンペアウィンドウA 動作許可ビット	0：コンペアウィンドウA停止 1：コンペアウィンドウA動作	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b13	CMPBIE	コンペアB割り込み イネーブルビット	0：比較条件（ウィンドウB）一致によるS12ADCMPBI0割り込み禁止 1：比較条件（ウィンドウB）一致によるS12ADCMPBI0割り込み許可	R/W
b14	WCMPE	ウィンドウ機能設定 ビット	0：ウィンドウ機能無効 ウィンドウA/Bは下位側の1値とA/D変換結果を比較する コンパレータとして動作します。 1：ウィンドウ機能有効 ウィンドウA/Bは上位側、下位側の2値とA/D変換結果を比較する ウィンドウコンパレータとして動作します。	R/W
b15	CMPAIE	コンペアA割り込み イネーブルビット	0：比較条件（ウィンドウA）一致によるS12ADCMPAI0割り込み禁止 1：比較条件（ウィンドウA）一致によるS12ADCMPAI0割り込み許可	R/W

- CMPBE ビット（コンペアウィンドウ B 動作許可ビット）
  コンペアウィンドウ B の停止／動作を選択します。CMPBE ビットの設定は、ADCSR.ADST ビットが“0” のときに行ってください。以下のレジスタを設定する場合は、本ビットを "0" にしてください。
  ・A/D チャネル選択レジスタ A0/B0（ADANSA0、ADANSB0）
  ・ウィンドウ B チャネル選択レジスタの CMPCHB[5:0]（ADCMPBNSR.CMPCHB[5:0]）

- CMPAE ビット（コンペアウィンドウ A 動作許可ビット）
  コンペアウィンドウ A の停止／動作を選択します。CMPAE ビットの設定は、ADCSR.ADST ビットが“0” のときに行ってください。以下のレジスタを設定する場合は、本ビットを "0" にしてください。
  ・A/D チャネル選択レジスタ A0/B0（ADANSA0、ADANSB0）
  ・ウィンドウ A チャネル選択レジスタ 0（ADCMPANSR0）

- CMPBIE ビット（コンペア B 割り込みイネーブルビット）
  比較条件（ウィンドウ B）一致による割り込み出力 S12ADCMPBI0 の出力禁止／許可を選択します。

- WCMPE ビット（ウィンドウ機能設定ビット）
  ウィンドウ機能の有効／無効を選択します。WCMPE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

- CMPAIE ビット（コンペア A 割り込みイネーブルビット）
  比較条件（ウィンドウ A）一致による割り込み出力 S12ADCMPAI0 の出力禁止／許可を選択します。

30.2.16　A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0（ADCMPANSR0）

ADCMPANSR0 レジスタは、コンペアウィンドウ A の条件で比較を行うチャネルのアナログ入力 AN000 ～ AN007 を選択するレジスタです。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPCHA0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	CMPCHA0[7:0]	コンペアウィンドウA チャネル選択ビット	0：AN000～AN007 をコンペアウィンドウA 対象から外す 1：AN000～AN007 をコンペアウィンドウA 対象とする	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- CMPCHA0[7:0] ビット（コンペアチャネル選択ビット）

  ADANSA0.ANSA0[n] ビット、ADANSB0.ANSB0[n] ビットと ADANSC0.ANSC0[n] ビット（n ＝ 0 ～ 7）で選択した A/D 変換チャネルと同一番号の CMPCHA0[n] ビットを “1” にすると、コンペア機能が有効になります。

  CMPCHA0[7:0] ビットは、ADCSR.ADST ビットが ”0” のときに設定してください。

30.2.17　A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0（ADCMPLR0）

ADCMPLR0 レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。

ADCMPLR0 レジスタの設定は、ADCSR.ADST ビットが ”0” のときに設定してください。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPLCHA0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	CMPLCHA0 [7:0]	コンペアウィンドウA コンペア条件選択ビット	ウィンドウA 比較条件の対象としたCH（AN000～AN007）の比較条件を設定します。コンペア条件を表30.11 に図示します。 ウィンドウ機能無効時（ADCMPCR.WCMPE ビットが“0”） 0：ADCMPDR0 レジスタ値＞A/D 変換値 1：ADCMPDR0 レジスタ値＜A/D 変換値 ウィンドウ機能有効時（ADCMPCR.WCMPE ビットが“1”） 0：AD 変換値＜ADCMPDR0 レジスタ値 　または 　ADCMPDR1 レジスタ値＜AD 変換値 1：ADCMPDR0 レジスタ値＜A/D 変換値＜ADCMPDR1 レジスタ値	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- CMPLCHA0[7:0] ビット（コンペア条件選択ビット）

  ウィンドウ A 比較条件の対象とした CH（AN000 ～ AN007）の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA0[0] が AN000、CMPLCHA0[7] が AN007 に対応します。

  各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPSR0.CMPSTCHA0n ビットが ”1” にセットされ、コンペア割り込み（S12ADCMPAI0）を発生します。

表30.11　コンペア機能ウィンドウA　コンペア条件説明

ウィンドウ機能無効時のコンペア条件

CMPLCHA0[*]=1’b0

ADCMPDR0 レジスタ値≦A/D 変換値	不一致
ADCMPDR0 レジスタ値＞A/D 変換値	一致

CMPLCHA0[*]=1’b1

ADCMPDR0 レジスタ値<A/D 変換値	一致
ADCMPDR0 レジスタ値≧A/D 変換値	不一致

ウィンドウ機能有効時のコンペア条件

CMPLCHA0[*]=1’b0

ADCMPDR1 レジスタ値<A/D 変換値	一致
ADCMPDR0 レジスタ値≦A/D 変換値≦ADCMPDR 1 レジスタ値	不一致
A/D 変換値＜ADCMPDR0 レジスタ値	一致

CMPLCHA0[*]=1’b1

ADCMPDR1 レジスタ値≦A/D 変換値	不一致
ADCMPDR0 レジスタ値＜A/D 変換値＜ADCMPDR1 レジスタ値	一致
A/D 変換値≦ADCMPDR0 レジスタ値	不一致

30.2.18　A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ（ADCMPDR0）、A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ（ADCMPDR1）、A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ（ADWINLLB）、A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ（ADWINULB）

ADCMPDR0 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR0 は、ウィンドウ A の下位側基準値（CMPLLA[15:0]）を、ADCMPDR1 は、ウィンドウ A の上位側基準値（CMPULA[15:0]）を設定します。

ADWINULB/ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINLLB はウィンドウ B の下位側基準値（CMPLLB[15:0]）を、ADWINULB はウィンドウ B の上位側基準値（CMPULB[15:0]) を設定します。

- ADCMPDRy/ADWINULB/ADWINLLB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミック（注 1）に基準値を変更することができます。
- 上位側基準値≧下位側基準値（CMPULA ≧ CMPLLA、CMPULB ≧ CMPLLB）となるように設定してください。
- ADCMPDR1/ADWINULB レジスタはウィンドウ機能無効時には使用しません。

注 1.　上位側と下位側の基準値は、レジスタ書き込みでそれぞれ変更されます。例えば上位側基準値の書き換えから下位側基準値の書き換えの間は、下図のように上位側基準値（書き換え後）と下位側基準値（書き換え前）で比較を行います。

2 つの基準値を書き換える間に比較する事が問題となる場合は、ADCSR.ADST ビットが “0” かつ対象ウィンドウの動作許可ビット（ADCMPCR.CMPAE、ADCMPCR.CMPBE）が “0” のときに基準値の書き換えを行ってください。

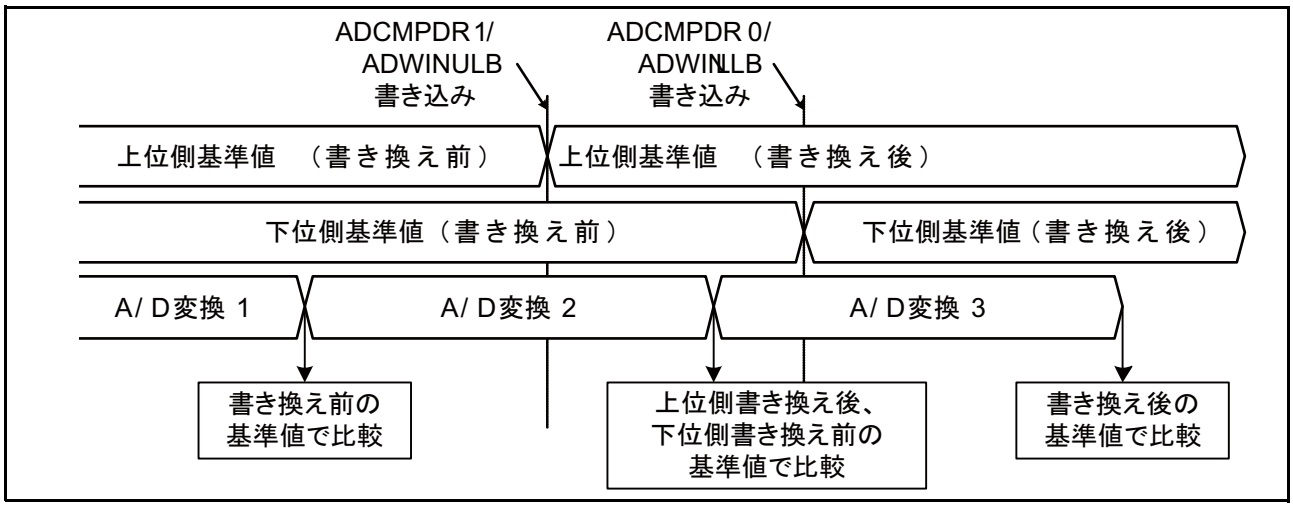


図 30.2　　基準値が反映されるタイミング

ADCMPDRy/ADWINULB/ADWINLLB レジスタは、30.2.1 の A/D データレジスタフォーマットと同じ設定となるよう、以下の設定に留意してください(注 2)。

各条件とデータフォーマットの対応は、30.2.1 の**表 30.5** を参照してください。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換精度指定ビットの設定値（12 ビット、10 ビット、8 ビット）
- A/D 変換値加算／平均モード選択レジスタの設定値（A/D 変換値平均モード選択、または非選択）

注 2. A/D データレジスタフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

なお、本レジスタフォーマットについては、**「30.2.23 データフォーマット」**(1) ～ (9) を参照してください。

その際、

- ADCMPDR0 の場合、ビットシンボル DATA[*:0] を CMPLLA[*:0] に読替えてください。
  機能は n ビットコンペアレベル（ウィンドウ A 下位側基準値）としてください（n = 8, 10, 12, 14, 16）。
  CMPLLA[*:0] の R/W 属性は R/W です。
- ADCMPDR1 の場合、ビットシンボル DATA[*:0] を CMPULA[*:0] に読替えてください。
  機能は n ビットコンペアレベル（ウィンドウ A 上位側基準値）としてください（n = 8, 10, 12, 14, 16）。
  CMPULA[*:0] の R/W 属性は R/W です。
- ADWINLLB の場合、ビットシンボル DATA[*:0] を CMPLLB[*:0] に読替えてください。
  機能は n ビットコンペアレベル（ウィンドウ B 下位側基準値）としてください（n = 8, 10, 12, 14, 16）。
  CMPLLB [*:0] の R/W 属性は R/W です。
- ADWINULB の場合、ビットシンボル DATA[*:0] を CMPULB[*:0] に読替えてください。
  機能は n ビットコンペアレベル（ウィンドウ B 上位側基準値）としてください（n = 8, 10, 12, 14, 16）。
  CMPULB [*:0] の R/W 属性は R/W です。

30.2.19　A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0（ADCMPSR0）

ADCMPSR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPSTCHA0[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	CMPSTCHA0[7:0]	コンペアウィンドウA フラグ	ウィンドウA 動作状態(ADCMPCR.CMPAE=1b)のとき、ウィンドウA 比較条件の対象としたCH（AN000～AN007）の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- CMPSTCHA0[7:0] ビット（コンペアウィンドウ A フラグ）

  ウィンドウ A 比較条件の対象とした CH（AN000 ～ AN007）の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPLR0.CMPLCHAn に設定された比較条件と一致した場合、”1” にセットされます。ADCMPCR.CMPAIE ビットが ”1” のとき、フラグがセットされるタイミングでコンペア割り込み（S12ADCMPAI0）要求を発生します。CMPSTCHA0[0] が AN000、CMPSTCHA0[7] が AN007 に対応します。

  CMPSTCHA0n ビットに ”1” を書き込むことは出来ません。

■ “1” になる条件

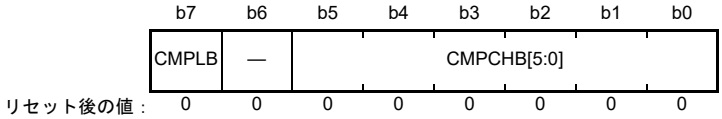
・ADCMPCR.CMPAE=1b の条件で、ADCMPLR0.CMPLCHAn に設定した条件が成立したとき

■ “0” になる条件

・”1” の状態を読んだ後、”0” を書き込んだとき

30.2.20　A/D コンペア機能ウィンドウ B チャネル選択レジスタ（ADCMPBNSR）

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。



ビット	シンボル	ビット名	機能	R/W
b5～b0	CMPCHB [5:0]	コンペアウィンドウB チャネル選択ビット	コンペアウィンドウBの条件で比較を行うチャネルを選択します 6'b000000：AN000 6'b000001：AN001 6'b000010：AN002 ～ 6'b111111：非選択 注.　6'b001000～6'b111110の設定は禁止。	R/W
b6	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”にしてください	R0
b7	CMPLB	コンペアウィンドウB コンペア条件設定ビット	ウィンドウB対象としたチャネルの比較条件を設定します。 表30.12に図示します。 ウィンドウ機能無効時（ADCMPCR.WCMPEビットが“0”） 0：CMPLLBレジスタ値＞A/D変換値 1：CMPLLBレジスタ値＜A/D変換値 ウィンドウ機能有効時（ADCMPCR.WCMPEビットが“1”） 0：A/D変換値＜CMPLLBのレジスタ値 　または 　CMPULBのレジスタ値＜A/D変換値 1：CMPLLBのレジスタ値＜A/D変換値＜CMPULBのレジスタ値	R/W

- CMPCHB[5:0] ビット（コンペアウィンドウ B チャネル選択ビット）
  コンペアウィンドウ B の条件で比較を行うチャネルを AN000 ～ AN007 から選択するビットです。ADANSA0.ANSA0[n] ビット（n ＝ 0 ～ 7）と ADANSB0.ANSB0[n] ビット（n ＝ 0 ～ 7）で選択した A/D 変換チャネルの番号（16 進）を指定すると、コンペアウィンドウ B 機能が有効になります。CMPCHB[5:0] ビットは、ADCSR.ADST ビットが ”0” のときに設定してください。

- CMPLB ビット（コンペアウィンドウ B コンペア条件設定ビット）
  ウィンドウ B 対象としたチャネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR0.CMPSTB ビットが ”1” にセットされ、コンペア割り込み（S12ADCMPBI0）を発生します。

表 30.12　コンペア機能ウィンドウ B　コンペア条件説明

ウィンドウ機能無効時のコンペア条件

CMPLB=1’b0

ADWINLLB レジスタ値≦A/D 変換値	不一致
ADWINLLB レジスタ値	一致

CMPLB=1’b1

ADWINLLB レジスタ値<A/D 変換値	一致
ADWINLLB レジスタ値≧A/D 変換値	不一致

ウィンドウ機能有効時のコンペア条件

CMPLB=1’b0

AD 変換値＞ADWINULB レジスタ値	一致
ADWINLLB レジスタ値≦AD 変換値≦ADWINULB レジスタ値	不一致
AD 変換値＜ADWINLLB レジスタ値	一致

CMPLB=1’b1

AD 変換値≧ADWINULB レジスタ値	不一致
ADWINLLB レジスタ値＜A/D 変換値＜ADWINULB レジスタ値	一致
AD 変換値≦ADWINLLB レジスタ値	不一致

30.2.21　A/D コンペア機能ウィンドウ B ステータスレジスタ（ADCMPBSR）

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPSTB
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	ウィンドウB動作状態(ADCMPCR.CMPBE=1b)のとき、 ウィンドウB比較条件の対象としたCH（AN000～AN007） の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b7～b1	－	予約ビット	読むと”0”が読めます。書く場合、”0”としてください	R0

- CMPSTB ビット（コンペアウィンドウ B フラグ）
  ウィンドウ B 比較条件の対象とした CH（AN000 ～ A007）の比較結果を示すステータスフラグです。
  A/D 変換終了時に ADCMPBNSR.CMPLB に設定された比較条件と一致した場合、”1” にセットされます。ADCMPCR.CMPBIE ビットが ”1” のとき、フラグがセットされるタイミングでコンペア割り込み（S12ADCMPBI0）要求を発生します。
  CMPSTB ビットに ”1” を書き込むことは出来ません。

■ “1” になる条件

・ADCMPCR.CMPBE=1b の条件で、ADCMPBNSR.CMPLB に設定した条件が成立したとき

■ “0” になる条件

・”1” の状態を読んだ後、”0” を書き込んだとき

30.2.22　A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ（ADWINMON）

ADWINMON レジスタは比較結果と組みあわせ結果をモニタできます。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MONCMPB	MONCMPA	—	—	—	MONCOMB
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7、b6	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”にしてください。	R0
b5	MONCMPB	比較結果モニタ B	0：ウィンドウ B 比較条件不成立 1：ウィンドウ B 比較条件成立	R
b4	MONCMPA	比較結果モニタ A	0：ウィンドウ A 比較条件不成立 1：ウィンドウ A 比較条件成立	R
b3～b1	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”にしてください。	R0
b0	MONCOMB	組み合わせ結果モニタ	組み合わせの結果を示します。 本ビットはウィンドウ A/B 共に動作状態のときに有効です。 0：ウィンドウ A/B の複合条件不成立 1：ウィンドウ A/B の複合条件成立	R

- MONCMPB ビット（比較結果モニタビット B）

  ADCMPBNSR.CMPLB ビットで設定した条件にウィンドウ B 対象チャネルの A/D 変換値が一致した場合は 1 を、一致しなかった場合は 0 を示す読み出し専用のビットです。

  ■ “1” になる条件

  ・ADCMPCR.CMPBE = 1b の条件で、ADCMPBNSR.CMPLB に設定した条件が成立したとき

  ■ “0” になる条件

  ・ADCMPCR.CMPBE = 1b の条件で、ADCMPBNSR.CMPLB 設定した条件が不成立のとき

  ・ADCMPCR.CMPBE = 0b のとき（ADCMPCR.CMPBE = 1b → 0b で自動クリア）

- MONCMPA ビット（比較結果モニタビット A）

  ADCMPLR0、ADCMPLER で設定した条件にウィンドウ A 対象チャネルの A/D 変換値が一致した場合は 1 を、一致しなかった場合は 0 を示す読み出し専用のビットです。

  ■ “1” になる条件

  ・ADCMPCR.CMPAE = 1b の条件で、ADCMPLR0.CMPLCHAn に設定した条件が成立したとき

  ■ “0” になる条件

  ・ADCMPCR.CMPAE = 1b の条件で、ADCMPLR0.CMPLCHAn に設定した条件が不成立のとき

  ・ADCMPCR.CMPAE = 0b のとき（ADCMPCR.CMPAE = 1b → 0b で自動クリア）

- MONCOMB ビット（組み合わせ結果モニタビット）

  ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件で比較条件結果 A と比較結果条件 B を組み合わせた結果を示す読み出し専用のビットです。

  ■ “1” になる条件

  ・ADCMPCR.CMPAE = 1 かつ ADCMPCR.CMPBE = 1 の条件で、ADCMPCR.CMPAB[1:0] ビットで設定した 組み合わせ条件に一致

  ■ “0” になる条件

  ・ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致しない。

  ・ADCMPCR.CMPAE = 0 または ADCMPCR.CMPBE = 0 のとき。

30.2.23　データフォーマット

本モジュール内で用いるデータフォーマットを以下に示します。

- データフォーマット　(1)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	DATA[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	DATA[7:0]	A/D 変換値／コンペアレベル	8 ビット A/D 変換値	R
			8 ビットコンペアレベル	R/W
b15～b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- データフォーマット　(2)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DATA[7:0]								—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b15～b8	DATA[7:0]	A/D 変換値／コンペアレベル	8 ビット A/D 変換値	R
			8 ビットコンペアレベル	R/W

- データフォーマット　(3)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DATA[9:0]									
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9～b0	DATA[9:0]	A/D 変換値／コンペアレベル	10 ビット A/D 変換値	R
			10 ビットコンペアレベル	R/W
b15～b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- データフォーマット　(4)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DATA[9:0]										—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5～b0	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b15～b6	DATA[9:0]	A/D 変換値／コンペアレベル	10 ビット A/D 変換値	R
			10 ビットコンペアレベル	R/W

- データフォーマット　(5)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DATA[11:0]											
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11～b0	DATA[11:0]	A/D 変換値／コンペアレベル	12 ビット A/D 変換値	R
			12 ビットコンペアレベル	R/W
b15～b12	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- データフォーマット　(6)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DATA[11:0]												—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3～b0	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b15～b4	DATA[11:0]	A/D 変換値／コンペアレベル	12 ビット A/D 変換値	R
			12 ビットコンペアレベル	R/W

- データフォーマット　(7)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DATA[13:0]													
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13～b0	DATA[13:0]	A/D 変換値／コンペアレベル	14 ビット A/D 変換値	R
			14 ビットコンペアレベル	R/W
b15、b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0

- データフォーマット　(8)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DATA[13:0]														—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1、b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R0
b15～b2	DATA[13:0]	A/D 変換値／コンペアレベル	14 ビット A/D 変換値	R
			14 ビットコンペアレベル	R/W

- データフォーマット　(9)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DATA[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	DATA[15:0]	A/D 変換値／コンペアレベル	16 ビット A/D 変換値	R
			16 ビットコンペアレベル	R/W

30.3　動作説明

30.3.1　スキャンの動作説明

スキャンとは、選択したチャネルのアナログ入力を順次 A/D 変換する動作です。

スキャンの動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの 3 種類の動作モードがあります。

シングルスキャンモードは、指定した 1 チャネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを ”0”（”1” の状態から ”0”）にクリアするまで無制限に繰り返し実行するモードです。グループスキャンモードは、グループ A とグループ B とグループ C のスキャンをそれぞれ選択した同期トリガで開始し、それぞれのグループで選択したチャネルのスキャンをそれぞれ 1 回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA0 レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB0 レジスタで選択した ANn の n が小さい番号順から、グループ C が ADANSC0 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に 1 回実施され、A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可する（ADCSR.DBLE=1 に設定する）と、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] で選択した 1 チャネルの A/D 変換データを 2 重化します。グループスキャンモードではグループ A のみダブルトリガ機能が使用できます。

ダブルトリガ拡張モードは、ダブルトリガモードかつ A/D 変換開始トリガを ADSTRGR.TRSA[5:0] で以下の同期トリガ（2 種類の同期トリガ要因許可）に選択した状態を示します。

- TRG4AN または TRG4BN（ADSTRGR.TRSA[5:0] に “001011” を設定）
- TRG7AN または TRG7BN（ADSTRGR.TRSA[5:0] に “001111” を設定）
- ADTRGA0 または ADTRGB0（ADSTRGR.TRSA[5:0] に “011001” を設定）
- ADTRGA1 または ADTRGB1（ADSTRGR.TRSA[5:0] に “011010” を設定）
- ADTRGA2 または ADTRGB2（ADSTRGR.TRSA[5:0] に “011011” を設定）
- ADTRGA3 または ADTRGB3（ADSTRGR.TRSA[5:0] に “011100” を設定）

ダブルトリガ拡張モードでは、通常のダブルトリガモードの動作に加え、TRGnAN（n = 4, 7）、ADTRGAm（m = 0 ～ 3）で起動した A/D 変換データを A/D データ 2 重化レジスタ A（ADDBLDRA）に、TRGnBN（n = 4, 7）、ADTRGBm（m = 0 ～ 3）で起動した A/D 変換データを A/D データ 2 重化レジスタ B（ADDBLDRB）に格納します。

2 種類のトリガ要因が同時に発生した場合は、トリガ要因による振り分けは実施せず、A/D 変換データは、データ 2 重化レジスタ B（ADDBLDRB）に格納されます。なお、一方のトリガで A/D 変換を実施中に、他方のトリガが入力された場合、他方のトリガは無視されます。

30.3.2　シングルスキャンモード

30.3.2.1　基本動作

シングルスキャンモードの基本動作は、指定されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

① ソフトウェア、同期トリガ（MTU、GPT）または非同期トリガ入力によって、ADCSR.ADST ビット “1”（A/D 変換開始）になると、ADANSA0 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。

② 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。

③ 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。

④ ADCSR.ADST ビットは A/D 変換中は “1”（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

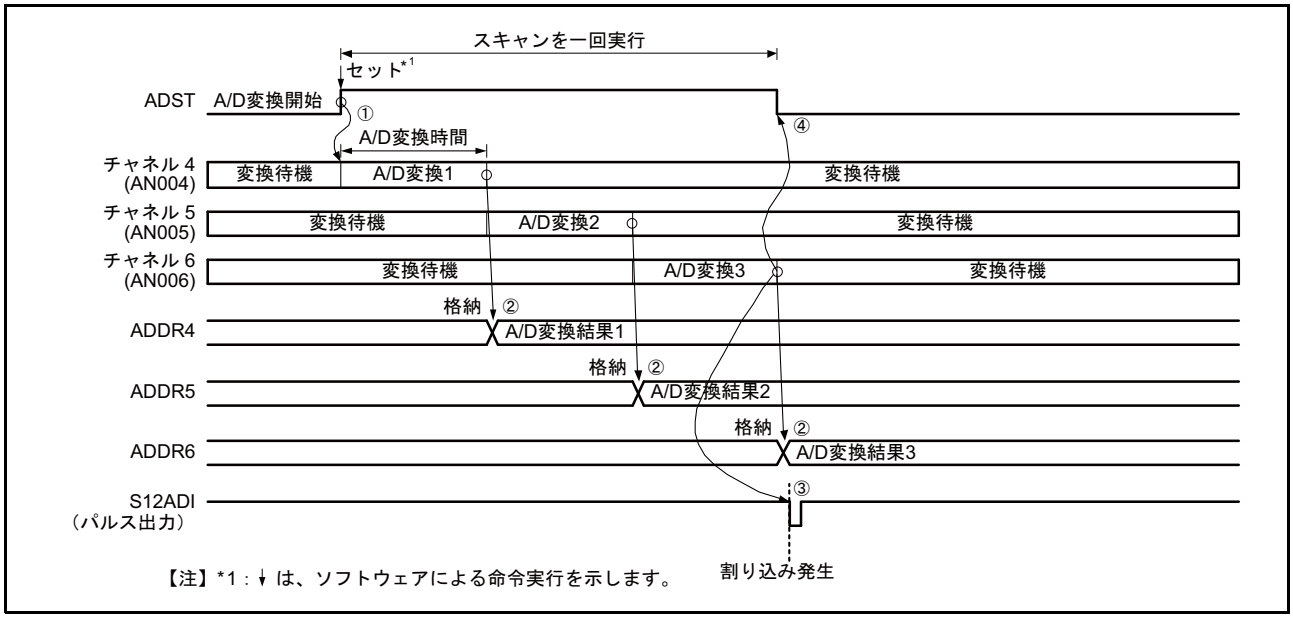


図 30.3　シングルスキャンモードの動作例（基本動作：AN004, AN005, AN006 選択）

30.3.2.2　チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように A/D コンバータに供給される基準電圧 AVcc の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

① ソフトウェア、同期トリガ（MTU、GPT）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。

② 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納され、次に ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。

③ チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）へ格納されます。

④ 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていれば、S12ADI0 割り込み要求を発生します。

⑤ ADCSR.ADST ビットは A/D 変換中は “1”（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

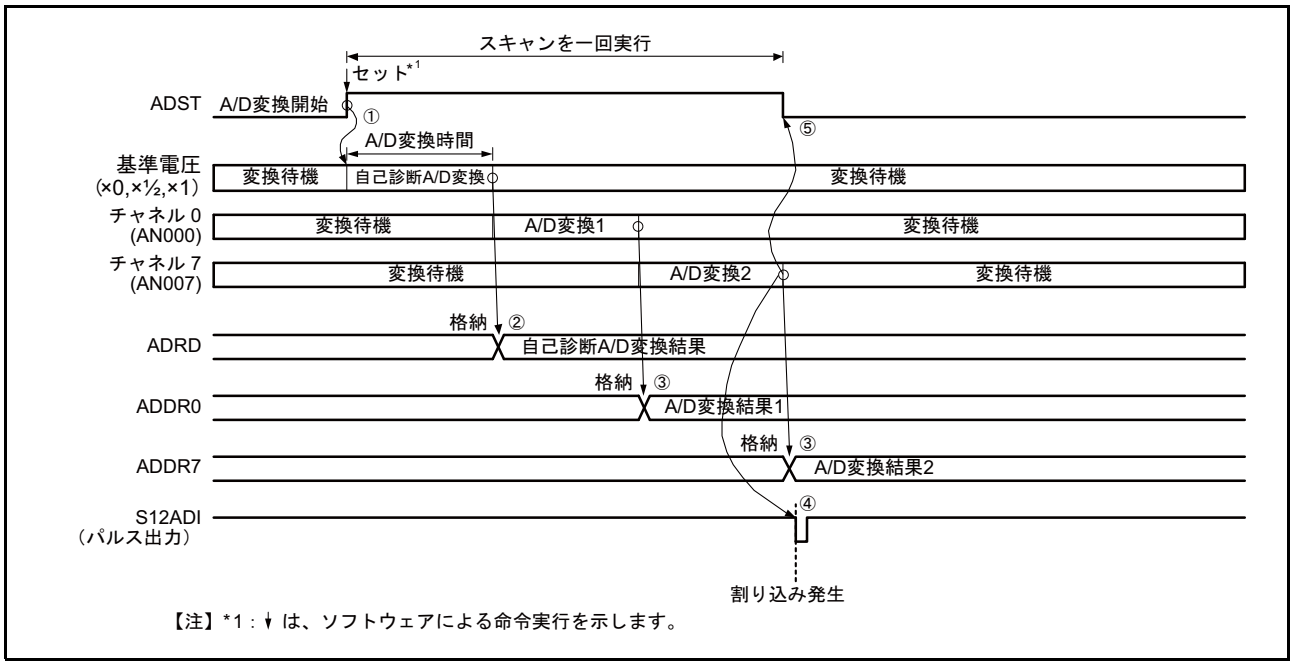


図 30.4　シングルスキャンモードの動作例（基本動作：AN000, AN007 選択＋自己診断）

30.3.2.3　ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガ（MTU、GPT）で開始するシングルスキャンモードを 2 回行います。自己診断は非選択としてください。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE を “1” にすると有効となります。ADCSR.DBLE を “1” にした場合は ADANSA0 レジスタのチャネル選択は無効になります。また、ダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] で、同期トリガ（MTU、GPT）を選択し、ADCSR.EXTRG ビットを “0” に、ADCSR.TRGE ビットを “1” に設定してください。また、ソフトウェアトリガは使用しないでください。

① 同期トリガ（MTU、GPT）入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
② A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）へ格納されます。
③ ADCSR.ADST は自動的にクリアされ、A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット（スキャン終了による S12ADI0 割り込み許可）の設定に関わらず、S12ADI0 割り込みは発生しません。
④ 2 回目の同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
⑤ A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ 2 重化レジスタ（ADDBLDR）に格納されます。
⑥ ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。
⑦ ADCSR.ADST ビットは A/D 変換中は “1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

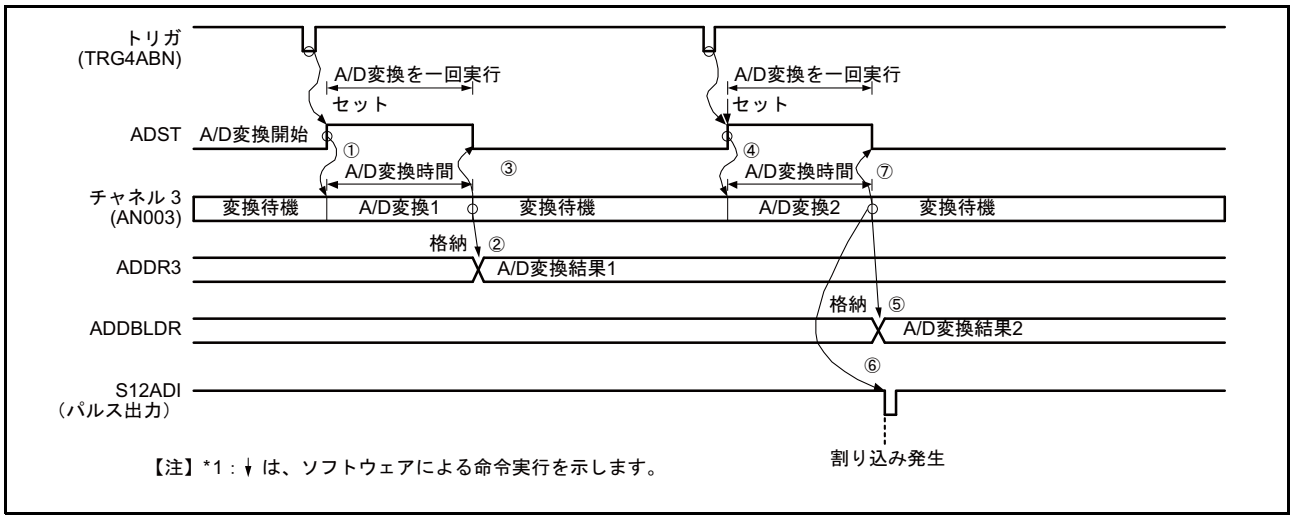


図 30.5　シングルスキャンモードの動作例（AN003 を 2 重化選択、TRG4ABN のダブルトリガモード動作）

30.3.2.4　ダブルトリガ拡張モードの動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のようにシングルスキャンを 2 回行います。

ダブルトリガ拡張モードを選択する場合は、ADSTRGR.TRSA[5:0] で、「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「ADTRGA0 または ADTRGB0」、「ADTRGA1 または ADTRGB1」、「ADTRGA2 または ADTRGB2」、「ADTRGA3 または ADTRGB3」を選択し、ADCSR.EXTRG ビットを “0” に、ADCSR.TRGE ビットを “1” に設定してください。また、ソフトウェアトリガは使用しないでください。

自己診断は非選択としてください。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE を “1” にすると有効となります。ADCSR.DBLE を “1” にした場合は ADANSA0 レジスタのチャネル選択は無効になります。

① TRG4AN 入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
② A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）と A/D データ 2 重化レジスタ A（ADDBLDRA）へ格納されます。
③ ADCSR.ADST は自動的にクリアされ、A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット（スキャン終了による S12ADI0 割り込み許可）の設定に関わらず、S12ADI0 割り込みは発生しません。
④ TRG4BN 入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
⑤ A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ（ADDBLDR）と A/D データ 2 重化レジスタ B（ADDBLDRB）に格納されます。
⑥ ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求（パルス出力）を発生します。
⑦ ADCSR.ADST ビットは A/D 変換中は “1”（A/D 変換開始）を保持し、A/D 変換が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

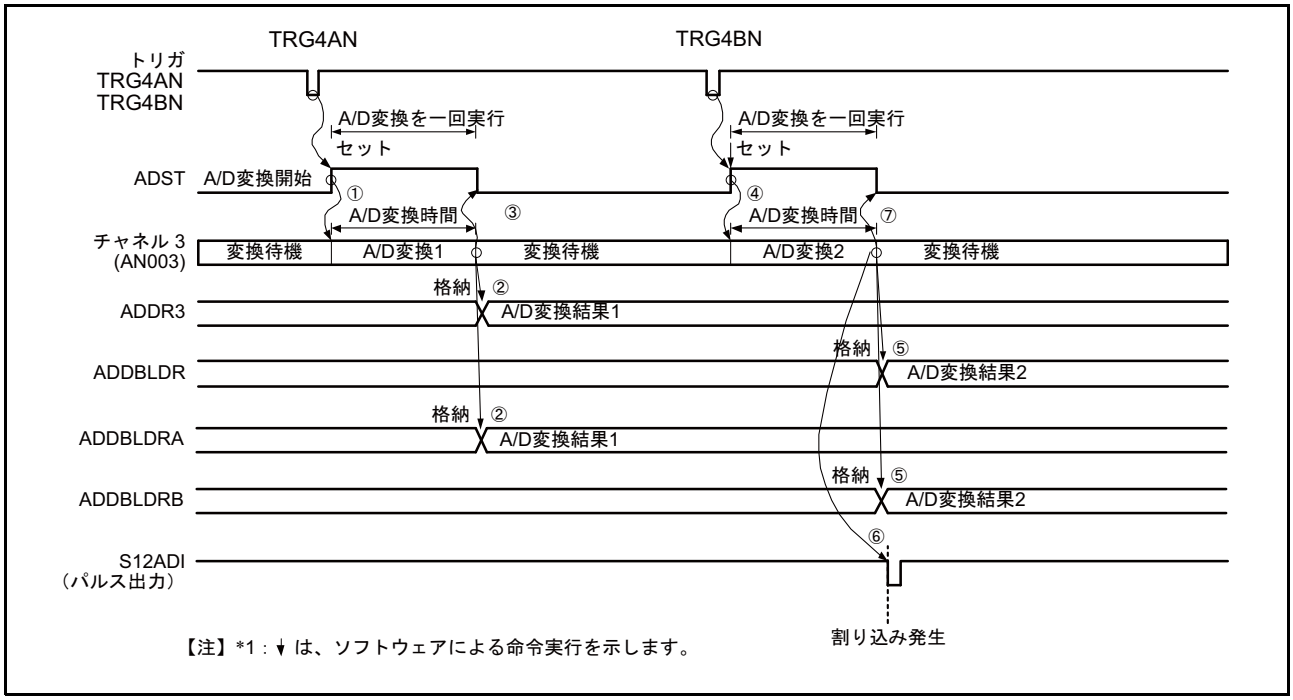


図 30.6　シングルスキャンモードの動作例
（AN003 を 2 重化選択、「TRG4AN または TRG4BN」でのダブルトリガ拡張モード動作）

30.3.3　連続スキャンモード

30.3.3.1　基本動作

連続スキャンモードの基本動作は、選択されたチャネルのアナログ入力を以下のように繰り返し A/D 変換します。

① ソフトウェア、同期トリガ（MTU、GPT）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSA0 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。

② 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）へ格納されます。

③ 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。また、A/D コンバータは、継続して ADANSA0 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。

④ ADCSR.ADST ビットは自動的にクリアされず、“1”（A/D 変換開始）の間は②～③を繰り返します。ADCSR.ADST ビットを “0”（A/D 変換停止）に設定すると A/D 変換を中止し、A/D コンバータは待機状態になります。

⑤ その後、ADCSR.ADST ビットが “1”（A/D 変換開始）になると、再び ADANSA0 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。

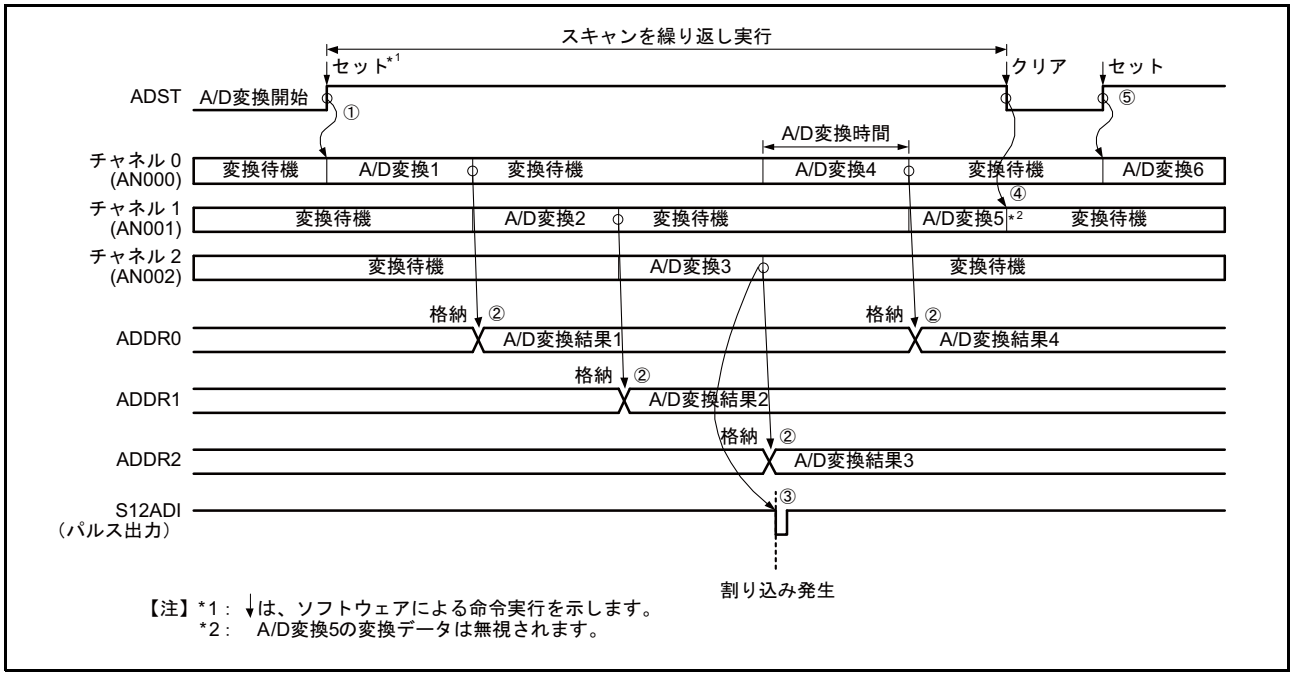


図 30.7　連続スキャンモードの動作例（基本動作：AN000, AN001, AN002 選択）

30.3.3.2　チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように A/D コンバータに供給される基準電圧 AVcc の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換する動作を繰り返し行います。

① ソフトウェア、同期トリガ（MTU、GPT）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。

② 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納され、次に ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。

③ チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）へ格納されます。

④ 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていれば、S12ADI0 割り込み要求を発生します。また、A/D コンバータは継続して自己診断での A/D 変換を開始し、終了後に ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。

⑤ ADCSR.ADST ビットは自動的にクリアされず、“1” にセットされている間は②～④を繰り返します。ADCSR.ADST ビットを “0”（A/D 変換停止）に設定すると A/D 変換を中止し、A/D コンバータは待機状態になります。

⑥ その後、ADCSR.ADST ビットが “1”（A/D 変換開始）になると、再び自己診断での A/D 変換から開始します。

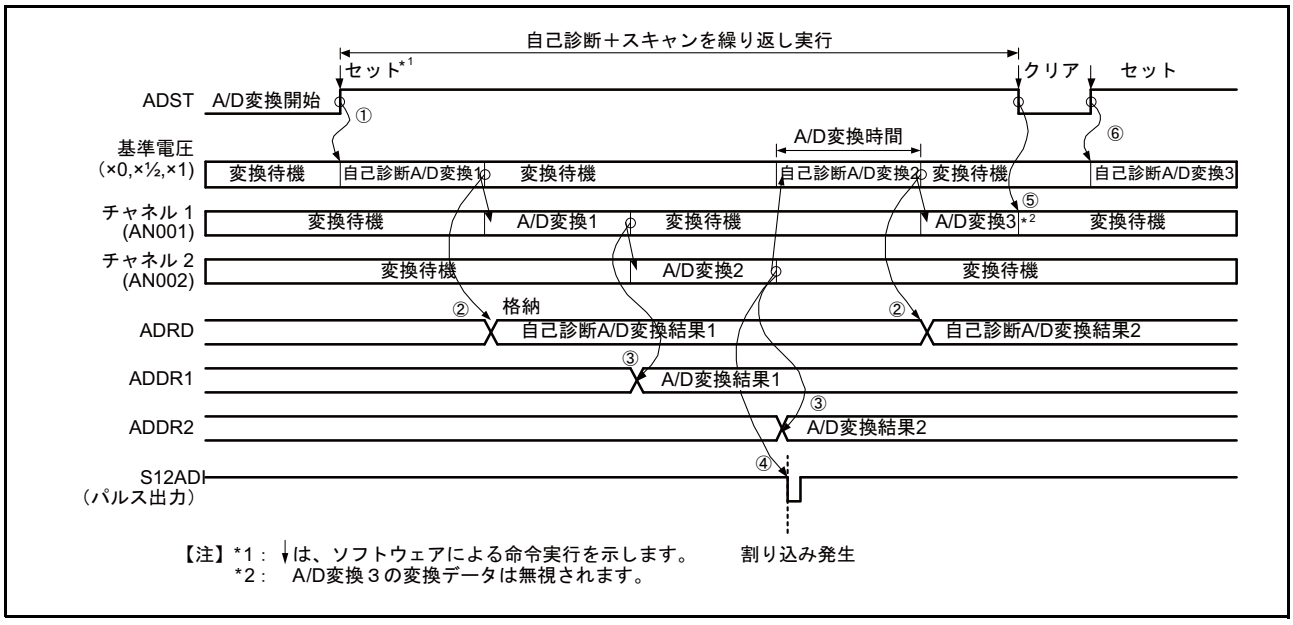


図 30.8　連続スキャンモードの動作例（基本動作：AN001, AN002 選択 + 自己診断）

30.3.4 グループスキャンモード

30.3.4.1 基本動作（グループスキャンモード）

グループスキャンモードで使用するグループの数は 2 つ (グループ A、B) と 3 つ（グループ A、B、C）のどちらか一方を選択することができます。グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A、B またはグループ A、B、C のそれぞれで選択したすべてのチャネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A、B、C のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A、B、C のスキャンが同時に起こらないように、グループ A、B、C のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

スキャン対象とするチャネルは、ADANSA0 レジスタでグループ A のチャネルを選択し、ADANSB0 レジスタでグループ B のチャネルを選択し、ADANSC0 レジスタでグループ C のチャネルを選択します。

グループスキャンモードで自己診断を選択した場合は、グループ A、B またはグループ A、B、C それぞれのスキャンで自己診断を実行します。

以下に MTU からの同期トリガによるグループスキャンモードの動作例を示します。

グループ A は MTU からの TRG4AN トリガで変換開始し、グループ B は MTU からの TRG4BN トリガで変換開始し、グループ C は MTU からの TRG4ABN トリガで変換開始する設定です。

① MTU からの TRG4AN トリガでグループ A のスキャンを開始します。
② グループ A のスキャン終了時に ADCSR.ADIE ビットが “1”（S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込みを出力します。
③ MTU からの TRG4BN トリガでグループ B のスキャンを開始します。
④ グループ B のスキャン終了時に ADCSR.GBADIE ビットが “1”（S12GBADI0 割り込み許可）に設定されていると、S12GBADI0 割り込みを出力します。
⑤ MTU からの TRG4ABN トリガでグループ C のスキャンを開始します。
⑥ グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが “1”（S12GCADI0 割り込み許可）に設定されていると、S12GCADI0 割り込みを出力します。

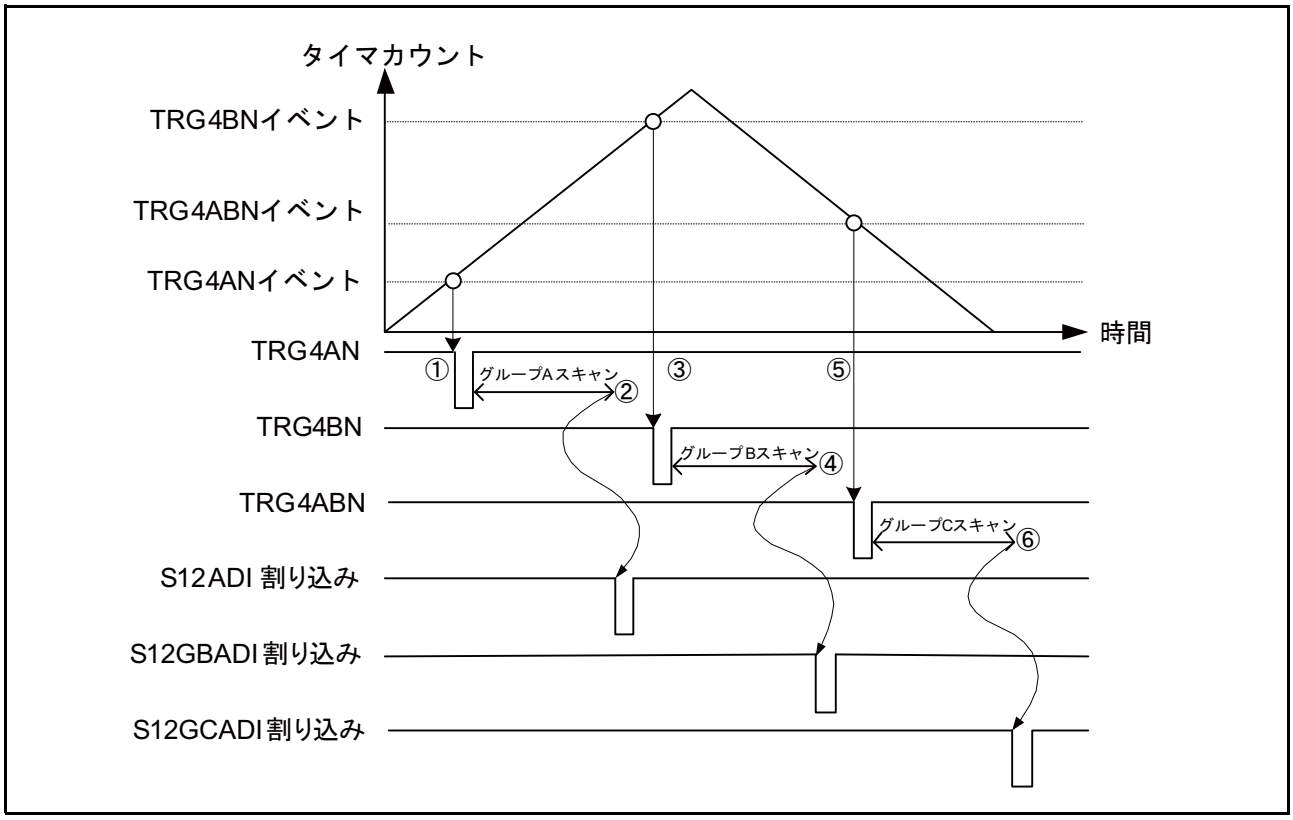


図 30.9 グループスキャンモードの動作（MTU からの同期トリガ発生による基本動作）

30.3.4.2　ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガ（MTU、GPT）で開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B とグループ C は同期トリガ（MTU、GPT）で開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A、B、C のスキャンが同時に起こらないように、グループ A、B、C のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、非同期トリガ (ADTRG#) は使用しないでください。

ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガに「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「ADTRGA0 または ADTRGB0」、「ADTRGA1 または ADTRGB1」、「ADTRGA2 または ADTRGB2」、「ADTRGA3 または ADTRGB3」を選択した場合は、ダブルトリガ拡張モードで動作します。

スキャン対象とするチャネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャネルを選択し、ADANSB0 レジスタでグループ B のチャネルを選択し、ADANSC0 レジスタでグループ C のチャネルを選択します。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを “1” にすると有効となります。

以下に MTU からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRGA0N トリガで変換開始し、グループ C は MTU からの TRGA1N トリガで変換開始する設定です。

① MTU からの TRGA1N トリガでグループ C のスキャンを開始します。
② グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが “1”（S12GCADI0 割り込み許可）に設定されていると、S12GCADI0 割り込みを出力します。
③ MTU からの TRGA0N トリガでグループ B のスキャンを開始します。
④ グループ B のスキャン終了時に ADCSR.GBADIE ビットが “1”（S12GBADI0 割り込み許可）に設定されていると、S12GBADI0 割り込みを出力します。
⑤ MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
⑥ グループ A の 1 回目のスキャン終了時は、変換データを ADDRy に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI0 割り込み要求は発生しません。
⑦ MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
⑧ グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが “1”（S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込みを出力します。
⑨ MTU からの 2 回目の TRGA0N トリガでグループ B の 2 回目のスキャンを開始します。
⑩ グループ B の 2 回目のスキャン終了時は、ADCSR.GBADIE ビットが “1”（S12GBADI0 割り込み許可）に設定されていると、S12GBADI0 割り込みを出力します。
⑪ MTU からの 2 回目の TRGA1N トリガでグループ C の 2 回目のスキャンを開始します。
⑫ グループ C の 2 回目のスキャン終了時は、ADGCTRGR.GCADIE ビットが “1”（S12GCADI0 割り込み許可）に設定されていると、S12GCADI0 割り込みを出力します。

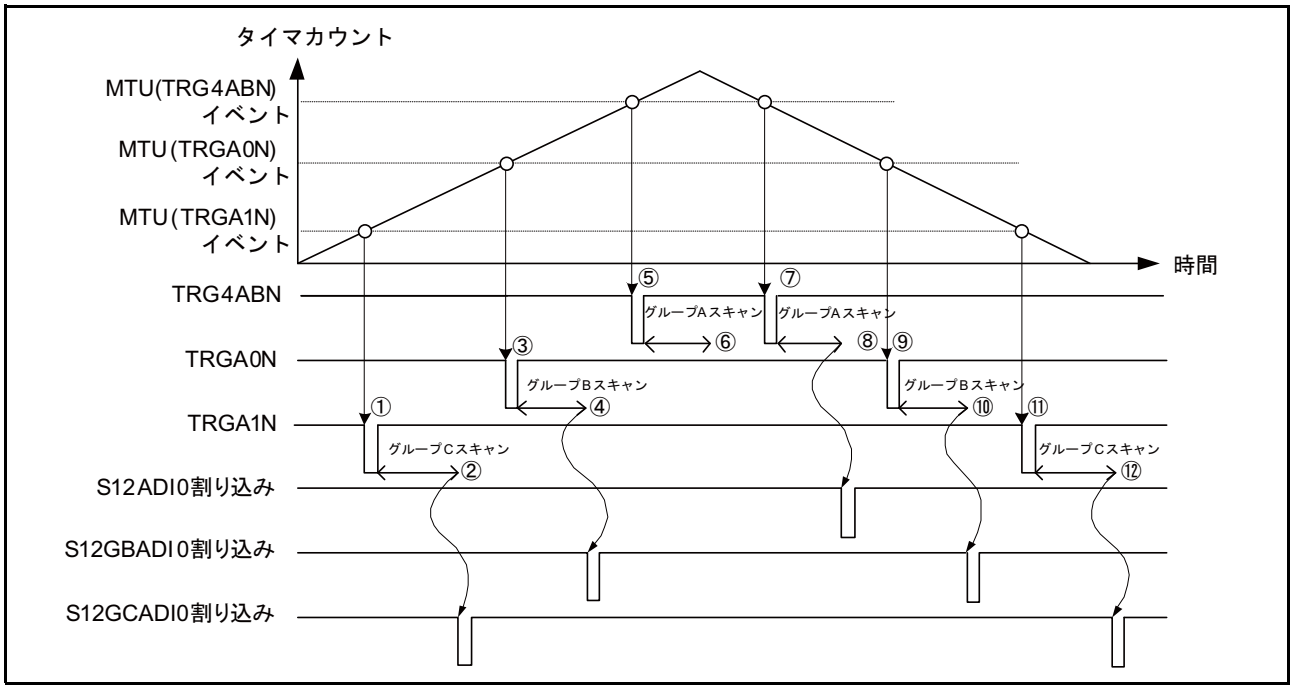


図 30.10 グループスキャンモードでダブルトリガモード選択時の動作
（MTU からの同期トリガ発生による基本動作）

30.3.4.3 グループ優先動作

グループスキャンモードで ADGSPCR.PGS ビットを ”1” にすると、グループ優先動作を行います。グループの優先度は、グループ A > グループ B > グループ C の順となります。グループスキャンモードで使用するグループの数は ADGCTRGR.GRCE の設定により、2 つ (グループ A、B) または 3 つ（グループ A、B、C）のいずれか一方を選択可能です。

ADGSPCR.PGS ビットを “1” に設定する場合、**図 30.11** に記載された手順に従い、設定を実行してください。

フローチャート以外の設定をした場合、スキャンの動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、B、C のスキャン中に発生したトリガ入力は無視され、グループ A、B、C のそれぞれスキャン動作は、シングルスキャンモードと同じ動作になります。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループのスキャンを中断して、優先グループのスキャンを行います。

ADGSPCR.GBRSCN ビットが “0” のとき、優先グループのスキャン終了後、低優先グループは待機状態となります。またスキャン中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが “1” のとき、優先グループのスキャン終了後、自動的に低優先グループのスキャンを再実行します。また優先グループのスキャン中に発生した低優先グループのトリガ入力は有効となり、優先グループのスキャン終了後、自動的に低優先グループのスキャンを実行します。

ADGSPCR.GBRSCN ビットが “1” のときに ADGSPCR.LGRRS が ”0” のとき、低優先グループのスキャンは先頭から再実行します。また、ADGSPCR.LGRRS が ”1” のとき、低優先グループのスキャンは中断したチャネルから再実行します。

ただし自己診断機能を使用した場合は、自己診断後に中断したチャネルから再実行します。

ADGSPCR.GBRSCN ビットの設定とスキャン中のトリガ入力時の動作を**表 30.13** に示します。

ADGSPCR.GBRP ビットに ”1” を設定したとき、最も優先度の低いグループのスキャン動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ A、B のトリガとは異なるグループ C の同期トリガを選択してください。

グループスキャンモードを 2 グループ (ADGCTRGR.GRCE ビットを “0” に設定) で且つ ADGSPCR.GBRP ビットに “1” を設定する場合、ADSTRGR.TRSB[5:0] ビットは “3Fh” を設定してください。

また、グループスキャンモードを 3 グループ (ADGCTRGR.GRCE ビットを “1” に設定) で且つ ADGSPCR.GBRP ビットに “1” を設定する場合は、ADGCTRGR.TRSC[5:0] ビットを “3Fh” に設定してください。

またスキャン対象とするチャネルは、ADANSA0 レジスタでグループ A のチャネルを選択し、ADANSB0 レジスタでグループ B のチャネルを選択し、ADANSC0 レジスタでグループ C のチャネルを選択してください。

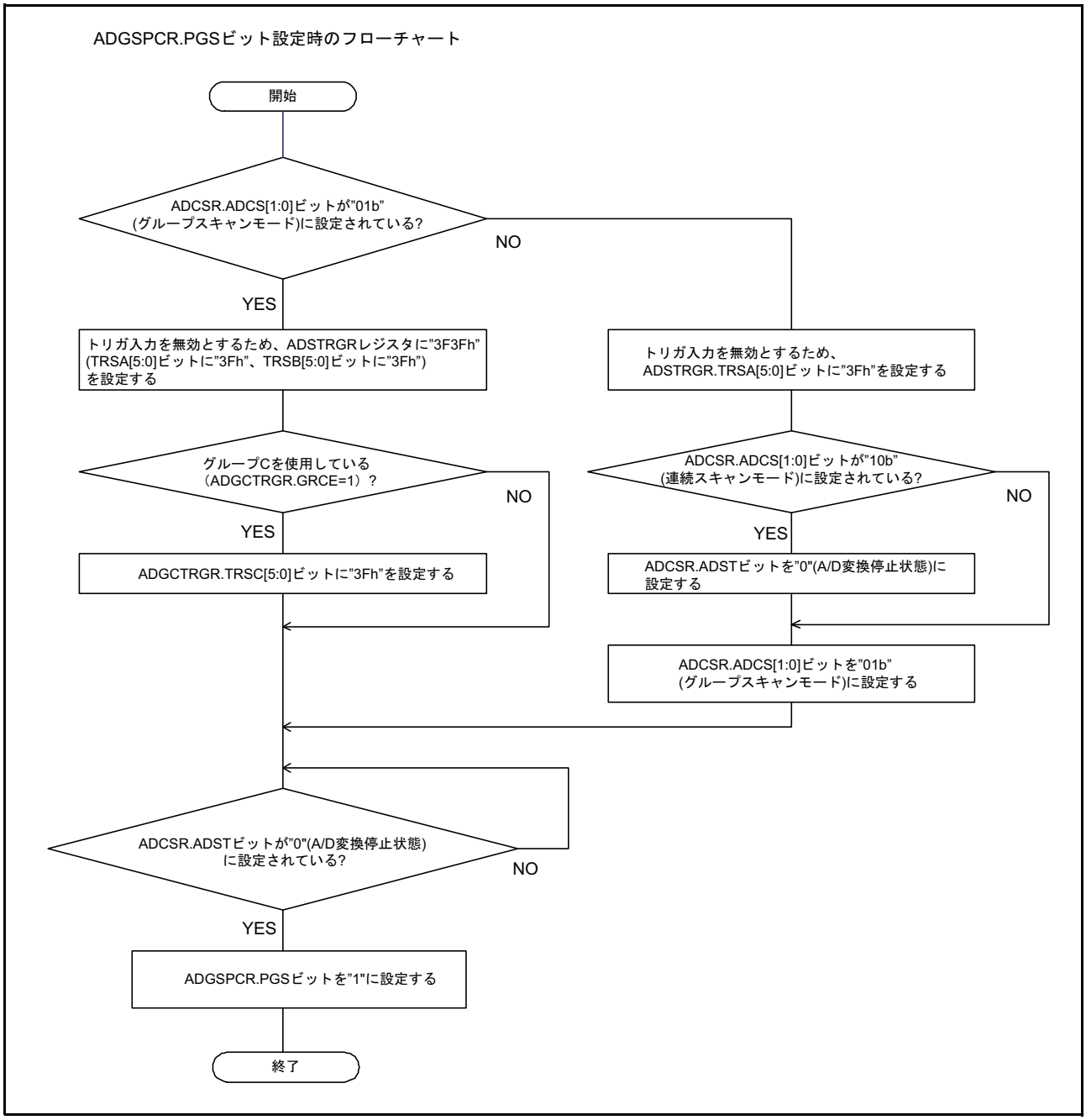


図 30.11 ADGSPCR.PGS ビット設定時のフローチャート

表 30.13　ADGSPCR.GBRSCN ビットの設定によるスキャン制御

A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ A のスキャン中	グループ A トリガ入力	トリガ入力無効	トリガ入力無効
	グループ B トリガ入力	トリガ入力無効	グループ A のスキャン終了後、グループ B のスキャンを行います。
	グループ C トリガ入力	トリガ入力無効	グループ A のスキャン終了後、グループ C のスキャンを行います。
グループ B のスキャン中	グループ A トリガ入力	グループ B のスキャン中断し、グループ A のスキャン開始	• グループ B のスキャンを中断し、グループ A のスキャン開始 • グループ A のスキャン終了後、グループ B のスキャン開始
	グループ B トリガ入力	トリガ入力無効	• トリガ入力無効
	グループ C トリガ入力	トリガ入力無効	• グループ B のスキャン終了後、グループ C のスキャンを行います。
グループ C のスキャン中	グループ A トリガ入力	グループ C のスキャン中断し、グループ A のスキャン開始	• グループ C のスキャンを中断し、グループ A のスキャン • グループ A のスキャン終了後、グループ C のスキャン開始
	グループ B トリガ入力	グループ C のスキャン変換中断し、グループ B のスキャン動作開始	• グループ C のスキャン中断し、グループ B のスキャン開始 • グループ B のスキャン終了後、グループ C のスキャン開始
	グループ C トリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合、下記の表を参考に実現したい動作モードを選択して、レジスタを設定してください。

表 30.14　2 グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	—	0	2 グループ (グループ A,B) のグループ優先動作。 グループ A のトリガが入力されたとき、グループ B のスキャンは終了する（再実行しない）。
1	0	0	2 グループ (グループ A,B) のグループ優先動作。 グループ B のスキャンが中断された後、グループ B はグループ A のスキャン終了後に ADANSB0 で指定したチャネルの先頭からスキャンを再開する。
1	1	0	2 グループ (グループ A,B) のグループ優先動作。 グループ B のスキャンが中断された後、グループ B はグループ A のスキャン終了後に ADANSB0 で指定したチャネルのうち、中断したチャネル(注)からスキャンを再開する。
—	0	1	2 グループ (グループ A,B) のグループ優先動作。 グループ B は開始トリガ入力なしで、連続でシングルスキャンを実施。グループ B のスキャンが中断された後は、グループ A のスキャン終了後に ADANSB0 で指定したチャネルの先頭からシングルスキャンを再開する。
1	1	1	2 グループ (グループ A,B) のグループ優先動作。 グループ B は開始トリガ入力なしで、連続でシングルスキャンを実施。グループ B のスキャンが中断された後は、グループ A のスキャン終了後に ADANSB0 で指定したチャネルのうち、中断したチャネル(注)からシングルスキャンを再開する。

注.　自己診断機能有（ADCER.DIAGM = “1”）では、自己診断を実行してから中断したチャネルの A/D 変換を開始します。

表30.15　3グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	—	0	3グループ(グループA,B,C)のグループ優先動作。 グループAのトリガが入力されたとき、グループBのスキャンは終了する（再実行しない）。 グループA、またはグループBのトリガが入力されたとき、グループCのスキャンは終了する（再実行しない）。
0	—	1	3グループ(グループA,B,C)のグループ優先動作。 グループAのトリガが入力されたとき、グループBのスキャンは終了する（再実行しない）。 グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0で指定したチャネルの先頭からスキャンを再開する。
1	0	0	3グループ(グループA,B,C)のグループ優先動作。 グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0で指定したチャネルの先頭からスキャンを再開する。 グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0で指定したチャネルの先頭からスキャンを再開する。
1	1	0	3グループ(グループA,B,C)のグループ優先動作。 グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0で指定したチャネルのうち、中断したチャネル(注)からスキャンを再開する。 グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0で指定したチャネルのうち、中断したチャネル(注)からスキャンを再開する。
1	0	1	3グループ(グループA,B,C)のグループ優先動作。 グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0で指定したチャネルの先頭からスキャンがを再開する。 グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0で指定したチャネルの先頭からシングルスキャンを再開する。
1	1	1	3グループ(グループA,B,C)のグループ優先動作。 グループBのA/D変換処理が中断された後、グループAのスキャン終了後にADANSB0で指定したチャネルのうち、中断したチャネル(注)から再開する。 グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0で指定したチャネルのうち、中断したチャネル(注)からシングルスキャンを再開する。

注.　自己診断機能有（ADCER.DIAGM = “1”）では、自己診断を実行してから中断したチャネルのA/D変換を開始します。

(1)　2 グループのグループ優先動作（ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0 設定）

グループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時) を動作例 1 ～ 3 に示します。

■動作例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャン有り

① グループ B のトリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順にスキャンを開始します。
② チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
③ グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ（ADDRy）に格納しません。
④ チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑤ ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。
⑥ ADGSPCR.GBRSCN ビットが “1”（グループ優先動作で中断されたグループの再スキャンをする）に設定されていれば、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。
⑦ チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑧ ADCSR.GBADIE ビットが “1”（グループ B のスキャン終了による S12GBADI0 割り込み許可）に設定されていると、S12GBADI0 割り込み要求を発生します。
⑨ ADCSR.ADST ビットは、全てのスキャンが終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

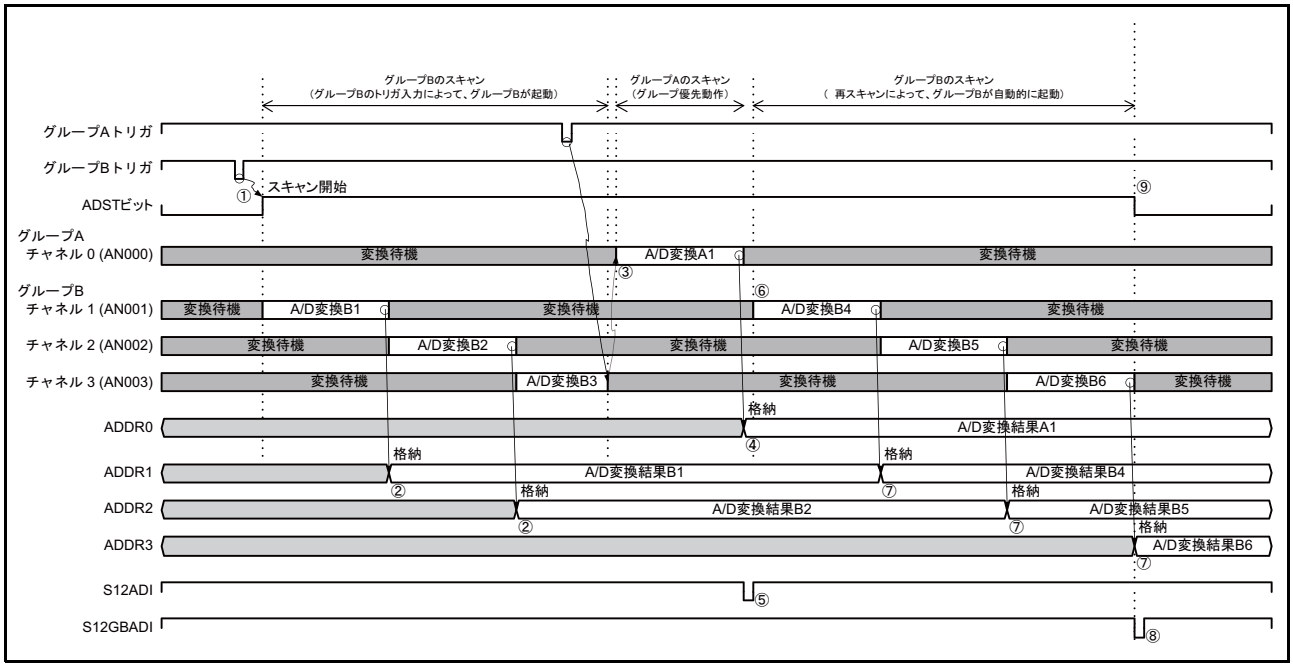


図 30.12　グループ優先動作の例 1「グループ B スキャン中のグループ A トリガ入力」再スキャン有り
（ADGSPCR.GBRSCN = 1,ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時）

■動作例 2 「グループ B 再スキャン中のグループ A トリガ入力」再スキャン有り

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 30.13 に示します。

再スキャン動作中であっても、グループ A のトリガが入力されれば、グループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。

ADST ビット、A/D 変換結果の A/D データレジスタ（ADDRy）への格納、割り込み要求は、例 1 と同じ動作になります。

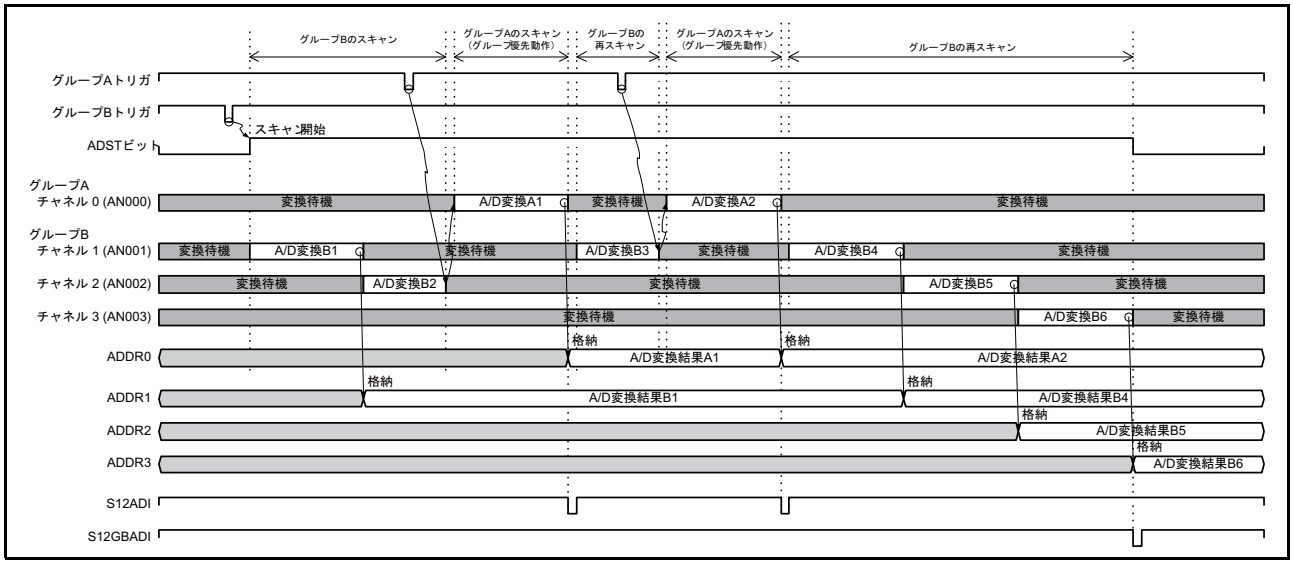


図 30.13　　グループ優先動作の例 2「グループ B 再スキャン中のグループ A トリガ入力」再スキャン有り
（ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時）

■動作例 3 「グループ A スキャン中のグループ B トリガ入力」再スキャン有り

ADGPSCR.GBRSCN ビットが “1” （グループ優先動作で中断されたグループの再スキャンをする）の設定で、グループ A のスキャン動作中にグループ B のトリガが入力された場合を説明します。

ADGPSCR.GBRSCN ビットが “0” に設定されている場合は、グループ A のスキャン動作中に入力されたグループ B のトリガは全て無効となります。

① グループ A のトリガ入力によって、ADCSR.ADST ビットが “1”（A/D 変換開始）に設定されると、ADANSA0 レジスタで選択した、グループ A のチャネル ANn の n が小さい番号順にスキャンを開始します。
② グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。
③ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
④ グループ A のスキャン終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。
⑤ グループ A のスキャン終了後、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0 レジスタで選択した、グループ B のチャネル ANn の n が小さい番号順に、グループ B のスキャンを実行します。（グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。）
⑥ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑦ グループ B のスキャン終了後、ADCSR.GBADIE ビットが “1”（スキャン終了による S12GBADI0 割り込み許可）に設定されていると、S12GBADI0 割り込み要求を発生します。
⑧ ADCSR.ADST ビットは、全てのスキャンが終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

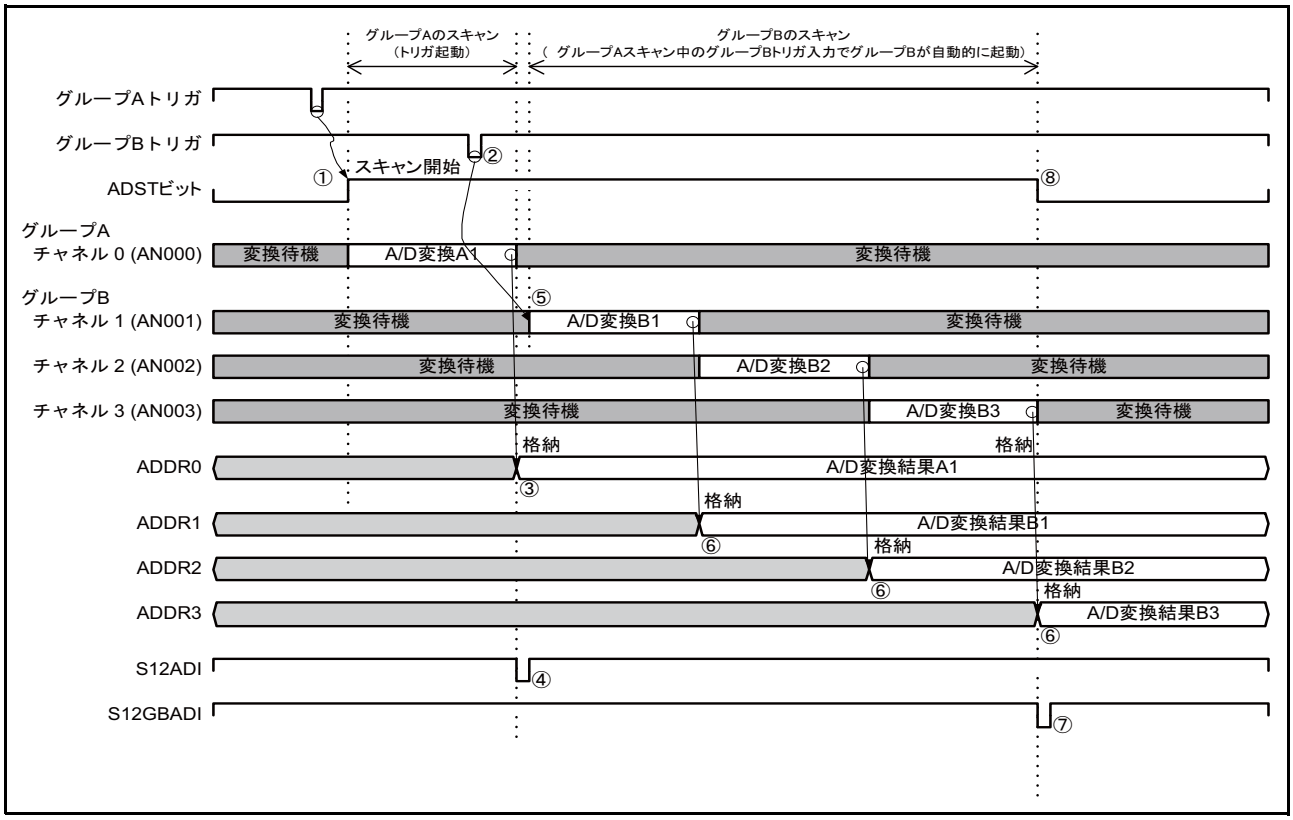


図 30.14　グループ優先動作の例 3「グループ A スキャン中のグループ B トリガ入力」再スキャン有り
（ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時）

グループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

■動作例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャン無し

① グループ B のトリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順にスキャンを開始します。
② 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
③ グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ（ADDRy）に格納しません。
④ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑤ グループ A のスキャン終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。
⑥ ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、A/D コンバータは待機状態になります。グループ B は、以後のグループ B トリガ入力までスキャンを行いません。

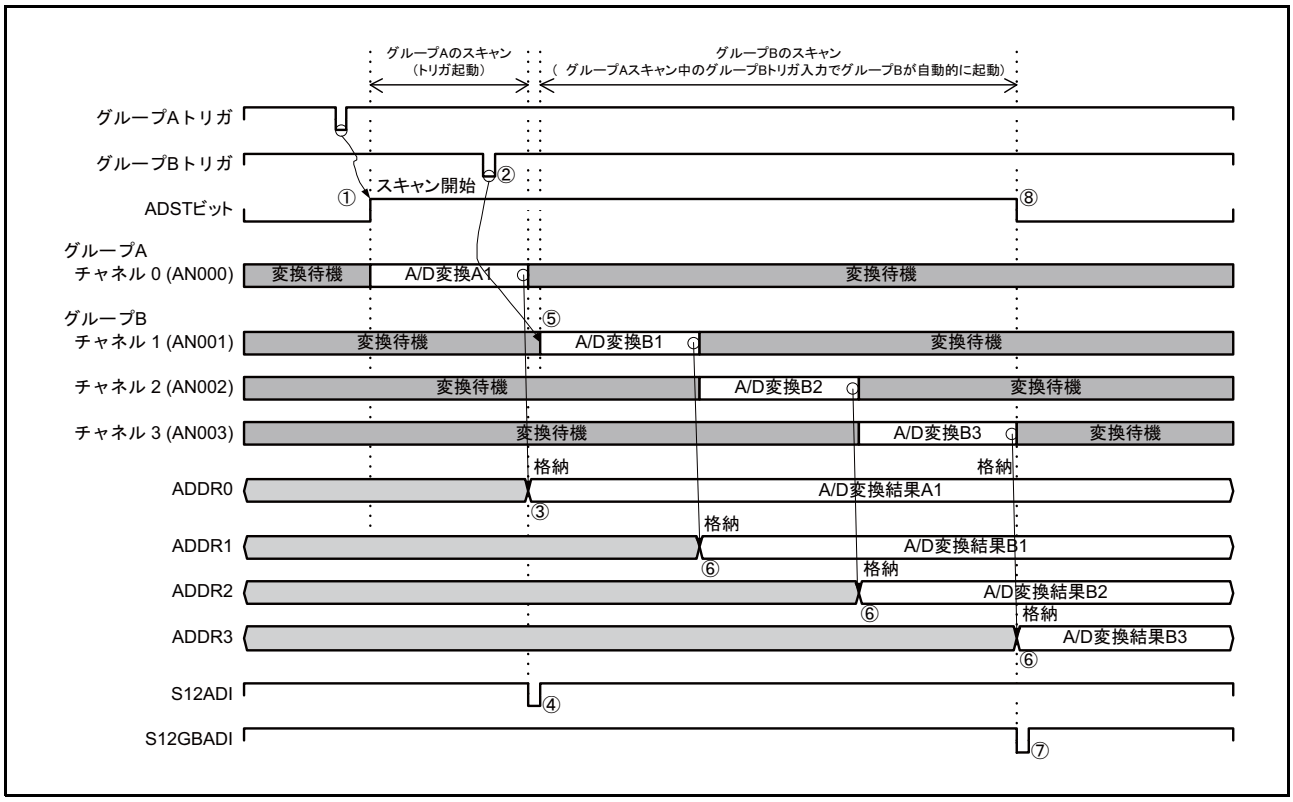


図 30.15　グループ優先動作の例 4「グループ B スキャン中のグループ A トリガ入力」再スキャン無し
（ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時）

グループ A にチャネル 0 を、グループ B にチャネル 1、2 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 0 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが “1” の設定では、グループ C がシングルスキャン連続動作を行い、グループ B はトリガ入力でのスキャン開始になります。

■動作例 5 「グループ B のシングルスキャン連続動作」

① ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが ”1”（A/D 変換開始）に設定され、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順にスキャンを開始します。
② 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
③ グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ（ADDRy）に格納しません。
④ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑤ グループ A のスキャン終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。
⑥ ADGSPCR.GBRP ビットが “1”（シングルスキャン連続動作する）に設定されていれば、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。
⑦ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑧ ADCSR.GBADIE ビットが “1”（グループ B のスキャン終了による S12GBADI0 割り込み許可）に設定されていると、S12GBADI0 割り込み要求を発生します。
⑨ ADGSPCR.GBRP ビットが “1”（シングルスキャン連続動作する）に設定されていれば、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0 レジスタで選択したチャネル An の n が小さい番号順に、再度グループ B のスキャンを開始します。

グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが “1” に設定されている間は⑥～⑨の動作を繰り返します。ADGSPCR.GBRP ビットが “1” に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP = 1 のとき、スキャン強制停止させるには、**「30.5.2　A/D 変換停止時の注意事項」**に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

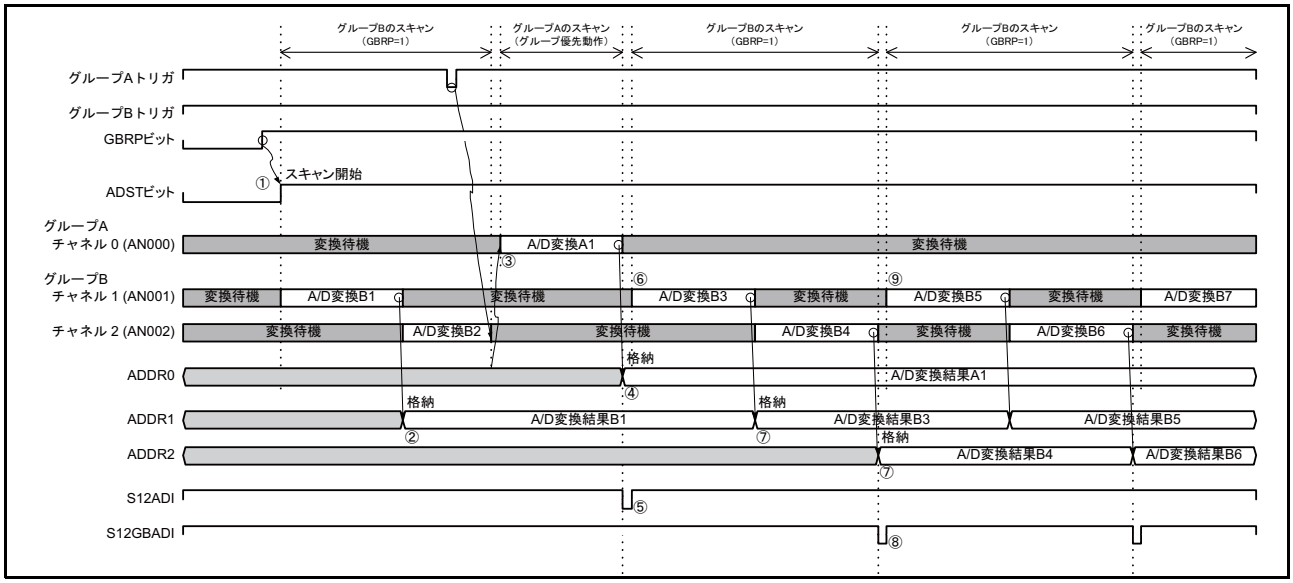


図 30.16　グループ優先動作の例 5「グループ B のシングルスキャン連続動作」（ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1'b0, ADGCTRGR.GRCE = 0 設定時）

(2)　3 グループのグループ優先動作（ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1 設定）

グループ A にチャネル 0、グループ B にチャネル 1,2、グループ C にチャネル 3,4 を選択したグループスキャンモードグループ優先動作（ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時）を動作例 1 ～例 3 に示します。優先グループとは、グループ C に対するグループ A とグループ B、グループ B に対するグループ A を意味します。

■動作例 1 「低優先グループスキャン中の優先グループトリガ入力」再スキャン有り

① グループ C のトリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSC0 レジスタで選択したチャネル ANn の n が小さい番号順にスキャンを開始します。
② 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
③ グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ C のスキャンを中断し、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ（ADDRy）に格納しません。
④ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑤ グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ（ADDRy）に格納しません。
⑥ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑦ ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。
⑧ ADGSPCR.GBRSCN ビットが “1”（グループ優先動作で中断されたグループの再スキャンをする）に設定されていれば、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します。
⑨ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑩ ADCSR.GBADIE ビットが “1”（グループ B のスキャン終了による S12GBADI0 割り込み許可）に設定されていると、S12GBADI0 割り込み要求を発生します。
⑪ ADGSPCR.GBRSCN ビットが “1” に設定されていれば、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0 レジスタで選択したチャネル ANn の n が小さい番号順に、再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します。
⑫ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑬ ADGCTRGR.GCADIE ビットが “1”（グループ C のスキャン終了による S12GCADI0 割り込み許可）に設定されていると、S12GCADI0 割り込み要求を発生します。
⑭ ADCSR.ADST ビットは、全てのスキャンが終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

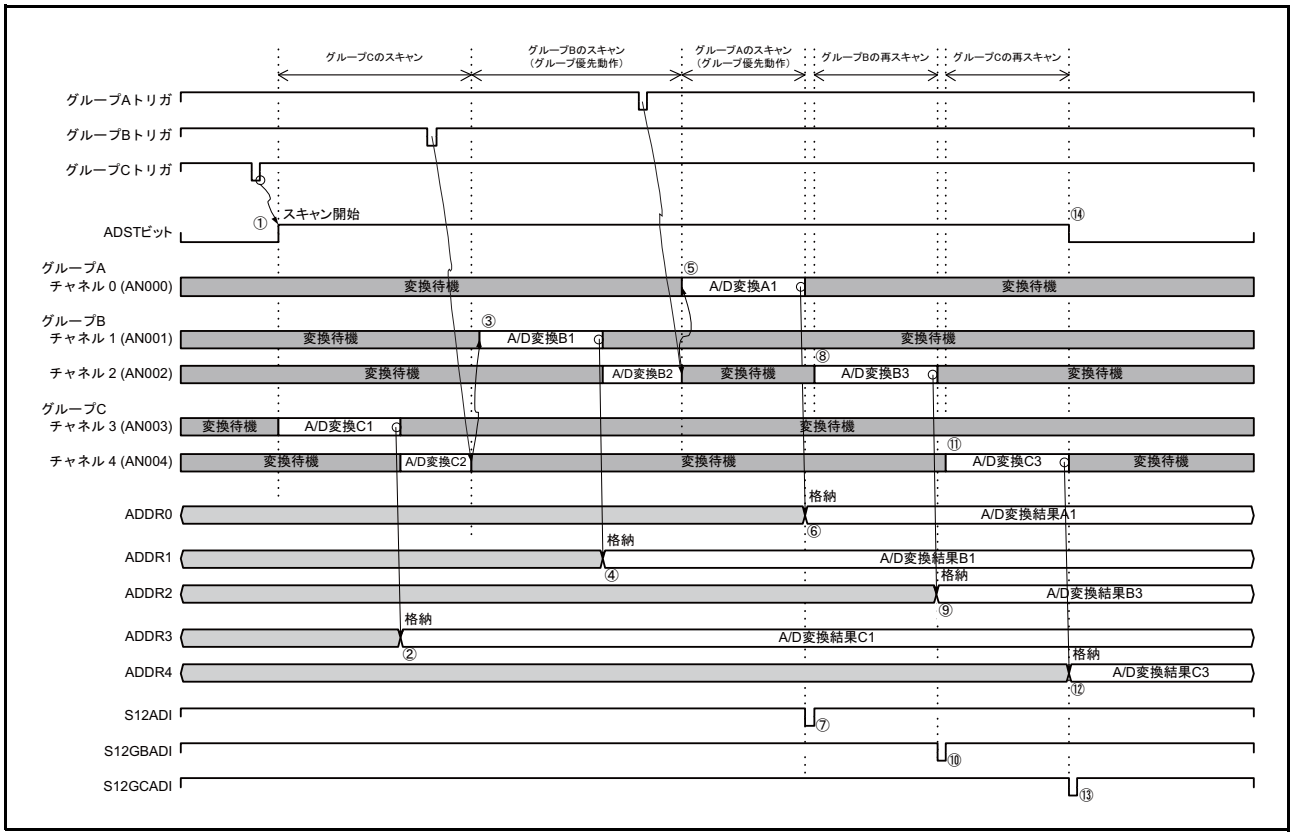


図 30.17　グループ優先動作の動作例 1「低優先グループスキャン中の優先グループトリガ入力」再スキャン有り
（ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時）

■動作例 2 「低優先グループ再スキャン中の優先グループトリガ入力」再スキャン有り

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 30.18 に示します。

低優先グループが再スキャン動作中であっても、優先グループ（グループ C に対する優先グループはグループ A とグループ B、グループ B に対する優先グループはグループ A）のトリガが入力されれば、優先グループのスキャンを開始し、優先グループのスキャン終了後、中断した低優先グループのスキャンを開始します。

ADST ビット、A/D 変換結果の A/D データレジスタ（ADDRy）への格納、割り込み要求は、例 1 と同じ動作になります。

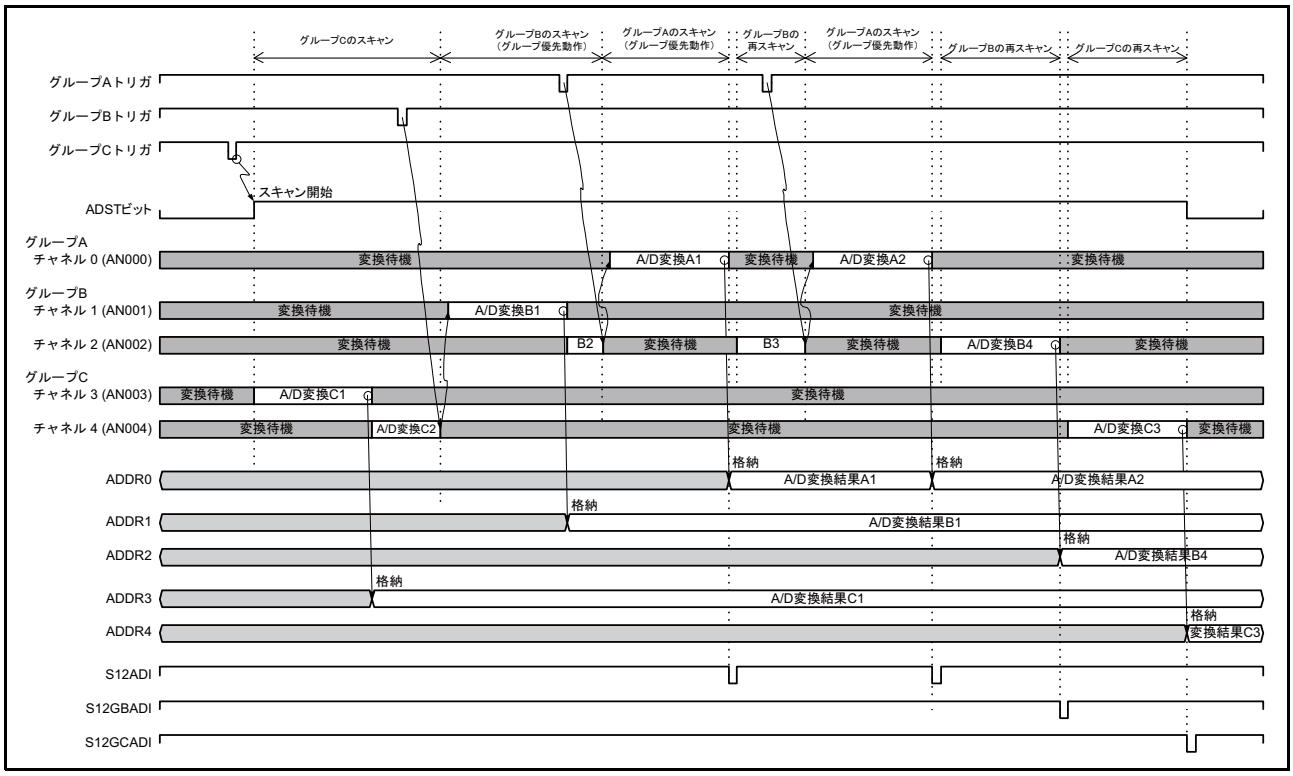


図 30.18　グループ優先動作の動作例 2 「低優先グループ再スキャン中の優先グループトリガ入力」再スキャン有り
（ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時）

■動作例 3 「優先グループスキャン中の低優先グループトリガ入力」再スキャン有り

ADGPSCR.GBRSCN ビットが “1” （グループ優先動作で中断されたグループの再スキャンをする）の設定で、優先グループのスキャン動作中に低優先グループのトリガが入力された場合を説明します。

ADGPSCR.GBRSCN ビットが “0” に設定されている場合は、優先グループのスキャン動作中に入力された低優先グループのトリガは全て無効となります。

① グループ A のトリガ入力によって、ADCSR.ADST ビットが “1”（A/D 変換開始）に設定されると、ADANSA0 レジスタで選択した、グループ A のチャネル ANn の n が小さい番号順にスキャンを開始します。

② グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。

③ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。

④ グループ A のスキャン終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。

⑤ グループ A のスキャン終了後、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0 レジスタで選択した、グループ B のチャネル ANn の n が小さい番号順に、グループ B のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します。
（グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。）

⑥ グループ B のスキャン中に、グループ C のトリガ入力があると、グループ C はスキャン実行可能状態になります。

⑦ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。

⑧ グループ B のスキャン終了後、ADCSR.GBADIE ビットが “1”（スキャン終了による S12GBADI0 割り込み許可）に設定されていると、S12GBADI0 割り込み要求を発生します。

⑨ グループ B のスキャン終了後、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0 レジスタで選択した、グループ C のチャネル ANn の n が小さい番号順に、グループ C のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します。
（グループ C のスキャン中にグループ A またはグループ B のトリガが入力されると、例 1 と同じくグループ A またはグループ B のスキャンを開始し、スキャン終了後、グループ C のスキャンを開始します。）

⑩ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。

⑪ グループ C のスキャン終了後、ADGCTRGR.GCADIE ビットが “1”（スキャン終了による S12GCADI0 割り込み許可）に設定されていると、S12GCADI0 割り込み要求を発生します。

⑫ ADCSR.ADST ビットは、全てのスキャンが終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

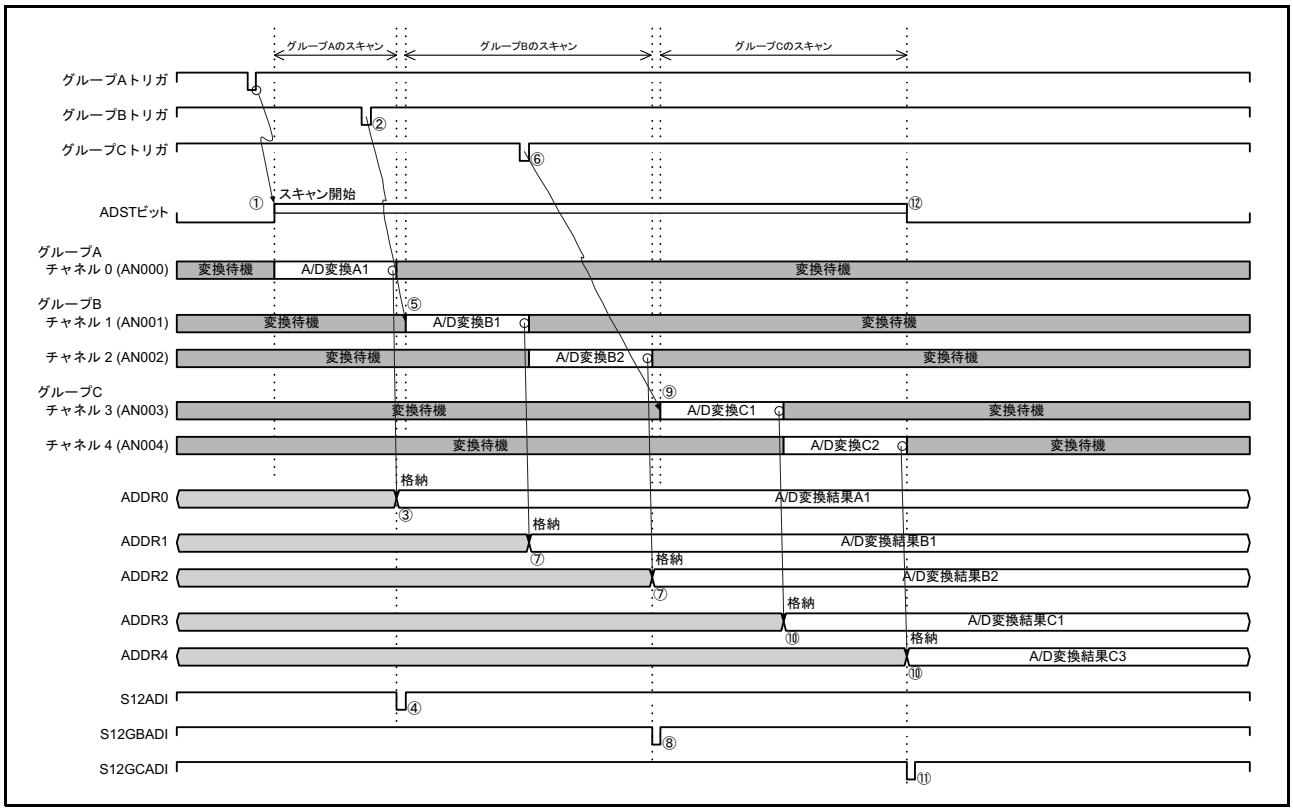


図 30.19　グループ優先動作の動作例 3「優先グループスキャン中の低優先グループトリガ入力」再スキャン有り（ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1'b1, ADGCTRGR.GRCE = 1 時の動作）

グループ A にチャネル 0、グループ B にチャネル 1,2、グループ C にチャネル 3,4 を選択したグループスキャンモードグループ優先動作（ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時）を動作例 4 に示します。

■動作例 4 「低優先グループスキャン中の優先グループトリガ入力」再スキャン無し

① グループ C のトリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、ADANSC0 レジスタで選択したチャネル ANn の n が小さい番号順にスキャンを開始します。
② 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
③ グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ C のスキャンを中断し、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ（ADDRy）に格納しません。
④ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑤ グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ（ADDRy）に格納しません。
⑥ グループ A のスキャン終了後、ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。
⑦ ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、A/D コンバータは待機状態になります。グループ C とグループ B は、以後のグループに対応したトリガ入力までスキャンを行いません。

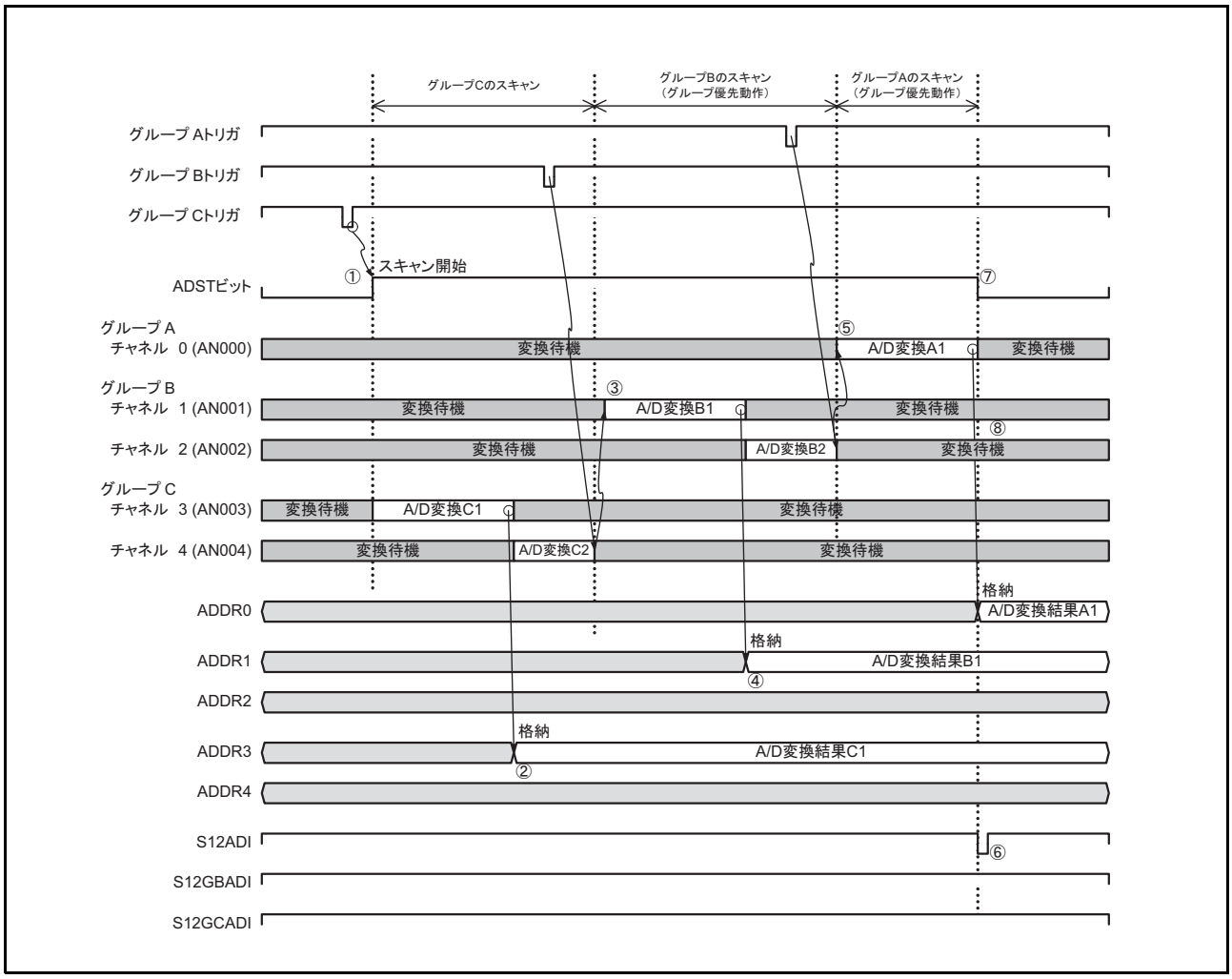


図 30.20 グループ優先動作の動作例 4 「低優先グループスキャン中の優先グループトリガ入力」
再スキャン無し（ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時）

グループ A にチャネル 0、グループ B にチャネル 1、グループ C にチャネル 2,3 を選択したグループスキャンモードグループ優先動作（ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1 設定時）を動作例 5 に示します。

ADGCTRGR.GRCE ビットが “0” の設定では、グループ B がシングルスキャン連続動作を行い、グループ C はトリガ入力が無効になります。

■動作例 5「グループ C のシングルスキャン連続動作」

① ADGSPCR.GBRP =1 を設定すると、ADCSR.ADST ビットが ”1”（ A/D 変換開始）に設定され、ADANSC0 レジスタで選択したチャネル ANn の n が小さい番号順にスキャンを開始します。
② 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
③ グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ C のスキャンを中断し、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ（ADDRy）に格納しません。
④ グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ（ADDRy）に格納しません。
⑤ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑥ ADCSR.ADIE ビットが “1”（スキャン終了による S12ADI0 割り込み許可）に設定されていると、S12ADI0 割り込み要求を発生します。
⑦ ADGSPCR.GBRSCN ビットが “1”（グループ優先動作で中断されたグループの再スキャンをする）に設定されていれば、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します。
⑧ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑨ ADCSR.GBADIE ビットが “1”（グループ B のスキャン終了による S12GBADI0 割り込み許可）に設定されていると、S12GBADI0 割り込み要求を発生します。
⑩ ADGSPCR.GBRSCN ビットが “1”（グループ優先動作で中断されたグループの再スキャンをする）に設定されていれば、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0 レジスタで選択したチャネル ANn の n が小さい番号順に、再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します。
⑪ 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
⑫ ADGSPCR.GBCDIE ビットが “1”（グループ C のスキャン終了による S12GCADI0 割り込み許可）に設定されていると、S12GCADI0 割り込み要求を発生します。
⑬ ADGSPCR.GBRP ビットが “1”（シングルスキャン連続動作する）に設定されていれば、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0 レジスタで選択したチャネル An の n が小さい番号順に、再度グループ C のスキャンを開始します。

グループ C をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。
ADGSPCR.GBRP ビットが “1” に設定されている間は⑬→⑪→⑫→⑬の動作を繰り返します。
ADGSPCR.GBRP ビットが “1” に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。
ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、**「30.5.2　A/D 変換停止時の注意事項」**に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

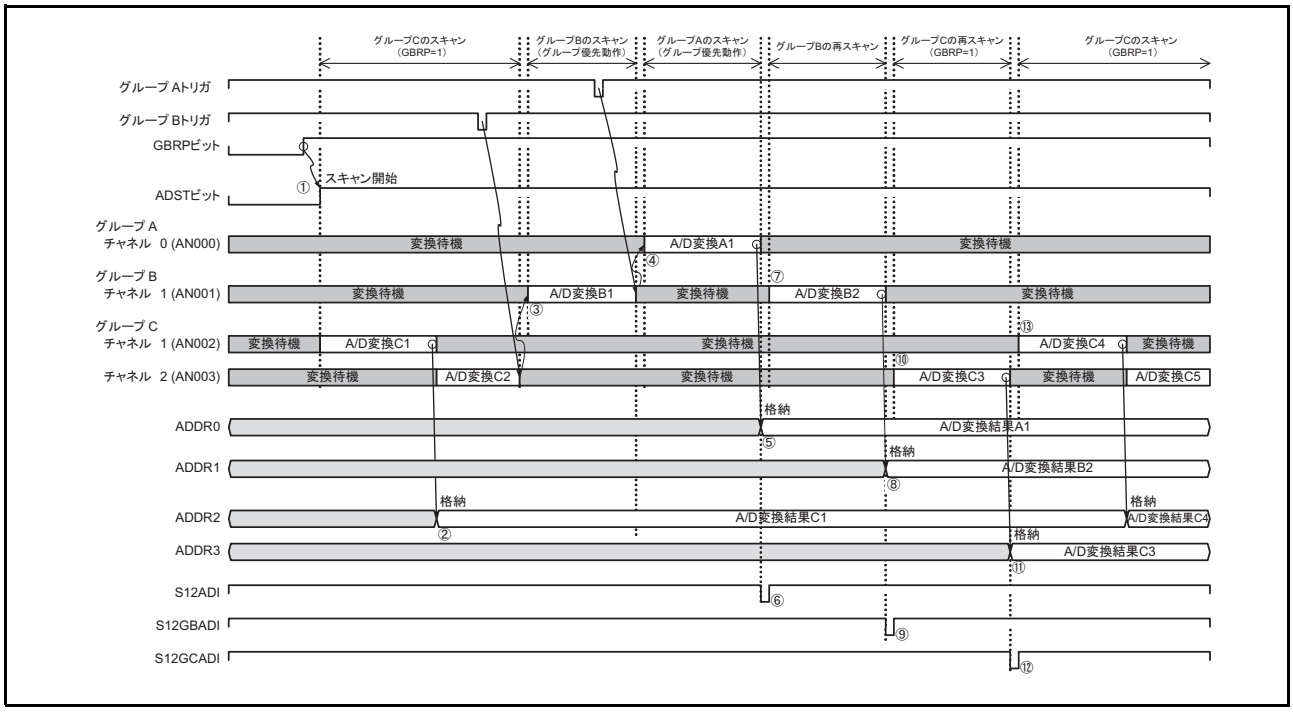


図 30.21 グループ優先動作の動作例「グループ C のシングルスキャン連続動作」
（ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1 設定時）

30.3.5 コンペア機能（ウィンドウ A、ウィンドウ B）

30.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、レジスタに設定した基準値と A/D 変換結果を比較する機能で、ウィンドウ (A/B) 毎に基準値を設定できます。コンペア機能使用時は、自己診断機能、ダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いは、ウィンドウ B が選択可能なチャネルが 1 つであること、割り込み出力信号が異なることです。

連続スキャンモードとコンペア機能を組み合わせた場合の動作を以下に示します。

① ソフトウェア、同期トリガ（MTU、GPT）または非同期トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、選択されたチャネルの A/D 変換を開始します。

② A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。ADCMPCR.CMPAE=1'b1 のとき、ADCMPANSRy レジスタ、ADCMPANSER レジスタでウィンドウ A 対象に設定されていれば、ADCMPDR0/1 レジスタ設定値と比較されます。ADCMPCR.CMPBE=1'b1 のとき、ADCMPBNSR レジスタで、ウィンドウ B 対象に設定されていれば、ADWINULB/ADWINLLB レジスタ設定値と比較されます。

③ 比較の結果、ウィンドウ A は、ADCMPLR0、ADCMPLER レジスタで設定した条件と一致したときコンペアウィンドウ A のフラグ（ADCMPSR0. CMPSTCHA0n、ADCMPSR1.CMPSTCHA1n、ADCMPSER.CMPSTTSA、ADCMPSER.CMPSTOCA）ビットが “1” にセットされます。このとき、ADCMPCR.CMPAIE ビットが “1” に設定されていると、S12ADCMPAI0 割り込み要求（レベル）を発生します。同様に、ウィンドウ B は、ADCMPBNSR.CMPLB で設定した条件と一致したとき、コンペアウィンドウ B フラグ（ADCMPBSR.CMPSTB）ビットが "1" にセットされます。このとき、ADCMPCR.CMPBIE ビットが “1” に設定されていると、S12ADCMPBI0 割り込み要求（レベル）を発生します。

④ 選択されたすべての A/D 変換と比較が終了すると、再びスキャンを行います。

⑤ S12ADCMPAI0/ S12ADCMPBI0 割り込みを受け付け後、ADCSR.ADST ビットを “0”（A/D 変換停止）に設定し、コンペアフラグがセットされているチャネルに対する処理を実行します。

⑥ ウィンドウ A のすべてのコンペアフラグをクリアすると、S12ADCMPAI0 割り込み要求が解除されます。同様にコンペアウィンドウ B フラグをクリアすると、S12ADCMPBI0 割り込み要求が解除されます。再度コンペアを実行する場合には、再度 A/D 変換を開始してください。

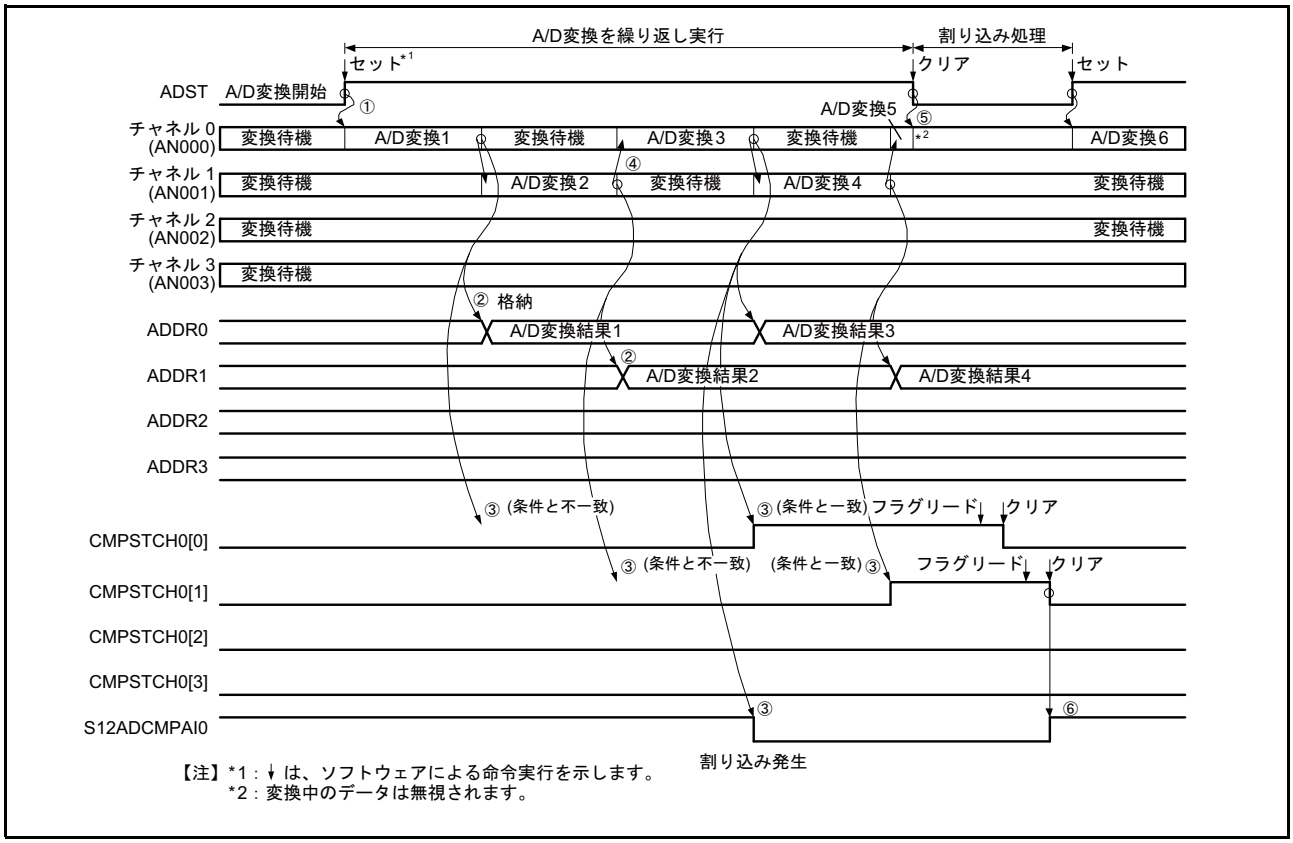


図 30.22　コンペア機能の動作例（AN000, AN001, AN002, AN003 コンペア対象）

30.3.5.2　コンペア機能制約

コンペア機能には、以下の制約条件があります。

1. 自己診断機能、ダブルトリガモードは併用禁止です。（ADRD, ADDBLDR, ADDBLDRA, ADDBLDRB はコンペア機能対象外です。）
2. ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
3. 上位側基準値≧下位側基準値となるように設定してください。

30.3.6　アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア起動、同期トリガによる起動および ADTRG#（外部トリガ）による起動が選択できます。スキャン変換開始遅延時間（tD）の後に、断線検出アシスト処理、自己診断変換処理を行い、この後に A/D 変換処理が開始されます。

図 30.23 にソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、**図 30.24** に ADTRG#（外部トリガ）要因によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間（tSCAN）はスキャン変換開始遅延時間（tD）、断線検出アシスト処理時間（tDIS）（注 2）、自己診断変換時間（tDIAG）（注 3）、A/D 変換処理時間（tCONV）、スキャン変換終了遅延時間（tED）を含めた時間となります。

A/D 変換処理時間（tCONV）は、サンプリング時間（tSPL）、逐次変換時間（tSAM）を合わせた時間となります。サンプリング時間（tSPL）は、A/D コンバータ内の S&H 回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック（ADCLK）が低速の場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間（tSAM）は、12 ビット精度選択時で 13 ステート（ADCLK）、10 ビット精度選択時で 11 ステート (ADCLK)、8 ビット精度選択時で 9 ステート（ADCLK）となります。スキャン変換時間を**表 30.16** に示します。

選択チャネル数が n のシングルスキャンのスキャン変換時間（tSCAN）は、次のように表されます。

tSCAN ＝ tD ＋（tDIS × n）＋ tDIAG ＋（tCONV × n）（注 3）＋ tED

連続スキャンの 1 サイクル目は、シングルスキャンの tSCAN から tED を省いた時間です。

連続スキャンの 2 サイクル目以降は、（tDIS × n）＋ tDIAG ＋ tDSD ＋（tCONV × n）（注 3）となります。

注 1.　断線検出アシストを設定しない場合は、t_{DIS} = 0 となります。
注 2.　自己診断を設定しない場合は、t_{DIAG} = 0, t_{DSD} = 0 となります。
注 3.　選択チャネルのサンプリング時間（t_{SPL}）が、同一の場合は tCONV × n となりますが、チャネルごとに異なる場合は、各チャネルのサンプリング時間（t_{SPL}）と逐次変換時間（t_{SAM}）の総和になります。

表30.16　スキャンでの各所要時間（ADCLKとPCLKのサイクル数で示します）

項目			記号		種別／条件			単位
					同期トリガ(注3)	外部（非同期）トリガ	ソフトウェアトリガ	
スキャン開始遅延時間 (注1)(注2)	グループ優先動作による優先グループのA/D変換	低優先グループ中断あり（優先グループのA/D変換要因によって低優先グループを停止させた後、優先グループを起動）	tD		2 PCLK + 6 ADCLK	—	—	サイクル
		低優先グループ中断なし（優先グループのA/D変換要因によって起動）			2 PCLK + 4 ADCLK	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時			2 PCLK + 6 ADCLK	4 PCLK + 6 ADCLK	6 ADCLK	
	上記以外				2 PCLK + 4 ADCLK	4 PCLK + 4 ADCLK	4 ADCLK	
断線検出アシスト処理時間			tDIS		ADDISCR.ADNDIS[3:0]設定値（初期値00h）x ADCLK			
自己診断変換処理時間(注1)	サンプリング時間		tDIAG	tSPL	ADSSTR0設定値（初期値0Bh）x ADCLK			
	逐次変換時間	12ビット変換精度		tSAM	15 ADCLK			
		10ビット変換精度			13 ADCLK			
		8ビット変換精度			11 ADCLK			
	自己診断変換終了後。通常のA/D変換開始時			tDED	2 ADCLK			
	連続スキャン時の最終チャネル変換終了後、自己診断変換開始時		tDSD		2 ADCLK			
A/D変換処理時間 (注1)	サンプリング時間		tCONV	tSPL	ADSSTRn（n = 0～7）設定値（初期値0Bh）x ADCLK			
	逐次変換時間	12ビット変換精度		tSAM	13 ADCLK			
		10ビット変換精度			11 ADCLK			
		8ビット変換精度			9 ADCLK			
スキャン終了遅延時間 (注1)			tED		1 PCLK + 3 ADCLK			

注1.　tD、tDIAG、tCONV、tEDの各タイミングについては図30.23、図30.24を参照してください。
注2.　ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
注3.　タイマ出力からトリガ入力までの経路で消費する時間は含まれていません。

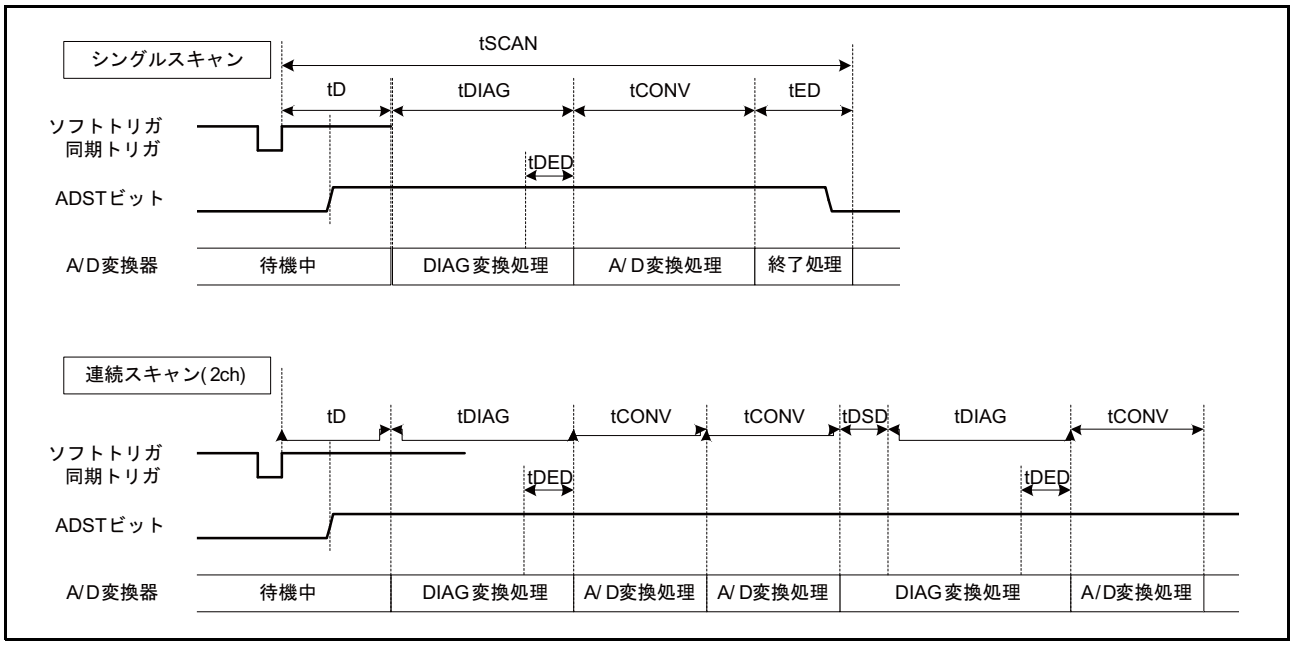


図 30.23　スキャン変換のタイミング（ソフトウェア起動、同期トリガの場合）

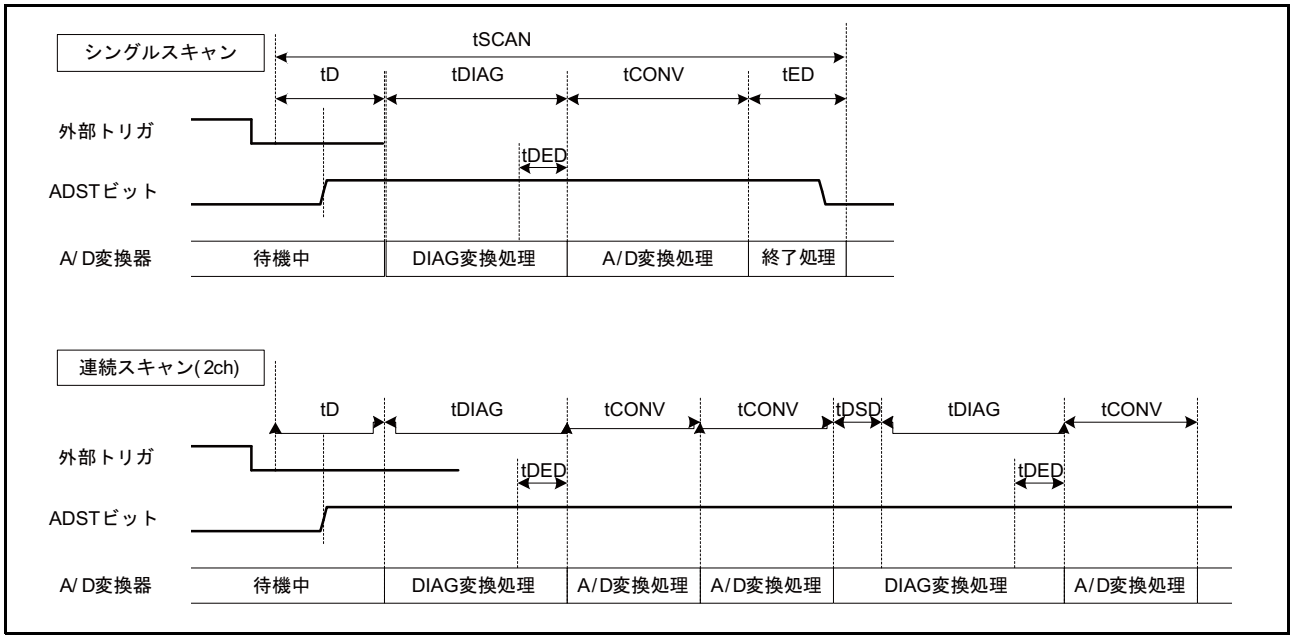


図 30.24　スキャン変換のタイミング（ADTRG# の場合）

30.3.6.1 グループ優先動作でのスキャン中断／開始タイミング

グループ優先動作では、スキャンを中断／開始する下記のタイミングがあります。

1. 低優先グループのスキャンを中断し優先グループのスキャンを開始するタイミング
2. 中断した低優先グループのスキャンを再開するタイミングと、高優先グループのスキャン中に受け付けた低優先グループのトリガで、高優先グループのスキャン終了後に低優先グループのスキャンを開始するタイミング
3. 低優先グループがシングルスキャンを連続で行うタイミング

それぞれのタイミングを図 30.25 に示します。

グループ A とグループ C またはグループ B とグループ C によるスキャン中断／開始のタイミングは、図 30.25 に示すグループ A とグループ B によるスキャン中断／開始のタイミングと同じになります。シングルスキャン連続は、グループ B（2 グループを使用）とグループ C（3 グループを使用）共に同じタイミングになります。

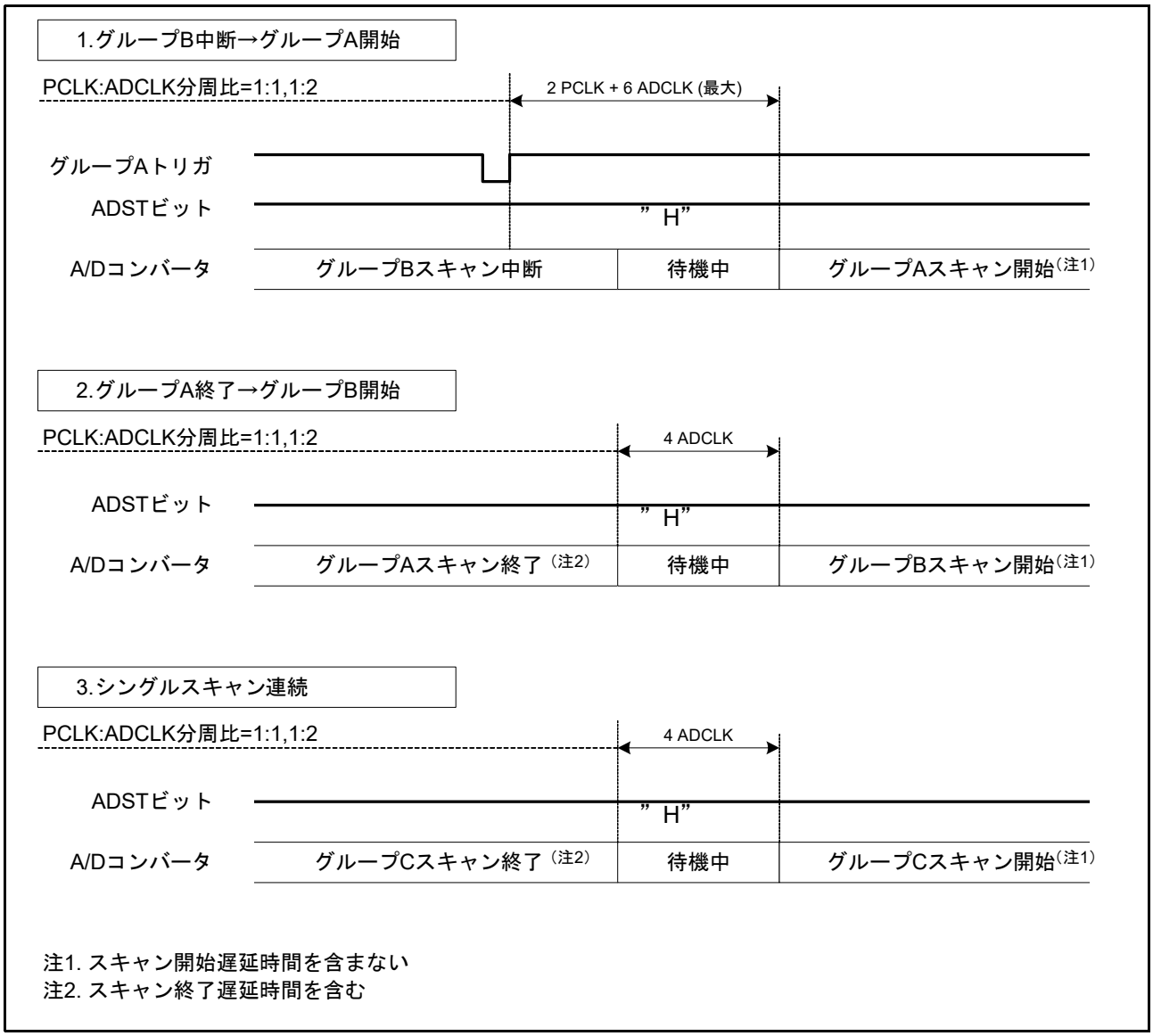


図 30.25 グループ優先でのスキャン停止／起動タイミング

30.3.7　レジスタのオートクリア機能の使用例

ADCER.ACE ビットを “1” にすることにより、CPU および DMAC によって A/D データレジスタ（ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB）を読み出す際、自動的に ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタを 0000h にクリアできます。

この機能を使うことにより、ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効／有効時の例を示します。

ADCER.ACE ビットが “0”（自動クリア禁止）の場合、A/D 変換結果（0222h）が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ（0111h）が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ（0111h）が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが “1”（自動クリア許可）の場合には、ADDRy ＝ 0111h を CPU および DMAC により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果の 0222h が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ（0000h）が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

30.3.8　A/D 変換値加算／平均機能

A/D 変換値加算機能は同じチャネルを 2/3/4/16(注 1) 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。

A/D 変換値平均機能は同じチャネルを 2/4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算／平均機能は、チャネル選択アナログ入力 A/D 変換時に使用できます。

注 1.　加算回数 16 回は、変換精度 12 ビット選択時のみ設定してください。

30.3.9　断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 30.26 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 30.27 にプリチャージを選択したときの断線検出例を、図 30.28 にディスチャージを選択したときの断線検出例を示します。

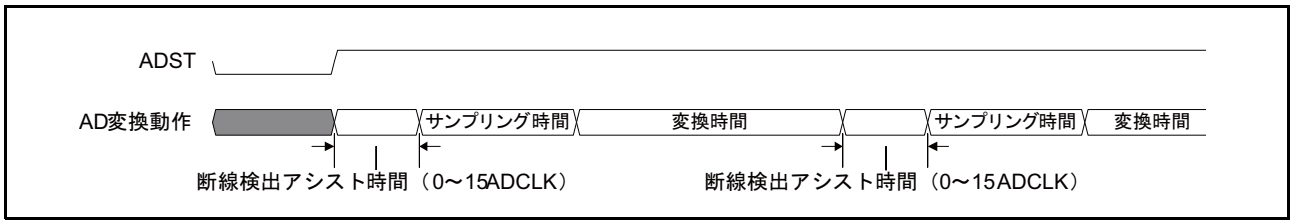


図 30.26　断線検出アシスト機能を使用した場合の A/D 変換動作図

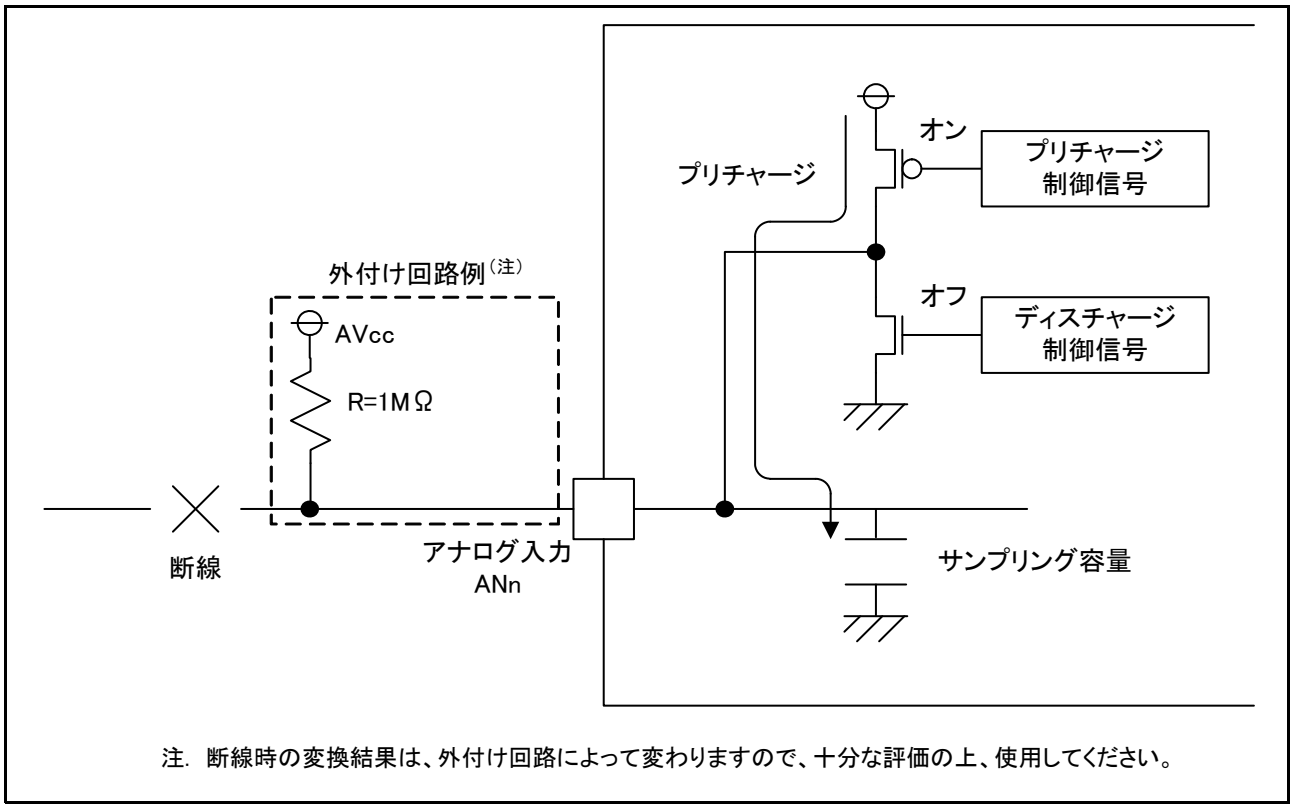
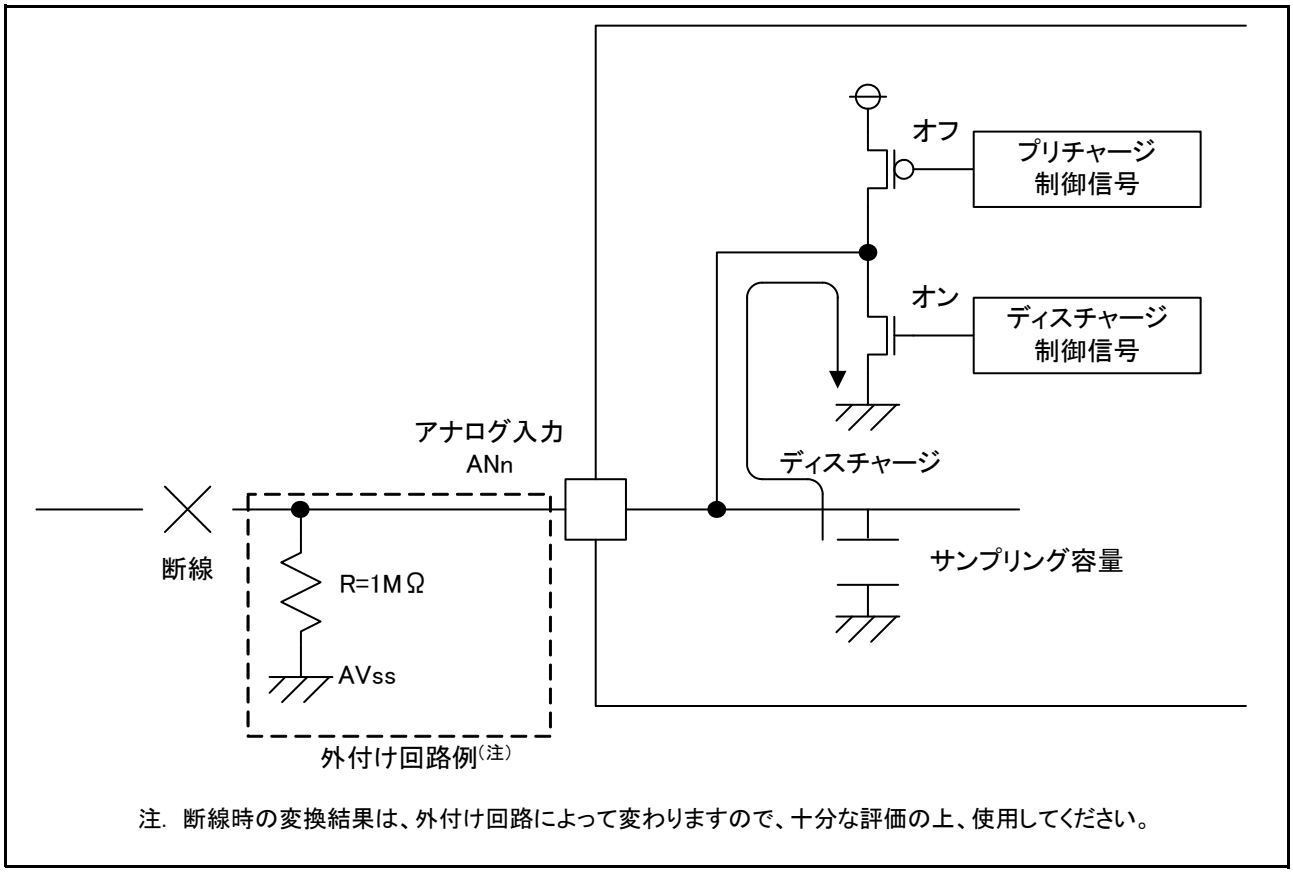


図 30.27　プリチャージを選択したときの断線検出例



注. 断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 30.28 ディスチャージを選択したときの断線検出例

30.3.10　非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、汎用入出力端子機能を設定後、A/D 変換開始トリガ選択ビット（ADSTRGR.TRSA[5:0]）を “0h” を設定し、非同期トリガ（ADTRG# 端子）に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。**図 30.29** に非同期トリガ入力タイミングを示します。

グループスキャンモードで使用するグループ B とグループ C は、非同期トリガを選択できません。

端子機能の設定は、**「51.　汎用入出力ポート」**を参照してください。

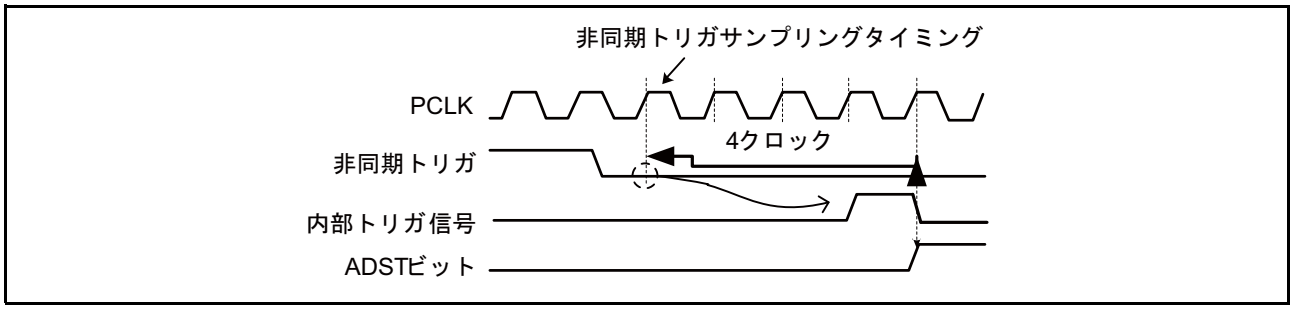


図 30.29　非同期トリガ入力タイミング

30.3.11　周辺モジュールからの同期トリガによる A/D 変換の開始

MTU、GPT からの同期トリガ（PCLK 同期で ”L” の 1 パルス）によって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.TRSA[5:0]、TRSB[5:0] ビットを該当の起動要因にセットします。

30.4　割り込み要因と DMA 転送要求

30.4.1　割り込み要求

A/D コンバータは、CPU へのスキャン終了割り込み要求である S12ADI0/S12GBADI0/ S12GCADI0 割り込みを発生することができます。

また、CPU へのコンペア条件成立割り込み要求である S12ADCMPAI0/S12ADCMPBI0 割り込みを発生することができます。

ADCSR.ADIE ビットを “1” にすると S12ADI0 を許可、“0” にすると S12ADI0 を禁止できます。同様に ADCSR.GBADIE ビットで S12GBADI0 の許可／禁止、ADGCTRGR.GCADIE ビットで S12GCADI0 の許可／禁止ができます。ADCMPCR.CMPAIE/CMPBIE ビットを “1” にすると S12ADCMPAI0/S12ADCMPBI0 を許可、“0” にすると S12ADCMPAI0/S12ADCMPBI0 を禁止できます。

また、S12ADI0、S12GBADI0、S12GCADI0 発生時に DMAC を起動できます。S12ADI0、S12GBADI0、S12GCADI0 割り込みで変換されたデータのリードを DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。DMAC の設定は「9.　**ダイレクトメモリアクセスコントローラ**」を参照してください

30.5 使用上の注意事項

30.5.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D データ 2 重化レジスタ、A/D データ 2 重化レジスタ A、A/D データ 2 重化レジスタ B および A/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト／下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

30.5.2　A/D 変換停止時の注意事項

30.5.2.1　A/D 変換停止手順

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、図 30.30 のフローチャートの手順に従ってください。

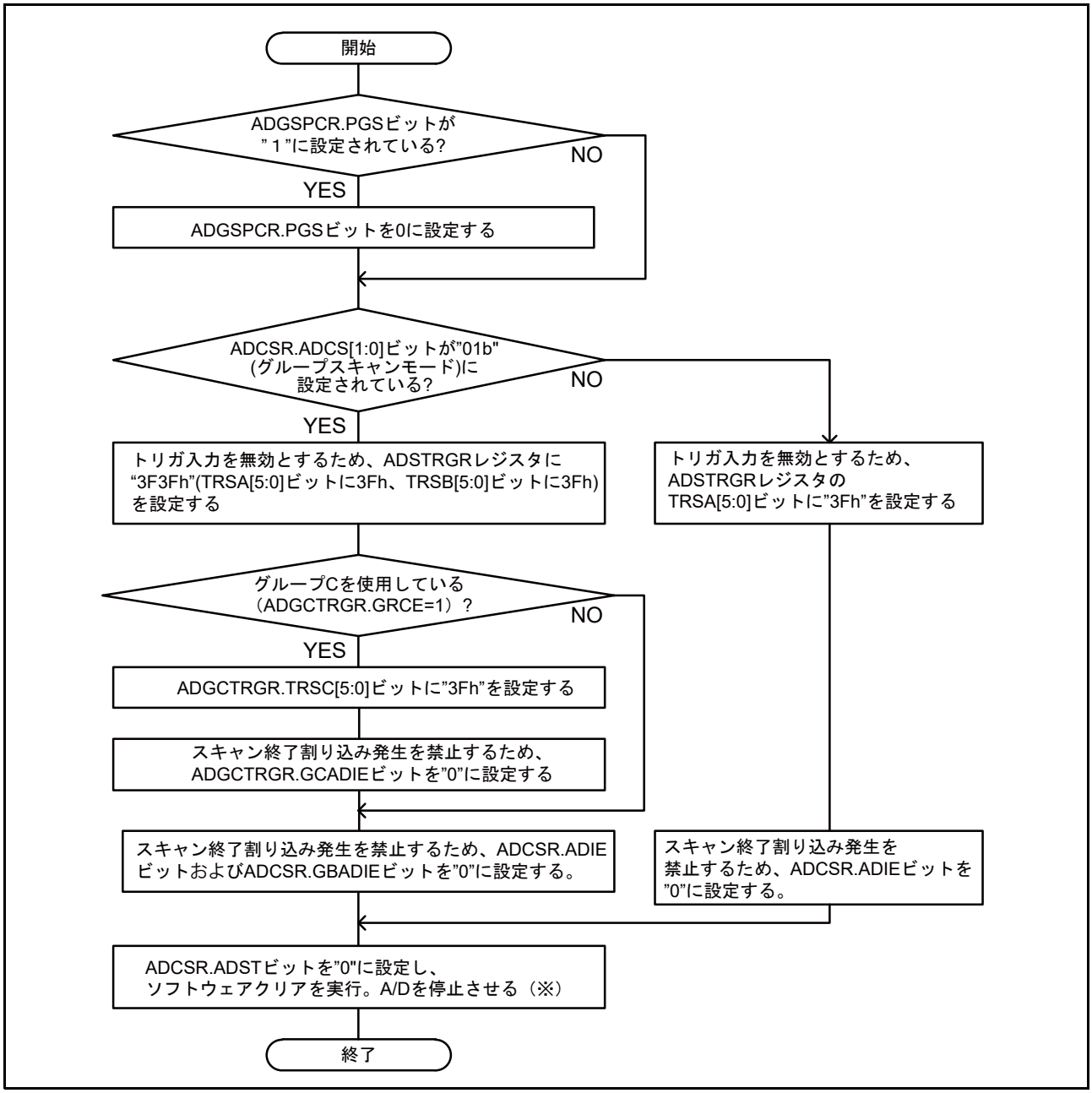


図 30.30　ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

注 .　ソフトウェアクリアからスキャン処理を停止するまで 2 ADCLK の時間が必要です。ソフトウェアクリア実行後に下記を設定する場合は、2 ADCLK 以上の Wait を入れてください。
- スキャン終了割込み許可
- ソフトウェアでの A/D 変換開始
- トリガ入力有効設定

30.5.2.2 モード／ステータスビットの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数／偶数判定、コンペア機能のモニタビットは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定は、ADCER.DIAGLD を “1” とし ADCER.DIAGVAL[1:0] で選択します。
- ダブルトリガモードは、ADCSR.DBLE を “0” から “1” に設定するとスキャン 1 回目の動作から開始します。
- コンペア機能のモニタビット（MONCMPA,MONCMPB,MONCMPA）の初期化は、ADCMPCR.CMPAE と ADCMPCR.CMPBE を “0” に設定します。

30.5.3 A/D 変換強制停止と開始時の動作タイミング

A/D コンバータのアナログ部が停止した状態で ADCSR.ADST ビットを “1” に設定し A/D コンバータのアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを “0” に設定して A/D 変換を強制停止させると、A/D コンバータのアナログ部が動作を停止するのに、ADCLK で最大 2 クロックの時間を必要とします。

30.5.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合等で、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていなければ、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。

30.5.5 モジュールスタンバイ機能の設定

スタンバイコントロールレジスタにより、A/D コンバータの動作禁止／許可を設定することが可能です。初期値では、A/D コンバータの動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。モジュールスタンバイモードを解除した後は 1μs 以上待ってから A/D 変換を開始してください。詳細は「52. 低消費電力モード」を参照してください。

30.5.6 低消費電力状態への遷移時の注意

低消費電力モードへ遷移する場合は、A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを “0” に設定後、A/D コンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 30.30 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを ”0” に設定してください。その後、ADCLK の 2 サイクル期間待った後、低消費電力モードへ遷移させてください。

30.5.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、発振安定時間経過後さらに 1μs 以上待ってから A/D 変換を開始してください。詳細は「52. 低消費電力モード」を参照してください。

30.5.8 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ／プルダウン抵抗（Rp）と信号源抵抗（Rs）の抵抗分圧分の誤差電圧が入力され、A/D コンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。断線検出アシスト機能は、十分な評価の上、使用してください。

最大絶対精度誤差（LSB）＝ 4095 × Rs ／ Rp

30.5.9 アナログ入力端子の設定範囲

A/D 変換中、アナログ入力端子 AN00n に印加する電圧は AVss ≦ AN00n ≦ AVcc の範囲としてください（n = 0 ～ 7）。

上記の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響をおよぼすことがあります。

30.5.10 ボード設計上の注意事項

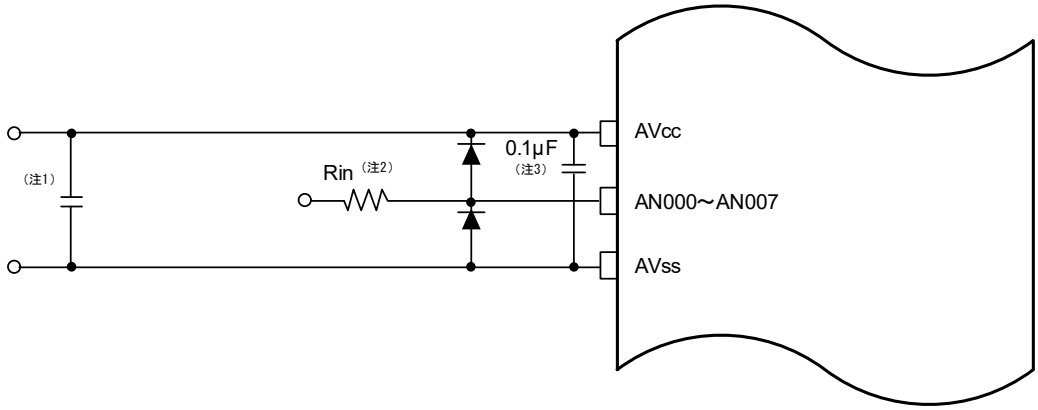
ボード設計時には、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号（AN000 ～ AN007）、アナログ電源（AVcc）は、アナロググランド（AVss）で、デジタル回路を分離し、アナログ電源とアナロググランド間に 0.1uF を接続してください。

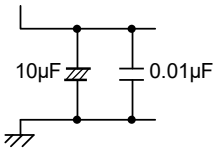
さらに、アナロググランド（AVss）は、ボード上の安定したデジタルグランド（Vss）に一点接続してください。

30.5.11 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子（AN000 ～ AN007）の破壊を防ぐために、図 30.31 に示すようにアナログ入力端子（AN000 ～ AN007）を基準に保護回路を接続してください。



注1. 数値は、参考値です。



注2. Rin：信号源インピーダンス
注3. AVcc、AVss電源間に挿入するコンデンサは、A/D変換精度の劣化を防ぐため、できるだけ電源端子の近くに配置してください。

図 30.31 アナログ入力保護回路の例

31. NAND フラッシュコントローラ

31.1 概要

NAND フラッシュコントローラは、ONFI 1.x 仕様の NAND フラッシュデバイスに対する高レベルインタフェースの機能をサポートしています。

31.1.1 特長

- 互換性
  – ONFi 1.x 仕様（8bit）
  タイミングモード 3, 4, 5 を除きます。
  – スモールブロックデバイスのサポート（注）
  注．デバイスビジー状態時に CE 信号をディスエーブルすることができるデバイスのみ
  – 汎用シーケンスによる低容量デバイス（4 バイトアドレス品）のサポート
- DMA コントローラ
  – スキャッタギャザーモード／レジスタ管理モード
  – 32 ビットシステムメモリアドレス指定
  – プログラマブル FIFO データレベルによるトリガ機構
- 割り込みコントローラ
  – 各割り込みはマスクすることができます。
  – 各割り込みには、独自のステータスフラグがあります。
  – ステータスフラグは、割り込みがマスクされているときにも有効で、ソフトウェアポーリング機構によってチェックできます。
  – シングル割り込み信号出力
- データバッファ
  – デュアルポート FIFO
- ECC ユニット
  – BCH アルゴリズム
  – シンドローム計算、誤り検出と誤り訂正
  – ECC オプション：256 バイト、512 バイトと 1024 バイトのデータブロック
  データブロックサイズは、選択された ECC オプションによって異なります。
- 高度な機能
  – ページキャッシュのリード / ライトシーケンスがサポートされています。
  – 複数プレーンのリード / ライトシーケンスがサポートされています。
  – マルチ LUN 動作モードがサポートされています。
  – コマンドキューイング機構

注．キューは、レジスタへの書き込みアクセスがホストによって実行されるときに使用されます。
以下を除くすべてのレジスタで有効です。
– INT_STATUS
– STATUS
– FIFO_INIT
– ECC_STAT
– FIFO_DATA
上記のレジスタへの書き込みは直ちに実行されます。他のレジスタへの書き込みは、コマンドキューを介して実行されます。

- 高度な不良ブロック管理システム
  – レコードテーブルはシステムメモリに格納されます。
  – 検索アルゴリズムのハードウェア実装。

31.1.2 ブロック図

図 31.1 にブロック図を示します。

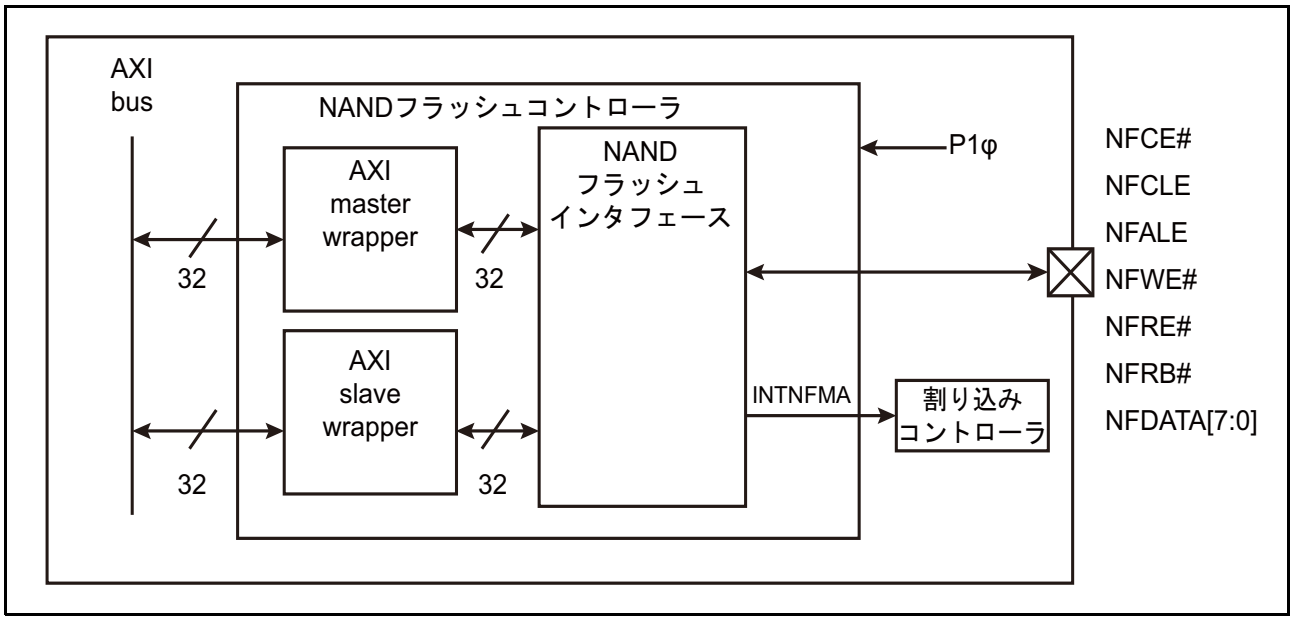


図 31.1 ブロック図

本章に記載している割込み信号 INTNFMA は本コントローラの割込み要因 NAND に対応します。

31.1.3 入出力端子

表 31.1 に端子構成を示します。

表 31.1 端子構成

端子名	入出力	機能
NFRE#	出力	リードイネーブル
NFCE#	出力	チップイネーブル
NFCLE	出力	コマンドラッチイネーブル
NFALE	出力	アドレスラッチイネーブル
NFWE#	出力	ライトイネーブル
NFDATA[7:0]	入出力	データ
NFRB#	入力	レディ／ビジー

31.1.4 レジスタ構成

表 31.2 にレジスタ構成を示します。

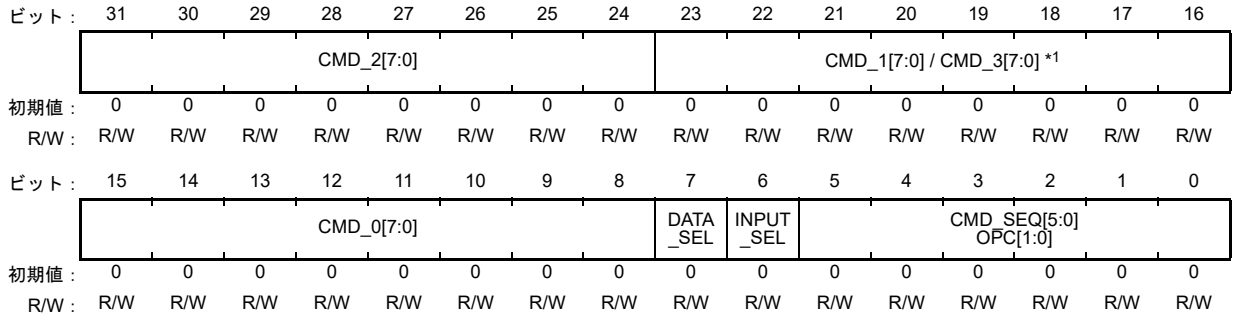
表31.2 レジスタ構成

レジスタ名	略称	R/W	アドレス	初期値	アクセスサイズ
コントローラコマンドレジスタ	COMMAND	R/W	H'E822C000	H'0000 0000	32
メインコンフィギュレーションレジスタ	CONTROL	R/W	H'E822C004	H'0000 0000	32
コントローラステータスレジスタ	STATUS	R	H'E822C008	H'0000 0001	32
READ STATUSコマンドマスクレジスタ	STATUS_MASK	R/W	H'E822C00C	H'0000 4040	32
割り込みマスクレジスタ	INT_MASK	R/W	H'E822C010	H'0000 0000	32
割り込みステータスレジスタ	INT_STATUS	R/W	H'E822C014	H'0000 0000	32
ECCモジュール制御レジスタ	ECC_CTRL	R/W	H'E822C018	H'0000 0000	32
スペア領域レジスタのECCオフセット	ECC_OFFSET	R/W	H'E822C01C	H'0000 0000	32
ECCモジュールステータスレジスタ	ECC_STAT	R/W	H'E822C020	H'0000 0000	32
カラムアドレスレジスタ0	ADDR0_COL	R/W	H'E822C024	H'0000 0000	32
ロウアドレスレジスタ0	ADDR0_ROW	R/W	H'E822C028	H'0000 0000	32
カラムアドレスレジスタ1	ADDR1_COL	R/W	H'E822C02C	H'0000 0000	32
ロウアドレスレジスタ1	ADDR1_ROW	R/W	H'E822C030	H'0000 0000	32
FIFOモジュールインタフェースレジスタ	FIFO_DATA	R/W	H'E822C038	—	32
データレジスタ	DATA_REG	R/W	H'E822C03C	H'0000 0000	32
データレジスタサイズ選択レジスタ	DATA_REG_SIZE	R/W	H'E822C040	H'0000 0000	32
レコードテーブルポインタレジスタ	DEV0_PTR	R/W	H'E822C044	H'0000 0000	32
DMAベースアドレスレジスタ	DMA_ADDR_L	R/W	H'E822C064	H'0000 0000	32
DMAカウンタ初期値レジスタ	DMA_CNT	R/W	H'E822C06C	H'0000 0000	32
DMA制御レジスタ	DMA_CTRL	R/W	H'E822C070	H'0000 0001	32
不良ブロック管理(BBM)制御レジスタ	BBM_CTRL	R/W	H'E822C074	H'0000 0000	32
ページサイズ値レジスタ	DATA_SIZE	R/W	H'E822C084	H'0000 0000	32
タイミングコンフィギュレーションレジスタ	TIMINGS_ASYN	R/W	H'E822C088	H'0000 0000	32
コマンドシーケンスタイミング コンフィギュレーションレジスタ 0	TIME_SEQ_0	R/W	H'E822C090	H'0000 0000	32
コマンドシーケンスタイミング コンフィギュレーションレジスタ 1	TIME_SEQ_1	R/W	H'E822C094	H'0000 0000	32
汎用シーケンスタイミング コンフィギュレーションレジスタ 0	TIME_GEN_SEQ_0	R/W	H'E822C098	H'0000 0000	32
汎用シーケンスタイミング コンフィギュレーションレジスタ 1	TIME_GEN_SEQ_1	R/W	H'E822C09C	H'0000 0000	32
汎用シーケンスタイミング コンフィギュレーションレジスタ 2	TIME_GEN_SEQ_2	R/W	H'E822C0A0	H'0000 0000	32
FIFO制御レジスタ	FIFO_INIT	R	H'E822C0B0	H'0000 0000	32
FIFOステータスレジスタ	FIFO_STATE	R	H'E822C0B4	H'0000 0095	32
汎用シーケンスレジスタ	GEN_SEQ_CTRL	R/W	H'E822C0B8	H'0000 0000	32
MLUNレジスタ	MLUN	R/W	H'E822C0BC	H'0000 0000	32
レコードテーブルサイズレジスタ	DEV0_SIZE	R/W	H'E822C0C0	H'0000 0000	32
DMAトリガレベル値レジスタ	DMA_TRIG_TLVL	R/W	H'E822C114	H'0000 0000	32
CMD ID初期値レジスタ	CMD_MARK	W	H'E822C124	H'0000 0000	32
LUNステータスレジスタ	LUN_STATUS_0	R	H'E822C128	H'0000 00FF	32
汎用シーケンスタイミング コンフィギュレーションレジスタ 3	TIME_GEN_SEQ_3	R/W	H'E822C134	H'0000 0000	32
ECCエラーレベルカウンタレジスタ	ECC_CNT	R/W	H'E822C14C	H'0000 0000	32

31.2　レジスタの説明

31.2.1　コントローラコマンドレジスタ（COMMAND）

COMMAND は、コマンドシーケンスコードとデータ選択を設定するレジスタです。コマンドシーケンスコードを本レジスタに書き込むと、プログラムされたコマンドシーケンスが実行されます。ただちに実行を開始できない場合、このレジスタへの転送は一連の WAIT 応答によって延長されます。各コマンドシーケンスは、完了時に割り込みを発生することができます。



ビット	ビット名	初期値	R/W	説明
31 ～ 24	CMD_2[7:0]	H'00	R/W	シーケンスの第3コマンドのコード
23 ～ 16	CMD_1[7:0]/ CMD_3[7:0]*1	H'00	R/W	シーケンスの第2コマンドのコード
15 ～ 8	CMD_0[7:0]	H'00	R/W	シーケンスの第1コマンドのコード
7	DATA_SEL	0	R/W	Data／FIFO 選択 0: FIFO選択 1: DATA レジスタ選択
6	INPUT_SEL	0	R/W	入力モジュール選択 0: スレーブ I/F ユニット（SIU）モジュールのレジスタを入力として選択 1: DMA モジュールを入力として選択
5 ～ 0	CMD_SEQ[5:0]	H'00	R/W	コマンドコード

注1.　選択されたコマンドシーケンスに応じて、このフィールドにはCMD1またはCMD3コードが格納されます。
汎用シーケンスは、両方のコマンドが単一のシーケンスで使用されます。

31.2.2　メインコンフィギュレーションレジスタ（CONTROL）

CONTROLは共通の設定パラメータを格納します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	AUTO_READ_STAT_EN	MLUN_EN	SMALL_BLOCK_EN	—	—	—	ADDR1_AUTO_INCR	ADDR0_AUTO_INCR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	RW	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PROT_EN	BBM_EN	—	—	—	—	—	BLOCK_SIZE[1:0]		ECC_EN	INT_EN	—	ECC_BLOCK_SIZE[1:0]		READ_STATUS_EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
23	AUTO_READ_STAT_EN	0	R/W	オートリードステータスモードイネーブル アクティブのとき、コントローラはPROGRAM PAGEとERASE BLOCKコマンドの後にステータスを読み出します。割り込みを発生することができます。 この機能が有効のときは、STATUS_MASKレジスタのERROR_MASKフィールドを設定する必要があります。PROGRAM_PAGE / ERASEコマンドを実行した後、動作状態(成功/失敗)をチェックすることができます。 0: オートリードステータスモード無効 1: オートリードステータスモード有効
22	MLUN_EN	0	R/W	マルチLUNモードイネーブル アクティブなとき、コントローラのマルチLUN動作モードを有効にします。 0: マルチLUNモード無効 1: マルチLUNモード有効 詳細は、「31.3.4　マルチLUN動作モード」を参照してください。
21	SMALL_BLOCK_EN	0	R/W	スモールブロックモードを有効にします。 このモードでは、ビッグブロックNANDフラッシュデバイスで行われているように、コントローラは2バイトの代わりに1バイトのみをカラムアドレスとして送信します。 0: ビッグブロックモード有効 1: スモールブロックモード有効 注.　デバイスがビジー状態のとき、CE信号を無効にできるデバイスだけがサポートされます。
20 ～ 18	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
17	ADDR1_AUTO_INCR	0	R/W	ロウアドレスレジスタ1（ADDR1_ROW）のアドレス自動インクリメント このビットがセットされているとき、アドレスレジスタ1を使用してコマンドシーケンスを送信すると、アドレスレジスタ1がインクリメントされます。 0: 自動インクリメント無効 1: 自動インクリメント有効
16	ADDR0_AUTO_INCR	0	R/W	ロウアドレスレジスタ0（ADDR0_ROW）のアドレス自動インクリメント このビットがセットされているとき、アドレスレジスタ0を使用してコマンドシーケンスを送信すると、アドレスレジスタ0がインクリメントされます。 0: 自動インクリメント無効 1: 自動インクリメント有効
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
14	PROT_EN	0	R/W	プロテクト機構イネーブル 0: プロテクト無効 1: プロテクト有効
13	BBM_EN	0	R/W	不良ブロック管理許可フラグ 詳細は「31.3.5　リマッピングメカニズム」を参照してください。

ビット	ビット名	初期値	R/W	説明
12 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
7、6	BLOCK_ SIZE[1:0]	H'0	R/W	ブロックサイズ 00: ブロックあたり 32 ページ 01: ブロックあたり 64 ページ 10: ブロックあたり 128 ページ 11: ブロックあたり 256 ページ
5	ECC_EN	0	R/W	ハードウェア ECC サポートイネーブル 0: ECC 無効 1: ECC 有効 m × (ECC_BLOCK_SIZE) ≦ DATA_SIZE ≦ m × (ECC_BLOCK_SIZE ＋ 32)、 ここで m = 1,2,3,.. のときのみハードウェア ECC を使用できます。
4	INT_EN	0	R/W	グローバル割り込みイネーブル 0: 割り込み無効 1: 割り込み有効 詳細は「31.3.6　割り込み メカニズム」を参照してください。
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 このビットに 0 以外の値を書き込んだ場合の動作は保証されません。
2、1	ECC_ BLOCK_ SIZE[1:0]	H'0	R/W	ECC ブロックサイズ: 00: 256 バイト 01: 512 バイト 10: 1024 バイト 11: 利用不可 ECC ブロックサイズは、すべてのメモリデバイスがレディのときのみ変更できます。
0	READ_ STATUS_ EN	0	R/W	自動 READ STATUS ／ RnB ラインチェック この機能が有効なとき、STATUS_MASK レジスタの STATUS_MASK フィールドを設定する必要があります。 コントローラがデバイスのレディ / ビジー状態をどのように検出するか選択します。 0: コントローラは RnB ラインをチェックします。 1: コントローラは READ STATUS コマンドを送信します。 注. 自動的に送信される READ STATUS コマンドは、ONFI 1.0 と互換性のあるデバイスでのみ使用できます。

31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）

GEN_SEQ_CTRL は、汎用シーケンスをパラメータ化するために使用されます。
詳細は「31.3.2　汎用シーケンス」を参照してください。例は、表 31.7 を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CMD_3[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMD_SEQ	DELAY_EN[1:0]		DATA_EN	ROW_A1[1:0]		ROW_A0[1:0]		COL_A1[1:0]		COL_A0[1:0]		CMD3_EN	CMD2_EN	CMD1_EN	CMD0_EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
23 ～ 16	CMD_3[7:0]	H'00	R/W	コマンド3のコード値
15	IMD_SEQ	0	R/W	コマンドの即時実行有効 このビットにより、選択されたターゲットの状態をチェックせずに、コマンドシーケンスを実行することができます。 0: 機能無効 1: 機能有効
14、13	DELAY_EN[1:0]	H'0	R/W	ビジー 0、1 フェーズイネーブル このビットにより、汎用シーケンスでの「ビジー」フェーズの存在を有効または無効にすることができます。 00: 遅延0、1（ビジー 0、1 フェーズ）ともに無効 01: 遅延0（ビジー 0 フェーズ）有効 10: 遅延1（ビジー 1 フェーズ）有効 11: 遅延0、1（ビジー 0、1 フェーズ）ともに無効
12	DATA_EN	0	R/W	データパートシーケンスイネーブル このビットにより、汎用シーケンスでのデータフェーズを有効または無効にすることができます。 0: データフェーズ無効 1: データフェーズ有効
11、10	ROW_A1[1:0]	H'0	R/W	ロウアドレスサイクル NAND フラッシュデバイスに送信するロウアドレスバイト数。 00: 0アドレスサイクル 01: 1アドレスサイクル 10: 2アドレスサイクル 11: 3アドレスサイクル
9、8	ROW_A0[1:0]	H'0	R/W	ロウアドレスサイクル NAND フラッシュデバイスに送信するロウアドレスバイト数。 00: 0アドレスサイクル 01: 1アドレスサイクル 10: 2アドレスサイクル 11: 3アドレスサイクル
7、6	COL_A1[1:0]	H'0	R/W	カラムアドレスサイクル NAND フラッシュデバイスに送信するカラムアドレスバイト数。 00: 0アドレスサイクル 01: 1アドレスサイクル 10: 2アドレスサイクル 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
5、4	COL_A0[1:0]	H'0	R/W	カラムアドレスサイクル NAND フラッシュデバイスに送信するカラムアドレスバイト数。 00 : 0アドレスサイクル 01 : 1アドレスサイクル 10 : 2アドレスサイクル 11 : 設定禁止
3	CMD3_EN	0	R/W	コマンド3フェーズイネーブル このビットによって、汎用シーケンスで「コマンド3」フェーズの存在を有効または無効にすることができます。 1: 有効 0: 無効
2	CMD2_EN	0	R/W	コマンド2フェーズイネーブル このビットによって、汎用シーケンスで「コマンド2」フェーズの存在を有効または無効にすることができます。 1: 有効 0: 無効
1	CMD1_EN	0	R/W	コマンド1フェーズイネーブル このビットによって、汎用シーケンスで「コマンド1」フェーズの存在を有効または無効にすることができます。 1: 有効 0: 無効
0	CMD0_EN	0	R/W	コマンド0フェーズイネーブル このビットによって、汎用シーケンスで「コマンド0」フェーズの存在を有効または無効にすることができます。 1: 有効 0: 無効

31.2.4　コントローラステータスレジスタ（STATUS）

STATUS は、NAND フラッシュコントローラと接続されたデバイスのステータスフラグを格納します。これらのフラグを使用すると、現在のコントローラの内部状態を取得できます。

CTRL_STAT フラグは、コントローラが選択された NAND フラッシュデバイスに対して要求されたコマンドの実行を開始した後にセットされ、コマンド実行が完了していない間はアクティブになります。

コマンドの実行は 2 つのフェーズに分けられます。

第 1 フェーズでは、NAND フラッシュデバイスがビジー状態になる時点で、コマンドシーケンスが実行されます。その後、コントローラは保留中の動作に関する情報を選択されたデバイスに格納します。

第 2 フェーズでは、コントローラは以前に格納されたデータに基づいて、保留中のコマンド実行を自動的に終了します。

このフラグが設定されている限り、コントローラは新しいコマンドを受け付けません。

MEM0_ST フラグは、NAND フラッシュデバイスの状態に関する情報を提供します。このフラグは、NAND フラッシュデバイスの RnB ラインと同じ機能を持ちます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CMD_ID[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

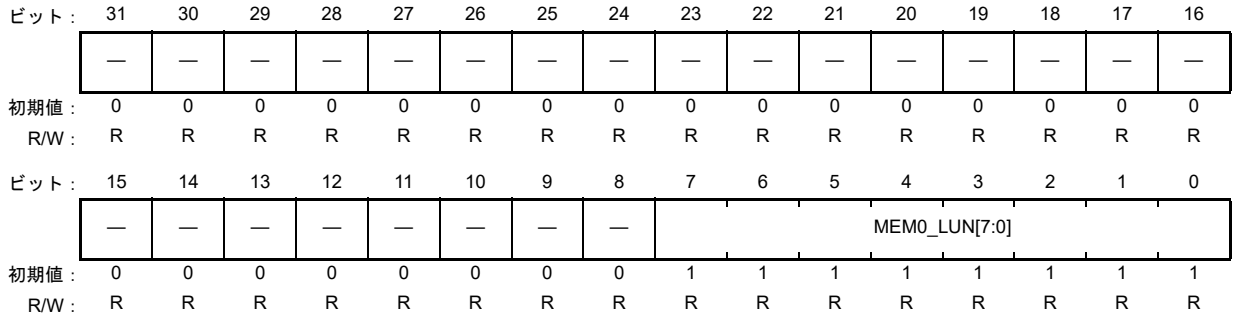
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DATA_REG_ST	DATASIZE_ERROR_ST	CTRL_STAT	—	—	—	—	—	—	—	MEM0_ST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
23 ～ 16	CMD_ID [7:0]	H'00	R	コマンドID コマンドがFIFOに書き込まれる前に、実行中の現在のコマンド識別マーカが追加されます。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
10	DATA_ REG_ST	0	R	The DATA_REG: このフラグのリセットは、DATA_REG レジスタからデータを読み出すことによってのみ可能です。 1: DATA_REGのデータ利用可 0: DATA_REGのデータ利用不可
9	DATASIZE _ERROR _ST	0	R	データサイズ値エラー ECC有効のとき、DATA_SIZE レジスタに正しくない値が設定されている事を示します。正しいデータサイズ値のアルゴリズムはDATA_SIZE レジスタの説明にあります。 0: 正しい値 1: 正しくない値
8	CTRL_ STAT	0	R	メインコントローラステータスビット 0: コントローラ レディ 1: コントローラ ビジー
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
0	MEM0_ST	1	R	デバイス0 ステータスフラグ 1: デバイス レディ 0: デバイス ビジー

注. READ PARAMETER PAGE コマンドを使用する場合、ECC ブロックサイズは DATA SIZE と同じにする必要があります。
"SET FEATURES" または "GET FEATURES" または "READ ID" コマンドを使用する場合は、ECC 機能を無効にする必要があります。

31.2.5　LUN ステータスレジスタ（LUN_STATUS_0）

LUN_STATUS_0 は、LUN ステータス情報へのアクセスを許可します。LUN ステータスフィールドの各ビットには、デバイスの単一 LUN のステータスが含まれます。ビジー状態は「0」、レディ状態は「1」を表示します。



ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
7 ～ 0	MEM0_ LUN[7:0]	H'FF	R	メモリ 0 LUN-s ステータスフィールド

31.2.6　割り込みマスクレジスタ（INT_MASK）

INT_MASKは、NANDフラッシュコントローラ内の選択された割り込み要因のマスキングを許可します。マスクされた割り込みは、ステータスレジスタの当該ビットをセットしますが、割り込み信号はアサートしません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	ECC_INT0_EN	—	—	—	—	—	—	—	STAT_ERR_INT0_EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MEM0RDY_INT_EN	—	PG_SZ_ERR_INT_EN	—	TRANS_ERR_EN	DMA_INT_EN	DATA_REG_INT_EN	CMD_END_INT_EN	PROT_INT_EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 25	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
24	ECC_INT0_EN	0	R/W	メモリデバイス0のECCモジュールステータスからの割り込みをイネーブルにします。 0: 割り込み無効 1: 割り込み有効
23 ～ 17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
16	STAT_ERR_INT0_EN	0	R/W	メモリデバイス0で最後に完了した動作がフェイルしたとき、割り込みを有効にします。 これは、PROGRAM PAGEとERASE BLOCK動作に適用されます。 READ系動作の後では無効です。 0: 割り込み無効 1: 割り込み有効
15 ～ 9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
8	MEM0_RDY_INT_EN	0	R/W	メモリデバイス0は新しいコマンドの準備ができています。 0: 割り込み無効 1: 割り込み有効 詳細は「図31.31　コマンドシーケンス終了とメモリレディ割り込み」を参照してください。
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
6	PG_SZ_ERR_INT_EN	0	R/W	データサイズエラー発生 0: 割り込み無効 1: 割り込み有効
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
4	TRANS_ERR_EN	0	R/W	スレーブインタフェースエラーの転送 0: 割り込み無効 1: 割り込み有効
3	DMA_INT_EN	0	R/W	DMA転送終了 0: 割り込み無効 1: 割り込み有効

ビット	ビット名	初期値	R/W	説明
2	DATA_REG_INT_EN	0	R/W	DATA_REGのデータ使用可能 0: 割り込み無効 1: 割り込み有効
1	CMD_END_INT_EN	0	R/W	コマンドシーケンス終了 0: 割り込み無効 1: 割り込み有効 詳細は「図31.31　コマンドシーケンス終了とメモリレディ割り込み」を参照してください。
0	PROT_INT_EN	0	R/W	イレーズ／ライト プロテクト領域割り込みイネーブル 0: 割り込み無効 1: 割り込み有効

31.2.7　割り込みステータスレジスタ（INT_STATUS）

INT_STATUSは、NANDフラッシュコントローラの割り込みフラグを格納します。与えられたビットが0の場合、対応する割り込み条件が満たされていません。与えられたビットが1の場合、対応する割り込み条件が満たされています。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	ECC_INT0_FL	—	—	—	—	—	—	—	STAT_ERR_INT0_FL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	MEM0_RDY_INT_FL	—	PG_SZ_ERR_INT_FL	—	TRANS_ERR_FL	DMA_INT_FL	DATA_REG_INT_FL	CMD_END_INT_FL	PROT_INT_FL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～25	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
24	ECC_INT0_FL	0	R/W	ECCモジュールの選択されたフラグ（要因はECC_UNC_0、ECC_ERROR_0またはECC_OVER_0）がセットされます。
23～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
16	STAT_ERR_INT0_FL	0	R/W	メモリデバイス0で最後に完了した動作がフェイルしました。 これは、PROGRAM PAGEとERASE BLOCK動作に適用されます。 READ系動作の後では無効です。
15～9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
8	MEM0_RDY_INT_FL	0	R/W	メモリデバイス0は、新たなコマンドの準備ができています。
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
6	PG_SZ_ERR_INT_FL	0	R/W	データサイズエラーフラグECCが有効のとき、DATA_SIZEレジスタに書き込まれる値にはいくつかの制限があります。 DATA_SIZEレジスタに書き込まれた値が正しくないとき、割り込み条件が満たされます。
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
4	TRANS_ERR_FL	0	R/W	スレーブインタフェース転送エラー FIFOメモリへのアクセスが現在のFIFOの設定とは逆方向のとき、フラグがセットされます。
3	DMA_INT_FL	0	R/W	DMA転送終了フラグ
2	DATA_REG_INT_FL	0	R/W	DATA_REGのデータ使用可能
1	CMD_END_INT_FL	0	R/W	転送シーケンス終了
0	PROT_INT_FL	0	R/W	イレーズ／ライトプロテクト領域 割り込みイネーブル

31.2.8　ECC モジュール制御レジスタ（ECC_CTRL）

ECC_CTRL は、ECC が必要とするすべてのコンフィギュレーションパラメータを格納します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECC_SEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	ERR_THRESHOLD[5:0]						—	—	—	—	—	ECC_CAP[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
17、16	ECC_SEL [1:0]	H'0	R/W	ECC割り込みソースを選択します。 これらのビットは、割り込み信号の要因として使用されるECCモジュールフラグを選択します。 00: 割り込みソースとしてECC_ERROR（訂正可能なエラー）フラグを選択。 01: 割り込みソースとしてECC_UNC（訂正不能エラー）フラグを選択。 1x: 割り込みソースとしてECC_OVER（許容誤差レベルオーバフロー）フラグを選択。（ECC_OVERフラグは訂正不能エラー（ECC_UNC_0 = 1）ではセットされません）
15、14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
13 ～ 8	ERR_ THRESHOLD [5:0]	H'00	R/W	許容されるエラーレベル。 このフィールドの値には、受け入れ可能なエラーの数が含まれています。 このフィールドは、アプリケーションプログラムによって初期化する必要があります。
7 ～ 3	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
2 ～ 0	ECC_CAP [2:0]	H'0	R/W	ECCモジュール訂正能力。 訂正能力は、メモリデバイスがレディの場合にのみ変更することができます。 000: 2 001: 4 010: 8 011: 16 100: 24 その他: 32

31.2.9　ECC モジュールステータスレジスタ（ECC_STAT）

ECC_STAT は、すべての ECC モジュールのステータス情報を格納します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECC_OVER_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

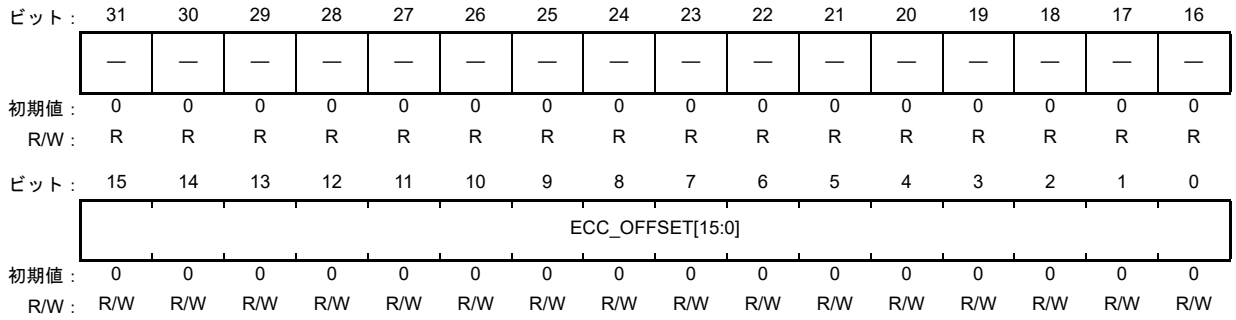
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ECC_UNC_0	—	—	—	—	—	—	—	ECC_ERROR_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
16	ECC_OVER_0	0	R/W	メモリデバイス 0 の許容誤差レベルオーバフロー エラー数が、宣言された ERR_THRESHOLD ビットの値より大きいとき、ビットがセットされます。（訂正不能エラーはカウントされません）
15 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
8	ECC_UNC_0	0	R/W	メモリデバイス 0 の訂正不能エラーフラグ このビットは、読み出し動作中に訂正不能なエラーが発生したときにセットされます。
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
0	ECC_ERROR_0	0	R/W	メモリデバイス 0 訂正可能エラーフラグ このビットは、読み出し動作中に訂正可能なエラーまたは訂正不能なエラー（ECC_UNC_0 = 1）が発生したときにセットされます。

31.2.10　スペア領域レジスタの ECC オフセット（ECC_OFFSET）

ECC_OFFSET は、ページの先頭から修正ワードが格納される場所までのオフセット値を格納します。ECC_OFFSET レジスタの値は、DATA_SIZE レジスタの値より大きくなければなりません。

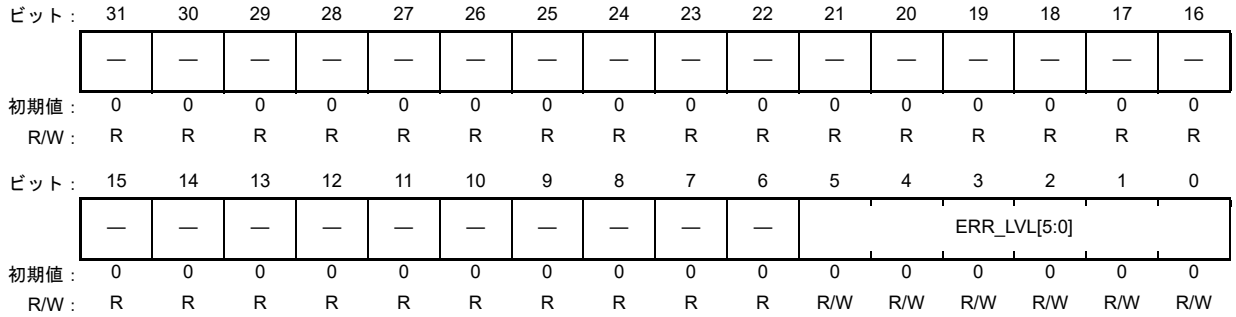
スモールブロックモードでは ECC_OFFSET の値は無視され、訂正ワードは NAND フラッシュメモリデバイス内のデータの直後に置かれます。



ビット	ビット名	初期値	R/W	説明
31 ～ 16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
15 ～ 0	ECC_ OFFSET[15:0]	H'0000	R/W	訂正ワードブロックオフセット

31.2.11　ECC エラーレベルカウンタレジスタ（ECC_CNT）

ECC_CNT は、最後のページ読み出し動作の間に検出された値の数を格納します。このレジスタの内容は自動的にクリアされません。ソフトウェアで行う必要があります。新しいページ読み出し動作は、以前のレジスタ値を上書きしません。レジスタは、処理された ECC ブロックで検出された最大エラーレベルの値を格納します。

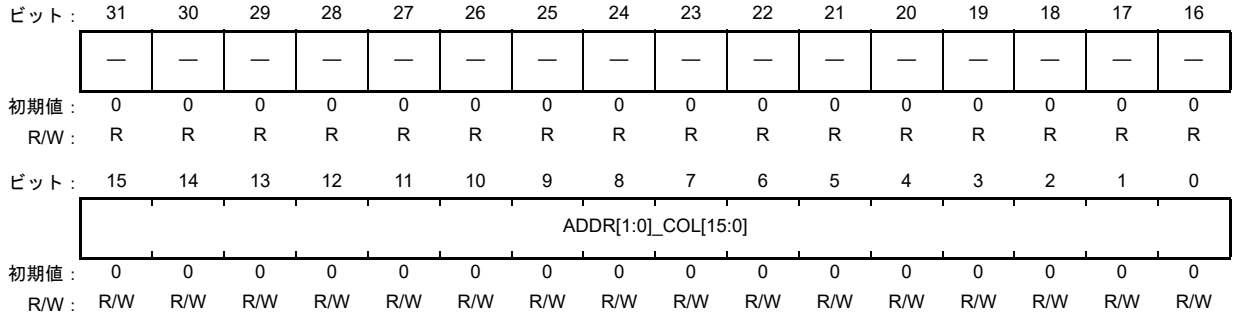


ビット	ビット名	初期値	R/W	説明
31 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
5 ～ 0	ERR_LVL[5:0]	H'00	R/W	検出されたエラーレベル（訂正不能エラーはカウントされません）

31.2.12　カラム／ロウ アドレスレジスタ（ADDR[1:0]_COL, ADDR[1:0]_ROW）

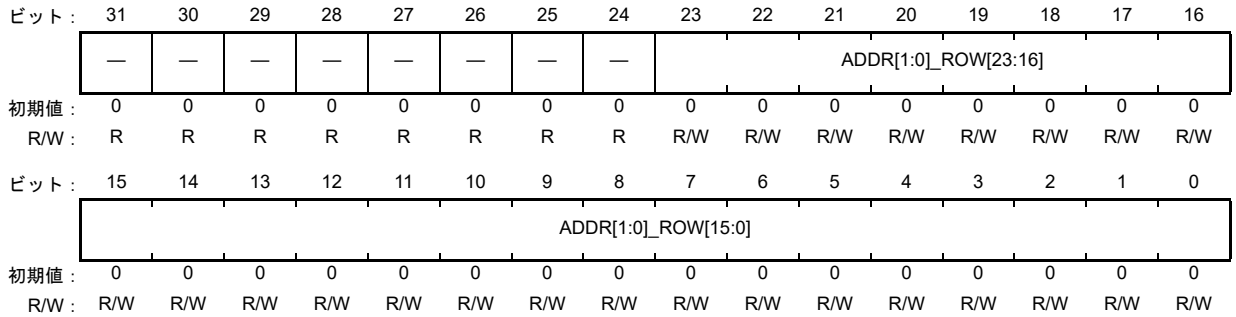
ADDR[1:0]_COL, ADDR[1:0]_ROW は、NAND フラッシュデバイスへのアクセス中に、次のコマンドシーケンスで使用されるアドレスを格納します。

ADDR [1:0] _COL:



ビット	ビット名	初期値	R/W	説明
31 ～ 16	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15 ～ 0	ADDR[1:0]_ COL[15:0]	H'0000	R/W	カラムアドレス、A15～A0アドレスビット

ADDR [1:0] _ROW:



ビット	ビット名	初期値	R/W	説明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
23 ～ 0	ADDR[1:0]_ ROW[23:0]	H'000000	R/W	ロウアドレス、A39～A16アドレスビット （ONFIのときの、ページアドレス、ブロックアドレスとLUNアドレス）

注 1.　NAND フラッシュメモリチップの総メモリサイズを定義するレジスタは存在しませんので、コントローラは ADDR[1:0]_COL と ADDR[1:0]_ROW の、どのアドレスビットが重要で、かつゼロでなければならないか、判別できません。このため、ソフトウェアは、これらのレジスタに書き込まれた値に、特別に注意を払う必要があります。
未使用アドレスビットの不正な値（0 以外）は、メモリアクセスにエラーを引き起こす可能性があります。
アドレスレジスタとメモリデバイスのアドレス幅との関係は、COMMAND レジスタのコマンドシーケンスフィールドによって設定されます。NAND フラッシュメモリデバイスをアドレッシングするときに、どのコマンドシーケンスを使用しなければならないかと、どれだけの数のアドレスバイトを使用するかを、このフィールドは判別します。

(例 : ブロック消去のために、ロウアドレスを含む 3 アドレスサイクルが、NAND フラッシュメモリデバイスに書き込まれます。NAND フラッシュコントローラは、自動的にビット A39 ～ A16 を NAND フラッシュデバイスに書き込みます。)
各コマンドシーケンスで NAND フラッシュメモリデバイスに書き込まれるアドレスサイクルの数を見るために、「31.3.1　(2)　コマンドシーケンスエンコーディング」と「表 31.6　コマンドシーケンス エンコーディング」を参照してください。
アドレスレジスタに書き込まれるアドレスは、NAND フラッシュデバイスに従って、アラインされる必要があります。未使用ビットには、ゼロが埋め込まれている必要があります。

注 2.　ロウアドレスレジスタの自動インクリメントがイネーブルされている場合、STATUS レジスタの CTRL_STAT ビットがクリアされている場合にのみ、このレジスタの適切な値を読み出すことができます。

表 31.3　　アドレスレジスタとアドレスバイトの関係

Address Cycle	I/O 0	I/O 1	I/O 2	I/O 3	I/O 4	I/O 5	I/O 6	I/O 7
1st cycle	A0	A1	A2	A3	A4	A5	A6	A7
2nd cycle	A8	A9	A10	A11	A12	A13	A14	A15
3rd cycle	A16	A17	A18	A19	A20	A21	A22	A23
4th cycle	A24	A25	A26	A27	A28	A29	A30	A31
5th cycle	A32	A33	A34	A35	A36	A37	A38	A39

31.2.13　ページサイズ値レジスタ（DATA_SIZE）

DATA_SIZEは、データブロックサイズの値が格納されます。データサイズの値は転送されたブロックあたりのバイト数として記憶されますが、そのサイズは選択したNANDフラッシュワードサイズの倍数として宣言する必要があります。与えられたワードサイズ構成の未使用ビットは無視され、0に置き換えられます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DATA_SIZE[14:0]														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 15	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
14 ～ 0	DATA_SIZE [14:0]	H'0000	R/W	データサイズ このフィールドの値は、データサイズを定義します。

注.　ECC有効のとき、DATA_SIZEレジスタに適切な値を書き込みます。
(ECC_BLOCK_SIZE) × m ≦DATA_SIZE ≦(ECC_BLOCK_SIZE + 32) × m,　ここで、m = 1, 2, 3 ...

ECC_BLOCK_SIZEが512バイトのときに、正しい値の例を示します。

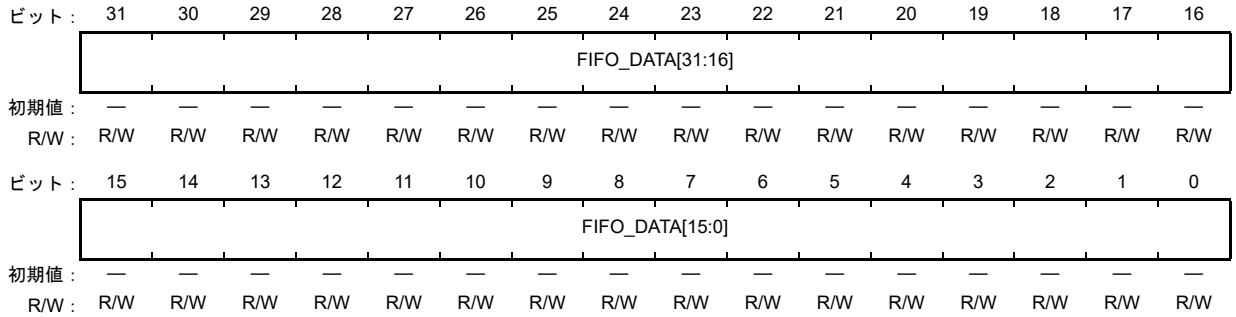
表31.4　DATA_SIZEの値が正しい例

DATA_SIZEの値	設定可/不可
H'0000	設定不可
….	….
H'001F	設定不可
H'0020	設定不可
H'0021	設定不可
….	….
H'01FF	設定不可
H'0200	設定可
H'0201	設定可
….	….
H'0220	設定可
H'0221	設定不可
….	….
H'03FF	設定不可
H'0400	設定可
H'0401	設定可
….	….
H'0440	設定可
H'0441	設定不可
….	….

注1.　ECC_BLOCK_SIZEは512バイト

31.2.14　FIFO モジュールインタフェースレジスタ（FIFO_DATA）

FIFO DATA は、FIFO モジュールへのエントリポイントとして使用されます。CPU は他のレジスタにアクセスするのと同じ方法で、FIFO_DATA からの読み出し、または FIFO_DATA への書き込みによって、FIFO モジュールにアクセスできます。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	FIFO_DATA [31:0]	不定	R/W	FIFO データ

注．　FIFO_DATA は、読み出しまたは書き込みコマンド発行後にアクセスできます。

31.2.15　不良ブロック管理（BBM）制御レジスタ（BBM_CTRL）

BBM_CTRL は、BBM 固有の制御パラメータを格納します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RMP_INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RMP_INIT	0	R/W	初期フラグリマップ このフラグがセットされているとき、ソフトウェアによって更新された後、BBMモジュールにリマッピングテーブルを再読み込みさせます。 このフラグはソフトウェアによってセットされ、リマッピングテーブルを再読み込みした後、ハードウェアによってクリアされます。

31.2.16　レコードテーブルポインタ レジスタ（DEV0_PTR）

不良ブロック管理メカニズムは、内蔵メモリ内のテーブルを使用して、リマッピングレコードを格納します。DEV0_PTR には、リマッピングレコードアドレスのテーブルが格納されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PTR_ADDR[11:2]										—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
11 ～ 2	PTR_ADDR [11:2]	H'000	R/W	リマップテーブルポインタ このフィールドには、内蔵メモリ内のリマップテーブルのアドレスが含まれています。
1 ～ 0	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。これらのビットに0以外の値を書き込んだ場合の動作は保証されません。

31.2.17　レコードテーブルサイズレジスタ（DEV0_SIZE）

コントローラに実装された不良ブロック管理メカニズムは、内蔵メモリ内のテーブルを使用して、リマッピングレコードを格納します。各テーブルは、NAND フラッシュデバイス内の不良ブロックの数に応じて、可変数のレコードを格納できます。

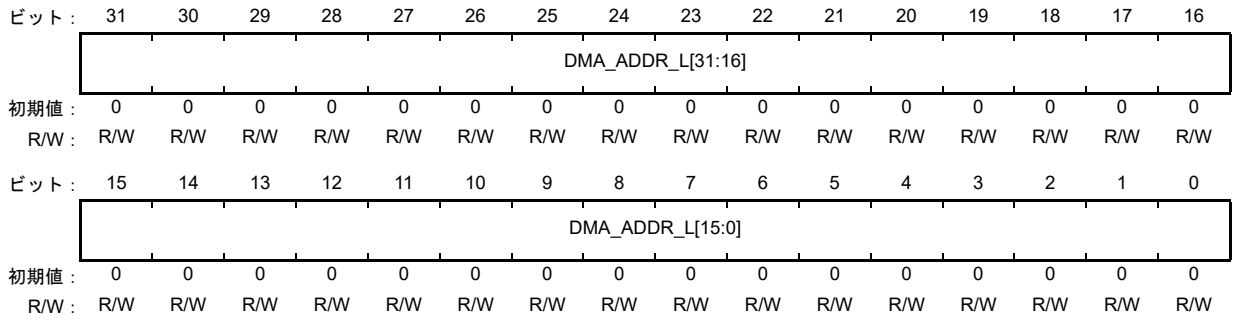
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DEV_SIZE[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
11 ～ 0	DEV_SIZE[11:0]	H'000	R/W	レコード数

31.2.18　DMA ベースアドレス レジスタ（DMA_ADDR_L）

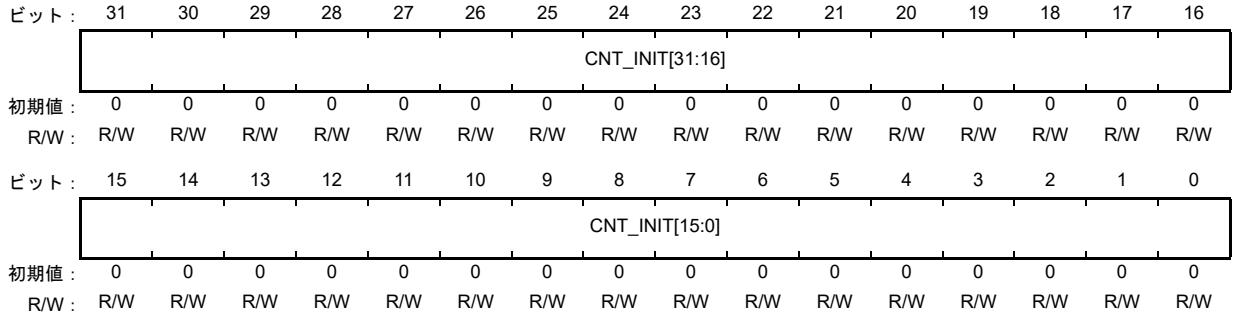
DMA_ADDR_L は、DMA ベースアドレスで、システムメモリ内のデータブロック内の最初のデータのアドレス、または最初のディスクリプタのアドレスが格納されます。DMA モジュールは、DMA_ADDR で指定されたメモリ記憶域からデータを読み出して FIFO モジュールに書き込むか、または FIFO モジュールからデータを読み出して DMA_ADDR で示される位置からメモリに書き込むことができます。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	DMA_ADDR_L [31:0]	H'0000 0000	R/W	DMA ベースアドレス 下位 2 ビットは無視されるため、アドレスは 32 ビットワードにアラインする必要があります。

31.2.19　DMA カウンタ初期値レジスタ（DMA_CNT）

DMA_CNT は、DMA モジュールによって転送されるバイト数を設定します。転送中、レジスタは変更されません。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	CNT_INIT [31:0]	H'0000 0000	R/W	バイトカウンタ初期値 このフィールドには、データページの長さがバイト単位で格納されます（H'0000 0004 ～ H'FFFF FFFC）。 バイト数は4 の倍数を設定してください。

31.2.20　DMA 制御レジスタ（DMA_CTRL）

DMA_CTRL は、DMA チャネルの制御レジスタです。このレジスタは DMA 転送のパラメータを定義します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DMA_START	—	DMA_MODE	DMA_ BURST[2:0]			—	DMA_READY
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
7	DMA_START	0	R/W	コマンドシーケンスがNAND フラッシュメモリに送信されるとき、 DMA を開始するようにDMA_START ビットをセットします。 詳細は「31.4.2 (2)　DMAの説明」を参照してください。
6	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
5	DMA_MODE	0	R/W	DMA 動作モード 0: レジスタ管理 モード 1: スキャッタギャザーモード
4 ～ 2	DMA_BURST [2:0]	H'0	R/W	バーストタイプ DMAの転送タイプを設定します。 000：インクリメントバースト転送 (アドレスインクリメント) 上記以外は設定禁止
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
0	DMA_READY	1	R	DMA レディフラグ. このフラグは、転送が完了するとセットされます。

31.2.21　DMA トリガレベル値レジスタ（DMA_TRIG_TLVL）

DMA_TRIG_TLVL は、DMA モジュールをトリガするデータ FIFO 占有レベルを設定します。詳細は「31.4.2 (2)　DMA の説明」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DMA_TRIG_TLVL[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
7 ～ 0	DMA_TRIG_TLVL [7:0]	H'00	R/W	DMA トリガレベル トリガレベルは、32 ビットワードをエンティティとしてカウントされます。

31.2.22　READ STATUS コマンドマスクレジスタ（STATUS_MASK）

STATE_MASK ビットは、NAND フラッシュデバイスのステータスバイトの レディ／ビジー ビットをマークするために使用されます。本ビットは、内部読み出しステータス動作中に使用されます。ONFI では RDY または ARDY を除くすべてのフィールドをマスクする必要があります（アプリケーションに依存します）。

ERROR_MASK ビットは、コントローラが NAND フラッシュメモリデバイスのステータスを自動的に読み出すとき、未使用のフィールドをマスクするために使用されます。ONFI では FAIL または FAILC 以外のすべてのフィールドをマスクする必要があります（アプリケーションに依存します）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ERROR_MASK[7:0]								STATE_MASK[7:0]							
初期値：	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 16	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15 ～ 8	ERROR_MASK [7:0]	H'40	R/W	エラー状態マスク 自動読み出しステータス機能が有効なとき、エラービットをマスクするために使用。
7 ～ 0	STATE_MASK [7:0]	H'40	R/W	状態マスク 読み出しステータスコマンドを使用してNANDフラッシュステータスを取得したとき、ステータスビットをマスクするために使用。

31.2.23　コマンドシーケンスタイミングコンフィギュレーションレジスタ 0（TIME_SEQ_0）

TIME_SEQ_0 は、波形タイミングを調整するレジスタです。すべてのタイミングは P1φ を使用して生成され、クロックサイクル単位の遅延が追加されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	TWHR[5:0]						—	—	TRHW[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TADL[5:0]						—	—	TCCS[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
29 ～ 24	TWHR[5:0]	H'00	R/W	NFWE# ハイ — NFRE# ロー時間
23、22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
21 ～ 16	TRHW[5:0]	H'00	R/W	NFRE# ハイ — NFWE# ロー時間
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
13 ～ 8	TADL[5:0]	H'00	R/W	ALE — データ開始時間
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
5 ～ 0	TCCS[5:0]	H'00	R/W	カラムセットアップ変更

31.2.24　コマンドシーケンスタイミングコンフィギュレーションレジスタ 1（TIME_SEQ_1）

TIME_SEQ_1 は、波形タイミングを調整するレジスタです。すべてのタイミングは P1φ を使用して生成され、クロックサイクル単位の遅延が追加されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TRR[5:0]						—	—	TWB[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
13 ～ 8	TRR[5:0]	H'00	R/W	リード ハイ―リード ロー時間 TRRはリードビジー入力の立上りからリードイネーブルがアサートされるまでの時間
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
5 ～ 0	TWB[5:0]	H'00	R/W	tWB ディレイ NFWE#の立上りからRnBラインの立下りまでの測定時間

31.2.25　汎用シーケンスタイミングコンフィギュレーションレジスタ 0（TIME_GEN_SEQ_0）

TIME_GEN_SEQ_0 は、汎用シーケンス用の波形タイミングを調整するレジスタです。詳細は「**31.3.2 汎用シーケンス**」を参照してください。すべてのタイミングは P1φ を使用して生成され、クロックサイクル単位の遅延が追加されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	t0_d3[5:0]						—	—	t0_d2[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	t0_d1[5:0]						—	—	t0_d0[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
29 ～ 24	t0_d3[5:0]	H'00	R/W	コマンド — データ時間 コマンド送信とデータ転送間の時間
23、22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
21 ～ 16	t0_d2[5:0]	H'00	R/W	コマンド — 遅延時間 NAND フラッシュメモリデバイスにコマンドを送信してからメモリがレディになるまでの待ち時間
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
13 ～ 8	t0_d1[5:0]	H'00	R/W	コマンド — コマンド時間 NAND フラッシュメモリデバイスに、コマンドを送信してから、後続のコマンドを送信するまでの時間
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
5 ～ 0	t0_d0[5:0]	H'00	R/W	コマンド — アドレス時間 NAND フラッシュメモリデバイスに、コマンドを送信してから、アドレスを送信するまでの時間

31.2.26　汎用シーケンスタイミングコンフィギュレーションレジスタ 1（TIME_GEN_SEQ_1）

TIME_GEN_SEQ_1 は、汎用シーケンス用の波形タイミングを調整するレジスタです。詳細は「**31.3.2 汎用シーケンス**」を参照してください。すべてのタイミングは P1φ を使用して生成され、クロックサイクル単位の遅延が追加されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	t0_d7[5:0]						—	—	t0_d6[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	t0_d5[5:0]						—	—	t0_d4[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
29 ～ 24	t0_d7[5:0]	H'00	R/W	アドレス — データ時間 アドレスを送信してからデータを転送するまでの時間
23、22	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
21 ～ 16	t0_d6[5:0]	H'00	R/W	アドレス — 遅延時間 NAND フラッシュメモリデバイスにアドレスを送信してからメモリがレディになるまでの待ち時間
15、14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
13 ～ 8	t0_d5[5:0]	H'00	R/W	アドレス — アドレス時間 NAND フラッシュメモリデバイスにアドレスを送信してからアドレスを送信するまでの時間
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
5 ～ 0	t0_d4[5:0]	H'00	R/W	アドレス — コマンド時間 NAND フラッシュメモリデバイスに、アドレスを送信してからコマンドを送信するまでの時間

31.2.27　汎用シーケンスタイミングコンフィギュレーションレジスタ 2（TIME_GEN_SEQ_2）

TIME_GEN_SEQ_2 は、汎用シーケンス用の波形タイミングを調整するレジスタです。詳細は「31.3.2 **汎用シーケンス**」を参照してください。すべてのタイミングは P1φ を使用して生成され、クロックサイクル単位の遅延が追加されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	t0_d11[5:0]						—	—	t0_d10[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	t0_d9[5:0]						—	—	t0_d8[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
29 ～ 24	t0_d11[5:0]	H'00	R/W	データ — 遅延時間 データを転送してからメモリがレディになるまでの待ち時間
23、22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
21 ～ 16	t0_d10[5:0]	H'00	R/W	データ — コマンド時間 データを転送してから NAND フラッシュメモリデバイスにコマンドを送信するまでの時間
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
13 ～ 8	t0_d9[5:0]	H'00	R/W	遅延 — コマンド時間 メモリがレディになってから NAND フラッシュメモリデバイスにコマンドを送信するまでの時間
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
5 ～ 0	t0_d8[5:0]	H'00	R/W	遅延 — データ時間 メモリがレディになってからデータを転送するまでの時間

31.2.28　汎用シーケンスタイミングコンフィギュレーションレジスタ 3（TIME_GEN_SEQ_3）

TIME_GEN_SEQ_3 は、汎用シーケンス用の波形タイミングを調整するレジスタです。詳細は「**31.3.2 汎用シーケンス**」を参照してください。すべてのタイミングは P1φ を使用して生成され、クロックサイクル単位の遅延が追加されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	t0_d12[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
5 ～ 0	t0_d12[5:0]	H'00	R/W	データ — シーケンス終了時間 データ転送のフェーズからシーケンス終了するまでの時間で、他のシーケンスフェーズが有効になっていないときに終了します。

31.2.29　タイミングコンフィギュレーションレジスタ（TIMINGS_ASYN）

TIMINGS_ASYN は、図 31.2 に示す 2 つの波形タイミング (上段：リード転送、下段：ライト転送) を調整するレジスタです。すべてのタイミングは P1φ を使用して生成され、クロックサイクル単位の遅延が追加されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TRWH[3:0]				TRWP[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
7 ～ 4	TRWH[3:0]	H'0	R/W	NFRE#/NFWE# のハイホールド時間
3 ～ 0	TRWP[3:0]	H'0	R/W	NFRE#/NFWE# のパルス幅

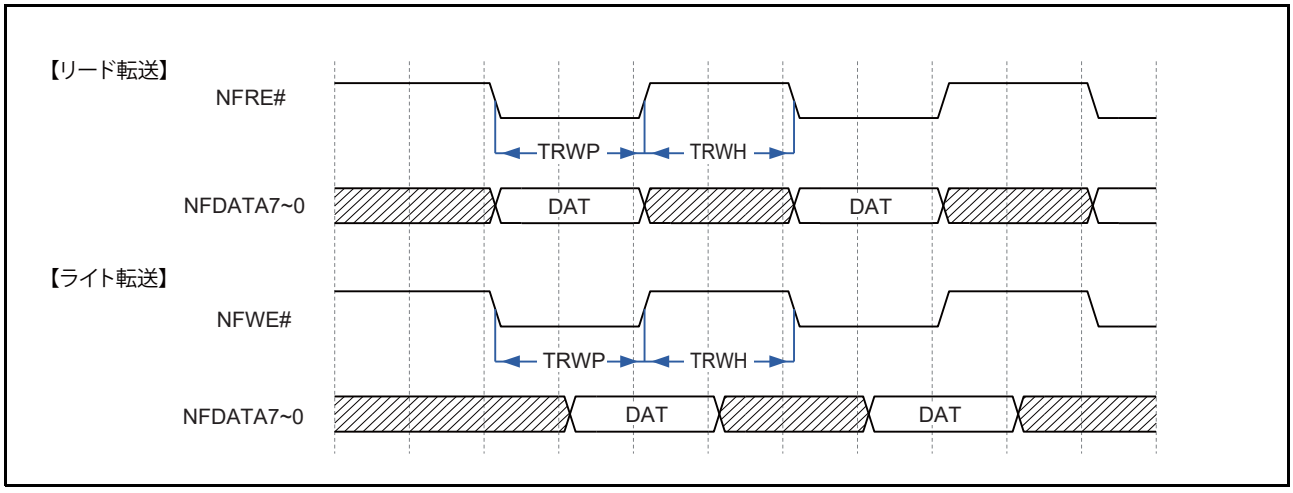
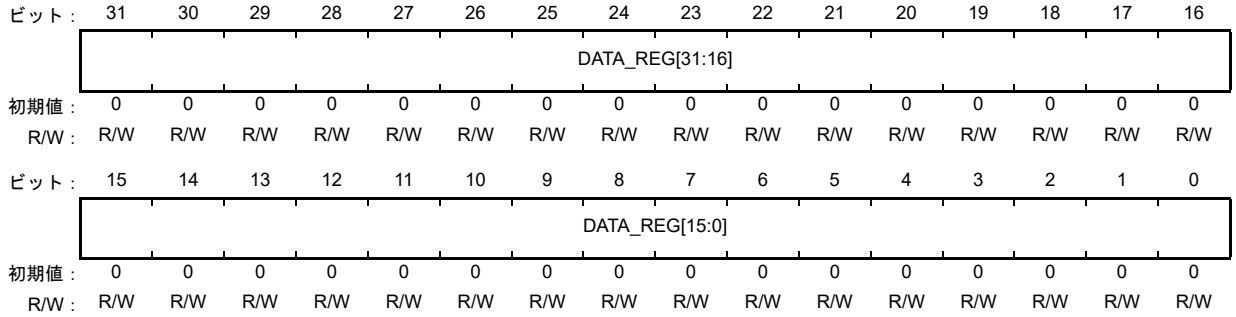


図 31.2　非同期タイミング

31.2.30　データレジスタ（DATA_REG）

DATA_REG は、レジスタードモードで読み出されたデータの格納に使用されます。レジスタードモードは、読み出し方向のみで許可されます。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	DATA_REG [31:0]	H'0000 0000	R/W	DATA_REG

31.2.31　データレジスタサイズ 選択レジスタ（DATA_REG_SIZE）

DATA_REG_SIZE は、レジスタード動作モードでのデータサイズの選択を可能にします。レジスタードモードでのデータサイズは、4 バイトに制限されます。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATA_REG_SIZE[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
1、0	DATA_REG_SIZE[1:0]	H'0	R/W	DATA_REG_SIZE レジスタ DATA レジスタの有効バイト数を選択できます。 00: 1バイト有効 01: 下位２バイト有効 10: 下位３バイト有効 11: 4バイトすべて有効

31.2.32　FIFO 制御レジスタ（FIFO_INIT）

FIFO_INIT は、FIFO をクリア（フラッシュ）するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FIFO_INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

ビット	ビット名	初期値	R/W	説明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
0	FIFO_INIT	0	W	FIFO初期化ビット このビットをセットすると、FIFOをクリアします。各コマンドをNANDフラッシュメモリデバイスに送信する前に、このビットをセットする必要はありません。 本ビットは、新しい動作の前に、以前のFIFOの内容をクリアする必要がある状況で使用します。

31.2.33　FIFO ステータス レジスタ（FIFO_STATE）

FIFO_STATE は、データバッファのステータスを格納します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DF_W_EMPTY	DF_R_FULL	CF_ACCPT_W	CF_ACCPT_R	CF_FULL	CF_EMPTY	DF_W_FULL	DF_R_EMPTY
初期値：	0	0	0	0	0	0	0	0	1	0	0	1	0	1	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
7	DF_W_EMPTY	1	R	FIFOエンプティ状態ビット このビットは、使用可能なFIFOにデータがないことを示します。 このフラグは、書き込み方向に対して有効です。
6	DF_R_ FULL	0	R	FIFOフル状態ビット このビットは、使用可能なFIFO内にデータ空き領域がないことを示します。 このフラグは、読み出し方向に対して有効です。
5	CF_ACCPT_W	0	R	コマンドFIFO受け入れフラグ - 書き込み方向 本フラグがセットされた場合、次のライトアクセス終了に遅延が発生します。
4	CF_ACCPT_R	1	R	コマンドFIFO受け入れフラグ - 読み出し方向 本フラグがセットされた場合、コマンドFIFOのリード転送受け入れに遅延が発生します。
3	CF_FULL	0	R	コマンドFIFOフルフラグ コマンドFIFOの状態を示します。次の転送を受け入れ可能かどうかの判定に使用しないでください。
2	CF_EMPTY	1	R	コマンドFIFOエンプティフラグ コマンドFIFOの状態を示します。次の転送を受け入れ可能かどうかの判定に使用しないでください。
1	DF_W_FULL	0	R	FIFOフル状態ビット このビットは、使用可能なFIFO内にデータ空き領域がないことを示します。 このフラグは書き込み方向で有効です。
0	DF_R_EMPTY	1	R	FIFOエンプティ状態ビット このビットは、使用可能なFIFOにデータがないことを示します。 このフラグは読み出し方向で有効です。

31.2.34　MLUN レジスタ（MLUN）

MLUN には、LUN アドレスオフセットビットと、使用可能な LUN の数が含まれています。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	LUN_SEL[1:0]		—	—	—	—	—	MLUN_IDX[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
9、8	LUN_SEL [1:0]	00	R/W	LUN数 00: 2 LUN 01: 4 LUN 10: 8 LUN
7 ～ 3	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
2 ～ 0	MLUN_IDX [2:0]	000	R/W	LUNアドレスオフセット 本ビットは最終アドレスバイトのビットゼロからのオフセット値です。 本ビットは有効なLUNを識別するアドレスのビットインデックスを示します。

31.2.35　CMD ID 初期値レジスタ（CMD_MARK）

CMD_MARK は、レジスタスレーブ I/F ユニット（SIU）のコマンドマーキングジェネレータに、初期値を書き込むことができます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMD_ID[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
7 ～ 0	CMD_ID[7:0]	H'00	W	CMD ID初期値

31.3　動作

31.3.1　　コマンド生成

本 NAND フラッシュコントローラは、将来の NAND フラッシュデバイスの機能拡張（新しいコマンド）に対応するためにパラメータ化されたコマンドシーケンスをサポートします。

(1)　命令エンコーディング

コントローラ命令フィールドは一定で、32 ビットです。命令フィールドには、コマンドシーケンスコードと、オプションのパラメータが含まれています。これらのパラメータは次のとおりです。

- 命令シーケンス中に存在する命令コード
- データの宛先を選択するためのフラグ。
  可能なオプションはデータレジスタと FIFO モジュールです。
- コマンドシーケンスのデータソース／シンクの選択に使用するフラグ。
  可能な選択肢は、レジスタまたは DMA ユニットです。
- コマンドシーケンスコード

指定されたコマンドシーケンスが、すべてのパラメータフィールドを使用しない場合、未使用のフィールドは無視されます。命令コード体系は、以下の表に示されます。

表 31.5　　命令エンコーディング

フィールド名	ビット	説明
CMD_2	[31:24]	シーケンスの第 3 コマンドのコード
CMD_1／CMD3 *1	[23:16]	シーケンスの第 2 または第 4 コマンドのコード
CMD_0	[15:8]	シーケンスの第 1 コマンドのコード
DATA_SEL	[7]	データレジスタ／FIFO 選択 0: FIFO 選択 1: データレジスタ選択
INPUT_SEL	[6]	入力モジュール選択フラグ 0: 入力として SIU モジュールを選択 1: 入力として DMA モジュールを選択
CMD_SEQ	[5:0]	コマンドコード

注 1.　選択されたコマンドシーケンスに応じて、このフィールドには CMD1 または CMD3 のコードが格納されます。両方のコマンドが、1 つのシーケンスで使用されることはありません。

(2)　コマンドシーケンスエンコーディング

NAND フラッシュコントローラは、現在のすべての命令と、将来の多くの命令の実装が可能なコマンド、アドレス、データシーケンスのセットを定義します。これらのシーケンスに関する以下の説明は、将来の NAND フラッシュデバイスでの命令の大部分を定義するのに適切です。

表 31.6 には、コマンドシーケンスのエンコーディングの詳細を示します。各シーケンスは、GEN_SEQ_CTRL で定義されたフィールドに従ってエンコードされます。

詳細は、「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」を参照してください。

表31.6　コマンドシーケンス エンコーディング

シーケンス シンボル	シーケンス エンコーディング	CMD0	CMD1	CMD2	CMD3	COL _A0*2	COL _A1	ROW _A0	ROW _A1	DATA _EN	DELAY _EN	IMD _SEQ*3
SEQ_0	000000	√	—	—	—	—	—	—	—	—	DELAY_1	—
SEQ_1	100001	√	—	—	—	1	—	—	—	√	—	—
SEQ_2	100010	√	—	—	—	1	—	—	—	√	DELAY_0	—
SEQ_3	000011	√	—	—	—	1	—	—	—	√	DELAY_1	—
SEQ_4	100100	√	—	—	—	—	—	—	—	√	—	√
SEQ_5	100101	√	—	—	—	—	—	3	—	√	—	√
SEQ_6	100110	√	—	√	—	2(1)	—	—	—	√	—	—
SEQ_7	100111	√	—	√	—	2(1)	—	3	—	√	DELAY_0	—
SEQ_8	001000	√	—	—	—	2(1)	—	—	—	√	—	—
SEQ_9	101001	√	√	—	—	2(1)	—	3	—	—	DELAY_1	—
SEQ_10	101010	√	—	√	—	2(1)	—	3	—	√	DELAY_0	—
SEQ_11	101011	√	—	—	—	—	—	—	—	√	DELAY_0	—
SEQ_12	001100	√	√	—	—	2(1)	—	3	—	√	DELAY_1	—
SEQ_13	001101	√	—	—	—	2(1)	—	3	—	√	DELAY_1	—
SEQ_14	001110	√	√	—	—	—	—	3	—	—	DELAY_1	—
SEQ_15	101111	√	—	√	√	2	2	3	3	√	DELAY_0	—
SEQ_17	110001	√	—	—	—	2(1)	—	3	—	√	DELAY_1	—
SEQ_18	110010	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1
SEQ_19	010011	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1
SEQ_20	110100	√	—	—	—	—	—	3	—	—	DELAY_1	—
SEQ_21	110101	√	—	—	—	1	—	—	—	—	—	—
SEQ_22	110110	√	—	√	—	2(1)	2	—	3	√	DELAY_0	—
SEQ_23	010111	√	√	—	—	—	—	3	—	√	DELAY_1	—
SEQ_24	011000	√	—	√	√	—	—	3	3	—	DELAY_0	—
SEQ_25	111001	√	—	√	√	2(1)	2	3	—	√	—	—

注1.　SEQ_18とSEQ_19は、パラメータ化された一般的なシーケンスです。GEN_SEQ_CTRLは、シーケンスの、どの部分が実行されるかを定義します。
注2.　括弧内の値はスモールブロックモードに関連しています。このモードでは、コントローラはカラムアドレスとして1バイトのみを送信します。
注3.　IMD_SEQ - コマンドは、ただちに送信されます。

注.　灰色の行 ー NANDフラッシュメモリからリード
白色の行 ー NANDフラッシュメモリにライト
青色の行 ー 無指向性コマンド

(a)　SEQ_0 シーケンス

この無指向性シーケンスは、1 つのコマンドのみで構成されます。コマンドが NAND フラッシュデバイスに書き込まれた後、コントローラは、デバイスがビジーステートになるまで待機し、RnB ラインをローに駆動するか、READ STATUS コマンドを送信します。遅延時間（tWB）が経過するか、デバイスがレディ状態になると、シーケンスは終了します。以下の図は、シーケンスを示しています。

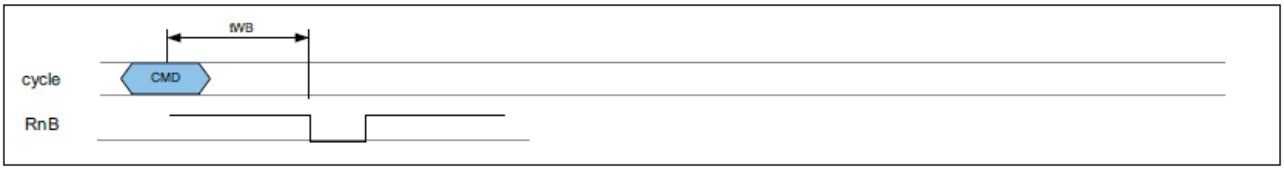


図 31.3　　SEQ_0 シーケンス

(b)　SEQ_1 シーケンス

これはリードシーケンスです。シングルコマンドサイクル、シングルアドレスサイクル、およびプログラム可能な数のリードシーケンスを有するシングルデータサイクルから構成されています。アドレスシーケンスが終了した後、コントローラは、最後のライト後の、最初のデータリードの標準遅延（tWHR）を測定します。次に、リードデータワードは FIFO モジュールに書き込まれます。入力モジュールは COMMAND レジスタの INPUT_SEL フィールドで選択され、アドレスのソースは ADDR0_COL レジスタに配置され、コマンドコードは CMD_0 フィールドに格納されています。以下の図は、シーケンス実行を示しています。

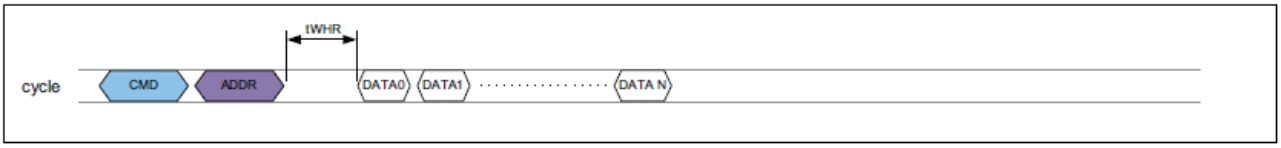


図 31.4　　SEQ_1 シーケンス

(c)　SEQ_2 シーケンス

これはリードシーケンスで、アドレスサイクル後にデバイスがビジーステートになることを、コントローラが予期することを除いて、SEQ_1 シーケンスに似ています。コントローラは、RnB ラインのステートを継続的にチェックするか、READ STATUS コマンドを送信して、NAND フラッシュデバイスのステータスを取得します。下図にシーケンスの実行を示します。以下の図は、シーケンス実行を示しています。

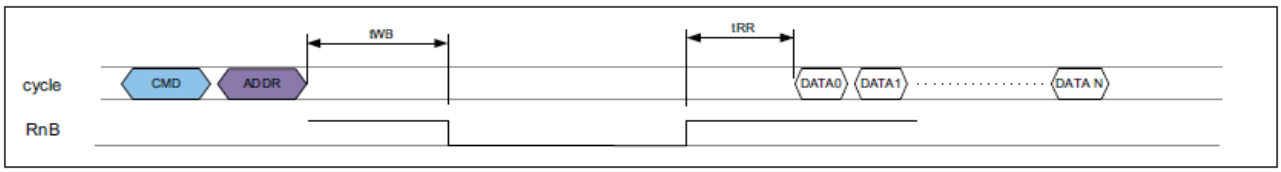


図 31.5　　SEQ_2 シーケンス

(d)　SEQ_3 シーケンス

これは、シングルコマンドサイクル、シングルアドレスサイクル、およびプログラム可能な数のライトシーケンスのシングルデータサイクルから構成されるライトシーケンスです。アドレスシーケンスが終了した後、コントローラは最後のアドレスサイクル後の、最初のデータライトの標準遅延（tADL）を測定します。書き込まれたワードは、FIFO モジュールからリードされます。コントローラは、RnB ラインのステートを継続的にチェックするか、READ STATUS コマンドを送信して NAND フラッシュデバイスのステータスを取得します。入力モジュールは COMMAND レジスタの INPUT_SEL フィールドで選択され、アドレスのソースは ADDR0_COL レジスタに配置され、コマンドコードは CMD_0 フィールドに格納されています。以下の図は、シーケンス実行を示しています。

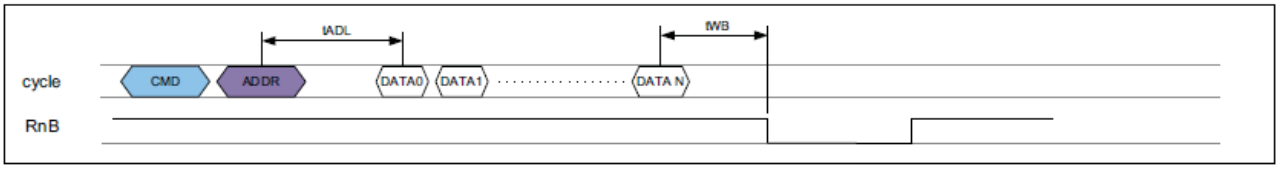


図 31.6　　SEQ_3 シーケンス

(e)　SEQ_4 シーケンス

これは、リードステータスコマンドシーケンスを実装するために使用される特別なリードシーケンスです。コマンドはただちに送信されます。シーケンスは、シングルコマンドサイクルとシングルデータサイクルで構成されます。これらのサイクルの間に、遅延（tWHR）がカウントされます。コマンドコードは、CMD_0 フィールドから読み出されます。

COMMAND レジスタで DATA レジスタが選択されると、データは DATA レジスタに格納されます。ユーザは、DATA_REG_SIZE レジスタのデータ数を定義します。レジスタードモードはリード方向に対してのみ許可されます。

FIFO レジスタが COMMAND レジスタで選択されると、データは FIFO に格納されます。ユーザが DATA_SIZE レジスタを変更する必要があるため、すべてのメモリがレディで、コントローラがアイドルステートのときに、コマンドが送信されます。以下の図は、シーケンス実行を示しています。

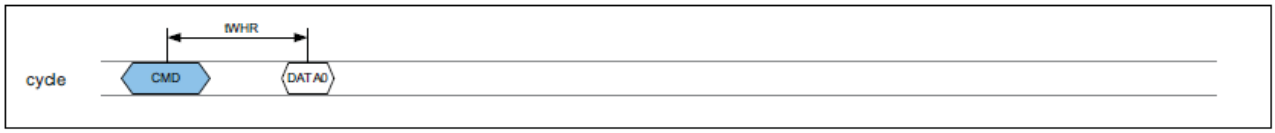


図 31.7　　SEQ_4 シーケンス

(f)　SEQ_5 シーケンス

これはリードシーケンスであり、SEQ_4 シーケンスに似ています。コマンドはただちに送信されます。唯一の違いは、コマンドサイクルの後に、追加のアドレスサイクルが実行されることです。ADDR0_ROW レジスタはこのシーケンスで使用されます。以下の図は、シーケンス実行を示しています。

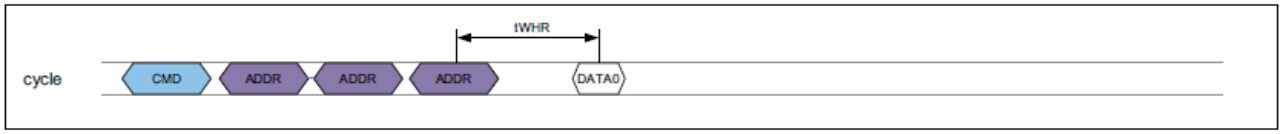


図 31.8　　SEQ_5 シーケンス

(g)　SEQ_6 シーケンス

これは、リードシーケンスです。コマンドサイクル、アドレスサイクル、コマンドサイクルのシーケンスが実行されます。その後、チェンジカラムから次の動作までの遅延（tCCS）が測定されます。最後に、リードデータサイクルが実行されます。第 1 のコマンドコードは CMD_0 命令フィールドにエンコードされ、第 2 のコマンドコードは CMD_2 命令フィールドにエンコードされ、ADDR0_COL レジスタはこのシーケンスで使用され、入力モジュールは INPUT_SEL フィールドで選択されます。以下の図は、シーケンス実行を示しています。

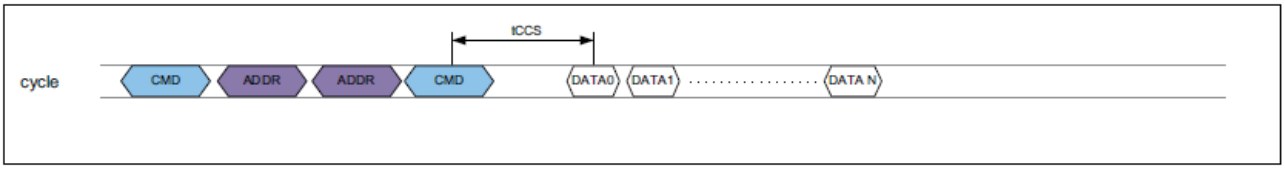


図 31.9　　SEQ_6 シーケンス

(h)　SEQ_7 シーケンス

このリードシーケンスは SEQ_6 シーケンスに似ていますが、唯一の違いは、このシーケンスのアドレスサイクルが 2 バイトの代わりに 5 バイト (ADDR0_COL と ADDR0_ROW) で構成されていることです。他はすべて SEQ_6 シーケンスと同じです。以下の図は、シーケンス実行を示しています。

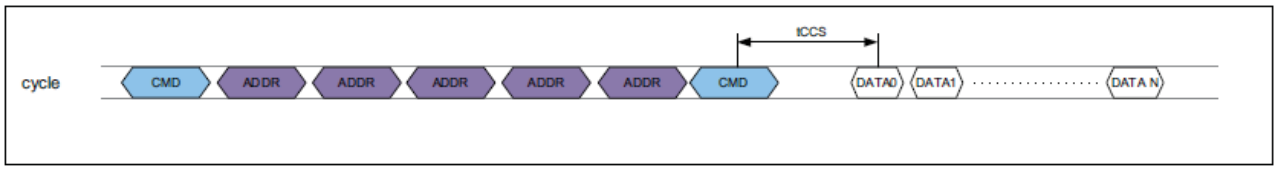


図 31.10　　SEQ_7 シーケンス

(i)　SEQ_8 シーケンス

これはライトシーケンスです。最初に、コマンドサイクルと 2 バイトアドレスサイクルのシーケンスが実行されます。次に、カラムアドレスチェンジ後の遅延（tCCS）が測定されます。最後に、プログラム可能な数のライトシーケンスのシングルデータサイクルが実行されます。第 1 のコマンドコードは、CMD_0 命令フィールドにエンコードされ、ADDR0_COL レジスタがこのシーケンスで使用され、入力モジュールは INPUT_SEL フィールドで選択されます。以下の図は、シーケンス実行を示しています。

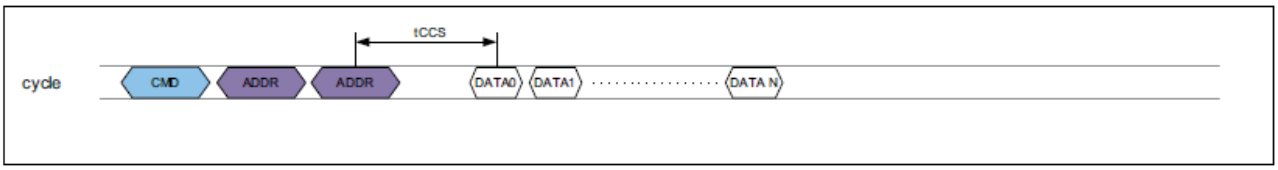


図 31.11　　SEQ_8 シーケンス

(j)　SEQ_9 シーケンス

これは無指向性のシーケンスです。最初のステップは、5 バイトのアドレスコマンドサイクルの実行です。コントローラは、RnB ラインのステートを継続的にチェックするか、READ STATUS コマンドを送信して NAND フラッシュデバイスのステータスを取得します。第 1 のコマンドコードは CMD_0 命令フィールドにエンコードされ、第 2 のコマンドコードは CMD_1 命令フィールドにエンコードされ、ADDR0_COL と ADDR0_ROW レジスタがこのシーケンスで使用されます。以下の図は、シーケンス実行を示しています。

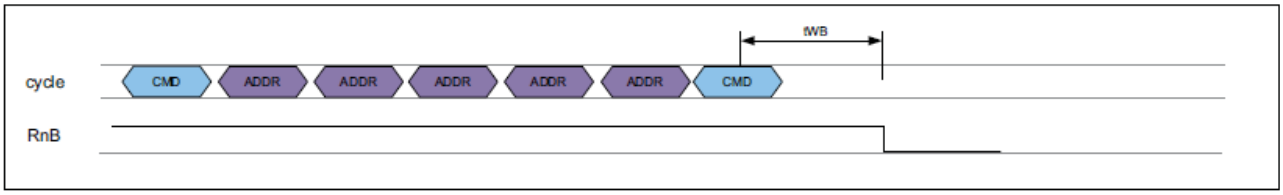


図 31.12　SEQ_9 シーケンス

(k)　SEQ_10 シーケンス

これは無指向性のシーケンスです。最初のステップは、5 バイトのアドレスコマンドサイクルの実行です。コントローラは、RnB ラインのステートを継続的にチェックするか、READ STATUS コマンドを送信して NAND フラッシュデバイスのステータスを取得します。最後にデータブロックが読み込まれます。第 1 のコマンドコードは CMD_0 命令フィールドにエンコードされ、第 2 のコマンドコードは CMD_2 命令フィールドにエンコードされ、ADDR0_COL と ADDR0_ROW レジスタがこのシーケンスで使用されます。以下の図は、シーケンス実行を示しています。

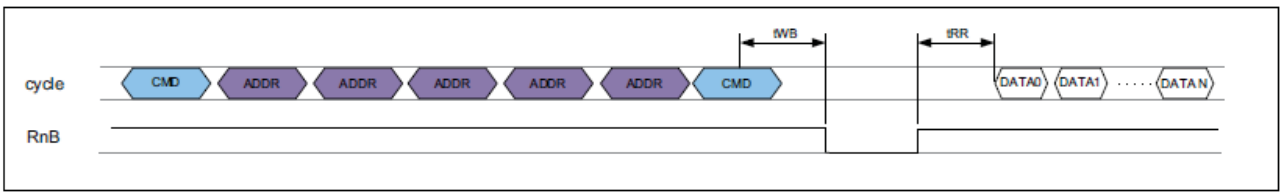


図 31.13　SEQ_10 シーケンス

(l)　SEQ_11 シーケンス

これはリードシーケンスです。最初のステップはコマンドサイクルの実行です。次に、デバイスはビジーステートになります。コントローラは、RnB ラインのステートを継続的にチェックするか、READ STATUS コマンドを送信して NAND フラッシュデバイスのステータスを取得します。デバイスがレディ状態になるとすぐに、設定可能なリードシーケンスのライトデータサイクルが実行されます。コマンドコードは CMD_0 命令フィールドにエンコードされ、入力モジュールは INPUT_SEL フィールドで選択されます。転送バイト数は、DATA_SIZE レジスタを使用して設定されます。以下の図は、シーケンス実行を示しています。

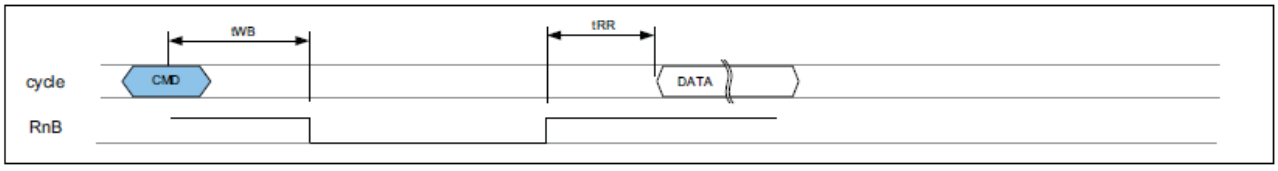


図 31.14　SEQ_11 シーケンス

(m) SEQ_12 シーケンス

これはライトシーケンスです。SEQ_12 シーケンスは、一連のコマンドサイクル、アドレスサイクル、データサイクルであり、設定可能な数の書き込み動作と別のコマンドサイクルを伴います。最後のアドレスサイクルと第 1 のデータサイクルとの間で遅延（tADL）が測定され、第 2 のコマンドサイクルの後で別の遅延（tWB）が測定されます。第 1 のコマンドコードは CMD_0 命令フィールドにエンコードされ、第 2 のコマンドコードは CMD_1 命令フィールドにエンコードされ、ADDR0_COL と ADDR0_ROW レジスタがこのシーケンスで使用され、入力モジュールは INPUT_SEL フィールドで選択されます。以下の図は、シーケンス実行を示しています。

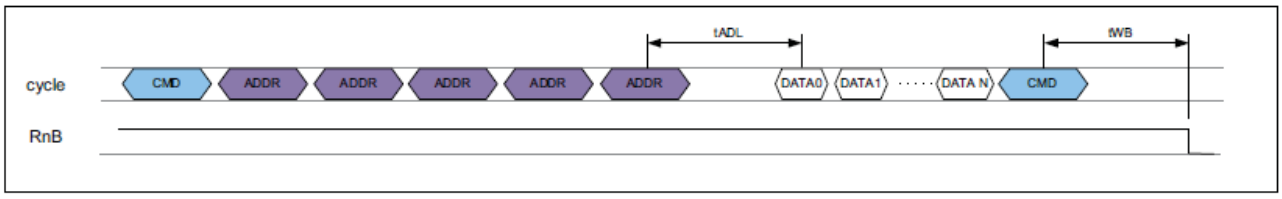


図 31.15　SEQ_12 シーケンス

(n) SEQ_13 シーケンス

これはライトシーケンスです。SEQ_13 シーケンスは、一連のコマンドサイクルとアドレスサイクル、設定可能な数の書き込み動作を伴うデータサイクルです。最後のアドレスサイクルと第 1 のデータサイクルとの間で、遅延（tADL）が測定されます。コマンドコードは CMD_0 命令フィールドにエンコードされ、ADDR0_COL と ADDR0_ROW レジスタがこのシーケンスで使用され、入力モジュールは INPUT_SEL フィールドで選択されます。以下の図は、シーケンス実行を示しています。

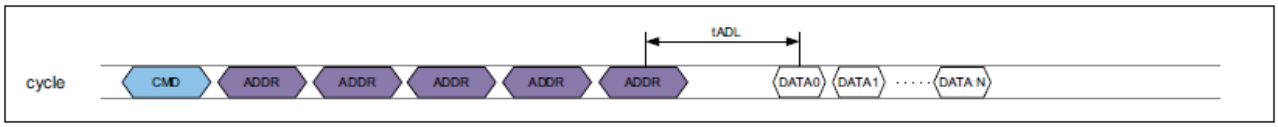


図 31.16　SEQ_13 シーケンス

(o) SEQ_14 シーケンス

これは無指向性のシーケンスです。まず、一連のコマンドサイクル、アドレスサイクル、コマンドサイクルが実行されます。コントローラは、RnB ラインのステートを継続的にチェックするか、READ STATUS コマンドを送信して NAND フラッシュデバイスのステータスを取得します。第 1 のコマンドコードは CMD_0 命令フィールドにエンコードされ、第 2 のコマンドコードは CMD_1 命令フィールドにエンコードされ、ADDR0_ROW と ADDR0_COL レジスタがこのシーケンスで使用されます。以下の図は、シーケンス実行を示しています。

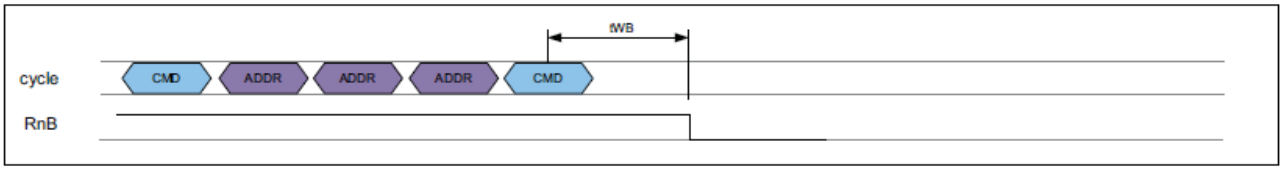


図 31.17　SEQ_14 シーケンス

(p)　SEQ_15 シーケンス

これはリードシーケンスです。まず、一連のコマンドサイクル、アドレスサイクル、第 2 のコマンドサイクル、第 2 のアドレスサイクル、第 3 のコマンドサイクルが実行されます。コントローラは、RnB ラインのステートを継続的にチェックするか、READ STATUS コマンドを送信して NAND フラッシュデバイスのステータスを取得します。NAND フラッシュデバイスがレディ状態に戻ると、設定可能な数のリード動作のデータシーケンスが実行されます。第 1 のコマンドコードは CMD_0 命令フィールドにエンコードされ、第 2 のコマンドコードは CMD_1 命令フィールドにエンコードされ、第 3 のコマンドコードは CMD_2 命令フィールドにエンコードされます。このシーケンスでは、両方のアドレスレジスタが使用されます ADDR0_ROW と ADDR0_COL レジスタの内容はシーケンスの最初のコマンドの後に送信され、ADDR1_ROW と ADDR1_COL レジスタの内容はシーケンスの 2 番目のコマンドの後に送信されます。以下の図は、シーケンス実行を示しています。

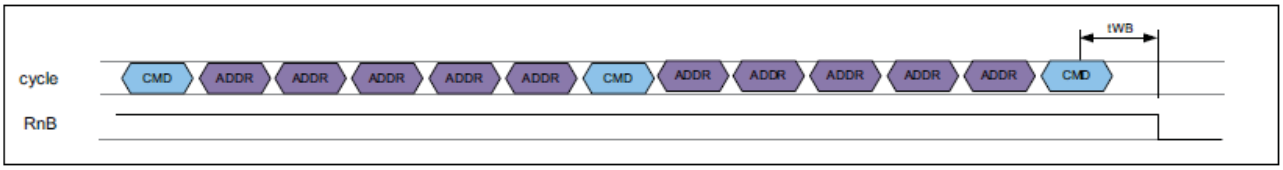


図 31.18　SEQ_15 シーケンス

(q)　SEQ_17 シーケンス

これはリードシーケンスです。このシーケンスは、第 2 のコマンドサイクルが省略されていることを除いて、SEQ_10 シーケンスに似ています。このシーケンスは、スモールブロックメモリを使用するように実装されています。スモールブロックモードがイネーブルの場合、コントローラはアドレスの 4 バイトのみを送信します。以下の図は、シーケンス実行を示しています。

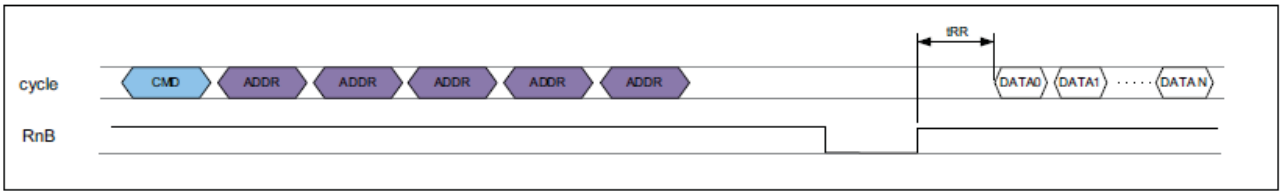


図 31.19　SEQ_17 シーケンス

(r)　SEQ_18 シーケンス

この汎用リードシーケンスは、「31.3.2　**汎用シーケンス**」で、詳しく説明します。

(s)　SEQ_19 シーケンス

この汎用ライトシーケンスは、「31.3.2　**汎用シーケンス**」で、詳しく説明します。

(t)　SEQ_20 シーケンス

この無指向性シーケンスは、1 つのコマンドと 3 つのアドレスバイトから構成されます。コマンドとアドレスが NAND フラッシュデバイスに書き込まれた後、コントローラは、デバイスがビジーステートになり RnB ラインをローに駆動するまで待機するか、または READ STATUS コマンドを送信します。遅延時間（tWB）が経過するか、デバイスがレディになると、シーケンスは終了します。以下の図は、シーケンス実行を示しています。

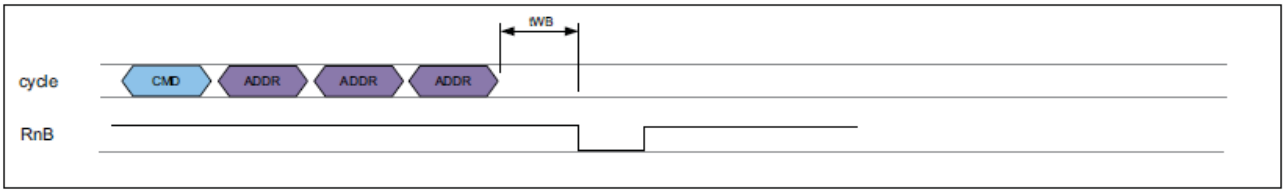


図 31.20　SEQ_20 シーケンス

(u)　SEQ_21 シーケンス

この無指向性シーケンスは、1 つのコマンドと 1 つのアドレスバイトから構成されます。コマンドとアドレスが NAND フラッシュデバイスに書き込まれた後、シーケンスは終了します。以下の図は、シーケンス実行を示しています。

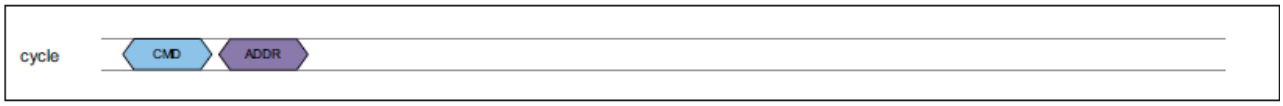


図 31.21　SEQ_21 シーケンス

(v)　SEQ_22 シーケンス

これはリードシーケンスです。最初のステップは、5 バイトのアドレスコマンドサイクル実行です。コントローラは、RnB ラインのステートを継続的にチェックするか、READ STATUS コマンドを送信して NAND フラッシュデバイスのステータスを取得します。第 1 のコマンドコードは CMD_0 命令フィールドにエンコードされ、第 2 のコマンドコードは CMD_2 命令フィールドにエンコードされ、ADDR0_COL, ADDR1_COL, ADDR1_ROW レジスタがこのシーケンスで使用されます。以下の図は、シーケンス実行を示しています。

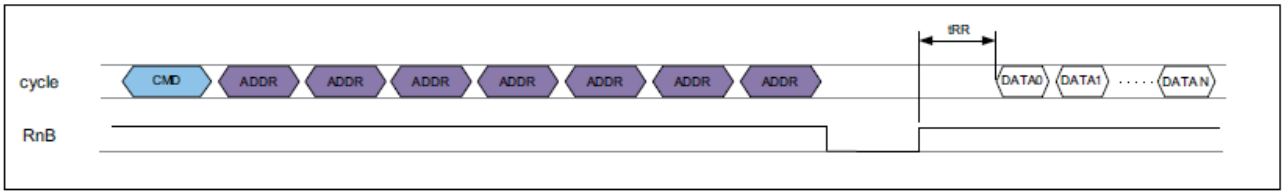


図 31.22　SEQ_22 シーケンス

(w)　SEQ_23 シーケンス

これはライトシーケンスです。SEQ_23 シーケンスは、一連のコマンドサイクル、アドレスサイクル、データサイクルであり、設定可能な数の書き込み動作と別のコマンドサイクルを伴います。最後のアドレスサイクルと第 1 のデータサイクルとの間で遅延（tADL）が測定され、第 2 のコマンドサイクルの後で別の遅延（tWB）が測定されます。第 1 のコマンドコードは CMD_0 命令フィールドにエンコードされ、第 2 のコマンドコードは CMD_1 命令フィールドにエンコードされ、ADDR0_ROW レジスタがこのシーケンスで使用され、入力モジュールは INPUT_SEL フィールドで選択されます。以下の図は、シーケンス実行を示しています。

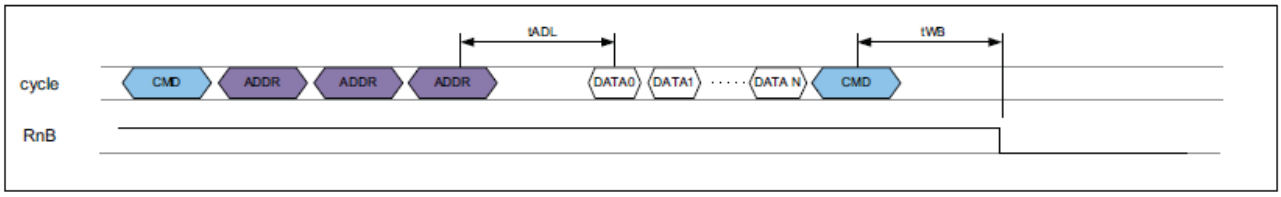


図 31.23　SEQ_23 シーケンス

(x)　SEQ_24 シーケンス

これはライトシーケンスです。３つのコマンドサイクルと２つのアドレスサイクルから構成されます。両方のアドレスサイクルは、ロウアドレス部を含みます。最後のコマンドサイクルの後、tWB 遅延が測定されます。以下の図は、シーケンス実行を示しています。

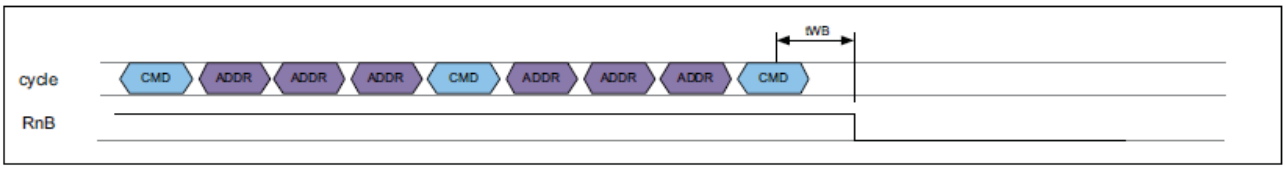


図 31.24　SEQ_24 シーケンス

(y)　SEQ_25 シーケンス

これはリードシーケンスです。これは３つのコマンドサイクルと２つのアドレスサイクルから構成されます。最初のアドレスサイクルは、カラムアドレス部とロウアドレス部を含みます。第２のアドレスサイクルはカラムアドレス部のみを含みます。最後のコマンドサイクルの後、tWHR 遅延が測定されます。以下の図は、シーケンス実行を示しています。

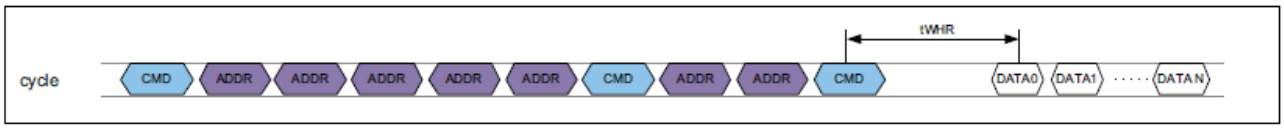


図 31.25　SEQ_25 シーケンス

(z)　SEQ_26 シーケンス

これはライトシーケンスです。SEQ_26 シーケンスは、一連のコマンドサイクル、アドレスサイクル、データサイクルであり、設定可能な数の書き込み動作と別のコマンドサイクルを伴います。最後のアドレスサイクルと最初のデータサイクルの間で、遅延（tADL）が測定されます。第 1 のコマンドコードは CMD_0 命令フィールドにエンコードされ、第 2 のコマンドコードは CMD_1 命令フィールドにエンコードされ、ADDR0_ROW レジスタがこのシーケンスで使用され、入力モジュールは INPUT_SEL フィールドで選択されます。以下の図は、シーケンス実行を示しています。

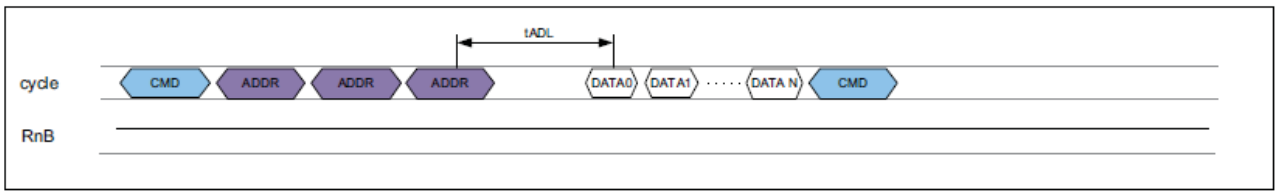


図 31.26　SEQ_26 シーケンス

31.3.2　汎用シーケンス

上記の事前定義されたシーケンスのセットでは、新しいコマンドシーケンスを処理するのに十分でない場合があります。その場合、NAND フラッシュコントローラの汎用シーケンス機能を使用できます。

このシーケンスは、NAND フラッシュデバイスでサポートされる、ほぼすべての利用可能なコマンドを模倣するように設計されています。しかし、そのようなコマンドをトリガするには追加の作業が必要です。

汎用シーケンスは、以下のステップで実行されます。

CMD0 – シーケンスの最初のコマンド

このコマンドの値は「31.2.1　コントローラコマンドレジスタ（COMMAND）」に記述されている COMMAND レジスタの CMD_0 フィールドに格納されます。

ADDR0 – 最初のアドレスシーケンス

これは「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」に記述されている GEN_SEQ_CTRL レジスタの COL_A0 と ROW_A0 フィールドがゼロ以外の値を持つ場合に有効になります。

このフェーズでは、アドレスが NAND フラッシュデバイスに送られ、ADDR0_COL と ADDR0_ROW レジスタから読み出されます。アドレスサイクル中のバイト数は、GEN_SEQ_CTRL レジスタの COL_A0 と ROW_A0 フィールドで設定されます。

CMD1 – シーケンスの 4 番目のコマンド

このコマンドの値は「31.2.1　コントローラコマンドレジスタ（COMMAND）」に記述されている COMMAND レジスタの CMD_1 フィールドに格納されます。これは「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」に記述されている GEN_SEQ_CTRL レジスタの CMD1_EN フィールドによって有効になります。

ADDR1 – シーケンスの 2 番目のアドレス

これは「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」に記述されている GEN_SEQ_CTRL レジスタの COL_A1 と ROW_A1 フィールドがゼロ以外の値を持つ場合に有効になります。

このフェーズでは、アドレスは ADDR1_COL と ADDR1_ROW レジスタから NAND フラッシュデバイスに送信されます。アドレスサイクルのバイト数は、GEN_SEQ_CTRL レジスタの COL_A1 と ROW_A1 フィールドで設定されます。

CMD2 – シーケンスの 3 番目のコマンド

このコマンドの値は「31.2.1　コントローラコマンドレジスタ（COMMAND）」に記述されている COMMAND レジスタの CMD_2 フィールドに格納されます。これは「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」に記述されている、GEN_SEQ_CTRL レジスタの CMD2_EN フィールドによって有効になります。

DELAY0 – デバイスがレディ状態に戻り、シーケンスを続けるのを待ちます。

これは「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」に記述されている GEN_SEQ_CTRL レジスタの DELAY_EN フィールドによって有効になります。

汎用シーケンスには、1 つの遅延フェーズしか存在できません。詳細は「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」を参照してください。

DATA – シーケンスのデータフェーズ

これは「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」に記述されている GEN_SEQ_CTRL レジスタの DATA_EN フィールドによって有効になります。加えて、転送方向はシーケンス番号で選択する必要があります。

シーケンス番号 18 は NAND フラッシュメモリからデータを読み出し、シーケンス番号 19 は NAND フラッシュメモリにデータを書き込みます。転送データブロックのサイズは、DATA_SIZE レジスタ値によって設定されます。

CMD3 – シーケンスの 2 番目のコマンド

これは「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」に記述されている GEN_SEQ_CTRL レジスタの CMD3_EN フィールドによって有効になります。このコマンドの値は、GEN_SEQ_CTRL レジスタの CMD_3 フィールドに格納されます。

DELAY1 – デバイスがレディ状態に戻り、シーケンスを終了するのを待ちます。

これは「31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）」に記述されている GEN_SEQ_CTRL レジスタの DELAY_EN フィールドによって有効になります。コントローラは、デバイスがレディ状態に戻り、シーケンスを終了するのを待ちます。汎用シーケンスには、1 つの遅延フェーズしか存在できません。

以下の図は、汎用シーケンスの構成を示しています。

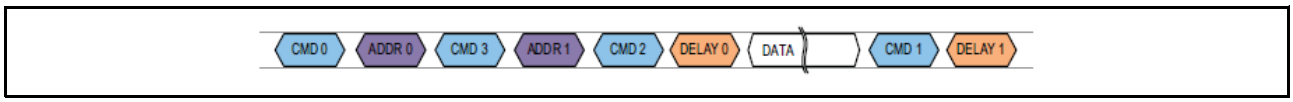


図 31.27　汎用シーケンス

汎用シーケンスの使用法に、制約は少ししかありません。

- 1 つのコマンドシーケンスで、DEL0 と DEL1 の遅延フェーズの両方をイネーブルにすることはできません。
- 汎用シーケンスが使用されている場合でも、TIMINGS_ASYN レジスタを設定する必要があります。

GEN_SEQ_CTRL レジスタの IMD_SEQ ビットを有効にすることで、即時のコマンドシーケンスの実行を強制することができます。この場合、選択されたデバイスへの以前に送信されたコマンドが完了していなくても、トリガされたコマンドが実行されます。IMD_SEQ と DATA_EN の両方のフラグがシングルシーケンスで有効のとき、レジスタはデータソース／シンクとして選択される必要があります。IMD_SEQ は読み出し方向に対してのみ有効です。この機能は、すべてのステートリード動作を実装するためのものです。

汎用シーケンスの各ステップの後に、プログラム可能な時間遅延が測定されます。これらの遅延は、TIME_GEN_SEQ[0-3] レジスタを使用して設定されます。詳細については、TIME_GEN_SEQ[0-3] レジスタの説明を参照し、下の図を見てください。

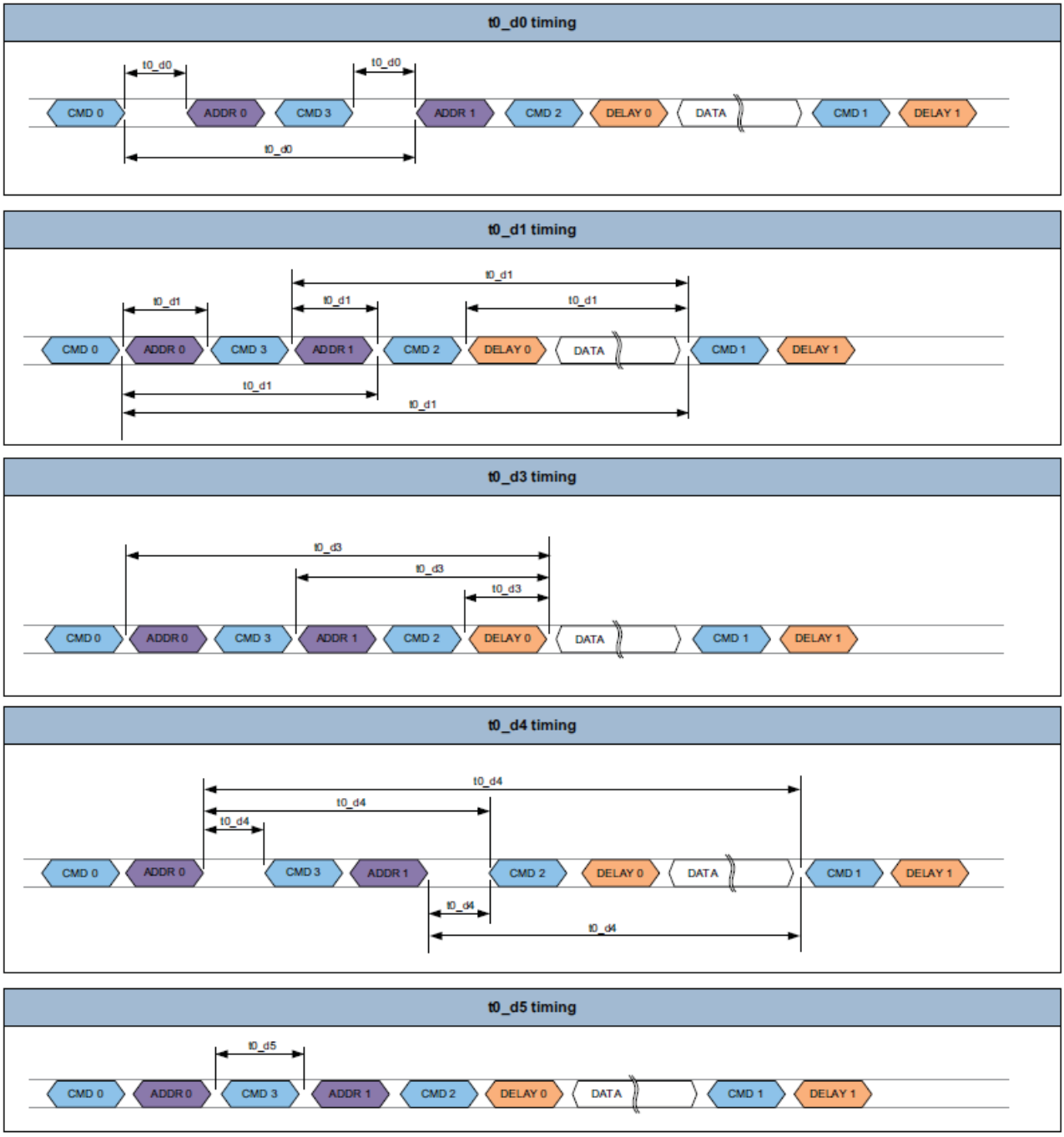


図 31.28　汎用シーケンス タイミングパラメータ（1）

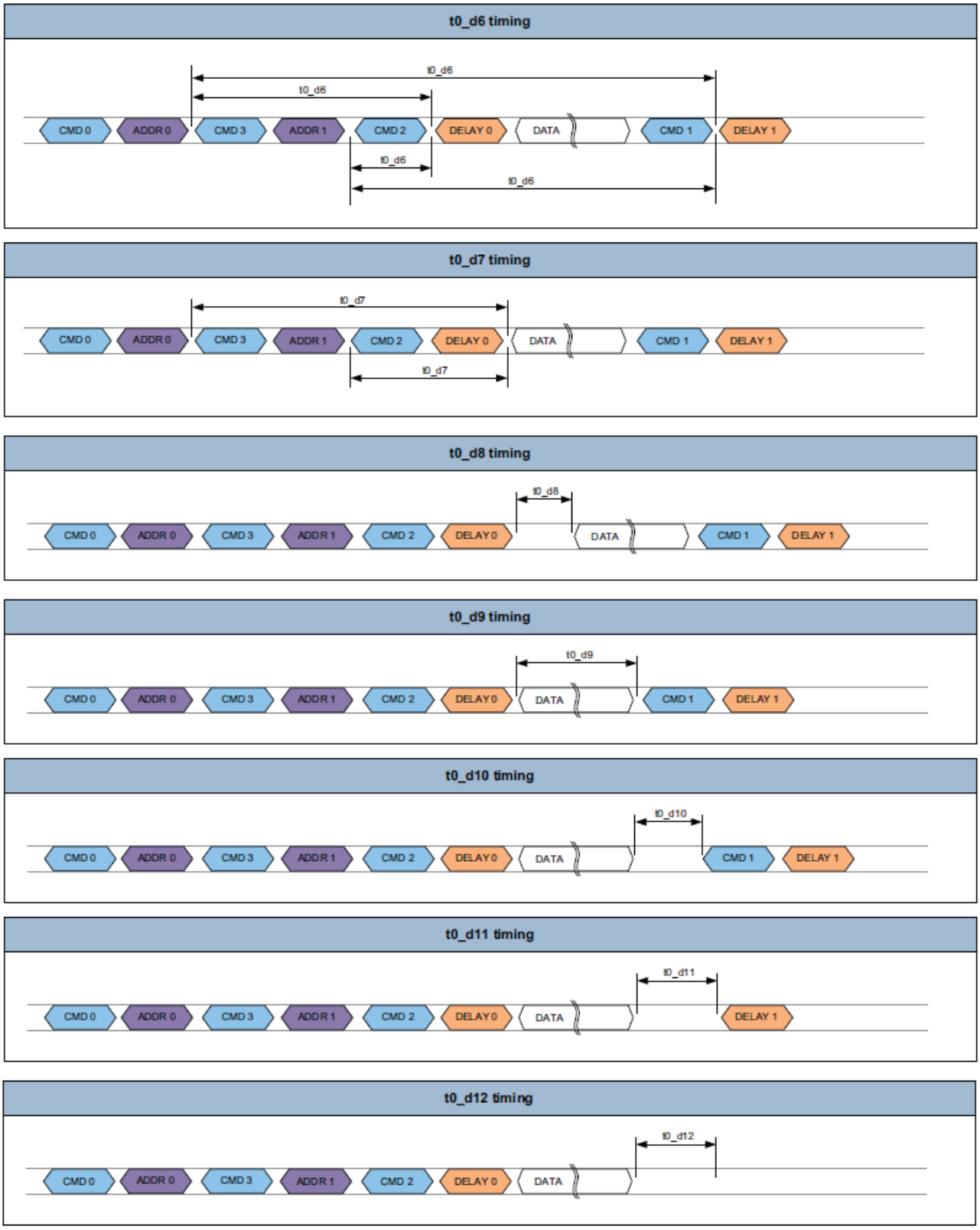


図 31.29　汎用シーケンス タイミングパラメータ（２）

31.3.3　命令

この時点で提示されている命令セットの実装は「31.3.1 (1)　命令エンコーディング」に示されている命令エンコードスキームを使用する方法の一例です。この章と前に示したコマンドシーケンスは、将来の NAND フラッシュデバイス用の新しいコマンドとコマンドシーケンスを実装するのに十分な情報を提供します。

(1)　命令セット

以下の表には、ONFI 1.x 規格でアクセス可能なすべてのコマンドシーケンスを実装するために定義された基本命令が含まれています。

表31.7　命令セット

命令	CMD_0	CMD_1 / CMD_3	CMD_2	CMD_SEQ	メモリビジー中の送信
リセットコマンド					
RESET	H'FF	—	—	SEQ_0	No
ID動作					
READ ID	H'90	—	—	SEQ_1	No
READ PARAMETER PAGE	H'EC	—	—	SEQ_2	No
READ UNIQUE ID	H'ED	—	—	SEQ_2	No
コンフィギュレーション動作					
GET FEATURES	H'EE	—	—	SEQ_2	No
SET FEATURES	H'EF	—	—	SEQ_3	No
ステータス動作					
READ STATUS	H'70	—	—	SEQ_4	Yes
SELECT LUN WITH STATUS	H'78	—	—	SEQ_5	Yes
LUN STATUS	H'71	—	—	SEQ_5	Yes
DEVICE STATUS	H'72	—	—	SEQ_4	Yes
VOLUME SELECT	H'E1	—	—	SEQ_21	Yes
カラムアドレス動作					
CHANGE READ COLUMN	H'05	—	H'E0	SEQ_6	No
SELECT CACHE REGISTER	H'06	—	H'E0	SEQ_7	No
CHANGE WRITE COLUMN	H'85	—	—	SEQ_8	No
CHANGE ROW ADDRESS	H'85	H'11	—	SEQ_12	No
リード動作					
READ PAGE	H'00	—	H'30	SEQ_10	No
READ PAGE CACHE	H'31	—	—	SEQ_11	No
READ PAGE CACHE LAST	H'3F	—	—	SEQ_11	No
READ MULTIPLANE	H'00	H'32	—	SEQ_9	No
TWO PLANE PAGE READ	H'00	H'00	H'30	SEQ_15	No
QUEUE PAGE READ	H'07	—	H'37	SEQ_22	No
プログラム動作					
PROGRAM PAGE	H'80	H'10	—	SEQ_12	No
PROGRAM PAGE IMD	H'80	H'10	—	SEQ_23	No
PROGRAM PAGE DEL	H'80	H'13	—	SEQ_23	No
PROGRAM PAGE 1	H'80	—	—	SEQ_13	No
PROGRAM PAGE CACHE	H'80	H'15	—	SEQ_12	No
PROGRAM MULTIPLATE	H'80	H'11	—	SEQ_12	No
WRITE PAGE	H'10	—	—	SEQ_0	No

命令	CMD_0	CMD_1 / CMD_3	CMD_2	CMD_SEQ	メモリビジー中の送信
WRITE PAGE CACHE	H'15	—	—	SEQ_0	No
WRITE MULTIPLATE	H'11	—	—	SEQ_0	No
イレーズ動作					
ERASE BLOCK	H'60	H'D0	—	SEQ_14	No
ERASE MULTIPLATE	H'60	H'D1	—	SEQ_14	No
コピーバック動作					
COPYBACK READ	H'00	—	H'35	SEQ_10	No
COPYBACK PROGRAM	H'85	H'10	—	SEQ_9	No
COPYBACK PROGRAM1	H'85	—	—	SEQ_13	No
COPYBACK MULTIPLATE	H'85	H'11	—	SEQ_12	No
OTP動作					
PROGRAM OTP	H'A0	H'10	—	SEQ_12	No
DATA PROTECT OTP	H'A5	H'10	—	SEQ_9	No
PAGE READ OTP	H'AF	—	H'30	SEQ_10	No

(2) リセットコマンド

(a) コマンド説明

RESETコマンドは、ターゲットを既知の状態にして、進行中のコマンドシーケンスを中止するために使用されます。

(b) コマンド エンコーディング

RESET命令は、SEQ_0コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.8 RESET命令エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'FF	—	—	SEQ_0_ID

(3) READ ID コマンド

(a) コマンド説明

READ IDコマンドは、ターゲットにプログラムされた識別子コードをリードするために使用されます。このコマンドは、ターゲット上のすべてのLUNがアイドルステートのときのみ、ターゲットによって受け入れられます。

READ IDコマンドの後にH'00のアドレスサイクルが続くとき、ターゲットは製造元ID、デバイス構成、部品固有の情報を含む5バイトの識別子コードを返します。

READ IDコマンドの後にH'20のアドレスサイクルが続くとき、ターゲットは4バイトのONFI識別子コードを返します。

(b) コマンド エンコーディング

READ ID命令は、SEQ_1コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.9 READ ID命令エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'90	0 / 1	0 / 1	SEQ_1_ID

(4) READ PARAMETER PAGE コマンド

(a) コマンド説明

READ PARAMETER PAGEコマンドは、ターゲットにプログラムされたONFIパラメータページをリードするために使用されます。このコマンドは、ターゲット上のすべてのLUNがアイドル状態のときのみ、ターゲットによって受け入れられます。
コマンドの後にアドレスサイクルH'00が続くと、ターゲットはビジーステートになります。リード処理完了後、コントローラはパラメータページをリードするためにデータ出力モードを有効にします。

(b) コマンド エンコーディング

READ PARAMETER PAGE命令はSEQ_2コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.10 READ PARAMETER PAGE 命令エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'EC	0 / 1	0 / 1	SEQ_2_ID

(5) READ UNIQUE ID コマンド

(a) コマンド説明

READ UNIQUE ID 命令は、ターゲットにプログラムされた固有識別子をリードするために使用されます。このコマンドは、ターゲット上のすべてのLUNがアイドル状態のときのみ、ターゲットによって受け入れられます。
H'00のアドレスサイクルがターゲットに書き込まれると、ターゲットはビジーステートになります。リード処理完了後、コントローラは固有IDをリードするためにデータ出力モードを有効にします。固有IDデータの16個のコピーがデバイスに格納されます。各コピーは32バイトです。１番目の16バイトは固有データで、２番目の16バイトは１番目の16バイトの補数です。アプリケーションプログラムは、１番目の16バイトと２番目の16バイトで排他的論理和演算を行います。結果が16バイトのH'FFであれば、固有IDデータのコピーは正しいことになります。H'FFでない結果がある場合、アプリケーションプログラムは、固有IDデータの次のコピーに対して排他的論理和演算を繰り返します。

(b) コマンド エンコーディング

READ UNIQUE ID 命令は、SEQ_2コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.11 READ UNIQUE ID 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'ED	0 / 1	0 / 1	SEQ_2_ID

(6) GET FEATURES コマンド

(a) コマンド説明

GET FEATURES 命令は、指定された機能アドレスからサブ機能パラメータ（P1～P4）をリードします。このコマンドは、ターゲット上のすべてのLUNがアイドル状態のときのみ、ターゲットによって受け入れられます。

H'EE コマンドの後に機能アドレスが続くと、ターゲットはビジーステートになります。ターゲット内部リード動作が完了した後、コントローラは、サブ機能パラメータをリードするためにデータ出力モードを有効にします。

(b) コマンド エンコーディング

GET FEATURES 命令は、SEQ_2 コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表 31.12 GET FEATURES 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'EE	0 / 1	0 / 1	SEQ_2_ID

(7) SET FEATURES コマンド

(a) コマンド説明

SET FEATURES 命令は、ターゲット固有の機能を有効または無効にするために、サブ機能パラメータ（P1～P4）を指定された機能アドレスにライトします。このコマンドは、ターゲット上のすべてのLUNがアイドル状態のときのみ、ターゲットによって受け入れられます。

H'EF コマンドの後に、有効な機能アドレスが続きます。可能なアドレス値は、ターゲットデバイスに実装された機能セットに依存します。アドレスサイクルの後に、設定可能なデータサイクル数が続きます。許可されたアドレスの値とデータエンコード方式は、デバイスベンダのドキュメント中に見出されます。

(b) コマンド エンコーディング

SET FEATURES 命令は、SEQ_3 コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表 31.13 SET FEATURES 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'EF	—	0 / 1	SEQ_3_ID

(8) READ STATUS コマンド

(a) コマンド説明

各 LUN は、8 ビットのステータスレジスタを介して、同じターゲット上の他の LUN とは独立して、そのステータスを提供します。READ STATUS 命令が発行されると、ステータスレジスタ出力がイネーブルになります。ステータスレジスタの内容は、データ出力要求ごとに DQ[7:0] に返されます。READ STATUS コマンドは、直前に選択された LUN のステータスを返します。

(b) コマンド エンコーディング

READ STATUS 命令は、SEQ_4 コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表 31.14 READ STATUS 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'70	0 / 1	—	SEQ_4_ID

この命令は、ターゲットが BUSY ステートのときに実行できるため、特別な意味を持ちます。FIFO は、実行中の動作によって占有される可能性があるため、リードデータのアクセスに使用できません。このシーケンスの場合、コマンドのデータフィールドはデータの宛先として DATA_REG レジスタを選択する必要があります。DATA_REG_SIZE は、シングルバイトを選択する必要があります。

(9) DEVICE STATUS コマンド

(a) コマンド説明

各 LUN は、8 ビットのステータスレジスタを介して、同じターゲット上の他の LUN とは独立して、そのステータスを提供します。DEVICE STATUS 命令が発行されると、ステータスレジスタ出力がイネーブルになります。ステータスレジスタの内容は、データ出力要求ごとに DQ[7:0] に返されます。DEVICE STATUS コマンドは、直前に選択された LUN のステータスを返します。

(b) コマンド エンコーディング

DEVICE STATUS 命令は SEQ_4 コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表 31.15 DEVICE STATUS 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'72	0 / 1	—	SEQ_4_ID

この命令は、ターゲットが BUSY ステートのときに実行できるため、特別な意味を持ちます。FIFO は、実行中の動作によって占有される可能性があるため、リードデータのアクセスに使用できません。このシーケンスの場合、コマンドのデータフィールドはデータの宛先として DATA_REG レジスタを選択する必要があります。DATA_REG_SIZE は、シングルバイトを選択する必要があります。

(10) VOLUME SELECT コマンド

(a) コマンド説明

このコマンドは、CE ピンを共有する、すべての初期化されたデバイスで受け入れられます。コマンドは、任意状態のターゲット上の任意のボリュームで実行できます。VOLUME SELECT コマンドが発行されると、選択されていないボリュームアドレスを持つすべてのボリュームは、電力を節約するために選択解除されます。入力されたボリュームアドレスが無効か指定されたボリュームアドレスと一致しない場合、すべてのボリュームアドレスは選択解除されます。CE のハイ時間後に VOLUME SELECT コマンドが発行されない場合、すべてのボリュームは以前の状態に戻ります。

(b) コマンド エンコーディング

VOLUME SELECT 命令は SEQ_21 コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表 31.16　DEVICE STATUS 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'E1	0 / 1	—	SEQ_21_ID

(11) SELECT LUN WITH STATUS コマンド

(a) コマンド説明

各 LUN は、8 ビットのステータスレジスタを介して、同じターゲット上の他の LUN とは独立して、そのステータスを提供します。SELECT LUN WITH STATUS 命令が発行されると、ステータスレジスタ出力がイネーブルになります。ステータスレジスタの内容は、データ出力要求ごとに DQ[7:0] に返されます。

SELECT LUN WITH STATUS コマンドは、選択された LUN の状態を返します。

(b) コマンド エンコーディング

SELECT LUN WITH STATUS 命令は SEQ_5 コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表 31.17　SELECT LUN WITH STATUS 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'78	0 / 1	—	SEQ_5_ID

この命令は、ターゲットが BUSY ステートのときに実行できるため、特別な意味を持ちます。FIFO は、実行中の動作によって占有される可能性があるため、リードデータのアクセスに使用できません。このシーケンスの場合、コマンドのデータフィールドはデータの宛先として DATA_REG レジスタを選択する必要があります。DATA_REG_SIZE は、シングルバイトを選択する必要があります。

(12) LUN STATUS コマンド

(a) コマンド説明

各LUNは、8ビットのステータスレジスタを介して、同じターゲット上の他のLUNとは独立して、そのステータスを提供します。SELECT LUN WITH STATUS命令が発行されると、ステータスレジスタ出力がイネーブルになります。ステータスレジスタの内容は、データ出力要求ごとにDQ[7:0]に返されます。LUN STATUSコマンドは、選択されたLUNが以前のステートに戻る状態を返します。

(b) コマンド エンコーディング

LUN STATUS命令は、SEQ_5コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.18 LUN STATUS 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'71	0 / 1	—	SEQ_5_ID

この命令は、ターゲットがBUSYステートのときに実行できるため、特別な意味を持ちます。FIFOは、実行中の動作によって占有される可能性があるため、リードデータのアクセスに使用できません。このシーケンスの場合、コマンドのデータフィールドはデータの宛先としてDATA_REGレジスタを選択する必要があります。DATA_REG_SIZEは、シングルバイトを選択する必要があります。

(13) CHANGE READ COLUMN コマンド

(a) コマンド説明

CHANGE READ COLUMNコマンドは、選択されたキャッシュレジスタのカラムアドレスを変更し、最後に選択したLUNのデータ出力をイネーブルにします。このコマンドは、レディのとき、選択されたLUNに受け入れられます。ターゲットコマンドレジスタへのH'05の書き込み、続くカラムアドレスを含む2つのカラムアドレスサイクル、続くH'E0コマンドは、選択したLUNをデータ出力モードに置きます。選択されたLUNは、別の有効なコマンドが発行されるまで、データ出力モードにとどまります。

(b) コマンド エンコーディング

CHANGE READ COLUMN命令は、SEQ_6コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.19 CHANGE READ COLUMN 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
H'E0	—	H'05	0 / 1	—	SEQ_6_ID

(14) SELECT CACHE REGISTER コマンド

(a) コマンド説明

SELECT CACHE REGISTERコマンドは、アドレス指定されたLUNと指定されたカラムアドレスのキャッシュレジスタのデータ出力を有効にします。このコマンドは、レディのとき、LUNに受け入れられます。ターゲットとなるコマンドレジスタへH'06を書き込み、カラムアドレス2サイクル、ロウアドレス3サイクル、H'E0が続きアドレス指定されたLUNと指定されたカラムアドレスのキャッシュレジスタのデータ出力が有効になります。

(b) コマンド エンコーディング

SELECT CACHE REGISTER 命令は、SEQ_7コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.20 SELECT CACHE REGISTER 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
H'E0	—	H'06	0 / 1	—	SEQ_7_ID

(15) CHANGE WRITE COLUMN コマンド

(a) コマンド説明

CHANGE WRITE COLUMNコマンドは、選択されたキャッシュレジスタのカラムアドレスを変更し、最後に選択されたLUNのデータ入力をイネーブルにします。ターゲット内部コマンド・レジスタへのH'85の書き込み、続く、カラムアドレスを含む2カラムアドレスサイクルは、選択されたLUNをデータ入力モードに置きます。

(b) コマンド エンコーディング

CHANGE WRITE COLUMN命令は、SEQ_8コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.21 CHANGE WRITE COLUMN 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'85	—	—	SEQ_8_ID

(16) CHANGE ROW ADDRESS コマンド

(a) コマンド説明

CHANGE ROW ADDRESSコマンドは、キャッシュレジスタの内容がNANDアレイ内にプログラムされるロウアドレス（ブロックとページ）を変更します。また、選択されたキャッシュレジスタのカラムアドレスを変更し、指定されたLUNのデータ入力をイネーブルにします。

(b) コマンド エンコーディング

CHANGE ROW ADDRESS命令は、SEQ_12コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.22 CHANGE ROW ADDRESS 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'11	H'85	0	—	SEQ_12_ID

(17) READ PAGE コマンド

(a) コマンド説明

READ PAGEコマンドは、NANDフラッシュアレイから、それぞれのキャッシュレジスタにページをコピーして、データ出力をイネーブルにします。このコマンドは、レディのとき、LUNによって受け入れられます。NANDフラッシュアレイからページをリードするには、コントローラはH'00コマンドをターゲットの内部コマンドレジスタにライトし、次に5アドレスサイクルをアドレスレジスタにライトして、H'30コマンドで終了します。選択したLUNは、データをNAND flashアレイからキャッシュレジスタに転送している時ビジーステートになります。LUNがレディのとき、READ PAGEコマンドでアドレス指定されたプレーンにリンクされている、キャッシュレジスタのデータ出力がイネーブルになります。コントローラは、プログラムされたバイト数をFIFOにリードします。

(b) コマンド エンコーディング

READ PAGE命令は、SEQ_10コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.23 READ PAGE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
H'30	—	H'00	0 / 1	0 / 1	SEQ_10_ID

(18) READ PAGE CACHE コマンド

(a) コマンド説明

READ PAGE CACHEコマンドは、前のページがキャッシュレジスタから出力されている間に、ブロック内の次のシーケンシャルページをデータレジスタに読み出します。このコマンドを発行するには、コントローラはターゲット内部コマンドレジスタにH'31をライトします。このコマンドが発行されると、R/B#がローになり、LUNはビジーステートになります。その後、R/B#がハイとなり、LUNはキャッシュ動作でビジー状態です。キャッシュ動作は、キャッシュレジスタが使用可能、指定されたページがNANDフラッシュアレイからデータレジスタへコピーされたことを示します。この時点で、データはキャッシュレジスタからリードされます。

(b) コマンド エンコーディング

READ PAGE CACHE命令は、SEQ_11コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.24 READ PAGE CACHE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'31	0 / 1	0 / 1	SEQ_11_ID

(19) READ PAGE CACHE LAST コマンド

(a) コマンド説明

READ PAGE CACHE LASTコマンドは、READ PAGE CACHEシーケンスを終了し、ページをデータレジスタからキャッシュレジスタにコピーします。このコマンドは、レディのとき、LUNによって受け入れられます。READ PAGE CACHE LASTコマンドを発行するには、コントローラはターゲット内部コマンドレジスタにH'3Fをライトします。

このコマンドが発行された後、R/B#がローになり、LUNはビジーステートになります。その後、R/B#がハイになり、LUNがレディになります。この時点で、ターゲットキャッシュレジスタからのデータがFIFOにリードされます。

(b) コマンド エンコーディング

READ PAGE CACHE LAST命令は、SEQ_11コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.25 READ PAGE CACHE LAST命令エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'3F	0 / 1	0 / 1	SEQ_11_ID

(20) READ MULTIPLANE コマンド

(a) コマンド説明

READ MULTIPLANEコマンドは、NANDアレイからそのキャッシュレジスタにデータを転送するために、プレーンをキューに入れます。

このコマンドは、1回以上発行することができます。新しいプレーンアドレスが指定されるたびに、そのプレーンもデータ転送のためにキューに入れられます。最後のプレーンを選択し、以前にキューに入れられたすべてのプレーンのリード動作を開始するには、READ PAGEコマンドを発行します。すべてのキューに入れられたプレーンは、NANDアレイからキャッシュレジスタにデータを転送します。

(b) コマンド エンコーディング

READ MULTIPLANE命令はSEQ_9コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.26 READ MULTIPLANE 命令エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'32	H'00	—	—	SEQ_9_ID

(21) QUEUE PAGE READ コマンド

(a) コマンドの説明

QUEUE PAGE READ動作は、７アドレスサイクルを使用して部分ページリードが可能です。アドレスサイクルの最初の２バイトは、リードするページの長さを示します。これらのバイトは、ADDR0レジスタに格納され、その後に、カラムアドレスとロウアドレスが格納されます。これらのバイトは、ADDR1レジスタに格納されます。

これにより、要求されたデータを含むコードワードだけがECCデコードされるため、ページデータの一部のみが必要な場合は、全体的なパフォーマンスを向上させることができます。このコマンドは、CLEAR NANDデバイス専用です。

(b) コマンド エンコーディング

QUEUE PAGE READ命令はSEQ_22コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.27 QUEUE PAGE READ命令エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
H'37	—	H'07	—	—	SEQ_22_ID

(22) TWO PLANE PAGE READ コマンド

(a) コマンド説明

このコマンドは、ONFI 1.xと一部の古いデバイスとの互換性を維持するために実装されています。TWO PLANE PAGE READ（H'00-H'00-H'30）の動作は、PAGE READ（H'00-H'30）の動作に似ています。２ページのデータをNANDフラッシュアレイからデータレジスタに転送します。各ページは、同じダイ上の異なるプレーンからのものでなければなりません。ソフトウェアは、要求されたページの正しいアドレスを生成する責任があります。この場合、ADDR0とADDR1の両方のアドレスレジスタが使用されます。

(b) コマンド エンコーディング

TWO PLANE PAGE READ命令は、SEQ_15コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。この場合、両方のアドレスレジスタが使用されます。

表31.28 TWO PLANE PAGE READ 命令エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
H'30	H'00	H'00	0 / 1	0 / 1	SEQ_15_ID

(23) PROGRAM PAGE コマンド

(a) コマンド説明

PROGRAM PAGEコマンドは、アプリケーションプログラムが、キャッシュレジスタにデータを入力し、データをキャッシュレジスタから選択されたLUNのアレイ内の指定されたブロックとページアドレスに移動させることを可能にします。このコマンドは、レディのとき、LUNによって受け入れられます。

ページをキャッシュレジスタに入力し、データを指定されたブロックアドレスとページアドレスでNANDアレイに移動させるために、コントローラはターゲット内部コマンドレジスタにH'80をライトします。次に、カラムアドレスとロウアドレスを含む、5アドレスサイクルがライトされます。データ入力サイクルが続きます。指定されたカラムアドレスから始まるシリアルデータが入力されます。データ入力が完了すると、コントローラはターゲット内部コマンドレジスタにH'10をライトします。選択されたLUNはビジーステートになります。

(b) コマンド エンコーディング

PROGRAM PAGE命令はSEQ_12コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.29 PROGRAM PAGE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'10	H'80	0	0 / 1	SEQ_12_ID

(24) PROGRAM PAGE IMMEDIATE コマンド

(a) コマンド説明

PROGRAM PAGE IMMEDIATEコマンドは、アプリケーションプログラムがキャッシュレジスタにデータを入力し、データをキャッシュレジスタから選択されたLUNのアレイ内の指定されたブロックとページアドレスに移動させることを可能にします。このコマンドは、レディのとき、LUNによって受け入れられます。ページをキャッシュレジスタに入力し、データを指定されたブロックアドレスとページアドレスでNANDアレイに移動させるために、コントローラはターゲット内部コマンドレジスタにH'80をライトします。次に、カラムアドレスとロウアドレスを含む5アドレスサイクルがライトされます。データ入力サイクルが続きます。指定されたカラムアドレスから始まるシリアルデータが入力されます。データ入力が完了すると、コントローラはターゲット内部コマンドレジスタにH'10をライトします。選択されたLUNはビジーステートになります。このコマンドは、ロウアドレスのみをNANDフラッシュデバイスにライトします。

(b) コマンド エンコーディング

PROGRAM PAGE IMMEDIATE命令は、SEQ_23コマンドシーケンスを使用します このコマンドは、以下の表に示すようにエンコードされます。

表31.30 PROGRAM PAGE IMMEDIATE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'10	H'80	0	0 / 1	SEQ_23_ID

(25) PROGRAM PAGE DELAYED コマンド

(a) コマンド説明

デバイスの内部コントローラは、マルチプレーン プログラミングを自動的に管理できます。これは、PROGRAM PAGE DELAYEDコマンドで行います。このコマンドが発行されると、後続のプログラム動作のアドレスが検査されるまで、コントローラはアレイに対するプログラム動作の発行を遅延させます。その動作によって、以前の動作がマルチプレーン動作の一部として完了できる場合は、コントローラはアレイに対してマルチプレーンプログラムを発行します。マルチプレーン動作は、プレーン0からのLUNアドレスがプレーン1からのLUNアドレスの前に発行された場合にのみ完了します。後続のプログラム動作がマルチプレーン動作を許可しない場合、コントローラは直ちに前のプログラムを開始します。アプリケーションプログラムは、このコマンドをすべてのプログラム動作の起動に使用できると仮定します。このように、アプリケーションプログラムは、マルチプレーン動作の使用に関する情報を維持する必要はありません。

(b) コマンド エンコーディング

PROGRAM PAGE DELAY命令は、SEQ_12コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.31 PROGRAM PAGE DELAY 命令エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'13	H'80	0	0 / 1	SEQ_23_ID

(26) PROGRAM PAGE 1 コマンド

(a) コマンド説明

PROGRAM PAGE1 コマンドは、アプリケーションプログラムがキャッシュレジスタにデータを入力することを許可し、データをキャッシュレジスタから、選択されたLUNのアレイ内の指定されたブロックとページアドレスに移動させます。このコマンドは、レディのとき、LUNによって受け入れられます。ページをキャッシュレジスタに入力し、データを指定されたブロックアドレスとページアドレスでNANDアレイに移動させるために、コントローラはターゲット内部コマンドレジスタにH'80をライトします。次に、カラムアドレスとロウアドレスを含む5アドレスサイクルがライトされます。データ入力サイクルが続きます。指定されたカラムアドレスから始まるシリアルデータが入力されます。データ入力が完了するとコマンドシーケンスが終了します。

(b) コマンド エンコーディング

PROGRAM PAGE 1命令はSEQ_13コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.32 PROGRAM PAGE 1 命令エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'80	0	0 / 1	SEQ_13_ID

(27) PROGRAM PAGE CACHE コマンド

(a) コマンド説明

PROGRAM PAGE CACHEコマンドは、コントローラがキャッシュレジスタにデータを入力することを許可し、データをキャッシュレジスタからデータレジスタにコピーして、次にデータレジスタの内容を、選択されたたLUNのアレイ内の指定されたブロックとページアドレスに移動します。データがデータレジスタにコピーされた後、キャッシュレジスタは、追加の PROGRAM PAGE CACHE または PROGRAM PAGE コマンドで使用可能です。PROGRAM PAGE CACHEコマンドは、レディのとき、LUNによって受け入れられます。

キャッシュレジスタへページを入力するために、コントローラはターゲットの内部コマンドレレジスタへH'80を書き込みます。次に、カラムアドレスとロウアドレスを含む５アドレスサイクルが書き込まれます。データ入力サイクルが続きます。指定されたカラムアドレスから始まるシリアルデータが入力されます。データ入力が完了すると、H'15がコマンドレジスタに書き込まれます。選択したLUNはビジー状態になり、以前のプログラムキャッシュ動作で利用可能になったデータレジスタはキャッシュレジスタからコピーされた後、データレジスタの内容を指定されたブロックおよびページアドレスへの移動を開始します。

(b) コマンド エンコーディング

PROGRAM PAGE CACHE命令はSEQ_12コマンドシーケンスを使用します。コマンドは、以下の表に示すようにエンコードされます。

表31.33 PROGRAM PAGE CACHE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'15	H'80	0	0 / 1	SEQ_12_ID

(28) PROGRAM MULTIPLANE コマンド

(a) コマンド説明

PROGRAM MULTIPLANEコマンドは、アドレス指定されたプレーンのキャッシュレジスタへデータを入力しNANDアレイへ移動されるキャッシュレジスタをキューに入れます。このコマンドは、1回以上発行することができます。新しいプレーンアドレスが指定されるたびに、そのプレーンもデータ転送のためにキューに入れられます。このコマンドは、レディのとき、LUNによって受け入れられます。

コントローラは、ターゲット内部コマンドレジスタにH'80をライトします。次に、カラムアドレスとロウアドレスを含む５アドレスサイクルが書き込まれます。データ入力サイクルが続きます。シリアルデータは指定されたカラムアドレスから入力されます。データ入力が完了すると、コントローラはターゲットの内部コマンドレジスタにH'11をライトします。

(b) コマンド エンコーディング

PROGRAM PAGE CACHE命令はSEQ_12コマンドシーケンスを使用します。コマンドは、以下の表に示すようにエンコードされます。

表31.34 PROGRAM MULTIPLANE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'11	H'80	0	0 / 1	SEQ_12_ID

(29) WRITE PAGE コマンド

(a) コマンド説明

WRITE PAGEコマンドは、コントローラがデータをターゲットキャッシュレジスタからNANDアレイに移動させることを許可します。このコマンドは、レディのとき、LUNによって受け入れられます。コントローラは、ターゲット内部コマンドレジスタにH'10をライトします。

(b) コマンド エンコーディング

WRITE PAGE命令は、SEQ_0コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表31.35 WRITE PAGE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'10	—	—	SEQ_0_ID

(30) WRITE PAGE CACHE コマンド

(a) コマンド説明

WRITE PAGE CACHEコマンドは、コントローラがデータをターゲットキャッシュレジスタからターゲットデータレジスタに移動させることを許可します。このコマンドは、レディのとき、LUNによって受け入れられます。コントローラは、ターゲット内部コマンドレジスタにH'15をライトします。

(b) コマンド エンコーディング

WRITE PAGE CACHE命令は、SEQ_0コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表31.36 WRITE PAGE CACHE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'15	—	—	SEQ_0_ID

(31) WRITE MULTIPLANE コマンド

(a) コマンド説明

WRITE MULTIPLANEコマンドは、コントローラがデータをターゲットキャッシュレジスタからNANDアレイにキューイングすることを許可します。このコマンドは、レディのとき、LUNによって受け入れられます。コントローラは、ターゲット内部コマンドレジスタにH'11をライトします。

(b) コマンド エンコーディング

WRITE MULTIPLANE命令は、SEQ_0コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表31.37 WRITE MULTIPLANE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'11	—	—	SEQ_0_ID

(32) ERASE BLOCK コマンド

(a) コマンド説明

ERASE BLOCKコマンドは、NANDアレイ内の指定されたブロックを消去します。このコマンドは、レディのとき、LUNによって受け入れられます。ブロックを消去するために、コントローラはターゲット内部コマンドレジスタにH'60をライトします。次にロウアドレスを含む3アドレスサイクルが書き込まれます。カラムアドレスは無視されます。最後に、H'D0がターゲット内部コマンドレジスタに書き込まれます。

(b) コマンド エンコーディング

ERASE BLOCK命令はSEQ_14コマンドシーケンスを使用します。このコマンドは、以下の表に示すようにエンコードされます。

表31.38 ERASE BLOCK 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'D0	H'60	—	—	SEQ_14_ID

(33) ERASE MULTIPLANE コマンド

(a) コマンド説明

ERASE MULTIPLANEコマンドは、NANDアレイから消去される指定されたプレーン内のブロックをキューに入れます。このコマンドは、1回以上発行することができます。新しいプレーンアドレスが指定されるたびに、そのプレーンもブロックが消去されるためにキューに入れられます。このコマンドは、レディのとき、LUNによって受け入れられます。消去されるブロックをキューに入れるために、コントローラはH'60をコマンドレジスタにライトします。

次にロウアドレスを含む3アドレスサイクルが書き込まれます。カラムアドレスは無視されます。最後に、H'D1がコマンドレジスタに書き込まれます。

(b) コマンド エンコーディング

ERASE MULTIPLANE命令はSEQ_14コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表31.39 ERASE MULTIPLANE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'D1	H'60	—	—	SEQ_14_ID

(34) COPYBACK READ コマンド

(a) コマンド説明

COPYBACK READ コマンドは、READ PAGE コマンドと機能的に同じですが、H'30 の代わりに H'35 がターゲット内部コマンドレジスタに書き込まれる点が異なります。詳細は「31.3.3　命令 (17) READ PAGE コマンド」を参照してください。

(b) コマンド エンコーディング

COPYBACK READ 命令は SEQ_10 コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表 31.40　COPYBACK READ 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
H'35	—	H'00	0 / 1	0 / 1	SEQ_10_ID

(35) COPYBACK PROGRAM コマンド

(a) コマンド説明

コピーバック機能は、第 1 の場所からデータのページを読み出し、そのデータを第 2 の場所に移動させます。COPYBACK PROGRAM コマンドは、PROGRAM PAGE コマンドと機能的に同じですが、ターゲット内部コマンドレジスタに H'85 が書き込まれたときに、キャッシュレジスタの内容はクリアされない点が異なります。

SEQ_9 コマンドシーケンスはデータフェーズを持たないので、キャッシュレジスタからのデータは変更されずに第 2 の位置に書き込まれます。データを変更して第 2 の位置に書き込む必要があるときは、データフェーズを含む SEQ_12 コマンドシーケンスが使用されます。

(b) コマンド エンコーディング

COPYBACK PROGRAM 命令は SEQ_9 コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表 31.41　COPYBACK PROGRAM 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'10	H'85	—	—	SEQ_9_ID

(36) COPYBACK PROGRAM 1 コマンド

(a) コマンド説明

COPYBACK PROGRAM 1 コマンドは PROGRAM PAGE 1 コマンドと機能的に同じですが、ターゲット内部コマンドレジスタに H'85 を書き込んだときに、キャッシュレジスタの内容がクリアされない点が異なります。詳細は「31.3.3、(26) PROGRAM PAGE 1 コマンド」を参照してください。

(b) コマンド エンコーディング

COPYBACK PROGRAM1 命令は SEQ_13 コマンドシーケンスを使用します。
コマンドは以下の表に示すようにエンコードされます。

表 31.42 COPYBACK PROGRAM 1 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	—	H'85	0	—	SEQ_13_ID

(37) COPYBACK MULTIPLANE コマンド

(a) コマンド説明

COPYBACK MULTIPLANE コマンドは、PROGRAM MULTIPLANE コマンドと機能的に同じですが、ターゲット内部コマンドレジスタに H'85 を書き込んだときに、キャッシュレジスタの内容がクリアされない点が異なります。詳細は「31.3.3 、(28) PROGRAM MULTIPLANE コマンド」を参照してください。

(b) コマンド エンコーディング

COPYBACK MULTIPLANE 命令は SEQ_12 コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表 31.43 COPYBACK MULTIPLANE 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'11	H'85	0	0 / 1	SEQ_12_ID

(38) PROGRAM OTP コマンド

(a) コマンド説明

PROGRAM OTPコマンドは、OTP領域内のページにデータを書き込むために使用されます。ページ全体を一度にプログラムすること、またはページを部分的に4回までプログラムすることができます。OTPページにイレーズ動作はありません。PROGRAM OTPコマンドを使用するには、コントローラがH'A0コマンドを発行します。次に5アドレスサイクルが発行されます。アドレス書込みの後に、プログラム可能な数のデータサイクルが続きます。データ入力が完了すると、コントローラはH'10コマンドを発行します。内部制御ロジックは、自動的に適切なプログラミングアルゴリズムを実行し、プログラミングと検証に必要なタイミングを制御します。

(b) コマンド エンコーディング

PROGRAM OTP命令はSEQ_12コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表31.44 PROGRAM OTP 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'10	H'A0	0	0 / 1	SEQ_12_ID

(39) DATA PROTECT OTP コマンド

(a) コマンド説明

DATA PROTECT OTPコマンドは、OTP領域内のすべてのデータを保護するために使用されます。データが保護された後は、それ以上プログラムすることはできません。OTP領域が保護されると、その領域内のページは最早プログラム可能ではなくなり、非保護には出来ません。DATA PROTECT OTPコマンドを使用するには、コントローラがH'A5コマンドを発行します。次にコントローラは、続く5アドレスサイクルを発行します。

最後に、H'10コマンドが発行されます。

(b) コマンド エンコーディング

DATA PROTECT OTP命令はSEQ_9コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表31.45 PROGRAM OTP 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
—	H'10	H'A5	—	—	SEQ_9_ID

(40) PAGE READ OTP コマンド

(a) コマンド説明

PAGE READ OTP コマンドは、OTP 領域内のページからデータを読み出すために使用されます。領域が保護されているかどうかにかかわらず、OTP 領域内の OTP ページを使用してデータを読み出すことができます。PAGE READ OTP コマンドを使用するには、コントローラは H'AF コマンドを発行します。次に 5 アドレスサイクルが発行されます。

最後に、H'30 コマンドが発行されます。NAND マトリックスからの内部読取りが終了した後、データは FIFO にコピーされます。

(b) コマンド エンコーディング

PAGE READ OTP 命令は、SEQ_9 コマンドシーケンスを使用します。コマンドは以下の表に示すようにエンコードされます。

表 31.46　PAGE READ OTP 命令 エンコーディング

CMD_2	CMD_1 / CMD_3	CMD_0	DATA_SEL	INPUT_SEL	CMD_SEQ
H'30	—	H'AF	0 / 1	0 / 1	SEQ_10_ID

31.3.4 マルチ LUN 動作モード

マルチ LUN 動作モードは、CONTROL レジスタの MLUN_EN ビットをセットすることで有効になります。このモードでは、各 LUN は個別のターゲットとして扱われます。アクティブ LUN 番号は、アドレス値から直接デコードされます。このマルチ LUN モードは、下記のパラメータによってパラメータ化されます。

MLUN レジスタの MLUN_IDX フィールド

このパラメータは、LUN 選択ビットが存在する最後のアドレスバイトのビットインデックスを提供します。このパラメータは、使用する NAND フラッシュデバイスのデータシートに従って設定する必要があります。

MLUN レジスタの LUN_SEL ビットは、デバイスごとの LUN-s の数を設定するために使用されます。LUN_STATUS_0 は LUN-s のステータスを保持し、各ビットはシングル LUN ステータスに対応します。

STATUS_MASK レジスタの STATE_MASK フィールド

このパラメータは、LUN レディ／ビジー チェック中に無視される LUN ステータスバイトの部分をマスクするために使用されます。

31.3.5　リマッピングメカニズム

リマッピングメカニズムは、不良ブロック管理（BBM）ソリューションをサポートします。ハードウェアリマッピングメカニズムは、要求された動作において与えられたリニアアドレスの物理アドレスを見つける時間のかかる動作からソフトウェアを解放します。ソフトウェアは NAND フラッシュデバイスのアプリケーションで使用するためのリマッピングテーブルのみを初期化します。これらのテーブルを昇順にソートし、テーブルを検索してアドレスを置換する操作全体が自動的に実行されます。

リマッピングソリューションは、制御レジスタの 2 つのグループを使用します。

- ポインタレジスタ DEV0_PTR
  このレジスタは、BBM メカニズムによって使用されるレコードテーブルが配置される、内部メモリのアドレスを格納します。
- サイズレジスタ DEV0_SIZE
  このレジスタは、テーブル内のレコード数を格納します。

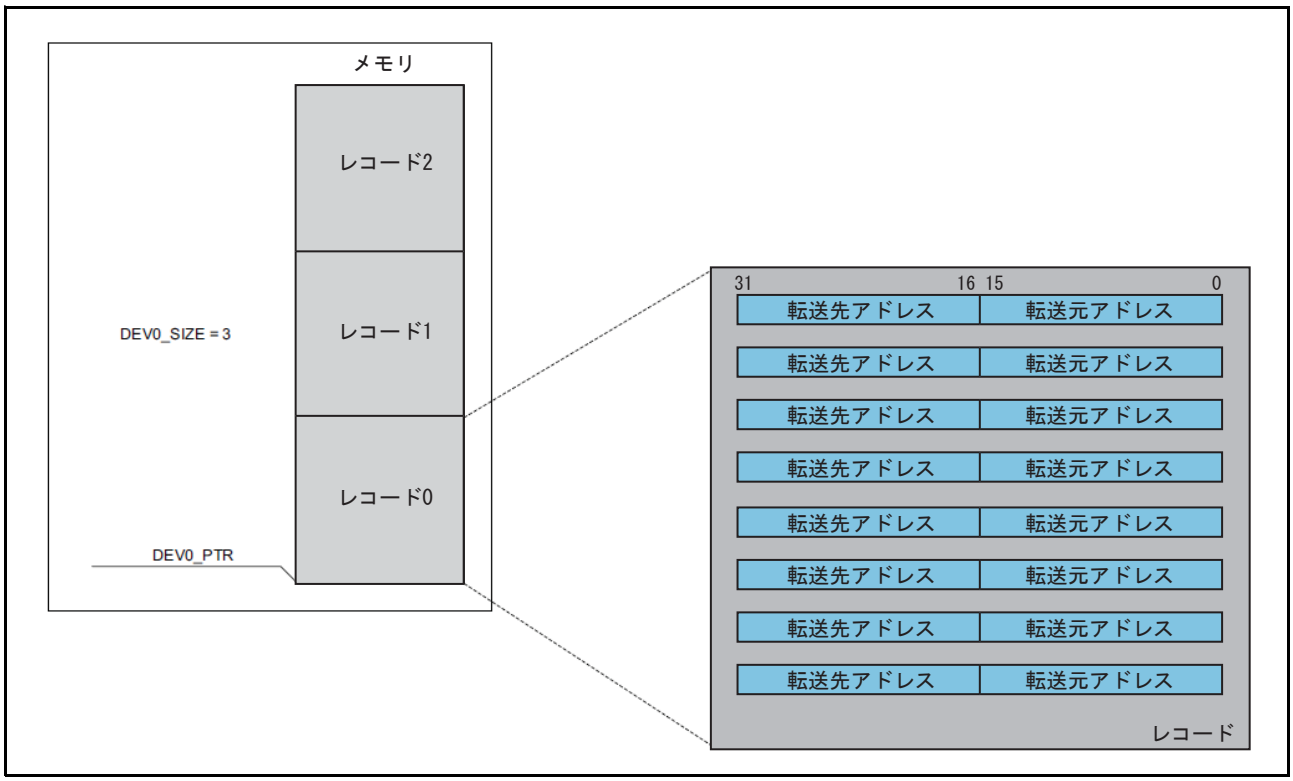


図 31.30　BBM レコードの例

注.　転送先アドレスと転送元アドレスにブロック番号を格納します。
テーブルは転送元アドレスを昇順に設定してください。
1つのレコード内で未使用のアドレスがある場合, これらのアドレスは H'FFFF_FFFF を設定してください。

31.3.6　割り込み メカニズム

NAND フラッシュコントローラ割り込みシステムは、２つの制御レジスタを使用します。

割り込みマスクレジスタ：

このレジスタの各ビットは、１つの割り込みをマスクします。レジスタの詳細は**「31.2.6　割り込みマスクレジスタ（INT_MASK）」**で説明します。

割り込みフラグレジスタ：

このレジスタの各ビットは、１つの割り込みソースからのアクティブフラグです。レジスタの詳細は**「31.2.7　割り込みステータスレジスタ（INT_STATUS）」**で説明します。

割込みイベントが発生した場合、すなわち、INT_STATUS のそれぞれの割込みフラグが 1 で、かつ INT_MASK のそれぞれのマスクビットが 1 の場合に、割込み信号 INTNFMA がアサートされます。
INT_MASK の割り込みマスクビットは、割り込み信号 INTNFMA にのみ影響しますが、INT_STATUS のフラグには影響しないことに注意してください。
INT_STATUS のセットフラグは、アプリケーションプログラムによってクリアする必要があります。
利用可能な割り込みソースとそれぞれの INT_STATUS フラグは下記の通りです。

INT_STATUS.CMD_END_INT_FL

コマンドシーケンス終了割り込み。この割り込みは、以前にトリガされたコマンドシーケンスが終了し、新しいコマンドシーケンスが開始されたときに発生します。完全なシーケンスが実行されるか、または NAND フラッシュデバイスがビジーステートになると、コマンドシーケンスは終了としてマークされます。

INT_STATUS.ECC_INT0_FLAG

ECC モジュールは、送信されたデータに訂正不可能なエラーを検出します。
ECC モジュールは、設定されたエラースレッシュホールドレベルを超過したことを検出します。

INT_STATUS.MEM0_RDY_INT_FL

メモリデバイスレディ。この割り込みは、NAND フラッシュデバイスがプログラムされたコマンドシーケンスの実行を終了し、新しいコマンドシーケンスの準備ができたときに発生します。各 NAND フラッシュデバイスには 1 つの割り込みフラグがあります。「コマンドシーケンス終了」割込みと「メモリデバイスレディ」割込みの違いを**図 31.31** に示します。

INT_STATUS.TRANS_ERR_FL

コントローラの FIFO にアクセス中のスレーブインタフェースのエラー 。
この割り込みは、FIFO メモリへのアクセスが現在の FIFO 設定とは逆方向（FIFO がライト設定のときの FIFO リード、または FIFO がリード設定のときの FIFO ライト）の場合に発生します。

INT_STATUS.STAT_ERR_INT0_FL

メモリデバイス上で最後に完了した動作がフェイルしました。これは、PROGRAM PAGE と ERASE BLOCK 動作に適用します。READ 系動作の後では無効です。

INT_STATUS.PG_SZ_ERR_INT_FL

データサイズ エラーフラグ。ECC が有効のとき、DATA_SIZE レジスタに書き込まれる値にはいくつかの制限があります。割り込み条件は、DATA_SIZE レジスタに書き込まれた値が正しくないときに満たされます。

INT_STATUS.DMA_INT_FL

DMA 転送終了フラグ。

INT_STATUS.DATA_REG_INT_FL

DATA_REG のデータが使用可能です。

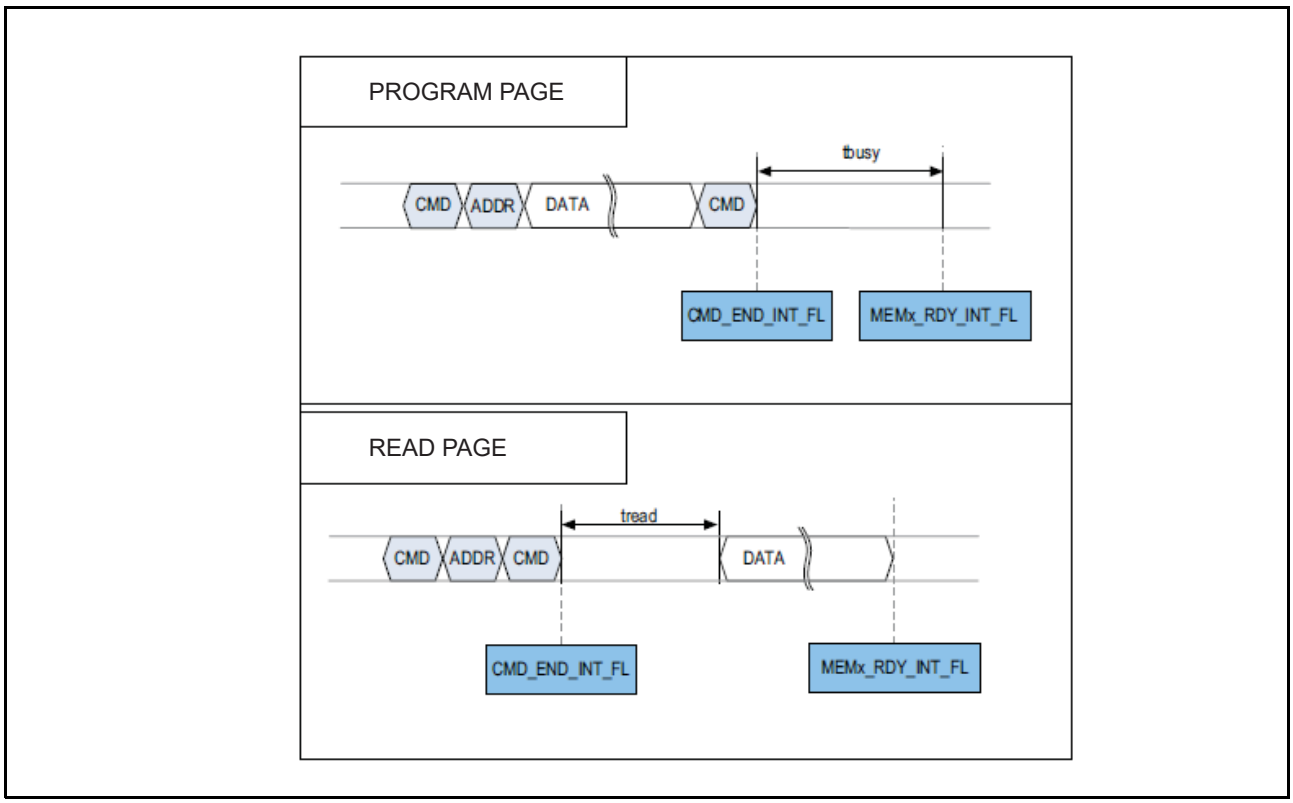


図 31.31 コマンドシーケンス終了とメモリレディ割り込み

31.3.7 セットアップとコンフィギュレーション

CONTROL レジスタは、NAND フラッシュコントローラのメイン制御レジスタです。
以下のビットは、コントローラの基本設定をコンフィギュレーションします。

- INT_EN – グローバル割り込みを許可するビット
- ECC_EN – ハードウェア ECC を有効にするビット
- BLOCK_SIZE – ブロックサイズを設定するビット
- BBM_EN – リマッピング処理を有効にするビット
- PROT_EN – プロテクト機構を有効にするビット
- ADDRx_AUTO_INCR – ロウアドレスレジスタ 0/1 の自動インクリメント
- SMALL_BLOCK_EN – スモールブロックモードを有効にするビット
- MLUN_EN – マルチ LUN モードを有効にするビット
- AUTO_READ_STAT_EN – PROGRAM PAGE コマンドと ERASE BLOCK コマンドの後に、自動リードステータスをアクティブにするビット
- READ_STATUS_EN – コントローラが RnB ラインをチェックするか、READ_STATUS コマンドを送信するかを選択するビット
- ECC_BLOCK_SIZE – ECC ブロックサイズを定義するビット

以下に説明するレジスタは、CONTROL レジスタ内の他のビットの設定に従ってコンフィギュレーションされます。

1. INT_EN ビットがセットされている場合、ソフトウェアはマスクを INT_MASK レジスタに書き込む必要があります。このレジスタは、NAND フラッシュコントローラで選択された割り込みソースをマスクします。
2. ECC_EN ビットがセットされている場合、ソフトウェアは、適切な設定を ECC_CTRL に書き込むことによって ECC モジュールを正しく設定する必要があります。さらに、ソフトウェアは、ECC_OFFSET レジスタにオフセットを設定します。スモールブロックモードでは、ECC_OFFSET の値は無視され、訂正ワードは、データ直後の NAND フラッシュメモリデバイス内に配置されます。
3. コントローラ（DATA_SIZE）によって、転送されるデータの書き込み番号。ECC が有効のとき、DATA_SIZE 値にいくつかの制限があります。
4. BBM_EN ビットがセットされている場合、ソフトウェアはリマッピングテーブル（DEVn_PTR と DEVn_SIZE レジスタ）を初期化する必要があります。
5. さらに、ソフトウェアは、TIMINGS_ASYN レジスタにある時間パラメータを設定する必要があります。さらに、ソフトウェアは TIME_SEQ_0 と TIME_SEQ_1 レジスタを設定する必要があります。

NAND フラッシュコントローラが DMA を使用してデータを転送するとき、ソフトウェアは DMA_ADDR, DMA_CTRL, DMA_CNT レジスタを設定する必要があります。ソフトウェアは転送前または初期化手順中にこれらのレジスタを変更できます。

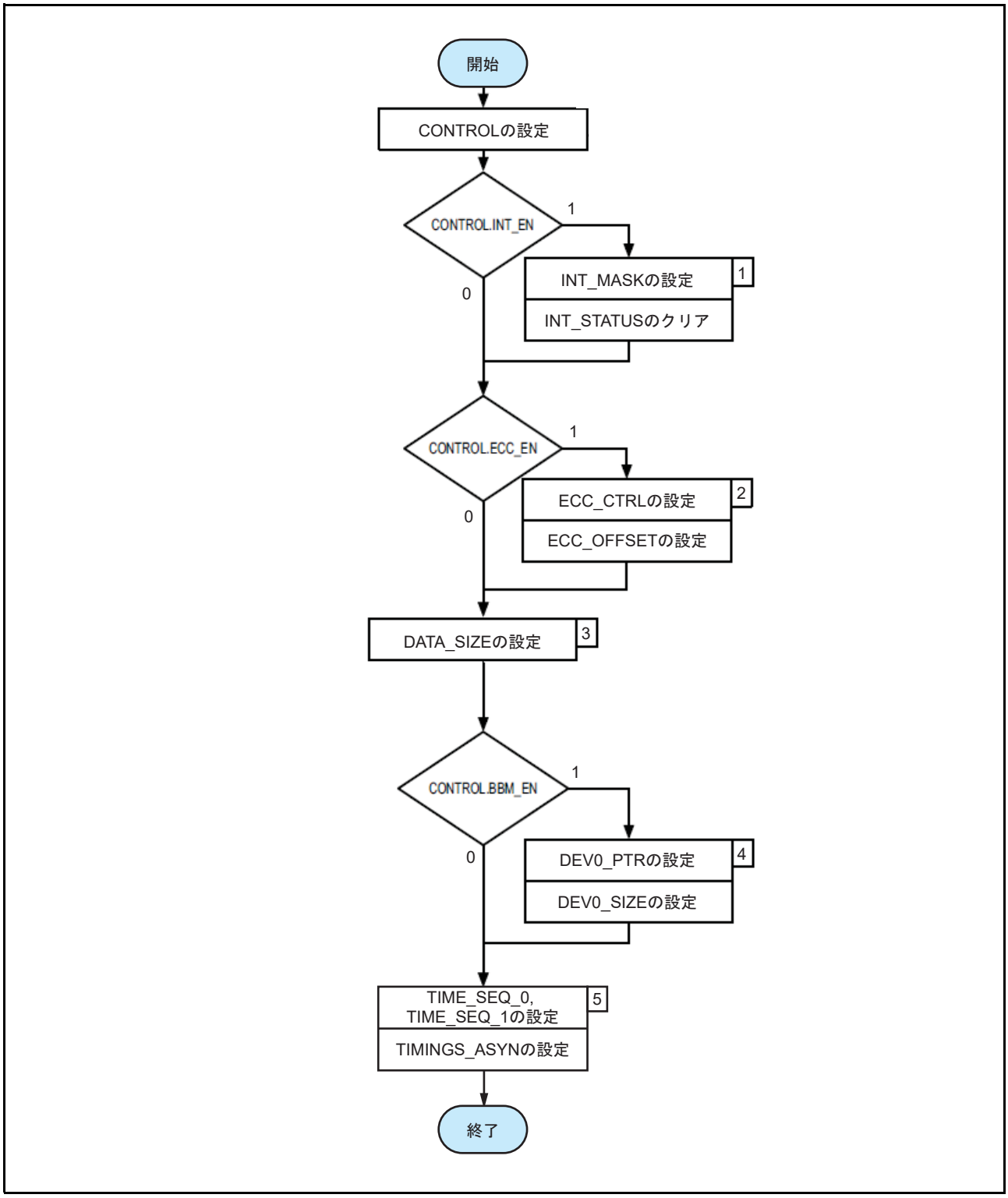


図 31.32 コンフィギュレーション

(1)　スレーブインタフェースを介して NAND フラッシュにデータ送信

1. NAND フラッシュメモリデバイスにデータを送信する前に、NAND フラッシュコントローラを正しく設定する必要があります。設定は「31.3.7　セットアップとコンフィギュレーション」「31.2　レジスタの説明」で詳しく説明します。
2. NAND フラッシュメモリのデータのアドレスをアドレスレジスタ 0（ADDR0_COL と ADDR0_ROW レジスタ）に書き込みます。読み出したいデータの数を書きます（DATA_SIZE レジスタ）。
3. 最も単純なプログラムコマンドを使用するには、COMMAND レジスタに H'0010 800C （PROGRAM PAGE コマンド、FIFO 選択、スレーブインタフェース選択）を 書き込みます。
4. FIFO_DATA レジスタを使用して FIFO にデータを書き込みます。データは NAND フラッシュメモリデバイスに送信されます。

メモリにそれ以上の動作準備ができると、MEM0_ST がセットされます。

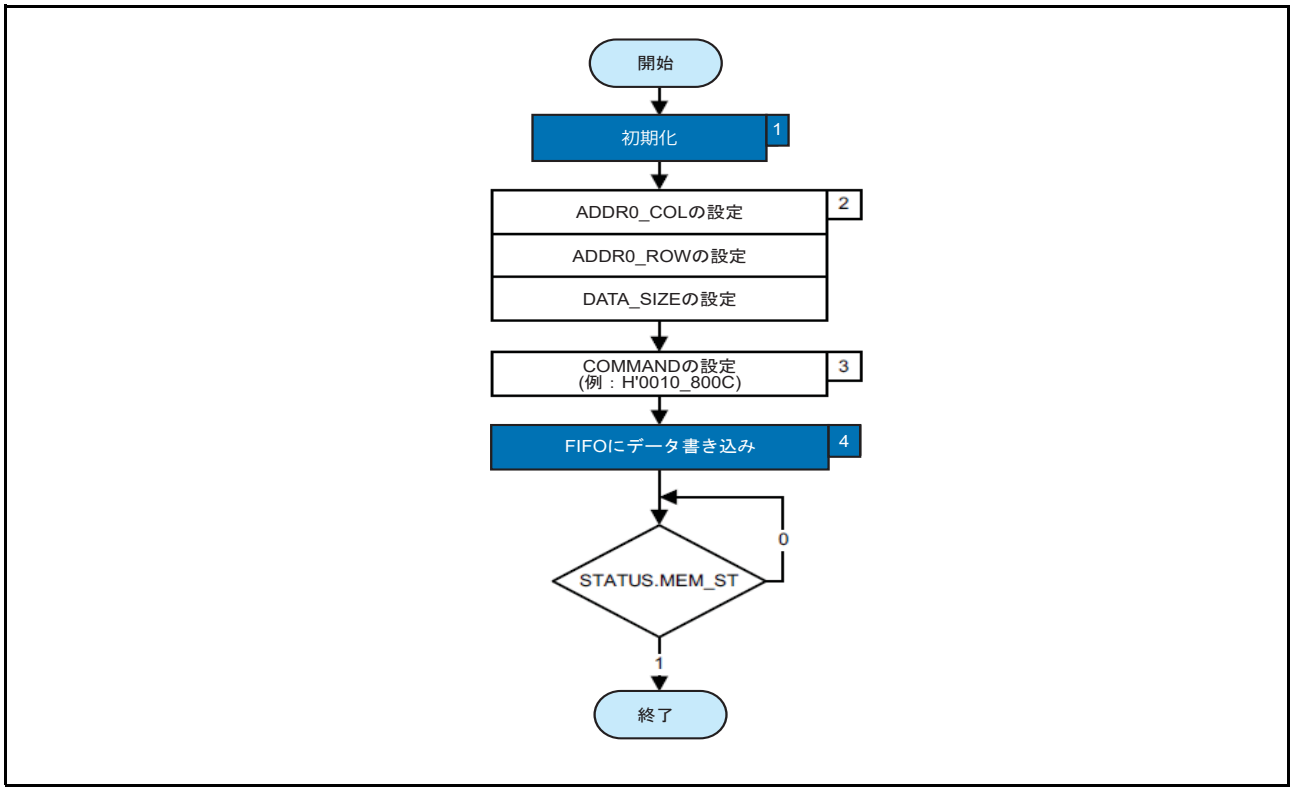


図 31.33　スレーブインタフェースを介して NAND フラッシュメモリにデータ書き込み

(2) スレーブインタフェースを介して NAND フラッシュからデータリード

1. NAND フラッシュメモリデバイスにデータを送信する前に、NAND フラッシュコントローラを正しく設定する必要があります。設定は「31.3.7 セットアップとコンフィギュレーション」「31.2 レジスタの説明」で詳しく説明します。
2. NAND フラッシュメモリのデータのアドレスをアドレスレジスタ 0 （ADDR0_COL と ADDR0_ROW レジスタ）に書き込みます。
3. 最も単純な読み出しコマンドを使用するには、COMMAND レジスタに H'3000 002A （READ PAGE コマンド、FIFO 選択、スレーブインタフェース選択）を 書き込みます。
4. アプリケーションプログラムは、コマンドを送信した直後にデータを読み出すことができますが、この場合、NAND フラッシュコントローラからの読み出しがほんの少し待たされます。
   この状況を避ける必要がある場合、アプリケーションプログラムは FIFO_STATE レジスタを読み出し、CF_EMPTY ビットがセットされるのを待つ必要があります。その後、FIFO_STATE レジスタの DF_R_EMPTY ビットがクリアされるのを待ちます。
5. FIFO_DATA レジスタを使用して、FIFO からデータを読み出します。

メモリにそれ以上の動作準備ができると、MEM0_ST がセットされます。

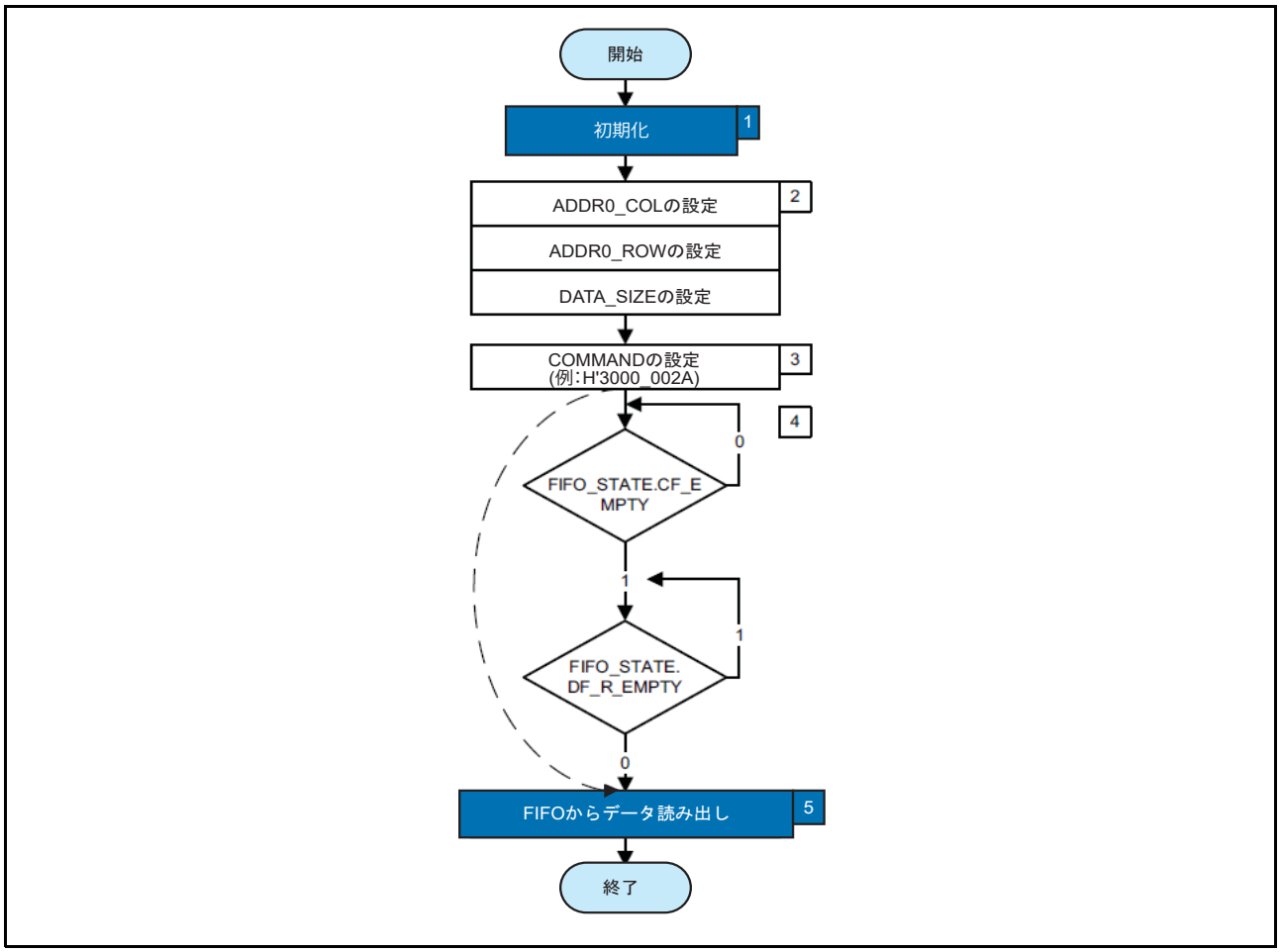


図 31.34　スレーブインタフェースを介して NAND フラッシュメモリからデータ読み出し

(3)　マスターインタフェイス経由で NAND フラッシュにデータ送信（DMA 使用）

1. NAND フラッシュメモリデバイスにデータを送信する前に、NAND フラッシュコントローラを正しく設定する必要があります。設定は「31.3.7　セットアップとコンフィギュレーション」「31.2　レジスタの説明」で詳しく説明します。
2. グローバル割り込みを有効にするために、CONTROL レジスタの INT_EN ビットをセットします。
3. INT_MASK レジスタのアクティブな割り込みを選択します。すべての割り込みをクリアするために INT_STATUS レジスタに H'0000 0000 を書き込みます。
4. DMA モジュールを正しく構成する、DMA 動作モードを選択します。
   レジスタ管理モードでは、データのアドレスがシステムメモリ（DMA_ADDR_L レジスタ）に書き込まれます。転送されたデータの数を DMA_CNT レジスタに書き込みます。コマンドシーケンスが NAND フラッシュメモリに送信されるときに DMA を開始するように DMA_START ビットをセットします。ERR_FLAG ビットと DMA_READY ビットは読み出し専用です。前者は、DMA がデータを転送している間の、内部バスのエラーを示します。後者は、DMA がレディ（転送完了）であることを示します。
5. NAND フラッシュメモリデバイスのデータのアドレスを、アドレスレジスタ 0 に書き込みます。
6. 最も簡単なプログラムコマンドを使用するには、COMMAND レジスタに H'0010 804C （PROGRAM PAGE コマンド、FIFO 選択、DMA 選択）を 書き込みます。

メモリにそれ以上の動作準備ができると、MEM0_ST がセットされ、割り込みがアクティブになります。(推奨される割り込みは MEM0_RDY_INT です)

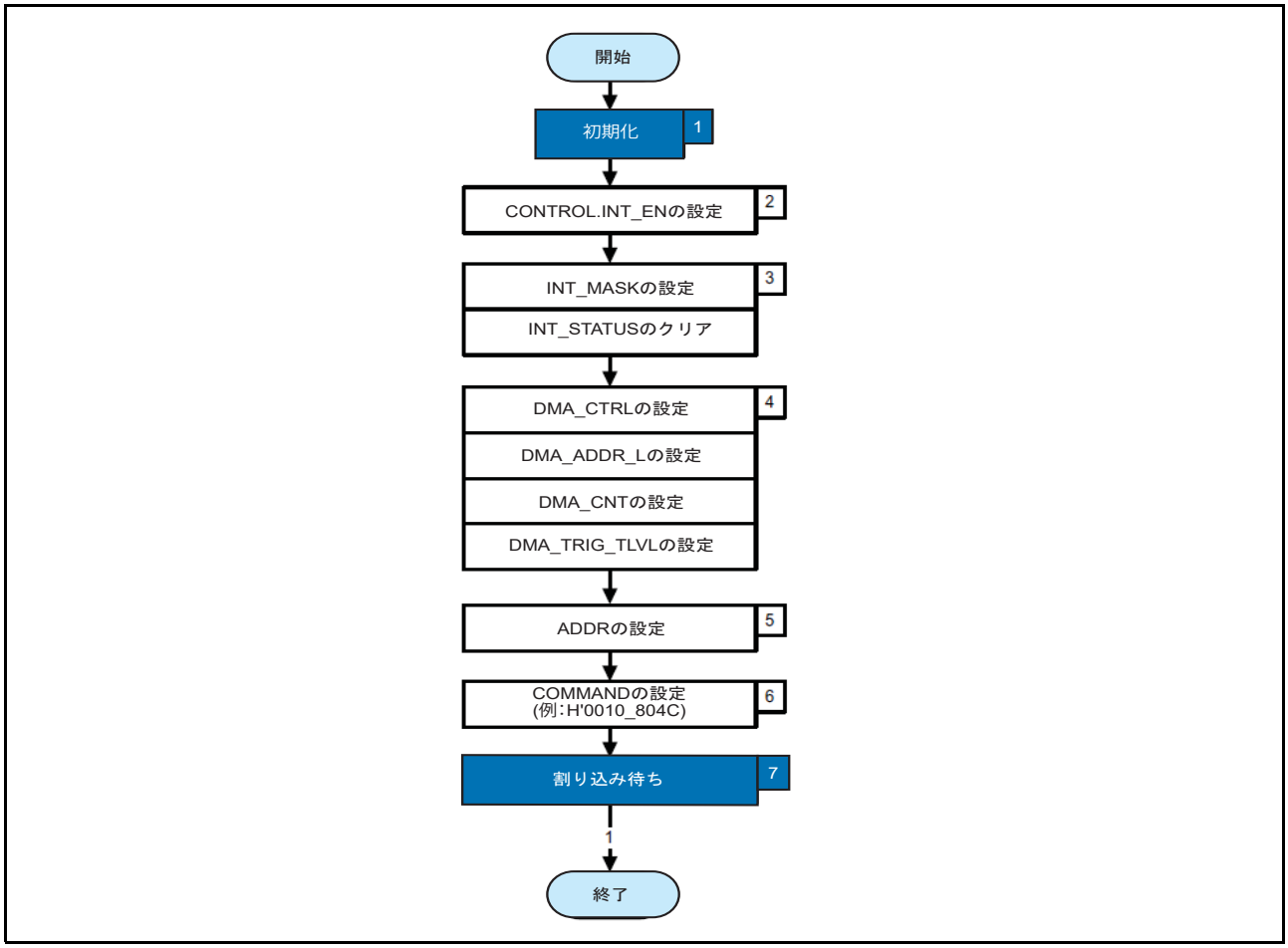


図 31.35　DMA、割り込みを使用した NAND フラッシュメモリにデータ書き込み

(4) DMA を使用した メモリからの 複数ページの 高速書き込みと読み出し

1. NAND フラッシュメモリデバイスにデータを送信する前に、NAND フラッシュコントローラを正しく設定する必要があります。設定は「31.3.7　セットアップとコンフィギュレーション」「31.2　レジスタの説明」で詳しく説明します。
2. グローバル割り込みを有効にするために、CONTROL レジスタの INT_EN ビットをセットします。
3. INT_MASK レジスタのアクティブ割り込み（CMD_END_INT_EN）を選択します。すべての割り込みをクリアするために、INT_STATUS レジスタに H'0000 0000 を書き込みます。
4. スキャッタギャザーモードでは、ディスクリプタをシステムメモリに書き込む必要があります。DMA モジュールを正しく構成する、DMA 動作モードを選択します。スキャッタギャザーモードでは、DMA_CNT レジスタを設定する必要はありません。詳細は「31.4.2 (2) (b)　スキャッタギャザーモード」を参照してください。
5. コマンドシーケンスが NAND フラッシュメモリに送信されたときに、DMA を開始するように DMA_START ビットをセットします。ERR_FLAG ビットと DMA_READY ビットは読み出し専用です。前者は、DMA がデータを転送している間の、内部バス上のエラーを示します。後者は、DMA がレディ（転送完了）を示します。
6. 各コマンドの後で自動的にロウアドレス 0 レジスタをインクリメントするために、ADDR0_INCR ビットをセットします。NAND フラッシュメモリデバイス内のデータのアドレスを、0 アドレスレジスタに書き込みます。
7. すべての割り込みをクリアするために、INT_STATUS レジスタに H'0000 0000 を書き込みます。
8. 最初のディスクリプタのアドレスを、DMA_ADDR_L レジスタに書き込みます。
9. COMMAND レジスタに H'0015 804C （DMA 選択、FIFO 選択）を書き込むことで、PROGRAM PAGE CACHE コマンドを NAND フラッシュメモリデバイスに書き込みます。コントローラに次の動作準備ができると、適切な CMD_END_INT_FL ビットがセットされ、割り込みがアクティブになります。
10. 転送ページ数が 1 に等しくないときは、上記 7. に進みます。
11. すべての割り込みをクリアするために、INT_STATUS レジスタに H'0000 0000 を書き込みます。
    最初のディスクリプタのアドレスを DMA_ADDR_L レジスタに書き込みます。
    データ送信シーケンスの最後のコマンドは、COMMAND レジスタ（DMA 選択、FIFO 選択）への PROGRAM PAGE（H'0010804C 書き込み）です。
12. 割り込みを待ちます。すべての割り込みをクリアするために、INT_STATUS レジスタに H'0000 0000 を書き込みます。
13. 新しいディスクリプタをシステムメモリに書き込みます。
14. 同じ動作モードとバーストタイプで、DMA 動作する必要があるときは、DMA_BURST ビットと DMA_MODE ビットを変更しないでください。コマンドシーケンスが NAND フラッシュメモリに送信されたときに DMA を開始するように、DMA_START ビットをセットします。
15. COMMAND レジスタに H'3000 0069（DMA 選択、FIFO 選択）を書き込むことで、READ PAGE コマンドを NAND フラッシュメモリデバイスに書き込みます。
16. すべての割り込みをクリアするために、INT_STATUS レジスタに H'0000 0000 を書き込みます。
17. 最初のディスクリプタのアドレスを DMA_ADDR_L レジスタに書き込みます。
18. COMMAND レジスタに H'0000 316B （DMA 選択、FIFO 選択）を書き込むことで、READ PAGE CACHE SEQUENTIAL コマンドを NAND フラッシュメモリデバイスに書き込みます。
19. コントローラに次の動作準備ができると、適切な CMD_END_INT_FL ビットがセットされ、割り込みがアクティブになります。転送ページ数がゼロにならないときは、上記 16. に進みます。
20. すべての割り込みをクリアするために、INT_STATUS レジスタに H'0000 0000 を書き込みます。最初のディスクリプタのアドレスを DMA_ADDR_L レジスタに書き込みます。データを読み出しシーケンスの最後のコマンドは、READ PAGE CACHE LAST です（H'0000 3F6B を COMMAND レジスタに書き込みます）。

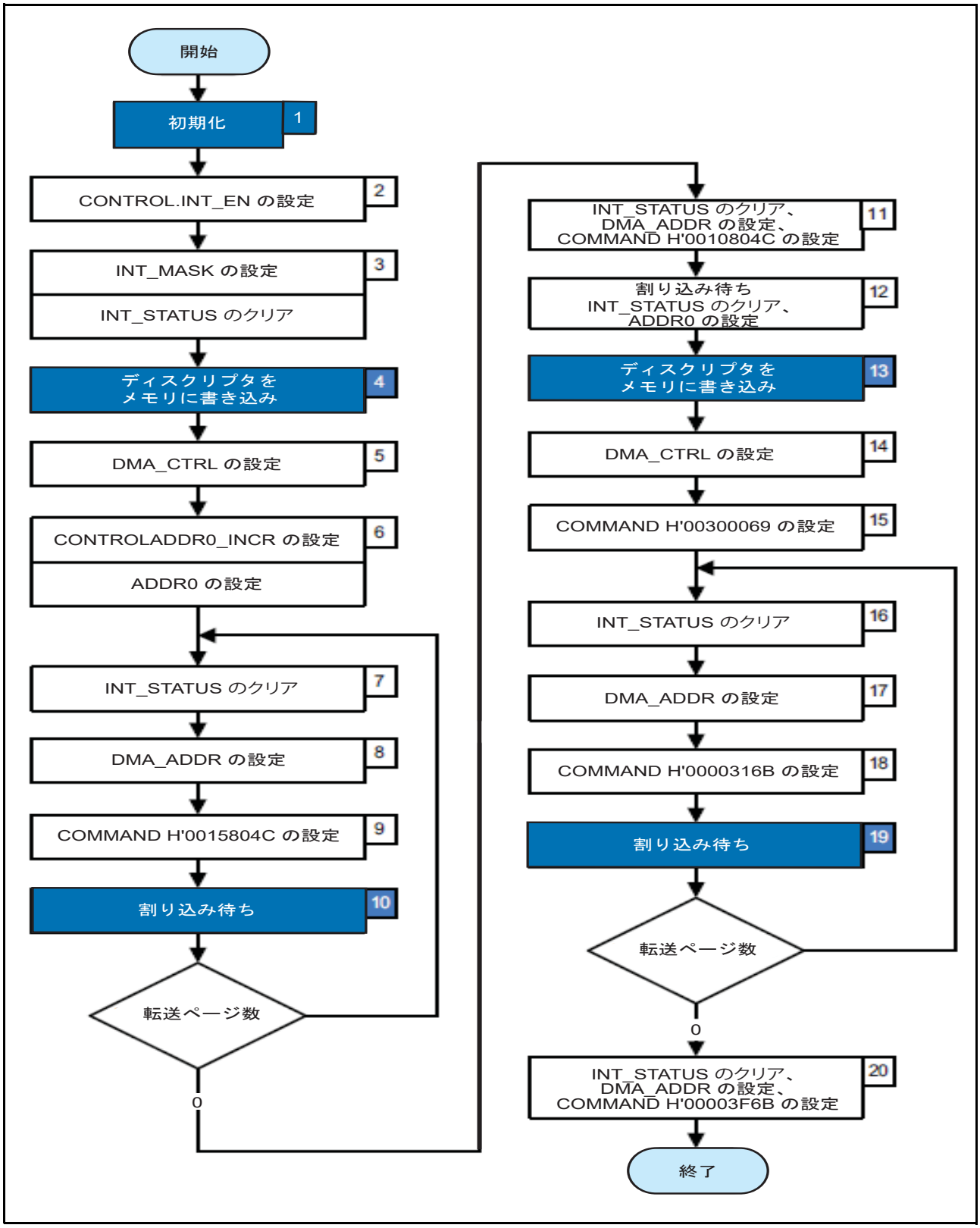


図 31.36 DMA を使用したメモリからの複数ページの高速書き込みと読み出し

(5)　部分ページに書き込み

ECC エンジン有効で、部分ページに書き込むには、次の手順を使用する必要があります。

1. NAND フラッシュメモリデバイスにデータを送信する前に、NAND フラッシュコントローラを正しく設定する必要があります。設定は**「31.3.7　セットアップとコンフィギュレーション」「31.2　レジスタの説明」**で詳しく説明します。
2. NAND フラッシュメモリのデータのアドレスをアドレスレジスタ 0 （ADDR0_COL と ADDR0_ROW レジスタ）に書き込みます。部分ページオフセットを ADDR0_COL レジスタに書き込む必要があります。書き込みたいデータの数を書きます。(DATA_SIZE レジスタ) ― この場合は、部分セクタサイズを設定する必要があります。ECC データのオフセット値を ECC_OFFSET レジスタに書き込みます。
3. 最も単純なプログラムコマンドを使用するには、COMMAND レジスタに H'0010 800C （PROGRAM PAGE コマンド、FIFO 選択、スレーブインタフェース選択）を書き込みます。
4. FIFO_DATA レジスタを使用して FIFO にデータを書き込みます。データは NAND フラッシュメモリデバイスに送信されます。

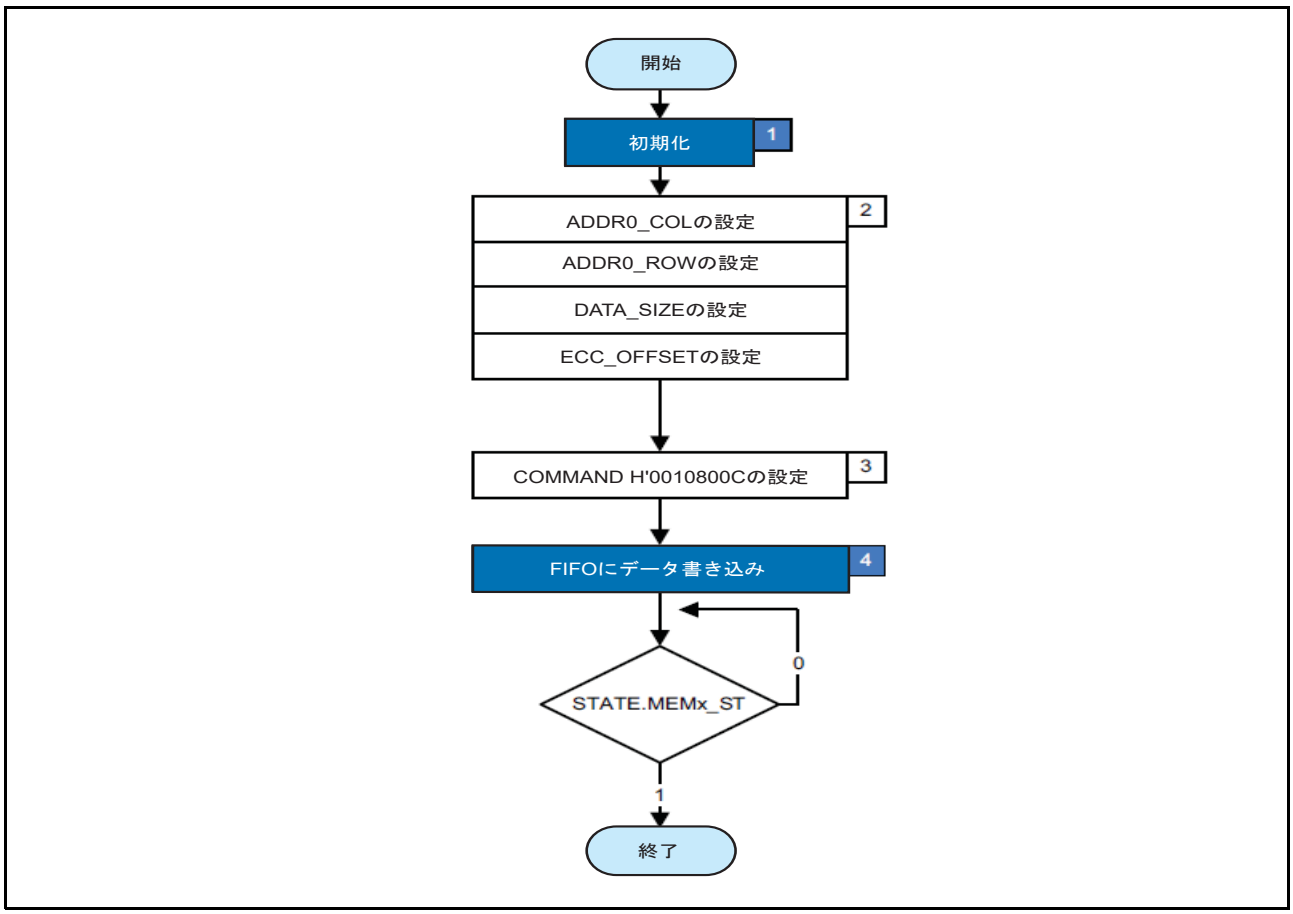


図 31.37　　部分ページに書き込み

(6)　部分ページの読み出し

1. NAND フラッシュメモリデバイスにデータを送信する前に、NAND フラッシュコントローラを正しく設定する必要があります。設定は「31.3.7　セットアップとコンフィギュレーション」「31.2　レジスタの説明」で詳しく説明します。
2. NAND フラッシュメモリのデータのアドレスをアドレスレジスタ 0（ADDR0_COL と ADDR0_ROW レジスタ）に書き込みます。部分ページオフセットを ADDR0_COL レジスタに書き込む必要があります。読み出したいデータ数を書きます。（DATA_SIZE レジスタ）― この場合は、部分ページサイズを設定する必要があります。
3. 最も単純な読み出しコマンドを使用するには、COMMAND レジスタに H'3000 002A （READ PAGE コマンド、FIFO 選択、スレーブインタフェース選択）を書き込みます。
4. コマンドを送信した直後にデータを読み出すことができますが、この場合、NAND フラッシュコントローラからの読み出しがほんの少し待たされます。この状況を避ける必要がある場合、アプリケーションプログラムは FIFO_STATE レジスタを読み出し、CF_EMPTY ビットがセットされるのを待つ必要があります。その後、FIFO_STATE レジスタの DF_R_EMPTY ビットがクリアされるのを待ちます。
5. FIFO_DATA レジスタを使用して、FIFO からデータを読み出します。

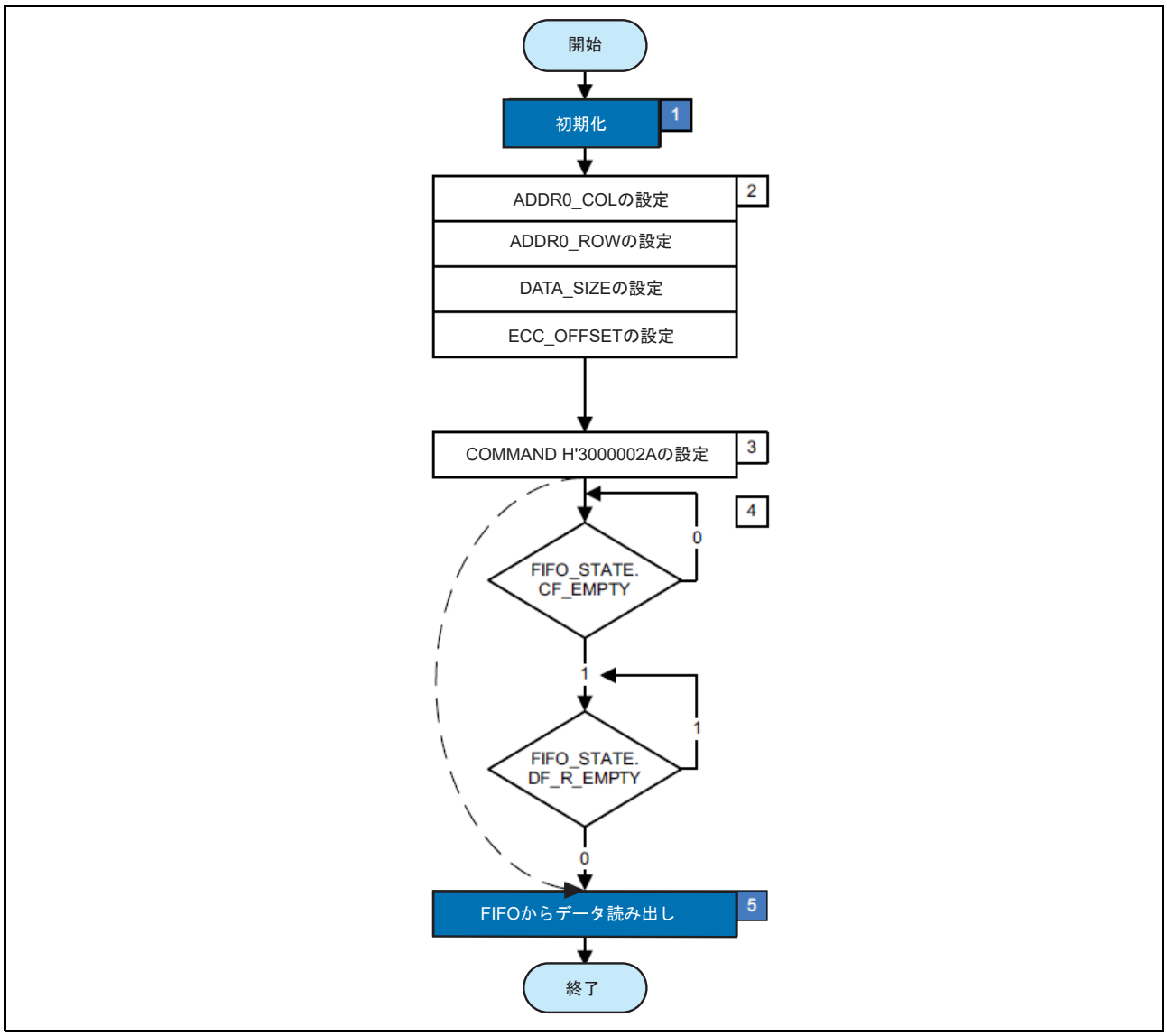


図 31.38　部分ページの読み出し

31.4　機能の詳細

31.4.1　ブロック図

NAND フラッシュコントローラのブロック図を示します。

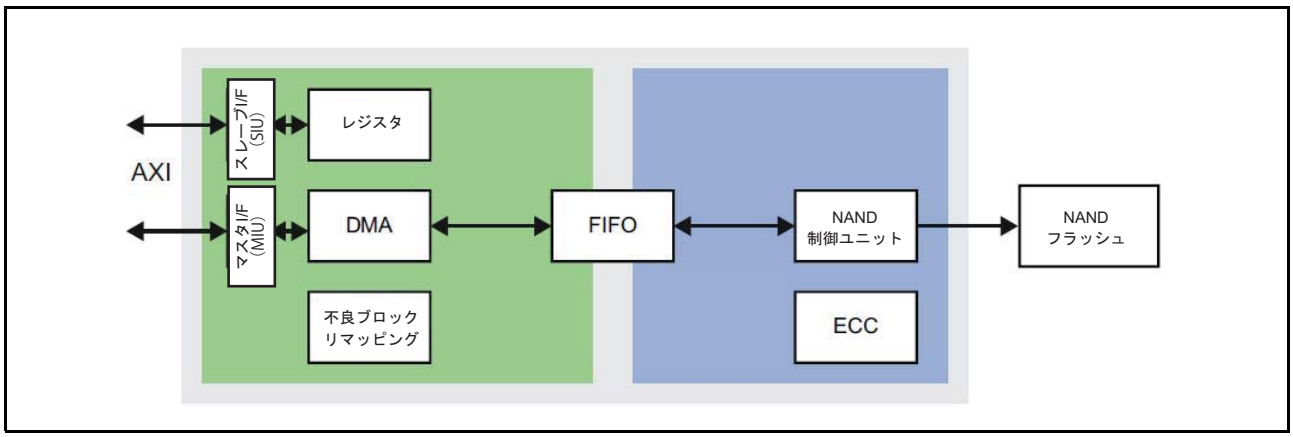


図 31.39　ブロック図

主なブロックは以下の通りです。

- FIFO は、FIFO キューインタフェースを他のコントローラモジュールに提供します。FIFO インタフェースを使用すると、同じモジュール内で読み出しポインタと書き込みポインタの制御を閉じることができます。したがって、2 つのモジュールが同時に読み書きできます。コントローラのソフトウェア設定に応じて、キューの片側は SIU または DMA モジュールで、もう一方は常に NAND 制御ユニットです。
- DMA は、外部メモリロケーションとコントローラとの間の、データの高速転送に関与します。このユニットは、スキャッタギャザーモードと、内部トリガされたレジスタ管理モードの、2 つのモードで動作します。DMA はマスタとして機能します。
- NAND 制御ユニットは、NAND フラッシュデバイスのアクセスシーケンスを生成します。
- ECC は誤り訂正符号計算機です。訂正ワードは、NAND フラッシュメモリページの 256B、512B または 1024B ECC ブロックごとに計算されます。読み出し動作の間、本ブロックは CPU の処理なしに、自動的に不良ビットを訂正することができます。ECC はステータスレジスタを持ち、そのビットは読み出し中に信号エラーが発生し、エラーが訂正されたときに通知されます。
- 不良ブロックリマッピングは、使用可能なブロックのポーリングから除外されたブロックを、代替のブロックにリマッピングします。全プロセスはソフトウェアにとって透過的です。

31.4.2 DMA

(1) 概要

本モジュールに内蔵の DMA は、以下の特長があります。

- 2 つの動作モード
  - レジスタ管理モード
  - スキャッタギャザーモード
- DMA モジュールは設定レジスタを保持します。これらは DMA ワーキングレジスタにコピーされます。
- DMA トリガレベルは、DMA がパケットデータを送信することを可能にします。

(2) DMA の説明

DMA は 2 つのモードをサポートします。

- レジスタ管理モード
  ー DMA は DMA_ADDR, DMA_CNT, DMA_CTRL レジスタの内容に応じて、1 回の転送を行います。
- スキャッタギャザーモード
  ー新しい DMA 転送アルゴリズム。

転送中の DMA モードは、DMA_CTRL レジスタの DMA_MODE ビットを介して選択され、各々継続的なデータ転送中には変更できません。転送が完了して DMA_CTRL レジスタの DMA_READY ビットがセットされると、アプリケーションプログラムは DMA モードを変更することができます。
転送を開始するには、DMA はアイドル状態（DMA_CTRL.DMA_READY = 1）である必要があります。

DMA_CTRL レジスタの DMA_START ビットをセットすると、コマンドが NAND フラッシュメモリに送信された後に、DMA がトリガされます（CONTROL レジスタ書き込み）。DMA_START ビットがクリアされると、NAND フラッシュメモリにコマンドを送信しても、DMA はトリガされません。これにより、NAND フラッシュメモリのページサイズよりも多くのデータを転送するように DMA をプログラムすることが可能です。

例：DMA は 32kB のデータ転送に設定され、NAND フラッシュメモリのページサイズは 4KB です。
32kB のデータを NAND フラッシュメモリに送るために、レジスタ DMA_CTRL の DMA_START ビットをセットする必要があり、次に PROGRAM PAGE コマンドを NAND フラッシュメモリに送信し、DMA_CTRL レジスタの DMA_START ビットをクリアし、NAND フラッシュメモリに 7 つのコマンドを送信する必要があります。
この例では、DMA は最初に 1 回だけ設定されます。

DMA トリガレベルは、DMA がパケットデータを送信することを可能にします。トリガレベルは、DMA がいつデータ転送を開始する必要があるかを示します。

アプリケーションプログラムは、アービトレーションタイプ、システム、NAND フラッシュメモリの性能に応じて、トリガレベルを設定する必要があります。

例えば：

1. DMA トリガレベルが 0 に等しい場合、トリガレベルを常に超過しているため、DMA は待機せずに、ただちにデータを転送します。

2. NAND フラッシュメモリからの読み出しの場合は、DMA トリガレベルが H'40（256 バイト）に等しいとき、データレベルが以前にプログラムされたトリガレベル（256 バイト）に達するまで、DMA は待機します。そして、DMA は FIFO が空の状態になるまでデータを転送します。次に、残っているデータサイズがプログラムされたトリガレベルに達することができる限り、要求されるデータレベルの待機サイクルが繰り返されます。トリガレベル値は、連続データブロックのみが転送されて、FIFO がオーバフローしないように、選択する必要があります。
3. NAND フラッシュメモリへの書き込みの場合は、DMA トリガレベルが H'40（256 バイト）に等しい場合、DMA は FIFO が一杯になるまで FIFO にデータを書き込みます。その後、DMA は 256 バイトが NAND フラッシュメモリに書き込まれるまで待機します。次に、DMA は再び FIFO が満杯になるまでデータを転送します。トリガレベルの値は、連続データブロックのみが確実に転送されるように、選択する必要があります。

(a)　レジスタ管理モード

DMA がこのモードで動作するとき、DMA_ADDR 番地のシステムメモリとの間で、連続する 1 つのブロック（DMA_CNT はブロック長）のみを転送します。ブロックは、DATA_SIZE レジスタの DATA_SIZE 値の倍数にすることができます。この転送を変更するすべてのレジスタは「31.2.18　DMA ベースアドレスレジスタ（DMA_ADDR_L）」、「31.2.19　DMA カウンタ初期値レジスタ（DMA_CNT）」と「31.2.20　DMA 制御レジスタ（DMA_CTRL）」に記述されています。

DMA_CTRL レジスタの DMA_BURST ビットは、要求された転送に先行して DMA によって使用されるメイン転送タイプを定義します。

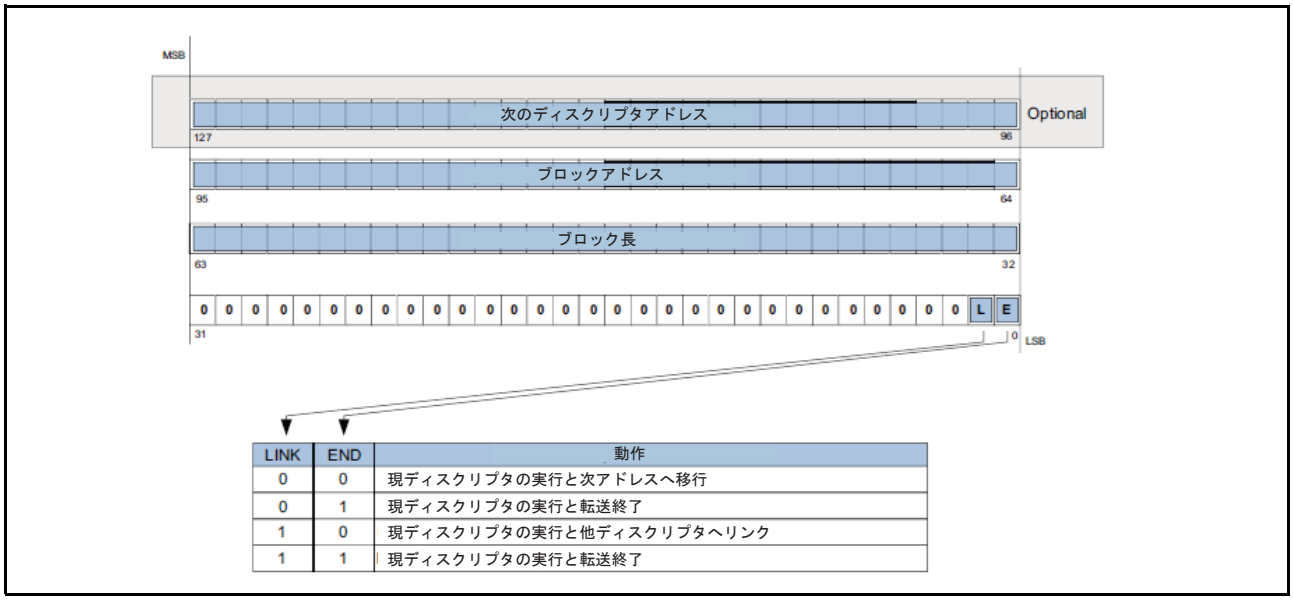
(b)　スキャッタギャザーモード

スキャッタギャザー DMA は、非連続のメモリを連続アドレスに、またはその逆の DMA 転送を高速に行います。スキャッタギャザーモードで、DMA はディスクリプタリストを使用してデータ転送を記述します。NAND フラッシュレジスタは、ディスクリプタリストのベースアドレスのみを指し示します。このリストのベースアドレスは、読み出し転送か書き込み転送かに関係なく、DMA_ADDR レジスタに設定されます。ベースアドレス、データブロックのサイズ、フラグはディスクリプタ内で定義されます。

DMA_CTRL レジスタの DMA_BURST ビットは、DMA によって使用されるメイン転送タイプを定義します。

スキャッタギャザーモードでは、DMA はデータブロックからデータを転送します。各ディスクリプタは、1 つのデータブロックのみを定義できます。

DMA は、より高いデータ転送速度が利用できるように、スキャッタギャザー DMA アルゴリズムを採用します。アプリケーションプログラムは、スキャッタギャザーモードを実行する前に、システムメモリと NAND フラッシュとの間のデータ転送のリストを、ディスクリプタテーブルにプログラムできます。



LINK	END	動作
0	0	現ディスクリプタの実行と次アドレスへ移行
0	1	現ディスクリプタの実行と転送終了
1	0	現ディスクリプタの実行と他ディスクリプタへリンク
1	1	現ディスクリプタの実行と転送終了

図 31.40　スキャッタギャザー DMA のディスクリプタフィールド

以下の表は、スキャッタギャザー DMA のディスクリプタフィールドとその機能を定義しています。

表 31.47　スキャッタギャザー DMA ディスクリプタフィールド

ビット	シンボル	説明
[127:96]	ADDRESS	LINK = 1 and END = 0 時の次ディスクリプタアドレス
[95:64]	ADDRESS	データブロックアドレス
[63:32]	LENGTH	データページ長(H'0000 0004 - H'FFFF FFFD) バイト数は 4 の倍数にしてください。
[31:2]	—	予約
[1]	LINK	
[0]	END	

LINK	END	説明
0	0	現ディスクリプタの実行と次ディスクリプタへ移行
0	1	現ディスクリプタの実行と転送終了
1	0	現ディスクリプタの実行と他ディスクリプタへリンク
1	1	現ディスクリプタの実行と転送終了

表 31.48　DMA データカウンタ長

設定値	カウンタ長の値
H'0000 0000	設定禁止
H'0000 0001	設定禁止
H'0000 0002	設定禁止
H'0000 0003	設定禁止
H'0000 0004	4 byte
H'0000 0005	設定禁止
H'0000 0006	設定禁止
H'0000 0007	設定禁止
H'0000 0008	8 byte
....	....

ディスクリプタテーブルは、アプリケーションプログラムによって、システムメモリに作成されます。各ディスクリプタ行（1 つの実行可能ユニット）は、アドレス、長さ、フラグで構成されます。フラグは、ディスクリプタ行の動作を指定します。各ディスクリプタフィールドのサイズは LINK=1, END=0 の場合のみ 16 バイトであり、それ以外の組み合わせでは 12 バイトとなります。

以下の図は、スキャッタギャザープログラミングの例を示しています。

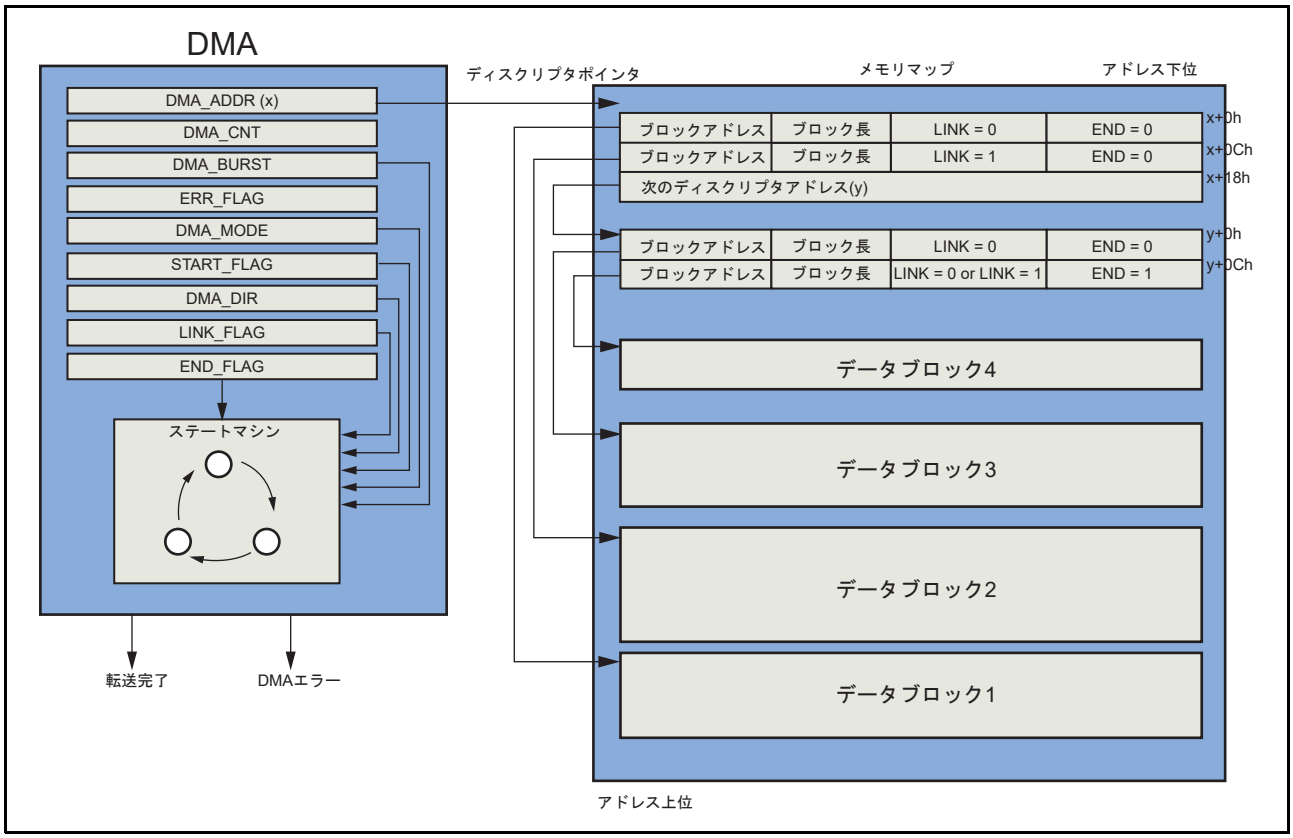


図 31.41　スキャッタギャザー DMA のデータ転送例

31.4.3　ECC

(1)　概要

本モジュールに内蔵の ECC は、BCH アルゴリズムの 1 つに基き、複数のビットエラーの訂正が可能です。以下の特長があります。

- エンコーダとデコーダは、256, 512, 1024 バイトのデータブロックで動作します。
- プログラム可能な訂正機能：2, 4, 8, 16, 24, 32 エラー。
- 訂正されたデータワードは、32 ビットにアラインされます。
- 訂正ワードは、32 ビットにアラインされます。
- 訂正ワードは、データの後に置かれます。

(2)　ブロック図

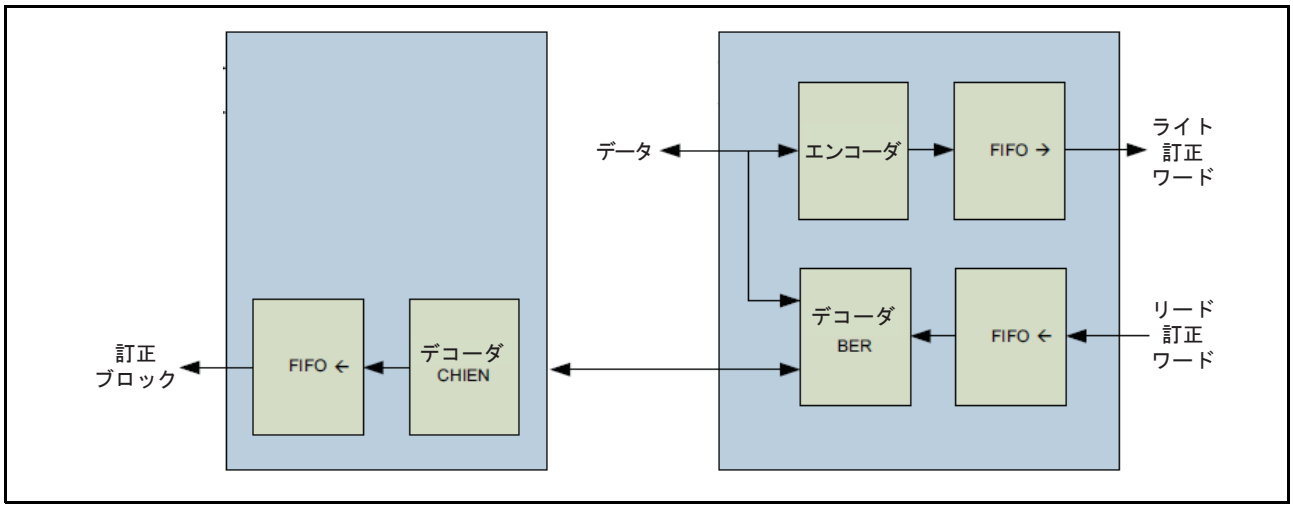


図 31.42　ECC のブロック図

31.4.4　BCH アルゴリズムの実装

- データブロック長：　256(small block memory), 512, 1024 バイト
- プログラム可能なメモリページの長さ：　ブロック長の倍数で、2 の任意の累乗（オプション）。
- プログラム可能な訂正機能：　2, 4, 8, 16,24, 32 エラー。
- エンコーダモジュールとデコーダモジュールの分離。
- メモリへの書き込み中の、訂正データ計算実行。
- メモリからの読み出しデータ中の、エラー検出実行。
- 内部パイプラインにより、次のデータブロックのエラー検出と同時に、1 つのデータブロックのエラー訂正が可能。

表 31.49　訂正バイトのサイズ

訂正能力	ECC ブロックサイズ	1 ECC ブロック毎の訂正バイトのサイズ
2 bit	256/512/1024 byte	4 byte
4 bit	256/512/1024 byte	7 byte
8 bit	256/512/1024 byte	14 byte
16 bit	256/512/1024 byte	28 byte
24 bit	256/512/1024 byte	42 byte
32 bit	256/512/1024 byte	56 byte

32. USB 2.0 ホストモジュール

32.1 概要

32.1.1 概要

本 LSI は 2 チャネルの USB 2.0 ホスト／ファンクションモジュールを備えています。各チャネルにおいて、UCOM レジスタの設定により、ホスト機能とファンクション機能を切り替えて使用することが可能です。

本章ではホスト／ファンクション共通回路およびホストコントローラについて説明します。

32.1.2 特長

本モジュールの特長を以下に示します。

機能	説明
Host機能	• High-Speed (480Mbps) / Full-Speed (12Mbps) / Low-Speed (1.5Mbps) の転送をサポート • Open Host Controller Interface (OHCI) Specification for USB Rev 1.0a 準拠 • Enhanced Host Controller Interface (EHCI) Specification for USB Rev 1.1 準拠（注1）
その他の機能	• Battery Charging機能（Battery Charging Specification Rev 1.2 準拠）（注2） • デュアル・ロール・デバイス機能（USB Host機能／USB Peripheral 機能の静的切り替え機能）

注1.　一部の機能（仕様）には対応していません。
注2.　ファンクション機能選択時でも、Battery Charging機能の設定はホストコントローラで行います。

32.1.2.1 EHCI v1.1 機能

本モジュールは EHCI specification Rev.1.0 に準拠していますが、EHCI V1.1 addendum の一部機能には対応していません。以下の表において、「○」のついた機能のみの対応です。

機能名	対応
Per-Port Change Events	○
Shorter Periodic Frame List	○
Hardware Prefetching	－
Link Power Management (LPM)	○

サポートする 3 機能のうち、「Per-Port Change Events」および「Shorter Periodic Frame List」に関連するレジスタを以下に記載します。各レジスタの詳細は、**「32.2 レジスタの説明」**の該当レジスタ仕様をご参照願います。

なお「Link Power Management (LPM)」に関しては、**「32.1.2.2 LPM （Link Power Management）機能」**に記載します。

Per-Port Change Events

該当レジスタ	該当ビット		属性	機能
HCCPARAMS (offset: 108h)	bit18	Per-Port Change Event Capability	R	本機能をサポートすることを示します。 1b 固定です。
USBCMD (offset: 120h)	bit15	Per-Port Change Events　Enable	R/W	ポートイベント通知設定機能です。 ポートイベント通知を行う場合は 1b にしてください。
USBSTS (offset: 124h)	bit16	Port-1 Change Detect	R/W(1)	ポートイベントが発生した時 1b がセットされます。
USBINTR (offset: 128h)	bit16	Port-1 Change Event Enable	R/W	上記「Port-1 Change Detect」フィールドの有効／無効設定機能です。 ポートイベントを上記フィールドに反映させたい場合、該当ビットを 1b にしてください。

Shorter Periodic Frame List

該当レジスタ	該当ビット		属性	機能
HCCPARAMS (offset: 108h)	bit19	32-Frame Periodic List Capability	R	本機能をサポートすることを示します。 1b 固定です。
USBCMD (offset: 120h)	bit[3:2]	Frame List Size	R/W	フレームリストサイズを決定します。 32 frames とする場合は、11b に設定してください。

32.1.2.2　LPM （Link Power Management）機能

本モジュールは、「USB 2.0 Link Power Management Addendum to the Universal Serial Bus v2.0 Specification」（以降、「LPM」とします）に準拠した Power Management 機能をサポートします。

本モジュールに LPM 規格に対応した Device を接続した場合、LPM 機能を使用することで従来と比較して早く Device を Suspned 状態に移行させることができます。

LPM 機能使用時：8 ～ 10 [µs]

本機能に関連するレジスタを以下に記載します。各レジスタの詳細は、**「32.2 レジスタの説明」**の該当レジスタ仕様をご参照願います。

該当レジスタ	該当ビット		属性	機能
HCCPARAMS (offset: 108h)	bit17	Link Power Management Capability	R	本機能をサポートすることを示します。 1b 固定です。
USBCMD (offset: 120h)	bit[27:24]	Host-Initiated Resume Duration	R/W	LPMからResume復帰する際にドライブするKステートの最小時間を設定してください。
PORTSC1 (offset: 164h)	bit[31:25]	Device Address [7:0]	R/W	LPM Token送信先のデバイスアドレスです。 LPMを使用する場合、設定が必要になります。 当該Portに接続したデバイスのアドレスを、LPM Token送信前までに設定してください。
	bit[24:23]	Suspend Status [1:0]	R	LPM Tokenに対する接続デバイスからの反応を示します。
	bit9	Suspend using L1	R/W	LPMを使用する場合、1b をセットしてください。
	bit7	Suspend	R/W	「Suspend using L1 ビット= 1b」かつ「Device address フィールド≒ 000h」で本ビットに 1b を設定すると、LPM Token送信を開始します。
PORT_LPM_CTR1 (offset: 320h)	bit[7:4]	NYET_RETRY_CNT_P1[3:0]	R/W	LPM トランザクションでDeviceからの応答がNYETだった場合のRetry回数を設定してください。
	bit3	REMOTEWAKE_EN_P1	R/W	LPMのRemote Wakeup 許可／不許可を設定してください。 0b: 許可（default値） 1b: 不許可
	bit2	SLEEP_INT_EN_P1	R/W	LPM トランザクションにおいて、ACK以外を受信時に割り込みを発生させるか否かを設定してください。 0b: 割り込みを発生させない（default値） 1b: 割り込みを発生させる
	bit1	RETRY_ENABLE_NYET_P1	R/W	LPM トランザクションにおいて、Deviceからの応答がNYETだった場合の Host1 動作を設定してください。 0b: Retryしない（default値） 1b: Retryする
	bit0	HIRD_SEL_P1	R/W	LPMからResume復帰する際にドライブするKステートの時間設定を行ってください。

32.1.2.3　デュアル・ロール・デバイス機能

Host/Peripheral 機能のロール切り替えは、本モジュールレジスタ（UCOM）レジスタ経由で行います。

UCOM レジスタの詳細は、**「32.2.4.5 UCOM Register」**をご参照願います。

32.1.2.4 Battery Charging 機能

USBPHY の Battery Charging I/F の制御およびモニタは、本モジュールレジスタ（UCOM）レジスタ経由で行います。

UCOM レジスタの詳細は、「32.2.4.5 UCOM Register」をご参照願います。

32.1.2.5 Suspend 拡張機能

本モジュールでは USBPHY の PLL 停止による低消費電力化を目的として、以下に示す２つの Suspend 拡張機能を実装しています。

なお当該レジスタ仕様の詳細は、「32.2.4.4 (6) Suspend Control Register (offset: 308h)」をご参照願います。

【該当レジスタ】

Suspend Control Register (offset: 308h)

【機能仕様】

機能		該当ビット	
[1]	OHCI/EHCI Operational レジスタの Suspend ビットをセットすると、USBPHY SUSPENDM をアサートする機能	bit31	SUSPENDM_ENABLE
[2]	USBPHY SUSPENDM を強制的にアサートする機能	bit0	GLOBAL_SUSPENDM_P1

32.1.2.6 使用上の注意事項

(1) Full Speed または Low Speed で対向デバイスと接続し、フレーム境界直前でデバイス切断が発生した場合、以降の対向デバイス接続が認識出来ない場合があります。

(2) Full Speed または Low Speed で対向デバイスと接続し、デバイス切断が発生した後に OHCI の Suspend 指示を実行した場合、以降の対向デバイス接続が認識出来ない場合があります。

デバイス切断後、もしくはデバイス切断後 OHCI の Suspend 指示を実行した場合は、**「32.11.1 デバイス切断後の処置」**に示す手順を実施して下さい。

32.1.3 USB 関連規格対応

○：対応
×：非対応

USB関連規格・機能項目			対応
Host機能	High Speed	Bulk IN/OUT 転送	○
		Control IN/OUT 転送	○
		Isochronous IN/OUT 転送	○
		Isochronous Highband 転送	○
		Interrupt IN/OUT 転送	○
	Full Speed	Bulk IN/OUT 転送	○
		Control IN/OUT 転送	○
		Isochronous IN/OUT 転送	○
		Interrupt IN/OUT 転送	○
	Low Speed	Control IN/OUT 転送	○
		Interrupt IN/OUT 転送	○
	Hub接続段数	HS 5段	○
		FS 5段	○
	EHCI V1.1対応	Hardware Prefetching	×
		Link Power Management	○
		Per-Port Change Events	○
		Shorter Periodic Frame List	○
Battery Charging機能（以後「BC機能」とする）			○
Dual Role Device　＊静的なHost/Peripheral切り替え機能			○

32.1.4 入出力端子

以下に端子構成を示します。

チャネル	名称	端子名	入出力	機能
0	USB D+ データ	DP0	入出力	USB内蔵トランシーバD+入出力です。 USBバスのD+端子に接続してください。
	USB D- データ	DM0	入出力	USB内蔵トランシーバD-入出力です。 USBバスのD-端子に接続してください。
	VBUS 入力	VBUSIN0	入力	USB ケーブル接続モニタ端子です。 USB バスのVBUS を3.3V まで降圧して接続してください。 VBUS の接続／切断を検出することができます。
	VBUS 出力	VBUSEN0	出力	VBUS電源のイネーブル端子です。
	オーバーカレント入力	OVRCUR0	入力	オーバーカレント端子です。
	OTG電源IC制御	OTG_EXICEN0	出力	OTG電源ICの制御端子です。
	OTG電源IC ID	OTG_ID0	入力	OTG電源ICのID端子です。
	CC入力	CC1_Rd0, CC1_Ra0, CC2_Rd0, CC2_Ra0	入力	Type-C端子におけるCC端子モニタです。 CC端子の抵抗値状態を検出して接続してください。
	リファレンス入力	RREF0	入力	基準抵抗接続用端子です。2.2 kΩ ± 1% の抵抗を介して USBVssに接続してください。
	トランシーバ部 アナログ端子電源	USBAPVcc0	入力	端子用電源です。
	トランシーバ部 デジタル端子電源	USBDPVcc0	入力	端子用電源です。
1	USB D+データ	DP1	入出力	USB内蔵トランシーバ D+ 入出力です。 USBバスのD+端子に接続してください。
	USB D-データ	DM1	入出力	USB内蔵トランシーバ D- 入出力です。 USBバスのD-端子に接続してください。
	VBUS入力	VBUSIN1	入力	USB ケーブル接続モニタ端子です。 USB バスのVBUS を3.3V まで降圧して接続してください。 VBUS の接続／切断を検出することができます。
	VBUS出力	VBUSEN1	出力	VBUS電源のイネーブル端子です。
	オーバーカレント入力	OVRCUR1	入力	オーバーカレント端子です。
	OTG電源IC制御	OTG_EXICEN1	出力	OTG電源ICの制御端子です。
	OTG電源IC ID	OTG_ID1	入力	OTG電源ICのID端子です。
	CC入力	CC1_Rd1, CC1_Ra1, CC2_Rd1, CC2_Ra1	入力	Type-C端子におけるCC端子モニタです。 CC端子の抵抗値状態を検出して接続してください。
	リファレンス入力	RREF1	入力	基準抵抗接続用端子です。 2.2 kΩ ± 1% の抵抗を介してUSBVssに接続してください。
	トランシーバ部 アナログ端子電源	USBAPVcc1	入力	端子用電源です。
	トランシーバ部 デジタル端子電源	USBDPVcc1	入力	端子用電源です。
共通	USB用水晶発振子／ 外部クロック	USB_X1	入力	USB 2.0 ホスト／ファンクションモジュール用水晶発振子を接続します。またUSB_X1端子は外部クロックを入力することもできます。
		USB_X2	出力	
	トランシーバ部 端子グランド	USBVss	入力	端子用グランドです。

32.2 レジスタの説明

32.2.1 レジスタ記号説明

表 32.1 レジスタ記号説明

レジスタ記号	説明
R/W	リードおよびライト可
R/W(1)	リード可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R/W(0)	リード可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R	リードのみ可
W	ライトのみ可
Reserved	リードのみ可

32.2.2 ベースアドレス

表 32.2 USB ホストモジュール各チャネルのベースアドレス

チャネル	ベースアドレス
0	E821 8000h
1	E821 A000h

32.2.3 Register Overview

アドレス Offset	レジスタ名	略称	備考
000h	HcRevision	HcRevision	OHCI Operation レジスタ
004h	HcControl	HcControl	
008h	HcCommandStatus	HcCommandStatus	
00Ch	HcInterruptStatus	HcInterruptStatus	
010h	HcInterruptEnable	HcInterruptEnable	
014h	HcInterruptDisable	HcInterruptDisable	
018h	HcHCCA	HcHCCA	
01Ch	HcPeriodCurrentED	HcPeriodCurrentED	
020h	HcControlHeadED	HcControlHeadED	
024h	HcControlCurrentED	HcControlCurrentED	
028h	HcBulkHeadED	HcBulkHeadED	
02Ch	HcBulkCurrentED	HcBulkCurrentED	
030h	HcDoneHead	HcDoneHead	
034h	HcFmInterval	HcFmInterval	
038h	HcFmRemaining	HcFmRemaining	
03Ch	HcFmNumber	HcFmNumber	
040h	HcPeriodicStart	HcPeriodicStart	
044h	HcLSThreshold	HcLSThreshold	
048h	HcRhDescriptorA	HcRhDescriptorA	
04Ch	HcRhDescriptorB	HcRhDescriptorB	
050h	HcRhStatus	HcRhStatus	
054h	HcRhPortStatus1	HcRhPortStatus1	

アドレス Offset	レジスタ名	略称	備考
100h	HCIVERSION / CAPLENGTH	CAPL_VERSION	EHCI Capability レジスタ
104h	HCSPARAMS	HCSPARAMS	
108h	HCCPARAMS	HCCPARAMS	
10Ch	HCSP_PORTROUTE	HCSP_PORTROUTE	
120h	USBCMD	USBCMD	EHCI Operation レジスタ
124h	USBSTS	USBSTS	
128h	USBINTR	USBINTR	
12Ch	FRINDEX	FRINDEX	
130h	CTRLDSSEGMENT	CTRLDSSEGMENT	
134h	PERIODICLISTBASE	PERIODICLISTBASE	
138h	ASYNCLISTADDR	ASYNCLISTADDR	
160h	CONFIGFLAG	CONFIGFLAG	
164h	PORTSC1	PORTSC1	
200h	INT_ENABLE	INT_ENABLE	AHB ブリッジレジスタ
204h	INT_STATUS	INT_STATUS	
208h	AHB_BUS_CTR	AHB_BUS_CTR	
20Ch	USBCTR	USBCTR	
304h	Register Enable/Clock Gating Control	REGEN_CG_CTRL	Core Defined レジスタ
308h	Suspend Control	SPD_CTRL	
30Ch	Suspend/Resume Timer Setting	SPD_RSM_TIMSET	
310h	Overcurrent Detection/Sleep Timer Setting	OC_SLP_TIMSET	
314h	SBRN・FLADJ・PORTWAKECAP	SBRN_FLADJ_PW	
320h	PORT_LPM_CTRL1	PORT_LPM_CTRL1	
360h	USB 2 Host Controller Extended Function2	U2HC_EXT2	
800h	Common Control	COMMCTRL	OTG/BC モジュール制御レジスタ
804h	OTG-BC Interrupt Status	OBINTSTA	OTG/BC 割り込みステータスレジスタ
808h	OTG-BC Interrupt Enable	OBINTEN	OTG/BC 割り込みイネーブルレジスタ
80Ch	VBUS Control	VBCTRL	OTG VBUS 制御レジスタ
810h	Line Control Port1	LINECTRL1	OTG USB バス制御レジスタ（Port1）
820h	BC Control Port1	BCCTRL1	Battery Charging 制御レジスタ（Port1）
840h	CC STATUS	CC_STATUS	CC 端子制御レジスタ
844h	PHYCLK CTRL	PHYCLK_CTRL	USBPHY 供給クロック制御レジスタ
848h	PHYIF CTRL	PHYIF_CTRL	ディープスタンバイ復帰制御レジスタ

32.2.4 Description of Registers

32.2.4.1 OHCI Operational Register

(1) HcRevision Register (offset: 000h)

レジスタ略称： HcRevision

アドレス	003h								002h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	001h								000h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Revision							
リセット値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

表32.3 HcRevision Register

ビット	シンボル	説明
31～8		Reserved 書き込む値は常に0にしてください。
7～0	Revision	本Host Controllerモジュールにインプリメントされた HCI仕様のバージョンを示すフィールドです。 本モジュールはOHCI規格1.0aに準拠しているため10hを示します。

(2) HcControl Register (offset: 004h)

レジスタ略称： HcControl

アドレス	007h								006h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	005h								004h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved						RWC	Reserved	HCFS		BLE	CLE	IE	PLE	CBSR	
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.4　HcControl Register

ビット	シンボル	説明
31～10		Reserved 書き込む値は常に0にしてください。
9	RWC (Remote Wakeup Connected)	Host ControllerがRemote WakeUpをサポートするかを示すビットです。 Remote WakeUpをシステムでサポートする場合は、本モジュール初期設定時に本ビットに 1b をセットしてください。 なお本ビットは、パワーオンリセットのみで初期化可能です。 0b: Remote WakeUpをサポートしない 1b: Remote WakeUpをサポートする
8		Reserved 書き込む値は常に0にしてください。
7、6	HCFS (Host Controller Functional State)	Host Controllerの動作ステートを示すフィールドです。 00b: USB Reset 01b: USB Resume 10b: USB Operational 11b: USB Suspend USB Operationalに遷移すると、Host Controllerモジュールは1ms境界でSOF送信を開始します。 基本的にはソフトウェアより制御しますが、USB Suspend時のみHost Controllerが制御するケースがあります。Host ControllerがUSB Suspend時に接続デバイスからのRemote Wakeup信号を検出すると、本フィールドをUSB Resumeへ遷移させます。 なお本フィールドのリセット初期値は、ハードウェアリセットとソフトウェアリセットで異なります。 　ハードウェアリセット　：00b (USB Reset) 　ソフトウェアリセット　：11b (USB Suspend)
5	BLE (BulkList Enable)	次のフレームでBulkリスト処理を行うかを設定するビットです。 このビットへの設定値は次のフレームから有効になります。 なおBulkリストを修正する場合には、必ずこのビットが 0b でなければなりません。 0b: Bulkリスト処理を行わない 1b: Bulkリスト処理を行う
4	CLE (ControlList Enable)	次のフレームでControlリスト処理を行うかを設定するビットです。 このビットへの設定値は次のフレームから有効になります。 なお、Controlリストを修正する場合には、必ずこのビットが 0b でなければなりません。 0b: Controlリスト処理を行わない 1b: Controlリスト処理を行う
3	IE (Isochronous Enable)	Isochronous EDの処理を行うかを設定するビットです。 このビットへの設定値は次のFrameから有効になります。 Host Controllerモジュールは、Periodicリスト処理中にIsochronous ED (F = 1) を発見した場合に、ビットをチェックし、Isochronous EDの処理を行うかを決定します。 1bの場合、Isochronous ED処理を続けます。 0bの場合、Periodicリスト処理を停止し、Bulk／Controlリスト処理を開始します。 0b: Isochronous ED処理が有効 1b: Isochronous ED処理が無効

<table>
<tr><th>ビット</th><th>シンボル</th><th>説明</th></tr>
<tr><td>2</td><td>PLE
(Periodic List Enable)</td><td>次のフレームで Periodic リスト処理を行うかを設定するビットです。
このビットへの設定値は次のフレームから有効になります。
なお Host Controller モジュールは、Periodic リスト処理開始前にこのビットをチェックします。
0b: Periodic リスト処理を行わない
1b: Periodic リスト処理を行う</td></tr>
<tr><td>1、0</td><td>CBSR
(Control Bulk Service Ratio)</td><td>Control 転送と Bulk 転送のサービス比を規定するフィールドです。
Periodic リスト処理の際、このフィールドで規定されるサービス比を維持し転送を行います。
<table><tr><th>CBSR</th><th>No. of Control EDs Over Bulk EDs Served</th></tr><tr><td>00b</td><td>1 : 1</td></tr><tr><td>01b</td><td>2 : 1</td></tr><tr><td>10b</td><td>3 : 1</td></tr><tr><td>11b</td><td>4 : 1</td></tr></table></td></tr>
</table>

(3) HcCommandStatus Register (offset: 008h)

レジスタ略称： HcCommandStatus

アドレス	00Bh								00Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved						SOC	
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	009h								008h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	W
シンボル	Reserved								Reserved					BLF	CLF	HCR
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.5　HcCommandStatus Register

ビット	シンボル	説明
31～18		Reserved 書き込む値は常に0にしてください。
17、16	SOC (Scheduling Overrun Count)	スケジュールオーバラン数をカウントするためのフィールドです。 00b に初期化され、スケジュールオーバラン検出のたびにカウントアップします。11b までインクリメントすると、00b に戻ります。HcInterrupt Status レジスタのSO (Scheduling Overrun) ビットがセットされた状態においても、スケジュールオーバランを検出したらカウントアップは続けます。
15～3		Reserved 書き込む値は常に0にしてください。
2	BLF (BulkList Filled)	Bulk リスト上にTDが存在するかを示すビットです。 Bulk リスト上のEDにTDを追加する時、本ビットに1bをセットします。 Host ControllerはBulkリストの先頭EDの処理を始めるとき、このビットをチェックします。 Host Controllerはこのビットが0bの場合はリスト処理を開始しません。1bならばBulkリスト処理を開始し、本ビットに0bをセットします。Host ControllerはBulkリストにTDを見つけた場合、本ビットに再度1bをセットし、Bulkリスト処理を継続します。Host Controllerによるリスト処理が完了したとき本ビットは0bになりますが、BulkリストにTDが見つからない場合、または本ビットに1bをセットしない場合、本ビットは0bのままとなり、リスト処理は停止します。 なおリストを再構築しリスト処理を実施する場合には、HcControl レジスタのBLEビットをセットしリスト処理を開始する前にこのビットをセットする必要があります。 0b: Bulk リストにTDが存在しない 1b: Bulk リストにTDが存在する
1	CLF (ControlList Filled)	Control リスト上にTDが存在するかを示すビットです。 Control リスト上のEDにTDを追加する時、本ビットに1bをセットします。 Host ControllerはControl リストの先頭EDの処理を始めるとき、このビットをチェックします。Host Controllerはこのビットが0bの場合はControl リスト処理を開始しません。1bならばControl リスト処理を開始し、本ビットに0bをセットします。Host ControllerはControl リストにTDを見つけた場合、本ビットに再度1bをセットし、リスト処理を継続します。Host Controllerによるリスト処理が完了したとき本ビットは0bになりますが、Control リストにTDが見つからない場合、または本ビットに1bをセットしない場合、本ビットは0bのままとなり、リスト処理は停止します。 なおリストを再構築しリスト処理を実施する場合には、HcControl レジスタのCLEビットをセットしリスト処理を開始する前にこのビットをセットする必要があります。 0b: Control リストにTDが存在しない 1b: Control リストにTDが存在する
0	HCR (Host Controller Reset)	Host ControllerのOHCIソフトウェアリセットを起動するためのビットです。 本ビットに1bをセットすると、Host Controllerの機能ステートにかかわらずUSB Suspendに遷移します。また大部分のOHCI Operational レジスタおよびOHCI制御回路が初期化されます。 本ビットは、ソフトウェアリセットが完了すると、Host Controllerにより0bにクリアされます。

(4) HcInterruptStatus Register (offset:00Ch)

レジスタ略称： HcInterruptStatus

アドレス	00Fh								00Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	00Dh								00Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved								Reserved	RHSC	FNO	UE	RD	SF	WDH	SO
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.6　HcInterruptStatus Register

ビット	シンボル	説明
31～7		Reserved 書き込む値は常に0にしてください。
6	RHSC (Root Hub Status Change)	HcRhStatus レジスタ、HcRhPortStatus1 レジスタの状態が変化したことを示す割り込みビットです。 Root Hub ステータスに変化が発生した場合、Host Controller は本ビットに 1b をセットします。 このビットに 1b を書き込むことで割り込みはクリアされます。 0b: Root Hub ステータスに変化なし 1b: Root Hub ステータスに変化が発生した
5	FNO (Frame Number Overflow)	HcFmNumber レジスタ FrameNumber (FN) フィールドの MSB が変化したことを示す割り込みビットです。 Frame Number フィールドの MSB が 0→1 あるいは 1→0 に変化したら、HccaFrameNumber の更新後にセットされます。 このビットに 1b を書き込むことで割り込みはクリアされます。 0b: Frame number overflow は発生していない 1b: Frame number overflow が発生した
4	UE (Unrecoverable Error)	システムバス上のエラーなど USB に関係のないシステムエラーを検出したことを示す割り込みビットです。 このビットに 1b を書き込むことで割り込みはクリアされます。 0b: Unrecoverable error は発生していない 1b: Unrecoverable error が発生した
3	RD (Resume Detected)	Resume を検出したことを示す割り込みビットです。 Host controller が USB デバイスからの Resume 信号（RemoteWakeup）を検出したとき、本ビットに 1b をセットします。 一方、HCFS フィールドを USB Resume にセットすることで Resume 信号を送信した場合、このビットはセットされません。 このビットに 1b を書き込むことで割り込みはクリアされます。 0b: Host Controller が Resume 信号（RemoteWakeup）を検出していない 1b: Host Controller が Resume 信号（RemoteWakeup）を検出した
2	SF (Start of Frame)	各 Frame の開始時に Hcca Frame Number をアップデートしたことを示す割り込みビットです。 Host Controller は SOF パケット送信と共に HccaFrameNumber の更新を行い、本ビットに 1b をセットします。 このビットに 1b を書き込むことで割り込みはクリアされます。 0b: Host controller は、新しいフレームを開始していない 1b: Host controller は、新しいフレームを開始した
1	WDH (Writeback DoneHead)	Host Controller が HcDoneHead の内容を HccDoneHead に書き込んだことを示す割り込みビットです。 Host Controller は HccaDoneHead を更新した直後にこのビットに 1b をセットします。なお HccaDoneHead の更新は、このビットをクリアするまで行われません。 このビットに 1b を書き込むことで割り込みはクリアされます。 HccaDoneHead の内容をセーブした後のみ本ビットをクリアすべきです。 0b: HccaDoneHead への Writeback は発生していない 1b: HccaDoneHead への Writeback が発生した

ビット	シンボル	説明
0	SO (Scheduling Overrun)	USB スケジュールがオーバランしたことを示す割り込みビットです。 Host Controller は、USB スケジューリングオーバランが発生した場合、HccaFrameNumberl 更新後、本ビットに 1b をセットします。また本ビットがセットされると、HcCommandStatus レジスタの SchedulingOverrunCount フィールドもインクリメントされます。 このビットに 1b を書き込むことで割り込みはクリアされます。 0b: スケジューリングオーバランは発生していない 1b: スケジューリングオーバランが発生した

(5) HcInterruptEnable Register (offset: 010h)

レジスタ略称： HcInterruptEnable

アドレス	013h								012h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	MIE	OCE	Reserved						Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	011h								010h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved								Reserved	RHSCE	FNOE	UEE	RDE	SFE	WDHE	SOE
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.7　HcInterruptEnable Register

ビット	シンボル	説明
31	MIE (Master Interrupt Enable)	HcInterruptEnable[30:0]にて設定された各割り込みEnable設定を有効にするかを設定するビットです。 このビットが0bの場合、すべてのOHCI割り込みはマスクされます。 本ビットをクリアする場合は、HcInterruptDisable レジスタ MIDビット(bit31)に1bをセットします。 0b: すべての割り込みは無効 1b: 1bに設定された割り込みは有効
30	OCE	OC (Onwership Change) 割り込みEnableビットです。 本ビットに1bをセットすると、OC (OnwershipChange)が割り込み要因となります。 本ビットをクリアする場合は、HcInterruptDisable レジスタ OCDビット(bit30)に1bをセットします。 0b: OC (OnwershipChange) 割り込みが無効 1b: OC (OnwershipChange) 割り込みが有効
29～7		Reserved 書き込む値は常に0にしてください。
6	RHSCE	RHSC (RootHub Status Change) 割り込みEnableビットです。 本ビットに1bをセットすると、RHSC (RootHub Status Change) が割り込み要因となります。 本ビットをクリアする場合は、HcInterruptDisable レジスタ RHSCDビット(bit6)に1bをセットします。 0b: RHSC (RootHub Status Change) 割り込みが無効 1b: RHSC (RootHub Status Change) 割り込みが有効
5	FNOE	FNO (Frame Number Overflow) 割り込みEnableビットです。 本ビットに1bをセットすると、FNO (Frame Number Overflow) が割り込み要因となります。 本ビットをクリアする場合は、HcInterruptDisable レジスタ FNODビット(bit5)に1bをセットします。 0b: FNO (Frame Number Overflow) 割り込みが無効 1b: FNO (Frame Number Overflow) 割り込みが有効
4	UEE	UE (Unrecoverable Error) 割り込みEnableビットです。 本ビットに1bをセットすると、UE (Unrecoverable Error) が割り込み要因となります。 本ビットをクリアする場合は、HcInterruptDisable レジスタ UEDビット(bit4)に1bをセットします。 0b: UE (Unrecoverable Error) 割り込みが無効 1b: UE (Unrecoverable Error) 割り込みが有効
3	RDE	RD (Resume Detect)割り込みEnableビットです。 本ビットに1bをセットすると、RD (Resume Detect) が割り込み要因となります。 本ビットをクリアする場合は、HcInterruptDisable レジスタ RDDビット(bit3)に1bをセットします。 0b: RD (Resume Detect) 割り込みが無効 1b: RD (Resume Detect) 割り込みが有効
2	SFE	SF (Start of Frame) 割り込みEnableビットです。 本ビットに1bをセットすると、SF (Start of Frame) が割り込み要因となります。 本ビットをクリアする場合は、HcInterruptDisable レジスタ SFDビット(bit2)に1bをセットします。 0b: SF (Start of Frame) 割り込みが無効 1b: SF (Start of Frame) 割り込みが有効
1	WDHE	WDH (Writeback DoneHead) 割り込みEnableビットです。 本ビットに1bをセットすると、WDH (Writeback DoneHead) が割り込み要因となります。 本ビットをクリアする場合は、HcInterruptDisable レジスタ WDHDDビット(bit1)に1bをセットします。 0b: WDH (Writeback DoneHead) 割り込みが無効 1b: WDH (Writeback DoneHead) 割り込みが有効

ビット	シンボル	説明
0	SOE	SO (Scheduling Overrun) 割り込みEnableビットです。 本ビットに1bをセットすると、SO (Scheduling Overrun) が割り込み要因となります。 本ビットをクリアする場合は、HcInterruptDisable レジスタ SODビット(bit0)に1bをセットします。 0b: SO (Scheduling Overrun) 割り込みが無効 1b: SO (Scheduling Overrun) 割り込みが有効

(6) HcInterruptDisable Register (offset: 014h)

レジスタ略称： HcInterruptDisable

アドレス	017h								016h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W(1)	R/W(1)	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	MID	OCD	Reserved						Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	015h								014h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)
シンボル	Reserved								Reserved	RHSCD	FNOD	UED	RDD	SFD	WDHD	SOD
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.8　HcInterruptDisable Register

ビット	シンボル	説明
31	MID(Master Interrupt Disable)	HcInterruptEnable[30:0]にて設定された各割り込みEnable設定を無効にするかの設定するビットです。 このビットに1bをセットすると、HcInterruptEnableレジスタ MIEビット(bit31)が0bにクリアされ、すべてのOHCI割り込みがマスクされます。 なお、本ビットへの0b ライトは無効です。
30	OCD	OC (Onwership Change) 割り込みDisableビットです。 このビットに1bをセットすると、HcInterruptEnableレジスタ OCEビット(bit30)が0bにクリアされ、OC (Onwership Change) が割り込み要因から除外されます。 なお、本ビットへの0b ライトは無効です。
29～7		Reserved 書き込む値は常に0にしてください。
6	RHSCD	RHSC (RootHub Status Change) 割り込みDisableビットです。 このビットに1bをセットすると、HcInterruptEnableレジスタ RHSCEビット(bit6)が0bにクリアされ、RHSC (RootHub Status Change) が割り込み要因から除外されます。 なお、本ビットへの0b ライトは無効です。
5	FNOD	FNO (Frame Number Overflow)割り込みDisableビットです。 このビットに1bをセットすると、HcInterruptEnableレジスタ FNOEビット(bit5)が0bにクリアされ、FNO (Frame Number Overflow) が割り込み要因から除外されます。 なお、本ビットへの0b ライトは無効です。
4	UED	UE (Unrecoverable Error) 割り込みDisableビットです。 このビットに1bをセットすると、HcInterruptEnableレジスタ UEEビット(bit4)が0bにクリアされ、UE (Unrecoverable Error) が割り込み要因から除外されます。 なお、本ビットへの0b ライトは無効です。
3	RDD	RD (Resume Detected) 割り込みDisableビットです。 このビットに1bをセットすると、HcInterruptEnableレジスタ RDEビット(bit3)が0bにクリアされ、RD (Resume Detected) が割り込み要因から除外されます。 なお、本ビットへの0b ライトは無効です。
2	SFD	SF (Start of Frame) 割り込みDisableビットです。 このビットに1bをセットすると、HcInterruptEnableレジスタ SFEビット(bit2)が0bにクリアされ、SF (Start of Frame) が割り込み要因から除外されます。 なお、本ビットへの0b ライトは無効です。
1	WDHD	WDH (Writeback DoneHead) 割り込みDisableビットです。 このビットに1bをセットすると、HcInterruptEnableレジスタ WDHEビット(bit1)が0bにクリアされ、WDH (Writeback DoneHead) が割り込み要因から除外されます。 なお、本ビットへの0b ライトは無効です。
0	SOD	SO (Scheduling Overrun) 割り込みDisableビットです。 このビットに1bをセットすると、HcInterruptEnableレジスタ SOEビット(bit1)が0bにクリアされ、SO (Scheduling Overrun) が割り込み要因から除外されます。 なお、本ビットへの0b ライトは無効です。

(7) HcHCCA Register (offset: 018h)

レジスタ略称：　HcHCCA

アドレス	01Bh								01Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	HcHCCA[31:24]								HcHCCA[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	019h								018h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
シンボル	HcHCCA[15:8]								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.9　HcHCCA Register

ビット	シンボル	説明
31～8	HcHCCA	Host Controller Communication Areaとして割り当てられたRAMのBase Addressを設定するためのフィールドです。 初期化時に設定する必要があります。Host ControllerはHCCAとして本フィールドで指定するBase Addressから256 byteの領域を要求します。
7～0		Reserved 書き込む値は常に0にしてください。

(8) HcPeriodicCurrentED Register (offset: 01Ch)

レジスタ略称： HcPeriodCurrentED

アドレス	01Fh								01Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	PECD[31:24]								PECD[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	01Dh								01Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	PECD[15:8]								PECD[7:4]				Reserved			
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.10　HcPeriodCurrentED Register

ビット	シンボル	説明
31～4	PECD (Period Current ED)	現在処理しているPeriodicリスト上のEDの物理アドレスを示すポインタです。 Host Controllerは、Periodic EDのリスト処理が完了すると、このポインタを更新します。
3～0		Reserved 書き込む値は常に0にしてください。

(9) HcControlHeadED Register (offset: 020h)

レジスタ略称： HcControlHeadED

アドレス	023h								022h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	CHED[31:24]								CHED[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	021h								020h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
シンボル	CHED[15:8]								CHED[7:4]				Reserved			
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.11　HcControlHeadED Register

ビット	シンボル	説明
31～4	CHED (Control Head ED)	Control リストの先頭 ED の物理アドレスを指定するためのフィールドです。 Control 転送を行うため、HcControl レジスタの CLE ビットをセットする前に本ビットを設定する必要があります。 Host Controller は、HcBulkHeadED ポインタから Control リスト処理を始めます。
3～0		Reserved 書き込む値は常に 0 にしてください。

(10) HcControlCurrentED Register (offset: 024h)

レジスタ略称：　HcControlCurrentED

アドレス	027h								026h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	CCED[31:24]								CCED[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	025h								024h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
シンボル	CCED[15:8]								CCED[7:4]				Reserved			
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.12　HcControlCurrentED Register

ビット	シンボル	説明
31～4	CCED (Control Current ED)	Control リストにおいて現在処理中の ED の物理アドレスを示すポインタです。 このポインタは、現在の ED の処理が完了すると、次の ED へ前進されます。 Host Controller は、Frame の終わりまでリスト処理を続けます。Control リストの末尾まで達したら、Host Controller は HcCommandStatus レジスタの ControlListFilled ビットを確認します。当該ビットが 1b だったら HcControlHeadED フィールドの内容を HcControlCurrentED フィールドにコピーし、ControlListFilled ビットをクリアします。当該ビットが 0b だったら 何もしません。 本レジスタの更新は、HcControl レジスタの ControlListEnable ビットがクリアされている時のみ認められています。ControlListEnable ビットが 1b の時、本レジスタ値をリードするだけです。Control リストの末尾を示すため、このレジスタには最初に 0h がセットされます。
3～0		Reserved 書き込む値は常に 0 にしてください。

(11) HcBulkHeadED Register (offset: 028h)

レジスタ略称：　HcBulkHeadED

アドレス	02Bh								02Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	BHED[31:24]								BHED[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	029h								028h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
シンボル	BHED[15:8]								BHED[7:4]				Reserved			
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.13　HcBulkHeadED Register

ビット	シンボル	説明
31～4	BHED (Bulk Head ED)	Bulk リストの先頭 ED の物理アドレスを指定するためのフィールドです。 Bulk 転送を行うため、HcControl レジスタの BLE ビットをセットする前に設定する必要があります。 Host Controller は、HcBulkHeadED ポインタから Control リスト処理を始めます。
3～0		Reserved 書き込む値は常に 0 にしてください。

(12) HcBulkCurrentED Register (offset: 02Ch)

レジスタ略称：　HcBulkCurrentED

アドレス	02Fh								02Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	BCED[31:24]								BCED[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	02Dh								02Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
シンボル	BCED[15:8]								BCED[7:4]				Reserved			
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.14　HcBulkCurrentED Register

ビット	シンボル	説明
31～4	BCED (Bulk Current ED)	Bulk リストにおいて現在処理中の ED の物理アドレスを示すポインタです。 このポインタは、現在の ED の処理が完了すると、次の ED へ前進されます。 Host Controller は、Frame の終わりまでリスト処理を続けます。Bulk リストの末尾まで達したら、Host Controller は HcCommandStatus レジスタの ControlListFilled ビットを確認します。当該ビットが 1b だったら HcBulkHeadED フィールドの内容を HcBulklCurrentED フィールドにコピーし、ControlListFilled ビットをクリアします。当該ビットが 0b だったら何もしません。 本レジスタの更新は、HcControl レジスタの ControlListEnable ビットがクリアされている時のみ認められています。ControlListEnable ビットが 1b の時、本レジスタ値をリードするだけです。Bulk リストの末尾を示すため、このレジスタには最初に 0h がセットされます。
3～0		Reserved 書き込む値は常に 0 にしてください。

(13) HcDoneHead Register (offset: 030h)

レジスタ略称：　HcDoneHead

アドレス	033h								032h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	DH[31:24]								DH[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	031h								030h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	DH[15:8]								DH[7:4]				Reserved			
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.15　HcDoneHead Register

ビット	シンボル	説明
31～4	DH (Done Head)	Host ControllerのHcDoneHeadの物理アドレスを示すフィールドです。 Doneキューに追加される最後に完了したTDの物理アドレスを示します。 TDの処理が完了すると、Host ControllerはHcDoneHeadの内容をTDのNextTDフィールドへ書き込みます。 その時Host Controllerは、HcDoneHeadの内容をこのTDのアドレスで上書きします。 Host Controllerは本レジスタの内容をHCCAへ書き込んだら、本レジスタに0bをセットします。また、 HcInterruptStatusレジスタのWritebackDoneHeadビットに1bをセットします。
3～0		Reserved 書き込む値は常に0にしてください。

(14) HcFmInterval Register (offset: 034h)

レジスタ略称：　HcFmInterval

アドレス	037h								036h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	FIT	FSMPS[30:24]							FSMPS[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	035h								034h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved		FI[13:8]						FI[7:0]							
リセット値	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1

表32.16　HcFmInterval Register

ビット	シンボル	説明
31	FIT (Frame Interval Toggle)	本ビットはハードウェア（Host Controller）とのフレーム設定値の同期をとるために使用します。 FIフィールドを更新する際、本ビットにトグル値を書き込みます。またFIフィールド値がHcFmRemainingレジスタのFRフィールドへ反映される際、本ビット値もHcFmRemainingレジスタのFRTビットへ反映されます。 ソフトウェアは、HcFmRemainingレジスタFRTビットのトグル値を見ることで、FIフィールドの値がHcFmRemainingレジスタFRフィールドへ反映されたかを確認することが可能です。
30～16	FSMPS (FS Largest Data Packet)	本フィールドは、Host Controllerがスケジュールオーバランを起こさずに送受信できる最大のデータ量（ビット数）を設定するフィールドです。 Host Controllerは、現在のフレーム位置と本フィールド設定値を比較し、フレームのどこまでが転送開始可能か判断します。 システムバスの能力などにより異なるため、値を算定し、本フィールドに設定します。 注意．本フィード設定値の MAX は 2778h です。2778h より大きい値は設定しないでください。
15、14		Reserved 書き込む値は常に0にしてください。
13～0	FI (Frame Interval)	本フィールドはFull Speedで使用するフレームの長さ (bit time) を設定するため使用します。USB規格の1フレーム(= 1ms)を満たすため、このフィールドの値は”2EDFh”に設定してください。

(15) HcFmRemaining Register (offset: 038h)

レジスタ略称：　HcFmRemaining

アドレス	041h								040h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	FRT	Reserved							Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	039h								038h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved		FR[13:8]						FR[7:0]							
リセット値	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1

表32.17　HcFmRemaining Register

ビット	シンボル	説明
31	FRT (Frame Remaining Toggle)	本ビットはハードウェア（Host Controller）とのフレーム設定値の同期を取るために使用します。FR (Frame Remaining) フィールドが0000hとなった時、Host ControllerはFI (Frame Interval) フィールド値をFRフィールドにコピーしますが、同時にFIT (Frame Interval Toggle) ビットの値をこのビットにコピーします。HcFmIntervalレジスタのFIフィールドがFRフィールドに正しくコピーされることを確認するのに、このビットを使用することができます。
30～14		Reserved 書き込む値は常に0にしてください。
13～0	FR (Frame Remaining)	本フィールドは、14ビットのダウンカウンタにおけるフレームの現在値を示します。 本フィールドの値は、経過時刻とともにカウントダウンしていきます。0000hとなるとHcFmIntervalレジスタのFI (Frame Interval) の値がロードされます。 Host ControllerがUSB Operationalステートに遷移すると、Host ControllerはHcFmIntervalレジスタのFI (Frame Interval) フィールドの値を再ロードし、次のSOFから更新された値を使用します。

(16) HcFmNumber Register (offset: 03Ch)

レジスタ略称：　HcFmNumber

アドレス	03Fh								03Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	03Dh								03Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	FN[15:8]								FN[7:0]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.18　HcFmNumber Register

ビット	シンボル	説明
31～16		Reserved 書き込む値は常に0にしてください。
15～0	FN (Frame Number)	本フィールドは、経過したフレーム数を示します。 HcFmRemaining レジスタが再ロードされるとき、このフィールドがインクリメントされます。FFFFh に達すると、0000h にロールオーバされます。Host Controller が USB Operational ステートに遷移すると、このフィールドは自動的にインクリメントされます。Host Controller がフレーム境界で Frame Number をインクリメントし、SOF を送信した後、このフィールドの内容は HCCA へ書き込まれます。ただしそれは、Host Controller がそのフレームの最初の ED をリードするより前に行われます。 HCCA への書き込み後、Host Controller は HcInterruptStatus レジスタの SF ビットをセットします。

(17) HcPeriodicStart Register (offset: 040h)

レジスタ略称：　HcPeriodicStart

アドレス	043h								042h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	041h								040h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved		PS[13:8]						PS[7:0]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.19　HcPeriodicStart Register

ビット	シンボル	説明
31～14		Reserved 書き込む値は常に0にしてください。
13～0	PS (Periodic Start)	Host Controllerがフレーム内でPeriodicリスト処理を開始する時間を示します。 適切な値を見積り、Host Controller 初期設定時に その値を本フィールドへセットします。この設定値はHcFmInterval レジスタ FIフィールドの90%程度に設定することがOHCI規格で推奨されています。 推奨値は2A2Fhです。 HcFmRemaining レジスタ FRフィールドが 本フィールドに設定した値に達したら、Periodicリスト処理がControl/Bulkリスト処理より優先されます。 従って、現在実施中のControl あるいは Bulk転送が完了した後、Host Controller は Interruptリスト処理を開始します。

(18) HcLSThreshold Register (offset: 044h)

レジスタ略称：　HcLSThreshold

アドレス	047h								046h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	045h								044h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved				LST[11:8]				LST[7:0]							
リセット値	0	0	0	0	0	1	1	0	0	0	1	0	1	0	0	0

表32.20　HcLSThreshold Register

ビット	シンボル	説明
31～12		Reserved 書き込む値は常に0にしてください。
11～0	LST (LS Threshold)	本フィールドは、LS転送時フレームの残り時間に対して 転送が可能か否かのスレッショルド値を示します。 FmRemaining レジスタ FR フィールドの値が 本フィールド設定値よりも大きい場合、Host Controller は LS転送を開始することができます。

(19) HcRhDescriptorA Register (offset: 048h)

レジスタ略称：　HcRhDescriptorA

アドレス	04Bh								04Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
シンボル	POTPGT								Reserved							
リセット値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
アドレス	049h								048h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R
シンボル	Reserved			NOCP	OCPM	DT	NPS	PSM	NDP							
リセット値	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1

表32.21　HcRhDescriptorA Register

ビット	シンボル	説明
31～24	POTPGT (PowerOn To PowerGood Time)	ルートハブのポートに電源が供給されてからソフトウェアがアクセスするまでにwait しなければならない時間を示します。 時間単位は 2 ms です。従って待機時間は POTPGT × 2 ms となります。
23～13		Reserved 書き込む値は常に0にしてください。
12	NOCP (No OverCurrent Protection)	ルートハブの過電流機能をサポートするかを設定するビットです。 このビットが0bの場合、OCPMビットの設定に応じて、過電流状態を報告します。 0b: 過電流状態をサポートする 1b: 過電流状態はサポートしない 過電流機能をサポートしない場合、モジュールスタンバイ解除後に本ビットを1b設定してください。 詳しくは「32.9.1 ホスト／ペリフェラル共通設定シーケンス」を参照してください。
11	OCPM (OverCurrent Protection Mode)	ルートハブの過電流状態の報告方法を設定するビットです。 リセット時、このビットはPSM (Power Switching Mode) ビットと 同じモードを示す 必要があります。 このビットは、NOCP (NoOverCurrent Protection) ビットがクリア(0b) されている場合のみ有効となります。 0b: 過電流状態は全ポート一括で報告される 1b: 過電流状態はポート単位で報告される
10	DT (Device Type)	ルートハブが複合デバイスでないことを示します。 ルートハブは複合デバイスであることを認められていないため、本ビットは常に0bです。
9	NPS (No Power Switching)	ポートの電源制御方法を設定するビットです。 本ビットが0bの場合、電源制御を全ポート一括で行うかポート単位で行うかをPSMビットで設定します。 0b: ポートの電源はOn/Offのスイッチが可能 1b: Host Controller が動作中は常にパワーオンされる
8	PSM (Power Switching Mode)	ルートハブの各ポートに対するパワースイッチの制御方法を設定するビットです。 このビットは、NPSビットが0bの場合のみ有効です。 0b: すべてのポートは同時に電源制御される 1b: ポートは個別に電源制御される HcRhDescriptorB レジスタ PPCM (PortPower Control Mask) ビットがセットされている場合、各ポートはSet/ClearPortPowerコマンドだけに応答します。クリアされている場合はSet/ClearGlobalPowerコマンドによって制御されます。
7～0	NDP (Number Down stream Ports)	ルートハブがサポートするダウンストリームポート数を示すフィールドです。

(20) HcRhDescriptorB Register (offset: 04Ch)

レジスタ略称：　HcRhDescriptorB

アドレス	04Fh								04Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R
シンボル	Reserved								Reserved						PPCM	Reserved
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
アドレス	04Dh								04Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R
シンボル	Reserved								Reserved						DR	Reserved
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.22　HcRhDescriptorB Register

ビット	シンボル	説明
31～18		Reserved 書き込む値は常に0にしてください。
17	PPCM (PortPower Control Mask)	HcRhDescriptorA レジスタ PSM (Power Switiching Mode) ビットがセットされているときのポート電源制御コマンドを設定するビットです。 0bの場合、Global Power Control コマンド (Set/ClearGlobalPower) で制御します。 1bの場合、Port Power Control コマンド (Set/ClearPortPower) で制御します。 PSM ビットが0bの場合、本ビットは無効になります。
16～2		Reserved 書き込む値は常に0にしてください。
1	DR (Device Removable)	ルートハブの各ポートがリムーバブル（取り外し可能）であるかを示すビットです。 0bの場合、接続されているデバイスは取り外し可能です。 1bの場合、取り外し不可です。
0		Reserved 書き込む値は常に0にしてください。

(21) HcRhStatus Register (offset: 050h)

レジスタ略称：　HcRhStatus

アドレス	053h								052h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W(1)	R/W
シンボル	CRWE	Reserved							Reserved						OCIC	LPSC
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	051H								050h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
シンボル	DRWE	Reserved							Reserved						OCI	LPS
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.23　HcRhStatus Register

<table>
<tr><th>ビット</th><th>シンボル</th><th>説明</th></tr>
<tr><td>31</td><td>CRWE
(Clear RemoteWakeup Enable)</td><td>DRWE ビットをクリアするためのビットです。
本ビットに 1b セットすると DRWE (Device RemoteWakeup Enable) ビットをクリアすることができます。
0b の書き込みでは何も影響しません。</td></tr>
<tr><td>30～18</td><td></td><td>Reserved 書き込む値は常に 0 にしてください。</td></tr>
<tr><td>17</td><td>OCIC
(OverCurrent Indicator Change)</td><td>OCI ビットに変化があったことを通知するためのビットです。
OCI ビットに変化があった場合、Host Controller が本ビットに 1b をセットします。
本ビットに 1b がセットされているときに 1b を書き込むと、本ビットをクリアすることができます。
0b の書き込みでは何も影響しません。
0b: Overcurrent 状態に変化はない
1b: Overcurrent 状態に変化があった</td></tr>
<tr><td>16</td><td>LPSC</td><td>このビットは、リードとライトで意味が異なります。

【リード】Local Power Status Change
Local Power Status をサポートしていないため、このビットは常に 0b として読み出されます。

【ライト】Set Global Power
本ビットに 1b をセットすると、ポートへの電源を ON します。
電源が ON となるポートは、HcRhDescriptorA レジスタ PSM (Power Swithing Mode) ビットと PPCM (Port Power Control Mask) ビットの設定で決まります。
<table>
<tr><th>written to this bit</th><th>PSM</th><th>PPCM[N]</th><th>説明</th></tr>
<tr><td>0</td><td>—</td><td>—</td><td>設定無効</td></tr>
<tr><td rowspan="3">1</td><td>0</td><td>—</td><td>PPS ビットに 1b をセット</td></tr>
<tr><td rowspan="2">1</td><td>0</td><td>PPS ビットに 1b をセット</td></tr>
<tr><td>1</td><td>設定無効</td></tr>
</table>
0b の書き込みでは 何も影響しません。</td></tr>
<tr><td>15</td><td>DRWE</td><td>【リード】Device RemoteWakeup Enable
RemoteWakeup イベントに CSC (Connect Status Change) ビットを含むか否かを設定するビットです。
本ビットに 1b をセットすると、HcRhPortStatus1 レジスタの CSC ビットが Resume イベントとして有効になります。CSC ビットが 1b に変化すると、USB Suspend から USB Resume ステートへの遷移し、Resume 検出割り込みが発生します。
0b: Connect Status Change は RemoteWakeup 要因でない
1b: Connect Status Change は RemoteWakeup 要因である
【ライト】Set RemoteWakeup Enable
DRWE ビットをセットするためのビットです。
0b の書き込みでは何も影響しません。</td></tr>
<tr><td>14～2</td><td></td><td>Reserved 書き込む値は常に 0 にしてください。</td></tr>
</table>

<table>
<tr><th>ビット</th><th>シンボル</th><th>説明</th></tr>
<tr><td>1</td><td>OCI
(Over Current Indicator)</td><td>グローバル過電流検出モード （OCPM ビット= 0b）において、過電流状態を報告するビットです。
ポート単位の過電流報告時（OPCM ビット= 1b）には、このビットは常に 0b を示します。
0b: ポート状態は正常
1b: ポートは過電流状態</td></tr>
<tr><td>0</td><td>LPS</td><td>このビットは、リードとライトで意味が異なります。

【リード】Local Power Status
Local Power Status をサポートしていないため、このビットは常に 0b として読み出されます。

【ライト】Clear Global Power
本ビットに 1b をセットすると、ポートへの電源を OFF します。
電源が OFF となるポートは、HcRhDescriptorA レジスタ PSM (Power Swithing Mode) ビットと PPCM (Port Power Control Mask) ビットの設定で決まります。
<table>
<tr><th>written to this bit</th><th>PSM</th><th>PPCM[N]</th><th>説明</th></tr>
<tr><td>0</td><td>—</td><td>—</td><td>設定無効</td></tr>
<tr><td rowspan="3">1</td><td>0</td><td>—</td><td>PPS ビットを 0b にクリア</td></tr>
<tr><td rowspan="2">1</td><td>0</td><td>PPS ビットを 0b にクリア</td></tr>
<tr><td>1</td><td>設定無効</td></tr>
</table>
0b の書き込みでは何も影響しません。</td></tr>
</table>

(22) HcRhPortStatus1Register (offset: 054h)

レジスタ略称：　HcRhPortStatus1

アドレス	057h								056h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)
シンボル	Reserved								Reserved			PRSC	OCIC	PSSC	PESC	CSC
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	055h								054h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved						LSDA	PPS	Reserved			PRS	POCI	PSS	PES	CCS
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.24　HcRhPortStatus1 Register

ビット	シンボル	説明
31 ～ 21		Reserved 書き込む値は常に0にしてください。
20	PRSC (Port Reset Status Change)	ポートリセット（バスリセット）が完了したことを示すビットです。 本ビットは、Host Controllerにより10msのポートリセット（バスリセット）が終了したときにセットされます。 0b: ポートリセット未了、または PRS (Port Reset Status) ビットに変化なし 1b: ポートリセットが完了
19	OCIC (Port OverCurrent Indicator Change)	ポートの過電流状態を検出した場合にセットされるビットです。 Host ControllerがPOCIビットを変化させた時セットされます。 本ビットは、過電流状態をポート単位に報告する設定（OCPMビット= 1b）のときだけ有効になります。 1bをセットすると、本ビットはクリアされます。 0bの書き込みでは何も影響しません。 0b: Overcurrent状態に変化はない（POCIビットに変化なし） 1b: Overcurrent状態に変化があった（POCIビットに変化あり）
18	PSSC (Port Suspend Status Change)	Resumeシーケンスが終了したことを示すビットです。 このシーケンスには、20msのResume信号、LS EOPおよび3msの再同期化遅延を含みます。 1bをセットすると、本ビットはクリアされます。 0bの書き込みでは何も影響しません。 また本ビットは、PRSC (Port Reset Status Change) ビットがセットされるとクリアされます。 0b: Resumeシーケンス未了 1b: Resumeシーケンス完了
17	PESC (Port Enable Status Change)	PES (Port Enable Status) ビットが変化したことを示すビットです。 ハードウェアイベントによりPESビットがクリアされると、本ビットに1bがセットされます。 1bをセットすると、本ビットはクリアされます。 0bの書き込みでは何も影響しません。 0b: PES (Port Enable Status) ビットに変化はない 1b: PES (Port Enable Status) ビットに変化があった
16	CSC (Connect Status Change)	CCS (Current Connect Status) ビットが変化したことを示すビットです。 Connect/Disconnectイベントが発生すると、本ビットに1bがセットされます。 1bをセットすると、本ビットはクリアされます。 0bの書き込みでは何も影響しません。 またDisconnect中にPort Reset・Port Enable・Port Suspendの要求があった場合も、デバイス接続確認の再評価を行わせるため、本ビットをセットします。 0b: CCS (Current Connect Status) ビットに変化はない 1b: CCS (Current Connect Status) ビットに変化があった
15 ～ 10		Reserved 書き込む値は常に0にしてください。

ビット	シンボル	説明
9	LSDA	このビットは、リードとライトで意味が異なります。 【リード】Low Speed Device Attached ポートに接続されたデバイスのスピードを示すビットです。 本ビットはCCS (Current Connect Status) ビットがセットされているときのみ有効となります。 0b: Full Speed デバイスが接続 1b: Low Speed デバイスが接続 【ライト】Clear Port Power ポートの電源制御が行われている場合にポートの電源をOFFするためのビットです。 1bを書き込むとポートの電源をOFFします。 0bの書き込みは影響しません。
8	PPS	このビットは、リードとライトで意味が異なります。 【リード】Port Power Status ポートの電源ステータスを示すビットです。 本ビットは、過電流が検出されるとクリアされます。 0b: ポート電源OFF 1b: ポート電源ON 【ライト】Set Port Power ポートの電源制御が行われている場合にポートの電源をONするためのビットです。 1bを書き込むとポートの電源をONします。 0bの書き込みは影響しません。
7 ～ 5		Reserved 書き込む値は常に0にしてください。
4	PRS	このビットは、リードとライトで意味が異なります。 【リード】Port Reset Status 本ビットは、ポートリセット（バスリセット）状態を示します。 10msのポートリセットが完了すると、PRSC (Port Reset Status Change) ビットのセットとともに本ビットはクリアされます。CCSビットがクリアされているとき（デバイス未接続状態）、本ビットにセットすることはできません。 0b: ポートリセット中でない 1b: ポートリセット中 【ライト】Set Port Reset ダウンストリームポートに対しポートリセット（バスリセット）を発行するためのビットです。 本ビットに1bを書き込むと10msのポートリセットが起動します。 0bの書き込みは影響しません。 なおCCSがクリアされていると、本ビットへのセットはできませんが、代わりにCSCに1bをセットします。これは、デバイスが接続されていないポートにポートリセットを実行したことを通知するために行われます。
3	POCI	このビットは、リードとライトで意味が異なります。 【リード】Port OverCurrent Indicator ダウンストリームポートが過電流状態となったことを示すビットです。 本ビットは、過電流状態をポート単位に報告する設定（OCPMビット= 1b）されているときだけ有効になります。一方、全ポート一括で報告する設定になっている場合、本ビットは常に0bが読みだされます。 0b: ポートは通常状態 1b: ポートは過電流状態 【ライト】Clear Suspend Status Suspendを終了させResumeシーケンスを起動させるためのビットです。 1bを書き込むとResumeシーケンスを起動します。 0bの書き込みは影響しません。 PSS (Port Supspend Status) がセットされているときのみResumeが起動します。

ビット	シンボル	説明
2	PSS	このビットは、リードとライトで意味が異なります。 【リード】Port Suspend Status Port状態がSuspend あるいは Resumeシーケンス中であることを示すビットです。 0b: ポートは Suspend でない 1b: ポートは Suspend 中である。 CCSビットがクリアされているとき（デバイス未接続状態）、本ビットをセットすることはできません。 本ビットは以下の条件でクリアされます。 ・Resumeシーケンスが完了し、PSSC (Port Suspend Status Change) ビットがセットされるとき ・ポートリセットが完了し、PRSC (Port Reset Status Change) ビットがセットされるとき ・Host ControllerがUSB Resumeステートにいるとき 【ライト】Set Port Suspend Port状態をSuspendに遷移させるためのビットです。 1bを書き込むとポートはSuspendへ移行します。 0bの書き込みは影響しません。 なおCCSがクリアされていると、本ビットへのセットはできませんが、代わりにCSCに1bをセットします。これは、デバイスが接続されていないポートへSuspendコマンドを発行したことを通知するために行われます。
1	PES	このビットは、リードとライトで意味が異なります。 【リード】Port Enable Status Port状態がEnableかDisableかを示すビットです。 Host Controllerが過電流状態・Disconnect・ポート電源OFF・babbleエラーなどのバスエラーを検出すると、本ビットをクリアします。このときPESC (PortEnableStatusChange)ビットがセットされます。 CCSビットがクリアされているとき（デバイス未接続状態）、本ビットにセットすることはできません。 本ビットは、「ポートリセットが完了し、PRSCビットがセットされた」時、または「ポートがSuspend状態になりPRSCビットがセットされた」時にセットされます。 0b: ポート状態はDisable 1b: ポート状態はEnable 【ライト】Set Port Enable PESビットをセットするためのビットです。 本ビットに1bを書き込むと、ポートはEnable状態へ移行します。 0bの書き込みは影響しません。 なおCCSがクリアされていると、本ビットへのセットはできませんが、代わりにCSCに1bをセットします。これは、デバイスが接続されていないポートをEnable状態にしようとしたことを通知するために行われます。
0	CCS	このビットは、リードとライトで意味が異なります。 【リード】Current Connect Status ダウンストリームポートの現在の接続ステータスを反映するビットです。 0b: デバイスが接続されていない 1b: デバイスが接続されている 【ライト】Clear Port Enable PES (Port Enable Status) ビットをクリアするためのビットです。 1bを書き込むとポートをDisable状態へ移行します。0bの書き込みは影響しません。

32.2.4.2 EHCI Controller Capability Register

(1) HCIVERSION/CAPLENGTH Register (offset: 102h/100h)

レジスタ略称： CAPL_VERSION

アドレス	103h								102h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Interface Version Number[15:8]								Interface Version Number[7:0]							
リセット値	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0
アドレス	101h								100h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Capability Registers Length[7:0]							
リセット値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

表32.25 CAPL_VERSION Register

ビット	シンボル	説明
31～16	Interface Version Number	Host Controller がサポートする EHCI のバージョンを示します。本 Host Controller は EHCI Rev1.1 をサポートしているため、0110h を示します。
15～8		Reserved 書き込む値は常に 0 にしてください。
7～0	Capability Registers Length	このフィールドは、EHCI Operational レジスタ開始アドレスを見つけるためにベースアドレスへ加算するオフセットとして使用されます。 本モジュールでは、EHCI Operation レジスタは 20h から始まるため、20h を示します。

(2) HCSPARAMS Register (offset: 104h)

レジスタ略称： HCSPARAMS

アドレス	107h								106h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Debug Port Number [3:0]				Reserved			P_INDICATOR
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	105h								104h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	N_CC				N_PCC				Port Routing Rules	Reserved		PPC	N_PORTS[3:0]			
リセット値	0	0	0	1	0	0	0	1	1	0	0	1	0	0	0	1

表32.26　HCSPARAMS Register

ビット	シンボル	説明
31～24		Reserved 書き込む値は常に0にしてください。
23～20	Debug Port Number	Host Controllerのポートがデバッグ用ポートであることを示すビットです。 本モジュールはデバッグポートを持たないため、0000bを示します。
19～17		Reserved 書き込む値は常に0にしてください。
16	P_INDICATOR (Port Indicators)	Host Controllerがポート・インジケータ制御をサポートするかを示すビットです。 本モジュールではポート・インジケータ制御をサポートしないため、0bを示します。
15～12	N_CC (Number of Companion Controller)	本モジュールが実装しているOHCI Host Controllerの数を示すビットです。 本モジュールは1基のOHCI Host Controllerを搭載しているため、1hを示します。
11～8	N_PCC (Number of Ports per Companion Controller)	1基のOHCI Host Controllerがサポートするポート数を示すビットです。 本ビットには、PCI Configuration EXT1 レジスタ Port_noフィールドの設定値が反映されます。
7	Port Routing Rules	各ポートがOHCI Host Controllerにどのようにマッピングされているかを示すビットです。 本モジュールでは、HCSP_PORTROUTE レジスタの内容がマッピング方法を示しているため、本ビットは1bを示します。
6、5		Reserved 書き込む値は常に0にしてください。
4	PPC (Port Power Control)	本モジュールのポート電源制御方法を示すビットです。 0b: ポート電源は常時ON 1b: ポート電源制御をPORTSC レジスタ PPビットで行う。
3～0	N_PORTS	本モジュールで使用する物理的なダウンストリームポート数を示すビットです。 0001b: 1 Port

(3) HCCPARAMS Register (offset: 108h)

レジスタ略称：　HCCPARAMS

アドレス	10Bh								10Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved				32-Frame Periodic List Capability	Per-Port Change Event Capability	Link Power Management Capability	Hardware Prefetch Capability
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0
アドレス	109h								108h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	EECP								Isochronous Scheduling Threshold				Reserved	Asynchronous Schedule Park Capability	Programmable Frame List Flag	64-bit Addressing Capability
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0

表32.27　HCCPARAMS Register

ビット	シンボル	説明
31～20		Reserved 書き込む値は常に0にしてください。
19	32-Frame Periodic List Capability	本モジュールはEHCI V1.1で定義されている32 Frame Periodic Listをサポートするため、本ビットは1bを示します。 本ビットが1bであるとは、USBCMDレジスタ Frame List Sizeフィールドに11bをセットすることで、本モジュールが32 Frame Periodic Listをサポートすることを示しています。
18	Per-Port Change Event Capability	本モジュールはEHCI V1.1で定義されているポートのイベント検知機能をサポートするため、本ビットは1bを示します。 本ビットが1bであることは、本モジュールがポートのイベント検知機能をサポートし、USBCMDレジスタ Pre-Port Change Event Enableフィールド、USBSTSレジスタ Port-1 Change Detectフィールド、およびUSBINTレジスタ Port-1 Change Interrupt Enableフィールドと関連づけられていることを示しています。 なお本ビットが0bの場合、上記レジスタの該当フィールドはReserved 扱いとなります。
17	Link Power Management Capability	本モジュールはEHCI V1.1で定義されているLPM (Link Power Management) をサポートするため、本ビットは1bを示します。 本ビットが1bであることは、本モジュールがLPM L1ステートをサポートし、PORTSCレジスタ Suspend using L1ビット、Suspend StatusビットおよびDevice Addressフィールドを使って制御することを示しています。 なお 本ビットが0bの場合、上記PORTCレジスタの該当ビット・フィールドはReserved 扱いとなります。
16	Hardware Prefetch Capability	本モジュールはEHCI V1.1で定義されているハードウェア プリフェッチ機能をサポートしていないため、本ビットは0bを示します。
15～8	EECP	EHCI拡張機能レジスタ (EHCI Extend Capabilities Registers) のオフセットアドレスを示すビットです。 本モジュールでは、EHCI拡張機能レジスタは使用しないため、00hを示します。
7～4	Isochronous Scheduling Threshold	本モジュールは、フレーム全体のIsochronousデータ構造のキャッシュをサポートしないため、0hを示します。
3		Reserved 書き込む値は常に0にしてください。
2	Asynchronous Schedule Park Capability	Asynchronousスケジュールにおいて、High Speed QH (Queue Head) に対する Parkモードのサポート可否を示すビットです。 本モジュールは上記機能をサポートしているため、1bを示します。
1	Programmable Frame List Flag	使用できるフレームリストサイズに対する設定を示すビットです。 本モジュールでは1bを示します。 1bに設定されている場合、USBCMDレジスタ bit[3:2] (Frame List Size) 経由で使用可能なフレームリストサイズを設定でき、4 Kbyteよりも小さなフレームリストサイズがConfiguration可能となります。

ビット	シンボル	説明
0	64-bit addressing Capability	データ構造が、32 ビット・アドレスのメモリポインタと 64 ビット・アドレスのメモリポインタのどちらを使用するかを示すビットです。 本モジュールでは32 ビット・アドレスのメモリポインタを使用するデータ構造であるため、0b を示します。64 ビットはサポートしていません。

(4) HCSP-PORTROUTE Register (offset: 10Ch)

レジスタ略称：　HCSP_PORTROUTE

アドレス	10Fh								10Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Companion Port Route[31:24]								Companion Port Route[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	010Dh								010Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Companion Port Route[15:8]								Companion Port Route[7:0]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.28　HCSP-PORTROUTE Register

ビット	シンボル	説明
31～0	Companion Port Route[31:0]	OHCI Host Controllerが担当するポートを示すビットです。 本モジュールにはOHCI Host Controllerが1基のみ搭載しているため、0bを示します。

32.2.4.3 EHCI Operational Register

(1) USBCMD Register (offset: 120h)

レジスタ略称：　USBCMD

アドレス	123h								122h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved				Host-Initiated Resume Duration				Interrupt Threshold Control							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
アドレス	121h								120h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	W	R/W
シンボル	Per-Port Change Events Enable	Reserved			Asynchronous Schedule Park Mode Enable	Reserved	Asynchronous Schedule Park Mode Count		Reserved	Interrupt on Async Advance Doorbell	Asynchronous Schedule Enable	Periodic Schedule Enable	Frame List Size		HCRESET	RS
リセット値	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	0

表32.29　USBCMD Register

ビット	シンボル	説明
31～28		Reserved 書き込む値は常に0にしてください。
27～24	Host-Initiated Resume Duration	Host ControllerがLPM (L1)ステートからResume復帰する間にドライブするKステートの最小時間を示します。 本フィールド値は、LPM トークンのbmAttributesフィールドに含まれるHIRDフィールドを介して、LPM機能を有する接続デバイスへと送信されます。 本フィールドのエンコード値は、LPM Token中にHIRD フィールドという名前で定義されます。 具体的には、0hは50μsであり、+1インクリメントされるたびに+75μs されます。 例えば1hは125μsであり、4hは1175μsになります。
23～16	Interrupt Threshold Control	Host Controllerが割り込みを発生するまでの最大レートを示すビットです。 なお、以下に示した値以外の設定値は保証しません。 Value / Maximum Interrupt Interval 00h: Reserved 01h: 1 micro-frame 02h: 2 micro-frames 04h: 4 micro-frames 08h: 8 micro-frames (default, equals to 1 ms) 10h: 16 micro-frames (2 ms) 20h: 32 micro-frames (4 ms) 40h: 64 micro-frames (8 ms) Haltedビットが0bである間、本ビットに00hを設定しないでください。
15	Per-Port Change Events Enable	本フィールドは、USBSTS レジスタ Port-1 Change Detect フィールドと レジスタ Port-1 Change Detect Enable フィールドによって定義されるポートのイベント通知機能を有効にするために使用されます。 0b: ポートのイベント通知機能は無効 1b: ポートのイベント通知機能は有効
14～12		Reserved 書き込む値は常に0にしてください。
11	Asynchronous Schedule Park Mode Enable	Asynchronous Schedule Parkモードの有効／無効を設定するビットです。 0b: Parkモード無効 1b: Parkモード有効
10		Reserved 書き込む値は常に0にしてください。

<table>
<tr><th>ビット</th><th>シンボル</th><th>説明</th></tr>
<tr><td>9、8</td><td>Asynchronous Schedule Park Mode Count</td><td>Asynchronous Scheduleにおいて、Host Controllerが1回のQH (Queue Head) Fetchから連続実行可能なTransaction数を設定するビットです。
1h～3hまでが有効な値となります。
本ビットは、bit11 Asynchronous Schedule Park Mode Enable が1bのときに有効となります。
本ビットに0hをセットしないでください。</td></tr>
<tr><td>7</td><td></td><td>Reserved 書き込む値は常に0にしてください。</td></tr>
<tr><td>6</td><td>Interrupt on Async Advance Doorbell</td><td>呼び鈴（Doorbell）として使用するビットです。
Asynchronous Schedule処理において、次のQH (Queue) へ進むときに割り込みを発生させたい場合、本ビットに1bをセットします。
Host Controllerは、1つのQHの処理が正常に完了すると本ビットを0bにクリアし、
USBSTS レジスタ bit5 Interrupt on Async Advanceビットに1bをセットします。
UBINTR レジスタ bit5 Interrupt on Async Advance Enableビットが1bにセットされている場合、次の割り込みタイミングで割り込みが発生します。
なおAsynchronous ScheduleがDisableの場合、本ビットに1bをライトしないでください。</td></tr>
<tr><td>5</td><td>Asynchronous Schedule Enable</td><td>Host ControllerがAsynchronousリスト処理を進めるかスキップするかを設定するビットです。
0b: Asynchronousリスト処理を進めない（スキップする）
1b: ASYNCLISTADDR レジスタを使用してAsynchronousリスト処理を進める</td></tr>
<tr><td>4</td><td>Periodic Schedule Enable</td><td>Host ControllerがPeriodicリスト処理を進めるかスキップするかを設定するビットです。
0b: Periodicリスト処理を進めない（スキップする）
1b: PERIODICLISTBASE レジスタを使用してPeriodicリスト処理を進める</td></tr>
<tr><td>3、2</td><td>Frame List Size</td><td>フレームリストサイズを指定するフィールドです。
本フィールドの設定値が、FRINDEX レジスタのFrame List Current indexのサイズを決定します。
<table>
<tr><th>Value</th><th>the number of frames in Frame List</th></tr>
<tr><td>00b</td><td>1024 frames (default)</td></tr>
<tr><td>01b</td><td>512 frames</td></tr>
<tr><td>10b</td><td>256 frames</td></tr>
<tr><td>11b</td><td>32 frames</td></tr>
</table>
</td></tr>
<tr><td>1</td><td>HCRESET (Host Controller Reset)</td><td>Host ControllerのEHCI回路を初期化するために使用するビットです。
本ビットに1bをセットすると、Host Controllerは内部のパイプライン、カウンタやステートマシンなどを初期化し、USB上の通信はただちに停止します。このとき、ダウンストリームポートにポートリセットは発行されません。
EHCI Operational レジスタ以外のレジスタは本リセットの影響を受けません。
EHCI Operational レジスタは初期化され、Port OwnerはOHCIに戻ります。
ソフトウェアは、Host Controllerを動作できる状態に戻すために再設定しなければなりません。
本リセット処理が完了すると、本ビットはHost Controllerにより0bにセットされます。
本ビットに0bをライトしてもリセット処理を中断することはできません。またUSBSTS レジスタ HCHaltedビットが0bの時、本ビットに1bをセットしないでください。</td></tr>
<tr><td>0</td><td>RS (Run/Stop)</td><td>EHCI Host Controllerを実行・停止させるビットです。
本ビットに1bをセットすると、Host Controllerが動作を開始します。
本ビットに1bがセットされている限り、Host Controllerは実行し続けます。
本ビットに0bがセットされると、Host Controllerは現在実行中のトランザクションといくつかのトランザクションを完了させた後、Halt状態となる。USBSTS レジスタ HCHaltedビットは、Host Controllerがトランザクション処理を終了し、停止状態に入ったことを示します。
なおHost ControllerがHalt状態でないとき（= USBSTS レジスタ HCHaltedビットが1bの時）、本ビットに1bをライトしないでください。</td></tr>
</table>

(2) USBSTS Register (offset: 124h)

レジスタ略称： USBSTS

アドレス	127h								126h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W(1)
シンボル	Reserved								Reserved							Port-1 Change Detect
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	125h								124h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)
シンボル	Asynchronous Schedule Status	Periodic Schedule Status	Reclamation	HCHalted	Reserved				Reserved		Interrupt on Async Advance	Host System Error	Frame List Rollover	Port Change Detect	USBERRINT	USBINT
リセット値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

表32.30　USBSTS Register

ビット	シンボル	説明
31～17		Reserved 書き込む値は常に0にしてください。
16	Port-1Change Detect	本ビットに、1bがセットされたら、ポート状態変化が検出されたことを示します。 このビットは、USBCMD レジスタ Per-Port Change Events Enable ビットに1bがセットされている場合のみ、使用されます。
15	Asynchronous Schedule Status	現在のAsynchronousスケジュールの状態を示すビットです。 0b: Asynchronousスケジュールが無効 1b: Asynchronousスケジュールが有効 Asynchronousスケジュールは、本ビットおよびUSBCMD レジスタ bit5 Asynchronous Schedule Enable が同じ値の場合に 有効 (1b)／無効 (0b) のどちらかになります。
14	Periodic Schedule Status	現在のPeriodicスケジュールの状態を示すビットです。 0b: Periodicスケジュールが無効 1b: Periodicスケジュールが有効 Periodicスケジュールは、本ビットおよびUSBCMD レジスタ bit4 Periodic Schedule Enable が同じ値の場合に 有効 (1b)／無効 (0b) のどちらかになります。
13	Reclamation	空のAsynchronousスケジュールを検出するために使用するビットです。 本ビットが1bの時、Asynchronousスケジュールは空です。 Host Controllerはリセット後または H = 1 の QH をフェッチした場合に 本ビットを0bにクリアします。 またHost Controllerは、Asynchronous トランザクションを実行するとき または 開始イベントを検知したときに本ビットを1bにセットします。 Host Controllerは、本ビットが0bの状態で H = 1 の QH をフェッチした場合、Async Sched Sleeping モードに移行します。
12	HCHalted	本ビットは、USBCMD レジスタ Run/Stop ビットが1bの場合、0b を示します。 ソフトウェア あるいは Host Controllerによって Run/Stop ビットに0bがセットされる状態が発生すると、Host Controllerは動作を停止し、本ビットに1bをセットします。 0b: EHCI Host Controller は実行中 1b: EHCI Host Controller は停止中
11～6		Reserved 書き込む値は常に0にしてください。
5	Interrupt on Async Advance	Async Advance割り込みステータスを示すビットです。 Host Controllerは QH をフェッチすると、USBCMD Register bit6 Interrupt on Async Advance Doorbell (IAAD) ビットをチェックします。IAADビットに1bがセットされていた場合、Host Controllerは QHの処理が正常に完了すると IAADビットをクリアし、本ビットをセットします。 UBINTR レジスタ bit5 Interrupt on Async Advance Enable ビットが 1bにセットされている場合、本ビットに1bがセットされた 次の割り込みタイミングで 本要因による割り込みが発生します。 HCDが1bを書き込むと 本ビットをクリアすることができます。0bの書き込みは影響しません。 0b: Async Advance 割り込みは発生していない 1b: Async Advance 割り込み状態を検出

ビット	シンボル	説明
4	Host System Error	Host Controllerに深刻なエラーが発生した場合、本ビットに1bがセットされます。 本エラーが発生した場合、Host Controllerはそれ以降のスケジュールを実行しないように USBCMD レジスタ Run/Stop ビットを0bにクリアします。 1bを書き込むと本ビットをクリアすることができます。0bの書き込みは影響しません。 0b: システムエラーは発生していない 1b: システムエラー発生
3	Frame List Rollover	フレームリストロールオーバーが発生すると、Host controllerが本ビットに1bをセットします。 具体的には、FRINDEX レジスタの Frame Index フィールドが最大値から000hに戻った（ロールオーバ）ときに、Host Controllerは本ビットを1bにセットします。最大値（= ロールオーバが生じる値）は、USBCMD レジスタ Frame List Size フィールドに依存します。 例えばFrame List Sizeが1024 frameだった場合、ロールオーバはFRIMDEX[13] がトグルする度に発生します。Frame List Sizeが512 frameの場合はFRINDEX[12] がトグルするたびに、256 frameの場合はFRINDEX[11]がトグルするたびに発生します。 1bを書き込むと本ビットをクリアすることができます。0bの書き込みは影響しません 0b: フレームリストが 000h に戻っていない 1b: フレームリストが 000h に戻った（ロールオーバ発生）
2	Port Change Detect	ポート状態に変化が生じたことを示すビットです。 Host Controllerは、PORTSC1 レジスタ Port Ownerが0bにセットされている いずれかのポートにおいて 以下の条件が1つでも満たされた時、本ビットに1bをセットします。 ・デバイスの Connect/Disconnect を検出し、PORTSC1 レジスタ Connect Status Change ビットが 0→1 に変化 ・ポートの Enable 状態の変化を検出し、PORTSC1 レジスタ Port Enable/Disable Change ビットが 0→1 に変化 ・過電流状態を検出し、PORTSC1 レジスタ Over-current Change ビットが 0→1 に変化 ・Suspend 状態のポートで J-K 遷移を検出し、PORTSC1 レジスタ Force Port Resume ビットが 0→1 に変化 1bを書き込むと本ビットをクリアすることができます。0bの書き込みは影響しません
1	USBERRINT (USB Error Interrupt)	USB トランザクションがエラーで完了したことを示すビットです。 Host ControllerはUSB トランザクションがエラーで完了したとき、本ビットに1bをセットします。 また、エラー割り込みが発生した qTD の IOC ビットに 1bがセットされていたら、本ビットとUSBINT ビットの双方に1bがセットされます。 1bを書き込むと本ビットをクリアすることができます。0bの書き込みは影響しません 0b: USB トランザクションは正常 1b: USB トランザクションがエラーで完了
0	USBINT (USB Interrupt)	USB転送が完了したことを示すビットです。 Host Controllerは以下の条件が発生した場合、本ビットに1bをセットします。 ・USB転送が完了したとき ・ショートパケットを受信したとき またUSB転送がエラーで完了しても TD の IOC (Interrupt On Complete) に1bがセットされている場合、本ビットに1bがセットされます。 1bを書き込むと本ビットをクリアすることができます。0bの書き込みは影響しません。 0b: USB転送は完了していない 1b: USB転送が完了

(3) USBINTR Register (offset: 128h)

レジスタ略称： USBINTR

アドレス	12Bh								12Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
シンボル	Reserved								Reserved							Port-1 Change EventEnable
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	129h								128h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved								Reserved		Interrupt on Async Advance Enable	Host System Error Enable	Frame List Rollover Enable	Port Change Detect Enable	USB Error Interrupt Enable	USB Interrupt Enable
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.31　USBINTR Register

ビット	シンボル	説明
31～17		Reserved 書き込む値は常に0にしてください。
16	Port-1 Change EventEnable	本ビットが1bであり、かつUSBSTS レジスタ Port Change Detectビットに1bがセットされると、Host Controllerは 割り込みを発生させます。
15～6		Reserved 書き込む値は常に0にしてください。
5	Interrupt on Async Advance Enable	USBSTS レジスタ bit5 Interrupt on Async Advance (IAA) ビットの有効／無効を設定するビットです。 本ビットに1bにセットされている状態でIAAビットが1bになると、Host Controllerは次の割り込みタイミングで割り込みを発生させます。 0b: 無効 1b: 有効 （IAAビットによる割り込み発生）
4	Host System Error Enable	USBSTS レジスタ bit4 Host System Error (HSE) ビットの有効／無効を設定するビットです。 本ビットが1bにセットされている状態でHSEビットが1bになると、Host Controllerは次の割り込みタイミングで割り込みを発生させます。 0b: 無効 1b: 有効 （HSEビットによる割り込み発生）
3	Frame List Rollover Enable	USBSTS レジスタ bit3 Frame List Rollover (FLR) ビットの有効／無効を設定するビットです。 本ビットが1bにセットされている状態でFLRビットが1bになると、Host Controllerは次の割り込みタイミングで割り込みを発生させます。 0b: 無効 1b: 有効 （FLRビットによる割り込み発生）
2	Port Change Detect Enable	USBSTS レジスタ bit2 Port Change Detect (PCD) ビットの有効／無効を設定するビットです。 本ビットが1bにセットされている状態でUSBERRINTビットが1bになると、Host Controllerは次の割り込みタイミングで割り込みを発生させます。 0b: 無効 1b: 有効 （PCDビットによる割り込み発生）
1	USB Error Interrupt Enable	USBSTS レジスタ bit1 USBERRINTビットの有効／無効を設定するビットです。 本ビットが1bにセットされている状態でUSBERRINTビットが1bになると、Host Controllerは次の割り込みタイミングで割り込みを発生させます。 0b: 無効 1b: 有効 （USBERRINTビットによる割り込み発生）
0	USB Interrupt Enable	USBSTS レジスタ bit0 USBINTビットの有効／無効を設定するビットです。 本ビットが1bにセットされている状態でUSBINTビットが1bになると、Host Controllerは次の割り込みタイミングで割り込みを発生させます。 0b: 無効 1b: 有効 （USBINTビットによる割り込み発生）

(4) FRINDEX Register (offset: 12Ch)

レジスタ略称：　FRINDEX

アドレス	12Fh								12Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	12Dh								12Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved		Frame Index[13:8]						Frame Index[7:0]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 32.32　FRINDEX Register

ビット	シンボル	説明
31～14		Reserved 書き込む値は常に 0 にしてください。
13～0	Frame Index [13:0]	Host Controller が、Periodic フレームリストにインデックスを付けるため使用するフィールドです。 本フィールドの値は、マイクロフレームの終わりでインクリメントされます。 本フィールドの bit[N:3] は、Frame List Current index として使用されます。このことは、次のインデックスに移る前に現在のフレームリストに 8 回アクセスすることを意味しています。N の値は、USBCMD レジスタ bit[3:2] Frame List Size フィールドの設定値で以下のように決まります。 Frame List Size / Number of Frames / N 00b / 1024 / 12 01b / 512 / 11 10b / 256 / 10 11b / 32 / 12 本レジスタへのアクセスは、Host Controller が停止状態（USBSTS レジスタ bit12 HCHalted = 1b）の時のみとしてください。 なお本ビットの設定値は、SOF トークンの SOF フレーム番号に反映されます。

(5) CTRLDSSEGMENT Register (offset: 130h)

レジスタ略称： CTRLDSSEGMENT

アドレス	133h								132h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	CTRLDSSEGMENT[31:24]								CTRLDSSEGMENT[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	131h								130h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	CTRLDSSEGMENT[15:8]								CTRLDSSEGMENT[7:0]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.33 CTRLDSSEGMENT – Control Data Structure Segment Register

ビット	シンボル	説明
31～0	CTRLDSSEGMENT	本モジュールは、64 bitアドレス方式をサポートしていないため、本レジスタは使用しません。 従って、HCDで本レジスタへのアクセスを行わないでください。

(6) PERIODICLISTBASE Register (offset: 134h)

レジスタ略称： PERIODICLISTBASE

アドレス	137h								136h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Base Address[31:24]								Base Address[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	135h								134h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Base Address[15:12]				Reserved				Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 32.34　PERIODICLISTBASE Register

ビット	シンボル	説明
31～12	Base Address	システムメモリ上にある Periodic フレームリストの先頭アドレスを示すビットです。 Host Controller がリスト処理を開始する前に本レジスタをロードします。 Host Controller は、本フィールドと FRINDEX レジスタの Frame Index により、処理するフレームリストを決定します。 Periodic フレームリストのアドレスは、4 Kbyte でアラインしてください。 動作中にこれらのビットを変更した場合の動作は保証しません。
11～0		Reserved 書き込む値は常に 0 にしてください。

(7) ASYNCLISTADDR Register (offset: 138h)

レジスタ略称： ASYNCLISTADDR

アドレス	13Bh								13Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	LPL[31:23]								LPL[23:16]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	139h								138h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R
シンボル	LPL[15:8]								LPL[7:5]			Reserved				
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.35　ASYNCLISTADDR Register

ビット	シンボル	説明
31～5	LPL (Link Pointer Low)	次に処理されるAsynchronous Queue Headのシステムメモリ上のアドレスを示すビットです。 Asynchronous Queue Headのアドレスは、32 byteでアラインしてください。
4～0		Reserved 書き込む値は常に0にしてください。

(8) CONFIGFLAG Register (offset: 160h)

レジスタ略称： CONFIGFLAG

アドレス	163h								162h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	161h								160h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
シンボル	Reserved								Reserved							CF
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.36　CONFIGFLAG Register

ビット	シンボル	説明
31～1		Reserved 書き込む値は常に0にしてください。
0	CF (Configuration Flag)	ポートルーティング制御回路がデフォルトでOHCI/EHCIのどちらをルーティングするかを制御するビットです。 Host Controllerをコンフィグレーションする過程の最後で 本ビットに1bをセットします。 0b: ポートルーティング制御回路は デフォルトで各ポートをOHCI Host Controllerにルーティングします 1b: ポートルーティング制御回路は デフォルトで各ポートをEHCI Host Controllerにルーティングします

(9) PORTSC1Register (offset: 164h)

レジスタ略称： PORTSC1

アドレス	167h								166h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Device Address							Suspend Status[1]	Suspend Status[0]	WKOC_E	WKDSCNNT_E	WKCNNT_E	Port Test Control			
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	165h								164h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W(1)	R	R/W(1)	R/W	R/W(1)	R
シンボル	Reserved		Port Owner	PP	Line Status		Suspend using L1	Port Reset	Suspend	Force Port Resume	Over current Active Change	Over-current Active	Port Enabled/ Disabled Change	Port Enabled/ Disabled	Connect Status Change	Current Connect Status
リセット値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.37　PORTSC1 Register

ビット	シンボル	説明
31～25	Device Address	ダウンポートに接続されたデバイスのUSBデバイスアドレス (7bit) を示すフィールドです。 LPM Tokenの送信時に使用します。 本フィールドの00hは、本フィールドを使用する必要があるデバイスが接続されていないことを示します。
24、23	Suspend Status	LPM Token（L1遷移リクエスト）に対する接続デバイスの反応を示すフィールドです。 00b: デバイスがL1ステートに遷移成功（デバイスからのACK受信） 01b: デバイスは まだL1ステートに遷移できない（デバイスからのNYET受信） 10b: デバイスはL1ステート遷移をサポートしていない（デバイスからのSTALL受信） 11b: 上記以外のレスポンス（Timeoutエラーなど） 本フィールドの変更は、Suspendビットが0bの時に行ってください。
22	WKOC_E (Wake on Overcurrent Enable)	本ビットに1bを書き込むことで、過電流状態をEHCI Wakeup イベントとして検知することができます。 bit12 PP (Port Power) ビットが0bの場合、本ビットは0bになります。
21	WKDSCNNT_E (Wake on Disconnect Enable)	本ビットに1bを書き込むことで、デバイスの切断をEHCI Wakeup イベントとして検知することができます。 bit12 PP (Port Power) ビットが0bの場合、本ビットは0bになります。
20	WKCNNT_E (Wake on Connect Enable)	本ビットに1bを書き込むことで、デバイスの接続をEHCI Wakeup イベントとして、検知することができます。 bit12 PP (Port Power) ビットが0bの場合、本ビットは0bになります。
19～16	Port Test Control	テストモードの制御するフィールドです。 本フィールド値が0000b以外の値の時、本モジュールはテストモードで動作していることを示します。
15、14		Reserved 書き込む値は常に0にしてください。

値	テストモード
0000b	Test mode not enabled
0001b	Test J_STATE
0010b	Test K_STATE
0011b	Test SE0_NAK
0100b	Test Packet
0101b	Test FORCE_ENABLE
Other	Reserved

<table>
<tr><th>ビット</th><th>シンボル</th><th>説明</th></tr>
<tr><td>13</td><td>Port Owner</td><td>ポートの所有権がOHCI/EHCIのどちらにあるのかを示すビットです。
0b: ポートの所有権は EHCI
1b: ポートの所有権は OHCI
CONFIGFLA レジスタ bit0 Configure Flag ビットが 0b→1b に変化すると、本ビットは0bになります。またCONFIGFLA レジスタ bit0 Configure Flag ビットが0bの場合、本ビットは1bになります。
接続されたデバイスがHigh Speedデバイスでない場合、ポートの所有権をOHCIに渡すために本ビットに1bをセットします。</td></tr>
<tr><td>12</td><td>PP
(Port Power)</td><td>ポートに対する電源供給を制御するビットです。
本ビットが0bの場合、ポートに電源が供給されていないため、ポートは機能せず、接続／切断を認識しません。
本ビットに1bがセットされている状態で過電流が検出されると、Host Controllerによって本ビットは0bにクリアされ、ポートへの電源の供給が停止されます。
注.　ただし後述する通り、PPC ビット= 0b の場合本ビットは1b固定のため、ポートへの電源供給は停止しません。

本ビットの機能は、HCSPARAMS レジスタ bit4 PPC (Port Power Control) ビットの値に依存します。
<table>
<tr><th>PPC</th><th>PP</th><th colspan="3">動作</th></tr>
<tr><td>0b</td><td>1b</td><td>R</td><td colspan="2">本ビットは1b固定となり、ポートには常に電源供給されます。</td></tr>
<tr><td rowspan="3">1b</td><td rowspan="3">0b/1b</td><td rowspan="3">R/W</td><td colspan="2">ポートへの電源供給は、本ビットに従います。</td></tr>
<tr><td>0b</td><td>ポートに電源供給していない</td></tr>
<tr><td>1b</td><td>ポートに電源供給している</td></tr>
</table>
</td></tr>
<tr><td>11、10</td><td>Line Status</td><td>現在のUSBバスの D+/D- の論理レベルを示すビットです。(bit11: DP / bit10: DM)
本ビットは、ポートリセットやポートをイネーブルにするシーケンスの前にLSデバイスを検出するために使用します。
従って、bit3 Port Enable/Disable ビット= 0b かつbit0 Current Connect Status = 1b のときのみ、本ビットは有効となります。
<table>
<tr><th>bit11</th><th>bit10</th><th>USBバス状態</th><th>説明</th></tr>
<tr><td rowspan="2">0b</td><td rowspan="2">0b</td><td rowspan="2">SE0</td><td>LSデバイスではない</td></tr>
<tr><td>EHCIポートリセット実行中</td></tr>
<tr><td rowspan="2">1b</td><td rowspan="2">0b</td><td rowspan="2">J-state</td><td>LSデバイスではない</td></tr>
<tr><td>EHCIポートリセット実行中</td></tr>
<tr><td rowspan="2">0b</td><td rowspan="2">1b</td><td rowspan="2">K-state</td><td>LSデバイスが接続された</td></tr>
<tr><td>ポート所有権がEHCIからOHCIへ解放</td></tr>
<tr><td rowspan="2">1b</td><td rowspan="2">1b</td><td rowspan="2">Undefined</td><td>LSデバイスではない</td></tr>
<tr><td>EHCIポートリセット実行中</td></tr>
</table>
</td></tr>
<tr><td>9</td><td>Suspend using L1</td><td>Suspend using L1 (LPM) 制御ビットです。
本ビットが1bの状態でSuspend ビット (bit7) に 1bをライトすると、本モジュールはLPMステート遷移へ移行します。
なお本ビットへの ライトは、Suspend ビット (bit7) が 0b の時のみ可能です。
Suspend ビットが0bの時のみライト可能です。
0b: Suspend using L2
1b: Suspend using L1 (LPM)
本ビットが1b かつDevice Address フィールドが0000h以外であれば、Suspend ビットに1bをセットすると、Host Controllerは L1ステートに遷移させるためLPM Token を生成します。
本ビットが0bの場合、Host Controllerは L2 Suspendとして動作します。</td></tr>
</table>

<table>
<tr><th>ビット</th><th>シンボル</th><th>説明</th></tr>
<tr><td>8</td><td>Port Reset</td><td>ポートのリセットステータスを示すビットです。
0b: ポートはリセット中ではない
1b: ポートはリセット中である
本ビットが0bの状態で1bを書き込むと、USB 2.0 規格で定義されたバスリセットシーケンスが開始されます。バスリセットシーケンスを終了させるため、本ビットに0bを書き込む必要があります。ただしUSB 2.0 規格に定義されているバスリセットシーケンス完了を保証するのに 十分長い時間本ビットを1bに保持する必要があります。
なお 本ビットには、USBSTS レジスタ bit12 HCHalted が1bの場合、1bをセットしないでください。
また 本ビットは、PP (Port Power) ビット、Port Owner ビット、Current Connect Status ビットの何れかが 以下の状態の場合、0bとなります。
　注.　1b ライトを実行しても、バスリセットシーケンスは開始されません。
・PP (Port Power) ビット = 0b
・Port Owner ビット = 1b
・Current Connect Status ビット = 0b</td></tr>
<tr><td>7</td><td>Suspend</td><td>ポートのSuspend制御およびステータスを示すビットです。
本ビットとbit2 Port Enabled/Disabled ビットにより、ポートの状態は以下のようになります。
<table>
<tr><th>Port Enabled</th><th>Suspend</th><th>Port Status</th></tr>
<tr><td>0b</td><td>—</td><td>Disable</td></tr>
<tr><td rowspan="2">1b</td><td>0b</td><td>Enable</td></tr>
<tr><td>1b</td><td>Suspend</td></tr>
</table>
ポートをL1 またはL2 Suspendステートへ遷移させるために、本ビットに1bをセットします。
Host Controllerが L1/L2 どちらのSuspendステートに対応するかは、Suspend Using L1 ビットの値に依存します。
Suspend状態では、ポートリセットを除き、ダウンストリームポートへのデータ転送はこのポートでブロックされます。データ転送中に本ビットに1bがセットされた場合、現在の転送が終了するまで、転送データのブロッキングは発生しません。
0bの書き込みでは何も影響しません。
なお「PP (Port Power) ビット = 1b」かつ「Port Owner ビット = 0b」かつ「Current Connect Status ビット = 1b」の場合のみ、本ビットへの1bセットが可能です。
Host Controllerは、以下の条件が発生した場合、本ビットをクリアします。
・Resume完了を検出した場合
・PR (Port Reset) ビット = 0b時に、PR ビットに1bをセットした場合
・Port Ownerが1b (OHCI) になった場合
・PP (Port Power) ビットが 0bになった場合
・Port Enabled/Disabled ビットが 0bになった場合</td></tr>
<tr><td>6</td><td>Force Port Resume</td><td>ポートのResume状態を検出したことを示すビットです。
0b: Resume信号が検出／出力されていない
1b: Resume (K-state)が検出／出力された
Hot Controllerは、ポートがSuspend状態中に JからK ステートへの遷移を検出（＝接続Dデバイスからの RemoteWakeup を検出）すると 本ビットに1bをセットします。また、USBSTS レジスタの Port Change Detect ビット またはPort-1 Changes Detect ビットにも1bをセットします。
本ビットに1bをセットした場合、Host Controllerは USBSTS レジスタの Port Change Detect ビットおよびPort-1 Changes Detect ビットに1bをセットしません。
本ビットが1bの間、Resume信号 (FS K) がUSBバス上にドライブされます。
L2遷移においては、適切な時間が経過した後、本ビットを0bにクリアする必要があります。
本ビットが1bのときに0bを書き込むことで、ポートはHS Idle状態に復帰します。復帰するまで本ビットは1bに維持されます。Host Controllerは、本ビットを0bクリアしてから 2 msec 以内に HS Idleへの遷移を完了させなければなりません。
一方 L1遷移においては、Host ControllerがResume信号を必要なタイミング送信し、Resume復帰したら 本ビットを0bにクリアするため、0bクリアする必要はありません。ただしHost Controllerがドライブする Resume信号長の設定はソフトウェアで行い、USBCMD レジスタ Host-Initiated Resume Duration フィールドで設定します。
なおPort Power (PP)ビットが0bの場合、本ビットは0bになります。</td></tr>
<tr><td>5</td><td>Over-current Change</td><td>bit4 Over-current Active ビットが変化したことを示すビットです。
1bを書き込むと本ビットをクリアすることができます。0bの書き込みは影響しません。
0b: Over-current Active ビットは変化なし
1b: Over-current Active ビットが変化した</td></tr>
<tr><td>4</td><td>Over-current Active</td><td>ポートの過電流ステータスを示すビットです。
Host Controllerが過電流を検出すると、ポートを Disableにし、本ビットに1bをセットします。
本ビットは過電流状態が解除されるとHost Controllerによって自動的に 1b→0b にクリアされます。
0b: ポートは過電流状態ではない
1b: ポートは過電流状態である</td></tr>
</table>

ビット	シンボル	説明
3	Port Enable/Disable Change	Host Controller が Frame Babble を検出したことを示すビットです。 Host Controller が Frame Babble を検出すると ポートを Disable にし、本ビットに 1b をセットします。 1b を書き込むと本ビットをクリアすることができます。0b の書き込みは影響しません。 また Port Power (PP) ビットが 0b の場合、本ビットは 0b になります。 0b: Frame Babble は 発生していない 1b: Frame Babble を 検出
2	Port Enabled/ Disabled	ポートの Enable/Disable ステータスを示すビットです。 Host Controller はポートをリセットし、接続されたデバイスを HS デバイスと認識した場合 ポートを Enable にし、本ビットに 1b をセットします。本ビットに 1b をセットすることはできません。 Host Controller はデバイスの切断 または その他のエラーを検出した場合、ポートを Disable にし、本ビットを 0b にクリアします。0b 書き込みを行った場合もポートは Disable になります。 ポートが Disable の場合、ポートリセットを除き、ダウンストリームポートへのデータ転送はブロックされます。 なお Port Test Control[3:0] = 0101b (Test FORCE_ENABLE) の場合、ポートは Enable となり、本ビットに 1b がセットされます。 また Port Power (PP) ビットが 0b の場合、本ビットは 0b になります。 0b: ポートが Disable 1b: ポートが Enable
1	Connect Status Change	bit0 Current Connect Status ビットが変化したことを示すビットです。 1b を書き込むと 本ビットをクリアすることができます。0b の書き込みは影響しません。 Port Power (PP) ビットが 0b の場合、本ビットは 0b になります。 0b: Current Connect Status ビットは 変化なし 1b: Current Connect Status ビットが 変化した
0	Current Connect Status	ポートの接続ステータスを示すビットです。 Host Controller は、デバイスの接続を検出すると本ビットに 1b をセットします。 またデバイスが接続されていない状態でも Port Test Control[3:0] = 0101b (Test FORCE_ENABLE) の場合、1b をセットします。 一方デバイスの切断を検出すると 0b をセットします。 なお Port Power (PP) ビットが 0b、または Port Owner (PO) ビットが 0b の場合、本ビットは 0b になります。 0b: ポートにデバイスが 接続されていない 1b: ポートにデバイスが 接続されている

32.2.4.4 AHB Bridge Register

(1) INT_ENABLE Register (offset: 200h)

レジスタ略称： INT_ENABLE

アドレス	203h								202h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	201h								200h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved								Reserved			WAKEON_INTEN	UCOM_INTEN	USBH_INTBEN	USBH_INTAEN	AHB_INTEN
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.38 INT_ENABLE Register

ビット	シンボル	説明
31～5		Reserved 書き込む値は常に0にしてください。
4	WAKEON_INTEN	INT_STATUS bit4 WAKEON_INTの有効／無効を選択します。 0b: 無効 1b: 有効
3	UCOM_INTEN	INT_STATUS bit3 UCOM_INTの有効／無効を選択します。 0b: 無効 1b: 有効
2	USBH_INTBEN	INT_STATUS bit2 USBH_INTBの有効／無効を選択します。 0b: 無効 1b: 有効
1	USBH_INTAEN	INT_STATUS bit1 USBH_INTAの有効／無効を選択します。 0b: 無効 1b: 有効
0	AHB_ INTEN	INT_STATUS bit0 AHB_ INTの有効／無効を選択します。 0b: 無効 1b: 有効

(2) INT_STATUS Register (offset: 204h)

レジスタ略称： INT_STATUS

アドレス	207h								206h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	205h								204h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W(1)	R	R	R	R/W(1)
シンボル	Reserved								Reserved			WAKEON_INT	UCOM_INT	USBH_INTB	USBH_INTA	AHB_INT
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.39　INT_STATUS Register

ビット	シンボル	説明
31～5		Reserved 書き込む値は常に0にしてください。
4	WAKEON_INT	HOSTモジュールからの WAKEON 割り込みの状態を示します。 本ビットは1bを書き込むことでクリアされます。 0b: WAKEON 割り込みなし 1b: WAKEON 割り込みあり
3	UCOM_INT	UCOM レジスタ からの割り込みの状態を示します。 割り込みのクリアは UCOM2 Register で行ってください。 0b: UCOM レジスタ割り込みなし 1b: UCOM レジスタ割り込みあり
2	USBH_INTB	EHCI割り込みの状態を示します。 割り込みのクリアは EHCI Operational Register の USBSTS Register で行ってください。 0b: INTB 割り込みなし 1b: INTB 割り込みあり
1	USBH_INTA	OHCI割り込みの状態を示します。 割り込みのクリアは OHCI Operational Register の HcInterruptStatus Register で行ってください。 0b: INTA 割り込みなし 1b: INTA 割り込みあり
0	AHB_INT	BUS Master エラーが発生したことを示します。 本ビットは1b を書き込むことでクリアされます。 0b: バスエラーが発生していない 1b: バスエラーが発生した

(3) AHB_BUS_CTR Register (offset: 208h)

レジスタ略称：　AHB_BUS_CTR

アドレス	20Bh								20Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	209h								208h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W
シンボル	PROT_TYPE				Reserved			PROT_ MODE	Reserved		ALIGN_ ADDRESS		Reserved		MAX_BURST _LEN	
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.40　AHB_BUS_CTR Register

ビット	シンボル	説明
31～16		Reserved 書き込む値は常に0にしてください。
15～12	PROT_TYPE	BUS Master I/F から転送を発行する際のMHPROT[3:0]を設定します。 bit15 0b: キャッシュ不可を示します。 1b: キャッシュ可能を示します。 bit14 0b: バッファ不可を示します。 1b: バッファ可能を示します。 bit13 0b: ユーザアクセスを示します。 1b: 特権アクセスを示します。 bit12 0b: オペコードを示します。 1b: データを示します。
11～9		Reserved 書き込む値は常に0にしてください。
8	PROT_MODE	BUS Master I/F から転送を発行する際のMHPROT[3:0]のモードを選択します。 0b: PROT_TYPEの値をMHPROT[3:0]として出力します。 1b: DMA転送を行う際に、最終バーストを行う際にはMHPROT[3:0]を0000bとし、 それ以外のバースト転送ではMHPROT[3:0]をPROT_TYPEの値となります。
7、6		Reserved 書き込む値は常に0にしてください。
5、4	ALIGN_ ADDRESS	BUS Master I/F からバースト転送を発行する際のアドレス境界を設定します。 00b: 1K byte境界を超えないようにバースト転送を発行します。 01b: 64 byte境界を超えないようにバースト転送を発行します。 10b: 32 byte境界を超えないようにバースト転送を発行します。 （最大バースト長はINCR8となります。INCR16の場合、32 byte境界を越えてしまうためです） 11:b 16 byte境界を超えないようにバースト転送を発行します。 （最大バースト長はINCR4となります。INCR8以上の場合、16 byte境界を越えてしまうためです）
3、2		Reserved 書き込む値は常に0にしてください。
1、0	MAX_BURST _LEN	BUS Master I/F から転送を発行する際の最大バースト長を選択します。 00b: INCR16 01b: INCR8 10b: INCR4 11b: SINGLE

(4) USBCTR Register (offset: 20Ch)

レジスタ略称：　USBCTR

アドレス	20Fh								20Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	20Dh								20Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	W
シンボル	Reserved								Reserved					DIRPD	PLL_RST	USBH_RST
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

表32.41　USBCTR Register

ビット	シンボル	説明
31～3		Reserved 書き込む値は常に0にしてください。
2	DIRPD	USBPHYのスタンバイモード制御 0b: USBPHY通常動作モード 1b: USBPHYスタンバイモード [注意事項] USBを使用しない場合、1を設定することでUSBPHYの消費電力を下げることができます。 USBを使用しない場合にのみ設定してください。 USBPHYスタンバイモードからUSBPHY通常動作モードへ遷移させる場合、1μs以上USBPHYのリセットをアサートし遷移させてください。
1	PLL_RST	USBPHYのリセットを制御します。 0b: USBPHYリセット解除 1b: USBPHYリセット状態
0	USBH_RST	本モジュールへのソフトウェアリセットです。 本ビットを1b にセットすることにより、本モジュール全体がリセットされます。 本ビットは読み出しても常に0b です。 [注意事項] 本ビットをセットする際は、本モジュールのBUS Master I/F が動作していないときに行ってください。 本モジュールへのアクセスは、本ビット書き込み後10 CLK @内部バスクロック(Bφ) 後から有効になります。 0b: 何も起きません 1b: 本モジュールリセット発行

(5) Register Enable/Clock Gating Control Register (offset: 304h)

レジスタ略称： REGEN_CG_CTRL

アドレス	307h								306h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	NONUSE_CLK_MSK	Reserved	HOST_CLK_MSK	PERI_CLK_MSK	Reserved			RPB_WEN	Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	305h								304h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.42　REGEN_CG_CTRL Register

ビット	シンボル	説明
31	NONUSE_CLK_MSK	COMMCTRL レジスタ OTG_PERI ビットの設定値に応じ、Host/Peripheral で使用していない方へのクロックをマスクする機能。 0b: マスクしない 1b: マスクする 詳しくは「32.3.1.2 NONUSE_CLK_MSK動作仕様」を参照してください
30		Reserved 書き込む値は常に0にしてください。
29	HOST_CLK_MSK	ホストコントローラへのクロック供給を強制的にマスクする機能 0b: マスクしない 1b: マスクする 詳しくは「32.3.1.3 HOST_CLK_MSK／PERI_CLK_MSK動作仕様」を参照してください
28	PERI_CLK_MSK	ペリフェラルコントローラへのクロック供給を強制的にマスクする機能 0b: マスクしない 1b: マスクする 詳しくは「32.3.1.3 HOST_CLK_MSK／PERI_CLK_MSK動作仕様」を参照してください
27～25		Reserved 書き込む値は常に0にしてください。
24	RPB_WEN	以下のレジスタに対する Write Enable ビットです。 U2HC_EXT2 (offset 360h) 0b: レジスタへの Write 禁止 1b: レジスタへの Write 許可
23～0		Reserved 書き込む値は常に0にしてください。

(6) Suspend Control Register (offset: 308h)

レジスタ略称：　SPD_CTRL

アドレス	30Bh								30Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R
シンボル	SUSPENDM_ENABLE	SLEEPM_ENABLE	Reserved						WKCNNT_ENABLE	Reserved						
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	309h								308h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
シンボル	Reserved								Reserved							GLOBAL_SUSPENDM_P1
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.43　SPD_CTRL Register

ビット	シンボル	説明
31	SUSPENDM_ENABLE	本ビットの設定は、Hostモード（COMMCTRL レジスタ OTG_PERI ビット = 0b）のみ有効です。 本モジュールをUSB Suspendモードに移行させた時、USBPHY をsuspend状態（= PHY内蔵PLL停止状態）にする機能です。 本ビットに1bにセットすると、以下に示すOHCI/EHCI Operational レジスタ Suspend関連ビットをセットし、本モジュールがUSB Suspendモードに移行すると、USBPHY をsuspend状態にします。 [本機能が有効となるOHCI/EHCI Operational レジスタ] EHCI: PORTSC1 レジスタ bit[7]（Suspend ビット） OHCI: HcRhPortStatus1 レジスタ bit[2]（PSS ビット） OHCI: HcControl レジスタ bit[7:6]（HCFS フィールド）
30	SLEEPM_ENABLE	本ビットの設定は、Hostモード（COMMCTRL レジスタ OTG_PERI ビット = 0b）のみ有効です。 LPM機能を用いてL1 Suspendモードへ移行した時、USBPHY をsleep状態（= PHY内蔵PLLは動作しているが、USBPHYからの 60 MHzクロックがゲーティングされている状態）にします。 POTSC レジスタ Suspend using L1が1bのときに有効になります。本ビットに1b にセットすると、デバイスにL1遷移要求を行い、受け入れられたならば 以下に示すEHCI レジスタビットに1bがセットされた後、USBPHY をsleep状態にします。 [本機能が有効となるOHCI/EHCI Operational レジスタ] EHCI: PORTSC1 レジスタ bit[7]（Suspend ビット）
29～24		Reserved 書き込む値は常に0にしてください。
23	WKCNNT_ENABLE	本ビットの設定は、Hostモード（COMMCTRL レジスタ OTG_PERI ビット = 0b）のみ有効です。 本ビットに1bをセットすると、USBPHY がsuspendまたはsleep状態でDisconnectが発生した場合、suspendまたはsleep状態を解除します。 本ビットは、SUSPENDM_ENABLE ビット（bit31）もしくはSLEEP_ENABLE ビット（bit30）が1bのときに有効です。 [留意事項] SUSPENDM_ENABLE ビット (bit31) あるいはSLEEPM_ENABLE ビット (bit30) を1bにする場合は、原則 本ビットを1bにしてください。 上記ケースで 本ビットを1bにしない場合、Disconnectが発生してもsuspendまたはsleep状態を解除しません。
22～1		Reserved 書き込む値は常に0にしてください。
0	GLOBAL_SUSPENDM_P1	本ビットの設定は、COMMCTRL レジスタ OTG_PERI ビット値に関係なく有効です。 USBPHY を強制的にsuspend状態（= PHY内蔵PLL停止状態）にする機能です。 本ビットに1bをセットすると、ホストコントローラの動作状態やポート状態に関係なく、USBPHY をsuspend状態にします。 注. • データ転送中は本ビットに1bをセットしないでください。 本ビットへの1bセットは、「EHCI/OHCI リスト処理を停止」かつ「ポートがDisable状態」にしてから実施することを推奨します。 • SUSPENDM_ENABLE ビット (bit31) = 1b の場合、本ビットに1bをセットしないでください。

(7) Suspend/Resume Timer Setting Register (offset: 30Ch)

レジスタ略称：　SPD_RSM_TIMSET

アドレス	30Fh								30Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	TIMER_CONNECT[15:8]								TIMER_CONNECT[7:0]							
リセット値	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0
アドレス	30Dh								30Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	TIMER_RESUME[15:8]								TIMER_RESUME[7:0]							
リセット値	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0

表32.44　SPD_RSM_TIMSET Register

ビット	シンボル	説明
31～16	TIMER_CONNECT [15:0]	SPD_CTRL レジスタ SUSPENDM_ENABLE ビット = 1b 設定での USBPHY が suspend（= PHY 内蔵 PLL 停止状態）中の Device Connect/Disconnect 検出に使用するタイマ値です。 USBPHY が suspend 中、Connect/Disconnect が発生したか否かの判断を 内部バスクロック (Bφ) で行います。 内部バスクロック (Bφ) の周波数に合わせ、本タイマ値が 2.5 μs 以上となるように設定してください。 1 bit あたり 1 周期 (μs) です。 （設定目安） 100 MHz の場合：FAh 以上
15～0	TIMER_RESUME [15:0]	SPD_CTRL レジスタ SUSPENDM_ENABLE ビット = 1b 設定での USBPHY が suspend（= PHY 内蔵 PLL 停止状態）中の Device からの RemoteWakeup 信号検出に使用するタイマ値です。 USBPHY が suspend 中、RemoteWakeup 信号か否かの判断を 内部バスクロック (Bφ) で行います。 内部バスクロック (Bφ) の周波数に合わせ、本タイマ値が 5μs 以上となるように設定してください。 1 bit あたり 1 周期 (μs) です。 （設定目安） 100MHz の場合：1F4h 以上

(8) Overcurrent Detection/Sleep Timer Setting Register (offset: 310h)

レジスタ略称：　OC_SLP_TIMSET

アドレス	313h								312h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved			TIMER_SLEEP[8:4]					TIMER_SLEEP[3:0]				TIMER_OC[19:16]			
リセット値	0	0	0	0	1	1	0	0	1	0	0	0	0	0	1	1
アドレス	311h								310h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	TIMER_OC[15:8]								TIMER_OC[7:0]							
リセット値	0	0	0	0	1	1	0	1	0	1	0	0	0	0	0	0

表32.45　OC_SLP_TIMSET Register

ビット	シンボル	説明
31～29		Reserved 書き込む値は常に0にしてください。
28～20	TIMER_SLEEP [8:0]	SPD_CTRL レジスタ SLEEPM_ENABLE ビット = 1b 設定での USBPHY が Sleep（= PHY 内蔵 PLL は動作しているが、USBPHY からの 60 MHz クロックがゲーティングされている状態）中の RemoteWakeup 受信検出時間、及び Resume-K を駆動する時間計測に使用するタイマ値です。 USBPHY が Sleep 中、RemoteWakeup 信号か否かの判断等を内部バスクロック (Bφ) で行います。 内部バスクロック (Bφ) の周波数に合わせ、本タイマ値が 1 μs となるように設定してください。 1 bit あたり 1 周期 (μs) です。 （設定目安） 100 MHz の場合：064h
19～0	TIMER_OC [19:0]	Overcurrent 検出に使用するタイマ値です。 本フィールドに設定した時間オーバーカレント入力（OVRCUR）が本レジスタで設定した時間連続アサート（0b）された場合、本モジュールは Overcurrent 発生と判断します。 内部バスクロック (Bφ) 周波数に合わせ、本タイマ値が 1ms 以上となるように設定してください。1bit あたり 1 周期（μs）です。 （設定目安） 100 MHz で 1ms の場合：1_86A0h 以上

(9) SBRN・FLADJ・PORTWAKECAP Register (offset: 314h)

レジスタ略称： SBRN_FLADJ_PW

アドレス	317h								316h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	PORTWAKECAP[15:8]								PORTWAKECAP[7:0]							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
アドレス	315h								314h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
シンボル	FLADJ[7:0]								SBRN[7:0]							
リセット値	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0

表32.46 SBRN_FLADJ_PW Register

ビット	シンボル	説明
31～16	PORTWAKECAP[15:0]	本ビットは、接続されるデバイスのうち、どのポートをWakeupイベントとして使用するかをマスクするために使用します。本ビット操作は、HOSTモジュールの動作に影響しません。
15～8	FLADJ[7:0]	1マイクロフレームの長さを16HS bit time単位で調整します。 初期値は20h (60000d HS bit time) を示します。
7～0	SBRN[7:0]	Serial Bus Release Numberを示します。 20hの固定値を示します。

(10) PORT_LPM_CTR1 Register (offset: 320h)

レジスタ略称：　PORT_LPM_CTRL1

アドレス	323h								322h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	321h								320h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved								NYET_RETRY_CNT_P1[3:0]				REMOTE WAKE_ EN_P1	SLEEP_INT _EN_P1	RETRY_ ENABLE_ NYET_P1	HIRD SEL_P1
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.47　PORT_LPM_CTRL1 Register

ビット	シンボル	説明
31～8		Reserved 書き込む値は常に0にしてください。
7～4	NYET_RETRY_ CNT_P1[3:0]	LPM トランザクションでDeviceからの応答がNYETだった場合のRetry回数を設定します。 本ビットの設定値は、RETRY_ENABLE_NYET_P1 ビット (bit1) = 1b の場合 有効です。 0000b: Retryなし 0001b～1111b: 設定回数分Retryする（MAX: Retry 15回）
3	REMOTEWAKE_ EN_P1	LPM TokenのRemoteWakeup bit値を示す機能。 0b: RemoteWakeupサポート 1b: RemoteWakeup未サポート
2	SLEEP_INT_ EN_P1	LPM トランザクションにおいて、ACK以外を受信時に割り込みを発生させるイネーブル機能。 割り込み自体はPer-Port Change割り込みとなります。 0b: 割り込み発生しない 1b: 割り込み発生する
1	RETRY_ENABLE_ NYET_P1	LPM トランザクションにおいて、Deviceからの応答がNYETだった場合のホストコントローラの動作を設定します。 0b: Retry しない 1b: Retryする

<table>
<tr><th>ビット</th><th>シンボル</th><th>説明</th></tr>
<tr><td>0</td><td>HIRD_SEL_P1</td><td>Sleepから復帰する際、K driveする時間を設定します。
本ビットとEHCI USBCMD Register bit [27:24]の設定値により、K drive時間は以下のようになります。
<table>
<tr><th rowspan="2">USBCMD Register
bit [27:24]</th><th colspan="2">HIRD_SEL_P1（本ビット設定値）</th></tr>
<tr><th>0b</th><th>1</th></tr>
<tr><td>0000b</td><td>75 µs</td><td>50 µs</td></tr>
<tr><td>0001b</td><td>100 µs</td><td>125 µs</td></tr>
<tr><td>0010b</td><td>150 µs</td><td>200 µs</td></tr>
<tr><td>0011b</td><td>250 µs</td><td>275 µs</td></tr>
<tr><td>0100b</td><td>350 µs</td><td>350 µs</td></tr>
<tr><td>0101b</td><td>450 µs</td><td>425 µs</td></tr>
<tr><td>0110b</td><td>950 µs</td><td>500 µs</td></tr>
<tr><td>0111b</td><td>1950 µs</td><td>575 µs</td></tr>
<tr><td>1000b</td><td>2950 µs</td><td>650 µs</td></tr>
<tr><td>1001b</td><td>3950 µs</td><td>725 µs</td></tr>
<tr><td>1010b</td><td>4950 µs</td><td>800 µs</td></tr>
<tr><td>1011b</td><td>5950 µs</td><td>875 µs</td></tr>
<tr><td>1100b</td><td>6950 µs</td><td>950 µs</td></tr>
<tr><td>1101b</td><td>7950 µs</td><td>1025 µs</td></tr>
<tr><td>1110b</td><td>8950 µs</td><td>1100 µs</td></tr>
<tr><td>1111b</td><td>9950 µs</td><td>1175 µs</td></tr>
</table>
</td></tr>
</table>

(11) USB 2 Host Controller Extended Function2 Register (offset:360h)

レジスタ略称：U2HC_EXT2

[留意事項]

・本レジスタへの Write は、RPB_WEN ビットが 1b の場合のみ可能です。

・bit9 は、本モジュール初期設定時に 1b をセットしてください。

アドレス	363h								362h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	361h								360h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved						DUR_CTRL	Reserved	Reserved							
リセット値	0	0	1	1	0	0	0	1	1	0	0	1	0	0	0	1

表 32.48　U2HC_EXT2 Register

ビット	シンボル	説明
31～14		Reserved 書き込む値は常に 0 にしてください。
13、12		Reserved 書き込む値は常に 1 にしてください。
11、10		Reserved 書き込む値は常に 0 にしてください。
9	DUR_CTRL	本ビットは、本モジュール初期設定時に 1b にしてください。 設定フローは、「32.9.2 初期設定シーケンス」を参照してください。
8、7		Reserved 書き込む値は常に 1 にしてください。
6、5		Reserved 書き込む値は常に 0 にしてください。
4		Reserved 書き込む値は常に 1 にしてください。
3～1		Reserved 書き込む値は常に 0 にしてください。
0		Reserved 書き込む値は常に 1 にしてください。

32.2.4.5 UCOM Register

(1) Common Control Register (offset: 800h)

レジスタ略称： COMMCTRL

アドレス	803h								802h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	OTG_PERI	Reserved							Reserved							
リセット値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	801h								800h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.49 COMMCTRL Register

ビット	シンボル	説明
31	OTG_PERI	本モジュールをHostモードにするか、Peripheralモードにするかを指定します。 0b: Hostモード 1b: Peripheralモード
30～0		Reserved 書き込む値は常に0にしてください。

(2) OTG-BC Interrupt Status Register (offset: 804h)

レジスタ略称：　OBINTSTA

アドレス	807h								806h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W(1)	R/W(1)
シンボル	Reserved								Reserved						DPMON CHG_STA	DMMON CHG_STA
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	805h								804h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R/W(1)	R	R/W(1)	R/W(1)	R/W(1)	R/W(1)	R/W(1)
シンボル	Reserved									CHGDET CHG1_STA	Reserved	PDDET CHG1_STA	VBSTAINT _STA	VBSTACHG _STA	OCINT _STA	IDCHG _STA
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

表32.50　OBINTSTA Register

ビット	シンボル	説明
31～18		Reserved 書き込む値は常に0にしてください。
17	DPMONCHG_STA	LINECTRL1 レジスタのDPMON ビットに変化が生じたならば、本ビットがセットされます。 0b: LINECTRL1 レジスタのDPMON ビットに変化が生じていない。 1b: LINECTRL1 レジスタのDPMON ビットに変化が生じた。
16	DMMONCHG_STA	LINECTRL1 レジスタのDMMON ビットに 変化が生じたならば、本ビットがセットされます。 0b: LINECTRL1 レジスタのDMMON ビットに変化が生じていない。 1b: LINECTRL1 レジスタのDMMON ビットに変化が生じた。
15～7		Reserved 書き込む値は常に0にしてください。
6	CHGDETCHG1_STA	BCCTRL1 レジスタのCHGDETSTS ビットに変化が生じたならば、本ビットがセットされます。 0b: BCCTRL1 レジスタのCHGDETSTS ビットに変化が生じていない。 1b: BCCTRL1 レジスタのCHGDETSTS ビットに変化が生じた。
5		Reserved 書き込む値は常に0にしてください。
4	PDDETCHG1_STA	BCCTRL1 レジスタのPDDETSTS ビットに変化が生じたならば、本ビットがセットされます。 0b: BCCTRL1 レジスタのPDDETSTS ビットに変化が生じていない。 1b: BCCTRL1 レジスタのPDDETSTS ビットに変化が生じた。
3	VBSTAINT_STA	VBCTRL レジスタのVBSTA ビットがVBCTRL レジスタのVBLVL ビットに設定した値に等しくなったならば、本ビットがセットされます。 ただし、VBCTRL レジスタのVBSTA ビットがVBCTRL レジスタのVBLVL ビットと等しくなった瞬間に本ビットがセットされ、以降は一度 本ビットがクリアされてVBCTRL レジスタのVBSTA ビットが変化していないならば、VBCTRL レジスタのVBSTA ビットがVBCTRL レジスタのVBLVL ビットに等しくても 本ビットはセットされません。VBCTRL レジスタのVBSTA ビットに変化が生じ、再度VBCTRL レジスタのVBSTA ビットがVBCTRL レジスタのVBLVL ビットに等しくなったときに、本ビットがセットされます。 0b: VBCTRL レジスタのVBSTA ビットがVBCTRL レジスタのVBLVL ビットに設定した値に等しくなっていない。 1b: VBCTRL レジスタのVBSTA ビットがVBCTRL レジスタのVBLVL ビットに設定した値に等しくなった。
2	VBSTACHG_STA	VBCTRL レジスタのVBSTA ビットの状態が変化したならば、本ビットがセットされます。 0b: VBCTRL レジスタのVBSTA ビットに変化は生じていない。 1b: VBCTRL レジスタのVBSTA ビットに変化が生じた。
1	OCINT_STA	OVRCUR 端子がアサートされたならば、本ビットがセットされます。 0b: OVRCUR 端子はアサートされていない（= 1b のまま）。 1b: OVRCUR 端子がアサートされた（= 0b になった）。
0	IDCHG_STA	OTG_ID 端子からの入力値に変化が生じたならば、本ビットがセットされます。 0b: OTG_ID 端子に変化は生じていない。 1b: OTG_ID 端子に変化が生じた。 注.　初期値1の為、ステータスをクリアした後、使用してください。

(3) OTG-BC Interrupt Enable Register (offset: 808h)

レジスタ略称：　OBINTEN

アドレス	80Bh								80Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
シンボル	Reserved								Reserved						DPMONCHG_EN	DMMONCHG_EN
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	809h								808h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved								Reserved	CHGDETCHG1_EN	Reserved	PDDETCHG1_EN	VBSTAINT_EN	VBSTACHG_EN	OCINT_EN	IDCHG_EN
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.51　OBINTEN Register

ビット	シンボル	説明
31～18		Reserved 書き込む値は常に0にしてくださいください。
17	DPMONCHG_EN	DPMONCHG_STAビット割り込みイネーブル 0b: DPMONCHG_STAビットによる割り込みが無効 1b: DPMONCHG_STAビットによる割り込みが有効
16	DMMONCHG_EN	DMMONCHG_STAビット割り込みイネーブル 0b: DMMONCHG_STAビットによる割り込みが無効 1b: DMMONCHG_STAビットによる割り込みが有効
15～7		Reserved 書き込む値は常に0にしてください。
6	CHGDETCHG1_EN	CHGDETCHG1_STAビット割り込みイネーブル 0b: CHGDETCHG1_STAビットによる割り込みが無効 1b: CHGDETCHG1_STAビットによる割り込みが有効
5		Reserved 書き込む値は常に0にしてください。
4	PDDETCHG1_EN	PDDETCHG1_STAビット割り込みイネーブル 0b: PDDETCHG1_STAビットによる割り込みが無効 1b: PDDETCHG1_STAビットによる割り込みが有効
3	VBSTAINT_EN	VBSTAINT_STAビット割り込みイネーブル 0b: VBSTAINT_STAビットによる割り込みが無効 1b: VBSTAINT_STAビットによる割り込みが有効
2	VBSTACHG_EN	VBSTACHG_STAビット割り込みイネーブル 0b: VBSTACHG_STAビットによる割り込みが無効 1b: VBSTACHG_STAビットによる割り込みが有効
1	OCINT_EN	OCINT_STAビット割り込みイネーブル 0b: OCINT_STAビットによる割り込みが無効 1b: OCINT_STAビットによる割り込みが有効
0	IDCHG_EN	IDCHG_STAビット割り込みイネーブル 0b: IDCHG_STAビットによる割り込みが無効 1b: IDCHG_STAビットによる割り込みが有効

(4) VBUS Control Register (offset: 80Ch)

レジスタ略称： VBCTRL

アドレス	80Fh								80Eh							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R
シンボル	Reserved		VBSTA	Reserved					Reserved		VBLVL	Reserved				
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
アドレス	80Dh								80Ch							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved								Reserved			VGPUO	Reserved			VBOUT
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.52　VBCTRL Register

ビット	シンボル	説明
31～30		Reserved 書き込む値は常に0にしてください。
29	VBSTA	VBUSの電圧レベルを表示します。 VBUSIN端子からの入力がそのまま表示されます。
28～22		Reserved 書き込む値は常に0にしてください。
21	VBLVL	VBUSが特定のレベルになったことを割り込みで検出したい場合に用います。 VBUSIN端子が本フィールドに設定した値に等しくなったとき、OBINTSTAレジスタの VBSTAINT_STAビットがセットされ、マスクされていないならば、OBINTSTAレジスタの VBSTAINT_STAビットによる割り込みが発生します。
20～17		Reserved 書き込む値は常に0にしてください。
16		Reserved 書き込む値は常に1にしてください。
15～5		Reserved 書き込む値は常に0にしてください。
4	VGPUO	本フィールドの反転値がOTG_EXICEN端子から出力されます。 外部電源ICの制御等に用います。
3～1		Reserved 書き込む値は常に0にしてください。
0	VBOUT	VBUSEN制御ビットの1つです。 外部電源ICを制御してVBUSをアサートするために用います。 0b: VBUS出力ディスエーブル 1b: VBUS出力イネーブル なお本ビットはovercurrent発生時、自動で0クリアされます。

(5) Line Control Port1 Register (offset: 810h)

レジスタ略称：　LINECTRL1

アドレス	813h								812h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved								Reserved		DSDP[1:0]		DPRPD_EN	DP_RPD	DMRPD_EN	DM_RPD
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	811h								810h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved				DP MON	DM MON	Reserved	ID MON
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.53　LINECTRL1 Register

ビット	シンボル	説明
31～22		Reserved 書き込む値は常に0にしてください。
21～20	DSDP[1:0]	dstby遷移、復帰時、DCPモード時に設定するビットです。 本ビットの設定は、「33.9.16.4 レジューム信号受信によるディープスタンバイ復帰フロー」または「32.6.1.2 DCPモードで使用する場合」に従ってください。 フローを守らず設定した場合、動作を保証しません。
19	DPRPD_EN	DP_RPD (bit18) によるUSBバス(DP) 15 kΩ Pulldown 抵抗制御を有効にします。 0b: DP_RPD (bit18) によるDP側 15 kΩ Pulldown 抵抗制御が無効 1b: DP_RPD (bit18) によるDP側 15 kΩ Pulldown 抵抗制御が有効
18	DP_RPD	DPRPD_EN (bit19) = 1b のとき、USBバス (DP) 15 kΩ Pulldown 抵抗を制御します。 0b: DP側 15 kΩ Pulldown 抵抗OFF 1b: DP側 15 kΩ Pulldown 抵抗ON
17	DMRPD_EN	DM_RPD (bit16) によるUSBバス (DM) 15 kΩ Pulldown 抵抗制御を有効にします。 0b: DM_RPD (bit16) によるDM側 15 kΩ Pulldown 抵抗制御が無効 1b: DM_RPD (bit16) によるDM側 15 kΩ Pulldown 抵抗制御が有効
16	DM_RPD	DMRPD_EN (bit17) = 1b のとき、USBバス (DM) 15 kΩ Pulldown 抵抗を制御します。 0b: DM側 15 kΩ Pulldown 抵抗OFF 1b: DM側 15 kΩ Pulldown 抵抗ON
15～4		Reserved 書き込む値は常に0にしてください。
3	DPMON	USBバス DPの値を表示します。
2	DMMON	USBバス DMの値を表示します。
1		Reserved 書き込む値は常に0にしてください。
0	IDMON	OTG_ID端子の値を示します。

(6) BC Control Port1 Register (offset: 820h)

レジスタ略称：　BCCTRL1

アドレス	823h								822h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル		Reserved							Reserved							
リセット値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
アドレス	821h								820h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
シンボル	Reserved						PDDET STS	CHGDET STS	Reserved		DCP MODE	VDM SRCE	IDP SINKE	VDP SRCE	IDM SINKE	IDP SRCE
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.54　BCCTRL1 Register

ビット	シンボル	説明
31～26		Reserved 書き込む値は常に0にしてください。
25、24		Reserved 書き込む値は常に1にしてください。
23～10		Reserved 書き込む値は常に0にしてください。
9	PDDETSTS	USBPHY Portable Device Detect信号状態を表示します。
8	CHGDETSTS	USBPHY Charging Downstream Port Detect信号状態を表示します。
7、6		Reserved 書き込む値は常に0にしてください。
5	DCPMODE	USBPHY をDCP (Dedicated Charging Port) として使用する場合、本ビットに1bをセットします。
4	VDMSRCE	USBPHY 内蔵VDM_SRC回路を制御します。 本ビットに1bをセットするとVDM_SRCがONとなり、DM端子がドライブされます。
3	IDPSINKE	USBPHY 内蔵Portable Device Detect回路を制御します。 本ビットに1bをセットすると、Portable Device検出が可能となります。
2	VDPSRCE	USBPHY 内蔵VDP_SRC回路を制御します。 本ビットに1bをセットするとVDP_SRCがONとなり、DP端子がドライブされます。
1	IDMSINKE	USBPHY 内蔵Charging Downstream Port Detect回路を制御します。 本ビットに1bをセットすると、Charging Downstream Port検出が可能となります。
0	IDPSRCE	USBPHY 内蔵IDP_SRC回路を制御します。 本ビットに1bをセットするとIDP_SRCがONとなり、DP端子がドライブされます。

(7) CC STATUS Register (offset: 840h)

レジスタ略称： CC_STATUS

アドレス	843h								842h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
シンボル	CC_INT_SEL	Reserved	CC_LVL_CLR	CC_LVL[3]	CC_LVL[2]	CC_LVL[1]	CC_LVL[0]	CC_LVL_EN	Reserved							
リセット値	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0
アドレス	841h								840h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R
シンボル	Reserved								Reserved	Reserved	CC_PERI_STA	CC_LVL_STA	CC1_RD	CC1_RA	CC2_RD	CC2_RA
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.55　CC_STATUS Register

ビット	シンボル	説明
31	CC_INT_SEL	CC_INT割り込みの発生条件を指定します 0: Peripheral接続時にCC_INT割り込みを発生させる (注.1) 1: CC_LVLと、CC_LVL_ENの設定に応じ、CC_INT割り込みを発生させる
30		Reserved 書き込む値は常に0にしてください。
29	CC_LVL_CLR	CC_LVL_STA フラグクリア 0: CC_LVL_STA をクリアしない 1: CC_LVL_STA をクリアする (注.2)
28	CC_LVL[3]	CC_INT_SEL = 1 設定時、割り込みを発生させるレベルを指定します。 CC1_Rdのレベルを指定します
27	CC_LVL[2]	CC_INT_SEL = 1 設定時、割り込みを発生させるレベルを指定します。 CC1_Raのレベルを指定します
26	CC_LVL[1]	CC_INT_SEL = 1 設定時、割り込みを発生させるレベルを指定します。 CC2_Rdのレベルを指定します
25	CC_LVL[0]	CC_INT_SEL = 1 設定時、割り込みを発生させるレベルを指定します。 CC2_Raのレベルを指定します
24	CC_LVL_EN	CC_LVL イネーブル設定 0: CC_INT_SEL = 1 設定時、CCn_Rd, CCn_Ra (n = 1, 2) 端子の入力状態とCC_LVL[3:0]が一致した場合、割り込みを発生させない 1: CC_INT_SEL = 1 設定時、CCn_Rd, CCn_Ra 端子の入力状態とCC_LVL[3:0]が一致した場合、割り込みを発生させる
23～7		Reserved 書き込む値は常に0にしてください。
6		Reserved 読み出し値は不定です。書き込む値は常に0 にしてください
5	CC_PERI_STA	Peripheral 接続状態を表します (注.3) 0: Peripheral 未接続 1: Peripheral接続 (注.1)
4	CC_LVL_STA	CC_LVL ビット設定値と端子状態の関係を表します 0: CCn_Rd, CCn_Ra 端子の状態と、CC_LVL[3:0]設定値が一致していない 1: CCn_Rd, CCn_Ra 端子の状態と、CC_LVL[3:0]設定値が一致 (注.4)
3	CC1_RD	CC1_Rd端子の状態を表します
2	CC1_RA	CC1_Ra端子の状態を表します
1	CC2_RD	CC2_Rd端子の状態を表します
0	CC2_RA	CC2_Ra端子の状態を表します

注1.　CC1_Rd, CC1_Ra, CC2_Rd, CC2_Ra ビットが下記状態の時、Peripheralが接続されたと判断します。CCn_Rd, CCn_Ra 端子に入力する値については、「32.10.1 CCn_Ra、CCn_Rd 端子使用時の注意事項」を参照してください。
注2.　自動的に1 から0 へクリアされないため、CC_LVL_STA クリア確認後0 をライトしてください
注3.　CC_INT_SEL の設定に依らず、CCn_Rd, CCn_Ra 端子の入力が表32.56 に一致した場合、1 がセットされます
注4.　CC_INT_SEL の設定に依らず、CC_LVL 設定値とCCn_Rd, CCn_Ra 端子の状態が一致した場合、1 がセットされます

表 32.56 Peripheral 接続判定条件

CC1_Rd	CC1_Ra	CC2_Rd	CC2_Ra
0	1	1	1
1	1	0	1
0	1	0	0
0	0	0	1

(8) PHYCLK CTRL Register (offset: 844h)

レジスタ略称： PHYCLK_CTRL

アドレス	847h								846h							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	845h								844h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
シンボル	Reserved								Reserved							UCLKSEL
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.57　PHYCLK_CTRL Register

ビット	シンボル	説明
31～1		Reserved 書き込む値は常に0にしてください。
0	UCLKSEL	USBPHYへ供給するクロックを選択 0: EXTALクロックを選択 1: USB_X1クロックを選択

(9) PHYIF CTRL Register (offset: 848h)

レジスタ略称： PHYIF_CTRL

アドレス	84Bh								84Ah							
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
シンボル	Reserved								Reserved							
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
アドレス	849h								848h							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
シンボル	Reserved								Reserved							FIXPHY
リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表32.58　PHYIF_CTRL Register

ビット	シンボル	説明
31～1		Reserved 書き込む値は常に0にしてください。
0	FIXPHY	USB未使用時、またはディープスタンバイ復帰時に設定するビットです。 本ビットの設定は「33.9.16.1 ディープスタンバイ遷移時の設定」、 「52.4.3 USB 2.0ホスト／ファンクションモジュール未使用時の注意」に従ってください。 フローを守らず設定した場合、動作を保証しません。

32.3 クロックの説明

32.3.1 クロックゲーティング仕様

32.3.1.1 クロックゲーティングの概要

本モジュールでは、ホストコントローラ／ペリフェラルコントローラ切り替え機能を有しているため、使用しない方へのクロック供給自体が必要ないケースが考えられます。

従って、「クロック供給が不要な回路」へのクロックゲーティングによる消費電力抑制を目的として、Register Enable/Clock Gating Control Register に３ビットのクロックゲーティング制御ビットを実装しています。

本ビットを制御することにより、ホストコントローラまたはペリフェラルコントローラへのクロックをゲーティングします。

【対象レジスタ】

Register Enable/Clock Gating Control Register (offset: 304h)

【機能仕様】

該当ビット	シンボル	機能仕様
31	NONUSE_CLK_MSK	使用していないホストコントローラ／ペリフェラルコントローラへのクロックを停止します。
29	HOST_CLK_MSK	ホストコントローラへのクロックを停止します。
28	PERI_CLK_MSK	ペリフェラルコントローラへのクロックを停止します。

32.3.1.2 NONUSE_CLK_MSK 動作仕様

本機能は、使用していないホストコントローラ／ペリフェラルコントローラへのクロックを自動的にゲーティングする機能です。

NONUSE_CLK_MSK ビット（bit31）に 1b をセットすることで有効となります。

選択されていない機能へのクロック停止が問題とならない場合、本機能を使用してください。

本機能の動作仕様は、「Common Control Register (offset: 800h) OTG_PERI ビット（bit31）」の設定により、以下の通りです。

クロックゲーティングレジスタ設定			Host/Peripheral 切り替え設定	ゲーティング対象	
			レジスタ	ホスト コントローラ	ファンクション コントローラ
NONUSE_CLK_MSK	HOST_CLK_MSK	PERI_CLK_MSK	OTG_PERI		
1	0	0	0		○
			1	○	

注

※NONUSE_CLK_MSK ビットを使用する場合、原則 HOST_CLK_MSK/PERI_CLK_MSK ビットは 0b としてください。

1b とした場合、クロックゲーティング効果は各ビットの論理和となります。

32.3.1.3 HOST_CLK_MSK ／ PERI_CLK_MSK 動作仕様

本機能は、ホストコントローラ／ファンクションコントローラへのクロックをそれぞれ強制的にゲーティングする機能です。

本機能の動作仕様は、以下の通りです。

クロックゲーティングレジスタ設定			Host/Peripheral 切り替え設定	ゲーティング対象	
			レジスタ	ホスト コントローラ	ファンクション コントローラ
NONUSE_CLK_MSK	HOST_CLK_MSK	PERI_CLK_MSK	OTG_PERI		
0	1	0	—	○	
	0	1	—		○
	1	1	0	○	○

注

※HOST_CLK_MSK/PERI_CLK_MSK ビットを使用する場合、原則 NONUSE_CLK_MSK ビットは 0b としてください。

1b とした場合、クロックゲーティング効果は各ビットの論理和となります。

32.4　割り込み要因

32.4.1　割り込み信号一覧

本モジュールには、以下に示す 6 本の割り込み信号があります。6 本の割り込み信号の論理和が USBHIn (n = 0, 1) として割り込みコントローラに通知されます。USBHIn (n = 0, 1) 割り込みの発生要因は、各ステータスレジスタで確認してください。

これらはすべてレベル割り込みとしてご使用願います。

割り込み要因名	割り込みの種類	Pulse/ Level	Active Level
U2H_INT	BUS Master 割り込み信号です。 BUS Master で Bus エラーが発生したときに発生します。 割り込み制御は AHB Bridge Register にて行います。	Level	H
U2H_OHCI_INT	OHCI 割り込み信号です。 FS/LS 転送において、データ転送完了や USB バスステート変化検出等により発生します。 割り込み制御は、OHCI Operational Register にて行います。	Level	H
U2H_EHCI_INT	EHCI 割り込み信号です。 HS 転送において、データ転送完了や USB バスステート変化検出等により発生します。 割り込み制御は、EHCI Operational Register にて行います。	Level	H
U2H_WAKEON_INT	EHCI Wakeup 割り込み信号です。 EHCI Wakeup イベントにより発生します。 割り込み制御は、EHCI Operational Register にて行います。	Level	H
U2H_OBINT	OTG/Battery Charging 割り込み信号です。 OTG および Battery Charging 関連イベントにより発生します。 割り込み制御は UCOM2 Register にて行います。	Level	H
CC_INT	CC 端子割り込み信号です	Level	H

32.4.2　割り込み要因と制御

32.4.2.1　U2H_INT アサート要因と制御

【レジスタの割り込みイネーブル制御】
以下のレジスタの割り込みイネーブルを有効 (1b) にすることで、割り込み要因発生時にアサートします。
AHB Bridge Register　INT_ENABLE Register (offset: 200h) bit [0] (AHB_INTEN)

【割り込み要因】
BUS Master にて BUS エラー（MHRESP = 1b）が発生

【割り込みクリア】
以下のレジスタに 1b ライトすることで割り込みクリアされます。
AHB Bridge Register　INT_STATUS Register (offset: 204h) bit [0] (AHB_INT)

32.4.2.2　U2H_OHCI_INT アサート要因と制御

【レジスタの割り込みイネーブル制御】

以下のレジスタの割り込みイネーブルを有効 (1b) にすることで、割り込み要因発生時にアサートします。

AHB Bridge Register　INT_ENABLE Register (offset: 200h) bit [1] (USBH_INTAEN)

OHCI Operational Register　HcInterruptEnable Register (offset: 010h) bit [31], bit [6:0] (注)

注 .　アサート要因として必要なビットを Enable にしてください。

【割り込み要因】

割り込み要因		割り込みイネーブル設定が必要なレジスタ							
		USBH_INTAEN	HcInterruptEnable						
			bit [31]	bit [6]	bit [5]	bit [3]	bit [2]	bit [1]	bit [0]
			MIE	RHSCE	FNOE	ROE	SFE	WDHE	SOE
1	Device 接続を検出	○	○	○					
2	Device 切断を検出	○	○	○					
3	Port Power を OFF（過電流検出は含まない）	○	○	○					
4	USB 転送で Babble エラーを検出	○	○	○					
5	Resume 完了	○	○	○					
6	過電流検出	○	○	○					
7	Bus Reset 完了	○	○	○					
8	HcRhDescritorB Register DR ビット = 1b において、OHCI が「USB Operational」（HCFS[1:0] ビット = 10b）または「USB Suspend」（HCFS[1:0] ビット = 11b）になった	○	○	○					
9	Device 未接続状態（CCS ビット = 0b）で、OHCI HcRhPort Status レジスタ bit [0] (Clear Port Enable) に 1 ライトした場合	○	○	○					
10	Device 未接続状態（CCS ビット = 0b）で、OHCI HcRhPort Status レジスタ bit [1] (Set Port Enable) に 1 ライトした場合	○	○	○					
11	Device 未接続状態（CCS ビット = 0b）で、OHCI HcRhPort Status レジスタ bit [2] (Set Port Suspend) に 1 ライトした場合	○	○	○					
12	Device 未接続状態（CCS ビット = 0b）で、OHCI HcRhPort Status レジスタ bit [3] (Clear Suspend Status) に 1 ライトした場合	○	○	○					
13	Device 未接続状態（CCS ビット = 0b）で、OHCI HcRhPort Status レジスタ bit [4] (Set Port Reset) に 1 ライトした場合	○	○	○					
14	Device 接続状態（CCS ビット = 1b）で Port Power を OFF した場合	○	○	○					
15	HcFmNumber レジスタ bit [15:0] (Frame Number) の MSB が変化	○	○		○				
16	Device からの RemoteWakeup 信号 (Resume 信号) を検出	○	○			○			
17	HccaFrameNumber が更新（SOF を送信したとほぼ同義）	○	○				○		
18	転送 (エラー含む) が完了し、Host モジュールが HccaDoneHead を更新	○	○					○	
19	フレームに対して USB スケジュールオーバランが発生	○	○						○

【割り込みクリア】

割り込み要因に従い、以下のレジスタの該当ビットに 1b ライトすることで割り込みクリアされます。

OHCI Operational Register　HcInterruptStatus Register (offset: 00Ch) bit [6:0]

32.4.2.3　U2H_EHCI_INT アサート要因と制御

【レジスタの割り込みイネーブル制御】

以下のレジスタの割り込みイネーブルを有効 (1b) にすることで、割り込み要因発生時にアサートします。

AHB Bridge Register　INT_ENABLE Register (offset: 200h) bit [2] (USBH_INTBEN)

EHCI Operational Register　USBINTR Register (offset: 128h) bit [17:16], bit [5:0]（注）

注 .　アサート要因として必要なビットを Enable にしてください。

また必要に応じて、以下のレジスタの該当ビットを制御してください。

EHCI Operational Register　USBCMD Register (offset: 120h) bit [15], bit [6]

【割り込み要因】

割り込み要因		割り込みイネーブル設定が必要なレジスタ									
		USBH_INTBEN	USBCMD		USBINTR						
			bit [15]	bit [6]	bit [17]	bit [16]	bit [5]	bit [3]	bit [2]	bit [1]	bit [0]
			Per-Port Change Event	Doorbell	Port-1 Change Event		Async Advance	Frame List Rollover	Port Change	USB ERRINT	USB INT
1	Device接続を検出	○							○		
2	Device切断を検出	○							○		
3	過電流検出	○							○		
4	DeviceからのRemoteWakeup信号（Resume信号）を検出	○							○		
5	USBバスのBabble状態を検出	○							○		
6	qTD IOC = 1b のUSB転送が正常終了	○									○
7	Short Packetを受信	○									○
8	USB転送がエラーで完了（3回転送Retry失敗、Babbleエラー検出、STALL受信）	○								○	
9	USBCMD Register bit [6] (Interrupt on Async Advance Doorbell) = 1b 状態下でQHの処理が正常完了	○		○			○				
10	FRINDEX Register FrameIndexビットが最大値から000hに戻った（ロールオーバ検出）	○						○			
11	Port Change Detectイベント（割り込み要因1～5）検出	○	○			○					

【割り込みクリア】

割り込み要因に従い、以下のレジスタの該当ビットに 1b ライトすることで割り込みクリアされます。

EHCI Operational Register　USBSTS Register (offset: 124h) bit [16], bit [5:0]

32.4.2.4　U2H_WAKEON_INT アサート要因と制御

【レジスタの割り込みイネーブル制御】

以下のレジスタの割り込みイネーブルを有効 (1b) にすることで、割り込み要因発生時にアサートします。

AHB Bridge Register　INT_ENABLE Register (offset: 200h) bit [4] (WAKEON_INTEN)

EHCI Operational Register　PORTSC1 Register (offset: 164h) bit [22:20]（注）

注 .　アサート要因として必要なビットを Enable にしてください。

【割り込み要因】

割り込み要因		割り込みイネーブル設定が必要なレジスタ			
		WAKEON_INTEN	PORTSC		
			bit [22]	bit [21]	bit [20]
			WKOC_E	WKDSCNNT_E	WKCNNT_E
1	Device 接続を検出	○			○
2	Device 切断を検出	○		○	
3	過電流検出	○	○		
4	Device からの RemoteWakeup 信号（Resume 信号）を検出	○			

【割り込みクリア】

以下のレジスタに 1b ライトすることで割り込みクリアされます。

AHB Bridge Register　INT_STATUS Register (offset: 204h) bit [4] (WAKEON_INT)

32.4.2.5　U2H_OBINT アサート要因と制御

【レジスタの割り込みイネーブル制御】

以下のレジスタの割り込みイネーブルを有効 (1b) にすることで、割り込み要因発生時にアサートします。

AHB Bridge Register　INT_ENABLE Register (offset: 200h) bit [3] (UCOM_INTEN)

UCOM Register　OTG-BC Interrupt Enable Register (offset: 808h) bit [27:24], bit [18:16], bit [12:8], bit [3:0]（注）

注 .　アサート要因として必要なビットを Enable にしてください。

【割り込み要因】

割り込み要因		割り込みイネーブル設定が必要なレジスタ		
		UCOM_INTEN	OTG-BC Interrupt Enable	
			bit [17]	bit [16]
			DPMONCHG_EN	DMMONCHG_EN
1	DP 端子が変化	○	○	
2	DM 端子が変化	○		○

割り込み要因		割り込みイネーブル設定が必要なレジスタ		
		UCOM_INTEN	OTG-BC Interrupt Enable	
			bit [6]	bit [4]
			CHGDETCHG1_EN	PDDETCHG1_EN
1	Portable Device 検出信号変化	○		○
2	Charging Port 検出信号変化	○	○	

割り込み要因		割り込みイネーブル設定が必要なレジスタ				
		UCOM_INTEN	OTG-BC Interrupt Enable			
			bit [3]	bit [2]	bit [1]	bit [0]
			VBSTAINT_EN	VBSTACHG_EN	OCINT_EN	IDCHG_EN
1	VBUSIN 端子が、VBUS Control Register bit[21] (VBLVL) 設定値と等しくなったことを検出	○	○			
2	VBUSIN 端子が変化	○		○		
3	過電流を検出（OVRCUR 端子の 1→0b 変化を検出）	○			○	
4	OTG_ID 端子が変化	○				○

【割り込みクリア】

割り込み要因に従い、以下のレジスタの該当ビットに 1b ライトすることで割り込みクリアされます。

UCOM Register　OTG-BC Interrupt Status Register (offset: 804h) bit [27:24], bit [18:16], bit [12:8], bit [3:0]

32.4.2.6 CC_INT アサート要因と制御

【レジスタ割り込みイネーブル制御と割り込み要因】

CC_STATUS Register bit [31] の設定により割り込み要因を変更できます。

bit[31] = 0 の時 : **「表 32.56 Peripheral 接続判定条件」**と一致した場合、割り込みを発生

bit[31] = 1 の時 : bit [28:24] の設定値に従い、割り込みを発生

注 . CCn_Rd, CCn_Ra (n = 1, 2) 端子のチャタリングにより、意図せず割り込み（CC_INT）が発生する場合があります。
割り込みが発生した場合は CCn_Rd, CCn_Ra 端子の入力状態を読み出し、所望の値となっていることを確認してから割り込み処理を開始してください。

【割り込みクリア】

bit[31] = 0 の時 :

CCn_Rd, CCn_Ra 端子の入力が**「表 32.56 Peripheral 接続判定条件」**と不一致の場合、割り込みをクリア

bit[31] = 1 の時 :

bit[29] を 1 に設定することで割り込みをクリア

32.4.3 割り込み信号のデアサートタイミング

割り込み要因のクリアを行うレジスタアクセスから、実際の割り込みのクリアまでの時間がかかることがあるため、レジスタクリアアクセス完了後から次の割り込みを認識するまでに、誤認識を行わない対策を行ってください。

32.5 低消費電力機能

本モジュールの低消費電力制御は以下の２つの方法があります。

1. USBPHY の SUSPENDM/SLEEPM 端子を制御する。
2. クロックゲーティングで Host 制御部／ Peripheral Controller へのクロックを停止する。

32.5.1 USBPHY の SUSPENDM/SLEEPM 端子制御

USBPHY の SUSPENDM/SLEEPM 端子をアサートすることにより、以下の低消費電力効果が期待できます。

- USBPHY 自体の低消費電力化
- USBPHY からのクロック停止による本モジュール自体の低消費電力化

「32.1.2.5 Suspend 拡張機能」の通り、デフォルト設定では EHCI/OHCI を Suspend 状態にしても USBPHY の SUSPENDM/SLEEPM 端子はアサートしません。

「32.2.4.4 (6) Suspend Control Register (offset: 308h)」をご参照のうえ、当該レジスタを適切に制御願います。

32.5.2 クロックゲーティング機能制御

「32.2.4.4 (5) Register Enable/Clock Gating Control Register (offset: 304h)」および「32.3.1 クロックゲーティング仕様」ご参照のうえ、当該レジスタを適切に制御願います。

32.6 バッテリーチャージ機能

32.6.1 Charging Port 対応

Charging Port とは、Battery Charging 規格に準拠した電力供給を「する」側をさし、通常 Host が実装します。

なお Charging Port は、その機能によって以下のように大別されます。

表32.59 Charging Portの説明

種別	機能
CDP （Charging Downstream Port）	Battery Chargingに対応した電力供給が可能なDownstream Portです。 Portable Device検出し、Battery Chargingのhandshake完了後、通常のDevice connectシーケンスに遷移します（通常のHostとして動作します）。
DCP （Dedicated Charging Port）	Battery Chargingに対応した電力供給機能のみを提供するPortです。 通常のHost動作はしません。
SDP （Standard Downstream Port）	Battery Chargingに対応していない通常のDownstream Portです。 従来のUSB 2.0規格で定める範囲で電力供給します。 通常のHostとして動作します。

以下では、Host コントローラを Charging Port として使用する場合の制御例を説明します。

32.6.1.1 CDP モードで使用する場合

Host コントローラを CDP モードで使用する場合の制御例を以下に示します。

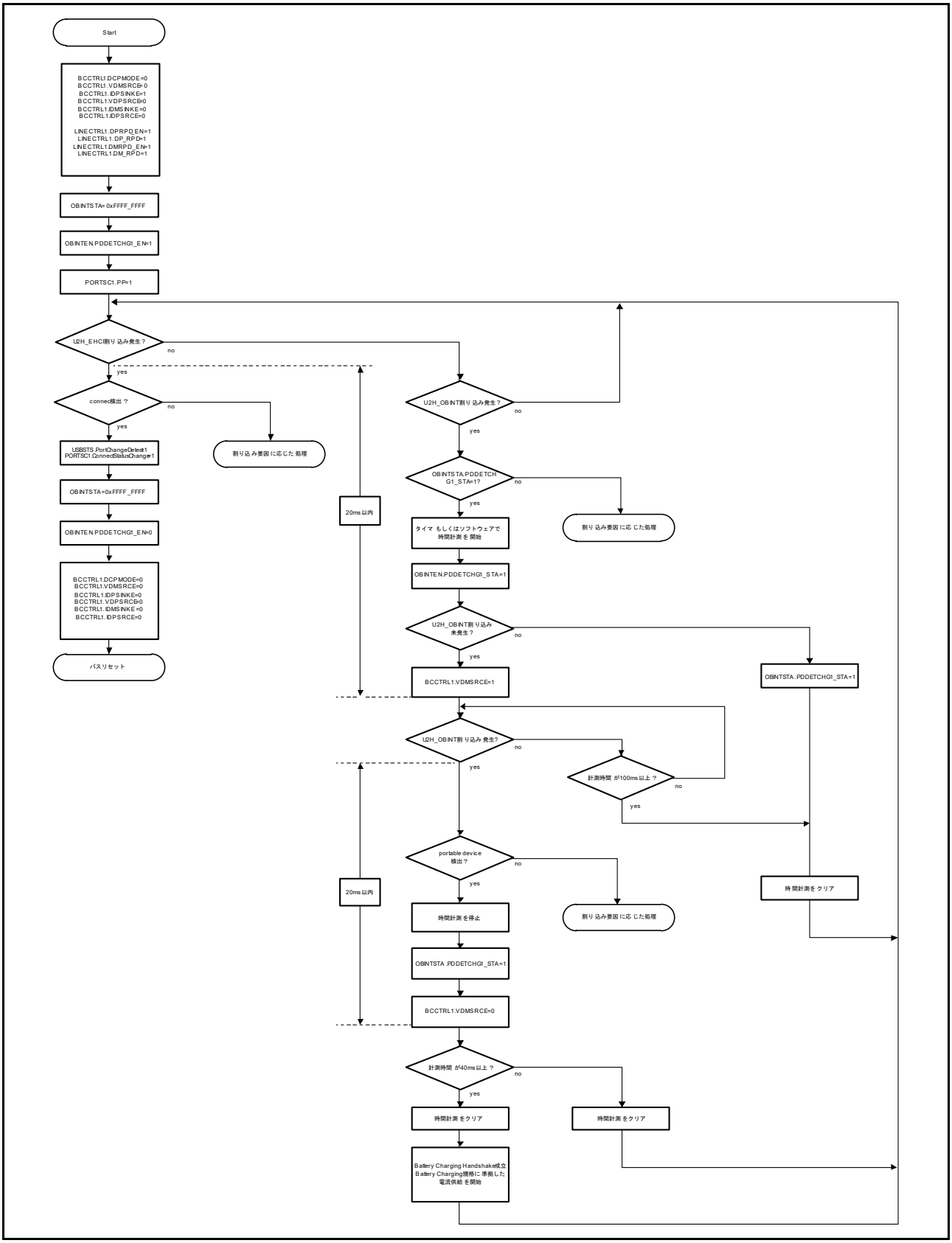


図 32.1 CDP 制御フロー例

32.6.1.2 DCP モードで使用する場合

Host コントローラを DCP モードで使用する場合、以下を設定してください。
BCCTRL1=0x0300_0020
LINECTRL1=0x002A_0000

32.6.2 Portable Device 対応

Portable Device とは、Battery Charging 規格に準拠した電力供給を「される（要求する）」側をさし、通常 Peripheral が実装します。

Peripheral コントローラを Portable Device として使用する場合の制御例を示します。

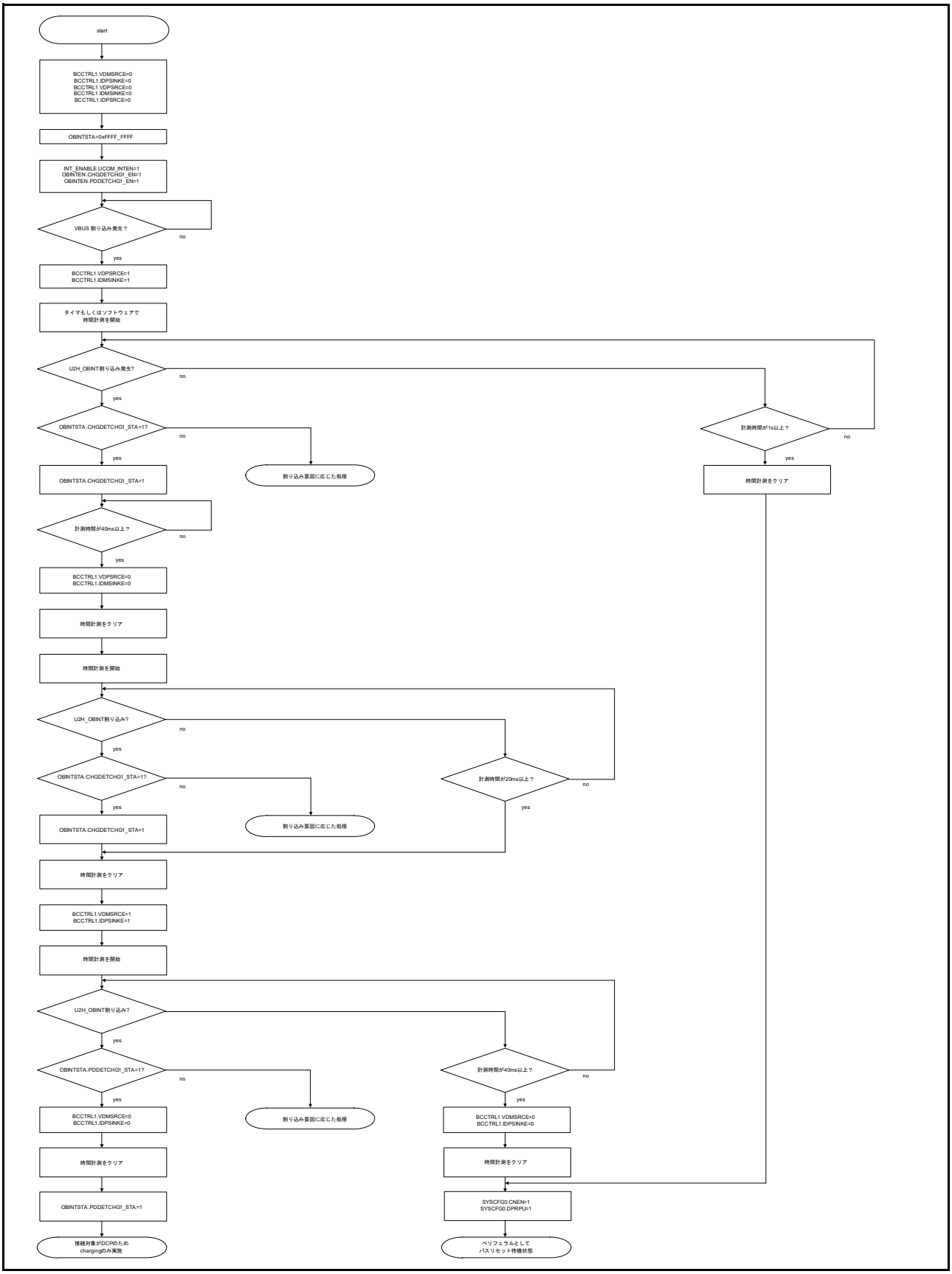


図 32.2 Portable Device 制御フロー例

32.7 バスマスタの説明

32.7.1 BUS MASTER 機能仕様

32.7.1.1 対応する BUS MASTER 機能

BUS MASTER としての機能	状態
ERROR応答受信後の残りのバースト	転送は中断しません
1 Kbyte 境界の処理	1 Kbyte 境界をまたぐ固定長バースト（INCRx）は行いません。

32.7.1.2 発行するバス転送方式

MHTRANS[1:0]	MHSIZE[2:0]	MHWRITE	MHBURST[2:0]	応答	備考
IDLE (00b)	—	—	—	—	—
BUSY (01b)	—	—	—	—	発行しません。
NONSEQ (10b)	32bit (010b)	WRITE	SINGLE INCR4 INCR8 INCR16	OKAY/ ERROR	32ビットの転送を発行します。 応答のERRORは割り込みで通知し、転送は中断しません。
		READ			
	8bit (000b) 16bit (001b)	WRITE	SINGLE	OKAY/ ERROR	8ビット／16ビットの転送はSINGLEのみ発行します。 応答のERRORは割り込みで通知します。
	上記以外	—	—	—	発行しません。
SEQ (11b)	32bit (010b)	WRITE	INCR4 INCR8 INCR16	OKAY/ ERROR	32ビットの転送を発行します。 応答のERRORは割り込みで通知し、転送は中断しません。
		READ		OKAY/ ERROR	
	上記以外	—	—	—	発行しません。

32.7.1.3 対応レスポンス

応答の種類	対応	備考
OKAY	可能	対応します。
ERROR	可能	応答のERRORは割り込みで通知し、転送の中断（Early Burst Termination）はしません。

32.7.1.4 プロテクション制御情報

MHPROT[3:0] は、AHB_BUS_CTR Register (offset: 208h) PROT_TYPE ビット (bit [15:12]) で値を設定できます。

また AHB_BUS_CTR Register PROT_MODE ビット (bit8) を設定することで、EHCI/OHCI の DMA 転送の際に最後のデータ転送のみノンバッファ転送とし、それ以外のデータ転送はバッファ転送とすることができます。

32.7.1.5 最大バースト長

最大バースト長は AHB_BUS_CTR Register (offset: 208h) MAX_BURST_LEN ビット (bit [1:0]) で SINGLE、INCR4、INCR8、INCR16 から選択できます。最大バースト長はリード／ライト共通の値となります。

32.7.1.6 転送データの境界について

バースト転送中に MHADDR[31:0] が 1 Kbyte 境界を超える事はありません。また AHB_BUS_CTR Register (offset: 208h) ALIGN_ADDRESS ビット (bit [5:4]) を設定することで、バースト転送のアドレス境界を 16 byte、32 byte、64 byte に設定可能です。

32.7.1.7 固定長 INCR バースト転送の開始アドレスについて

固定長 INCR バースト転送を開始するときの MHADDR の下位ビットの値は、下記の表の値となります。

ALIGN_ADDRESS設定	固定長INCRバーストの開始アドレス		
	INCR4	INCR8	INCR16
00b （1 Kbyte 境界でアライン）	MHADDR[9:0] = 000h 004h 008h 00Ch 010h : 3D0h 3D4h 3D8h 3DCh 3E0h 3E4h 3E8h 3ECh 3F0h	MHADDR[9:0] = 000h 004h 008h 00Ch 010h : 3C8h 3CCh 3D0h 3D4h 3D8h 3DCh 3E0h	MHADDR[9:0] = 000h 004h 008h 00Ch 010h : 3B8h 3BCh 3C0h
01b （16 byte 境界でアライン）	MHADDR[3:0] = 0h	-- （発行しない）	-- （発行しない）
10b （32 byte 境界でアライン）	MHADDR[4:0] = 00h 04h 08h 0Ch 10h	MHADDR[4:0] = 00h	-- （発行しない）
11b （64 byte 境界でアライン）	MHADDR[5:0] = 00h 04h 08h 0Ch 10h 14h 18h 1Ch 20h 24h 28h 2Ch 30h	MHADDR[5:0] = 00h 04h 08h 0Ch 10h 14h 18h 1Ch 20h	MHADDR[5:0] = 00h

32.8 過電流制御と VBUS 制御

32.8.1 OVRCUR/VBUSEN 端子

USB ポートの Overcurrent 検出および Port Power (VBUS) 制御は、本モジュールに接続する外部電源 IC で行います。

本モジュール端子	入出力	レベル	説明
OVRCURI	入力	L	Overcurrent 状態を検出した
		H	Overcurrent 状態ではない
VBUSEN	出力	L	Port Power (VBUS) OFF
		H	Port Power (VBUS) ON

32.8.2 Overcurrent 検出タイマ設定

本モジュールは過電流機能サポート設定時、一定時間 OVRCUR 端子がアサート（0b）状態が続くと、Overcurrent 発生と判断します。

この「一定時間（以降、「Overcurrent 検出時間」とします」は、以下のレジスタにより設定します。

レジスタ	Overcurrent Detection/Sleep Timer Setting Register (offset: 310h)
ビット	bit [19:0] (TIMER_OC[19:0])
初期値	3_0D40h

Overcurrent 検出時間は、上記レジスタ設定値を「1bit あたり内部バスクロック (Bφ) 周期」で換算した時間になります。

従って、「使用される内部バスクロック (Bφ) 周波数」と「設定したい Overcurrent 検出時間」に合わせ、上記レジスタを初期設定時に設定してください。

32.8.3 Port Power (VBUS) 制御仕様

VBUSEN は EHCI/OHCI Operational レジスタの Port Power ビットもしくは、VBUS Control Register の VBOUT ビットで制御できます。VBUSEN をどちらのビットで制御するかは、汎用入出力ポートの PMODEPFS レジスタで決定します。

以下で EHCI/OHCI Operational レジスタの Port Power ビットによる制御例を説明します。

Situation		Register		bit
EHCI 制御時		PORTSC1 (offset: 164h)		bit12 (PP)
OHCI 制御時	Global 制御時（注1）	ON 設定時	HcRhStatus Register (offset: 050h)	bit16 (Set Global Power)
		OFF 設定時		bit0 (Clear Port Status)
	Selective 制御時（注2）	ON 設定時	HcRhPortStatus1 Register (offset: 054h)	bit8 (Set Port Power)
		OFF 設定		bit9 (Clear Port Power)

注1. 「Global 制御時」とは、以下のレジスタ設定状態をさします。
HcRhDescriptorA Register (offset: 048h) bit8 (PSM) = 0b
　または
HcRhDescriptorA Register (offset: 048h) bit8 (PSM) = 1b かつ HcRhDescriptorB Register (offset: 04Ch) bit17 (PPCM[1]) = 0b

注2. 「Selective 制御時」とは、以下のレジスタ設定状態をさします。
HcRhDescriptorA Register (offset: 048h) bit8 (PSM) = 1b かつ HcRhDescriptorB Register (offset: 04Ch) bit17 (PPCM[1]) = 1b

ただし、以下に示すレジスタ設定を行うと、OVRCUR 端子の状態に関係なく、VBUSEN 端子は常にアサート (1b) され、Port Power (VBUS) は ON 状態となります。

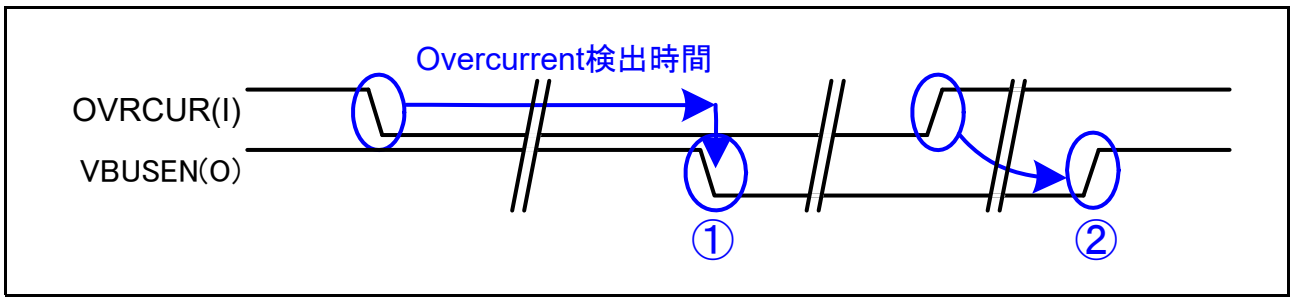
ご使用するシステムが常に VBUS ON の必要性がある場合など、必要に応じて適宜設定してください。

EHCI Operational	OHCI Operational				端子動作
HCSPARAMS (offset: 104h)	HcRhDescriptorA (offset: 048h)			HcRhDescriptorB (offset: 04Ch)	
PPC (bit4)	NOCP (bit12)	NPS (bit9)	PSM (bit8)	PPCM[1] (bit17)	OVRCUR 端子アサート (0b) 時
0	—	—	—	—	1b 固定
—	1	—	—	—	1b 固定
—	—	1	—	—	1b 固定
1	0	0	0	—	0b
			1	0	
				1	

32.8.4　Overcurrent 検出・復帰タイミングチャート

Overcurrent 検出および復帰時の OVRCUR 端子／ VBUSEN 端子のタイミングチャートを以下に示します。

なお「32.8.3 Port Power (VBUS) 制御仕様」に示した Port Power をアサート固定状態にするレジスタ設定変更は実施していないものとします。



① OVRCUR 端子が Overcurrent 検出時間アサート (0b) されると、本モジュールは Overcurrent 発生と判断し、VBUSEN 端子をデアサート (0b) します。

② Overcurrent 状態が解決され、OVRCUR 端子がデアサート (1b) されたことを確認してから、「32.8.3 Port Power (VBUS) 制御仕様」に記載した Port Power ビットを 1b セットし、Port Power (VBUS) を ON にします。

注 .　Port Power ビットセットは、必ず OVRCUR 端子がデアサートしていることを確認してから実施してください。

32.9 設定手順

32.9.1 ホスト／ペリフェラル共通設定シーケンス

ホスト／ペリフェラル使用時、共通で設定が必要なシーケンスを以下に示します。

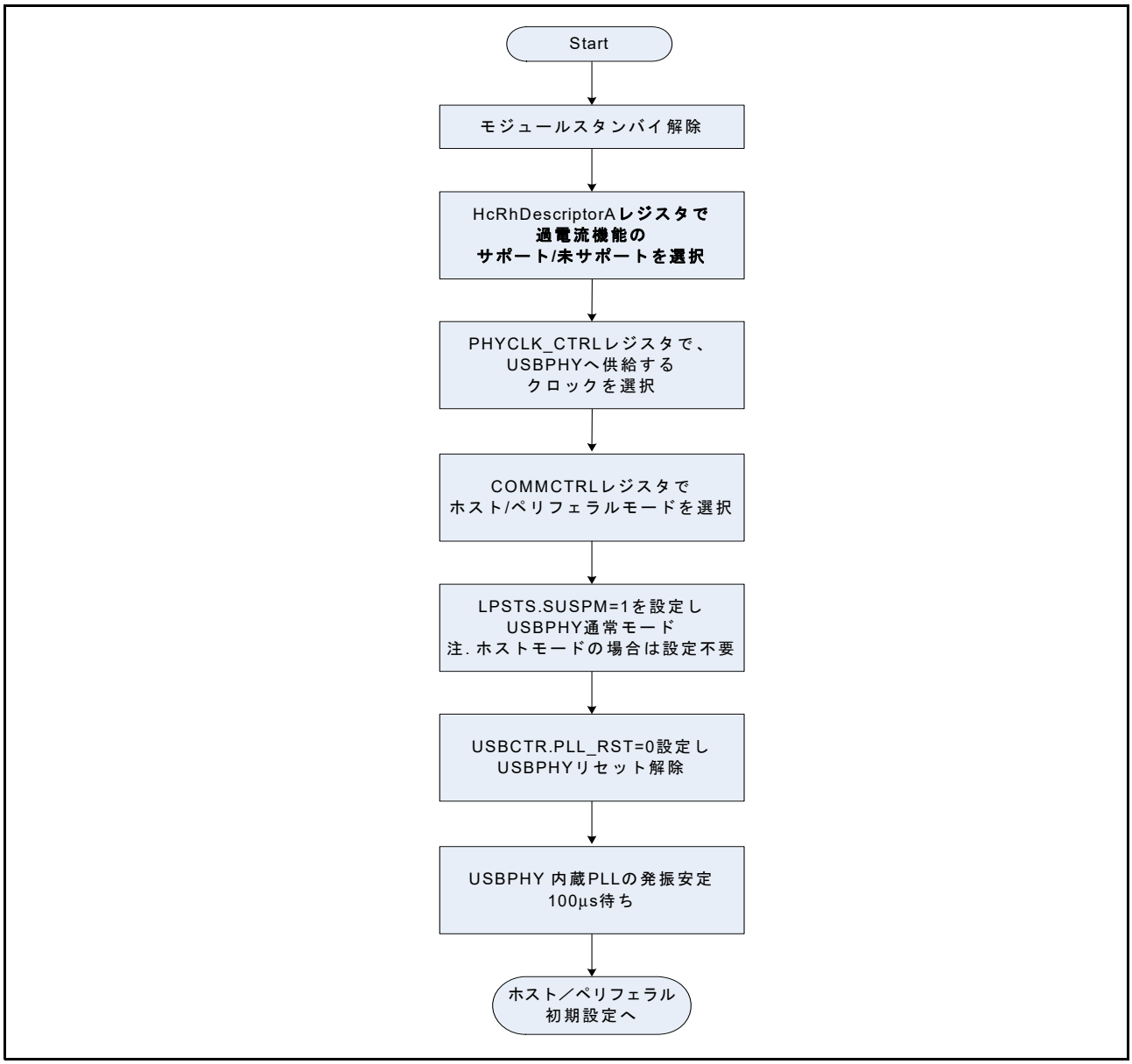


図 32.3 ホスト／ペリフェラル共通設定シーケンス

32.9.2 初期設定シーケンス

Host モード時の初期設定シーケンスを以下に示します。

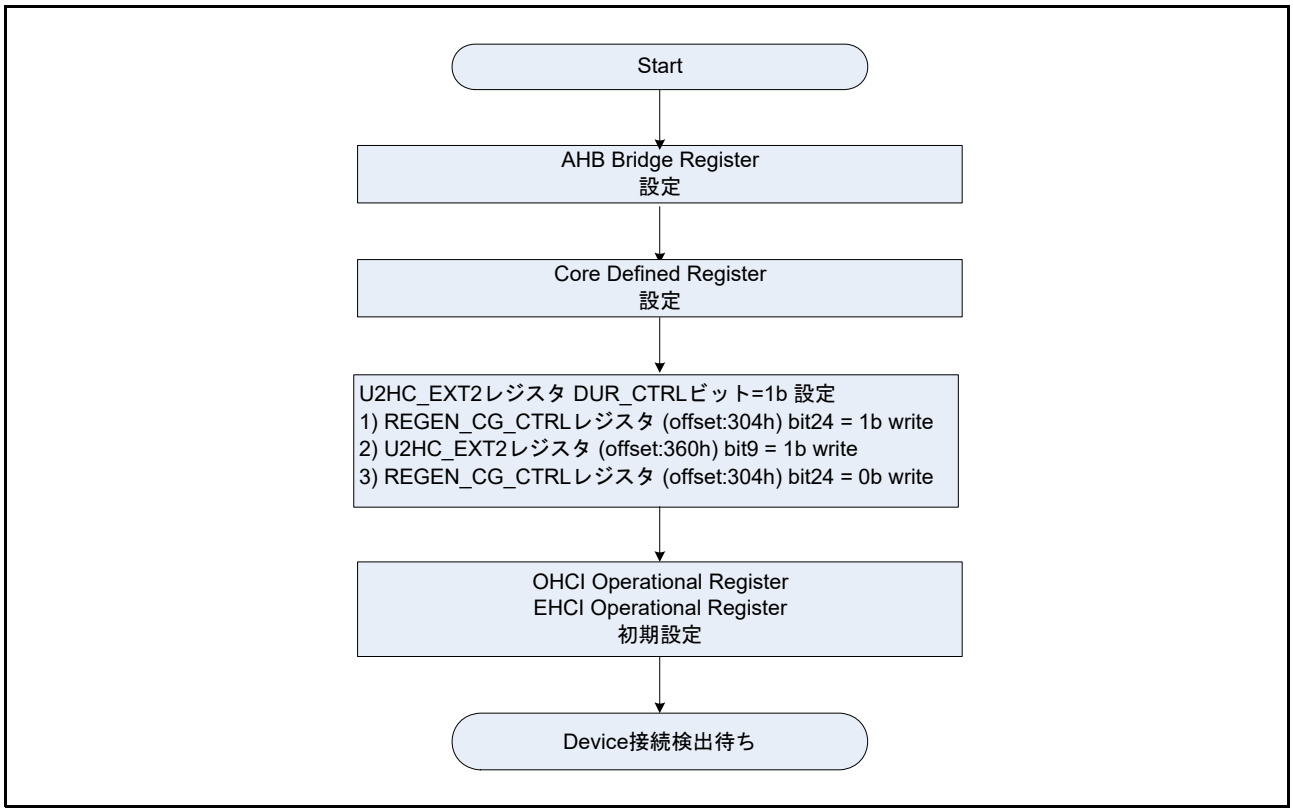


図 32.4 初期設定シーケンス

32.9.3 異常発生時の対応フロー

本モジュール動作中に正常フローへの復帰が困難な異常状態に陥った場合、以下の手順で各リセットを実行してください。

【EHCI 動作中に異常発生したケース】

1) EHCI Operational Register USBCMD Register (offset: 120h) HCRESET ビット (bit1) に 1b をライトし、EHCI ソフトウェアリセットを実行してください。
2) EHCI Operational Register を再度初期設定してください。

【OHCI 動作中に異常発生したケース】

1) OHCI Operational Register HcCommandStatus Register (offset: 008h) HCR ビット (bit 0) に 1b をライトし、OHCI ソフトウェアリセットを実行してください。
2) OHCI Operational Register を再度初期設定してください。

32.10 CCn_Rd、CCn_Ra 端子

32.10.1 CCn_Ra、CCn_Rd 端子使用時の注意事項

CCn_Ra, CCn_Rd (n = 1, 2) 端子使用時は、USB 規格に見合ったプルアップ抵抗 Rp、プルダウン抵抗 Rd と、Type-C コネクタ CC 端子の抵抗値状態 (電圧状態) を判定する外部回路を実装し、判定結果を CCn_Ra、CCn_Rd 端子に入力してください。

判定しきい値を表 32.60 に示します。

表32.60　CCn_Ra、CCn_Rd 入力判定しきい値

USB Type-C VBUS 供給条件	CCn_Rd しきい値 (注)	CCn_Ra しきい値 (注)
Default USB Power (500mA@5V)	1.6V	0.2V
1.5A@5V	1.6V	0.4V
3.0A@5V	2.6V	0.8V

注.　電圧がしきい値以上の場合 high レベルを、しきい値未満の場合 low レベルを各 CCn_Ra、CCn_Rd 端子に入力してください。

32.11 注意事項

32.11.1 デバイス切断後の処置

デバイス切断が発生した場合、もしくはデバイス切断後、OHCI の Suspend 指示を実行した場合は、HcRhDescriptorA レジスタの NPS (bit9)、PSM (bit8)、HcRhDescriptorB レジスタ PPCM[1] (bit17) の確認を行い、レジスタ値に対応したフローを実行して下さい。

表 32.61　レジスタ設定値とフローの対応表

レジスタ値			対策フロー	
HcRhDescriptorA		HcRhDescriptorB	デバイス切断、もしくは suspend 実行後 4ms 以内に	
NPS (bit9)	PSM (bit8)	PPCM[1] (bit17)	フローを完了できる場合	フローを完了できない場合
0	1	1	フロー 1	フロー 5
0	1	0	フロー 2	フロー 6
0	0	—	フロー 2	フロー 6
1	1	1	フロー 3	フロー 7
1	1	0	フロー 4	フロー 8
1	0	—	フロー 4	フロー 8

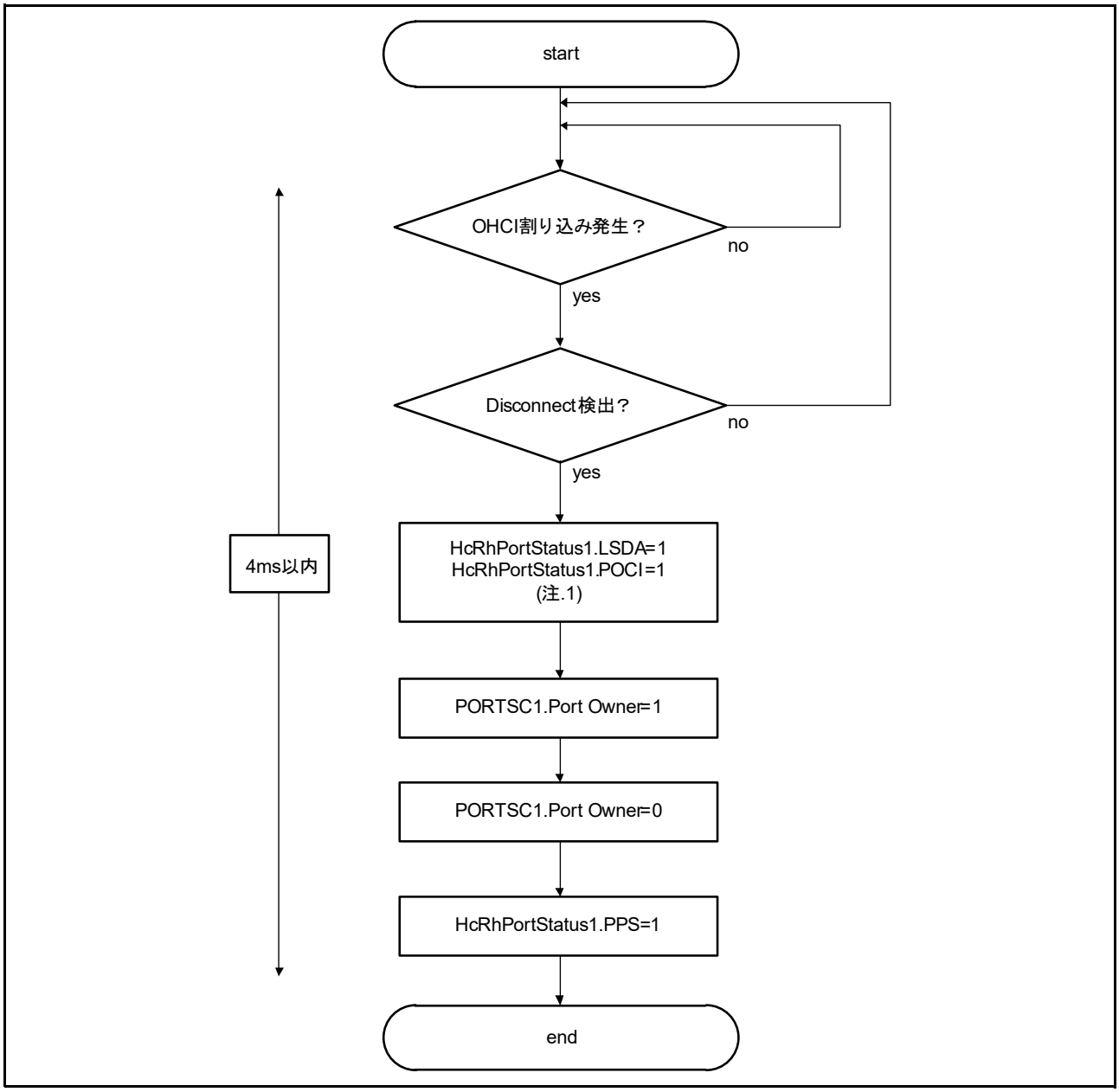

start
OHCI割り込み発生？
no
yes
Disconnect検出？
no
yes
4ms以内
HcRhPortStatus1.LSDA=1
HcRhPortStatus1.POCI=1
(注.1)
PORTSC1.Port Owner=1
PORTSC1.Port Owner=0
HcRhPortStatus1.PPS=1
end

図 32.5 フロー 1

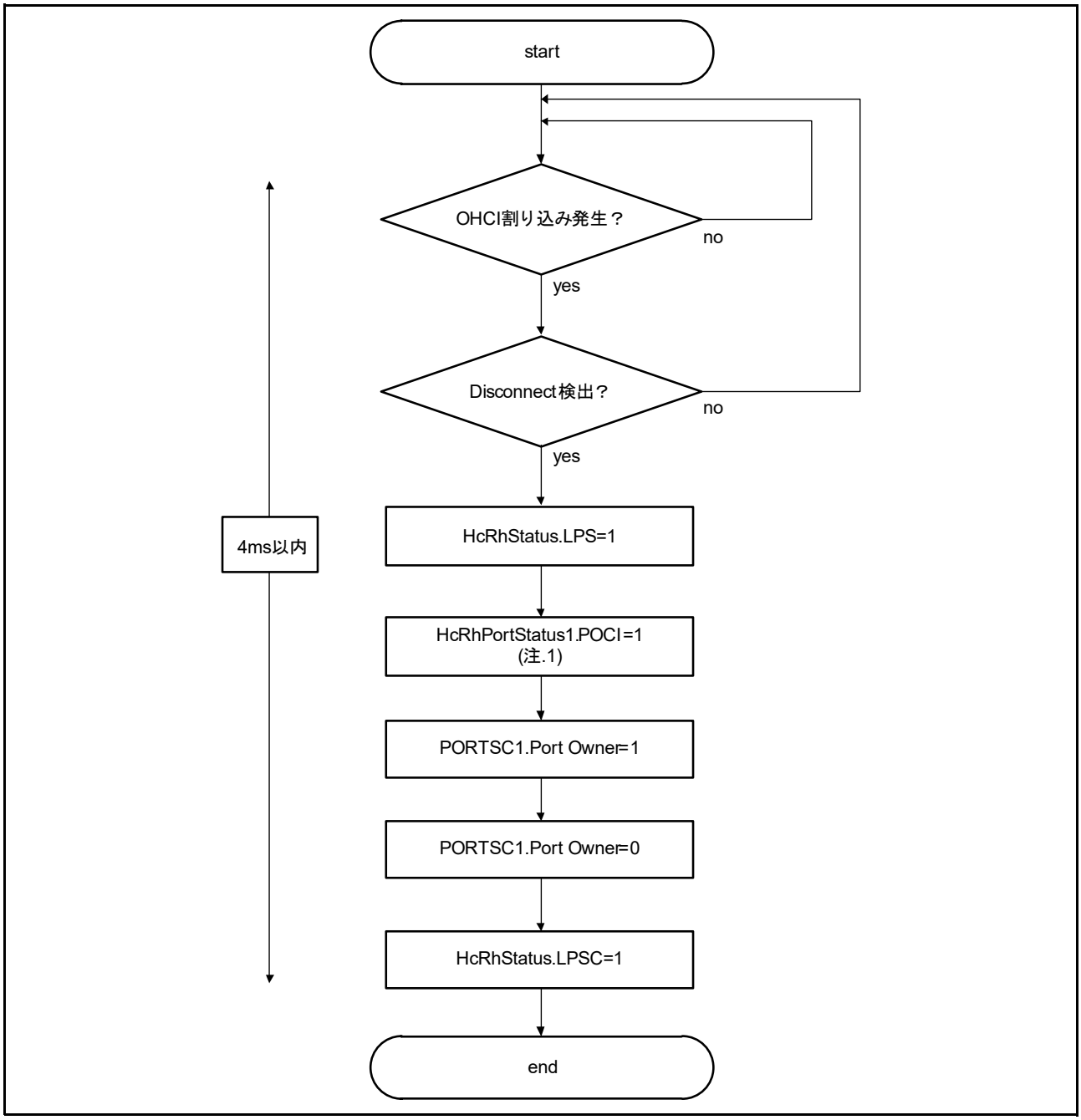

start
OHCI割り込み発生？
no
yes
Disconnect検出？
no
yes
4ms以内
HcRhStatus.LPS=1
HcRhPortStatus1.POCI=1
(注.1)
PORTSC1.Port Owner=1
PORTSC1.Port Owner=0
HcRhStatus.LPSC=1
end

図 32.6 フロー 2

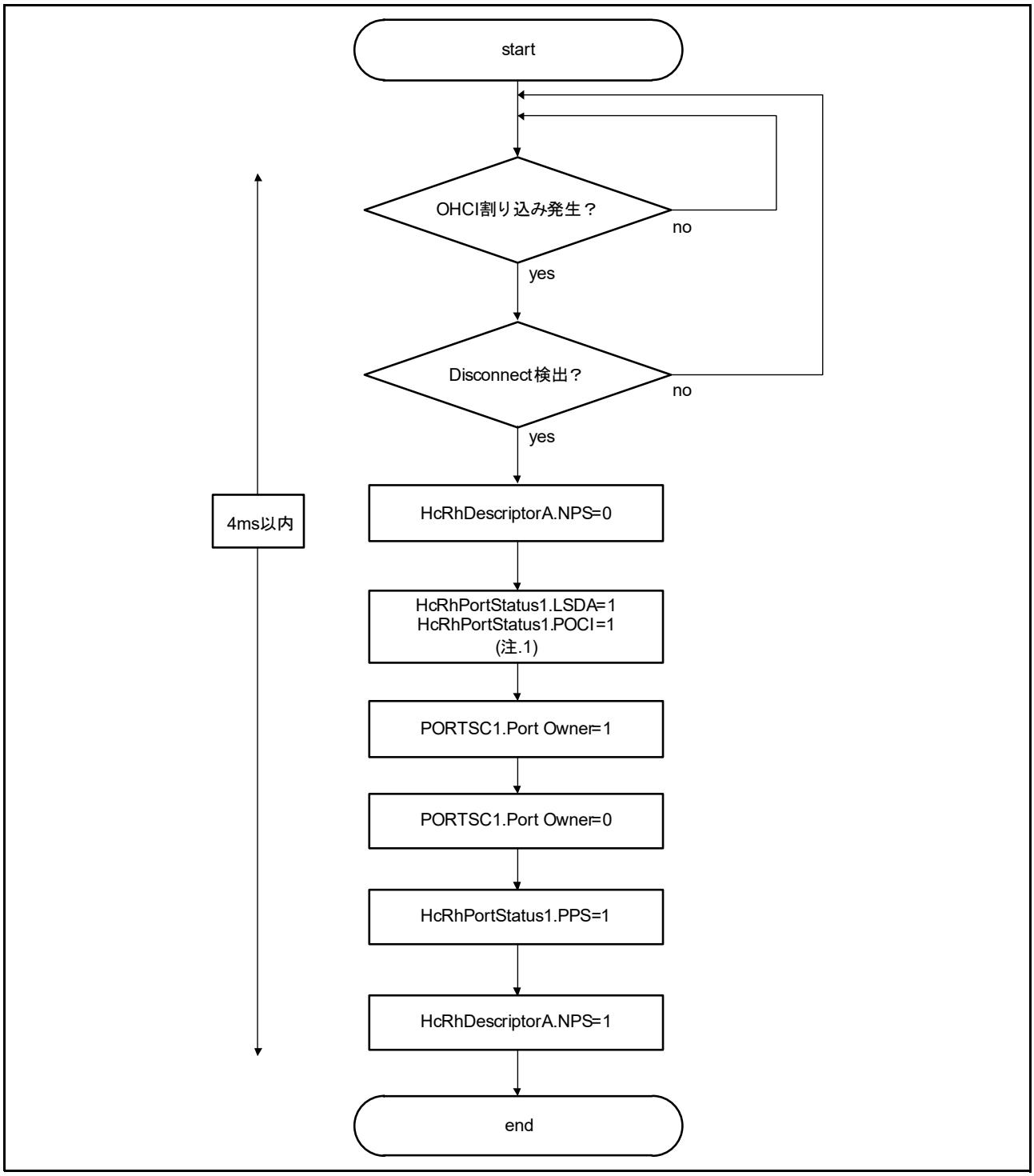

start
OHCI割り込み発生？
no
yes
Disconnect検出？
no
yes
4ms以内
HcRhDescriptorA.NPS=0
HcRhPortStatus1.LSDA=1
HcRhPortStatus1.POCI=1
(注.1)
PORTSC1.Port Owner=1
PORTSC1.Port Owner=0
HcRhPortStatus1.PPS=1
HcRhDescriptorA.NPS=1
end

図 32.7 フロー 3

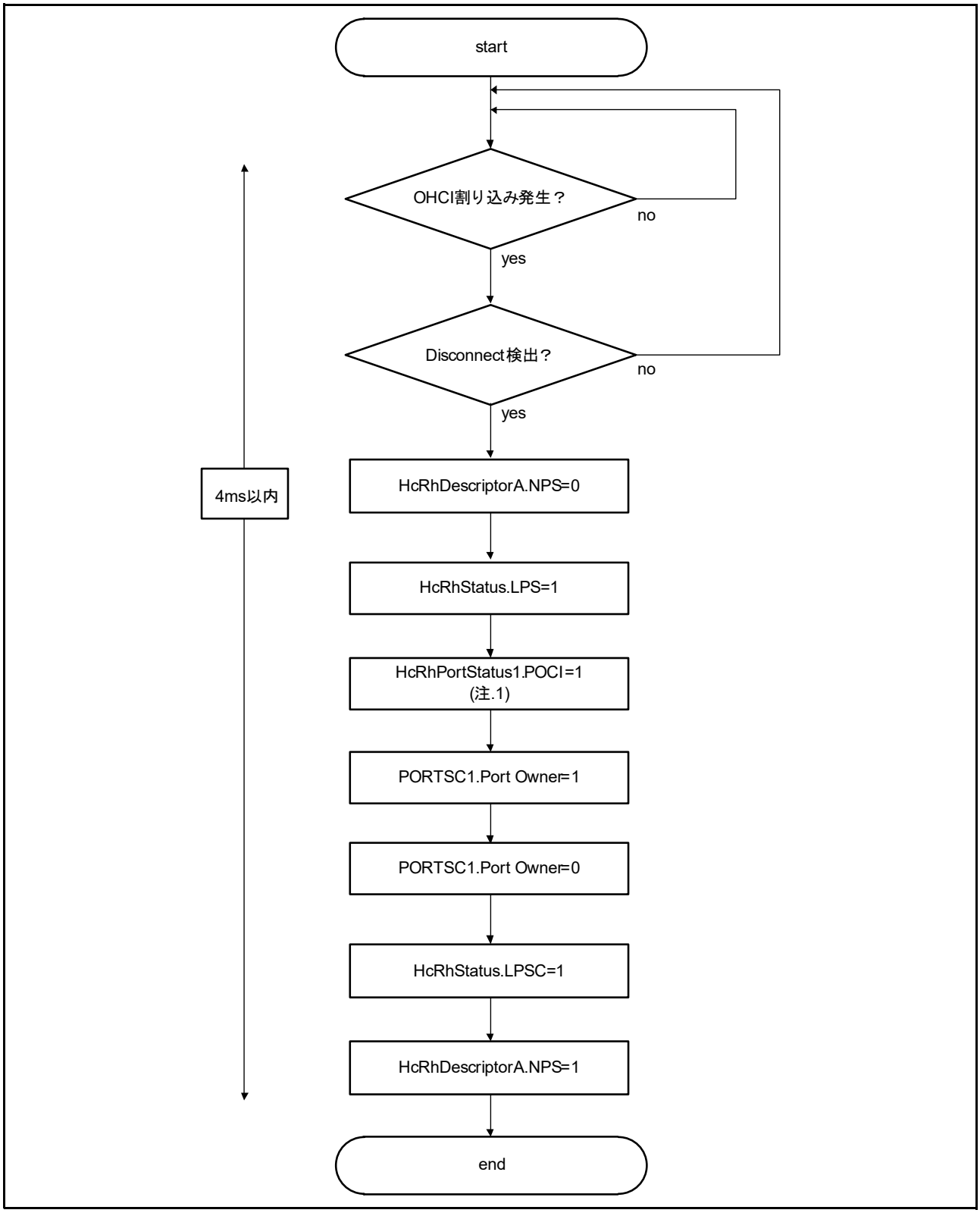


図 32.8 フロー 4

フロー 1、2、3、4 に対する注意事項

注 1. この設定によって HcInterruptStatus.RHSC ビットが 1 になり、OHCI 割り込みが発生します。
不要な割り込みのため要因 (RHSC 及び CSC) をクリアのみ行い、他の処理は行わないで下さい。
この時、HcRhPortStatus1 レジスタのポート状態を示すビットは以下です。
CCS = 0、PES = 0、CSC = 1、PESC = 0

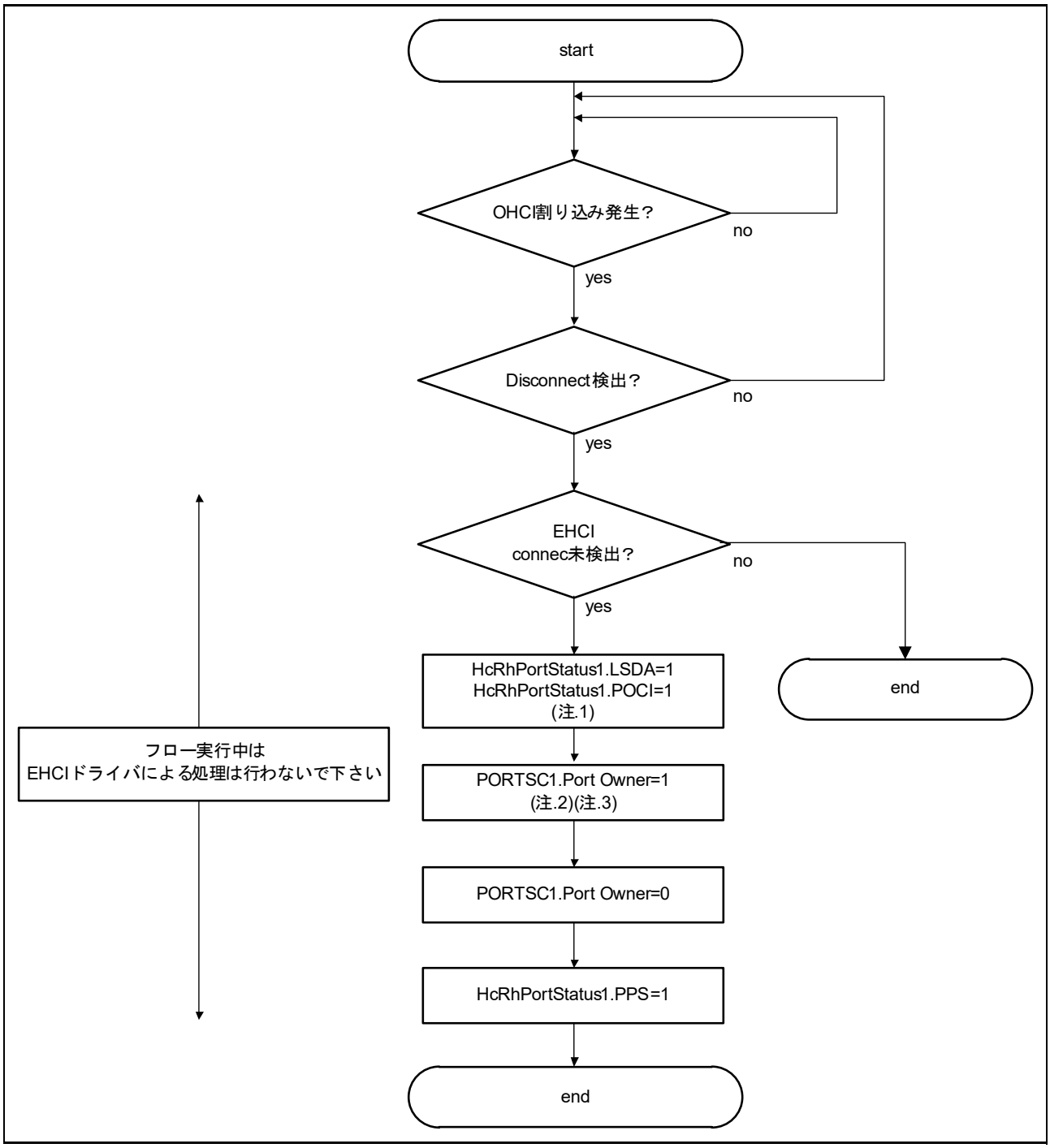

start
OHCI割り込み発生？
no
yes
Disconnect検出？
no
yes
EHCI
connec未検出？
no
yes
HcRhPortStatus1.LSDA=1
HcRhPortStatus1.POCI=1
(注.1)
end
フロー実行中は
EHCIドライバによる処理は行わないで下さい
PORTSC1.Port Owner=1
(注.2)(注.3)
PORTSC1.Port Owner=0
HcRhPortStatus1.PPS=1
end

図 32.9 フロー 5

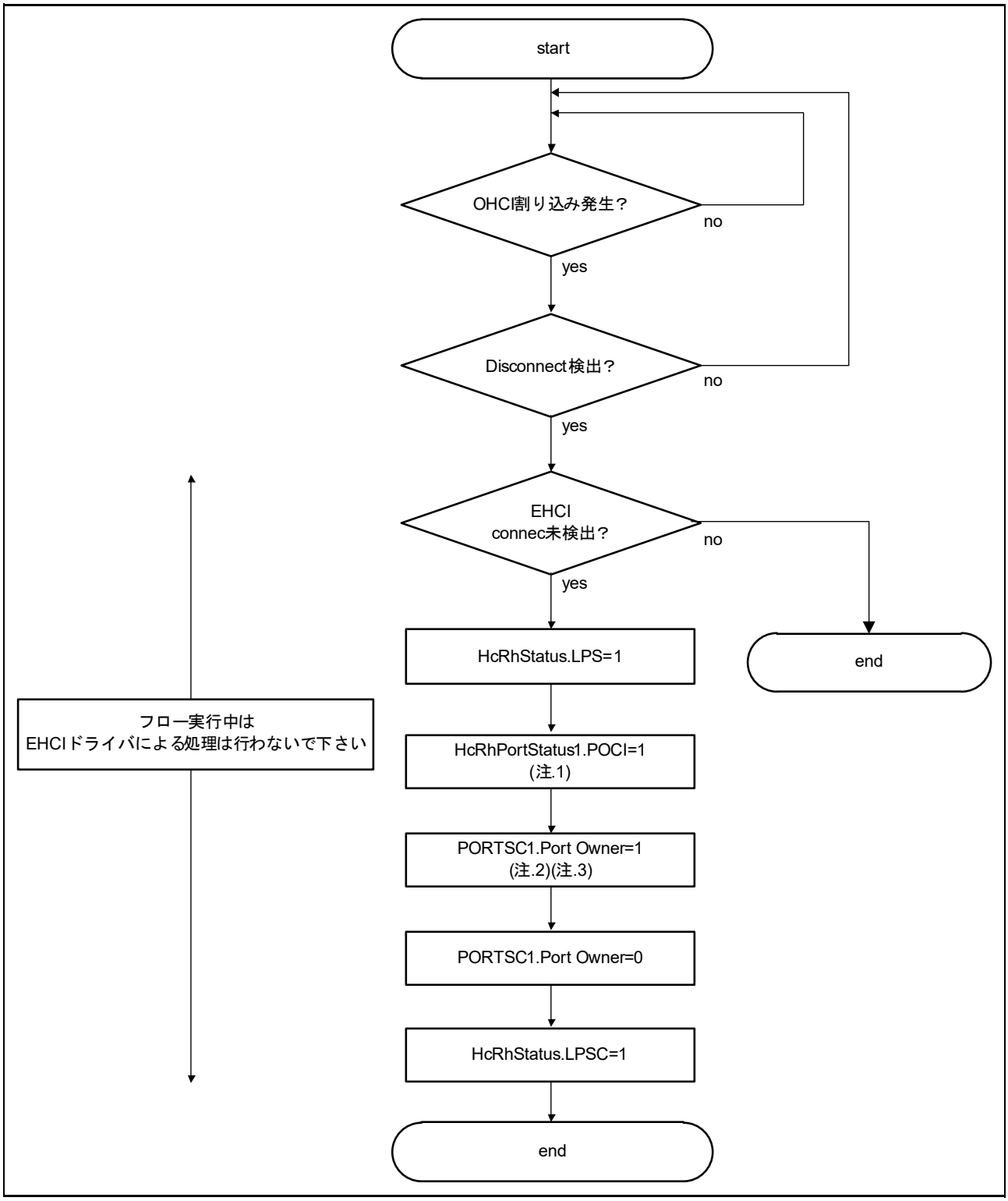

start
OHCI割り込み発生？
no
yes
Disconnect検出？
no
yes
EHCI
connec未検出？
no
yes
HcRhStatus.LPS=1
end
フロー実行中は
EHCIドライバによる処理は行わないで下さい
HcRhPortStatus1.POCI=1
(注.1)
PORTSC1.Port Owner=1
(注.2)(注.3)
PORTSC1.Port Owner=0
HcRhStatus.LPSC=1
end

図 32.10 フロー 6

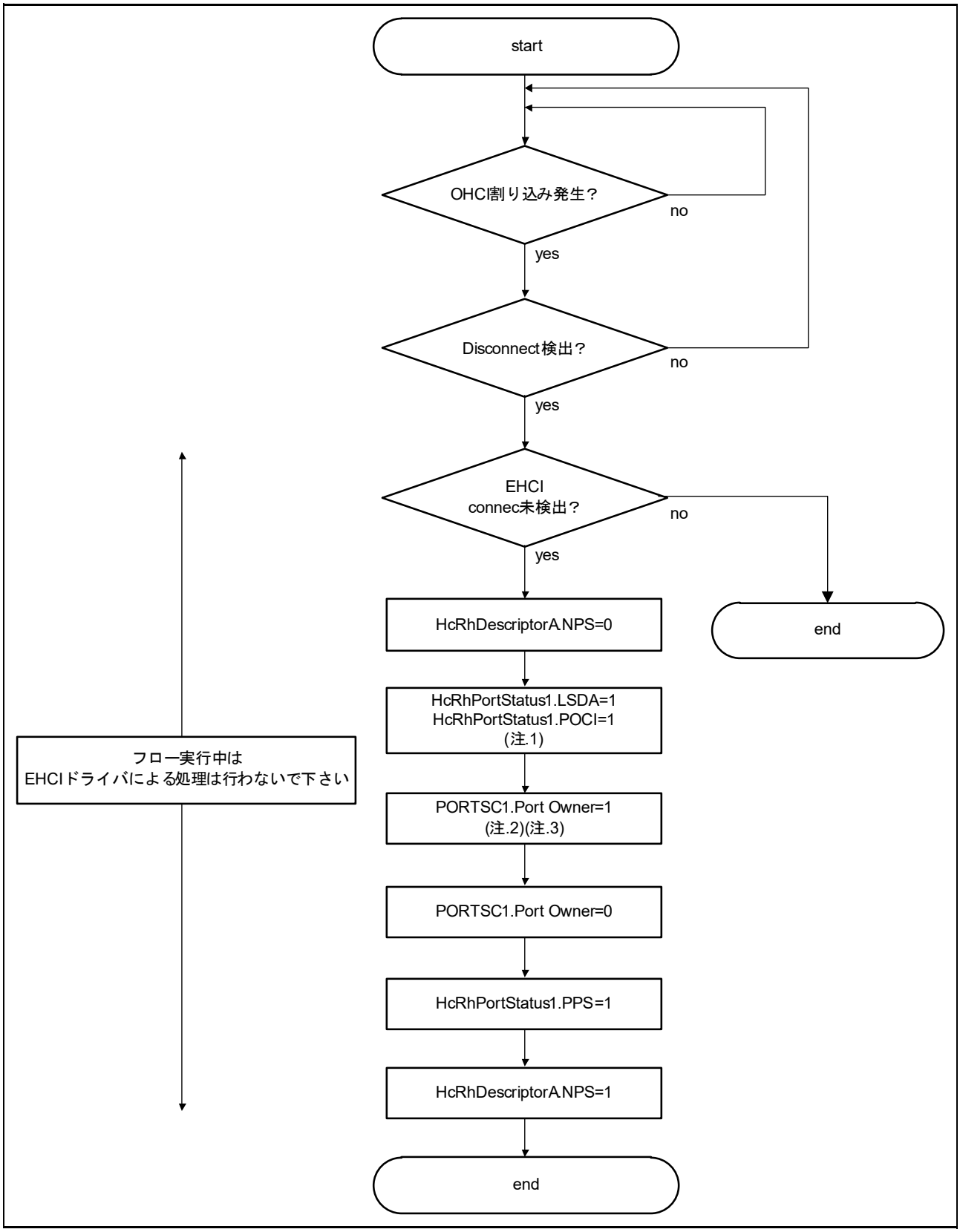

start
OHCI割り込み発生？
no
yes
Disconnect検出？
no
yes
EHCI
connec未検出？
no
yes
end
HcRhDescriptorA.NPS=0
HcRhPortStatus1.LSDA=1
HcRhPortStatus1.POCI=1
(注.1)
PORTSC1.Port Owner=1
(注.2)(注.3)
PORTSC1.Port Owner=0
HcRhPortStatus1.PPS=1
HcRhDescriptorA.NPS=1
end
フロー実行中は
EHCIドライバによる処理は行わないで下さい

図 32.11 フロー 7

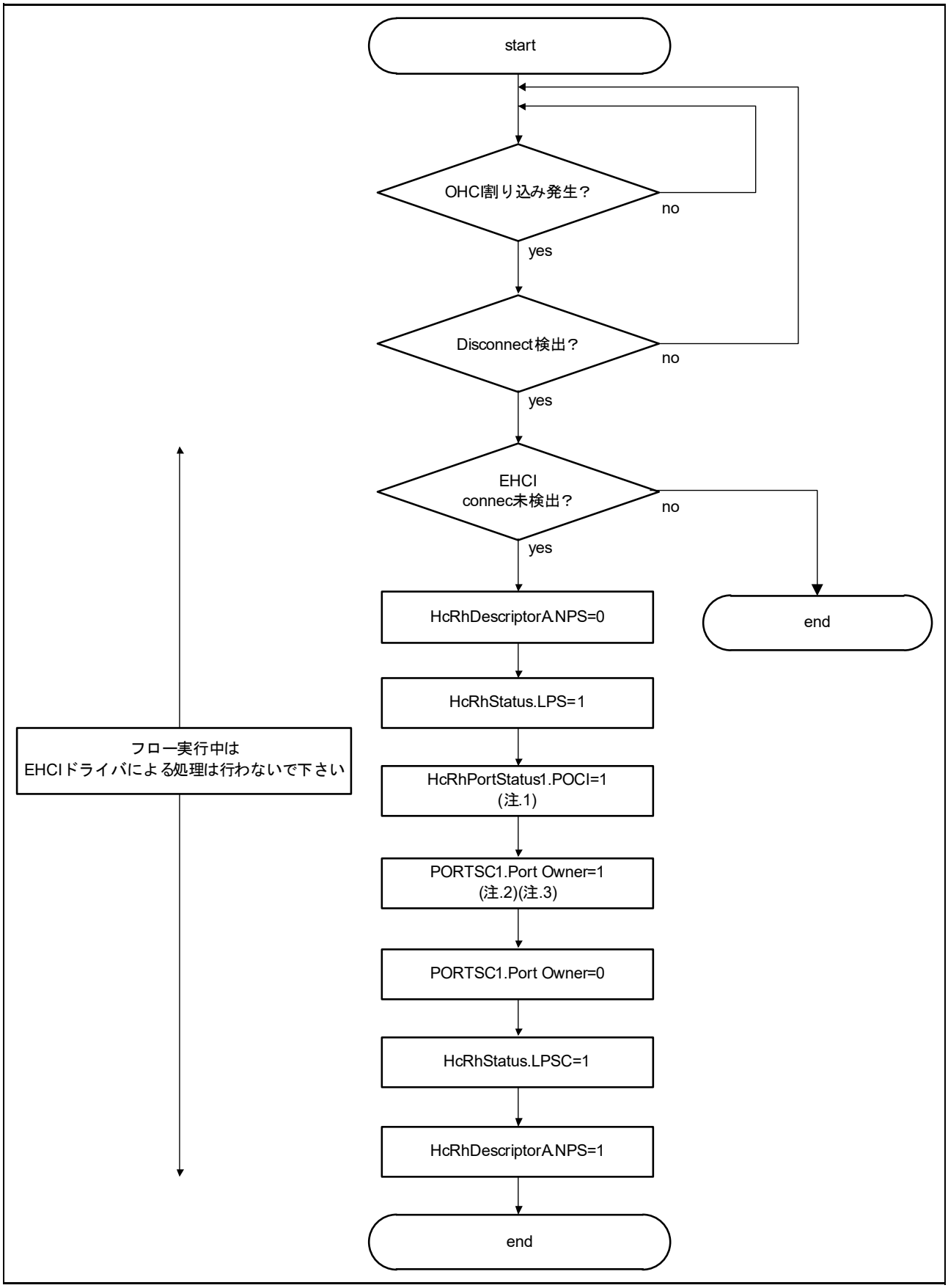

start
OHCI割り込み発生？
no
yes
Disconnect検出？
no
yes
EHCI
connec未検出？
no
yes
end
HcRhDescriptorA.NPS=0
HcRhStatus.LPS=1
HcRhPortStatus1.POCI=1
(注.1)
PORTSC1.Port Owner=1
(注.2)(注.3)
PORTSC1.Port Owner=0
HcRhStatus.LPSC=1
HcRhDescriptorA.NPS=1
end
フロー実行中は
EHCIドライバによる処理は行わないで下さい

図 32.12 フロー 8

フロー 5、6、7、8 に対する注意事項

注 1. この設定によって HcInterruptStatus.RHSC ビットが 1 になり、OHCI 割り込みが発生します。
不要な割り込みのため要因 (RHSC 及び CSC) をクリアのみ行い、他の処理は行わないで下さい。
この時、HcRhPortStatus1 レジスタのポート状態を示すビットは以下です。
CCS = 0、PES = 0、CSC = 1、PESC = 0

注 2. 本フローは時間制約がなく、フロー処理中に対向デバイスが再接続した場合にも対応しています。
再接続検出と本設定が競合した場合、HcInterruptStatus.RHSC ビットが 1 となり、OHCI 割り込みが発生する可能性がありますが、不要な割り込みのため要因 (RHSC 及び CSC) をクリアのみ行い、他の処理は行わないで下さい。
この時、HcRhPortStatus1 レジスタのポート状態を示すビットは以下です。
CCS = 0、PES = 0、CSC = 1、PESC = 0

注 3. 対向デバイスの再接続検出後に Port Owner を OHCI に切り替えると、USBSTS.PortChangeDetect ビットが 1 になり、EHCI 割り込みが発生しますが、本フロー完了までは、EHCI ドライバによる処理を行わないでください。

33. USB 2.0 ファンクションモジュール

33.1 概要

33.1.1 概要

本 LSI は 2 チャネルの USB 2.0 ホスト／ファンクションモジュールを備えています。各チャネルにおいて、UCOM レジスタの設定により、ホスト機能とファンクション機能を切り替えて使用することが可能です。

なお、ファンクション機能選択時でも、Battery Charging 機能の設定はホストコントローラのレジスタで行います。

本章ではファンクションコントローラについて説明します。ホスト／ファンクション共通回路、Battery Charging 機能に関しては、「32. USB 2.0 ホストモジュール」を参照してください。

本モジュールは、Peripheral 機能を備えた USB (Universal Serial Bus) コントローラです。
USB 規格 Rev.2.0 の High-Speed 転送、Full-Speed 転送に対応しています。

本モジュールは、USB 規格で定義されている全転送タイプに対応しています。またデータ転送用に 8K バイトのバッファメモリを内蔵し、最大 16 本の PIPE を使用できます。また、PIPE0 以外に対しては、通信を行う Peripheral 機器やシステムに合わせた、任意のエンドポイント番号の割り付けが可能です。

33.1.2 特長

33.1.2.1 USB High-Speed 対応の Peripheral Controller を内蔵

- USB Peripheral Controller を内蔵

33.1.2.2 USB 全転送タイプに対応

- Isochronous 転送対応を含む USB 全転送タイプに対応
- Control 転送
- Bulk 転送
- Interrupt 転送 (High Bandwidth は非対応)
- Isochronous 転送 (High Bandwidth は非対応)

33.1.2.3 バスインタフェース

- DMA インタフェースを 2ch 内蔵

33.1.2.4 PIPE コンフィグレーション

- USB 通信用バッファメモリをチャネルごとに 8K バイト内蔵
- チャネルごとに最大 16 本の PIPE を選択可能（デフォルトコントロール PIPE を含む）
- プログラマブルな PIPE 構成
- PIPE0 以外は任意のエンドポイント番号を割り付け可能

表 33.1　PIPE 設定一覧

PIPE	転送タイプ	ダブルバッファ	連続転送モード	バッファサイズ
PIPE0	Control	なし	なし	64 バイト/ 256 バイト (CNTMD = 1) 固定
PIPE1	Iso/Bulk	あり	あり (Bulk 時のみ)	最大 2K バイト
PIPE2	Iso/Bulk	あり	あり (Bulk 時のみ)	最大 2K バイト
PIPE3	Bulk	あり	あり	最大 2K バイト
PIPE4	Bulk	あり	あり	最大 2K バイト
PIPE5	Bulk	あり	あり	最大 2K バイト
PIPE6	Int	なし	なし	64 バイト固定
PIPE7	Int	なし	なし	64 バイト固定
PIPE8	Int	なし	なし	64 バイト固定
PIPE9	Int/Bulk	あり (Bulk 時のみ)	あり (Bulk 時のみ)	最大 2K バイト
PIPE10	Int/Bulk	あり (Bulk 時のみ)	あり (Bulk 時のみ)	最大 2K バイト
PIPE11	Bulk	あり	あり	最大 2K バイト
PIPE12	Bulk	あり	あり	最大 2K バイト
PIPE13	Bulk	あり	あり	最大 2K バイト
PIPE14	Bulk	あり	あり	最大 2K バイト
PIPE15	Bulk	あり	あり	最大 2K バイト

33.1.2.5 機能の特長

- High-Speed 転送（480Mbps）と Full-Speed 転送（12Mbps）に対応
- リセットハンドシェイク自動応答による、High-Speed 動作、もしくは Full-Speed 動作自動認識
- Control 転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESS リクエストに対する自動応答機能
- NAK 応答割り込み機能（NRDY）
- SOF 補間機能

33.1.2.6　DMA の特長

DMA トランザクション設定方式：
　　レジスタ・モード、およびリンク・モードによる取り込みに対応
割り込み　　：レベルをサポート
転送方式　　：ソースとディスティネーションのトランスファ・サイズを、1 ～ 128 バイトの中から、それぞれ独立に選択可能
スキップ（スキャッタ／ギャザ）機能：
　　ソースとディスティネーションのアクセス・サイズとスキップ・サイズを、それぞれ独立に設定可能
サスペンド機能　　：実行中の DMA トランザクションを一時停止することが可能
インターバル機能　：バスの占有率を調整するため、DMA 転送のトランスファの間隔を指定することが可能

33.1.2.7　その他の機能

- バイトエンディアンスワップ機能により、ビッグエンディアン、リトルエンディアンのどちらのデータ形式にも対応可能 (CFIFO 使用時のみ)
- トランザクションカウントによるトランスファ終了機能
- SOF パルス出力機能
- BRDY 割り込みイベント通知タイミング変更機能（BFRE）
- トランスファ終了による応答 PID の NAK 設定機能（SHTNAK）
- LPM (Link Power Management) ECN に対応。新しい低消費電力ステート (L1 ステート) を利用可能。

33.1.3　機能概要

33.1.3.1　USB 転送 Speed 自動認識

本モジュールは、USB 転送 Speed を自動認識します。

(1)　FIFO バッファメモリアクセス方法

本モジュールは、USB データ転送用の FIFO バッファメモリへのアクセス方法として、下記の 2 種類に対応しています。

(a)　CPU アクセス

FIFO ポートアドレスを指定し、データを FIFO バッファメモリに書き込み、もしくは FIFO バッファメモリから読み出しを行うことができます。

(b)　DMA アクセス

PIPE ウィンドウを選択し、DMA の制御レジスタを設定することで、データを FIFO バッファメモリに書き込み、もしくは FIFO バッファメモリから読み出しを行うことができます。

33.1.3.2　USB イベント

本モジュールは、USB 動作上のイベントを割り込みにより通知します。
設定により、種類別、要因別に割り込み通知の可否を選択することができます。

33.1.3.3　USB データ転送

本モジュールは、USB 通信の Control 転送、Bulk 転送、Interrupt 転送、および Isochronous 転送の全種類のデータ転送が可能です。各転送タイプに対する PIPE のリソースは下記の通りです。

(1)　Control 転送専用 PIPE　：1 本
(2)　Interrupt 転送専用 PIPE　：3 本
(3)　Bulk 転送専用 PIPE　：8 本
(4)　Bulk 転送もしくは Isochronous 転送選択 PIPE　：2 本
(5)　Bulk 転送もしくは Interrupt 転送選択 PIPE　：2 本

各 PIPE は、システムに合わせて転送タイプ、エンドポイント番号、マックスパケットサイズ等の USB 転送に必要な設定を行ってください。

また、本モジュールは、8K バイトのバッファメモリを内蔵しています。Bulk 転送専用 PIPE、および Bulk 転送もしくは Isochronous 転送選択 PIPE に対しては、システムによるバッファメモリの割り当てやバッファ動作モードなどの設定を行ってください。バッファ動作モード設定は、ダブルバッファ構成やデータパケットの連続転送機能により、少ない割り込み回数で、高速なデータ転送が可能です。

33.1.3.4　SOF パルス出力機能

SOF パケットの送受信タイミングを通知する SOF パルス出力機能を備えています。SOF パケットの受信時に SOF パルス出力をアサートします。SOF パケット破損時も SOF 補間タイマにより、一定間隔でパルスを出力します。

33.1.4 制限事項と注意事項

33.1.4.1 制限事項

(1) USB 規格に関する制約

USB 2.0 規格について以下が未対応です。

- High Band Width 転送は未サポートです。

(2) DMA に関する制約

- DAD = 1 (ディスティネーション・アドレス固定) 、かつディスティネーション側で SKIP 転送を行うことはできません。
  このような設定で転送を行った場合、動作は不定です。このような転送は行わないでください。

- SAD = 1 (ソース・アドレス固定) 、かつソース側で SKIP 転送を行うことはできません。
  このような設定で転送を行った場合、動作は不定です。このような転送は行わないでください。

- DAD = 1 (ディスティネーション・アドレス固定) 、かつディスティネーション側でビート・アンアラインの転送を行うことはできません。
  このような設定で転送を行った場合、動作は不定です。このような転送は行わないでください。

- SAD = 1 (ソース・アドレス固定) 、かつソース側でビート・アンアラインの転送を行うことはできません。このような設定で転送を行った場合、動作は不定です。
  このような転送は行わないでください。

- REQD = 1 のとき、SBE = 1 (掃き出しモード) および強制排出機能は使用できません。

33.1.4.2 注意事項

(1) DMA 転送と割り込み信号の追い越し問題

(a) 概要

DMA トランザクションの最終データがライト先のデバイスにライトされる前に、USBFDMAmn 割り込み (m, n = 0, 1) が発生することがあります。

(b) 回避策

上記問題に対する回避策を以下に示します。

回避策）HPROT をノンバッファラブルに設定

DMA モードに従い、CHEXT_n レジスタの DPR[2] ビット、または DCTRL レジスタの LDPR[2] ビットを 0 とし、HPROT 信号をノンバッファラブルに設定してから DMA トランザクションを行ってください。

全ての転送をノン・バッファラブルにした場合、転送効率が低下する場合があります。

その場合は、トランザクションの大半をバッファラブルに設定して転送を行い、最後のトランスファだけレジスタ・セットまたはディスクリプタを分けて、ノンバッファラブルに設定して転送を行ってください。

(2) ファンクション機能選択時の、Battery Charging 機能について

ファンクション機能選択時でも、Battery Charging 機能の設定はホストコントローラのレジスタで行います。

33.2　レジスタ

レジスタ表の見方

①ビット番号

②リセット後の状態　リセット動作直後のレジスタ初期状態を示します。
パワーオンリセットはパワーオンリセット時の初期状態です。
USB バスリセットは本モジュールが USB バスリセットを検出した場合の初期状態です。
なお、リセット動作中に特筆すべき事項は注意事項で記載しています。
“－”は本モジュールによる操作がなく、ユーザー設定が保持されている状態です。
“X” は値が不定な状態であることを示します。

④ Access 条件　本モジュールのレジスタをアクセスする場合の条件です。
R ・・・Read Only
W ・・・Write Only
R/W ・・Read / Write
R(0) ・・“0” Read Only
W(1) ・・“1” Write Only

⑤ Name　ビットシンボルおよびビット名称です。

⑥ Function　機能説明です。

＜表記例＞

① Bit Number	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit Symbol		Abit	Bbit	Cbit												
② パワーオンリセット	X	0	0	0												
USBバスリセット	X	0	—	—												

bit	Name	Function	R/W
15	—	何も配置されていません。"0"に固定してください。	
14	A bit AAA許可	0：動作禁止 1：動作許可	R/W
13	B bit BBB動作	0：Low出力 1：High出力	R
12	C bit CCC制御	0：・・・・・・・・ 1：・・・・・・・・	R(0)/W(1)
	⑤	⑥	④

33.2.1 ベースアドレス

表33.2 USB ファンクションモジュール各チャネルのベースアドレス

チャネル番号	ベースアドレス
0	E821 9000h
1	E821 B000h

33.2.2 レジスター覧

表 33.3 に本モジュールのレジスター覧表を示します。

表33.3 レジスター覧表

アドレス オフセット	略称	レジスタ名	アクセス単位
000	SYSCFG0	システムコンフィグレーションコントロールレジスタ0	16bit
002	SYSCFG1	システムコンフィグレーションコントロールレジスタ1	16bit
004	SYSSTS0	システムコンフィグレーションステータスレジスタ	16bit
008	DVSTCTR0	デバイスコントロールレジスタ0	16bit
00C	TESTMODE	テストモードレジスタ	16bit
014	CFIFO	CFIFOポートレジスタ	8/16/32bit
016			
020	CFIFOSEL	CFIFOポート選択レジスタ	16bit
022	CFIFOCTR	CFIFOポートコントロールレジスタ	16bit
028	D0FIFOSEL	D0FIFOポート選択レジスタ	16bit
02A	D0FIFOCTR	D0FIFOポートコントロールレジスタ	16bit
02C	D1FIFOSEL	D1FIFOポート選択レジスタ	16bit
02E	D1FIFOCTR	D1FIFOポートコントロールレジスタ	16bit
030	INTENB0	割り込み許可レジスタ0	16bit
036	BRDYENB	BRDY割り込み許可レジスタ	16bit
038	NRDYENB	NRDY割り込み許可レジスタ	16bit
03A	BEMPENB	BEMP割り込み許可レジスタ	16bit
03C	SOFCFG	SOF出力コンフィグレーションレジスタ	16bit
040	INTSTS0	割り込みステータスレジスタ0	16bit
046	BRDYSTS	BRDY割り込みステータスレジスタ	16bit
048	NRDYSTS	NRDY割り込みステータスレジスタ	16bit
04A	BEMPSTS	BEMP割り込みステータスレジスタ	16bit
04C	FRMNUM	フレームナンバレジスタ	16bit
04E	UFRMNUM	マイクロフレームナンバレジスタ	16bit
050	USBADDR	USBアドレスレジスタ	16bit
054	USBREQ	USBリクエストタイプレジスタ	16bit
056	USBVAL	USBリクエストバリューレジスタ	16bit
058	USBINDX	USBリクエストインデックスレジスタ	16bit
05A	USBLENG	USBリクエストレングスレジスタ	16bit
05C	DCPCFG	DCPコンフィグレーションレジスタ	16bit
05E	DCPMAXP	DCPマックスパケットサイズレジスタ	16bit
060	DCPCTR	DCPコントロールレジスタ	16bit
064	PIPESEL	PIPEウィンドウ選択レジスタ	16bit
068	PIPECFG	PIPEコンフィグレーションレジスタ	16bit

アドレス オフセット	略称	レジスタ名	アクセス単位
06A	PIPEBUF	PIPEバッファ指定レジスタ	16bit
06C	PIPEMAXP	PIPEマックスパケットサイズレジスタ	16bit
06E	PIPEPERI	PIPE周期制御レジスタ	16bit
070	PIPE1CTR	PIPE1コントロールレジスタ	16bit
072	PIPE2CTR	PIPE2コントロールレジスタ	16bit
074	PIPE3CTR	PIPE3コントロールレジスタ	16bit
076	PIPE4CTR	PIPE4コントロールレジスタ	16bit
078	PIPE5CTR	PIPE5コントロールレジスタ	16bit
07A	PIPE6CTR	PIPE6コントロールレジスタ	16bit
07C	PIPE7CTR	PIPE7コントロールレジスタ	16bit
07E	PIPE8CTR	PIPE8コントロールレジスタ	16bit
080	PIPE9CTR	PIPE9コントロールレジスタ	16bit
082	PIPEACTR	PIPEA コントロールレジスタ	16bit
084	PIPEBCTR	PIPEB コントロールレジスタ	16bit
086	PIPECCTR	PIPEC コントロールレジスタ	16bit
088	PIPEDCTR	PIPED コントロールレジスタ	16bit
08A	PIPEECTR	PIPEE コントロールレジスタ	16bit
08C	PIPEFCTR	PIPEF コントロールレジスタ	16bit
090	PIPE1TRE	PIPE1トランザクションカウンタイネーブルレジスタ	16bit
092	PIPE1TRN	PIPE1トランザクションカウンタレジスタ	16bit
094	PIPE2TRE	PIPE2トランザクションカウンタイネーブルレジスタ	16bit
096	PIPE2TRN	PIPE2トランザクションカウンタレジスタ	16bit
098	PIPE3TRE	PIPE3トランザクションカウンタイネーブルレジスタ	16bit
09A	PIPE3TRN	PIPE3トランザクションカウンタレジスタ	16bit
09C	PIPE4TRE	PIPE4トランザクションカウンタイネーブルレジスタ	16bit
09E	PIPE4TRN	PIPE4トランザクションカウンタレジスタ	16bit
0A0	PIPE5TRE	PIPE5トランザクションカウンタイネーブルレジスタ	16bit
0A2	PIPE5TRN	PIPE5トランザクションカウンタレジスタ	16bit
0A4	PIPEBTRE	PIPEBトランザクションカウンタイネーブルレジスタ	16bit
0A6	PIPEBTRN	PIPEBトランザクションカウンタレジスタ	16bit
0A8	PIPECTRE	PIPECトランザクションカウンタイネーブルレジスタ	16bit
0AA	PIPECTRN	PIPECトランザクションカウンタレジスタ	16bit
0AC	PIPEDTRE	PIPEDトランザクションカウンタイネーブルレジスタ	16bit
0AE	PIPEDTRN	PIPEDトランザクションカウンタレジスタ	16bit
0B0	PIPEETRE	PIPEEトランザクションカウンタイネーブルレジスタ	16bit
0B2	PIPEETRN	PIPEEトランザクションカウンタレジスタ	16bit
0B4	PIPEFTRE	PIPEFトランザクションカウンタイネーブルレジスタ	16bit
0B6	PIPEFTRN	PIPEFトランザクションカウンタレジスタ	16bit
0B8	PIPE9TRE	PIPE9トランザクションカウンタイネーブルレジスタ	16bit
0BA	PIPE9TRN	PIPE9トランザクションカウンタレジスタ	16bit
0BC	PIPEATRE	PIPEAトランザクションカウンタイネーブルレジスタ	16bit
0BE	PIPEATRN	PIPEAトランザクションカウンタレジスタ	16bit
0D0	DEVADD0	デバイスアドレス0コンフィグレーションレジスタ	16bit
0D2	DEVADD1	デバイスアドレス1コンフィグレーションレジスタ	16bit
0D4	DEVADD2	デバイスアドレス2コンフィグレーションレジスタ	16bit
0D6	DEVADD3	デバイスアドレス3コンフィグレーションレジスタ	16bit

アドレス オフセット	略称	レジスタ名	アクセス単位
0D8	DEVADD4	デバイスアドレス4コンフィグレーションレジスタ	16bit
0DA	DEVADD5	デバイスアドレス5コンフィグレーションレジスタ	16bit
0DC	DEVADD6	デバイスアドレス6コンフィグレーションレジスタ	16bit
0DE	DEVADD7	デバイスアドレス7コンフィグレーションレジスタ	16bit
0E0	DEVADD8	デバイスアドレス8コンフィグレーションレジスタ	16bit
0E2	DEVADD9	デバイスアドレス9コンフィグレーションレジスタ	16bit
0E4	DEVADDA	デバイスアドレスAコンフィグレーションレジスタ	16bit
100	LPCTRL	LowPowerコントロールレジスタ	16bit
102	LPSTS	LowPowerステータスレジスタ	16bit
104	PHYFUNCTR	PHY Function Control Register	16bit
10A	PHYOTGCTR	PHY OTG Control Register	16bit
144	PL1CTRL1	Peripheral L1 Control Register 1	16bit
146	PL1CTRL2	Peripheral L1 Control Register 2	16bit
400	N0SA_0	Next0 Source Address Register 0	32bit
404	N0DA_0	Next0 Destination Address Register 0	32bit
408	N0TB_0	Next0 Transaction Byte Register 0	32bit
40C	N1SA_0	Next1 Source Address Register 0	32bit
410	N1DA_0	Next1 Destination Address Resister 0	32bit
414	N1TB_0	Next1 Transaction Byte Register 0	32bit
418	CRSA_0	Current Source Address Register 0	32bit
41C	CRDA_0	Current Destination Address Register 0	32bit
420	CRTB_0	Current Transaction Byte Register 0	32bit
424	CHSTAT_0	Channel Status Register 0	32bit
428	CHCTRL_0	Channel Control Register 0	32bit
42C	CHCFG_0	Channel Configuration Register 0	32bit
430	CHITVL_0	Channel Interval Register 0	32bit
434	CHEXT_0	Channel Extension Register 0	32bit
438	NXLA_0	Next Link Address Resister 0	32bit
43C	CRLA_0	Current Link Address Resister 0	32bit
440	N0SA_1	Next0 Source Address Register 1	32bit
444	N0DA_1	Next0 Destination Address Register 1	32bit
448	N0TB_1	Next0 Transaction Byte Register 1	32bit
44C	N1SA_1	Next1 Source Address Register 1	32bit
450	N1DA_1	Next1 Destination Address Register 1	32bit
454	N1TB_1	Next1 Transaction Byte Register 1	32bit
458	CRSA_1	Current Source Address Register	32bit
45C	CRDA_1	Current Destination Address Register 1	32bit
460	CRTB_1	Current Transaction Byte Register 1	32bit
464	CHSTAT_1	Channel Status Register 1	32bit
468	CHCTRL_1	Channel Control Register 1	32bit
46C	CHCFG_1	Channel Configuration Register 1	32bit
470	CHITVL_1	Channel Interval Register 1	32bit
474	CHEXT_1	Channel Extension Register 1	32bit
478	NXLA_1	Next Link Address Resister 1	32bit
47C	CRLA_1	Current Link Address Resister 1	32bit
600	SCNT_0	Source Continuous Register 0	32bit

アドレス オフセット	略称	レジスタ名	アクセス単位
604	SSKP_0	Source Skip Register 0	32bit
608	DCNT_0	Destination Continuous Register 0	32bit
60C	DSKP_0	Destination Skip Register 0	32bit
620	SCNT_1	Source Continuous Register 1	32bit
624	SSKP_1	Source Skip Register 1	32bit
628	DCNT_1	Destination Continuous Register 1	32bit
62C	DSKP_1	Destination Skip Register 1	32bit
700	DCTRL	DMA Control Register	32bit
704	DSCITVL	Descriptor Interval	32bit
710	DSTAT_EN	DMA Status EN Register	32bit
714	DSTAT_ER	DMA Status ER Register	32bit
718	DSTAT_END	DMA Status END Register	32bit
71C	DSTAT_TC	DMA Status TC Register	32bit
720	DSTAT_SUS	DMA Status SUS Register	32bit

33.2.3　システムコンフィグレーションコントロール

33.2.3.1　システムコンフィグレーションコントロールレジスタ 0【SYSCFG0】<アドレス：000H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	CNEN	HSE	—	DRPD	DPRPU	—	—	—	USBE
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15～9	—	何も配置されていません。”0”に固定してください。	
8	CNEN	シングルエンドレシーバ動作許可 0: シングルエンドレシーバ動作禁止 1: シングルエンドレシーバ動作許可	R/W
7	HSE	High-Speed動作禁止／許可を指定します。 0: High-Speed動作禁止 (Full-Speed) 1: High-Speed動作許可 (コントローラが通信Speedを検出)	R/W
6	—	何も配置されていません。”0”に固定してください。	
5	DRPD	D+/D-ライン抵抗制御 本モジュールを使用する場合、0に設定してください。 詳しくはUSBデータバス抵抗の制御を参照してください。	R/W
4	DPRPU	D+ライン抵抗制御 Peripheral Controller機能用 D+ライン Pull Upの禁止／許可を指定します。 詳しくはUSBデータバス抵抗の制御を参照してください 0: Pull Up 禁止 1: Pull Up 許可	R/W
3～1	—	何も配置されていません。”0”に固定してください。	
0	USBE	USBブロック動作許可 USBブロックの動作禁止／許可を指定します。 0: USBブロック動作禁止 1: USBブロック動作許可	R/W

注.　本レジスタへの書き込みと読み出しは、UTMI+PHYクロックが停止時でも可能です。
しかしUTMI+PHYクロックが停止時に設定された値は、UTMI+PHYクロックが発振されてから、機能が有効になります。

(1)　シングルエンドレシーバー動作許可ビット (CNEN)

本ビットを ”1” に設定することにより、シングルエンドレシーバの動作を許可します。本ビットは、非アタッチ状態時にシングルエンドレシーバがフローティングになることが起因で、インラッシュカレント破壊を防ぐためのものです。

また本ビットにより LNST ビットの参照が可能になります。

VBUS 割り込みにより、VBUS を検知した場合に本ビットをセット、VBUS が取り除かれた場合に本ビットをクリアしてください。

(2)　High-Speed 動作許可ビット (HSE)

本ビットを "1" に設定することにより、High-Speed 動作を許可します。"HSE = 1" を設定した場合、本モジュールは Reset Handshake の結果に従い High-Speed または Full-Speed 動作させます。

"HSE = 0" を設定した場合、本モジュールは Full-Speed 動作を行います。

"HSE = 1" を設定した場合、本モジュールは Reset Handshake Protocol を実行し、その結果に従い自動的に High-Speed または Full-Speed 動作を行います。

本ビットの書き換えは、"DPRPU = 0" のときに行ってください。

(3) D+, D- ライン抵抗制御 (DRPD、DPRPU)

表 33.4 に USB データバスの抵抗についての設定を示します。DPRPU ビットで USB データバスの抵抗選択を行ってください。

表33.4　USBデータバス抵抗の制御

設定内容		USBデータバス抵抗制御		
DRPD	DPRPU	D- Line	D+ Line	Remarks
0	0	Open	Open	
0	1	Open	Pull-Up	左記設定にしてください
1	0	Pull-Down	Pull-Down	初期状態 (パワーオンリセット解除時)
1	1	Pull-Down	Pull-Up	設定禁止

(a) D+Pull Up 抵抗制御 (DPRPU)

本ビットを "1" に設定すると、本モジュールは D+ ラインを 3.3V に Pull Up し、USBHost に対してアタッチを通知することができます。

また、本ビットを "1" から "0" に変更することにより、本モジュールは D+ ラインの Pull Up を解消しますので、USBHost に対してデタッチしたと見せることができます。

(4) USB ブロック動作許可ビット (USBE)

本ビットを設定することにより、本モジュールの USB ブロックの動作許可、禁止を行います。

"USBE =1 " から "USBE = 0" に変更した場合には、本モジュールは表 33.5 に示すビットを初期化します。

表33.5　"USBE=0"書き込みにより初期化されるレジスター覧

レジスタ名	ビット名
SYSSTS0	LNST
DVSTCTR0	RHST
INTSTS0	DVSQ
USBADDR	USBADDR
USBREQ	bRequest bmRequestType
USBVAL	wValue
USBINDX	wIndex
USBLENG	wLength

注.　本ビットの変更は、"SuspendM = 1"、かつUTMI+PHYクロックが発振された後に行ってください。

33.2.3.2　システムコンフィグレーションコントロールレジスタ 1【SYSCFG1】 <アドレス：002H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	BWAIT					
0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 12	—	何も配置されていません。”0”に固定してください。	
11 ～ 8	—	何も配置されていません。”0”に固定してください。	
7、6	—	何も配置されていません。”0”に固定してください。	
5 ～ 0	BWAIT	CPUバスアクセスウエイトの指定 本モジュールに対するアクセスウエイト数を指定 000000：0ウエイト(アクセスサイクル2) ：　： 000010：2ウエイト(アクセスサイクル4) ：　： 000100：4ウエイト(アクセスサイクル6) ：　： 001111：15ウエイト(アクセスサイクル17)（初期値） ：　： 111111：63ウエイト(アクセスサイクル65)	R/W

(1)　CPU アクセスウエイト指定ビット (BWAIT)

HPB バスのアクセスウエイトを指定するビットです。

本モジュールの H'04 アドレス以降のレジスタへのアクセスサイクルには、以下の制約があります。
ウエイト制約：本モジュールのレジスタへの連続アクセスのサイクルは、67ns 以上である必要があります

本制約を満たすために、内部バスクロック (Bφ) の周波数によりウエイト制御する必要があります。初期値は最大値（17 クロックサイクル）ですので、最適な設定値を選択してください。

なお、本設定は、FIFO ポートレジスタへのアクセスのウェイトと共通です。FIFO ポートへの最大アクセススピードは以下の通りとなります。

MBW = "10" (32bit 幅)：max 60 MBytes/sec
MBW = "01" (16bit 幅)：max 30 MBytes/sec
MBW = "00" (8bit 幅)：max 15 MBytes/sec

33.2.4　システムコンフィグレーションステータス

33.2.4.1　システムコンフィグレーションステータスレジスタ【SYSSTS0】
<アドレス：004H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST	
—	—	0	0	0	0	0	0	0	0	0	0	0	—	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 2	—	何も配置されていません。”0”に固定してください。	
1、0	LNST	USBデータラインステータスモニタ USBライン状態が表示されます。 注.　詳細説明をご覧ください。	R

(1)　ラインステータスモニタビット (LNST)

表 33.6 にモジュールの USB データバスラインステータス表を示します。本モジュールは、SYSSTS0 レジスタの LNST ビットに USB データバスのラインステータス（D+ ライン、および D- ライン）をモニタします。

LNST ビットの参照は ”USBE = 1” 設定後、アタッチ処理（"DPRPU = 1" 設定）以後に行ってください。

表33.6　USBデータバスラインステータス表

LNST [1]	LNST [0]	Full-Speed動作時	High-Speed動作時	Chirp動作時
0	0	SE0	Squelch	Squelch
0	1	J State	Unsquelch	Chirp J
1	0	K State	Invalid	Chirp K
1	1	SE1	Invalid	Invalid

注.　Chirp　：High-Speed動作許可の状態（HSE = “1”）で、リセットハンドシェイクプロトコル実行中
Squelch　：SE0、もしくはIdle状態
Unsquelch　：High-Speed J State、もしくはHigh-Speed K State
Chirp J　：Chirp J State
Chirp K　：Chirp K State

33.2.5　USB 信号制御

33.2.5.1　デバイスステートコントロールレジスタ 0【DVSTCTR0】
< アドレス：008H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRST 1	—	—	—	—	—	—	WKUP	—	—	—	—	—	RHST		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	0	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	BRST1	バスリセットによる復帰で使用するビットです。 本ビットの設定は、「33.9.16.3　バスリセットによるディープスタンバイ復帰フロー」に従ってください。 フローを守らず設定した場合、動作を保証しません。	R/W
14 ～ 9	—	何も配置されていません。”0”に固定してください。	—
8	WKUP	ウェイクアップ出力 リモートウェイクアップ（レジューム信号出力）禁止／許可を指定します。 0: リモートウェイクアップ信号非出力 1: リモートウェイクアップ信号出力	R/W(1)
7 ～ 3	—	何も配置されていません。”0”に固定してください。	
2 ～ 0	RHST	リセットハンドシェイク リセットハンドシェイクの状態を表示します。 注.　詳細説明をご覧ください。	R

(1)　リモートウェイクアップ（レジューム信号出力）禁止／許可ビット (WKUP)

本ビットを "1" に設定すると、本モジュールは USB バスにリモートウェイクアップ信号を出力します。

本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットに "1" を設定すると、本モジュールは 10ms の "K-State" を出力しその後 "WKUP = 0" にします。

USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。

このため、サスペンド状態を検出した直後に "WKUP = 1" を書き込んでも、本モジュールは 2ms 待ってから K ステートを出力します。

WKUP ビットへの "1" 書き込みは、デバイスステートがサスペンド ("DVSQ = 1xx") であり、かつ USBHost からリモートウェイクアップが許可されている場合にのみ行ってください。

WKUP ビットを "1" に設定する場合は、サスペンド中であっても内部クロックを停止しないでください ("SUSPM = 1" の状態で "WKUP = 1" を書き込んでください)。

L1 遷移時に本ビットを ”1” セットした場合は、本モジュールは 50us の "K-State" を出力し、その後 "WKUP = 0" にします。

L1 時の本ビットのセットは、DVSQ[4] ビットが ”1” のときに行ってください。

(2)　リセットハンドシェイクステータスビット (RHST)

本モジュールは Reset Handshake の結果を本ビットに表示します。**表 33.7** に Reset Handshake 結果一覧を示します。

表 33.7　Reset Handshake ステータス表

バスの状態	RHST ビットの値
Powered 時 または Disconnect 時	000
ResetHandshake 中	100
Full-Speed 接続時	010
High-Speed 接続時	011

"HSE = 1" を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは "100" を示します。その後、本モジュールが Chirp K を出力し、USBHost からの Chirp JK を 3 回検出した時点で本ビットは "011" を示します。Chirp K 出力後、2.5ms 以内に High-Speed に確定しなければ、本ビットは "010" を示します。

"HSE = 0" を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは "010" を示します。

本モジュールが USB バスリセットを検出後、RHST ビットが "010" または "011" に確定した時点で、DVST 割り込みが発生します。

33.2.6　テストモード

33.2.6.1　USB テストモードレジスタ【TESTMODE】< アドレス：00CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	BRST2	—	—	BRST3	—	—	—	—	—	—	—	UTST			
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	—	何も配置されていません。”0”に固定してください。	
14	BRST2	バスリセットによる復帰で使用するビットです。 本ビットの設定は、「33.9.16.3　バスリセットによるディープスタンバイ復帰フロー」に従ってください。 フローを守らず設定した場合、動作を保証しません。	R/W
13、12	—	何も配置されていません。”0”に固定してください。	
11	BRST3	バスリセットによる復帰で使用するビットです。 本ビットの設定は、「33.9.16.3　バスリセットによるディープスタンバイ復帰フロー」に従ってください。 フローを守らず設定した場合、動作を保証しません。	R/W
10 ～ 4	—	何も配置されていません。”0”に固定してください。	
3 ～ 0	UTST	テストモード 注.　詳細説明をご覧ください。	R/W

(1)　テストモードビット（UTST）

本ビットに値を書き込むことにより、本モジュールは High-Speed 動作時の USB テスト信号出力を行います。

表 33.8 に本モジュールのテストモード動作表を示します。

表33.8　テストモード動作表

テストモード	UTST ビット設定
通常動作	0000
Test_J	0001
Test_K	0010
Test_SE0_NAK	0011
Test_Packet	0100
Test_Force_Enable	—
Reserved	0101～0111

High-Speed 通信時の USBHost からの Set Feature リクエストに従って本ビットを書き込んでください。

本ビットに "0001"~"0100" を設定しているときには、本モジュールはサスペンド状態へ遷移しません。

テストモード設定後、通常の USB 通信を行う場合は、パワーオンリセットを実施してください。

33.2.7　FIFO ポート

33.2.7.1　CFIFO ポートレジスタ【CFIFO】< アドレス：014H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIFOPORT (Low)															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

33.2.7.2　CFIFO ポートレジスタ【CFIFO】< アドレス：016H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIFOPORT (High)															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31 ～ 0	FIFOPORT	FIFOポート 本ビットにアクセスすることにより、FIFOバッファからの受信データ読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。	R/W

(1)　FIFO ポート制御 (FIFOPORT)

本モジュールの送受信バッファメモリは FIFO 構造 (FIFO バッファ) となっています。FIFO バッファへのアクセスは FIFO ポートレジスタを使用してください。FIFO ポートは、FIFO バッファへのデータ読み書きを行うポートレジスタ (CFIFO)、FIFO ポートに割り当てる PIPE を選択するレジスタ (CFIFOSEL)、コントロールレジスタ (CFIFOCTR) で構成されます。

各 FIFO ポートには下記に示す特長があります。

(1) DCP 用 FIFO バッファへのアクセスは CFIFO ポートを通して行ってください。
(2) FIFO ポート固有の機能を使用する場合は、CURPIPE ビットに設定する PIPE 番号 (選択 PIPE) を変更できません 。
(3) FIFO ポートを構成するレジスタ群は、他の FIFO ポートに影響を与えることはありません。
(4) FIFO バッファの状態には、アクセス権が CPU 側にある場合と SIE 側にある場合の 2 種類があります。バッファメモリのアクセス権が SIE 側にある場合は、CPU からのアクセスはできません。

(2)　FIFO ポートビット (CFIFO)

本レジスタにアクセスを行うことにより、本モジュールは各選択レジスタ (CFIFOSEL) の CURPIPE ビットに設定した PIPE 番号に割り当てた FIFO バッファへのアクセスを行います。

本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR) の FRDY ビットが "1" を示している（または本モジュールが UCL_Dx_DREQ 出力をアサートしている）ときのみ可能です。

本レジスタの有効ビットは、MBW ビットの設定値、および BIGEND ビットの設定値により異なります。有効ビットを、**表 33.9** から**表 33.11** に示します。

表33.9　32bitアクセス（MBW = ”10”）時のエンディアン動作表

BIGEND	b31~ b24	b23~ b16	b15~ b8	b7~ b0
0	N + 3 アドレス	N + 2 アドレス	N + 1 アドレス	N + 0 アドレス
1	N + 0 アドレス	N + 1 アドレス	N + 2 アドレス	N + 3 アドレス

表33.10　16bitアクセス（MBW = ”01”）時のエンディアン動作表

BIGEND	b31~b24	b23~b16	b15~b8	b7~b0
0	書き込み：無効 読み出し：禁止（注1）		偶数アドレス	奇数アドレス
1	偶数アドレス	奇数アドレス	書き込み：無効 読み出し：禁止（注1）	

表33.11　8bitアクセス（MBW = ”00”）時のエンディアン動作表

BIGEND	b31~b24	b23~b16	b15~b8	b7~b0
0	書き込み：無効 読み出し：禁止（注1）			書き込み：有効 読み出し：有効
1	書き込み：有効 読み出し：有効	書き込み：無効 読み出し：禁止（注1）		

注.　無効レジスタへのワードリードまたはバイトリードは禁止です。

33.2.7.3　CFIFO ポート選択レジスタ【CFIFOSEL】< アドレス：020H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCNT	REW	—	—	MBW		—	BIGEND	—	—	ISEL	—	CURPIPE			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	RCNT	リードカウントモード CFIFOCTRのDTLNの読み出しモードを指定します。 0: 全受信データ読み出しでDTLNビットクリア 1: 受信データ読み出しごとにDTLNビットカウントダウン	R/W
14	REW	バッファポインタリワインド バッファポインタのリワインドを行う場合に"1"を指定します。 0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R(0)/W
13、12	—	何も配置されていません。”0”に固定してください。	
11、10	MBW	CFIFOポートアクセスビット幅 CFIFOポートへのアクセスビット幅を指定します。 00：8ビット幅 01：16ビット幅 10：32ビット幅 11：設定禁止	R/W
9	—	何も配置されていません。”0”に固定してください。	
8	BIGEND	FIFOポートエンディアン制御 CFIFOポートのバイトエンディアンを指定します。 0：リトルエンディアン 1：ビッグエンディアン	R/W
7、6	—	何も配置されていません。”0”に固定してください。	
5	ISEL	DCP選択時のFIFOポートアクセス方向 CURPIPEビットにDCP選択時のFIFOポートアクセス方向を指定します。 0：バッファメモリ読み出し選択 1：バッファメモリ書き込み選択	R/W
4	—	何も配置されていません。”0”に固定してください。	
3 ～ 0	CURPIPE	FIFOポートアクセスPIPE指定 CFIFOポートにアクセスするPIPE番号を指定します。 0000：DCP 0001：PIPE1 0010：PIPE2 ↓ 1000：PIPE8 1001：PIPE9 ↓ 1110：PIPE14 1111：PIPE15	R/W

(1)　リードカウントモード (RCNT)

本ビットに "0" を設定した場合、CURPIPE ビットに指定した PIPE (指定 PIPE) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本モジュールは CFIFOCTR レジスタの DTLN ビットを "0" にクリアします。

本ビットに "1" を設定した場合、指定 PIPE に割り付けた FIFO バッファから受信データ読み出しごとに、本モジュールは CFIFOCTR レジスタの DTLN ビットをカウントダウンします。

(2) バッファポインタリワインド (REW)

選択 PIPE が受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。

送信方向の PIPE に対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

(3) CFIFO ポートアクセスビット幅 (MBW)

本ビットに CFIFO ポートへのアクセスビット幅を設定してください。

CURPIPE ビットに指定した PIPE が受信方向の場合、本ビットを設定後、読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また指定 PIPE が受信方向の場合、一旦 CURPIPE 値を異なる値に設定してから、CURPIPE 値と MBW 値を同時に設定してください。

CURPIPE 値の変更手順は、CURPIPE ビットの説明に従ってください。

指定 PIPE が送信方向の場合、バッファメモリへの書き込み処理実行中に 8bit 幅から 16bit 幅／ 32bit 幅、または 16 bit 幅から 32bit 幅へのビット幅切り替えは行えません。

16bit 幅／ 32bit 幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

(4) FIFO ポート バイトエンディアン制御ビット (BIGEND)

本ビットに CFIFO ポートのバイトエンディアンを設定してください。

詳細は、「(1) FIFO ポート制御 (FIFOPORT) <Page 33-19>」を参照してください。

(5) DCP 選択時の FIFO ポートアクセス方向指定ビット (ISEL)

指定 PIPE が DCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスする事ができます。

本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。

(6) FIFO ポートアクセス PIPE 指定ビット (CURPIPE)

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたい PIPE 番号を設定してください。

本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

33.2.7.4　D0FIFO ポート選択レジスタ【D0FIFOSEL】< アドレス：028H>
D1FIFO ポート選択レジスタ【D1FIFOSEL】< アドレス：02CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCNT	REW	DCLRM	DREQE	MBW		—	—	—	—	—	—	CURPIPE			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	RCNT	リードカウントモード Dx_FIFOCTR DTLNの読み出しモードを指定します。 0：全受信データ読み出しでDTLNビットクリア 1：受信データ読み出しごとにDTLNビットカウントダウン	R/W
14	REW	バッファポインタリワインド バッファポインタのリワインドを行う場合に"1"を指定します。 0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R(0)/W
13	DCLRM	指定PIPEのデータ読み出し後自動バッファメモリクリアモード 指定PIPEのデータ読み出し後自動バッファメモリクリアの禁止／許可を指定します。 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可	R/W
12	DREQE	UCL_Dx_DREQ信号出力許可 UCL_Dx_DREQ信号出力禁止／許可を指定します。 0：出力禁止 1：出力許可	R/W
11、10	MBW	DxFIFOポートアクセスビット幅 DxFIFOポートアクセスビット幅を指定します。 00：8ビット幅 01：16ビット幅 10：32ビット幅 11：設定禁止	R/W
9 ～ 4	—	何も配置されていません。”0”に固定してください。	
3 ～ 0	CURPIPE	FIFOポートアクセスPIPE指定 0000：指定なし 0001：PIPE1 0010：PIPE2 ↓ 1000：PIPE8 1001：PIPE9 ↓ 1110：PIPE14 1111：PIPE15	R/W

(1)　リードカウントモード (RCNT)

本ビットに "0" を設定した場合、CURPIPE ビットに指定した PIPE (指定 PIPE) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本モジュールは DxFIFOCTR レジスタの DTLN ビットを "0" にクリアします。

本ビットに "1" を設定した場合、指定 PIPE に割り付けた FIFO バッファからの受信データ読み出しごとに、本モジュールは DxFIFOCTR レジスタの DTLN ビットをカウントダウンします。

(2) バッファポインタリワインド (REW)

選択 PIPE が受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。

送信方向の PIPE に対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

(3) 自動 FIFO バッファクリア 禁止／許可ビット (DCLRM)

指定 PIPE のデータ読み出し後自動 FIFO バッファクリアの禁止／許可を設定してください。本ビットに "1" を設定した場合、指定 PIPE に割り当てた FIFO バッファが空の状態で Zero-Length packet を受信したとき、または "BFRE = 1" 設定時にショートパケット受信しデータ読出しを完了時に、FIFO バッファへの "BCLR = 1" 処理を本モジュールが行います。

"BRDYM = 1" に設定して本モジュールを使用するときには、必ず本ビットに "0" を設定してください。

(4) UCL_Dx_DREQ 出力禁止／許可ビット (DREQE)

本ビットに、UCL_Dx_DREQ 信号の出力禁止／許可を設定してください。

UCL_Dx_DREQ 信号の出力を許可する場合、CURPIPE ビット設定後に本ビットに "1" を設定してください。

CURPIPE ビット設定を変更するときには、本ビットに "0" を設定した後で変更を行ってください。

(5) DxFIFO ポートアクセスビット幅 (MBW)

本ビットに DxFIFO ポートへのアクセスビット幅を設定してください。

詳細は、「(3) CFIFO ポートアクセスビット幅 (MBW) <Page 33-22>」を参照してください。

(6) FIFO ポートアクセス PIPE 指定ビット (CURPIPE)

DxFIFO ポート経由で、データの読み出しまたは書き込みを行いたい PIPE 番号を設定してください。

本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じ PIPE を設定しないでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

33.2.7.5　CFIFO ポートコントロールレジスタ【CFIFOCTR】< アドレス：022H>
D0FIFO ポートコントロールレジスタ【D0FIFOCTR】< アドレス：02AH>
D1FIFO ポートコントロールレジスタ【D1FIFOCTR】< アドレス：02EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BVAL	BCLR	FRDY	—	DTLN											
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	BVAL	バッファメモリ有効フラグ CURPIPEに指定したPIPE(当該PIPE)のCPU側のFIFOバッファの書き込み終了時に"1"を指定します。 0：無効 1：書き込み終了	R/W(1)
14	BCLR	CPUバッファクリア 当該PIPEのCPU側のFIFOバッファをクリアする場合に"1"を指定します。 0：無効 1：CPU側バッファメモリクリア	R(0)/W(1)
13	FRDY	FIFOポートレディ FIFOポートにアクセス可能かどうかが表示されます。 0：FIFOポートアクセス不可 1：FIFOポートアクセス可能	R
12	—	何も配置されていません。”0”に固定してください。	
11 ～ 0	DTLN	受信データ長 受信データ長が表示されます。	R

(1)　バッファメモリ有効フラグ (BVAL)

CURPIPE ビットに指定した PIPE (指定 PIPE) が送信方向のとき、以下の場合に本ビットに "1" を設定してください。本モジュールは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

(1) ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに "1" を設定

(2) Zero-Length パケットの送信を行いたいとき、FIFO へデータを書き込む前に本ビットに "1" を設定

(3) 連続転送モードの PIPE に対して、Max Packet Size の自然数倍 かつ Buffer Size 未満のデータ書き込み後に本ビットに "1" を設定

非連続転送モードの PIPE に対して Max Packet Size 分のデータを書き込むと、本モジュールが本ビットを "1" にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

指定 PIPE が送信方向の場合、BVAL ビットと BCLR ビットへ同時に "1" を書き込んだ場合には、本モジュールはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

本ビットへの "1" 書き込みは、本モジュールが "FRDY = 1" を示しているときに実施してください。
また、BVAL 実行後に FRDY ビットを確認する場合には、BVAL 実行後 80ns 以上間隔を空けて、FRDY を参照してください。
指定 PIPE が受信方向のときには、本ビットへの "1" 書き込みを行わないでください。

(2) CPU バッファクリアビット (BCLR)

本ビットに "1" を設定すると、本モジュールは指定 PIPE にアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。

指定 PIPE にアサインされている FIFO バッファがダブルバッファ設定の場合で、両面共に読み出し可能状態である場合でも、本モジュールは片面の FIFO バッファのみをクリアします。

指定 PIPE が DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、"BCLR = 1" 設定により本モジュールは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず "NAK" に設定した後で "BCLR = 1" を行ってください。

指定 PIPE が DCP 以外の場合、本ビットへの "1" 書き込みは、本モジュールが "FRDY = 1" を示しているときに実施してください。また、BCLR 実行後に FRDY ビットを確認する場合には、BCLR 実行後 80ns 以上間隔を空けて、FRDY を参照してください。

(3) FIFO ポートレディビット (FRDY)

CPU からの FIFO ポートへのアクセス可否を、本モジュールが本ビットに表示します。

以下の場合には、本モジュールは "FRDY = 1" を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、"BCLR = 1" を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

(1) 指定 PIPE にアサインされている FIFO バッファが空の状態で Zero-Length パケット受信した場合。

(2) "BFRE = 1" 設定時に、ショートパケットを受信し、データ読み出しを完了したとき。

(4) 受信データ長ビット (DTLN)

本モジュールは、本ビットに受信データ長を表示します。FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値によって以下のように異なります。

(1) "RCNT = 0" 設定時 :

CPU が FIFO バッファ 1 面分の受信データを読み出し完了するまで、本モジュールは受信データ長を本ビットに表示します。

"BFRE = 1" 設定時には、読み出しが完了しても "BCLR = 1" を行うまでは、本モジュールは受信データ長を保持します。

(2) "RCNT = 1" 設定時 :

読み出しごとに本モジュールは DTLN ビットの表示をダウンカウントします。

("MBW = 00" 設定時は -1、"MBW = 01" 設定時は -2、"MBW = 10" 設定時は -4 ずつダウンカウント)

1 面分の FIFO バッファ読み出し完了時に、本モジュールは "DTLN = 0" を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN ビットに表示します。

"RCNT = 1" 設定時に、FIFO バッファ読み出し途中で本ビットの値を読み出すときには、FIFO ポートへのリードサイクル後 150ns 後までに本モジュールは本ビットの更新値を表示します。

33.2.8　割り込み許可

33.2.8.1　割り込み許可レジスタ 0【INTENB0】< アドレス：030H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	VBSE	VBUS割り込み許可 VBINT割り込み検出時のUSB割込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
14	RSME	フレーム番号更新割り込み許可 レジューム割り込み許可 RESM割り込み検出時のUSB割込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
13	SOFE	SOF割り込み検出時のUSB割込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
12	DVSE	デバイスステート遷移割り込み許可 DVST割り込み検出時のUSB割込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
11	CTRE	Control転送ステージ遷移割り込み許可 CTRT割り込み検出時のUSB割込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
10	BEMPE	バッファエンプティ割り込み許可 BEMP割り込み検出時のUSB割込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
9	NRDYE	バッファノットレディ応答割り込み許可 NRDY割り込み検出時のUSB割込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
8	BRDYE	バッファレディ割り込み許可 BRDY割り込み検出時のUSB割込みの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
7 ～ 0	—	何も配置されていません。”0”に固定してください。	

33.2.8.2　BRDY 割り込み許可レジスタ【BRDYENB】< アドレス：036H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEBRDYE															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15～0	PIPEBRDYE	各PIPEのBRDY割り込み許可 各PIPEのBRDY割り込み検出時にBRDYビットを"1"にするかの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W

注.　ビット番号がPIPE番号に該当します。

(1)　各 PIPE の BRDY 割り込み許可ビット (PIPEBRDYE)

本レジスタに "1" を設定した PIPE に対して、本モジュールが BRDY 割り込みを検出した場合に、本モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに "1" を表示し、INTSTS0 レジスタの BRDY ビットに "1" を表示し、割り込みを発生します。

BRDYSTS レジスタの PIPEBRDY ビットの少なくともひとつのビットが "1" を示している状態で、本レジスタの対応する割り込み許可ビットを "0" から "1" に変更すれば、本モジュールは割り込みを発生します。

33.2.8.3　NRDY 割り込み許可レジスタ【NRDYENB】< アドレス：038H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPENRDYE															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 0	PIPENRDYE	各PIPEのNRDY割り込み許可 各PIPEのNRDY割り込み検出時にNRDYビットを"1"にするかの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W

注.　ビット番号がPIPE番号に該当します。

(1)　各 PIPE の NRDY 割り込み許可ビット (PIPENRDYE)

本レジスタに "1" を設定した PIPE に対して、本モジュールが NRDY 割り込みを検出した場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに "1" を表示し、INTSTS0 レジスタの NRDY ビットに "1" を表示し、割り込みを発生します。

NRDYSTS レジスタの PIPENRDY ビットの少なくともひとつのビットが "1" を示している状態で、本レジスタの対応する割り込み許可ビットを "0" から "1" に変更すれば、本モジュールは割り込みを発生します。

33.2.8.4　BEMP 割り込み許可レジスタ【BEMPENB】< アドレス：03AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEBEMPE															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 0	PIPEBEMPE	各PIPEのBEMP割り込み許可 各PIPEのBEMP割り込み検出時にBEMPビットを"1"にするかの禁止／許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W

注.　ビット番号がPIPE番号に該当します。

(1)　各 PIPE の BEMP 割り込み許可ビット (PIPEBEMPE)

本レジスタに "1" を設定した PIPE に対して、本モジュールが BEMP 割り込みを検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに "1" を表示し、INTSTS0 レジスタの BEMP ビットに "1" を表示し、割り込みを発生します。

BEMPSTS レジスタの PIPEBEMP ビットの少なくともひとつのビットが "1" を示している状態で、本レジスタの対応する割り込み許可ビットを "0" から "1" に変更すれば、本モジュールは割り込みを発生します。

33.2.9 SOF 制御レジスタ

33.2.9.1 SOF ピンコンフィグレーションレジスタ【SOFCFG】< アドレス：03CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	BRDYM	—	—	SOFM		—	—
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 7	—	何も配置されていません。”0”に固定してください。	
6	BRDYM	PIPEBRDY割り込みステータスクリアタイミング設定 PIPEBRDY割り込みステータスをクリアするタイミングを指定します。 0：ソフトウエアがステータスをクリア 1：FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりハードウェアがステータスをクリア 本ビットは初期設定（通信前）時のみ設定できます。 通信後の設定変更はできません	R/W
5、4	—	何も配置されていません。”0”に固定してください。	
3、2	SOFM	SOF機能設定 SOFパルス出力モードを選択します 00：SOF出力禁止 01：1ms単位でSOF出力 10：125μs単位でμSOF出力 11：Reserved	R/W
1、0	—	何も配置されていません。”0”に固定してください。	

33.2.10　割り込みステータス

33.2.10.1　割り込みステータスレジスタ 0【INTSTS0】< アドレス：040H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ			VALID	CTSQ		
0	0	0	0	0	0	0	0	—	0	0	0	0	0	0	0
—	—	—	1	—	—	—	—	—	0	0	1	—	—	—	—

Bit	Name	Function	R/W
15	VBINTVBUS	変化検出割り込みステータス VBUS 変化検出割り込みステータスが表示されます。 0：VBUS 割り込み非発生 1：VBUS 割り込み発生	R/W(0)
14	RESM	レジューム割り込みステータス レジューム検出割り込みステータスが表示されます。 0：レジューム割り込み非発生 1：レジューム割り込み発生	R/W(0)
13	SOFR	フレーム番号更新割り込みステータス フレーム番号更新割り込みステータスが表示されます。 0：SOF 割り込み非発生 1：SOF 割り込み発生	R/W(0)
12	DVST	デバイスステート遷移割り込みステータス デバイスステート遷移割り込みが表示されます。 0：デバイスステート遷移割り込み非発生 1：デバイスステート遷移割り込み発生	R/W(0)
11	CTRT	Control 転送ステージ遷移割り込みステータス Control 転送ステージ遷移割り込みステータスが表示されます。 0：Control 転送ステージ遷移割り込み非発生 1：Control 転送ステージ遷移割り込み発生	R/W(0)
10	BEMP	BEMP 割り込みステータス BEMP 割り込みステータスが表示されます。 0：BEMP 割り込み非発生 1：BEMP 割り込み発生	R
9	NRDY	NRDY 割り込みステータス NRDY 割り込みステータスが表示されます。 0：NRDY 割り込み非発生 1：NRDY 割り込み発生	R
8	BRDY	BRDY 割り込みステータス BRDY 割り込みステータスが表示されます。 0：BRDY 割り込み非発生 1：BRDY 割り込み発生	R
7	VBSTS	VBUS 入力ステータス VBUS 端子の入力状態が表示されます。 0：VBUS 端子が "L" レベル 1：VBUS 端子が "H" レベル	R
6 ～ 4	DVSQ	デバイスステート デバイスステートが表示されます。 000：Powered ステート 001：Default ステート 010：Address ステート 011：Configured ステート 1xx：Suspended ステート	R
3	VALID	USB リクエスト受信 USB リクエスト受信検出有無が表示されます。 0：未検出 1：セットアップパケット受信	R/W(0)

Bit	Name	Function	R/W
2 ～ 0	CTSQ	Control 転送ステージ Control 転送ステージが表示されます。 000：アイドルまたはセットアップ ステージ 001：コントロールリードデータ ステージ 010：コントロールリードステータス ステージ 011：コントロールライトデータ ステージ 100：コントロールライトステータス ステージ 101：コントロールライト (No Data) ステータス ステージ 110：Control 転送シーケンスエラー 111：Reserved	R

注. * VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、または CTRT ビットが示すステータスをクリアする場合は、クリアしたいビットのみに "0" を、他のビットには "1" を書き込んでください。"0" を示しているステータスビットへの "0" 書き込みを行わないでください。
*本モジュールは本レジスタの VBINT ビット、RESM ビットが示すステータス変化をクロック停止中 ("SUSPM = 0") でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ステータスのクリアはクロック許可後に行ってください。

(1) VBUS 変化割り込みステータスビット (VBINT)

本モジュールが VBUS 端子入力値の変化 (High から Low への変化、および Low から High への変化) を検出したときに、本ビットに "1" を表示します。本モジュールは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、VBSTS ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

(2) レジューム割り込みステータスビット (RESM)

本モジュールが Suspend 状態 (DVSQ = 1XX) であり、かつ、DP 端子の立下りを検出したときに、本ビットに "1" を表示します。

(3) フレーム番号更新割り込みステータスビット (SOFR)

本モジュールが本ビットに "1" を表示する条件は、以下の通りです。

フレームナンバの更新時に本モジュールは本ビットに "1" を表示します。(本割り込みは、1ms ごとに検出します。)

USB HOST からの SOF パケットが破損したときでも、内部補間により、本モジュールは SOFR 割込みを検出します。

(4) デバイスステート遷移割り込みステータスビット (DVST)

本モジュールがデバイスステートの変化を検出したときに、本モジュールは DVSQ の値を更新し、本ビットに "1" を表示します。

本割り込みが発生したときには、本モジュールが次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

(5) Control 転送ステージ遷移割り込みステータスビット (CTRT)

本モジュールが Control 転送のステージ遷移を検出したときに、本モジュールは CTSQ の値を更新し、本ビットに "1" を表示します。

本割り込みが発生したときには、本モジュールが Control 転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

(6) バッファエンプティ割り込みステータスビット (BEMP)

BEMPENB レジスタの PIPEBEMPE ビットに "1" を設定した PIPE に対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが "1" の状態になったとき (BEMP 割り込み通知を許可した PIPE のうち少なくともひとつに対し本モジュールが BEMP 割り込み状態を検出したとき) に、本モジュールは本割込みステータスに "1" を表示します。

PIPEBEMP ステータスのアサート条件は、BEMPSTS レジスタを参照ください。

PIPEBEMPE ビットで許可を設定している PIPE に対応する PIPEBEMP ビットすべてに "0" を書き込むと、本モジュールは本ビットを "0" にクリアします。

本ビットに対して "0" を書き込んでも、本ビットの "0" クリアを行うことはできません。

(7) バッファノットレディ割り込みステータスビット (NRDY)

NRDYENB レジスタの PIPENRDYE ビットに "1" を設定した PIPE に対応する BNRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが "1" の状態になったとき (NRDY 割り込み通知を許可した PIPE のうち少なくともひとつに対し本モジュールが NRDY 割り込み状態を検出したとき) に、本モジュールは本割込みステータスに "1" を表示します。

PIPENRDY ステータスのアサート条件は、NRDYSTS レジスタを参照ください。

PIPENRDYE ビットで許可を設定している PIPE に対応する PIPENRDY ビットのすべてに "0" を書き込むと、本モジュールは本ビットを "0" にクリアします。

本ビットに対して "0" を書き込んでも、本ビットの "0" クリアを行うことはできません。

(8) バッファレディ割り込みステータスビット (BRDY)

BRDYENB レジスタの PIPEBRDYE ビットに "1" を設定した PIPE に対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくともひとつが "1" の状態になったとき (BRDY 割り込み通知を許可した PIPE のうち少なくともひとつに対し本モジュールが BRDY 割り込み状態を検出したとき) に、本モジュールは本割込みステータスに "1" を表示します。

PIPEBRDY ステータスのアサート条件は、BRDYSTS レジスタを参照ください。

PIPEBRDYE ビットで許可を設定している PIPE に対応する PIPEBRDY ビットのすべてに "0" を書き込むと、本モジュールは本ビットを "0" にクリアします。

本ビットに対して "0" を書き込んでも、本ビットの "0" クリアを行うことはできません。

33.2.10.2　BRDY 割り込みステータスレジスタ【BRDYSTS】< アドレス：046H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEBRDY															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 0	PIPEBRDY	各PIPEのBRDY割り込みステータス 各PIPEのBRDY割り込みステータスが表示されます。 0：割り込み非発生 1：割り込み発生	R/W(0)

注.　* ビット番号がPIPE番号に該当します。
* "BRDYM = 0"の設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。
* "BRDYM = 0"の設定の場合、本割り込みのクリアは、必ずFIFOアクセスを行う前に実施してください。

(1)　各 PIPE の BRDY 割り込みステータスビット (PIPEBRDY)

本モジュールがある PIPE に対して BRDY 割り込みを検出した場合に、本モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに "1" を表示します。このとき、BRDYENB レジスタの対応するビットに "1" が設定されている場合、本モジュールは INTSTS0 レジスタの BRDY ビットに "1" を表示し、割り込みを発生します。

BRDY 割り込みは、BRDYM ビットおよび各 PIPE の BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(a)　"BRDYM = 0 かつ BFRE = 0" 設定時

この設定の場合、BRDY 割込みは FIFO ポートにアクセス可能になった事を示す割り込みになります。

本モジュールは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生 PIPE に対応する PIPEBRDY ビットに "1" を表示します。

(1) 送信方向に設定した PIPE の場合
- (a) DIR ビットを "0" から "1" に変更したとき
- (b) 当該 PIPE に割り付けた FIFO バッファへの CPU からの書き込みが不可状態のとき (BSTS ビット読み出し値が "0" のとき) に、本モジュールが当該 PIPE のパケット送信を完了したとき。
  連続送受信モードに設定した場合には、FIFO バッファ一面分のデータの送信完了時に要求トリガが発生します。
- (c) FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
  FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- (d) 転送 TYPE が Isochronous の PIPE において、本モジュールによるバッファフラッシュが発生したとき
- (e) ACLRM ビットに "1" を書き込むことより、FIFO バッファが書き込み不可状態から書き込み可能状態になったとき

DCP に対しては (すなわち、Control 転送でのデータ送信においては) 要求トリガは発生しません。

(2) 受信方向に設定した PIPE の場合

(a) 当該 PIPE に割り付けた FIFO バッファへの CPU からの読み出しが不可状態のとき (BSTS ビット読み出し値が "0" のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。
データ PID ミスマッチのトランザクションに対しては、要求トリガは発生しません。
連続送受信モードの場合には、Max Packet Size のデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。
ショートパケットを受信した場合には、FIFO バッファに空きがあっても要求トリガは発生します。
トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。
このとき、FIFO バッファにまだ空きがあっても要求トリガは発生します。

(b) FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読出し完了時にもう一方の FIFO バッファも 読出し可能状態であったとき
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読出し完了になるまで要求トリガは発生しません。

Control 転送のステータスステージでの通信では本割り込みは発生しません。

本ビットの該当 PIPE に対応するビットに "0" を書き込むことにより、該当 PIPE の PIPEBRDY 割り込みステータスを "0" にクリアすることができます。このとき、他の PIPE に対応するビットには "1" を書き込んでください。
本割り込みステータスのクリアは、必ず FIFO バッファへのアクセスを行う前に実施してください。

(b) "BRDYM = 0 かつ BFRE = 1" 設定時

この設定の場合、本モジュールは、受信 PIPE において 1 トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの該当 PIPE に対応するビットに "1" を表示します。

本モジュールは、以下のいずれかのときに 1 トランスファにおける最後のデータを受信したと判定します。

(1) Zero-Length パケットを含むショートパケットを受信したとき

(2) トランザクションカウンタ (TRNCNT ビット) を使用し、TRNCNT ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、本モジュールは 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケット受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN ビットが 0 の状態になった時点で、本モジュールは 1 トランスファ分の全データ読み出し完了と判断します。
この場合、次のトランスファを開始するためには、対応する FIFOCTR レジスタの BCLR ビットに "1" を書き込んでください。

本設定の場合には、本モジュールは送信 PIPE に対して BRDY 割込みを検出しません。

本ビットの該当 PIPE に対応するビットに "0" を書き込むことにより、該当 PIPE の PIPEBRDY 割り込み

ステータスを "0" にクリアすることができます。このとき、他の PIPE に対応するビットには "1" を書き込んでください。

本モードを使用するときには、トランスファ分の処理を終了するまで BFRE ビットの設定値を変更しないでください。
途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応する PIPE の FIFO バッファをすべてクリアしてください。

(c) "BRDYM = 1 かつ BFRE = 0" 設定時

この設定の場合、本ビットの値は各 PIPE の BSTS ビットに連動します。すなわち、BRDY 割込みステータスは FIFO バッファの状態によって本モジュールが "1"、"0" を表示します。

(a) 送信方向に設定した PIPE の場合
FIFO ポートにデータが書き込み可能な状態であれば "1" を表示し、書き込み不可の状態になれば "0" を表示します。
ただし DCP の送信 PIPE が書き込み可能であっても、BRDY 割込みはアサートされません。

(b) 受信方向に設定した PIPE の場合
FIFO ポートにデータが読出し可能な状態であれば "1" を表示し、すべてのデータを読み出したら (読出し不可の状態になったら) "0" を表示します。
FIFO バッファが空で Zero-Length パケットを受信した場合、"BCLR = 1" を書き込むまで該当ビットには "1" が表示され BRDY 割込みはアサートされ続けます。

本設定時、本ビットの "0" クリアを行うことはできません。

BRDYM = "1" 設定時は、BFRE ビットは必ずすべて (全 PIPE) "0" に設定してください。

33.2.10.3　NRDY 割り込みステータスレジスタ【NRDYSTS】< アドレス：048H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPENRDY															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 0	PIPENRDY	各 PIPE の NRDY 割り込みステータス 各 PIPE の NRDY 割り込みステータスが表示されます。 0：割り込み非発生 1：割り込み発生	R/W(0)

注.　* ビット番号が PIPE 番号に該当します。
* 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。

(1)　各 PIPE の NRDY 割り込みステータスビット (PIPENRDY)

"PID = BUF" に設定した PIPE に対して、本モジュールが内部 NRDY 割り込み要求を発生させた場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに "1" を表示します。このとき、NRDYENB レジスタの対応するビットに "1" が設定されている場合、本モジュールは INTSTS0 レジスタの NRDY ビットに "1" を表示し、割り込みを発生します。

本モジュールが、各 PIPE に対して内部 NRDY 割り込み要求を発生させる条件を以下に述べます。Control 転送ステータスステージ実行時は割り込み要求を発生させません。

(a)　送信方向 PIPE の場合

(1) 当該 PIPE の PID ビットが "BUF" ("01") に設定されている場合に FIFO バッファに送信データがない状態で IN Token を受信したとき

IN Token 受信時に本モジュールは NRDY 割り込み要求を発生させ PIPENRDY ビットに "1" を表示します。

割り込み発生 PIPE の転送 TYPE が Isochronous の場合、本モジュールは Zero-Length パケットを送信し、OVRN ビットに "1" を表示します。

(b)　受信方向 PIPE の場合

(1) 当該 PIPE の PID ビットが "BUF" ("01") に設定されている場合に FIFO バッファに空きがない状態で OUT トークンを受信したとき

割り込み発生 PIPE の転送 TYPE が Isochronous の場合、OUT トークン受信時に本モジュールは NRDY 割り込み要求を発生させ、PIPENRDY ビットに "1" を表示し、OVRN ビットに "1" を表示します。

割り込み発生 PIPE の転送 TYPE が Isochronous 以外の場合、本モジュールは、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPENRDY ビットに "1" を表示します。

ただし、再送時 (DATA-PID ミスマッチ発生時) には、NRDY 割り込み要求を発生させません。

また、DATA パケットにエラーがある場合にも、発生させません。

(2) 当該 PIPE の PID ビットが "BUF" ("01") に設定されている場合に FIFO バッファに空きがない状態で PING トークンを受信したとき
PING トークン受信時に本モジュールは NRDY 割り込み要求を発生させ PIPENRDY ビットに "1" を表示します。

(3) 転送 TYPE が Isochronous の PIPE において、当該 PIPE の PID ビットが "BUF" ("01") に設定されている場合にインターバルフレーム内に正常受信されなかったとき
SOF 受信のタイミングで本モジュールは、NRDY 割り込み要求を発生させ、PIPENRDY ビットに "1" を表示します。

33.2.10.4　BEMP 割り込みステータスレジスタ【BEMPSTS】< アドレス：04AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEBEMP															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 0	PIPEBEMP	各PIPEのBEMP割り込みステータス 各PIPEのBEMP割り込みステータスが表示されます。 0：割り込み非発生 1：割り込み発生	R/W(0)

注.　* ビット番号がPIPE番号に該当します。
* 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。

(1)　各 PIPE の BEMP 割り込みステータスビット (PIPEBEMP)

"PID = BUF" に設定した PIPE に対して、本モジュールが、BEMP 割り込みを検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに "1" を表示します。このとき、BEMPENB レジスタの対応するビットに "1" が設定されている場合、本モジュールは INTSTS0 レジスタの BEMP ビットに "1" を表示し、割り込みを発生します。

以下の場合に、本モジュールは内部 BEMP 割り込み要求を発生させます。

(1) 送信方向 PIPE において、送信完了時 (Zero-Length パケットの送信時を含む) に、対応する PIPE の FIFO バッファが空のとき。
シングルバッファ設定時は、DCP 以外の PIPE に対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。
ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。
(a) ダブルバッファ設定時に、1 面分のデータ送信完了時に CPU 側の FIFO バッファに対する書き込みを開始している場合
(b) また、ACLRM ビットまたは BCLR ビットに "1" を書き込むことによるバッファクリア（エンプティ）。
(c) Control 転送 Status ステージの IN 転送 (Zero-Length パケット送信) 時

(2) 受信方向 PIPE の場合
Max Packet Size の設定値より大きなデータサイズを正常受信したとき
この場合、本モジュールは、BEMP 割り込み要求を発生させ、PIPEBEMP ビットの対応するビットに "1" を表示し、受信データを破棄し、対応する PIPE の PID ビットを "STALL" ("11") に変更します。
このとき、本モジュールは、STALL 応答を行います。

ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。
(a) 受信データに CRC エラー、またはビットスタッフィングエラー等を検出したとき
(b) SETUP トランザクション実行時

本ビットに "0" を書き込むことにより、ステータスをクリアすることができます。
本ビットに "1" を書き込んでも、何もしません。

33.2.11　フレーム番号レジスタ

33.2.11.1　フレームナンバレジスタ【FRMNUM】< アドレス：04CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVRN	CRCE	—	—	—	FRNM										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	OVRN	オーバラン／アンダラン検出ステータス Isochronous転送を行っているPIPEに対するオーバラン／アンダランエラー検出の有無が表示されます。 0：エラーなし 1：エラー発生	R/W(0)
14	CRCE	CRCエラー検出ステータス Isochronous転送を行っているPIPEに対するCRCエラー検出ステータスが表示されます。 0：エラーなし 1：エラー発生	R/W(0)
13 ～ 11	—	何も配置されていません。”0”に固定してください。	
10 ～ 0	FRNM	フレーム番号 最新のフレーム番号が表示されます。	R

注.　* OVRNビットはデバッグ用のビットです。システムとしては、オーバラン／アンダランが発生しないようにしてください。

(1)　オーバラン／アンダラン検出ステータスビット (OVRN)

転送 TYPE が Isochronous の PIPE において、本モジュールがオーバランまたはアンダランを検出したときに、本ビットに "1" を表示します。

オーバランまたはアンダラン検出時には、本モジュールは内部 NRDY 割り込み要求を発生させます。
詳細は、「(1) 各 PIPE の NRDY 割り込みステータスビット (PIPENRDY) <Page 33-37>」を参照してください。

本ビットに "0" を書き込むことにより、本ビットを "0" にクリアすることができます。このとき、CRCE を同時にクリアしたくない場合には 0x40 を書き込んでください。

以下の (1) ～ (2) いずれかの場合に、本モジュールが本ビットに "1" を表示します。

(1) 転送 TYPE が Isochronous の送信方向 PIPE において、FIFO バッファに送信データの書き込みが完了していないのに IN Token を受信したとき。

(2) 転送 TYPE が Isochronous の受信方向 PIPE において、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき。

(2)　CRC エラー検出ステータスビット (CRCE)

転送 TYPE が Isochronous の PIPE において、本モジュールが CRC エラーやビットスタッフィングエラーを検出したときに、本ビットに "1" を表示します。

本ビットに "0" を書き込むことにより、本ビットを "0" にクリアすることができます。このとき、OVRN を同時にクリアしたくない場合には 0x80 を書き込んでください。

CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させます。
詳細は、「(1) 各 PIPE の NRDY 割り込みステータスビット (PIPENRDY) <Page 33-37>」を参照してください。

(3)　フレーム番号ビット (FRNM)

1ms に 1 回の SOF 受信時に本ビットを更新し、フレーム番号を表示します。
本ビットを読み出す場合には、2 回読み出しを行い一致することを確認してください。

33.2.11.2　μ フレームナンバレジスタ【UFRMNUM】< アドレス：04EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	DVCHG	0:USBADDR レジスタ書き込み禁止 1: USBADDR レジスタ書き込み許可 レジューム信号受信による復帰で使用するビットです。 本ビットおよび、USBADDR レジスタの設定は、 「33.9.16.4　レジューム信号受信によるディープスタンバイ復帰フロー」に従ってください。 フローを守らず設定した場合、動作を保証しません。	R/W
14 ～ 3	—	何も配置されていません。”0”に固定してください。	
2 ～ 0	UFRNM	マイクロフレーム マイクロフレーム番号が表示されます。	R

(1)　マイクロフレーム番号ビット (UFRNM)

High-Speed 通信の場合、本モジュールは本ビットにマイクロフレーム番号を表示します。High-Speed 状態以外の場合、本モジュールは本ビットに 0x00 を表示します。
本ビットを読み出す場合には、2 回読み出し、一致する事を確認してください。

33.2.12　USB アドレス

33.2.12.1　USB アドレスレジスタ【USBADDR】< アドレス：050H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	STSRECOV0			—	USBADDR						
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0

Bit	Name	Function	R/W
15 ～ 11	—	何も配置されていません。”0”に固定してください。	
10 ～ 8	STSRECOV0	ステータスリカバリビットです。 b10 / b9 / b8 / 説明 0 / 0 / 1 / FS Default ステート 0 / 1 / 0 / FS Address ステート 0 / 1 / 1 / FS Configured ステート 1 / 0 / 1 / HS Default ステート 1 / 1 / 0 / HS Address ステート 1 / 1 / 1 / HS Configured ステート 1 / 0 / 0 / Suspend ステート 設定手順は「33.9.16.4　レジューム信号受信によるディープスタンバイ復帰フロー」に従ってください。 フローを守らず設定した場合、動作を保証しません。	R/W
7	—	何も配置されていません。”0”に固定してください。	
6 ～ 0	USBADDR	USB アドレス Host から割り付けられた USB アドレス確認が表示されます。	R

(1)　USB アドレスビット (USBADDR)

本モジュールが SetAddress リクエストを正常に処理したときに、本ビットに受信した USB アドレスを表示します。

本モジュールが USB バスリセットを検出したときに、本モジュールは本ビットに 0x00 を表示します。

33.2.13　USB リクエストレジスタ

USB リクエストレジスタは、Control 転送のセットアップリクエストを格納するためのレジスタです。
受信した USB リクエストの値が格納されます。

33.2.13.1　USB リクエストタイプレジスタ【USBREQ】< アドレス：054H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
bRequest								bmRequestType							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	R/W
15 ～ 8	bRequest	リクエスト USB リクエスト bRequest の値	R
7 ～ 0	bmRequestType	リクエストタイプ USB リクエスト bmRequestType の値	R

(1)　USB リクエストビット (bRequest)

本モジュールが SETUP トランザクションで受信した USB リクエストデータ値を、このビットに表示します。本ビットへの書き込みは無効です。

(2)　USB リクエストビット (bRmRequestType)

本モジュールが SETUP トランザクションで受信した USB リクエストデータ値を、このビットに表示します。本ビットへの書き込みは無効です。

33.2.13.2　USB リクエストバリューレジスタ【USBVAL】< アドレス：056H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wValue															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	R/W
15 ～ 0	wValue	バリュー USB リクエスト wValue の値	R

(1)　バリュービット (wValue)

USB リクエスト wValue の値を読み出すためのビットです。
本モジュールが SETUP トランザクションで受信した USB リクエスト wValue の値を、このビットに表示します。本ビットへの書き込みは無効です。

33.2.13.3　USB リクエストインデックスレジスタ【USBINDX】< アドレス：058H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wIndex															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	R/W
15 ～ 0	wIndex	インデックス USB リクエスト wIndex の値	R

(1)　インデックスビット (wIndex)

USB リクエスト wIndex の値を読み出すためのビットです。

本モジュールが SETUP トランザクションで受信した USB リクエスト wIndex の値を、このビットに表示します。本ビットへの書き込みは無効です。

33.2.13.4　USB リクエストレングスレジスタ【USBLENG】< アドレス：05AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wLength															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	R/W
15 ～ 0	wLength	レングス USB リクエスト wLength の値	R

(1)　レングスビット (wLength)

USB リクエスト wLength の値を読み出すためのビットです。

本モジュールが SETUP トランザクションで受信した USB リクエスト wLength の値を、このビットに表示します。本ビットへの書き込みは無効です。

33.2.14　DCP コンフィグレーション

Control 転送でデータ通信を行う場合は、デフォルトコントロール PIPE (DCP) を用いてください。

33.2.14.1　DCP コンフィグレーションレジスタ【DCPCFG】< アドレス：05CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	CNTMD	SHTNAK	—	—	—	—	—	—	—
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 9	—	何も配置されていません。”0”に固定してください。	
8	CNTMD	連続転送モード Default Control PIPE を連続転送モードで通信させるかどうかを指定します。 0：非連続転送モード 1：連続転送モード	R/W
7	SHTNAK	トランスファ終了時の PIPE 禁止 Default Control PIPE が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。 0：トランスファ終了時に PIPE 継続 1：トランスファ終了時に PIPE 禁止	R/W
6 ～ 0	—	何も配置されていません。”0”に固定してください。	

33.2.14.2　DCP マックスパケットサイズレジスタ【DCPMAXP】< アドレス：05EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	MXPS						
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 7	—	何も配置されていません。”0”に固定してください。	
6 ～ 0	MXPS	マックスパケットサイズ DCP の最大データペイロード(マックスパケットサイズ)を指定します。	R/W

(1)　マックスパケットサイズビット (MXPS)

DCP の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。
初期値は、0x40 (64Bytes) です。

MXPS ビットの設定は、USB 規格に準拠した値を設定してください。
MXPS ビットの設定は、"PID = NAK"、および CURPIPE ビットに未設定時に実施してください。
対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

"MXPS = 0" の設定での FIFO バッファへの書き込み、または "PID = BUF" の設定は行わないでください。

33.2.14.3　DCP コントロールレジスタ【DCPCTR】< アドレス：060H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID	
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0

Bit	Name	Function	R/W
15	BSTS	バッファステータス DCP FIFOバッファへのアクセス可否ステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R
14 ～ 9	—	何も配置されていません。”0”に固定してください。	
8	SQCLR	トグルビットクリア DCPの転送において、次のトランザクションのシーケンストグルビットの期待値をDATA0に設定する事ができます。 0：書き込み無効 1：DATA0指定	R(0)/W(1)
7	SQSET	トグルビットセット DCPの転送において、次のトランザクションのシーケンストグルビットの期待値をDATA1に設定する事ができます。 0：書き込み無効 1：DATA1指定	R(0)/W(1)
6	SQMON	シーケンストグルビットモニタ DCPの転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1	R
5	PBUSY	PIPEビジー 当該PIPEを現在USBバスで使用中かどうかが表示されます。 0：当該PIPEをUSBバスにて未使用 1：当該PIPEをUSBバスにて使用中	R
4 ～ 3	—	何も配置されていません。”0”に固定してください。	
2	CCPL	Control転送終了許可 ビットを1にすることによりControl転送のステータスステージの終了許可を設定します。 0：Control転送終了不許可 1：Control転送終了許可	R/W
1、0	PID	応答PID 本ビットによりControl転送における本モジュールの応答を制御します。 00：NAK応答 01：BUF応答（バッファ状態に従う） 10：STALL応答 11：STALL応答	R/W

(1)　バッファステータスビット (BSTS)

DCP に割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかを、本モジュールが表示するビットです。

本ビットの意味は、ISEL ビットの設定値により以下のように異なります。

(1) "ISEL = 0" のとき : 受信データの読み出しが可能かどうか、を表示します。

(2) "ISEL = 1" のとき : 送信データの書き込みが可能かどうか、を表示します。

(2)　シーケンストグルビットのクリアビット (SQCLR)

本ビットに "1" を設定すると本モジュールは当該 PIPE のシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに "0" を表示します。

SQCLR ビットと SQSET ビットに同時に "1" を設定しないでください。
本ビットへの "1" 設定は、"PID = NAK"、および "CURPIPE に未設定時 " に実施してください。
対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットに "1" を設定する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(3)　シーケンストグルビットのセットビット (SQSET)

本ビットに "1" を設定すると本モジュールは当該 PIPE のシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに "0" を表示します。
SQCLR ビットと SQSET ビットに同時に "1" を設定しないでください。
本ビットへの "1" 設定は、"PID = NAK"、および "CURPIPE に未設定時 " に実施してください。
対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットに "1" を設定する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(4)　シーケンストグルビットのモニタビット (SQMON)

本モジュールは当該 PIPE のシーケンストグルビットの期待値を本ビットに表示します。
トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。
ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。
SETUP パケット正常受信時に、本モジュールは本ビットを "1" にセット (期待値を DATA1 に設定) します。
本モジュールはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また正常終了してもトグルさせません。

(5)　PIPE ビジービット (PBUSY)

本モジュールは、当該 PIPE の USB トランザクションを開始したときに本ビットを "0" から "1" に変更します。ひとつのトランザクションが終了したときに本ビットを "1" から "0" に変更します。
"PID = NAK" を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することができます。

(6)　Control 転送終了許可ビット (CCPL)

対応する PID ビットが "BUF" のときに本ビットに "1" を設定すると、本モジュールは Control 転送のステータスステージを完了させます。
すなわち、ControlRead 転送時では USB Host からの OUT トランザクションに対して ACK Handshake を送信し、コントロールライトおよび No data Control 転送時では USB Host からの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定値に関係なく本モジュールは SETUP ステージからステータスステージ完了まで自動応答を行います。
新たな SETUP パケットを受信したときに、本モジュールは本ビットを "1" から "0" に変更します。
"VALID = 1" のとき、本ビットへの "1" 書き込みを行うことができません。

(7)　応答 PID ビット (PID)

本ビットに対し、Control 転送のデータステージ、またはステータスステージ実行時、本ビットを "NAK"

から "BUF" に変更してください。

以下の場合には、本モジュールが本ビットの値を変更します。

(1) 本モジュールが SETUP パケットを受信したときに、本モジュールは本ビットを "NAK" ("00") に変更します。このとき、本モジュールは "VALID = 1" を表示し、"VALID = 0" を設定するまでは本ビットの変更を行うことはできません。

(2) 本ビットに "BUF" を設定しているときに、本モジュールが Max Packet Size を超えるデータを受 信した場合、本モジュールは "PID = STALL (11)" を表示します。

(3) 本モジュールが Control 転送シーケンスエラーを検出した場合、"PID = STALL (1x)" を表示します。

(4) 本モジュールが USB バスリセットを検出した場合、"PID = NAK" を表示します。

SET_ADDRESS リクエスト処理（自動処理）ときには、本モジュールは本ビットの設定値を参照しません。

33.2.15　PIPE コンフィグレーションレジスタ

PIPE1~15 の設定は、PIPESEL レジスタ、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPExCTR レジスタ、PIPExTRE レジスタ、および PIPExTRN レジスタで行ってください。

PIPESEL レジスタにて使用する PIPE を選択した後、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタに、各 PIPE の機能設定を行います。

なお、PIPExCTR レジスタ、PIPExTRE レジスタ、および PIPExTRN レジスタは、PIPESEL レジスタによる PIPE 選択とは無関係に設定可能です。

33.2.15.1　PIPE ウィンドウ選択レジスタ【PIPESEL】< アドレス：064H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 4	—	何も配置されていません。”0”に固定してください。	
3 ～ 0	PIPESEL	PIPE ウィンドウ選択 アドレス 68H-6EH のレジスタに対する PIPE 指定を行います。 0000：未選択 0001：PIPE1 0010：PIPE2 0011：PIPE3 0100：PIPE4 0101：PIPE5 0110：PIPE6 0111：PIPE7 1000：PIPE8 1001：PIPE9 1010：PIPE10 1011：PIPE11 1100：PIPE12 1101：PIPE13 1110：PIPE14 1111：PIPE15	R/W

注.　“PIPESEL = 0000” 設定時は、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスの各ビットにすべて”0”が読み出されます。“PIPESEL = 0000” 設定時、上記レジスタに対する書き込みは無効です。

(1)　PIPE ウィンドウ選択ビット (PIPESEL)

本ビットに "0001" ～ "1111" を設定すると、本モジュールは PIPECFG, PIPEBUF, PIPEMAXP, PIPEPERI レジスタに対応する PIPE の情報、および設定値を表示します。本ビットへの PIPE 指定設定後、PIPECFG, PIPEBUF, PIPEMAXP, PIPEPERI レジスタに設定する値は、本モジュールによって対応する PIPE の転送方法に反映されます。

本ビットに "0000" を設定すると、本モジュールは PIPECFG, PIPEBUF, PIPEMAXP, PIPEPERI レジスタに ALL "0" を表示します。このとき、PIPECFG, PIPEBUF, PIPEMAXP, PIPEPERI への書き込みは無効です。

33.2.15.2　PIPE コンフィグレーションレジスタ【PIPECFG】< アドレス：068H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE		—	—	—	BFRE	DBLB	CNTMD	SHTNAK	—	—	DIR	EPNUM			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15、14	TYPE	転送タイプ PIPESEL ビットに指定した PIPE (当該 PIPE) の転送タイプを指定します。 00：PIPE 使用不可 01：Bulk 転送 10：Interrupt 転送 11：Isochronous 転送	R/W
13 ～ 11	—	何も配置されていません。"0"に固定してください。	
10	BFRE	BRDY 割り込み動作指定 本モジュールからの当該 PIPE に関する BRDY 割り込みの通知タイミングを指定します。 0：データ送受信時に BRDY 割り込み通知 1：データ読み出し完了時に BRDY 割り込み通知	R/W
9	DBLB	ダブルバッファモード 当該 PIPE が使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。 0：シングルバッファ 1：ダブルバッファ	R/W
8	CNTMD	連続転送モード 当該 PIPE を連続転送モードで通信させるかどうかを指定します。 0：非連続転送モード 1：連続転送モード	R/W
7	SHTNAK	トランスファ終了時の PIPE 禁止 当該 PIPE が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。 0：トランスファ終了時に PIPE 継続 1：トランスファ終了時に PIPE 禁止	R/W
6、5	—	何も配置されていません。"0"に固定してください。	
4	DIR	転送方向 当該 PIPE の転送方向を指定します。 0：受信方向 1：送信方向	R/W
3 ～ 0	EPNUM	エンドポイント番号 当該 PIPE のエンドポイント番号を指定します。	R/W

(1)　転送タイプビット (TYPE)

PIPESEL ビットに設定した PIPE (選択 PIPE) の USB 転送タイプを本ビットに対して設定してください。選択 PIPE と本ビットに設定可能な転送タイプの一覧を**表 33.12** に示します。

表33.12　選択PIPEとTYPEビットに設定可能な転送タイプの一覧

選択PIPE	TYPEビット	USB転送TYPE
PIPE1、またはPIPE2	"01" または "11"	bulk転送、またはisochronous転送
PIPE3～PIPE5	"01"	bulk転送
PIPE6～PIPE8	"10"	interrupt転送
PIPE9	"01" または "10"	bulk 転送、またはinterrupt 転送
PIPE10	"01" または "10"	bulk 転送、またはinterrupt 転送
PIPE10～PIPE15	"01"	bulk転送

"PID = BUF" に設定 (することにより選択 PIPE を使用した USB 通信を開始) する前に、必ず本ビットを "00" 以外の値に設定してください。

本ビットの変更は、選択 PIPE の PID ビットが "NAK" 状態のときに行ってください。選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(2) BRDY 割り込み動作指定ビット (BFRE)

本ビットは、選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 の場合に有効なビットです。

本ビットに "1" を設定し、かつ、選択 PIPE を受信方向で使用している場合（すなわち "DIR ビット = 0" に設定しているとき)、本モジュールは、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、"BCLR = 1" の書き込み処理を行う必要があります。"BCLR = 1" を行うまでは、選択 PIPE に割り付けられた FIFO バッファは受信可能状態になりません。

本ビットに "1" を設定し、かつ、選択 PIPE の選択 PIPE を送信方向で使用している場合 (すなわち "DIR ビット = 1" に設定しているとき) 、本モジュールは BRDY 割り込みを発生させません。

詳細は、PIPEBRDY 割り込みレジスタを参照してください。

本ビットの変更は、"PID = NAK"、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、"ACLRM = 1"、"ACLRM = 0" を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(3) ダブルバッファモードビット (DBLB)

本ビットは、選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 の場合に有効なビットです。

本ビットに "1" を設定している場合、本モジュールは選択 PIPE に対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

すなわち、本モジュールが選択 PIPE に対して割り当てる FIFO バッファの容量は以下の通りです。

(BUFSIZE+1) * 64 * (DBLB+1) [バイト]

本ビットの変更は、"PID = NAK"、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、"ACLRM = 1"、"ACLRM = 0" を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(4)　連続転送モードビット (CNTMD)

本ビットは、選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 であり、かつ、選択 PIPE の転送タイプを bulk に設定しているの場合に有効なビットです。

本ビットの設定値によって、本モジュールは選択 PIPE に割り当てられた FIFO バッファに対する送受信完了判定を**表 33.13** に示す通りに行います。

表33.13　CNTMDビット設定値とFIFOバッファに対する送受信完了判定方法の関係

CNTMDビット設定値	読み出し可能状態、送信可能状態の判定方法
0	受信方向設定時 ("DIR = 0") FIFOバッファ読み出し可能状態になる条件; 本モジュールが1パケット受信したとき
	送信方向設定時 ("DIR = 1") FIFOバッファ送信可能状態になる条件; 以下(1)、(2)のいずれかを満たしたとき (1) マックスパケットサイズ分のデータをFIFOバッファに書き込んだ (2) ショートパケット分のデータ (0バイトの場合を含む) をFIFOバッファに書き込み、"BVAL = 1" を書き込んだ
1	受信方向設定時 ("DIR = 0") FIFOバッファ読み出し可能状態になる条件; (1) 選択PIPEに割り当てられたFIFOバッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE+1) * 64) が等しくなったとき (2) 本モジュールがZero-Lengthパケット以外のショートパケットを受信したとき (3) 選択PIPEに割り当てられたFIFOバッファにすでにデータが格納されている状態で、本コントローラがZero-Lengthパケットを受信したとき (4) 選択PIPEに対して設定したトランザクションカウンター回数分のパケットを受信したとき
	送信方向設定時 ("DIR = 1") FIFOバッファ送信可能状態になる条件; 以下(1)～(3)のいずれかを満たしたとき (1) 書き込んだデータ数が、選択PIPEに割り当てられたFIFOバッファサイズ1面分と等しくなったとき (2) 選択PIPEに割り当てられたFIFOバッファサイズ1面分よりも小さいデータ数 (0バイトの場合を含む) をFIFOバッファに書き込み、"BVAL = 1" を書き込んだとき (3) 選択PIPEに割り当てられたFIFOバッファサイズ1面分よりも小さいデータ数 (0バイトの場合を含む) をFIFOバッファに書き込み、最後の書き込みと同時に転送終了信号をアサートしたとき

本ビットの変更は、"PID = NAK"、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、"ACLRM = 1"、"ACLRM = 0" を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(5)　トランスファ終了時の PIPE 禁止ビット (SHTNAK)

本ビットは、選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 であり、かつ、受信方向である場合に有効なビットです。

受信方向 PIPE に対して本ビットに "1" を設定している場合、本モジュールは、選択 PIPE に対しトランスファの終了を判定したときに選択 PIPE に対応する PID ビットを "NAK" に変更します。本モジュールは、以下 (1) または (2) の条件が満たされたときにトランスファ終了と判定します。

(1) ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき。

(2) トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき。

本ビットの変更は、"PID = NAK" の状態のときに実施してください。
選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。
送信方向 PIPE に対しては、本ビットを "0" に設定してください。

(6)　転送方向ビット (DIR)

本ビットに "0" を設定している場合、本モジュールは選択 PIPE を受信方向に、本ビットに "1" を設定している場合、本モジュールは選択 PIPE を送信方向に使用します。

本ビットの変更は、"PID = NAK" 、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。
また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、"ACLRM = 1"、"ACLRM = 0" を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。
選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(7)　エンドポイント番号ビット (EPNUM)

本ビットに選択 PIPE に対するエンドポイント番号を設定してください。
ただし、"0000" の設定は、未使用 PIPE を意味します。

本ビットの変更は、"PID = NAK" 、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。
選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

DIR ビットと EPNUM ビットの設定の組み合わせが他の PIPE 設定と重複しないようにして設定してください。
("EPNUM = 000" (選択 PIPE は未使用) の設定は重複可能です)

33.2.15.3　PIPE バッファ指定レジスタ【PIPEBUF】< アドレス：06AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	BUFSIZE							BUFNM							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	—	何も配置されていません。"0"に固定してください。	
14 ～ 10	BUFSIZE	バッファサイズ PIPESELビットに指定したPIPE(当該PIPE)のFIFOバッファサイズを指定します。 0x00: 64バイト 0x01: 128バイト ... (0x1F: 2Kバイト)	R/W
9、8	—	何も配置されていません。"0"に固定してください。	
7 ～ 0	BUFNMB	バッファ番号 当該PIPE のFIFOバッファ番号を指定します。 （0x4 ~0x7F）	R/W

注.　* 本レジスタの各ビットの変更は、"PID = NAK"、およびCURPIPEビットにPIPE未設定、の状態のときに実施してください。
* 選択PIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"PBUSY = 0"を確認してから本ビットを変更してください。ただし、本モジュールがPIDビットを"NAK"に変更した場合には、PBUSYビットの確認は必要ありません。

(1)　バッファサイズビット (BUFSIZE)

当該 PIPE に割り付ける FIFO バッファサイズを、本ビットに指定してください。単位はブロック数であり、1 ブロックは 64 バイトです。"DBLB = 1" を設定している場合、本モジュールは選択 PIPE に対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

本モジュールが選択 PIPE に対して割り当てる FIFO バッファの容量は以下の通りです。
(BUFSIZE+1) * 64 * (DBLB+1) [バイト]

本ビットへは以下の範囲の値を設定してください。
(1) 選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 の場合 ; 0x0 から 0x1F の値を設定可能です。
(2) 選択 PIPE が PIPE6 ～ PIPE8 の場合 ; 0x0 のみを設定可能です。
"CNTMD = 1" で使用する場合には、BUFSIZE ビットには Max Packet Size の整数倍の値を設定してください。

(2)　バッファ番号ビット (BUFNMB)

当該 PIPE に割り付ける FIFO バッファのうち、先頭のブロック番号を指定してください。
本モジュールが選択 PIPE に対して割り当てる FIFO バッファのブロックは以下の通りです。
ブロック番号 : BUFNMB ～ブロック番号 : BUFNMB + (BUFSIZE + 1) * (DBLB + 1) - 1

本ビットへ 0x04 ～ 0x7F の範囲で設定し、以下の条件を守ってください。

0x00 は DCP 専用です。
0x04 は PIPE6 専用です。ただし PIPE6 を使用しない場合は他の PIPE で使用可能です。
また選択 PIPE が PIPE6 の場合、本ビットへの書き込みは無効です。本モジュールは PIPE6 に対し "BUFNMB = 0x04" を自動的に割り付けます。

0x05 は PIPE7 専用です。ただし PIPE7 を使用しない場合は他の PIPE で使用可能です。
また選択 PIPE が PIPE7 の場合、本ビットへの書き込みは無効です。本モジュールは PIPE7 に対し "BUFNMB = 0x05" を自動的に割り付けます。
0x06 は PIPE8 専用です。ただし PIPE8 を使用しない場合は他の PIPE で使用可能です。
また選択 PIPE が PIPE8 の場合、本ビットへの書き込みは無効です。本モジュールは PIPE8 に対し "BUFNMB = 0x06" を自動的に割り付けます。
0x07 は PIPE9 専用です。ただし PIPE9 を使用しない場合は他の PIPE で使用可能です。
また選択 PIPE が PIPE9 の場合、本ビットへの書き込みは有効です。本モジュールは PIPE9 に対し "BUFNMB = 0x07" を初期値として割り付けます。

33.2.15.4　PIPE マックスパケットサイズレジスタ【PIPEMAXP】< アドレス：06CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	MXPS										
0	0	0	0	0	0	0	0	0	0 (1)	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 11	—	何も配置されていません。”0”に固定してください。	
10 ～ 0	MXPS	マックスパケットサイズ 当該PIPEの最大データペイロード(マックスパケットサイズ)を指定します。 PIPE6～8 は 0x1～0x40 バイトまで設定可能です。	R/W

注.　* MXPS ビットの初期値は、PIPESEL レジスタの PIPESEL ビットで PIPE を選択していないときは "0x00" 、PIPE を選択しているときは ”0x40” が表示されます。

(1)　マックスパケットサイズビット (MXPS)

選択 PIPE の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。
初期値は、0x40 (64 バイト) です。

- PIPE1, 2 に対しては 1 バイト (0x1) ～ 1024 バイト (0x400) の値を設定可能です。
- PIPE3 ～ 5 に対しては 8 バイト (0x8) 、16 バイト (0x10)、32 バイト (0x20)、64 バイト (0x40)、512 バイト (0x200) の値を設定可能です。([2:0] のビットはありません。)
- PIPE 6 ～ 8 に対しては 1 バイト (0x1) ～ 64 バイト (0x40) の値を設定可能です。
- PIPE9 に対しては、8 バイト (0x8) 、16 バイト (0x10)、32 バイト (0x20)、64 バイト (0x40)、512 バイト (0x200) の値を設定可能です。
- PIPE10 ～ 15 に対しては 8 バイト (0x8) 、16 バイト (0x10)、32 バイト (0x20)、64 バイト (0x40)、512 バイト (0x200) の値を設定可能です。([2:0] のビットはありません。)

MXPS ビットの設定は、転送タイプごとに USB 規格に準拠した値を設定してください。

MXPS ビットの設定は、"PID = NAK"、および CURPIPE ビットに未設定時に実施してください。
対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

"MXPS = 0" の設定での FIFO バッファへの書き込み、または "PID = BUF" の設定は行わないでください。

33.2.15.5　PIPE 周期制御レジスタ【PIPEPERI】< アドレス：06EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 13	—	何も配置されていません。”0”に固定してください。	
12	IFIS	Isochronous IN バッファフラッシュ PIPESEL ビットに指定した PIPE (当該 PIPE) が Isochronous IN 転送の場合に、 バッファフラッシュ有無を指定します。 0 : バッファフラッシュしない 1 : バッファフラッシュする	R/W
11 ～ 3	—	何も配置されていません。”0”に固定してください。	
2 ～ 0	IITV	インターバルエラー検出間隔 当該 PIPE の転送インターバルタイミングをフレームタイミングの 2 の n 乗で指定します。	R/W

(1)　Isochronous IN バッファフラッシュビット (IFIS)

選択 PIPE の転送 TYPE が Isochronous、かつ転送方向が IN 転送の場合において、IITV ビットに設定した Interval ごとの (マイクロ) フレーム中に USB HOST から IN-Token を本モジュールが受信しなかった場合に、本モジュールが自動的に FIFO バッファをクリアする機能です。

ダブルバッファ設定時 ("DBLB = 1" 設定時) は、本モジュールがクリアするのは古い方の 1 面分データのみです。

FIFO バッファクリアのタイミングは、IN-Token を受信するはずの (マイクロ) フレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングにクリアを行います。

(2)　インターバルエラー検出間隔ビット (IITV)

本ビットにインターバルエラー検出間隔をフレームタイミングの 2 の n 乗で指定してください。

本ビットの設定は、"PID = NAK"、および CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、"PID = NAK" 設定後 "ACLRM = 1" をセットし、Interval タイマの初期化を行ってください。

PIPE3 ～ 5、および PIPE10 ～ 15 に対しては、本ビットは存在しません。PIPE3 ～ 5、および PIPE10 ～ 15 に対応する本ビットの位置には "0" を設定してください。

選択 PIPE の転送 TYPE が Isochronous の場合に、本ビットへの設定が可能です。

(a)　選択 PIPE が Isochronous-OUT 転送 PIPE の場合

IITV ビットに設定した Interval ごとの (マイクロ) フレーム中に DATA パケットを受信しなかったとき、本コントローラは NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または (FIFO バッファからデータを読み出すのが遅いなどの原因で) FIFO バッファがフルのために本モジュールが データを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし "IITV = 0" 以外のときには、インターバルのカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割込みを発生させます。

インターバルタイマ起動後、PID ビットを "NAK" に設定した場合、本モジュールは SOF パケットを受信しても NRDY 割込みを発生させません。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。

(a) "IITV = 0" のとき：選択 PIPE の PID ビットを "BUF" に変更した時点でインターバルのカウントを開始します。

(マイクロ) フレーム	SOF	SOF	SOF	OUT	DATA0	SOF	OUT	DATA0
PID ビット設定値	NAK	NAK	BUF			BUF		
Token 受信期待有無 (0: 受信を期待 -: 非受信を期待)	—	—	0			0		
インターバル カウント開始			↑					

図 33.1　"IITV = 0" の場合の (マイクロ) フレームと Token 受信期待有無の関係

(b) "IITV = 0" 以外のとき : 選択 PIPE の PID ビットを "BUF" に変更した後最初の DATA パケット正常受信完了時点からインターバルのカウントを開始します。

(マイクロ) フレーム	SOF	SOF	SOF	OUT	DATA0	SOF	SOF	OUT	DATA0	SOF	SOF	OUT	DATA0
PID ビット設定値	NAK	BUF	BUF			BUF	BUF			BUF	BUF		
Token 受信期待有無 (0: 受信を期待 -: 非受信を期待)	—	—	0			—	0			—	0		
インターバル カウント開始			↑										

図 33.2　“IITV = 1" の場合の (マイクロ) フレームと Token 受信期待有無の関係

(b) 選択 PIPE が Isochronous-IN 転送 PIPE の場合

"IFIS = "1" と組み合わせて使用します。"IFIS = 0" の場合には IITV ビットへの設定値とは関係なく、受信した Token に応答してデータパケットを送信します。

"IFIS = 1" を設定している場合、FIFO バッファに送信可能なデータが存在している状態で、IITV ビットに設定した Interval ごとの (マイクロ) フレーム中に IN-Token を受信しなかったとき、本モジュールは FIFO バッファをクリアします。
IN-Token に CRC エラー等のバスエラーが発生したために本モジュールが正常受信できなかった場合にもクリアを行います。
FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。(OUT 時と同様です)

インターバルカウントのクリア条件は以下 (1)、(2) または (3) の場合です。
(1) 本モジュールがパワーオンリセットされた場合
(このとき、IITV ビットへの設定値も "0" にクリアされます。)
(2) "ACLRM = 1" を設定した場合。
(3) 本モジュールが USB バスリセットを検出した場合

33.2.16 PIPE コントロールレジスタ

33.2.16.1 PIPE1 コントロールレジスタ【PIPE1CTR】< アドレス：070H>
PIPE2 コントロールレジスタ【PIPE2CTR】< アドレス：072H>
PIPE3 コントロールレジスタ【PIPE3CTR】< アドレス：074H>
PIPE4 コントロールレジスタ【PIPE4CTR】< アドレス：076H>
PIPE5 コントロールレジスタ【PIPE5CTR】< アドレス：078H>
PIPE9 コントロールレジスタ【PIPE9CTR】< アドレス：080H>
PIPEA コントロールレジスタ【PIPEACTR】< アドレス：082H>
PIPEB コントロールレジスタ【PIPEBCTR】< アドレス：084H>
PIPEC コントロールレジスタ【PIPECCTR】< アドレス：086H>
PIPED コントロールレジスタ【PIPEDCTR】< アドレス：088H>
PIPEE コントロールレジスタ【PIPEECTR】< アドレス：08AH>
PIPEF コントロールレジスタ【PIPEFCTR】< アドレス：08CH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0

Bit	Name	Function	R/W
15	BSTS	バッファステータス 当該PIPEのFIFOバッファステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R
14	INBUFM	送信バッファモニタ 当該PIPEが送信方向の場合に、当該PIPEのFIFOバッファステータスが表示されます。 0：FIFOバッファに送信可能データなし 1：FIFOバッファに送信可能データあり	R
13 ～ 11	—	何も配置されていません。”0”に固定してください。	
10	ATREPM	自動応答モード 当該PIPEの自動応答禁止／許可を指定します。 0：自動応答禁止 1：自動応答許可 (送信時Zero-length Packet応答、受信時NAK応答しNRDY割り込み発生)	R/W
9	ACLRM	自動バッファクリアモード 当該PIPEの自動バッファクリアモードの禁止／許可を指定します。 0：禁止 1：許可（全バッファ初期化）	R/W
8	SQCLR	トグルビットクリア 当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに"1"を指定します。 0：書き込み無効 1：DATA0指定	R(0)/ W(1)
7	SQSET	トグルビットセット 当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに"1"を指定します。 0：書き込み無効 1：DATA1指定	R(0)/ W(1)
6	SQMON	トグルビット確認 当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1	R

Bit	Name	Function	R/W
5	PBUSY	PIPE ビジー 当該 PIPE を現在 USB バスで使用中かどうかが表示されます。 0：当該 PIPE を USB バスにて未使用 1：当該 PIPE を USB バスにて使用	R
4 ～ 2	—	何も配置されていません。"0" に固定してください。	
1、0	PID	応答 PID 当該 PIPE の次回トランザクションにおける応答方法を指定します。 00：NAK 応答 01：BUF 応答（バッファ状態に従う） 10：STALL 応答 11：STALL 応答	R/W

(1)　バッファステータスビット (BSTS)

当該 PIPE に割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかを、本モジュールが表示するビットです。

本ビットの意味は、DIR ビット、BFRE ビットおよび DCLRM ビットの設定値により以下のように異なります。

表 33.14　BSTS ビットの動作

DIR ビット設定値	BFRE ビット設定値	DCLRM ビット設定値	BSTS ビットの意味
0	0	0	"FIFO バッファからの受信データの読み出しが可能になったとき" に "1" を表示し、データの読み出しが完了したときに "0" を表示します。
		1	設定禁止
	1	0	"FIFO バッファからの受信データの読み出しが可能になったとき" に "1" を表示し、データの読み出しが完了した後で "BCLR = 1" を書き込んだときに "0" を表示します。
		1	"FIFO バッファからの受信データの読み出しが可能になったとき" に "1" を表示し、データの読み出しが完了したときに "0" を表示します。
1	0	0	"FIFO バッファへの送信データの書き込みが可能になったとき" に "1" を表示し、データの書き込みが完了したときに "0" を表示します。
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

(2)　送信バッファモニタビット (INBUFM)

当該 PIPE を送信方向 ("DIR = 1") に設定している場合に、少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、本モジュールは本ビットに "1" を表示します。

書き込みが完了している面の FIFO バッファ上のデータを本モジュールがすべて送信完了したときに、本モジュールは本ビットに "0" を表示します。ダブルバッファ使用時 ("DBLB = 1" 設定時) には、本モジュールが 2 面分のデータを送信完了し、かつ 1 面分のデータ書き込みを完了していないときに、本ビットに "0" を表示します。

当該 PIPE を受信方向 ("DIR = 0") に設定している場合には、本ビットは BSTS ビットと同じ値を示します。

(3) 自動応答モードビット (ATREPM)

当該 PIPE の転送 TYPE を "Bulk" に設定している場合、本ビットへの "1" 設定が可能です。

本ビットに "1" を設定した場合、USB HOST からの Token に対し本モジュールは以下のように応答します。

(1) 当該 PIPE が Bulk-IN 転送 ("TYPE = 01" かつ "DIR = 1" を設定) の場合

"ATREPM = 1" かつ "PID = BUF" を設定している場合、IN-Token に対して本モジュールは Zero-Length パケットを送信します。

USB Host からの ACK 受信の度に (1 トランザクションは IN-Token 受信 → Zero Length パケット送信 → ACK 受信) 、本モジュールはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

(2) 当該 PIPE が Bulk-OUT 転送 ("TYPE = 01" かつ "DIR = 0" を設定) の場合

"ATREPM = 1" かつ "PID = BUF" を設定している場合、OUT-Token (または PING-Token) に対して本コントローラは NAK 応答を行い、NRDY 割り込みを発生させます。

本ビットの変更は、"PID = NAK" 設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

本ビットを "1" に設定して USB 通信を行う場合、FIFO バッファは必ず空の状態で設定を行ってください。本ビットを "1" に設定して USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該 PIPE の転送 TYPE が Isochronous 転送の場合、本ビットには必ず "0" を設定してください。

(4) 自動バッファクリアモードビット (ACLRM)

当該 PIPE に割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに "1"、"0" を連続して書き込んでください。

本ビットに "1"、"0" を連続して設定した場合に本モジュールがクリアする内容を**表 33.15** に示します。また、当該項目のクリアが必要なケースについて**表 33.16** に示します。

表33.15　"ACLRM = 1" 設定時に本モジュールがクリアされる内容

番号	ACLRMビット操作によるクリア内容
(1)	当該PIPEに割り付けたFIFOバッファのすべての内容 (ダブルバッファ設定時はFIFOバッファを2面ともクリア)
(2)	当該PIPEの転送TYPEがIsochronous転送の場合、インターバルカウント値

表33.16　"ACLRM = 1" 設定が必要なケース

番号	クリアが必要なケース
(1)	当該PIPEに割り付けたFIFOバッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値のリセットを行いたい場合
(3)	BFREビットの設定値変更時
(4)	DBLBビットの設定値変更時
(5)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、"PID = NAK"、および当該 PIPE を CURPIPE ビットに未設定時に実施してください。
対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(5) シーケンストグルビットのクリアビット (SQCLR)

本ビットに "1" を設定すると本モジュールは当該 PIPE のシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに "0" を表示します。

SQCLR ビットへの "1" 設定は、"PID = NAK" 設定時に実施してください。
対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットに "1" を設定する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(6) シーケンストグルビットのセットビット (SQSET)

本ビットに "1" を設定すると本モジュールは当該 PIPE のシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに "0" を表示します。
SQSET ビットへの "1" 設定は、"PID = NAK" 設定時に実施してください。
対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットに "1" を設定する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(7) シーケンストグルビットのモニタビット (SQMON)

本モジュールは当該 PIPE のシーケンストグルビットの期待値を本ビットに表示します。

当該 PIPE の転送 TYPE が Isochronous 転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。

(8) PIPE ビジービット (PBUSY)

本モジュールは、当該 PIPE の USB トランザクションを開始したときに本ビットを "0" から "1" に変更します。ひとつのトランザクションが正常終了したときに本ビットを "1" から "0" に変更します。
"PID = NAK" を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することができます。

(9) 応答 PID ビット (PID)

本ビットに対し、各 PIPE における本モジュールの応答を設定してください。

本ビットのデフォルト値は "NAK" です。当該 PIPE で USB 転送を行う場合には本ビットを "BUF" に変更してください。PID ビットの設定値ごとの本モジュールの基本動作（通信パケットにエラーがない場合の動作）は**表 33.17** の通りです。

当該 PIPE が USB 通信中であるときに、本ビットを "BUF" から "NAK" に変更する場合、"NAK" を書き込んだ後、実際に当該 PIPE の USB 転送が "NAK" 状態に遷移したことを確認するために "PBUSY = 0" であることを確認してください。ただし、本モジュールが本ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

以下の場合には本モジュールが本ビットの値を変更します。

(1) 当該 PIPE が受信方向の場合、かつ当該 PIPE の SHTNAK ビットに "1" を設定している場合、
　本コントローラがトランスファ終了を認識したときに、"PID = NAK" を表示します。

(2) 当該 PIPE に対し、Max Packet Size を超えるペイロードのデータパケットを受信した場合、
　本モジュールは "PID = STALL (11)" を表示します。

(3) USB バスリセットを検出した場合、本モジュールは "PID = NAK" を表示します。

"PID = NAK ("00")" の状態から "PID = STALL" 状態にする場合には、"10" を書き込んでください。

BUF ("01") 状態から STALL 状態にする場合には、"11" を書き込んでください。

STALL ("11") から NAK 状態にする場合には、一旦 "10" を書き込んでから "00" を書き込んでください。

STALL 状態から BUF 状態に変更する場合は、一旦 NAK 状態に変更し、その後、BUF 状態に変更してください。

表33.17　PIDビットによる本モジュールの動作一覧

PIDビット設定値	転送TYPE (TYPEビット設定値)	転送方向 (DIRビット設定値)	本モジュールの動作
"00 (NAK)"	Bulk ("TYPE = 01")、またはInterrupt ("TYPE = 10")	設定値に依存しない	USB HostからのTokenにNAK応答を行う。
	Isochronous ("TYPE = 11")	受信方向 ("DIR = 0")	USB Hostからの Tokenに無応答を行う。
		送信方向 ("DIR = 1")	USB Hostからの Tokenに対しZero-Lengthパケットを送信する。
"01 (BUF)"	Bulk ("TYPE = 01")	受信方向 ("DIR = 0")	USB HostからのOUT Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばデータを受信しACKまたはNYET応答を行う。受信可能な状態でなければNAK応答を行う。 USB HostからのPING Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばACK応答を行う。受信可能な状態でなければNAK応答を行う。
	Interrupt ("TYPE = 10")	受信方向 ("DIR = 0")	USB HostからのOUT Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う。
	Bulk ("TYPE = 01")、またはInterrupt ("TYPE = 10")	送信方向 ("DIR = 1")	対応するFIFOバッファが送信可能な状態ならばUSB HostからのTokenに対しデータを送信する。送信可能でなければNAK応答を行う。
	Isochronous ("TYPE = 11")	受信方向 ("DIR = 0")	USB HostからのOUT Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する。
		送信方向 ("DIR = 1")	対応するFIFOバッファが送信可能な状態ならばUSB HostからのTokenに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する。
"10 (STALL)"または"11 (STALL)"	Bulk ("TYPE = 01")、またはInterrupt ("TYPE = 10")	設定値に依存しない	USB HostからのTokenにSTALL応答を行う
	Isochronous ("TYPE = 11")	設定値に依存しない	USB Hostからの Tokenに無応答を行う

33.2.16.2 PIPE6 コントロールレジスタ【PIPE6CTR】< アドレス：07AH>
PIPE7 コントロールレジスタ【PIPE7CTR】< アドレス：07CH>
PIPE8 コントロールレジスタ【PIPE8CTR】< アドレス：07EH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0

Bit	Name	Function	R/W
15	BSTS	バッファステータス 当該PIPEのFIFOバッファステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R
14 ～ 10	—	何も配置されていません。"0"に固定してください。	
9	ACLRM	自動バッファクリアモード 当該PIPEの自動バッファクリアモードの禁止／許可を指定します。 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可（全バッファ初期化）	R/W
8	SQCLR	トグルビットクリア 当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに"1"を指定します。 0：無効 1：DATA0指定	R(0)/ W(1)
7	SQSET	トグルビットセット 当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに"1"を指定します。 0：無効 1：DATA1指定	R(0)/ W(1)
6	SQMON	トグルビット確認 当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1	R
5	PBUSY	PIPEビジー 当該PIPEを現在USBバスで使用中かどうかが表示されます。 0：当該PIPEをUSBバスにて未使用 1：当該PIPEをUSBバスにて使用	R
4 ～ 2	—	何も配置されていません。"0"に固定してください。	
1、0	PID	応答PID 当該PIPEの次回トランザクションにおける応答方法を指定します。 00：NAK応答 01：BUF応答（バッファ状態に従う） 10：STALL応答 11：STALL応答	R/W

(1)　バッファステータスビット (BSTS)

「(2) 送信バッファモニタビット (INBUFM) <Page 33-61>」を参照ください。

(2) 自動バッファクリアモードビット (ACLRM)

当該 PIPE に割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに "1"、"0" を連続して書き込んでください。

本ビットに "1"、"0" を連続して設定した場合に本モジュールがクリアする内容を**表 33.18** に示します。また、当該項目のクリアが必要なケースについて**表 33.19** に示します。

表 33.18　"ACLRM = 1" 設定時に本モジュールがクリアされる内容

番号	ACLRM ビット操作によるクリア内容
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容

表 33.19　"ACLRM = 1" 設定が必要なケース

番号	クリアが必要なケース
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値のリセットを行いたい場合
(3)	BFRE ビットの設定値変更時
(4)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、"PID = NAK"、および当該 PIPE を CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(3) シーケンストグルビットのクリアビット (SQCLR)

「(5) シーケンストグルビットのクリアビット (SQCLR) <Page 33-63>」を参照ください。

(4) シーケンストグルビットのセットビット (SQSET)

「(6) シーケンストグルビットのセットビット (SQSET) <Page 33-63>」を参照ください。

(5) シーケンストグルビットのモニタビット (SQMON)

「(7) シーケンストグルビットのモニタビット (SQMON) <Page 33-63>」を参照ください。

(6) PIPE ビジービット (PBUSY)

「(8) PIPE ビジービット (PBUSY) <Page 33-63>」を参照ください。

(7) 応答 PID ビット (PID)

「(9) 応答 PID ビット (PID) <Page 33-64>」を参照ください。

33.2.17　トランザクションカウンタ

33.2.17.1　PIPE1 トランザクションカウンタ許可レジスタ【PIPE1TRE】< アドレス : 090H>
PIPE2 トランザクションカウンタ許可レジスタ【PIPE2TRE】< アドレス : 094H>
PIPE3 トランザクションカウンタ許可レジスタ【PIPE3TRE】< アドレス : 098H>
PIPE4 トランザクションカウンタ許可レジスタ【PIPE4TRE】< アドレス : 09CH>
PIPE5 トランザクションカウンタ許可レジスタ【PIPE5TRE】< アドレス : 0A0H>
PIPEB トランザクションカウンタ許可レジスタ【PIPEBTRE】< アドレス : 0A4H>
PIPEC トランザクションカウンタ許可レジスタ【PIPECTRE】< アドレス : 0A8H>
PIPED トランザクションカウンタ許可レジスタ【PIPEDTRE】< アドレス : 0ACH>
PIPEE トランザクションカウンタ許可レジスタ【PIPEETRE】< アドレス : 0B0H>
PIPEF トランザクションカウンタ許可レジスタ【PIPEFTRE】< アドレス : 0B4H>
PIPE9 トランザクションカウンタ許可レジスタ【PIPE9TRE】< アドレス : 0B8H>
PIPEA トランザクションカウンタ許可レジスタ【PIPEATRE】< アドレス : 0BCH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 10	—	何も配置されていません。”0”に固定してください。	
9	TRENB	トランザクションカウンタ許可 トランザクションカウンタ無効／有効を指定します。 0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効	R/W
8	TRCLR	トランザクションカウンタクリア 本ビットに"1"を設定することによりトランザクションカウンタを0にクリアすることができます。 0：無効 1：カレントカウンタクリア	R(0)/ W(1)
7 ～ 0	—	何も配置されていません。”0”に固定してください。	

注.　* 本レジスタの各ビットの変更は、"PID = NAK" 時に実施してください。
対応するPIPEのPIDビットを"BUF"から"NAK"へ変更したあとで各ビットの設定値を変更する場合には、 "PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールがPIDビットを"NAK"に変更した場合には、PBUSYビットの確認は必要ありません

(1)　トランザクションカウンタ許可ビット (TRENB)

受信 PIPE に対して、TRNCNT ビットに総パケット数を設定した後で本ビットに "1" を設定すると、本モジュールは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

(1) 連続送受信モード使用 ("CNTMD = 1" 設定) 時、受信完了時に FIFO バッファがフルの状態でなくても、CPU 側にトグルさせます。
(2) "SHTNAK = 1" 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応する PIPE の PID ビットを "NAK" に変更します。
(3) "DENDE = 1" かつ "PKTMD = 0" 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出すときに DEND 信号をアサートします。
(4) "BFRE = 1" 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします。

送信 PIPE については、本ビットに "0" を設定してください。
トランザクションカウント機能を使用しない場合は、本ビットに "0" を設定してください。
トランザクションカウント機能を使用する場合、本ビットに "1" を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウントの対象となる最初のパケットを受信する前に本ビットに "1" を設定してください。

(2)　トランザクションカウンタクリアビット (TRCLR)

本ビットに "1" を設定すると、本モジュールは当該 PIPE に対応するトランザクションカウンタの現在のカウント値をクリアし、本ビットに "0" を表示します。

33.2.17.2 PIPE1 トランザクションカウンタレジスタ【PIPE1TRN】< アドレス : 092H>
PIPE2 トランザクションカウンタレジスタ【PIPE2TRN】< アドレス : 096H>
PIPE3 トランザクションカウンタレジスタ【PIPE3TRN】< アドレス : 09AH>
PIPE4 トランザクションカウンタレジスタ【PIPE4TRN】< アドレス : 09EH>
PIPE5 トランザクションカウンタレジスタ【PIPE5TRN】< アドレス : 0A2H>
PIPEB トランザクションカウンタレジスタ【PIPEBTRN】< アドレス : 0A6H>
PIPEC トランザクションカウンタレジスタ【PIPECTRN】< アドレス : 0AAH>
PIPED トランザクションカウンタレジスタ【PIPEDTRN】< アドレス : 0AEH>
PIPEE トランザクションカウンタレジスタ【PIPEETRN】< アドレス : 0B2H>
PIPEF トランザクションカウンタレジスタ【PIPEFTRN】< アドレス : 0B6H>
PIPE9 トランザクションカウンタレジスタ【PIPE9TRN】< アドレス : 0BAH>
PIPEA トランザクションカウンタレジスタ【PIPEATRN】< アドレス : 0BEH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRNCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 0	TRNCNT	トランザクションカウンタ Write 時 : 当該 PIPE が受信すべき総パケット数 (トランザクション回数) を設定します Read 時 : "TRENB = 0" の場合 : 設定したトランザクション回数が表示されます。 "TRENB = 1" の場合 : カウント中のトランザクション回数が表示されます。	R/W

(1)　トランザクションカウンタビット (TRNCNT)

受信 PIPE に対して、本ビットに受信すべき総パケット数を設定した後で TRENB ビットに "1" を設定すると、本モジュールは「(1) トランザクションカウンタ許可ビット (TRENB) <Page 33-69>」に述べる制御を行います。

"TRENB = 0" の場合、本モジュールは本ビットに、設定したトランザクション回数を表示します。

"TRENB = 1" の場合、本モジュールは本ビットに、カウント中のトランザクション回数を表示します。

本モジュールは、受信時の状態が以下 (a) から (c) をすべて満たしたときに TRNCNT ビットの表示を 1 インクリメントします。

(a) "TRENB = 1" である

(b) パケット受信時に (TRCNT 設定値 ≠ 現在のカウント値 +1) である

(c) 受信したパケットのペイロードが MXPS ビットへの設定値と一致した

本モジュールは、以下 (1)、(2)、または (3) のいずれかの条件が満たされたときに TRNCNT ビットの表示を 0 にクリアします。

(1)　以下 (a) から (c) の条件がすべて満たされたとき

(a) "TRNENB = 1" である

(b) パケット受信時に (TRNCNT 設定値 = 現在のカウント値 +1) である

(c) 受信したパケットのペイロードが MXPS ビットへの設定値と一致した

（2）以下 (a) および (b) の条件がすべて満たされたとき
(a) "TRENB = 1" である
(b) ショートパケットを受信した

（3）以下 (a) の条件がすべて満たされたとき
(a) TRCLR ビットに "1" を設定した

送信 PIPE については、本ビットに "0" を設定してください。
トランザクションカウント機能を使用しない場合は、本ビットに "0" を設定してください。

本ビットの変更は、"PID = NAK"、かつ "TRENB = 0" 設定時に実施してください。
対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"PBUSY = 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。
本ビットの値を変更する場合は、"TRENB = 1" を設定する前に "TRCLR = 1" を実施してください。

33.2.18　ローパワーコントロールレジスタ

33.2.18.1　ローパワーコントロールレジスタ【LPCTRL】< アドレス：100H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	HWUPM	—	—	—	—	—	—	—
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 8	—	何も配置されていません。”0”に固定してください。	
7	HWUPM	0：内部バスクロック(BΦ)動作常態でLow-PowerModeから復帰するモード 1：内部バスクロック(BΦ)停止状態でLow-PowerModeから復帰可能であるモード	R/W
6 ～ 0	—	何も配置されていません。”0”に固定してください。	

(1)　HWUPM

Resume 検出によるローパワーモードからの復帰処理を内部バスクロック (Bφ) 停止状態でも可能とするモード。

0：内部バスクロック (Bφ) 停止状態で復帰しない。

1：内部バスクロック (Bφ) 停止状態で復帰を行う。

* 本ビットは内部バスクロック (Bφ) 停止状態で Resume 検出するかどうかを設定します。復帰するかどうかは L1EXTMD ビットにより制御されます。内部バスクロック (Bφ) 停止状態で LPM L1 状態のローパワー状態から復帰するには、本ビット、および L1EXTMD ビットをセットしてください。

33.2.19　ローパワーステータスレジスタ

33.2.19.1　ローパワーステータスレジスタ【LPSTS】< アドレス：102H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	SUSPM	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	—	何も配置されていません。”0”に固定してください。	
14	SUSPM	USBPHY Suspend M制御 USBPHYへのSuspend M信号の制御をします。 0: USBPHY サスペンドモード 1: USBPHY 通常モード	R/W
13 ～ 0	—	何も配置されていません。”0”に固定してください。	

(1)　USBPHY Suspend M 制御ビット (SUSPM)

USBPHY への Suspend M 信号の制御ビットです。初期値は ’0’ であり USBPHY はサスペンドモードとなっています。本モジュールを動作させるときには、本ビットに "1" を設定してください。

SUSPM ビットが ’0’ のときには、本モジュールへの書き込みはできません。読出しは可能です。ただし、**表 33.20** に示すレジスタは SUSPM ビットが ’0’ のときでも書き込み可能です。

表33.20　“SUSPM = 0”時に、書き込みが可能なレジスター覧

アドレス	レジスタ名
000H	SYSCFG0
002H	BUSWAIT
100H	LPCTRL
102H	SUSPMODE

ただし USBPHY クロックが停止（”SUSPM = 0”）時に SYSCFG0 レジスタへの書き込んだ設定値は、USBPHY クロックが発振（”SUSPM = 1”）されてから、設定値が反映されます。

L1EXTMD ビットが 0 である場合、本ビットのセット、クリアはソフトウェアにより制御されます。L1EXTMD ビットが 1 である場合、本ビットは、L1、L2 に関わらず、L1 ／ L2 遷移はソフトウェア制御、L1 ／ L2 からの復帰時はハードウェア制御となります。

33.2.20　PHY ファンクションコントロールレジスタ

33.2.20.1　PHY ファンクションコントロールレジスタ【PHYFUNCTR】 <アドレス：104H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	Sus Mon	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	—	何も配置されていません。”0”に固定してください。	
14	SusMon	Suspend M信号の状態を読み出せます。	R
13 ～ 0	—	何も配置されていません。”0”に固定してください。	

(1)　SusMon

Suspend M モニタビット（Read Only）

Suspend M 信号の状態を読み出せます。

33.2.21　PHY_OTG コントロールレジスタ

33.2.21.1　PHY_OTG コントロールレジスタ【PHYOTGCTR】< アドレス：10AH>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	DmPu Dwn	DpPu Dwn	—	—	—	—	—	—	—	—	—
0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 11	—	何も配置されていません。”0”に固定してください。	
10	DmPuDwn	Dm Pulldown モニタビット	R
9	DpPuDwn	Dp Pulldown モニタビット	R
8 ～ 0	—	何も配置されていません。”0”に固定してください。	

(1)　DmPuDwn

Dm Pulldown モニタビット（Read Only）

0：DM 側 15 kΩ Pulldown 抵抗制御が無効

1：DM 側 15 kΩ Pulldown 抵抗制御が有効

(2)　DpPuDwn

Dp Pulldown モニタビット（Read Only）

0：DP 側 15 kΩ Pulldown 抵抗制御が無効

1：DP 側 15 kΩ Pulldown 抵抗制御が有効

33.2.22　Peripheral L1 コントロールレジスタ 1

33.2.22.1　Peripheral L1 コントロールレジスタ【PL1CTRL1】< アドレス：144H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	L1EXTMD	—	—	HIRDTHR[3:0]				DVSQ[3:0]				L1NEGOMD	L1RESPMD[1:0]		L1RESPEN
0	0	0	0	0				0	0	0	0	0	0	0	0
—	—	—	—	—				—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15	—	何も配置されていません。”0”に固定してください。	
14	L1EXTMD	L1復帰時のUSBPHY制御モード L1復帰時のUSBPHY復帰動作を御御します。 0：Host K受信時、Suspend Mをセットしない。 1：Host K受信時、Suspend Mをセットする。	R/W
13、12	—	何も配置されていません。”0”に固定してください。	
11 ～ 8	HIRDTHR [3:0]	L1応答ネゴシエーション用閾値 L1NEGOMDで使用するHIRD閾値。 フォーマットはHL1CTRL レジスタのHIRD フィールドと同様。	R/W
7	DVSQ[3]	DVSQ拡張ビット デバイスステートビットDVSQ[2:0]と合わせて、L1ステートを示します。 4’b 0000：Poweredステート 4’b 0001：Defaultステート 4’b 0010：Addressステート 4’b 0011：Configuredステート 4’b 01xx：Suspendedステート 4’b 10xx：L1ステート	R
6 ～ 4	DVSQ[2:0]	INTSTS0のDVSQ[2:0]のミラー	R
3	L1NEGOMD	L1応答ネゴシエーション制御 HIRD値のネゴシエーション機能を設定します。 0：受信HIRDがHIRDTHR[3:0]より大きい場合ACK応答。 　それ以外（同値を含む）はNYET応答。 1：受信HIRDがHIRDTHR[3:0]より小さい場合、ACK応答。 　それ以外（同値を含む）はNYET応答 本ビットはL1RESPMD[1:0]が2'b11の場合のみ有効です。	R/W
2、1	L1RESPMD [1:0]	L1応答モード LPM トークンに対する応答方法を指定します。 2’b 00：NYET 2’b 01：ACK 2’b 10：STALL 2’b 11：L1NEGOMDビットに従う。	R/W
0	L1RESPEN	L1応答許可 L1応答を許可する 0：LPMをサポートしない。 1：LPMをサポート	R/W

(1)　L1 EXT モード (L1EXTMD)

L1 状態で、SUSPENDM ビットを 0 とし、USBPHY を停止している状態で Host K 信号を受信した場合の SUSPENDM ビットの制御方法を指定します。

0：L1 復帰時、SUSPNEDM をセットしない。

1：L1 復帰時、SUSPNEDM をセットする。

注 1.　Host K 期間は Min 50us であり、Suspend 状態と同様の「復帰時ソフトウェアセット」の仕様では Host K 期間内に USBPHY を復帰させることができない恐れがあります。初期値はソフトウェア制御となりますので、L1 をサポートする場合、初期化時に本ビットをセットしてください。

注 2.　L1 遷移時は本ビットに関係なく、SUSPENDM はソフトウェア制御となります。
注 3.　本ビットをセットした場合、L2 から復帰の際も SUSPNEDM ビットをセットします。

(2)　HIRD ネゴシエーション閾値 (HIRDTHR[3:0])

L1NEGOMD で使用する HIRD 閾値を指定します。
設定値のフォーマットは HL1CTRL レジスタの HIRD フィールドと同様となります。

(3)　デバイスステート拡張ビット (DVSQ[3])

デバイスステートビット DVSQ の 4 bit 目です。
4’b 0000：Powered ステート
4’b 0001：Default ステート
4’b 0010：Address ステート
4’b 0011：Configured ステート
4’b 01xx：Suspended ステート
4’b 10xx：L1 ステート

(4)　デバイスステートビット (DVSQ[2;0])

割り込みステータスレジスタ INTSTS0 のデバイスステートビット DVSQ[2:0] のミラーです。

(5)　L1 ネゴシエーションモードビット (L1NEGOMD)

HIRD 値のネゴシエーション機能を設定します。
0：受信 HIRD が HIRDTHR[3:0] より大きい場合、ACK 応答。それ以外は NYET 応答。
1：受信 HIRD が HIRDTHR[3:0] より小さい場合、ACK 応答。それ以外は NYET 応答。

本ビットは L1RESPMD[1:0] が 2'b11 の場合のみ有効です。

(6)　L1 応答モードビット (L1RSPMD[1:0])

L1RSPED がセットされている場合、本モジュールは、本ビットの設定値に従って LPM トークンに対する応答を行います。LPM トークンに対する応答方法を指定します。
2’b 00：NYET
2’b 01：ACK
2’b 10：STALL
2’b 11：L1NEGOMD に従う。

(7)　L1 応答許可ビット (L1RSPEN)

本ビットが ”0” の場合に LPM トークンを受け取った場合、本モジュールは LPM トークンに対して無応答となります。本ビットが ”1” の場合に LPM Token を受信した場合は、LPMRESPMD[1:0] の内容に応じた応答となります。

33.2.23　Peripheral L1 コントロールレジスタ 2

33.2.23.1　Peripheral L1 コントロールレジスタ 2【PL1CTRL2】< アドレス：146H>

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	RWE MON	HIRDMON[3:0]				—	—	—	—	—	—	—	—
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
15 ～ 13	—	何も配置されていません。”0”に固定してください。	
12	RWEMON	一番直近に受信したLPM トークンのRWE ビットの値が反映されます。	R/W
11 ～ 8	HIRDMON[3:0]	一番直近に受信したLPM トークンのHIRD フィールドの値が反映されます。	R/W
7 ～ 0	—	何も配置されていません。”0”に固定してください。	

(1)　RWE 値モニタビット (RWEMON)

受信した LPM トークンの RWE ビットの値をモニタする際に参照します。
一番直近に受信した LPM トークンの RWE 値が反映されます。

(2)　HIRD 値モニタビット (HIRDMON)

受信した LPM トークンの HIRD ビットの値をモニタする際に参照します。
一番直近に受信した LPM トークンの HIRD 値が反映されます。

33.3 Next Register Set

33.3.1 Next Source Address Register n

33.3.1.1 Next0 Source Address Register ch0【N0SA_0】< アドレス：400H>
Next1 Source Address Register ch0【N1SA_0】< アドレス：40CH>
Next0 Source Address Register ch1【N0SA_1】< アドレス：440H>
Next1 Source Address Register ch1【N1SA_1】< アドレス：44CH>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SA（通常モード時）、WD（Write Only モード時）															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SA（通常モード時）、WD（Write Only モード時）															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	SA（通常モード時）	Source Address DMA 転送元の開始アドレスを設定します。	R/W
	WD（Write Only モード時）	Write Data Write Only モード時のライト・データを設定します。	R/W

注.　N0SA_n レジスタは、リンク・モード転送時には、ディスクリプタ·リード・データにより上書きされます。

33.3.2 Next Destination Address Register n

33.3.2.1 Next0 Destination Address Register ch0【N0DA_0】< アドレス：404H>
Next1 Destination Address Register ch0【N1DA_0】< アドレス：410H>
Next0 Destination Address Register ch1【N0DA_1】< アドレス：444H>
Next1 Destination Address Register ch1【N1DA_1】< アドレス：450H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	DA	Destination Address DMA 転送先の開始アドレスを設定します。	R/W

注.　N0DA_n レジスタは、リンク・モード転送時には、ディスクリプタ·リード・データにより上書きされます。

33.3.3 Next Transaction Byte Register n

33.3.3.1 Next0 Transaction Byte Register ch0【N0TB_0】< アドレス：408H>
Next1 Transaction Byte Register ch0【N1TB_0】< アドレス：414H>
Next0 Transaction Byte Register ch1【N0TB_1】< アドレス：448H>
Next1 Transaction Byte Register ch1【N1TB_1】< アドレス：454H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TB															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TB															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	TB	Transaction Byte 総転送バイト数を設定します。 注意．0 を設定した状態で DMA トランザクションを開始しないでください。	R/W

注．　N0TB_n レジスタは、リンク・モード転送時には、ディスクリプタ･リード・データにより上書きされます。

33.4 Current Register Set

33.4.1 Current Source Address Register

33.4.1.1 Current Source Address Register ch0【CRSA_0】< アドレス：418H>
Current Source Address Register ch1【CRSA_1】< アドレス：458H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRSA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRSA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	CRSA	Current Source Address Register 次のDMAトランザクションのリード・アドレスを表示します。 DMAトランザクション中は、自動的にインクリメントされます。(CHCFG_nレジスタのSAD = 1の場合は固定。CHCFG_nレジスタのWONLY =1 の場合は不定) 初期値は以下のレジスタからロードされます。 レジスタ・モード： Next0/1 から転送元アドレスをロード リンク・モード： ディスクリプタから転送元アドレスをロード （ディスクリプタ・リード・データがN0SA_nレジスタへ入力され、転送開始時にCRSA_nレジスタへロードされます。） インクリメントはリード・トランスファ完了時に行われます。 本レジスタは、DMAが停止（CHSTAT_nレジスタのTACT = 0）してからリードしてください。 （DMA動作中の値は参考値として扱ってください。）	R

33.4.2 Current Destination Address Register

33.4.2.1 Current Destination Address Register ch0【CRDA_0】< アドレス：41CH>
Current Destination Address Register ch1【CRDA_1】< アドレス：45CH>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRDA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRDA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	CRDA	Current Destination Address Register 次のDMA トランザクションのライト・アドレスを表示します。 DMA トランザクション中は、自動的にインクリメントされます。(CHCFG_n レジスタの DAD = 1の場合は固定) 初期値は以下のレジスタからロードされます。 レジスタ・モード : Next0/1から転送先アドレスをロード リンク・モード : ディスクリプタから転送先アドレスをロード （ディスクリプタ・リード・データがN0DA_n レジスタへ入力され、転送開始時にCRDA_n レジスタへロードされます。） インクリメントはライト・トランスファ完了時に行われます。 本レジスタは、DMAが停止（CHSTAT_n レジスタのTACT = 0）してからリードしてください。 （DMA動作中の値は参考値として扱ってください。）	R

33.4.3 Current Transaction Byte Register

33.4.3.1 Current Transaction Byte Register ch0【CRTB_0】< アドレス：420H>
Current Transaction Byte Register ch1【CRTB_1】< アドレス：460H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRTB															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRTB															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	CRTB	Current Transaction Byte Register 現在実行しているDMAトランザクションの、残りの転送バイト数を表示します。 DMAトランザクション中は、自動的にデクリメントします。 初期値は以下のレジスタからロードされます。 レジスタ・モード： Next0/1から転送バイト数をロード リンク・モード： ディスクリプタから転送バイト数をロード （ディスクリプタ・リード・データがN0TB_nレジスタへ入力され、転送開始時にCRTB_nレジスタへロードされます。） デクリメントは、ライト・トランスファ完了時に行われます。 本レジスタは、DMAが停止（CHSTAT_nレジスタのTACT = 0）してからリードしてください。 （DMA動作中の値は参考値として扱ってください。）	R

33.5 Channel Register Set

33.5.1 Channel Status Register n

33.5.1.1 Channel Status Register ch0【CHSTAT_0】<アドレス：424H>
Channel Status Register ch1【CHSTAT_1】<アドレス：464H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DNUM								—					SWPRQ	DMARQM	INTM
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—				MODE	DER	DW	DL	SR	TC	END	ER	SUS	TACT	RQST	EN
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～24	DNUM	Data Number バッファ内の有効データ量を表示します。 ソースからリードして、まだディスティネーションへライトをしていないデータ量を表示します。 (単位: Byte) インクリメント条件： ・DMAリード・トランスファ完了時 デクリメント条件： ・DMAライト・トランスファ完了時 クリア条件： ・ENビットのクリア条件 ・CHCTRL_nレジスタのSWRSTビットへ1をライト	R
23～19	—	何も配置されていません。”0”に固定してください。	
18	SWPRQ	Sweep Request 強制排出要求状態を表示します。 ソフトウェア強制排出要求（CHCTRL_nレジスタのSETSSWPRQビットで起動した要求）を表示します。 1 : 強制排出要求がアサートされた状態を示す。 0 : 強制排出要求がアサートされていない状態を示す。 セット条件： ・CHCTRL_nレジスタのSETSSWPRQがアサートされたとき クリア条件： ・強制排出によりバッファ内のデータ量が0になったとき ・CHCTRL_nレジスタのCLRHSWPRQMビットへ1をライト ・CHCTRL_nレジスタのSWRSTビットへ1をライト	R
17	DMARQM	DMAREQ Mask USB制御からのDMA転送要求の、一時マスクの状態を示します。 1 : 一時マスク状態 0 : 一時マスク解除状態 セット条件： ・CHCTRL_nレジスタのSETDMARQMビットのセット クリア条件： ・CHCTRL_nレジスタのCLRDMARQMビットへ1をライト ・CHCTRL_nレジスタのSWRSTビットへ1をライト	R

Bit	Name	Function	R/W
16	INTM	Interrupt Mask USBFDMAmn 割り込みの一時マスクの状態を表示します。 1：一時マスク状態 0：一時マスク解除状態 セット条件： ・CHCTRL_n レジスタの SETINTM ビットへ 1 をライト クリア条件： ・CHCTRL_n レジスタの CLRINTM ビットへ 1 をライト ・CHCTRL_n レジスタの SWRST ビットへ 1 をライト	R
15～12	—	何も配置されていません。”0”に固定してください。	
11	MODE	DMA Mode DMA モードを示します。CHCFG_n レジスタの DMS ビットの設定値を表示します。 0：レジスタ・モード 1：リンク・モード	R
10	DER	Descriptor Error リードしたディスクリプタのバリッドがインバリッド(LV = 0)であったことを示します （CHCFG_n レジスタの DIM ビットのレベルには依存しません）。 0：Descriptor Error 未発生 1：Descriptor Error 発生 セット条件： ・リンク・モードで、CHCFG_n レジスタの DRRP = 0 の状態で、リードしたディスクリプタの LV が 0 クリア条件： ・CHCTRL_n レジスタの CLRDER ビットへ 1 をライト ・CHCTRL_n レジスタの SWRST ビットへ 1 をライト	R
9	DW	Descriptor WriteBack ディスクリプタ・ライト・バック状態であることを示します。 また、ディスクリプタ・ライト・バック時にバス・エラーを受けた場合、1 を保持します。 0：リンク・モードの header をライト・バック以外 1：(CHSTAT_n レジスタの ER = 0 時) リンク・モードの header をライト・バック中 (CHSTAT_n レジスタの ER = 1 時) リンク・モードの header をライト・バック中にバス・エラーが発生 セット条件： ・リンク・モードの header をライト・バック開始時 クリア条件： ・リンク・モードの header ライト・バックが OK レスポンスで終了 ・CHCTRL_n レジスタの SWRST へ 1 をライト。エラー・レスポンスで 1 を保持した場合は、SWRST でのみクリアすることができます。	R
8	DL	Descriptor Load ディスクリプタ・リード状態であることを示します。 また、ディスクリプタ・リード時にバス・エラーを受けた場合、1 を保持します。 0：ディスクリプタ・リード以外 1：(ER = 0 時) リンク・モードのディスクリプタ・リード中 (ER = 1 時) リンク・モードのディスクリプタ・リード中にバス・エラーが発生 セット条件： ・リンク・モードのディスクリプタ・リード開始時 クリア条件： ・リンク・モードのディスクリプタ・リードが OK レスポンスで終了 ・CHCTRL_n レジスタの SWRST へ 1 をライト 。エラー・レスポンスで 1 を保持した場合は、SWRST でのみクリアすることができます。	R

Bit	Name	Function	R/W
7	SR	Selected Register Set レジスタ・モード時、選択しているレジスタ・セットを示します。 0：Next0 Register Set 1：Next1 Register Set セット条件： ・CHCFG_n レジスタの RSEL ビットのセット クリア条件： ・CHCFG_n レジスタの RSEL ビットのクリア	R
6	TC	Terminal Count DMA トランザクションが完了したことを示すステータス・ビットです。 CHCFG_n レジスタの TCM = 0 の場合のみセットされます。 0：DMA 転送未了 1：DMA 転送完了 セット条件： ・レジスタ・モードで、CRTB レジスタに設定された総転送バイト数分の転送が終了した場合 ・リンク・モードで、ディスクリプタの header の WBD = 1 で、CRTB レジスタに設定された総転送バイト数分の転送が終了した場合 ・リンク・モードで、ディスクリプタの header の WBD =0 で、ディスクリプタ・ライト・バックが終了した場合 クリア条件： ・CHCTRL_n レジスタの CLRTC へ 1 をライト ・CHCTRL_n レジスタの SWRST へ 1 をライト	R
5	END	USBFDMAmn Interrupted DMA トランザクションが完了し、USBFDMAmn 割り込みが発生したことを示すビットです。 0：DMA 転送未了 1：DMA 転送完了 セット条件： ・TC ビットのセット条件、かつ CHCFG_n レジスタの DEM = 0 の場合 ・リンク・モードで、ディスクリプタ・リード時に、header の LV = 0、かつ CHCFG_n レジスタの DRRP = 0、かつ DIM = 0 の場合 クリア条件： ・CHCTRL_n レジスタの CLREND へ 1 をライト ・CHCTRL_n レジスタの SWRST へ 1 をライト	R
4	ER	Error DMA 転送中に、ERROR レスポンスを受け、DMAERR 割り込みが発生したことを示します。 0：ERROR レスポンスを受けていない 1：ERROR レスポンスを受けた セット条件： ・バス・サイクルでエラー・レスポンスを受けた場合 クリア条件： ・CHCTRL_n レジスタの SWRST へ 1 をライト	R
3	SUS	Suspend チャネルが一時停止状態（サスペンド）にあることを示すビットです。 詳細は「33.9.13.8 (2) 一時停止（サスペンド）」を参照してください。 0：Channel_n が一時停止状態でない 1：Channel_n が一時停止中 セット条件： ・Channel_n の DMA 転送実行中に CHCTRL_n レジスタの SETSUS へ 1 をライトし、内部がサスペンド状態になったとき クリア条件： ・CHCTRL_n レジスタの CLRSUS へ 1 をライト ・CHCTRL_n レジスタの CLREN へ 1 をライト ・CHSTAT_n レジスタの EN のクリア条件	R

Bit	Name	Function	R/W
2	TACT	Transaction Active DMACが動作中であることを示すビットです。チャネルが完全に停止していることを確認するためのビットです。詳細は「33.9.13.8　転送状態」を参照してください。 0：Channel_n のDMAが停止状態 1：Channel_n のDMAが動作中 セット条件： ・CHCTRL_n レジスタのSETENへ1をライト（ディスクリプタ・リード開始、またはDMAリクエスト待ち） クリア条件： ・内部ステートがアイドル状態（CHSTAT_n レジスタのENがクリアされており、かつ全ての転送が終了）	R
1	RQST	Request 転送要求を受け付けていることを示すビットです。 0：DMA転送要求を受けていない 1：DMA転送要求を受けている セット条件： ・CHCTRL_n レジスタのSTGビットへ1をライト ・USB制御からDMA転送要求を受け付けた場合 クリア条件： ・CHCTRL_n レジスタのSWRSTへ1をライト ・CHCTRL_n レジスタのCLRRQへ1をライト ・シングル転送（CHCFG_n レジスタのTM = 0）モードで、CHCFG_n レジスタのREQDで指定した側の転送実行時 ・レジスタ・モードで、全てのDMA トランザクションが完了した場合（CHCFG_n レジスタのREN = 0でトランザクション完了） ・リンク・モードで、最後のディスクリプタ（LE = 1）のDMA転送を終了した場合 ・リンク・モードで、ディスクリプタ読み込みで停止（LV = 0、かつCHCFG_n レジスタのDRRP = 0）した場合 ・リンク・モードで、CHCFG_n レジスタのDEM = 0の状態で、DMA トランザクションを終了した場合 ・マスタ・インタフェースがバス・エラーを受けた場合	R
0	EN	Enable DMAチャネルnの動作許可／停止状態を表示します。 0：動作停止状態 1：動作許可状態 セット条件： ・CHCTRL_n レジスタのSETENへ1をライト クリア条件： ・CHCTRL_n レジスタのSWRSTへ1をライト ・CHCTRL_n レジスタのCLRENへ1をライト ・転送中にエラー・レスポンスを受けた場合 ・レジスタ・モードで全てのDMA トランザクションが完了した場合 (CHCFG_n レジスタのREN = 0でトランザクション完了) ・リンク・モードで、最後のディスクリプタ（LE = 1）のDMA転送（WBD = 0の場合はライトバック）を終了した場合 ・リンク・モードのディスクリプタ読み込みで停止(LV = 0、かつCHCFG_n レジスタのDRRP = 0)した場合	R

注1.　CHSTAT_n レジスタのERビットがセットされた場合、その一連の転送が無効であるものとして処理してください。
注2.　DMA トランザクションを中断する場合は、転送要求をマスクおよびクリアするか、CHSTAT_n レジスタのENをクリアすることで行ってください（手順は「33.9.13.8 転送状態 (3) 転送中断」に従ってください）。
注3.　同一のチャネルに対してUSB制御からのDMA転送要求と、ソフトウェアによる転送要求（CHCFG_n レジスタのSTGビットのセット）を併用した場合、有効となった起動要因の特定はできません。システムで、いずれかの転送要求のみ使用するようにしてください。
注4.　ソフトウェアによる転送要求を行う場合、前回要求したDMA転送動作が完了 (Current Registerなどで確認) してから、次のSTGビット操作を行ってください。

33.5.2 Channel Control Register n

33.5.2.1 Channel Control Register ch0【CHCTRL_0】<アドレス：428H>
Channel Control Register ch1【CHCTRL_1】<アドレス：468H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—												CLR DMA RQM	SET DMA RQM	CLR INTM	SET INTM
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	SET SSWP RQ	—	SETR EN	—		CLR SUS	SET SUS	CLR DER	CLR TC	CLR END	CLR RQ	SW RST	STG	CLR EN	SET EN
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31 ～ 20	—	何も配置されていません。”0”に固定してください。	
19	CLRDMARQM	Clear DMAREQ Mask このビットに1をセットすると、USB制御からのDMA転送要求を一時的にマスクする状態を解除します。また、CHSTATnレジスタのDMARQMビットが0となります。 リードをすると0が読めます。 1 : SETDMARQMでセットしたマスクを解除します。 0 : 動作に影響を与えません。	R/W
18	SETDMARQM	SET DMAREQ Mask このビットに1をセットすると、USB制御からのDMA転送要求を一時的にマスクする状態となります。また、CHSTATnレジスタのDMARQMビットが1となります。 リードをすると0が読めます。 1 : USB制御からのDMA転送要求をマスクします。 0 : 動作に影響を与えません。	R/W
17	CLRINTM	Clear Intterupt Mask このビットに1をセットするとUSBFDMAmn 割り込みをマスクする状態を解除します。また、CHSTATnレジスタのINTMビットが0となります。 DCTRLレジスタのLVINT = 1、CHSTAT_nレジスタのEND = 1の状態でマスクを解除した場合、USBFDMAmn 割り込みが発生します。（LVINT = 0の場合は、アクティブにはなりません。） リードをすると0が読めます。 1 : SETINTMでセットしたマスクを解除します。 0 : 動作に影響を与えません。	R/W
16	SETINTM	Set Interrupt Mask このビットに1をセットすると、USBFDMAmn 割り込みを一時的にマスクする状態となります。また、CHSTATnレジスタのINTMビットが1となります。 リードをすると0が読めます。 1 : USBFDMAmn 割り込みをマスクします。 0 : 動作に影響を与えません。	R/W
15	—	何も配置されていません。”0”に固定してください。	
14	SETSSWPRQ	Set Software Sweep Request このビットに1をセットすると、バッファ内にあるデータをディスティネーションに強制排出します（「33.9.13.3 (1) ソフトウェア強制排出要求」参照）。 リードをすると0が読めます。 1 : バッファ内にある、まだディスティネーションへライトしていないデータを、ディスティネーションへライトします。 0 : 動作に影響を与えません。 ディスティネーション側がハードウェア・リクエストをアサートする(REQD = 1) 場合、強制排出は使用できません。	R/W
13	—	何も配置されていません。”0”に固定してください。	

Bit	Name	Function	R/W
12	SETREN	Set Register Set Enable このビットに1をセットすると、CHCFG_nレジスタのRENビットをセットします。 このビットをリードすると0が読めます。 1：CHCFG_nレジスタのRENビットをセットします。 0：動作に影響を与えません。	R/W
11、10	—	何も配置されていません。”0”に固定してください。	
9	CLRSUS	Clear Suspend CHSTAT_nレジスタのSUSが1のときに、このビットに1をセットすると、一時停止（サスペンド）状態を解除します。 このビットをリードすると0が読めます。 1：実行中のDMA転送の一時停止解除 0：動作に影響を与えません。	R/W
8	SETSUS	Set Suspend CHSTAT_nレジスタのENが1のときに、このビットに1をセットすると、実行中のDMA転送を一時停止します。このビットをリードすると0が読めます。 1：実行中のDMA転送の一時停止 0：動作に影響を与えません。	R/W
7	CLRDER	Clear DER このビットに1をセットすると、CHSTAT_nレジスタのDERビットのクリアを行います。 また、USBFDMAmn 割り込みをクリアします。 このビットをリードすると0が読めます。 1：DERビットのクリア 0：動作に影響を与えません。	R/W
6	CLRTC	Clear TC このビットに1をセットすると、CHSTAT_nレジスタのTCビットのクリアを行います。 このビットをリードすると0が読めます。 1：TCビットのクリア 0：動作に影響を与えません。	R/W
5	CLREND	Clear End このビットに1をセットすると、CHSTAT_nレジスタのENDビットのクリアを行います。 また、USBFDMAmn 割り込みをクリアします。 このビットをリードすると0が読めます。 1：ENDビットのクリア 0：動作に影響を与えません。	R/W
4	CLRRQ	Clear Request このビットに1をセットすると、CHSTAT_nレジスタのRQSTビットのクリアを行います。 このビットをリードすると0が読めます。 1：CHSTAT_nレジスタのRQSTビットのクリア 0：動作に影響を与えません。	R/W
3	SWRST	Software Reset このビットに1をセットすると、CHSTAT_nレジスタの各ビットをクリアします（クリアされるビットは、各ビットの説明を参照してください）。このビットのセットは、ENビットが0かつTACTビットが0のときに行ってください。このビットをリードすると0が読めます。 1：CHSTAT_nレジスタの各ビットのクリア 0：動作に影響を与えません。	R/W
2	STG	Software Trigger このビットに1をセットすると、ソフトウェア起動となります。内部転送要求をセットします。SWRSTビットと同時にセットした場合には、SWRSTビットによるクリアが優先されます。 このビットをリードすると0が読めます。 1：ソフトウェアによる転送要求のセット(CHSTAT_nレジスタのRQSTビットをセット) 0：動作に影響を与えません。	R/W
1	CLREN	Clear Enable このビットに1をセットすると、CHSTAT_nレジスタのENビットのクリアを行います （詳細は「33.9.13.8 転送状態(3) 転送中断」参照）。このビットをリードすると0が読めます。 1：DMA転送の停止(CHSTAT_nレジスタのENビットをクリア) 0：動作に影響を与えません。	R/W

Bit	Name	Function	R/W
0	SETEN	Set Enable このビットに 1 をセットすると、DMA チャネル n の DMA 転送の許可を設定します。SWRST ビットと同時にセットした場合には、SWRST ビットによるクリアが優先され、転送は開始しません。 このビットをリードすると 0 が読めます。 1：DMA 転送の許可 (CHSTAT_n レジスタの EN ビットをセット) 0：動作に影響を与えません。	R/W

注. CLRDMARQM, SETDMARQM ビットによる、USB 制御からの DMA 転送要求の一時マスクは、このチャネル n だけの資源をマスクします。チャネル n の SETDMARQM をセットしても、チャネル m の動作には影響しません。

33.5.3 Channel Configuration Register n

33.5.3.1 Channel Configuration Register ch0【CHCFG_0】< アドレス：42CH>
Channel Configuration Register ch1【CHCFG_1】< アドレス：46CH>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	—	DAD	SAD	DDS			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDS				DRRP	—			—	—			REQD	—		SEL
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31	DMS	DMA Mode Select DMA モードを設定します。 0：レジスタ・モード（初期値） 1：リンク・モード	R/W
30	REN	Register Set Enable DMA トランザクション完了後に、続けて RSEL で選択されている Next レジスタ・セットの DMA トランザクションを行います。このビットはレジスタ・モード時のみ有効です。 0：続けて実行しない。 1：続けて実行する。 セット条件 ・本ビットへ 1 をライト ・CHCTRL_n レジスタの SETREN ビットへ 1 をライト クリア条件 ・本ビットへ 0 をライト ・REN = 1 で DMA トランザクション完了時 トランザクション中に REN を再セットする場合は、CHCTRL_n レジスタの SETREN ビットを使用することを推奨します。	R/W
29	RSW	Register Select Switch DMA トランザクション終了後に、RSEL を自動で反転します。このビットはレジスタ・モード時のみ有効です。 0：DMA トランザクション完了後に RSEL を反転しない（初期値） 1：DMA トランザクション完了後に RSEL を反転する	R/W
28	RSEL	Register Set Select 次に実行する Next レジスタ・セットを選択します。このビットはレジスタ・モード時のみ有効です。 RSW = 1 の場合、DMA トランザクション完了時に自動的に反転します。 0：Next0 Register Set を実行する（初期値） 1：Next1 Register Set を実行する 遷移条件： RSW = 1 で DMA トランザクション完了時	R/W
27	SBE	Sweep Buffer Enable DMA トランザクション中に CHSTAT_n レジスタの EN を 0 にクリアした場合、すでにリードしてバッファに取り込んでいるデータを掃き出して（ライトして）停止するか否かを選択します。 REQD = 0 の場合のみ、掃き出しモードを使用することができます。 0：バッファの掃き出しをしないで転送中止（初期値） 1：バッファの掃き出しをして転送中止	R/W
26	DIM	Descriptor Interrupt Mask ディスクリプタの header リード時に LV = 0 だった場合 USBFDMAmn 割り込みのマスクを設定します。 0：USBFDMAmn 割り込みをマスクしない。（初期値） 1：USBFDMAmn 割り込みをマスクする。	R/W

Bit	Name	Function	R/W
25	TCM	DMATC Mask DMAC 制御から USB 制御への DMATC をマスクします。 DMATC の出力タイミングでこのビットが 1 だった場合、DMATC をアサートしません。また、CHSTAT_n レジスタの TC もアサートしません。レジスタ・モードの場合、TCM は自動的に 0 クリアされます。リンク・モードの場合はクリアされません。 ソフトウェアによる DMA 転送の制御を行う場合に使用してください。 0：マスクしない（初期値） 1：マスクする クリア条件： TCM = 1 で DMA トランザクション完了時	R/W
24	DEM	USBFDMAmn Mask USBFDMAmn 割り込み検出をマスクします。 USBFDMAmn 割り込み発生タイミングでこのビットが 1 だった場合、USBFDMAmn 割り込み発生しません。また、CHSTAT_n レジスタの END もアサートしません。レジスタ・モードの場合、DEM は自動的に 0 クリアされます。リンク・モードの場合はクリアされません。 0：マスクしない（初期値） 1：マスクする クリア条件： DEM = 1 で DMA トランザクション完了時	R/W
23	WONLY	Write Only Mode Write Only モード（「33.9.12.2　WRITE ONLY モード」参照）を設定します。 0：通常動作（初期値） 1：Write Only モード	R/W
22	—	何も配置されていません。”0”に固定してください。	
21	DAD	Destination Address Direction DMA チャネル n の転送先アドレスのカウント方向を設定します。転送先が USB 制御側のときは、固定で使用してくださいください。 0：インクリメント（初期値） 1：固定 ディスティネーション側で SKIP モードを使う場合、またはディスティネーション側がビート・アンアラインの場合、DAD = 1 (固定) は指定しないでください。	R/W
20	SAD	Source Address Direction DMA チャネル n の転送元アドレスのカウント方向を設定します。転送元が USB 制御側のときは、固定で使用してください。 0：インクリメント（初期値） 1：固定 ソース側で SKIP モードを使う場合、またはソース側がビート・アンアラインの場合、SAD = 1 (固定) は指定しないでください。	R/W
19～16	DDS[3:0]	Destination Data Size DMA トランスファ・サイズを設定します。転送先が USB 制御側のときは、通常モードで使用してください。 bit3 で通常モードとスキップ・モードの切り替えを行います。 0：通常モード（初期値） 1：スキップ・モード bit[2:0] で転送サイズを設定します。(設定可能な値は、表 33.21 を参照してください) 000：8 ビット（初期値） 001：16 ビット 010：32 ビット 011：64 ビット 100：128 ビット 101：256 ビット 110：512 ビット 111：設定禁止	R/W

Bit	Name	Function	R/W
15～12	SDS[3:0]	Source Data Size DMAトランスファ・サイズを設定します。 bit3で通常モードとスキップ・モードの切り替えを行います。 0：通常モード（初期値） 1：スキップ・モード bit[2:0]で転送サイズを設定します。(設定可能な値は、表33.21を参照してください) 000：8ビット（初期値） 001：16ビット 010：32ビット 011：64ビット 100：128ビット 101：256ビット 110：512ビット 111：設定禁止	R/W
11	DRRP	Descriptor Read Repeat ディスクリプタをリードした際、headerのLVが0だった場合の動作を切り替えます (「33.9.12.2 (a) リンク・モードの動作フロー」参照)。 0：CHSTAT_nレジスタのDERビットをセットし、動作を停止します。（初期値） 1：LVが1になるまで同じディスクリプタをリードし続け、LVが1になればそのディスクリプタ値を使ったDMA転送を開始します。ディスクリプタ・リードの間隔は、DSCITVLレジスタにより制御します。	R/W
10～7	—	何も配置されていません。”0”に固定してください。	
6～5	—	何も配置されていません。”1”に固定してください。	
4	—	何も配置されていません。”0”に固定してください。	
3	REQD	Request Direction USB制御側が、ソース側かディスティネーション側のどちらであるかを指定します。 0：ソース側がUSB制御側（初期値） 1：ディスティネーション側がUSB制御側	R/W
2～1	—	何も配置されていません。”0”に固定してください。	
0	SEL	Terminal Select USB制御側で使用するFIFOチャネルを選択します。 0：D0FIFOを使用 1：D1FIFOを使用	R/W

SDS[2:0], DDS[2:0]設定可能範囲は、データ・バス幅、インプリメントしてあるバッファ段数、アクセスするアドレスがビート・アラインかビート・アンアラインかにより決まります。以下に設定可能範囲を示します。

表33.21　SDS, DDSの設定サイズの範囲

転送アドレス	REQD	SDS[2:0]	DDS[2:0]
ビート・アライン	0	DxFIFOSEL.MBWと同じビットサイズにしてください	8～32bit (000～010) 128～512bit (100～110)
	1	8～32bit (000～010) 128～512bit (100～110)	DxFIFOSEL.MBWと同じビットサイズにしてください
ビート・アンアライン	0	DxFIFOSEL.MBWと同じビットサイズにしてください	8～32bit (000～010) 128～256bit (100～101)
	1	8～32bit (000～010) 128～256bit (100～101)	DxFIFOSEL.MBWと同じビットサイズにしてください

＜注意＞
REQD=0で、ディスティネーションがビート・アンアラインである場合、または
REQD=1で、ソースがビート・アンアラインである場合は、ビート・アンアラインの設定範囲でSDS、DDSを指定してください。
DMAトランザクション開始時にはビート・アラインの設定であっても、スキップ転送を使用すると、
途中からビート・アンアラインになる場合があります。
このような場合、最初からビート・アンアラインとして設定を行ってください。
ビート・アラインかビート・アンアラインかの判断ができない場合、ビート・アンアラインの設定範囲を使用してください。

33.5.4 Channel Interval Register n

詳細は、「33.9.13.6 **インターバル･カウント機能**」を参照してください。

33.5.4.1 Channel Interval Register ch0【CHITVL_0】< アドレス：430H>
Channel Interval Register ch1【CHITVL_1】< アドレス：470H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITVL															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～16	—	何も配置されていません。”0”に固定してください。	
15～0	ITVL	Interval DMA トランスファの転送間隔を設定します。	R/W

33.5.5 Channel Extension Register n

33.5.5.1 Channel Extension Register ch0【CHEXT_0】< アドレス：434H>
Channel Extension Register ch1【CHEXT_1】< アドレス：474H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	DPR				—	—	—	—	SPR			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～12	—	何も配置されていません。”0”に固定してください。	
11～8	DPR	Destination PROT DMAライト・トランスファ時にMHPROT信号を設定します。	R/W
7～4	—	Reserved領域です。0を設定してください。初期値は0です。	R/W
3～0	SPR	Source PROT DMAリード・トランスファ時にMHPROT信号を設定します。	R/W

33.6 Link Register Set

NXLA_n レジスタにディスクリプタ・アドレスを設定して DMAC を起動すると、NXLA_n レジスタの値が CRLA_n レジスタへロードされ、ディスクリプタ・リードを行い、DMAC はそのディスクリプタ値に従い DMA トランザクションを開始します。NXLA_n レジスタは、リードしたディスクリプタ中の Next Link Address 値で自動的に更新され、次の DMA トランザクションのディスクリプタ・アドレスとして使用されます。

33.6.1 Next Link Address Register n

33.6.1.1 Next Link Address Register ch0【NXLA_0】< アドレス：438H>
Next Link Address Register ch1【NXLA_1】< アドレス：478H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NXLA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NXLA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	NXLA	Next Link Address リンク先のアドレスを設定します。下位2ビットは0固定であり、 ワード・アラインされたアドレスのみ設定可能です。	Bit 31～2 は R/W Bit 1,0 は R

33.6.2 Current Link Address Register n

33.6.2.1 Current Link Address Register ch0【CRLA_0】< アドレス：43CH>
Current Link Address Register ch1【CRLA_1】< アドレス：47CH>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRLA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRLA															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	CRLA	Current Link Address 現在実行しているディスクリプタのアドレスを表示します。	R

33.7 Skip Register Set

スキップ (Scatter/Gather) 転送を行う場合に設定するレジスタ・セットです。

33.7.1 Source Continuous Register n

33.7.1.1 Source Continuous Register ch0【SCNT_0】< アドレス：600H>
Source Continuous Register ch1【SCNT_1】< アドレス：620H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	SCNT	Source Continuous ソース・アドレス・アクセス時の、連続アクセス空間サイズを設定します。 （単位：Byte）	R/W

注. 本レジスタは、SSKP_n レジスタとペアで使用します（図33.3参照）。本モードを使う場合、CHCFG_n レジスタの SDS[3] は 1にセットしてください。ソース側でスキップ転送を行う場合、CHCFG_n レジスタの SAD を 1 (固定) に設定しないでください。また、SCNT = 0 でスキップ転送を行わないでください。

33.7.2 Source Skip Register n

33.7.2.1 Source Skip Register ch0【SSKP_0】< アドレス：604H>
Source Skip Register ch1【SSKP_1】< アドレス：624H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SSKP															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSKP															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	SSKP	Source Skip ソース・アドレス・アクセス時のスキップ量を設定します。 （単位：Byte）	R/W

注. 本レジスタはSCNT_n レジスタとペアで使用します（図33.3参照）。本モードを使う場合、CHCFG_n レジスタのSDS[3]は1にセットしてください。ソース側でスキップ転送を行う場合、CHCFG_n レジスタのSAD を1（固定）に設定しないでください。

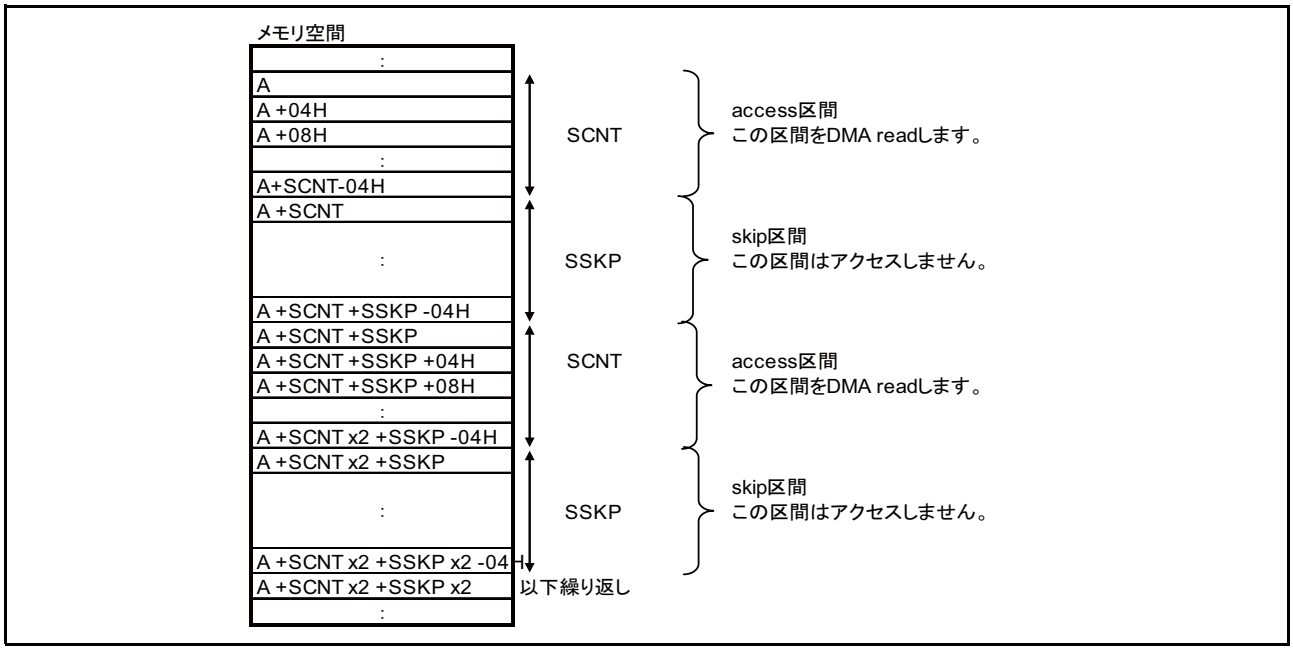


図 33.3　　SSKP と SCNT の関係

SCNT, SSKP の値は、ソース・アドレスおよび CHCFG_n レジスタの SDS フィールドの設定値に関係無く設定することができます。DMAC は、SDS 設定サイズでアクセスをし、有効なデータのみバッファに取り込みます（「33.9.14.1 DMA マスタ転送組み合わせ一覧 (1) リード・アクセス」参照）。

33.7.3 Destination Continuous Register n

33.7.3.1 Destination Continuous Register ch0【DCNT_0】< アドレス：608H>
Destination Continuous Register ch1【DCNT_1】< アドレス：628H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	DCNT	Destination Continuous ディスティネーション・アドレス・アクセス時の、連続アクセス空間サイズを設定します。 （単位：Byte）	R/W

注. 本レジスタはDSKP_nレジスタとペアで使用します（図33.4参照）。本モードを使う場合、CHCFG_nレジスタの DDS[3] は1にセットしてください。ディスティネーション側でスキップ転送を行う場合、CHCFG_nレジスタのDADを1 (固定) に設定しないでください。また、DCNT = 0 でスキップ転送を行わないでください。

33.7.4 Destination Skip Register n

33.7.4.1 Destination Skip Register ch0【DSKP_0】< アドレス：60CH>
Destination Skip Register ch1【DSKP_1】< アドレス：62CH>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DSKP															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSKP															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～0	DSKP	Destination Skip ディスティネーション・アドレス・アクセス時の、スキップ量を設定します。 （単位：Byte）	R/W

注. 本レジスタはDCNT_nレジスタとペアで使用します（図33.4参照）。本モードを使う場合、CHCFG_nレジスタの DDS[3] は1にセットしてください。ディスティネーション側でスキップ転送を行う場合、CHCFG_nレジスタのDADを1 (固定) に設定しないでください。

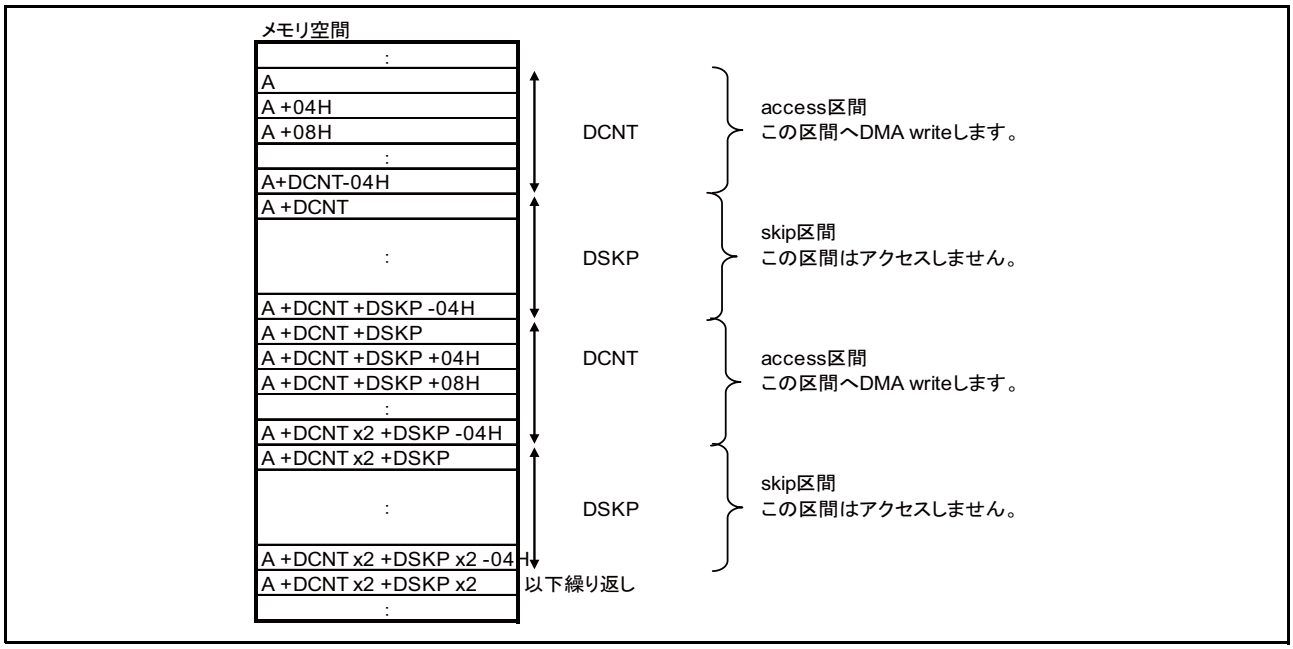


図 33.4　　DSKP と DCNT の関係

DCNT, DSKP の値は、ディスティネーション・アドレスおよび CHCFG_n レジスタの DDS フィールドの設定値に関係無く設定することができます。DMAC は、DDS 設定サイズ以下の組合せで、指定された空間へのみライト・アクセスを行います
(「33.9.14.1 DMA マスタ転送組み合わせ一覧 (2) ライト・アクセス」参照)。

33.8 DMA Register Set

以下のレジスタは、全チャネルに共通です。

33.8.1 DMA Control Register

33.8.1.1 DMA Control Register【DCTRL】< アドレス：700H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—				LWPR				—				LDPR			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—														LVINT	PR
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～28	—	何も配置されていません。”0”に固定してください。	
27～24	LWPR	Link WriteBack PROT リンク・モードのディスクリプタ・ライト・バック時にMHPROT信号を設定します。	R/W
23～20		何も配置されていません。”0”に固定してください。	
19～16	LDPR	Link Descriptor PROT リンク・モードのディスクリプタ・リード時にMHPROT信号を設定します。	R/W
15～2	—	何も配置されていません。”0”に固定してください。	
1	LVINT	Level Interrupt 本モジュールを使用する場合は、必ず1に設定してください。	R/W
0	PR	Priority 転送優先順位制御モードを設定します（「33.9.13.2　DMAチャネルの優先順位制御」参照）。 0：固定優先順位モード 1：ラウンドロビン・モード	R/W

33.8.2 Descriptor Interval Register n

33.8.2.1 Descriptor Interval Register【DSCITVL】< アドレス：704H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DITVL								—							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～16	—	何も配置されていません。”0”に固定してください。	
15～8	DITVL	Descriptor Interval ディスクリプタ・リード間隔を設定します。(DITVL × 256) サイクルの間隔で、ディスクリプタの再リードを行います。	R/W
7～0	—	何も配置されていません。”0”に固定してください。	

33.8.3 DMA Status EN Register (DSTAT_EN)

33.8.3.1 DMA Status EN Register【DSTAT_EN】< アドレス：710H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—														EN1	EN0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～2	—	何も配置されていません。”0”に固定してください。	
1	EN1	DMA チャネル 1 の EN ビットの状態を表示します。	R
0	EN0	DMA チャネル 0 の EN ビットの状態を表示します。	R

33.8.4 DMA Status ER Register

33.8.4.1 DMA Status ER Register【DSTAT_ER】< アドレス：714H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—														ER1	ER0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～2	—	何も配置されていません。”0”に固定してください。	
1	ER1	DMA チャネル 1 の ER ビットの状態を表示します。	R
0	ER0	DMA チャネル 0 の ER ビットの状態を表示します。	R

33.8.5 DMA Status END Register

33.8.5.1 DMA Status END Register【DSTAT_END】< アドレス：718H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—														END1	END0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～2	—	何も配置されていません。”0”に固定してください。	
1	END1	DMA チャネル 1 の END ビットの状態を表示します。	R
0	END0	DMA チャネル 0 の END ビットの状態を表示します。	R

33.8.6 DMA Status TC Register

33.8.6.1 DMA Status TC Register【DSTAT_TC】< アドレス：71CH>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—														TC1	TC0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～2	—	何も配置されていません。”0”に固定してください。	
1	TC1	DMAチャネル1のTCビットの状態を表示します。	R
0	TC0	DMAチャネル0のTCビットの状態を表示します。	R

33.8.7 DMA Status SUS Register

33.8.7.1 DMA Status SUS Register【DSTAT_SUS】< アドレス：720H>

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
—															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—														SUS1	SUS0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Bit	Name	Function	R/W
31～2	—	何も配置されていません。”0”に固定してください。	
1	SUS1	DMAチャネル1のSUSビットの状態を表示します。	R
0	SUS0	DMAチャネル0のSUSビットの状態を表示します。	R

33.9　機能

33.9.1　システム制御および発振制御

本章では、本モジュールの初期設定に必要なレジスタ操作、および消費電力制御を行うために必要なレジスタの説明について述べます。

ホスト／ペリフェラル両モード共通で設定が必要なシーケンスについては、**「32.9.1　ホスト／ペリフェラル共通設定シーケンス」**を参照してください。

33.9.1.1　USB データバス抵抗制御

本モジュールは、USBPHY の D+ 信号のプルアップ抵抗と、D- 信号のプルダウン抵抗の切り替え制御を行います。
SYSCFG0 レジスタの DPRPU、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。
USB Host への接続を認識した後で、SYSCFG0 レジスタの DPRPU ビットを "1" に設定し、D+ を Pull Up してください。

また、本モジュールは D+、D- 信号の終端抵抗（High-Speed 動作時）と出力抵抗（Full-Speed 動作時）を内蔵しています。
Host との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム時に本モジュールが自動的に行います。

また、Host と通信中に SYSCFG0 レジスタの DPRPU ビットに ”0” を設定した場合は、USB データラインのプルアップ抵抗（もしくは終端抵抗）をディスエーブルにしますので、Host Controller にデバイス切断を通知することができます。

33.9.2　割り込み機能

33.9.2.1　割り込み機能概要（DMA Master 以外）

以下に本モジュールの割り込み機能一覧を示します。割り込みは USBFIm (m = 0, 1) として通知されます。割り込み要因はステータスレジスタで確認してください。

表 33.22　割り込み機能一覧表

ビット	割り込み名称	割り込み要因	関連ステータス
VBINT	VBUS 割り込み	VBUS 入力端子の状態変化を検出したとき (”L” → ”H”、”H” → ”L” の両方の変化)	VBSTS
RESM	レジューム 割り込み	サスペンド状態において USB バスの状態変化を検出したとき (J-State → K-State、もしくは J-State → SE0)	−
SOFR	フレーム番号更新 割り込み	SOFRM = 0 の場合：フレーム番号の異なる SOF パケットを受信したとき SOFRM = 1 の場合：μフレーム番号 0 のときの SOF をパケット破損などで受信できなかったとき	−
DVST	デバイスステート 遷移割り込み	デバイスステートの遷移を検出したとき USB バスリセット検出 サスペンド状態検出 Set Address リクエストの受信 Set Configuration リクエストの受信	DVSQ
CTRT	Control 転送 ステージ遷移 割り込み	Control 転送のステージ遷移を検出したとき セットアップステージ完了 Control Write 転送ステータスステージ遷移 Control Read 転送ステータスステージ遷移 Control 転送完了 Control 転送シーケンスエラー発生	CTSQ
BEMP	バッファエンプティ 割り込み	バッファメモリ中の全データを送信しバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき	PIPEBEMP
NRDY	バッファ ノットレディ 割り込み	"PID = BUF" 設定時かつバッファメモリが送受信可能な状態ではない状態でトークンを受信したとき Isochronous 転送で データ受信時に CRC エラー、ビットスタッフエラーが発生したとき Isochronous 転送で データ受信時に インターバルエラーが発生したとき	PIPENRDY
BRDY	バッファ レディ割り込み	バッファがレディ (リード、もしくはライト可能状態) になったとき	PIPEBRDY

以下に本モジュールの割り込み関連図を示します。

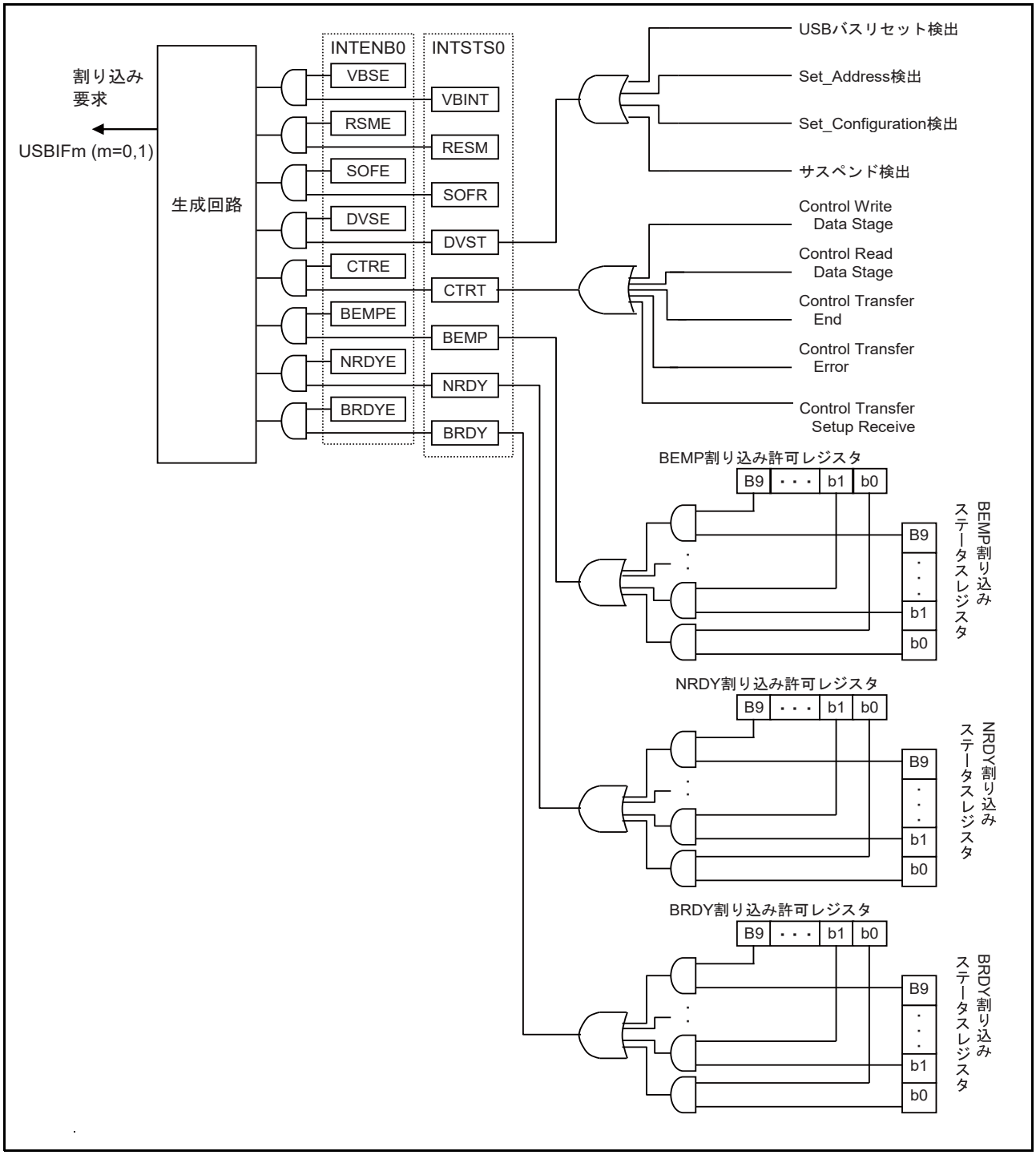


図 33.5　　割り込み関連図

33.9.2.2　デバイスステート遷移割り込み

図 33.6 に本モジュールのデバイスステート遷移図を示します。

本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。

デバイスステート遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

Default ステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

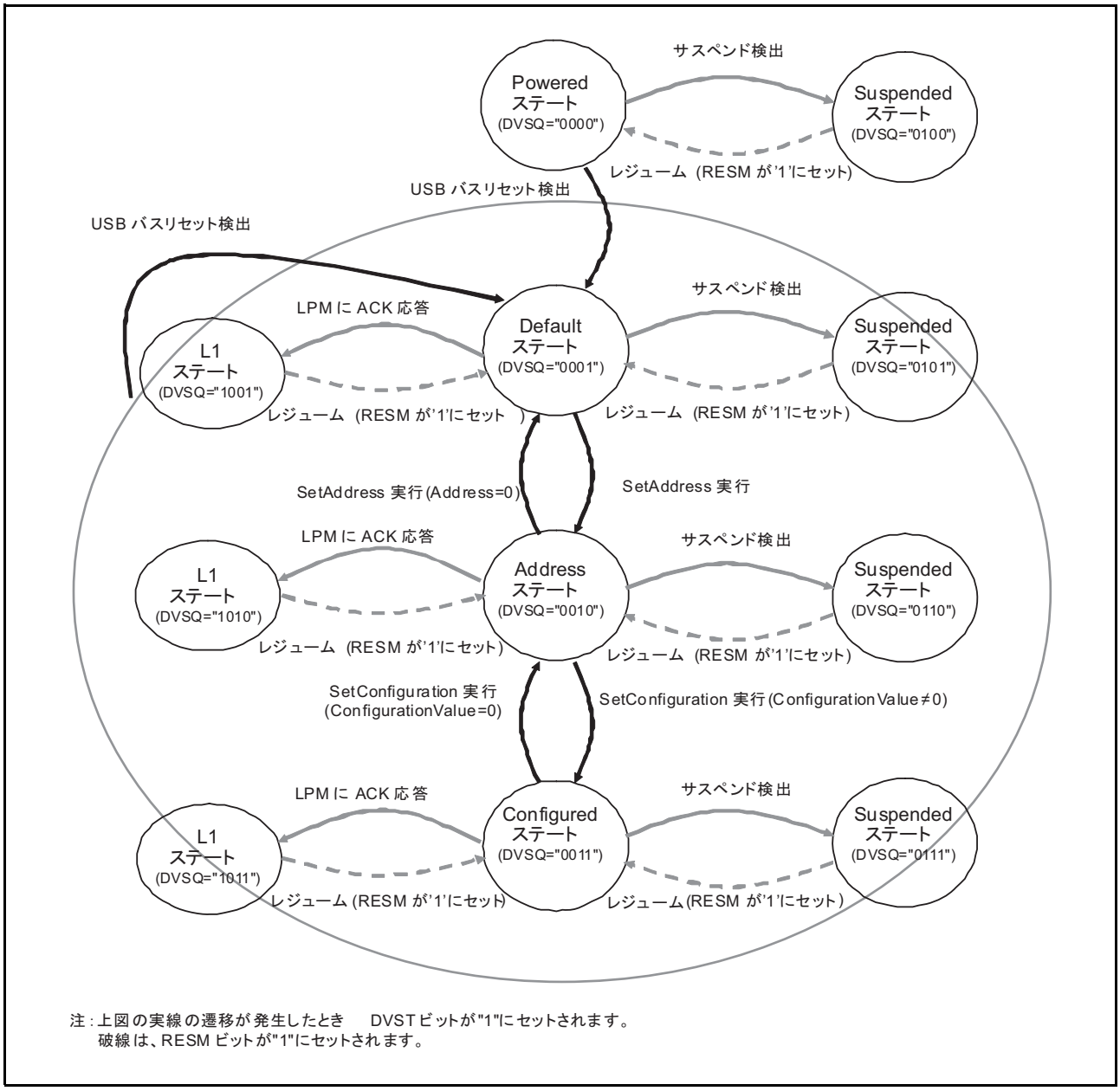


図 33.6　デバイスステート遷移図

33.9.2.3　Control 転送ステージ遷移割り込み

図 33.7 に本モジュールの Control 転送ステージ遷移図を示します。本モジュールは、Control 転送のシーケンスを管理し、Control 転送ステージ遷移割り込みが発生します。Control 転送ステージ遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

Control 転送のシーケンスエラーを下記に示します。
エラーが発生した場合は、DCPCTR レジスタの PID ビットが "1X"（STALL）になります。

（1）Control Read 転送時
(a)　データステージの IN トークンに対して、一度もデータ転送していない状態で OUT、もしくは PING トークンを受信
(b)　ステータスステージで、IN トークン受信
(c)　ステータスステージで、データパケットが ”DATAPID = DATA0” のパケットを受信

（2）Control Write 転送時
(a)　データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
(b)　データスステージで、最初のデータパケットが ”DATAPID = DATA0” のパケットを受信
(c)　ステータスステージで、OUT もしくは PING トークン受信

（3）Nodata Comtrol 転送時
(a)　ステータスステージで、OUT または PING トークン受信

なお、Control Write 転送データステージで、受信データ数が USB リクエストの wLength 値を越えた場合は、Control 転送シーケンスエラーと認識できません。また、Control Read 転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時（”SERR = 1” 設定）は、”CTSQ = 110” の値がシステムから “CTRT = 0” 書き込み（割り込みステータスクリア）するまで保持されます。
このため、”CTSQ = 110” が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。（セットアップステージ完了は、本モジュールで保持されており、割り込みステータスクリア後に、CTRT 割り込みが発生します。）

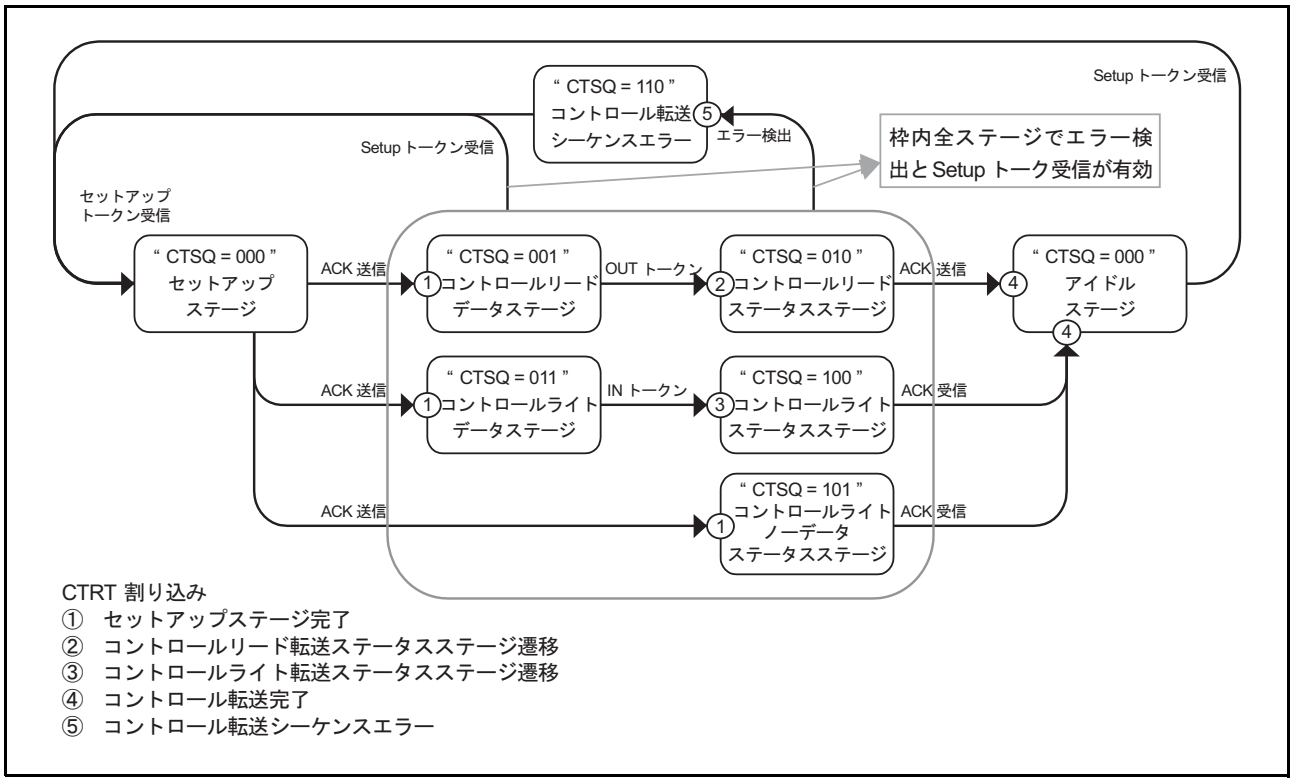


図 33.7 Control 転送ステージ遷移図

33.9.2.4　DMA Master に関する割り込み

表 33.23　割り込み一覧

割り込み名称	割り込みの種類
USBFDMAmn (m, n = 0, 1)	DMA トランザクションが終了した場合
	リンク・モードでインバリッドなディスクリプタをリードした場合
USBFDMAERRm (m = 0, 1)	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合

DMA 割り込みとして、USBFDMAmn と USBFDMAERRm を有しています。

- USBFDMAmn 割り込み (m, n = 0, 1)

DMA トランザクションが終了したときに発生します。またリンク・モードでインバリッドなディスクリプタをリードした場合にも発生します。

DMA チャネルごとに割り込みを分割しています。USBFDMAm0 が DMA 0ch の割り込みに、USBFDMAm1 が DMA 1ch の割り込みに対応しています。

- USBFDMAERRm 割り込み

マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合に発生します。

全 DMA チャネルで共通です

USBFDMAmn 割り込み出力は、レジスタにより、一時的にマスクすることができます。

また、レジスタにより、割り込み検出をマスクすることもできます。割り込み検出をマスクした場合、割り込み発生を表示するステータス・レジスタも変化しません。

一方、USBFDMAERRm 割り込み信号にはマスク機能はありません。

33.9.3 PIPE コントロール

表 33.24 に本モジュールの PIPE 設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理 PIPE にて、データ通信を行います。本モジュールにはデータ転送用に 16 本の PIPE があります。各 PIPE は、システムの仕様に合わせて設定を行ってください。

表33.24　PIPE設定項目一覧表

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送Typeを指定	PIPE1~15：設定可
	BFRE	BRDY割込モードを選択	PIPE1~5, 11~15：設定可
	DBLB	ダブルバッファを選択	PIPE1~5, 11~15：設定可 PIPE9~10：Bulk転送選択時のみ設定可
	CNTMD	連続転送もしくは非連続転送を選択	DCP：設定可 PIPE1~2, 9~10：Bulk転送選択時のみ設定可 PIPE3~5, 11~15：設定可
	DIR	転送方向を選択	INまたはOUT設定可
	EPNUM	エンドポイント番号	PIPE1~15：設定可 PIPE使用時は“0000”以外に設定
	SHTNAK	トランスファ終了時のPIPE禁止選択	DCP：設定可 PIPE1~2, 9~10：Bulk転送選択時のみ設定可 PIPE3~5, 11~15：設定可
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP：設定不可　（64 / 256 (CNTMD = 1) バイト固定） PIPE1~5, 9~15：設定可 (最大2Kバイトまで指定可) PIPE6~8：設定不可 (64バイト固定)
	BUFNMB	バッファメモリ番号	DCP：設定不可 (領域 0~3 hex固定) PIPE1~5, 9~15：設定可 (領域 7~7F hexで指定可) PIPE6-8：設定不可 (領域 4~6 hex固定)
DCPMAXP PIPEMAXP	MXPS	マックスパケットサイズ	USB規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	PIPE1~2：Isochronous転送選択時のみ設定可 PIPE3~15：設定不可
	IITV	インターバルカウンタ	PIPE1~2：Isochronous転送選択時のみ設定可 PIPE3~15：設定不可
DCPCTR PIPExCTR	BSTS	バッファステータス	DCPはISELビットにより、受信／送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	PIPE3~5, 9~15のみ搭載
	ACLRM	自動バッファクリア	PIPE1~15：設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	PIPEビジー確認	
	PID	応答PID	
DCPCTR PIPExCTR	ATREPM	自動応答モード	PIPE1~5, 9~15：設定可
PIPExTRE	TRENB	トランザクションカウント許可	PIPE1~5, 9~15：設定可
	TRCLR	カレントトランザクション カウンタのクリア	PIPE1~5, 9~15：設定可
PIPExTRN	TRNCNT	トランザクションカウンタ	PIPE1~5, 9~15：設定可

33.9.3.1　マックスパケットサイズ設定

DCPMAXP レジスタ、および PIPEMAXP レジスタの MXPS ビットにて各 PIPE のマックスパケットサイズを設定します。DCP および PIPE1~5 は、USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。PIPE6~9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始 (”PID = BUF” を設定) する前に設定してください。

DCP: High-Speed 動作時は ”64” を設定してください。
DCP: Full-Speed 動作時は ”8”、”16”、”32”、”64” から選択して設定してください。
PIPE1~5: High-SpeedBulk 転送時は、”512” を設定してください。
PIPE1~5: Full-SpeedBulk 転送時は、”8”、”16”、”32”、”64” から選択して設定してください。
PIPE1~2: High-Speed Isochronous 転送時は、”1” から ”1024” の値を設定してください。
PIPE1~2: Full-Speed Isochronous 転送時は、”1” から ”1023” の値を設定してください。
PIPE6~8: ”64” を設定してください。

PIPE9:
　Interrupt 転送時は、”1” から ”64” を設定してください。
　High-SpeedBulk 転送時は、”512” を設定してください。
　Full-SpeedBulk 転送時は、”8”、”16”、”32”、”64” から選択して設定してください。
PIPE10:
　Interrupt 転送時は、”1” から ”64” の値を設定してください。
　High-Speed Bulk 転送時は、”512” を設定してください。
　Full-Speed Bulk 転送時は、”8”、”16”、”32”、”64” から選択して設定してください。
PIPE11~15:
　High-Speed Bulk 転送時は、”512” を設定してください。
　Full-Speed Bulk 転送時は、”8”、”16”、”32”、”64” から選択して設定してください。

Interrupt 転送および Isochronous 転送の Highband-Width は未対応です。

33.9.3.2 応答 PID

DCPCTR レジスタ、および PIPExCTR レジスタの PID ビットにて各 PIPE の応答 PID を設定してください。

- 応答 PID 設定

応答 PID は、Host からのトランザクションに対する応答を指定します。
(a) NAK 設定：発生したトランザクションに対して常に ”NAK 応答 ” します。
(b) BUF 設定：バッファメモリの状況に応じてトランザクションに応答します。
(c) STALL 設定：発生したトランザクションに対して常に ”STALL 応答 ” します。

セットアップトランザクションに対しては、PID ビットの設定値に関わらず、常に ”ACK 応答 ” し、レジスタに USB リクエストを格納します。

トランザクション結果によっては、本モジュールによる PID ビットへの書き込みが発生する場合があります。本モジュールにより PID ビットへの書き込みが発生するのは下記の場合です。
(a) NAK 設定：
(ア) SETUP トークンを正常に受信したとき (DCP のみ)。
(イ) Bulk 転送時に PIPECFG レジスタの SHTNAK ビットを ”1” に設定し、ショートパケットを受信したとき。
(ウ) Bulk 転送時に SHTNAK ビットを ”1” に設定し、トランザクションカウンタが終了したとき。
(b) BUF 設定：コントローラによる BUF 書き込みはありません。
(c) STALL 設定：
(ア) 受信データパケットでマックスパケットサイズオーバエラーを検出したとき。
(イ) Control 転送シーケンスエラーを検出したとき。

33.9.3.3　PIPE コントロールレジスタの切り替え手順

PIPE コントロールレジスタの以下のビットは、USB 通信が不許可（”PID = NAK”）であるときのみ書き換えが可能です。図 33.8 に USB 通信許可 (“PID = BUF”) 状態から PIPE コントロールレジスタの切り替え手順を示します。

USB 通信許可（”PID = BUF”）状態では設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR ビット、SQSET ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPExCTR レジスタの ATREPM ビット、ACLRM ビット、SQCLR ビット、SQSET ビット
- PIPExTRE レジスタ、PIPExTRN レジスタの各ビット

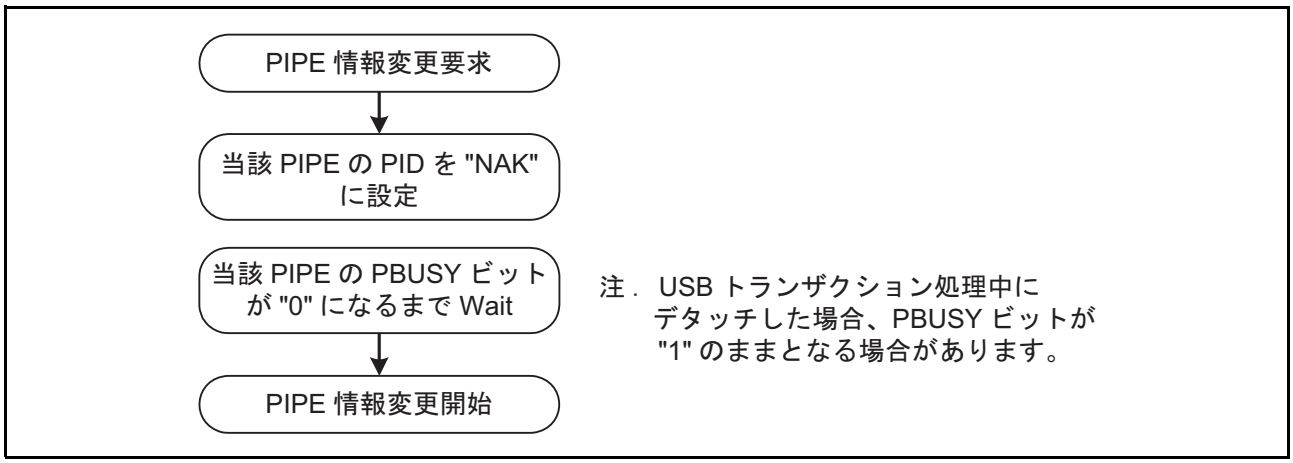


図 33.8　USB 通信許可（”PID = BUF”）状態からの PIPE 情報変更手順

また PIPE コントロールレジスタの以下のビットは、CPU/DMA0/DMA1-FIFO-PORT のいずれの CURPIPE にも設定されていない PIPE 情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPExCTR レジスタ、ACLRM ビット

PIPE 情報を変更する場合には、CURPIPE の設定を変更 PIPE 以外にしてください。なお、DCP については PIPE 情報修正後、BCLR にてバッファのクリア処理をしてください。

33.9.3.4　データ PID シーケンスビット

Control 転送のデータステージ、Bulk 転送、Interrupt 転送において正常なデータ転送が行われると、本モジュールによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタ、および PIPExCTR レジスタの SQMON ビットにて確認できます。

データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングで、シーケンスビットが切り替わります。

また、DCPCTR レジスタおよび PIPExCTR レジスタの SQCLR ビット SQSET ビットにて、データ PID シーケンスビットを変更可能です。

また Control 転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 になります。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。

ClearFeature リクエストの送信または受信時などは、データ PID シーケンスビットを設定する必要がありますのでご注意ください。

なお、Isochronous 転送設定 PIPE は SQSET ビットによるシーケンスビット操作を行うことはできません。

33.9.4　FIFO バッファ

本章では本モジュールに内蔵する FIFO バッファに関する動作を説明します。

33.9.4.1　FIFO バッファ割り当て

図 33.9 に本モジュールの FIFO バッファのメモリマップ例を示します。FIFO バッファは CPU と本モジュールが共用する領域です。FIFO バッファの状況には、アクセス権がシステム（CPU 側）にある場合と、本モジュール（SIE 側）にある場合があります。

FIFO バッファは、PIPE ごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数（PIPEBUF レジスタの BUFNMB ビット、および BUFSIZE ビットで指定）で設定します。PIPExCFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍になるように設定してください。また PIPExCFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一 PIPE に対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てられます。

FIFO バッファへのアクセス（データ読み書き）は FIFO ポートを使用します。FIFO ポートに割り当てる PIPE は、CFIFOSEL/DxFIFOSEL レジスタの CURPIPE ビットにて PIPE 番号を指定します。

各 PIPE の FIFO バッファステータスは、DCPCTR レジスタ、および PIPExCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、CFIFOCTR/DxFIFOCTR レジスタの FRDY ビットで確認できます。

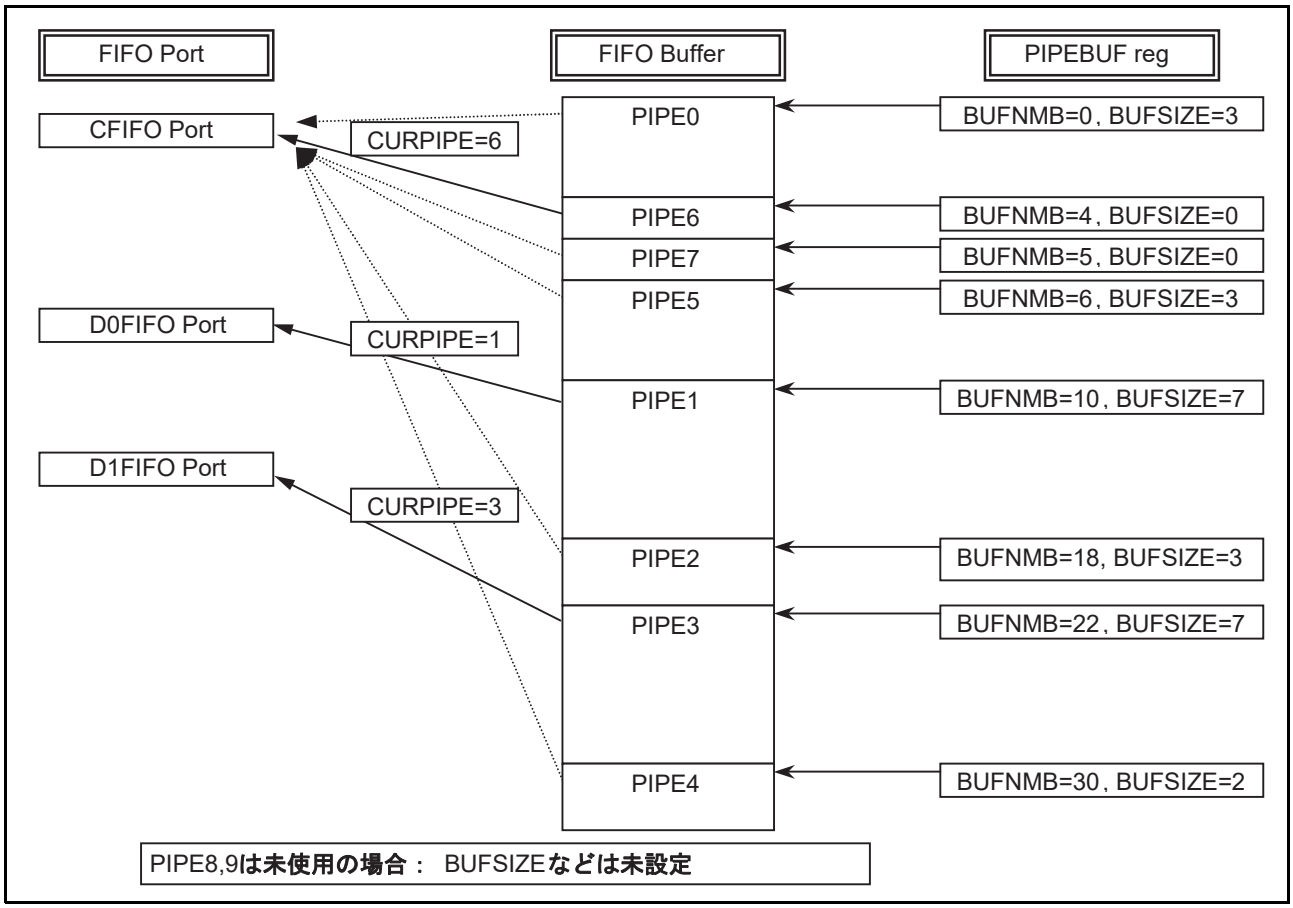


図 33.9　FIFO バッファのメモリマップ例

33.9.4.2　FIFO バッファクリア

表 33.25 に本モジュールによる FIFO バッファのクリア一覧表を示します。
FIFO バッファは下記のビットによってクリアできます。

表33.25　FIFOバッファクリアー覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DxFIFOCTR レジスタ	DxFIFOSEL レジスタ	PIPExCTR レジスタ
機能	CPU側FIFOバッファをクリアします。	指定PIPEのデータを読み出した後で、自動でFIFOバッファをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	“1”ライトでクリア	“1” モード有効 “0” モード無効	“1” モード有効 “0” モード無効

33.9.5　FIFO ポートの機能

本章では FIFO ポートに関する機能の説明をします。**表 33.26** に本モジュールの FIFO ポート機能設定表を示します。

データ書き込みアクセス時は、バッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと、自動的に USB バスに送信可能な状態となります。
バッファフル（非連続転送時はマックスパケットサイズ数）未満のデータを送信可能状態にするには、CFIFOCTR/DxFIFOCTR レジスタの BVAL ビットによる書き込み終了設定が必要です。

また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時（DTLN = 0）は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。

受信データ長は、CFIFOCTR/DxFIFOCTR レジスタの DTLN ビットにて確認します。

表 33.26　FIFO ポート機能設定表

レジスタ名	ビット名	機能	備考
C/DxFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリ リワインド（再読み出し、再書き込み）	
	DCLRM	指定 PIPE の受信データ読み出し後 自動クリア	DxFIFO 専用
	DREQE	DREQ 信号アサート	DxFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	CFIFO 専用
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレント PIPE 選択	
C/DxFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	FRDY	FIFO ポートレディーモニタ	
	DTLN	受信データ長確認	

33.9.5.1　FIFO ポート選択

表 33.27 に各 FIFO ポートで選択可能な PIPE 表を示します。

C/DxFIFOSEL レジスタの CURPIPE ビットにて、アクセスする PIPE を選択します。PIPE 選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから（前回の PIPE 番号が読み出された場合には、本モジュールが PIPE 変更処理中である事を示します）、”FRDY = 1” を確認し FIFO ポートへアクセスしてください。

図 33.10 に FIFO ポートアクセス時の PIPE の切り替え手順を示します。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、DCP の場合は ISEL ビットの設定に従います。その他の PIPE は PIPExCFG レジスタの DIR ビットに従います。

表 33.27　PIPE 別 FIFO ポートアクセス表

PIPE	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
PIPE1~15	CPU アクセス	CFIFO ポートレジスタ
	DMA アクセス	DxFIFO ポートレジスタ

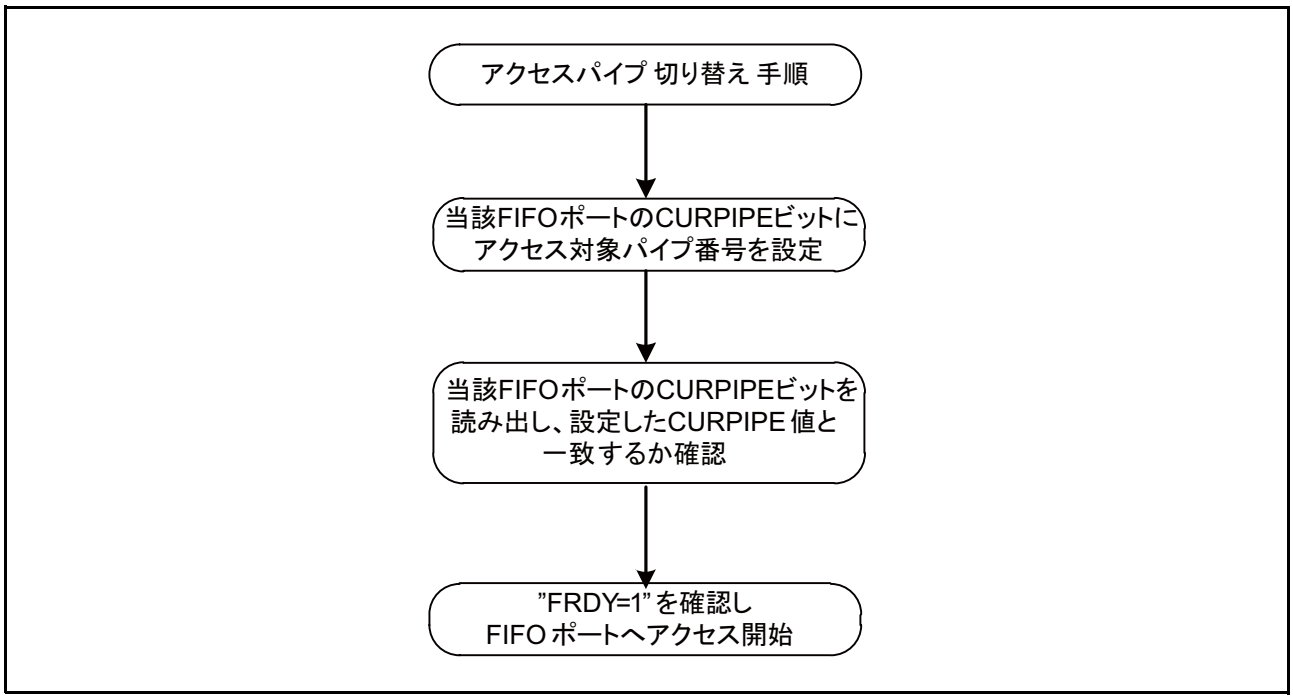


図 33.10　FIFO ポートアクセス時の PIPE 切り替え手順

33.9.5.2　DxFIFO 自動クリアモード（DxFIFO ポート読み出し方向）

本モジュールは、DxFIFOSEL レジスタの DCLRM ビットに ”1” を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該 PIPE のバッファメモリを自動的にクリアします。

表 33.28 に各設定での、パケット受信とソフトウエアによるバッファメモリクリア処理の関連表を示します。
表 33.28 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRM ビットを使用することでソフトウエアによるバッファクリアが不要になり、ソフトウエアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表33.28　パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定 / パケット受信時のバッファ状態	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE =1
バッファフル	クリア不要		クリア不要	
Zero-Lengthパケット受信	クリア必要			
通常のショートパケット受信	クリア不要	クリア必要		
トランザクションカウント終了				

33.9.5.3　BRDY 割り込みタイミング選択機能

PIPECFG レジスタの BFRE ビットの設定により、マックスパケットサイズのデータパケットを受信時に BRDY 割り込みを発生させないようにすることができます。

この機能により DMA 転送を使用している場合に、最終データを受信したときのみに割り込みを発生させることができます。最終データとはショートパケットの受信、またはトランザクションカウントの終了を示します。

"BFRE = 1" に設定している場合は、受信したデータを読み出した後で、BRDY 割り込みが発生します。DxFIFOCTR レジスタの DTLN ビットを読み出すことにより、BRDY 割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表 33.29 に本モジュールの BRDY 割り込み発生タイミングを示します。

表33.29　BRDY割り込み発生タイミング表

レジスタ設定 / パケット受信時のバッファ状態	BFRE = “0”	BFRE = “1”
バッファフル	パケット受信時	発生しない
Zero-Lengthパケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

BFRE ビット機能はバッファメモリから読み出し方向のみ有効です。書き込み方向の場合には BFRE ビットは ”0” に固定してください。

33.9.6　Control 転送（DCP）

Control 転送のデータステージのデータ転送は、デフォルトコントロール PIPE（DCP）を使用します。DCP のバッファメモリは、コントロールリード、およびコントロールライト共用の固定領域で 64 バイトシングルバッファです (CNTMD = 1 (連続バッファ) では 256 バイト固定)。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

33.9.6.1　Control 転送

(1)　セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して、必ず ACK 応答します。セットアップステージでの本モジュールの動作を以下に示します。

(1) 新しいセットアップパケットを受信すると、本モジュールは、以下のビットをセットします。
(a) INTSTS0 レジスタの VALID ビットを "1" にセット
(b) DCPCTR レジスタの PID ビットを "NAK" にセット
(c) DCPCTR レジスタの CCPL ビットを "0" にセット

(2) セットアップパケットに引き続き、データパケット受信すると、本モジュールは、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

Control 転送に対する応答処理は、必ず ”VALID = 0” を設定後に行ってください。”VALID = 1” 状態では ”PID = BUF” 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、Control 転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット (bmRequestType の bit8) 、およびリクエストデータ長 (wLength) を自動判別し、Control Read 転送、Control Write 転送、および Nodata Control 転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、Control 転送ステージ遷移割り込みのシーケンスエラーが発生します。
本モジュールのステージ管理については「**図 33.7　Control 転送ステージ遷移図**」を参照ください。

(2)　データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

DCPCTR レジスタの PID ビットを BUF に設定することでトランザクションを実行します。

データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。Control Write 転送では BRDY 割り込みを、Control Read 転送では BEMP 割り込みを使用してください。

High-Speed 動作時の Control Write 転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

(3) ステータスステージ

DCPCTR レジスタの PID ビットが ”PID = BUF” の状態で、CCPL ビットに ”1” を設定することにより Control 転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記の通りです。

(1) Control Read 転送の場合：
USB Host Controller からの Zero-Length パケットを受信し、ACK 応答を送信します。

(2) Control Write 転送、Nodata Control 転送の場合：
本モジュールは Zero-Length パケットの送信を行い、USB Host Controller からの ACK 応答を受信します。

(4) Control 転送自動応答機能

本モジュールは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合は、応答が必要です。

(1) bmRequestType ≠ “0x00”
(2) wIndex ≠ “0x00”
(3) wLength ≠ “0x00”
(4) wValue ＞ “0x7F”
(5) DVSQ ＝ “011（Configured）”

SET_ADDRESS 以外の全てのリクエストには対応する応答が必要です。

33.9.7　Bulk 転送（PIPE1~5, 9~15）

Bulk 転送は、バッファメモリの使用方法（シングル／ダブルバッファ設定、もしくは連続／非連続転送モード設定）の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態はコントローラが管理し、PING パケット／ NYET ハンドシェイクには自動応答します。

33.9.7.1　NYET ハンドシェイク制御

表 33.30 に Bulk 転送および Control 転送における受信トークンに対する応答一覧表を示します。

本モジュールは、Bulk 転送および Control 転送において OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない場合に NYET 応答を行います。
ただし、ショートパケット受信時は、この条件の場合でも NYET 応答をせずに ACK 応答を行います。

表 33.30　受信トークンに対する応答一覧表

PID ビット設定値	バッファメモリの状態 *1	受信トークン	応答	備考
NAK/STALL	—	SETUP	ACK	—
	—	IN/OUT/PING	NAK/STALL	—
BUF	—	SETUP	ACK	—
	RCV-BRDY	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信 *1
	RCV-BRDY	OUT	NYET	データパケット受信 *2
	RCV-BRDY	OUT（Short）	ACK	データパケット受信 *2
	RCV-BRDY	PING	ACK	*2
	RCV-NRDY	OUT/PING	NAK	
	TRN-BRDY	IN	DATA0/1	データパケット送信
	TRN-NRDY	IN	NAK	

注.　具体的には下記の通りです。
RCV-BRDY*1: OUT/PING トークン受信時にバッファメモリに 2 パケット分以上の空き領域がある。
RCV-BRDY*2: OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない。
RCV-NRDY: PING トークン受信時にバッファメモリに空き領域がない。
TRN-BRDY: IN トークン受信時にバッファメモリに送信データがある。
TRN-NRDY: IN トークン受信時にバッファメモリに送信データがない。

33.9.8 Interrupt 転送（PIPE6~9, 10）

本モジュールは、Host Controller が管理している周期に従って Interrupt 転送を行います。

Interrupt 転送の場合、PING パケットに対しては無視（無応答になる）します。また NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

また、本モジュールは、Interrupt 転送の High-Bandwidth 転送には対応していません。

33.9.9　Isochronous 転送（PIPE1~2）

本モジュールは、Isochronous 転送に対して下記の機能を備えています。

(1) Isochronous 転送のエラー情報通知
(2) インターバルカウンタ（IITV ビット指定）
(3) Isochronous IN 転送データセットアップコントロール（IDLY 機能）
(4) Isochronous IN 転送バッファフラッシュ機能（IFIS ビット指定）
(5) SOF パルス出力機能

本モジュールは、Isochronous 転送の High-Bandwidth 転送には対応していません。

33.9.9.1　Isochronous 転送のエラー検出

本モジュールは、Isochronous 転送のエラー発生を、管理するために、下記のエラー情報の検出機能を持っています。
表 33.31 および**表 33.32** にエラーを確認する順番と発生する割り込みについて示します。

(1) PID エラー
　受信パケットの PID が不正な場合。
(2) CRC エラー、ビットスタッフィングエラー
　受信パケットの CRC にエラーがあった場合。またはビットスタッフィングが不正な場合。
(3) マックスパケットサイズオーバ
　受信パケットのデータサイズがマックスパケットサイズの設定値を越えていた。
(4) オーバラン、アンダランエラー
　(a) IN 方向（送信）の転送時に IN トークン受信時にバッファメモリにデータが無い場合
　(b) OUT 方向（受信）の転送時に OUT トークン受信したがバッファメモリに空き領域が無い場合
(5) インターバルエラー
　以下の場合にインターバルエラーとします。
　(a) Isochronous IN 転送でインターバルフレームに IN トークンを受信できなかった場合。
　(b) Isochronous OUT 転送でインターバルフレームに OUT トークンを受信できなかった場合。

表33.31　トークン送受信時のエラー検出

検出の優先順位	エラー種別	エラー検出時に発生する割り込みとステータス
1	PIDエラー	割り込み発生せず (破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	割り込み発生せず (破損パケットとして無視)
3	オーバラン、アンダランエラー	NRDY割り込みを発生させ、OVRNビットをセットします。 INトークンに対して、Zero-Lengthパケットを送信します。 OUTトークンに対してデータパケットを受信しません。
4	インターバルエラー	NRDY割り込みは発生しません。

表33.32　データパケット受信時のエラー検出

検出の優先順位	エラー種別	エラー検出時に発生する割り込みとステータス
1	PIDエラー	割り込み発生せず (破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	NRDY割り込みを発生させて、CRCEビットをセットします。
3	マックスパケットサイズオーバエラー	BEMP割り込みを発生させて、PIDを”STALL”にセットします。

33.9.9.2 DATA-PID

本モジュールは High-Bandwidth 転送には対応していません。
受信した PID に対する対応を以下に示します。

(1) IN 方向：
(a) DATA0：データパケットの PID として送信します。
(b) DATA1：送信しません。
(c) DATA2：送信しません。
(d) mDATA：送信しません。

(2) OUT 方向（Full-Speed 動作時）：
(a) DATA0：データパケットの PID として正常受信します。
(b) DATA1：データパケットの PID として正常受信します。
(c) DATA2：パケットを無視します。
(d) mDATA：パケットを無視します。

(3) OUT 方向（High-Speed 動作時）：
(a) DATA0：データパケットの PID として正常受信します。
(b) DATA1：データパケットの PID として正常受信します。
(c) DATA2：データパケットの PID として正常受信します。
(d) mDATA：データパケットの PID として正常受信します。

33.9.9.3　インターバルカウンタ

(1)　動作概要

PIPEPERI レジスタの IITV ビットにより Isochronous 転送のインターバルを設定できます。
インターバルカウンタにより、**表 33.33** の機能を実現します

表 33.33　インターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	Isochronous IN 転送で インターバルフレームに IN トークンを正常受信できない
OUT	トークン未受信の通知	Isochronous OUT 転送で インターバルフレームに OUT トークンを正常受信できない

インターバルのカウントは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV}（μ）フレームです。

(2)　インターバルカウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。
(a) パワーオンリセット
　IITV ビットが初期化されます。
(b) ACLRM ビットによるバッファメモリのクリア
　IITV ビットは初期化されませんがカウントは初期化されます。
(c) USB バスリセット

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウントを開始します。
(1) “PID = BUF” 状態で IN トークンに対して、データを送信後の SOF 受信
(2) “PID = BUF” 状態で OUT トークンの、データを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。
(a) PID を NAK または STALL に設定した場合
　インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
(b) USB バスリセット、USB サスペンド
　IITV ビットは初期化されません。SOF を受信すると、受信前の値からカウントを開始します。

33.9.9.4　Isochronous 転送送信データセットアップ

本モジュールの Isochronous データ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能を Isochronous 転送送信データセットアップ機能と呼びます。
この機能により送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ 1 パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 33.11 に本モジュールで、”IITV = 0 (毎フレーム)” を設定した場合の Isochronous 転送送信データセットアップ機能による送信例を示します。

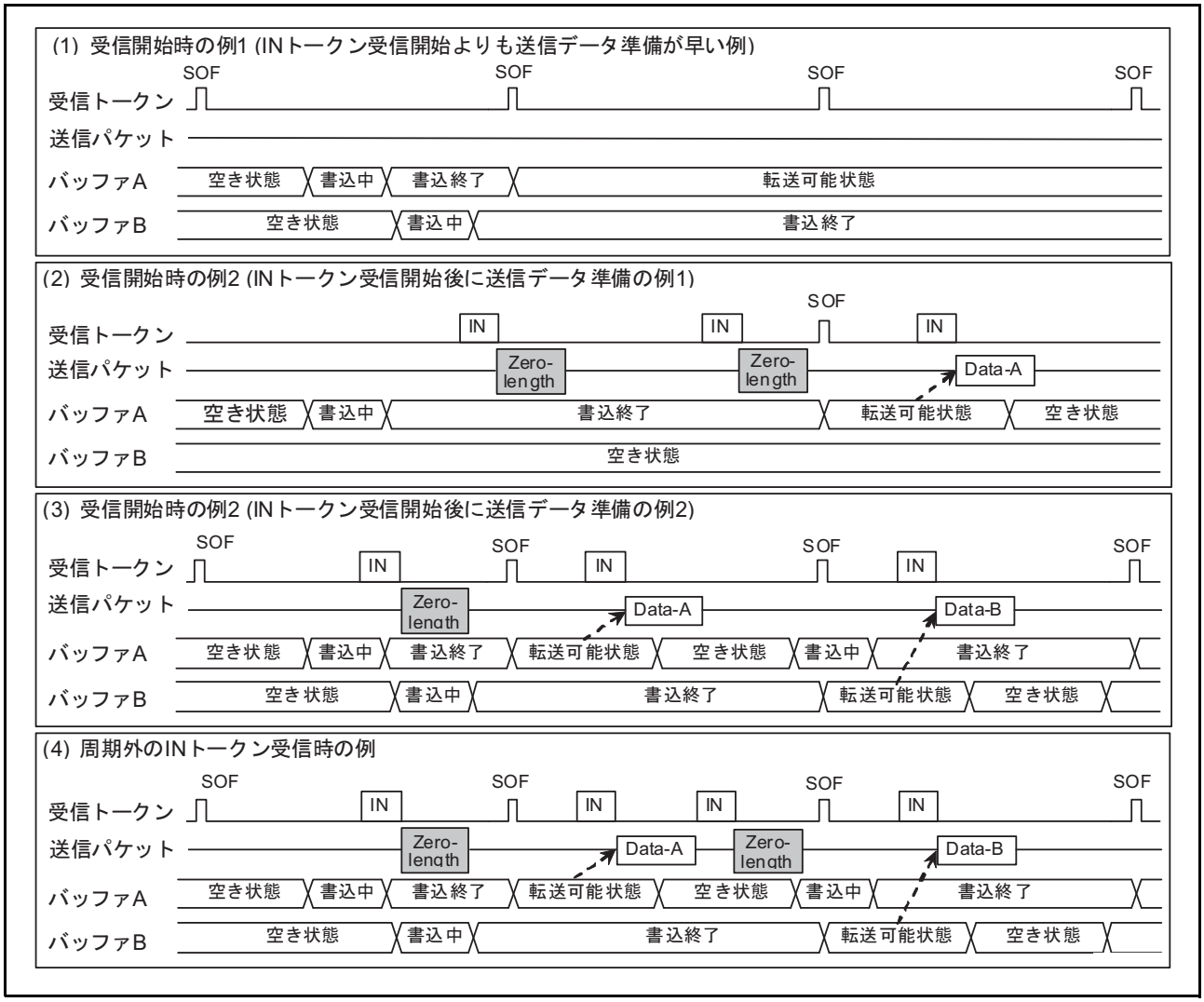


図 33.11　データセットアップ機能動作例

33.9.9.5　Isochronous 転送送信バッファフラッシュ

本モジュールは、Isochronous データ送信でインターバルフレームに IN トークンを受信せず、次フレームの (μ) SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、(μ) SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

(1) IITV = 0 の場合

PIPE が有効となった次のフレームからバッファフラッシュ動作します。

(2) IITV = 0 以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 33.12 に本モジュールのバッファフラッシュ機能の動作例を示します。

ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出もしくはアンダランエラーとして Zero-Length パケットを送出します。

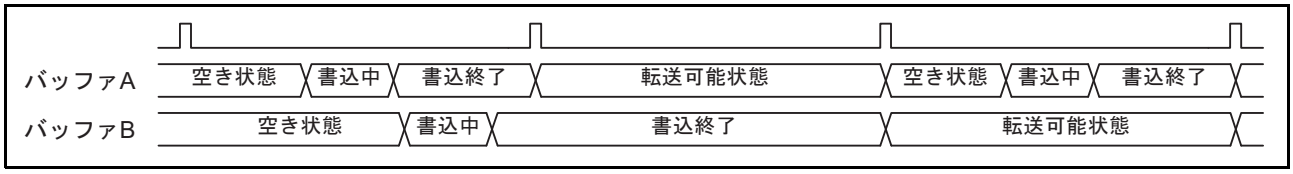


図 33.12　バッファフラッシュ機能動作例

図 33.13 に本モジュールのインターバルエラー発生例を示します。

インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は OVRN ビットで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

(1) IN 方向：

(a) バッファ転送可能状態であればデータ転送し正常応答

(b) バッファ転送不能状態であれば Zero-Length パケット送信しアンダランエラー

(2) OUT 方向：

(a) バッファ受信可能状態であればデータ受信し正常応答

(b) バッファ受信不能状態であればデータ破棄しオーバランエラー

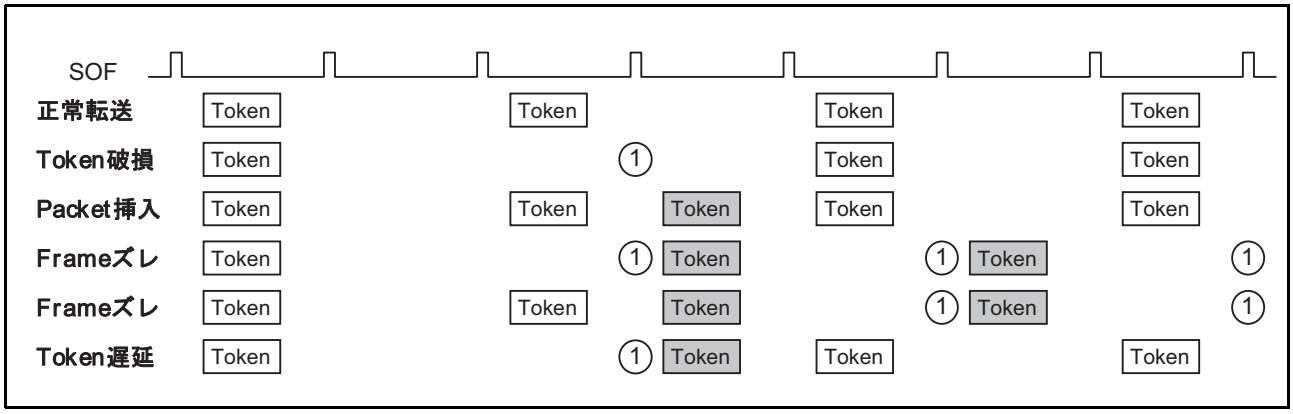


図 33.13　“IITV = 1” のときのインターバルエラー発生例

33.9.10　SOF 補間機能

SOF パケットの破損、もしくは欠落のために 1ms (Full-Speed 動作時) または 125µs (High-Speed 動作時) 間隔で受信できなかった場合に、コントローラ内部で SOF を補間します。

SOF 補間動作の開始は ”USBE = 1” かつ ”SUSPM = 1” かつ SOF パケット受信となります。

また、下記の条件で補間機能が初期化されます。

(1) パワーオンリセット

(2) USB バスリセット

(3) サスペンド検出

また、SOF 補間は次の仕様で動作します。

(1) フレーム間隔 (125µs または 1ms) は、リセットハンドシェイクプロトコルの結果に従う。

(2) SOF パケット受信までは、補間機能は動作しない。

(3) 最初の SOF パケット受信後は、内部クロック 60 MHz で 125 µs もしくは 1 ms をカウントし補間する。

(4) 2 回目以降の SOF パケットを受信後は、前回の受信間隔を用いて補間する。

(5) サスペンド時および USB バスリセット受信中は、補間しない。

（High-Speed 動作時のサスペンド移行では、最終パケットから 3 ms 間は補間を継続します）

SOF 補間機能は次の機能で動作します。

(1) フレーム番号、およびマイクロフレーム番号の更新

(2) SOFR 割り込み、および µSOF ロック

(3) SOF パルス出力

(4) Isochronous 転送インターバルカウント

Full-Speed 動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。

High-Speed 動作時に µSOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されます。

ただし、”UFRNM = 000” の µSOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する ”UFRNM = 000” 以外の µSOF パケットが正常に受信されても、FRNM ビットは更新されません。

33.9.11 Link Power Management 処理

Link Power Management 規格では、既存の Suspend ステートを L2 ステートと定義しなおし、さらに L2 (Suspend) よりも低レイテンシで遷移、復帰可能なステートとして L1 ステートを新規に定義しています。

以下の表に L2 (Suspend) と L1 の比較を示します。

表 33.34　Suspend (L2) と L1 の比較

項目	L1	Suspend (L2)
遷移	LPM Transaction	3ms 間のアイドル
Host起因の復帰	(Host) Min ドライブ期間を Host が指定可能。 75us～1.175ms で指定 (Device) 10us の K ドライブ	(Host) Min 20ms の K ドライブ (Device) 10ms の K ドライブ
Device起因の復帰	(Device) 50us の K ドライブ (Host) 60us～990us の K ドライブ (Device) 10us の K ドライブ	(Device) 1ms～15ms の K ドライブ (Host) Min 20ms の K ドライブ (Device) 10ms の K ドライブ
Signaling	Low and Full Speed Idle	Low and Full Speed Idle

以下の項で、L1 への遷移処理、復帰処理を説明します。

33.9.11.1 Descriptor

Get Descriptor コマンドを受信した場合に、自身の Descriptor を返信する必要があります。

LPM Transaction により L1 への遷移・復帰処理に対応するか否かによって、返信する Descriptor の内容を変更する必要があります。

以下の表に詳細を纏めます。

表 33.35　LPM 対応と Descriptor の関係

LPM対応	bcdUSB	USB 2.0 Ex. Desc の有無	USB 2.0 Ex.Desc の LPM	LPMを受けた場合の応答	備考
しない	0200	なし	—	Not Respond	LPMに対応しない場合の標準動作
	0201	あり	LPM = 0	STALL	明確にLPMに対応しないと宣言する場合。この場合、無応答でなく、STALL を応答する必要がある。
する	0201	あり	LPM = 1	ACK or NYET	LPMに対応する場合の標準動作。

L1 への遷移・復帰に対応するか否かは、USB 2.0 Extension Descriptor の LPM ビットによって宣言します。また、USB 2.0 Extension Descriptor を持たせるには、Device Descriptor の bcdUSB フィールドを 0201 もしくはそれ以上の値にする必要があります。

LPM に対応しない場合、USB 2.0 Extension Descriptor 自体を持たせず、bcdUSB を 0200 とします。この場合、仮に LPM Token を受信したとしても無視する必要があります。

LPM に対応しない場合は、bcdUSB を 0201 とし、USB 2.0 Extension Descriptor の LPM ビットを 0 (非対応) とすることもできます。ただし、この場合は、LPM に無視することができず、STALL を応答する必要があります。

LPM に対応する場合は、bcdUSB を 0201 とし、USB 2.0 Extension Descriptor の LPM ビットを 1 (対応) とします。これにより、LPM Token に対して、NYET もしくは ACK を応答することが認められるようになります。

33.9.11.2　基本処理

以下の処理が求められます。

(1) Host から受信した LPM Token に対して、自身の状態に応じて「無応答」「ACK」「NYET」「STALL」を応答。
(2) ACK 応答を行った後、8us 間 LPM Token の再送を検知しなかった場合、L1 状態に遷移。
(3) Host の K ドライブを検知して、Idle 状態への復帰処理を実施。
(4) Remote Wake による Idle 状態へ復帰処理を実施。

(1) に対しては、PL1CTRL レジスタの L1RESPEN ビット、L1RESPMD ビット、L1NEGOMD ビットにより、応答方法を指定します。ハードウェアは、LPM Token を受信した場合、指定された応答を行います。
(2) に対しては、再送制御、L1 状態への遷移ともに、ハードウェアが処理します。L1 状態への遷移は、DVST 割り込みで知ることができます。
(3) に対しては、L1 での Host K 検知で RESM 割り込みが発生します。
(4) に対しては、WKUP ビットをセットすることでハードウェアに対して Remote Wake 開始を指示することができます。L2 からの復帰の際は、本ビットをクリアしますが、L1 からの復帰の際はハードウェアクリアとなります。

33.9.11.3　HIRD 値ネゴシエーション

LPM Token に含まれる HIRD 値は、L1 ステートからの復帰時の Host K 期間となります。

L1CTRL レジスタの L1NEGOMD ビット、HIRDTHR ビットにより、受信した HIRD 値が所望の範囲であれば ACK 応答、そうではない場合は NYET 応答を行い、Host に HIRD 値修正をリクエストすることができます。

注．　この HIRD 値ネゴシエーション機能は、Host 側もネゴシエーション処理に対応している必要があります。

33.9.12 DMA モード

33.9.12.1 レジスタ／リンク・モード

CHCFG_n レジスタの DMS ビットにより、レジスタ・モードとリンク・モードを切り替えることができます。

表 33.36 DMA モード設定

DMS (CHCFG)	モード	説明
0	レジスタ・モード	Next Register Set に設定された値で DMA 転送を行います。
1	リンク・モード	ディスクリプタ領域にアクセスし、ディスクリプタに設定された値で DMA 転送を実行します。ディスクリプタによる設定、またはコントロールレジスタで停止しない限り、ディスクリプタのリードと DMA 転送を繰り返します。

(1) レジスタ・モード

レジスタ・モードは、内部レジスタに設定した値を用いて、DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を 2 セット (Next0 Register Set, Next1 Register Set) 設定できます。使用する Next レジスタ・セットを選択して転送したり、2 つの Next レジスタ・セットを連続して転送したりすることができます。

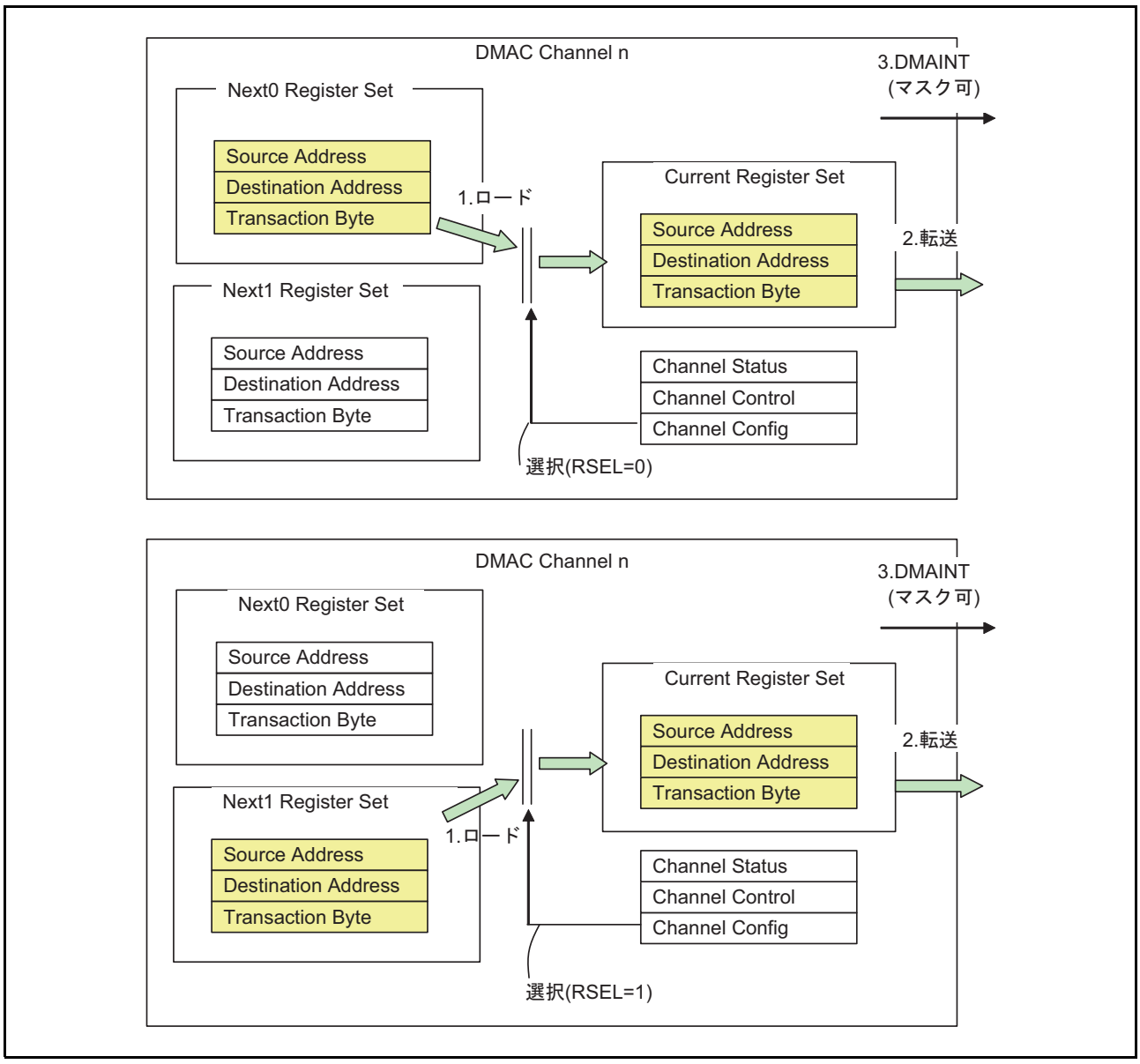


図 33.14　Register 通常モード概要

上記の図は、Next0 Register Set を実行する場合 (図上) と、Next1 Register Set を実行する場合 (図下) を示しています。

(a) レジスタ・モードの動作フロー

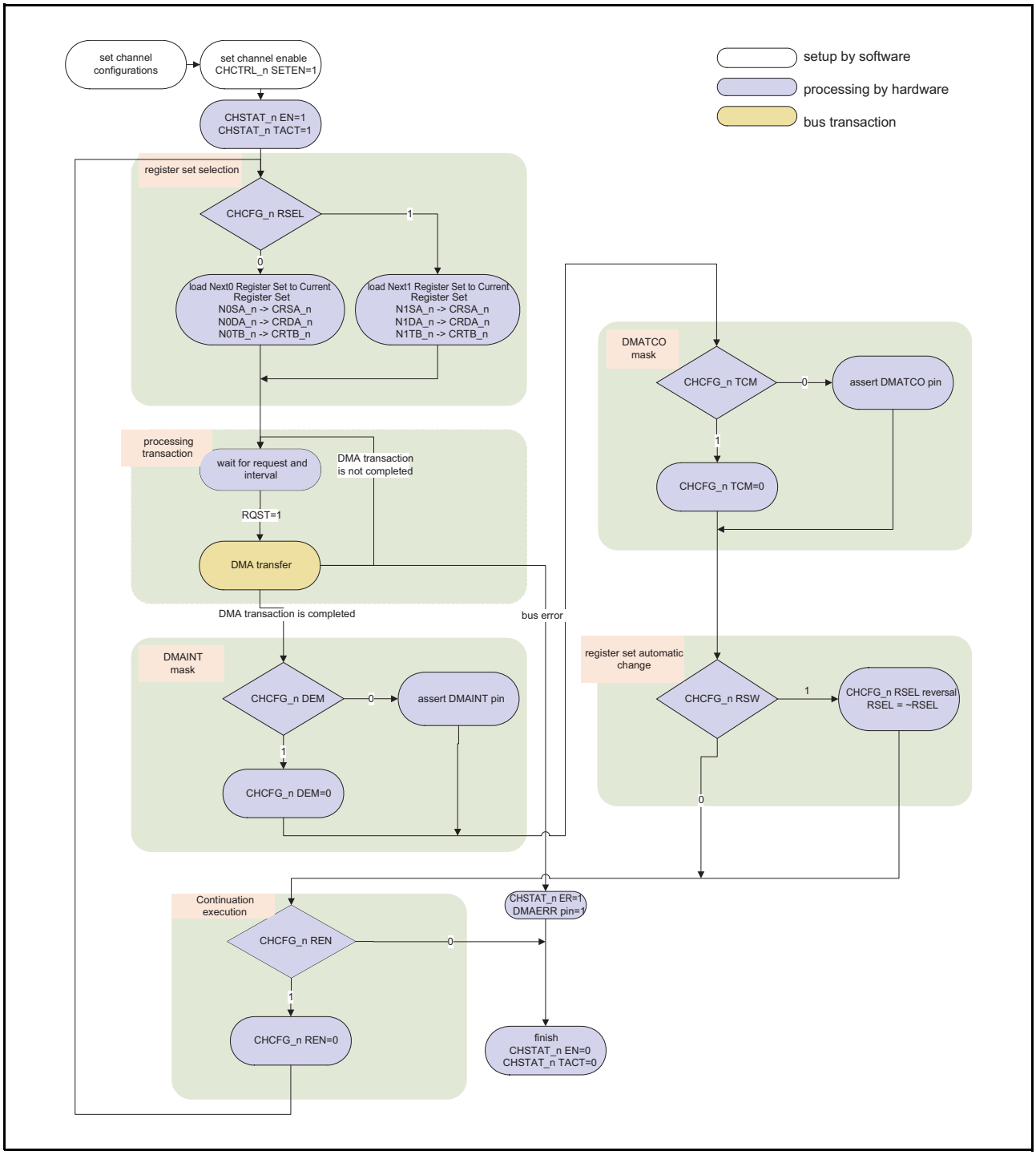


図 33.15 レジスタ・モード・フロー

＜レジスタ・モード・フローの説明＞

1. チャネル設定 (set channel configuration)

Next0 または Next1 Register Set (転送先アドレス、転送元アドレス、総転送バイト数) を設定します。また Channel Register Set に使用する USB 制御の FIFO チャネル、転送量等を設定します。

OUT 転送 (Peripheral 受信) の場合、転送元アドレスの設定は DxFIFOSEL.CURPIPE ビットの設定に従い、ハードウェアが行うため、ソフトウェアでの設定は不要です。

IN 転送 (Peripheral 送信) の場合、転送先アドレスの設定は DxFIFOSEL.CURPIPE ビットの設定に従い、ハードウェアが行うため、ソフトウェアでの設定は不要です。

(「33.9.13　DMA 転送」参照)

2. レジスタ･セットの選択 (register set selection)

CHCTRL_n レジスタの SETEN へ 1 をライトすると、CHSTAT_n レジスタの EN および TACT が 1 になり、CHCFG_n レジスタの RSEL で選択した Next Register Set の設定値を Current Register Set にロードします。

3. DMA トランザクション (processing transaction)

設定した値に従って、DMA トランザクションが行われます。

転送の詳細については、「33.9.13　DMA 転送」を参照してください。

4. USBFDMAmn マスク (USBFDMAmn mask)

CHCFG_n の DEM ビットに設定した値に従って、USBFDMAmn 割り込みがマスクされます。DEM = 1 だった場合、USBFDMAmn 割り込みはマスクされます。またその直後、自動的に DEM は 0 にクリアされます。

5. DMATC マスク (DMATC mask)

CHCFG_n の TCM ビットに設定した値に従って、DMAC 制御から USB 制御への DMATC がマスクされます。TCM = 1 だった場合、DMATC はマスクされます。またその直後、自動的に TCM は 0 にクリアされます。

6. レジスタ・セットの自動切換 (register set automatic change)

CHCFG_n の RSW ビットに設定された値に従って、もう一方の Next レジスタ･セットに切り替えるのかが判定されます。

7. 継続実行 (continuation execution)

CHCFG_n の REN ビットに設定した値に従って、DMA 転送を連続実行するかどうかが決定されます。REN = 0 だった場合、CHSTAT_n レジスタの EN および TACT は 0 にクリアされ、DMAC は動作を停止します。REN = 1 だった場合、継続して実行します。またその直後、自動的に REN は 0 にクリアされます。

(b) レジスタ・モードの設定

- レジスタ・モード設定

実行するレジスタ・セットを選択します。

表33.37　レジスタ・モード設定

DMS (CHCFG_n)	RSEL (CHCFG_n)	説明
0	0	Next0 Register Setを実行します。
	1	Next1 Register Setを実行します。

- USBFDMAmn マスク設定

USBFDMAmn 割り込み信号をマスクすることができます。

表33.38　USBFDMAmn マスク設定

DEM (CHCFG_n)	動作
0	DMA トランザクションが完了すると、USBFDMAmn 割り込みを発生します。
1	DMA トランザクションが完了しても、USBFDMAmn 割り込みを発生しません。 DMA トランザクション完了後に、DEMは0にクリアされます。

- DMATC マスク設定

DMAC 制御から USB 制御への DMATC をマスクすることができます。

表33.39　DMATCマスク設定

TCM (CHCFG_n)	動作
0	DMA トランザクションが完了すると、DMATCをアサートします。
1	DMA トランザクションが完了しても、DMATCをアサートしません。 DMA トランザクション完了後に、TCMは0にクリアされます。

- レジスタ・セット自動実行設定

DMA トランザクション後に、継続して DMA トランザクションを実行することができます。

表33.40　レジスタ・セット自動実行設定

REN (CHCFG_n)	動作	備考
0	RSELに設定されているレジスタ・セットのDMA トランザクションが完了すると、ENビットをクリアしてDMA動作を終了します。	DMA トランザクションを1回実行したい場合に設定してください。
1	DMA トランザクション完了後に、続けて選択されているレジスタ・セットの内容をDMA転送します。連続転送が成立した場合、RENは0にクリアされます。	連続してレジスタ･セットの内容を実行したい場合に設定してください。

- レジスタ・セット自動切り替え設定

DMA トランザクション完了後に、次に実行するレジスタ・セットを切り替えることができます。

表33.41　レジスタ・セット自動切り替え設定

RSW (CHCFG_n)	動作	備考
0	DMA トランザクション完了時に、レジスタ・セットの切り替えを行いません。	1つのレジスタ・セットのみを使う場合に設定してください。
1	REN = 1でDMA トランザクション完了時に、自動的にRSELを反転して、もう一方のレジスタ・セットを選択します。	レジスタ･セットを切り替える場合に設定してください。

(c)　レジスタ・モードの設定例

- Next0 レジスタ・セットのみを使用する場合

表 33.42　　レジスタ・モード設定例

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	TCM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	0 (マスクなし)	0 (マスクなし)	0 (スイッチなし)	0 (連続実行なし)

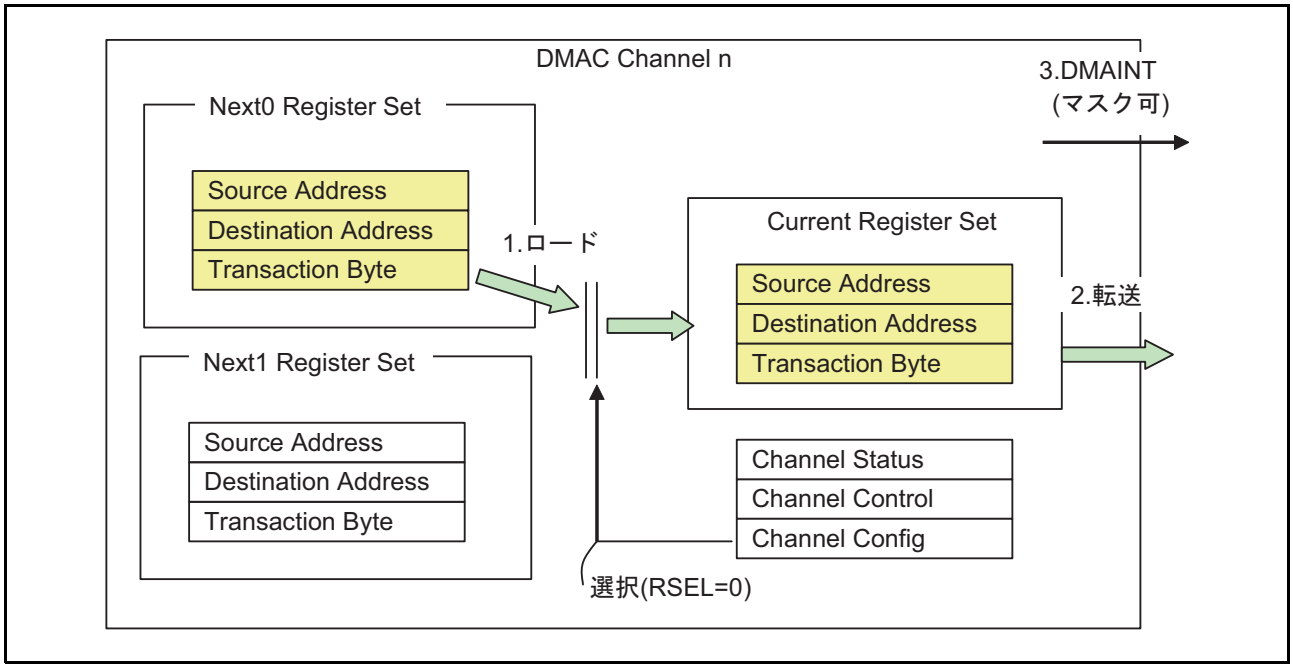


図 33.16　　レジスタ・モード設定例 1

1. CHCTRL_n レジスタの SETEN へ 1 をライトすることで、CHSTAT_n レジスタの EN が 1 となり、Next0 Register Set が Current Register Set にロードされます。
2. Current Register Set と Channel Register Set の値によって DMA トランザクションを実行します。
3. CHCFG_n レジスタの DEM が 0 であるため、DMA トランザクション完了後に USBFDMAmn 割り込みを発生します。
4. CHCFG_n レジスタの TCM が 0 であるため、DMA トランザクション完了後に DMATC をアサートします。
5. CHCFG_n レジスタの REN が 0 であるため、CHSTAT_n レジスタの EN が 0 にクリアされ動作を終了します。

- 2 つのレジスタ・セットを連続して使用する場合

表 33.43　レジスタ・セット自動実行設定

DMS(CHCFG_n)	RSEL(CHCFG_n)	DEM(CHCFG_n)	TCM(CHCFG_n)	RSW(CHCFG_n)	REN(CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	1 (マスクあり)	0 (マスクなし)	1 (スイッチあり)	1 (連続実行あり)

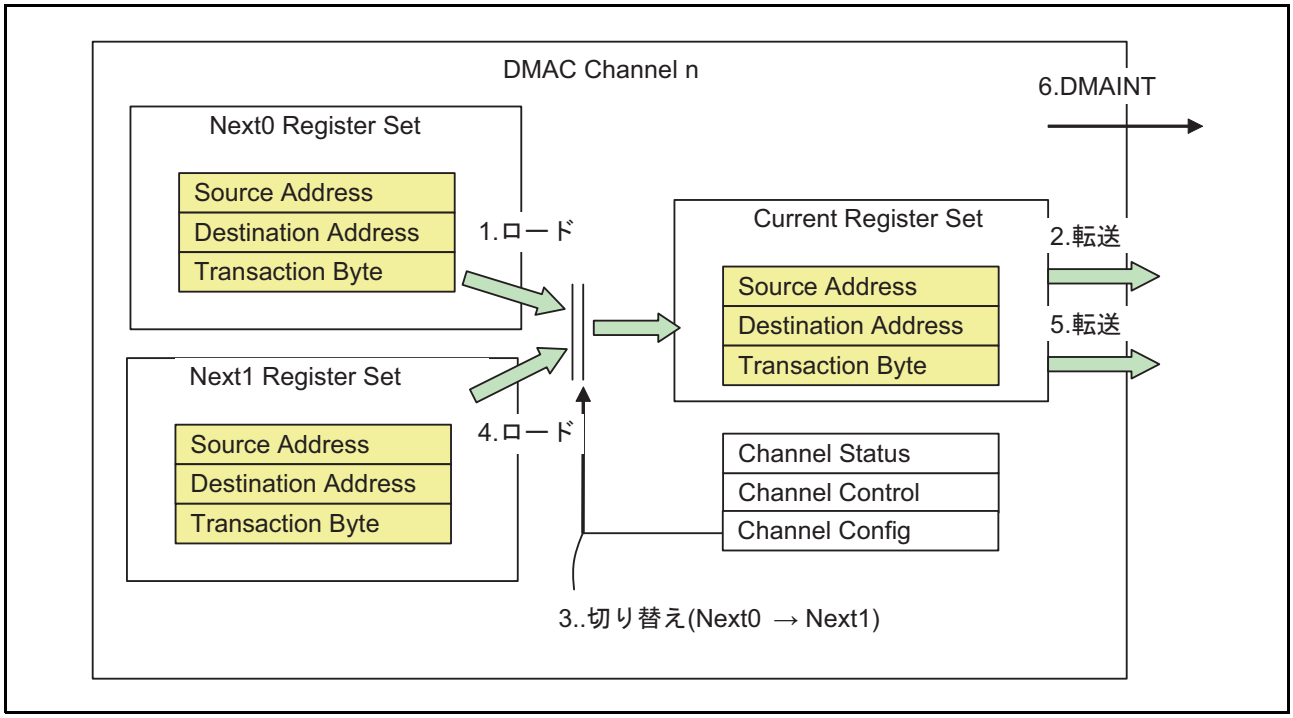


図 33.17　レジスタ・モード設定例 2

1. CHCTRL_n レジスタの SETEN へ 1 をライトすることで、CHSTAT_n レジスタの EN が 1 となり、Next0 Register Set が Current Register Set にロードされます。
2. Current Register Set と Channel Register Set の値によって DMA トランザクションを実行します。
3. CHCFG_n レジスタの DEM が 1 であるため、DMA トランザクション完了後、USBFDMAmn 割り込みは発生しません。また自動的に DEM は 0 にクリアされます。
4. CHCFG_n レジスタの REN が 1 であるため、継続実行をします。また自動的に REN は 0 にクリアされます。
5. CHCFG_n レジスタの RSW が 1 であるため、次に実行するレジスタ･セットを切り替えます (RSEL = 0 → 1)。
6. Next1 Register Set を Current Register Set にロードします。
7. Current Register Set と Channel Register Set の値によって DMA トランザクションを実行します。
8. CHCFG_n レジスタの DEM が 0 であるため、トランザクション完了後に USBFDMAmn 割り込みを発生します。
9. CHCFG_n レジスタの TCM が 0 であるため、トランザクション完了後に DMATC をアサートします
10. CHCFG_n レジスタの REN が 0 であるため、CHSTAT_n レジスタの EN が 0 にクリアされ動作を終了します。

(2)　リンク・モード

リンク・モードは、外部の記憶領域に置かれたディスクリプタを設定値としてリードして、DMA トランザクションを実行するモードです。DMAC 内部にはチャネルごとに Next Link Address (NXLA_n) レジスタと Current Link Address (CRLA_n) レジスタがあり、それぞれ、次に実行するディスクリプタ・アドレスの設定と、現在実行中の DMA トランザクションのディスクリプタ・アドレスの表示に使用されます。

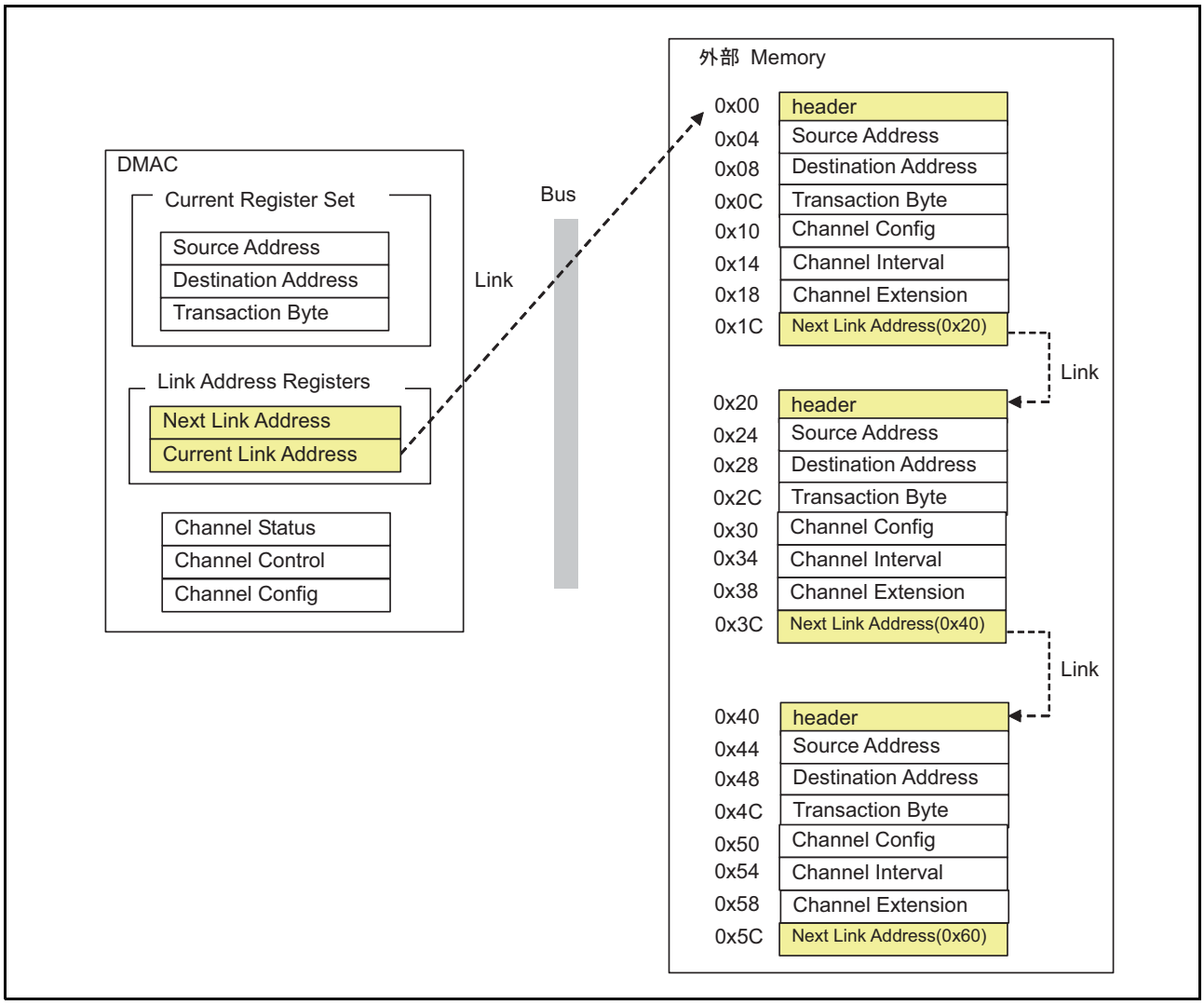


図 33.18　リンク・モード概要

(a)　リンク・モードの動作フロー

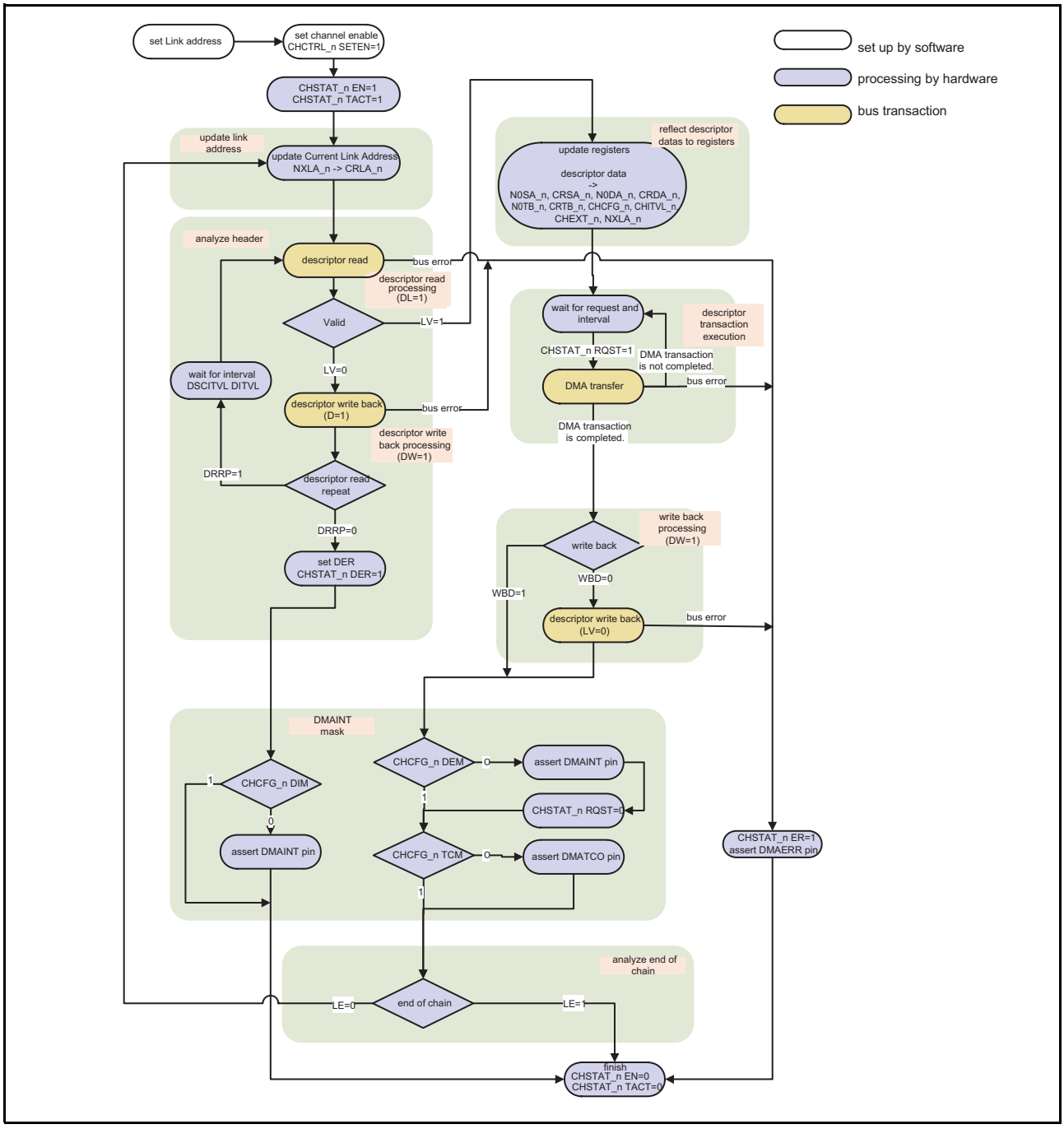


図 33.19　　リンク・モードのフロー

＜リンク・モードのフロー説明＞

1. チャネル設定
   NXLA_n レジスタにリンク先の先頭アドレスを設定します。

2. リンク・アドレス更新
   CHCTRL_n レジスタの SETEN へ 1 をライトすると、CHSTAT_n レジスタの EN および TACT が 1 になり、NXLA_n に設定したリンク・アドレスが CRLA_n レジスタにロードされます。

3. ディスクリプタ読み出しと header 判定
   ディスクリプタ・リードを開始し、DMAC は header の内容を確認します。
   LV = 0 の場合は、header の D ビットへ 1 をライト・バックします。ライト・バック後、CHCFG_n レジスタの DRRP = 1 の場合、DSCITVL レジスタに設定されたサイクル後、再び同じディスクリプタをリードします。DRRP = 0 の場合、CHSTAT_n レジスタの DER = 1 になり終了状態 (CHSTAT_n レジスタの EN = 0, TACT = 0) になります。このとき、CHCFG_n レジスタの DIM が 0 ならば、USBFDMAmn 割り込みを発生します。

4. ディスクリプタ設定
   LV = 1 だった場合は、リードしたディスクリプタのデータが Current Register Set と、Channel Register Set にロードされます。また、NXLA_n レジスタに次のリンク先がロードされます。

5. DMA トランザクション
   設定された値に従って、DMA トランザクションが行われます。
   転送の詳細については、**「33.9.13　DMA 転送」**を参照してください。

6. header 書き戻し（ライト・バック）
   header の WBD = 0 の場合、DMAC は header 領域へ LV = 0 をライト・バックします。

7. USBFDMAmn マスク
   CHCFG_n の DEM ビットが 0 の場合、USBFDMAmn 割り込みを発生します。

8. DMATC マスク
   CHCFG_n の TCM ビットが 0 の場合、DMATC をアサートします。

9. リンク終了判定
   header の LE = 1 だった場合、CHSTAT_n レジスタの EN および TACT は 0 にクリアされ、DMAC は動作を終了します。LE = 0 の場合は、Current Register Set を更新し、次のディスクリプタ・リードを開始します。

(b)　レジスタ設定

- リンク・モード設定

リンク・モードを使用する場合は、CHCFG_n レジスタの DMS ビットを 1 に設定してください。

表 33.44　　リンク・モード設定

DMS (CHCFG_n)	説明
1	リンク・モードで動作します。 ディスクリプタによって、このビットを書き換えることはできません。

- LINK アドレス設定

リンク先を示すレジスタとして、Next Link Address (NXLA_n) レジスタと Current Link Address (CRLA_n) レジスタがあります。

リンク・モードを開始する際には、NXLA_n レジスタにリンク先を設定してください。

NXLA_n レジスタは、ディスクリプタ・リード後に、次のリンクに更新されます。また、CRLA_n レジスタは現在実行中のリンク・アドレスを示しています。

表 33.45　　Link アドレス・レジスタ・セット

レジスタ	説明
Next Link Address Register (NXLA_n)	次のリンク先の設定、および表示を行います。 リンク・モード開始前に、このレジスタにリンク先のアドレスを設定してください。
Current Link Address Register (CRLA_n)	現在実行中のリンク先を表示します。 このレジスタは読み出しのみ可能です。

(c) ディスクリプタ設定

DMACは、複数のディスクリプタ・フォーマットをサポートします。

フォーマットの切り替えは、ディスクリプタの1word目 (header) のbit[31:28] のDSCFMフィールドで指定します。

以下に、DSCFMの値とディスクリプタ・フォーマットの関係を示します。

表33.46　ディスクリプタ・フォーマット

DSCFM	ディスクリプタサイズ	Next Link Address	Channel Extension	Channel Interval	Channel Config	Transaction Size	Destination Address	Source Address	header
3	4 word	○	- (reload)	- (reload)	- (reload)	- (header)	○	○	○ (with STS)
1	8 word	○	○	○	○	○	○	○	○ (no STS)
上記以外	DSCFMに1, 3 以外を設定した場合の動作は保証しません。 DSCFMに1, 3 以外を設定しないでください。								

表33.47　表33.46 中の記号の説明

フィールド	記号	説明	備考
Header	○ (with STS)	headerの[15:0]のSTSフィールドが有効であることを示します。STSフィールドに設定した値を、総転送バイト数 (Transaction Size) として使用します。	—
	○ (no STS)	headerの[15:0]のSTSフィールドは無効です。 総転送バイト数は、ディスクリプタのTransaction Sizeを使用します。	
Source Address	○	Source Addressを指定します。	—
Destination Address	○	Destination Addressを指定します。	—
Transaction Size	○	Transaction Sizeを指定します。	—
	— (header)	Transaction Sizeを省略します。 headerのSTSフィールドに設定した値を、総転送バイト数 (Transaction Size) として使用します。	STSフィールドは16 bitであるため、設定できる最大サイズは65535 Byteです。
Channel Config Channel Interval Channel Extension	○	Channel Config, Channel Interval, Channel Extension を指定します。	—
	— (reload)	Channel Config, Channel Interval, Channel Extension を省略します。 前回の設定値 (その時のCHCFG_n, CHITVL_n, CHEXT_nレジスタの値) を引き続き使用します。	—
Next Link Address	○	本ディスクリプタのDMA転送の後にリードする、次のディスクリプタ・アドレス (Next Link Address) を指定します。	—

DMACはディスクリプタ・リードして得たデータを、順番に解釈します。DSCFMで8 word未満を指定した場合、**表 33.46** の『○』の付いたディスクリプタ・データをメモリ上へ配置してください。

OUT転送 (Peripheral受信) の場合、転送元アドレスの設定はDxFIFOSEL.CURPIPEビットの設定に従い、ハードウェアが行うため、ソフトウェアでの設定は不要です。

IN転送 (Peripheral送信) の場合、転送先アドレスの設定はDxFIFOSEL.CURPIPEビットの設定に従い、ハードウェアが行うため、ソフトウェアでの設定は不要です。

表33.48　ディスクリプタ配置例

DSCFM	アドレス							
	Link Address + 1CH	Link Address + 18H	Link Address + 14H	Link Address + 10H	Link Address + 0CH	Link Address + 08H	Link Address + 04H	Link Address + 00H
3H	—	—	—	—	Next Link Address	Destination Address	Source Address	header
1H	Next Link Address	Extension	Interval	Config	Transaction Byte	Destination Address	Source Address	header

- header

header は以下に示すように、ディスクリプタの状態等を表します。

この領域は、リンク・モードでの DMA 転送開始前に、DMAC によってリードされます。また、DMA トランザクション終了後に、転送状況が DMAC によってライト・バックされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DSCFM				—	WBD	LE	LV	D	—						
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
header リード時、WBD = 0 ならば、本ディスクリプタに従った DMA トランザクションが終了した後、DMAC はこの 1Byte 領域に対してライト・バックを行います。ライト・バックするデータは、LV は 0、その他の値は header リード時の値です。								header リード時、header の LV = 0 だった場合、DMAC はこの 1Byte 領域に対しライト・バックを行います。ライト・バックするデータは 80H です。							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STS															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

図 33.20　header 領域

表 33.49　header 領域

ビット位置	ビット名	意味
31 ～ 28	DSCFM	Descriptor Format ディスクリプタのフォーマット(ディスクリプの長さ、組合せ)を指定します。 詳細は「表 33.46　ディスクリプタ・フォーマット」を参照してください。
27	—	何も配置されていません。”0”に固定してください。
26	WBD	Write Back Disable LV ビットのライト・バック実行をマスクします。このビットが 1 である場合、DMAC は書き戻す動作を行いません。 0 : LV ビットを 0 に書き戻す。 1 : LV ビットを書き戻さない。
25	LE	Link End このディスクリプタの DMA トランザクションでリンクが終了することを示します。 リンクの最後を示す場合にこのビットを 1 に設定してください。 0 : リンク継続 1 : リンク終了
24	LV	Link Valid このディスクリプタが有効であることを示します。 このビットは WBD = 0 の場合、DMAC がディスクリプタに書かれた DMA トランザクション実行後に 0 を書き込みます。header 設定時には 1 を設定してください。 0 : ディスクリプタ無効 1 : ディスクリプタ有効
23	D	Descriptor Error ディスクリプタのアクセス・エラーを示すビットです。ディスクリプタのリード時に LV = 0 であった場合、DMAC は本ビットに対し 1 をライト・バックします。 0 : ディスクリプタ・エラー無し 1 : ディスクリプタのリード時に LV = 0 であった
22 ～ 16	—	何も配置されていません。”0”に固定してください。
15 ～ 0	STS	Short Transaction Size DSCFM = 3 の場合に TransactionSize を設定します (単位: Byte) 。設定できる転送バイト数は最大 65535 Byte です。 DSCFM =3 の場合、STS に 0 を設定しないでください。0 を設定した場合の動作は保証しません。

DMAC 動作中にディスクリプタを順次追加する場合、CPU が LV ビットを 1 にセットするアクセスと、DMAC が D ビットへ 1 をライト・バックするアクセスが競合する恐れがあります。これにより、先に書いた側のデータが、後に書いたデータで上書きされてしまいます。

この問題を避けるため、DMAC は D ビットのライト・バックをバイト・ライトで行いますので、CPU はバイト・ライトで LV = 1 をセットしてください。D ビットのバイト・レーンと LV ビットのバイト・レーンを異なるように配置しており、ライトする領域を違えることで、この問題を回避します。

- header 以外のディスクリプタの設定
  header 以外のディスクリプタの各データは、内蔵レジスタの仕様と同じです。

- ディスクリプタ・アクセス時の設定
  ディスクリプタのアクセス時の MHPROT 信号は DCTRL レジスタの LWPR, LDPR フィールドに設定することができます。ディスクリプタを配置したアクセス先に応じて設定してください。

- ディスクリプタ領域と DMA 転送領域

以下に、DMAC がアクセスする、ディスクリプタ領域と DMA 転送領域の概略を示します。

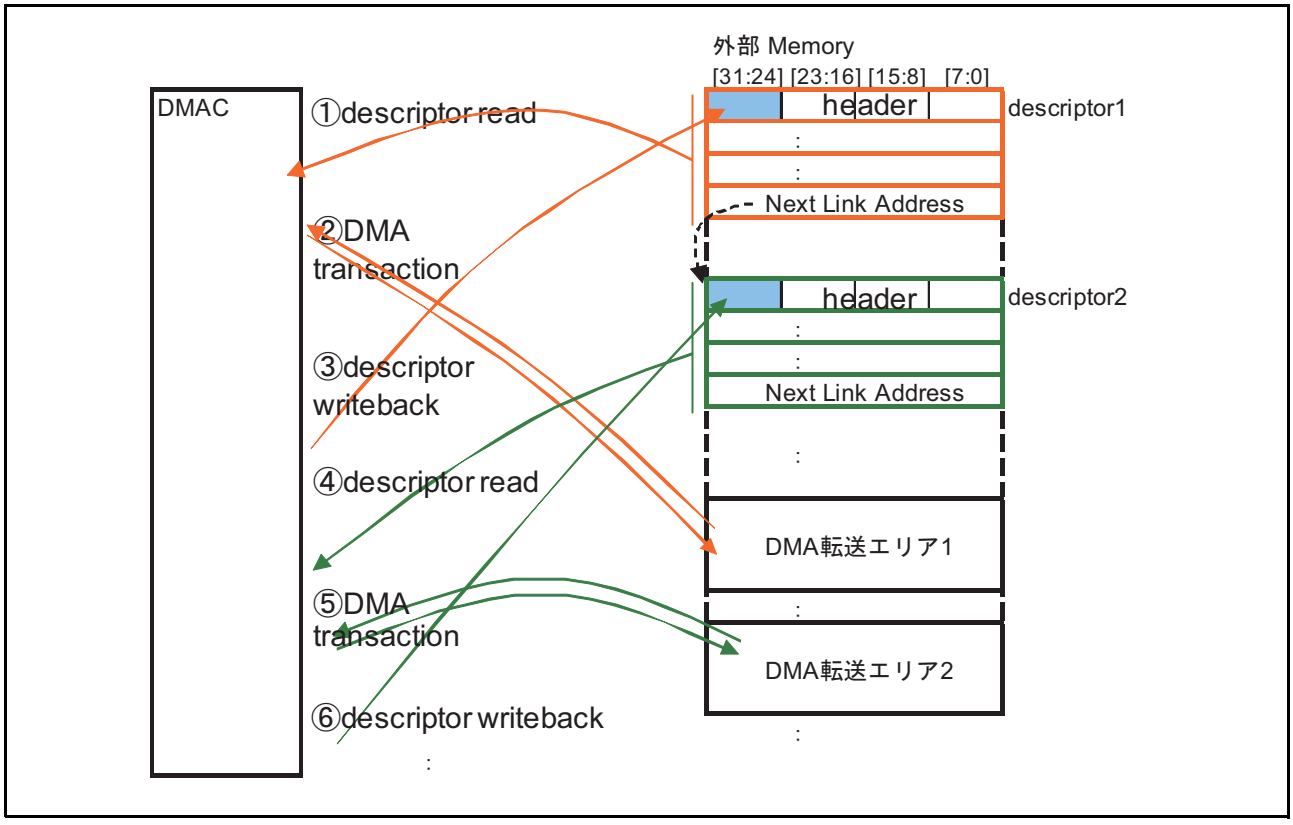


図 33.21　ディスクリプタ領域と DMA 転送領域の概略

① ディスクリプタ・リード
内蔵の NXLA_n レジスタに設定した値を、CRLA_n レジスタにロードし、CRLA_n レジスタの示す外部メモリ空間 (descriptor1) から、ディスクリプタをリード。

② DMA 転送
ディスクリプタの header 中の LV = 1 だったならば、ディスクリプタ情報に従い、DMA 転送を実行。

③ ディスクリプタ・ライト・バック
設定バイト数 DMA 転送後、header 中の WBD = 0 だったならば、descriptor1 の header[31:24] に対し、LV は 0、その他のフィールドは ①でリードした値をデータとして、バイト・サイズでのライト・バックを実行。

④ ディスクリプタ・リード
前回 (①) リードしたディスクリプタの header 中の LE = 0 だったならば、ディスクリプタ中の Next Link Address で示されるアドレス (descriptor2) から、次のディスクリプタをリード。

⑤ DMA 転送
ディスクリプタの header 中の LV = 1 だったならば、ディスクリプタ情報に従い、DMA 転送を実行。

⑥ ディスクリプタ・ライト・バック
設定バイト数 DMA 転送後、header 中の WBD = 0 だったならば、descriptor2 の header[31:24] に対し、LV は 0、その他のフィールドは ④でリードした値をライト・データとして、バイト・サイズでのライト・バックを実行。

以降 ④～⑥の繰り返し

header 中の LE = 1, WBD = 0 だったならば、そのディスクリプタ設定での DMA 転送、および header の LV ビットに 0 をライト・バックして終了。

header 中の LE = 1, WBD = 1 だったならば、そのディスクリプタ設定での DMA 転送を行って終了（ライト・バックは行わない）。

header 中の LV = 0 だったならば、header の D ビットに 1 をライト・バック。
ライト・バック後、CHCFG_n レジスタの DRRP = 1 の場合は、DSCITVL_n レジスタの DITVL フィールドに指定されているインターバル後、再度ディスクリプタをリード。DRRP = 0 の場合は動作を停止。

- ディスクリプタに関する注意事項

  - リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングとハードウェア・リクエストとの同期を取ることはできません。このため、ハードウェア・リクエストを使う場合、CHCTRL_n レジスタの SETEN をセットする前に CHCFG_n レジスタの AM, LVL, HIEN, LOEN, SEL を設定し、かつディスクリプタ中でこれらの設定ビットを変更しないようにしてください。

  - ディスクリプタで、CHCFG_n レジスタの DMS フィールドの設定を変更することはできません（常にリンク・モードとなります)。また、ディスクリプタで CHCFG_n レジスタの REN, RSW, RSEL フィールドの設定を変更する事はできますが、動作に影響を与えません。

  - ディスクリプタの初期設定を行う場合は、DMA を停止させた状態で、ディスクリプタに相当するメモリ領域の書き換えを行ってください。DMAC は header の DSCFM フィールドと LV ビットを参照して、そのディスクリプタが有効なのか無効なのかを判断します。このため、ディスクリプタの DSCFM フィールドと LV ビットに相当するメモリ領域を DSCFM = 1 または 3、LV = 1 設定してから、DMA を動作許可にしてください。

  - DMAC 動作中に次のディスクリプタをメモリ上に設定する場合、LV ビットへの 1 のライトは、header 以降のディスクリプタ (Source Address, Destination Address, ・・・Next Link Address) を設定した後に行ってください。これは、CPU によるディスクリプタの設定と DMAC のディスクリプタ・リードが競合し、CPU によるディスクリプタ設定の途中で DMAC のディスクリプタ・リードが割り込んだ場合に、設定前のディスクリプタ値 (Source Address, Destination Address、・・・) を使って DMA 転送してしまうことを防ぐためです。

  - header の D ビットへのライト・バック情報を残したい場合、header の LV ビットへの 1 のライトはバイトアクセスで行ってください。

(d) LINK 構成例

リンク・モードでは、ディスクリプタを以下のように構成することが可能です。

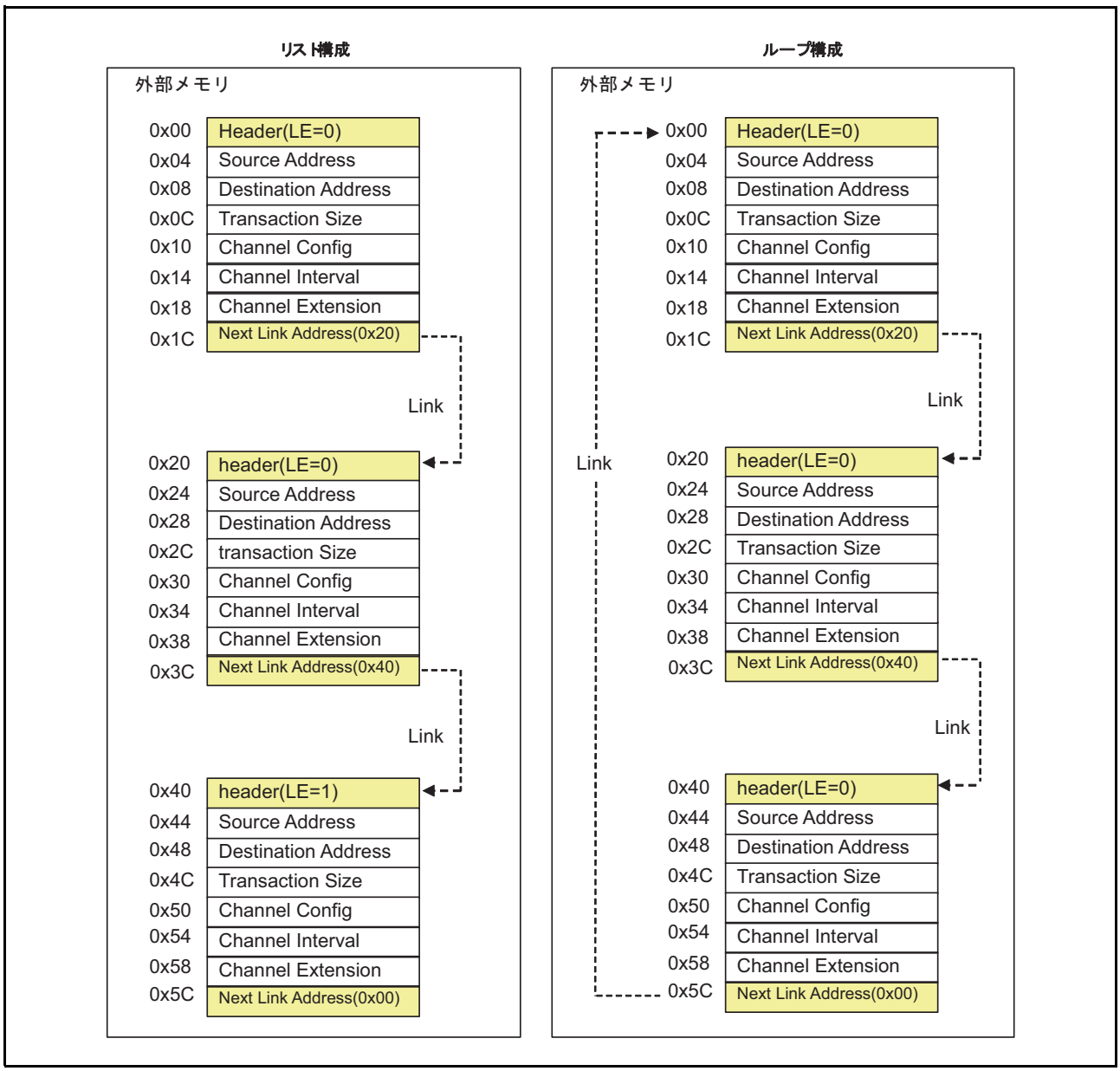


図 33.22　　リンク・モード構成例

- **リスト構成**

最後のディスクリプタの header にある LE ビットを 1 に設定することで、リンクを終了します。

- **ループ構成**

最後のディスクリプタのリンク先を、前のディスクリプタのアドレスに設定することで、ディスクリプタをループ構成とする事ができます。ループを終了するためには、DMAC がディスクリプタ・リードする前に header の LE ビットを 1 に書き換えるか、転送中断手順に従って停止してください。

33.9.12.2　WRITE ONLY モード

CHCFG_n レジスタの WONLY ビットに 1 を設定することで、WRITE ONLY モードとなります。

表 33.50　WRITE ONLY MODE 設定

WONLY (CHCFG)	モード	説明
0	通常モード	Next Register Set に設定された値で DMA 転送を行います。
1	WRITE ONLY モード	DMA リード・トランスファを行わず、DMA ライト・トランスファだけ行います。

WRITE ONLY モードでは、DMA リード・トランスファを行いません（ディスクリプタのリードは通常モード同様行います）。
レジスタ・モードでは、NxSA_n レジスタ（RSEL = 0 の場合 x = 0、RSEL = 1 の場合 x = 1）に設定した値をライト・データとして使用します。
リンク・モードでは、ディスクリプタの SA フィールドの値をライト・データとして使用します。

本モードはメモリ領域の初期化等に使用してください。

33.9.13　DMA 転送

本章では、DMA 転送の基本動作について説明します。

33.9.13.1　転送モード

シングル転送モードのみサポートします。

USB 制御から DMA 転送要求を受け付けると、CHCFG_n レジスタの REQD ビットで示された側 (ソースあるいはディスティネーション) の DMA トランスファを 1 回実行し、内部の USB 制御から DMAC 制御への内部の DMA 許可をアサートします。

転送要求を受け付ける度に 1 回の転送を行い、この動作を CRTB_n レジスタにロードされた転送サイズ分続けます (チャネル間のアービトレーションは、DMA トランスファごとに行います) 。

CHCFG_n レジスタの REQD の設定やトランスファ・サイズ (CHCFG_n レジスタの DDS[2:0], SDS[2:0]) の設定で内部の USB 制御から DMAC 制御への内部の DMA 許可のタイミングが異なります。

詳細は「33.9.13.7　**転送サイズによる動作の違い**」を参照してください。

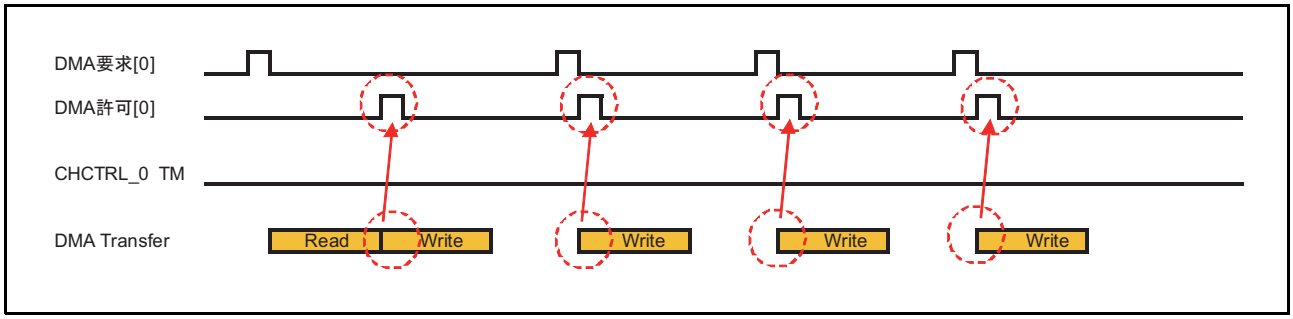


図 33.23　シングル転送モード (REQD = 1, SDS > DDS)

33.9.13.2　DMA チャネルの優先順位制御

チャネル間のアービトレーション方式として、固定優先順位モードとラウンドロビン・モードをサポートしています。モードの選択は、DCTRL レジスタの PR ビットで行います。

PR ビットが 0 の場合、固定優先順位モードとなり、PR ビットが 1 の場合、ラウンドロビン・モードとなります。

表 33.51　優先順位制御設定

モード	PR (DCTRL)	機能	用途
固定優先順位	0	固定優先順位(高：CH0 > CH1.：低)でリクエストを制御します。	チャネルに優先順位がある場合に使用してください。
ラウンドロビン	1	ラウンドロビンでリクエストを制御します。	各リクエストに対して均等に実行したい場合に使用してください

(1)　固定優先順位モード

固定優先順位モードでは、各チャネルの優先順位は固定となり次のようになります。

高　CH0 ＞ CH1　低

DMA 転送要求が複数のチャネルで同時に発生した場合は、番号の小さいチャネルの DMA 転送要求を優先します。

チャネル 0 が最優先で行われますが、チャネル 0 のトランスファが切り替わる間に、バス使用率を高めるため、次に優先順位の高いチャネルの転送が行われます。

(2) ラウンドロビン･モード

ラウンドロビン・モードでは、各チャネルの転送受け付けごとに、直前の転送を行ったチャネルの優先順位が一番低くなるように優先順位を変更します。

リセット直後の優先順位は、固定優先順位モードと同様で、次のようになります。

高　CH0 ＞ CH1 低

この状態で、DMA チャネル 0 の転送要求が無く、DMA チャネル 1 の転送要求があった場合、DMA チャネル 1 の転送を行い、終了後には以下の様になります。

高　CH1 ＞ CH0　低

ラウンドロビン・モードでの DMA 転送の例を次に示します。

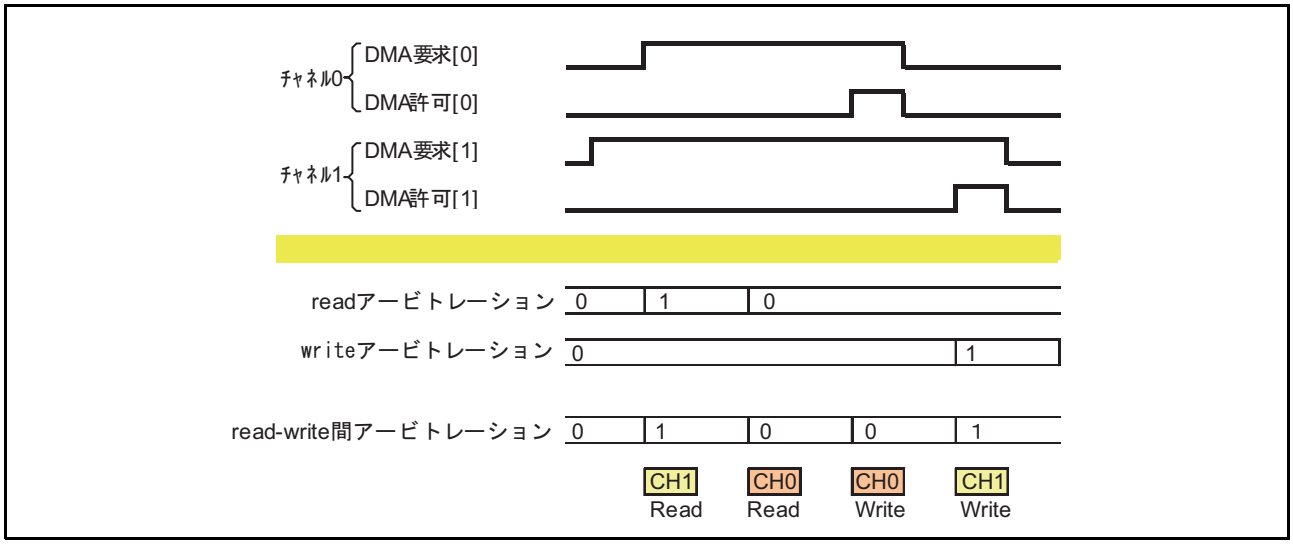


図 33.24　ラウンドロビン･モード (チャネル数 4, REQD = 1 の場合)

DMAC 内部で、リード・チャネル間アービトレート、ライト・チャネル間アービトレートを行い、それらのアービトレート結果の間で、さらにアービトレートを行い、バスアクセスを発行します。

33.9.13.3　強制排出要求

強制排出要求が入力されると、バッファ内にある未転送データをディスティネーション・アドレスへ転送します。掃き出し動作が終了した後、DMA トランスファを継続します。

以下に強制排出要求の注意点を示します。

- 強制排出要求と USB 制御の転送要求が競合した場合、強制排出動作を優先し、その後 DMA トランスファを実行します。

- ディスティネーション側が USB 制御側のシステム (CHCFG_n レジスタの REQD = 1) の場合、ディスティネーション側ユニットは、USB 制御側が DMA 転送要求していないにも関わらずデータが転送されて来るため、バッファ・オーバ・フローなどの誤動作を起こす恐れがあります。このため REQD = 1 の設定では、強制排出を使用できません。

- 「33.9.13.8 (3) (b) 転送中断（バッファ掃き出しあり：SBE = 1）」の掃き出しモード (CHCFG_n レジスタの SBE = 1 で EN をクリア) との違いは、掃き出しモードではバッファ内のデータをライト後、DMAC が動作を停止しますが、強制排出要求では掃き出し動作終了後も DMA トランスファを継続できる点です。

(1)　ソフトウェア強制排出要求

ソフトウェア強制排出要求には CHCTRL_n レジスタの SETSSWPRQ ビットを使用します。

強制排出要求をする場合は、SETSSWPRQ ビットへ 1 をライトしてください。DMAC は、バッファ内のデータをディスティネーションへ出力します。

33.9.13.4　DMA 転送完了割り込み（USBFDMAmn）

USBFDMAmn (m, n = 0, 1) は、DMA トランザクションが終了したことを示す割り込みです。

CRTB_n レジスタにロードされた総転送バイト数分の転送が、OKAY レスポンスで完了した場合、CHSTAT_n レジスタの END ビットを 1 にセットします。このとき、CHCFG_n レジスタの DEM = 0 だった場合、USBFDMAmn (m, n = 0, 1) 割り込みを発生します。（リンク・モードでライト・バックを行う場合は、ライト・バック後に発生します。）

またリンク・モードにおいて、CHCFG_n レジスタの DRRP = 0 の状態で、リードしたディスクリプタの header が LV = 0 だった場合、CHSTAT_n レジスタの DER ビットを 1 にセットします。このとき、CHCFG_n レジスタの DIM = 0 だった場合、USBFDMAmn 割り込みを発生します。

この信号は、割り込みコントローラでの転送完了割り込み検出に使用してください。

表 33.52　USBFDMAmn 発生条件

要因	条件	INT_DMA[n] マスク信号
DMA トランザクション完了	CRTB_n レジスタにロードされた総転送バイト数分の転送が、OKAY レスポンスで完了したとき（リンク・モードでライト・バックを行う場合は、ライト・バック後）	CHCFG_n レジスタの DEM ビット
ディスクリプタ・インバリッド	リンク・モードにおいて、CHCFG_n レジスタの DRRP = 0、DIM = 0 の状態で、リードしたディスクリプタの header が LV = 0 だったとき	CHCFG_n レジスタの DIM ビット

33.9.13.5　DMA エラー割り込み（USBFDMAERRm）

DMA 転送およびディスクリプタ・アクセスに対して、エラー・レスポンスを受けた場合、本モジュールはエラーと判断し、転送を中止します。エラー・レスポンスを受けると、転送中のチャネル n の CHSTAT_n レジスタの EN ビットを 0 にクリアし、ER ビットを 1 にセットします (n = 1, 0)。また、USBFDMAERRm 割り込みを発生します。

USBFDMAERRm 割り込みをマスクすることはできません。

エラーとなった一連の転送はそのデータを保証できません。必ず下記の手順にて、最初から転送をやり直してください。

1. CHCTRL_n レジスタの SWRST ビットを 1 にセット
2. 各レジスタを再設定

33.9.13.6　インターバル･カウント機能

CHITVL_n レジスタの ITVL フィールドの設定によって、DMA 転送の実行間隔を調整することが可能です。この機能は、DMAC がバスを占有し続けることが無いようにするための機能です。

カウント値が 0 になるまでは、次のリクエストに対する DMA トランスファを実行しません。

動作例を以下に示します。

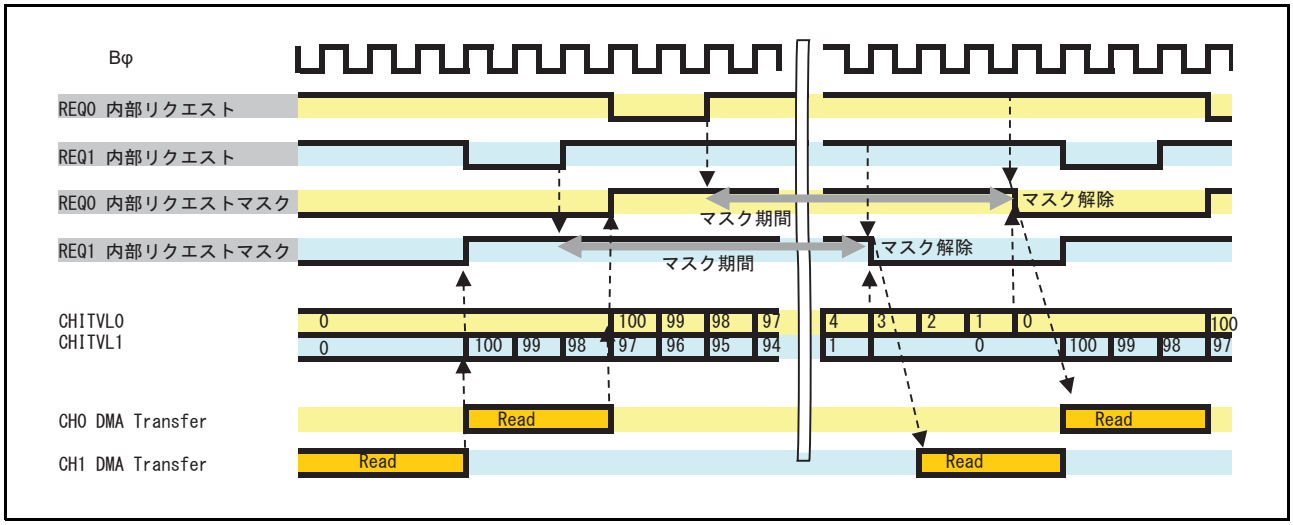


図 33.25　インターバル・カウント (REQD = 0, SDS < DDS)

インターバルは、CHCFG_n レジスタの REQD ビットで指定した側の転送の後に挿入されます。

CHCFG_n レジスタの REQD, SDS, DDS 設定値とインターバルの適用されるサイクルの関係を以下に示します。

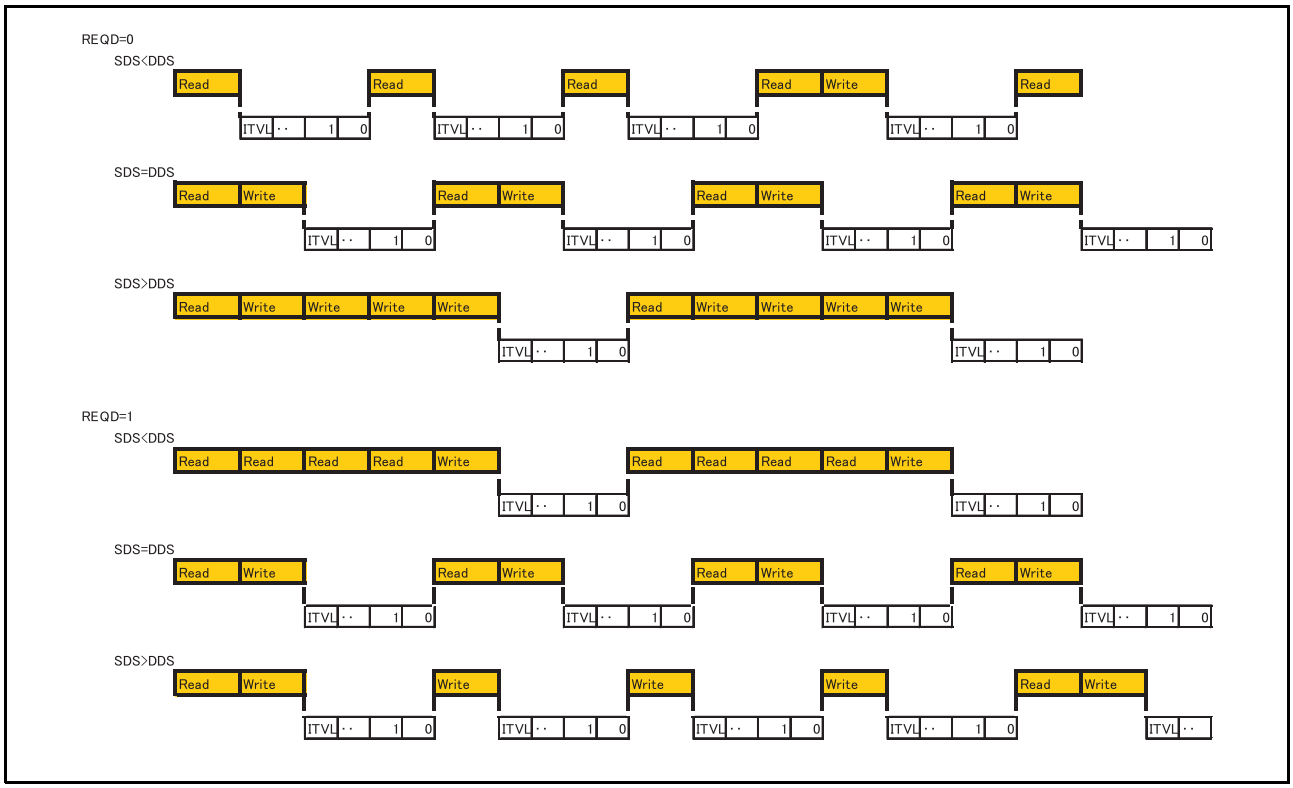


図 33.26　DMA トランスファ設定とインターバル・カウント

33.9.13.7　転送サイズによる動作の違い

(1)　ソース側の転送サイズが小さい場合

ディスティネーション・データ・サイズ分のデータのリードが完了すると、ディスティネーションへのライトを行います。

ソース側が 8 bit、ディスティネーション側が 32 bit (CHCFG_n レジスタの SDS = 0, DDS = 2) の場合のタイミング・チャートを以下に示します。

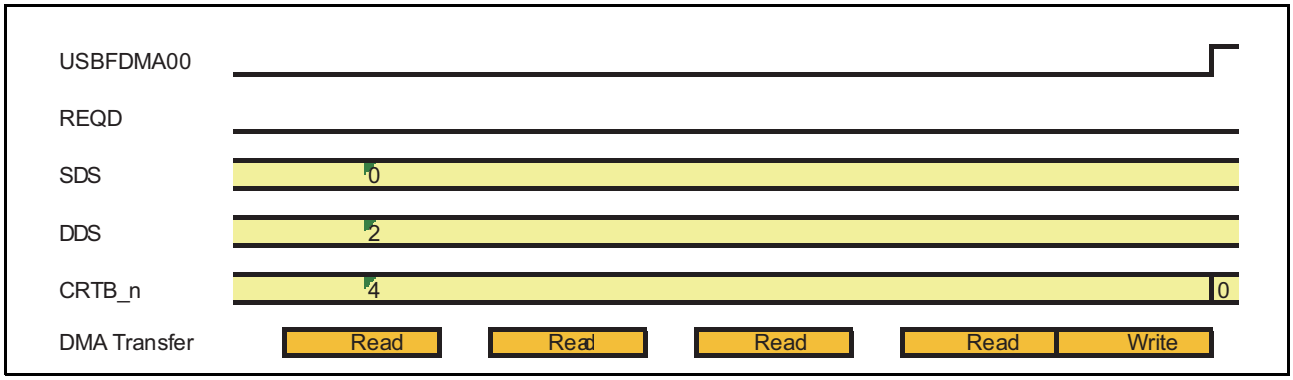


図 33.27　ソース側が小さい場合 (LVL = 0, HIEN = 1, REQD = 0, SDS < DDS)

(2)　ディスティネーション側の転送サイズが小さい場合

ソース側の方が大きいため、一度のソース・リードの後、数回のディスティネーション・ライトが発生することとなります。ソース側が 64 bit、ディスティネーション側が 16 bit (CHCFG_n レジスタの SDS = 3, DDS = 1) の場合のタイミング・チャートを以下に示します。

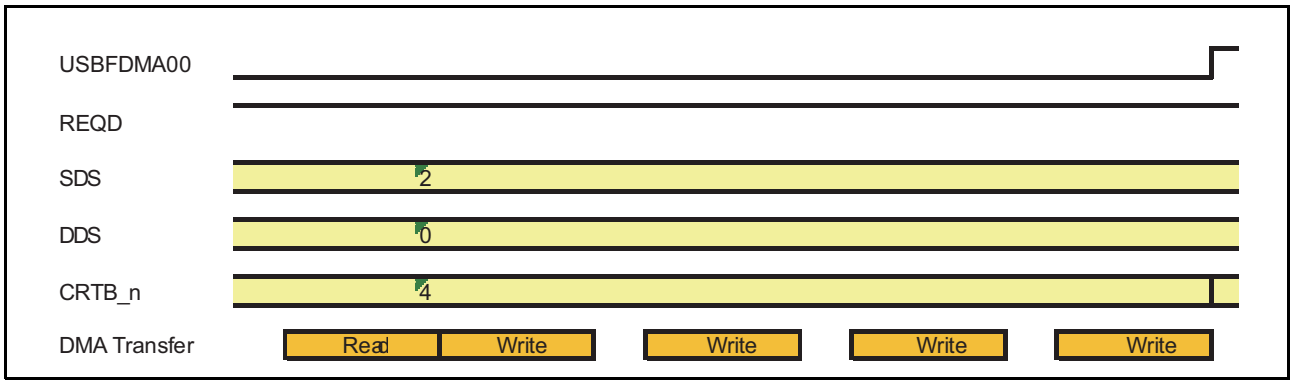


図 33.28　ディスティネーションが小さい場合 (CHCFG_n の LVL = 0, HIEN = 1, REQD = 1, SDS > DDS)

(3)　ソースとディスティネーションの転送サイズが同じ場合

DMA 転送要求を検出するたびにソースのリードとディスティネーションへのライトを行います。

ソースとディスティネーションが 8 bit (CHCFG_n レジスタの SDS = 0, DDS = 0) の場合のタイミング・チャートを以下に示します。

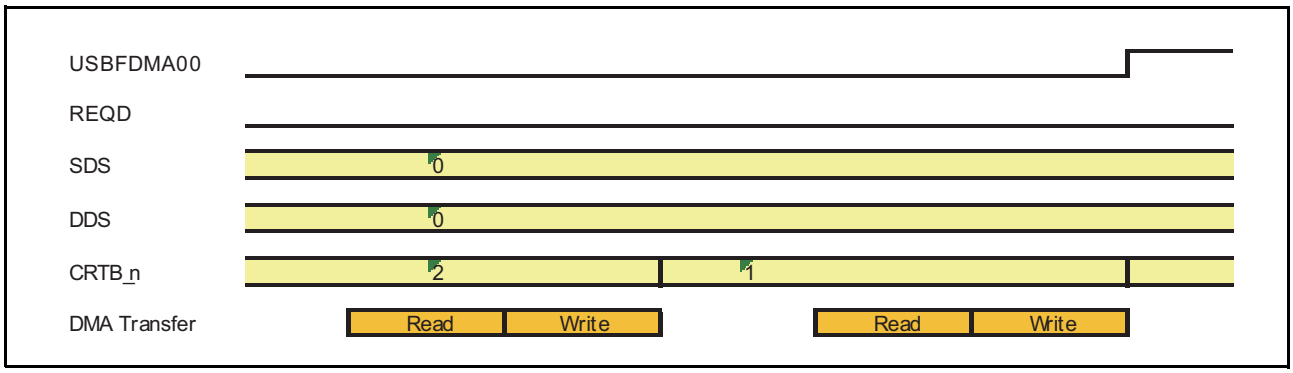


図 33.29　ソースとディスティネーションが同じ場合 (CHCFG_n の LVL = 0, HIEN = 1, REQD = 0, SDS = DDS)

33.9.13.8　転送状態

CHSTAT_n レジスタはチャネルの転送状態を示します。

(1)　転送状態

CHSTAT_n レジスタの TACT はチャネル n が動作中であることを示します。CHCTRL_n レジスタの SETEN への 1 のライトで 1 となります。TACT は、ディスクリプタ・アクセス中や DMA リクエスト待ちの間も 1 のままです。

CHSTAT_n レジスタの EN がクリア（クリア条件に関しては「33.4.1　Current Source Address Register」参照）され、かつ DMA トランスファが終了した時点で TACT はクリアされます。

DMA トランザクションが終了しても、EN がクリアされない状態（レジスタ・モードで CHCFG_n レジスタの REN = 1 の場合や、リンク・モードで次のディスクリプタ・アクセスを行う場合）は、TACT はクリアされません。

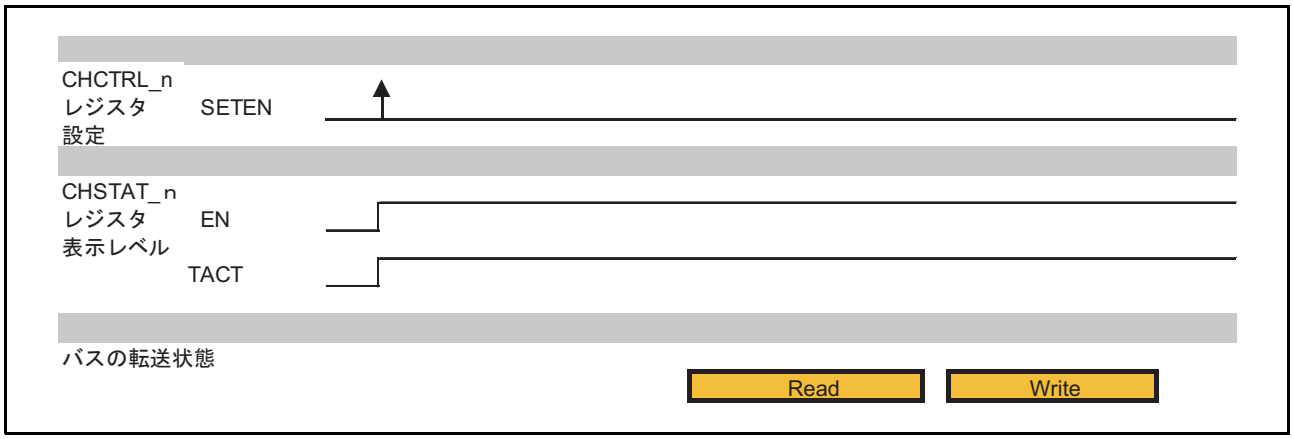


図 33.30　DMAC 状態例 1 (ハードウェア・リクエスト)

(2)　一時停止（サスペンド）

CHCTRL_n レジスタの SETSUS ビットで DMA 転送を一時停止することができます。このとき、すでに実行されているバス・サイクルがあれば、その完了を待って、一時停止状態になります。CHCTRL_n レジスタの CLRSUS ビットに 1 をライトすることで停止状態から復帰することができます。

一時停止状態であることを確認するためには、CHCTRL_n レジスタの SETSUS をセットした後、CHSTAT_n レジスタの SUS ビット、または DSTAT_SUS レジスタの該当チャネルの SUS ビットが 1 になっていることを確認してください。

(3) 転送中断

DMA トランザクション中に CHCTRL_n レジスタの CLREN に 1 をライトすると、そのチャネルの DMA トランザクションを中断することができます。中断後の処理として、中断したタイミングでバッファに残ったデータを掃き出すモードと、掃き出しを行わないモードを CHCFG_n レジスタの SBE ビットで選択することができます。デフォルトは SBE = 0 (掃き出しを行わないモード) です。

この掃き出しモードが有効で、CHCTRL_n レジスタの CLREN = 1 で進行中の転送が中断されると、DMAC のバッファにデータが残っていた場合、そのデータを掃き出して、動作を停止します。

(a) 転送中断（バッファ掃き出しなし：SBE = 0）

DMA 転送中に CHCTRL_n レジスタの CLREN へ 1 をライトすると、DMA 転送を中断して停止します。停止するタイミングは REQD へ設定した値に従って停止します。停止後は CHCTRL_n レジスタの SWRST へ 1 をライトし DMAC 内部状態をクリアしてから、次の転送設定を行ってください。

CHSTAT_n レジスタの TACT ビットが落ちた時点でチャネルが完全に停止したことを確認できます。

DMA 転送の途中で中断した場合、USBFDMAmn 割り込みは発生しません。

CHCFG_n レジスタの REQD = 0 の場合、次のリードが完了した時点で停止します。(ただし、ライトできるデータがバッファ内にある場合はライトして停止します)。

CHCFG_n レジスタの REQD = 1 の場合、次のライトが完了した時点で停止します。

(b) 転送中断（バッファ掃き出しあり：SBE = 1）

DMA 転送中に CHCTRL_n レジスタの CLREN に 1 をライトすると、DMA 転送を中断します。CHCFG_n レジスタの REQD = 0 の場合、すでにリードしたデータを掃き出し (ライト) して DMA 転送を停止します。REQD = 1 では、掃き出しモードは使用できません。

停止後は CHCTRL_n レジスタの SWRST をセットし、DMAC 内部状態をクリアしてから、次の転送設定を行ってください。

CHSTAT_n レジスタの TACT ビットが 0 になった時点でチャネルが完全に停止したことを確認できます。

(c) チャネルの停止確認方法

CHCTRL_n レジスタの CLREN ビットへ 1 をライトして、CHSTAT_n レジスタの EN ビットが 0 にクリアされても、すでにバス上で転送が実行されている場合は、DMAC はすぐに停止するこができません。DMA が完全に停止したことを確認するためには、EN ビットが 0 かつ CHSTAT_n レジスタの TACT ビットが 0 であることを確認してください。

(d)　転送中断手順

以下に転送停止手順を示します。

1. CHCTRL_n レジスタの CLREN へ 1 をライトします。
2. CHCFG_n レジスタの SBE = 0 の場合は CHCFG_n レジスタの REQD の値に従って停止。このとき、SBE = 1 の場合は掃き出し状態になります。
3. CHSTAT_n レジスタをリードして TACT ビットが 0 になっていることを確認します。TACT = 0 ならば、DMA が完全に停止したことを意味します。TACT = 1 の場合は、0 になるまでポーリングしてください。
4. 中断後、次の DMA 転送を行う場合、次の転送を開始する直前までに必ず CHCTRL_n レジスタの SWRST（ソフトウェア・リセット）ビットをセットしてください。

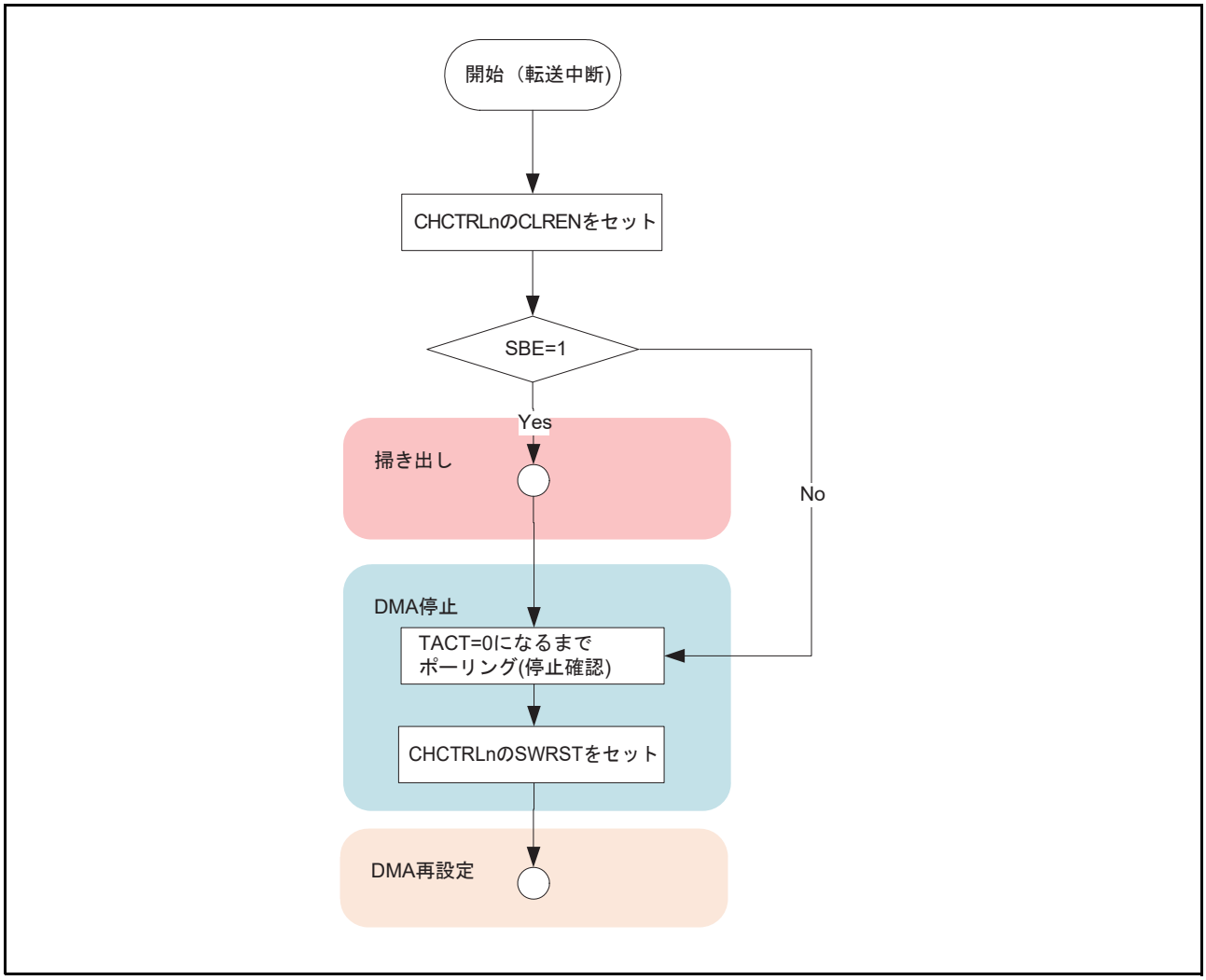


図 33.31　　転送中断フロー

33.9.14　アクセス・タイプ

33.9.14.1　DMA マスタ転送組み合わせ一覧

(1)　リード・アクセス

DMA リード・アクセス時の発行タイプの特長を以下に示します。

- アクセスは、ソース・アドレス（CRSA_n レジスタによって示されるアドレス）を含む、CHCFG_n レジスタの SDS[2:0] により指定されたサイズのビート・アライン空間に対して行います。バスに対し、ビート・アンアライン転送は行いません。CRSA_n や SKIP などの設定値によっては、余分な領域をリードする場合もあります。この場合、リードしたデータの中から必要なデータをバッファに取り込みます。

- サイズとバースト長は、SDS[2:0] フィールドに設定した値によって決まります。
  SDS[2:0] フィールドに設定した値がバス幅以下の場合
  　サイズ　　：SDS[2:0] 設定値
  　バースト・タイプ　　：SINGLE
  SDS[2:0] フィールドに設定した値がバス幅より大きい場合
  　サイズ　　：バス幅
  　バースト・タイプ　　：固定長バースト（バースト長 = SDS[2:0] 設定値／バス幅）

以下に、バスへのアクセス・タイプを示します。

表33.53　DMA リード転送組み合わせ一覧

SDS	Source Address	AHB転送					
		1転送目			2転送目		
		アドレス	データサイズ	バーストタイプ	アドレス	データサイズ	バーストタイプ
0 (8bit)	-	addr	8	SINGLE			
1 (16bit)	2 byte align	{addr[31:1], 0B}	16	SINGLE			
	2 byte unalign				{addr[31:1], 0B} + 2H	16	SINGLE
2 (32bit)	4 byte align	{addr[31:2], 00B}	32	SINGLE			
	4 byte unalign				{addr[31:2], 00B} + 4H	32	SINGLE
4 (128bit)	16 byte align	{addr[31:4], 0H}	32	INCR4			
	16 byte unalign				{addr[31:4], 0H} + 10H	32	INCR4
5 (256bit)	32 byte align	{addr[31:5], 00H}	32	INCR8			
	32 byte unalign				{addr[31:5], 00H} + 20H	32	INCR8
6 (512bit)	64 byte align	{addr[31:6], 00H}	32	INCR16			
	64 byte unalign				{addr[31:6], 00H} + 40H	32	INCR16

注.　バースト途中でEBTとなった場合、残りの転送は32bit, INCRにて行います。

(2) ライト・アクセス

DMA ライト・アクセス時の発行タイプの特長を以下に示します。

- アクセスは、ディスティネーション・アドレス（CRDA_n レジスタによって示されるアドレス）から CHCFG_n レジスタの DDS[2:0] により設定されたサイズのビート・アライン境界に対して行います。

- サイズとバースト長は、DDS[2:0] フィールドに設定した値によって決まります。
  DDS[2:0] フィールドに設定した値がバス幅以下の場合
  　サイズ　　：DDS[2:0] 設定値
  　バースト・タイプ　　：SINGLE
  DDS[2:0] フィールドに設定した値がバス幅より大きい場合
  　サイズ　　：バス幅
  　バースト・タイプ　　：固定長バースト（バースト長 ＝ DDS[2:0] 設定値／バス幅）

- ライト・アクセスでは設定した空間以外へのアクセスは行いません。以下の場合には、DDS[2:0] フィールドに設定した値未満のサイズの組合せでアクセスを行います。

  - ディスティネーション・アドレスが DDS[2:0] フィールドに設定した値に対してビート・アンアラインの場合

  - DDS フィールドのサイズのアクセスでは、SKIP の境界をまたいでしまう場合

  - 残りの転送バイト数に対し、DDS[2:0] のサイズが大きい場合

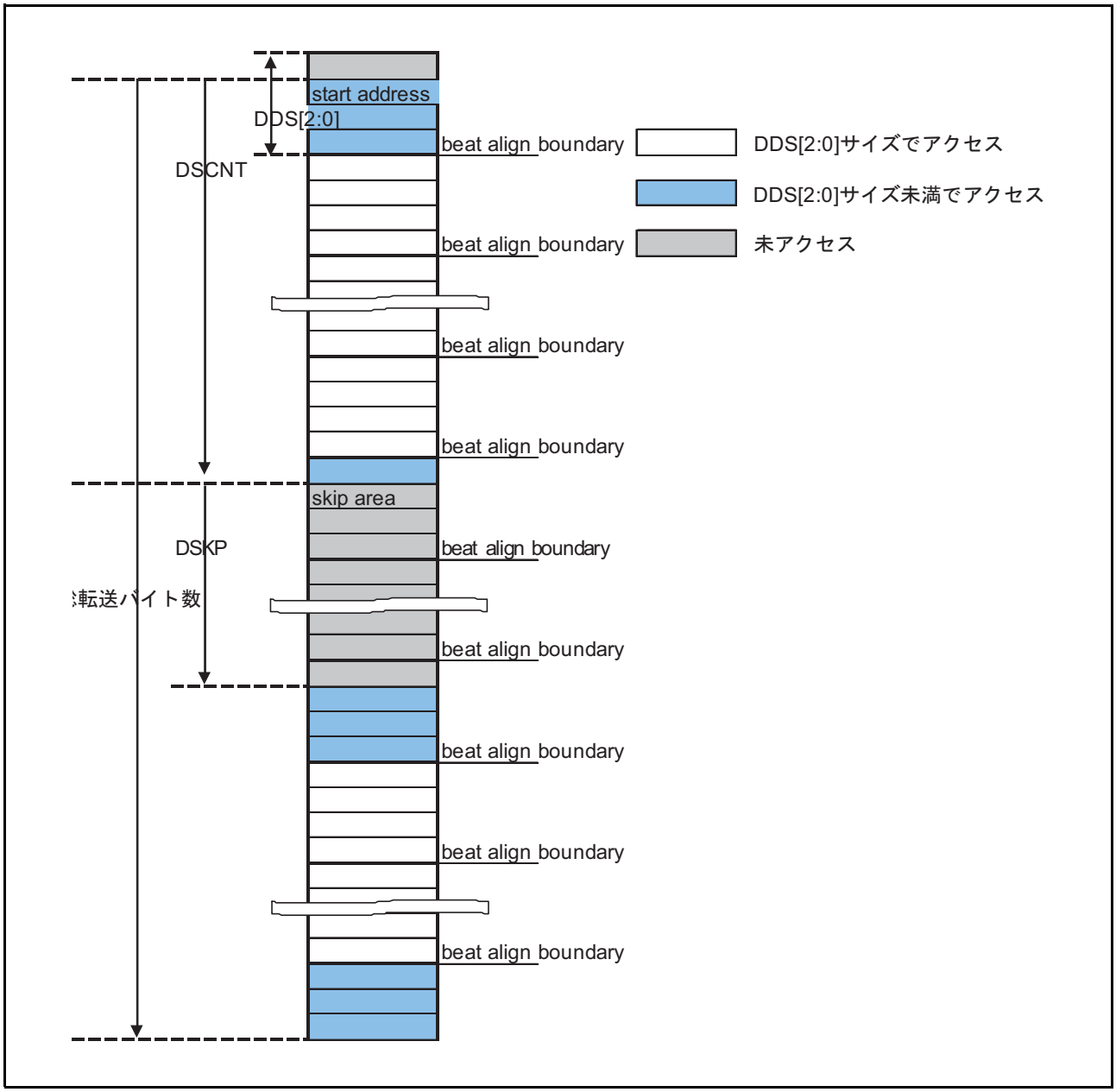


図 33.32 DMA ライト・アクセス空間とアクセス・タイプ例

以下に、ビート・アラインの場合の、バスへのアクセス・タイプを示します。

表33.54 DMAライト転送組み合わせ一覧

DDS[2:0]	AHB転送		
	1転送目		
	アドレス	データサイズ	バーストタイプ
0 (8bit)	addr	8	SINGLE
1 (16bit)	{addr[31:1], 0B}	16	SINGLE
2 (32bit)	{addr[31:2], 00B}	32	SINGLE
4 (128bit)	{addr[31:4], 0H}	32	INCR4
5 (256bit)	{addr[31:5], 00H}	32	INCR8
6 (512bit)	{addr[31:6], 00H}	32	INCR16

33.9.14.2　DMA マスタ・ディスクリプタ転送組み合わせ一覧

(1)　リード・アクセス

ディスクリプタ・アクセスの特長を以下に示します。

- アクセスは、LINK アドレス（CRLA_n レジスタによって示されるアドレス）を含む、8 word のビート・アライン空間に対し行います（ビート・アンアライン転送は行いません）。
- サイズとバースト長は、INCR8 で行います。
- リードした header の DSCFM（ディスクリプタ・フォーマット）を解釈し、ディスクリプタのデータを内部レジスタへセットします。
- ディスクリプタが 8 word 境界をまたいでいる場合、後続の 8 word に対して追加リードを行います。

以下に、バスへのアクセス・タイプを示します。

表 33.55　ディスクリプタ READ 転送組み合わせ一覧

ディスクリプタフォーマット	address	AHB転送					
	addr[4:0]	1転送目			2転送目		
		address	size	burst	address	size	burst
4 word	00H	{addr[31:4], 4'b0}	32	INCR8			
	04H						
	08H						
	0CH						
	10H						
	14H				{addr[31:4], 4'b0} +20H	32	INCR8
	18H						
	1CH						
8 word	00H						
	04H				{addr[31:4], 4'b0} +20H	32	INCR8
	08H						
	0CH						
	10H						
	14H						
	18H						
	1CH						

注.　バーストの途中でＥＢＴとなった場合、残りの転送は、32bit INCRにて行います。

(2)　WRITE アクセス

ディスクリプタをライト・バックするときの発行タイプは、SINGLE 転送で行います。
以下に、バスへのアクセス・タイプを示します。

表 33.56　ディスクリプタ WRITE 転送組み合わせ一覧

種類	AHB転送		
	address	size	burst
通常時のライト・バック	{addr[31:2], 2'b0} + 3H	8	SINGLE
エラー時のライト・バック	{addr[31:2], 2'b0} + 2H	8	SINGLE

33.9.15　DMAC 間アービトレーション

内蔵している DMAC 間のアービトレーションを、ラウンドロビンに従って行います。
ラウンドロビンでは、現在転送を実行している DMAC No. + 1 の DMAC の優先順位が最も高くなります。
リセット直後は、DMAC0 の優先順位が最も高くなります。

表 33.57　転送中の DMAC に対する転送要求の優先順位

Current DMAC \ Next DMAC	DMAC0	DMAC1
DMAC0	2	1
DMAC1	1	2

優先順位：1(高い) ⇔ 2(低い)

33.9.16　ディープスタンバイ遷移、ディープスタンバイ復帰フロー

33.9.16.1　ディープスタンバイ遷移時の設定

以下にディープスタンバイへの遷移フローを示します。下記フロー終了後、52.3.4 (1) のフローも実施してください。

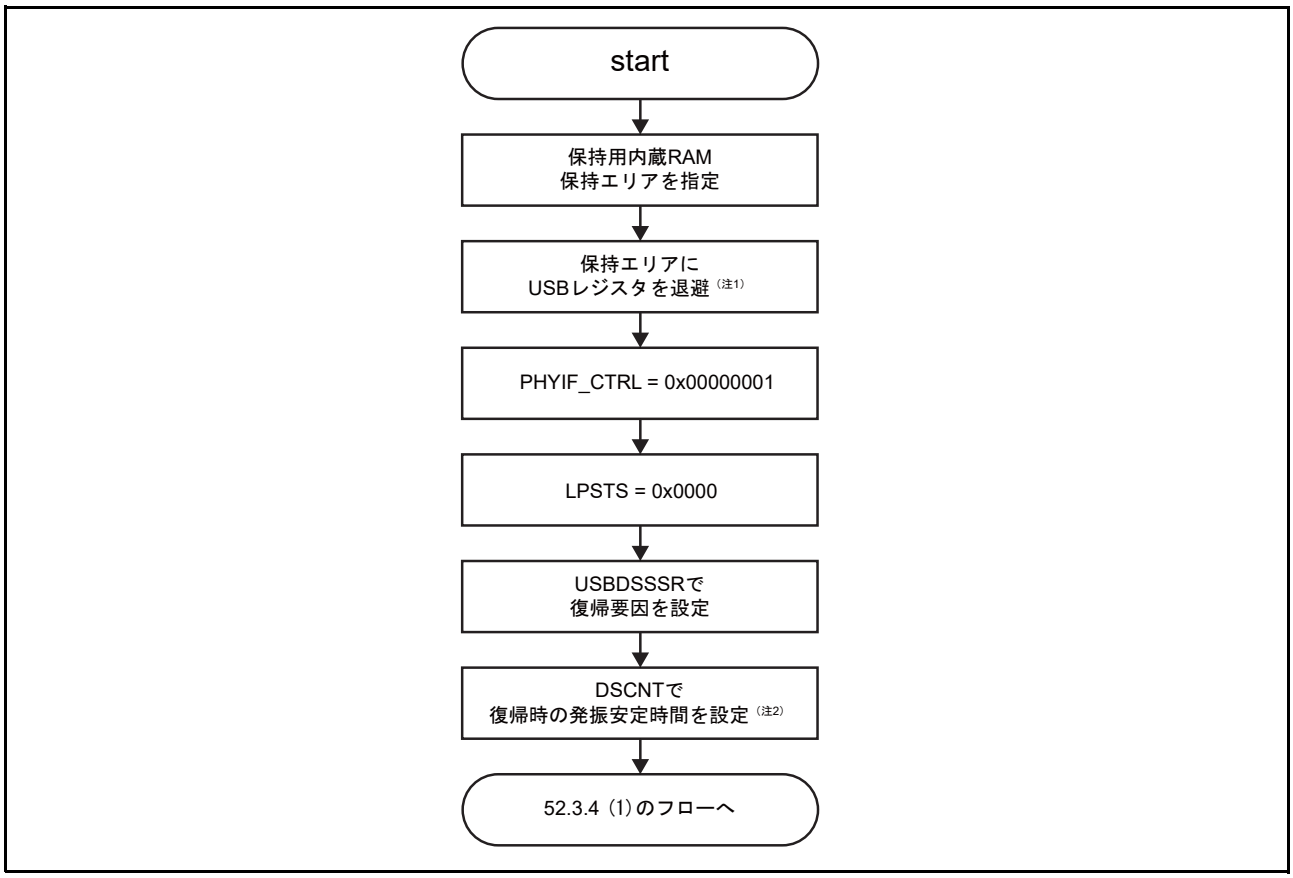


図 33.33　ディープスタンバイへの遷移フロー

注 1.　表 33.58 に示すレジスタを必ず退避させてください。
表に記載のないレジスタであっても、必要に応じ退避するレジスタを追加してください。

表33.58　退避させるレジスター覧

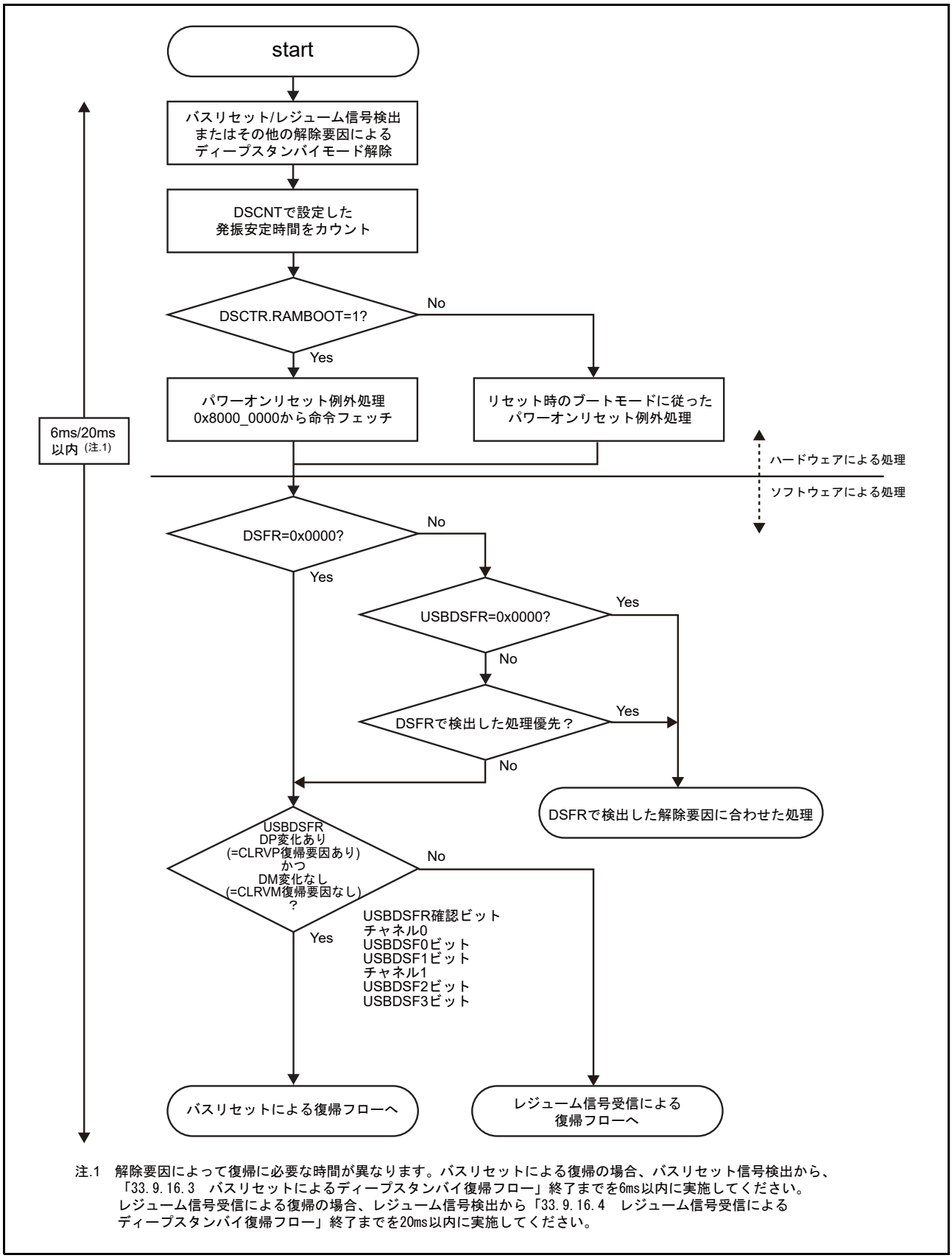
レジスタ名	レジスタ略称	レジスタ名	レジスタ略称
Common Control Register	COMMCTRL	DCPコントロールレジスタ	DCPCTR
CFIFOSELポート選択レジスタ	CFIFOSEL	PIPEコンフィグレーションレジスタ*	PIPECFG
割り込み許可レジスタ0	INTENB0	PIPEマックスパケットサイズレジスタ*	PIPEMAXP
BRDY割り込み許可レジスタ	BRDYENB	PIPE周期制御レジスタ*	PIPEPERI
NRDY割り込み許可レジスタ	NRDYENB	PIPEバッファ指定レジスタ*	PIPEBUF
BEMP割り込み許可レジスタ	BEMPENB	システムコンフィグレーションコントロールレジスタ0	SYSCFG0
割り込みステータスレジスタ0	INTSTS0	システムコンフィグレーションコントロールレジスタ1	SYSCFG1
USBアドレスレジスタ	USBADDR	PIPExコントロールレジスタ (x = 1~F)	PIPExCTR
DCPマックスパケットサイズレジスタ	DCPMAXP		

* PIPESEL レジスタで PIPE 番号を指定した後、使用している PIPE の本数分、値を退避してください。

注 2.　詳細は「52.2.34　ディープスタンバイ復帰用発振安定カウントレジスタ（DSCNT）」を参照してください。

33.9.16.2　ディープスタンバイ解除要因判定フロー

以下にディープスタンバイ復帰後の解除要因判定フローを示します。



注.1　解除要因によって復帰に必要な時間が異なります。バスリセットによる復帰の場合、バスリセット信号検出から、「33.9.16.3　バスリセットによるディープスタンバイ復帰フロー」終了までを6ms以内に実施してください。
レジューム信号受信による復帰の場合、レジューム信号検出から「33.9.16.4　レジューム信号受信による ディープスタンバイ復帰フロー」終了までを20ms以内に実施してください。

図 33.34　ディープスタンバイ解除要因判定フロー

33.9.16.3　バスリセットによるディープスタンバイ復帰フロー

以下にバスリセットによるディープスタンバイ復帰フローを示します。

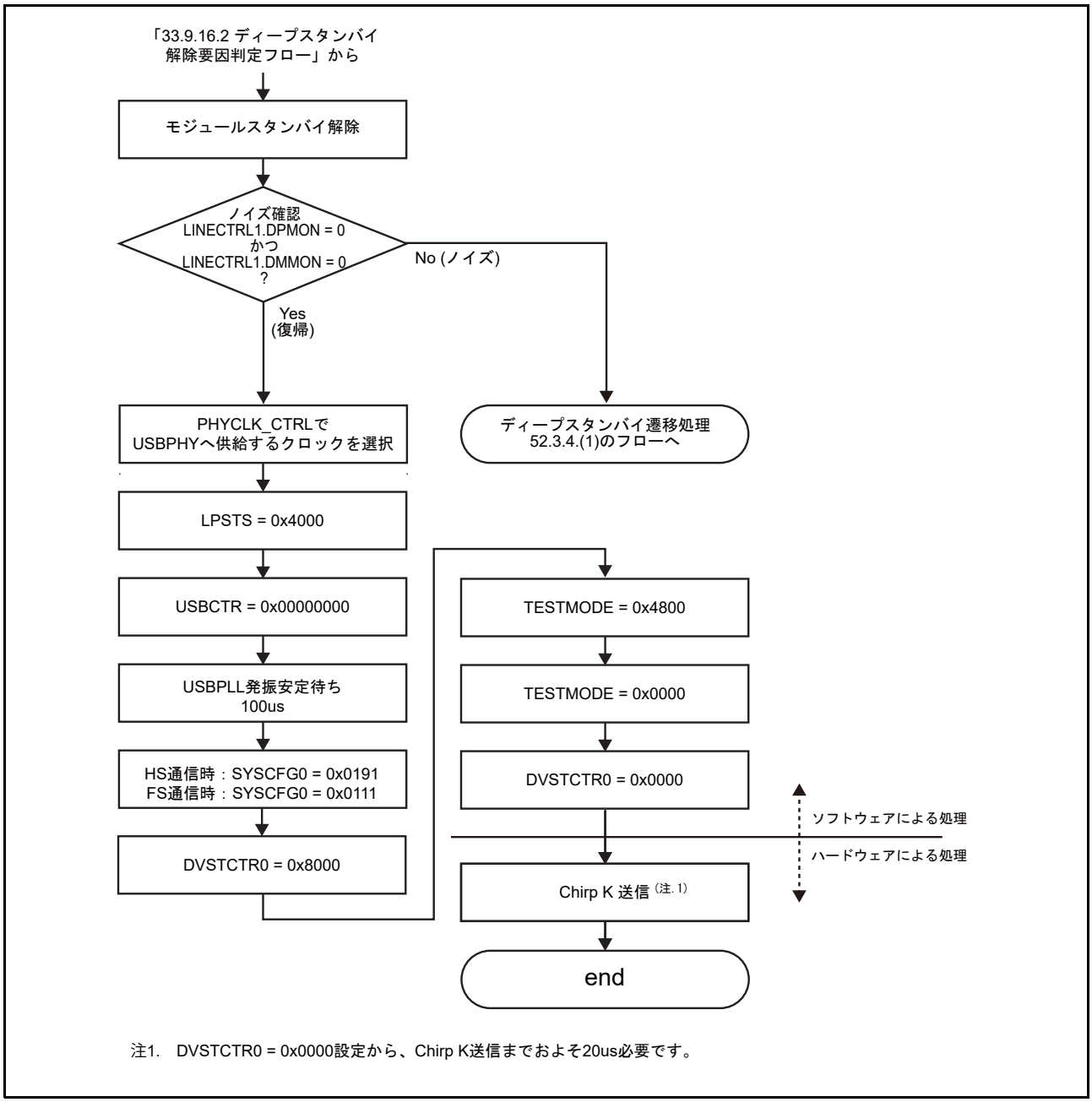


図 33.35　バスリセットによるディープスタンバイ復帰フロー

33.9.16.4　レジューム信号受信によるディープスタンバイ復帰フロー

以下にレジューム信号受信による復帰フローを示します。

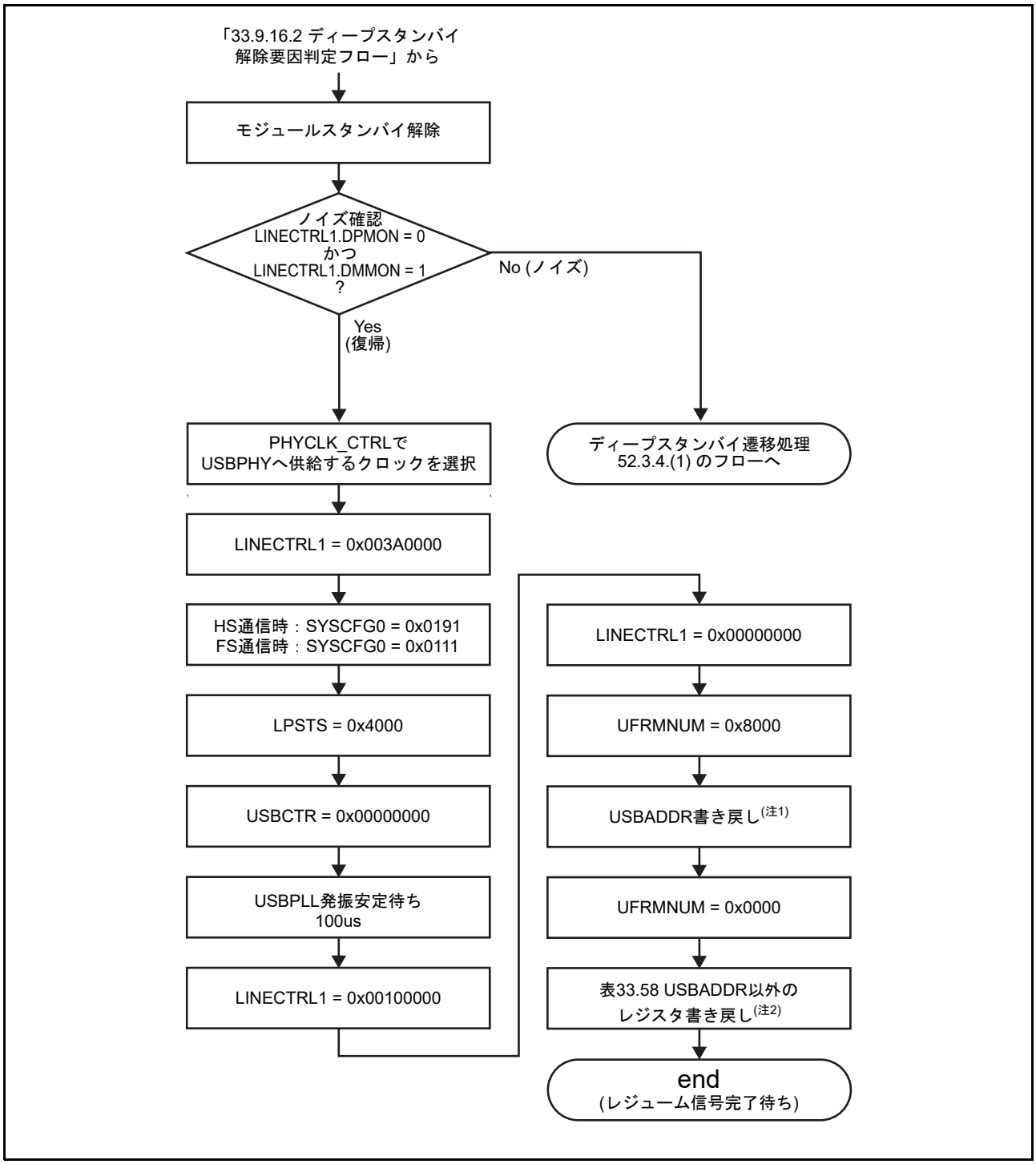


図 33.36　レジューム信号受信によるディープスタンバイ復帰フロー

注1.　USBADDR レジスタの書き戻しについて
USBADDR[6:0] ビットは、ディープスタンバイ遷移前に保持 RAM 領域に退避させた USBADDR.USBADDR[6:0] の値を書き戻してください。
STSRECOV0[9:8] ビットは、ディープスタンバイ遷移前に保持 RAM 領域に退避させた INTSTS0.DVSQ[5:4] の値を書き戻してください。
STSRECOV0[10] ビットは FS の場合 0 を、HS の場合 1 を書き戻してください。

注2.　表33.58 USBADDR レジスタ以外の書き戻しについて
PIPECFG、PIPEMAXP、PIPEPERI、PIPEBUF レジスタへの書き戻し方法は「33.2.15　PIPE コンフィグレーションレジスタ」を参照してください。
PIPExCTR は、PIPExCTR.SQMON の値により書き戻す値が異なります。
SQMON が 0 の場合は、SQCLR に 1 を書き戻し、SQCLR 以外のビットはディープスタンバイ遷移前に保持 RAM に退避させた値を書き戻してください。
SQMON が 1 の場合は、SQSET に 1 を書き戻し、SQSET 以外のビットはディープスタンバイ遷移前に保持 RAM に退避させた値を書き戻してください。

33.9.17 注意事項

33.9.17.1 アクセス

リード・アクセス時には、1 回のトランスファで、ビート・アライン領域をアクセスします。このため、ビート・アンアライン設定の場合、指定領域を含むビート・アライン領域にアクセスします。

例えば、Source Address = 0000_1038H, SDS = 5 (256 ビット) の場合、0000_1038H 番地からではなく、0000_1020H 領域からリードを開始します。このとき、0000_1020H ～ 0000_1037H 領域に、リードによって値が変わるレジスタがあった場合、動作に支障をきたす場合があります。

このため、リード・アクセスにより値が変わるレジスタや FIFO が隣接した領域へは、ビート・アラインの設定でアクセスしてください。

33.9.17.2 Level Interrupt ビットについて

DMA 割り込み出力イネーブルビットです。周辺モジュール割り込み USBFDMAmn (m, n = 0, 1) 、USBFDMAERRm (m = 0, 1) の使用／未使用にかかわらず、必ず 1 を設定してください。

周辺モジュール割り込み USBFDMAmn、USBFDMAERRm を使用する場合、本ビットを 1 に設定した後、割り込みコントローラの設定を行ってください。

34. ビデオディスプレイコントローラ 6（1） 概要

34.1 特長

ビデオディスプレイコントローラ 6 は以下の 6 つのブロックで構成されています。なお、画面合成は、映像 1 面＋グラフィックス 2 面、もしくはグラフィックス 3 面の選択になります。

1. 入力制御部：入力映像の選択、同期調整、水平ノイズリダクション、カラーマトリクス機能によるブライト調整、ゲイン調整、YCbCr ⇔ GBR 変換
2. スケーリング部：フレームバッファを使用した入力映像の拡大・縮小、回転、および、フレームバッファに設定フィールド数分をリピート録画する機能
3. 画質改善部：黒伸張、LTI ／シャープネス、カラーマトリクス機能による YCbCr ⇔ GBR 変換
4. 画面合成部：映像 1 面＋グラフィックス 2 面、もしくはグラフィックス 3 面を重ね合わせる機能
5. 出力制御部：ブライト／コントラスト調整、ガンマ補正、ディザ処理、出力フォーマット変換、TFT-LCD パネル向けの制御信号出力機能
6. システム制御部：割り込み制御、パネルクロック制御、CLUT テーブル選択信号ステータスフラグ出力機能

表 34.1 にビデオディスプレイコントローラ 6 の主な機能を示します。

表34.1　ビデオディスプレイコントローラ6機能

項目	機　　能
動作周波数	入力映像クロック：～87 MHz（RGB/YCbCr映像） パネルクロック：～87 MHz（パネル仕様に依存）
入力映像規格	ITU-R BT.656規格準拠 8 bit（27 MHz, インタレース信号）に対応 ITU-R BT.656規格拡張 8 bit（54 MHz, プログレッシブ信号）に対応（注1） ITU-R BT.601規格拡張 8 bit（27 MHz, インタレース信号）に対応（注1） ITU-R BT.601規格拡張 8 bit（54 MHz, プログレッシブ信号）に対応（注1） ITU-R BT.601規格拡張 16 bit（13.5 MHz, インタレース信号）（注1） デジタル端子入力：YCbCr422, YCbCr444, RGB888, RGB666, RGB565映像に対応 デジタル端子入力サイズ： 設定可能な入力映像サイズ（注2）　水平1920画素、垂直1080ライン 注1.　ITU-R BT.656、601にプログレッシブに関する記述はありません。また、ITU-R BT.601に接続インタフェースに関する記述はありません。 注2.　接続するデバイスとのAC特性に依存します。 入力映像サイズ例： XGA (1024 × 768), SVGA (800 × 600), WVGA (800 × 480), VGA (640 × 480), WQVGA (480 × 240), QVGA横長 (320 × 240), QVGA縦長 (240 × 320)
映像録画機能	YCbCr422/YCbCr444/RGB565/RGB888形式にて1/1, 1/2, 1/4, 1/8フィールドのレートで映像を保存 保存可能な最大映像サイズ：水平1440画素、垂直1024ライン
映像画質調整機能	コントラスト調整、ブライト調整、水平ノイズリダクション、黒伸張、LTI／シャープネス
映像スケーリング処理	垂直1/8～8倍、リニア／ホールド補間 水平1/8～8倍、リニア／ホールド補間 初期位相を調整することによりIP変換可能
映像回転機能	YCbCr422/RGB565形式にて、0, 90, 180, 270度回転 YCbCr422/YCbCr444/RGB565/RGB888 形式にて水平鏡像
グラフィックス	グラフィックス面数：3面（グラフィックス（0）、(2)、(3)） 対応ピクセルフォーマット： RGB565 プログレッシブ形式（α: なし, R: 5 bit, G: 6 bit, B: 5 bit の計16 bit） RGB888 プログレッシブ形式（α: なし, R: 8 bit, G: 8 bit, B: 8 bit の計24 bit） αRGB1555 プログレッシブ形式（α: 1 bit, R: 5 bit, G: 5 bit, B: 5 bit の計16 bit） αRGB4444 プログレッシブ形式（α: 4 bit, R: 4 bit, G: 4 bit, B: 4 bit bit の計16 bit） αRGB8888 プログレッシブ形式（α: 8 bit, R: 8 bit, G: 8 bit, B: 8 bit の計32 bit） RGBα5551 プログレッシブ形式（R: 5 bit, G: 5 bit, B: 5 bit, α: 1 bit の計16 bit） RGBα8888 プログレッシブ形式（R: 8 bit, G: 8 bit, B: 8 bit, α: 8 bitの計32 bit） CLUT8 プログレッシブ形式（CLUT: 8 bit） CLUT4 プログレッシブ形式（CLUT: 4 bit） CLUT1 プログレッシブ形式（CLUT: 1 bit） YCbCr422プログレッシブ形式（Y: 8 bit, Cb/Cr: 8 bitの計16 bit）（グラフィックス（0）のみ） YCbCr444プログレッシブ形式（Y: 8 bit, Cb: 8 bit, Cr: 8 bitの計24 bit）（グラフィックス（0）のみ） 読み出し可能な最大画像サイズ：水平1440画素、垂直1440ライン
グラフィックス機能	矩形領域αブレンド　設定した領域にて、透過率αに基づきミキシング（フェードイン、フェードアウト機能有り） クロマキー　設定したRGB色、CLUT値にて、透過率αに基づきミキシング 画素単位αブレンド　αRGB1555, αRGB4444, αRGB8888, RGBα5551, RGBα8888, CLUT8/4/1形式のグラフィックス画像のとき、透過率αに基づきミキシング
	各ドットにて、上記機能のα値の優先順位は 矩形領域αブレンド ＞ クロマキー ＞ 画素単位αブレンド
出力映像サイズ	設定可能な最大出力映像サイズ（注1）：水平1999画素、垂直2035ライン 注1.　表示するパネルとのAC特性に依存します。 出力映像サイズ例： XGA (1024 × 768), SVGA (800 × 600), WVGA (800 × 480), VGA (640 × 480), WQVGA (480 × 240), QVGA横長 (320 × 240), QVGA縦長 (240 × 320)
出力映像形式	RGB888プログレッシブ映像出力（24 bitのパラレル出力） RGB666プログレッシブ映像出力（18 bitのパラレル出力） RGB565プログレッシブ映像出力（16 bitのパラレル出力） RGB888プログレッシブ映像出力（8 bitのシリアル出力）
パネル出力調整機能	パネルブライト／コントラスト調整、RGBガンマ補正、ディザ処理、出力フォーマット変換
同期信号出力	TFT-LCDパネル向けの制御信号を出力する

項目	機　　能
割り込み出力	映像入力／出力の垂直同期信号 ライン割り込み出力（任意のラインにて出力可能） 映像入力の垂直同期周期異常検出信号 フィールド書き込み完了信号 内部バッファのオーバフロー／アンダフロー検出信号

34.2　ブロック図

図 34.1 ～図 34.3 に、本モジュールの全体ブロック図を示します。

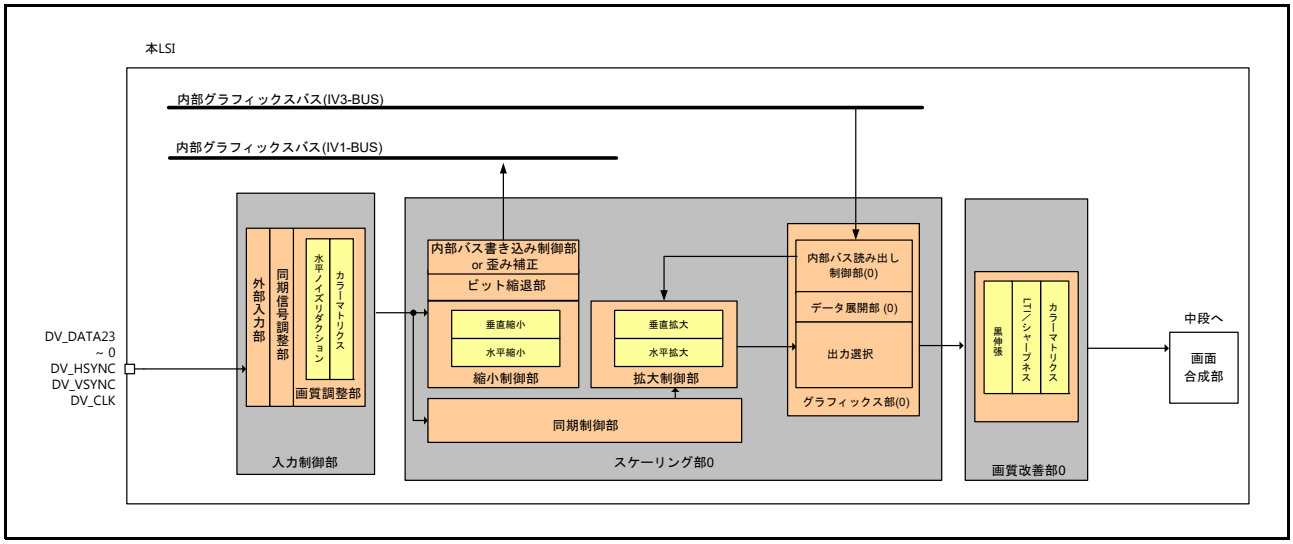


図 34.1　　ビデオディスプレイコントローラ 6 前段ブロック図

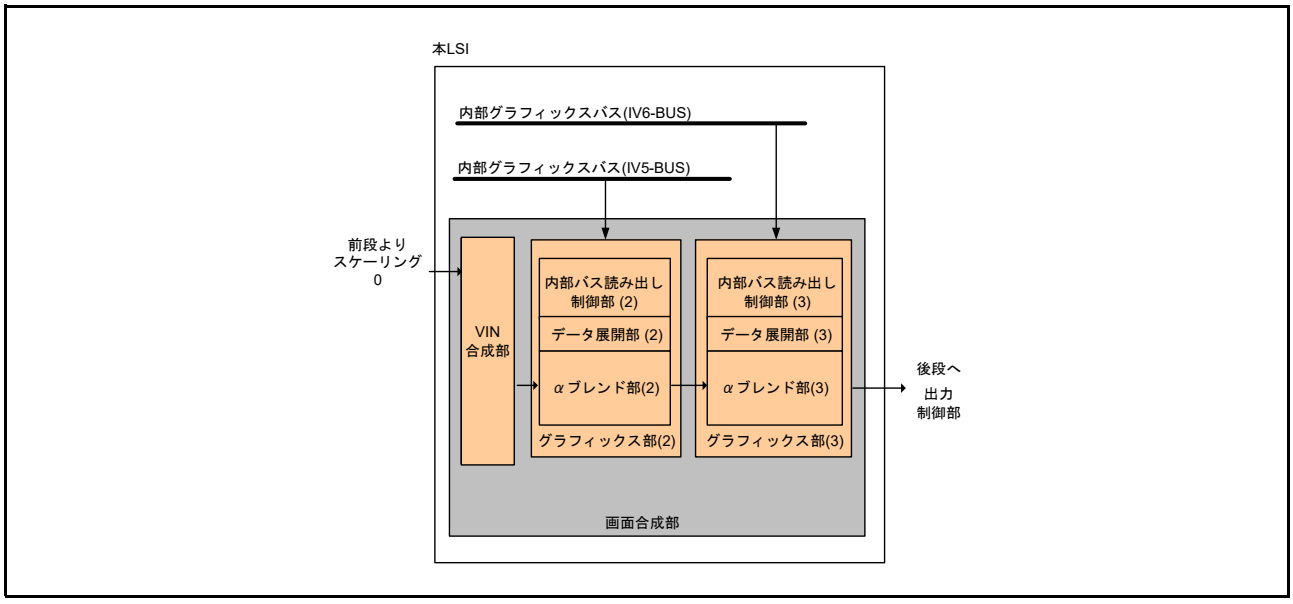


図 34.2　　ビデオディスプレイコントローラ 6 中段ブロック図

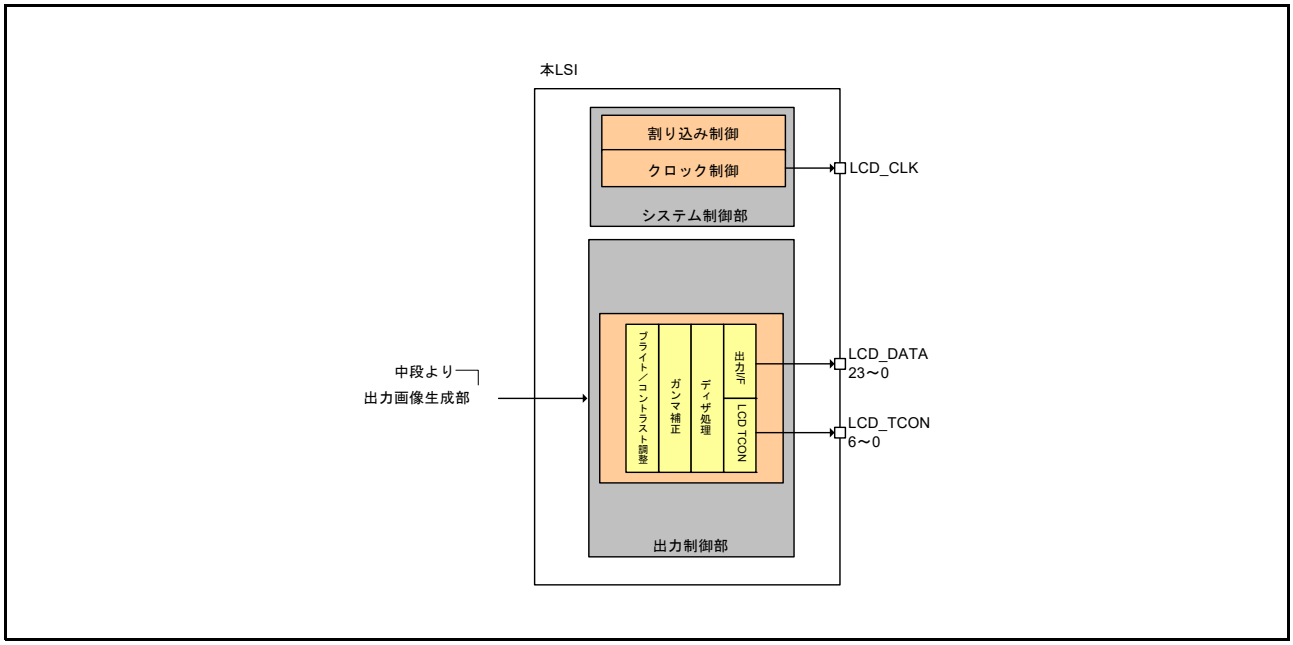


図 34.3　　ビデオディスプレイコントローラ 6 後段ブロック図

34.3 入出力端子

表 34.2 に端子構成を示します。

表 34.2 入出力端子

端子名	入出力	名称	説明
DV0_CLK	入力	外部入力クロック 0	外部入力 0 のクロック端子です。
DV0_VSYNC	入力	外部入力垂直同期 0	外部入力 0 の垂直同期端子です。
DV0_HSYNC	入力	外部入力水平同期 0	外部入力 0 の水平同期端子です。
DV0_DATA23~0	入力	外部入力映像データ 0	外部入力 0 の映像データ端子です。
LCD0_CLK	出力	パネルクロック 0	パネル出力 0 のクロック端子です
LCD0_DATA23~0	出力	パネル用映像データ 0	パネル出力 0 の映像データ端子です。
LCD0_TCON6~0	出力	パネル用制御信号 0	パネル出力 0 のタイミング制御端子です。
LCD0_EXTCLK	入力	パネルクロックソース 0	パネルクロックソース 0 入力端子です。

34.4 クロック

本モジュールが各機能で使用するクロックは、主に映像クロックとピクセルクロックがあります。

映像クロックは、入力制御部からスケーリング部の縮小制御部を通って、映像をバッファに書き込む（内部バス書き込み制御）まで使用されます。DV_CLK クロックが映像クロックとなります。

ピクセルクロックは、スケーリング部のグラフィックス読み出し（内部バス読み出し制御部）から出力制御部まで使用されます。出力制御部でパラレル RGB 出力を選択したとき、ピクセルクロックはパネルクロック（LCD_CLK）と同じ周波数になります。パネルクロックは、システム制御部の SYSCNT_PANEL_CLK.PANEL_ICKSEL[1:0]、SYSCNT_PANEL_CLK.PANEL_OCKSEL[1:0] により、映像クロック、LCD0_EXTCLK、周辺バスクロック 1 (P1φ)、LVDS PLL（注 1）の出力クロックから選択可能です。出力制御部でシリアル RGB（3/4 倍速モード）を選択したとき、ピクセルクロックはパネルクロック（LCD_CLK）の 1/3、1/4 の周波数となります。

注 1. LVDS PLL の詳細に関しては、「41. LVDS 出力インタフェース」を参照してください。

34.5 水平・垂直同期信号

スケーリング部の同期制御部にて、スケーリング部の拡大制御部より後段論理で使用する水平・垂直同期信号を生成します。この水平・垂直同期信号は、パネル駆動用の各種タイミングを生成する LCD TCON の基準信号となるため、パネルへ渡す制御信号（LCD_TCON6~0 端子）もこれらの信号が基準となります。

この出力する水平同期信号は、常に自走周期であり、SC_SCL0_FRC4.SC_RES_FH[10:0] で水平周期を設定します。一方、出力する垂直同期信号は、スケーリング部の SC_SCL0_FRC3.SC_RES_VS_SEL により、外部入力の垂直同期信号または自走垂直同期信号から選択します。

34.5.1 外部入力垂直同期

(1) 動作概要

本モードでは、外部入力の垂直同期信号を基準に出力する垂直同期信号を生成します。デジタル端子からの入力映像をパネルに表示し、かつポインタバッファを使用しない場合は、必ず本モードにしてください。本モードでも、出力する水平同期信号は自走周期となります。タイミング図を下記に示します。

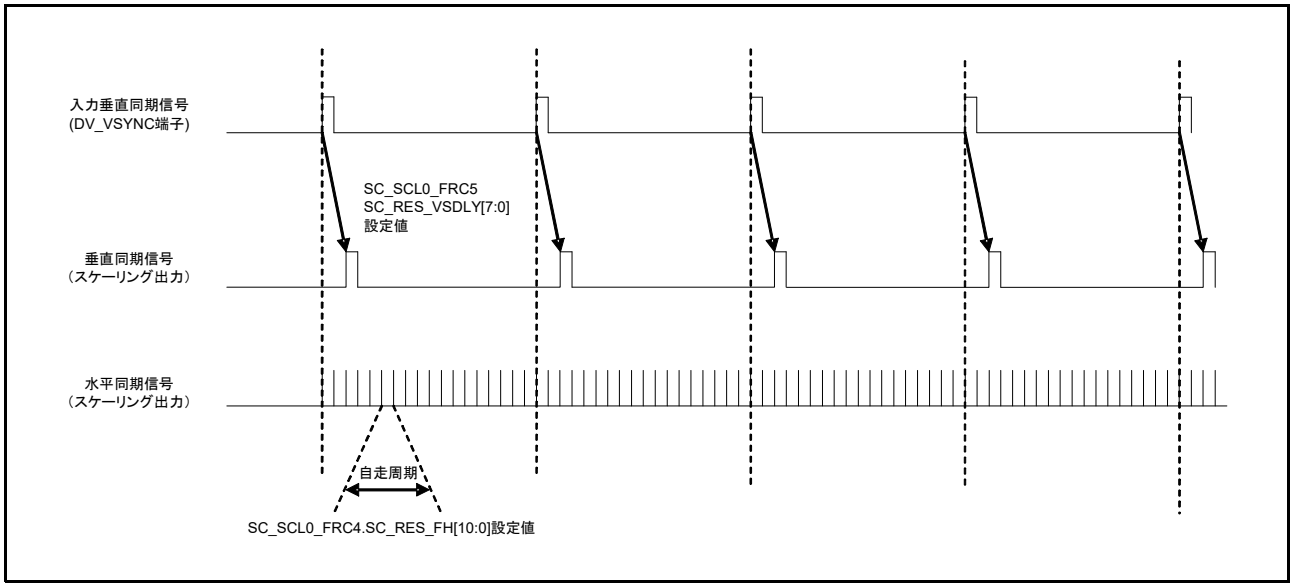


図 34.4　外部入力垂直同期タイミング図

(2) 注意事項

外部入力垂直同期では、外部入力の垂直同期信号を基準に出力する垂直同期信号を生成します。そのため、出力垂直同期信号は入力垂直同期信号に追随することができますが、不安定な垂直同期信号を入力した場合、出力垂直同期信号も不安定となります。

また、出力する水平同期信号は自走周期、垂直同期信号は映像入力の垂直同期信号を基準に生成していることから、これらの信号は非同期の関係となります。本モジュールでは、出力水平同期信号のタイミングに合わせて垂直同期信号を出力することで、タイミングを調整しています。そのため、安定した垂直同期信号を入力した場合においても、タイミングにより出力垂直同期信号が最大 1 ライン分増減する可能性があります。

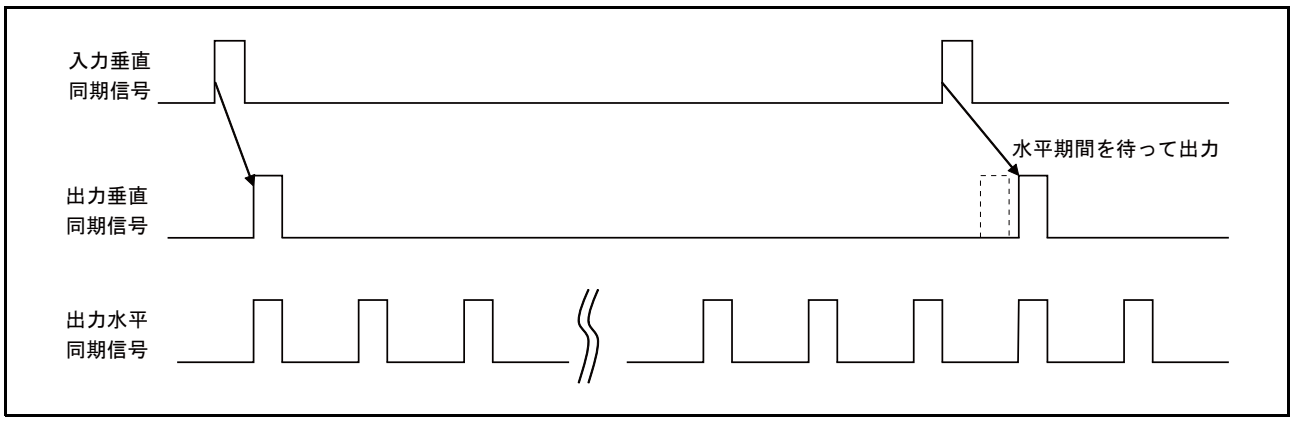


図 34.5　出力垂直同期信号生成詳細タイミング図

34.5.2　自走垂直同期

(1)　動作概要

本モードでは、ピクセルクロックを元に垂直同期信号を生成します（自走）。
SC_SCL0_FRC4.SC_RES_FV[10:0] で垂直周期を設定します。出力する水平同期信号も自走周期となります。
タイミング図を下記に示します。

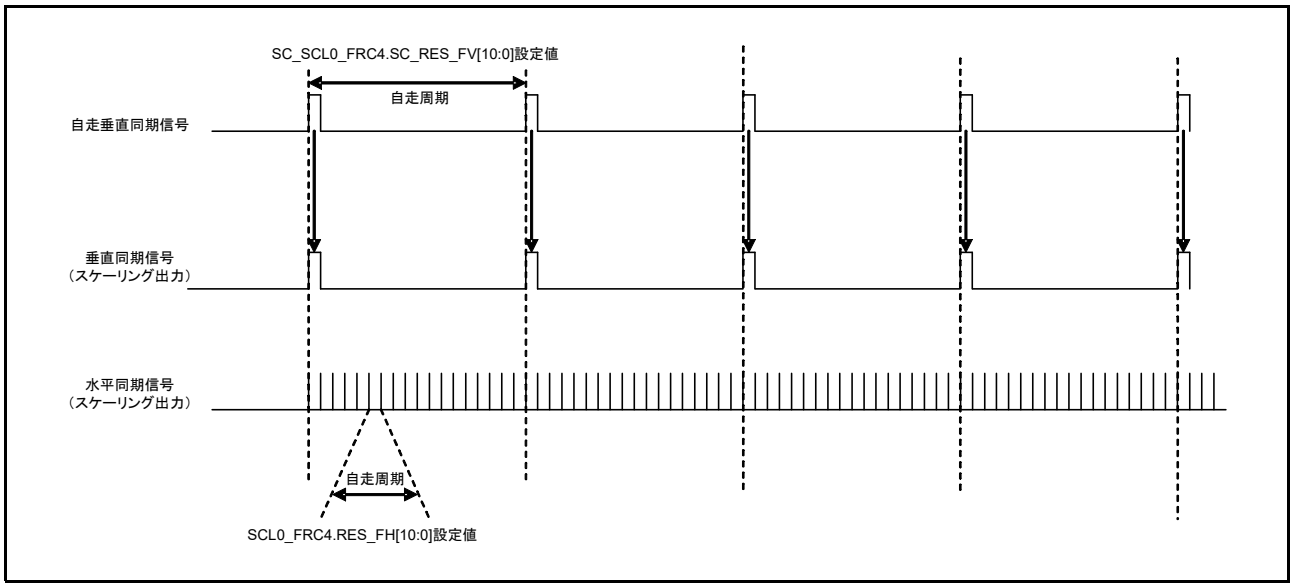


図 34.6　自走垂直同期タイミング図

(2)　ポインタバッファ

自走垂直同期で、入力映像をパネルへ出力すると、入力垂直同期信号と出力垂直同期信号が非同期の際に起こる出力映像のちらつきが発生します。そのため、自走垂直同期で入力映像をパネルへ出力する際は、ポインタバッファを使用してください。ポインタバッファは、フレーム単位で入力映像と出力映像のタイミングを調整する機構です。入力垂直同期信号が出力垂直同期信号より速い場合、入力映像のフレームを間引いて表示します。逆に、入力垂直同期信号が出力垂直同期信号より遅い場合、入力映像のフレームを複数回表示します。ただし、入出力垂直同期のタイミング差があまりに大きい場合、ポインタバッファで吸収できず、ちらつきが発生する可能性があります。使用するバッファ枚数が多いほど、吸収できる周波数差の範囲が広がります。

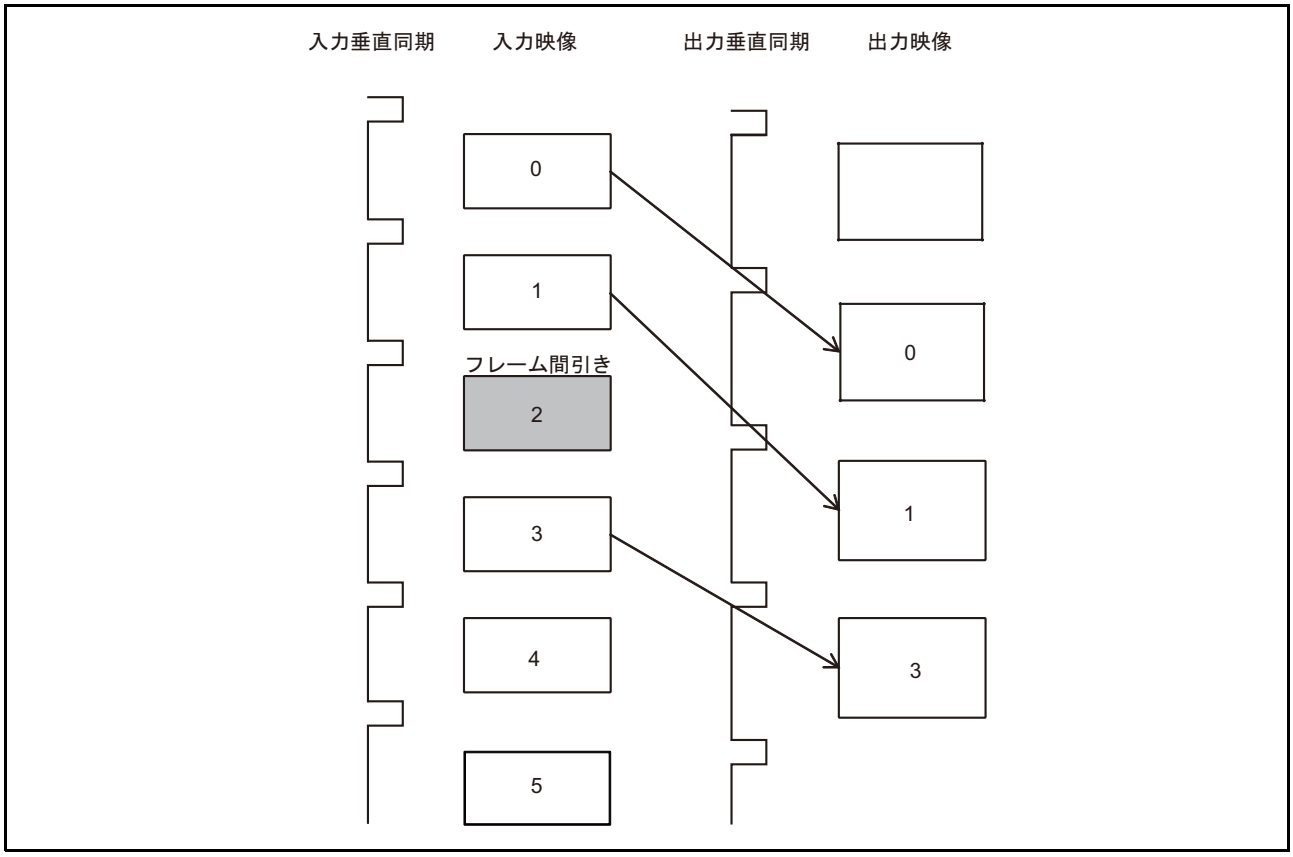


図 34.7　　入力垂直同期信号が出力垂直同期信号より速いときのタイミング図

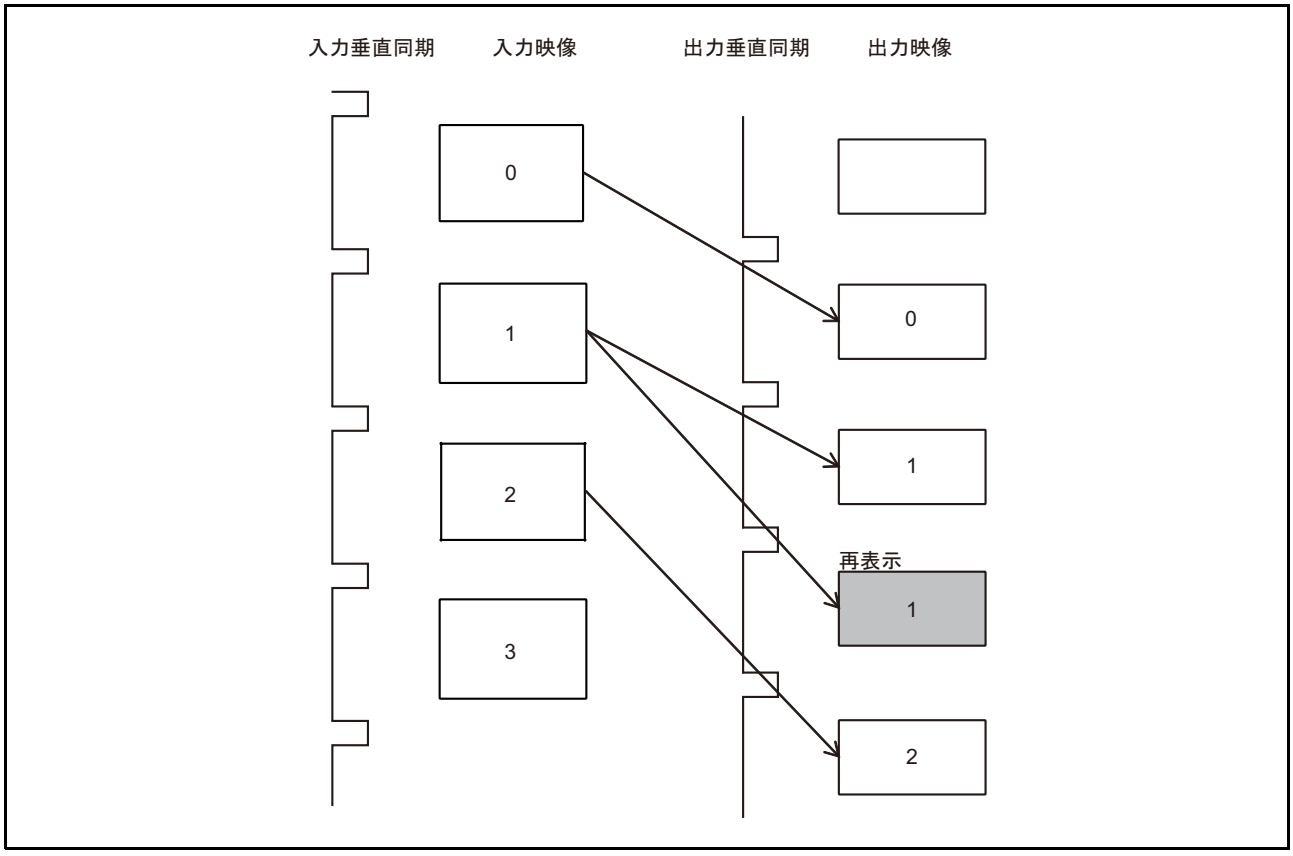


図 34.8　　入力垂直同期信号が出力垂直同期信号より遅いときのタイミング図

34.5.3 垂直同期信号切り替え時の注意事項

垂直同期信号選択を切り替えるとき、出力する垂直同期信号は不連続となるため、パネル表示が乱れる期間があります。そのため、必要に応じてミュート処理をした状態で、垂直同期信号を切り替えてください。ミュート処理はパネルの仕様に応じて処理してください。

35. ビデオディスプレイコントローラ 6（2） 入力制御部

35.1 入力制御機能

35.1.1 機能概要

入力制御部は、外部入力端子からの入力制御、同期調整、水平ノイズリダクション、およびカラーマトリクスによるブライト調整、ゲイン調整、YCbCr ⇔ GBR 変換を行います。

下図に入力制御部の機能ブロック図を示します。

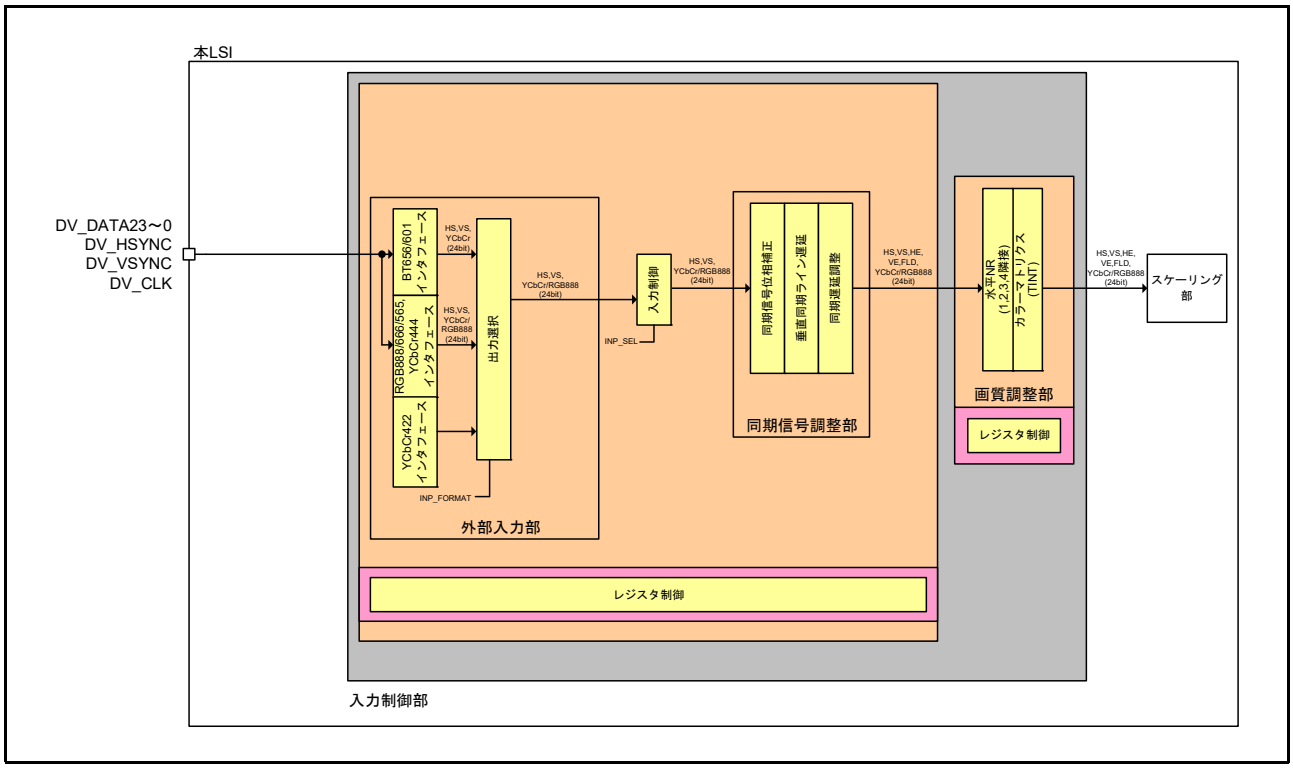


図 35.1　入力制御部の機能ブロック図

35.1.2　外部入力部、同期信号調整部のレジスタ更新制御

外部入力部、同期信号調整部の制御レジスタは、更新制御レジスタに 1 をセットすることにより更新されます。

画質調整部の IMGCNT_DRC_REG レジスタを除く制御レジスタは、垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表35.1　レジスタの更新制御

レジスタ名	ビット名	初期値	説　明
INP_UPDATE	INP_EXT_UPDATE	0	外部入力部のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
INP_UPDATE	INP_IMG_UPDATE	0	同期信号調整部のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
IMGCNT_UPDATE	IMGCNT_VEN	0	画質調整部のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

35.1.3　入力制御

外部入力端子からの入力オン／オフを制御します。

表35.2　入力制御

レジスタ名	ビット名	初期値	説　明
INP_SEL_CNT	INP_SEL	0	外部入力端子からの入力オン／オフ制御 0：外部入力端子からの入力オフ 1：外部入力端子からの入力オン

35.1.4　外部入力の映像信号制御

外部入力の映像信号は、YCbCr444、RGB888、RGB666、RGB565、BT656（規格拡張）、BT601（規格拡張）、YCbCr422（BT601 の 16 ビットデータ）のフォーマットに対応します。

BT656 信号は、インタレース信号の 525Line/59.94Hz（27.0MHz）、625Line/50.00Hz（27.0MHz）、規格を拡張した 525Line/59.94Hz（54.0MHz）、625Line/50.00Hz（54.0MHz）のプログレッシブ信号に対応します。

BT601 信号は、データラインが 8 ビットの 525Line/59.94Hz（27.0MHz）、625Line/50.00Hz（27.0MHz）のインタレース信号、規格を拡張した 525Line/59.94Hz（54.0MHz）、625Line/50.00Hz（54.0MHz）のプログレッシブ信号に対応します。

YCbCr422 信号は、データラインが 16 ビットの 525Line/59.94Hz（13.5MHz）、625Line/50.00Hz（13.5MHz）の BT601 フォーマットのインタレース信号に対応します。

上記の信号選択は INP_FORMAT[2:0] で行います。また、INP_ENDIAN_ON、INP_SWAP_ON でビットエンディアン、B/R 信号入れ替えを制御します。

表35.3　外部入力の映像信号制御

レジスタ名	ビット名	初期値	説　明
INP_SEL_CNT	INP_FORMAT[2:0]	000	外部入力のフォーマット選択 0：YCbCr444、RGB888 1：RGB666 2：RGB565 3：BT656 4：BT601 5：YCbCr422 6～7：設定禁止
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	0	外部入力のビットエンディアン変更オン／オフ制御 0：オフ 1：オン
INP_EXT_SYNC_CNT	INP_SWAP_ON	0	外部入力のB/R信号入れ替えオン／オフ制御 0：オフ 1：オン

35.1.5 外部入力のクロックのエッジ選択

INP_PXD_EDGE、INP_VS_EDGE、INP_HS_EDGE で映像信号、垂直同期信号、水平同期信号の受付クロックのエッジを個別に選択します。

表35.4　外部入力のクロックのエッジ選択

レジスタ名	ビット名	初期値	説　明
INP_SEL_CNT	INP_PXD_EDGE	0	外部入力の映像信号DV_DATA23～0の入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ
INP_SEL_CNT	INP_VS_EDGE	0	外部入力の垂直同期信号DV_VSYNCの入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ
INP_SEL_CNT	INP_HS_EDGE	0	外部入力の水平同期信号DV_HSYNCの入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ

外部入力の標準入力タイミングは図 35.2 に示すとおりです。

INP_PXD_EDGE = 0, INP_VS_EDGE = 0, INP_HS_EDGE = 0 では、クロック信号 DV_CLK の立ち上がりで各入力信号を受け付けることができます。

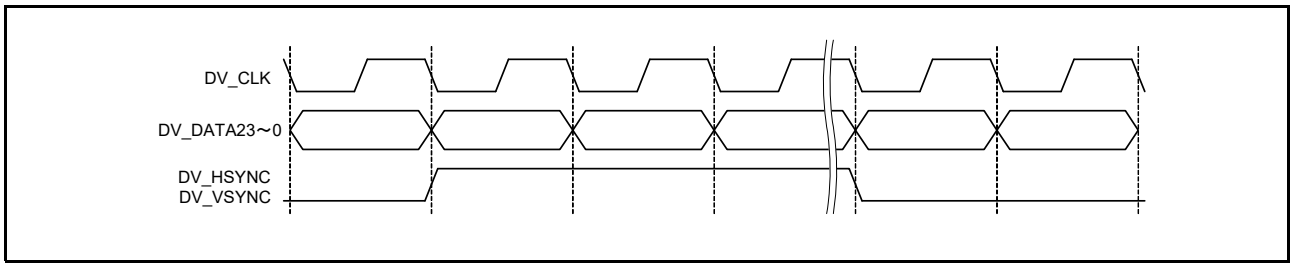


図 35.2　外部入力の標準入力タイミング（クロック位相）

35.1.6 外部入力の同期信号の反転制御

INP_VS_INV、INP_HS_INV で垂直同期信号、水平同期信号の極性反転を制御します。

表35.5　同期信号の反転制御

レジスタ名	ビット名	初期値	説　明
INP_EXT_SYNC_CNT	INP_VS_INV	0	外部入力の垂直同期信号DV_VSYNCの反転制御 0：非反転（正極性） 1：反転（負極性）
INP_EXT_SYNC_CNT	INP_HS_INV	0	外部入力の水平同期信号DV_HSYNCの反転制御 0：非反転（正極性） 1：反転（負極性）

35.1.7 外部入力の映像信号のビット割り付け

各フォーマット時の外部入力の映像信号 DV_DATA 端子の信号割当を以下に示します。

(1) YCbCr444/RGB888 入力

YCbCr444/RGB888 入力時、外部入力の映像信号 DV_DATA 端子は**表 35.6** に示すとおり、内部信号 Y/GOUT、Cb/BOUT、Cr/ROUT に割り付けられます。

表35.6　YCbCr444/RGB888入力時のDV_DATA端子入力のビット割り付け

INP_FORMAT[2:0]	0	0	0	0
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA23	Cr/ROUT[7]	Cb/BOUT[7]	Cr/ROUT[0]	Cb/BOUT[0]
DV_DATA22	Cr/ROUT[6]	Cb/BOUT[6]	Cr/ROUT[1]	Cb/BOUT[1]
DV_DATA21	Cr/ROUT[5]	Cb/BOUT[5]	Cr/ROUT[2]	Cb/BOUT[2]
DV_DATA20	Cr/ROUT[4]	Cb/BOUT[4]	Cr/ROUT[3]	Cb/BOUT[3]
DV_DATA19	Cr/ROUT[3]	Cb/BOUT[3]	Cr/ROUT[4]	Cb/BOUT[4]
DV_DATA18	Cr/ROUT[2]	Cb/BOUT[2]	Cr/ROUT[5]	Cb/BOUT[5]
DV_DATA17	Cr/ROUT[1]	Cb/BOUT[1]	Cr/ROUT[6]	Cb/BOUT[6]
DV_DATA16	Cr/ROUT[0]	Cb/BOUT[0]	Cr/ROUT[7]	Cb/BOUT[7]
DV_DATA15	Y/GOUT[7]	Y/GOUT[7]	Y/GOUT[0]	Y/GOUT[0]
DV_DATA14	Y/GOUT[6]	Y/GOUT[6]	Y/GOUT[1]	Y/GOUT[1]
DV_DATA13	Y/GOUT[5]	Y/GOUT[5]	Y/GOUT[2]	Y/GOUT[2]
DV_DATA12	Y/GOUT[4]	Y/GOUT[4]	Y/GOUT[3]	Y/GOUT[3]
DV_DATA11	Y/GOUT[3]	Y/GOUT[3]	Y/GOUT[4]	Y/GOUT[4]
DV_DATA10	Y/GOUT[2]	Y/GOUT[2]	Y/GOUT[5]	Y/GOUT[5]
DV_DATA9	Y/GOUT[1]	Y/GOUT[1]	Y/GOUT[6]	Y/GOUT[6]
DV_DATA8	Y/GOUT[0]	Y/GOUT[0]	Y/GOUT[7]	Y/GOUT[7]
DV_DATA7	Cb/BOUT[7]	Cr/ROUT[7]	Cb/BOUT[0]	Cr/ROUT[0]
DV_DATA6	Cb/BOUT[6]	Cr/ROUT[6]	Cb/BOUT[1]	Cr/ROUT[1]
DV_DATA5	Cb/BOUT[5]	Cr/ROUT[5]	Cb/BOUT[2]	Cr/ROUT[2]
DV_DATA4	Cb/BOUT[4]	Cr/ROUT[4]	Cb/BOUT[3]	Cr/ROUT[3]
DV_DATA3	Cb/BOUT[3]	Cr/ROUT[3]	Cb/BOUT[4]	Cr/ROUT[4]
DV_DATA2	Cb/BOUT[2]	Cr/ROUT[2]	Cb/BOUT[5]	Cr/ROUT[5]
DV_DATA1	Cb/BOUT[1]	Cr/ROUT[1]	Cb/BOUT[6]	Cr/ROUT[6]
DV_DATA0	Cb/BOUT[0]	Cr/ROUT[0]	Cb/BOUT[7]	Cr/ROUT[7]

(2) RGB666 入力

RGB666 入力時、外部入力の映像信号 DV_DATA 端子は**表 35.7** に示すとおり、内部信号 GOUT、BOUT、ROUT に割り付けられます。

割り付けられた GOUT、BOUT、ROUT 信号は以下の演算式で RGB666 インタフェースから計 24 ビットで映像出力されます。

G[7:0] = GOUT[7:2] × 255 ÷ 63
B[7:0] = BOUT[7:2] × 255 ÷ 63
R[7:0] = ROUT[7:2] × 255 ÷ 63

表35.7　RGB666入力時のDV_DATA端子入力のビット割り付け

INP_FORMAT[2:0]	1	1	1	1
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA17	ROUT[7]	BOUT[7]	ROUT[2]	BOUT[2]
DV_DATA16	ROUT[6]	BOUT[6]	ROUT[3]	BOUT[3]
DV_DATA15	ROUT[5]	BOUT[5]	ROUT[4]	BOUT[4]
DV_DATA14	ROUT[4]	BOUT[4]	ROUT[5]	BOUT[5]
DV_DATA13	ROUT[3]	BOUT[3]	ROUT[6]	BOUT[6]
DV_DATA12	ROUT[2]	BOUT[2]	ROUT[7]	BOUT[7]
DV_DATA11	GOUT[7]	GOUT[7]	GOUT[2]	GOUT[2]
DV_DATA10	GOUT[6]	GOUT[6]	GOUT[3]	GOUT[3]
DV_DATA9	GOUT[5]	GOUT[5]	GOUT[4]	GOUT[4]
DV_DATA8	GOUT[4]	GOUT[4]	GOUT[5]	GOUT[5]
DV_DATA7	GOUT[3]	GOUT[3]	GOUT[6]	GOUT[6]
DV_DATA6	GOUT[2]	GOUT[2]	GOUT[7]	GOUT[7]
DV_DATA5	BOUT[7]	ROUT[7]	BOUT[2]	ROUT[2]
DV_DATA4	BOUT[6]	ROUT[6]	BOUT[3]	ROUT[3]
DV_DATA3	BOUT[5]	ROUT[5]	BOUT[4]	ROUT[4]
DV_DATA2	BOUT[4]	ROUT[4]	BOUT[5]	ROUT[5]
DV_DATA1	BOUT[3]	ROUT[3]	BOUT[6]	ROUT[6]
DV_DATA0	BOUT[2]	ROUT[2]	BOUT[7]	ROUT[7]

(3) RGB565 入力

RGB565 入力時、外部入力の映像信号 DV_DATA 端子は表 35.8 に示すとおり、内部信号 GOUT、BOUT、ROUT に割り付けられます。

割り付けられた GOUT、BOUT、ROUT 信号は以下の演算式で RGB565 インタフェースから計 24 ビットで映像出力されます。

G[7:0] = GOUT[7:2] × 255 ÷ 63
B[7:0] = BOUT[7:3] × 255 ÷ 31
R[7:0] = ROUT[7:3] × 255 ÷ 31

表35.8　RGB565入力時のDV_DATA端子入力のビット割り付け

INP_FORMAT[2:0]	2	2	2	2
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA15	ROUT[7]	BOUT[7]	ROUT[3]	BOUT[3]
DV_DATA14	ROUT[6]	BOUT[6]	ROUT[4]	BOUT[4]
DV_DATA13	ROUT[5]	BOUT[5]	ROUT[5]	BOUT[5]
DV_DATA12	ROUT[4]	BOUT[4]	ROUT[6]	BOUT[6]
DV_DATA11	ROUT[3]	BOUT[3]	ROUT[7]	BOUT[7]
DV_DATA10	GOUT[7]	GOUT[7]	GOUT[2]	GOUT[2]
DV_DATA9	GOUT[6]	GOUT[6]	GOUT[3]	GOUT[3]
DV_DATA8	GOUT[5]	GOUT[5]	GOUT[4]	GOUT[4]
DV_DATA7	GOUT[4]	GOUT[4]	GOUT[5]	GOUT[5]
DV_DATA6	GOUT[3]	GOUT[3]	GOUT[6]	GOUT[6]
DV_DATA5	GOUT[2]	GOUT[2]	GOUT[7]	GOUT[7]
DV_DATA4	BOUT[7]	ROUT[7]	BOUT[3]	ROUT[3]
DV_DATA3	BOUT[6]	ROUT[6]	BOUT[4]	ROUT[4]
DV_DATA2	BOUT[5]	ROUT[5]	BOUT[5]	ROUT[5]
DV_DATA1	BOUT[4]	ROUT[4]	BOUT[6]	ROUT[6]
DV_DATA0	BOUT[3]	ROUT[3]	BOUT[7]	ROUT[7]

(4) BT656 ／ BT601 入力

BT656 ／ BT601 入力時､外部入力の映像信号 DV_DATA 端子は**表 35.9** に示すとおり､内部信号 BTOUT に割り付けられます。

割り付けられた BTOUT 信号から YCbCr 信号を生成します。

YCbCr 信号の生成は後述「**35.1.12 BT656 ／ BT601 ／ YCbCr422 設定**」を参照してください。

表35.9　BT656／BT601入力時のDV_DATA端子入力のビット割り付け

INP_FORMAT[2:0]	3～4	3～4
INP_ENDIAN_ON	0	1
INP_SWAP_ON	0	0
DV_DATA7	BTOUT[7]	BTOUT[0]
DV_DATA6	BTOUT[6]	BTOUT[1]
DV_DATA5	BTOUT[5]	BTOUT[2]
DV_DATA4	BTOUT[4]	BTOUT[3]
DV_DATA3	BTOUT[3]	BTOUT[4]
DV_DATA2	BTOUT[2]	BTOUT[5]
DV_DATA1	BTOUT[1]	BTOUT[6]
DV_DATA0	BTOUT[0]	BTOUT[7]

(5) YCbCr422 入力

YCbCr422 入力時、外部入力の映像信号 DV_DATA 端子は**表 35.10** に示すとおり、内部信号 Y、Cb/Cr に割り付けられます。

表35.10　YCbCr422入力時のDV_DATA端子入力のビット割り付け

INP_FORMAT[2:0]	5	5	5	5
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA15	Y[7]	Cb/Cr[7]	Y[0]	Cb/Cr[0]
DV_DATA14	Y[6]	Cb/Cr[6]	Y[1]	Cb/Cr[1]
DV_DATA13	Y[5]	Cb/Cr[5]	Y[2]	Cb/Cr[2]
DV_DATA12	Y[4]	Cb/Cr[4]	Y[3]	Cb/Cr[3]
DV_DATA11	Y[3]	Cb/Cr[3]	Y[4]	Cb/Cr[4]
DV_DATA10	Y[2]	Cb/Cr[2]	Y[5]	Cb/Cr[5]
DV_DATA9	Y[1]	Cb/Cr[1]	Y[6]	Cb/Cr[6]
DV_DATA8	Y[0]	Cb/Cr[0]	Y[7]	Cb/Cr[7]
DV_DATA7	Cb/Cr[7]	Y[7]	Cb/Cr[0]	Y[0]
DV_DATA6	Cb/Cr[6]	Y[6]	Cb/Cr[1]	Y[1]
DV_DATA5	Cb/Cr[5]	Y[5]	Cb/Cr[2]	Y[2]
DV_DATA4	Cb/Cr[4]	Y[4]	Cb/Cr[3]	Y[3]
DV_DATA3	Cb/Cr[3]	Y[3]	Cb/Cr[4]	Y[4]
DV_DATA2	Cb/Cr[2]	Y[2]	Cb/Cr[5]	Y[5]
DV_DATA1	Cb/Cr[1]	Y[1]	Cb/Cr[6]	Y[6]
DV_DATA0	Cb/Cr[0]	Y[0]	Cb/Cr[7]	Y[7]

35.1.8 BT601 の標準信号タイミング

BT601 フォーマットの水平タイミングを図 35.3、図 35.4 に、垂直タイミングを図 35.5、図 35.6 に示します。

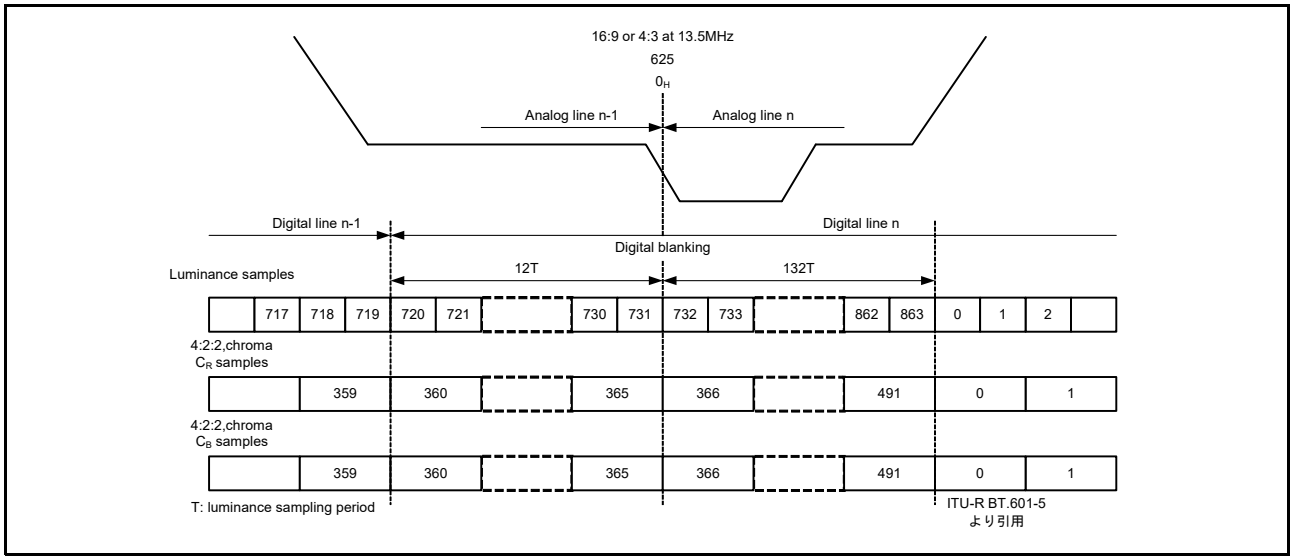


図 35.3　BT601 水平タイミング（625 ライン／ 50.00Hz）

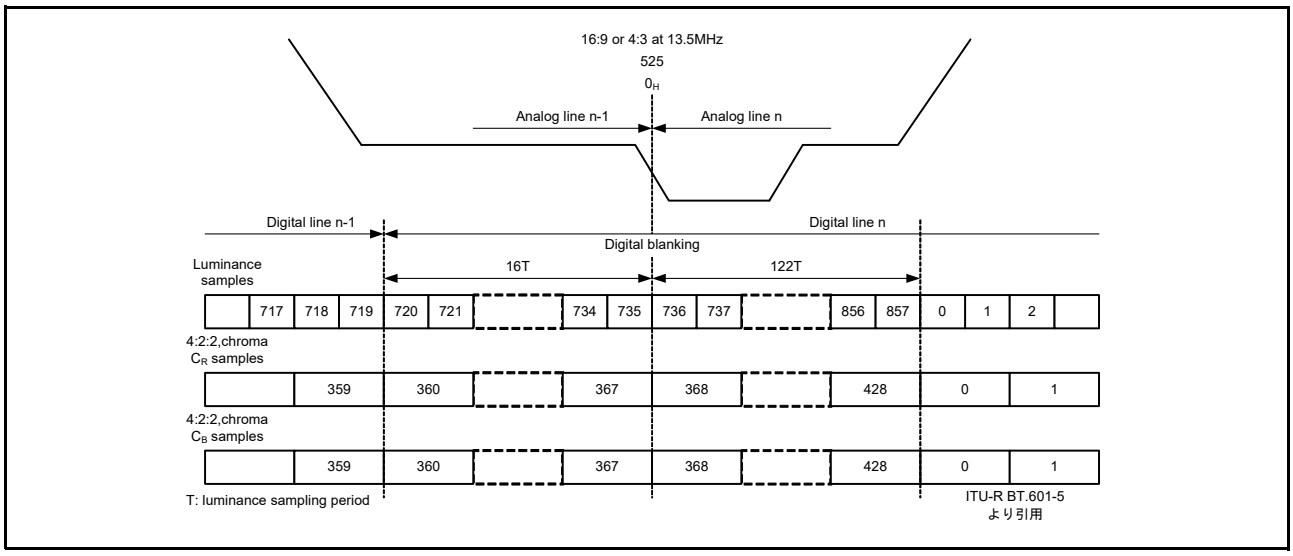


図 35.4　BT601 水平タイミング（525 ライン／ 59.94Hz）

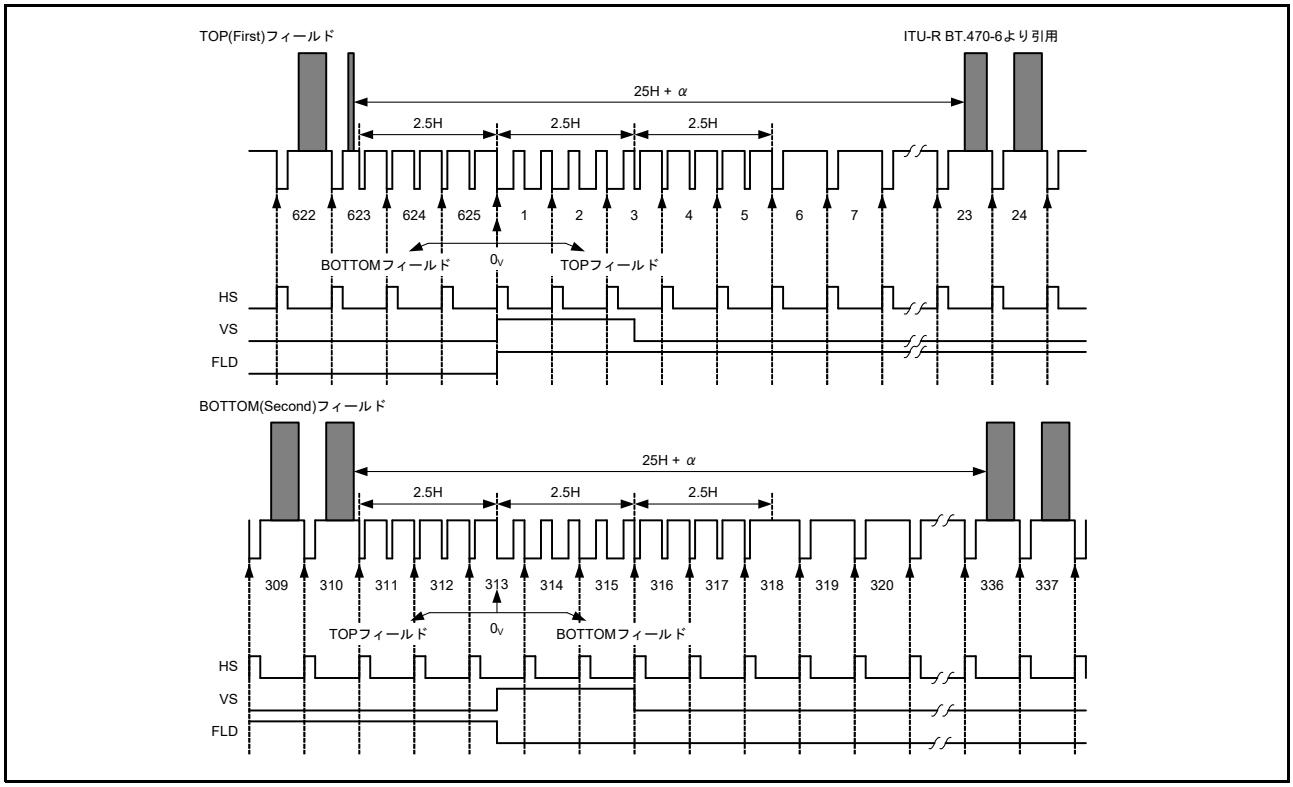


図 35.5　　BT601 垂直タイミング（625 ライン／ 50.00Hz）

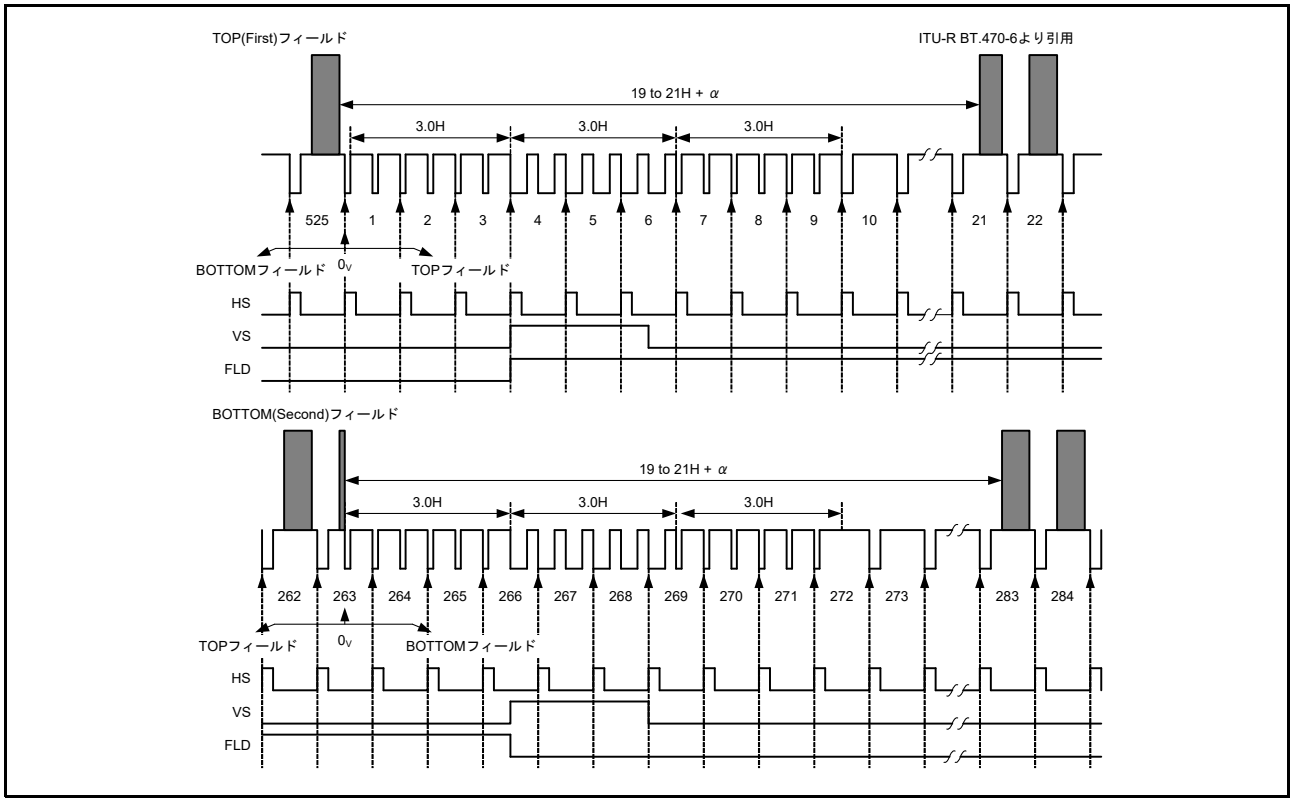


図 35.6　　BT601 垂直タイミング（525 ライン／ 59.94Hz）

35.1.9 BT656 の標準信号タイミング

BT656 フォーマットの水平タイミングを図 35.7、図 35.8 に示します。

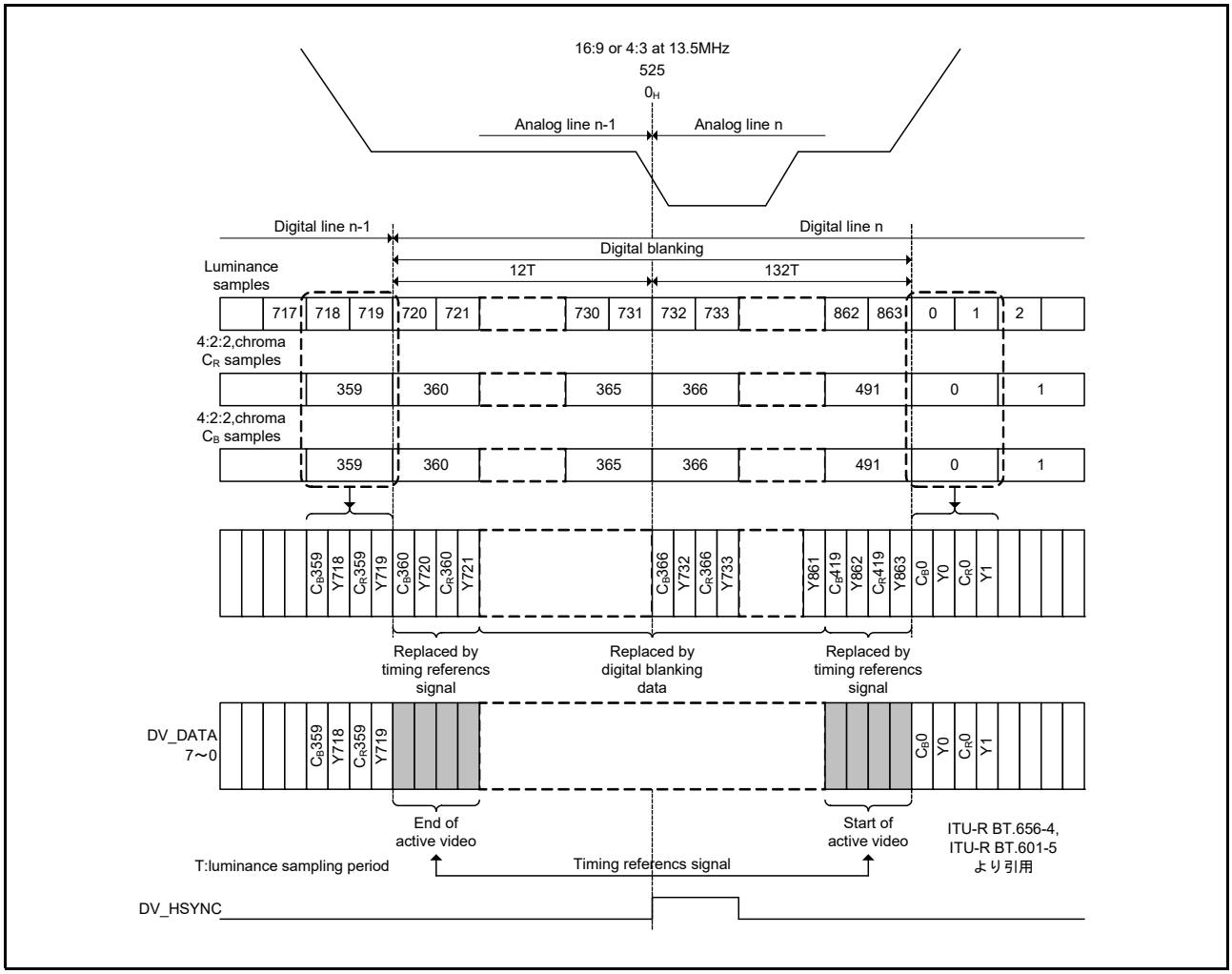


図 35.7　BT656 水平タイミング（625 ライン／ 50.00Hz）

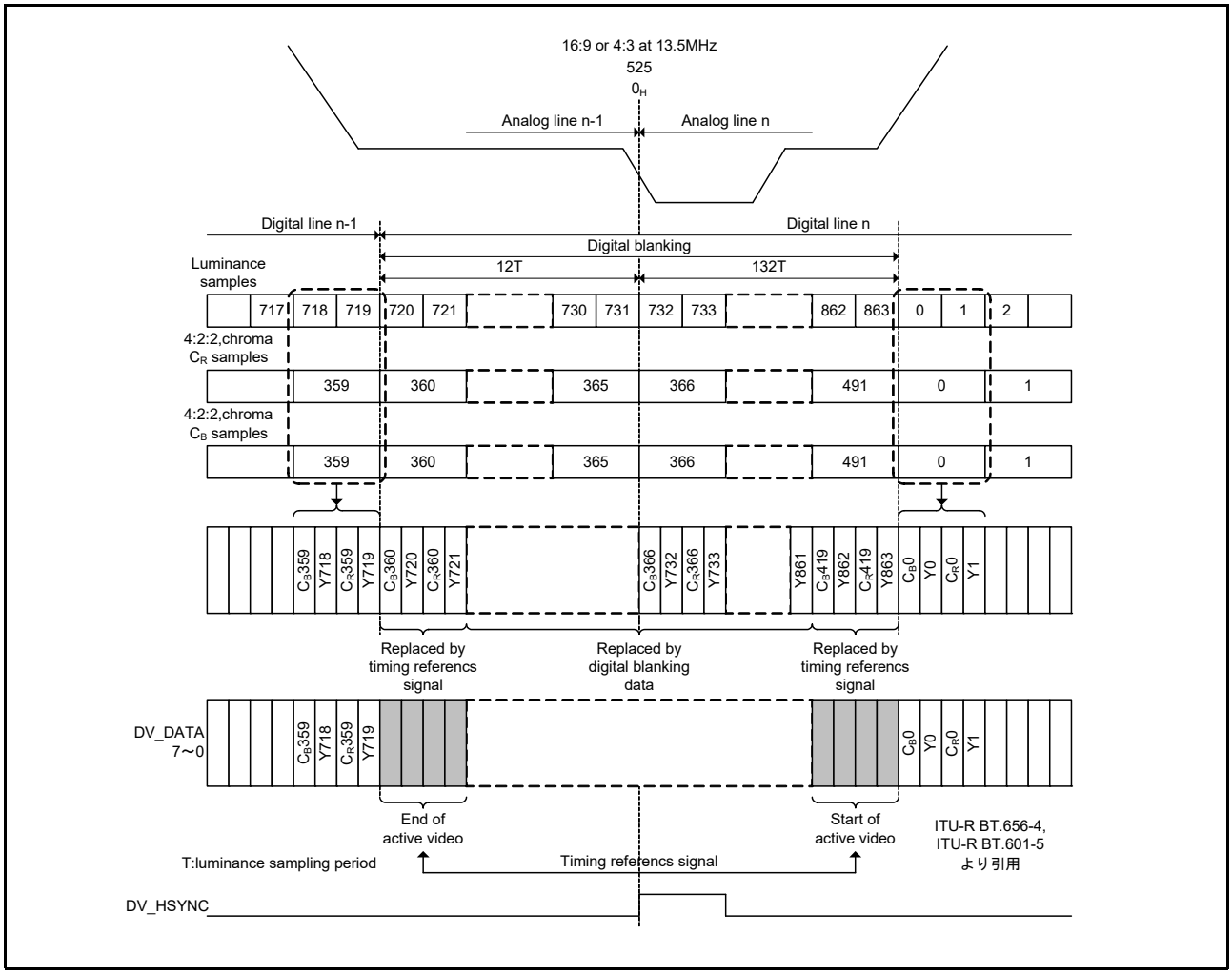


図 35.8　　BT656 水平タイミング（525 ライン／ 59.94Hz）

35.1.10 BT656 の SAV、EAV コード

BT656 フォーマットの SAV、EAV コードの挿入タイミングを表 35.11 に示します。ビット情報を表 35.12、表 35.13 に示します。本製品では、表 35.13 に示すパリティビット P3、P2、P1、P0 は参照しません。

表35.11　SAV、EAVコードの挿入タイミング（ライン）

		625	525
V-digital field blanking			
Field 1	Start (V = 1)	Line 624	Line 1
	Finish (V = 0)	Line 23	Line 20
Field 2	Start (V = 1)	Line 311	Line 264
	Finish (V = 0)	Line 336	Line 283
V-digital field blanking			
Field 1	F = 0	Line 1	Line 4
Field 2	F = 1	Line 313	Line 266

表35.12　SAV、EAVコードのビット情報（1）

Data bit number	1st word (FF)	2nd word (00)	3rd word (00)	4th word (XY)
7（MSB）	1	0	0	1
6	1	0	0	F
5	1	0	0	V
4	1	0	0	H
3	1	0	0	P3
2	1	0	0	P2
1	1	0	0	P1
0	1	0	0	P0

F = 0 during field 1
F = 1 during field 2
V = 0 elsewhere
V = 1 during field blanking
H = 0 is SAV
H = 1 is EAV

表35.13　SAV、EAVコードのビット情報（2）

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

SAV、EAV コード表を図 35.9、図 35.10 に示します。

		1H 期間																
		EAV				H blank	SAV				有効エリア							
		1	2	3	4		285	286	287	288	289	290	291	292	…	1725	1726	1727	1728
Field1 (top)	1	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data								
	:	FF	00	00	B6		FF	00	00	AB									
	22	FF	00	00	B6		FF	00	00	AB									
	23	FF	00	00	9D		FF	00	00	80	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	9D		FF	00	00	80	:	有効画素データ領域							:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	310	FF	00	00	9D		FF	00	00	80	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	311	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data								
	312	FF	00	00	B6		FF	00	00	AB									
Field2 (bottom)	313	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data								
	:	FF	00	00	F1		FF	00	00	EC									
	335	FF	00	00	F1		FF	00	00	EC									
	336	FF	00	00	DA		FF	00	00	C7	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	DA		FF	00	00	C7	:	有効画素データ領域							:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	623	FF	00	00	DA		FF	00	00	C7	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	624	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data								
	625	FF	00	00	F1		FF	00	00	EC									

図 35.9　BT656 の SAV、EAV コード（625 ライン／ 50.00Hz）

		1H 期間																
		EAV				H blank	SAV				有効エリア							
		1	2	3	4		273	274	275	276	277	278	279	280	…	1713	1714	1715	1716
Field2	1	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data								
	2	FF	00	00	F1		FF	00	00	EC									
	3	FF	00	00	F1		FF	00	00	EC									
Field1 (top)	4	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data								
	:	FF	00	00	B6		FF	00	00	AB									
	19	FF	00	00	B6		FF	00	00	AB									
	20	FF	00	00	9D		FF	00	00	80	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	9D		FF	00	00	80	:	有効画素データ領域							:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	263	FF	00	00	9D		FF	00	00	80	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	264	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data								
	265	FF	00	00	B6		FF	00	00	AB									
Field2 (bottom)	266	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data								
	:	FF	00	00	F1		FF	00	00	EC									
	282	FF	00	00	F1		FF	00	00	EC									
	283	FF	00	00	DA		FF	00	00	C7	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	DA		FF	00	00	C7	:	有効画素データ領域							:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	525	FF	00	00	DA		FF	00	00	C7	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719

図 35.10　BT656 の SAV、EAV コード（525 ライン／ 59.94Hz）

35.1.11 BT656 プログレッシブ

本製品は、BT656 フォーマットでプログレッシブ出力するデバイスと接続することが可能です。

ただし、BT656 フォーマットには、プログレッシブに関する記載はありませんので、プログレッシブ出力するすべてのデバイスとの接続を保証することはできません。そのため、本モジュールの BT656 入力インタフェースで、SAV,EAV デコード方式および SAV,EAV コードから垂直／水平同期信号を生成する方式を下記に示しますので、本情報を元に接続確認を行ってください。

(1) SAV、EAV コード

SAV、EAV コードは、4 つのワードで構成されています。First word：FF、Second word：00、Third word：00 のとき、Fourth word：XY の値をデコードし、各種タイミング信号を生成します。

ビット情報については、「35.1.10 BT656 の SAV、EAV コード」の表 35.12 を参照してください。また、本製品では、パリティビット P3、P2、P1、P0 は参照しません。

(2) 垂直／水平同期信号

SAV,EAV コードを元に、垂直／水平同期信号を生成します。

(a) 垂直同期信号

垂直同期信号は、BT656 フォーマットの V ビットが ”0” → ”1” に変化したとき出力します。出力するタイミングは INP_EXT_SYNC_CNT.INP_F525_625 の設定および BT656 フォーマットの F ビットの値により異なります。

表 35.14 にタイミング一覧を示します。

表35.14　垂直同期信号タイミングディレイ

INP_EXT_SYNC_CNT. INP_F525_625	BT656フォーマットのFビット	出力タイミング	備考
0：525ライン	0 (Field 1)	Vビット = ”1” 検出した2.5ライン後	525ライン Field2の垂直同期信号
	1 (Field 2)	Vビット = ”1” 検出した3ライン後	525ライン Field1の垂直同期信号
1：625ライン	0 (Field 1)	Vビット = ”1” 検出した2.5ライン後	625ライン Field2の垂直同期信号
	1 (Field 2)	Vビット = ”1” 検出した2ライン後	625ライン Field1の垂直同期信号

(b) 水平同期信号

INP_EXT_SYNC_CNT.INP_H_EDGE_SEL ビットの設定に基づいて、水平同期信号を出力します。

(c) BT656 フォーマット 525 ラインインタレース入力時のタイミング例

図 35.11、図 35.12 に、BT656 フォーマット 525 ラインインタレース入力時の垂直／水平同期信号のタイミング図を示します。

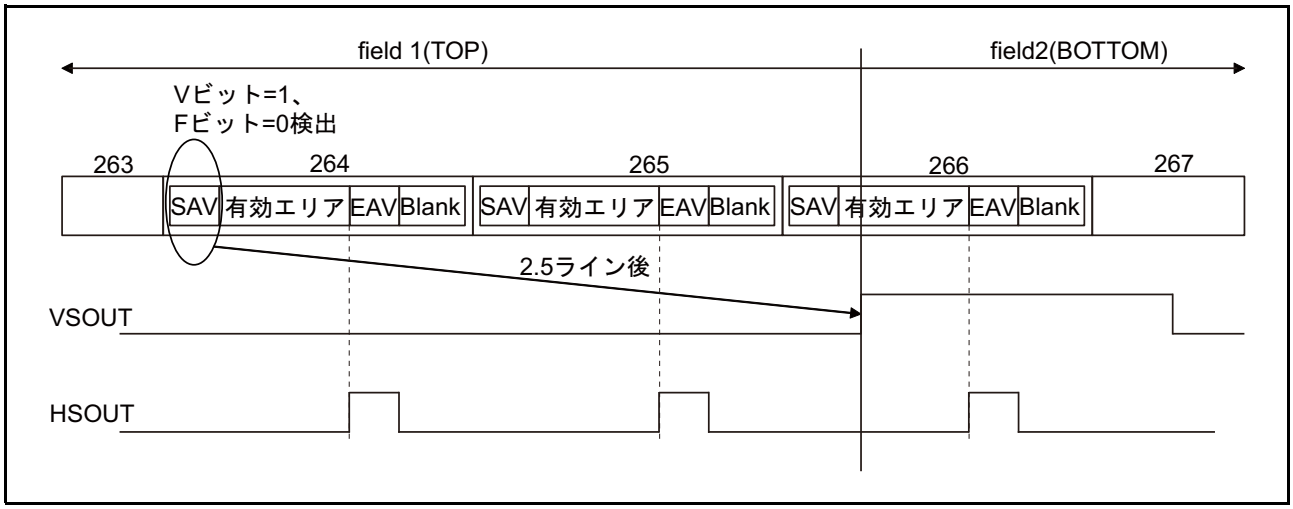


図 35.11　BT656 フォーマット 525 ラインインタレース垂直／水平同期信号タイミング
（TOP → BOTTOM）

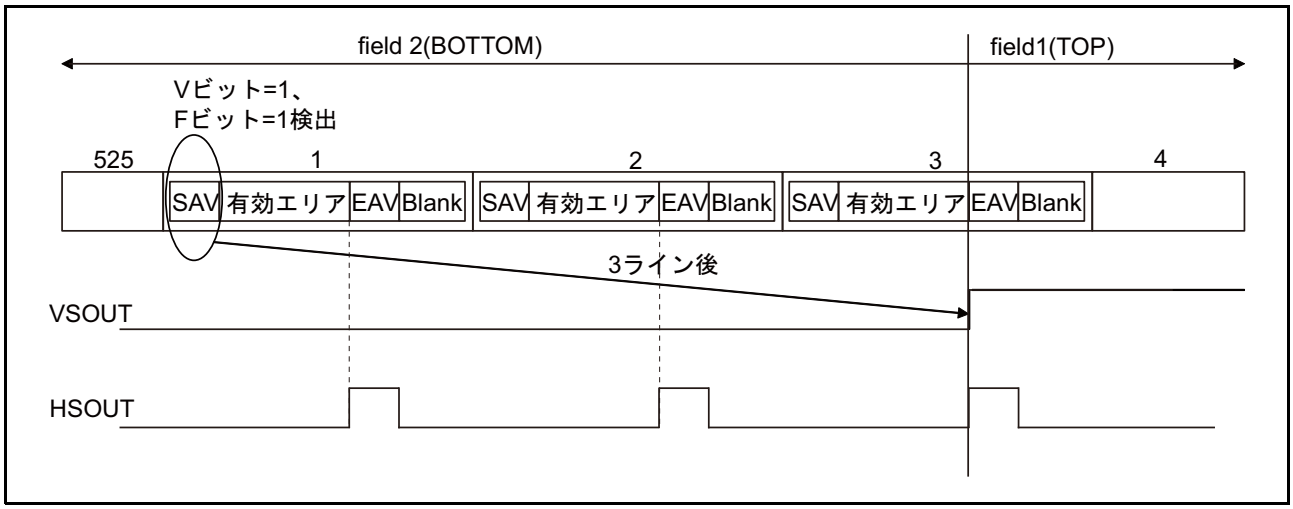


図 35.12　BT656 フォーマット 525 ラインインタレース垂直／水平同期信号タイミング
（BOTTOM → TOP）

(3) BT656 フォーマット プログレッシブ例

BT656 フォーマット　525 ラインプログレッシブ時の SAV、EAV コード例を図 35.13、垂直／水平同期信号のタイミングを図 35.14 に示します。本例では、BT656 フォーマットの V ビットが "0" → "1" に変化したとき、F ビットが 0 のため Field 1 を検出しますが、垂直同期信号は 2.5 ライン後に出力されますので、BOTTOM フィールドとして判定されることに注意してください。

		1H 期間																	
		EAV				H blank	SAV				有効エリア								
		1	2	3	4		273	274	275	276	277	278	279	280	…	1713	1714	1715	1716
Field1	1	FF	00	00	BX		FF	00	00	AX	Digital Blanking Data								
	:	FF	00	00	BX		FF	00	00	AX									
	19	FF	00	00	BX		FF	00	00	AX									
	20	FF	00	00	9X		FF	00	00	8X	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	9X		FF	00	00	8X	:	有効画素データ領域							:
	:	FF	00	00	9X		FF	00	00	8X	:								:
	:	FF	00	00	9X		FF	00	00	8X	:								:
	:	FF	00	00	9X		FF	00	00	8X	:								:
	:	FF	00	00	9X		FF	00	00	8X	:								:
	504	FF	00	00	9X		FF	00	00	8X	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	505	FF	00	00	BX		FF	00	00	AX	Digital Blanking Data								
	:	FF	00	00	BX		FF	00	00	AX									
	525	FF	00	00	BX		FF	00	00	AX									

X：参照しない

図 35.13　BT656 プログレッシブの SAV、EAV コード例（525 ライン／ 59.94Hz）

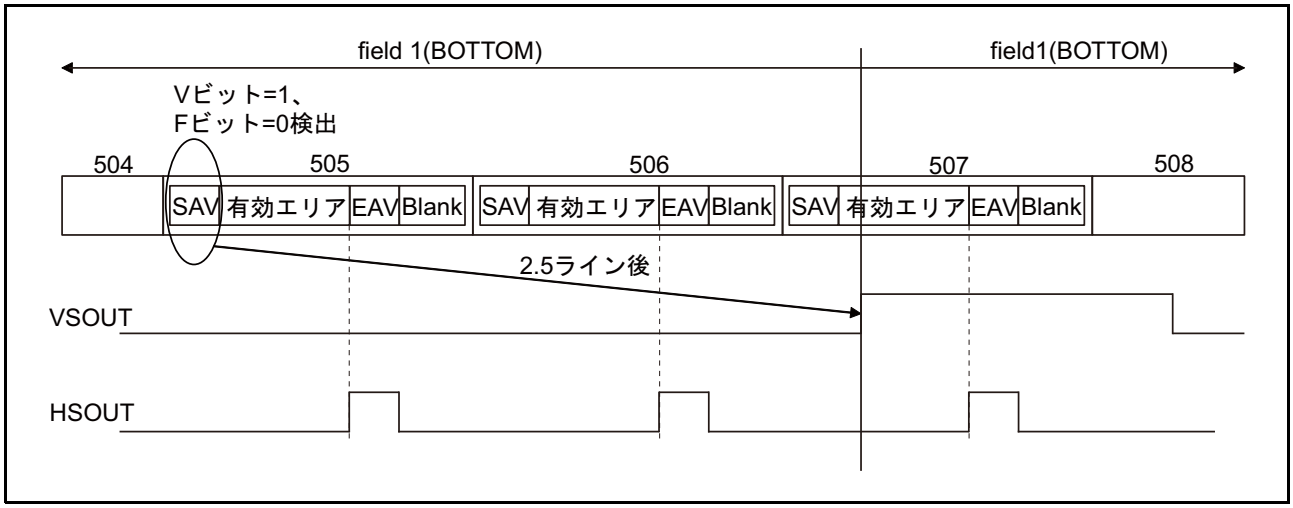


図 35.14　BT656 フォーマット 525 ラインプログレッシブ垂直／水平同期信号タイミング

35.1.12　BT656 ／ BT601 ／ YCbCr422 設定

BT656 フォーマットは、525 ラインの 59.94Hz、625 ラインの 50.00Hz のインタレース信号／プログレッシブ信号（規格拡張）のフォーマットに対応します。

BT601 フォーマットは、525 ラインの 59.94Hz、625 ラインの 50.00Hz のインタレース信号／プログレッシブ信号（規格拡張）のフォーマットに対応します。YCbCr422 フォーマットは、525 ラインの 59.94Hz、625 ラインの 50.00Hz のインタレース信号の BT601 データバス 16 ビットフォーマットです。

BT656 フォーマットは 525 ラインと 625 ラインで垂直同期信号のタイミングが異なります。

INP_F525_625 で動作モードを設定します。

表35.15　BT656動作モード設定

レジスタ名	ビット名	初期値	説　　明
INP_EXT_SYNC_CNT	INP_F525_625	0	外部入力系統のBT656入力時のライン数設定 0：525ライン 1：625ライン

BT656/BT601/YCbCr422 フォーマットのインタレース信号入力時、垂直同期信号と水平同期信号の 1/2fH 位相タイミングを INP_FH50[11:0] で設定します。

INP_FH50[11:0] は垂直同期位相調整部でも使用するため、レジスタ説明に関しては**表 35.20** を参照してください。

BT656 フォーマット入力時、水平同期信号の基準を INP_H_EDGE_SEL で設定します。

表35.16　BT656水平同期信号の基準選択

レジスタ名	ビット名	初期値	説　　明
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	0	外部入力系統のBT656水平同期信号の基準選択 0：EAV基準 1：SAV基準

BT656/BT601 フォーマット入力時、DV_DATA 端子より入力して割り付けられた内部信号 BTOUT[7:0] は 24 ビットの YCbCr 信号に展開されます。

INP_H_POS[1:0] にて水平同期信号基準に対する展開タイミングを設定します。

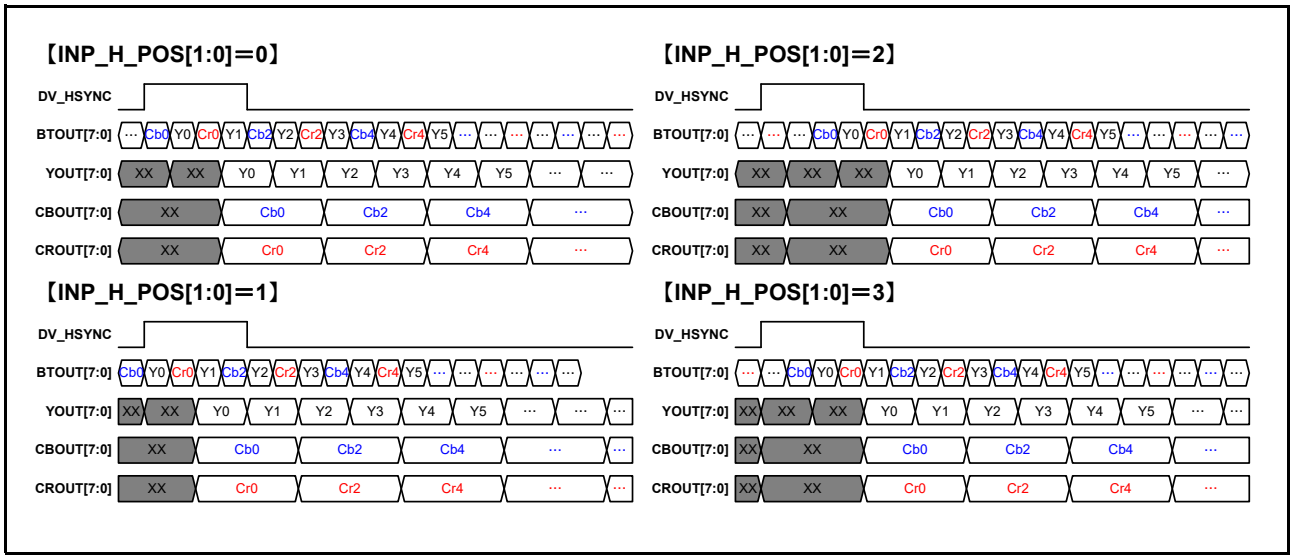


図 35.15　BT656/BT601 入力時の YCbCr データ展開

表35.17　BT656/BT601入力時のデータ列の開始タイミング選択

レジスタ名	ビット名	初期値	説　　明
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	0	水平同期基準に対するY/Cb/Y/Crのデータ列の開始タイミング設定 0：Cb/Y/Cr/Y 1：Y/Cr/Y/Cb 2：Cr/Y/Cb/Y 3：Y/Cb/Y/Cr

YCbCr422フォーマット入力時、DV_DATA端子より入力して割り付けられた内部信号Y[7:0],CbCr[7:0]のうち、CbCr[7:0]は16ビットのCbCr信号に展開されます。

INP_H_POS[1:0]にて水平同期信号基準に対する展開タイミングを設定します。

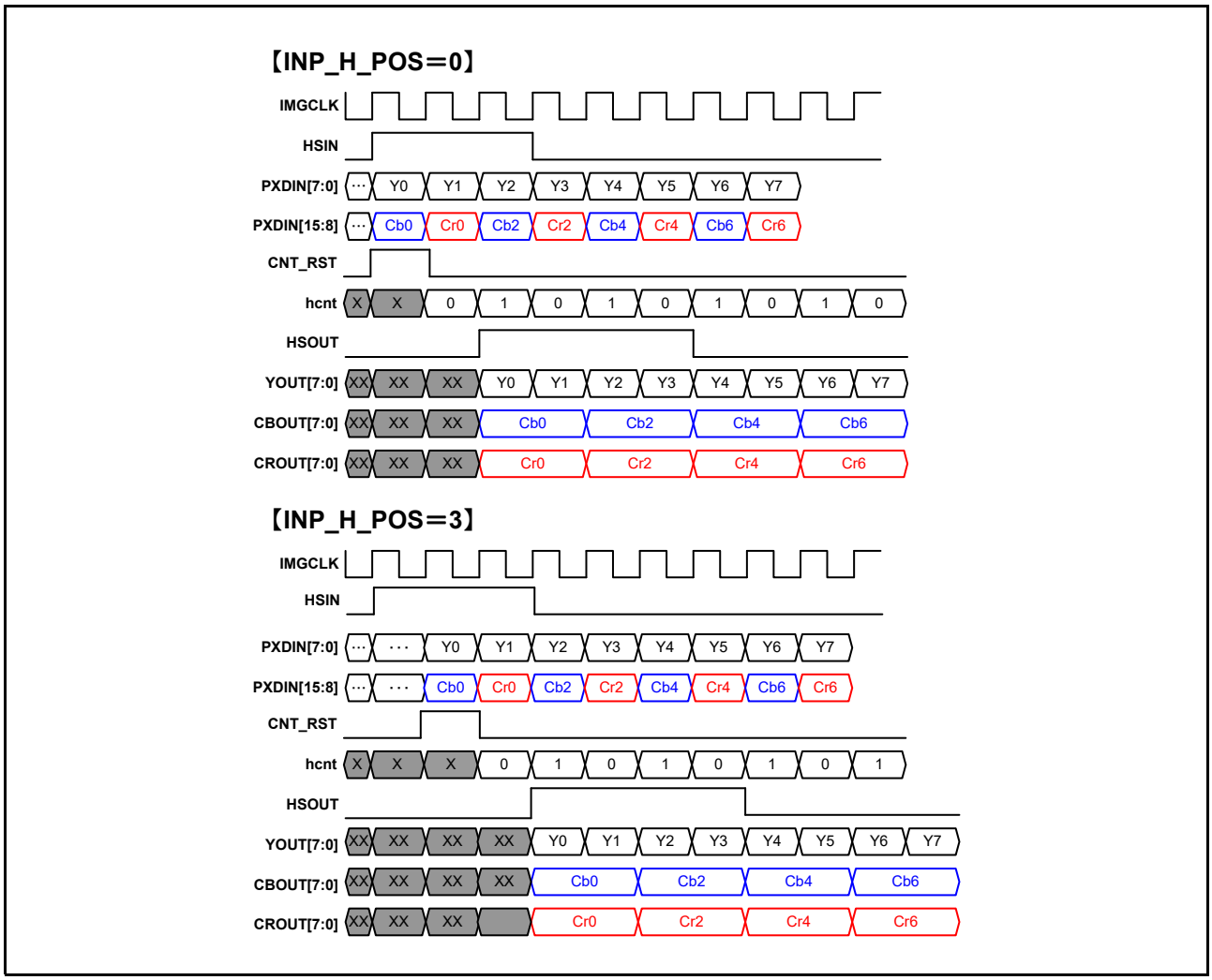


図35.16　YCbCr422入力時のYCbCrデータ展開

表35.18　YCbCr422入力時のデータ列の開始タイミング選択

レジスタ名	ビット名	初期値	説　　明
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	0	水平同期基準に対するCb/Crのデータ列の開始タイミング設定 0：Cb/Cr 3：Cr/Cb 1、2：設定禁止

35.1.13 YCbCr444/RGB888/666/565 の外部入力タイミング

YCbCr444/RGB888/666/565 フォーマットは、プログレッシブの YCbCr/RGB 信号に対応します。

同期信号の幅（H_SYNC、V_SYNC）、極性（H_POL、V_POL）、有効期間の開始位置（H_BP、V_BP）、終了位置（H_FP、V_FP）、映像の幅（H_ACTIVE、V_ACTIVE）の対応は**表 35.19** のとおりです。

表35.19　YCbCr/RGB信号の受付タイミング

項目	説　　明
外部入力クロック	外部入力クロックの周波数の最大値：87.00[MHz]
垂直同期信号幅（V_SYNC）	垂直同期信号幅の最小値：1[CLK]
垂直同期信号極性（V_POL）	正極性、負極性をレジスタにて選択
垂直有効期間の開始位置（V_BP）	垂直同期基準から映像開始まで5[ライン]以上
垂直有効期間の映像幅（V_ACTIVE）	垂直有効期間の最大値：1080[ライン]
垂直有効期間の終了位置（V_FP）	映像終了から垂直同期基準まで4[ライン]以上(注1)
水平同期信号幅（H_SYNC）	水平同期信号幅の最小値：1[CLK]
水平同期信号極性（H_POL）	正極性、負極性をレジスタにて選択
水平有効期間の開始位置（H_BP）	水平同期基準から映像開始まで16[CLK]以上
水平有効期間の映像幅（H_ACTIVE）	水平有効期間の最大値：1920[画素]
水平有効期間の終了位置（H_FP）	映像終了から水平同期基準まで16[CLK]以上(注2)
垂直トータルライン数（V_BP + V_ACTIVE + V_FP）	垂直同期信号間の幅：2047[ライン]以下
水平トータル画素数（H_BP + H_ACTIVE + H_FP）	水平同期信号間の幅：4095[CLK]以下

注1.　4[ライン]未満の場合は、INP_DLY_ADJ.INP_VS_DLY_L[2:0]で、V_FPが4[ライン]以上となるように調整してください。
注2.　16[CLK]未満の場合は、INP_DLY_ADJ.INP_VS_DLY[7:0]、INP_HS_DLY[7:0]、INP_FLD_DLY[7:0]で、H_FPが16[CLK]以上となるように調整してください。

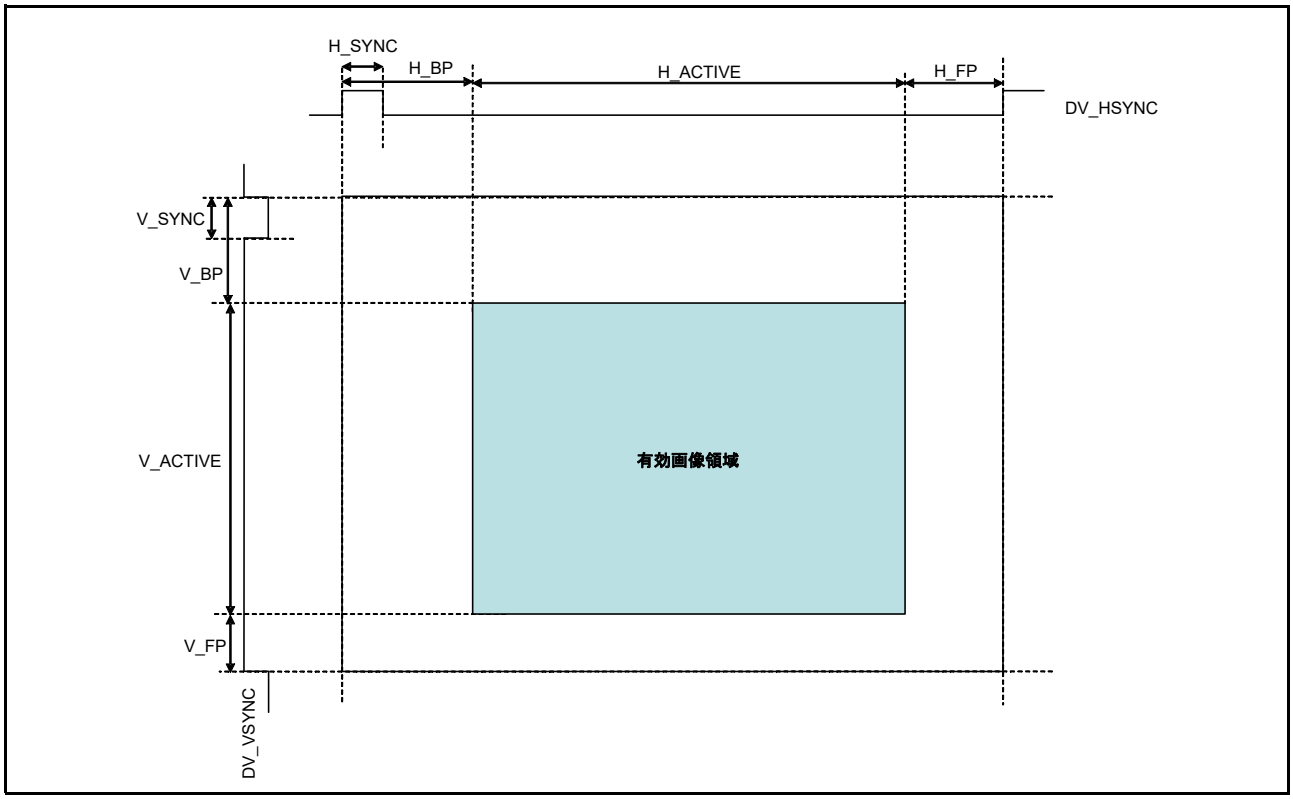


図 35.17　YCbCr/RGB 信号の受付タイミング図

35.1.14　フィールド判別と垂直同期位相調整

入力信号の垂直同期信号と水平同期信号の位相を検出してインタレース信号のフィールド判別を行います。水平同期信号に対して ±0.5 水平期間に垂直同期信号の基準が検出された場合は、インタレースの TOP フィールド、±0.5 水平期間外に垂直同期信号の基準が検出された場合は、インタレースの BOTTOM フィールドと判定します。

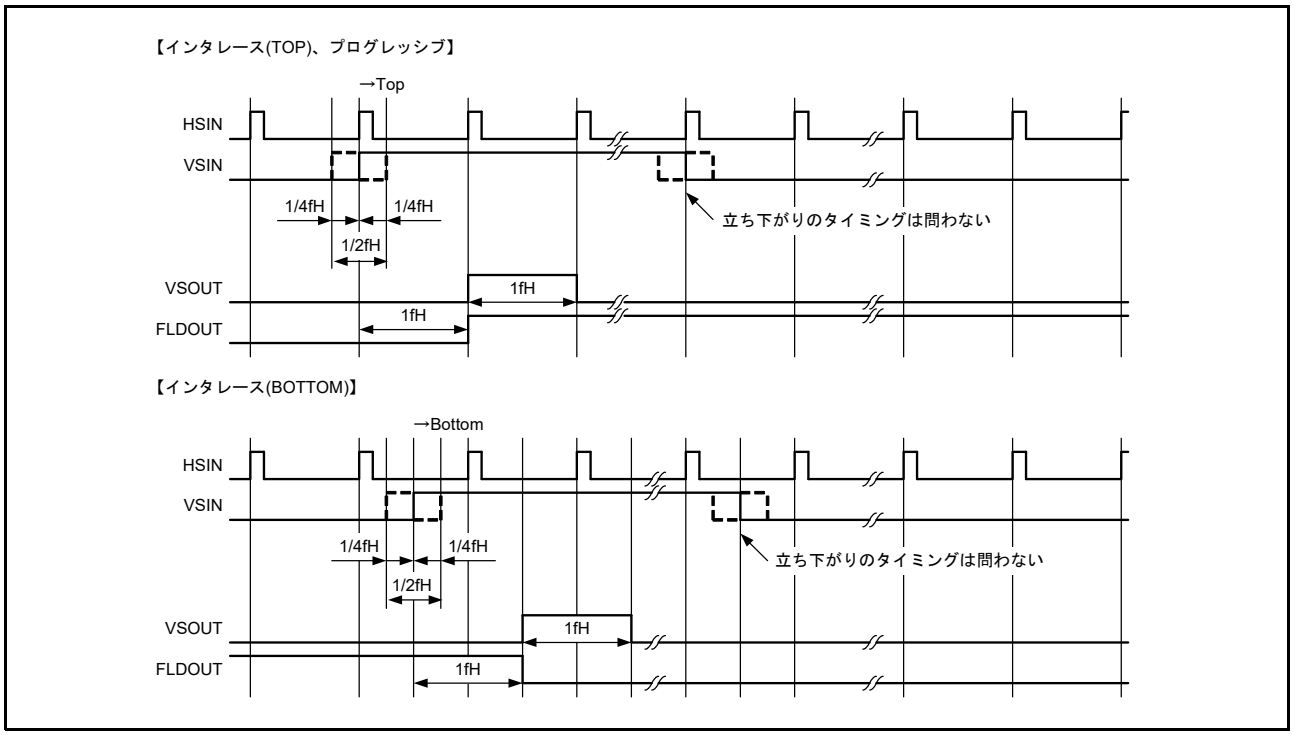


図 35.18　垂直同期位相調整

垂直同期信号の 1/2fH 位相のタイミングを INP_FH50[11:0]、垂直同期信号の 1/4fH 位相のタイミングを INP_FH25[11:0] で設定します。

表35.20　垂直同期位相タイミング設定

レジスタ名	ビット名	初期値	説　　明
INP_VSYNC_PH_ADJ	INP_FH50[11:0]	858	垂直同期の1/2fH位相タイミング設定 必ず水平周期の1/2クロック周期を設定してください。
INP_VSYNC_PH_ADJ	INP_FH25[11:0]	429	垂直同期の1/4fH位相タイミング設定 必ず水平周期の1/4クロック周期を設定してください。

35.1.15 垂直同期信号ライン遅延調整

垂直同期信号ライン遅延調整部では、垂直同期信号、フィールド判別信号をライン単位で遅延させることができます。

垂直フロントポーチが短い映像信号が入力された場合、垂直フロントポーチの調整を行います。

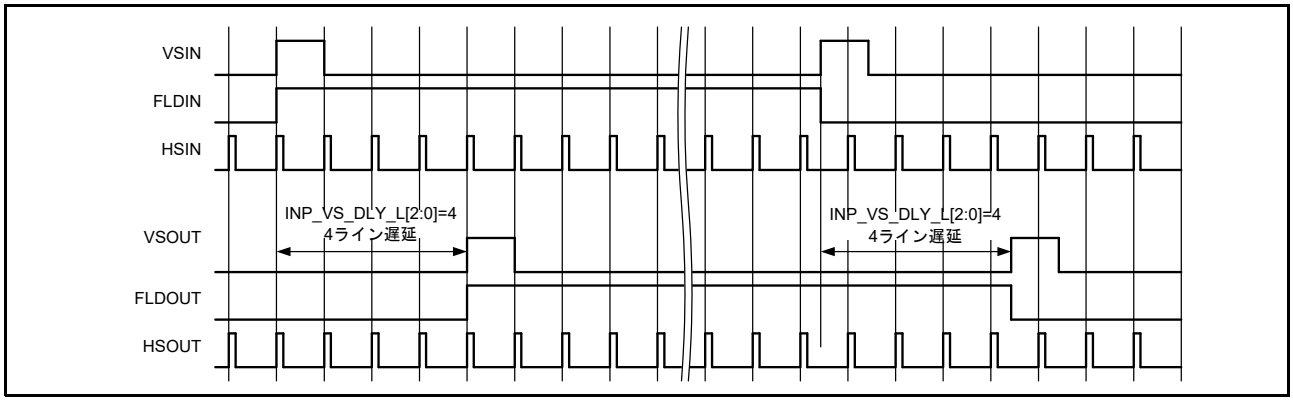


図 35.19　垂直同期信号ライン遅延タイミング図

表35.21　垂直同期信号ライン遅延調整

レジスタ名	ビット名	初期値	説明
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	0	垂直同期信号、フィールド判別のライン遅延量 遅延量：0～7[ライン]

35.1.16 同期遅延調整

垂直同期信号、水平同期信号、フィールド判別信号を独立にクロック単位で遅延調整ができます。

入力の同期乱れによる水平フロントポーチの欠落マージン調整を行います。

表35.22　同期信号の遅延調整

レジスタ名	ビット名	初期値	説　　明
INP_DLY_ADJ	INP_VS_DLY[7:0]	0	垂直同期信号の遅延量 遅延量：0～254[clk]
INP_DLY_ADJ	INP_HS_DLY[7:0]	0	水平同期信号の遅延量 遅延量：0～254[clk]
INP_DLY_ADJ	INP_FLD_DLY[7:0]	0	フィールド判別信号の遅延量 遅延量：0～254[clk]

35.1.17 水平ノイズリダクション

水平画素参照によるノイズリダクションを行います。

ノイズリダクションは、ノイズ成分の周波数帯域（TAP）、ノイズレベル（閾値）、ノイズリダクションの強度（ゲイン）にて制御します。

(1) ノイズ成分の周波数帯域（TAP）設定

NR1D_Y_TAP[1:0]、NR1D_CB_TAP[1:0]、NR1D_CR_TAP[1:0] にてノイズの周波数帯域を 4 種類独立に選択できます。

1 画素隣接（ノイズリダクション NR1D_Y/CB/CR_TAP = 0）時：$BPF_{(1)} = \frac{1}{4}\left(-1\times Z_{(-1)}, 2\times Z_{(0)}, -1\times Z_{(+1)}\right)$

2 画素隣接（ノイズリダクション NR1D_Y/CB/CR_TAP = 1）時：$BPF_{(2)} = \frac{1}{4}\left(-1\times Z_{(-2)}, 2\times Z_{(0)}, -1\times Z_{(+2)}\right)$

3 画素隣接（ノイズリダクション NR1D_Y/CB/CR_TAP = 2）時：$BPF_{(3)} = \frac{1}{4}\left(-1\times Z_{(-3)}, 2\times Z_{(0)}, -1\times Z_{(+3)}\right)$

4 画素隣接（ノイズリダクション NR1D_Y/CB/CR_TAP = 3）時：$BPF_{(4)} = \frac{1}{4}\left(-1\times Z_{(-4)}, 2\times Z_{(0)}, -1\times Z_{(+4)}\right)$

注 . $Z_{(0)}$ はノイズリダクション該当画素。$Z_{(n)}$ は該当画素から水平方向に n 移動した画素。

(2) ノイズレベル（閾値）設定

ノイズ検出量（BPF 出力値）の絶対値と NR1D_Y_TH[6:0]、NR1D_CB_TH[6:0]、NR1D_CR_TH[6:0] を比較し、ノイズ検出量＞ NR1D_Y/CB/CR_TH 時、ノイズ検出量の絶対値を NR1D_Y/CB/CR_TH（固定値）とします。

$ABS(BPF_{(n)}) \leqq$ NR1D_Y/CB/CR_TH 時のノイズ検出量の絶対値：$NOISE_ABS = ABS(BPF_{(n)})$

$ABS(BPF_{(n)}) >$ NR1D_Y/CB/CR_TH 時のノイズ検出量の絶対値：NOISE_ABS = NR1D_Y/CB/CR_TH

(3) ノイズリダクション強度（ゲイン）設定

NR1D_Y_GAIN[1:0]、NR1D_CB_GAIN[1:0]、NR1D_CR_GAIN[1:0] にてノイズ検出量の絶対値にゲインをかけて、元信号にフィードバック演算を行います。

ノイズ検出量 ($BPF_{(n)}$) が負（－）の場合の演算：$DOUT = DIN + NOISE_ABS \div 2^{(NR1D_Y/CB/CR_GAIN+1)}$

ノイズ検出量 ($BPF_{(n)}$) が正（＋）の場合の演算：$DOUT = DIN - NOISE_ABS \div 2^{(NR1D_Y/CB/CR_GAIN+1)}$

表35.23　水平ノイズリダクション

レジスタ名	ビット名	初期値	説　明
IMGCNT_NR_CNT0	NR1D_MD	1	水平ノイズリダクション動作モード 0：G/B/Rモード 1：Y/Cb/Crモード
IMGCNT_NR_CNT0	NR1D_ON	0	ノイズリダクションのオン／オフ制御 0：ノイズリダクションオフ 1：ノイズリダクションオン
IMGCNT_NR_CNT0	NR1D_Y_TAP[1:0]	0	Y/G信号のTAP選択 0：1画素隣接、1：2画素隣接、2：3画素隣接、3：4画素隣接
IMGCNT_NR_CNT0	NR1D_Y_TH[6:0]	8	Y/G信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_Y_THにてコアリングを実施。 符号無し：0～127[LSB]
IMGCNT_NR_CNT0	NR1D_Y_GAIN[1:0]	3	Y/G信号のノイズリダクションゲイン調整 0：1/2、1：1/4、2：1/8、3：1/16
IMGCNT_NR_CNT1	NR1D_CB_TAP[1:0]	0	Cb/B信号のTAP選択 0：1画素隣接、1：2画素隣接、2：3画素隣接、3：4画素隣接
IMGCNT_NR_CNT1	NR1D_CB_TH[6:0]	8	Cb/B信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_C_THにてコアリングを実施。 符号無し：0～127[LSB]
IMGCNT_NR_CNT1	NR1D_CB_GAIN[1:0]	3	Cb/B信号のノイズリダクションゲイン調整 0：1/2、1：1/4、2：1/8、3：1/16
IMGCNT_NR_CNT1	NR1D_CR_TAP[1:0]	0	Cr/R信号のTAP選択 0：1画素隣接、1：2画素隣接、2：3画素隣接、3：4画素隣接
IMGCNT_NR_CNT1	NR1D_CR_TH[6:0]	8	Cr/R信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_C_THにてコアリングを実施。 符号無し：0～127[LSB]
IMGCNT_NR_CNT1	NR1D_CR_GAIN[1:0]	3	Cr/R信号のノイズリダクションゲイン調整 0：1/2、1：1/4、2：1/8、3：1/16

35.1.18 カラーマトリクス

カラーマトリクスは、各入力信号のオフセット調整と 9 軸のゲイン調整を行うことができます。これにより、ブライト調整、ゲイン調整、YCbCr → GBR、GBR → YCbCr の相互変換を行うことができます。

(1) GBR → GBR 変換

YGIN_A = YGIN + IMGCNT_MTX_YG – 128
CBBIN_A = CBBIN + IMGCNT_MTX_B – 128
CRRIN_A = CRRIN + IMGCNT_MTX_R – 128
YGOUT = (IMGCNT_MTX_GG × YGIN_A + IMGCNT_MTX_GB × CBBIN_A + IMGCNT_MTX_GR × CRRIN_A) ÷ 256
CBBOUT = (IMGCNT_MTX_BG × YGIN_A + IMGCNT_MTX_BB × CBBIN_A + IMGCNT_MTX_BR × CRRIN_A) ÷ 256
CRROUT = (IMGCNT_MTX_RG × YGIN_A + IMGCNT_MTX_RB × CBBIN_A + IMGCNT_MTX_RR × CRRIN_A) ÷ 256

(2) GBR → YCbCr 変換

YGIN_A = YGIN + IMGCNT_MTX_YG – 128
CBBIN_A = CBBIN + IMGCNT_MTX_B – 128
CRRIN_A = CRRIN + IMGCNT_MTX_R – 128
YGOUT = (IMGCNT_MTX_GG × YGIN_A + IMGCNT_MTX_GB × CBBIN_A + IMGCNT_MTX_GR × CRRIN_A) ÷ 256
CBBOUT = (IMGCNT_MTX_BG × YGIN_A + IMGCNT_MTX_BB × CBBIN_A + IMGCNT_MTX_BR × CRRIN_A) ÷ 256 + 128
CRROUT = (IMGCNT_MTX_RG × YGIN_A + IMGCNT_MTX_RB × CBBIN_A + IMGCNT_MTX_RR × CRRIN_A) ÷ 256 + 128

表35.24　SMPTE 293Mのマトリクス係数（標準値）

	YGIN		CBBIN		CRRIN	
	係数	設定値	係数	設定値	係数	設定値
YGOUT	0.587	IMGCNT_MTX_GG = 150	0.114	IMGCNT_MTX_GB = 29	0.299	IMGCNT_MTX_GR = 77
CBBOUT	− 0.331	IMGCNT_MTX_BG = 1963	0.500	IMGCNT_MTX_BB = 128	− 0.169	IMGCNT_MTX_BR = 2005
CRROUT	− 0.419	IMGCNT_MTX_RG = 1941	− 0.081	IMGCNT_MTX_RB = 2027	0.500	IMGCNT_MTX_RR = 128

(3) YCbCr → GBR 変換

YGIN_A = YGIN + IMGCNT_MTX_YG – 128
CBBIN_A = CBBIN – 128
CRRIN_A = CRRIN – 128
YGOUT = (IMGCNT_MTX_GG × YGIN_A + IMGCNT_MTX_GB × CBBIN_A +
IMGCNT_MTX_GR × CRRIN_A) ÷ 256
CBBOUT = (IMGCNT_MTX_BG × YGIN_A + IMGCNT_MTX_BB × CBBIN_A +
IMGCNT_MTX_BR × CRRIN_A) ÷ 256
CRROUT = (IMGCNT_MTX_RG × YGIN_A + IMGCNT_MTX_RB × CBBIN_A +
IMGCNT_MTX_RR × CRRIN_A) ÷ 256

表35.25　SMPTE 293Mのマトリクス係数（標準値）

	YGIN		CBBIN		CRRIN	
	係数	設定値	係数	設定値	係数	設定値
YGOUT	1.000	IMGCNT_MTX_GG = 256	− 0.344	IMGCNT_MTX_GB = 1960	− 0.714	IMGCNT_MTX_GR = 1865
CBBOUT	1.000	IMGCNT_MTX_BG = 256	1.772	IMGCNT_MTX_BB = 454	0.000	IMGCNT_MTX_BR = 0
CRROUT	1.000	IMGCNT_MTX_RG = 256	0.000	IMGCNT_MTX_RB = 0	1.402	IMGCNT_MTX_RR = 359

(4) YCbCr → YCbCr 変換

YGIN_A = YGIN + IMGCNT_MTX_YG – 128
CBBIN_A = CBBIN – 128
CRRIN_A = CRRIN – 128
YGOUT = (IMGCNT_MTX_GG × YGIN_A + IMGCNT_MTX_GB × CBBIN_A +
IMGCNT_MTX_GR × CRRIN_A) ÷ 256
CBBOUT = (IMGCNT_MTX_BG × YGIN_A + IMGCNT_MTX_BB × CBBIN_A +
IMGCNT_MTX_BR × CRRIN_A) ÷ 256 + 128
CRROUT = (IMGCNT_MTX_RG × YGIN_A + IMGCNT_MTX_RB × CBBIN_A +
IMGCNT_MTX_RR × CRRIN_A) ÷ 256 + 128

表35.26　YCbCr→GBR変換

レジスタ名	ビット名	初期値	説　　明
IMGCNT_MTX_MODE	IMGCNT_MTX_MD [1:0]	3	動作モード 0：GBR　=> GBR 1：GBR　=> YCbCr 2：YCbCr => GBR 3：YCbCr => YCbCr
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_YG [7:0]	128	Y/G信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（+127）[LSB]）
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_B [7:0]	128	B信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（+127）[LSB]）
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_R [7:0]	128	R信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（+127）[LSB]）
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_GG [10:0]	256	Y/G信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～+1023[LSB]、256[LSB] = 1.0[倍]）
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GB [10:0]	0	Y/G信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～+1023[LSB]、256[LSB] = 1.0[倍]）
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GR [10:0]	0	Y/G信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～+1023[LSB]、256[LSB] = 1.0[倍]）
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_BG [10:0]	0	Cb/B信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～+1023[LSB]、256[LSB] = 1.0[倍]）
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BB [10:0]	256	Cb/B信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～+1023[LSB]、256[LSB] = 1.0[倍]）
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BR [10:0]	0	Cb/B信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～+1023[LSB]、256[LSB] = 1.0[倍]）
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_RG [10:0]	0	Cr/R信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～+1023[LSB]、256[LSB] = 1.0[倍]）
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RB [10:0]	0	Cr/R信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～+1023[LSB]、256[LSB] = 1.0[倍]）
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RR [10:0]	256	Cr/R信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～+1023[LSB]、256[LSB] = 1.0[倍]）

35.2 レジスタの説明

表 35.27 ～表 35.28 にレジスタ構成を示します。

【レジスタ説明の記号説明】
初期値：パワーオンリセット後のレジスタ値
－：不定値
R/W：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R：リードのみ可。書き込む値は常に 0 にしてください。
－ /W：ライトのみ可。読み出し値は不定です。

表35.27　入力制御部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
外部入力部レジスタ更新制御レジスタ	INP_UPDATE	R/WC1	H'0000 0000	H'FCFF 7400	32
入力選択制御レジスタ	INP_SEL_CNT	R/W	H'0000 0000	H'FCFF 7404	32
外部入力同期信号制御レジスタ	INP_EXT_SYNC_CNT	R/W	H'0000 0000	H'FCFF 7408	32
垂直同期信号位相調整レジスタ	INP_VSYNC_PH_ADJ	R/W	H'035A 01AD	H'FCFF 740C	32
同期信号遅延調整レジスタ	INP_DLY_ADJ	R/W	H'0000 0000	H'FCFF 7410	32

表35.28　画質調整部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
画質調整部レジスタ更新制御レジスタ	IMGCNT_UPDATE	R/WC1	H'0000 0000	H'FCFF 7480	32
NR制御レジスタ0	IMGCNT_NR_CNT0	R/W	H'0010 0803	H'FCFF 7484	32
NR制御レジスタ1	IMGCNT_NR_CNT1	R/W	H'0803 0803	H'FCFF 7488	32
画質調整部マトリクスモードレジスタ	IMGCNT_MTX_MODE	R/W	H'0000 0003	H'FCFF 74A0	32
画質調整部マトリクスYG調整レジスタ0	IMGCNT_MTX_YG_ADJ0	R/W	H'0080 0100	H'FCFF 74A4	32
画質調整部マトリクスYG調整レジスタ1	IMGCNT_MTX_YG_ADJ1	R/W	H'0000 0000	H'FCFF 74A8	32
画質調整部マトリクスCBB調整レジスタ0	IMGCNT_MTX_CBB_ADJ0	R/W	H'0080 0000	H'FCFF 74AC	32
画質調整部マトリクスCBB調整レジスタ1	IMGCNT_MTX_CBB_ADJ1	R/W	H'0100 0000	H'FCFF 74B0	32
画質調整部マトリクスCRR調整レジスタ0	IMGCNT_MTX_CRR_ADJ0	R/W	H'0080 0000	H'FCFF 74B4	32
画質調整部マトリクスCRR調整レジスタ1	IMGCNT_MTX_CRR_ADJ1	R/W	H'0000 0100	H'FCFF 74B8	32

35.2.1 外部入力部レジスタ更新制御レジスタ（INP_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	INP_EXT_UPDATE	—	—	—	INP_IMG_UPDATE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INP_EXT_UPDATE	0	R/WC1	外部入力部のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INP_IMG_UPDATE	0	R/WC1	同期信号調整部のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する

35.2.2 入力選択制御レジスタ（INP_SEL_CNT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	INP_SEL	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	INP_FORMAT[2:0]			—	—	—	INP_PXD_EDGE	—	—	—	INP_VS_EDGE	—	—	—	INP_HS_EDGE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INP_SEL	0	R/W	外部入力端子からの入力オン/オフ制御 0：外部入力端子からの入力オフ 1：外部入力端子からの入力オン
19 ～ 15	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 12	INP_FORMAT [2:0]	0	R/W	外部入力のフォーマット選択 0：YCbCr444、RGB888 1：RGB666 2：RGB565 3：BT656 4：BT601 5：YCbCr422 6～7：設定禁止
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	INP_PXD_EDGE	0	R/W	外部入力の映像信号DV_DATA23~0の入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INP_VS_EDGE	0	R/W	外部入力の垂直同期信号DV_VSYNCの入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INP_HS_EDGE	0	R/W	外部入力の水平同期信号DV_HSYNCの入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ

注.　INP_FORMAT、INP_PXD_EDGE、INP_VS_EDGE、INP_HS_EDGEは外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE = 1で更新されます。INP_SELは、設定すると更新されます。

35.2.3 外部入力同期信号制御レジスタ（INP_EXT_SYNC_CNT）

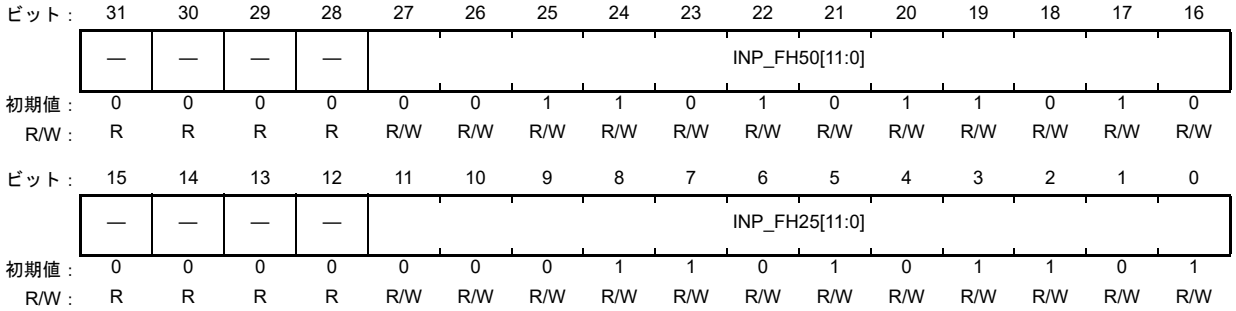
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	INP_ENDIAN_ON	—	—	—	INP_SWAP_ON	—	—	—	INP_VS_INV	—	—	—	INP_HS_INV
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/WR	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	INP_H_EDGE_SEL	—	—	—	INP_F525_625	—	—	INP_H_POS[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	INP_ENDIAN_ON	0	R/W	外部入力のビットエンディアン変更オン／オフ制御 0：オフ 1：オン
27 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	INP_SWAP_ON	0	R/W	外部入力のB/R信号入れ替えオン／オフ制御 0：オフ 1：オン
23 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INP_VS_INV	0	R/W	外部入力の垂直同期信号DV_VSYNCの反転制御 0：非反転（正極性） 1：反転（負極性）
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	INP_HS_INV	0	R/W	外部入力の水平同期信号DV_HSYNCの反転制御 0：非反転（正極性） 1：反転（負極性）
15 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	INP_H_EDGE_SEL	0	R/W	外部入力のBT656水平同期信号の基準選択 0：EAV基準 1：SAV基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INP_F525_625	0	R/W	外部入力のBT656入力時のライン数設定 0：525ライン 1：625ライン
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	INP_H_POS[1:0]	0	R/W	外部入力のBT656/601、YCbCr422入力時の 水平同期基準に対するY/Cb/Y/Crのデータ列の開始タイミング設定 0：Cb/Y/Cr/Y (BT656/601)、Cb/Cr (YCbCr422) 1：Y/Cr/Y/Cb (BT656/601)、設定禁止(YCbCr422) 2：Cr/Y/Cb/Y (BT656/601)、設定禁止(YCbCr422) 3：Y/Cb/Y/Cr (BT656/601)、Cr/Cb (YCbCr422)

注.　本レジスタはすべて外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE = 1で更新されます。

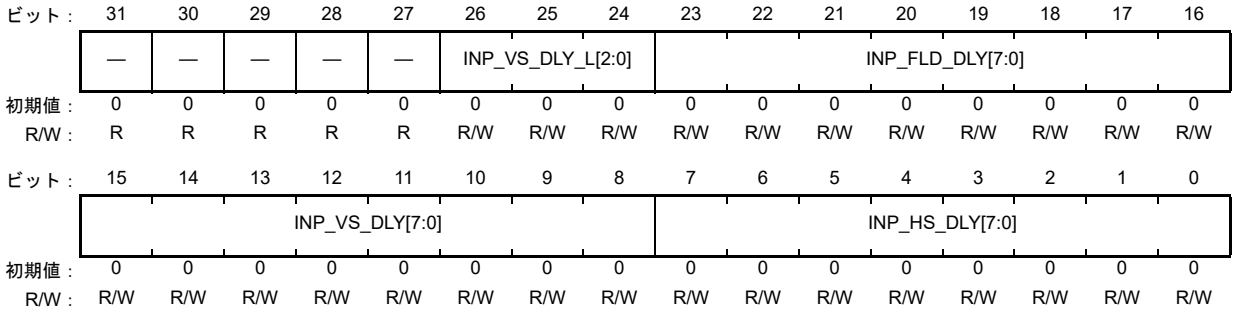
35.2.4 垂直同期信号位相調整レジスタ（INP_VSYNC_PH_ADJ）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 28	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27 ～ 16	INP_FH50[11:0]	858	R/W	垂直同期の1/2fH位相タイミング設定 必ず水平周期の1/2クロック周期を設定してください。
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11 ～ 0	INP_FH25[11:0]	429	R/W	垂直同期の1/4fH位相タイミング設定 必ず水平周期の1/4クロック周期を設定してください。

注.　INP_FH50[11:0]は外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE = 1および INP_IMG_UPDATE = 1で、INP_FH25[11:0]は外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_IMG_UPDATE = 1で更新されます。

35.2.5 同期信号遅延調整レジスタ（INP_DLY_ADJ）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 24	INP_VS_DLY_L [2:0]	0	R/W	垂直同期信号、フィールド判別のライン遅延量 遅延量：0～7[ライン]
23 ～ 16	INP_FLD_DLY [7:0]	0	R/W	フィールド判別信号の遅延量 遅延量：0～254[clk]
15 ～ 8	INP_VS_DLY [7:0]	0	R/W	垂直同期信号の遅延量 遅延量：0～254[clk]
7 ～ 0	INP_HS_DLY [7:0]	0	R/W	水平同期信号の遅延量 遅延量：0～254[clk]

注.　本レジスタはすべて外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_IMG_UPDATE = 1で更新されます。

35.2.6 画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IMGCNT_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	IMGCNT_VEN	0	R/WC1	画質調整部のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

35.2.7　NR 制御レジスタ 0（IMGCNT_NR_CNT0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	NR1D_MD	—	—	—	NR1D_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	NR1D_Y_TH[6:0]							—	—	NR1D_Y_TAP[1:0]		—	—	NR1D_Y_GAIN[1:0]	
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	NR1D_MD	1	R/W	水平ノイズリダクション動作モード 0：G/B/Rモード 1：Y/Cb/Crモード
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	NR1D_ON	0	R/W	ノイズリダクションのOn/Off制御 0：ノイズリダクションオフ 1：ノイズリダクションオン
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 8	NR1D_Y_TH[6:0]	8	R/W	Y、G信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_Y_THにてコアリングを実施。 符号無し：0～127[LSB]
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	NR1D_Y_TAP[1:0]	0	R/W	Y、G信号のTAP選択 0：1画素隣接 1：2画素隣接 2：3画素隣接 3：4画素隣接
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	NR1D_Y_GAIN[1:0]	3	R/W	Y、G信号のノイズリダクションゲイン調整 0：1/2 1：1/4 2：1/8 3：1/16

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN = 1で更新されます。

35.2.8 NR 制御レジスタ 1（IMGCNT_NR_CNT1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	NR1D_CB_TH[6:0]							—	—	NR1D_CB_TAP[1:0]		—	—	NR1D_CB_GAIN[1:0]	
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	NR1D_CR_TH[6:0]							—	—	NR1D_CR_TAP[1:0]		—	—	NR1D_CR_GAIN[1:0]	
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 24	NR1D_CB_TH[6:0]	8	R/W	Cb/B信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_CB_THにてコアリングを実施。 符号無し：0～127[LSB]
23、22	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	NR1D_CB_TAP[1:0]	0	R/W	Cb/B信号のTAP選択 0：1画素隣接 1：2画素隣接 2：3画素隣接 3：4画素隣接
19、18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	NR1D_CB_GAIN[1:0]	3	R/W	Cb/B信号のノイズリダクションゲイン調整 0：1/2 1：1/4 2：1/8 3：1/16
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 8	NR1D_CR_TH[6:0]	8	R/W	Cr/R信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_CR_THにてコアリングを実施。 符号無し：0～127[LSB]
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	NR1D_CR_TAP[1:0]	0	R/W	Cr/R信号のTAP選択 0：1画素隣接 1：2画素隣接 2：3画素隣接 3：4画素隣接
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	NR1D_CR_GAIN[1:0]	3	R/W	Cr/R信号のノイズリダクションゲイン調整 0：1/2 1：1/4 2：1/8 3：1/16

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN = 1で更新されます。

35.2.9 画質調整部マトリクスモードレジスタ（IMGCNT_MTX_MODE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IMGCNT_MTX_MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	IMGCNT_MTX_MD[1:0]	3	R/W	動作モード 0：GBR　=> GBR 1：GBR　=> YCbCr 2：YCbCr => GBR 3：YCbCr => YCbCr

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN = 1で更新されます。

35.2.10 画質調整部マトリクス YG 調整レジスタ 0（IMGCNT_MTX_YG_ADJ0）

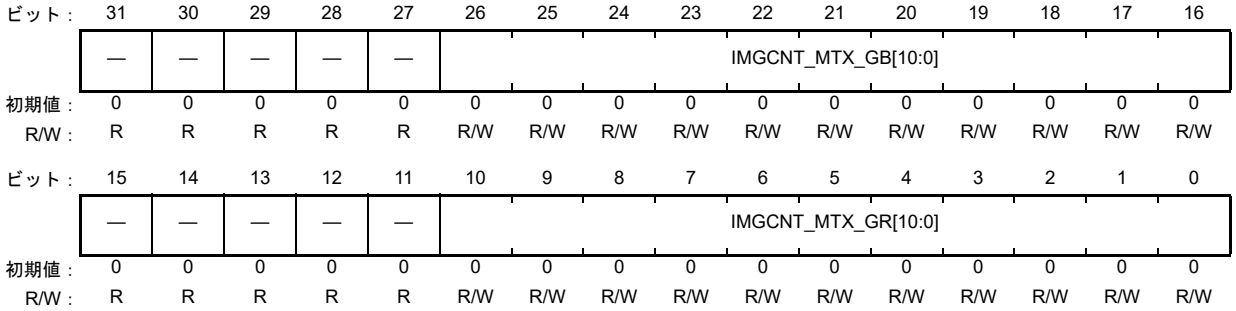
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	IMGCNT_MTX_YG[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	IMGCNT_MTX_GG[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	IMGCNT_MTX_YG[7:0]	128	R/W	Y/G信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_GG[10:0]	256	R/W	Y/G信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN = 1で更新されます。

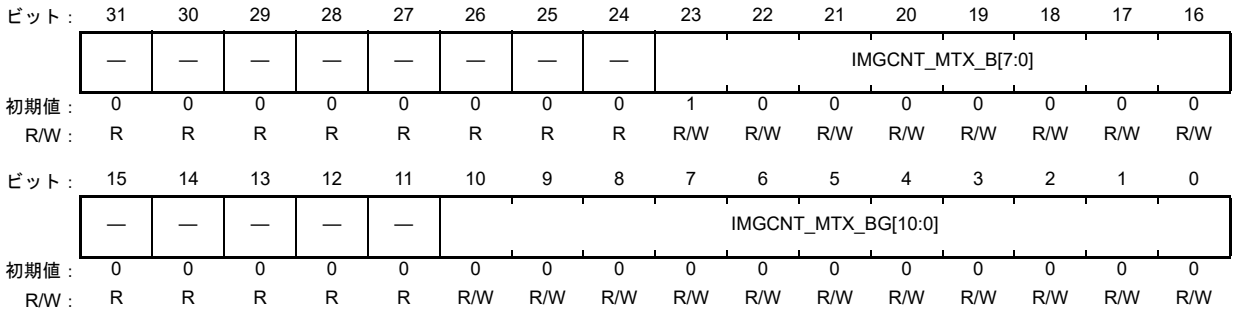
35.2.11 画質調整部マトリクス YG 調整レジスタ 1（IMGCNT_MTX_YG_ADJ1）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	IMGCNT_MTX_GB[10:0]	0	R/W	Y/G信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_GR[10:0]	0	R/W	Y/G信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN = 1で更新されます。

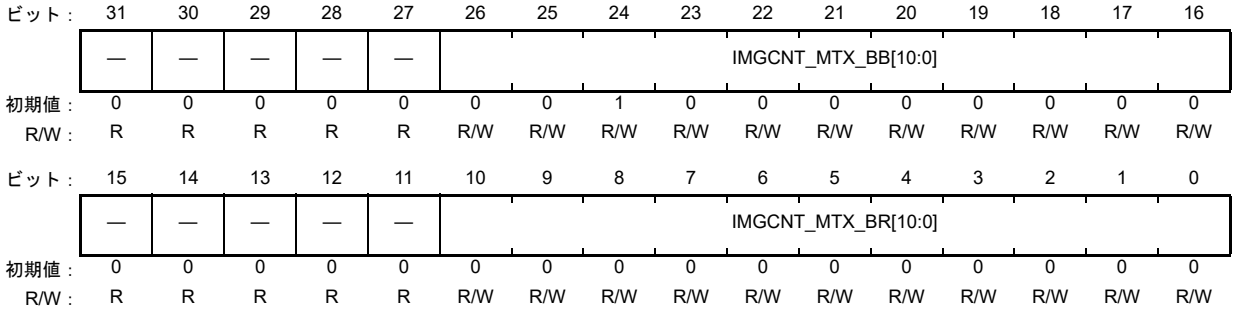
35.2.12 画質調整部マトリクス CBB 調整レジスタ 0（IMGCNT_MTX_CBB_ADJ0）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	IMGCNT_MTX_B[7:0]	128	R/W	Cb/B信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_BG[10:0]	0	R/W	Cb/B信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN = 1で更新されます。

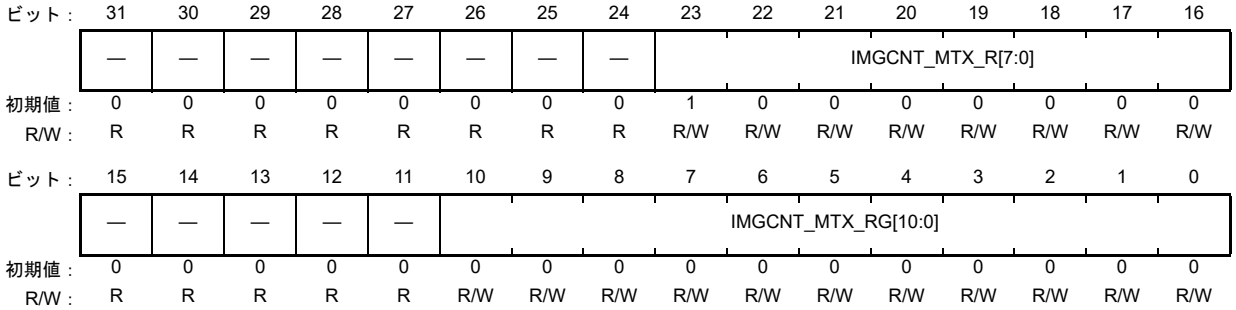
35.2.13 画質調整部マトリクス CBB 調整レジスタ 1（IMGCNT_MTX_CBB_ADJ1）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	IMGCNT_MTX_BB[10:0]	256	R/W	Cb/B信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_BR[10:0]	0	R/W	Cb/B信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN = 1で更新されます。

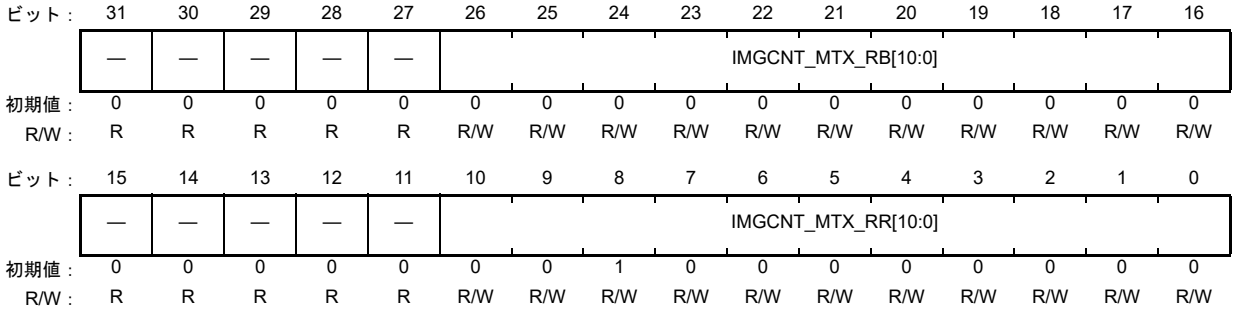
35.2.14 画質調整部マトリクス CRR 調整レジスタ 0（IMGCNT_MTX_CRR_ADJ0）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	IMGCNT_MTX_R[7:0]	128	R/W	Cr/R信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_RG[10:0]	0	R/W	Cr/R信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN = 1で更新されます。

35.2.15 画質調整部マトリクス CRR 調整レジスタ 1（IMGCNT_MTX_CRR_ADJ1）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	IMGCNT_MTX_RB[10:0]	0	R/W	Cr/R信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_RR[10:0]	256	R/W	Cr/R信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN = 1で更新されます。

35.3 使用方法

35.3.1 入力フォーマット調整方法

各入力フォーマットの設定例を示します。

表35.29 外部入力（BT656,525i）の設定例

レジスタ名	ビット名	説明	設定値
INP_SEL_CNT	INP_SEL	外部入力端子からの入力オン/オフを制御します。	1
INP_SEL_CNT	INP_FORMAT[2:0]	外部入力のフォーマットを選択します。	3
INP_SEL_CNT	INP_PXD_EDGE	外部入力の映像信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_VS_EDGE	外部入力の垂直同期信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_HS_EDGE	外部入力の水平同期信号の取り込みクロックのエッジの選択をします。	0
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	外部入力のビットエンディアンの変更をします。	0
INP_EXT_SYNC_CNT	INP_SWAP_ON	外部入力のB/R信号入れ替えオン／オフ制御をします。	0
INP_EXT_SYNC_CNT	INP_HS_INV	外部入力の水平同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_VS_INV	外部入力の垂直同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	BT656入力の水平同期基準の選択をします。	0
INP_EXT_SYNC_CNT	INP_F525_625	BT656入力のライン数の設定をします。	0
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	BT656/601入力の水平同期に対するデータ開始のタイミング設定をします。	0
INP_VSYNC_PH_ADJ	INP_FH50[11:0]	1/2fH位相の設定をします。（クロック単位で設定）	858
INP_VSYNC_PH_ADJ	INP_FH25[11:0]	1/4fH位相の設定をします。（クロック単位で設定）	429
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	垂直同期信号、フィールド判別のライン遅延量を設定します。	0
INP_DLY_ADJ	INP_VS_DLY[7:0]	垂直同期信号の遅延量を設定します。（クロック単位で設定）	0
INP_DLY_ADJ	INP_HS_DLY[7:0]	水平同期信号の遅延量を設定します。（クロック単位で設定）	0
INP_DLY_ADJ	INP_FLD_DLY[7:0]	フィールド判別信号の遅延量を設定します。（クロック単位で設定）	0

注. レジスタ設定後に一部のレジスタで、外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE = 1、およびINP_IMG_UPDATE = 1の設定が必要です。

表35.30　外部入力（BT601,525i）の設定例

レジスタ名	ビット名	説明	設定値
INP_SEL_CNT	INP_SEL	外部入力端子からの入力オン/オフを制御します。	1
INP_SEL_CNT	INP_FORMAT[2:0]	外部入力のフォーマットを選択します。	4
INP_SEL_CNT	INP_PXD_EDGE	外部入力の映像信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_VS_EDGE	外部入力の垂直同期信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_HS_EDGE	外部入力の水平同期信号の取り込みクロックのエッジの選択をします。	0
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	外部入力のビットエンディアンの変更をします。	0
INP_EXT_SYNC_CNT	INP_SWAP_ON	外部入力のB/R信号入れ替えオン／オフ制御をします。	0
INP_EXT_SYNC_CNT	INP_HS_INV	外部入力の水平同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_VS_INV	外部入力の垂直同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	BT656入力の水平同期基準の選択をします。	0
INP_EXT_SYNC_CNT	INP_F525_625	BT656入力のライン数の設定をします。	0
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	BT656/601入力の水平同期に対するデータ開始のタイミング設定をします。	0
INP_VSYNC_PH_ADJ	INP_FH50[11:0]	1/2fH位相の設定をします。（クロック単位で設定）	858
INP_VSYNC_PH_ADJ	INP_FH25[11:0]	1/4fH位相の設定をします。（クロック単位で設定）	429
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	垂直同期信号、フィールド判別のライン遅延量を設定します。	0
INP_DLY_ADJ	INP_VS_DLY[7:0]	垂直同期信号の遅延量を設定します。（クロック単位で設定）	0
INP_DLY_ADJ	INP_HS_DLY[7:0]	水平同期信号の遅延量を設定します。（クロック単位で設定）	0
INP_DLY_ADJ	INP_FLD_DLY[7:0]	フィールド判別信号の遅延量を設定します。（クロック単位で設定）	0

注.　レジスタ設定後に一部のレジスタで、外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE = 1、およびINP_IMG_UPDATE = 1の設定が必要です。

35.3.2 カラーマトリクス変換の使用方法

標準的な各データ変換の設定例を示します。

表35.31 カラーマトリクス変換

レジスタ名	ビット名	GBR⇒GBR	GBR⇒YCbCr	YCbCr⇒GBR	YCbCr⇒YCbCr
IMGCNT_MTX_MODE	IMGCNT_MTX_MD[1:0]	0	1	2	3
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_YG[7:0]	128	128	128	128
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_GG[10:0]	256	150	256	256
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GB[10:0]	0	29	1960	0
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GR[10:0]	0	77	1865	0
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_B[7:0]	128	128	128	128
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_BG[10:0]	0	1963	256	0
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BB[10:0]	256	128	454	256
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BR[10:0]	0	2005	0	0
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_R[7:0]	128	128	128	128
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_RG[10:0]	0	1941	256	0
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RB[10:0]	0	2027	0	0
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RR[10:0]	256	128	359	256

注. レジスタ設定後に画質調整部レジスタ更新制御レジスタ（IMGCN_UPDATE）のIMGCNT_VEN = 1の設定が必要です。

36. ビデオディスプレイコントローラ 6（3） スケーリング部

36.1 スケーリング機能

36.1.1 機能概要

スケーリング部は、入力制御部の YCbCr、RGB 出力信号に対して、同期信号生成、画像の縮小・拡大・回転制御を行います。

また、フレームバッファに対して映像の録画を行います。

スケーリング部 0 の拡大処理は、グラフィックス（0）の処理と選択になります。

下図にスケーリング部の機能ブロック図を示します。

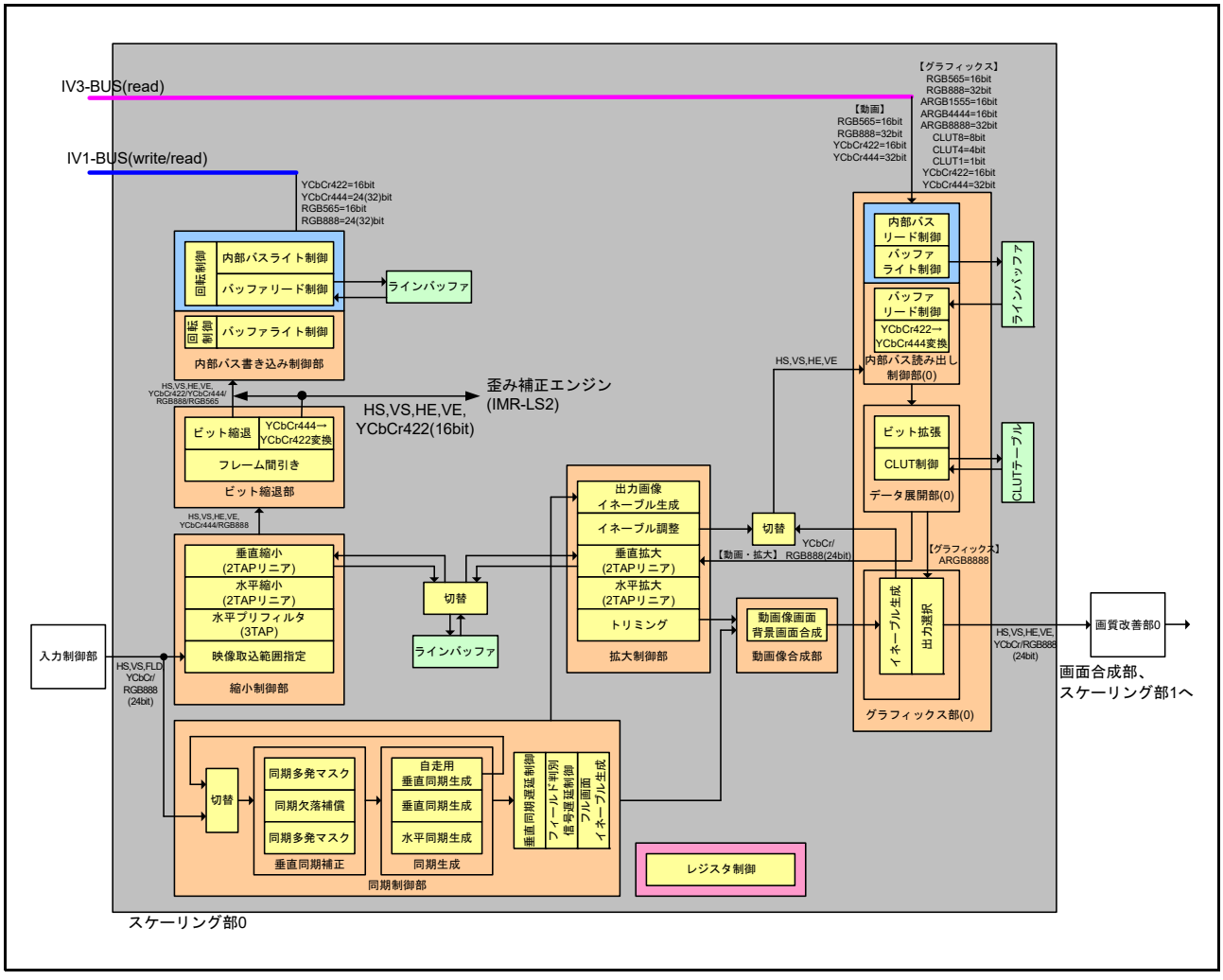


図 36.1　スケーリング部 0 の機能ブロック図

なお、スケーリング部のレジスタ・ビットは、SC0_xxxx、グラフィックス部は、GR0_xxxx となりますが、本仕様書では、レジスタ・ビット名を SC_xxxx、GR_xxxx として記載します。

36.1.2 レジスタ制御

(1) レジスタの更新制御

スケーリング部、グラフィックス部の制御レジスタは、同期制御部とその他の一部レジスタを除き垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表36.1　レジスタの更新制御

レジスタ名	ビット名	初期値	説　明
SC_SCL0_UPDATE	SC_SCL0_UPDATE	0	同期制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
SC_SCL0_UPDATE	SC_SCL0_VEN_D	0	拡大制御、フレームバッファ読み出し制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL0_UPDATE	SC_SCL0_VEN_C	0	縮小制御、フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL0_UPDATE	SC_SCL0_VEN_B	0	同期制御、拡大制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL0_UPDATE	SC_SCL0_VEN_A	0	縮小制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL1_UPDATE	SC_SCL1_UPDATE_B	0	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
SC_SCL1_UPDATE	SC_SCL1_UPDATE_A	0	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
SC_SCL1_UPDATE	SC_SCL1_VEN_B	0	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL1_UPDATE	SC_SCL1_VEN_A	0	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GR_UPDATE	GR_UPDATE	0	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新します
GR_UPDATE	GR_P_VEN	0	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GR_UPDATE	GR_IBUS_VEN	0	フレームバッファ読み出し制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

SC_SCL0_VEN_A、SC_SCL0_VEN_C、SC_SCL1_VEN_A、SC_SCL1_VEN_B で制御されるレジスタは入力垂直同期信号の立ち上がりで更新されます。

SC_SCL0_VEN_B、SC_SCL0_VEN_D、GR_P_VEN、GR_IBUS_VEN で制御されるレジスタは出力垂直同期信号の立ち上がりで更新されます。

36.1.3 同期制御

(1) 垂直同期信号選択

スケーリング出力の垂直同期信号を選択します。
外部入力信号を表示する場合は、外部入力の垂直同期信号を出力します。
外部入力信号がない場合は、自走垂直同期信号を出力します。

表36.2　垂直同期信号選択制御

レジスタ名	ビット名	初期値	説　明
SC_SCL0_FRC3	SC_RES_VS_SEL	1	出力する垂直同期信号の選択 0：外部入力垂直同期信号 1：内部生成した自走用垂直同期信号

(2) 垂直同期信号多発マスク

入力の垂直同期信号を受け付けてから、次の垂直同期信号の受付を開始するタイミングを設定することで、標準周期より短い周期の垂直同期信号の受付を禁止します。
垂直同期信号の受付をマスクする期間は、SC_RES_VMASK[15:0] で設定します。

マスク期間 [usec] = SC_RES_VMASK × 128 ÷ ピクセルクロック [MHz]

本機能は SC_RES_VMASK_ON でオン／オフを制御します。

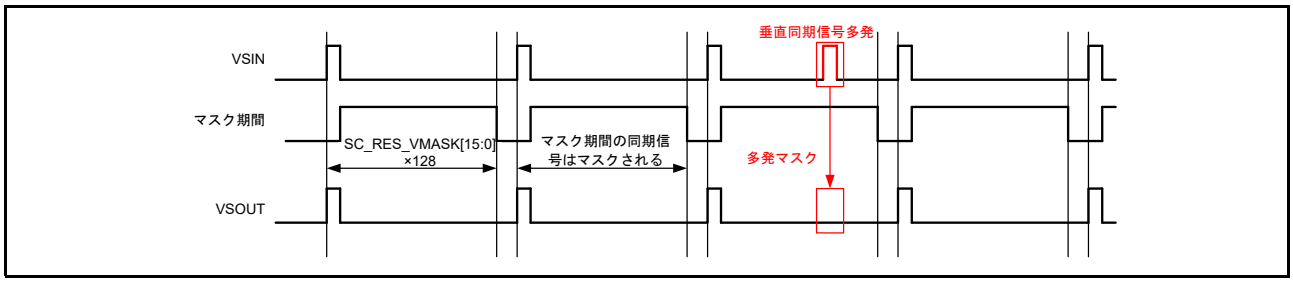


図 36.2　垂直同期信号多発マスクのタイミング図

表36.3　垂直同期信号多発マスク制御

レジスタ名	ビット名	初期値	説　明
SC_SCL0_FRC1	SC_RES_VMASK_ON	1	垂直同期信号の多発マスク制御 0：多発マスク制御オフ 1：多発マスク制御オン
SC_SCL0_FRC1	SC_RES_VMASK[15:0]	2800	垂直同期信号の多発マスク期間設定 垂直同期信号からの同期多発マスクをする期間をピクセルクロック周期の128倍で設定 マスク期間[usec] = SC_RES_VMASK × 128 ÷ ピクセルクロック[MHz]

(3) 垂直同期信号欠落補償

入力の垂直同期信号を受け付けてから、次の垂直同期信号が入力されるまでのウェイト期間を設定することで、標準周期より長い周期の垂直同期信号を出力しないようにします。

ウェイト期間内に垂直同期信号の受付がない場合は、内部で生成した同期信号を挿入します。

垂直同期信号の受付をウェイトする期間は、SC_RES_VLACK[15:0] で設定します。

ウェイト期間 [usec] = SC_RES_VLACK × 128 ÷ ピクセルクロック [MHz]

本機能は SC_RES_VLACK_ON でオン／オフを制御します。

垂直同期信号の受付期間中に垂直同期信号が入力されなかった場合は、SC_RES_QVLACK が ”H” にセットされます。

垂直同期信号の受付期間中に垂直同期信号が 4 回以上連続して検出された場合は、SC_RES_QVLOCK が "H" にセットされます。

SC_RES_QVLOCK は SC_RES_VMASK_ON、SC_RES_VLACK_ON が共にオフ設定でも検出可能です。

ただし、SC_RES_VMASK、SC_RES_VLACK を正しく設定する必要があります。

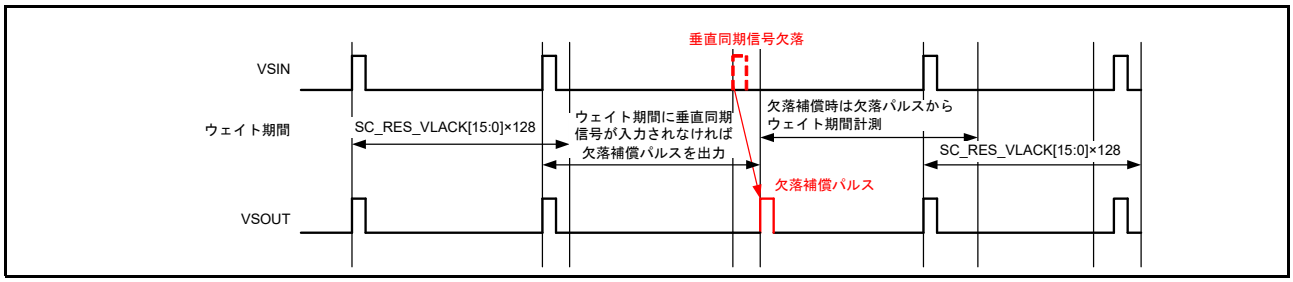


図 36.3　　垂直同期信号の欠落補償

表 36.4　　垂直同期信号欠落補償制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_FRC2	SC_RES_VLACK_ON	1	垂直同期信号の欠落補償制御 0：欠落補償制御オフ 1：欠落補償制御オン
SC_SCL0_FRC2	SC_RES_VLACK[15:0]	3600	垂直同期信号の欠落補償期間設定 垂直同期信号から同期欠落補償パルスを出力するまでのウェイト期間をピクセルクロック周期の128倍で設定 ウェイト期間[usec] = SC_RES_VLACK × 128 ÷ ピクセルクロック[MHz]
SC_SCL0_FRC9	SC_RES_QVLACK	—	垂直同期信号欠落検出フラグ 1：入力垂直同期信号欠落あり 0：入力垂直同期信号欠落なし
SC_SCL0_FRC9	SC_RES_QVLOCK	—	垂直同期信号ロック検出フラグ 1：入力垂直同期信号に多発または欠落なしが4垂直期間以上連続 0：入力垂直同期信号に多発または欠落あり

垂直同期信号多発マスクと垂直同期信号欠落補償は多発マスク→欠落補償→多発マスクの構成になっています。

垂直同期信号が欠落し、欠落補償パルス後にすぐ入力された場合などでも、垂直同期信号の出力が多発しないように欠落補償後に多発マスク処理を挿入しています。

後段の垂直同期多発マスク処理のオン／オフ制御は垂直同期欠落補償と共通設定、マスク周期は前段の垂直同期多発マスク処理のマスク期間設定と共通設定となっています。

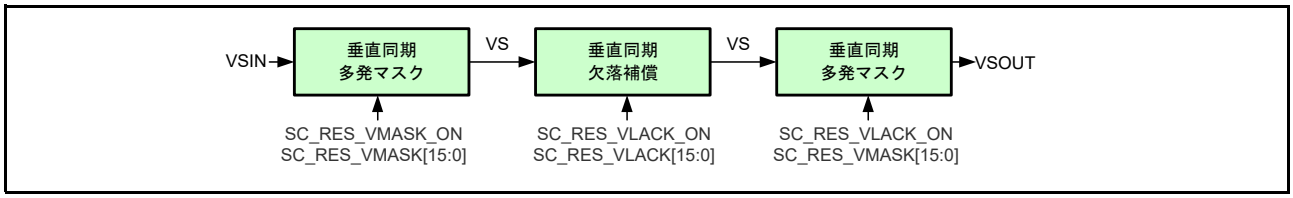


図 36.4　　多発マスク・欠落補償構成

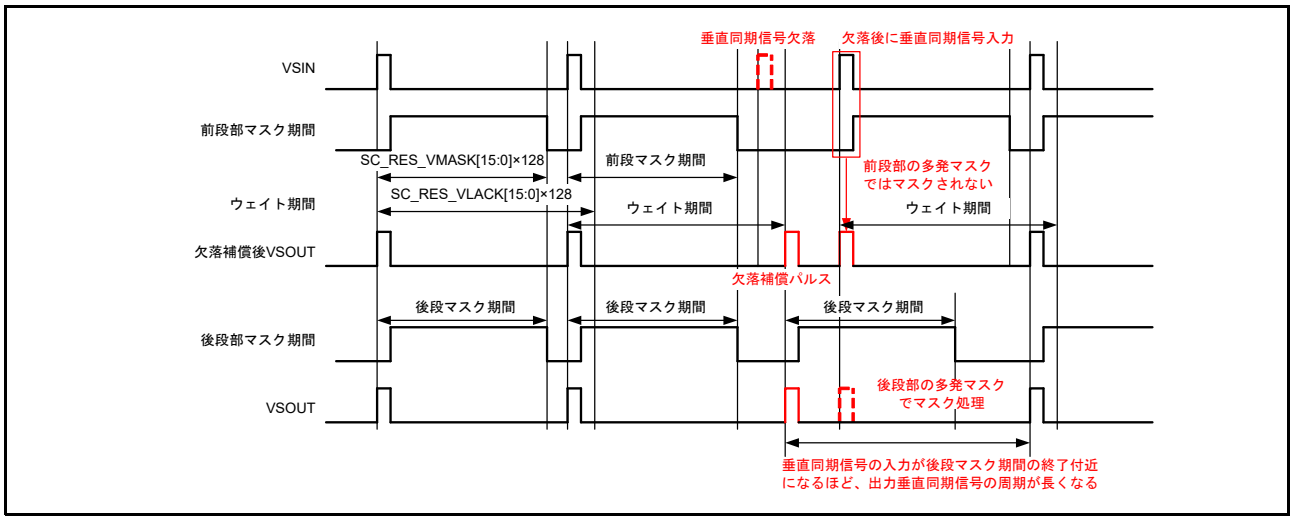


図 36.5　　多発マスク・欠落補償タイミング図

(4)　自走周期

自走用の垂直同期信号・水平同期信号の周期を設定します。

水平同期信号周期 [usec] = (SC_RES_FH + 1) ÷ ピクセルクロック [MHz]
垂直同期信号周期 [usec] = 水平周期 [usec] × (SC_RES_FV + 1)

表 36.5　　自走周期制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_FRC4	SC_RES_FV[10:0]	524	自走用垂直同期信号の周期設定 自走用垂直同期信号周期 = (SC_RES_FV + 1) × 水平周期[usec]
SC_SCL0_FRC4	SC_RES_FH[10:0]	799	水平同期信号の周期設定 水平同期信号周期[usec] = (SC_RES_FH + 1) ÷ ピクセルクロック[MHz]

外部入力垂直同期信号を選択する場合は SC_RES_VS_SEL = 0 とします。このとき、内部生成された自走用垂直同期信号は出力されません。
水平同期信号は常に自走設定で生成した水平同期信号がスケーリング部より出力されます。

(5) 垂直同期信号遅延制御

スケーリング出力の垂直同期信号の遅延を制御します。
フレームバッファの読み出しタイミング調整に使用します。

表 36.6　垂直同期信号遅延制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_FRC5	SC_RES_VSDLY[7:0]	1	垂直同期信号遅延制御 垂直同期信号を出力水平周期単位にて遅延調整 垂直同期信号遅延量[usec]：SC_RES_VSDLY × 出力水平周期[usec]

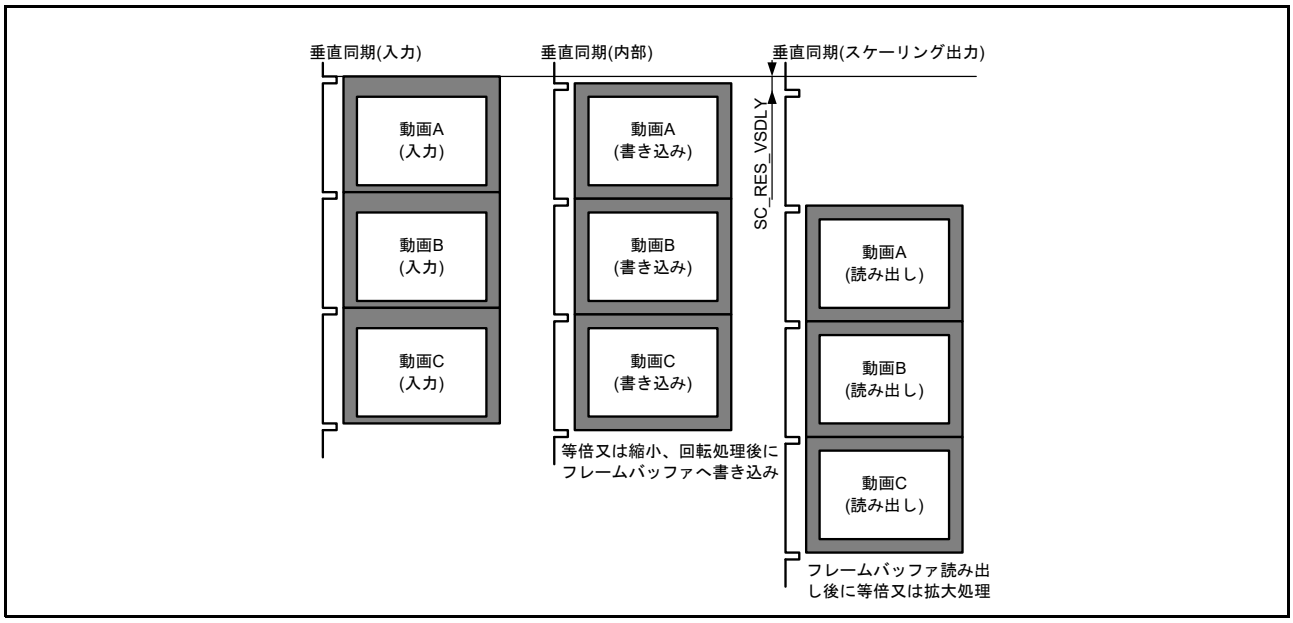


図 36.6　垂直同期信号の位相関係図（フレームバッファ 2 面使用時）

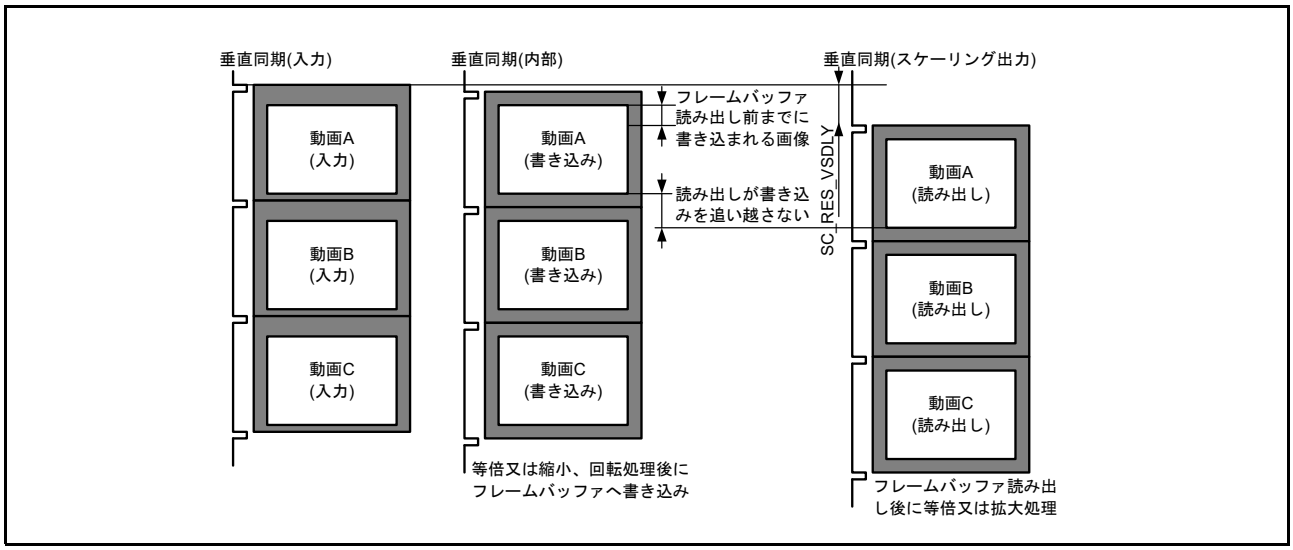


図 36.7　垂直同期信号の位相関係図（フレームバッファ 1 面使用時）

36.1.4 画角サイズ設定

(1) 画像取り込み範囲設定

縮小、拡大処理を行う画像の取り込み範囲を設定します。

画像の取込み範囲の設定は、入力される水平同期信号、垂直同期信号基準として開始位置、幅にて設定します。

表36.7　画像取り込み範囲制御

レジスタ名	ビット名	初期値	説　明
SC_SCL0_DS2	SC_RES_VS[10:0]	18	取込映像信号垂直位置設定 （VSYNC + Vバックポーチ ライン数－1） 注. 4ライン以上、SC_RES_VS + SC_RES_VWが2039ライン以内になるように設定してください。
SC_SCL0_DS2	SC_RES_VW[10:0]	240	取込映像信号垂直幅 （ライン数） 注. SC_RES_VS + SC_RES_VWが2039ライン以内になるように設定してください。
SC_SCL0_DS3	SC_RES_HS[10:0]	244	取込映像信号水平位置設定 （HSYNC + Hバックポーチ 映像クロック数） 注. 16クロック以上、SC_RES_HS + SC_RES_HWが4063クロック以内になるように設定してください。
SC_SCL0_DS3	SC_RES_HW[11:0]	1440	取込映像信号水平幅 （映像クロック数） 注. SC_RES_HS + SC_RES_HWが4063クロック以内になるように設定してください。

(2) フル画面イネーブル生成

スケーリング出力のフル画面の有効期間を設定します。

有効期間の設定は、スケーリング出力の水平同期信号、垂直同期信号を基準として開始位置、幅にて設定します。

V フロントポーチが 4 ライン以上、H フロントポーチが 16 クロック以上となるように設定してください。

表36.8　フル画面イネーブル制御

レジスタ名	ビット名	初期値	説　明
SC_SCL0_FRC6	SC_RES_F_VS[10:0]	35	フル画面の垂直イネーブル信号開始位置設定 （VSYNC + Vバックポーチ ライン数） 注. 4ライン以上、SC_RES_F_VS + SC_RES_F_VWが2039ライン以内になるように設定してください。
SC_SCL0_FRC6	SC_RES_F_VW[10:0]	480	フル画面の垂直イネーブル信号幅設定 （ライン数） 注. SC_RES_F_VS + SC_RES_F_VWが2039ライン以内になるように設定してください。
SC_SCL0_FRC7	SC_RES_F_HS[10:0]	144	フル画面の水平イネーブル信号開始位置設定 （HSYNC + Hバックポーチ ピクセルクロック数） 注. 16クロック以上、SC_RES_F_HS + SC_RES_F_HWが2015クロック以内になるように設定してください。
SC_SCL0_FRC7	SC_RES_F_HW[10:0]	640	フル画面の水平イネーブル信号幅設定 （ピクセルクロック数） 注1. SC_RES_F_HS + SC_RES_F_HWが2015クロック以内になるように設定してください。 注2. LCD出力信号としてシリアルRGB出力を選択する場合は、（フル画面の水平信号幅 + 2）を設定してください。

(3) 画像出力イネーブル生成

出力する画像の有効期間を設定します。

有効期間の設定は、スケーリング出力の水平同期信号、垂直同期信号基準として開始位置、幅にて設定します。

表36.9　画像出力イネーブル制御

レジスタ名	ビット名	初期値	説　明
SC_SCL0_US2	SC_RES_P_VS[10:0]	35	画像出力の垂直イネーブル信号開始位置設定 （VSYNC + Vバックポーチ ライン数） 注. 4ライン以上、SC_RES_P_VS + SC_RES_P_VWが2039ライン以内になるように設定してください。
SC_SCL0_US2	SC_RES_P_VW[10:0]	480	画像出力の垂直イネーブル信号幅設定 （ライン数） 注. SC_RES_P_VS + SC_RES_P_VWが2039ライン以内になるように設定してください。
SC_SCL0_US3	SC_RES_P_HS[10:0]	144	画像出力の水平イネーブル信号開始位置設定 （HSYNC + Hバックポーチ ピクセルクロック数） 注. 16クロック以上、SC_RES_P_HS + SC_RES_P_HWが2015クロック以内になるように設定してください。
SC_SLC0_US3	SC_RES_P_HW[10:0]	640	画像出力の水平イネーブル信号幅設定 （ピクセルクロック数） 注. SC_RES_P_HS + SC_RES_P_HWが2015クロック以内になるように設定してください。

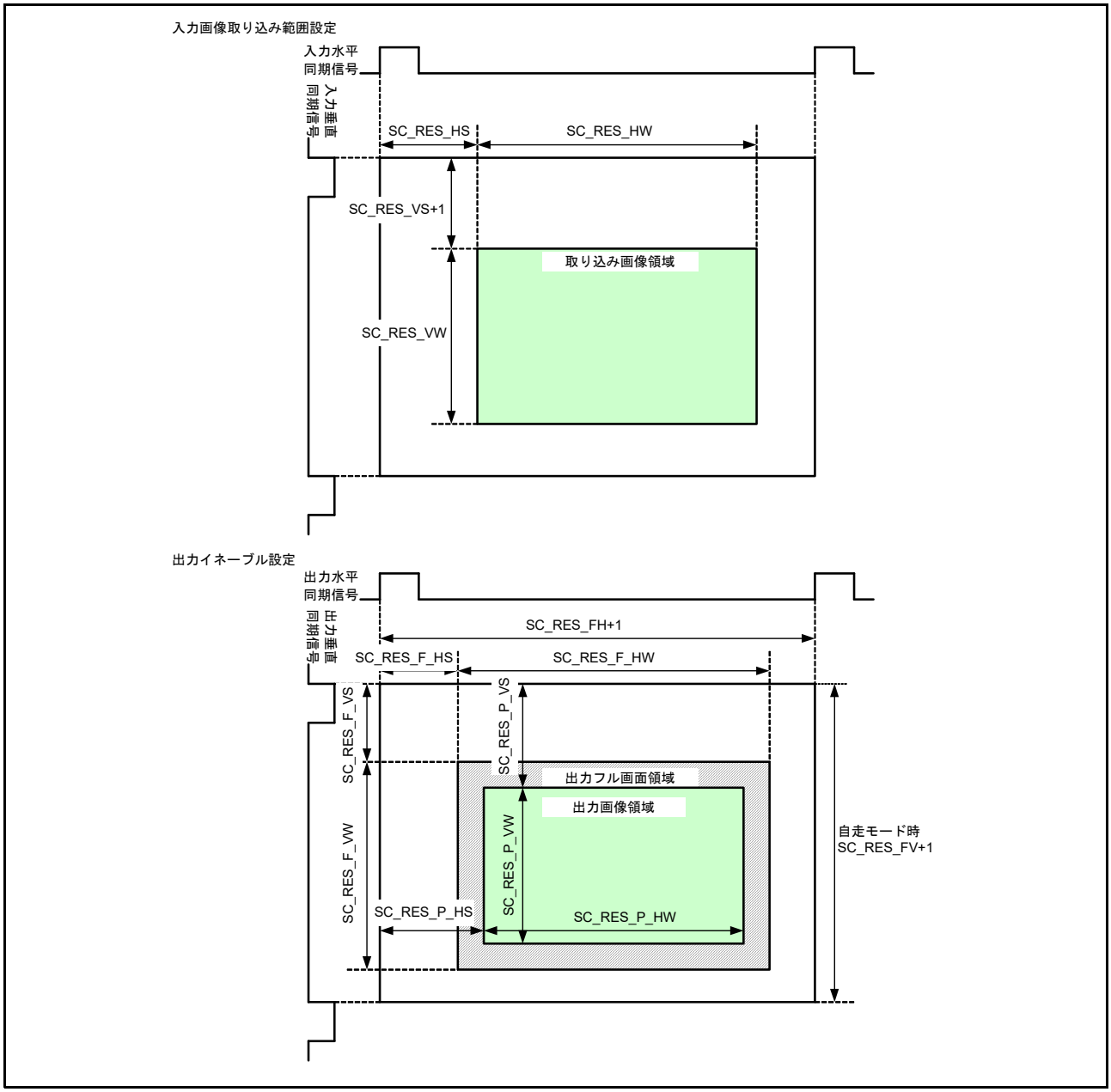


図 36.8　　イネーブル設定図

36.1.5 スケーリング設定

(1) スケーリング処理ブロック

縮小制御部では、入力制御部からの入力画像に対してスケーリング処理します。

回転制御がある場合、縮小スケーリング後に回転してフレームバッファへ書き込みます。

拡大制御部では回転後の画像をフレームバッファより読み出してスケーリング処理をします。入力制御部からの入力画像が、垂直有効期間が 1024 ラインより大きいまたは水平有効期間が 1440 クロックより大きい場合は、必ず縮小制御部にて垂直有効期間が 1024 ライン以下かつ水平有効期間が 1440 クロック以下となるように縮小を行ってください。

表 36.10　回転制御・スケーリング処理

回転制御	水平スケーリング	垂直スケーリング	縮小制御部	拡大制御部
通常	水平縮小	垂直縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	水平縮小	垂直拡大	水平縮小／垂直等倍	水平等倍／垂直拡大
	水平拡大	垂直縮小	水平等倍／垂直縮小	水平拡大／垂直等倍
	水平拡大	垂直拡大	水平等倍／垂直等倍	水平拡大／垂直拡大
水平鏡像	水平縮小	垂直縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	水平縮小	垂直拡大	水平縮小／垂直等倍	水平等倍／垂直拡大
	水平拡大	垂直縮小	水平等倍／垂直縮小	水平拡大／垂直等倍
	水平拡大	垂直拡大	水平等倍／垂直等倍	水平拡大／垂直拡大
90 度回転	（水平入力→垂直出力）縮小	（垂直入力→水平出力）縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	（水平入力→垂直出力）縮小	（垂直入力→水平出力）拡大	水平縮小／垂直等倍	水平拡大／垂直等倍
	（水平入力→垂直出力）拡大	（垂直入力→水平出力）拡大	水平等倍／垂直等倍	水平拡大／垂直拡大
180 度回転	水平縮小	垂直縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	水平縮小	垂直拡大	水平縮小／垂直等倍	水平等倍／垂直拡大
	水平拡大	垂直縮小	水平等倍／垂直縮小	水平拡大／垂直等倍
	水平拡大	垂直拡大	水平等倍／垂直等倍	水平拡大／垂直拡大
270 度回転	（水平入力→垂直出力）縮小	（垂直入力→水平出力）縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	（水平入力→垂直出力）縮小	（垂直入力→水平出力）拡大	水平縮小／垂直等倍	水平拡大／垂直等倍
	（水平入力→垂直出力）拡大	（垂直入力→水平出力）拡大	水平等倍／垂直等倍	水平拡大／垂直拡大

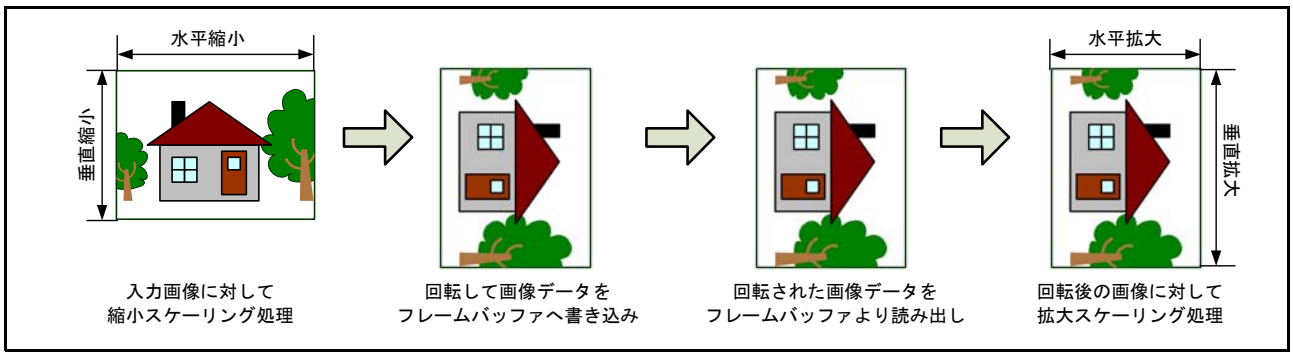


図 36.9　回転制御・スケーリング処理

縮小制御部の垂直縮小と拡大制御部の垂直拡大は排他処理のため、同時に使用することはできません。
したがって、90 度回転または 270 度回転時、下記のスケーリング処理を行うことはできません。

表 36.11　対応不可のスケーリング処理

回転制御	水平スケーリング	垂直スケーリング	縮小制御部	拡大制御部
90 度回転 270 度回転	（水平入力→垂直出力）拡大	（垂直入力→水平出力）縮小	水平等倍／垂直縮小	水平等倍／垂直拡大

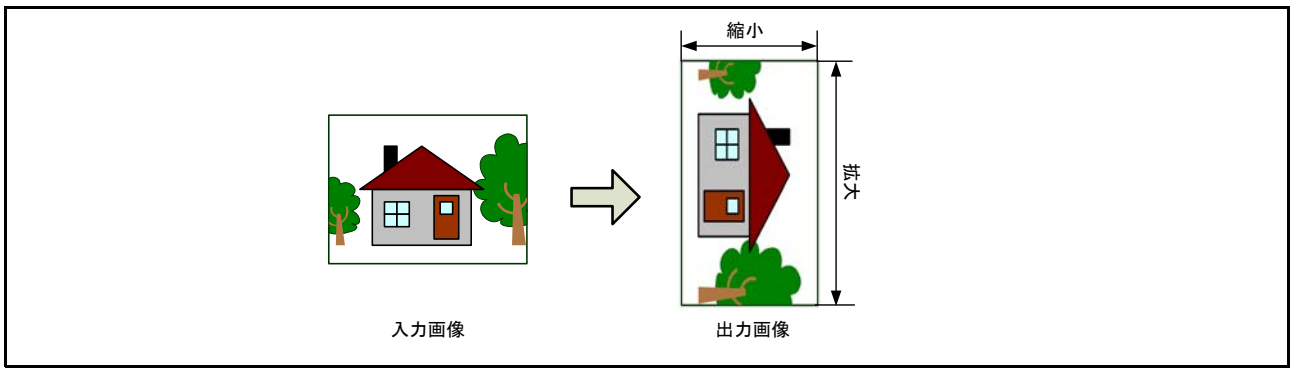


図 36.10　対応不可のスケーリング処理

36.1.6　水平プリフィルタ

水平縮小処理時の信号の周波数帯域抑制用に輝度（Y）信号、および RGB 信号に対して水平プリフィルタのオン／オフを制御します。入力フォーマットは、書き込み動作モードレジスタ（SC_SCL1_WR1）の SC_RES_MD[1:0] の設定に従います。

水平縮小率が高く、折り返し周波数成分が目立つ場合には水平プリフィルタをオンしてください。

表 36.12　水平プリフィルタ制御の設定値

入力フォーマット	SC_RES_PFIL_SEL	動　　作
YCbCr 入力	1	Y 信号フィルタオン、Cb/Cr 信号フィルタオフ
	0	フィルタオフ
RGB 入力	1	RGB 信号フィルタオン
	0	フィルタオフ

表 36.13　水平プリフィルタ制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_DS4	SC_RES_PFIL_SEL	0	輝度信号プリフィルタモード選択 0：プリフィルタオフ 1：プリフィルタオン（1/4 + 1/2 + 1/4）

36.1.7　水平縮小処理

水平画素に対して 1/1 ～ 1/8 [倍] の任意倍率での画素変換を行います。
スケーリングフィルタは、ホールド補間とリニア補間を選択できます。

(1) 1TAP ホールド補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は以下になります。

$X_{interpo} = X_n$

(2) 2TAP リニア補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は補間位置 phase より以下になります。

$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$

(3) 水平縮小率計算

水平縮小率 SC_RES_DS_H_RATIO は縮小制御部の入力画素数 SC_RES_HW と出力画素数 SC_RES_OUT_HW より下の式にて求められます。（小数点以下は四捨五入）

SC_RES_DS_H_RATIO = round (SC_RES_HW ÷ SC_RES_OUT_HW × 4096)

水平等倍時は SC_RES_HW と SC_RES_OUT_HW を同じ値に設定してください。

水平等倍時は SC_RES_DS_H_RATIO = 4096 に設定してください。

(4) 入力最終画素欠落対策

画面右端の出力最終画素は、（入力最終 – 1）画素と入力最終画素との補間で作られます。水平縮小率によっては、出力最終画素の補間位置が（入力最終 – 1）画素付近になることにより、入力最終画素が欠落したように見える場合があります。

以下の計算式にて水平縮小率を調整することで入力最終画素欠落の影響を少なくすることができます。

調整前の水平縮小率 RATIO_org を求め、調整値 σ を算出し縮小率 SC_RES_DS_H_RATIO を求めます。

RATIO_org = round (SC_RES_HW ÷ SC_RES_OUT_HW × 4096)

σ = (RATIO_org × (SC_RES_OUT_HW − 1) − (SC_RES_HW − 1) × 4096) ÷ (SC_RES_OUT_HW − 1)

SC_RES_DS_H_RATIO = roundup (RATIO_org − σ)

表 36.14　水平縮小制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_DS1	SC_RES_DS_H_ON	1	水平縮小オン／オフ設定 0：オフ 1：オン
SC_SCL0_DS7	SC_RES_OUT_HW[10:0]	640	縮小制御部出力の水平有効画素数 （映像クロック数）
SC_SCL0_DS4	SC_RES_DS_H_INTERPOTYP	1	水平補間方法選択 0：ホールド補間 1：リニア補間
SC_SCL0_DS4	SC_RES_DS_H_RATIO[15:0]	9224	水平縮小率　[15:12]：整数部　[11:0]：小数部 round (SC_RES_HW ÷ SC_RES_OUT_HW × 4096) SC_RES_DS_H_RATIO < 4096：設定禁止、 SC_RES_DS_H_RATIO = 4096：等倍、 SC_RES_DS_H_RATIO > 4096：縮小

注.　SC_RES_OUT_HWは4画素アライメントかつ、SC_RES_OUT_HW≦SC_RES_HWで設定してください。

36.1.8　垂直縮小処理

垂直ラインに対して 1/1 ～ 1/8 [倍] の任意倍率での画素変換を行います。
スケーリングフィルタとしては、ホールド補間とリニア補間を選択できます。

(1)　1TAP ホールド補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は以下になります。

$X_{interpo} = X_n$

(2)　2TAP リニア補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は補間位置 phase 以下になります。

$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$

(3)　垂直縮小率計算

垂直縮小率 SC_RES_V_RATIO は縮小制御部の入力ライン数 SC_RES_VW と出力ライン数 SC_RES_OUT_VW より下の式にて求められます。（小数点以下は四捨五入）

SC_RES_V_RATIO = round (SC_RES_VW ÷ SC_RES_OUT_VW × 4096)

垂直等倍時または垂直拡大時は SC_RES_VW と SC_RES_OUT_VW を同じ値に設定してください。
垂直等倍時は SC_RES_V_RATIO = 4096 で縮小処理を行います。

(4)　入力最終ライン欠落対策

画面下端の出力最終ラインは、（入力最終 – 1）ラインと入力最終ラインとの補間で作られます。垂直縮小率によっては、出力最終ラインの補間位置が（入力最終 – 1）ライン付近になることにより、入力最終ラインが欠落したように見える場合があります。

以下の計算式にて垂直縮小率を調整することで入力最終ライン欠落の影響を少なくすることができます。
調整前の垂直縮小率 RATIO_org を求め、調整値 σ を算出し縮小率 SC_RES_V_RATIO を求めます。

RATIO_org = round (SC_RES_VW ÷ SC_RES_OUT_VW × 4096)

σ = (RATIO_org × (SC_RES_OUT_VW － 1) － (SC_RES_VW － 1) × 4096) ÷ (SC_RES_OUT_VW － 1)

SC_RES_V_RATIO = round (RATIO_org － σ)

表36.15　垂直縮小制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_DS1	SC_RES_DS_V_ON	1	垂直縮小オン／オフ設定 0：オフ 1：オン
SC_SCL0_DS7	SC_RES_OUT_VW[10:0]	240	縮小制御部出力の垂直有効ライン数 （ライン数） 本ビットの設定は、フレームバッファへの書き込みライン数に反映されます。 SC_SCL1_WR1.SC_RES_LOOP = 0（フレーム書き込みモード）設定時は、1フレーム分のライン数を指定してください。 SC_SCL1_WR1.SC_RES_LOOP = 1（ライン書き込みモード）設定時は、リング状に書き出すライン数を指定してください。
SC_SCL0_DS5	SC_RES_V_INTERPOTYP	1	垂直補間方法選択 0：ホールド補間 1：リニア補間
SC_SCL0_DS6	SC_RES_V_RATIO[15:0]	2044	垂直拡大/縮小率　[15:12]：整数部　[11:0]：小数部 round (SC_RES_VW ÷ SC_RES_OUT_VW × 4096)：縮小時 round (SC_RES_IN_VW ÷ SC_RES_P_VW × 4096)：拡大時 SC_RES_V_RATIO < 4096：拡大、 SC_RES_V_RATIO = 4096：等倍、 SC_RES_V_RATIO > 4096：縮小

注.　SC_RES_V_RATIO、SC_RES_V_INTERPOTYPは垂直縮小、垂直拡大で共通レジスタとなります。
垂直縮小と垂直拡大は排他処理のため、同時に使用することはできません。
SC_RES_OUT_VWは4ラインアライメントかつ、SC_RES_OUT_VW≦SC_RES_VWで設定してください。

36.1.9　水平拡大処理

水平画素に対して 1 ～ 8[倍] の任意倍率での画素変換を行います。
スケーリングフィルタとしては、ホールド補間とリニア補間を選択できます。

(1)　1TAP ホールド補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は以下になります。

$X_{interpo} = X_n$

(2)　2TAP リニア補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は補間位置 phase より以下になります。

$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$

(3)　水平拡大率計算

水平拡大率 SC_RES_US_H_RATIO は拡大制御部の入力画素数 SC_RES_IN_HW と出力画素数 SC_RES_P_HW より下の式にて求められます。（小数点以下は四捨五入）

SC_RES_US_H_RATIO = round (SC_RES_IN_HW ÷ SC_RES_P_HW × 4096)

水平等倍時は SC_RES_IN_HW と SC_RES_P_HW を同じ値に設定してください。

水平等倍時は SC_RES_US_H_RATIO = 4096 に設定してください。

(4)　折り返し対策

画面右端の出力最終画素は、入力最終画素と折り返し（入力最終 – 1）画素との補間で作られます。そのため、水平拡大率によっては折り返しが目立つ場合があります。

以下の計算式にて水平拡大率を調整することで折り返し画素の影響を少なくすることができます。

調整前の水平拡大率 RATIO_org を求め、調整値 σ を算出し拡大率 SC_RES_US_H_RATIO を求めます。

RATIO_org = round (SC_RES_IN_HW ÷ SC_RES_P_HW × 4096)

σ = (RATIO_org × (SC_RES_P_HW － 1) － (SC_RES_IN_HW － 1) × 4096) ÷ (SC_RES_P_HW － 1)

SC_RES_US_H_RATIO = round (RATIO_org － σ)

表 36.16　水平拡大処理制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_US1	SC_RES_US_H_ON	1	水平拡大オン／オフ設定 0：オフ 1：オン
SC_SCL0_US4	SC_RES_IN_HW[10:0]	640	拡大制御部入力の水平有効画素数 （ピクセルクロック数）
SC_SCL0_US6	SC_RES_US_H_INTERPOTYP	1	水平補間方法指示 0：ホールド補間 1：リニア補間
SC_SCL0_US5	SC_RES_US_H_RATIO[15:0]	9224	水平拡大率　[15:12]：整数部　[11:0]：小数部 round (SC_RES_IN_HW ÷ SC_RES_P_HW × 4096) SC_RES_US_H_RATIO < 4096：拡大、 SC_RES_US_H_RATIO = 4096：等倍、 SC_RES_US_H_RATIO > 4096：設定禁止

36.1.10　垂直拡大処理

垂直ラインに対して 1 ～ 8 [倍] の任意倍率での画素変換を行います。
スケーリングフィルタとしては、ホールド補間とリニア補間を選択できます。

(1)　1TAP ホールド補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は以下になります。

$X_{interpo} = X_n$

(2)　2TAP リニア補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は補間位置 phase より以下になります。

$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$

(3)　垂直拡大率計算

垂直拡大率 SC_RES_V_RATIO は拡大制御部の入力ライン数 SC_RES_IN_VW と出力ライン数 SC_RES_P_VW より下の式にて求められます。（小数点以下は四捨五入）

SC_RES_V_RATIO = round (SC_RES_IN_VW ÷ SC_RES_P_VW × 4096)

垂直等倍時または垂直縮小時は SC_RES_IN_VW と SC_RES_P_VW を同じ値に設定してください。

(4)　折り返し対策

画面下端の出力最終ライン波、最終ラインと折り返し（入力最終 – 1）ラインとの補間で作られます。そのため、垂直拡大率によっては折り返しが目立つ場合があります。

以下の計算式にて垂直拡大率を調整することで折り返しラインの影響を少なくすることができます。

調整前の垂直拡大率 RATIO_org を求め、調整値 σ を算出し拡大率 SC_RES_V_RATIO を求めます。

RATIO_org = round (SC_RES_IN_VW ÷ SC_RES_P_VW × 4096)

σ = (RATIO_org × (SC_RES_P_VW － 1) － (SC_RES_IN_VW － 1) × 4096) ÷ (SC_RES_P_VW － 1)

SC_RES_V_RATIO = round (RATIO_org － σ)

表 36.17　垂直拡大処理制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_US1	SC_RES_US_V_ON	1	垂直拡大オン／オフ設定 0：オフ 1：オン
SC_SCL0_US4	SC_RES_IN_VW[10:0]	240	拡大制御部入力の垂直有効ライン数 （ライン数）
SC_SCL0_DS5	SC_RES_V_INTERPOTYP	1	垂直補間方法選択 0：ホールド補間 1：リニア補間
SC_SCL0_DS6	SC_RES_V_RATIO[15:0]	2044	垂直拡大率　[15:12]：整数部　[11:0]：小数部 round (SC_RES_VW ÷ SC_RES_OUT_VW × 4096)：縮小時 round (SC_RES_IN_VW ÷ SC_RES_P_VW × 4096)：拡大時 SC_RES_V_RATIO < 4096：拡大、 SC_RES_V_RATIO = 4096：等倍、 SC_RES_V_RATIO > 4096：縮小

注.　SC_RES_V_RATIO、SC_RES_V_INTERPOTYP は垂直縮小、垂直拡大で共通レジスタとなります。
垂直縮小と垂直拡大は排他処理のため、同時に使用することはできません。

36.1.11 IP 変換

(1) 初期位相制御

インタレース信号入力時には、TOP フィールドと BOTTOM フィールドのスケーリング初期位相を個別に調整することでフィールド間のラインオフセットによるラインフリッカを軽減させて表示します。

各動作時の設定は、下表を参照してください。

表36.18　IP変換時のスケーリング初期位相設定表（標準値）

回転制御	水平スケーリング	垂直スケーリング	参照ビット（設定値）
通常	水平縮小	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平縮小	垂直拡大	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直拡大	SC_RES_TOP_INIPHASE ＝ 2048
水平鏡像	水平縮小	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平縮小	垂直拡大	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直拡大	SC_RES_TOP_INIPHASE ＝ 2048
90 度回転	（水平入力→垂直出力）縮小	（垂直入力→水平出力）縮小	SC_RES_TOP_INIPHASE ＝ 2048
	（水平入力→垂直出力）縮小	（垂直入力→水平出力）拡大	SC_RES_TOP_INIPHASE ＝ 2048
	（水平入力→垂直出力）拡大	（垂直入力→水平出力）拡大	SC_RES_US_HB_INIPHASE ＝ 2048
180 度回転	水平縮小	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平縮小	垂直拡大	SC_RES_BTM_INIPHASE ＝ 2048
	水平拡大	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直拡大	SC_RES_BTM_INIPHASE ＝ 2048
270 度回転	（水平入力→垂直出力）縮小	（垂直入力→水平出力）縮小	SC_RES_TOP_INIPHASE ＝ 2048
	（水平入力→垂直出力）縮小	（垂直入力→水平出力）拡大	SC_RES_TOP_INIPHASE ＝ 2048
	（水平入力→垂直出力）拡大	（垂直入力→水平出力）拡大	SC_RES_US_HT_INIPHASE ＝ 2048

注.　表中に設定値がない初期位相制御レジスタは0を設定してください。
　　プログレッシブ信号入力時、初期位相制御レジスタは0を設定してください。

表36.19　スケーリング初期位相制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_DS5	SC_RES_BTM_INIPHASE[11:0]	0	BOTTOMフィールド垂直補間開始位相値 0～4095 （0～約1.0）
SC_SCL0_DS5	SC_RES_TOP_INIPHASE[11:0]	2048	TOPフィールド垂直補間開始位相値 0～4095 （0～約1.0）
SC_SCL0_US6	SC_RES_US_HB_INIPHASE [11:0]	0	BOTTOMフィールド水平補間開始位相値 0～4095 （0～約1.0）
SC_SCL0_US6	SC_RES_US_HT_INIPHASE [11:0]	0	TOPフィールド水平補間開始位相値 0～4095 （0～約1.0）

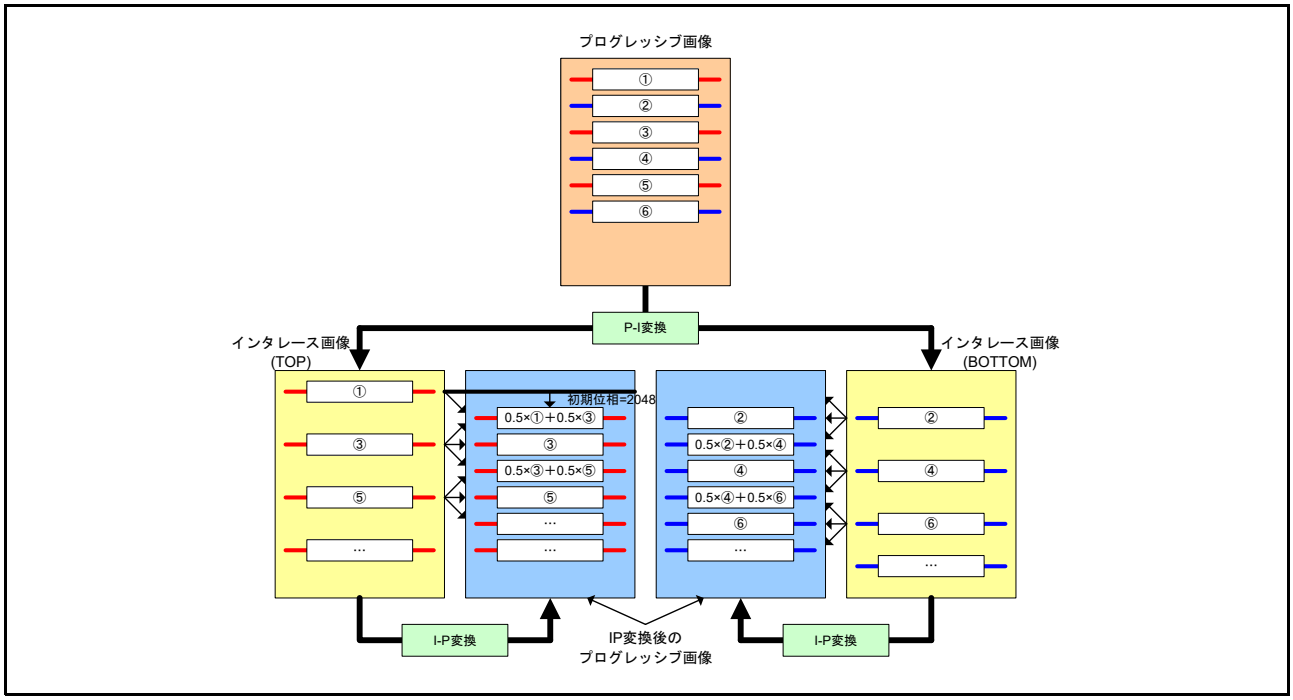


図 36.11　IP 変換処理概要図

(2)　フィールド判別信号制御

インタレース信号入力時、垂直スケーリングにより拡大制御部へ出力するフィールド判別信号の制御を行います。

プログレッシブ信号入力時、または垂直スケーリングを縮小制御部で行う場合、拡大制御部へ出力されるフィールド判別信号は固定値となるため、SC_RES_FLD_DLY_SEL 設定値はどちらでも構いません。

表 36.20　フィールド判別信号制御の設定値

入力信号	回転制御	垂直処理	フレームバッファ	SC_RES_FLD_DLY_SEL
プログレッシブ	–	–	–	–
インタレース	通常 水平鏡像 180 度回転	垂直縮小	–	–
		垂直拡大	1 面以下	0
			2 面以上	1
	90 度回転 270 度回転	（水平入力→垂直出力）縮小	–	–
		（水平入力→垂直出力）拡大	2 面以上	1

表 36.21　フィールド判別信号制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_FRC5	SC_RES_FLD_DLY_SEL	1	フィールド判別信号の遅延制御 0：遅延無し 1：1垂直期間遅延

36.1.12　縮小前画像ライン指定割り込み制御、縮小前画像ラインの読み出し

縮小制御部に入力される画像のライン位置が、SC_SCL1_LINE と同じになったときに、割り込み処理を行います。また、縮小制御部に入力される画像の現在のライン位置を読み出すことができます。

表36.22　縮小前画像ライン割り込み設定、ライン読み出し

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_INT	SC_RES_LINE [10:0]	すべて 0	縮小制御部に入力される画像のライン割り込み設定 縮小制御部に入力される画像のライン位置がSC_SCL0_LINEの値と一致するとき、割り込み信号を出力します。(本製品では設定禁止です)
SC_SCL0_MON0	SC_RES_LIN_STAT [10:0]	すべて 0	縮小制御部に入力される画像の現在のライン位置

36.1.13　トリミング

スケーリング後の画像に対して SC_RES_VCUT、SC_RES_HCUT で設定された上下左右端の画像をカットして出力します。

また、SC_RES_DISP_ON を 1 に設定することで領域の枠を表示することができます。

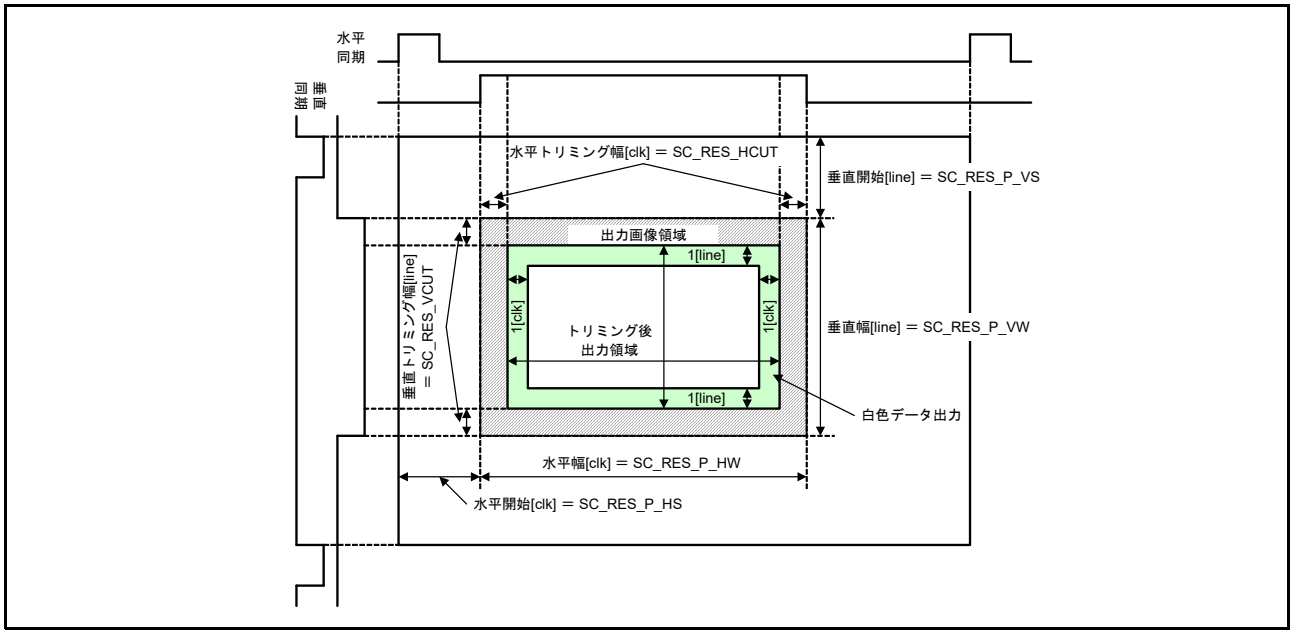


図 36.12　トリミング領域図（枠表示時）

表36.23　トリミング制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_US7	SC_RES_HCUT[7:0]	0	スケーリング後画像の水平方向左右カット数 ピクセルクロック数を設定
SC_SCL0_US7	SC_RES_VCUT[7:0]	0	スケーリング後画像の垂直方向上下カット数 ライン数を設定
SC_SCL0_US8	SC_RES_DISP_ON	0	トリミング後画像の枠表示オン／オフ設定 0：枠表示オフ 1：枠表示オン

36.1.14 画面合成

フル画面の有効期間に対して画像出力の領域を重ねて出力します。フル画面の有効期間に対して画像出力領域が小さい場合には、SC_RES_BK_COL_R、SC_RES_BK_COL_G、SC_RES_BK_COL_B にて設定されたバックグランドカラーを表示します。

表36.24　画面合成制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_OVR1	SC_RES_BK_COL_R[7:0]	128	背景表示色設定R/Cr信号 R：8ビット符号無し（0～255 [LSB]） Cr：8ビット128オフセットバイナリ符号無し（0～255 [LSB]）
SC_SCL0_OVR1	SC_RES_BK_COL_B[7:0]	128	背景表示色設定B/Cb信号 B：8ビット符号無し（0～255 [LSB]） Cb：8ビット128オフセットバイナリ符号無し（0～255 [LSB]）
SC_SCL0_OVR1	SC_RES_BK_COL_G[7:0]	0	背景表示色設定G/Y信号 G/Y：8ビット符号無し（0～255 [LSB]）

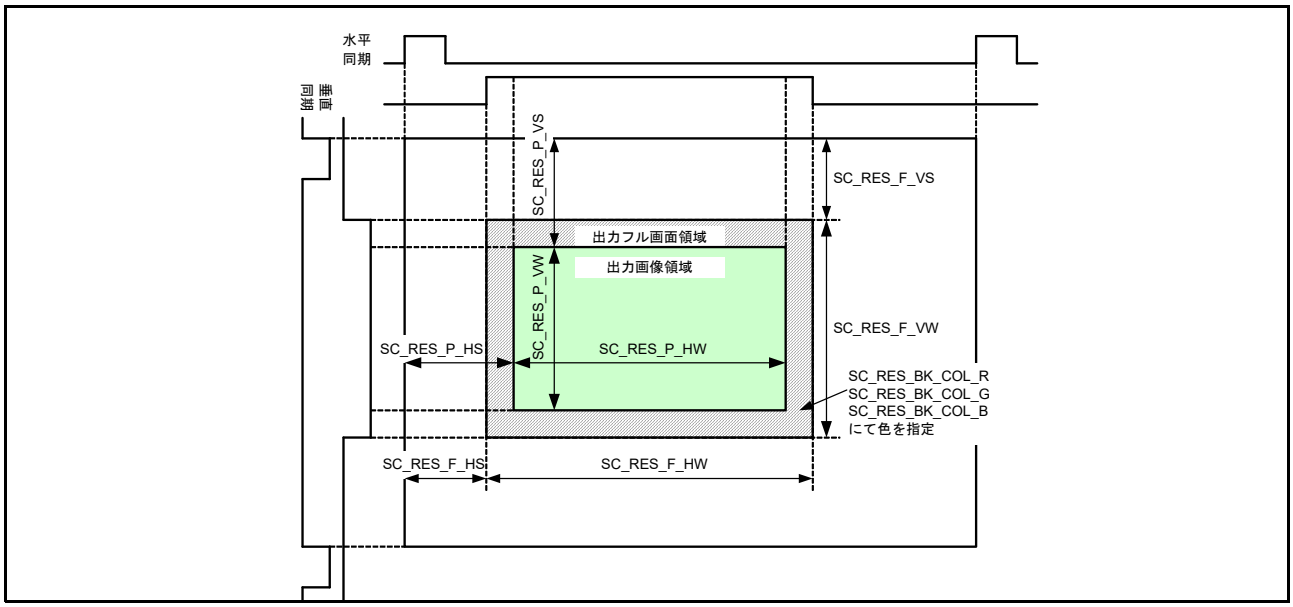


図 36.13　フル画面に対して画像出力サイズが小さい場合の領域図

36.1.15　フレームバッファ書き込み映像フォーマット選択

フレームバッファへの書き込み映像フォーマットを選択します。

スケーリング部には YCbCr 信号 24 ビット、または RGB 信号 24 ビットが入力されますが、フレームバッファへの書き込みは YCbCr422（16 ビット）、RGB565（16 ビット）、YCbCr444（32 ビット）、RGB888（32 ビット）で行います。

RGB565 へのビット縮退処理は、SC_RES_DTH_ON により四捨五入または 2×2 パターンディザの 2 種から選択できます。パターンディザの詳細については、出力制御部の**「39.1.7　ディザ処理」**を参照してください。歪み補正エンジンへは YCbCr 信号入力を YCbCr422 に変換して出力します。歪み補正処理に関しては、**「42.　歪み補正エンジン 2（IMR-LS2）」**を参照してください。

表 36.25　フレームバッファ書き込み動作モード設定表

RES_BITDEC_ON	RES_MD[1:0]	動作モード
0	3	YCbCr444（通常、水平鏡像）
0	2	RGB888（通常、水平鏡像）
1	1	RGB565（通常、水平鏡像、回転）
*	0	YCbCr422（通常、水平鏡像、回転）、YCbCr422（歪み補正）

表 36.26　映像フォーマット選択制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR1	SC_RES_MD[1:0]	0	フレームバッファ書き込み映像フォーマット 0：YCbCr422（16 ビット） 1：RGB565（16 ビット） 2：RGB888（24（32）ビット） 3：YCbCr444（24（32）ビット）
SC_SCL1_WR6	SC_RES_BITDEC_ON	0	ビット縮退オン／オフ設定 0：オフ 1：オン
SC_SCL1_WR6	SC_RES_DTH_ON	0	ディザ補正オン／オフ設定 0：オフ（四捨五入） 1：オン（2 × 2 パターンディザ）

36.1.16 水平鏡像、回転処理

縮小処理後の画像を水平鏡像、回転処理してフレームバッファに書き込みを行います。
水平鏡像、回転処理における画像と処理モードの対応表を下表に示します。

表36.27 水平鏡像、回転処理の対応表

RES_DS_WR_MD[2:0]	書き込み動作モード	YCbCr444	YCbCr422	RGB565	RGB888
0	通常書き込み	○	○	○	○
1	水平鏡像書き込み	○	○	○	○
2	90度回転書き込み	×	○	○	×
3	180度回転書き込み	×	○	○	×
4	270度回転書き込み	×	○	○	×
5～7	設定禁止	−	−	−	−

表36.28 水平鏡像、回転処理制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR1	SC_RES_DS_WR_MD[2:0]	0	フレームバッファ書き込動作モード 0：通常書き込み 1：水平鏡像書き込み 2：90度回転書き込み 3：180度回転書き込み 4：270度回転書き込み 5～7：設定禁止

36.1.17　フレームバッファ書き込み処理

(1)　フレームバッファ転送モード

映像、グラフィックスデータを格納するフレームバッファへのアクセスモードとして、32 バイト転送、128 バイト転送が選択できます。

表 36.29　フレームバッファ転送モード

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR1	SC_RES_BST_MD	0	フレームバッファ書き込み転送のバースト長 0：32 バイト 1：128 バイト

(2)　フレームバッファ書き込み制御

フレームバッファへの書き込みオン／オフを制御します。

表 36.30　フレームバッファ書き込み制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR5	SC_RES_WENB	0	フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0：書き込み禁止 1：書き込み許可

(3)　フレームバッファ書き込みレート選択

フレームバッファへの書き込みレートを入力信号の垂直周期にて 1/1、1/2、1/4、1/8 の選択ができます。
また、1/2、1/4、1/8 時には、書き込み対象フィールドの選択ができます。

表 36.31　フレームバッファ書き込み制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR5	SC_RES_FS_RATE[1:0]	0	書き込み間隔 入力信号に対し書き込みフレームレートを設定します 0：入力信号に対して 1/1 (SC_RES_FLD_SEL の設定は無効となります) 1：入力信号に対して 1/2 2：入力信号に対して 1/4 3：入力信号に対して 1/8
SC_SCL1_WR5	SC_RES_FLD_SEL	0	書き込みフィールド選択 0：TOP フィールド 1：BOTTOM フィールド
SC_SCL1_WR5	SC_RES_INTER	1	フィールド動作モード設定 0：プログレッシブ 1：インタレース

(4) フレームバッファ書き込みアドレス

フレームバッファ上のアドレスは、ベースアドレス、ラインオフセットアドレス、フレームオフセットアドレス、1 ラインのデータサイズ、1 フレームのライン数にて設定します。また、インタレース映像入力時フレームバッファは TOP/BOTTOM に分離して格納することが可能です。

SC_RES_BASE[31:0], SC_RES_LN_OFF[14:0], SC_RES_FLM_OFF[22:0] は 32 バイト単位で設定します（下位 5 ビットは 0 固定）。

ただし、128 バイト転送時は 128 バイト単位での設定が必要なため、アドレス制御レジスタの [6:5] は 0 固定で設定してください。

1 ラインのデータサイズ、1 フレームのライン数は縮小制御部にて設定されるレジスタ値が使用されます。

表36.32　フレームバッファ書き込みアドレス制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR1	SC_RES_TB_ADD_MOD	0	TOPおよびBOTTOMの書き込み先アドレス指定方法 0 : TOP/BOTTOM共通で1つの書き込み先アドレスを指定 1 : TOP/BOTTOM別々に書き込み先アドレスを指定
SC_SCL1_WR2	SC_RES_BASE [31:0]	0	フレームバッファのベースアドレス SC_RES_TB_ADD_MOD = 1設定時TOP、0設定時TOPおよびBOTTOMのフレームデータを格納するフレームバッファの先頭アドレスを設定 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
SC_SCL1_WR8	SC_RES_BASE_B [31:0]	0	BOTTOMのフレームバッファのベースアドレス SC_RES_TB_ADD_MOD = 1設定時BOTTOMのフレームデータを格納するフレームバッファの先頭アドレスを設定 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
SC_SCL1_WR3	SC_RES_LN_OFF [14:0]	2048	フレームバッファのラインオフセットアドレス SC_RES_TB_ADD_MOD = 1設定時TOP、0設定時TOPおよびBOTTOMのラインの先頭アドレス計算時のラインオフセットアドレスを設定 ライン0：SC_RES_BASE ライン1：SC_RES_BASE + SC_RES_LN_OFF × 1 ： ラインn：SC_RES_BASE + SC_RES_LN_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
SC_SCL1_WR9	SC_RES_LN_OFF_B [14:0]	2048	BOTTOMのフレームバッファのラインオフセットアドレス SC_RES_TB_ADD_MOD = 1設定時BOTTOMのラインの先頭アドレス計算時のラインオフセットアドレスを設定 ライン0：SC_RES_BASE_B ライン1：SC_RES_BASE_B + SC_RES_LN_OFF_B × 1 ： ラインn：SC_RES_BASE_B + SC_RES_LN_OFF_B × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
SC_SCL1_WR4	SC_RES_FLM_OFF [22:0]	524288	フレームバッファのフレームオフセットアドレス SC_RES_TB_ADD_MOD = 1設定時TOP、0設定時TOPおよびBOTTOMの各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定 バッファ 0：SC_RES_BASE バッファ 1：SC_RES_BASE + SC_RES_FLM_OFF × 1 ： バッファ n：SC_RES_BASE + SC_RES_FLM_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR10	SC_RES_FLM_OFF_B [22:0]	524288	BOTTOMのフレームバッファのフレームオフセットアドレス SC_RES_TB_ADD_MOD = 1設定時BOTTOMの各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定 バッファ 0：SC_RES_BASE_B バッファ 1：SC_RES_BASE_B + SC_RES_FLM_OFF_B × 1 　： バッファ n：SC_RES_BASE_B + SC_RES_FLM_OFF_B × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

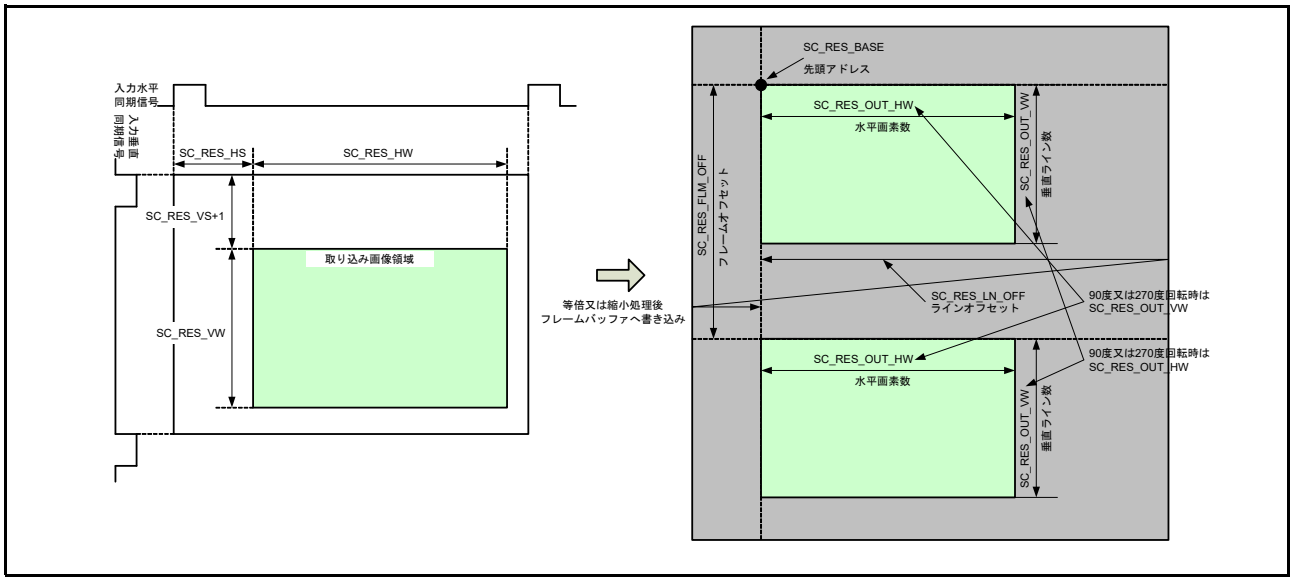


図 36.14　　フレームバッファのデータ配置のイメージ図

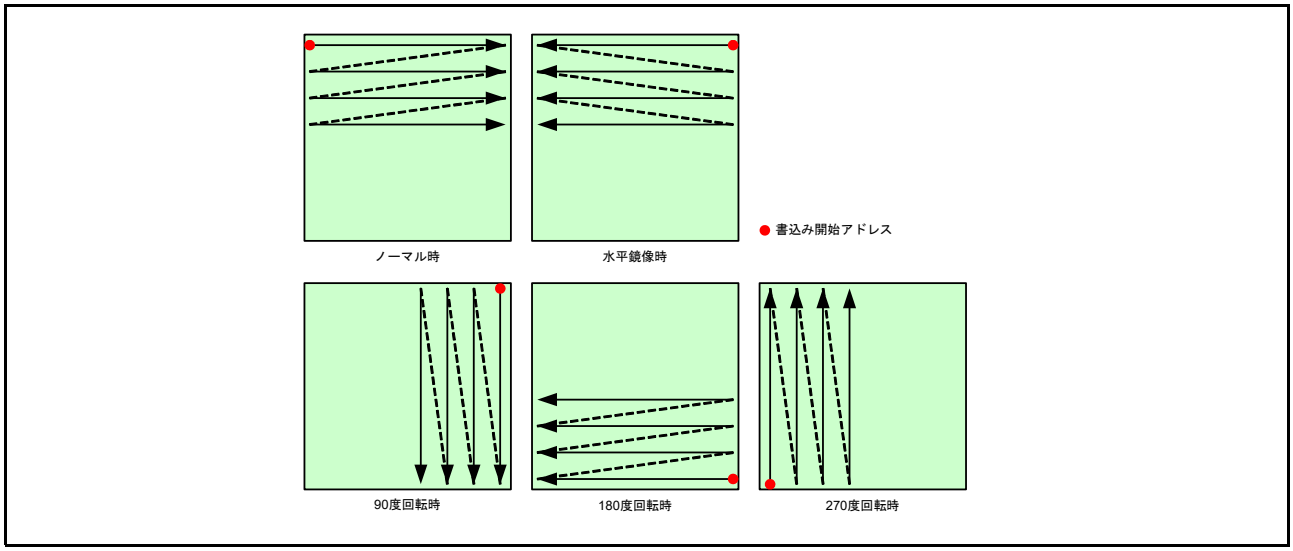


図 36.15　　各書き込みモード時のフレームバッファ上のデータ配置のイメージ図

(5) フレームバッファ管理

スケーリング部は、フレームバッファとして複数フレームに対応しています。
SC_RES_FLM_NUM にて設定したフレーム数にて巡回書き込みを行います。
回転処理時は、2 フレーム以上に設定してください。
フレームバッファをライン設定にてリング状に使用する場合は、SC_RES_FLM_NUM = 0（1 フレーム使用）、SC_RES_LOOP = 1 に設定してください。

表36.33　フレームバッファ書き込み制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR3	SC_RES_FLM_NUM[9:0]	1	書き込みフレームバッファのフレーム数 SC_RES_TB_ADD_MOD = 1 設定時TOP、0設定時TOPおよびBOTTOMのフレーム数を設定SC_RES_FLM_NUM + 1 のフレーム数を使用
SC_SCL1_WR9	SC_RES_FLM_NUM_B[9:0]	1	SC_RES_TB_ADD_MOD = 1 設定時BOTTOMの書き込みフレームバッファのフレーム数 SC_RES_FLM_NUM_B + 1のフレーム数を使用
SC_SCL1_WR1	SC_RES_LOOP	0	フレームバッファ書き込みモード選択 0：フレーム書き込みモード 1：ライン書き込みモード（リング状読み出し）
SC_SCL1_WR7	SC_RES_FLM_CNT[9:0]	—	現在アクセス中のフレーム番号 SC_RES_TB_ADD_MOD = 1 設定時TOP、0設定時TOPおよびBOTTOMの現在アクセス中のフレーム番号
SC_SCL1_WR11	SC_RES_FLM_CNT_B[9:0]	—	現在アクセス中のBOTTOMのフレーム番号 SC_RES_TB_ADD_MOD = 1 設定時BOTTOMの現在アクセス中のフレーム番号

(6) バッファオーバフロー処理

フレームバッファへの書き込み処理にてバストラフィック等の問題で書き込みできなかった場合、オーバフロー割り込みを割り込み制御に対して出力します。

表36.34　バッファオーバフロー検出

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR7	SC_RES_OVERFLOW	—	ラインバッファのオーバフロー検出 1：ラインバッファオーバフローあり 0：ラインバッファオーバフローなし

(7) フレームバッファ書き込み終了フラグ

フレームバッファへ 1 フレーム分のデータ書き込み処理が終了したらフレームバッファ書き込み終了割り込みを割り込み制御に対して出力します。

36.1.18　拡大処理とグラフィックス（0）処理の選択

拡大処理は、グラフィックス（0）処理と排他動作になり、同時にフレームバッファより読み出すことはできません。

入力される映像信号を表示またはグラフィックスを拡大して表示する場合は、拡大制御部よりフレームバッファのデータを読み出します。

ただし、グラフィックス表示は RGB565、RGB888、YCbCr422、YCbCr444 フォーマットのみ拡大制御部にて拡大表示が可能です。

グラフィックスを拡大せずに表示する場合は、グラフィックス（0）処理部よりフレームバッファのデータを読み出します。

SC_RES_IBUS_SYNC_SEL にてフレームバッファ読み出しの同期信号、読み出しサイズ設定レジスタを選択します。

表36.35　拡大処理とグラフィックス（0）処理の選択

スケーリング表示出力	RES_IBUS _SYNC_SEL	フレームバッファ 読み出し同期信号	フレームバッファ 読み出しサイズ設定	表示イネーブル設定
入力映像信号表示 グラフィックス拡大表示	0	拡大制御部出力	SC_RES_IN_VW SC_RES_IN_HW	SC_RES_P_VS SC_RES_P_VW SC_RES_P_HS SC_RES_P_HW
グラフィックス表示	1	グラフィックス（0）出力	GR_FLM_LNUM（注1） GR_HW（注1）	GR_GRC_VS GR_GRC_VW GR_GRC_HS GR_GRC_HW

注1.　レジスタ設定値 + 1が読み出しサイズになります。

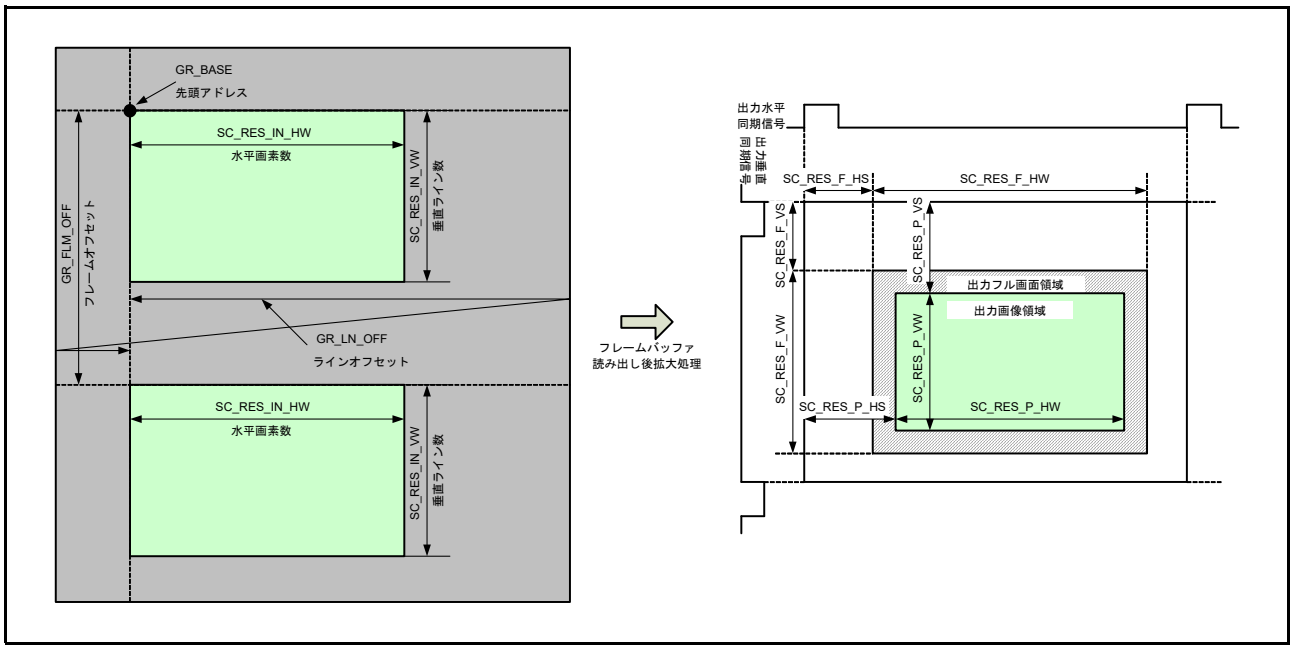


図 36.16　入力映像信号表示、グラフィックス拡大表示時の領域設定

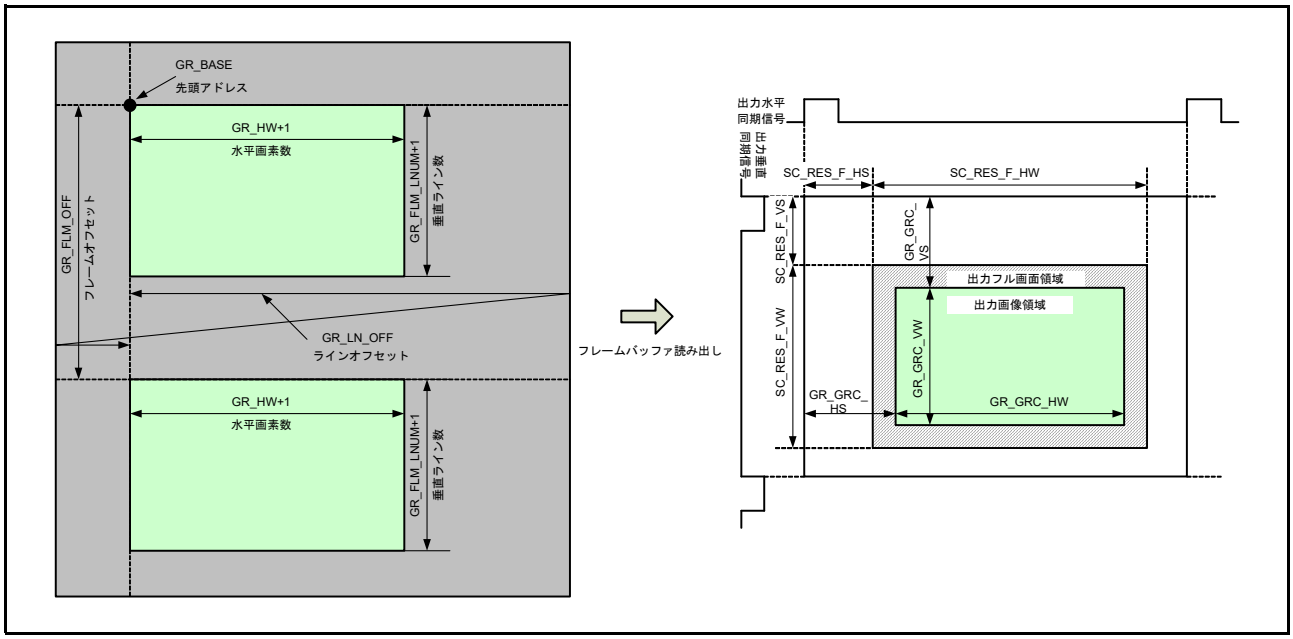


図 36.17　　グラフィックス表示時の領域設定

表 36.36　　拡大処理とグラフィックス（0）処理の選択制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_US8	SC_RES_IBUS_SYNC_SEL	0	フレームバッファ読み出し部の同期信号選択 0：拡大制御部同期信号 1：グラフィックス部同期信号

拡大制御部からの表示（映像表示、グラフィックス拡大表示）とグラフィックス表示の選択は GR_DISP_SEL にて制御されます。

グラフィックス処理の詳細は後述の画面合成部を参照してください。

36.1.19　フレームバッファ読み出し時のフィールド指定

次に読み出すフレームバッファに対し、TOP/BOTTOM フィールド指定を行う事が出来ます。このフィールド指定は拡大処理制御部で使用されます。

表36.37　フレームバッファ読み出し時のフィールド指定

レジスタ名	ビット名	初期値	説　　明
GR_FLM1	GR_FLD_SEL	0	次に読み出すフレームバッファに対し、TOP/BOTTOMフィールド指定の選択を有効にするかを選択 0：フィールド指定は無効。 1：TOP/BOTTOMフィールド指定可能。
GR_FLM3	GR_FLD_NXT	0	次フレームバッファのTOP/BOTTOMフィールドの指定 0：BOTTOM 1：TOP

36.1.20　ポインタバッファとフレームバッファ読み出し処理

(1)　ポインタバッファ

入力映像のフレームバッファ制御を、ポインターバッファを使用して行う事が出来ます。主に、入力垂直同期信号と出力垂直同期信号タイミングが非同期の際に起こる出力映像のちらつきを防ぐために使用します。

ポインターバッファは4セットあり、それぞれフレームバッファの先頭位置を示す先頭アドレスレジスタと、フィールドの TOP/BOTTOM を示すフィールド情報レジスタを持ちます。4つのポインターバッファはリング構造になっており、現在書き込み中のポインターバッファを示すライトポインタを持ちます。ライトポインタの指し示す位置は現在書き込み中であり、そのポインターバッファの内容は不定です。書き込み中のポインターバッファの内容とライトポインタは、フレームデータの書き込みが完了した時点で自動的に更新されます。

フレームバッファアドレス設定信号でポインターバッファと連携（GR_FLM_SEL = 3）を選択した場合、現在読み出し中のポインターバッファを示すリードポインタによって、読み出し制御を行います。すなわち、ポインターバッファから次に読み出すフレームバッファの先頭アドレスとフィールド情報とを読み出し、フレームバッファベースアドレスとフィールド情報にセットします。リードポインタは、読み出し側の垂直同期信号の立ち上がりで自動的に更新されます。

(2)　ライトポインタ制御

ライトポインタは、フレームデータの書き込みが完了する毎に更新し、常に＋1カウントアップします。

(3)　リードポインタ制御

リードポインタは、読み出し側の垂直同期信号の立ち上がりで、ライトポインタとの差分によって次のように更新します。

(A)「ライトポインター リードポインタ」≦ 1 の場合
　リードポインタは更新しません。(同じフレームを連続して表示することになります)

(B)「ライトポインタ – リードポインタ」= 2 の場合
　リードポインタは次の更新で、＋1カウントアップします。

(C)「ライトポインタ – リードポインタ」≧ 3 の場合
　リードポインタは次の更新で、＋2カウントアップします。
　(フレームを1枚飛ばして表示することになります)

(4) フレームバッファ読み出し制御

（A）SC_RES_WENB = 0 の場合
フレームデータの書き込みが行われないため、読み出しも行いません。

（B）SC_RES_WENB = 1 で、フレームデータの書き込みが終了した場合
ポインターバッファの内容が確定するため、読み出しを行います。

表36.38　フレームバッファ制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_PBUF0	SC_BUF0_ADD	0	ポインターバッファ0が指す、書き込みバッファの先頭アドレス
SC_SCL1_PBUF1	SC_BUF1_ADD	0	ポインターバッファ1が指す、書き込みバッファの先頭アドレス
SC_SCL1_PBUF2	SC_BUF2_ADD	0	ポインターバッファ2が指す、書き込みバッファの先頭アドレス
SC_SCL1_PBUF3	SC_BUF3_ADD	0	ポインターバッファ3が指す、書き込みバッファの先頭アドレス
SC_SCL1_PBUF_FLD	SC_FLD_INF0	0	ポインターバッファ0が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
SC_SCL1_PBUF_FLD	SC_FLD_INF1	0	ポインターバッファ1が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
SC_SCL1_PBUF_FLD	SC_FLD_INF2	0	ポインターバッファ2が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
SC_SCL1_PBUF_FLD	SC_FLD_INF3	0	ポインターバッファ3が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
SC_SCL1_PBUF_CNT	SC_PBUF_RST	0	ポインタバッファのリセット制御 0：リセットしない 1：リセットする
SC_SCL1_MON1	SC_PBUF_NUM	0	現在書き込み中のポインターバッファ番号を示すライトポインタ
SC_SCL1_WR5	SC_RES_WENB	0	フレームバッファ書き込み許可 書き込み許可設定後、2フレーム目から書き込みを開始します。 0：書き込み禁止 1：書き込み許可
GR_FLM1	GR_FLM_SEL	0	フレームバッファアドレス設定信号の選択 0：縮小処理と連携（TOP／BOTTOM別々に書き込み先アドレスを指定した場合、すなわちSC_SCL1_WR1のSC_RES_TB_ADD_MOD = 1の場合は設定禁止） 1：GR0_FLM_NUMを選択 2：歪み補正処理と連携 3：ポインタバッファと連携
GR_FLM2	GR_BASE	0	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR_BASE[4:3]、128バイトバースト転送時はGR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。

なお、その他のフレームバッファの読み出し処理、グラフィックス処理に関しては、後述の画面合成部を参照してください。

36.2 レジスタの説明

表 36.39 にレジスタ構成を示します。

【レジスタ説明の記号説明】
初期値：リセット後のレジスタ値
－：不定値
R/W：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R：リードのみ可。書き込む値は常に 0 にしてください。
－ /W：ライトのみ可。読み出し値は不定です。

表36.39　スケーリング部 レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
SCL0 レジスタ更新制御レジスタ（SC0）	SC0_SCL0_UPDATE	R/WC1	H'0000 0000	H'FCFF 7500	32
マスク処理レジスタ（SC0）	SC0_SCL0_FRC1	R/W	H'0AF0 0001	H'FCFF 7504	32
欠落補償レジスタ（SC0）	SC0_SCL0_FRC2	R/W	H'0E10 0001	H'FCFF 7508	32
出力同期選択レジスタ（SC0）	SC0_SCL0_FRC3	R/W	H'0000 0001	H'FCFF 750C	32
自走周期レジスタ（SC0）	SC0_SCL0_FRC4	R/W	H'020C 031F	H'FCFF 7510	32
出力遅延制御レジスタ（SC0）	SC0_SCL0_FRC5	R/W	H'0000 0101	H'FCFF 7514	32
フル画面垂直サイズレジスタ（SC0）	SC0_SCL0_FRC6	R/W	H'0023 01E0	H'FCFF 7518	32
フル画面水平サイズレジスタ（SC0）	SC0_SCL0_FRC7	R/W	H'0090 0280	H'FCFF 751C	32
同期検出レジスタ（SC0）	SC0_SCL0_FRC9	R	H'0000 0000	H'FCFF 7524	32
ステータスモニタ 0 レジスタ（SC0）	SC0_SCL0_MON0	R	H'0000	H'FCFF 7528	16
割り込み制御レジスタ（SC0）	SC0_SCL0_INT	R/W	H'0000	H'FCFF 752A	16
縮小制御レジスタ（SC0）	SC0_SCL0_DS1	R/W	H'0000 0011	H'FCFF 752C	32
取り込み垂直サイズレジスタ（SC0）	SC0_SCL0_DS2	R/W	H'0012 00F0	H'FCFF 7530	32
取り込み水平サイズレジスタ（SC0）	SC0_SCL0_DS3	R/W	H'00F4 05A0	H'FCFF 7534	32
水平縮小レジスタ（SC0）	SC0_SCL0_DS4	R/W	H'1000 2408	H'FCFF 7538	32
垂直初期位相レジスタ（SC0）	SC0_SCL0_DS5	R/W	H'1800 0000	H'FCFF 753C	32
垂直スケーリングレジスタ（SC0）	SC0_SCL0_DS6	R/W	H'0000 07FC	H'FCFF 7540	32
縮小制御部出力サイズレジスタ（SC0）	SC0_SCL0_DS7	R/W	H'00F0 0280	H'FCFF 7544	32
拡大制御レジスタ（SC0）	SC0_SCL0_US1	R/W	H'0000 0011	H'FCFF 7548	32
出力画像垂直サイズレジスタ（SC0）	SC0_SCL0_US2	R/W	H'0023 01E0	H'FCFF 754C	32
出力画像水平サイズレジスタ（SC0）	SC0_SCL0_US3	R/W	H'0090 0280	H'FCFF 7550	32
拡大制御部入力サイズレジスタ（SC0）	SC0_SCL0_US4	R/W	H'00F0 0280	H'FCFF 7554	32
水平拡大レジスタ（SC0）	SC0_SCL0_US5	R/W	H'0000 2408	H'FCFF 7558	32
水平拡大初期位相レジスタ（SC0）	SC0_SCL0_US6	R/W	H'1000 0000	H'FCFF 755C	32
トリミングレジスタ（SC0）	SC0_SCL0_US7	R/W	H'0000 0000	H'FCFF 7560	32
フレームバッファ読み出し選択レジスタ（SC0）	SC0_SCL0_US8	R/W	H'0000 0000	H'FCFF 7564	32
背景色レジスタ（SC0）	SC0_SCL0_OVR1	R/W	H'0080 0080	H'FCFF 756C	32
SCL1 レジスタ更新制御レジスタ（SC0）	SC0_SCL1_UPDATE	R/WC1	H'0000 0000	H'FCFF 7580	32
書き込み動作モードレジスタ（SC0）	SC0_SCL1_WR1	R/W	H'0000 0000	H'FCFF 7588	32
書き込みアドレスレジスタ 1T（SC0）	SC0_SCL1_WR2	R/W	H'0000 0000	H'FCFF 758C	32
書き込みアドレスレジスタ 2T（SC0）	SC0_SCL1_WR3	R/W	H'0800 0001	H'FCFF 7590	32
書き込みアドレスレジスタ 3T（SC0）	SC0_SCL1_WR4	R/W	H'0008 0000	H'FCFF 7594	32

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
フレーム間引きレジスタ（SC0）	SC0_SCL1_WR5	R/W	H'0000 1000	H'FCFF 759C	32
ビット縮退レジスタ（SC0）	SC0_SCL1_WR6	R/W	H'0000 0000	H'FCFF 75A0	32
書き込み検出レジスタ（SC0）	SC0_SCL1_WR7	R	H'0000 0000	H'FCFF 75A4	32
書き込みアドレスレジスタ1B（SC0）	SC0_SCL1_WR8	R/W	H'0000 0000	H'FCFF 75A8	32
書き込みアドレスレジスタ2B（SC0）	SC0_SCL1_WR9	R/W	H'0800 0001	H'FCFF 75AC	32
書き込みアドレスレジスタ3B（SC0）	SC0_SCL1_WR10	R/W	H'0008 0000	H'FCFF 75B0	32
書き込み検出レジスタB（SC0）	SC0_SCL1_WR11	R	H'0000 0000	H'FCFF 75B4	32
ステータスモニタ1レジスタ（SC0）	SC0_SCL1_MON1	R	H'0000 0000	H'FCFF 75B8	32
ポインターバッファ0レジスタ（SC0）	SC0_SCL1_PBUF0	R	H'0000 0000	H'FCFF 75BC	32
ポインターバッファ1レジスタ（SC0）	SC0_SCL1_PBUF1	R	H'0000 0000	H'FCFF 75C0	32
ポインターバッファ2レジスタ（SC0）	SC0_SCL1_PBUF2	R	H'0000 0000	H'FCFF 75C4	32
ポインターバッファ3レジスタ（SC0）	SC0_SCL1_PBUF3	R	H'0000 0000	H'FCFF 75C8	32
ポインターバッファ、フィールド情報レジスタ（SC0）	SC0_SCL1_PBUF_FLD	R	H'0000 0000	H'FCFF 75CC	32
ポインターバッファ、制御レジスタ（SC0）	SC0_SCL1_PBUF_CNT	R/W	H'0000 0000	H'FCFF 75D0	32
グラフィックス（0）レジスタ更新制御レジスタ	GR0_UPDATE	R/WC1	H'0000 0000	H'FCFF 7600	32
フレームバッファ読み出し制御レジスタ（グラフィックス（0））	GR0_FLM_RD	R/W	H'0000 0000	H'FCFF 7604	32
フレームバッファ制御レジスタ1（グラフィックス（0））	GR0_FLM1	R/W	H'0000 0000	H'FCFF 7608	32
フレームバッファ制御レジスタ2（グラフィックス（0））	GR0_FLM2	R/W	H'0000 0000	H'FCFF 760C	32
フレームバッファ制御レジスタ3（グラフィックス（0））	GR0_FLM3	R/W	H'0800 0001	H'FCFF 7610	32
フレームバッファ制御レジスタ4（グラフィックス（0））	GR0_FLM4	R/W	H'0008 0000	H'FCFF 7614	32
フレームバッファ制御レジスタ5（グラフィックス（0））	GR0_FLM5	R/W	H'0000 03FF	H'FCFF 7618	32
フレームバッファ制御レジスタ6（グラフィックス（0））	GR0_FLM6	R/W	H'8000 0000	H'FCFF 761C	32
アルファブレンド制御レジスタ1（グラフィックス（0））	GR0_AB1	R/W	H'0000 0000	H'FCFF 7620	32
アルファブレンド制御レジスタ2（グラフィックス（0））	GR0_AB2	R/W	H'0000 0000	H'FCFF 7624	32
アルファブレンド制御レジスタ3（グラフィックス（0））	GR0_AB3	R/W	H'0000 0000	H'FCFF 7628	32
アルファブレンド制御レジスタ7（グラフィックス（0））	GR0_AB7	R/W	H'00FF 0000	H'FCFF 7638	32
アルファブレンド制御レジスタ8（グラフィックス（0））	GR0_AB8	R/W	H'0000 0000	H'FCFF 763C	32
アルファブレンド制御レジスタ9（グラフィックス（0））	GR0_AB9	R/W	H'0000 0000	H'FCFF 7640	32
アルファブレンド制御レジスタ10（グラフィックス（0））	GR0_AB10	R/W	H'0000 0000	H'FCFF 7644	32
アルファブレンド制御レジスタ11（グラフィックス（0））	GR0_AB11	R/W	H'0000 0000	H'FCFF 7648	32
背景色制御レジスタ（グラフィックス（0））	GR0_BASE	R/W	H'0000 8080	H'FCFF 764C	32
CLUTテーブル制御レジスタ（グラフィックス（0））	GR0_CLUT	R/W	H'0000 0000	H'FCFF 7650	32

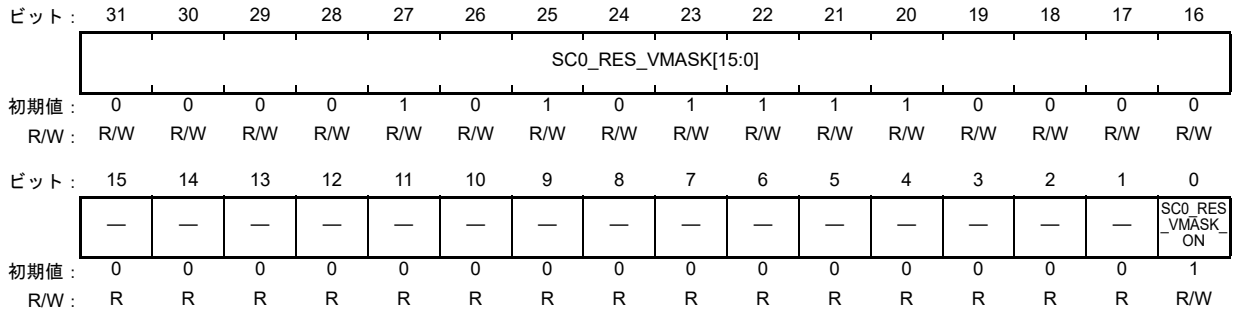
36.2.1　SCL0 レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SC0_SCL0_VEN_D	SC0_SCL0_VEN_C	–	–	–	SC0_SCL0_UPDATE	–	–	–	SC0_SCL0_VEN_B	–	–	–	SC0_SCL0_VEN_A
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/WC1	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	SC0_SCL0_VEN_D	0	R/WC1	拡大制御、フレームバッファ読み出し制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
12	SC0_SCL0_VEN_C	0	R/WC1	縮小制御、フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SC0_SCL0_UPDATE	0	R/WC1	同期制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SC0_SCL0_VEN_B	0	R/WC1	同期制御、拡大制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SC0_SCL0_VEN_A	0	R/WC1	縮小制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

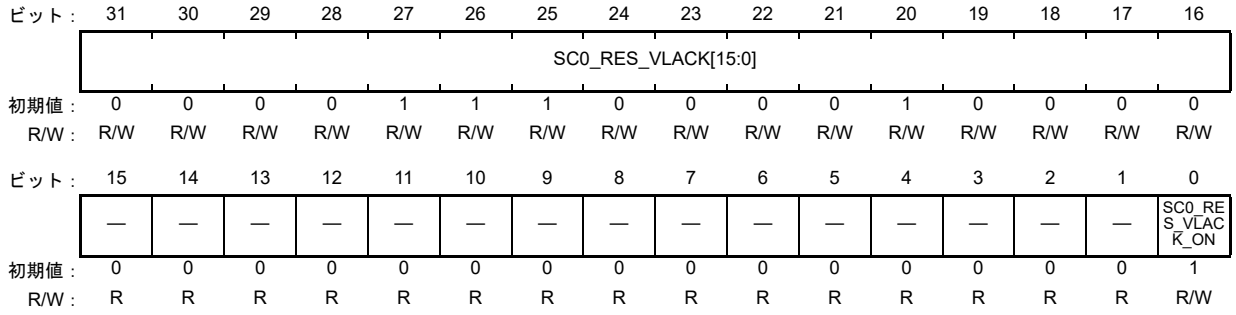
36.2.2 マスク処理レジスタ（SC0_SCL0_FRC1）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	SC0_RES_VMASK [15:0]	2800	R/W	垂直同期信号の多発マスク期間設定 垂直同期信号からの同期多発マスクをする期間をピクセルクロック周期の128倍で設定 マスク期間[usec] = SC0_RES_VMASK × 128 ÷ ピクセルクロック[MHz]
15 ～ 1	ー	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_VMASK_ON	1	R/W	垂直同期信号の多発マスク制御 0：多発マスク制御オフ 1：多発マスク制御オン

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_UPDATE = 1で更新されます。

36.2.3 欠落補償レジスタ（SC0_SCL0_FRC2）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	SC0_RES_VLACK[15:0]	3600	R/W	垂直同期信号の欠落補償期間設定 垂直同期信号から同期欠落補償パルスを出力するまでのウェイト期間をピクセルクロック周期の128倍で設定 ウェイト期間[usec] = SC0_RES_VLACK × 128 ÷ ピクセルクロック[MHz]
15 ～ 1	ー	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_VLACK_ON	1	R/W	垂直同期信号の欠落補償制御 0：欠落補償制御オフ 1：欠落補償制御オン

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_UPDATE = 1で更新されます。

36.2.4　出力同期選択レジスタ（SC0_SCL0_FRC3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_VS_SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_VS_SEL	1	R/W	出力する垂直同期信号の選択 0：外部入力垂直同期信号 1：内部生成した自走用垂直同期信号号

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_UPDATE = 1で更新されます。

36.2.5　自走周期レジスタ（SC0_SCL0_FRC4）

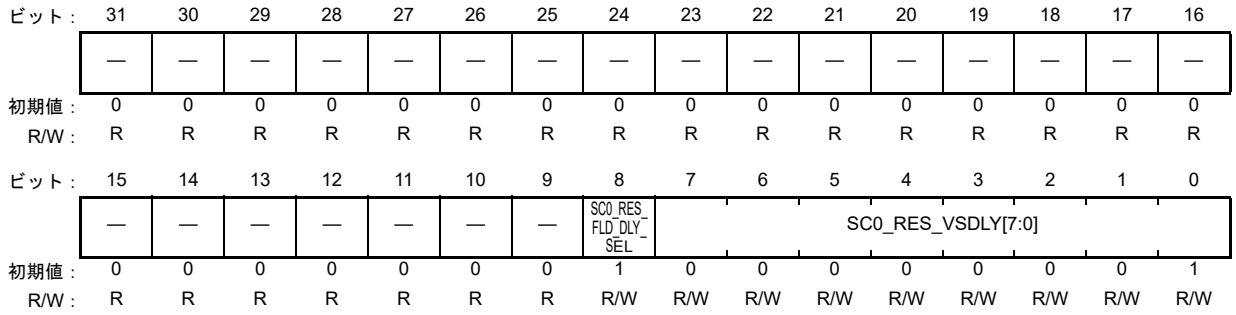
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_FV[10:0]										
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_FH[10:0]-										
初期値：	0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_FV [10:0]	524	R/W	自走用垂直同期信号の周期設定 自走用垂直同期信号周期 = (SC0_RES_FV + 1) × 水平周期[usec]
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_FH [10:0]	799	R/W	水平同期信号の周期設定 水平同期信号周期[usec] = (SC0_RES_FH + 1) ÷ ピクセルクロック[MHz]

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_UPDATE = 1で更新されます。

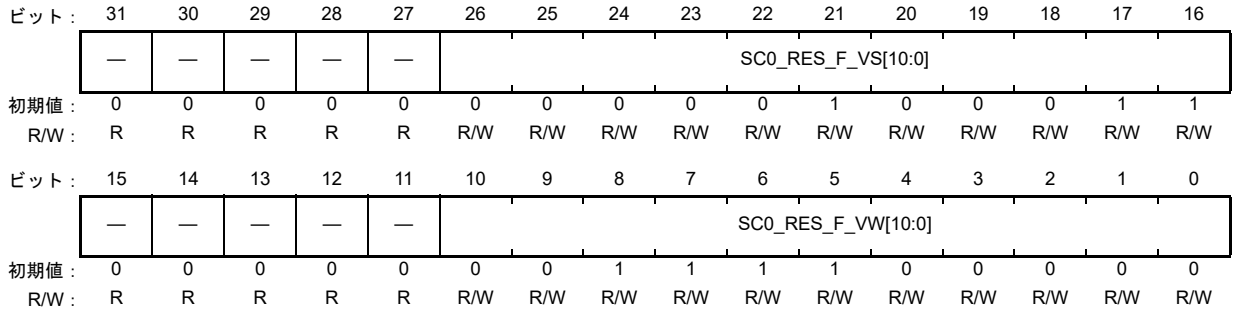
36.2.6　出力遅延制御レジスタ（SC0_SCL0_FRC5）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	SC0_RES_FLD_DLY_SEL	1	R/W	フィールド判別信号の遅延制御 0：遅延無し 1：1垂直期間遅延
7 ～ 0	SC0_RES_VSDLY[7:0]	1	R/W	垂直同期信号遅延制御 垂直同期信号を出力水平周期単位にて遅延調整 垂直同期信号遅延量[usec]：SC0_RES_VSDLY×出力水平周期[usec]

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

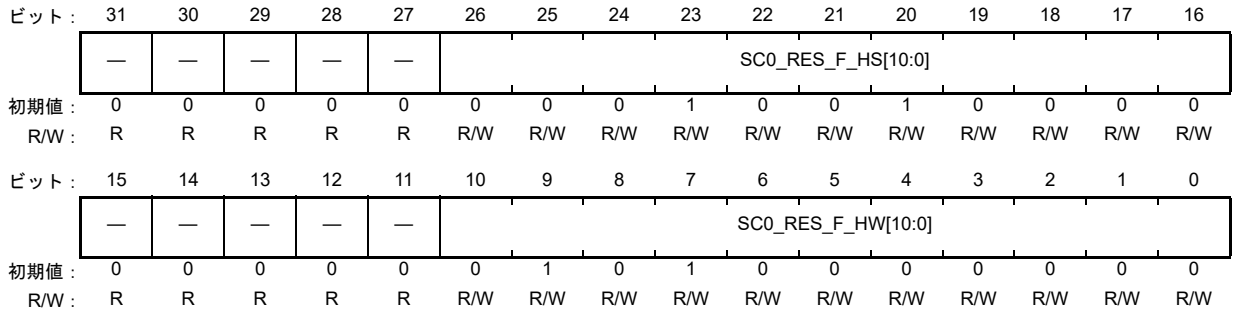
36.2.7　フル画面垂直サイズレジスタ（SC0_SCL0_FRC6）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_F_VS[10:0]	35	R/W	フル画面の垂直イネーブル信号開始位置設定 （VSYNC + Vバックポーチ ライン数） 注.　4ライン以上、SC0_RES_F_VS+ SC0_RES_F_VWが2039ライン以内になるように設定してください。
15 ～ 11	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_F_VW[10:0]	480	R/W	フル画面の垂直イネーブル信号幅設定 （ライン数） 注.　SC0_RES_F_VS+ SC0_RES_F_VWが2039ライン以内になるように設定してください。

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

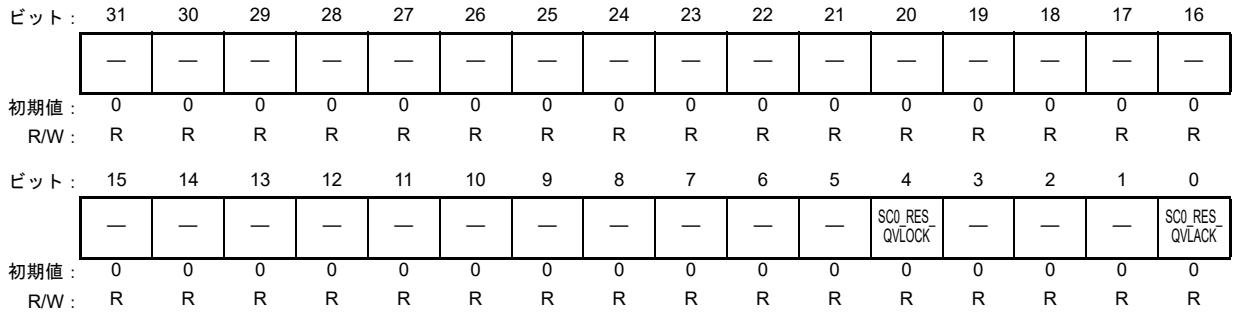
36.2.8 フル画面水平サイズレジスタ（SC0_SCL0_FRC7）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_F_HS [10:0]	144	R/W	フル画面の水平イネーブル信号開始位置設定 （HSYNC + Hバックポーチ ピクセルクロック数） 注.　16クロック以上、SC0_RES_F_HS+ SC0_RES_F_HWが2015クロック以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_F_HW [10:0]	640	R/W	フル画面の水平イネーブル信号幅設定 （ピクセルクロック数） 注1.　SC0_RES_F_HS+ SC0_RES_F_HWが2015クロック以内になるように設定してください。 注1.　LCD出力信号としてシリアルRGB出力を選択する場合は、（フル画面の水平信号幅 + 2）を設定してください。

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

36.2.9 同期検出レジスタ（SC0_SCL0_FRC9）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_ QVLOCK	0	R	垂直同期信号ロック検出フラグ 1：入力垂直同期信号に多発または欠落なしが4垂直期間以上連続 0：入力垂直同期信号に多発または欠落あり
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_ QVLACK	0	R	垂直同期信号欠落検出フラグ 1：入力垂直同期信号欠落あり 0：入力垂直同期信号欠落なし

36.2.10　ステータスモニタ 0 レジスタ（SC0_SCL0_MON0）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_LIN_STAT[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_LIN_STAT[10:0]	すべて 0	R	縮小制御部に入力される画像の現在のライン位置

36.2.11　割り込み制御レジスタ（SC0_SCL0_INT）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_LINE[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_LINE[10:0]	0	R/W	縮小制御部に入力される画像のライン割り込み設定 縮小制御部に入力される画像のライン位置がSC0_RES_LINEの値と一致するとき、割り込み信号を出力します。(本製品では設定禁止です)

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A = 1で更新されます。

36.2.12 縮小制御レジスタ（SC0_SCL0_DS1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_DS_V_ON	—	—	—	SC0_RES_DS_H_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_DS_V_ON	1	R/W	垂直縮小オン／オフ設定 0：オフ 1：オン
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_DS_H_ON	1	R/W	水平縮小オン／オフ設定 0：オフ 1：オン

注．　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A = 1で更新されます。

36.2.13 取り込み垂直サイズレジスタ（SC0_SCL0_DS2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_VS [10:0]	18	R/W	取込映像信号垂直位置設定 （VSYNC + Vバックポーチ-1ライン数） 注．　4ライン以上、SC0_RES_VS+ SC0_RES_VWが2039ライン以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_VW [10:0]	240	R/W	取込映像信号垂直幅 （ライン数） 注．　SC0_RES_VS+ SC0_RES_VWが2039ライン以内になるように設定してください。

注．　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A = 1で更新されます。

36.2.14　取り込み水平サイズレジスタ（SC0_SCL0_DS3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SC0_RES_HW[11:0]											
初期値：	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_HS [10:0]	244	R/W	取込映像信号水平位置設定 （HSYNC + Hバックポーチ 映像クロック数） 注.　16クロック以上、SC0_RES_HS+SC0_RES_HWが4063クロック以内になるように設定してください。
15 ～ 12	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11 ～ 0	SC0_RES_HW [11:0]	1440	R/W	取込映像信号水平幅 （映像クロック数） 注.　SC0_RES_HS+SC0_RES_HWが4063クロック以内になるように設定してください。

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A = 1で更新されます。

36.2.15　水平縮小レジスタ（SC0_SCL0_DS4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SC0_RES_PFIL_SEL	SC0_RES_DS_H_INTERPOTYP	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_DS_H_RATIO[15:0]															
初期値：	0	0	1	0	0	1	0	0	0	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31、30	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29	SC0_RES_PFIL_SEL	0	R/W	輝度信号プリフィルタモード選択 0：プリフィルタオフ 1：プリフィルタオン（1/4 + 1/2 + 1/4）
28	SC0_RES_DS_H_INTERPOTYP	1	R/W	水平補間方法選択 0：ホールド補間 1：リニア補間
27 ～ 16	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15 ～ 0	SC0_RES_DS_H_RATIO [15:0]	9224	R/W	水平縮小率　[15:12]：整数部　[11:0]：小数部 round（SC0_RES_HW ÷ SC0_RES_OUT_HW × 4096） SC0_RES_DS_H_RATIO < 4096：設定禁止、 SC0_RES_DS_H_RATIO = 4096：等倍、 SC0_RES_DS_H_RATIO > 4096：縮小

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A = 1で更新されます。

36.2.16　垂直初期位相レジスタ（SC0_SCL0_DS5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SC0_RES_V_INTERPOTYP	SC0_RES_TOP_INIPHASE[11:0]											
初期値：	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SC0_RES_BTM_INIPHASE[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	SC0_RES_V_INTERPOTYP	1	R/W	垂直補間方法選択 0：ホールド補間 1：リニア補間
27 ～ 16	SC0_RES_TOP_INIPHASE[11:0]	2048	R/W	TOPフィールド垂直補間開始位相値 0～4095 （0～約1.0）
15 ～ 12	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11 ～ 0	SC0_RES_BTM_INIPHASE[11:0]	0	R/W	BOTTOMフィールド垂直補間開始位相値 0～4095 （0～約1.0）

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A = 1およびSC0_SCL0_VEN_B = 1で更新されます。

36.2.17　垂直スケーリングレジスタ（SC0_SCL0_DS6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_V_RATIO[15:0]															
初期値：	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15 ～ 0	SC0_RES_V_RATIO[15:0]	2044	R/W	垂直拡大／縮小率　[15:12]：整数部　[11:0]：小数部 round (SC0_RES_VW ÷ SC0_RES_OUT_VW × 4096)：縮小時 iround (SC0_RES_IN_VW ÷ SC0_RES_P_VW × 4096)：拡大時 SC0_RES_V_RATIO < 4096：拡大、 SC0_RES_V_RATIO = 4096：等倍、 SC0_RES_V_RATIO > 4096：縮小

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A = 1およびSC0_SCL0_VEN_B = 1で更新されます。このため、グラフィックス拡大表示を行う場合でも入力垂直同期信号と出力垂直同期信号の両方が必要となります。

36.2.18　縮小制御部出力サイズレジスタ（SC0_SCL0_DS7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_OUT_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_OUT_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_OUT_VW[10:0]	240	R/W	縮小制御部出力の垂直有効ライン数（ライン数） 本ビットの設定は、フレームバッファへの書き込みライン数に反映されます。 SC0_SCL1_WR1.SC0_RES_LOOP = 0（フレーム書き込みモード）設定時は、1フレーム分のライン数を指定してください。 SC0_SCL1_WR1.SC0_RES_LOOP = 1(ライン書き込みモード)設定時は、リング状に書き出すライン数を指定してください。 注.　SC0_RES_OUT_VWは、4ラインアライメントかつ SC0_RES_OUT_VW≦SC0_RES_VWで設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_OUT_HW[10:0]	640	R/W	縮小制御部出力の水平有効画素数（映像クロック数） 注.　SC0_RES_OUT_HWは、4画素アライメントかつ SC0_RES_OUT_HW ≦ SC0_RES_HWで設定してください。

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A = 1およびSC0_SCL0_VEN_C = 1で更新されます。

36.2.19　拡大制御レジスタ（SC0_SCL0_US1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_US_V_ON	—	—	—	SC0_RES_US_H_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_US_V_ON	1	R/W	垂直拡大オン／オフ設定 0：オフ 1：オン
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_US_H_ON	1	R/W	水平拡大オン／オフ設定 0：オフ 1：オン

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

36.2.20　出力画像垂直サイズレジスタ（SC0_SCL0_US2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_P_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_P_VW[10:0]										
初期値：	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_P_VS [10:0]	35	R/W	画像出力の垂直イネーブル信号開始位置設定 （VSYNC + Vバックポーチ ライン数） 注.　4ライン以上、SC0_RES_P_VS + SC0_RES_P_VWが2039ライン以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_P_VW [10:0]	480	R/W	画像出力の垂直イネーブル信号幅設定 （ライン数） 注.　SC0_RES_P_VS + SC0_RES_P_VWが2039ライン以内になるように設定してください。

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

36.2.21 出力画像水平サイズレジスタ（SC0_SCL0_US3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_P_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_P_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_P_HS[10:0]	144	R/W	画像出力の水平イネーブル信号開始位置設定 （HSYNC + Hバックポーチ ピクセルクロック数） 注.　16クロック以上、SC0_RES_P_HS + SC0_RES_P_HWが2015クロック以内になるように設定してください。
15 ～ 11	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_P_HW[10:0]	640	R/W	画像出力の水平イネーブル信号幅設定 （ピクセルクロック数） 注.　SC0_RES_P_HS + SC0_RES_P_HWが2015クロック以内になるように設定してください。

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

36.2.22 拡大制御部入力サイズレジスタ（SC0_SCL0_US4）

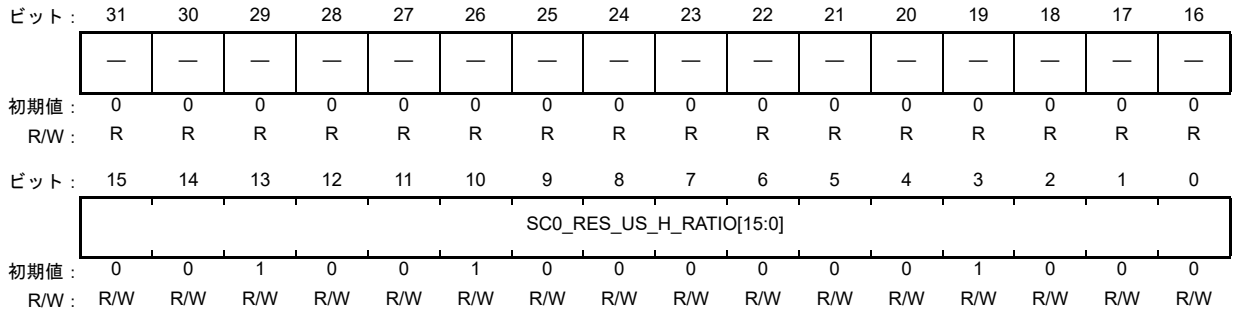
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_IN_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_IN_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_IN_VW[10:0]	240	R/W	拡大制御部入力の垂直有効ライン数 （ライン数）
15 ～ 11	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_IN_HW[10:0]	640	R/W	拡大制御部入力の水平有効画素数 （ピクセルクロック数）

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1およびSCL0_VEN_D = 1で更新されます。

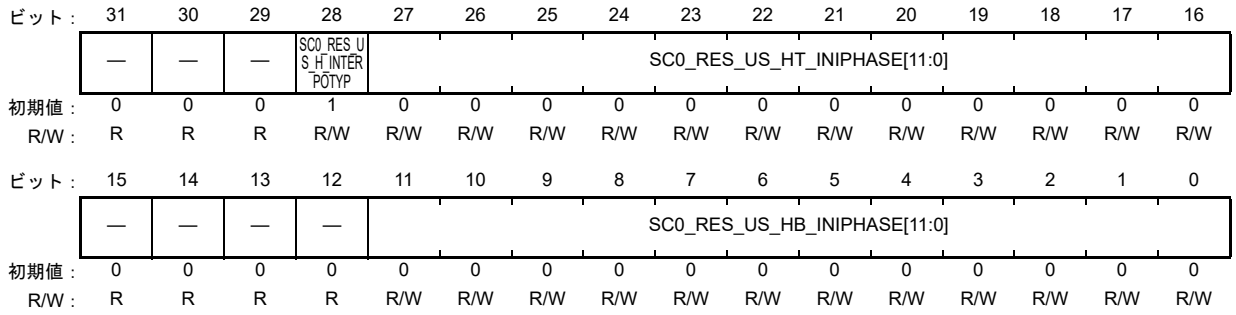
36.2.23　水平拡大レジスタ（SC0_SCL0_US5）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15 ～ 0	SC0_RES_US_H_RATIO [15:0]	9224	R/W	水平拡大率　[15:12]：整数部　[11:0]：小数部 round (SC0_RES_IN_HW ÷ SC0_RES_P_HW × 4096) SC0_RES_US_H_RATIO < 4096：拡大、 SC0_RES_US_H_RATIO = 4096：等倍、 SC0_RES_US_H_RATIO > 4096：設定禁止

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

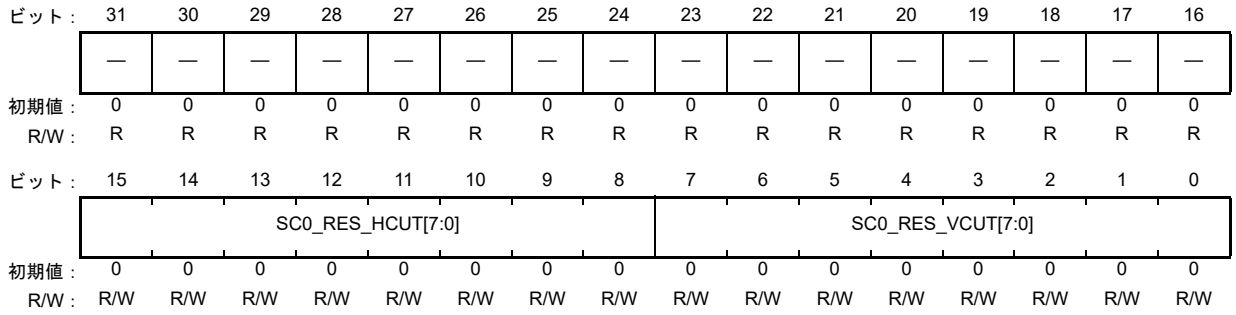
36.2.24　水平拡大初期位相レジスタ（SC0_SCL0_US6）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	SC0_RES_US_H_INTERPOTYP	1	R/W	水平補間方法指示 0：ホールド補間 1：リニア補間
27 ～ 16	SC0_RES_US_HT_INIPHASE [11:0]	0	R/W	TOPフィールド水平補間開始位相値 0～4095（0～約1.0）
15 ～ 12	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11 ～ 0	SC0_RES_US_HB_INIPHASE [11:0]	0	R/W	BOTTOMフィールド水平補間開始位相値 0～4095（0～約1.0）

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

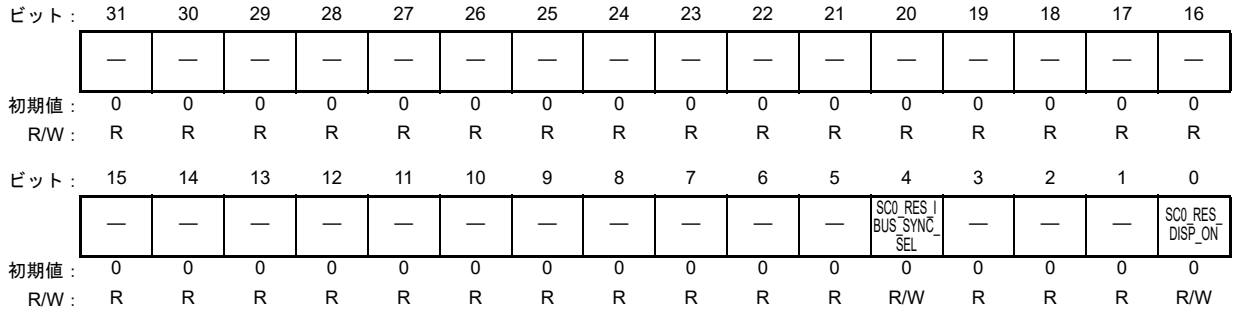
36.2.25　トリミングレジスタ（SC0_SCL0_US7）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15 ～ 8	SC0_RES_HCUT [7:0]	0	R/W	スケーリング後画像の水平方向左右カット数 ピクセルクロック数を設定
7 ～ 0	SC0_RES_VCUT [7:0]	0	R/W	スケーリング後画像の垂直方向上下カット数 ライン数を設定

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

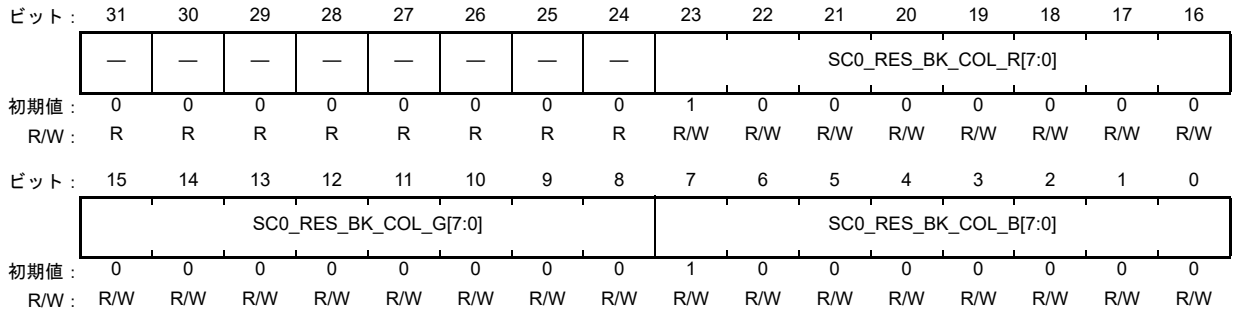
36.2.26　フレームバッファ読み出し選択レジスタ（SC0_SCL0_US8）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_IBUS_ SYNC_SEL	0	R/W	フレームバッファ読み出し部の同期信号選択 0：拡大制御部同期信号 1：グラフィック部同期信号
3 ～ 1	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_ DISP_ON	0	R/W	トリミング後画像の枠表示オン／オフ設定 0：枠表示オフ 1：枠表示オン

注.　SC0_RES_IBUS_SYNC_SELはSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1およびSC0_SCL0_VEN_D = 1で更新されます。
SC0_RES_DISP_ONはSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

36.2.27　背景色レジスタ（SC0_SCL0_OVR1）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	SC0_RES_BK_COL_R [7:0]	128	R/W	背景表示色設定R/Cr信号 R：8ビット符号無し（0～255[LSB]） Cr：8ビット128オフセットバイナリ符号無し（0～255[LSB]）
15 ～ 8	SC0_RES_BK_COL_G [7:0]	0	R/W	背景表示色設定G/Y信号 G/Y：8ビット符号無し（0～255[LSB]）
7 ～ 0	SC0_RES_BK_COL_B [7:0]	128	R/W	背景表示色設定B/Cb信号 B：8ビット符号無し（0～255[LSB]） Cb：8ビット128オフセットバイナリ符号無し（0～255[LSB]）

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B = 1で更新されます。

36.2.28　SCL1 レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	SC0_SCL1_UPDATE_B	—	—	—	SC0_SCL1_UPDATE_A
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_SCL1_VEN_B	—	—	—	SC0_SCL1_VEN_A
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	SC0_SCL1_UPDATE_B	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
19 ～ 17	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SC0_SCL1_UPDATE_A	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
15 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_SCL1_VEN_B	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_SCL1_VEN_A	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

36.2.29　書き込み動作モードレジスタ（SC0_SCL1_WR1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_WRSWA [2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SC0_RES_TB_ADD_MOD	SC0_RES_DS_WR_MD[2:0]			SC0_RES_MD [1:0]		SC0_RES_LOOP	SC0_RES_BST_MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 19	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18 ～ 16	SC0_RES_WRSWA[2:0]	すべて 0	R/W	8ビット/16ビット/32ビットスワップ設定 SC0_RES_WRSWA[2:0]の3ビットで、以下のようにフレームバッファ書き込みのスワップ方法を指定します。 ビット0 0：8ビットスワップしない 1：8ビットスワップする ビット1 0：16ビットスワップしない 1：16ビットスワップする ビット2 0：32ビットスワップしない 1：32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000：(1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001：(2) (1) (4) (3) (6) (5) (8) (7)［8bitスワップ］ 010：(3) (4) (1) (2) (7) (8) (5) (6)［16bitワップ］ 011：(4) (3) (2) (1) (8) (7) (6) (5)［16bitスワップ + 8bitスワップ］ 100：(5) (6) (7) (8) (1) (2) (3) (4)［32bitスワップ］ 101：(6) (5) (8) (7) (2) (1) (4) (3)［32bitスワップ + 8bitワップ］ 110：(7) (8) (5) (6) (3) (4) (1) (2)［32bitスワップ + 16bitスワップ］ 111：(8) (7) (6) (5) (4) (3) (2) (1) [32bitスワップ + 16bitスワップ + 8bitスワップ] 注.　フレームバッファ書き込み映像フォーマットでYCbCr422、RGB565選択時は、必ず000[スワップしない]に設定してください。
15 ～ 8	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	SC0_RES_TB_ADD_MOD	0	R/W	TOPおよびBOTTOMの書き込み先アドレス指定方法 0：TOP/BOTOM共通で1つの書き込み先アドレスを指定 1：TOP/BOTTOM別々に書き込み先アドレスを指定
6 ～ 4	SC0_RES_DS_WR_MD [2:0]	0	R/W	フレームバッファ書き込み動作モード 0：通常書き込み 1：水平鏡像書き込み 2：90度回転書き込み 3：180度回転書き込み 4：270度回転書き込み 5～7：設定禁止
3、2	SC0_RES_MD [1:0]	0	R/W	フレームバッファ書き込み映像フォーマット 0：YCbCr422（16ビット） 1：RGB565（16ビット） 2：RGB888（24（32）ビット） 3：YCbCr444（24（32）ビット）
1	SC0_RES_LOOP	0	R/W	フレームバッファ書き込みモード選択 0：フレーム書き込みモード 1：ライン書き込みモード（リング状読み出し）

ビット	ビット名	初期値	R/W	説　　明
0	SC0_RES_BST_MD	0	R/W	フレームバッファ書き込み転送のバースト長 0：32バイト 1：128バイト

注.　SC0_RES_LOOP、SC0_RES_BST_MDはSCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B = 1で更新されます。
SC0_RES_TB_ADD_MOD、SC0_RES_DS_WR_MD、SC0_RES_MDはSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_A = 1およびSC0_SCL1_VEN_B = 1で更新されます。
SC0_RES_WRSWAはSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_UPDATE_A = 1で更新されます。

36.2.30　書き込みアドレスレジスタ 1T（SC0_SCL1_WR2）

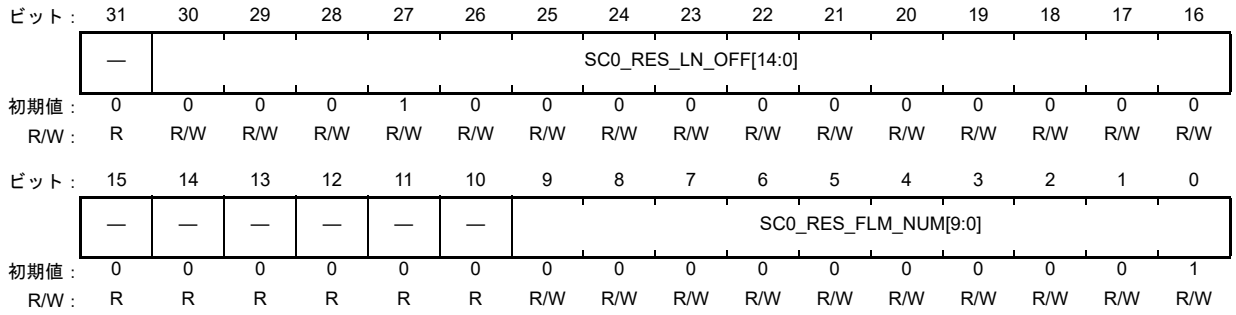
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_RES_BASE[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_BASE[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_RES_BASE[31:0]	0	R/W	フレームバッファのベースアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時TOP、0設定時TOPおよびBOTTOMのフレームデータを格納するフレームバッファの先頭アドレスを設定 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B = 1で更新されます。

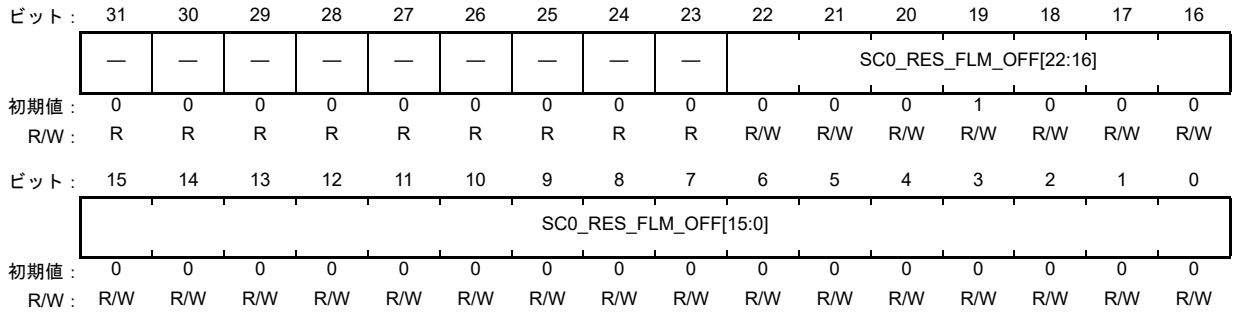
36.2.31　書き込みアドレスレジスタ 2T（SC0_SCL1_WR3）



ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 16	SC0_RES_LN_OFF[14:0]	2048	R/W	フレームバッファのラインオフセットアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時TOP、0設定時TOPおよびBOTTOMのラインの先頭アドレス計算時のラインオフセットアドレスを設定 ライン0：SC0_RES_BASE ライン1：SC0_RES_BASE + SC0_RES_LN_OFF × 1 ： ラインn：SC0_RES_BASE + SC0_RES_LN_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	SC0_RES_FLM_NUM[9:0]	1	R/W	書き込みフレームバッファのフレーム数 SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時TOP、0設定時TOPおよびBOTTOMの書き込みフレームバッファのフレーム数を設定SC0_RES_FLM_NUM + 1のフレーム数を使用

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B = 1で更新されます。

36.2.32　書き込みアドレスレジスタ 3T（SC0_SCL1_WR4）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 23	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	SC0_RES_FLM_OFF[22:0]	524288	R/W	フレームバッファのフレームオフセットアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時TOP、0設定時TOPおよびBOTTOMの各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定 バッファ 0：SC0_RES_BASE バッファ 1：SC0_RES_BASE + SC0_RES_FLM_OFF × 1 ： バッファ n：SC0_RES_BASE + SC0_RES_FLM_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B = 1で更新されます。

36.2.33　フレーム間引きレジスタ（SC0_SCL1_WR5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SC0_RES_INTER	—	—	SC0_RES_FS_RATE[1:0]		—	—	—	SC0_RES_FLD_SEL	—	—	—	SC0_RES_WENB
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 13	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	SC0_RES_INTER	1	R/W	フィールド動作モード設定 0：プログレッシブ 1：インタレース
11、10	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	SC0_RES_FS_RATE [1:0]	0	R/W	書き込み間隔 入力信号に対し書き込みフレームレートを設定します 0：入力信号に対して1/1 (SC0_RES_FLD_SELの設定は無効となります) 1：入力信号に対して1/2 2：入力信号に対して1/4 3：入力信号に対して1/8
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_FLD_SEL	0	R/W	書き込みフィールド選択 0：TOPフィールド 1：BOTTOMフィールド
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_WENB	0	R/W	フレームバッファ書き込み許可 書き込み許可設定後、2フレーム目から書き込みを開始します。 0：書き込み禁止 1：書き込み許可

注.　SC0_RES_INTER、SC0_RES_FS_RATE[1:0]、SC0_RES_FLD_SELはSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_A = 1で更新されます。
SC0_RES_WENBはSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_A = 1およびSC0_SCL1_VEN_B = 1で更新されます。

36.2.34 ビット縮退レジスタ（SC0_SCL1_WR6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_DTH_ON	—	—	—	SC0_RES_BITDEC_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_DTH_ON	0	R/W	ディザ補正オン／オフ設定 0：オフ（四捨五入） 1：オン（2 x 2 パターンディザ）
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_BITDEC_ON	0	R/W	ビット縮退オン／オフ設定 0：オフ 1：オン

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_A = 1で更新されます。

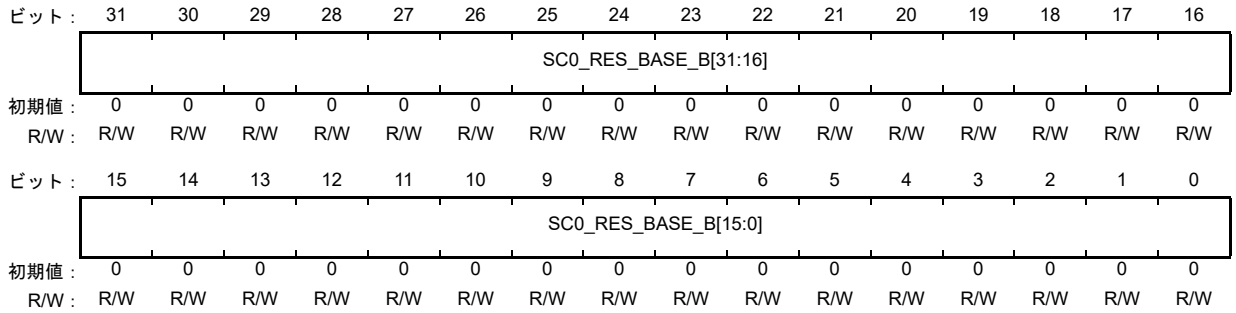
36.2.35 書き込み検出レジスタ（SC0_SCL1_WR7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_OVERFLOW
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SC0_RES_FLM_CNT[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SC0_RES_OVERFLOW	0	R	ラインバッファのオーバフロー検出 1：ラインバッファオーバフローあり 0：ラインバッファオーバフローなし
15 ～ 10	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	SC0_RES_FLM_CNT[9:0]	0	R	現在アクセス中のフレーム番号 SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時TOP、0設定時TOPおよびBOTTOMのフレーム番号

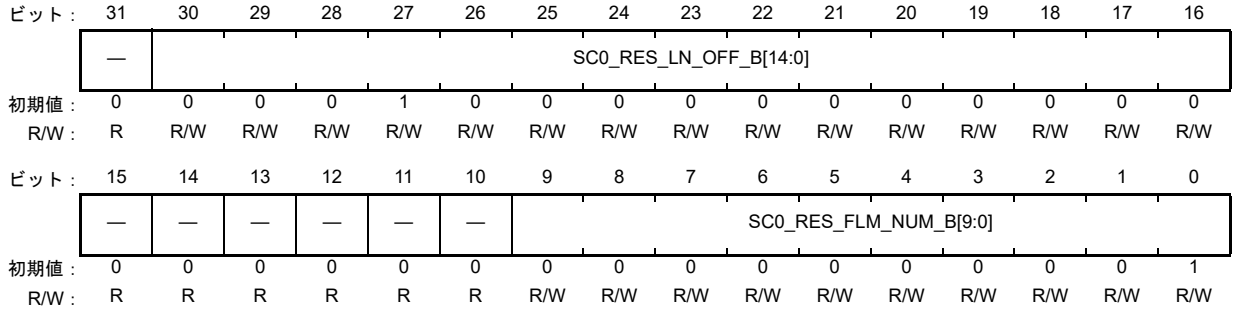
36.2.36　書き込みアドレスレジスタ 1B（SC0_SCL1_WR8）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_RES_BASE_B [31:0]	0	R/W	BOTTOMのフレームバッファのベースアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時BOTTOMのフレームデータを格納するフレームバッファの先頭アドレスを設定 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B = 1で更新されます。

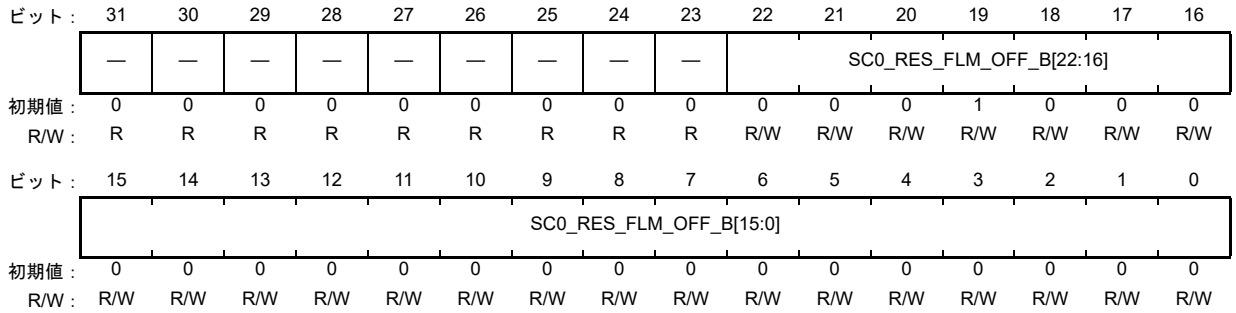
36.2.37　書き込みアドレスレジスタ 2B（SC0_SCL1_WR9）



ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 16	SC0_RES_LN_OFF_B[14:0]	2048	R/W	BOTTOMのフレームバッファのラインオフセットアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時BOTTOMのラインの先頭アドレス計算時のラインオフセットアドレスを設定 ライン0：SC0_RES_BASE_B ライン1：SC0_RES_BASE_B + SC0_RES_LN_OFF_B × 1 ： ラインn：SC0_RES_BASE_B + SC0_RES_LN_OFF_B × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	SC0_RES_FLM_NUM_B[9:0]	1	R/W	BOTTOMの書き込みフレームバッファのフレーム数 SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時、 SC0_RES_FLM_NUM_B + 1のフレーム数を使用

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B = 1で更新されます。

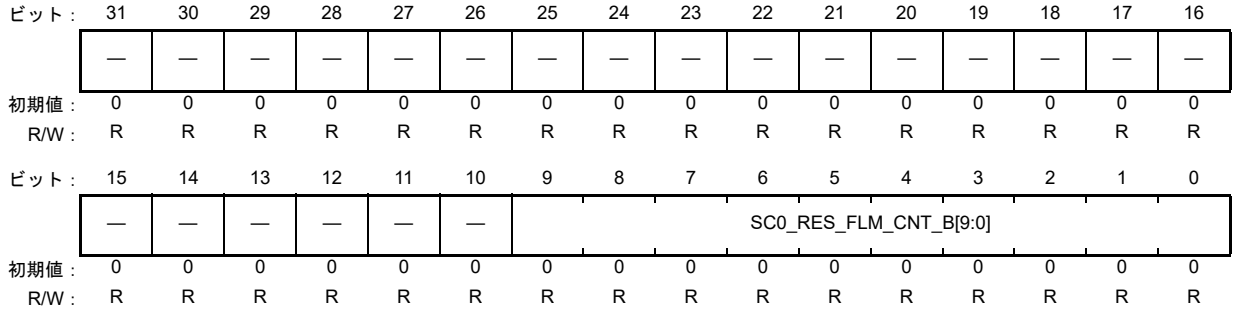
36.2.38　書き込みアドレスレジスタ 3B（SC0_SCL1_WR10）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 23	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	SC0_RES_FLM_OFF_B[22:0]	524288	R/W	BOTTOMのフレームバッファのフレームオフセットアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時BOTTOMの各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定 バッファ 0：SC0_RES_BASE_B バッファ 1：SC0_RES_BASE_B + SC0_RES_FLM_OFF_B × 1 ： バッファ n：SC0_RES_BASE_B + SC0_RES_FLM_OFF_B × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B = 1で更新されます。

36.2.39　書き込み検出レジスタ B（SC0_SCL1_WR11）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 10	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	SC0_RES_FLM_CNT_B[9:0]	0	R	現在アクセス中のBOTTOMのフレーム番号 SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD = 1設定時BOTTOMのフレーム番号

36.2.40　ステータスモニタ 1 レジスタ（SC0_SCL1_MON1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SC0_PBUF_NUM[1:0]		—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	SC0_PBUF_NUM[1:0]	すべて 0	R	現在書き込み中のポインターバッファ番号を示すライトポインタ
7 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

36.2.41　ポインターバッファ 0 レジスタ（SC0_SCL1_PBUF0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_PBUF0_ADD[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_PBUF0_ADD[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_PBUF0_ADD[31:0]	すべて 0	R	ポインターバッファ 0 が指す、書き込みバッファの先頭アドレス

36.2.42 ポインターバッファ 1 レジスタ（SC0_SCL1_PBUF1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_PBUF1_ADD[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_PBUF1_ADD[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_PBUF1_ADD[31:0]	すべて 0	R	ポインターバッファ 1が指す、書き込みバッファの先頭アドレス

36.2.43 ポインターバッファ 2 レジスタ（SC0_SCL1_PBUF2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_PBUF2_ADD[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_PBUF2_ADD[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_PBUF2_ADD[31:0]	すべて 0	R	ポインターバッファ 2が指す、書き込みバッファの先頭アドレス

36.2.44 ポインターバッファ 3 レジスタ（SC0_SCL1_PBUF3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_PBUF3_ADD[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_PBUF3_ADD[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_PBUF3_ADD[31:0]	すべて 0	R	ポインターバッファ 3が指す、書き込みバッファの先頭アドレス

36.2.45　ポインターバッファ、フィールド情報レジスタ（SC0_SCL1_PBUF_FLD）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	SC0_FLD_INF3	—	—	—	—	—	—	—	SC0_FLD_INF2
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SC0_FLD_INF1	—	—	—	—	—	—	—	SC0_FLD_INF0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	SC0_FLD_INF3	0	R	ポインターバッファ 3が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
23 ～ 17	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SC0_FLD_INF2	0	R	ポインターバッファ 2が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
15 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	SC0_FLD_INF1	0	R	ポインターバッファ 1が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
7 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_FLD_INF0	0	R	ポインターバッファ 0が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP

36.2.46　ポインターバッファ制御レジスタ（SC0_SCL1_PBUF_CNT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_PBUF_RST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SC0_PBUF_RST	0	R/W	ポインタバッファのリセット制御 0：リセットしない 1：リセットする
15 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_UPDATE_B = 1で更新されます。

36.2.47　グラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	GR0_UPDATE	—	—	—	GR0_P_VEN	—	—	—	GR0_IBUS_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR0_UPDATE	0	R/WC1	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新します
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR0_P_VEN	0	R/WC1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_IBUS_VEN	0	R/WC1	フレームバッファ読み出しのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

36.2.48 フレームバッファ読み出し制御レジスタ（グラフィックス（0））（GR0_FLM_RD）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR0_R_ENB
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_R_ENB	0	R/W	フレームバッファ読み出し許可 0：読み出しを禁止 1：読み出しを許可

注. 本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN = 1で更新されます。

36.2.49　フレームバッファ制御レジスタ 1（グラフィックス（0））（GR0_FLM1）

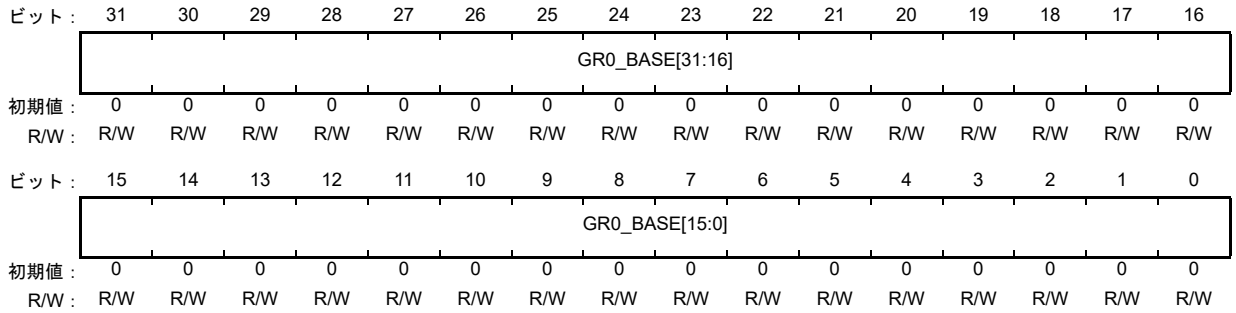
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR0_FLD_SEL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR0_LN_OFF_DIR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR0_FLM_SEL[1:0]		—	—	—	GR0_IMR_FLM_INV	—	—	—	GR0_BST_MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31	GR0_FLD_SEL	0	R/W	次に読み出すフレームバッファに対し、TOP/BOTTOMフィールド指定の選択を有効にするかを選択 0：フィールド指定は無効。 1：TOP/BOTTOMフィールド指定可能。
30 ～ 17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR0_LN_OFF_DIR	0	R/W	フレームバッファのラインオフセットアドレスの方向設定 0：ラインオフセットアドレス分をインクリメント 1：ラインオフセットアドレス分をデクリメント
15 ～ 10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	GR0_FLM_SEL[1:0]	0	R/W	フレームバッファアドレス設定信号の選択 0：縮小処理と連携（TOP／BOTTOM別々に書き込み先アドレスを指定した場合、すなわちSC0_SCL1_WR1のSC0_RES_TB_ADD_MOD = 1の場合は設定禁止） 1：GR0_FLM_NUMを選択 2：歪み補正処理と連携 3：ポインタバッファと連携
7 ～ 5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR0_IMR_FLM_INV	0	R/W	歪み補正フレームバッファ番号設定 0：読み出しフレームバッファ番号入れ替えなし 1：読み出しフレームバッファ番号入れ替えあり
3 ～ 1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_BST_MD	0	R/W	フレームバッファバースト転送モード 0：32バイト 1：128バイト

注.　GR0_FLD_SELはグラフィックス(0)レジスタ更新制御レジスタ(GR0_UPDATE)のGR0_P_VEN = 1で更新されます。
GR0_LN_OFF_DIR、GR0_IMR_FLM_INVはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN = 1で更新されます。
GR0_FLM_SELはグラフィックス(0)レジスタ更新制御レジスタ(GR0_UPDATE)のGR0_P_VENおよびGR0_IBUS_VEN = 1で更新されます。
GR0_BST_MDはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN = 1およびGR0_P_VEN = 1で更新されます。

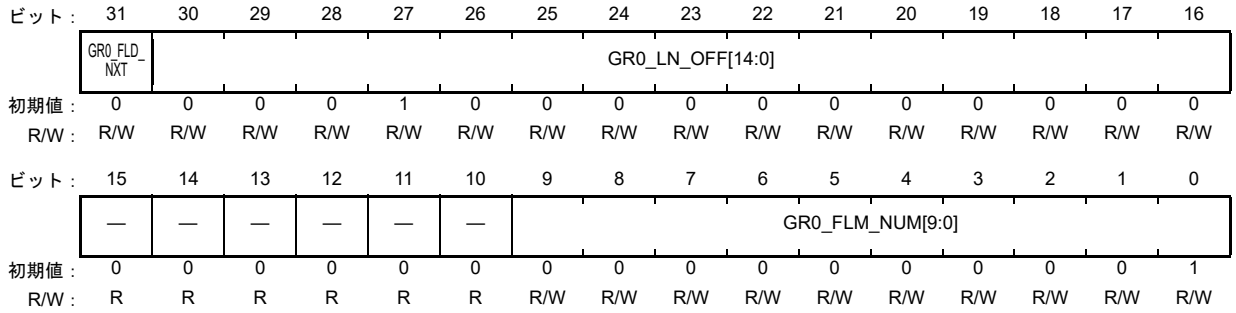
36.2.50 フレームバッファ制御レジスタ 2（グラフィックス（0））（GR0_FLM2）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	GR0_BASE [31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR0_BASE[4:3]、128バイトバースト転送時は GR0_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。

注. 本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN = 1および GR0_P_VEN = 1で更新されます。

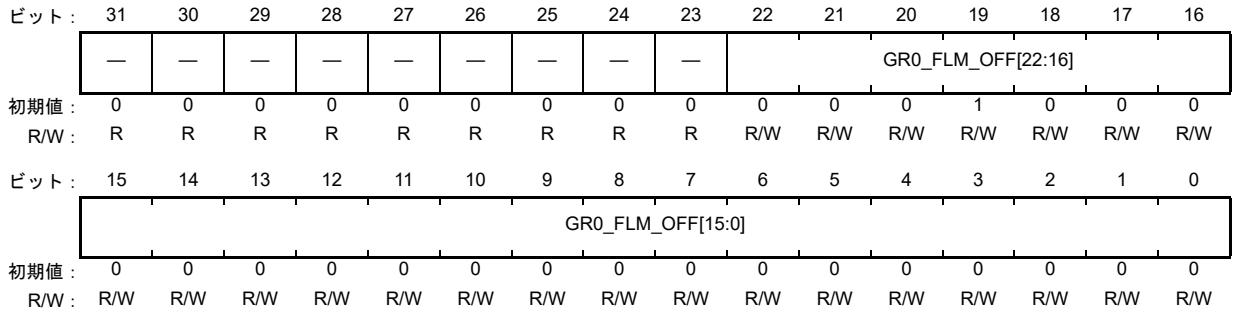
36.2.51 フレームバッファ制御レジスタ 3（グラフィックス（0））（GR0_FLM3）



ビット	ビット名	初期値	R/W	説　　明
31	GR0_FLD_NXT	0	R/W	次フレームバッファのTOP/BOTTOMフィールドの指定 0：BOTTOM 1：TOP
30 ～ 16	GR0_LN_OFF [14:0]	2048	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン0：GR0_BASE ライン1：GR0_BASE + GR0_LN_OFF × 1 ： ラインn：GR0_BASE + GR0_LN_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	GR0_FLM_NUM [9:0]	1	R/W	フレームバッファのフレーム番号 GR0_FLM_SEL＝1のとき、フレーム番号を手動設定します。

注. GR0_FLD_NXTはグラフィックス(0)レジスタ更新制御レジスタ(GR0_UPDATE)のGR0_P_VEN = 1で更新されます。
GR0_LN_OFF[14:0]、GR0_FLM_NUM[9:0]はグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）の GR0_IBUS_VEN = 1で更新されます。

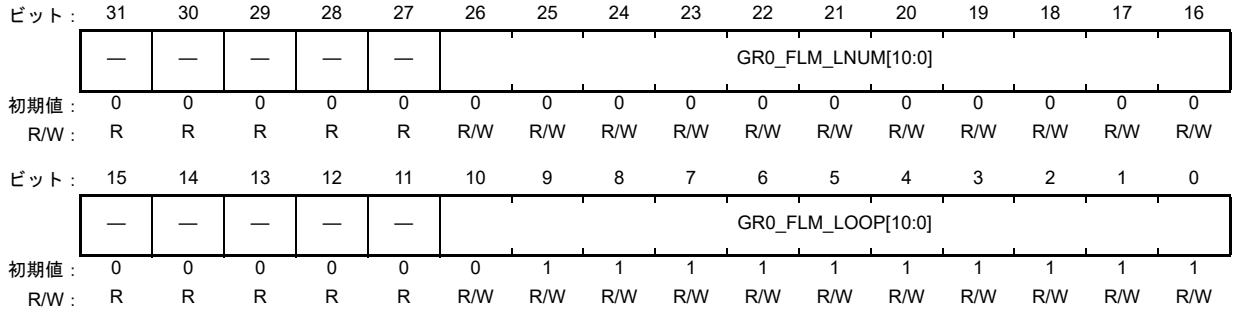
36.2.52　フレームバッファ制御レジスタ 4（グラフィックス（0））（GR0_FLM4）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 23	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	GR0_FLM_OFF [22:0]	524288	R/W	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0：GR0_BASE バッファ 1：GR0_BASE + GR0_FLM_OFF × 1 ： バッファ n：GR0_BASE + GR0_FLM_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN = 1で更新されます。

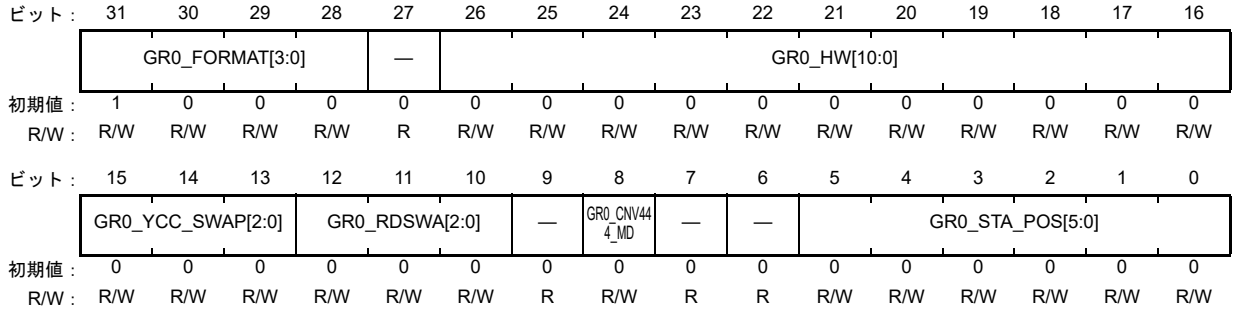
36.2.53　フレームバッファ制御レジスタ 5（グラフィックス（0））（GR0_FLM5）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR0_FLM_LNUM [10:0]	0	R/W	1フレームのライン数設定 ライン数は（GR0_FLM_LNUM + 1）ラインになります。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR0_FLM_LOOP [10:0]	1023	R/W	アドレスをリング状に読み出す場合のライン数 ライン数は（GR0_FLM_LOOP + 1）ラインになります。

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN = 1で更新されます。

36.2.54　フレームバッファ制御レジスタ 6（グラフィックス（0））（GR0_FLM6）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 28	GR0_FORMAT [3:0]	8	R/W	フレームバッファ読み出し信号のフォーマット設定 0：RGB565 1：RGB888 2：αRGB1555 3：αRGB4444 4：αRGB8888 5：CLUT8 6：CLUT4 7：CLUT1 8：YCbCr422 9：YCbCr444 10：RGBα5551 11：RGBα8888 12～15：設定禁止
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR0_HW [10:0]	0	R/W	水平有効期間の幅設定 幅は（GR0_HW + 1）画素になります。 注.　2以上の値を設定してください。
15 ～ 13	GR0_YCC _SWAP [2:0]	0	R/W	YCbCr422フォーマット時バッファ読み出しデータのスワップ制御 0：CbY0/Cr/Y1 1：Y0/Cb/Y1/Cr 2：Cr/Y0/Cb/Y1 3：Y0/Cr/Y1/Cb 4：Y1/Cr/Y0/Cb 5：Cr/Y1/Cb/Y0 6：Y1/Cb/Y0/Cr 7：Cb/Y1/Cr/Y0

ビット	ビット名	初期値	R/W	説　　明
12 ～ 10	GR0_RDSWA [2:0]	0	R/W	8ビット／16ビット／32ビットスワップ設定 GR0_RDSWA[2:0]の3ビットで、以下のようにフレームバッファ読み出しのスワップ方法を指定します。 ビット0 0 : 8ビットスワップしない 1 : 8ビットスワップする ビット1 0 : 16ビットスワップしない 1 : 16ビットスワップする ビット2 0 : 32ビットスワップしない 1 : 32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000 : (1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001 : (2) (1) (4) (3) (6) (5) (8) (7) ［8bitスワップ］ 010 : (3) (4) (1) (2) (7) (8) (5) (6) ［16bitワップ］ 011 : (4) (3) (2) (1) (8) (7) (6) (5) ［16bitスワップ + 8bitスワップ］ 100 : (5) (6) (7) (8) (1) (2) (3) (4) ［32bitスワップ］ 101 : (6) (5) (8) (7) (2) (1) (4) (3) ［32bitスワップ + 8bitワップ］ 110 : (7) (8) (5) (6) (3) (4) (1) (2) ［32bitスワップ + 16bitスワップ］ 111 : (8) (7) (6) (5) (4) (3) (2) (1) ［32bitスワップ + 16bitスワップ + 8bitスワップ］
9	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR0_CNV444 _MD	0	R/W	YCbCr422→YCbCr444変換時の補間モード設定 0 : ホールド補間 1 : 平均値補間
7、6	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5 ～ 0	GR0_STA _POS[5:0]	0	R/W	データの読み飛ばし量 ラインの先頭からGR0_STA_POS分のデータを読み飛ばします。

注.　GR0_YCC_SWAP、GR0_CNV444、GR0_STA_POSはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。GR0_RDSWAはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_UPDATE = 1で更新されます。
GR0_FORMAT、GR0_HWはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN = 1およびGR0_P_VEN = 1で更新されます。

36.2.55　アルファブレンド制御レジスタ 1（グラフィックス（0））（GR0_AB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	GR0_GRC_DISP_ON	—	—	GR0_DISP_SEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR0_GRC_DISP_ON	0	R/W	グラフィックス画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
3、2	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	GR0_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0：背景色表示（レジスタ GR0_BASE） 1：下層グラフィックス表示 映像表示またはグラフィックス拡大表示の場合は、上記を選択してください。 2：カレントグラフィックス表示 グラフィックス表示の場合は、上記を選択してください。 3：下層グラフィックスとカレントグラフィックスのブレンド表示（注3） 注1.　クロマキー処理を行う際に設定します。クロマキー処理を行う際は、カレントグラフィックスのみを表示させるために、クロマキー対象画素を置換するα値およびクロマキー対象外画素のα値を255にしてください。

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

36.2.56　アルファブレンド制御レジスタ 2（グラフィックス（0））（GR0_AB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR0_GRC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR0_GRC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR0_GRC_VS [10:0]	0	R/W	グラフィックス画像領域の垂直開始位置設定 注.　4ライン以上、GR0_GRC_VS+ GR0 _GRC_VWが2039ライン以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR0_GRC_VW [10:0]	0	R/W	グラフィックス画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

36.2.57　アルファブレンド制御レジスタ 3（グラフィックス（0））（GR0_AB3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR0_GRC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR0_GRC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR0_GRC_HS [10:0]	0	R/W	グラフィックス画像領域の水平開始位置設定 注.　16クロック以上、GR0_GRC_HS+ GR0 _GRC_HWが2015クロック以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR0_GRC_HW [10:0]	0	R/W	グラフィックス画像領域の水平幅設定 注.　水平幅1,2画素表示を行う場合は、GR0_HW = 2、GR0_GRC_HW = 1（1画素）、2（2画素）と設定してください。

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

36.2.58　アルファブレンド制御レジスタ 7（グラフィックス（0））（GR0_AB7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR0_CK_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	－	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
15 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_CK_ON	0	R/W	CLUT参照／RGB参照クロマキー処理オン／オフ設定 0：オフ、1：オン

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

36.2.59　アルファブレンド制御レジスタ 8（グラフィックス（0））（GR0_AB8）

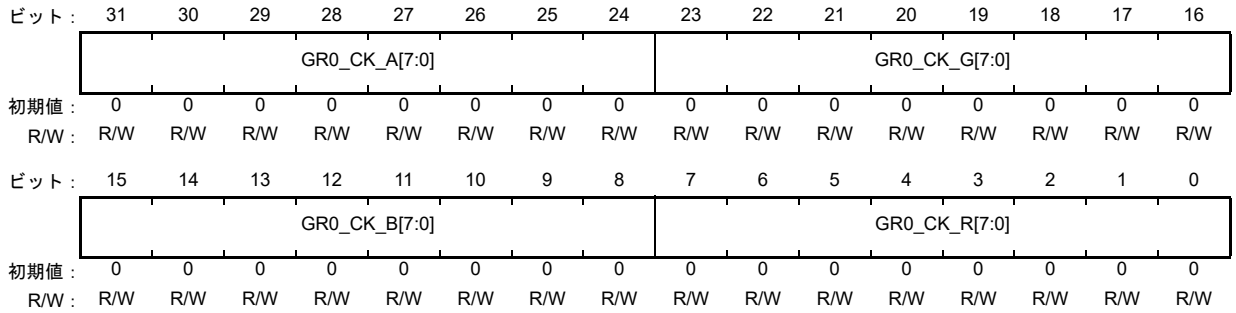
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR0_CK_KCLUT[7:0]								GR0_CK_KG[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR0_CK_KB[7:0]								GR0_CK_KR[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR0_CK_KCLUT[7:0]	0	R/W	CLUT参照クロマキー処理対象CLUT信号 CLUT：8ビット符号無し（0～255[LSB]）
23 ～ 16	GR0_CK_KG[7:0]	0	R/W	RGB参照クロマキー処理対象G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR0_CK_KB[7:0]	0	R/W	RGB参照クロマキー処理対象B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR0_CK_KR[7:0]	0	R/W	RGB参照クロマキー処理対象R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

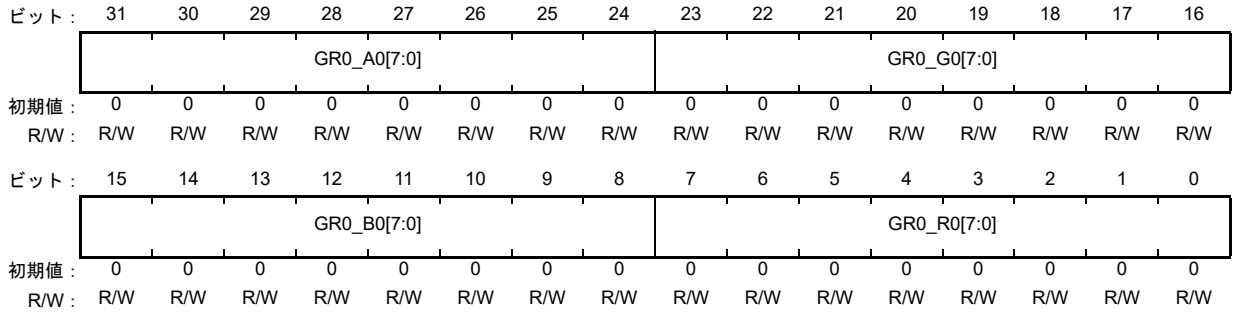
36.2.60 アルファブレンド制御レジスタ 9（グラフィックス（0））（GR0_AB9）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR0_CK_A [7:0]	0	R/W	RGB参照クロマキー処理置換後アルファ信号 α：8ビット符号無し（0～255[LSB]） 注.　カレントグラフィックスのみを表示させるために、必ず255に設定してください。
23 ～ 16	GR0_CK_G [7:0]	0	R/W	RGB参照クロマキー処理置換後G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR0_CK_B [7:0]	0	R/W	RGB参照クロマキー処理置換後B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR0_CK_R [7:0]	0	R/W	RGB参照クロマキー処理置換後R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

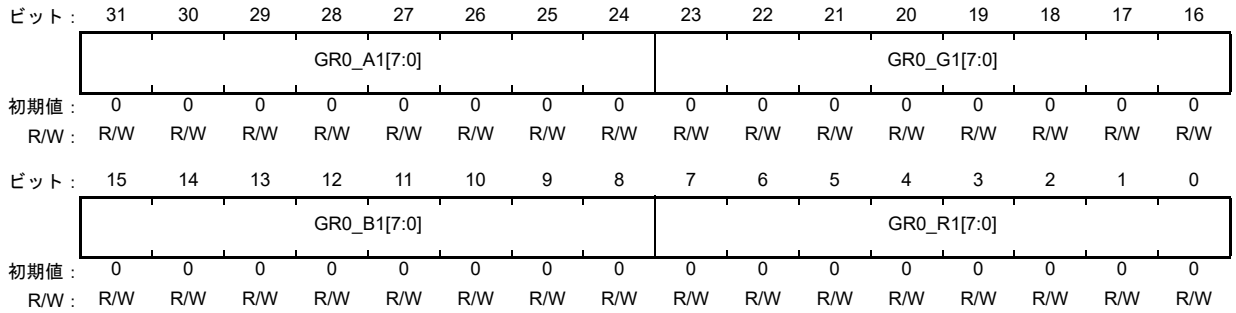
36.2.61 アルファブレンド制御レジスタ 10（グラフィックス（0））（GR0_AB10）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR0_A0 [7:0]	0	R/W	CLUT1のα0信号 CLUT1フォーマットかつCLUT1＝0のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα＝0のときにα信号に置換 注.　カレントグラフィックスのみを表示させるために、必ず255に設定してください。
23 ～ 16	GR0_G0 [7:0]	0	R/W	CLUT1のG0信号 CLUT1フォーマットかつCLUT1＝0のときにG信号に置換
15 ～ 8	GR0_B0 [7:0]	0	R/W	CLUT1のB0信号 CLUT1フォーマットかつCLUT1＝0のときにB信号に置換
7 ～ 0	GR0_R0 [7:0]	0	R/W	CLUT1のR0信号 CLUT1フォーマットかつCLUT1＝0のときにR信号に置換

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

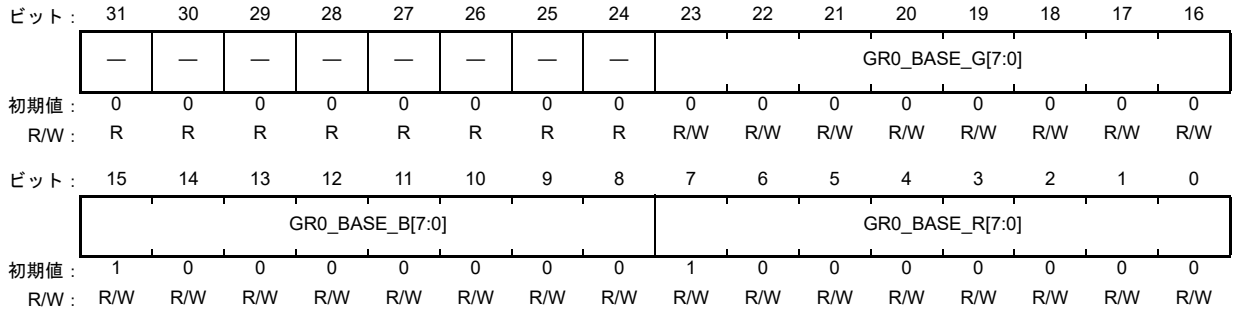
36.2.62　アルファブレンド制御レジスタ 11（グラフィックス（0））（GR0_AB11）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR0_A1 [7:0]	0	R/W	CLUT1のα1信号 CLUT1フォーマットかつCLUT1＝1のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα＝1のときにα信号に置換 注.　カレントグラフィックスのみを表示させるために、必ず255に設定してください。
23 ～ 16	GR0_G1 [7:0]	0	R/W	CLUT1のG1信号 CLUT1フォーマットかつCLUT1＝1のときにG信号に置換
15 ～ 8	GR0_B1 [7:0]	0	R/W	CLUT1のB1信号 CLUT1フォーマットかつCLUT1＝1のときにB信号に置換
7 ～ 0	GR0_R1 [7:0]	0	R/W	CLUT1のR1信号 CLUT1フォーマットかつCLUT1＝1のときにR信号に置換

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

36.2.63　背景色制御レジスタ（グラフィックス（0））（GR0_BASE）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	ー	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GR0_BASE_G [7:0]	0	R/W	背景色G/Y信号 G/Y ：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR0_BASE_B [7:0]	128	R/W	背景色B/Cb信号 B ：8ビット符号無し（0～255[LSB]） Cb：8ビット128オフセットバイナリ符号無し（0～255[LSB]）
7 ～ 0	GR0_BASE_R [7:0]	128	R/W	背景色R/Cr信号 R ：8ビット符号無し（0～255[LSB]） Cr：8ビット128オフセットバイナリ符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

36.2.64　CLUT テーブル制御レジスタ（グラフィックス（0））（GR0_CLUT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR0_CLT_SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR0_CLT_SEL	0	R/W	CLUTテーブル選択信号 0：CLUTテーブル0を選択 CLUTテーブル0を参照しαRGB8888に展開します。 CPU側はCLUTテーブル1にリード／ライトすることができます。 1：CLUTテーブル1を選択 CLUTテーブル1を参照しαRGB8888に展開します。 CPU側はCLUTテーブル0にリード/ライトすることができます。
15 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN = 1で更新されます。

36.3 使用方法

36.3.1 525i 映像入力、VGA (640 × 480) サイズ映像出力のスケーリング設定例

(1) 入出力画角

表 36.40 の入出力画角の信号に対しての設定例を示します。
オーバスキャン率は 100%とします。

表 36.40　525i 映像入力、VGA (640 x 480)サイズ映像出力の入出力画角

入力信号	出力信号	信号フォーマット	回転	バッファ面	スケーリングフィルタ
1440 × 240	640 × 480	YCbCr	通常	2 面	2TAP リニア

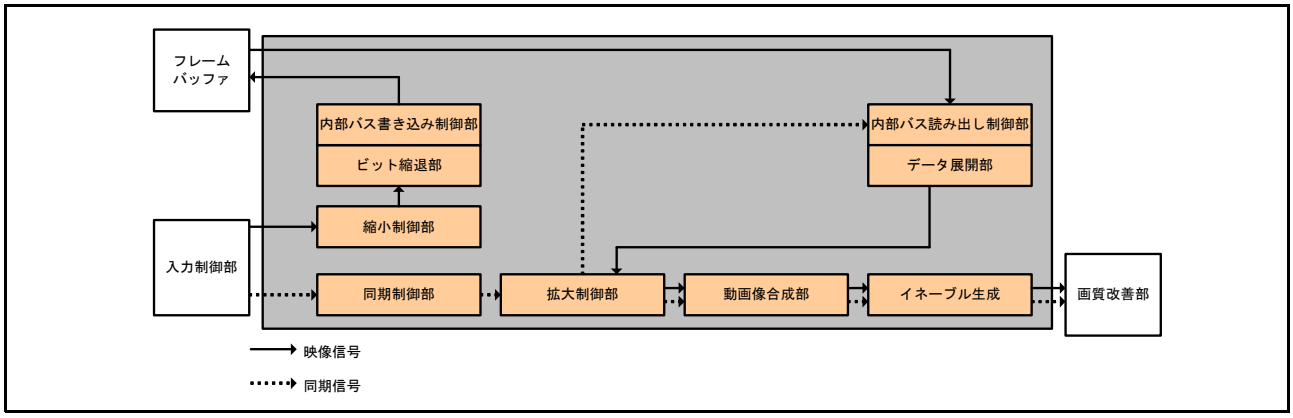


図 36.18　入力映像表示時の信号経路

(2) 水平スケーリング（水平縮小、スケーリングフィルタは 2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。
RATIO_org = round (1440 ÷ 640 × 4096) = 9216
σ = (9216 × (640 − 1) − (1440 − 1) × 4096) ÷ (640 − 1) = − 8.01
水平スケーリング率 = roundup (9216 − (− 8.01)) = 9225

(3) 垂直スケーリング（垂直拡大、スケーリングフィルタは 2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。
RATIO_org = round (240 ÷ 480 × 4096) = 2048
σ = (2048 × (480 − 1) − (240 − 1) × 4096) ÷ (480 − 1) = 4.27
垂直スケーリング率 = round (2048 − (4.27)) = 2044

(4) フレームバッファアクセス領域設定

フレームバッファへは縮小スケーリング後に映像データを書き込むため、書き込みサイズは 640 × 240 となります。

フレームバッファのラインオフセットは 640 画素以上、フレームオフセットはラインオフセット × 240 以上のバッファ領域が必要になります。

フレームバッファの work 領域を 1024 × 256 とします。

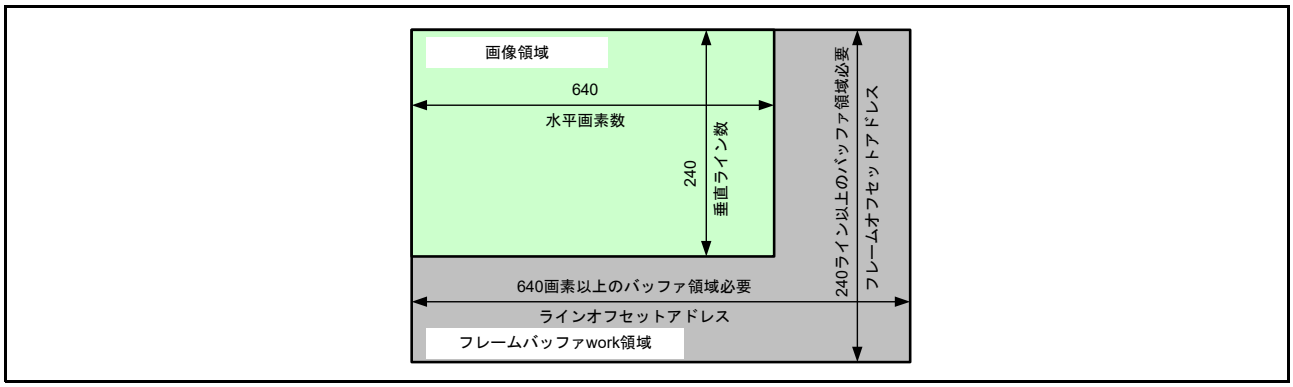


図 36.19　フレームバッファアクセス領域設定

フレームバッファとは 64 ビット単位でアクセスしているため、YCbCr422（16 ビット）は 4 画素単位のアクセスとなります。

ラインオフセットアドレス設定は以下のようになります。

SC_RES_LN_OFF[14:0] = 1024 × 2 = 2048

GR_LN_OFF[14:0] = 1024 × 2 = 2048

フレームオフセットアドレス設定は以下のようになります。

SC_RES_FLM_OFF[22:0] = SC_RES_LN_OFF[14:0] × 256 = 524288

GR_FLM_OFF[22:0] = GR_LN_OFF[14:0] × 256 = 524288

(5) レジスタ設定例

表36.41　525i映像入力、VGAサイズ映像出力時のレジスタ設定例

レジスタ名	ビット名	設定値	備考
同期制御			
SC_SCL0_FRC3	SC_RES_VS_SEL	0	外部垂直同期選択
SC_SCL0_FRC4	SC_RES_FH[10:0]	799	出力信号の水平周期幅（周期幅 = 設定値 + 1）
画角サイズ設定			
SC_SCL0_DS2	SC_RES_VS[10:0]	15	入力信号の取込垂直開始位置
SC_SCL0_DS2	SC_RES_VW[10:0]	240	入力信号の取込垂直幅
SC_SCL0_DS3	SC_RES_HS[10:0]	244	入力信号の取込水平開始位置
SC_SCL0_DS3	SC_RES_HW[11:0]	1440	入力信号の取込水平幅
SC_SCL0_FRC6	SC_RES_F_VS[10:0]	35	フル画面の垂直有効開始位置
SC_SCL0_FRC6	SC_RES_F_VW[10:0]	480	フル画面の垂直有効幅
SC_SCL0_FRC7	SC_RES_F_HS[10:0]	144	フル画面の水平有効開始位置
SC_SCL0_FRC7	SC_RES_F_HW[10:0]	640	フル画面の水平有効幅
SC_SCL0_US2	SC_RES_P_VS[10:0]	35	画像出力の垂直有効開始位置
SC_SCL0_US2	SC_RES_P_VW[10:0]	480	画像出力の垂直有効幅
SC_SCL0_US3	SC_RES_P_HS[10:0]	144	画像出力の水平有効開始位置
SC_SCL0_US3	SC_RES_P_HW[10:0]	640	画像出力の水平有効幅
スケーリング設定			
SC_SCL0_DS4	SC_RES_DS_H_RATIO[15:0]	9224	SC_RES_DS_H_RATIO≧4096のため水平縮小処理
SC_SCL0_DS1	SC_RES_DS_H_ON	1	水平縮小オン
SC_SCL0_US1	SC_RES_US_H_ON	0	水平拡大オフ
SC_SCL0_US5	SC_RES_US_H_RATIO[15:0]	4096	SC_RES_US_H_RATIO≧4096のため水平拡大オフ
SC_SCL0_DS1	SC_RES_DS_V_ON	0	垂直縮小オフ
SC_SCL0_US1	SC_RES_US_V_ON	1	垂直拡大オン
SC_SCL0_DS6	SC_RES_V_RATIO[15:0]	2044	SC_RES_V_RATIO＜4096のため垂直拡大処理
SC_SCL0_DS7	SC_RES_OUT_VW[10:0]	240	垂直縮小はオフのため入力有効垂直幅
SC_SCL0_DS7	SC_RES_OUT_HW[10:0]	640	水平縮小後の水平画像サイズ
SC_SCL0_US4	SC_RES_IN_VW[10:0]	240	フレームバッファ読み出し垂直幅
SC_SCL0_US4	SC_RES_IN_HW[10:0]	640	フレームバッファ読み出し水平幅
IP 変換設定			
SC_SCL0_DS5	SC_RES_TOP_INIPHASE[11:0]	2048	TOPフィールドを0.5ライン位相調整
SC_SCL0_DS5	SC_RES_BTM_INIPHASE[11:0]	0	BOTTOMフィールドは位相調整なし
SC_SCL0_FRC5	SC_RES_FLD_DLY_SEL	1	フレームバッファ2面使用、垂直拡大処理でIP変換
フレームバッファ書き込み設定			
SC_SCL1_WR1	SC_RES_DS_WR_MD[2:0]	0	回転制御は通常書き込み
SC_SCL1_WR1	SC_RES_MD[1:0]	0	フレームバッファ書き込みフォーマット　YCbCr422（16ビット）
SC_SCL1_WR2	SC_RES_BASE[31:0]	0	フレームバッファ書き込み先頭アドレス（設定例では0とする）
SC_SCL1_WR3	SC_RES_LN_OFF[14:0]	2048	フレームバッファ書き込みラインオフセット
SC_SCL1_WR3	SC_RES_FLM_NUM[9:0]	1	フレームバッファ2面使用
SC_SCL1_WR4	SC_RES_FLN_OFF[22:0]	524288	フレームバッファ書き込みフレームオフセット
SC_SCL1_WR5	SC_RES_WENB	1	フレームバッファ書き込み許可
フレームバッファ読み出し設定			
GR_FLM1	GR_FLM_SEL[1:0]	0	フレームバッファ書き込み出力のフレーム番号を選択
GR_FLM2	GR_BASE[31:0]	0	フレームバッファ書き込み設定に合わせる

レジスタ名	ビット名	設定値	備考
GR_FLM3	GR_LN_OFF[14:0]	2048	フレームバッファ書き込み設定に合わせる
GR_FLM4	GR_FLM_OFF[22:0]	524288	フレームバッファ書き込み設定に合わせる
GR_FLM6	GR_FORMAT[3:0]	8	フレームバッファ読み出しフォーマット　YCbCr422
GR_FLM_RD	GR_R_ENB	1	フレームバッファ読み出し許可
GR_FLM6	GR_CNV444_MD	1	YCbCr422→YCbCr444 変換時の平均値補間
拡大処理選択			
SC_SCL0_US8	SC_RES_IBUS_SYNC_SEL	0	映像信号の拡大処理出力を表示
GR_AB1	GR_DISP_SEL[1:0]	1	スケーリング表示を選択

36.3.2　グラフィックス表示時のスケーリング設定例

(1)　グラフィックス画角

表 36.42 の入出力画角の信号に対しての設定例を示します。

表 36.42　グラフィックス表示時の入出力画角

グラフィックスサイズ	出力信号	グラフィックス信号フォーマット
640 × 480	640 × 480	RGB888

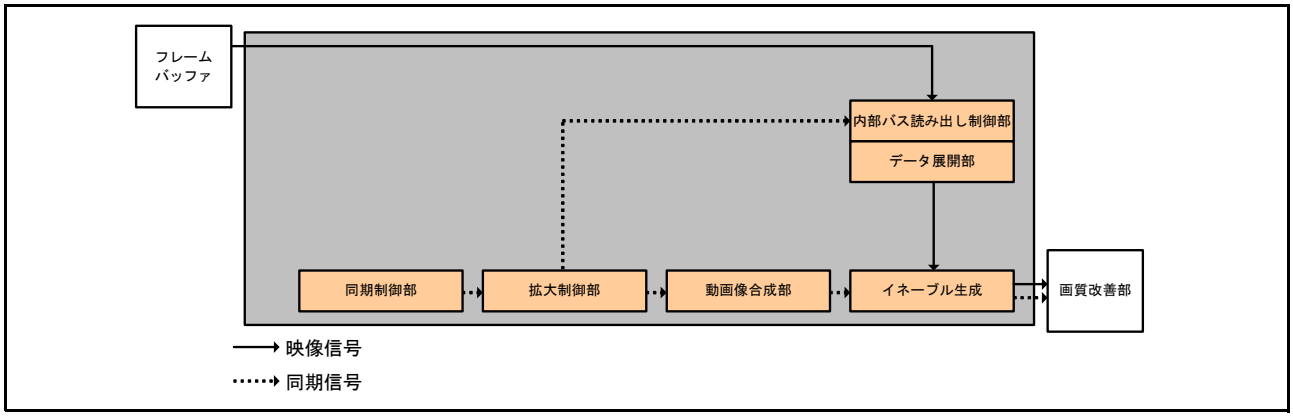


図 36.20　グラフィックス表示時の信号経路

(2)　フレームバッファアクセス領域設定

グラフィックスデータを格納するフレームバッファは 640 × 480 以上の領域に展開する必要があります。

フレームバッファのグラフィックス展開領域を 640 × 480 とします。

フレームバッファとは 64 ビット単位でアクセスしているため、RGB888（32 ビット）は 2 画素単位のアクセスとなります。

ラインオフセットアドレス設定は以下のようになります。

GR_LN_OFF[14:0] = 640 × 4 = 2560

フレームオフセットアドレス設定は以下のようになります。

GR_FLM_OFF[22:0] = GR_LN_OFF[14:0] × 480 = 1228800

(3) レジスタ設定例

表36.43　グラフィックス表示時のレジスタ設定例

レジスタ名	ビット名	設定値	備考
同期制御			
SC_SCL0_FRC3	SC_RES_VS_SEL	1	自走垂直同期選択（入力信号がある場合は外部同期選択も可能）
SC_SCL0_FRC4	SC_RES_FV[10:0]	524	出力信号の垂直周期幅（周期幅 = 設定値 + 1）
SC_SCL0_FRC4	SC_RES_FH[10:0]	799	出力信号の水平周期幅（周期幅 = 設定値 + 1）
画角サイズ設定			
SC_SCL0_FRC6	SC_RES_F_VS[10:0]	35	フル画面の垂直有効開始位置
SC_SCL0_FRC6	SC_RES_F_VW[10:0]	480	フル画面の垂直有効幅
SC_SCL0_FRC7	SC_RES_F_HS[10:0]	144	フル画面の水平有効開始位置
SC_SCL0_FRC7	SC_RES_F_HW[10:0]	640	フル画面の水平有効幅
GR_AB2	GR_GRC_VS[10:0]	35	グラフィックス出力の垂直有効開始位置
GR_AB2	GR_GRC_VW[10:0]	480	グラフィックス出力の垂直有効幅
GR_AB3	GR_GRC_HS[10:0]	144	グラフィックス出力の水平有効開始位置
GR_AB3	GR_GRC_HW[10:0]	640	グラフィックス出力の水平有効幅
フレームバッファ読み出し設定			
GR_FLM1	GR_FLM_SEL[1:0]	1	レジスタ設定でフレーム番号を選択
GR_FLM3	GR_FLM_NUM[9:0]	0	フレームバッファのフレーム番号設定（設定例では0とする）
GR_FLM5	GR_FLM_LNUM[9:0]	479	グラフィックスのライン数設定（ライン数 = 設定値 + 1）
GR_FLM6	GR_HW[9:0]	639	グラフィックスの水平有効幅設定（有効幅 = 設定値 + 1）
GR_FLM2	GR_BASE[31:0]	0	グラフィックス展開設定に合わせる（設定例では0とする）
GR_FLM3	GR_LN_OFF[14:0]	2560	グラフィックス展開設定に合わせる
GR_FLM4	GR_FLM_OFF[22:0]	1228800	グラフィックス展開設定に合わせる
GR_FLM6	GR_FORMAT[3:0]	1	フレームバッファ読み出しフォーマット　RGB888
GR_FLM_RD	GR_R_ENB	1	フレームバッファ読み出し許可
拡大処理選択			
SC_SCL0_US8	SC_RES_IBUS_SYNC_SEL	1	グラフィックス出力を表示
GR_AB1	GR_DISP_SEL[1:0]	2	グラフィックス表示を選択

36.3.3 グラフィックス拡大表示時のスケーリング設定例

(1) 入出力画角

表 36.44 の入出力画角の信号に対しての設定例を示します。

表 36.44 グラフィックス拡大表示時の入出力画角

グラフィックスサイズ	出力信号	グラフィックス信号フォーマット
640 × 480	800 × 600	RGB565

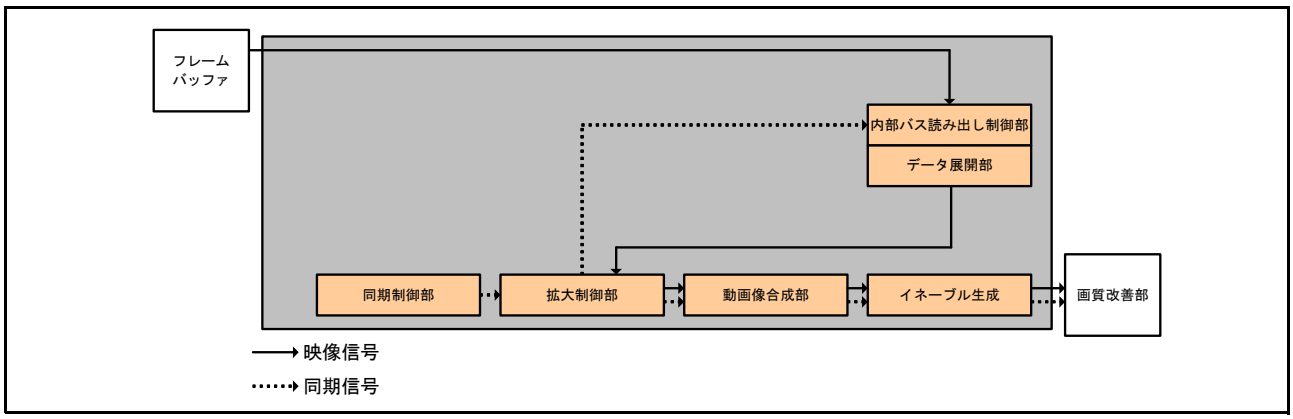


図 36.21 グラフィックス拡大表示時の信号経路

(2) 水平スケーリング（水平拡大、スケーリングフィルタは 2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。

RATIO_org = round (640 ÷ 800 × 4096) = 3277

σ = (3277 × (800 − 1) − (640 − 1) × 4096) ÷ (800 − 1) = 1.23

水平スケーリング率 = round (3277 − (1.23)) = 3276

(3) 垂直スケーリング（垂直拡大、スケーリングフィルタは 2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。

RATIO_org = round (480 ÷ 600 × 4096) = 3277

σ = (3277 × (600 − 1) − (480 − 1) × 4096) ÷ (600 − 1) = 1.57

垂直スケーリング率 = round (3277 − (1.57)) = 3275

(4) フレームバッファアクセス領域設定

グラフィックスデータを格納するフレームバッファは 640 × 480 以上の領域に展開する必要があります。

フレームバッファのグラフィックス展開領域を 640 × 480 とします。

フレームバッファとは 64 ビット単位でアクセスしているため、RGB565（16 ビット）は 4 画素単位のアクセスとなります。

ラインオフセットアドレス設定は以下のようになります。

GR_LN_OFF[14:0] = 640 × 2 = 1280

フレームオフセットアドレス設定は以下のようになります。

GR_FLM_OFF[22:0] = GR_LN_OFF[14:0] × 480 = 614400

(5) レジスタ設定例

表36.45　グラフィックス拡大表示時のレジスタ設定例

レジスタ名	ビット名	設定値	備考
同期制御			
SC_SCL0_FRC3	SC_RES_VS_SEL	1	自走垂直同期選択（入力信号がある場合は外部同期選択も可能）
SC_SCL0_FRC4	SC_RES_FV[10:0]	668	出力信号の垂直周期幅（周期幅 = 設定値 + 1）
SC_SCL0_FRC4	SC_RES_FH[10:0]	1040	出力信号の水平周期幅（周期幅 = 設定値 + 1）
画角サイズ設定			
SC_SCL0_FRC6	SC_RES_F_VS[10:0]	27	フル画面の垂直有効開始位置
SC_SCL0_FRC6	SC_RES_F_VW[10:0]	600	フル画面の垂直有効幅
SC_SCL0_FRC7	SC_RES_F_HS[10:0]	216	フル画面の水平有効開始位置
SC_SCL0_FRC7	SC_RES_F_HW[10:0]	800	フル画面の水平有効幅
SC_SCL0_US2	SC_RES_P_VS[10:0]	27	画像出力の垂直有効開始位置
SC_SCL0_US2	SC_RES_P_VW[10:0]	600	画像出力の垂直有効幅
SC_SCL0_US3	SC_RES_P_HS[10:0]	216	画像出力の水平有効開始位置
SC_SCL0_US3	SC_RES_P_HW[10:0]	800	画像出力の水平有効幅
スケーリング設定			
SC_SCL0_US5	SC_RES_US_H_RATIO[15:0]	3276	SC_RES_US_H_RATIO＜4096のため水平拡大処理
SC_SCL0_DS6	SC_RES_V_RATIO[15:0]	3275	SC_RES_V_RATIO＜4096のため垂直拡大処理
SC_SCL0_US1	SC_RES_US_H_ON	1	水平拡大オン
SC_SCL0_US1	SC_RES_US_V_ON	1	垂直拡大オン
SC_SCL0_US4	SC_RES_IN_VW[10:0]	480	フレームバッファ読み出し垂直幅
SC_SCL0_US4	SC_RES_IN_HW[10:0]	640	フレームバッファ読み出し水平幅
フレームバッファ読み出し設定			
GR_FLM1	GR_FLM_SEL[1:0]	1	レジスタ設定でフレーム番号を選択
GR_FLM3	GR_FLM_NUM[9:0]	0	フレームバッファのフレーム番号設定（設定例では0とする）
GR_FLM2	GR_BASE[31:0]	0	グラフィックス展開設定に合わせる（設定例では0とする）
GR_FLM3	GR_LN_OFF[14:0]	1280	グラフィックス展開設定に合わせる
GR_FLM4	GR_FLM_OFF[22:0]	614400	グラフィックス展開設定に合わせる
GR_FLM6	GR_FORMAT[3:0]	0	フレームバッファ読み出しフォーマット　RGB565
GR_FLM_RD	GR_R_ENB	1	フレームバッファ読み出し許可
拡大処理選択			
SC_SCL0_US8	SC_RES_IBUS_SYNC_SEL	0	映像信号の拡大処理出力を表示
GR_AB1	GR_DISP_SEL[1:0]	1	スケーリング表示を選択

37. ビデオディスプレイコントローラ 6（4） 画質改善部

37.1 画質改善機能

37.1.1 機能概要

画質改善部は、スケーリング後の YCbCr 信号に対して、黒伸張、LTI ／シャープネス、カラーマトリクスによる YCbCr → GBR 変換を行います。

RGB 信号入力時、画質改善は行われません。

下図に画質改善部の機能ブロック図を示します。スケーリング部 0 に対応して、画質改善部 0 が接続されます。

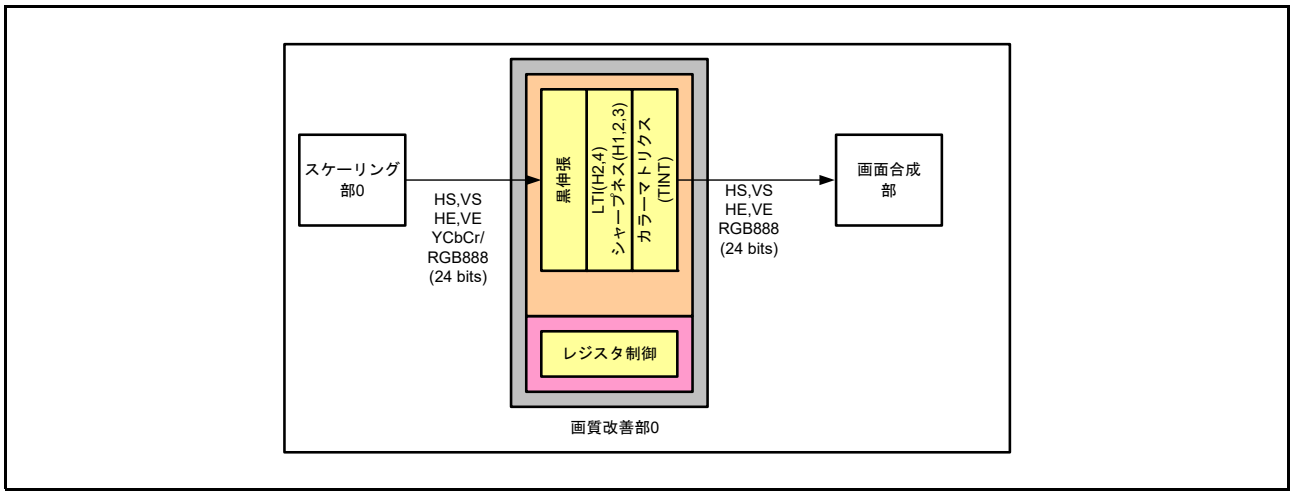


図 37.1　画質改善部の機能ブロック図

37.1.2 レジスタの更新制御

画質改善部の制御レジスタは、すべて垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

なお、画質改善部のレジスタは、ADJ0_xxxx となりますが、本仕様書では、レジスタ名を ADJ_xxxx として記載します。

表 37.1　レジスタの更新制御

レジスタ名	ビット名	初期値	説　明
ADJ_UPDATE	ADJ_VEN	0	画質改善部のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

37.1.3 黒伸張

黒伸張は、YCbCr フォーマットの入力映像信号に対して、Y 信号の黒伸張補正を行います。

補正は時定数調整、深さ（ゲイン）調整、開始点にて調整します。

図 37.2 に黒伸張補正図を示します。

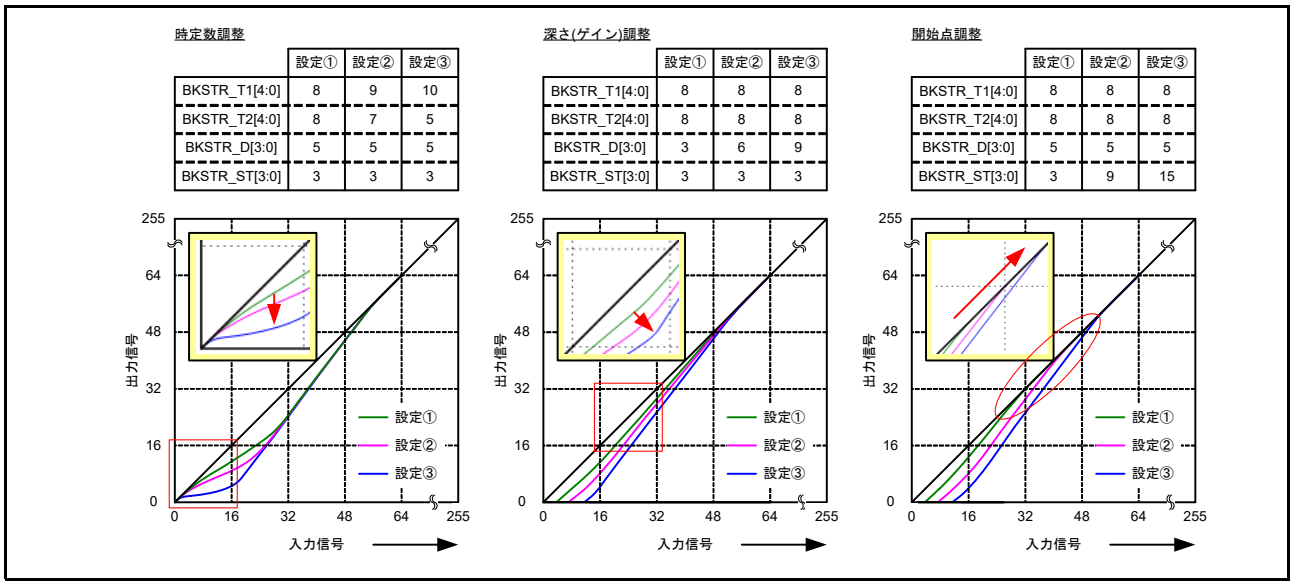


図 37.2　黒伸張補正図（設定例）

表37.2　　黒伸張制御

レジスタ名	ビット名	初期値	説　　明
ADJ_BKSTR_SET	BKSTR_ON	0	黒伸張オン／オフ制御 0：黒伸張オフ 1：黒伸張オン
ADJ_BKSTR_SET	BKSTR_ST[3:0]	0	黒伸張の開始点指定 0（低）～15（高）
ADJ_BKSTR_SET	BKSTR_T1[4:0]	0	黒伸張の時定数（T1） 0（小）～31（大）
ADJ_BKSTR_SET	BKSTR_T2[4:0]	0	黒伸張の時定数（T2） 0（小）～30（大）、31：設定禁止
ADJ_BKSTR_SET	BKSTR_D[3:0]	0	黒伸張の深さ 0（浅）～15（深）

37.1.4　　エンハンサ

スケーリング後の Y 信号入力に対して水平方向のトランジェント改善（LTI）、シャープネス処理を行います。

(1)　エンハンサ領域指定

エンハンサの動作範囲を水平同期信号、垂直同期信号の立ち上がりエッジを基準で指定します。ENH_HS は 4 クロック以上、ENH_VS は 2 ライン以上必要です。図 37.3 にエンハンサの領域設定図を示します。

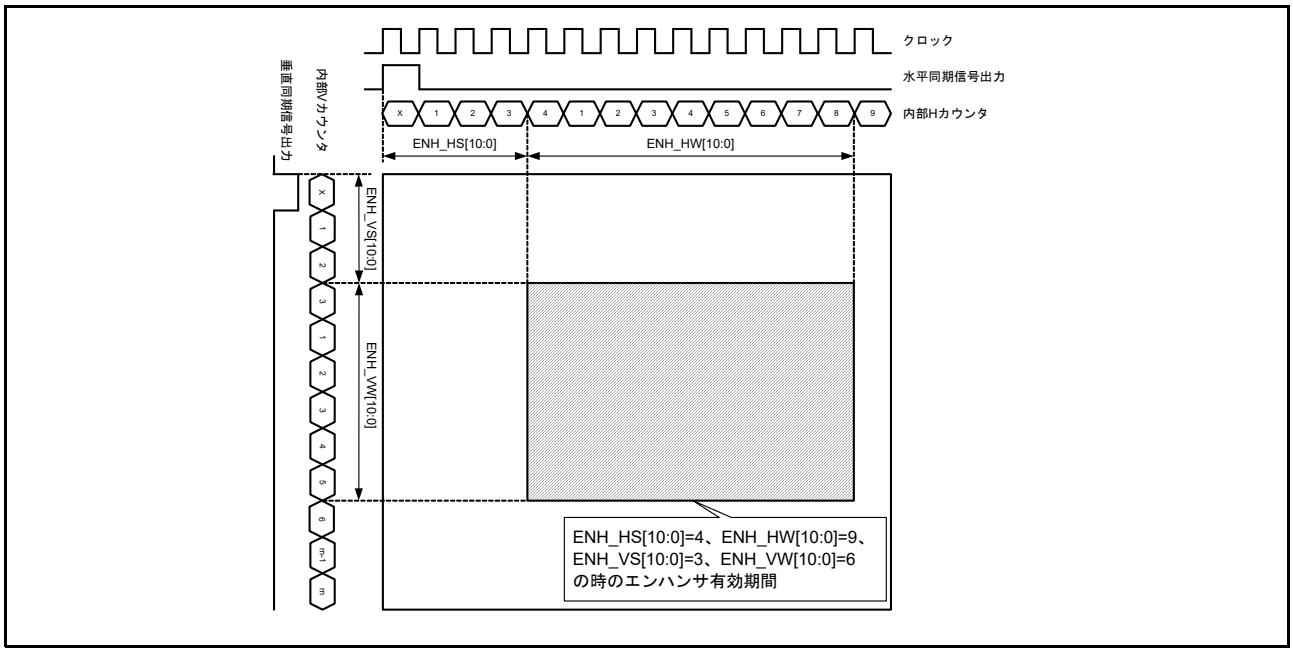


図 37.3　　エンハンサ有効期間

レジスタ ENH_DISP_ON = 1 にすることでエンハンサの有効領域枠表示することができます。

表37.3　　エンハンサ領域制御

レジスタ名	ビット名	初期値	説　　明
ADJ_ENH_TIM1	ENH_MD	1	動作モード 0：RGBモード 1：YCbCrモード
ADJ_ENH_TIM2	ENH_VS[10:0]	0	エンハンサ有効領域の垂直有効画像領域の開始位置設定 注.　2ライン以上の設定にしてください。
ADJ_ENH_TIM2	ENH_VW[10:0]	0	エンハンサ有効領域の垂直有効画像領域の幅設定
ADJ_ENH_TIM3	ENH_HS[10:0]	0	エンハンサ有効領域の水平有効画像領域の開始位置設定 注.　4クロック以上の設定にしてください。
ADJ_ENH_TIM3	ENH_HW[10:0]	0	エンハンサ有効領域の水平有効画像領域の幅設定
ADJ_ENH_TIM1	ENH_DISP_ON	0	エンハンサ有効領域の枠表示オン／オフ設定 0：表示オフ 1：表示オン

(2)　LTI（Luminance Transient Improvement）

Y 信号入力に対して水平方向のトランジェント改善を行います。
ブランキングのトランジェント改善はオフになります。

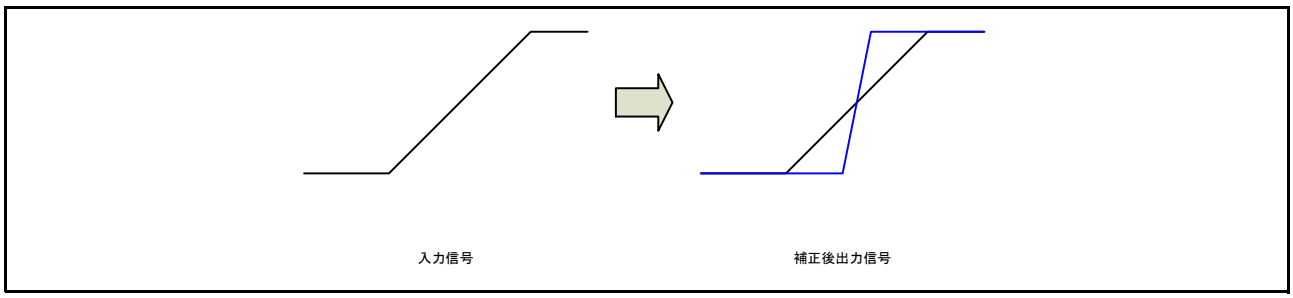


図 37.4　　LTI 補正図

LTI は画像のエッジ検出後、水平方向 2 帯域を独立で制御ができます。
LTI は画像のエッジ検出後にメディアンフィルタを挿入しています。
LTI（H4）はメディアンフィルタの参照画素を選択することが可能です。
ただし、通常動作ではエッジ検出時の 1/2 の TAP データ（隣接 2 画素目）を参照します。

表37.4　　LTI参照画素表

LTI帯域	エッジ検出時の参照画素	LPFの有無	メディアンフィルタ参照画素
水平LTI（H2）	隣接2画素目参照	LPFなし、またはLPF（1、2、1）	隣接1画素目参照
水平LTI（H4）	隣接4画素目参照	LPF（1、2、1）	隣接1画素目、または隣接2画素目参照

LTI はエッジ検出結果に対してコアリングをかけることができます。
エッジ検出結果よりレジスタ設定したコアリングを減算し、減算結果のコアリング出力に対して LTI 補正を行います。

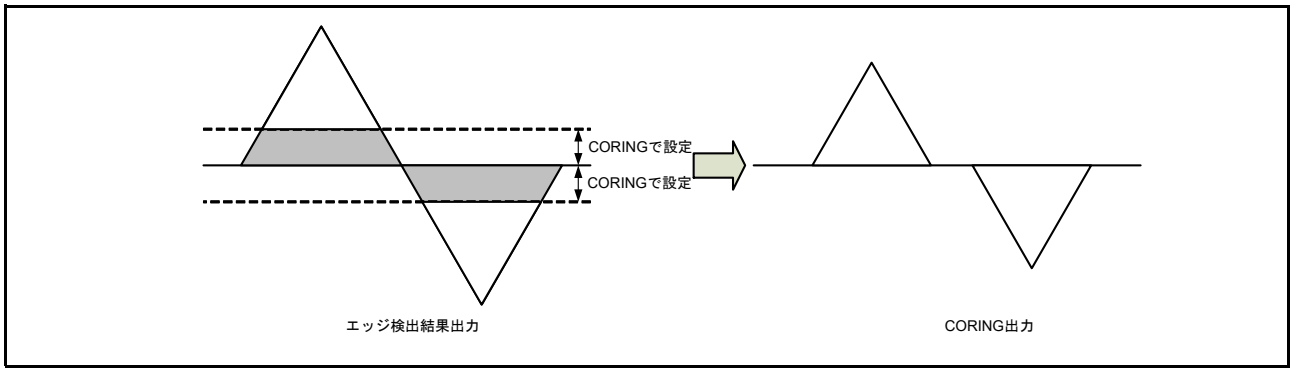


図 37.5　　LTI コアリング図

表37.5　　LTI制御

レジスタ名	ビット名	初期値	説　　明
ADJ_ENH_LTI1	LTI_H_ON	0	LTIのオン／オフ制御 0：LTIオフ 1：LTIオン
ADJ_ENH_LTI1	LTI_H2_INC_ZERO[7:0]	10	メディアンフィルタのLTI補正スレッシュ設定 |右TAP値－中心TAP値|＜LTI_H2_INC_ZERO または |左TAP値－中心TAP値|＜LTI_H2_INC_ZERO の場合LTI補正禁止
ADJ_ENH_LTI1	LTI_H2_LPF_SEL	0	H2エッジ検出前の折り返し除去用LPF選択 0：LPFなし 1：LPFあり
ADJ_ENH_LTI1	LTI_H2_GAIN[7:0]	0	LTIのエッジ振幅値に対するゲイン設定 0（0倍）～64（＋1倍）～255（＋約4倍）
ADJ_ENH_LTI1	LTI_H2_CORE[7:0]	0	LTIのコアリング（コアリング量は最大255） エッジ振幅値に対してLTI_H2_CORE以下の振幅をコアリング （128設定で128）
ADJ_ENH_LTI2	LTI_H4_INC_ZERO[7:0]	10	メディアンフィルタのLTI補正スレッシュ設定 |右TAP値－中心TAP値|＜LTI_H4_INC_ZERO または |左TAP値－中心TAP値|＜LTI_H4_INC_ZERO の場合LTI補正禁止
ADJ_ENH_LTI2	LTI_H4_MEDIAN_TAP_SEL	0	メディアンフィルタの参照画素選択 0：隣接2画素目参照 1：隣接1画素目参照
ADJ_ENH_LTI2	LTI_H4_GAIN[7:0]	0	LTIのエッジ振幅値に対するゲイン設定 0（0倍）～64（＋1倍）～255（＋約4倍）
ADJ_ENH_LTI2	LTI_H4_CORE[7:0]	0	LTIのコアリング（コアリング量は最大255） エッジ振幅値に対してLTI_H4_CORE以下の振幅をコアリング （128設定で128）

(3) シャープネス処理

Y 信号入力に対して水平方向の輪郭強調を行います。元信号に対して、オーバーシュート、アンダーシュートを付けることにより輪郭を強調します。なお、ブランキングの輪郭強調はオフになります。

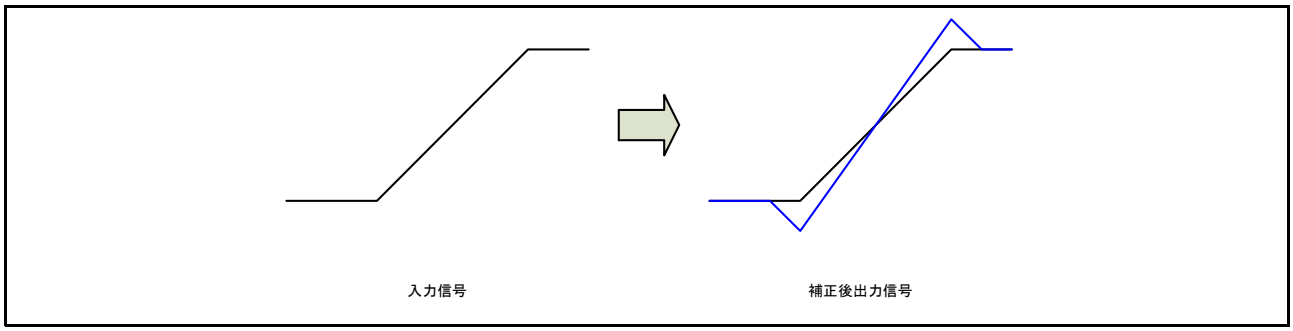


図 37.6　　シャープネス補正図

シャープネスは画像のエッジを検出後、水平方向 3 帯域を独立で制御ができます。
水平方向はエッジ検出時の折り返し防止用に 3TAP LPF を挿入しており、レジスタ設定でオン／オフを選択できます。

表 37.6　　シャープネスの参照画素表

シャープネス帯域	エッジ検出時の参照画素	LPF の有無
水平シャープネス（H1）	隣接 1 画素目参照	LPF なし
水平シャープネス（H2）	隣接 2 画素目参照	LPF なし、または、LPF（1、2、1）
水平シャープネス（H3）	隣接 3 画素目参照	LPF（1、2、1）

SHP_CORE の値によって、輪郭強調をかけるエッジ振幅を調整できます。
画像のエッジ検出結果が SHP_CORE より大きい場合、輪郭強調となります。
輪郭強調は（エッジ振幅値－ SHP_CORE）に対してシャープネスゲインをかけて補正値を出力します。
画像のエッジ検出結果が SHP_CORE より小さい場合、シャープネスはオフとなります。

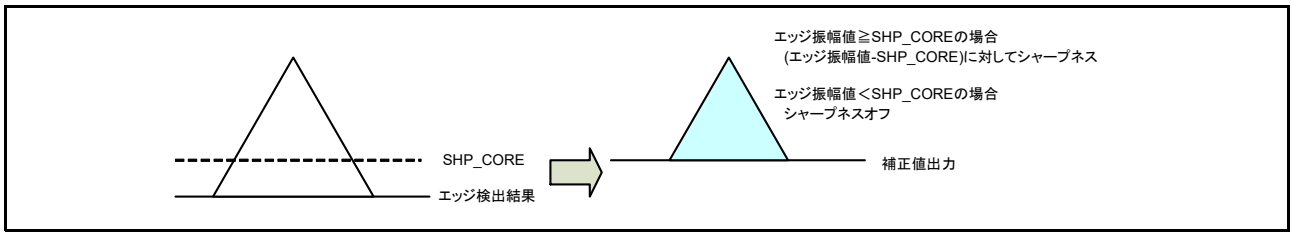


図 37.7　　シャープネス特性図

表37.7　　シャープネス制御

レジスタ名	ビット名	初期値	説　　明
ADJ_ENH_SHP1	SHP_H_ON	0	シャープネスのオン／オフ制御 0：水平シャープネスオフ 1：水平シャープネスオン
ADJ_ENH_SHP3	SHP_H2_LPF_SEL	0	H2エッジ検出前の折り返し除去用LPF選択 0：LPFなし 1：LPFあり
ADJ_ENH_SHP2	SHP_H1_CLIP_O[7:0]	0	シャープネスの補正値クリップ（オーバーシュート側） SHP_H1_CLIP_Oで補正値をクリップ処理
ADJ_ENH_SHP2	SHP_H1_CLIP_U[7:0]	0	シャープネスの補正値クリップ（アンダーシュート側） SHP_H1_CLIP_Uで補正値をクリップ処理
ADJ_ENH_SHP2	SHP_H1_GAIN_O[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H1_GAIN_O ×（エッジ振幅値－SHP_H1_CORE）
ADJ_ENH_SHP2	SHP_H1_GAIN_U[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H1_GAIN_U ×（エッジ振幅値－SHP_H1_CORE）
ADJ_ENH_SHP1	SHP_H1_CORE[6:0]	0	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H1_CORE：シャープネス処理あり エッジ振幅値＜SHP_H1_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定
ADJ_ENH_SHP4	SHP_H2_CLIP_O[7:0]	0	シャープネスの補正値クリップ（オーバーシュート側） SHP_H2_CLIP_Oで補正値をクリップ処理
ADJ_ENH_SHP4	SHP_H2_CLIP_U[7:0]	0	シャープネスの補正値クリップ（アンダーシュート側） SHP_H2_CLIP_Uで補正値をクリップ処理
ADJ_ENH_SHP4	SHP_H2_GAIN_O[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H2_GAIN_O ×（エッジ振幅値－SHP_H2_CORE）
ADJ_ENH_SHP4	SHP_H2_GAIN_U[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H2_GAIN_U ×（エッジ振幅値－SHP_H2_CORE）
ADJ_ENH_SHP3	SHP_H2_CORE[6:0]	0	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H2_CORE：シャープネス処理あり エッジ振幅値＜SHP_H2_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定
ADJ_ENH_SHP6	SHP_H3_CLIP_O[7:0]	0	シャープネスの補正値クリップ（オーバーシュート側） SHP_H3_CLIP_Oで補正値をクリップ処理
ADJ_ENH_SHP6	SHP_H3_CLIP_U[7:0]	0	シャープネスの補正値クリップ（アンダーシュート側） SHP_H3_CLIP_Uで補正値をクリップ処理
ADJ_ENH_SHP6	SHP_H3_GAIN_O[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H3_GAIN_O ×（エッジ振幅値－SHP_H3_CORE）
ADJ_ENH_SHP6	SHP_H3_GAIN_U[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H3_GAIN_U ×（エッジ振幅値－SHP_H3_CORE）
ADJ_ENH_SHP5	SHP_H3_CORE[6:0]	0	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H3_CORE：シャープネス処理あり エッジ振幅値＜SHP_H3_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定

37.1.5 カラーマトリクス

カラーマトリクスは、各入力信号のオフセット調整と9軸のゲイン調整を行うことができます。これにより YCbCr → GBR 変換を行うことができます。

(1) GBR → GBR 変換

YGIN_A = YGIN + ADJ_MTX_YG – 128
CBBIN_A = CBBIN + ADJ_MTX_B – 128
CRRIN_A = CRRIN + ADJ_MTX_R – 128
YGOUT = (ADJ_MTX_GG × YGIN_A + ADJ_MTX_GB × CBBIN_A + ADJ_MTX_GR × CRRIN_A) ÷ 256
CBBOUT = (ADJ_MTX_BG × YGIN_A + ADJ_MTX_BB × CBBIN_A + ADJ_MTX_BR × CRRIN_A) ÷ 256
CRROUT = (ADJ_MTX_RG × YGIN_A + ADJ_MTX_RB × CBBIN_A + ADJ_MTX_RR × CRRIN_A) ÷ 256

(2) YCbCr → GBR 変換

YGIN_A = YGIN + ADJ_MTX_YG – 128
CBBIN_A = CBBIN – 128
CRRIN_A = CRRIN – 128
YGOUT = (ADJ_MTX_GG × YGIN_A + ADJ_MTX_GB × CBBIN_A + ADJ_MTX_GR × CRRIN_A) ÷ 256
CBBOUT = (ADJ_MTX_BG × YGIN_A + ADJ_MTX_BB × CBBIN_A + ADJ_MTX_BR × CRRIN_A) ÷ 256
CRROUT = (ADJ_MTX_RG × YGIN_A + ADJ_MTX_RB × CBBIN_A + ADJ_MTX_RR × CRRIN_A) ÷ 256

表37.8　SMPTE 293Mのマトリクス係数（標準値）

	YGIN		CBBIN		CRRIN	
	係数	ビット設定値	係数	ビット設定値	係数	ビット設定値
YGOUT	1.000	ADJ_MTX_GG = 256	− 0.344	ADJ_MTX_GB = 1960	− 0.714	ADJ_MTX_GR = 1865
CBBOUT	1.000	ADJ_MTX_BG = 256	1.772	ADJ_MTX_BB = 454	0.000	ADJ_MTX_BR = 0
CRROUT	1.000	ADJ_MTX_RG = 256	0.000	ADJ_MTX_RB = 0	1.402	ADJ_MTX_RR = 359

表37.9　　カラーマトリクス制御

レジスタ名	ビット名	初期値	説　　明
ADJ_MTX_MODE	ADJ_MTX_MD[1:0]	2	動作モード 0：GBR → GBR 1：設定禁止 2：YCbCr → GBR 3：設定禁止
ADJ_MTX_YG_ADJ0	ADJ_MTX_YG[7:0]	128	Y/G信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
ADJ_MTX_CBB_ADJ0	ADJ_MTX_B[7:0]	128	B信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
ADJ_MTX_CRR_ADJ0	ADJ_MTX_R[7:0]	128	R信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
ADJ_MTX_YG_ADJ0	ADJ_MTX_GG[10:0]	256	G信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
ADJ_MTX_YG_ADJ1	ADJ_MTX_GB[10:0]	1960	G信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
ADJ_MTX_YG_ADJ1	ADJ_MTX_GR[10:0]	1865	G信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
ADJ_MTX_CBB_ADJ0	ADJ_MTX_BG[10:0]	256	B信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BB[10:0]	454	B信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BR[10:0]	0	B信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
ADJ_MTX_CRR_ADJ0	ADJ_MTX_RG[10:0]	256	R信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RB[10:0]	0	R信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RR[10:0]	359	R信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

37.2 レジスタの説明

表 37.10 にレジスタ構成を示します。

【レジスタ説明の記号説明】

初期値：リセット後のレジスタ値

－：不定値

R/W：リードおよびライト可。書き込み値を読み出すことができます。

R/WC0：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

R：リードのみ可。書き込む値は常に 0 にしてください。

－ /W：ライトのみ可。読み出し値は不定です。

表37.10　画質改善部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
画質改善部レジスタ更新制御レジスタ（画質改善部0）	ADJ0_UPDATE	R/WC1	H'0000 0000	H'FCFF 7680	32
黒伸張部レジスタ（画質改善部0）	ADJ0_BKSTR_SET	R/W	H'0000 0000	H'FCFF 7684	32
エンハンサタイミング調整レジスタ1（画質改善部0）	ADJ0_ENH_TIM1	R/W	H'0000 0010	H'FCFF 7688	32
エンハンサタイミング調整レジスタ2（画質改善部0）	ADJ0_ENH_TIM2	R/W	H'0023 01E0	H'FCFF 768C	32
エンハンサタイミング調整レジスタ3（画質改善部0）	ADJ0_ENH_TIM3	R/W	H'0091 0280	H'FCFF 7690	32
エンハンサシャープネスレジスタ1（画質改善部0）	ADJ0_ENH_SHP1	R/W	H'0000 0000	H'FCFF 7694	32
エンハンサシャープネスレジスタ2（画質改善部0）	ADJ0_ENH_SHP2	R/W	H'0000 0000	H'FCFF 7698	32
エンハンサシャープネスレジスタ3（画質改善部0）	ADJ0_ENH_SHP3	R/W	H'0000 0000	H'FCFF 769C	32
エンハンサシャープネスレジスタ4（画質改善部0）	ADJ0_ENH_SHP4	R/W	H'0000 0000	H'FCFF 76A0	32
エンハンサシャープネスレジスタ5（画質改善部0）	ADJ0_ENH_SHP5	R/W	H'0000 0000	H'FCFF 76A4	32
エンハンサシャープネスレジスタ6（画質改善部0）	ADJ0_ENH_SHP6	R/W	H'0000 0000	H'FCFF 76A8	32
エンハンサLTIレジスタ1（画質改善部0）	ADJ0_ENH_LTI1	R/W	H'000A 0000	H'FCFF 76AC	32
エンハンサLTIレジスタ2（画質改善部0）	ADJ0_ENH_LTI2	R/W	H'000A 0000	H'FCFF 76B0	32
画質改善部マトリクスモードレジスタ（画質改善部0）	ADJ0_MTX_MODE	R/W	H'0000 0002	H'FCFF 76B4	32
画質改善部マトリクスYG調整レジスタ0（画質改善部0）	ADJ0_MTX_YG_ADJ0	R/W	H'0080 0100	H'FCFF 76B8	32
画質改善部マトリクスYG調整レジスタ1（画質改善部0）	ADJ0_MTX_YG_ADJ1	R/W	H'07A8 0749	H'FCFF 76BC	32
画質改善部マトリクスCBB調整レジスタ0（画質改善部0）	ADJ0_MTX_CBB_ADJ0	R/W	H'0080 0100	H'FCFF 76C0	32
画質改善部マトリクスCBB調整レジスタ1（画質改善部0）	ADJ0_MTX_CBB_ADJ1	R/W	H'01C6 0000	H'FCFF 76C4	32
画質改善部マトリクスCRR調整レジスタ0（画質改善部0）	ADJ0_MTX_CRR_ADJ0	R/W	H'0080 0100	H'FCFF 76C8	32
画質改善部マトリクスCRR調整レジスタ1（画質改善部0）	ADJ0_MTX_CRR_ADJ1	R/W	H'0000 0167	H'FCFF 76CC	32

37.2.1 画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADJ0_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ADJ0_VEN	0	R/WC1	画質改善部のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

37.2.2 黒伸張部レジスタ（ADJ0_BKSTR_SET）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	BKSTR_ON	BKSTR_ST[3:0]				BKSTR_D[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	BKSTR_T1[4:0]					—	—	—	BKSTR_T2[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	BKSTR_ON	0	R/W	黒伸張オン／オフ制御 0：黒伸張オフ 1：黒伸張オン
23 ～ 20	BKSTR_ST[3:0]	0	R/W	黒伸張の開始点指定。設定値：0（低）～15（高）
19 ～ 16	BKSTR_D[3:0]	0	R/W	黒伸張の深さ。設定値：0（浅）～15（深）
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12 ～ 8	BKSTR_T1[4:0]	0	R/W	黒伸張の時定数（T1）。設定値：0（小）～31（大）
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4 ～ 0	BKSTR_T2[4:0]	0	R/W	黒伸張の時定数（T2）。設定値：0（小）～31（大）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.3 エンハンサタイミング調整レジスタ 1（ADJ0_ENH_TIM1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	ENH_MD	—	—	—	ENH_DISP_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	ENH_MD	1	R/W	動作モード 0：RGBモード 1：YCbCrモード
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ENH_DISP_ON	0	R/W	エンハンサ有効領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.4 エンハンサタイミング調整レジスタ 2（ADJ0_ENH_TIM2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ENH_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENH_VW[10:0]										
初期値：	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ENH_VS[10:0]	35	R/W	エンハンサ有効領域の垂直有効画像領域の開始位置設定 注.　2ライン以上の設定にしてください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ENH_VW[10:0]	480	R/W	エンハンサ有効領域の垂直有効画像領域の幅設定

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.5　エンハンサタイミング調整レジスタ 3（ADJ0_ENH_TIM3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ENH_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENH_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ENH_HS[10:0]	145	R/W	エンハンサ有効領域の水平有効画像領域の開始位置設定 注.　4クロック以上の設定にしてください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ENH_HW[10:0]	640	R/W	エンハンサ有効領域の水平有効画像領域の幅設定

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.6　エンハンサシャープネスレジスタ 1（ADJ0_ENH_SHP1）

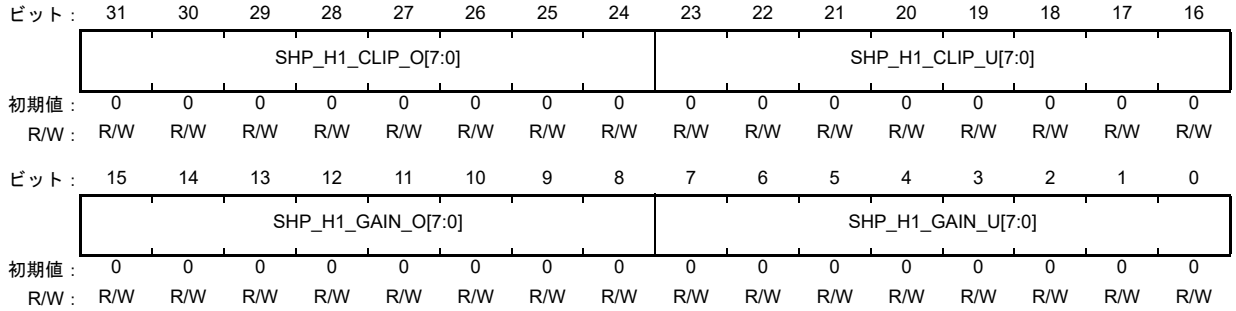
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SHP_H_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SHP_H1_CORE[6:0]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SHP_H_ON	0	R/W	シャープネスのオン／オフ制御 0：水平シャープネスオフ 1：水平シャープネスオン
15 ～ 7	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6 ～ 0	SHP_H1_CORE[6:0]	0	R/W	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H1_CORE：シャープネス処理あり エッジ振幅値＜SHP_H1_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

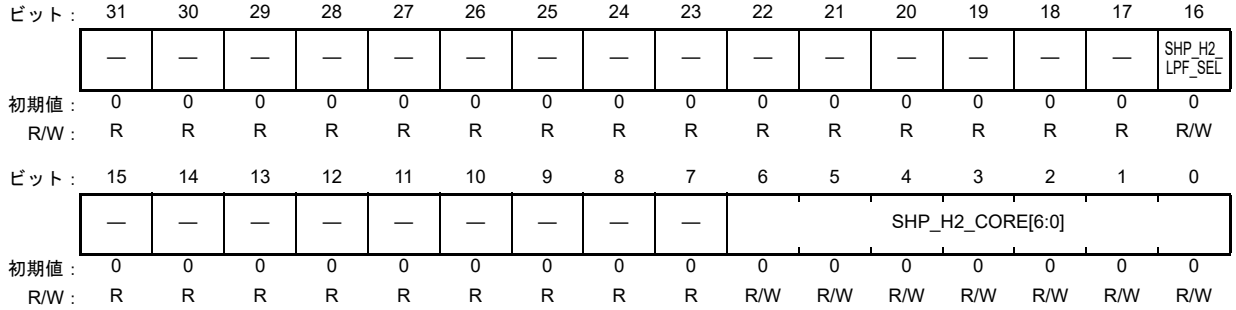
37.2.7　エンハンサシャープネスレジスタ 2（ADJ0_ENH_SHP2）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	SHP_H1_ CLIP_O[7:0]	0	R/W	シャープネスの補正値クリップ（オーバーシュート側） SHP_H1_CLIP_Oで補正値をクリップ処理
23 ～ 16	SHP_H1_ CLIP_U[7:0]	0	R/W	シャープネスの補正値クリップ（アンダーシュート側） SHP_H1_CLIP_Uで補正値をクリップ処理
15 ～ 8	SHP_H1_ GAIN_O[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H1_GAIN_O ×（エッジ振幅値－SHP_H1_CORE）
7 ～ 0	SHP_H1_ GAIN_U[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H1_GAIN_U ×（エッジ振幅値－SHP_H1_CORE）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

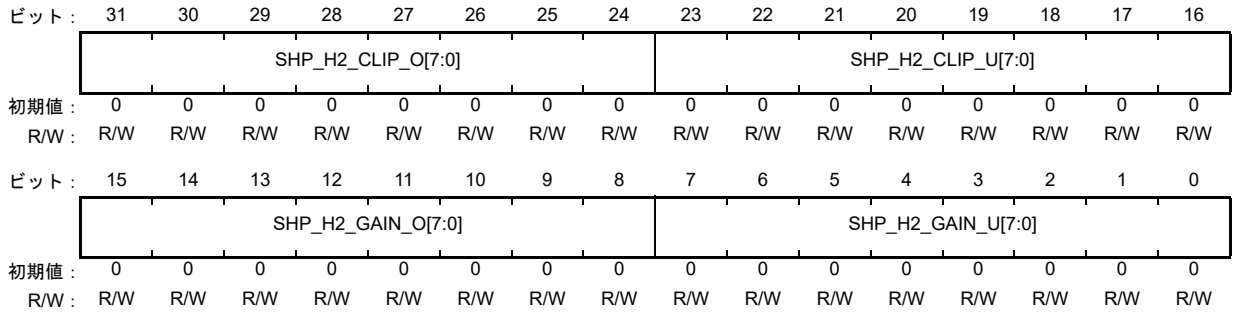
37.2.8　エンハンサシャープネスレジスタ 3（ADJ0_ENH_SHP3）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SHP_H2_ LPF_SEL	0	R/W	H2エッジ検出前の折り返し除去用LPF選択 0：LPFなし 1：LPFあり
15 ～ 7	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6 ～ 0	SHP_H2_ CORE[6:0]	0	R/W	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H2_CORE：シャープネス処理あり エッジ振幅値＜SHP_H2_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

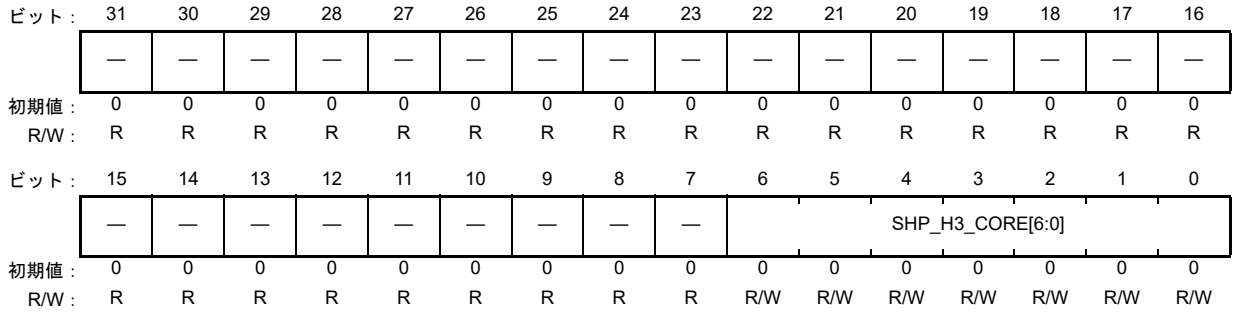
37.2.9 エンハンサシャープネスレジスタ 4（ADJ0_ENH_SHP4）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	SHP_H2_ CLIP_O[7:0]	0	R/W	シャープネスの補正値クリップ（オーバーシュート側） SHP_H2_CLIP_Oで補正値をクリップ処理
23 ～ 16	SHP_H2_ CLIP_U[7:0]	0	R/W	シャープネスの補正値クリップ（アンダーシュート側） SHP_H2_CLIP_Uで補正値をクリップ処理
15 ～ 8	SHP_H2_ GAIN_O[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H2_GAIN_O ×（エッジ振幅値－SHP_H2_CORE）
7 ～ 0	SHP_H2_ GAIN_U[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H2_GAIN_U ×（エッジ振幅値－SHP_H2_CORE）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

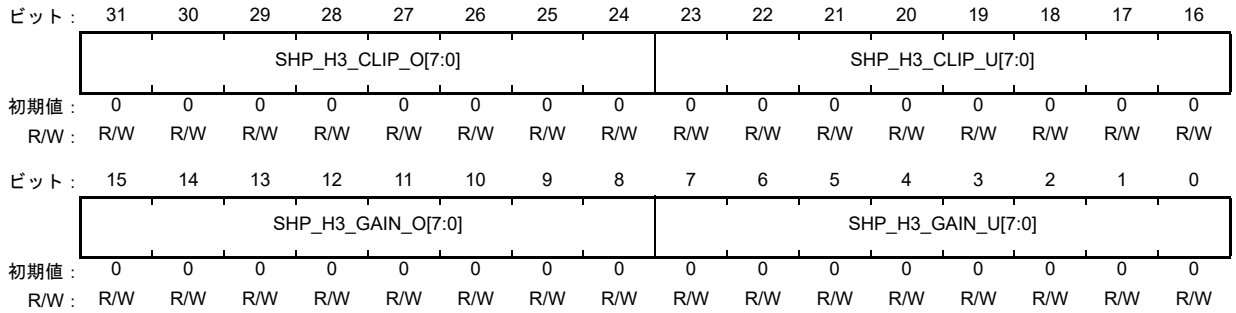
37.2.10 エンハンサシャープネスレジスタ 5（ADJ0_ENH_SHP5）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 7	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6 ～ 0	SHP_H3_ CORE[6:0]	0	R/W	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H3_CORE：シャープネス処理あり エッジ振幅値＜SHP_H3_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

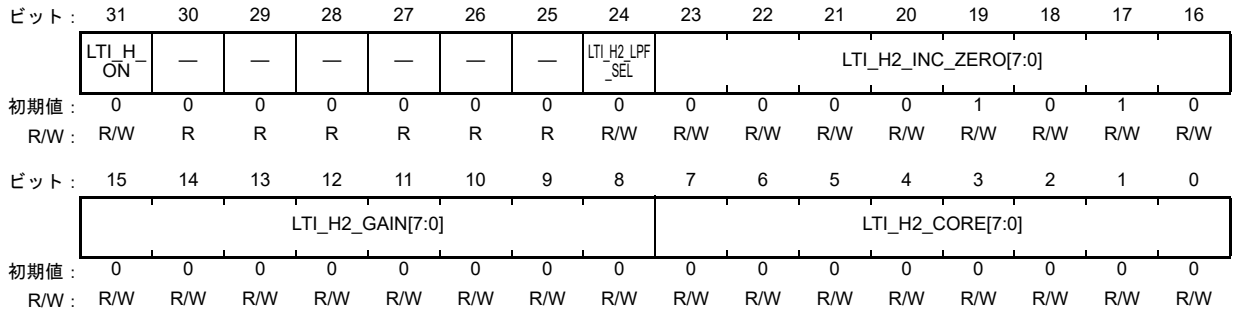
37.2.11　エンハンサシャープネスレジスタ 6（ADJ0_ENH_SHP6）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	SHP_H3_ CLIP_O[7:0]	0	R/W	シャープネスの補正値クリップ（オーバーシュート側） SHP_H3_CLIP_Oで補正値をクリップ処理
23 ～ 16	SHP_H3_ CLIP_U[7:0]	0	R/W	シャープネスの補正値クリップ（アンダーシュート側） SHP_H3_CLIP_Uで補正値をクリップ処理
15 ～ 8	SHP_H3_ GAIN_O[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H3_GAIN_O ×（エッジ振幅値－SHP_H3_CORE）
7 ～ 0	SHP_H3_ GAIN_U[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値 = SHP_H3_GAIN_U ×（エッジ振幅値－SHP_H3_CORE）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.12 エンハンサ LTI レジスタ 1（ADJ0_ENH_LTI1）



ビット	ビット名	初期値	R/W	説　　明
31	LTI_H_ON	0	R/W	LTIのオン／オフ制御 0：LTIオフ 1：LTIオン
30 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	LTI_H2_LPF_SEL	0	R/W	H2エッジ検出前の折り返し除去用LPF選択 0：LPFなし 1：LPFあり
23 ～ 16	LTI_H2_INC_ZERO[7:0]	10	R/W	メディアンフィルタのLTI補正スレッシュ設定 |右TAP値－中心TAP値|＜LTI_H2_INC_ZEROまたは |左TAP値－中心TAP値|＜LTI_H2_INC_ZEROの場合LTI補正禁止
15 ～ 8	LTI_H2_GAIN[7:0]	0	R/W	LTIのエッジ振幅値に対するゲイン設定 0（0倍）～64（＋1倍）～255（＋約4倍）
7 ～ 0	LTI_H2_CORE[7:0]	0	R/W	LTIのコアリング（コアリング量は最大255） エッジ振幅値に対してLTI_H2_CORE以下の振幅をコアリング （128設定で128）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.13 エンハンサ LTI レジスタ 2（ADJ0_ENH_LTI2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	LTI_H4_MEDIAN_TAP_SEL	LTI_H4_INC_ZERO[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LTI_H4_GAIN[7:0]								LTI_H4_CORE[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	LTI_H4_MEDIAN_TAP_SEL	0	R/W	メディアンフィルタの参照画素選択 0：隣接2画素目参照 1：隣接1画素目参照
23 ～ 16	LTI_H4_INC_ZERO [7:0]	10	R/W	メディアンフィルタのLTI補正スレッシュ設定 |右TAP値－中心TAP値|＜LTI_H4_INC_ZEROまたは |左TAP値－中心TAP値|＜LTI_H4_INC_ZEROの場合LTI補正禁止
15 ～ 8	LTI_H4_GAIN [7:0]	0	R/W	LTIのエッジ振幅値に対するゲイン設定 0（0倍）～64（＋1倍）～255（＋約4倍）
7 ～ 0	LTI_H4_CORE [7:0]	0	R/W	LTIのコアリング（コアリング量は最大255） エッジ振幅値に対してLTI_H4_CORE以下の振幅をコアリング （128設定で128）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.14 画質改善部マトリクスモードレジスタ（ADJ0_MTX_MODE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADJ0_MTX_MD [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	ADJ0_MTX_MD [1:0]	2	R/W	動作モード 0：GBR => GBR 1：設定禁止 2：YCbCr => GBR 3：設定禁止

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.15 画質改善部マトリクス YG 調整レジスタ 0（ADJ0_MTX_YG_ADJ0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	ADJ0_MTX_YG[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ADJ0_MTX_GG[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	ADJ0_MTX_YG [7:0]	128	R/W	Y/G信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_GG [10:0]	256	R/W	G信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.16 画質改善部マトリクス YG 調整レジスタ 1（ADJ0_MTX_YG_ADJ1）

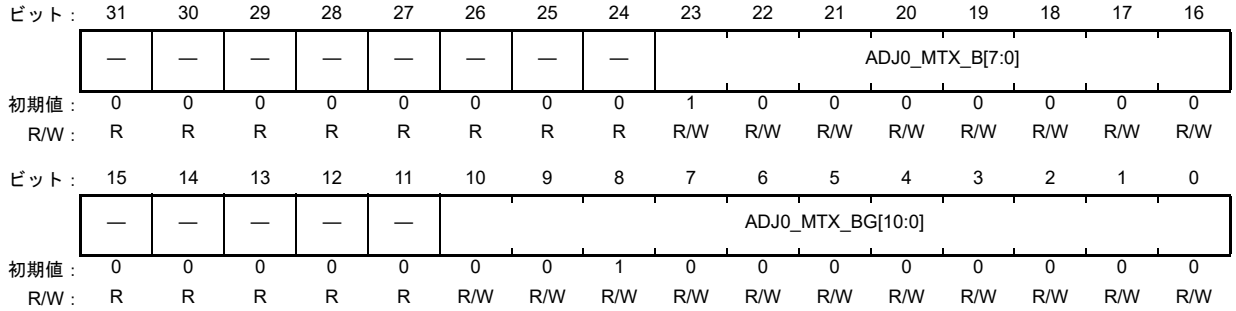
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ADJ0_MTX_GB[10:0]										
初期値：	0	0	0	0	0	1	1	1	1	0	1	0	1	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ADJ0_MTX_GR[10:0]										
初期値：	0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ADJ0_MTX_GB [10:0]	1960	R/W	G信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_GR [10:0]	1865	R/W	G信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

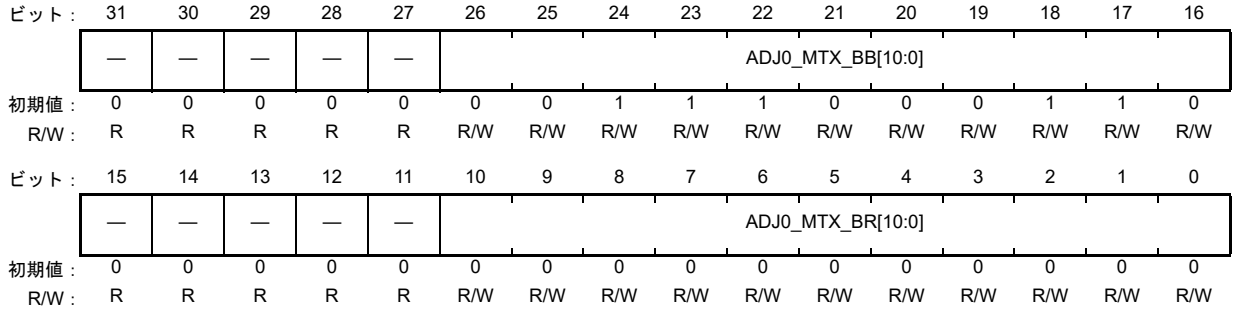
37.2.17 画質改善部マトリクス CBB 調整レジスタ 0（ADJ0_MTX_CBB_ADJ0）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	ADJ0_MTX_B [7:0]	128	R/W	B信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_BG [10:0]	256	R/W	B信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.18 画質改善部マトリクス CBB 調整レジスタ 1（ADJ0_MTX_CBB_ADJ1）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ADJ0_MTX_BB [10:0]	454	R/W	B信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_BR [10:0]	0	R/W	B信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.19 画質改善部マトリクス CRR 調整レジスタ 0（ADJ0_MTX_CRR_ADJ0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	ADJ0_MTX_R[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ADJ0_MTX_RG[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	ADJ0_MTX_R [7:0]	128	R/W	R信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_RG [10:0]	256	R/W	R信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.2.20 画質改善部マトリクス CRR 調整レジスタ 1（ADJ0_MTX_CRR_ADJ1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ADJ0_MTX_RB[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ADJ0_MTX_RR[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ADJ0_MTX_RB [10:0]	0	R/W	R信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_RR [10:0]	359	R/W	R信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB] = 1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN = 1で更新されます。

37.3 使用方法

37.3.1 黒伸張の使用方法

黒伸張の深さ（BKSTR_D[3:0]）と黒伸張の開始点（BKSTR_ST[3:0]）の設定により、黒の伸張度合いを調整できます。黒伸張の時間軸の変化量は、時定数設定（BKSTR_T1[4:0]、BKSTR_T2[4:0]）により、調整することが可能です。時定数設定を行うことにより、シーンの切り替わりでの急な変化を抑えることができます。

表37.11　黒伸張の設定レジスタ

レジスタ名	ビット名	設定値
ADJ_BKSTR_SET	BKSTR_ON	黒伸張オンの場合：1
ADJ_BKSTR_SET	BKSTR_D[3:0]	黒伸張の深さを設定します。値が大きいほど、深くなります。
ADJ_BKSTR_SET	BKSTR_ST[3:0]	黒伸張の開始点を設定します。値が大きいほど、伸張領域が多くなります。
ADJ_BKSTR_SET	BKSTR_T1[4:0]	黒伸張の正方向の時定数を設定します。値が大きいほど、変化が遅くなります。
ADJ_BKSTR_SET	BKSTR_T2[4:0]	黒伸張の負方向の時定数を設定します。値が大きいほど、変化が遅くなります。

注.　レジスタ設定後に画質改善部レジスタ更新制御レジスタ（ADJ_UPDATE）のADJ_VEN = 1の設定が必要です。

37.3.2 エンハンサの LTI 処理

図 37.8 に LTI 調整を示します。

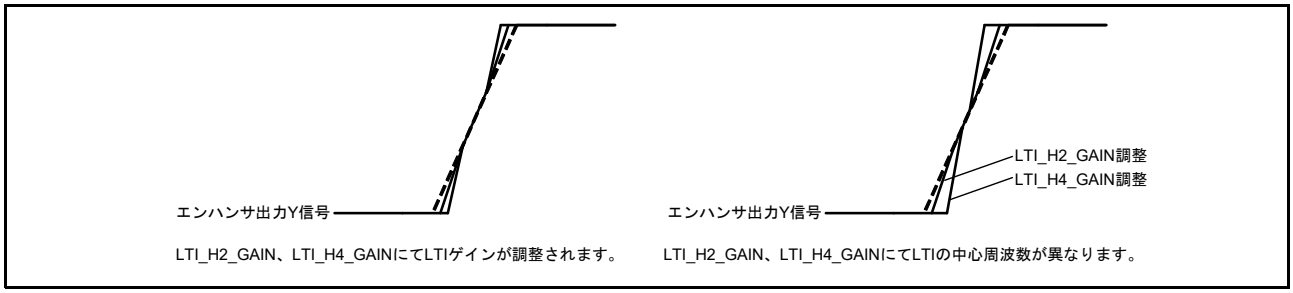


図 37.8　LTI 調整例

37.3.3 エンハンサのシャープネス処理

図 37.9 にシャープネス調整例を示します。

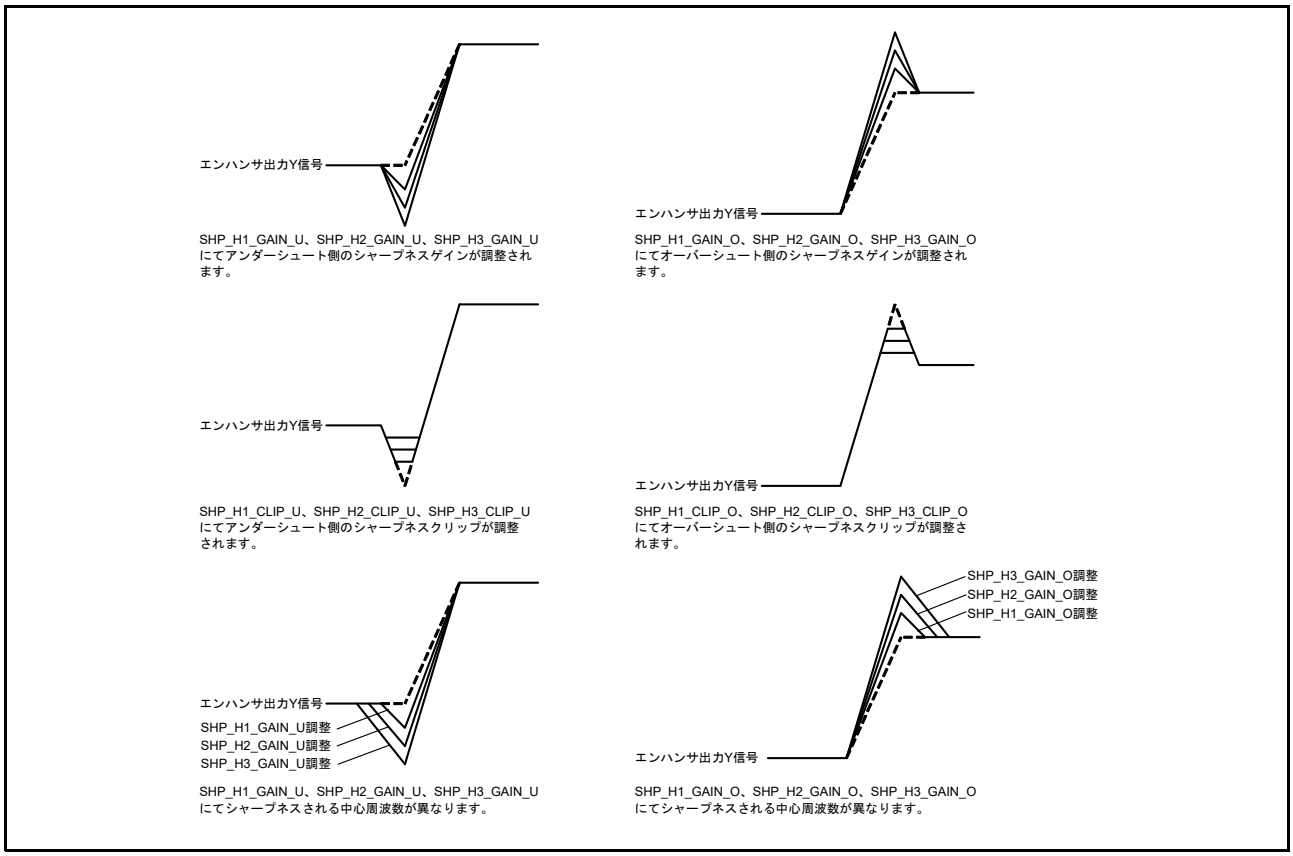


図 37.9　　シャープネス調整例

37.3.4 カラーマトリクスのデータ変換設定方法

画質改善部より後段回路は GBR 入力を想定としているため、カラーマトリクス回路にて GBR フォーマットで出力する必要があります。

表 37.12 に、GBR 変換設定例を示します。

表37.12　マトリクス変換の推奨設定値

		GBR ⇒ GBR変換	YCbCr ⇒ GBR変換
レジスタ名	ビット名	推奨値	推奨値
ADJ_MTX_MODE	ADJ_MTX_MD[1:0]	0	2
ADJ_MTX_YG_ADJ0	ADJ_MTX_YG[7:0]	128	128
ADJ_MTX_CBB_ADJ0	ADJ_MTX_B[7:0]	128	128
ADJ_MTX_CRR_ADJ0	ADJ_MTX_R[7:0]	128	128
ADJ_MTX_YG_ADJ0	ADJ_MTX_GG[10:0]	256	256
ADJ_MTX_YG_ADJ1	ADJ_MTX_GB[10:0]	0	1960
ADJ_MTX_YG_ADJ1	ADJ_MTX_GR[10:0]	0	1865
ADJ_MTX_CBB_ADJ0	ADJ_MTX_BG[10:0]	0	256
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BB[10:0]	256	454
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BR[10:0]	0	0
ADJ_MTX_CRR_ADJ0	ADJ_MTX_RG[10:0]	0	256
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RB[10:0]	0	0
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RR[10:0]	256	359

注.　レジスタ設定後に画質改善部レジスタ更新制御レジスタ（ADJ_UPDATE）の ADJ_VEN = 1 の設定が必要です。

38. ビデオディスプレイコントローラ 6（5） 画面合成部

38.1 画面合成機能

38.1.1 機能概要

画面合成部は、フレームバッファ上のグラフィックスデータを読み出して表示を行います。

合成は、映像 1 面 + グラフィックス 2 面もしくは、グラフィックス 3 面の選択ができます。

グラフィックスデータは、RGB565, RGB888, αRGB1555, αRGB4444, αRGB8888, RGBα5551, RGBα8888, CLUT8, CLUT4, CLUT1, YCbCr422 (グラフィックス（0）), YCbCr444 (グラフィックス（0）) に対応しています。

映像データは、RGB565, RGB888, YCbCr422, YCbCr444 に対応しています。

各グラフィックスプレーンに対して背景色、下層グラフィックス、カレントグラフィックス、下層グラフィックスとカレントグラフィックスのブレンド処理（グラフィックス（2)、(3)）の表示が行えます。

フレームバッファとして大容量内蔵 RAM および外部 SDRAM を使用可能ですが、外部 SDRAM を使用した場合バス帯域が足りなくなり表示ができなくなる可能性がありますので、フレームバッファは、内蔵の大容量 RAM に配置することを推奨いたします。

下図に画面合成部の機能ブロック図を示します。

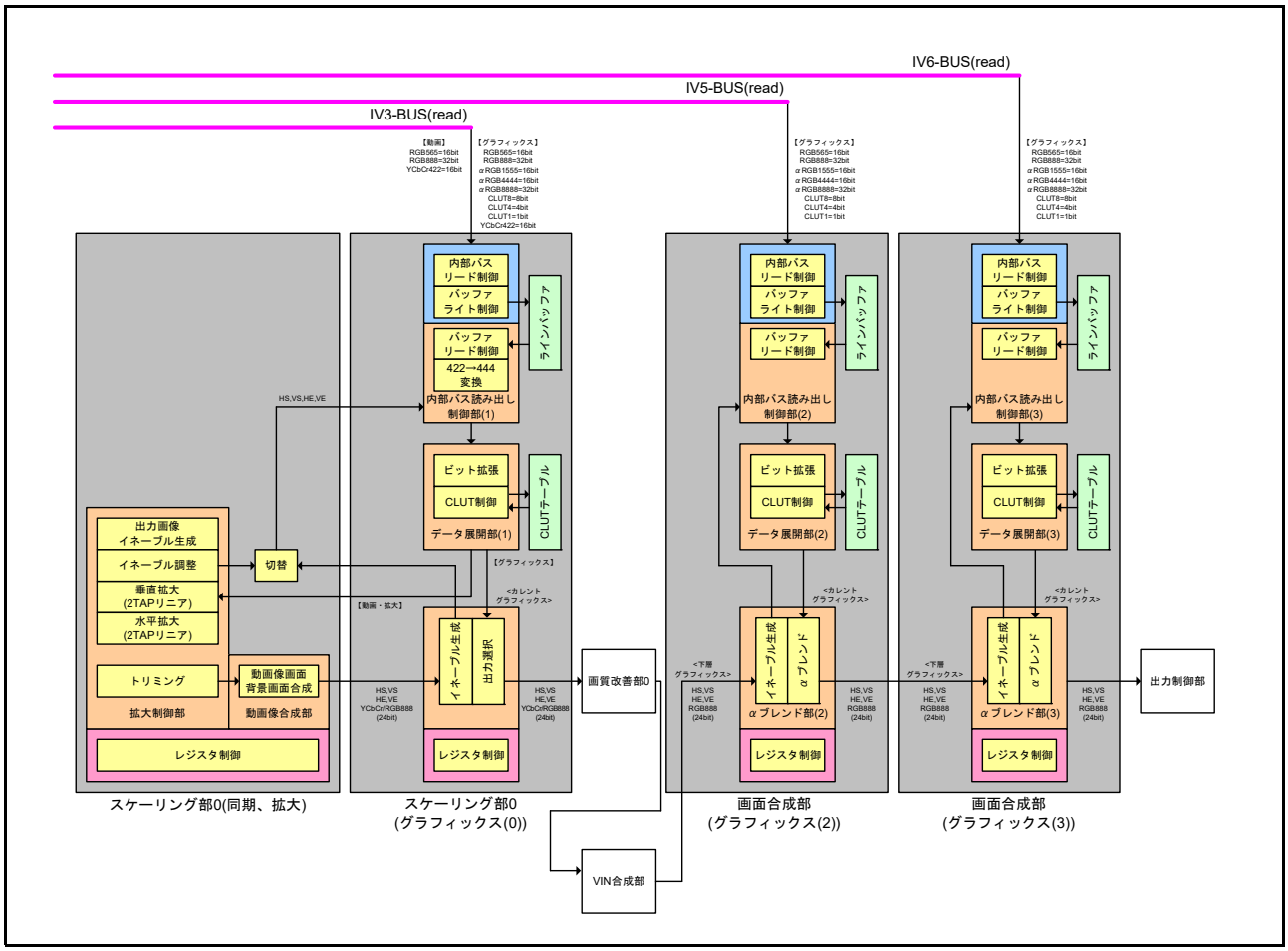


図 38.1　画面合成部の機能ブロック図

38.1.2 グラフィックスデータ読み出し制御

グラフィックスデータ読み出し制御は、スケーリング部0のグラフィックス（0）表示、画面合成部のグラフィックス（2）表示、グラフィックス（3）表示の3系統あります。

各部のレジスタ・ビットは、GR0_xxxx、GR2_xxxx、GR3_xxxxとなりますが、本仕様書では、レジスタ・ビット名をGR_xxxxとして記載します。

なお、VIN合成部ではグラフィックスデータ読み出し制御はありませんが、これも含めて、本書ではGR_xxxxとして記載します。ただし、読み出し制御関係のレジスタ（GR_FLM）はありません。

(1) レジスタの更新制御

グラフィックス表示、フレームバッファ読み出しの制御レジスタは、一部レジスタを除き垂直同期信号で更新タイミングを管理します。

更新制御レジスタに1をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に0にクリアされます。

表38.1　レジスタの更新制御

レジスタ名	ビット名	初期値	説　明
GR_UPDATE	GR_UPDATE	0	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
GR_UPDATE	GR_P_VEN	0	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GR_UPDATE	GR_IBUS_VEN	0	フレームバッファ読み出しのレジスタ更新（注1） 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

注1.　VIN合成部には本ビットは存在しません。

(2) フレームバッファバースト転送モード

映像、グラフィックスデータが格納されているフレームバッファへのアクセスは、32バイト転送、128バイト転送の2モードを選択できます。

表38.2　フレームバッファバースト転送モード

レジスタ名	ビット名	初期値	説　明
GR_FLM1	GR_BST_MD	0	フレームバッファバースト転送モード 0：32バイト 1：128バイト

(3) フレームバッファ制御モード

フレームバッファの読み出しは、複数面に対応しています。

グラフィックスに対しては、GR_FLM_SEL[1:0] = 1 を設定し、GR_FLM_NUM[9:0] で表示面のフレーム番号を設定します。映像に対しては、書き込み時の処理に応じて GR_FLM_SEL[1:0] でモードを選択します。映像時の使用フレーム数は、書き込み処理部で設定した値で動作します。

表38.3　フレームバッファ制御モード

レジスタ名	ビット名	初期値	説　明
GR_FLM1	GR_FLM_SEL[1:0]	0	フレームバッファアドレス設定信号の選択 0：縮小処理と連携、またはフレーム0を選択（注1） 1：レジスタ GR_FLM_NUM を選択 2：歪み補正処理と連携、またはフレーム0を選択（注2） 3：ポインタバッファと連携、または設定禁止（注3）
GR_FLM3	GR_FLM_NUM[9:0]	0	フレームバッファのフレーム番号 レジスタ GR_FLM_SEL = 1のとき、フレーム番号を手動設定します。

注1.　グラフィックス（0）は縮小処理と連携。グラフィックス(2)、(3)はフレーム0を選択。
注2.　グラフィックス（0）は歪み補正処理と連携。グラフィックス(2)、(3)はフレーム0を選択。
注3.　グラフィックス（0）はポインタバッファと連携。グラフィックス(2)、(3)は設定禁止。

(4) フレームバッファ読み出し制御

フレームバッファの読み出しの許可／禁止を制御します。

表38.4　フレームバッファ読み出し制御

レジスタ名	ビット名	初期値	説　明
GR_FLM_RD	GR_R_ENB	0	フレームバッファ読み出し許可 0：読み出しを禁止 1：読み出しを許可

(5) 歪み補正フレームバッファ制御

歪み補正フレームバッファはフレーム 0、フレーム 1 の 2 面を使用し、歪み補正エンジンより読み出すフレーム番号が設定されます。

GR_IMR_FLM_INV で読み出すフレームバッファ番号（フレーム 0、フレーム 1）を入れ替えることができます。

本ビットは GR_FLM_SEL = 2 のときのみ有効となります。

表38.5　歪み補正フレームバッファ制御

レジスタ名	ビット名	初期値	説　明
GR1_FLM1	GR1_IMR_FLM_INV	0	歪み補正フレームバッファ番号設定（注1） 0：読み出しフレームバッファ番号入れ替えなし 1：読み出しフレームバッファ番号入れ替えあり

注1.　本ビットはグラフィックス(0)のみ存在します。

(6) フレームバッファサイズ

読み出すフレームバッファのサイズを設定します。

GR_HW[10:0] で水平の画素数を、GR_FLM_LNUM[10:0] で垂直のライン数を設定します。

表38.6　　フレームバッファサイズ

レジスタ名	ビット名	初期値	説　　明
GR_FLM6	GR_HW[10:0]	0	水平有効期間の幅設定 幅は（GR_HW + 1）画素になります。 注.　2以上の値を設定してください。
GR_FLM5	GR_FLM_LNUM[10:0]	0	1フレームのライン数設定 ライン数は（GR_FLM_LNUM + 1）ラインになります。

(7) フレームバッファアドレス計算

フレームバッファのデータ領域は、GR_BASE[31:0], GR_LN_OFF[14:0], GR_FLM_OFF[22:0] と表示面のフレーム番号で計算します。

GR_LN_OFF[14:0], GR_FLM_OFF[22:0] は、32/128 バイト単位で設定します（下位 5/7 ビットは 0 固定）。

GR_BASE[31:0] は、表示データの開始位置を設定するために 64 ビット単位で設定します（下位 3 ビットは固定）。

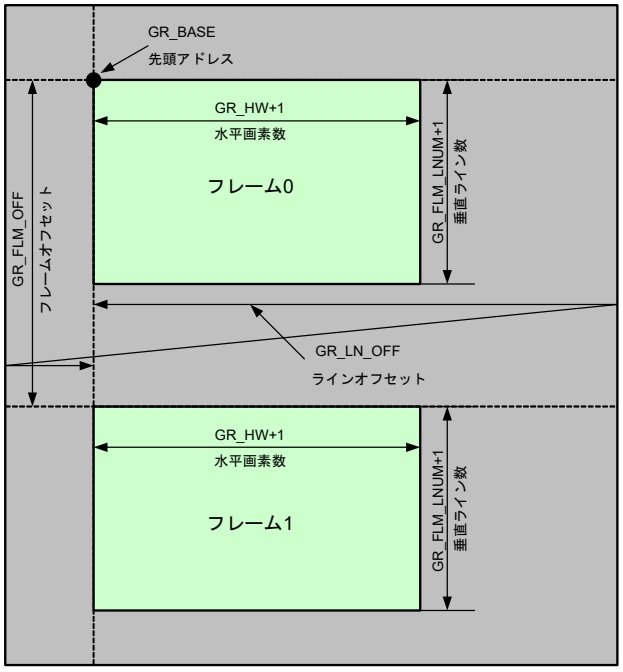


図 38.2　　フレームバッファ上のデータ配置のイメージ図

表38.7　フレームバッファアドレス計算

レジスタ名	ビット名	初期値	説　明
GR_FLM2	GR_BASE[31:0]	0	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR_BASE[4:3]、128バイトバースト転送時は GR_BASE[6:3] を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。
GR_FLM3	GR_LN_OFF[14:0]	0	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン0：GR_BASE ライン1：GR_BASE + GR_LN_OFF × 1 ： ラインn：GR_BASE + GR_LN_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
GR_FLM4	GR_FLM_OFF[22:0]	0	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時 のフレームオフセットアドレスを設定します。 バッファ 0：GR_BASE バッファ 1：GR_BASE + GR_FLM_OFF × 1 ： バッファ n：GR_BASE + GR_FLM_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

(8)　1面以下のフレームバッファサイズ設定

フレームバッファサイズをライン単位で設定することができます。

GR_FLM_LOOP[10:0] で設定したライン数を GR_FLM_LNUM[10:0] より小さくすると、(GR_FLM_LOOP[10:0] + 1) で設定したライン数の読み出しを完了するとフレームバッファの先頭から再読み出しを行います。

表38.8　1面以下のフレームバッファサイズ指定

レジスタ名	ビット名	初期値	説　明
GR_FLM5	GR_FLM_LOOP[10:0]	1023	アドレスをリング状に読み出す場合のライン数 ライン数は（GR_FLM_LOOP + 1）ラインになります。

(9) フレームバッファのラインオフセット制御

フレームバッファのラインオフセットアドレスの方向を設定します。

表38.9　　フレームバッファのラインオフセットアドレスの方向制御

レジスタ名	ビット名	初期値	説　　明
GR_FLM1	GR_LN_OFF_DIR	0	フレームバッファのラインオフセットアドレスの方向設定 0：ラインオフセットアドレス分をインクリメント 1：ラインオフセットアドレス分をデクリメント

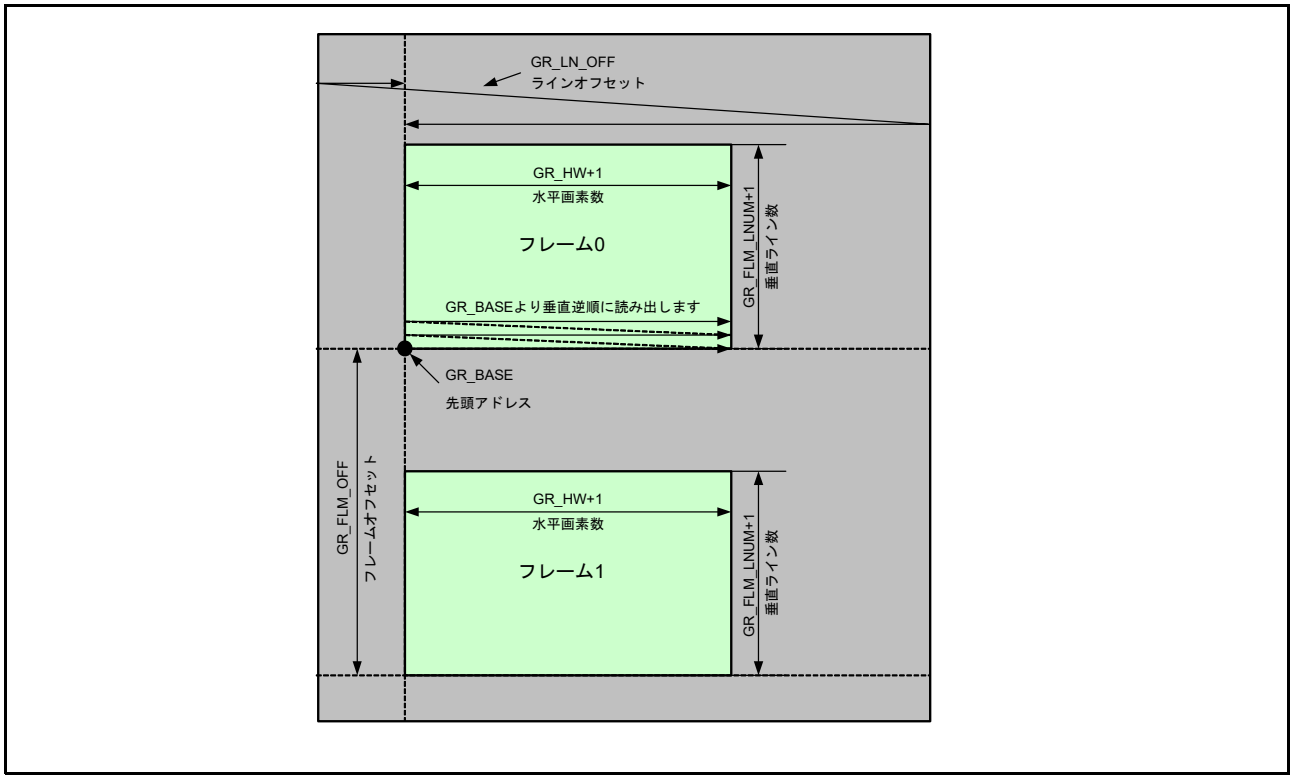


図 38.3　　ラインオフセット　デクリメント制御時のデータ配置イメージ図

(10) フレームバッファ読み出し信号フォーマット選択

グラフィックス（0）、(2)、(3）は、RGB565, RGB888, αRGB1555, αRGB4444, αRGB8888, RGBα5551, RGBα8888, CLUT8, CLUT4, CLUT1 のフォーマットに対応しています。さらに、グラフィックス（0）は YCbCr422, YCbCr444 フォーマットに対応しています。

GR_FORMAT[3:0] でフォーマットを設定します。

表38.10　フレームバッファ読み出し信号フォーマット選択

レジスタ名	ビット名	初期値	説　　明
GR_FLM6	GR_FORMAT[3:0]	0	フレームバッファ読み出し信号のフォーマット設定 0：RGB565 1：RGB888 2：αRGB1555 3：αRGB4444 4：αRGB8888 5：CLUT8 6：CLUT4 7：CLUT1 8：YCbCr422、または設定禁止（注1） 9：YCbCr444、または設定禁止（注1） 10：RGBα5551 11：RGBα8888 12～15：設定禁止

注1.　グラフィックス（0）はYCbCr422, YCbCr444設定可。グラフィックス（2)、(3）は設定禁止。

(11) エンディアン制御

フレームバッファは、64 ビット 1 データで管理しており、GR_RDSWA[2:0] で読み出すデータのエンディアンを制御できます。GR_RDSWA[2:0] のビット 0 は 8 ビットスワップ、ビット 1 は 16 ビットスワップ、ビット 2 は 32 ビットスワップをするか否かを示します。YCbCr422 フォーマットでは GR_YCC_SWAP[2:0] でデータ割り付けを制御することもできます。

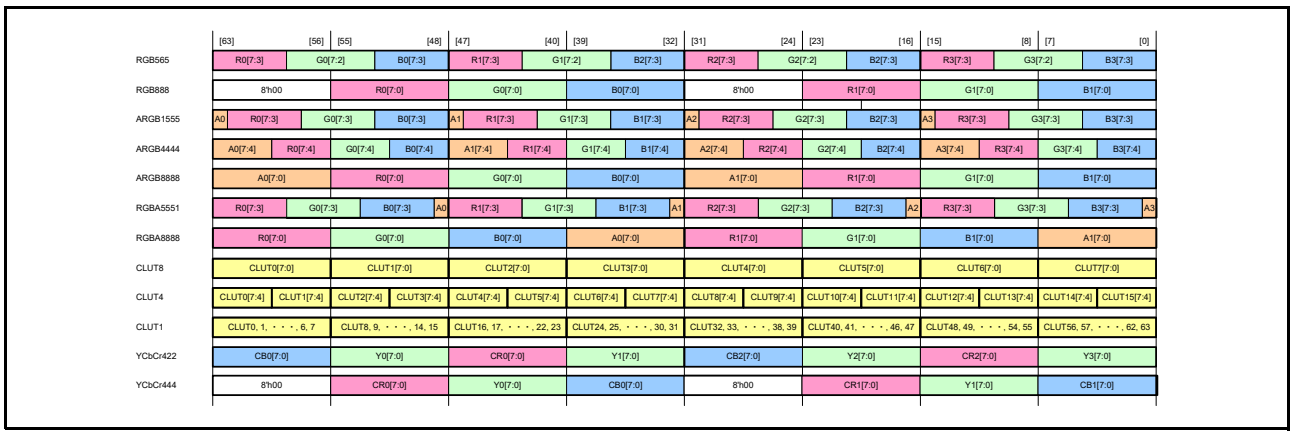


図 38.4　　エンディアン制御なし時 (GR_RDSWA=000 設定) のデータ割り付け

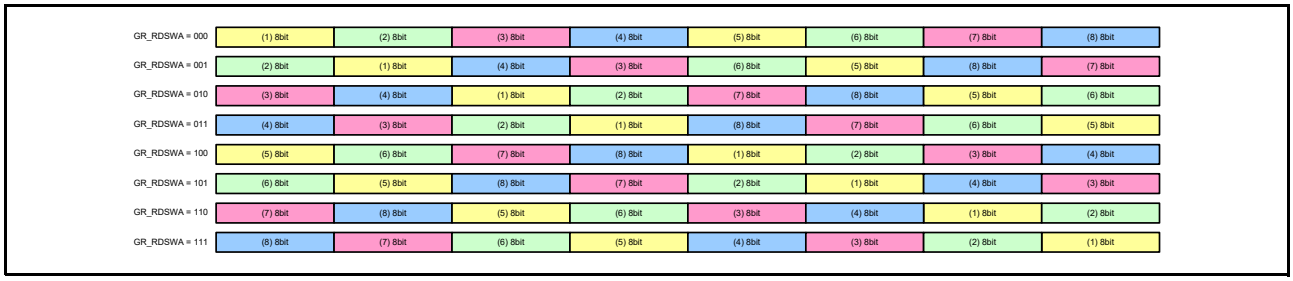


図 38.5　　エンディアン制御時のデータ割り付け

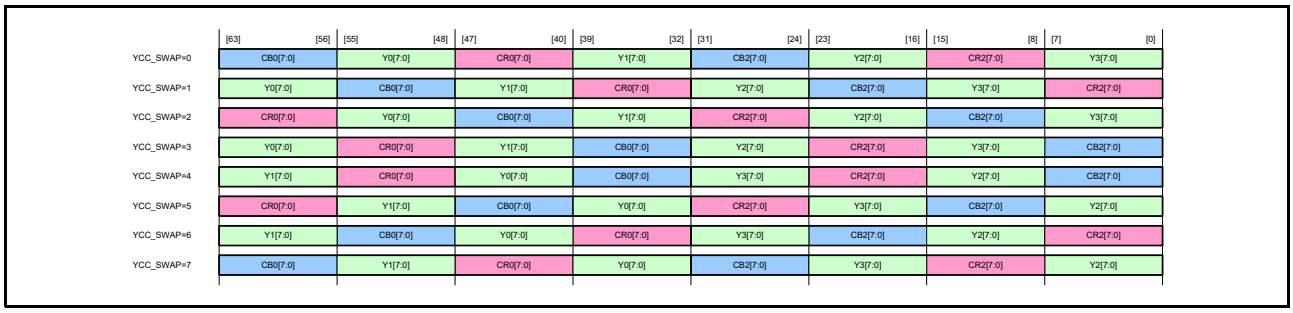


図 38.6　　YCbCr422 のデータスワップ制御時のデータ割り付け

表38.11　エンディアン制御

レジスタ名	ビット名	初期値	説　　明
GR_FLM6	GR_RDSWA[2:0]	0	8ビット/16ビット/32ビットスワップ設定 GR0_RDSWA[2:0]の3ビットで、以下のようにフレームバッファ読み出しのスワップ方法を指定します。 ビット0 0：8ビットスワップしない 1：8ビットスワップする ビット1 0：16ビットスワップしない 1：16ビットスワップする ビット2 0：32ビットスワップしない 1：32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000：(1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001：(2) (1) (4) (3) (6) (5) (8) (7)［8bitスワップ］ 010：(3) (4) (1) (2) (7) (8) (5) (6)［16bitスワップ］ 011：(4) (3) (2) (1) (8) (7) (6) (5)［16bitスワップ + 8bitスワップ］ 100：(5) (6) (7) (8) (1) (2) (3) (4)［32bitスワップ］ 101：(6) (5) (8) (7) (2) (1) (4) (3) ［32bitスワップ + 8bitスワップ］ 110：(7) (8) (5) (6) (3) (4) (1) (2) ［32bitスワップ + 16bitスワップ］ 111：(8) (7) (6) (5) (4) (3) (2) (1) ［32bitスワップ + 16bitスワップ + 8bitスワップ］
GR_FLM6	GR_YCC_SWAP[2:0]	0	YCbCr422フォーマット時バッファ読み出しデータのスワップ制御（注1） 0：CbY0/Cr/Y1 1：Y0/Cb/Y1/Cr 2：Cr/Y0/Cb/Y1 3：Y0/Cr/Y1/Cb 4：Y1/Cr/Y0/Cb 5：Cr/Y1/Cb/Y0 6：Y1/Cb/Y0/Cr 7：Cb/Y1/Cr/Y0

注1.　本ビットはグラフィックス(0)のみ存在します。

(12) 読み出しデータの表示開始画素設定

フレームバッファ上のデータに対して水平方向にオフセットをつけて表示を行う場合は、GR_BASE[31:0], GR_STA_POS[5:0] で表示開始画素を設定します。GR_BASE[31:0], GR_STA_POS[5:0] の値は、各フォーマットで計算式が異なります。表示開始の水平オフセットを H_OFF とすると下表で計算できます。

表38.12　各フォーマット時の表示開始画素位置の計算式

映像／グラフィックスのフォーマット	1画素のビット数	計算式（注1）
RGB888 αRGB8888, RGBα8888 YCbCr422（注2） YCbCr444（注3）	32	GR_BASE[31:3] = int (H_OFF ÷ 2) GR_STA_POS[5:0] = mod (H_OFF ÷ 2)
RGB565 αRGB1555, RGBα5551 αRGB4444	16	GR_BASE[31:3] = int (H_OFF ÷ 4) GR_STA_POS[5:0] = mod (H_OFF ÷ 4)
CLUT8	8	GR_BASE[31:3] = int (H_OFF ÷ 8) GR_STA_POS[5:0] = mod (H_OFF ÷ 8)
CLUT4	4	GR_BASE[31:3] = int (H_OFF ÷ 16) GR_STA_POS[5:0] = mod (H_OFF ÷ 16)
CLUT1	1	GR_BASE[31:3] = int (H_OFF ÷ 64) GR_STA_POS[5:0] = mod (H_OFF ÷ 64)

注1.　int()関数は商、mod()関数は余りを出力します。
注2.　グラフィックス(2)、(3)はYCbCr422フォーマットに対応していません。YCbCr422フォーマットはCb/Y0/Cr/Y1の画素32ビット構成ですので、開始位置制御は32ビット単位の調整となります。
注3.　グラフィックス(2)、(3)はYCbCr444フォーマットに対応していません。

表38.13　読み出しデータの表示開始画素設定

レジスタ名	ビット名	初期値	説　明
GR_FLM6	GR_STA_POS[5:0]	0	データの読み飛ばし量 ラインの先頭からGR_STA_POS分のデータを読み飛ばします。
GR_FLM2	GR_BASE[31:0]	0	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR_BASE[4:3]、128バイトバースト転送時はGR_BASE[6:3] を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。

(13) YCbCr422 → YCbCr444 変換

グラフィックス (0) の YCbCr422 フォーマットを YCbCr444 フォーマットに変換します。
グラフィックス (2)、(3) に本機能は存在しません。

表38.14　YCbCr422→YCbCr444変換

レジスタ名	ビット名	初期値	説　明
GR_FLM6	GR_CNV444_MD	0	YCbCr422→YCbCr444変換時の補間モード設定（注1） 0：ホールド補間 1：平均値補間

注1.　グラフィックス(2)、(3)はYCbCr422フォーマットに対応していないため、本ビットは設けていません。

(14) ビット拡張

GR_FORMAT[3:0]が0～3のとき、RGB565, RGB888, αRGB1555, αRGB4444フォーマットをαRGB8888フォーマットに変換します。また、GR_FORMAT[3:0] が 10 のときは、RGBα5551 フォーマットを RGBα8888 フォーマットに変換します。なお、RGBα5551 フォーマットから RGBα8888 フォーマットへの変換は、αRGB5551 フォーマットから αRGB8888 フォーマットへの変換と α の位置が異なるだけですので、省略します。

RGB565 → αRGB8888 フォーマット変換
変換後 α[7:0] = 255 固定
変換後 R[7:0] = R[4:0] × 263 ÷ 32（少数点第一位で四捨五入）#R［4:0］× 255 ÷ 31 の近似式
変換後 G[7:0] = G[5:0] × 259 ÷ 64（少数点第一位で四捨五入）#G［5:0］× 255 ÷ 63 の近似式
変換後 B[7:0] = B[4:0] × 263 ÷ 32（少数点第一位で四捨五入）#B［4:0］× 255 ÷ 31 の近似式

RGB888 → αRGB8888 フォーマット変換
変換後 α[7:0] = 255 固定

αRGB1555 → αRGB8888 フォーマット変換
変換後 α[7:0] = α 入力 ’1’ のときは GR_A1 参照、0 のときは GR_A0 参照
変換後 R[7:0] = R[4:0] × 263 ÷ 32（少数点第一位で四捨五入）#R［4:0］× 255 ÷ 31 の近似式
変換後 G[7:0] = G[4:0] × 263÷32（少数点第一位で四捨五入）#G［4:0］× 255 ÷ 31 の近似式
変換後 B[7:0] = B[4:0] × 263 ÷ 32（少数点第一位で四捨五入）#B［4:0］× 255 ÷ 31 の近似式

αRGB4444 → αRGB8888 フォーマット変換
変換後 α[7:0] = α[3:0] × 17
変換後 R[7:0] = R[3:0] × 17
変換後 G[7:0] = G[3:0] × 17
変換後 B[7:0] = B[3:0] × 17

(15) バッファアンダフロー処理

フレームバッファからの読み出し処理にてバストラフィック等で読み出しできなかった場合、アンダフロー割り込み信号を出力します。

38.1.3　グラフィックス領域設定

グラフィックスの表示領域は、水平同期信号、垂直同期信号の立ち上がりエッジを基準に GR_GRC_HS[10:0], GR_GRC_HW[10:0], GR_GRC_VS[10:0], GR_GRC_VW[10:0] で設定します。

図 38.7 にグラフィックスの表示領域を示します。

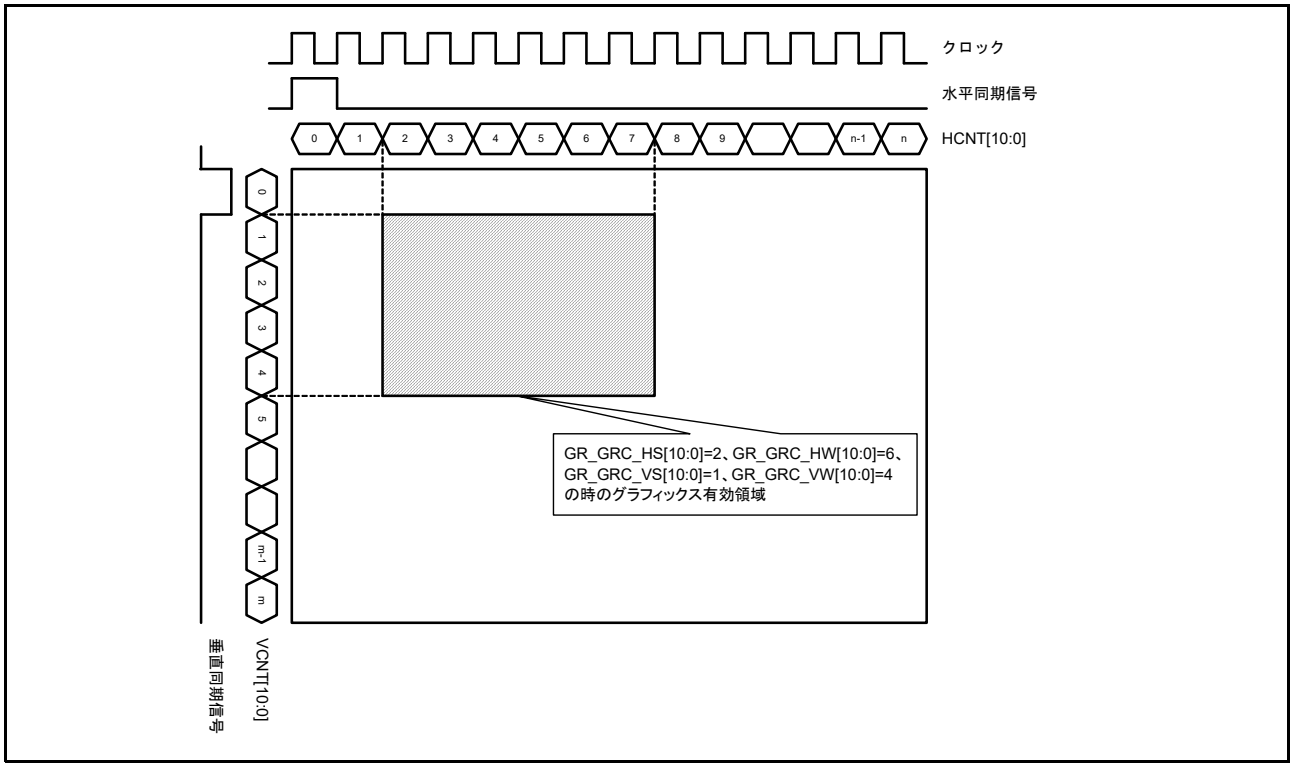


図 38.7　グラフィックスの表示領域

GR_GRC_DISP_ON = 1 にすることでグラフィックス領域の枠を表示することができます。

表38.15　グラフィックスの表示領域設定

レジスタ名	ビット名	初期値	説　　明
GR_AB3	GR_GRC_HS[10:0]	0	グラフィックス画像領域の水平開始位置設定 注.　16クロック以上、GR_GRC_HS + GR_GRC_HWが2015クロック以内になるように設定してください。
GR_AB3	GR_GRC_HW[10:0]	0	グラフィックス画像領域の水平幅設定 注.　水平幅1、2画素表示を行う場合は、GR_HW = 2、GR_GRC_HW = 1（1画素）、2（2画素）と設定してください。
GR_AB2	GR_GRC_VS[10:0]	0	グラフィックス画像領域の垂直開始位置設定 注.　4ライン以上、GR_GRC_VS + GR_GRC_VWが2039ライン以内になるように設定してください。
GR_AB2	GR_GRC_VW[10:0]	0	グラフィックス画像領域の垂直幅設定
GR_AB1	GR_GRC_DISP_ON	0	グラフィックス画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン

38.1.4 指定ライン割り込み生成

GR_LINE[10:0] で設定したライン時に割り込み信号を発生します。

表38.16 指定ライン割り込み

レジスタ名	ビット名	初期値	説　明
GR_CLUT_INT	GR_LINE[10:0]	0	ライン割り込み設定（注1） ライン数がレジスタGR_LINEの値と一致するとき、割り込み信号を出力します。 本機能は、グラフィックス(3)に存在する機能です。グラフィックス(3)の本機能は、グラフィックス(3)を使用しない場合でも動作します。

注1. グラフィックス(3)に存在する機能です。グラフィックス(0)、(2)には、本ビットは存在しません。

38.1.5 フレームバッファ読み出し信号フォーマットとアルファブレンドの対応

GR_FORMAT[3:0] でグラフィックスデータのフレームバッファ読み出し信号フォーマットを選択します。

表 38.17 に各信号フォーマットに対するアルファブレンドの対応表を示します。

α 値の優先順位は、矩形領域アルファブレンド＞クロマキー＞画素単位アルファブレンドとなります。

表38.17 読み出し信号フォーマットとアルファブレンドの対応表

GR_FORMAT [3:0]	信号フォーマット	矩形領域 アルファブレンド	RGB参照 クロマキー	CLUT参照 クロマキー	画素単位 アルファブレンド
0	RGB565	○	○（注1）	×	×（注2）
1	RGB888	○	○	×	×（注2）
2	αRGB1555	○	○（注1、注3）	×	○（注3）
3	αRGB4444	○	○（注1）	×	○
4	αRGB8888	○	○	×	○
5	CLUT8	○	×	○	○
6	CLUT4	○	×	○	○
7	CLUT1	○（注4）	×	○（注4）	○（注4）
8	YCbCr422	×（注5）	×（注5）	×（注5）	×（注5）
9	YCbCr444	×（注5）	×（注5）	×（注5）	×（注5）
10	RGBα5551	○	○（注1、注3）	×	○（注3）
11	RGBα8888	○	○	×	○

注1. フレームバッファ読み出し信号フォーマットが各8ビットではない場合のRGB参照クロマキーは、演算により各8ビットに換算します（「38.1.2 (14) ビット拡張」参照）。
注2. α値を255として扱うため、カレントグラフィックス表示固定になります。
注3. フレームバッファ読み出しデータのアルファ値は1ビットです。この1ビット信号により、8ビットのα値を格納したレジスタ2セットのどちらかを選択します。
注4. フレームバッファ信号のCLUT値は1ビットです。この1ビット信号により、各8ビットのα/G/B/R値を格納したレジスタ2セットのどちらかを選択します。CLUTテーブルは参照しません。
注5. グラフィックス(0)はYCbCr422, YCbCr444を表示できますが、各種ブレンド／クロマキー処理はできません。

38.1.6 表示選択

GR_DISP_SEL[1:0] で背景色、下層グラフィックス、カレントグラフィックス、下層グラフィックスとカレントグラフィックスのブレンドの 4 種類の表示を選択します。ブレンド時は、矩形領域アルファブレンド、矩形領域アルファブレンドでのカレント α とのマルチプライ、RGB 参照クロマキー、CLUT 参照クロマキー、画素単位アルファブレンド、画素単位アルファブレンドでのプレマルチプルドの処理を選択できます。本機能は VIN 合成部には存在しません。

表 38.18 に表示選択の一覧表を示します。

表38.18　表示選択の一覧表

GR_DISP_SEL[1:0]	GR_ARC_ON	GR_CK_ON	GR_ARC_MUL	GR_ACALC_MD	グラフィックス領域内の処理	グラフィックス領域外の処理
0	X	X	X	X	背景色	背景色
1	X	X	X	X	下層グラフィックス	下層グラフィックス
2	X	X	X	X	カレントグラフィックス	背景色
3	1	X	0	0	矩形領域アルファブレンド（注 1）	下層グラフィックス
3	1	X	0	1	設定禁止	
3	1	X	1	0	矩形領域アルファブレンドでのカレント α とのマルチプライ（注 2）	下層グラフィックス
3	1	X	1	1	矩形領域アルファブレンドでのカレント α とのマルチプライで、α はプレマルチプルド（注 2）	下層グラフィックス
3	0	1	X	X	RGB参照クロマキーまたはCLUT参照クロマキー	下層グラフィックス
3	0	0	X	0	画素単位アルファブレンド（注 2）	下層グラフィックス
3	0	0	X	1	画素単位アルファブレンドでのプレマルチプルド（注 2）	下層グラフィックス

注1.　矩形領域アルファブレンド機能は、スケーリング部のグラフィックス(0)には存在しません。
注2.　矩形領域アルファブレンドでのカレントαとのマルチプライ、画素単位アルファブレンド機能は、グラフィックス(2)、(3)にのみ存在します。

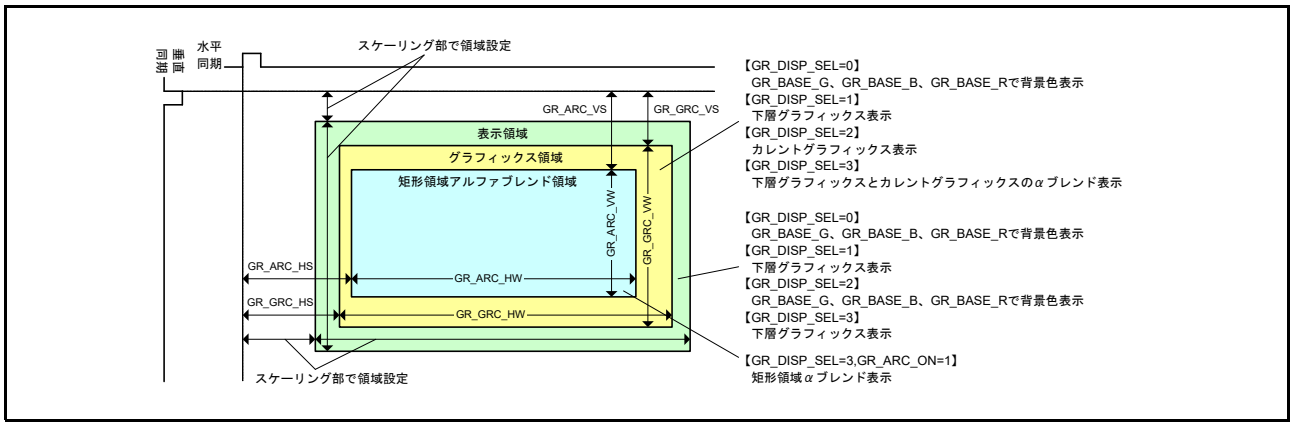


図 38.8　グラフィックス表示選択図

図 38.9 に GR_DISP_SEL = 3 時のグラフィックスプレーン図を示します。
下層グラフィックス、カレントグラフィックスの対応は**図 38.1** を参照してください。

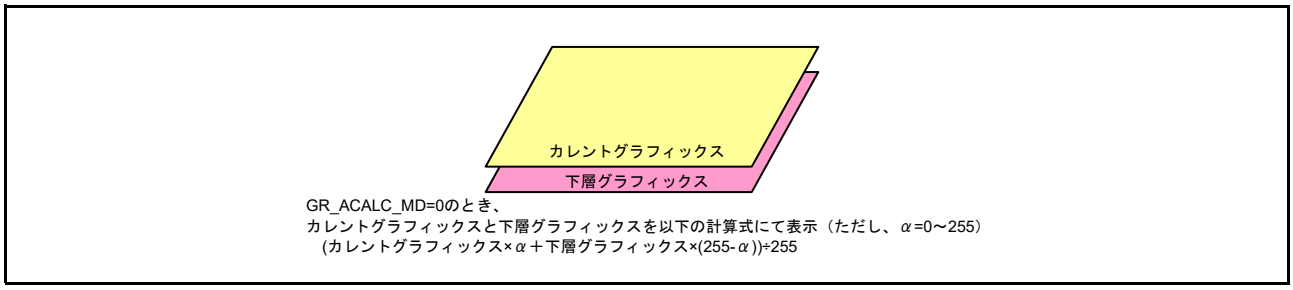


図 38.9　GR_DISP_SEL = 3 時のグラフィックスプレーン図

表38.19　アルファブレンド設定

レジスタ名	ビット名	初期値	説　　明
GR_AB1	GR_DISP_SEL[1:0]	0	グラフィックス表示設定 0：背景色表示 1：下層グラフィックス表示 2：カレントグラフィックス表示 3：下層グラフィックスとカレントグラフィックスのブレンド表示（注1）
GR_AB1	GR_ARC_ON	0	矩形領域アルファブレンド処理オン／オフ設定（注2） 0：オフ 1：オン
GR_AB1	GR_ARC_MUL	0	矩形領域アルファブレンド時の、カレントαとのマルチプライ処理オン／オフ（注3） 0：オフ 1：オン
GR_AB1	GR_ACALC_MD	0	画素単位アルファブレンド時の、プレマルチプルド処理のオン／オフ（注3） 0：オフ 1：オン
GR_AB7	GR_CK_ON	0	CLUT参照／RGB参照クロマキー処理オン／オフ設定 0：オフ 1：オン

注1.　グラフィックス(0)では、クロマキー処理のみ可能です。クロマキー処理を行う際は、カレントグラフィックスのみを表示させるために、クロマキー対象画素を置換するα値およびクロマキー対象外画素のα値を255にしてください。
注2.　グラフィックス(2)、(3)のみに存在する機能です。グラフィックス(0)には、本ビットは存在しません。
注3.　グラフィックス(2)、(3)のみに存在する機能です。グラフィックス(0)には、本ビットは存在しません。

38.1.7 背景色表示処理

GR_BASE_G[7:0], GR_BASE_B[7:0], GR_BASE_R[7:0] で設定した色を表示します。
G 出力 = GR_BASE_G
B 出力 = GR_BASE_B
R 出力 = GR_BASE_R

表38.20　背景色設定

レジスタ名	ビット名	初期値	説　　明
GR_BASE	GR_BASE_G[7:0]	0	背景色G信号 G：8ビット符号無し（0～255[LSB]）
GR_BASE	GR_BASE_B[7:0]	0	背景色B信号 B：8ビット符号無し（0～255[LSB]）
GR_BASE	GR_BASE_R[7:0]	0	背景色R信号 R：8ビット符号無し（0～255[LSB]）

38.1.8 下層グラフィックス表示処理

下層グラフィックスを表示します。
G 出力 = 下層グラフィックス G 入力
B 出力 = 下層グラフィックス B 入力
R 出力 = 下層グラフィックス R 入力

38.1.9 カレントグラフィックス表示処理

カレントグラフィックスを表示します。
G 出力 = カレントグラフィックス G 入力
B 出力 = カレントグラフィックス B 入力
R 出力 = カレントグラフィックス R 入力

38.1.10 矩形領域アルファブレンド表示処理

矩形領域アルファブレンド処理の矩形領域は、水平同期信号、垂直同期信号の立ち上がりエッジを基準に GR_ARC_HS[10:0], GR_ARC_HW[10:0], GR_ARC_VS[10:0], GR_ARC_VW[10:0] で設定します。本機能はグラフィックス (0) には存在しません。

図 38.10 に矩形領域アルファブレンド処理の領域設定を示します。

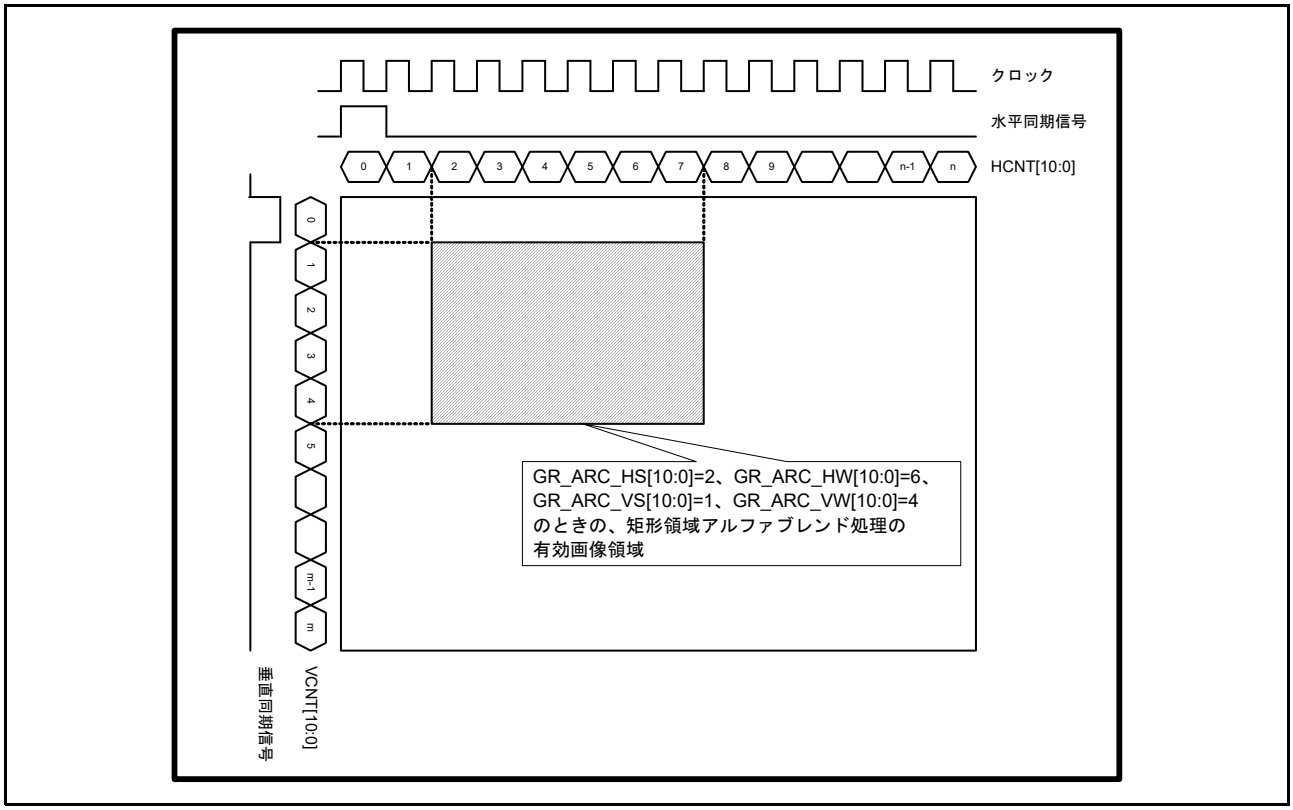


図 38.10　矩形領域アルファブレンド処理の領域設定

GR_ARC_DISP_ON = 1 にすることでグラフィックス領域の枠を表示することができます。

表38.21　矩形領域アルファブレンド処理の領域設定

レジスタ名	ビット名	初期値	説　　明
GR_AB5	GR_ARC_HS[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の水平開始位置設定
GR_AB5	GR_ARC_HW[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の水平幅設定
GR_AB4	GR_ARC_VS[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の垂直開始位置設定
GR_AB4	GR_ARC_VW[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の垂直幅設定
GR_AB1	GR_ARC_DISP_ON	0	矩形領域アルファブレンド処理の有効画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン

矩形領域アルファブレンド処理は、GR_ARC_DEF[7:0], GR_ARC_MODE, GR_ARC_COEF[7:0], GR_ARC_RATE[7:0] でフェードイン／アウト係数を設定することにより、カレントグラフィックスのフェードイン、フェードアウトを行います。

まず、GR_ARC_DEF[7:0] を α 値に代入します。

垂直同期信号がレジスタ GR_ARC_RATE[7:0] + 1 と同じ回数立ち上がるたびに、GR_ARC_COEF[7:0] を α 値に加減算します。

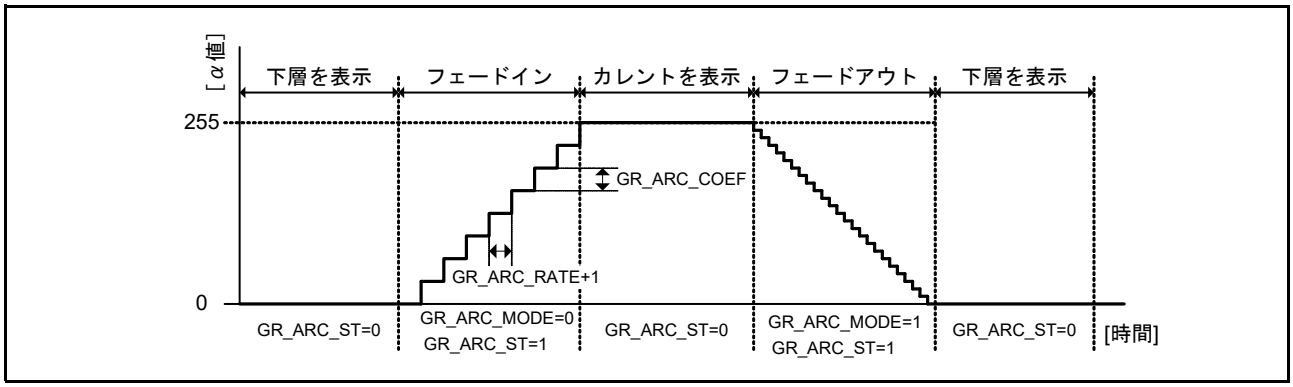


図 38.11　フェードイン、フェードアウト

表38.22　矩形領域アルファブレンド処理設定

レジスタ名	ビット名	初期値	説　　明
GR_AB7	GR_ARC_DEF[7:0]	0	矩形領域アルファブレンド処理のアルファ初期値
GR_AB6	GR_ARC_MODE	0	矩形領域アルファブレンド処理モード 0：加算 1：減算
GR_AB6	GR_ARC_COEF[7:0]	0	矩形領域アルファブレンド処理のアルファ係数（0～255） [7:0]：変化量（絶対値表記）
GR_AB6	GR_ARC_RATE[7:0]	0	矩形領域アルファブレンド処理のフレームレート － 1
GR_MON	GR_ARC_ST	—	矩形領域アルファブレンド処理のステータスフラグ 0：加算または減算処理完了 （α値が'0'または255の状態） 1：加算または減算処理中

下記式で設定した値を後述のアルファブレンド演算に適用します。
α 値＝フェードイン／アウト係数
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

38.1.11 RGB 参照クロマキー表示処理

下記 3 式すべてを満たす画素に対して RGB 参照クロマキー処理を行います。
カレントグラフィックス G 入力＝GR_CK_KG
カレントグラフィックス B 入力＝GR_CK_KB
カレントグラフィックス R 入力＝GR_CK_KR

RGB 参照クロマキー処理は下記式で設定した値を後述のアルファブレンド演算式に適用します。本機能は VIN 合成部には存在しません。

α 値＝ GR_CK_A
G 値＝ GR_CK_G
B 値＝ GR_CK_B
R 値＝ GR_CK_R

RGB 参照クロマキー処理を行わない画素は下記式で設定した値を後述のアルファブレンド演算式に適用します。
α 値＝カレントグラフィックス α 入力
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

表 38.23　RGB参照クロマキー処理設定

レジスタ名	ビット名	初期値	説　　明
GR_AB8	GR_CK_KG[7:0]	0	RGB参照クロマキー処理対象G信号 G：8ビット符号無し（0～255[LSB]）
GR_AB8	GR_CK_KB[7:0]	0	RGB参照クロマキー処理対象B信号 B：8ビット符号無し（0～255[LSB]）
GR_AB8	GR_CK_KR[7:0]	0	RGB参照クロマキー処理対象R信号 R：8ビット符号無し（0～255[LSB]）
GR_AB9	GR_CK_A[7:0]	0	RGB参照クロマキー処理置換後アルファ信号（注1） α：8ビット符号無し（0～255[LSB]）
GR_AB9	GR_CK_G[7:0]	0	RGB参照クロマキー処理置換後G信号 G：8ビット符号無し（0～255[LSB]）
GR_AB9	GR_CK_B[7:0]	0	RGB参照クロマキー処理置換後B信号 B：8ビット符号無し（0～255[LSB]）
GR_AB9	GR_CK_R[7:0]	0	RGB参照クロマキー処理置換後R信号 R：8ビット符号無し（0～255[LSB]）

注1.　グラフィックス(0)で本機能を使用する場合は、255に設定してください。

38.1.12 CLUT 参照クロマキー表示処理

下記式を満たす画素に対して CLUT 参照クロマキー処理を行います。
カレントグラフィックス CLUT 入力 = GR_CK_KCLUT

CLUT 参照クロマキー処理は下記式で設定した値を後述のアルファブレンド演算式に適用します。本機能は VIN 合成部には存在しません。

α 値＝ GR_CK_A
G 値＝ GR_CK_G
B 値＝ GR_CK_B
R 値＝ GR_CK_R

CLUT 参照クロマキー処理を行わない画素は下記式で設定した値を後述のアルファブレンド演算式に適用します。
α 値＝カレントグラフィックス α 入力
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

表38.24　CLUT参照クロマキー処理設定

レジスタ名	ビット名	初期値	説　　明
GR_AB8	GR_CK_KCLUT[7:0]	0	CLUT参照クロマキー処理対象CLUT信号 CLUT：8ビット符号無し（0～255[LSB]）
GR_AB10	GR_A0[7:0]	0	CLUT1のα0信号（注1） CLUT1フォーマットかつCLUT1 = 0のときにα信号に置換 αRGB1555フォーマットかつα = 0のときにα信号に置換
GR_AB10	GR_G0[7:0]	0	CLUT1のG0信号 CLUT1フォーマットかつCLUT1 = 0のときにG信号に置換
GR_AB10	GR_B0[7:0]	0	CLUT1のB0信号 CLUT1フォーマットかつCLUT1 = 0のときにB信号に置換
GR_AB10	GR_R0[7:0]	0	CLUT1のR0信号 CLUT1フォーマットかつCLUT1 = 0のときにR信号に置換
GR_AB11	GR_A1[7:0]	0	CLUT1のα1信号（注1） CLUT1フォーマットかつCLUT1 = 1のときにα信号に置換 αRGB1555フォーマットかつα = 1のときにα信号に置換
GR_AB11	GR_G1[7:0]	0	CLUT1のG1信号 CLUT1フォーマットかつCLUT1 = 1のときにG信号に置換
GR_AB11	GR_B1[7:0]	0	CLUT1のB1信号 CLUT1フォーマットかつCLUT1 = 1のときにB信号に置換
GR_AB11	GR_R1[7:0]	0	CLUT1のR1信号 CLUT1フォーマットかつCLUT1 = 1のときにR信号に置換

注1.　グラフィックス(0)で本機能を使用する場合は、255に設定してください。

38.1.13 画素単位アルファブレンド表示処理

画素単位アルファブレンド処理は下記式で設定した値を後述のアルファブレンド演算式に適用します。本機能は、グラフィックス (0)、VIN 合成部には存在しません。

α 値＝カレントグラフィックス α 入力
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

38.1.14 アルファブレンド演算式

以下のとおり、信号 α 値により、2 系統の入力信号のアルファブレンド処理をします。（小数点以下切り上げ）

[GR_ACALC_MD = 0 の時]
G 出力＝（G 値 × α 値 + 下層グラフィックス G 入力 ×（255 − α 値））÷ 256
B 出力＝（B 値 × α 値 + 下層グラフィックス B 入力 ×（255 − α 値））÷ 256
R 出力＝（R 値 × α 値 + 下層グラフィックス R 入力 ×（255 − α 値））÷ 256

[GR_ACALC_MD = 1（プリマルチプルド）の時]
G 出力＝（G 値 + 下層グラフィックス G 入力 ×（255 − α 値））÷ 256
B 出力＝（B 値 + 下層グラフィックス B 入力 ×（255 − α 値））÷ 256
R 出力＝（R 値 + 下層グラフィックス R 入力 ×（255 − α 値））÷ 256

38.1.15　CLUT テーブル

CLUT8/CLUT4 時は CLUT テーブルを参照し αRGB8888 に展開します。CLUT1 時は、レジスタを参照し αRGB8888 に展開します。

図 38.12 に CLUT テーブルのデータ配置を示します。

図 38.12　CLUT テーブルのデータ配置

CLUT テーブルは、下記アドレスに配置されています。

グラフィックス (0) CLUT テーブル：H'FCFF6000 ～ H'FCFF63FF
（CLUT4 時は H'FCFF6000 ～ H'FCFF603F まで有効）

グラフィックス (2) CLUT テーブル：H'FCFF6800 ～ H'FCFF6BFF
（CLUT4 時は H'FCFF6800 ～ H'FCFF683F まで有効）

グラフィックス (3) CLUT テーブル：H'FCFF6C00 ～ H'FCFF6FFF
（CLUT4 時は H'FCFF6C00 ～ H'FCFF6C3F まで有効）

CLUT テーブルは、同一アドレスに 2 面（CLUT テーブル 0、CLUT テーブル 1）あります。GR_CLT_SEL で CLUT テーブルを選択して使用します。これにより本モジュールが CLUT テーブルを参照している際でも、反対面の CLUT テーブルを書き換えることができます。CLUT テーブルへの書き込み後に切り替えを行う場合は、該当 CLUT テーブルの任意のアドレス空間に対してダミーリードを行ってから CLUT テーブルの切り替えを行ってください。

表 38.25　CLUT テーブル選択設定

レジスタ名	ビット名	初期値	説　　明
GR_CLUT	GR_CLT_SEL	0	CLUT テーブル選択信号 0：CLUT テーブル 0 を選択 CLUT テーブル 0 を参照し αRGB8888 に展開します。 CPU 側は CLUT テーブル 1 にリード／ライトすることができます。 1：CLUT テーブル 1 を選択 CLUT テーブル 1 を参照し αRGB8888 に展開します。 CPU 側は CLUT テーブル 0 にリード／ライトすることができます。

38.1.16 矩形領域アルファブレンドでのカレントαとのマルチプライ表示処理

矩形領域アルファブレンド時にカレントαとのマルチプライ処理を行う場合、下記式で設定した値を上述したアルファブレンド演算式に適用します。

[GR_ARC_MUL = 0 の時]
α値＝フェードイン／アウト係数
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

[GR_ARC_MUL = 1（マルチプライ）の時]
α値＝フェードイン／アウト係数 × カレントグラフィックス α 入力
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

38.1.17 VIN 合成部の下層グラフィックス選択

VIN 合成部での下層グラフィックスに、グラフィックス (0) を割り当てます。

表38.26　スケーリング部の下層面指定

レジスタ名	ビット名	初期値	説　　明
GR_VIN_AB1	GR_VIN_SCL_UND_SEL	0	スケーリング部の下層面の指定 0：グラフィックス(0)を下層グラフィックスとする。 1：設定禁止

38.2 レジスタの説明

表 38.27 に、レジスタ構成を示します。

【レジスタ説明の記号説明】
初期値：リセット後のレジスタ値
—：不定値
R/W：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R：リードのみ可。書き込む値は常に 0 にしてください。
—/W：ライトのみ可。読み出し値は不定です。

表 38.27 にグラフィックス (2) のレジスタ構成を示します。
表 38.28 にグラフィックス (3) のレジスタ構成を示します。
表 38.29 に CLUT テーブル構成を示します。
表 38.30 に VIN 合成部のレジスタ構成を示します。

グラフィックス (0) のレジスタ構成はスケーリング部に記載しています。

表38.27　画面合成部（グラフィックス(2)）レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
グラフィックス(2)レジスタ更新制御レジスタ	GR2_UPDATE	R/WC1	H'0000 0000	H'FCFF 7700	32
フレームバッファ読み出し制御レジスタ（グラフィックス(2)）	GR2_FLM_RD	R/W	H'0000 0000	H'FCFF 7704	32
フレームバッファ制御レジスタ1（グラフィックス（2））	GR2_FLM1	R/W	H'0000 0000	H'FCFF 7708	32
フレームバッファ制御レジスタ2（グラフィックス（2））	GR2_FLM2	R/W	H'0000 0000	H'FCFF 770C	32
フレームバッファ制御レジスタ3（グラフィックス（2））	GR2_FLM3	R/W	H'0000 0000	H'FCFF 7710	32
フレームバッファ制御レジスタ4（グラフィックス（2））	GR2_FLM4	R/W	H'0000 0000	H'FCFF 7714	32
フレームバッファ制御レジスタ5（グラフィックス（2））	GR2_FLM5	R/W	H'0000 03FF	H'FCFF 7718	32
フレームバッファ制御レジスタ6（グラフィックス（2））	GR2_FLM6	R/W	H'0000 0000	H'FCFF 771C	32
アルファブレンド制御レジスタ1（グラフィックス（2））	GR2_AB1	R/W	H'0000 0000	H'FCFF 7720	32
アルファブレンド制御レジスタ2（グラフィックス（2））	GR2_AB2	R/W	H'0000 0000	H'FCFF 7724	32
アルファブレンド制御レジスタ3（グラフィックス（2））	GR2_AB3	R/W	H'0000 0000	H'FCFF 7728	32
アルファブレンド制御レジスタ4（グラフィックス（2））	GR2_AB4	R/W	H'0000 0000	H'FCFF 772C	32
アルファブレンド制御レジスタ5（グラフィックス（2））	GR2_AB5	R/W	H'0000 0000	H'FCFF 7730	32
アルファブレンド制御レジスタ6（グラフィックス（2））	GR2_AB6	R/W	H'0000 0000	H'FCFF 7734	32
アルファブレンド制御レジスタ7（グラフィックス（2））	GR2_AB7	R/W	H'00FF 0000	H'FCFF 7738	32

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
アルファブレンド制御レジスタ8（グラフィックス（2））	GR2_AB8	R/W	H'0000 0000	H'FCFF 773C	32
アルファブレンド制御レジスタ9（グラフィックス（2））	GR2_AB9	R/W	H'0000 0000	H'FCFF 7740	32
アルファブレンド制御レジスタ10（グラフィックス（2））	GR2_AB10	R/W	H'0000 0000	H'FCFF 7744	32
アルファブレンド制御レジスタ11（グラフィックス（2））	GR2_AB11	R/W	H'0000 0000	H'FCFF 7748	32
背景色制御レジスタ（グラフィックス（2））	GR2_BASE	R/W	H'0000 0000	H'FCFF 774C	32
CLUTテーブル制御レジスタ（グラフィックス（2））	GR2_CLUT	R/W	H'0000 0000	H'FCFF 7750	32
ステータスモニタレジスタ（グラフィックス（2））	GR2_MON	R	H'0000 0000	H'FCFF 7754	32

表38.28　画面合成部（グラフィックス（3））レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
グラフィックス（3）レジスタ更新制御レジスタ	GR3_UPDATE	R/WC1	H'0000 0000	H'FCFF 7780	32
フレームバッファ読み出し制御レジスタ（グラフィックス（3））	GR3_FLM_RD	R/W	H'0000 0000	H'FCFF 7784	32
フレームバッファ制御レジスタ1（グラフィックス（3））	GR3_FLM1	R/W	H'0000 0000	H'FCFF 7788	32
フレームバッファ制御レジスタ2（グラフィックス（3））	GR3_FLM2	R/W	H'0000 0000	H'FCFF 778C	32
フレームバッファ制御レジスタ3（グラフィックス（3））	GR3_FLM3	R/W	H'0000 0000	H'FCFF 7790	32
フレームバッファ制御レジスタ4（グラフィックス（3））	GR3_FLM4	R/W	H'0000 0000	H'FCFF 7794	32
フレームバッファ制御レジスタ5（グラフィックス（3））	GR3_FLM5	R/W	H'0000 03FF	H'FCFF 7798	32
フレームバッファ制御レジスタ6（グラフィックス（3））	GR3_FLM6	R/W	H'0000 0000	H'FCFF 779C	32
アルファブレンド制御レジスタ1（グラフィックス（3））	GR3_AB1	R/W	H'0000 0000	H'FCFF 77A0	32
アルファブレンド制御レジスタ2（グラフィックス（3））	GR3_AB2	R/W	H'0000 0000	H'FCFF 77A4	32
アルファブレンド制御レジスタ3（グラフィックス（3））	GR3_AB3	R/W	H'0000 0000	H'FCFF 77A8	32
アルファブレンド制御レジスタ4（グラフィックス（3））	GR3_AB4	R/W	H'0000 0000	H'FCFF 77AC	32
アルファブレンド制御レジスタ5（グラフィックス（3））	GR3_AB5	R/W	H'0000 0000	H'FCFF 77B0	32
アルファブレンド制御レジスタ6（グラフィックス（3））	GR3_AB6	R/W	H'0000 0000	H'FCFF 77B4	32
アルファブレンド制御レジスタ7（グラフィックス（3））	GR3_AB7	R/W	H'00FF 0000	H'FCFF 77B8	32
アルファブレンド制御レジスタ8（グラフィックス（3））	GR3_AB8	R/W	H'0000 0000	H'FCFF 77BC	32
アルファブレンド制御レジスタ9（グラフィックス（3））	GR3_AB9	R/W	H'0000 0000	H'FCFF 77C0	32
アルファブレンド制御レジスタ10（グラフィックス（3））	GR3_AB10	R/W	H'0000 0000	H'FCFF 77C4	32

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
アルファブレンド制御レジスタ11（グラフィックス（3））	GR3_AB11	R/W	H'0000 0000	H'FCFF 77C8	32
背景色制御レジスタ（グラフィックス（3））	GR3_BASE	R/W	H'0000 0000	H'FCFF 77CC	32
CLUTテーブル・割り込み制御レジスタ（グラフィックス（3））	GR3_CLUT_INT	R/W	H'0000 0000	H'FCFF 77D0	32
ステータスモニタレジスタ（グラフィックス（3））	GR3_MON	R	H'0000 0000	H'FCFF 77D4	32

表38.29　CLUTテーブル構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
グラフィックス(0) CLUTテーブル	GR0_CLUTT	R/W	—	H'FCFF 6000 ～ H'FCFF 63FF	32
グラフィックス(2) CLUTテーブル	GR2_CLUTT	R/W	—	H'FCFF 6800 ～ H'FCFF 6BFF	32
グラフィックス(3) CLUTテーブル	GR3_CLUTT	R/W	—	H'FCFF 6C00 ～ H'FCFF 6FFF	32

表38.30　VIN合成部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
VIN合成部レジスタ更新制御レジスタ	GR_VIN_UPDATE	R/WC1	H'0000 0000	H'FCFF 7E00	32
アルファブレンド制御レジスタ1（VIN合成部）	GR_VIN_AB1	R/W	H'0000 0000	H'FCFF 7E20	32

38.2.1 グラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	GR2_UPDATE	—	—	—	GR2_P_VEN	—	—	—	GR2_IBUS_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　明
31 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR2_UPDATE	0	R/WC1	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新します
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR2_P_VEN	0	R/WC1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_IBUS_VEN	0	R/WC1	フレームバッファ読み出しのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

38.2.2 フレームバッファ読み出し制御レジスタ（グラフィックス（2））（GR2_FLM_RD）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_R_ENB
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_R_ENB	0	R/W	フレームバッファ読み出し許可 0：読み出しを禁止 1：読み出しを許可

注．　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN = 1で更新されます。

38.2.3　フレームバッファ制御レジスタ 1（グラフィックス（2））（GR2_FLM1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_LN_OFF_DIR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR2_FLM_SEL[1:0]		—	—	—	—	—	—	—	GR2_BST_MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR2_LN_OFF_DIR	0	R/W	フレームバッファのラインオフセットアドレスの方向設定 0：ラインオフセットアドレス分をインクリメント 1：ラインオフセットアドレス分をデクリメント
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	GR2_FLM_SEL[1:0]	0	R/W	フレームバッファアドレス設定信号の選択 0：フレーム0を選択 1：GR2_FLM_NUMを選択 2：フレーム0を選択 3：設定禁止
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_BST_MD	0	R/W	フレームバッファバースト転送モード 0：32バイト 1：128バイト

注.　GR2_LN_OFF_DIR、GR2_FLM_SELはグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）の GR2_IBUS_VEN = 1で更新されます。
GR2_BST_MD はグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN = 1 および GR2_P_VEN = 1 で更新されます。

38.2.4 フレームバッファ制御レジスタ 2（グラフィックス（2））（GR2_FLM2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_BASE[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_BASE[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 0	GR2_BASE [31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR_BASE[4:3]、128バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN = 1および GR2_P_VEN = 1で更新されます。

38.2.5 フレームバッファ制御レジスタ 3（グラフィックス（2））（GR2_FLM3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	GR2_LN_OFF[14:0]														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR2_FLM_NUM[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 16	GR2_LN_ OFF[14:0]	0	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン0：GR2_BASE ライン1：GR2_BASE + GR2_LN_OFF × 1 ： ラインn：GR2_BASE + GR2_LN_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	GR2_FLM_ NUM[9:0]	0	R/W	フレームバッファのフレーム番号 GR2_FLM_SEL = 1のとき、フレーム番号を手動設定します。

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN = 1で更新されます。

38.2.6 フレームバッファ制御レジスタ 4（グラフィックス（2））（GR2_FLM4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	GR2_FLM_OFF[22:16]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_FLM_OFF[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 23	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	GR2_FLM_OFF[22:0]	0	R/W	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0：GR2_BASE バッファ 1：GR2_BASE + GR2_FLM_OFF × 1 ： バッファ n：GR2_BASE + GR2_FLM_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN = 1で更新されます。

38.2.7 フレームバッファ制御レジスタ 5（グラフィックス（2））（GR2_FLM5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR2_FLM_LNUM[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR2_FLM_LOOP[10:0]										
初期値：	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_FLM_LNUM[10:0]	0	R/W	1フレームのライン数設定 ライン数は（GR2_FLM_LNUM + 1）ラインになります。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_FLM_LOOP[10:0]	1023	R/W	アドレスをリング状に読み出す場合のライン数 ライン数は（GR2_FLM_LOOP + 1）ラインになります。

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN = 1で更新されます。

38.2.8　フレームバッファ制御レジスタ 6（グラフィックス（2））（GR2_FLM6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_FORMAT[3:0]				—	GR2_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	GR2_RDSWA[2:0]			—	—	—	—	GR2_STA_POS[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 28	GR2_ FORMAT[3:0]	0	R/W	フレームバッファ読み出し信号のフォーマット設定 0：RGB565 1：RGB888 2：αRGB1555 3：αRGB4444 4：αRGB8888 5：CLUT8 6：CLUT4 7：CLUT1 8：設定禁止 9：設定禁止 10：RGBα5551 11：RGBα8888 12～15：設定禁止
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_HW [10:0]	0	R/W	水平有効期間の幅設定 幅は（GR2_HW + 1）画素になります。 注.　2以上の値を設定してください。
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12 ～ 10	GR2_ RDSWA[2:0]	0	R/W	8ビット/16ビット/32ビットスワップ設定 GR2_RDSWA[2:0]の3ビットで、以下のようにフレームバッファ読み出しのスワップ方法を指定します。 ビット0 0：8ビットスワップしない 1：8ビットスワップする ビット1 0：16ビットスワップしない 1：16ビットスワップする ビット2 0：32ビットスワップしない 1：32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000：(1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001：(2) (1) (4) (3) (6) (5) (8) (7) [8bitスワップ] 010：(3) (4) (1) (2) (7) (8) (5) (6) [16bitスワップ] 011：(4) (3) (2) (1) (8) (7) (6) (5) [16bitスワップ + 8bitスワップ] 100：(5) (6) (7) (8) (1) (2) (3) (4) [32bitスワップ] 101：(6) (5) (8) (7) (2) (1) (4) (3) [32bitスワップ + 8bitスワップ] 110：(7) (8) (5) (6) (3) (4) (1) (2) [32bitスワップ + 16bitスワップ] 111：(8) (7) (6) (5) (4) (3) (2) (1) [32bitスワップ + 16bitスワップ + 8bitスワップ]
9 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
5 ～ 0	GR2_STA_POS[5:0]	0	R/W	データの読み飛ばし量 ラインの先頭からGR2_STA_POS分のデータを読み飛ばします。

注.　GR2_STA_POSはグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。
GR2_RDSWAはグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_UPDATE=1で更新されます。
GR2_FORMAT, GR2_HWはグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN = 1、およびGR2_P_VEN = 1で更新されます。

38.2.9　アルファブレンド制御レジスタ 1（グラフィックス（2））（GR2_AB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_ARC_MUL	GR2_ACALC_MD	—	GR2_ARC_ON	—	—	—	GR2_ARC_DISP_ON	—	—	—	GR2_GRC_DISP_ON	—	—	GR2_DISP_SEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	GR2_ARC_MUL	0	R/W	矩形領域アルファブレンド時の、カレントαとのマルチプライ処理オン／オフ 0：オフ 1：オン
14	GR2_ACALC_MD	0	R/W	画素単位アルファブレンド時の、プレマルチプルド処理のオン／オフ 0：オフ 1：オン
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	GR2_ARC_ON	0	R/W	矩形領域アルファブレンド処理オン／オフ設定 0：オフ 1：オン
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR2_ARC_DISP_ON	0	R/W	矩形領域アルファブレンド処理の画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR2_GRC_DISP_ON	0	R/W	グラフィックス画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	GR2_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0：背景色表示 1：下層グラフィックス表示 2：カレントグラフィックス表示 3：下層グラフィックスとカレントグラフィックスのブレンド表示

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

38.2.10　アルファブレンド制御レジスタ 2（グラフィックス（2））（GR2_AB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR2_GRC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR2_GRC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_GRC_VS[10:0]	0	R/W	グラフィックス画像領域の垂直開始位置設定 注.　4ライン以上、GR2_GRC_VS + GR2_GRC_VWが2039ライン以内になるように設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_GRC_VW[10:0]	0	R/W	グラフィックス画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

38.2.11　アルファブレンド制御レジスタ 3（グラフィックス（2））（GR2_AB3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR2_GRC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR2_GRC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_GRC_HS[10:0]	0	R/W	グラフィックス画像領域の水平開始位置設定 注.　16クロック以上、GR2_GRC_HS + GR2_GRC_HWが2015クロック以内になるように設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_GRC_HW[10:0]	0	R/W	グラフィックス画像領域の水平幅設定 注.　水平幅1、2画素表示を行う場合は、GR2_HW = 2, GR2_GRC_HW = 1 (1 画素), 2 (2 画素) と設定してください。

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

38.2.12　アルファブレンド制御レジスタ 4（グラフィックス（2））（GR2_AB4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR2_ARC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR2_ARC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_ARC_VS [10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直開始位置設定
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_ARC_VW [10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

38.2.13　アルファブレンド制御レジスタ 5（グラフィックス（2））（GR2_AB5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR2_ARC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR2_ARC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_ARC_ HS[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平開始位置設定
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_ARC_ HW[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平幅設定

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

38.2.14　アルファブレンド制御レジスタ 6（グラフィックス（2））（GR2_AB6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	GR2_ARC_MODE	GR2_ARC_COEF[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	GR2_ARC_RATE[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	GR2_ARC_MODE	0	R/W	矩形領域アルファブレンド処理モード 0：加算 1：減算
23 ～ 16	GR2_ARC_COEF [7:0]	0	R/W	矩形領域アルファブレンド処理のアルファ係数（0～255） [7:0]：変化量（絶対値表記）
15 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7 ～ 0	GR2_ARC_RATE [7:0]	0	R/W	矩形領域アルファブレンド処理のフレームレート － 1

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

38.2.15　アルファブレンド制御レジスタ 7（グラフィックス（2））（GR2_AB7）

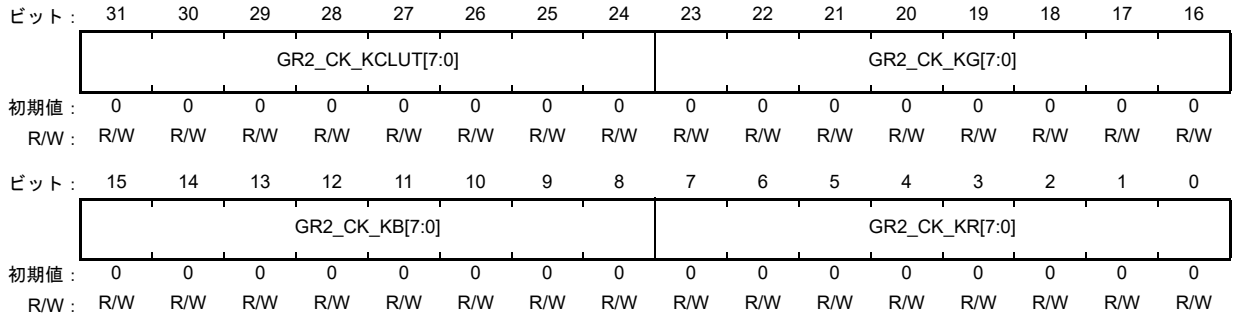
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GR2_ARC_DEF[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_CK_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GR2_ARC_DEF[7:0]	255	R/W	矩形領域アルファブレンド処理のアルファ初期値
15 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_CK_ON	0	R/W	CLUT参照／RGB参照クロマキー処理オン／オフ設定 0：オフ 1：オン

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

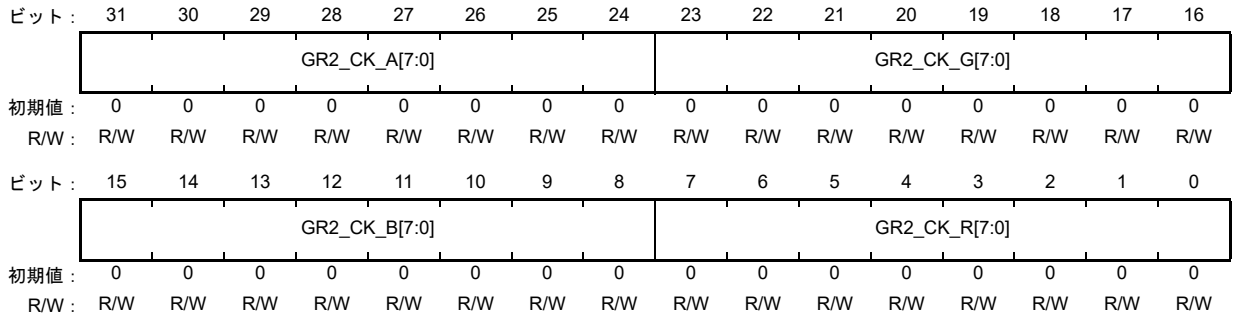
38.2.16　アルファブレンド制御レジスタ 8（グラフィックス（2））（GR2_AB8）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR2_CK_KCLUT[7:0]	0	R/W	CLUT参照クロマキー処理対象CLUT信号 CLUT：8ビット符号無し（0～255[LSB]）
23 ～ 16	GR2_CK_KG[7:0]	0	R/W	RGB参照クロマキー処理対象G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR2_CK_KB[7:0]	0	R/W	RGB参照クロマキー処理対象B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR2_CK_KR[7:0]	0	R/W	RGB参照クロマキー処理対象R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

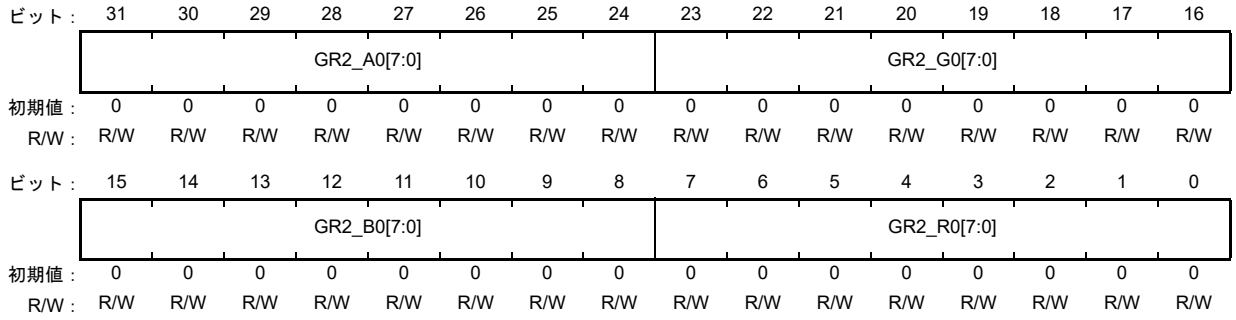
38.2.17　アルファブレンド制御レジスタ 9（グラフィックス（2））（GR2_AB9）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR2_CK_A[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後アルファ信号 α：8ビット符号無し（0～255[LSB]）
23 ～ 16	GR2_CK_G[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR2_CK_B[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR2_CK_R[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

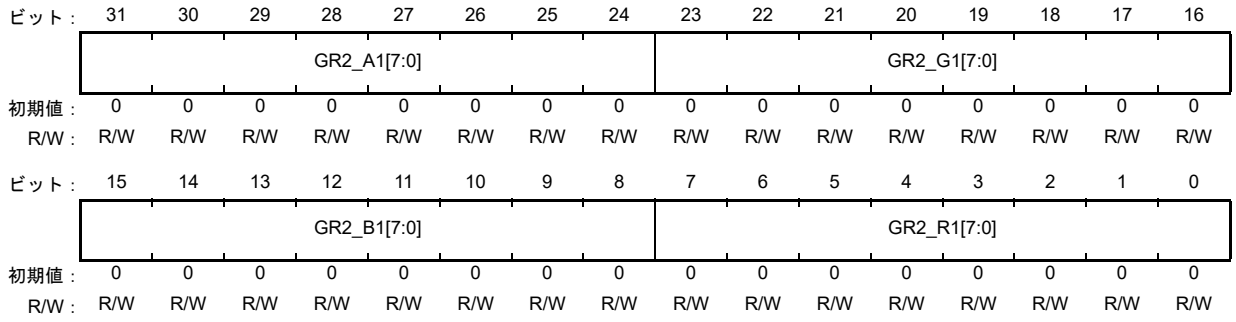
38.2.18　アルファブレンド制御レジスタ 10（グラフィックス（2））（GR2_AB10）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR2_A0[7:0]	0	R/W	CLUT1のα0信号 CLUT1フォーマットかつCLUT1 = 0のときにα信号に置換 αRGB1555 /RGBα5551フォーマットかつα = 0のときにα信号に置換
23 ～ 16	GR2_G0[7:0]	0	R/W	CLUT1のG0信号 CLUT1フォーマットかつCLUT1 = 0のときにG信号に置換
15 ～ 8	GR2_B0[7:0]	0	R/W	CLUT1のB0信号 CLUT1フォーマットかつCLUT1 = 0のときにB信号に置換
7 ～ 0	GR2_R0[7:0]	0	R/W	CLUT1のR0信号 CLUT1フォーマットかつCLUT1 = 0のときにR信号に置換

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

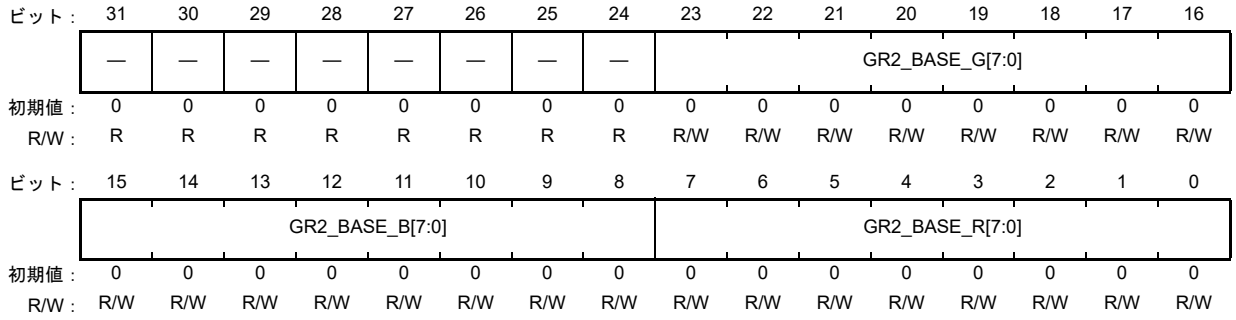
38.2.19　アルファブレンド制御レジスタ 11（グラフィックス（2））（GR2_AB11）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR2_A1[7:0]	0	R/W	CLUT1のα1信号 CLUT1フォーマットかつCLUT1 = 1のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα = 1のときにα信号に置換
23 ～ 16	GR2_G1[7:0]	0	R/W	CLUT1のG1信号 CLUT1フォーマットかつCLUT1 = 1のときにG信号に置換
15 ～ 8	GR2_B1[7:0]	0	R/W	CLUT1のB1信号 CLUT1フォーマットかつCLUT1 = 1のときにB信号に置換
7 ～ 0	GR2_R1[7:0]	0	R/W	CLUT1のR1信号 CLUT1フォーマットかつCLUT1 = 1のときにR信号に置換

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

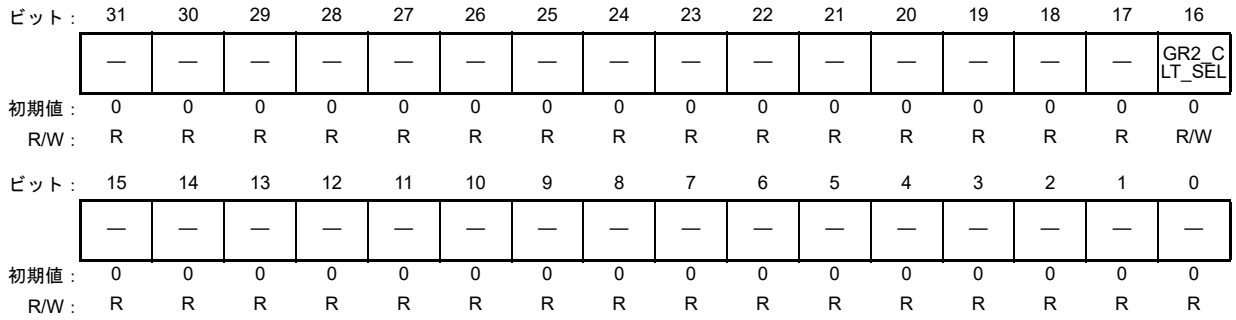
38.2.20　背景色制御レジスタ（グラフィックス（2））（GR2_BASE）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GR2_BASE_G [7:0]	0	R/W	背景色G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR2_BASE_B [7:0]	0	R/W	背景色B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR2_BASE_R [7:0]	0	R/W	背景色R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

38.2.21　CLUT テーブル制御レジスタ（グラフィックス（2））（GR2_CLUT）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR2_CLT_ SEL	0	R/W	CLUTテーブル選択信号 0：CLUTテーブル0を選択 CLUTテーブル0を参照しαRGB8888に展開します。 CPU側はCLUTテーブル1にリード／ライトすることができます。 1：CLUTテーブル1を選択 CLUTテーブル1を参照しαRGB8888に展開します。 CPU側はCLUTテーブル0にリード／ライトすることができます。
15 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN = 1で更新されます。

38.2.22 ステータスモニタレジスタ（グラフィックス（2））（GR2_MON）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_ARC_ST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_ARC_ST	0	R	矩形領域アルファブレンド処理のステータスフラグ 0：加算または減算処理完了（α値が0または255の状態） 1：加算または減算処理中

38.2.23 グラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	GR3_UPDATE	—	—	—	GR3_P_VEN	—	—	—	GR3_IBUS_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR3 UPDATE	0	R/WC1	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR3_P_VEN	0	R/WC1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_IBUS_VEN	0	R/WC1	フレームバッファ読み出しのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

38.2.24 フレームバッファ読み出し制御レジスタ（グラフィックス（3））（GR3_FLM_RD）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_R_ENB
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_R_ENB	0	R/W	フレームバッファ読み出し許可 0：読み出しを禁止 1：読み出しを許可

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN = 1で更新されます。

38.2.25　フレームバッファ制御レジスタ 1（グラフィックス（3））（GR3_FLM1）

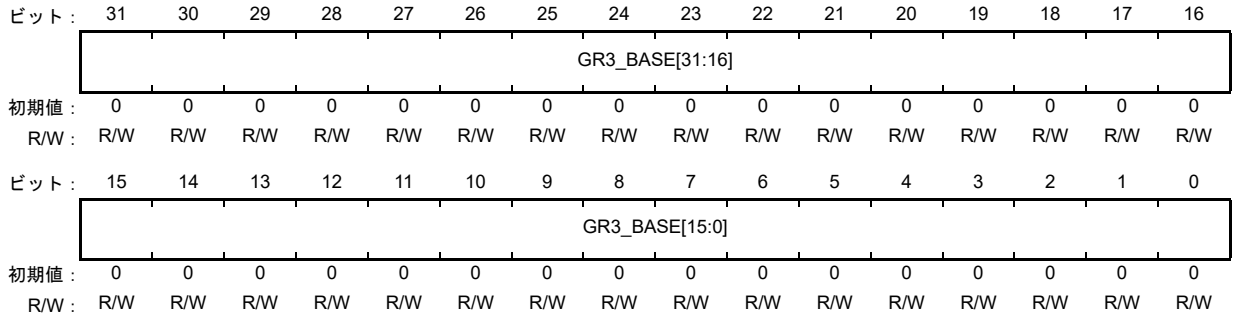
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_LN_OFF_DIR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR3_FLM_SEL[1:0]		—	—	—	—	—	—	—	GR3_BST_MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR3_LN_OFF_DIR	0	R/W	フレームバッファのラインオフセットアドレスの方向設定 0：ラインオフセットアドレス分をインクリメント 1：ラインオフセットアドレス分をデクリメント
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	GR3_FLM_SEL[1:0]	0	R/W	フレームバッファアドレス設定信号の選択 0：フレーム0を選択 1：GR3_FLM_NUMを選択 2：フレーム0を選択 3：設定禁止
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_BST_MD	0	R/W	フレームバッファバースト転送モード 0：32バイト 1：128バイト

注.　GR3_LN_OFF_DIR、GR3_FLM_SELはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）の GR3_IBUS_VEN = 1で更新されます。
GR3_BST_MDはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN = 1および GR3_P_VEN = 1で更新されます。

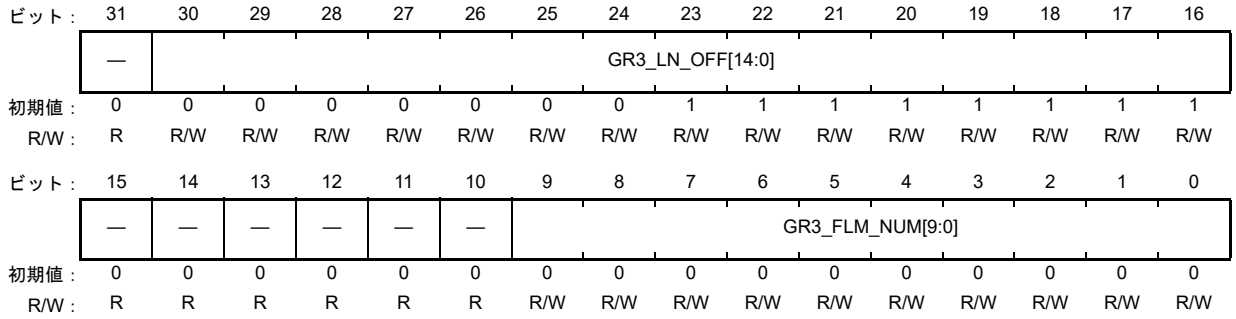
38.2.26 フレームバッファ制御レジスタ 2（グラフィックス（3））（GR3_FLM2）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	GR3_BASE [31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR_BASE[4:3]、128バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN = 1および GR3_P_VEN = 1で更新されます。

38.2.27 フレームバッファ制御レジスタ 3（グラフィックス（3））（GR3_FLM3）



ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 16	GR3_LN_ OFF[14:0]	0	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン0：GR3_BASE ライン1：GR3_BASE + GR3_LN_OFF × 1 ： ラインn：GR3_BASE + GR3_LN_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	GR3_FLM_ NUM[9:0]	0	R/W	フレームバッファのフレーム番号 GR3_FLM_SEL = 1のとき、フレーム番号を手動設定します。

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN = 1で更新されます。

38.2.28　フレームバッファ制御レジスタ 4（グラフィックス（3））（GR3_FLM4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	GR3_FLM_OFF[22:16]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_FLM_OFF[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 23	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	GR3_FLM_OFF[22:0]	0	R/W	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0：GR3_BASE バッファ 1：GR3_BASE + GR3_FLM_OFF × 1 ： バッファ n：GR3_BASE + GR3_FLM_OFF × n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN = 1で更新されます。

38.2.29　フレームバッファ制御レジスタ 5（グラフィックス（3））（GR3_FLM5）

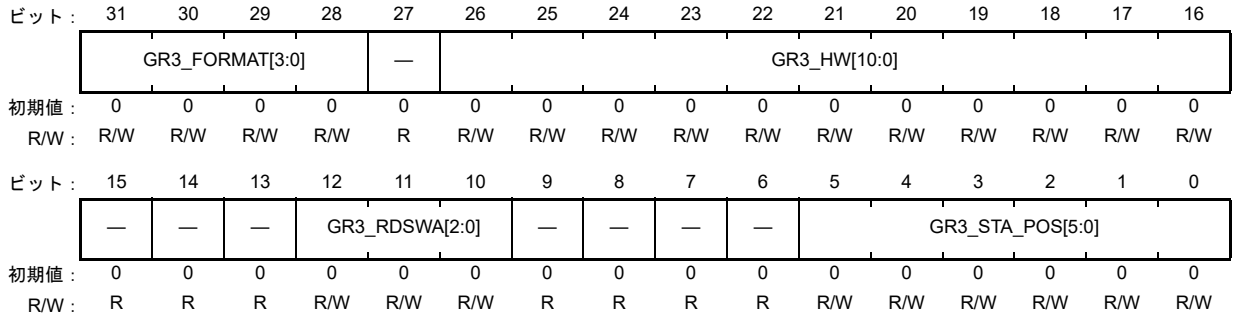
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR3_FLM_LNUM[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR3_FLM_LOOP[10:0]										
初期値：	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_FLM_LNUM[10:0]	0	R/W	1フレームのライン数設定 ライン数は（GR3_FLM_LNUM + 1）ラインになります。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_FLM_LOOP[10:0]	1023	R/W	アドレスをリング状に読み出す場合のライン数 ライン数は（GR3_FLM_LOOP + 1）ラインになります。

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN = 1で更新されます。

38.2.30　フレームバッファ制御レジスタ 6（グラフィックス（3））（GR3_FLM6）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 28	GR3_ FORMAT[3:0]	0	R/W	フレームバッファ読み出し信号のフォーマット設定 0：RGB565 1：RGB888 2：αRGB1555 3：αRGB4444 4：αRGB8888 5：CLUT8 6：CLUT4 7：CLUT1 8：設定禁止 9：設定禁止 10：RGBα5551 11：RGBα8888 12～15：設定禁止
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_HW [10:0]	0	R/W	水平有効期間の幅設定 幅は（GR3_HW + 1）画素になります。 注.　2以上の値を設定してください。
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12 ～ 10	GR3_ RDSWA[2:0]	すべて 0	R/W	8ビット/16ビット/32ビットスワップ設定 GR3_RDSWA[2:0]の3ビットで、以下のようにフレームバッファ読み出しのスワップ方法を指定します。 ビット0 0：8ビットスワップしない 1：8ビットスワップする ビット1 0：16ビットスワップしない 1：16ビットスワップする ビット2 0：32ビットスワップしない 1：32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000：(1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001：(2) (1) (4) (3) (6) (5) (8) (7)［8bitスワップ］ 010：(3) (4) (1) (2) (7) (8) (5) (6)［16bitスワップ］ 011：(4) (3) (2) (1) (8) (7) (6) (5)［16bitスワップ + 8bitスワップ］ 100：(5) (6) (7) (8) (1) (2) (3) (4)［32bitスワップ］ 101：(6) (5) (8) (7) (2) (1) (4) (3) [32bitスワップ + 8bitスワップ] 110：(7) (8) (5) (6) (3) (4) (1) (2) [32bitスワップ + 16bitスワップ] 111：(8) (7) (6) (5) (4) (3) (2) (1) [32bitスワップ + 16bitスワップ + 8bitスワップ]
9 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
5 ～ 0	GR3_STA_POS[5:0]	0	R/W	データの読み飛ばし量 ラインの先頭からGR3_STA_POS分のデータを読み飛ばします。

注.　GR3_STA_POSはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。
GR3_RDSWAはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_UPDATE=1で更新されます。
GR3_FORMAT, GR3_HWはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN = 1およびGR3_P_VEN = 1で更新されます。

38.2.31　アルファブレンド制御レジスタ 1（グラフィックス（3））（GR3_AB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_ARC_MUL	GR3_ACALC_MD	—	GR3_ARC_ON	—	—	—	GR3_ARC_DISP_ON	—	—	—	GR3_GRC_DISP_ON	—	—	GR3_DISP_SEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	GR3_ARC_MUL	0	R/W	矩形領域アルファブレンド時の、カレントαとのマルチプライ処理オン／オフ 0：オフ 1：オン
14	GR3_ACALC_MD	0	R/W	画素単位アルファブレンド処理時の、プレマルチプルド処理のオン／オフ 0：オフ 1：オン
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	GR3_ARC_ON	0	R/W	矩形領域アルファブレンド処理オン／オフ設定 0：オフ 1：オン
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR3_ARC_DISP_ON	0	R/W	矩形領域アルファブレンド処理の画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR3_GRC_DISP_ON	0	R/W	グラフィックス画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	GR3_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0：背景色表示 1：下層グラフィックス表示 2：カレントグラフィックス表示 3：下層グラフィックスとカレントグラフィックスのブレンド表示

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

38.2.32　アルファブレンド制御レジスタ 2（グラフィックス（3））（GR3_AB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR3_GRC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR3_GRC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_GRC_VS[10:0]	0	R/W	グラフィックス画像領域の垂直開始位置設定 注.　4ライン以上、GR3_GRC_VS + GR3_GRC_VWが2039ライン以内になるように設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_GRC_VW[10:0]	0	R/W	グラフィックス画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

38.2.33　アルファブレンド制御レジスタ 3（グラフィックス（3））（GR3_AB3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR3_GRC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR3_GRC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_GRC_HS[10:0]	0	R/W	グラフィックス画像領域の水平開始位置設定 注.　16クロック以上、GR3_GRC_HS + GR3_GRC_HWが2015クロック以内になるように設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_GRC_HW[10:0]	0	R/W	グラフィックス画像領域の水平幅設定 注.　水平幅1、2画素表示を行う場合は、GR3_HW = 2, GR3_GRC_HW = 1 (1画素), 2 (2画素) と設定してください。

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

38.2.34　アルファブレンド制御レジスタ 4（グラフィックス（3））（GR3_AB4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR3_ARC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR3_ARC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_ARC_VS[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直開始位置設定
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_ARC_VW[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

38.2.35　アルファブレンド制御レジスタ 5（グラフィックス（3））（GR3_AB5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR3_ARC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR3_ARC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_ARC_HS[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平開始位置設定
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_ARC_HW[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平幅設定

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

38.2.36　アルファブレンド制御レジスタ 6（グラフィックス（3））（GR3_AB6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	GR3_ARC_MODE	GR3_ARC_COEF[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	GR3_ARC_RATE[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	GR3_ARC_MODE	0	R/W	矩形領域アルファブレンド処理モード 0：加算 1：減算
23 ～ 16	GR3_ARC_COEF [7:0]	0	R/W	矩形領域アルファブレンド処理のアルファ係数（0～255） [7:0]：変化量（絶対値表記）
15 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7 ～ 0	GR3_ARC_RATE [7:0]	0	R/W	矩形領域アルファブレンド処理のフレームレート － 1

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

38.2.37　アルファブレンド制御レジスタ 7（グラフィックス（3））（GR3_AB7）

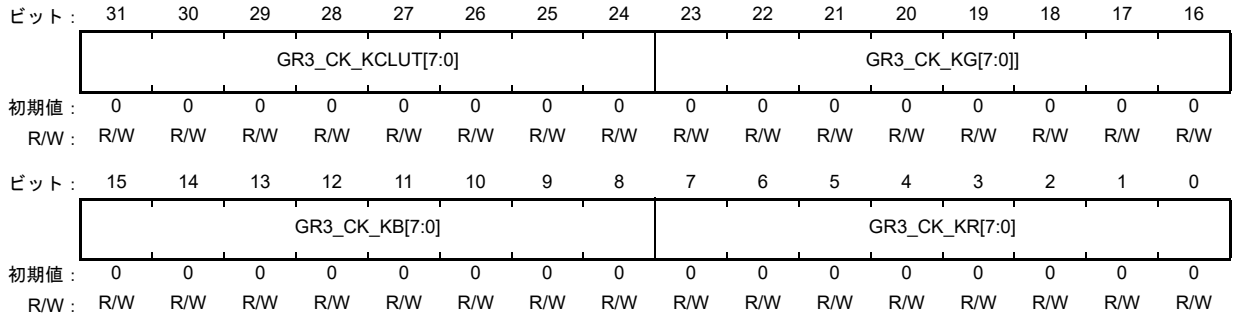
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GR3_ARC_DEF[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_CK_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GR3_ARC_ DEF[7:0]	255	R/W	矩形領域アルファブレンド処理のアルファ初期値
15 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_CK_ON	0	R/W	CLUT参照／RGB参照クロマキー処理オン／オフ設定 0：オフ 1：オン

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

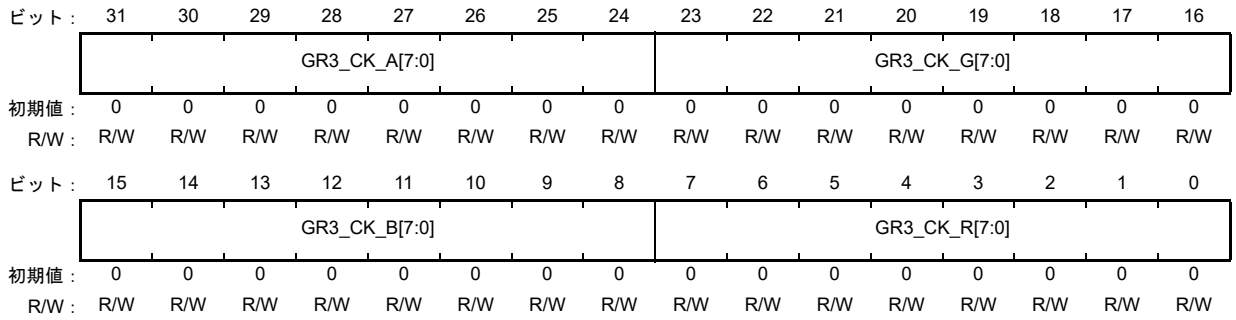
38.2.38　アルファブレンド制御レジスタ 8（グラフィックス（3））（GR3_AB8）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR3_CK_KCLUT[7:0]	0	R/W	CLUT参照クロマキー処理対象CLUT信号 CLUT：8ビット符号無し（0～255[LSB]）
23 ～ 16	GR3_CK_KG[7:0]	0	R/W	RGB参照クロマキー処理対象G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR3_CK_KB[7:0]	0	R/W	RGB参照クロマキー処理対象B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR3_CK_KR[7:0]	0	R/W	RGB参照クロマキー処理対象R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

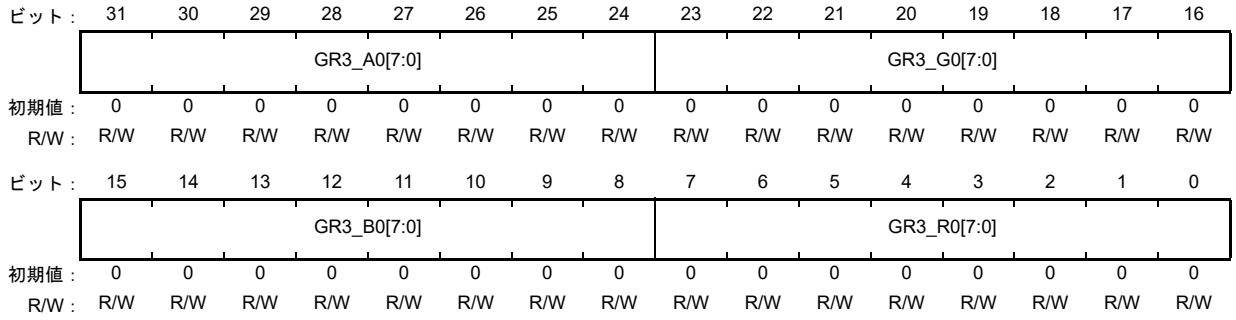
38.2.39　アルファブレンド制御レジスタ 9（グラフィックス（3））（GR3_AB9）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR3_CK_A[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後アルファ信号 α：8ビット符号無し（0～255[LSB]）
23 ～ 16	GR3_CK_G[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR3_CK_B[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR3_CK_R[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

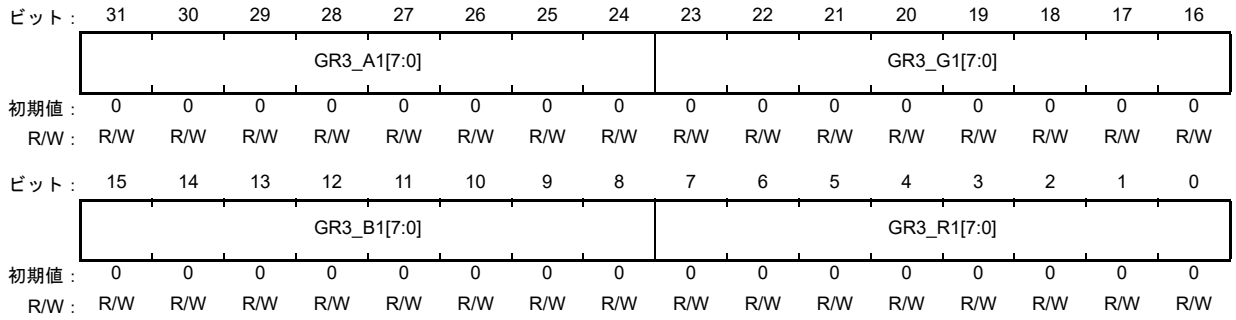
38.2.40　アルファブレンド制御レジスタ 10（グラフィックス（3））（GR3_AB10）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR3_A0[7:0]	0	R/W	CLUT1のα0信号 CLUT1フォーマットかつCLUT1 = 0のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα = 0のときにα信号に置換
23 ～ 16	GR3_G0[7:0]	0	R/W	CLUT1のG0信号 CLUT1フォーマットかつCLUT1 = 0のときにG信号に置換
15 ～ 8	GR3_B0[7:0]	0	R/W	CLUT1のB0信号 CLUT1フォーマットかつCLUT1 = 0のときにB信号に置換
7 ～ 0	GR3_R0[7:0]	0	R/W	CLUT1のR0信号 CLUT1フォーマットかつCLUT1 = 0のときにR信号に置換

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

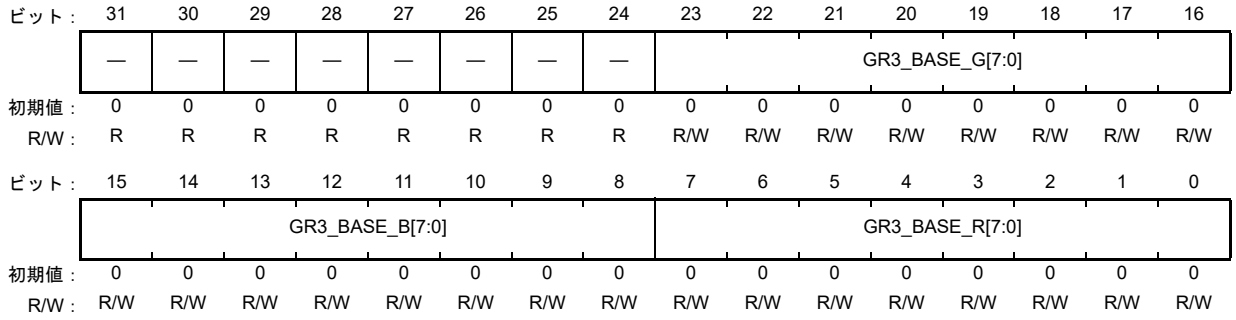
38.2.41　アルファブレンド制御レジスタ 11（グラフィックス（3））（GR3_AB11）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR3_A1[7:0]	0	R/W	CLUT1のα1信号 CLUT1フォーマットかつCLUT1 = 1のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα = 1のときにα信号に置換
23 ～ 16	GR3_G1[7:0]	0	R/W	CLUT1のG1信号 CLUT1フォーマットかつCLUT1 = 1のときにG信号に置換
15 ～ 8	GR3_B1[7:0]	0	R/W	CLUT1のB1信号 CLUT1フォーマットかつCLUT1 = 1のときにB信号に置換
7 ～ 0	GR3_R1[7:0]	0	R/W	CLUT1のR1信号 CLUT1フォーマットかつCLUT1 = 1のときにR信号に置換

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

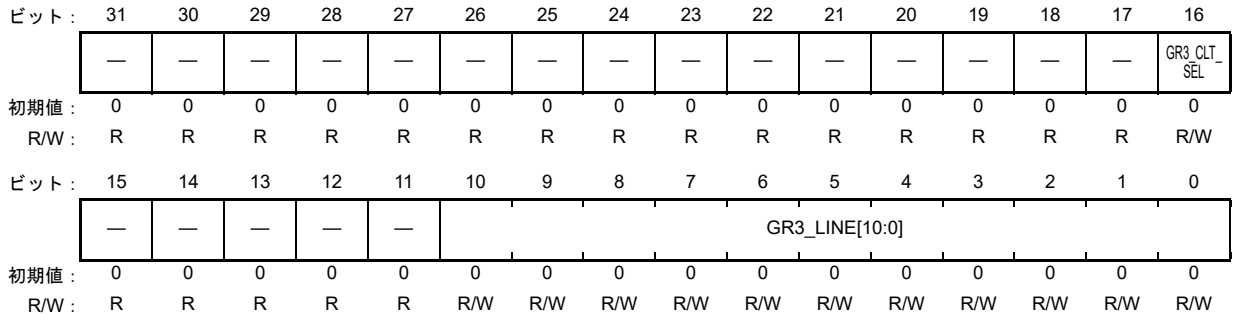
38.2.42 背景色制御レジスタ（グラフィックス（3））（GR3_BASE）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GR3_BASE_G [7:0]	0	R/W	背景色G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR3_BASE_B [7:0]	0	R/W	背景色B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR3_BASE_R [7:0]	0	R/W	背景色R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

38.2.43 CLUT テーブル・割り込み制御レジスタ（グラフィックス（3））（GR3_CLUT_INT）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR3_CLT_ SEL	0	R/W	CLUTテーブル選択信号 0：CLUTテーブル0を選択 CLUTテーブル0を参照しαRGB8888に展開します。 CPU側はCLUTテーブル1にリード／ライトすることができます。 1：CLUTテーブル1を選択 CLUTテーブル1を参照しαRGB8888に展開します。 CPU側はCLUTテーブル0にリード／ライトすることができます。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_LINE [10:0]	0	R/W	ライン割り込み設定 ライン数がGR3_LINEの値と一致するとき、割り込み信号を出力します。 本機能は、グラフィックス（3）の機能を使用しない場合でも動作します。

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN = 1で更新されます。

38.2.44 ステータスモニタレジスタ（グラフィックス（3））（GR3_MON）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR3_LIN_STAT[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_ARC_ST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_LIN_STAT[10:0]	0	R	現在読み出している画像のライン位置
15 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_ARC_ST	0	R	矩形領域アルファブレンド処理のステータスフラグ 0：加算または減算処理完了（α値が0または255の状態） 1：加算または減算処理中

38.2.45 VIN 合成部レジスタ更新制御レジスタ（GR_VIN_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	GR_VIN_UPDATE	—	—	—	GR_VIN_P_VEN	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR_VIN_UPDATE	0	R/WC1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR_VIN_P_VEN	0	R/WC1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

38.2.46 アルファブレンド制御レジスタ 1（VIN 合成部）（GR_VIN_AB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	GR_VIN_SCL_UND_SEL	GR_VIN_DISP_SEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 3	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	GR_VIN_SCL_UND_SEL	0	R/W	スケーリング部の下層面の指定 0：グラフィックス(0)を下層グラフィックスとする。 1：設定禁止
1、0	GR_VIN_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0：背景色表示(黒固定) 1：下層グラフィックス表示 2：設定禁止 3：設定禁止

注. GR_VIN_SCL_UND_SELはVIN合成レジスタ更新制御レジスタ（GR_VIN_UPDATE）のGR_VIN_UPDATE = 1で更新されます。それ以外のビットはすべてVIN合成レジスタ更新制御レジスタ（GR_VIN_UPDATE）のGR_VIN_P_VEN = 1で更新されます。

38.3 使用方法

38.3.1 ミュート

GR0_DISP_SEL[1:0], GR2_DISP_SEL[1:0], GR3_DISP_SEL[1:0], GR_VIN_DISP_SEL[1:0] の初期値はすべて 0 です。そのため、初期状態では、グラフィックス（0）、(2)、(3)、VIN 合成部すべてグラフィックス領域内も領域外も背景色を表示する設定になっています。背景色の初期値は黒ですので、初期状態は黒のミュート表示になっています。

ただし VIN 合成部の背景色は黒固定になります。

38.3.2 矩形領域アルファブレンド

フェードイン、フェードアウト中に GR_ARC_MODE, GR_ARC_COEF[7:0], GR_ARC_RATE[7:0] を変更すると、アルファ係数、フレームレートを途中で変化させることが可能です。

39. ビデオディスプレイコントローラ 6（7） 出力制御部

39.1 出力制御機能

39.1.1 機能概要

出力制御部は、画面合成部の RGB 出力信号に対して、ブライト調整、コントラスト調整、RGB 独立のガンマ補正、ディザ処理、および、出力フォーマット変換を行います。

LVDS からの出力も可能です。LVDS 出力に関しては、「41. LVDS 出力インタフェース」を参照してください。

下図に出力制御部の機能ブロック図を示します。

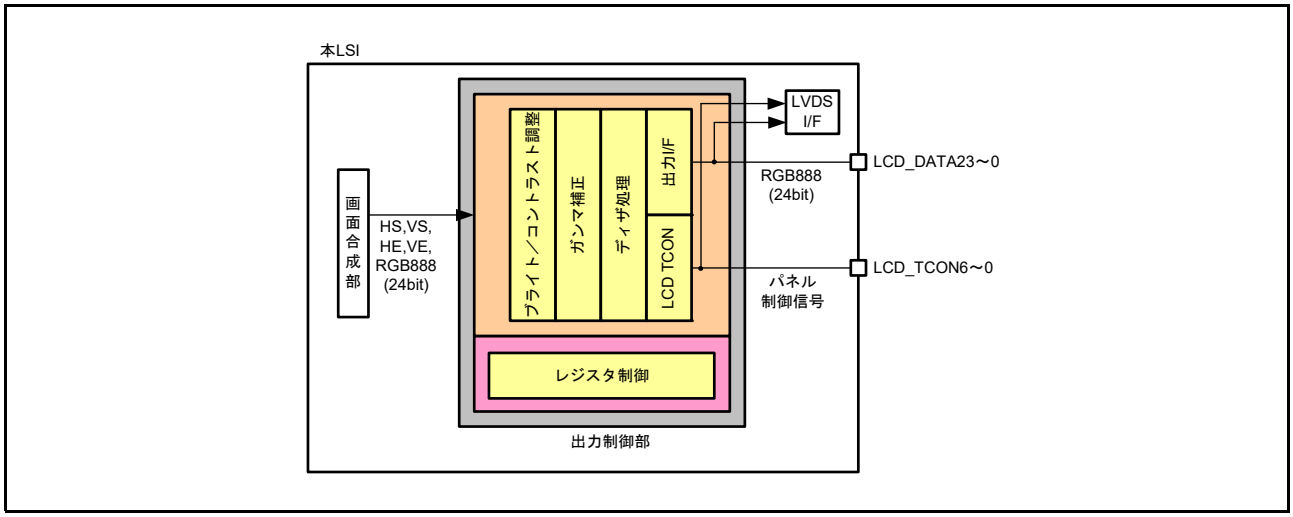


図 39.1　出力制御部の機能ブロック図

39.1.2 レジスタの更新制御

出力制御の制御レジスタは、すべて垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表 39.1　レジスタの更新制御

レジスタ名	ビット名	初期値	説　　明
OUT_UPDATE	OUTCNT_VEN	0	ブライト／コントラスト調整、ディザ処理、出力インタフェースのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GAM_G_UPDATE	GAM_G_VEN	0	ガンマ補正（G）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GAM_B_UPDATE	GAM_B_VEN	0	ガンマ補正（B）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GAM_R_UPDATE	GAM_R_VEN	0	ガンマ補正（R）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
TCON_UPDATE	TCON_VEN	0	LCD TCONのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

39.1.3 経路選択

ブライト／コントラスト調整とガンマ補正は、レジスタの設定により、処理の順番を入れ替えることができます。

表39.2 経路選択

レジスタ名	ビット名	初期値	説　　明
OUT_CLK_PHASE	OUTCNT_FRONT_GAM	0	補正回路の順番の制御 0：ブライト⇒コントラスト⇒ガンマ補正 1：ガンマ補正⇒ブライト⇒コントラスト

39.1.4 ブライト調整

画面合成部の RGB 信号に対して、RGB 独立にブライト（DC）調整を行います。

（ブライト調整後の BRT_R/G/BOUT は、オーバフロー、アンダフローが発生しないようにビットを多く設けています。オーバフロー、アンダフロー処理はコントラスト演算時に行います。）

(1) ブライト（DC）調整の計算式

$$BRT_GOUT = GIN + PBRT_G - 512$$
$$BRT_BOUT = BIN + PBRT_B - 512$$
$$BRT_ROUT = RIN + PBRT_R - 512$$

表39.3 ブライト（DC）調整

レジスタ名	ビット名	初期値	説　　明
OUT_BRIGHT1	PBRT_G[9:0]	512	G信号のブライト（DC）調整 符号無し（0（－512）～512（0）～1023（＋511）[LSB]、512[LSB]オフセット付）
OUT_BRIGHT2	PBRT_B[9:0]	512	B信号のブライト（DC）調整 符号無し（0（－512）～512（0）～1023（＋511）[LSB]、512[LSB]オフセット付）
OUT_BRIGHT2	PBRT_R[9:0]	512	R信号のブライト（DC）調整 符号無し（0（－512）～512（0）～1023（＋511）[LSB]、512[LSB]オフセット付）

39.1.5 コントラスト調整

ブライト演算結果の RGB 信号に対して、コントラスト演算を行います。
（オーバフロー、アンダフローが発生した場合は、最大値／最小値にクリップします。）

(1) コントラスト（ゲイン）調整の計算式

GOUT ＝ BRT_GOUT × CONT_G ÷ 128
BOUT ＝ BRT_BOUT × CONT_B ÷ 128
ROUT ＝ BRT_ROUT × CONT_R ÷ 128

表39.4　コントラスト（ゲイン）調整

レジスタ名	ビット名	初期値	説　明
OUT_CONTRAST	CONT_G[7:0]	128	G信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）
OUT_CONTRAST	CONT_B[7:0]	128	B信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）
OUT_CONTRAST	CONT_R[7:0]	128	R信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）

39.1.6 ガンマ補正

256 階調の入力信号に対してレベルを 32 分割し各々のゲインを制御することでガンマ補正を行います。各領域のゲイン係数は、0 ～約 2.0 [倍] にて設定できます。

(1) 各領域のガンマ補正式

$$DOUT = ((DIN - TH_{(n)}) \times GAIN_{(n)} + OFFSET_{(n)}) \div 256$$

DIN：入力信号（8 ビット）
DOUT：出力信号（10 ビット）
$TH_{(n)}$：閾値（8 ビット）
$OFFSET_{(n)}$：オフセット値（19 ビット）
$GAIN_{(n)}$：ゲイン係数（11 ビット）

(2) 各領域のオフセット計算式

$OFFSET_{(n)} = OFFSET_{(n-1)} + DEF_O_{(n)}$　ただし n ＝ 0 時は $OFFSET_{(0)} = 0$
$DEF_O_{(n)} = (TH_{(n)} - TH_{(n-1)}) \times GAIN_{(n-1)}$　ただし n ＝ 0 時は DEF_O(0) ＝ 0

$OFFSET_{(n)}$：現在の領域のオフセット値（19 ビット）
$OFFSET_{(n-1)}$：1 つ前の領域のオフセット値（19 ビット）
$DEF_O_{(n)}$：現在と 1 つ前の領域のオフセット値の差分（19 ビット）
$TH_{(n)}$：現在の領域の閾値（8 ビット）
$TH_{(n-1)}$：1 つ前の領域の閾値（8 ビット）
$GAIN_{(n-1)}$：1 つ前の領域のゲイン係数（11 ビット）

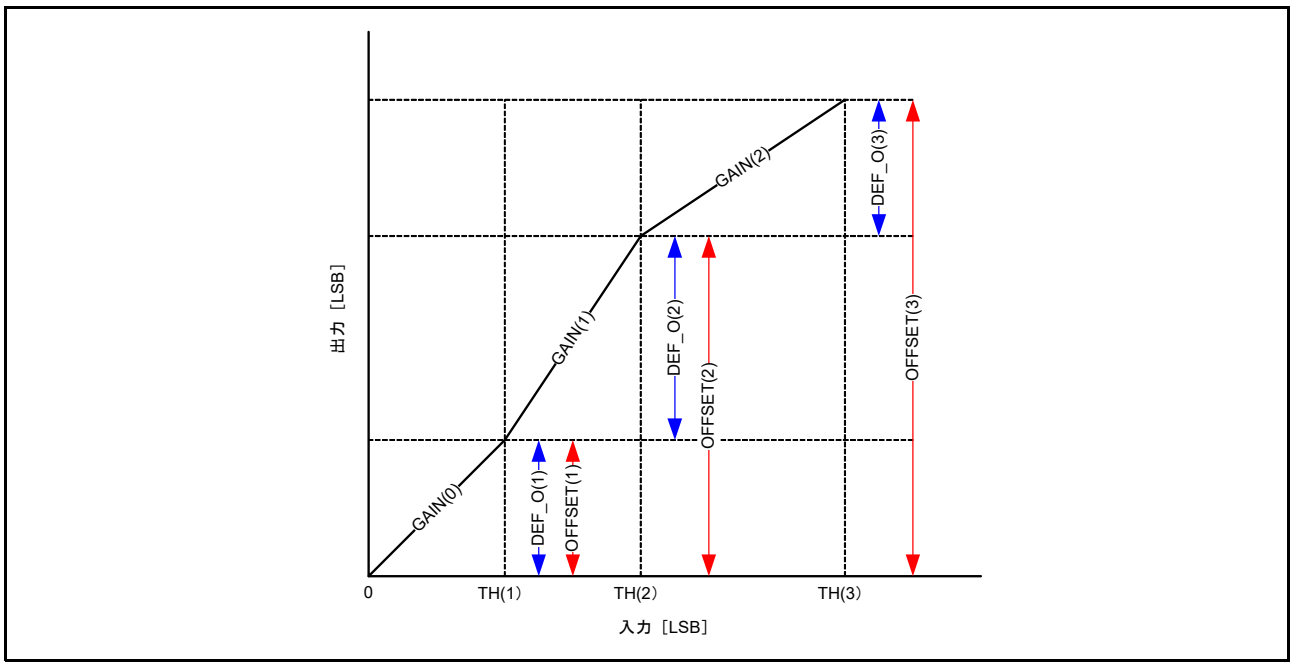


図 39.2　　オフセット算出式の対応図

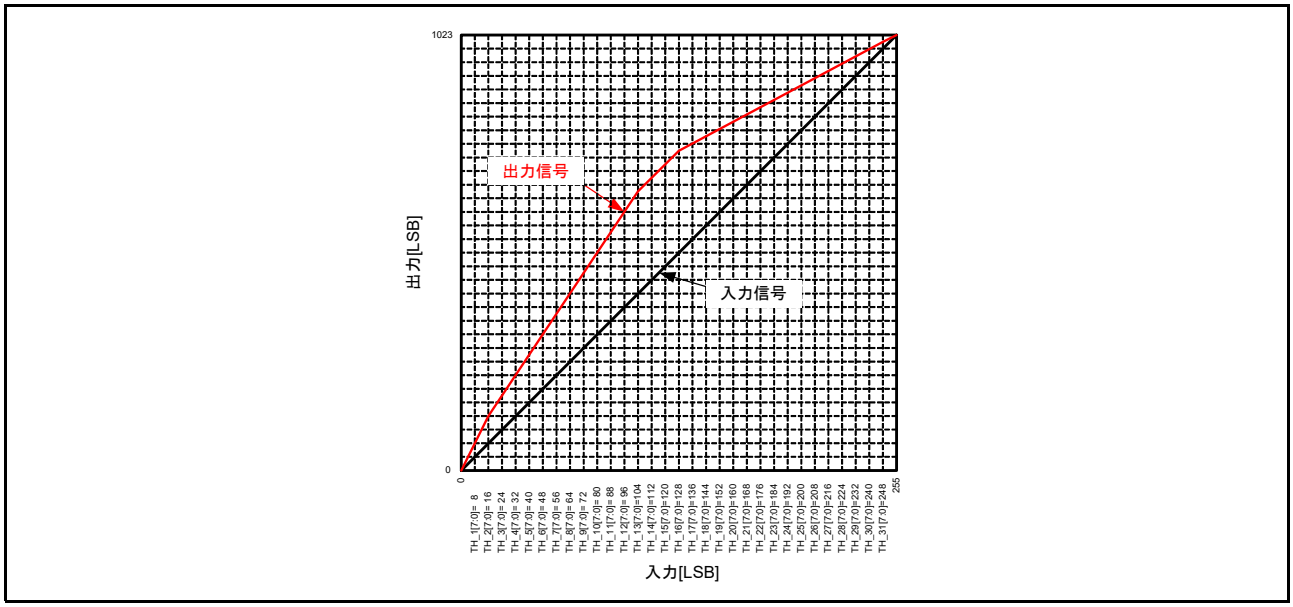


図 39.3　　ガンマ補正の入出力特性（例）

表39.5　ガンマ補正

レジスタ名	ビット名	初期値	説　明
GAM_SW	GAM_ON	0	ガンマ補正オン／オフ制御 0：オフ 1：オン
GAM_G_AREA1～8	GAM_G_TH_01～31[7:0]	*	G信号の領域1～31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値（注1）＜本領域の閾値＜次領域の閾値（注2） 注1.　GAM_G_TH_01は0 注2.　GAM_G_TH_31は≦255 *初期値 GAM_G_TH_01：8、GAM_G_TH_02：16、 GAM_G_TH_03：24、GAM_G_TH_04：32、 GAM_G_TH_05：40、GAM_G_TH_06：48、 GAM_G_TH_07：56、GAM_G_TH_08：64、 GAM_G_TH_09：72、GAM_G_TH_10：80 GAM_G_TH_11：88、GAM_G_TH_12：96、 GAM_G_TH_13：104、GAM_G_TH_14：112、 GAM_G_TH_15：120、GAM_G_TH_16：128、 GAM_G_TH_17：136、GAM_G_TH_18：144、 GAM_G_TH_19：152、GAM_G_TH_20：160、 GAM_G_TH_21：168、GAM_G_TH_22：176、 GAM_G_TH_23：184、GAM_G_TH_24：192、 GAM_G_TH_25：200、GAM_G_TH_26：208、 GAM_G_TH_27：216、GAM_G_TH_28：224、 GAM_G_TH_29：232、GAM_G_TH_30：240、 GAM_G_TH_31：248
GAM_G_LUT1～16	GAM_G_GAIN_00～31[10:0]	1024	G信号の領域0～31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB] = 1.0[倍]）
GAM_B_AREA1～8	GAM_B_TH_01～31[7:0]	*	B信号の領域1～31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値（注1）＜本領域の閾値＜次領域の閾値（注2） 注1.　GAM_B_TH_01は0 注2.　GAM_B_TH_31は≦255 *初期値 GAM_B_TH_01：8、GAM_B_TH_02：16、 GAM_B_TH_03：24、GAM_B_TH_04：32、 GAM_B_TH_05：40、GAM_B_TH_06：48、 GAM_B_TH_07：56、GAM_B_TH_08：64、 GAM_B_TH_09：72、GAM_B_TH_10：80 GAM_B_TH_11：88、GAM_B_TH_12：96、 GAM_B_TH_13：104、GAM_B_TH_14：112、 GAM_B_TH_15：120、GAM_B_TH_16：128、 GAM_B_TH_17：136、GAM_B_TH_18：144、 GAM_B_TH_19：152、GAM_B_TH_20：160、 GAM_B_TH_21：168、GAM_B_TH_22：176、 GAM_B_TH_23：184、GAM_B_TH_24：192、 GAM_B_TH_25：200、GAM_B_TH_26：208、 GAM_B_TH_27：216、GAM_B_TH_28：224、 GAM_B_TH_29：232、GAM_B_TH_30：240、 GAM_B_TH_31：248
GAM_B_LUT1～16	GAM_B_GAIN_00～31[10:0]	1024	B信号の領域0～31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB] = 1.0[倍]）

レジスタ名	ビット名	初期値	説　　明
GAM_R_AREA1～8	GAM_R_TH_01～31[7:0]	*	R信号の領域1～31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値（注1）＜本領域の閾値＜次領域の閾値（注2） 注1.　GAM_R_TH_01は0 注2.　GAM_R_TH_31は≦255 *初期値 GAM_R_TH_01：8、GAM_R_TH_02：16、 GAM_R_TH_03：24、GAM_R_TH_04：32、 GAM_R_TH_05：40、GAM_R_TH_06：48、 GAM_R_TH_07：56、GAM_R_TH_08：64、 GAM_R_TH_09：72、GAM_R_TH_10：80 GAM_R_TH_11：88、GAM_R_TH_12：96、 GAM_R_TH_13：104、GAM_R_TH_14：112、 GAM_R_TH_15：120、GAM_R_TH_16：128、 GAM_R_TH_17：136、GAM_R_TH_18：144、 GAM_R_TH_19：152、GAM_R_TH_20：160、 GAM_R_TH_21：168、GAM_R_TH_22：176、 GAM_R_TH_23：184、GAM_R_TH_24：192、 GAM_R_TH_25：200、GAM_R_TH_26：208、 GAM_R_TH_27：216、GAM_R_TH_28：224、 GAM_R_TH_29：232、GAM_R_TH_30：240、 GAM_R_TH_31：248
GAM_R_LUT1～16	GAM_R_GAIN_00～31[10:0]	1024	R信号の領域0～31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB] = 1.0[倍]）

39.1.7 ディザ処理

ディザ処理は、ブライト／コントラスト調整またはガンマ補正出力の 10 ビット RGB 信号に対して、10 ビット→ 8/6/5 ビットのビット縮退を行います。ディザ処理の動作モードは、切り捨てモード、四捨五入モード、2x2 パターンディザモード、ランダムパターンディザモードの 4 種類から選択できます。

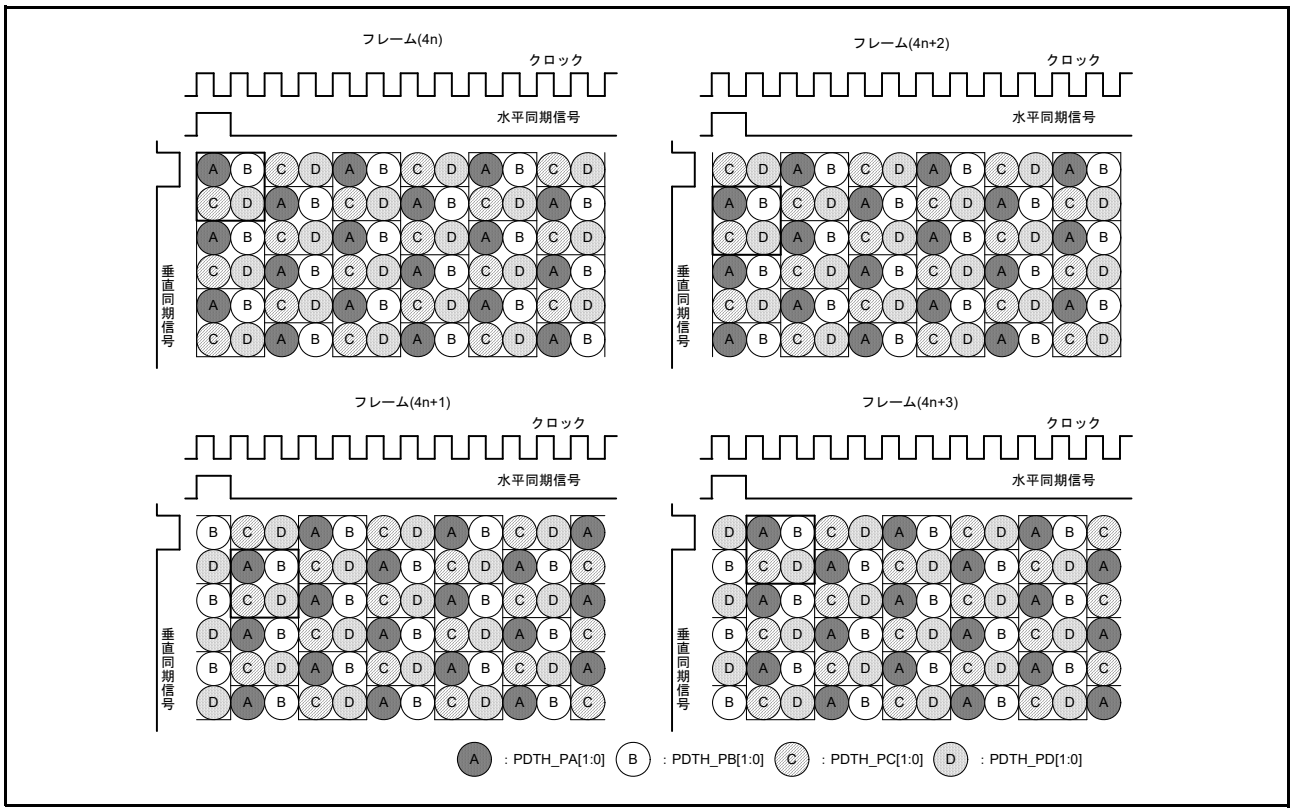


図 39.4　2 × 2 パターンディザの動作仕様図

変換式は下記となります。

- **切り捨てモード**

1. 10 ビット→ 8 ビット
   出力 RGB データ [7:0] ＝入力 RGB データ [9:0] ÷ 4（小数点以下切り捨て）
2. 10 ビット→ 6 ビット
   出力 RGB データ [7:2] ＝入力 RGB データ [9:0] ÷ 16（小数点以下切り捨て）
3. 10 ビット→ 5 ビット
   出力 RGB データ [7:3] ＝入力 RGB データ [9:0] ÷ 32（小数点以下切り捨て）

- **四捨五入モード**

1. 10 ビット→ 8 ビット
   出力 RGB データ [7:0] ＝入力 RGB データ [9:0] ÷ 4（小数点第一位で四捨五入）
2. 10 ビット→ 6 ビット
   出力 RGB データ [7:2] ＝入力 RGB データ [9:0] ÷ 16（小数点第一位で四捨五入）
3. 10 ビット→ 5 ビット
   出力 RGB データ [7:3] ＝入力 RGB データ [9:0] ÷ 32（小数点第一位で四捨五入）

- 2x2 パターンディザ、ランダムパターンディザモード

1. 10 ビット→ 8 ビット
   出力 RGB データ [7:0] ＝入力 RGB データ [9:0] ÷ 4 + 小数点第一位にパターン値（加算後に小数点第一位で切り捨て）
2. 10 ビット→ 6 ビット
   出力 RGB データ [7:2] ＝入力 RGB データ [9:0] ÷ 16 + 小数点第一位にパターン値（加算後に小数点第一位で切り捨て）
3. 10 ビット→ 5 ビット
   出力 RGB データ [7:3] ＝入力 RGB データ [9:0] ÷ 32 + 小数点第一位にパターン値（加算後に小数点第一位で切り捨て）

表39.6　　パネルディザ補正

レジスタ名	ビット名	初期値	説　　明
OUT_PDTHA	PDTH_SEL[1:0]	0	パネルディザ動作モード 0：切り捨て 1：四捨五入 2：2x2パターンディザ 3：ランダムパターンディザ
OUT_PDTHA	PDTH_FORMAT[1:0]	0	パネルディザ出力フォーマット選択 0：RGB888 1：RGB666 2：RGB565 3：設定禁止
OUT_PDTHA	PDTH_PA[1:0]	3	2x2パターンディザのパターン値（A） 符号無し（0～3[LSB]）
OUT_PDTHA	PDTH_PB[1:0]	0	2x2パターンディザのパターン値（B） 符号無し（0～3[LSB]）
OUT_PDTHA	PDTH_PC[1:0]	2	2x2パターンディザのパターン値（C） 符号無し（0～3[LSB]）
OUT_PDTHA	PDTH_PD[1:0]	1	2x2パターンディザのパターン値（D） 符号無し（0～3[LSB]）

39.1.8 出力フォーマット変換

出力フォーマット変換はディザ処理後の RGB 信号を LCD 出力信号として、パラレル RGB888, RGB666, RGB565, シリアル RGB のいずれかのフォーマットに変換します。

また、変換したデータの LCD 出力ピンの割当を選択できます。

(1) RGB888 出力時の LCD 信号のビット割り付け

RGB888 出力のとき、LCD 信号出力に割り付けられる RGB 信号入力を**表 39.7** に示します。

R/G/BIN[7:0] は、ディザ処理後の RGB 内部信号です。

表39.7　RGB888出力時のRGB信号入力のビット割り付け

OUT_FORMAT	0	0	0	0
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
LCD_DATA23	RIN[7]	BIN[7]	RIN[0]	BIN[0]
LCD_DATA22	RIN[6]	BIN[6]	RIN[1]	BIN[1]
LCD_DATA21	RIN[5]	BIN[5]	RIN[2]	BIN[2]
LCD_DATA20	RIN[4]	BIN[4]	RIN[3]	BIN[3]
LCD_DATA19	RIN[3]	BIN[3]	RIN[4]	BIN[4]
LCD_DATA18	RIN[2]	BIN[2]	RIN[5]	BIN[5]
LCD_DATA17	RIN[1]	BIN[1]	RIN[6]	BIN[6]
LCD_DATA16	RIN[0]	BIN[0]	RIN[7]	BIN[7]
LCD_DATA15	GIN[7]	GIN[7]	GIN[0]	GIN[0]
LCD_DATA14	GIN[6]	GIN[6]	GIN[1]	GIN[1]
LCD_DATA13	GIN[5]	GIN[5]	GIN[2]	GIN[2]
LCD_DATA12	GIN[4]	GIN[4]	GIN[3]	GIN[3]
LCD_DATA11	GIN[3]	GIN[3]	GIN[4]	GIN[4]
LCD_DATA10	GIN[2]	GIN[2]	GIN[5]	GIN[5]
LCD_DATA9	GIN[1]	GIN[1]	GIN[6]	GIN[6]
LCD_DATA8	GIN[0]	GIN[0]	GIN[7]	GIN[7]
LCD_DATA7	BIN[7]	RIN[7]	BIN[0]	RIN[0]
LCD_DATA6	BIN[6]	RIN[6]	BIN[1]	RIN[1]
LCD_DATA5	BIN[5]	RIN[5]	BIN[2]	RIN[2]
LCD_DATA4	BIN[4]	RIN[4]	BIN[3]	RIN[3]
LCD_DATA3	BIN[3]	RIN[3]	BIN[4]	RIN[4]
LCD_DATA2	BIN[2]	RIN[2]	BIN[5]	RIN[5]
LCD_DATA1	BIN[1]	RIN[1]	BIN[6]	RIN[6]
LCD_DATA0	BIN[0]	RIN[0]	BIN[7]	RIN[7]

(2) RGB666 出力時の LCD 信号のビット割り付け

RGB666 出力のとき、LCD 信号出力に割り付けられる RGB 信号入力を表 39.8 に示します。
R/G/BIN[7:0] は、ディザ処理後の RGB 内部信号です。

表39.8　RGB666出力時のRGB信号入力のビット割り付け

OUT_FORMAT	1	1	1	1
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
LCD_DATA23	0 固定	0 固定	0 固定	0 固定
LCD_DATA22	0 固定	0 固定	0 固定	0 固定
LCD_DATA21	0 固定	0 固定	0 固定	0 固定
LCD_DATA20	0 固定	0 固定	0 固定	0 固定
LCD_DATA19	0 固定	0 固定	0 固定	0 固定
LCD_DATA18	0 固定	0 固定	0 固定	0 固定
LCD_DATA17	RIN[7]	BIN[7]	RIN[2]	BIN[2]
LCD_DATA16	RIN[6]	BIN[6]	RIN[3]	BIN[3]
LCD_DATA15	RIN[5]	BIN[5]	RIN[4]	BIN[4]
LCD_DATA14	RIN[4]	BIN[4]	RIN[5]	BIN[5]
LCD_DATA13	RIN[3]	BIN[3]	RIN[6]	BIN[6]
LCD_DATA12	RIN[2]	BIN[2]	RIN[7]	BIN[7]
LCD_DATA11	GIN[7]	GIN[7]	GIN[2]	GIN[2]
LCD_DATA10	GIN[6]	GIN[6]	GIN[3]	GIN[3]
LCD_DATA9	GIN[5]	GIN[5]	GIN[4]	GIN[4]
LCD_DATA8	GIN[4]	GIN[4]	GIN[5]	GIN[5]
LCD_DATA7	GIN[3]	GIN[3]	GIN[6]	GIN[6]
LCD_DATA6	GIN[2]	GIN[2]	GIN[7]	GIN[7]
LCD_DATA5	BIN[7]	RIN[7]	BIN[2]	RIN[2]
LCD_DATA4	BIN[6]	RIN[6]	BIN[3]	RIN[3]
LCD_DATA3	BIN[5]	RIN[5]	BIN[4]	RIN[4]
LCD_DATA2	BIN[4]	RIN[4]	BIN[5]	RIN[5]
LCD_DATA1	BIN[3]	RIN[3]	BIN[6]	RIN[6]
LCD_DATA0	BIN[2]	RIN[2]	BIN[7]	RIN[7]

(3) RGB565 出力時の LCD 信号のビット割り付け

RGB565 出力のとき、LCD 信号出力に割り付けられる RGB 信号入力を表 39.9 に示します。
R/G/BIN[7:0] は、ディザ処理後の RGB 内部信号です。

表39.9　RGB565出力時のRGB信号入力のビット割り付け

OUT_FORMAT	2	2	2	2
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
LCD_DATA23	0 固定	0 固定	0 固定	0 固定
LCD_DATA22	0 固定	0 固定	0 固定	0 固定
LCD_DATA21	0 固定	0 固定	0 固定	0 固定
LCD_DATA20	0 固定	0 固定	0 固定	0 固定
LCD_DATA19	0 固定	0 固定	0 固定	0 固定
LCD_DATA18	0 固定	0 固定	0 固定	0 固定
LCD_DATA17	0 固定	0 固定	0 固定	0 固定
LCD_DATA16	0 固定	0 固定	0 固定	0 固定
LCD_DATA15	RIN[7]	BIN[7]	RIN[3]	BIN[3]
LCD_DATA14	RIN[6]	BIN[6]	RIN[4]	BIN[4]
LCD_DATA13	RIN[5]	BIN[5]	RIN[5]	BIN[5]
LCD_DATA12	RIN[4]	BIN[4]	RIN[6]	BIN[6]
LCD_DATA11	RIN[3]	BIN[3]	RIN[7]	BIN[7]
LCD_DATA10	GIN[7]	GIN[7]	GIN[2]	GIN[2]
LCD_DATA9	GIN[6]	GIN[6]	GIN[3]	GIN[3]
LCD_DATA8	GIN[5]	GIN[5]	GIN[4]	GIN[4]
LCD_DATA7	GIN[4]	GIN[4]	GIN[5]	GIN[5]
LCD_DATA6	GIN[3]	GIN[3]	GIN[6]	GIN[6]
LCD_DATA5	GIN[2]	GIN[2]	GIN[7]	GIN[7]
LCD_DATA4	BIN[7]	RIN[7]	BIN[3]	RIN[3]
LCD_DATA3	BIN[6]	RIN[6]	BIN[4]	RIN[4]
LCD_DATA2	BIN[5]	RIN[5]	BIN[5]	RIN[5]
LCD_DATA1	BIN[4]	RIN[4]	BIN[6]	RIN[6]
LCD_DATA0	BIN[3]	RIN[3]	BIN[7]	RIN[7]

(4) シリアル RGB 出力時の LCD 信号のビット割り付け

シリアル RGB 出力のとき、**表 39.10** に示す RGB 信号入力を rgb 内部信号に割り付け、その信号をパラレル→シリアル変換して LCD 信号に出力します。R/G/BIN[7:0] は、ディザ処理後の RGB 内部信号です。

内部信号 r[7:0], g[7:0], b[7:0] はシリアルに LCD_DATA7 ～ 0 に出力されます。

表39.10　シリアルRGB出力時のRGB信号入力のビット割り付け

OUT_FORMAT	3	3	3	3
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
r[7]	RIN[7]	BIN[7]	RIN[0]	BIN[0]
r[6]	RIN[6]	BIN[6]	RIN[1]	BIN[1]
r[5]	RIN[5]	BIN[5]	RIN[2]	BIN[2]
r[4]	RIN[4]	BIN[4]	RIN[3]	BIN[3]
r[3]	RIN[3]	BIN[3]	RIN[4]	BIN[4]
r[2]	RIN[2]	BIN[2]	RIN[5]	BIN[5]
r[1]	RIN[1]	BIN[1]	RIN[6]	BIN[6]
r[0]	RIN[0]	BIN[0]	RIN[7]	BIN[7]
g[7]	GIN[7]	GIN[7]	GIN[0]	GIN[0]
g[6]	GIN[6]	GIN[6]	GIN[1]	GIN[1]
g[5]	GIN[5]	GIN[5]	GIN[2]	GIN[2]
g[4]	GIN[4]	GIN[4]	GIN[3]	GIN[3]
g[3]	GIN[3]	GIN[3]	GIN[4]	GIN[4]
g[2]	GIN[2]	GIN[2]	GIN[5]	GIN[5]
g[1]	GIN[1]	GIN[1]	GIN[6]	GIN[6]
g[0]	GIN[0]	GIN[0]	GIN[7]	GIN[7]
b[7]	BIN[7]	RIN[7]	BIN[0]	RIN[0]
b[6]	BIN[6]	RIN[6]	BIN[1]	RIN[1]
b[5]	BIN[5]	RIN[5]	BIN[2]	RIN[2]
b[4]	BIN[4]	RIN[4]	BIN[3]	RIN[3]
b[3]	BIN[3]	RIN[3]	BIN[4]	RIN[4]
b[2]	BIN[2]	RIN[2]	BIN[5]	RIN[5]
b[1]	BIN[1]	RIN[1]	BIN[6]	RIN[6]
b[0]	BIN[0]	RIN[0]	BIN[7]	RIN[7]

(5) パラレル→シリアル変換

パラレル→シリアル変換は、**表 39.11** に示すとおり、倍速モード制御とスキャン方向選択により、4 種類のパラレル→シリアル変換が可能です（表中の n は自然数）。

表 39.11　シリアル RGB 出力仕様

OUT_FRQ_SEL	1	1	2	2
OUT_DIR_SEL	0	1	0	1
ライン（2n-1）	繰り返し （r → g → b）	繰り返し （b → g → r）	繰り返し （r → g → b → X）	繰り返し （X → b → g → r）
ライン 2n	繰り返し （g → b → r）	繰り返し （r → b → g）	繰り返し （r → g → b → X）	繰り返し （X → b → g → r）

図 39.5、図 39.6 にそれぞれ 3 倍速と 4 倍速のパラレル→シリアル変換のタイミング図を示します。

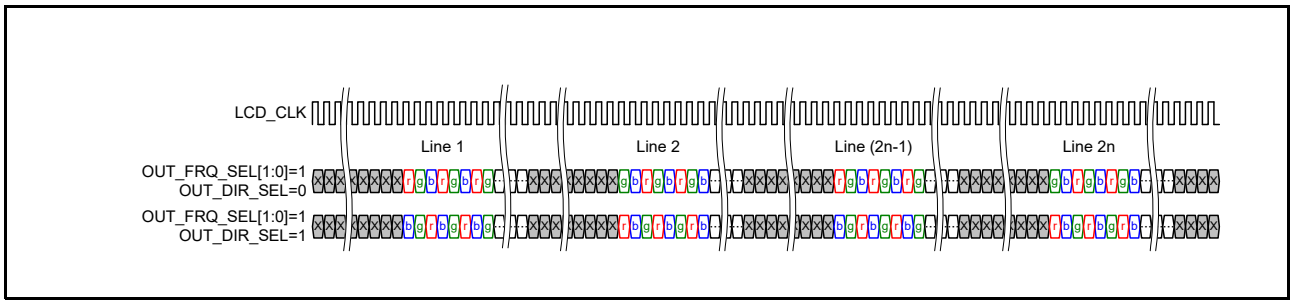


図 39.5　3 倍速パラレル→シリアル変換タイミング図

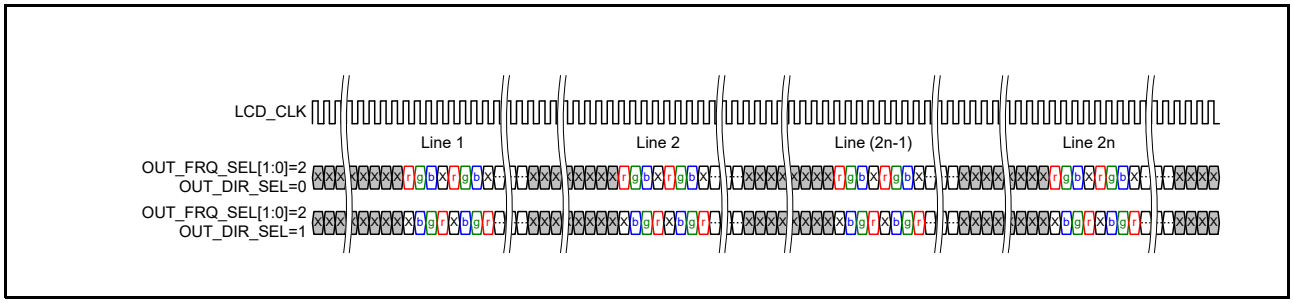


図 39.6　4 倍速パラレル→シリアル変換タイミング図

シリアル出力時の HE 信号との位相タイミングをレジスタ OUT_PHASE[1:0] で調整できます。
図 39.7 にシリアル RGB 出力（3 倍速モード）のクロック位相のタイミング図を示します。

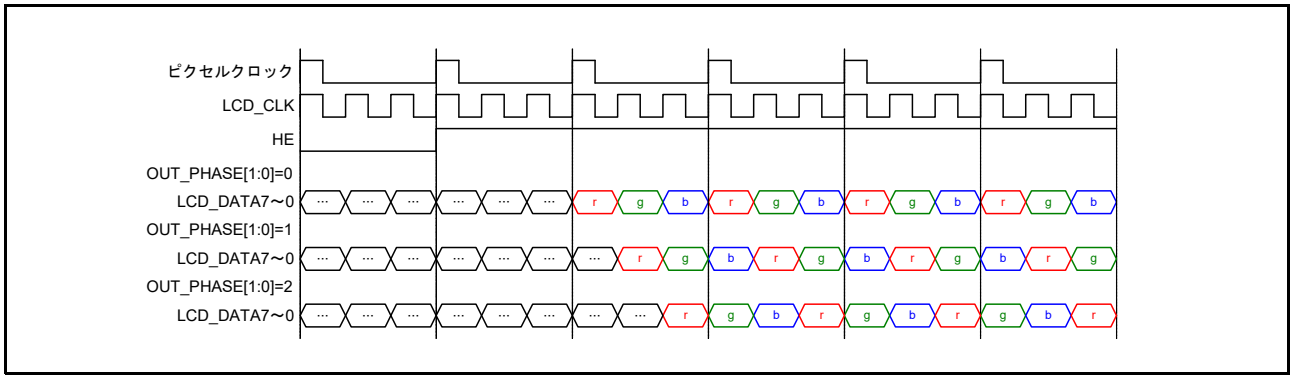


図 39.7　シリアル RGB（3 倍速モード）のクロック位相のタイミング図

図 39.8 にシリアル RGB 出力（4 倍速モード）のクロック位相のタイミング図を示します。

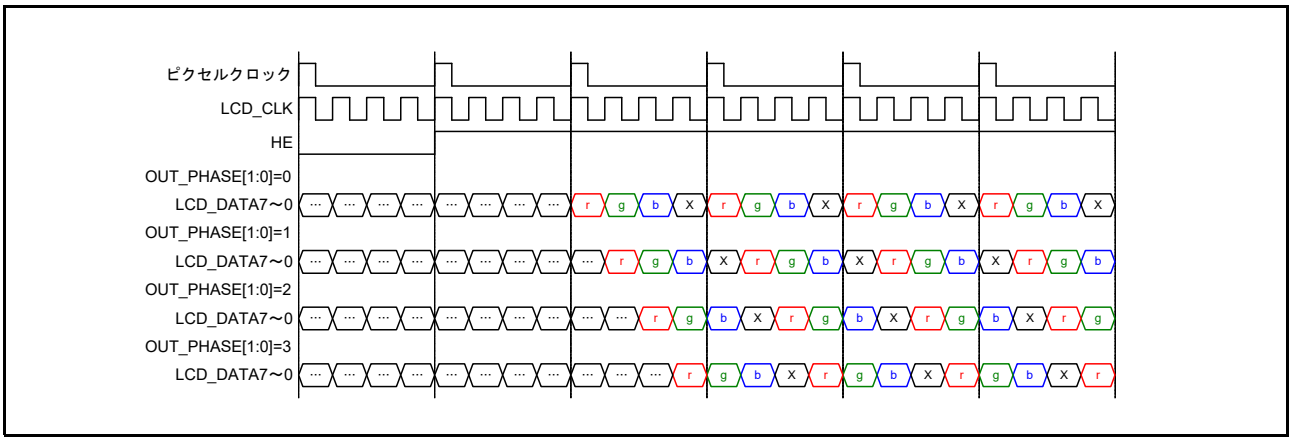


図 39.8　　シリアル RGB（4 倍速モード）のクロック位相のタイミング図

表39.12　　出力フォーマット変換

レジスタ名	ビット名	初期値	説　　明
OUT_SET	OUT_FORMAT[1:0]	0	出力フォーマット選択 0：RGB888 1：RGB666 2：RGB565 3：シリアルRGB
OUT_SET	OUT_ENDIAN_ON	0	ビットエンディアン変更オン／オフ制御 0：オフ 1：オン
OUT_SET	OUT_SWAP_ON	0	B/R信号入れ替えオン／オフ制御 0：オフ 1：オン
OUT_SET	OUT_FRQ_SEL[1:0]	0	クロック周波数制御 0：1倍速（パラレルRGB） 1：3倍速（シリアルRGB） 2：4倍速（シリアルRGB） 3：設定禁止
OUT_SET	OUT_DIR_SEL	0	スキャン方向選択 0：正スキャン 1：逆スキャン
OUT_SET	OUT_PHASE[1:0]	0	シリアルRGB出力時のクロック位相調整 3倍速のとき 0：0[clk] 1：1[clk] 2：2[clk] 3：設定禁止 4倍速のとき 0：0[clk] 1：1[clk] 2：2[clk] 3：3[clk]

39.1.9 LCD TCON

LCD パネル駆動用の各種タイミング信号を生成します。

生成可能なタイミング信号は、垂直パネルドライバ信号 2 本、水平パネルドライバ信号 5 本、垂直と水平パネルドライバ信号の合成信号 1 本です。表 39.13 に生成可能なタイミング信号の一覧を示します。

表39.13　LCD TCON生成信号

信号名	分類	説　　明
STVA/VS	垂直	• ゲートスタート信号 パルス幅、パルス位置、パルス極性の制御が可能 • 垂直同期信号 同期信号幅、同期信号位置、同期信号極性の制御が可能
STVB/VE	垂直	• ゲートスタート信号 パルス幅、パルス位置、パルス極性の制御が可能 • 垂直イネーブル信号 同期信号幅、同期信号位置、同期信号極性の制御が可能
STH/SP/HS	水平	• ソーススタート信号 パルス幅、パルス位置、パルス極性の制御が可能 • 水平同期信号 同期信号幅、同期信号位置、同期信号極性の制御が可能
STB/LP/HE	水平	• ソースストローブ信号 パルス幅、パルス位置、パルス極性の制御が可能 • 水平イネーブル信号 イネーブル幅、イネーブル位置、イネーブル極性の制御が可能
CPV/GCK	水平	• ゲートクロック信号 パルス幅、パルス位置、パルス極性の制御が可能
POLA	水平	• VCOM電圧極性制御信号 極性反転位置、極性反転動作（1x1、1x2、2x2）の制御が可能
POLB	水平	• VCOM電圧極性制御信号 極性反転位置、極性反転動作（1x1、1x2、2x2）の制御が可能
DE	水平・垂直	• データイネーブル信号 イネーブル幅、イネーブル位置、イネーブル極性の制御が可能

(1) 水平基準オフセット制御

水平同期信号の立ち上がりを基準として TCON_OFFSET[10:0] 分のクロック遅延した基準信号を生成します。水平同期信号をまたいで信号生成する必要がある場合は、このオフセットした基準信号を基に信号を生成します。

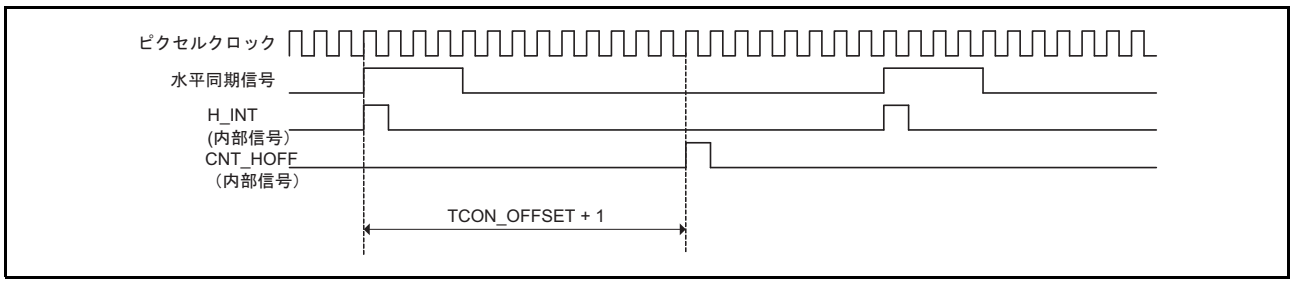


図 39.9　オフセット付き水平基準（H_OFF）信号生成

表39.14　水平基準信号選択表

レジスタ名	ビット名	初期値	説　　明
TCON_TIM	TCON_OFFSET[10:0]	0	オフセット付き水平同期信号のタイミング設定 水平同期信号の立ち上がりからのクロック数を設定
TCON_TIM_STH2	TCON_STH_HS_SEL	0	STH信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
TCON_TIM_STB2	TCON_STB_HS_SEL	0	STB信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
TCON_TIM_CPV2	TCON_CPV_HS_SEL	0	CPV信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
TCON_TIM_POLA2	TCON_POLA_HS_SEL	0	POLA信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
TCON_TIM_POLB2	TCON_POLB_HS_SEL	0	POLB信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準

注.　POLA, POLB信号をリバースモードで信号生成するときは、TCON_POLA_HS_SEL, TCON_POLB_HS_SELは0に設定してください。

(2) 水平パネルドライバ信号生成（A）

水平同期パネルドライバ信号生成は、第 1 の変化タイミングを設定する TCON_xxxx_HS[10:0]、第 2 の変化タイミングを設定する TCON_xxxx_HW[10:0] によって水平周期に 2 回変化するタイミング信号を生成します。

内部カウンタは以下の動作を行います。

1. 水平同期信号の立ち上がりを基準（カウンタリセット）
2. パネルクロックの立ち上がりを基準としてカウントアップ

なお、第 2 の変化タイミングを設定する TCON_xxxx_HW[10:0] を 0 に設定することで固定値 0 を出力することもできます。

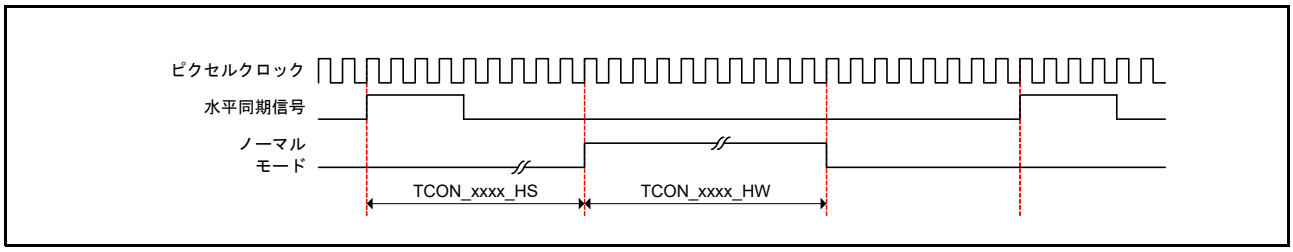


図 39.10　水平パネルドライバ信号（ノーマルモード）

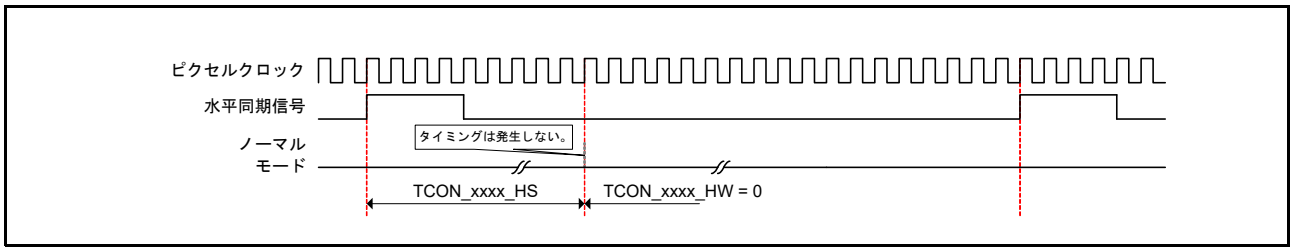


図 39.11　水平パネルドライバ信号（ノーマルモード、TCON_xxxx_HW = 0 時）

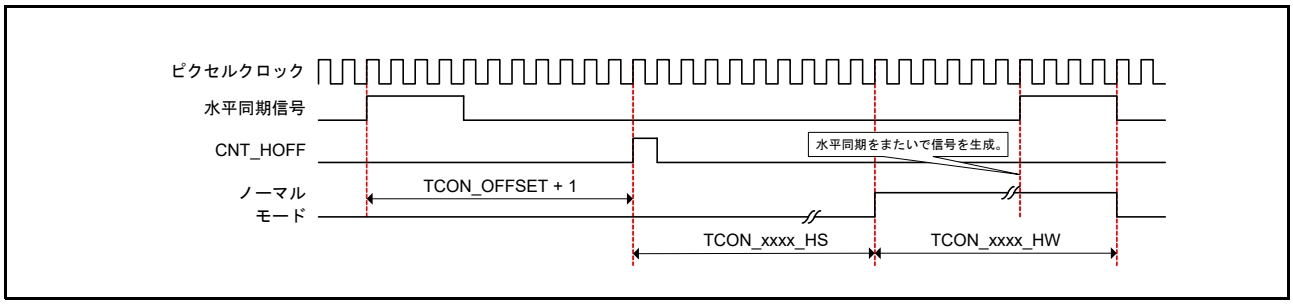


図 39.12　水平パネルドライバ信号（ノーマルモード、オフセット付き水平基準を使用時）

表39.15　水平パネルドライバ信号生成（A）設定

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_STH1	TCON_STH_HS[10:0]	0	STH信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_STH_HS後にパルスを出力開始（クロック周期）
TCON_TIM_STH1	TCON_STH_HW[10:0]	96	STH信号のパルス幅（第2の変化タイミング）を設定 TCON_STH_HW期間パルス出力（クロック周期）
TCON_TIM_STB1	TCON_STB_HS[10:0]	144	STB信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_STB_HS後にパルスを出力開始 （クロック周期）
TCON_TIM_STB1	TCON_STB_HW[10:0]	640	STB信号のパルス幅（第2の変化タイミング）を設定 TCON_STB_HW期間パルス出力（クロック周期）
TCON_TIM_CPV1	TCON_CPV_HS[10:0]	0	CPV信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_CPV_HS後にパルスを出力開始 （クロック周期）
TCON_TIM_CPV1	TCON_CPV_HW[10:0]	0	CPV信号のパルス幅（第2の変化タイミング）を設定 TCON_CPV_HW期間パルス出力（クロック周期）

(3) 水平パネルドライバ信号生成（B）

（2）のノーマルモード動作に加えて、垂直同期信号の立ち上がりを基準に動作を開始し、第 1 の変化タイミングを設定する TCON_xxxx_HS[10:0] のタイミングにて水平周期ごとに極性が反転する信号を生成できます。

リバースモード時には、垂直のライン数（偶数、奇数）にかかわらず常に垂直周期ごとに極性が反転された信号を生成します。極性の反転動作として、下記の 3 モードの選択が可能です。

表39.16　水平パネルドライバ信号生成モード表

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_POLA2	TCON_POLA_MD[1:0]	1	POLA信号の生成モード選択 0：ノーマルモード 水平周期に2回変化する信号を生成します。 1：1x1リバースモード 1水平周期ごとに極性が反転する信号を生成します。 2：1x2リバースモード 開始1水平期間で極性が反転し、その後、2水平周期ごとに極性が反転する信号を生成します。 3：2x2リバースモード 2水平周期ごとに極性が反転する信号を生成します。
TCON_TIM_POLB2	TCON_POLB_MD[1:0]	1	POLB信号の生成モード選択 0：ノーマルモード 水平周期に2回変化する信号を生成します。 1：1x1リバースモード 1水平周期ごとに極性が反転する信号を生成します。 2：1x2リバースモード 開始1水平期間で極性が反転し、その後、2水平周期ごとに極性が反転する信号を生成します。 3：2x2リバースモード 2水平周期ごとに極性が反転する信号を生成します。

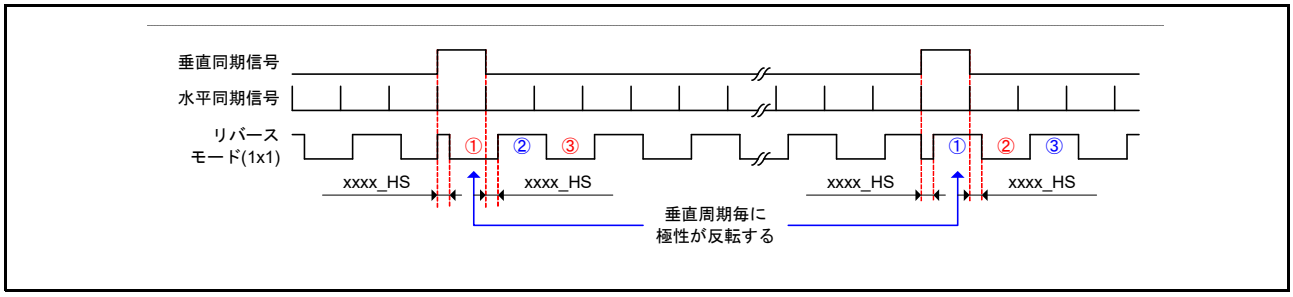


図 39.13　水平パネルドライバ信号（リバースモード、1x1 時）

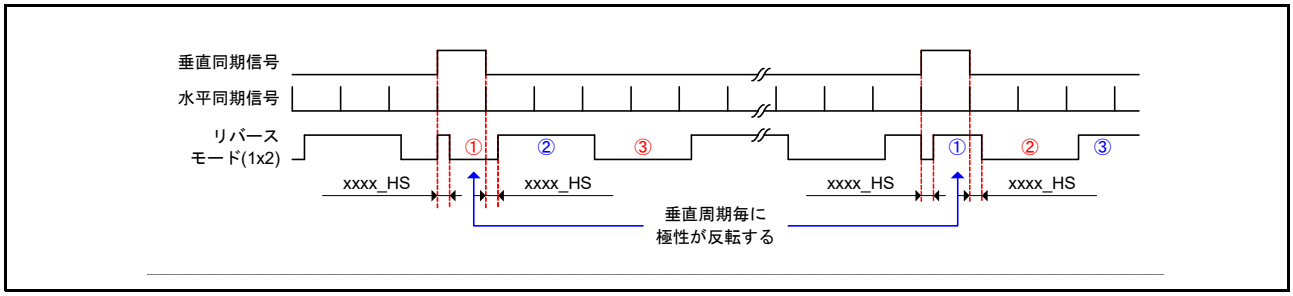


図 39.14　水平パネルドライバ信号（リバースモード、1x2 時）

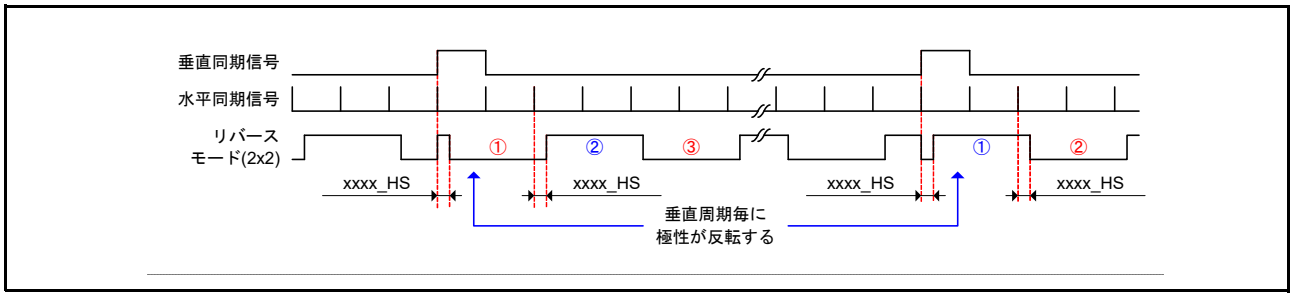


図 39.15　水平パネルドライバ信号（リバースモード、2x2 時）

表 39.17　水平パネルドライバ信号生成（B）設定

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_POLA1	TCON_POLA_HS[10:0]	0	POLA信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_POLA_HS後にパルスを出力開始（クロック周期） 注.　1x1、1x2、2x2リバースモード設定時、必ず1以上を設定してください。
TCON_TIM_POLA1	TCON_POLA_HW[10:0]	0	POLA信号のパルス幅（第2の変化タイミング）を設定 TCON_POLA_HW期間パルス出力（クロック周期）
TCON_TIM_POLB1	TCON_POLB_HS[10:0]	0	POLB信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_POLB_HS後にパルスを出力開始（クロック周期） 注.　1x1、1x2、2x2リバースモード設定時、必ず1以上を設定してください。
TCON_TIM_POLB1	TCON_POLB_HW[10:0]	0	POLB信号のパルス幅（第2の変化タイミング）を設定 TCON_POLB_HW期間パルス出力（クロック周期）

(4) 垂直パネルドライバ信号生成

垂直同期パネルドライバ信号生成は、以下の動作を行います。

1. 垂直同期信号の立ち上がりにて初期化
2. 内部カウンタと第 1 の変化タイミングを設定する TCON_xxxx_VS[10:0]、第 2 の変化タイミングを設定する TCON_xxxx_VW[10:0] によって垂直周期に 2 回変化するタイミング信号を生成します。

内部カウンタは以下の 2 つの場合でカウントアップします。

1. 内部カウンタは水平同期信号の立ち上がり基準
2. 水平同期信号の立ち上がりを基準に TCON_HALF[10:0] の設定によりクロック遅延した基準（通常 1/2fH を設定）

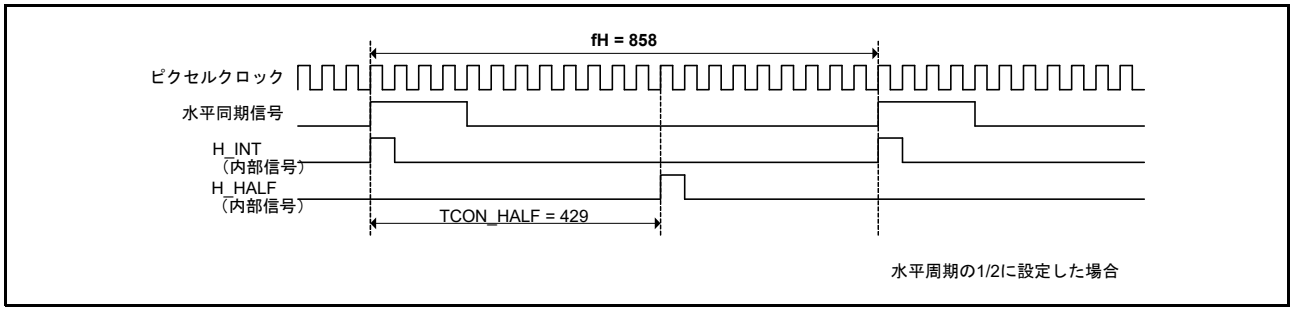


図 39.16　1/2 パルス（H_HALF）信号生成

表 39.18　1/2 パルス（H_HALF）信号生成設定

レジスタ名	ビット名	初期値	説　　明
TCON_TIM	TCON_HALF[10:0]	400	1/2fH タイミング設定 垂直カウンタのカウント動作タイミングを水平同期信号の立ち上がりからのクロック数を指定

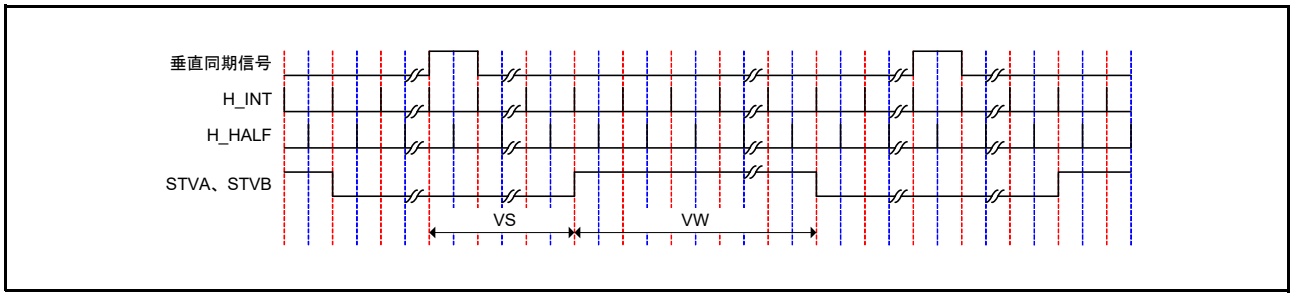


図 39.17　垂直パネルドライバ信号（H_INT 基準動作）

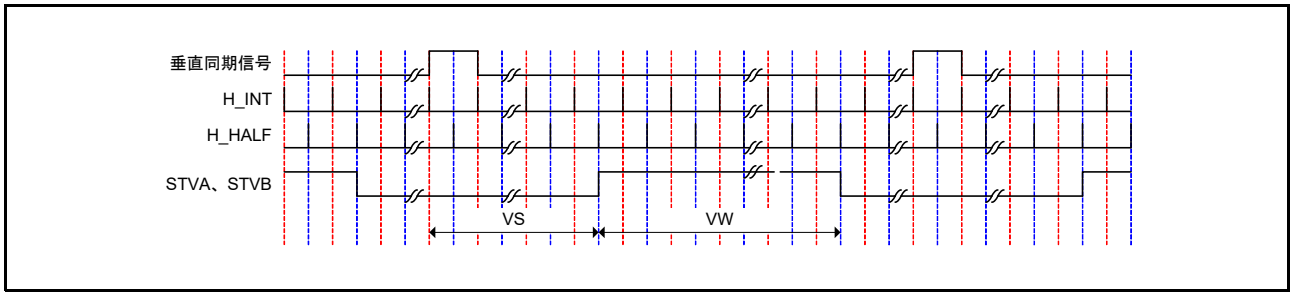


図 39.18　垂直パネルドライバ信号（H_HALF 基準動作）

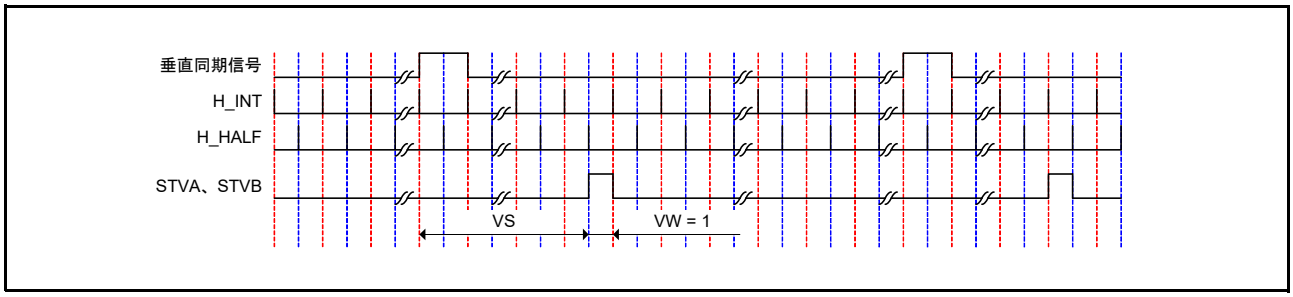


図 39.19　垂直パネルドライバ信号（H_INT、H_HALF 基準動作）

表39.19　垂直パネルドライバ信号生成

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_STVA1	TCON_STVA_VS[10:0]	0	STVA信号のパルス開始位置（第1の変化タイミング）を設定 垂直同期信号の立ち上がりからTCON_STVA_VS後にパルスを出力開始（1/2fH周期）
TCON_TIM_STVA1	TCON_STVA_VW[10:0]	4	STVA信号のパルス幅（第2の変化タイミング）を設定 TCON_STVA_VW期間パルス出力（1/2fH周期）
TCON_TIM_STVB1	TCON_STVB_VS[10:0]	70	STVB信号のパルス開始位置（第1の変化タイミング）を設定 垂直同期信号の立ち上がりからTCON_STVB_VS後にパルスを出力開始（1/2fH周期）
TCON_TIM_STVB1	TCON_STVB_VW[10:0]	960	STVB信号のパルス幅（第2の変化タイミング）を設定 TCON_STVB_VW期間パルス出力（1/2fH周期）

(5) DE タイミング信号生成

水平パネルドライバ（HE）信号と垂直パネルドライバ（VE）信号を合成（論理積）して映像信号の有効期間を示すデータイネーブル（DE）信号を生成します。

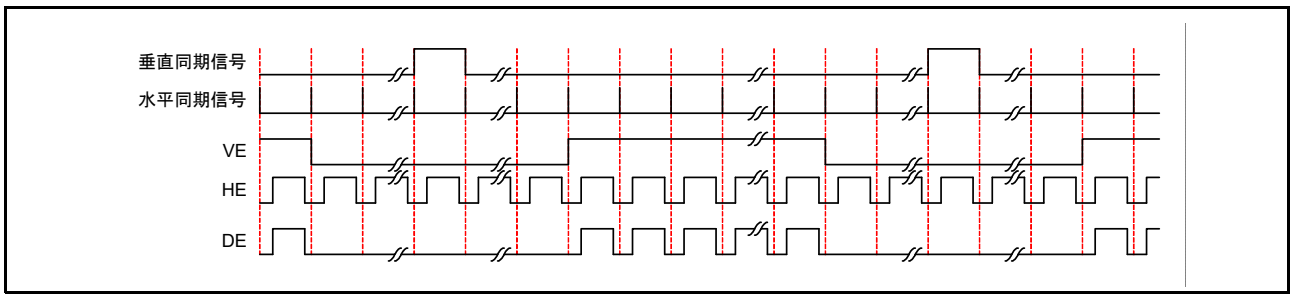


図 39.20　データイネーブル信号生成

(6) 極性反転

信号生成回路にて生成された各々の信号に対して信号の極性を反転することができます。

表39.20　パネルドライバ信号極性反転制御

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_STVA2	TCON_STVA_INV	1	STVA信号の極性反転制御 0：非反転 1：反転
TCON_TIM_STVB2	TCON_STVB_INV	0	STVB信号の極性反転制御 0：非反転 1：反転
TCON_TIM_STH2	TCON_STH_INV	1	STH信号の極性反転制御 0：非反転 1：反転
TCON_TIM_STB2	TCON_STB_INV	0	STB信号の極性反転制御 0：非反転 1：反転
TCON_TIM_CPV2	TCON_CPV_INV	0	CPV信号の極性反転制御 0：非反転 1：反転
TCON_TIM_POLA2	TCON_POLA_INV	0	POLA信号の極性反転制御 0：非反転 1：反転
TCON_TIM_POLB2	TCON_POLB_INV	0	POLB信号の極性反転制御 0：非反転 1：反転
TCON_TIM_DE	TCON_DE_INV	0	DE信号の極性反転制御 0：非反転 1：反転

(7) 出力選択

極性反転制御された各々の信号に対して出力ピンへの割当を選択します。

表39.21　パネルドライバ信号出力選択

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_STVA2	TCON_STVA_SEL[2:0]	0	LCD_TCON0端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_STVB2	TCON_STVB_SEL[2:0]	1	LCD_TCON1端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_STH2	TCON_STH_SEL[2:0]	2	LCD_TCON2端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_STB2	TCON_STB_SEL[2:0]x	7	LCD_TCON3端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_CPV2	TCON_CPV_SEL[2:0]	4	LCD_TCON4端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_POLA2	TCON_POLA_SEL[2:0]	5	LCD_TCON5端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_POLB2	TCON_POLB_SEL[2:0]	6	LCD_TCON6端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

(8) 出力位相選択

映像出力信号、および、各種タイミング出力信号は、LCD_CLK（パネルクロック）基準で出力位相を個別に選択できます。

表39.22　パネル出力信号の位相選択

レジスタ名	ビット名	初期値	説　　明
OUT_CLK_PHASE	OUTCNT_LCD_EDGE	0	LCD_DATA23～0端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STVA_EDGE	0	LCD_TCON0端子信号の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STVB_EDGE	0	LCD_TCON1端子信号の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STH_EDGE	0	LCD_TCON2端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STB_EDGE	0	LCD_TCON3端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_CPV_EDGE	0	LCD_TCON4端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_POLA_EDGE	0	LCD_TCON5端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_POLB_EDGE	0	LCD_TCON6端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力

39.2 レジスタの説明

表 39.23 ～表 39.25 にレジスタ構成を示します。

【レジスタ説明の記号説明】
初期値：リセット後のレジスタ値
－：不定値
R/W：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R：リードのみ可。書き込む値は常に 0 にしてください。
－ /W：ライトのみ可。読み出し値は不定です。

表39.23　ガンマ補正部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
ガンマ補正部レジスタ更新制御レジスタG	GAM_G_UPDATE	R/WC1	H'0000 0000	H'FCFF 7800	32
ガンマ補正部機能スイッチレジスタ	GAM_SW	R/W	H'0000 0000	H'FCFF 7804	32
ガンマ補正部テーブル設定レジスタG1	GAM_G_LUT1	R/W	H'0400 0400	H'FCFF 7808	32
ガンマ補正部テーブル設定レジスタG2	GAM_G_LUT2	R/W	H'0400 0400	H'FCFF 780C	32
ガンマ補正部テーブル設定レジスタG3	GAM_G_LUT3	R/W	H'0400 0400	H'FCFF 7810	32
ガンマ補正部テーブル設定レジスタG4	GAM_G_LUT4	R/W	H'0400 0400	H'FCFF 7814	32
ガンマ補正部テーブル設定レジスタG5	GAM_G_LUT5	R/W	H'0400 0400	H'FCFF 7818	32
ガンマ補正部テーブル設定レジスタG6	GAM_G_LUT6	R/W	H'0400 0400	H'FCFF 781C	32
ガンマ補正部テーブル設定レジスタG7	GAM_G_LUT7	R/W	H'0400 0400	H'FCFF 7820	32
ガンマ補正部テーブル設定レジスタG8	GAM_G_LUT8	R/W	H'0400 0400	H'FCFF 7824	32
ガンマ補正部テーブル設定レジスタG9	GAM_G_LUT9	R/W	H'0400 0400	H'FCFF 7828	32
ガンマ補正部テーブル設定レジスタG10	GAM_G_LUT10	R/W	H'0400 0400	H'FCFF 782C	32
ガンマ補正部テーブル設定レジスタG11	GAM_G_LUT11	R/W	H'0400 0400	H'FCFF 7830	32
ガンマ補正部テーブル設定レジスタG12	GAM_G_LUT12	R/W	H'0400 0400	H'FCFF 7834	32
ガンマ補正部テーブル設定レジスタG13	GAM_G_LUT13	R/W	H'0400 0400	H'FCFF 7838	32
ガンマ補正部テーブル設定レジスタG14	GAM_G_LUT14	R/W	H'0400 0400	H'FCFF 783C	32
ガンマ補正部テーブル設定レジスタG15	GAM_G_LUT15	R/W	H'0400 0400	H'FCFF 7840	32
ガンマ補正部テーブル設定レジスタG16	GAM_G_LUT16	R/W	H'0400 0400	H'FCFF 7844	32
ガンマ補正部領域設定レジスタG1	GAM_G_AREA1	R/W	H'0008 1018	H'FCFF 7848	32
ガンマ補正部領域設定レジスタG2	GAM_G_AREA2	R/W	H'2028 3038	H'FCFF 784C	32
ガンマ補正部領域設定レジスタG3	GAM_G_AREA3	R/W	H'4048 5058	H'FCFF 7850	32
ガンマ補正部領域設定レジスタG4	GAM_G_AREA4	R/W	H'6068 7078	H'FCFF 7854	32
ガンマ補正部領域設定レジスタG5	GAM_G_AREA5	R/W	H'8088 9098	H'FCFF 7858	32
ガンマ補正部領域設定レジスタG6	GAM_G_AREA6	R/W	H'A0A8 B0B8	H'FCFF 785C	32
ガンマ補正部領域設定レジスタG7	GAM_G_AREA7	R/W	H'C0C8 D0D8	H'FCFF 7860	32
ガンマ補正部領域設定レジスタG8	GAM_G_AREA8	R/W	H'E0E8 F0F8	H'FCFF 7864	32
ガンマ補正部レジスタ更新制御レジスタB	GAM_B_UPDATE	R/WC1	H'0000 0000	H'FCFF 7880	32
ガンマ補正部テーブル設定レジスタB1	GAM_B_LUT1	R/W	H'0400 0400	H'FCFF 7888	32
ガンマ補正部テーブル設定レジスタB2	GAM_B_LUT2	R/W	H'0400 0400	H'FCFF 788C	32
ガンマ補正部テーブル設定レジスタB3	GAM_B_LUT3	R/W	H'0400 0400	H'FCFF 7890	32
ガンマ補正部テーブル設定レジスタB4	GAM_B_LUT4	R/W	H'0400 0400	H'FCFF 7894	32
ガンマ補正部テーブル設定レジスタB5	GAM_B_LUT5	R/W	H'0400 0400	H'FCFF 7898	32

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
ガンマ補正部テーブル設定レジスタB6	GAM_B_LUT6	R/W	H'0400 0400	H'FCFF 789C	32
ガンマ補正部テーブル設定レジスタB7	GAM_B_LUT7	R/W	H'0400 0400	H'FCFF 78A0	32
ガンマ補正部テーブル設定レジスタB8	GAM_B_LUT8	R/W	H'0400 0400	H'FCFF 78A4	32
ガンマ補正部テーブル設定レジスタB9	GAM_B_LUT9	R/W	H'0400 0400	H'FCFF 78A8	32
ガンマ補正部テーブル設定レジスタB10	GAM_B_LUT10	R/W	H'0400 0400	H'FCFF 78AC	32
ガンマ補正部テーブル設定レジスタB11	GAM_B_LUT11	R/W	H'0400 0400	H'FCFF 78B0	32
ガンマ補正部テーブル設定レジスタB12	GAM_B_LUT12	R/W	H'0400 0400	H'FCFF 78B4	32
ガンマ補正部テーブル設定レジスタB13	GAM_B_LUT13	R/W	H'0400 0400	H'FCFF 78B8	32
ガンマ補正部テーブル設定レジスタB14	GAM_B_LUT14	R/W	H'0400 0400	H'FCFF 78BC	32
ガンマ補正部テーブル設定レジスタB15	GAM_B_LUT15	R/W	H'0400 0400	H'FCFF 78C0	32
ガンマ補正部テーブル設定レジスタB16	GAM_B_LUT16	R/W	H'0400 0400	H'FCFF 78C4	32
ガンマ補正部領域設定レジスタB1	GAM_B_AREA1	R/W	H'0008 1018	H'FCFF 78C8	32
ガンマ補正部領域設定レジスタB2	GAM_B_AREA2	R/W	H'2028 3038	H'FCFF 78CC	32
ガンマ補正部領域設定レジスタB3	GAM_B_AREA3	R/W	H'4048 5058	H'FCFF 78D0	32
ガンマ補正部領域設定レジスタB4	GAM_B_AREA4	R/W	H'6068 7078	H'FCFF 78D4	32
ガンマ補正部領域設定レジスタB5	GAM_B_AREA5	R/W	H'8088 9098	H'FCFF 78D8	32
ガンマ補正部領域設定レジスタB6	GAM_B_AREA6	R/W	H'A0A8 B0B8	H'FCFF 78DC	32
ガンマ補正部領域設定レジスタB7	GAM_B_AREA7	R/W	H'C0C8 D0D8	H'FCFF 78E0	32
ガンマ補正部領域設定レジスタB8	GAM_B_AREA8	R/W	H'E0E8 F0F8	H'FCFF 78E4	32
ガンマ補正部レジスタ更新制御レジスタR	GAM_R_UPDATE	R/WC1	H'0000 0000	H'FCFF 7900	32
ガンマ補正部テーブル設定レジスタR1	GAM_R_LUT1	R/W	H'0400 0400	H'FCFF 7908	32
ガンマ補正部テーブル設定レジスタR2	GAM_R_LUT2	R/W	H'0400 0400	H'FCFF 790C	32
ガンマ補正部テーブル設定レジスタR3	GAM_R_LUT3	R/W	H'0400 0400	H'FCFF 7910	32
ガンマ補正部テーブル設定レジスタR4	GAM_R_LUT4	R/W	H'0400 0400	H'FCFF 7914	32
ガンマ補正部テーブル設定レジスタR5	GAM_R_LUT5	R/W	H'0400 0400	H'FCFF 7918	32
ガンマ補正部テーブル設定レジスタR6	GAM_R_LUT6	R/W	H'0400 0400	H'FCFF 791C	32
ガンマ補正部テーブル設定レジスタR7	GAM_R_LUT7	R/W	H'0400 0400	H'FCFF 7920	32
ガンマ補正部テーブル設定レジスタR8	GAM_R_LUT8	R/W	H'0400 0400	H'FCFF 7924	32
ガンマ補正部テーブル設定レジスタR9	GAM_R_LUT9	R/W	H'0400 0400	H'FCFF 7928	32
ガンマ補正部テーブル設定レジスタR10	GAM_R_LUT10	R/W	H'0400 0400	H'FCFF 792C	32
ガンマ補正部テーブル設定レジスタR11	GAM_R_LUT11	R/W	H'0400 0400	H'FCFF 7930	32
ガンマ補正部テーブル設定レジスタR12	GAM_R_LUT12	R/W	H'0400 0400	H'FCFF 7934	32
ガンマ補正部テーブル設定レジスタR13	GAM_R_LUT13	R/W	H'0400 0400	H'FCFF 7938	32
ガンマ補正部テーブル設定レジスタR14	GAM_R_LUT14	R/W	H'0400 0400	H'FCFF 793C	32
ガンマ補正部テーブル設定レジスタR15	GAM_R_LUT15	R/W	H'0400 0400	H'FCFF 7940	32
ガンマ補正部テーブル設定レジスタR16	GAM_R_LUT16	R/W	H'0400 0400	H'FCFF 7944	32
ガンマ補正部領域設定レジスタR1	GAM_R_AREA1	R/W	H'0008 1018	H'FCFF 7948	32
ガンマ補正部領域設定レジスタR2	GAM_R_AREA2	R/W	H'2028 3038	H'FCFF 794C	32
ガンマ補正部領域設定レジスタR3	GAM_R_AREA3	R/W	H'4048 5058	H'FCFF 7950	32
ガンマ補正部領域設定レジスタR4	GAM_R_AREA4	R/W	H'6068 7078	H'FCFF 7954	32
ガンマ補正部領域設定レジスタR5	GAM_R_AREA5	R/W	H'8088 9098	H'FCFF 7958	32
ガンマ補正部領域設定レジスタR6	GAM_R_AREA6	R/W	H'A0A8 B0B8	H'FCFF 795C	32
ガンマ補正部領域設定レジスタR7	GAM_R_AREA7	R/W	H'C0C8 D0D8	H'FCFF 7960	32
ガンマ補正部領域設定レジスタR8	GAM_R_AREA8	R/W	H'E0E8 F0F8	H'FCFF 7964	32

表39.24　TCON部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
TCONレジスタ更新制御レジスタ	TCON_UPDATE	R/WC1	H'0000 0000	H'FCFF 7980	32
TCON基準タイミング設定レジスタ	TCON_TIM	R/W	H'0190 0000	H'FCFF 7984	32
TCON垂直タイミング設定レジスタA1	TCON_TIM_STVA1	R/W	H'0000 0004	H'FCFF 7988	32
TCON垂直タイミング設定レジスタA2	TCON_TIM_STVA2	R/W	H'0000 0010	H'FCFF 798C	32
TCON垂直タイミング設定レジスタB1	TCON_TIM_STVB1	R/W	H'0046 03C0	H'FCFF 7990	32
TCON垂直タイミング設定レジスタB2	TCON_TIM_STVB2	R/W	H'0000 0001	H'FCFF 7994	32
TCON水平タイミング設定レジスタSTH1	TCON_TIM_STH1	R/W	H'0000 0060	H'FCFF 7998	32
TCON水平タイミング設定レジスタSTH2	TCON_TIM_STH2	R/W	H'0000 0012	H'FCFF 799C	32
TCON水平タイミング設定レジスタSTB1	TCON_TIM_STB1	R/W	H'0090 0280	H'FCFF 79A0	32
TCON水平タイミング設定レジスタSTB2	TCON_TIM_STB2	R/W	H'0000 0007	H'FCFF 79A4	32
TCON水平タイミング設定レジスタCPV1	TCON_TIM_CPV1	R/W	H'0000 0000	H'FCFF 79A8	32
TCON水平タイミング設定レジスタCPV2	TCON_TIM_CPV2	R/W	H'0000 0004	H'FCFF 79AC	32
TCON水平タイミング設定レジスタPOLA1	TCON_TIM_POLA1	R/W	H'0000 0000	H'FCFF 79B0	32
TCON水平タイミング設定レジスタPOLA2	TCON_TIM_POLA2	R/W	H'0000 1005	H'FCFF 79B4	32
TCON水平タイミング設定レジスタPOLB1	TCON_TIM_POLB1	R/W	H'0000 0000	H'FCFF 79B8	32
TCON水平タイミング設定レジスタPOLB2	TCON_TIM_POLB2	R/W	H'0000 1006	H'FCFF 79BC	32
TCONデータイネーブル極性設定レジスタ	TCON_TIM_DE	R/W	H'0000 0000	H'FCFF 79C0	32

表39.25　出力制御部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
出力制御部レジスタ更新制御レジスタ	OUT_UPDATE	R/WC1	H'0000 0000	H'FCFF 7A00	32
出力インタフェース用レジスタ	OUT_SET	R/W	H'001F 0000	H'FCFF 7A04	32
ブライト（DC）補正用レジスタ1	OUT_BRIGHT1	R/W	H'0000 0200	H'FCFF 7A08	32
ブライト（DC）補正用レジスタ2	OUT_BRIGHT2	R/W	H'0200 0200	H'FCFF 7A0C	32
コントラスト（ゲイン）補正用レジスタ	OUT_CONTRAST	R/W	H'0080 8080	H'FCFF 7A10	32
パネルディザレジスタ	OUT_PDTHA	R/W	H'0000 3021	H'FCFF 7A14	32
出力位相制御レジスタ	OUT_CLK_PHASE	R/W	H'0000 0000	H'FCFF 7A24	32

39.2.1　ガンマ補正部レジスタ更新制御レジスタ G（GAM_G_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAM_G_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_G_VEN	0	R/WC1	ガンマ補正（G）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

39.2.2　ガンマ補正部機能スイッチレジスタ（GAM_SW）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAM_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_ON	0	R/W	ガンマ補正オン／オフ制御 0：オフ 1：オン

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G（GAM_G_UPDATE）の GAM_G_VEN = 1 で更新されます。

39.2.3 ガンマ補正部テーブル設定レジスタ G1 ～ 16（GAM_G_LUT1 ～ 16）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GAM_G_GAIN_xx[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAM_G_GAIN_yy[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	*	1024	R/W	GAM_G_LUT1：G信号の領域0のゲイン調整 GAM_G_LUT2：G信号の領域2のゲイン調整 GAM_G_LUT3：G信号の領域4のゲイン調整 GAM_G_LUT4：G信号の領域6のゲイン調整 GAM_G_LUT5：G信号の領域8のゲイン調整 GAM_G_LUT6：G信号の領域10のゲイン調整 GAM_G_LUT7：G信号の領域12のゲイン調整 GAM_G_LUT8：G信号の領域14のゲイン調整 GAM_G_LUT9：G信号の領域16のゲイン調整 GAM_G_LUT10：G信号の領域18のゲイン調整 GAM_G_LUT11：G信号の領域20のゲイン調整 GAM_G_LUT12：G信号の領域22のゲイン調整 GAM_G_LUT13：G信号の領域24のゲイン調整 GAM_G_LUT14：G信号の領域26のゲイン調整 GAM_G_LUT15：G信号の領域28のゲイン調整 GAM_G_LUT16：G信号の領域30のゲイン調整 符号無し（0～2047[LSB]、1024[LSB] = 1.0[倍]） *：ビット名 GAM_G_LUT1：GAM_G_GAIN_00[10:0] GAM_G_LUT2：GAM_G_GAIN_02[10:0] GAM_G_LUT3：GAM_G_GAIN_04[10:0] GAM_G_LUT4：GAM_G_GAIN_06[10:0] GAM_G_LUT5：GAM_G_GAIN_08[10:0] GAM_G_LUT6：GAM_G_GAIN_10[10:0] GAM_G_LUT7：GAM_G_GAIN_12[10:0] GAM_G_LUT8：GAM_G_GAIN_14[10:0] GAM_G_LUT9：GAM_G_GAIN_16[10:0] GAM_G_LUT10：GAM_G_GAIN_18[10:0] GAM_G_LUT11：GAM_G_GAIN_20[10:0] GAM_G_LUT12：GAM_G_GAIN_22[10:0] GAM_G_LUT13：GAM_G_GAIN_24[10:0] GAM_G_LUT14：GAM_G_GAIN_26[10:0] GAM_G_LUT15：GAM_G_GAIN_28[10:0] GAM_G_LUT16：GAM_G_GAIN_30[10:0]
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
10 ～ 0	*	1024	R/W	GAM_G_LUT1：G信号の領域1のゲイン調整 GAM_G_LUT2：G信号の領域3のゲイン調整 GAM_G_LUT3：G信号の領域5のゲイン調整 GAM_G_LUT4：G信号の領域7のゲイン調整 GAM_G_LUT5：G信号の領域9のゲイン調整 GAM_G_LUT6：G信号の領域11のゲイン調整 GAM_G_LUT7：G信号の領域13のゲイン調整 GAM_G_LUT8：G信号の領域15のゲイン調整 GAM_G_LUT9：G信号の領域17のゲイン調整 GAM_G_LUT10：G信号の領域19のゲイン調整 GAM_G_LUT11：G信号の領域21のゲイン調整 GAM_G_LUT12：G信号の領域23のゲイン調整 GAM_G_LUT13：G信号の領域25のゲイン調整 GAM_G_LUT14：G信号の領域27のゲイン調整 GAM_G_LUT15：G信号の領域29のゲイン調整 GAM_G_LUT16：G信号の領域31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB] = 1.0[倍]） *：ビット名 GAM_G_LUT1：GAM_G_GAIN_01[10:0] GAM_G_LUT2：GAM_G_GAIN_03[10:0] GAM_G_LUT3：GAM_G_GAIN_05[10:0] GAM_G_LUT4：GAM_G_GAIN_07[10:0] GAM_G_LUT5：GAM_G_GAIN_09[10:0] GAM_G_LUT6：GAM_G_GAIN_11[10:0] GAM_G_LUT7：GAM_G_GAIN_13[10:0] GAM_G_LUT8：GAM_G_GAIN_15[10:0] GAM_G_LUT9：GAM_G_GAIN_17[10:0] GAM_G_LUT10：GAM_G_GAIN_19[10:0] GAM_G_LUT11：GAM_G_GAIN_21[10:0] GAM_G_LUT12：GAM_G_GAIN_23[10:0] GAM_G_LUT13：GAM_G_GAIN_25[10:0] GAM_G_LUT14：GAM_G_GAIN_27[10:0] GAM_G_LUT15：GAM_G_GAIN_29[10:0] GAM_G_LUT16：GAM_G_GAIN_31[10:0]

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN = 1で更新されます。

39.2.4　ガンマ補正部領域設定レジスタ G1（GAM_G_AREA1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GAM_G_TH_01[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_02[7:0]								GAM_G_TH_03[7:0]							
初期値：	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GAM_G_TH_01 [7:0]	8	R/W	G信号の領域1の開始閾値 符号無し（0～255[LSB]） 0＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_02 [7:0]	16	R/W	G信号の領域2の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_03 [7:0]	24	R/W	G信号の領域3の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN = 1で更新されます。

39.2.5　ガンマ補正部領域設定レジスタ G2（GAM_G_AREA2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_04[7:0]								GAM_G_TH_05[7:0]							
初期値：	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_06[7:0]								GAM_G_TH_07[7:0]							
初期値：	0	0	1	1	0	0	0	0	0	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_04 [7:0]	32	R/W	G信号の領域4の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_05 [7:0]	40	R/W	G信号の領域5の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_06 [7:0]	48	R/W	G信号の領域6の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_07 [7:0]	56	R/W	G信号の領域7の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN = 1で更新されます。

39.2.6　ガンマ補正部領域設定レジスタ G3（GAM_G_AREA3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_08[7:0]								GAM_G_TH_09[7:0]							
初期値：	0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_10[7:0]								GAM_G_TH_11[7:0]							
初期値：	0	1	0	1	0	0	0	0	0	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_08 [7:0]	64	R/W	G信号の領域8の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_09 [7:0]	72	R/W	G信号の領域9の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_10 [7:0]	80	R/W	G信号の領域10の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_11 [7:0]	88	R/W	G信号の領域11の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN = 1で更新されます。

39.2.7　ガンマ補正部領域設定レジスタ G4（GAM_G_AREA4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_12[7:0]								GAM_G_TH_13[7:0]							
初期値：	0	1	1	0	0	0	0	0	0	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_14[7:0]								GAM_G_TH_15[7:0]							
初期値：	0	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_12 [7:0]	96	R/W	G信号の領域12の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_13 [7:0]	104	R/W	G信号の領域13の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_14 [7:0]	112	R/W	G信号の領域14の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_15 [7:0]	120	R/W	G信号の領域15の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN = 1で更新されます。

39.2.8　ガンマ補正部領域設定レジスタ G5（GAM_G_AREA5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_16[7:0]								GAM_G_TH_17[7:0]							
初期値：	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_18[7:0]								GAM_G_TH_19[7:0]							
初期値：	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_16 [7:0]	128	R/W	G信号の領域16の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_17 [7:0]	136	R/W	G信号の領域17の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_18 [7:0]	144	R/W	G信号の領域18の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_19 [7:0]	152	R/W	G信号の領域19の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN = 1で更新されます。

39.2.9　ガンマ補正部領域設定レジスタ G6（GAM_G_AREA6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_20[7:0]								GAM_G_TH_21[7:0]							
初期値：	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_22[7:0]								GAM_G_TH_23[7:0]							
初期値：	1	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_20 [7:0]	160	R/W	G信号の領域20の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_21 [7:0]	168	R/W	G信号の領域21の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_22 [7:0]	176	R/W	G信号の領域22の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_23 [7:0]	184	R/W	G信号の領域23の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN = 1で更新されます。

39.2.10　ガンマ補正部領域設定レジスタ G7（GAM_G_AREA7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_24[7:0]								GAM_G_TH_25[7:0]							
初期値：	1	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_26[7:0]								GAM_G_TH_27[7:0]							
初期値：	1	1	0	1	0	0	0	0	1	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_24 [7:0]	192	R/W	G信号の領域24の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_25 [7:0]	200	R/W	G信号の領域25の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_26 [7:0]	208	R/W	G信号の領域26の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_27 [7:0]	216	R/W	G信号の領域27の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN = 1で更新されます。

39.2.11　ガンマ補正部領域設定レジスタ G8（GAM_G_AREA8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_28[7:0]								GAM_G_TH_29[7:0]							
初期値：	1	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_30[7:0]								GAM_G_TH_31[7:0]							
初期値：	1	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_28 [7:0]	224	R/W	G信号の領域28の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_29 [7:0]	232	R/W	G信号の領域29の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_30 [7:0]	240	R/W	G信号の領域30の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_31 [7:0]	248	R/W	G信号の領域31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値≦255

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN = 1で更新されます。

39.2.12 ガンマ補正部レジスタ更新制御レジスタ B（GAM_B_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAM_B_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_B_VEN	0	R/WC1	ガンマ補正（B）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

39.2.13　ガンマ補正部テーブル設定レジスタ B1 ～ 16（GAM_B_LUT1 ～ 16）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GAM_B_GAIN_xx[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAM_B_GAIN_yy[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	*	1024	R/W	GAM_B_LUT1：B信号の領域0のゲイン調整 GAM_B_LUT2：B信号の領域2のゲイン調整 GAM_B_LUT3：B信号の領域4のゲイン調整 GAM_B_LUT4：B信号の領域6のゲイン調整 GAM_B_LUT5：B信号の領域8のゲイン調整 GAM_B_LUT6：B信号の領域10のゲイン調整 GAM_B_LUT7：B信号の領域12のゲイン調整 GAM_B_LUT8：B信号の領域14のゲイン調整 GAM_B_LUT9：B信号の領域16のゲイン調整 GAM_B_LUT10：B信号の領域18のゲイン調整 GAM_B_LUT11：B信号の領域20のゲイン調整 GAM_B_LUT12：B信号の領域22のゲイン調整 GAM_B_LUT13：B信号の領域24のゲイン調整 GAM_B_LUT14：B信号の領域26のゲイン調整 GAM_B_LUT15：B信号の領域28のゲイン調整 GAM_B_LUT16：B信号の領域30のゲイン調整 符号無し（0～2047[LSB]、1024[LSB] = 1.0[倍]） *：ビット名 GAM_B_LUT1：GAM_B_GAIN_00[10:0] GAM_B_LUT2：GAM_B_GAIN_02[10:0] GAM_B_LUT3：GAM_B_GAIN_04[10:0] GAM_B_LUT4：GAM_B_GAIN_06[10:0] GAM_B_LUT5：GAM_B_GAIN_08[10:0] GAM_B_LUT6：GAM_B_GAIN_10[10:0] GAM_B_LUT7：GAM_B_GAIN_12[10:0] GAM_B_LUT8：GAM_B_GAIN_14[10:0] GAM_B_LUT9：GAM_B_GAIN_16[10:0] GAM_B_LUT10：GAM_B_GAIN_18[10:0] GAM_B_LUT11：GAM_B_GAIN_20[10:0] GAM_B_LUT12：GAM_B_GAIN_22[10:0] GAM_B_LUT13：GAM_B_GAIN_24[10:0] GAM_B_LUT14：GAM_B_GAIN_26[10:0] GAM_B_LUT15：GAM_B_GAIN_28[10:0] GAM_B_LUT16：GAM_B_GAIN_30[10:0]
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
10 ～ 0	*	1024	R/W	GAM_B_LUT1：B信号の領域1のゲイン調整 GAM_B_LUT2：B信号の領域3のゲイン調整 GAM_B_LUT3：B信号の領域5のゲイン調整 GAM_B_LUT4：B信号の領域7のゲイン調整 GAM_B_LUT5：B信号の領域9のゲイン調整 GAM_B_LUT6：B信号の領域11のゲイン調整 GAM_B_LUT7：B信号の領域13のゲイン調整 GAM_B_LUT8：B信号の領域15のゲイン調整 GAM_B_LUT9：B信号の領域17のゲイン調整 GAM_B_LUT10：B信号の領域19のゲイン調整 GAM_B_LUT11：B信号の領域21のゲイン調整 GAM_B_LUT12：B信号の領域23のゲイン調整 GAM_B_LUT13：B信号の領域25のゲイン調整 GAM_B_LUT14：B信号の領域27のゲイン調整 GAM_B_LUT15：B信号の領域29のゲイン調整 GAM_B_LUT16：B信号の領域31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB] = 1.0[倍]） *：ビット名 GAM_B_LUT1：GAM_B_GAIN_01[10:0] GAM_B_LUT2：GAM_B_GAIN_03[10:0] GAM_B_LUT3：GAM_B_GAIN_05[10:0] GAM_B_LUT4：GAM_B_GAIN_07[10:0] GAM_B_LUT5：GAM_B_GAIN_09[10:0] GAM_B_LUT6：GAM_B_GAIN_11[10:0] GAM_B_LUT7：GAM_B_GAIN_13[10:0] GAM_B_LUT8：GAM_B_GAIN_15[10:0] GAM_B_LUT9：GAM_B_GAIN_17[10:0] GAM_B_LUT10：GAM_B_GAIN_19[10:0] GAM_B_LUT11：GAM_B_GAIN_21[10:0] GAM_B_LUT12：GAM_B_GAIN_23[10:0] GAM_B_LUT13：GAM_B_GAIN_25[10:0] GAM_B_LUT14：GAM_B_GAIN_27[10:0] GAM_B_LUT15：GAM_B_GAIN_29[10:0] GAM_B_LUT16：GAM_B_GAIN_31[10:0]

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN = 1で更新されます。

39.2.14　ガンマ補正部領域設定レジスタ B1（GAM_B_AREA1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GAM_B_TH_01[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_02[7:0]								GAM_B_TH_03[7:0]							
初期値：	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GAM_B_TH_01 [7:0]	8	R/W	B信号の領域1の開始閾値 符号無し（0～255[LSB]） 0＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_02 [7:0]	16	R/W	B信号の領域2の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_03 [7:0]	24	R/W	B信号の領域3の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN = 1で更新されます。

39.2.15　ガンマ補正部領域設定レジスタ B2（GAM_B_AREA2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_RES_HCUT[7:0]								SC0_RES_VCUT[7:0]							
初期値：	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_HCUT[7:0]								SC0_RES_VCUT[7:0]							
初期値：	0	0	1	1	0	0	0	0	0	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_04 [7:0]	32	R/W	B信号の領域4の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_05 [7:0]	40	R/W	B信号の領域5の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_06 [7:0]	48	R/W	B信号の領域6の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_07 [7:0]	56	R/W	B信号の領域7の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN = 1で更新されます。

39.2.16　ガンマ補正部領域設定レジスタ B3（GAM_B_AREA3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_08[7:0]								GAM_B_TH_09[7:0]							
初期値：	0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_10[7:0]								GAM_B_TH_11[7:0]							
初期値：	0	1	0	1	0	0	0	0	0	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_08 [7:0]	64	R/W	B信号の領域8の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_09 [7:0]	72	R/W	B信号の領域9の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_10 [7:0]	80	R/W	B信号の領域10の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_11 [7:0]	88	R/W	B信号の領域11の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN = 1で更新されます。

39.2.17　ガンマ補正部領域設定レジスタ B4（GAM_B_AREA4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_12[7:0]								GAM_B_TH_13[7:0]							
初期値：	0	1	1	0	0	0	0	0	0	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_14[7:0]								GAM_B_TH_15[7:0]							
初期値：	0	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_12 [7:0]	96	R/W	B信号の領域12の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_13 [7:0]	104	R/W	B信号の領域13の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_14 [7:0]	112	R/W	B信号の領域14の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_15 [7:0]	120	R/W	B信号の領域15の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN = 1で更新されます。

39.2.18　ガンマ補正部領域設定レジスタ B5（GAM_B_AREA5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_16[7:0]								GAM_B_TH_17[7:0]							
初期値：	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_18[7:0]								GAM_B_TH_19[7:0]							
初期値：	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_16 [7:0]	128	R/W	B信号の領域16の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_17 [7:0]	136	R/W	B信号の領域17の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_18 [7:0]	144	R/W	B信号の領域18の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_19 [7:0]	152	R/W	B信号の領域19の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN = 1で更新されます。

39.2.19　ガンマ補正部領域設定レジスタ B6（GAM_B_AREA6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_20[7:0]								GAM_B_TH_21[7:0]							
初期値：	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_22[7:0]								GAM_B_TH_23[7:0]							
初期値：	1	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_20 [7:0]	160	R/W	B信号の領域20の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_21 [7:0]	168	R/W	B信号の領域21の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_22 [7:0]	176	R/W	B信号の領域22の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_23 [7:0]	184	R/W	B信号の領域23の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN = 1で更新されます。

39.2.20　ガンマ補正部領域設定レジスタ B7（GAM_B_AREA7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_24[7:0]								GAM_B_TH_25[7:0]							
初期値：	1	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_26[7:0]								GAM_B_TH_27[7:0]							
初期値：	1	1	0	1	0	0	0	0	1	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_24 [7:0]	192	R/W	B信号の領域24の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_25 [7:0]	200	R/W	B信号の領域25の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_26 [7:0]	208	R/W	B信号の領域26の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_27 [7:0]	216	R/W	B信号の領域27の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN = 1で更新されます。

39.2.21　ガンマ補正部領域設定レジスタ B8（GAM_B_AREA8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_28[7:0]								GAM_B_TH_29[7:0]							
初期値：	1	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_30[7:0]								GAM_B_TH_31[7:0]							
初期値：	1	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_28 [7:0]	224	R/W	B信号の領域28の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_29 [7:0]	232	R/W	B信号の領域29の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_30 [7:0]	240	R/W	B信号の領域30の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_31 [7:0]	248	R/W	B信号の領域31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値≦255

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN = 1で更新されます。

39.2.22 ガンマ補正部レジスタ更新制御レジスタ R（GAM_R_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAM_R_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_R_VEN	0	R/WC1	ガンマ補正（R）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

39.2.23　ガンマ補正部テーブル設定レジスタ R1 ～ 16（GAM_R_LUT1 ～ 16）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GAM_R_GAIN_xx[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAM_R_GAIN_yy[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	*	1024	R/W	GAM_R_LUT1：R信号の領域0のゲイン調整 GAM_R_LUT2：R信号の領域2のゲイン調整 GAM_R_LUT3：R信号の領域4のゲイン調整 GAM_R_LUT4：R信号の領域6のゲイン調整 GAM_R_LUT5：R信号の領域8のゲイン調整 GAM_R_LUT6：R信号の領域10のゲイン調整 GAM_R_LUT7：R信号の領域12のゲイン調整 GAM_R_LUT8：R信号の領域14のゲイン調整 GAM_R_LUT9：R信号の領域16のゲイン調整 GAM_R_LUT10：R信号の領域18のゲイン調整 GAM_R_LUT11：R信号の領域20のゲイン調整 GAM_R_LUT12：R信号の領域22のゲイン調整 GAM_R_LUT13：R信号の領域24のゲイン調整 GAM_R_LUT14：R信号の領域26のゲイン調整 GAM_R_LUT15：R信号の領域28のゲイン調整 GAM_R_LUT16：R信号の領域30のゲイン調整 符号無し（0～2047[LSB]、1024[LSB] = 1.0[倍]） *：ビット名 GAM_R_LUT1：GAM_R_GAIN_00[10:0] GAM_R_LUT2：GAM_R_GAIN_02[10:0] GAM_R_LUT3：GAM_R_GAIN_04[10:0] GAM_R_LUT4：GAM_R_GAIN_06[10:0] GAM_R_LUT5：GAM_R_GAIN_08[10:0] GAM_R_LUT6：GAM_R_GAIN_10[10:0] GAM_R_LUT7：GAM_R_GAIN_12[10:0] GAM_R_LUT8：GAM_R_GAIN_14[10:0] GAM_R_LUT9：GAM_R_GAIN_16[10:0] GAM_R_LUT10：GAM_R_GAIN_18[10:0] GAM_R_LUT11：GAM_R_GAIN_20[10:0] GAM_R_LUT12：GAM_R_GAIN_22[10:0] GAM_R_LUT13：GAM_R_GAIN_24[10:0] GAM_R_LUT14：GAM_R_GAIN_26[10:0] GAM_R_LUT15：GAM_R_GAIN_28[10:0] GAM_R_LUT16：GAM_R_GAIN_30[10:0]
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
10 ～ 0	*	1024	R/W	GAM_R_LUT1：R信号の領域1のゲイン調整 GAM_R_LUT2：R信号の領域3のゲイン調整 GAM_R_LUT3：R信号の領域5のゲイン調整 GAM_R_LUT4：R信号の領域7のゲイン調整 GAM_R_LUT5：R信号の領域9のゲイン調整 GAM_R_LUT6：R信号の領域11のゲイン調整 GAM_R_LUT7：R信号の領域13のゲイン調整 GAM_R_LUT8：R信号の領域15のゲイン調整 GAM_R_LUT9：R信号の領域17のゲイン調整 GAM_R_LUT10：R信号の領域19のゲイン調整 GAM_R_LUT11：R信号の領域21のゲイン調整 GAM_R_LUT12：R信号の領域23のゲイン調整 GAM_R_LUT13：R信号の領域25のゲイン調整 GAM_R_LUT14：R信号の領域27のゲイン調整 GAM_R_LUT15：R信号の領域29のゲイン調整 GAM_R_LUT16：R信号の領域31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB] = 1.0[倍]） *：ビット名 GAM_R_LUT1：GAM_R_GAIN_01[10:0] GAM_R_LUT2：GAM_R_GAIN_03[10:0] GAM_R_LUT3：GAM_R_GAIN_05[10:0] GAM_R_LUT4：GAM_R_GAIN_07[10:0] GAM_R_LUT5：GAM_R_GAIN_09[10:0] GAM_R_LUT6：GAM_R_GAIN_11[10:0] GAM_R_LUT7：GAM_R_GAIN_13[10:0] GAM_R_LUT8：GAM_R_GAIN_15[10:0] GAM_R_LUT9：GAM_R_GAIN_17[10:0] GAM_R_LUT10：GAM_R_GAIN_19[10:0] GAM_R_LUT11：GAM_R_GAIN_21[10:0] GAM_R_LUT12：GAM_R_GAIN_23[10:0] GAM_R_LUT13：GAM_R_GAIN_25[10:0] GAM_R_LUT14：GAM_R_GAIN_27[10:0] GAM_R_LUT15：GAM_R_GAIN_29[10:0] GAM_R_LUT16：GAM_R_GAIN_31[10:0]

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN = 1で更新されます。

39.2.24　ガンマ補正部領域設定レジスタ R1（GAM_R_AREA1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GAM_R_TH_01[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_02[7:0]								GAM_R_TH_03[7:0]							
初期値：	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GAM_R_TH_01 [7:0]	8	R/W	R信号の領域1の開始閾値 符号無し（0～255[LSB]） 0＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_02 [7:0]	16	R/W	R信号の領域2の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_03 [7:0]	24	R/W	R信号の領域3の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN = 1で更新されます。

39.2.25　ガンマ補正部領域設定レジスタ R2（GAM_R_AREA2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_04[7:0]								GAM_R_TH_05[7:0]							
初期値：	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_06[7:0]								GAM_R_TH_07[7:0]							
初期値：	0	0	1	1	0	0	0	0	0	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_04 [7:0]	32	R/W	R信号の領域4の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_05 [7:0]	40	R/W	R信号の領域5の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_06 [7:0]	48	R/W	R信号の領域6の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_07 [7:0]	56	R/W	R信号の領域7の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN = 1で更新されます。

39.2.26　ガンマ補正部領域設定レジスタ R3（GAM_R_AREA3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_08[7:0]								GAM_R_TH_09[7:0]							
初期値：	0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_10[7:0]								GAM_R_TH_11[7:0]							
初期値：	0	1	0	1	0	0	0	0	0	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_08 [7:0]	64	R/W	R信号の領域8の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_09 [7:0]	72	R/W	R信号の領域9の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_10 [7:0]	80	R/W	R信号の領域10の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_11 [7:0]	88	R/W	R信号の領域11の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN = 1で更新されます。

39.2.27　ガンマ補正部領域設定レジスタ R4（GAM_R_AREA4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_12[7:0]								GAM_R_TH_13[7:0]							
初期値：	0	1	1	0	0	0	0	0	0	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_14[7:0]								GAM_R_TH_15[7:0]							
初期値：	0	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_12 [7:0]	96	R/W	R信号の領域12の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_13 [7:0]	104	R/W	R信号の領域13の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_14 [7:0]	112	R/W	R信号の領域14の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_15 [7:0]	120	R/W	R信号の領域15の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN = 1で更新されます。

39.2.28　ガンマ補正部領域設定レジスタ R5（GAM_R_AREA5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_16[7:0]								GAM_R_TH_17[7:0]							
初期値：	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_18[7:0]								GAM_R_TH_19[7:0]							
初期値：	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_16 [7:0]	128	R/W	R信号の領域16の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_17 [7:0]	136	R/W	R信号の領域17の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_18 [7:0]	144	R/W	R信号の領域18の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_19 [7:0]	152	R/W	R信号の領域19の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN = 1で更新されます。

39.2.29　ガンマ補正部領域設定レジスタ R6（GAM_R_AREA6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_20[7:0]								GAM_R_TH_21[7:0]							
初期値：	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_22[7:0]								GAM_R_TH_23[7:0]							
初期値：	1	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_20 [7:0]	160	R/W	R信号の領域20の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_21 [7:0]	168	R/W	R信号の領域21の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_22 [7:0]	176	R/W	R信号の領域22の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_23 [7:0]	184	R/W	R信号の領域23の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN = 1で更新されます。

39.2.30　ガンマ補正部領域設定レジスタ R7（GAM_R_AREA7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_24[7:0]								GAM_R_TH_25[7:0]							
初期値：	1	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_26[7:0]								GAM_R_TH_27[7:0]							
初期値：	1	1	0	1	0	0	0	0	1	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_24 [7:0]	192	R/W	R信号の領域24の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_25 [7:0]	200	R/W	R信号の領域25の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_26 [7:0]	208	R/W	R信号の領域26の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_27 [7:0]	216	R/W	R信号の領域27の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN = 1で更新されます。

39.2.31　ガンマ補正部領域設定レジスタ R8（GAM_R_AREA8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_28[7:0]								GAM_R_TH_29[7:0]							
初期値：	1	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_30[7:0]								GAM_R_TH_31[7:0]							
初期値：	1	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_28 [7:0]	224	R/W	R信号の領域28の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_29 [7:0]	232	R/W	R信号の領域29の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_30 [7:0]	240	R/W	R信号の領域30の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_31 [7:0]	248	R/W	R信号の領域31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値≦255

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN = 1で更新されます。

39.2.32 TCON レジスタ更新制御レジスタ（TCON_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TCON_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TCON_VEN	0	R/WC1	LCD TCONのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

39.2.33 TCON 基準タイミング設定レジスタ（TCON_TIM）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_HALF[10:0]										
初期値：	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_OFFSET[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_HALF[10:0]	400	R/W	1/2fHタイミング設定 垂直カウンタのカウント動作タイミングを水平同期信号の立ち上がりからのクロック数を指定
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_OFFSET[10:0]	0	R/W	オフセット付き水平同期信号のタイミング設定 水平同期信号の立ち上がりからのクロック数を指定

注．　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.34 TCON 垂直タイミング設定レジスタ A1（TCON_TIM_STVA1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_STVA_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_STVA_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ STVA_VS [10:0]	0	R/W	STVA信号のパルス開始位置（第1の変化タイミング）を設定 垂直同期信号の立ち上がりからTCON_STVA_VS後にパルスを出力開始 （1/2fH周期）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ STVA_VW [10:0]	4	R/W	STVA信号のパルス幅（第2の変化タイミング）を設定 TCON_STVA_VW期間パルス出力（1/2fH周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.35 TCON 垂直タイミング設定レジスタ A2（TCON_TIM_STVA2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TCON_ STVA_INV	—	TCON_STVA_SEL [2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_ STVA_INV	1	R/W	STVA信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_ STVA_SEL [2:0]	0	R/W	LCD_TCON0端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.36　TCON 垂直タイミング設定レジスタ B1（TCON_TIM_STVB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_STVB_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_STVB_VW[10:0]										
初期値：	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ STVB_VS [10:0]	70	R/W	STVB信号のパルス開始位置（第1の変化タイミング）を設定 垂直同期信号の立ち上がりからTCON_STVB_VS後にパルスを出力開始 （1/2fH周期）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ STVB_VW [10:0]	960	R/W	STVB信号のパルス幅（第2の変化タイミング）を設定 TCON_STVB_VW期間パルス出力（1/2fH周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.37 TCON 垂直タイミング設定レジスタ B2（TCON_TIM_STVB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TCON_STVB_INV	—	TCON_STVB_SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_ STVB_INV	0	R/W	STVB信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_ STVB_SEL [2:0]	1	R/W	LCD_TCON1端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.38 TCON 水平タイミング設定レジスタ STH1（TCON_TIM_STH1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_STH_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_STH_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ STH_HS [10:0]	0	R/W	STH信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_STH_HS後にパルスを出力開始 （クロック周期）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ STH_HW [10:0]	96	R/W	STH信号のパルス幅（第2の変化タイミング）を設定 TCON_STH_HW期間パルス出力（クロック周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.39 TCON 水平タイミング設定レジスタ STH2（TCON_TIM_STH2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCON_STH_HS_SEL	—	—	—	TCON_STH_INV	—	TCON_STH_SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_STH_HS_SEL	0	R/W	STH信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_STH_INV	1	R/W	STH信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_STH_SEL[2:0]	2	R/W	LCD_TCON2端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.40 TCON 水平タイミング設定レジスタ STB1（TCON_TIM_STB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_STB_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_STB_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ STB_HS [10:0]	144	R/W	STB信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_STB_HS後にパルスを出力開始 （クロック周期）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ STB_HW [10:0]	640	R/W	STB信号のパルス幅（第2の変化タイミング）を設定 TCON_STB_HW期間パルス出力（クロック周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.41 TCON 水平タイミング設定レジスタ STB2（TCON_TIM_STB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCON_STB_HS_SEL	—	—	—	TCON_STB_INV	—	TCON_STB_SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_STB_HS_SEL	0	R/W	STB信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_STB_INV	0	R/W	STB信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_STB_SEL[2:0]	7	R/W	LCD_TCON3端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.42 TCON 水平タイミング設定レジスタ CPV1（TCON_TIM_CPV1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_CPV_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_CPV_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ CPV_HS [10:0]	0	R/W	CPV信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_CPV_HS後にパルスを出力開始 （クロック周期）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ CPV_HW [10:0]	0	R/W	CPV信号のパルス幅（第2の変化タイミング）を設定 TCON_CPV_HW期間パルス出力（クロック周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.43 TCON 水平タイミング設定レジスタ CPV2（TCON_TIM_CPV2）

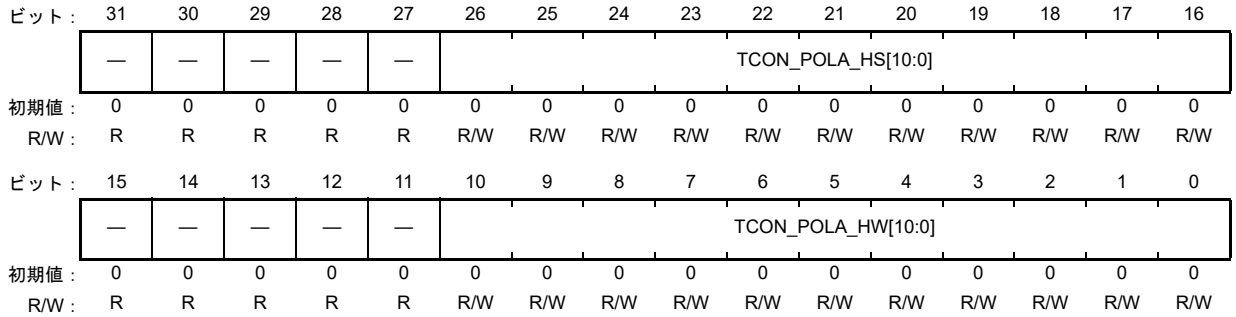
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCON_CPV_HS_SEL	—	—	—	TCON_CPV_INV	—	TCON_CPV_SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_CPV_HS_SEL	0	R/W	CPV信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_CPV_INV	0	R/W	CPV信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_CPV_SEL[2:0]	4	R/W	LCD_TCON4端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.44　TCON 水平タイミング設定レジスタ POLA1（TCON_TIM_POLA1）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ POLA_HS [10:0]	0	R/W	POLA信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_POLA_HS後にパルスを出力開始 （クロック周期） 注.　1x1、1x2、2x2リバースモード設定時、必ず1以上を設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ POLA_HW [10:0]	0	R/W	POLA信号のパルス幅（第2の変化タイミング）を設定 TCON_POLA_HW期間パルス出力（クロック周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.45 TCON 水平タイミング設定レジスタ POLA2（TCON_TIM_POLA2）

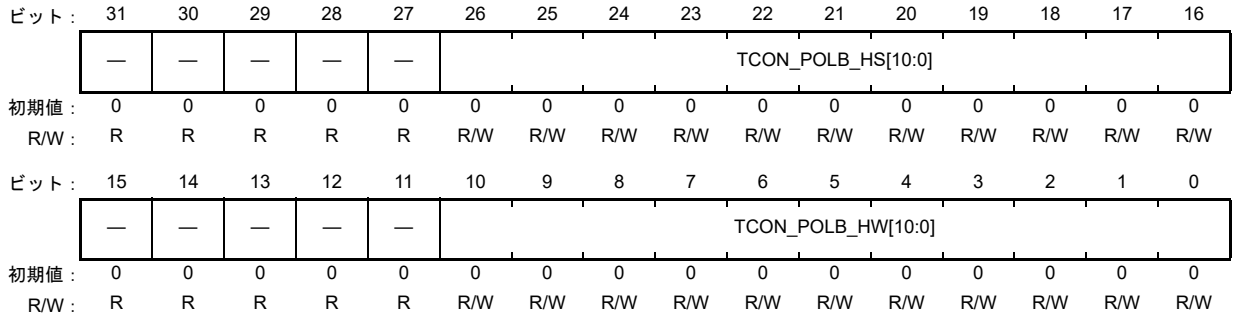
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TCON_POLA_MD[1:0]		—	—	—	TCON_POLA_HS_SEL	—	—	—	TCON_POLA_INV	—	TCON_POLA_SEL[2:0]		
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	1
R/W：	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	TCON_POLA_MD[1:0]	1	R/W	POLA信号の生成モード選択 0：ノーマルモード 水平周期に2回変化する信号を生成する。 1：1x1リバースモード 1水平周期ごとに極性が反転する信号を生成する。 2：1x2リバースモード 開始1水平期間で極性が反転し、その後、2水平周期ごとに極性が反転する信号を生成する。 3：2x2リバースモード 2水平周期ごとに極性が反転する信号を生成する。
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_POLA_HS_SEL	0	R/W	POLA信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_POLA_INV	0	R/W	POLA信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_POLA_SEL[2:0]	5	R/W	LCD_TCON5端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.46　TCON 水平タイミング設定レジスタ POLB1（TCON_TIM_POLB1）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ POLB_HS [10:0]	0	R/W	POLB信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_POLB_HS後にパルスを出力開始 （クロック周期） 注．　1x1、1x2、2x2リバースモード設定時、必ず1以上を設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ POLB_HW [10:0]	0	R/W	POLB信号のパルス幅（第2の変化タイミング）を設定 TCON_POLB_HW期間パルス出力（クロック周期）

注．　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.47 TCON 水平タイミング設定レジスタ POLB2（TCON_TIM_POLB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TCON_POLB_MD[1:0]		—	—	—	TCON_POLB_HS_SEL	—	—	—	TCON_POLB_INV	—	TCON_POLB_SEL[2:0]		
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0
R/W：	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	TCON_POLB_MD[1:0]	1	R/W	POLB信号の生成モード選択 0：ノーマルモード 水平周期に2回変化する信号を生成する。 1：1x1リバースモード 1水平周期ごとに極性が反転する信号を生成する。 2：1x2リバースモード 開始1水平期間で極性が反転し、その後、2水平周期ごとに極性が反転する信号を生成する。 3：2x2リバースモード 2水平周期ごとに極性が反転する信号を生成する。
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_POLB_HS_SEL	0	R/W	POLB信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_POLB_INV	0	R/W	POLB信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_POLB_SEL[2:0]	6	R/W	LCD_TCON6端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.48 TCON データイネーブル極性設定レジスタ（TCON_TIM_DE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TCON_DE_INV
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TCON_DE_INV	0	R/W	DE信号の極性反転制御 0：非反転 1：反転

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN = 1で更新されます。

39.2.49 出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OUTCNT_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	OUTCNT_VEN	0	R/WC1	ブライト／コントラスト、ディザ処理、出力インタフェースのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

39.2.50 出力インタフェース用レジスタ（OUT_SET）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	OUT_ENDIAN_ON	—	—	—	OUT_SWAP_ON	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	OUT_FORMAT [1:0]		—	—	OUT_FRQ_SEL [1:0]		—	—	—	OUT_DIR_SEL	—	—	OUT_PHASE [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	OUT_ENDIAN_ON	0	R/W	ビットエンディアン変更オン／オフ制御 0：オフ 1：オン
27 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	OUT_SWAP_ON	0	R/W	B/R信号入れ替えオン／オフ制御 0：オフ 1：オン
23 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20 ～ 16	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
15、14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	OUT_FORMAT [1:0]	0	R/W	出力フォーマット選択 0：RGB888 1：RGB666 2：RGB565 3：シリアルRGB
11、10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	OUT_FRQ_SEL [1:0]	0	R/W	クロック周波数制御 0：1倍速（パラレルRGB） 1：3倍速（シリアルRGB） 2：4倍速（シリアルRGB） 3：設定禁止
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	OUT_DIR_SEL	0	R/W	スキャン方向選択 0：正スキャン 1：逆スキャン
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
1、0	OUT_PHASE [1:0]	0	R/W	シリアルRGB出力時のクロック位相調整 3倍速のとき 0：0[clk] 1：1[clk] 2：2[clk] 3：設定禁止 4倍速のとき 0：0[clk] 1：1[clk] 2：2[clk] 3：3[clk]

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN = 1で更新されます。

39.2.51　ブライト（DC）補正用レジスタ 1（OUT_BRIGHT1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PBRT_G[9:0]									
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	PBRT_G[9:0]	512	R/W	G信号のブライト（DC）調整 符号無し（0（-512）～512（0）～1023（+511）[LSB]、512[LSB]オフセット付）

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN = 1で更新されます。

39.2.52　ブライト（DC）補正用レジスタ 2（OUT_BRIGHT2）

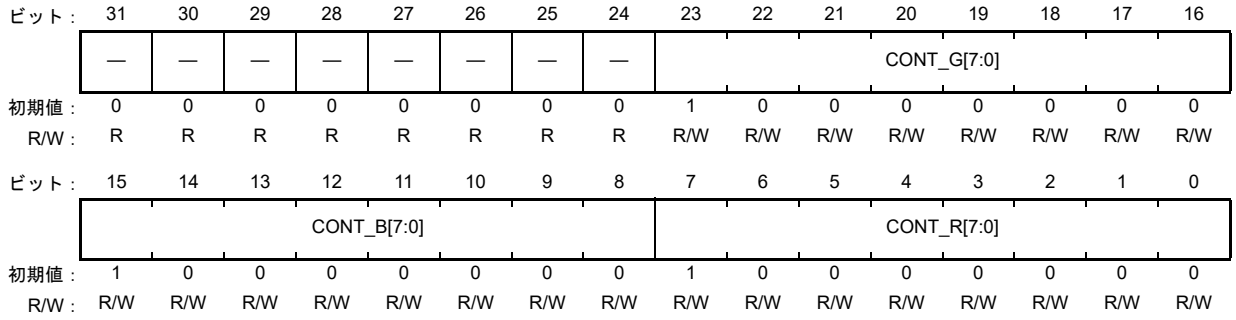
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PBRT_B[9:0]									
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PBRT_G[9:0]									
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 26	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25 ～ 16	PBRT_B[9:0]	512	R/W	B信号のブライト（DC）調整 符号無し（0（-512）～512（0）～1023（+511）[LSB]、512[LSB]オフセット付）
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	PBRT_R[9:0]	512	R/W	R信号のブライト（DC）調整 符号無し（0（-512）～512（0）～1023（+511）[LSB]、512[LSB]オフセット付）

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN = 1で更新されます。

39.2.53　コントラスト（ゲイン）補正用レジスタ（OUT_CONTRAST）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	CONT_G[7:0]	128	R/W	G信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）
15 ～ 8	CONT_B[7:0]	128	R/W	B信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）
7 ～ 0	CONT_R[7:0]	128	R/W	R信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN = 1で更新されます。

39.2.54　パネルディザレジスタ（OUT_PDTHA）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	PDTH_SEL[1:0]		—	—	PDTH_FORMAT[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PDTH_PA[1:0]		—	—	PDTH_PB[1:0]		—	—	PDTH_PC[1:0]		—	—	PDTH_PD[1:0]	
初期値：	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	1
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 22	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	PDTH_SEL [1:0]	0	R/W	パネルディザ動作モード 0：切り捨て 1：四捨五入 2：2x2パターンディザ 3：ランダムパターンディザ
19、18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	PDTH_ FORMAT [1:0]	0	R/W	パネルディザ出力フォーマット選択 0：RGB888 1：RGB666 2：RGB565 3：設定禁止
15、14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PDTH_PA [1:0]	3	R/W	2x2パターンディザのパターン値（A） 符号無し（0～3[LSB]）
11、10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PDTH_PB [1:0]	0	R/W	2x2パターンディザのパターン値（B） 符号無し（0～3[LSB]）
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	PDTH_PC [1:0]	2	R/W	2x2パターンディザのパターン値（C） 符号無し（0～3[LSB]）
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PDTH_PD [1:0]	1	R/W	2x2パターンディザのパターン値（D） 符号無し（0～3[LSB]）

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN = 1で更新されます。

39.2.55　出力位相制御レジスタ（OUT_CLK_PHASE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	OUTCNT_FRONT_GAM	—	—	—	OUTCNT_LCD_EDGE	—	OUTCNT_STVA_EDGE	OUTCNT_STVB_EDGE	OUTCNT_STH_EDGE	OUTCNT_STB_EDGE	OUTCNT_CPV_EDGE	OUTCNT_POLA_EDGE	OUTCNT_POLB_EDGE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	OUTCNT_FRONT_GAM	0	R/W	補正回路の順番の制御 0：ブライト⇒コントラスト⇒ガンマ補正 1：ガンマ補正⇒ブライト⇒コントラスト
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	OUTCNT_LCD_EDGE	0	R/W	LCD_DATA23～0端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	OUTCNT_STVA_EDGE	0	R/W	LCD_TCON0端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
5	OUTCNT_STVB_EDGE	0	R/W	LCD_TCON1端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
4	OUTCNT_STH_EDGE	0	R/W	LCD_TCON2端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
3	OUTCNT_STB_EDGE	0	R/W	LCD_TCON3端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
2	OUTCNT_CPV_EDGE	0	R/W	LCD_TCON4端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
1	OUTCNT_POLA_EDGE	0	R/W	LCD_TCON5端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
0	OUTCNT_POLB_EDGE	0	R/W	LCD_TCON6端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN = 1で更新されます。

39.3 使用方法

39.3.1 ガンマ補正調整方法

接続を行う各パネルの G/B/R 毎の特性を計測し、パネルにあったガンマ補正の設定を行います。
パネルの特性に依存する為、推奨設定値はありません。

39.3.2 ディザの使用方法

表示画面に擬似輪郭が出ている場合に使用します。

表39.26 ディザの設定

ビット名	設定値
PDTH_FORMAT[1:0]	フォーマットを設定します。 RGB888の場合：0 RGB666の場合：1 RGB565の場合：2
PDTH_SEL[1:0]	2x2パターンディザを使用する場合：2
PDTH_PA[1:0]	通常、初期値で使用します：3
PDTH_PB[1:0]	通常、初期値で使用します：0
PDTH_PC[1:0]	通常、初期値で使用します：2
PDTH_PD[1:0]	通常、初期値で使用します：1

39.3.3 出力フォーマット調整方法

代表的な出力フォーマットの設定例を示します。
各出力フォーマットの同期系の設定は、スケーリング後の出力設定も同様にする必要があります。

表39.27　同期系信号の設定例

レジスタ名	ビット名	VGA	SVGA	説明
TCON_TIM	TCON_HALF[10:0]	400	528	1H期間の半分の値をクロック単位で設定します。
垂直同期信号				
TCON_TIM_STVA1	TCON_STVA_VS[10:0]	0	0	内部垂直同期の立ち上がりからのパルス生成開始位置を設定します。 設定する値は、1/2H期間を1として設定します。
TCON_TIM_STVA1	TCON_STVA_VW[10:0]	4	8	上記パルス生成開始位置からの変化ポイントを設定します。 設定する値は、1/2H期間を1として設定します。
TCON_TIM_STVA2	TCON_STVA_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STVA2	TCON_STVA_SEL[2:0]	0	0	出力選択、STVA出力の場合：0
垂直イネーブル信号				
TCON_TIM_STVB1	TCON_STVB_VS[10:0]	68	44	内部垂直同期の立ち上がりからのパルス生成開始位置を設定します。 設定する値は、1/2H期間を1として設定します。
TCON_TIM_STVB1	TCON_STVB_VW[10:0]	960	1200	上記パルス生成開始位置からの変化ポイントを設定します。 設定する値は、1/2H期間を1として設定します。
TCON_TIM_STVB2	TCON_STVB_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STVB2	TCON_STVB_SEL[2:0]	1	1	出力選択、STVB出力の場合：1
水平同期信号				
TCON_TIM_STH1	TCON_STH_HS[10:0]	0	0	内部水平同期の立ち上がりからのパルス生成開始位置を設定します。
TCON_TIM_STH1	TCON_STH_HW[10:0]	96	128	上記パルス生成開始位置からの変化ポイントを設定します。
TCON_TIM_STH2	TCON_STH_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STH2	TCON_STH_SEL[2:0]	2	2	出力選択、STH出力の場合：2
水平イネーブル信号				
TCON_TIM_STB1	TCON_STB_HS[10:0]	128	192	内部水平同期の立ち上がりからのパルス生成開始位置を設定します。
TCON_TIM_STB1	TCON_STB_HW[10:0]	640	800	上記パルス生成開始位置からの変化ポイントを設定します。
TCON_TIM_STB2	TCON_STB_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STB2	TCON_STB_SEL[2:0]	3	3	出力選択、STB出力の場合：3

表39.28　データ系の設定例

レジスタ名	ビット名	RGB888	シリアルRGB（3倍速）	説　　明
OUT_SET	OUT_ENDIAN_ON	0	0	ビットエンディアン変更の場合：1
OUT_SET	OUT_SWAP_ON	0	0	B/R入れ替えを行う場合：1
OUT_SET	OUT_PIXEL_INV_ON	0	0	同時変化数軽減用機能を使用する場合：1
OUT_SET	OUT_SUM_MOVE[4:0]	31	31	OUT_PIXEL_INV_ON = 1の場合に当該レジスタは有効になります。同時変化数の閾値を設定します。
OUT_SET	OUT_FORMAT[1:0]	0	3	出力フォーマット設定 RGB888の場合：0 RGB666の場合：1 RGB565の場合：2 シリアルRGBの場合：3
OUT_SET	OUT_FRQ_SEL[1:0]	0	1	出力クロック制御 RGB888, RGB666, RGB565の場合：0 シリアルRGB3倍速出力の場合：1 シリアルRGB4倍速出力の場合：2
OUT_SET	OUT_DIR_SEL	0	0	シリアルRGB出力のデータ並びを逆にする場合：1
OUT_SET	OUT_PHASE[1:0]	0	0	シリアルRGBの出力位相がずれている場合に設定をします。 遅延なしの場合：0 1クロック遅延させる場合：1 2クロック遅延させる場合：2 3クロック遅延させる場合：3（4倍速のみ対応）

40. ビデオディスプレイコントローラ 6（8） システム制御部

40.1 システム制御機能

40.1.1 機能概要

システム制御部は、割り込み制御、パネルクロック制御、CLUT テーブル読み出し選択信号ステータスフラグ出力機能があります。

40.1.2 割り込み制御

表 40.1 に示すとおり、割り込み信号は、スケーリング部、画面合成部から出力された合計 10 本あります。これらを外部へ出力するか制御します。

割り込み信号を受け付けるときは INT_STA* を 1 に設定します。ただし、1 書き込み後に INT_STA* を読み出しても、割り込み信号を受け付けるまで 0 が読み出されます。割り込み信号を受け付けたとき、INT_STA* から 1 を読み出します。

受け付けられた割り込み信号をクリアするときは INT_STA* を 0 に設定します。

割り込み信号をクリアした後に再度割り込み信号を受け付ける場合は INT_STA* を 1 に設定します。

表 40.1　割り込み信号

要求要因名	ビット名	機　　能
S0_VI_VSYNC	INT_STA0	スケーリング 0 に入力される垂直同期信号
S0_LO_VSYNC	INT_STA1	スケーリング 0 から出力される垂直同期信号
S0_VSYNCERR	INT_STA2	スケーリング 0 の垂直同期信号の欠落信号
GR3_VLINE	INT_STA3	グラフィックス（3）パネル出力の指定ライン信号
S0_VFIELD	INT_STA4	スケーリング 0 の録画機能のフィールド終了信号
IV1_VBUFERR	INT_STA5	スケーリング 0 のフレームバッファ書き込みオーバフロー信号
IV3_VBUFERR	INT_STA6	グラフィックス（0）フレームバッファ読み出しアンダフロー信号
IV5_VBUFERR	INT_STA7	グラフィックス（2）フレームバッファ読み出しアンダフロー信号
IV6_VBUFERR	INT_STA8	グラフィックス（3）フレームバッファ読み出しアンダフロー信号
S0_WLINE	INT_STA9	スケーリング 0 の縮小制御部に入力される書き込み指定ライン信号 (本製品では使用できません)

表40.2　割り込みクリア／ホールド設定

レジスタ名	ビット名	初期値	説　明
SYSCNT_INT1	INT_STA0	0	S0_VI_VSYNC割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA1	0	S0_LO_VSYNC割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA2	0	S0_VSYNCERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA3	0	GR3_VLINE割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA4	0	S0_VFIELD割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA5	0	IV1_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA6	0	IV3_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA7	0	IV5_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT2	INT_STA8	0	IV6_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT2	INT_STA9	0	S0_WLINE割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始(本製品では設定禁止です) 0(R)：割り込み無し 1(R)：割り込み有り

表40.3　割り込み出力オン／オフ設定

レジスタ名	ビット名	初期値	説　明
SYSCNT_INT4	INT_OUT0_ON	0	S0_VI_VSYNC割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT1_ON	0	S0_LO_VSYNC割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT2_ON	0	S0_VSYNCERR割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT3_ON	0	GR3_VLINE割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT4_ON	0	S0_VFIELD割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT5_ON	0	IV1_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT6_ON	0	IV3_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT7_ON	0	IV5_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT5	INT_OUT8_ON	0	IV6_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT5	INT_OUT9_ON	0	S0_WLINE割り込み出力オン／オフ設定 0：オフ 1：オン(本製品では設定禁止です)

40.1.3 パネルクロック制御

本モジュールは、パネルクロック供給源として、映像クロック、外部クロックまたは周辺クロック 1 を選択できます。また、1/1 ～ 1/32 までの分周器を内蔵しています。パネルクロックは、表 40.4 に示すレジスタで制御します。

表40.4　パネルクロック制御

レジスタ名	ビット名	初期値	説　明
SYSCNT_PANEL_CLK	PANEL_ICKSEL[1:0]	0	分周クロック供給源選択 0：映像クロック選択（INP_SEL = 1のときDV_CLK） 1：外部クロック選択（LCD0_EXTCLK） 2：設定禁止 3：周辺クロック1選択（P1φ）
SYSCNT_PANEL_CLK	PANEL_OCKSEL[1:0]	0	パネルクロック出力選択 0：PANEL_ICKSEL[1:0]で選択したクロック供給源から生成した分周クロックを選択 1：LVDS PLLのクロックを選択 2：LVDS PLLの7分周クロックを選択 3：設定禁止
SYSCNT_PANEL_CLK	PANEL_ICKEN	0	パネルクロック動作許可設定 0：パネルクロック動作ブロックの動作禁止 1：パネルクロック動作ブロックの動作許可 注.　PANEL_ICKSEL、PANEL_DCDRビットの変更は、必ず本ビットを0に設定してから行ってください。(注1)
SYSCNT_PANEL_CLK	PANEL_DCDR[5:0]	1	クロック分周比設定 設定の詳細については表40.5を参照してください。 注.　表40.5以外の設定は禁止です。

注1.　LVDS_CLKSELR のLVDS_CLK_ENビットを変更する際も、本ビットを0にしてから行ってください。

表40.5　入出力クロック周波数と分周比

DCDR[5:0]	クロック分周比	入出力クロック周波数 (MHz)		
		27.00	54.00	66.67
000001	1/1	27.00	54.00	66.67
000010	1/2	13.50	27.00	33.33
000011	1/3	9.00	18.00	22.22
000100	1/4	6.75	13.50	16.67
000101	1/5	5.40	10.80	13.33
000110	1/6	4.50	9.00	11.11
000111	1/7	3.86	7.71	9.52
001000	1/8	3.38	6.75	8.33
001001	1/9	3.00	6.00	7.41
001100	1/12	2.25	4.50	5.56
010000	1/16	1.69	3.38	4.17
011000	1/24	1.13	2.25	2.78
100000	1/32	0.84	1.69	2.08

40.1.4 CLUT テーブル読み出し選択信号ステータスフラグ

表 40.6 に示すとおり、CLUT 読み出し選択信号ステータスフラグを読み出せます。

表40.6 CLUTテーブル読み出し選択信号ステータスフラグ

レジスタ名	ビット名	初期値	説　　明
SYSCNT_CLUT	GR0_CLT_SEL_ST	—	グラフィックス（0）CLUTテーブル読み出し選択信号ステータスフラグ 0：CLUTテーブル0を読み出し 1：CLUTテーブル1を読み出し
SYSCNT_CLUT	GR2_CLT_SEL_ST	—	グラフィックス（2）CLUTテーブル読み出し選択信号ステータスフラグ 0：CLUTテーブル0を読み出し 1：CLUTテーブル1を読み出し
SYSCNT_CLUT	GR3_CLT_SEL_ST	—	グラフィックス（3）CLUTテーブル読み出し選択信号ステータスフラグ 0：CLUTテーブル0を読み出し 1：CLUTテーブル1を読み出し

40.2 レジスタの説明

以下のレジスタセットは、SH レジスタマップ空間に割り付けられています。

【レジスタ説明の記号説明】
初期値：リセット後のレジスタ値
－：不定値
R/W：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R：リードのみ可。書き込む値は常に 0 にしてください。
－ /W：ライトのみ可。読み出し値は不定です。

表 40.7　システム制御部レジスタ構成（Ch0）

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み制御レジスタ 1	SYSCNT_INT1	R/W	H'0000 0000	H'FCFF 7A80	32
割り込み制御レジスタ 2	SYSCNT_INT2	R/W	H'0000 0000	H'FCFF 7A84	32
割り込み制御レジスタ 4	SYSCNT_INT4	R/W	H'0000 0000	H'FCFF 7A8C	32
割り込み制御レジスタ 5	SYSCNT_INT5	R/W	H'0000 0000	H'FCFF 7A90	32
パネルクロック制御レジスタ	SYSCNT_PANEL_CLK	R/W	H'0001	H'FCFF 7A98	16
CLUT テーブル読み出し選択信号ステータスフラグレジスタ	SYSCNT_CLUT	R	H'0000	H'FCFF 7A9A	16

40.2.1　割り込み制御レジスタ 1（SYSCNT_INT1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	INT_STA7	—	—	—	INT_STA6	—	—	—	INT_STA5	—	—	—	INT_STA4
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	INT_STA3	—	—	—	INT_STA2	—	—	—	INT_STA1	—	—	—	INT_STA0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	INT_STA7	0	R/W	IV5_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
27 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	INT_STA6	0	R/W	IV3_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
23 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INT_STA5	0	R/W	IV1_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	INT_STA4	0	R/W	S0_VFIELD割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	INT_STA3	0	R/W	GR3_VLINE割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	INT_STA2	0	R/W	S0_VSYNCERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
4	INT_STA1	0	R/W	S0_LO_VSYNC 割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INT_STA0	0	R/W	S0_VI_VSYNC 割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り

40.2.2　割り込み制御レジスタ 2（SYSCNT_INT2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	INT_STA9	—	—	—	INT_STA8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	INT_STA9	0	R/W	S0_WLINE 割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 (本製品では設定禁止です) 0(R)：割り込み無し 1(R)：割り込み有り
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INT_STA8	0	R/W	IV6_VBUFERR 割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り

40.2.3　割り込み制御レジスタ 4（SYSCNT_INT4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	INT_OUT7_ON	—	—	—	INT_OUT6_ON	—	—	—	INT_OUT5_ON	—	—	—	INT_OUT4_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	INT_OUT3_ON	—	—	—	INT_OUT2_ON	—	—	—	INT_OUT1_ON	—	—	—	INT_OUT0_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	INT_OUT7_ON	0	R/W	IV5_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
27 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	INT_OUT6_ON	0	R/W	IV3_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
23 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INT_OUT5_ON	0	R/W	IV1_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	INT_OUT4_ON	0	R/W	S0_VFIELD割り込み出力オン／オフ設定 0：オフ 1：オン
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	INT_OUT3_ON	0	R/W	GR3_VLINE割り込み出力オン／オフ設定 0：オフ 1：オン
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	INT_OUT2_ON	0	R/W	S0_VSYNCERR割り込み出力オン／オフ設定 0：オフ 1：オン
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INT_OUT1_ON	0	R/W	S0_LO_VSYNC割り込み出力オン／オフ設定 0：オフ 1：オン
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INT_OUT0_ON	0	R/W	S0_VI_VSYNC割り込み出力オン／オフ設定 0：オフ 1：オン

40.2.4　割り込み制御レジスタ 5（SYSCNT_INT5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	INT_OUT9_ON	—	—	—	INT_OUT8_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INT_OUT9_ON	0	R/W	S0_WLINE割り込み出力オン／オフ設定 0：オフ 1：オン(本製品では設定禁止です)
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INT_OUT8_ON	0	R/W	IV6_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン

40.2.5 パネルクロック制御レジスタ（SYSCNT_PANEL_CLK）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PANEL_ICKSEL [1:0]		PANEL_OCKSEL [1:0]		—	PANEL_ICKEN	—	—	PANEL_DCDR[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
15、14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PANEL_ICKSEL [1:0]	0	R/W	分周クロック供給源選択 0：映像クロック選択（INP_SEL = 1のときDV_CLK） 1：外部クロック選択（LCD0_EXTCLK） 2：設定禁止 3：周辺クロック1選択（P1φ）
11、10	PANEL_OCKSEL [1:0]	0	R/W	パネルクロック出力選択 0：PANEL_ICKSEL[1:0]で選択したクロック供給源から生成した分周クロックを選択 1：LVDS PLLのクロックを選択 2：LVDS PLLの7分周クロックを選択 3：設定禁止
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PANEL_ICKEN	0	R/W	パネルクロック動作許可設定 0：パネルクロック動作ブロックの動作禁止 1：パネルクロック動作ブロックの動作許可 注.　PANEL_ICKSEL、PANEL_DCDRビットの変更は、必ず本ビットを0に設定してから行ってください。(注1)
7、6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5～0	PANEL_DCDR [5:0]	1	R/W	クロック分周比設定 設定の詳細については表40.5を参照してください。 注.　表40.5以外の設定は禁止です。

注1.　LVDS_CLKSELRのLVDS_CLK_ENビットを変更する際も、本ビットを0にしてから行ってください。

40.2.6 CLUT テーブル読み出し選択信号ステータスフラグレジスタ（SYSCNT_CLUT）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	GR3_CLT_SEL_ST	—	—	—	GR2_CLT_SEL_ST	—	—	—	—	—	—	—	GR0_CLT_SEL_ST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15、14	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	GR3_CLT_SEL_ST	—	R	グラフィックス（3）CLUTテーブル読み出し選択信号ステータスフラグ 0：CLUTテーブル0を読み出し 1：CLUTテーブル1を読み出し
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR2_CLT_SEL_ST	—	R	グラフィックス（2）CLUTテーブル読み出し選択信号ステータスフラグ 0：CLUTテーブル0を読み出し 1：CLUTテーブル1を読み出し
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_CLT_SEL_ST	—	R	グラフィックス（0）CLUTテーブル読み出し選択信号ステータスフラグ 0：CLUTテーブル0を読み出し 1：CLUTテーブル1を読み出し

41. LVDS 出力インタフェース

本 LSI は、LVDS(Low Voltage Differential Signaling) 出力インタフェースを内蔵しています。ビデオディスプレイコントローラ 6 から出力される RGB 信号を RGB 各 6 ビットの LVDS 形式に変換して出力します。また、専用の PLL(Phase Locked Loop) 回路を持ち、分周 / 逓倍設定を行う事により、各種周波数のクロックを生成できます。

本 PLL から出力されるクロックは、LVDS 出力を使用しない場合においても、ビデオディスプレイコントローラ 6 のパネルクロックとして使用する事が可能です。なお、本章では本 PLL を LVDS PLL と表記します。

41.1 特長

- TIA/EIA-644 規格準拠　差動出力 4pair（データ 3pair、クロック 1pair）
- LVDS 出力未使用時、端子を CMOS 入出力として使用可能
- LVDS PLL による各種周波数のクロック生成
- LVDS PLL のパワーダウン機能

41.2 ブロック図

図 41.1 に LVDS 出力インタフェース構成のブロック図を示します。

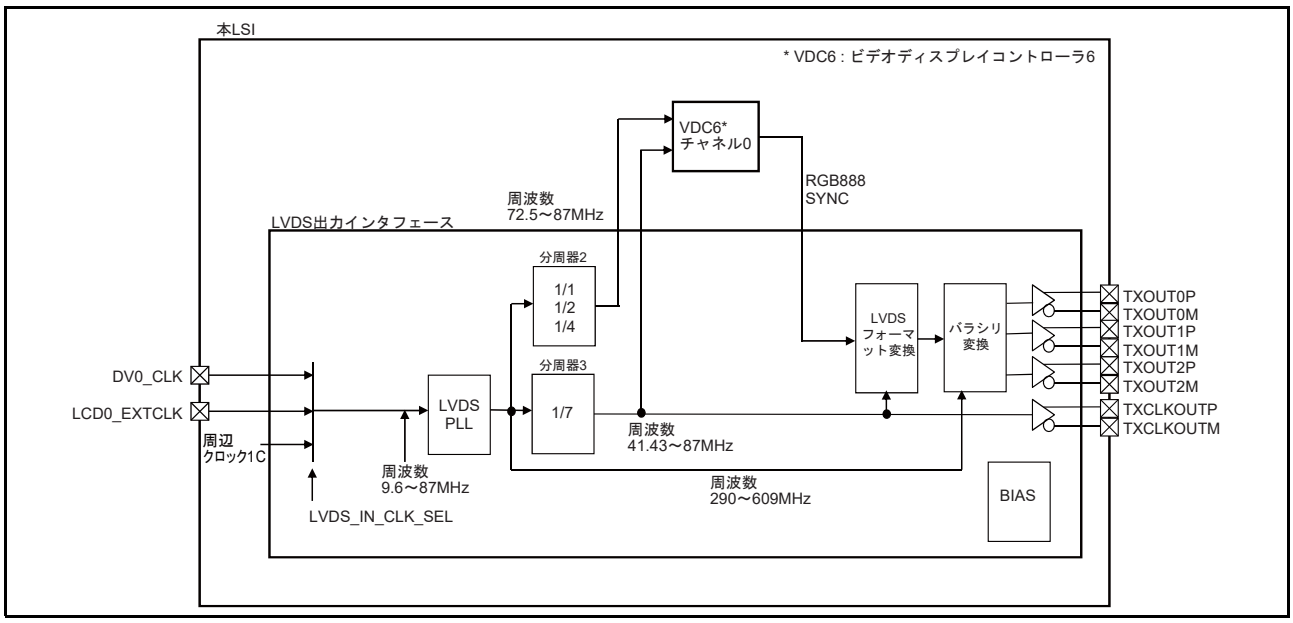


図 41.1　LVDS 出力インタフェース構成ブロック図

図 41.2 に LVDS PLL 回路のブロック図を示します。

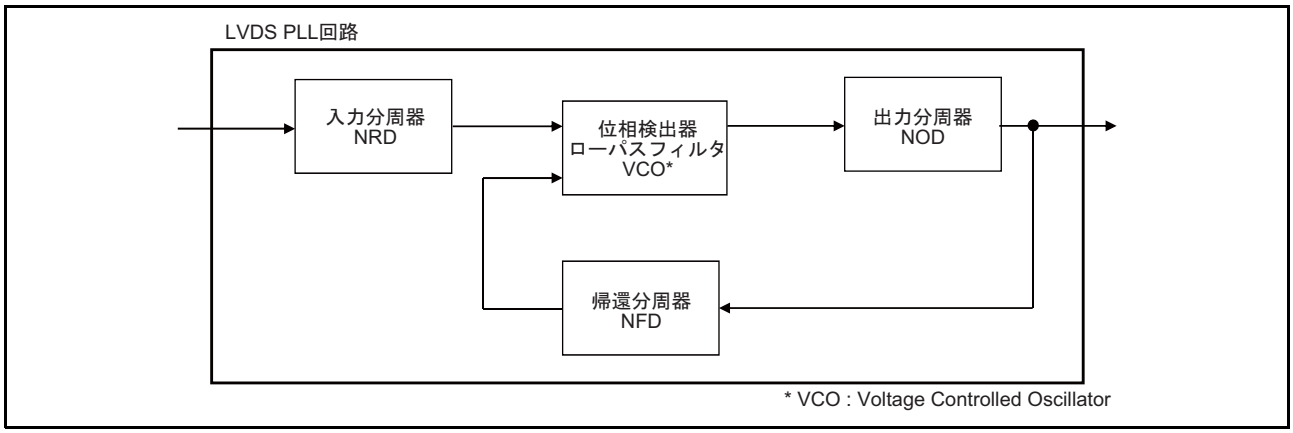


図 41.2 LVDS PLL 回路ブロック図

41.3 入出力端子

表 41.1 に端子構成を示します。

表41.1 端子構成

名称	端子名	入出力	機能
LVDS アナログ電源端子	LVDSAPVcc	入力	LVDS 出力用電源端子
LVDS PLL 電源端子	LVDSPLLVcc	入力	LVDS PLL 用電源端子
LVDS データ出力端子 0P	TXOUT0P	出力	LVDS データ出力端子
LVDS データ出力端子 0M	TXOUT0M	出力	
LVDS データ出力端子 1P	TXOUT1P	出力	
LVDS データ出力端子 1M	TXOUT1M	出力	
LVDS データ出力端子 2P	TXOUT2P	出力	
LVDS データ出力端子 2M	TXOUT2M	出力	
LVDS CLK 出力端子 CP	TXCLKOUTP	出力	LVDS クロック出力端子
LVDS CLK 出力端子 CM	TXCLKOUTM	出力	

41.4　レジスタの説明

表 41.2 にレジスタ構成を示します。

表41.2　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
LVDS レジスタ更新制御レジスタ	LVDS_UPDATE	R/W	H'00000000	H'FCFF7A30	32
LVDS フォーマット変換レジスタ L	LVDSFCL	R/W	H'00000321	H'FCFF7A34	32
LVDS クロック選択レジスタ	LCLKSELR	R/W	H'00000000	H'FCFF7A50	32
LVDSPLL 設定レジスタ	LPLLSETR	R/W	H'00000001	H'FCFF7A54	32

41.4.1　LVDS レジスタ更新制御レジスタ（LVDS_UPDATE）

本レジスタは、LVDS レジスタの更新タイミングを制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LVDS_UPDATE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
16	LVDS_UPDATE	0	R/W	LVDS レジスタの更新 0：レジスタを更新しない。 1：レジスタを更新する。
15 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

41.4.2　LVDS フォーマット変換レジスタ L（LVDSFCL）

本レジスタは、ビデオディスプレイコントローラ 6 から出力される RGB 信号を LVDS 形式に変換する際に必要な各種設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SYNC_MODE	—	—	—	—	SYNC_POL[1:0]		—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	LVDS_SEL2[3:0]				LVDS_SEL1[3:0]				LVDS_SEL0[3:0]			
初期値：	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	1
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
28	SYNC_MODE	0	R/W	SYNC モード切替 SYNC モードの切り替えを行います。 0：LVDS_TCON0、LVDS_TCON2 を LVDS 信号に伝搬します。 1：LVDS_TCON0、LVDS_TCON2 を固定値として LVDS 信号に伝搬します。 固定値は、SYNC_POL ビットで設定します。
27 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
23、22	SYNC_POL[1:0]	00	R/W	LVDS_TCON0、LVDS_TCON2 の割り当て SYNC_MODE ビットに 1 を設定した時、本ビットの値が LVDS_TCON0、LVDS_TCON2 の出力値として LVDS 信号に伝搬します。 [1]：LVDS_TCON0 の出力値 [0]：LVDS_TCON2 の出力値
21 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11 ～ 8	LVDS_SEL2[3:0]	0011	R/W	TXOUT2P/M データフォーマット設定 TXOUT2P/TXOUT2M 端子から出力するデータフォーマットの設定を行います。 本 LSI では、必ず 3 を設定してください。
7 ～ 4	LVDS_SEL1[3:0]	0010	R/W	TXOUT1P/M データフォーマット設定 TXOUT1P/TXOUT1M 端子から出力するデータフォーマットの設定を行います。 本 LSI では、必ず 2 を設定してください。
3 ～ 0	LVDS_SEL0[3:0]	0001	R/W	TXOUT0P/M データフォーマット設定 TXOUT0P/TXOUT0M 端子から出力するデータフォーマットの設定を行います。 本 LSI では、必ず 1 を設定してください。

注.　本レジスタはすべて LVDS レジスタ更新制御レジスタ (LVDS_UPDATE) の LVDS_UPDATE = 1 で更新されます。

41.4.3 LVDS クロック選択レジスタ（LCLKSELR）

本レジスタは、入力クロック選択、分周器 2 の分周数設定を行います。

ビット：	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	LVDS_IN_CLK_SEL[1:0]		—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット：	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LVDSPLL_TST[5:0]						LVDS_ODIV_SET[1:0]		—	—	—	LVDS_CLK_EN	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25 ～ 24	LVDS_IN_CLK_SEL[1:0]	すべて 0	R/W	LVDSPLL への入力クロックの選択 0：DV0_CLK 1：LCD0_EXTCLK 2：周辺クロック 1C(P1φ) 3：設定禁止
23 ～ 16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15 ～ 10	LVDSPLL_TST[5:0]	すべて 0	R/W	LVDS PLL の内部パラメータ設定 LVDS PLL の内部パラメータ（LPF 回路の抵抗、チャージポンプ回路の電流）を設定します。 注.　本 LSI では、000000 のまま書き換えないでください。
9、8	LVDS_ODIV_SET[1:0]	すべて 0	R/W	分周器 2 の分周数 NODIV 設定：　NODIV = 1, 2, 4 0：NODIV = 1 1：NODIV = 2 2：NODIV = 4 3：設定禁止
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	LVDS_CLK_EN	0	R/W	LVDS PLL の出力許可 0：PLL の出力を禁止する 1：PLL の出力を許可する 注.　本章で記載している各種レジスタの設定を行う際は、必ず本ビットを 0 の状態で行ってください。また、本ビットを変更する際は、必ずビデオディスプレイコントローラ 6 の SYSCNT_PANEL_CLK.PANEL_ICKEN を 0 にしてから行ってください。
3 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

41.4.4 LVDS PLL 設定（LPLLSETR）

本レジスタは、LVDS PLL の分周数設定、パワーダウン制御を行います。

ビット：	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	LVDSPLL_FD[6:0]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVDSPLL_RD[2:0]			—	—	LVDSPLL_OD[1:0]		—	—	—	LVDSPLL_PD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22 ～ 16	LVDSPLL_FD [6:0]	すべて 0	R/W	LVDS PLL の帰還分周 NFD 設定：NFD = 23 ～ 63 22 ～ 62：NFD = LVDSPLL_FD +1 0 ～ 21, 63 ～ 127：設定禁止
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ～ 8	LVDSPLL_RD [2:0]	すべて 0	R/W	LVDS PLL の入力分周 NRD 設定：NRD = 1 ～ 8 0 ～ 7：NRD = LVDSPLL_RD ＋ 1
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	LVDSPLL_OD [1:0]	すべて 0	R/W	LVDS PLL の出力分周 NOD 設定：　NOD = 1, 2, 4, 8 0 ～ 3：NOD = 2 ^ LVDSPLL_OD 本 LSI では、必ず 1 を設定してください。
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	LVDSPLL_PD	1	R/W	LVDS PLL のパワーダウン制御 0：通常動作 1：パワーダウン

41.5　動作説明

本モジュールは、ビデオディスプレイコントローラ 6 の RGB888 出力と、SYNC 信号を取り込み、LVDS フォーマットに変換して出力します。RGB の精度は各 6 ビットに縮退させます。動作クロックは、LVDS PLL で生成します。

41.5.1　LVDS PLL 設定

入力クロック選択回路、分周器 2,3、LVDS PLL 回路を使用して動作クロックを生成します。各回路の入出力で動作可能な周波数範囲が決まっていますので、必ず周波数範囲内となるよう設定してください。

また、各種設定レジスタを変更する際は、ビデオディスプレイコントローラ 6 のパネルクロック動作禁止（SYSCNT_PANEL_CLK.PANEL_ICKEN = 0）、LVDS PLL 出力禁止（LPLLSETR.LVDS_CLK_EN = 0）の状態で行ってください。

LVDS PLL および周辺回路のブロック図を**図 41.3** に示します。

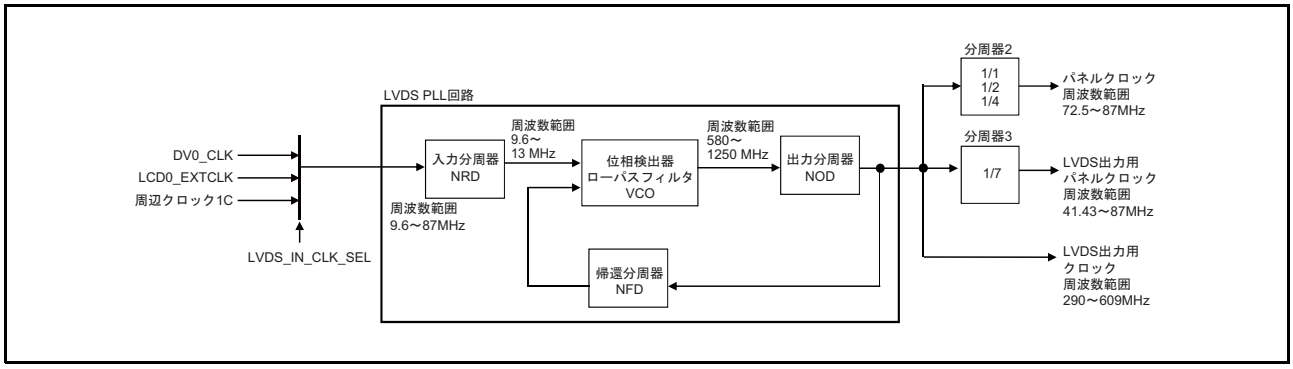


図 41.3　　LVDS PLL および周辺回路ブロック図

(1)　LVDS PLL への入力クロック

LVDS PLL への入力クロックは、LVDS_CLKSELR.LVDS_IN_CLK_SEL ビットにより、DV0_CLK、LCD0_EXTCLK、周辺クロック 1C (P1φ) から選択することが出来ます。

LVDS PLL への入力クロックは 9.6 ～ 87MHz の周波数範囲としてください。

(2)　LVDS PLL 周波数設定

LVDS PLL は、入力分周器 NRD、帰還分周器 NFD、出力分周器 NOD の 3 つの分周器を内蔵しています。

LVDS PLL から出力されるクロックは、下記式で算出されます。なお、「リファレンス周波数」、「VCO 出力周波数」、「LVDS PLL 入力周波数」、「LVDS PLL 出力周波数」は、下記周波数範囲に入るようにしてください。

FREF = FIN / NRD ・・・(リファレンス周波数)

FVCO = FIN × NFD × NOD / NRD ・・・(VCO 出力周波数)

FOUT = FIN × NFD / NRD ・・・(LVDS PLL 出力周波数)

注 .　FREF: リファレンス周波数。周波数範囲 9.6MHz ～ 13MHz
FVCO：VCO 出力周波数。周波数範囲 580MHz ～ 1250MHz。
FIN：LVDS PLL 入力周波数。周波数範囲 9.6MHz ～ 87MHz。
FOUT：LVDS PLL 出力周波数。周波数範囲　Max 609MHz。

(3)　LVDS PLL 周波数設定タイミング

(2) で示した PLL 回路内の各分周器の設定は、PLL をパワーダウン状態 (PD = 1) にし、0.5µs 以上経過後に行ってください。また、設定後、0.5µs 以上の保持期間後にパワーダウン解除（PD = 0）の設定を行ってください。

これらのタイミングを図 41.4 に示します。

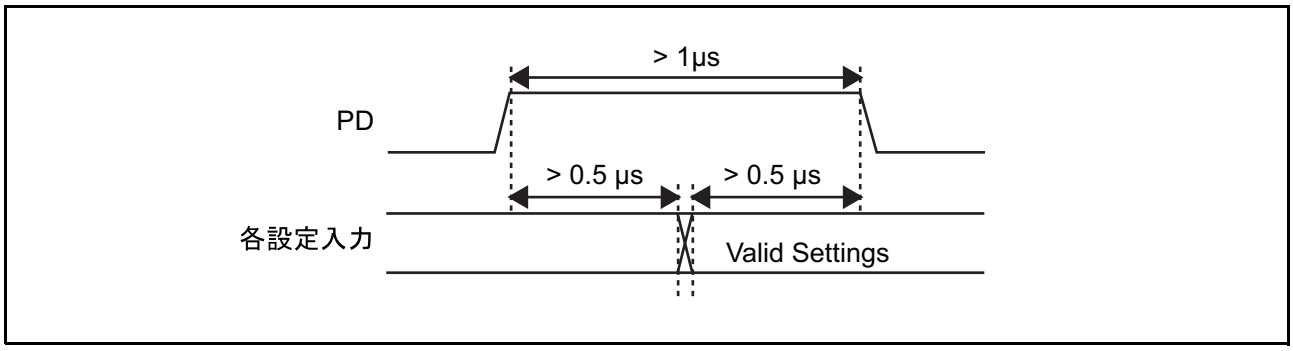


図 41.4　　PLL 設定タイミング

(4)　LVDS PLL 出力許可タイミング

LCLKSELR.LVDS_CLK_EN ビットにより、LVDS PLL からのクロック出力許可 / 禁止を設定することが出来ます。

LVDS PLL の出力を許可する場合は、PLL の発振安定のためパワーダウン解除後に 200µs 以上経過後に行ってください。また、LCLKSELR.LVDS_CLK_EN ビットの変更は、ビデオディスプレイコントローラ 6 のパネルクロック動作禁止（SYSCNT_PANEL_CLK.PANEL_ICKEN = 0）状態で行ってください。

(5)　LVDS PLL 出力クロック分周設定

LVDS PLL からのクロックを LVDS 出力インタフェース用のクロックとして使用する場合は、ビデオディスプレイコントローラ 6 のパネルクロックに、分周器 3 (7 分周) のクロックを選択してください。

LVDS PLL からのクロックをデジタル RGB 出力用のクロックとして使用する場合は、ビデオディスプレイコントローラ 6 のパネルクロックに、分周器 2 のクロックを選択してください。また、分周後のクロックが 87MHz 以下となるように設定してください。ただし、LVDS 出力インタフェース用のクロックとして使用する場合は、上記周波数制限はありません。

パネルクロックの選択は、ビデオディスプレイコントローラ 6 の SYSCNT_PANEL_CLK.PANEL_OCKSEL ビットで設定出来ます。

41.5.2　LVDS 出力フォーマット

本モジュールは、ビデオディスプレイコントローラ 6 から出力される LCD データおよび LCD TCON により生成された各種タイミング信号を LVDS 形式に変換して出力します。

(1)　LVDS 出力フォーマット

(a)　LCD データ

LCD_DATA23 ～ 18、15 ～ 10、7 ～ 2 端子が、LVDS 形式に変換されて出力されます。

(b)　LCD TCON により生成された各種タイミング信号

LCD_TCON0、LCD_TCON2、LCD_TCON3 端子が、LVDS 形式に変換されて出力されます。

LVDS 出力フォーマットのビット並びを**図 41.5** に示します。

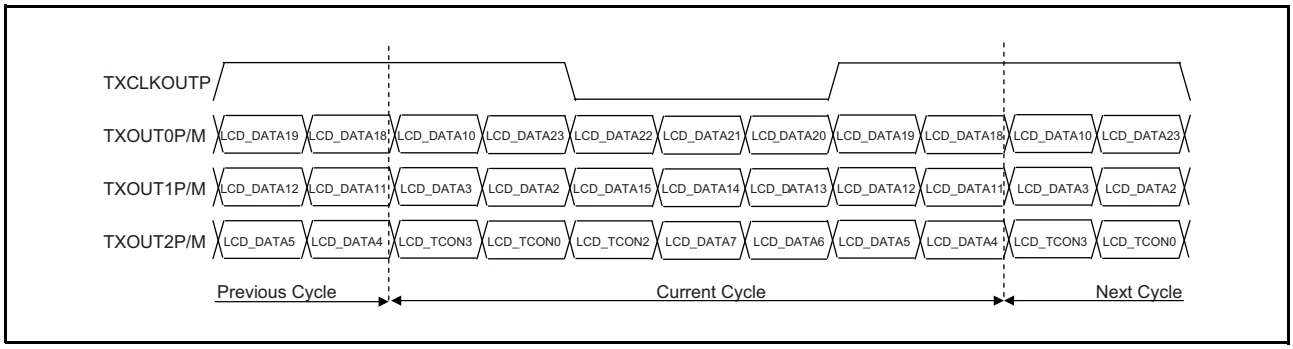


図 41.5　LVDS 出力フォーマットのデータマップ

(2) 設定例

LVDS 出力フォーマットの設定例を下記に示します。

設定しているレジスタはビデオディスプレイコントローラ 6 のレジスタです。

レジスタの詳細については、「39. ビデオディスプレイコントローラ 6（7） 出力制御部」を参照してください。

表41.3　LVDS出力フォーマット設定例

レジスタ	ビット	値	備考
OUT_SET	OUT_ENDIAN_ON	0	ビットエンディアン変更オフ
	OUT_SWAP_ON	0	B/R信号入れ替えオフ
	OUT_FORMAT[1:0]	0	出力フォーマットにRGB888（上位6ビットをLVDS形式で出力）
TCON_TIM_STVA2	TCON_TIM_STVA2	0	LCD_TCON0端子に、VS信号設定
TCON_TIM_STVA1	TCON_STVA_VS[10:0]	任意	VS信号のタイミング設定
	TCON_STVA_VW[10:0]	任意	VS信号のタイミング設定
TCON_TIM_STH2	TCON_STH_SEL[2:0]	2	LCD_TCON2端子に、HS信号設定
TCON_TIM_STH1	TCON_STH_HS[10:0]	任意	HS信号のタイミング設定
	TCON_STH_VS[10:0]	任意	HS信号のタイミング設定
TCON_TIM_STB2	TCON_STB_SEL[2:0]	7	LCD_TCON3端子に、DE信号設定
TCON_TIM_STVB1	TCON_STVB_VS[10:0]	任意	DE信号のタイミング設定
	TCON_STVB_VW[10:0]	任意	DE信号のタイミング設定
TCON_TIM_STB1	TCON_STB_HS[10:0]	任意	DE信号のタイミング設定
	TCON_STB_HW[10:0]	任意	DE信号のタイミング設定

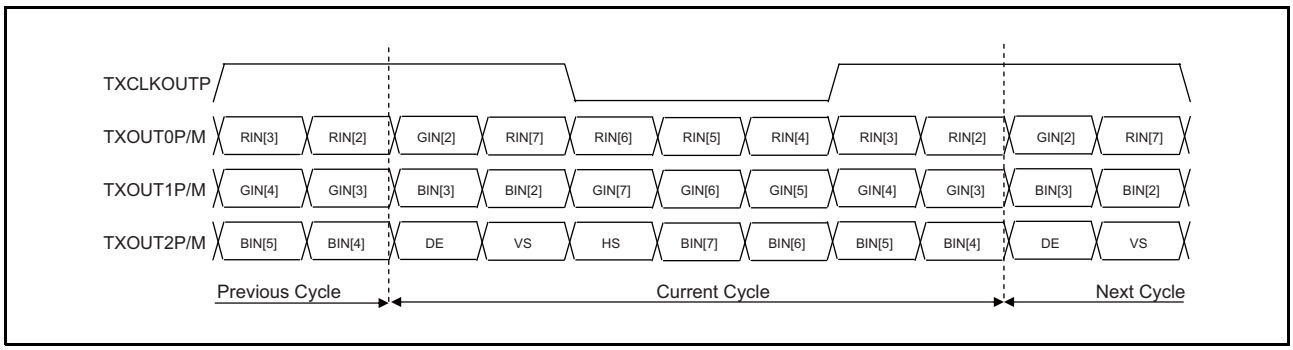


図 41.6　LVDS 出力フォーマット設定例のデータマップ

41.5.3　設定フロー

(1)　パワーオンリセット後の初期設定

パワーオンリセット後の初期設定例を下記に示します。

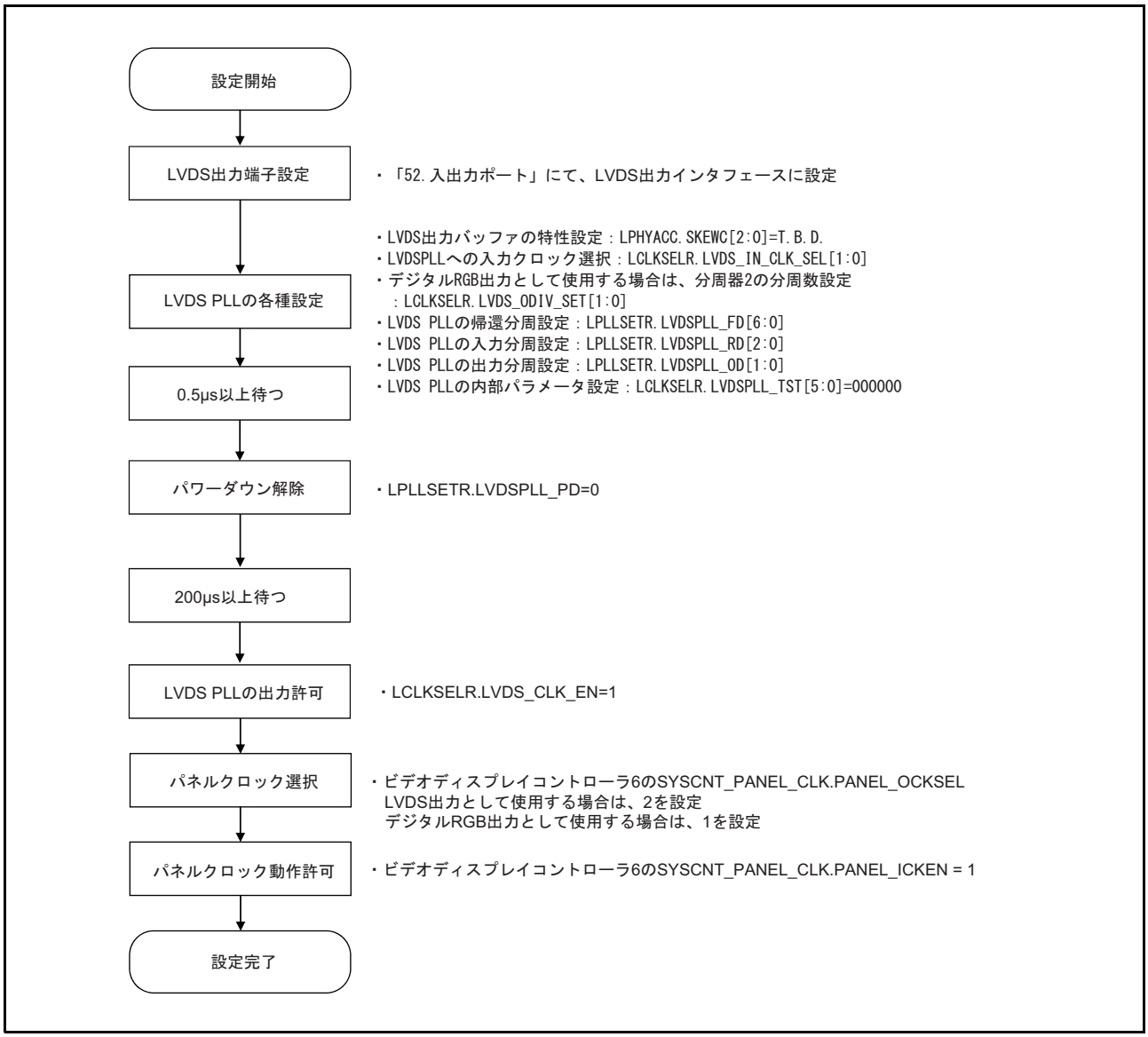


図 41.7　パワーオンリセット後の初期設定例

(2) 周波数変更設定

周波数変更を行う際の設定例を下記に示します。

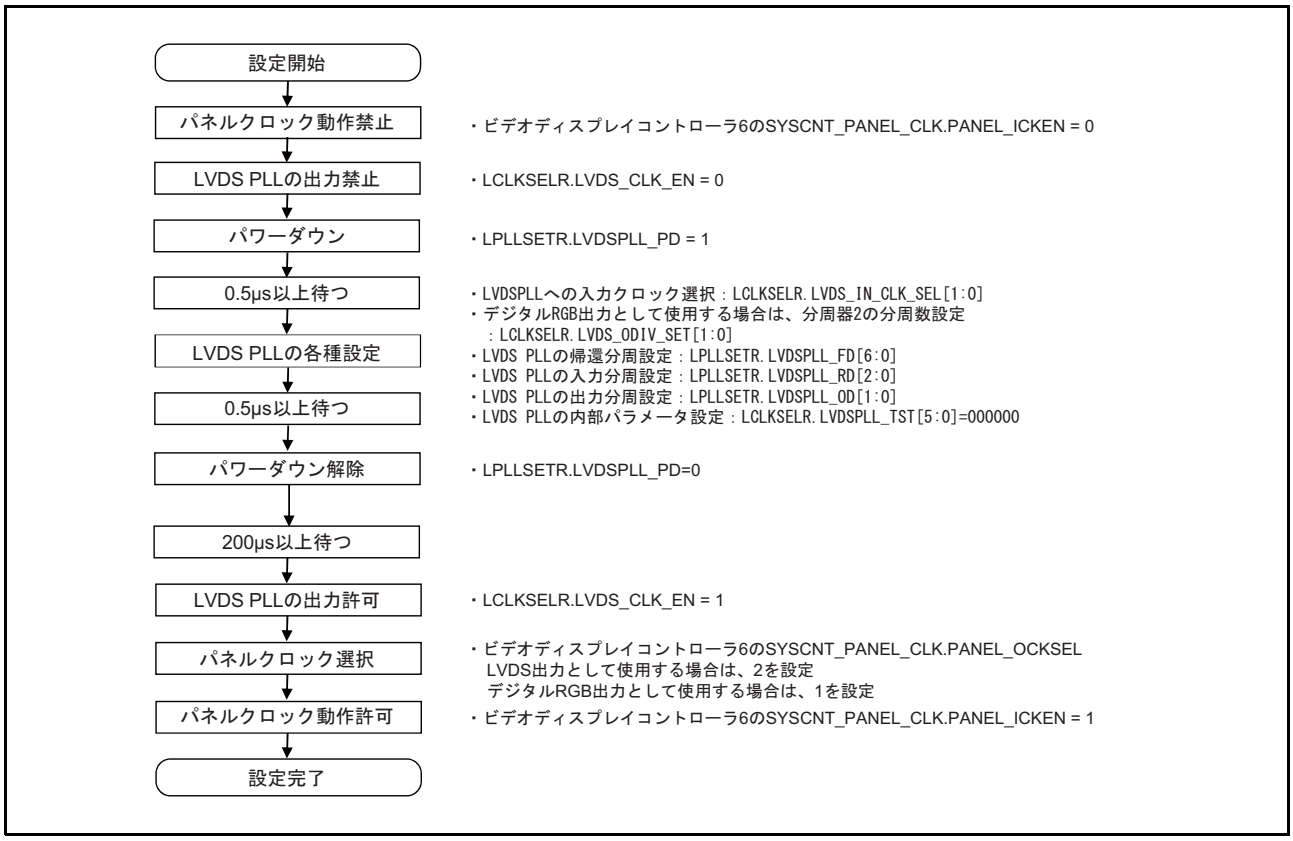


図 41.8 周波数変更設定例

41.6 注意事項

41.6.1 LVDS 出力端子設定

「51. 汎用入出力ポート」にて、差動出力 8 端子の内 1 端子でも LVDS 出力インタフェース以外に設定しているとき、LVDS 出力バッファは低消費状態となります。端子を LVDS 出力インタフェース設定後に、LVDS 出力バッファは低消費の状態から復帰しますが、最大 0.5µs の復帰時間を必要とします。そのため、端子を LVDS 出力インタフェースに設定した後、実際に LVDS 出力するまで最大 0.5µs の時間を必要とします。

42. 歪み補正エンジン 2（IMR-LS2）

歪み補正エンジン（IMR-LS2：IMage Render-Light SRAM 2）は、ビデオ取り込みデータを 2 次元テクスチャデータとして参照し、3 角形オブジェクトに分割された任意の形状に対してテクスチャマッピングを行い描画することができるシンプルな命令体系の描画プロセッサです。ビデオ入力 I/F との協調により、リアルタイムに描画を行うことが可能となっています。画像形状の加工により、魚眼レンズを装着したカメラから入力された画像の歪みをフラットに補正する機能や、任意の画像を補正する機能などに使用することができます。

詳細は、守秘契約を結んでいただいたうえで公開致します。

43. 2D 描画エンジン（DRW）

43.1 概要

2D 描画エンジン（DRW）は、直線、三角形、円といった数少ない特定のジオメトリに限らず、ほとんどすべてのオブジェクトジオメトリをサポートする柔軟な機能を提供します。オブジェクトのエッジに、個別にぼかしやアンチエイリアスをかけることができます。

ラスタライゼーションは、オブジェクトのバウンディングボックス上で、左から右、上から下へ、クロックごとに 1 ピクセル実行されます。2D 描画エンジンは、パフォーマンス最適化のため、場合によっては下から上へラスタライゼーションを実行することもできます。さらに、バウンディングボックスに多数の空ピクセルが含まれる場合に、そのラスタライゼーションをスキップする最適化手法を提供しています。

オブジェクトの各エッジへの距離は、バウンディングボックスのすべてのピクセルに対して一連のエッジ方程式を設定することによって計算できます。これらのエッジ方程式を連結することで、オブジェクト全体を記述できます。オブジェクト内にあるピクセルはレンダリング用に選択され、オブジェクト外にあるピクセルは破棄されます。エッジ上にある場合、エッジ直近のピクセルとの距離に比例したアルファ値がアンチエイリアシング用に選択されます。レンダリング用に選択されたすべてのピクセルはテクスチャ化可能です。その結果の aRGB 4 要素は、4 チャネルそれぞれ独立に一般的なラスター演算手法で変更することができます。その後、aRGB 4 要素は、本モジュールの複数のブレンドモードの 1 つを使用してブレンド可能です。

2D 描画エンジンの入力は 2 本（テクスチャリードおよびフレームバッファリード）、出力は 1 本（フレームバッファライト）あります。内部カラーフォーマットは常に aRGB（8888）です。入力からのカラーフォーマットは読み出し時に内部フォーマットに変換され、書き込み時に元のフォーマットに戻されます。

図 43.1 は 2D 描画エンジンを使用してハードウェアで描画可能なオブジェクト例を、**図 43.2** はレンダリングパイプラインのセットアップの簡略図を、**図 43.3** は本モジュールのブロック図を示しています。

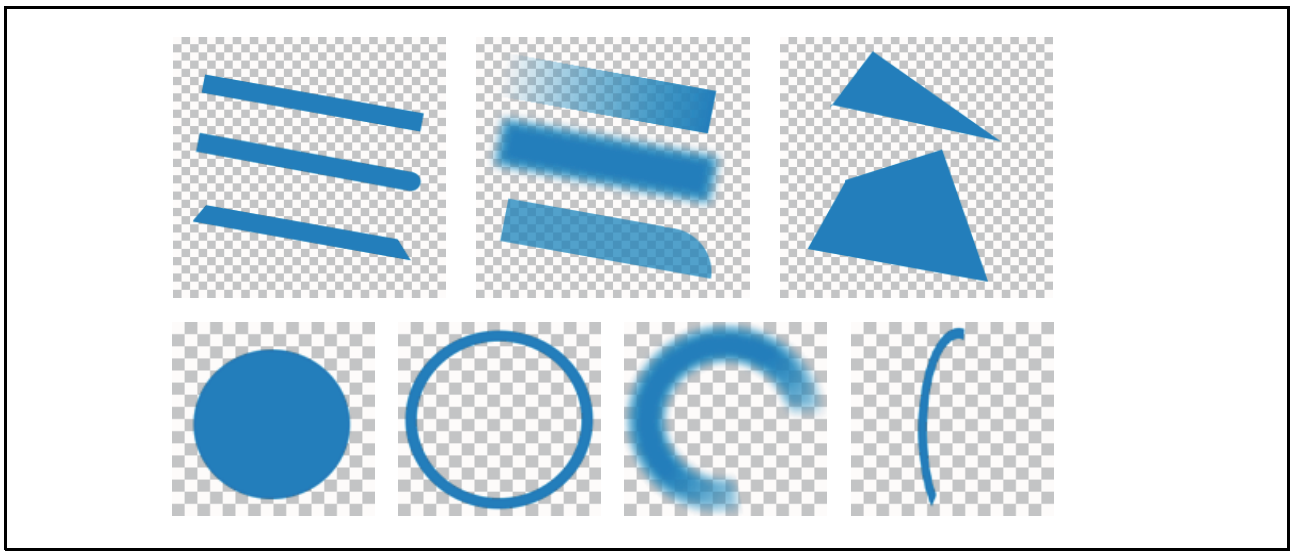


図 43.1　描画オブジェクトの例

2D 描画エンジンは、CPU とグラフィックコントローラを効率的に切り離し、他の CPU 動作と平行してレダリングをすることができる、ディスプレイリストモードもサポートしています。

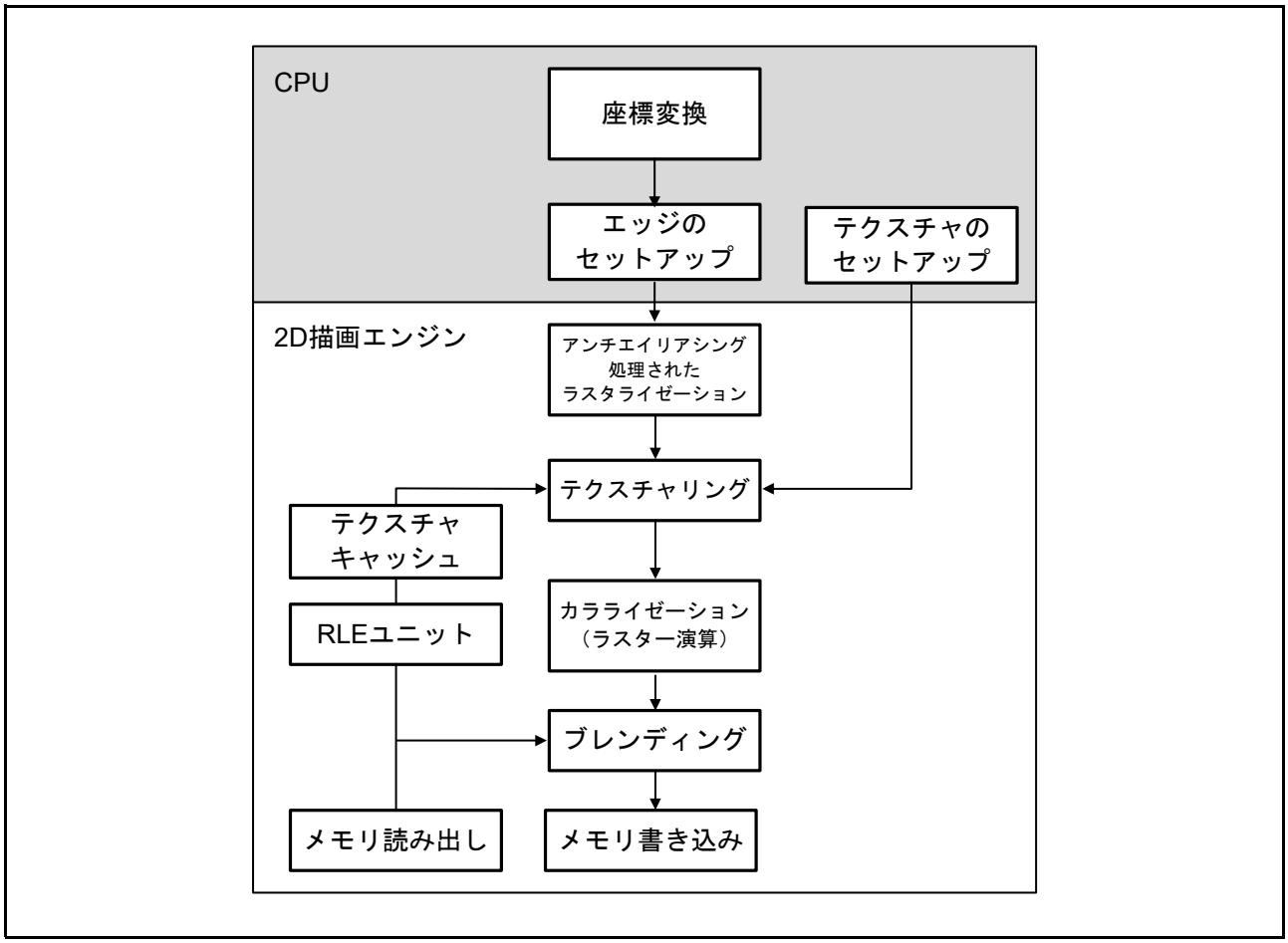


図 43.2　　レンダリングパイプラインのセットアップの簡略図

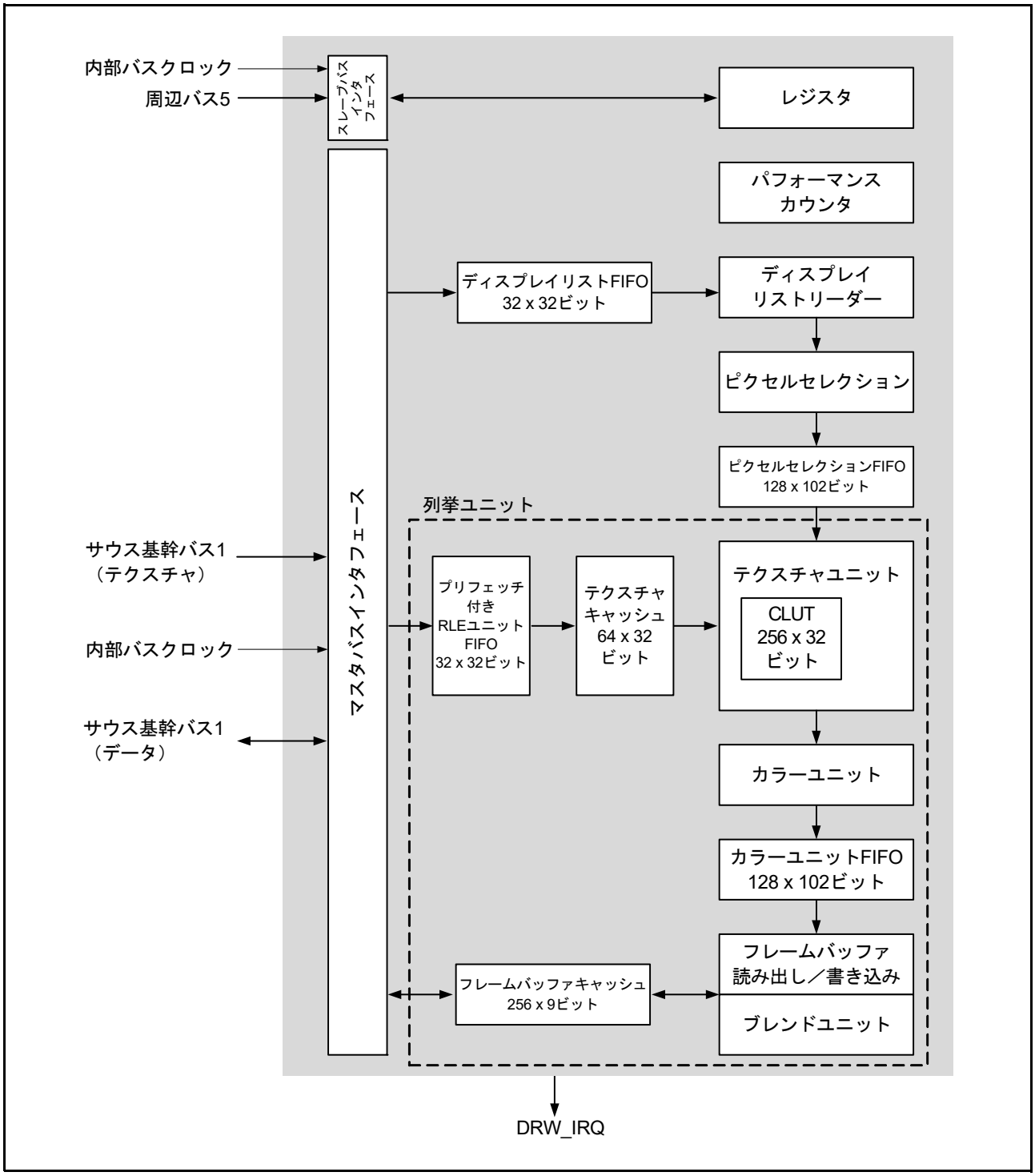


図 43.3　　2D 描画エンジンのブロック図

2D 描画エンジンは、以下に示す目的で、個別のキャッシュを介してサウス基幹バス 1 にバスマスタとしてアクセスします。

- フレームバッファからのピクセルデータの読み出し、フレームバッファへのピクセルデータの書き込み
- テクスチャの読み出し
- ディスプレイリストの読み出し

コントロールレジスタは、内部周辺バスインタフェースを介してアクセスされます。

43.2　レジスタの説明

【レジスタ説明の記号説明】

初期値：パワーオンリセット後のレジスタ値

R/W：リードおよびライト可。書き込み値を読み出すことができます。

R：リードのみ可。

W：ライトのみ可。

レジスタ名	略称	R/W	アドレス	初期値	アクセスサイズ
ジオメトリコントロールレジスタ（注1）	CONTROL	W	E820 A000h	0000 0000h	32
ステータスコントロールレジスタ（注1）	STATUS	R	E820 A000h	0000 0000h	32
サーフェスコントロールレジスタ（注1）	CONTROL2	W	E820 A004h	0000 0000h	32
ハードウェアバージョンおよび機能セットIDレジスタ（注1）	HWREVISION	R	E820 A004h	0FBE 0107h	32
リミッタ1開始値レジスタ	L1START	W	E820 A010h	0000 0000h	32
リミッタ2開始値レジスタ	L2START	W	E820 A014h	0000 0000h	32
リミッタ3開始値レジスタ	L3START	W	E820 A018h	0000 0000h	32
リミッタ4開始値レジスタ	L4START	W	E820 A01Ch	0000 0000h	32
リミッタ5開始値レジスタ	L5START	W	E820 A020h	0000 0000h	32
リミッタ6開始値レジスタ	L6START	W	E820 A024h	0000 0000h	32
リミッタ1X軸インクリメントレジスタ	L1XADD	W	E820 A028h	0000 0000h	32
リミッタ2X軸インクリメントレジスタ	L2XADD	W	E820 A02Ch	0000 0000h	32
リミッタ3X軸インクリメントレジスタ	L3XADD	W	E820 A030h	0000 0000h	32
リミッタ4X軸インクリメントレジスタ	L4XADD	W	E820 A034h	0000 0000h	32
リミッタ5X軸インクリメントレジスタ	L5XADD	W	E820 A038h	0000 0000h	32
リミッタ6X軸インクリメントレジスタ	L6XADD	W	E820 A03Ch	0000 0000h	32
リミッタ1Y軸インクリメントレジスタ	L1YADD	W	E820 A040h	0000 0000h	32
リミッタ2Y軸インクリメントレジスタ	L2YADD	W	E820 A044h	0000 0000h	32
リミッタ3Y軸インクリメントレジスタ	L3YADD	W	E820 A048h	0000 0000h	32
リミッタ4Y軸インクリメントレジスタ	L4YADD	W	E820 A04Ch	0000 0000h	32
リミッタ5Y軸インクリメントレジスタ	L5YADD	W	E820 A050h	0000 0000h	32
リミッタ6Y軸インクリメントレジスタ	L6YADD	W	E820 A054h	0000 0000h	32
リミッタ1バンド幅パラメータレジスタ	L1BAND	W	E820 A058h	0000 0000h	32
リミッタ2バンド幅パラメータレジスタ	L2BAND	W	E820 A05Ch	0000 0000h	32
ベースカラーレジスタ	COLOR1	W	E820 A064h	0000 0000h	32
セカンダリカラーレジスタ	COLOR2	W	E820 A068h	0000 0000h	32
パターンレジスタ	PATTERN	W	E820 A074h	0000 0000h	32
バウンディングボックス次元レジスタ	SIZE	W	E820 A078h	0000 0000h	32
フレームバッファピッチおよびスパンストア遅延レジスタ	PITCH	W	E820 A07Ch	0000 0000h	32
フレームバッファベースアドレスレジスタ	ORIGIN	W	E820 A080h	0000 0000h	32
Uリミッタ開始値レジスタ	LUSTART	W	E820 A090h	0000 0000h	32
UリミッタX軸インクリメントレジスタ	LUXADD	W	E820 A094h	0000 0000h	32
UリミッタY軸インクリメントレジスタ	LUYADD	W	E820 A098h	0000 0000h	32
Vリミッタ開始値整数部レジスタ	LVSTARTI	W	E820 A09Ch	0000 0000h	32
Vリミッタ開始値小数部レジスタ	LVSTARTF	W	E820 A0A0h	0000 0000h	32
VリミッタX軸インクリメント整数部レジスタ	LVXADDI	W	E820 A0A4h	0000 0000h	32
VリミッタY軸インクリメント整数部レジスタ	LVYADDI	W	E820 A0A8h	0000 0000h	32
Vリミッタインクリメント小数部レジスタ	LVYXADDF	W	E820 A0ACh	0000 0000h	32

レジスタ名	略称	R/W	アドレス	初期値	アクセスサイズ
テクスチャライン別テクセル数レジスタ	TEXPITCH	W	E820 A0B4h	0000 0000h	32
テクスチャサイズ／テクスチャアドレスマスクレジスタ	TEXMASK	W	E820 A0B8h	0000 0000h	32
テクスチャベースアドレスレジスタ	TEXORIGIN	W	E820 A0BCh	0000 0000h	32
割り込みコントロールレジスタ	IRQCTL	W	E820 A0C0h	0000 0000h	32
キャッシュコントロールレジスタ	CACHECTL	W	E820 A0C4h	0000 0000h	32
ディスプレイリスト開始アドレスレジスタ	DLISTSTART	W	E820 A0C8h	0000 0000h	32
パフォーマンスカウンタ 1	PERFCOUNT1	R/W	E820 A0CCh	0000 0000h	32
パフォーマンスカウンタ 2	PERFCOUNT2	R/W	E820 A0D0h	0000 0000h	32
パフォーマンスカウンタコントロールレジスタ	PERFTRIGGER	W	E820 A0D4h	0000 0000h	32
CLUT 開始アドレスレジスタ	TEXCLADDR	W	E820 A0DCh	0000 0000h	32
CLUT データレジスタ	TEXCLDATA	W	E820 A0E0h	0000 0000h	32
CLUT オフセットレジスタ	TEXCLOFFSET	W	E820 A0E4h	0000 0000h	32
カラーキーレジスタ	COLKEY	W	E820 A0E8h	0000 0000h	32

注1.　同一アドレスにライト、リードレジスタが割り当てられています。

43.2.1　ジオメトリコントロールレジスタ（CONTROL）

アドレス：DRW.CONTROL E820 A000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	SPAN STORE	SPAN ABORT	UNION CD	UNION AB	UNION 56	UNION 34	UNION 12	BAND2 ENABLE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BAND1EN ABLE	LIM6THRE SHOLD	LIM5THRE SHOLD	LIM4THRE SHOLD	LIM3THRE SHOLD	LIM2THRE SHOLD	LIM1THRE SHOLD	QUAD3 ENABLE	QUAD2 ENABLE	QUAD1EN ABLE	LIM6E NABLE	LIM5E NABLE	LIM4E NABLE	LIM3E NABLE	LIM2E NABLE	LIM1E NABLE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LIM1 ENABLE	リミッタ1有効化	0：無効 1：有効	W
b1	LIM2 ENABLE	リミッタ2有効化	0：無効 1：有効	W
b2	LIM3 ENABLE	リミッタ3有効化	0：無効 1：有効	W
b3	LIM4 ENABLE	リミッタ4有効化	0：無効 1：有効	W
b4	LIM5 ENABLE	リミッタ5有効化	0：無効 1：有効	W
b5	LIM6 ENABLE	リミッタ6有効化	0：無効 1：有効	W
b6	QUAD1 ENABLE	リミッタ1とリミッタ2の2次結合を有効化	0：無効 1：有効	W
b7	QUAD2 ENABLE	リミッタ3とリミッタ4の2次結合を有効化	0：無効 1：有効	W
b8	QUAD3 ENABLE	リミッタ5とリミッタ6の2次結合を有効化	0：無効 1：有効	W
b9	LIM1 THRESHOLD	リミッタ1しきい値モードを有効化	0：無効 1：有効	W
b10	LIM2 THRESHOLD	リミッタ2しきい値モードを有効化	0：無効 1：有効	W
b11	LIM3 THRESHOLD	リミッタ3しきい値モードを有効化	0：無効 1：有効	W
b12	LIM4 THRESHOLD	リミッタ4しきい値モードを有効化	0：無効 1：有効	W
b13	LIM5 THRESHOLD	リミッタ5しきい値モードを有効化	0：無効 1：有効	W
b14	LIM6 THRESHOLD	リミッタ6しきい値モードを有効化	0：無効 1：有効	W
b15	BAND1 ENABLE	リミッタ1に対するバンドポストプロセスを有効化	0：無効 1：有効 （LnBANDを参照）	W
b16	BAND2 ENABLE	リミッタ2に対するバンドポストプロセスを有効化	0：無効 1：有効 （LnBANDを参照）	W
b17	UNION12	リミッタ1とリミッタ2の論理和	0：リミッタ1とリミッタ2の最小／論理積を選択 1：リミッタ1とリミッタ2の最大／論理和を選択 （出力はAと呼ばれる）	W

ビット	シンボル	ビット名	機能	R/W
b18	UNION34	リミッタ3とリミッタ4の論理和	0：リミッタ3とリミッタ4の最小／論理積を選択 1：リミッタ3とリミッタ4の最大／論理和を選択 （出力はBと呼ばれる）	W
b19	UNION56	リミッタ5とリミッタ6の論理和	0：リミッタ5とリミッタ6の最小／論理積を選択 1：リミッタ5とリミッタ6の最大／論理和を選択 （出力はDと呼ばれる）	W
b20	UNIONAB	出力Aと出力Bの論理和	0：リミッタAとリミッタBの最小／論理積を選択 1：リミッタAとリミッタBの最大／論理和を選択 （出力はCと呼ばれる）	W
b21	UNIONCD	出力Cと出力Dの論理和	0：リミッタCとリミッタDの最小／論理積を選択 1：リミッタCとリミッタDの最大／論理和を選択 最終出力	W
b22	SPANABORT	スパンアボート	0：無効 1：有効 形状は水平の凸。スキャンラインごとに1つのみのスパン。「43.6.2.6　(2)　スパンアボート」を参照してください。	W
b23	SPANSTORE	スパンストア	0：無効 1：有効 次のラインのスパンスタートは、常に現在のラインのスパンスタートと同じ位置かそれより右側になります。「43.6.2.6　(1)　スパンストア」を参照してください。	W
b31～b24	－	予約ビット	書く場合、0としてください。	W

43.2.2　サーフェスコントロールレジスタ（CONTROL2）

アドレス：DRW.CONTROL2 E820 A004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RLEPIXEL WIDTH[1:0]		BDIA	BSIA	CLUT FORMAT	COLKEY ENABLE	CLUT ENABLE	RLE ENABLE	WRITEALPHA [1:0]		WRITEFORMAT [1:0]		READFORMAT [1:0]		TEXTURE FILTERY	TEXTURE FILTERX
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TEXTURE CLAMPY	TEXTURE CLAMPX	BC2	BDI	BSI	BDF	BSF	WRITEFORMAT[2]	BDFA	BSFA	READ FORMAT[3:2]		USEACB	PATTERN SOURCEL5	TEXTURE ENABLE	PATTERN ENABLE
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PATTERN ENABLE	ピクセルソースのパターンカラー有効化	ピクセルソースは、パターンカラー（PATTERNとパターンインデックスによるCOLOR1とCOLOR2のブレンド）です。 0：パターン無効 1：パターン有効 プリミティブを埋めるためにパターンを使用する場合、Uリミッタによって、パターンビットマスクへのインデックスが、各ピクセル用に生成されます。パターンビットに応じて、カラーはCOLOR1レジスタとCOLOR2レジスタから選択されます。小数部のインデックスは、TEXTUREFILTERX = 1を使用して、これら2つの値の間で補間できます。パターンは、TEXTURECLAMPX = 0を使用してラップできます。 U用のマスクを使用して、TEXMASKレジスタにマスクを設定する必要があります。	W
b1	TEXTURE ENABLE	ピクセルソースのテクスチャ有効化	ピクセルソースをテクスチャから読み出し、COLOR1とCOLOR2をブレンドするためのアルファとして使用します。 0：テクスチャ無効 1：テクスチャ有効	W
b2	PATTERN SOURCEL5	パターンインデックスとしてリミッタ5を有効化	デフォルトのUリミッタの代わりに、リミッタ5をパターンインデックスとして使用します。リミッタ5をリミッタ6と結合して、2次リミッタを構成できます。2次リミッタは、ラジカルパターンを描画する2次パターン関数を生成するために使用できます。	W
b3	USEACB	アルファブレンドモード	0：WRITEALPHA[1:0]モードを使用 1：フルアルファチャネルブレンディングモードを使用	W
b5、b4	READ FORMAT [3:2]	テクスチャフォーマット記述子	テクスチャバッファフォーマットのビット[3]とビット[2]。本章のREADFORMAT[1:0]ビットの詳細説明を参照してください。	W
b6	BSFA	アルファチャネルのブレンドソースファクタ	アルファチャネルブレンディングモード（USEACB = 1）で有効です。 0：アルファチャネルのブレンドソースファクタとして1.0を使用 1：アルファチャネルのブレンドソースファクタとしてアルファを使用	W
b7	BDFA	アルファチャネルのブレンドデスティネーションファクタ	アルファチャネルブレンディングモード（USEACB = 1）で有効です。 0：アルファチャネルのブレンドデスティネーションファクタとして1.0を使用 1：アルファチャネルのブレンドデスティネーションファクタとしてアルファを使用	W
b8	WRITE FORMAT [2]	フレームバッフフォーマットのライトバック	フレームバッファピクセルフォーマットのビット[2]。本章のWRITEFORMAT[1:0]の説明を参照してください。	W
b9	BSF	ブレンドソースファクタ	ソースファクタはアルファ（デフォルトでファクタは1）です。 0：ブレンドソースファクタとして1.0を使用 1：ブレンドソースファクタとしてアルファを使用	W
b10	BDF	ブレンドデスティネーションファクタ	デスティネーションファクタはアルファ（デフォルトでファクタは1）です。 0：ブレンドデスティネーションファクタとして1.0を使用 1：ブレンドデスティネーションファクタとしてアルファを使用	W

ビット	シンボル	ビット名	機能	R/W
b11	BSI	ブレンドソース ファクタ反転	ソースファクタは反転されています（BSFに応じて、1-aあるいは1-1を意味する）。 0：BSFで指定されたブレンドファクタを使用 1：ブレンドソースファクタを反転（1-x）	W
b12	BDI	ブレンドデスティネーションファクタ反転	デスティネーションファクタは反転されています（BDFに応じて、1-aあるいは1-1を意味する）。 0：BDFで指定されたブレンドファクタを使用 1：ブレンドデスティネーションファクタを反転（1-x）	W
b13	BC2	ブレンドカラー2	フレームバッファピクセルの代わりにブレンドカラー2を選択します。 0：デスティネーション（DST）として、フレームバッファからのピクセルを使用 1：デスティネーション（DST）としてカラー2を使用	W
b14	TEXTURE CLAMPX	使用されたテクスチャの外側にあるUリミッタの計算	このビットは、Uリミッタ（テクスチャ空間のx方向）が、使用されたテクスチャの外側にあるU値を計算した場合の動作を表します。 0：テクスチャラップモード：Uリミッタから計算された値の整数部はTEXUMASKでゲートされたANDで、結果としてx/u方向にテクスチャが複写される 1：テクスチャクランプモード：テクスチャ境界のテクスチャカラーが取得され、結果としてx/u方向にテクスチャ境界カラーが複写される	W
b15	TEXTURE CLAMPY	使用されたテクスチャの外側にあるVリミッタの計算	このビットは、Vリミッタ（テクスチャ空間のy方向）が、使用されたテクスチャの外側にあるV値を計算した場合の動作を示します。 0：テクスチャラップモード：Vリミッタから計算された値の整数部はTEXVMASKでゲートされたANDで、結果としてy/v方向にテクスチャが複写される 1：テクスチャクランプモード：テクスチャ境界のテクスチャカラーが取得され、結果としてy/v方向にテクスチャ境界カラーが複写される	W
b16	TEXTURE FILTERX	テクスチャU軸上のリニアフィルタリング	0：テクスチャU軸のフィルタリングなし 1：テクスチャU軸上のリニアフィルタリング	W
b17	TEXTURE FILTERY	テクスチャV軸上のリニアフィルタリング	0：テクスチャV軸上のフィルタリングなし 1：テクスチャV軸上のリニアフィルタリング	W
b19、b18	READ FORMAT [1:0]	テクスチャフォーマット記述子	テクスチャバッファのピクセルフォーマット b5 b4 b19 b18 0 0 0 0：8bpp a (8) 0 0 0 1：16bpp RGB (565) 0 0 1 0：32bpp aRGB (8888) 0 0 1 1：16bpp aRGB (4444) 0 1 0 0：16bpp aRGB (1555) 0 1 0 1：8bpp aCLUT (44)、4ビットのアルファと4ビットのインデックス指定カラー 1 0 0 1：8bpp CLUT (8)/I (8)、8ビットのインデックス指定カラー／輝度 1 0 1 0：4bpp CLUT (4)/I (4)、4ビットのインデックス指定カラー／輝度 1 0 1 1：2bpp CLUT (2)/I (2)、2ビットのインデックス指定カラー／輝度 1 1 0 0：1bpp CLUT (1)/I (1)、1ビットのインデックス指定カラー／輝度 上記以外の設定はしないでください。	W
b21、b20	WRITE FORMAT [1:0]	フレームバッファフォーマットのライトバック	フレームバッファのピクセルフォーマット b8 b21 b20 0 0 0：8bpp a (8) 0 0 1：16bpp RGB (565) 0 1 0：32bpp aRGB (8888) 0 1 1：16bpp aRGB (4444) 上記以外の設定はしないでください。	W

ビット	シンボル	ビット名	機能	R/W
b23、b22	WRITE ALPHA [1:0]	フレームバッファ用アルファソースのライトバック	アルファチャネルブレンディングモードではない（USEACB = 0）場合： フレームバッファ用にアルファソースをセット b23 b22 0 0：カラー2からのアルファを使用 0 1：ソースアルファを使用（ピクセルカバレージ） 1 0：0.0をアルファとして使用 1 1：フレームバッファからのアルファを使用 アルファチャネルブレンディングモード（USEACB = 1）の場合： フレームバッファアルファの代わりにカラー2のアルファをブレンド b23 b22 0 0：BC2A = 1：デスティネーション（DST_A）として、カラー2のアルファを使用 その他：BC2A = 0：デスティネーション（DST_A）として、フレームバッファからのアルファを使用	W
b24	RLE ENABLE	RLE有効	0：RLE無効 1：RLE有効	W
b25	CLUT ENABLE	CLUT有効	0：CLUT無効 1：CLUT有効 CLUTENABLE = 0（CLUT無効）の場合、インデックスはRGBチャネルに直接与えられます。	W
b26	COLKEY ENABLE	カラーキーイング有効	0：カラーキーイング無効 1：カラーキーイング有効	W
b27	CLUT FORMAT	CLUTフォーマット	0：aRGB（8888）としてCLUTをフォーマット 1：RGB（565）としてCLUTをフォーマット	W
b28	BSIA	アルファチャネルのブレンドソースファクタ反転	アルファチャネルブレンディングモード（USEACB = 1）の場合： 0：BSFAで指定されたブレンドファクタを使用 1：ブレンドソースファクタを反転（1-x）	W
b29	BDIA	アルファチャネルのブレンドデスティネーションファクタ反転	アルファチャネルブレンディングモード（USEACB = 1）の場合： 0：BDFAで指定されたブレンドファクタを使用 1：デスティネーションブレンドファクタを反転（1-x）	W
b31、b30	RLE PIXEL WIDTH [1:0]	RLEユニットのテクセル幅	b31 b30 0 0：1テクセル当たり1バイト 0 1：1テクセル当たり2バイト 1 0：1テクセル当たり3バイト 1 1：1テクセル当たり4バイト	W

43.2.3　割り込みコントロールレジスタ（IRQCTL）

アドレス： DRW.IRQCTL E820 A0C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BUSIRQCLR	BUSIRQEN	DLISTIRQCLR	ENUMIRQCLR	DLISTIRQEN	ENUMIRQEN
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENUMIRQEN	ENUMIRQ割り込みマスク有効	0：ENUMIRQ列挙割り込み無効（マスク） 1：ENUMIRQ列挙割り込み有効（アンマスク）	W
b1	DLISTIRQEN	DLISTIRQ割り込みマスク有効	0：DLISTIRQディスプレイリスト割り込み無効（マスク） 1：DLISTIRQディスプレイリスト割り込み有効（アンマスク）	W
b2	ENUMIRQCLR	ENUMIRQクリア	0：ENUMIRQ列挙割り込みをクリアしない 1：ENUMIRQ列挙割り込みをクリアする	W
b3	DLISTIRQCLR	DLISTIRQクリア	0：DLISTIRQディスプレイリスト割り込みをクリアしない 1：DLISTIRQディスプレイリスト割り込みをクリアする	W
b4	BUSIRQEN	BUSIRQ割り込みマスク有効	0：BUSIRQバスエラー割り込み無効（マスク） 1：BUSIRQバスエラー割り込み有効（アンマスク）	W
b5	BUSIRQCLR	BUSIRQクリア	0：BUSIRQバスエラー割り込みをクリアしない 1：BUSIRQバスエラー割り込みをクリアする	W
b31～b6	－	予約ビット	書く場合、0としてください。	W

43.2.4　キャッシュコントロールレジスタ（CACHECTL）

アドレス： DRW.CACHECTL E820 A0C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CFLUSHTX	CENABLETX	CFLUSHFX	CENABLEFX
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CENABLEFX	フレームバッファキャッシュの有効化	0：フレームバッファキャッシュを無効化 1：フレームバッファキャッシュを有効化	W
b1	CFLUSHFX	フレームバッファキャッシュのフラッシュ	0：フレームバッファキャッシュをフラッシュしない 1：フレームバッファキャッシュをフラッシュする	W
b2	CENABLETX	テクスチャキャッシュの有効化	0：テクスチャキャッシュの無効化 1：テクスチャキャッシュの有効化	W
b3	CFLUSHTX	テクスチャキャッシュのフラッシュ	0：テクスチャキャッシュをフラッシュしない 1：テクスチャキャッシュをフラッシュする	W
b31～b4	－	予約ビット	書く場合、0としてください。	W

43.2.5　ステータスコントロールレジスタ（STATUS）

アドレス：DRW.STATUS E820 A000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	BUSERR MDL	BUSERR MTXMRL	BUSERR MFB	—	BUS IRQ	DLIST IRQ	ENUM IRQ	DLIST ACTIVE	CACHE DIRTY	BUSY WRITE	BUSY ENUM
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BUSYENUM	列挙ユニットの状態	0：列挙ユニットはアイドル状態 1：列挙ユニットはビジー状態で新しいプリミティブの開始不可	R
b1	BUSYWRITE	フレームバッファライトバックの状態	0：フレームバッファライトバック終了 1：フレームバッファライトバックはビジー状態でフレームバッファの型を変更不可	R
b2	CACHEDIRTY	フレームバッファキャッシュの状態	0：フレームバッファキャッシュはダーティ状態ではない 1：フレームバッファキャッシュはダーティ状態でフレームをフリップしてはならない	R
b3	DLISTACTIVE	ディスプレイリストリーダの状態	0：ディスプレイリストリーダはアイドル状態 1：ディスプレイリストリーダはビジー状態でレジスタへの直接アクセス不可	R
b4	ENUMIRQ	列挙割り込みトリガ	0：列挙未終了、あるいは割り込み禁止状態 1：列挙終了割り込みがトリガされた	R
b5	DLISTIRQ	ディスプレイリスト割り込みトリガ	0：ディスプレイリスト未終了、あるいは割り込み禁止状態 1：ディスプレイリスト終了割り込みがトリガされた	R
b6	BUSIRQ	バスエラー割り込みトリガ	0：バスエラーなし、あるいは割り込み禁止状態 1：バスエラー割り込みがトリガされた	R
b7	—	予約ビット	読むと0が読めます。	R
b8	BUSERRMFB	フレームバッファバスエラー割り込みトリガ	0：フレームバッファバスエラーなし、あるいは割り込み禁止状態 1：フレームバッファバスエラー割り込みがトリガされた	R
b9	BUSERR MTXMRL	テクスチャバスエラー割り込みトリガ	0：テクスチャバスエラーなし、あるいは割り込み禁止状態 1：テクスチャバスエラー割り込みがトリガされた(注1)	R
b10	BUSERRMDL	ディスプレイリストバスエラー割り込みトリガ	0：ディスプレイリストバスエラーなし、あるいは割り込み禁止状態 1：ディスプレイリストバスエラー割り込みがトリガされた	R
b31～b11	—	予約ビット	読むと0が読めます。	R

注1.　RLEユニットもテクスチャバスを介してデータを読み出しているので、RLEデータアクセス中のエラーもこのビットに反映されます。

43.2.6　ハードウェアバージョンおよび機能セット ID レジスタ（HWREVISION）

アドレス：DRW.HWREVISION E820 A004h

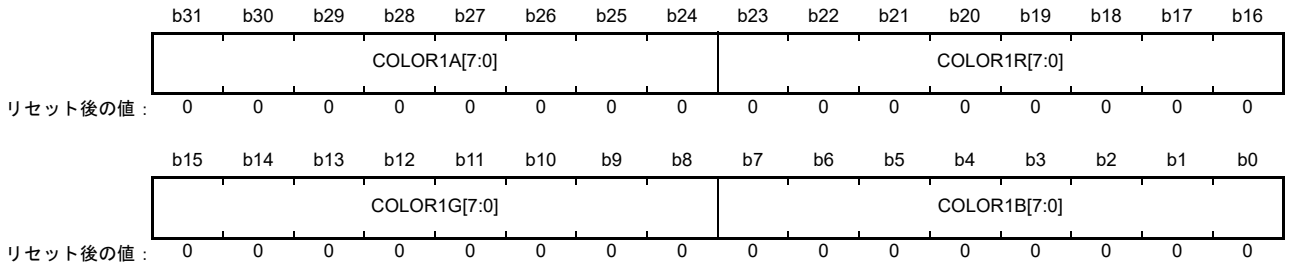
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	AC BLEND	—	COLOR KEY	TEXCLUT 256	RLE UNIT	—	TEX CLUT	PERF COUNT	TX CACHE	FB CACHE	DLR	—
リセット後の値：	0	0	0	0	1	1	1	1	1	0	1	1	1	1	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	REV[11:0]											
リセット後の値：	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b11～b0	REV[11:0]	リビジョン番号	リビジョン番号。	R
b16～b12	—	予約ビット	読むと0が読めます。	R
b17	DLR	ディスプレイリストリーダ有効	ディスプレイリストリーダが有効です。	R
b18	FBCACHE	フレームバッファキャッシュ有効	フレームバッファキャッシュが有効です。	R
b19	TXCACHE	テクスチャキャッシュ有効	テクスチャキャッシュが有効です。	R
b20	PERFCOUNT	2つのパフォーマンスカウンタ有効	2つのパフォーマンスカウンタが有効です。	R
b21	TEXCLUT	16個または256個のエントリを持つテクスチャ CLUT有効	16個または256個のエントリを持つテクスチャ CLUTが有効です。	R
b22	—	予約ビット	読むと0が読めます。	R
b23	RLEUNIT	RLEユニット有効	RLEユニットが有効です。	R
b24	TEXCLUT256	テクスチャ CLUT有効	テクスチャ CLUTが有効です。	R
b25	COLORKEY	カラーキー有効	カラーキーが有効です。	R
b26	—	予約ビット	読むと1が読めます。	R
b27	ACBLEND	アルファチャネルブレンディング有効	アルファチャネルブレンディングが有効です。	R
b31～b28	—	予約ビット	読むと0が読めます。	R

43.2.7　ベースカラーレジスタ（COLOR1）

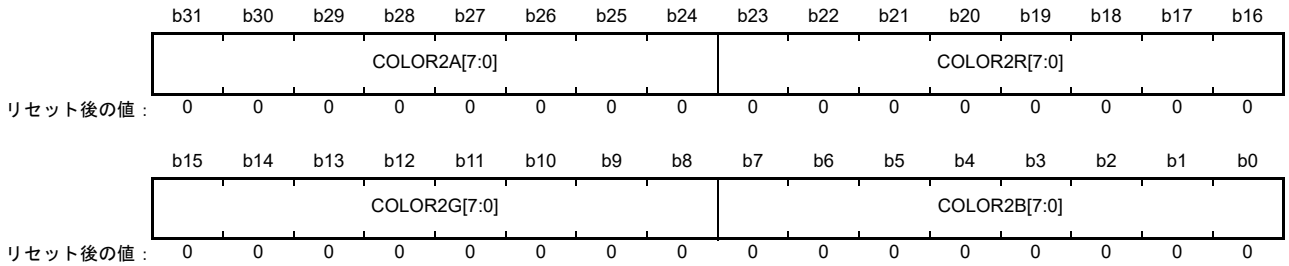
アドレス： DRW.COLOR1 E820 A064h



ビット	シンボル	ビット名	機能	R/W
b7～b0	COLOR1B[7:0]	カラー1のブルーチャネル	カラー1のブルーチャネルを指定します。	W
b15～b8	COLOR1G[7:0]	カラー1のグリーンチャネル	カラー1のグリーンチャネルを指定します。	W
b23～b16	COLOR1R[7:0]	カラー1のレッドチャネル	カラー1のレッドチャネルを指定します。	W
b31～b24	COLOR1A[7:0]	カラー1のアルファチャネル	カラー1のアルファチャネルを指定します。 00h：透明 ... FFh：不透明	W

43.2.8　セカンダリカラーレジスタ（COLOR2）

アドレス： DRW.COLOR2 E820 A068h



ビット	シンボル	ビット名	機能	R/W
b7～b0	COLOR2B[7:0]	カラー2のブルーチャネル	カラー2のブルーチャネルを指定します。	W
b15～b8	COLOR2G[7:0]	カラー2のグリーンチャネル	カラー2のグリーンチャネルを指定します。	W
b23～b16	COLOR2R[7:0]	カラー2のレッドチャネル	カラー2のレッドチャネルを指定します。	W
b31～b24	COLOR2A[7:0]	カラー2のアルファチャネル	カラー2のアルファチャネルを指定します。 00h：透明 ... FFh：不透明	W

43.2.9　パターンレジスタ（PATTERN）

アドレス：DRW.PATTERN E820 A074h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PATTERN[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	PATTERN[7:0]	パターンのビットマップ	パターンのビットマップを指定します。	W
b31～b8	—	予約ビット	書く場合、0としてください。	W

43.2.10　リミッタ N 開始値レジスタ（LnSTART）

アドレス：DRW.L1START E820 A010h, DRW.L2START E820 A014h, DRW.L3START E820 A018h,
DRW.L4START E820 A01Ch, DRW.L5START E820 A020h, DRW.L6START E820 A024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LSTART[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LSTART[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LSTART[31:0]	n番のリミッタの開始値	n番のリミッタの開始値を指定します。	W

43.2.11 リミッタNX軸インクリメントレジスタ（LnXADD）

アドレス： DRW.L1XADD E820 A028h, DRW.L2XADD E820 A02Ch, DRW.L3XADD E820 A030h, DRW.L4XADD E820 A034h, DRW.L5XADD E820 A038h, DRW.L6XADD E820 A03Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LXADD[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LXADD[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LXADD[31:0]	x軸インクリメント	x軸インクリメントを指定します。	W

43.2.12 リミッタNY軸インクリメントレジスタ（LnYADD）

アドレス： DRW.L1YADD E820 A040h, DRW.L2YADD E820 A044h, DRW.L3YADD E820 A048h, DRW.L4YADD E820 A04Ch, DRW.L5YADD E820 A050h, DRW.L6YADD E820 A054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LYADD[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LYADD[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LYADD[31:0]	Y軸インクリメント	Y軸インクリメントを指定します。	W

43.2.13　リミッタ M バンド幅パラメータレジスタ（LmBAND）

アドレス： DRW.L1BAND E820 A058h, DRW.L2BAND E820 A05Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LBAND[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LBAND[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LBAND[31:0]	リミッタ mバンド幅パラメータ	リミッタ mのバンド幅パラメータを指定します。	W

43.2.14　テクスチャベースアドレスレジスタ（TEXORIGIN）

アドレス： DRW.TEXORIGIN E820 A0BCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TEXORIGIN[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TEXORIGIN[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	TEXORIGIN[31:0]	テクスチャベースアドレス	テクスチャベースアドレスを指定します。	W

43.2.15　テクスチャライン別テクセル数レジスタ（TEXPITCH）

アドレス： DRW.TEXPITCH E820 A0B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TEXPITCH[10:0]										
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10～b0	TEXPITCH[10:0]	テクスチャライン別テクセル数	テクスチャライン別テクセル数を指定します。	W
b31～b11	—	予約ビット	書く場合、0としてください。	W

43.2.16　テクスチャサイズ／テクスチャアドレスマスクレジスタ（TEXMASK）

アドレス： DRW.TEXMASK E820 A0B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TEXVMASK[20:5]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TEXVMASK[4:0]					TEXUMASK[10:0]										
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10～b0	TEXUMASK[10:0]	テクスチャモードのUマスク	Uマスクを指定します。 (texture_width-1)を設定します。 テクスチャラッピングモード （CONTROL2.TEXTURECLAMPX = 0）の場合、 texture_widthは2のべき乗である必要があります。 テクスチャクランピングモード （CONTROL2.TEXTURECLAMPX = 1）の場合、 すべての幅は最大2048まで可能です。	W
b31～b11	TEXVMASK[20:0]	テクスチャモードのVマスク	Vマスクを指定します。 TEXPITCH×(texture_height -1) を設定します。 テクスチャラッピングモード （CONTROL2.TEXTURECLAMPY = 0）の場合、 texture_heightは2のべき乗である必要があります。 テクスチャクランピングモード （CONTROL2.TEXTURECLAMPY = 1）では、 すべての高さは最大1024まで可能です。	W

43.2.17　U リミッタ開始値レジスタ（LUSTART）

アドレス： DRW.LUSTART E820 A090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LUSTART[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LUSTART[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LUSTART[31:0]	Uリミッタ開始値	Uリミッタ開始値を指定します。	W

43.2.18　U リミッタ X 軸インクリメントレジスタ（LUXADD）

アドレス： DRW.LUXADD E820 A094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LUXADD[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LUXADD[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LUXADD[31:0]	Uリミッタx軸インクリメント	Uリミッタx軸インクリメントを指定します。	W

43.2.19　U リミッタ Y 軸インクリメントレジスタ（LUYADD）

アドレス： DRW.LUYADD E820 A098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LUYADD[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LUYADD[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LUYADD[31:0]	Uリミッタy軸インクリメント	Uリミッタy軸インクリメントを指定します。	W

43.2.20　V リミッタ開始値整数部レジスタ（LVSTARTI）

アドレス： DRW.LVSTARTI E820 A09Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LVSTARTI[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LVSTARTI[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LVSTARTI[31:0]	Vリミッタ開始値整数部	Vリミッタ開始値整数部を指定します。	W

43.2.21　V リミッタ開始値小数部レジスタ（LVSTARTF）

アドレス： DRW.LVSTARTF E820 A0A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LVSTARTF[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	LVSTARTF[15:0]	Vリミッタ開始値小数部	Vリミッタ開始値少数部を指定します。	W
b31～b16	—	予約ビット	書く場合、0としてください。	W

43.2.22　V リミッタ X 軸インクリメント整数部レジスタ（LVXADDI）

アドレス： DRW.LVXADDI E820 A0A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LVXADDI[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LVXADDI[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LVXADDI[31:0]	Vリミッタx軸インクリメント整数部	Vリミッタx軸インクリメント整数部を指定します。	W

43.2.23　V リミッタ Y 軸インクリメント整数部レジスタ（LVYADDI）

アドレス： DRW.LVYADDI E820 A0A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LVYADDI[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LVYADDI[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	LVYADDI[31:0]	Vリミッタy軸インクリメント整数部	Vリミッタy軸インクリメント整数部を指定します。	W

43.2.24　V リミッタインクリメント小数部レジスタ（LVYXADDF）

アドレス： DRW.LVYXADDF E820 A0ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LVYADDF[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LVXADDF[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	LVXADDF[15:0]	Vリミッタx軸インクリメント小数部	Vリミッタx軸インクリメント小数部を指定します。	W
b31～b16	LVYADDF[15:0]	Vリミッタy軸インクリメント小数部	Vリミッタy軸インクリメント小数部を指定します。	W

43.2.25　CLUT 開始アドレスレジスタ（TEXCLADDR）

アドレス： DRW.TEXCLADDR E820 A0DCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CLADDR[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	CLADDR[7:0]	テクスチャ CLUT開始アドレス	テクスチャ CLUTの開始アドレスを指定します。	W
b31～b8	—	予約ビット	書く場合、0としてください。	W

43.2.26　CLUT データレジスタ（TEXCLDATA）

アドレス： DRW.TEXCLDATA E820 A0E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CLDATA[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CLDATA[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	CLDATA[31:0]	テクスチャ CLUTデータ	テクスチャ CLUTデータを指定します。	W

43.2.27　CLUT オフセットレジスタ（TEXCLOFFSET）

アドレス： DRW.TEXCLOFFSET E820 A0E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CLOFFSET[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	CLOFFSET[7:0]	テクスチャ CLUTオフセット	テクスチャ CLUTオフセットを指定します。 CLOFFSET[7:0]は、元のインデックスに論理和する値を指定します。	W
b31～b8	—	予約ビット	書く場合、0としてください。	W

43.2.28　カラーキーレジスタ（COLKEY）

アドレス： DRW.COLKEY E820 A0E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	COLKEYR[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	COLKEYG[7:0]								COLKEYB[7:0]							
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	COLKEYB[7:0]	カラーキーのブルーチャネル	カラーキーのブルーチャネルを指定します。	W
b15～b8	COLKEYG[7:0]	カラーキーのグリーンチャネル	カラーキーのグリーンチャネルを指定します。	W
b23～b16	COLKEYR[7:0]	カラーキーのレッドチャネル	カラーキーのレッドチャネルを指定します。	W
b31～b24	—	予約ビット	書く場合、0としてください。	W

43.2.29　バウンディングボックス次元レジスタ（SIZE）

アドレス： DRW.SIZE E820 A078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SIZEY[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SIZEX[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	SIZEX[15:0]	バウンディングボックス幅	バウンディングボックスの幅をピクセル単位で指定します。 有効範囲：0～1024	W
b31～b16	SIZEY[15:0]	バウンディングボックス高	バウンディングボックスの高さをピクセル単位で指定します。 有効範囲：0～1024	W

43.2.30　フレームバッファピッチおよびスパンストア遅延レジスタ（PITCH）

アドレス： DRW.PITCH E820 A07Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SSD[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PITCH[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15～b0	PITCH[15:0]	フレームバッファのピッチ	負の幅を使用すると、レンダリングを上から下ではなく、下から上に実行できます。	W
b31～b16	SSD[15:0]	スパンストア遅延	スパンストア動作を遅延させるスキャンラインの数を指定します。	W

43.2.31　フレームバッファベースアドレスレジスタ（ORIGIN）

アドレス：DRW.ORIGIN E820 A080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ORIGIN[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ORIGIN[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	ORIGIN[31:0]	フレームバッファ内先頭ピクセルアドレス	ORIGINに書き込むと、レンダリング開始がトリガされます。	W

43.2.32　ディスプレイリスト開始アドレスレジスタ（DLISTSTART）

アドレス：DRW.DLISTSTART E820 A0C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLISTSTART[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DLISTSTART[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	DLISTSTART[31:0]	ディスプレイリスト開始アドレス	新しいディスプレイリストベースアドレスをセットすると、新しいディスプレイリストの実行がトリガされます。実行は、新しいリストがセットされるか、現在のリストが終了したときのみ停止します。	W

43.2.33　パフォーマンスカウンタコントロールレジスタ（PERFTRIGGER）

アドレス： DRW.PERFTRIGGER E820 A0D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	PERFTRIGGER2[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	PERFTRIGGER1[4:0]				
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4～b0	PERFTRIGGER1 [4:0]	パフォーマンスカウンタ1のトリガ	PERFCOUNT1レジスタをインクリメントする内部イベントを選択します。 0：パフォーマンスカウンタを無効化 1：2D描画エンジンのアクティブサイクルを選択 2：フレームバッファリードアクセスを選択 3：フレームバッファライトアクセスを選択 4：テクスチャリードアクセスを選択 5：見えないピクセル（並んでいるがアルファ 0%で選択されている）を選択 6：内部FIFOが空（ロストサイクル）の間の見えないピクセルを選択 7：ディスプレイリストリーダのアクティブサイクルを選択 8：フレームバッファリードのヒットを選択 9：フレームバッファリードのミスを選択 10：フレームバッファライトのヒットを選択 11：フレームバッファライトのミスを選択 12：テスクチャリードのヒットを選択 13：テスクチャリードのミスを選択 31：全クロックサイクル（タイマとして使用）を選択	W
b15～b5	—	予約ビット	書く場合、0としてください。	W
b20～b16	PERFTRIGGER2 [4:0]	パフォーマンスカウンタ2のトリガ	パフォーマンスカウンタ2用であることを除き、PERFTRIGGER1と同様	W
b31～b21	—	予約ビット	書く場合、0としてください。	W

43.2.34　パフォーマンスカウンタ k（PERFCOUNTk）（k = 1、2）

アドレス： DRW.PERFCOUNT1E820 A0CCh, DRW.PERFCOUNT2 E820 A0D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PERFCOUNT[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PERFCOUNT[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31～b0	PERFCOUNT [31:0]	パフォーマンスカウンタk値	カウンタkの値を指定します。このカウンタは、 PERFCOUNTk = 0000 0000hを書き込むことでリセットされます。	R/W

43.3 描画機能

43.3.1 描画機能の概要

43.3.1.1 カラーフォーマット

以下のカラーフォーマットがサポートされています。

フレームバッファフォーマット

- 8 ビット：a (8)
- 16 ビット：RGB (565)、aRGB (4444)
- 32 ビット：aRGB (8888)

テクスチャフォーマット

- 1 ビット：CLUT (1)/I (1)
- 2 ビット：CLUT (2)/I (2)
- 4 ビット：CLUT (4)/I (4)
- 8 ビット：a (8)、CLUT (8)/I (8)、aCLUT (44)
- 16 ビット：aRGB (4444)、aRGB (1555)、RGB (565)
- 24 ビット：RGB（888）（ランレングスエンコード化（RLE）ユニット）
- 32 ビット：aRGB (8888)

CLUT フォーマットは、256 個のエントリを持つカラールックアップテーブルを使用します。

43.3.1.2 BitBLT 機能

2D 描画エンジンは、ベクタ描画機能を使用して長方形を描画し、選択した BitBLT 関数に従ってテクスチャ処理する BitBLT 機能をサポートしています。これにより、次の BitBLT 機能が実現されます。

- 塗りつぶし
- コピー
- ストレッチ BitBLT
- 回転とスケーリング
- アルファブレンディング
- バイリニアフィルタリング
- カラー変換
- サブピクセルの正確な配置

43.3.1.3 ベクタ描画機能

ベクタ 2D 描画エンジンは、ハーフプレーンレンダリング方式を使用します。したがって、オーバーヘッドをほとんどかけることなくエッジのアンチエイリアシングとぼかし機能を実装することができます。いくつかの機能ユニットを組み合わせることによって、ラインやポリゴンのような線形プリミティブだけでなく、円や楕円のような 2 次方程式ベースのプリミティブも描画できます。以下のプリミティブがサポートされています。

- ライン
- ポリゴン
- 円と楕円
- 2 次曲線（ソフトウェアドライバサポート）
- 2D テクスチャマッピング
- テクスチャのバイリニアフィルタリング

43.3.2　ベクタ描画

アルゴリズムの詳細な説明については、「43.6　レンダリングパイプライン」を参照してください。以下のベクタ描画がサポートされています。

ライン

- 任意の幅
- 丸めエンドポイント
- 切り捨てエンドポイント
- アルファ勾配
- ソフトエッジ（ぼかし）
- レンダリング属性：カラー、パターン、テクスチャ

ポリゴン

- 三角形と四角形（複雑なポリゴンはソフトウェアにより分割される (テッセレーション))
- アルファ勾配
- ソフトエッジ（ぼかし）
- アンチエイリアシング用の各エッジ制御
- レンダリング属性：カラー、パターン、テクスチャ

円と楕円

- すべての円錐曲線
- 塗りつぶし、あるいは任意の幅
- 0° ～ 360° の弧
- ソフトエッジ
- アルファ勾配
- レンダリング属性：カラー、パターン、テクスチャ

2 次ベジェ曲線

- 弧による近似
- 任意の幅
- 丸めまたは切り捨てエンドポイント
- アウトライン、ぼかし
- アルファ勾配
- レンダリング属性：カラー

テクスチャマッピング

- 2D 描画エンジンが提供するすべてのプリミティブ上に非明示的または明示的にマッピング可能なピクセルの 2D 配列
- 変換、回転、スケーリング／シアリング
- テクスチャのバイリニアフィルタリング
- 1 つの軸が定数であれば、ライン単位のマッピングが可能な 3D のようなテクスチャ処理

43.3.3　BitBLT

専用 BitBLT ユニットは、2D 描画エンジンでは必要ありません。ベクタ描画機能用に記述したレンダリングパイプラインを BitBLT ユニットとして使用して、1 ピクセル／サイクルのスループットがすでに提供されています。詳細は、**「43.6　レンダリングパイプライン」**を参照してください。

43.3.3.1　塗りつぶし

フレームバッファ内の長方形は、任意の値で塗りつぶすことができます。使用できるカラーフォーマットは、8bpp, 16bpp, 32bpp のフォーマットです。ドライバは、32 ビットのパラレルラスタライゼーションのメリットを最大限活用するために塗りつぶしを最適化します。選択したカラーフォーマットが 32bpp 未満の場合、ドライバがアライメントを修正し、1 クロック当たり 32 ビットの塗りつぶしを行います。そのため、8bpp フォーマットと 16bpp フォーマットでは塗りつぶし性能が 2 ～ 4 倍になります。

43.3.3.2　コピー

フレームバッファの任意の長方形を、テクスチャ入力からの任意の長方形データで塗りつぶすことができます。テクスチャ入力がフレームバッファを示している場合、フレームバッファからフレームバッファへのコピーが可能です。転送元エリアと転送先エリアが重複することによるコピーの問題を避けるため、コピー開始点は、左上から右下に選択することができます。使用できるカラーフォーマットは、8bpp, 16bpp, 32bpp のフォーマットです。

ドライバは、32 ビットのパラレルラスタライゼーションのメリットを最大限活用するためにコピーを最適化します。選択したカラーフォーマットが 32bpp 未満の場合、ドライバがアライメントを修正し、1 クロック当たり 32 ビットのコピーを行います。そのため、8bpp フォーマットと 16bpp フォーマットではコピー性能が 2 ～ 4 倍になります。

43.3.3.3　ストレッチ BitBLT

通常のコピー動作と似ています。コピーはテクスチャマッピングの一種として行われるため、テクスチャマッピングの全機能セットが使用できます。x 方向および y 方向で任意のスケーリング率を選択でき、フィルタリングは各軸に対して個別に有効／無効を切り替えることができます。

43.3.3.4　回転とスケーリング

通常のコピー動作と似ています。コピーはテクスチャマッピングの一種として行われるため、テクスチャマッピングの全機能セットが使用できます。x 方向および y 方向で任意のスケーリング率、および任意の回転アングルを選択できます。また、ユーザーはスケーラがフィルタを使用するか否か、X 方向および Y 方向を独立して選択することができます。

43.3.3.5　アルファブレンディング

アルファブレンディングは、レンダリングパイプラインの基本ブロックの 1 つです。したがって、全アルファブレンド機能セットは、BitBLT 操作でも使用可能です。任意の定数のグローバルアルファ値（レジスタ値）あるいはアルファマスクを使用することで、1 つのエリアをコピーし、転送先でブレンドできます。アルファマスクは、テクスチャデータの一部で、ピクセルカラー（aRGB フォーマット）に含まれるピクセル単位の値か、レジスタカラーを使用したアルファのみのフォーマットのいずれかです。

カラーチャネルに加え、アルファチャネルもブレンド可能です。アルファチャネル用の数式は、カラーチャネル用の数式とは別に設定できます。

43.3.3.6 バイリニアフィルタリング

テクスチャユニットを使用して、画像のスケーリング、回転、シアリングを行なうことができます。テクスチャ処理の結果は、x 方向と y 方向で個別にフィルタリングできます。両方向のフィルタを選択した場合、バイリニアフィルタリングされたテクスチャが得られます。2 つの独立したテクスチャで 2 回このユニットを使用すると、トリリニアフィルタリングされたビットマップが得られます。これにより、視覚的な印象が改善され、高度にダイナミックなスケーリング率に対応できるようになります。

43.3.3.7 カラー変換

フレームバッファフォーマットと異なるテクスチャフォーマットを使用する場合、カラー変換が必要です。テクスチャメモリを節約するため、フレームバッファよりも小さい bpp をもつフォーマットがサポートされています。2D 描画エンジンは、内部的には、常に 32bpp aRGB (8888) で動作しています。すべての入力データは、32bpp に変換され、最終的にフレームバッファのフォーマットに再変換されます。

43.4　入出力データフォーマット

43.4.1　転送元データと転送先データ

使用可能な入力は 2 つあります。ひとつはフレームバッファ入力であり、もうひとつはテクスチャ入力またはパターン入力です。出力は常にフレームバッファです。

あらゆる描画動作は、内部的には 32bpp aRGB (8888) でレンダリングされています。入力カラーがアルファチャネルを持たない場合、ブルーチャネルをアルファチャネルとして扱います。このアルファは、2D 描画エンジンのカラライゼーションの段階において、任意のアルファ（例えば外部定数など）に置き換えることができます。

43.4.2　フレームバッファカラーフォーマット

表 43.1 は、サポートされているフレームバッファカラーフォーマットを示しています。

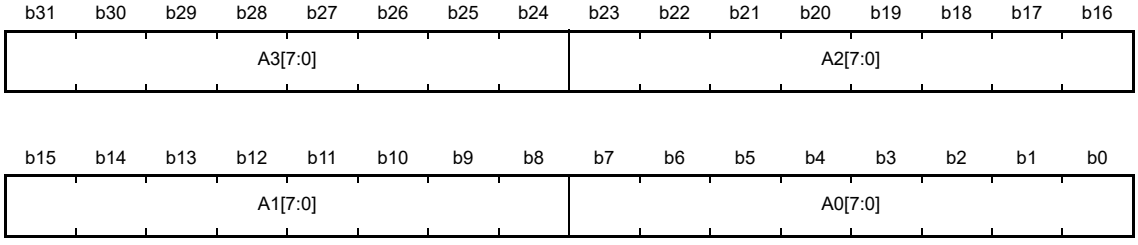
表43.1　フレームバッファカラーフォーマット

フレームバッファメモリの使用	フォーマット	備考
8bpp	a (8)	1ピクセルにつき1バイト使用します。アルファチャネルは内部ではレッド、ブルー、グリーンのチャネルに複写されます。これは、2D描画エンジンのカラライゼーションの段階において、任意のカラーに置き換えることができます。
16bpp	RGB (565)	1ピクセルにつき2バイト使用します（レッドに5ビット、ブルーに5ビット、グリーンに6ビット）。カラー変換中、ブルーをアルファチャネルとして扱います。このアルファは、2D描画エンジンのカラライゼーションの段階において、任意のアルファに置き換えることができます。
	aRGB (4444)	1ピクセルにつき2バイト使用します（各カラーとアルファチャネルに4ビットずつ）。
32bpp	aRGB (8888)	1ピクセルにつき4バイト使用します（各カラーとアルファチャネルに8ビットずつ）。

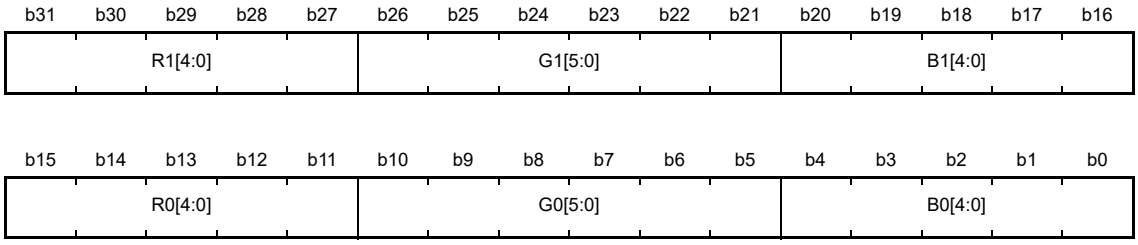
フレームバッファカラーフォーマットの選択は、サーフェスコントロールレジスタの CONTROL2.WRITEFORMAT[2:0] ビットで行います。

フレームバッファフォーマットのデータ配置は下記のとおりです。

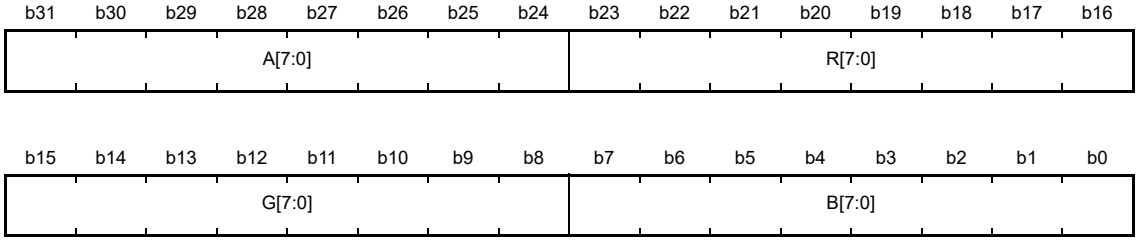
- a(8) (WRITEFORMAT[2:0] = 0)



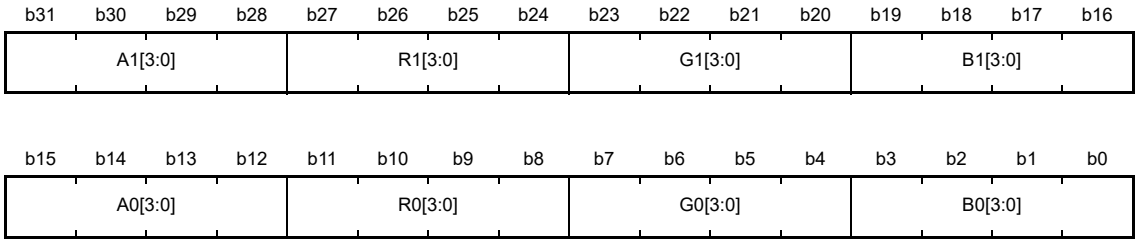
- RGB(565) (WRITEFORMAT[2:0] = 1)



- aRGB(8888) (WRITEFORMAT[2:0] = 2)

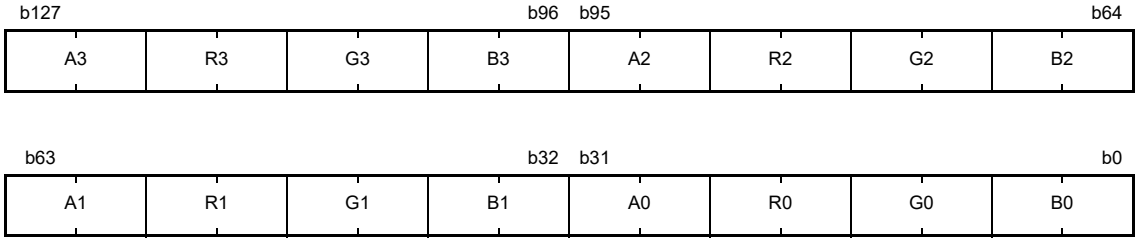


- aRGB(4444) (WRITEFORMAT[2:0] = 3)



128bit のサウス基幹バス上でのデータ配置は、下記のようにリトルエンディアンになります。

・aRGB(8888) の場合



他のフォーマットの場合も同様にリトルエンディアンになります。

43.4.3 テクスチャカラーフォーマット

表 43.2 は、サポートされているテクスチャカラーフォーマットを示しています。

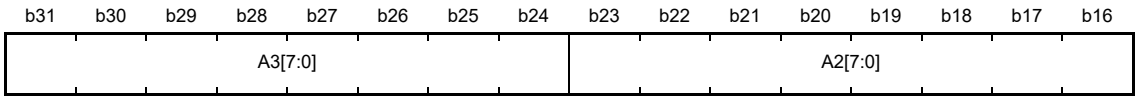
表43.2 テクスチャカラーフォーマット

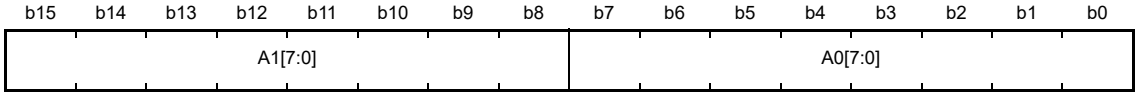
テクスチャメモリの使用	フォーマット	備考
1bpp	CLUT (1)/I (1)	CLUT（カラールックアップテーブル）のあらかじめ定義された256色のうち、1色をアドレス指定するために、1ビットのインデックスが使用されます。CLUTを使用しない場合、インデックスが輝度値として扱われます。
2bpp	CLUT (2)/I (2)	CLUT（カラールックアップテーブル）のあらかじめ定義された256色のうち、1色をアドレス指定するために、2ビットのインデックスが使用されます。CLUTを使用しない場合、インデックスが輝度値として扱われます。
4bpp	CLUT (4)/I (4)	CLUT（カラールックアップテーブル）のあらかじめ定義された256色のうち、1色をアドレス指定するために、4ビットのインデックスが使用されます。CLUTを使用しない場合、インデックスが輝度値として扱われます。
8bpp	CLUT (8)/I (8)	CLUT（カラールックアップテーブル）のあらかじめ定義された256色のうち、1色をアドレス指定するために、8ビットのインデックスが使用されます。CLUTを使用しない場合、インデックスが輝度値として扱われます。
	a (8)	1ピクセルにつき1バイト使用します。アルファチャネルは内部ではレッド、ブルー、グリーンのチャネルに複写されます。これは、2D描画エンジンのカラライゼーションの段階において、任意のカラーに置き換えることができます。
	aCLUT (44)	1ピクセルにつき1バイト使用します。4ビットがアルファ値として使用され、4ビットがカラーパレットへのインデックスとして使用されます。この方法により、次の大きいアルファフォーマットは2バイトaRGB (4444)なので、イメージを表現するのに16色で十分な場合は空間の節約になります。
16bpp	RGB(565)	1ピクセルにつき2バイト使用します（レッドに5ビット、ブルーに5ビット、グリーンに6ビット）。カラー変換中、ブルーをアルファチャネルとして扱います。このアルファは、2D描画エンジンのカラライゼーションの段階において、任意のアルファに置き換えることができます。
	aRGB (4444)	1ピクセルにつき2バイト使用します（各カラーとアルファチャネルに4ビットずつ）。
	aRGB (1555)	1ピクセルにつき2バイト使用します。各カラーチャネルは5ビットで、最上位の1ビットがアルファ値として扱われます。透明マスクを持つイメージを保持するために使用できます。
24bpp	RGB (888)	1ピクセルにつき3バイト使用します（各カラーに8ビットずつ）。このフォーマットは、ランレングスエンコード化データ（RLE圧縮）としてのみ使用可能です。
32bpp	aRGB (8888)	1ピクセルにつき4バイト使用します（各カラーとアルファチャネルに8ビットずつ）。

テクスチャカラーフォーマットの選択は、サーフェスコントロールレジスタの CONTROL2.READFORMAT[3:0] ビットで行います。

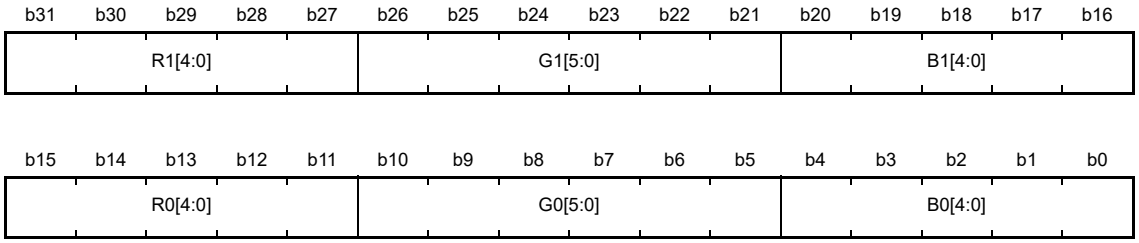
テクスチャフォーマットのデータ配置は下記のとおりです。

- a(8) (READFORMAT[3:0] = 0h)



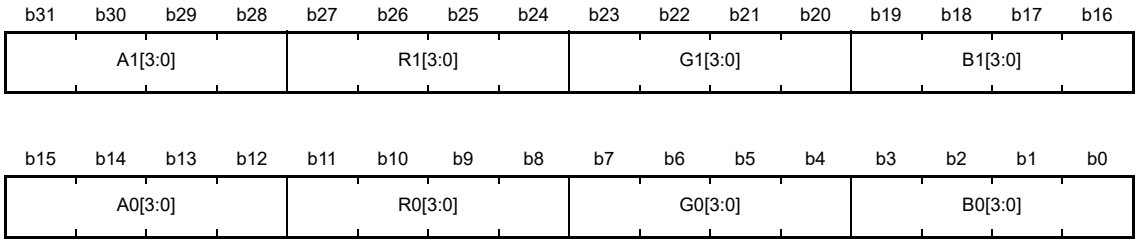


- RGB(565) (READFORMAT[3:0] = 1h)

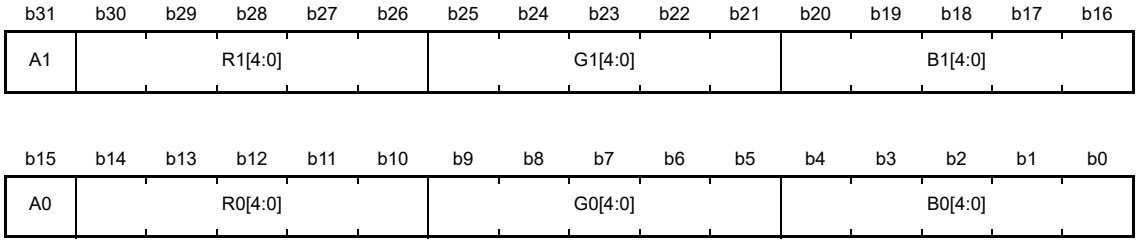


- aRGB(8888) (READFORMAT[3:0] = 2h)

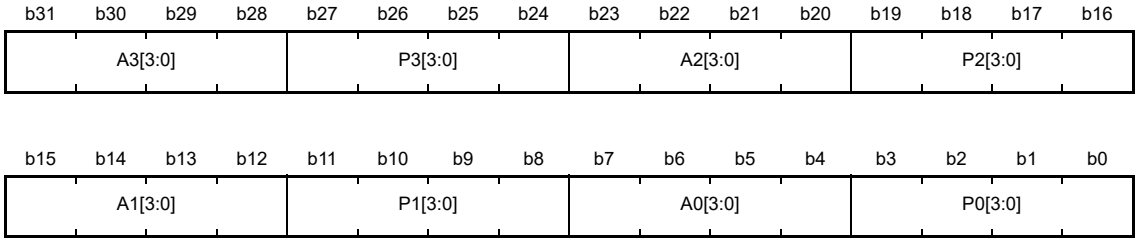
- aRGB(4444) (READFORMAT[3:0] = 3h)



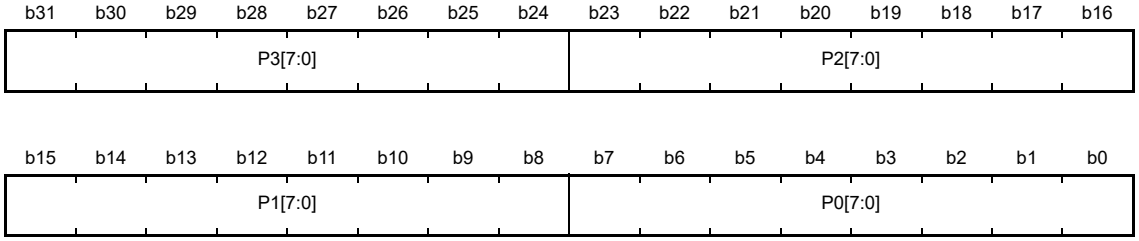
- aRGB(1555) (READFORMAT[3:0] = 4h)



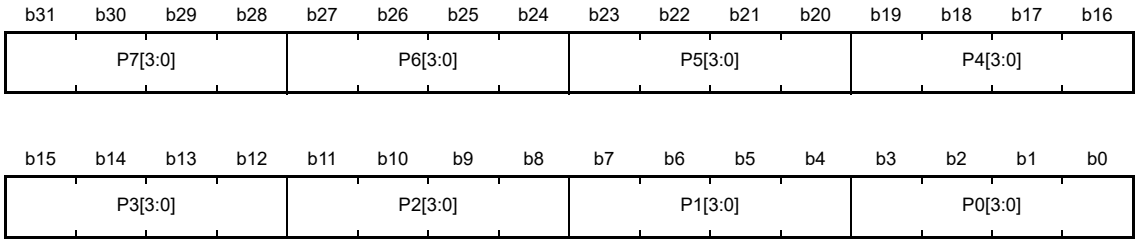
- aCLUT(44) (READFORMAT[3:0] = 5h)



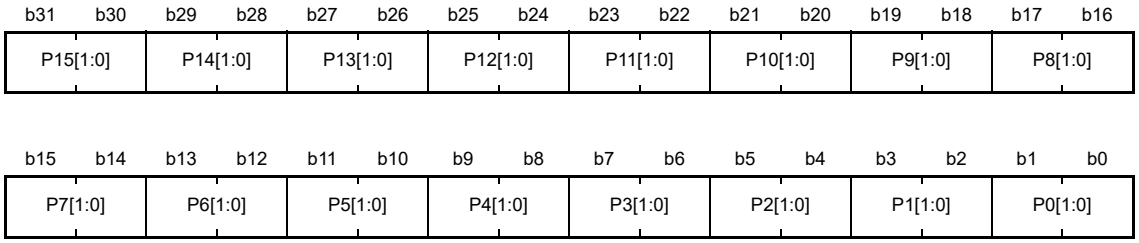
- CLUT(8) (READFORMAT[3:0] = 9h)



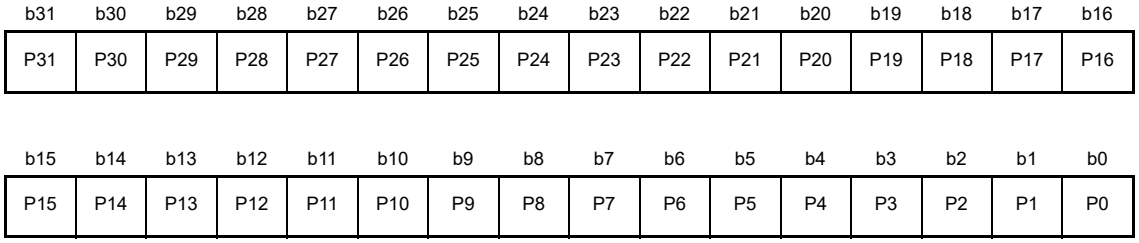
- CLUT(4) (READFORMAT[3:0] = Ah)



- CLUT(2) (READFORMAT[3:0] = Bh)



- CLUT(1) (READFORMAT[3:0] = Ch)



128bit のサウス基幹バス上でのデータ配置は、フレームバッファと同様にリトルエンディアンになります。

43.5　テクスチャデータの処理

図 43.4 は、テクスチャデータの処理を示しています。

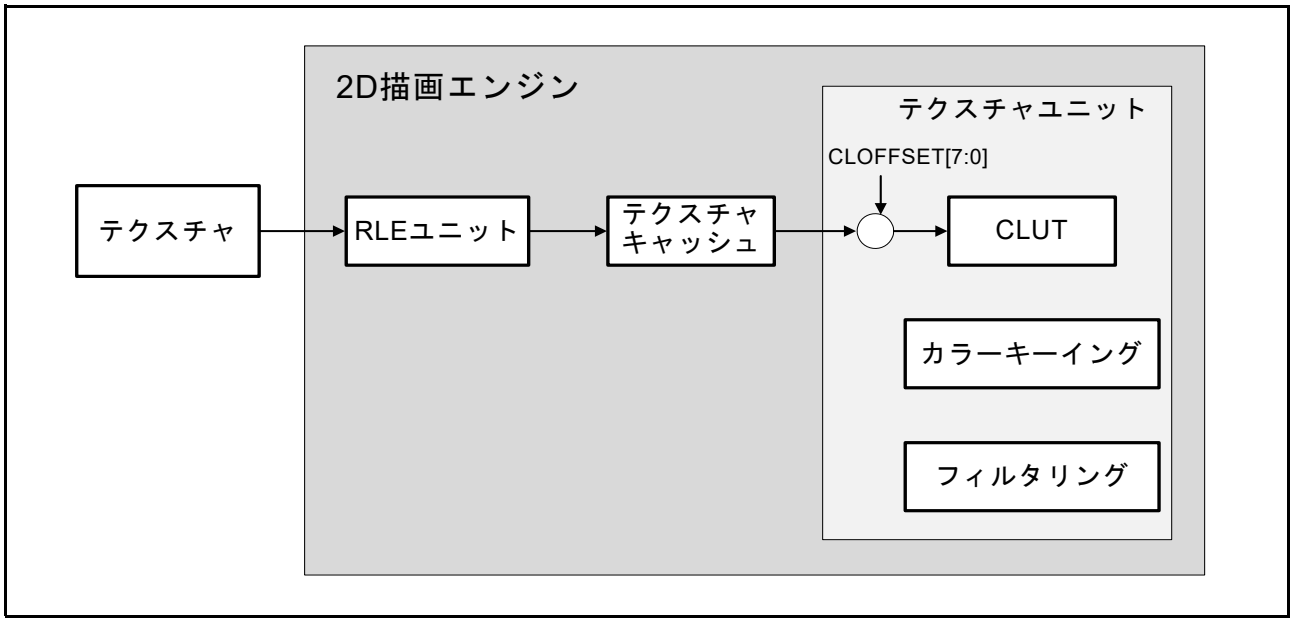


図 43.4　　テクスチャデータの処理

43.5.1　　テクスチャカラーフォーマット

表 43.3 は、サポートされているテクスチャデータフォーマットを示しています。

表43.3　　テクスチャカラーフォーマット

テクセルビット幅	テクセルフォーマット
32ビット	aRGB (8888)
24ビット	RGB (888)
16ビット	aRGB (4444)、aRGB (1555)、RGB (565)
8ビット	CLUT (8)/I (8)、a (8)、aCLUT (44)
4ビット	CLUT (4)/I (4)
2ビット	CLUT (2)/I (2)
1ビット	CLUT (1)/I (1)

43.5.2 ランレングスエンコード（RLE）ユニット

RLE ユニットは、TARGA のような圧縮されたテクスチャを展開し、展開したテクセルデータをテクスチャユニットに受け渡します。主な機能は次のとおりです。

- TARGA フォーマットのサポート
- スキャンラインへの追加の TARGA 制約を回避
- 圧縮イメージのクリッピングのサポート（2D 描画エンジンによる大きな元テクスチャの一部のみのコピーが可能）
- ディスプレイリスト動作における RLE ユニットの制御
- 非圧縮テクスチャがフェッチされた場合に RLE ユニットのロジックをバイパス

テクスチャキャッシュ

- RLE ユニットは、テクスチャキャッシュにデータを送り込みます。テクスチャキャッシュを無効にするには、CACHECTL.CENABLETX = 0 とします。

【使用上の注意】 テクスチャキャッシュのフラッシュ動作（CACHECTL.CFLUSHTX = 1）は、新しい RLE テクスチャを開始するたび、および終了するたびに必要です。

テクスチャキャッシュと RLE ユニットをバイパスするには、CONTROL2.RLEENABLE = 0 とします。

43.5.2.1　RLE テクセルフォーマット

表 43.4 は、RLE ユニットがサポートするデータフォーマットを示しています。

表43.4　RLEユニットがサポートするテクセルフォーマット

メモリテクセル フォーマット	RLEパラメータ	RLEコード化ユニットフォーマット（CONTROL2.RLEPIXELWIDTH[1:0]）	配信フォーマット
32ビットaRGB (8888)	TARGAフォーマットおよびRLEフォーマットに格納	32ビット（11b）	32ビット
24ビット RGB (888)		24ビット（10b）	32ビット（注1）
16ビットaRGB (4444)、aRGB (1555)、RGB (565)		16ビット（01b）	16ビット
8ビット CLUT (8)/I (8)、a (8)、aCLUT (44)		8ビット（00b）	8ビット
4ビット CLUT (4)/I (4)	RLE用オプション（注2）	8 = 2 x 4ビット	4 + 4 ビット
2ビット CLUT (2)/I (2)	RLEなし		
1ビット CLUT (1)/I (1)			

注1.　24ビットRGB (888)でエンコード化されたテクセルは、アルファが1にセットされたaRGB (8888)として配信されます。
注2.　テクセルに付き4ビットを持つテクスチャのエンコードは、TARGA仕様では定義されませんが、次によって定義できます。
・2つの4ビットテクセルを1バイトに結合
・テクセル数が奇数の場合、4個のゼロビットをファイル末尾にパディングする
・8ビットテクセルのようにエンコード

RLE テクスチャ用テクセルのアドレス指定

テクセルのアドレスは、テクセルの先頭バイトのバイトアドレスです。テクスチャの起点は、TEXORIGIN レジスタによって指定されます。

注 .　RLE コードは、メモリのワード境界から始まる必要があります。

【使用上の注意】 FIFO が一杯の場合、RLE コードの末尾を超えるリードアクセスを禁止するための対応策はありません。メモリアクセス違反を防止するには、RLE コードを、各ワードの全ビットが 1 にセットされている 32 個のメモリワードでパディングする必要があります。

43.5.2.2 Targa RLE フォーマット

RLE（ランレングスエンコード）イメージには、2 種類のデータ要素が含まれています。

- ランレングスパケット
- ロウ（raw）パケット

各パケットの先頭フィールド（1 バイト）は、繰り返しカウントフィールドと呼ばれます。2 番目のフィールドは、ピクセル値フィールド（1 ピクセルあたり 1、2、または 4 バイト）と呼ばれます。
ランレングスパケットの場合、ピクセル値フィールドには 1 つのピクセル値が入っています。
ロウ（raw）パケットの場合、このフィールドには可変数のピクセル値が入っています。

繰り返しカウントフィールドの最上位ビットは、以下のとおり、そのパケットがロウ（raw）パケットかランレングスパケットかを示します。

- 繰り返しカウントフィールドのビット 7 が 1 にセットされている場合はランレングスパケット
- 繰り返しカウントフィールドのビット 7 が 0 にセットされている場合はロウ（raw）パケット

繰り返しカウントフィールドの下位 7 ビットは、パケットによって表現されるピクセル値の数を示します。ランレングスパケットの場合、ピクセル値フィールドによって指定されたピクセル値を持つ連続したピクセルの数を示します。ロウ（raw）パケットの場合、次のフィールドに実際に入っているピクセル値の数を示します。この 7 ビット値は、実際にはパケットに含まれるピクセル数よりも 1 少ない値としてエンコードされます（値が 0 であれば 1 ピクセルを表し、値が 7Fh であれば 128 ピクセルを表す）。

ランレングスパケット

ランレングスパケットは、2 つの部分で構成されます。1 つ目は繰り返しカウントで、2 つ目は繰り返すピクセル値です。

表43.5 ランレングスパケット

フィールド名	繰り返しカウントフィールド		ピクセル値フィールド
内容	パケットタイプ （ランレングスの場合1）	ピクセル数 （このパケットでエンコードされたピクセル数 - 1）	ピクセルデータ （使用する共有ピクセル値）
フィールドサイズ	1ビット	7ビット	ピクセル深度（表43.4）

ロウ（raw）パケット

ロウ（raw）パケットには、常に 2 つのフィールドが含まれています。1 つ目のフィールドは繰り返しカウントで、2 つ目のフィールドはピクセル値フィールドです。

表43.6 ロウ（raw）パケット

フィールド名	繰り返しカウントフィールド		ピクセル値フィールド
内容	パケットタイプ （ロウ（raw）パケットの場合0）	ピクセル数 （このパケットでエンコードされたピクセル数 - 1）	ピクセルデータ
フィールドサイズ	1ビット	7ビット	ピクセルの深度 × ピクセル数

43.5.3　カラールックアップテーブル（CLUT）

カラールックアップテーブルは、あらかじめ定義された256色のうち1色をアドレス指定するインデックスを受け取ります。

あらかじめ定義されたカラーフォーマットは、次のとおり選択できます。

- CONTROL2.CLUTFORMAT = 0：aRGB (8888)
- CONTROL2.CLUTFORMAT = 1：RGB (565)

CLUTは、次の2つのレジスタを使用して入力されます。

- TEXCLDATA
  aRGB (8888) カラーの定義は、このレジスタに書き込まれます。CLUTアドレスはTEXCLADDRから取得されます。
- TEXCLADDR
  書き込みを行うCLUTの先頭アドレスにセットされています。TEXCLDATAに書き込みを行うたびに、このレジスタは自動的にインクリメントされます。

インデックス指定されるフォーマット（CLUT (1), CLUT (2), CLUT (4), CLUT (8)）のオフセットは、TEXCLOFFSETレジスタでセットできます。これにより、CLUTのオフセット部分の選択が可能です。CLUTインデックスは、CLUT（x）またはTEXCLOFFSET.CLOFFSET[7:0]で算出されます。

43.5.3.1　CLUT/I ピクセルデータフォーマット

バイト内でピクセルを格納する順番について、次の表で説明します。最も左側のピクセルが、メモリバイトの最下位ビットに格納されます。

CLUT (1)/I (1) フォーマット

CLUT (1)/I (1) フォーマットは、1ピクセルを表現するのに合計1ビットを使用します。

メモリバイト	7（MSB）	6	5	4	3	2	1	0（LSB）
ピクセル	P7	P6	P5	P4	P3	P2	P1	P0

最も左側のピクセルが、メモリバイトの最下位ビットに格納されます。

CLUT (2)/I (2) フォーマット

CLUT (2)/I (2) フォーマットは、1ピクセルを表現するのに合計2ビットを使用します。

メモリバイト	7（MSB）	6	5	4	3	2	1	0（LSB）
ピクセル	P3		P2		P1		P0	

最も左側のピクセルが、メモリバイトの最下位2ビットに格納されます。

CLUT (4)/I (4) フォーマット

CLUT (4)/I (4) フォーマットは、1ピクセルを表現するのに合計4ビットを使用します。

メモリバイト	7（MSB）	6	5	4	3	2	1	0（LSB）
ピクセル	P1				P0			

最も左側のピクセルが、メモリバイトの最下位4ビットに格納されます。

43.5.4　カラーキーイング

2D 描画エンジンは、テクスチャユニットの前にカラーキーイングユニットを持ちます。このユニットは、次のように動作します。

1. 有効の場合 (CONTROL2.COLKEYENABLE = 1)、入力されたカラーは、COLKEY で定義された透明カラーと比較されます。
2. 値が一致した場合、アルファ値とカラー値は 0 にセットされて透明にして、アルファがあらかじめ乗算されているかのように扱われます。
3. 値が一致しない場合、アルファは 1 にセットされます。
4. また、alpha_in × alpha_const のような処理も可能です。

これにより、例えば円形のアイコンを長方形のテクスチャから切り出し、背景上の一定のアルファによってぼかすことができます。

43.6　レンダリングパイプライン

43.6.1　座標変換

回転、変換、投射、スケーリングなどの座標変換は、アプリケーション側で行う必要があります。2D 描画エンジンのハードウェアやドライバ側の一部ではありません。2D 描画エンジンに入力されるすべての座標は、固定小数点フォーマットであるため、これらの計算は固定小数点フォーマットで行われ、浮動小数点ユニットは必要ありません。

43.6.2　ラスタライゼーション

ラスタライゼーション中、オブジェクトのベクタデータをピクセルデータに変換する必要があります。データを変換する場合、プログラムは判定値を算出するオブジェクトの各エッジにエッジ補間ハードウェア（リミッタと呼ぶ）を設定します。リミッタは、エッジのどちら側にピクセルがあるかを判断します。2D 描画エンジンには 6 つの内部ハードウェアリミッタがあります。原則として、リミッタレジスタには、処理されているピクセルとエッジ間の距離が含まれています。

線形セットアップでは、リミッタは半平面を描写します。すべての半平面の論理積がオブジェクトになります。3 つの半平面が交差した場合、三角形が生成されます（**図 43.5** を参照）。

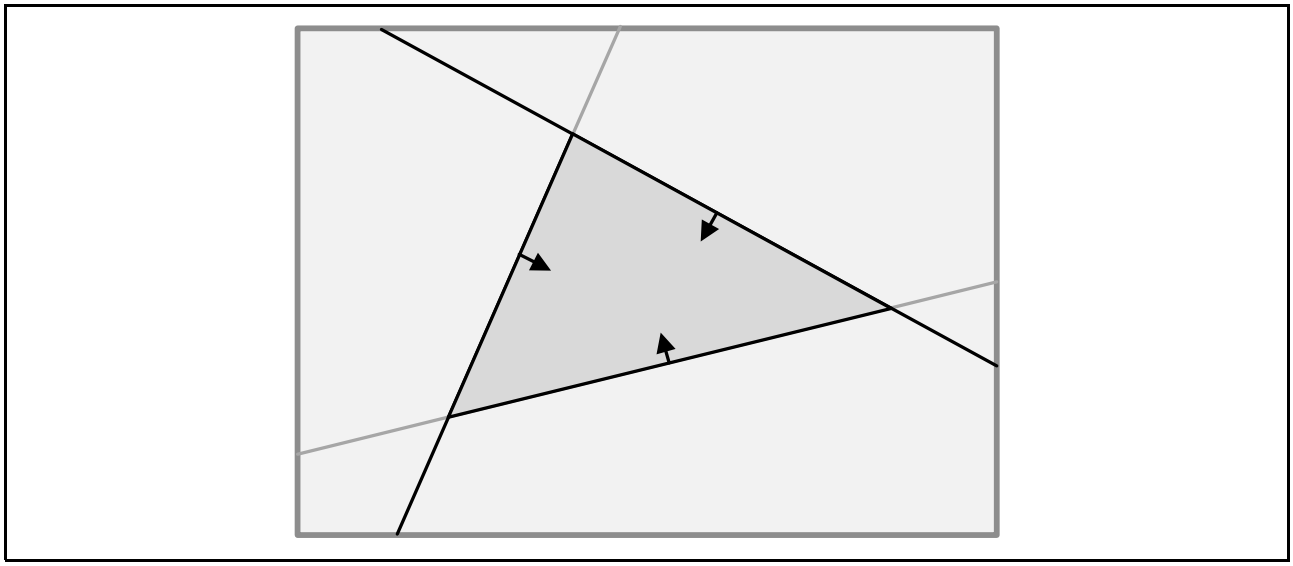


図 43.5　半平面の交差

リミッタ出力は、[0:1] のインターバルでクランプされます。リミッタ 1 とリミッタ 2 では、クランプ動作の前にバンドフィルタを使用できます。その場合、リミッタは半平面ではなく小さな帯を描写します。この方法では、1 つのリミッタで無限長の太線を表すことができます。

最大動作または最小動作のコンバイナユニットにより、異なるリミッタの出力を結合できます。最大動作は両半平面の論理和を表し、最小動作は両半平面の論理積を表します。最終出力はアルファ値として使用されます。このハードウェアによって、追加作業なしにエッジアンチエイリアシングを行えます。

リミッタにより使用可能な各ピクセル用の判定値を算出するためには、オブジェクトのバウンディングボックスを算出する必要があります。次に、バウンディングボックスの左上角用の判定値を各エッジ用に計算する必要があります。最後に、x 方向および y 方向用のインクリメントを計算します。これは、ドライバ内の CPU で行われます。

この情報によって、2D 描画エンジンはバウンディングボックス全体をスキャンし、各ピクセルの判定値をインクリメントしながら算出します。ラスタライゼーションユニット全体のブロック図については、**図 43.6** を参照してください。

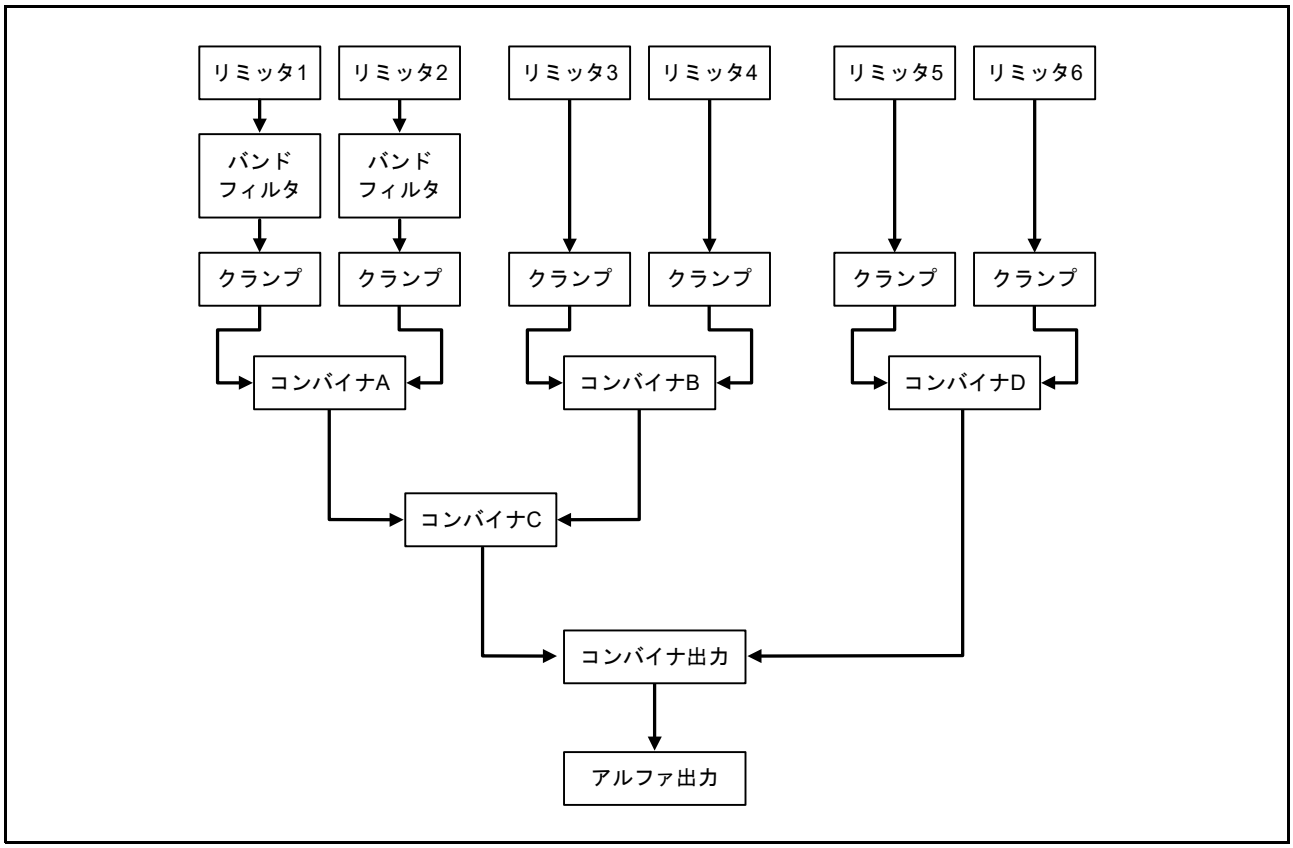


図 43.6　　ラスタライゼーションユニットのブロック図

リミッタは距離を算出し、コンバイナユニットはそれをアルファ値に結合します。コンバイナユニットは、ピクセルがバウンディングボックス内にあるかどうかの条件を定義します。アルファ値は 0 より大きい必要があります。

注 .　すべてのリミッタをオフにすることができます。

43.6.2.1　エッジセットアップ：線形の場合

(1)　数学的背景

線形エッジをセットアップするには、次の古典的な方法で直線方程式を考えます。
次のように書くことができます。

$y = \tilde{a}x + \tilde{b}$

これは、さらに、次のように書くことができます。

$0 = f(x, y) = \tilde{a}x - y + \tilde{b} = ax + by + c$

ここで、$a = \tilde{a}, b = -1, c = \tilde{b}$

これはより一般的な形式です。この式のベクトル形式を考えてみましょう。

$\vec{p} = \begin{pmatrix} x \\ y \end{pmatrix}, \vec{n} = \begin{pmatrix} a \\ b \end{pmatrix} \Rightarrow f(x, y) = ax + by + c = \vec{p} \cdot \vec{n} + c$

ポイント $\vec{p}_0$ がライン上にある場合：

$0 = f(x, y) = \vec{p}_0 \cdot \vec{n} + c \Rightarrow c = -\vec{p}_0 \cdot \vec{n}$

定数を書き直した場合の式：

$c = -\vec{p}_0 \cdot \vec{n} \Rightarrow f(x, y) = (\vec{p} - \vec{p}_0) \cdot \vec{n}$

このベクトル$\vec{n}$は法線ベクトルと呼ばれ、ラインに対して垂直です。セットアップは、**図 43.7** に示しています。

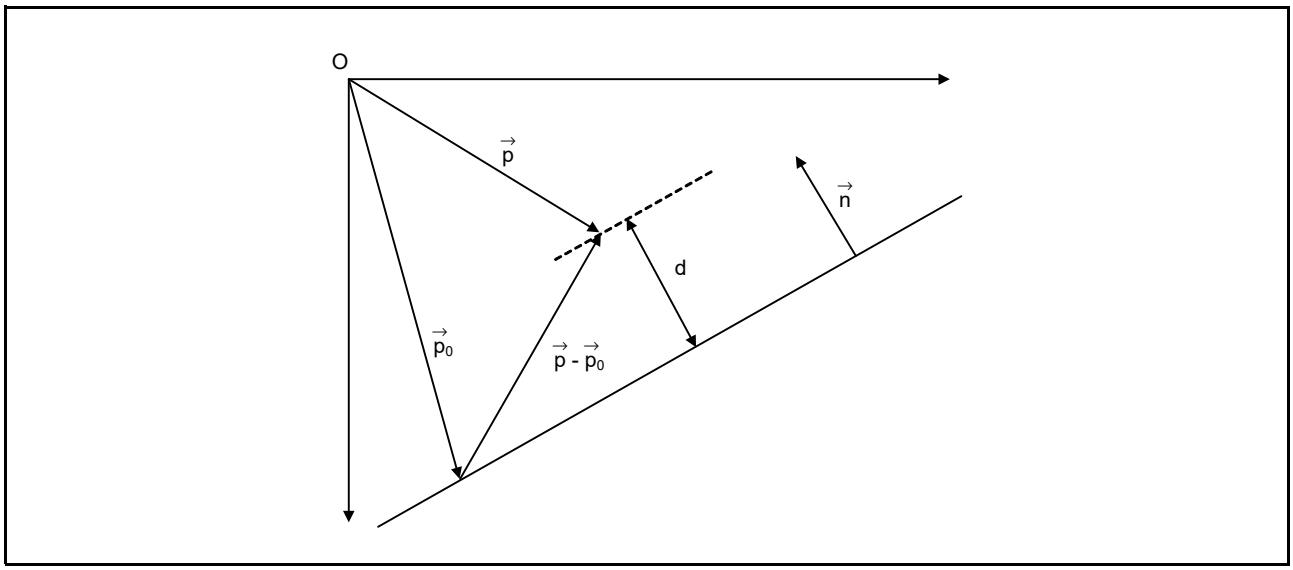


図 43.7　点からラインへの距離

$\vec{p} - \vec{p}_0$ から$\vec{n}$の投影は、点 P からラインへの距離です。この場合、f (x, y) は、座標（x, y）を持つピクセルからラインまでの距離を表します。

バウンディングボックスの各ピクセルの距離をインクリメンタルに算出するには、まず、原点においてラインまでの距離を算出する必要があります。

$f(0, 0) = -\vec{p}_0 \cdot \vec{n} = c$

次に、x 方向および y 方向用のインクリメントを計算します。

$f(\vec{p} + \vec{e}_x) = (\vec{p} + \vec{e}_x - \vec{p}_0) \cdot \vec{n} = f(\vec{p}) + \vec{e}_x \cdot \vec{n} = f(\vec{p}) + a$

$f(\vec{p} + \vec{e}_y) = (\vec{p} + \vec{e}_y - \vec{p}_0) \cdot \vec{n} = f(\vec{p}) + \vec{e}_y \cdot \vec{n} = f(\vec{p}) + b$

ただし、$\vec{e}_x = \begin{pmatrix}1\\0\end{pmatrix}$、$\vec{e}_y = \begin{pmatrix}0\\1\end{pmatrix}$

その結果、インクリメント a およびインクリメント b によって、新しい距離を古い距離から算出できます。x 方向の 1 ステップが a によって距離を変更し、y 方向の 1 ステップが b によって距離を変更します。原点のラインへの距離は c です。

この情報を使用することで、バウンディングボックス全体をスキャンできます。バウンディングボックスの左上の角が原点でない場合は、オフセットを加える必要があります。

(2)　リミッタの動作

2D 描画エンジンには 6 つのリミッタがあります。各リミッタには、次の 3 つのレジスタがあります。

- LnSTART
- LnXADD
- LnYADD

詳細は**図 43.8** を参照してください。リミッタはしきい値モードで動作することが可能で、0.5 より大きい値は 1 に、0.5 以下の値は 0 とみなされます。
この機能は、アンチエイリアシングが要求されない場合に使用されます。

注 .　図 43.8 では、次の省略形を使用しています。
start = LnSTART
xadd = LnXADD
yadd = LnYADD

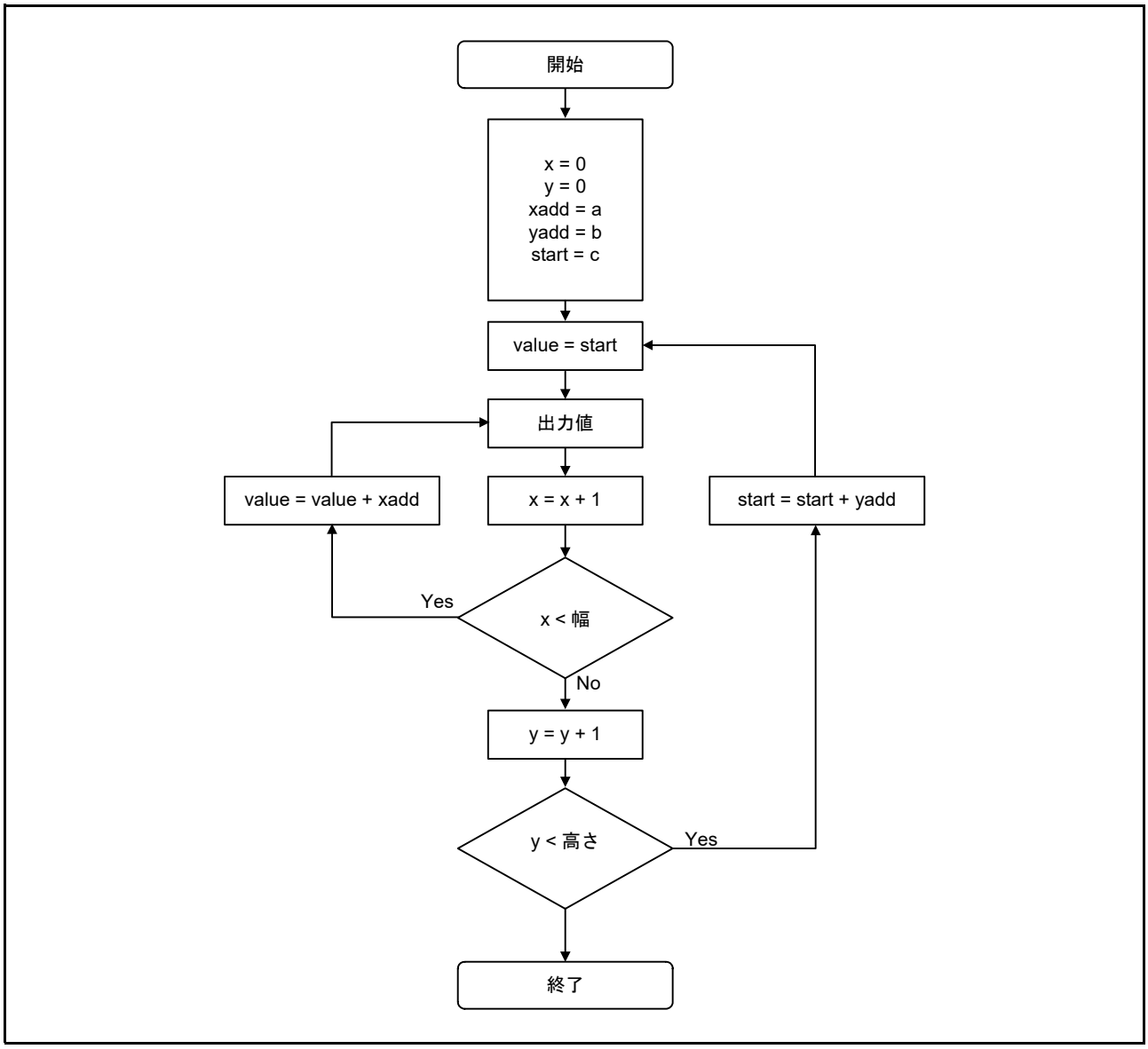


図 43.8 線形リミッタの動作フロー

(3) 例

直線が点 P0 と点 P1 によって与えられる場合、値は次のように算出されます。

$$\Delta\vec{p} = \vec{p}_1 - \vec{p}_0 = \begin{pmatrix} x_1 - x_0 \\ y_1 - y_0 \end{pmatrix} = \begin{pmatrix} \Delta x \\ \Delta y \end{pmatrix}$$

法線ベクトル（垂直だが、単位サイズではない）は、次のようになります。

$$\vec{n} = \begin{pmatrix} -\Delta y \\ \Delta x \end{pmatrix}$$

エッジと原点間の距離は、正規化されていない場合、次のようになります。

$$\vec{p}_0 \cdot \vec{n} = -x_0\Delta y + y_0\Delta x$$

リミッタパラメータは次のようになります。

$$start = -x_0\Delta y + y_0\Delta x$$

$$xadd = -\Delta y$$

$$yadd = \Delta x$$

正規化された場合、法線ベクトルは次のようになります。

$$\vec{n} = \begin{pmatrix} -\Delta y \\ \Delta x \end{pmatrix} / \left(\sqrt{\Delta x^2 + \Delta y^2}\right)$$

エッジと原点間の距離は、次のようになります。

$$\vec{p}_0 \cdot \vec{n} = (-x_0 \cdot \Delta y + y_0 \cdot \Delta x) / \left(\sqrt{\Delta x^2 + \Delta y^2}\right)$$

リミッタパラメータは次のようになります。

$$start = (-x_0\Delta y + y_0\Delta x) / \left(\sqrt{\Delta x^2 + \Delta y^2}\right)$$

$$xadd = -\Delta y / \left(\sqrt{\Delta x^2 + \Delta y^2}\right)$$

$$yadd = \Delta x / \left(\sqrt{\Delta x^2 + \Delta y^2}\right)$$

正規化は、アンチエイリアシングを使用する場合のみ必要です。正規化処理を高速化するため、ドライバは、最適化された逆平方根関数を備えています。

43.6.2.2　エッジセットアップ：2 次の場合

(1)　数学的背景

次の式をインクリメンタルに計算するようにリミッタをセットアップすることも可能です。

$f(x, y) = ax^2 + by^2 + cx + dy + f$

原点では、値は次のようになります。

$f(0, 0) = f$

x 方向のステップは次のようになります。

$f(x + 1, y)$

$= a(x + 1)^2 + by^2 + c(x + 1) + dy + f$

$= ax^2 + 2ax + a + by^2 + cx + c + dy + f$

$= f(x, y) + 2ax + c + a$

$dx(x) = f(x + 1, y) - f(x, y) = 2ax + c + a$

y 方向のステップは次のようになります。

$f(x, y + 1)$

$= ax^2 + b(y + 1)^2 + cx + d(y + 1) + f$

$= ax^2 + by^2 + 2by + b + cx + d(y + 1) + f$

$= f(x, y) + 2by + d + b$

$dy(y) = f(x, y + 1) - f(x, y) = 2by + d + b$

2 次の場合、インクリメント dx とインクリメント dy は x と y に依存し、定数ではありません。次のように、インクリメンタルに計算できます。

$d^2x = dx(x + 1) - dx(x) = 2a(x + 1) + c + 1 - (2ax + c + 1) = 2a$

$d^2y = dy(y + 1) - dy(y) = 2b(y + 1) + d + 1 - (2by + d + 1) = 2b$

原点では、インクリメントは次のようになります。

$dx(0) = c + 1$ および $dy(0) = d + 1$

x 方向と y 方向の各ステップに対して dx、dy によって値をインクリメントし、x 方向と y 方向の各ステップに対して d^2x、d^2y によって dx と dy をインクリメントすることで、バウンディングボックス全体に対して 2 次式を容易に計算できます。

(2)　リミッタの動作

2 次の場合、2 つの線形リミッタを結合して、1 つの 2 次リミッタとして動作させることができます（リミッタ 1 およびリミッタ 2 と呼びます）。レジスタは次のとおりです。

- L1START、L1XADD、L1YADD
- L2START、L2XADD、L2YADD

詳細は**図 43.9** を参照してください。灰色のボックスは、線形セットアップとは異なる動作を実行する追加分です。リミッタはしきい値モードで動作することが可能で、0.5 より大きい値は 1 に、0.5 以下の値は 0 とみなされます。この機能は、アンチエイリアシングが要求されない場合に使用されます。

注．　図 43.9 では、次の省略形を使用しています。
- start1 = L1START、start2 = L2START
- xadd1 = L1XADD、xadd2 = L2XADD
- yadd1 = L1YADD、yadd2 = L2YADD

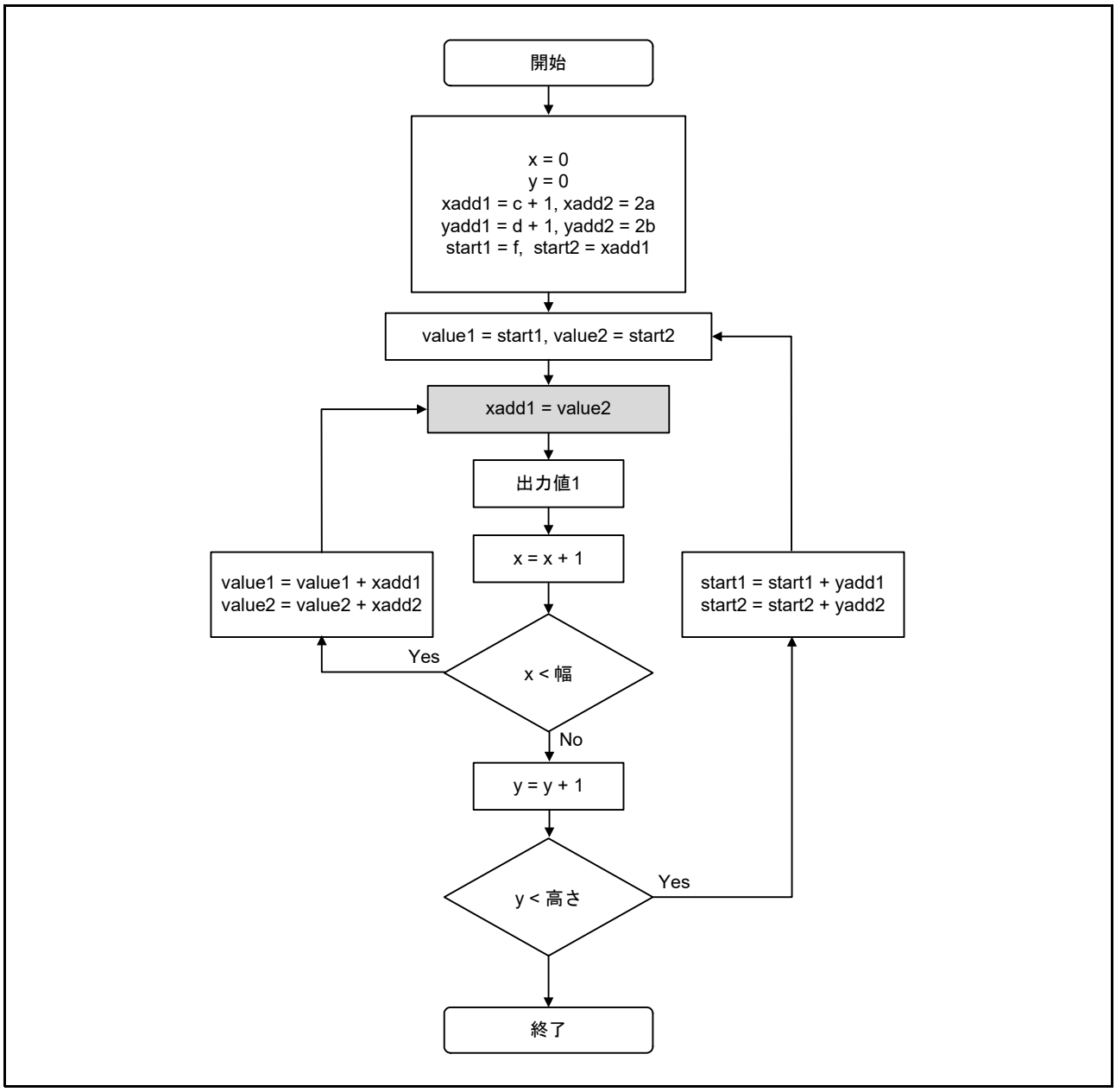


図 43.9　　2 次リミッタの動作フロー

(3)　例

中心が $\vec{c} = \begin{pmatrix} s \\ t \end{pmatrix}$ で半径が r の円に対する方程式を考えてみましょう。

$$0 = f(x, y) = (x - s)^2 + (y - t)^2 - r^2$$

これは、さらに、次のように書くことができます。

$$f(x, y) = x^2 - 2xs + s^2 + y^2 - 2yt + t^2 - r^2$$

元の方程式と合うように順序を入れ替えると、次のようになります。

$$f(x, y) = x^2 + y^2 - 2sx - 2ty + (s^2 + t^2 - r^2)$$

次のように割り当てることで、円の方程式をインクリメンタルに計算できます。

$$a = 1$$

$$b = 1$$

$$c = -2s$$

$d = -2t$

$f = s^2 + t^2 - r^2$

「43.6.2.2 (1) **数学的背景**」で算出された結果を持つリミッタでは、次のようになります。

$start1 = f = s^2 + t^2 - r^2$

$xadd1 = c + 1 = -2s + 1$

$yadd1 = d + 1 = -2t + 1$

$start2 = xadd1$

$xadd2 = 2a = 2$

$yadd2 = 2b = 2$

43.6.2.3　バンドフィルタ

リミッタ 1 と 2 の出力は、バンドフィルタを使用することができます。バンドフィルタには、1 つのフィルタパラメータ w があります。

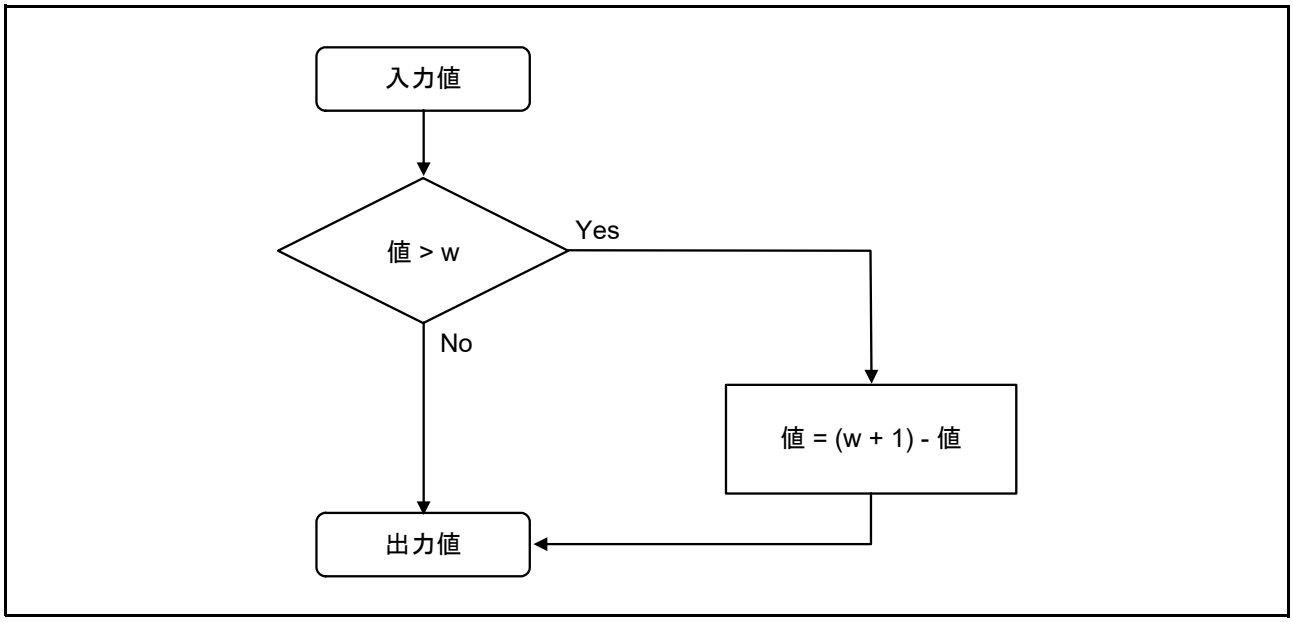


図 43.10　バンドフィルタ

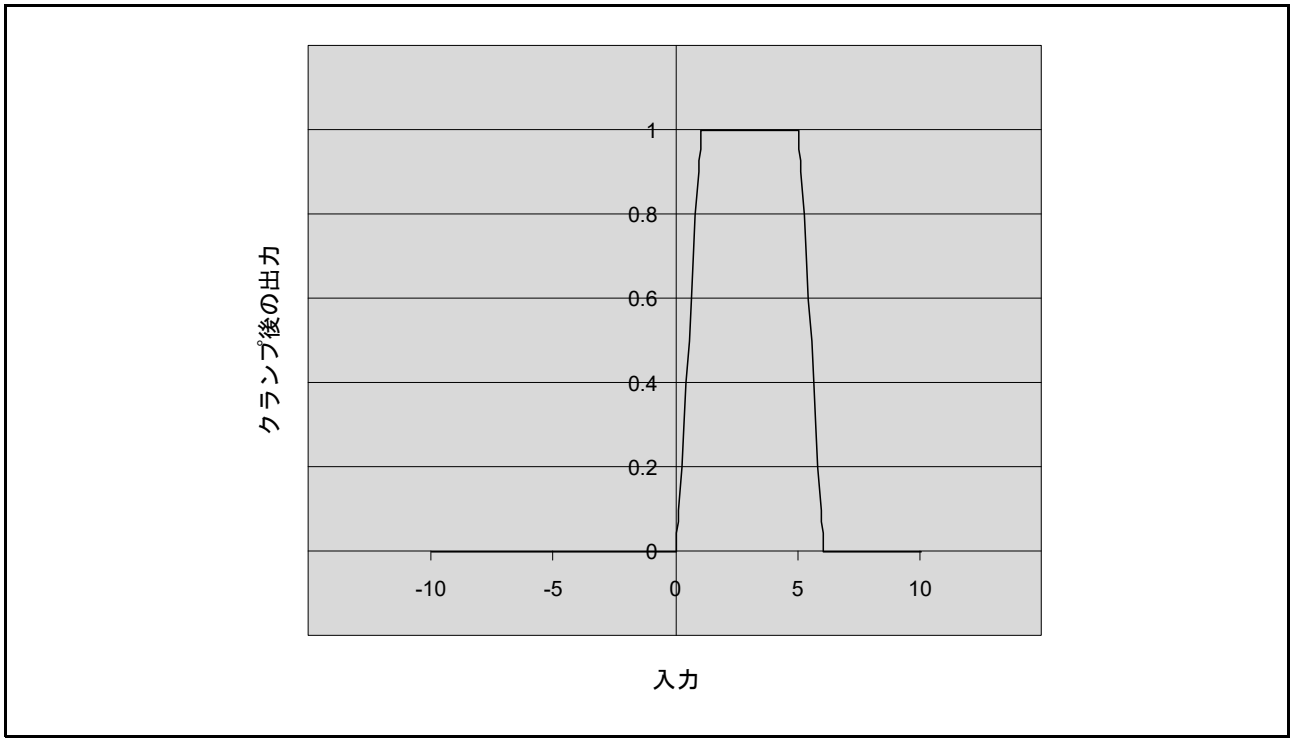


図 43.11　クランプ後のバンドフィルタ出力（w = 7）

43.6.2.4　クランピングユニット

クランピングユニットは、リミッタの出力をインターバル [0:1] にカットします。

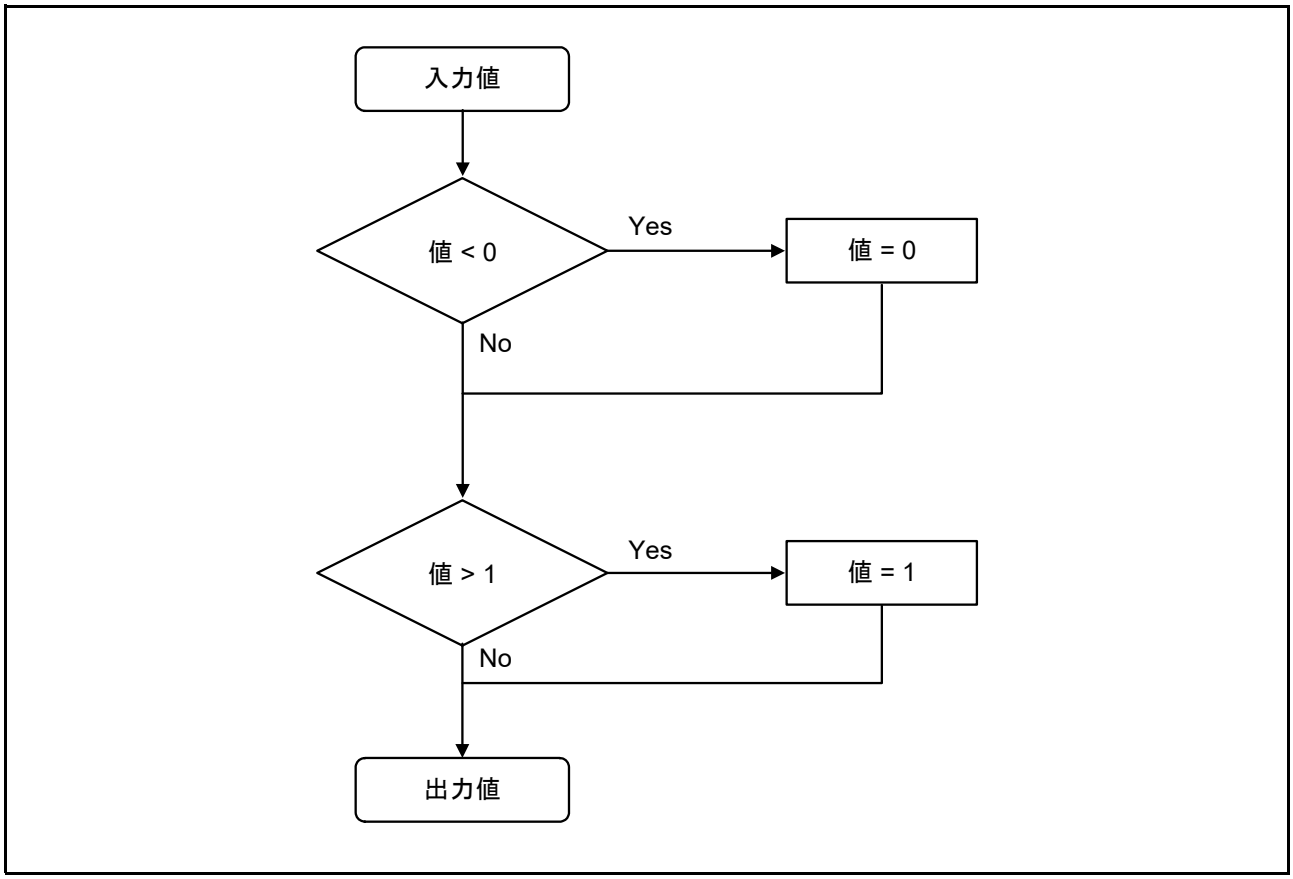


図 43.12　クランピングユニット

しきい値モードでは 0.5 を超えるすべての値は 1 に、0.5 以下のすべての値は 0 になり、クランピングユニットはこのしきい値モードでの動作が可能です。この機能は、共有エッジなど、アンチエイリアシングを使用したくない場合に使用されます。

43.6.2.5　コンバイナユニット

コンバイナユニットは、最小モードと最大モードで動作できます。最小モードではより小さい値が出力され、最大モードではより大きい値が出力されます。最小モードは 2 つの領域の論理積を、最大モードは論理和を表します。

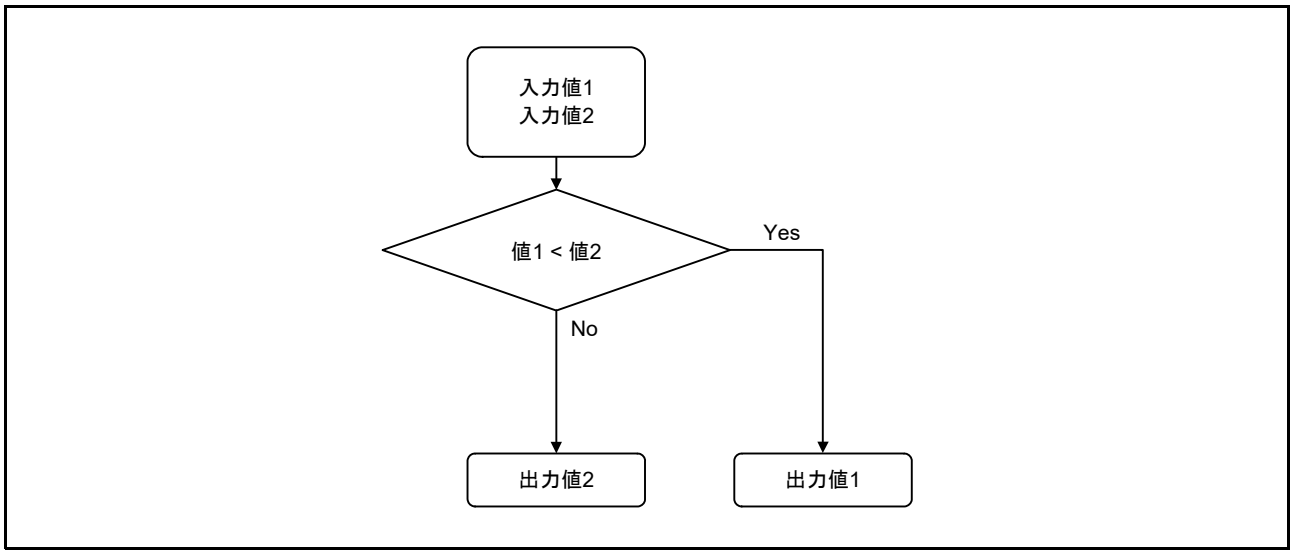


図 43.13　論理積を使用した最小モードで動作するコンバイナ

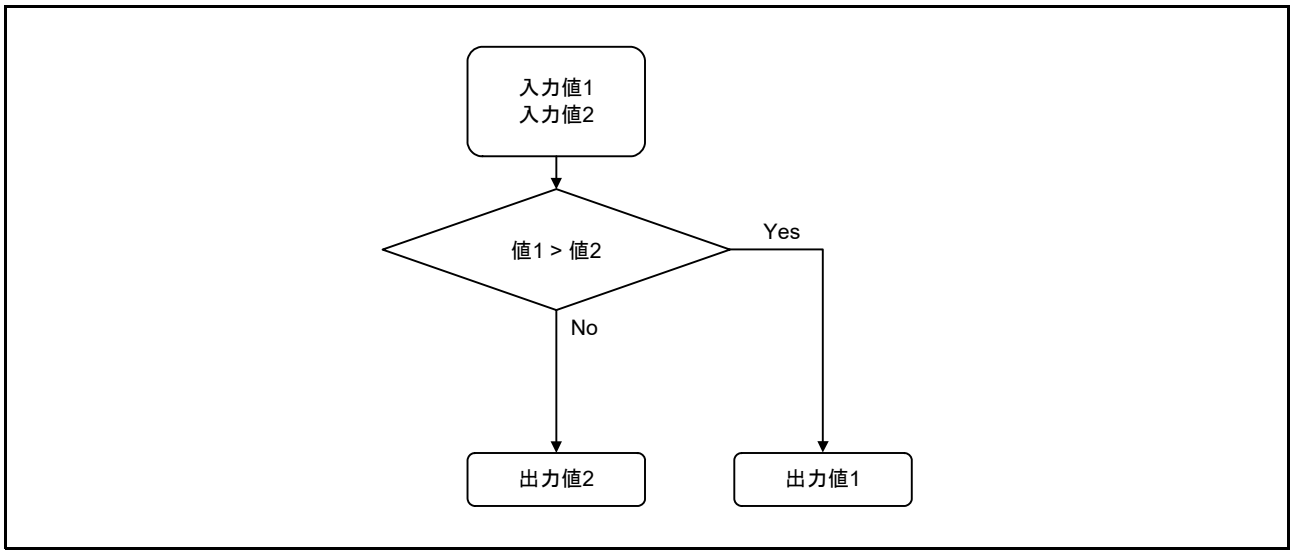


図 43.14　論理和を使用した最大モードで動作するコンバイナ

43.6.2.6　ラスタライゼーションの最適化

ラスタライゼーション中、バウンディングボックス全体のピクセルを 1 つずつ進める必要があります。そのため、描画されないピクセルについても、不要なステップを行わなければならない場合があります。2D 描画エンジンは、ラスタライゼーション中のステップ数を削減する最適化手法の機能があります。1 つの最適化は、凸面体プリミティブは 1 ラインに対して 1 つのスパンのみを持つことができる（スパンとは、隣接する水平ライン）ことに依拠しています。この場合、スパンスタートを検出し、次のラインの情報を保持します。もう 1 つの最適化として、スパンエンドを検出し、現在のラインに対するラスタライゼーションを停止する手法があります。

(1)　スパンストア

図 43.15 が示す場合を考えてみましょう。

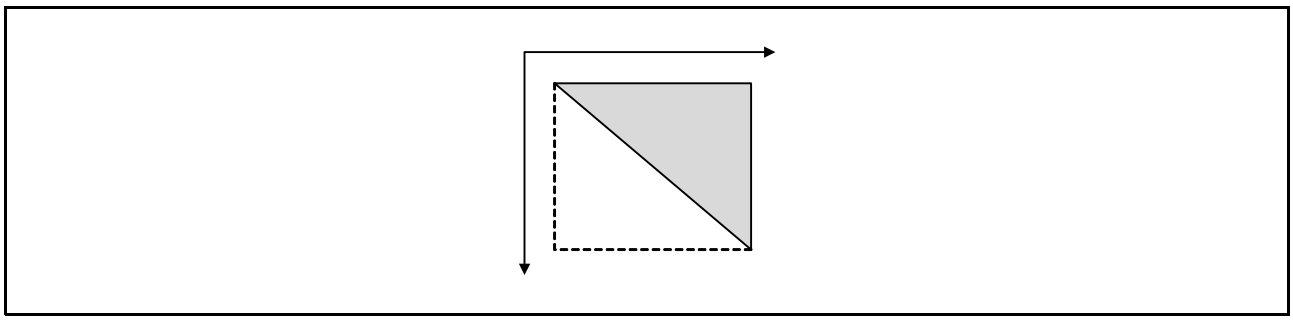


図 43.15　1 つ目のエッジが単調に立ち上がっている三角形

灰色の三角形をレンダリングする場合、点線で示されるバウンディングボックス内でレンダリングエンジンによって処理されるピクセルの半分が描画されません。これはスパンストア動作によって最適化可能です。スパンストアが起動され、スパンスタートが検出されると、スパンスタートの x 位置が検出されます。

次のラインでは、保存された x 位置からレンダリングが開始します。この手法は、エッジが単調に立ち上がっている（y1 ＞ y2 => x1 ≧ x2）場合のみ有効です。

図 43.16 が示す場合を考えてみましょう。

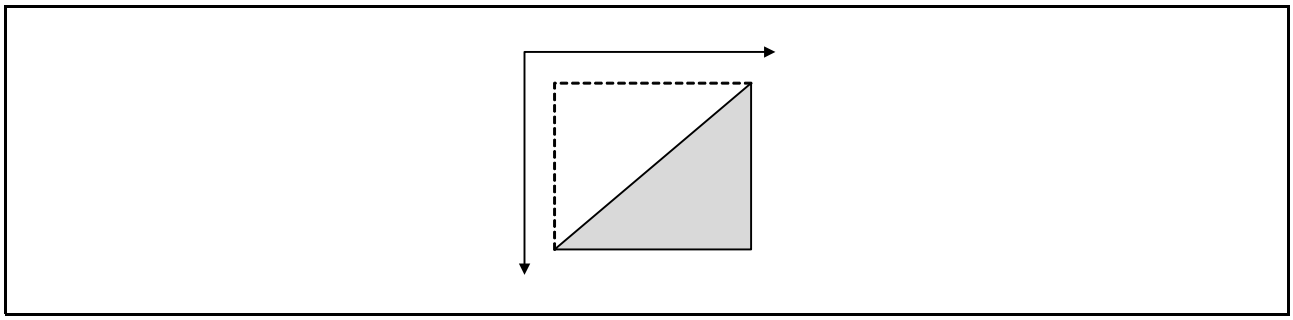


図 43.16　1 つ目のエッジが単調に立ち下がっている三角形

この場合、通常のスパンストア動作は実行できません。レンダリングの y 方向を反転し、その後にスパンストアが再び動作可能になります。

最後に、**図 43.17** が示す場合を考えてみましょう。

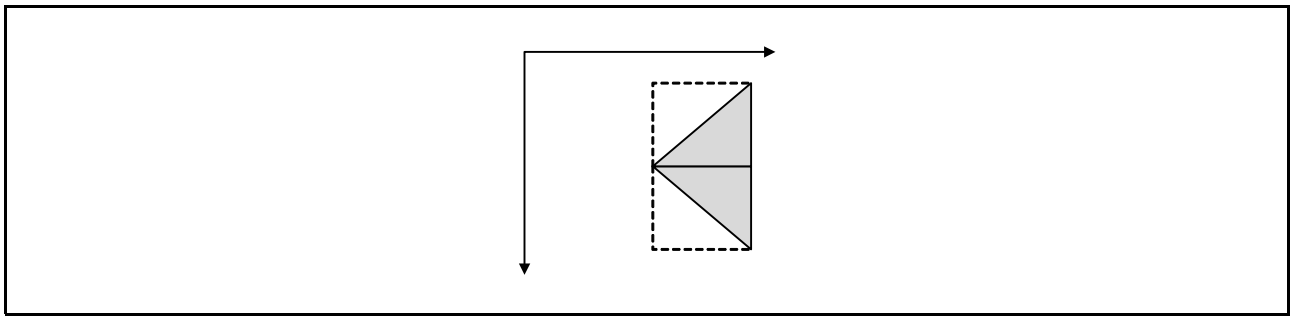


図 43.17　1 つ目のエッジが最初に単調に立ち下がり、次に単調に立ち上がる三角形

この場合、スパンストアの最適化ができるように三角形は 2 つの部分に分割されレンダリングされる必要があります。

また、ライン数本分、スパンストアの動作を遅らせることも可能です。**図 43.18** が示すとおり、この方法は円のラスタライゼーションに使用されています。

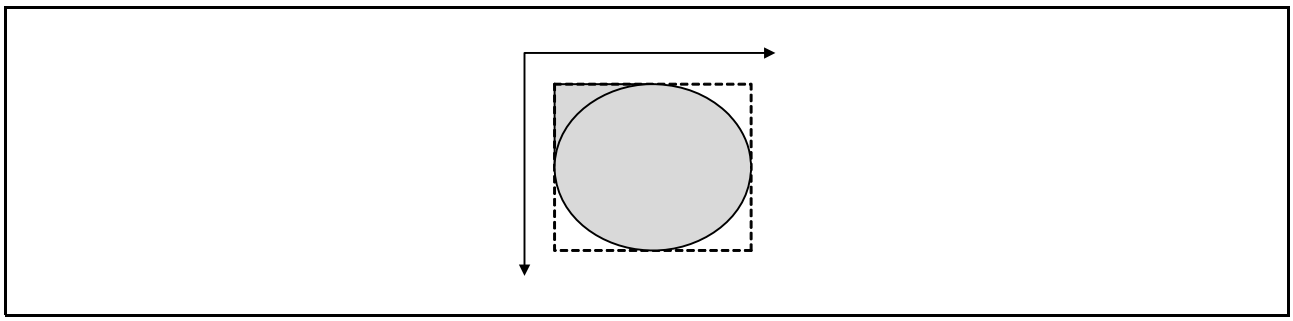


図 43.18　1 つ目のエッジが最初の半円に対して単調に立ち下がり、次の半円に対して単調に立ち上がる全円

この場合、スパンストアは左上の角では起動できず、左下の角で起動が可能となります。右上および右下の空の角は、スパンアボート最適化のためラスタライズできません。

(2)　スパンアボート

2 つ目の最適化は、描画されるオブジェクトが凸面体であることが前提になります。これは、描画されるスキャンラインにつき 1 つだけスパンがあることを意味します。凸面体ではないオブジェクトとは、たとえば塗りつぶしなしで、単に太い境界線からなる三角形のことです。

凸面体オブジェクトの場合、最初のスパンの終わりが検出されたときラスタライゼーションを停止することが可能です。凸面体オブジェクトの最適化に適用される制約はこれだけです。

(3)　最適化の効率

図 43.19 に、代表的な例に対する最適化の効率を示します。この場合、三角形は高度な最適化のために複数の三角形には分割されず、つねに 1 つのピースとしてレンダリングされます。この場合、スパンストア遅延が使用されます。

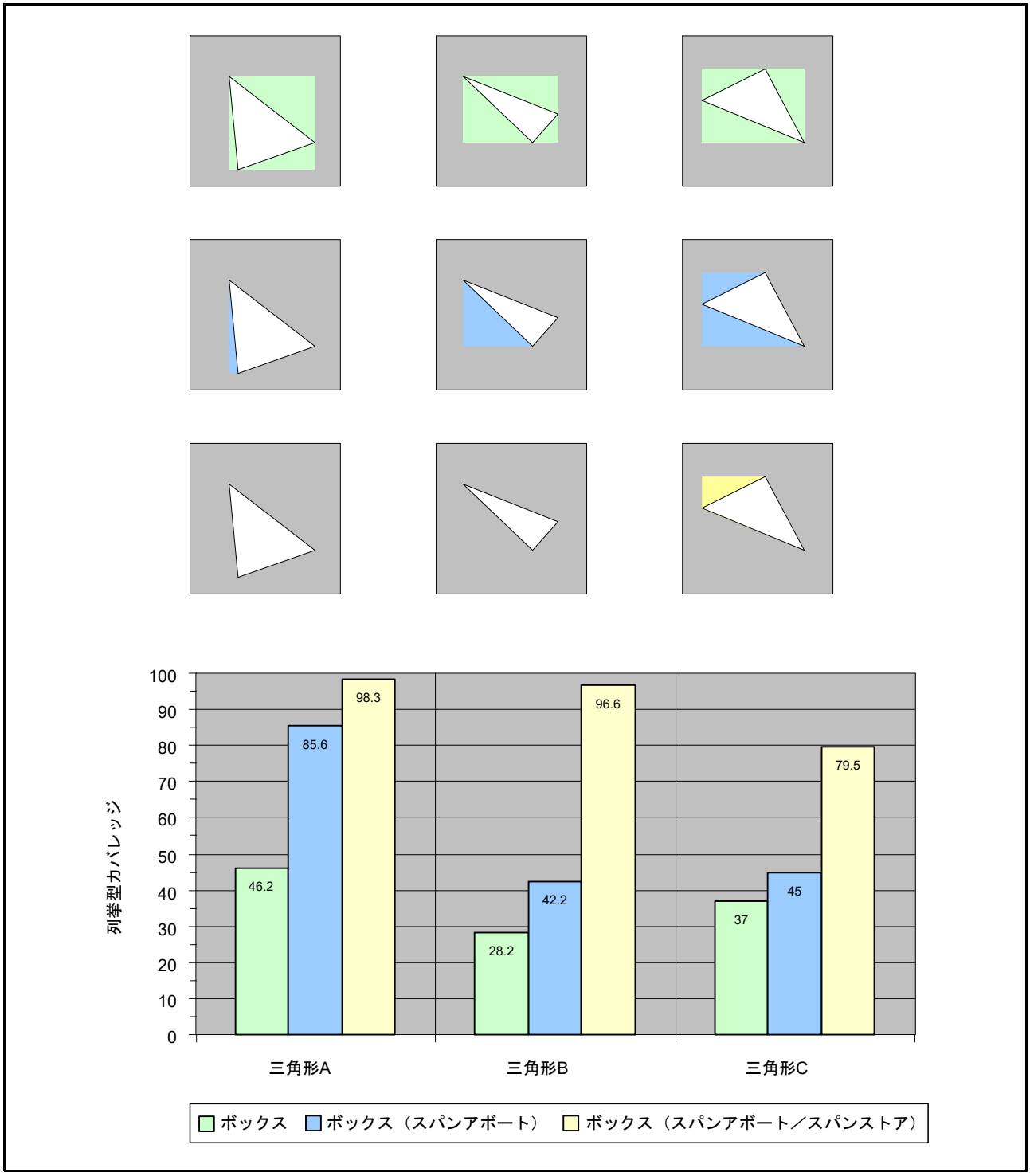


図 43.19　列挙型カバレッジ = ｛プリミティブのピクセル／バウンディングボックスのピクセル｝の場合のスパンストアおよびスパンアボート最適化の効率

43.6.3　テクスチャ処理

テクスチャユニットは、任意のプリミティブを 1 つのピクチャで覆うことができます。このピクチャは、1 ステップで引き伸ばし、シアリング、回転、変換することができます。エイリアシングを避けるため、その結果を u 方向および v 方向でバイリニアフィルタリングすることができます。

43.6.3.1　数学的背景

任意のマッピングの問題は、オブジェクト空間（x、y）内の 3 点からテクスチャ空間（u、v）内の 3 点へのマッピングによって、完全に決定されます。

次のマッピングを考えてみましょう。

$$\vec{p}_0 = \begin{pmatrix} x_0 \\ y_0 \end{pmatrix} \Rightarrow (\tilde{\vec{p}}_0) = \begin{pmatrix} u_0 \\ v_0 \end{pmatrix} = \begin{pmatrix} 0 \\ 0 \end{pmatrix}$$

$$\vec{p}_1 = \begin{pmatrix} x_1 \\ y_1 \end{pmatrix} \Rightarrow (\tilde{\vec{p}}_1) = \begin{pmatrix} u_1 \\ v_1 \end{pmatrix} = \begin{pmatrix} w \\ 0 \end{pmatrix}$$

$$\vec{p}_2 = \begin{pmatrix} x_2 \\ y_2 \end{pmatrix} \Rightarrow (\tilde{\vec{p}}_2) = \begin{pmatrix} u_2 \\ v_2 \end{pmatrix} = \begin{pmatrix} 0 \\ h \end{pmatrix}$$

ここで、w はテクスチャの幅であり、h はテクスチャの高さです。

オブジェクト空間内の**図 43.20** の場合、計算を簡単にするため、差分ベクトルを計算用に次のようにします。

$$\vec{d}_1 = \vec{p}_1 - \vec{p}_0$$

$$\vec{d}_2 = \vec{p}_2 - \vec{p}_0$$

これは座標系 O から座標系 O’ への変換と同等です。

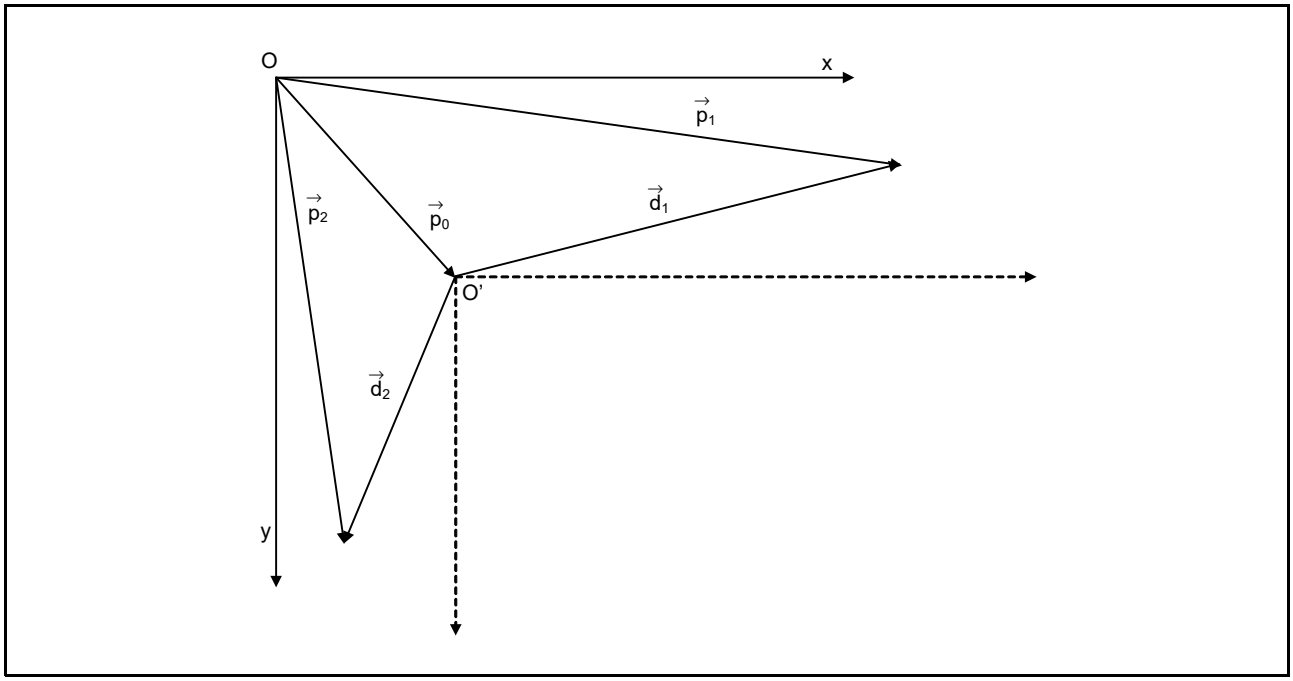


図 43.20　テクスチャマッピング、オブジェクト空間、計算を簡素化するための座標系 O から O’ への変換

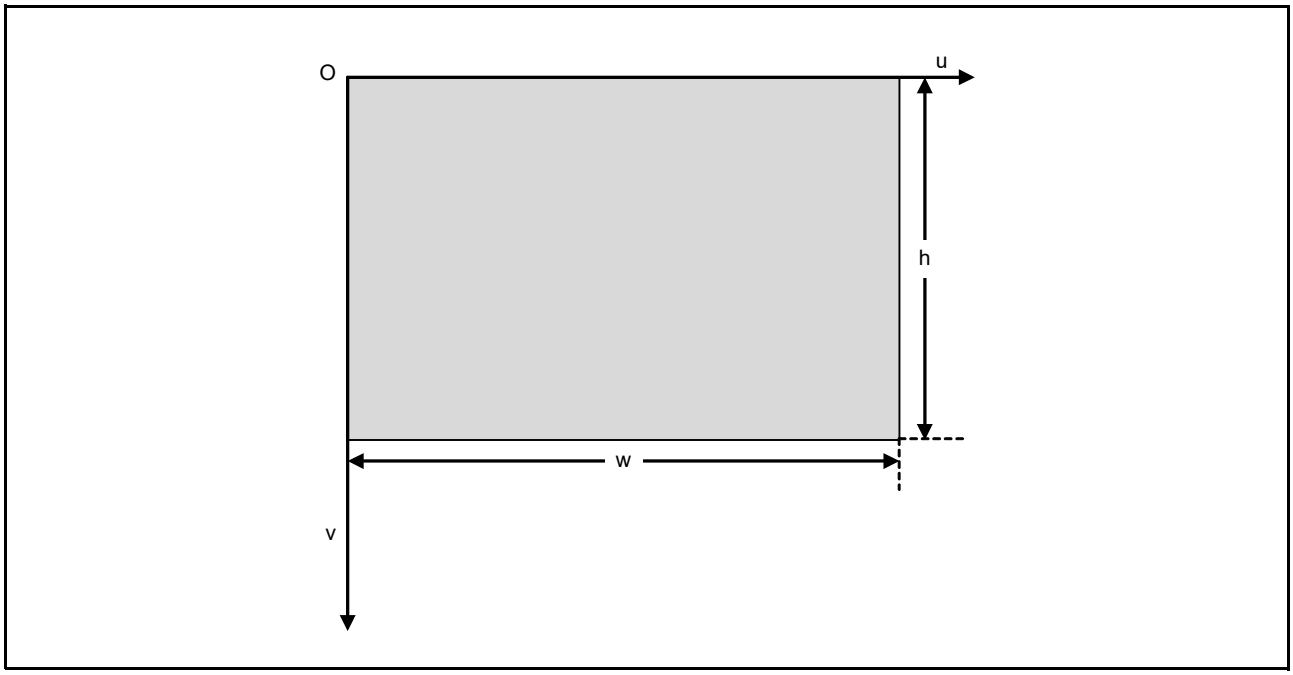


図 43.21　テクスチャマッピング、テクスチャ空間、幅 w 高さ h のテクスチャ

座標系 O' でのマッピングは、次のように表されます。

$$\vec{p}'_0 = \begin{pmatrix}0\\0\end{pmatrix} \Rightarrow (\tilde{\vec{p}}_0) = \begin{pmatrix}u_0\\v_0\end{pmatrix} = \begin{pmatrix}0\\0\end{pmatrix}$$

$$\vec{d}_1 = \begin{pmatrix}dx_1\\dy_1\end{pmatrix} \Rightarrow (\tilde{\vec{p}}_1) = \begin{pmatrix}u_1\\v_1\end{pmatrix} = \begin{pmatrix}w\\0\end{pmatrix}$$

$$\vec{d}_2 = \begin{pmatrix}dx_2\\dy_2\end{pmatrix} \Rightarrow (\tilde{\vec{p}}_2) = \begin{pmatrix}u_2\\v_2\end{pmatrix} = \begin{pmatrix}0\\h\end{pmatrix}$$

これは 2×2 の行列により記述可能なリニアマッピングです。

$$(\tilde{\vec{p}}) = M \cdot \vec{p}' = \begin{bmatrix}m_{11} & m_{12}\\m_{21} & m_{22}\end{bmatrix} \cdot \vec{p}'$$

$$\Rightarrow \begin{pmatrix}w\\0\end{pmatrix} = M \cdot \vec{d}_1 \wedge \begin{pmatrix}0\\h\end{pmatrix} = M \cdot \vec{d}_2$$

この方程式を展開、並び替えすると、それぞれ 2 つの未知数を持つ 2 つの方程式系が得られます。これらは、新しい行列によってより容易に記述できます。

$A = \begin{bmatrix}dx_1 & dy_1\\dx_2 & dy_2\end{bmatrix}$ のとき、方程式系は次のように書き換えることができます。

$$\begin{pmatrix}w\\0\end{pmatrix} = A \cdot \begin{pmatrix}m_{11}\\m_{12}\end{pmatrix} \wedge \begin{pmatrix}0\\h\end{pmatrix} = A \cdot \begin{pmatrix}m_{21}\\m_{22}\end{pmatrix}$$

この式は行列式によって容易に解くことができます。

$$c = \frac{1}{detA} = \frac{1}{dx_1 \cdot dy_2 - dx_2 \cdot dy_1}$$

のとき、定数は次の結果となります。

$$m_{11} = c \cdot w \cdot dy_2 = \frac{du}{dx}$$

$$m_{12} = -c \cdot w \cdot dx_2 = \frac{du}{dy}$$

$$m_{21} = c \cdot h \cdot dx_1 = \frac{dv}{dx}$$

$$m_{22} = -c \cdot h \cdot dx_2 = \frac{dv}{dy}$$

バウンディングボックスの最上部での u および v 座標の開始値を計算するには、O’ 座標系から O 座標系への変換を反転させる必要があります。us と vs を開始値とすると、次のようになります。

$$\begin{pmatrix} u_s \\ v_s \end{pmatrix} = M \cdot (-\vec{p}_0) = c \cdot \begin{pmatrix} -w \cdot (x_0 \cdot dy_2 - y_0 \cdot dx_2) \\ h \cdot (x_0 \cdot dy_1 - y_0 \cdot dx_1) \end{pmatrix}$$

例

U と v は、テクスチャ空間にあります。いずれかの場合に、以下を当てはめます。

- コピーの場合：
  dx1 = 1、dx2 = 0、dy1 = 0、dy2 = 1
- スケーリングの場合（x スケーリングコピーの場合）：
  dx1 = f、dx2 = 0、dy1 = 0、dy2 = 1
  ここで、f は x 方向のスケーリング率で、y 方向も同様
- 回転の場合：
  dx1 = cosa、dx2 = -sina、dy1 = sina、dy2 = cosa
  d1 と x 軸の角度は時計回りの角度

43.6.3.2 リミッタの動作

テクスチャリミッタは、図 43.8 で示す線形リミッタとまったく同じように動作します。

u リミッタ用のレジスタ配置は同じです。

- LUSTART = us
- LUXADD = du/dx
- LUYADD = du/dy

v リミッタ用のレジスタ配置は少し異なります。1 つのハードウェア乗算器を省くために、TEXPITCH を乗算した値を設定します。

- LVSTARTI = floor (vs) ・TEXPITCH
  開始値の整数部です。
- LVSTARTF = (vs-floor (vs)) ・TEXPITCH
  開始値の小数部です。
- LVXADDI = floor (dv/dx) ・TEXPITCH
  dv/dx の整数部です。
- LVYADD = floor (dv/dy)・TEXPITCH
  dv/dy の整数部です。
- LVYXADDF.LVXADDF = (dv/dx - floor (dv/dx))・TEXPITCH
  dv/dx の小数部です。
- LVYXADDF.LVYADDF = (dv/dy - floor (dv/dy))・TEXPITCH
  dv/dy の小数部です。
- TEXMASK.TEXUMASK, TEXMASK.TEXVMASK
  u および v の値をラップアラウンドするため、u および v それぞれのマスクを持ちます。これはテクスチャの制限範囲内に収めるため、あるいはテクスチャを繰り返すために役立ちます。ラップアラウンドテクスチャのサイズは、2 の倍数である必要があります。
- TEXPITCH
  フレームバッファメモリ内のテクスチャ幅（ピクセル単位）です。この情報は、次のラインに移行する場合に新しいアドレスを計算するために必要です。
- TEXORIGIN
  テクスチャのベースアドレスです。

43.6.4　カラライゼーション

ピクセルがジオメトリの一部として認識されると、そのピクセルのカラーが計算されます。2D 描画エンジンは、非常に汎用性の高いカラー計算方式を採用しており、複数のカラーモードに対応しています。このカラー方式は、2 つのカラーレジスタ COLOR1 と COLOR2 間の補間を使用します。詳細は**図 43.22** を参照してください。COLOR1 と COLOR2 は、分かりやすくするため、A、B と記載しています。

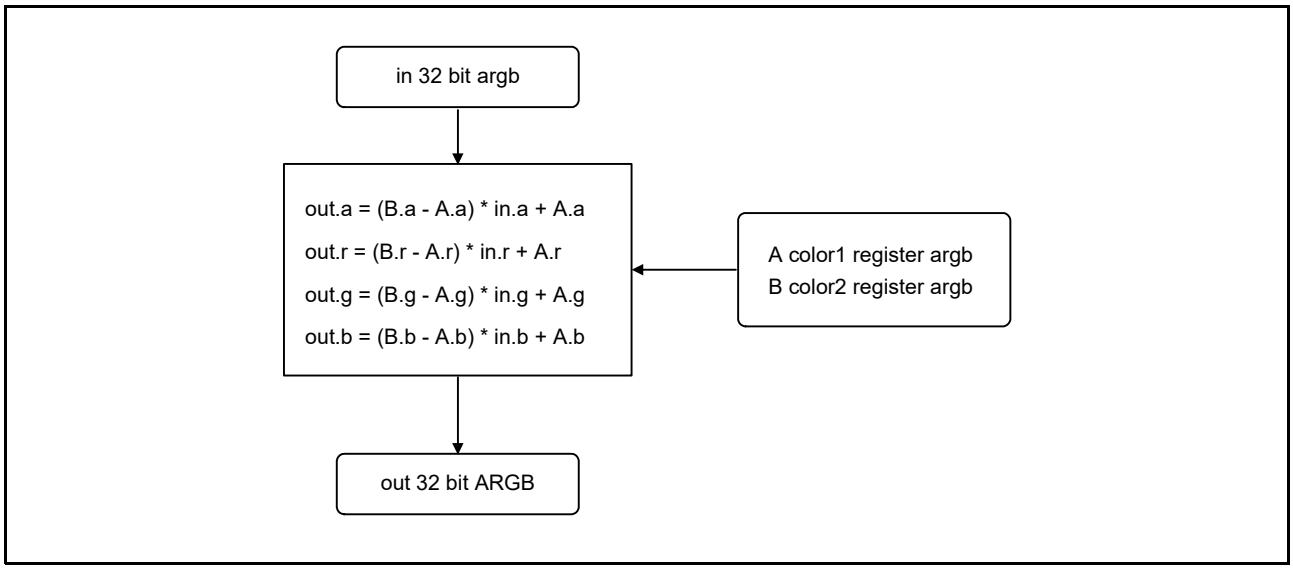


図 43.22　カラライゼーションの手順と 2 つのカラーレジスタ A（COLOR1）と B（COLOR2）の補間

この汎用的手法は、複数の異なるカラーモードに使用可能です。カラーモードは、任意の入力カラーチャネルあるいはアルファチャネルに個別に適用することができます。

表43.7　カラライゼーション動作

動作	AおよびBの設定（注1）
コピー	A = 0、B = ffh
定数値vによる置換	A = v、B = v
定数値vによる逓倍	A = 0、B = v
RGB値vによるアルファテクスチャのカラライゼーション	A.a = 0、A.r = B.r、A.g = B.g、A.b = B.b、 B.a = ffh、B.r = v.r、B.g = v.g、B.b = v.b
チャネルの反転	A = ffh、B = 0
vによる反転逓倍	A = v、B = 0
カラー v とカラー u の補間	A = v、B = u

注1.　A = COLOR1、B = COLOR2

43.6.5　ブレンディング

43.6.5.1　カラーチャネルブレンディング

ピクセルをフレームバッファに書き込む前に行う最後のステップは、すでにフレームバッファに書き込まれているデータとピクセルをブレンドすることです。ブレンディングが起動すると、フレームバッファ（以下、DST と記述）を読み出す必要があります。SRC はカラライゼーションユニットからの出力を表します。

次のカラーブレンドモードがサポートされています。

- SRC_ZERO
- SRC_ONE
- SRC_ALPHA
- SRC_ONE_MINUS_ALPHA
- DST_ZERO
- DST_ONE
- DST_ALPHA
- DST_ONE_MINUS_ALPHA

カラーチャネルブレンドモードの選択は、以下のフラグによって行われます。

- BSF：ブレンドソースファクタはアルファ
- BSI：ブレンドソースファクタ反転
- BDF：ブレンドデスティネーションファクタはアルファ
- BDI：ブレンドデスティネーションファクタ反転

ブレンディング用の式は以下のとおりです。

$dst = src \cdot f_S + dst \cdot f_D$

この時、以下のとおりとなります。

$BSF = 0, BSI = 0 \Rightarrow f_S = 1$

$BSF = 1, BSI = 0 \Rightarrow f_S = \alpha$

$BSF = 0, BSI = 1 \Rightarrow f_S = 0$

$BSF = 1, BSI = 1 \Rightarrow f_S = 1 - \alpha$

$BDF = 0, BDI = 0 \Rightarrow f_D = 1$

$BDF = 1, BDI = 0 \Rightarrow f_D = \alpha$

$BDF = 0, BDI = 1 \Rightarrow f_D = 0$

$BDF = 1, BDI = 1 \Rightarrow f_D = 1 - \alpha$

表 43.8 に、使用可能なすべてのカラーチャネルブレンドモデルを示します。

表43.8　　カラーチャネルブレンドモード

モード	BSF	BSI	BDF	BDI	ブレンド方程式
SRC_ONE DST_ONE	0	0	0	0	SRC + DST
SRC_ONE	0	0	0	1	SRC
SRC_ONE DST_ALPHA	0	0	1	0	SRC + DST × ALPHA
SRC_ONE DST_ONE_MINUS_ALPHA	0	0	1	1	SRC + DST × (1 - ALPHA)
SRC_ZERO DST_ONE	0	1	0	0	DST
SRC_ZERO DST_ZERO	0	1	0	1	0
SRC_ZERO DST_ALPHA	0	1	1	0	DST × ALPHA
SRC_ZERO DST_ONE_MINUS_ALPHA	0	1	1	1	DST × (1 - ALPHA)
SRC_ALPHA DST_ONE	1	0	0	0	SRC × ALPHA + DST
SRC_ALPHA	1	0	0	1	SRC × ALPHA
SRC_ALPHA DST_ALPHA	1	0	1	0	SRC × ALPHA + DST × ALPHA
SRC_ALPHA DST_ONE_MINUS_ALPHA	1	0	1	1	SRC × ALPHA + DST × (1 - ALPHA)
SRC_ONE_MINUS_ALPHA DST_ONE	1	1	0	0	SRC × (1 - ALPHA) + DST
SRC_ONE_MINUS_ALPHA	1	1	0	1	SRC × (1 - ALPHA)
SRC_ONE_MINUS_ALPHA DST_ALPHA	1	1	1	0	SRC × (1 - ALPHA) + DST × ALPHA
SRC_ONE_MINUS_ALPHA DST_ONE_MINUS_ALPHA	1	1	1	1	SRC × (1 - ALPHA) + DST × (1 - ALPHA)

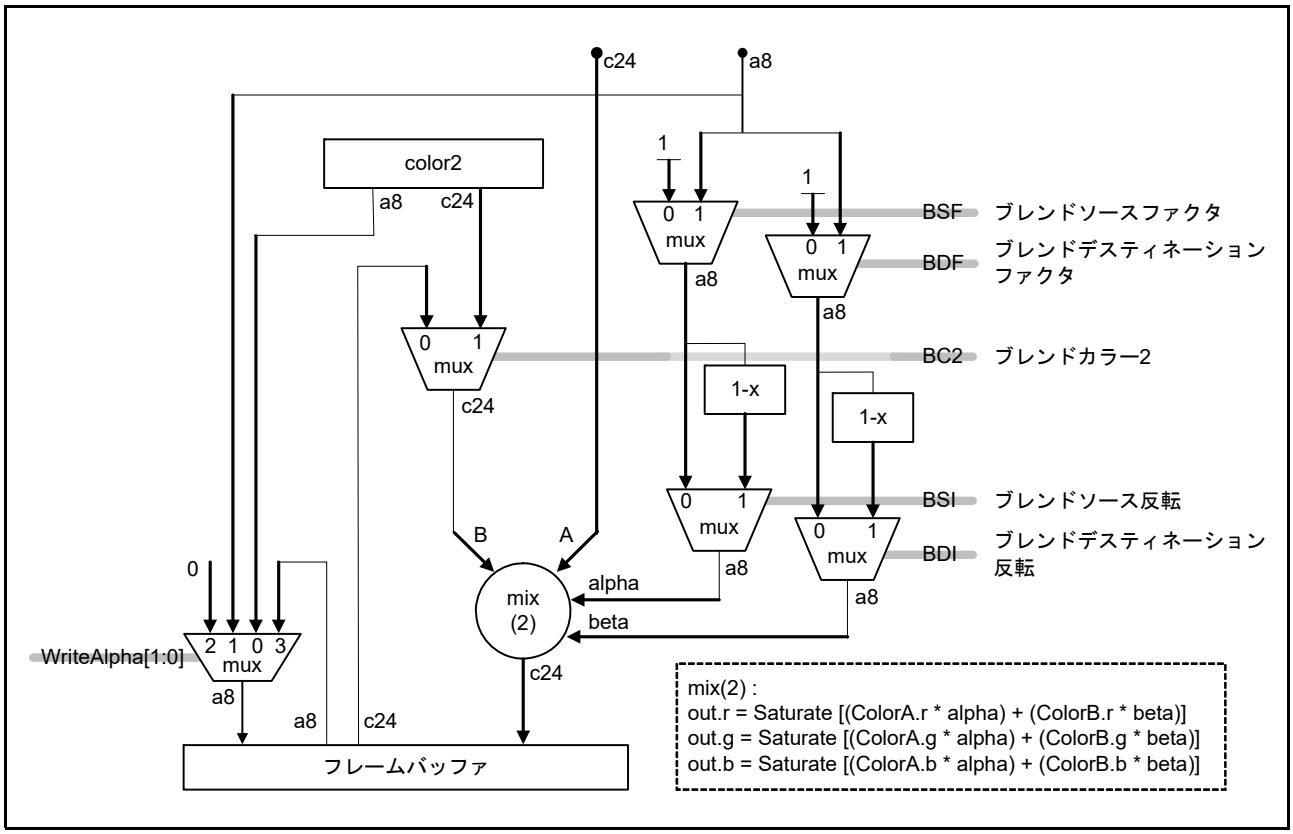


図 43.23　　CONTROL2.USEACB = 0 の場合のカラーチャネルブレンドユニット

43.6.5.2　アルファチャネルブレンディング

カラーチャネルに加え、アルファチャネルをブレンドすることが可能です。アルファチャネルブレンディングを有効にするには、CONTROL2.USEACB = 1 にします。アルファチャネルブレンディングは、カラーチャネル用と同じ式およびブレンドモードを使用します。カラーチャネルの式とは別に、アルファチャネルの式を設定することができます。

以下のアルファチャネルブレンドモードに対応しています。

- SRC_A_ZERO
- SRC_A_ONE
- SRC_A_SRC_A
- SRC_A_ONE_MINUS_SRC_A
- DST_A_ZERO
- DST_A_ONE
- DST_A_SRC_A
- DST_A_ONE_MINUS_SRC_A

アルファチャネルブレンドモードは以下のフラグで選択します。

- BSFA：ブレンドソースファクタは SRC_A
- BSIA：ブレンドソースファクタ反転
- BDFA：ブレンドデスティネーションファクタは SRC_A
- BDIA：ブレンドデスティネーションファクタ反転

ブレンディング用の式は以下のとおりです。

$dst_alpha = src_a \cdot f_{S_a} + dst_a \cdot f_{D_a}$

この時、以下のとおりとなります。

$BSFA = 0, BSIA = 0 \Rightarrow f_{S_a} = 1$

$BSFA = 1, BSIA = 0 \Rightarrow f_{S_a} = src_a$

$BSFA = 0, BSIA = 1 \Rightarrow f_{S_a} = 0$

$BSFA = 1, BSIA = 1 \Rightarrow f_{S_a} = 1 - src_a$

$BDFA = 0, BDIA = 0 \Rightarrow f_{D_a} = 1$

$BDFA = 1, BDIA = 0 \Rightarrow f_{D_a} = src_a$

$BDFA = 0, BDIA = 1 \Rightarrow f_{D_a} = 0$

$BDFA = 1, BDIA = 1 \Rightarrow f_{D_a} = 1 - src_a$

表 43.9 に、使用可能なすべてのアルファチャネルブレンドモデルを示します。

表43.9　アルファチャネルブレンドモード

モード	BSF	BSI	BDF	BDI	ブレンド方程式
SRC_A_ONE DST_A_ONE	0	0	0	0	SRC_A + DST_A
SRC_A_ONE	0	0	0	1	SRC_A
SRC_A_ONE DST_A_SRC_A	0	0	1	0	SRC_A + DST_A × SRC_A
SRC_A_ONE DST_A_ONE_MINUS_SRC_A	0	0	1	1	SRC_A + DST_A × (1 - SRC_A)
SRC_A_ZERO DST_A_ONE	0	1	0	0	DST_A
SRC_A_ZERO DST_A_ZERO	0	1	0	1	0
SRC_A_ZERO DST_A_SRC_A	0	1	1	0	DST_A × SRC_A
SRC_A_ZERO DST_A_ONE_MINUS_SRC_A	0	1	1	1	DST_A × (1 - SRC_A)
SRC_A_SRC_A DST_A_ONE	1	0	0	0	SRC_A × SRC_A + DST_A
SRC_A_SRC_A	1	0	0	1	SRC_A × SRC_A
SRC_A_SRC_A DST_A_SRC_A	1	0	1	0	SRC_A × SRC_A + DST_A × SRC_A
SRC_A_SRC_A DST_A_ONE_MINUS_SRC_A	1	0	1	1	SRC_A × SRC_A + DST_A × (1 - SRC_A)
SRC_A_ONE_MINUS_SRC_A DST_A_ONE	1	1	0	0	SRC_A × (1 - SRC_A) + DST_A
SRC_A_ONE_MINUS_SRC_A	1	1	0	1	SRC_A × (1 - SRC_A)
SRC_A_ONE_MINUS_SRC_A DST_A_SRC_A	1	1	1	0	SRC_A × (1 - SRC_A) + DST_A × SRC_A
SRC_A_ONE_MINUS_SRC_A DST_A_ONE_MINUS_SRC_A	1	1	1	1	SRC_A × (1 - SRC_A) + DST_A × (1 - SRC_A)

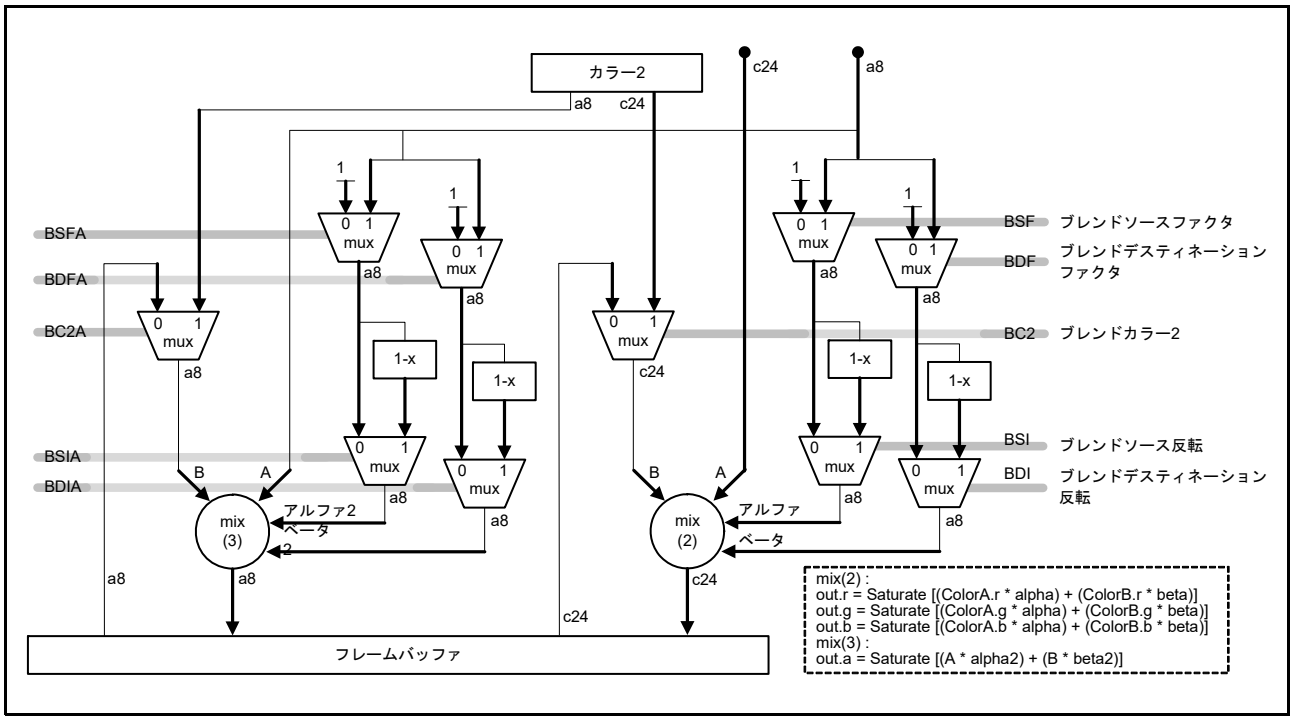


図 43.24　CONTROL2.USEACB = 1 の場合のアルファチャネルおよびカラーチャネルのブレンドユニット

43.7　レンダリングモード

レンダリング処理は、レジスタモードとディスプレイリストモードの 2 つの異なるモードで実行できます。

43.7.1　レジスタモード

レジスタモードでレジスタ設定に基づき動作する場合、ホスト CPU は各レンダリング処理を個別に構成し、開始します。新しいレンダリング処理を開始するには、ホスト CPU はその前の処理が完了するまで待つ必要があります。このモードでは、ホスト CPU が描画手順全体に大きくかかわっています。その結果、ほとんどの場合、他のタスクにはホスト CPU を使用できなくなります。

ホスト CPU は、レンダリング処理を開始する前に、描画動作を行うためのすべてのレジスタをセットアップする必要があります。前のレンダリング処理が完了するまで、新しいレジスタのセットアップを開始することができません。新しいレジスタのセットアップを開始する前に、以下を確認してください。

- STATUS.DLISTACTIVE = 0：ディスプレイリストリーダがアイドル状態
- STATUS.BUSYENUM = 0：ピクセル選択ユニットがアイドル状態

最後に、フレームバッファ開始アドレスを ORIGIN レジスタに書き込みます。この書き込みは、2D 描画エンジンがレンダリングを開始するトリガになります。

43.7.2　ディスプレイリストモード

ディスプレイリストモードでは、ホスト CPU は 2D 描画エンジンを開始する前に、メモリ内にディスプレイリストを作成します。このディスプレイリストはレンダリング動作の集まりです。2D 描画エンジンは、開始されると自律的にディスプレイリストを実行するため、ほとんどの場合、ホスト CPU は描画操作には関与しません。ディスプレイリストを使用すると、ホスト CPU と 2D 描画エンジンを完全に非同期で動作させることができ、可能な限り最高のシステムパフォーマンスを実現します。

このモードでは、ディスプレイリストリーダが 2D 描画エンジンのコントロールレジスタをセットする方法に関する指示の入ったメモリブロックを読み出し、それに従ってこれらのコントロールレジスタの書き込みを行います。

ディスプレイリストの開始

すでにメモリ内に存在するディスプレイリストの実行を開始するため、ディスプレイリストの開始アドレスをディスプレイリスト開始アドレスレジスタ DLISTSTART に書き込みます。DLISTSTART への再書き込みは実行中のディスプレイリストを停止させるので、下の 2 つの手段のいずれかで前のディスプレイリスト処理が完了していることを確認してください。

- STATUS.DLISTACTIVE = 0 であることをチェック。これは、ディスプレイリストリーダがアイドル状態であることを示します。
- ディスプレイリスト割り込み DRWDLISTIRQ を待ちます。これは、前のディスプレイリスト処理が完了したことを示します。

【使用上の注意】ディスプレイリストがアクティブ（STATUS.DLISTACTIVE = 1）のとき、2D 描画エンジンのレジスタに直接書き込みを行うと、2D 描画エンジンがハングアップ状態になることがあります。この状態を回避するためには、必ず、ディスプレイリストリーダがアイドル状態であること（STATUS.DLISTACTIVE = 0）を確認してから、描画エンジンレジスタへの書き込みを実行してください。

ディスプレイリストフォーマット

ディスプレイリストは、直接使用するレジスタ値とそれをマッピングする値が格納されます。つまり、ディスプレイリストには、特定のレジスタをアドレス指定する 1 バイトのインデックスと、そのレジスタに書き込まれる値が含まれています。レジスタインデックスは、レジスタアドレスのアドレスオフセットから導出でき、アドレスオフセットを 4 で割ることによって計算できます。各レジスタのインデックスについては、**「表 43.11　2D 描画エンジンレジスタの概要」**を参照してください。

2D 描画エンジンレジスタは常に 32 ビット幅のため、レジスタに書き込まれる各データユニット（データワードと呼ぶ）も同じサイズです。書き込み対象レジスタのインデックスを含むアドレスワードは、1 つの 32 ビットアドレスワードに最大 4 個のインデックスが格納されるパック表記法で格納されます。

ディスプレイリストコマンドは、常にアドレスワードで始まり、各レジスタに対して 1 個ずつ、最大 4 個のデータワードがその後に続きます。インデックスは、LSB から MSB へと読み出され、解釈されます。そのため、下位バイトインデックスのレジスタが最初に書き込まれます。

例

次の例において、

- DWORD 201A 1930h // リスト先頭のアドレスワード
- DWORD 0000 0013h // データワード 1（レジスタ 30h 用）
- DWORD FFFF FFAAh // データワード 2（レジスタ 19h 用）
- DWORD 4033 6480h // データワード 3（レジスタ 1Ah 用）
- DWORD 0001 0000h // データワード 4（レジスタ 20h 用)
- DWORD... // 次のアドレスワード

この dword のストリームは、DRW レジスタを次のように更新します。

- 0000 0013h をレジスタ 30h に書き込む（= 48、IRQCTL）
- FFFF FFAAh をレジスタ 19h に書き込む（= 25、COLOR1）
- 4033 6480h をレジスタ 1Ah に書き込む（= 26、COLOR2）
- 0001 0000h をレジスタ 20h に書き込む（= 32、ORIGIN）

アドレスワード中のインデックス

レジスタを参照するほかに、アドレスワード中のインデックスは、値に応じて別の意味を持つこともあります。

表43.10 インデックスの機能

インデックス	機能	
00h-7Fh	レジスタインデックス 2つのレジスタインデックスが、追加動作にトリガをかけます。	
	- 20h = 32	新しいフレームバッファアドレスをセットするためのORIGINへの書き込みは、現在実行中のフレームバッファのライトバックが完了（STATUS.BUSYWRITE = 0）するまで、遅延されます。
	- 32h = 50	新しいディスプレイリスト開始アドレスをセットするためのDLISTSTARTへの書き込みにより、現在のディスプレイリストが停止し、新しいディスプレイリストが開始されます。
80h	ギャップインデックス。アドレスワードの未使用のバイトを埋めるために使用されます。たとえば、必要なインデックスが4個未満の場合、残りのバイトは80hで埋められます。その場合、後続データワードの数も、それに応じて減らす必要があります。	
FFh	アドレスワードの最初のインデックスにスペシャルインデックスFFhが含まれる場合、後続（2番目の）インデックスは次のように解釈されます。	
	- ビット[0]セット：	ディスプレイリストエンド
	- ビット[1]セット：	パイプライン全体のフラッシュを発行し、待機（フリップの前に必要）
	- ビット[2]セット：	ライトバックの完了を待機（フレームバッファフォーマットの変更前に必要）
	- ビット[7:3]：	すべて0に設定
	ビット[1]とビット[2]の設定は、相互排除の関係にあります。スペシャルインデックスFFhの後のすべてのインデックスは無視され、ディスプレイリストエンド（ビット[0] = 1）がセットされていない場合、次のアドレスワードが読み出されます。	
	残りの2つのインデックスは00hにセットしてください。	

【使用上の注意】ギャップインデックス 80h は、たとえば「インデックス 1 - 80h - インデックス 3 - インデックス 4」のように他のインデックスの間に配置することはできません。80h の後に続くすべてのインデックスは、必ずギャップインデックスで埋めてください。

【使用上の注意】スペシャルインデックス 80h と FFh のいずれかを使用する場合、そのアドレスワード内のそのインデックスの後にレジスタインデックスを続けることはできません。

表43.11　2D描画エンジンレジスタの概要

レジスタ機能	シンボル	インデックス
コントロールレジスタ：		
ジオメトリコントロール	CONTROL	0
サーフェスコントロール	CONTROL2	1
割り込みコントロール	IRQCTL	48
キャッシュコントロール	CACHECTL	49
ステータスコントロール	STATUS	-（注1）
ハードウェアリビジョンと機能セットID	HWREVISION	-（注1）
カラーレジスタ：		
ベースカラー	COLOR1	25
セカンダリカラー	COLOR2	26
パターン	PATTERN	29
リミッタレジスタ:		
リミッタ1開始値	L1START	4
リミッタ2開始値	L2START	5
リミッタ3開始値	L3START	6
リミッタ4開始値	L4START	7
リミッタ5開始値	L5START	8
リミッタ6開始値	L6START	9
リミッタ1x軸インクリメント	L1XADD	10
リミッタ2x軸インクリメント	L2XADD	11
リミッタ3x軸インクリメント	L3XADD	12
リミッタ4x軸インクリメント	L4XADD	13
リミッタ5x軸インクリメント	L5XADD	14
リミッタ6x軸インクリメント	L6XADD	15
リミッタ1y軸インクリメント	L1YADD	16
リミッタ2y軸インクリメント	L2YADD	17
リミッタ3y軸インクリメント	L3YADD	18
リミッタ4y軸インクリメント	L4YADD	19
リミッタ5y軸インクリメント	L5YADD	20
リミッタ6y軸インクリメント	L6YADD	21
リミッタ1バンド幅パラメータ	L1BAND	22
リミッタ2バンド幅パラメータ	L2BAND	23
テクスチャレジスタ：		
テクスチャベースアドレス	TEXORIGIN	47
テクスチャライン別テクセル数	TEXPITCH	45
テクスチャサイズまたはテクスチャアドレスマスク	TEXMASK	46
Uリミッタ開始値	LUSTART	36
Uリミッタx軸インクリメント	LUXADD	37
Uリミッタy軸インクリメント	LUYADD	38
Vリミッタ開始値整数部	LVSTARTI	39
Vリミッタ開始値小数部	LVSTARTF	40
Vリミッタx軸インクリメント整数部	LVXADDI	41
Vリミッタy軸インクリメント整数部	LVYADDI	42
Vリミッタインクリメント小数部	LVYXADDF	43
カラールックアップテーブル開始アドレス	TEXCLADDR	55

レジスタ機能	シンボル	インデックス
TEXCLADDRへの書き込みデータ。各データ書き込み後、TEXCLADDRは1だけインクリメントされる。	TEXCLDATA	56
インデックス指定テクスチャフォーマットi8、i4、i2、i1のインデックスへのオフセット	TEXCLOFFSET	57
内部テクセルカラー表現のR、G、Bコンポーネント用の比較値	COLKEY	58
その他のレジスタ：		
バウンディングボックス寸法	SIZE	30
フレームバッファピッチおよびスパンストア遅延	PITCH	31
フレームバッファ内先頭ピクセルアドレス	ORIGIN	32
ディスプレイリスト開始アドレス	DLISTSTART	50
パフォーマンスカウンタコントロール	PERFTRIGGER	53
パフォーマンスカウンタ1	PERFCOUNT1	51
パフォーマンスカウンタ2	PERFCOUNT2	52

注1. これらのレジスタは読み取り専用であり、ディスプレイリストモードではアクセスできません。そのため、インデックスはありません。

43.7.3 レンダリング処理の停止

実行中のレンダリング処理を停止するには特定の手順が必要です。
詳細については、「43.10 2D 描画エンジンのレンダリング処理の停止」を参照してください。

43.8　割り込み

2D 描画エンジンは、3 つの割り込みを生成します。

- DRWBUSIRQ
- DRWENUMIRQ
- DRWDLISTIRQ

43.8.1　割り込み要因

DRWBUSIRQ

2D 描画エンジンバスエラー割り込みです。2D 描画エンジンが、以下のレジスタを介して、未定義のアドレス範囲にアクセスしようとすると、バスエラー割り込み DRWBUSIRQ が発生します。

- フレームバッファベースアドレスレジスタ (ORIGIN)
- テクスチャベースアドレスレジスタ (TEXORIGIN)
- ディスプレイリスト開始アドレスレジスタ（DLISTSTART）

割り込みの原因は、STATUS レジスタの BUSERRMFB、BUSERRMTXMRL、BUSERRMDL ビットで判断できます。

注 .　DRWBUSIRQ が発生したら、ソフトウェアリセットを適用する必要があります。ソフトウェアリセットに関しては、「52.　低消費電力モード」を参照してください。

DRWENUMIRQ

現在のレンダリング処理の終了割り込みです。

DRWDLISTIRQ

ディスプレイリスト割り込みです。ディスプレイリスト処理の完了時にアサートされます。以下のいずれかが成立する場合、DRWDLISTIRQ が発生します。

- ディスプレイリスト全体が完了した場合
- ディスプレイリスト開始アドレスレジスタ（DLISTSTART）への書き込みにより新しいディスプレイリスト開始がトリガされたため、ディスプレイリストの処理が停止した場合

43.8.2　割り込みコントロール

3 つの 2D 描画エンジン割り込みは、1 つの共有割り込み（DRW_IRQ）として結合され、CPU に送られます。各割り込みは、割り込みコントロールレジスタ（IRQCTL）の関連する有効化ビットをセットすることで、マスク（無効化）またはマスク解除（有効化）できます。

有効な割り込み（IRQCTL でマスクビットが 1 に設定されている割り込み）が発生すると、対応する割り込みステータスビットが 1 になり、ステータスコントロールレジスタ（STATUS）でモニタされます。その後、共有 2D 描画エンジン割り込み DRW_IRQ が生成されます。

割り込みをクリアするには、ホスト CPU が IRQCTL の割り込みクリアビットに 1 を書きこむ必要があります。割り込みクリアビットは自動的に 0 に戻ります。

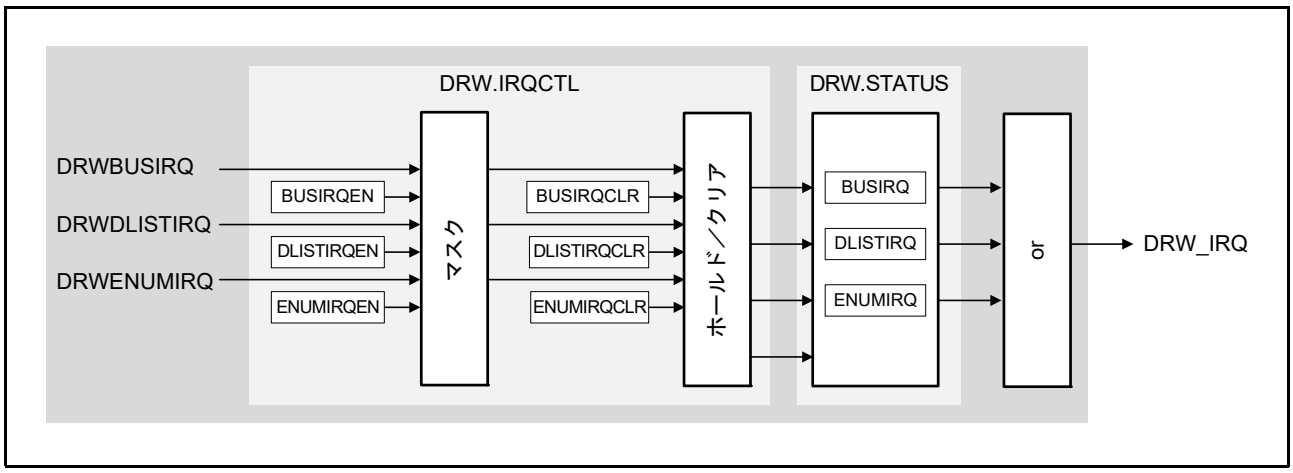


図 43.25　割り込みコントローラユニット（ICU）

43.9　パフォーマンスカウンタ

2D 描画エンジンは、2 つの独立した 32 ビットパフォーマンスカウンタレジスタ PERFCOUNTk（k = 1, 2）を備えています。これは、特定のイベントの発生回数をカウントするものです。カウントするイベントは、パフォーマンスカウンタコントロールレジスタである PERFTRIGGER.PERFTRIGGER2（PERFCOUNT2 用）と PERFTRIGGER.PERFTRIGGER1（PERFCOUNT1 用）を使用することで、各パフォーマンスカウンタレジスタについて個別に設定できます。

表 43.12 に、選択できるパフォーマンスカウンタトリガイベントの一覧を示します。

表43.12　パフォーマンスカウンタトリガイベント

PERFTRIGGER.PERFTRIGGERk	イベント
0	パフォーマンスカウンタを無効化
1	2D描画エンジンのアクティブサイクル
2	フレームバッファリードアクセス
3	フレームバッファライトアクセス
4	テクスチャリードアクセス
5	見えないピクセル（並んでいるがアルファ 0%で選択されている）
6	内部FIFOが空（ロストサイクル）の間の見えないピクセル
7	ディスプレイリストリーダのアクティブサイクル
8	フレームバッファリードのヒット
9	フレームバッファリードのミス
10	フレームバッファライトのヒット
11	フレームバッファライトのミス
12	テクスチャリードのヒット
13	テクスチャリードのミス
31	全クロックサイクル（タイマとして使用）

43.10　2D 描画エンジンのレンダリング処理の停止

レンダリング処理がレジスタモードとディスプレイリストモードのどちらで開始した場合でも、2D 描画エンジンは、レンダリング処理が完了するまでデータを自律的に処理します。レンダリングによっては、数ミリ秒要することもあります。

本 LSI が低消費電力モードになるなどの理由で 2D 描画エンジンが無効になる場合、次のような手順で実行中のレンダリングを停止してください。

1. 以下のようにレジスタを設定します。
   SIZE = 0001 0001h
   　バウンディングボックスのサイズを 1 ピクセル ×1 ラインにする
   CONTROL2 = 0000 0000h
   　カラーフォーマット a (8)、テクスチャなし、CLUT
   ORIGIN = UnmappedAddress
   　UnmappedAddress は、2D 描画エンジンではアクセスできないアドレスです。
   　ここで、推奨される UnmappedAddress について、キーワード「UnmappedAddress」で説明します。
   ディスプレイリストモードでは代わりに以下のようにして同様の設定を行ってください。
   　DWORD 8020 011Eh // リスト先頭のアドレスワード
   　DWORD 0001 0001h // SIZE = 0001 0001h
   　DWORD 0000 0000h // CONTROL2 = 0000 0000h
   　DWORD UnmappedAddress // ORIGIN = UnmappedAddress
2. マッピングされていないアドレス違反に対応するバスエラーの発生を待ちます。このエラーは、マッピングされていないアドレスへのアクセスと、レンダリング処理の停止を示します。
   　UnmappedAddress = D000 0000h
3. 必要に応じて 2D 描画エンジンを無効にしてください。

44. スプライトエンジン（SPEA）

44.1 スプライトユニットと RLE ユニットの概要

44.1.1 ユニット

本 LSI のスプライトエンジンのユニット数は以下のとおりです。

表44.1　ユニット

スプライトエンジン (SPEA)	RZ/A2M
ユニット数	1
名称	SPEA0

ユニットインデックス n

本章全体を通して、スプライトエンジンの個々のユニットはインデックス n（n = 0）によって識別されます。たとえば、RLE ユニット i の SPEAn 物理アドレスレジスタは SPEAnPHAi です。

44.1.2 スプライトユニットと RLE ユニットのインデックス

本章では、以下のインデックスが使用されます。

RLE ユニット番号インデックス i

RLE ユニットの 1 つのユニットは、インデックス i（i = 0）によって識別されます。たとえば、RLE ユニット i の物理アドレスレジスタは SPEAnPHAi です。

スプライトユニット番号インデックス k

スプライトユニットの 2 つのユニットは、インデックス k（k = 0 ～ 1）によって識別されます。たとえば、スプライトユニット k のイネーブルレジスタは SPEAnSkEN です。

スプライトインデックス m

スプライトユニット k の 16 個のスプライトは、インデックス m（m = 0 ～ 15）によって識別されます。たとえば、スプライトユニット k のスプライト m のデスティネーションアドレスレジスタは SPEAnSkDAm です。

44.1.3 レジスタアドレス

すべてのスプライトエンジンのレジスタアドレスは、個々のベースアドレス <SPEAn_base> からのアドレスオフセットで与えられます。

各 SPEAn の <SPEAn_base> アドレスは、次の表にリストされています。

表44.2　レジスタベースアドレス <SPEAn_base>

SPEAnユニット	<SPEAn_base> アドレス
SPEA0	E803 E000H

44.2　機能概要

ビデオディスプレイコントローラ 6 では、表示画像にレイヤを追加するために、メモリからデータを取得するさまざまな方法を選択できます。

- ダイレクトアクセス
  ビデオディスプレイコントローラ 6 で処理されるカラーデータは、正しいフォーマットで直接メモリから読み出されます。
  ビデオディスプレイコントローラ 6 のグラフィックス部 (0), (2), (3) は、メモリに直接アクセスできます。
- RLE (ランレングス符号化）レイヤ
  メモリ内の RLE 圧縮カラーデータは展開され、分離されたピクセルカラーデータとしてビデオディスプレイコントローラ 6 に渡されます。
  背景レイヤを決定する、ビデオディスプレイコントローラ 6 のグラフィックス部 (0) は、RLE レイヤを使用できます。
- スプライトレイヤ
  最大 16 の矩形領域を持つレイヤは、レイヤ領域のどこにでも配置することができます。
  レイヤ全体ではなく、矩形の色データのみをメモリに格納するため、占有メモリと帯域幅は最小限に抑えられます。
  ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) は、スプライトレイヤを使用できます。

機能概要

- RLE ユニット
  - RLE ユニットは、ビデオディスプレイコントローラ 6 のグラフィックス部 (0) と連携することが可能です。
  - Targa 形式で圧縮された RLE データ
  - RLE 圧縮カラーデータフォーマット : 24 bpp
- スプライトユニット
  - 2 つのスプライトユニットは、ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) と連携することが可能です。
  - 最大 16 の個別スプライトが各スプライトユニットで処理されます。

インデックス

本章全体を通して、次のインデックスを使用します :

- i = 0: RLE ユニット番号
- k = 0 ～ 1 : スプライトユニット番号
- m = 0 ～ 15 : 各スプライトユニットのスプライト番号

44.3　RLE ユニット機能説明

次の図は、RLE ユニットのブロック図を示しています。

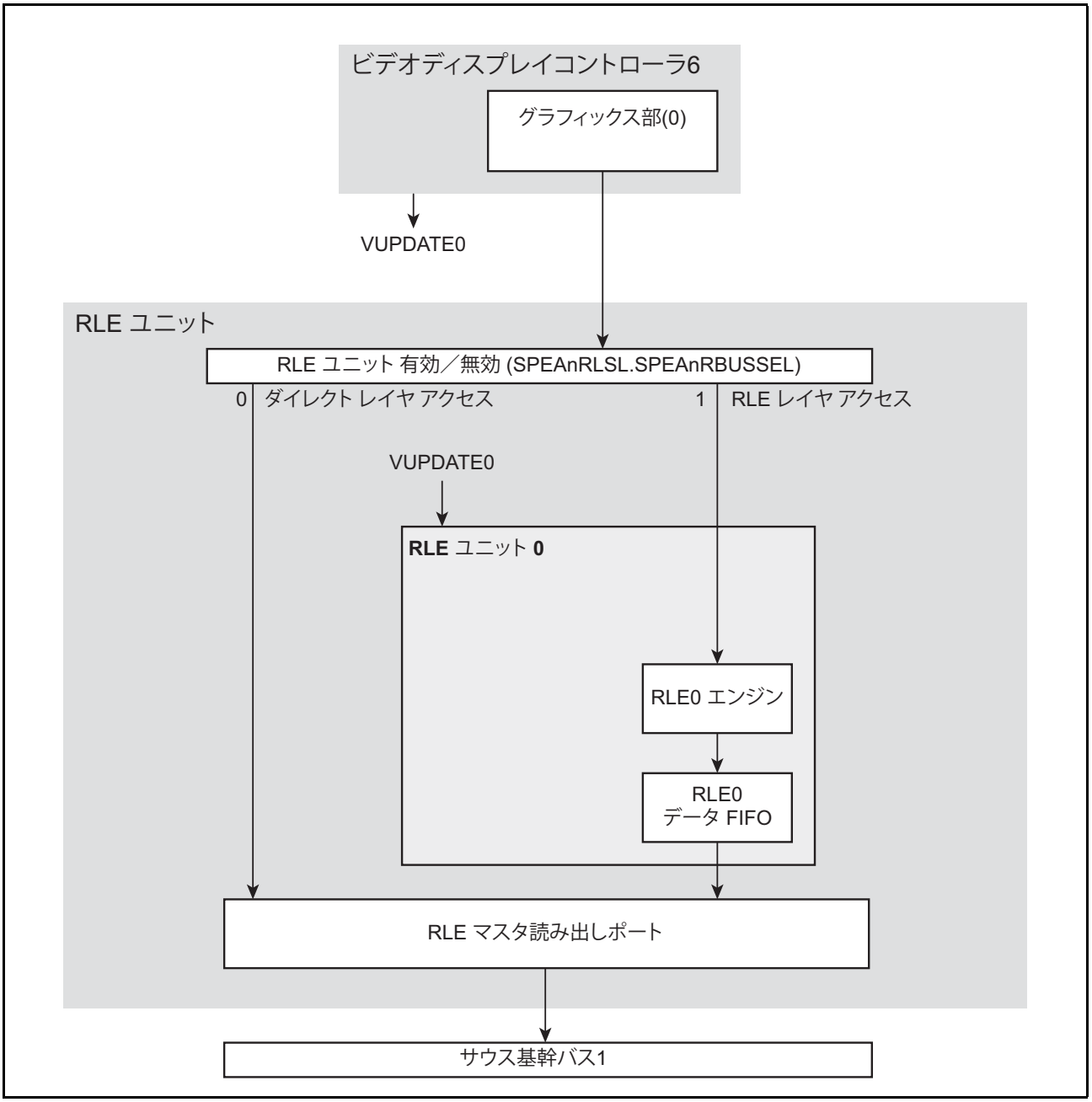


図 44.1　　RLE エンジンブロック図

ビデオディスプレイコントローラ 6 のグラフィックス部 (0) は RLE ユニットを介してメモリから RLE 圧縮されたカラーデータを読み取ることができます。

ビデオディスプレイコントローラ 6 のグラフィックス部 (0) が RLE データを読み取らないときは、フレームバッファデータを直接読み取るために物理メモリをアクセスします。

RLE ユニットイネーブル

RLE ユニットは有効または無効にできます。
RLE またはダイレクトレイヤの選択は、バイパススイッチで行います。

- SPEAnRLSL.SPEAnRBUSSEL = 0: RLE ユニット無効
  ビデオディスプレイコントローラ 6 のグラフィックス部 (0) は、メモリへのダイレクトレイヤアクセスを実行します。
- SPEAnRLSL.SPEAnRBUSSEL = 1: RLE ユニット有効
  ビデオディスプレイコントローラ 6 のグラフィックス部 (0) は、RLE レイヤアクセスを実行します。

RLE ユニットデータ FIFO

RLE ユニットによってメモリから読み出されたデータは、メモリデータのプリフェッチを可能にする、RLE データ FIFO に格納されます。
データのプリフェッチは、FIFO フィルステージとリードバースト長の影響を受ける可能性があり、RLE はサウス基幹バスを介してメモリへのリードアクセスを発行します。

RLE データ FIFO のサイズは 1024 ビットで、16×64 ビット構成です。

RLE プリフェッチコンフィギュレーションレジスタ SPEAnRCFG の 2 つの値によって、新しいリードバーストが発行されたときの、FIFO フィルスレッショルドとバースト長を設定できます。

- SPEAnRDTH[2:0] は、次のデータプリフェッチでの、FIFO フィル スレッショルドを設定します。
- SPEAnRLEN[2:0] は、次のデータプリフェッチでの、バースト長を設定します。

注意 . バーストサイズ SPEAnRLEN[2:0] と プリフェッチタイミング SPEAnRDTH[2:0] は、RLE データ FIFO のオーバフローを防ぐ値に設定する必要があります。
RLE データ FIFO のサイズは 1024 ビットです。
RLE ユニットを動作させる場合、ビデオディスプレイコントローラ 6 の GR0_BST_MD ビットに常に '1' を設定してください。

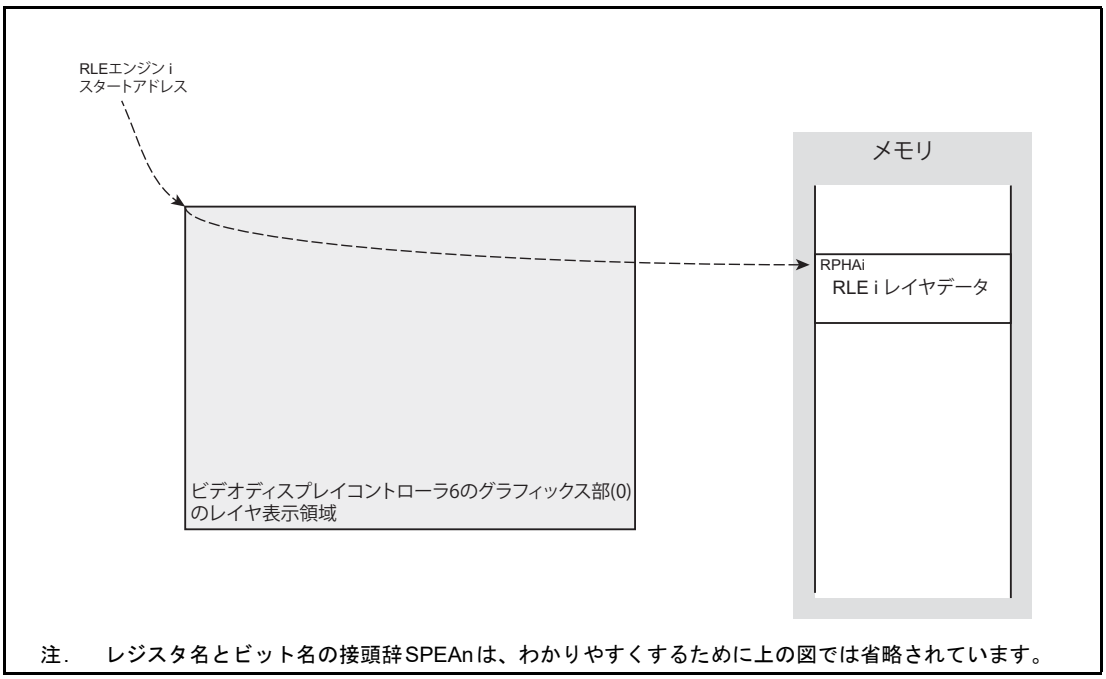
44.3.1　RLE レイヤ定義

RLE ユニット i は、ビデオディスプレイコントローラ 6 のグラフィックス部 (0) による、レイヤの先頭画素のリードアドレスによって、RLE レイヤのリードアクセスを識別します。

有効アドレスは、仮想フレーム開始アドレスを示す、スタートアドレスレジスタ SPEAnSTAi に定義されます。

ビデオディスプレイコントローラ 6 のグラフィックス部 (0) の読み取りアクセスが SPEAnSTAi と一致するとき、RLE ユニットは物理アドレスレジスタ SPEAnPHAi で定義されたメモリアドレスから RLE データを読み込みます。

ビデオディスプレイコントローラ 6 のグラフィックス部 (0) のレイヤのデータ全体が RLE ユニットを介して読み出されるため、RLE ユニットはビデオディスプレイコントローラ 6 のグラフィックス部 (0) が開始アドレス SPEAnSTAi を再び発行するまで、メモリから連続してデータを読み出します。これにより、RLE ユニットは、アドレス SPEAnPHAi からのデータ読み出しを再開します。



注.　レジスタ名とビット名の接頭辞 SPEAn は、わかりやすくするために上の図では省略されています。

図 44.2　RLE の定義

RLE ユニットが連続してメモリを読み出しているため、以下のビデオディスプレイコントローラ 6 のグラフィックス部 (0) の制約を考慮する必要があります。

注意 1. ビデオディスプレイコントローラ 6 の GR0_FLM1 レジスタの GR0_BST_MD ビットに常に '1' を設定してください。水平方向の画像データサイズが 128 バイトアライメントに合わない場合、ライン毎に 128 バイトアライメントとなるようにダミーデータを挿入する必要があります。

2. RLE ユニットは、各ラインの読み取り終了後に 128 バイトの追加読み取りを実行します。このため、ライン毎に 128 バイトの追加のダミーデータを挿入する必要があります。

例 .　32bpp の水平 240 ピクセル画像において各ラインに必要となるダミーデータ挿入：注意 1 の制限を満たすために 64 バイトのダミーデータが必要であり、注意 2 の制限を満たすためさらに 128 バイトのダミーデータが必要となります。合計で 192 バイトのダミーデータ挿入が必要となり、ダミーデータ挿入後の水平ピクセル数は 288 ピクセルとなります。

44.3.2　カラーモード

次の表に、可能な組み合わせを示します。

- ビデオディスプレイコントローラ 6 のグラフィックス部 (0) で選択可能なカラーデータフォーマット
- RLE カラーモード選択と、ビデオディスプレイコントローラ 6 のグラフィックス部 (0) に送られるデータフォーマット
- メモリ内のカラーデータフォーマット

背景レイヤに RLE データが使用されている場合。

表 44.3　RLE ユニットでサポートされるカラーフォーマット

ビデオディスプレイコントローラ 6 のグラフィックス部 (0) のカラーフォーマット選択		RLE ユニット構成		メモリ内のカラーデータ
		カラーモード選択	ビデオディスプレイコントローラ 6 のグラフィックス部 (0) のデータ	
32 bpp	aRGB8888	SPEAnRCMi = 2 : 24 bpp	RGB888 with a = 1	RGB888
24 bpp	RGB888	SPEAnRCMi = 2 : 24 bpp	RGB888	RGB888
上記以外		未対応	–	–

カラー拡張

ビデオディスプレイコントローラ 6 のグラフィックス部 (0) が期待するカラーフォーマットに応じて、メモリから読み出されたカラーデータは、32 ビットワードに収まるように拡張されます。

次の図に、異なるフォーマットのメモリデータが、どのようにビデオディスプレイコントローラ 6 のグラフィックス部 (0) に渡されるかを示します。

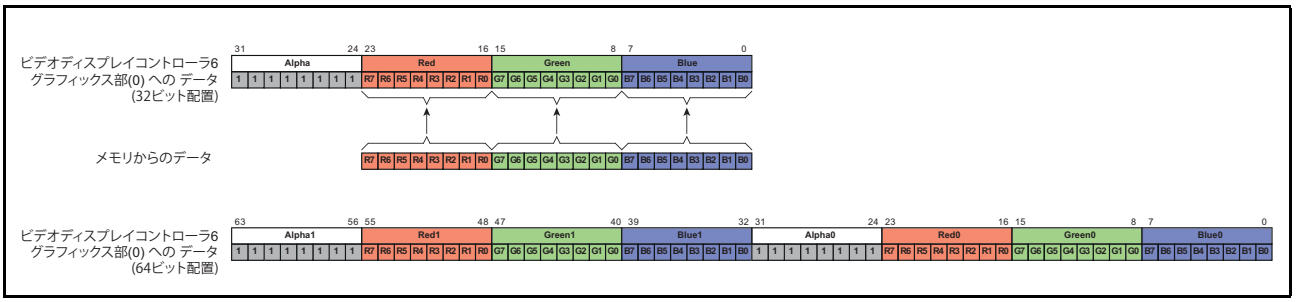


図 44.3　24bpp から 32bpp へのカラー拡張

44.3.3　メモリ内の RLE データパケット

RLE ユニットは、Targa RLE データパケットフォーマットをサポートします。
Targa RLE パケットは、2 種類のデータ要素から成ります。
• ランレングス パケット
• RAW パケット

パケットは 2 つのフィールドで構成されます :
- 制御バイト：データの種類とパケットがカバーするピクセル数を定義
- データフィールド：ピクセルのカラーデータを定義

表44.4　RLE Targa パケット

パケットタイプ	コントロールバイト		データフィールド
ランレングス	• パケットタイプ ＝ 1 ランレングスパケット用 • サイズ：1ビット	• ピクセルカウント ＝（データフィールドのカラーによるピクセル繰り返しの数）－ 1 • サイズ：7ビット	• ピクセルカラー • サイズ：ピクセルbpp
RAW	• パケットタイプ ＝ 0 RAWパケット用 • サイズ：1ビット	• ピクセルカウント ＝（次のデータフィールドのピクセル数）－1 • サイズ：7ビット	• ピクセルカラー • サイズ：ピクセルbpp × ピクセル カウント

44.3.4　メモリ内のパケット配置

パディングビット

データパケットは、常にバイト境界で開始する必要があります。したがって、前のパケットにパディングビットを追加することが必要な場合があります。

以下の図に、メモリ内のランレングスと RAW パケット、異なるカラーフォーマットの配置を示します。

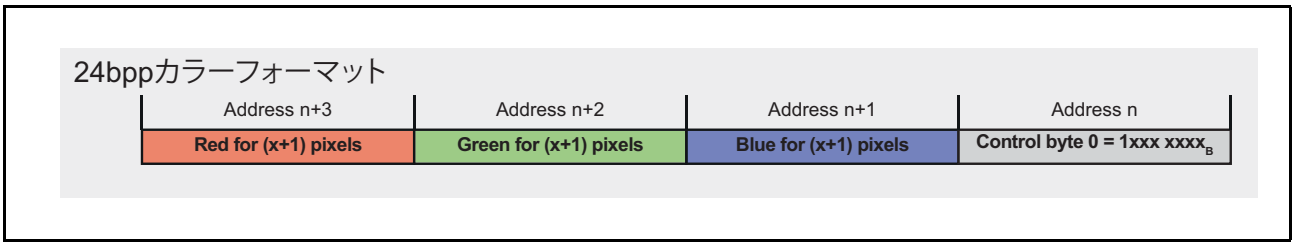


図 44.4　メモリ内のランレングス データパケット

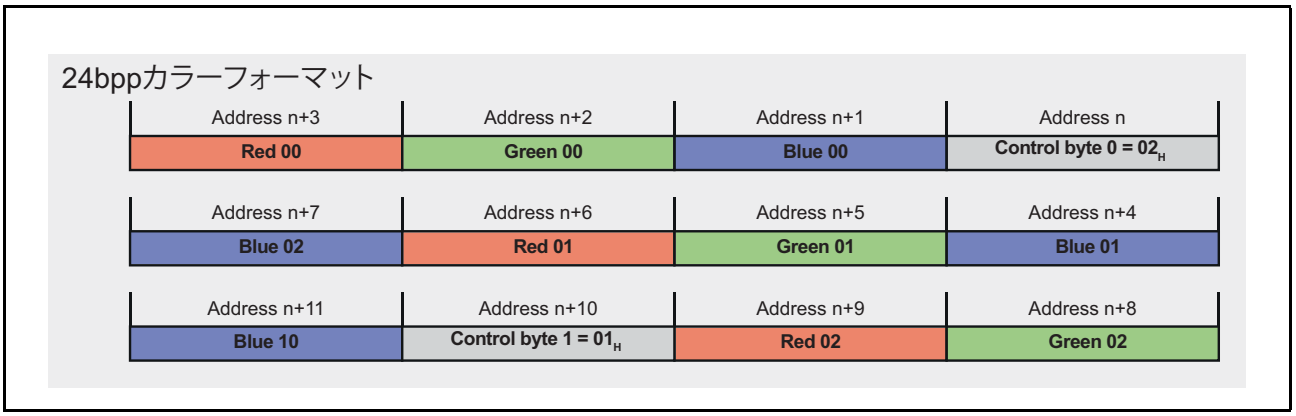


図 44.5　メモリ内の RAW データパケット

44.3.5 RLE 定義レジスタの変更

RLE 定義レジスタはバッファされています。
RLE 定義レジスタが動作している間も、ビデオ出力を妨げることなくバッファレジスタを変更できます。

バッファリングされた RLE ユニット i 定義レジスタは次のとおりです。

- スタートアドレスレジスタ SPEAnSTAi
- 物理アドレスレジスタ SPEAnPHAi
- カラーモードレジスタ SPEAnRMCi

新しい RLE 定義の設定を行った場合、SPEAnRUP レジスタを介して RLE ユニット i のすべての定義レジスタの更新を要求する必要があります。

- SPEAnRUP.SPEAnRUP0 = 1: すべての RLE ユニット 0 定義レジスタに対して次の VUPDATE0 での更新を開始します。

注意 . SPEAnRUPi = 1 の間は、すべての RLE 定義バッファレジスタを変更しないでください。

44.4　スプライトユニットの機能説明

ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) の、メモリへの読み出しアクセスは、スプライトエンジンのスプライトユニットを介して実行されます。

下の図に示すように、ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) は、2 つのスプライトユニットに割り当てられています。

ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) は、仮想フレームバッファであるスプライト仮想フレームへのアクセスを通じて、スプライトレイヤを使用できます。

スプライトレイヤを実装していない場合は、ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) が、フレームバッファデータを直接読み出すために、物理メモリをアクセスします。

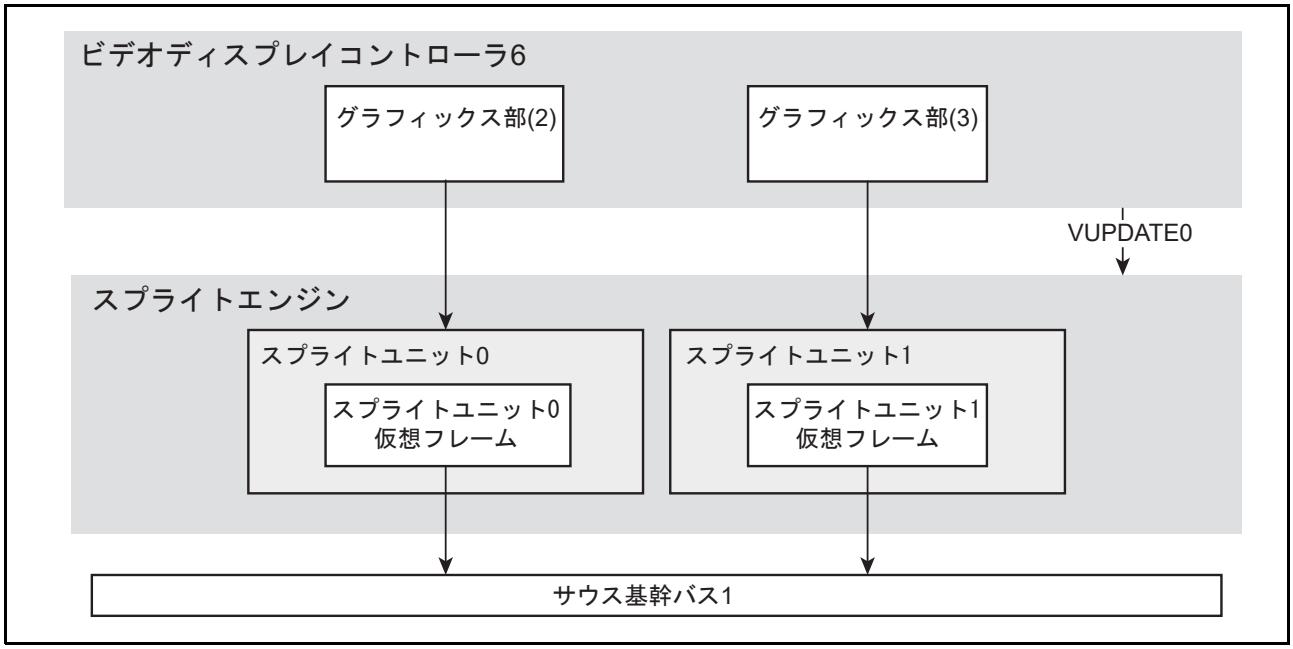


図 44.6　スプライトユニットのブロック図

44.4.1　スプライト仮想フレーム

スプライト仮想フレームのサイズは 8192 × 8192 バイトに固定されています。

そのアドレスは、物理メモリに直接アクセスするために使用される、物理アドレス空間の外部にマップされます。

仮想フレームの最初のピクセルのアドレスは、仮想フレームベースアドレスです。

仮想フレームベースアドレス = $3000\ 0000_H$

44.4.2　スプライト有効化

スプライトユニット k の各スプライト m は、個別に有効または無効にすることができます。

- スプライト有効／無効レジスタ
  - SPEAnSkEN.SPEAnSkENm = 1　スプライト k 有効
  - SPEAnSkDS.SPEAnSkDSm = 1　スプライト k 無効

各スプライトの有効／無効ステータスは、SPEAnSkEN レジスタを介して読み取ることができます。

44.4.3 Color modes

スプライトユニットは以下のカラーフォーマットに対応します。

表44.5　スプライトユニット対応カラーフォーマット

ビデオディスプレイコントローラ6 グラフィックス部(2), (3)読み出しフォーマット	スプライトユニット対応
αRGB8888	○
RGBα8888	○
上記以外	×

44.4.4 スプライト定義

スプライトユニット k のスプライト m は、いくつかのレジスタ設定によって定義されます。

スプライト X/Y ポジション

スプライト X/Y ポジションレジスタ SPEAnSkPSm: 仮想フレームのベースアドレスに対する、スプライト仮想フレーム上の X/Y ポジション。

(a) SPEAnSkPSm.SPEAnSkPSXm：X ポジション
X ポジションは 64 ビットの倍数として定義されます。
対応するピクセル位置は、カラーフォーマットと 64 ビットに適合するピクセルの量に依存します。

- 32 bpp カラーフォーマット : 64 bit ／ 32 ＝ 2 ピクセル単位
  - 設定可能な X ポジションは、2 の倍数 ＝ 0, 2, 4, 6, 8, ...
  - SPEAnSkPSX[9:0] ＝ ピクセル単位での X ポジション／ 2

(b) SPEAnSkPSm.SPEAnSkPSYm：Y ポジション
Y ポジションは、ピクセル単位で定義されます。

スプライトの幅と高さ

スプライトサイズレジスタ SPEAnSkLYm：幅 SPEAnSkLYWm と、高さ SPEAnSkLYHm

(a) SPEAnSkLYm.SPEAnSkLYWm：幅
幅は 64 ビットの倍数として定義されます。

- 32 bpp カラーフォーマット：64 bit ／ 32 ＝ 2 ピクセル単位
  - 設定可能な X 幅：2 の倍数＝ 0, 2, 4, 6, 8, ...
  - SPEAnSkLYW[9:0] ＝ピクセル単位の幅／ 2

(b) SPEAnSkLYm.SPEAnSkLYHm：高さ
高さはピクセル単位で定義されます。

デスティネーションアドレス

デスティネーションアドレスレジスタ SPEAnSkDAm：メモリ内のスプライト m、第 1 ピクセルカラーデータのアドレスです。
デスティネーションアドレスは 64 ビットにアラインする必要があります。

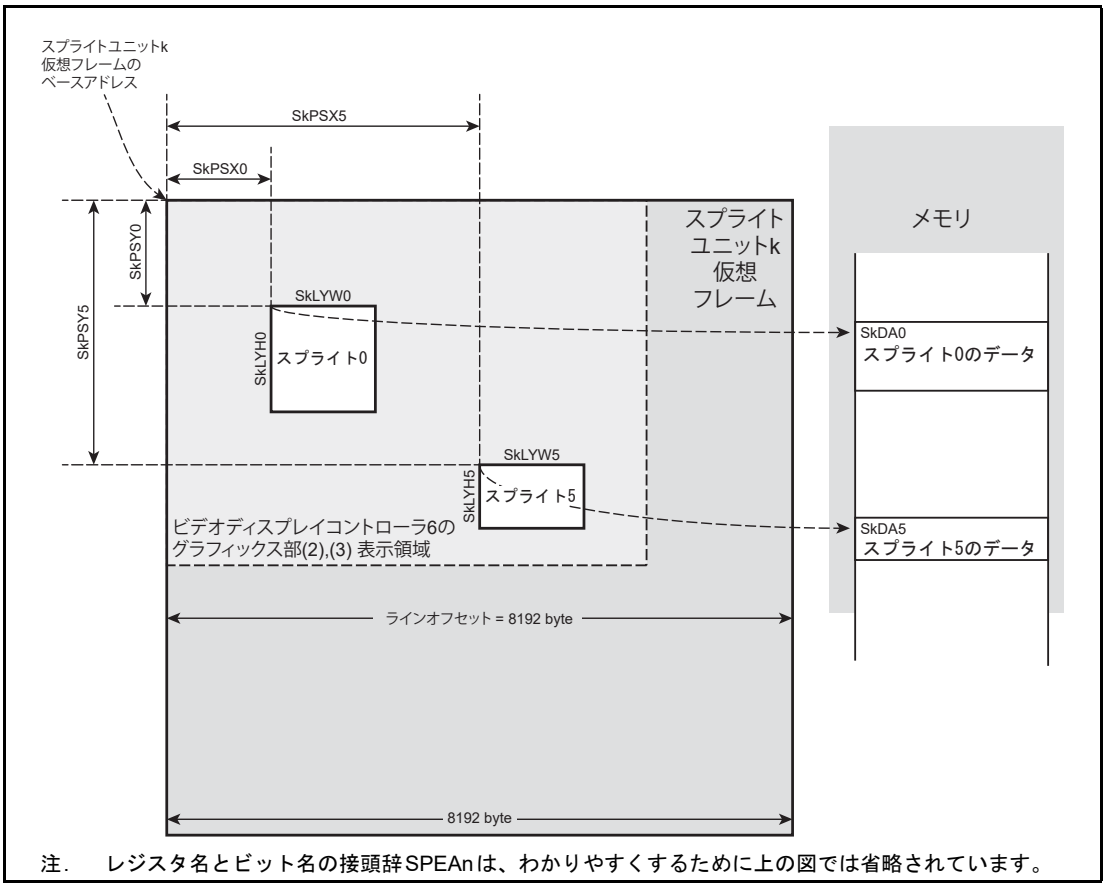
ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) ラインオフセット

スプライトユニットは、固定された仮想フレーム幅の 8192 バイトに対して新しい行のアドレスを計算するため、スプライトユニットを介してレイヤーデータを読み出すとき、ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) は、同じラインオフセットを定義する必要があります。

仮想フレーム内の行あたりの最大ピクセル数は、カラーフォーマットに依存します。

- 32 bpp：最大 2048 ピクセル

次の図に、2 つのスプライトが有効になっている例を示します。



注.　レジスタ名とビット名の接頭辞 SPEAn は、わかりやすくするために上の図では省略されています。

図 44.7　スプライトの定義

44.4.5　重複スプライト

スプライトは重ねて配置することもできます。

この場合、固定された優先順位に従ってスプライトデータがビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) に転送されます。

- スプライト m = 0：最優先
- ...
- スプライト m = 15：最低優先

最優先スプライトのカラーデータが、ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) に転送されます。

44.4.6　有効なスプライトのないスプライトレイヤ領域

有効なスプライトのないスプライトレイヤ領域は、値 0 のカラーデータを返します。

44.4.7　スプライト定義レジスタの変更

スプライト定義レジスタはバッファされています。
スプライト定義レジスタが動作している間、バッファレジスタは、ビデオ出力を妨げることなく変更することができます。

バッファリングされた スプライトユニット k のスプライト m の定義レジスタは次のとおりです。

- スプライトユニット k イネーブルレジスタ SPEAnSkEN
- スプライトユニット k ディスエーブルレジスタ SPEAnSkDS
- デスティネーションアドレスレジスタ SPEAnSkDAm
- 幅／高さ レジスタ SPEAnSkLYm
- X/Y ポジションレジスタ SPEAnSkPSm

VUPDATE0 更新グループのすべてのスプライト定義は、VUPDATE0 信号にて更新されます。
新しいスプライト定義の設定を行った場合、SPEAnSkUP レジスタを介してスプライトユニット k のすべてのスプライト定義レジスタの更新を要求する必要があります。

- SPEAnSkUP.SPEAnSkUP0 = 1: VUPDATE0 更新グループのすべてのスプライトユニット k のスプライト定義レジスタに対して、次の VUPDATE0 での更新を開始します。

注意．SPEAnSkUP0 = 1 の間は、すべてのスプライト定義バッファレジスタを変更しないでください。

44.4.8　カラーデータ配置

スプライト使用時カラーデータがどのように、ビデオディスプレイコントローラ 6 のグラフィックス部 (2), (3) に渡されるかを示します。

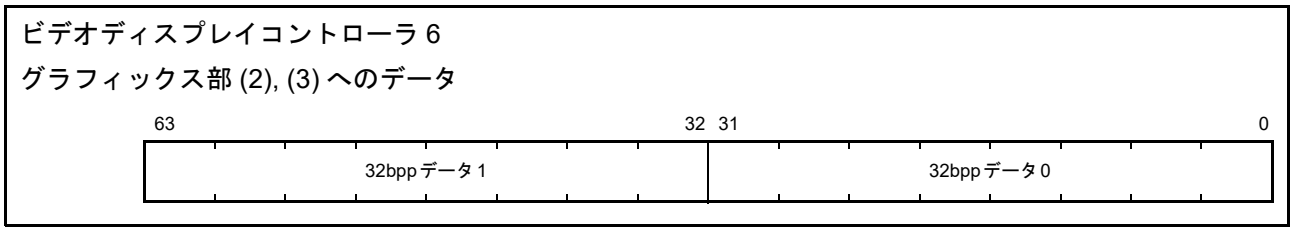


図 44.8　スプライトデータ配置

44.5　スプライトユニットと RLE ユニットのレジスタ

本セクションでは、スプライトユニットと RLE ユニットのすべてのレジスタについて説明します。
スプライトユニットと RLE ユニットは、以下のレジスタによって制御・操作されます。

表44.6　　スプライトユニットとRLEユニットレジスタの概要

レジスタ名	略称	アドレス
RLE ユニットレジスタ		
RLE ユニット イネーブル制御レジスタ	SPEAnRLSL	<SPEAn_base> + 10_H
RLE ユニット i 開始アドレスレジスタ	SPEAnSTAi	<SPEAn_base> + 20_H + i x 10_H
RLE ユニット i 物理アドレスレジスタ	SPEAnPHAi	<SPEAn_base> + 24_H + i x 10_H
RLE ユニット i カラーモード選択レジスタ	SPEAnRCMi	<SPEAn_base> + $2C_H$ + i x 10_H
RLE レジスタ 更新要求レジスタ	SPEAnRUP	<SPEAn_base> + 40_H
RLE プリフェッチ構成レジスタ	SPEAnRCFG	<SPEAn_base> + 48_H
スプライトユニット k レジスタ		
スプライトユニット k イネーブルレジスタ	SPEAnSkEN	<SPEAn_base> + 100_H + k x 10_H
スプライトユニット k ディスエーブルレジスタ	SPEAnSkDS	<SPEAn_base> + 104_H + k x 10_H
スプライトユニット k 更新要求レジスタ	SPEAnSkUP	<SPEAn_base> + 108_H + k x 10_H
スプライトユニット k スプライト m デスティネーション アドレスレジスタ	SPEAnSkDAm	<SPEAn_base> + 400_H + k x 400_H + m x 20_H
スプライトユニット k スプライト m 幅 / 高さ レジスタ	SPEAnSkLYm	<SPEAn_base> + 408_H + k x 400_H + m x 20_H
スプライトユニット k スプライト m X/Y ポジションレジスタ	SPEAnSkPSm	<SPEAn_base> + $40C_H$ + k x 400_H + m x 20_H

<SPEAn_base>

SPEAn のベースアドレス <SPEAn_base> は、**「44.1.3　レジスタアドレス」**で定義されています。

44.5.1　RLE ユニットレジスタ

44.5.1.1　SPEAnRLSL - RLE ユニットイネーブル制御レジスタ

RLE ユニットは、本レジスタを介して有効または無効にできます。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 10_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEAn RBUSSEL
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表44.7　SPEAnRLSL レジスタの内容

ビット	ビット名	説明
31 ～ 1	—	リザーブビット 書き込む値は常に0にしてください。
0	SPEAn RBUSSEL	RLEユニット イネーブル制御 0: RLEユニット ディスエーブル（ダイレクト レイヤ アクセス） 1: RLEユニット イネーブル（RLE レイヤ アクセス）

44.5.1.2　SPEAnSTAi - RLE ユニット i 開始アドレスレジスタ

本レジスタは、ビデオディスプレイコントローラ 6 のグラフィックス部 (0) が REL ユニット i を介して読み出しを行う際の、仮想フレーム開始アドレスを定義します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 20_H + i x 10_H

リセット後の値：0000 0000_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPEAnRSTAi[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPEAnRSTAi[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表44.8　SPEAnSTAi レジスタの内容

ビット	ビット名	説明
31～0	SPEAn RSTAi[31:0]	RLEユニットi開始アドレス アドレスは128バイトにアラインする必要があるため、アドレスの下位7ビットSPEAnRSTAi[6:0]は常に 000 0000_B です。

44.5.1.3　SPEAnPHAi - RLE ユニット i 物理アドレスレジスタ

本レジスタは、メモリ内での、RLE ユニット i の最初のデータのアドレスを定義します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 24_H + i x 10_H

リセット後の値：0000 0000_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPEAnRPHAi[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPEAnRPHAi[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表44.9　SPEAnPHAi レジスタの内容

ビット	ビット名	説明
31 ～ 0	SPEAn RPHAi[31:0]	RLEユニットiデータメモリアドレス アドレスは64ビットにアラインする必要があるため、アドレスの下位3ビットSPEAnRPHAi[2:0]は 常に 000_B です。

44.5.1.4　SPEAnRCMi - RLE ユニット i カラーモード選択レジスタ

本レジスタは、RLE ユニット i のメモリ内のデータのカラーフォーマットを選択します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + $2C_H$ + i x 10_H

リセット後の値：0000 0000_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEAnRCMi [1:0]	
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表44.10　SPEAnRCMi レジスタの内容

ビット	ビット名	説明
31 ～ 2	—	リザーブビット 書き込む値は常に0にしてください。
1、0	SPEAn RCMi[1:0]	RLEユニットiカラーモード選択 00_B: 設定禁止 01_B: 設定禁止 10_B: 24 bpp 11_B: 設定禁止

44.5.1.5　SPEAnRUP - RLE レジスタ更新 要求レジスタ

本レジスタは、RLE ユニットのレジスタの更新を制御します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 40_H

リセット後の値：0000 0000_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEAn RUP0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表44.11　SPEAnRUP レジスタの内容

ビット	ビット名	説明
31 ～ 1	—	リザーブビット 書き込む値は常に0にしてください。
0	SPEAn RUP0	RLEユニット0レジスタ更新要求 0: 機能なし 1: RLEユニット0レジスタを次のVUPDATE0で更新

注1.　更新要求ビットSPEAnRUPi は、1 にセットされた後、更新完了までセットされたままです。その後、自動的に0 に戻ります。

注2.　SPEAnRUPi = 1 の間は、すべてのRLE 定義バッファレジスタは変更しないでください。
詳細は「44.3.5　RLE 定義レジスタの変更」を参照ください。

44.5.1.6　SPEAnRCFG - RLE プリフェッチ構成レジスタ

本レジスタは、RLE データストリームのプリフェッチのサイズとタイミングを制御します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 48_H

リセット後の値：0000 0044_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SPEAnRLEN[2:0]			—	SPEAnRDTH[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表44.12　SPEAnRCFG レジスタの内容

ビット	ビット名	説明
31 ～ 7	—	リザーブビット 書き込む値は常に0にしてください。
6 ～ 4	SPEAn RLEN[2:0]	RLEユニットの次のデータプリフェッチのバーストサイズ。 RLEユニットは、バースト長 × 64ビット毎に、次のデータをプリフェッチします。 0: バースト長 = 1 1: バースト長 = 2 2: バースト長 = 4 3: バースト長 = 6 4: バースト長 = 8 (default) 5: バースト長 = 10 6: バースト長 = 12 7: バースト長 = 14
3	—	リザーブビット 書き込む値は常に0にしてください。
2 ～ 0	SPEAn RDTH[2:0]	プリフェッチ タイミング RLE FIFO内のデータの残量が、しきい値 × 64ビット未満の場合、RLEユニットは次のデータをプリフェッチします。 0: 設定禁止 1: しきい値 = 2 2: しきい値 = 4 3: しきい値 = 6 4: しきい値 = 8 (default) 5: しきい値 = 10 6: しきい値 = 12 7: しきい値 = 14

注．　バーストサイズ SPEAnRLEN[2:0] とプリフェッチタイミング SPEAnRDTH[2:0] は、RLE データ FIFO のオーバフローを防ぐ値に設定する必要があります。
RLE データ FIFO のサイズは 1024 ビットです。

44.5.2　スプライトユニットレジスタ

44.5.2.1　SPEAnSkEN - スプライトユニット k イネーブルレジスタ

スプライトユニット k の各スプライトは、本レジスタで有効にすることができます。
スプライトユニット k のスプライトの有効／無効状態は、本レジスタを読み取ることで確認できます。
スプライトを無効にするには、スプライトユニット k ディスエーブルレジスタ SPEAnSkDS を使用します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 100_H + k x 10_H

リセット後の値：0000 0000_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPEAn SkEN15	SPEAn SkEN14	SPEAn SkEN13	SPEAn SkEN12	SPEAn SkEN11	SPEAn SkEN10	SPEAn SkEN9	SPEAn SkEN8	SPEAn SkEN7	SPEAn SkEN6	SPEAn SkEN5	SPEAn SkEN4	SPEAn SkEN3	SPEAn SkEN2	SPEAn SkEN1	SPEAn SkEN0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SPEAnSkEN レジスタの内容

ビット	ビット名	説明
31 ～ 16	—	リザーブビット 書き込む値は常に0にしてください。
15 ～ 0	SPEAn SkENm	レジスタ書き込み：スプライトmイネーブル 0:書き込み時：　機能なし 1:書き込み時：　スプライトm有効 レジスタ読み出し：　スプライトmステータス 0:読み出し時：　スプライトm無効 1:読み出し時：　スプライトm有効

44.5.2.2　SPEAnSkDS - スプライトユニット k ディスエーブルレジスタ

スプライトユニット k の各スプライトは、本レジスタによってディスエーブルにすることができます。
スプライトを有効にするには、スプライトユニット k イネーブルレジスタ SPEAnSKEN を使用します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 104_H + k x 10_H

リセット後の値：0000 0000_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPEAn SkDS15	SPEAn SkDS14	SPEAn SkDS13	SPEAn SkDS12	SPEAn SkDS11	SPEAn SkDS10	SPEAn SkDS9	SPEAn SkDSN8	SPEAn SkDS7	SPEAn SkDS6	SPEAn SkDS5	SPEAn SkDS4	SPEAn SkDS3	SPEAn SkDS2	SPEAn SkDS1	SPEAn SkDS0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表44.13　SPEAnSkDS レジスタの内容

ビット	ビット名	説明
31 ～ 16	—	リザーブビット 書き込む値は常に0にしてください。
15 ～ 0	SPEAn SkDSm	スプライトm ディスエーブル 0:機能なし 1:スプライトm無効 本レジスタを読み取ると、未定義の値が返されることに注意してください。 各スプライトの有効／無効ステータスは、スプライトユニットkイネーブルレジスタ SPEAnSKEN を読み取ることで評価できます

44.5.2.3　SPEAnSkUP - スプライトユニット k 更新要求レジスタ

本レジスタは、スプライトユニット k レジスタの更新を制御します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 108_H + k x 10_H

リセット後の値：0000 0000_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEAn SkUP0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表44.14　SPEAnSkUP レジスタの内容

ビット	ビット名	説明
31 ～ 1	—	リザーブビット 書き込む値は常に0にしてください。
0	SPEAn SkUP0	VUPDATE0に割り当てられたスプライトユニットkの、すべてのスプライト定義レジスタの更新要求 0: 機能なし 1: VUPDATE0に割り当てられたレジスタを次のVUPDATE0で更新

注 1.　更新要求ビット SPEAnSkUP0 は、1 に設定された後、更新が完了するまでセットされたままです。その後、自動的に 0 に戻ります。

注 2.　SPEAnSkUP0 = 1 の間は、すべてのスプライト定義バッファレジスタを変更しないでください。詳細については 「44.4.7　スプライト定義レジスタの変更」を参照してください。

44.5.2.4　SPEAnSkDAm - スプライトユニット k スプライト m デスティネーションアドレスレジスタ

本レジスタは、スプライトユニット k のスプライト m の、メモリ内での第 1 ピクセルのカラーデータのアドレスを定義します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 400_H + k x 400_H + m x 20_H

リセット後の値：0000 0000_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPEAnSkDAm[31:16]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPEAnSkDAm[15:0]															
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表44.15　SPEAnSkDAm レジスタの内容

ビット	ビット名	説明
31 ～ 0	SPEAn SkDAm[31:0]	スプライトユニットkスプライトmカラーデータアドレス アドレスは64ビットにアラインする必要があるため、アドレスの下位3ビットSPEAnSkDAm[2:0]は常に 000_B です。

44.5.2.5　SPEAnSkLYm - スプライトユニット k スプライト m 幅／高さ レジスタ

本レジスタは、スプライトユニット k スプライト m の幅と高さを定義します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + 408_H + k x 400_H + m x 20_H

リセット後の値：0000 0000_H

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SPEAn SkLYWm[9:0]										—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SPEAn SkLYHm[10:0]										
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表44.16　SPEAnSkLYm レジスタの内容

ビット	ビット名	説明
31 ～ 27	—	リザーブビット 書き込む値は常に0にしてください。
26 ～ 17	SPEAn SkLYWm[9:0]	スプライトユニットkスプライトm 幅 幅は64 ビットの倍数で定義されます。 32 bpp カラーフォーマット: 64 bit / 32 = 2 ピクセル単位 設定可能なX幅: 2の倍数= 0, 2, 4, 6, 8, ... SPEAnSkLYW[9:0] = ピクセル単位の幅 / 2
16 ～ 11	—	リザーブビット 書き込む値は常に0にしてください。
10 ～ 0	SPEAn SkLYHm[10:0]	スプライトユニットkスプライトmレイヤのピクセル単位での高さ

44.5.2.6　SPEAnSkPSm - スプライトユニット k スプライト m X/Y ポジションレジスタ

本レジスタは、スプライトユニット k スプライト m のポジションを定義します。

アクセス：本レジスタは32ビット単位でアクセスできます。

アドレス：<SPEAn_base> + $40C_H$ + k x 400_H + m x 20_H

リセット後の値：$0000\ 0000_H$

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SPEAn SkPSXm[9:0]										—
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SPEAn SkPSYm[12:0]												
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表44.17　SPEAnSkPSm レジスタの内容

ビット	ビット名	説明
31 ～ 27	—	リザーブビット 書き込む値は常に0にしてください。
26 ～ 17	SPEAn SkPSXm[9:0]	スプライトユニットk スプライトm Xポジション Xポジションは64ビットの倍数で定義されます。 32 bpp カラーフォーマット: 64 bit / 32 = 2 ピクセル単位 設定可能な X ポジションは、2 の倍数 = 0, 2, 4, 6, 8, ... SPEAnSkPSX[9:0] = ピクセル単位での X ポジション / 2
16 ～ 13	—	リザーブビット 書き込む値は常に0にしてください。
12 ～ 0	SPEAn SkPSYm[12:0]	スプライトユニットkスプライトmのピクセル単位でのYポジション

45. JPEG コーデックユニット

JPEG コーデックユニットは、JPEG ベースラインに準拠した圧縮伸長方式を持った JPEG コーデックを内蔵しており、画像データの圧縮および JPEG データの復号を高速に処理することができます。

45.1 特長

JPEG コーデックユニットは、以下の特長を持ちます。

- 対応規格：JPEG ベースライン
  本章に記載の範囲内で準拠しています。未対応の基本的な特性は以下の通りです。
  - 2 成分を持つスキャンに未対応
  - 複数成分のノンインタリーブスキャンに未対応
- 演算精度：JPEG Part2、ISO-IEC10918-2 準拠
- 画像入出力方式：ブロックインタリーブ方式
  ピクセルフォーマット
  - 圧縮：YCbCr422 (H = 2:1:1,V = 1:1:1)
  - 伸長：YCbCr444 (H = 1:1:1,V = 1:1:1),
    YCbCr422 (H = 2:1:1,V = 1:1:1),
    YCbCr411 (H = 4:1:1,V = 1:1:1),
    YCbCr420 (H = 2:1:1,V = 2:1:1)

  ただし、バッファへの出力ピクセルフォーマットは YCbCr422, ARGB8888, RGB565 になります。
- 量子化テーブル：4 テーブル内蔵
- ハフマンテーブル：4 テーブル内蔵（AC 係数 2 テーブル、DC 係数 2 テーブル）
- 対象マーカ：SOI（Start Of Image）、SOF0（Start Of Frame Type 0）、SOS（Start Of Scan）、DQT（Define Quantization Tables）、DHT（Define Huffman Tables）、DRI（Define Restart Interval）、RSTm（Restart marks）、EOI（End Of Image）
- 画像データレート：最大 132 MB/s（66 MHz 動作時）
- 画像データの入力／出力、符号データの入力／出力時に、設定されたライン数、データ数転送ごとに、転送を一時的に止めるモードをサポートすることにより、バッファ容量を削減可能
- 処理単位：アドレス境界 8 バイト単位で設定可能
- 処理可能画像サイズ：MCU（Minimum Coded Unit）単位（YCbCr444 時、8 ピクセル × 8 ライン。YCbCr422 時、16 ピクセル × 8 ライン。YCbCr411 時、32 ピクセル × 8 ライン。YCbCr420 時、16 ピクセル × 16 ライン）で割り切れるサイズ

注．　非対応ピクセルフォーマットおよび非対応画像サイズの圧縮／伸長処理は行わないでください。

図 45.1 にブロック図を示します。

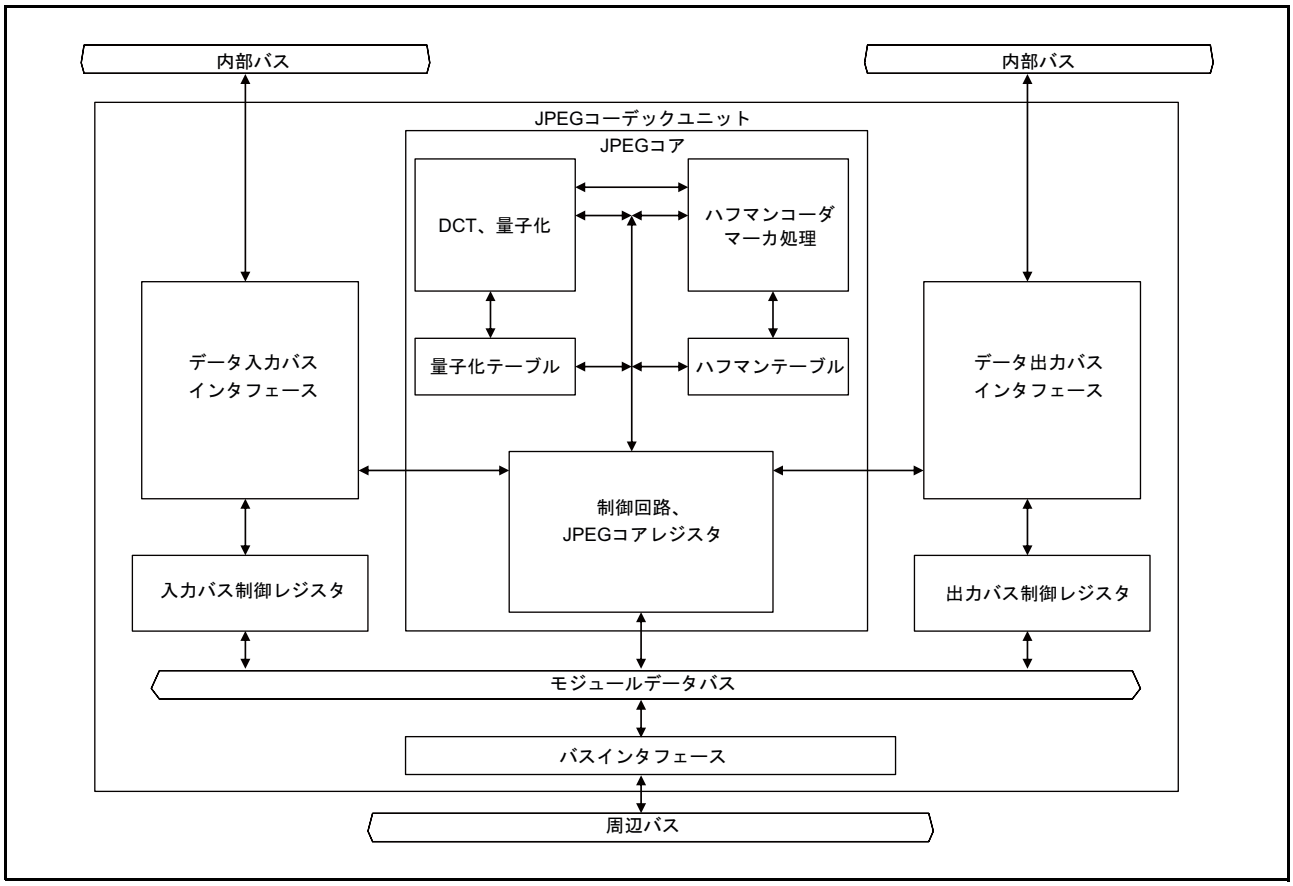


図 45.1 ブロック図

45.2 レジスタの説明

表 45.1 にレジスタ構成を示します。

表45.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
JPEGコードモードレジスタ	JCMOD	R/W	H'E801 7000	8
JPEGコードコマンドレジスタ	JCCMD	R/W	H'E801 7001	8
JPEGコード量子化テーブル番号レジスタ	JCQTN	R/W	H'E801 7003	8
JPEGコードハフマンテーブル番号レジスタ	JCHTN	R/W	H'E801 7004	8
JPEGコードDRI上位レジスタ	JCDRIU	R/W	H'E801 7005	8
JPEGコードDRI下位レジスタ	JCDRID	R/W	H'E801 7006	8
JPEGコード垂直方向サイズ上位レジスタ	JCVSZU	R/W	H'E801 7007	8
JPEGコード垂直方向サイズ下位レジスタ	JCVSZD	R/W	H'E801 7008	8
JPEGコード水平方向サイズ上位レジスタ	JCHSZU	R/W	H'E801 7009	8
JPEGコード水平方向サイズ下位レジスタ	JCHSZD	R/W	H'E801 700A	8
JPEGコードデータカウント上位レジスタ	JCDTCU	R	H'E801 700B	8
JPEGコードデータカウント中位レジスタ	JCDTCM	R	H'E801 700C	8
JPEGコードデータカウント下位レジスタ	JCDTCD	R	H'E801 700D	8
JPEG割り込みイネーブルレジスタ0	JINTE0	R/W	H'E801 700E	8
JPEG割り込みステータスレジスタ0	JINTS0	R/W	H'E801 700F	8
JPEGコードデコードエラーレジスタ	JCDERR	R/W	H'E801 7010	8
JPEGコード再起動レジスタ	JCRST	R	H'E801 7011	8
JPEGインタフェース圧縮制御レジスタ	JIFECNT	R/W	H'E801 7040	32
JPEGインタフェース圧縮ソースアドレスレジスタ	JIFESA	R/W	H'E801 7044	32
JPEGインタフェース圧縮ラインオフセットレジスタ	JIFESOFST	R/W	H'E801 7048	32
JPEGインタフェース圧縮デスティネーションアドレスレジスタ	JIFEDA	R/W	H'E801 704C	32
JPEGインタフェース圧縮ソースラインカウントレジスタ	JIFESLC	R/W	H'E801 7050	32
JPEGインタフェース圧縮ディステネーションレジスタ	JIFEDDC	R/W	H'E801 7054	32
JPEGインタフェース伸長制御レジスタ	JIFDCNT	R/W	H'E801 7058	32
JPEGインタフェース伸長ソースアドレスレジスタ	JIFDSA	R/W	H'E801 705C	32
JPEGインタフェース伸長デスティネーションオフセットレジスタ	JIFDDOFST	R/W	H'E801 7060	32
JPEGインタフェース伸長デスティネーションアドレスレジスタ	JIFDDA	R/W	H'E801 7064	32
JPEGインタフェース伸長ソースカウントレジスタ	JIFDSDC	R/W	H'E801 7068	32
JPEGインタフェース伸長デスティネーションラインカウントレジスタ	JIFDDLC	R/W	H'E801 706C	32
JPEGインタフェース伸長α設定レジスタ	JIFDADT	R/W	H'E801 7070	32
JPEG割り込みイネーブルレジスタ1	JINTE1	R/W	H'E801 708C	32
JPEG割り込みステータスレジスタ1	JINTS1	R/W	H'E801 7090	32
JPEG入力画像データCbCr範囲設定レジスタ	JIFESVSZ	R/W	H'E801 7094	32
JPEG出力画像データCbCr範囲設定レジスタ	JIFESHSZ	R/W	H'E801 7098	32
JPEGコード量子化テーブル0レジスタ	JCQTBL0	R/W	H'E801 7100 ～ H'E801 713F	8
JPEGコード量子化テーブル1レジスタ	JCQTBL1	R/W	H'E801 7140 ～ H'E801 717F	8
JPEGコード量子化テーブル2レジスタ	JCQTBL2	R/W	H'E801 7180 ～ H'E801 71BF	8
JPEGコード量子化テーブル3レジスタ	JCQTBL3	R/W	H'E801 71C0 ～ H'E801 71FF	8

表45.1　　レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
JPEG コードハフマンテーブル DC0 レジスタ	JCHTBD0	W	H'E801 7200 ～ H'E801 721B	8
JPEG コードハフマンテーブル AC0 レジスタ	JCHTBA0	W	H'E801 7220 ～ H'E801 72D1	8
JPEG コードハフマンテーブル DC1 レジスタ	JCHTBD1	W	H'E801 7300 ～ H'E801 731B	8
JPEG コードハフマンテーブル AC1 レジスタ	JCHTBA1	W	H'E801 7320 ～ H'E801 73D1	8

注.　JPEG コード量子化テーブルおよび JPEG コードハフマンテーブルの設定は「45.3.1 (4)　テーブル設定」を参照してください。

45.2.1 JPEG コードモードレジスタ（JCMOD）

JCMOD は、動作前に各種モードを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DSP	REDU[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 4	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	DSP	0	R/W		圧縮／伸長設定 0：圧縮処理のとき 1：伸長処理のとき 注.　圧縮／伸長処理を変更する場合は、必ず低消費電力モード ソフトウェアリセットコントロールレジスタ 1（SWRSTCR1）の SRST11 ビットにて、本モジュールを一度リセット状態にしてください。
2 ～ 0	REDU[2:0]	000	R/W	R	ピクセルフォーマット設定 [圧縮時] 001：YCbCr422 上記以外：設定禁止 [伸長時] 000：YCbCr444 001：YCbCr422 110：YCbCr411 010：YCbCr420 上記以外：正しく処理を行えませんので、エラーとして扱ってください。

45.2.2　JPEG コードコマンドレジスタ（JCCMD）

JCCMD は、各種コマンドを設定するレジスタです。コマンド設定後に 0 書き込みによるクリアをする必要はありません。

各コマンドの同時設定は禁止です。

ビット：	7	6	5	4	3	2	1	0
	BRST	—	—	—	—	JEND	JRST	JSRT
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R*/W	R	R	R	R	R*/W	無効	R*/W
R/W（伸長）：	R*/W	R	R	R	R	R*/W	R*/W	R*/W

注．　*読み出し値は不定となります。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7	BRST	0	R*/W		バスリセット 本ビットに1を設定することにより、内部回路がリセットされます。 動作中（JPEGコア処理開始コマンド設定後から最終出力符号／画像データ書き出し終了まで）は本ビットを1に設定しないでください。 バスリセット処理については「45.5　バスリセット処理」を参照してください。
6～3	—	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	JEND	0	R*/W		割り込み要求解除コマンド JINTS0のINS6、INS5、INS3ビットの割り込み要因に対してのみ有効です。 割り込み要求解除は、1を設定してください。
1	JRST	0	無効	R*/W	JPEGコア処理停止解除コマンド 画像サイズ、ピクセルフォーマットの読み出しリクエスト（JINTE0のINT3ビットの設定）による処理停止解除時、1を設定してください。
0	JSRT	0	R*/W		JPEGコア処理開始コマンド 処理開始時、本ビットに1を設定してください。動作中に再度1を書き込まないでください。

注．* 読み出し値は不定となります。

45.2.3　JPEG コード量子化テーブル番号レジスタ（JCQTN）

JCQTN は、圧縮処理前に量子化テーブル番号を設定するレジスタです。

- 量子化テーブル No.0 JCQTBL0 を第 1 色成分に使用する場合、QT1 に B'00 を設定
- 量子化テーブル No.1 JCQTBL1 を第 1 色成分に使用する場合、QT1 に B'01 を設定
- 量子化テーブル No.2 JCQTBL2 を第 1 色成分に使用する場合、QT1 に B'10 を設定
- 量子化テーブル No.3 JCQTBL3 を第 1 色成分に使用する場合、QT1 に B'11 を設定

ビット：	7	6	5	4	3	2	1	0
	—	—	QT3[1:0]		QT2[1:0]		QT1[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7、6	－	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5、4	QT3[1:0]	00	R/W	R	第3色成分の量子化テーブル番号
3、2	QT2[1:0]	00	R/W	R	第2色成分の量子化テーブル番号
1、0	QT1[1:0]	00	R/W	R	第1色成分の量子化テーブル番号

45.2.4　JPEG コードハフマンテーブル番号レジスタ（JCHTN）

JCHTN は、圧縮処理前にハフマンテーブル番号（AC/DC）を設定するレジスタです。

- DC/AC ハフマンテーブル No.0（JCHTBD0、JCHTBA0）を第 1 色成分に使用する場合、HTA1 ビットに B'0、HTD1 ビットに B'0 を設定
- DC/AC ハフマンテーブル No.1（JCHTBD1、JCHTBA1）を第 1 色成分に使用する場合、HTA1 ビットに B'1、HTD1 ビットに B'1 を設定

ビット：	7	6	5	4	3	2	1	0
	—	—	HTA3	HTD3	HTA2	HTD2	HTA1	HTD1
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7、6	－	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5	HTA3	0	R/W	R	第3色成分のハフマンテーブル番号（AC）
4	HTD3	0	R/W	R	第3色成分のハフマンテーブル番号（DC）
3	HTA2	0	R/W	R	第2色成分のハフマンテーブル番号（AC）
2	HTD2	0	R/W	R	第2色成分のハフマンテーブル番号（DC）
1	HTA1	0	R/W	R	第1色成分のハフマンテーブル番号（AC）
0	HTD1	0	R/W	R	第1色成分のハフマンテーブル番号（DC）

45.2.5 JPEG コード DRI 上位レジスタ（JCDRIU）

JCDRIU は、RST マーカを挿入する MCU 数の上位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	DRIU[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DRIU[7:0]	H'00	R/W	無効	RST マーカを挿入する MCU 数の上位バイト 上位、下位ともに H'00 を設定した場合、DRI、RST マーカは挿入されません。

45.2.6 JPEG コード DRI 下位レジスタ（JCDRID）

JCDRID は、RST マーカを挿入する MCU 数の下位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	DRID[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DRID[7:0]	H'00	R/W	無効	RST マーカを挿入する MCU 数の下位バイト 上位、下位ともに H'00 を設定した場合、DRI、RST マーカは挿入されません。

45.2.7 JPEG コード垂直方向サイズ上位レジスタ（JCVSZU）

JCVSZU は、垂直方向の画像サイズ値の上位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	VSZU[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	VSZU[7:0]	H'00	R/W	R	垂直方向の画像サイズ値の上位バイト 伸長時は JPEG 符号データからのダウンロード値がセットされます。

45.2.8　JPEG コード垂直方向サイズ下位レジスタ（JCVSZD）

JCVSZD は、垂直方向の画像サイズ値の下位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	VSZD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	VSZD[7:0]	H'00	R/W	R	垂直方向の画像サイズ値の下位バイト 伸長時はJPEG符号データからのダウンロード値がセットされます。

45.2.9　JPEG コード水平方向サイズ上位レジスタ（JCHSZU）

JCHSZU は、水平方向の画像サイズ値の上位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	HSZU[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	HSZU[7:0]	H'00	R/W	R	水平方向の画像サイズ値の上位バイト 伸長時はJPEG符号データからのダウンロード値がセットされます。

45.2.10　JPEG コード水平方向サイズ下位レジスタ（JCHSZD）

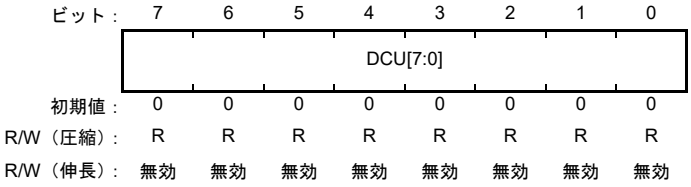
JCHSZD は、水平方向の画像サイズ値の下位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	HSZD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	HSZD[7:0]	H'00	R/W	R	水平方向の画像サイズ値の下位バイト 伸長時はJPEG符号データからのダウンロード値がセットされます。

45.2.11　JPEG コードデータカウント上位レジスタ（JCDTCU）

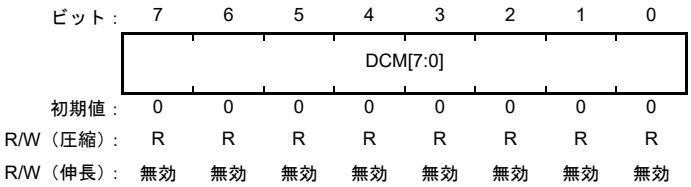
JCDTCU は、圧縮データ量のカウント値の上位バイトが設定されるレジスタです。本レジスタの値は、処理開始時にリセットされます。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DCU[7:0]	H'00	R	無効	圧縮データ量のカウント値の上位バイト

45.2.12　JPEG コードデータカウント中位レジスタ（JCDTCM）

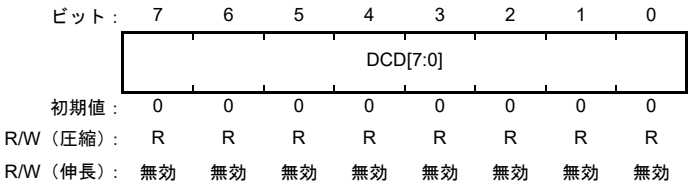
JCDTCM は、圧縮データ量のカウント値の中位バイトが設定されるレジスタです。本レジスタの値は、処理開始時にリセットされます。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DCM[7:0]	H'00	R	無効	圧縮データ量のカウント値の中位バイト

45.2.13　JPEG コードデータカウント下位レジスタ（JCDTCD）

JCDTCD は、圧縮データ量のカウント値の下位バイトが設定されるレジスタです。本レジスタの値は、処理開始時にリセットされます。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DCD[7:0]	H'00	R	無効	圧縮データ量のカウント値の下位バイト

45.2.14　JPEG 割り込みイネーブルレジスタ 0（JINTE0）

JINTE0 は、割り込み許可を設定するレジスタです。

INT7 ～ INT5 ビットを B'1 に設定した場合、圧縮データエラー発生時に JINTS0 の INS5 ビットでエラーステータスが B'1 となります。詳細なエラーコードは JCDERR の ERR ビットに示されます。

ビット：	7	6	5	4	3	2	1	0
	INT7	INT6	INT5	—	INT3	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	R	無効	R	R	R
R/W（伸長）：	R/W	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7	INT7	0	無効	R/W	伸長時、ハフマン符号化セグメント内のリスタートインターバル間のデータ数に異常があった場合、割り込みを発生させるかどうか設定します。 設定しない場合、エラーコードも返しません。
6	INT6	0	無効	R/W	伸長時、ハフマン符号化セグメント内の総データ数に異常があった場合、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。
5	INT5	0	無効	R/W	伸長時、ハフマン符号化セグメント内の最終MCUデータ数に異常があった場合、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。
4	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	INT3	0	無効	R/W	圧縮データの解析の結果、画像サイズ、間引きの設定値が読み出し可能であるときに、割り込みを発生させるかどうかを設定します。
2 ～ 0	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

45.2.15　JPEG 割り込みステータスレジスタ 0（JINTS0）

JINTS0 は、割り込み発生の原因を判別するレジスタです。
本レジスタの割り込み要因は、ステータスのクリアとともに JCCMD にて割り込みを解除してください。

ビット：	7	6	5	4	3	2	1	0
	—	INS6	INS5	—	INS3	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R/W*	無効	R	無効	R	R	R
R/W（伸長）：	R	R/W*	R/W*	R	R/W*	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	INS6	0	R/W*		正常終了したとき1に設定されます。
5	INS5	0	無効	R/W*	圧縮データエラーが発生したとき1に設定されます。
4	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	INS3	0	無効	R/W*	画像サイズ／ピクセルフォーマットを読み出し可能なとき1に設定されます。割り込み発生時、本モジュールは処理停止状態となります。処理停止状態はJCRSTに示されます。処理再開は、処理停止解除コマンド（JCCMDのJRSTビット）を設定します。
2～0	—	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

注.　*0書き込みによるクリアを行ってください。1書き込みは行わないでください。

45.2.16　JPEG コードデコードエラーレジスタ（JCDERR）

JCDERR は、伸長動作時、圧縮データ解析でエラーが発生した場合のエラー種類をコードにて判別するレジスタです。

本レジスタの値は処理開始時にリセットされます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	ERR[3:0]			
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	無効	無効	無効	無効
R/W（伸長）：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 4	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。
3 ～ 0	ERR[3:0]	1010	無効	R/W	エラーコード（表45.3、表45.4参照）

45.2.17　JPEG コード再起動レジスタ（JCRST）

JCRST は、画像サイズ、ピクセルフォーマットの読み出しリクエスト（JINTE0 の INT3 ビットの設定）による処理停止状態を示します。

処理再開は、処理停止解除コマンド JCCMD の JRST ビットを設定します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RST
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	無効
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 1	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。
0	RST	0	無効	R	動作状態 0：下記以外の状態 1：JINTE0の割り込み要因によるサスペンド中

45.2.18　JPEG インタフェース圧縮制御レジスタ（JIFECNT）

JIFECNT は、圧縮処理を制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

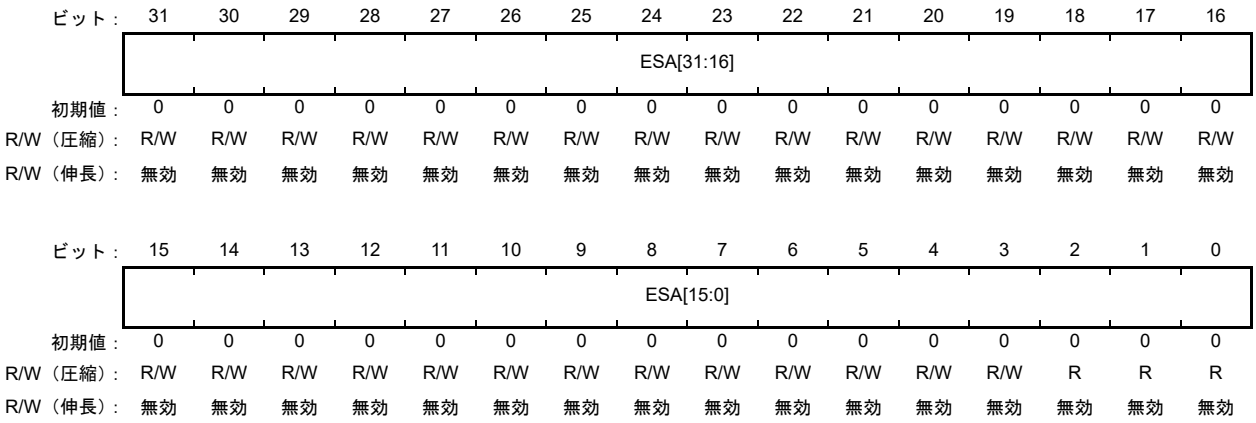
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	JOUTRINI	JOUTRCMD	JOUTC	—	JOUTSWAP[2:0]			—	DINRINI	DINRCMD	DINLC	—	DINSWAP[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
R/W（伸長）：	R	無効	無効	無効	R	無効	無効	無効	R	無効	無効	無効	R	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 15	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14	JOUTRINI	0	R/W	無効	出力符号データ再開時アドレス初期化設定 出力符号データ停止カウントオン時のみ有効です。 データ再開コマンドに1ライトする前に設定してください。 0：出力符号データ再開時、転送アドレスを初期化しません。 1：出力符号データ再開時、転送アドレスを初期化します。
13	JOUTRCMD	0	R/W	無効	出力符号データ再開コマンド 出力符号データ停止カウントオン時のみ有効です。 1に設定することで、出力符号データの書き込みを再開します。 読み出すと常に0が読み出されます。
12	JOUTC	0	R/W	無効	出力符号データ停止カウントモード設定 0：出力符号データ停止カウントオフ 1：出力符号データ停止カウントオン
11	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
10 ～ 8	JOUTSWAP[2:0]	000	R/W	無効	バイト／ワード／ロングワードスワップ設定 圧縮時の出力符号データがスワップ対象となります。 000：(1) (2) (3) (4) (5) (6) (7) (8) 001：(2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010：(3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011：(4) (3) (2) (1) (8) (7) (6) (5) [ワード—バイトスワップ] 100：(5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101：(6) (5) (8) (7) (2) (1) (4) (3) [ロングワード—バイトスワップ] 110：(7) (8) (5) (6) (3) (4) (1) (2) [ロングワード—ワードスワップ] 111：(8) (7) (6) (5) (4) (3) (2) (1) [ロングワード—ワード—バイトスワップ]
7	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	DINRINI	0	R/W	無効	入力画像データライン再開時アドレス初期化設定 入力画像データライン停止カウントオン時のみ有効です。 データライン再開コマンドに1ライトする前に設定してください。 0：入力画像データライン再開時、転送アドレスを初期化しません。 1：入力画像データライン再開時、転送アドレスを初期化します。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
5	DINRCMD	0	R/W	無効	入力画像データライン再開コマンド 入力画像データライン停止カウントオン時のみ有効です。 1に設定することで、入力画像データの読み込みを再開します。 読み出すと常に0が読み出されます。
4	DINLC	0	R/W	無効	入力画像データライン停止カウントモード設定 0：入力画像データライン停止カウントオフ 1：入力画像データライン停止カウントオン
3	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2 ～ 0	DINSWAP [2:0]	000	R/W	無効	バイト／ワード／ロングワードスワップ設定 圧縮時の入力画像データがスワップ対象となります。 000：(1) (2) (3) (4) (5) (6) (7) (8) 001：(2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010：(3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011：(4) (3) (2) (1) (8) (7) (6) (5) [ワード—バイトスワップ] 100：(5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101：(6) (5) (8) (7) (2) (1) (4) (3) [ロングワード—バイトスワップ] 110：(7) (8) (5) (6) (3) (4) (1) (2) [ロングワード—ワードスワップ] 111：(8) (7) (6) (5) (4) (3) (2) (1) [ロングワード—ワード—バイトスワップ]

45.2.19　JPEG インタフェース圧縮ソースアドレスレジスタ（JIFESA）

JIFESA は、入力画像データのソースアドレスを設定するレジスタです。本レジスタは、8 バイト単位で設定してください。



ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 3 2 ～ 0	ESA[31:3] ESA[2:0]	H'0000 0000	R/W R	無効	入力画像データのソースアドレス設定（8バイト単位） 下位3ビットは必ず0としてください。

45.2.20　JPEG インタフェース圧縮ラインオフセットレジスタ（JIFESOFST）

JIFESOFST は、入力画像データのラインオフセットを設定するレジスタです（「45.3.4　画像データ格納」参照）。

本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ESMW[14:0]														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W（伸長）：	R	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 15	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14 ～ 3	ESMW [14:3]	H'0000	R/W	無効	入力画像データのラインオフセットを設定します。（8バイト単位） 下位3ビットは必ず0としてください。
2 ～ 0	ESMW [2:0]		R		

45.2.21　JPEG インタフェース圧縮デスティネーションアドレスレジスタ（JIFEDA）

JIFEDA は、出力符号データのデスティネーションアドレスを設定するレジスタです。
本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EDA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EDA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 3 2 ～ 0	EDA[31:3] EDA[2:0]	H'0000 0000	R/W R	無効	出力符号データのデスティネーションアドレス設定（8バイト単位） 下位3ビットは必ず0としてください。

45.2.22　JPEG インタフェース圧縮ソースラインカウントレジスタ（JIFESLC）

JIFESLC は、入力画像データライン停止カウントオン（JIFECNT の DINLC ビット = 1）時の入力画像データライン数を設定するレジスタです。本レジスタは、8 ライン単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LINES[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15 ～ 3 2 ～ 0	LINES[15:3] LINES[2:0]	H'FFF8	R/W R	無効	入力画像データの読み出すライン数を設定してください。（8ライン単位） 下位3ビットは必ず0としてください。

45.2.23　JPEG インタフェース圧縮デスティネーションカウントレジスタ（JIFEDDC）

JIFEDDC は、出力符号データ停止カウントオン（JIFECNT の JOUTC ビット = 1）時の出力符号データ数を設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JDATAS[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15 ～ 3 2 ～ 0	JDATAS[15:3] JDATAS[2:0]	H'FFF8	R/W R	無効	出力符号データの書き出すデータ数を設定してください。（8バイト単位） 下位3ビットは必ず0としてください。

45.2.24　JPEG インタフェース伸長制御レジスタ（JIFDCNT）

JIFDCNT は、伸長処理を制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	VINTER[1:0]		HINTER[1:0]		OPF[1:0]		—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	無効		無効		無効		R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R/W		R/W		R/W		R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	JINRINI	JINRCMD	JINC	—	JINSWAP[2:0]			—	DOUTRINI	DOUTRCMD	DOUTLC	—	DOUTSWAP[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	無効	無効	無効	R	無効	無効	無効	R	無効	無効	無効	R	無効	無効	無効
R/W（伸長）：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31、30	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
29、28	VINTER[1:0]	00	無効	R/W	垂直方向間引き設定 出力画像データの垂直方向を間引きします。 00：間引きなし 01：1/2 に間引き 10：1/4 に間引き 11：1/8 に間引き
27、26	HINTER[1:0]	00	無効	R/W	水平方向間引き設定 出力画像データの水平方向を間引きます。 00：間引きなし 01：1/2 に間引き 10：1/4 に間引き 11：1/8 に間引き
25、24	OPF[1:0]	00	無効	R/W	出力画像データのピクセルフォーマットを指定します。 00：YCbCr422 01：ARGB8888 10：RGB565 11：設定禁止
23 ～ 15	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14	JINRINI	0	無効	R/W	入力符号データ再開時アドレス初期化設定 入力符号データ停止カウントオン時のみ有効です。 データ再開コマンドに1ライトする前に設定してください。 0：入力符号データ再開時、転送アドレスを初期化しません。 1：入力符号データ再開時、転送アドレスを初期化します。
13	JINRCMD	0	無効	R/W	入力符号データ再開コマンド 入力符号データ停止カウントオン時のみ有効です。 1に設定することで、入力符号データの読み出しを再開します。 読み出すと常に0が読み出されます。
12	JINC	0	無効	R/W	入力符号データ停止カウント設定 0：入力符号データ停止カウントオフ 1：入力符号データ停止カウントオン
11	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
10 ～ 8	JINSWAP [2:0]	000	無効	R/W	バイト／ワード／ロングワードスワップ設定 伸長時の入力符号データがスワップ対象となります。 000 : (1) (2) (3) (4) (5) (6) (7) (8) 001 : (2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010 : (3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011 : (4) (3) (2) (1) (8) (7) (6) (5) [ワード—バイトスワップ] 100 : (5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101 : (6) (5) (8) (7) (2) (1) (4) (3) [ロングワード—バイトスワップ] 110 : (7) (8) (5) (6) (3) (4) (1) (2) [ロングワード—ワードスワップ] 111 : (8) (7) (6) (5) (4) (3) (2) (1) [ロングワード—ワード—バイトスワップ]
7	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	DOUTRINI	0	無効	R/W	出力画像データライン再開時アドレス初期化設定 出力画像データライン停止カウントオン時のみ有効です。 データライン再開コマンドに1ライトする前に設定してください。 0 : 出力画像データライン再開時、転送アドレスを初期化しません。 1 : 出力画像データライン再開時、転送アドレスを初期化します。
5	DOUTR CMD	0	無効	R/W	出力画像データライン再開コマンド 出力画像データライン停止カウントオン時のみ有効です。 1に設定することで、画像データの書き込みを再開します。 読み出すと常に0が読み出されます。
4	DOUTLC	0	無効	R/W	出力画像データライン停止カウント設定 0 : 出力画像データライン停止カウントオフ 1 : 出力画像データライン停止カウントオン
3	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2 ～ 0	DOUT SWAP [2:0]	000	無効	R/W	バイト／ワード／ロングワードスワップ設定 伸長時の出力画像データがスワップ対象となります。 000 : (1) (2) (3) (4) (5) (6) (7) (8) 001 : (2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010 : (3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011 : (4) (3) (2) (1) (8) (7) (6) (5) [ワード—バイトスワップ] 100 : (5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101 : (6) (5) (8) (7) (2) (1) (4) (3) [ロングワード—バイトスワップ] 110 : (7) (8) (5) (6) (3) (4) (1) (2) [ロングワード—ワードスワップ] 111 : (8) (7) (6) (5) (4) (3) (2) (1) [ロングワード—ワード—バイトスワップ]

45.2.25　JPEG インタフェース伸長ソースアドレスレジスタ（JIFDSA）

JIFDSA は、入力符号データのソースアドレスを設定します。本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 3 2 ～ 0	DSA[31:3] DSA[2:0]	H'0000 0000	無効	R/W R	入力符号データのソースアドレス設定（8バイト単位） 下位3ビットは必ず0としてください。

45.2.26　JPEG インタフェース伸長ラインオフセットレジスタ（JIFDDOFST）

JIFDDOFST は、出力画像データのラインオフセットを設定するレジスタです（「45.3.4　画像データ格納」参照）。

本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DDMW[14:0]														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 15	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14 ～ 3 2 ～ 0	DDMW[14:3] DDMW[2:0]	H'0000	無効	R/W R	出力画像データのラインオフセットを設定します。（8バイト単位） 下位3ビットは必ず0としてください。

45.2.27　JPEG インタフェース伸長デスティネーションアドレスレジスタ（JIFDDA）

JIFDDA は、出力画像データのデスティネーションアドレスを設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 3 2 ～ 0	DDA[31:3] DDA[2:0]	H'0000 0000	無効	R/W R	出力画像データのデスティネーションアドレス設定（8バイト単位） 下位3ビットは必ず0としてください。

45.2.28　JPEG インタフェース伸長ソースデータカウントレジスタ（JIFDSDC）

JIFDSDC は、入力符号データ停止カウントオン（JIFDCNT の JINC ビット = 1）時の入力符号データ数を設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JDATAS[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15 ～ 3 2 ～ 0	JDATAS[15:3] JDATAS[2:0]	H'FFF8	無効	R/W R	入力符号データの読み出すデータ数を設定してください。 （8バイト単位） 下位3ビットは必ず0としてください。

45.2.29　JPEG インタフェース伸長デスティネーションラインカウントレジスタ（JIFDDLC）

JIFDDLC は、出力画像データライン停止カウントオン（JIFDCNT の DOUTLC ビット = 1）時の出力画像データライン数を設定するレジスタです。本レジスタは、出力画像データライン数が MCU 単位となるように設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	LINES[14:0]														
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15 ～ 3 2 ～ 0	LINES[15:3] LINES[2:0]	H'FFF8	無効	R/W R	出力画像データの書き出すライン数を設定してください。 出力画像データライン数がMCU単位となるように設定してください。 YCbCr444、YCbCr422、YCbCr411出力時は、本設定値 × 1 が出力画像データライン数となります。 YCbCr420出力時は、本設定値 × 2 が出力画像データライン数となります。 下位3ビットは必ず0としてください。

45.2.30　JPEG インタフェース伸長 α 設定レジスタ（JIFDADT）

JIFDADT は、ARGB8888 形式で出力する際の α の値を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ALPHA[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 8	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7 ～ 0	ALPHA [7:0]	H'00	無効	R/W	ARGB8888形式で出力する際のαの値を設定します。

45.2.31　JPEG 割り込みイネーブルレジスタ 1（JINTE1）

JINTE1 は、割り込み許可を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CBTEN	DINLEN	JOUTEN	—	DBTEN	JINEN	DOUTLEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	無効	無効	無効
R/W（伸長）：	R	R	R	R	R	R	R	R	R	無効	無効	無効	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 7	—	すべて 0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	CBTEN	0	R/W	無効	JINTS1 の CBTF ビットが 1 セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
5	DINLEN	0	R/W	無効	JINTS1 の DINLF ビットが 1 セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
4	JOUTEN	0	R/W	無効	JINTS1 の JOUTF ビットが 1 セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
3	—	0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
2	DBTEN	0	無効	R/W	JINTS1 の DBTF ビットが 1 セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
1	JINEN	0	無効	R/W	JINTS1 の JINF ビットが 1 セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
0	DOUTLEN	0	無効	R/W	JINTS1 の DOUTLF ビットが 1 セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可

45.2.32　JPEG 割り込みステータスレジスタ 1（JINTS1）

JINTS1 は、割り込み発生の原因を判別するレジスタです。
本レジスタの割り込み要因は、0 書き込みによるクリアを行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CBTF	DINLF	JOUTF	—	DBTF	JINF	DOUTLF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R	無効	無効	無効
R/W（伸長）：	R	R	R	R	R	R	R	R	R	無効	無効	無効	R	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 7	—	すべて 0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	CBTF	0	R/W*	無効	圧縮時、最終出力符号データを書き出したとき 1 に設定されます。
5	DINLF	0	R/W*	無効	圧縮時、入力画像データを JIFESLC に示すライン数分読み出したとき、1 に設定されます。 JIFECNT の DINLC ビット = 1 の時のみ有効となります。
4	JOUTF	0	R/W*	無効	圧縮時、出力符号データを JIFEDDC に示すデータ数分書き出したとき、1 に設定されます。 JIFECNT の JOUTC ビット = 1 の時のみ有効となります。
3	—	0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
2	DBTF	0	無効	R/W*	伸長時、最終出力画像データを書き出したとき 1 に設定されます。
1	JINF	0	無効	R/W*	伸長時、入力符号データを JIFDSDC に示すデータ数分読み出したとき、1 に設定されます。 JIFDCNT の JINC ビット = 1 の時のみ有効となります。
0	DOUTLF	0	無効	R/W*	伸長時、出力画像データを JIFDDLC に示すライン数分書き出したとき、1 に設定されます。 JIFDCNT の DOUTLC ビット = 1 の時のみ有効となります。

注.　読み出し値が 1 のビットのみ 0 書き込みによるクリアを行ってください。
　　読み出し値が 0 のビットには 1 を書き込んでください。

45.2.33 JPEG 入力画像データ CbCr 範囲設定レジスタ（JIFESVSZ）

JIFESVSZ は、入力画像データの CbCr 範囲を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DINYCHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	無効	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	すべて 0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
15	DINYCHG	0	R/W	無効	入力画像データの CbCr 範囲設定 0：–128 ～ 127 の範囲 1：0 ～ 255 の範囲
14 ～ 0	—	すべて 0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

45.2.34　JPEG 出力画像データ CbCr 範囲設定レジスタ（JIFESHSZ）

JIFESHSZ は、出力画像データの CbCr 範囲を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DOUTY CHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	すべて 0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
15	DOUTY CHG	0	無効	R/W	出力画像データの CbCr 範囲設定 0：–128 ～ 127 の範囲 1：0 ～ 255 の範囲
14 ～ 0	—	すべて 0	R		リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

45.3　動作説明

45.3.1　圧縮

(1)　処理概要

圧縮処理の動作フローは、以下のようになります。

1. JPEG コア起動
   マーカ出力（マーカ出力終了後、画像データ入力可能）
   SOI ～ SOS マーカ作成に約 30,000 サイクル必要とします。
2. 外部バッファから本モジュールに画像データを MCU ごとに転送
   入力画像データライン停止カウントオン設定時は、JIFESLC で設定したライン数分の画像データ読み出し完了ごとに、読み込みを停止します。JIFECNT の DINRCMD ビットに 1 セットすることで、読み出しを再開します。
   読み出し先のアドレスは、JIFECNT の DINRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。DINRINI ビット＝ 1 設定時は、JIFESA に設定したアドレスから再開します。
   また、1 画面分の画像データ転送終了時にも読み込みを停止します。
   入力画像データライン停止カウントオフ設定時は、1 画面分の画像データが終了するまで読み出します。
3. JPEG コア部へ画像データ入力
   JPEG コアでは、MCU 単位で随時処理
4. 本モジュールから外部バッファに符号データを転送
   出力符号データ停止カウントオン設定時は、JIFEDDC で設定したデータ数分の符号データ書き込み完了ごとに、書き込みを停止します。JIFECNT の JOUTRCMD ビットに 1 セットすることで、書き込みを再開します。
   書き込み先のアドレスは、JIFECNT の JOUTRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。JOUTRINI ビット＝ 1 設定時は、JIFEDA に設定したアドレスから再開します。
   また、1 画面分の符号データ転送終了時にも書き込みを停止します。
   出力符号データ停止カウントオフ設定時は、1 画面分の符号データが終了するまで書き込みます。
5. 1 画面分のデータ処理終了で圧縮完了

(2)　フローチャート（圧縮）

(a)　初期設定

JPEG コア設定、入出力バッファ設定、外部バッファに画像データを準備した後、JCCMD の JSRT ビットに 1 を設定し、本モジュールを起動します。起動後、JPEG マーカヘッダ部（SOI ～ SOS）を生成し出力しますが、マーカヘッダ部生成には約 30,000 サイクル掛かります。

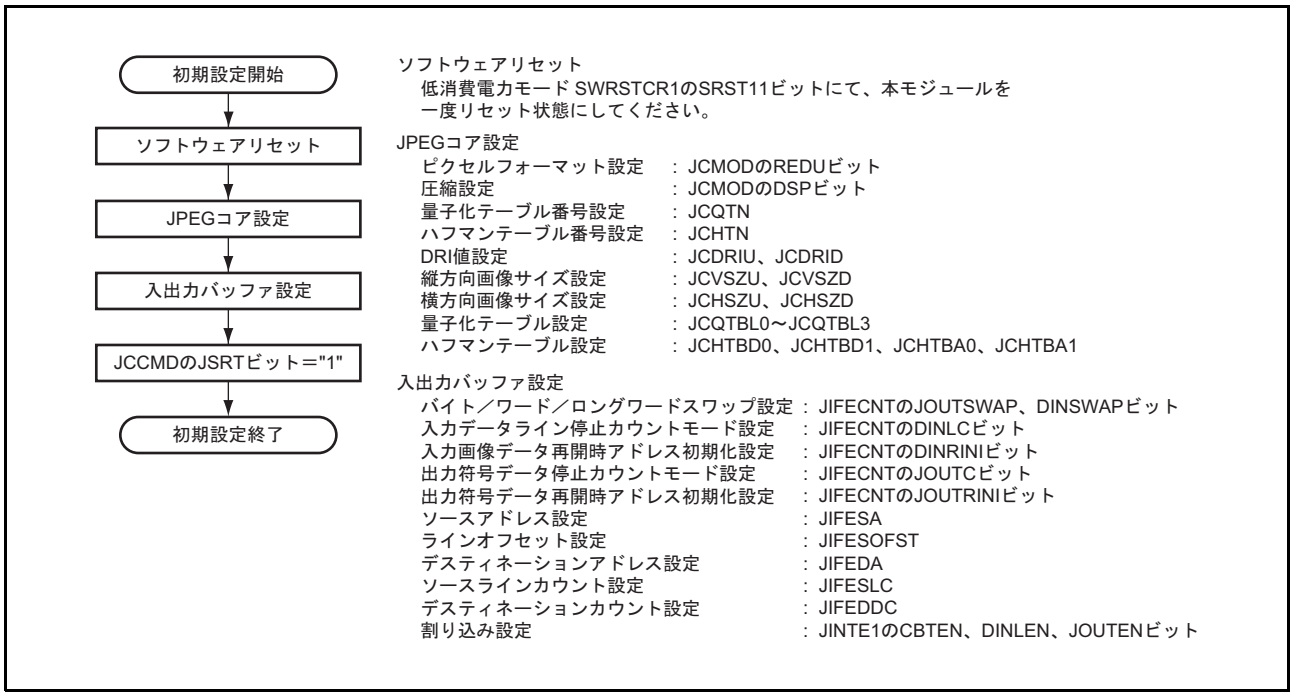


図 45.2　　圧縮初期設定フロー

(b)　圧縮処理

圧縮処理時のフローを下記に示します。

- JPEG コアで圧縮処理が終了すると、割り込みステータス JINTS0 の INS6 ビットが 1 に設定されます。ただし、符号データの転送が残っているので本モジュールは処理を継続しています。最終符号データの転送が終了すると JINTS1 の CBTF ビットにも 1 が設定されます。割り込み要因は、INTS6 ビットに 0 ライトすることでクリアされます。ただし、本割り込み要因でアサートされた割り込み要求は、INTS6 ビットに 0 ライトしてもクリアされません。割り込み要求解除コマンドを設定し（JCCMD の JEND ビットに 1 を設定）、割り込み要求をクリアしてください。
- 圧縮処理が終了し、全符号データの転送が終了すると、割り込みステータス JINTS1 の CBTF フラグが 1 に設定されます。JINTE1 の CBTEN ビットを 1 に設定している場合、割り込みが発生します。CBTF に 0 書き込みすることで、割り込み要因はクリアされます。
- 入力画像データライン停止カウントオン設定時は、JIFESLC で設定したライン数分の画像データ読み出しを終了すると、JINTS1 の DINLF フラグが 1 に設定され、読み込みを停止します。JINTE1 の DINLEN ビットを 1 に設定している場合、割り込みが発生します。DINLEN ビットに 0 書き込みすることで、割り込み要因はクリアされます。
  JIFECNT の DINRCMD ビットに 1 セットすることで、読み出しを再開します。
  読み出し先のアドレスは、JIFECNT の DINRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。DINRINI ビット＝ 1 設定時は、JIFESA に設定したアドレスから再開します。

- 出力符号データ停止カウントオン設定時は、JIFEDDC で設定したデータ数分の符号データ書き込みを終了すると、JINT1 の JOUTF フラグが 1 に設定され、書き込みを停止します。JINTE1 の JOUTEN ビットを 1 に設定している場合、割り込みが発生します。JOUTF ビットに 0 書き込みすることで、割り込み要因はクリアされます。
  JIFECNT の JOUTRCMD ビットに 1 セットすることで、書き込みを再開します。
  書き込み先のアドレスは、JIFECNT の JOUTRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。JOUTRINI ビット＝ 1 設定時は、JIFEDA に設定したアドレスから再開します。

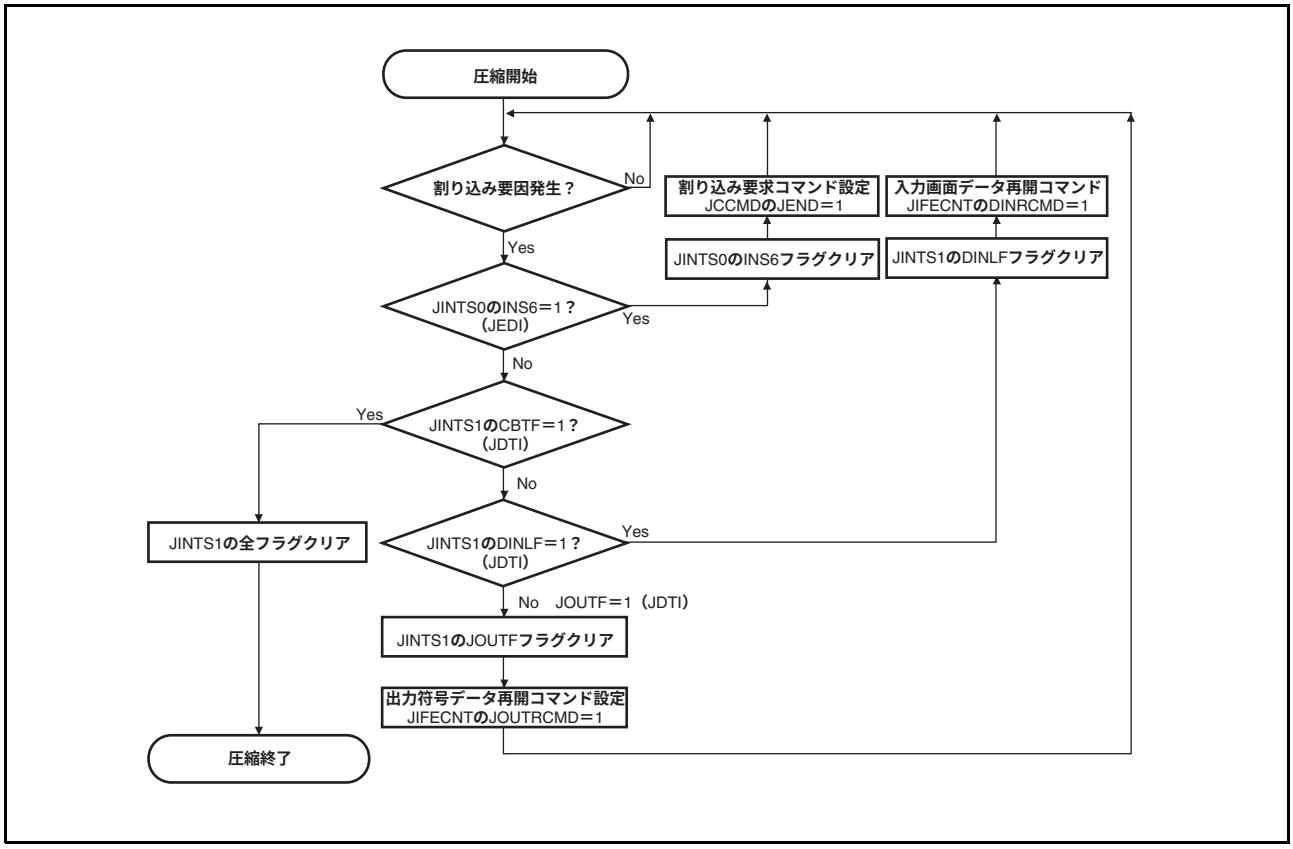


図 45.3　　圧縮処理フロー

(3) JPEG 符号データ FORMAT

圧縮時、出力されるデータストリームの構成を図 45.4 に示します。SOI ～ EOI までの符号データ量は JCDTCU、JCDTCM、JCDTCD に示されます。また、JCDRIU、JCDRID がともに H'0000 0000 に設定している場合、下記のマーカは出力されません。

- DRI マーカ
- RST マーカ（圧縮画像データ内）

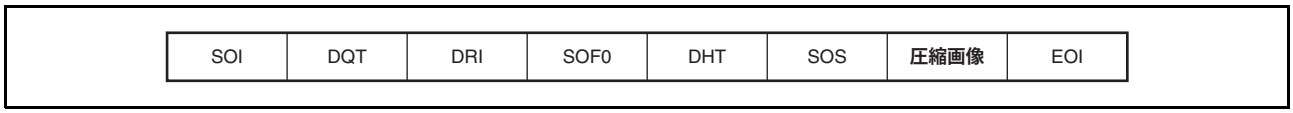


図 45.4　JPEG 符号データフォーマット

DQT：使用していないテーブルについては出力されません。
DHT：出力順は DC0、AC0、DC1、AC1。使用していないテーブルについては出力されません。
SOF0：成分識別子は、C1 ＝第一色成分、C2 ＝第二色成分、C3 ＝第三色成分となります。
SOS：スキャン成分セレクタは、CS1 ＝第一色成分、CS2 ＝第二色成分、CS3 ＝第三色成分となります。

各ヘッダ容量（参考）

- SOI：2 バイト（FFD8）
- DQT：量子化テーブル 2 枚使用時 134 バイト、3 枚使用時 199 バイト（1 枚増減で ±65 バイト）
- DRI：6 バイト
- SOF0：19 バイト（4:2:2）
- DHT：420 バイト（2 枚使用時）
- SOS：14 バイト（4:2:2）
- EOI：2 バイト（FFD9）

(4)　テーブル設定

(a)　量子化テーブル設定

8 × 8 ブロックのアドレス順とレジスタアドレス順が対応しています。本モジュール処理中の本テーブルへのアクセスは禁止です。

表 45.2　　量子化テーブル

00	01	02	03	04	05	06	07
08	09	0A	0B	0C	0D	0E	0F
10	11	12	13	14	15	16	17
18	19	1A	1B	1C	1D	1E	1F
20	21	22	23	24	25	26	27
28	29	2A	2B	2C	2D	2E	2F
30	31	32	33	34	35	36	37
38	39	3A	3B	3C	3D	3E	3F

JCQTBL0（H'E801 7100）＝ H'00
JCQTBL0（H'E801 7101）＝ H'01
JCQTBL0（H'E801 7102）＝ H'02
JCQTBL0（H'E801 7103）＝ H'03
:
JCQTBL0（H'E801 713F）＝ H'3F

(b)　ハフマンテーブル設定

JPEG 勧告 ITU-T T81 付属書 K.3.3 記載のハフマンテーブル設定方法
圧縮処理時は全グループ番号に対してハフマン符号が生成できるように、必ず以下の設定を符号数分行ってください。

- DC ハフマンテーブル：符号長ごとの符号数＝ 12 符号、発生頻度順のグループ番号＝ 12 個
- AC ハフマンテーブル:符号長ごとの符号数＝ 162 符号、発生頻度順のゼロラン長／グループ番号＝ 162 個

また、本モジュール処理中の本テーブルへのアクセスは禁止です。特にリードアクセスも禁止となります。

- 表 K.3/T81

JCHTBD0（H'E801 7200）＝ H'00
JCHTBD0（H'E801 7201）＝ H'01
JCHTBD0（H'E801 7202）＝ H'05
JCHTBD0（H'E801 7203）＝ H'01
:
JCHTBD0（H'E801 721B）＝ H'0B

- 表 K.4/T81

JCHTBD1（H'E801 7300）＝ H'00
JCHTBD1（H'E801 7301）＝ H'03
JCHTBD1（H'E801 7302）＝ H'01
JCHTBD1（H'E801 7303）＝ H'01
:
JCHTBD1（H'E801 731B）＝ H'0B

- 表 K.5/T81

JCHTBA0（H'E801 7220）＝ H'00
JCHTBA0（H'E801 7221）＝ H'02
JCHTBA0（H'E801 7222）＝ H'01
JCHTBA0（H'E801 7223）＝ H'03
:
JCHTBA0（H'E801 72D1）＝ H'FA

- 表 K.6/T81

JCHTBA1（H'E801 7320）＝ H'00
JCHTBA1（H'E801 7321）＝ H'02
JCHTBA1（H'E801 7322）＝ H'01
JCHTBA1（H'E801 7323）＝ H'02
:
JCHTBA1（H'E801 73D1）＝ H'FA

(5)　入力ピクセルフォーマット

本モジュールは、YCbCr422 形式で作成された画像を入力することが出来ます。

YCbCr422 形式のデータ配置は、JIFECNT の DINSWAP ビットにより下記のように変更することが可能です。

- DINSWAP ビット＝ 000 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y0 8bit	Cb0 8bit	Y1 8bit	Cr0 8bit	Y2 8bit	Cb1 8bit	Y3 8bit	Cr1 8bit

- DINSWAP ビット＝ 001 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Cb0 8bit	Y0 8bit	Cr0 8bit	Y1 8bit	Cb1 8bit	Y2 8bit	Cr1 8bit	Y3 8bit

- DINSWAP ビット＝ 010 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y1 8bit	Cr0 8bit	Y0 8bit	Cb0 8bit	Y3 8bit	Cr1 8bit	Y2 8bit	Cb1 8bit

- DINSWAP ビット＝ 100 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y2 8bit	Cb1 8bit	Y3 8bit	Cr1 8bit	Y0 8bit	Cb0 8bit	Y1 8bit	Cr0 8bit

- DINSWAP ビット＝ 101 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Cb1 8bit	Y2 8bit	Cr1 8bit	Y3 8bit	Cb0 8bit	Y0 8bit	Cr0 8bit	Y1 8bit

- DINSWAP ビット＝ 110 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y3 8bit	Cr1 8bit	Y2 8bit	Cb1 8bit	Y1 8bit	Cr0 8bit	Y0 8bit	Cb0 8bit

- DINSWAP ビット＝ 111 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Cr1 8bit	Y3 8bit	Cb1 8bit	Y2 8bit	Cr0 8bit	Y1 8bit	Cb0 8bit	Y0 8bit

(6)　出力符号データ

圧縮時、符号データを出力します。本モジュールは出力符号データを 16bit 単位で扱います。
そのため、符号データが奇数符号長（端数）になった場合、最終符号は H'D9FF を出力します。
出力符号データのデータ配置は、JIFECNT の JOUTSWAP ビットにより変更することが可能です。

45.3.2　伸長

(1)　処理概要

伸長処理の動作フローは、以下のようになります。

1. JPEG コア起動
2. 外部バッファから本モジュールに符号データを転送
   入力符号データ停止カウントオン設定時は、JIFDSDC で設定したデータ数分の符号データ読み出し完了ごとに、読み出しを停止します。JIFDCNT の JINRCMD ビットに 1 セットすることで、読み出しを再開します。
   読み出し先のアドレスは、JIFDCNT の JINRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。JINRINI ビット＝ 1 設定時は、JIFDSA に設定したアドレスから再開します。また、符号終端検出時にも読み出しを停止します。
   入力符号データ停止カウントオフ設定時は、符号終端検出するまで読み出します。
   本モジュールは、符合終端が未検出である限り符号データを読み続けるため、符号データサイズを超える読み出しを行う可能性があります。
3. JPEG コア部へ符号データ入力
   JPEG コアでは、MCU 単位で随時処理
4. 本モジュールから外部バッファに画像データを MCU ごとに転送
   出力画像データライン停止カウントオン設定時は、JIFDDLC で設定したライン数分の画像データ書き込み完了ごとに、書き込みを停止します。JIFDCNT の DOUTRCMD ビットに 1 セットすることで、書き込みを再開します。
   書き込み先のアドレスは、JIFDCNT の DOUTRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。DOUTRINI ビット＝ 1 設定時は、JIFDDA に設定したアドレスから再開します。
   また、1 画面分の画像データ転送終了時にも書き込みを停止します。
   出力画像データライン停止カウントオフ設定時は、1 画面分の画像データが終了するまで書き込みます。
5. 1 画面分のデータ処理終了で伸長完了

(a)　初期設定

- JINTE0 の INT3 ビットを 0 に設定している場合
  JPEG コア設定、入出力バッファ設定、外部バッファに符号データを準備した後、JCCMD の JSRT ビットに 1 を設定し、本モジュールを起動します。
- JINTE0 の INT3 ビットを 1 に設定している場合
  JPEG コア設定、入力バッファ設定、外部バッファに符号データを準備した後、JCCMD の JSRT ビットに 1 を設定し、本モジュールを起動します。
  符号データを伸長後、画像サイズ／ピクセルフォーマットを読み出し可能となったとき、JINTS0 の INS3 が設定されます。伸長処理は一時停止します。
  画像サイズ／ピクセルフォーマットを読み出した後、出力バッファ設定を行います。
  割り込み処理を行った後、JCCMD の JRST ビットを 1 に設定することで、伸長処理を再開します。

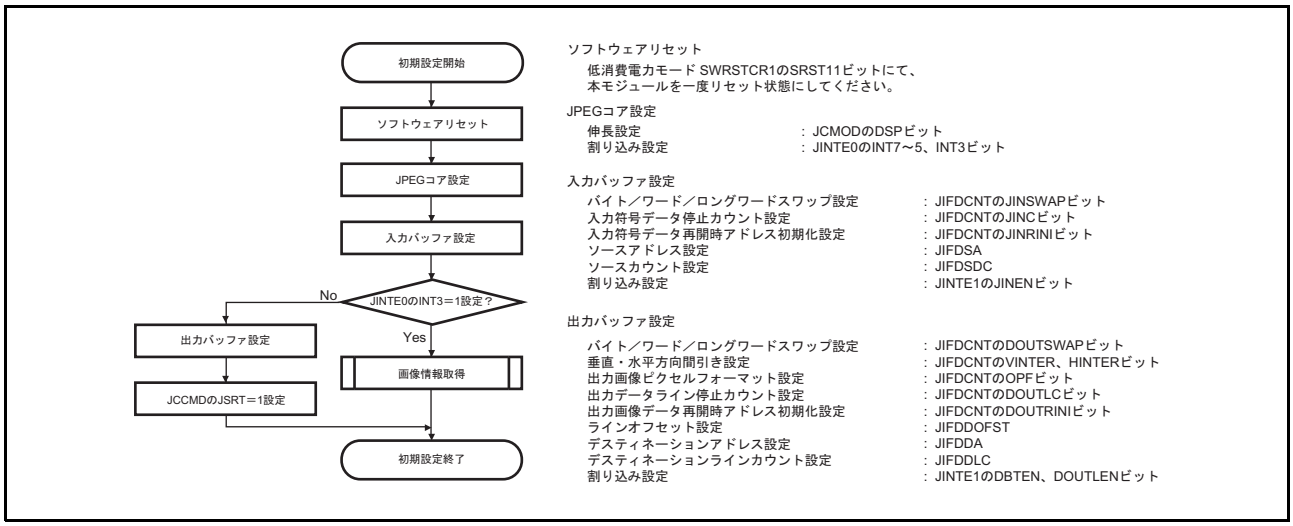


図 45.5　　伸長初期設定フロー

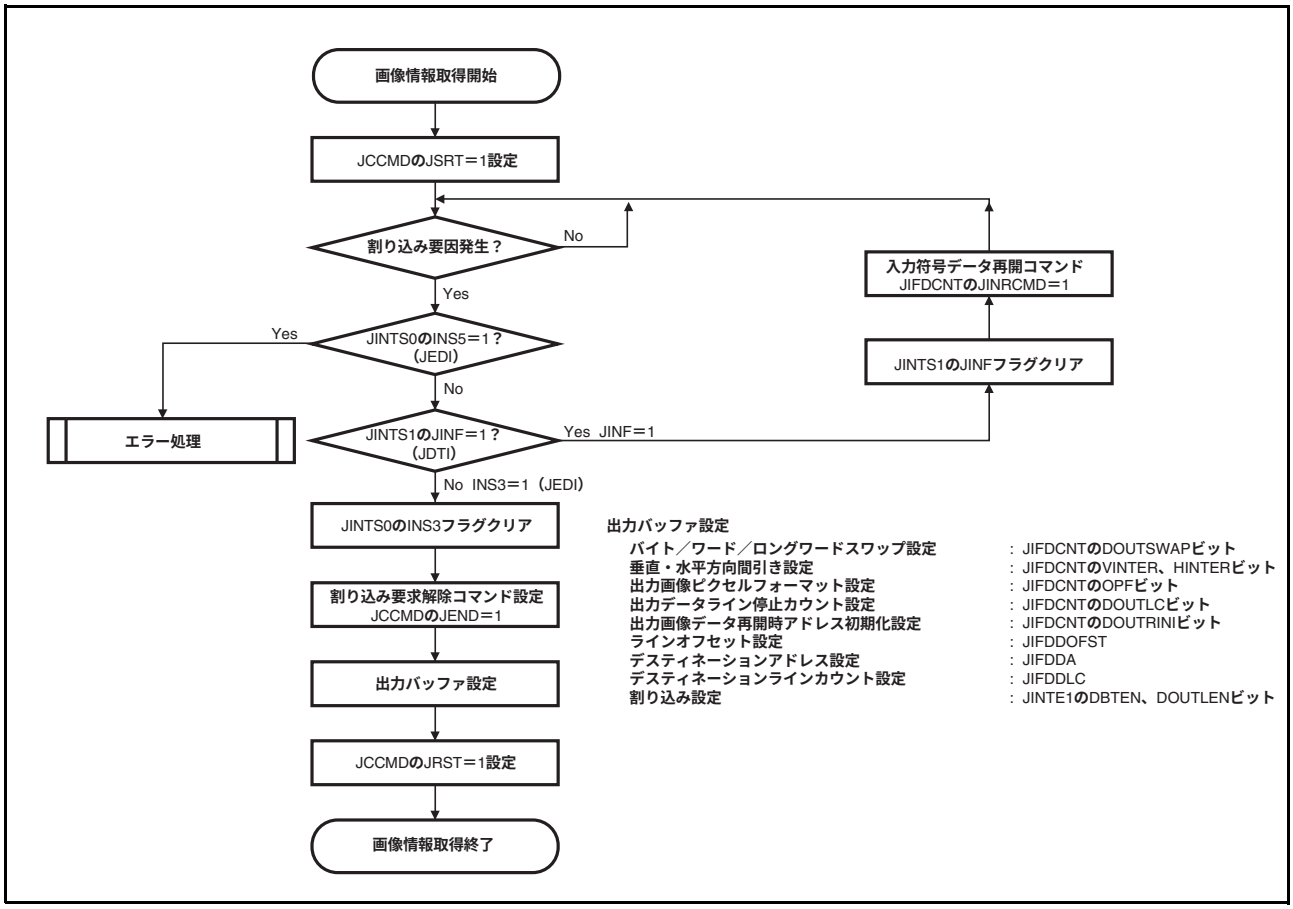


図 45.6　　画像情報取得フロー

(b)　伸長処理

伸長処理時のフローを下記に示します。

- JPEG コアで伸長処理が終了すると、割り込みステータス JINTS0 の INS6 ビットが 1 に設定されます。ただし、画像データの転送が残っているので本モジュールは処理を継続しています。最終画像データの転送が終了すると JINTS1 の DBTF ビットにも 1 が設定されます。割り込み要因は、INTS6 ビットに 0 ライトすることでクリアされます。ただし、本割り込み要因でアサートされた割り込み要求は、INTS6 ビットに 0 ライトしてもクリアされません。割り込み要求解除コマンドを設定し（JCCMD の JEND ビットに 1 を設定）、割り込み要求をクリアしてください。
- 伸長処理が終了し、全画像データの転送が終了すると、割り込みステータス JINTS1 の DBTF フラグが 1 に設定されます。JINTE1 の DBTEN ビットが 1 に設定されている場合、割り込みが発生します。DBTF に 0 書き込みすることで、割り込み要因はクリアされます。
- 入力符号データ停止カウントオン設定時は、JIFDSDC で設定したデータ数分の符号データ読み出しを終了すると、JINTS1 の JINF フラグが 1 に設定され、読み込みを停止します。JINTE1 の JINEN ビットを 1 に設定している場合、割り込みが発生します。JINF ビットに 0 書き込みすることで、割り込み要因はクリアされます。
  JIFDCNT の JINRCMD ビットに 1 セットすることで、読み出しを再開します。
  読み出し先のアドレスは、JIFDCNT の JINRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。JINRINI ビット＝ 1 設定時は、JIFDSA に設定したアドレスから再開します。
- 出力画像データ停止カウントオン設定時は、JIFDDLC で設定したライン数分画像データ書き込みを終了すると、JINT1 の DOUTLF フラグが 1 に設定され、書き込みを停止します。JINTE1 の DOUTLEN ビットを 1 に設定している場合、割り込みが発生します。DOUTLF ビットに 0 書き込みすることで、割り込み要因はクリアされます。
  JIFDCNT の DOUTRCMD ビットに 1 セットすることで、書き込みを再開します。
  書き込み先のアドレスは、JIFDCNT の DOUTRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。DOUTRINI ビット＝ 1 設定時は、JIFDDA に設定したアドレスから再開します。

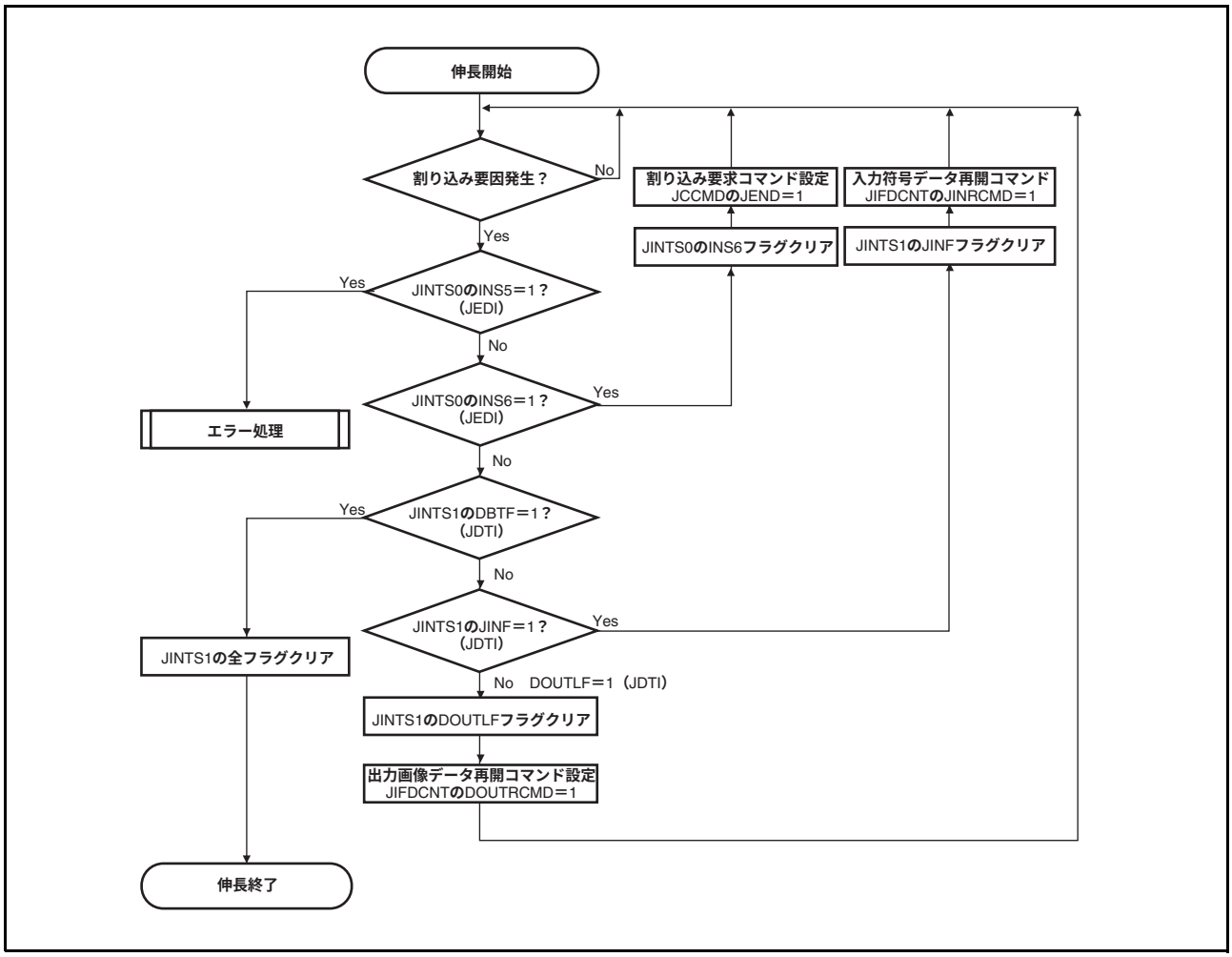


図 45.7 伸長処理フロー

(c)　エラー処理

割り込みステータス JINTS0 の INS5 ビットが 1 の場合、入力された JPEG 符号データに問題があり、本モジュールは伸長処理を終了しております。JCDERR の ERR ビットを読み出し、エラー要因を判定してください。本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し（JCCMD の JEND ビットに 1 を設定）、割り込み要求をクリアしてください。

エラー処理終了後に伸長・圧縮処理を行う場合は、初期設定から処理を行ってください。

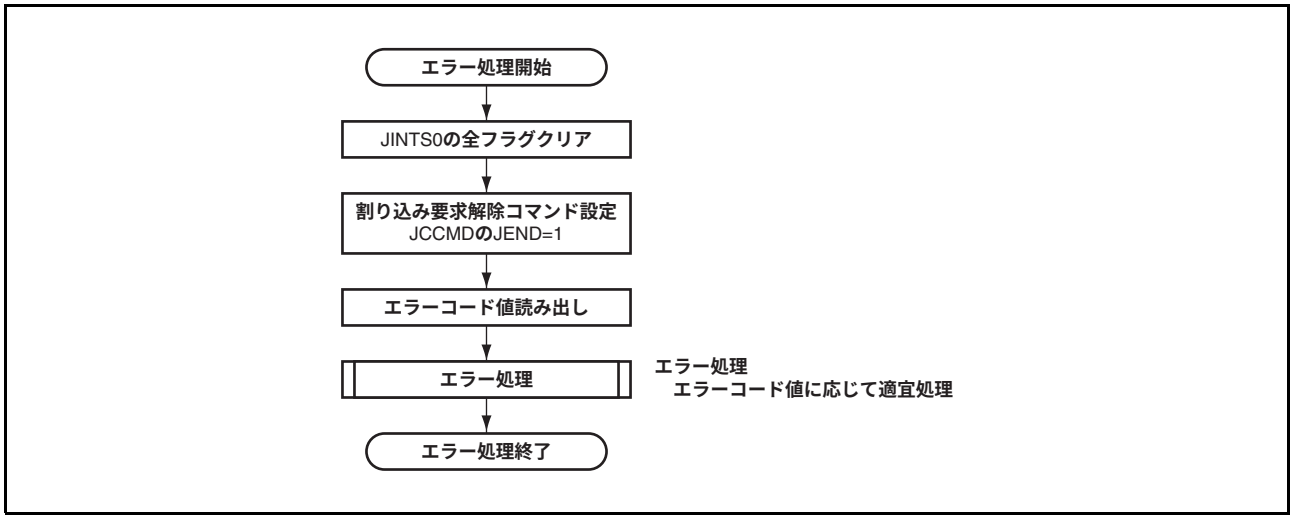


図 45.8　　エラー処理フロー

(2)　入力 JPEG 符号データ

伸長処理時の処理対象マーカは、SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI です。その他のマーカは次項に示すエラー対象マーカ以外、検出しても読み飛ばします。

入力符号データのデータ配置は、JIFDCNT の JINSWAP ビットにより変更することが可能です。

(3) JPEG 伸長エラー

(a) エラーマーカ

伸長処理時、圧縮データ解析でマーカエラーが発生した場合、エラー種類をコードにて判別し、JCDERR の ERR ビットに**表 45.3** に示すコード値を設定します。本モジュールは、エラー検出すると割り込み信号を発生し、処理を終了します。格納されるコード値は、次フレームの処理を行う際の処理開始およびバスリセットでデフォルト値（B'1010）となります。

表45.3　伸長エラーコード

コード値（CODE）	エラー内容
B'0000	正常
B'0001	SOI未検出。EOI検出までSOI未検出
B'0010	SOF1～SOFFの検出
B'0011	対象外のピクセルフォーマットを検出
B'0100	SOF精度異常。「8」以外を検出
B'0101	DQT精度異常。「0」以外を検出
B'0110	コンポーネント異常1。SOF0ヘッダのコンポーネント数が「1」「3」「4」以外を検出
B'0111	コンポーネント異常2。SOF0ヘッダのコンポーネント数とSOSのコンポーネント数が異なる場合
B'1000	SOS検出時にSOF0、DQT、DHT未検出
B'1001	SOS未検出。EOI検出までにSOS未検出
B'1010	EOI未検出（デフォルト）
B'1011	リスタートインターバルデータ数エラーを検出
B'1100	画像サイズエラーを検出
B'1101	最終MCUデータ数エラーを検出
B'1110	ブロックデータ数エラーを検出

(b) ハフマン符号化セグメントエラー

伸長動作時、圧縮データ解析でハフマン符号化セグメントにビット反転やデータ欠落によるエラーで復号データ数の増減が発生した場合、エラー種類を判別し、エラーコードを JCDERR の ERR ビットに設定します。**表 45.4** にセグメントエラーコードを示します。JINTE0 の INT7 ～ INT5 の該当ビットに 1 を設定した場合のみ、エラーコードを設定し、割り込み信号を発生させ処理を終了します。格納されるコード値は、次フレームの処理を行う際の処理開始およびバスリセットでデフォルト値（B'1010）となります。

本エラー検出は、復号データ数の増減を検出するので、ハフマン符号化セグメント内にエラーが存在しても復号データ数に増減が生じない場合、エラー検出されません。

【例】ピクセルフォーマット設定 YCbCr422、DRI = 2、X = 80 Pixel、Y = 8 Pixel のハフマン符号化セグメントのデータ数

図 45.9　ハフマン符号化セグメント

表45.4　セグメントエラーコード

コード値（CODE）	エラー内容
B'0000	正常
B'1011	リスタートインターバルデータ数エラーは、DRIマーカセグメントに規定されるデータ数と各インターバルのデータ数を比較し、一致しないインターバルを検出した場合、伸長エラー CODE[1011]を設定します。リスタートインターバル間隔に満たない最終インターバルは対象外です。 DRIマーカセグメントが存在しない場合や、規定値が"00"の場合は、RSTmマーカが存在してもエラー検出しません。また、RSTmマーカモジュロ8のm順番（m = 0～7）もエラー検出対象外です。 JINTE0のINT7ビットに0を設定すると、本エラー検出を行いません。
B'1100	画像サイズエラーは、フレームパラメータに規定されるライン数、ライン数当たりのサンプル数より算出した画像データ数およびSOS～EOIまでの総データ数（ピクセル単位）を比較し一致しない場合、伸長エラー CODE[1100]を設定します。JINTE0のINT6ビットに0を設定すると、本エラー検出を行いません。画像データ数はMCU単位となりますので、算出の際のライン数とライン数当たりのサンプル数はMCU単位にまで切り上げます。
B'1101	最終MCUデータ数エラーは、EOI検出時のMCUデータ数がMCU単位となっているかチェックし、端数の有無を検出します。CODE[1100]が同時発生したときは、CODE[1100]が優先されます。 JINTE0のINT5ビットに0を設定すると、本エラー検出を行いません。
B'1110	ブロックデータ数エラーは、1ブロックが8 × 8単位となっているかチェックし、端数の有無を検出します。 JINTE0のINT7～INT5ビットにすべて0を設定すると、本エラー検出を行いません。

45.3.3　伸長時の出力ピクセルフォーマット

本モジュールは、YCbCr444、YCbCr422、YCbCr411、YCbCr420 形式で作成された JPEG 符号データを伸長することが出来ます。ただし、出力画像のピクセルフォーマットは YCbCr422、ARGB8888、RGB565 となります。伸長したデータを出力ピクセルフォーマットに変換する流れを下記に示します。

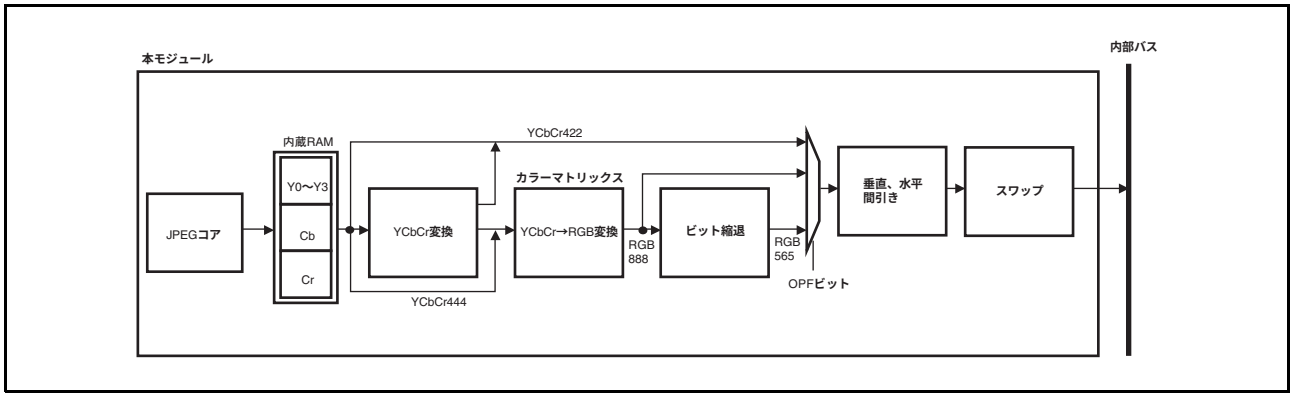


図 45.10　伸長時の出力ピクセルフォーマット変換ブロック図

(1)　内蔵 RAM

JPEG コアにてデコードされたデータを、本モジュールに内蔵している RAM に MCU 単位で格納していきます。

(2)　YCbCr 変換

ARGB8888、RGB565 出力時は、YCbCr422、YCbCr411、YCbCr420 形式のデータを YCbCr444 形式に変換します。

YCbCr422 出力時は、YCbCr444、YCbCr411、YCbCr420 形式のデータを YCbCr422 形式に変換します。

変換方法は単純補間で行います。

(3)　YCbCr → RGB 変換

YCbCr444 形式のデータを RGB888 形式に変換します。

演算式は下記となります。

R ＝ 1.000Y ＋ 1.402Cr

G ＝ 1.000Y － 0.344Cb － 0.714Cr

B ＝ 1.000Y ＋ 1.772Cb

(4)　ビット縮退

RGB888 を RGB565 に縮退します。Red,Blue の下位 3 ビット、Green の下位 2 ビットを削除します。

(5)　出力ピクセルフォーマット選択

JIFDCNT の OPF ビットにより、出力するピクセルフォーマットを選択します。

ピクセルフォーマットのデータ配置（JIFDCNT の DOUTSWAP ＝ 000 設定時）は下記になります。

- YCbCr422 (32bit / pixel)

b31	b24	b23	b16	b15	b8	b7	b0
Y0 8bit		Cb 8bit		Y1 8bit		Cr 8bit	

- ARGB8888 (32bit / pixel)

b31 – b24	b23 – b16	b15 – b8	b7 – b0
*	Red 8bit	Green 8bit	Blue 8bit

注 . * JIFDADT の ALPHA[7:0] で指定された値

- RGB565 (16bit / pixel)

b15 – b11	b10 – b5	B4 – b0
Red 5bit	Green 6bit	Blue 5bit

(6) 垂直・水平間引き

JIFDCNT の VINTER, HINTER ビットにより、出力データを水平・垂直方向に間引くことが出来ます。
間引くラインは**図 45.11 ～図 45.13** のようになります。
ARGB8888、RGB565 出力時は、1 画素／ 1 マスで表しています。
YCbCr422 出力時は、Y0Cb0Y1Cr0 ／ 1 マスで表しています。
また、MCU 単位で扱いますので水平・垂直ブロック数は伸長したピクセルフォーマットにより異なります。
n,m の値はそれぞれ下記のようになります。

[水平方向]

表45.5　　水平ブロック数

圧縮形式	出力形式	n
YCbCr444	YCbCr422	1/2
YCbCr444	ARGB8888、RGB565	1
YCbCr422	YCbCr422	1
YCbCr422	ARGB8888、RGB565	2
YCbCr411	YCbCr422	2
YCbCr411	ARGB8888、RGB565	4
YCbCr420	YCbCr422	1
YCbCr420	ARGB8888、RGB565	2

[垂直方向]

表45.6　　垂直ブロック数

圧縮形式	出力形式	m
YCbCr444	YCbCr422	1
YCbCr444	ARGB8888、RGB565	1
YCbCr422	YCbCr422	1
YCbCr422	ARGB8888、RGB565	1
YCbCr411	YCbCr422	1
YCbCr411	ARGB8888、RGB565	1
YCbCr420	YCbCr422	2
YCbCr420	ARGB8888、RGB565	2

- 1／2 間引き

偶数ラインを間引きます。

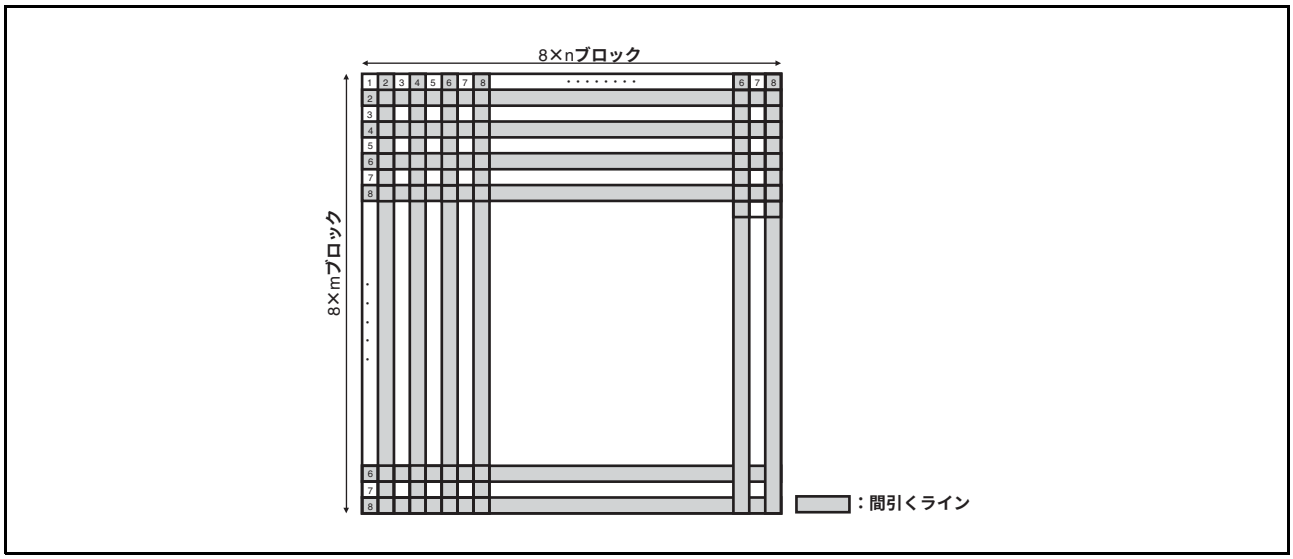


図 45.11 1／2 間引き選択時の MCU 図

- 1／4 間引き

2、3、4 ライン目を間引きます。

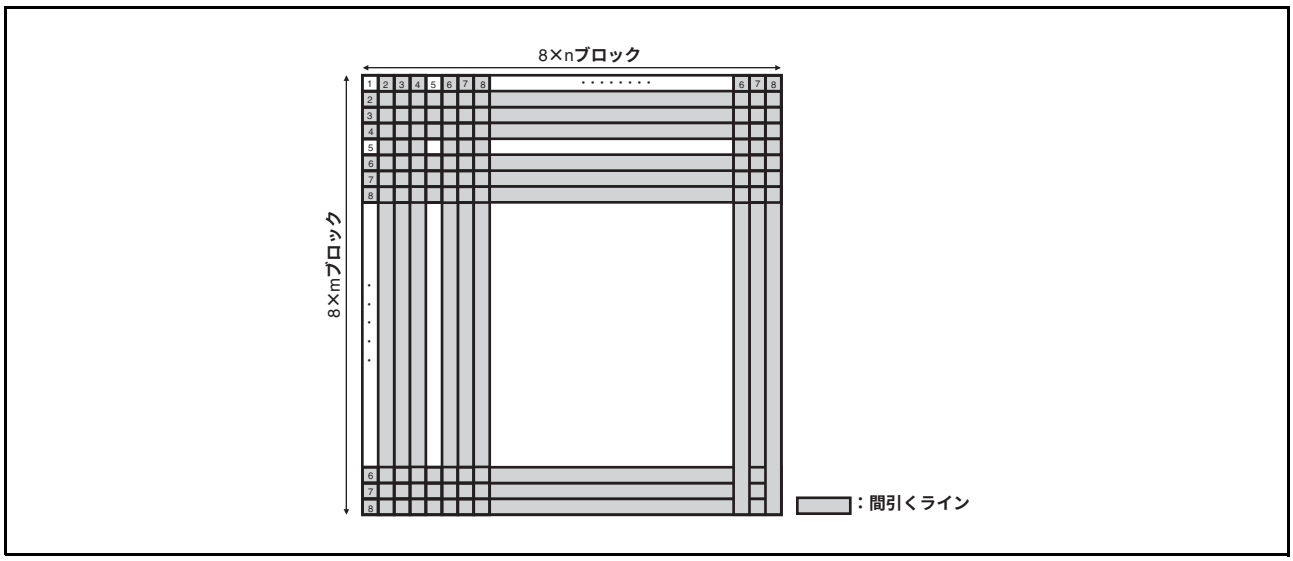


図 45.12 1／4 間引き選択時の MCU 図

- 1 ／ 8 間引き

2、3、4、5、6、7、8 ライン目を間引きます。

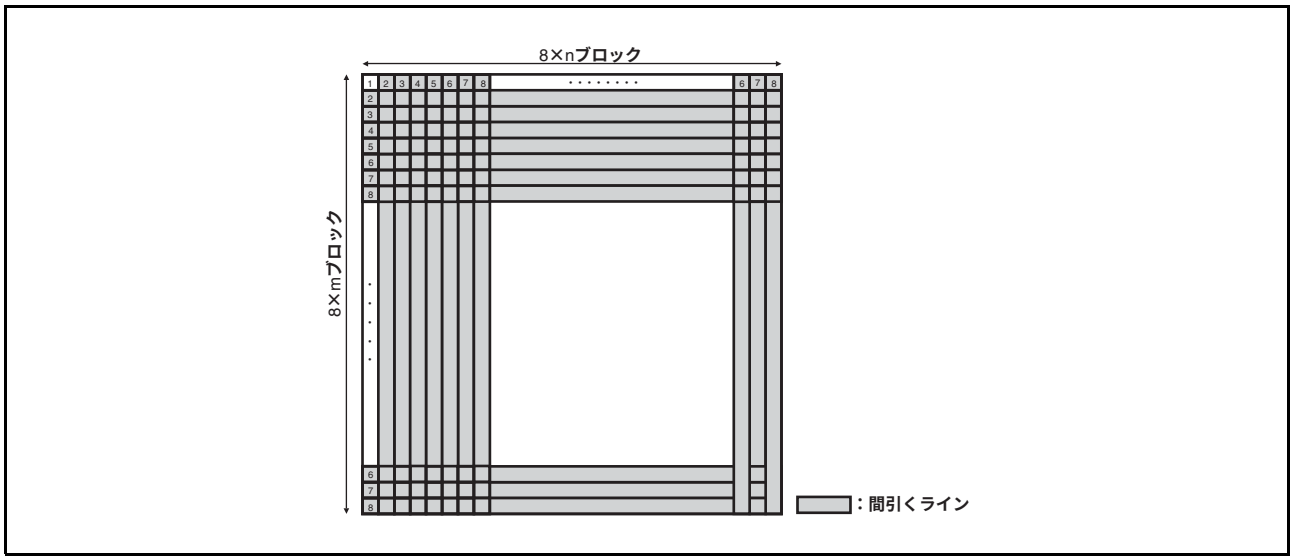


図 45.13 1 ／ 8 間引き選択時の MCU 図

(7) スワップ

JIFDCNT の DOUTSWAP ビットによりデータ配置を変更することが可能です。

45.3.4　画像データ格納

下記に画像データのバッファへの格納図を示します。
スタートアドレス　　圧縮：JIFESA、伸長：JIFDDA
水平方向サイズ　　圧縮、伸長：JCHSZU、JCHSZD
垂直方向サイズ　　圧縮、伸長：JCVSZU、JCVSZD
オフセット　　圧縮：JIFESOFST、伸長 JIFDDOFST

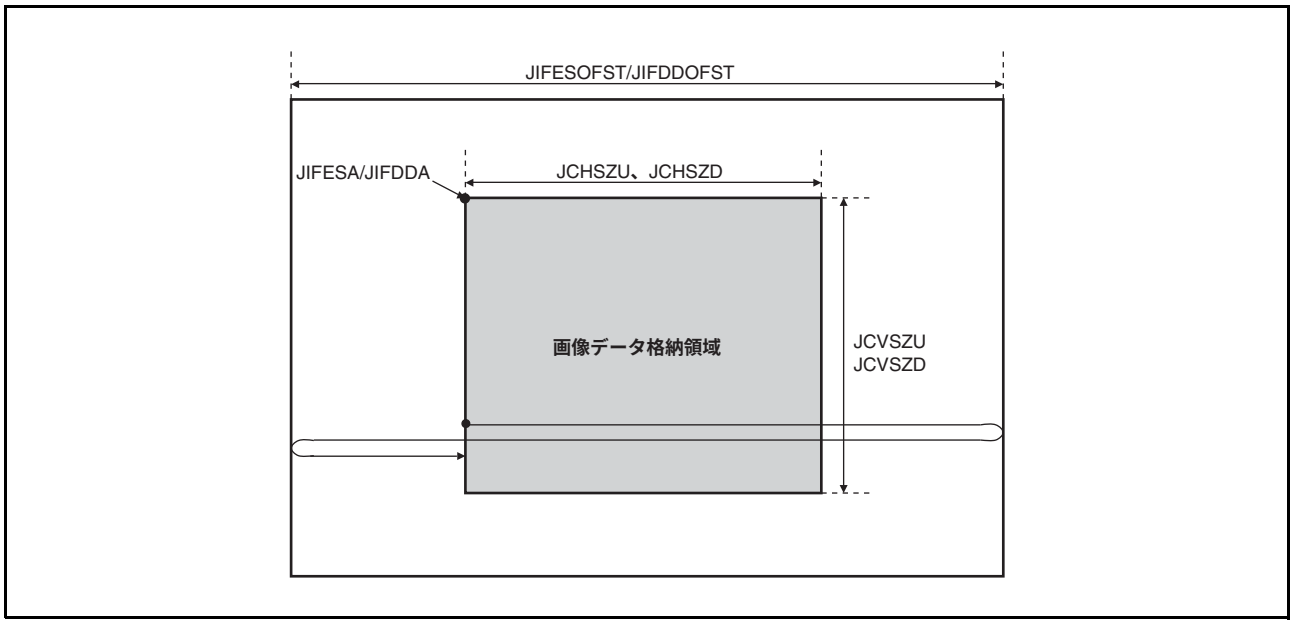


図 45.14　画像データ格納イメージ

45.4　割り込み

本モジュールは、圧縮伸長処理割り込み要求（JEDI）およびデータ転送割り込み要求（JDTI）の 2 種類の割り込み要求を持っています。圧縮伸長処理割り込み要求は圧縮／伸長処理関連、データ転送割り込み要求はデータ転送関連の割り込み要因に分類されます。割り込み要因により割り込み要求の解除方法が異なります。

45.4.1　圧縮伸長処理割り込み要求（JEDI）

割り込みステータス JINTS0 のフラグは、圧縮伸長処理による割り込み要因です。本割り込み要因でアサートされた割り込み要求は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し（JCCMD の JEND ビットに 1 を設定）、割り込み要求をクリアしてください。割り込みステータス JINTS0 のフラグが 1 セットされると、割り込みコントローラに圧縮伸長処理割り込み要求を出力します。

(1)　圧縮

- JPEG 圧縮処理終了
  割り込みステータス JINTS0 の INS6 ビットが 1 の場合、JPEG 圧縮処理が終了しています。符号データの転送が完了すると、圧縮処理は終了します。

(2)　伸長

- JPEG 伸長処理終了
  割り込みステータス JINTS0 の INS6 ビットが 1 の場合、JPEG 伸長処理が終了しています。画像データの転送が完了すると、伸長処理は終了します。
- JPEG 伸長エラー発生
  割り込みステータス JINTS0 の INS5 ビットが 1 の場合、入力された JPEG 符号データに問題があり、伸長処理を終了しています。エラーコード（JCDERR の ERR ビット）を読み出し、エラー要因を判定してください。本割り込みは、割り込み設定 JINTE0 の INT7、INT6、INT5 に 1 が設定されている場合に発生します。
- 画像サイズ／ピクセルフォーマット情報読み出しリクエスト
  割り込みステータス JINTS0 の INS3 ビットが 1 の場合、JPEG 符号データが入力され、ピクセルフォーマット、画像サイズ情報の読み出しが可能となっています。JPEG 伸長処理は一時停止状態なので、各レジスタアクセス後、処理停止解除コマンドを設定し、JPEG 伸長処理を再開させてください。本割り込みは、割り込み設定 JINTE0 の INT3 ビットに 1 が設定されている場合に発生します。

45.4.2　データ転送処理割り込み要求（JDTI）

割り込みステータス JINTS1 のフラグは、画像／符号データ転送関連の割り込み要因です。本割り込み要因でアサートされた割り込み要求は、割り込みステータス書き込みクリアによりネゲートされます。

(1)　圧縮

- 入力画像設定ライン分読み出し終了で発生
  割り込みステータス JINTS1 の DINLF ビットが 1 の場合、JIFESLC で設定したライン数分の画像データ転送を終了していることを示します。外部バッファに次の画像データを用意し、外部バッファからの転送処理再開を行ってください。割り込み設定 JINTE1 の DINLEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。
- 出力符号設定データ分書き込み終了で発生
  割り込みステータス JINTS1 の JOUTF ビットが 1 の場合、JIFEDDC で設定した符号データ数の転送を終了していることを示します。外部バッファに次の符号データ空き領域を用意し、転送処理再開を行ってください。割り込み設定 JINTE1 の JOUTEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。
- 全処理終了で発生
  割り込みステータス JINTS1 の CBTF ビットが 1 の場合、圧縮処理が終了し、全符号データの転送が終了しています。割り込み設定 JINTE1 の CBTEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。

(2)　伸長

- 出力画像設定ライン分書き込み終了で発生
  割り込みステータス JINTS1 の DOUTLF ビットが 1 の場合、JIFDDLC で設定したライン数分の画像データ転送を終了していることを示します。外部バッファに次の画像データ空き領域を用意し、転送処理再開を行ってください。割り込み設定 JINTE1 の DOUTLEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。
- 入力符号設定データ分読み出し終了で発生
  割り込みステータス JINTS1 の JINF ビットが 1 の場合、JIFDSDC で設定した符号データ数の転送を終了していることを示します。外部バッファに次の符号データを用意し、外部バッファからの転送処理再開を行ってください。割り込み設定 JINTE1 の JINEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。
- 全処理終了で発生
  割り込みステータス JINTS1 の DBTF ビットが 1 の場合、伸長処理が終了し、全画像データの転送が終了していることを示します。割り込み設定 JINTE1 の DBTEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。

45.5 バスリセット処理

バスリセットコマンドを発行（JCCMD の BRST ビットに 1 を設定）することにより、バスリセットが実行されます。動作中はバスリセットコマンドを発行しないでください。

バスリセットを入れることにより、下記のレジスタが初期化されます。

- JPEG コードデータカウント上位レジスタ（JCDTCU）
- JPEG コードデータカウント中位レジスタ（JCDTCM）
- JPEG コードデータカウント下位レジスタ（JCDTCD）
- JPEG 割り込みステータスレジスタ 0（JINTS0）
- JPEG コードデコードエラーレジスタ（JCDERR）
- JPEG コード再起動レジスタ（JCRST）

46. キャプチャエンジンユニット

キャプチャエンジンユニット（CEU）は、外部から入力される画像データを取り込み、メモリに転送するキャプチャモジュールです。CEU は、バスブリッジモジュールを経由してシステムバスに接続します。

46.1 CEU 特長

CEU は、以下の機能を持ちます。

(1) 画像データ取り込み

- 外部モジュールからの画像をキャプチャし、YCbCr データを Y データと CbCr データに分けてメモリに書き込みます。
- カメラモジュール等の外部接続モジュールから JPEG データ、RGB565 等の YCbCr データ以外の画像データを取り込み、順次メモリに書き込みます。
- インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。
  両フィールド単位のキャプチャでは、フレームイメージでメモリに格納できます。

(2) フィルタ処理

- 内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理（水平方向のみ）を行います。なお、縮小後の画像サイズは VGA 以下に対応します。また、フィルタ処理は YCbCr 入力のみに対応します。

(3) フォーマット変換

- YCbCr422 フォーマットで入力された画像データを YCbCr420 フォーマットに変換して、メモリに書き込みます。なお、変換アルゴリズムは、偶数ラインの色差成分（CbCr）を間引くのみの単純間引きです。

46.2 CEU の機能概要

CEU の機能概要を表 46.1 に、主機能とその詳細を表 46.2 に示します。

表46.1　CEUの機能概要

分類	項目	実現機能	説明	特記事項
接続可能カメラ	サイズ例	5M画素	2,560 pixel×1,920 line	水平方向：4画素単位 垂直方向：4ライン単位 入力可能な映像サイズ 水平 2,560pixel～128pixel 垂直 1,920line～96line 注. 接続するデバイスとのAC特性、接続するデバイスのフレームレート、および保存するRAMへの転送速度に依存します。
		3M画素	2,048 pixel×1,536 line	
		2M画素	1,632 pixel×1,224 line	
		UXGA	1,600 pixel×1,200 line	
		SXGA(1)	1,280 pixel×1,024 line	
		SXGA(2)	1,280 pixel×960 line	
		WXGA	1,280 pixel×768 line	
		XGA	1,024 pixel×768 line	
		SVGA	800 pixel×600 line	
		WVGA	800 pixel×480 line	
		VGA	640 pixel×480 line	
		CIF	352 pixel×288 line	
		WQVGA	480 pixel×240 line	
		QVGA	320 pixel×240 line、 240 pixel×320 line	
		QCIF	176 pixel×144 line	
		QQVGA	160 pixel×120 line	
		Sub-QCIF	128 pixel×96 line	
	入力フォーマット	YCbCr422 8ビット	Cb_0、Y_0、Cr_0、Y_1…	クロック比1:1に対応
			Cr_0、Y_0、Cb_0、Y_1…	
			Y_0、Cb_0、Y_1、Cr_0…	
			Y_0、Cr_0、Y_1、Cb_0…	
		YCbCr422 16ビット	{Y_0、Cb_0}、{Y_1、Cr_0}…	
			{Y_0、Cr_0}、{Y_1、Cb_0}…	
		バイナリデータ	同期信号のエッジから指定された容量を取り込み	順次書き込み
			水平同期信号をイネーブルとして取り込み	
	水平・垂直同期信号極性	任意	アクティブハイ／アクティブロー	
	キャプチャ開始位置	任意	カメラ入力クロック単位で指定可	水平方向：1サイクル単位 垂直方向：1HD（水平同期信号）単位
	キャプチャ画素数	任意	水平4画素単位、垂直4ライン単位で指定可	
	インターレース	両フィールドキャプチャ	フィールドイメージで格納	キャプチャ：2VD（垂直同期信号）単位
			フレームイメージで格納	
		片フィールドキャプチャ	トップフィールド／ボトムフィールド指定可	キャプチャ：1VD単位
メモリ書き込み	出力フォーマット	YCbCr422 YCbCr420	YCbCr420は単純間引き	
フィルタ機能	等倍、縮小	キャプチャ画面の縮小	1/16～1の任意倍率（縮小後の画面はVGA以下）	
	ローパスフィルタ		高周波成分の除去	水平方向のみ適応可

表 46.2　CEU の主機能とその詳細

主機能	詳細
画像データ取り込み	外部モジュールからの画像をキャプチャし、YCbCr データを Y データと CbCr データに分けてメモリに書き込みます。 カメラモジュール等の外部接続モジュールから JPEG データ等の YCbCr データ以外の画像データを取り込み、順次メモリに書き込みます。 インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。両フィールド単位のキャプチャでは、フレームイメージでメモリに格納できます。
フィルタ処理	内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理（水平方向のみ）を行います。 なお、縮小後の画像サイズは VGA 以下に対応します。また、フィルタ処理は YCbCr 入力のみに適応します。
フォーマット変換	YCbCr422 フォーマットで入力された画像データを YCbCr420 フォーマットに変換して、メモリに書き込みます。 なお、変換アルゴリズムは、偶数ラインの色差成分（CbCr）を間引くのみの単純間引きです。

CEU のブロック図を図 46.1 に示します。

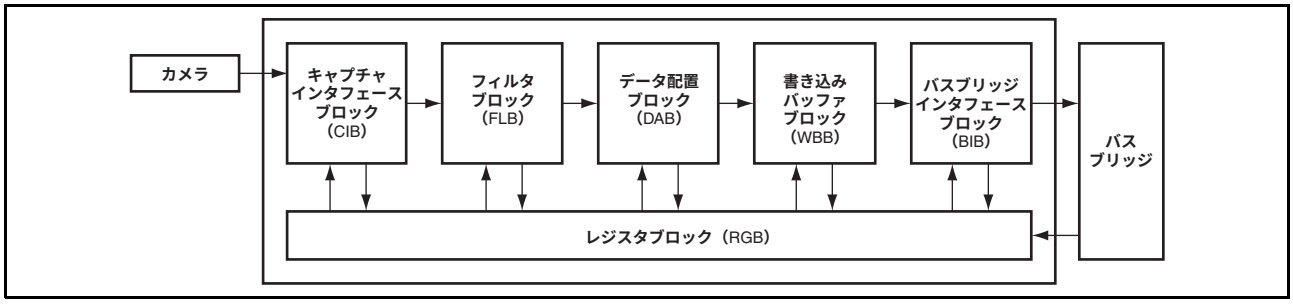


図 46.1　CEU のブロック図

46.3　CEU の端子構成

CEU の端子構成を表 46.3 に示します。

表 46.3　CEU の端子構成

端子名	機能	入出力	説明
VIO_D15～VIO_D0（注 1）	CEU 用データバス	入力	CEU へのカメラ画像データ入力です。
VIO_CLK	CEU 用クロック	入力	CEU へのカメラクロック入力です。
VIO_VD	CEU 用垂直同期	入力	CEU へのカメラ垂直同期信号入力です。
VIO_HD	CEU 用水平同期	入力	CEU へのカメラ水平同期信号入力です。
VIO_FLD	フィールド信号	入力	CEU へのフィールド識別信号入力です。

注 1.　VIO_D15～VIO_D0 の本文中での記述は、CEU バス幅による区別が不要な場合 VIO_D と表します。

46.4　CEU レジスタの説明

CEU レジスタ構成を**表 46.4** に示します。

CEU レジスタは一部を除いて 2 面構成（A 面、B 面）となっています。CEU は、この 2 面のレジスタを切り替えて使用します。また、2 面あるレジスタの場合、ミラーアドレスとして、常に使用していない面のレジスタにアクセスできるアドレスも用意してあります。レジスタ面切り替えタイミングを**図 46.2** に示します。CEU は、VD 割り込みがアサートされると同時にレジスタ面を切り替えます。

レジスタ説明において、「動作中」とは、キャプチャ開始レジスタ（CAPSR）の CE ビットによる起動から、キャプチャイベントクリアレジスタ（CETCR）のキャプチャ終了割り込み CPE ビットが発生するまでの期間を意味します。また、各レジスタにおいて、読み出し専用指定のビットには、絶対に 0 以外の値を書き込まないでください。0 以外を書き込んだ場合の動作は保証しません。

表46.4　CEUのレジスタ構成

レジスタ名称	略称	R/W	アドレス			アクセスサイズ
			アドレス（A面）	アドレス（B面）	ミラーアドレス	
CEUキャプチャ開始レジスタ	CAPSR	R/W	H'E821 0000	—	—	32
CEUキャプチャ制御レジスタ	CAPCR	R/W	H'E821 0004	—	—	32
CEUキャプチャインタフェース制御レジスタ（注1）	CAMCR	R/W	H'E821 0008	—	—	32
CEUキャプチャインタフェースサイクルレジスタ（注1）	CMCYR	R/W	H'E821 000C	—	—	32
CEUキャプチャインタフェースオフセットレジスタ	CAMOR	R/W	H'E821 0010	H'E821 1010	H'E821 2010	32
CEUキャプチャインタフェース幅レジスタ	CAPWR	R/W	H'E821 0014	H'E821 1014	H'E821 2014	32
CEUキャプチャインタフェース入力方式レジスタ	CAIFR	R/W	H'E821 0018	—	—	32
CEU レジスタ制御レジスタ	CRCNTR	R/W	H'E821 0028	—	—	32
CEU レジスタ強制制御レジスタ	CRCMPR	R/W	H'E821 002C	—	—	32
CEUキャプチャフィルタ制御レジスタ	CFLCR	R/W	H'E821 0030	H'E821 1030	H'E821 2030	32
CEUキャプチャフィルタサイズクリップレジスタ	CFSZR	R/W	H'E821 0034	H'E821 1034	H'E821 2034	32
CEUキャプチャデスティネーション幅レジスタ	CDWDR	R/W	H'E821 0038	H'E821 1038	H'E821 2038	32
CEUキャプチャデータアドレスＹレジスタ	CDAYR	R/W	H'E821 003C	H'E821 103C	H'E821 203C	32
CEUキャプチャデータアドレスＣレジスタ	CDACR	R/W	H'E821 0040	H'E821 1040	H'E821 2040	32
CEUキャプチャデータボトムフィールドアドレスＹレジスタ	CDBYR	R/W	H'E821 0044	H'E821 1044	H'E821 2044	32
CEUキャプチャデータボトムフィールドアドレスＣレジスタ	CDBCR	R/W	H'E821 0048	H'E821 1048	H'E821 2048	32
CEUキャプチャバンドルデスティネーションサイズレジスタ	CBDSR	R/W	H'E821 004C	H'E821 104C	H'E821 204C	32
CEUファイアウォール動作制御レジスタ	CFWCR	R/W	H'E821 005C	—	—	32
CEUキャプチャローパスフィルタ制御レジスタ	CLFCR	R/W	H'E821 0060	H'E821 1060	H'E821 2060	32
CEUキャプチャデータ出力制御レジスタ	CDOCR	R/W	H'E821 0064	H'E821 1064	H'E821 2064	32
CEUキャプチャイベント割り込み許可レジスタ	CEIER	R/W	H'E821 0070	—	—	32
CEUキャプチャイベントフラグクリアレジスタ	CETCR	R/W	H'E821 0074	—	—	32
CEUキャプチャステータスレジスタ	CSTSR	R	H'E821 007C	—	—	32
CEUキャプチャデータ容量レジスタ	CDSSR	R/W	H'E821 0084	—	—	32
CEUキャプチャデータアドレスＹレジスタ２	CDAYR2	R/W	H'E821 0090	H'E821 1090	H'E821 2090	32
CEUキャプチャデータアドレスＣレジスタ２	CDACR2	R/W	H'E821 0094	H'E821 1094	H'E821 2094	32

レジスタ名称	略称	R/W	アドレス			アクセスサイズ
			アドレス（A面）	アドレス（B面）	ミラーアドレス	
CEUキャプチャデータボトムフィールドアドレスYレジスタ2	CDBYR2	R/W	H'E821 0098	H'E821 1098	H'E821 2098	32
CEUキャプチャデータボトムフィールドアドレスCレジスタ2	CDBCR2	R/W	H'E821 009C	H'E821 109C	H'E821 209C	32

注1.　外部モジュールの特性により決まるレジスタ（CAMCR、CMCYR）の設定変更後、外部入力クロックで10サイクル以上はキャプチャ起動をかけないでください。

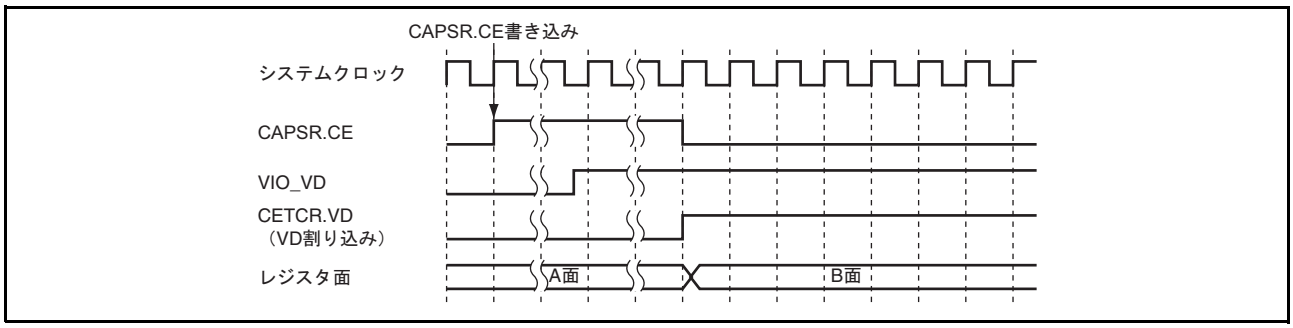


図 46.2　　レジスタ面切り替えタイミング（データイネーブル取り込みモードかつ VD 正極性の場合）

46.4.1　キャプチャ開始レジスタ（CAPSR）

CAPSR は、外部モジュールから CEU に入力されるデータのキャプチャを実行させるレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPKIL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	CPKIL	0	R/W	キャプチャをソフトウェアリセットする場合は、本ビットに1を書き込んでください。フレームの終了までキャプチャ動作を行わないで、即座に終了します。本ビットに1を書き込む場合には、CEビットには必ず0を書き込んでください。 キャプチャのソフトウェアリセット処理中は、本ビットは1を表示します。本ビットが1のときは、リセット処理を行っていますので、キャプチャ開始をかけないようにしてください。再度、キャプチャを開始する場合は、CSTSRのCPTONビットを参照し、CEUが停止（アイドル）状態になっていることを確認してください。その後､本ビットが0になるのを待ってからキャプチャを開始してください。キャプチャ再起動のタイミングを図46.2に示します。 本ビットでソフトウェアリセットを行った場合、ソフトウェアリセット直後にキャプチャ終了割り込み（CETCRのCPEビット）を出力する場合がありますが、この割り込みは無視してください。また、キャプチャ終了割り込みが出力されなくても、次フレームのキャプチャ前には、割り込み要因（CPEビット）は必ずクリアしてください。 0：通常状態 1：キャプチャのソフトウェアリセット
15～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	CE	0	R/W	(1) シングルキャプチャの場合 本ビットは、次フレームのキャプチャ予約ビットです。1を書き込むと、次のVD入力から1フレームのキャプチャを行い、1フレームキャプチャ終了割り込み（CETCRのCPEビット）がアサートされ停止状態となります（図46.7）。再びキャプチャを行う場合は、本ビットに1を書き込んでください。また、VD極性、HD極性の変更後は、次のVD割り込みがアサートするまで本ビットに1を書き込まないでください。 本ビットはキャプチャ予約状態を表しているため、読み出し時には1をセットしてからVDが入力されるまで1が読み出され、VDが入力されると、本ビットは0に戻るため、0が読み出されます。 キャプチャ終了は、1フレームキャプチャ終了割り込み（CPEビット）により判定してください。データ取り込みモードでも同様です。 レジスタの設定は、キャプチャ開始フレームのVD割り込みまでに行ってください。 レジスタに書き込まれた設定は、次のVD入力で反映されます。動作中に書き込みを行った場合、レジスタ設定は、次のVD入力以降のキャプチャ動作に反映されます。 動作中の書き込みを禁止している設定レジスタに、動作中に書き込みを行った場合、割り込み要因（CETCRのIGRWビット）が発生します。割り込み要因の詳細はCETCRレジスタの説明を参照してください。 (2) 連続キャプチャ CAPCRのCTNCPビットに1をセットした状態で、本ビットに1をセットすると、次フレームから連続でキャプチャを行います（図46.8）。このとき、本ビットは0クリアされずに常に1を保持します。キャプチャを停止する場合は、本ビットを0クリアすれば、そのときのフレームをキャプチャして終了します。 連続キャプチャ動作は、画像取り込みモード時のみとなります。 なお、キャップチャデータを書き込むメモリの先頭アドレスは、フレームごとに設定してください。 0：キャプチャの停止 1：キャプチャの実行

VD（垂直同期信号）、HD（水平同期信号）の極性がともに正の場合、1 フレームは VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間、1 ラインは HD の立ち上がりエッジから次の立ち上がりエッジまでの期間と定義しています。1 フレームのタイミングを図 46.3 に示します（VD 極性、HD 極性ともに正の場合）。

図 46.3　フレームタイミング

VD、HD の極性がともに正の場合、1 フィールドは 1 フレームと同様に、以下のように定義します。

- VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間
- 1 ラインは、HD の立ち上がりエッジから次の立ち上がりエッジまでの期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間確定させてください。1 フィールドのタイミングを図 46.4 に示します（VD 極性、HD 極性ともに正の場合）。

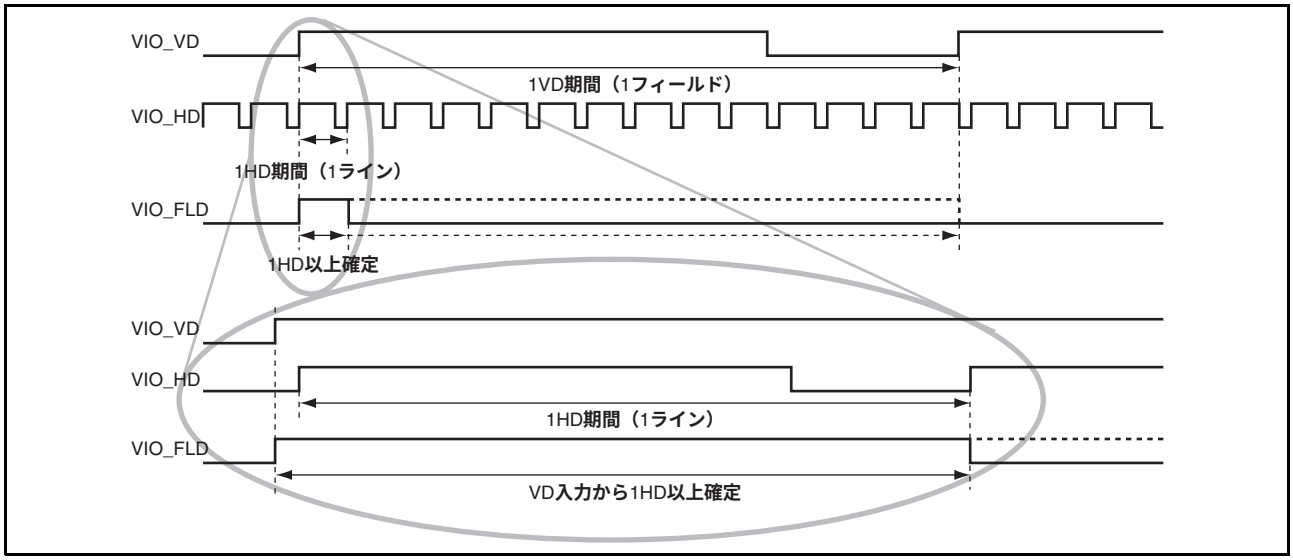


図 46.4　1 フィールドのタイミング

データイネーブル取り込みでは、1 フレームを VD の立ち上がりエッジから VD の立ち下りエッジまでの期間と定義しています。HD をイネーブル信号（正極性）として、VD が HIGH の期間に HD がアサートされたサイクルのデータを取り込みます。データイネーブル取り込みの場合の、1 フレームのタイミング図を図 46.5 に示します。

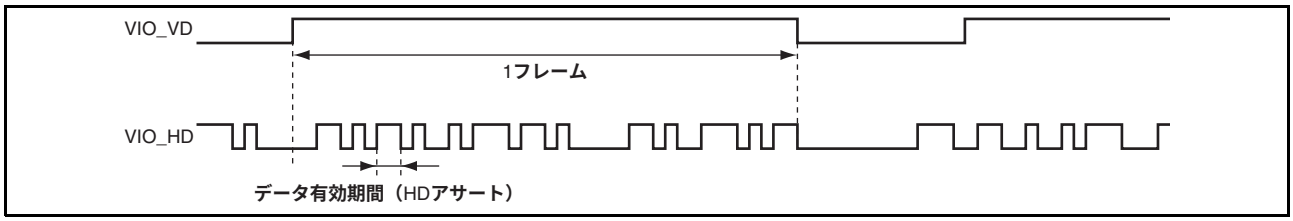


図 46.5　フレームのタイミング（データイネーブル取り込みの場合）

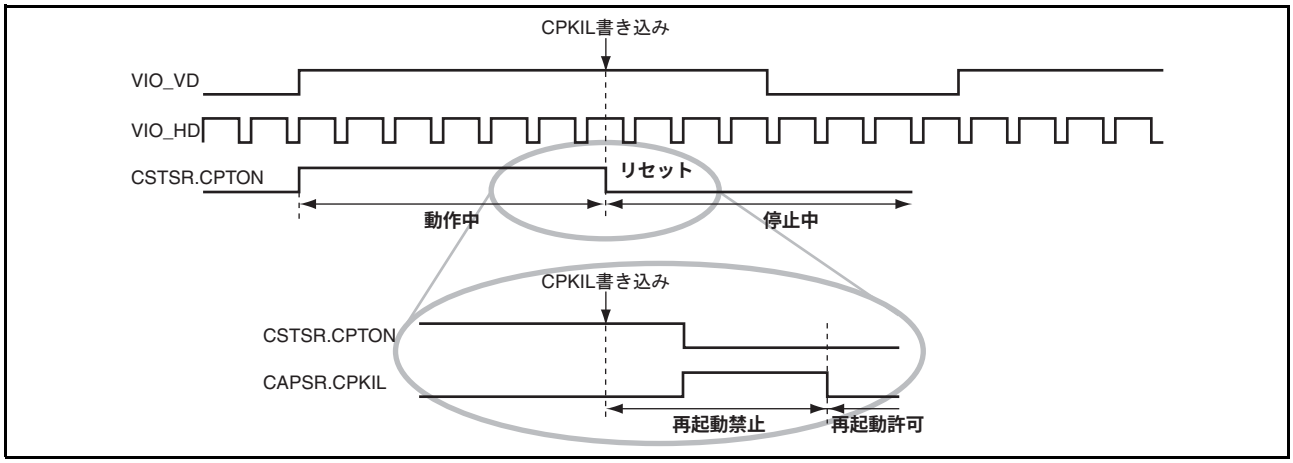


図 46.6　　キャプチャのソフトウェアリセットおよび再起動のタイミング

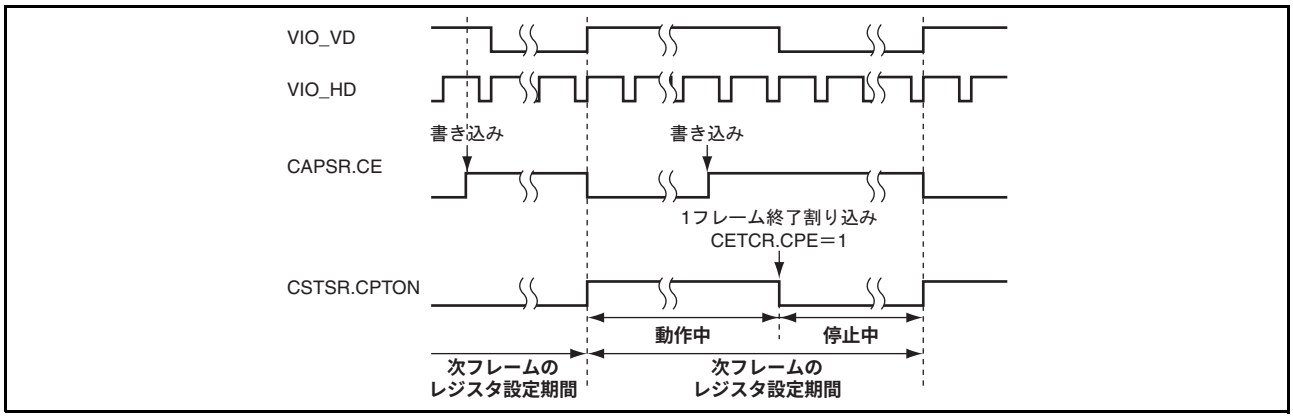


図 46.7　　1 フレームキャプチャの CE ビット書き込みタイミングとレジスタ設定

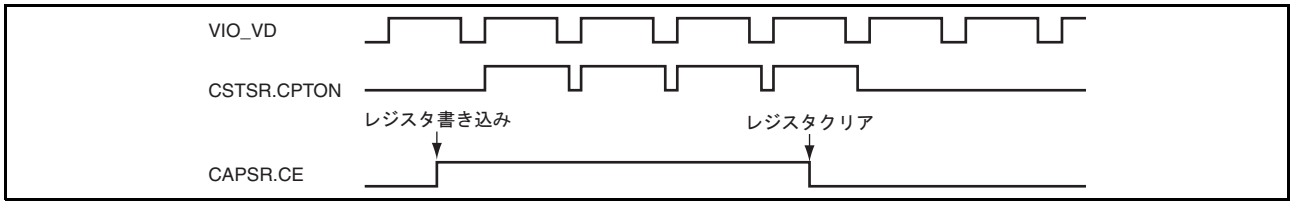


図 46.8　　連続フレームキャプチャ

46.4.2　キャプチャ制御レジスタ（CAPCR）

CAPCR は、連続フレームキャプチャの設定、フレームドロップの間隔の設定を行います。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FDRP[7:0]								—	—	MTCM[1:0]		—	—	—	CTNCP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～24	FDRP[7:0]	H'00	R/W	連続フレームキャプチャ時のフレームドロップ間隔設定 本ビットに0を設定するとフレームドロップは行わずに、すべてのフレームをキャプチャします。 FDRPビットに設定した値と、キャプチャするフレームのタイミングを図46.9に示します。 フレームドロップ間隔の単位は、キャプチャ設定によって異なります。キャプチャ設定とフレームドロップ間隔の単位との関係を表46.5に示します。FDRPビットが2の場合の各設定におけるフレームドロップのタイミングイメージを図46.10に示します。 両フィールドキャプチャ時は、2ndフィールドのトップ／ボトムにかかわらず、連続で2VDキャプチャします。また、両フィールドキャプチャ時は、2ndフィールドのトップ／ボトムにかかわらず、1stフィールドのトップ／ボトムの判定で、フレームドロップ数カウンタをカウントアップします。 CAPSRのCEビットに0を書き込んだ場合には、キャプチャフレームであれば、現在のフレームをキャプチャして終了しますが、ドロップフレームのときは内部的に強制終了動作となりますので、終了割り込み（CETCRのCPEビット）は出力されません。 CEビットが1の間は本ビットの設定を変更しないでください。 注．　連続キャプチャを実行中は本設定値を変更しないでください。本設定値を変更する場合は、連続キャプチャをいったん終了し（CEビット＝0）、連続キャプチャ実行レジスタ（CAPCR）のCTNCPビットに0を設定し、その後再び連続キャプチャを実行してください。連続キャプチャ中とは図46.9に示すCEビットが1の期間をいいます。
23、22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
21、20	MTCM[1:0]	00	R/W	バスブリッジへのデータの転送単位を指定 画像データ書き込みは、アドレスをより連続的にアクセスすることによりアクセス効率を高めることができます。書き込み効率を上げたいときは、本ビットの設定値を11としてください。外部から見て、本ビットの設定値による変化はありません。 00：32バイト単位でバスへ転送 01：64バイト単位でバスへ転送 10：128バイト単位でバスへ転送 11：256バイト単位でバスへ転送 (1) 画像データ取り込みの場合 00：Y データの転送およびC データの転送を32バイト ごとに行う 01：Y データの転送およびC データの転送を64バイト ごとに行う 10：Y データの転送およびC データの転送を128バイト ごとに行う 11：Y データの転送およびC データの転送を256バイト ごとに行う (2) データ取り込みの場合 00：データの転送を32バイト ごとに行う 01：データの転送を64バイト ごとに行う 10：データの転送を128バイト ごとに行う 11：データの転送を256バイトごとに行う
19～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
16	CTNCP	0	R/W	本ビットを1にセットしキャプチャを行うと、CAPSRのCEビットが0クリアされるか、CAPSRのCPKILビットによるソフトウェアリセットまで、連続でキャプチャを行います（図46.8参照）。連続キャプチャの設定は、キャプチャを開始する前に設定してください。 本ビットを書き換える場合は、一度CEビットに0を書き込み、キャプチャ動作を停止させた後、実行してください。キャプチャ中に本ビットが書き換えられた場合、動作は保証されません。 データ取り込みモード時は、本ビットを0に設定してください。 0：CEビットが1のとき、1フレームのみキャプチャを実行 1：CEビットが0になるまで、連続的にキャプチャを実行
15～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

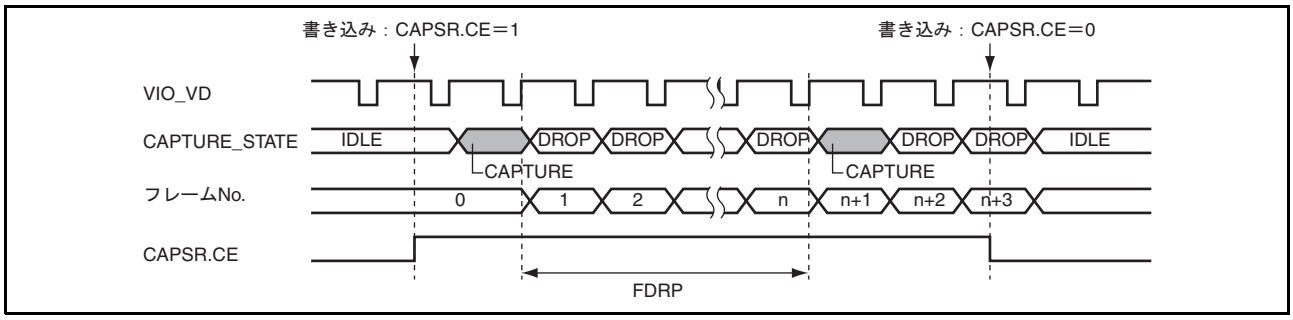


図 46.9　FDRP ビットの設定値とフレームドロップタイミング

表46.5　キャプチャ設定とフレームドロップ間隔単位の関係

入力方式	キャプチャ画像	1stキャプチャ画像	フレームドロップ間隔単位	キャプチャ設定
プログレッシブ	フレーム	起動直後のフレーム	フレーム	A
インターレース	両フィールド （2VDキャプチャ）	起動直後のフィールド	2フィールド （1stキャプチャフィールドカウント）	B
				C
		トップフィールド	2フィールド （トップフィールドカウント）	D
		ボトムフィールド	2フィールド （ボトムフィールドカウント）	E
	片フィールド （1VDキャプチャ）	起動直後のフィールド	1stキャプチャフィールド	F
				G
		トップフィールド	トップフィールド	H
		ボトムフィールド	ボトムフィールド	I

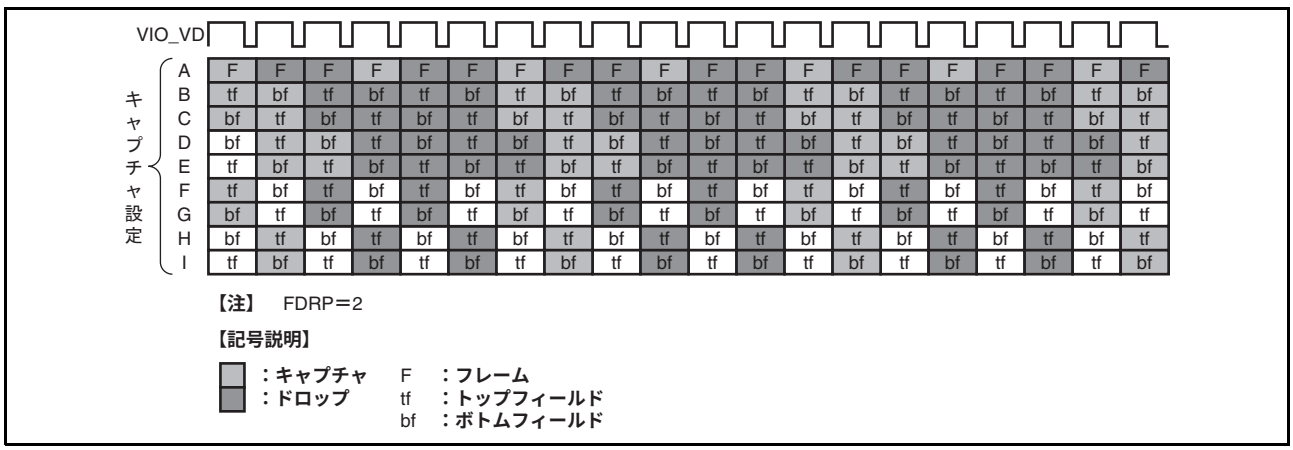


図 46.10　各設定におけるフレームドロップのタイミングイメージ（FDRP ＝ 2）

46.4.3　キャプチャインタフェース制御レジスタ（CAMCR）

CAMCR は、キャプチャインタフェースを設定するレジスタです。
本レジスタで設定できる項目は、以下のとおりです。

- カメラクロック立ち上がり取り込みまたは立ち下がり取り込み動作を選択
- 画像取り込みまたはデータ取り込み動作を選択
- 垂直、水平同期信号の極性の選択
- 画像データの、各成分（Y、Cb、Cr）の入力順序の選択（画像取り込みモード時のみ）
- デジタル画像入力端子の選択（8 ビット／ 16 ビット）
- フィールド識別信号の極性の選択

本レジスタは、接続するモジュールに合わせて設定してください。データ取り込みモードの際は、DTARY ビットを B'0 に設定してください。本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

注．　本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待ってから起動をかけてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VDSEL	HDSEL	FLDSEL	DSEL	—	—	—	—	—	—	—	FLDPOL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	DTIF	—	—	DTARY[1:0]		—	—	JPG[1:0]		—	—	VDPOL	HDPOL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27	VDSEL	0	R/W	外部モジュールから垂直同期信号（VD）の取り込みエッジ設定 0：VDをカメラクロックの立ち上がりエッジで取り込み 1：VDをカメラクロックの立ち下がりエッジで取り込み
26	HDSEL	0	R/W	外部モジュールから水平同期信号（HD）の取り込みエッジ設定 0：HDをカメラクロックの立ち上がりエッジで取り込み 1：HDをカメラクロックの立ち下がりエッジで取り込み
25	FLDSEL	0	R/W	外部モジュールからフィールド識別信号（FLD）の取り込みエッジ設定 0：FLDをカメラクロックの立ち上がりエッジで取り込み 1：FLDをカメラクロックの立ち下がりエッジで取り込み
24	DSEL	0	R/W	外部モジュールから画像データ（D15～D0）の取り込みエッジ設定 0：D15～D0をカメラクロックの立ち上がりエッジで取り込み 1：D15～D0をカメラクロックの立ち下がりエッジで取り込み
23～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	FLDPOL	0	R/W	外部モジュールからのフィールド識別信号（FLD）の極性設定 0：FLD信号がハイのときトップフィールド、ローのときボトムフィールドとして検出 1：FLD信号がローのときトップフィールド、ハイのときボトムフィールドとして検出
15～13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
12	DTIF	0	R/W	キャプチャ対象となるデジタル画像入力端子を設定 0：8ビットデジタル画像入力端子に入力されたデータをキャプチャ 1：16ビットデジタル画像入力端子に入力されたデータをキャプチャ

ビット	ビット名	初期値	R/W	説明
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
9、8	DTARY [1:0]	00	R/W	輝度成分と色差成分の入力順序設定 外部モジュールから入力される、輝度成分（Y）と色差成分（Cb、Cr）の入力順序は、モジュールにより異なります。CEUは、図46.11に示す入力順序に対応しています。対応する値を、本ビットにセットしてください。データ取り込みモードでは00を設定してください。 ・ 8ビットインタフェース時 00：画像入力データをCb_0、Y_0、Cr_0、Y_1の順序で取り込み 01：画像入力データをCr_0、Y_0、Cb_0、Y_1の順序で取り込み 10：画像入力データをY_0、Cb_0、Y_1、Cr_0の順序で取り込み 11：画像入力データをY_0、Cr_0、Y_1、Cb_0の順序で取り込み ・ 16ビットインタフェース時 00：画像入力データを{Cb_0、Y_0}、{Cr_0、Y_1}の順序で取り込み 01：画像入力データを{Cr_0、Y_0}、{Cb_0、Y_1}の順序で取り込み 10：画像入力データを{Y_0、Cb_0}、{Y_1、Cr_0}の順序で取り込み 11：画像入力データを{Y_0、Cr_0}、{Y_1、Cb_0}順序で取り込み
7、6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5、4	JPG[1:0]	00	R/W	取り込みデータの選択 00：画像取り込みモード （入力データをYとCbCrに分けてメモリに出力） 01：データ同期取り込みモード （同期信号に同期して指定された容量の入力データを入力順にメモリ指定アドレスに出力） 10：データイネーブル取り込みモード （HDをイネーブルとして入力データを取り込み、入力順にメモリ指定アドレスに出力）
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	VDPOL	0	R/W	外部モジュールからの垂直同期信号検出の極性設定 正極性の場合のVD、HDとVD割り込みの関係を図46.14、図46.15に示します。 なお、設定変更時にVD割り込みが立つ場合がありますので、本ビットの設定を変更した場合には、必ずイベントレジスタ（CETCR）のVDビットをクリアしてください。 データイネーブル取り込みモードでは本ビットを使用せず常に正極性として検出します。 0：外部モジュールからの垂直同期信号（VD）を正極性として検出 1：外部モジュールからの垂直同期信号（VD）を負極性として検出
0	HDPOL	0	R/W	外部モジュールからの水平同期信号検出の極性設定 正極性の場合のHDとHD割り込みの関係を図46.16に示します。 なお、設定変更時にHD割り込みが立つ場合がありますので、本ビットの設定を変更した場合には、必ずイベントレジスタ（CETCR）のHDビットをクリアしてください。 データイネーブル取り込みモードでは0を設定してください。 0：外部モジュールからの水平同期信号（HD）を正極性として検出 1：外部モジュールからの水平同期信号（HD）を負極性として検出

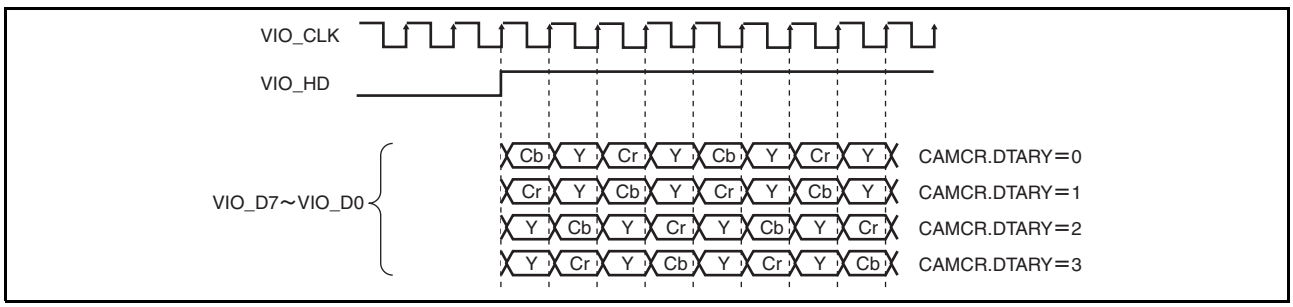


図 46.11　画像データの入力順序

CAMCR の JPG ビットは、デジタル画像データを取り込むのか、JPEG 等のデータを取り込むのかを選択します。また、JPEG 等のデータを取り込む場合は、同期信号に同期して、指定された容量のデータを連続して取り込むのか、水平同期信号をイネーブルとしてデータを取り込むのかを選択します。

データイネーブル取り込みモードでは、垂直同期信号（VD）の立ち上がりから立ち下がりまでを 1 フレームとしてデータを取り込みます。水平同期信号（HD）は、VD が HIGH の期間にのみ有効で、イネーブル信号として扱われます。HD がアサート（HIGH）されているサイクルに入力されたデータを取り込み、順次メモリに出力します。

本モジュールは、データイネーブル取り込みモードでは、VD の立ち上がりエッジで取り込みを開始し、VD の立ち下がりエッジで取り込みを終了します。したがって、VD が HIGH のまま LOW にならなかった場合、終了処理に移行しません。また、VD が HIGH のままで、HD もアサートしたままの場合、データを取り込み続けます。

データイネーブル取り込みモードのインタフェースタイミング図を図 46.12、図 46.13 に示します。

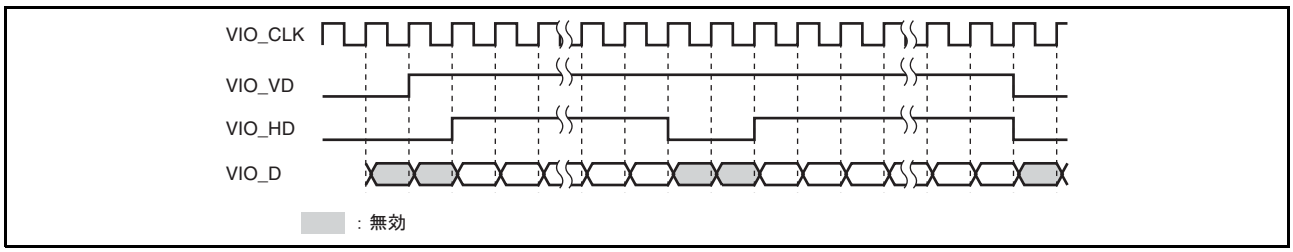


図 46.12　データイネーブル取り込みタイミング（VD が HIGH の期間内に HD がアサート（HIGH））

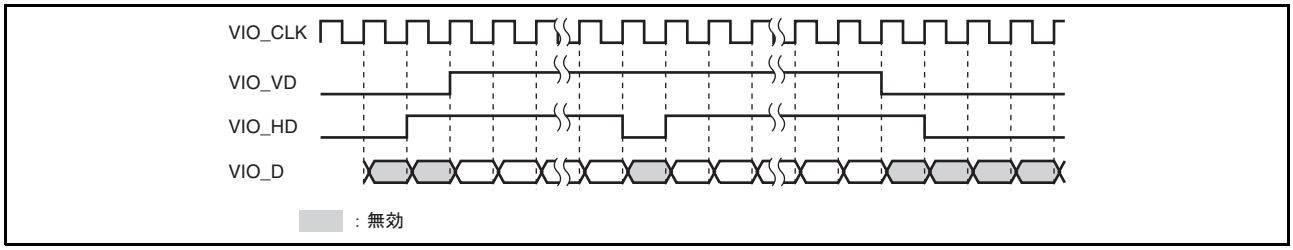


図 46.13　データイネーブル取り込みタイミング（VD が HIGH の期間外に HD がアサート（HIGH））

本モジュールは、データイネーブル取り込みモードでは、VD を検出した時点で VD 割り込みが発生します。画像取り込みモードおよびデータ同期取り込みモードでは、VD を検出後に最初の HD を検出した時点で VD 割り込みが発生します。なお、VD と HD が同時にアサートされ VD と HD を同時に検出した場合は、その時点で VD 割り込みが発生します。

VIO_VD,VIO_HD と VD 割り込み、HD 割り込みの関係を図 46.14 ～図 46.16 に示します。

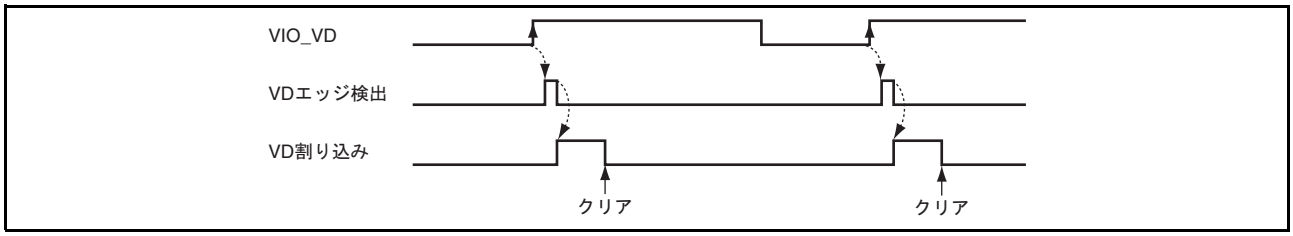


図 46.14　VD が正極性の場合の VIO_VD と VD 割り込みの関係（データイネーブル取り込みモードの場合）

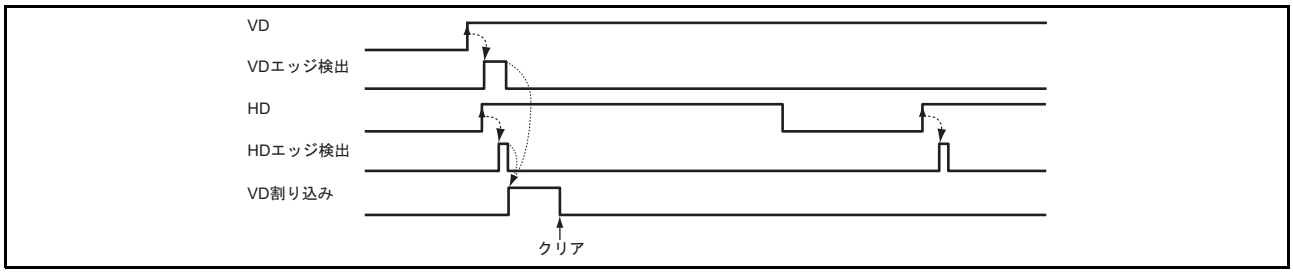


図 46.15　VD,HD が正極性の場合の VIO_VD,VIO_HD と VD 割り込みの関係 (画像取り込みモードおよびデータ同期取り込みモードの場合)

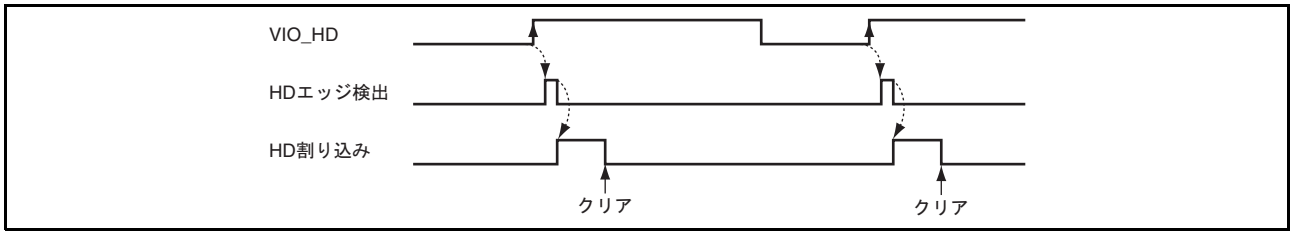


図 46.16　HD が正極性の場合の VIO_HD と HD 割り込みの関係

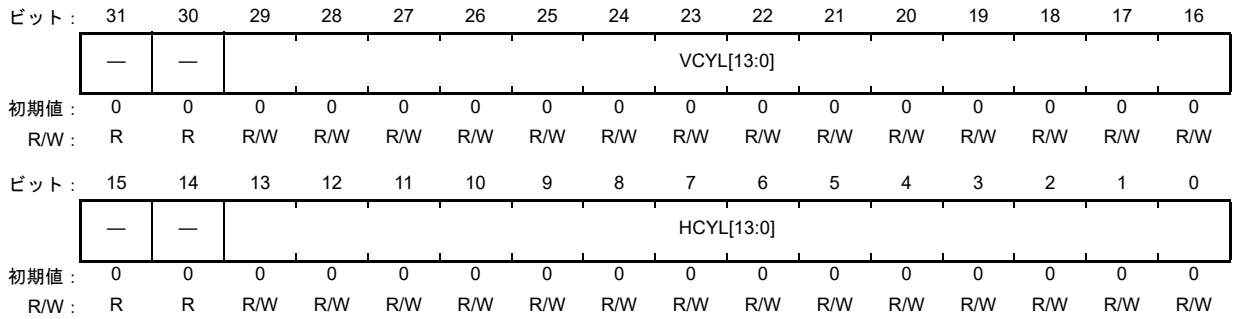
46.4.4　キャプチャインタフェースサイクルレジスタ（CMCYR）

CMCYR は、イリーガル VD、およびイリーガル HD の検出に使用します。HD に関しては、HD の立ち上がりから次の HD の立ち上がりまでのサイクル数（HD が負極性の場合は立ち下がり）、VD に関しては VD の立ち上がりから次の VD までの HD の数（VD が負極性の場合は立ち下がり）を設定します。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

データイネーブル取り込みモード時は、本レジスタにすべて 0 を設定してください。

注．　本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待ってから起動をかけてください。



ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
29～16	VCYL[13:0]	H'0000	R/W	外部モジュールの縦方向のHD数 外部モジュールのVDサイクル数をHD数で設定します。外部モジュールから入力されたVDのサイクル数がこの設定値と違う場合に、割り込み要因CETCR.IGVSが発生します。イリーガルVDを検出したい場合に設定してください。 本ビットを0に設定した場合、割り込み要因CETCR.IGVSは発生しません。また、CAMCRのVDPOLビット（VD極性）を変更した際、割り込み要因CETCR.IGVSが発生する場合がありますが、これは無視してください。
15、14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
13～0	HCYL[13:0]	H'0000	R/W	外部モジュールの横方向のサイクル数 外部モジュールのHDサイクル数を設定します。外部モジュールから入力されたHDのサイクル数がこの設定値と違う場合に、割り込み要因CETCR.IGHSが発生します。イリーガルHDを検出したい場合に設定してください。 本ビットを0に設定した場合、割り込み要因CETCR.IGHSは発生しません。また、CAMCRのHDPOLビット（HD極性）を変更した際、割り込み要因CETCR.IGHSが発生する場合がありますが、これは無視してください。

46.4.5　キャプチャインタフェースオフセットレジスタ（CAMOR）

CAMOR は、キャプチャを行う際のキャプチャ開始位置の設定を行います。

外部モジュールによって、VD（垂直同期信号）から有効画像期間開始位置までの HD（水平同期信号）数や、HD から有効画像期間開始位置までのクロックサイクル数が異なりますので、本レジスタの設定で対応してください。また、設定値を有効画像領域よりも多く設定することで、画像の切り出しキャプチャにも対応しています。データ同期取り込みの場合は、有効データ期間開始位置までのサイクル数（HD 数）の設定となります。

データイネーブル取り込みモード時は、本レジスタは使用しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VOFST[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	HOFST[12:0]												
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27～16	VOFST[11:0]	H'000	R/W	キャプチャ位置を垂直同期信号からのHD数指定（1HD単位） 垂直同期信号からのブランク期間は、外部モジュールにより異なります。 これに対応するため、本ビットに、垂直方向のキャプチャ開始位置を、垂直同期信号からのHD数で指定することで、画像有効領域からキャプチャすることが可能です（図46.17参照）。また、外部モジュールによっては、データイネーブルとして垂直同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、本ビットには0を設定してください（図46.18参照）。
15～13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
12～0	HOFST[12:0]	H'0000	R/W	キャプチャ位置を水平同期信号からのサイクル数指定（1サイクル単位） 水平同期信号からのブランク期間は、外部モジュールにより異なります。 これに対応するため、本ビットに、水平方向のキャプチャ開始位置を、水平同期信号からの外部入力クロックサイクル数で指定することで、画像有効領域からキャプチャすることが可能です。データ同期取り込みの際も同様です（図46.19参照）。 また、外部モジュールによっては、データイネーブルとして水平同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、本ビットには0をセットしてください（図46.20参照）。 注.　CEUは、最初のHD（水平同期信号）が必ず最初のVD（垂直同期信号）と同時または後に入力されることが動作条件となります。ここでの「入力」とは、極性（CAMCRのVDPOLおよびHDPOLビット）に依存します。

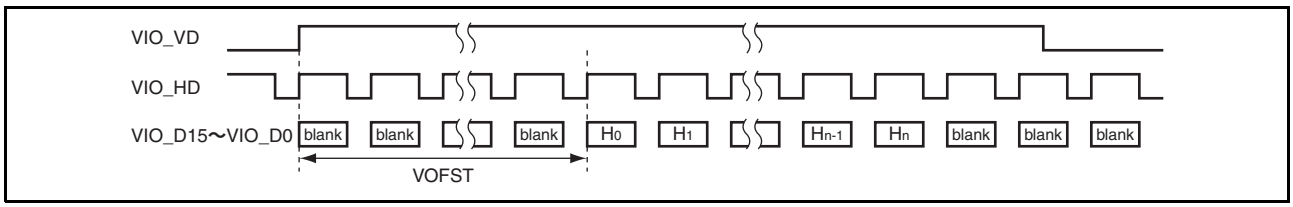


図 46.17 垂直オフセット

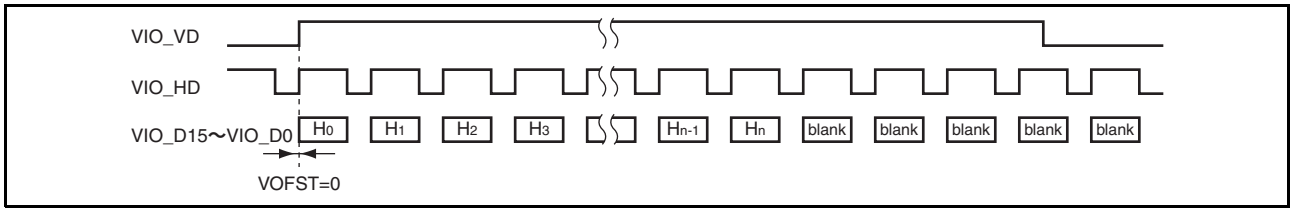


図 46.18 VD がデータイネーブルの場合のタイミング

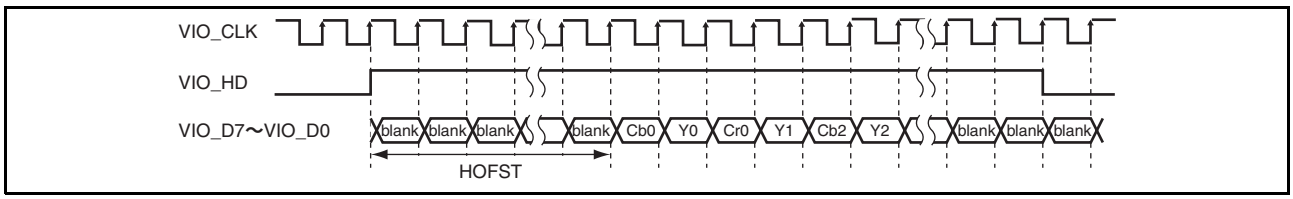


図 46.19 水平オフセット

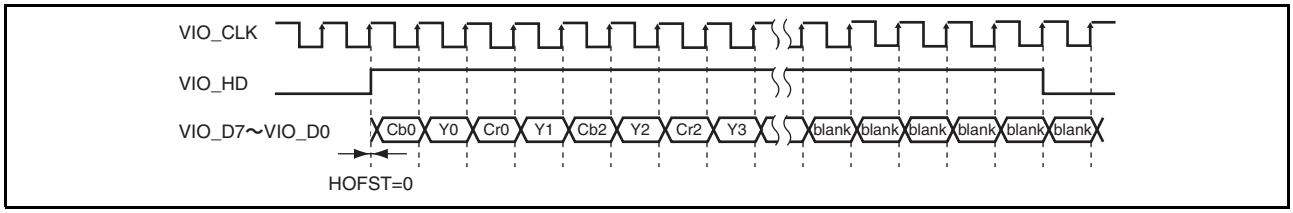


図 46.20 HD がデータイネーブルの場合のタイミング（8 ビットインタフェース）

46.4.6　キャプチャインタフェース幅レジスタ（CAPWR）

CAPWR は、画像取り込みを行う際の取り込み（キャプチャ）サイクル幅を設定します。

データ入力端子のビット幅および取り込むデータによって、設定単位が異なります。それぞれの設定単位は**表 46.6** を参照してください。データイネーブル取り込みモード時は、本レジスタは使用しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VWDTH[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	HWDTH[12:0]												
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27～18 17、16	VWDTH[11:2] VWDTH[1:0]	H'000	R/W R	垂直方向のキャプチャ期間指定（4HD単位） 本ビットには、VOFSTビットで指定した位置からのキャプチャライン数（HD数）を指定します。図46.21に垂直ブランク期間が0の場合のタイミングを示します。CEUは、垂直方向に本ビットで指定したライン数（HD数）のみをキャプチャします。 データ同期取り込みの際も同様に設定してください。 最大設定値は、1,920HD（5M画素）となります。
15～13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
12～10	HWDTH[12:1] HWDTH[0]	H'0000	R/W R	水平方向のキャプチャ期間指定 本ビットには、HOFSTビットで指定した位置からのキャプチャサイクル数を指定します。図46.22に水平ブランク期間が0の場合のタイミングを示します。 CEUは、水平方向に本ビットで指定したサイクル数のみをキャプチャします。 データ同期取り込みの際も同様に設定してください。 最大設定値は以下のとおりです。 ・ 8ビットインタフェースの場合 画像キャプチャ時（8サイクル単位）:5,120サイクル（2,560画素） データ同期取り込みモード時（4サイクル単位）:2,560サイクル（2,560バイト） ・ 16ビットインタフェースの場合 画像キャプチャ時（4サイクル単位）:2,560サイクル（2,560画素） データ同期取り込みモード時（2サイクル単位）:1,280サイクル（2,560バイト） 注.　データ同期取り込みの際はCFSZR、CDWDRの値はCAPWRに設定した値をもとに設定してください。詳細は、CFSZR、CDWDRを参照してください。

表46.6　取り込み（キャプチャ）サイクル幅設定単位

インタフェース	垂直方向		水平方向	
	画像キャプチャ	データ同期取り込み	画像キャプチャ	データ同期取り込み
8ビットインタフェース	4HD	4HD	8サイクル	4サイクル
16ビットインタフェース	4HD	4HD	4サイクル	2サイクル

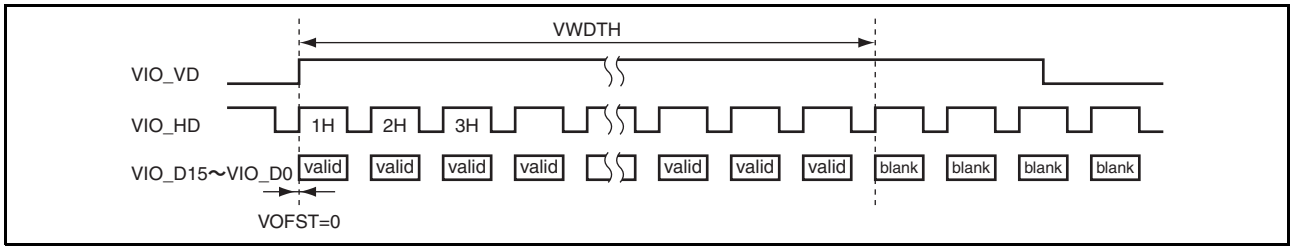


図 46.21　垂直キャプチャタイミング

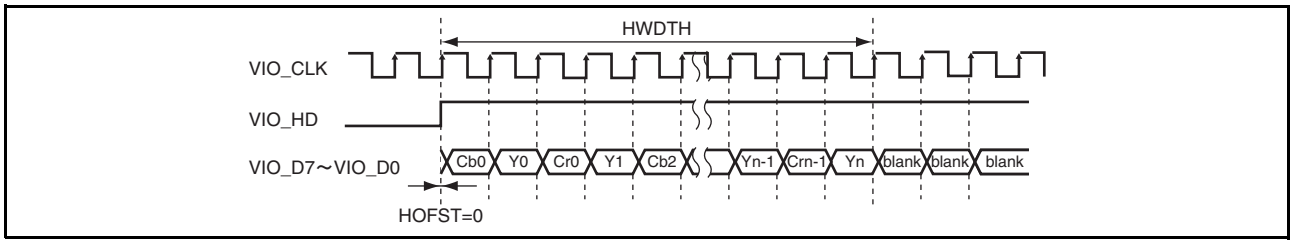


図 46.22　水平キャプチャタイミング（画像キャプチャ 8 ビットインタフェース）

46.4.7　キャプチャインタフェース入力方式レジスタ（CAIFR）

CAIFR は、キャプチャ画像の入力方式（プログレッシブ／インターレース）、キャプチャ画像（フレーム／両フィールド／片フィールド）、キャプチャを開始する画像（トップフィールド／ボトムフィールド）等を設定します。本レジスタは、データ取り込みの際は使用しません。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

本レジスタで設定する項目を**表 46.7** に示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	IFS	—	—	—	CIM	—	—	FCI[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
8	IFS	0	R/W	キャプチャ画像の入力方式設定 0：プログレッシブ 1：インターレース
7～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	CIM	0	R/W	キャプチャ画像設定 キャプチャ画像の入力方式がプログレッシブ（フレーム画像）の場合、およびキャプチャ画像の入力方式がインターレースでかつ、トップ／ボトム両フィールドを連続してキャプチャする場合は0を設定してください。キャプチャ画像の入力方式がインターレースでかつ、片フィールド画像のみをキャプチャする場合は1を設定してください。 0：フレーム画像（1VD）もしくは両フィールド画像（2VD）をキャプチャ 1：片フィールド画像（1VD）をキャプチャ
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1、0	FCI[1:0]	00	R/W	キャプチャ開始タイミング設定 キャプチャを開始するタイミングを、最初にキャプチャする画像を指定することで設定します。 入力方式がプログレッシブの場合は、00を設定してください。 00：トップ／ボトムフィールドにかかわらず、キャプチャ起動直後のVD入力からキャプチャを開始 01：キャプチャ起動後、トップフィールド画像の入力まで待って、トップフィールドからキャプチャを開始 10：キャプチャ起動後、ボトムフィールド画像の入力まで待って、ボトムフィールドからキャプチャを開始 11：設定禁止

表 46.7　CAIFR 設定項目

入力方式	IFS ビット	キャプチャ画像	CIM ビット	キャプチャを開始する画像	FCI ビット
プログレッシブ	0	フレーム	0	起動直後のフレーム	B'00
インターレース	1	両フィールド（2VD キャプチャ）	0	起動直後のフィールド	B'00
				トップフィールド	B'01
				ボトムフィールド	B'10
				設定禁止	B'11
		片フィールド（1VD キャプチャ）	1	起動直後のフィールド	B'00
				トップフィールド	B'01
				ボトムフィールド	B'10
				設定禁止	B'11

フレーム画像キャプチャおよび片フィールド画像キャプチャでは、1VD のキャプチャを終了した時点で、1 フレームキャプチャ終了割り込みが発生します。一方、両フィールド画像キャプチャでは、1VD のキャプチャが終了した時点で、1 フィールドキャプチャ終了割り込みが発生し、2VD のキャプチャを終了した時点で、1 フレームキャプチャ終了割り込みが発生します。このとき、1 フィールドキャプチャ終了割り込みと 1 フレームキャプチャ終了割り込みは、同時に発生します。両フィールド画像キャプチャの 1 フレームキャプチャ終了割り込みおよびフィールドキャプチャ終了割り込みのタイミングを図 46.23 に示します。

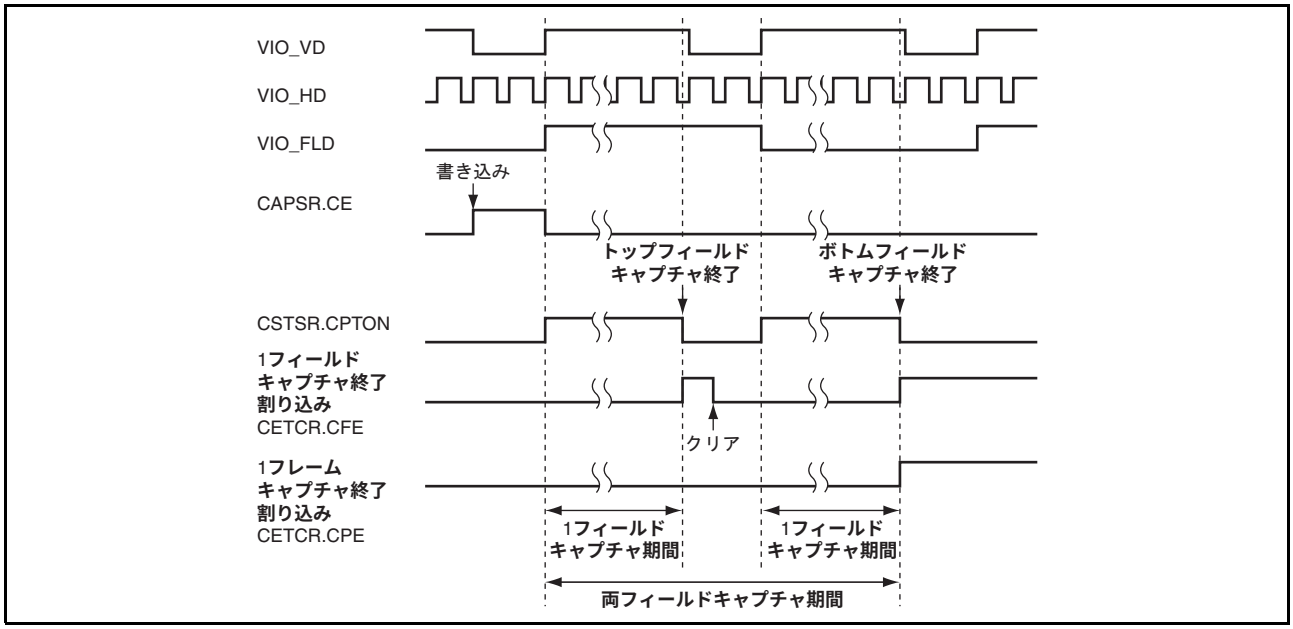


図 46.23　両フィールド画像キャプチャの 1 フレームキャプチャ終了割り込み
およびフィールドキャプチャ終了割り込みタイミング

フレームキャプチャ画像および片フィールドキャプチャ画像は、CDAYR、CDACR に設定されているアドレスを先頭に、メモリに格納されます（図 46.24）。両フィールドキャプチャ画像は、トップフィールドとボトムフィールドで格納されるメモリ領域が異なります。トップフィールドは、CDAYR、CDACR に設定されているアドレスを先頭に、ボトムフィールドは、CDBYR、CDBCR に設定されているアドレスを先頭に、メモリに格納されます（図 46.25）。

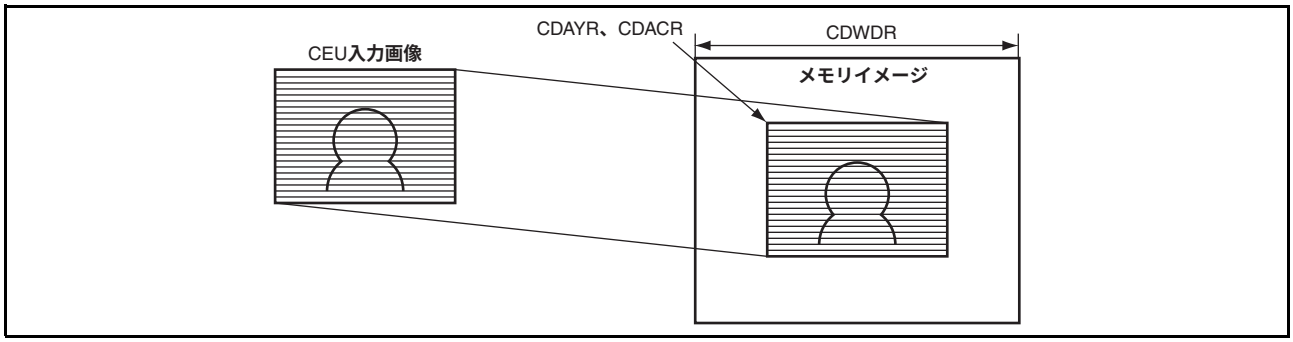


図 46.24　フレームキャプチャ画像および片フィールドキャプチャ画像のメモリ格納イメージ

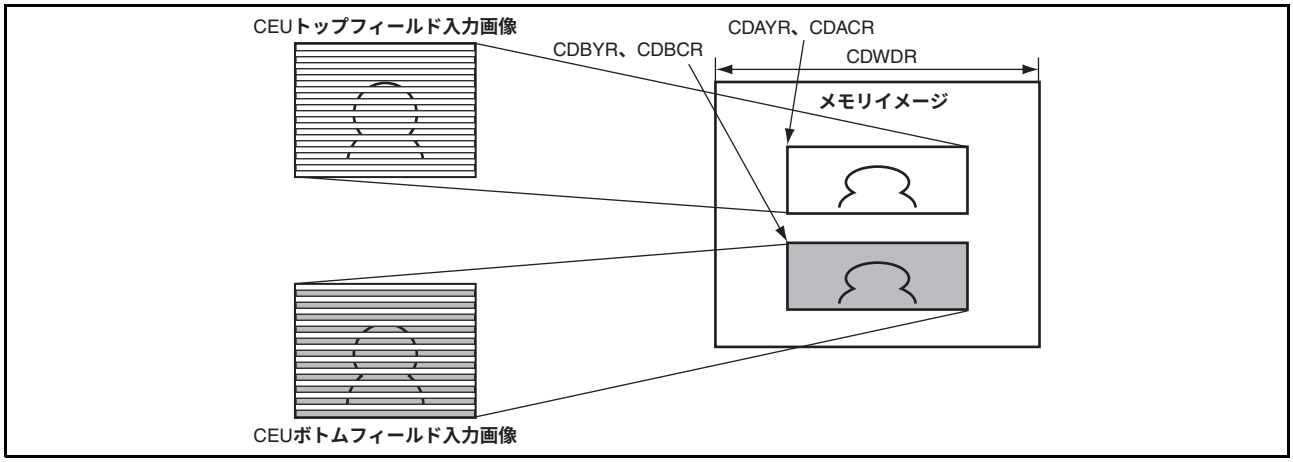


図 46.25　両フィールドキャプチャ画像のメモリ格納イメージ

インターレース入力方式の連続キャプチャで、FCI ビットを B'00 に設定した場合、両フィールド画像キャプチャでは、最初に取り込んだフィールドを基準にして、2VD を連続してキャプチャします（図 46.26）。片フィールド画像キャプチャでは、最初に取り込んだフィールドのみ 1VD を連続してキャプチャします（図 46.27）。

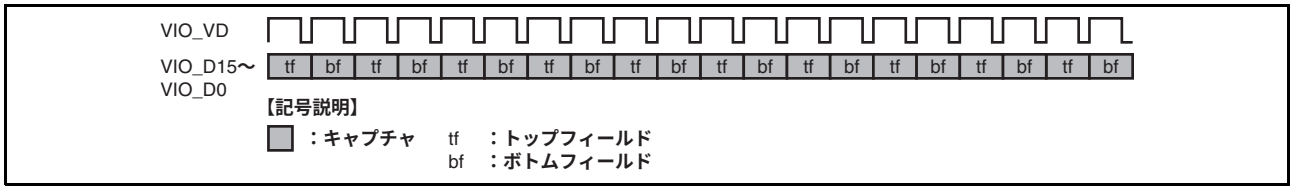


図 46.26　インターレース両フィールド連続キャプチャ
（起動直後の画像がトップフィールドの場合（FCI = B'00））

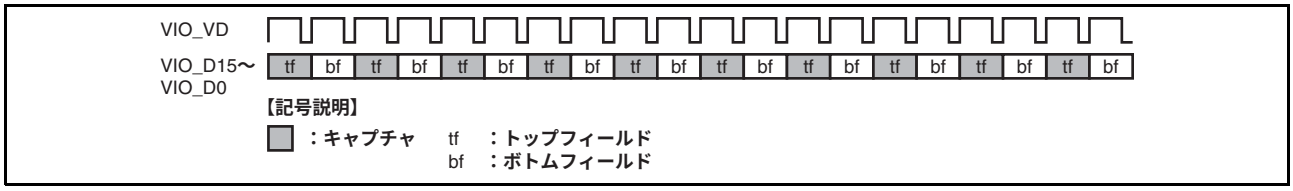


図 46.27　インターレース片フィールド連続キャプチャ
（起動直後の画像がトップフィールドの場合（FCI = B'00））

(1) インターレース入力のフレームイメージ格納

CEU では、インターレース入力画像をフレームイメージでメモリに格納できます。インターレース入力画像をフレームイメージで格納する場合、本レジスタの各ビットを以下のように設定してください。

入力方式　　：インターレース（IFS ビット＝ B'1）
キャプチャ画像　　：両フィールド（CIM ビット＝ B'0）
キャプチャを開始する画像　：禁止設定を除く任意（FCI ビット＝任意）

インターレース入力を両フィールドキャプチャし、フレームイメージでメモリに格納した場合のメモリイメージを図 46.28 に示します。CDAYR、CDACR にはトップフィールドキャプチャ画像のメモリ格納先先頭アドレスを、CDBYR、CDBCR にはボトムフィールドキャプチャ画像のメモリ格納先先頭アドレスを設定してください。インターレース画像をフレームイメージでメモリに格納する場合、CDWDR には図 46.28 のように、トップフィールドとボトムフィールドを横に並べるイメージで、メモリ領域の画像の横サイズを設定してください。また、CAPWR の VWDTH ビットには、フィールド画像のキャプチャライン数を設定してください。

図 46.28 のメモリ領域の画像の横サイズを CDWDR/2 で折り返したメモリイメージを、図 46.29 に示します。図 46.28 のイメージでレジスタを設定することによって、図 46.29 のようにインターレース画像がフレームイメージでメモリに格納されます。

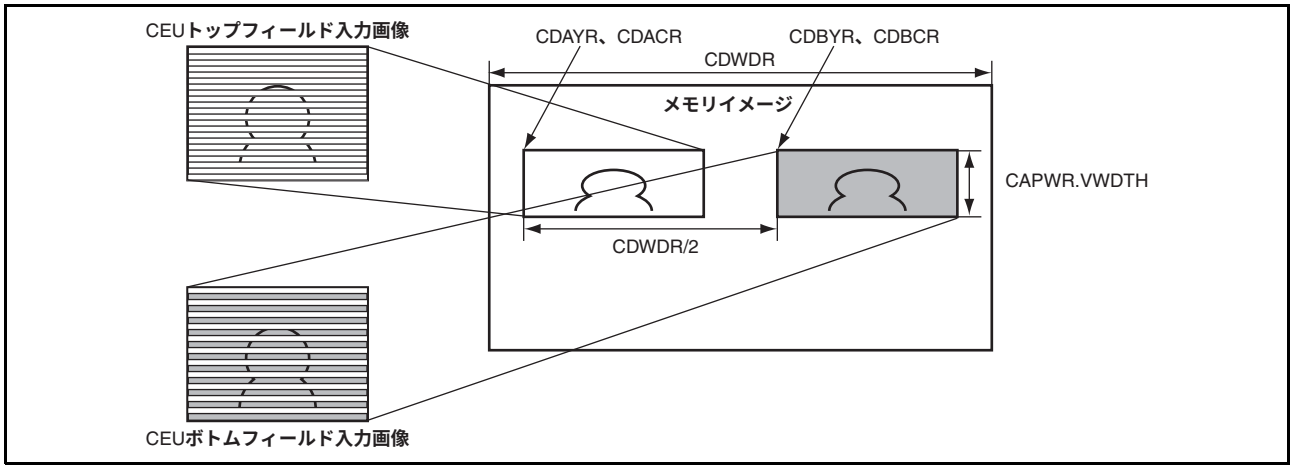


図 46.28　インターレース入力両フィールドキャプチャのメモリ格納イメージ

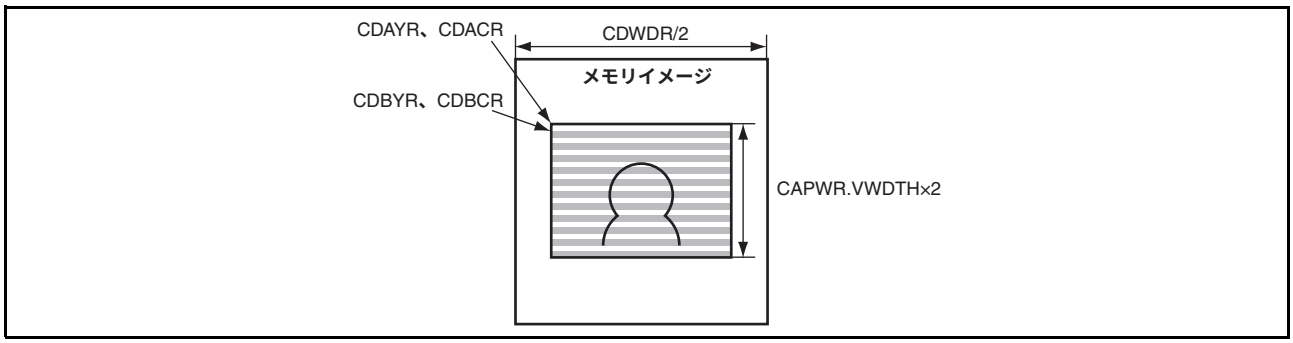


図 46.29　インターレース入力のフレームイメージメモリ格納イメージ

46.4.8　CEU レジスタ制御レジスタ（CRCNTR）

CRCNTR は、2 面構成となっているレジスタの面の切り替えを制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RVS	—	—	RS	RC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	RVS	0	R/W	両フィールドキャプチャ時のレジスタ面切り替えタイミング設定 本ビットは、両フィールドキャプチャでかつRCビットが1のときのみ有効です。 0：2VDごとにレジスタ面を切り替え 1：1VDごとにレジスタ面を切り替え
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	RS	0	R/W	VDに同期してCEUが使用するレジスタ面を指定 本ビットは、RCビットが0のときのみ有効です。 0：A面のレジスタを使用する 1：B面のレジスタを使用する
0	RC	0	R/W	VDに同期してCEUが使用するレジスタ面の切り替え指定 レジスタ面を切り替えない場合は、RSビットで指定されたレジスタ面を使用します。 0：VDに同期して指定されたレジスタ面を使用する 1：VDに同期してレジスタ面を切り替える

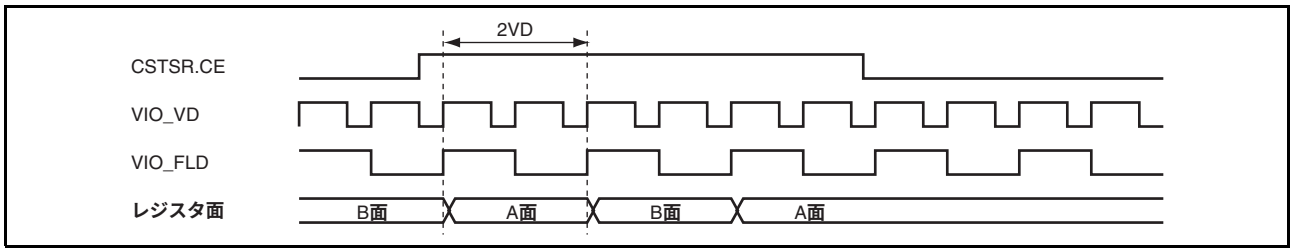


図 46.30　RVS ビットが B'0 のときのレジスタ面切り替えタイミング

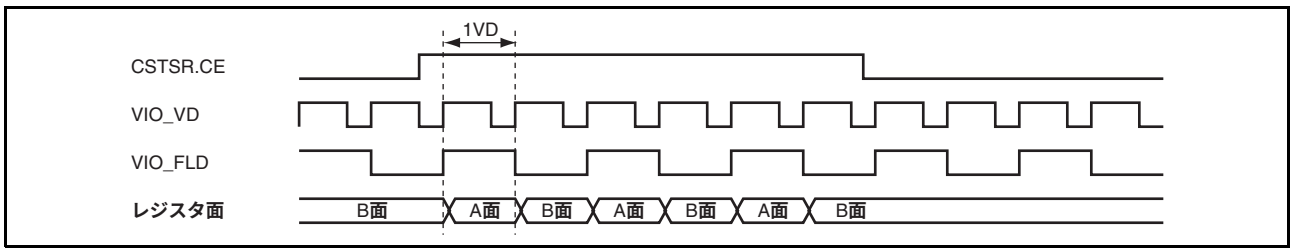


図 46.31　RVS ビットが B'1 のときのレジスタ面切り替えタイミング

46.4.9　CEU レジスタ強制制御レジスタ（CRCMPR）

CRCMPR は、2 面構成となっているレジスタ面の切り替えを強制的に制御します。本レジスタを設定することにより、直接レジスタ面の切り替えを制御できます。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RA
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	RA	0	R/W	現在指定しているレジスタ面を表しています。本レジスタ値は、キャプチャを開始するVDに同期して自動的に切り替わります。 VDに同期してレジスタ面を切り替える設定（CRCNTRのRCビットが1）で、A面のレジスタ設定からキャプチャを開始したい場合は、本ビットでB面を指定してください。 0：A面のレジスタを指定する 1：B面のレジスタを指定する

46.4.10　キャプチャフィルタ制御レジスタ（CFLCR）

CFLCR は、画像縮小フィルタの縮小率を設定します。

CEU には画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。縮小処理を行わない場合（等倍）は、本レジスタに 0 を設定してください。本レジスタに 0 以外を設定した場合、縮小処理を実行します。データ取り込みの際は、本レジスタはすべて 0 を指定してください。

インターレース入力画像をフレーム画像として扱うときは、本レジスタには 0 を設定し、フィルタをかけないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VMANT[3:0]				VFRAC[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HMANT[3:0]				HFRAC[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	VMANT[3:0]	H'0	R/W	垂直方向の縮小率の倍数部 VMANT の設定範囲は、H'0～H'F です。VMANT を H'0、VFRAC を H'000 に設定した場合には、縮小フィルタを使用しません。
27～19 18～16	VFRAC[11:3] VFRAC[2:0]	H'000	R/W R	垂直方向の縮小率の仮数部 VFRAC の設定範囲は、H'000～H'FF8 です。VMANT のみでは設定できない端数を含む縮小率を設定してください。
15～12	HMANT[3:0]	H'0	R/W	水平方向の縮小率の倍数部 HMANT の設定範囲は、H'0～H'F です。HMANT を H'0、HFRAC を H'000 に設定した場合には、縮小フィルタを使用しません。
11～3 2～0	HFRAC[11:3] HFRAC[2:0]	H'000	R/W R	水平方向の縮小率の仮数部 HFRAC の設定範囲は、H'000～H'FF8 です。HMANT のみでは設定できない端数を含む縮小率を設定してください。

CEU には、画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。

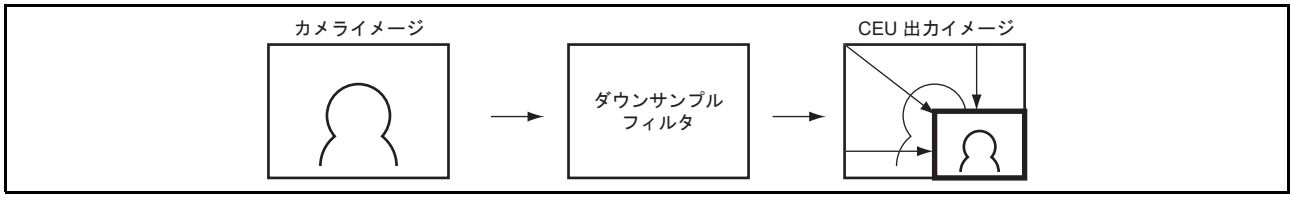


図 46.32　キャプチャ画像の縮小

以下に、フィルタの入力画素数と出力画素数から MANT（VMANT または HMANT）と FRAC（VFRAC または HFRAC）を求める計算式を示します。この説明から、CEU の入力画素に対して要求する出力画素を得られるように MANT および FRAC を設定してください。

まず、仮の MANT 値および FRAC 値を求めます。計算に必要となるパラメータを、

$$\alpha = MANT \times 4096 + FRAC \quad \text{... 数式1}$$

$$SCL\text{（倍率）} = \frac{4096}{\alpha} \quad \text{... 数式2}$$

と定義します。整数 x の小数点以下を切り捨てる演算子を $\lfloor x \rfloor$ として表現すると、数式 1 および数式 2 より

$$MANT = \left\lfloor \frac{1}{SCL} \right\rfloor 、\quad FRAC = \left\lfloor 512 \times \left(\frac{1}{SCL} - MANT \right) \right\rfloor \times 8$$

として MANT および FRAC を仮に設定できます。ここで、縮小時のフィルタ出力サイズ（$SIZE_D$）は入力画像サイズを Sin（8 ビットインタフェースの場合：CAPWR 設定値の 1/2、16 ビットインタフェースの場合：CAPWR 設定値）として、

$$SIZE_D = \left\lfloor 1 + \left(\left\lfloor \frac{1}{2} + \frac{S_{in} - 1}{MANT_{pre}} \right\rfloor - 1 \right) \times \frac{MANT_{pre} \times 4096}{\alpha} \right\rfloor \quad \text{... 数式3}$$

$$\begin{bmatrix} MANT_{pre} = 1 \longrightarrow (0 \le MANT < 2) \\ MANT_{pre} = 2 \longrightarrow (2 \le MANT < 4) \\ MANT_{pre} = 4 \longrightarrow (4 \le MANT < 8) \\ MANT_{pre} = 8 \longrightarrow (8 \le MANT\ ) \end{bmatrix}$$

として計算できます。

これらの式に仮で求めた MANT、FRAC、および入力画像サイズを代入すると出力画素を求めることができます。求めた出力画素数が MANT、FRAC を仮で求める際に使用した出力画素より小さくなった場合は、FRAC(α) の値を少し小さくして再計算を行い、要求する出力画素より大きい画素値が得られる MANT および FRAC を本レジスタに設定してください。

（例）640 画素を 480 画素に縮小する

SCL ＝ 480/640 ＝ 3/4 となり MANT ＝ 1、MANTpre ＝ 1、FRAC ＝ H'550 を仮で設定します。これを

$$SIZE_D = \left\lfloor 1 + \left(\left\lfloor \frac{1}{2} + \frac{S_{in} - 1}{MANT_{pre}} \right\rfloor - 1 \right) \times \frac{MANT_{pre} \times 4096}{\alpha} \right\rfloor \quad \text{... 数式3}$$

へ代入すると出力画素数＝ 479 を得ることがでます。この出力画素数は、要求する出力画素数 480 よりも小さいため、FRAC を 8 小さい H'548 にして再計算すると、出力画素数＝ 480 を得ることができ、要求する出力画素数 480 に等しいので、レジスタへは MANT ＝ 1、FRAC ＝ H'548 を設定します。

表46.8　　縮小フィルタの各倍率設定例

倍率	FRAC		MANT	入力画素数	出力画素数	サイズクリップ（CFSZR）
	10進数	16進数				
7/8	576	H'240	1	640	560	560
3/4	1352	H'548	1	640	480	480
5/8	2448	H'990	1	640	400	400
1/2	0	H'0	2	640	320	320
3/8	2728	H'AA8	2	640	240	240
1/3	0.0	H'0	3	640	213	212
1/4	0.0	H'0	4	640	160	160
1/5	0.0	H'0	5	640	128	128
1/6	0.0	H'0	6	640	107	104
1/7	0.0	H'0	7	640	91	88
1/8	0.0	H'0	8	640	80	80
1/16	4088	H'FF8	15	640	40	40

注.　本縮小フィルタではVGAサイズのラインメモリを用いて縮小を行うために、VGAよりも大きいサイズの画像を入力して縮小を行う場合、出力後の画像サイズがSubQCIFサイズ以上VGAサイズ以下になるように設定してください。
縮小を行わない場合（等倍）は、本制約は関係ありません。

46.4.11　キャプチャフィルタサイズクリップレジスタ（CFSZR）

CFSZR は、フィルタの出力サイズ微調整用のクリップサイズ設定用レジスタです。CFLCR と合わせて使用してください。フィルタの出力サイズをクリップする際、そのサイズを画素数で設定してください。設定単位は 4 画素単位です。等倍出力の場合も設定してください。データイネーブル取り込みモード時は、本レジスタは使用しません。

データ同期取り込みの際は、本レジスタは CAPWR の設定をもとに設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VFCLP[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	HFCLP[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27～18 17、16	VFCLP[11:2] VFCLP[1:0]	H'000	R/W R	垂直方向のフィルタ出力サイズのクリップ値（4画素単位）
15～12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
11～2 1、0	HFCLP[11:2] HFCLP[1:0]	H'000	R/W R	水平方向のフィルタ出力サイズのクリップ値（4画素単位）

CEU 部に搭載している縮小フィルタは、設定によっては、奇数画素／奇数ラインを出力する場合があります。このため、フィルタは出力サイズを整えるために、**図 46.33** に示すように、本レジスタに設定した画素数で出力画像をクリッピングします。クリップサイズ指定は、縦横 4 画素単位で指定可能です。

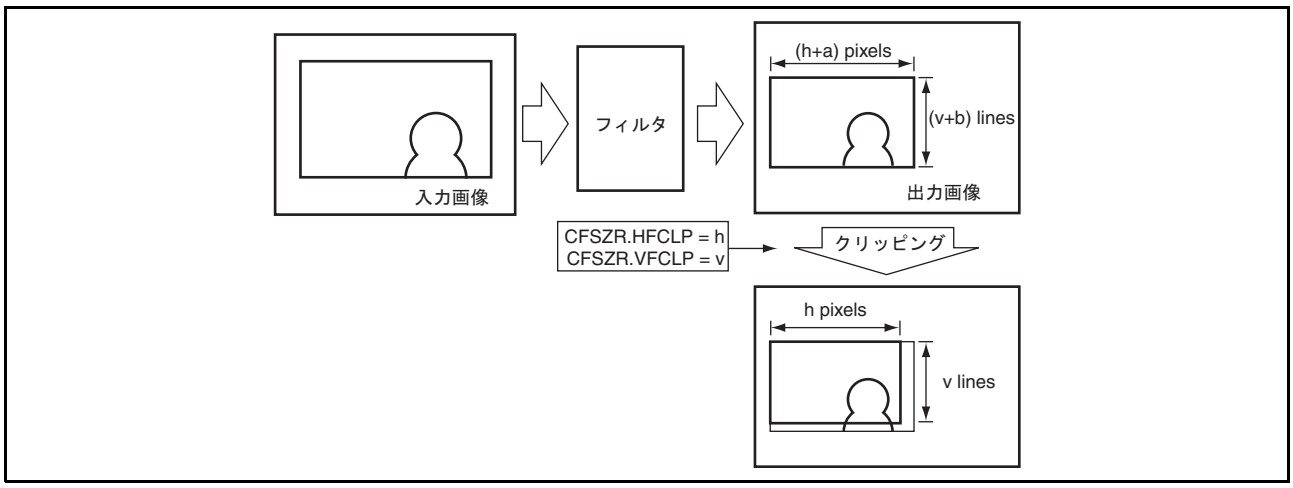


図 46.33　フィルタ出力画像のクリッピング

クリップの画素数は、画面の左上からのカウントになります。設定した画素数よりも右側、設定したライン数よりも下側にある画素については、クリップ機能により切り捨てられます。本レジスタに設定した画素数が、実際のフィルタ出力画素数よりも大きい場合、動作保証できませんので、必ずフィルタの出力画素数以下の値を設定してください。

注 .　データ同期取り込みモードの際は以下の設定が必要となります。以下の設定を行わないと、データを正しく取り込むことができません。
- 8 ビットインタフェースの場合：
  VFCLP ＝ CAPWR.VWDTH
  HFCLP ＝ CAPWR.HWDTH/2
- 16 ビットインタフェースの場合：
  VFCLP ＝ CAPWR.VWDTH
  HFCLP ＝ CAPWR.HWDTH

46.4.12　キャプチャデスティネーション幅レジスタ（CDWDR）

CDWDR は、キャプチャした画像を出力するメモリ領域の画像の横サイズを 4 バイト単位（4 画素単位）で設定します。

データ同期取り込みの際は、CAPWR の設定をもとに、本レジスタを設定してください。データイネーブル取り込みモード時は、本レジスタは使用しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CHDW[12:0]												
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
12～2 1、0	CHDW[12:2] CHDW[1:0]	H'0000	R/W R	キャプチャ画像を書き込むメモリ領域の画像の横サイズをバイト数で指定（4バイト単位） CEUでキャプチャした画像データは、メモリへ格納されます。このとき、図46.34に示すように、キャプチャした画像における水平右端の折り返しが、メモリ領域にある画像イメージの横サイズと異なる場合、キャプチャイメージ格納の際に、画像右端でアドレスをジャンプさせる必要があります。このため、本ビットには、メモリにキャプチャした画像を書き込む際の、メモリ空間にある画像イメージの横サイズを設定してください。 最大設定値は8,188バイト（8,188画素）です。 データ同期取り込みの際は以下のように設定してください。 8ビットインタフェースの場合：CHDW＝CAPWR.HWDTH 16ビットインタフェースの場合：CHDW＝CAPWR.HWDTH×2

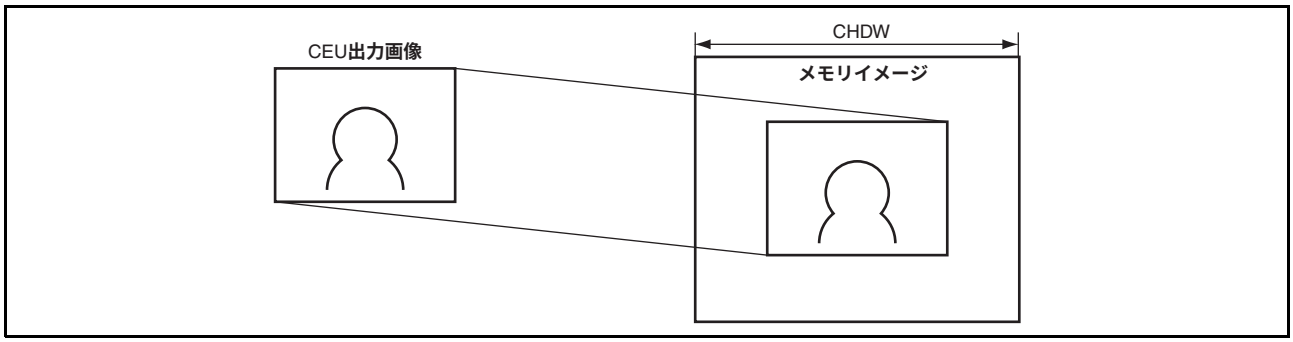
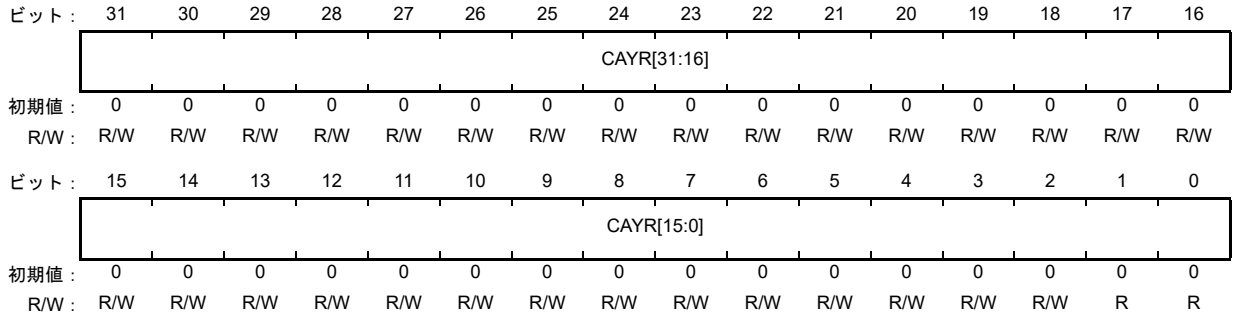


図 46.34　キャプチャ画像とメモリ領域画像

46.4.13　キャプチャデータアドレス Y レジスタ（CDAYR）

CDAYR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの輝度（Y）成分のデータ格納先アドレス指定、両フィールド画像キャプチャの際のトップフィールドの輝度（Y）成分格納先アドレス指定、およびデータ取り込みの際のデータ格納先アドレス指定を行います。CEU は、キャプチャした画像データをバスを経由し輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、キャプチャデータの Y（輝度）成分のデータ格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、トップフィールドキャプチャ画像の Y（輝度）成分の格納先先頭アドレスを設定してください。データ取り込みの際は、データ格納に使用するメモリ領域の先頭アドレスを設定してください。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位は、ロングワード単位です。画像キャプチャの際は 4 画素単位、データ取り込みの際は 4 バイト単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。



ビット	ビット名	初期値	R/W	説明
31～2 1、0	CAYR[31:2] CAYR[1:0]	H'0000 0000	R/W R	• フレーム画像キャプチャ時：キャプチャデータの Y（輝度）成分データ格納先アドレス（4 画素単位） • 片フィールド画像キャプチャ時：キャプチャデータの Y（輝度）成分データ格納先アドレス（4 画素単位） • 両フィールド画像キャプチャ時：トップフィールドキャプチャデータの Y（輝度）成分データ格納先アドレス（4 画素単位） • データ取り込み時：データ格納先アドレス（4 バイト単位） • データイネーブル取り込みバンドル書き込み時：データ格納先アドレス（32 バイト単位）

本レジスタには、**図 46.35** に示すように、取り込んだデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ取り込み時：キャプチャしたデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。データ取り込みモードでは先頭アドレスから単純にデータを詰めていくため、終端アドレスは以下のようになります。
  （終端アドレス）＝ CDAYR ＋（取り込みバイト数）
- データイネーブル取り込みバンドル書き込み時は、32 バイト単位でアドレスを設定してください。

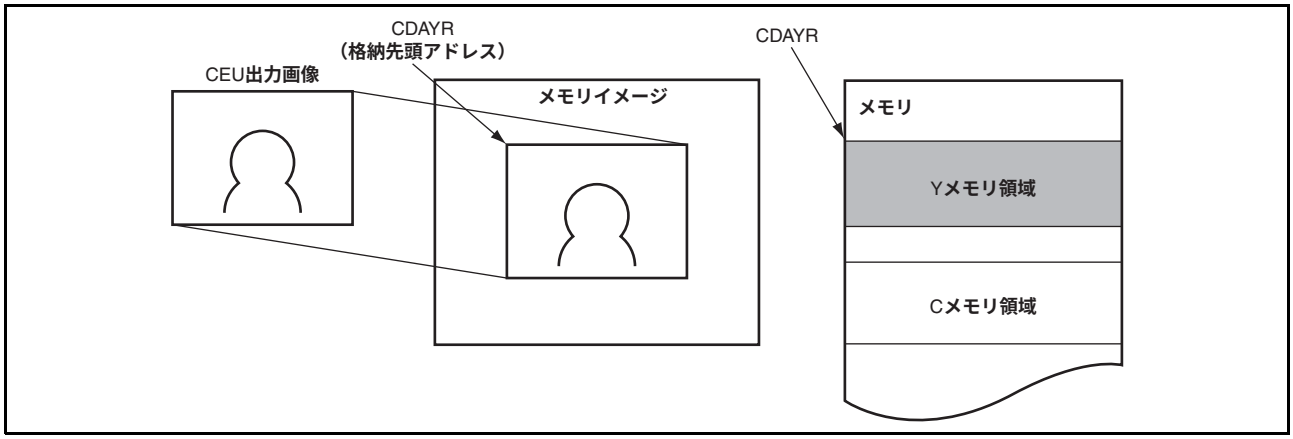
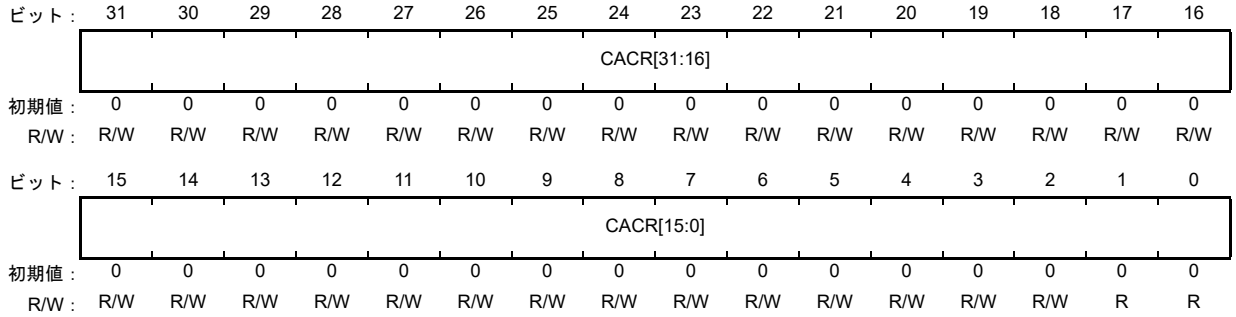


図 46.35　キャプチャ画像と Y 成分メモリ領域の関係

46.4.14　キャプチャデータアドレス C レジスタ（CDACR）

CDACR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの色差（C）成分の格納先アドレス指定および両フィールド画像キャプチャの際のトップフィールドの色差（C）成分格納先アドレス指定を行います。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールドキャプチャの際は、キャプチャデータの C（色差）成分を格納するメモリ領域の先頭アドレスを設定してください。両フィールドキャプチャの際は、トップフィールドキャプチャ画像の C（色差）成分の格納先先頭アドレスを設定してください。データ取り込みの際は、本レジスタは使用しません。

本レジスタで設定するアドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位は、ロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。



ビット	ビット名	初期値	R/W	説明
31～21、0	CACR[31:2] CACR[1:0]	H'0000 0000	R/W R	• フレーム画像キャプチャ時：キャプチャデータのC（色差）成分データ格納先アドレス（4画素単位） • 片フィールド画像キャプチャ時：キャプチャデータのC（色差）成分データ格納先アドレス（4画素単位） • 両フィールド画像キャプチャ時：トップフィールドキャプチャデータのC（色差）成分データ格納先アドレス（4画素単位）

本レジスタには、図 46.36 に示すように、キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、C 成分の出力データ形式は図 46.37 のようになっており、この形式でメモリに格納します。

- フレーム画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

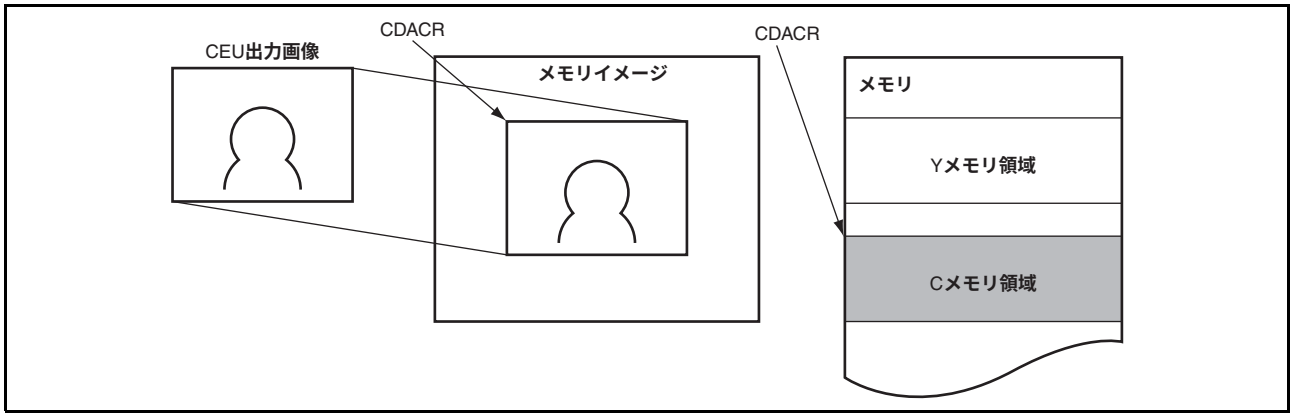


図 46.36　キャプチャ画像と C 成分メモリ領域の関係

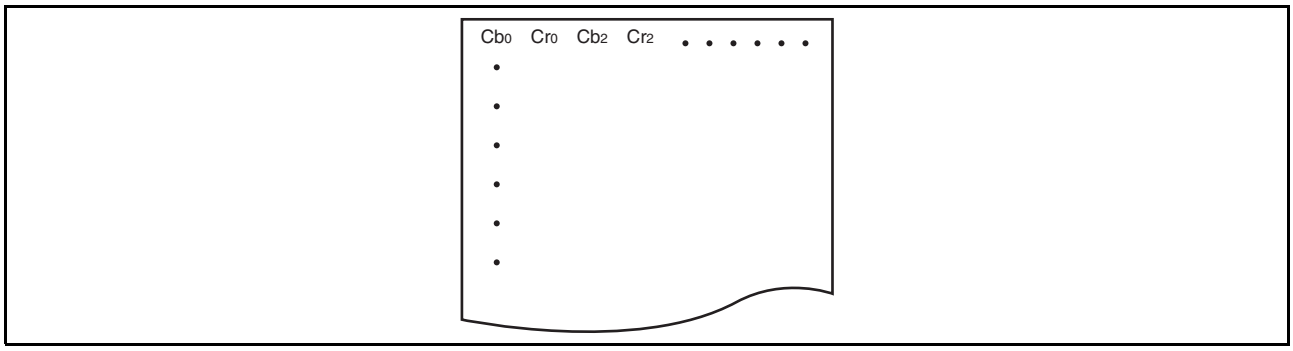


図 46.37　C 成分のメモリ出力イメージ

46.4.15　キャプチャデータボトムフィールドアドレス Y レジスタ（CDBYR）

CDBYR は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの輝度（Y）成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの、Y（輝度）成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位はロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBYR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBYR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CBYR[31:2] CBYR[1:0]	H'0000 0000	R/W R	ボトムフィールドキャプチャデータのY（輝度）成分データ格納先アドレス （4画素単位）

本レジスタには、**図 46.38** に示すように、ボトムフィールドキャプチャ画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

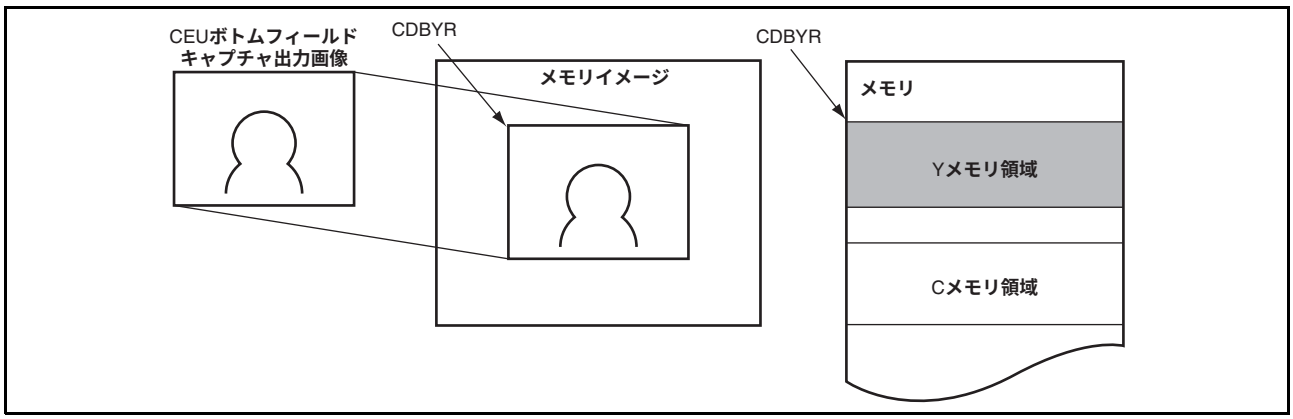


図 46.38　ボトムフィールドキャプチャ画像と Y 成分メモリ領域の関係

46.4.16　キャプチャデータボトムフィールドアドレス C レジスタ（CDBCR）

CDBCR は、両フィールド画像キャプチャの際の、ボトムフィールドキャプチャデータの色差（C）成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの C（色差）成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールドキャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位はロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBCR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBCR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CBCR[31:2] CBCR[1:0]	H'0000 0000	R/W R	ボトムフィールドキャプチャデータの C（色差）成分データ格納先アドレス （4 画素単位）

本レジスタには、図 46.39 に示すように、ボトムフィールドキャプチャ画像の C 成分を格納するメモリ領域の、先頭ポイントのアドレスを設定してください。また、C 成分の出力データ形式は図 46.40 のようになっており、この形式でメモリに格納します。

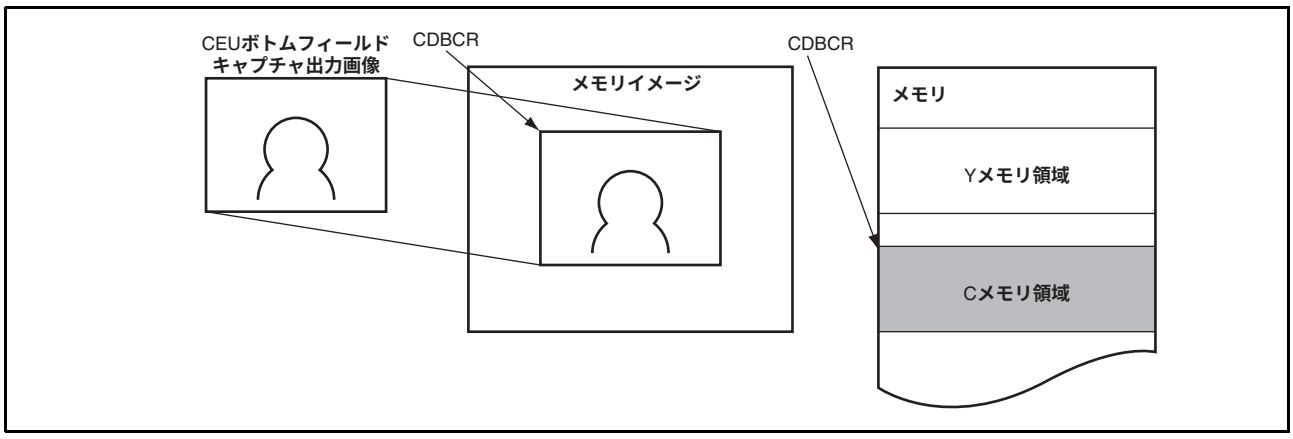


図 46.39　ボトムフィールドキャプチャ画像と C 成分メモリ領域の関係

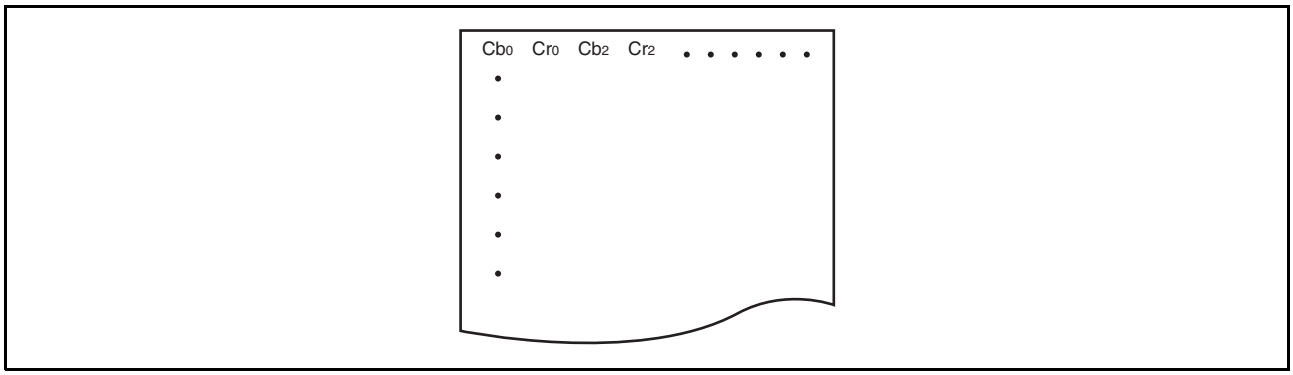


図 46.40 C 成分のメモリ出力イメージ

46.4.17　キャプチャバンドルデスティネーションサイズレジスタ（CBDSR）

CBDSR は、バンドル書き込みの際の、メモリ出力サイズを設定します。画像キャプチャ、およびデータ同期取り込みの際は、メモリ出力ライン数を設定します。データイネーブル取り込みの際は、メモリ出力バイト数を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CBVS[22:16]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBVS[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31～23	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
22～0	CBVS[22:3] CBVS[2:0]	H'000	R/W R	バンドル書き込みの際のメモリ出力ライン数またはメモリ出力バイト数 画像キャプチャおよびデータ同期取り込み時：バンドル書き込みの際のメモリ出力ライン数 単位：8ライン、最小：8ライン、最大1,920ライン（H'780） データイネーブル取り込み時：バンドル書き込みの際のメモリ出力バイト数 単位：32バイト、最小：512バイト、最大6,291,456バイト（H'600000）

(a)　画像キャプチャ、およびデータ同期取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのライン数を、8 の倍数で設定してください。本レジスタは CDOCR.CBE ＝ 1 のときのみ有効です。CDOCR.CBE ＝ 1 で、本レジスタが H'0 の場合、本モジュールはメモリへ書き込むキャプチャデータのライン数を、H'8 として動作します。最大設定ライン数は、1,920（H'780）ラインです。CBVS[11:3] までが有効です。

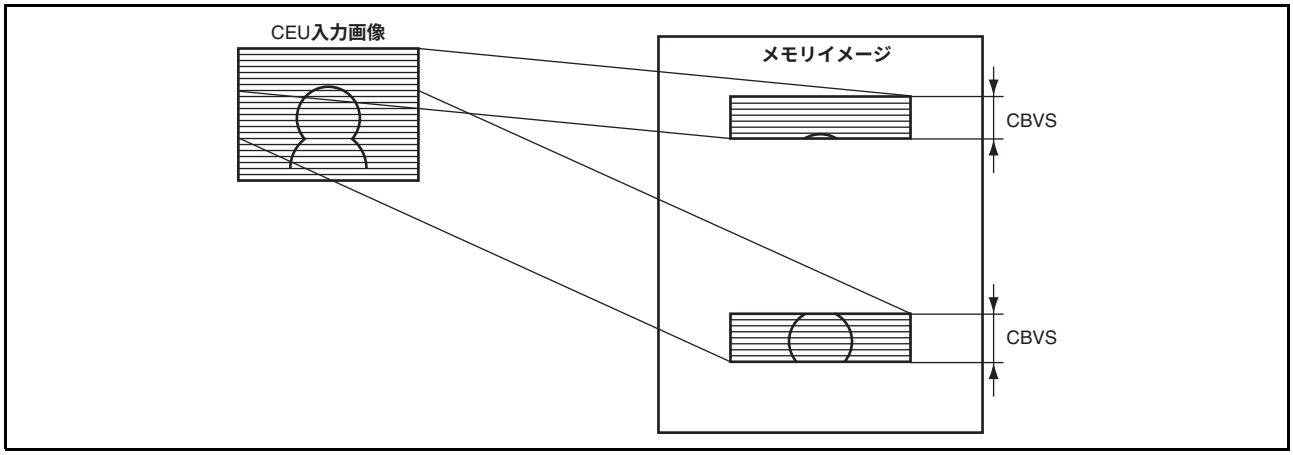


図 46.41　バンドル書き込みキャプチャ画像のメモリ格納イメージ

(b)　データイネーブル取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのバイト数を、32 の倍数で設定してください。本レジスタは CDOCR.CBE ＝ 1 のときのみ有効です。最小設定サイズは 512 バイトです。512 バイト未満に設定した場合の動作は保証しません。

46.4.18　キャプチャローパスフィルタ制御レジスタ（CLFCR）

CLFCR は、ローパスフィルタを動作させるか否かを設定します。データ取り込みモードの際は、LPF ビットを B'0 に設定してください。

CEU が実装するローパスフィルタの特性上、ローパスフィルタ処理後の画像は、原画像に比べて位相位置が 1 画素右にずれて見えます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

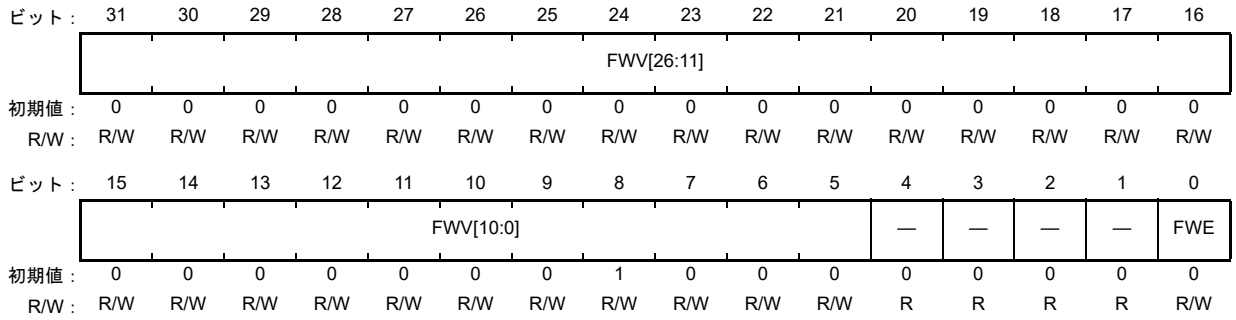
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LPF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	LPF	0	R/W	ローパスフィルタの動作有無を設定 ローパスフィルタは、出力画像の水平方向の高周波成分を除去します。データ取り込みモードでは0を設定してください。 0：ローパスフィルタなし 1：ローパスフィルタあり（水平方向のみ）

46.4.19　ファイアウォール動作制御レジスタ（CFWCR）

CFWCR は、データイネーブル取り込みの際の書き込みアドレスの上限を設定します。外部モジュールからの VD 入力が立ち下がらず、終了が通知されなかった場合にメモリへの書き込み暴走を抑止することができます。

本レジスタは、データイネーブル取り込み時のみ有効です。



ビット	ビット名	初期値	R/W	説明
31～5	FWV[26:0]	H'0000008	R/W	書き込みアドレスの上限を指定 32 ビット中の上位 27 ビットを指定します。 FWV[26:0]<<5 + H'1F が上限アドレスです。
4～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
0	FWE	0	R/W	FWE ビット=1 のとき、アドレスが FWV 設定値を超えた場合、アドレスを保持し、割り込み要因 FWF をセットします。それ以降、アドレスはインクリメントされず、データは上限のアドレスに上書きされます。 0：ファイアウォールを起動しない 1：ファイアウォールを起動する

46.4.20　キャプチャデータ出力制御レジスタ（CDOCR）

CDOCR は、キャプチャデータのメモリへの出力方式を設定します。データ取り込みモードの際は、CDS ビットを B'1 に設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CBE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CDS	—	COLS	COWS	COBS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	CBE	0	R/W	メモリに書き込むキャプチャデータのライン数を制御 • 画像キャプチャ時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタに設定されたライン単位で、CDAYR、CDACR と CDAYR2、CDACR2（両フィールドキャプチャ時のボトムフィールドは、CDBYR、CDBCR と CDBYR2、CDBCR2）で指定されたアドレスに、交互にキャプチャデータを書き込みます（図46.42）。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス指定レジスタに対応した書き込み終了割り込みを発生します。 なお、1フレーム（1フィールド）キャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 • データ同期取り込み時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタに設定されたライン単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス指定レジスタに対応した書き込み終了割り込みを発生します。 なお、1フレームキャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 • データイネーブル取り込み時 メモリに書き込むキャプチャデータのバイト数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタに設定されたバイト単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたバイト数分のキャプチャデータの書き込みが終了した時点で、各アドレス指定レジスタに対応した書き込み終了割り込みを発生します。 なお、データイネーブル取り込み時のみ、1フレームキャプチャ終了時も、バンドル書き込み終了時は、バンドル書き込み終了割り込みを発生します。 各アドレス指定レジスタと書き込み終了割り込み要因の対応を表46.9に、画像キャプチャおよびデータ同期取り込み時の書き込み終了割り込みタイミングを図46.43に、データイネーブル取り込み時の書き込み終了割り込みタイミングを図46.44に示します。 0：通常書き込み 1：バンドル書き込み
15～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	CDS	0	R/W	YCbCr422 フォーマットで取り込んだ画像データをメモリ出力する際の画像フォーマットを指定 本ビットに0を書き込んだ場合、奇数ラインは、輝度成分（Y）のみを出力し色差成分（Cb,Cr）は出力しません。インターレース入力画像も同様に、フィールドの奇数ラインは、輝度成分（Y）のみを出力し色差成分（Cb,Cr）は出力しません。データ取り込みモードでは1を設定してください。 0：YCbCr422 から YCbCr420 に変換してメモリに出力 1：YCbCr422 のままメモリに出力

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	COLS	0	R/W	CEUから出力するデータの32ビット単位の入れ替えを制御 0：32ビット単位の入れ替えしない 1：32ビット単位の入れ替えする
1	COWS	0	R/W	CEUから出力するデータの16ビット単位の入れ替えを制御 0：16ビット単位の入れ替えしない 1：16ビット単位の入れ替えする
0	COBS	0	R/W	CEUから出力するデータの8ビット単位の入れ替えを制御 0：8ビット単位の入れ替えしない 1：8ビット単位の入れ替えする

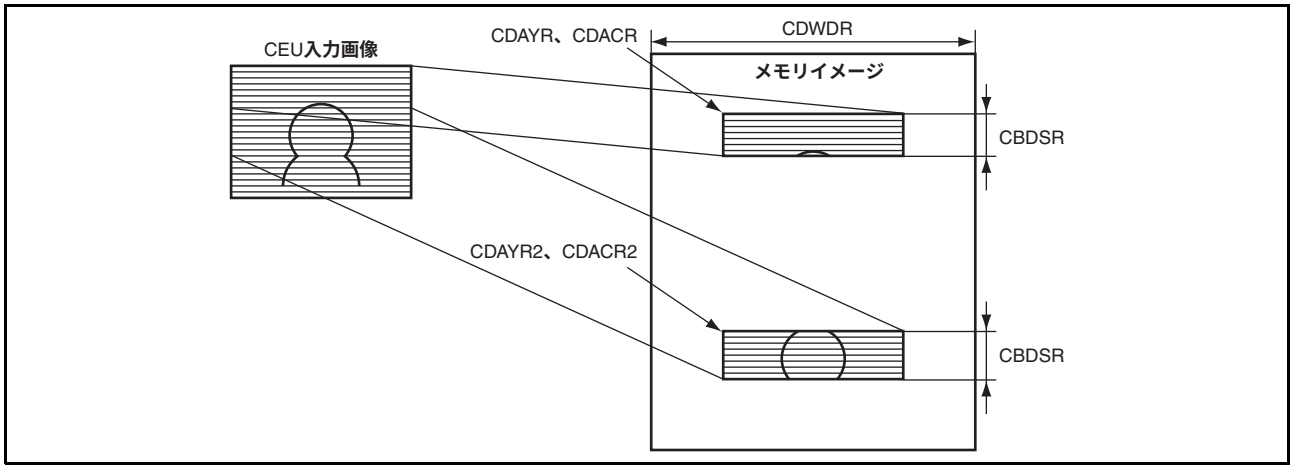


図 46.42　バンドル書き込みメモリ格納イメージ

表46.9　アドレス指定レジスタと書き込み終了割り込み要因の対応

アドレス指定レジスタ	バンドル書き込み終了割り込み要因
CDAYR、CDACR	CETCR.CPBE1
CDAYR2、CDACR2	CETCR.CPBE2
CDBYR、CDBCR	CETCR.CPBE3
CDBYR2、CDBCR2	CETCR.CPBE4

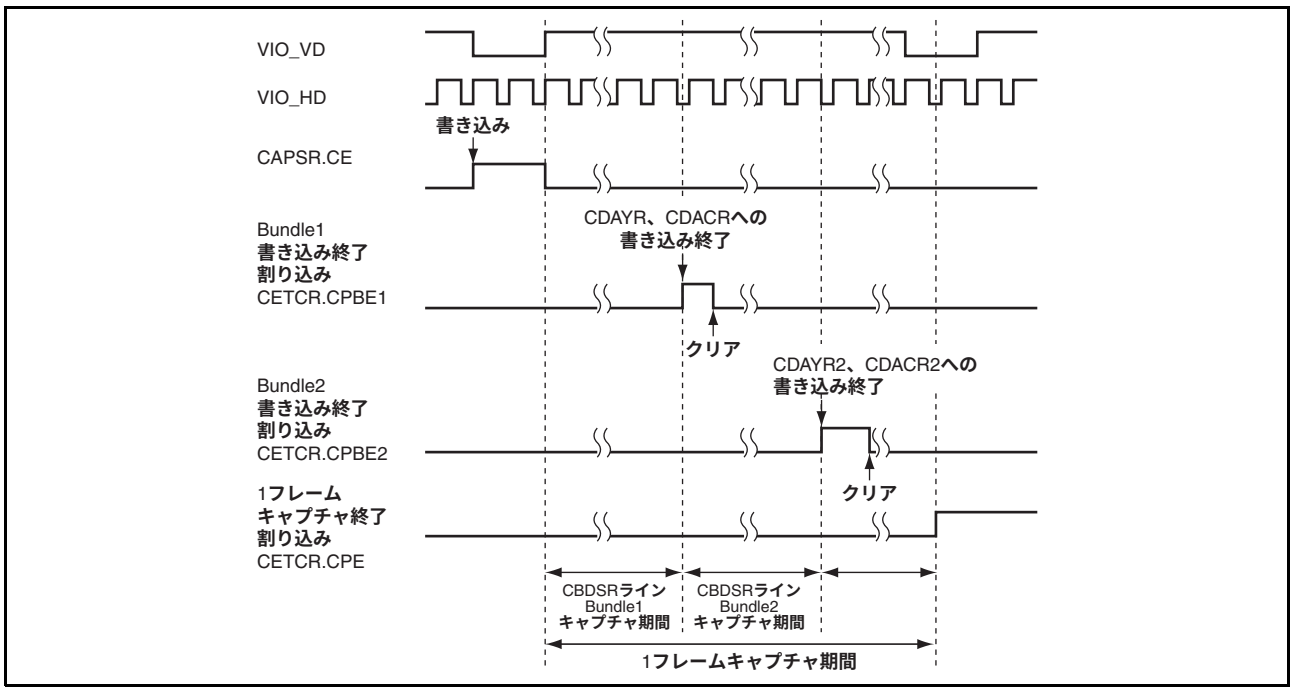


図 46.43　書き込み終了割り込みのタイミング（画像キャプチャ時、データ同期取り込み時）

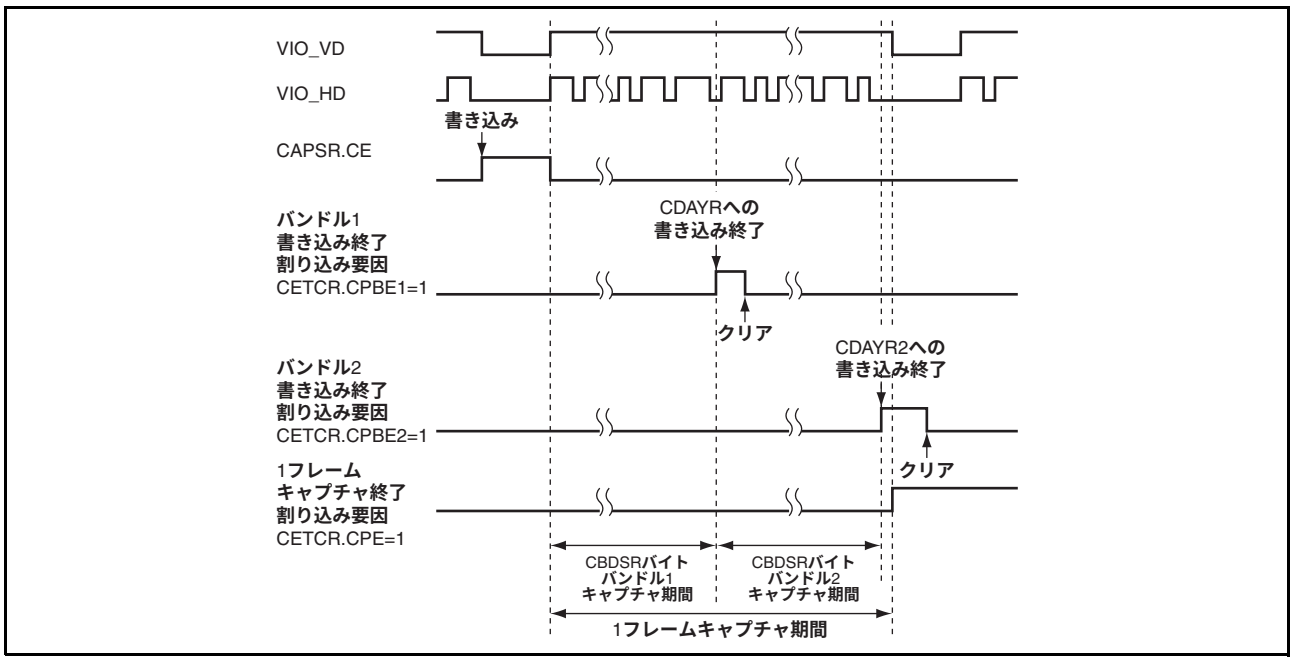


図 46.44　書き込み終了割り込みのタイミング（データイネーブル取り込み時）

COLS、COWS、COBS ビットは、CEU から出力するデータの 32 ビット単位、16 ビット単位、8 ビット単位の入れ替えを制御するビットです。エンディアンによるデータの並びの問題が生じた場合に設定してください。データ入れ替えレジスタのビットを以下に示します。データ取り込みの際も同様に設定できます。

入れ替え機能としては、**図 46.45** のように、8 ビット単位、16 ビット単位、32 ビット単位、32 ビットー 16 ビットー 8 ビット入れ替えが可能です。入れ替えを行う場合には、各制御ビットを B'1 に設定してください。

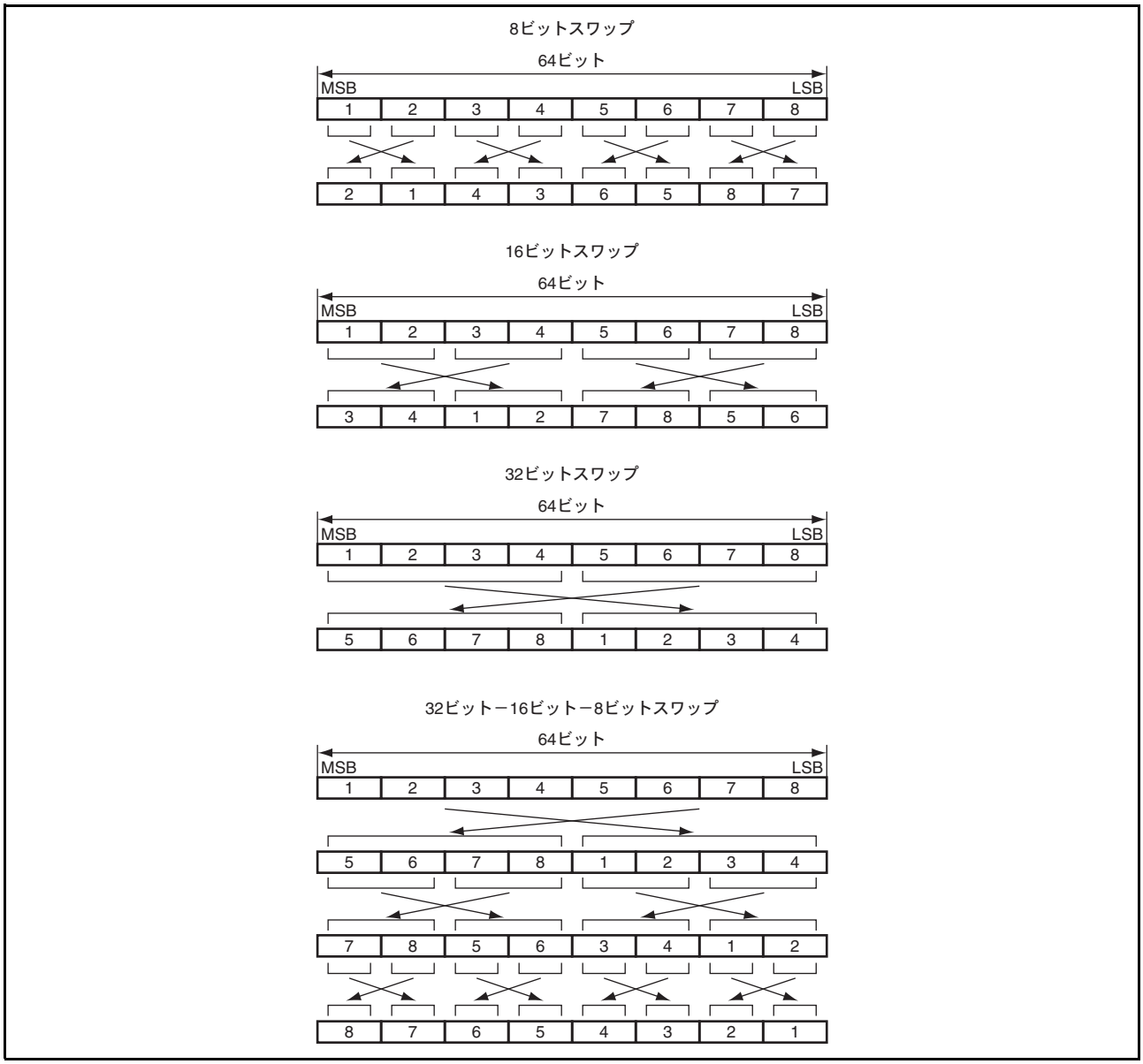


図 46.45　データ入れ替え機能

46.4.21　キャプチャイベント割り込み許可レジスタ（CEIER）

CEIERは、CEUの割り込みを発生するイベントフラグレジスタに割り込み許可を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NVDIE	NHDIE	FWFIE	—	—	VBPIE	—	IGVSIE	IGHSIE	CDTOFIE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPBE4IE	CPBE3IE	CPBE2IE	CPBE1IE	—	—	VDIE	HDIE	—	—	—	IGRWIE	—	—	CFEIE	CPEIE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～26	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
25	NVDIE	0	R/W	非VD割り込み許可。データイネーブル取り込み時は、本割り込みは禁止に設定してください。 0：非VD割り込み禁止 1：非VD割り込み許可
24	NHDIE	0	R/W	非HD割り込み許可。データイネーブル取り込み時は、本割り込みは禁止に設定してください。 0：非HD割り込み禁止 1：非HD割り込み許可
23	FWFIE	0	R/W	FWF割り込み許可 0：FWF割り込み禁止 1：FWF割り込み許可
22、21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
20	VBPIE	0	R/W	VBP割り込み許可 0：VBP割り込み禁止 1：VBP割り込み許可
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
18	IGVSIE	0	R/W	IGVS割り込み許可 0：IGVS割り込み禁止 1：IGVS割り込み許可
17	IGHSIE	0	R/W	IGHS割り込み許可 0：IGHS割り込み禁止 1：IGHS割り込み許可
16	CDTOFIE	0	R/W	CDTOF割り込み許可 0：CDTOF割り込み禁止 1：CDTOF割り込み許可
15	CPBE4IE	0	R/W	CPBE4割り込み許可 0：CPBE4割り込み禁止 1：CPBE4割り込み許可
14	CPBE3IE	0	R/W	CPBE3割り込み許可 0：CPBE3割り込み禁止 1：CPBE3割り込み許可
13	CPBE2IE	0	R/W	CPBE2割り込み許可 0：CPBE2割り込み禁止 1：CPBE2割り込み許可
12	CPBE1IE	0	R/W	CPBE1割り込み許可 0：CPBE1割り込み禁止 1：CPBE1割り込み許可

ビット	ビット名	初期値	R/W	説明
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
9	VDIE	0	R/W	VD割り込み許可 0：VD割り込み禁止 1：VD割り込み許可
8	HDIE	0	R/W	HD割り込み許可 0：HD割り込み禁止 1：HD割り込み許可
7～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	IGRWIE	0	R/W	キャプチャ中レジスタアクセス割り込み許可 0：キャプチャ中レジスタアクセス割り込み禁止 1：キャプチャ中レジスタアクセス割り込み許可
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	CFEIE	0	R/W	CFE割り込み許可 0：CFE割り込み禁止 1：CFE割り込み許可
0	CPEIE	0	R/W	1フレームキャプチャ終了割り込み許可 0：1フレームキャプチャ終了割り込み禁止 1：1フレームキャプチャ終了割り込み許可

46.4.22　キャプチャイベントフラグクリアレジスタ（CETCR）

CETCR は、CEU 内部で CPU に対して割り込みが起こった場合に、その要因を表すレジスタです。本レジスタに立っているフラグは、そのまま割り込み信号になっていますので、対応する割り込みが許可（イネーブル）になっていると、割り込みが発生します。割り込みを消す場合には、割り込み要因に対応するビットを 0 クリアすることで、書き込み後、数サイクルでクリアされます。

消去したい割り込み要因のビットに 0 をセットし、そのままの状態に保持したい場合には、1 をセットして書き込みを行ってください。たとえば、CPE ビットのみクリアしたい場合は、H'FFFF FFFE の書き込みを行ってください。

本レジスタへの書き込み時に 0 を書き込んだビットは、クリアされます。1 を書き込んだ場合には、そのビットの値は現在の値が保持されます。割り込み要因のクリア時には、クリアしたい要因のビットにのみ 0 を書き込み、それ以外のビットには 1 を書き込んでください。

注．　以下の場合、本レジスタは不定値となりますので、必ず本レジスタの全ビットを 0 クリアしてください。
- パワーオンリセット、ディープスタンバイ直後の VD、HD ビット
- ソフトウェアスタンバイ、モジュールスタンバイ後の全ビット
- キャプチャインタフェースの同期信号極性設定を変化させた時の VD、HD ビット

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NVD	NHD	FWF	—	—	VBP	—	IGVS	IGHS	CDTOF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPBE4	CPBE3	CPBE2	CPBE1	—	—	VD	HD	—	—	—	IGRW	—	—	CFE	CPE
初期値：	0	0	0	0	0	0	—	—	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～26	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
25	NVD	0	R/W	VDが入力されなかったことを表す割り込み 非VD割り込みが発生するタイミングは、14ビットの内部カウンタがフルのときです。したがって、NVDフラグはVDが入力されてから16,383ライン以上次のVDが入力されないと1になります。
24	NHD	0	R/W	HDが入力されなかったことを表す割り込み 非HD割り込みが発生するタイミングは、デジタル画像入力端子のビット幅によって異なります。 8ビットデジタル画像入力端子の場合、8サイクルごとにインクリメントする11ビットの内部カウンタがフルのときです。したがって、NHDフラグはHDが入力されてから16,376サイクル以上次のHDが入力されないときに1となります。 16ビットデジタル画像入力端子の場合、4サイクルごとにインクリメントする12ビットの内部カウンタがフルのときです。したがって、NHDフラグはHDが入力されてから16,380サイクル以上次のHDが入力されないと1となります。 VDがローの期間中HDもローに固定されているカメラを接続した場合等には、NHDフラグが立つ可能性があります。 データイネーブル取り込み時は、本割り込みは無視してください。
23	FWF	0	R/W	CFWCR.FMVで指定される数値を超えるアドレスにデータを書き込もうとしたときに生じる割り込み CFWCR.FWE=1のとき、CFWCR.FMVで指定された数値を超えるアドレスにデータを書き込もうとした場合に1になります。
22、21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
20	VBP	0	R/W	CEUがデータを保持している状態で、VDが入力されたことを表す（垂直同期のフロントポーチが不足している）割り込み VBP割り込みの発生条件は以下のとおりです。 【発生条件1】 CEU内部にキャプチャデータを抱えた状態でVDが入力された 【発生条件2】 ライトバッファのオーバフローまたはイリーガルHDにより、最後の転送データを内部により検知できなくなり、終了タイミングが次のVDまで分からない（VDのタイミングでVBP割り込みを発生させることによりキャプチャ Failを知らせることができる） 本割り込みが発生した場合は、終了割り込み（CETCRのCPEビット）は発生せず、そのフレームの画像は正しくキャプチャされません。キャプチャ終了割り込み（CPEビット）が発生する場合が希にありますが、この場合の終了割り込みは無視してください 。また、次のVDまでキャプチャはできません（キャプチャ予約信号CAPSRのCEビットが1でもキャプチャは開始しません）。 発生条件2の場合は、本割り込みを待つことなく、ソフトウェアリセット（CAPSRのCPKILビット）によりキャプチャを終了し、その後再起動をするようにしてください。この場合はVDまで待たずに動作が終了するため、VBP割り込みは発生せず、次のVDから取り込みが可能となります。
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
18	IGVS	0	R/W	CMCYRに設定したVDサイクルと外部モジュールからのVDサイクルが異なる時に発生する割り込み 外部モジュールからVDの入力が不正に入った時に1が立ちます。CEUへのVDのHDサイクル数がCMCYRのVCYLビットに設定した値と異なるときに、1が立ちます。ただし、VCYLビットが0の設定のときは、割り込みを発生しません。
17	IGHS	0	R/W	CMCYRに設定したHDサイクルと外部モジュールからのHDサイクルが異なる時に発生する割り込み 外部モジュールからHDの入力が不正に入った時に1が立ちます。CEUへのHDのクロックサイクル数がCMCYRのHCYLビットに設定した値と異なるときに、1が立ちます。ただし、HCYLビットが0の設定のときは、割り込みを発生しません。
16	CDTOF	0	R/W	ライトバッファのCRAMにおいて、データのオーバフローがあったことを表す割り込み キャプチャ動作は、外部モジュールからリアルタイムでデータが入力されます。このため、ある一定以上の転送レートで、CEUの内部バッファからメモリへキャプチャしたデータを転送しなければ、フレームイメージが壊れます。本ビットは、CEU内部にあるライトバッファCRAM内データのバスへの書き出しが間に合わず、データがオーバフローした場合に1となります。
15	CPBE4	0	R/W	バンドル書き込みで、CDBYR2、CDBCR2への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のHD入力とは関係なく出力されます。 CBDSRで設定したライン数をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます。 なお、バンドル書き込みの最後のキャプチャデータが、1フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。
14	CPBE3	0	R/W	バンドル書き込みで、CDBYR、CDBCRへの書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のHD入力とは関係なく出力されます。 CBDSRで設定したライン数をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます。 なお、バンドル書き込みの最後のキャプチャデータが、1フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。
13	CPBE2	0	R/W	バンドル書き込みで、CDAYR2、CDACR2への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のHD入力とは関係なく出力されます。 CBDSRで設定したライン数（データイネーブル取り込み時はバイト数）をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます。 なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。

ビット	ビット名	初期値	R/W	説明
12	CPBE1	0	R/W	バンドル書き込みで、CDAYR、CDACRへの書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のHD入力とは関係なく出力されます。 CBDSRで設定したライン数（データイネーブル取り込み時はバイト数）をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます。 なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
9	VD	不定	R/W	外部モジュールからVD（垂直同期信号）が入力されたことを表す割り込み データイネーブル取り込みモードでは、外部モジュールからのVDを検出した時点で1になります。画像取り込みモードおよびデータ同期取り込みモードでは、外部モジュールからのVDを検出後に最初のHDを検出した時点でVD割り込みが発生します。なお、VDとHDが同時にアサートされVDとHDを同時に検出した場合は、その時点でVD割り込みが発生します。 CAMCRのVDPOLビットを変化させた直後は擬似VDが入り本ビットが1となるので、VDPOLビット変化後のVD割り込みは無視してください。
8	HD	不定	R/W	外部モジュールからHD（水平同期信号）が入力されたことを表す割り込み 外部モジュールからのHDを検出した時点で1になります。CAMCRのHDPOLビットを変化させた直後は擬似HDが入り本ビットが1となるので、HDPOLビット変化後のHD割り込みは無視してください。
7～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	IGRW	0	R/W	動作中の書き込みが禁止されているレジスタに、キャプチャ中にアクセスが行われたことを表す割り込み CEUのレジスタは、キャプチャ実行中に書き換えが禁止されているものと、書き込みが許可されているものがあります。各レジスタへの書き込みの許可と禁止を表46.10に示します。 本ビットは、キャプチャ中に書き込みが禁止されているレジスタにキャプチャ実行中に書き込みがあったときに、1が立ちます。
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	CFE	0	R/W	外部モジュールからの1フィールドのキャプチャが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のVD入力とは関係なく出力されます（図46.46参照）。 両フィールドキャプチャ時のみ発生します。
0	CPE	0	R/W	外部モジュールからの1フレームのキャプチャが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のVD入力とは関係なく出力されます。 1フレームのキャプチャが終了したことを表します。CAPWRで設定した画像をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます（図46.47参照）。

表46.10　キャプチャ中のレジスタ書き込みの許可と禁止

名称	キャプチャ中の書き込み
CAPSR	○
CAPCR	×
CAMCR	×
CMCYR	×
CAMOR	○
CAPWR	○
CAIFR	×
CRCNTR	○
CRCMPR	×
CFLCR	○
CFSZR	○
CDWDR	○
CDAYR	○
CDACR	○
CDBYR	○

名称	キャプチャ中の書き込み
CDBCR	○
CBDSR	○
CFWCR	○
CLFCR	○
CDOCR	○
CEIER	○
CETCR	○
CSTSR	×
CDSSR	×
CDAYR2	○
CDACR2	○
CDBYR2	○
CDBCR2	○

○：許可、×：禁止

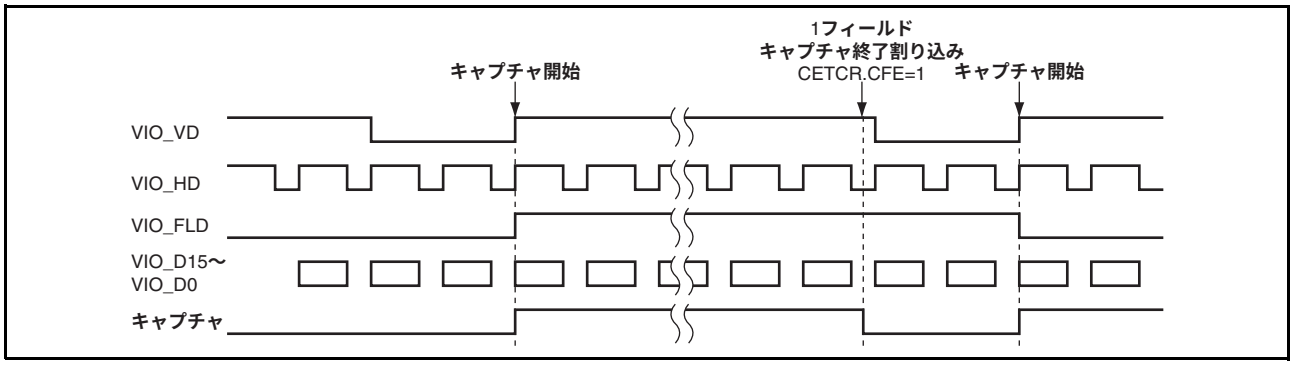


図 46.46　CFE 発生タイミング

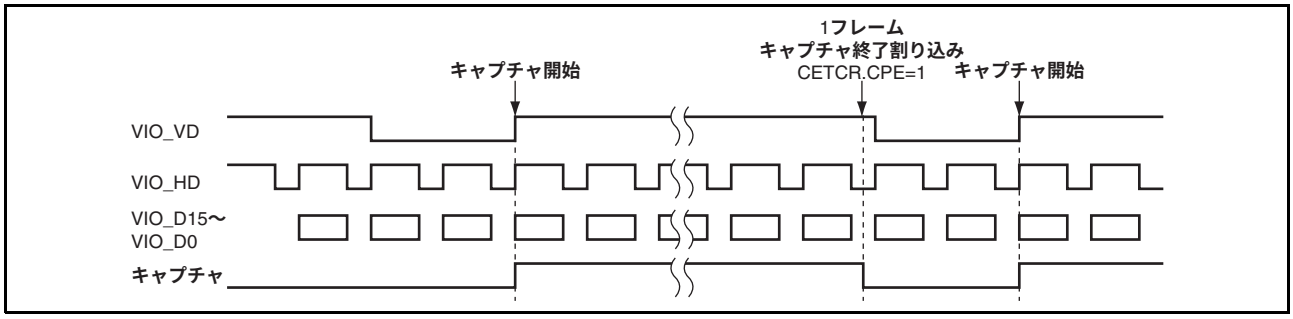


図 46.47　CPE 発生タイミング

46.4.23　キャプチャステータスレジスタ（CSTSR）

CSTSR は、CEU 内部のステータスを表すレジスタです。CETCR とは異なり、本レジスタの要因については割り込みを発生しません。

CEU の動作／停止状態の判定は、本レジスタで行います。停止状態を確認するためには、ON 状態を示すステータスビット（ビット 0）が、完全に 0 になっていることを確認してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CRST	—	—	—	—	—	—	—	CPFLD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPTON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～25	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
24	CRST	0	R	現在使用しているレジスタ面を表しています。 0：A面のレジスタを使用している 1：B面のレジスタを使用している
23～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	CPFLD	0	R	キャプチャ中のフィールドを表しています。 0：ボトムフィールドをキャプチャしている 1：トップフィールドをキャプチャしている
15～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	CPTON	0	R	CEUが動作中であることを表します。 本ビットはキャプチャ開始時の内部VDから1フレームキャプチャ終了割り込みの発生まで1を保持します。CEUの動作中期間を図46.48に示します。

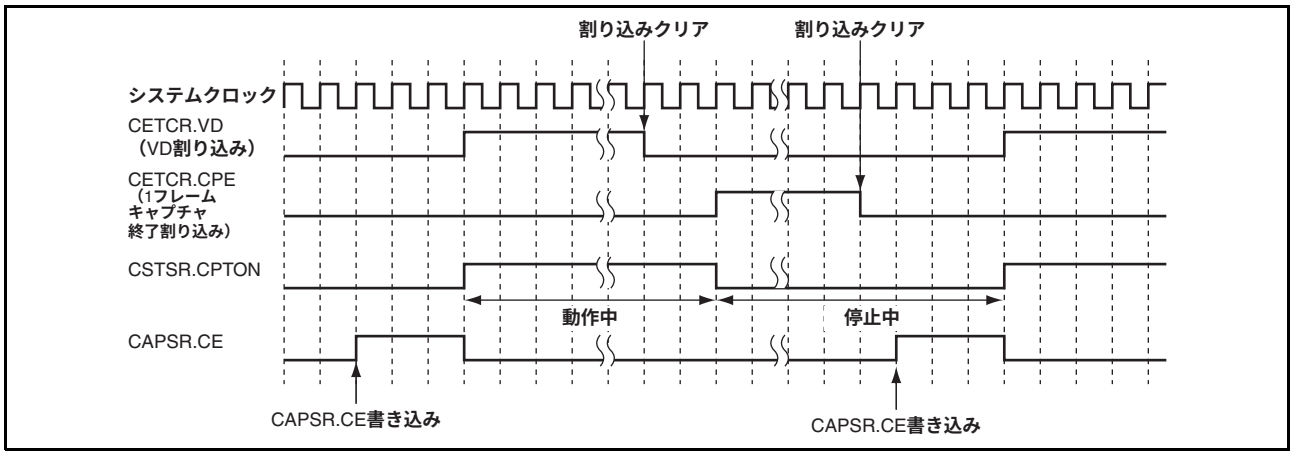


図 46.48　キャプチャ時の動作ステータス

46.4.24　キャプチャデータ容量レジスタ（CDSSR）

CDSSR は、データイネーブル取り込み時にメモリに書き込んだデータの容量を表します。本レジスタは、キャプチャ終了時に正しい値を表示するので、キャプチャ終了時に参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDSS[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDSS[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0	CDSS [31:0]	H'0000 0000	R	データイネーブル取り込み時にメモリに書き込んだデータ容量をバイト単位で表します。 バンドル書き込みの場合は、1フレームキャプチャ終了時に選択されているアドレスに書き込んだデータ容量を表します。バンドル書き込みでは、CBDSR レジスタで指定されたバイト数をバスに転送し次第、データ書き込み先のアドレスを切り替えます。 したがって、バンドル書き込みの終了と同時に、1フレームのキャプチャが終了した場合、本レジスタには H'0000 0000 が表示されます。 バンドル書き込み時の CDSSR 動作タイミングイメージを図 46.49 および図 46.50 に示します。

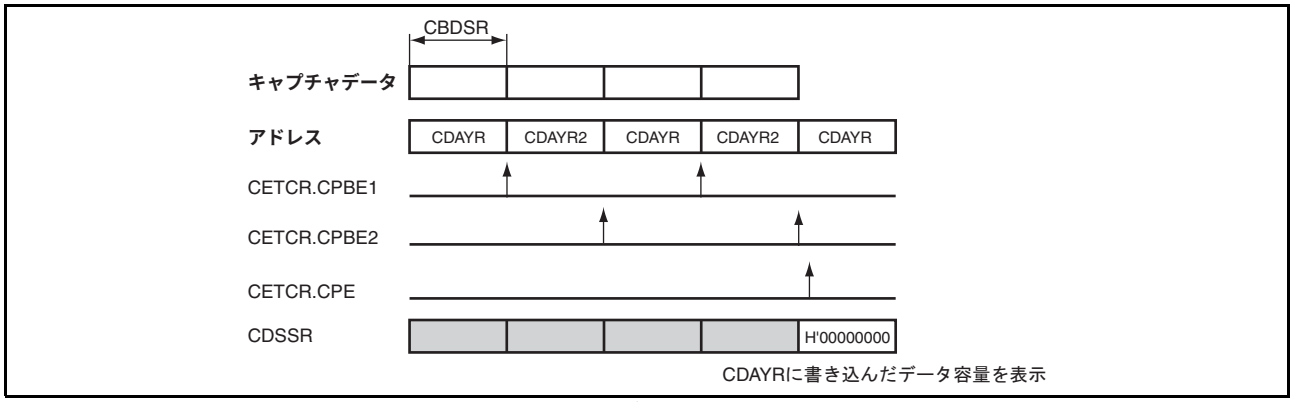


図 46.49　バンドル書き込み時の CDSSR 動作タイミングイメージ図
（バンドル書き込み終了とキャプチャ終了が同時の場合）

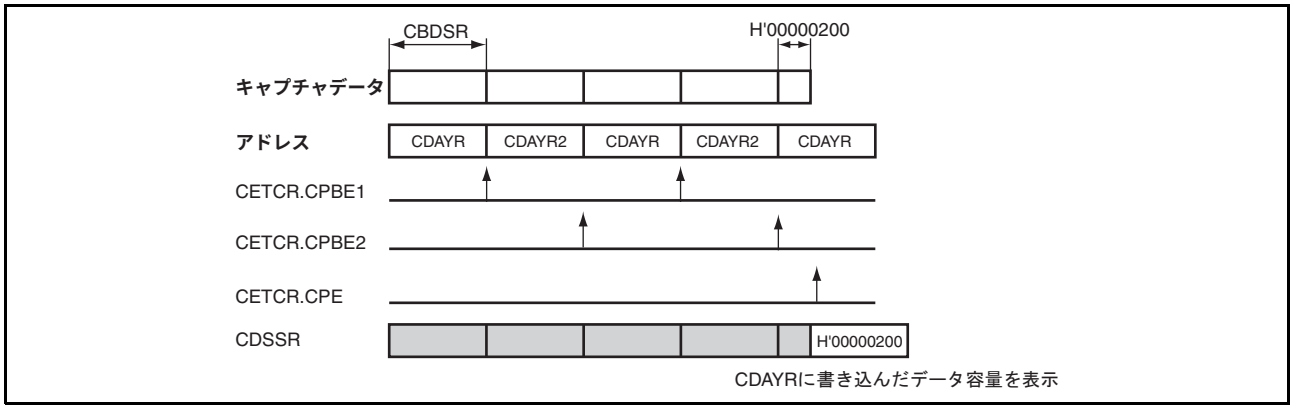


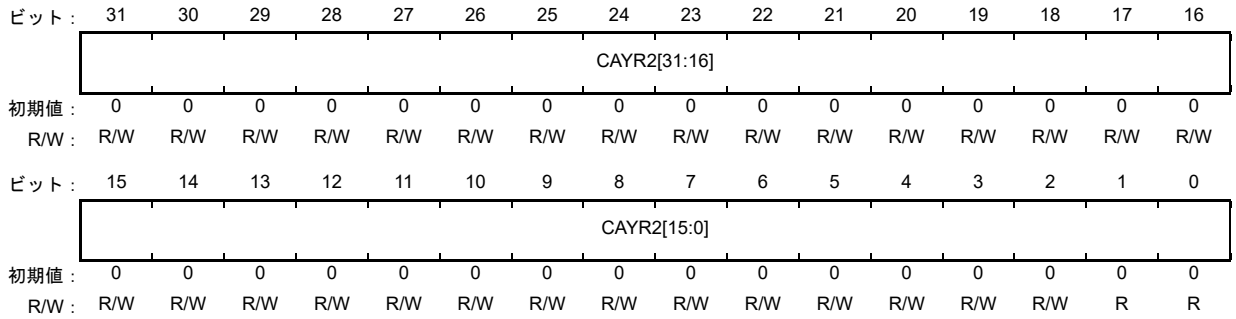
図 46.50　バンドル書き込み時の CDSSR 動作タイミングイメージ図
（バンドル書き込み終了とキャプチャ終了が異なる場合）

46.4.25　キャプチャデータアドレス Y レジスタ 2（CDAYR2）

CDAYR2 は、バンドル書き込みで使用する輝度（Y）成分用のアドレス指定、およびデータ取り込みの際のバンドル 書き込みで使用するデータ格納先アドレス指定レジスタです。バンドル書き込みでのみ使用します。

フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの Y 成分のデータ格納先アドレス指定、両フィールド画像キャプチャの際のトップフィールドの Y 成分格納先アドレス指定、およびデータ取り込みの際の、データ格納先アドレス指定を行います。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、キャプチャデータの Y 成分のデータ格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、トップフィールドキャプチャ画像の Y 成分の格納先先頭アドレスを設定してください。データ取り込みの際は、データ格納に使用するメモリ領域の先頭アドレスを設定してください。

アドレスは、32 ビットで指定します。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。



ビット	ビット名	初期値	R/W	説明
31～2 1、0	CAYR2[31:2] CAYR2[1:0]	H'0000 0000	R/W R	• フレーム画像キャプチャ時：キャプチャデータのY成分データ格納先アドレス（4画素単位） • 片フィールド画像キャプチャ時：キャプチャデータのY成分データ格納先アドレス（4画素単位） • 両フィールド画像キャプチャ時：トップフィールドキャプチャデータのY成分データ格納先アドレス（4画素単位） • データ同期取り込み時：データ格納先アドレス（4バイト単位） • データイネーブル取り込み時：データ格納先アドレス（32バイト単位）

本レジスタには、**図 46.51** に示すように、取り込んだデータをバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ同期取り込み時：キャプチャしたデータを格納するメモリ領域の、先頭ポイントのアドレスを設定してください。
- データイネーブル取り込み時：キャプチャしたデータを格納するメモリ領域の、先頭ポイントのアドレスを 32 バイト単位で設定してください。

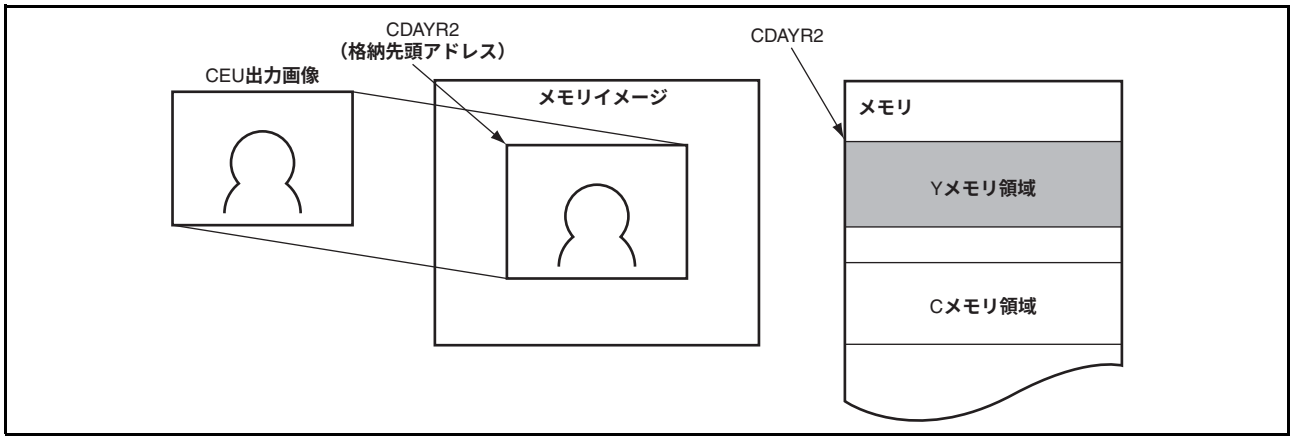


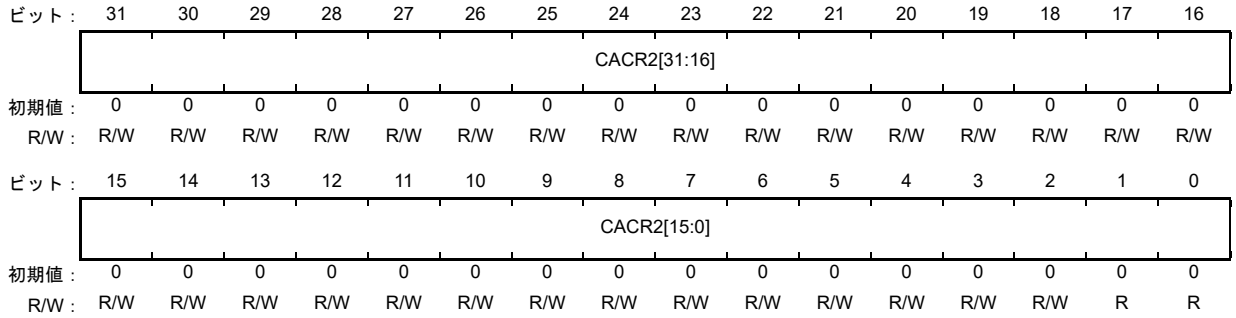
図 46.51　キャプチャ画像と Y 成分メモリ領域の関係

46.4.26　キャプチャデータアドレス C レジスタ 2（CDACR2）

CDACR2 は、バンドル書き込みで使用する色差（C）成分用のアドレス指定レジスタです。バンドル書き込みでのみ使用します。

フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの C 成分の格納先アドレス指定、および両フィールド画像キャプチャの際のトップフィールドの C 成分格納先アドレス指定を行います。CEU はキャプチャした画像データを、バスを経由し輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールドキャプチャの際は、キャプチャデータの C 成分を格納するメモリ領域の先頭アドレスを設定してください。両フィールドキャプチャの際は、トップフィールドキャプチャ画像の C 成分の格納先先頭アドレスを設定してください。データ取り込みの際は、本レジスタは使用しません。

本レジスタで設定するアドレスは、32 ビットで指定します。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。



ビット	ビット名	初期値	R/W	説明
31～2 1、0	CACR2[31:2] CACR2[1:0]	H'0000 0000	R/W R	• フレーム画像キャプチャ時：キャプチャデータのC成分データ格納先アドレス（4画素単位） • 片フィールド画像キャプチャ時：キャプチャデータのC成分データ格納先アドレス（4画素単位） • 両フィールド画像キャプチャ時：トップフィールドキャプチャデータのC成分データ格納先アドレス（4画素単位）

本レジスタには、**図 46.52** に示すように、キャプチャした画像の C 成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

また、C 成分の出力データ形式は**図 46.53** のようになっており、この形式でメモリに格納します。

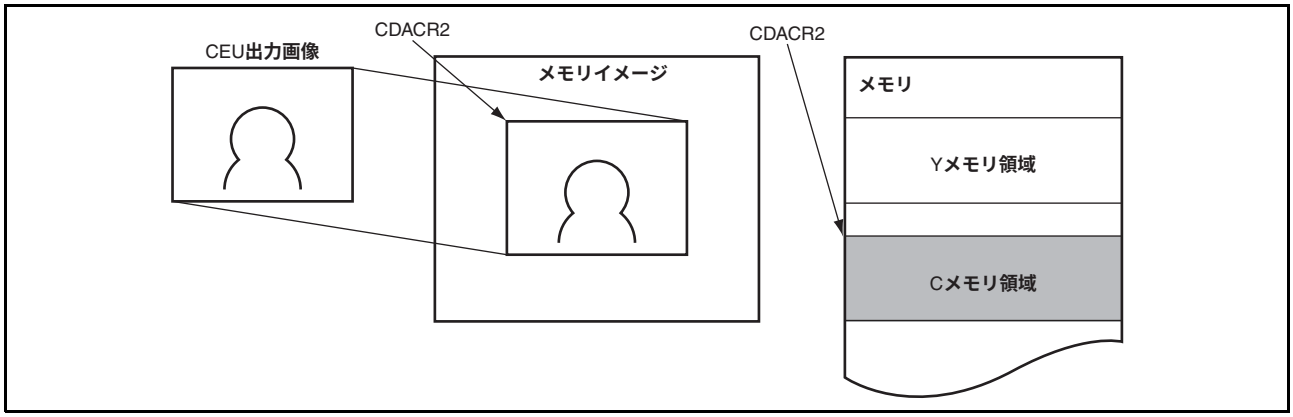


図 46.52　キャプチャ画像と C 成分メモリ領域の関係

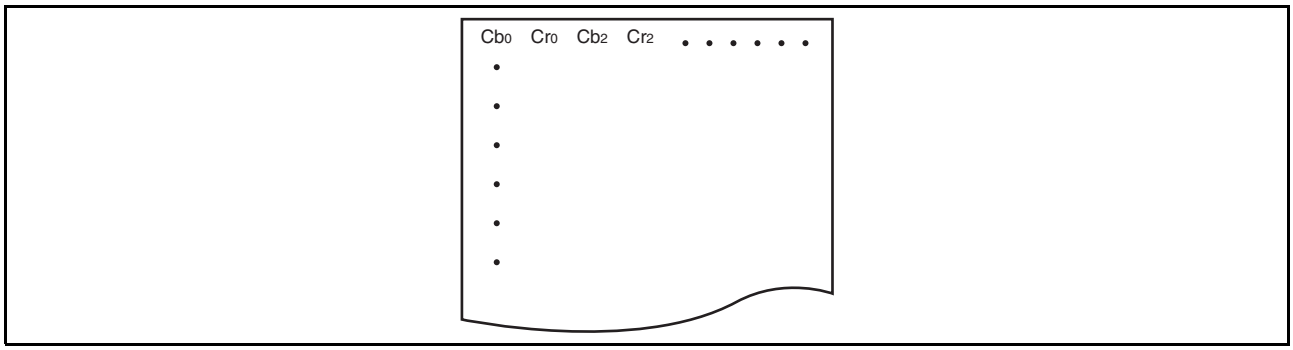


図 46.53　C 成分のメモリ出力イメージ

46.4.27　キャプチャデータボトムフィールドアドレス Y レジスタ 2（CDBYR2）

CDBYR2 は、バンドル書き込みで使用するボトムフィールド輝度（Y）成分用のアドレス指定レジスタです。バンドル書き込みでのみ使用します。

両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの Y 成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの Y 成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBYR2[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBYR2[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CBYR2[31:2] CBYR2[1:0]	H'0000 0000	R/W R	ボトムフィールドキャプチャデータのY成分データ格納先アドレス （4画素単位）

本レジスタには、**図 46.54** に示すように、ボトムフィールドキャプチャ画像の Y 成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

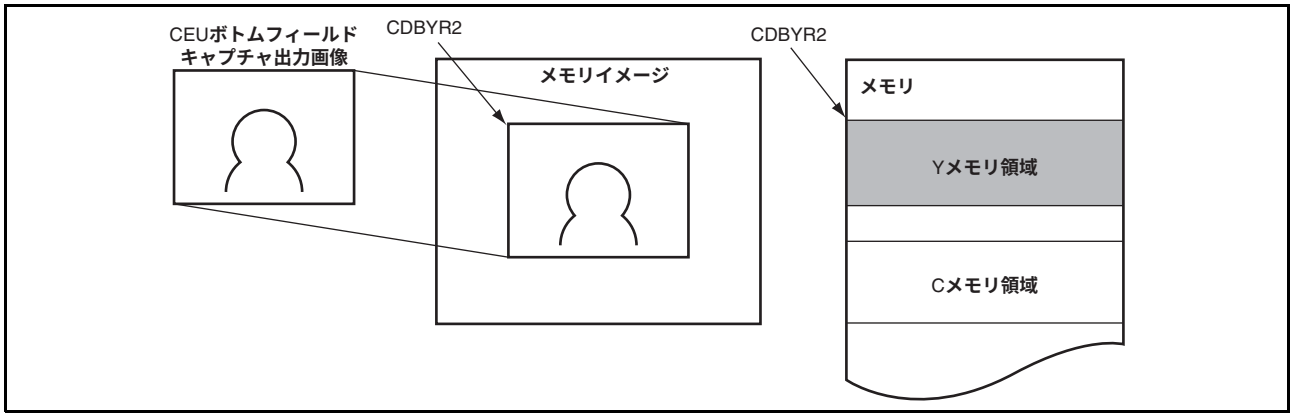


図 46.54　ボトムフィールドキャプチャ画像と Y 成分メモリ領域の関係

46.4.28　キャプチャデータボトムフィールドアドレス C レジスタ 2（CDBCR2）

CDBCR2 は、バンドル書き込みで使用するボトムフィールド色差（C）成分用のアドレス指定レジスタです。バンドル書き込みでのみ使用します。

両フィールド画像キャプチャの際の、ボトムフィールドキャプチャデータの C 成分格納先のアドレスを指定します。CEU はキャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの C 成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールドキャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBCR2[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBCR2[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CBCR2[31:2] CBCR2[1:0]	H'0000 0000	R/W R	ボトムフィールドキャプチャデータのC成分データ格納先アドレス （4画素単位）

本レジスタには、図 46.55 に示すように、ボトムフィールドキャプチャ画像の C 成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、C 成分の出力データ形式は図 46.56 のようになっており、この形式でメモリに格納します。

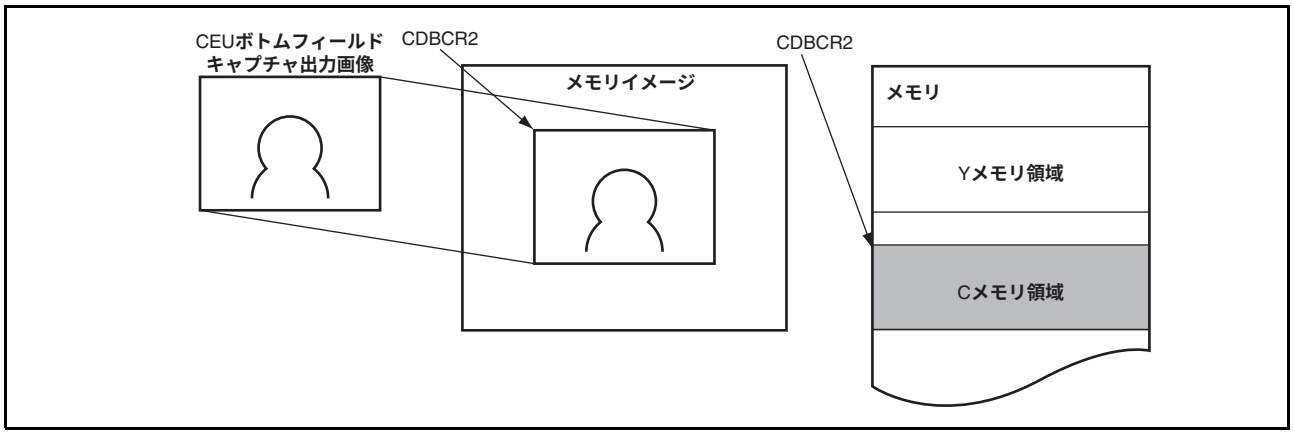


図 46.55　ボトムフィールドキャプチャ画像と C 成分メモリ領域の関係

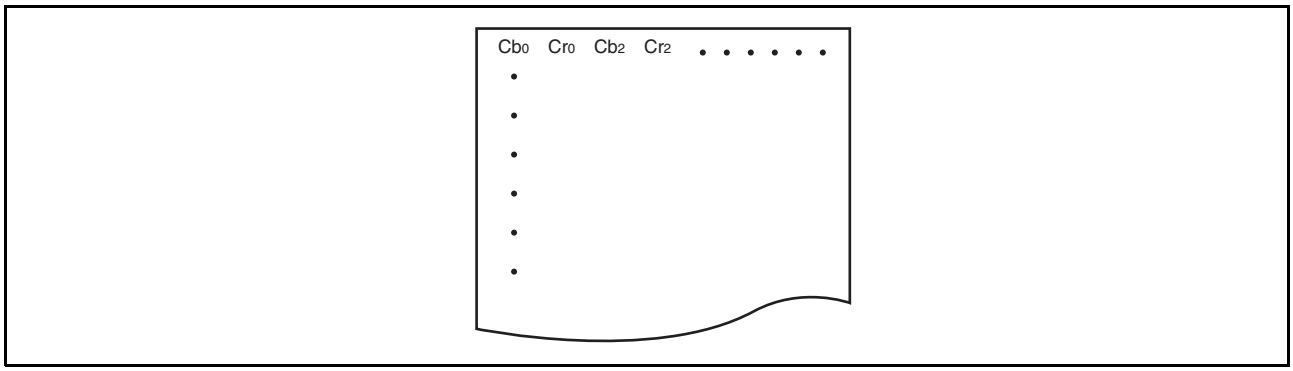


図 46.56 C 成分のメモリ出力イメージ

46.5 CEU の使用上の注意事項

46.5.1 外部モジュールの接続条件

(1) クロック周波数

外部から入力するクロックは、CEU の動作クロック周波数に対し、両方のジッタを含んだ状態で等倍以下の周波数で動作させてください。

CEU 動作クロック周波数（Bφ）≧ 外部入力クロック周波数

(2) ブランク期間

各ラインの最終有効画素から次の水平同期信号 HD までの期間は、20 サイクル以上空けてください。

(3) フィールド識別信号確定期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間確定させてください。

46.5.2　入出力機能制限事項

表 46.11 に、CEU の入出力機能の制限事項を示します。

表46.11　CEUの入出力機能の制限事項

項目	制限事項
外部モジュールインタフェース	外部モジュール動作クロック（VIO_CLK）とCEU動作クロック（Bφ）の両方のジッタを含んだ状態で、外部モジュール動作クロックの周波数は、常にCEU動作クロック周波数以下であること。
	インタフェースの選択、外部モジュールの動作クロック周波数、およびHD/VDの極性等の変更は、キャプチャ動作を完全に停止した状態で行うこと。
	画像取り込み時のキャプチャ水平幅は、 8ビットインタフェースの場合：8サイクル単位 16ビットインタフェースの場合：4サイクル単位 で指定すること。
	データ取り込み時のキャプチャ水平幅は、 8ビットインタフェースの場合：4サイクル単位 16ビットインタフェースの場合：2サイクル単位 で指定すること。
	キャプチャ垂直幅は、4ライン単位で指定すること。
	水平同期信号間のサイクル数は、外部入力クロックで、8ビットデジタル画像入力端子の場合16,375サイクル、16ビットデジタル画像入力端子の場合16379サイクル以下にすること。
	垂直同期信号間のライン（HD）数は、最大16,382ライン以下にすること。
	最小キャプチャ画素数は、sub-QCIF（128×96）である。
	最大キャプチャ画素数は、5M（2,560×1,920）画素である。
	データイネーブル取り込み時のキャプチャ容量 最大：6M（2,048×1,536×2）バイト 最小：16バイト
メモリ出力	出力アドレスは、32ビット単位で指定すること。
	出力先画像（メモリ）の横幅は、4画素単位で指定すること。
	水平出力画素数（横クリップサイズ）は、4画素単位で指定すること。
	垂直出力ライン（HD）数（縦クリップサイズ）は、4ライン（HD）単位で指定すること。
	データイネーブル取り込みバンドル書き込み時は、出力アドレスを32バイト単位で指定すること。
内部処理	フィルタのクリップサイズ設定は、フィルタの実出力サイズ以下の値に設定すること。

46.5.3　ビデオディスプレイコントローラ 6 との連携

画像取り込みモード時、入力データを Y データと CbCr データに分けてメモリに書き込むため、キャプチャしたデータはビデオディスプレイコントローラ 6 で表示することはできません。

46.5.4　ソフトウェアリセット

CAPSR レジスタの CPKIL ビットによるソフトウェアリセットへの遷移の際は、「52.3.6　ソフトウェアリセット」を参照してください。なお、「52.3.6　ソフトウェアリセット」に記載の手順に関しては、SRST ビット記述を CAPSR レジスタの CPKIL ビットに読み替えてください。

47. MIPI CSI2 インタフェース

47.1 概要

CSI2 は、MIPI CSI-2（カメラシリアルインタフェース 2）レシーバモジュールです。
MIPI CSI-2 V1.1 と MIPI D-PHY V2.0 に対応しています。

PHY モジュールと LINK モジュールが含まれています。PHY モジュールには DPHY が組み込まれています。本 LSI は 2 レーン用 CSI2 からなる 1 つの CSI2 セットを持ちます。

受信された信号は、PHY モジュールに入力されます。LINK モジュールは、PHY モジュールから出力されるバイトデータを受信します。そして、PHY モジュールは、次の VIN モジュールにデータを出力する前に、画像データ、データタイプ、およびチャネル情報を抽出します。ここで、LINK モジュールは、垂直同期信号（VD）、フィールド信号（FLD）、水平同期信号（HD）、データイネーブル信号（PE）、各チャネルのバイトイネーブル信号（PEB）を生成し、それらを VIN モジュールに出力します。

LINK レジスタは、PHY モジュールを制御し、PHY モジュールの状態を監視するために使用されます。

47.1.1 特長

本モジュールには、次の機能があります。
(1) MIPI CSI-2 での、80 Mbps から 1.0 Gbps の転送速度（47.3.1 を参照ください）
(2) パケットヘッダでの、ECC 1 ビットエラー訂正と、2 ビット以上のエラー検出（47.3.2 を参照ください）
(3) ペイロードデータ部での CRC エラー検出（47.3.3 を参照ください）
(4) VD（垂直同期）、HD（水平同期）、および FLD（フィールド）信号の生成（47.3.4 を参照ください）
(5) 割り込み（47.3.6 を参照ください）
(6) レーンスワッピング（47.3.7 を参照ください）
(7) PHY の初期設定（47.3.9 を参照ください）
(8) レジスタ設定による PHY 制御とモニタ（47.3.10 を参照ください）
(9) ULP ステータスと受信エラーステータスによる割り込み発生（47.3.11 を参照ください）
(10) サポートデータタイプ（「48. ビデオインプットモジュール」を参照ください）

47.1.2 ブロック図

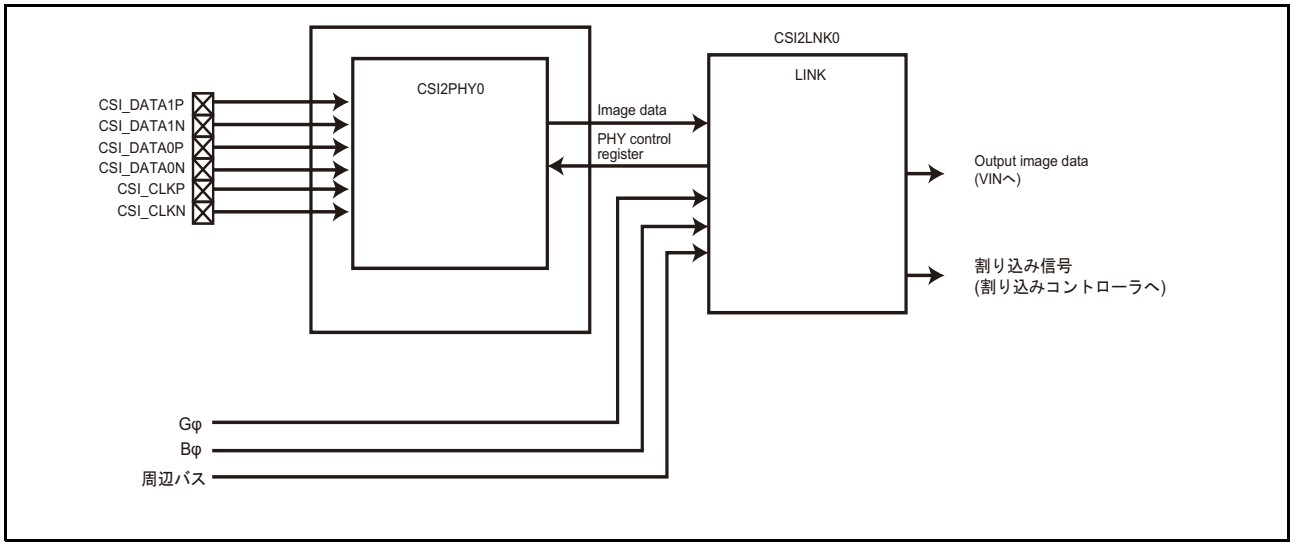


図 47.1 CSI2 ブロック図

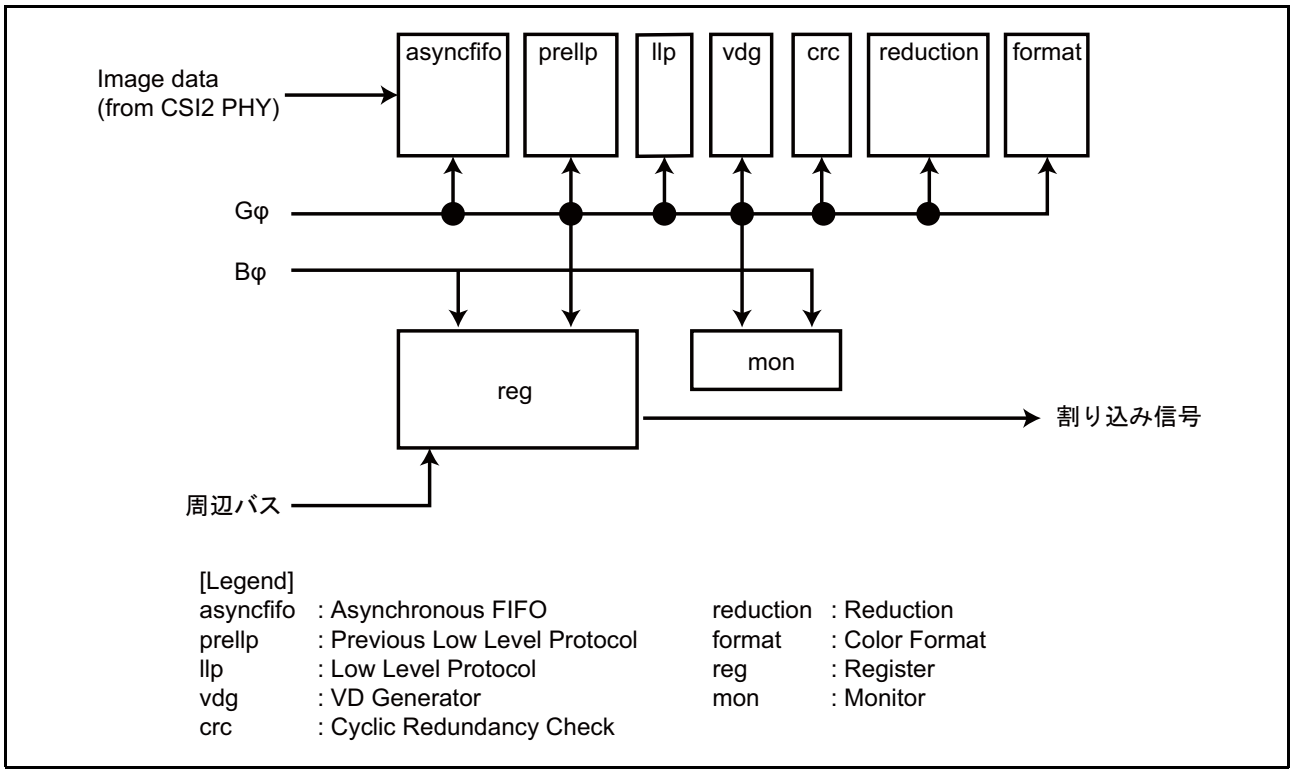


図 47.2 CSI2 リンクブロック図

47.1.3 外部端子

表47.1 外部端子

端子名	略称	入出力	機能
レーン0 ポシティブ データピン	CSI_DATA0P	入力	CSI2 レーン0 の差動ポジティブ受信データ入力
レーン0 ネガティブ データピン	CSI_DATA0N	入力	CSI2 レーン0 の差動ネガティブ受信データ入力
レーン1 ポジティブ データピン	CSI_DATA1P	入力	CSI2 レーン1 の差動ポジティブ受信データ入力
レーン1 ネガティブ データピン	CSI_DATA1N	入力	CSI2 レーン1 の差動ネガティブ受信データ入力
クロックレーン ポジティブデータピン	CSI_CLKP	入力	CSI2 クロックレーン の差動ポジティブ受信入力
クロックレーン ネガティブデータピン	CSI_CLKN	入力	CSI2 クロックレーン の差動ネガティブ受信入力

47.1.4 レジスタ構成

以下に、本モジュールのベースアドレスを示します。

モジュール名	アドレス
CSI2LNK0	H'E820 9000

表47.2 レジスタ構成

レジスタ名	略称	R/W	アドレス	初期値	アクセスサイズ
制御タイミング選択レジスタ	TREF	R/W	H'0000	H'0000 0001	32
ソフトウェアリセットレジスタ	SRST	R/W	H'0004	H'0000 0000	32
PHY動作制御レジスタ	PHYCNT	R/W	H'0008	H'0000 0000	32
チェックサム制御レジスタ	CHKSUM	R/W	H'000C	H'0000 0003	32
チャネルデータタイプ選択レジスタ	VCDT	R/W	H'0010	H'011E 801E	32
フレームデータタイプ選択レジスタ	FRDT	R/W	H'0018	H'0001 0000	32
フィールド検出制御レジスタ	FLD	R/W	H'001C	H'0000 0000	32
自動スタンバイ制御レジスタ	ASTBY	R/W	H'0020	H'0000 3F21	32
ロングデータタイプ設定レジスタ0	LNGDT0	R/W	H'0028	H'FFFF 0000	32
ロングデータタイプ設定レジスタ1	LNGDT1	R/W	H'002C	H'FFFF FFFF	32
割り込みイネーブルレジスタ	INTEN	R/W	H'0030	H'0000 0000	32
割り込み要因マスクレジスタ	INTCLOSE	R/W	H'0034	H'0004 0000	32
割り込み状態モニタレジスタ	INTSTATE	R/(W)(注1)	H'0038	H'0000 0000	32
割り込みエラー状態モニタレジスタ	INTERRSTATE	R/(W)(注2)	H'003C	H'0000 0000	32
ショートパケットデータレジスタ	SHPDAT	R	H'0040	H'0000 0000	32
ショートパケットカウントレジスタ	SHPCNT	R	H'0044	H'0000 0000	32
LINK動作制御レジスタ	LINKCNT	R/W	H'0048	H'8000 0000	32
レーンスワップレジスタ	LSWAP	R/W	H'004C	H'0000 00E4	32
PHY ESCエラー モニタレジスタ	PHEERM	R	H'0074	H'0000 0000	32
PHYクロックレーン モニタレジスタ	PHCLM	R	H'0078	H'0000 000C	32
PHYデータレーン モニタレジスタ	PHDLM	R	H'007C	H'0000 3000	32
パケットヘッダ0 モニタレジスタ0	PH0M0	R	H'00F0	H'0000 0000	32
パケットヘッダ0 モニタレジスタ1	PH0M1	R	H'00F4	H'0000 0000	32
パケットヘッダ1 モニタレジスタ0	PH1M0	R	H'00F8	H'0000 0000	32
パケットヘッダ1 モニタレジスタ1	PH1M1	R	H'00FC	H'0000 0000	32
パケットヘッダ2 モニタレジスタ0	PH2M0	R	H'0100	H'0000 0000	32
パケットヘッダ2 モニタレジスタ1	PH2M1	R	H'0104	H'0000 0000	32

レジスタ名	略称	R/W	アドレス	初期値	アクセスサイズ
パケットヘッダ3 モニタレジスタ0	PH3M0	R	H'0108	H'0000 0000	32
パケットヘッダ3 モニタレジスタ1	PH3M1	R	H'010C	H'0000 0000	32
パケットヘッダR モニタレジスタ0	PHRM0	R	H'0110	H'0000 0000	32
パケットヘッダR モニタレジスタ1	PHRM1	R	H'0114	H'0000 0000	32
パケットヘッダR モニタレジスタ2	PHRM2	R	H'0118	H'0000 0000	32
パケットヘッダC モニタレジスタ0	PHCM0	R	H'0120	H'0000 0000	32
パケットヘッダC モニタレジスタ1	PHCM1	R	H'0124	H'0000 0000	32
CRCモニタレジスタ0	CRCM0	R	H'0128	H'0000 0000	32
CRCモニタレジスタ1	CRCM1	R	H'012C	H'0000 0000	32
SOTエラーカウントレジスタ	SERRCNT	R	H'0140	H'0000 0000	32
SOTSYNCエラーカウントレジスタ	SSERRCNT	R	H'0144	H'0000 0000	32
ECC_CRCTカウントレジスタ	ECCCM	R	H'0148	H'0000 0000	32
ECC_ERRカウントレジスタ	ECECM	R	H'014C	H'0000 0000	32
CRC_ERRカウントレジスタ	CRCECM	R	H'0150	H'0000 0000	32
ラインレジスタ	LCNT	R	H'0160	H'0000 0000	32
ラインモニタレジスタ	LCNTM	R	H'0168	H'0000 0000	32
フレームカウントモニタレジスタ	FCNTM	R	H'0170	H'0000 0000	32
PHY入力データモニタレジスタ	PHYDIM	R	H'0180	H'0000 0000	32
PHY入力モニタレジスタ	PHYIM	R	H'0184	H'0000 0000	32
VINデータモニタレジスタ	VINDM	R	H'018C	H'0000 0000	32
VIN信号モニタレジスタ1	VINSM1	R	H'0190	H'0000 0000	32
VIN信号モニタレジスタ 3	VINSM3	R	H'0198	H'0000 0000	32
PHY出力モニタレジスタ	PHYOM	R	H'019C	H'0000 0000	32
パケットヘッダモニタレジスタ1	PHM1	R	H'01C0	H'0000 0000	32
パケットヘッダモニタレジスタ2	PHM2	R	H'01C4	H'0000 0000	32
パケットヘッダモニタレジスタ3	PHM3	R	H'01C8	H'0000 0000	32
パケットヘッダモニタレジスタ4	PHM4	R	H'01CC	H'0000 0000	32
パケットヘッダモニタレジスタ5	PHM5	R	H'01D0	H'0000 0000	32
パケットヘッダモニタレジスタ6	PHM6	R	H'01D4	H'0000 0000	32
パケットヘッダモニタレジスタ7	PHM7	R	H'01D8	H'0000 0000	32
パケットヘッダモニタレジスタ8	PHM8	R	H'01DC	H'0000 0000	32
PHYタイミングレジスタ1	PHYTIM1	R/W	H'0264	H'0000 0000	32
PHYタイミングレジスタ2	PHYTIM2	R/W	H'0268	H'0000 0000	32
PHYタイミングレジスタ3	PHYTIM3	R/W	H'026C	H'0000 0000	32

注1.　フラグをクリアするために、1のみを書き込むことができます。ビット27, 4, 3は読み出し専用ビットであり、値を書き込むことはできません。
注2.　フラグをクリアするために、1のみを書き込むことができます。
注3.　アクセスサイズは、32bit以外サポートしていません。

47.2　レジスタ説明

凡例

初期値：　リセット後のレジスタ値

－：　未定義の値
R/W：　読み書き可能。書き込まれた値を読み取ることができます。
R/WC1：　読み書き可能。1 を書き込むとビットが初期化されます。0 を書き込むと無視されます。
R：　読み取り専用。書き込み値は常に 0 にする必要があります。
－ /WB：　書き込み専用。読み取り値は未定義です。

47.2.1　制御タイミング選択レジスタ (TREF)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TREF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
0	TREF	1	R/W	レジスタ値 反映タイミング選択 1：即時（このレジスタは、初期値から変更しないでください）

47.2.2　ソフトウェアリセットレジスタ (SRST)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
0	SRST	0	R/W	ソフトウェアリセット制御 0：ノーマル 1：リセット このビットは、CSI2 ブロックの制御回路をリセットします。回路をリセットするには、このビットを1に設定します。リセットをキャンセルする場合は、必ずこのビットを0に設定してください。ソフトウェアリセットは、CSI2 レジスタを初期化しません。

注.　このレジスタの設定は、設定された瞬間に適用されます（即時反映）。

47.2.3 PHY 動作制御レジスタ (PHYCNT)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SHUTDOWNZ	RSTZ
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	ENABLECLK	—	—	ENABLE_1	ENABLE_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～18	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
17	SHUTDOWNZ	0	R/W	このビットが0のときにPHYをシャットダウンします。
16	RSTZ	0	R/W	このビットが0のときにPHYを初期化します。
15～5	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
4	ENABLECLK	0	R/W	クロックレーン動作イネーブル 0：動作を無効にする 1：動作を有効にする ENABLE_1~ENABLE_0ビットのいずれかが1にセットされているときは、必ずENABLECLKビットを1に設定してください。
3、2	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
1	ENABLE_1	0	R/W	データレーン1動作イネーブル 0：動作を無効にする 1：動作を有効にする 注.　1レーンPHYが接続されているとき、この設定は無効です。
0	ENABLE_0	0	R/W	データレーン0動作イネーブル 0：動作を無効にする 1：動作を有効にする このビットは1に設定する必要があります。

注.　このレジスタの設定は、レジスタが設定された瞬間に適用されます（即時反映）。データ入力が中断されているときに、このレジスタを設定します（センサは停止）。動作中はこのレジスタの設定を変更しないでください。

47.2.4　チェックサム制御レジスタ (CHKSUM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECC_EN	CRC_EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～2	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
1	ECC_EN	1	R/W	ECCプロセス制御 0：無効 1：有効 このビットは、低レベルプロトコル(LLP)でのパケットヘッダ(PH)のECC処理を制御します。ECCを使用するには、このビットを1にセットします。0に設定すると、データにはエラーがないものとして常に処理され、エラーは訂正されません。
0	CRC_EN	1	R/W	CRCチェックサムプロセス制御 0：無効 1：有効 このビットは、低レベルプロトコル(LLP)でのロングパケットデータのチェックサム処理を制御します。 CRCチェックサムを使用するには、このビットを1に設定します。 0に設定すると、データにはエラーがないものとして常に処理されます。

注.　このレジスタの設定は、設定された瞬間に適用されます（即時反映）。データ入力が中断されている間に設定してください（センサは停止）。動作中はこのレジスタの設定を変更しないでください。

47.2.5　チャネルデータタイプ選択レジスタ (VCDT)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VCDT_EN	—	—	—	—	—	SEL_VC		—	SEL_DT_ON	SEL_DT					
初期値：	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0
R/W：	R/W	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～25	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
24	—	1	R	予約済 このビットは常に1が読み出されます。書き込み値は常に1にする必要があります。
23～21	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
20～16	—	H'1E	R	予約済 これらのビットは常にH'1Eが読み出されます。書き込み値は常にH'1Eにする必要があります。
15	VCDT_EN	1	R/W	チャネルイネーブル 0：無効 1：有効 このビットはチャネルを有効または無効にします。 0に設定すると、VDとFLDはローに固定され、TAG = 0 は生成されません。
14～10	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
9、8	SEL_VC	H'0	R/W	チャネルセレクトチャネル H'0~H'3 これらのビットは、チャネルがキャプチャする仮想チャネルを指定します。 H'0~H'3の4チャネルの中からチャネルを選択できます。このレジスタの値が受信した仮想チャネルと一致すると、チャネルが出力されます。
7	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
6	SEL_DT_ON	0	R/W	チャネルの選択データタイプイネーブル 0：無効 1：有効 このビットは、SEL_DTを使用して、データタイプの一致機能を有効または無効にします。 0に設定すると、SEL_DTの設定が受信したデータタイプと一致しなくても、仮想チャネルと一致する限りチャネルが出力されます。 1に設定すると、SEL_DTの設定が受信したデータタイプと仮想チャネルに一致する場合にのみ、チャネルが出力されます。
5～0	SEL_DT	H'1E	R/W	チャネルセレクトデータタイプ H'00~H'3F これらのビットは、キャプチャするチャネルのデータタイプを指定します。 SEL_DT_ONが0に設定されている場合、CSI2 LINKモジュールは受信したペイロードデータをデータタイプにかかわらずそのまま出力しますが、次のVINモジュールの対応するデータタイプ（カラーフォーマットなど）にはいくつかの制限があります。

注1.　このレジスタは、初期シーケンス中に設定する必要があります。
注2.　上記の表において、「仮想チャネル」はカメラからデータが流れるチャネルを指し、「チャネル」はCSI2の出力チャネルを指します。

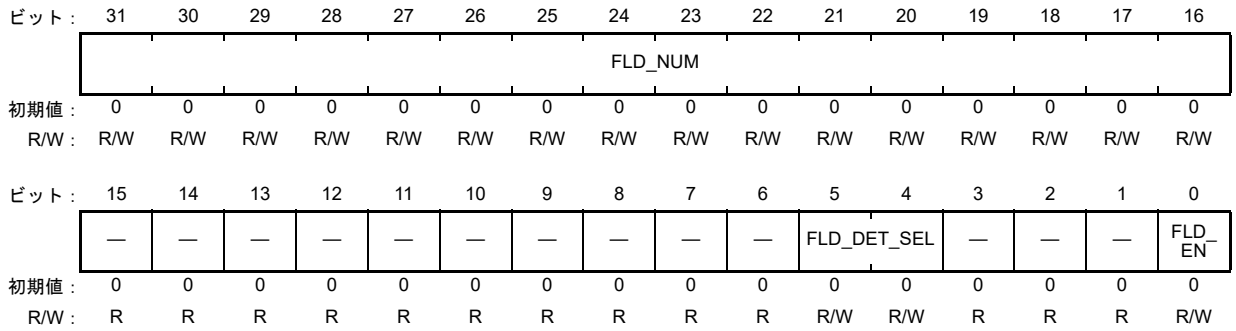
47.2.6　フレームデータタイプ選択レジスタ (FRDT)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	DT_FS						—	—	DT_FE					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
29～24	DT_FS	H'00	R/W	フレームスタートデータタイプ これらのビットは、フレームスタートデータタイプを指定します。 これらのビットの値が受信したデータタイプと一致すると、データはフレームスタートとして決定されます。
23、22	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
21～16	DT_FE	H'01	R/W	フレームエンドデータタイプ これらのビットは、フレームエンドデータタイプを指定します。 これらのビットの値が受信したデータタイプと一致すると、そのデータはフレームエンドと判断されます。
15～0	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

47.2.7　フィールド検出制御レジスタ (FLD)



ビット	ビット名	初期値	R/W	説明
31～16	FLD_NUM	H'0000	R/W	偶数フィールド番号設定 これらのビットは、インタレース画像の偶数フィールドを検出するための値を指定します。 偶数フィールドを検出するために、フレームスタートパケットのWC値（16ビット）が参照されます。 WC値がこれらのビットの設定と一致すると、そのフィールドは偶数フィールドとして検出されます。 フレーム期間中、CSIR_FLD信号はハイのままです。
15～6	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
5、4	FLD_DET_SEL	B'00	R/W	偶数フィールド検出条件の選択 00：FLD_NUMがWCに一致するとき、フィールドは最初のフィールドとして検出されます。 01：FLD_NUM[0]がWC[0]と一致するとき、フィールドは最初のフィールドとして検出されます。 10：FLD_NUM[0]がWC[8]と一致するとき、フィールドは最初のフィールドとして検出されます。 11：設定は禁止されています。
3～1	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
0	FLD_EN	0	R/W	チャネル偶数フィールド検出制御 このビットは、チャネルの偶数フィールドの検出をオンまたはオフにします。 検出機能を使用するには、このビットに1を設定します。 入力画像がプログレッシブシーケンスの場合、1'b0に設定する必要があります。

注.　このレジスタは、初期シーケンス中に設定する必要があります。

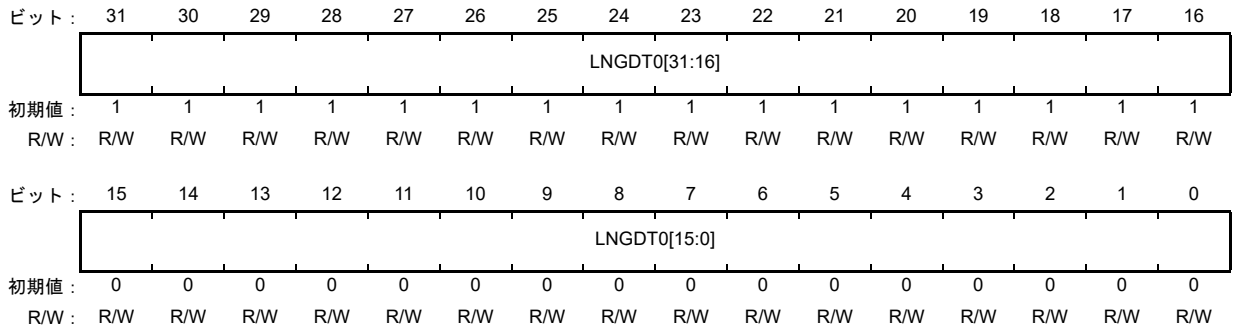
47.2.8　自動スタンバイ制御レジスタ (ASTBY)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	VD_MSK_CYCLE						—	—	VD_MSK_EN	AUTO_STANDBY_EN				
初期値：	0	0	1	1	1	1	1	1	0	0	1	0	0	0	0	1
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

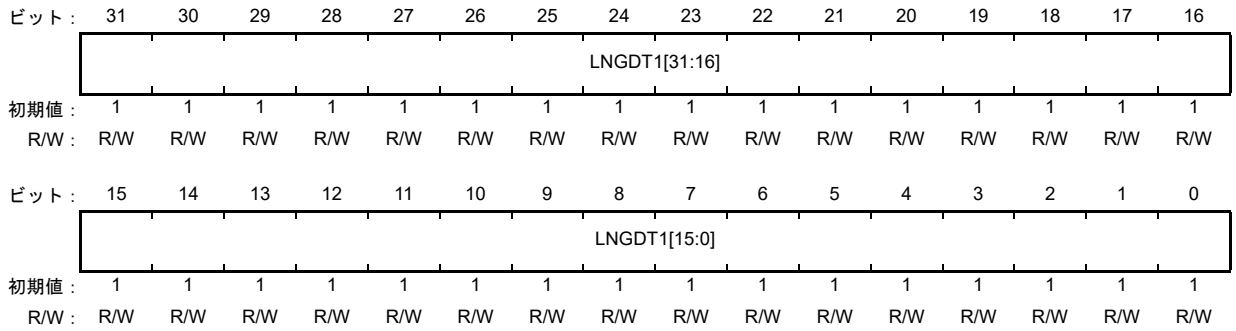
ビット	ビット名	初期値	R/W	説明
31～14	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
13～8	VD_MSK_CYCLE	H'3F	R/W	VDマスキングサイクル これらのビットは、フレームスタートエラー（FSが受信され、FEが受信される前に別のFSが受信される）が発生したときに、VDおよびFLDをマスクする期間を指定します。 フレームスタートエラーが発生すると、VD信号はローになりません（Vsyncは生成されません）。VDマスキング機能は、VD＝ローの期間を生成します。 VDマスキング期間は、4 × VD_MSK_CYCLE × 入力クロック の期間です。 [最大値] VDマスキング期間は、EOTのショートパケット（フレームスタート）からSOTのロングパケットまでの期間よりも短くする必要があります。 [最小値] VD_MSK_CYCLEは、5以上（VDマスキング期間は、20 × 入力クロック）。
7、6	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
5	VD_MSK_EN	1	R/W	VDマスキングイネーブル 0：VDのマスキングを無効にします。 1：VDのマスキングを有効にします。 このビットは、フレームスタートエラーが発生したとき、VDとFLDマスキング機能を有効または無効にします。 このビットが機能有効に設定されているとき、VDとFLDはVD_MSK_CYCLEビットで指定された期間マスクされます。
4～0	AUTO_STANDBY_EN	H'01	R/W	自動スタンバイ制御 0：VDとFLDを初期化しません。 1：VDとFLDを初期化します。 [0]: ECC 2ビットエラー [1]: FS受信時の ECC 1ビットエラー [2]: FE受信時の ECC 1ビットエラー [3]: FSとFE以外の データ受信時の ECC 1ビットエラー [4]: CRCエラー これらのビットは、エラーが発生したとき、VDとFLDの初期化を制御します。信号を初期化するには、これらのビットに1を設定します。

47.2.9 ロングデータタイプ設定レジスタ 0 (LNGDT0)



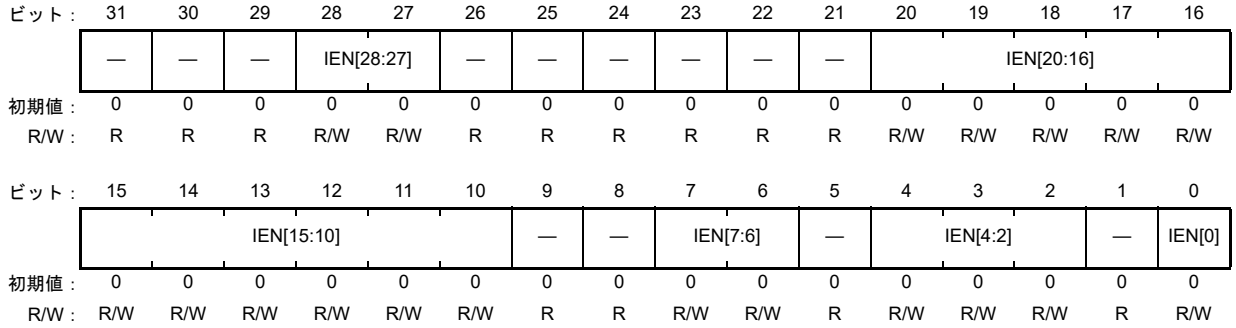
ビット	ビット名	初期値	R/W	説明
31～0	LNGDT0	H'FFFF 0000	R/W	ロングデータタイプの設定 0：ショートパケット 1：ロングパケット このレジスタは、LNGDT = {LNGDT1, LNGDT0}のように、LNGDT1 レジスタと組み合わされます。 LNGDT（受信したDT[5：0]）が1のとき、データはロングパケットと判定されます。0のときはショートパケットと判定されます。 MIPI規格では、DT = H'00～H'0Fはショートパケット、DT = H'10～H'3Fはロングパケットと定義します。これらの条件を満たすために、LNGDTの初期値は、ビット0～15は0、ビット16～63は1です

47.2.10　ロングデータタイプ設定レジスタ 1 (LNGDT1)



ビット	ビット名	初期値	R/W	説明
31～0	LNGDT1	H'FFFF FFFF	R/W	ロングデータタイプの設定 1 0：ショートパケット 1：ロングパケット これらのビットは、ロングパケットまたはショートパケットをデータタイプ（H'3F～H'20 に割り当て）として設定します。

47.2.11　割り込みイネーブルレジスタ (INTEN)



ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	IEN[28:27]		—	—	—	—	—	—	IEN[20:16]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IEN[15:10]						—	—	IEN[7:6]		—	IEN[4:2]			—	IEN[0]
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31～29	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
28	IEN[28]	0	R/W	割り込み28（INT_LESS_THAN_WC）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
27	IEN[27]	0	R/W	割り込み27（INT_AFIFO_OF）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
26～21	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
20	IEN[20]	0	R/W	割り込み20（INT_VD_START）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
19	IEN[19]	0	R/W	割り込み19（INT_VD_END）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
18	IEN[18]	0	R/W	割り込み18（INT_SHP_STB）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
17	IEN[17]	0	R/W	割り込み17（INT_FSFE）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
16	IEN[16]	0	R/W	割り込み16（INT_LNP_STB）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
15	IEN[15]	0	R/W	割り込み15（INT_CRC_ERR）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
14	IEN[14]	0	R/W	割り込み14（INT_HD_WC_ZERO）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
13	IEN[13]	0	R/W	割り込み13（INT_FRM_SEQ_ERR1）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
12	IEN[12]	0	R/W	割り込み12（INT_FRM_SEQ_ERR0）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
11	IEN[11]	0	R/W	割り込み11（INT_ECC_ERR）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。

ビット	ビット名	初期値	R/W	説明
10	IEN[10]	0	R/W	割り込み10（INT_ECC_CRCT_ERR）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
9、8	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
7	IEN[7]	0	R/W	割り込み7（INT_ULPS_START）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
6	IEN[6]	0	R/W	割り込み6（INT_ULPS_END）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
5	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
4	IEN[4]	0	R/W	割り込み4（INT_ERRSOTHS）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
3	IEN[3]	0	R/W	割り込み3（INT_ERRSOTSYNCHS）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
2	IEN[2]	0	R/W	割り込み2（INT_ERRESC）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。
1	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
0	IEN[0]	0	R/W	割り込み0（INT_ERRCONTROL）イネーブル 0：割り込みを無効にします。 1：割り込みを有効にします。

注1.　このレジスタの設定は、レジスタが設定された瞬間に適用されます（即時反映）。
注2.　CSI2が動作している間は、このレジスタの設定を変更しないでください。

47.2.12　割り込み要因マスクレジスタ (INTCLOSE)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	ICL[28:27]		—	—	—	—	—	—	ICL[20:16]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W：	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICL[15:10]						—	—	ICL[7:6]		—	ICL[4:2]			—	ICL[0]
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31～29	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
28	ICL[28]	0	R/W	割り込み28（INT_LESS_THAN_WC）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
27	ICL[27]	0	R/W	割り込み27（INT_AFIFO_OF）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
26～21	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
20	ICL[20]	0	R/W	割り込み20（INT_VD_START）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
19	ICL[19]	0	R/W	割り込み19（INT_VD_END）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
18	ICL[18]	1	R/W	割り込み18（INT_SHP_STB）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
17	ICL[17]	0	R/W	割り込み17（INT_FSFE）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
16	ICL[16]	0	R/W	割り込み16（INT_LNP_STB）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
15	ICL[15]	0	R/W	割り込み15（INT_CRC_ERR）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
14	ICL[14]	0	R/W	割り込み14（INT_HD_WC_ZERO）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
13	ICL[13]	0	R/W	割り込み13（INT_FRM_SEQ_ERR1）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
12	ICL[12]	0	R/W	割り込み12（INT_FRM_SEQ_ERR0）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
11	ICL[11]	0	R/W	割り込み11（INT_ECC_ERR）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。

ビット	ビット名	初期値	R/W	説明
10	ICL[10]	0	R/W	割り込み10（INT_ECC_CRCT_ERR）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
9、8	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
7	ICL[7]	0	R/W	割り込み7（INT_ULPS_START）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
6	ICL[6]	0	R/W	割り込み6（INT_ULPS_END）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
5	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
4	ICL[4]	0	R/W	割り込み4（INT_ERRSOTHS）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
3	ICL[3]	0	R/W	割り込み3（INT_ERRSOTSYNCHS）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
2	ICL[2]	0	R/W	割り込み2（INT_ERRESC）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。
1	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
0	ICL[0]	0	R/W	割り込み0（INT_ERRCONTROL）要因マスク 0：割り込み要因を有効にします。 1：割り込み要因をマスクします。

注.　このレジスタの設定は、レジスタが設定された瞬間に適用されます。（即時反映）
注.　このレジスタの設定は任意です。INTCLOSE を設定する場合は、PHY 起動前に以下の手順で実施することを推奨します。
1. INTCLOSE を設定
2. INTSTATE および INTERRSTATE をクリア
3. INTEN を設定

47.2.13　割り込み状態モニタレジスタ (INTSTATE)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	IST[28:27]		—	—	—	—	—	—	IST[20:16]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/WC1	R	R	R	R	R	R	R	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IST[15:10]						—	—	IST[7:6]		—	IST[4:2]			—	IST[0]
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R	R	R/WC1	R/WC1	R	R	R	R/WC1	R	R/WC1

ビット	ビット名	初期値	R/W	説明
31～29	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
28	IST[28]	0	R/WC1	割り込み28（INT_LESS_THAN_WC）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み28は、ロングパケットのペイロードデータの長さがWC値よりも小さいときに、生成されるエラー割り込みです。
27	IST[27]	0	R	割り込み27（INT_AFIFO_OF）モニタ（読み取り専用） 0：ノーマル 1：割り込みが発生しました。 割り込み27は、PHYからのHSデータが格納される非同期FIFOのオーバフロー割り込みです。 IST[27]には対応するレジスタ（DFF）がありません。 割り込みエラー状態モニタレジスタ（IEST[8]）が割り込みを生成します。したがって、割り込みは割り込みエラー状態モニタレジスタを使用してクリアされます。レーン間の同期がとれないか、特定のレーンでデータが受信されない可能性があるため、PHYデータレーンモニタレジスタなどの関連レジスタを確認してください。
26～21	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
20	IST[20]	0	R/WC1	割り込み20（INT_VD_START）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み20は、CSI2からのVD出力の開始によって生成されます。（フレームスタート割り込み）これは、CSIR_VD信号の立ち上がりエッジに同期して発行されます。
19	IST[19]	0	R/WC1	割り込み19（INT_VD_END）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み19は、CSI2からのVD出力の終了によって生成されます。（フレームエンド割り込み） CSIR_VD信号の立ち下がりに同期して発行されます。

ビット	ビット名	初期値	R/W	説明
18	IST[18]	0	R/WC1	割り込み 18（INT_SHP_STB）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み 18 は、ショートパケット受信割り込みです。 フレームスタートパケットやフレームエンドパケットなどのショートパケットの受信時に発行されます。
17	IST[17]	0	R/WC1	割り込み 17（INT_FSFE）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み 17 はフレームパケット受信割り込みです。 フレームスタートパケットやフレームエンドパケットのショートパケットの受信時に発行されます。
16	IST[16]	0	R/WC1	割り込み 16（INT_LNP_STB）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み 16 は、ロングパケット受信割り込みです。 YUV データなどのロングパケットを受信すると発行されます。
15	IST[15]	0	R/WC1	割り込み 15（INT_CRC_ERR）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み 15 は CRC エラー割り込みです。 ロングパケットにデータエラーがある場合に発行されます。 CRC チェックを実行するには、CHKSUM レジスタの CRC_EN ビットを 1 に設定します。
14	IST[14]	0	R/WC1	割り込み 14（INT_HD_WC_ZERO）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み 14 は、WC（ワードカウント）ゼロ割り込みです。 ロングパケットのパケットヘッダーの WC 値がゼロのときに発行されます。
13	IST[13]	0	R/WC1	割り込み 13（INT_FRM_SEQ_ERR1）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み 13 は、フレームシーケンスエラー 1 割り込みです。 不正なフレームエンドパケットが受信されたときに発行されます。 具体的には、以下の場合に発行されます。（同じチャネルが使用されていると仮定します。） • フレームスタートパケットが受信される前に、フレームエンドパケットが受信された。 • フレームエンドパケットが連続して受信された。

ビット	ビット名	初期値	R/W	説明
12	IST[12]	0	R/WC1	割り込み12（INT_FRM_SEQ_ERR0）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み12は、フレームシーケンスエラー0割り込みです。 不正なFrame Startパケットを受信したときに発行されます。 具体的には、以下の場合に発行されます。（同じチャネルが使用されていると仮定します。） • フレームスタートパケットが連続して受信された。
11	IST[11]	0	R/WC1	割り込み11（INT_ECC_ERR）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み11はECCエラー割り込みです。 パケットヘッダに2ビット以上のエラーが見つかった場合に発行されます。ECC処理を実行するには、CHKSUMレジスタのECC_ENビットを1に設定します。
10	IST[10]	0	R/WC1	割り込み10（INT_ECC_CRCT_ERR）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み10は、ECC1ビット訂正割り込みです。ECC処理中にパケットヘッダに対して1ビットの訂正を行った場合に発行されます。ECC処理を実行するには、CHKSUMレジスタのECC_ENビットを1に設定します
9、8	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
7	IST[7]	0	R/WC1	割り込み7（INT_ULPS_START）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み7は、ウルトラローパワーデータ転送開始割り込みです。 いずれかのレーンがULP状態に移行すると、このビットはハイにセットされます。 レーン状態については、PHYデータレーンモニタレジスタ（PHDLM）の説明を参照してください。 PHYの初期シーケンス後に1を書き込む必要があります。
6	IST[6]	0	R/WC1	割り込み6（INT_ULPS_END）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み6は、ウルトラローパワーデータ転送終了割り込みです。 ULP状態のレーンがないとき、このビットはハイにセットされます。 レーン状態については、PHYデータレーンモニタリングレジスタ（PHDLM）の説明を参照してください。 PHYの初期シーケンス後に1を書き込む必要があります。
5	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

ビット	ビット名	初期値	R/W	説明
4	IST[4]	0	R	割り込み4（INT_ERRSOTHS）モニタ（読み取り専用） 0：ノーマル 1：割り込みが発生しました。 割り込み4は、HS受信中の同期化SOT（転送開始）エラー割り込みです。 いずれかのレーンでエラーが検出されると、このビットはハイに設定されます。 レーン状態については、割り込みエラー状態モニタレジスタ（INTERRSTATE）の説明を参照してください。IST [4]には対応するレジスタ（DFF）がありません。割り込みエラー状態モニタレジスタ（IEST[5:4]）のレーンの論理和が、割り込みを生成します。 PHYからのERRSOTHS_[3-0]入力はパルス信号であるため、状態は保持されません。したがって、各レーンの割り込みステータスレジスタとして、割り込みエラーステータスレジスタが用意されています。したがって、割り込みは、割り込みエラー状態モニタレジスタを使用してクリアされます。
3	IST[3]	0	R	割り込み3（INT_ERRSOTSYNCHS）モニタ（読み取り専用） 0：ノーマル 1：割り込みが発生しました。 割り込み3は、HS受信中の非同期SOT（転送開始）エラー割り込みです。 いずれかのレーンでエラーが検出されると、このビットはハイに設定されます。 レーン状態については、割り込みエラー状態モニタレジスタ（INTERRSTATE）の説明を参照してください。 IST [3]には対応するレジスタ（DFF）がありません。 割り込みエラー状態モニタレジスタ（IEST[5:4]）のレーンの論理和が、割り込みを生成します。 PHYからのERRSOTSYNCHS_[3-0]入力はパルス信号であるため、状態は保持されません。 したがって、各レーンの割り込みステータスレジスタとして、割り込みエラーステータスレジスタが用意されています。　したがって、割り込みは、割り込みエラー状態モニタレジスタを使用してクリアされます。
2	IST[2]	0	R/WC1	割り込み2（INT_ERRESC）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み2は、エスケープモードエントリエラー割り込みです。 認識できないエスケープエントリコマンドを受け取ったときに発行されます。 いずれかのレーンでエラーが検出されると、このビットはハイに設定されます。 レーン状態については、PHY ESCエラーモニタレジスタ（PHEERM）の説明を参照してください。 割り込みがクリアされた後でも、PHEERMレジスタはストップステートが受信されるまでハイレベル状態を保持します。
1	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
0	IST[0]	0	R/WC1	割り込み0（INT_ERRCONTROL）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 割り込み0は、PHY制御エラー割り込みです。 不正なレーン状態に移行したときに発行されます。 いずれかのレーンでエラーが検出されると、このビットはハイに設定されます。 レーン状態については、PHY ESCエラーモニタレジスタ（PHEERM）の説明を参照してください。割り込みがクリアされた後でも、PHEERMレジスタはストップステートが受信されるまでハイレベル状態を保持します。

47.2.14　割り込みエラー状態モニタレジスタ (INTERRSTATE)

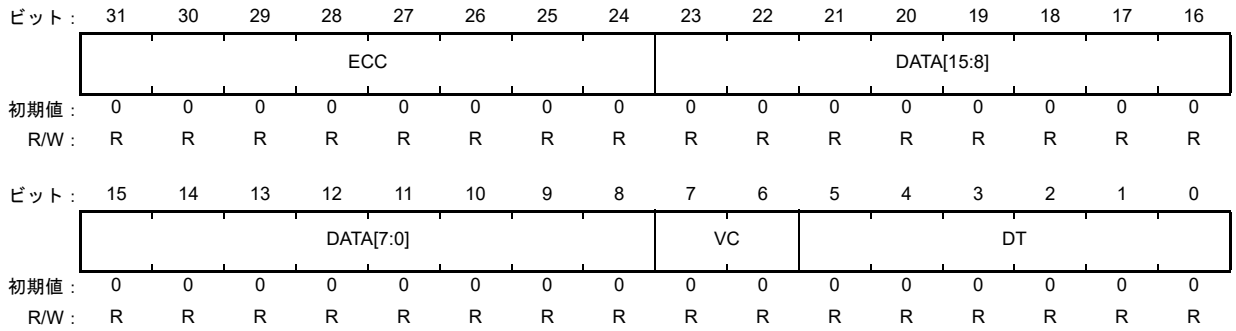
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IEST [13]	IEST [12]	—	—	—	IEST[8]	—	—	IEST[5:4]		—	—	IEST[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/WC1	R/WC1	R	R	R	R/WC1	R	R	R/WC1	R/WC1	R	R	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
31～14	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
13	IEST[13]	0	R/WC1	エラー割り込み13（INT_FIFO_OF_1）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 エラー割り込み13は、PHYからのHSデータが格納される同期FIFOのオーバフロー割り込みです。 ICL[27]（割り込み要因マスクレジスタ）が1にセットされると、INT_FIFO_OF_1は0にクリアされます。
12	IEST[12]	0	R/WC1	エラー割り込み12（INT_FIFO_OF_0）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 エラー割り込み12は、PHYからのHSデータが格納される同期FIFOのオーバフロー割り込みです。 ICL[27]（割り込み要因マスクレジスタ）が1にセットされると、INT_FIFO_OF_0は0にクリアされます。
11～9	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
8	IEST[8]	0	R/WC1	エラー割り込み8（INT_AFIFO_OF_0）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 エラー割り込み8は、PHYからのHSデータが格納される非同期FIFOのオーバフロー割り込みです。 ICL[27]（割り込み要因マスクレジスタ）が1にセットされると、INT_AFIFO_OF_0は0にクリアされます。
7、6	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

ビット	ビット名	初期値	R/W	説明
5	IEST[5]	0	R/WC1	エラー割り込み5（INT_ERRSOTHS_1）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 注. 1レーンPHYが接続されているとき、割り込みは発生しません。 エラー割り込み5は、HS受信中の同期化SOT（転送開始）エラー割り込みです。 このビットは、レーン1でエラーが検出されたときに1に設定されます。 ICL[4]（割り込み要因マスクレジスタ）が1にセットされると、 INT_ERRSOTHS_1は0にクリアされます。
4	IEST[4]	0	R/WC1	エラー割り込み4（INT_ERRSOTHS_0）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 エラー割り込み4は、HS受信中の同期化SOT（転送開始）エラー割り込みです。 このビットは、レーン0でエラーが検出されたときに1に設定されます。 ICL[4]（割り込み要因マスクレジスタ）が1にセットされると、 INT_ERRSOTHS_0は0にクリアされます。
3、2	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
1	IEST[1]	0	R/WC1	エラー割り込み1（INT_ERRSOTSYNCHS_1）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 注. 1レーンPHYが接続されているとき、割り込みは発生しません。 エラー割り込み1は、HS受信中の非同期SOT（転送開始）エラー割り込みです。 このビットは、レーン1でエラーが検出されたときに1に設定されます。 ICL[3]（割り込み要因マスクレジスタ）が1にセットされると、 INT_ERRSOTSYNCHS_1は0にクリアされます。
0	IEST[0]	0	R/WC1	エラー割り込み0（INT_ERRSOTSYNCHS_0）モニタ このビットが書き込まれると、割り込みはクリアされます。 1：割り込みをクリアします。 読み取ると、状態がモニタされます。 0：ノーマル 1：割り込みが発生しました。 エラー割り込み0は、HS受信中の非同期SOT（転送開始）エラー割り込みです。 このビットは、レーン0でエラーが検出されたときに1に設定されます。 ICL[3]（割り込み要因マスクレジスタ）が1にセットされると、 INT_ERRSOTSYNCHS_0は0にクリアされます。

47.2.15　ショートパケットデータレジスタ (SHPDAT)



ビット	ビット名	初期値	R/W	説明
31～24	ECC	H'00	R	受信したECCデータ
23～8	DATA	H'0000	R	受信したショートパケットデータ
7、6	VC	B'00	R	受信した仮想チャネルデータ
5～0	DT	H'00	R	受信したデータタイプ

SHPDAT は、受信したショートパケットデータを読み出すためのレジスタです。このレジスタの値は FIFO に格納され、格納されているパケット数はショートパケットカウントレジスタ（SHPCNT）を読み取ることで確認できます。データ型 H'00（フレームスタート）、H'01（フレームエンド）、H'08（汎用ショートパケットコード 1、DSI 送信終了）のショートパケットは格納されません。

47.2.16　ショートパケットカウントレジスタ (SHPCNT)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	NUM			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～17	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
16	OVF	0	R	FIFOオーバフロービット FIFOがオーバフローしました。受信したデータが失われた可能性があります。
15～4	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
3～0	NUM	H'0	R	格納されたショートパケット数 FIFOに格納されているショートパケットの数を読み取ることができます。 9パケットまで格納できます。

47.2.17 LINK 動作制御レジスタ (LINKCNT)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MONITOR_EN	—	—	—	—	—	REG_MONI_PACT_EN	—	—	—	—	—	—	—	—	—
初期値：	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	MONITOR_EN	1	R/W	モニタリング機能の制御 0：無効 1：有効 このビットは、レジスタによって読み出されるモニタの状態を更新します。
30～26	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
25	REG_MONI_PACT_EN	0	R/W	モニタリングパケットカウンタイネーブル 0：無効 1：有効 このビットは、モニタするパケットカウンタを制御します。
24～0	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

47.2.18　レーンスワップレジスタ (LSWAP)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	L1SEL		L0SEL	
初期値：	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～8	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
7～5	—	すべて1	R	予約済 このビットは常に1が読み出されます。書き込み値は常に1にする必要があります。
4	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
3、2	L1SEL	H'1	R/W	LINKレーン1選択ビット H'0：PHYレーン0を使用 H'1：PHYレーン1を使用 H'2：設定禁止 H'3：設定禁止 注.　1レーンPHYが接続されている場合、この設定は無効です。 これらのビットは、リンクレーン1に割り当てられるPHYレーンを選択します。 これらのビットは、PHY動作の開始前に設定する必要があります。動作中は変更しないでください。
1、0	L0SEL	H'0	R/W	LINKレーン0選択ビット H'0：PHYレーン0を使用 H'1：PHYレーン1を使用 H'2：設定禁止 H'3：設定禁止 これらのビットは、リンクレーン0に割り当てられるPHYレーンを選択します。 これらのビットは、PHY動作の開始前に設定する必要があります。動作中は変更しないでください。

注.　このレジスタの設定は、レジスタが設定された瞬間に適用されます（即時反映）。このレジスタを変更するときは、ENABLE_0を1に設定する必要があります。

47.2.19 PHY ESC エラー モニタ レジスタ (PHEERM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CL_ERR CONTROL	—	—	ERRESC_1	ERRESC_0	—	—	—	—	—	—	ERRCONTROL_1	ERRCONTROL_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～13	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
12	CL_ERR CONTROL	0	R	クロックレーンステータス制御エラービット HSまたはエスケープモードへのエントリ中に誤ったラインステートが入力されたときは、本ビットはハイにセットされて、LP-00、LP-01、LP-10、LP-11に移行するまで状態は保持されます。
11、10	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
9	ERRESC_1	0	R	レーン1エスケープモードエラービット 注. 1レーンPHYが接続されている場合、エラーは発生しません。 認識できないエスケープエントリコマンドが受信されたときは、本ビットはハイにセットされて、LP-01、LP-10、LP-11に移行するまで状態は保持されます。
8	ERRESC_0	0	R	レーン0エスケープモードエラービット 認識できないエスケープエントリコマンドが受信されたときは、本ビットはハイにセットされて、LP-01、LP-10、LP-11に移行するまで状態は保持されます。
7～2	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
1	ERR CONTROL_1	0	R	レーン１ステータス制御エラービット 注.　1レーンPHYが接続されている場合、エラーは発生しません。 HSまたはエスケープモードへのエントリ中に誤ったラインステートが入力されたときは、本ビットはハイにセットされて、LP-00、LP-01、LP-10、LP-11に移行するまで状態は保持されます。
0	ERR CONTROL_0	0	R	レーンＯステータス制御エラービット HSまたはエスケープモードへのエントリ中に誤ったラインステートが入力されたときは、本ビットはハイにセットされて、LP-00、LP-01、LP-10、LP-11に移行するまで状態は保持されます。

47.2.20 PHY クロックレーン モニタレジスタ (PHCLM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	ULPSACTIVENOTCLK	RXULPSCLKNOT	RXCLKACTIVEHS	STOPSTATECLK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～4	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
3	ULPS ACTIVE NOTCLK	1	R	このビットはクロックレーン上のULP状態を示します。 負論理 ULP状態に入った際に0となり、伝送路よりMark-1(LP-10)を受信すると1になります。
2	RXULPS CLKNOT	1	R	このビットはクロックレーン上のULP状態を示します。 負論理 ULP状態に入った際に0となり、伝送路よりStopState(LP-11)を受信すると1になります。
1	RXCLK ACTIVEHS	0	R	このビットが1の場合、クロックレーンがHS DRRクロックを受信していることを示します。
0	STOP STATECLK	0	R	このビットが1の場合、クロックレーンのストップステートを示します。

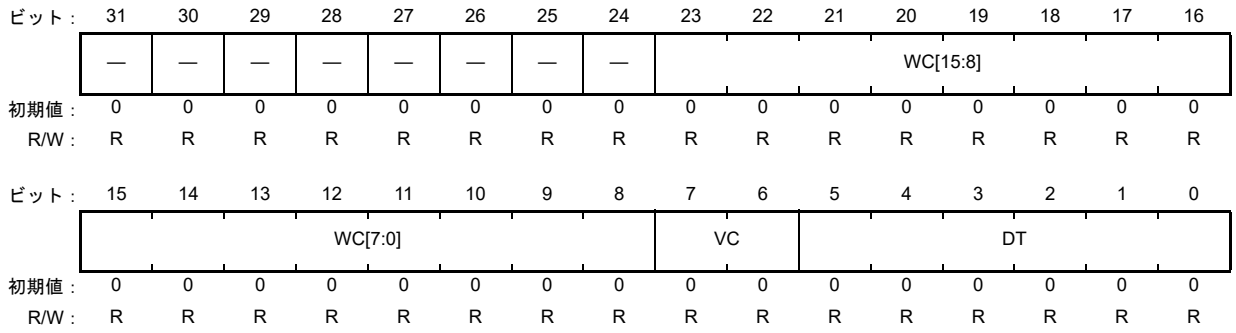
47.2.21　PHY データレーン モニタレジスタ (PHDLM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	ULPSACTIVENOT_1	ULPSACTIVENOT_0	—	—	RXULPSESC_1	RXULPSESC_0	—	—	—	—	—	—	STOPSTATEDATA_1	STOPSTATEDATA_0
初期値：	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～14	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
13	ULPSACTIVENOT_1	1	R	このビットは、レーン1のULP状態を示します。 負論理 注.　1レーンPHYが接続されているとき、このビットは1に固定されます。 ULP状態に入った際に0となり、伝送路よりMark-1(LP-10)を受信すると1になります。
12	ULPSACTIVENOT_0	1	R	このビットは、レーン0のULP状態を示します。 負論理 ULP状態に入った際に0となり、伝送路よりMark-1(LP-10)を受信すると1になります。
11、10	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
9	RXULPSESC_1	0	R	このビットは、レーン1のULP状態を示します。 注.　1レーンPHYが接続されているとき、このビットは0に固定されます。 ULP状態に入った際に1となり、伝送路よりStopState(LP-11)を受信すると0になります。
8	RXULPSESC_0	0	R	このビットは、レーン0のULP状態を示します。 ULP状態に入った際に1となり、伝送路よりStopState(LP-11)を受信すると0になります。
7～2	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
1	STOPSTATEDATA_1	0	R	このビットが1の場合、レーン1のストップステートを示します。 注.　1レーンPHYが接続されているとき、このビットは0に固定されます。
0	STOPSTATEDATA_0	0	R	このビットが1の場合、レーン0のストップステートを示します。

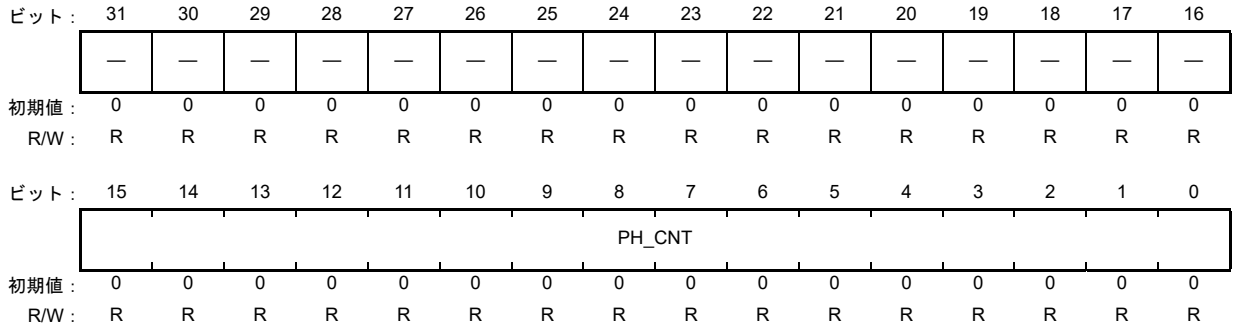
47.2.22　パケットヘッダ 0 モニタレジスタ 0 (PH0M0)



ビット	ビット名	初期値	R/W	説明
31～24	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
23～8	WC	H'0000	R	受信ワードカウントデータ
7、6	VC	B'00	R	受信仮想チャネルデータ
5～0	DT	H'00	R	受信データタイプデータ

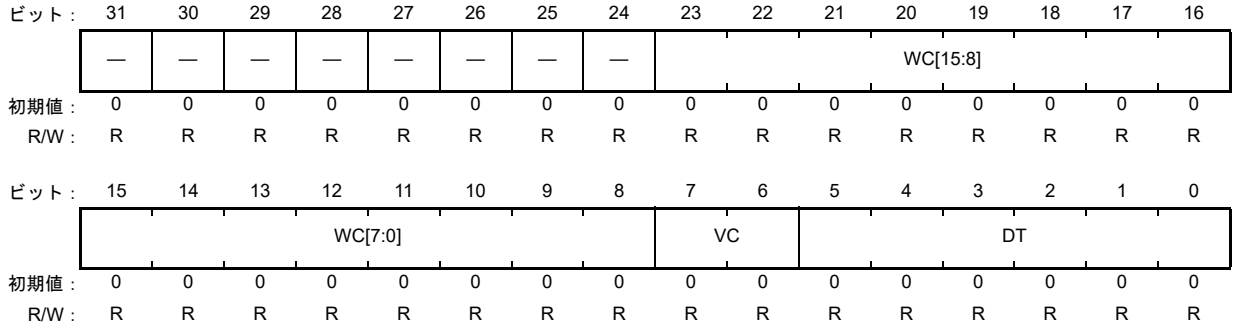
PH0M0 は、受信したパケットヘッダをモニタするレジスタです。

47.2.23　パケットヘッダ 0 モニタレジスタ 1 (PH0M1)



ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～0	PH_CNT	H'0000	R	PH0M0 レジスタ連続受信カウント これらのビットは、PH0M0 レジスタの連続受信回数をモニタします。

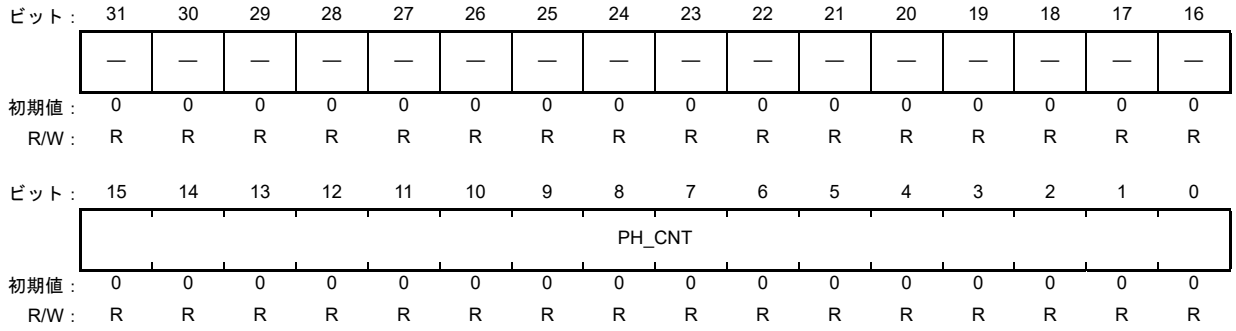
47.2.24　パケットヘッダ 1 モニタレジスタ 0 (PH1M0)



ビット	ビット名	初期値	R/W	説明
31～24	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
23～8	WC	H'0000	R	受信ワードカウントデータ
7、6	VC	B'00	R	受信仮想チャネルデータ
5～0	DT	H'00	R	受信データタイプデータ

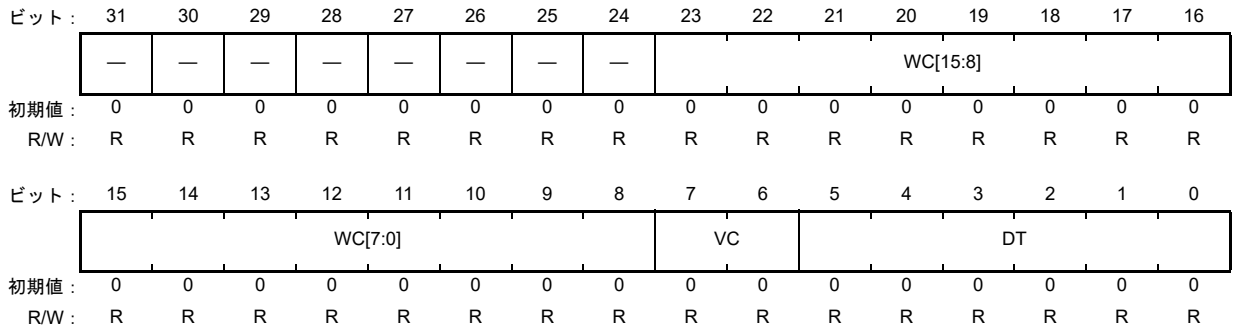
PH1M0 は、受信したパケットヘッダをモニタするレジスタです。（PH0M0 の前のデータ）

47.2.25　パケットヘッダ 1 モニタレジスタ 1 (PH1M1)



ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～0	PH_CNT	H'0000	R	PH1M0 レジスタ連続受信カウント これらのビットは、PH1M0 レジスタの連続受信回数をモニタします。

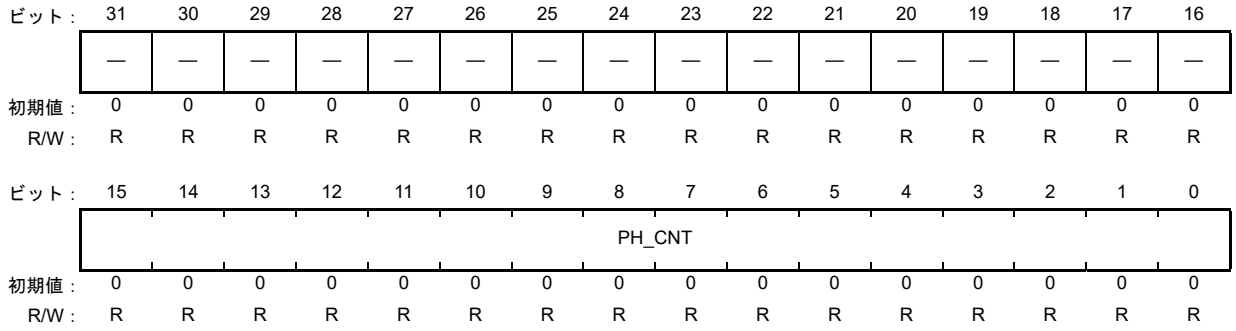
47.2.26　パケットヘッダ 2 モニタレジスタ 0 (PH2M0)



ビット	ビット名	初期値	R/W	説明
31～24	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
23～8	WC	H'0000	R	受信ワードカウントデータ
7、6	VC	B'00	R	受信仮想チャネルデータ
5～0	DT	H'00	R	受信データタイプデータ

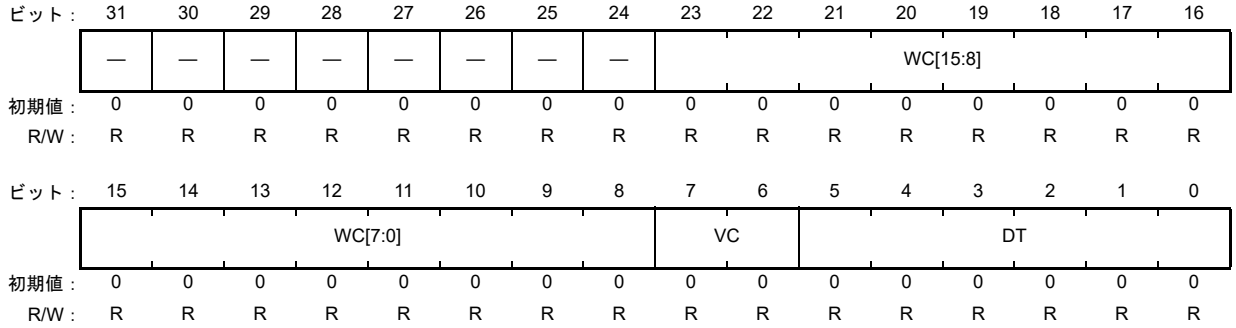
PH2M0 は、受信したパケットヘッダをモニタするレジスタです。（PH1M0 の前のデータ）

47.2.27　パケットヘッダ 2 モニタレジスタ 1 (PH2M1)



ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～0	PH_CNT	H'0000	R	PH2M0 レジスタ連続受信回数 これらのビットは、PH2M0 レジスタの連続受信回数をモニタします。

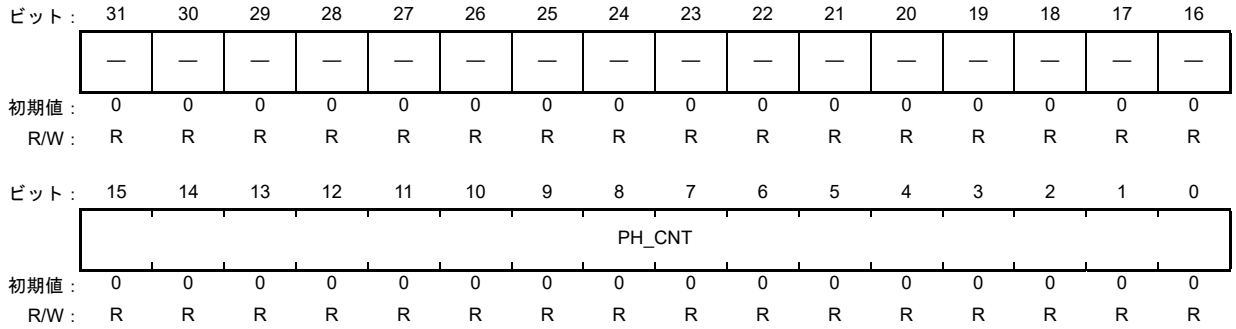
47.2.28　パケットヘッダ 3 モニタレジスタ 0 (PH3M0)



ビット	ビット名	初期値	R/W	説明
31～24	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
23～8	WC	H'0000	R	受信ワードカウントデータ
7、6	VC	B'00	R	受信仮想チャネルデータ
5～0	DT	H'00	R	受信データタイプデータ

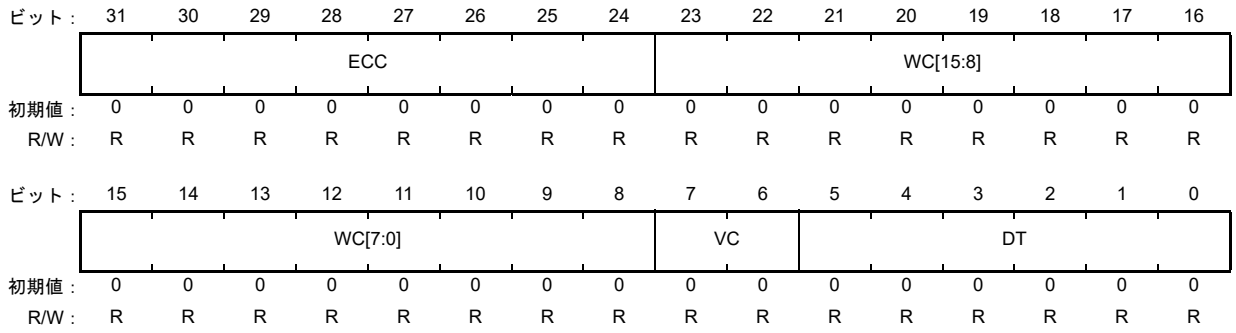
PH3M0 は、受信したパケットヘッダをモニタするレジスタです。（PH2M0 の前のデータ）

47.2.29　パケットヘッダ 3 モニタレジスタ 1 (PH3M1)



ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～0	PH_CNT	H'0000	R	PH3M0 レジスタ連続受信カウント これらのビットは、PH3M0 レジスタの連続受信回数をモニタします。

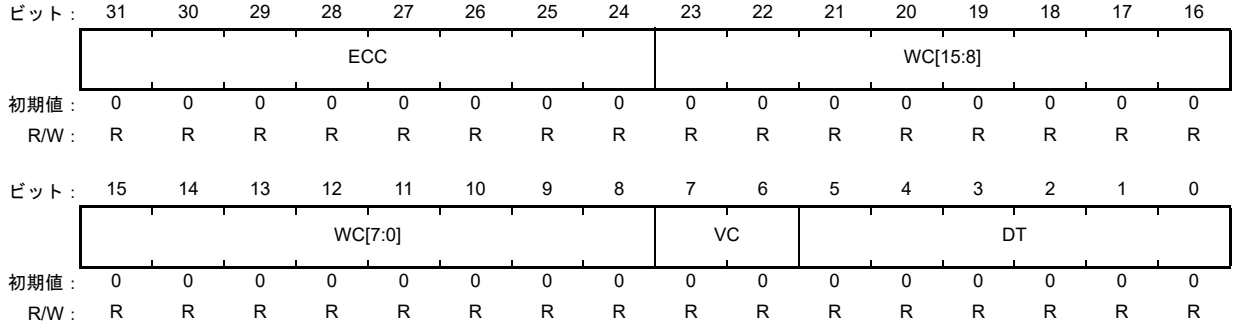
47.2.30　パケットヘッダ R モニタレジスタ 0 (PHRM0)



ビット	ビット名	初期値	R/W	説明
31～24	ECC	H'00	R	受信ECCデータ
23～8	WC	H'0000	R	受信ワードカウントデータ
7、6	VC	B'00	R	受信仮想チャネルデータ
5～0	DT	H'00	R	受信データタイプデータ

PHRM0 は、受信中のパケットヘッダをモニタするレジスタです。

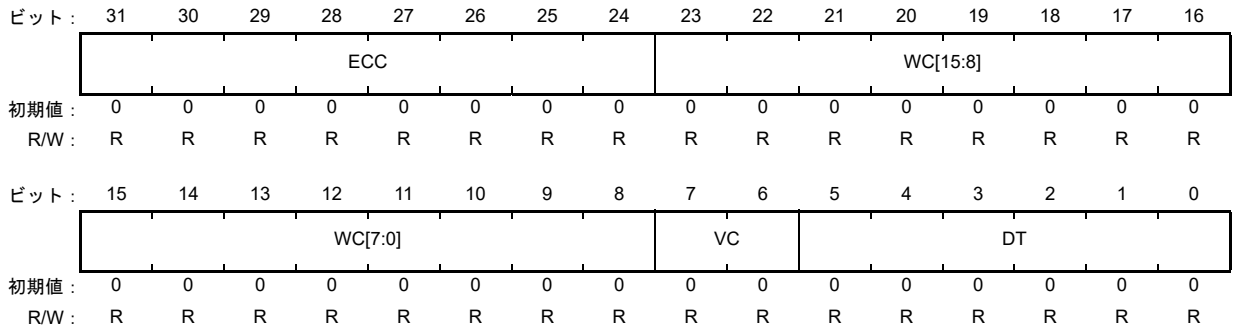
47.2.31　パケットヘッダ R モニタレジスタ 1 (PHRM1)



ビット	ビット名	初期値	R/W	説明
31～24	ECC	H'00	R	受信ECCデータ
23～8	WC	H'0000	R	受信ワードカウントデータ
7、6	VC	B'00	R	受信仮想チャネルデータ
5～0	DT	H'00	R	受信データタイプデータ

PHRM1 は、受信したパケットヘッダをモニタするレジスタです。（PHRM0 の前のデータ）

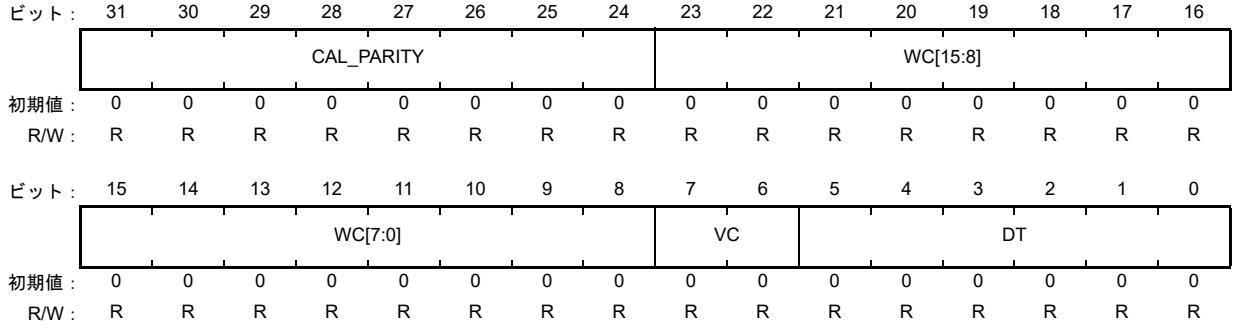
47.2.32　パケットヘッダ R モニタレジスタ 2 (PHRM2)



ビット	ビット名	初期値	R/W	説明
31～24	ECC	H'00	R	受信ECCデータ
23～8	WC	H'0000	R	受信ワードカウントデータ
7、6	VC	B'00	R	受信仮想チャネルデータ
5～0	DT	H'00	R	受信データタイプデータ

PHRM2 は、受信したパケットヘッダをモニタするレジスタです。（PHRM1 の前のデータ）

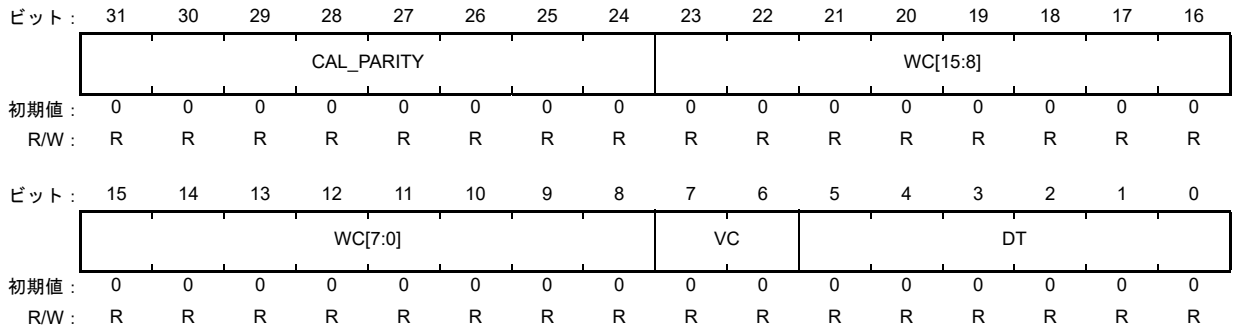
47.2.33　パケットヘッダ C モニタレジスタ 0 (PHCM0)



ビット	ビット名	初期値	R/W	説明
31～24	CAL_PARITY	H'00	R	ヘッダから計算されたパリティ
23～8	WC	H'0000	R	ECC訂正後の受信ワードカウントデータ
7、6	VC	B'00	R	ECC訂正後の受信仮想チャネルデータ
5～0	DT	H'00	R	ECC訂正後の受信データタイプデータ

PHCM0 は、受信中の ECC 訂正パケットヘッダと計算されたパリティをモニタするレジスタです。

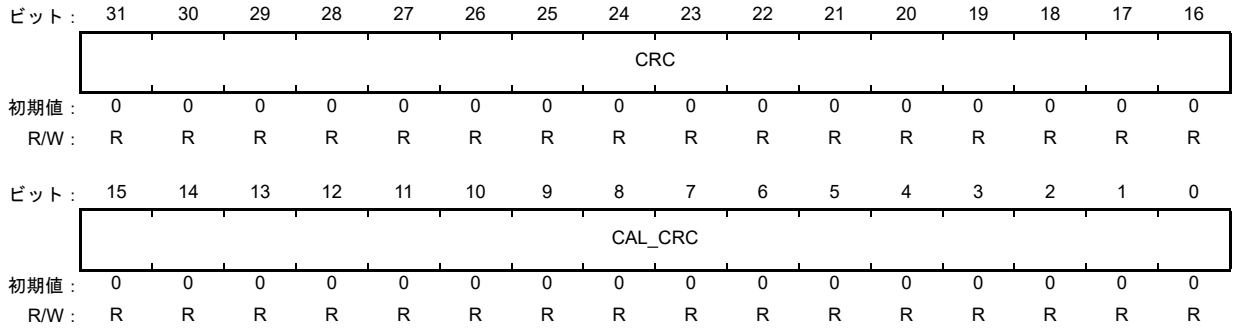
47.2.34　パケットヘッダ C モニタレジスタ 1 (PHCM1)



ビット	ビット名	初期値	R/W	説明
31～24	CAL_PARITY	H'00	R	ヘッダから計算されたパリティ
23～8	WC	H'0000	R	ECC訂正後の受信ワードカウントデータ
7、6	VC	B'00	R	ECC訂正後の受信仮想チャネルデータ
5～0	DT	H'00	R	ECC訂正後の受信データタイプデータ

PHCM1 は、受信中の ECC 訂正パケットヘッダと計算されたパリティをモニタするレジスタです。（PHCM0 の前のデータ）

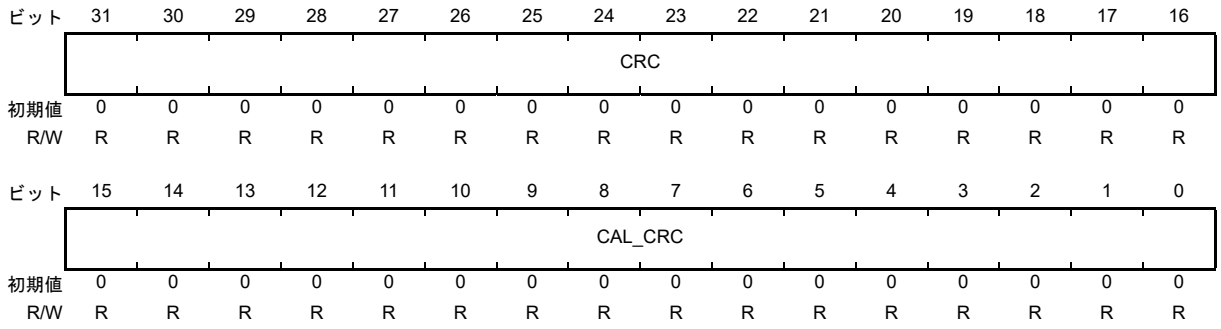
47.2.35　CRC モニタレジスタ 0 (CRCM0)



ビット	ビット名	初期値	R/W	説明
31～16	CRC	H'0000	R	受信CRC
15～0	CAL_CRC	H'0000	R	受信データから計算されたCRC結果

CRCM0 は、受信中の CRC と受信データから計算された CRC をモニタするレジスタです。

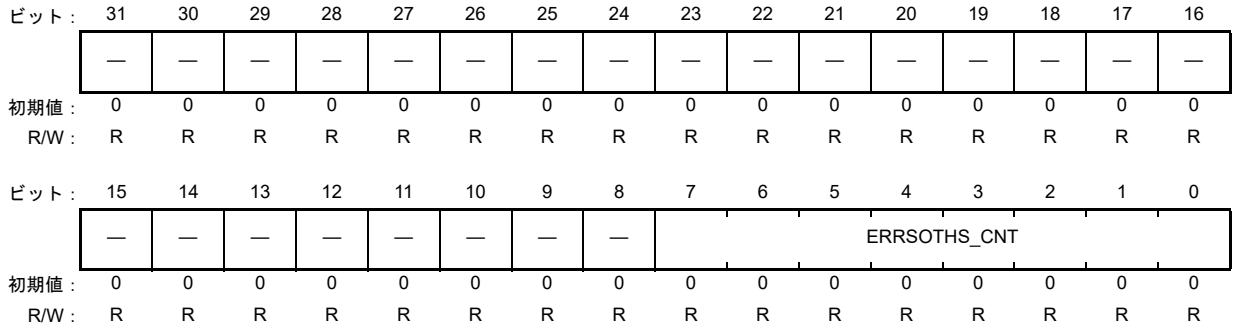
47.2.36　CRC モニタレジスタ 1 (CRCM1)



ビット	ビット名	初期値	R/W	説明
31～16	CRC	H'0000	R	受信CRC
15～0	CAL_CRC	H'0000	R	受信データから計算されたCRC結果

CRCM1 は、受信中の CRC と受信データから計算された CRC をモニタするレジスタです。(CRCM0 の前のデータ)

47.2.37　SOT エラーカウントレジスタ (SERRCNT)



ビット	ビット名	初期値	R/W	説明
31～8	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
7～0	ERRSOTHS_CNT	H'00	R	同期SOTエラーカウント これらのビットは、同期SOTエラーの数をモニタします。 カウントは、各レーンのエラーの合計です。

47.2.38 SOTSYNC エラーカウントレジスタ (SSERRCNT)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	ERRSOTSYNCHS			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～4	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
3～0	ERRSOT SYNCHS	H'0	R	非同期SOTエラーカウント これらのビットは、非同期SOTエラーの数をモニタします。 カウントは、各レーンのエラーの合計です。 このエラーが入力された後、同期信号は生成されません。 ここでPHYからのデータを格納する非同期FIFOがオーバフローすると、 内部レジスタが異常状態に移行します。 この場合、（本モジュール内の）ソフトウェアリセットレジスタを使用してCSI2制御回路をリセットするか、PHYをリセットしてPHYから通常のレーンデータを停止した後に、外部モジュールからソフトウェアリセットを入力することによってのみ、状態は復元できます。

47.2.39 ECC_CRCT カウントレジスタ (ECCCM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECC_CRCT_CNT							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～8	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
7～0	ECC_CRCT _CNT	H'00	R	ECC 1ビット訂正カウント これらのビットは、ECC 1ビットの訂正数をモニタします。

47.2.40 ECC_ERR カウントレジスタ (ECECM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ECC_ERR_CNT							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～8	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
7～0	ECC_ERR_CNT	H'00	R	ECCエラー（2ビット以上）カウント これらのビットは、ECCエラーの数（2ビット以上）をモニタします。

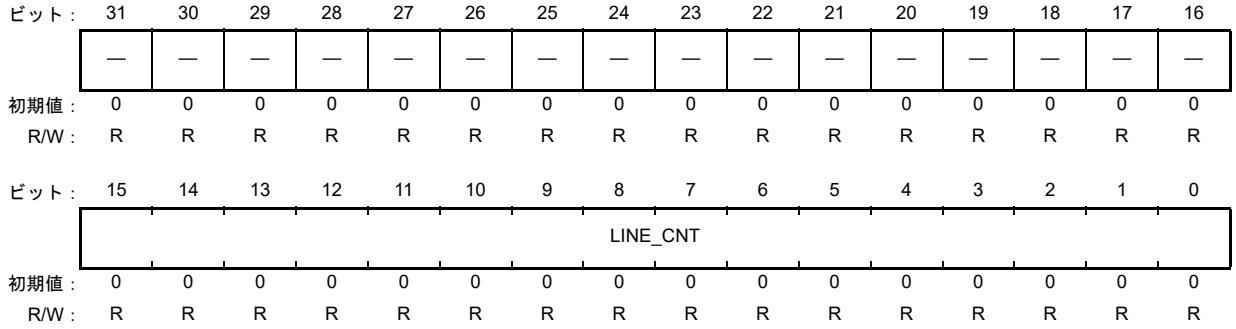
47.2.41 CRC_ERR カウントレジスタ (CRCECM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CRC_ERR_CNT							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

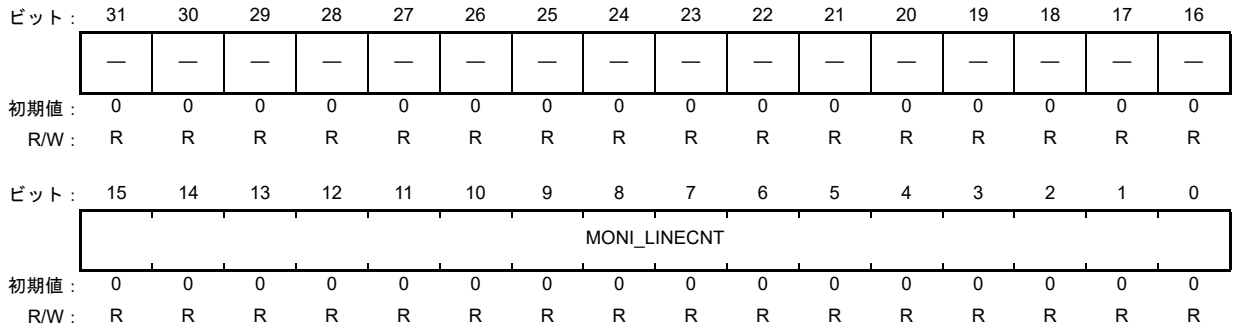
ビット	ビット名	初期値	R/W	説明
31～8	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
7～0	CRC_ERR_CNT	H'00	R	CRCエラーカウント これらのビットはCRCエラーの数をモニタします。

47.2.42　ラインレジスタ (LCNT)



ビット	ビット名	初期値	R/W	説明
31～16	—	H'0000	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～0	LINE_CNT	H'0000	R	チャネル受信ライン これらのビットはチャネルで現在受信されているラインをモニタします。

47.2.43　ラインモニタレジスタ (LCNTM)



ビット	ビット名	初期値	R/W	説明
31～16	—	H'0000	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～0	MONI_ LINECNT	H'0000	R	チャネル受信ライン数 これらのビットは、チャネルで最後に受信したフレームのライン数をモニタします。

47.2.44　フレームカウントモニタレジスタ (FCNTM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MONI_FCOUNT															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～16	—	H'0000	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～0	MONI_FCOUNT	H'0000	R	チャネルの受信フレームカウント これらのビットは、これまでチャネルで受信したフレーム数をモニタします。

47.2.45　PHY 入力データモニタレジスタ (PHYDIM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXDATAHS_1								RXDATAHS_0							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～16	—	H'0000	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～8	RXDATAHS_1	H'00	R	データレーン1で受信されたバイトデータ 注. 1レーンPHYが接続されているとき、これらのビットは0に固定されます。
7～0	RXDATAHS_0	H'00	R	データレーン0で受信されたバイトデータ

PHYDIM は、PHY からのバイトデータ入力をモニタするレジスタです。

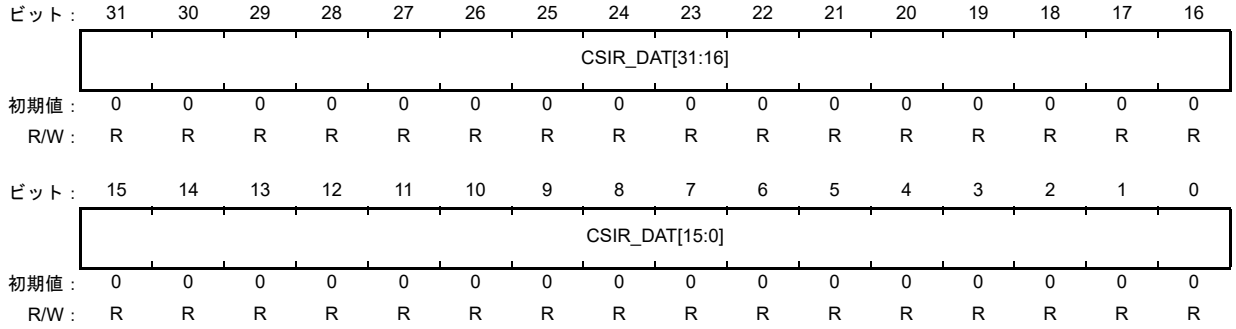
47.2.46 PHY 入力モニタレジスタ (PHYIM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RXCLK_CNT	—	—	—	—	—	—	—	—	—	RXVALIDHS_1	RXVALIDHS_0	—	—	RXACTIVEHS_1	RXACTIVEHS_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RXSYNCHS_1_CNT				RXSYNCHS_0_CNT			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

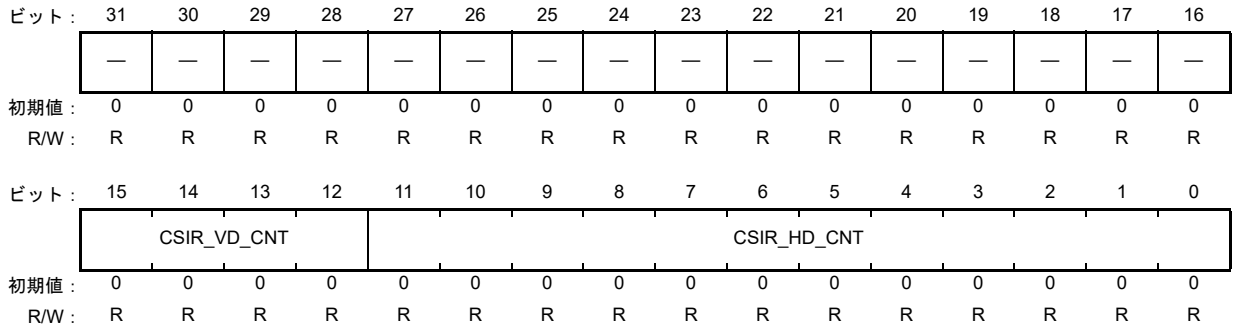
ビット	ビット名	初期値	R/W	説明
31	RXCLK_CNT	0	R	RXCLKカウンタ0 このビットは、RXCLKの立ち上がりエッジでトグルされた信号をモニタします。
30～22	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
21	RXVALIDHS_1	0	R	データレーン1 HS有効信号 注. 1レーンPHYが接続されている場合、このビットは0に固定されます。 このビットはPHYから入力されるレーン1の有効信号をモニタします。
20	RXVALIDHS_0	0	R	データレーン0 HS有効信号 このビットはPHYから入力されるレーン0の有効信号をモニタします。
19、18	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
17	RXACTIVEHS_1	0	R	データレーン1 HSアクティブ信号 注. 1レーンPHYが接続されている場合、このビットは0に固定されます。 このビットは、PHYから入力されるレーン1のアクティブ信号をモニタします。
16	RXACTIVEHS_0	0	R	データレーン0 HSアクティブ信号 このビットは、PHYから入力されるレーン0のアクティブ信号をモニタします。
15～8	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
7～4	RXSYNCHS_1_CNT	H'0	R	データレーン1 HS同期信号カウント 注. 1レーンPHYが接続されている場合、これらのビットは0に固定されます。 このビットは、PHYから入力されるRSYNCHS_1のカウントをモニタします。
3～0	RXSYNCHS_0_CNT	H'0	R	データレーン0 HS同期信号カウント このビットは、PHYから入力されるRSYNCHS_0のカウントをモニタします。

47.2.47 VIN データモニタレジスタ (VINDM)



ビット	ビット名	初期値	R/W	説明
31～0	CSIR_DAT[31:0]	H'0000_0000	R	CSI2からのデータ出力 これらのビットは、CSI2から出力するCSIR_DAT信号をモニタします。

47.2.48 VIN 信号モニタレジスタ 1 (VINSM1)



ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～12	CSIR_VD_CNT	H'0	R	CSI2から出力されたVDのカウント これらのビットは、CSI2から出力するチャネルの垂直同期信号をカウントしてモニタします。
11～0	CSIR_HD_CNT	H'0000	R	CSI2から出力されたHDのカウント これらのビットは、CSI2から出力するチャネルのHD信号をカウントしてモニタします。

47.2.49 VIN 信号モニタレジスタ 3 (VINSM3)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIR_ERRE	CSIR_ERRC	CSIR_TAG		CSIR_FLD				CSIR_PEB				—	—	—	CSIR_PE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15	CSIR_ERRE	0	R	CSI2からのECCエラー出力 このビットは、CSI2から出力するECCエラー信号をモニタします。
14	CSIR_ERRC	0	R	CSI2からのCRCエラー出力 このビットは、CSI2から出力するCRCエラー信号をモニタします。
13、12	CSIR_TAG	B'00	R	CSI2からのTAG出力 これらのビットは、CSI2から出力するチャネル情報をモニタします。
11～8	CSIR_FLD	H'0	R	CSI2からのFLD出力 これらのビットは、CSI2から出力するフィールド情報をモニタします。
7～4	CSIR_PEB	H'0	R	CSI2からのPEB出力 これらのビットは、CSI2から出力するバイトイネーブル信号をモニタします。
3～1	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
0	CSIR_PE	0	R	CSI2からのPE出力 このビットは、CSI2から出力するパケットイネーブル信号をモニタします。

47.2.50　PHY 出力モニタ レジスタ (PHYOM)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	ENABLE CLK	—	—	ENABLE_1	ENABLE_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～5	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
4	ENABLECLK	0	R	クロックレーンへのレーンイネーブル信号
3、2	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
1	ENABLE_1	0	R	データレーン1へのレーンイネーブル信号
0	ENABLE_0	0	R	データレーン0へのレーンイネーブル信号

PHYOM は、CSI2 から PHY へのレーンイネーブル信号出力をモニタするレジスタです。

47.2.51　パケットヘッダ モニタ レジスタ 1 → 8 (PHM1 → PHM8)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECC								WC[15:8]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

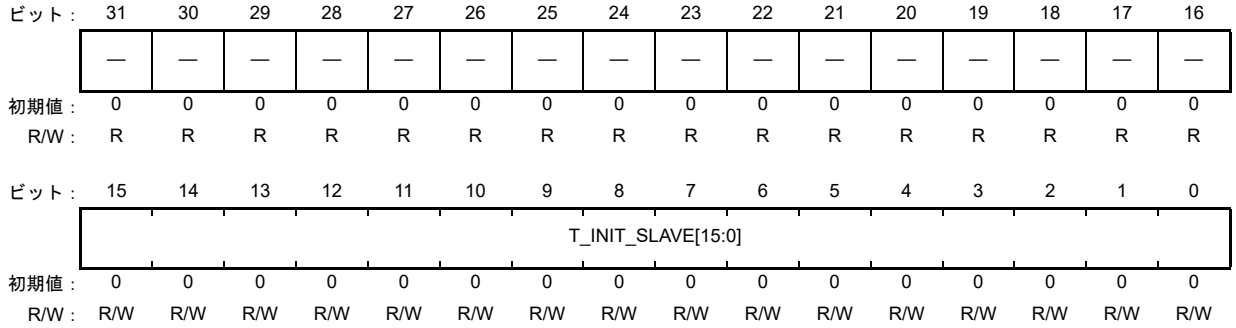
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WC[7:0]								VC		DT					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～24	ECC	H'00	R	受信ECCデータ
23～8	WC	H'0000	R	受信ワードカウントデータ
7、6	VC	B'00	R	受信仮想チャネルデータ
5～0	DT	H'00	R	受信データタイプデータ

PHM1 ～ PHM8 は、受信パケットヘッダをモニタするレジスタです。

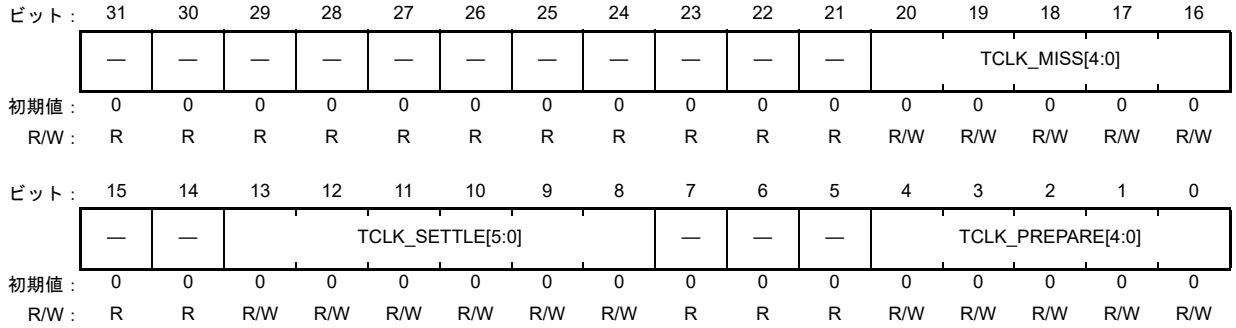
データは最初に PHM1 に格納され、受信したパケットヘッダが変化したとき、データは PHM2 にシフトされます。データが PHM8 に格納された後、データは再び PHM1 に格納されます。

47.2.52　PHY タイミングレジスタ 1（PHYTIM1）



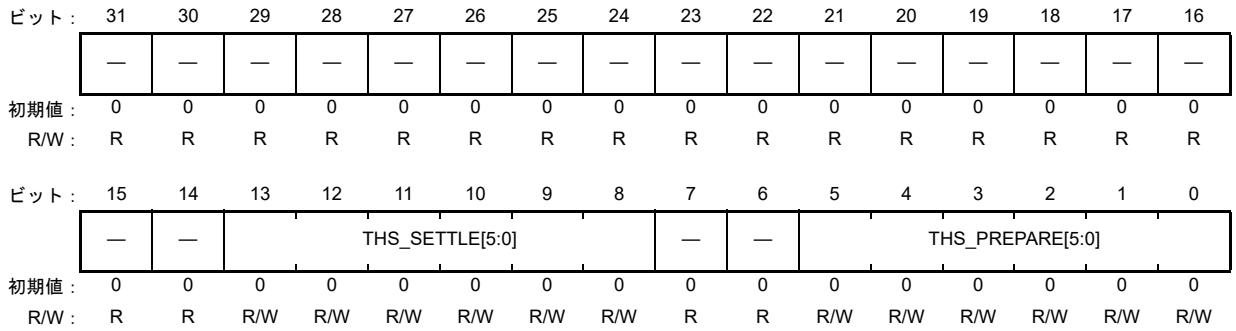
ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
15～0	T_INIT_SLAVE	H'0000	R/W	MIPI D-PHY T_{INIT} パラメータ設定 INITステートの最低持続時間を設定します。

47.2.53　PHY タイミングレジスタ 2（PHYTIM2）



ビット	ビット名	初期値	R/W	説明
31～21	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
20～16	TCLK_MISS	H'00	R/W	MIPI D-PHY T_{CLK_MISS} パラメータ設定 Clock Laneにおいて Clockの欠如を検出しHS-RXを無効にするまでの時間を設定します。
15、14	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
13～8	TCLK_SETTLE	H'00	R/W	MIPI D-PHY T_{CLK_SETTLE} パラメータ設定 Clock Laneにおいて $T_{CLK\text{-}PREPARE}$ 開始後、HS遷移を無視すべき時間を設定します。
7～5	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
4～0	TCLK_PREPARE	H'00	R/W	MIPI D-PHY $T_{CLK_PREPARE}$ パラメータ設定 Clock LaneにおいてLP-00 継続時間(HS-0 の直前)を設定します。

47.2.54　PHY タイミングレジスタ 3（PHYTIM3）



ビット	ビット名	初期値	R/W	説明
31～14	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
13～8	THS_ SETTLE	H'00	R/W	MIPI D-PHY T_{HS_SETTLE} パラメータ設定 Data Laneにおいて $T_{HS_PREPARE}$ 開始後、HS遷移を無視すべき時間を設定します。
7、6	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
5～0	THS_ PREPARE	H'00	R/W	MIPI D-PHY $T_{HS_PREPARE}$ パラメータ設定 Data LaneにおいてLP-00 継続時間(HS-0 の直前)を設定します。

47.3　動作

47.3.1　転送レート

このモジュールは 80 Mbps から 1.0 Gbps の転送レートをサポートします。
図 47.3 は 1.0 Gbps の転送を示しています。

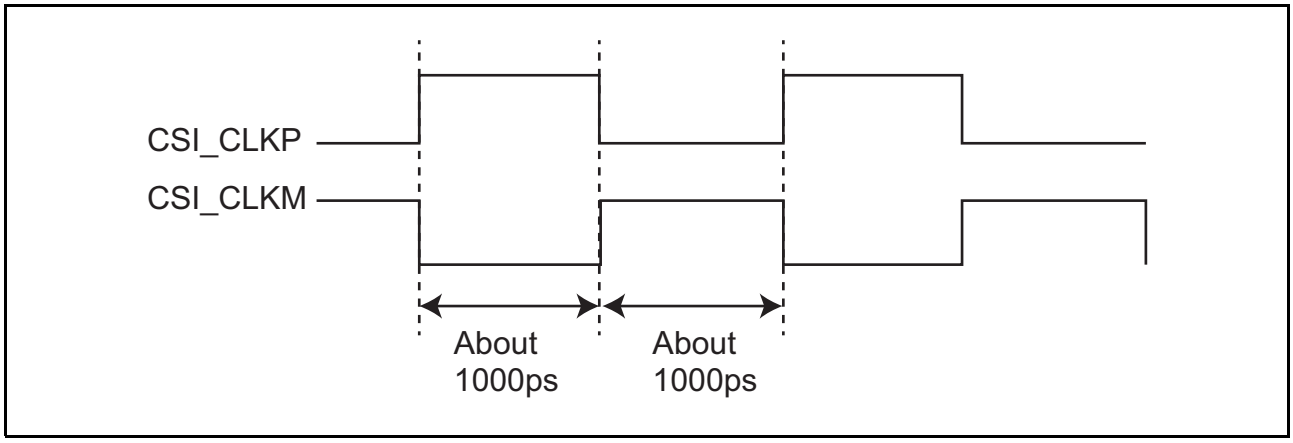


図 47.3　CSI-2 転送レート

47.3.2　パケットヘッダでの ECC 1 ビットのエラー訂正と 2 ビット以上のエラー検出

ECC 1 ビットのエラー訂正と 2 ビット以上のエラー検出時に、割り込みを発生させることができます。

割り込み要因	レジスタビット名	ビット
ECC 2 ビット以上のエラー	ECC_ERR	[11]
ECC 1 ビットエラー訂正	ECC_CRCT_ERR	[10]

チェックサム制御レジスタ（CHKSUM）の ECC_EN ビットは、この機能を有効または無効にすることができます。

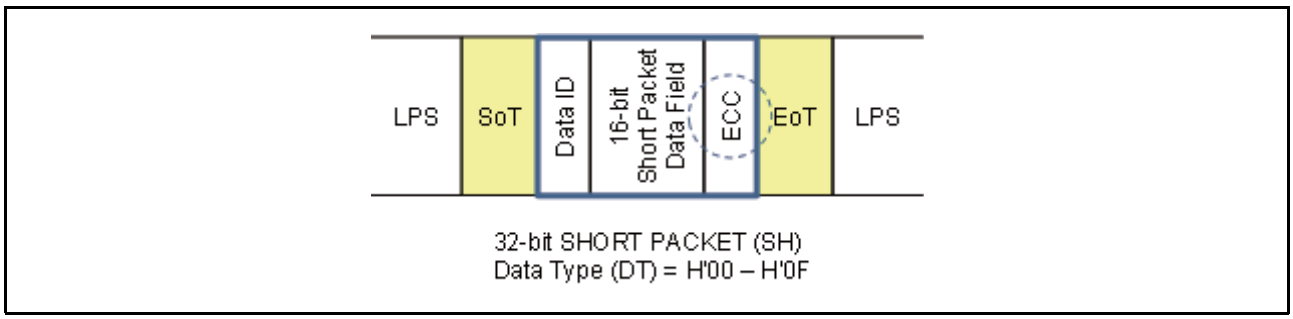


図 47.4　MIPI CSI-2 ショートパケット

47.3.3　ペイロードデータ部の CRC エラー検出

CRC エラー検出時に割り込みを発生させることができます。

割り込み要因	レジスタビット名	ビット
CRC エラー	CRC_ERR	[15]

チェックサム制御レジスタ（CHKSUM）の CRC_EN ビットは、この機能を有効または無効にすることができます。

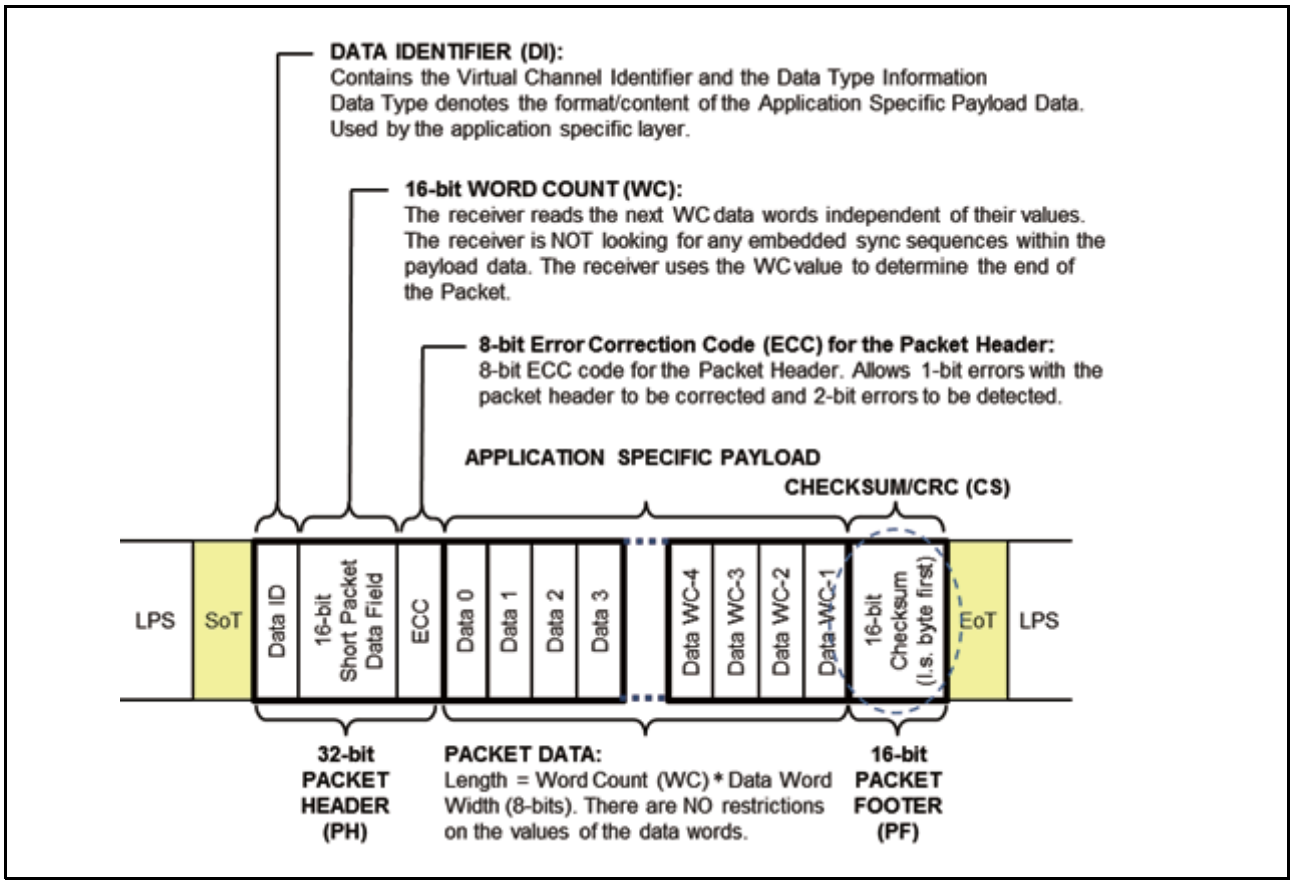


図 47.5　MIPI CSI-2 ロングパケット

47.3.4　VD（垂直同期）、HD（水平同期）、FLD（フィールド）信号の生成

（1）VD

フレームスタートショートパケットが受信されると、VD はハイに駆動されます。フレームエンドショートパケットが受信されると、VD はローに駆動されます。（これは、パケットヘッダの VC 値で指定されたチャネルに適用されます。）

（2）HD

ロングパケット（SOT）の同期信号が受信されると、HD がハイに駆動されます。受信したロングパケットの数がパケットヘッダの WC 値に達すると、HD がローに駆動されます。受信チャネルのフレームスタートショートパケットは、あらかじめ受信しておく必要があります。

（3）FLD

フレームスタートショートパケットを受信すると、ショートパケットデータのフィールド値がフィールド検出制御レジスタ（FLD）で指定された条件を満たす場合、FLD がハイに駆動されます。フレームエンドショートパケットが受信されると、FLD はローに駆動されます。（これは、パケットヘッダの VC 値で指定されたチャネルに適用されます。）

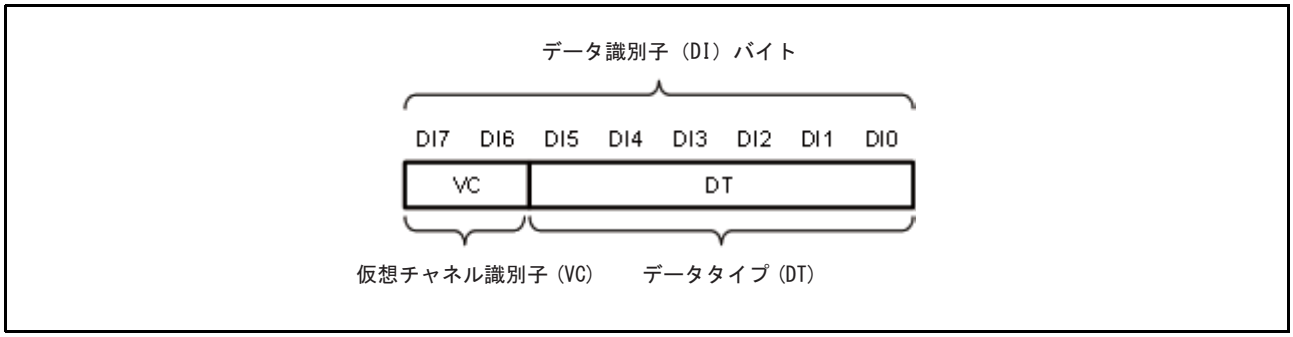


図 47.6　MIPI CSI-2 データ識別子

表 47.3　MIPI CSI-2 ショートパケット データタイプコード

データタイプ	説明
H'00	フレームスタートコード
H'01	フレームエンドコード
H'02	ラインスタートコード（オプション）
H'03	ラインエンドコード（オプション）
H'04～H'07	予約済み

47.3.5　1 チャネル出力

図 47.7、図 47.8 のように、バーチャルチャネルのインターリーブ転送を受信した場合、出力するバーチャルチャネルを選択することができます。選択範囲は 0 ～ 3 までの 4 バーチャルチャネルの中から選択することができます。受信するバーチャルチャネルは、レジスタ設定 (チャネル・データタイプ選択レジスタ（VCDT）の SEL_VC ビット) により変更することが可能です。

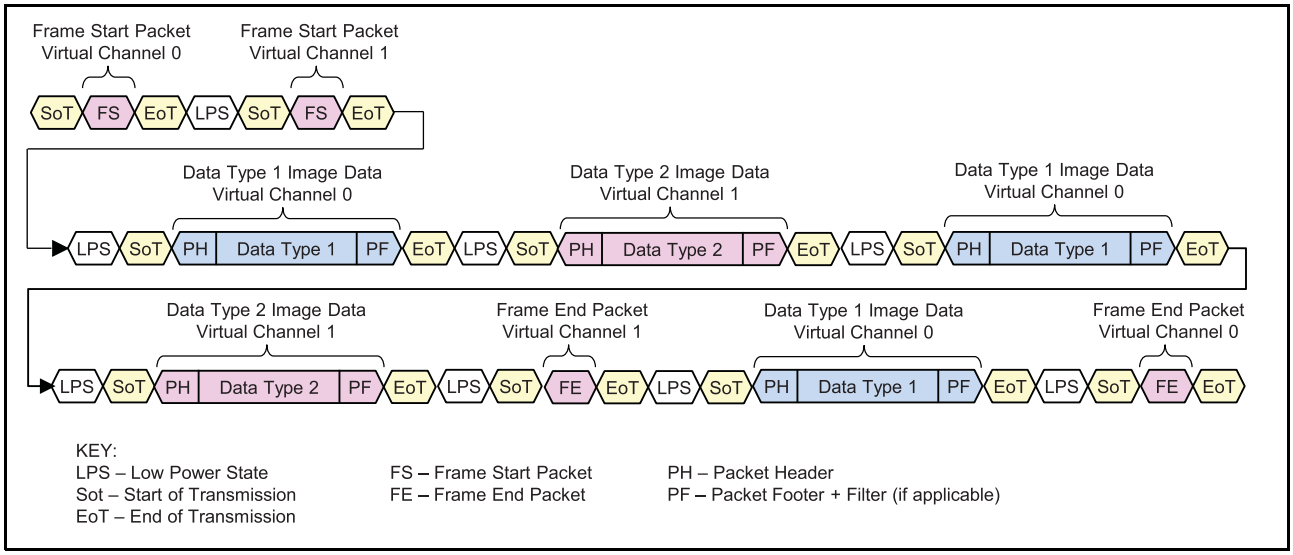


図 47.7　(1) MIPI CSI-2 インターリーブ転送 1

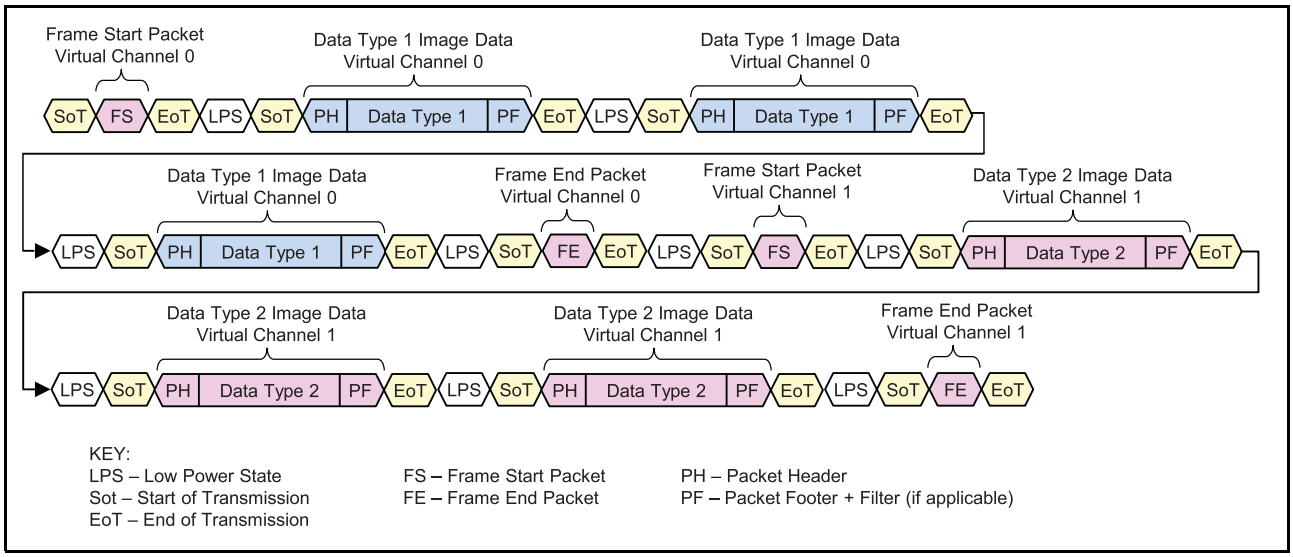


図 47.8　(2) MIPI CSI-2 インターリーブ転送 2

47.3.6　割り込み

表 47.4　割り込みレジスタ

機能	レジスタ名
割り込み状態モニタ	INTSTATE
割り込みエラー状態モニタ	INTERRSTATE
割り込み有効	INTEN
割り込み要因マスク	INTCLOSE

図 47.9 に示すように、AFIFO（非同期 FIFO）オーバフローと ERRSOT*（HS 同期エラー）には、各チャネルに対応する割り込みエラー状態モニタリングレジスタビットがあります。

状態をクリアするには、対応する INTERRSTATE レジスタのビットに 1 を書き込んでください。

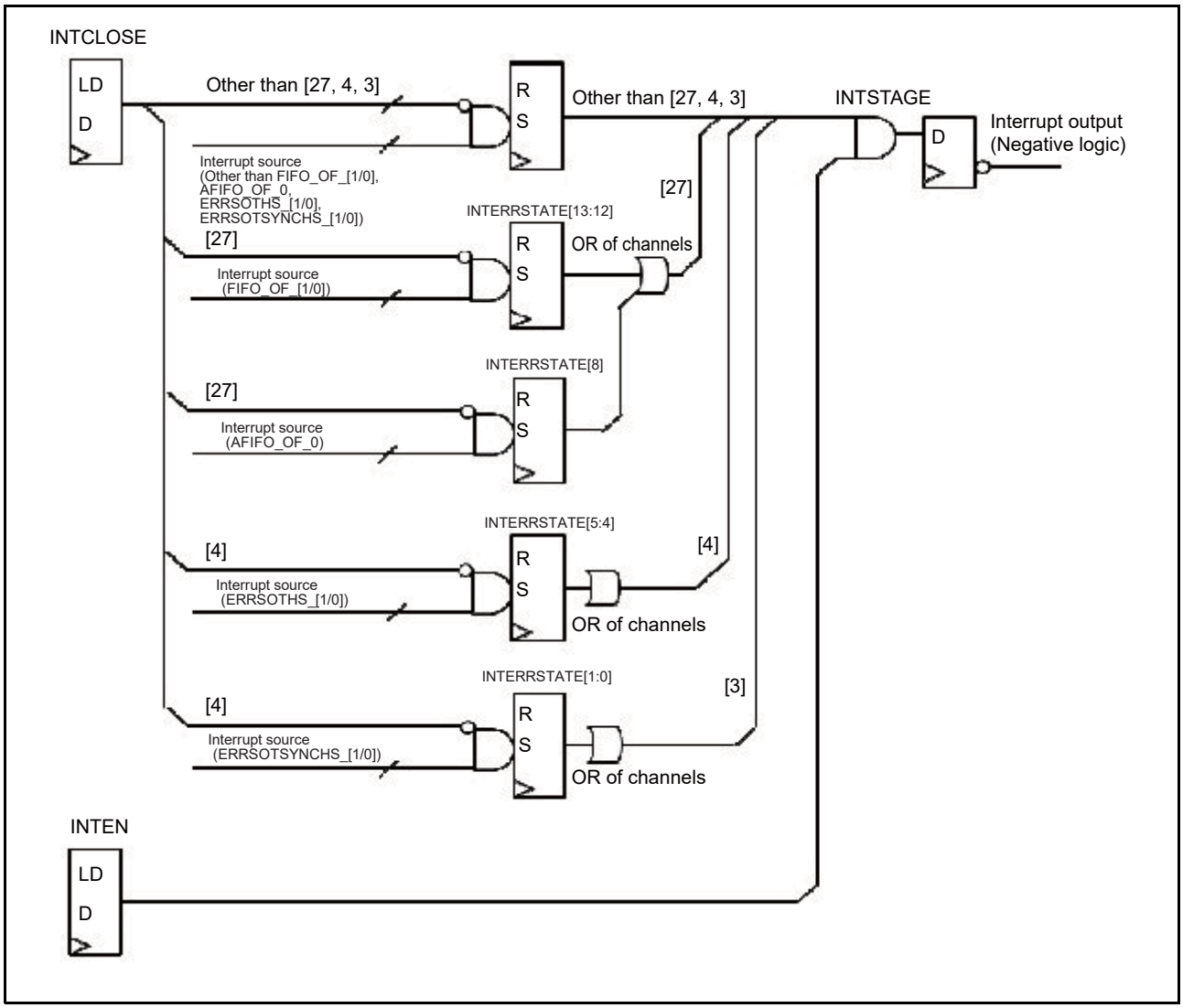


図 47.9　割り込み構造

表 47.5　　割り込みビットの割り当て

割り込み要因	レジスタビット名	ビット
ロングパケットペイロードデータカウントがWC値より小さい	LESS_THAN_WC	[28]
HS データ格納用 非同期FIFOオーバフロー	AFIFO_OF	[27]
–	–	[26]
–	–	[25]
–	–	[24]
–	–	[23]
–	–	[22]
–	–	[21]
出力チャネルのフレームスタート（CSIR_VD信号の立ち上がりエッジ）	VD_START	[20]
出力チャネルのフレームエンド（CSIR_VD信号の立ち下がりエッジ）	VD_END	[19]
ショートパケット受信（フレームスタートやフレームエンドなどのショートパケット受信）	SHP	[18]
フレームパケット受信（フレームスタートやフレームエンドなどのショートパケット受信）	FSFE	[17]
ロングパケット受信	LNP	[16]
CRC エラー	CRC_ERR	[15]
WC=0 受信	HD_WC_ZERO	[14]
不正なフレームエンドパケット受信 （フレームスタートを受信せずに、フレームエンドを受信）	FRM_SEQ_ERR1	[13]
不正なフレームスタートパケット受信 （フレームスタート受信後、フレームエンドを受信せずに再度フレームスタートを受信）	FRM_SEQ_ERR0	[12]
ECC 2 ビット以上のエラー	ECC_ERR	[11]
ECC 1 ビット訂正	ECC_CRCT_ERR	[10]
–	–	[9]
–	–	[8]
ウルトラローパワー状態の開始	ULPS_START	[7]
ウルトラローパワー状態の終了	ULPS_END	[6]
–	–	[5]
HS 受信中の同期SOT（転送開始）エラー	ERRSOTHS	[4]
HS 受信中の非同期SOT（転送開始）エラー	ERRSOTSYNCHS	[3]
エスケープモード エントリエラー	ERRESC	[2]
–	–	[1]
PHY 制御エラー	ERRCONTROL	[0]

表 47.6　エラー状態モニタレジスタのビット割り当て

割り込み要因	レジスタビット名	ビット
—	—	[15]
—	—	[14]
—	—	[13]
—	—	[12]
—	—	[11]
—	—	[10]
—	—	[9]
レーン 0 の HS データを格納する非同期 FIFO のオーバフロー	AFIFO_OF_0	[8]
—	—	[7]
—	—	[6]
レーン 1 の HS 受信中の同期 SOT（転送開始）エラー	ERRSOTHS_1	[5]
レーン 0 の HS 受信中の同期 SOT（転送開始）エラー	ERRSOTHS_0	[4]
—	—	[3]
—	—	[2]
レーン 1 の HS 受信中の非同期 SOT（転送開始）エラー	ERRSOTSYNCHS_1	[1]
レーン 0 の HS 受信中の非同期 SOT（転送開始）エラー	ERRSOTSYNCHS_0	[0]

表 47.7　MIPI CSI-2 PHY/付属文書 A.1 信号の説明

エラー信号	説明
ERRSOTHS	送信開始（SoT）エラー。 High-Speed Sot リーダシーケンスが破損していても、適切な同期が得られるようになっている場合は、このアクティブハイ信号は RXBYTECLKHS の 1 サイクルの間アサートされます。これは、リーダシーケンスの「ソフトエラー」と考えられ、ペイロードデータの信頼性が低下します。
ERRSOTSYNCHS	送信開始同期エラー。 適切な同期が期待できないように High-Speed Sot リーダシーケンスが途中で破損しているとき、このアクティブハイ信号は RXBYTECLKHS の 1 サイクルの間アサートされます。
ERRESC	エスケープエントリエラー。 認識されないエスケープエントリコマンドが受信された場合、このアクティブハイ信号はアサートされ、ラインステートの次の変化までアサートされたままです。
ERRCONTROL	制御エラー。 誤ったラインステートシーケンスが検出されると、このアクティブハイ信号がアサートされます。例えば、ターンアラウンドリクエストまたはエスケープモードリクエストの直後に、必要なブリッジ状態の代わりにストップステートが続くとき、この信号はアサートされ、ラインステートの次の変化までアサートされたままです。

47.3.7　レーンスワッピング

LINK は、関連するレジスタを設定することによって、PHY から受信したデータのレーン割り当てを変更できます。（47.2.18 参照）この機能は、コネクタ仕様を有さない MIPI CSI-2 を補う、柔軟なピン割り当てのために提供されています。

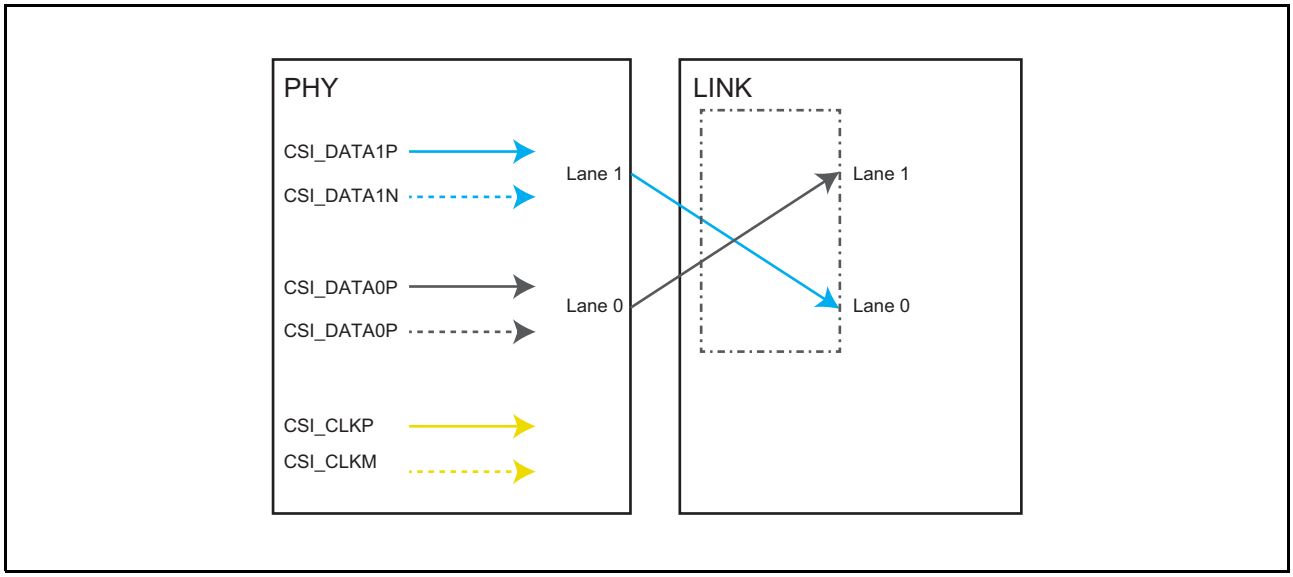


図 47.10　レーンスワッピングの例

47.3.8　PHY タイミング設定

「47.2.52　PHY タイミングレジスタ 1（PHYTIM1）」、「47.2.53　PHY タイミングレジスタ 2（PHYTIM2）」、「47.2.54　PHY タイミングレジスタ 3（PHYTIM3）」を設定することによって、MIPI D-PHY 規格に記載されている動作タイミングパラメータを設定することができます。

(1)　T_INIT_SLAVE

PHY 初期化期間を設定します。
PHY 動作制御レジスタ (PHYCNT) の SHUTDOWNZ ビットおよび RSTZ ビットに 1 が設定されてから、以下の期間が PHY 初期化期間となります。

(T_INIT_SLAVE 設定値 ＋ 1(PHY 内部遅延)) × (1/ 内部バスクロック (Bφ))

MIPI D-PHY 規格に記載されている T_{INIT} の最小値 (100µs) に対応する場合は、以下の式を満たすように T_INIT_SLAVE を設定してください。

T_INIT_SLAVE 設定値＋ 1(PHY 内部遅延) > 100µs/(1/ 内部バスクロック (Bφ))

(2)　TCLK_MISS

HS クロックの受信タイムアウトを検出するまでの期間を設定します。
HS クロック受信中に受信クロックが停止し、以下の期間経過した場合に受信タイムアウトを検出します。

TCLK_MISS 設定値 × (1/ 内部バスクロック (Bφ))

なお、対向デバイスとのクロック精度の差によりタイムアウトを誤検出する可能性があるため、設定値にはマージンを設けてください。
80Mbps 転送時に HS クロックの受信タイムアウトを検出する場合は、以下の式を満たすように TCLK_MISS を設定してください。

TCLK_MISS 設定値 > (1/80Mbps)/(1/ 内部バスクロック (Bφ))+1(マージン)

(3)　TCLK_PREPARE

クロックレーンの HS IO が有効になるまでの期間を設定します。
LP00 が入力されてから、以下の期間経過後に HS IO が有効となります。

(TCLK_PREPARE 設定値 × (1/ 内部バスクロック (Bφ))) + (3 × (1/ 内部バスクロック (Bφ)))(PHY 内部遅延)

HS0 期間中に HS IO が有効となるように TCLK_PREPARE を設定してください。
MIPI D-PHY 規格に記載されている $T_{CLK\text{-}PREPARE}$ の最大値 (95ns) に対応する場合は、以下の式を満たすように TCLK_PREPARE を設定してください。

(TCLK_PREPARE 設定値 × (1/ 内部バスクロック (Bφ))) + (3 × (1/ 内部バスクロック (Bφ)))
(PHY 内部遅延) > 95ns

(4) TCLK_SETTLE

クロックレーンの HS クロック受信が有効になるまでの期間を設定します。
LP00 が入力されてから、以下の期間経過後に HS クロック受信が有効となります。

TCLK_SETTLE 設定値 × (1/ 内部バスクロック (Bφ))

クロックレーンの HS IO が有効になってから 50ns 以上経過した後で HS クロック受信が有効となるように TCLK_SETTLE を設定してください。
MIPI D-PHY 規格に記載されている $T_{CLK\text{-}SETTLE}$ の最大値 (300ns) に対応する場合は、以下の式を満たすように TCLK_SETTLE を設定してください。

300ns > TCLK_SETTLE 設定値 × (1/ 内部バスクロック (Bφ)) > (TCLK_PREPARE 設定値 × (1/ 内部バスクロック (Bφ))) + (3 × (1/ 内部バスクロック (Bφ)))(PHY 内部遅延) + 50ns

図 47.11 に TCLK_PREPARE と TCLK_SETTLE の関係を示します。

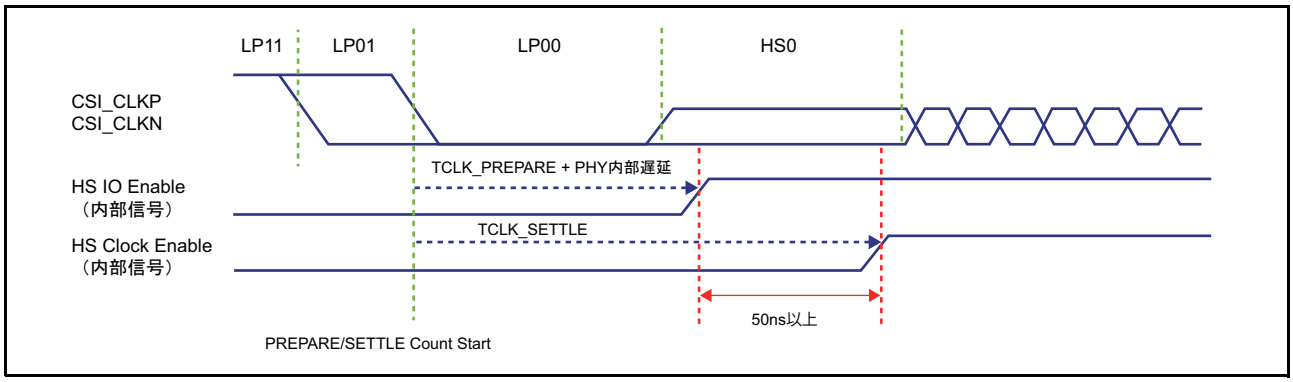


図 47.11 TCLK_PREPARE と TCLK_SETTLE のタイミング

(5) THS_PREPARE

データレーンの HS IO が有効になるまでの期間を設定します。
LP00 が入力されてから、以下の期間経過後に HS IO が有効となります。

(THS_PREPARE 設定値 × (1/ 内部バスクロック (Bφ))) + (3 × (1/ 内部バスクロック (Bφ)) + $6UI_{INST}$)(PHY 内部遅延)

HS0 期間中に HS IO が有効となるように THS_PREPARE を設定してください。
MIPI D-PHY 規格に記載されている $T_{HS\text{-}PREPARE}$ の最大値 (85ns + $6UI_{INST}$) に対応する場合は、以下の式を満たすように THS_PREPARE を設定してください。

(THS_PREPARE 設定値 × (1/ 内部バスクロック (Bφ))) + (3 × (1/ 内部バスクロック (Bφ)) + $6UI_{INST}$)(PHY 内部遅延) > 85ns + $6UI_{INST}$

(6) THS_SETTLE

データレーンの HS データ受信が有効になるまでの期間を設定します。
LP00 が入力されてから、以下の期間経過後に HS データ受信が有効となります。

THS_SETTLE 設定値 × (1/ 内部バスクロック (Bφ))

データレーンの HS IO が有効になってから 50ns 以上経過した後で HS データ受信が有効となるように THS_SETTLE を設定してください。
MIPI D-PHY 規格に記載されている $T_{HS\text{-}SETTLE}$ の最大値 (145ns + $10UI_{INST}$) に対応する場合は、以下の式を満たすように THS_SETTLE を設定してください。

145ns + $10UI_{INST}$ > THS_SETTLE 設定値 × (1/ 内部バスクロック (Bφ)) > (THS_PREPARE 設定値 × (1/ 内部バスクロック (Bφ))) + (3 × (1/ 内部バスクロック (Bφ)) + $6UI_{INST}$)(PHY 内部遅延) + 50ns

図 47.12 に THS_PREPARE と THS_SETTLE の関係を示します。

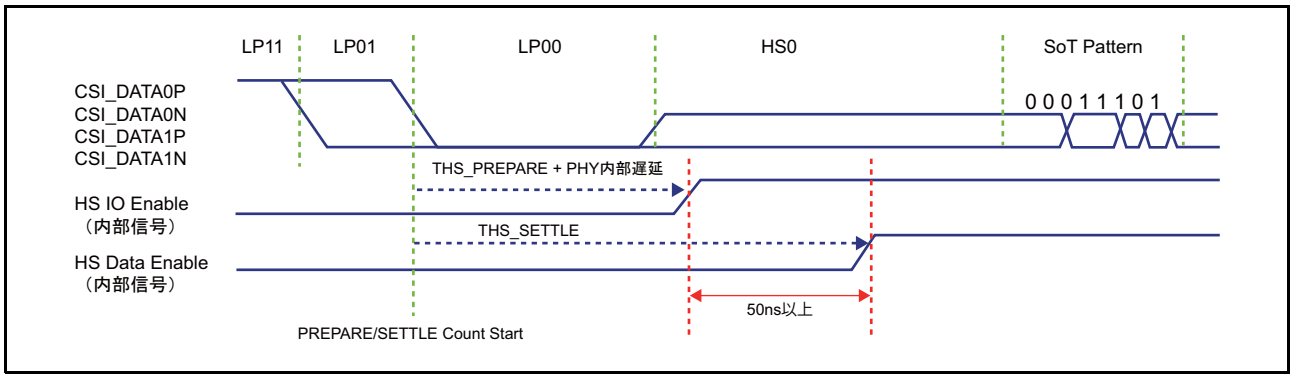


図 47.12　THS_PREPARE と THS_SETTLE のタイミング

(7) 設定例

各パラメータ説明に記載した設定例をまとめたものを表 47.8 に示します。

表 47.8　PHY タイミングレジスタ設定例 (Bφ=132MHz、$1UI_{INST}$=1ns の場合)

ビット名	算出式例	設定例
T_INIT_SLAVE	T_INIT_SLAVE + 1 > 100μs/(1/Bφ)	16'h33F3
TCLK_MISS	TCLK_MISS > (1/80Mbps)/(1/Bφ)+1	5'h03
TCLK_PREPARE	(TCLK_PREPARE × (1/Bφ)) + (3 × (1/Bφ)) > 95ns	5'h0A
TCLK_SETTLE	300ns > TCLK_SETTLE × (1/Bφ) > (TCLK_PREPARE × (1/Bφ)) + (3 × (1/Bφ)) + 50ns	6'h14
THS_PREPARE	(THS_PREPARE設定値 × (1/Bφ)) + (3 × (1/Bφ) + $6UI_{INST}$) > 85ns + $6UI_{INST}$	6'h09
THS_SETTLE	145ns + $10UI_{INST}$ > THS_SETTLE × (1/Bφ) > (THS_PREPARE × (1/Bφ)) + (3 × (1/Bφ) + $6UI_{INST}$)(PHY 内部遅延) + 50ns	6'h14

47.3.9　PHY の初期設定

VIN 初期シーケンスは、CSI2 初期シーケンスの前または後に実行可能です。

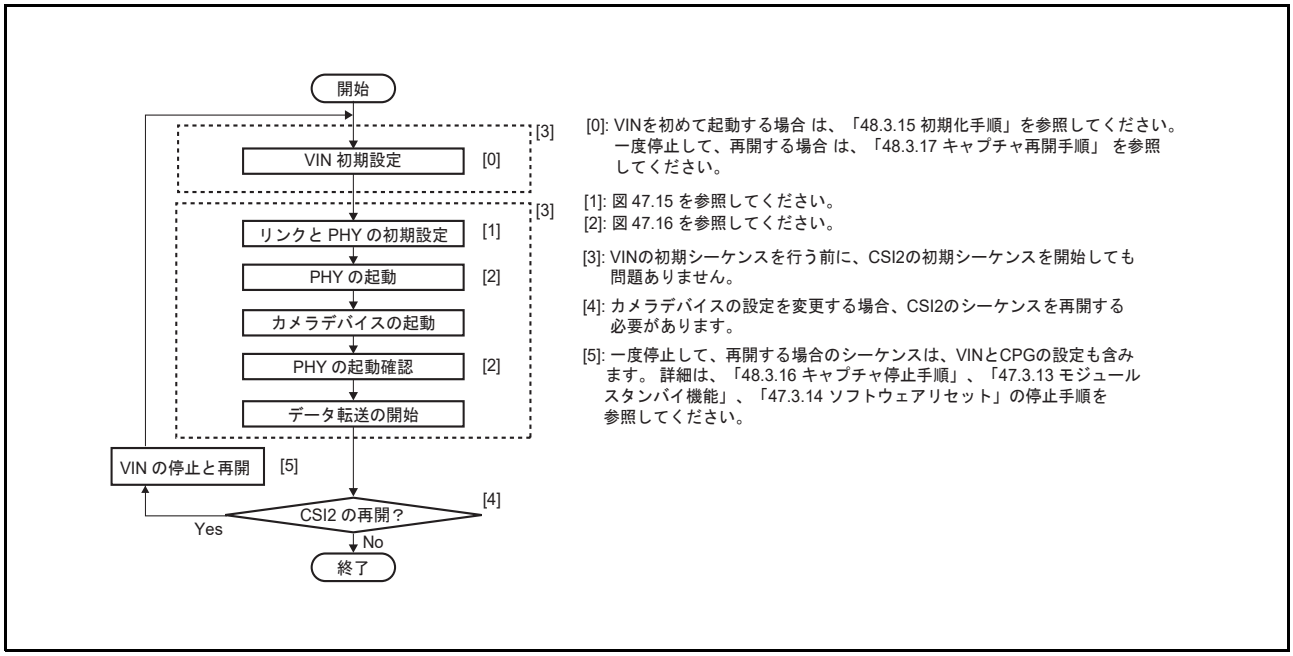


図 47.13　ビデオモジュールの初期設定手順例 1

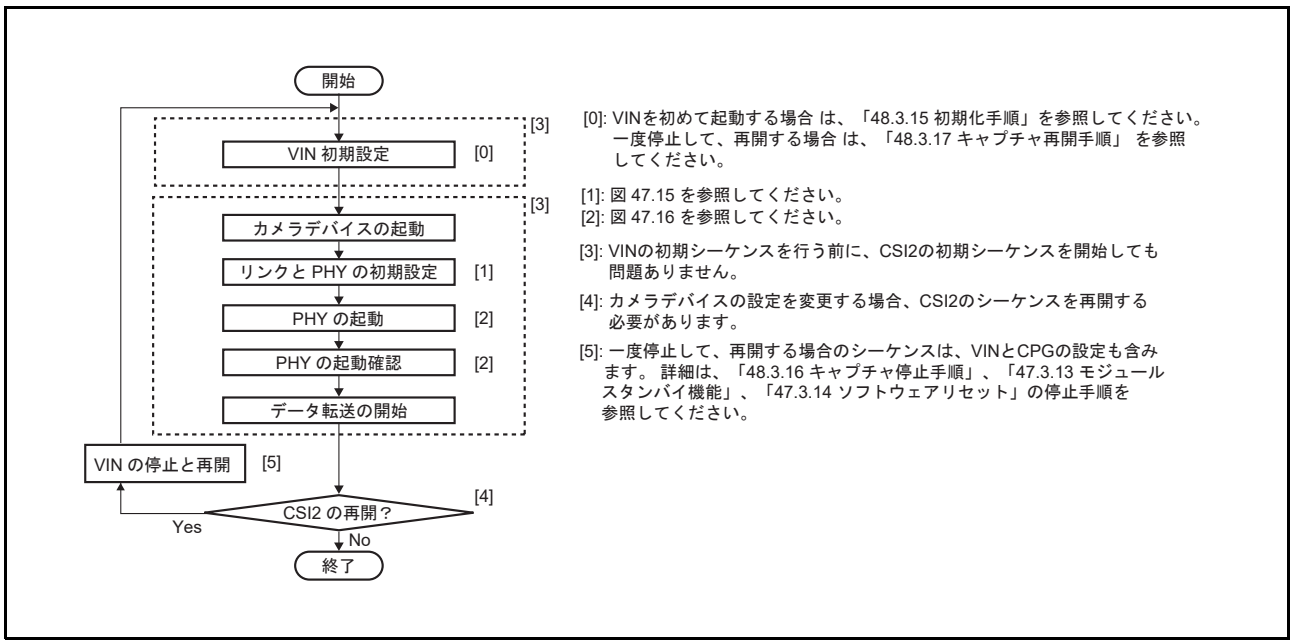


図 47.14　ビデオモジュールの初期設定手順例 2

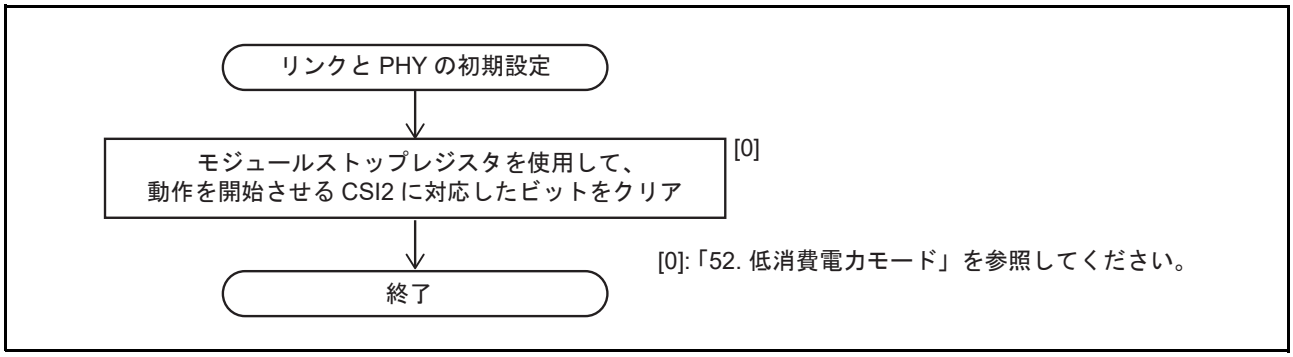


図 47.15　PHY 初期化設定の例

47.3.9.1　用語

本項では CSI2 の用語について説明します。

- PHY の起動
  CSI-2 レシーバモジュールを初期化します。初期化後、CSI-2 レシーバモジュールは、CSI-2 トランスミッタデバイスが StopState(LP-11) を維持していることを期待します。
- カメラデバイスの起動
  CSI-2 トランスミッタデバイスを初期化します。初期化後、CSI-2 トランスミッタデバイスは StopState(LP-11) を維持します。
- PHY の起動確認
  CSI-2 レシーバモジュールは、初期化後に CSI-2 トランスミッタデバイスが StopState(LP-11) を維持していることを確認します。
- データ転送の開始
  CSI-2 トランスミッタデバイスが CSI-2 レシーバモジュールへ High-Speed データを送信開始します。

47.3.10　レジスタ設定による PHY 制御とモニタ

PHY IP は、関連する LINK レジスタを設定することで制御できます。レジスタ機能については、「47.2.3 PHY 動作制御レジスタ (PHYCNT)」および「47.2.52　PHY タイミングレジスタ 1（PHYTIM1）」「47.2.53　PHY タイミングレジスタ 2（PHYTIM2）」「47.2.54　PHY タイミングレジスタ 3（PHYTIM3）」を参照ください。

PHY の IP ステータスは、関連する LINK レジスタを介してモニタできます。レジスタ機能については、「47.2.19　PHY ESC エラー モニタレジスタ (PHEERM)」、「47.2.20　PHY クロックレーン モニタレジスタ (PHCLM)」および「47.2.21　PHY データレーン モニタレジスタ (PHDLM)」を参照ください。

（1）Case 1 データ転送開始手順

1. データ転送を開始せずに、カメラの CSI-2 モジュールを起動します。
2. CSI2 PHY モジュールを起動します。
3. カメラからのデータ転送を開始します。

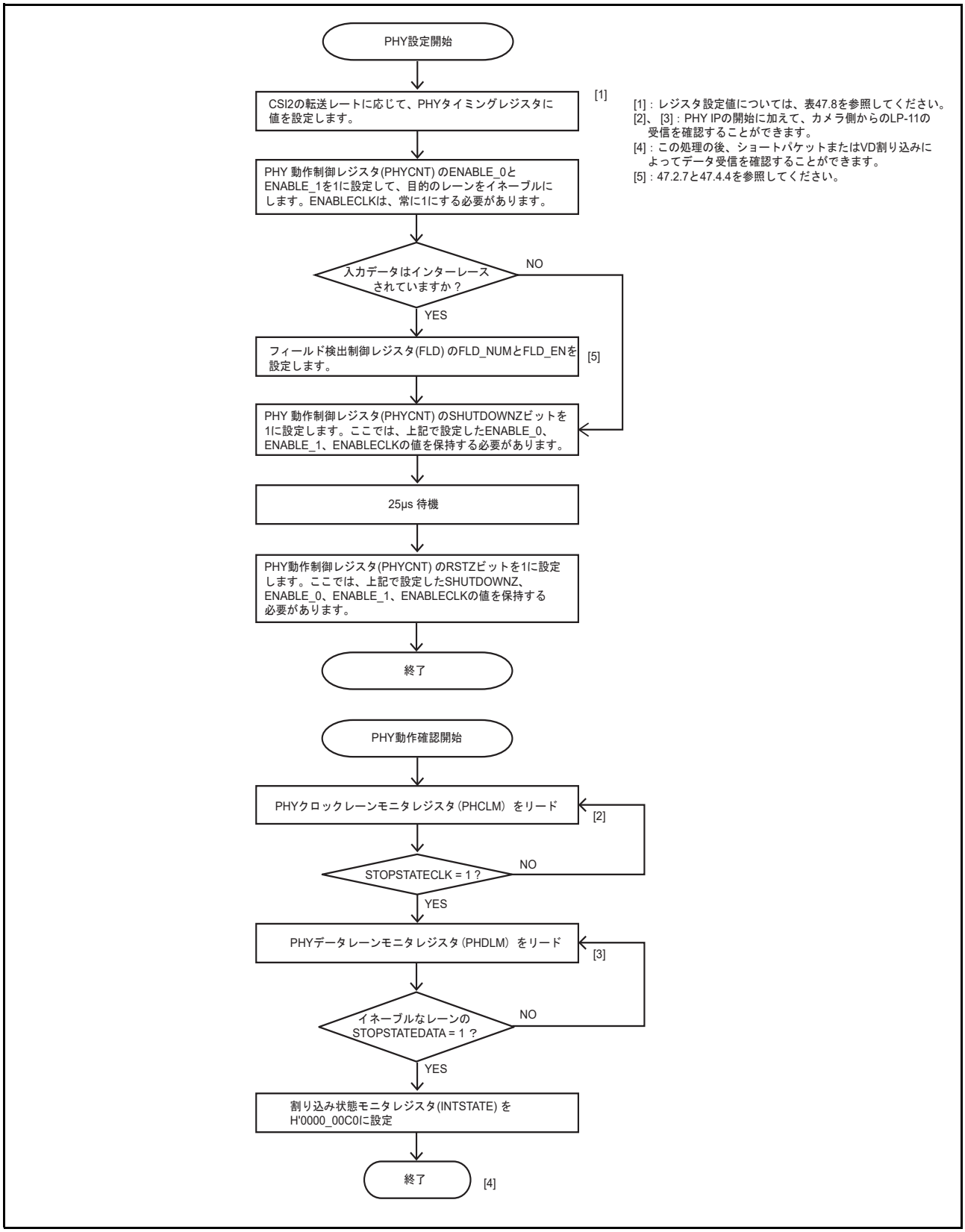


図 47.16　PHY 開始手順の例

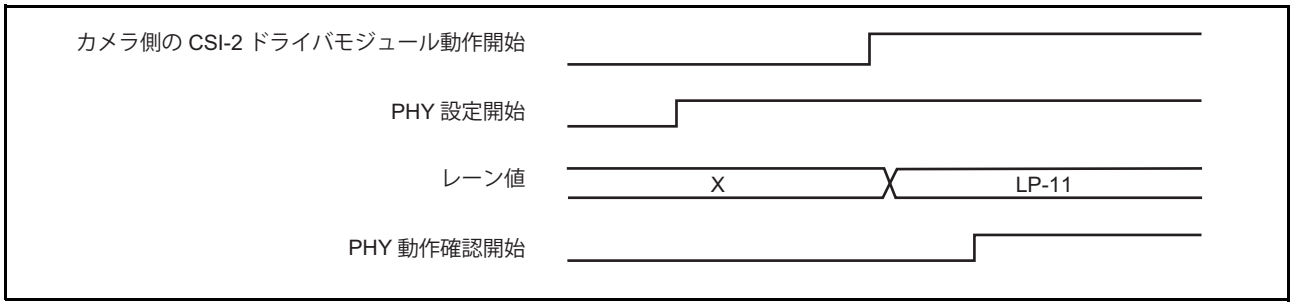


図 47.17　PHY 開始手順 1

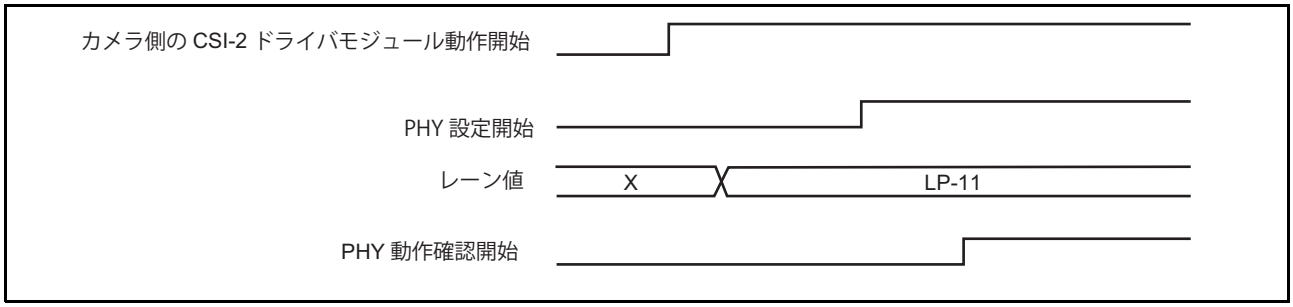


図 47.18　PHY 開始手順 2

表 47.9　異常受信の原因

症状	条件	状態	考えられる原因	
PHY が起動しない	データがカメラから転送されない。	STOPSTATE = low	内部	CSI2 がカメラ側の出力チャネルと異なる。
				CLK が停止している。
				モジュールがスタンバイモード
				ソフトウェアリセット状態 （「47.3.14　ソフトウェアリセット」参照）
				RSTZ = 0
				SHUTDOWNZ = 0
				受信レーンの ENABLE = 0, ENABLECLK = 0
			外部	レーンに接続されていない。
				カメラ側の CSI2 が起動していない。
				カメラ側の CSI2 が LP-11 を出力していない。
	データがカメラから転送される。	STOPSTATE は常に low	外部	カメラ側が先に起動し、クロックレーンを停止することなくデータ出力を継続 （LP-11 が一度も受信されていない）
受信失敗	データがカメラから転送される。	ERRSOTHS または ERRSOTSYNCHS 生成	内部	クロックとデータの位相が違う。 対策： 位相を物理的に調整する。 転送レートを下げる。
		ERRSOTHS または ERRSOTSYNCHS が生成されたため、割り込みが発生しない		異常電圧レベル 対策： 物理的に電圧レベルを調整する。 転送レートを下げる。
		ECC エラー、CRC エラー、または非同期 FIFO オーバフロー発生		送信中のレーンの ENABLE ビットが 1 ではない。
				レーン接続が正しくない 対策： 接続を変更する。 レーンスワッピングを実行する。
		クロックレーンが ULP 状態		クロックレーンの誤った P/N 接続 対策： 接続を変更する。
		エラーなしで出力または異常出力が発生しない	外部	不適切な伝送プロトコル 対策： 順番にデータを転送する。 フレーム開始→ペイロードデータ→フレーム終了
			内部	不正な LINK レジスタ設定（VCDT_EN = 0）

47.3.11　ULP 状態による割り込み生成と受信エラー状態

表 47.10　MIPI CSI-2 エスケープエントリコード

エスケープモードのアクション	コマンドタイプ	エントリ コマンドパターン （送信された最後のビット～送信された最初のビット）
ウルトラローパワー状態	mode	B'0001 1110
Undefined - 1	mode	B'1001 1111
Undefined - 2	mode	B'1101 1110

ULP（ウルトラローパワー）状態の開始と終了で、割り込みを生成できます。

割り込み要因	レジスタビット名	ビット
ウルトラローパワー状態開始	ULPS_START	[7]
ウルトラローパワー状態終了	ULPS_END	[6]

レーンの状態は、PHY クロックレーンモニタレジスタ（PHCLM）と、PHY データレーンモニタレジスタ（PHDLM）を介して、モニタできます。

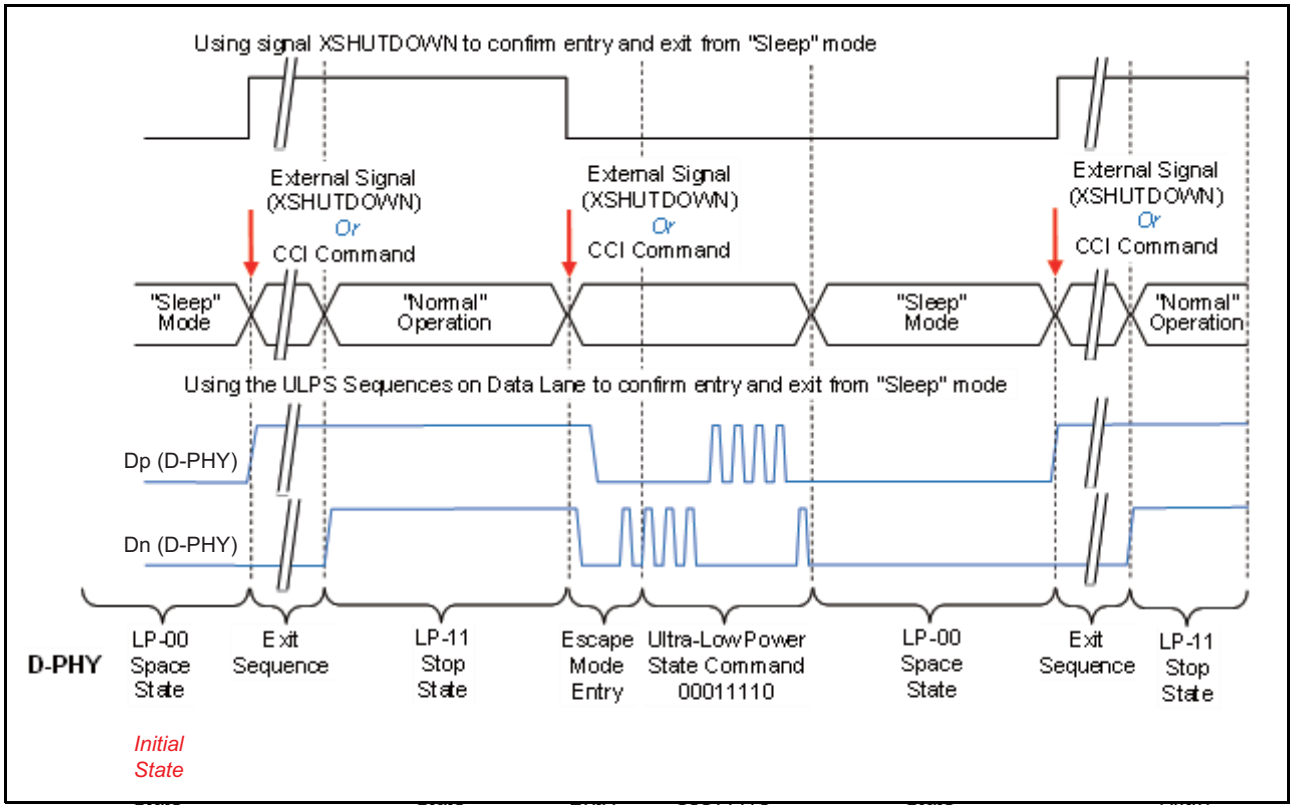


図 47.19　MIPI CSI-2 ULPS

受信エラー状態割り込みを発生させることができます。

割り込み要因	レジスタビット名	ビット
HS 受信中の同期 SOT（転送開始）エラー	ERRSOTHS	[4]
HS 受信中の非同期 SOT（転送開始）エラー	ERRSOTSYNCHS	[3]
エスケープモード エントリエラー	ERRESC	[2]
PHY 制御エラー	ERRCONTROL	[0]

ERRSOTHS と ERRSOTSYNCHS に関連するエラーレーンは、割り込みエラー状態モニタリングレジスタ（INTERRSTATE）を介してモニタでき、その他のエラーレーンは PHY ESC エラーモニタリングレジスタ（PHEERM）を介してモニタできます。

47.3.12　モニタリング機能

パケットヘッダのモニタリングについては、47.2.22 ～ 47.2.34 および 47.2.51 を参照してください。CRC 受信データのモニタリングについては、47.2.35 および 47.2.36 を参照してください。デバッグに使用されるモジュール内部信号のモニタリングについては、47.2.37 ～ 47.2.50 を参照してください。

47.3.13　モジュールスタンバイ機能

本モジュールをモジュールスタンバイ状態に遷移させる際は、以下の手順で行ってください。（モジュールスタンバイ機能については「52.　低消費電力モード」を参照してください。）

1. PHY 動作制御レジスタ（PHYCNT）の SHUTDOWNZ を 0 に設定
2. 0.1µs 待つ
3. CSI2 LINK のソフトウェアリセットレジスタ（SRST）の SRST を 1 に設定
4. 100µs 待つ
5. 「52.　低消費電力モード」にて、本モジュールに割り当てられている MSTP ビットに 1 をセット

47.3.14　ソフトウェアリセット

ソフトウェアリセットは、「52.　低消費電力モード」にて、本モジュールに割り当てられている SRST ビットを制御する事により実行してください。

CSI2 をリセットする前に、VIN モジュールをリセットするかキャプチャを停止する必要があります。

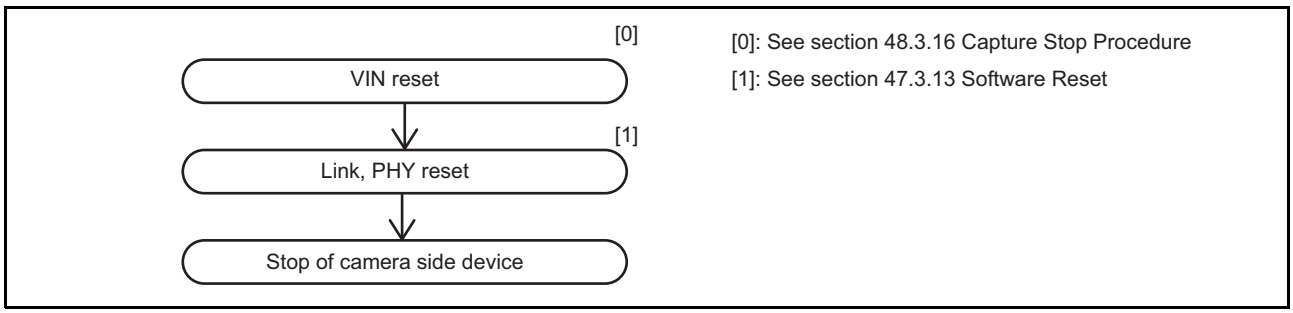


図 47.20　ビデオモジュールリセット手順の例

47.4　使用上の注意

47.4.1　MIPI CSI-2 転送レート

47.3.1 で説明したように、転送速度は 1.0 Gbps を超えないでください。データが 1.0 Gbps を超えるレートで受信した場合は、受信データが失われます。

47.4.2　PHY 動作制御レジスタ (PHYCNT)

ENABLE_1 ～ ENABLE_0 ビットのいずれかを 1 にセットするときは、ENABLECLK ビットを 1 に設定してください。すべての ENABLE_1 ～ ENABLE_0 と ENABLECLK ビットは、初期値 0 です。

47.4.3　HS（Hi-Speed）受信中の同期エラー

ノーマルの HS 受信に失敗したとき、PHY は同期エラーを LINK に出力します。同期エラーが発生すると、PHY は HS 受信データを LINK に出力しないことがあります。これが特定のレーンでのみ発生するとき、レーン同期機能は、リンク内の FIFO が読み出されてオーバフローを引き起こすことを防止します。同期エラーとオーバフローは、割り込み要因マスクレジスタ（INTCLOSE）を 0 にすることによって、割り込みエラー状態モニタリングレジスタ（INTERRSTATE）を介してモニタできます。

オーバフローが発生した後は、ソフトウェアリセットにより FIFO を初期化する必要があります。ソフトウェアリセットについては、**「47.3.14　ソフトウェアリセット」**を参照してください。

47.4.4　FLD 信号

初期状態では FLD 信号が発生していないので、FLD 信号を生成するためにフィールド検出制御レジスタ（FLD）を適切に設定してください。

図 47.21 にインターレースビデオの例を示します。

この場合（偶数フィールドのフレーム番号は H'0002）、フィールド検出制御レジスタ（FLD）の偶数フィールド（H'0002）のフレーム番号と同じ値に FLD_NUM を設定し、フィールド検出制御レジスタ（FLD）の FLD_EN を 1 に設定してください。

注 .　フレーム番号は FS と FE に含まれます。
フレーム番号は、同じ仮想チャネルを持つ FS パケットごとに 1 ずつ増加し、周期的に 1 にリセットされます。例えば 1, 2, 1,2,1,2。
偶数フィールドのフレーム番号が H'0001 の場合、FLD_NUM を H'0001 に設定してください。

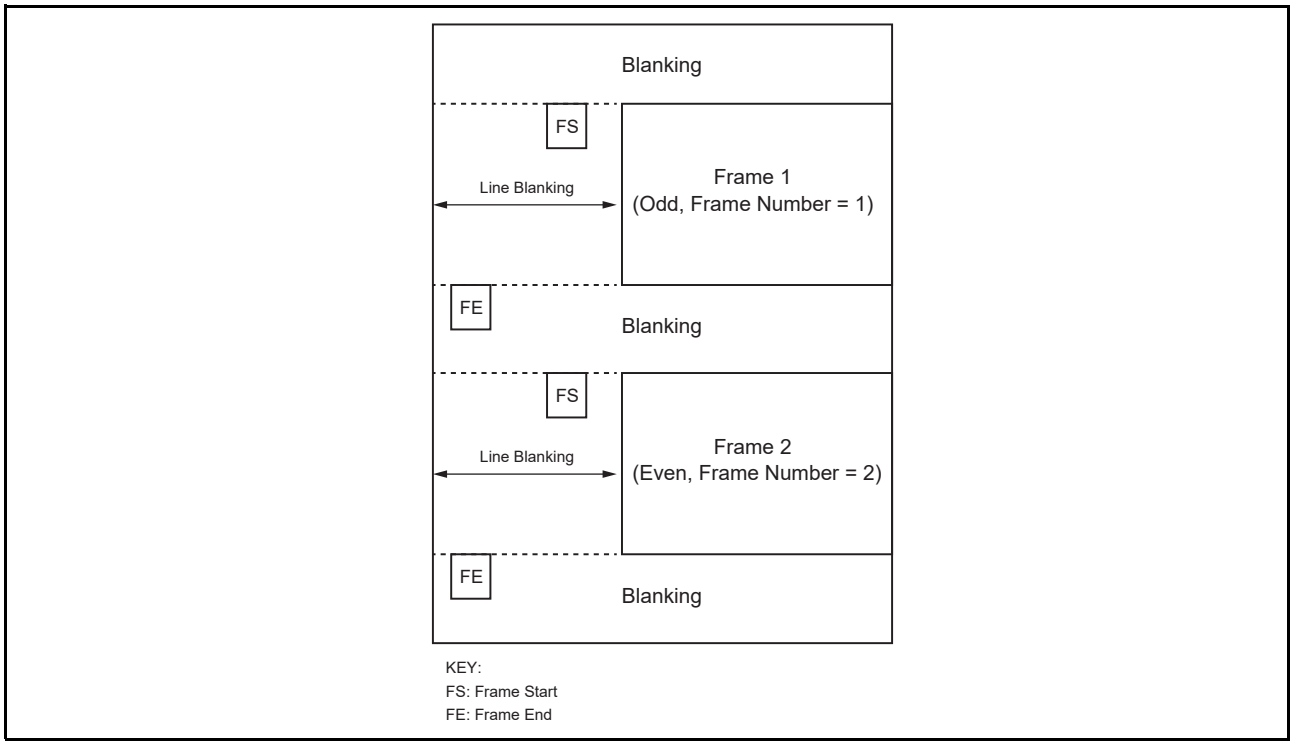


図 47.21　インターレースビデオの例

47.4.5 INT_LESS_THAN_WC

INT_LESS_THAN_WC をデバッグするときは、1 つの仮想チャネルのみを使用してください。

47.4.6 インターリーブ伝送の転送レート

いくつかの仮想チャネルが使用される場合、PHY に入力される転送レートは仮想チャネルごとに同じでなければなりません。

フレームレートを維持する必要がある場合、転送レートは各仮想チャネルの合計値である必要があります。

47.4.7 V ブランキング期間

正しく受信するための、最小 V ブランキング期間は以下のとおりです。

3 ライン以上の V ブランキングが必要です。

注 . V ブランキングは、フレームエンドパケットからフレームスタートパケットまでの期間。
VD_MSK_CYCLE の最小値と最大値は、サポートされる最小および最大 V ブランキング期間を意味しません。

47.4.8 データ上の注意

MIPI CSI-2 規格に準拠しない入力データは、本モジュールがハングするか、予期しない動作を引き起こす可能性があります。

47.4.9 クロックパルス発振器

本モジュールを使用する際は、Gφ=264MHz となるようにクロックパルス発振器を設定してください。クロックパルス発振器の設定は、「6. クロックパルス発振器」を参照してください。

48. ビデオインプットモジュール

48.1 概要

ビデオインプットモジュール（以下、VIN と略す）は、MIPI CSI-2 インタフェースを介して YCbCr-422 データおよび RGB データを外部メモリに格納するビデオキャプチャモジュールです。

このモジュールには、最大 2048 × 2048 ピクセルのキャプチャ領域にデータのキャプチャを制御できるビデオチャネルが 1 つあります。また、データの垂直方向および水平方向のスケーリングをそれぞれ最大 3 倍および 2 倍することもできます。

キャプチャされたビデオデータに対して、VIN は YCbCr-422 から RGB への色空間変換機能および、RGB から ARGB へのフォーマット変換機能を提供します。

VIN は内部的にフィールド信号を生成するので、プログレッシブデータを取り込むことができます。

MIPI Alliance CSI-2 インタフェースによるデータの入力が可能です。

注 1.　MIPI CSI-2 インタフェースの詳細仕様については、「47.　MIPI CSI2 インタフェース」を参照してください。
注 2.　サイズクリッピングの上限は、ユースケースによって異なります。

48.1.1 特長

(1) 入力インタフェース

以下の入力インタフェースを選択できます。

表 48.1　VIN 用入力インタフェース

インタフェース (CSI2)	データ幅	データタイプ
インタフェース (MIPI CSI-2)	-	YCbCr-422 8 ビット データ（注 1）（注 2）
インタフェース (MIPI CSI-2)	-	YCbCr-422 10 ビット データ（注 1）（注 2）
インタフェース (MIPI CSI-2)	-	RGB-888 データ（注 1）
インタフェース (MIPI CSI-2)	-	8 ビット ユーザ定義データ (RAW8)（注 1）（注 2）

注 1.　入力は、MIPI CSI-2 インタフェースの標準に準拠した形式です。
注 2.　XY スケーリング設定を無効にしてください（100%スケーリングのみが有効になります）。

(2) 内部同期信号生成

フィールド信号を内部で生成することができます。

(3) Capture Mode

以下の 3 つのモードを選択してインタレース画像をキャプチャすることができます。さらに、シングルフレームキャプチャまたは連続フレームキャプチャモードを選択できます。

キャプチャされたフィールド画像およびフレーム画像に従って、表示モジュールのビデオキャプチャモードと協調するためにトリプルバッファ制御が提供されます。

- 奇数フィールドキャプチャモード
- 偶数／奇数フィールドキャプチャモード
- 偶数フィールドキャプチャモード

(4) 垂直および水平スケーリング

スケールアップファクタは、垂直方向に 1/16 から 3、水平方向に 1/16 から 2 の範囲の値に設定できます。

注 1. スケールアップを使用する場合、入力できる水平方向のサイズは 2048 ピクセル以下です。
注 2. スケールダウンを使用する場合、出力できる水平方向のサイズは 2048 ピクセル以下です。

(5) サイズクリッピング

VIN モジュールには、最大 2048 × 2048 ピクセルの画像を独立して処理する 2 つのクリッピング回路があります。スケーリングの前後にこの制限内のキャプチャサイズを指定できます .

注 1. サイズクリッピングの上限は、ユースケースによって異なります。

(6) 色空間変換

YC から RGB へ、または RGB から YC への色空間変換が可能です。希望の変換係数は、色を調整するレジスタを介して指定することができます。

(7) ルックアップテーブル（LUT）の精度変換

ルックアップテーブル（LUT）の精度は、色空間変換結果に応じて、画素ごとに 10 ビットから 8 ビットに変換することができます。

注 . 精度変換機能を使用しない場合、上位 8 ビットのデータが出力されます。

(8) 画像データフォーマット変換

精度変換された YCbCr422 または RGB888 画像データでは、以下のデータフォーマット変換が利用可能です。

- YCbCr　画像データ
  - Y/Cb/Cr　8 ビット多重変換
  - YCbCr422 → YC 分離 （Y 成分と CbCr 成分に分離）
  - YCbCr422 → Y 成分抽出

- RGB　画像データ
  - RGB-888 → 32 ビット／ピクセル変換
  - RGB-888 → RGB-565（16 ビット／ピクセル）変換
  - RGB-888 → ARGB-1555（16 ビット／ピクセル）変換
  - RGB-888 → ARGB-8888（32 ビット／ ピクセル）変換

注 . ルックアップテーブルは、YCbCr と RGB 形式に共通です。

(9) メモリ出力データフォーマット

フォーマット変換された画像データをメモリに転送することができます。保存されたデータの利用可能なフォーマットを以下に示します。

- YCbCr 画像データ
  - Y/Cb/Cr422, 8 ビット多重化
  - Y/Cb/Cr422, 10 ビット多重化
  - YC 分離 , YCbCr422, Y, 8 ビット Cb/Cr, 8 ビット多重化
  - YC 分離 , YCbCr422, Y, 10 ビット Cb/Cr, 8 ビット多重化
  - YC 分離 , YCbCr422, Y, 10 ビット Cb/Cr, 10 ビット多重化
  - YC 分離 , Y data, 8 ビット
  - YC 分離 , Y data, 10 ビット

- RGB 画像データ
  - RGB-565 (16 ビット／ピクセル)
  - ARGB-1555 (16 ビット／ピクセル)
  - RGB-888 (32 ビット／ピクセル)
  - ARGB-8888 (32 ビット／ピクセル)

48.1.2　ブロック図

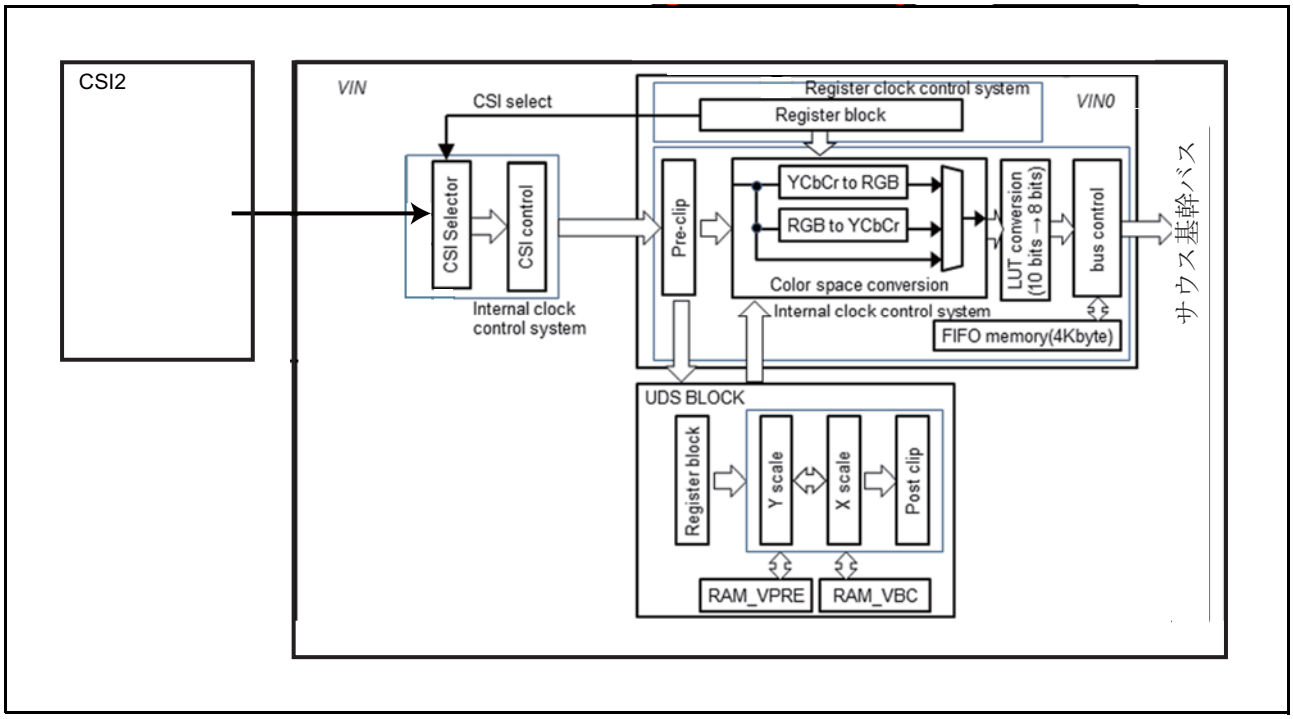


図 48.1　VIN の機能ブロック図

48.1.3 レジスタ設定

表 48.2 に VIN レジスタの設定を示します。

注 . 下記に記載されている以外のアドレスには書き込みを行わないでください。書き込みが試みられると、動作は保証されません。以下のアドレス以外のアドレスから読み取った値は不定です。アクセスサイズは、32bit 以外サポートしていません。
* 内部更新モード対応レジスタは、レジスタライト直後に更新されます。
Δ : 内部更新モードは、VnMC.CLP[1:0], VnMC.LUTE ビットのみをサポートします。

表 48.2 VIN レジスタ

レジスタ名	レジスタシンボル	R/W	アドレス	初期値	アクセスサイズ	内部更新モードサポート*
ビデオ 0 メインコントロールレジスタ	V0MC	R/W	H'E803 F000	H'0000 0000	32	Δ
ビデオ 0 モジュールステータスレジスタ	V0MS	R	H'E803 F004	H'0000 0018	32	—
ビデオ 0 フレームキャプチャレジスタ	V0FC	R/W	H'E803 F008	H'0000 0000	32	—
ビデオ 0 スタートライン プリクリップレジスタ	V0SLPrC	R/W	H'E803 F00C	H'0000 0000	32	サポート
ビデオ 0 エンドライン プリクリップレジスタ	V0ELPrC	R/W	H'E803 F010	H'0000 0000	32	サポート
ビデオ 0 スタートピクセル プリクリップレジスタ	V0SPPrC	R/W	H'E803 F014	H'0000 0000	32	サポート
ビデオ 0 エンドピクセル プリクリップレジスタ	V0EPPrC	R/W	H'E803 F018	H'0000 0000	32	サポート
ビデオ 0 CSI2 インタフェース モードレジスタ	V0CSI_IFMD	R/W	H'E803 F020	H'0000 0000	32	サポート
ビデオ 0 画像ストライドレジスタ	V0IS	R/W	H'E803 F02C	H'0000 0000	32	サポート
ビデオ 0 メモリベース 1 レジスタ	V0MB1	R/W	H'E803 F030	H'0000 0000	32	サポート
ビデオ 0 メモリベース 2 レジスタ	V0MB2	R/W	H'E803 F034	H'0000 0000	32	サポート
ビデオ 0 メモリベース 3 レジスタ	V0MB3	R/W	H'E803 F038	H'0000 0000	32	サポート
ビデオ 0 ラインカウントレジスタ	V0LC	R	H'E803 F03C	H'0000 0000	32	—
ビデオ 0 割り込みイネーブルレジスタ	V0IE	R/W	H'E803 F040	H'0000 0000	32	—
ビデオ 0 割り込みステータスレジスタ	V0INTS	R/W	H'E803 F044	H'0000 0000	32	—
ビデオ 0 スキャンライン割り込みレジスタ	V0SI	R/W	H'E803 F048	H'0000 0000	32	サポート
ビデオ 0 データモードレジスタ	V0DMR	R/W	H'E803 F058	H'0000 0000	32	サポート
ビデオ 0 データモードレジスタ 2	V0DMR2	R/W	H'E803 F05C	H'0000 0000	32	—
ビデオ 0 UV アドレスオフセットレジスタ	V0UVAOF	R/W	H'E803 F060	H'0000 0000	32	サポート
ビデオ 0 色空間変換係数 1 レジスタ	V0CSCC1	R/W	H'E803 F064	H'0129 1080	32	サポート
ビデオ 0 色空間変換係数 2 レジスタ	V0CSCC2	R/W	H'E803 F068	H'0198 00D0	32	サポート
ビデオ 0 色空間変換係数 3 レジスタ	V0CSCC3	R/W	H'E803 F06C	H'0064 0204	32	サポート
ビデオ 0 スケーリング制御レジスタ	V0UDS_CTRL	R/W	H'E803 F080	H'0000 0000	32	—
ビデオ 0 倍率レジスタ	V0UDS_SCALE	R/W	H'E803 F084	H'0000 0000	32	—
ビデオ 0 通過帯域レジスタ	V0UDS_PASS_BWIDTH	R/W	H'E803 F090	H'0000 0000	32	—
ビデオ 0 UDS 出力サイズ クリッピングレジスタ	V0UDS_CLIP_SIZE	R/W	H'E803 F0A4	H'0000 0000	32	—
ビデオ 0 ルックアップテーブルポインタ	V0LUTP	R/W	H'E803 F100	H'0000 0000	32	—
ビデオ 0 ルックアップテーブル データレジスタ	V0LUTD	R/W	H'E803 F104	H'00xx xxxx	32	—
ビデオ 0 RGB→Y 計算 設定レジスタ 1	V0YCCR1	R/W	H'E803 F228	H'0000 0107	32	サポート
ビデオ 0 RGB→Y 計算 設定レジスタ 2	V0YCCR2	R/W	H'E803 F22C	H'0064 0204	32	サポート

レジスタ名	レジスタシンボル	R/W	アドレス	初期値	アクセスサイズ	内部更新モードサポート*
ビデオ0 RGB→Y計算 設定レジスタ3	V0YCCR3	R/W	H'E803 F230	H'0A00 0010	32	サポート
ビデオ0 RGB→Cb計算 設定レジスタ1	V0CBCCR1	R/W	H'E803 F234	H'0000 1F68	32	サポート
ビデオ0 RGB→Cb計算 設定レジスタ2	V0CBCCR2	R/W	H'E803 F238	H'01C2 1ED6	32	サポート
ビデオ0 RGB→Cb計算 設定レジスタ3	V0CBCCR3	R/W	H'E803 F23C	H'0A00 0080	32	サポート
ビデオ0 RGB→Cr計算 設定レジスタ1	V0CRCCR1	R/W	H'E803 F240	H'0000 01C2	32	サポート
ビデオ0 RGB→Cr計算 設定レジスタ2	V0CRCCR2	R/W	H'E803 F244	H'1FB7 1E87	32	サポート
ビデオ0 RGB→Cr計算 設定レジスタ3	V0CRCCR3	R/W	H'E803 F248	H'0A00 0080	32	サポート
ビデオ0 YC→RGB計算 設定レジスタ1	V0CSCE1	R/W	H'E803 F300	H'0000 129F	32	サポート
ビデオ0 YC→RGB計算 設定レジスタ2	V0CSCE2	R/W	H'E803 F304	H'0100 0800	32	サポート
ビデオ0 YC→RGB計算 設定レジスタ3	V0CSCE3	R/W	H'E803 F308	H'1989 0D02	32	サポート
ビデオ0 YC→RGB計算 設定レジスタ4	V0CSCE4	R/W	H'E803 F30C	H'0645 2045	32	サポート

48.2　レジスタ説明

凡例

—:　予約済。書き込み値は常に 0 にする必要があります。
初期値 :　リセット後のレジスタ値
R/W:　読み取り／書き込み可能。書き込まれた値を読み取ることができます。
R:　読み取り専用。書き込み値は常に 0 にする必要があります。
Vn:　ビデオチャネル n

48.2.1　ビデオ n メインコントロールレジスタ (VnMC)

注.　利用可能チャネル : n = 0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CLP[1:0]		—	SCLE	—	—	—	—	—	LUTE	YCAL	INF[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DC[1:0]		—	—	—	—	—	—	—	EN	—	IM[1:0]		—	BPS	ME
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて 0	R	予約済 このビットは常に 0 が読み出されます。書き込み値は常に 0 にする必要があります。
29、28	CLP[1:0]	00	R/W	ピクセルデータクリッピング 入力画像データが YCbCr フォーマットの場合、これらのビットには、YCbCr-RGB 色変換入力データを ITU-R BT.601 規格に規定された公称範囲にクリッピングするための、データクリップ値を指定します。
27	—	0	R	予約済 このビットは常に 0 が読み出されます。書き込み値は常に 0 にする必要があります。

CLP	輝度	色差	
00	クリッピング無	16 以下の値は、16 にクリップされます。 240 以上の値は、240 にクリップされます。	初期条件
01	16 以下の値は、16 にクリップされます。 240 以上の値は、240 にクリップされます。	16 以下の値は、16 にクリップされます。 240 以上の値は、240 にクリップされます。	
10	クリッピング無	16 以下の値は、128 にクリップされます。 240 以上の値は、128 にクリップされます。	
11	クリッピング無	クリッピング無	

注.　これらのビットは内部更新モードをサポートします。

ビット	ビット名	初期値	R/W	説明
26	SCLE	0	R/W	このビットは、UDSによるスケーリングを有効または無効にするために使用されます。 0：UDSによるスケーリング無効 1：UDSによるスケーリング有効
25～21	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
20	LUTE	0	R/W	ルックアップテーブル有効化 このビットは、ルックアップテーブルによる10ビットから8ビットへの変換を可能にします。 0：LUT使用されません 1：LUT使用されます 注1.　LUT変換を実行するには、変換テーブルをVnLUTPとVnLUTDで設定する必要があります。 注2.　このビットは、内部更新モードをサポートします。
19	YCAL	0	R/W	YCbCr-422入力データアライメント このビットは、YCbCr-422入力のデータアラインメントを制御します 0：多重化されたCbCrインタフェースが設定されると、上位ビットにY、下位ビットにCbCrがキャプチャされます。 1：多重化されたCbCrインタフェースが設定されると、上位ビットにCbCr、下位ビットにYがキャプチャされます。
18~16	INF[2:0]	000	R/W	入力インタフェースフォーマット これらのビットには、VINに入力されるイメージフォーマットを指定します。 000：設定禁止 001：8ビットYCbCr-422(注1) 010：設定禁止 011：10ビットYCbCr-422(注1) 100：8ビットユーザ定義データ(RAW8)(注1) 101：設定禁止 110：24ビットRGB-888(注1) 111：設定禁止
15、14	DC[1:0]	00	R/W	ディザリングモード制御 これらのビットは、RGB888からRGB565/ARGB1555への変換のための、ディザリングモードを選択します。 00：累積加算ディザリング 01：順序付きディザリング 10：設定禁止 11：設定禁止
13～7	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
6	EN	0	R/W	エンディアンタイプ このビットは、外部メモリに出力されるデータのエンディアンタイプを指定します。 0：イメージデータはパックされ、リトルエンディアンで割り付けられます。 1：イメージデータはパックされ、ビッグエンディアンで割り付けられます。 注.　ビッグエンディアンでYCbCr422（UYVY形式）データを割り付けるときは、必ずVnDMRのBPSMビットを1に設定してください。
5	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
4、3	IM[1:0]	00	R/W	インタレースモード これらのビットはキャプチャモードを指定します。キャプチャ操作中はこの設定を変更しないでください。 00：奇数フィールド（フィールド1）キャプチャモード 奇数フィールドのみをフレームとして扱い、外部メモリに格納します。 01：奇数／偶数フィールドキャプチャモード 奇数フィールドと偶数フィールドを別々のフレームとして扱い、外部メモリに格納します。このモードは連続フレームキャプチャモードでのみ使用できます。 10：偶数フィールド（フィールド2）キャプチャモード 偶数フィールドのみをフレームとして扱い、外部メモリに格納します。 11：設定禁止
2	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

ビット	ビット名	初期値	R/W	説明
1	BPS	0	R/W	色空間変換バイパスモード 0：入力されたYCbCrデータはRGB色空間に変換され、RGBデータはYCbCr色空間に変換されます。(注2) 1：色空間変換は行われません。 注 .　YCbCr → RGB または RGB → YCbCr 変換は、YC-RGB 変換係数レジスタまたは RGB-YC 係数レジスタで指定された係数で行います。
0	ME	0	R/W	モジュール イネーブル これはVINのイネーブルビットです。ビデオnフレームキャプチャレジスタ(VnFC)を設定する前に、このビットをセットしてください。 0：モジュール動作停止 1：モジュール動作イネーブル(注3)

注1.　表48.3に、入力インタフェースフォーマット(VnMCレジスタのINFビット)で設定可能なインタフェースの組み合わせを示します。他の設定は行わないでください。
注2.　表48.4に、色空間変換バイパスモード設定（VnMCレジスタのBPSビットで設定）に従って、変換可能な画像データを示します。
注3.　キャプチャ動作を停止するには、MEビットを0に設定するだけです。他のビット設定は変更しないでください。

表48.3　　キャプチャインタフェース設定

インタフェース	VnMC/INF
YCbCr-422 8ビットデータ (MIPI CSI-2)	001
YCbCr-422 10ビットデータ (MIPI CSI-2)	011
RGB-888 データ (MIPI CSI-2)	110
8ビット、ユーザ定義データ(RAW8) (MIPI CSI-2)	100

表48.4　　キャプチャデータフォーマット

入力データフォーマット	VnMC/INF	VnMC/BPS	VnMC/IM	キャプチャ データフォーマット
YCbCr-422 (MIPI CSI-2)	001/011	0	-	RGBフォーマット
		1	-	YCbCrフォーマット
RGB-888 データ(MIPI CSI-2)	110	0	-	YCbCrフォーマット
		1	-	RGBフォーマット
8ビット、ユーザ定義データ (RAW8)	100	1	01	ユーザ定義フォーマット

48.2.2　ビデオ n モジュール ステータスレジスタ (VnMS)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FBS[1:0]		FS	AV	CA
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～5	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
4、3	FBS[1:0]	11	R	フレームバッファステータス これらのビットは、フレームバッファのステータスを示します。 00：最新の有効なフレームバッファは、メモリベース1レジスタによって定義されたベースアドレスを持ちます。 01：最新の有効なフレームバッファは、メモリベース2レジスタによって定義されたベースアドレスを持ちます。 10：最新の有効なフレームバッファは、メモリベース3レジスタによって定義されたベースアドレスを持ちます。 11：有効なフレームバッファはありません。 注.　ビデオキャプチャが動作しているときは、VnINTS レジスタの FIS ビットが1にセットされた後、このビットを読み出す必要があります。
2	FS	0	R	フィールド ステータス このビットは、現在のキャプチャフィールドのタイプを示します。 0：現在のフィールドは奇数フィールド（フィールド1）です。 1：現在のフィールドは偶数フィールド（フィールド2）です。 注.　ビデオキャプチャが動作しているときは、VnINTS レジスタの FIS ビットが1にセットされた後、このビットを読み出す必要があります。
1	AV	0	R	アクティブビデオステータス このビットは、現在のフィールドがプリクリッピングレジスタによって定義されたアクティブビデオ領域にあるかどうかを示します。 0：現在のフィールドはアクティブなビデオ領域にありません。 1：現在のフィールドはアクティブなビデオ領域にあります。 注.　入力データがキャプチャされないとき、このビットは0になります。
0	CA	0	R	ビデオキャプチャ アクティブステータス このビットは、現在のビデオキャプチャ動作ステータスを示します。 このビットはキャプチャされたフィールド信号によって更新されます。 0：ビデオキャプチャは動作していません。 1：ビデオキャプチャは動作しています。 注.　フィールドキャプチャモードでは、このビットはデータをキャプチャしないフィールドでも1に設定されます。

48.2.3　ビデオ n フレーム キャプチャレジスタ (VnFC)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CC	SC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～2	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
1	CC	0	R/W	連続フレームキャプチャモード このビットは連続フレームキャプチャモードを指定します。このモードでは、最初のキャプチャフレームは、ビデオnメモリベース1レジスタ（VnMB1）で指定された、メモリアドレスに書き込まれます。その後は、キャプチャ動作は MB2、MB3、MB1、MB2の順序で、繰り返されます。 連続キャプチャ動作中にこのビットに0を書き込むと、現在のフレームが完了したか、キャプチャされていない場合、直ちにキャプチャ動作が終了します。 0：連続フレームキャプチャモードは設定されていません。 1：連続フレームキャプチャモードが設定されます。 このビットに1を書き込んでキャプチャ動作を再開した後、最初のキャプチャフレームが書き込まれるメモリアドレスは、ビデオn モジュール ステータスレジスタ(VnMS)のフレームバッファステータスビット(FBS[1:0])で示される値に依存します。 注.　このビットを1にセットする前にSCビットを1にセットしてキャプチャを開始すると、最初のキャプチャフレームがビデオn メモリベース2 レジスタ(VnMB2)で指定されたメモリアドレスに書き込まれます。
0	SC	0	R/W	シングルフレーム キャプチャモード このビットは、シングルフレームキャプチャモードを指定します。このモードでは、キャプチャフレームはビデオnメモリベース1レジスタ（VnMB1）で指定されたメモリアドレスに書き込まれます。 このビットが1にセットされた直後に、ビデオn モジュール ステータスレジスタ（VnMS）のフレームバッファステータス（FBS）ビットが初期化され、SCビットも0にクリアされます。 0：シングルフレームキャプチャモードは設定されません。 1：シングルフレームキャプチャモードが設定されます。 注.　ビデオnメインコントロールレジスタ（VnMC）のインタレースモードビット（IM）が、01（奇数／偶数フィールドキャプチャモード）に設定されているときは、このビットを1に設定しないでください。

注.　シングルフレームキャプチャモードと連続フレームキャプチャモードを、同時に指定しないでください。

48.2.4　ビデオ n スタートライン プリクリップレジスタ (VnSLPrC)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SLPrC[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～11	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
10～0	SLPrC[10:0]	H'000	R/W	スタートライン プリクリップ これらのビットは、（プリクリッピングスタートライン - 1）値を指定します。 この値はスケーリングの前に使用されます。プリクリッピング後のライン数が 2 以上になるように、0～2046の範囲で、値を指定してください。（値0は、最初の有効な行を示します。） 注1.　垂直または水平スケーリングを使用する場合、プリクリッピング後の行数が4以上になるように、0～2044の範囲で、値を指定してください。 注2.　スケーラを使用する場合は、インプットライン内のSLPrC値を設定します。

48.2.5　ビデオ n エンドライン プリクリップレジスタ (VnELPrC)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ELPrC[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～11	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
10～0	ELPrC[10:0]	H'000	R/W	エンドライン プリクリップ これらのビットは（プリクリッピングエンドライン - 1）値を指定します この値はスケーリングの前に使用されます。プリクリッピング後のライン数が2以上になるように、1～2047の範囲で、値を指定してください。 注1.　垂直または水平スケーリングを使用する場合、プリクリッピング後のライン数が4以上になるように、3～2047の範囲で、値を指定してください。 注2.　スケーラを使用する場合は、インプットライン内のELPrC値を設定します。 注3.　インタレース画像が入力されている場合、ここでの値はELPrC-SLPrCが元のライン数の値の半分になるようにする必要があります。

48.2.6　ビデオ n スタートピクセル プリクリップレジスタ (VnSPPrC)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SPPrC[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～11	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
10～0	SPPrC[10:0]	H'000	R/W	スタートピクセル プリクリップ これらのビットは（プリクリッピングスタートピクセル - 1）値を指定します。 この値はスケーリングの前に使用されます。プリクリッピング後のピクセル数が6よりも大きな偶数になるように、0～2040の範囲で、値を指定します。 注1.　SPPrCが0×0に設定されている場合、最初の有効ピクセルが指定されます。 注2.　偶数を指定します。 注3.　スケーラを使用する場合は、入力ピクセル内のSPPrC値を設定します。

48.2.7　ビデオ n エンドピクセル プリクリップレジスタ (VnEPPrC)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	EPPrC[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～11	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
10～0	EPPrC[10:0]	H'000	R/W	エンドピクセル プリクリップ これらのビットは（プリクリッピングエンドピクセル - 1）の値を指定します。この値はスケーリングの前に使用されます。プリクリッピング後のピクセル数が6よりも大きな偶数になるように、7～2047の範囲で、値を指定します。 注1.　このビットは（EPPrC - SPPrC）の値が奇数になるように設定してください。 注2.　スケーラを使用する場合は、入力ピクセル内のEPPrC値を設定します。

48.2.8　ビデオ n CSI2 インタフェース モードレジスタ (VnCSI_IFMD)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DES0	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～26	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
25	DES0	0	R/W	データ拡張選択 このビットは、VINモジュール内のデータを12ビットに拡張する方法の選択に使用されます。 0：入力データの空のビットは、最上位ビットから繰り返し展開されます。 1：空のビットはゼロで埋められます。 YCbCr-422インタフェース使用時は、このビットを1にセットする必要があります。
24～0	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

48.2.9　ビデオ n イメージ ストライドレジスタ (VnIS)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IS[8:0]									—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

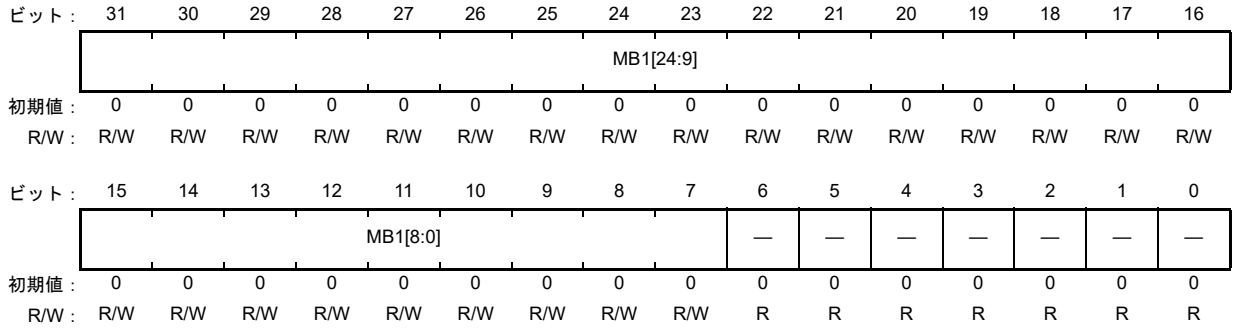
ビット	ビット名	初期値	R/W	説明
31～13	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
12～4	IS[8:0]	H'000	R/W	イメージ ストライド 本ビットには、イメージストライド/16(ピクセル)を設定してください。 ・UDS使用時 ポストクリッピングの幅（CL_HSIZE）以上の値を指定してください。 ・UDS未使用時 プリクリッピングの幅（EPPrC - SPPrC）以上の値を指定してください。 注.　出力フォーマットにより以下のようにパラメータを設定する必要があります。
3～0	—	すべて0	R	イメージストライドの下位4ビットを示す予約ビット。 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

出力フォーマット	設定単位（ピクセル）	設定単位(IS[8:0])
YCbCr-422 8bit	64	4
YCbCr-422 10bit	32	2
YC分離 YCbCr-422 Y(8bit)/C(8bit)	128	8
YC分離 YCbCr-422 Y(10bit)/C(10bit)	64	4
YC分離 YCbCr-422 Y(10bit)/C(8bit)	128	8
RGB565	64	4
ARGB1555	64	4
RGB888	32	2
ARGB8888	32	2
RAW8 *1	64	4

注1.　RAW8出力は1バイト/ピクセルですが、イメージストライドは本ビットに設定したピクセル数×2バイトとなります。

48.2.10　ビデオ n メモリベース 1 レジスタ (VnMB1)

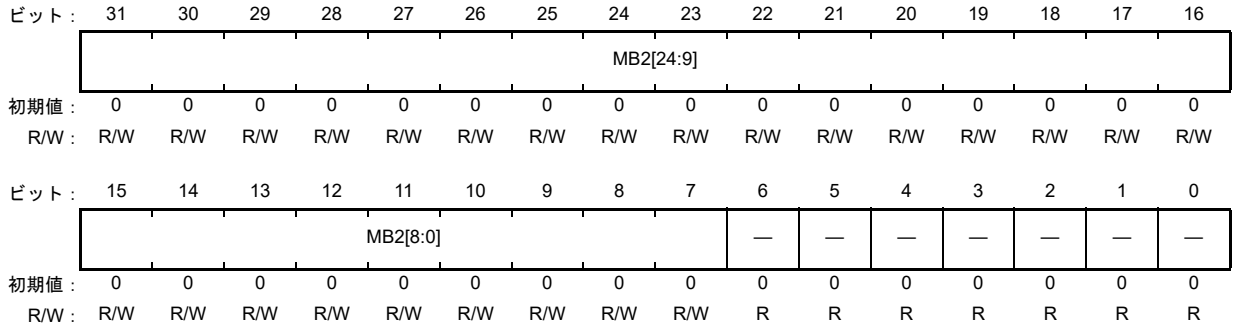
注.　利用可能チャネル：n = 0



ビット	ビット名	初期値	R/W	説明
31～7	MB1[24:0]	H'0000000	R/W	メモリベースアドレス 1 これらのビットは、フレームバッファ 1 の転送開始アドレスを指定します 物理アドレスビット[31:7]の値を 128 バイト単位で指定します。 モジュールが連続フレームキャプチャモードのとき、この値は、次のキャプチャシーケンスで、MB1 アドレスとして使用されます：MB1→MB2→MB3→MB1→MB2→MB3。 シングルフレームキャプチャモードでは、この値はキャプチャアドレスとして使用されます。 画像データがアドレスマップ上の領域境界を超えないように、イメージサイズを考慮してメモリアドレスを指定してください。
6～0	—	すべて 0	R	メモリベースアドレス 1 の下位 7 ビットを示す予約ビット（128 バイトの倍数）。 このビットは常に 0 が読み出されます。書き込み値は常に 0 にする必要があります。

48.2.11　ビデオ n メモリベース 2 レジスタ (VnMB2)

注.　利用可能チャネル：n = 0



ビット	ビット名	初期値	R/W	説明
31～7	MB2[24:0]	H'0000000	R/W	メモリベースアドレス2 これらのビットは、フレームバッファ2の転送開始アドレスを指定します。 物理アドレスビット[31:7]の値を128バイト単位で指定します。 モジュールが連続フレームキャプチャモードのとき、この値は、次のキャプチャシーケンスで、MB2アドレスとして使用されます：MB1→MB2→MB3→MB1→MB2→MB3。 画像データがアドレスマップ上の領域境界を超えないように、イメージサイズを考慮してメモリアドレスを指定してください。
6～0	—	すべて0	R	メモリベースアドレス2の下位7ビットを示す予約ビット（128バイトの倍数）。 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

48.2.12　ビデオ n メモリベース 3 レジスタ (VnMB3)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MB3[24:9]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MB3[8:0]									—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～7	MB3[24:0]	H'0000000	R/W	メモリベースアドレス3 これらのビットは、フレームバッファ 3の転送開始アドレスを指定します。 物理アドレスビット[31:7]の値を128バイト単位で指定します。 モジュールが連続フレームキャプチャモードのとき、この値は、次のキャプチャシーケンスで、MB3アドレスとして使用されます：MB1→MB2→MB3→MB1→MB2→MB3。 画像データがアドレスマップ上の領域境界を超えないように、イメージサイズを考慮してメモリアドレスを指定してください。
6～0	—	すべて0	R	メモリベースアドレス3の下位7ビットを示す予約ビット（128バイトの倍数）。 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

48.2.13　ビデオ n ライン カウントレジスタ (VnLC)

注.　利用可能チャネル：n = 0

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	LC[11:0]											
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～12	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
11～0	LC[11:0]	H'000	R	ライン カウント これらのビットは、現在のキャプチャフィールドのライン位置を示します。

48.2.14　ビデオ n 割り込み有効レジスタ (VnIE)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIE2	—	—	—	—	—	—	—	—	—	—	—	—	—	VFE	VRE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FIE	—	SIE	EFE	FOE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	FIE2	0	R/W	フィールド割り込み有効2 このビットは、フィールド割り込みのINTC出力を有効または無効にします。 このイネーブルビットによる割り込み信号は、キャプチャが行われているかどうかとは無関係に、アサートされます。 0：フィールド割り込み無効。 1：フィールド割り込み有効。
30～18	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
17	VFE	0	R/W	VSYNC立ち下がりエッジ検出 割り込み有効 このビットは、VSYNC立ち下がりエッジ検出割り込みを有効または無効にします。 このイネーブルビットによる割り込み信号は、キャプチャが行われているかどうかに関係なくアサートされます。 0：VSYNC立ち下がりエッジ検出割り込み無効。 1：VSYNC立ち下がりエッジ検出割り込み有効。
16	VRE	0	R/W	VSYNC立ち上がりエッジ検出割り込み有効 このビットは、VSYNC立ち上がりエッジ検出割り込みを有効または無効にします。 このイネーブルビットによる割り込み信号は、キャプチャが行われているかどうかに関係なくアサートされます。 0：VSYNCの立ち上がりエッジ検出割り込み無効。 1：VSYNCの立ち上がりエッジ検出割り込み有効。
15～5	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
4	FIE	0	R/W	フィールド割り込み有効 このビットは、フィールドスイッチング割り込みを有効または無効にします。この割り込み許可設定は、VnMSのCAビットが1のときに有効です。 0：フィールドスイッチング割り込み無効。 1：フィールドスイッチング割り込み有効。
3	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
2	SIE	0	R/W	スキャンライン割り込み有効 このビットは、スキャンライン割り込みを有効または無効にします。 この割り込み許可設定は、VnMSのCAビットが1のときに有効です。 0：スキャンライン割り込み無効。 1：スキャンライン割り込み有効。
1	EFE	0	R/W	フレーム終了割り込み有効 このビットは、フレーム終了割り込みを有効または無効にします。 この割り込み許可設定は、VnMSのCAビットが1のときに有効です。 0：終了フレームの割り込み無効。 1：終了フレームの割り込み有効。

ビット	ビット名	初期値	R/W	説明
0	FOE	0	R/W	FIFOオーバフロー割り込み有効 このビットは、FIFOオーバフロー割り込みを有効または無効にします。この割り込み許可設定は、VnMSのCAビットが1のときに有効です。 0：FIFOオーバフロー割り込み無効。 1：FIFOオーバフロー割り込み有効。

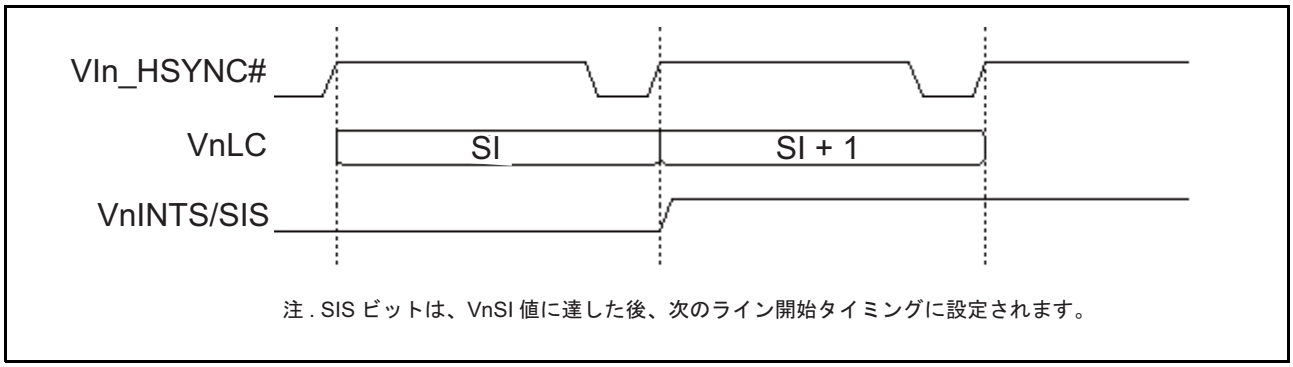
48.2.15　ビデオ n 割り込みステータスレジスタ (VnINTS)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIS2	—	—	—	—	—	—	—	—	—	—	—	—	—	VFS	VRS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	FIS	—	SIS	EFS	FOS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	FIS2	0	R/W	フィールド割り込みステータス2 このビットは、フィールドが変更されたことを示します。1にセットされた後、このビットは1を書き込むことにより0にクリアされます。 注.　このビットは、キャプチャが行われているか否かに関わらず、1にセットされます。使用する前に、必ずこのビットを0にクリアしてください。
30～18	—	すべて0	R	予約済 このビットは常に0、もしくは1が読み出されます。書き込み値は常に0にする必要があります。
17	VFS	0	R/W	VSYNC立ち下がりエッジ検出割り込みステータス このビットは、VSYNCの立ち下がりエッジが検出されたことを示します。1にセットされた後、このビットは1を書き込むことにより0にクリアされます。 注.　このビットは、キャプチャが行われているか否かに関わらず、1にセットされます。使用する前に、必ずこのビットを0にクリアしてください。
16	VRS	0	R/W	VSYNC立ち上がりエッジ検出割り込みステータス このビットは、VSYNCの立ち上がりエッジが検出されたことを示します。1にセットされた後、このビットは1を書き込むことにより0にクリアされます。 注.　このビットは、キャプチャが行われているか否かに関わらず、1にセットされます。使用する前に、必ずこのビットを0にクリアしてください。
15～5	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
4	FIS	0	R/W	フィールド割り込みステータス このビットは、アクティブなキャプチャ動作で、フィールドがキャプチャされたことを示します。 1にセットされた後、このビットは1を書き込むことにより0にクリアされます。
3	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
2	SIS	0	R/W	スキャンライン割り込みステータス このビットは、アクティブなキャプチャ操作でVnSIで指定されたライン数に達したことを示します。 1にセットされた後、このビットは1を書き込むことにより0にクリアされます。 このビットは、VnLCレジスタの値がVnSIレジスタの設定値と一致した後、次のライン開始タイミングで1にセットされます。このタイミングを図48.2に示します。
1	EFS	0	R/W	フレーム終了割り込みステータス このビットは、アクティブなキャプチャ操作で、最後のフレームに達したことを示します。このビットは、偶数フィールド（フィールド2）の最後に、1に設定されます。1にセットされた後は、1を書き込むことで、このビットは0にクリアされます。
0	FOS	0	R/W	FIFOオーバフロー割り込みステータス このビットは、アクティブなキャプチャ動作で、FIFOがオーバフローしたことを示します。1にセットされた後は、1を書き込むことで、このビットは0にクリアされます。FIFOがオーバフローした場合は、オーバフロー後に取り込まれた画素データによってFIFOデータが上書きされ、結果として得られたデータはフレームバッファに送られます。



注 . SIS ビットは、VnSI 値に達した後、次のライン開始タイミングに設定されます。

図 48.2 スキャンライン割り込みステータスの生成タイミング

48.2.16　ビデオ n スキャンライン割り込みレジスタ (VnSI)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SI[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～11	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
10～0	SI[10:0]	H'000	R/W	スキャンライン割り込み設定 これらのビットは、VnIE レジスタの SIE ビットが 1 にセットされている間、各フィールドの VnLC レジスタ値と比較される値を指定します。 この値が VnLC レジスタの値と一致すると、割り込み信号がアサートされます。 注.　これらのビットを H'000 に設定すると、ビデオ n 割り込みステータスレジスタ (VnINTS) のスキャンライン割り込みステータスビット (SIS) は常に 0 になります。

48.2.17　ビデオ n データモードレジスタ (VnDMR)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	A8BIT[7:0]								—	—	—	—	—	—	—	EVA
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	YMODE[2:0]			YC THR	—	—	EXR GB	—	—	—	BP SM	—	ABIT	DTMD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	A8BIT[7:0]	H'00	R/W	アルファ 8 これらのビットは、ARGB8888 フォーマット出力でのアルファ値を設定します。
23～17	—	すべて 0	R	予約済 このビットは常に 0 が読み出されます。書き込み値は常に 0 にする必要があります。
16	EVA	0	R/W	偶数フィールドアドレスオフセット このビットは、奇数／偶数フィールドキャプチャモードでの、メモリ内の偶数フィールド（フィールド 2）のアドレスオフセットを指定します。 0：データは外部メモリのベースアドレスから格納されます。 1：データは外部メモリのベースアドレス＋メモリ幅から格納されます。
15	—	0	R	予約済 このビットは常に 0 が読み出されます。書き込み値は常に 0 にする必要があります。
14～12	YMODE[2:0]	000	R/W	YC データ転送モード これらのビットは、データ変換モード（DTMD）が 10（YC 分離）のときの、Y/CbCr の転送方法を指定します。 000：Y と CbCr の両方のデータがメモリに転送されます。 001：Y データのみが 8 ビットデータとしてメモリに転送されます。 010：10 ビットの CrCb データは 8 ビットの CrCb データに変換され、Y と CbCr の両方のデータがメモリに転送されます。 011：10 ビットの CrCb データは 8 ビットの CrCb データに変換され、Y データのみがメモリに転送されます。 100：設定禁止 101：設定禁止 110：設定禁止 111：設定禁止
11	YC_THR	0	R/W	YC データスルーモード このビットを設定することにより、Y と CbCr のデータは入力フォーマットに従って 10 ビットデータとしてメモリに転送されます。 0：Y と CbCr のデータは、YMODE[2:0] ビットに従ってメモリに転送されます。 1：Y と CbCr のデータは、入力フォーマットに従って 10 ビットデータとしてメモリに転送されます。
10～9	—	すべて 0	R	予約済 このビットは常に 0 が読み出されます。書き込み値は常に 0 にする必要があります。
8	EXRGB	0	R/W	拡張 RGB 変換モード 0：RGB データ伸張処理は行われません。 1：データ変換モードとして DTMD[1:0] が 00 または 01 に設定されているとき、データは 32 ビット RGB 変換に拡張されます。
7～5	—	すべて 0	R	予約済 このビットは常に 0 が読み出されます。書き込み値は常に 0 にする必要があります。

ビット	ビット名	初期値	R/W	説明
4	BPSM	0	R/W	出力データバイトスワップモード 0：出力データでバイトはスワップされません。 1：出力データでバイトはスワップされます。 注.　ビッグエンディアンでYCbCr-422データを出力する場合、ほとんどの場合、データはYUYV形式で転送されます。データをUYVYフォーマットで転送するには、このビットを1に設定します。
3	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
2	ABIT	0	R/W	アルファ ビット このビットは、ARGB-1555出力モードでデータのアルファ値を指定します。 0：アルファ値は0に設定されます。 1：アルファ値は1に設定されます。
1、0	DTMD[1:0]	00	R/W	データ変換モード これらのビットは、LUT変換後のRGB888またはYCbCr422データを外部メモリに格納するためのフォーマットを設定します。 00：データは変換されません。 01：RGBは出力前にARGBに変換されます。 10：YCは出力前に分離されます。*2 11：設定禁止

注1.　設定可能なデータ変換モードを表48.5に示します。表に記載されていないモードは設定しないでください。LUT変換後のRGB、YCbCrデータは表48.5のように設定してください。
注2.　YCbCr422以外のデータフォーマットには設定しないでください。YC分離はYCbCrデータ形式の場合のみ設定します。

表48.5　データ変換設定

・RGB データ変換モード

メモリに格納されるデータ形式	VnDMR/ YMODE[2:0]	VnDMR/ EXRGB	VnDMR/ YC_THR	VnDMR/ DTMD[1:0]	備考
RGB-565 (16 ビット／ピクセル) フォーマット	000	0	0	00	
RGB-888 (32 ビット／ピクセル) フォーマット	000	1	0	00	
ARGB-1555 (16 ビット／ピクセル) フォーマット	000	0	0	01	アルファビットは、VnDMRのABITビットで設定されます。
ARGB-8888 (32 ビット／ピクセル) フォーマット	000	1	0	01	アルファビットは、VnDMRのA8BITビットで設定されます。

・YCbCr データ変換モード

メモリに格納されるデータ形式	VnDMR/ YMODE[2:0]	VnDMR/ EXRGB	VnDMR/ YC_THR	VnDMR/ DTMD[1:0]	備考
YCbCr-422 (8 ビット) 転送	000	0	0	00	ビッグエンディアンでUYVY形式で転送するには、VnDMRのBPSMビットを1にセットします。 これらの設定は、VnMCのINF[2:0]ビットの設定がB'100の場合に行ってください。
YCbCr-422 (10 ビット) 転送	000	0	1	00	
Y (8 ビット)/CbCr(8 ビット) 分離転送	000	0	0	10	CbCrの転送先は、VnUVAOFレジスタの設定で決まります。
Y (10 ビット)/CbCr(10 ビット) 分離転送	000	0	1	10	CbCrの転送先は、VnUVAOFレジスタの設定で決まります。
Y (8 ビット) 転送	001	0	0	10	
Y (10 ビット)/CbCr(8 ビット) 分離転送	010	0	0	10	CbCrの転送先は、VnUVAOFレジスタの設定で決まります。
Y (10ビット) 転送	011	0	0	10	

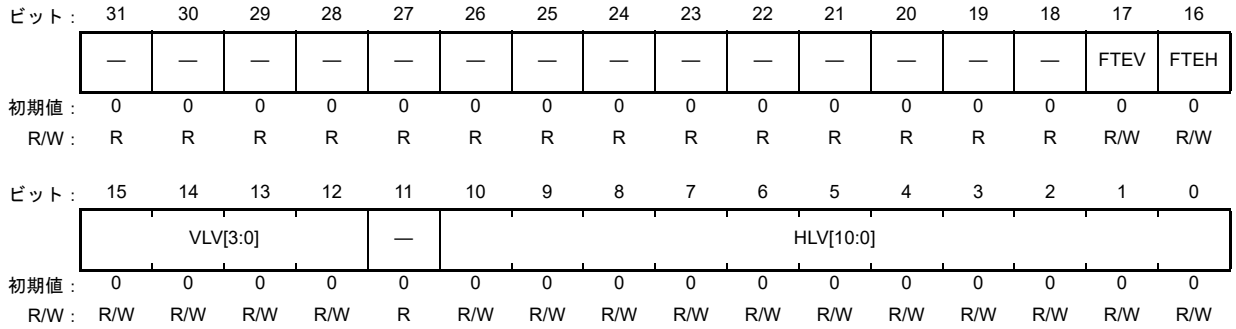
注.　上記にリストされていない値の組み合わせが指定されている場合、正しい動作は保証されません。

・8 ビット ユーザ定義データモード

メモリに格納されるデータ形式	VnDMR/ YMODE[2:0]	VnDMR/ EXRGB	VnDMR/ YC_THR	VnDMR/ DTMD[1:0]	備考
RAW8	000	0	0	00	MIPI CSI-2インタフェース限定

48.2.18　ビデオ n データモードレジスタ 2 (VnDMR2)

注.　利用可能チャネル：n = 0



ビット	ビット名	初期値	R/W	説明
31～18	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
17	FTEV	0	R/W	VSYNCフィールド トグルモード イネーブル VSYNCフィールドトグルモードは、入力VSYNC信号アサーションのカウントに従って、キャプチャフィールドの信号レベルを変更します。 入力フィールドの信号レベルが変化したときのみVINがキャプチャ動作を制御するので、MIPI CSI-2入力データをキャプチャするときにVSYNCフィールドトグルモードを選択します。 0：VSYNCカウントによるフィールドトグル機能は無効になります。 1：VSYNCカウントによるフィールドトグル機能が有効になります。 トグル前の期間は、VLVビットで指定する必要があります。 注.　FTEHとFTEVの両方を同時にセットしないでください。
16	FTEH	0	R/W	HSYNCフィールド トグルカウンタ イネーブル 0：キャプチャ アクティブラインによる、フィールド トグル機能は無効になります。 1：キャプチャ アクティブラインによる、フィールド トグル機能が有効になります。 トグル前の期間は、HLVビットで指定する必要があります。 注.　FTEHとFTEVの両方を同時にセットしないでください。
15～12	VLV[3:0]	H'0	R/W	VSYNCフィールド トグルモード移行期間 これらのビットは、VSYNCフィールド トグルモードに入る前の、垂直同期信号入力のカウントを指定します。VSYNCフィールド トグルモードに移行した後、VSYNCが入力されるたびに、キャプチャフィールド信号がトグルされます。 入力フィールド信号の変化が検出されると、トグルモードは解除されます。 H'0：フィールド信号はVSYNC入力ごとにトグルされます。 H'1：VSYNCが1回入力された後、トグルモードに入ります。 H'2：VSYNCが2回入力された後、トグルモードに入ります。 H'3：VSYNCが3回入力された後、トグルモードに入ります。 ： H'E：VSYNCが14回入力された後、トグルモードに入ります。 H'F：VSYNCが15回入力された後、トグルモードに入ります。 注.　移行期間がカウントされている間にフィールド信号が変化すると、カウンタが初期化されます。
11	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

ビット	ビット名	初期値	R/W	説明
10～0	HLV[10:0]	H'000	R/W	HSYNCフィールド トグルカウント値 HSYNCフィールド トグルカウンタは、キャプチャ アクティブラインをカウントします。予め定められたカウンタ値に達する前に、外部フィールド信号が変化しない場合、キャプチャフィールド信号がトグルされます。 H'000：フィールド信号は有効ラインごとにトグルされます。 H'001：フィールド信号は、1本の有効ラインごとにトグルされます。 H'002：フィールド信号は、2本の有効ラインごとにトグルされます。 ： H'7FF：フィールド信号は、2047本の有効ラインごとにトグルされます。 注.　トグル前の期間は、1つのVSYNC期間よりも大きな値を指定します。

48.2.19　ビデオ n UV アドレスオフセットレジスタ (VnUVAOF)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UVAOF[24:9]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UVAOF[8:0]									—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～7	UVAOF [24:0]	H'000 0000	R/W	UVデータアドレスオフセット これらのビットは、YC分離 YCbCr-422 UVの転送オフセットアドレスを指定します。物理アドレスのビット31～7を128バイト単位で指定します。 注.　指定されたアドレスは、Y転送サイズ以上でなければなりません。それ以外の場合は、Yデータの上書きが発生します。
6～0	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

48.2.20　YC-RGB 変換係数レジスタ

YC → RGB 色空間変換は、次の式で行います。各係数は、レジスタを介して設定することができます。ここに、8 ビットのデータフォーマットが選択されているとき、VnCSCC1 レジスタの YMUL, CSUB, YSUB ビットと、VnCSCC2 レジスタの RCRMUL, GCRMUL ビットと、VnCSCC3 レジスタの GCBMUL, BCBMUL ビットとで設定された係数は、色空間の変換に使用されます。

10 ビットデータフォーマットが選択されているとき、VnCSCE1 レジスタの YMUL2 ビットと、VnCSCE2 レジスタの CSUB2, YSUB2 ビットと、VnCSCE3 レジスタの RCRMUL2, GCRMUL2 ビットと、VnCSCE4 レジスタの GCBMUL2, BCBMUL2 ビットは、色空間変換に使用されます。

$$R = \left[\begin{array}{c}VnCSCC1/\\YMUL[9:0]\\or\\VnCSCE1/\\YMUL2[13:0]\end{array}\right] \times (Y - \left[\begin{array}{c}VnCSCC1/\\YSUB[7:0]\\or\\VnCSCE2/\\YSUB2[11:0]\end{array}\right]) + \left[\begin{array}{c}VnCSCC2/\\RCRMUL[9:0]\\or\\VnCSCE3/\\RCRMUL2[13:0]\end{array}\right] \times (Cr - \left[\begin{array}{c}VnCSCC1/\\CSUB[7:0]\\or\\VnCSCE2/\\CSUB2[11:0]\end{array}\right])$$

$$G = \left[\begin{array}{c}VnCSCC1/\\YMUL[9:0]\\or\\VnCSCE1/\\YMUL2[13:0]\end{array}\right] \times (Y - \left[\begin{array}{c}VnCSCC1/\\YSUB[7:0]\\or\\VnCSCE2/\\YSUB2[11:0]\end{array}\right]) - \left[\begin{array}{c}VnCSCC2/\\GCRMUL[9:0]\\or\\VnCSCE3/\\GCRMUL2[13:0]\end{array}\right] \times (Cr - \left[\begin{array}{c}VnCSCC1/\\CSUB[7:0]\\or\\VnCSCE2/\\CSUB2[11:0]\end{array}\right]) - \left[\begin{array}{c}VnCSCC3/\\GCBMUL[9:0]\\or\\VnCSCE4/\\GCBMUL2[13:0]\end{array}\right] \times (Cb - \left[\begin{array}{c}VnCSCC1/\\CSUB[7:0]\\or\\VnCSCE2/\\CSUB2[11:0]\end{array}\right])$$

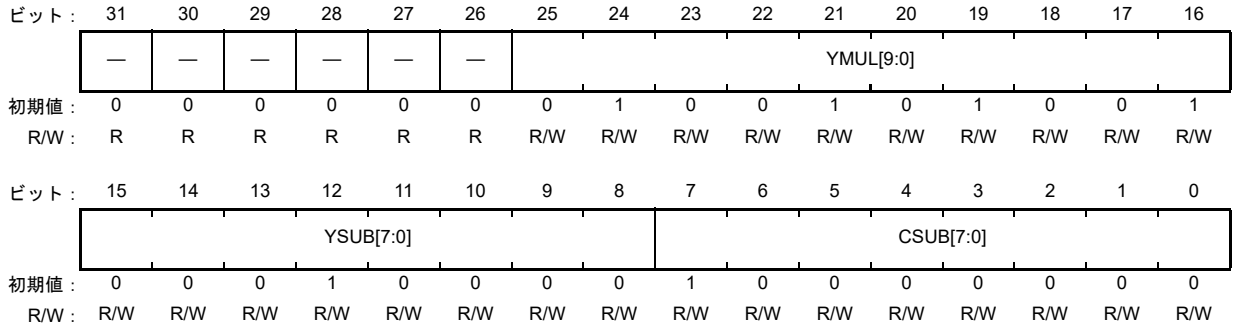
$$B = \left[\begin{array}{c}VnCSCC1/\\YMUL[9:0]\\or\\VnCSCE1/\\YMUL2[13:0]\end{array}\right] \times (Y - \left[\begin{array}{c}VnCSCC1/\\YSUB[7:0]\\or\\VnCSCE2/\\YSUB2[11:0]\end{array}\right]) + \left[\begin{array}{c}VnCSCC3/\\BCBMUL[9:0]\\or\\VnCSCE4/\\BCBMUL2[13:0]\end{array}\right] \times (Cb - \left[\begin{array}{c}VnCSCC1/\\CSUB[7:0]\\or\\VnCSCE2/\\CSUB2[11:0]\end{array}\right])$$

注：ITU-R BT.601（8 ビット）の係数を初期値として設定してください。

$$R = 1.164 \times (Y - 16) + 1.596 \times (Cr - 128)$$
$$G = 1.164 \times (Y - 16) - 0.813 \times (Cr - 128) - 0.392 \times (Cb - 128)$$
$$B = 1.164 \times (Y - 16) + 2.017 \times (Cb - 128)$$

48.2.20.1　ビデオ n 色空間変換係数 1 レジスタ (VnCSCC1)

注.　利用可能チャネル：n = 0



ビット	ビット名	初期値	R/W	説明
31～26	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
25～16	YMUL[9:0]	H'129	R/W	Yデータ乗算係数 これらのビットは、YCbCr-422→RGB-888色空間変換におけるYデータの乗算係数を指定します。（初期値：1.164） 希望の係数値に256を掛けた符号なし10ビット整数を指定します。
15～8	YSUB[7:0]	H'10	R/W	Yデータ減算係数 これらのビットは、YCbCr-422→RGB-888色空間変換におけるYデータの減算係数を指定します。（初期値：16） 符号なし8ビット整数を指定します。
7～0	CSUB[7:0]	H'80	R/W	CbCrデータ減算係数 これらのビットは、YCbCr-422→RGB-888色空間変換でのCbとCrデータの減算係数を指定します。（初期値：128） 符号なし8ビット整数を指定します。

48.2.20.2　ビデオ n 色空間変換係数 2 レジスタ (VnCSCC2)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	RCRMUL[9:0]									
初期値：	0	0	0	0	0	0	0	1	1	0	0	1	1	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GCRMUL[9:0]									
初期値：	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～26	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
25～16	RCRMUL[9:0]	H'198	R/W	Rデータ計算のCr乗算係数 これらのビットは、YCbCr-422→RGB-888色空間変換におけるRデータ計算式のCr乗算係数を指定します。（初期値：1.596） 希望の係数値に256を掛けた符号なし10ビット整数を指定します。
15～10	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
9～0	GCRMUL[9:0]	H'0D0	R/W	Gデータ計算のCr乗算係数 これらのビットは、YCbCr-422→RGB-888色空間変換におけるGデータ計算式のCr乗算係数を指定します。（初期値：0.813） 希望の係数値に256を掛けた符号なし10ビット整数を指定します。

48.2.20.3　ビデオ n 色空間変換係数 3 レジスタ (VnCSCC3)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	GCBMUL[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	BCBMUL[9:0]									
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～26	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
25～16	GCBMUL[9:0]	H'064	R/W	Gデータ計算のためのCb乗算係数 これらのビットは、YCbCr-422→RGB-888色空間変換におけるGデータ計算式のCb乗算係数を指定します。（初期値：0.392） 希望の係数値に256を掛けた符号なし10ビット整数を指定します。
15～10	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
9～0	BCBMUL[9:0]	H'204	R/W	Bデータ計算のためのCb乗算係数 これらのビットは、YCbCr-422→RGB-888色空間変換におけるBデータ計算式のCb乗算係数を指定します。（初期値：2.017） 希望の係数値に256を掛けた符号なし10ビット整数を指定します。

48.2.20.4　ビデオ n YC → RGB 計算設定拡張レジスタ 1 (VnCSCE1)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	YMUL2[13:0]													
初期値：	0	0	0	1	0	0	1	0	1	0	0	1	1	1	1	1
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～14	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
13～0	YMUL2 [13:0]	H'129F	R/W	RGB計算のためのY乗算係数2 これらのビットは、YCbCr-422→RGB-101010色空間変換でのYデータの乗算係数を指定します。（初期値：1.164） 希望する係数値に4096を掛けた符号なし14ビット整数を指定します。

48.2.20.5　ビデオ n YC → RGB 計算設定拡張レジスタ 2 (VnCSCE2)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	YSUB2[11:0]											
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSUB2[11:0]											
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
27～16	YSUB2 [11:0]	H'100	R/W	RGB計算のためのY減算係数2 これらのビットは、YCbCr-422→RGB-101010色空間変換でYデータの減算係数を指定します。（初期値：256） 符号なし12ビット整数を指定します。
15～12	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
11～0	CSUB2 [11:0]	H'800	R/W	RGB計算のためのCbCr減算係数2 これらのビットは、YCbCr-422→RGB-101010色空間変換でのCbおよびCrデータの減算係数を指定します。（初期値：2048） 符号なし12ビット整数を指定します。

48.2.20.6　ビデオ n YC → RGB 計算設定拡張レジスタ 3 (VnCSCE3)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RCRMUL2[13:0]													
初期値：	0	0	0	1	1	0	0	1	1	0	0	0	1	0	0	1
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	GCRMUL2[13:0]													
初期値：	0	0	0	0	1	1	0	1	0	0	0	0	0	0	1	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
29～16	RCRMUL2[13:0]	H'1989	R/W	R計算のCr乗算係数2 これらのビットは、YCbCr-422→RGB-101010色空間変換におけるRデータ計算式のCr乗算係数を指定します。（初期値：1.596） 希望の係数値に4096を掛けた符号なし14ビット整数を指定します。
15、14	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
13～0	GCRMUL2[13:0]	H'0D02	R/W	G計算のCr乗算係数2 これらのビットは、YCbCr-422→RGB-101010色空間変換におけるGデータ計算式のCr乗算係数を指定します。（初期値：0.813） 希望の係数値に4096を掛けた符号なし14ビット整数を指定します。

48.2.20.7　ビデオ n YC → RGB 計算設定拡張レジスタ 4 (VnCSCE4)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	GCBMUL2[13:0]													
初期値：	0	0	0	0	0	1	1	0	0	1	0	0	0	1	0	1
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	BCBMUL2[13:0]													
初期値：	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	1
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
29～16	GCBMUL2[13:0]	H'0645	R/W	G計算のためのCb乗算係数2 これらのビットは、YCbCr-422→RGB-101010色空間変換におけるGデータ計算式のCb乗算係数を指定します。（初期値：0.392） 希望の係数値に4096を掛けた符号なし14ビット整数を指定します。
15、14	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
13～0	BCBMUL2[13:0]	H'2045	R/W	B計算のためのCb乗算係数2 これらのビットは、YCbCr-422→RGB-101010色空間変換におけるBデータ計算式のCb乗算係数を指定します。（初期値：2.017） 希望の係数値に4096を掛けた符号なし14ビット整数を指定します。

48.2.21　UDS コントロールレジスタ

注 .　以下の演算子、表記法は UDS の機能を説明するために定義されています。
＜ x ＞：値 x の小数点以下の桁を破棄する

48.2.21.1　ビデオ n スケーリング制御レジスタ (VnUDS_CTRL)

注 .　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	AMD	—	—	—	—	—	—	—	—	—	BC	—	NE_RCR	NE_GY	NE_BCB
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

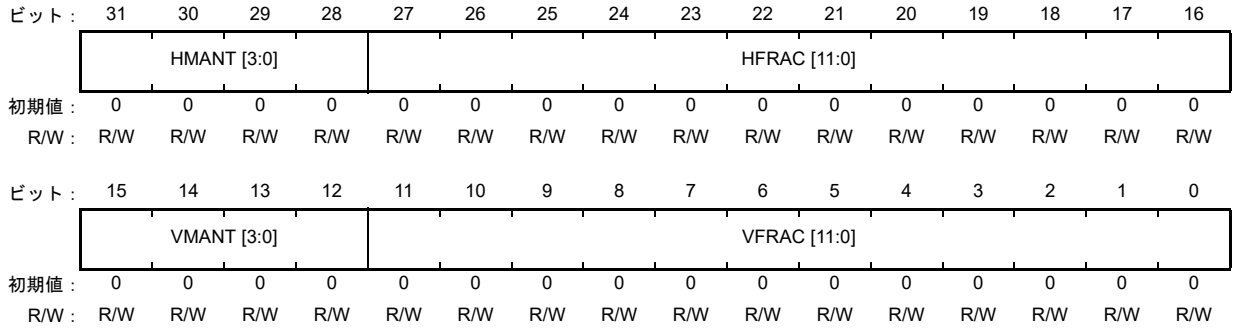
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
30	AMD	0	R/W	スケールアップ時のピクセル数 UDSのスケールアップによって生成されるピクセル数を指定します。 このビットの設定は、スケールダウンでは無視されます。 0：スケールアップ後のピクセル数は1 +＜(n − 1）×スケールアップファクタ＞ 1：スケールアップ後のピクセル数は＜n×スケールアップファクタ＞ 注.　n: UDSに入力されたピクセル数
29～21	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
20	BC	0	R/W	スケールアップ／ダウン時のピクセル成分補間法 スケールアップ／ダウン時にピクセル成分を補間する方法を指定します。 0：バイリニアまたはニアレストネイバー補間法が使用される。 1：倍率に応じて4～17タップ分の補間方法を用いる。（マルチタップモード）
19	—	0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
18	NE_RCR	0	R/W	バイリニアまたはニアレストネイバー補間法が選択されているときの、R/Cr補間法 バイリニア／ニアレストネイバー補間が選択されているとき(BC = 0)の、R/Cr成分の補間方法を指定します。 0：バイリニア法 1：ニアレストネイバー法*
17	NE_GY	0	R/W	バイリニアまたはニアレストネイバー補間法が選択されているときの、G/Y補間法 バイリニア／ニアレストネイバー補間が選択されているとき(BC = 0)の、G/Y成分の補間方法を指定します。 0：バイリニア法 1：ニアレストネイバー法*
16	NE_BCB	0	R/W	バイリニアまたはニアレストネイバー補間法が選択されているときの、B/Cb補間法 バイリニア／ニアレストネイバー補間が選択されているとき(BC = 0)の、B/Cb成分の補間方法を指定します。 0：バイリニア法 1：ニアレストネイバー法*
15～0	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。

注.　この方法は、スケールアップ／ダウンファクタが1/1～1/4の場合にのみ使用できます。

48.2.21.2　ビデオ n スケーリング係数レジスタ (VnUDS_SCALE)

注 .　利用可能チャネル：n = 0



ビット	ビット名	初期値	R/W	説明
31～28	HMANT [3:0]	H'0	R	水平スケーリング係数の乗数（整数部） これらのビットは、水平スケーリング係数の整数部分を指定します。 取得する画像サイズは、この設定に応じて変わります。 後で示す式を使用して適切な値を計算し、目的の画像サイズを取得します。 H'0～H'F の値を指定できます。表 48.6 に示す範囲内の値を選択してください。
27～16	HFRAC [11:0]	H'000	R/W	水平スケーリング係数の乗数（小数部） これらのビットは、水平スケーリング係数の小数部を指定します。 取得する画像サイズは、この設定に応じて変わります。 後に示す式を使用して適切な値を計算し、目的の画像サイズを取得します。 水平方向に拡大（HMANT 値が 0）されているときには、H'800 から H'FFF までの値を指定できます。 水平方向の縮小（HMANT 値が 0 でない）のときには、H'000～H'FFF の値を指定できます。 表 48.6 に示す範囲内の値を選択してください。
15～12	VMANT [3:0]	H'0	R/W	垂直スケーリング係数の乗数（整数部） これらのビットは、垂直スケーリング係数の整数部分を指定します。 取得する画像サイズは、この設定に応じて変わります。 後に示す式を使用して適切な値を計算し、目的の画像サイズを取得します。 H'0～H'F の値を指定できます。表 48.7 に示す範囲内の値を選択してください。
11～0	VFRAC [11:0]	H'000	R/W	垂直スケーリング係数の乗数（小数部） これらのビットは、垂直スケーリング係数の小数部分を指定します。 取得する画像サイズは、この設定に応じて変わります。 後に示す式を使用して適切な値を計算し、目的の画像サイズを取得します。 画像が垂直方向にアップスケーリングされるとき（VMANT 値が 0）、H'556～H'FFF の値を指定できます。 画像が垂直方向に縮小されるとき（VMANT 値が 0 でない）、H'000～H'FFF の値を指定できます。表 48.7 に示す範囲内の値を選択してください。

HMANT ビットと HFRAC ビットは、画像の水平方向の拡大／縮小係数を設定します。また、VMANT ビットと VFRAC ビットは、画像の垂直方向の拡大／縮小係数を設定します。

表 48.6 に示すように、HMANT および HFRAC ビットの設定に従って、UDS の動作は水平スケールアップと水平スケールダウンの間で切り替わります。

（UDS 操作における**表 48.6** の範囲外の値は禁止されています）。**表 48.6** と**表 48.7** に、水平方向と垂直方向の設定を示します。

なお、水平方向のスケーリングと垂直方向のスケーリングは、独立に設定できます。したがって、水平方向にスケールアップし、垂直方向にスケールダウンする設定が可能です。

このような場合には、スケールアップ／スケールダウン後の画像サイズを求める式（後述）はスケールアップとスケールダウンで異なるため、スケールアップまたはスケールダウン操作に一致する式は、水平方向および垂直方向に対して独立に選択する必要があります。

表 48.6　HMANT と HFRAC ビット設定による水平スケールアップ／ダウン動作の切り替え

HMANT	HFRAC	UDS Operation
H'0	H'800 ～ H'FFF	スケールアップ
H'1	H'000	同一サイズ（スケールアップ／ダウンなし）
	H'001 ～ H'FFF	スケールダウン
H'2～ H'F	H'000 ～ H'FFF	

表 48.7　VMANT と VFRAC ビット設定による垂直スケールアップ／ダウン動作の切り替え

VMANT	VFRAC	UDS Operation
H'0	H'556 ～ H'FFF	スケールアップ
H'1	H'000	同一サイズ（スケールアップ／ダウンなし）
	H'001 ～ H'FFF	スケールダウン
H'2～ H'F	H'000 ～ H'FFF	

ここでは、このレジスタ設定に基づいて得られたアップスケール／ダウンスケール画像のサイズを計算する方法について説明します。まず、拡大／縮小画像の水平サイズを計算するために必要な変数を以下のように定義します。

$$hscale = \frac{4096}{4096 \times m_h + f_h}$$

m_h は VnUDS_SCALE.HMANT の値、f_h は VnUDS_SCALE.HFRAC の値です。この式は、UDS によって処理されるスケールアップ／ダウン係数の推定値を表します。スケールアップ／ダウン前の画像の水平サイズが $hsize_{org}$ に設定されている場合、スケールアップ／ダウン後の画像の水平サイズは、$hsize_{org} \times hscale$ によっておおよそ得ることができます。

同様に、アップスケール／ダウンスケールされた画像の垂直サイズを計算するのに必要な変数を定義します。

$$vscale = \frac{4096}{4096 \times m_v + f_v}$$

VnUDS_SCALE.VMANT の値として m_v、VnUDS_SCALE.VFRAC の値として f_v、スケールアップ／ダウン前の画像の垂直サイズとして $vsize_{org}$ を設定すると、スケールアップ／ダウン後の画像の垂直サイズは、$vsize_{org} \times vscale$ によっておおよそ得ることができます。

これまでに定義された変数を使用して、UDS が**表 48.6** の設定でスケールダウンを実行すると、縮小画像の水平サイズ $hsize_{down_scaled}$ と縮小画像の垂直サイズ $vsize_{down_scaled}$ は次のようになります。

$$hsize_{down_scaled} = \left\langle 1 + \left(\left\langle 1 + \frac{\langle hsize_{org} - 1 \rangle}{m_h'} \right\rangle - 1 \right) \times m_h' \times hscale \right\rangle$$

$$vsize_{down_scaled} = \left\langle 1 + \left(\left\langle 1 + \frac{\langle vsize_{org} - 1 \rangle}{m_v'} \right\rangle - 1 \right) \times m_v' \times vscale \right\rangle$$

上記の式の最後に、hscale と vscale の除算をそれぞれ実行する必要があるため、操作順序を考慮した数式は次のようになります。

$$hsize_{down_scaled} = \left\langle 1 + \left(\left(\left\langle 1 + \frac{\langle hsize_{org} - 1 \rangle}{m_h'} \right\rangle - 1 \right) \times m_h' \times 4096 \right) \Big/ (4096 \times m_h + f_h) \right\rangle$$

$$vsize_{down_scaled} = \left\langle 1 + \left(\left(\left\langle 1 + \frac{\langle vsize_{org} - 1 \rangle}{m_v'} \right\rangle - 1 \right) \times m_v' \times 4096 \right) \Big/ (4096 \times m_v + f_v) \right\rangle$$

表 48.8 に示す m_h' または m_v' の値は、VnUDS_SCALE.HMANT または VnUDS_SCALE.VMANT の設定に従って変更されます。

表48.8　　m_h' または m_v' の設定

VnUDS_SCALE.HMANT設定 (VnUDS_SCALE.VMANT設定)	m_h' (m_v')
1～3	1
4～7	2
8～15	4

UDS が**表 48.6** の設定でスケールアップを実行し、VnUDS_CTRL.AMD が 0 の場合、アップスケール画像 $hsize_{up_scaled}$ の水平サイズと、アップスケール画像 $vsize_{up_scaled}$ の垂直サイズは、次のようになります。

$$hsize_{up_scaled} = \langle 1 + (hsize_{org} - 1) \times hscale \rangle$$

$$vsize_{up_scaled} = \langle 1 + (vsize_{org} - 1) \times vscale \rangle$$

スケールダウンの場合と同様に、hscale と vscale の除算を考慮した数式は次のようになります。

$$hsize_{up_scaled} = \langle 1 + ((hsize_{org} - 1) \times 4096) / (4096 \times m_h + f_h) \rangle$$

$$vsize_{up_scaled} = \langle 1 + ((vsize_{org} - 1) \times 4096) / (4096 \times m_v + f_v) \rangle$$

VnUDS_CTRL.AMD が 1 のとき、アップスケール画像 $hsize_{up_scaled}$ の水平サイズと、アップスケール画像 $vsize_{up_scaled}$ の垂直サイズは、次のようになります。

$$hsize_{up_scaled} = \langle hsize_{org} \times hscale \rangle$$

$$vsize_{up_scaled} = \langle vsize_{org} \times vscale \rangle$$

hscale と vscale の除算を考慮した後、数式は次のようになります。

$$hsize_{up_scaled} = \left\langle (hsize_{org} \times 4096) / (4096 \times m_h + f_h) \right\rangle$$

$$vsize_{up_scaled} = \left\langle (vsize_{org} \times 4096) / (4096 \times m_v + f_v) \right\rangle$$

48.2.21.3　ビデオ n 通過帯域レジスタ (VnUDS_PASS_BWIDTH)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	BWIDTH_H [6:0]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	BWIDTH_V [6:0]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～23	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
22～16	BWIDTH_H [6:0]	H'00	R/W	画像のスケールアップ／ダウン時の水平信号通過帯域 これらのビットは、後述の方法に従って設定してください。
15～7	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
6～0	BWIDTH_V [6:0]	H'00	R/W	画像のスケールアップ／ダウン時の垂直信号通過帯域 これらのビットは、後述の方法に従って設定してください。

画像の水平方向に通過帯域を設定する方法について説明します。水平スケールアップ／ダウンのファクタを設定する VnUDS_SCALE.HMANT ビットが 0 でないときは、次の数式に従って BWIDTH_H ビットを設定します。VnUDS_SCALE.HMANT ビットが 0 のときは、BWIDTH_H ビットに 64 を設定します。

$$BWIDTH_H = \left\langle 64 \times \frac{4096 \times m_h'}{4096 \times m_h + f_h} \right\rangle \quad \text{(VnUDS_SCALE.HMANT} \neq 0\text{)}$$

$$BWIDTH_H = 64 \quad \text{(VnUDS_SCALE.HMANT = 0)}$$

m_h は VnUDS_SCALE.HMANT の値、f_h は VnUDS_SCALE.HFRAC の値です。m_h' の値については、**表 48.8** を参照してください。通過帯域を画像の垂直方向に設定する方法は、上述した水平方向と同様です。以下に示すように、レジスタの対応関係のみが変更されるため、以下に示すように、前の説明の変数を置き換えて読んでください。

BWIDTH_H → BWIDTH_V

$m_h' \rightarrow m_v'$

$m_h \rightarrow m_v$

$f_h \rightarrow f_v$

VnUDS_SCALE.HMANT → VnUDS_SCALE.VMANT

VnUDS_SCALE.HFRAC → VnUDS_SCALE.VFRAC

48.2.21.4　ビデオ n UDS 出力サイズクリッピングレジスタ (VnUDS_CLIP_SIZE)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	CL_HSIZE[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CL_VSIZE[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
27～16	CL_HSIZE [11:0]	H'000	R/W	スケールアップ／ダウン後の水平ピクセル数のクリッピングサイズ スケーリングフィルタからの画像出力の水平幅は、CL_HSIZEビットに設定された画素数に一致するように調整（クリッピングまたはパディング）されます。 設定範囲は、スケールアップ/ダウン動作（表48.6参照）では4～2,048です。 これらのビットは、VnUDS_SCALEレジスタによるスケールアップ、スケールダウン、またはスケーリングなしの設定に関係なく、UDSを使用するときは常に設定する必要があります。
15～12	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
11～0	CL_VSIZE [11:0]	H'000	R/W	スケールアップ／ダウン後の垂直ピクセル数のクリッピングサイズ スケーリングフィルタからの画像出力の垂直幅は、CL_VSIZEビットに設定された画素数に一致するように調整（クリッピングまたはパディング）されます。 設定範囲は、スケールアップ/ダウン動作（表48.6参照）では4～2,048です。 これらのビットは、VnUDS_SCALEレジスタによるスケールアップ、スケールダウン、またはスケーリングなしの設定に関係なく、UDSを使用するときは常に設定する必要があります。

図 48.3 に UDS の構成を示します。UDS は、図 48.3 のようなスケーリングフィルタとクリッピング回路で構成されています。スケーリングフィルタとクリッピング回路は互いに独立しています。

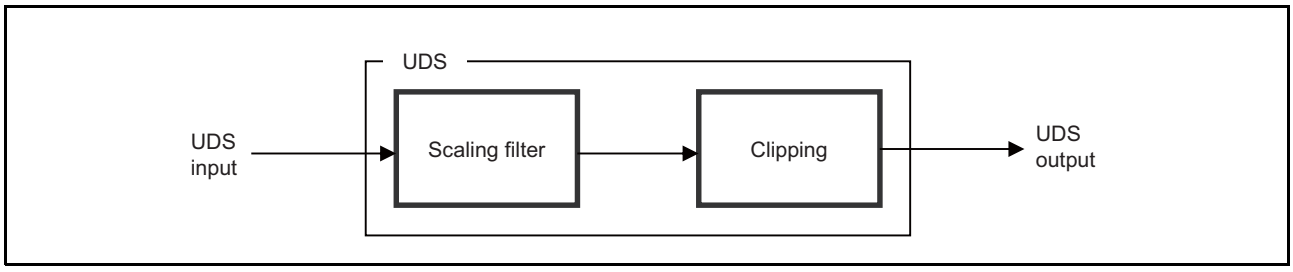


図 48.3　UDS の構成

スケーリングフィルタ（計算については「48.2.21.2　ビデオ n スケーリング係数レジスタ (VnUDS_SCALE)」参照）によって、実際に出力される画像のサイズは、スケーリングフィルタに入力された画像のサイズと VnUDS_SCALE 設定から決定されます。図 48.4 に示すように、スケーリングフィルタから実際に出力される画像のサイズ（$hsize_{scaled}$ と $vsize_{scaled}$）と、このレジスタの設定値の関係により、UDS が 2 種類の画像を出力します。

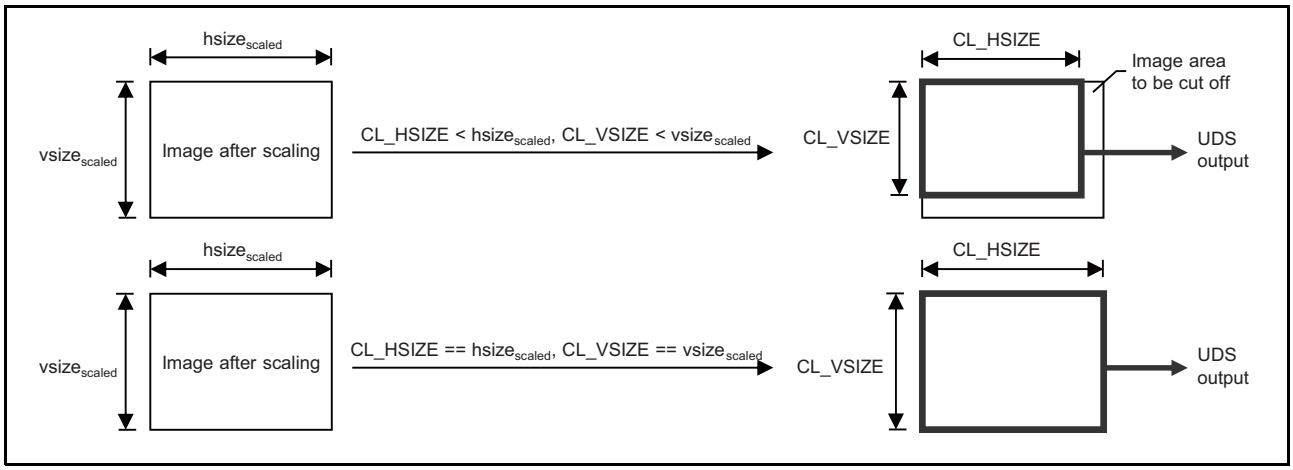


図 48.4　　各 CL_HSIZE ／ VSIZE 設定の UDS 出力画像

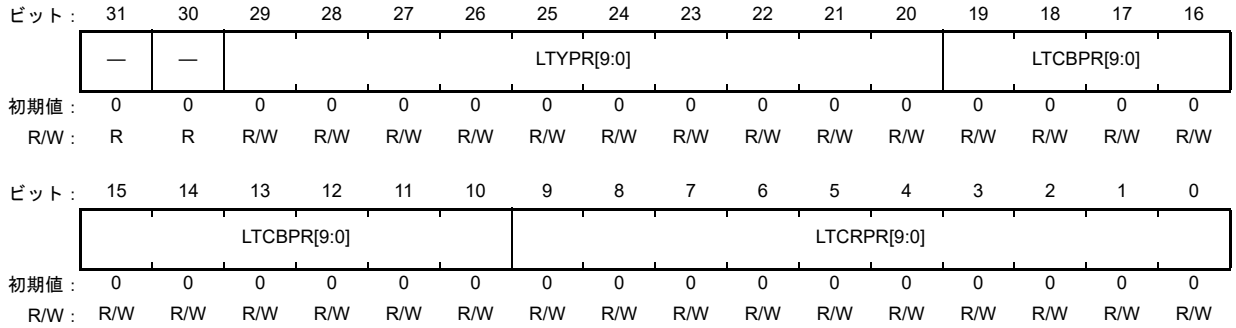
CL_HSIZE および CL_VSIZE ビットの設定が、スケーリングフィルタによって実際に出力される水平および垂直画素数（$hsize_{scaled}$ および $vsize_{scaled}$）よりも小さい場合、アップスケーリング／ダウンスケーリングされた画像がクリップされて UDS 出力画像になります。

CL_HSIZE および CL_VSIZE ビットの設定が、スケーリングフィルタによって実際に出力される水平および垂直画素数（$hsize_{scaled}$ および $vsize_{scaled}$）と等しい場合、スケーリングフィルタによって実際に出力された画像は、そのまま UDS 出力画像になります。

CL_HSIZE および CL_VSIZE ビットを、CL_HSIZE > $hsize_{scaled}$ または CL_VSIZE > $vsize_{scaled}$ を満たす値に設定しないでください。

48.2.22　ビデオ n ルックアップテーブルポインタ (VnLUTP)

注.　利用可能チャネル：n = 0

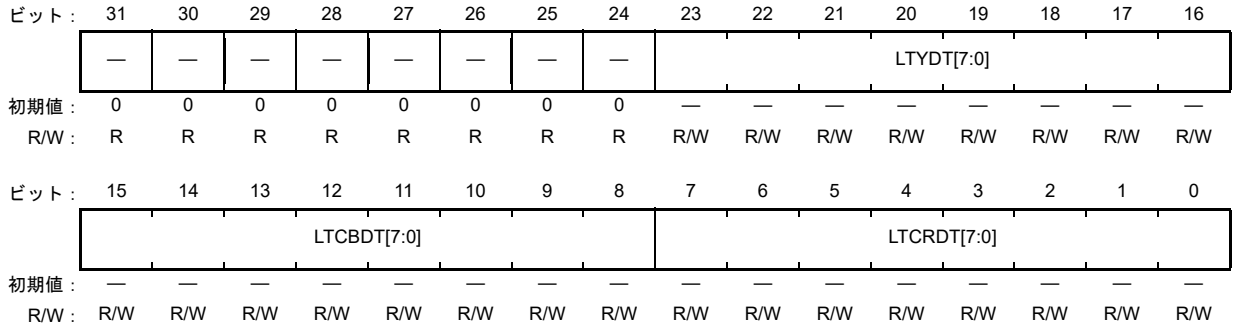


ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
29～20	LTYPR[9:0]	H'000	R/W	ルックアップテーブルYポインタ これらのビットは、色空間変換後のYおよびRデータに対するLUTポインタを設定します。
19～10	LTCBPR[9:0]	H'000	R/W	ルックアップテーブルCbポインタ これらのビットは、色空間変換後のCbおよびGデータに対するLUTポインタを設定します。
9～0	LTCRPR[9:0]	H'000	R/W	ルックアップテーブルCrポインタ これらのビットは、色空間変換後のCrおよびBデータに対するLUTポインタを設定します。

注.　色空間変換結果の12ビットデータの上位10ビットに対応するLUTポインタを設定します。LUTへのアクセスポインタは、VnLUTDレジスタへの書き込みによって自動的にインクリメントされます。読み取りアクセス時に自動インクリメントはありません。

48.2.23　ビデオ n ルックアップテーブルデータレジスタ (VnLUTD)

注.　利用可能チャネル：n = 0



ビット	ビット名	初期値	R/W	説明
31～24	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
23～16	LTYDT[7:0]	—	R/W	ルックアップテーブルYデータ これらのビットは、色空間変換後のYデータとRデータのLUT変換データを設定します。
15～8	LTCBDT[7:0]	—	R/W	ルックアップテーブルCbデータ これらのビットは、色空間変換後のCbおよびGデータのLUT変換データを設定します。
7～0	LTCRDT[7:0]	—	R/W	ルックアップテーブルCrデータ これらのビットは、色空間変換後のCrおよびBデータのLUT変換データを設定します。

注.　LUT変換後の8ビットデータは上位シフトされ、12ビットのデータとしてのキャプチャ制御が行われます。VnLUTD レジスタからの読み出しは、VnLUTP レジスタがセットされた後、ダミーリードを含む2回目に読み取られたデータが有効になります。

48.2.24　RGB-YC 変換係数レジスタ

RGB から YC への色空間変換は、次の式で行われます。各係数はレジスタで設定することができます。

$$Y = YCLRP \times R + YCLGP \times G + YCLBP \times B + YCLAP$$
$$Cb = CBCLRP \times R + CBCLGP \times G + CBCLBP \times B + CBCLAP$$
$$Cr = CRCLRP \times R + CRCLGP \times G + CRCLBP \times B + CRCLAP$$

注 .　ITU-R BT.601（8 ビット）の係数を初期値に設定してください。

$$Y = 0.257 \times R + 0.504 \times G + 0.098 \times B + 16$$
$$Cb = -0.148 \times R - 0.291 \times G + 0.439 \times B + 128$$
$$Cr = 0.439 \times R - 0.368 \times G - 0.071 \times B + 128$$

48.2.24.1　ビデオ n RGB → Y 計算設定レジスタ 1 (VnYCCR1)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	YCLRP[12:0]												
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～13	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
12～0	YCLRP [12:0]	H'0107	R/W	Y計算のためのR乗算係数 これらのビットは、RGB-888→YCbCr-422色空間変換におけるYデータ計算式のR乗算係数を指定します。（初期値：263） 希望の係数値に1024を掛けた符号付き13bit整数を設定します。 MSBは符号ビットです。

48.2.24.2　ビデオ n RGB → Y 計算設定レジスタ 2 (VnYCCR2)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	YCLBP[12:0]												
初期値：	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	YCLGP[12:0]												
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～29	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
28～16	YCLBP [12:0]	H'0064	R/W	Y計算のためのB乗算係数 これらのビットは、RGB-888→YCbCr-422色空間変換におけるYデータ計算式のB乗算係数を指定します。（初期値：100） 希望の係数値に1024を掛けた符号付き13bit整数を設定します。 MSBは符号ビットです。
15～13	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
12～0	YCLGP [12:0]	H'0204	R/W	Y計算のためのG乗算係数 これらのビットは、RGB-888→YCbCr-422色空間変換におけるYデータ計算式のG乗算係数を指定します。（初期値：516） 希望の係数値に1024を掛けた符号付き13bit整数を設定します。 MSBは符号ビットです。

48.2.24.3　ビデオ n RGB → Y 計算設定レジスタ 3 (VnYCCR3)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	YEXPEN	—	—	YCLSFT[4:0]					YCLHEN	—	—	—	—	—	—	YCLCEN
初期値：	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	YCLAP[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	YEXPEN	0	R/W	Y計算符号拡張機能イネーブル このビットは、RGB888→YCbCr422色空間変換におけるYデータ計算の符号拡張を制御します。 0：YC変換符号ビットを無効にします。 1：YC変換符号ビットを有効にします。
30、29	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
28～24	YCLSFT[4:0]	H'0A	R/W	Y計算シフトダウン量 これらのビットはRGB888→YCbCr422色空間変換でのY計算のダウンシフト量を設定します。（初期値：10） 単位：ビットシフト数
23	YCLHEN	0	R/W	Y計算シフトダウン結果丸めイネーブル このビットは、RGB888→YCbCr422色空間変換におけるYデータ計算の丸め処理を有効にします。 0：ダウンシフト処理に切り捨てます。 1：ダウンシフト処理への丸めを有効にします。
22～17	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
16	YCLCEN	0	R/W	Y計算データクリップイネーブル このビットは、RGB888→YCbCr422色空間変換におけるYデータ計算のデータクリッピング処理を有効にします。 0：データクリッピングプロセスが無効になっています。 1：データクリッピングプロセスが有効になっています。
15～12	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
11～0	YCLAP[11:0]	H'010	R/W	Y計算データ正規化加算値 これらのビットは、RGB888→YCbCr422色空間変換のYデータ加算定数を設定します。（初期値：16）

48.2.24.4　ビデオ n RGB → Cb 計算設定レジスタ 1 (VnCBCCR1)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CBCLRP[12:0]												
初期値：	0	0	0	1	1	1	1	1	0	1	1	0	1	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～13	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
12～0	CBCLRP [12:0]	H'1F68	R/W	Cb計算のためのR乗算係数 これらのビットは、RGB-888→YCbCr-422色空間変換におけるCbデータ計算式のR乗算係数を指定します。（初期値：-152） 希望の係数値に1024を掛けた符号付き13bit整数を設定します。 MSBは符号ビットです。

48.2.24.5　ビデオ n RGB → Cb 計算設定レジスタ 2 (VnCBCCR2)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	CBCLBP[12:0]												
初期値：	0	0	0	0	0	0	0	1	1	1	0	0	0	0	1	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CBCLGP[12:0]												
初期値：	0	0	0	1	1	1	1	0	1	1	0	1	0	1	1	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～29	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
28～16	CBCLBP [12:0]	H'01C2	R/W	Cb計算のためのB乗算係数 これらのビットは、RGB-888→YCbCr-422色空間変換におけるCbデータ計算式のB乗算係数を指定します。（初期値：450） 希望の係数値に1024を掛けた符号付き13bit整数を設定します。 MSBは符号ビットです。
15～13	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
12～0	CBCLGP [12:0]	H'1ED6	R/W	Cb計算のためのG乗算係数 これらのビットは、RGB-888→YCbCr-422色空間変換におけるCbデータ計算式のG乗算係数を指定します。（初期値：-298） 希望の係数値に1024を掛けた符号付き13bit整数を設定します。 MSBは符号ビットです。

48.2.24.6　ビデオ n RGB → Cb 計算設定レジスタ 3 (VnCBCCR3)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBEXPEN	—	—	CBCLSFT[4:0]					CBCLHEN	—	—	—	—	—	—	CBCLCEN
初期値：	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CBCLAP[11:0]											
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	CBEXPEN	0	R/W	Cb計算の符号拡張イネーブル このビットは、RGB888→YCbCr422色空間変換におけるCbデータ計算の符号拡張を制御します。 0：YC変換符号ビットを無効にします。 1：YC変換符号ビットを有効にします。
30、29	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
28～24	CBCLSFT[4:0]	H'0A	R/W	Cb計算シフトダウン量 これらのビットは、RGB888→YCbCr422の色空間変換におけるCb計算のダウンシフト量を設定します。（初期値：10） 単位：ビットシフト数
23	CBCLHEN	0	R/W	Cb計算シフトダウン結果丸めイネーブル このビットは、RGB888→YCbCr422色空間変換におけるCbデータ計算の丸め処理を有効にします。 0：ダウンシフト処理に切り捨てる。 1：ダウンシフト処理への丸めを有効にします。
22～17	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
16	CBCLCEN	0	R/W	Cb計算データクリップイネーブル このビットはRGB888→YCbCr422色空間変換におけるCbデータ計算のデータクリッピング処理を有効にします。 0：データクリッピングプロセスが無効になっています。 1：データクリッピングプロセスが有効になっています。
15～12	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
11～0	CBCLAP[11:0]	H'080	R/W	Cb計算データ正規化加算値 これらのビットは、RGB888→CbCr422色空間変換のCbデータ加算定数を設定します。（初期値：128）

48.2.24.7　ビデオ n RGB → Cr 計算設定レジスタ 1 (VnCRCCR1)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CRCLRP[12:0]												
初期値：	0	0	0	0	0	0	0	1	1	1	0	0	0	0	1	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～13	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
12～0	CRCLRP [12:0]	H'01C2	R/W	Cr計算のためのR乗算係数 これらのビットは、RGB-888→YCbCr-422色空間変換におけるCrデータ計算式のR乗算係数を指定します。（初期値：450） 希望の係数値に1024を掛けた符号付き13bit整数を設定します。 MSBは符号ビットです。

48.2.24.8　ビデオ n RGB → Cr 計算設定レジスタ 2 (VnCRCCR2)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	CRCLBP[12:0]												
初期値：	0	0	0	1	1	1	1	1	1	0	1	1	0	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CRCLGP[12:0]												
初期値：	0	0	0	1	1	1	1	0	1	0	0	0	0	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～29	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
28～16	CRCLBP [12:0]	H'1FB7	R/W	Cr計算のためのB乗算係数 これらのビットは、RGB-888→YCbCr-422色空間変換におけるCrデータ計算式のB乗算係数を指定します。（初期値：-73） 希望の係数値に1024を掛けた符号付き13bit整数を設定します。 MSBは符号ビットです。
15～13	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
12～0	CRCLGP [12:0]	H'1E87	R/W	Cr計算のためのG乗算係数 これらのビットは、RGB-888→YCbCr-422色空間変換におけるCrデータ計算式のG乗算係数を指定します。（初期値：-377） 希望の係数値に1024を掛けた符号付き13bit整数を設定します。 MSBは符号ビットです。

48.2.24.9　ビデオ n RGB → Cr 計算設定レジスタ 3 (VnCRCCR3)

注.　利用可能チャネル：n = 0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CREXPEN	—	—	CRCLSFT[4:0]					CRCLHEN	—	—	—	—	—	—	CRCLCEN
初期値：	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CRCLAP[11:0]											
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	CREXPEN	0	R/W	Cr計算の符号拡張イネーブル このビットは、RGB888→YCbCr422色空間変換におけるCrデータ計算の符号拡張を制御します。 0：YC変換符号ビットを無効にします。 1：YC変換符号ビットを有効にします。
30、29	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
28～24	CRCLSFT[4:0]	H'0A	R/W	Cr計算シフトダウン量 これらのビットは、RGB888→YCbCr422色空間変換におけるCr計算のダウンシフト量を設定します。（初期値：10） 単位：ビットシフトカウント
23	CBCLHEN	0	R/W	Cr計算シフトダウン結果丸めイネーブル このビットは、RGB888→YCbCr422色空間変換におけるCrデータ計算の丸め処理を有効にします。 0：ダウンシフト処理に切り捨てる。 1：ダウンシフト処理への丸めを有効にします。
22～17	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
16	CRCLCEN	0	R/W	Cr計算データクリップイネーブル このビットは、RGB888→YCbCr422色空間変換におけるCrデータ計算のデータクリッピング処理を有効にします。 0：データクリッピング処理無効 1：データクリッピング処理有効
15～12	—	すべて0	R	予約済 このビットは常に0が読み出されます。書き込み値は常に0にする必要があります。
11～0	CRCLAP[11:0]	H'080	R/W	Cr計算データ正規化加算値 これらのビットは、RGB888→CbCr422色空間変換のCrデータ加算定数を設定します。（初期値：128）

48.3 動作

48.3.1 入力インタフェース

VIN は、MIPI CSI-2 インタフェースでビデオデータをキャプチャし、外部メモリに格納します。次の表に、サポートされているインタフェースとデータフォーマットを示します。

表 48.9　サポートされているインタフェース

入力インタフェース	MIPI CSI-2	YCbCr-422	8 ビット	サポートされます
			10 ビット	サポートされます
		RGB-888	24 ビット	サポートされます
		8 ビットユーザ定義データ (RAW8)	8 ビット	サポートされます
出力インタフェース	RGB 出力	RGB-565	16 ビット	サポートされます
		ARGB-1555	16 ビット	サポートされます
		RGB-888	32 ビット	サポートされます
		ARGB-8888	32 ビット	サポートされます
	YCbCr 出力	YCbCr-422 多重化	8 ビット	サポートされます
			10 ビット	サポートされます
		YCbCr-422 Y/CbCr 分離	Y: 8 ビット CbCr: 8 ビット	サポートされます
			Y: 10 ビット CbCr: 8 ビット	サポートされます
			Y: 10 ビット CbCr: 10 ビット	サポートされます
		YCbCr-422 Y のみ分離	8 ビット	サポートされます
			10 ビット	サポートされます

注 1.　MIPI CSI-2 入力データをキャプチャするときは、内部フィールド信号生成機能を有効にしてください。
注 2.　ディザリングは、RGB-888 → RGB-565 変換のために実行されます。
注 3.　RGB データは変換され、8 ビット精度変換後にビデオモジュールからメモリに転送されます。
注 4.　出力インタフェースの詳細については、「48.3.9　出力データ形式」を参照してください。

48.3.2　キャプチャモード

VIN では、シングルフレームキャプチャモードまたは連続フレームキャプチャモードのいずれかを選択できます。

ビデオ n メインコントロールレジスタ (VnMC) の IM ビットにキャプチャフィールドを指定し、**ビデオ n フレーム キャプチャレジスタ** (VnFC) の SC ビットを 1 に設定すると、シングルフレームキャプチャモードが提供されます。このモードでは、SC ビット書き込みタイミング（現在の走査線位置）が**ビデオ n スタートライン プリクリップレジスタ** (VnSLPrC) の値よりも小さい場合には現在のフレームがキャプチャされ、他の場合には次のフレームがキャプチャされます。

キャプチャデータは、**ビデオ n メモリベース 1 レジスタ** (VnMB1) に設定されているメモリアドレスに転送されます。シングルフレームキャプチャモードを使用するとき、レジスタ設定に必要な手順は次のとおりです。

1. **ビデオ n メインコントロールレジスタ** (VnMC) のモジュールイネーブル（ME）ビットに 1 をセットします。
2. **ビデオ n フレーム キャプチャレジスタ** (VnFC) のシングルフレームキャプチャモード（SC）ビットに 1 をセットします。

注 .　この設定を使用するときは、ビデオ n メインコントロールレジスタ (VnMC) のインタレースモード（IM）ビットに 2'b01 をセットしないでください。

VnMC の IM ビットにキャプチャフィールドを指定し、次に VnFC の CC ビットを 1 にセットすると、キャプチャデータが MB1 ～ MB3 に設定されたアドレスに順次転送され、連続フレームキャプチャモードが提供されます。

この場合、最新のキャプチャされたフレーム ID が**ビデオ n モジュール ステータスレジスタ** (VnMS) の FBS ビットに示されます。

連続フレームキャプチャモードを使用するとき、必要なレジスタ設定手順は次のとおりです。

1. **ビデオ n メインコントロールレジスタ** (VnMC) のモジュールイネーブル（ME）ビットに 1 をセットします。
2. **ビデオ n フレーム キャプチャレジスタ** (VnFC) の連続フレームキャプチャモード（CC）ビットに 1 をセットします。

注 .　シングルフレームキャプチャモード（SC）ビットと連続フレームキャプチャモード（CC）ビットに同時に 1 をセットしないでください。

フィールド信号が変化しないプログレッシブデータをキャプチャするときは、内部フィールド信号生成機能を使用して、内部フィールド信号をトグルします。詳細は、「48.2.18　ビデオ n データモードレジスタ 2 (VnDMR2)」を参照してください。

48.3.3　サイズクリッピング

キャプチャされた画像データは、次のレジスタの設定に従ってプリクリップされます。

ビデオ n スタートライン プリクリップレジスタ (VnSLPrC)、ビデオ n エンドライン プリクリップレジスタ (VnELPrC)、ビデオ n スタートピクセル プリクリップレジスタ (VnSPPrC)、ビデオ n エンドピクセル プリクリップレジスタ (VnEPPrC)

水平または垂直スケーリング後のポストクリッピングについては、「48.2.21.4　ビデオ n UDS 出力サイズクリッピングレジスタ (VnUDS_CLIP_SIZE)」を参照してください。

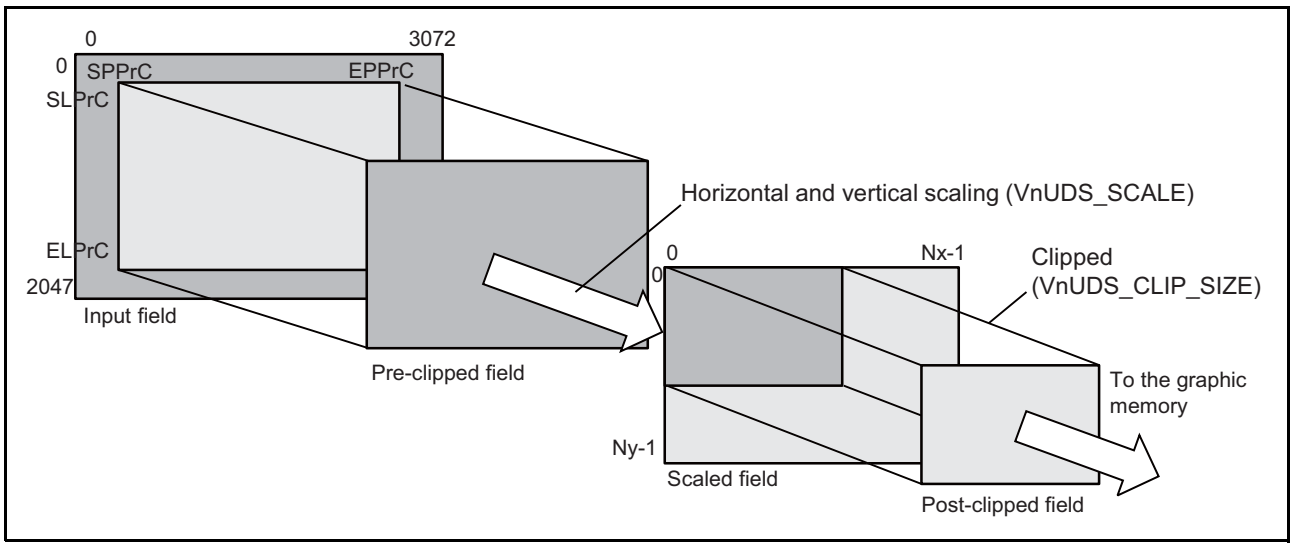


図 48.5　クリッピングの例

すべてのポストクリップラインについて、メモリに書き込まれる個々のラインの長さは、**ビデオ n イメージ ストライドレジスタ (VnIS)** によって定義されます。この設定は、クリップ後のフレーム幅より大きくはできますが、幅より小さくはできません。VnIS レジスタは、水 平のポストクリッピング幅より大きな値で埋める必要があります。上の図の入力フィールドは、ビデオデコーダからの有効画像領域を示しています。VIN は画像領域を超えるものをキャプチャすることを許可しません。

注 .　次の各レジスタは、有効画像領域内の開始点からの距離を指定します。
ビデオ n スタートライン プリクリップレジスタ (VnSLPrC)、ビデオ n エンドライン プリクリップレジスタ (VnELPrC)、ビデオ n スタートピクセル プリクリップレジスタ (VnSPPrC)、およびビデオ n エンドピクセル プリクリップレジスタ (VnEPPrC)。

48.3.4　垂直スケーリング

垂直方向のスケーリングの詳細については、「48.2.21.2　ビデオ n スケーリング係数レジスタ (VnUDS_SCALE)」を参照してください。

48.3.5　水平スケーリング

水平方向のスケーリングの詳細については、「48.2.21.2　ビデオ n スケーリング係数レジスタ (VnUDS_SCALE)」を参照してください。

48.3.6　カラー変換機能

(1)　YC-RGB カラー変換

データ入力フォーマットが YCbCr のときは、YCbCr データを RGB データに変換するには、VnMC レジスタの BPS ビットを 0 にセットします。8 ビットデータフォーマットがキャプチャインタフェースに使用されるとき、VnCSCC1、VnCSCC2、VnCSCC3 レジスタに設定されたマトリクス係数に従ってカラー変換が行われます。それ以外の場合は、VnCSCE1、VnCSCE2、VnCSCE3、VnCSCE4 レジスタに設定された行列係数に従って実行されます。すべての入力 YCbCr データは、カラー変換を実行する前に 12 ビットデータに拡張されます。

ここで、VnMC の BPS ビットを 1 にセットすると、データは YCbCr 形式のままメモリに格納されます。

$$R = \left(\begin{array}{c}VnCSCC1/\\YMUL[9:0]\\or\\VnCSCE1/\\YMUL2[13:0]\end{array}\right) \times \left(Y - \left(\begin{array}{c}VnCSCC1/\\YSUB[7:0]\\or\\VnCSCE1/\\YSUB2[11:0]\end{array}\right)\right) + \left(\begin{array}{c}VnCSCC2/\\RCRMUL[9:0]\\or\\VnCSCE3/\\RCRMUL2[13:0]\end{array}\right) \times \left(Cr - \left(\begin{array}{c}VnCSCC1/\\CSUB[7:0]\\or\\VnCSCE1/\\CSUB2[11:0]\end{array}\right)\right)$$

$$G = \left(\begin{array}{c}VnCSCC1/\\YMUL[9:0]\\or\\VnCSCE1/\\YMUL2[13:0]\end{array}\right) \times \left(Y - \left(\begin{array}{c}VnCSCC1/\\YSUB[7:0]\\or\\VnCSCE1/\\YSUB2[11:0]\end{array}\right)\right) - \left(\begin{array}{c}VnCSCC2/\\GCRMUL[9:0]\\or\\VnCSCE3/\\GCRMUL2[13:0]\end{array}\right) \times \left(Cr - \left(\begin{array}{c}VnCSCC1/\\CSUB[7:0]\\or\\VnCSCE1/\\CSUB2[11:0]\end{array}\right)\right) - \left(\begin{array}{c}VnCSCC3/\\GCBMUL[9:0]\\or\\VnCSCE4/\\GCBMUL2[13:0]\end{array}\right) \times \left(Cb - \left(\begin{array}{c}VnCSCC1/\\CSUB[7:0]\\or\\VnCSCE1/\\CSUB2[11:0]\end{array}\right)\right)$$

$$B = \left(\begin{array}{c}VnCSCC1/\\YMUL[9:0]\\or\\VnCSCE1/\\YMUL2[13:0]\end{array}\right) \times \left(Y - \left(\begin{array}{c}VnCSCC1/\\YSUB[7:0]\\or\\VnCSCE1/\\YSUB2[11:0]\end{array}\right)\right) + \left(\begin{array}{c}VnCSCC3/\\BCBMUL[9:0]\\or\\VnCSCE4/\\BCBMUL2[13:0]\end{array}\right) \times \left(Cb - \left(\begin{array}{c}VnCSCC1/\\CSUB[7:0]\\or\\VnCSCE1/\\CSUB2[11:0]\end{array}\right)\right)$$

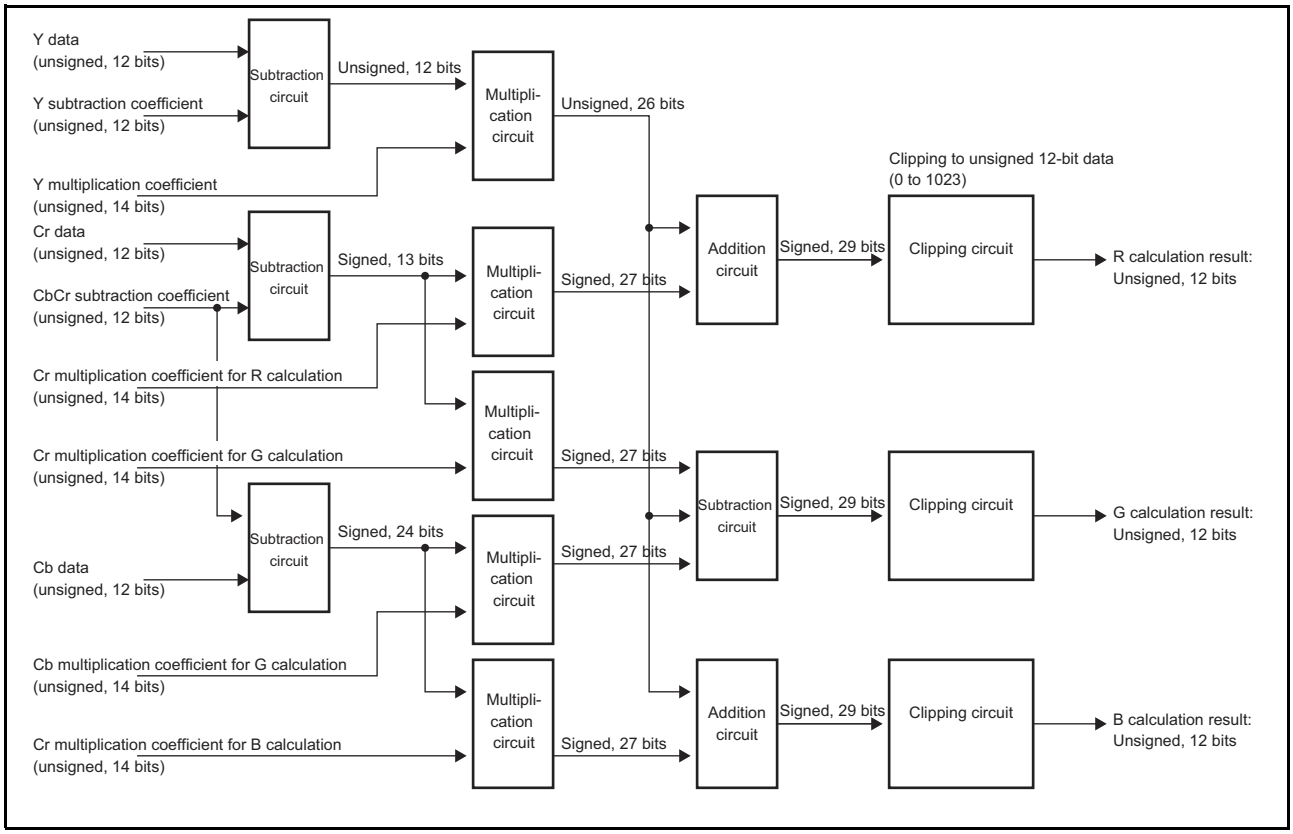


図 48.6　　YCbCr → RGB 計算回路構成

YC-RGB 変換係数レジスタで設定可能なカラー空間の例を以下に示します。係数の詳細については、レジスタの説明を参照してください。

表 48.10　　YC-RGB 変換係数レジスタの設定例

YC-RGB 変換係数	YMUL	YSUB	CSUB	RCRMUL	GCRMUL	GCBMUL	BCBMUL
ITU-R BT.601（初期値） 16≦Y≦235, 16≦Cb, Cr≦240	1.164	16	128	1.596	0.813	0.392	2.017
輝度拡張例 1≦Y≦254, 16≦Cb, Cr≦240	1.008	1	128	1.596	0.392	0.813	2.017

各加算係数ビットフィールドに整数を指定します。乗算係数ごとに、所望の係数値に 256 を掛けた値を指定してください。

例：所望の乗算係数が 1.164 のとき

1.164 × 256 = 297（設定値：B'0100101001）

注 1.　ITU-R BT.601 規格で規定された範囲外のデータを処理するためには、VnMC の CLP[1:0] ビットを 11 に設定してください。データはカラー空間変換の前に指定された値にクリッピングされます。
注 2.　YC-RGB カラー変換データは、0 < R,G,B <255 の範囲に無条件に丸められます。

(2) RGB-YC カラー変換

データ入力形式が RGB のとき、RGB データを YCbCr データ形式にカラー変換する場合は、VnMC の BPS ビットを 0 にセットします。RGB から YCbCr へのカラー変換は、RGB-YC 変換係数レジスタ (VnYCCR1-VnYCCR3/VnCBCCR1-VnCBCCR3/VnCRCCR1-VnCRCCR3) に設定されたマトリクス係数に従って行われます。すべての入力 RGB データは、カラー変換前に 12 ビットデータに拡張されます。

VnMC の BPS ビットに 1 がセットされているとき、データは RGB 形式のままでメモリに保存されます。

$$Y = ((YCLRP \times R + YCLGP \times G + YCLBP \times B) \times 2^{YCLSFT}) + YCALP$$
$$Cb = ((CBCLRP \times R + CBCLGP \times G + CBCLBP \times B) \times 2^{CBCLSFT}) + CBCALP$$
$$Cr = ((CRCLRP \times R + CRCLGP \times G + CRCLBP \times B) \times 2^{CRCLSFT}) + CRCALP$$

以下の RGB-YCbCr カラー変換機能のデータ丸め機能は、各画素に独立して設定することができます。Y データの回路構成を以下に示します。

表 48.11　RGB-YC カラー変換機能のデータ丸め機能

機能	記号	説明
符号拡張機能イネーブル	YEXPEN	行列乗算結果の符号付きビットを有効／無効にします。
乗算結果シフトダウン量	YCLSFT[4:0]	行列乗算結果のシフトダウン量
丸めイネーブル	YCLHEN	シフトダウン量への丸めを有効／無効にします。
クリッピングイネーブル	YCLCEN	出力データの 0～1023 の間のデータ丸め処理を有効／無効にします。

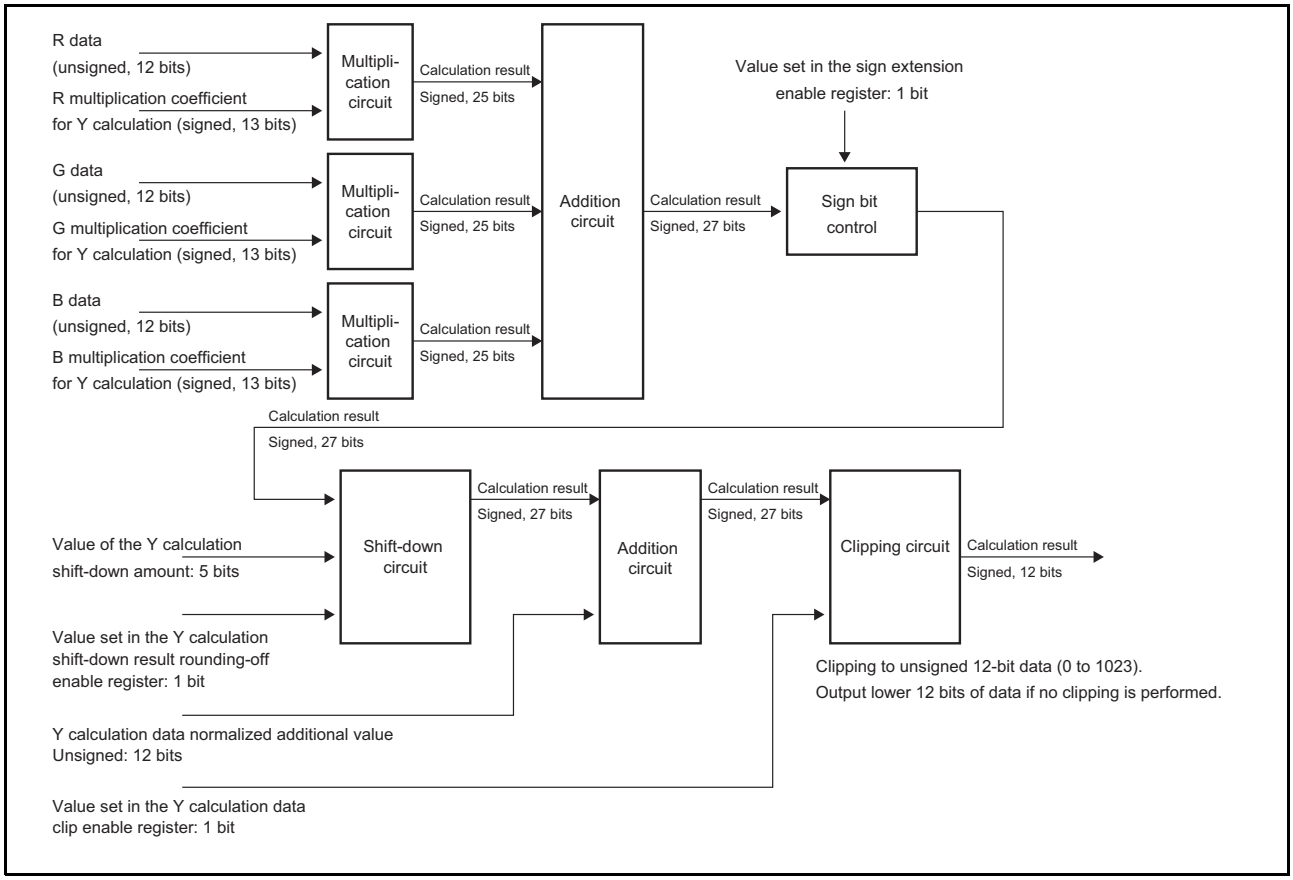


図 48.7　RGB → YCbCr カラー変換機能の Y データ回路構成

48.3.7　画像データフォーマット変換機能

(1)　ルックアップテーブル（LUT）精度変換機能

VnMC の LUTE ビットを 1 にセットすると、カラー変換後の Y,Cb,Cr と R,G,B データの各画素データのテーブル変換が可能になります。

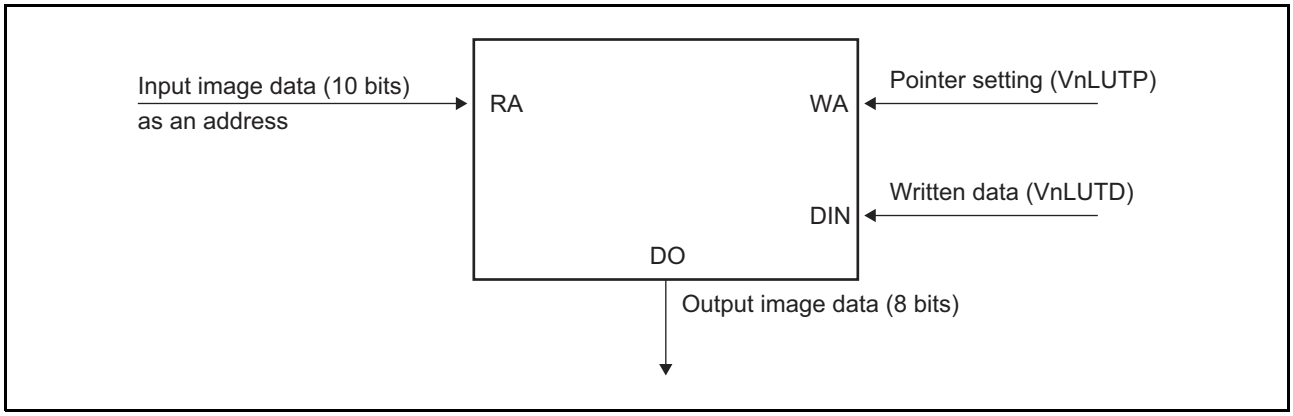


図 48.8　ルックアップテーブル

ポインタアクセス

ポインタは、VnLUTD レジスタへの書き込みアクセスが行われるたびにインクリメントされます。

VnLUTP レジスタを読むと、インクリメントされた値が読み出されます。VnLUTD レジスタの読み取りアクセス時はポインタがインクリメントされないため、読み取りの直前にポインタを設定する必要があります。

ルックアップテーブルにアクセスするには、以下の手順に従う必要があります。

ルックアップテーブルは、変換処理中に CPU からアクセスできません。

（CPU から LUT への書き込み／読み出しアクセスのときは、VnMC の LUTE ビットを 0 にする必要があります。）

書き込みアクセス

1. アクセス宛先アドレスを VnLUTP に書き込んでください。
2. VnLUTD にデータを書き込みます。これによりデータはルックアップテーブルに反映されます。
   また、ポインタが自動的に 1 つ増加します。
3. VnLUTD に書き込むと、ルックアップテーブルが連続的に更新されます。

読み取りアクセス

1. アクセス宛先アドレスを VnLUTP に書き込んでください。
2. VnLUTD を読んでください。これはダミーリードです。したがって、読み出されたデータを破棄する必要があります。
3. VnLUTD を読んでください。この読み取りで VnLUTP に書き込まれたアドレスデータを取得できます。

ルックアップテーブル使用上の注意

1. ルックアップテーブルは、キャプチャ動作停止後にのみ設定します。
2. ルックアップテーブルは使用する前にすべて書き直してください。
3. ルックアップテーブルに設定するデータは、入力ビット幅と互換性がある範囲内にする必要があります。

(2)　YCbCr422 → YC 分離機能

YCbCr データをメモリに転送する場合、Y データと CbCr データを分離して異なるアドレス空間に転送することができます。

YCbCr 分離転送を行うには、VnDMR レジスタの DTMD[1:0] ビットを B'10 に設定してください。この場合、Y データはメモリベースアドレスレジスタに設定されたアドレスに転送され、CbCr データは VnUVAOF レジスタに設定された値をメモリベースアドレスレジスタに加算したアドレスに転送されます。

VnDMR レジスタの YMODE[0] ビットをセットすると、Y データのみがメモリに転送され、CbCr データはメモリに転送されません。

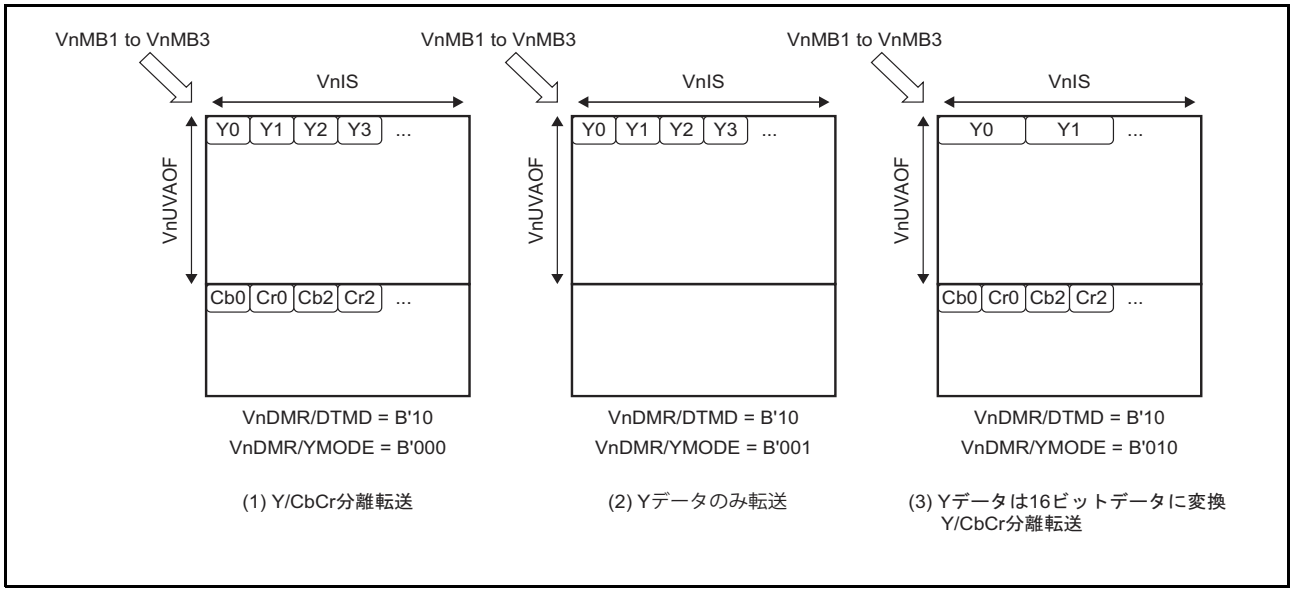


図 48.9　　Y/Cb/Cr ビッグエンディアンでの分離

(3)　ディザリング機能

ディザリングは、カラー空間変換後の内部 RGB-888 フォーマットを RGB-565 または RGB-1555 フォーマットに変換するときに実行されます。ディザリングモードは VnMC の DC[1:0] ビットで選択できます。

(a)　累積加算によるディザリング

水平画素単位の累積加算方法を用いてディザリングを行うときは、VnMC の DC[1:0] ビットを B'00 に設定してください。

Rn [7:3] ≤ (*Rx*[7:0] + *Rn*-1[2:0]) >> 3
Gn [7:2] ≤ (*Gx*[7:0] + *Gn*-1[1:0]) >> 2
Bn [7:3] ≤ (*Bx*[7:0] + *Bn*-1[2:0]) >> 3

ここで
(*Rn*, *Gn*, *Bn*) = 出力　RGB-565 ピクセル
(*Rx*, *Gx*, *Bx*) = 入力　RGB-888 ピクセル
(*Rn*-1, *Gn*-1, *Bn*-1) = 擬似ランダムエラー（累積誤差の LSB）

(b)　順序付きディザリング

順序付けられたディザリング方式を使用してディザリングを実行するには、VnMC の DC[1:0] ビットを B'01 に設定してください。

Rn [7:3] ≤ (*Rx*[7:0] + *D42xy*) >> 3
Gn [7:2] ≤ (*Gx*[7:0] + *D22xy*) >> 2
Bn [7:3] ≤ (*Bx*[7:0] + *D42xy*) >> 3

ここで

(*Rn*, *Gn*, *Bn*) = 出力　RGB-565 ピクセル
(*Rx*, *Gx*, *Bx*) = 入力　RGB-888 ピクセル
(*D22xy*, *D42xy*) = 入力　x、y 座標ディザリング行列結果

$$D22 = \begin{bmatrix} 0 & 3 \\ 2 & 1 \end{bmatrix}, D42 = \begin{bmatrix} 0 & 3 & 4 & 7 \\ 2 & 1 & 6 & 5 \end{bmatrix}$$

48.3.8　内部フィールド信号の生成

VIN がインタレースモードでのデータキャプチャを制御するので、外部フィールド信号レベルが変化しなければ、正しいキャプチャ制御が達成されません。

内部フィールド信号生成機能により、プログレッシブデータキャプチャのように入力フィールド信号が変化しなくても、VIN はキャプチャフィールド信号を制御することができます。内部フィールド生成機能は、**ビデオ n データモードレジスタ 2 (VnDMR2)** 内の FTEV と FTEH ビットを介して、以下の設定を行うことができます。

- VSYNC フィールドトグルモード (FTEV = 1 in VnDMR2)
  この設定を行うと、VnDMR2 の VLV ビットで指定された VSYNC サイクルで入力フィールド信号が変化しない場合は、キャプチャフィールド信号制御のために VSYNC フィールドトグルモードが開始されます。外部フィールド信号レベルの変化が検出されると、トグルモードは解除されます（キャプチャ動作は、入力フィールド信号に従って制御されます）。
- HSYNC フィールドトグルカウンタ (FTEH = 1 in VnDMR2)
  このカウンタはキャプチャアクティブラインをカウントします。カウントが VnDMR2 の HLV 設定に達するまで外部フィールド信号が変化しない場合は、キャプチャフィールド信号が制御されます。

注 1.　VnDMR2 の FTEV ビットと FTEH ビットを同時にセットしないでください。
注 2.　トグルモードの解除直後に、入力フィールド信号の状態に応じて、キャプチャ制御は 1 つの VSYNC サイクルでスキップされることがあります。

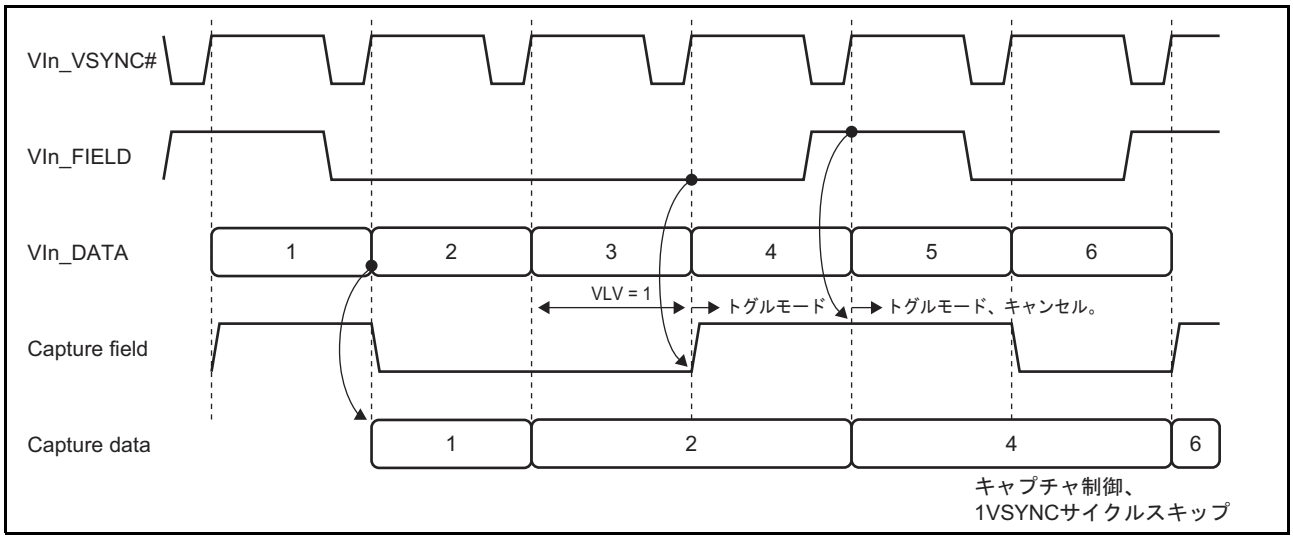


図 48.10　VSYNC フィールドトグルモードの概要と注意事項

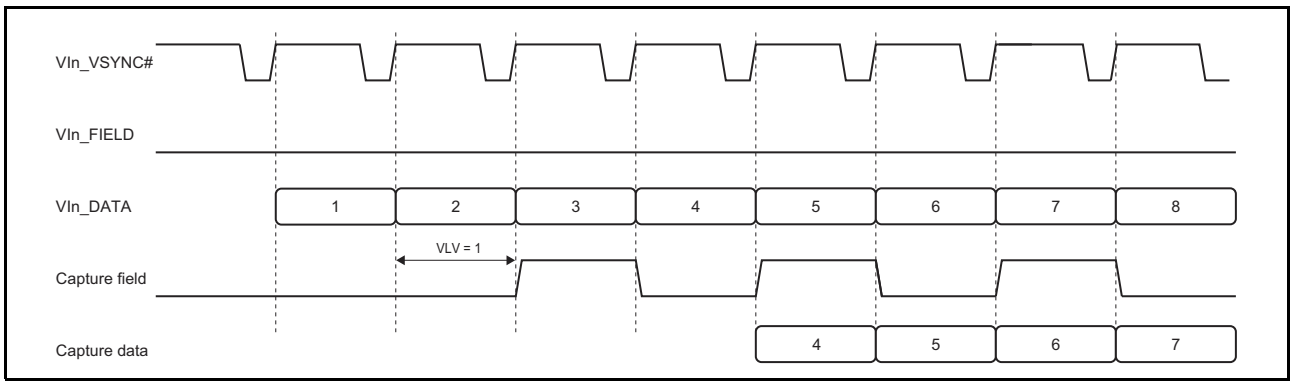


図 48.11　外部フィールド信号が変化しない場合の VSYNC フィールドトグルモード

48.3.9　出力データ形式

VIN は、以下のフォーマットで画像データを出力することができます。このセクションの図は、データがリトルエンディアンでユニファイドメモリに格納されていることを前提としています。

(1)　YC: YCbCr-422, 8 ビット

YC（YCbCr）= 4 : 2 : 2 フォーマットの 8 ビット YUV 画像データを以下に示します。YC データは VYDMR の BPSM ビットで UYVY フォーマットと YUYV フォーマットの間で切りかえることができます。

• BPSM = 0 in VnDMR: UYVY フォーマット

8ビット YCbCr-422データ (UYVYフォーマット)

D63～D48	63			56	55		48
画像データ3、4	Y3[7:0]				Cr2[7:0]		
D47～D32	47			40	39		32
画像データ3、4	Y2[7:0]				Cb2[7:0]		
D31～D16	31			24	23		16
画像データ1、2	Y1[7:0]				Cr0[7:0]		
D15～D0	15			8	7		0
画像データ1、2	Y0[7:0]				Cb0[7:0]		

・BPSM = 1 in VnDMR: YUYV フォーマット

8ビット YCbCr-422データ (YUYVフォーマット)

D63～D48	63			56	55		48
画像データ3、4	Cr2[7:0]				Y3[7:0]		
D47～D32	47			40	39		32
画像データ3、4	Cb2[7:0]				Y2[7:0]		
D31～D16	31			24	23		16
画像データ1、2	Cr0[7:0]				Y1[7:0]		
D15～D0	15			8	7		0
画像データ1、2	Cb0[7:0]				Y0[7:0]		

(2) YC: YCbCr-422, 10 ビット

YC（YCbCr）= 4 : 2 : 2 フォーマットの 10 ビット YUV 画像データを以下に示します。

注 1. このフォーマットでは、VnDMR レジスタの YC_THR ビットに "1" を設定する必要があります。
注 2. VnIS レジスタの設定に従って、YCbCr データのワードアドレスが出力されます。

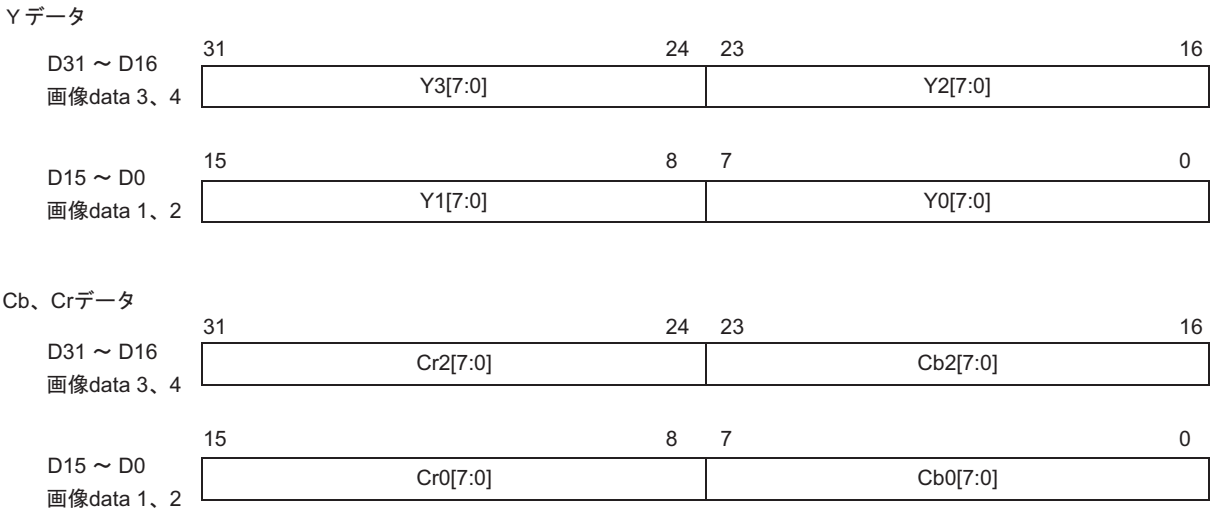
•10-bit YCbCr-422 データ (UYVY フォーマット)

D127～D112	127					122	121		112
画像データ8	0	0	0	0	0	0	Y3[9:0]		
D111～D96	111					106	105		96
画像データ7	0	0	0	0	0	0	Cr2[9:0]		
D95～D80	95					90	89		80
画像データ6	0	0	0	0	0	0	Y2[9:0]		
D79～D64	79					74	73		64
画像データ5	0	0	0	0	0	0	Cb2[9:0]		
D63～D48	63					58	57		48
画像データ4	0	0	0	0	0	0	Y1[9:0]		
D47～D32	47					42	41		32
画像データ3	0	0	0	0	0	0	Cr0[9:0]		
D31～D16	31					26	25		16
画像データ2	0	0	0	0	0	0	Y0[9:0]		
D15～D0	15					10	9		0
画像データ1	0	0	0	0	0	0	Cb0[9:0]		

(3)　YC: YC 分離 YCbCr-422, Y(8bits)/C(8bits)

これは、YC 分離 YC(YCbCr) = 4:2:2 フォーマットの 8 ビット YUV 画像データです。
UV データは NV16 形式でのみサポートされています。

ビデオ n データモードレジスタ（VnDMR）の YMODE[2:0] ビットが B'000 または B'001 に設定されているとき、VnDMR の DTMD[1:0] ビットを B'10 に設定すると、フォーマットが 4:2:2 に変更され、UV データは、ビデオ n UV アドレスオフセットレジスタ（VnUVAOF）に設定された値をメモリベースアドレスレジスタに加算することによって指定されるアドレスに転送されます。
VnDMR の YMODE[2:0] ビットを B'001 に設定すると、Y データのみを転送することができ、UV データを転送することはできません。



(4)　YC: YC 分離 YCbCr-422, Y(10bits)/C(10bits)

これは、YC 分離 YC(YCbCr) = 4:2:2 フォーマットの 10 ビット YUV 画像データです。
UV データは NV16 形式でのみサポートされています。

ビデオ n データモードレジスタ (VnDMR) の YMODE[2:0] ビットが B'000 または B'001 に設定されているとき、VnDMR の DTMD[1:0] ビットを B'10 に設定すると、フォーマットが 4:2:2 に変更され、UV データは、ビデオ n UV アドレスオフセットレジスタ（VnUVAOF）に設定された値をメモリベースアドレスレジスタに加算することによって指定されるアドレスに転送されます。
VnDMR の YMODE[2:0] ビットを B'001 に設定すると、Y データのみを転送することができ、UV データを転送することはできません。

注 1.　このフォーマットでは、VnDMR レジスタの YC_THR ビットに "1" を設定する必要があります。
注 2.　VnIS レジスタの設定に従って、YCbCr データのワードアドレスが出力されます。

Yデータ（10ビット）

	63					58	57	48
D63～D48 画像データ4	0	0	0	0	0	0	Y3[9:0]	
D47～D32 画像データ3	47					42	41	32
	0	0	0	0	0	0	Y2[9:0]	
D31～D16 画像データ2	31					26	25	16
	0	0	0	0	0	0	Y1[9:0]	
D15～D0 画像データ1	15					10	9	0
	0	0	0	0	0	0	Y0[9:0]	

Cb, Crデータ（10ビット）

	63					58	57	48
D63～D48 画像データ4	0	0	0	0	0	0	Cr2[9:0]	
D47～D32 画像データ3	47					42	41	32
	0	0	0	0	0	0	Cb2[9:0]	
D31～D16 画像データ2	31					26	25	16
	0	0	0	0	0	0	Cr0[9:0]	
D15～D0 画像データ1	15					10	9	0
	0	0	0	0	0	0	Cb0[9:0]	

(5)　YC: YC 分離 YCbCr-422, Y(10bits)/C(8bits)

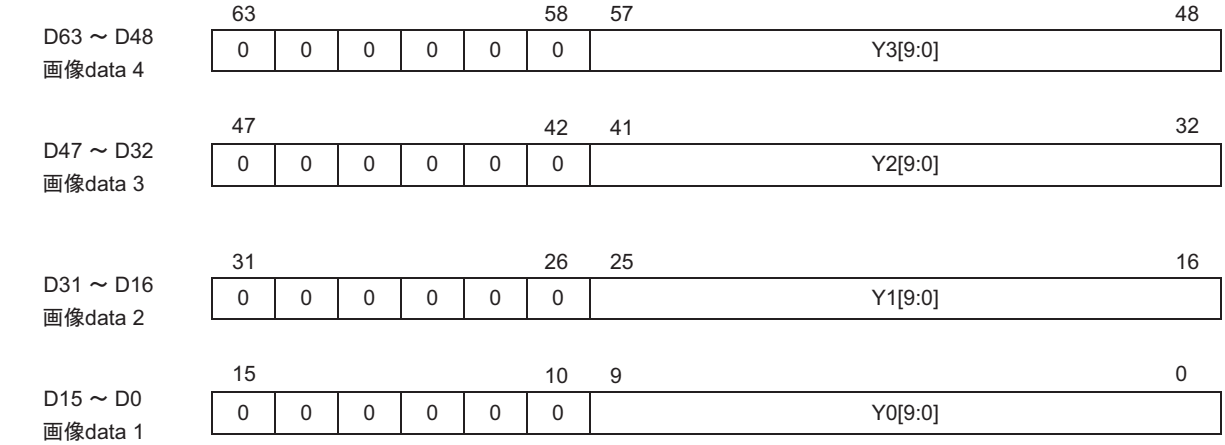
これは YC 分離された YC(YCbCr)=4:2:2 フォーマットの 10 ビット YUV 画像データです。UV データは NV16 フォーマットでのみサポートされています。

ビデオ n データモードレジスタ (VnDMR) の YMODE[2:0] ビットが B'010 または B'011 に設定されているとき、VnDMR の DTMD[1:0] ビットを B'10 に設定すると、10 ビットの CrCb データが 8 ビットの CrCb データに変換されて、フォーマットは 4:2:2 に変更されます。

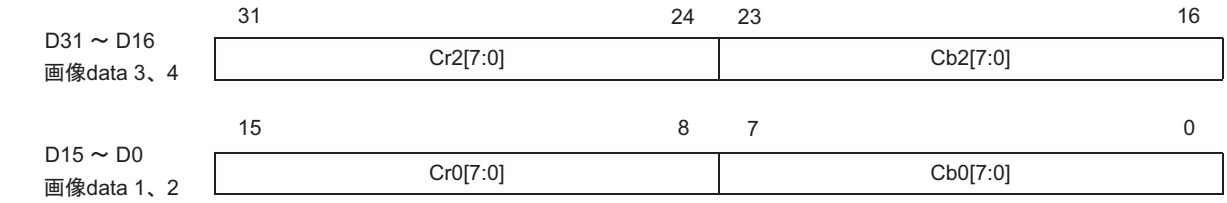
UV データは、**ビデオ n UV アドレスオフセットレジスタ** (VnUVAOF) に設定された値をメモリベースアドレスレジスタに加算したアドレスに転送されます。VnDMR の YMODE[2:0] ビットを B'011 に設定すると、Y データのみを転送することができ、UV データを転送することはできません。

注 1.　VnIS レジスタの設定に従って、Y データのワードアドレスが出力されます。
注 2.　VnIS レジスタの設定に従って、CbCr データのバイトアドレスが出力されます。

Y データ



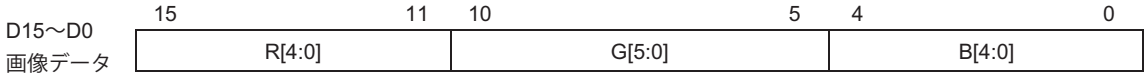
Cb、Crデータ



(6)　16 ビット／ピクセル RGB-565

RGB レベルは、R が 5 ビット、G が 6 ビット、B が 5 ビットで表現されます。

16 ビット/ピクセル データ (RGBデータ) フォーマット

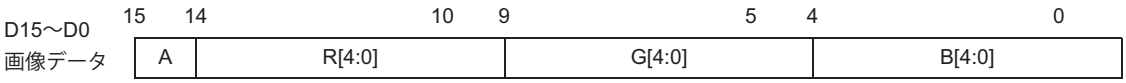


(7)　16 ビット／ピクセル ARGB-1555

ARGB レベルは、A が 1 ビット、R が 5 ビット、G が 5 ビット、B が 5 ビットで表現されます。ARGB-1555 へのデータ変換では、RGB-565 データ内の G データの最下位ビットは切り捨てられ、レジスタを介して指定された A 値が加算されます。

ビデオ n データモードレジスタ (VnDMR) の DTMD[1:0] ビットを B'01 に設定して ARGB-1555 への変換を指定し、VnDMR の ABIT ビットに A の値を指定します。

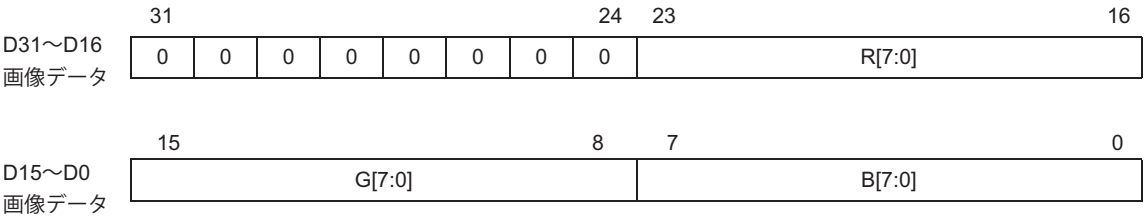
16 ビット/ピクセル データ (ARGBデータ) フォーマット



(8)　32 ビット／ピクセル RGB-888

RGB レベルは、R が 8 ビット、G が 8 ビット、B が 8 ビットで表現されます。ビット 31 ～ 24 は 0 に固定されています。

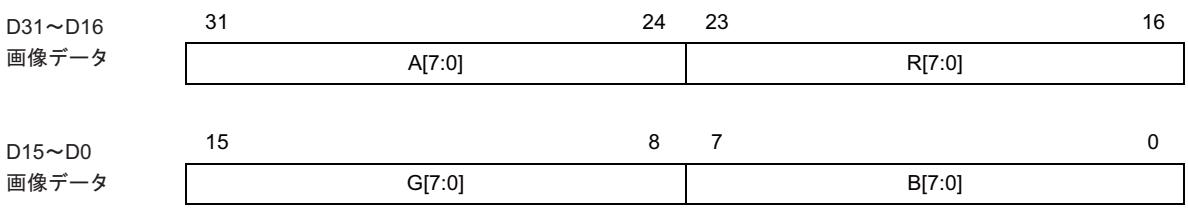
32 ビット/ピクセル データ (RGBデータ) フォーマット



(9)　32 ビット／ピクセル ARGB-8888

ARGB レベルは、A が 8 ビット、R が 8 ビット、G が 8 ビット、B が 8 ビットで表現されます。VnDMR の A8BIT[7:0] ビットで指定される A の値は、ビット 31 ～ 24 に設定されます。

32 ビット/ピクセル データ（ARGBデータ）フォーマット



(10) RAW：8-bit

8-bit の RAW 画像データを以下に示します。

注 1. これらのデータは、4 バイト単位で転送されます。
注 2. VnIS レジスタ設定に従って、RAW データのバイトアドレスが出力されます。

8-bit RAWデータフォーマット

D63～D48	63			56	55		48
画像データ7、8	P7[7:0]				P6[7:0]		
D47～D32	47			40	39		32
画像データ5、6	P5[7:0]				P4[7:0]		
D31～D16	31			24	23		16
画像データ3、4	P3[7:0]				P2[7:0]		
D15～D0	15			8	7		0
画像データ1、2	P1[7:0]				P0[7:0]		

48.3.10　エンディアン変換

VIN は、初期設定では、キャプチャされたデータをリトルエンディアンでメモリに保存します。メモリに格納する前にビッグエンディアンに変換するには、**ビデオ n メインコントロールレジスタ** (VnMC) の EN ビットを 1 にセットしてください。

ワード単位でのエンディアン変換は VnMC の EN ビットで、バイト単位でのスワップは**ビデオ n データモードレジスタ** (VnDMR) の BPSM ビットで制御されます。ビッグエンディアンへの変換では、VnMCR の DTMD ビットと VnMC の BPS ビットで指定されたデータフォーマットに従って、次表のように BPSM ビットを指定してください。

表 48.12　エンディアン変換単位

データフォーマット	BPS in VnMC	DTMD[1:0] in VnDMR	EXRGB in VnDMR	BPSM in VnDMR	エンディアン変換単位
RGB-565	0	00	0	0	ワード単位
RGB-888	0	00	1	0	ロングワード単位
YCbCr-422	1	00	0	1	バイト単位
ARGB-1555	0	01	0	0	ワード単位
ARGB-8888	0	01	1	0	ロングワード単位
YC	1	10	0	0	バイト単位

次の図は、１バイト単位、２バイト単位、および４バイト単位のエンディアン変換を示しています。

バイト単位のエンディアン変換：

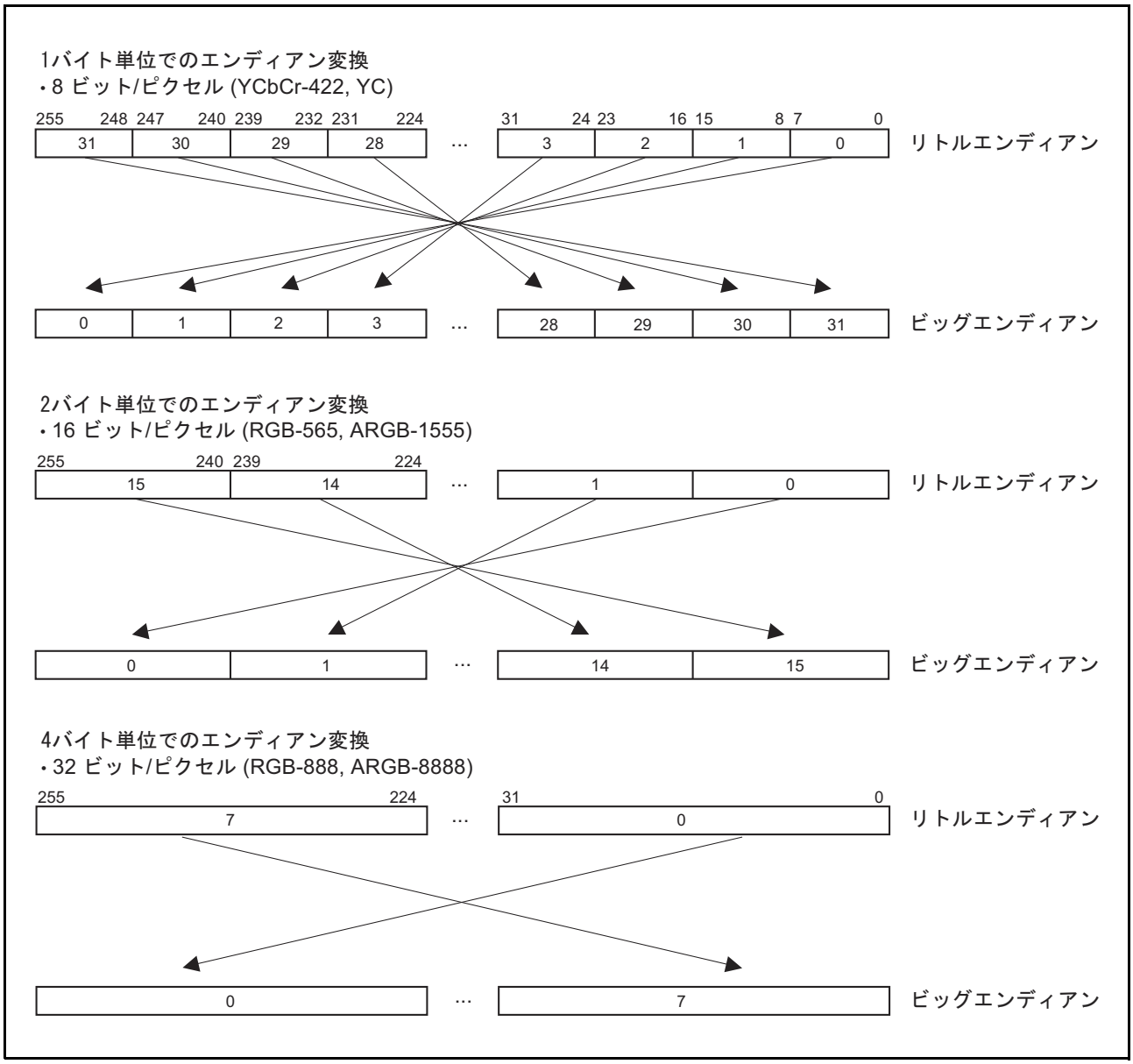


図 48.12　リトルエンディアンからビッグエンディアンへのデータアライメント変換

48.3.11　モジュールスタンバイモード

この LSI は、VIN へのクロック供給を停止する、モジュールスタンバイモードをサポートしています。モジュールスタンバイモード中は、VIN にアクセスしないでください。モジュールスタンバイ機能の詳細については、**「52.　低消費電力モード」**を参照してください。

48.3.12　モジュールスタンバイモードへの移行

1. VIN を停止するには、**ビデオ n メインコントロールレジスタ (VnMC)** のモジュールイネーブル（ME）ビットをクリアし、**ビデオ n フレーム キャプチャレジスタ (VnFC)** の連続フレームキャプチャ（CC）ビットとシングルフレームキャプチャ（SC）ビットを 0 に設定します。
2. **ビデオ n モジュール ステータスレジスタ (VnMS)** のキャプチャアクティブ（CA）ビットが 0 にクリアされていることを確認します。(注 1)
3. **「52.　低消費電力モード」**にて、本モジュールに割り当てられている MSTP ビットに 1 をセット。

注 1.　VnMS レジスタの CA ビットが 0 に設定されるまで、カメラデバイスは動作し続ける必要があります。

48.3.13　モジュールスタンバイモードの解除と VIN の再起動

1. **「52.　低消費電力モード」**にて、本モジュールに割り当てられている MSTP ビットに 0 をセット。
2. **ビデオ n メインコントロールレジスタ (VnMC)** のモジュールイネーブル（ME）ビットを 1 に設定して、VIN を起動します。
3. **ビデオ n フレーム キャプチャレジスタ (VnFC)** の連続フレームキャプチャ（CC）ビットまたはシングルフレームキャプチャ（SC）ビットを 1 に設定します。

48.3.14　割り込み

VIN は 1 つの割り込みを発生することができます。

詳細は、マニュアルの**「7.　割り込みコントローラ」**を参照してください。

表 48.13　割り込み割り当て

割り込み名	割り込みの原因
VIN.	V0INTS レジスタの FIS2, VFS, VRS, FIS, SIS, EFS または FOS ビット

48.3.15 初期化手順

CSI2 の初期化手順の前または後に、VIN 初期化手順を実行できます。

[VIN 初期化手順]

1. VIN レジスタを設定します。
2. **ビデオ n データモードレジスタ 2 (VnDMR2)** の VSYNC フィールドトグルモードイネーブル（FTEV）ビットを 1 に設定します。VnDMR2 レジスタの VSYNC フィールドトグルモード移行期間 (VLV[3:0]) ビットは H'0 に設定する必要があります。
3. **ビデオ n メインコントロールレジスタ (VnMC)** のモジュールイネーブル（ME）ビットを 1 に設定して、VIN を起動します。
4. **ビデオ n フレーム キャプチャレジスタ (VnFC)** の連続フレームキャプチャモード（CC）ビットまたはシングルフレームキャプチャモード（SC）ビットを 1 に設定します。

[CSI2 初期化手順]

1. CSI-2 モジュールレジスタのリンクと PHY を設定します。(注 1)
2. カメラデバイスを起動します。
3. CSI-2 モジュールの PHY の起動を確認します。

注 1. 詳細は「47. MIPI CSI2 インタフェース」をご覧ください。

48.3.16 キャプチャ停止手順

1. **ビデオ n メインコントロールレジスタ (VnMC)** のモジュールイネーブル（ME）ビットと、**ビデオ n フレーム キャプチャレジスタ (VnFC)** の連続フレームキャプチャモード（CC）ビットとシングルフレームキャプチャモード（SC）ビットを 0 にクリアして、VIN を停止させます。
2. **ビデオ n モジュール ステータスレジスタ (VnMS)** のビデオキャプチャアクティブステータス（CA）ビットが 0 にクリアされていることを確認します。(注 1)
3. モジュールストップコントロールレジスタの MSTP ビットを 1 に設定します。
4. ソフトウェアリセットレジスタの SRST ビットを 1 に設定します。
5. CSI-2 モジュールのリンクと PHY をリセットします。
6. カメラデバイスを停止します。

注 1. VnMS レジスタの CA ビットが 0 に設定されるまで、カメラデバイスは動作し続ける必要があります。

48.3.17 キャプチャ再開手順

CSI2 の再開手順の前または後に、VIN 再開手順を実行できます。

[VIN 再開手順]

1. ソフトウェアリセットレジスタの SRST ビットを "0" に設定します。
2. モジュールストップコントロールレジスタの MSTP ビットを "0" に設定します。
3. VIN レジスタを設定します。
4. **ビデオ n データモードレジスタ 2 (VnDMR2)** の VSYNC フィールドトグルモードイネーブル（FTEV）ビットを 1 に設定します。VnDMR2 レジスタの VSYNC フィールドトグルモード移行期間 (VLV[3:0]) ビットは、H'0 に設定する必要があります。
5. **ビデオ n メインコントロールレジスタ (VnMC)** のモジュールイネーブル（ME）ビットを 1 に設定して、VIN を起動します。
6. **ビデオ n フレーム キャプチャレジスタ (VnFC)** の連続フレームキャプチャモード（CC）ビットまたはシングルフレームキャプチャモード（SC）ビットを 1 に設定します。

[CSI2 再開手順]

1. CSI-2 モジュールレジスタのリンクと PHY を設定します。
2. カメラデバイスを起動します。
3. CSI-2 モジュールの PHY の起動を確認します。

48.4　使用上の注意

48.4.1　仕様

以下に仕様を示します。

表48.14　仕様

項目	説明
MIPI CSI-2インタフェースからの入力	MIPI CSI-2インタフェースによるプログレッシブ画像の入力には、内部フィールド信号生成機能を使用します。詳細は、「48.2.18　ビデオnデータモードレジスタ2 (VnDMR2)」を参照してください。
レジスタの更新に関する制約	キャプチャ中にレジスタが更新された場合、レジスタ更新直後のデータは保証されません。表48.2に示す内部更新モードをサポートするレジスタはレジスタライト直後に更新されます。他のレジスタを更新する場合は、キャプチャ動作を停止してからアップデートしてください。
フィールドキャプチャモードの画質	VnMC.IMインターレースモードのビット設定でキャプチャされた奇数フィールド、奇数フィールド／偶数フィールド、偶数フィールドの画像には、入力インターレース画像の1行おきのラインが含まれます。したがって、ビデオ表示の水平解像度はフィールド単位であることに注意してください。
水平スケーリングの制約	スケールアップを使用するとき、入力できる水平サイズは2048ピクセルまでです。スケールダウンを使用するとき、出力できる水平サイズは2048ピクセルまでです。
割り込みイベントのタイミング	このモジュールがアサートした割り込みイベントは、VINに割り込みイベントが発生したときを示します。キャプチャデータのメモリへの転送が完了したときではありません。
ピクセルポストクリップ設定	出力フォーマットがYCbCr-422であっても、VnUDS_CLIP_SIZE設定に従ってピクセルポストクリップが実行されます。 そのため、出力形式がYCbCr-422の場合は、CL_HSIZEのクリッピングサイズを偶数に設定してください。
カラー空間変換の係数設定	カラー空間変換係数1～3レジスタ（VnCSCC1～VnCSCC3）に適切な値を指定して、RGB画像データを 0 < R',G',B' < 255 の範囲に保ちます。カラー空間変換の計算の後は、負数のピクセルデータを0に正規化し、255以上のピクセルデータを255に正規化します。
スケールアップ	水平と垂直の拡大が指定されている場合、トラフィックの増加に伴ってメモリ転送量が増加します。システムの全体的な転送効率が低下する可能性があるため、スケーリングアップ機能を使用するときはシステム全体のトラフィック量に注意してください。
YC分離機能のYC制約	UVデータを格納するビデオn UVアドレスオフセットレジスタ(VnUVAOF)を設定して、YデータとUVデータの格納領域が同じにならないようにします。
RGB-888→RGB-565変換機能	累積加算によるディザリング処理では、ブルーバック画像のように同じ色がキャプチャされたときに、累積加算処理（加算によるキャリー）によって周期的なノイズが発生することがあります。 このときは、VnMCのDC [1：0]ビットを順序付きディザリングに設定します。
キャプチャできる最大サイズ	現時点で、キャプチャ可能な最大ライン数と画素数は以下のとおりです。 • キャプチャできる最大ライン数＝2048（クリッピングレジスタの最大値）－垂直ブランク期間 • キャプチャできる最大ピクセル数＝2048（クリッピングレジスタの最大値）－水平ブランク期間
クリップサイズ設定	奇数および偶数フィールドのプリクリップサイズは、VnSLPrC、VnELPrC、VnSPPrC、およびVnEPPrCによって共通に設定されます。 奇数および偶数フィールドのポストクリップサイズは、VnUDS_CLIP_SIZEによって共通に設定されます。
インタレース入力制約	インターレース画像が入力されている場合は、必ずフィールド信号をVINに供給してください。 インターレース画像がMIPI CSI-2インタフェースから入力される場合、フィールド信号をCSI2モジュールで作成する必要があります。 CSI2におけるフィールド信号作成の詳細については、「47.　MIPI CSI2インタフェース」を参照してください。

<table>
<tr><th>項目</th><th>説明</th></tr>
<tr><td>UDSスケーラー設定シーケンス</td><td>[初期設定～キャプチャ開始]
[1] VnMCのSCLEビットを1にセットします.VnMCの他のビットは0に設定してください。
[2] UDSレジスタを設定します。
[3] VINレジスタを設定します。
[4] VnMCのMEビットを1にセットします。
[5] VnFCのCCビットを1にセットします。
[6]キャプチャ開始

[キャプチャ停止かつUDSレジスタ無効設定手順]
[1] VnMCのMEビットを0に設定します。VnMCの他のビットを現在の値に保ちます。
[2] VnFCのCCビットを0に設定します。
[3] VnMSのCAビットが0になるまで待ちます（最大2-vsync）
[4] VnMCのSCLEビットを0に設定します。
[UDS使用時のキャプチャ再開]
[5] UDSコントロールレジスタを変更します。
[6] VnMCのSCLEビットを1に設定します。
[7] MEビットVnMCを1に設定します。
[8] VnFCのCCビットを1にセットします。
[9]キャプチャ再開。（最大2-vsync後）</td></tr>
<tr><td>水平クリッピング仕様</td><td>水平クリッピングサイズは以下のように設定する必要があります。
<table><tr><th>キャプチャデータ</th><th>プリクリップ開始単位</th><th>クリッピングサイズ単位</th></tr><tr><td>YCbCr-422データ</td><td>2ピクセル</td><td>2ピクセル</td></tr><tr><td>RGBデータ</td><td>2ピクセル</td><td>2ピクセル</td></tr><tr><td>RAWデータ</td><td>4ピクセル</td><td>4ピクセル</td></tr></table></td></tr>
</table>

48.4.2　使用上の制約

表48.15　使用上の制約

項目	説明
フレームバッファ	フレームバッファは内蔵RAMに配置してください。 また、ページ競合による内蔵RAMメモリアクセス性能低下を防ぐため、フレームバッファを配置したページへの同時アクセスは、VINを含めて4マスタまでとしてください。

49. SD/MMC ホストインタフェース

注 . SD ホスト関連製品を開発するには、SD Host/Ancillary Product License Agreement (SD HALA) の締結が必要です。

49.1 概要

49.1.1 特長

- SD メモリ／IO カードインタフェース（1-bit / 4-bit SD bus）
- SD、SDHC、SDXC SD メモリカードサポート
- デフォルト、ハイスピード、UHS-I/SDR50、SDR104 転送モードサポート
- SD クロック（SD_CLK）周波数 = Bφ 周波数 / 2^n（n = 0 ～ 9）
- エラーチェック機能：CRC7（コマンド／レスポンス）、CRC16（データ）
- 割り込み要求：1 本
- カード検出機能
- ライトプロテクトサポート
- 1/4/8 ビット MMC bus サポート
  注 . チャネル 1 は 1/4 ビットのみ
- e-MMC デバイスアクセスサポート
- バックワード コンパチブル、ハイスピード、HS200 転送モードサポート
- High Priority Interrupt (HPI) サポート

ブロック図

図 49.1 に SD/MMC ホストインタフェースのブロック図を示します。

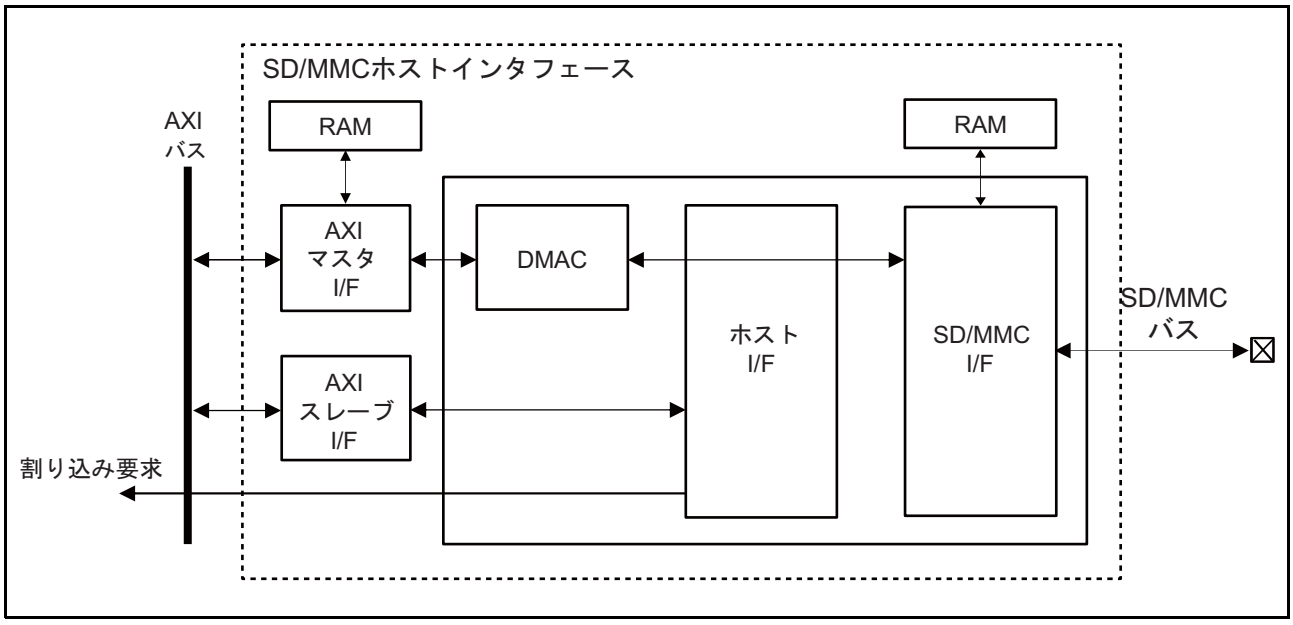


図 49.1　SD/MMC ホストインタフェースのブロック図

49.1.2　入出力端子

表 49.1 に入出力端子を示します。SD/MMC ホストインタフェース端子の動作電圧は 3.3V 電源／ 1.8V 電源に対応しています。また、チャネル 0/1 で異なる電圧で動作することができます。SD/MMC ホストインタフェース端子を使用する前に専用端子 POC 制御レジスタ (PPOC)、および SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 0 ～ 2 (PSDMMC0 ～ 2) を必ず設定してください。

詳細は「51.3.30　専用端子 POC 制御レジスタ（PPOC）」、「51.3.31　SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 0 (PSDMMC0)」、「51.3.32　SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 1 (PSDMMC1)」、「51.3.33　SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 2 (PSDMMC2)」を参照してください。

表49.1　入出力端子

端子名	入出力	機能
SDx_CLK (注1)	出力	SD/MMCクロック SD/MMCクロック出力端子です。
SDx_CMD (注1)	入出力	SD/MMCコマンド SD/MMCコマンド出力/レスポンス入力信号です。
SDx_DAT0 (注1)	入出力	SD/MMCデータ0 データ[Bit0]信号です。
SDx_DAT1 (注1)	入出力	SD/MMCデータ1 データ[Bit1]/SDIO Interrupt信号です。
SDx_DAT2 (注1)	入出力	SD/MMCデータ2 データ[Bit2]/Read Wait信号です。
SDx_DAT3 (注1)	入出力	SD/MMCデータ3 データ[Bit3]/カード検出信号です。
SD0_DAT4 (注1)	入出力	SD/MMCデータ4 データ[Bit4]信号です。
SD0_DAT5 (注1)	入出力	SD/MMCデータ5 データ[Bit5]信号です。
SD0_DAT6 (注1)	入出力	SD/MMCデータ6 データ[Bit6]信号です。
SD0_DAT7 (注1)	入出力	SD/MMCデータ7 データ[Bit7]信号です。
SDx_CD (注1)	入力	SD/MMCカード検出 (注2) SD/MMCカード検出入力信号です。
SDx_WP (注1)	入力	SD/MMCライトプロテクト (注2) SD/MMCライトプロテクト入力信号です。
SD0_RST#	出力	SD/MMCリセット SD/MMCリセット出力信号です。

注1.　x (= 0, 1) は、SD/MMCホストインタフェースのチャネルNo.を示します。
注2.　未使用時1固定

49.1.3　レジスタ構成

各チャネルのベースアドレスは下記の通りです。SD インタフェースと MMC インタフェースは、コマンドタイプレジスタ（SD_CMD）の設定で切り換えます。

チャネル 0：H'E8228000
チャネル 1：H'E822A000

表49.2　レジスタ構成

レジスタ名	略称	アドレス	アクセスサイズ	ミラー
コマンドタイプレジスタ	SD_CMD	H'0000	16/32/64	
コマンドアーギュメントレジスタ	SD_ARG	H'0010	16/32/64	
	SD_ARG1	H'0018	16/32/64	SD_ARG[31:16]
データストップレジスタ	SD_STOP	H'0020	16/32/64	
ブロックカウントレジスタ	SD_SECCNT	H'0028	16/32/64	
カードレスポンスレジスタ	SD_RSP10	H'0030	16/32/64	
	SD_RSP1	H'0038	16/32/64	SD_RSP10[31:16]
	SD_RSP32	H'0040	16/32/64	SD_RSP10[63:32]
	SD_RSP3	H'0048	16/32/64	SD_RSP32[31:16]
	SD_RSP54	H'0050	16/32/64	
	SD_RSP5	H'0058	16/32/64	SD_RSP54[31:16]
	SD_RSP76	H'0060	16/32/64	SD_RSP54[63:32]
	SD_RSP7	H'0068	16/32/64	SD_RSP76[31:16]
SD 割り込みフラグレジスタ 1	SD_INFO1	H'0070	16/32/64	
SD 割り込みフラグレジスタ 2	SD_INFO2	H'0078	16/32/64	
SD_INFO1 割り込みマスクレジスタ	SD_INFO1_MASK	H'0080	16/32/64	
SD_INFO2 割り込みマスクレジスタ	SD_INFO2_MASK	H'0088	16/32/64	
SD クロックコントロールレジスタ	SD_CLK_CTRL	H'0090	16/32/64	
転送データサイズレジスタ	SD_SIZE	H'0098	16/32/64	
カードアクセスオプションレジスタ	SD_OPTION	H'00A0	16/32/64	
SD エラーステータスレジスタ 1	SD_ERR_STS1	H'00B0	16/32/64	
SD エラーステータスレジスタ 2	SD_ERR_STS2	H'00B8	16/32/64	
SD バッファリード／ライトレジスタ	SD_BUF0	H'00C0	16/32/64	
SDIO モードコントロールレジスタ	SDIO_MODE	H'00D0	16/32/64	
SDIO 割り込みフラグレジスタ	SDIO_INFO1	H'00D8	16/32/64	
SDIO_INFO1 割り込みマスクレジスタ	SDIO_INFO1_MASK	H'00E0	16/32/64	
DMA モードイネーブルレジスタ	CC_EXT_MODE	H'0360	16/32/64	
ソフトリセットレジスタ	SOFT_RST	H'0380	16/32/64	
バージョンレジスタ	VERSION	H'0388	16/32/64	
ホストインタフェースモードセットレジスタ	HOST_MODE	H'0390	16/32/64	
SD インタフェースモードセットレジスタ	SDIF_MODE	H'0398	16/32/64	
SDステータスレジスタ *1	SD_STATUS	H'03C8	16/32/64	
DMACモードレジスタ	DM_CM_DTRAN_MODE	H'0820	16/32/64	
DMACコントロールレジスタ	DM_CM_DTRAN_CTRL	H'0828	16/32/64	
DMAC ソフトリセットレジスタ	DM_CM_RST	H'0830	16/32/64	
DMAC 割り込みレジスタ 1	DM_CM_INFO1	H'0840	16/32/64	
DM_CM_INFO1 割り込みマスクレジスタ	DM_CM_INFO1_MASK	H'0848	16/32/64	
DMAC 割り込みレジスタ 2	DM_CM_INFO2	H'0850	16/32/64	

レジスタ名	略称	アドレス	アクセスサイズ	ミラー
DM_CM_INFO2割り込みマスクレジスタ	DM_CM_INFO2_MASK	H'0858	16/32/64	
DMAC アドレスレジスタ	DM_DTRAN_ADDR	H'0880	16/32/64	
SCC レジスタ領域 *2	–	–	–	–

注1.　チャネル0のみ
注2.　「49.7　レジスタの説明」を参照してください。

49.2　レジスタの説明

49.2.1　コマンドタイプレジスタ（SD_CMD）

コマンドタイプレジスタは、コマンドタイプとレスポンスタイプを設定するレジスタです。コマンドタイプレジスタにライトするとコマンドシーケンスを開始します。コマンドタイプレジスタの設定例を「49.4.14　SD_CMD レジスタ設定例」に示します。

ビット	ビット名	初期値	R/W	説明
63 ～ 16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15 14	MD7 MD6	00	R/W	マルチブロック転送モード（マルチブロック転送時有効） 00: マルチブロック転送時、CMD12 を自動発行します。 01: マルチブロック転送時、CMD12 を自動発行しません。 10: 設定禁止 11: 設定禁止
13	MD5	0	R/W	シングル／マルチブロック転送（データを伴うコマンド時有効） 0：シングルブロック転送 1：マルチブロック転送
12	MD4	0	R/W	ライト／リードモード（データを伴うコマンド時有効） 0：ライト（SD/MMCホストインタフェース → SD カード） 1：リード（SD/MMCホストインタフェース ← SD カード）
11	MD3	0	R/W	データモード（コマンドタイプ） 0：データ転送を伴わないコマンド（bc、bcr、ac） 1：データ転送を伴うコマンド（adtc）
10 9 8	MD2 MD1 MD0	000	R/W	モード／レスポンスタイプ 000：ノーマルモード レスポンスタイプと転送モードは、SD_CMD[7:0]によって選択されます。 SD_CMD[15:11]の設定は無効になります。 001：設定禁止 010：設定禁止 011：拡張モード／レスポンス無し 100：拡張モード／SD カードR1, R5, R6, R7 レスポンス 101：拡張モード／SD カードR1b レスポンス 110：拡張モード／SD カードR2 レスポンス 111：拡張モード／SD カードR3, R4 レスポンス ノーマルモードを使用できないコマンドが一部あります。 「49.4.14　SD_CMD レジスタ設定例」を参照して、モード／レスポンスタイプを設定してください。
7 6	C1 C0	00	R/W	00：CMD 01：ACMD 10：設定禁止 11：設定禁止
5 4 3 2 1 0	CF45 CF44 CF43 CF42 CF41 CF40	000000	R/W	コマンドインデックス Command Format[45:40]（コマンドインデックス）を指定します。 例）CMD6 の場合、SD_CMD[7:0] = 8’b00_000110 CMD18 の場合、SD_CMD[7:0] = 8’b00_010010 ACMD13 の場合、SD_CMD[7:0] = 8’b01_001101

注.　SD_CMD レジスタは、SD_INFO2 レジスタのCBSY ビットが1 のときには書き込めません。

49.2.2　コマンドアーギュメントレジスタ（SD_ARG）

SD カードのコマンド引数は、SD コマンドアーギュメントレジスタ（SD_ARG）に設定されます。SD_CMD に書き込む前にコマンドアーギュメントを設定してください。

なお、コマンドシーケンス内での CMD12 のアーギュメントは、SD_ARG の設定にかかわらず H'0000 0000 です。

- SD_ARG

ビット	ビット名	初期値	R/W	説明
31 ～ 0	CF39 ～ CF8	すべて 0	R/W	Command Format[39:8]（アーギュメント）を設定します。

- SD_ARG1（SD_ARG[31:16] のミラー）

ビット	ビット名	初期値	R/W	説明
31 ～ 16	—	すべて 0	R	0 固定
15 ～ 0	CF39 ～ CF24	すべて 0	R/W	Command Format[39:24]（アーギュメント）を設定します。

49.2.3　データストップレジスタ（SD_STOP）

データストップレジスタ（SD_STOP）は、マルチブロック転送でのブロックカウントを有効または無効にし、コマンドシーケンス内でのCMD12の発行を制御するために使用されます。

ビット	ビット名	初期値	R/W	説明
63～19	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
18	—	0 *1	R/W	リザーブビットです。書き込む値は0にしてください。
17	HPIMODE	0 *1	R/W	HPIモードイネーブル 0：HPIモードを無効にします。 1：HPIモードを有効にします。
16	HPICMD	0 *1	R/W *3	HPIコマンド発行 HPIMODEが1のときにこのビットを1にセットすると、HPIコマンド（CMD12）が発行されます。 HPIコマンドのレスポンスの受信が完了するとこのビットは0にクリアされます。 このビットを1にセットするのは以下のタイミングにしてください。 • CMD6/CMD38またはCMD25シーケンス中のSTP = 1によるCMD12のレスポンスの受信が完了したあと • CMD24/CMD25のレスポンスの受信が完了したあと このビットを1にセットした後、SD_INFO2のCBSYが1の期間中に0をライトしないでください。またSD_INFO2のCBSYが0の時にはこのビットを1にセットしないでください。
15～9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
8	SEC	0 *1	R/W	ブロックカウントイネーブル*2 0：SD_SECCNTレジスタ設定値を無効にします。 1：SD_SECCNTレジスタ設定値を有効にします。 マルチブロック転送の時SECを1に設定してください。 SECを1に設定し、かつSD_CMDレジスタを下記の通り設定してコマンドシーケンスを開始した場合、SD_SECCNTレジスタに設定したブロック数で、マルチブロック転送を停止するため、CMD12を自動発行します。 1. ノーマルモード（SD_CMD[10:8] = 000）でCMD18またはCMD25 2. 拡張モードでSD_CMD[15:13] = 001（CMD12自動発行、マルチブロック転送） なお、通信エラーまたはタイムアウトによりコマンドシーケンスが中断された場合CMD12を自動発行しません。
7～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
0	STP	0 *1	R/W	ストップ • マルチブロック転送中にSTPを1に設定すると、CMD12を発行しSD/MMCホストインタフェースの転送を中断します。 なお、通信エラーまたはタイムアウトによりコマンドシーケンスが中断されている場合CMD12を発行しません。 また、STPを1に設定した後もバッファアクセスは継続実行可能ですが、バッファアクセスエラーのSD_INFO2レジスタERR5またはERR4ビットがセットされます。 • シングルブロックライト転送中にSTPを1に設定したときに、SD_BUFにデータがない場合、CMD12を発行せずにアクセスエンドフラグがセットされます。SD_BUFにデータがある場合、CMD12を発行せずにbusy受信完了後、アクセスエンドフラグがセットされます。 • シングルブロックリード転送中にSTPを1に設定したとき、CMD12を発行せずにすぐにアクセスエンドフラグがセットされます。 • R1bレスポンス後のbusy受信中にSTPを1に設定した場合、CMD12を発行せずにbusy受信完了後、アクセスエンドフラグがセットされます。 • コマンドシーケンスが終了している時にSTPを1に設定した場合、CMD12を発行せずアクセスエンドフラグもセットされません。 • STPに1を設定する場合は、レスポンスエンドフラグセット以降にしてください。 • STPに0を設定する場合は、アクセスエンドフラグセット以降にしてください。

注1. リセット時の他に SOFT_RST レジスタの SDRST ビットが 0 の時も本初期値が設定されます。
注2. SD_INFO2 レジスタの CBSY ビットが 1 の時、本ビットの値を変更しないでください。
注3. 1 書き込みのみ有効です。

49.2.4　ブロックカウントレジスタ（SD_SECCNT）

ブロックカウントレジスタは、マルチブロック転送時の転送ブロック数を設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
63～32	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
31～0	CNT31～CNT0	すべて 0	R/W	転送ブロック数* H'0000_0001 を設定した場合、転送ブロック数 = 1 ｜ H'0000_FFFF を設定した場合、転送ブロック数 = 65535 ｜ H'FFFF_FFFF を設定した場合、転送ブロック数 = 4294967295 H'0000_0000 を設定してマルチブロック転送をしないでください。

注.　SD_INFO2 レジスタの CBSY ビットが 1 のとき、本ビットの値を変更しないでください。

49.2.5 カードレスポンスレジスタ（SD_RSP）

カードレスポンスレジスタは、SD カードからのレスポンスを格納します。

- SD_RSP10

ビット	ビット名	初期値	R/W	説明
63～0	R71～R8	すべて0	R	SDカードからのレスポンスを格納します。

- SD_RSP1（SD_RSP10[31:16] のミラー）

ビット	ビット名	初期値	R/W	説明
63～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15～0	R39～R24	すべて0	R	SDカードからのレスポンスを格納します。

- SD_RSP32（SD_RSP10[63:32] のミラー）

ビット	ビット名	初期値	R/W	説明
63～32	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
31～0	R71～R40	すべて0	R	SDカードからのレスポンスを格納します。

- SD_RSP3（SD_RSP32[31:16] のミラー）

ビット	ビット名	初期値	R/W	説明
63～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15～0	R71～R56	すべて0	R	SDカードからのレスポンスを格納します。

- SD_RSP54

ビット	ビット名	初期値	R/W	説明
63～56	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
55～0	R127～R72	すべて0	R	SDカードからのレスポンスを格納します。

- SD_RSP5（SD_RSP54[31:16] のミラー）

ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15～0	R103～R88	すべて0	R	SDカードからのレスポンスを格納します。

- SD_RSP76（SD_RSP54[63:32] のミラー）

ビット	ビット名	初期値	R/W	説明
63～24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
23～0	R127～R104	すべて0	R	SDカードからのレスポンスを格納します。

- SD_RSP7（SD_RSP76[31:16] のミラー）

ビット	ビット名	初期値	R/W	説明
63～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
7～0	R127～R120	すべて0	R	SDカードからのレスポンスを格納します。

表 49.3 に各レスポンスタイプと SD_RSP レジスタの対応を示します。

表49.3　　レスポンスタイプと SD_RSP レジスタの対応

レスポンスタイプ	SD_RSP レジスタ
R1, R1b[39:8]	SD_RSP10 SD_RSP54 *
R2[127:8]	SD_RSP54 & SD_RSP10
R3[39:8]	SD_RSP10
R4[39:8]	SD_RSP10
R5[39:8]	SD_RSP10
R6[39:8]	SD_RSP10
R7[39:8]	SD_RSP10

注.　* CMD18/CMD25 のレスポンスは R[39:8] と R[103:72] の両方に格納します。これにより自動 CMD12 のレスポンスを R[39:8] に格納しても、CMD18/CMD25 のレスポンスを R[103:72] にて確認することが可能です。

49.2.6　SD 割り込みフラグレジスタ 1（SD_INFO1）

SD 割り込みフラグレジスタ 1 は、コマンドシーケンスにおけるレスポンスエンドおよびアクセスエンドを表示します。また、カード検出／ライトプロテクトの状態を表示します。

マルチブロック転送中の CMD12 および CMD52（SDIO abort）では、INFO0 がセットされず INFO2 のみセットされます。

通信エラーまたはタイムアウトによりコマンドシーケンスが中断されたときも、INFO2 または INFO0 がセットされます。

INFO10、INFO9、INFO8 は、リセット解除後 SDDAT3 の状態により変化し、4-bit モードでのデータ転送中も変化します。

フラグをクリアする場合、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
63～17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
16	HPIRES	0 *2	R/W *1	レスポンス受信完了 [セット条件] HPI モード時に CMD6/CMD38 または CMD25 シーケンス中の STP = 1 による CMD12 レスポンスの受信が完了したとき [クリア条件] 0 を書き込んだとき
15～11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
10	INFO10	不定	R	SDDAT3 の状態を表示します。 1: SDDAT3 が 1 です。 0: SDDAT3 が 0 です。
9	INFO9	0	R/W *1	SDDAT3 Card Insertion [セット条件] SDDAT3 が 0 から 1 に変化し、2 Bφ 期間 1 状態が続いたとき [クリア条件] 0 を書き込んだとき
8	INFO8	0	R/W *1	SDDAT3 Card Removal [セット条件] SDDAT3 が 1 から 0 に変化し、2 Bφ 期間 0 状態が続いたとき [クリア条件] 0 を書き込んだとき
7	INFO7	不定	R	ライトプロテクト ISDWP の状態を表示します。 1: ISDWP が 0 です。 0: ISDWP が 1 です。
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 このビットに 0 以外の値を書き込んだ場合の動作は保証されません。
5	INFO5	不定	R	ISDCD の状態を表示します。 1: ISDCD が Mcycle 期間 0 状態が続いたとき 0: ISDCD が Mcycle 期間 1 状態が続いたとき Mcycle は SD_OPTION レジスタの bit3～bit0 で設定します。
4	INFO4	0	R/W *1	ISDCD Card Insertion [セット条件] ISDCD が 1 から 0 に変化して、Mcycle 期間 0 状態が続いたとき [クリア条件] 0 を書き込んだとき Mcycle は SD_OPTION レジスタの bit3～bit0 で設定します。

ビット	ビット名	初期値	R/W	説明
3	INFO3	0	R/W *1	ISDCD Card Removal [セット条件] ISDCDが0から1に変化して、Mcycle期間1状態が続いたとき [クリア条件] 0を書き込んだとき McycleはSD_OPTIONレジスタのbit3～bit0で設定します。
2	INFO2	0 *2	R/W *1	アクセスエンド [セット条件] 1. シングルブロックリード転送でバッファリードアクセスが完了したとき 2. マルチブロックリード転送でラストブロックのバッファリードアクセスが完了したとき 3. CMD12 自動発行のマルチブロックリード転送でバッファリードアクセスが完了し、CMD12 レスポンス受信が完了したとき 4. シングルブロックライト転送でCRC status 後busy 受信が完了したとき 5. マルチブロックライト転送でラストブロックのCRC status 後busy 受信が完了したとき 6. CMD12 自動発行のマルチブロックライト転送でCMD12 のレスポンスビジー（busy）受信が完了したとき 7. マルチブロックリード転送でSTP = 1 設定によるCMD12 のレスポンス受信が完了したとき 8. マルチブロックライト転送でSTP = 1 設定によるCMD12 のレスポンスビジー（busy）受信が完了したとき 9. マルチブロックリード転送でIOABT = 1 設定によるCMD52 のレスポンス受信が完了したとき 10. マルチブロックライト転送でIOABT = 1 設定によるCMD52 のレスポンス受信が完了したとき 通信エラーまたはタイムアウトによりコマンドシーケンスが中断したときもセットされます。 [クリア条件] 0を書き込んだとき アクセスエンドが1にセットされるとコマンドシーケンスが終了します。
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
0	INFO0	0 *2	R/W *1	レスポンスエンド [セット条件] 1. レスポンスの受信を完了したとき 2. レスポンスを要しないコマンドの送信が完了したとき 3. R1b レスポンス後busy 受信を完了したとき 4. マルチブロックリード転送でC52PUB = 1 設定によるCMD52 のレスポンス受信が完了したとき 5. マルチブロックライト転送でC52PUB = 1 設定によるCMD52 のレスポンス受信が完了したとき 通信エラーまたはタイムアウトによりコマンドシーケンスが中断したときもセットされます。 [クリア条件] 0を書き込んだとき データ無しのコマンドを発行する場合には、レスポンスエンドが1にセットされるとコマンドシーケンスが終了します。

注1.　0 書き込みのみ有効です。
注2.　リセット時の他にSOFT_RST レジスタのSDRST ビットによるリセット時も本初期値が設定されます。

49.2.7　SD カード割り込みフラグレジスタ 2（SD_INFO2）

SD カード割り込みフラグレジスタ 2 は、SD バッファ（SD_BUF）および SD カードアクセスのステータスを表示します。フラグをクリアする場合、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
63～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15	ILA	0 *2	R/W *1	イリーガルアクセスエラー [セット条件] 1. コマンドシーケンス中（CBSY = 1）の時に、SD_CMD レジスタにライトしたとき 2. SD_CMD レジスタに SD_CMD[11] = 1'b1（データ転送を伴うコマンド）、かつ SD_CMD[7:0] = 8'b00_001100（CMD12）を設定したとき [クリア条件] 0 を書き込んだとき
14	CBSY	0 *2	R	コマンドタイプレジスタビジー 1: コマンドシーケンス実行中 0: コマンドシーケンス終了
13	SCLKDIVEN	1 *2	R	1: SD バス（CMD, DAT）がビジーではありません 0: SD バス（CMD, DAT）がビジーです。SD_CLK_CTRL レジスタにライトしないでください。 SD_CMD レジスタライトによるコマンドシーケンス開始にて、CBSY ビットが 1 にセットされると同時に SCLKDIVEN ビットが 0 にセットされます。コマンドシーケンス終了により CBSY ビットが 0 になった後、8 SDCLK 経過すると SCLKDIVEN ビットが 1 になります。
12	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
11	—	0	R/W	リザーブビットです。 書き込む値は 1 にしてください。
10	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
9	BWE	0 *2	R/W *1	SD_BUF ライトイネーブル 1: SD_BUF0 にデータを書き込むことができます。 0: SD_BUF0 にデータを書き込むことができません。 [セット条件] 1. シングルブロック転送時、SD_BUF がエンプティのとき 2. マルチブロック転送時、SD_BUF のバンク 1 またはバンク 2 がエンプティのとき [クリア条件] 1. 0 を書き込んだとき 2. DMA 転送にて SD_BUF にデータを 1 ブロック分書き込んだとき CPU にて SD_BUF0 にデータを書きこむ場合、BWE をクリアしてから、SD_SIZE レジスタ設定値分 *3 のデータを書き込むようにしてください。
8	BRE	0 *2	R/W *1	SD_BUF リードイネーブル 1: SD_BUF0 からデータを読み出すことができます。 0: SD_BUF0 からデータを読み出すことができません。 [セット条件] 1. シングルブロック転送時、SD_SIZE レジスタに設定したデータが SD_BUF に格納されたとき 2. マルチブロック転送時、SD_SIZE レジスタに設定したデータが SD_BUF のバンク 1 またはバンク 2 に格納されたとき [クリア条件] 1. 0 を書き込んだとき 2. DMA 転送にて SD_BUF からデータを 1 ブロック分読み出したとき CPU にて SD_BUF0 からデータを読み出す場合、BRE をクリアしてから、SD_SIZE レジスタ設定値分 *3 のデータを読み出すようにしてください。 リードブロック中に CRC エラーまたは END エラーがあった場合も SD_BUF にデータが格納され BRE がセットされます。

ビット	ビット名	初期値	R/W	説明
7	DAT0	不定	R	SDDAT0 SDDAT0の状態を表示します。 1: SDDAT0が1です。 0: SDDAT0が0です。 Eraseコマンドを発行した後、データタイムアウト（ERR3）がセットされレスポンスタイムアウト （ERR6）がセットされない場合、DAT0をポーリングすることによりEraseシーケンスの終了（DAT0 = 1）を確認することができます。 ライトシーケンス中に通信エラーまたはタイムアウトが発生すると、DAT0が0の状態のままの場合があります。 SDクロック（SDCLK）が停止しているときは停止前の値を保持します。
6	ERR6	0 *2	R/W *1	レスポンスタイムアウト [セット条件] 640 SDCLK以上経過してもレスポンスを受信しないとき（コマンドシーケンス中発行コマンド*5のレスポンスを含みます） [クリア条件] 0を書き込んだとき レスポンスタイムアウトが起こるとコマンドシーケンスが中断されます。*4
5	ERR5	0 *2	R/W *1	SD_BUFイリーガルリードアクセス [セット条件] 1. SD_BUFがエンプティの時にSD_BUF0をリードした場合 2. CRCエラーまたはENDエラーを含むリードデータをSD_BUF0からリードしたとき [クリア条件] 0を書き込んだとき
4	ERR4	0 *2	R/W *1	SD_BUFイリーガルライトアクセス [セット条件] 1. データリード/ライトコマンドステートでないときにSD_BUF0にライトしたとき 2. SD_BUFがフルのときSD_BUF0にライトしたとき 3. CRC StatusまたはCRC Status長がエラーのときに、SD_BUF0にライトしたとき 4. CRC Statusの後、Ncycle以上busy状態のときに、SD_BUF0にライトしたとき [クリア条件] 0を書き込んだとき NcycleはSD_OPTIONレジスタのbit7～bit4で設定します。
3	ERR3	0 *2	R/W *1	データタイムアウト（レスポンスタイムアウトを除く） [セット条件] 1. R1bレスポンスの後、Ncycle以上busy状態（SDDAT0 = 0）のとき 2. CRC Statusの後、Ncycle以上busy状態（SDDAT0 = 0）のとき 3. ライトデータの後、Ncycle以上経過してもCRC Statusを受信しないとき 4. リードコマンドの後、Ncycle以上経過してもリードデータを受信しないとき 5. コマンドシーケンス中CMD12発行の後、Ncycle以上busy状態（SDDAT0 = 0）のとき 6. リードデータ受信の後、Ncycle以上経過しても次ブロックリードデータを受信しないとき 7. Read Wait解除の後、Ncycle以上経過しても次ブロックリードデータを受信しないとき [クリア条件] 0を書き込んだとき NcycleはSD_OPTIONレジスタのbit7～bit4で設定します。 データタイムアウトが起こるとコマンドシーケンスが中断されます。
2	ERR2	0 *2	R/W *1	ENDエラー [セット条件] 1. レスポンス長がエラーのとき（エンドビットが検出できなかったとき） 2. リードデータ長がエラーのとき（有効ビットのエンドビットが検出できなかったとき） 3. CRCステータス長がエラーのとき（エンドビットが検出できなかったとき） 4. コマンドシーケンス内で発行コマンド*5のレスポンス長がエラーのとき（エンドビットが検出できなかったとき） [クリア条件] 0を書き込んだとき ENDエラーが起こるとコマンドシーケンスが中断されます。*4

ビット	ビット名	初期値	R/W	説明
1	ERR1	0 *2	R/W *1	CRC エラー [セット条件] 1. CRC ステータスがエラーのとき（受信した CRC ステータスが '010' でなかったとき） 2. リードデータに CRC エラーがあるとき 3. レスポンスに CRC エラーがあるとき 4. コマンドシーケンス内で発行コマンド*5 のレスポンスに CRC エラーがあるとき [クリア条件] 0 を書き込んだとき CRC エラーが起こるとコマンドシーケンスが中断されます。*4
0	ERR0	0 *2	R/W *1	CMD エラー [セット条件] 1. 送信したコマンドの command index と受信したレスポンスの command index が異なるとき 2. コマンドシーケンス内で発行コマンド*5 の command index と受信したレスポンスの command index が異なるとき [クリア条件] 0 を書き込んだとき CMD エラーが起こるとコマンドシーケンスが中断されます。*4

注1.　0 書き込みのみ有効です。
注2.　リセット時の他に SOFT_RST レジスタの SDRST ビットが 0 の時も本初期値が設定されます。
注3.　HOST_MODE レジスタの WMODE ビットが 0 のとき、SD_SIZE レジスタへの奇数バイト設定による端数 1 バイトは余分なデータとみなされます。HOST_MODE レジスタの WMODE ビットが 1 のとき、SD_SIZE レジスタへの奇数バイト設定による端数 1 または 3 バイト、また SD_SIZE レジスタへの 4 バイト単位でない偶数バイト設定による端数 2 バイトは余分なデータとみなされます。
注4.　SDIO_MODE レジスタの C52PUB ビットを 1 設定した後、発行された CMD52 に対して通信エラーまたはレスポンスタイムアウトが発生した場合、コマンドシーケンスは終了しませんので、使用例のエラー処理（図 49.18「49.4.8 IO_RW_EXTENDED（CMD53／マルチブロックリード）」または 図 49.17「49.4.9　IO_RW_EXTENDED（CMD53／マルチブロックライト）」参照）を行い、コマンドシーケンスを終了してください。
注5.　SD_CMD レジスタのマルチブロック転送時に CMD12 自動発行許可、または SD_STOP レジスタの STP ビットを 1 に設定した時の CMD12。または、SDIO_MODE レジスタの C52PUB ビット、または IOABT ビットを 1 に設定した時の CMD52。

49.2.8 SD_INFO1 割り込みマスクレジスタ（SD_INFO1_MASK）

SD_INFO1 レジスタ割り込みの禁止／許可を設定します。0 に設定されているとき、SD_INFO1 レジスタのフラグがセットされると割り込みが発生します。

ビット	ビット名	初期値	R/W	説明
63～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
16	IMASK16	1	R/W	HPIRES割り込みマスク
15～10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
9	IMASK9	1	R/W	INFO9割り込みマスク
8	IMASK8	1	R/W	INFO8割り込みマスク
7～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
4	IMASK4	1	R/W	INFO4割り込みマスク
3	IMASK3	1	R/W	INFO3割り込みマスク
2	IMASK2	1	R/W	INFO2割り込みマスク
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
0	IMASK0	1	R/W	INFO0割り込みマスク

49.2.9　SD_INFO2 割り込みマスクレジスタ（SD_INFO2_MASK）

SD_INFO2 レジスタ割り込みの禁止／許可を設定します。0 に設定されているとき、SD_INFO2 レジスタのフラグがセットされると割り込みが発生します。

ビット	ビット名	初期値	R/W	説明
63～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15	IMASK	1	R/W	ILA割り込みマスク
14～12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
11	—	1	R/W	リザーブビットです。書き込む値は常に1にしてください。
10	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
9	BMASK1	1	R/W	BWE割り込みマスク
8	BMASK0	1	R/W	BRE割り込みマスク
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
6	EMASK6	1	R/W	ERR6割り込みマスク
5	EMASK5	1	R/W	ERR5割り込みマスク
4	EMASK4	1	R/W	ERR4割り込みマスク
3	EMASK3	1	R/W	ERR3割り込みマスク
2	EMASK2	1	R/W	ERR2割り込みマスク
1	EMASK1	1	R/W	ERR1割り込みマスク
0	EMASK0	1	R/W	ERR0割り込みマスク

49.2.10　SD クロックコントロールレジスタ（SD_CLK_CTRL）

SD クロックコントロールレジスタは、SD クロック（SDCLK）の出力制御および周波数を設定します。SD_CMD レジスタにライトし、コマンドを発行する前に SCLKEN を 1 に設定してください。

SD_INFO2 レジスタの SCLKDIVEN ビットが 0 の時、SD_CLK_CTRL レジスタにライトしないでください。

ビット	ビット名	初期値	R/W	説明
63～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
16	—	0	R/W	リザーブビットです。書き込む値は0 にしてください。
15～11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
10	—	0 *1	R/W	リザーブビットです。書き込む値は0 にしてください。
9	SDCLKOFFEN	0	R/W	SDクロック（SDCLK）出力自動制御イネーブル 0：SDクロック（SDCLK）出力の自動制御を禁止します。 1：SDクロック（SDCLK）出力の自動制御を許可します。 SDクロック（SDCLK）出力自動制御は、コマンドシーケンス中のみSDCLKを出力する機能です。 SDCLK 出力開始と出力停止のタイミングは以下の仕様となります。 SDCLK 出力開始：SD_CMD レジスタにライトした後 SDCLK 出力停止：コマンドシーケンス終了の8 SDCLK経過した後 なお、SD_CLK_CTRL レジスタのSCLKENビットが0 の時には、 SDCLKOFFENビットの値に関わらず、SDCLK信号を0に固定します。
8	SCLKEN	0 *1	R/W *2	SDクロック（SDCLK）出力制御イネーブル 0：SDクロック（SDCLK）の出力を禁止します。SDCLK信号を0に固定します。 1：SDクロック（SDCLK）の出力を許可します。
7	DIV7	0	R/W *2	SDクロック（SDCLK） B'1000 0000: Bφ/512 B'0100 0000: Bφ/256 B'0010 0000: Bφ/128 B'0001 0000: Bφ/64 B'0000 1000: Bφ/32 B'0000 0100: Bφ/16 B'0000 0010: Bφ/8 B'0000 0001: Bφ/4 B'0000 0000: Bφ/2 B'1111 1111: Bφ 上記以外の設定は行わないでください。 また、DDRモード（SDIF_MODE レジスタのDDRビット = 1）でデータ転送する場合はDIV[7:0] = 11111111に設定しないでください。
6	DIV6	0	R/W *2	
5	DIV5	1	R/W *2	
4	DIV4	0	R/W *2	
3	DIV3	0	R/W *2	
2	DIV2	0	R/W *2	
1	DIV1	0	R/W *2	
0	DIV0	0	R/W *2	

注1.　リセット時の他にSOFT_RST レジスタのSDRST ビットが0 の時も本初期値が設定されます。
注2.　SD_INFO2のCBSYビットが1のとき、SD_CLK_CTRLへの書き込みはできません。

SD クロック（SDCLK）= Bφ（DIV[7:0] = 11111111）使用時の注意事項

DIV[7:0] = 11111111 に変更する場合、または、DIV[7:0] = 11111111 から他の設定に変更する場合、次の処理を行った後に SD_CMD レジスタにライトしてください。

(1) レジスタライトにて SCLKEN = 0 をライトしてください（このとき、SD_CLK_CTRL レジスタの SCLKEN 以外のビットを変更しないでください）。
(2) レジスタライトにて DIV[7:0] をライトしてください（このとき、SD_CLK_CTRL レジスタの DIV[7:0] 以外のビットを変更しないでください。（SCLKEN は 0 のまま））。
(3) レジスタライトにて SCLKEN = 1 をライトしてください（このとき、SD_CLK_CTRL レジスタの SCLKEN 以外のビットを変更しないでください）。

なお、SOFT_RST レジスタの SDRST ビットを 0 にした後に 1 にしてから、DIV[7:0] = 11111111 に変更する場合も、上記処理を行ってから SD_CMD レジスタにライトしてください。

49.2.11　転送データサイズレジスタ（SD_SIZE）

転送データサイズレジスタは、転送データサイズを設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
63～12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
11、10	—	すべて0	R	リザーブビットです。
9～0	LEN9～LEN0	1000000000	R/W	転送データサイズ *1 シングルブロック転送時には、1バイト～512バイトの範囲を設定できます。 CMD12を自動発行するマルチブロック転送時（CMD18とCMD25）には、512バイトのみ設定できます。 CMD12を自動発行しないマルチブロック転送時には、512バイトの他、32、64、128、256 バイト設定が可能です。 但し、32、64、128、256 バイトのマルチブロックリード転送は、CMD53マルチブロック転送に限ります。 なお、データ転送を伴うコマンドの時、0設定しないでください。 また512バイトを超える値を設定しないでください。

注.　*SD_INFO2レジスタのCBSYビットが1の時、本ビットの値を変更しないでください。

49.2.12　カードアクセスオプションレジスタ（SD_OPTION）

カードアクセスオプションレジスタは、Bus width およびタイムアウトカウンタを設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
63～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15	WIDTH	0 *1	R/W	Bus width *2 {WIDTH, WIDTH8} = 01: 8 bits width {WIDTH, WIDTH8} = 00: 4 bits width {WIDTH, WIDTH8} = 10, 11: 1 bit width DDRモード（SDIF_MODEレジスタのDDRビット = 1）にてデータ転送する場合、本ビットを1に設定しないでください。 1バイトのブロックライトを行う場合、8 bits widthに設定できません。 1バイトのブロックライトを行う場合には、4 bits width、または、1 bit widthに変更してから行ってください。
14	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 これらのビットに1以外の値を書き込んだ場合の動作は保証されません。
13	WIDTH8	0 *1	R/W	Bus width *2 WIDTHビット参照。
12～10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
9	EXTOP	0 *1	R/W	タイムアウトモード選択 0:TOP27～24 の設定はSDCLK*2^{13}～SDCLK*2^{27} のタイムアウトカウントを指定します。 1:TOP27～24 の設定はSDCLK*2^{14}～SDCLK*2^{28} のタイムアウトカウントを指定します。
8	TOUTMASK	0 *1	R/W	タイムアウトマスク 0:タイムアウト有効 1:タイムアウト無効（SD_INFO2:ERR6, ERR3およびSD_ERR_STS2:E6～E0はセットされない） タイムアウト無効設定時にタイムアウトが発生した場合、コマンドシーケンスを終了させるためにソフトリセットをしてください。
7	TOP27	1 *1	R/W	タイムアウトカウンタ *2 0000: SDCLK*2^{13} 0001: SDCLK*2^{14} ：　： 1101: SDCLK*2^{26} 1110: SDCLK*2^{27} 1111: 設定禁止
6	TOP26	1 *1	R/W	
5	TOP25	1 *1	R/W	
4	TOP24	0 *1	R/W	
3	CTOP24	1 *1	R/W	カード検出タイムカウンタ 0000: SDCLK*2^{10} 0001: SDCLK*2^{11} ：　： 1101: SDCLK*2^{23} 1110: SDCLK*2^{24} 1111: 設定禁止
2	CTOP23	1 *1	R/W	
1	CTOP22	1 *1	R/W	
0	CTOP21	0 *1	R/W	

注1.　リセット時の他にSOFT_RSTレジスタのSDRSTビットが0の時も本初期値が設定されます。
注2.　SD_INFO2レジスタのCBSYビットが1の時、本ビットの値を変更しないでください。

49.2.13　SD エラーステータスレジスタ 1（SD_ERR_STS1）

SD エラーステータスレジスタ 1 は、CRC Status、CRC エラー、END エラーおよび CMD エラーを表示します。

ビット	ビット名	初期値	R/W	説明
63～32	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
31～15	—	不定	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
14	E14	0 *1	R	CRC Status を格納します。（normal:010）
13	E13	1 *1		
12	E12	0 *1		
11	E11	0 *1	R	CRC Status がエラーのとき 1 になります。
10	E10	0 *1	R	リードデータに CRC エラーがあるとき 1 になります。
9	E9	0 *1	R	コマンドシーケンス中発行コマンド*2 のレスポンスに CRC エラーがあるとき 1 になります。 SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E8 に表示します。
8	E8	0 *1	R	レスポンス（コマンドシーケンス中発行コマンド*2 のレスポンス以外）に CRC エラーがあるとき 1 になります。
7、6	—	00	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
5	E5	0 *1	R	CRC Status 長がエラーのとき 1 になります。（エンドビットが検出できなかったとき）
4	E4	0 *1	R	リードデータ長がエラーのとき 1 になります。（有効ビットのエンドビットが検出できなかったとき）
3	E3	0 *1	R	コマンドシーケンス中発行コマンド*2 のレスポンス長がエラーのとき 1 になります。 SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E2 に表示します。
2	E2	0 *1	R	レスポンス（コマンドシーケンス中発行コマンド*2 のレスポンス以外）長がエラーのとき 1 になります。
1	E1	0 *1	R	コマンドシーケンス中発行コマンド*2 のレスポンスの command index がエラーのとき 1 になります。 SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E0 に表示します。
0	E0	0 *1	R	レスポンス（コマンドシーケンス中発行コマンド*2 のレスポンス以外）の command index がエラーのとき 1 になります。

注 1.　リセット時の他に SOFT_RST レジスタの SDRST ビットが 0 の時も本初期値が設定されます。
注 2.　SD_CMD レジスタのマルチブロック転送時に CMD12 自動発行許可、または SD_STOP レジスタの STP ビットを 1 に設定した時の CMD12。または、SDIO_MODE レジスタの C52PUB ビット、または IOABT ビットを 1 に設定した時の CMD52。

49.2.14　SD エラーステータスレジスタ 2（SD_ERR_STS2）

SD エラーステータスレジスタ 2 は、タイムアウトの状態を表示します。Ncycle は SD_OPTION レジスタの bit7 ～ bit4 で設定します。

ビット	ビット名	初期値	R/W	説明
63～7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
6	E6	0 *1	R	CRC Status の後、Ncycle 以上 busy 状態のとき 1 になります。
5	E5	0 *1	R	ライトデータの後、Ncycle 以上経過しても CRC Status を受信していないとき 1 になります。
4	E4	0 *1	R	リードコマンドの後、Ncycle 以上経過してもリードデータを受信しないとき 1 になります。 リードデータ受信の後、Ncycle 以上経過しても次ブロックリードデータを受信しないとき 1 になります。 Read Wait 解除の後、Ncycle 以上経過しても次ブロックリードデータを受信しないとき 1 になります。
3	E3	0 *1	R	コマンドシーケンス中 CMD12 発行の後、Ncycle 以上 busy 状態のとき 1 になります。 SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E2 に表示します。
2	E2	0 *1	R	R1b レスポンスの後、Ncycle 以上 busy 状態のとき 1 になります。
1	E1	0 *1	R	640 SDCLK 以上経過してもコマンドシーケンス中発行コマンド*2 のレスポンスを受信しないとき 1 になります。 SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E0 に表示します。
0	E0	0 *1	R	640 SDCLK 以上経過してもレスポンス（コマンドシーケンス中発行コマンド*2 のレスポンス以外）を受信しないとき 1 になります。

注 1.　リセット時の他に SOFT_RST レジスタの SDRST ビットが 0 の時も本初期値が設定されます。
注 2.　SD_CMD レジスタのマルチブロック転送時に CMD12 自動発行許可、または SD_STOP レジスタの STP ビットを 1 に設定した時の CMD12。または、SDIO_MODE レジスタの C52PUB ビット、または IOABT ビットを 1 に設定した時の CMD52。

49.2.15　SD バッファリード／ライトレジスタ（SD_BUF0）

ビット	ビット名	初期値	R/W	説明
63～0	BUF63 ～ BUF0	不定	R/W	SD カードへライトする時、ライトするデータを書き込みます。 SD カードからリードする時、リードしたデータを読み出します。 512 バイト×2 のバッファ（SD_BUF）と内部で接続されています。 マルチブロックリード時に両方のバッファが空でない場合には、SD クロックを停止して受信を一時停止します。 そして、どちらかのバッファが空になったとき、SD クロックの供給を開始して受信を再開します。

注.　DMAC を使用する場合は、バス幅 64 ビット固定で使用してください。

49.2.16　SDIO モードコントロールレジスタ（SDIO_MODE）

SDIO モードコントロールレジスタは、SDIO Interrupt の受け付け制御およびマルチブロック転送時の CMD52 発行制御、リードウエイト制御を行うレジスタです。C52PUB と IOABT は一緒に 1 に設定しないでください。

ビット	ビット名	初期値	R/W	説明
63～10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
9	C52PUB	0	R/W	SDIO None Abort • CMD53（マルチブロック）ライトシーケンス中にC52PUBを1に設定した場合、SD_BUFが完全にエンプティ状態となり、かつ、ブロック間に、CMD52を自動で発行します。 C52PUB は、CMD52 レスポンス受信完了後に自動クリアされます。 なお、ラストブロック転送中にC52PUBが1の場合、CMD52が発行されず、アクセスエンドフラグが1にセットした後、C52PUBが0に自動クリアされます。 • CMD53（マルチブロック）リードシーケンス中にC52PUBとRWREQを1に設定した場合、ブロック間に、Read Waitの状態になり、CMD52を自動で発行します。 C52PUBは、CMD52 レスポンス受信完了後に自動クリアされます。 なお、ラストブロック転送中にC52PUBを1に設定した場合、CMD52が発行されず、アクセスエンドフラグが1にセットした後、C52PUBが0に自動クリアされます。 • CMD53（マルチブロック）リードシーケンス中にC52PUBを1に設定する場合は、RWREQも必ず 1 に設定してください。 • C52PUBを1に設定する前にSD_ARG レジスタを設定してください。 • C52PUBに1を設定する場合は、レスポンスエンドフラグセット以降にしてください。
8	IOABT	0	R/W	SDIO abort • CMD53（マルチブロック）シーケンス中にIOABTを1に設定すると、CMD53シーケンスを中断し、CMD52が発行されます。 なお、通信エラーまたはタイムアウトによりコマンドシーケンスが中断されている場合CMD52を発行しません。 また、IOABTを1に設定した後もバッファアクセスは継続実行可能ですが、バッファアクセスエラーのSD_INFO2 レジスタ ERR5 またはERR4 ビットがセットされます。 IOABTを1に設定する前にSD_ARG レジスタを設定してください。 • シングルブロックライト転送中にIOABT を 1 に設定したときに、SD_BUFにデータがない場合、CMD52を発行せずにアクセスエンドフラグがセットされます。 SD_BUFにデータがある場合、CMD52を発行せずにbusy受信完了後、アクセスエンドフラグがセットされます。 • シングルブロックリード転送中にIOABTを1に設定したとき、CMD52を発行せずにすぐにアクセスエンドフラグがセットされます。 • R1b レスポンス後のbusy受信中にIOABTを1に設定した場合、CMD52を発行せずにbusy受信完了後、アクセスエンドフラグがセットされます。 • コマンドシーケンスが終了している時にIOABTを1に設定した場合、CMD52を発行せずアクセスエンドフラグもセットされません。 • IOABTに1を設定する場合は、レスポンスエンドフラグセット以降にしてください。 • IOABTに0を設定する場合は、アクセスエンドフラグセット以降にしてください。
7～3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
2	RWREQ	0	R/W	Read Waitリクエスト CMD53（マルチブロック）リードシーケンス中にRWREQを1に設定した場合、ブロック転送はブロック間でRead Wait状態になります。 ＜Read Wait状態の解除＞ （1）Read Wait状態でRWREQを0にクリアするとRead Wait状態が解除されます。 （2）Read Wait状態でIOABTを1に設定すると、CMD52発行後、RWREQが0に自動でクリアされRead Wait状態が解除されます。 （3）CMD53（マルチブロック）によるリードシーケンス中に、C52PUBと同時にRWREQを1に設定した場合、Read Wait状態は自動で解除されませんので、CMD52のレスポンスを受信した後、RWREQ をクリアしてください。 （RWREQはC52PUBと必ず同時に1に設定してください） CMD53（マルチブロック）リードシーケンスにおいてラストブロックを転送中にRWREQを1に設定した場合、Read Wait状態にならず、アクセスエンドセットにてRWREQが0に自動クリアされます。 RWREQに1を設定する場合は、レスポンスエンドフラグセット以降にしてください。

ビット	ビット名	初期値	R/W	説明
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 このビットに0以外の値を書き込んだ場合の動作は保証されません。
0	IOMOD	0	R/W	SDIO モード*1 1: SDIOカードからのSDIO InterruptをSD/MMCホストインタフェースが受け付けるのを許可します。 0: SDIOカードからのSDIO InterruptをSD/MMCホストインタフェースが受け付けるのを禁止します。

注.　*1 SD_INFO2 レジスタの CBSY ビットが 1 の時、本ビットの値を変更しないでください。

49.2.17　SDIO 割り込みフラグレジスタ（SDIO_INFO1）

SDIO 割り込みフラグレジスタは、SDIO カードアクセスに関するステータスを表示します。フラグをクリアする場合、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
63～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15	EXWT	0 *2	R/W *1	[セット条件] CMD53（マルチブロック）によるリードシーケンスのラストブロックを転送中にSDIO_MODE レジスタの RWREQ を 1 にしたとき [クリア条件] 0 を書き込んだとき
14	EXPUB52	0 *2	R/W *1	[セット条件] 1. CMD53（マルチブロック）によるシーケンスのラストブロックの転送中にSDIO_MODE レジスタの C52PUB を 1 にしたとき 2. CMD53（マルチブロック）によるライトシーケンス中、C52PUB が 1 設定されたままラストブロック転送が実行されたとき [クリア条件] 0 を書き込んだとき
13～3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
2、1	—	すべて0 *2	R/W	リザーブビットです。 書き込む値は1にしてください。動作中に値が変化することがあります。
0	IOIRQ	0 *2	R/W *1	[セット条件] SDIO_MODE レジスタの IOMOD が 1 の状態で SDIO カードからの SDIO Interrupt を受け付けたとき [クリア条件] 0 を書き込んだとき*3

注1.　0書き込みのみ有効です。
注2.　リセット時の他に SOFT_RST レジスタの SDRST ビットが 0 の時も本初期値が設定されます。
注3.　SDIO カードにアクセスし SDIO カードからの SDIO Interrupt をネゲートしてから本ビットをクリアしてください。SDIO カードからの SDIO Interrupt をネゲートしない場合、本ビットが再びセットされる可能性があります。

49.2.18 SDIO_INFO1 割り込みマスクレジスタ（SDIO_INFO1_MASK）

SDIO_INFO1 レジスタ割り込みの禁止 / 許可を設定します。0 に設定されているとき、SDIO_INFO1 レジスタのフラグがセットされると割り込みが発生します。

ビット	ビット名	初期値	R/W	説明
63～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15	MEXWT	1	R/W	EXWT割り込みマスク
14	MEXPUB52	1	R/W	EXPUB52割り込みマスク
13～3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
2、1	—	1	R/W	リザーブビットです。書き込む値は1にしてください。
0	IOMSK	1	R/W	IOIRQ割り込みマスク

49.2.19 DMA モードイネーブルレジスタ（CC_EXT_MODE）

DMA モードイネーブルレジスタは、DMA 転送の許可を設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
63～13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
12	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 このビットに1以外の値を書き込んだ場合の動作は保証されません。
11、10	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
9、8	—	00	R/W	リザーブビットです。書き込む値は0 にしてください。
7、6	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
5	—	0	R/W	リザーブビットです。書き込む値は0 にしてください。
4	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 このビットに1以外の値を書き込んだ場合の動作は保証されません。
3、2	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
1	DMASDRW	0	R/W	SD_BUF リード/ライトDMA転送* 1: SD_BUF リード/ライトDMA転送を許可します。 0: SD_BUF リード/ライトDMA転送を許可しません。
0	—	0	R/W	リザーブビットです。書き込む値は0 にしてください。

注. SD_INFO2 レジスタのCBSY ビットが1の時、本ビットの値を変更しないでください。

49.2.20　ソフトリセットレジスタ（SOFT_RST）

ソフトリセットレジスタは、ソフトリセットを設定するレジスタです。SD/MMC ホストインタフェースを使用する前と他のレジスタにアクセスする前にリセットを解除してください。

ビット	ビット名	初期値	R/W	説明
63～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
2、1	—	11	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 これらのビットに 1 以外の値を書き込んだ場合の動作は保証されません。
0	SDRST	1	R/W	SD I/F 部のソフトリセット 0: リセット 1: リセット解除

49.2.21　バージョンレジスタ（VERSION）

バージョンレジスタは、SD/MMC ホストインタフェースのバージョンを表示します。

ビット	ビット名	初期値	R/W	説明
63～16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
15、14	UR7、UR6	11	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 これらのビットに 1 以外の値を書き込んだ場合の動作は保証されません。
13、12	UR5、UR4	00	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 これらのビットに 0 以外の値を書き込んだ場合の動作は保証されません。
11～8	UR3～UR0	H'C	R	ルネサス IP Ver.
7～0	IP7～IP0	H'10	R	導入 IP Ver.

49.2.22　ホストインタフェースモード設定レジスタ（HOST_MODE）

ホストインタフェースモード設定レジスタはデータバスアクセスに関する選択を行うレジスタです。

ビット	ビット名	初期値	R/W	説明
63～9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
8	BUSWIDTH	0	R/W	SD_BUFアクセスサイズ*1*2 SD_BUF0にリード、ライトするとき、設定アクセスサイズにてアクセスすることができます。 0：16ビットアクセス 1：32ビットアクセス このビットはWMODEが1のとき有効です。
7～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
1	ENDIAN	0	R/W	SD_BUF0データスワップ
0	WMODE	0	R/W	SD_BUFアクセスサイズ*1*2 SD_BUF0にリード、ライトするとき、設定アクセスサイズにてアクセスすることができます。 0：64ビットアクセス 1：16ビットアクセスまたは32ビットアクセス

注1.　SD_INFO2レジスタのCBSYビットが1の時、本ビットの値を変更しないでください。
注2.　本モジュール内蔵のDMACを使用する場合は、バス幅64ビット固定で使用してください。

49.2.23　SD インタフェースモード設定レジスタ（SDIF_MODE）

SD インタフェースモード設定レジスタは、DDR モードを設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
63～10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
9	—	0 *1	R/W	リザーブビットです。書き込む値は0にしてください。
8	NOCHKCR	0 *1	R/W	CRCチェックマスク（MMCテストコマンド対応） データのCRC16およびCRC statusのチェックの有無を設定します。 0: CRCチェック有効 1: CRCチェック無効（リード：CRC16の値を無視、ライト：CRC statusを検出しない）
7～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
0	DDR	0 *1	R/W	DDRモード選択*2 0: 通常モード（Default、High Speed、SDR） 1: DDRモード SDクロック分周比を1：1に設定時（SD_CLK_CTRLレジスタのDIV[7:0] = 11111111）、本ビットは”0”に設定してください。

注1.　リセットの他にSOFT_RSTレジスタのSDRSTビットが0の時も本初期値が設定されます。
注2.　SD_INFO2レジスタCBSYビットが1の時、本ビットの設定を変更しないでください。

49.2.24 SD ステータスレジスタ (SD_STATUS)

SD ステータスレジスタは、SD0_RST# 端子の値を制御するレジスタです。

ビット	ビット名	初期値	R/W	説明
63～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
1	SD_RST	0	R/W	SD0_RST#端子の値を制御します。 0：SD0_RST#は0出力 1：SD0_RST#は1出力
0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。

49.2.25 DMAC モードレジスタ（DM_CM_DTRAN_MODE）

DMAC モードレジスタ（DM_CM_DTRAN_MODE）は、本モジュール内蔵 DMAC の動作モードを設定します。

上位 32 ビット（ビット 63 ～ 32）は、0 のみが読み出されます。

ビット	ビット名	初期値	R/W	説明
63～18	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
17、16	CH_NUM[1:0]	00	R/W	DMACチャネル選択 00: SD ダウンストリーム 01: SD アップストリーム 上記以外の設定は行わないでください。
15～6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
5、4	BUS_WIDTH [1:0]	11	R/W	DMACバス幅選択 11: 64ビット 上記以外の設定は行わないでください。
3～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。

49.2.26　DMAC コントロールレジスタ（DM_CM_DTRAN_CTRL）

DMAC コントロールレジスタ（DM_CM_DTRAN_CTRL）は、本モジュール内蔵 DMAC の動作を制御します。

上位 32 ビット（ビット 63 ～ 32）は、0 のみが読み出されます。

ビット	ビット名	初期値	R/W	説明
63～9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
8	—	0	R/W	リザーブビットです。書き込む値は0 にしてください。
7～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
0	DM_START	0	R/W	DMACスタート このビットに1を書き込むとDMACが動作を開始します。 DMA転送が始まると自動的にクリアされます。

49.2.27　DMAC ソフトリセットレジスタ（DM_CM_RST）

上位 32 ビット（ビット 63 ～ 32）は、0 のみが読み出されます。

ビット	ビット名	初期値	R/W	説明
63～32	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
31～10	—	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
9	DTRANRST1	1	R/W	本モジュール内蔵DMACチャネル1のソフトリセット 0：リセット 1：リセット解除
8	DTRANRST0	1	R/W	本モジュール内蔵DMACチャネル0のソフトリセット 0：リセット 1：リセット解除
7～1	—	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
0	SEQRST	1	R/W	シーケンサのソフトリセット 0：リセット 1：リセット解除

【注】本レジスタによるソフトウェアリセットを使用する場合、「52.3.6　ソフトウェアリセット」を参照し、STBREQ、STBACK レジスタを使用した手順を行ってください。

49.2.28 DMAC 割り込みレジスタ 1（DM_CM_INFO1）

DM_CM_INFO1 は、本モジュール内蔵 DMAC およびシーケンサのステータスを表示します。フラグをクリアする場合、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
63 ～21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
20	DTRANEND1	0 *1	R/W	本モジュール内蔵DMACチャネル1転送終了 [セット条件] 1. DMACチャネル1の転送終了が完了したとき 2. DMACチャネル1でエラーが発生したとき [クリア条件] 0を書き込んだとき
19 ～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
16	DTRANEND0	0 *2	R/W	本モジュール内蔵DMACチャネル0転送終了 [セット条件] 1. DMACチャネル0の転送終了が完了したとき 2. DMACチャネル0でエラーが発生したとき [クリア条件] 0を書き込んだとき
15 ～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
0	SEQEND	0 *3	R/W	シーケンサ動作完了 [セット条件] 1. シーケンサの動作が完了したとき 2. シーケンサでエラーが発生したとき [クリア条件] 0を書き込んだとき

注1. リセット時の他にDM_CM_RSTレジスタのDTRANRST1ビットが0の時も本初期値が設定されます。
注2. リセット時の他にDM_CM_RSTレジスタのDTRANRST0ビットが0の時も本初期値が設定されます。
注3. リセット時の他にDM_CM_RSTレジスタのSEQRSTビットが0の時も本初期値が設定されます。

49.2.29 DM_CM_INFO1 割り込みマスクレジスタ（DM_CM_INFO1_MASK）

DM_CM_INFO1 レジスタ割り込みの禁止／許可を設定します。0 に設定されているとき、DM_CM_INFO1 レジスタのフラグがセットされると割り込みが発生します。

ビット	ビット名	初期値	R/W	説明
63～32	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
31～21	—	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 これらのビットに1以外の値を書き込んだ場合の動作は保証されません。
20	DTRANEND1_MASK	1	R/W	DTRANEND1割り込みマスク
19～17	—	すべて1	R/W	リザーブビットです。書き込む値は1にしてください。
16	DTRANEND0_MASK	1	R/W	DTRANEND0割り込みマスク
15～1	—	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 これらのビットに1以外の値を書き込んだ場合の動作は保証されません。
0	SEQEND_MASK	1	R/W	SEQEND割り込みマスク

49.2.30 DMAC 割り込みレジスタ 2（DM_CM_INFO2）

DM_CM_INFO2 は、本モジュール内蔵 DMAC およびシーケンサのステータスを表示します。フラグをクリアする場合、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
63～20	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
19、18	—	00	R	リザーブビットです。書き込む値は0にしてください。
17	DTRANERR1	0 *1	R/W	本モジュール内蔵DMACチャネル1エラー [セット条件] DMACチャネル1でエラーが発生したとき [クリア条件] 0を書き込んだとき
16	DTRANERR0	0 *2	R/W	本モジュール内蔵DMACチャネル0エラー [セット条件] DMACチャネル0でエラーが発生したとき [クリア条件] 0を書き込んだとき
15～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
0	SEQERR	0 *3	R/W	シーケンサエラー [セット条件] シーケンサでエラーが発生したとき [クリア条件] 0を書き込んだとき

注1. リセット時の他にDM_CM_RSTレジスタのDTRANRST1ビットが0の時も本初期値が設定されます。
注2. リセット時の他にDM_CM_RSTレジスタのDTRANRST0ビットが0の時も本初期値が設定されます。
注3. リセット時の他にDM_CM_RSTレジスタのSEQRSTビットが0の時も本初期値が設定されます。

49.2.31 DM_CM_INFO2 割り込みマスクレジスタ（DM_CM_INFO2_MASK）

DM_CM_INFO2 レジスタ割り込みの禁止／許可を設定します。0 に設定されているとき、DM_CM_INFO2 レジスタのフラグがセットされると割り込みが発生します。

ビット	ビット名	初期値	R/W	説明
63～32	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
31～20	—	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 これらのビットに1以外の値を書き込んだ場合の動作は保証されません。
19、18	—	11	R	リザーブビットです。書き込む値は1にしてください。
17	DTRANERR1_MASK	1	R/W	DTRANERR1割り込みマスク
16	DTRANERR0_MASK	1	R/W	DTRANERR0割り込みマスク
15～1	—	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 これらのビットに1以外の値を書き込んだ場合の動作は保証されません。
0	SEQERR_MASK	1	R/W	SEQERR割り込みマスク

49.2.32 DMAC アドレスレジスタ（DM_DTRAN_ADDR）

本レジスタは本モジュール内蔵 DMAC の転送先／元アドレスを設定します。
上位 32 ビット（ビット 63 ～ 32）は、0 のみが読み出されます。

ビット	ビット名	初期値	R/W	説明
63～32	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
31～3	DADDR	すべて0	R/W	デスティネーションアドレス/ソースアドレス（8バイト単位） このレジスタの値と転送データ長の和が2^{32}以下になるように設定してください。
2～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。

49.3　動作説明

49.3.1　SD インタフェース

(1)　SD データフォーマット

SD カードからデータをリードする場合、以下の様に動作します。

1. SD カードから SDDAT 信号を経由して SD/MMC ホストインタフェースがデータを受信。
   （SDDAT 信号：**図 49.2**、**図 49.3**、**図 49.5** 参照）
2. 受信したデータを SD/MMC ホストインタフェースの SD_BUF に格納する。
   （SD_BUF 格納データ：**図 49.7** 参照）
3. SD_BUF に格納されたデータを SD_BUF0 からリード。（SD_BUF0 リード：**表 49.4** 参照）

なお、SD カードへデータをライトする場合は、上記の逆の動作となります。

SD_BUF0 にアクセスする場合、SDDAT 上の転送順番と SD_BUF の格納順番を考慮してアクセスしてください。また、EXT_SWAP レジスタを使用することにより SD_BUF0 のデータをバイト単位で差し替えてアクセスすることもできます。（**図 49.7** 参照）

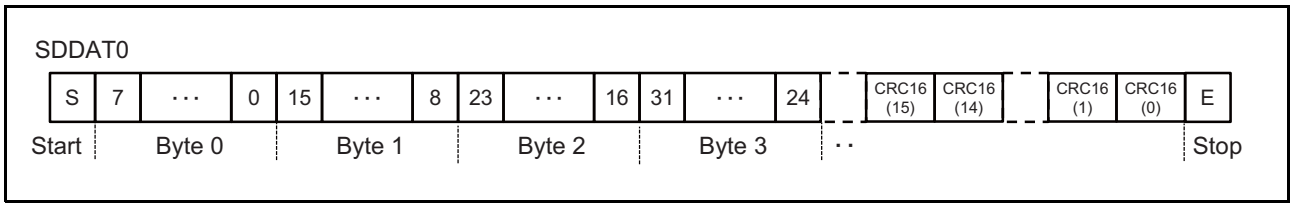


図 49.2　1bit width モード時 SDDAT

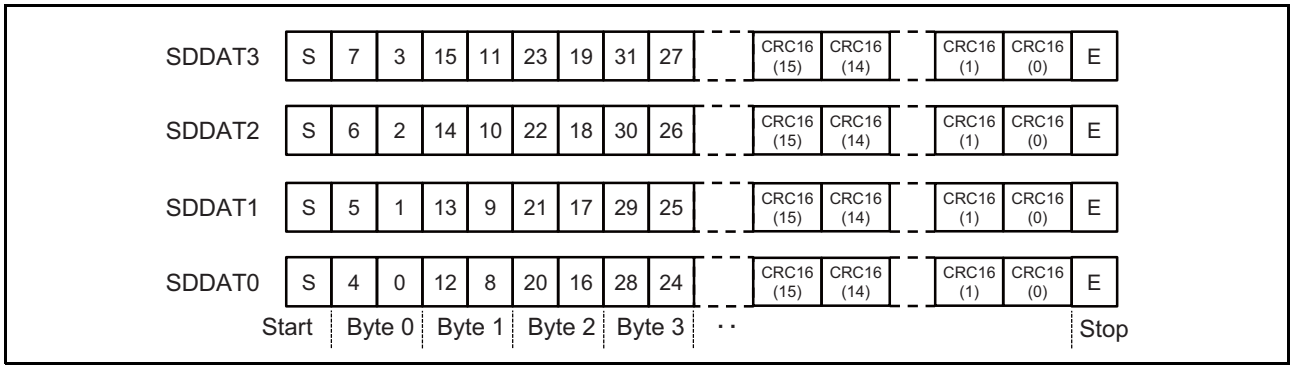


図 49.3　4bits width モード時 SDDAT

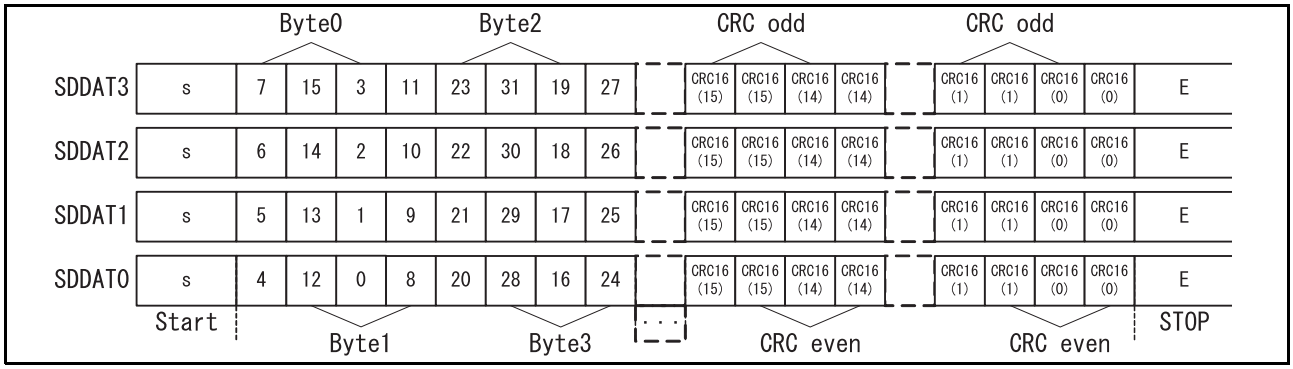


図 49.4　4bits width DDR モード時 SDDAT

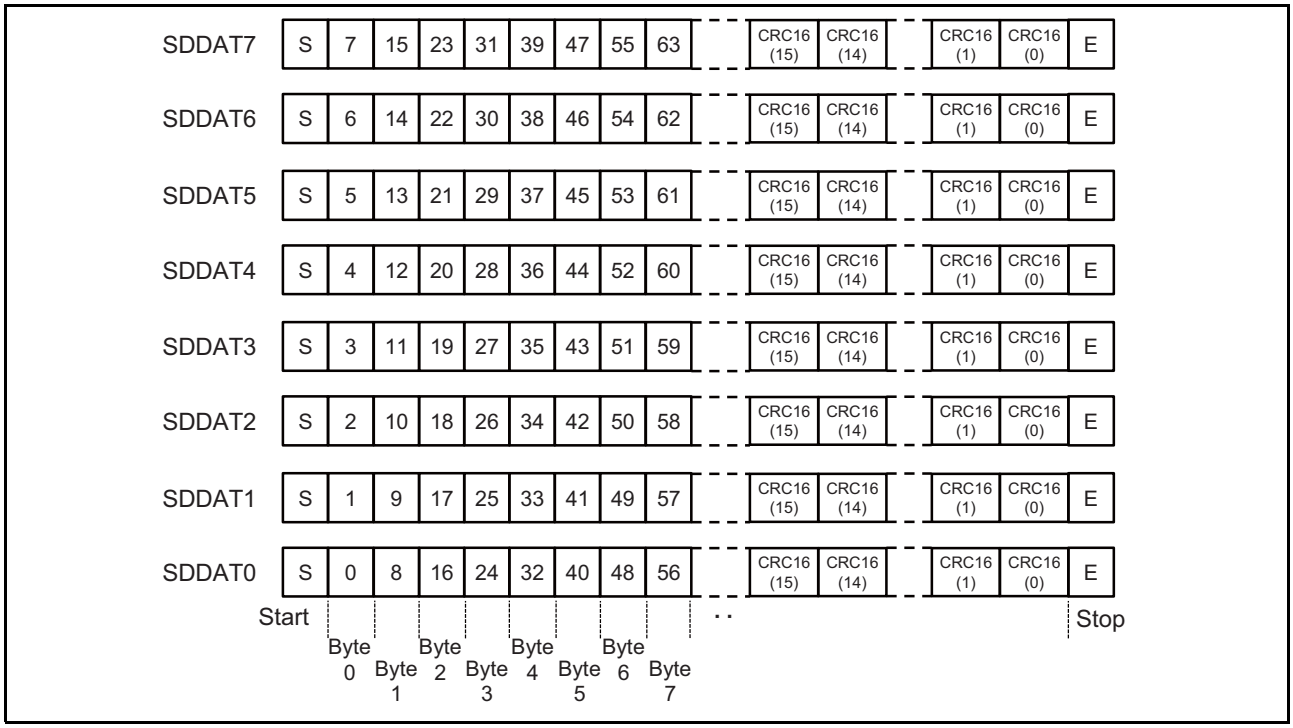


図 49.5　　8bits width モード時 SDDAT

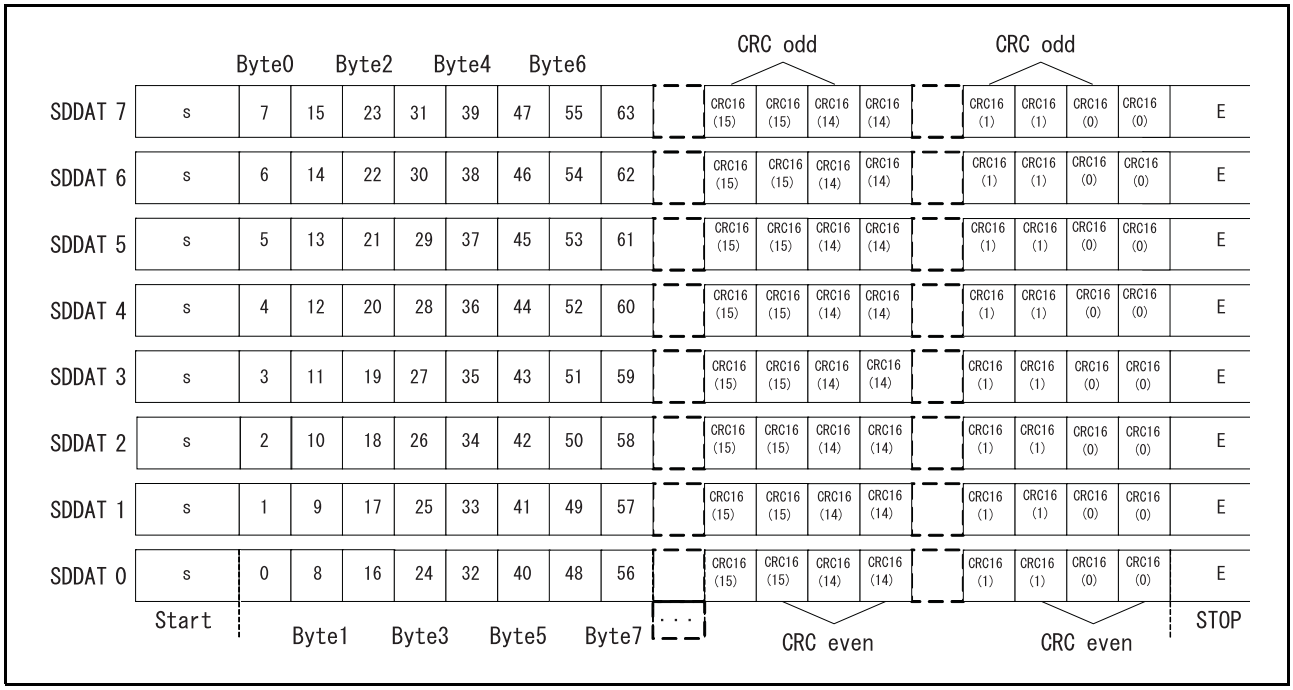


図 49.6　　8bits width DDR モード時 SDDAT

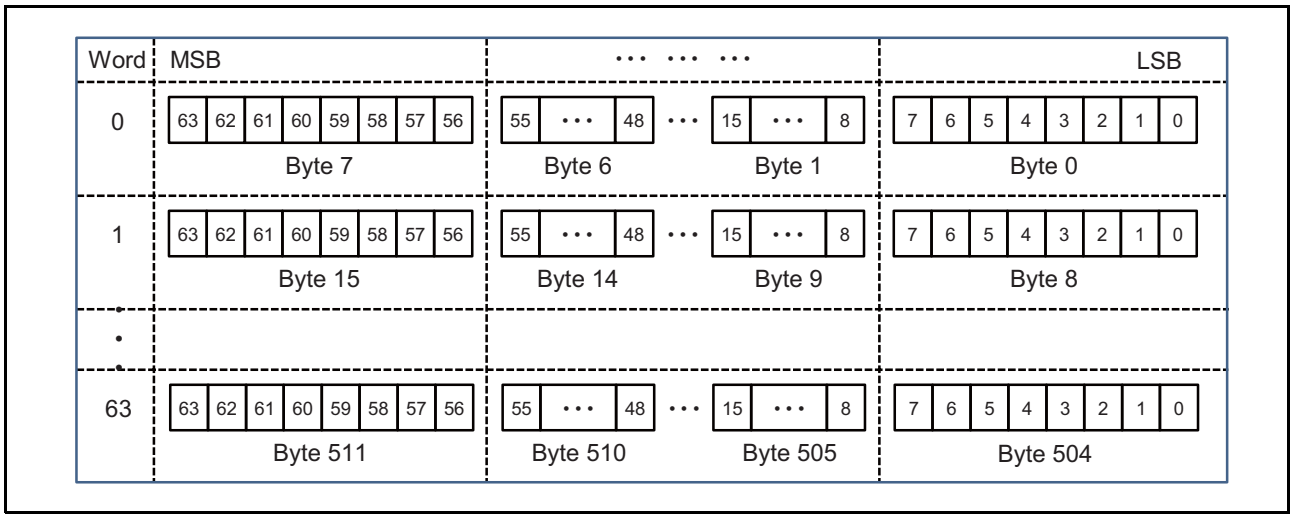


図 49.7　　SD_BUF 格納データ

表 49.4　　SD_BUF0 リード

WMODE*1	BUSWIDTH*1	ENDIAN*1	リードデータ *2
0	0	0	H'0123456789ABCDEF
0	0	1	H'EFCDAB8967452301
1	1	0	H'89ABCDEF（1回目） H'01234567（2回目）
1	1	1	H'EFCDAB89（1回目） H'67452301（2回目）
1	0	0	H'CDEF（1回目） H'89AB（2回目） H'4567（3回目） H'0123（4回目）
1	0	1	H'EFCD（1回目） H'AB89（2回目） H'6745（3回目） H'2301（4回目）

注1.　HOST_MODE レジスタのビット名
注2.　SD_BUF に書かれているデータが H'0123456789abcdef の場合

(2) Bus Signal Voltage Switch

Bus の電位を変更する場合、SD カードが 1.8V に対応していることを確認した後、以下の手順で Bus の電位を変更します。

(i) CMD11 発行処理

CMD11 のコマンドシーケンス処理を行います。

(ii) SD クロック停止 (a)

SD_CLK_CTRL レジスタの SCLKEN ビットを 0 に設定して、SD クロックの出力を停止 * します。
この時、SD_CLK_CTRL レジスタの SDCLKOFFEN ビットが 1 の場合には、SDCLKOFFEN ビットも 0 に設定します。
* SD_CLK_CTRL レジスタの SDCLKOFFEN ビットが 1 の場合には、SD クロックが自動停止しています。

(iii) SDDAT 値確認

SD_INFO2 レジスタの DAT0 ビットが 0 であることを確認します。

(iv) ホスト機器の電位変更

該当チャネルの電源端子（チャネル 0 は PVcc_SD0、チャネル 1 は PVcc_SD1）に供給される電位を 3.3V から 1.8V に変更してください。また、汎用入出力ポートの専用端子 POC 制御レジスタ（PPOC）の該当チャネルの POC ビット（チャネル 0 は POC2、チャネル 1 は POC3）を 0 に設定、汎用入出力ポートの SD/MMC ホストインタフェース専用駆動能力制御レジスタ 0 ～ 2 (チャネル 0 は PSDMMC0 ～ 1、チャネル 1 は PSDMMC2) の各ビットを 1.8V 電源の設定にしてください。
詳細は「51.3.30　専用端子 POC 制御レジスタ（PPOC）」、「51.3.31　SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 0 (PSDMMC0)」、「51.3.32　SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 1 (PSDMMC1)」、「51.3.33　SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 2 (PSDMMC2)」を参照してください。

(v) SD クロック供給開始 (b)

SD クロック停止 (a) から 5ms 以上経過した後、SD_CLK_CTRL レジスタの SCLKEN ビットを 1 に設定して、SD クロックの出力を許可します。この時、SDCLKOFFEN ビットを 0 に設定したままにしてください。

(vi) SDDAT 値の確認

SD クロック供給開始 (b) から 1ms 以上経過した後、SD_INFO2 レジスタの DAT0 ビットが 1 であることを確認します。この後、SD_CLK_CTRL レジスタの SDCLKOFFEN ビットを 1 に設定して、クロック出力自動制御イネーブルを許可することが可能です。

49.3.2　カード検出／ライトプロテクト

(1)　カード検出

SD/MMC ホストインタフェースは次の二つのカード検出機能を持っています。

• ISDCD によるカード検出

図 49.8 に ISDCD による SD カード検出のタイミングチャートを示します。ISDCD はカードソケットに接続され、ホスト機器にて pull up されます。pull up 抵抗値は SD ホスト機器の仕様により決定します。

[Card Insertion]
カードが挿入されると ISDCD が pull down されます。この時、ISDCD が Mcycle 期間（SD_OPTION レジスタに設定）pull down されていれば、SD_INFO1 レジスタの INFO4 が 1 にセットされます。（0 ライトでクリアします）

[Card Removal]
カードが抜かれると ISDCD が pull up されます。この時、ISDCD が Mcycle 期間（SD_OPTION レジスタに設定）pull up されていれば、SD_INFO1 レジスタの INFO3 がセットされます。（0 ライトでクリアします）

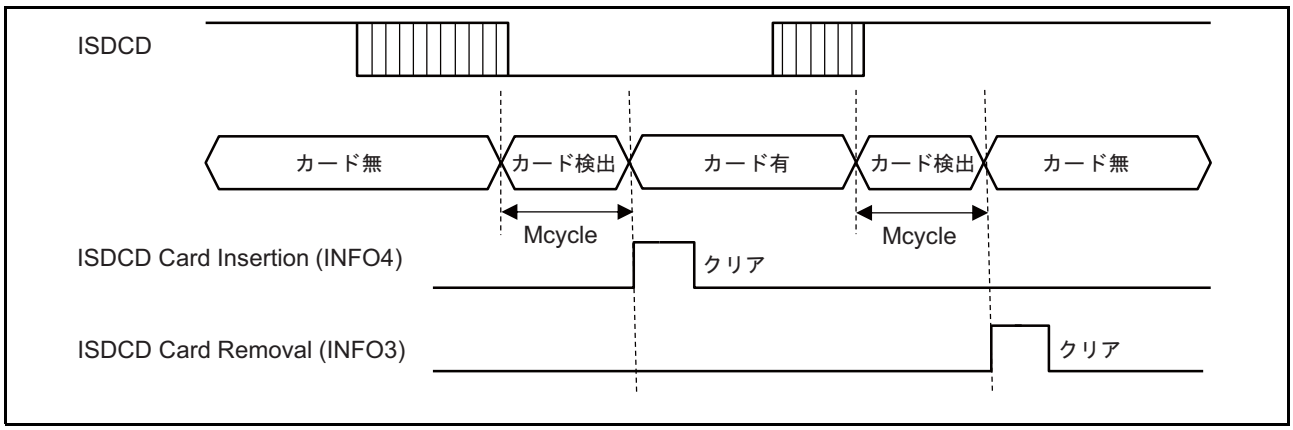


図 49.8　ISDCD によるカード検出例

• SDDAT3 による SD カード検出

図 49.9 に SDDAT3 による SD カード検出のタイミングチャートを示します。なお、SDDAT3 はホスト機器にて pull down されています。pull down 抵抗値は SD ホスト機器の仕様により決定します。

[Card Insertion]
SD カードが挿入されると SDDAT3 が pull up されます。これにより、SD_INFO1 レジスタの INFO9 が 1 にセットされます。(0 ライトでクリアします)

[Card Removal]
SD カードが抜かれると SDDAT3 が pull down されます。これにより、SD_INFO1 レジスタの INFO8 が 1 にセットされます。(0 ライトでクリアします)

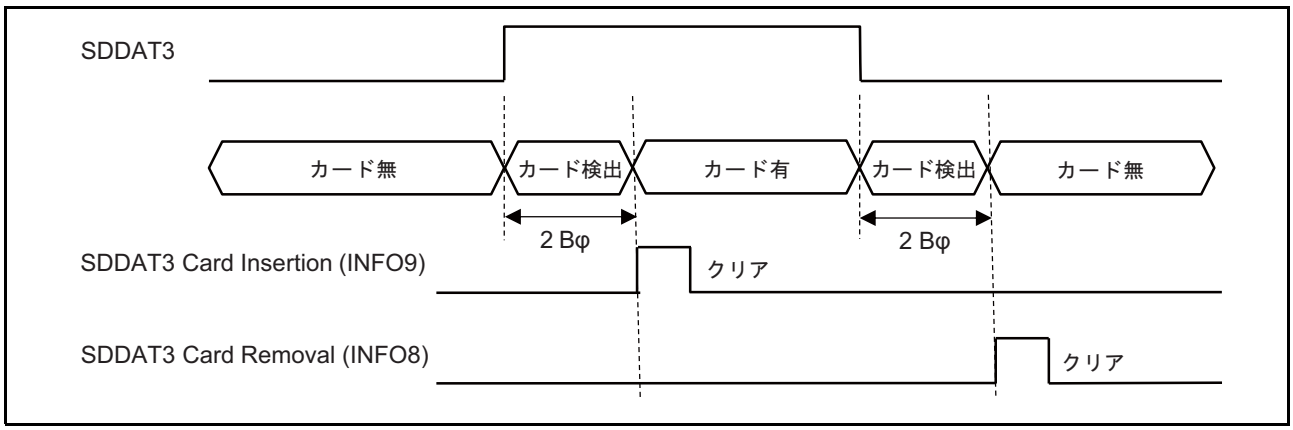


図 49.9　　SDDAT3 による SD カード検出

(2)　ライトプロテクト

SD/MMC ホストインタフェースは次の 2 種類のライトプロテクト機能を実現できます。

• ISDWP によるライトプロテクト

ISDWP はカードソケットに接続され、カードが挿入されることによって pull down または pull up されます。pull up / pull down の選択および抵抗値は SD ホスト機器の仕様により決定します。ISDWP の状態が SD_INFO1 レジスタの INFO7 に反映されますので、SD カードが挿入された後、ライトプロテクトの判定を行うことができます。

• コマンドによるライトプロテクト

コマンドを使用して Card's Internal Write Protection と Card Lock/Unlock Operation を実現できます。

49.3.3　割り込み要求

(1)　割り込み要求

SD/MMC ホストインタフェースは 表 49.5 の示す割り込み要求を持っています。表 49.5 に割り込みフラグレジスタと割り込みマスクレジスタの関係を示します。割り込みマスクレジスタのビットが 0 に設定されているとき、割り込みフラグレジスタのビットが 1 になると割り込みが発生します。

フラグをクリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

表49.5　割り込み要求

割り込み要求	割り込みフラグレジスタ		割り込みマスクレジスタ	
	レジスタ名	ビット名	レジスタ名	ビット名
カードアクセス割り込み	SD_INFO1	INFO2	SD_INFO1_MASK	IMASK2
		INFO0		IMASK0
	SD_INFO2	ILA	SD_INFO2_MASK	IMASK
		BWE		BMASK1
		BRE		BMASK0
		ERR6		EMASK6
		ERR5		EMASK5
		ERR4		EMASK4
		ERR3		EMASK3
		ERR2		EMASK2
		ERR1		EMASK1
		ERR0		EMASK0
SDIO アクセス割り込み	SDIO_INFO1	EXWT	SDIO_INFO1_MASK	MEXWT
		EXPUB52		MEXPUB52
		IOIRQ		IOMSK
カード検出割り込み	SD_INFO1	INFO9	SD_INFO1_MASK	IMASK9
		INFO8		IMASK8
		INFO4		IMASK4
		INFO3		IMASK3
DMAC 割り込み	DM_CM_INFO1	DTRANEND1	DM_CM_INFO1_MASK	DTRANEND1_MASK
		DTRANEND0		DTRANEND0_MASK
		SEQEND		SEQEND_MASK
	DM_CM_INFO2	DTRANERR1	DM_CM_INFO2_MASK	DTARERR1_MASK
		DTRANERR0		DTARERR0_MASK
		SEQERR		SEQERR_MASK

49.3.4　通信エラーとタイムアウト

・通信エラーとタイムアウト一覧

表 49.6 に通信エラー、表 49.7 にタイムアウトによる SD 割り込みフラグレジスタと SD エラーステータスレジスタの関係を示します。

SD 割り込みフラグレジスタのビットが 1 にセットされたとき、対応する SD エラーステータスレジスタのビットに 1 表示されます。

SD エラーステータスレジスタの値は SD_CMD レジスタの書き込み、または SOFT_RST レジスタの SDRST ビットに 0 を書き込むことでクリアされます。

表 49.6　通信エラー

通信エラー	SD 割り込みフラグレジスタ		SD エラーステータスレジスタ		説明
	レジスタ名	ビット名	レジスタ名	ビット名	
END エラー	SD_INFO2	ERR2	SD_ERR_STS1	E5	CRC Status 長がエラーのとき
				E4	リードデータ長がエラーのとき
				E3	レスポンス長がエラーのとき（コマンドシーケンス中発行コマンド）
				E2	レスポンス長がエラーのとき（コマンドシーケンス中発行コマンド以外）
CRC エラー		ERR1		E11	CRC Status がエラーのとき
				E10	リードデータに CRC エラーがあるとき
				E9	レスポンスに CRC エラーがあるとき（コマンドシーケンス中発行コマンド）
				E8	レスポンスに CRC エラーがあるとき（コマンドシーケンス中発行コマンド以外）
CMD エラー		ERR0		E1	送信コマンドと受信レスポンスの command index が異なるとき（コマンドシーケンス中発行コマンド）
				E0	送信コマンドと受信レスポンスの command index が異なるとき（コマンドシーケンス中発行コマンド以外）

表49.7　タイムアウト

タイムアウト	SD割り込みフラグレジスタ		SDエラーステータスレジスタ		説明
	レジスタ名	ビット名	レジスタ名	ビット名	
レスポンスタイムアウト	SD_INFO2	ERR6	SD_ERR_STS2	E1	640 SDCLK以上経過してもレスポンスを受信しないとき（コマンドシーケンス中、発行コマンド）
				E0	640 SDCLK以上経過してもレスポンスを受信しないとき（コマンドシーケンス中、発行コマンド以外）
データタイムアウト（レスポンスタイムアウト除く）		ERR3		E6	CRC Status の後、Ncycle* 以上busy状態（SDDAT0 = 0）のとき
				E5	ライトデータの後、Ncycle* 以上経過してもCRC Statusを受信しないとき
				E4	リードコマンドの後、Ncycle* 以上経過してもリードデータを受信しないとき
					リードデータ受信の後、Ncycle* 以上経過しても次ブロックリードデータを受信しないとき
					Read Wait解除の後、Ncycle* 以上経過しても次ブロックリードデータを受信しないとき
				E3	コマンドシーケンス中CMD12発行の後、Ncycle* 以上busy状態（SDDAT0 = 0）のとき
				E2	R1b レスポンスの後、Ncycle* 以上busy 状態（SDDAT0 = 0）のとき（コマンドシーケンス中CMD12発行以外）

注 .　* Ncycle は SD_OPTION レジスタの bit7 ～ bit4 で設定します。

49.4　使用例

49.4.1　データ転送を伴わないコマンド

(1)　フローチャート例

図 49.10 、図 49.11 にフローチャート例を示します。

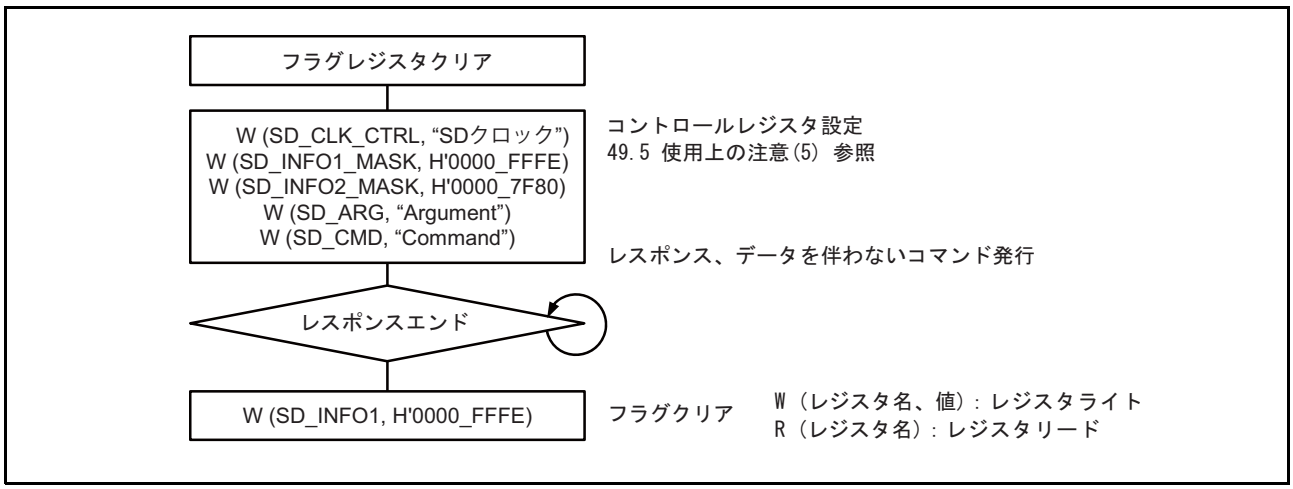


図 49.10　　レスポンスとデータを伴わないコマンドのフロー例

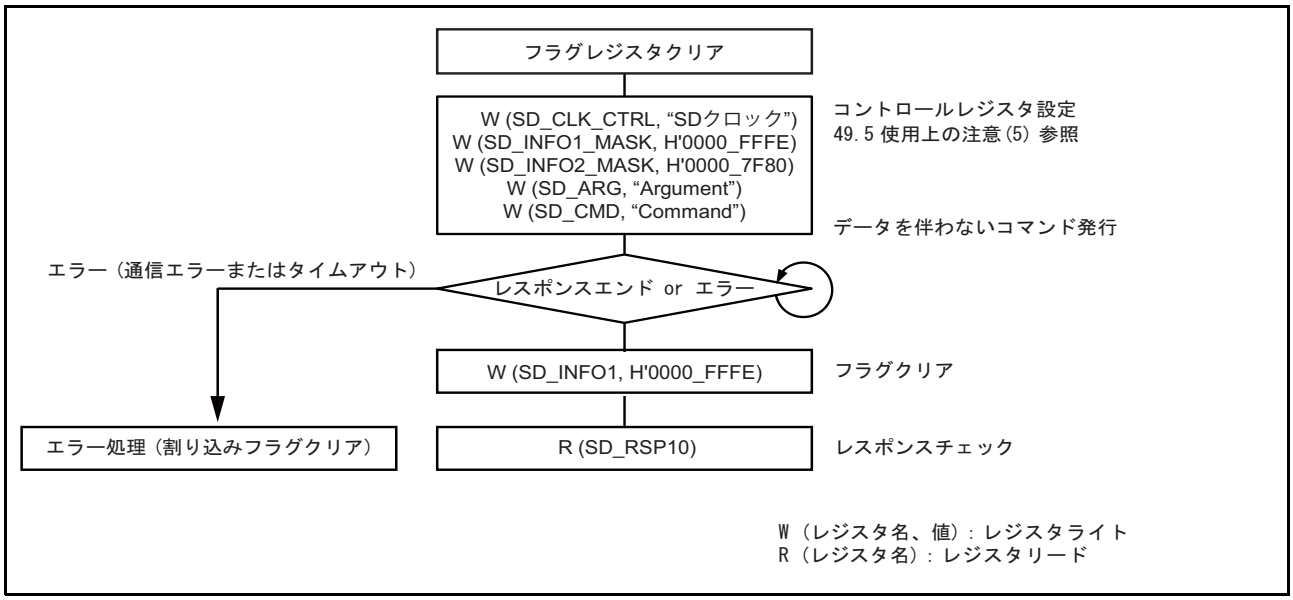


図 49.11　　データを伴わないコマンドのフロー例

(2) 動作説明

レジスタリード / ライトを次の記号で表わします。

W（レジスタ名、値）：　レジスタライト

R（レジスタ名）：　　レジスタリード

以下に、動作を説明します。

(a) レスポンス、データを伴わないコマンド

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）
2) コントロールレジスタの設定
SD クロック（SDCLK）、割り込みマスク等を設定します。（SD_CLK_CTRL、SD_INFO1_MASK、SD_INFO2_MASK）
3) コマンド発行
SD_ARG レジスタに CMD の Argument を設定して、SD_CMD レジスタにライトします。これにより CMD が発行され、動作を開始します。
4) フラグのクリア
コマンドの送信が終了すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ、割り込みが発生します。INFO0 をクリアします。

(b) データを伴わないコマンド

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）
2) コントロールレジスタの設定
SD クロック（SDCLK）、割り込みマスク等を設定します。（SD_CLK_CTRL、SD_INFO1_MASK、SD_INFO2_MASK）
3) コマンド発行
SD_ARG レジスタに CMD の Argument を設定して、SD_CMD レジスタにライトします。これにより CMD が発行され、動作を開始します。
4) フラグのクリア
レスポンスを受信すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ、割り込みが発生します。INFO0 をクリアします。
5) SD_RSP10 レジスタからレスポンスをリードします。
なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

49.4.2　シングルブロックリード

(1)　フローチャート例

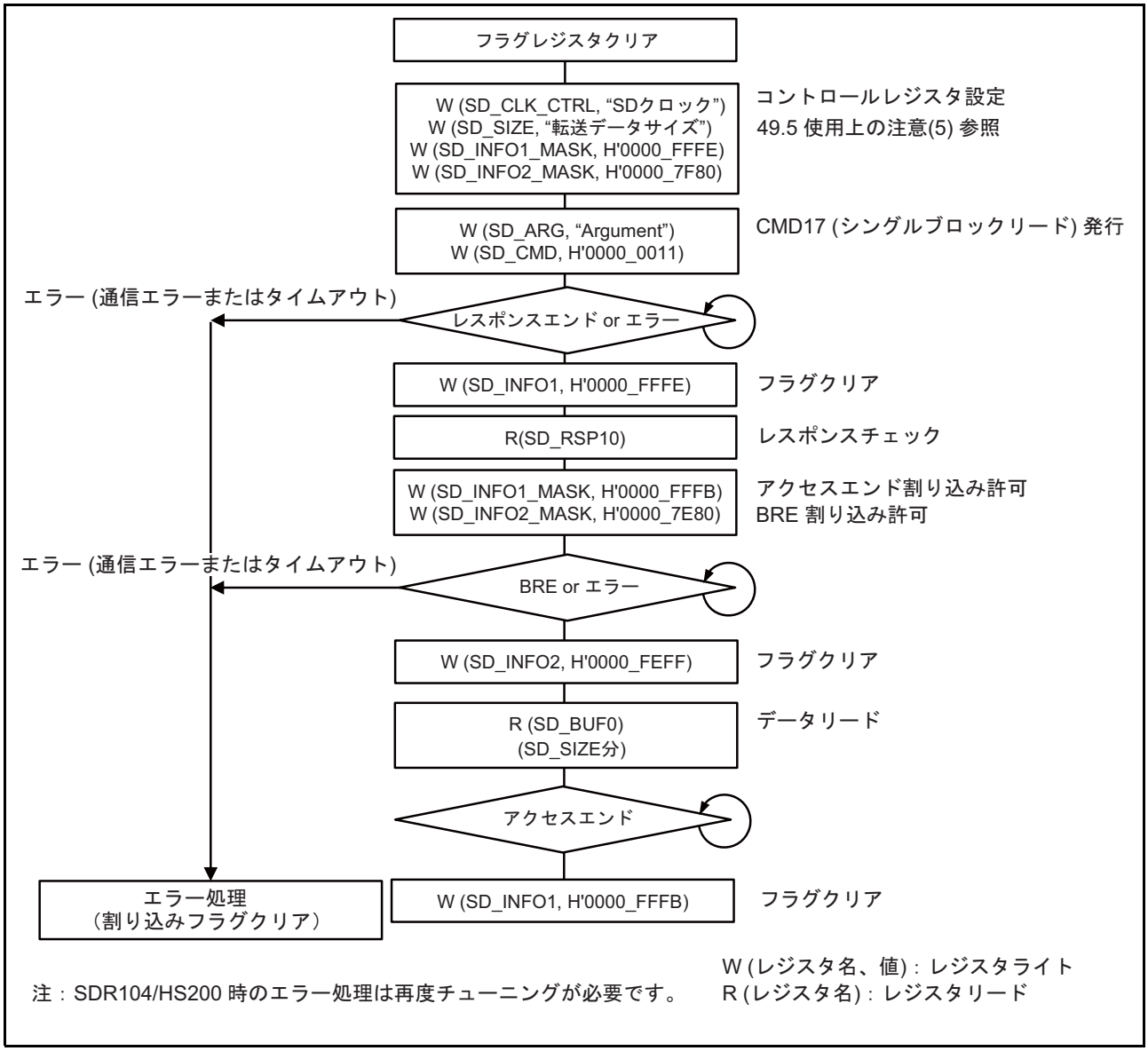


図 49.12　シングルブロックリードフローチャート例

(2) 動作説明

シングルブロックリードの動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。(SD_INFO1、SD_INFO2)
2) コントロールレジスタの設定
SD クロック (SDCLK)、転送データサイズ、割り込みマスク等を設定します。(SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK)
3) コマンド発行 (CMD17)
SD_ARG レジスタに CMD17 の Argument を設定して、SD_CMD レジスタに H'0000_0011 をライトします。これにより CMD17 が発行され、シングルブロックリード動作を開始します。
4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0 (レスポンスエンド) が 1 にセットされ割り込みが発生します。INFO0 をクリアして SD_RSP10 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定、または SDIO_MODE レジスタの IOABT ビットに 1 設定にて、コマンドシーケンスの中断が可能です。なお、CMD12 または CMD52 は発行されません。
コマンドシーケンス中断にて、SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。
5) SD カードからのデータ受信とデータリード
SD_INFO1_MASK レジスタに H'0000_FFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに H'0000_7E80 をライトし、BRE 割り込みを許可します。
SD カードからのデータ受信が完了すると SD_INFO2 レジスタの BRE が 1 にセットされ割り込みが発生します。
BRE をクリアして、SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 からリードします。
6) 動作完了
SD_BUF0 のリードが完了すると SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。INFO2 をクリアしてシングルブロックリード動作完了となります。

なお、エラー (通信エラーまたはタイムアウト) が発生した場合はエラー処理 (割り込みフラグクリア) を行ってください。

49.4.3　シングルブロックライト

(1)　フローチャート例

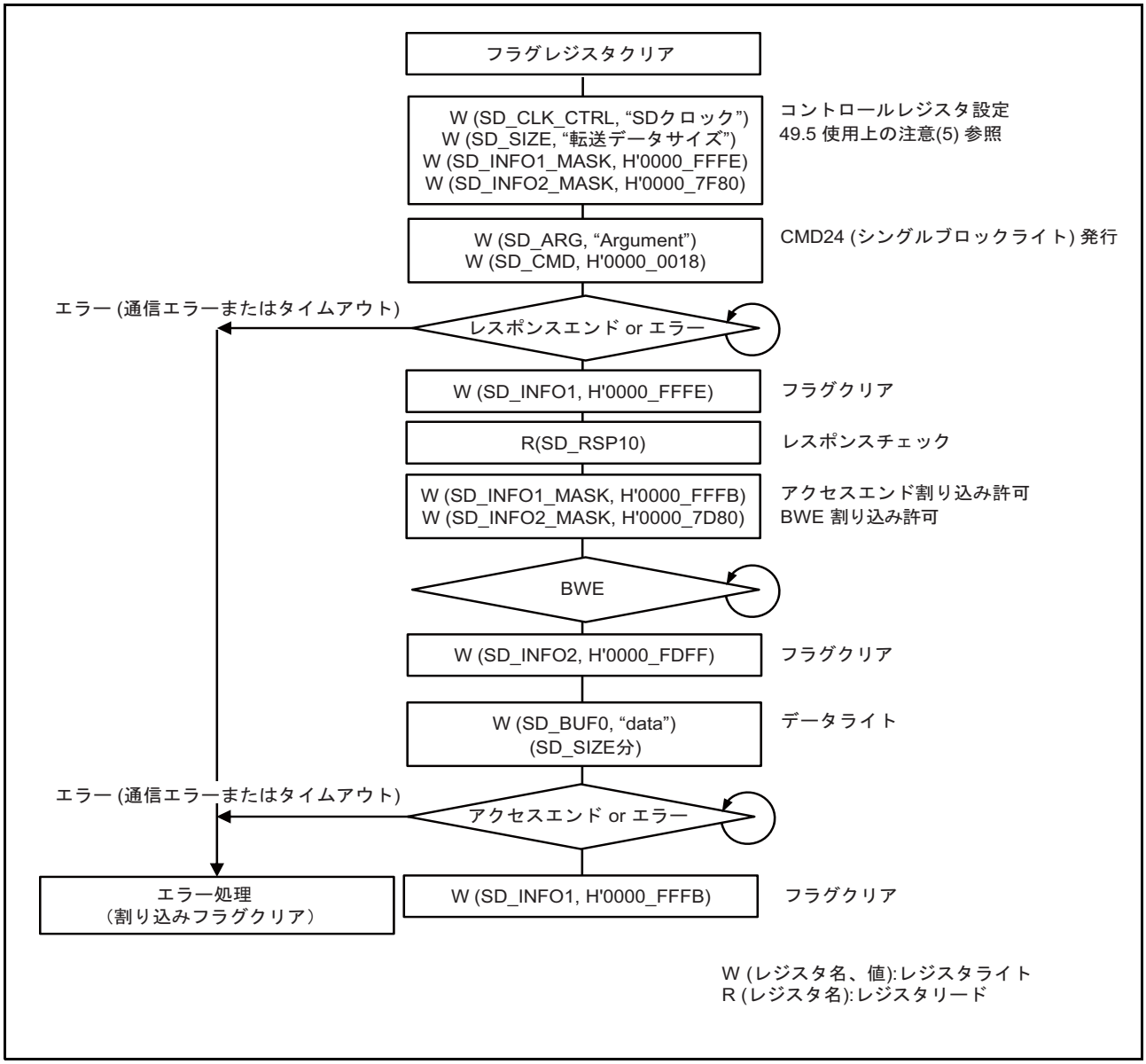


図 49.13　シングルブロックライトフローチャート例

(2) シングルブロックライトの動作説明

シングルブロックライトの動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。(SD_INFO1、SD_INFO2)
2) コントロールレジスタの設定
SD クロック (SDCLK)、転送データサイズ、割り込みマスク等を設定します。(SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK)
3) コマンド発行 (CMD24)
SD_ARG レジスタに CMD24 の Argument を設定して、SD_CMD レジスタに H'0000_0018 をライトします。これにより CMD24 が発行され、シングルブロックライト動作を開始します。
4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0 (レスポンスエンド) が 1 にセットされ割り込みが発生します。INFO0 をクリアして SD_RSP10 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定、または SDIO_MODE レジスタの IOABT ビットに 1 設定にて、コマンドシーケンスの中断が可能です。なお、CMD12 または CMD52 は発行されません。
コマンドシーケンス中断にて、SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。
5) データライトと SD カードへのデータ送信
SD_INFO1_MASK レジスタに H'0000_FFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに H'0000_7D80 をライトし BWE 割り込みを許可します。SD_BUF0 にデータを書き込むことが可能になると SD_INFO2 レジスタの BWE が 1 にセットされ割り込みが発生します。BWE をクリアして SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 にライトします。
SD_BUF0 へのライトが完了すると SD カードへデータが送信されます。そして SD カードから CRC Status と busy を受信します。
但し、SD_BUF0 ライト後に送信中のデータに対して通信エラーまたはタイムアウトが発生する場合があります。
6) 動作完了
SD カードから CRC Status と busy を受信すると SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。INFO2 をクリアしてシングルブロックライト動作完了となります。

なお、エラー (通信エラーまたはタイムアウト) が発生した場合はエラー処理 (割り込みフラグクリア) を行ってください。

49.4.4　マルチブロックリード

(1)　フローチャート例

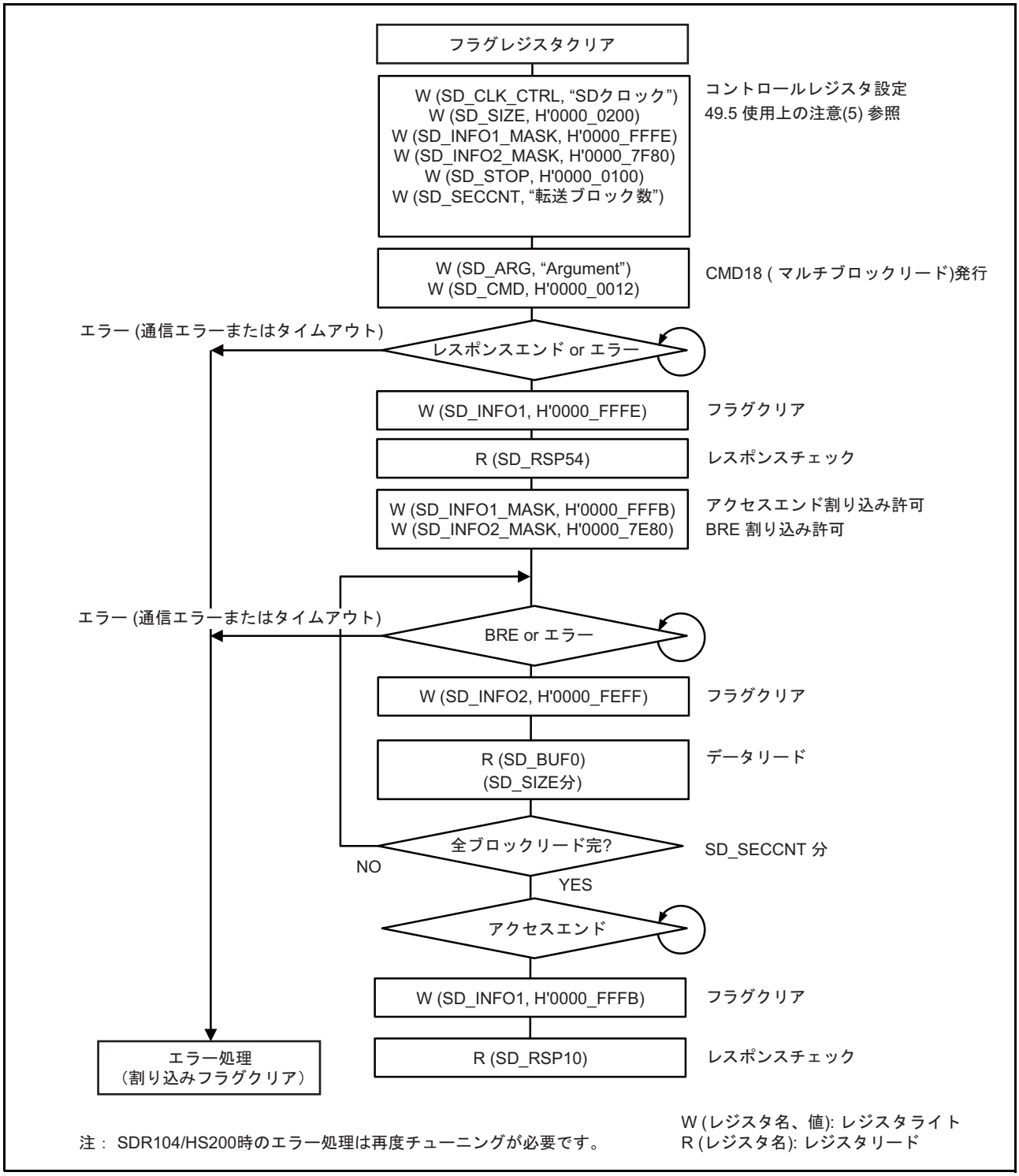


図 49.14　マルチブロックリードフローチャート例

(2) 動作説明

マルチブロックリードの動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。(SD_INFO1、SD_INFO2)
2) コントロールレジスタの設定
SD クロック (SDCLK)、転送データサイズ、割り込みマスク等を設定します。(SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK)
SD_STOP レジスタの SEC を 1 に設定し、SD_SECCNT に転送ブロック数を設定します。
3) コマンド発行 (CMD18)
SD_ARG レジスタに CMD18 の Argument を設定して、SD_CMD レジスタに H'0000_0012 をライトします。これにより CMD18 が発行され、マルチブロックリード動作を開始します。
4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0 (レスポンスエンド) が 1 にセットされ割り込みが発生します。INFO0 をクリアして SD_RSP54 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定にて、コマンドシーケンスの中断が可能です。STP ビット 1 設定にて、CMD12 を発行しレスポンスを受信します。アクセスエンド割り込み許可設定でのコマンドシーケンス中断にて、レスポンスの受信が完了すると SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。
5) SD カードからのデータ受信とデータリード
SD_INFO1_MASK レジスタに H'0000_FFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに H'0000_7E80 をライトし BRE 割り込みを許可します。
SD カードから 1 ブロック分のデータ受信が完了すると SD_INFO2 レジスタの BRE が 1 にセットされ割り込みが発生します。BRE をクリアして SD_SIZE レジスタに設定した データサイズ分 SD_BUF0 からリードします。これを、SD_SECCNT レジスタに設定した転送ブロック数分繰り返します。但し、SD_BUF0 リード中に受信中のデータにて通信エラーまたはタイムアウトが発生する場合があります。
SD_SECCNT レジスタに設定したブロック数で、マルチブロック転送を停止するため、CMD12 を自動で発行しレスポンスを受信します。この際、CMD12 のアーギュメントは自動的に H'0000_0000 に設定されます。
6) 動作完了
全ブロック分のデータリードと CMD12 レスポンスの受信が完了すると SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。
これにより、マルチブロックリード動作完了となります。

なお、エラー (通信エラーまたはタイムアウト) が発生した場合はエラー処理 (割り込みフラグクリア) を行ってください。

49.4.5　マルチブロックライト（内蔵タイマを使用する場合）

(1)　フローチャート例

図 49.15 に内蔵タイマを使用する場合のフローを示します。

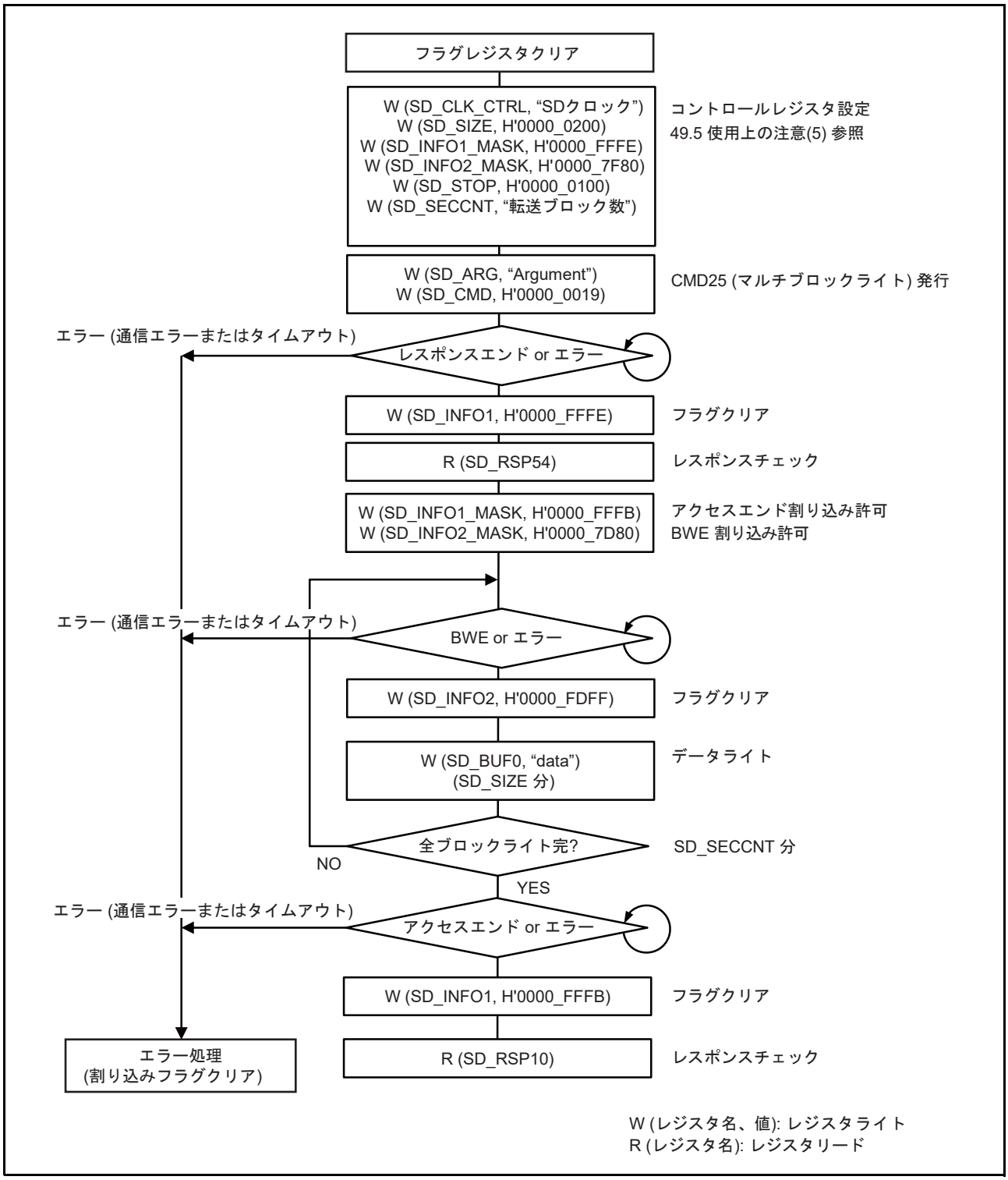


図 49.15　マルチブロックライトフローチャート例（内蔵タイマを使用する場合）

(2) 動作説明

マルチブロックライトの動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。(SD_INFO1、SD_INFO2)
2) コントロールレジスタの設定
SD クロック (SDCLK)、転送データサイズ、割り込みマスク等を設定します。(SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK)
SD_STOP レジスタの SEC を 1 に設定し、SD_SECCNT に転送ブロック数を設定します。
3) コマンド発行 (CMD25)
SD_ARG レジスタに CMD25 の Argument を設定して、SD_CMD レジスタに H'0000_0019 をライトします。これにより CMD25 が発行され、マルチブロックライト動作を開始します。
4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0 (レスポンスエンド) が 1 にセットされ割り込みが発生します。INFO0 をクリアして SD_RSP54 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定にて、コマンドシーケンスの中断が可能です。STP ビット 1 設定にて、CMD12 を発行しレスポンスを受信します。アクセスエンド割り込み許可設定でのコマンドシーケンス中断にて、レスポンスの受信が完了すると SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。
5) データライトと SD カードへのデータ送信
SD_INFO1_MASK レジスタに H'0000_FFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに H'0000_7D80 をライトし BWE 割り込みを許可します。
SD_BUF0 にデータを書き込むことが可能になると SD_INFO2 レジスタの BWE が 1 にセットされ割り込みが発生します。BWE をクリアして SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 にライトします。SD_BUF0 へのライトが完了すると、SD カードへデータが送信されます。
そして SD カードから CRC Status と busy を受信します。これを、SD_SECCNT レジスタに設定した転送ブロック数分繰り返します。
但し、SD_BUF0 ライト中に送信中のデータに対して通信エラーまたはタイムアウトが発生する場合があります。
SD_SECCNT レジスタに設定したブロック数で、マルチブロック転送を停止するため、CMD12 を自動で発行しレスポンスを受信します。この際、CMD12 のアーギュメントは自動的に H'0000_0000 に設定されます。
6) 動作完了
全ブロック分のデータ送信と CRC Status を受信すると SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。
これにより、マルチブロックライト動作完了となります。

なお、エラー (通信エラーまたはタイムアウト) が発生した場合はエラー処理 (割り込みフラグクリア) を行ってください。

49.4.6　マルチブロックライト（外部のタイマを使用する場合）

(1)　フローチャート例

本モジュール内蔵のタイマを使用せずに、外部タイマを使用する場合のフローを示します。

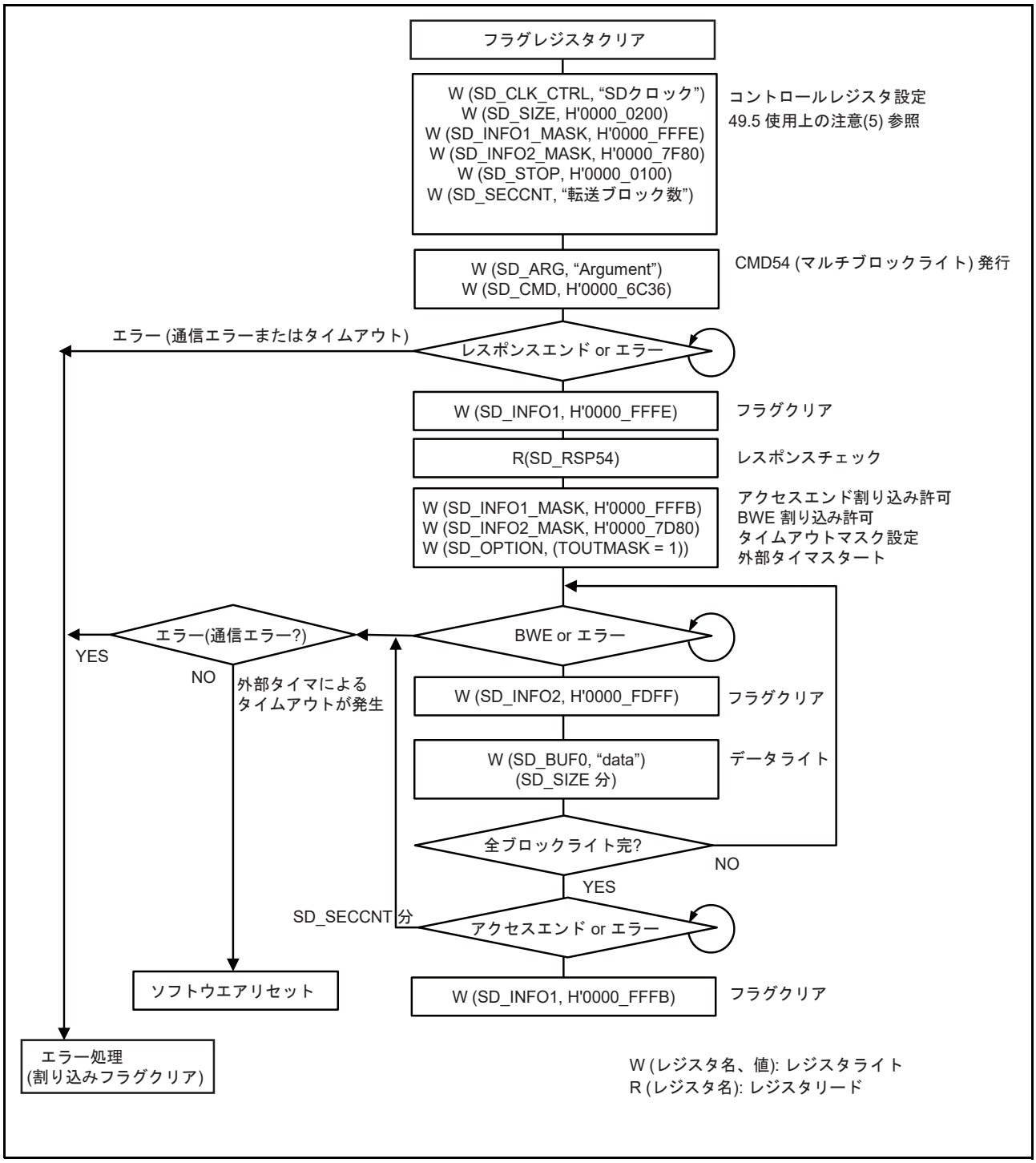


図 49.16　マルチブロックライトフローチャート例（外部のタイマを使用する場合）

(2) 動作説明

マルチブロックライトの動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。(SD_INFO1、SD_INFO2)
2) コントロールレジスタの設定
SD クロック (SDCLK)、転送データサイズ、割り込みマスク等を設定します。(SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK)
SD_STOP レジスタの SEC を 1 に設定し、SD_SECCNT に転送ブロック数を設定します。
3) コマンド発行 (CMD54)
SD_ARG レジスタに CMD54 の Argument を設定して、SD_CMD レジスタに H'0000_6C36 をライトします。これにより CMD54 が発行され、マルチブロックライト動作を開始します。
4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0 (レスポンスエンド) が 1 にセットされ割り込みが発生します。INFO0 をクリアして SD_RSP54 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定にて、コマンドシーケンスの中断が可能です。STP ビット 1 設定にて、CMD12 を発行しレスポンスを受信します。アクセスエンド割り込み許可設定でのコマンドシーケンス中断にて、レスポンスの受信が完了すると SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。
5) データライトと SD カードへのデータ送信
SD_INFO1_MASK レジスタに H'0000_FFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに H'0000_7D80 をライトし BWE 割り込みを許可します。
SD_OPTION レジスタの TOUTMASK ビットを 1 にしてタイムアウトを無効に設定します。また外部タイマをスタートさせます。
SD_BUF0 にデータを書き込むことが可能になると SD_INFO2 レジスタの BWE が 1 にセットされ割り込みが発生します。
BWE をクリアして SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 にライトします。SD_BUF0 へのライトが完了すると、SD カードへデータが送信されます。そして SD カードから CRC Status と busy を受信します。
これを、SD_SECCNT レジスタに設定した転送ブロック数分繰り返します。但し、SD_BUF0 ライト中に送信中のデータに対して通信エラーが発生する場合があります。.
6) 動作完了
全ブロック分のデータ送信と CRC Status を受信すると SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。
これにより、マルチブロックライト動作完了となります。

なお、レスポンス受信時のエラー (通信エラーまたはタイムアウト) またはデータ送信時に通信エラーが発生した場合はエラー処理 (割り込みフラグクリア) を行ってください。またデータ送信時に外部タイマによるタイムアウトが発生した場合はソフトウェアリセットをしてください。

49.4.7　IO_RW_DIRECT コマンド（CMD52）

(1)　フローチャート例

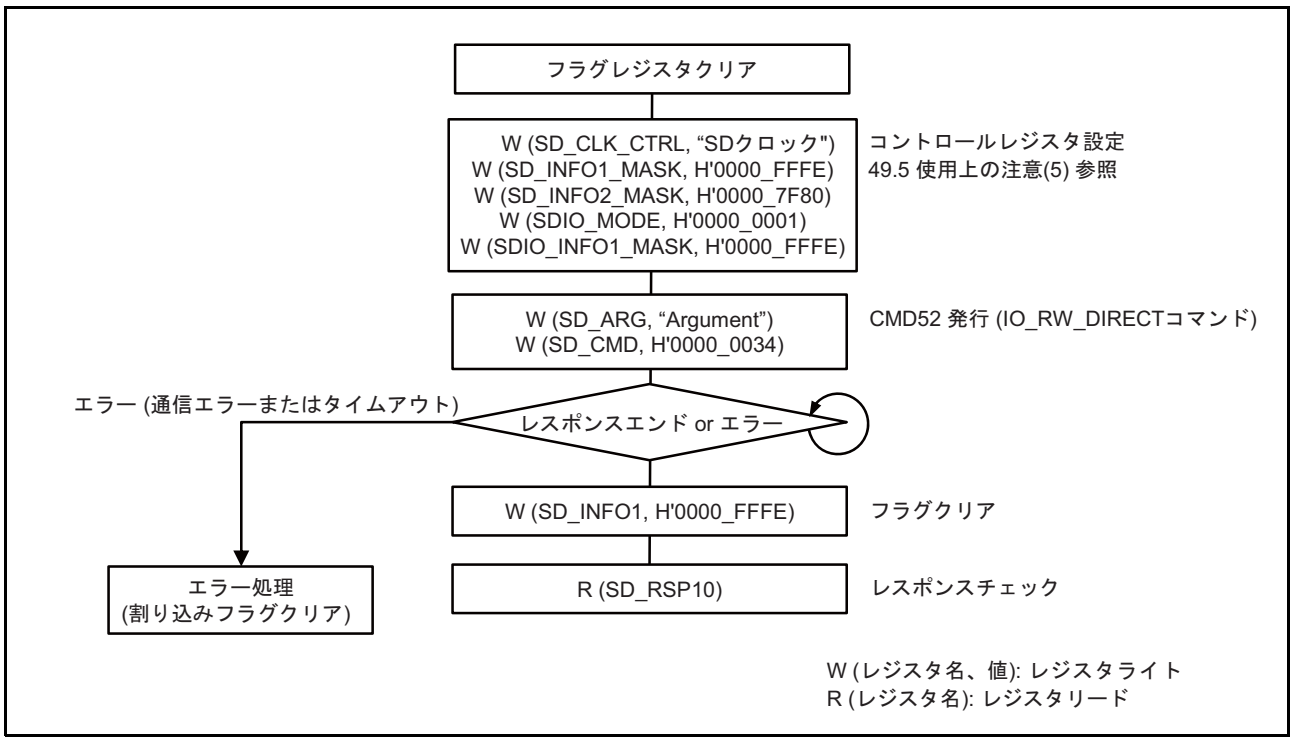


図 49.17　IO_RW_DIRECT コマンド（CMD52）フローチャート例

49.4.8　IO_RW_EXTENDED（CMD53 ／マルチブロックリード）

(1)　フローチャート例

図 49.18 に CMD53（マルチブロックリード）のフローチャート例を示します。

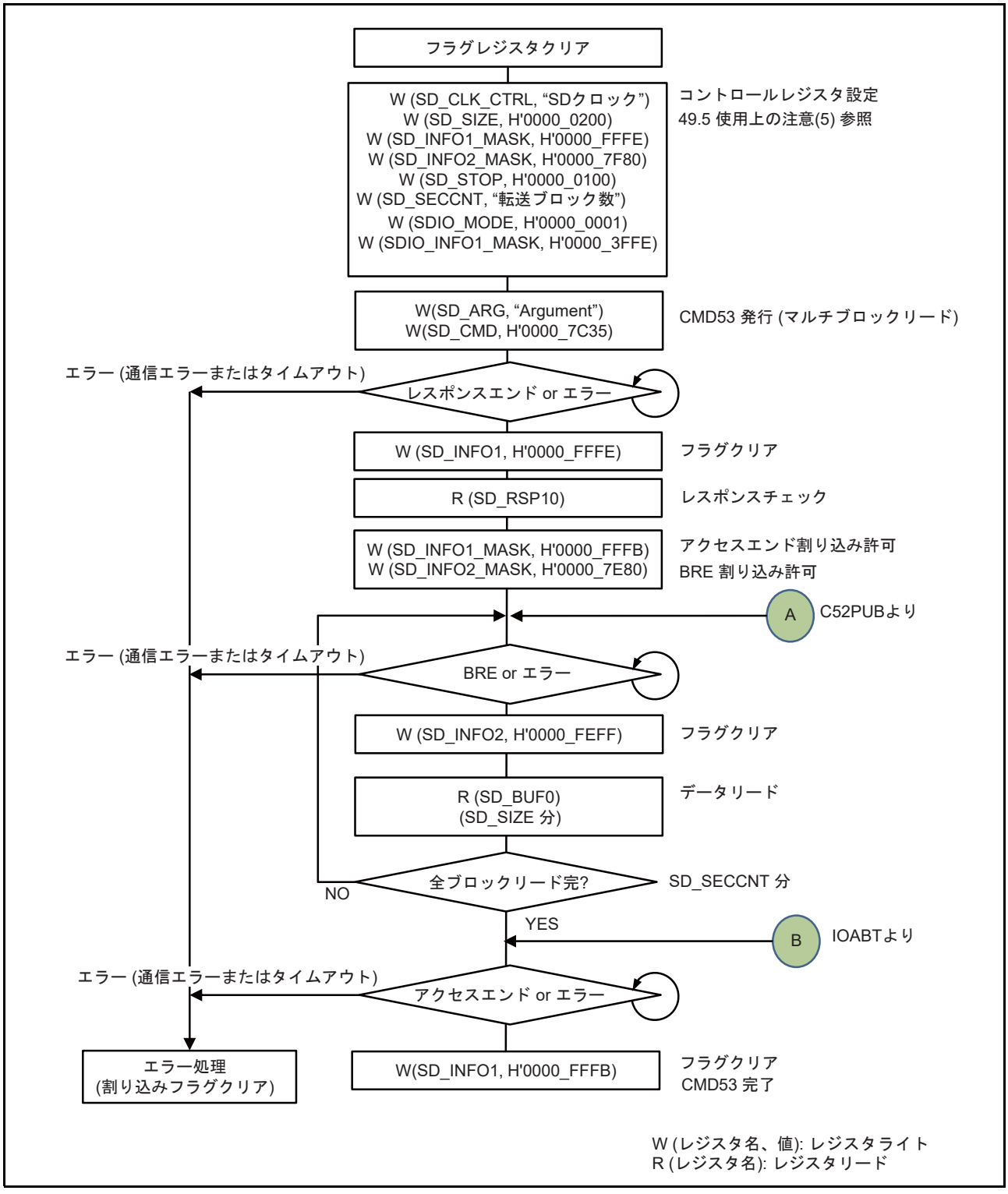


図 49.18　CMD53（マルチブロックリード）フローチャート例

図 49.19 に CMD53（マルチブロックリード）中に CMD52（SDIO abort）を発行する場合のフローチャート例を示します。

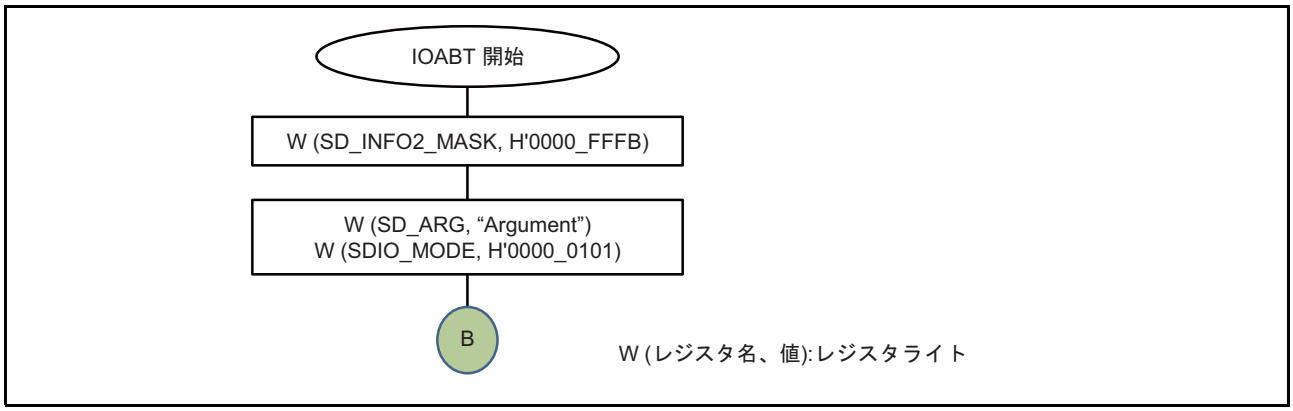


図 49.19　MD53（マルチブロックリード）中に CMD52（SDIO abort）を発行する場合のフローチャート例

図 49.20 に CMD53（マルチブロックリード）中に Read Wait 状態にし CMD52（SDIO none abort）を発行する場合のフローチャート例を示します。

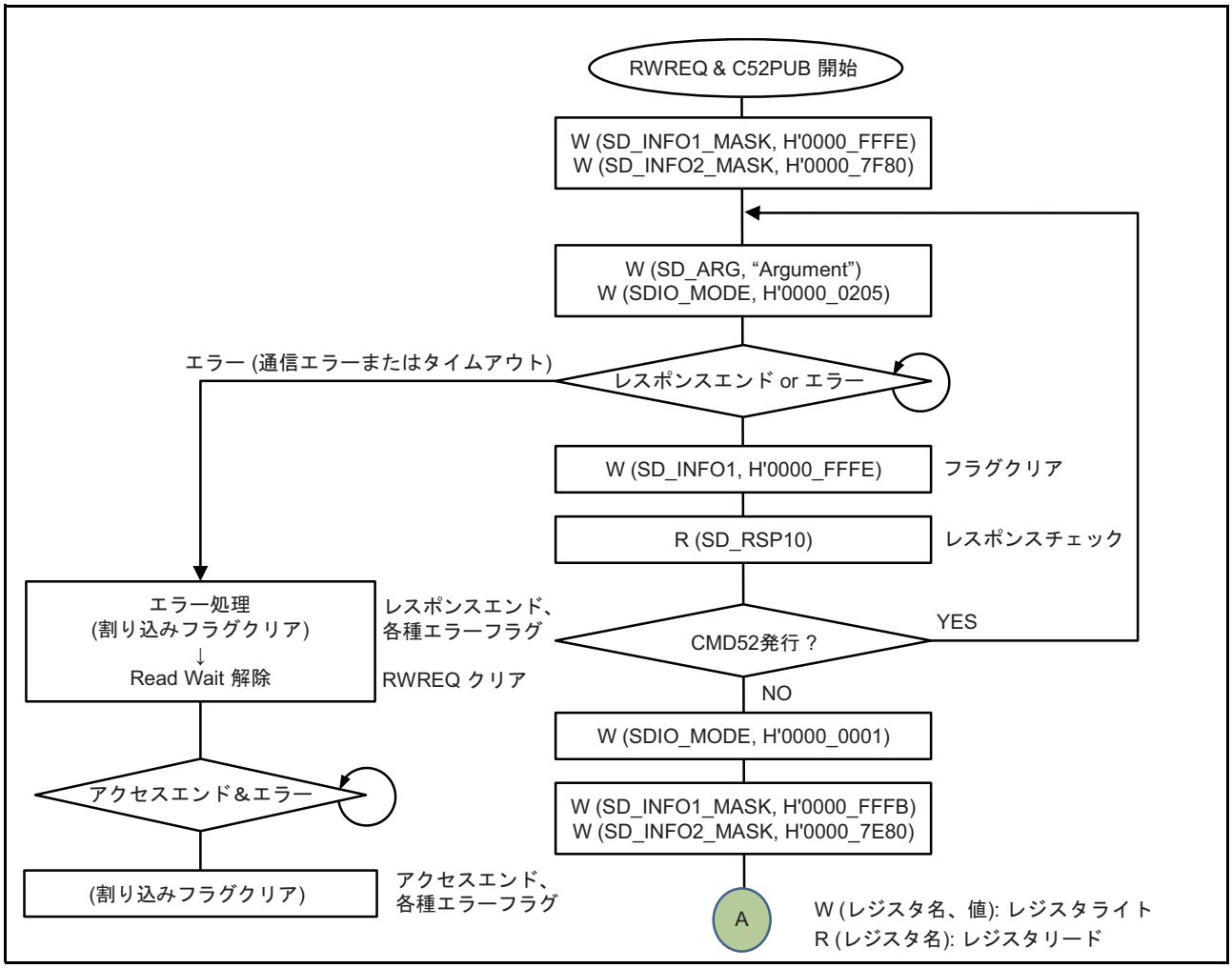


図 49.20　CMD53（マルチブロックリード）中に Read Wait 状態にし CMD52（SDIO none abort）を発行する場合のフローチャート例

49.4.9　IO_RW_EXTENDED（CMD53 ／マルチブロックライト）

(1)　フローチャート例

図 49.21 に CMD53（マルチブロックライト）のフローチャート例を示します。

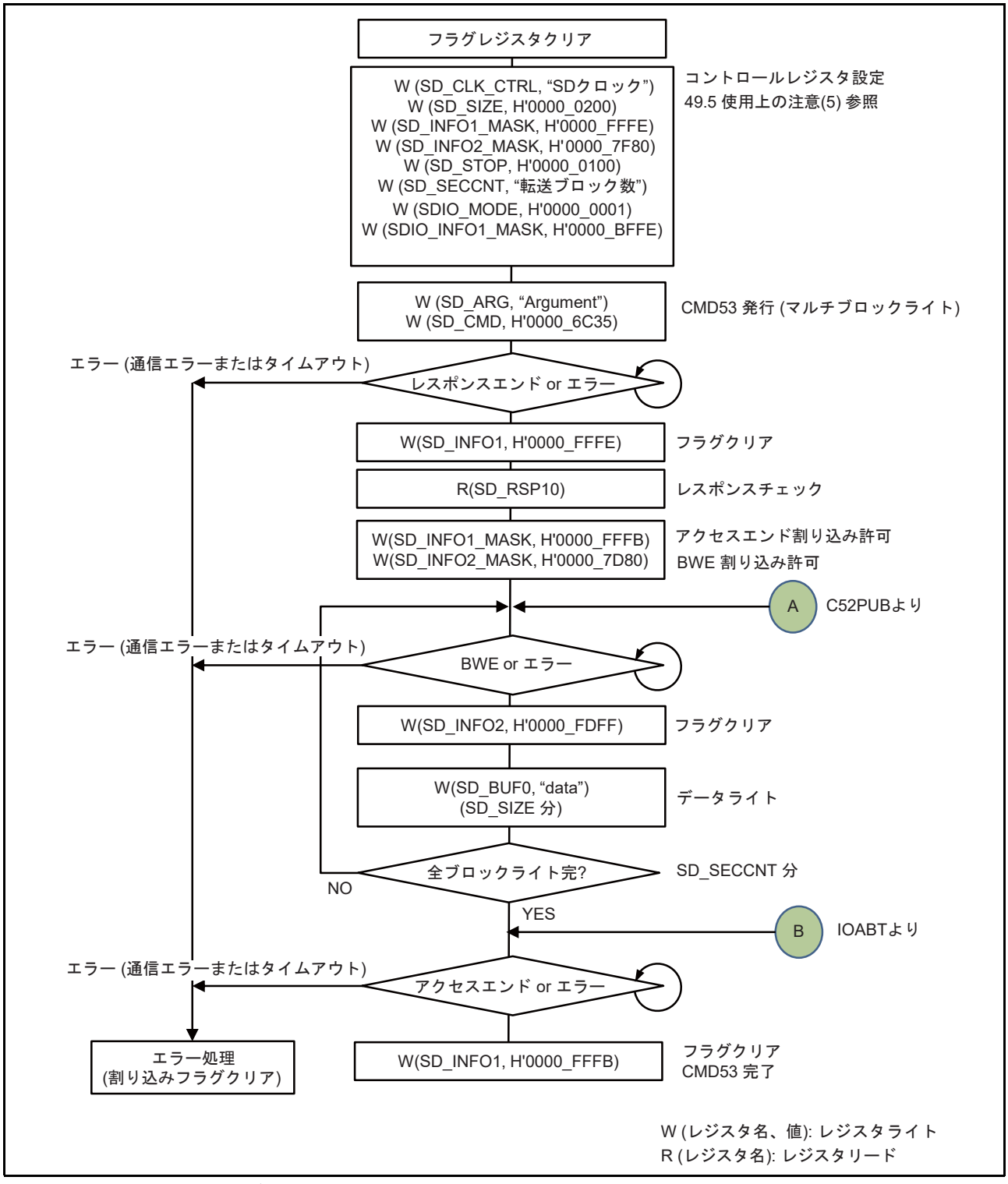


図 49.21　CMD53（マルチブロックライト）フローチャート例

図 49.22 に CMD53（マルチブロックライト）中に CMD52（SDIO abort）を発行する場合のフローチャート例を示します。

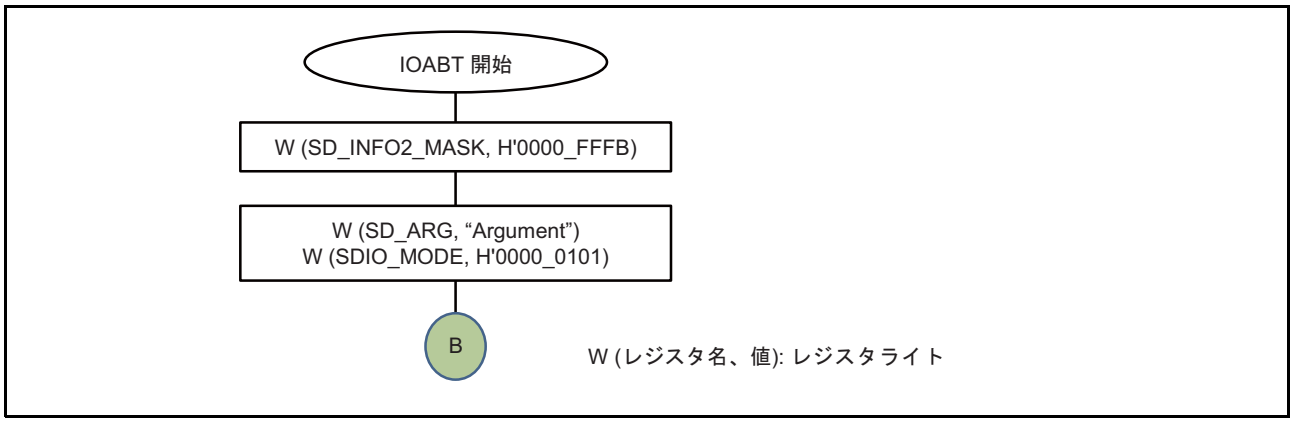


図 49.22　CMD53（マルチブロックライト）中に CMD52（SDIO abort）を発行する場合のフローチャート例

図 49.23 に CMD53（マルチブロックライト）中に CMD52（SDIO none abort）を発行する場合のフローチャート例を示します。

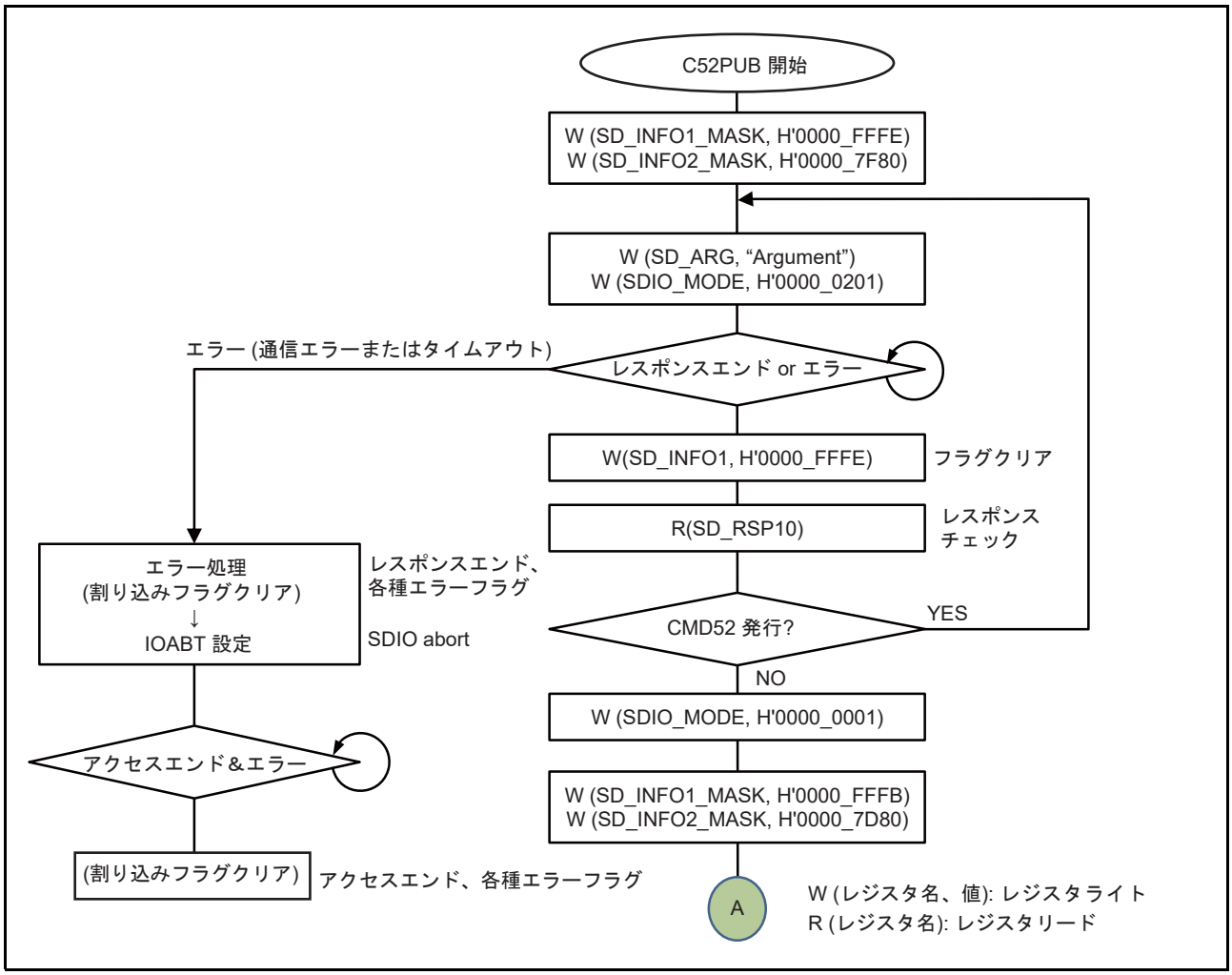


図 49.23　CMD53（マルチブロックライト）中に CMD52（SDIO none abort）を発行する場合のフローチャート例

49.4.10　DMA 転送

(1)　SD_BUF DMA 転送

図 49.24 にマルチブロックリード（CMD18）コマンドを発行した場合の SD_BUF DMA リードフローチャート例を示します。

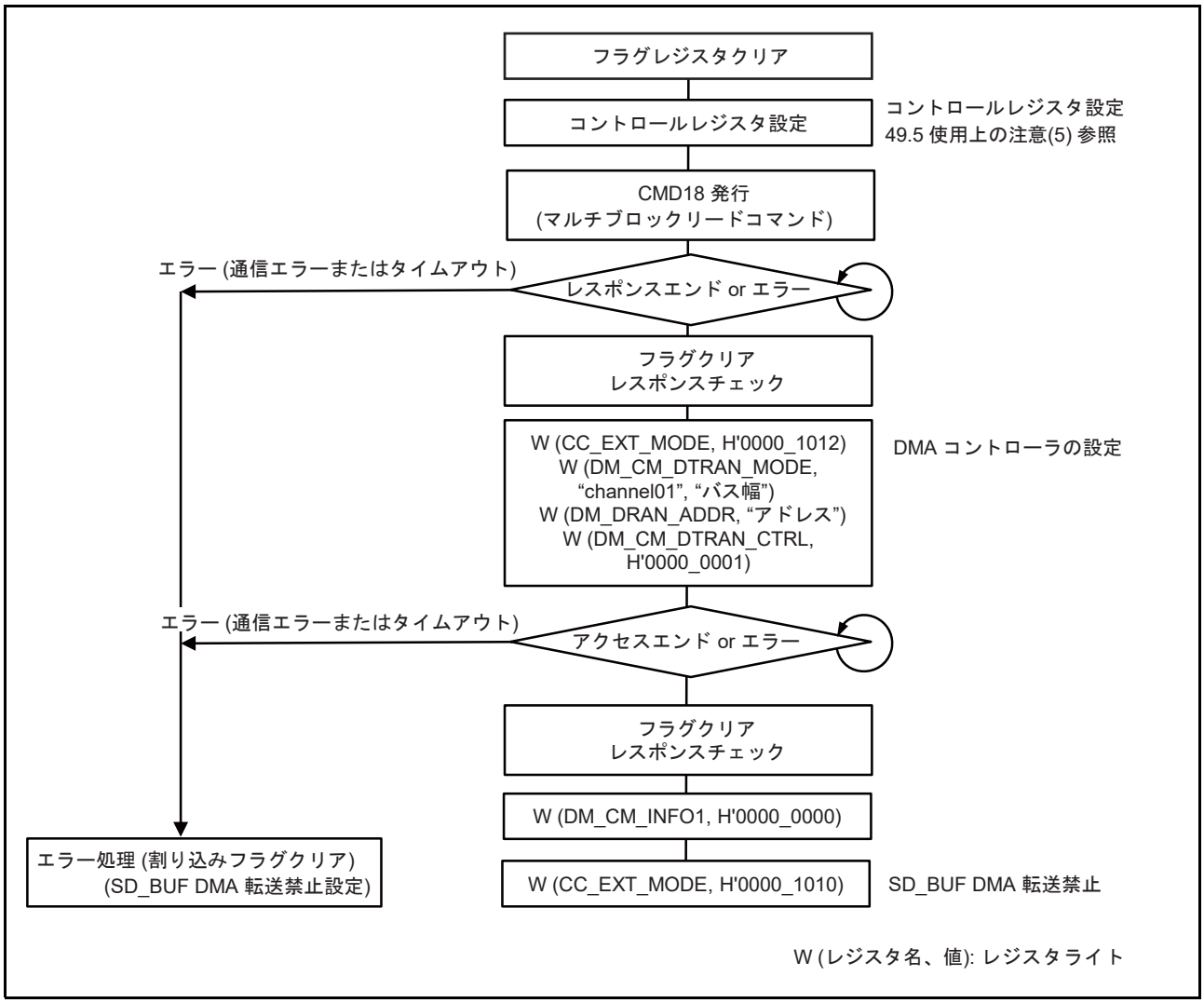


図 49.24　SD_BUF DMA リードフローチャート例

図 49.25 にマルチブロックライト（CMD25）コマンドを発行した場合の SD_BUF DMA ライトフローチャート例を示します。

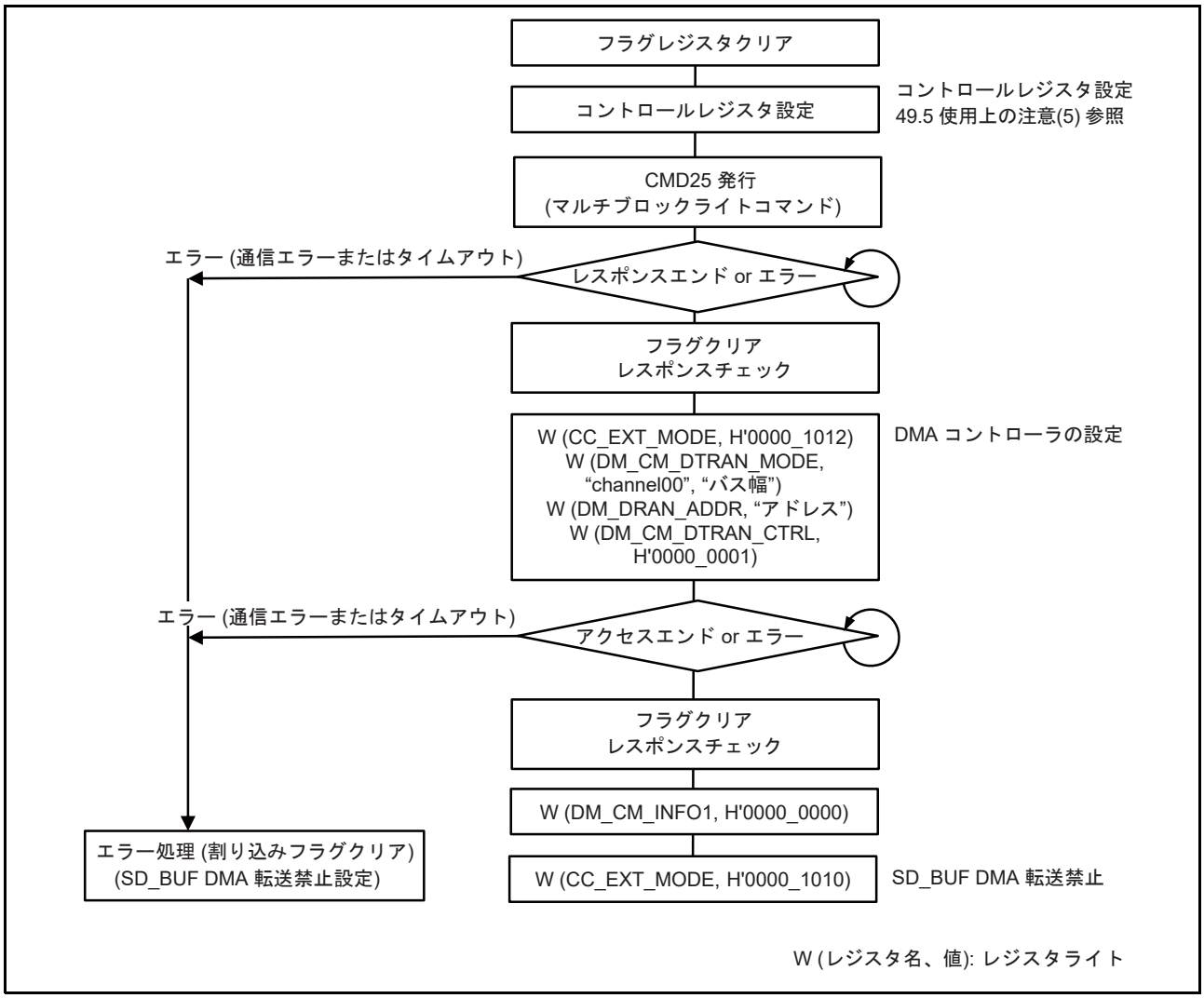


図 49.25　SD_BUF DMA ライトフローチャート例

49.4.11　High Priority Interrupt（データ転送なしの場合）

(1)　フローチャート例

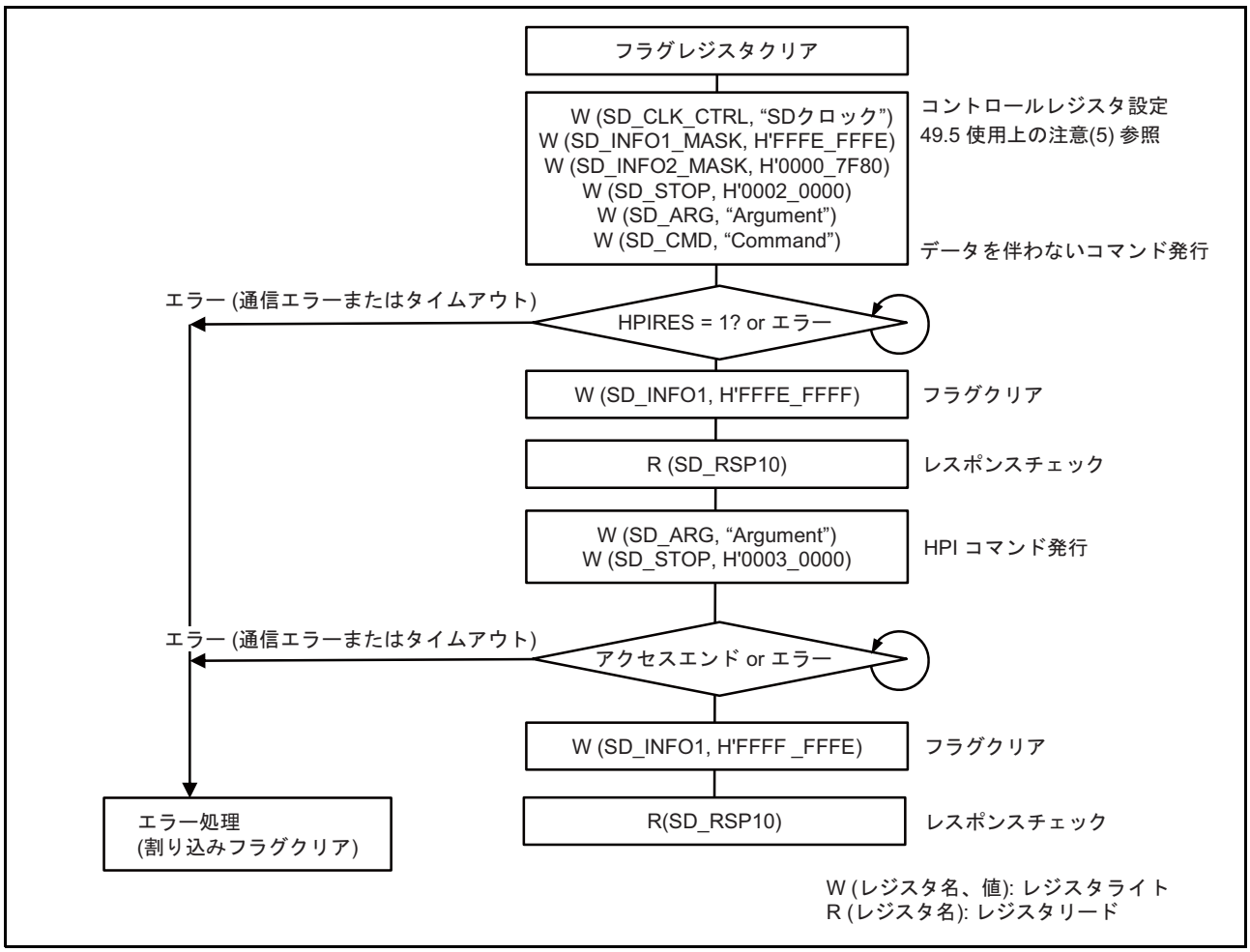


図 49.26　High Priority Interrupt（データなし）フローチャート例

(2) 動作説明

データなしの場合の HPI の動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）
2) コントロールレジスタの設定
SD クロック（SDCLK）、HPI イネーブル、割り込みマスク等を設定します。（SD_CLK_CTRL、SD_INFO1_MASK、SD_INFO2_MASK）
3) コマンド発行
SD_ARG レジスタに CMD の Argument を設定して、SD_CMD レジスタにライトします。これにより CMD が発行され、動作を開始します。
4) フラグのクリア
レスポンスを受信すると SD_INFO1 レジスタの HPIRES が 1 にセットされ割り込みが発生します。HPIRES をクリアします。
5) SD_RSP10 レジスタからレスポンスをリードします。
6) HPI コマンドの発行
SD_ARG レジスタにコマンドの Argument を設定して、SD_STOP の HPIMODE と HPICMD を 1 にします。
7) 動作完了
HPI コマンドのレスポンス受信完了かつビジーが解除されると SD_INFO1 レジスタの INFO0 が 1 にセットされ割り込みが発生します。
INFO0 をクリアして SD_RSP10 レジスタからレスポンスをリードすると動作完了となります。

なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

49.4.12　High Priority Interrupt（シングルブロックライトの場合）

(1)　フローチャート例

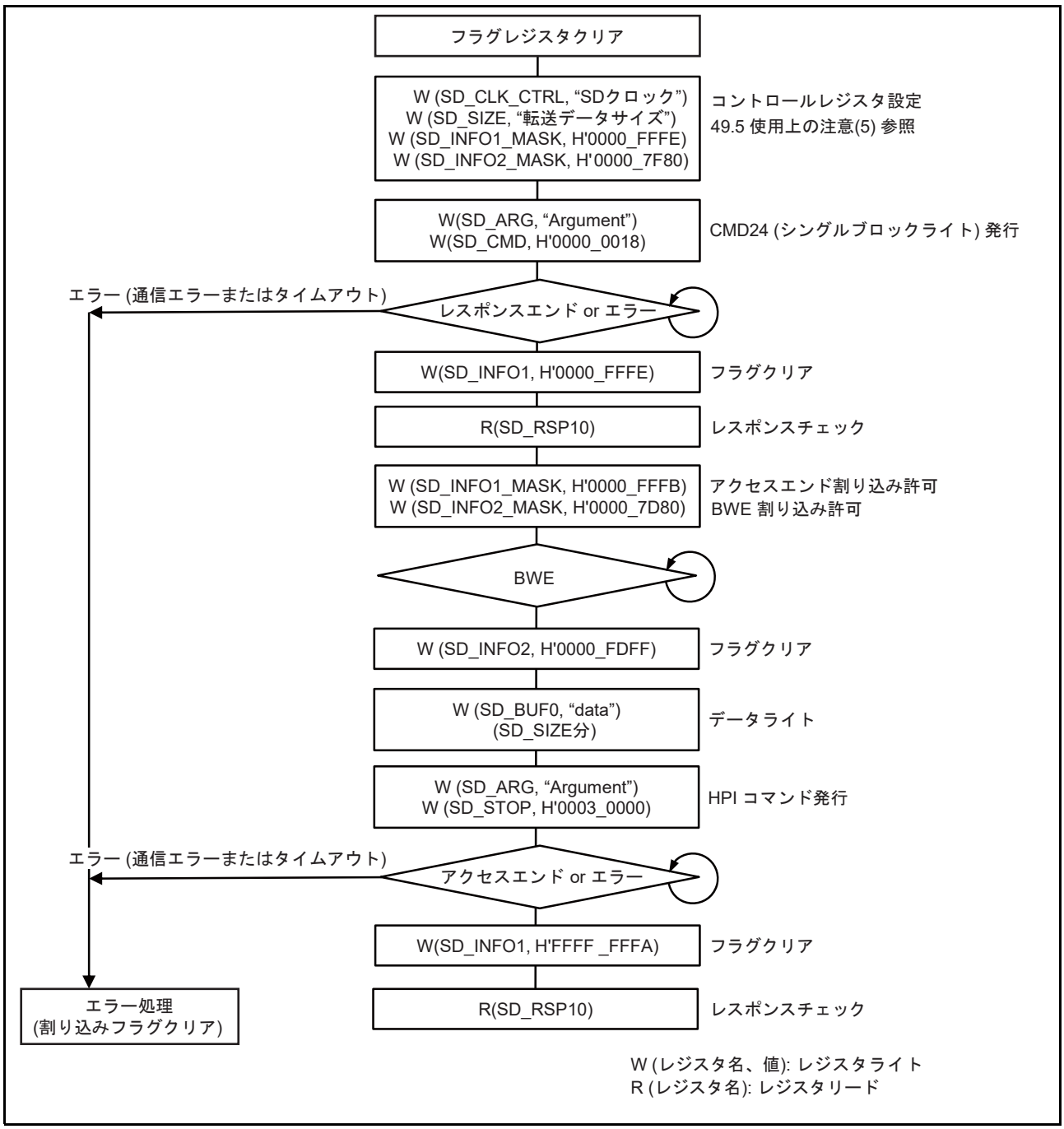


図 49.27　High Priority Interrupt（シングルブロックライト）フローチャート例

(2) 動作説明

シングルブロックライトの場合の HPI の動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）
2) コントロールレジスタの設定
SD クロック（SDCLK）、転送データサイズ、割り込みマスク等を設定します。（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK）
3) コマンド発行（CMD24）
SD_ARG レジスタに CMD24 の Argument を設定して、SD_CMD レジスタに H'0000_0018 をライトします。これにより CMD24 が発行され、シングルブロックライト動作を開始します。
4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ割り込みが発生します。INFO0 をクリアして SD_RSP10 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定、または SDIO_MODE レジスタの IOABT ビットに 1 設定にて、コマンドシーケンスの中断が可能です。なお、CMD12 または CMD52 は発行されません。コマンドシーケンス中断にて、SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。
5) データライトと SD カードへのデータ送信
SD_INFO1_MASK レジスタに H'0000_FFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに H'0000_7D80 をライトし BWE 割り込みを許可します。SD_BUF0 にデータを書き込むことが可能になると SD_INFO2 レジスタの BWE が 1 にセットされ割り込みが発生します。BWE をクリアして SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 にライトします。
SD_BUF0 へのライトが完了すると SD カードへデータが送信されます。
6) HPI コマンドの発行
SD_ARG レジスタにコマンドの Argument を設定して、SD_STOP の HPIMODE と HPICMD を 1 にします。
7) 動作完了
HPI コマンドのレスポンス受信完了かつビジーが解除されると SD_INFO1 レジスタの INFO2 と INFO0 が 1 にセットされ割り込みが発生します。
INFO2 と INFO0 をクリアして SD_RSP10 レジスタからレスポンスをリードすると動作完了となります。

なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

49.4.13　High Priority Interrupt（マルチブロックライトの場合）

(1)　フローチャート例

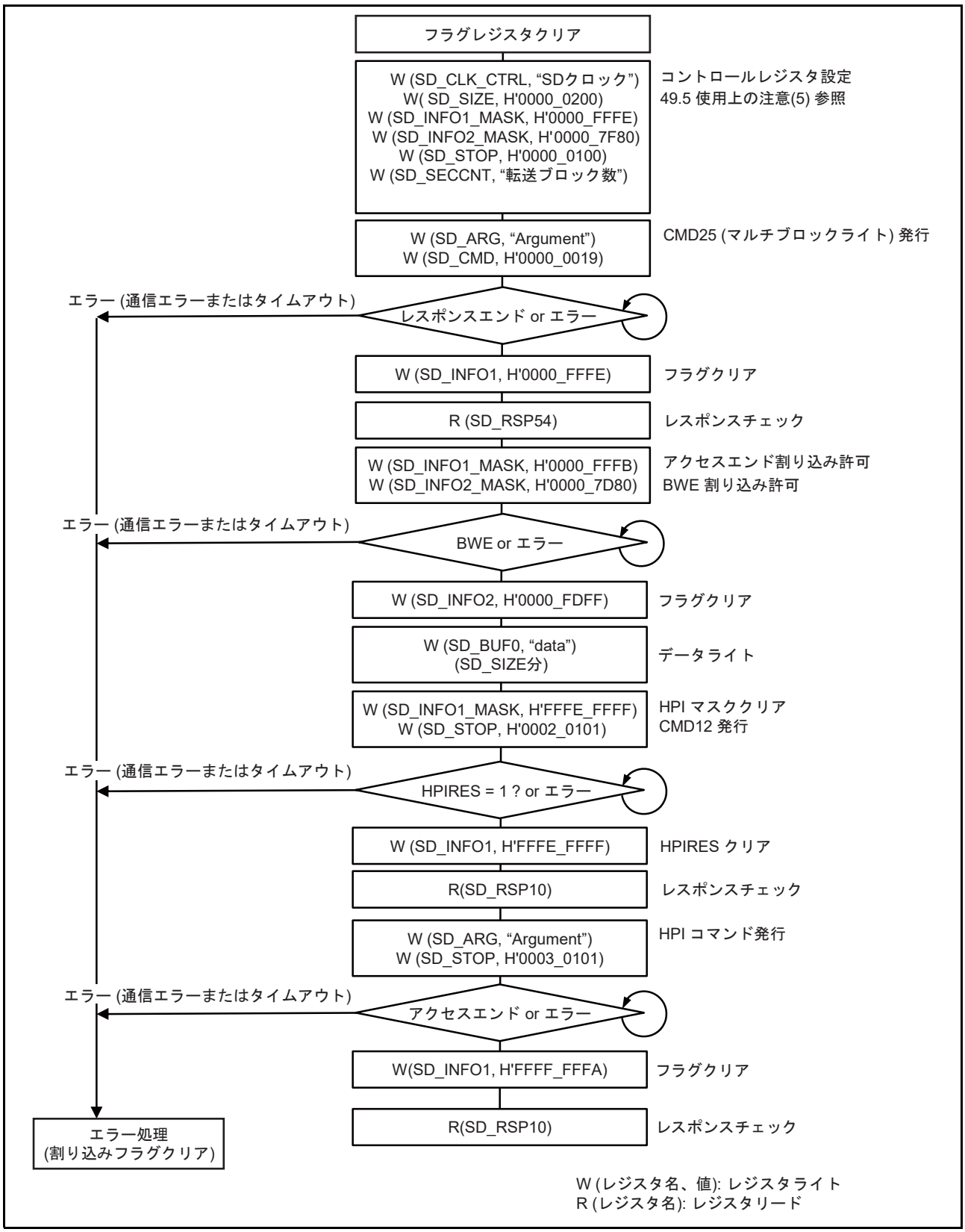


図 49.28　High Priority Interrupt（マルチブロックライト）フローチャート例 (a)

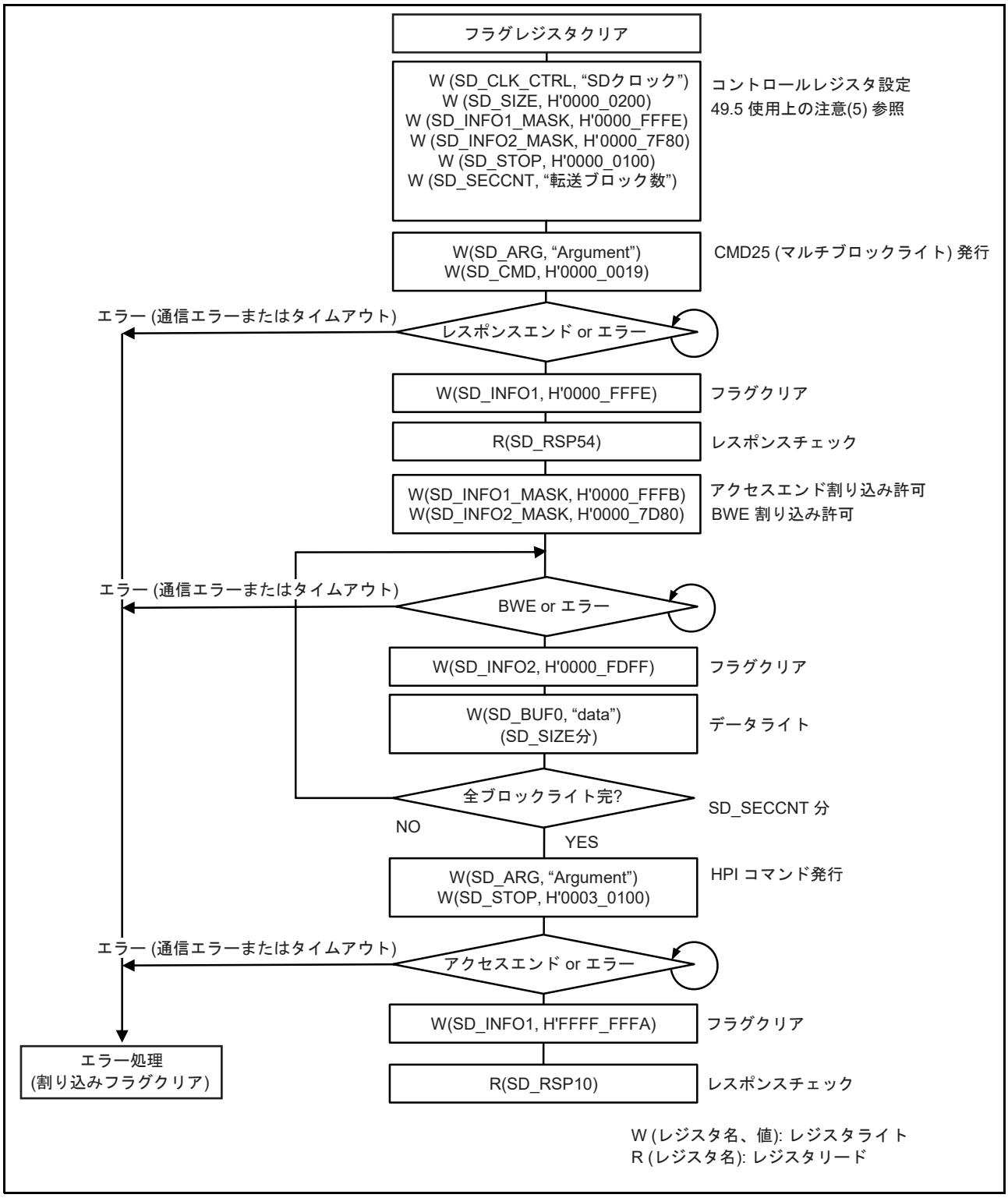


図 49.29　High Priority Interrupt（マルチブロックライト）フローチャート例 (b)

(2) 動作説明

マルチブロックライトの場合の HPI の動作を説明します。

(a) SD_BUF にすべてのデータが書き込まれていない場合

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。(SD_INFO1、SD_INFO2)
2) コントロールレジスタの設定
SD クロック (SDCLK)、転送データサイズ、割り込みマスク等を設定します。(SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK)
SD_STOP レジスタの SEC を 1 に設定し、SD_SECCNT に転送ブロック数を設定します。
3) コマンド発行 (CMD25)
SD_ARG レジスタに CMD25 の Argument を設定して、SD_CMD レジスタに H'0000_0019 をライトします。これにより CMD25 が発行され、マルチブロックライト動作を開始します。
4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0 (レスポンスエンド) が 1 にセットされ割り込みが発生します。INFO0 をクリアして SD_RSP54 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定にて、コマンドシーケンスの中断が可能です。STP ビット 1 設定にて、CMD12 を発行しレスポンスを受信します。アクセスエンド割り込み許可設定でのコマンドシーケンス中断にて、レスポンスの受信が完了すると SD_INFO1 レジスタの INFO2 (アクセスエンド) が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。
5) データライトと SD カードへのデータ送信
SD_INFO1_MASK レジスタに H'0000_FFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに H'0000_7D80 をライトし BWE 割り込みを許可します。
SD_BUF0 にデータを書き込むことが可能になると SD_INFO2 レジスタの BWE が 1 にセットされ割り込みが発生します。BWE をクリアして SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 にライトします。SD_BUF0 へのライトが完了すると、SD カードへデータが送信されます。
そして SD カードから CRC Status と busy を受信します。
但し、SD_BUF0 ライト中に送信中のデータに対して通信エラーまたはタイムアウトが発生する場合があります。
6) CMD12 の発行
SD_INFO1_MASK レジスタに H'FFFE_FFFF をライトし、HPIRES 割り込みを許可します。
SD_STOP レジスタに H'0002_0101 をライトすると CMD12 が発行されます。
7) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの HPIRES が 1 にセットされ割り込みが発生します。HPIRES をクリアして SD_RSP10 レジスタからレスポンスをリードします。
8) HPI コマンドの発行 (CMD25)
SD_ARG レジスタにコマンドの Argument を設定して、SD_STOP の HPIMODE と HPICMD を 1 にします。
9) 動作完了
HPI コマンドのレスポンス受信完了かつビジーが解除されると SD_INFO1 レジスタの INFO2 と INFO0 が 1 にセットされ割り込みが発生します。INFO2 と INFO0 をクリアして SD_RSP10 レジスタからレスポンスをリードすると動作完了となります。

なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

(b) SD_BUF にすべてのデータが書き込まれている場合

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）
2) コントロールレジスタの設定
SD クロック（SDCLK）、転送データサイズ、割り込みマスク等を設定します。（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK）
SD_STOP レジスタの SEC を 1 に設定し、SD_SECCNT に転送ブロック数を設定します。
3) コマンド発行（CMD25）
SD_ARG レジスタに CMD25 の Argument を設定して、SD_CMD レジスタに H'0000_0019 をライトします。これにより CMD25 が発行され、マルチブロックライト動作を開始します。
4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ割り込みが発生します。INFO0 をクリアして SD_RSP54 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定にて、コマンドシーケンスの中断が可能です。STP ビット 1 設定にて、CMD12 を発行しレスポンスを受信します。アクセスエンド割り込み許可設定でのコマンドシーケンス中断にて、レスポンスの受信が完了すると SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。
5) データライトと SD カードへのデータ送信
SD_INFO1_MASK レジスタに H'0000_FFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに H'0000_7D80 をライトし BWE 割り込みを許可します。SD_BUF0 にデータを書き込むことが可能になると SD_INFO2 レジスタの BWE が 1 にセットされ割り込みが発生します。BWE をクリアして SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 にライトします。
SD_BUF0 へのライトが完了すると、SD カードへデータが送信されます。そして SD カードから CRC Status と busy を受信します。これを、SD_SECCNT レジスタに設定した転送ブロック数分繰り返します。
但し、SD_BUF0 ライト中に送信中のデータに対して通信エラーまたはタイムアウトが発生する場合があります。
6) HPI コマンドの発行
SD_ARG レジスタにコマンドの Argument を設定して、SD_STOP の HPIMODE と HPICMD を 1 にします。
7) 動作完了
HPI コマンドのレスポンス受信完了かつビジーが解除されると SD_INFO1 レジスタの INFO2 と INFO0 が 1 にセットされ、割り込みが発生します。
INFO2 と INFO0 をクリアして SD_RSP10 レジスタからレスポンスをリードすると動作完了となります。

なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

49.4.14 SD_CMD レジスタ設定例

表 49.8 に、SD_CMD レジスタ（SD インタフェース）の設定例を示します。

表 49.8　SD_CMD レジスタ設定例（SD）

種類	コマンド	SD_CMD レジスタ設定例	備考
CMD	CMD0	H'0000 0000	
	CMD2	H'0000 0002	
	CMD3	H'0000 0003	
	CMD4	H'0000 0004	
	CMD5	H'0000 0705 or H'0000 0005	
	CMD6	H'0000 1C06 or H'0000 0006	
	CMD7	H'0000 0007	カードを非選択状態にする場合、レスポンスがないため レスポンスタイムアウトフラグがセットされます
	CMD8	H'0000 0408 or H'0000 0008	
	CMD9	H'0000 0009	
	CMD10	H'0000 000A	
	CMD11	H'0000 040B or H'0000 000B	
	CMD12	H'0000 000C	
	CMD13	H'0000 000D	
	CMD15	H'0000 000F	
	CMD16	H'0000 0010	
	CMD17	H'0000 0011	
	CMD18	H'0000 0012	自動 CMD12 有り（SDR104 モード以外）
		H'0000 7C12	自動 CMD12 無し（SDR104 モードのみ）
	CMD19	H'0000 1C13 or H'0000 0013	DDR50 モード時は禁止
	CMD20	H'0000 0514 or H'0000 0014	
	CMD23	H'0000 0417 or H'0000 0017	
	CMD24	H'0000 0018	
	CMD25	H'0000 0019	自動 CMD12 有り（SDR104 モード以外）
		H'0000 6C19	自動 CMD12 無し（SDR104 モードのみ）
	CMD27	H'0000 001B	
	CMD28	H'0000 001C	
	CMD29	H'0000 001D	
	CMD30	H'0000 001E	
	CMD32	H'0000 0020	
	CMD33	H'0000 0021	
	CMD38	H'0000 0026	
	CMD42	H'0000 002A	
	CMD48	H'0000 1C30	
	CMD49	H'0000 0C31	
	CMD52	H'0000 0434 or H'0000 0034	

種類	コマンド	SD_CMD レジスタ設定例	備考
CMD	CMD53	H'0000 1C35	シングルリードの場合
		H'0000 0C35	シングルライトの場合
		H'0000 7C35	マルチリードの場合
		H'0000 6C35	マルチライトの場合
		H'0000 0035	シングル／マルチに関係なく左記設定も可能です。 ただしSD_ARG レジスタのCF39 ビットに下記設定が必要です。 リード：0 ライト：1
	CMD55	H'0000 0037	
	CMD56	H'0000 0038	
	CMD58	H'0000 7C3A	
	CMD59	H'0000 6C3B	
ACMD	ACMD6	H'0000 0046	
	ACMD13	H'0000 004D	
	ACMD22	H'0000 0056	
	ACMD23	H'0000 0057	
	ACMD41	H'0000 0069	
	ACMD42	H'0000 006A	
	ACMD51	H'0000 0073	

表 49.9 に SD_CMD レジスタ（MMC インタフェース）の設定例を示します。

表49.9　SD_CMD レジスタ設定例（MMC）

種類	コマンド	SD_CMD レジスタ設定例	備考
CMD	CMD0	H'0000 0000	
	CMD1	H'0000 0701	
	CMD2	H'0000 0002	
	CMD3	H'0000 0003	
	CMD4	H'0000 0004	
	CMD5	H'0000 0505	
	CMD6	H'0000 0506	（レスポンスビジー有）
		H'0000 0406	（レスポンスビジー無）
	CMD7	H'0000 0007	カードを非選択状態にする場合、レスポンスがないため レスポンスタイムアウトフラグがセットされます
	CMD8	H'0000 1C08	
	CMD9	H'0000 0009	
	CMD10	H'0000 000A	
	CMD12	H'0000 000C	
	CMD13	H'0000 000D	
	CMD14	H'0000 1C0E	SDIF_MODE = H'0100（CRC16 無効）設定要
	CMD15	H'0000 000F	
	CMD16	H'0000 0010	
	CMD17	H'0000 0011	
	CMD18	H'0000 7C12	Pre-defined
	CMD19	H'0000 0C13	SDIF_MODE = H'0100（CRC16 無効）設定要
	CMD21	H'0000 1C15	DDR モード時は禁止
	CMD23	H'0000 0017	
	CMD24	H'0000 0018	
	CMD25	H'0000 6C19	Pre-defined
	CMD26	H'0000 0C1A	
	CMD27	H'0000 001B	
	CMD28	H'0000 001C	
	CMD29	H'0000 001D	
	CMD30	H'0000 001E	
	CMD31	H'0000 1C1F	
	CMD35	H'0000 0423	
	CMD36	H'0000 0424	
	CMD38	H'0000 0026	
	CMD39	H'0000 0427	
	CMD40	H'0000 0428	
	CMD42	H'0000 002A	
	CMD49	H'0000 0C31	
	CMD53	H'0000 7C35	
	CMD54	H'0000 6C36	
	CMD55	H'0000 0037	
	CMD56	H'0000 0038	

49.5　使用上の注意

(1)　SD_BUF イリーガルライトアクセス

シングルブロックライトまたはマルチブロックライトコマンドを発行した後に SD_BUF0 レジスタにデータを書きこむ場合、必ず SD_SIZE レジスタ設定値分のデータを書き込むようにしてください。

誤って SD_SIZE レジスタ設定値を超えるデータを書き込んだ場合、SD_INFO2 レジスタの ERR4 ビットが 1 にセットされます。

また、場合によっては、SD_BUF0 に書き込んだデータの送信が行われず、SD_INFO2 レジスタの SCLKDIVEN ビットが 0 のままとなることがあります。この場合、SOFT_RST レジスタの SDRST ビットを 0 に設定してから 1 に戻すことにより SCLKDIVEN を 1 にクリアすることができます。

但し、SD_SIZE レジスタに奇数バイト設定した場合の 1 バイト（16bit ／ 32bit アクセス時)、もしくは 3 バイト（32bit アクセス時)、または SD_SIZE レジスタに偶数バイト設定した場合の端数バイト（32bit アクセス時）のダミーデータライト分は、余分なデータとみなし無視されるため、上記には該当しません。(端数バイト：4 バイト単位以外での 2 バイト)

(2)　マルチブロックリード時のブロック数制限

１ブロックまたは２ブロックのマルチブロックリードを行う場合、レスポンスレジスタを読み出すタイミングによっては、レスポンス値を正しく読み出せないことがありますので、以下のいずれかの方法にて回避してください。

1)　1 ブロックまたは 2 ブロックのデータを受信する場合は、シングルブロックリードを使用
2)　CMD18 のレスポンスは SD_RSP54 レジスタをリード

< 不正読み出しの仕組み >

図 49.30 に 2 ブロックのマルチブロックリードを行った時の SD/MMC ホストインタフェース（ハード）とソフトウエアの処理例を示します。図 49.30 の不具合動作時の場合、CMD18 レスポンス受信による割り込みが発生し、その割り込みによるカードレスポンスレジスタ（SD_RSP10）をリードするタイミングが遅延すると、CMD12 レスポンスの受信中のデータをリードしたり、CMD12 レスポンスをリードしたりすることがあります。なお、３ブロック以上のマルチブロックリードの場合、ブロックデータをリードしなければ CMD12 を送信することはないので該当しません。また、マルチブロックライトの場合、CMD25 レスポンスをリードしてからブロックデータを送信するので該当しません。

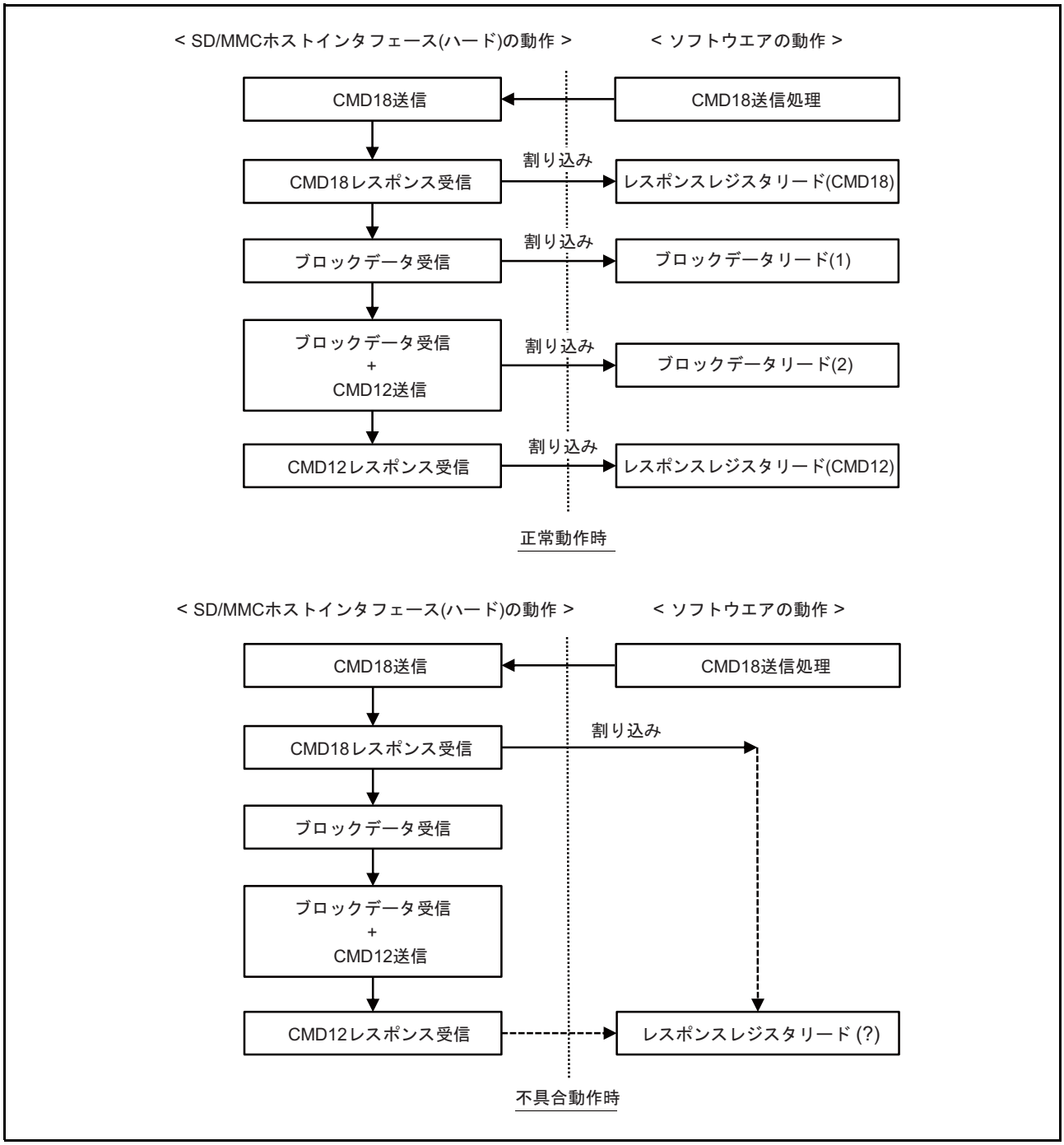


図 49.30　マルチブロックリード処理例（2 ブロック）

(3)　SDCLK 出力自動制御

SD カード規格にて、カード初期化前に 74SDCLK 周期分 SDCLK 出力が必要となります。そのため、74SDCLK 周期分 SDCLK 出力してから SDCLK 出力自動制御を使用してください。

また、SDCLK 出力自動制御を使用した場合、通信エラーまたはタイムアウトによるシーケンス終了にて SDCLK 出力が停止します。

そのため、シーケンス終了後も SD カード内のステートを遷移させる必要などがある場合は、SDCLK 出力自動制御を解除して SD カードへの SDCLK 供給を再開させてください。

(4) マルチブロックライト時の C52PUB 設定制御

CMD53 によるマルチブロックライトシーケンス中に、SDIO_MODE レジスタの C52PUB を 1 に設定しても、SD_BUF が空になるまで CMD52 を発行しません。そのため、以下の手順で SD_BUF への書き込みを一時停止してから、C52PUB を 1 に設定してください。

- DMA 転送を使用しない場合

1. C52PUB を設定する前に、SD_INFO2 レジスタの BWE 割り込みを禁止に設定して SD_BUF への書き込みを一時停止
2. SDIO_MODE レジスタの C52PUB を 1 に設定（SD_BUF が空の状態になると CMD52 が発行）
3. CMD52 発行による SD_INFO1 レジスタの INFO0 割り込みの処理を完了した後、SD_INFO2 レジスタの BWE 割り込みを許可に設定して SD_BUF への書き込みを再開

- DMA 転送を使用する場合

1. DMA による転送を SD_SIZE レジスタ設定値 × n ブロック（n = 1, 2・・・）毎に行い、C52PUB を設定する前に DMA 転送による SD_BUF への書き込みを一時停止
2. SDIO_MODE レジスタの C52PUB を 1 に設定（SD_BUF が空の状態になると CMD52 が発行）
3. CMD52 発行による SD_INFO1 レジスタの INFO0 割り込みの処理を完了した後、DMA 転送による SD_BUF への書き込みを再開

(5) SD_CLK_CTRL レジスタ設定時の注意

SD_INFO2 レジスタの SCLKDIVEN ビットが 0 のとき、SD_CLK_CTRL レジスタをライトすることができません。そのため、SD_INFO2 レジスタの SCLKDIVEN ビットが 1 であることを確認してから、SD_CLK_CTRL レジスタをライトしてください。

(6) 仕様上の制約

1. SDIO の Suspend/Resume に非対応です。
2. SPI bus に非対応です。
3. Embedded SDIO の Shared bus と 8 ビット SD bus に非対応です。
4. MMC のストリーム転送に非対応です。

(7) マルチリード中の STP ビット設定

SD_STOP レジスタの SEC ビットを 1 に設定して自動 CMD12 有りマルチブロックリードを実行中に、SD_STOP レジスタの STP ビットを 1 にして強制終了する場合、STP ビットを 1 にするタイミングによっては、コマンドシーケンスが終了しないことがあります。

これを回避するため、マルチブロック転送中に SD_STOP レジスタの STP ビットを 1 にする場合、SD_STOP レジスタの SEC ビットを同時に 0 に設定してください。（SD_INFO2 レジスタの SCLKDIVEN ビットが 0 であっても、SEC ビットを 1 から 0 に変更してください）

また、SEC ビットを同時に 0 にせず、コマンドシーケンスが終了しない場合には、SOFT_RST レジスタの SDRST ビットを 0 にすることで、コマンドシーケンスを終了することも可能です。

なお、CMD53 マルチブロック転送中に、SDIO_MODE レジスタの IOABT ビットにて強制終了する場合には、SD_STOP レジスタの SEC ビットは 1 のままにしてください。

49.6　サンプリングクロックコントローラ（SCC）

49.6.1　特長

本モジュールは、SD UHS-I/SDR104、および、MMC/HS200 で使用するサンプリングクロック（以下、SCC サンプリングクロック）を制御するモジュールです。本モジュールと SD/MMC ホストインタフェースを合わせて使用することで、SD UHS-I/SDR104 と MMC/HS200 に対応することが可能となります。.

49.6.2　ブロック図

図 49.31 にサンプリングクロックコントローラのブロック図を示します。

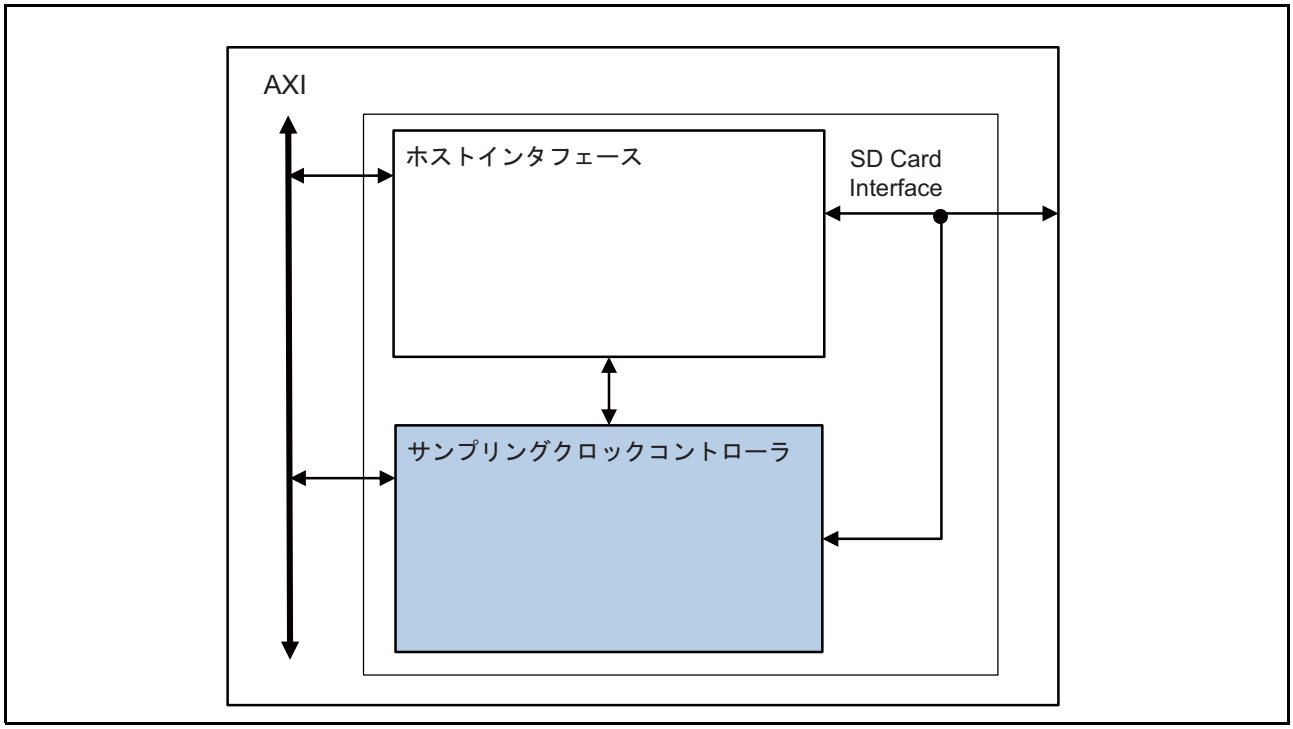


図 49.31　サンプリングクロックコントローラのブロック図

49.6.3　レジスタ構成

表 49.10 にレジスタを示します。各チャンネルのベースアドレスは以下の通りです。

チャネル 0：H'E8227000

チャネル 1：H'E8229000

表 49.10　レジスタ構成

レジスタ名	略称	アドレス ([9:0])	アクセスサイズ
初期設定レジスタ	SCC_DTCNTL	H'000	32
サンプリングクロック位置設定レジスタ	SCC_TAPSET	H'008	32
ハードウェア調整レジスタ 1	SCC_DT2FF	H'010	32
サンプリングクロック選択レジスタ	SCC_CKSEL	H'018	32
サンプリングクロック位置補正レジスタ	SCC_RVSCNTL	H'020	32
サンプリングクロック位置補正要求レジスタ	SCC_RVSREQ	H'028	32
サンプリングデータ比較レジスタ	SCC_SMPCMP	H'030	32

49.7　レジスタの説明

49.7.1　初期設定レジスタ（SCC_DTCNTL）

ビット	ビット名	初期値	R/W	説明
31 ～ 24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
23 ～ 16	TAPNUM7 ～ TAPNUM0	H'08	R/W	SD_CLK_CTRLレジスタのDIV7～DIV0がH'FF（1:1モード）の場合、これらのビットをH'08に設定してください。
15 ～ 1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
0	TAPEN	0	R/W	SCC サンプリングクロック動作イネーブル 0：SCC サンプリングクロック動作禁止 1：SCC サンプリングクロック動作許可

49.7.2　サンプリングクロック位置設定レジスタ（SCC_TAPSET）

ビット	ビット名	初期値	R/W	説明
31 ～ 8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
7 ～ 0	TAPSET7 ～ TAPSET0	H'00	R/W	SCC サンプリングクロック位置 ・0 ～ TAPNUM－1 の範囲で設定してください。

49.7.3　サンプリングクロック選択レジスタ（SCC_CKSEL）

ビット	ビット名	初期値	R/W	説明
31 ～ 1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
0	DTSEL	0	R/W	サンプリングクロック選択 0: SCC サンプリングクロックを使用しない（SDR104とHS200以外） 1: SCC サンプリングクロックを使用する（SDR104またはHS200の場合） • SDR104またはHS200の場合、DTSEL を1 に設定してください。 SD_CLK_CTRL レジスタのDIV[7:0]は、H'FF（1:1 モード）にしてください。 • 本ビットを切り替える際は、SD/MMCホストインタフェースの出力する SDクロックを停止（SD_CLK_CTRL のSCLKEN を”0”に設定）してください。

49.7.4　サンプリングクロック位置補正レジスタ（SCC_RVSCNTL）

ビット	ビット名	初期値	R/W	説明
31 ～ 16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15 ～ 8	TAPSEL7 ～ TAPSEL0	H'00	R	SCC サンプリングクロック位置表示 • ハードウェアが選択しているSCC サンプリングクロック位置を表します。 • RVSEN を1 にした後、TAPSET の値と異なることがあります。
7 ～ 2	—	すべて0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
1	RVSW	0	R/W	0 が読みだされます。書き込むときには、0 をライトしてください。
0	RVSEN	0	R/W	SCC サンプリングクロック位置補正イネーブル 0：SCC サンプリングクロック位置補正禁止 1：SCC サンプリングクロック位置補正許可 • チューニングを実行した後にRVSEN を1 に設定すると、SD/MMCホストインタフェースのコマンドシーケンスの度に、本モジュールがSCC サンプリングクロック位置を補正します。 • 但し、RVSERR = 1 のときは、SCC サンプリングクロック位置を補正しません。 • チューニングを実行中は、RVSEN を0 に設定してください。

49.7.5　サンプリングクロック位置補正要求レジスタ（SCC_RVSREQ）

ビット	ビット名	初期値	R/W	説明
31 ～ 3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
2	RVSERR	0	R/W	SCC サンプリングクロック位置補正エラー 0：補正エラーなし 1：補正エラーあり • コマンドシーケンス終了後に、本ビットが1 にセットされている場合、0 ライトした後、再度チューニングを実施してください。 • チューニング中は本ビットを無視してください。 • 本ビットは”1 ”ライト無効、”0”ライトのみ有効
1	REQTAP UP	0	R/W	SCC サンプリングクロック位置プラス方向補正要求 0：補正要求なし 1：補正要求あり • コマンドシーケンス終了後、本ビットに”1”がセットされていたときは、“0”ライト後、TAPSET をプラス方向に書き換えてください。（TAPSEL = TAPNUM - 1 の場合、TAPSET = 0 を設定してください。） • RVSEN が1 の場合、本ビットは無効（”1”セットされない）になります。 • 本ビットは”1 ライト無効、”0”ライトのみ有効
0	REQTAP DWN	0	R/W	SCC サンプリングクロック位置マイナス方向補正要求 0：補正要求なし 1：補正要求あり • コマンドシーケンス終了後、本ビットに”1”がセットされていたときは、”0”ライト後、TAPSET をマイナス方向に書き換えてください。（TAPSEL = 0 の場合、TAPSET = TAPNUM - 1 を設定してください。） • RVSEN が1 の場合、本ビットは無効（”1”セットされない）になります。 • 本ビットは”1 ライト無効、”0”ライトのみ有効

49.7.6 ハードウェア調整レジスタ 1（SCC_DT2FF）

このレジスタは、各 TAP 位置でサンプリングクロックによって取り込まれた SD_DAT が、適切なタイミングで使用されるように設定します。

ビット	ビット名	初期値	R/W	説明
31～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
15～8	DT2NESET7 ～ DT2NESET0	H'05	R/W	ハードウェア調整1 サンプリングクロックコントローラ使用時は、H'03に設定してください。
7～0	DT2NSSET7 ～ DT2NSSET0	H'02	R/W	ハードウェア調整2 サンプリングクロックコントローラ使用時は、H'00に設定してください。

49.7.7 サンプリングデータ比較レジスタ（SCC_SMPCMP）

データ比較レジスタは、サンプリングデータの比較結果を示します。比較の対象は、前後の TAP です。

ビット	ビット名	初期値	R/W	説明
31～25	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
24～16	CMPNGU	すべて0	R/W	以前のTAPクロックとのサンプリングデータの比較。 ビット16-23はデータ0-7の比較結果です。ビット24はCMDの比較結果です。 0: 一致 1: 不一致 < クリア条件> コマンドシーケンス開始 SCC_TAPSETレジスタ書き込み
15～9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 これらのビットに0以外の値を書き込んだ場合の動作は保証されません。
8～0	CMPNGD	すべて0	R/W	サンプリングデータとTAP後のクロックとの比較。 ビット0-7はデータ0-7の比較結果です。ビット8はCMDの比較結果です。 0: 一致 1: 不一致 < クリア条件> コマンドシーケンス開始 SCC_TAPSETレジスタ書き込み

49.8　使用例

49.8.1　チューニング

SCC のチューニングは、シングルブロックリードの動作を利用して実施します。

図 49.32 に示すように、サンプリングクロック位置を 0 ～ TAPNUM - 1 と変更した時のシングルブロックリードコマンドが正常に終了するかを調べ、結果を保存します。調査完了後、3 つ以上正常終了（OK）が連続する範囲が存在することを確認し、その連続する範囲の内で中央値を最終的な調整値とします。

図 49.33 に詳細なチューニングフローを、**表 49.11** にサンプリングクロック位置選択方法（TAPNUM = 8 の例）を示します。

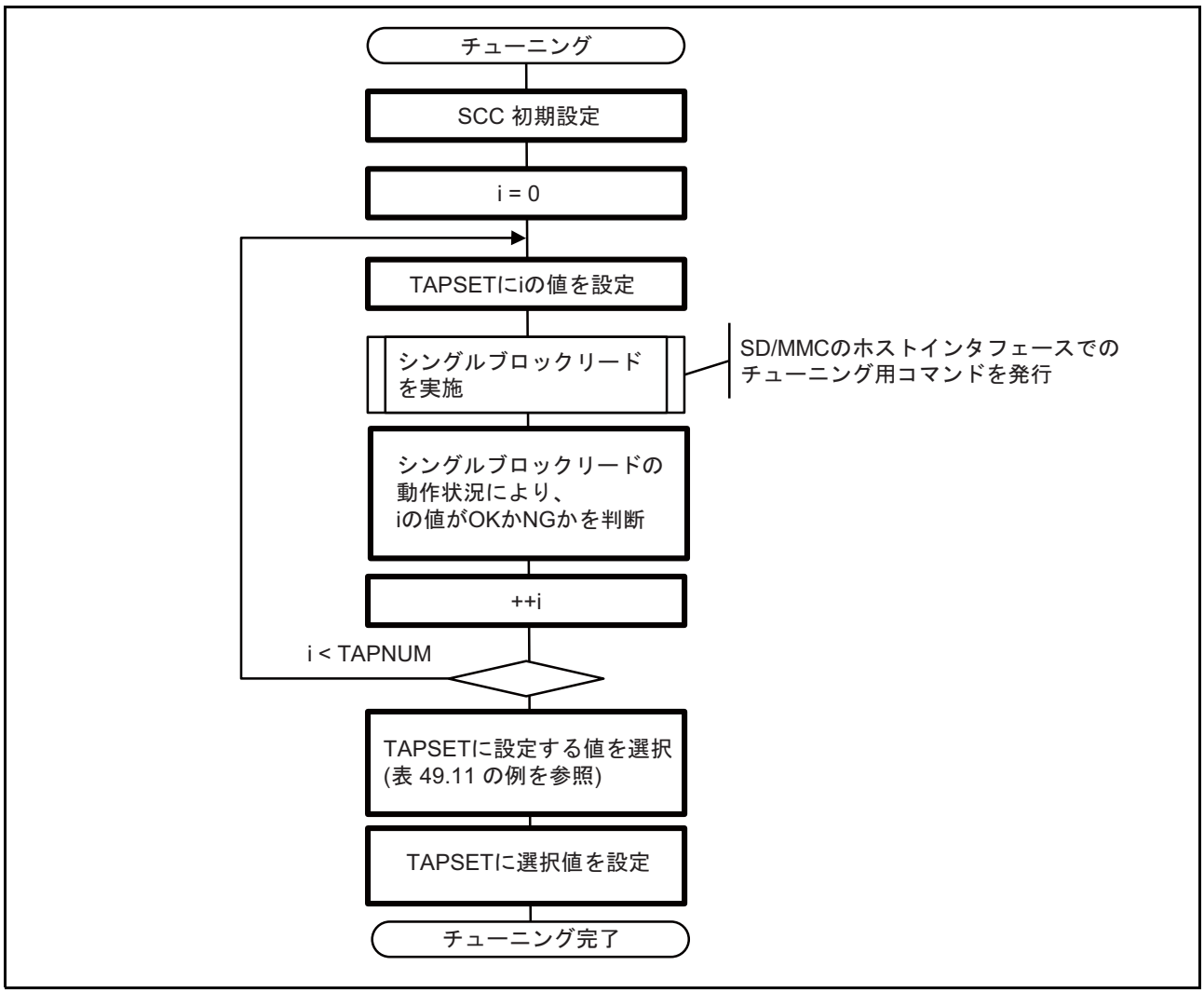


図 49.32　チューニングフロー例（概要）

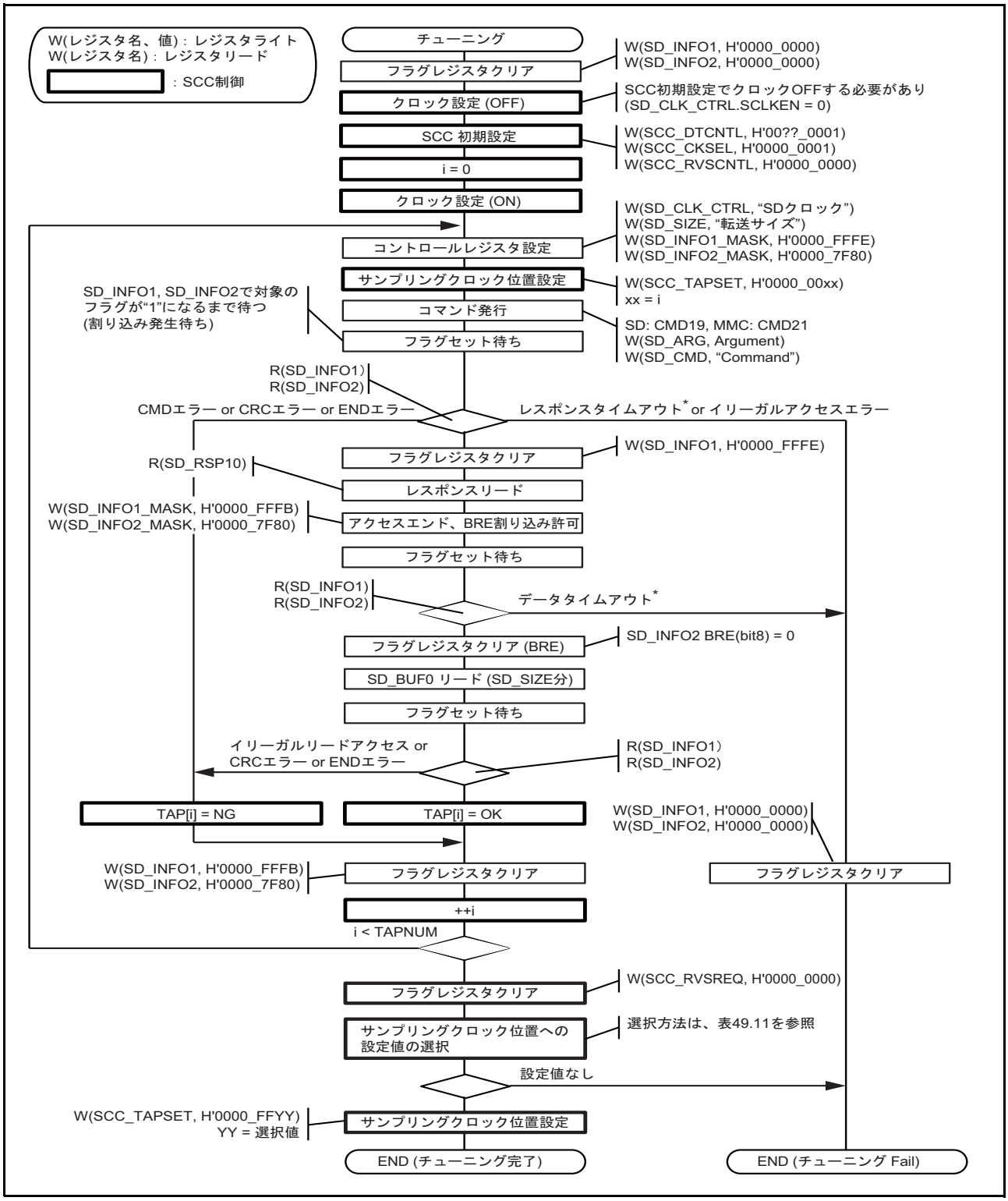


図 49.33　チューニングフロー例（詳細）

*: すべての TAP[i] が "NG" になった場合

表 49.11　サンプリングクロック位置選択方法例（TAPNUM = 8 の場合）

項目	i	ケース 1	ケース 2	ケース 3	ケース 4	ケース 5 *1
TAP[i]	0	NG	OK	NG	OK	OK
	1	OK	OK	NG	NG	OK
	2	OK	NG	OK	NG	OK
	3	OK（←）	NG	OK	NG	OK
	4	OK	NG	NG	NG	OK
	5	OK	OK	NG	OK	OK
	6	NG	OK	NG	OK（←）	OK
最大値→	7	NG	OK（←）	NG	OK	OK
	(0)	NG	OK	NG	OK	OK
	(1)	OK	OK	NG	NG	OK
	(2)	OK	NG	OK	NG	OK
	(3)	OK	NG	OK	NG	OK
	(4)	OK	NG	NG	NG	OK
	(5)	OK	OK	NG	OK	OK
	(6)	NG	OK	NG	OK	OK
	(7)	NG	OK	NG	OK	OK
選択値		i = 3	i = 7	Fail	i = 6 または 7	i = 0 ～ 7

表中記号 :（←）: 選択例、(x): TAP[x] の添え字 x を繰り返し表示

*1 全ての TAP[i] が OK であれば、サンプリングクロック位置は、データ変化点を識別することで選択します。

データ変化点は、SCC_SMPCMP レジスタの値で見つけることができます。使用例「49.8.3　入力データ変化点」

(a)　TAP[i] = OK が、3 点以上連続する範囲から、マージンを考慮して、サンプリングクロック位置を選択します。

(b)　サンプリングクロック位置は、最大値（TAPNUM - 1）の次に 0 から繰り返します。上記、ケース 2 では、5 → 6 → 7 → 0 → 1 と連続することになります。

49.8.2　チューニング後のサンプリングクロック位置補正

チューニング後、コマンド発行時にサンプリングクロック位置の補正が必要な場合があります。

手動および自動補正方法があります。コマンドシーケンスの後、CMD、CRC、END エラーまたはタイムアウトが発生した場合、または訂正エラーが発生した場合、再度チューニングを実施します。

以下は、手動および自動補正方法の例です。

(1)　サンプリングクロック位置手動補正

図 49.34 にサンプリングクロック位置の手動補正のフローを示し、

表 49.12 に補正要求時の設定値決定表（TAPNUM = 8 の場合）を示します。

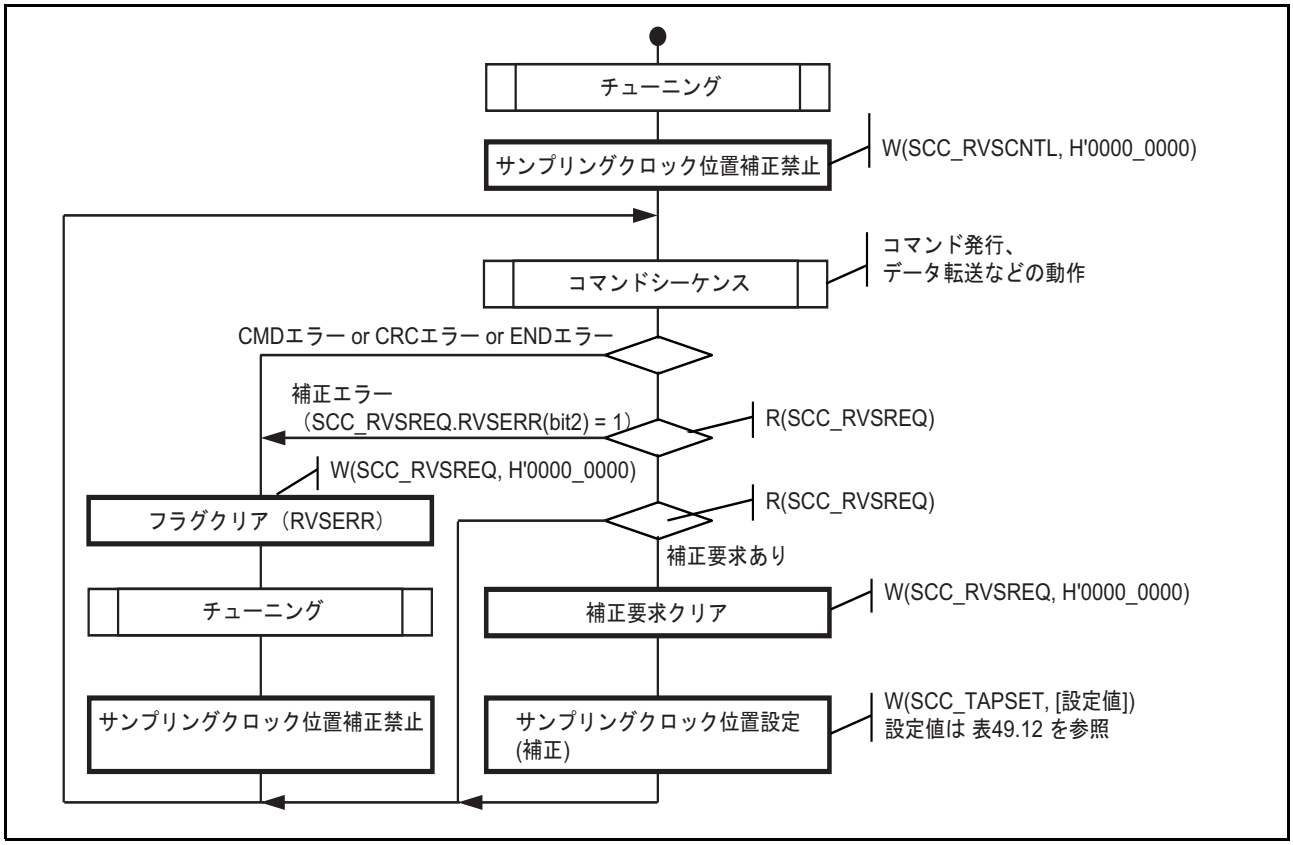


図 49.34　サンプリングクロック位置手動補正フロー（例）

表49.12　補正要求に対するTAPSET への設定値（TAPNUM = 8 の場合）

No.	現在のTAPSETの値	REQTAPUP = 1の時 TAPSETへの設定値	REQTAPDWN = 1の時 TAPSETへの設定値
1	0	1	7
2	1	2	0
3	2	3	1
4	3	4	2
5	4	5	3
6	5	6	4
7	6	7	5
8	7	0	6

注.　チューニング時の選択方法と同様、サンプリングクロック位置は最大（TAPNUM - 1）の次は0 になります。

(2)　サンプリングクロック位置自動補正

図 49.35 にサンプリングクロック位置の自動補正のフローを示します。

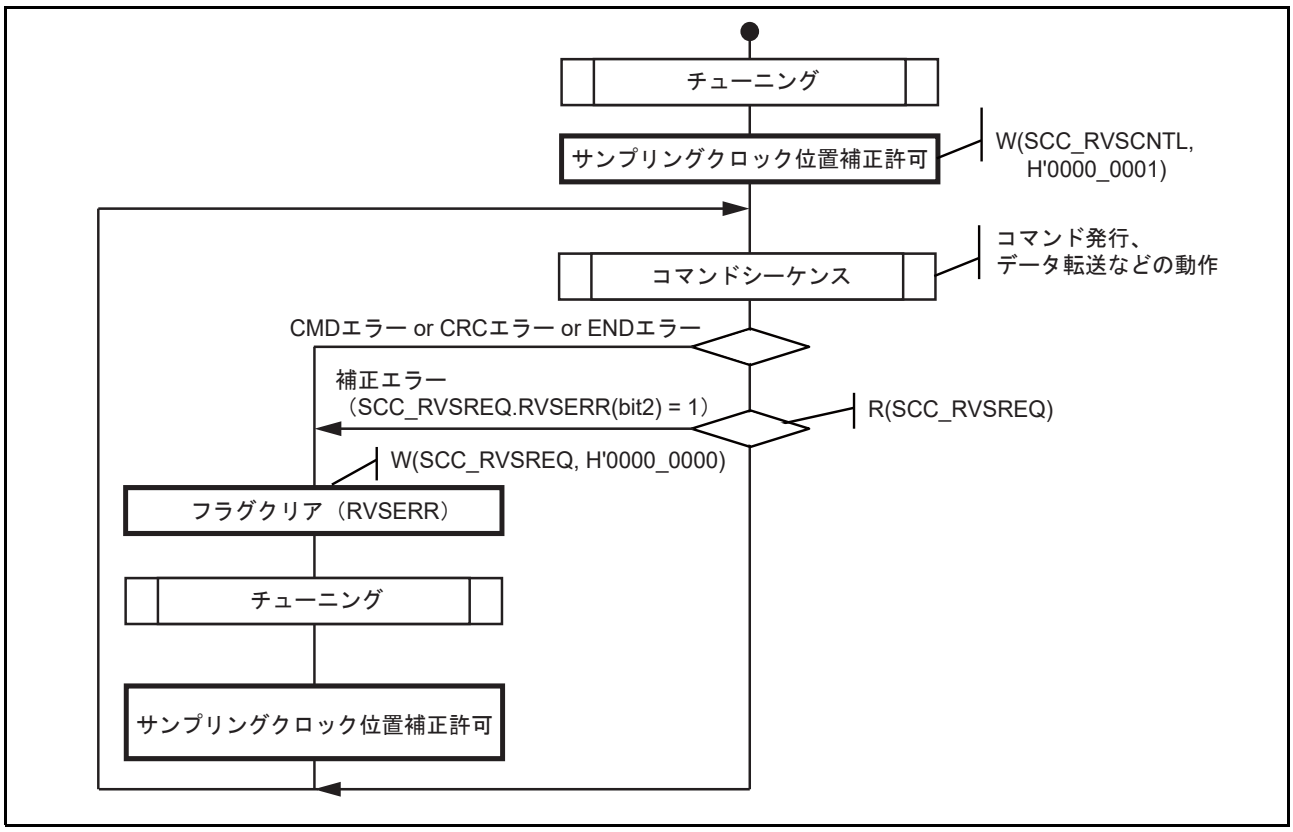


図 49.35　　サンプリングクロック位置自動補正フロー（例）

49.8.3　入力データ変化点

チューニングは、選択された TAP クロックでデータをキャプチャします。前の TAP クロックと後の TAP クロックでのデータを同時にキャプチャします。この結果は、サンプリングデータ比較レジスタ（SCC_SMPCMP）に反映されます。選択された TAP クロック前後の不一致ポイントがデータ変化点です。この例では、TAP6 または TAP7 として設定することが望ましいです。

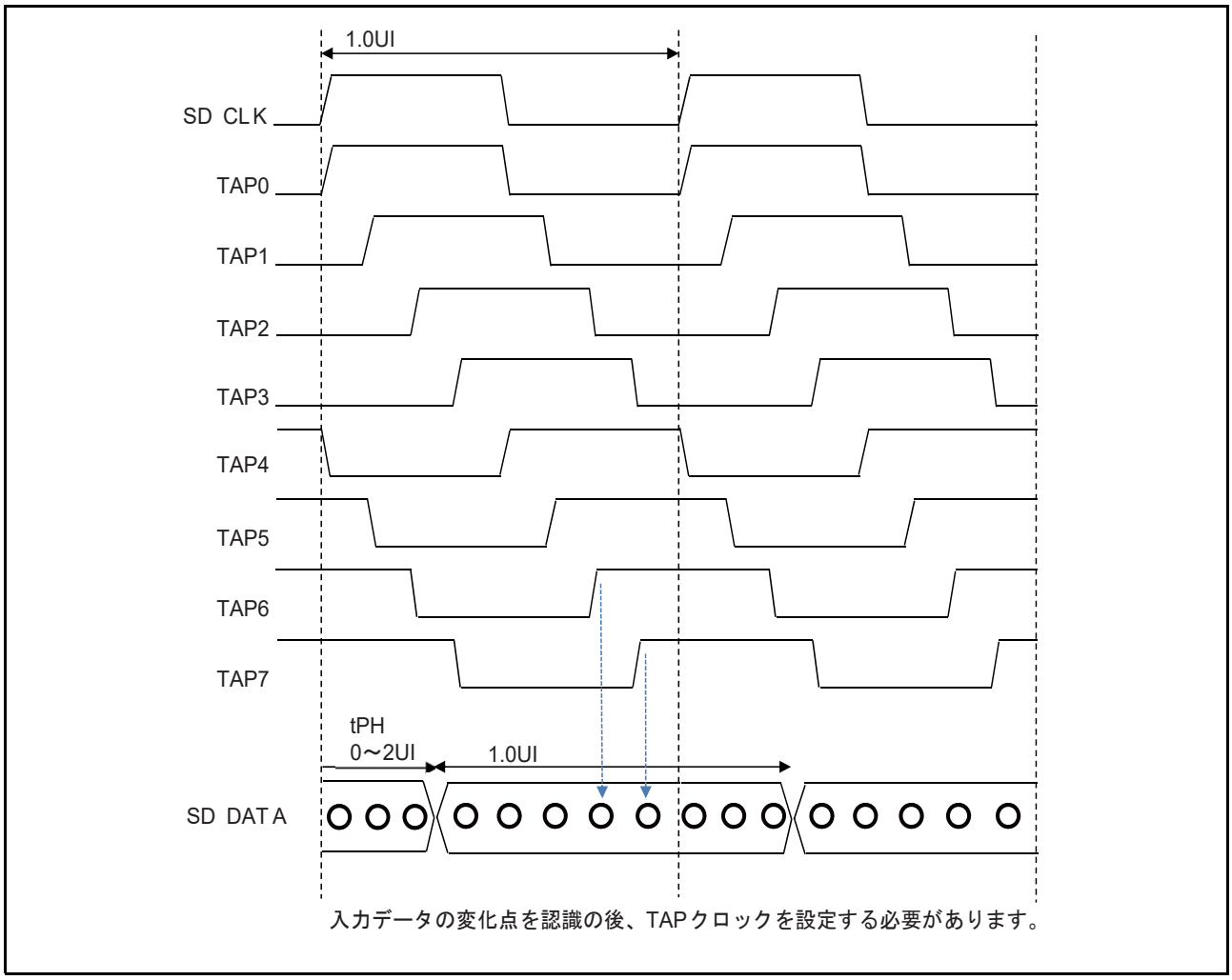


図 49.36　すべてのタップが OK の例

図 49.36 の例では、TAP2 と TAP3 の間でのデータ変化点を示しています。データ比較レジスタ（SCC_SMPCMP）をサンプリングすることで、データ変化点を確認することができます。

TAP2 または TAP3 のチューニングのとき、サンプリングデータ比較レジスタの CMPNGU ビットが不一致を示します。入力データの幅が 1（UI）のため、TAP3 から次の TAP3 の中央値である TAP6 または TAP7 を選択します。

50. 内蔵 RAM

本 LSI は、表示領域、ワーク領域用に大容量内蔵 RAM（内 128KB を保持用内蔵 RAM と共用）、およびディープスタンバイモードでもデータを保持できる保持用内蔵 RAM を内蔵しており、命令やデータを格納することができます。

大容量内蔵 RAM（保持用内蔵 RAM を含む）は、RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

保持用内蔵 RAM は、大容量内蔵 RAM のページ 0 に割り付けられており、ディープスタンバイモードでデータを保持するかしないかを保持用内蔵 RAM のページごとに選択することが可能です。

50.1 特長

- ページ
  大容量内蔵 RAM は 5 ページで構成されています。
  保持用内蔵 RAM は 4 ページで構成されています。各ページの容量は、ページ 0 は 16K バイト、ページ 1 は 16K バイト、ページ 2 は 32K バイト、ページ 3 は 64K バイトです。
- メモリマップ
  内蔵 RAM は、**表 50.1**、**表 50.2** のアドレス空間に配置されています。大容量 RAM のページ 0 ～ 1 は 512KB、ページ 2 ～ 4 は 1MB の容量になります。

表 50.1 大容量内蔵 RAM アドレス空間

ページ	アドレス
ページ 0（512KB）	H'80000000 ～ H'8007FFFF
ページ 1（512KB）	H'80080000 ～ H'800FFFFF
ページ 2（1024KB）	H'80100000 ～ H'801FFFFF
ページ 3（1024KB）	H'80200000 ～ H'802FFFFF
ページ 4（1024KB）	H'80300000 ～ H'803FFFFF

表 50.2 保持用内蔵 RAM アドレス空間

ページ	アドレス
ページ 0（16KB）	H'80000000 ～ H'80003FFF
ページ 1（16KB）	H'80004000 ～ H'80007FFF
ページ 2（32KB）	H'80008000 ～ H'8000FFFF
ページ 3（64KB）	H'80010000 ～ H'8001FFFF

- ポート
  大容量内蔵 RAM の各ページは 1 本の読み出し／書き込みポートを持ち、AXI バスに接続されています。ただし、保持用内蔵 RAM は、ページ 0 のポートとは独立した別のポートを持ち、4 ページでこの読み出し／書き込みポートを共有します。
- 調停方式
  大容量 RAM の同じポートに対して異なるマスタから同時にアクセス要求があった場合には、AXI バスがラウンドロビン方式で調停を行います。
- アクセスサイクル数
  アクセスサイクル数は、リード／ライトともに 1Bφ サイクルです。

50.2 使用上の注意事項

50.2.1 ページ競合

大容量内蔵 RAM の同じページに対して異なるマスタから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、マスタごとに異なるページをアクセスすると競合は発生しません。

50.2.2 データ保持について

大容量内蔵 RAM（保持用内蔵 RAM 含む）は、パワーオンリセット、ディープスタンバイモード以外の動作状態において、データを保持し続けます。パワーオンリセット、ディープスタンバイモードでは下記動作となります。

(1) パワーオンリセット

(a) 大容量内蔵 RAM（保持用内蔵 RAM 除く）

VRAME または VRAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。

VRAME、VRAMWE ビットが共に有効の場合、データを保持することはできません。

(b) 保持用内蔵 RAM

VRAME、VRAMWE または RRAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合は除きます。

VRAME、VRAMWE、RRAMWE ビットが共に有効の場合、データを保持することはできません。

(2) ディープスタンバイモード

(a) 大容量内蔵 RAM（保持用内蔵 RAM 除く）

データを保持することはできません。

(b) 保持用内蔵 RAM

RRAMKP ビットを有効にすることにより、ディープスタンバイモードにおいてもデータを保持し続けます。

ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、データを保持することはできません。

割り込み、解除用端子の変化によりディープスタンバイモードを解除した場合は、パワーオンリセット例外処理が実行されますが、データは保持されます。

51. 汎用入出力ポート

51.1 特長

本 LSI のピンには、1 ピンに対して 1 つの機能のみの専用ポート 61 本と、複数の機能からピンの機能を選択する汎用入出力ポート P0 ～ PL 、JP0 のポートグループ 22 組があります。

専用ポートは、以下端子の機能をレジスタ設定により切り替えることができます。

- CKIO 端子〔駆動能力制御レジスタ (PCKIO)〕
- SPI マルチ I/O バスコントローラ用端子〔駆動能力制御レジスタ (PSPIBSC)、動作電圧選択レジスタ (PPOC)〕
- HyperBus™ (注1) コントローラと Octa メモリ (注2) コントローラ用端子〔HyperBus と Octa メモリを選択するレジスタ (PHMOM0)〕

注 1. HyperBus/HyperFlash/HyperRAM は Cypress Semiconductor Corporation. の商標です。
注 2. OctaFlash/OctaRAM は Macronix International Co., Ltd. の商標です。

- SD/MMC ホストインタフェース用端子〔駆動能力制御レジスタ (PSDMMC0)(PSDMMC1)(PSDMMC2)、動作電圧選択レジスタ (PPOC)〕

汎用入出力ポートの各ポートは、周辺モジュールの端子とマルチプレクスされており、レジスタの設定により、マルチプレクス端子の機能を選択できます。

不使用／入力／出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。

使用する周辺機能の入出力、および割り込み端子を兼用している複数のポートの中から選択し、選択した端子に機能を割り付ける端子制御レジスタ (PFS) を備えています。

パッケージによって、I/O ポートの構成が異なります。**表 51.1** に I/O ポートの仕様を、**表 51.2** に I/O ポートの機能を示します。

表51.1　I/Oポートの仕様

	端子名	パッケージ		パッケージ		パッケージ	
		324 ピン	本数	272／256 ピン	本数	176 ピン	本数
兼用端子	P0_0～P0_6	P0_0～P0_6	7	なし	0	なし	0
	P1_0～P1_4	P1_0～P1_4	5	なし	0	なし	0
	P2_0～P2_3	P2_0～P2_3	4	なし	0	なし	0
	P3_0～P3_5	P3_0～P3_5	6	P3_0～P3_5	6	P3_1～P3_5	5
	P4_0～P4_7	P4_0～P4_7	8	P4_0～P4_7	8	P4_0～P4_7	8
	P5_0～P5_7	P5_0～P5_7	8	P5_0～P5_7	8	P5_0～P5_7	8
	P6_0～P6_7	P6_0～P6_7	8	P6_0～P6_7	8	P6_0～P6_3	4
	P7_0～P7_7	P7_0～P7_7	8	P7_2, P7_6, P7_7	3	なし	0
	P8_0～P8_7	P8_0～P8_7	8	P8_0	1	なし	0
	P9_0～P9_7	P9_0～P9_7	8	なし	0	なし	0
	PA_0～PA_7	PA_0～PA_7	8	PA_0～PA_7	8	なし	0
	PB_0～PB_5	PB_0～PB_5	6	PB_0～PB_5	6	なし	0
	PC_0～PC_7	PC_0～PC_7	8	PC_0～PC_7	8	なし	0
	PD_0～PD_7	PD_0～PD_7	8	PD_0～PD_7	8	PD_0～PD_7	8
	PE_0～PE_6	PE_0～PE_6	7	PE_0～PE_6	7	PE_0～PE_6	7

	端子名	パッケージ		パッケージ		パッケージ	
		324 ピン	本数	272／256 ピン	本数	176 ピン	本数
兼用端子	PF_0～PF_7	PF_0～PF_7	8	PF_0～PF_7	8	なし	0
	PG_0～PG_7	PG_0～PG_7	8	PG_0～PG_7	8	PG_0～PG_7	8
	PH_0～PH_6	PH_0～PH_6	7	PH_0～PH_6	7	PH_0, PH_1, PH_3, PH_4	4
	PJ_0～PJ_7	PJ_0～PJ_7	8	PJ_0～PJ_7	8	PJ_0～PJ_5	6
	PK_0～PK_5	PK_0～PK_5	6	PK_0～PK_5	6	PK_0～PK_4	5
	PL_0～PL_4	PL_0～PL_4	5	PL_0～PL_4	5	PL_0～PL_4	5
	JP0_0, JP0_1	JP0_0, JP0_1	2	JP0_0, JP0_1	2	JP0_0, JP0_1	2
専用端子	CKIO	CKIO	1	CKIO	1	CKIO	1
	RES#	RES#	1	RES#	1	RES#	1
	NMI	NMI	1	NMI	1	NMI	1
	USB_X1	USB_X1	1	USB_X1	1	USB_X1	1
	USB_X2	USB_X2	1	USB_X2	1	USB_X2	1
	EXTAL	EXTAL	1	EXTAL	1	EXTAL	1
	XTAL	XTAL	1	XTAL	1	XTAL	1
	RTC_X1	RTC_X1	1	RTC_X1	1	RTC_X1	1
	RTC_X2	RTC_X2	1	RTC_X2	1	RTC_X2	1
	AUDIO_X1	AUDIO_X1	1	AUDIO_X1	1	AUDIO_X1	1
	AUDIO_X2	AUDIO_X2	1	AUDIO_X2	1	AUDIO_X2	1
	TMS/SWDIO	TMS/SWDIO	1	TMS/SWDIO	1	TMS/SWDIO	1
	TCK/SWDCLK	TCK/SWDCLK	1	TCK/SWDCLK	1	TCK/SWDCLK	1
	TRST#	TRST#	1	TRST#	1	TRST#	1
	SD1_CLK	SD1_CLK	1	SD1_CLK	1	SD1_CLK	1
	SD1_CMD	SD1_CMD	1	SD1_CMD	1	SD1_CMD	1
	SD1_DAT0	SD1_DAT0	1	SD1_DAT0	1	SD1_DAT0	1
	SD1_DAT1	SD1_DAT1	1	SD1_DAT1	1	SD1_DAT1	1
	SD1_DAT2	SD1_DAT2	1	SD1_DAT2	1	SD1_DAT2	1
	SD1_DAT3	SD1_DAT3	1	SD1_DAT3	1	SD1_DAT3	1
	SD0_CLK	SD0_CLK	1	SD0_CLK	1	SD0_CLK	1
	SD0_CMD	SD0_CMD	1	SD0_CMD	1	SD0_CMD	1
	SD0_DAT0	SD0_DAT0	1	SD0_DAT0	1	SD0_DAT0	1
	SD0_DAT1	SD0_DAT1	1	SD0_DAT1	1	SD0_DAT1	1
	SD0_DAT2	SD0_DAT2	1	SD0_DAT2	1	SD0_DAT2	1
	SD0_DAT3	SD0_DAT3	1	SD0_DAT3	1	SD0_DAT3	1
	SD0_DAT4	SD0_DAT4	1	SD0_DAT4	1	SD0_DAT4	1
	SD0_DAT5	SD0_DAT5	1	SD0_DAT5	1	SD0_DAT5	1
	SD0_DAT6	SD0_DAT6	1	SD0_DAT6	1	SD0_DAT6	1
	SD0_DAT7	SD0_DAT7	1	SD0_DAT7	1	SD0_DAT7	1
	SD0_RST#	SD0_RST#	1	SD0_RST#	1	SD0_RST#	1
	HM_CK/OM_SCLK	HM_CK/OM_SCLK	1	HM_CK/OM_SCLK	1	HM_CK/OM_SCLK	1
	HM_CK#	HM_CK#	1	HM_CK#	1	HM_CK#	1
	HM_CS0#/OM_CS0#	HM_CS0#/OM_CS0#	1	HM_CS0#/OM_CS0#	1	HM_CS0#/OM_CS0#	1
	HM_CS1#/OM_CS1#	HM_CS1#/OM_CS1#	1	HM_CS1#/OM_CS1#	1	HM_CS1#/OM_CS1#	1
	HM_RWDS/OM_DQS	HM_RWDS/OM_DQS	1	HM_RWDS/OM_DQS	1	HM_RWDS/OM_DQS	1
	HM_DQ0/OM_SIO0	HM_DQ0/OM_SIO0	1	HM_DQ0/OM_SIO0	1	HM_DQ0/OM_SIO0	1
	HM_DQ1/OM_SIO1	HM_DQ1/OM_SIO1	1	HM_DQ1/OM_SIO1	1	HM_DQ1/OM_SIO1	1

	端子名	パッケージ		パッケージ		パッケージ	
		324 ピン	本数	272／256 ピン	本数	176 ピン	本数
専用端子	HM_DQ2/OM_SIO2	HM_DQ2/OM_SIO2	1	HM_DQ2/OM_SIO2	1	HM_DQ2/OM_SIO2	1
	HM_DQ3/OM_SIO3	HM_DQ3/OM_SIO3	1	HM_DQ3/OM_SIO3	1	HM_DQ3/OM_SIO3	1
	HM_DQ4/OM_SIO4	HM_DQ4/OM_SIO4	1	HM_DQ4/OM_SIO4	1	HM_DQ4/OM_SIO4	1
	HM_DQ5/OM_SIO5	HM_DQ5/OM_SIO5	1	HM_DQ5/OM_SIO5	1	HM_DQ5/OM_SIO5	1
	HM_DQ6/OM_SIO6	HM_DQ6/OM_SIO6	1	HM_DQ6/OM_SIO6	1	HM_DQ6/OM_SIO6	1
	HM_DQ7/OM_SIO7	HM_DQ7/OM_SIO7	1	HM_DQ7/OM_SIO7	1	HM_DQ7/OM_SIO7	1
	HM_RESET#/ OM_RESET#	HM_RESET#/ OM_RESET#	1	HM_RESET#/ OM_RESET#	1	HM_RESET#/ OM_RESET#	1
	BSCANP	BSCANP	1	BSCANP	1	BSCANP	1
	QSPI0_SPCLK	QSPI0_SPCLK	1	QSPI0_SPCLK	1	QSPI0_SPCLK	1
	QSPI0_IO0	QSPI0_IO0	1	QSPI0_IO0	1	QSPI0_IO0	1
	QSPI0_IO1	QSPI0_IO1	1	QSPI0_IO1	1	QSPI0_IO1	1
	QSPI0_IO2	QSPI0_IO2	1	QSPI0_IO2	1	QSPI0_IO2	1
	QSPI0_IO3	QSPI0_IO3	1	QSPI0_IO3	1	QSPI0_IO3	1
	QSPI0_SSL	QSPI0_SSL	1	QSPI0_SSL	1	QSPI0_SSL	1
	RPC_RESET#	RPC_RESET#	1	RPC_RESET#	1	RPC_RESET#	1
	RPC_WP#	RPC_WP#	1	RPC_WP#	1	RPC_WP#	1
	RPC_INT#	RPC_INT#	1	RPC_INT#	1	RPC_INT#	1
	QSPI1_SPCLK	QSPI1_SPCLK	1	QSPI1_SPCLK	1	QSPI1_SPCLK	1
	QSPI1_IO0	QSPI1_IO0	1	QSPI1_IO0	1	QSPI1_IO0	1
	QSPI1_IO1	QSPI1_IO1	1	QSPI1_IO1	1	QSPI1_IO1	1
	QSPI1_IO2	QSPI1_IO2	1	QSPI1_IO2	1	QSPI1_IO2	1
	QSPI1_IO3	QSPI1_IO3	1	QSPI1_IO3	1	QSPI1_IO3	1
	QSPI1_SSL	QSPI1_SSL	1	QSPI1_SSL	1	QSPI1_SSL	1

注.　MIPI, LVDS, USB の専用端子は一覧から除外。各ピンとも、対象の章をご参照ください。

表51.2　I/Oポートの機能

ポート	駆動能力 切り替え機能	TTL	シュミット入力	1.8V	1.8V／3.3V 切り替え
P0_0～P0_6	—	○	○	—	—
P1_0～P1_4	—	○	○	—	—
P2_0～P2_3	—	○	○	—	—
P3_0～P3_5	—	—	○	—	—
P4_0～P4_7	—	—	○	—	—
P5_0～P5_7	—	—	○	—	—
P6_0～P6_7	—	—	○	—	—
P7_0～P7_7	—	—	○	—	—
P8_0～P8_7	—	—	○	—	—
P9_0～P9_7	—	—	○	—	—
PA_0～PA_7	—	—	○	—	—
PB_0～PB_5	—	—	○	—	—
PC_0～PC_7	—	—	○	—	—
PD_0～PD_7	—	—	○	—	—
PE_0～PE_6	—	—	○	—	—
PF_0～PF_7	—	—	○	—	—

ポート	駆動能力 切り替え機能	TTL	シュミット入力	1.8V	1.8V／3.3V 切り替え
PG_0～PG_7	○注 1	—	○	—	—
PH_0～PH_6	—	—	○	—	—
PJ_0～PJ_7	○注 1	—	○	—	—
PK_0～PK_5	—	—	○	—	—
PL_0～PL_4	—	—	○	—	—
JP0_0	—	○	—	—	—
JP0_1	—	—	—	—	—
CKIO	○	—	—	—	—
RES#	—	—	○	—	—
NMI	—	—	○	—	—
USB_X1	—	—	—	—	—
USB_X2	—	—	—	—	—
EXTAL	—	—	—	—	—
XTAL	—	—	—	—	—
RTC_X1	—	—	—	—	—
RTC_X2	—	—	—	—	—
AUDIO_X1	—	—	—	—	—
AUDIO_X2	—	—	—	—	—
TMS/SWDIO	—	○	—	—	—
TCK/SWDCLK	—	○	—	—	—
TRST#	—	—	○	—	—
SD1_CLK	—	—	—	—	○
SD1_CMD	—	—	—	—	○
SD1_DAT0	—	—	—	—	○
SD1_DAT1	—	—	—	—	○
SD1_DAT2	—	—	—	—	○
SD1_DAT3	—	—	—	—	○
SD0_CLK	—	—	—	—	○
SD0_CMD	—	—	—	—	○
SD0_DAT0	—	—	—	—	○
SD0_DAT1	—	—	—	—	○
SD0_DAT2	—	—	—	—	○
SD0_DAT3	—	—	—	—	○
SD0_DAT4	—	—	—	—	○
SD0_DAT5	—	—	—	—	○
SD0_DAT6	—	—	—	—	○
SD0_DAT7	—	—	—	—	○
SD0_RST#	—	—	—	—	○
HM_CK/OM_SCLK	—	—	—	○	—
HM_CK#	—	—	—	○	—
HM_CS0#/ OM_CS0#	—	—	—	○	—
HM_CS1#/ OM_CS1#	—	—	—	○	—
HM_RWDS/ OM_DQS	—	—	—	○	—
HM_DQ0/OM_SIO0	—	—	—	○	—

ポート	駆動能力 切り替え機能	TTL	シュミット入力	1.8V	1.8V／3.3V 切り替え
HM_DQ1/OM_SIO1	—	—	—	○	—
HM_DQ2/OM_SIO2	—	—	—	○	—
HM_DQ3/OM_SIO3	—	—	—	○	—
HM_DQ4/OM_SIO4	—	—	—	○	—
HM_DQ5/OM_SIO5	—	—	—	○	—
HM_DQ6/OM_SIO6	—	—	—	○	—
HM_DQ7/OM_SIO7	—	—	—	○	—
HM_RESET#/ OM_RESET#	—	—	—	○	—
BSCANP	—	—	○	—	—
QSPI0_SPCLK	—	—	—	—	○
QSPI0_IO0	—	—	—	—	○
QSPI0_IO1	—	—	—	—	○
QSPI0_IO2	—	—	—	—	○
QSPI0_IO3	—	—	—	—	○
QSPI0_SSL	—	—	—	—	○
RPC_RESET#	—	—	—	—	○
RPC_WP#	—	—	—	—	○
RPC_INT#	—	—	—	—	○
QSPI1_SPCLK	—	—	—	—	○
QSPI1_IO0	—	—	—	—	○
QSPI1_IO1	—	—	—	—	○
QSPI1_IO2	—	—	—	—	○
QSPI1_IO3	—	—	—	—	○
QSPI1_SSL	—	—	—	—	○

注1.　一部の端子は駆動能力の切り替えができません。詳細は「51.3.5　汎用端子駆動能力制御レジスタ（DSCR）」をご参照ください。
注2.　MIPI, LVDS, USB の専用端子は一覧から除外。各ピンとも、対象の章をご参照ください。

51.1.1　ポートグループインデックス m n

本章を通して、個々のポートグループはインデックス "m"（m = 0 ～ 9、A ～ H、J ～ M）により識別されます。また、ポートグループのピンをインデックス "n"（n = 0 ～ 7）により識別されます。たとえば、Pmn 端子のポートモード制御レジスタは PORTm.PMR n で、端子制御レジスタは Pmn.PFS です。

インデックス “m ＝ M” は、JP0_0, JP0_1 の端子制御レジスタです。

51.1.2　ベースアドレス

すべてのポートのレジスタのアドレスは、それぞれのベースアドレス <PORTm_base> からのオフセットアドレスとして与えられます。

表51.3　ベースアドレス

ベースアドレス名	ベースアドレス
<PORTm_base>	H'FCFF E000

51.2 汎用入出力ポートの構成

各汎用入出力ポートの構成を図 51.1 ～図 51.15 に示します。

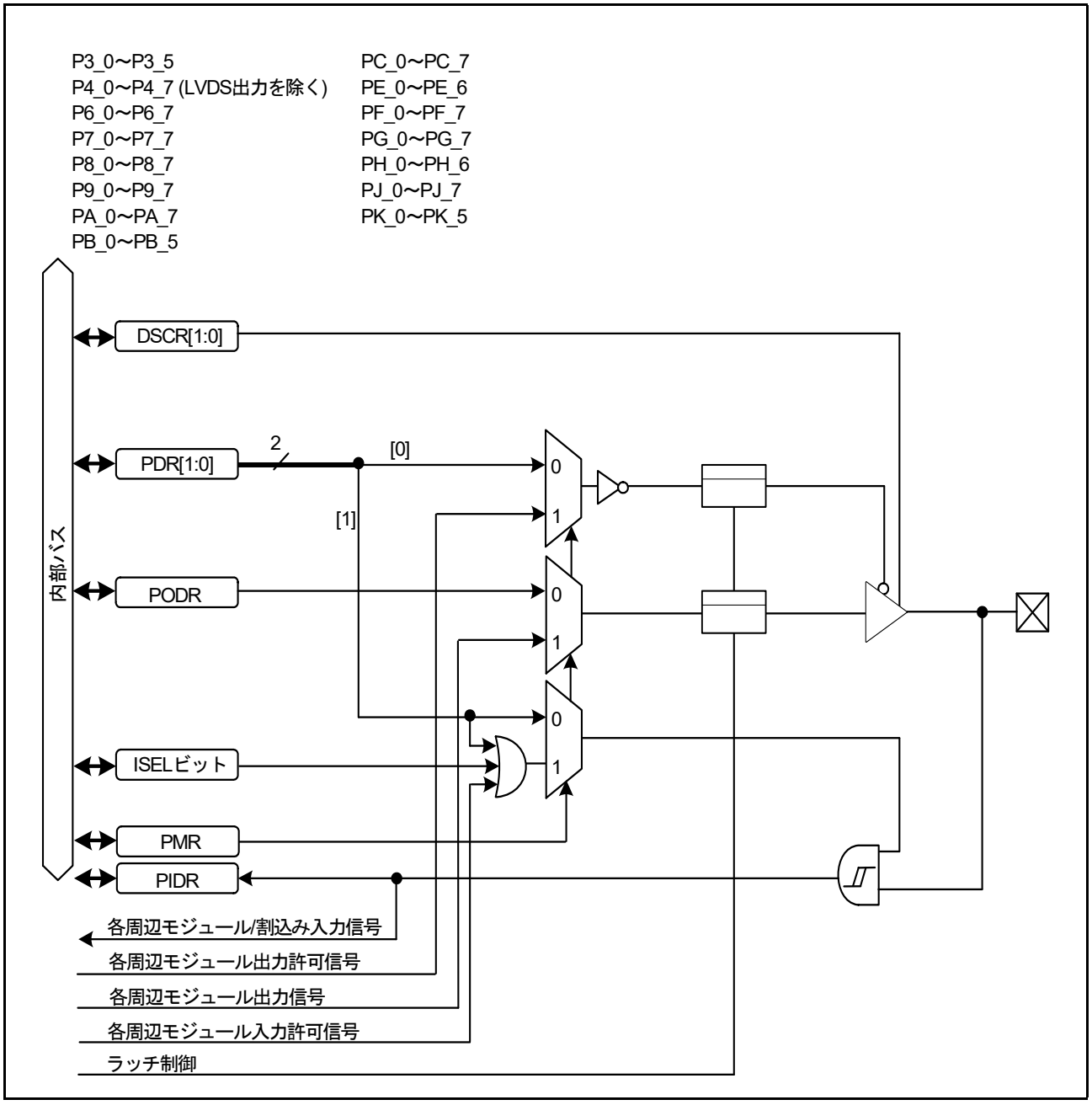


図 51.1 (1) シュミット AND 入力、ラッチ付き入出力バッファ

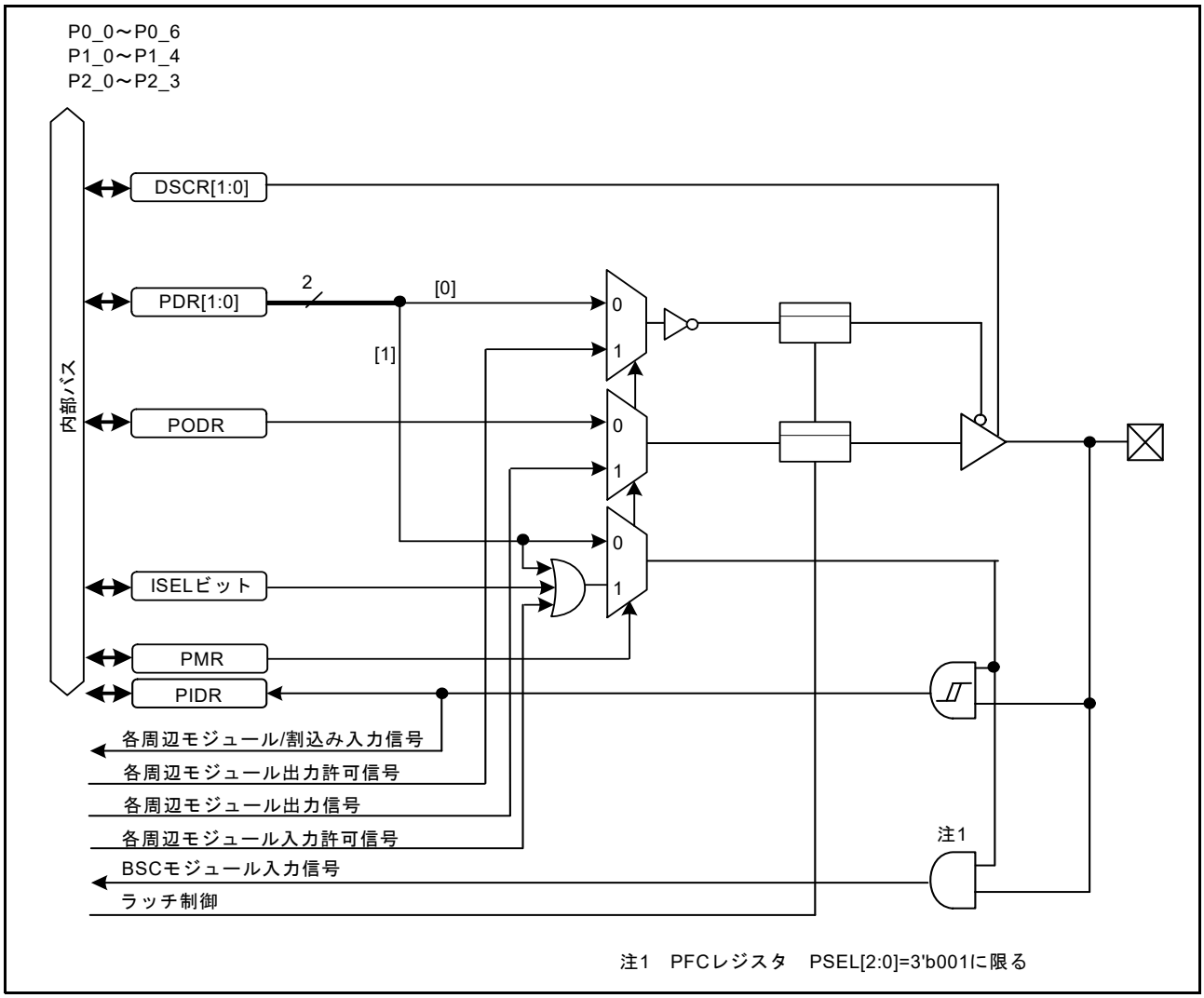


図 51.2 (2) TTL AND 入力、シュミット AND 入力、ラッチ付き入出力バッファ

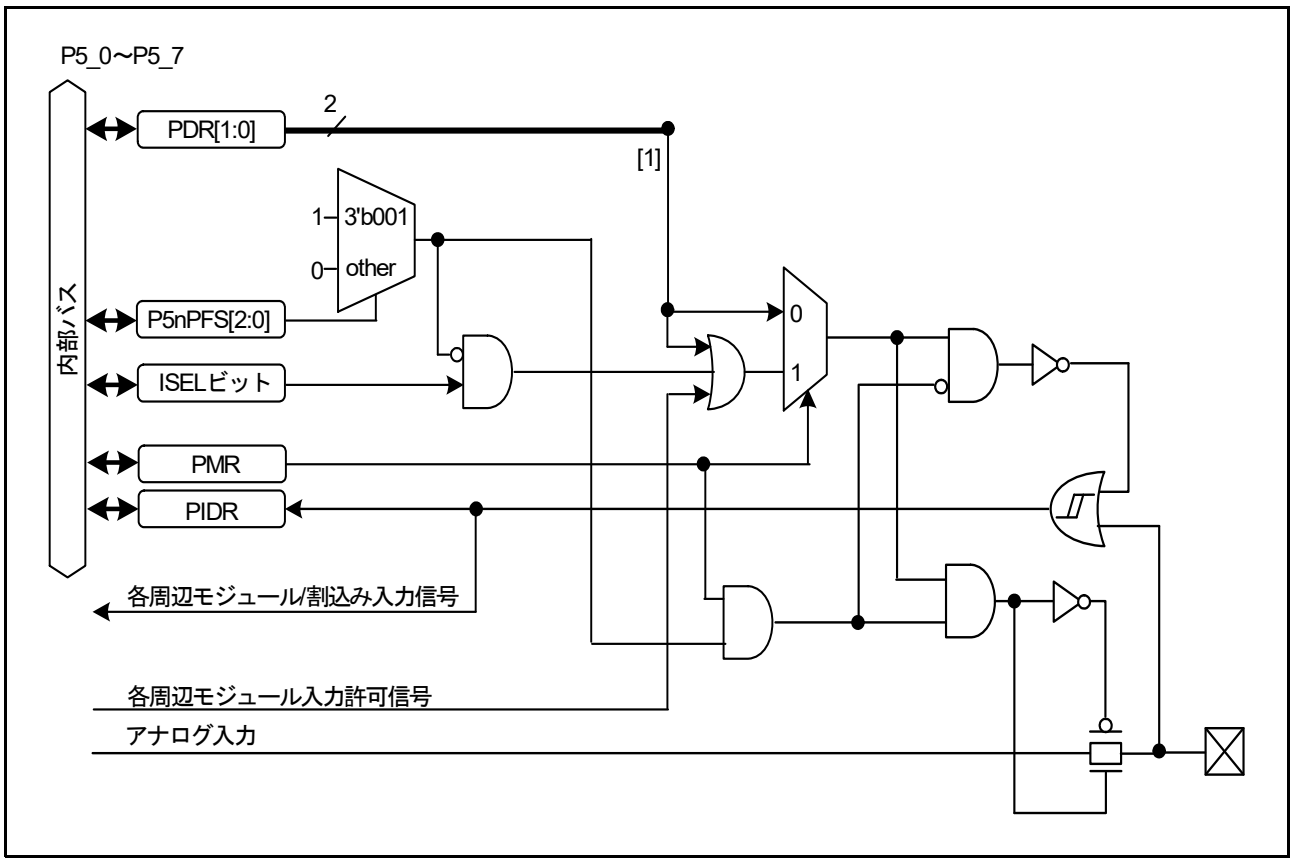


図 51.3 (3) シュミット OR 入力、A/D 入力兼用 入力バッファ

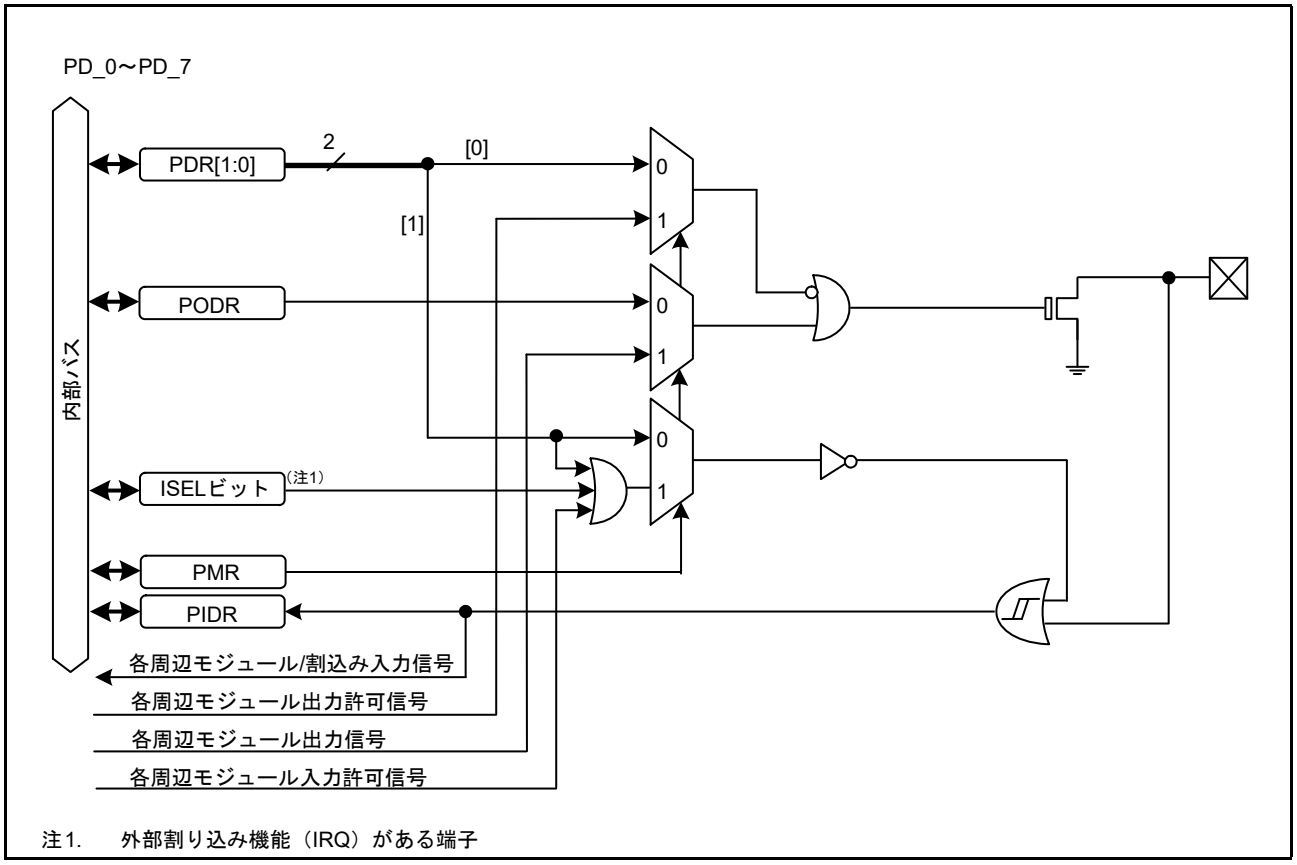


図 51.4　(4) シュミット OR 入力、オープンドレイン出力　双方向バッファ

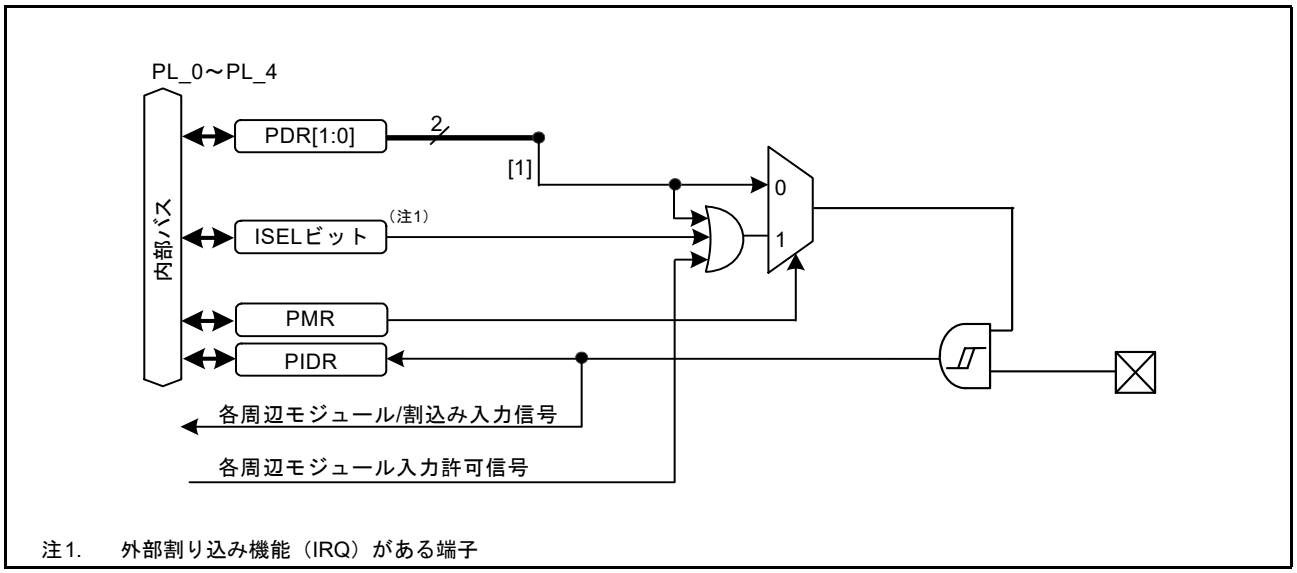
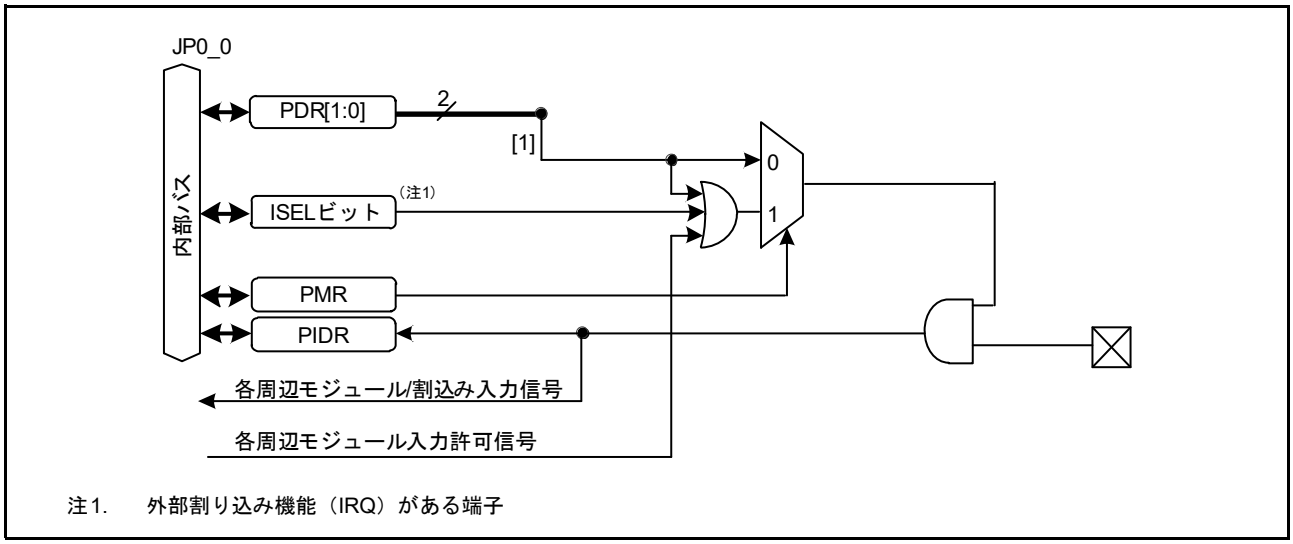


図 51.5　(5) シュミット AND 入力バッファ



注1. 外部割り込み機能（IRQ）がある端子

図 51.6 (6) TTL AND 入力バッファ

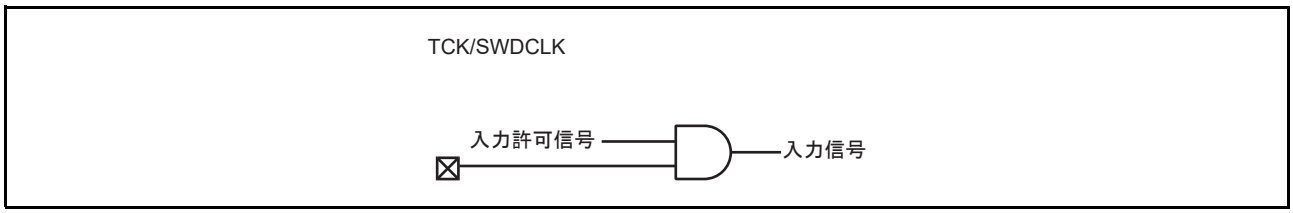


図 51.7 (7) TTL AND 入力バッファ

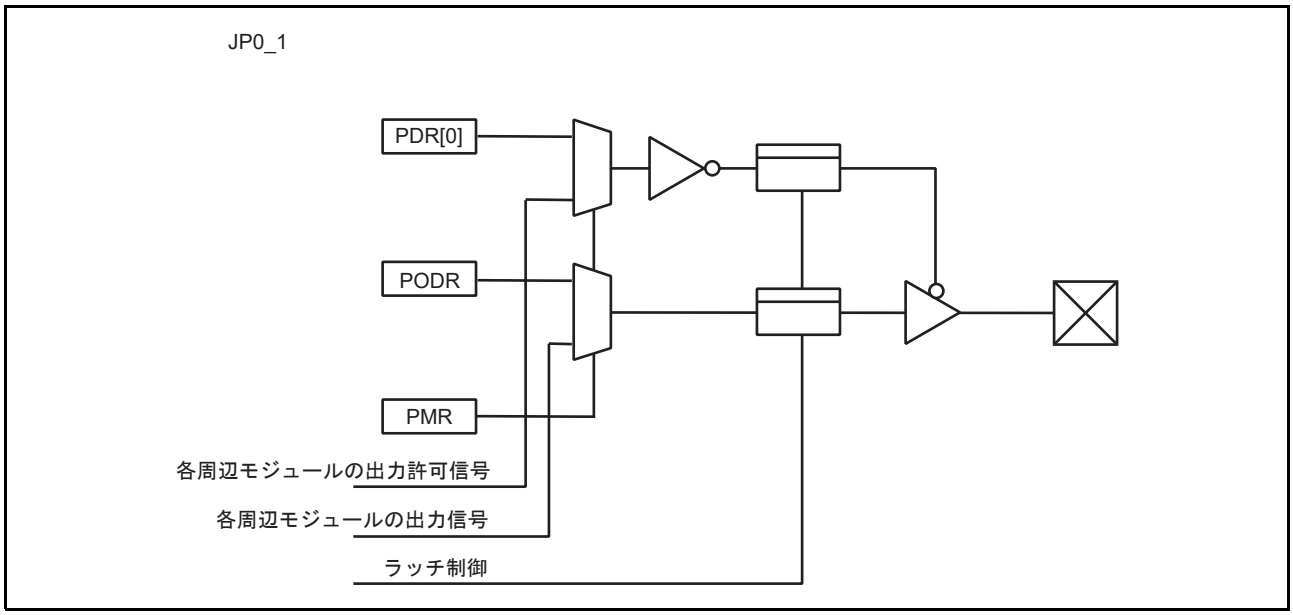


図 51.8 (8) イネーブル付き、ラッチ付き 出力バッファ

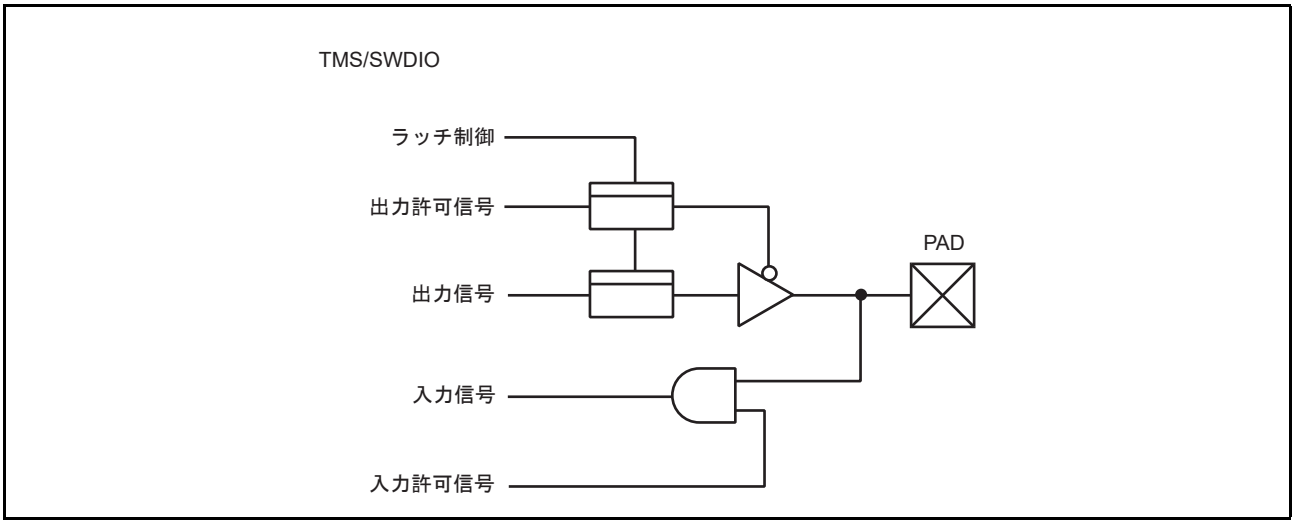


図 51.9 (9) TTL AND 入力、ラッチ付き 双方向バッファ

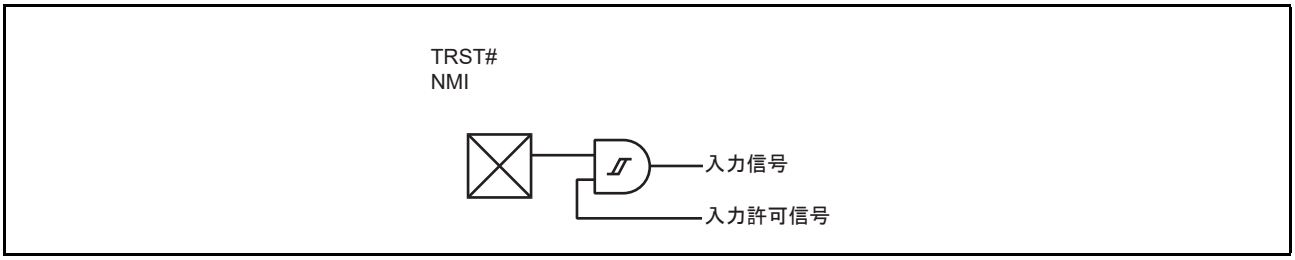


図 51.10 (10) シュミット AND 入力バッファ

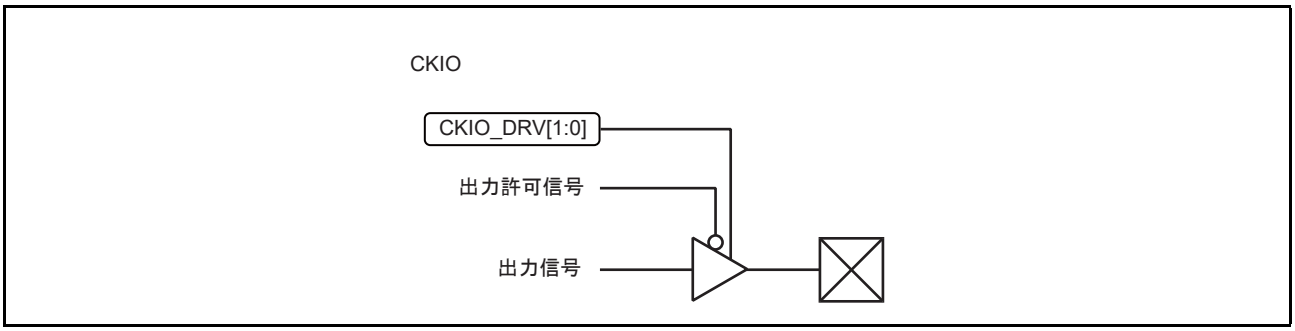


図 51.11 (11) イネーブル・駆動能力変更機能付き出力バッファ

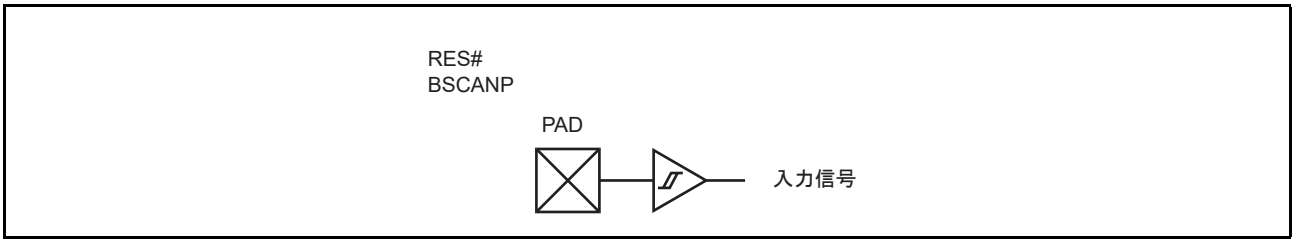


図 51.12 (12) シュミット入力バッファ

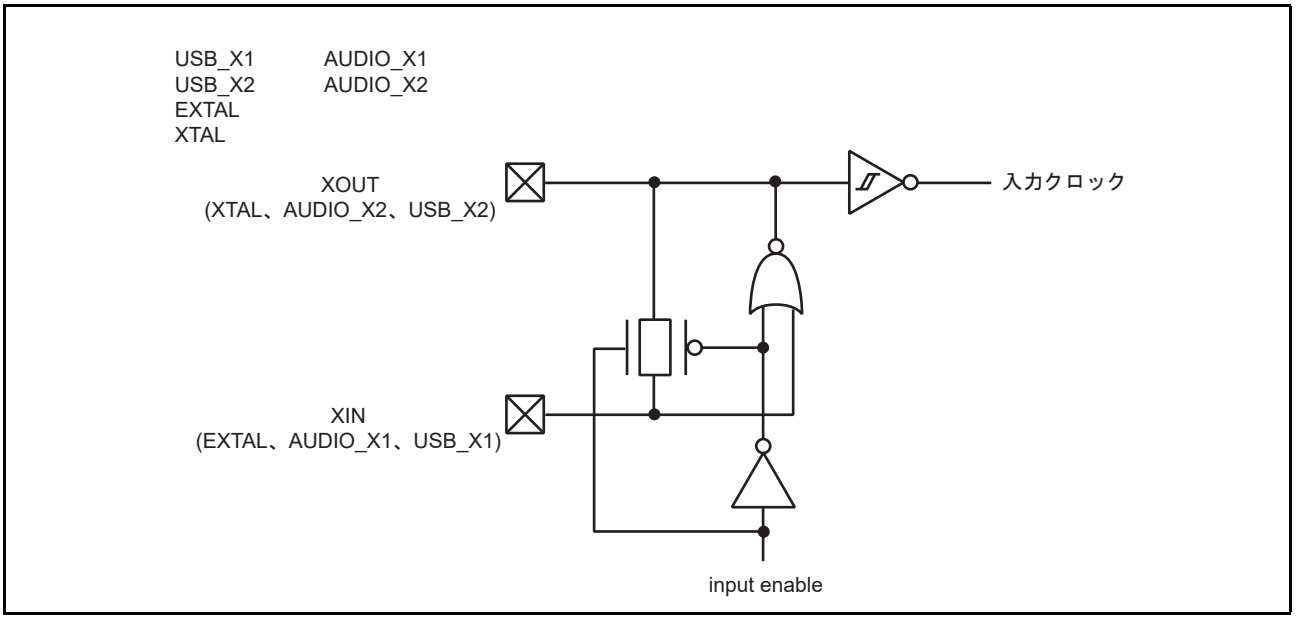


図 51.13 (13) 発振バッファ（１）

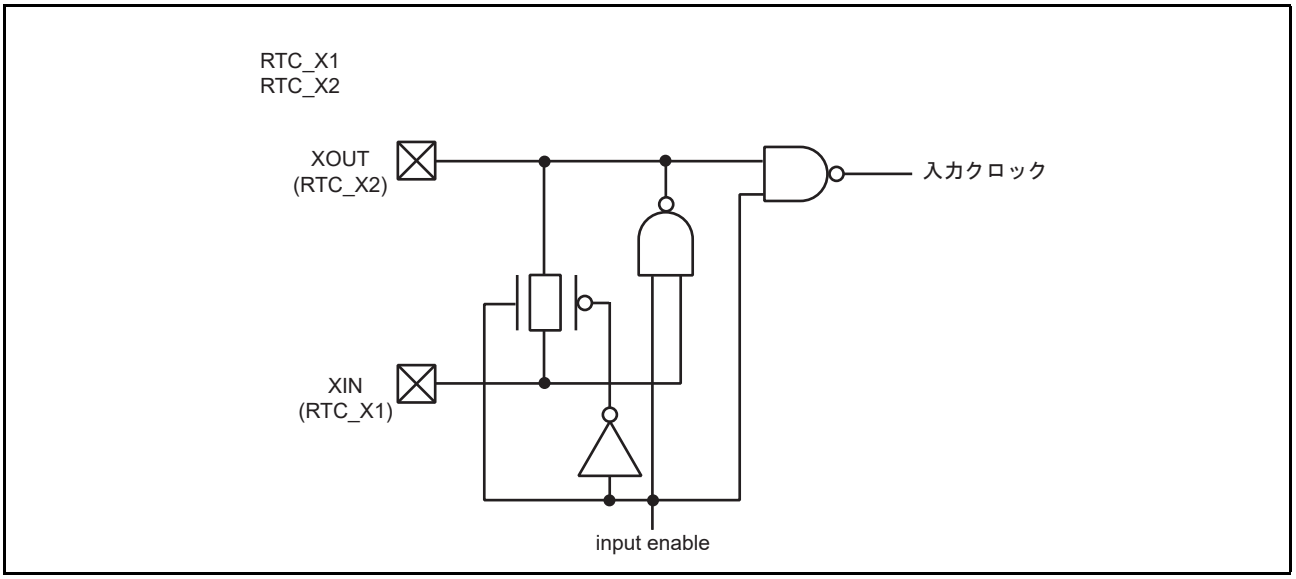


図 51.14 (14) 発振バッファ（２）

SD1_CLK	SD0_DAT1	HM_CK#	HM_DQ5/OM_SIO5	QSPI0_SSL	QSPI1_SSL
SD1_CMD	SD0_DAT2	HM_CS0#/OM_CS0#	HM_DQ6/OM_SIO6	RPC_RESET#	
SD1_DAT0	SD0_DAT3	HM_CS1#/OM_CS1#	HM_DQ7/OM_SIO7	RPC_WP#	
SD1_DAT1	SD0_DAT4	HM_RWDS/OM_DQS	HM_RESET#/OM_RESET#	RPC_INT#	
SD1_DAT2	SD0_DAT5	HM_DQ0/OM_SIO0	QSPI0_SPCLK	QSPI1_SPCLK	
SD1_DAT3	SD0_DAT6	HM_DQ1/OM_SIO1	QSPI0_IO0	QSPI1_IO0	
SD0_CLK	SD0_DAT7	HM_DQ2/OM_SIO2	QSPI0_IO1	QSPI1_IO1	
SD0_CMD	SD0_RST#	HM_DQ3/OM_SIO3	QSPI0_IO2	QSPI1_IO2	
SD0_DAT0	HM_CK/OM_SCLK	HM_DQ4/OM_SIO4	QSPI0_IO3	QSPI1_IO3	

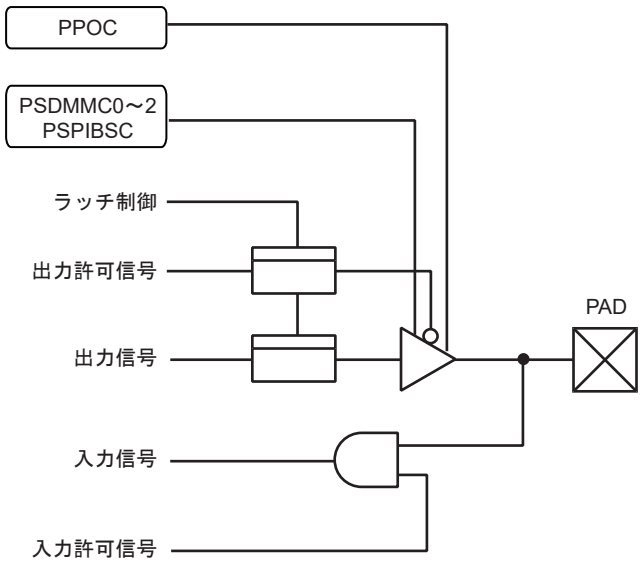


図 51.15　(15)　AND 入力、駆動能力変更機能・動作電圧選択機能・ラッチ付き 双方向バッファ

51.3　レジスタの説明

レジスタは、各端子の設定に使用されます。レジスタ構成一覧を示します。

表51.4　　レジスタ構成

略号	レジスタ名	R/W	8ビットアクセス	16ビットアクセス	32ビットアクセス	アドレス
PORT0.PDR	ポート方向レジスタ (PORT0)	R/W	—	○	—	<PORTm_base> + 0000H
PORT1.PDR	ポート方向レジスタ (PORT1)	R/W	—	○	—	<PORTm_base> + 0002H
PORT2.PDR	ポート方向レジスタ (PORT2)	R/W	—	○	—	<PORTm_base> + 0004H
PORT3.PDR	ポート方向レジスタ (PORT3)	R/W	—	○	—	<PORTm_base> + 0006H
PORT4.PDR	ポート方向レジスタ (PORT4)	R/W	—	○	—	<PORTm_base> + 0008H
PORT5.PDR	ポート方向レジスタ (PORT5)	R/W	—	○	—	<PORTm_base> + 000AH
PORT6.PDR	ポート方向レジスタ (PORT6)	R/W	—	○	—	<PORTm_base> + 000CH
PORT7.PDR	ポート方向レジスタ (PORT7)	R/W	—	○	—	<PORTm_base> + 000EH
PORT8.PDR	ポート方向レジスタ (PORT8)	R/W	—	○	—	<PORTm_base> + 0010H
PORT9.PDR	ポート方向レジスタ (PORT9)	R/W	—	○	—	<PORTm_base> + 0012H
PORTA.PDR	ポート方向レジスタ (PORTA)	R/W	—	○	—	<PORTm_base> + 0014H
PORTB.PDR	ポート方向レジスタ (PORTB)	R/W	—	○	—	<PORTm_base> + 0016H
PORTC.PDR	ポート方向レジスタ (PORTC)	R/W	—	○	—	<PORTm_base> + 0018H
PORTD.PDR	ポート方向レジスタ (PORTD)	R/W	—	○	—	<PORTm_base> + 001AH
PORTE.PDR	ポート方向レジスタ (PORTE)	R/W	—	○	—	<PORTm_base> + 001CH
PORTF.PDR	ポート方向レジスタ (PORTF)	R/W	—	○	—	<PORTm_base> + 001EH
PORTG.PDR	ポート方向レジスタ (PORTG)	R/W	—	○	—	<PORTm_base> + 0020H
PORTH.PDR	ポート方向レジスタ (PORTH)	R/W	—	○	—	<PORTm_base> + 0022H
PORTJ.PDR	ポート方向レジスタ (PORTJ)	R/W	—	○	—	<PORTm_base> + 0024H
PORTK.PDR	ポート方向レジスタ (PORTK)	R/W	—	○	—	<PORTm_base> + 0026H
PORTL.PDR	ポート方向レジスタ (PORTL)	R/W	—	○	—	<PORTm_base> + 0028H
PORTM.PDR	ポート方向レジスタ (PORTM)	R/W	—	○	—	<PORTm_base> + 002AH
PORT0.PODR	ポート出力データレジスタ (PORT0)	R/W	○	—	—	<PORTm_base> + 0040H
PORT1.PODR	ポート出力データレジスタ (PORT1)	R/W	○	—	—	<PORTm_base> + 0041H
PORT2.PODR	ポート出力データレジスタ (PORT2)	R/W	○	—	—	<PORTm_base> + 0042H
PORT3.PODR	ポート出力データレジスタ (PORT3)	R/W	○	—	—	<PORTm_base> + 0043H
PORT4.PODR	ポート出力データレジスタ (PORT4)	R/W	○	—	—	<PORTm_base> + 0044H
PORT5.PODR	ポート出力データレジスタ (PORT5)	R/W	○	—	—	<PORTm_base> + 0045H
PORT6.PODR	ポート出力データレジスタ (PORT6)	R/W	○	—	—	<PORTm_base> + 0046H
PORT7.PODR	ポート出力データレジスタ (PORT7)	R/W	○	—	—	<PORTm_base> + 0047H
PORT8.PODR	ポート出力データレジスタ (PORT8)	R/W	○	—	—	<PORTm_base> + 0048H
PORT9.PODR	ポート出力データレジスタ (PORT9)	R/W	○	—	—	<PORTm_base> + 0049H
PORTA.PODR	ポート出力データレジスタ (PORTA)	R/W	○	—	—	<PORTm_base> + 004AH
PORTB.PODR	ポート出力データレジスタ (PORTB)	R/W	○	—	—	<PORTm_base> + 004BH
PORTC.PODR	ポート出力データレジスタ (PORTC)	R/W	○	—	—	<PORTm_base> + 004CH
PORTD.PODR	ポート出力データレジスタ (PORTD)	R/W	○	—	—	<PORTm_base> + 004DH
PORTE.PODR	ポート出力データレジスタ (PORTE)	R/W	○	—	—	<PORTm_base> + 004EH
PORTF.PODR	ポート出力データレジスタ (PORTF)	R/W	○	—	—	<PORTm_base> + 004FH
PORTG.PODR	ポート出力データレジスタ (PORTG)	R/W	○	—	—	<PORTm_base> + 0050H
PORTH.PODR	ポート出力データレジスタ (PORTH)	R/W	○	—	—	<PORTm_base> + 0051H
PORTJ.PODR	ポート出力データレジスタ (PORTJ)	R/W	○	—	—	<PORTm_base> + 0052H

略号	レジスタ名	R/W	8ビットアクセス	16ビットアクセス	32ビットアクセス	アドレス
PORTK.PODR	ポート出力データレジスタ (PORTK)	R/W	○	—	—	<PORTm_base> + 0053H
PORTL.PODR	ポート出力データレジスタ (PORTL)	R/W	○	—	—	<PORTm_base> + 0054H
PORTM.PODR	ポート出力データレジスタ (PORTM)	R/W	○	—	—	<PORTm_base> + 0055H
PORT0.PIDR	ポート入力データレジスタ (PORT0)	R	○	—	—	<PORTm_base> + 0060H
PORT1.PIDR	ポート入力データレジスタ (PORT1)	R	○	—	—	<PORTm_base> + 0061H
PORT2.PIDR	ポート入力データレジスタ (PORT2)	R	○	—	—	<PORTm_base> + 0062H
PORT3.PIDR	ポート入力データレジスタ (PORT3)	R	○	—	—	<PORTm_base> + 0063H
PORT4.PIDR	ポート入力データレジスタ (PORT4)	R	○	—	—	<PORTm_base> + 0064H
PORT5.PIDR	ポート入力データレジスタ (PORT5)	R	○	—	—	<PORTm_base> + 0065H
PORT6.PIDR	ポート入力データレジスタ (PORT6)	R	○	—	—	<PORTm_base> + 0066H
PORT7.PIDR	ポート入力データレジスタ (PORT7)	R	○	—	—	<PORTm_base> + 0067H
PORT8.PIDR	ポート入力データレジスタ (PORT8)	R	○	—	—	<PORTm_base> + 0068H
PORT9.PIDR	ポート入力データレジスタ (PORT9)	R	○	—	—	<PORTm_base> + 0069H
PORTA.PIDR	ポート入力データレジスタ (PORTA)	R	○	—	—	<PORTm_base> + 006AH
PORTB.PIDR	ポート入力データレジスタ (PORTB)	R	○	—	—	<PORTm_base> + 006BH
PORTC.PIDR	ポート入力データレジスタ (PORTC)	R	○	—	—	<PORTm_base> + 006CH
PORTD.PIDR	ポート入力データレジスタ (PORTD)	R	○	—	—	<PORTm_base> + 006DH
PORTE.PIDR	ポート入力データレジスタ (PORTE)	R	○	—	—	<PORTm_base> + 006EH
PORTF.PIDR	ポート入力データレジスタ (PORTF)	R	○	—	—	<PORTm_base> + 006FH
PORTG.PIDR	ポート入力データレジスタ (PORTG)	R	○	—	—	<PORTm_base> + 0070H
PORTH.PIDR	ポート入力データレジスタ (PORTH)	R	○	—	—	<PORTm_base> + 0071H
PORTJ.PIDR	ポート入力データレジスタ (PORTJ)	R	○	—	—	<PORTm_base> + 0072H
PORTK.PIDR	ポート入力データレジスタ (PORTK)	R	○	—	—	<PORTm_base> + 0073H
PORTL.PIDR	ポート入力データレジスタ (PORTL)	R	○	—	—	<PORTm_base> + 0074H
PORTM.PIDR	ポート入力データレジスタ (PORTM)	R	○	—	—	<PORTm_base> + 0075H
PORT0.PMR	ポートモードレジスタ (PORT0)	R/W	○	—	—	<PORTm_base> + 0080H
PORT1.PMR	ポートモードレジスタ (PORT1)	R/W	○	—	—	<PORTm_base> + 0081H
PORT2.PMR	ポートモードレジスタ (PORT2)	R/W	○	—	—	<PORTm_base> + 0082H
PORT3.PMR	ポートモードレジスタ (PORT3)	R/W	○	—	—	<PORTm_base> + 0083H
PORT4.PMR	ポートモードレジスタ (PORT4)	R/W	○	—	—	<PORTm_base> + 0084H
PORT5.PMR	ポートモードレジスタ (PORT5)	R/W	○	—	—	<PORTm_base> + 0085H
PORT6.PMR	ポートモードレジスタ (PORT6)	R/W	○	—	—	<PORTm_base> + 0086H
PORT7.PMR	ポートモードレジスタ (PORT7)	R/W	○	—	—	<PORTm_base> + 0087H
PORT8.PMR	ポートモードレジスタ (PORT8)	R/W	○	—	—	<PORTm_base> + 0088H
PORT9.PMR	ポートモードレジスタ (PORT9)	R/W	○	—	—	<PORTm_base> + 0089H
PORTA.PMR	ポートモードレジスタ (PORTA)	R/W	○	—	—	<PORTm_base> + 008AH
PORTB.PMR	ポートモードレジスタ (PORTB)	R/W	○	—	—	<PORTm_base> + 008BH
PORTC.PMR	ポートモードレジスタ (PORTC)	R/W	○	—	—	<PORTm_base> + 008CH
PORTD.PMR	ポートモードレジスタ (PORTD)	R/W	○	—	—	<PORTm_base> + 008DH
PORTE.PMR	ポートモードレジスタ (PORTE)	R/W	○	—	—	<PORTm_base> + 008EH
PORTF.PMR	ポートモードレジスタ (PORTF)	R/W	○	—	—	<PORTm_base> + 008FH
PORTG.PMR	ポートモードレジスタ (PORTG)	R/W	○	—	—	<PORTm_base> + 0090H
PORTH.PMR	ポートモードレジスタ (PORTH)	R/W	○	—	—	<PORTm_base> + 0091H
PORTJ.PMR	ポートモードレジスタ (PORTJ)	R/W	○	—	—	<PORTm_base> + 0092H
PORTK.PMR	ポートモードレジスタ (PORTK)	R/W	○	—	—	<PORTm_base> + 0093H
PORTL.PMR	ポートモードレジスタ (PORTL)	R/W	○	—	—	<PORTm_base> + 0094H

略号	レジスタ名	R/W	8ビットアクセス	16ビットアクセス	32ビットアクセス	アドレス
PORTM.PMR	ポートモードレジスタ (PORTM)	R/W	○	—	—	<PORTm_base> + 0095H
PORT0.DSCR	駆動能力制御レジスタ (PORT0)	R/W	—	○	—	<PORTm_base> + 0140H
PORT1.DSCR	駆動能力制御レジスタ (PORT1)	R/W	—	○	—	<PORTm_base> + 0142H
PORT2.DSCR	駆動能力制御レジスタ (PORT2)	R/W	—	○	—	<PORTm_base> + 0144H
PORT3.DSCR	駆動能力制御レジスタ (PORT3)	R/W	—	○	—	<PORTm_base> + 0146H
PORT4.DSCR	駆動能力制御レジスタ (PORT4)	R/W	—	○	—	<PORTm_base> + 0148H
PORT5.DSCR	駆動能力制御レジスタ (PORT5)	R/W	—	○	—	<PORTm_base> + 014AH
PORT6.DSCR	駆動能力制御レジスタ (PORT6)	R/W	—	○	—	<PORTm_base> + 014CH
PORT7.DSCR	駆動能力制御レジスタ (PORT7)	R/W	—	○	—	<PORTm_base> + 014EH
PORT8.DSCR	駆動能力制御レジスタ (PORT8)	R/W	—	○	—	<PORTm_base> + 0150H
PORT9.DSCR	駆動能力制御レジスタ (PORT9)	R/W	—	○	—	<PORTm_base> + 0152H
PORTA.DSCR	駆動能力制御レジスタ (PORTA)	R/W	—	○	—	<PORTm_base> + 0154H
PORTB.DSCR	駆動能力制御レジスタ (PORTB)	R/W	—	○	—	<PORTm_base> + 0156H
PORTC.DSCR	駆動能力制御レジスタ (PORTC)	R/W	—	○	—	<PORTm_base> + 0158H
PORTD.DSCR	駆動能力制御レジスタ (PORTD)	R/W	—	○	—	<PORTm_base> + 015AH
PORTE.DSCR	駆動能力制御レジスタ (PORTE)	R/W	—	○	—	<PORTm_base> + 015CH
PORTF.DSCR	駆動能力制御レジスタ (PORTF)	R/W	—	○	—	<PORTm_base> + 015EH
PORTG.DSCR	駆動能力制御レジスタ (PORTG)	R/W	—	○	—	<PORTm_base> + 0160H
PORTH.DSCR	駆動能力制御レジスタ (PORTH)	R/W	—	○	—	<PORTm_base> + 0162H
PORTJ.DSCR	駆動能力制御レジスタ (PORTJ)	R/W	—	○	—	<PORTm_base> + 0164H
PORTK.DSCR	駆動能力制御レジスタ (PORTK)	R/W	—	○	—	<PORTm_base> + 0166H
PORTL.DSCR	駆動能力制御レジスタ (PORTL)	R/W	—	○	—	<PORTm_base> + 0168H
PORTM.DSCR	駆動能力制御レジスタ (PORTM)	R/W	—	○	—	<PORTm_base> + 016AH
P0n.PFS	P0n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0200H + n
P1n.PFS	P1n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0208H + n
P2n.PFS	P2n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0210H + n
P3n.PFS	P3n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0218H + n
P4n.PFS	P4n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0220H + n
P5n.PFS	P5n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0228H + n
P6n.PFS	P6n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0230H + n
P7n.PFS	P7n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0238H + n
P8n.PFS	P8n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0240H + n
P9n.PFS	P9n端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0248H + n
PAn.PFS	PAn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0250H + n
PBn.PFS	PBn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0258H + n
PCn.PFS	PCn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0260H + n
PDn.PFS	PDn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0268H + n
PEn.PFS	PEn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0270H + n
PFn.PFS	PFn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0278H + n
PGn.PFS	PGn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0280H + n
PHn.PFS	PHn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0288H + n
PJn.PFS	PJn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0290H + n
PKn.PFS	PKn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 0298H + n
PLn.PFS	PLn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 02A0H + n
PMn.PFS	PMn端子機能制御レジスタ	R/W	○	—	—	<PORTm_base> + 02A8H + n
PWPR	書き込みプロテクトレジスタ	R/W	○	—	—	<PORTm_base> + 02FFH

略号	レジスタ名	R/W	8ビットアクセス	16ビットアクセス	32ビットアクセス	アドレス
PFENET	イーサネットコントロールレジスタ	R/W	○	—	—	<PORTm_base> + 0820H
PPOC	専用端子POC制御レジスタ	R/W	—	—	○	<PORTm_base> + 0900H
PSDMMC0	SD/MMCホストインタフェース専用端子駆動能力制御レジスタ0	R/W	—	—	○	<PORTm_base> + 0920H
PSDMMC1	SD/MMCホストインタフェース専用端子駆動能力制御レジスタ1	R/W	—	—	○	<PORTm_base> + 0930H
PSDMMC2	SD/MMCホストインタフェース専用端子駆動能力制御レジスタ2	R/W	—	—	○	<PORTm_base> + 0940H
PSPIBSC	SPIマルチI/Oバスコントローラ専用端子駆動能力制御レジスタ	R/W	—	—	○	<PORTm_base> + 0960H
PHMOM0	HyperBusコントローラ／Octaメモリコントローラ専用端子制御レジスタ	R/W	—	—	○	<PORTm_base> + 0980H
PMODEPFS	周辺端子機能制御レジスタ	R/W	—	—	○	<PORTm_base> + 09C0H
PCKIO	CKIO駆動能力制御レジスタ	R/W	○	—	—	<PORTm_base> + 09D0H

51.3.1　ポート方向レジスタ（PDR）

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの不使用／入力／出力（入力許可）を指定するレジスタです。“00”（Hi-Z）を設定した場合、入力 Hi-Z 状態から本 LSI を保護することができます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDR7[1:0]		PDR6[1:0]		PDR5[1:0]		PDR4[1:0]		PDR3[1:0]		PDR2[1:0]		PDR1[1:0]		PDR0[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
15 ～ 14	PDR7[1:0]	00	R/W	奇数b 偶数b 0　0：Hi-Z 0　1：設定禁止 1　0：入力（入力ポートとして機能） 1　1：出力（出力ポートとして機能（ポートリード可能））
13 ～ 12	PDR6[1:0]	00	R/W	
11 ～ 10	PDR5[1:0]	00	R/W	
9 ～ 8	PDR4[1:0]	00	R/W	
7 ～ 6	PDR3[1:0]	00	R/W	
5 ～ 4	PDR2[1:0]	00	R/W	
3 ～ 2	PDR1[1:0]	00	R/W	
1 ～ 0	PDR0[1:0]	00	R/W	

【備考】

PORTm.PDR レジスタの各ビットは、それぞれポート m の各端子に対応しており、2 ビット単位で指定できます。P5_0 ～ P5_7, PL_0 ～ PL_4, JP0_0 端子は入力専用のため、PORT5.PDRn (n = 0 ～ 7), PORTL.PDRn (n = 0 ～ 4), PORTM.PDR0 ビットには “00”（Hi-Z）または “10”（入力）を書き込んでください。JP0_1 端子は出力専用のため、PORTM.PDR1 ビットには “00”（不使用）または “11”（出力）を書き込んでください。存在しない端子のビットはリザーブビットです。リザーブビットは、読み出すと常に “0” が読み出されます。書き込む値は必ず “0” にしてください。

51.3.2　ポート出力データレジスタ（PODR）

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

	7	6	5	4	3	2	1	0
	PODR7	PODR6	PODR5	PODR4	PODR3	PODR2	PODR1	PODR0
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	PODR7	0	R/W	0：Low出力 1：High出力
6	PODR6	0	R/W	
5	PODR5	0	R/W	
4	PODR4	0	R/W	
3	PODR3	0	R/W	
2	PODR2	0	R/W	
1	PODR1	0	R/W	
0	PODR0	0	R/W	

【備考】

P5_0 ～ P5_7, PL_0 ～ PL_4, JP0_0 端子は入力専用のため、PORT5.PODRn (n = 0 ～ 7), PORTL.PODRn (n = 0 ～ 4), PDRTM.PODR0 ビットには “0” を書き込んでください。存在しない端子のビットはリザーブビットです。リザーブビットは、読み出すと常に “0” が読み出されます。書き込む値は必ず “0” にしてください。

51.3.3　ポート入力データレジスタ（PIDR）

PIDR レジスタは、入力ポート端子の状態を反映するレジスタです。

	7	6	5	4	3	2	1	0
	PIDR7	PIDR6	PIDR5	PIDR4	PIDR3	PIDR2	PIDR1	PIDR0
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	PIDR7	0	R	0：Low 入力 1：High 入力
6	PIDR6	0	R	
5	PIDR5	0	R	
4	PIDR4	0	R	
3	PIDR3	0	R	
2	PIDR2	0	R	
1	PIDR1	0	R	
0	PIDR0	0	R	

【備考】

PORTm.PDR レジスタが “10” または “11” に設定されている場合、PORTm.PIDR レジスタを読むと、PORTm.PMR レジスタの値に関係なく端子の状態が読めます。存在しない端子のビットはリザーブビットです。リザーブビットは、読み出すと常に “0” が読み出されます。

51.3.4　ポートモードレジスタ（PMR）

PMR レジスタは、ポートの端子機能を指定するレジスタです。

	7	6	5	4	3	2	1	0
	PMR7	PMR6	PMR5	PMR4	PMR3	PMR2	PMR1	PMR0
初期値：	0	0	0	0	0	0	0	0

注1.　PORTM の PMR レジスタの初期値は 2’b11 です。

ビット	ビット名	初期値	R/W	機能
7	PMR7	0	R/W	0：汎用入出力ポートとして使用 1：周辺機能として使用
6	PMR6	0	R/W	
5	PMR5	0	R/W	
4	PMR4	0	R/W	
3	PMR3	0	R/W	
2	PMR2	0	R/W	
1	PMR1	0	R/W	
0	PMR0	0	R/W	

【備考】

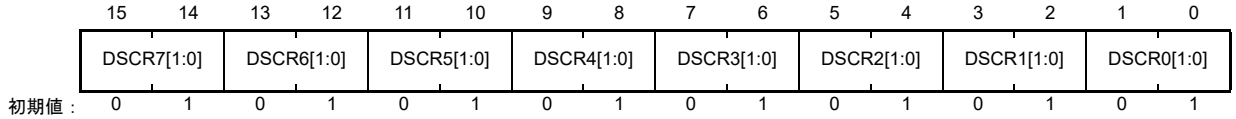
PORTm.PMR レジスタの各ビットは、それぞれポート m の各端子に対応しており、1 ビット単位で指定できます。存在しない端子のビットはリザーブビットです。リザーブビットは、読み出すと常に “0” が読み出されます。書き込む値は必ず “0” にしてください。

51.3.5　汎用端子駆動能力制御レジスタ（DSCR）

DSCR レジスタは、ポートの駆動能力を制御するレジスタです。

PG_2, PG_3, PG_4, PG_5, PG_6, PG_7, PJ_0, PJ_1, PJ_2, PJ_3, PJ_4, PJ_5, PJ_6 以外の端子は 01(通常駆動) の設定のみ使用可能です。

PG_2, PG_3, PG_4, PG_5, PG_6, PG_7, PJ_0, PJ_1, PJ_2, PJ_3, PJ_4, PJ_5, PJ_6 端子は 01(通常駆動) および 11(高駆動) の設定での使用が可能です。



ビット	ビット名	初期値	R/W	機能
15～14	DSCR7[1:0]	01 (注 2)	R/W	奇数b 偶数b 駆動力 0 1 : 通常駆動(4mA) 1 1 : 高駆動(8mA)(注 1) 0 0 : 設定禁止(注3) 1 0 : 設定禁止
13～12	DSCR6[1:0]	01(注 2)	R/W	
11～10	DSCR5[1:0]	01(注 2)	R/W	
9～8	DSCR4[1:0]	01(注 2)	R/W	
7～6	DSCR3[1:0]	01(注 2)	R/W	
5～4	DSCR2[1:0]	01(注 2)	R/W	
3～2	DSCR1[1:0]	01(注 2)	R/W	
1～0	DSCR0[1:0]	01(注 2)	R/W	

m = 0 ～ ∗

注1.　PG_2, PG_3, PG_4, PG_5, PG_6, PG_7, PJ_0, PJ_1, PJ_2, PJ_3, PJ_4, PJ_5, PJ_6以外の端子は01(通常駆動)のみ使用可能で、11(高駆動)は設定禁止です。書き込む値は常に01にしてください。

注2.　PG_2, PG_3, PG_4, PG_5, PG_6, PG_7, PJ_0, PJ_1, PJ_2, PJ_3, PJ_4, PJ_5端子の初期値は11です。

注3.　存在しない端子のビットはリザーブビットです。リザーブビットは、読み出すと常に“00” が読み出されます。書き込む値は必ず“00” にしてください。

51.3.6　書き込みプロテクトレジスタ（PWPR）

PWPR レジスタは、PFS レジスタ、および本レジスタの PFSWE ビットに対する書き込みの許可／禁止を設定するレジスタです。

	7	6	5	4	3	2	1	0
	B0WI	PFSWE	—	—	—	—	—	—
初期値：	1	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	B0WI	1	R/W	0：PFSWE レジスタへの書き込みを許可 1：PFSWE レジスタへの書き込みを禁止
6	PFSWE	0	R/W	0：PFS レジスタへの書き込みを禁止 1：PFS レジスタへの書き込みを許可
5～0	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。

PFSWE ビット（PFS レジスタ書き込み許可ビット）

PFSWE ビットを “1” に設定したときのみ、PmnPFS レジスタ（m = 0 ～ 9、A ～ H、J ～ M、n = 0 ～ 7）に対する書き込みが許可されます。

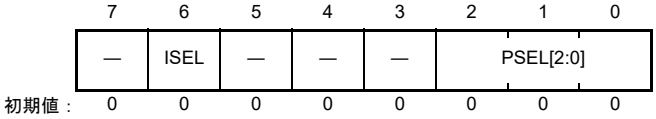
PFSWE ビットを “1” にする場合は、B0WI ビットに “0” を書いた後、PFSWE ビットを “1” にしてください。

B0WI ビット（PFSWE ビット書き込み禁止ビット）

B0WI ビットを “0” に設定したときのみ、PFSWE ビットに対する書き込みが許可されます。

51.3.7　P0n 端子機能制御レジスタ（P0nPFS）（n = 0 ～ 6）

P0n 端子機能制御レジスタ（P0nPFS）は、使用する端子の機能を選択するレジスタです。P0nPFS レジスタは書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合は、プロテクトを解除してから行ってください。



ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.5を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P0n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.5　324 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子						
	P0_0	P0_1	P0_2	P0_3	P0_4	P0_5	P0_6
000b（リセッ後の値）	Hi-Z						
001b	D0	D1	D2	D3	D4	D5	D6
010b	DRP24（注 1）	DRP25（注 1）	DRP26（注 1）	DRP27（注 1）	DRP28（注 1）	DRP29（注 1）	DRP30（注 1）
011b	DV0_DATA17	DV0_DATA18	DV0_DATA19	DV0_DATA20	DV0_DATA21	DV0_DATA22	DV0_DATA23
100b	MTIOC6B	MTIOC6C	MTIOC6D	MTIOC7A	MTIOC7B	MTIOC7C	MTIOC7D
101b	GTIOC3B	GTIOC4A	GTIOC4B	GTIOC6A	GTIOC6B	GTIOC7A	GTIOC7B
110b	—	—	—	—	—	—	—

注.　—：設定しないでください。
注1.　DRP 搭載品のみ

51.3.8　P1n 端子機能制御レジスタ（P1nPFS）（n = 0 ～ 4）

P1n 端子機能制御レジスタ（P1nPFS）は、使用する端子の機能を選択するレジスタです。P1nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.6を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P1n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.6　　324 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子				
	P1_0	P1_1	P1_2	P1_3	P1_4
000b（リセット後の値）	Hi-Z				
001b	D7	D8	D9	D10	D11
010b	DRP31（注 1）	MTIOC8A	MTIOC8B	MTIOC8C	MTIOC8D
011b	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4
100b	CAN_CLK	CAN0RX	CAN0RX_DATARATE_EN	CAN0TX	CAN0TX_DATARATE_EN
101b	VBUSEN0	OVRCUR0	VBUSEN1	OTG_ID1	VBUSIN0
110b	—	—	—	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。
注1.　DRP搭載品のみ

51.3.9　P2n 端子機能制御レジスタ（P2nPFS）（n = 0 ～ 3）

P2n 端子機能制御レジスタ（P2nPFS）は、使用する端子の機能を選択するレジスタです。P2nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.7を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P2n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

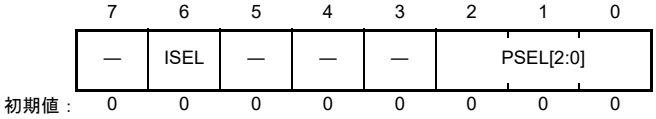
表51.7　324 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子			
	P2_0	P2_1	P2_2	P2_3
000b（リセット後の値）	Hi-Z			
001b	D12	D13	D14	D15
010b	GTIOC6A	GTIOC6B	GTIOC7A	GTIOC7B
011b	IRQ5	IRQ6	IRQ7	WDTOVF#/PERROUT#
100b	CAN1RX	CAN1RX_RATARATE_EN	CAN1TX	CAN1TX_RATARATE_EN
101b	OTG_EXICEN0	OTG_ID0	VBUSIN1	OTG_EXICEN1
110b	—	—	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。
注.　ウォッチドッグタイマによる内部パワーオンリセットでは、P23PFSは初期化されません。

51.3.10　P3n 端子機能制御レジスタ（P3nPFS）（n = 0 ～ 5）

P3n 端子機能制御レジスタ（P3nPFS）は、使用する端子の機能を選択するレジスタです。P3nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。



ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.8、表51.9を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P3n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.8　324, 272, 256 ビン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子					
	P3_0	P3_1	P3_2	P3_3	P3_4	P3_5
000b（リセット後の値）	Hi-Z					
001b	OTG_EXICEN1	ET1_RXER	ET1_CRS	ET1_MDC	ET1_MDIO	ET1_RXD1
010b	NFDATA4	NFALE	NFRE#	NFWE#	NFRB#	NFCLE
011b	ET1_LINKSTA	VBUSEN0	CC1_Ra1	OTG_EXICEN0	CC2_Ra1	CC2_Ra0
100b	MTIC5W	CAN1RX	CAN1RX_ DATARATE_EN	CAN1TX	CAN1TX_ DATARATE_EN	CAN0TX_ DATARATE_EN
101b	IRQ3	RSPCK2	MOSI2	MISO2	SSL20	SSL00
110b	—	IRQ6	—	IRQ7	—	—
111b	—	RMII1_RXER	RMII1_CRS_DV	—	—	RMII1_RXD1

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。（「7.　割り込みコントローラ」参照）
注.　—：設定しないでください。

表51.9　176ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子				
	P3_1	P3_2	P3_3	P3_4	P3_5
000b（リセット後の値）	Hi-Z				
001b	ET1_RXER	ET1_CRS	ET1_MDC	ET1_MDIO	ET1_RXD1
010b	NFALE	NFRE#	NFWE#	NFRB#	NFCLE
011b	VBUSEN0	CC1_Ra1	OTG_EXICEN0	CC2_Ra1	CC2_Ra0
100b	CAN1RX	CAN1RX_ DATARATE_EN	CAN1TX	CAN1TX_ DATARATE_EN	CAN0TX_ DATARATE_EN
101b	RSPCK2	MOSI2	MISO2	SSL20	SSL00
110b	IRQ6	—	IRQ7	—	—
111b	RMII1_RXER	RMII1_CRS_DV	—	—	RMII1_RXD1

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)

注.　—：設定しないでください。

51.3.11　P4n 端子機能制御レジスタ（P4nPFS）（n = 0 ～ 7）

P4n 端子機能制御レジスタ（P4nPFS）は、使用する端子の機能を選択するレジスタです。P4nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.10を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P4n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.10　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	P4_0	P4_1	P4_2	P4_3	P4_4	P4_5	P4_6	P4_7
000b（リセット後の値）	Hi-Z							
001b	SCK0	RxD0	TxD0	RTS0#	CTS0#	ET0_LINKSTA	ET0_EXOUT/ ET0_SCLKIN	ET0_WOL
010b	TXOUT0P	TXOUT0M	TXOUT1P	TXOUT1M	TXOUT2P	TXOUT2M	TXCLKOUTP	TXDLKOUTM
011b	SCI_SCK1	SCI_RXD1	SCI_TXD1	SCI_CTS1#/ RTS1#	SCI_CTS0#/ RTS0#	SCI_RXD0	SCI_TXD0	SCI_SCK0
100b	SSIBCK1	SSIRxD1	SSITxD1	SSILRCK1	WDTOVF#/ PERROUT#	RxD4	TxD4	SCK4
101b	MTIOC8A	MTIOC8B	MTIOC8C	MTIOC8D	OTG_ EXICEN0	DREQ0	DACK0	TEND0
110b	IRQ0	IRQ1	IRQ2	IRQ3	—	—	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。
注.　ウォッチドッグタイマによる内部パワーオンリセットでは、P44PFSは初期化されません。

51.3.12　P5n 端子機能制御レジスタ（P5nPFS）（n = 0 ～ 7）

P5n 端子機能制御レジスタ（P5nPFS）は、使用する端子の機能を選択するレジスタです。P5nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.11を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P5n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.11　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	P5_0	P5_1	P5_2	P5_3	P5_4	P5_5	P5_6	P5_7
000b（リセット後の値）	Hi-Z							
001b	AN000	AN001	AN002	AN003	AN004	AN005	AN006	AN007
010b	IRQ4	IRQ5	IRQ6	IRQ7	IRQ0	IRQ1	IRQ2	IRQ3
011b	SD0_CD	SD0_WP	VBUSIN0	OTG_ID0	SD1_CD	SD1_WP	—	—
100b	SD1_CD	SD1_WP	—	—	—	—	—	—
101b	—	—	—	—	—	—	—	—
110b	—	—	—	—	—	—	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.13　P6n 端子機能制御レジスタ（P6nPFS）（n = 0 ～ 7）

P6n 端子機能制御レジスタ（P6nPFS）は、使用する端子の機能を選択するレジスタです。P6nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。IRQn 機能のない端子の ISEL ビットは予約ビットです。必ずリセット後の値を書き込んでください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.12、表51.13を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P6n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.12　324, 272, 256 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	P6_0	P6_1	P6_2	P6_3	P6_4	P6_5	P6_6	P6_7
000b（リセット後の値）	Hi-Z							
001b	ADTRG#	ET0_TXEN	ET0_TXD0	ET0_TXD1	CS5#	CS3#	CS2#	WE0#/DQML
010b	—	VIO_CLK	VIO_VD	VIO_HD	DRP00（注 1）	DRP01（注 1）	DRP02（注 1）	DRP03（注 1）
011b	—	SCK3	RxD3	TxD3	LCD0_TCON6	LCD0_TCON5	LCD0_TCON4	LCD0_TCON3
100b	—	MTIOC2A	MTIOC2B	POE0#	AUDIO_CLK	AUDIO_XOUT	DREQ0	DACK0
101b	—	—	OTG_EXICEN1	—	SD1_CD	CC1_Rd0	CC1_Ra0	CC2_Rd0
110b	—	—	IRQ0	—	—	—	—	—
111b	—	RMII0_TXD_EN	RMII0_TXD0	RMII0_TXD1	—	—	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。
注1.　DRP搭載品のみ

表51.13　176ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子			
	P6_0	P6_1	P6_2	P6_3
000b（リセット後の値）	Hi-Z			
001b	ADTRG#	ET0_TXEN	ET0_TXD0	ET0_TXD1
010b	—	VIO_CLK	VIO_VD	VIO_HD
011b	—	SCK3	RxD3	TxD3
100b	—	MTIOC2A	MTIOC2B	POE0#
101b	—	—	OTG_EXICEN1	—
110b	—	—	IRQ0	—
111b	—	RMII0_TXD_EN	RMII0_TXD0	RMII0_TXD1

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)

注.　—：設定しないでください。

51.3.14　P7n 端子機能制御レジスタ（P7nPFS）（n = 0 ～ 7）

P7n 端子機能制御レジスタ（P7nPFS）は、使用する端子の機能を選択するレジスタです。P7nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.14、表51.15を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P7n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.14　324 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	P7_0	P7_1	P7_2	P7_3	P7_4	P7_5	P7_6	P7_7
000b（リセット後の値）	Hi-Z							
001b	WE1#/ DQMU	RD/WR#	CS4#	RAS#	CAS#	CKE	AH#	RD#
010b	DRP04 (注 1)	DRP05 (注 1)	DV0_CLK	DRP06 (注 1)	DRP07 (注 1)	DRP08 (注 1)	DV0_ VSYNC	DV0_ HSYNC
011b	DV0_CLK	DV0_ VSYNC	LCD0_ TCON2	DV0_ HSYNC	DV0_ DATA0	DV0_ DATA1	LCD0_ TCON1	LCD0_ TCON0
100b	SCK1	RxD1	TEND0	TxD1	RTS1#	CTS1#	GTIOC3A	GTIOC3B
101b	CC1_Rd1	CC1_Ra1	CC2_Ra0	CC2_Rd1	CC2_Ra1	OVRCUR1	SCK0	RxD0
110b	—	—	—	—	—	—	—	—

注.　—：設定しないでください
注1.　DRP搭載品のみ

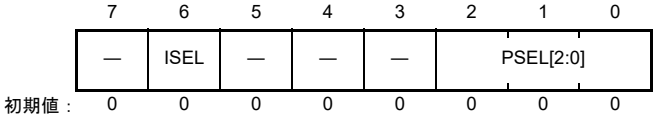
表51.15　272, 256 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子		
	P7_2	P7_6	P7_7
000b（リセット後の値）	Hi-Z		
001b	CS4#	AH#	RD#
010b	DV0_CLK	DV0_VSYNC	DV0_HSYNC
011b	LCD0_TCON2	LCD0_TCON1	LCD0_TCON0
100b	TEND0	GTIOC3A	GTIOC3B
101b	CC2_Ra0	SCK0	RxD0
110b	—	—	—

注.　— : 設定しないでください。

51.3.15　P8n 端子機能制御レジスタ（P8nPFS）（n = 0 ～ 7）

P8n 端子機能制御レジスタ（P8nPFS）は、使用する端子の機能を選択するレジスタです。P8nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。



ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.16、表51.17を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P8n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.16　324 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	P8_0	P8_1	P8_2	P8_3	P8_4	P8_5	P8_6	P8_7
000b（リセット後の値）	Hi-Z							
001b	A0	A1	A2	A3	A4	A5	A6	A7
010b	DV0_DATA14	DRP23 (注1)	DRP22 (注1)	DRP21 (注1)	DRP20 (注1)	DRP19 (注1)	DRP18 (注1)	DRP17 (注1)
011b	LCD0_DATA9	DV0_DATA16	DV0_DATA15	DV0_DATA14	DV0_DATA13	DV0_DATA12	DV0_DATA11	DV0_DATA10
100b	SCI_CTS1#/RTS1#	GTIOC5B	GTIOC5A	MTIOC6A	SSL00	MISO0	MOSI0	RSPCK0
101b	MTIOC8D	IRQ3	IRQ2	GTIOC3A	SSIRxD3	SSITxD3	SSILRCK3	SSIBCK3
110b	—	—	—	—	—	—	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。
注1.　DRP搭載品のみ

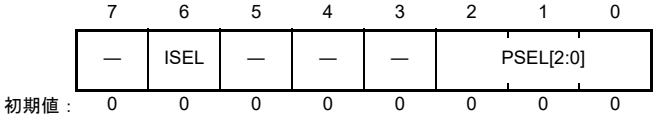
表 51.17　272, 256 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子
	P8_0
000b（リセット後の値）	Hi-Z
001b	A0
010b	DV0_DATA14
011b	LCD0_DATA9
100b	SCI_CTS1#/RTS1#
101b	MTIOC8D
110b	—

注.　—：設定しないでください。

51.3.16　P9n 端子機能制御レジスタ（P9nPFS）（n = 0 ～ 7）

P9n 端子機能制御レジスタ（P9nPFS）は、使用する端子の機能を選択するレジスタです。P9nPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。



	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.18を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

P9n 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

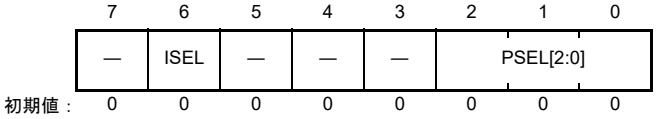
表51.18　324 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	P9_0	P9_1	P9_2	P9_3	P9_4	P9_5	P9_6	P9_7
000b（リセット後の値）	Hi-Z							
001b	A8	A9	A10	A11	A12	A13	A14	A15
010b	DRP16(注1)	DRP15(注1)	DRP14(注1)	DRP13(注1)	DRP12(注1)	DRP11(注1)	DRP10(注1)	DRP09(注1)
011b	DV0_DATA9	DV0_DATA8	DV0_DATA7	DV0_DATA6	DV0_DATA5	DV0_DATA4	DV0_DATA3	DV0_DATA2
100b	TxD4	RxD4	SCK4	—	—	—	—	—
101b	SSIDATA2	SSILRCK2	SSIBCK2	SSIRxD0	SSITxD0	SSILRCK0	SSIBCK0	SD1_WP
110b	—	—	—	—	—	—	—	—

注.　—：設定しないでください。
注1.　DRP 搭載品のみ

51.3.17　PAn 端子機能制御レジスタ（PAnPFS）（n = 0 ～ 7）

PAn 端子機能制御レジスタ（PAnPFS）は、使用する端子の機能を選択するレジスタです。PAnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。



ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.19を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PAn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.19　324, 272, 256 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	PA_0	PA_1	PA_2	PA_3	PA_4	PA_5	PA_6	PA_7
000b（リセット後の値）	Hi-Z							
001b	A16	A17	A18	A19	A20	A21	A22	A23
010b	DV0_DATA13	DV0_DATA12	DV0_DATA11	DV0_DATA10	DV0_DATA9	DV0_DATA8	DV0_DATA7	DV0_DATA6
011b	LCD0_DATA10	LCD0_DATA11	LCD0_DATA12	LCD0_DATA13	LCD0_DATA14	LCD0_DATA15	LCD0_DATA16	LCD0_DATA17
100b	SCI_TXD1	SCI_RXD1	SCI_SCK1	SCI_CTS0#/RTS0#	SCI_TXD0	SCI_RXD0	SCI_SCK0	SSIRxD1
101b	MTIOC8C	MTIOC8B	MTIOC8A	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	POE10#
110b	—	IRQ6	—	—	—	IRQ5	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.18　PBn 端子機能制御レジスタ（PBnPFS）（n = 0 ～ 5）

PBn 端子機能制御レジスタ（PBnPFS）は、使用する端子の機能を選択するレジスタです。PBnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.20を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PBn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.20　324, 272, 256 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子					
	PB_0	PB_1	PB_2	PB_3	PB_4	PB_5
000b（リセット後の値）	Hi-Z					
001b	A24	A25	BS#	CS0#	CS1#	WAIT#
010b	DV0_DATA5	DV0_DATA4	DV0_DATA3	DV0_DATA2	DV0_DATA1	DV0_DATA0
011b	LCD0_DATA18	LCD0_DATA19	LCD0_DATA20	LCD0_DATA21	LCD0_DATA22	LCD0_DATA23
100b	SSITxD1	SSILRCK1	SSIBCK1	SSIDATA2	SSILRCK2	SSIBCK2
101b	POE8#	POE4#	POE0#	CTS0#	RTS0#	TxD0
110b	—	—	—	—	—	—

注.　—：設定しないでください。

51.3.19　PCn 端子機能制御レジスタ（PCnPFS）（n = 0 ～ 7）

PCn 端子機能制御レジスタ（PCnPFS）は、使用する端子の機能を選択するレジスタです。PCnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.21を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PCn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.21　324, 272, 256 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	PC_0	PC_1	PC_2	PC_3	PC_4	PC_5	PC_6	PC_7
000b（リセット後の値）	Hi-Z							
001b	VBUSIN1	VBUSIN0	OTG_ EXICEN0	OTG_ID0	OTG_ID1	VBUSEN1	VBUSEN0	OVRCUR0
010b	NFDATA5	NFDATA6	NFDATA7	NFCLE	NFALE	NFRE#	NFWE#	NFRB#
011b	ET1_TXCLK	ET1_TXD2	ET1_TXD3	ET1_COL	ET1_TXER	ET1_RXDV	ET1_RXD2	ET1_RXD3
100b	RSPCK2	MOSI2	MISO2	SSL20	SPDIF_IN	SPDIF_OUT	SD1_CD	SD1_WP
101b	IRQ2	LCD0_ TCON6	LCD0_ TCON5	LCD0_ TCON4	LCD0_ TCON3	LCD0_ TCON2	LCD0_ TCON1	LCD0_ TCON0
110b	—	—	—	—	IRQ1	IRQ0	IRQ7	IRQ6

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.20　PDn 端子機能制御レジスタ（PDnPFS）（n = 0 ～ 7）

PDn 端子機能制御レジスタ（PDnPFS）は、使用する端子の機能を選択するレジスタです。PDnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.22を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PDn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.22　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	PD_0	PD_1	PD_2	PD_3	PD_4	PD_5	PD_6	PD_7
000b（リセット後の値）	Hi-Z							
001b	RIIC0SCL	RIIC0SDA	RIIC1SCL	RIIC1SDA	RIIC2SCL	RIIC2SDA	RIIC3SCL	RIIC3SDA
010b	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
011b	MTCLKA	MTCLKB	MTCLKC	MTCLKD	—	—	—	—
100b	GTETRGA	GTETRGB	GTETRGC	GTETRGD	—	—	—	—
101b	—	—	—	—	—	—	—	—
110b	—	—	—	—	—	—	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.21　PEn 端子機能制御レジスタ（PEnPFS）（n = 0 ～ 6）

PEn 端子機能制御レジスタ（PEnPFS）は、使用する端子の機能を選択するレジスタです。PDnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.23を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PEn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

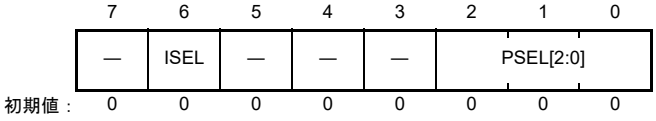
表51.23　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子						
	PE_0	PE_1	PE_2	PE_3	PE_4	PE_5	PE_6
000b（リセット後の値）	Hi-Z						
001b	ET0_RXCLK	ET0_RXD0	ET0_RXD1	ET0_RXER	ET0_CRS	ET0_MDC	ET0_MDIO
010b	VIO_FLD	VIO_D7	VIO_D6	VIO_D5	VIO_D4	VIO_D3	VIO_D2
011b	SCK2	RxD2	TxD2	SSIBCK0	SSILRCK0	SSITxD0	SSIRxD0
100b	POE4#	POE8#	POE10#	MTIOC0A	MTIOC0B	MTIOC0C	MTIOC0D
101b	—	VBUSIN1	—	—	—	CC1_Rd1	CC2_Rd1
110b	—	IRQ1	—	—	—	—	—
111b	REF50CK0	RMII0_RXD0	RMII0_RXD1	RMII0_RXER	RMII0_CRS_DV	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.22　PFn 端子機能制御レジスタ（PFnPFS）（n = 0 ～ 7）

PFn 端子機能制御レジスタ（PFnPFS）は、使用する端子の機能を選択するレジスタです。PFnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。



ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.24を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PFn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.24　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	PF_0	PF_1	PF_2	PF_3	PF_4	PF_5	PF_6	PF_7
000b（リセット後の値）	Hi-Z							
001b	SCK3	RxD3	TxD3	SCK2	RxD2	TxD2	RTS2#	GTETRGD
010b	DV0_DATA15	DV0_DATA16	DV0_DATA17	DV0_DATA18	DV0_DATA19	DV0_DATA20	DV0_DATA21	DV0_DATA23
011b	LCD0_DATA8	LCD0_DATA7	LCD0_DATA6	LCD0_DATA5	LCD0_DATA4	LCD0_DATA3	LCD0_DATA2	LCD0_DATA0
100b	MTIOC7A	MTIOC7B	MTIOC7C	MTIOC7D	MTIOC6A	MTIOC6B	MTIOC6C	MTCLKD
101b	RSPCK1	MOSI1	MISO1	SSL10	SSIBCK0	SSILRCK0	SSITxD0	IRQ1
110b	—	IRQ4	—	—	IRQ1	—	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.23　PGn 端子機能制御レジスタ（PGnPFS）（n = 0 ～ 7）

PGn 端子機能制御レジスタ（PGnPFS）は、使用する端子の機能を選択するレジスタです。PGnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.25を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PGn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.25　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	PG_0	PG_1	PG_2	PG_3	PG_4	PG_5	PG_6	PG_7
000b（リセット後の値）	Hi-Z							
001b	ET0_TXCLK	ET0_TXD2	ET0_TXD3	ET0_COL	ET0_TXER	ET0_RXDV	ET0_RXD2	ET0_RXD3
010b	VIO_D8	VIO_D9	VIO_D10	VIO_D11	VIO_D15	VIO_D14	VIO_D13	VIO_D12
011b	RSPCK0	MOSI0	MISO0	SSL00	RSPCK1	MOSI1	MISO1	SSL10
100b	MTIOC3A	MTIOC3C	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4B	MTIOC4C	MTIOC4D
101b	HM_RSTO#	HM_INT#/ OM_ECS#	GTIOC0A	GTIOC0B	GTIOC1A	GTIOC1B	GTIOC2A	GTIOC2B
110b	—	—	IRQ4	—	—	—	IRQ5	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.24　PHn 端子機能制御レジスタ（PHnPFS）（n = 0 ～ 6）

PHn 端子機能制御レジスタ（PHnPFS）は、使用する端子の機能を選択するレジスタです。PHnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.26、表51.27を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PHn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.26　324, 272, 256 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子						
	PH_0	PH_1	PH_2	PH_3	PH_4	PH_5	PH_6
000b（リセット後の値）	Hi-Z						
001b	AUDIO_CLK	AUDIO_XOUT	CTS2#	HM_RSTO#	HM_INT#/ OM_ECS#	HM_RSTO#	HM_INT#/ OM_ECS#
010b	VIO_D1	VIO_D0	DV0_DATA22	RTS2#	CTS2#	NFDATA2	NFDATA3
011b	GTIOC4A	GTIOC4B	LCD0_DATA1	GTIOC6A	GTIOC6B	ET1_EXOUT/ ET1_SCLKIN	ET1_WOL
100b	MTIOC1A	MTIOC1B	MTIOC6D	MTIOC2A	MTIOC2B	MTIC5U	MTIC5V
101b	CC1_Rd0	CC2_Rd0	SSIRxD0	SD0_CD	SD0_WP	IRQ5	IRQ4
110b	IRQ3	IRQ2	—	IRQ3	IRQ2	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

表51.27　176ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子			
	PH_0	PH_1	PH_3	PH_4
000b （リセット後の値）	Hi-Z			
001b	AUDIO_CLK	AUDIO_XOUT	HM_RSTO#	HM_INT#/ OM_ECS#
010b	VIO_D1	VIO_D0	RTS2#	CTS2#
011b	GTIOC4A	GTIOC4B	GTIOC6A	GTIOC6B
100b	MTIOC1A	MTIOC1B	MTIOC2A	MTIOC2B
101b	CC1_Rd0	CC2_Rd0	SD0_CD	SD0_WP
110b	IRQ3	IRQ2	IRQ3	IRQ2

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.25　PJn 端子機能制御レジスタ（PJnPFS）（n = 0 ～ 7）

PJn 端子機能制御レジスタ（PJnPFS）は、使用する端子の機能を選択するレジスタです。PJnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.28、表51.29を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PJn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.28　324, 272, 256 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子							
	PJ_0	PJ_1	PJ_2	PJ_3	PJ_4	PJ_5	PJ_6	PJ_7
000b（リセット後の値）	Hi-Z							
001b	TRACE CLK	TRACE CTL	TRACE DATA0	TRACE DATA1	TRACE DATA2	TRACE DATA3	GTETRGC	GTETRGB
010b	SPDIF_OUT	SPDIF_IN	NFCE#	NFDATA0	NFDATA1	NFDATA2	NFCE#	NFDATA0
011b	—	—	—	—	—	OVRCUR0	LCD0_ CLK	LCD0_ EXTCLK
100b	SCK1	RxD1	TxD1	RTS1#	CTS1#	MTIOC1A	MTCLKC	MTCLKB
101b	SSIRxD3	VBUSIN0	SSITxD3	SSILRCK3	SSIBCK3	SSILRCK2	IRQ0	—
110b	—	IRQ0	—	—	—	IRQ4	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

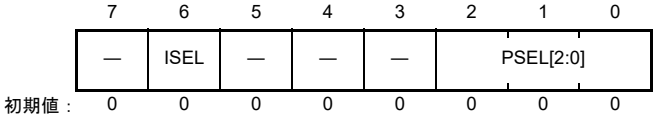
表51.29　176ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ 設定値	端子					
	PJ_0	PJ_1	PJ_2	PJ_3	PJ_4	PJ_5
000b （リセット後の値）	Hi-Z					
001b	TRACECLK	TRACECTL	TRACEDATA0	TRACEDATA1	TRACEDATA2	TRACEDATA3
010b	SPDIF_OUT	SPDIF_IN	NFCE#	NFDATA0	NFDATA1	NFDATA2
011b	—	—	—	—	—	OVRCUR0
100b	SCK1	RxD1	TxD1	RTS1#	CTS1#	MTIOC1A
101b	SSIRxD3	VBUSIN0	SSITxD3	SSILRCK3	SSIBCK3	SSILRCK2
110b	—	IRQ0	—	—	—	IRQ4

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.26　PKn 端子機能制御レジスタ（PKnPFS）（n = 0 ～ 5）

PKn 端子機能制御レジスタ（PKnPFS）は、使用する端子の機能を選択するレジスタです。PKnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。



ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.30、表51.31 を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PKn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.30　324, 272, 256 ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子					
	PK_0	PK_1	PK_2	PK_3	PK_4	PK_5
000b（リセット後の値）	Hi-Z					
001b	ET1_TXEN	ET1_TXD0	ET1_TXD1	ET1_RXCLK	ET1_RXD0	GTETRGA
010b	NFDATA3	NFDATA4	NFDATA5	NFDATA6	NFDATA7	NFDATA1
011b	CC1_Rd0	CC1_Ra0	VBUSEN1	CC2_Rd0	OVRCUR1	WDTOVF#/ PERROUT#
100b	MTIOC1B	CAN_CLK	CAN0RX	CAN0RX_ DATARATE_EN	CAN0TX	MTCLKA
101b	SSIBCK2	SSIDATA2	RSPCK0	MOSI0	MISO0	—
110b	—	—	IRQ5	—	IRQ6	—
111b	RMII1_TXD_EN	RMII1_TXD0	RMII1_TXD1	REF50CK1	RMII1_RXD0	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。
注.　ウォッチドッグタイマによる内部パワーオンリセットでは、PK5PFSは初期化されません。

表51.31　176ピン　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ 設定値	端子				
	PK_0	PK_1	PK_2	PK_3	PK_4
000b （リセット後の値）	Hi-Z				
001b	ET1_TXEN	ET1_TXD0	ET1_TXD1	ET1_RXCLK	ET1_RXD0
010b	NFDATA3	NFDATA4	NFDATA5	NFDATA6	NFDATA7
011b	CC1_Rd0	CC1_Ra0	VBUSEN1	CC2_Rd0	OVRCUR1
100b	MTIOC1B	CAN_CLK	CAN0RX	CAN0RX_ DATARATE_EN	CAN0TX
101b	SSIBCK2	SSIDATA2	RSPCK0	MOSI0	MISO0
110b	—	—	IRQ5	—	IRQ6
111b	RMII1_TXD_EN	RMII1_TXD0	RMII1_TXD1	REF50CK1	RMII1_RXD0

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)

注.　—：設定しないでください。

51.3.27　PLn 端子機能制御レジスタ（PLnPFS）（n = 0 ～ 4）

PLn 端子機能制御レジスタ（PLnPFS）は、使用する端子の機能を選択するレジスタです。PLnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.32を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

PLn 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。

表51.32　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子				
	PL_0	PL_1	PL_2	PL_3	PL_4
000b（リセット後の値）	Hi-Z				
001b	—	—	—	—	—
010b	—	—	—	—	—
011b	—	—	—	—	—
100b	—	—	—	—	—
101b	IRQ4	IRQ5	IRQ6	IRQ7	IRQ0
110b	—	—	—	—	—

注.　ソフトウェアスタンバイ時にIRQを解除要因として使用する場合は、割り込み要求レジスタ(IRQRR)のIRQMSKに1'b1を設定ください。(「7.　割り込みコントローラ」参照)
注.　—：設定しないでください。

51.3.28　PMn 端子機能制御レジスタ（PMnPFS）（n = 0 ～ 1）

PMn 端子機能制御レジスタ（PMnPFS）は、使用する端子の機能を選択するレジスタです。PMnPFS レジスタは、書き込みプロテクトレジスタ（PWPR）によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

	7	6	5	4	3	2	1	0
	—	ISEL	—	—	—	PSEL[2:0]		
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7	—	0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
6	ISEL	0	R/W	0：割り込み入力端子として使用しない 1：割り込み入力端子として使用する
5 ～ 3	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
2 ～ 0	PSEL[2:0]	000	R/W	周辺機能を選択します。 個々の端子機能については表51.33を参照してください。

PSEL[2:0] ビット（ 端子機能選択ビット）

端子に割り付ける周辺機能を設定します。

ISEL ビット（端子割り込み入力機能選択ビット）

JP0_0 端子を端子割り込み機能として使用する場合は 1’b1 を設定ください。
1’b0 に設定の場合、割り込みコントローラへの端子割り込み制御を停止します。
JP0_1 端子は出力専用のため無効です。

表51.33　端子入出力機能レジスタ設定

PSEL[2:0] レジスタ設定値	端子	
	JP0_0	JP0_1
000b	Hi-Z	
001b（リセット後の値）	TDI	TDO/SWO
010b	—	—
011b	—	—
100b	—	—
101b	—	—
110b	—	—

注.　—：設定しないでください。

51.3.29　イーサネットコントロールレジスタ（PFENET）

イーサネットコントロールレジスタ（PFENET）は、使用するイーサネットインタフェースモード設定を選択するレジスタです。

PHYMODE0

ETHERC チャネル 0 のイーサネットインタフェースモードを設定します。端子機能選択ビット (PmnPFS.PSEL[2:0]) で設定したモードと同じモードに設定してください。PmnPFS.PSEL[2:0] ビットで RMII モードの信号を指定した場合、PHYMODE ビットを 0（RMII モード）にしてください。PmnPFS.PSEL[2:0] ビットで MII モードの信号を指定した場合、PHYMODE ビットを 1（MII モード）にしてください。

PHYMODE1

ETHERC チャネル 1 のイーサネットインタフェースモードを設定します。端子機能選択ビット (PmnPFS.PSEL[2:0]) で設定したモードと同じモードに設定してください。PmnPFS.PSEL[2:0] ビットで RMII モードの信号を指定した場合、PHYMODE ビットを 0（RMII モード）にしてください。PmnPFS.PSEL[2:0] ビットで MII モードの信号を指定した場合、PHYMODE ビットを 1（MII モード）にしてください。

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PHY MODE1	PHY MODE0
初期値：	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
7～2	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
1	PHYMODE1	0	R/W	チャネル1のイーサネットインタフェースモード設定 0：RMIIモード（ETHERCチャネル1） 1：MIIモード（ETHERCチャネル1）
0	PHYMODE0	0	R/W	チャネル0のイーサネットインタフェースモード設定 0：RMIIモード（ETHERCチャネル0） 1：MIIモード（ETHERCチャネル0）

51.3.30　専用端子 POC 制御レジスタ（PPOC）

専用端子 POC 制御レジスタ（PPOC）は、SPI マルチ I/O バスコントローラ、SD/MMC ホストインタフェースの専用端子の動作電圧を選択するレジスタです。専用端子を使用する前に、専用端子用電源に印加される電圧に合わせて設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	POC SEL0	—	—	—	—	POC3	POC2	—	POC0
初期値:	0	0	0	0	0	0	0	1*	0	0	0	0	1*	1*	X	1*

注.　*ブートモード3, 4のとき、ブートプログラムにより異なる値に設定されます。
詳細は「3.5.4　ブートモード3」、「3.5.5　ブートモード4」を参照してください。

ビット	ビット名	初期値	R/W	機能
31 ～ 9	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	POCSEL0	1*	R/W	POC0の説明を参照してください。
7 ～4	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	POC3	1*	R/W	0：SD/MMCホストインタフェース（チャネル1）の専用端子は1.8V電源で動作 1：SD/MMCホストインタフェース（チャネル1）の専用端子は3.3V電源で動作
2	POC2	1*	R/W	0：SD/MMCホストインタフェース（チャネル0）の専用端子は1.8V電源で動作 1：SD/MMCホストインタフェース（チャネル0）の専用端子は3.3V電源で動作
1	—	X	R/W	リザーブビット 読み出すと不定値が読み出されます。
0	POC0	1*	R/W	[POCSEL0, POC0] 00, 01, 10 ：SPIマルチI/Oバスコントローラの専用端子は1.8V電源で動作 11：SPIマルチI/Oバスコントローラの専用端子は3.3V電源で動作

51.3.31　SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 0 (PSDMMC0)

SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 0 (PSDMMC0) は、SD/MMC ホストインタフェース (チャネル 0) 端子の駆動能力を設定するレジスタです。

本レジスタは PPOC レジスタの POC2 ビットに合わせて設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SD0_CLK_TDSEL		SD0_DAT3_DRV		SD0_DAT2_DRV		SD0_DAT1_DRV		SD0_DAT0_DRV		SD0_CMD_DRV		SD0_CLK_DRV	
初期値:	0	0	1	1	1	0	1	0	1	0	1	0	1	0	1	0

ビット	ビット名	初期値	R/W	機能
31	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
30	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
29、28	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
26、25	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
24	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
23、22	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
21	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
20、19	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
18	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
17 ～ 14	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
13、12	SD0_CLK_TDSEL	11	R/W	SD0_CLKのクロック制御レジスタ SD/MMCホストインタフェース(チャネル0)が1.8V電源で動作時 奇数b　偶数b 0　　1　：1.8V電源動作 上記以外：設定禁止 SD/MMCホストインタフェース(チャネル0)が3.3V電源で動作時 奇数b　偶数b 1　　1　：3.3V電源動作 上記以外：設定禁止

<table>
<tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th colspan="2">機能</th></tr>
<tr><td>11、10</td><td>SD0_DAT3_DRV</td><td>10</td><td>R/W</td><td>SD0_DAT3ポート
駆動能力制御レジスタ</td><td rowspan="5">SD/MMCホストインタフェース(チャネル0)が
1.8V電源で動作時
奇数b　偶数b
1　　1 ：6mA
上記以外：設定禁止

SD/MMCホストインタフェース(チャネル0)が
3.3V電源で動作時
奇数b　偶数b
1　　0 ：6mA
上記以外：設定禁止</td></tr>
<tr><td>9、8</td><td>SD0_DAT2_DRV</td><td>10</td><td>R/W</td><td>SD0_DAT2ポート
駆動能力制御レジスタ</td></tr>
<tr><td>7、6</td><td>SD0_DAT1_DRV</td><td>10</td><td>R/W</td><td>SD0_DAT1ポート
駆動能力制御レジスタ</td></tr>
<tr><td>5、4</td><td>SD0_DAT0_DRV</td><td>10</td><td>R/W</td><td>SD0_DAT0ポート
駆動能力制御レジスタ</td></tr>
<tr><td>3、2</td><td>SD0_CMD_DRV</td><td>10</td><td>R/W</td><td>SD0_CMDポート
駆動能力制御レジスタ</td></tr>
<tr><td>1、0</td><td>SD0_CLK_DRV</td><td>10</td><td>R/W</td><td colspan="2">SD0_CLKポート駆動能力制御レジスタ
SD/MMCホストインタフェース(チャネル0)が1.8V電源で動作時
奇数b　偶数b
1　　1 ：12mA
上記以外：設定禁止

SD/MMCホストインタフェース(チャネル0)が3.3V電源で動作時
奇数b　偶数b
1　　0 ：12mA
上記以外：設定禁止</td></tr>
</table>

51.3.32　SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 1 (PSDMMC1)

SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 1 (PSDMMC1) は、SD/MMC ホストインタフェース (チャネル 0) 端子の駆動能力を設定するレジスタです。

本レジスタは PPOC レジスタの POC2 ビットに合わせて設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SD0_RSTN_DRV		SD0_DAT7_DRV		SD0_DAT6_DRV		SD0_DAT5_DRV		SD0_DAT4_DRV	
初期値:	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0

ビット	ビット名	初期値	R/W	機能	
31	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。	
30	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。	
29、28	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。	
27	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。	
26、25	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。	
24	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。	
23、22	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。	
21	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。	
20、19	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。	
18	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。	
17 ～ 10	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。	
9、8	SD0_RSTN_DRV	10	R/W	SD0_RST#ポート 駆動能力制御レジスタ	SD/MMCホストインタフェース(チャネル0)が1.8V電源で動作時 奇数b　偶数b 1　1：6mA 上記以外：設定禁止 SD/MMCホストインタフェース(チャネル0)が3.3V電源で動作時 奇数b　偶数b 1　0：6mA 上記以外：設定禁止
7、6	SD0_DAT7_DRV	10	R/W	SD0_DAT7ポート 駆動能力制御レジスタ	
5、4	SD0_DAT6_DRV	10	R/W	SD0_DAT6ポート 駆動能力制御レジスタ	
3、2	SD0_DAT5_DRV	10	R/W	SD0_DAT5ポート 駆動能力制御レジスタ	
1、0	SD0_DAT4_DRV	10	R/W	SD0_DAT4ポート 駆動能力制御レジスタ	

51.3.33　SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 2 (PSDMMC2)

SD/MMC ホストインタフェース専用端子駆動能力制御レジスタ 2 (PSDMMC2) は、SD/MMC ホストインタフェース (チャネル 1) 端子の駆動能力を設定するレジスタです。

本レジスタは PPOC レジスタの POC3 ビットに合わせて設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SD1_CLK_TDSEL		SD1_DAT3_DRV		SD1_DAT2_DRV		SD1_DAT1_DRV		SD1_DAT0_DRV		SD1_CMD_DRV		SD1_CLK_DRV	
初期値:	0	0	1	1	1	0	1	0	1	0	1	0	1	0	1	0

ビット	ビット名	初期値	R/W	機能
31	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
30	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
29、28	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
26、25	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
24	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
23、22	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
21	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
20、19	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
18	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
17 ～ 14	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
13、12	SD1_CLK_TDSEL	11	R/W	SD1_CLKのクロック制御レジスタ SD/MMCホストインタフェース(チャネル1)が1.8V電源で動作時 奇数b　偶数b 0　　1 ：1.8V電源動作 上記以外：設定禁止 SD/MMCホストインタフェース(チャネル1)が3.3V電源で動作時 奇数b　偶数b 1　　1 ：3.3V電源動作 上記以外：設定禁止

<table>
<tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th colspan="2">機能</th></tr>
<tr><td>11、10</td><td>SD1_DAT3_DRV</td><td>10</td><td>R/W</td><td>SD1_DAT3ポート
駆動能力制御レジスタ</td><td rowspan="5">SD/MMCホストインタフェース(チャネル1)が
1.8V電源で動作時
奇数b　偶数b
1　　1 ：6mA
上記以外：設定禁止

SD/MMCホストインタフェース(チャネル1)が
3.3V電源で動作時
奇数b　偶数b
1　　0 ：6mA
上記以外：設定禁止</td></tr>
<tr><td>9、8</td><td>SD1_DAT2_DRV</td><td>10</td><td>R/W</td><td>SD1_DAT2ポート
駆動能力制御レジスタ</td></tr>
<tr><td>7、6</td><td>SD1_DAT1_DRV</td><td>10</td><td>R/W</td><td>SD1_DAT1ポート
駆動能力制御レジスタ</td></tr>
<tr><td>5、4</td><td>SD1_DAT0_DRV</td><td>10</td><td>R/W</td><td>SD1_DAT0ポート
駆動能力制御レジスタ</td></tr>
<tr><td>3、2</td><td>SD1_CMD_DRV</td><td>10</td><td>R/W</td><td>SD1_CMDポート
駆動能力制御レジスタ</td></tr>
<tr><td>1、0</td><td>SD1_CLK_DRV</td><td>10</td><td>R/W</td><td colspan="2">SD1_CLKポート駆動能力制御レジスタ
SD/MMCホストインタフェース(チャネル1)が1.8V電源で動作時
奇数b　偶数b
1　　1 ：12mA
上記以外：設定禁止

SD/MMCホストインタフェース(チャネル1)が3.3V電源で動作時
奇数b　偶数b
1　　0 ：12mA
上記以外：設定禁止</td></tr>
</table>

51.3.34　SPI マルチ I/O バスコントローラ専用端子駆動能力制御レジスタ (PSPIBSC)

SPI マルチ I/O バスコントローラ専用端子駆動能力制御レジスタ (PSPIBSC) は、SPI マルチ I/O バスコントローラ端子の駆動能力を設定するレジスタです。

本レジスタは PPOC レジスタの POCSEL0、POC0 ビットに合わせて設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	QSPI1_SSL_DRV		QSPI1_IO3_DRV		QSPI1_IO2_DRV		QSPI1_IO1_DRV		QSPI1_IO0_DRV		QSPI1_SPCLK_DRV	
初期値:	0	0	0	0	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RPC_WPN_DRV		RPC_RESETN_DRV		QSPI0_SSL_DRV		QSPI0_IO3_DRV		QSPI0_IO2_DRV		QSPI0_IO1_DRV		QSPI0_IO0_DRV		QSPI0_SPCLK_DRV	
初期値:	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*	1*

注.　* ブートモード3のとき、ブートプログラムにより異なる値に設定されます。
詳細は「3.5.4　ブートモード3」を参照してください。

ビット	ビット名	初期値	R/W	機能	
31 ～ 28	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。	
27、26	QSPI1_SSL_DRV	11*	R/W	QSPI1_SSLポート 駆動能力制御レジスタ	SPIマルチI/Oバスコントローラが1.8V電源で動作時 奇数b　偶数b 1　　1 ：12mA 上記以外：設定禁止 SPIマルチI/Oバスコントローラが3.3V電源で動作時 奇数b　偶数b 0　　1 ：8mA 上記以外：設定禁止 注.　本ビット(奇数b 偶数b)の初期値は ブートモード3 ：01 上記以外 ：11
25、24	QSPI1_IO3_DRV	11*	R/W	QSPI1_IO3ポート 駆動能力制御レジスタ	
23、22	QSPI1_IO2_DRV	11*	R/W	QSPI1_IO2ポート 駆動能力制御レジスタ	
21、20	QSPI1_IO1_DRV	11*	R/W	QSPI1_IO1ポート 駆動能力制御レジスタ	
19、18	QSPI1_IO0_DRV	11*	R/W	QSPI1_IO0ポート 駆動能力制御レジスタ	
17、16	QSPI1_SPCLK_DRV	11*	R/W	QSPI1_SPCLKポート 駆動能力制御レジスタ	
15、14	RPC_WPN_DRV	11*	R/W	RPC_WP#ポート 駆動能力制御レジスタ	
13、12	RPC_RESETN_DRV	11*	R/W	RPC_RESET#ポート 駆動能力制御レジスタ	
11、10	QSPI0_SSL_DRV	11*	R/W	QSPI0_SSLポート 駆動能力制御レジスタ	
9、8	QSPI0_IO3_DRV	11*	R/W	QSPI0_IO3ポート 駆動能力制御レジスタ	
7、6	QSPI0_IO2_DRV	11*	R/W	QSPI0_IO2ポート 駆動能力制御レジスタ	
5、4	QSPI0_IO1_DRV	11*	R/W	QSPI0_IO1ポート 駆動能力制御レジスタ	
3、2	QSPI0_IO0_DRV	11*	R/W	QSPI0_IO0ポート 駆動能力制御レジスタ	
1、0	QSPI0_SPCLK_DRV	11*	R/W	QSPI0_SPCLKポート 駆動能力制御レジスタ	

51.3.35　HyperBus コントローラ／ Octa メモリコントローラ専用端子制御レジスタ (PHMOM0)

この専用端子制御レジスタ（PHMOM0）は、HyperBus コントローラ／ Octa メモリコントローラを選択するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HOSEL
初期値:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	ビット名	初期値	R/W	機能
31、30	—	00	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29 ～16	—	すべて 1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
15	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14～1	—	すべて 1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
0	HOSEL	0	R/W	0：HyperBusコントローラを選択 1：Octaメモリコントローラを選択

51.3.36　周辺端子機能制御レジスタ (PMODEPFS)

周辺端子機能制御レジスタは、ETHER の EXOUT 端子（出力）と SCLKIN 端子（入力）の切り替えと、USB の VBUSEN 端子の出力機能を選択するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	VBUS1_SEL	VBUS0_SEL	ET1_EXOUT_SEL	ET0_EXOUT_SEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	初期値	R/W	機能
31 ～4	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	VBUS1_SEL	0	R/W	USB 2.0ホストモジュールチャネル1 VBUSEN1端子の出力機能選択 1：VBUSEN1端子をVBCTRLレジスタ、VBOUTビットで制御する 0：VBUSEN1端子をPORTSC1レジスタ、PPビットで制御する
2	VBUS0_SEL	0	R/W	USB 2.0ホストモジュールチャネル0 VBUSEN0端子の出力機能選択 1：VBUSEN0端子をVBCTRLレジスタ、VBOUTビットで制御する 0：VBUSEN0端子をPORTSC1レジスタ、PPビットで制御する
1	ET1_EXOUT_SEL	0	R/W	ETHER1のEXOUT/SCLKIN選択 1：SCLKIN1入力 0：EX1 EXOUT出力
0	ET0_EXOUT_SEL	0	R/W	ETHER0のEXOUT/SCLKIN選択 1：SCLKIN0入力 0：EX0 EXOUT出力

51.3.37　CKIO 専用端子駆動能力制御レジスタ (PCKIO)

CKIO 専用端子駆動能力制御レジスタは、CKIO 端子の駆動能力を設定するレジスタです。

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CKIO_DRV	
初期値：	0	0	0	0	0	0	0	1

ビット	ビット名	初期値	R/W	機能
7～2	—	すべて 0	R/W	リザーブビット 読み出すと常に0が読みだされます。書き込む値は必ず0にしてください。
1、0	CKIO_DRV	01	R/W	CKIOポートの駆動能力制御 00：設定禁止 01：8mA（66MHz動作時推奨設定） 10：12mA（132MHz動作時推奨設定） 11：設定禁止

51.4 使用上の注意事項

51.4.1 端子入出力機能の設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. 当該端子のポート方向レジスタ（PDR）を ”00”、ポートモードレジスタ（PMR）を “0” にして汎用入出力ポートに設定します。
2. 各周辺機能モジュールで、当該端子にアサインする入出力信号を設定します。
3. PWPR.B0WI ビットを “0” にした後、PWPR.PFSWE ビットを “1” に設定することで、Pmn 端子機能制御レジスタ（PmnPFS）（m = 0 ～ 9、A ～ H、J ～ M、n = 0 ～ 7）を書き込み可能にします。
4. PmnPFS.PSEL[2:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを “0” にして、PmnPFS レジスタへの書き込みを禁止してください。
6. 必要に応じて選択した端子に対する PMR レジスタの該当ビットを “1” にして、周辺機能の端子入出力機能に切り替えます。
7. 必要に応じて PDR レジスタを “10” にすることで、ポート状態をリードできます。

51.4.2　PFS レジスタ設定時の注意事項

1. Pmn 端子機能制御レジスタ（PmnPFS）（m = 0 ～ 9、A ～ H、J ～ M、n = 0 ～ 7）を設定するときは、PMR レジスタの当該端子に相当するビットが “0” の状態で設定してください。PMR レジスタの当該ビットが “1” の状態で PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力される可能性があります。また出力機能の場合は意図しないパルスが出力される可能性があります。
2. 端子割り込みを使用する場合の PmnPFS.ISEL ビットの "1" への設定は、PDR レジスタに関係なく対象ポートを入力許可とするためポートの状態が入力されます。よって、下記の設定条件を満たしてください。
   ・割り込みコントローラの設定手順に従ってください。詳細は**「図 7.3　端子機能切り換え設定フロー」**を参照してください。
   ・出力機能としたポートには、PmnPFS.ISEL ビットに "1" を設定しないでください。
   異なる手順で PmnPFS.ISEL ビットを設定した場合、意図しないエッジが入力され誤動作を起こす可能性があります。
3. PmnPFS レジスタで設定可能な機能以外には設定しないでください。指定機能以外に設定した場合の動作は保証されません。
4. PFS のレジスタ設定で同一の機能を複数の端子に割り当てないでください。
5. 機能を兼用している端子のポートモードレジスタ（PMR）、ポート方向レジスタ（PDR）、Pmn 端子機能制御レジスタ（PmnPFS）の設定および注意事項を**表 51.34** に示します。端子状態の読み出しで、ポート 5 はアナログ入力兼用非選択時に可能です。PSEL[2:0] ビットの変更は、PMR レジスタの当該端子に相当するビットが “0” のときに行ってください。

表51.34　レジスタの設定

項目	PORTM.PMR	PDRn[1:0]	PmnPFS		注意事項
	PMRn		ISEL	PSEL[2:0]	
リセット解除時	0（注1）	00	0	000（注1）	リセット解除後は不使用（Hi-Z入力保護）状態です
不使用時	0	00	0	X	
汎用入出力ポート	0	10/11（注2）	0/1（注3）	X	端子割り込み入力と併用する場合は、PDRn[1:0]を10 (入力)に設定後PmnPFS.ISELビットを"1"にしてください。
周辺機能	1	00/10（注4）	0/1（注3）	周辺機能（表51.5～表51.33）を参照	端子割り込み入力と併用する場合は、入力機能としたポートまたは入出力機能としたポートにPmnPFS.ISELビットを"1"にしてください。 出力機能としたポートは端子割り込み入力と併用できないため、PmnPFS.ISELビットは必ず"0"としてください。 ポートリード機能（PIDRnビットでポートの端子状態読み出し）と併用する場合は、PDRn[1:0]ビットを”10”にしてください。
端子割り込み入力	0	10	1	X	「51.4.4　端子割り込みの注意事項」を参照してください。
アナログ入力	1	00	X（注5）	001	出力バッファ、入力バッファをOFFにするため、不使用に設定してください。

X：設定不要

注1.　PORTM.PMR.PMR0, PORTM.PMR.PMR1、PM0PFS.PSEL[2:0]、PM1PFS.PSEL[2:0]はリセット解除後の値が異なります。
PSEL[2:0]ビットの詳細は、「PMn端子機能制御レジスタ（PMnPFS）（n = 0～1）」を参照してください。
PORTM.PMRについては、「51.3.4　ポートモードレジスタ（PMR）」を参照してください。
注2.　PDRn[1:0] ビットを“10”にすることで、汎用入力ポートとして機能します。
PDRn[1:0] ビットを“11”にすることで、汎用出力ポートとして機能します。
注3.　PmnPFS.ISEL ビットを“0”にした場合、端子割り込みとして機能しません。
PmnPFS.ISEL ビットを“1”にすることで、端子割り込みとして機能します。
注4.　PDRn[1:0] ビットを“00”にした場合、ポートリード機能（PIDRn ビットでポートの端子状態読み出し）は使用できません。
PDRn[1:0]ビットを”10”にすることで、ポート端子の状態を読み出すことができます。
注5.　PmnPFS.ISELビットを“1”にしても、端子割り込みとして機能しません。

51.4.3　ポートリード機能を使用する場合の注意事項

周辺機能で端子方向が双方向または出力である機能を使用する場合、端子の PDR レジスタを “00”（初期値）から “10”（入力許可）にすることで、周辺機能を使用しながら PIDR レジスタでポートの端子状態を読み出す（ポートリード機能）ことができます。

周辺機能において端子方向が入力の機能および**表 51.35** に示す入出力の機能は、常に入力が許可されており、PDR レジスタの設定をすることなくポートリード機能と併用することができます。

ただし、該当する外部端子が Hi-Z 状態になると貫通電流が流れるため、外部端子が Hi-Z 状態になる場合は端子をプルアップもしくはプルダウンして使用してください。

また、**表 51.36** に示す外部バスコントローラ機能を周辺機能として使用する場合、その端子の入力許可／不許可は外部バスコントローラが制御しているため、PDR レジスタを “10”（入力許可）に設定することは禁止です。

表51.35　常時入力許可機能一覧

モジュール／機能	チャネル	端子機能
マルチファンクションタイマパルスユニット3	MTU0	MTIOC0A（入出力）
		MTIOC0B（入出力）
		MTIOC0C（入出力）
		MTIOC0D（入出力）
	MTU1	MTIOC1A（入出力）
		MTIOC1B（入出力）
	MTU2	MTIOC2A（入出力）
		MTIOC2B（入出力）
	MTU3	MTIOC3A（入出力）
		MTIOC3B（入出力）
		MTIOC3C（入出力）
		MTIOC3D（入出力）
	MTU4	MTIOC4A（入出力）
		MTIOC4B（入出力）
		MTIOC4C（入出力）
		MTIOC4D（入出力）
	MTU6	MTIOC6A（入出力）
		MTIOC6B（入出力）
		MTIOC6C（入出力）
		MTIOC6D（入出力）
	MTU7	MTIOC7A（入出力）
		MTIOC7B（入出力）
		MTIOC7C（入出力）
		MTIOC7D（入出力）
	MTU8	MTIOC8A（入出力）
		MTIOC8B（入出力）
		MTIOC8C（入出力）
		MTIOC8D（入出力）

モジュール／機能	チャネル	端子機能
汎用PWMタイマ	GPT0	GTIOC0A（入出力）
		GTIOC0B（入出力）
	GPT1	GTIOC1A（入出力）
		GTIOC1B（入出力）
	GPT2	GTIOC2A（入出力）
		GTIOC2B（入出力）
	GPT3	GTIOC3A（入出力）
		GTIOC3B（入出力）
	GPT4	GTIOC4A（入出力）
		GTIOC4B（入出力）
	GPT5	GTIOC5A（入出力）
		GTIOC5B（入出力）
	GPT6	GTIOC6A（入出力）
		GTIOC6B（入出力）
	GPT7	GTIOC7A（入出力）
		GTIOC7B（入出力）
FIFO 内蔵シリアルコミュニケーション インタフェース（SCIFA）	SCIF0	SCK0（入出力）
		CTS0#（入出力）
		RTS0#（入出力）
	SCIF1	SCK1（入出力）
		CTS1#（入出力）
		RTS1#（入出力）
	SCIF2	SCK2（入出力）
		CTS2#（入出力）
		RTS2#（入出力）
	SCIF3	SCK3（入出力）
	SCIF4	SCK4（入出力）
シリアルコミュニケーションインタフェース	SCI0	SCI_TXD0（入出力）
		SCI_RXD0（入出力）
		SCI_CTS0#/RTS0#（入出力）
		SCI_SCK0（入出力）
	SCI1	SCI_TXD1（入出力）
		SCI_RXD0（1入出力）
		SCI_CTS1#/RTS1#（入出力）
		SCI_SCK1（入出力）

モジュール／機能	チャネル	端子機能
ルネサスシリアルペリフェラルインタフェース	RSPI0	RSPCK0（入出力）
		MOSI0（入出力）
		MISO0（入出力）
		SSL00（入出力）
	RSPI1	RSPCK1（入出力）
		MOSI1（入出力）
		MISO1（入出力）
		SSL10（入出力）
	RSPI2	RSPCK2（入出力）
		MOSI2（入出力）
		MISO2（入出力）
		SSL20（入出力）
イーサネットコントローラ0	Ether0	ET0_MDIO（入出力）
イーサネットコントローラ1	Ether1	ET1_MDIO（入出力）
NANDフラッシュコントローラ	—	NFDATA0（入出力）
		NFDATA1（入出力）
		NFDATA2（入出力）
		NFDATA3（入出力）
		NFDATA4（入出力）
		NFDATA5（入出力）
		NFDATA6（入出力）
		NFDATA7（入出力）

表51.36　PDR設定禁止機能一覧

モジュール／機能	端子機能
バスステートコントローラ	D0（入出力）
	D1（入出力）
	D2（入出力）
	D3（入出力）
	D4（入出力）
	D5（入出力）
	D6（入出力）
	D7（入出力）
	D8（入出力）
	D9（入出力）
	D10（入出力）
	D11（入出力）
	D12（入出力）
	D13（入出力）
	D14（入出力）
	D15（入出力）
	WAIT#

51.4.4　端子割り込みの注意事項

51.4.4.1　端子割り込みの集約

汎用入出力ポートからの入力信号を、端子割り込みとして利用可能です。機能の詳細については、**「7.4.4 端子割り込み」**を参照してください。ただし、端子割り込みとしての割り込み ID は 480 ～ 511 が割り当てのため、汎用入出力ポートを 32 グループに分割しグループごとで割り込み ID が振り分けられます。汎用入出力ポートの端子割り込みグループ内訳と割り込み ID の相関を**表 51.37** に示します。

同一グループにおいて、２つ以上のポートを端子割り込みとして利用する場合には入力条件があります。１つのポートが端子割り込みで H 状態のときに、他の端子から割り込み要求が入力できません。入力条件の詳細を**表 51.38** に示します。

グループごとの割り込み ID の優先順位の設定と割り込み構成レジスタ (GICD_ICFGRn) は、**「7.　割り込みコントローラ」**をご参照ください。

表51.37　端子割り込みグループ内訳

割り込み ID	集約グループ名	汎用入出力ポート						
480	グループ0 (TINT0)	PL_0	PL_1	PL_2	PL_3	PL_4	PM_0	—
481	グループ1 (TINT1)	PK_0	PK_1	PK_2	PK_3	PK_4	PK_5	—
482	グループ2 (TINT2)	PJ_4	PJ_5	PJ_6	PJ_7	—	—	—
483	グループ3 (TINT3)	PJ_0	PJ_1	PJ_2	PJ_3	—	—	—
484	グループ4 (TINT4)	PH_0	PH_1	PH_2	PH_3	PH_4	PH_5	PH_6
485	グループ5 (TINT5)	PG_4	PG_5	PG_6	PG_7	—	—	—
486	グループ6 (TINT6)	PG_0	PG_1	PG_2	PG_3	—	—	—
487	グループ7 (TINT7)	PF_4	PF_5	PF_6	PF_7	—	—	—
488	グループ8 (TINT8)	PF_0	PF_1	PF_2	PF_3	—	—	—
489	グループ9 (TINT9)	PE_0	PE_1	PE_2	PE_3	PE_4	PE_5	PE_6
490	グループ10 (TINT10)	PD_4	PD_5	PD_6	PD_7	—	—	—
491	グループ11 (TINT11)	PD_0	PD_1	PD_2	PD_3	—	—	—
492	グループ12 (TINT12)	PC_4	PC_5	PC_6	PC_7	—	—	—
493	グループ13 (TINT13)	PC_0	PC_1	PC_2	PC_3	—	—	—
494	グループ14 (TINT14)	PB_0	PB_1	PB_2	PB_3	PB_4	PB_5	—
495	グループ15 (TINT15)	PA_4	PA_5	PA_6	PA_7	—	—	—
496	グループ16 (TINT16)	PA_0	PA_1	PA_2	PA_3	—	—	—
497	グループ17 (TINT17)	P9_4	P9_5	P9_6	P9_7	—	—	—
498	グループ18 (TINT18)	P9_0	P9_1	P9_2	P9_3	—	—	—
499	グループ19 (TINT19)	P8_4	P8_5	P8_6	P8_7	—	—	—
500	グループ20 (TINT20)	P8_0	P8_1	P8_2	P8_3	—	—	—
501	グループ21 (TINT21)	P7_4	P7_5	P7_6	P7_7	—	—	—
502	グループ22 (TINT22)	P7_0	P7_1	P7_2	P7_3	—	—	—
503	グループ23 (TINT23)	P6_4	P6_5	P6_6	P6_7	—	—	—
504	グループ24 (TINT24)	P6_0	P6_1	P6_2	P6_3	—	—	—
505	グループ25 (TINT25)	P5_4	P5_5	P5_6	P5_7	—	—	—
506	グループ26 (TINT26)	P5_0	P5_1	P5_2	P5_3	—	—	—
507	グループ27 (TINT27)	P4_1	P4_2	P4_3	P4_4	P4_5	P4_6	P4_7
508	グループ28 (TINT28)	P3_1	P3_2	P3_3	P3_4	P3_5	P4_0	—
509	グループ29 (TINT29)	P2_0	P2_1	P2_2	P2_3	P3_0	—	—
510	グループ30 (TINT30)	P1_0	P1_1	P1_2	P1_3	P1_4	—	—
511	グループ31 (TINT31)	P0_0	P0_1	P0_2	P0_3	P0_4	P0_5	P0_6

表 51.38 はグループ 0 の 2 ポート (PL_0, PL_1) を示します。同一グループ内のその他のポートも同じ動作です。また、他のグループ (1 ～ 31) でのグループ内ポート間の動作も同じです。

表51.38　グループ内ポート間の割り込み要求入力条件

GICD_ICFGRn設定	端子割り込み入力条件			割り込みID状態（480）	割り込み要求状況	端子割り込み要求入力条件可否
	PL_0	PL_1	割り込み目的			
立ち上がりエッジ検出		Low	PL_0の割り込み	立ち上がりエッジ	PL_0の割り込み要求が入る	○
	Low		PL_1の割り込み	立ち上がりエッジ	PL_1の割り込み要求が入る	○
			PL_0の割り込み	立ち上がりエッジ	PL_0の割り込み要求が入る（注1）	○
			PL_1の割り込み	立ち上がりエッジ	PL_1の割り込み要求が入る（注1）	○
		High	PL_0の割り込み	High レベル状態	PL_0の割り込み要求が入らない	×
	High		PL_1の割り込み	High レベル状態	PL_1の割り込み要求が入らない	×
			PL_0とPL_1の割り込み	立ち上がりエッジ	PL_0とPL_1の割り込み要求が合算状態で入る（注2）	×
High レベル検出	High レベル	Low	PL_0の割り込み	High レベル状態	PL_0の割り込み要求が入る	○
	Low	High レベル	PL_1の割り込み	High レベル状態	PL_1の割り込み要求が入る	○
	High レベル		PL_0の割り込み	High レベル状態	PL_0の割り込み要求が入る（注1）	○
		High レベル	PL_1の割り込み	High レベル状態	PL_1の割り込み要求が入る（注1）	○
	High レベル	High レベル	PL_0とPL_1の割り込み	High レベル状態	PL_0とPL_1の割り込み要求が合算状態で入る（注2）	×
	High レベル		PL_0の割り込み	High レベル状態	PL_0とPL_1の割り込み要求が合算状態で入る（注2）	×
		High レベル	PL_1の割り込み	High レベル状態	PL_0とPL_1の割り込み要求が合算状態で入る（注2）	×

注1.　同一グループの入力制限を満たす場合。「51.4.4.2　同一グループの入力制限」参照。
注2.　同一グループの２ポート以上を同時入力できません。発行された割り込み要求がどのポートからの端子割り込みか判別できません。

51.4.4.2　同一グループの入力制限

同一グループ内で端子割り込みを設定する場合は、制限値 tTINTGW の WAIT 時間後に割り込みを設定ください。tTINTGW は、『電気的特性章の制御信号タイミング端子 (2) 割り込み信号入力タイミング』に記載の同一グループ TINT 入力 WAIT の制限値 tTINTGW を参照ください。

同一グループの端子割り込みの条件のタイミング概要を**図 51.16** に示します。

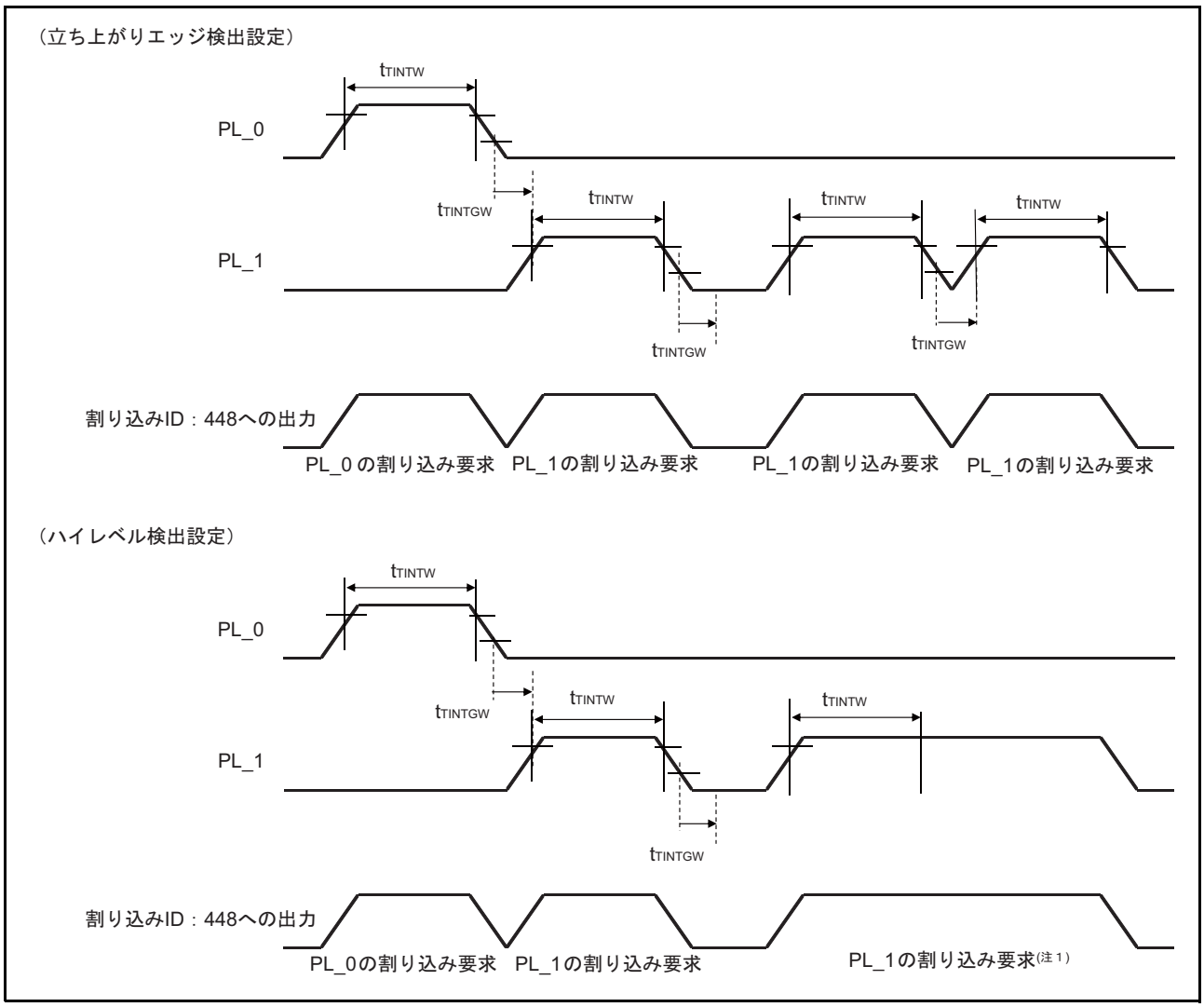


図 51.16　端子割り込み同一グループ端子 入力タイミング制約図

tTINTGW は、端子割り込み信号が立ち下がってからの WAIT 期間となります。

同一グループ内の端子割り込みの連続設定可能な最短期間は、“1 ポートの動作幅 tTINTW 期間 ”+“ 同一グループ TINT 入力 WAIT 幅 tTINTGW 期間 ” となります。

注1.　割り込みコントローラをハイレベル検出に設定し、同一ピンからの割り込みを設定する場合のみ、tTINTGW制限が無視可能です。

52. 低消費電力モード

本 LSI は、低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、ディープスタンバイモード、モジュールスタンバイ機能をサポートしています。低消費電力モードでは、CPU、クロック、内蔵メモリ、一部内蔵周辺モジュール等の機能を停止したり、電源をオフにしたりすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込み等によって解除されます。

52.1 特長

52.1.1 処理状態および低消費電力モードの種類

(1) 処理状態

本 LSI の処理状態には、リセット状態、プログラム実行状態、低消費電力モードの 3 種類があります。状態間の遷移を図 52.1 に示します。

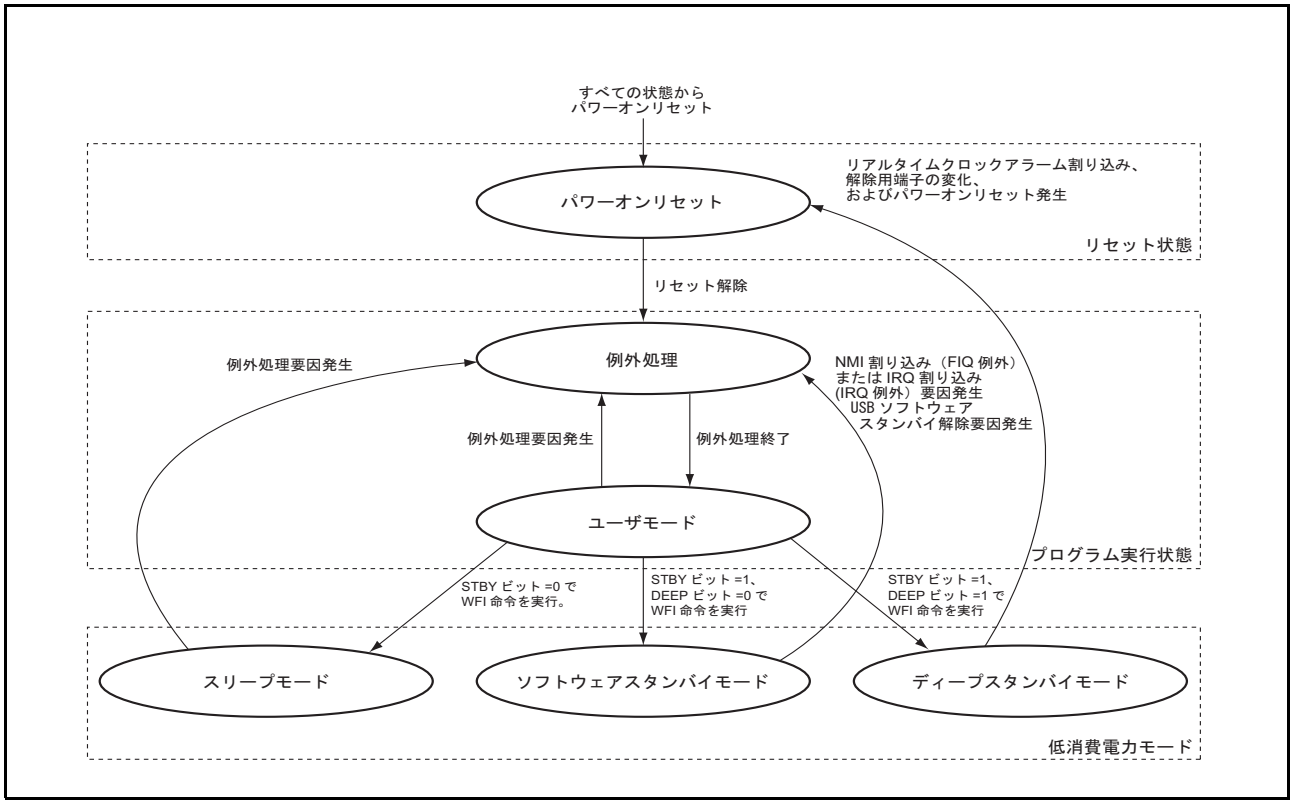


図 52.1　処理状態の状態遷移図

(2) 低消費電力モード

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープスタンバイモード
4. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、**表 52.1** に示します。

表52.1　低消費電力モードの状態

低消費電力モード	遷移条件	状態							解除方法
		CPU、CPU レジスタ、1次キャッシュ、TLB	2次キャッシュ	大容量内蔵RAM（保持用内蔵RAM含む）	内蔵周辺モジュール	リアルタイムクロック	LSI内部電源	外部メモリ	
スリープモード	STBCR1のSTBYビットが0の状態でWFI命令を実行	停止 内容は保持 (注4)	動作	動作	動作	動作 (注1)	印加	オートリフレッシュにしてください	• 割り込み • パワーオンリセット
ソフトウェアスタンバイモード	STBCR1のSTBYビットが1、DEEPビットが0の状態でWFI命令を実行	停止 内容は保持 (注4)	停止 内容は保持 (注4)	停止 内容は保持 (注5)	停止	動作 (注1)	印加	セルフリフレッシュにしてください	• NMI、IRQ割り込み • パワーオンリセット • USBソフトウェアスタンバイ解除要因信号の変化
ディープスタンバイモード	STBCR1のSTBYビットとDEEPビットが1の状態でWFI命令を実行	停止 内容は非保持	停止 内容は非保持	停止 保持用内蔵RAMの内容は保持 (注2) その他の大容量内蔵RAMは非保持	停止	動作 (注1)	遮断 (注6)	セルフリフレッシュにしてください	• パワーオンリセット (注3) • リアルタイムクロックアラーム割り込み0, 1 (注3) • 解除用端子の変化(注3) • USB 2.0ホスト／ファンクションモジュールチャネル割り込み0, 1
モジュールスタンバイモード	STBCR10～STBCR2のMSTPビットを1とする。	動作	動作	動作	指定モジュール停止	停止	印加	オートリフレッシュにしてください	• MSTPビットを0にクリア

注1. リアルタイムクロックはRCR2 レジスタのSTART ビットが1 のとき動作します。詳細は「16. リアルタイムクロック（RTC）」を参照してください。なお、パワーオンリセットによりディープスタンバイモードを解除した場合、動作状態を保持することができません。再度、リアルタイムクロックの初期設定を行ってください。

注2. RRAMKP レジスタのRRAMKP3～RRAMKP0 ビットを1 にセットすると保持用内蔵RAM の対象エリアの内容を、ディープスタンバイモード遷移時に保持することができます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、保持している内容は初期化されます。

注3. ディープスタンバイモードは、パワーオンリセット、リアルタイムクロックアラーム0, 1割り込み、USB解除要因0, 1、解除用端子（PK_4, PK_2, PJ_5, PJ_1, PH_0, PG_6, PG_2, PH_1, PE_1, P6_2, P3_3, P3_1, NMI）の変化により解除されます。
また、パワーオンリセット以外によってディープスタンバイモードを解除する場合も、割り込み例外処理ではなくリセット例外処理が実行されます。

注4. パワーオンリセットにより、スリープモード／ソフトウェアスタンバイモードを解除した場合、保持した内容は初期化されます。

注5. SYSCR1 レジスタのVRAME ビットおよびSYSCR2 レジスタのVRAMWE ビットがイネーブルのとき、パワーオンリセットでソフトウェアスタンバイモードを解除した場合、保持した内容は初期化されます。
SYSCR1 レジスタの VRAME ビットまたは SYSCR2 レジスタの VRAMWE ビットがディスエーブルのとき、パワーオンリセットでソフトウェアスタンバイモードを解除した場合、保持し続けることができます。ただし、ブートモード0～7のとき、ブートプログラムがワークメモリとしてH'8002_0000 ~ H'8002_3FFF番地の領域を使用するため、この領域は保持できません。また、ブートモード1、2のとき、外部フラッシュからプログラムをH'8002_4000番地からプログラムサイズ分データ転送するため、この領域は保持できません。詳細は「3. ブートモード」を参照してください。

注6. ディープスタンバイモードでは、デバッグ用途としてすべてのモジュールの電源遮断を無効にするFAKEデバッグモードに対応しています。
詳細は「53. デバッガインタフェース」 の「53.4.3 クロックパワーコントロールレジスタ（ICEREGCLKPWRCTRL）」を参照してください。

52.2 レジスタの説明

表 52.2 にレジスタ構成を示します。

表52.2　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ1	STBCR1	R/W	H'00	H'FCFE0020	8
スタンバイコントロールレジスタ2	STBCR2	R/W	H'6A	H'FCFE0024	8
スタンバイコントロールレジスタ3	STBCR3	R/W	H'FD	H'FCFE0420	8
スタンバイコントロールレジスタ4	STBCR4	R/W	H'FF	H'FCFE0424	8
スタンバイコントロールレジスタ5	STBCR5	R/W	H'F3	H'FCFE0428	8
スタンバイコントロールレジスタ6	STBCR6	R/W	H'FF	H'FCFE042C	8
スタンバイコントロールレジスタ7	STBCR7	R/W	H'FF	H'FCFE0430	8
スタンバイコントロールレジスタ8	STBCR8	R/W	H'F7	H'FCFE0434	8
スタンバイコントロールレジスタ9	STBCR9	R/W	H'FF	H'FCFE0438	8
スタンバイコントロールレジスタ10	STBCR10	R/W	H'9F	H'FCFE043C	8
ソフトウェアリセットコントロールレジスタ1	SWRSTCR1	R/W	H'00	H'FCFE0460	8
ソフトウェアリセットコントロールレジスタ2	SWRSTCR2	R/W	H'80	H'FCFE0464	8
システムコントロールレジスタ1	SYSCR1	R/W	H'FF	H'FCFE0400	8
システムコントロールレジスタ2	SYSCR2	R/W	H'FF	H'FCFE0404	8
システムコントロールレジスタ3	SYSCR3	R/W	H'00	H'FCFE0408	8
CPUステータスレジスタ	CPUSTS	R	H'00	H'FCFE0018	8
スタンバイリクエストレジスタ1	STBREQ1	R/W	H'00	H'FCFE0030	8
スタンバイリクエストレジスタ2	STBREQ2	R/W	H'00	H'FCFE0034	8
スタンバイリクエストレジスタ3	STBREQ3	R/W	H'00	H'FCFE0038	8
スタンバイアクノリッジレジスタ1	STBACK1	R	H'00	H'FCFE0040	8
スタンバイアクノリッジレジスタ2	STBACK2	R	H'00	H'FCFE0044	8
スタンバイアクノリッジレジスタ3	STBACK3	R	H'00	H'FCFE0048	8
USBソフトウェアスタンバイ解除要因制御レジスタ0	SSTBCCR0	R/W	H'0000	H'FCFEF810	16
USBソフトウェアスタンバイ解除要因制御レジスタ1	SSTBCCR1	R/W	H'0000	H'FCFEF812	16
USBソフトウェアスタンバイ解除要因要求レジスタ0	SSTBCRR0	R/W	H'0000	H'FCFEF814	16
USBソフトウェアスタンバイ解除要因要求レジスタ1	SSTBCRR1	R/W	H'0000	H'FCFEF816	16
保持用内蔵RAM 保持エリア指定レジスタ	RRAMKP	R/W	H'00	H'FCFFC000	8
ディープスタンバイコントロールレジスタ	DSCTR	R/W	H'00	H'FCFFC002	8
ディープスタンバイ解除要因セレクトレジスタ	DSSSR	R/W	H'0000	H'FCFFC004	16
USBディープスタンバイ解除要因セレクトレジスタ	USBDSSSR	R/W	H'00	H'FCFFC020	8
ディープスタンバイ解除エッジセレクトレジスタ	DSESR	R/W	H'0000	H'FCFFC006	16
ディープスタンバイ解除要因フラグレジスタ	DSFR	R/W	H'0000	H'FCFFC008	16
USBディープスタンバイ解除要因フラグレジスタ	USBDSFR	R/W	H'00	H'FCFFC024	8
ディープスタンバイ復帰用発振安定カウントレジスタ	DSCNT	R/W	H'0000	H'FCFFC00E	16
XTAL水晶発振器ゲインコントロールレジスタ	XTALCTR	R/W	H'00	H'FCFFC010	8
RTCXTAL選択レジスタ	RTCXTALSEL	R/W	H'000x	H'FCFFC040	16

52.2.1　スタンバイコントロールレジスタ 1（STBCR1）

STBCR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。

注 .　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	STBY	DEEP	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	STBY	0	R/W	ソフトウェアスタンバイ、ディープスタンバイソフトウェアスタンバイモード、ディープスタンバイモードへの遷移を指定します。 0x：WFI命令の実行で、スリープモードへ遷移 10：WFI命令の実行で、ソフトウェアスタンバイモードへ遷移 11：WFI命令の実行で、ディープスタンバイモードへ遷移
6	DEEP	0	R/W	
5 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

x：Don’t care

52.2.2　スタンバイコントロールレジスタ 2（STBCR2）

STBCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	HIZ	—	—	—	—	—	—	MSTP20
初期値：	0	1	1	0	1	0	1	0
R/W：	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7	HIZ	0	R/W	ポートハイインピーダンス ソフトウェアスタンバイモード時およびディープスタンバイモード時に、特定の出力端子の状態を保持するか、ハイインピーダンスにするかを選択します。どの端子を制御するかは、「57.　端子状態と処理方法」の「57.1　端子状態」を参照してください。 0：ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態を保持する 1：ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態をハイインピーダンスにする
6、5	—	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
0	MSTP20	0	R/W	モジュールストップ20 (注) MSTP20ビットを1にセットするとCoreSightへのクロックの供給を停止します。 0：CoreSightは動作 1：CoreSightへのクロックの供給を停止

注．モジュールストップへの遷移および解除で手順があります。「52.3.5　モジュールスタンバイ機能」を参照してください。

52.2.3　スタンバイコントロールレジスタ 3（STBCR3）

STBCR3 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	MSTP36	MSTP35	MSTP34	MSTP33	MSTP32	—	MSTP30
初期値：	1	1	1	1	1	1	0	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
6	MSTP36	1	R/W	モジュールストップ36 MSTP36ビットを1にセットするとOSタイマチャネル0へのクロックの供給を停止します。 0：OSタイマチャネル0は動作 1：OSタイマチャネル0へのクロックの供給を停止
5	MSTP35	1	R/W	モジュールストップ35 MSTP35ビットを1にセットするとOSタイマチャネル1へのクロックの供給を停止します。 0：OSタイマチャネル1は動作 1：OSタイマチャネル1へのクロックの供給を停止
4	MSTP34	1	R/W	モジュールストップ34 MSTP34ビットを1にセットするとOSタイマチャネル2へのクロックの供給を停止します。 0：OSタイマチャネル2は動作 1：OSタイマチャネル2へのクロックの供給を停止
3	MSTP33	1	R/W	モジュールストップ33 MSTP33ビットを1にセットするとマルチファンクションタイマパルスユニット3（MTU3a）へのクロックの供給を停止します。 0：マルチファンクションタイマパルスユニット3は動作 1：マルチファンクションタイマパルスユニット3へのクロックの供給を停止
2	MSTP32	1	R/W	モジュールストップ32 MSTP32ビットを1にセットするとCANFDインタフェースへのクロックの供給を停止します。 0：CANFDインタフェースは動作 1：CANFDインタフェースへのクロックの供給を停止
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MSTP30	1	R/W	モジュールストップ30 MSTP30ビットを1にセットすると汎用PWMタイマ（GPT）へのクロックの供給を停止します。 0：汎用PWMタイマは動作 1：汎用PWMタイマへのクロックの供給を停止

52.2.4　スタンバイコントロールレジスタ 4（STBCR4）

STBCR4 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP47	MSTP46	MSTP45	MSTP44	MSTP43	MSTP42	MSTP41	MSTP40
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	MSTP47	1	R/W	モジュールストップ47 MSTP47ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル0へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル0は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル0へのクロックの供給を停止
6	MSTP46	1	R/W	モジュールストップ46 MSTP46ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル1へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル1は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル1へのクロックの供給を停止
5	MSTP45	1	R/W	モジュールストップ45 MSTP45ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル2へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル2は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル2へのクロックの供給を停止
4	MSTP44	1	R/W	モジュールストップ44 MSTP44ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル3へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル3は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル3へのクロックの供給を停止
3	MSTP43	1	R/W	モジュールストップ43 MSTP43ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル4へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル4は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル4へのクロックの供給を停止
2	MSTP42	1	R/W	モジュールストップ42 MSTP42ビットを1にセットするとシリアルコミュニケーションインタフェース（SCI）チャネル0へのクロックの供給を停止します。 0：シリアルコミュニケーションインタフェース（SCI）チャネル0は動作 1：シリアルコミュニケーションインタフェース（SCI）チャネル0へのクロックの供給を停止
1	MSTP41	1	R/W	モジュールストップ41 MSTP41ビットを1にセットするとシリアルコミュニケーションインタフェース（SCI）チャネル1へのクロックの供給を停止します。 0：シリアルコミュニケーションインタフェース（SCI）チャネル1は動作 1：シリアルコミュニケーションインタフェース（SCI）チャネル1へのクロックの供給を停止
0	MSTP40	1	R/W	モジュールストップ40 MSTP40ビットを1にセットするとシリアルコミュニケーションインタフェース（IrDA）へのクロックの供給を停止します。 0：シリアルコミュニケーションインタフェース（IrDA）は動作 1：シリアルコミュニケーションインタフェース（IrDA）へのクロックの供給を停止

52.2.5　スタンバイコントロールレジスタ 5（STBCR5）

STBCR5 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP57	MSTP56	—	—	MSTP53	MSTP52	MSTP51	—
初期値：	1	1	1	1	0	0	1	1
R/W：	R/W	R/W	R	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説　　明
7	MSTP57	1	R/W	モジュールストップ57 MSTP57ビットを1にセットするとA/Dコンバータへのクロックの供給を停止します。 0：A/Dコンバータは動作 1：A/Dコンバータへのクロックの供給を停止
6	MSTP56	1	R/W	モジュールストップ56（注） MSTP56ビットを1にセットするとキャプチャエンジンユニットへのクロックの供給を停止します。 0：キャプチャエンジンユニットは動作 1：キャプチャエンジンユニットへのクロックの供給を停止
5	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
4	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
3	MSTP53	0	R/W	モジュールストップ53 MSTP53ビットを1にセットするとリアルタイムクロックチャネル0へのクロックの供給を停止します。 0：リアルタイムクロックチャネル0は動作 1：リアルタイムクロックチャネル0へのクロックの供給を停止 注. リアルタイムクロックを停止する場合、以下のリアルタイムクロックのレジスタ設定を行ってください。 ・チャネル0コントロールレジスタ4（RCR4）のRCKSELビットを0に設定 ・チャネル0コントロールレジスタ3（RCR3）のRTCENビットを0に設定 上記の設定の後に、MSTP53 ビットを1 に設定してください。
2	MSTP52	0	R/W	モジュールストップ52 MSTP52ビットを1にセットするとリアルタイムクロックチャネル1へのクロックの供給を停止します。 0：リアルタイムクロックチャネル1は動作 1：リアルタイムクロックチャネル1へのクロックの供給を停止 注. リアルタイムクロックを停止する場合、以下のリアルタイムクロックのレジスタ設定を行ってください。 ・チャネル1コントロールレジスタ4（RCR4）のRCKSELビットを0に設定 ・チャネル1コントロールレジスタ3（RCR3）のRTCENビットを0に設定 上記の設定の後に、MSTP52 ビットを1 に設定してください。
1	MSTP51	1	R/W	モジュールストップ51（注） MSTP51ビットを1にセットするとJPEGコーデックユニットへのクロックの供給を停止します。 0：JPEGコーデックユニットは動作 1：JPEGコーデックユニットへのクロックの供給を停止
0	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

注．モジュールストップへの遷移および解除で手順があります。「52.3.5　モジュールスタンバイ機能」を参照してください。

52.2.6　スタンバイコントロールレジスタ 6（STBCR6）

STBCR6 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	MSTP66	MSTP65	MSTP64	MSTP63	MSTP62	MSTP61	MSTP60
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
6	MSTP66	1	R/W	モジュールストップ66 (注) MSTP66ビットを1にセットするとビデオインプットモジュールへのクロックの供給を停止します。 0：ビデオインプットモジュールは動作 1：ビデオインプットモジュールへのクロックの供給を停止
5	MSTP65	1	R/W	モジュールストップ65 (注) MSTP65ビットを1にセットするとイーサネットコントローラチャネル0およびイーサネットコントローラ用DMAコントローラチャネル0へのクロックの供給を停止します。 0：イーサネットコントローラチャネル0およびイーサネットコントローラ用DMAコントローラチャネル0は動作 1：イーサネットコントローラチャネル0およびイーサネットコントローラ用DMAコントローラチャネル0へのクロックの供給を停止
4	MSTP64	1	R/W	モジュールストップ64 (注) MSTP64ビットを1にセットするとイーサネットコントローラチャネル1およびイーサネットコントローラ用DMAコントローラチャネル1へのクロックの供給を停止します。 0：イーサネットコントローラチャネル1およびイーサネットコントローラ用DMAコントローラチャネル1は動作 1：イーサネットコントローラチャネル1およびイーサネットコントローラ用DMAコントローラチャネル1へのクロックの供給を停止
3	MSTP63	1	R/W	モジュールストップ63 (注) MSTP63ビットを1にセットするとイーサネットコントローラ用PTPコントローラおよびPTPコントローラ用DMAコントローラへのクロックの供給を停止します。 0：イーサネットコントローラ用PTPコントローラおよびPTPコントローラ用DMAコントローラは動作 1：イーサネットコントローラ用PTPコントローラおよびPTPコントローラ用DMAコントローラへのクロックの供給を停止
2	MSTP62	1	R/W	モジュールストップ62 (注) MSTP62ビットを1にセットするとイーサネットコントローラ、イーサネットコントローラ用PTPコントローラおよびイーサネットコントローラDMAコントローラ共通回路へのクロックの供給を停止します。 0：イーサネットコントローラ、イーサネットコントローラ用PTPコントローラおよびイーサネットコントローラDMAコントローラ共通回路は動作 1：イーサネットコントローラ、イーサネットコントローラ用PTPコントローラおよびイーサネットコントローラDMAコントローラ共通回路 へのクロックの供給を停止
1	MSTP61	1	R/W	モジュールストップ61 (注) MSTP61ビットを1にセットするとUSB 2.0ホスト／ファンクションモジュールチャネル0へのクロックの供給を停止します。 0：USB 2.0ホスト／ファンクションモジュールチャネル0は動作 1：USB 2.0ホスト／ファンクションモジュールチャネル0へのクロックの供給を停止
0	MSTP60	1	R/W	モジュールストップ60 (注) MSTP60ビットを1にセットするとUSB 2.0ホスト／ファンクションモジュールチャネル1へのクロックの供給を停止します。 0：USB 2.0ホスト／ファンクションモジュールチャネル1は動作 1：USB 2.0ホスト／ファンクションモジュールチャネル1へのクロックの供給を停止

注．モジュールストップへの遷移および解除で手順があります。「52.3.5　モジュールスタンバイ機能」を参照してください。

52.2.7　スタンバイコントロールレジスタ 7（STBCR7）

STBCR7 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP77	MSTP76	MSTP75	—	MSTP73	MSTP72	MSTP71	MSTP70
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	MSTP77	1	R/W	モジュールストップ77 (注) MSTP77 ビットを 1 にセットすると歪み補正エンジンへのクロックの供給を停止します。 0：歪み補正エンジンは動作 1：歪み補正エンジンへのクロックの供給を停止
6	MSTP76	1	R/W	モジュールストップ76 (注) MSTP76 ビットを 1 にセットすると 2D 描画エンジンへのクロックの供給を停止します。 0：2D 描画エンジンは動作 1：2D 描画エンジンへのクロックの供給を停止
5	MSTP75	1	R/W	モジュールストップ75 MSTP75 ビットを 1 にセットすると MIPI CSI-2 インタフェースへのクロックの供給を停止します。 0：MIPI CSI-2 インタフェースは動作 1：MIPI CSI-2 インタフェースへのクロックの供給を停止
4	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	MSTP73	1	R/W	モジュールストップ73 MSTP73 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 0 へのクロックの供給を停止します。 0：シリアルサウンドインタフェースチャネル 0 は動作 1：シリアルサウンドインタフェースチャネル 0 へのクロックの供給を停止
2	MSTP72	1	R/W	モジュールストップ72 MSTP72 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 1 へのクロックの供給を停止します。 0：シリアルサウンドインタフェースチャネル 1 は動作 1：シリアルサウンドインタフェースチャネル 1 へのクロックの供給を停止
1	MSTP71	1	R/W	モジュールストップ71 MSTP71 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 2 へのクロックの供給を停止します。 0：シリアルサウンドインタフェースチャネル 2 は動作 1：シリアルサウンドインタフェースチャネル 2 へのクロックの供給を停止
0	MSTP70	1	R/W	モジュールストップ70 MSTP70 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 3 へのクロックの供給を停止します。 0：シリアルサウンドインタフェースチャネル 3 は動作 1：シリアルサウンドインタフェースチャネル 3 へのクロックの供給を停止

注．モジュールストップへの遷移および解除で手順があります。「52.3.5　モジュールスタンバイ機能」を参照してください。

52.2.8　スタンバイコントロールレジスタ 8（STBCR8）

STBCR8 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP87	MSTP86	MSTP85	MSTP84	MSTP83	—	MSTP81	—
初期値：	1	1	1	1	0	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R	R/W	R

ビット	ビット名	初期値	R/W	説　　明
7	MSTP87	1	R/W	モジュールストップ87 MSTP87ビットを1にセットするとI²Cバスインタフェースチャネル0へのクロックの供給を停止します。 0：I²Cバスインタフェースチャネル0は動作 1：I²Cバスインタフェースチャネル0へのクロックの供給を停止
6	MSTP86	1	R/W	モジュールストップ86 MSTP86ビットを1にセットするとI²Cバスインタフェースチャネル1へのクロックの供給を停止します。 0：I²Cバスインタフェースチャネル1は動作 1：I²Cバスインタフェースチャネル1へのクロックの供給を停止
5	MSTP85	1	R/W	モジュールストップ85 MSTP85ビットを1にセットするとI²Cバスインタフェースチャネル2へのクロックの供給を停止します。 0：I²Cバスインタフェースチャネル2は動作 1：I²Cバスインタフェースチャネル2へのクロックの供給を停止
4	MSTP84	1	R/W	モジュールストップ84 MSTP84ビットを1にセットするとI²Cバスインタフェースチャネル3へのクロックの供給を停止します。 0：I²Cバスインタフェースチャネル3は動作 1：I²Cバスインタフェースチャネル3へのクロックの供給を停止
3	MSTP83	0	R/W	モジュールストップ83 MSTP83ビットを1にセットするとSPIマルチI/Oバスコントローラへのクロックの供給を停止します。 0：SPIマルチI/Oバスコントローラは動作 1：SPIマルチI/Oバスコントローラへのクロックの供給を停止
2	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	MSTP81	1	R/W	モジュールストップ81 (注) MSTP81ビットを1にセットするとビデオディスプレイコントローラ6へのクロックの供給を停止します。 0：ビデオディスプレイコントローラ6は動作 1：ビデオディスプレイコントローラ6へのクロックの供給を停止
0	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

注．モジュールストップへの遷移および解除で手順があります。「52.3.5　モジュールスタンバイ機能」を参照してください。

52.2.9　スタンバイコントロールレジスタ 9（STBCR9）

STBCR9 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP97	MSTP96	MSTP95	—	MSTP93	MSTP92	MSTP91	MSTP90
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	MSTP97	1	R/W	モジュールストップ97 MSTP97 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャネル 0 へのクロックの供給を停止します。 0：ルネサスシリアルペリフェラルインタフェースチャネル 0 は動作 1：ルネサスシリアルペリフェラルインタフェースチャネル 0 へのクロックの供給を停止
6	MSTP96	1	R/W	モジュールストップ96 MSTP96 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャネル 1 へのクロックの供給を停止します。 0：ルネサスシリアルペリフェラルインタフェースチャネル 1 は動作 1：ルネサスシリアルペリフェラルインタフェースチャネル 1 へのクロックの供給を停止
5	MSTP95	1	R/W	モジュールストップ95 MSTP95 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャネル 2 へのクロックの供給を停止します。 0：ルネサスシリアルペリフェラルインタフェースチャネル 2 は動作 1：ルネサスシリアルペリフェラルインタフェースチャネル 2 へのクロックの供給を停止
4	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	MSTP93	1	R/W	モジュールストップ93 MSTP93 ビットを 1 にセットすると HyperBus コントローラへのクロックの供給を停止します。 0：HyperBus コントローラは動作 1：HyperBus コントローラへのクロックの供給を停止
2	MSTP92	1	R/W	モジュールストップ92 MSTP92 ビットを 1 にセットすると Octa メモリコントローラへのクロックの供給を停止します。 0：Octa メモリコントローラは動作 1：Octa メモリコントローラへのクロックの供給を停止
1	MSTP91	1	R/W	モジュールストップ91 MSTP91 ビットを 1 にセットするとルネサス SPDIF インタフェースへのクロックの供給を停止します。 0：ルネサス SPDIF インタフェースは動作 1：ルネサス SPDIF インタフェース へのクロックの供給を停止
0	MSTP90	1	R/W	モジュールストップ90（注） MSTP90 ビットを 1 にセットするとダイナミックリコンフィギュアラブルプロセッサ（DRP）へのクロックの供給を停止します。 0：ダイナミックリコンフィギュアラブルプロセッサ（DRP）は動作 1：ダイナミックリコンフィギュアラブルプロセッサ（DRP）へのクロックの供給を停止 DRP 非搭載品では書き込む値を常に 1 にしてください。

注．モジュールストップへの遷移および解除で手順があります。「52.3.5　モジュールスタンバイ機能」を参照してください。

52.2.10　スタンバイコントロールレジスタ 10（STBCR10）

STBCR10 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP107	—	—	MSTP104	MSTP103	MSTP102	MSTP101	MSTP100
初期値：	1	0	0	1	1	1	1	1
R/W：	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	MSTP107	1	R/W	モジュールストップ107 (注1) MSTP107ビットを1にセットするとTrusted Secure IPへのクロックの供給を停止します。 0：Trusted Secure IPは動作 1：Trusted Secure IPへのクロックの供給を停止 注．Trusted Secure IPなし品では書き込む値は常に1にしてください。
6、5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	MSTP104	1	R/W	モジュールストップ104 (注1) MSTP104ビットを1にセットするとNANDフラッシュコントローラへのクロックの供給を停止します。 0：NANDフラッシュコントローラは動作 1：NANDフラッシュコントローラへのクロックの供給を停止
3	MSTP103	1	R/W	モジュールストップ103、102 (注1) MSTP103、MSTP102ビットを11にセットするとSD/MMCホストインタフェース チャネル0へのクロックの供給を停止します。 00：SD/MMCホストインタフェース チャネル0は動作 11：SD/MMCホストインタフェース チャネル0へのクロックの供給を停止 上記以外：設定禁止
2	MSTP102	1	R/W	
1	MSTP101	1	R/W	モジュールストップ101、100 (注1) MSTP101、MSTP100ビットを11にセットするとSD/MMCホストインタフェース チャネル1へのクロックの供給を停止します。 00：SD/MMCホストインタフェース チャネル1は動作 11：SD/MMCホストインタフェース チャネル1へのクロックの供給を停止 上記以外：設定禁止
0	MSTP100	1	R/W	

注1.　モジュールストップへの遷移および解除で手順があります。「52.3.5　モジュールスタンバイ機能」を参照してください。

52.2.11　ソフトウェアリセットコントロールレジスタ 1（SWRSTCR1）

SWRSTCR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールのソフトウェアリセット制御とオーディオ用水晶発振子の制御を行います。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	AXTALE	—	—	—	SRST13	SRST12	SRST11	SRST10
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	AXTALE	0	R/W	AUDIO_X1クロック制御 AUDIO_X1端子の機能を制御します。 0：内蔵水晶発振器を動作／外部クロック入力許可 1：内蔵水晶発振器を停止／外部クロック入力禁止
6～4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	SRST13	0	R/W	ビデオディスプレイコントローラ6 ソフトウェアリセット ビデオディスプレイコントローラ6のリセットをソフトウェアで制御します。 0：ビデオディスプレイコントローラ6のリセットを解除 1：ビデオディスプレイコントローラ6をリセット状態
2	SRST12	0	R/W	Trusted Secure IP ソフトウェアリセット Trusted Secure IPのリセットをソフトウェアで制御します。 0：Trusted Secure IPのリセットを解除 1：Trusted Secure IPをリセット状態 注．Trusted Secure IPなし品では書き込む値は常に0にしてください。
1	SRST11	0	R/W	JPEGコーデックユニット ソフトウェアリセット JPEGコーデックユニットのリセットをソフトウェアで制御します。 0：JPEGコーデックユニットのリセットを解除 1：JPEGコーデックユニットをリセット状態
0	SRST10	0	R/W	SPIマルチI/Oバスコントローラ ソフトウェアリセット SPIマルチI/Oバスコントローラのリセットをソフトウェアで制御します。 0：SPIマルチI/Oバスコントローラのリセットを解除 1：SPIマルチI/Oバスコントローラをリセット状態

52.2.12　ソフトウェアリセットコントロールレジスタ 2（SWRSTCR2）

SWRSTCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールのソフトウェアリセット制御を行います。

注 .　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	SRST 26	SRST 25	SRST 24	SRST 23	SRST 22	SRST 21	—
初期値：	1	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説　　明
7	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
6	SRST26	0	R/W	NAND フラッシュコントローラ ソフトウェアリセット NAND フラッシュコントローラをソフトウェアで制御します。 0：NAND フラッシュコントローラのリセットを解除 1：NAND フラッシュコントローラをリセット状態
5	SRST25	0	R/W	ビデオインプットモジュール ソフトウェアリセット ビデオインプットモジュールをソフトウェアで制御します。 0：ビデオインプットモジュールのリセットを解除 1：ビデオインプットモジュールをリセット状態
4	SRST24	0	R/W	歪み補正エンジン ソフトウェアリセット 歪み補正エンジンをソフトウェアで制御します。 0：歪み補正エンジンのリセットを解除 1：歪み補正エンジンをリセット状態
3	SRST23	0	R/W	MIPI CSI-2 インタフェース ソフトウェアリセット MIPI CSI-2 インタフェースをソフトウェアで制御します。 0：MIPI CSI-2 インタフェースのリセットを解除 1：MIPI CSI-2 インタフェースをリセット状態
2	SRST22	0	R/W	2D 描画エンジン ソフトウェアリセット 2D 描画エンジンをソフトウェアで制御します。 0：2D 描画エンジンのリセットを解除 1：2D 描画エンジンをリセット状態
1	SRST21	0	R/W	キャプチャエンジンユニット ソフトウェアリセット キャプチャエンジンユニットをソフトウェアで制御します。 0：キャプチャエンジンユニットのリセットを解除 1：キャプチャエンジンユニットをリセット状態
0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

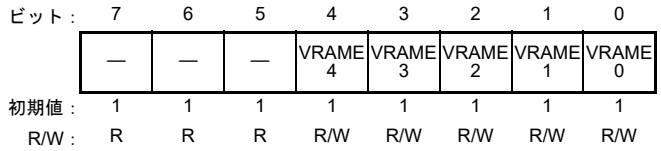
52.2.13　システムコントロールレジスタ 1（SYSCR1）

SYSCR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、大容量内蔵 RAM の各ページへのアクセス（リードおよびライト）の許可／禁止を設定します。

SYSCR1 の VRAMEn（n = 0 ～ 4）ビットを 1 に設定するとページ n へのアクセスが有効になります。0 に設定するとページ n はアクセスできません。このとき、ページ n からのリードおよび命令フェッチは不定値が読み出され、ページ n へのライトは無視されます。初期値は 1 です。

SYSCR1 の設定は、大容量内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR1 へのライトを実行する命令の直後に SYSCR1 からリードを実行する命令を配置してください。これらが守られない場合、大容量内蔵 RAM への正常なアクセスは保証できません。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。



ビット：	7	6	5	4	3	2	1	0
	—	—	—	VRAME4	VRAME3	VRAME2	VRAME1	VRAME0
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 5	—	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
4	VRAME4	1	R/W	RAMイネーブル4（対象：大容量内蔵RAMのページ4(注)） 0：ページ4へのアクセス無効 1：ページ4へのアクセス有効
3	VRAME3	1	R/W	RAMイネーブル3（対象：大容量内蔵RAMのページ3(注)） 0：ページ3へのアクセス無効 1：ページ3へのアクセス有効
2	VRAME2	1	R/W	RAMイネーブル2（対象：大容量内蔵RAMのページ2(注)） 0：ページ2へのアクセス無効 1：ページ2へのアクセス有効
1	VRAME1	1	R/W	RAMイネーブル1（対象：大容量内蔵RAMのページ1(注)） 0：ページ1へのアクセス無効 1：ページ1へのアクセス有効
0	VRAME0	1	R/W	RAMイネーブル0（対象：大容量内蔵RAMのページ0(注)） 0：ページ0へのアクセス無効 1：ページ0へのアクセス有効

注．各ページのアドレスについては、「50.　内蔵RAM」を参照してください。

52.2.14　システムコントロールレジスタ 2（SYSCR2）

SYSCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、大容量内蔵 RAM の各ページへのライト許可／禁止を設定します。

SYSCR2 の VRAMWEn（n = 0 ～ 4）ビットを 1 に設定するとページ n へのライトが有効になります。0 に設定するとページ n へのライトは無視されます。初期値は 1 です。

SYSCR2 の設定は、大容量内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR2 へのライトを実行する命令の直後に SYSCR2 からリードを実行する命令を配置してください。これらが守られない場合、大容量内蔵 RAM への正常なアクセスは保証できません。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	VRAMWE4	VRAMWE3	VRAMWE2	VRAMWE1	VRAMWE0
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 5	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	VRAMWE4	1	R/W	RAM ライトイネーブル 4（対象：大容量内蔵 RAM のページ 4 (注)） 0：ページ 4 へのライト無効 1：ページ 4 へのライト有効
3	VRAMWE3	1	R/W	RAM ライトイネーブル 3（対象：大容量内蔵 RAM のページ 3 (注)） 0：ページ 3 へのライト無効 1：ページ 3 へのライト有効
2	VRAMWE2	1	R/W	RAM ライトイネーブル 2（対象：大容量内蔵 RAM のページ 2 (注)） 0：ページ 2 へのライト無効 1：ページ 2 へのライト有効
1	VRAMWE1	1	R/W	RAM ライトイネーブル 1（対象：大容量内蔵 RAM のページ 1 (注)） 0：ページ 1 へのライト無効 1：ページ 1 へのライト有効
0	VRAMWE0	1	R/W	RAM ライトイネーブル 0（対象：大容量内蔵 RAM のページ 0 (注)） 0：ページ 0 へのライト無効 1：ページ 0 へのライト有効

注．各ページのアドレスについては、「50.　内蔵 RAM」を参照してください。

52.2.15　システムコントロールレジスタ 3（SYSCR3）

SYSCR3 は、読み出し／書き込み可能な 8 ビットのレジスタで、保持用内蔵 RAM の各ページへのライト許可／禁止を設定します。

SYSCR3 の RRAMWEn（n = 0 ～ 3）ビットを 1 に設定するとページ n へのライトが有効になります。0 に設定するとページ n へのライトは無視されます。初期値は 0 です。

SYSCR3 の設定は、保持用内蔵 RAM 空間以外にあるプログラムで行ってください。

注 .　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	RRAMWE3	RRAMWE2	RRAMWE1	RRAMWE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RRAMWE3	0	R/W	RAM ライトイネーブル 3（対象：保持用内蔵 RAM のページ 3 (注 2)） 0：ページ 3 へのライト無効 1：ページ 3 へのライト有効
2	RRAMWE2	0	R/W	RAM ライトイネーブル 2（対象：保持用内蔵 RAM のページ 2 (注 2)） 0：ページ 2 へのライト無効 1：ページ 2 へのライト有効
1	RRAMWE1	0	R/W	RAM ライトイネーブル 1（対象：保持用内蔵 RAM のページ 1 (注 2)） 0：ページ 1 へのライト無効 1：ページ 1 へのライト有効
0	RRAMWE0	0	R/W	RAM ライトイネーブル 0（対象：保持用内蔵 RAM のページ 0 (注 2)） 0：ページ 0 へのライト無効 1：ページ 0 へのライト有効

注 1.　各ページのアドレスについては、「50.　内蔵 RAM」を参照してください。

注 2.　SYSCR1.VRAME0 = 0（大容量内蔵 RAM のページ 0 へのアクセス無効）に設定している場合は、本ビットの設定にかかわらず保持用内蔵 RAM へのアクセス（リードおよびライト）はできません。また、SYSCR2.VRAMWE0 = 0（大容量内蔵 RAM のページ 0 へのライト無効）に設定している場合は、本ビットの設定にかかわらず保持用内蔵 RAM へのライトはできません。

52.2.16　CPU ステータスレジスタ（CPUSTS）

CPUSTS は、読み出し可能な 8 ビットのレジスタで、CPU の状態を示します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	ISBUSY	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
4	ISBUSY	0	R	CPU周波数変更中、ソフトウェアスタンバイ復帰中ステータス CPUに対する周波数変更中、またはソフトウェアスタンバイ復帰中の状態を示します。 本ビットが 1 の状態では、WFI命令は実行しないでください。 0：CPUが周波数変更中以外、およびソフトウェアスタンバイ復帰中以外 1：CPUが周波数変更中、またはソフトウェアスタンバイ復帰中
3～0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。

52.2.17　スタンバイリクエストレジスタ 1（STBREQ1）

本レジスタは、CPU および周辺モジュールに対してスタンバイ可能な状態かどうかをリクエストするためのレジスタです。スタンバイリクエストを受けた CPU および周辺モジュールは、スタンバイ可能な状態であるとき、スタンバイアックを返します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	STBRQ15	—	STBRQ13	STBRQ12	STBRQ11	STBRQ10
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	STBRQ15	0	R/W	CoreSightへのスタンバイリクエスト 0：CoreSightへのスタンバイリクエスト無効 1：CoreSightへのスタンバイリクエスト有効(注)
4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	STBRQ13	0	R/W	JPEGコーデックユニットへのスタンバイリクエスト 0：JPEGコーデックユニットへのスタンバイリクエスト無効 1：JPEGコーデックユニットへのスタンバイリクエスト有効(注)
2	STBRQ12	0	R/W	SD/MMCホストインタフェース チャネル0のスタンバイリクエスト 0：SD/MMCホストインタフェース チャネル0のスタンバイリクエスト無効 1：SD/MMCホストインタフェース チャネル0のスタンバイリクエスト有効(注)
1	STBRQ11	0	R/W	SD/MMCホストインタフェース チャネル1のスタンバイリクエスト 0：SD/MMCホストインタフェース チャネル1のスタンバイリクエスト無効 1：SD/MMCホストインタフェース チャネル1のスタンバイリクエスト有効(注)
0	STBRQ10	0	R/W	キャプチャエンジンユニットへのスタンバイリクエスト 0：キャプチャエンジンユニットへのスタンバイリクエスト無効 1：キャプチャエンジンユニットへのスタンバイリクエスト有効(注)

注．該当モジュールのMSTP ビットが1のときは、STBRQ ビットへの1ライトは無効です。

52.2.18　スタンバイリクエストレジスタ 2（STBREQ2）

本レジスタは、周辺モジュールに対してスタンバイ可能な状態かどうかをリクエストするためのレジスタです。スタンバイリクエストを受けた周辺モジュールは、スタンバイ可能な状態であるとき、スタンバイアックを返します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	STBRQ27	STBRQ26	STBRQ25	STBRQ24	STBRQ23	STBRQ22	STBRQ21	STBRQ20
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	STBRQ27	0	R/W	ビデオインプットモジュールへのスタンバイリクエスト 0：ビデオインプットモジュールへのスタンバイリクエスト無効 1：ビデオインプットモジュールへのスタンバイリクエスト有効 (注)
6	STBRQ26	0	R/W	イーサネットコントローラへのスタンバイリクエスト 0：イーサネットコントローラへのスタンバイリクエスト無効 1：イーサネットコントローラへのスタンバイリクエスト有効 (注)
5	STBRQ25	0	R/W	ビデオディスプレイコントローラ6へのスタンバイリクエスト 0：ビデオディスプレイコントローラ6へのスタンバイリクエスト無効 1：ビデオディスプレイコントローラ6へのスタンバイリクエスト有効 (注)
4	STBRQ24	0	R/W	ダイナミックリコンフィギュアラブルプロセッサ（DRP）へのスタンバイリクエスト 0：ダイナミックリコンフィギュアラブルプロセッサ（DRP）へのスタンバイリクエスト無効 1：ダイナミックリコンフィギュアラブルプロセッサ（DRP）へのスタンバイリクエスト有効 (注) DRP非搭載品では書き込む値を常に0にしてください。
3	STBRQ23	0	R/W	歪み補正エンジンへのスタンバイリクエスト 0：歪み補正エンジンへのスタンバイリクエスト無効 1：歪み補正エンジンへのスタンバイリクエスト有効 (注)
2	STBRQ22	0	R/W	NANDフラッシュコントローラへのスタンバイリクエスト 0：NANDフラッシュコントローラへのスタンバイリクエスト無効 1：NANDフラッシュコントローラへのスタンバイリクエスト有効 (注)
1	STBRQ21	0	R/W	2D描画エンジン（テクスチャ）へのスタンバイリクエスト 0：2D描画エンジン（テクスチャ）へのスタンバイリクエスト無効 1：2D描画エンジン（テクスチャ）へのスタンバイリクエスト有効 (注)
0	STBRQ20	0	R/W	2D描画エンジン（データ）へのスタンバイリクエスト 0：2D描画エンジン（データ）へのスタンバイリクエスト無効 1：2D描画エンジン（データ）へのスタンバイリクエスト有効 (注)

注．該当モジュールのMSTPビットが1のときは、STBRQビットへの1ライトは無効です。

52.2.19　スタンバイリクエストレジスタ 3（STBREQ3）

本レジスタは、周辺モジュールに対してスタンバイ可能な状態かどうかをリクエストするためのレジスタです。スタンバイリクエストを受けた周辺モジュールは、スタンバイ可能な状態であるとき、スタンバイアックを返します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	STBRQ33	STBRQ32	STBRQ31	STBRQ30
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	STBRQ33	0	R/W	USB 2.0ファンクションモジュール チャネル1へのスタンバイリクエスト 0：USB 2.0ファンクションモジュール チャネル1へのスタンバイリクエスト無効 1：USB 2.0ファンクションモジュール チャネル1へのスタンバイリクエスト有効 (注)
2	STBRQ32	0	R/W	USB 2.0ホストモジュール チャネル1へのスタンバイリクエスト 0：USB 2.0ホストモジュール チャネル1へのスタンバイリクエスト無効 1：USB 2.0ホストモジュール チャネル1へのスタンバイリクエスト有効 (注)
1	STBRQ31	0	R/W	USB 2.0ファンクションモジュール チャネル0へのスタンバイリクエスト 0：USB 2.0ファンクションモジュール チャネル0へのスタンバイリクエスト無効 1：USB 2.0ファンクションモジュール チャネル0へのスタンバイリクエスト有効 (注)
0	STBRQ30	0	R/W	USB 2.0ホストモジュール チャネル0へのスタンバイリクエスト 0：USB 2.0ホストモジュール チャネル0へのスタンバイリクエスト無効 1：USB 2.0ホストモジュール チャネル0へのスタンバイリクエスト有効 (注)

注．該当モジュールのMSTPビットが1のときは、STBRQビットへの1ライトは無効です。

52.2.20　スタンバイアックレジスタ 1（STBACK1）

本レジスタは、CPU および周辺モジュールからスタンバイ可能な状態を通知するためのレジスタです。スタンバイリクエストを受けた CPU および周辺モジュールがスタンバイ可能な状態であるとき、スタンバイアックを返します。本レジスタは、リードのみ可能なレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	STBAK15	—	STBAK13	STBAK12	STBAK11	STBAK10
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
5	STBAK15	0	R	CoreSightからのスタンバイアック 0：CoreSightからのスタンバイアック無効 1：CoreSightからのスタンバイアック有効 (注)
4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
3	STBAK13	0	R	JPEGコーデックユニットからのスタンバイアック 0：JPEGコーデックユニットからのスタンバイアック無効 1：JPEGコーデックユニットからのスタンバイアック有効 (注)
2	STBAK12	0	R	SD/MMCホストインタフェース チャネル0からのスタンバイアック 0：SD/MMCホストインタフェース チャネル0からのスタンバイアック無効 1：SD/MMCホストインタフェース チャネル0からのスタンバイアック有効 (注)
1	STBAK11	0	R	SD/MMCホストインタフェース チャネル1からのスタンバイアック 0：SD/MMCホストインタフェース チャネル1からのスタンバイアック無効 1：SD/MMCホストインタフェース チャネル1からのスタンバイアック有効 (注)
0	STBAK10	0	R	キャプチャエンジンユニットからのスタンバイアック 0：キャプチャエンジンユニットからのスタンバイアック無効 1：キャプチャエンジンユニットからのスタンバイアック有効 (注)

注．該当モジュールのMSTP ビットが0のとき、モジュールからのスタンバイ応答があったとき1にセットされます。

52.2.21　スタンバイアックレジスタ 2（STBACK2）

本レジスタは、周辺モジュールからスタンバイ可能な状態を通知するためのレジスタです。スタンバイリクエストを受けた周辺モジュールがスタンバイ可能な状態であるとき、スタンバイアックを返します。本レジスタは、リードのみ可能なレジスタです。

ビット：	7	6	5	4	3	2	1	0
	STBAK27	STBAK26	STBAK25	STBAK24	STBAK23	STBAK22	STBAK21	STBAK20
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	STBAK27	0	R	ビデオインプットモジュールからのスタンバイアック 0：ビデオインプットモジュールからのスタンバイアック無効 1：ビデオインプットモジュールからのスタンバイアック有効（注）
6	STBAK26	0	R	イーサネットコントローラからのスタンバイアック 0：イーサネットコントローラからのスタンバイアック無効 1：イーサネットコントローラからのスタンバイアック有効（注）
5	STBAK25	0	R	ビデオディスプレイコントローラ6からのスタンバイアック 0：ビデオディスプレイコントローラ6からのスタンバイアック無効 1：ビデオディスプレイコントローラ6からのスタンバイアック有効（注）
4	STBAK24	0	R	ダイナミックリコンフィギュアラブルプロセッサ（DRP）からのスタンバイアック 0：ダイナミックリコンフィギュアラブルプロセッサ（DRP）からのスタンバイアック無効 1：ダイナミックリコンフィギュアラブルプロセッサ（DRP）からのスタンバイアック有効（注） DRP非搭載品では書き込む値を常に0にしてください。
3	STBAK23	0	R	歪み補正エンジンからのスタンバイアック 0：歪み補正エンジンからのスタンバイアック無効 1：歪み補正エンジンからのスタンバイアック有効（注）
2	STBAK22	0	R	NANDフラッシュコントローラからのスタンバイアック 0：NANDフラッシュコントローラからのスタンバイアック無効 1：NANDフラッシュコントローラからのスタンバイアック有効（注）
1	STBAK21	0	R	2D描画エンジン（テクスチャ）からのスタンバイアック 0：2D描画エンジン（テクスチャ）からのスタンバイアック無効 1：2D描画エンジン（テクスチャ）からのスタンバイアック有効（注）
0	STBAK20	0	R	2D描画エンジン（データ）からのスタンバイアック 0：2D描画エンジン（データ）からのスタンバイアック無効 1：2D描画エンジン（データ）からのスタンバイアック有効（注）

注．該当モジュールのMSTPビットが0のとき、モジュールからのスタンバイ応答があったとき1にセットされます。

52.2.22　スタンバイアックレジスタ 3（STBACK3）

本レジスタは、周辺モジュールからスタンバイ可能な状態を通知するためのレジスタです。スタンバイリクエストを受けた周辺モジュールがスタンバイ可能な状態であるとき、スタンバイアックを返します。本レジスタは、リードのみ可能なレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	STBAK33	STBAK32	STBAK31	STBAK30
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7～4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
3	STBAK33	0	R	USB 2.0ファンクションモジュール チャネル1からのスタンバイアック 0：USB 2.0ファンクションモジュール チャネル1からのスタンバイアック無効 1：USB 2.0ファンクションモジュール チャネル1からのスタンバイアック有効(注)
2	STBAK32	0	R	USB 2.0ホストモジュール チャネル1 からのスタンバイアック 0：USB 2.0ホストモジュール チャネル1 からのスタンバイアック無効 1：USB 2.0ホストモジュール チャネル1 からのスタンバイアック有効(注)
1	STBAK31	0	R	USB 2.0ファンクションモジュール チャネル0からのスタンバイアック 0：USB 2.0ファンクションモジュール チャネル0からのスタンバイアック無効 1：USB 2.0ファンクションモジュール チャネル0からのスタンバイアック有効(注)
0	STBAK30	0	R	USB 2.0ホストモジュール チャネル0からのスタンバイアック 0：USB 2.0ホストモジュール チャネル0からのスタンバイアック無効 1：USB 2.0ホストモジュール チャネル0からのスタンバイアック有効(注)

注．該当モジュールのMSTPビットが0のとき、モジュールからのスタンバイ応答があったとき1にセットされます。

52.2.23　保持用内蔵 RAM 保持エリア指定レジスタ（RRAMKP）

RRAMKP は、読み出し／書き込み可能な 8 ビットのレジスタで、ディープスタンバイモード時に対象の保持用内蔵 RAM エリアの内容を保持するかどうかを設定します。

RRAMKP3 ～ 0 ビットを 1 にセットすると、対象の保持用内蔵 RAM エリアの内容がディープスタンバイモード時に保持されます。0 にクリアすると、対象の保持用内蔵 RAM エリアの内容がディープスタンバイモード時に保持されません。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	RRAMKP3	RRAMKP2	RRAMKP1	RRAMKP0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 4	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	RRAMKP3	0	R/W	保持用内蔵RAM保持エリア3（対象：保持用内蔵RAMのページ3(注)） 0：ディープスタンバイモード時、保持用内蔵RAMを保持しない 1：ディープスタンバイモード時、保持用内蔵RAMを保持する
2	RRAMKP2	0	R/W	保持用内蔵RAM保持エリア2（対象：保持用内蔵RAMのページ2(注)） 0：ディープスタンバイモード時、保持用内蔵RAMを保持しない 1：ディープスタンバイモード時、保持用内蔵RAMを保持する
1	RRAMKP1	0	R/W	保持用内蔵RAM保持エリア1（対象：保持用内蔵RAMのページ1(注)） 0：ディープスタンバイモード時、保持用内蔵RAMを保持しない 1：ディープスタンバイモード時、保持用内蔵RAMを保持する
0	RRAMKP0	0	R/W	保持用内蔵RAM保持エリア0（対象：保持用内蔵RAMのページ0(注)） 0：ディープスタンバイモード時、保持用内蔵RAMを保持しない 1：ディープスタンバイモード時、保持用内蔵RAMを保持する

注．各ページのアドレスについては、「50.　内蔵RAM」を参照してください。

52.2.24　USB ソフトウェアスタンバイ解除要因制御レジスタ 0（SSTBCCR0）

SSTBCCR0 は、読み出し／書き込み(注 1) 可能な 16 ビットのレジスタで、USB チャネル 0 に対応しており、ソフトウェアスタンバイモード状態の時に対象の解除要因をマスクするかどうかを設定します。

SSTBCCR0（11 ～ 8、 1 、0）ビットを 0 にセットすると、対象の解除要因がマスクされます。

1 にセットすると、対象の解除要因はマスクされません。

レジスタ内の VBUSIN, OVRCLR, CC1_RD, CC2_RD の各ビットは、入出力ポートの USB 端子、VBUSIN0, OVRCLR0, CC1_Rd0, CC2_Rd0 に対応しています。

注1.　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CC2_RD	CC1_RD	OVRCLR	VBUSIN	—	—	—	—	—	—	DM	DP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	CC2_RD	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
10	CC1_RD	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
9	OVRCLR	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
8	VBUSIN	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
7 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	DM	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
0	DP	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。

52.2.25　USB ソフトウェアスタンバイ解除要因制御レジスタ 1（SSTBCCR1）

SSTBCCR1 は、読み出し／書き込み(注 1) 可能な 16 ビットのレジスタで、USB チャネル 1 に対応しており、ソフトウェアスタンバイモード状態の時に対象の解除要因をマスクするかどうかを設定します。

SSTBCCR1（11 ～ 8、 1 、0）ビットを 0 にセットすると、対象の解除要因がマスクされます。

1 にセットすると、対象の解除要因はマスクされません。

レジスタ内の VBUSIN, OVRCLR, CC1_RD, CC2_RD の各ビットは、入出力ポートの USB 端子、VBUSIN1, OVRCLR1, CC1_Rd1, CC2_Rd1 に対応しています。

注1.　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CC2_RD	CC1_RD	OVRCLR	VBUSIN	—	—	—	—	—	—	DM	DP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	CC2_RD	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
10	CC1_RD	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
9	OVRCLR	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
8	VBUSIN	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
7 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	DM	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。
0	DP	0	R/W	ソフトウェアスタンバイ状態の解除要因信号のマスク選択 1：ソフトウェアスタンバイモード時、解除要因をマスクしない。 0：ソフトウェアスタンバイモード時、解除要因をマスクする。

52.2.26　USB ソフトウェアスタンバイ解除要因要求レジスタ 0（SSTBCRR0）

SSTBCRR0 は、読み出し／書き込み(注 1) 可能な 16 ビットのレジスタで、USB チャネル 0 に対応しており、ソフトウェアスタンバイモードがどの要因で解除されたのかを確認するためのフラグをセットし、ソフトウェアスタンバイモード解除後に対象のフラグを読み出し解除することができます。

レジスタ内の VBUSIN, OVRCLR, CC1_RD, CC2_RD の各ビットは、入出力ポートの USB 端子、VBUSIN0, OVRCLR0, CC1_Rd0, CC2_Rd0 に対応しています。

注 1.　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CC2_RD	CC1_RD	OVRCLR	VBUSIN	—	—	—	—	—	—	DM	DP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説　　明
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	CC2_RD	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
10	CC1_RD	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
9	OVRCLR	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
8	VBUSIN	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
7 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
1	DM	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
0	DP	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時

注．　* (W) の書き込みは [クリア条件] のみが可能です。

52.2.27　USB ソフトウェアスタンバイ解除要因要求レジスタ 1（SSTBCRR1）

SSTBCRR1 は、読み出し／書き込み(注 1) 可能な 16 ビットのレジスタで、USB チャネル 1 に対応しており、ソフトウェアスタンバイモードがどの要因で解除されたのかを確認するためのフラグをセットし、ソフトウェアスタンバイモード解除後に対象のフラグを読み出し解除することができます。

レジスタ内の VBUSIN, OVRCLR, CC1_RD, CC2_RD の各ビットは、入出力ポートの USB 端子、VBUSIN1, OVRCLR1, CC1_Rd1, CC2_Rd1 に対応しています。

注 1.　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CC2_RD	CC1_RD	OVRCLR	VBUSIN	—	—	—	—	—	—	DM	DP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説　　明
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	CC2_RD	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
10	CC1_RD	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
9	OVRCLR	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
8	VBUSIN	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
7 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
1	DM	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時
0	DP	0	R/(W)*	解除要因フラグ ソフトウェアスタンバイモード解除時に解除要因を保持するビットです。 0：解除フラグのない状態 [クリア条件] ・1リード後の0ライト 1：解除フラグのセット状態 [セット条件] ソフトウェアスタンバイモードに遷移し、本要因が最初にソフトウェアスタンバイを解除した時

* (W) の書き込みは [クリア条件] のみが可能です。

52.2.28　ディープスタンバイコントロールレジスタ（DSCTR）

DSCTR は、読み出し／書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードから復帰する際の、外部メモリ制御端子の状態と起動方法を制御します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	EBUS KEEPE	RAM BOOT	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	EBUSKEEPE	0	R/W	外部メモリ制御端子状態保持 0：ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を保持しない 1：ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を保持する 注. EBUSKEEPE = 1, RAMBOOT = 0は設定禁止
6	RAMBOOT	0	R/W	ディープスタンバイから復帰後の起動方法選択 ディープスタンバイから復帰後の起動方法を選択します。 0：リセット時に設定したブートモードに従います。 1：保持用内蔵RAMからプログラムを読み出します。 H'8000_0000番地から命令フェッチ 注. EBUSKEEPE = 1, RAMBOOT = 0は設定禁止
5～0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

52.2.29　ディープスタンバイ解除要因セレクトレジスタ（DSSSR）

DSSSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードをどの要因で解除するかを選択するビットで構成されています。リアルタイムクロックのアラーム割り込み、解除用端子（PK_4, PK_2, PJ_5, PJ_1, PH_0, PG_6, PG_2, PH_1, PE_1, P6_2, P3_3, P3_1, NMI）の変化を選択可能です。USB 復帰要因は、USB ディープスタンバイ解除要因セレクトレジスタ（USBDSSSR）で選択可能です。解除用端子は、汎用入出力ポートの機能設定にかかわらずディープスタンバイ解除要因として機能します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PK_4	PK_2	PJ_5	PJ_1	PH_0	PG_6	NMI	RTCAR1	RTCAR0	PG_2	PH_1	PE_1	P6_2	P3_3	P3_1
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PK_4	0	R/W	PK_4の変化で解除 0：PK_4の変化で解除しない 1：PK_4の変化で解除する
13	PK_2	0	R/W	PK_2の変化で解除 0：PK_2の変化で解除しない 1：PK_2の変化で解除する
12	PJ_5	0	R/W	PJ_5の変化で解除 0：PJ_5の変化で解除しない 1：PJ_5の変化で解除する
11	PJ_1	0	R/W	PJ_1の変化で解除 0：PJ_1の変化で解除しない 1：PJ_1の変化で解除する
10	PH_0	0	R/W	PH_0の変化で解除 0：PH_0の変化で解除しない 1：PH_0の変化で解除する
9	PG_6	0	R/W	PG_6の変化で解除 0：PG_6の変化で解除しない 1：PG_6の変化で解除する
8	NMI	0	R/W	NMIの変化で解除 0：NMIの変化で解除しない 1：NMIの変化で解除する
7	RTCAR1	0	R/W	リアルタイムクロックのアラーム1割り込みで解除 0：リアルタイムクロックのアラーム1割り込みで解除しない 1：リアルタイムクロックのアラーム1割り込みで解除する
6	RTCAR0	0	R/W	リアルタイムクロックのアラーム0割り込みで解除 0：リアルタイムクロックのアラーム0割り込みで解除しない 1：リアルタイムクロックのアラーム0割り込みで解除する
5	PG_2	0	R/W	PG_2の変化で解除 0：PG_2の変化で解除しない 1：PG_2の変化で解除する
4	PH_1	0	R/W	PH_1の変化で解除 0：PH_1の変化で解除しない 1：PH_1の変化で解除する
3	PE_1	0	R/W	PE_1の変化で解除 0：PE_1の変化で解除しない 1：PE_1の変化で解除する
2	P6_2	0	R/W	P6_2の変化で解除 0：P6_2の変化で解除しない 1：P6_2の変化で解除する

ビット	ビット名	初期値	R/W	説明
1	P3_3	0	R/W	P3_3の変化で解除 0：P3_3の変化で解除しない 1：P3_3の変化で解除する
0	P3_1	0	R/W	P3_1の変化で解除 0：P3_1の変化で解除しない 1：P3_1の変化で解除する

52.2.30　USB ディープスタンバイ解除要因セレクトレジスタ（USBDSSSR）

USBDSSSR は、読み出し／書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードを USB 2.0 ホスト／ファンクションモジュールチャネル 0, 1 の復帰要因によって解除するか設定します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	USBDSCE3	USBDSCE2	USBDSCE1	USBDSCE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 4	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	USBDSCE3	0	R/W	USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因（CLRVM）で解除 0：USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因で解除しない 1：USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因で解除する
2	USBDSCE2	0	R/W	USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因（CLRVP）で解除 0：USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因で解除しない 1：USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因で解除する
1	USBDSCE1	0	R/W	USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因（CLRVM）で解除 0：USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因で解除しない 1：USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因で解除する
0	USBDSCE0	0	R/W	USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因（CLRVP）で解除 0：USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因で解除しない 1：USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因で解除する

52.2.31　ディープスタンバイ解除エッジセレクトレジスタ（DSESR）

DSESRは、読み出し／書き込み可能な16ビットのレジスタで、ディープスタンバイモードを、DSSSRで解除要因に選択した端子の検出エッジを選択するビットで構成されています。ディープスタンバイモードの解除には、割り込みコントローラの設定にかかわらず、本レジスタの設定が有効となります。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PK_4E	PK_2E	PJ_5E	PJ_1E	PH_0E	PG_6E	NMIE	—	—	PG_2E	PH_1E	PE_1E	P6_2E	P3_3E	P3_1E
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PK_4E	0	R/W	PK_4エッジ検出 0：PK_4の立ち下がりエッジで検出する 1：PK_4の立ち上がりエッジで検出する
13	PK_2E	0	R/W	PK_2エッジ検出 0：PK_2の立ち下がりエッジで検出する 1：PK_2の立ち上がりエッジで検出する
12	PJ_5E	0	R/W	PJ_5エッジ検出 0：PJ_5の立ち下がりエッジで検出する 1：PJ_5の立ち上がりエッジで検出する
11	PJ_1E	0	R/W	PJ_1エッジ検出 0：PJ_1の立ち下がりエッジで検出する 1：PJ_1の立ち上がりエッジで検出する
10	PH_0E	0	R/W	PH_0エッジ検出 0：PH_0の立ち下がりエッジで検出する 1：PH_0の立ち上がりエッジで検出する
9	PG_6E	0	R/W	PG_6エッジ検出 0：PG_6の立ち下がりエッジで検出する 1：PG_6の立ち上がりエッジで検出する
8	NMIE	0	R/W	NMIエッジ検出 0：NMIの立ち下がりエッジで検出する 1：NMIの立ち上がりエッジで検出する
7、6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	PG_2E	0	R/W	PG_2エッジ検出 0：PG_2の立ち下がりエッジで検出する 1：PG_2の立ち上がりエッジで検出する
4	PH_1E	0	R/W	PH_1エッジ検出 0：PH_1の立ち下がりエッジで検出する 1：PH_1の立ち上がりエッジで検出する
3	PE_1E	0	R/W	PE_1エッジ検出 0：PE_1の立ち下がりエッジで検出する 1：PE_1の立ち上がりエッジで検出する
2	P6_2E	0	R/W	P6_2エッジ検出 0：P6_2の立ち下がりエッジで検出する 1：P6_2の立ち上がりエッジで検出する
1	P3_3E	0	R/W	P3_3エッジ検出 0：P3_3の立ち下がりエッジで検出する 1：P3_3の立ち上がりエッジで検出する
0	P3_1E	0	R/W	P3_1エッジ検出 0：P3_1の立ち下がりエッジで検出する 1：P3_1の立ち上がりエッジで検出する

52.2.32　ディープスタンバイ解除要因フラグレジスタ（DSFR）

DSFR は、読み出し／書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードがどの要因で解除されたのかを確認するフラグと、ディープスタンバイモード解除後に端子状態の解除を行うビットで構成されます。DSFR は、ディープスタンバイモードが割り込み（NMI、リアルタイムクロックのアラーム割り込み）および解除用端子の変化により解除された場合、パワーオンリセット例外処理が実行されますが、本レジスタは前の値を保持します。ディープスタンバイモードがパワーオンリセットにより解除された場合、本レジスタは H'0000 に初期化されます。

ディープスタンバイモードに遷移する直前には、すべてのフラグをクリアする必要があります。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO KEEP	PK_4F	PK_2F	PJ_5F	PJ_1F	PH_0F	PG_6F	NMIF	RTC ARF1	RTC ARF0	PG_2F	PH_1F	PE_1F	P6_2F	P3_3F	P3_1F
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説　　明
15	IOKEEP	0	R/(W)*	端子状態保持解除ディープスタンバイモード解除時に端子状態保持を解除するビットです。 0：端子状態を保持していない ［クリア条件］ ・ 1リード後の0ライト 1：端子状態を保持している ［セット条件］ ・ ディープスタンバイモードに遷移したとき
14	PK_4F	0	R/(W)*	PK_4フラグ 0：PK_4端子変化なし 1：PK_4端子変化あり
13	PK_2F	0	R/(W)*	PK_2フラグ 0：PK_2端子変化なし 1：PK_2端子変化あり
12	PJ_5F	0	R/(W)*	PJ_5フラグ 0：PJ_5端子変化なし 1：PJ_5端子変化あり
11	PJ_1F	0	R/(W)*	PJ_1フラグ 0：PJ_1端子変化なし 1：PJ_1端子変化あり
10	PH_0F	0	R/(W)*	PH_0フラグ 0：PH_0端子変化なし 1：PH_0端子変化あり
9	PG_6F	0	R/(W)*	PG_6フラグ 0：PG_6端子変化なし 1：PG_6端子変化あり
8	NMIF	0	R/(W)*	NMIフラグ 0：NMI端子に割り込みなし 1：NMI端子に割り込みあり
7	RTCARF1	0	R/(W)*	RTCAR1フラグ 0：リアルタイムクロックアラーム割り込み1なし 1：リアルタイムクロックアラーム割り込み1あり
6	RTCARF0	0	R/(W)*	RTCAR0フラグ 0：リアルタイムクロックアラーム割り込み0なし 1：リアルタイムクロックアラーム割り込み0あり
5	PG_2F	0	R/(W)*	PG_2フラグ 0：PG_2端子変化なし 1：PG_2端子変化あり

ビット	ビット名	初期値	R/W	説　　明
4	PH_1F	0	R/(W)*	PH_1フラグ 0：PH_1端子変化なし 1：PH_1端子変化あり
3	PE_1F	0	R/(W)*	PE_1フラグ 0：PE_1端子変化なし 1：PE_1端子変化あり
2	P6_2F	0	R/(W)*	P6_2フラグ 0：P6_2端子変化なし 1：P6_2端子変化あり
1	P3_3F	0	R/(W)*	P3_3フラグ 0：P3_3端子変化なし 1：P3_3端子変化あり
0	P3_1F	0	R/(W)*	P3_1フラグ 0：P3_1端子変化なし 1：P3_1端子変化あり

注．*フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

52.2.33　USB ディープスタンバイ解除要因フラグレジスタ（USBDSFR）

USBDSFR は、読み出し／書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードが USB 2.0 ホスト／ファンクションモジュールチャネル 0, 1 で解除されたのかを確認するフラグになります。USB 2.0 ホスト／ファンクションモジュールチャネル 0, 1 で解除された場合、パワーオンリセット例外処理が実行されますが、本レジスタは前の値を保持します。ディープスタンバイモードがパワーオンリセットにより解除された場合、本レジスタは H'00 に初期化されます。

ディープスタンバイモードに遷移する直前には、すべてのフラグをクリアする必要があります。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	USB DSF3	USB DSF2	USB DSF1	USB DSF0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説　　明
7～4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	USBDSF3	0	R/(W)*	USB 2.0ホスト／ファンクションモジュールチャネル1フラグ（CLRVM） 0：USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因なし 1：USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因あり
2	USBDSF2	0	R/(W)*	USB 2.0ホスト／ファンクションモジュールチャネル1フラグ（CLRVP） 0：USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因なし 1：USB 2.0ホスト／ファンクションモジュールチャネル1の復帰要因あり
1	USBDSF1	0	R/(W)*	USB 2.0ホスト／ファンクションモジュールチャネル0フラグ（CLRVM） 0：USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因なし 1：USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因あり
0	USBDSF0	0	R/(W)*	USB 2.0ホスト／ファンクションモジュールチャネル0フラグ（CLRVP） 0：USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因なし 1：USB 2.0ホスト／ファンクションモジュールチャネル0の復帰要因あり

注．* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

52.2.34　ディープスタンバイ復帰用発振安定カウントレジスタ（DSCNT）

DSCNT は、読み出し／書き込み可能な 16 ビットのレジスタです。ディープスタンバイモードがパワーオンリセット以外によって解除された場合の復帰用発振安定カウンタになります。

パワーオンリセットおよびディープスタンバイから復帰後は、H'0000 に初期化されます。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CNTD[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7 ～ 0	CNTD[7:0]	H'00	R/W	ディープスタンバイ復帰用発振安定カウントの初期値 リセット以外による解除時のカウント開始の設定値になります。 カウント値がオーバフローすると、ディープスタンバイモードが解除され、 パワーオンリセット例外処理が実行されます。 表52.3にCNTD[7:0]ビットの設定内容を示します。

表52.3　　ディープスタンバイからの復帰時の発振安定時間（パワーオンリセット以外）

CNTD[7:0]設定値	発振安定時間	
	P0φ = 33 MHz	P0φ = 27.5 MHz
H'00（初期値）	15.8ms	19.0ms
H'A0	5.9ms	7.1ms
H'B0	4.9ms	5.9ms
H'C0	3.9ms	4.7ms
H'D0	2.9ms	3.5ms
H'E0	1.9ms	2.3ms

発振安定時間(s) =（H'FF – CNTD[7:0] 設定値）/（P0φ / 2048）
発振安定時間が、1 ms 以下となる値は設定禁止

RTCXTALSEL の RTC1XT, RTC0XT ビットがともに 0 の場合、ディープスタンバイモード中は EXTAL の発振が停止するため、EXTAL の内蔵発振回路発振安定時間（t_{ROSC}）と内蔵 PLL 回路発振安定時間（t_{POSC}）の合計以上の値を設定してください。

RTCXTALSEL の RTC1XT, RTC0XT ビットのどちらかが 1 の場合、ディープスタンバイモード中も EXTAL の発振は継続するため、内蔵 PLL 回路発振安定時間（t_{POSC}）以上の値を設定してください。

52.2.35　XTAL 水晶発振器ゲインコントロールレジスタ（XTALCTR）

XTALCTR は、読み出し／書き込み可能な 8 ビットのレジスタで、XTAL 用およびリアルタイムクロック用水晶発振器のゲインを制御します。

GAIN0 ビットは、リアルタイムクロックが EXTAL 入力使用時に、ソフトウェアスタンバイモード、ディープスタンバイモードがパワーオンリセット以外で解除された場合は、前の値を保持します。リアルタイムクロックが EXTAL 入力未使用時には、ソフトウェアスタンバイモード、ディープスタンバイモードで、本ビットは 0 に初期化されます。

ソフトウェアスタンバイモード、ディープスタンバイモードがパワーオンリセットにより解除された場合は、本レジスタは H'00 に初期化されます。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	GAIN0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7～1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAIN0	0	R/W	XTAL 用水晶発振器（EXTAL, XTAL 端子）のゲイン選択 0：大ゲイン発振 1：小ゲイン発振

52.2.36　RTCXTAL 選択レジスタ（RTCXTALSEL）

RTCXTALSEL は、読み出し／書き込み可能な 16 ビットのレジスタで、ソフトウェアスタンバイモード、ディープスタンバイモード中の EXTAL の発振を制御します。

RTC1XT, RTC0XT ビットが共に 0 の場合、ソフトウェアスタンバイモード、ディープスタンバイモードと同時に EXTAL は発振を停止します。

注．　本レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RTC1XT	RTC0XT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	RTC1XT	x	R/W	RTC1 EXTAL使用ビット 0：EXTAL未使用 1：EXTAL使用
0	RTC0XT	x	R/W	RTC0 EXTAL使用ビット 0：EXTAL未使用 1：EXTAL使用

52.3 動作説明

52.3.1 スリープモード

(1) スリープモードへの遷移

STBCR1 の STBY ビットが 0 の状態で WFI 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は WFI 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子からのクロック出力は続行されます。

注 . STBCR1 レジスタに書き込みを行う場合は、「52.4 使用上の注意事項」を参照してください。

(2) スリープモードの解除

スリープモードは、割り込み（NMI、IRQ、内蔵周辺）、およびパワーオンリセットにより解除されます。

- 割り込みによる解除
  NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが割り込みコントローラの実行優先度レジスタの設定値よりも優先度が低い場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。CPU の CPSR レジスタのビット 6 の FIQ マスクビット、およびビット 7 の IRQ マスクビットで割り込みをマスクした状態で割り込み要求が発生した場合、スリープモードは解除されますが、割り込みハンドラ処理が実行されません。
- リセットによる解除
  パワーオンリセットにより、スリープモードは解除されます。

52.3.2　ソフトウェアスタンバイモード

(1)　ソフトウェアスタンバイモードへの遷移

STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で WFI 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや USB を除く内蔵周辺モジュールも停止します。USB を停止させる場合は、スタンバイモードへの遷移手順を実行する前に、USBCTR.DIRPD ビットを 1 に設定してください。詳細は**「52.4.3　USB 2.0 ホスト／ファンクションモジュール未使用時の注意」**を参照してください。

USB を使用しない場合のみ設定してください。CKIO 端子からのクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態は**「55.　レジスタ状態一覧」**を参照してください。

また、CPU は、STBCR1 への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR1 への書き込み値を WFI 命令に確実に反映するためには、STBCR1 を読み出してから WFI 命令を実行してください。

WFI 命令実行後、バスマスタからの発行済リクエストの完了を待ってから、ハードウェアがバスマスタを自動的に停止させ、ソフトウェアスタンバイモードへ遷移します。

この際、発行済リクエストが完了できない場合はソフトウェアスタンバイモードへ遷移できませんので、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは実施しないでください。

また、バスマスタから意図しないリクエストの発生を抑止するために、ソフトウェアスタンバイモードへの遷移手順を実行する前に、予めソフトウェアにより各バスマスタを停止させてください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. PL310 の Power Control Register の standby_mode_en ビットを 1 にします。
   Power Control Register の詳細は、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。
2. ウォッチドッグタイマのウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR）の TME ビットを 0 にし、ウォッチドッグタイマを停止させます。
3. ウォッチドッグタイマのオーバフロー周期がスタンバイ復帰発振安定時間以上になるように、WTCSR レジスタの CKS[3:0] ビットとタイマカウンタ（WTCNT）の値を設定します。
4. IRQ 割り込み信号をソフトウェアスタンバイ解除要因として使用する場合は、入出力ポートを所望の IRQ に切り替えた後（注 1）、割り込みコントローラの IRQ 割り込み要求レジスタ（IRQRR）の IRQMSK ビットを 1 にし、IRQ の解除要因信号マスクを解除します。その際、IRQ7 ～ IRQ0 のすべての割り込み要求をクリアしてください。
   割り込み要求レジスタの詳細は、**「7.3.3　IRQ 割り込み要求レジスタ（IRQRR）」**を参照してください。
5. USB ソフトウェアスタンバイ解除要因信号を使用する場合は、入出力ポートを所望の USB 信号に切り替えた後（注 2）、USB ソフトウェアスタンバイ解除要因制御レジスタ（SSTBCCR0/1）の該当する解除要因信号マスクビットを 1 にし、マスクを解除します。その際、解除要因として使用する USB の解除要因ビットを USB ソフトウェアスタンバイ解除要因要求レジスタ（SSTBCRR0/1）でクリアしてください。USB ソフトウェアスタンバイ解除要因制御レジスタの詳細は、**「52.2.24　USB ソフトウェアスタンバイ解除要因制御レジスタ 0（SSTBCCR0）」**および**「52.2.25　USB ソフトウェアスタンバイ解除要因制御レジスタ 1（SSTBCCR1）」**を、USB ソフトウェアスタンバイ解除要因要求レジスタの詳細は**「52.2.26　USB ソフトウェアスタンバイ解除要因要求レジスタ 0（SSTBCRR0）」**および**「52.2.27　USB ソフトウェアスタンバイ解除要因要求レジスタ 1（SSTBCRR1）」**を参照してください。
6. STBCR1 レジスタの STBY ビットに 1、DEEP ビットに 0 を設定した後に STBCR1 レジスタを読み出します。その後、WFI 命令を実行させます。

注 1.　既に所望の IRQ に切り替えて使用している場合は、入出力ポートの切り替えは必要ありません。
注 2.　既に所望の USB 信号に切り替えて使用している場合は、入出力ポートの切り替えは必要ありません。

(2)　ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み（NMI、IRQ）、USB ソフトウェアスタンバイ解除要因、およびリセット（パワーオンリセット）により解除され、CKIO 端子からクロックが出力され始めます。

- **割り込みおよび USB ソフトウェアスタンバイ解除要因による解除**
  NMI 端子の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラの割り込みコントロールレジスタ 0（ICR0）の NMI エッジセレクトビット（NMIE）で選択）、IRQ 端子（IRQ7 ～ IRQ0）の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラの割り込みコントロールレジスタ 1（ICR1）の IRQn センスセレクトビット（IRQn1S ～ IRQn0S）で選択）、USB ソフトウェアスタンバイ解除要因（DP/DM/VBUSIN/OVRCLR/CC1_RD/CC2_RD）の立ち下がりエッジまたは立ち上がりエッジが検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ（ウォッチドッグタイマ）にだけ供給されます。
  ソフトウェアスタンバイモードに遷移する前にウォッチドッグタイマのウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR）のクロックセレクトビット（CKS[3:0]）に設定しておいた時間が経過すると、ウォッチドッグタイマのオーバフローが発生します。このオーバフロー発生によってクロックが安定したと判断され本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI 割り込み例外処理（IRQ の場合、IRQ 割り込み例外処理、USB の場合、USB 割り込み例外処理）が実行されます。発生した割り込みの優先レベルが割り込みコントローラの実行優先度レジスタの設定値よりも優先度が低い場合、割り込み要求は受け付けられず、スリープモード状態になりますので、必ず割り込みコントローラの実行優先レジスタの設定値よりも優先度の高い割り込みで解除してください。
  NMI 割り込み、IRQ 割り込み、USB ソフトウェアスタンバイ解除要因によってソフトウェアスタンバイモードを解除する場合、ウォッチドッグタイマのオーバフロー周期が発振安定時間以上となるように、CKS[3:0] ビットを設定してください。割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。
- **リセットによる解除**
  RES# 端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 RES# 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。
  RES# 端子は、クロックの発振が安定するまでローレベルを保持してください。
  CKIO 端子には、内部のクロックが出力され続けます。

(3)　ソフトウェアスタンバイモード遷移時の注意事項

ソフトウェアスタンバイモードは、割り込み（NMI、IRQ）およびパワーオンリセットにより解除されますが、WFI 命令と NMI、IRQ 以外の割り込みが同時に発生すると、割り込みを受け付けてソフトウェアスタンバイモードが解除される場合がありますので、ソフトウェアスタンバイモードへ遷移させるときは、必ず NMI、IRQ 以外の割り込みが入らないように設定してから WFI 命令を実行してください。

(4)　ソフトウェアスタンバイモード解除時の注意事項

ソフトウェアスタンバイモード解除後の発振安定時間の間、不安定なクロックが CKIO 端子から出力されます。これによる誤動作を防ぐためには FRQCR レジスタビット CKOEN[1:0] を変更してください。

52.3.3　ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 52.2 に示します。

割り込みコントロールレジスタ 0（ICR0）の NMI エッジセレクトビット（NMIE）を 0（立ち下がりエッジ検出）にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1（立ち上がりエッジ検出）にセットし、STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

注 .　STBCR1 レジスタに書き込みを行う場合は、「52.4　使用上の注意事項」を参照してください。

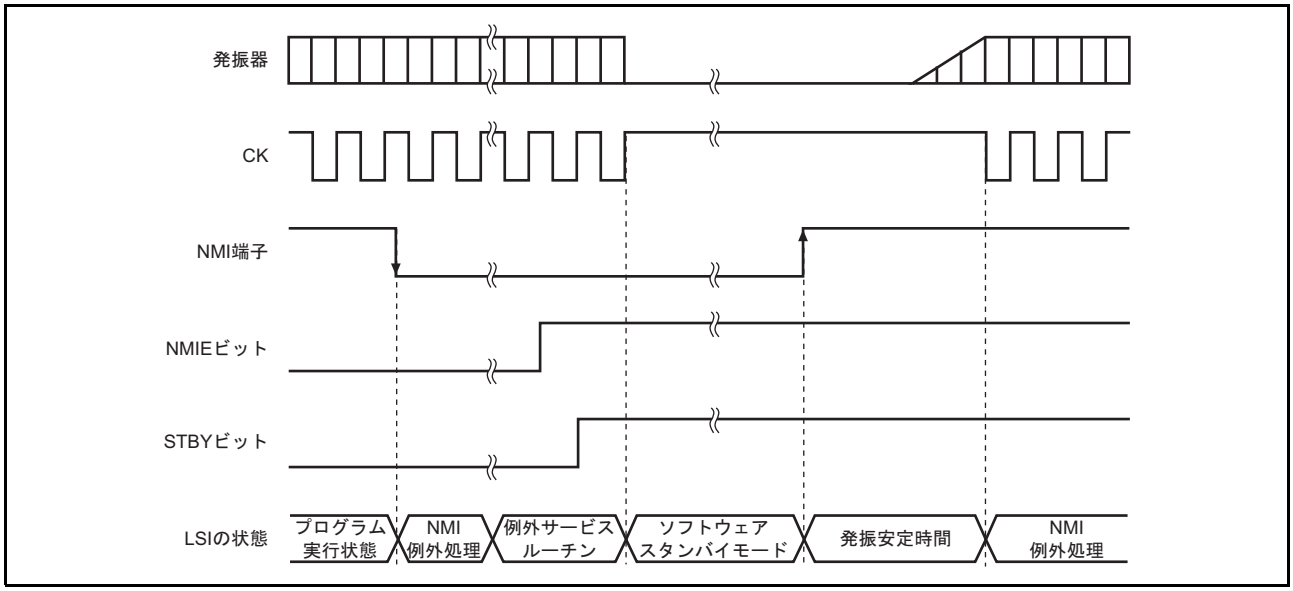


図 52.2　ソフトウェアスタンバイモード時の NMI タイミング（応用例）

52.3.4　ディープスタンバイモード

(1)　ディープスタンバイモードへの遷移

STBCR1 の STBY ビットと DEEP ビットが 1 の状態で WFI 命令を実行すると、プログラム実行状態からディープスタンバイモードに遷移します。ディープスタンバイモードでは、CPU、クロック、および内蔵周辺モジュールが停止するだけではなく、RRAMKP レジスタの RRAMKP3 ～ RRAMKP0 ビットの設定により保持となる保持用内蔵 RAM エリア、リアルタイムクロックを除き電源がオフになり、消費電力を大幅に削減できます。そのため CPU およびキャッシュのレジスタ内容、内蔵周辺モジュールのレジスタに関しても値は保持されません。ただし、端子の状態はディープスタンバイモードに遷移する直前の値を保持することができます。

CPU は、STBCR1 への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR1 への書き込み値を WFI 命令に確実に反映するためには、STBCR1 を読み出してから WFI 命令を実行してください。

WFI 命令実行後、バスマスタからの発行済リクエストの完了を待ってから、ハードウェアがバスマスタを自動的に停止させ、ディープスタンバイモードへ遷移します。

この際、発行済リクエストが完了できない場合はディープスタンバイモードへ遷移できませんので、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは実施しないでください。

また、バスマスタから意図しないリクエストの発生を抑止するために、ディープスタンバイモードへの遷移手順を実行する前に、予めソフトウェアにより各バスマスタを停止させてください。USB を復帰要因で使用しない場合はディープスタンバイ遷移手順を実行する前に、**「52.4.3　USB 2.0 ホスト／ファンクションモジュール未使用時の注意」**の手順を実行してください。

ディープスタンバイモードへ遷移する手順を以下に示します。また、そのフローを**図 52.3** に示します。

1. PL310 の Power Control Register の standby_mode_en ビットを 1 にします。
   Power Control Register の詳細は、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。
2. 保持する必要のある保持用内蔵 RAM エリアに対して、RRAMKP レジスタの RRAMKP3 ～ RRAMKP0 ビットを設定します。設定した保持用内蔵 RAM エリアに保持したいプログラムを転送します。
3. ディープスタンバイモードから復帰する時の起動方法と外部メモリ制御端子状態保持を、DSCTR レジスタの EBUSKEEPE ビットと RAMBOOT ビットで設定します。
4. ディープスタンバイモードを解除する場合、どの端子またはどの条件で解除するか DSSSR, USBDSSSR の該当ビットを設定します。このとき解除する端子の入力信号検出モードを DSESR の該当ビットで設定します。また、発振安定時間の設定をディープスタンバイ復帰用発振安定カウントレジスタ（DSCNT）の該当ビットで設定します。
5. 保持する保持用内蔵 RAM の各ページに対し、任意のアドレスのリードを実行します。
   実行しない場合、最後に書かれたデータが保持用内蔵 RAM に書き込まれない可能性があります。
   以後、保持用内蔵 RAM へのライトがある場合には、最後の保持用内蔵 RAM ライト後に、本処理を実行してください。
6. STBCR1 レジスタの STBY ビットと DEEP ビットに 1 を設定した後、STBCR1 レジスタを読み出します。
7. DSFR, USBDSFR レジスタのフラグをクリアします。
8. 割り込みコントローラの CPU インタフェース制御レジスタ（GICC_CTLR）を 0 クリアして、NMI 以外の割り込みを CPU に通知しない設定とした後、GICC_CTLR レジスタを読み出します。
9. WFI 命令を実行します。
10. NMI 割り込みとの競合により、ディープスタンバイモードへの遷移が抑止される場合があるため、WFI

命令の次に 9. へ戻るためのブランチ命令を配置します。

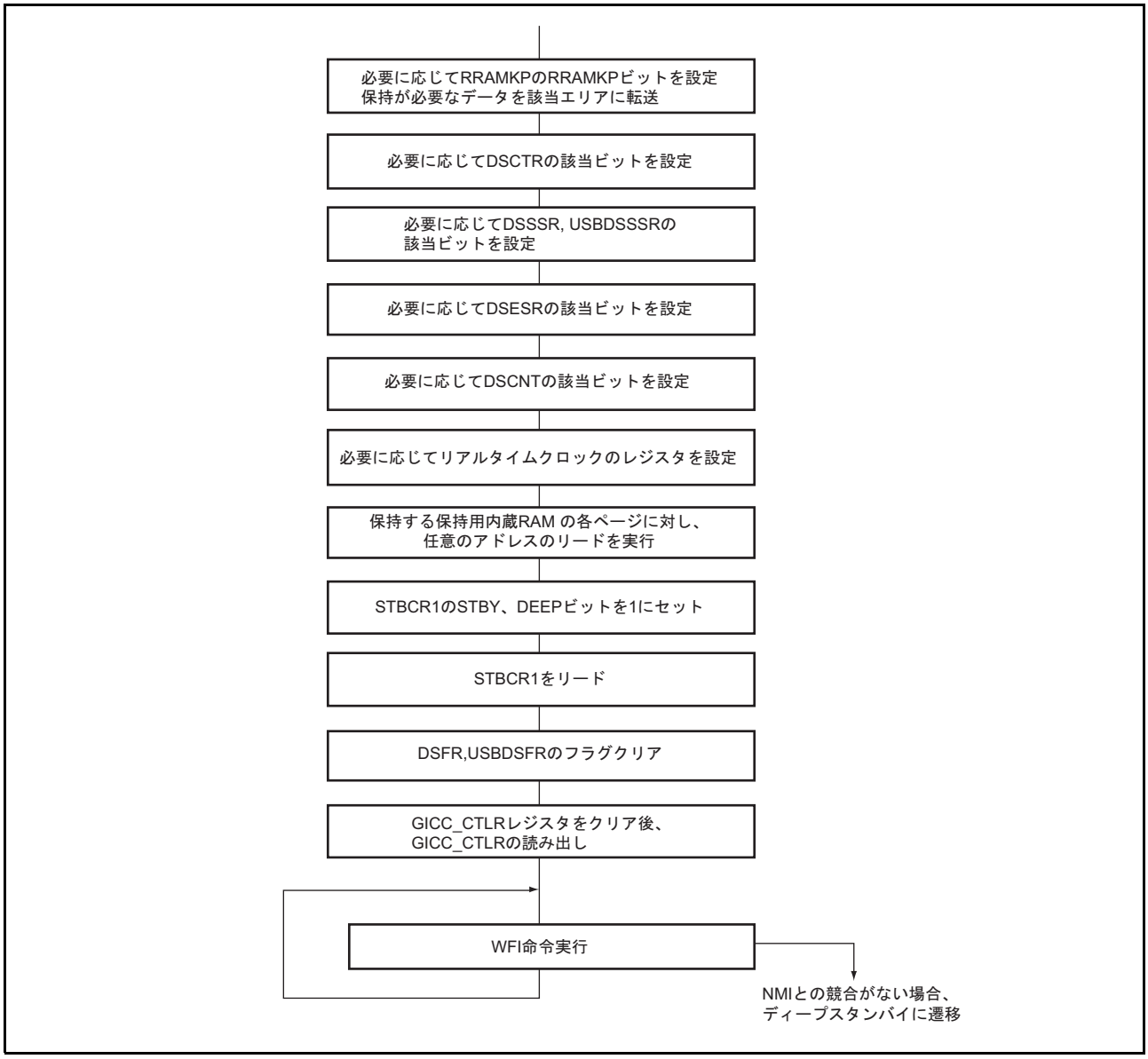


図 52.3　　ディープスタンバイモード遷移フロー

(2) ディープスタンバイモードの解除

ディープスタンバイモードは、割り込み（NMI、リアルタイムクロック 0, 1 のアラーム割り込み、USB 2.0 ホスト／ファンクションモジュールチャネル 0, 1 の解除要因）、解除用端子の変化、およびリセット（パワーオンリセット）により解除されます。USB 2.0 ホスト／ファンクションモジュールチャネル 0, 1 の割り込みは、割り込みコントローラの実行優先度レジスタの設定値に関係なく、リアルタイムクロック 0, 1 のアラーム割り込みは、割り込みコントローラの実行優先度レジスタの設定値とアラーム割り込みイネーブルフラグ（RCR1.AIE）に関係なく、ディープスタンバイ解除要因として動作します。同様に、CPU の CPSR レジスタのビット 6 の FIQ マスクビット、およびビット 7 の IRQ マスクビットの状態も関係しません。
リセット以外の要因によって解除する場合も、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。ディープスタンバイモード解除のフローを**図 52.4** に示します。

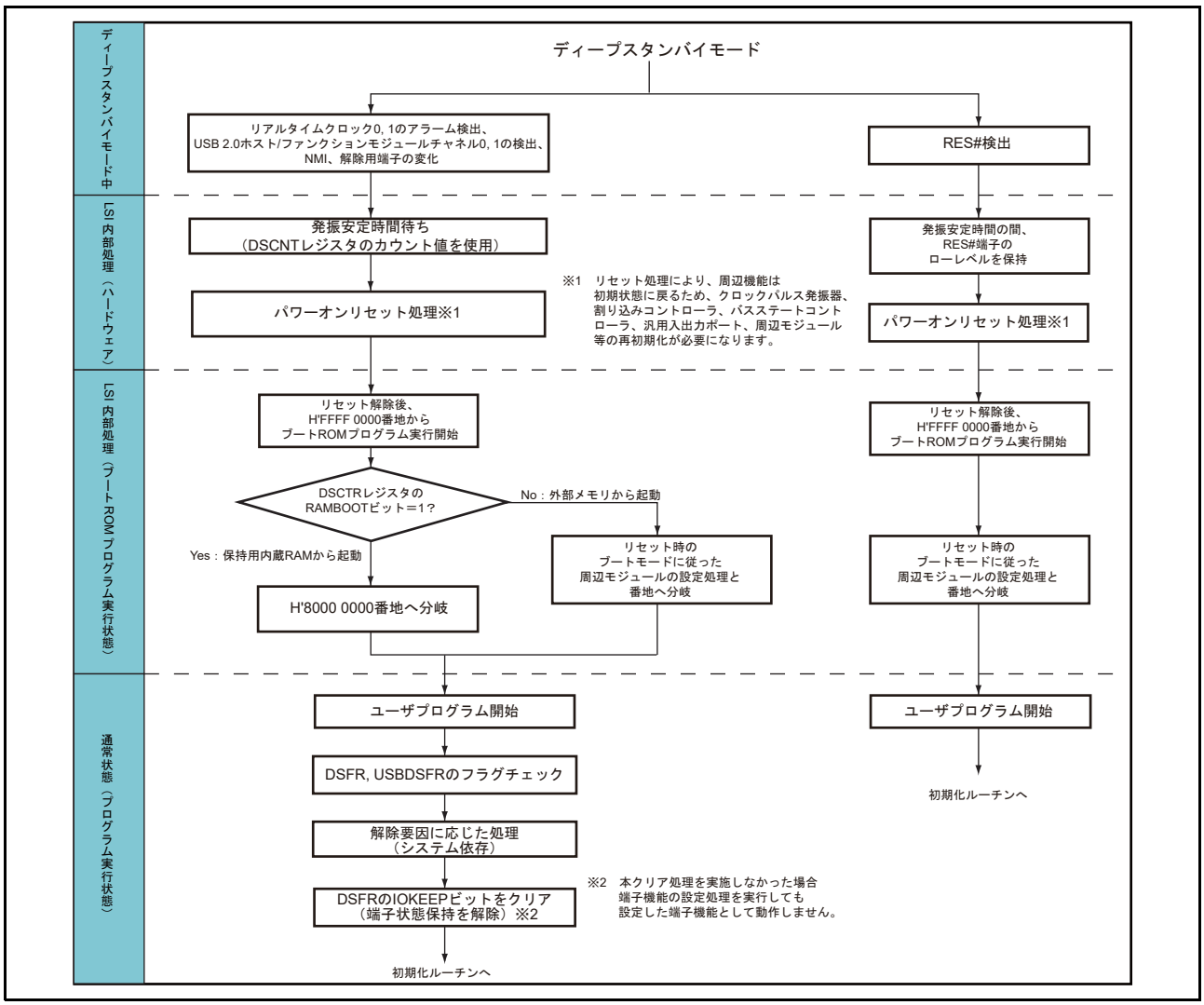


図 52.4　　ディープスタンバイモード解除フロー

- リセット以外による解除
  NMI 端子の立ち下がりエッジまたは立ち上がりエッジ（DSESR の該当ビットで選択）、解除用端子の立ち下がりエッジまたは立ち上がりエッジ（DSESR の該当ビットで選択）が検出されるか、リアルタイムクロック 0, 1 のアラーム割り込み（設定方法の詳細は**「16.3.6　アラーム機能」**を参照してください）または、USB 2.0 ホスト／ファンクションモジュールチャネル 0, 1 割り込みが発生すると、電源安定待ち時間後、クロックの発振が開始されます。発振安定時間経過後（DSCNT の該当ビットで設定）、ディープスタンバイモードが解除され、パワーオンリセット例外処理が実行されます。
  解除要因の検出直後からディープスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。
  NMI 端子、解除用端子の変化、およびリアルタイムクロック 0, 1 のアラーム割り込みの検出は、DSSSR の該当ビットを設定した時点から有効になります。同様に USB 2.0 ホスト／ファンクションモジュールチャネル 0, 1 の割り込み検出は、USBDSSSR の該当ビットを設定した時点から有効になります。検出された解除要因は保持されますが、DSFR および USBDSFR への反映はディープスタンバイモード解除後となります。また、CPU が割り込み要求を受け付け割り込み応答レジスタ（ICCIAR）を読み出すことにより、保持された解除要因がすべてクリアされます。解除要因検出後に、そのままディープスタンバイモードに遷移すると、遷移後すぐにディープスタンバイモードが解除されます。

- リセットによる解除
  RES# 端子をローレベルにすると、ディープスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 RES# 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。CKIO 端子には、RES# 端子をローレベルにすると内部のクロックが出力され始めます。
  RES# 端子は、クロックの発振が安定するまでローレベルを保持してください。

(3) ディープスタンバイモード解除後の動作

DSCTR レジスタの RAMBOOT ビット設定により外部メモリ起動か保持用内蔵 RAM 起動かを選択することができます。EBUSKEEPE ビットの設定によりディープスタンバイモード解除後も外部メモリ制御端子の状態を保持することができます。各ビットによるディープスタンバイモード解除後の端子状態を**表 52.4** に示します。外部メモリ制御端子一覧を**表 52.5** に示します。

表 52.4　DSCTR レジスタ設定によるディープスタンバイ解除後の端子状態と起動方法

EBUSKEEPE ビット	RAMBOOT ビット	起動方法	ディープスタンバイ解除後の端子状態
0	0	外部メモリ	外部メモリ制御端子は保持しない。 ディープスタンバイ解除後外部メモリ制御端子は端子保持解除。 その他の端子は IOKEEP ビットクリア時に端子保持解除。
0	1	保持用内蔵 RAM	外部メモリ制御端子は保持しない。 ディープスタンバイ解除後外部メモリ制御端子は端子保持解除。 その他の端子は IOKEEP ビットクリア時に端子保持解除。
1	0	—	設定禁止
1	1	保持用内蔵 RAM	外部メモリ制御端子は保持する。 外部メモリ制御端子もその他の端子も、IOKEEP ビットクリア時に端子保持解除。

表 52.5　外部メモリ制御端子一覧

ブートモード 0（CS0 空間：バス幅 16 ビット）	ブートモード 1（eSD ブート）	ブートモード 2（eMMC ブート）	ブートモード 3（シリアルフラッシュブート 3.3V）	ブートモード 4（Octal-SPI フラッシュブート）	ブートモード 5（HyperFlash ブート 1）	ブートモード 6（OctaFlash ブート）	ブートモード 7（HyperFlash ブート 2）
A[20:1] D[15:0] CS0 RD CKIO	SD0_CLK SD0_CMD SD0_DAT0 SD0_DAT1 SD0_DAT2 SD0_DAT3 SD0_DAT4 SD0_DAT5 SD0_DAT6 SD0_DAT7 SD0_RST#		QSPI0_SPCLK QSPI0_IO0 QSPI0_IO1 QSPI0_IO2 QSPI0_IO3 QSPI0_SSL QSPI1_SPCLK QSPI1_IO0 QSPI1_IO1 QSPI1_IO2 QSPI1_IO3 QSPI1_SSL RPC_RESET# RPC_WP# RPC_INT#			OM_SCLK OM_CS0# OM_CS1# OM_DQS OM_SIO0 OM_SIO1 OM_SIO2 OM_SIO3 OM_SIO4 OM_SIO5 OM_SIO6 OM_SIO7 OM_RESET#	HM_CK HM_CK# HM_CS0# HM_CS1# HM_RWDS HM_DQ0 HM_DQ1 HM_DQ2 HM_DQ3 HM_DQ4 HM_DQ5 HM_DQ6 HM_DQ7 HM_RESET#

ディープスタンバイモードが、割り込み（NMI、リアルタイムクロックのアラーム 0, 1）、解除用端子の変化により解除された場合、どの要因で解除されたのかをディープスタンバイ解除要因フラグレジスタ（DSFR）により確認することができます。USB 割り込みの場合は、USB ディープスタンバイ解除要因フラグレジスタ（USBDSFR）により確認することができます。

ディープスタンバイモードに遷移する際、端子は直前の状態を保持していますが、外部メモリ起動モード時は、ディープスタンバイモード解除後、外部メモリ制御端子の状態保持を解除してプログラムフェッチ可能とします。その他の端子は、ディープスタンバイモード解除後も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。保持用内蔵 RAM 起動モード時（EBUSKEEPE ビット = 1、RAMBOOT ビット = 1 設定）は、ディープスタンバイモード解除後、外部メモリ制御端子もその他の端子も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。ディープスタンバイモード遷移前の状態にするには、周辺機能の再設定を行います。周辺機能には、クロックパルス発振器、割り込みコントローラ、汎用入出力ポート、周辺モジュール等のすべてを含みます。再設定後、IOKEEP ビットの 1 を読み出した後に 0 を書き込むことにより、端子の状態保

持が解除されディープスタンバイモード遷移前の状態になります。

(4) ディープスタンバイモード遷移時の注意事項

解除要因を複数設定し複数の解除要因が入力された場合、解除要因フラグは複数セットされます。

52.3.5　モジュールスタンバイ機能

(1)　モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、プログラム実行状態およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。割り込み要求を許可している場合は、各モジュールまたは割り込みコントローラの設定により割り込みを無効化してください。DMA 転送要求を実施している場合は、各モジュールの設定により DMA 転送要求を停止させた後、ダイレクトメモリアクセスコントローラの設定により DMA 転送を停止させてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

各モジュールのモジュールスタンバイ機能の遷移手順は、STBREQ レジスタのモジュール記載の有無によって違いがあります。

(a)　STBREQ レジスタに記載の無いモジュールのモジュールスタンバイ機能への遷移手順

1. 当該モジュールの MSTP ビットに 1 をセットしてください。

(b)　STBREQ レジスタに記載のあるモジュールのモジュールスタンバイ機能への遷移手順

1. STBREQ レジスタの当該ビットを 1 にセットしてモジュールの停止要求をしてください。
2. STBACK レジスタの当該ビットに 1 がセットされたことにより、当該モジュールが停止準備できたことを確認してください。
3. 当該モジュールの MSTP ビットに 1 をセットしてください。

モジュールスタンバイ機能遷移時のレジスタの状態は、**「55.　レジスタ状態一覧」**を参照してください。

(2)　モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、パワーオンリセットで各 MSTP ビットが 1 で起動後、最初に MSTP ビットを 0 にセットする場合。および、各 MSTP ビットを 0 にセットしてモジュール動作させたあと、各 MSTP ビットを 1 にセットしてモジュールスタンバイ状態にして、再度各 MSTP ビットを 0 にセットしてモジュールスタンバイ状態を解除する場合の 2 通りあります。

後者の場合、各モジュールのモジュールスタンバイ機能の解除手順は、STBREQ レジスタのモジュール記載の有無によって違いがあります。

- パワーオンリセットで各 MSTP ビットが 1 で起動後、モジュールスタンバイ機能を解除する場合

1. MSTP ビットを 0 にセットして行います。
2. 0 をセットした後は、同じレジスタをダミーリードしてください。

- モジュール動作後のモジュールスタンバイ機能への遷移後に、モジュールスタンバイ機能を解除する場合

(a)　STBREQ レジスタに記載の無いモジュールのモジュールスタンバイ機能の解除手順

1. 各 MSTP ビットを 0 にセットした後、同じレジスタをダミーリードしてください。

(b)　STBREQ レジスタに記載があるモジュールのモジュールスタンバイ機能の解除手順

1. 各 MSTP ビットを 0 にセットした後、同じレジスタをダミーリードしてください。
2. STBREQ レジスタの当該ビットに 0 をセットしてモジュールの停止要求を解除してください。
3. STBACK レジスタの当該ビットが 0 にセットされたことを確認して、解除完了となります。

52.3.6　ソフトウェアリセット

選択したモジュールのみパワーオンリセットと同等の初期化を行う事ができます。

各モジュールのソフトウェアリセットの遷移と解除手順は、STBREQ レジスタのモジュール記載の有無によって違いがあるため、以下の手順でソフトウェアリセットの遷移および解除を行ってください。

また、DMA 転送要求を実施している場合は、ソフトウェアリセットに遷移する前に、DMA の当該チャネルを停止させてください。DMA の停止手順については「9.7.11　転送状態」を参照してください。

(1)　ソフトウェアリセットへの遷移

(a)　STBREQ レジスタに記載の無いモジュールのソフトウェアリセットへの遷移手順

1. 当該モジュールの SRST ビットに 1 をセットした後、同じレジスタをダミーリードしてください。

(b)　STBREQ レジスタに記載のあるモジュールのソフトウェアリセットの遷移手順

1. STBREQ レジスタの当該ビットを 1 にセットしてモジュールの停止要求をしてください。
2. STBACK レジスタの当該ビットが 1 にセットされたことを確認してください。
3. 当該モジュールの SRST ビットに 1 をセットした後、同じレジスタをダミーリードしてください。

(2)　ソフトウェアリセットの解除

(a)　STBREQ レジスタに記載の無いモジュールのソフトウェアリセットの解除手順

1. 当該モジュールの SRST ビットに 0 をセットした後、同じレジスタをダミーリードしてください。

(b)　STBREQ レジスタに記載のあるモジュールのソフトウェアリセットの解除手順

1. 当該モジュールの SRST ビットに 0 をセットした後、同じレジスタをダミーリードしてください。
2. STBREQ レジスタの当該ビットを 0 にセットしてモジュールの停止要求を解除してください。
3. STBACK レジスタの当該ビットが 0 にセットされたことを確認してください。

52.3.7　XTAL 用水晶発振器ゲイン調整機能

XTAL 水晶発振器ゲインコントロールレジスタの GAIN0 ビットを変更することにより、XTAL 用およびリアルタイムクロック用発振器のゲインを変更することができます。EXTAL, XTAL 端子のゲインを変更する場合は、PLL 安定時間が必要になります。内蔵ウォッチドッグタイマにより安定時間のカウントを行います。

GAIN0 ビット変更後、バスマスタからの発行済リクエストの完了を待ってから、ハードウェアがバスマスタを自動的に停止させ、XTAL 用水晶発振器のゲイン変更を開始します。
この際、発行済リクエストが完了できない場合は XTAL 用水晶発振器のゲイン変更処理を開始できませんので、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは実施しないでください。

また、バスマスタから意図しないリクエストの発生を抑止するために、XTAL 用水晶発振器のゲイン変更手順を実行する前に、予めソフトウェアにより各バスマスタを停止させてください。

1. 初期状態では、発振器のゲインは大ゲインになっています。
2. PL310 の Power Control Register の standby_mode_en ビットを 1 にします。
   Power Control Register の詳細は、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。
3. ウォッチドッグタイマに、指定された発振安定時間になるように値をセットし、ウォッチドッグタイマを停止します。次の設定が必要です。
   WTCSR.TME = 0：ウォッチドッグタイマの停止
   WTCSR.CKS[3:0]：ウォッチドッグタイマカウントクロックの分周率
   WTCNT：カウンタの初期値
   （ウォッチドッグタイマのカウントアップは、設定後のクロックでカウントアップされます。）
4. GAIN0 ビットを目的とする値に設定します。
5. 本 LSI 内部は、一時的に停止し、ウォッチドッグタイマのカウントアップを開始します。ウォッチドッグタイマにのみクロックが供給され、それ以外の内部クロックが停止します。また、CKIO 端子には不安定なクロックが出力され続けます。これによる誤動作を防ぐためには、FRQCR レジスタの CKOEN2 ビットを変更してください。本状態は、ソフトウェアスタンバイモード状態と同じであり、モジュールによってはレジスタの初期化が行われます。詳細は「55.　レジスタ状態一覧」を参照してください。
6. ウォッチドッグタイマのカウントオーバフローで設定されたクロックが供給され始め、本 LSI は動作を再開します。ウォッチドッグタイマはオーバフロー後、停止します。

52.4　使用上の注意事項

52.4.1　レジスタ設定時の注意

低消費電力モード関連のレジスタに書き込みを行う際には、以下のことに注意してください。

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合には、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

52.4.2　リアルタイムクロック未使用時の注意

リアルタイムクロックを使用しない場合、使用しないチャネルを下記の手順で設定してください。

1. RTC0, 1 の「16.2.21　RTC コントロールレジスタ 4（RCR4）」の RCKSEL ビットを 0 に設定
2. RTC0, 1 の「16.2.20　RTC コントロールレジスタ 3（RCR3）」の RTCEN ビットを 0 に設定
   （ビットの値が更新されたことを確認してから次の処理を実行してください）
3. 「52.2.36　RTCXTAL 選択レジスタ（RTCXTALSEL）」の RTC1XT と RTC0XT ビットを 0 に設定
4. 「52.2.5　スタンバイコントロールレジスタ 5（STBCR5）」の MSTP53、MSTP52 ビットを 1 に設定

52.4.3　USB 2.0 ホスト／ファンクションモジュール未使用時の注意

USB 2.0 ホスト／ファンクションモジュールを使用しない場合は、使用しないチャネルをパワーオンリセット解除後またはディープスタンバイモード解除後に、以下に示す手順でレジスタを設定してください。

なお 176 ピン BGA のデバイスを使用する場合は、USB 2.0 ホスト／ファンクションモジュールのチャネル 1 は、必ず以下の処理を行ってください。

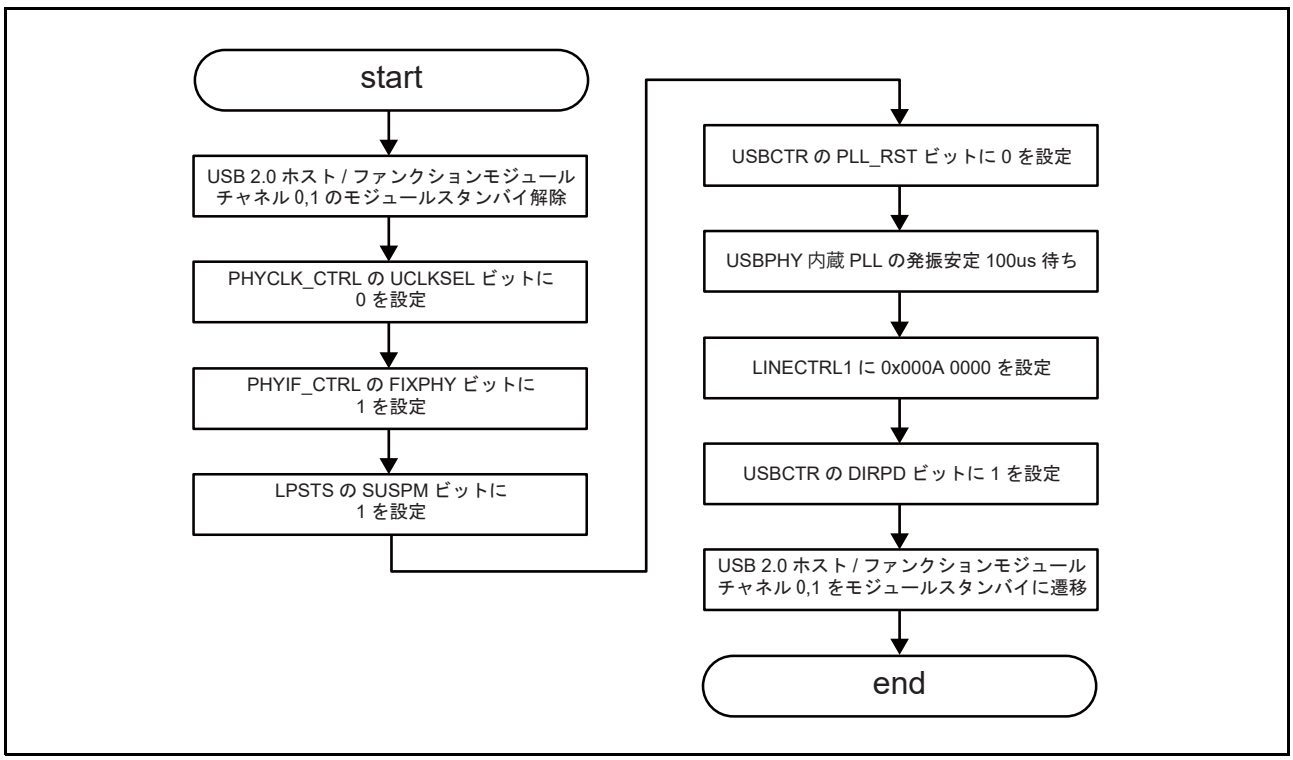


図 52.5　USB 2.0 ホスト／ファンクションモジュール 未使用時の設定フロー

レジスタの説明は、「32.2　レジスタの説明」、「33.2　レジスタ」を参照してください。

53. デバッガインタフェース

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、デバッガインタフェースを内蔵しています。

53.1 特長

デバッガインタフェースは、JTAG（Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture）インタフェースと CoreSight デバッグ・インタフェースを有するシリアル入出力インタフェースです。

本モジュールは、バウンダリスキャン用 TAP コントローラと CoreSight デバッグ機能を制御する TAP コントローラを内蔵しています。BSCANP 端子をハイレベルとすることでバウンダリスキャン用 TAP コントローラが選択されます。また、BSCANP 外部端子をローレベルとすることで、CoreSight デバッグ用 TAP コントローラが選択されます。

図 53.1 にブロック図、**表 53.1** に JTAG 端子モード表を示します。

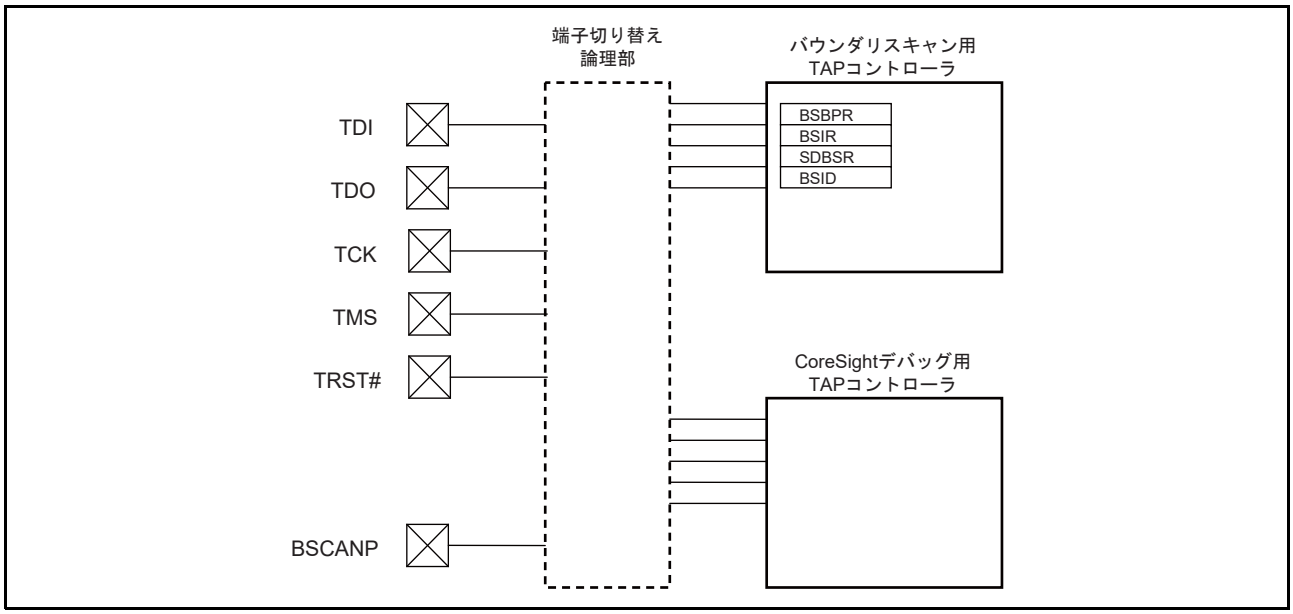


図 53.1　ブロック図

表 53.1　JTAG 端子モード表

BSCANP	JTAG 端子モード
0	通常動作（CoreSight デバッグモード）
1	バウンダリスキャンモード

CoreSight の特長を以下に示します。

- JTAG-IF
  JTAG、SWD サポート
- TRACE-IF
  最大 4bit × 264Mbps (132 MHz DDR) のトレースデータ端子出力
  Embedded Trace FIFO (ETF) 4KB
- SWV-IF
  66 MHz (P1φ) での SW トレース出力
- ICE レジスタによる各種制御（デバッグ目的以外では使用しないでください。）
- リセット制御
  デバッグ時、ディープスタンバイモード時の電源遮断を無効にする制御（FAKE デバッグモード）

図 53.2 に CoreSight のブロック図、**表 53.2 ～ 表 53.10** にクロストリガの接続、**表 53.11** に CoreSight アドレ スマップを示します。

ICE レジスタを除く CoreSight の詳細は、Arm 社のテクニカルリファレンスマニュアルを参照してください。

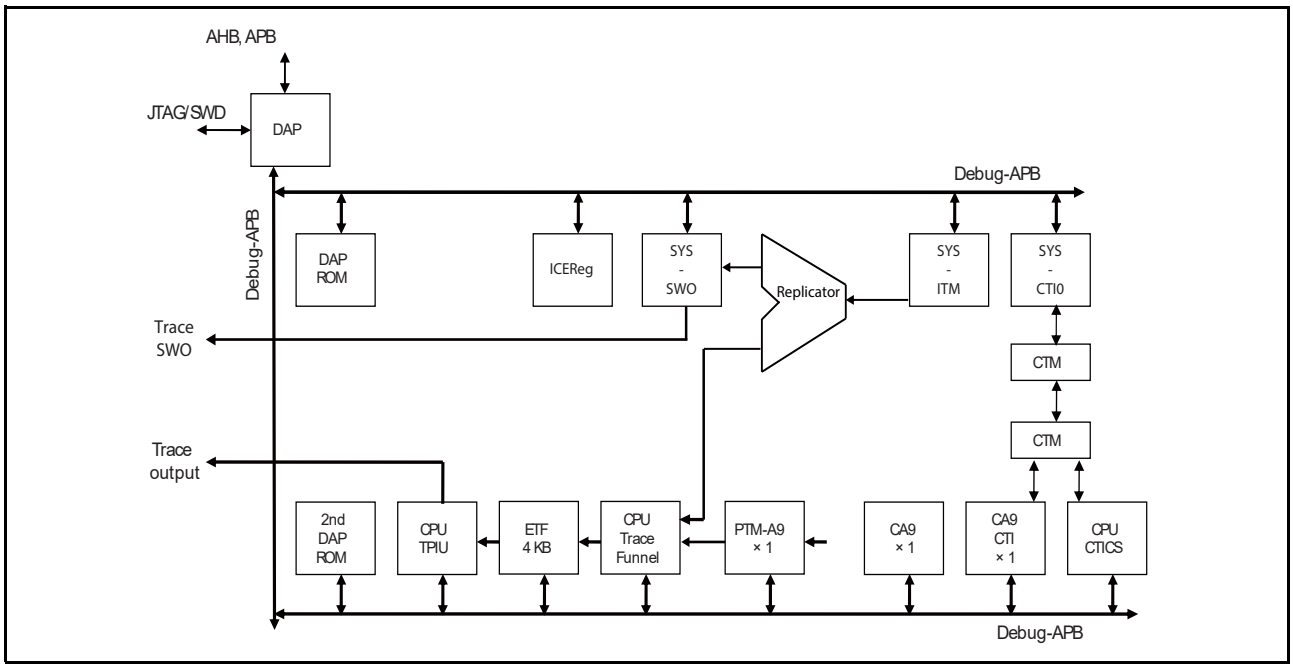


図 53.2　CoreSight ブロック図

表53.2　SYS CTI0 Trigger Inputs

Trigger input bit	trigger signal	Source device
[7]	not used	—
[6]	not used	—
[5]	not used	—
[4]	not used	—
[3]	not used	—
[2]	not used	—
[1]	not used	—
[0]	not used	—

表53.3　SYS CTI0 Trigger Outputs

Trigger output bit	trigger signal	Destination device
[7]	not used	—
[6]	not used	—
[5]	not used	—
[4]	TRIGOUT	SYS-ITM
[3]	not used	—
[2]	not used	—
[1]	not used	—
[0]	not used	—

表53.4　CA9 CTI Trigger Inputs

Trigger input bit	trigger signal	Source device
[7]	not used	—
[6]	TRIGGER	PTM-A9
[5]	COMMRX	CA9
[4]	COMMTX	CA9
[3]	EXTOUT[1]	PTM-A9
[2]	EXTOUT[0]	PTM-A9
[1]	PMUIRQ	CA9
[0]	DBGACK	CA9

表53.5　CA9 CTI Trigger Outputs

Trigger output bit	trigger signal	Destination device
[7]	DBGRESTART	CA9
[6]	nCTIIRQ	INTC
[5]	not used	—
[4]	EXTIN[3]	PTM-A9
[3]	EXTIN[2]	PTM-A9
[2]	EXTIN[1]	PTM-A9
[1]	EXTIN[0]	PTM-A9
[0]	EDBGRQ	CA9

表53.6　CPU CTICS Trigger Inputs

Trigger input bit	trigger signal	Source device
[7]	not used	—
[6]	not used	—
[5]	not used	—
[4]	not used	—
[3]	ACQCOMP	ETF
[2]	FULL	ETF
[1]	not used	—
[0]	not used	—

表53.7 CPU CTICS Trigger Outputs

Trigger output bit	trigger signal	Destination device
[7]	not used	—
[6]	not used	—
[5]	not used	—
[4]	not used	—
[3]	TRIGIN	CPU TPIU
[2]	FLUSHIN	CPU TPIU
[1]	TRIGIN	ETF
[0]	FLUSHIN	ETF

表53.8 CPU Trace Funnel

Port No.	Trace Source
[7]	reserved
[6]	reserved
[5]	reserved
[4]	SYS-ITM
[3]	reserved
[2]	reserved
[1]	reserved
[0]	PTM-A9

表53.9　CoreSightアドレスマップ

System Address （CPU View）	Debug-APB Address （Debugger View）	module
H'FC000000 ～ H'FC000FFF	H'80000000 ～ H'80000FFF	DAP ROM
H'FC001000 ～ H'FC001FFF	H'80001000 ～ H'80001FFF	Reserved
H'FC002000 ～ H'FC002FFF	H'80002000 ～ H'80002FFF	SYS-CTI0
H'FC003000 ～ H'FC003FFF	H'80003000 ～ H'80003FFF	Reserved
H'FC004000 ～ H'FC004FFF	H'80004000 ～ H'80004FFF	Reserved
H'FC005000 ～ H'FC005FFF	H'80005000 ～ H'80005FFF	SYS-ITM
H'FC006000 ～ H'FC006FFF	H'80006000 ～ H'80006FFF	SYS-SWO
H'FC007000 ～ H'FC007FFF	H'80007000 ～ H'80007FFF	Reserved
H'FC008000 ～ H'FC008FFF	H'80008000 ～ H'80008FFF	Reserved
H'FC009000 ～ H'FC009FFF	H'80009000 ～ H'80009FFF	Reserved
H'FC00A000 ～ H'FC00AFFF	H'8000A000 ～ H'8000AFFF	Reserved
H'FC00B000 ～ H'FC00BFFF	H'8000B000 ～ H'8000BFFF	Reserved
H'FC00C000 ～ H'FC00CFFF	H'8000C000 ～ H'8000CFFF	Reserved
H'FC00D000 ～ H'FC00DFFF	H'8000D000 ～ H'8000DFFF	Reserved
H'FC00E000 ～ H'FC00EFFF	H'8000E000 ～ H'8000EFFF	Reserved
H'FC00F000 ～ H'FC00FFFF	H'8000F000 ～ H'8000FFFF	ICEReg（ICE レジスタ）
H'FC010000 ～ H'FC010FFF	H'80010000 ～ H'80010FFF	Reserved
H'FC011000 ～ H'FC011FFF	H'80011000 ～ H'80011FFF	Reserved
H'FC012000 ～ H'FC012FFF	H'80012000 ～ H'80012FFF	Reserved
H'FC013000 ～ H'FC013FFF	H'80013000 ～ H'80013FFF	Reserved
H'FC014000 ～ H'FC014FFF	H'80014000 ～ H'80014FFF	Reserved
H'FC015000 ～ H'FC015FFF	H'80015000 ～ H'80015FFF	Reserved
H'FC016000 ～ H'FC016FFF	H'80016000 ～ H'80016FFF	Reserved
H'FC017000 ～ H'FC017FFF	H'80017000 ～ H'80017FFF	Reserved
H'FC018000 ～ H'FC018FFF	H'80018000 ～ H'80018FFF	Reserved
H'FC019000 ～ H'FC019FFF	H'80019000 ～ H'80019FFF	Reserved
H'FC01A000 ～ H'FC01AFFF	H'8001A000 ～ H'8001AFFF	Reserved
H'FC01B000 ～ H'FC01BFFF	H'8001B000 ～ H'8001BFFF	Reserved
H'FC01C000 ～ H'FC01CFFF	H'8001C000 ～ H'8001CFFF	Reserved
H'FC01D000 ～ H'FC01DFFF	H'8001D000 ～ H'8001DFFF	Reserved
H'FC01E000 ～ H'FC01EFFF	H'8001E000 ～ H'8001EFFF	Reserved
H'FC01F000 ～ H'FC01FFFF	H'8001F000 ～ H'8001FFFF	Reserved
H'FC020000 ～ H'FC020FFF	H'80020000 ～ H'80020FFF	2nd DAP ROM
H'FC021000 ～ H'FC021FFF	H'80021000 ～ H'80021FFF	CPU-ETF
H'FC022000 ～ H'FC022FFF	H'80022000 ～ H'80022FFF	CPU-CTICS
H'FC023000 ～ H'FC023FFF	H'80023000 ～ H'80023FFF	CPU-TPIU
H'FC024000 ～ H'FC024FFF	H'80024000 ～ H'80024FFF	CPU-TraceFunnel
H'FC025000 ～ H'FC025FFF	H'80025000 ～ H'80025FFF	Reserved
H'FC026000 ～ H'FC026FFF	H'80026000 ～ H'80026FFF	Reserved
H'FC027000 ～ H'FC027FFF	H'80027000 ～ H'80027FFF	Reserved
H'FC028000 ～ H'FC028FFF	H'80028000 ～ H'80028FFF	Reserved
H'FC029000 ～ H'FC029FFF	H'80029000 ～ H'80029FFF	Reserved
H'FC02A000 ～ H'FC02AFFF	H'8002A000 ～ H'8002AFFF	Reserved
H'FC02B000 ～ H'FC02BFFF	H'8002B000 ～ H'8002BFFF	Reserved
H'FC02C000 ～ H'FC02CFFF	H'8002C000 ～ H'8002CFFF	Reserved

System Address （CPU View）	Debug-APB Address （Debugger View）	module
H'FC02D000 ～ H'FC02DFFF	H'8002D000 ～ H'8002DFFF	Reserved
H'FC02E000 ～ H'FC02EFFF	H'8002E000 ～ H'8002EFFF	Reserved
H'FC02F000 ～ H'FC02FFFF	H'8002F000 ～ H'8002FFFF	Reserved
H'FC030000 ～ H'FC030FFF	H'80030000 ～ H'80030FFF	CA9-DBG（CPU0）
H'FC031000 ～ H'FC031FFF	H'80031000 ～ H'80031FFF	CA9-PMU（CPU0）
H'FC032000 ～ H'FC032FFF	H'80032000 ～ H'80032FFF	Reserved
H'FC033000 ～ H'FC033FFF	H'80033000 ～ H'80033FFF	Reserved
H'FC034000 ～ H'FC034FFF	H'80034000 ～ H'80034FFF	Reserved
H'FC035000 ～ H'FC035FFF	H'80035000 ～ H'80035FFF	Reserved
H'FC036000 ～ H'FC036FFF	H'80036000 ～ H'80036FFF	Reserved
H'FC037000 ～ H'FC037FFF	H'80037000 ～ H'80037FFF	Reserved
H'FC038000 ～ H'FC038FFF	H'80038000 ～ H'80038FFF	CA9 CTI（CPU0）
H'FC039000 ～ H'FC039FFF	H'80039000 ～ H'80039FFF	Reserved
H'FC03A000 ～ H'FC03AFFF	H'8003A000 ～ H'8003AFFF	Reserved
H'FC03B000 ～ H'FC03BFFF	H'8003B000 ～ H'8003BFFF	Reserved
H'FC03C000 ～ H'FC03CFFF	H'8003C000 ～ H'8003CFFF	PTM-A9（CPU0）
H'FC03D000 ～ H'FC03DFFF	H'8003D000 ～ H'8003DFFF	Reserved
H'FC03E000 ～ H'FC03EFFF	H'8003E000 ～ H'8003EFFF	Reserved
H'FC03F000 ～ H'FC03FFFF	H'8003F000 ～ H'8003FFFF	Reserved

53.2　入出力端子

デバッガインタフェースの端子構成を表 53.10 に示します。

表53.10　端子構成

名称	端子名	入出力	機　　能
テストクロック	TCK/SWDCLK	入力	データはこのクロックに同期してデータ入力端子（TDI）から本モジュールにシリアルに供給され、データ出力端子（TDO）から出力されます。 シリアルワイヤーデバッグ（SWD）モードの際は、SWDCLK端子として機能します。
テストモードセレクト	TMS/SWDIO	入力／入出力	TCKに同期してこの信号を変化させることによってTAP制御回路の状態が決まります。プロトコルは、JTAG規格（IEEE Std.1149.1）に対応しています。 シリアルワイヤーデバッグ（SWD）モードの際は、SWDIO端子として機能します。
テストリセット	TRST#（注 1）	入力	TCKとは非同期で入力を受け付けローレベルで本モジュールをリセットします。本モジュール機能の利用の有無にかかわらず、電源投入時にTRST#を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「53.5.2　リセット構成」を参照してください。
テストデータ入力	TDI	入力	TCKに同期してこの端子を変化させることによって本モジュールにデータを送ります。
テストデータ出力	TDO/SWO	出力	TCKに同期してこの端子を読み出すことによって本モジュールからデータを読み取ります。シリアルワイヤーデバッグ（SWD）モードの際は、SWO端子として機能します。
バウンダリスキャン設定	BSCANP	入力	バウンダリスキャンテスト時にハイレベルを入力します。 通常動作時はローレベルを入力してください。
クロック出力	TRACECLK	出力	トレースクロック出力端子です。
イネーブル出力	TRACECTL	出力	トレースイネーブル出力端子です。
データ出力	TRACEDATA3 ～ TRACEDATA0	出力	トレースデータ出力端子です。

注1.　エミュレータを使用可能なボードを設計する場合は、電源投入時にRES#端子とTRST#端子をローレベルにし、かつTRST#端子単独でも制御可能となるようにしてください。未使用時は、ローレベルに固定するか、RES#端子と同じ信号と接続するようにしてください。

53.3　バウンダリスキャン用 TAP コントローラのレジスタの説明

バウンダリスキャン用 TAP コントローラには以下のレジスタがあります。

表 53.11　バウンダリスキャン用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	BSBPR	—	—	—	—
インストラクションレジスタ	BSIR	—	H'55	—	—
バウンダリスキャンレジスタ	SDBSR	—	—	—	—
ID レジスタ	BSID	—	H'083B6447	—	—

53.3.1　バイパスレジスタ（BSBPR）

BSBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。BSIR を BYPASS モードにセットすると、BSBPR は TDI 端子と TDO 端子の間に接続されます。初期値は不定です。

53.3.2　インストラクションレジスタ（BSIR）

BSIR は 8 ビットのレジスタです。TRST# のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。CPU からは、アクセスできません。

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	TI[7:0]	01010101	—	テストインストラクション 本モジュールのインストラクションは TDI からのシリアル入力によって BSIR に転送されます。 コマンドは表 53.12 を参照してください。

表 53.12　バウンダリスキャン用 TAP コントローラのサポートコマンド

ビット 7～0								説　　明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	IDCODE（初期値）
1	1	0	1	0	0	0	0	CLAMP
1	0	0	0	0	0	0	0	HIGHZ
1	1	1	1	1	1	1	1	BYPASS
上記以外								予約

53.3.3　バウンダリスキャンレジスタ（SDBSR）

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。CPU からは、アクセスできません。初期値は不定です。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。**表 53.13** に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

表53.13　本LSIの端子とバウンダリスキャンレジスタの対応

324ピン ビット番号	272/256ピン ビット番号	176ピン ビット番号	端子名 (注1)	タイプ	324ピン ビット番号	272/256ピン ビット番号	176ピン ビット番号	端子名 (注1)	タイプ
From TDI					359	359	359	PE_3	INPUT
413	413	413	PD_0	OUTPUT(注2)	358	358	-	P8_0	OUTPUT
412	412	412	PD_0	INPUT	357	357	-	P8_0	CONTROL
411	411	411	PD_1	OUTPUT(注2)	356	356	-	P8_0	INPUT
410	410	410	PD_1	INPUT	355	-	-	P9_1	OUTPUT
409	409	409	PD_2	OUTPUT(注2)	354	-	-	P9_1	CONTROL
408	408	408	PD_2	INPUT	353	-	-	P9_1	INPUT
407	407	407	PD_3	OUTPUT(注2)	352	-	-	P9_0	OUTPUT
406	406	406	PD_3	INPUT	351	-	-	P9_0	CONTROL
405	405	405	PD_4	OUTPUT(注2)	350	-	-	P9_0	INPUT
404	404	404	PD_4	INPUT	349	-	-	P8_7	OUTPUT
403	403	403	PD_5	OUTPUT(注2)	348	-	-	P8_7	CONTROL
402	402	402	PD_5	INPUT	347	-	-	P8_7	INPUT
401	401	401	PD_6	OUTPUT(注2)	346	346	346	PE_4	OUTPUT
400	400	400	PD_6	INPUT	345	345	345	PE_4	CONTROL
399	399	399	PD_7	OUTPUT(注2)	344	344	344	PE_4	INPUT
398	398	398	PD_7	INPUT	343	343	-	PF_0	OUTPUT
397	397	-	PB_0	OUTPUT	342	342	-	PF_0	CONTROL
396	396	-	PB_0	CONTROL	341	341	-	PF_0	INPUT
395	395	-	PB_0	INPUT	340	340	-	PF_1	OUTPUT
394	394	-	PA_7	OUTPUT	339	339	-	PF_1	CONTROL
393	393	-	PA_7	CONTROL	338	338	-	PF_1	INPUT
392	392	-	PA_7	INPUT	337	337	-	PF_2	OUTPUT
391	391	-	PA_6	OUTPUT	336	336	-	PF_2	CONTROL
390	390	-	PA_6	CONTROL	335	335	-	PF_2	INPUT
389	389	-	PA_6	INPUT	334	-	-	P8_6	OUTPUT
388	388	-	PA_5	OUTPUT	333	-	-	P8_6	CONTROL
387	387	-	PA_5	CONTROL	332	-	-	P8_6	INPUT
386	386	-	PA_5	INPUT	331	-	-	P8_5	OUTPUT
385	385	-	PA_4	OUTPUT	330	-	-	P8_5	CONTROL
384	384	-	PA_4	CONTROL	329	-	-	P8_5	INPUT
383	383	-	PA_4	INPUT	328	-	-	P8_4	OUTPUT
382	382	382	PE_0	OUTPUT	327	-	-	P8_4	CONTROL
381	381	381	PE_0	CONTROL	326	-	-	P8_4	INPUT
380	380	380	PE_0	INPUT	325	-	-	P8_3	OUTPUT
379	379	379	PE_1	OUTPUT	324	-	-	P8_3	CONTROL
378	378	378	PE_1	CONTROL	323	-	-	P8_3	INPUT
377	377	377	PE_1	INPUT	322	322	322	PE_5	OUTPUT
376	376	-	PA_3	OUTPUT	321	321	321	PE_5	CONTROL
375	375	-	PA_3	CONTROL	320	320	320	PE_5	INPUT
374	374	-	PA_3	INPUT	319	319	319	PL_0	INPUT
373	373	-	PA_2	OUTPUT	318	318	318	PL_1	INPUT
372	372	-	PA_2	CONTROL	317	317	317	PL_2	INPUT
371	371	-	PA_2	INPUT	316	316	316	PL_3	INPUT
370	370	-	PA_1	OUTPUT	315	315	315	PL_4	INPUT
369	369	-	PA_1	CONTROL	314	314	-	PF_3	OUTPUT
368	368	-	PA_1	INPUT	313	313	-	PF_3	CONTROL
367	367	-	PA_0	OUTPUT	312	312	-	PF_3	INPUT
366	366	-	PA_0	CONTROL	311	311	311	PE_6	OUTPUT
365	365	-	PA_0	INPUT	310	310	310	PE_6	CONTROL
364	364	364	PE_2	OUTPUT	309	309	309	PE_6	INPUT
363	363	363	PE_2	CONTROL	308	308	308	PH_0	OUTPUT
362	362	362	PE_2	INPUT	307	307	307	PH_0	CONTROL
361	361	361	PE_3	OUTPUT	306	306	306	PH_0	INPUT
360	360	360	PE_3	CONTROL	305	305	305	PH_1	OUTPUT

324 ピン ビット番号	272/256 ピン ビット番号	176 ピン ビット番号	端子名 (注1)	タイプ
304	304	304	PH_1	CONTROL
303	303	303	PH_1	INPUT
302	302	-	PF_4	OUTPUT
301	301	-	PF_4	CONTROL
300	300	-	PF_4	INPUT
299	299	299	PG_0	OUTPUT
298	298	298	PG_0	CONTROL
297	297	297	PG_0	INPUT
296	296	296	PG_1	OUTPUT
295	295	295	PG_1	CONTROL
294	294	294	PG_1	INPUT
293	293	293	PG_2	OUTPUT
292	292	292	PG_2	CONTROL
291	291	291	PG_2	INPUT
290	290	-	PF_5	OUTPUT
289	289	-	PF_5	CONTROL
288	288	-	PF_5	INPUT
287	287	-	PF_6	OUTPUT
286	286	-	PF_6	CONTROL
285	285	-	PF_6	INPUT
284	284	284	PG_3	OUTPUT
283	283	283	PG_3	CONTROL
282	282	282	PG_3	INPUT
281	281	281	PG_4	OUTPUT
280	280	280	PG_4	CONTROL
279	279	279	PG_4	INPUT
278	278	278	PG_5	OUTPUT
277	277	277	PG_5	CONTROL
276	276	276	PG_5	INPUT
275	275	275	PG_6	OUTPUT
274	274	274	PG_6	CONTROL
273	273	273	PG_6	INPUT
272	-	-	P8_2	OUTPUT
271	-	-	P8_2	CONTROL
270	-	-	P8_2	INPUT
269	-	-	P8_1	OUTPUT
268	-	-	P8_1	CONTROL
267	-	-	P8_1	INPUT
266	266	-	PH_2	OUTPUT
265	265	-	PH_2	CONTROL
264	264	-	PH_2	INPUT
263	263	-	PF_7	OUTPUT
262	262	-	PF_7	CONTROL
261	261	-	PF_7	INPUT
260	260	260	PG_7	OUTPUT
259	259	259	PG_7	CONTROL
258	258	258	PG_7	INPUT
257	257	257	PH_3	OUTPUT
256	256	256	PH_3	CONTROL
255	255	255	PH_3	INPUT
254	254	254	PH_4	OUTPUT
253	253	253	PH_4	CONTROL
252	252	252	PH_4	INPUT
251	251	251	PJ_0	OUTPUT
250	250	250	PJ_0	CONTROL
249	249	249	PJ_0	INPUT
248	248	-	PJ_6	OUTPUT
247	247	-	PJ_6	CONTROL
246	246	-	PJ_6	INPUT
245	245	-	PJ_7	OUTPUT
244	244	-	PJ_7	CONTROL
243	243	-	PJ_7	INPUT
242	-	-	P0_0	OUTPUT
241	-	-	P0_0	CONTROL
240	-	-	P0_0	INPUT(注4)
239	-	-	P0_1	OUTPUT
238	-	-	P0_1	CONTROL

324 ピン ビット番号	272/256 ピン ビット番号	176 ピン ビット番号	端子名 (注1)	タイプ
237	-	-	P0_1	INPUT(注4)
236	-	-	P0_2	OUTPUT
235	-	-	P0_2	CONTROL
234	-	-	P0_2	INPUT(注4)
233	-	-	P0_3	OUTPUT
232	-	-	P0_3	CONTROL
231	-	-	P0_3	INPUT(注4)
230	-	-	P0_4	OUTPUT
229	-	-	P0_4	CONTROL
228	-	-	P0_4	INPUT(注4)
227	-	-	P0_5	OUTPUT
226	-	-	P0_5	CONTROL
225	-	-	P0_5	INPUT(注4)
224	-	-	P0_6	OUTPUT
223	-	-	P0_6	CONTROL
222	-	-	P0_6	INPUT(注4)
221	221	221	PJ_1	OUTPUT
220	220	220	PJ_1	CONTROL
219	219	219	PJ_1	INPUT
218	218	218	PJ_2	OUTPUT
217	217	217	PJ_2	CONTROL
216	216	216	PJ_2	INPUT
215	215	215	PJ_3	OUTPUT
214	214	214	PJ_3	CONTROL
213	213	213	PJ_3	INPUT
212	212	-	PK_5	OUTPUT
211	211	-	PK_5	CONTROL
210	210	-	PK_5	INPUT
209	209	-	PH_5	OUTPUT
208	208	-	PH_5	CONTROL
207	207	-	PH_5	INPUT
206	206	-	PH_6	OUTPUT
205	205	-	PH_6	CONTROL
204	204	-	PH_6	INPUT
203	203	203	PJ_4	OUTPUT
202	202	202	PJ_4	CONTROL
201	201	201	PJ_4	INPUT
200	200	200	PJ_5	OUTPUT
199	199	199	PJ_5	CONTROL
198	198	198	PJ_5	INPUT
197	197	197	PK_0	OUTPUT
196	196	196	PK_0	CONTROL
195	195	195	PK_0	INPUT
194	194	194	PK_1	OUTPUT
193	193	193	PK_1	CONTROL
192	192	192	PK_1	INPUT
191	191	191	PK_2	OUTPUT
190	190	190	PK_2	CONTROL
189	189	189	PK_2	INPUT
188	188	188	PK_3	OUTPUT
187	187	187	PK_3	CONTROL
186	186	186	PK_3	INPUT
185	185	185	PK_4	OUTPUT
184	184	184	PK_4	CONTROL
183	183	183	PK_4	INPUT
182	182	182	P3_5	OUTPUT
181	181	181	P3_5	CONTROL
180	180	180	P3_5	INPUT
179	-	-	P1_0	OUTPUT
178	-	-	P1_0	CONTROL
177	-	-	P1_0	INPUT(注4)
176	-	-	P1_1	OUTPUT
175	-	-	P1_1	CONTROL
174	-	-	P1_1	INPUT(注4)
173	173	173	P3_1	OUTPUT
172	172	172	P3_1	CONTROL
171	171	171	P3_1	INPUT

324 ピン ビット番号	272/256 ピン ビット番号	176 ピン ビット番号	端子名 (注1)	タイプ
170	170	170	P3_2	OUTPUT
169	169	169	P3_2	CONTROL
168	168	168	P3_2	INPUT
167	167	167	P3_3	OUTPUT
166	166	166	P3_3	CONTROL
165	165	165	P3_3	INPUT
164	164	164	P3_4	OUTPUT
163	163	163	P3_4	CONTROL
162	162	162	P3_4	INPUT
161	-	-	P1_2	OUTPUT
160	-	-	P1_2	CONTROL
159	-	-	P1_2	INPUT(注4)
158	-	-	P1_3	OUTPUT
157	-	-	P1_3	CONTROL
156	-	-	P1_3	INPUT(注4)
155	-	-	P1_4	OUTPUT
154	-	-	P1_4	CONTROL
153	-	-	P1_4	INPUT(注4)
152	-	-	P2_0	OUTPUT
151	-	-	P2_0	CONTROL
150	-	-	P2_0	INPUT(注4)
149	149	-	P3_0	OUTPUT
148	148	-	P3_0	CONTROL
147	147	-	P3_0	INPUT
146	146	-	PC_0	OUTPUT
145	145	-	PC_0	CONTROL
144	144	-	PC_0	INPUT
143	-	-	P2_1	OUTPUT
142	-	-	P2_1	CONTROL
141	-	-	P2_1	INPUT(注4)
140	-	-	P2_2	OUTPUT
139	-	-	P2_2	CONTROL
138	-	-	P2_2	INPUT(注4)
137	137	-	PC_1	OUTPUT
136	136	-	PC_1	CONTROL
135	135	-	PC_1	INPUT
134	134	-	PC_2	OUTPUT
133	133	-	PC_2	CONTROL
132	132	-	PC_2	INPUT
131	-	-	P2_3	OUTPUT
130	-	-	P2_3	CONTROL
129	-	-	P2_3	INPUT(注4)
128	128	128	NMI	INPUT
127	127	127	P4_0	OUTPUT
126	126	126	P4_0	CONTROL
125	125	125	P4_0	INPUT
124	124	124	P4_1	OUTPUT
123	123	123	P4_1	CONTROL
122	122	122	P4_1	INPUT
121	121	121	P4_2	OUTPUT
120	120	120	P4_2	CONTROL
119	119	119	P4_2	INPUT
118	118	118	P4_3	OUTPUT
117	117	117	P4_3	CONTROL
116	116	116	P4_3	INPUT
115	115	115	P4_4	OUTPUT
114	114	114	P4_4	CONTROL
113	113	113	P4_4	INPUT
112	112	112	P4_5	OUTPUT
111	111	111	P4_5	CONTROL
110	110	110	P4_5	INPUT
109	109	109	P4_6	OUTPUT
108	108	108	P4_6	CONTROL
107	107	107	P4_6	INPUT
106	106	106	P4_7	OUTPUT
105	105	105	P4_7	CONTROL
104	104	104	P4_7	INPUT

324 ピン ビット番号	272/256 ピン ビット番号	176 ピン ビット番号	端子名 (注1)	タイプ
103	103	-	PC_3	OUTPUT
102	102	-	PC_3	CONTROL
101	101	-	PC_3	INPUT
100	100	-	PC_4	OUTPUT
99	99	-	PC_4	CONTROL
98	98	-	PC_4	INPUT
97	97	-	PC_5	OUTPUT
96	96	-	PC_5	CONTROL
95	95	-	PC_5	INPUT
94	94	-	PC_6	OUTPUT
93	93	-	PC_6	CONTROL
92	92	-	PC_6	INPUT
91	91	-	PC_7	OUTPUT
90	90	-	PC_7	CONTROL
89	89	-	PC_7	INPUT
88	88	88	P5_0	INPUT
87	87	87	P5_1	INPUT
86	86	86	P5_2	INPUT
85	85	85	P5_3	INPUT
84	84	84	P5_4	INPUT
83	83	83	P5_5	INPUT
82	82	82	P5_6	INPUT
81	81	81	P5_7	INPUT
80	80	-	P6_4	OUTPUT
79	79	-	P6_4	CONTROL
78	78	-	P6_4	INPUT
77	77	-	P6_5	OUTPUT
76	76	-	P6_5	CONTROL
75	75	-	P6_5	INPUT
74	74	-	P6_6	OUTPUT
73	73	-	P6_6	CONTROL
72	72	-	P6_6	INPUT
71	71	-	P6_7	OUTPUT
70	70	-	P6_7	CONTROL
69	69	-	P6_7	INPUT
68	68	68	P6_0	OUTPUT
67	67	67	P6_0	CONTROL
66	66	66	P6_0	INPUT
65	65	65	P6_1	OUTPUT
64	64	64	P6_1	CONTROL
63	63	63	P6_1	INPUT
62	-	-	P7_0	OUTPUT
61	-	-	P7_0	CONTROL
60	-	-	P7_0	INPUT
59	-	-	P7_1	OUTPUT
58	-	-	P7_1	CONTROL
57	-	-	P7_1	INPUT
56	56	-	P7_2	OUTPUT
55	55	-	P7_2	CONTROL
54	54	-	P7_2	INPUT
53	-	-	P7_3	OUTPUT
52	-	-	P7_3	CONTROL
51	-	-	P7_3	INPUT
50	-	-	P7_4	OUTPUT
49	-	-	P7_4	CONTROL
48	-	-	P7_4	INPUT
47	47	47	P6_2	OUTPUT
46	46	46	P6_2	CONTROL
45	45	45	P6_2	INPUT
44	44	44	P6_3	OUTPUT
43	43	43	P6_3	CONTROL
42	42	42	P6_3	INPUT
41	-	-	P7_5	OUTPUT
40	-	-	P7_5	CONTROL
39	-	-	P7_5	INPUT
38	-	-	P9_7	OUTPUT
37	-	-	P9_7	CONTROL

324 ピン ビット番号	272/256 ピン ビット番号	176 ピン ビット番号	端子名 (注1)	タイプ
36	-	-	P9_7	INPUT
35	-	-	P9_6	OUTPUT
34	-	-	P9_6	CONTROL
33	-	-	P9_6	INPUT
32	32	-	P7_6	OUTPUT
31	31	-	P7_6	CONTROL
30	30	-	P7_6	INPUT
29	29	-	P7_7	OUTPUT
28	28	-	P7_7	CONTROL
27	27	-	P7_7	INPUT
26	-	-	P9_5	OUTPUT
25	-	-	P9_5	CONTROL
24	-	-	P9_5	INPUT
23	-	-	P9_4	OUTPUT
22	-	-	P9_4	CONTROL
21	-	-	P9_4	INPUT
20	20	-	PB_5	OUTPUT
19	19	-	PB_5	CONTROL
18	18	-	PB_5	INPUT

324 ピン ビット番号	272/256 ピン ビット番号	176 ピン ビット番号	端子名 (注1)	タイプ
17	-	-	P9_3	OUTPUT
16	-	-	P9_3	CONTROL
15	-	-	P9_3	INPUT
14	-	-	P9_2	OUTPUT
13	-	-	P9_2	CONTROL
12	-	-	P9_2	INPUT
11	11	-	PB_4	OUTPUT
10	10	-	PB_4	CONTROL
9	9	-	PB_4	INPUT
8	8	-	PB_3	OUTPUT
7	7	-	PB_3	CONTROL
6	6	-	PB_3	INPUT
5	5	-	PB_2	OUTPUT
4	4	-	PB_2	CONTROL
3	3	-	PB_2	INPUT
2	2	-	PB_1	OUTPUT
1	1	-	PB_1	CONTROL
0	0	-	PB_1	INPUT

注1.　「1.6　端子一覧」の「ポート機能／専用機能」の端子名
注2.　オープンドレイン端子です。Lowにすることで Low 出力、Highにすることで Hi-Z となります。
注3.　全ての CONTROL はローアクティブです。CONTROL を Low にすることで該当端子を OUT 値に出力します。
注4.　バウンダリスキャン時は、TTL レベル入力になります。

53.3.4　ID レジスタ（BSID）

BSID は、CPU からは、アクセスすることができない 32 ビットのレジスタです。端子側からは、IDCODE のコマンドがセットされたときに、読み出し可能です。書き込みはできません。

CPU からは、「5.11.1　BSID レジスタ (BSID)」をアクセスすることにより、デバイス ID を読み出すことができます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DID[31:16]															
初期値：	0	0	0	0	1	0	0	0	0	0	1	1	1	0	1	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DID[15:0]															
初期値：	0	1	1	0	0	1	0	0	0	1	0	0	0	1	1	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31～0	DID[31:0]	H'083B6447	—	デバイス JTAG に規定されている ID レジスタです。ただし、上位 4 ビットは、チップのバージョンにより変更されることがあります。

53.4　ICE レジスタの説明

デバッガインタフェースは、ICE レジスタという以下のレジスタを持っています。
なお、ICE レジスタはデバッグ用途のレジスタのため、デバッグ目的以外では使用しないでください。

表 53.14　ICE レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス		アクセスサイズ
				CPU view	Debugger View	
モードリセットコントロールレジスタ	ICEREGMDRSTCTL(注1)	R/W	H'0000111E	H'FC00F000	H'8000F000	32
JTAG トレースセレクトレジ スタ	ICEREGJTTRCSEL(注1)	R/W	H'00000000	H'FC00F004	H'8000F004	32
クロックパワーコントロールレジスタ	ICEREGCLKPWRCTRL(注1)	R/W	H'00000000	H'FC00F014	H'8000F014	32
ロックアクセスレジスタ	ICEREGLOCKACCES	W	—	H'FC00FFB0	H'8000FFB0	32

注1.　CPU からこれらのレジスタに値を書き込むためには、ICEREGLOCKACCESS に "H'C5ACCE55" が設定されている必要があります。

53.4.1　モードリセットコントロールレジスタ（ICEREGMDRSTCTL）

ICEREGMDRSTCTL は、デバッグモード設定やソフトリセットを行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	RSTRB_CPU0_DERSTZ	—	—	—	RSTRB_CPU0_CPURSTZ	—	—	—	—	—	RSTRB_CPU_PRSTDBGZ	RSTRB_CPU_SYSRSTZ	—
初期値：	0	0	0	1	0	0	0	1	0	0	0	1	1	1	1	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説　明
31 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
12	RSTRB_CPU0_DERSTZ	1	R/W	NEON リセット（low-active） CPU の NEON リセット
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
8	RSTRB_CPU0_CPURSTZ	1	R/W	CPU リセット（low-active） CPU のシステムリセット（デバッグリソース以外）
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます
4	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	RSTRB_CPU_PRSTDBGZ	1	R/W	CPU サブシステムデバッグペリフェラルリセット（low-active） CPU サブシステムの Debug-APB をリセットします。
1	RSTRB_CPU_SYSRSTZ	1	R/W	CPU サブシステムリセット（low-active） CPU サブシステムの非デバッグ部をリセットします。
0	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

53.4.2　JTAG トレースセレクトレジスタ（ICEREGJTTRCSEL）

ICEREGJTTRCSEL は、端子へのトレースデータ出力、CPU へのデバッグイネーブル信号の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TRCCK_DIV_SEL[1:0]		—	—	—	—	TRCMUX_SEL	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
26、25	TRCCK_DIV_SEL [1:0]	00	R/W	トレースクロック出力の分周比を設定します。 00: Trace clock / 4 (33 MHz DDR) 01: Trace clock / 2 (66 MHz DDR) 10: Trace clock (132 MHz DDR) 11: 設定禁止
24 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
20	TRCMUX_SEL	0	R/W	トレース出力が割り当てられている端子のピンマルチの優先順位を設定します。 0：汎用入出力ポートの設定に従う 1：汎用入出力ポートの設定によらず、当該端子の機能はトレース出力となる。
19 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。

53.4.3　クロックパワーコントロールレジスタ（ICEREGCLKPWRCTRL）

ICEREGCLKPWRCTRL は、FAKE デバッグモードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FAKEDBG CTRL	—	—	—	—	—	—	FAKE DBG
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7	FAKEDBG CTRL	0	R/W	FAKE デバッグモード(注1)の有効/無効を設定します。 0：電源の制御はスタンバイコントロールレジスタ 1（STBCR1）に従います。 1：電源の制御は本レジスタに従います。
6 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	FAKEDBG	0	R/W	ディープスタンバイモード時の電源の制御方法を選択します。 0：ディープスタンバイモードで実際に電源を停止します。 1：ディープスタンバイモードでも電源を停止しません。

注1.　FAKE デバッグモードは、ディープスタンバイモード遷移時に、デバッガインタフェースを含めたすべてのモジュールの電源遮断を無効にし、電源が供給されたままの状態にすることができます。FAKE デバッグモードを使用することで、ディープスタンバイモードへの遷移後に、ディープスタンバイモードから解除するシステムのソフトウェアデバッグを行うことが可能です。
FAKE デバッグモードは、デバッグ用途以外では使用しないでください。
FAKE デバッグモードを使用する場合は、FAKEDBGCTRL ビットと FAKEDBG ビットを共に"1"に設定してください。

53.4.4　ロックアクセスレジスタ（ICEREGLOCKACCESS）

ICEREGLOCKACCESS は、CPU から ICE レジスタへのアクセスを可能にします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICEREGLOCKACCESS															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICEREGLOCKACCESS															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	ICEREG LOCKACCESS	—	W	CPU から ICE レジスタにライトする際は、本レジスタに最初に H'C5ACCE55 を書き込んでください。

53.5　動作説明

53.5.1　TAP コントローラ

図 53.3 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

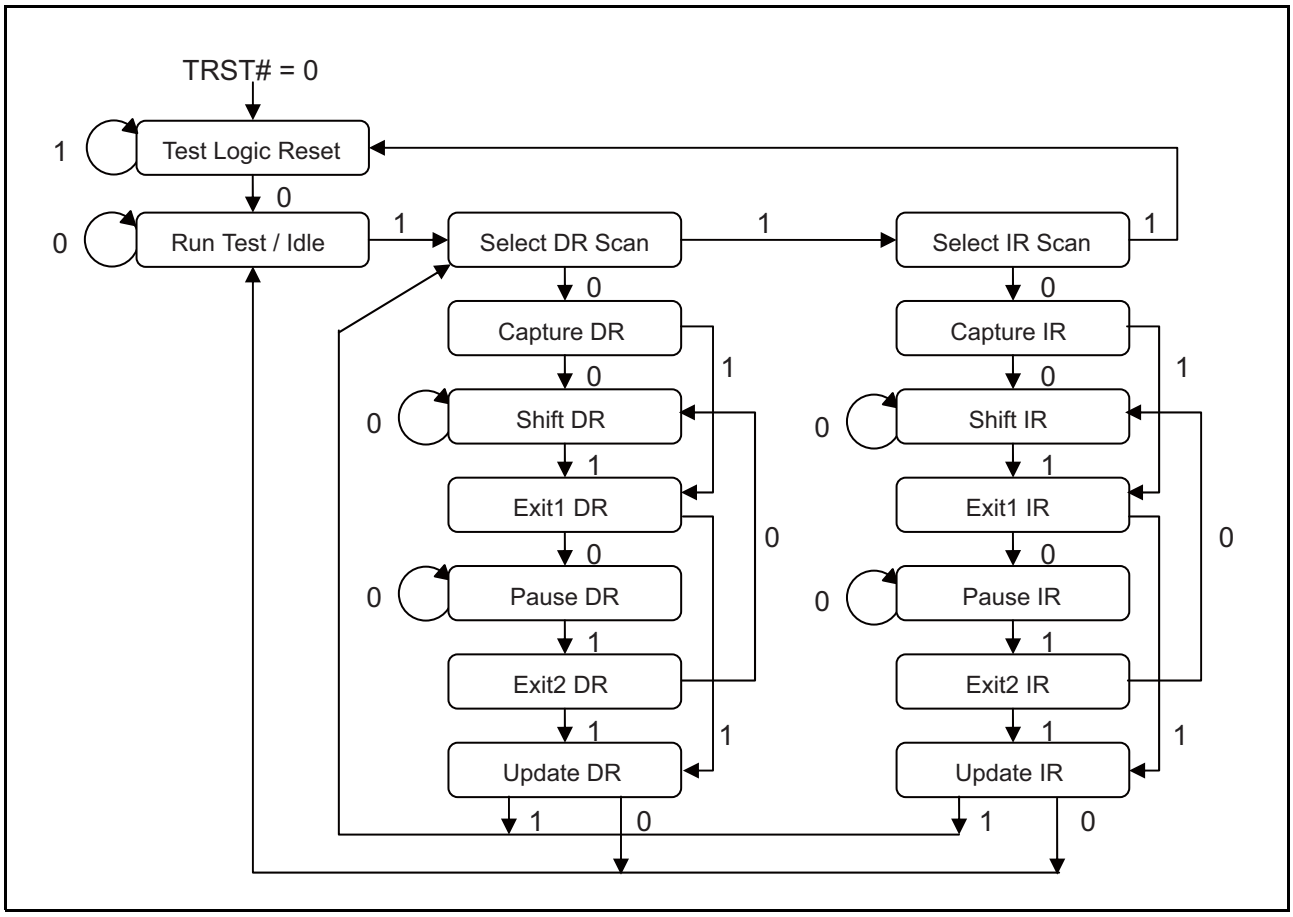


図 53.3　TAP コントローラ状態遷移図

注 .　遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO は TCK の立ち下がりエッジで出力されます。
TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。
TRST# のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

53.5.2　リセット構成

表 53.15　リセット構成

RES#	TRST#	チップ状態
L	L	パワーオンリセットおよび本モジュールのリセット（注1）
	H	パワーオンリセット（注1）
H	L	本モジュールのみリセット
	H	通常動作

注1.　RES#端子がローレベル、且つ、TRST#端子がローレベルで、CPU と CoreSight はリセット状態となります。
次にTRST#端子をネゲート後、RES#端子をローレベルに保った状態で、デバッグ設定を行ってください。

53.6　バウンダリスキャン

本モジュールから BSIR にコマンドを設定することにより、端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

53.6.1　サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令（BYPASS、SAMPLE/PRELOAD、および EXTEST）と 3 つのオプション命令（IDCODE、CLAMP、および HIGHZ）をサポートします。

(1)　BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令は、シフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(2)　SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中、本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は、何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは、Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力ピンから不定値が出力される（EXTEST 命令では出力ピンに常にパラレル出力ラッチを出力する）ことになります。

(3)　EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD 命令ですでに設定されています）をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うときは、N 回目のテストデータは（N-1）回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません（シフト動作で入れ換えます）。

(4)　IDCODE

端子から BSIR にコマンドを設定することにより端子を JTAG で規定されている IDCODE モードに設定できます。本モジュールを初期化した場合（TRST# のアサート、または TAP を Test-Logic-Reset 状態にする場合）は、IDCODE モードになります。

(5)　CLAMP、HIGHZ

端子から BSIR にコマンドを設定することにより端子を JTAG で規定されている CLAMP、および HIGHZ モードに設定できます。

53.6.2　注意事項

以下の信号は、バウンダリスキャン対象外です。

カテゴリ／モジュール	クロック	リセット、割り込み	デバッガインタフェース	USB 2.0 ホストファンクションモジュール
端子名	AUDIO_X1	RES#	TRST#	DP0
	AUDIO_X2		JP0_1	DM0
	USB_X1		JP0_0	RREF0
	USB_X2		TMS	DP1
	XTAL		TCK	DM1
	EXTAL		BSCANP	RREF1
	CKIO			
	RTC_X1			
	RTC_X2			
カテゴリ／モジュール	HyperBusコントローラ Octaメモリコントローラ	SPI マルチ I/O バスコントローラ	SD/MMC ホストインタフェース	MIPI CSI-2 インタフェース
端子名	HM_CK#	QSPI0_IO0	SD0_CLK	CSI_CLKP
	HM_CK / OM_SCLK	QSPI0_IO1	SD0_CMD	CSI_CLKN
	HM_CS0# / OM_CS0#	QSPI0_IO2	SD0_DAT0	CSI_DATA0P
	HM_CS1# / OM_CS1#	QSPI0_IO3	SD0_DAT1	CSI_DATA0N
	HM_DQ0 / OM_SIO0	QSPI0_SPCLK	SD0_DAT2	CSI_DATA1P
	HM_DQ1 / OM_SIO1	QSPI0_SSL	SD0_DAT3	CSI_DATA1N
	HM_DQ2 / OM_SIO2	QSPI1_IO0	SD0_DAT4	
	HM_DQ3 / OM_SIO3	QSPI1_IO1	SD0_DAT5	
	HM_DQ4 / OM_SIO4	QSPI1_IO2	SD0_DAT6	
	HM_DQ5 / OM_SIO5	QSPI1_IO3	SD0_DAT7	
	HM_DQ6 / OM_SIO6	QSPI1_SPCLK	SD0_RST#	
	HM_DQ7 / OM_SIO7	QSPI1_SSL	SD1_CLK	
	HM_RESET# / OM_RESET#	RPC_INT#	SD1_CMD	
	HM_RWDS / OM_DQS	RPC_RESET#	SD1_DAT0	
		RPC_WP#	SD1_DAT1	
			SD1_DAT2	
			SD1_DAT3	

53.7　使用上の注意事項

1. 本モジュールコマンドは、いったんセットされると他のコマンドが再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド（BYPASS モード等）をいったんセットしてから再度コマンドをセットする必要があります。
2. 本モジュールを使用する／しないにかかわらず、電源投入、ディープスタンバイ（FAKE デバッグモードを除く）からの RES# 端子アサートによる解除時は必ず TRST# 端子をローレベルにして本モジュールを初期化してください。
3. TRST# 端子ネゲート後、TAP コントローラを動かす際は必ず 200ns 以上間隔を空けてください。
4. TRST# 端子ネゲートから 200ns 経過するまでの間、TMS 端子はハイレベルに固定してください。

54. Trusted Secure IP

本 LSI は、セキュリティ機能に対応した Trusted Secure IP を内蔵しています。Trusted Secure IP はアクセスマネジメント回路、暗号エンジン、乱数生成回路から構成されます。Trusted Secure IP は、Trusted Secure IP ドライバを組み合わせることで、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」が実現できます。

また、暗号、復号の処理に用いる鍵情報は Trusted Secure IP 内のみに格納し、外部からのアクセスを遮断することが可能なため、より強固なセキュリティシステムを実現することができます。

54.1 概要

表 54.1 に Trusted Secure IP の仕様を示します。**図 54.1** に Trusted Secure IP のブロック図を示します。

表 54.1 Trusted Secure IP の仕様

項目	内容
アクセス制御	アクセスマネジメント回路 • プログラムの改ざんや、CPU の暴走等により Trusted Secure IP への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、Trusted Secure IP からのデータ出力を停止
暗号エンジン	AES：NIST FIPS PUB 197 準拠 • 鍵長：128 ビット/192 ビット/256 ビット • データブロック長：128 ビット • 暗号利用モード ECB, CBC, CTR：NIST SP 800-38A 準拠 CMAC：NIST SP 800-38B 準拠 CCM：NIST SP 800-38C 準拠 GCM：NIST SP 800-38D 準拠 XTS：NIST SP 800-38E 準拠 GCTR • 実行サイクル数（注1） ECB, CBC, CTR, CMAC, GCTR, XTS： 鍵長 128 ビット：Bφ 11 サイクル、192 ビット：Bφ 13 サイクル、256 ビット：Bφ 15 サイクル CCM： 鍵長 128 ビット：Bφ 22 サイクル、192 ビット：Bφ 26 サイクル、256 ビット：Bφ 30 サイクル AES-GCM • AES-GCTR と GHASH の組み合わせで AES GCM を実現 RSA • 鍵長：最大 2048 ビット • データブロック長：最大 2048 ビット • 実行サイクル数：Bφ 約 130 万サイクル(CRT を用いた場合)（注1） TDES • 鍵長：56 ビット/2 × 56 ビット/3 × 56 ビット • データブロック長：64 ビット • 暗号利用モード：ECB, CBC • 実行サイクル数（注1） 56 ビット：Bφ 16 サイクル、2 × 56 ビット：Bφ 32 サイクル、3 × 56 ビット：Bφ 48 サイクル ARC4 • 鍵長：2048 ビット • データブロック長：128 ビット • 実行サイクル数：Bφ 16 サイクル（注1） HASH SHA1、SHA224/SHA256/MD5、GHASH に対応 • データブロック長：512 ビット • 実行サイクル数（注1） SHA1：Bφ 80 サイクル SHA224/SHA256/MD5：Bφ 64 サイクル GHASH：Bφ 9 サイクル

項目	内容
暗号エンジン	鍵の管理 • 鍵はTrusted Secure IPの内部でのみ有効 • Trusted Secure IPの外部には鍵生成情報のみを出力 • 鍵生成情報をTrusted Secure IPに入力することで、鍵が再生成可能 エンディアン • ビッグエンディアン、リトルエンディアンに対応
乱数生成	32ビット真正乱数生成回路 • 32ビット真正乱数を用いてTrusted Secure IP ドライバにより128ビット、256ビットの真正乱数を生成可能 • 生成した128ビット、256ビットの真正乱数を暗号、復号の鍵として使用可能
ユニークID	• LSI個体固有のID (ユニークID)をアクセスマネジメント回路から専用バス経由でアクセス可能 • ユニークIDを鍵生成情報に組み込むことで、本LSIグループの別の個体への不正コピーを防止可能
割り込み要因	10種類
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. Trusted Secure IP ドライバ呼び出しのオーバヘッドは含みません。

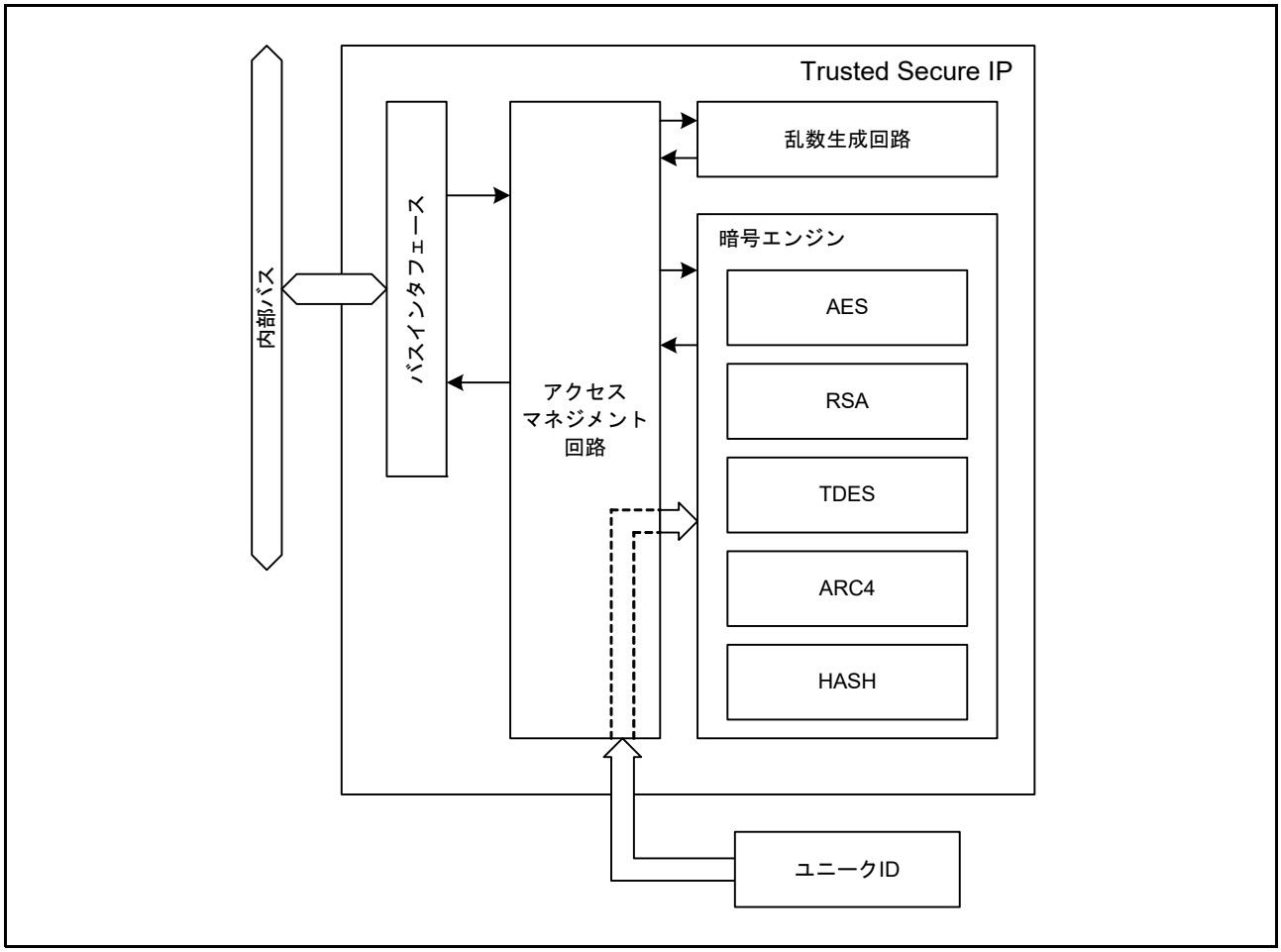


図 54.1 Trusted Secure IP のブロック図

54.2 動作説明

54.2.1 動作モードと状態遷移

図 54.2 に Trusted Secure IP の状態遷移図を示します。

Trusted Secure IP のセキュリティ機能を使用する場合は、ルネサス エレクトロニクスが提供する Trusted Secure IP ドライバを用いて、図に示す状態遷移に従って実行する必要があります。

また、プログラムの改ざんや CPU の暴走等により、手順を違反して Trusted Secure IP への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、Trusted Secure IP からのデータ出力を停止します。

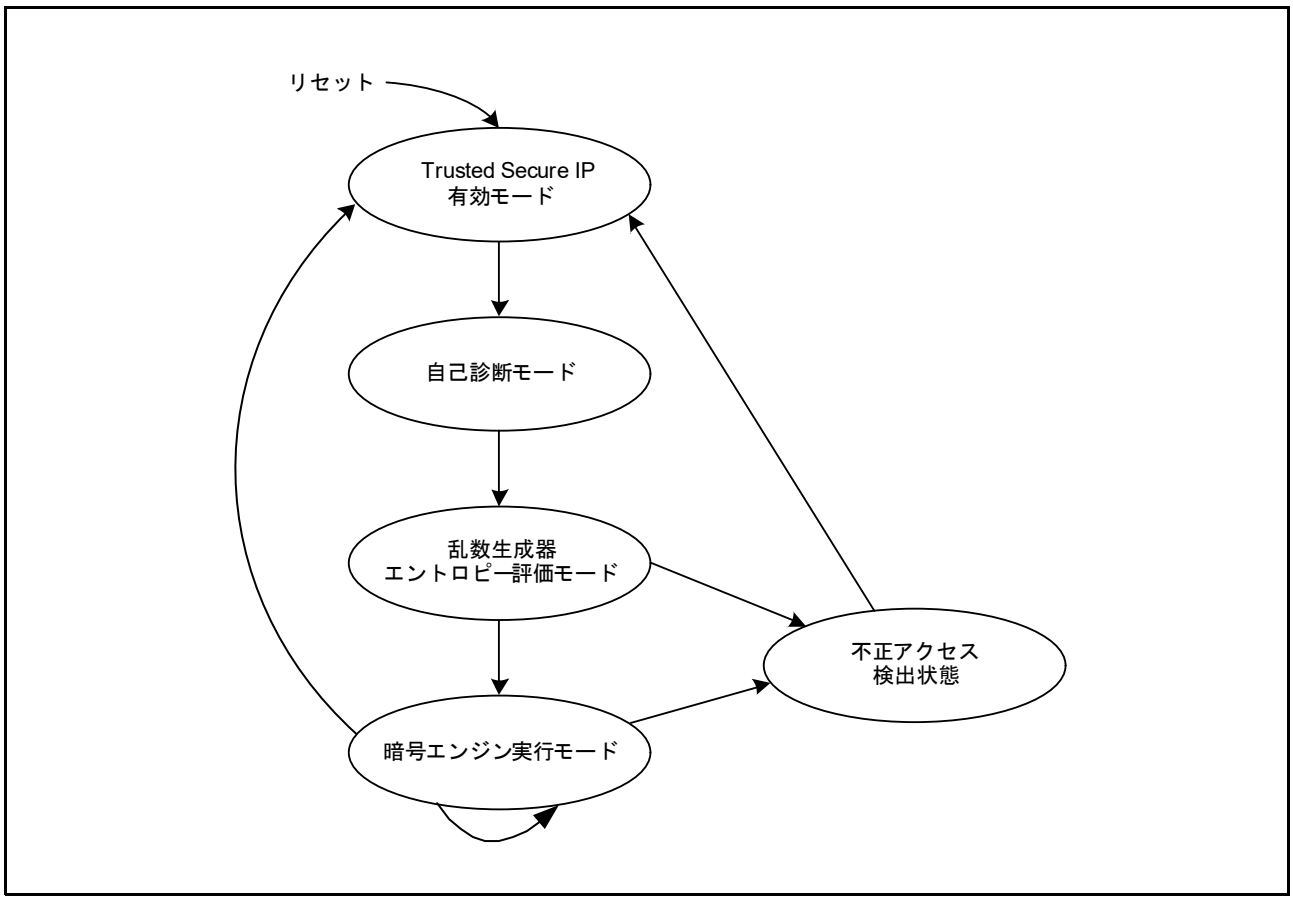


図 54.2 Trusted Cecure IP の動作モード状態遷移図

Trusted Secure IP が提供するセキュリティ機能の多くは、暗号エンジン実行モードで実行します。暗号エンジン実行モードでは、次の処理を行うことができます。

(1) 鍵データインストール
(2) 暗号 / 復号処理
(3) 鍵生成
(4) 乱数生成

54.2.2 暗号エンジン

Trusted Secure IP に搭載している暗号エンジンの概念図を図 54.3 に示します。

暗号エンジンは鍵生成情報を使用し、平文を暗号文に、または暗号文を平文に変換する処理をハードウェアで行います。

鍵データや暗号 / 復号処理の中間データが Trusted Secure IP の外部に出力されることなく、暗号 / 復号処理を行うことができます。

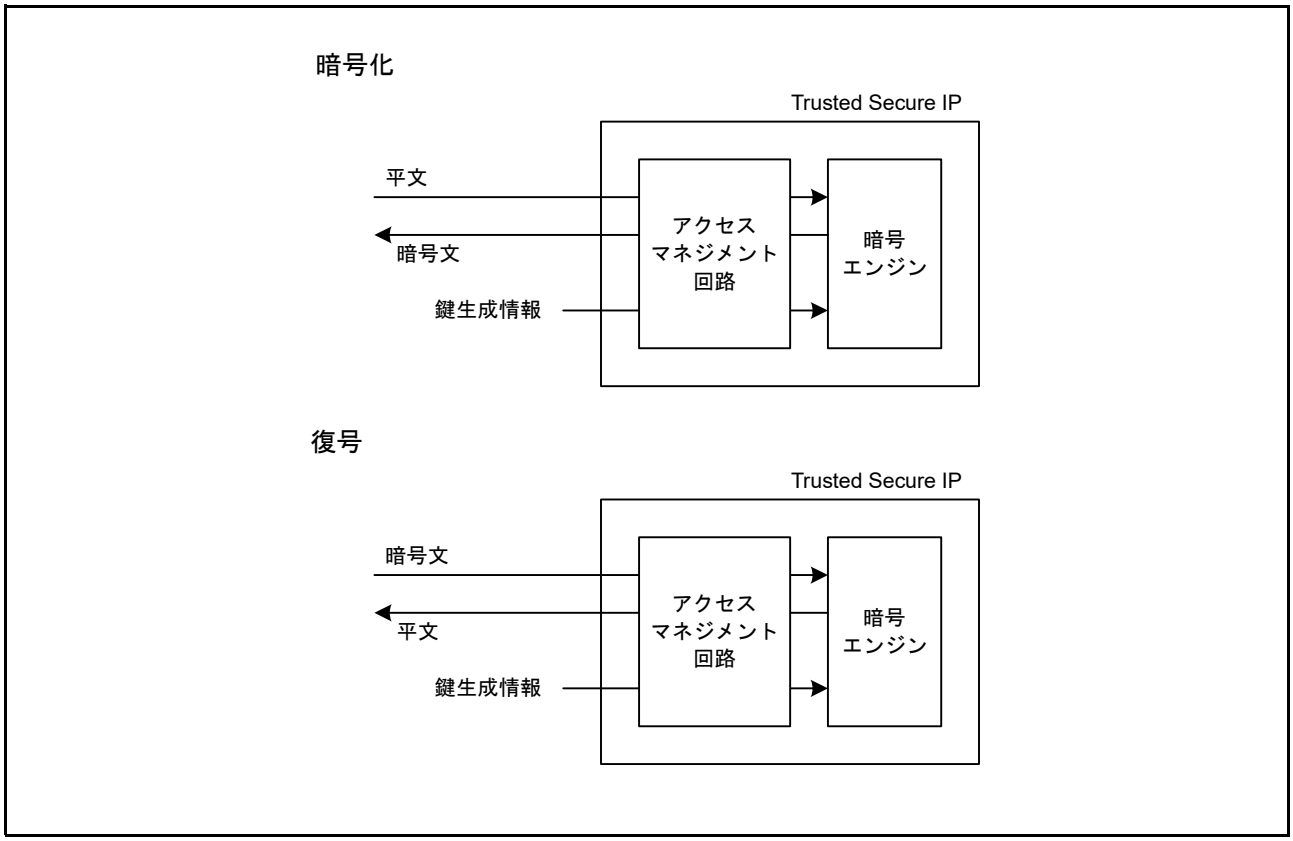


図 54.3 暗号エンジン概念図

54.2.3　鍵データインストール

鍵データのインストールは、ユーザ鍵を安全に鍵生成情報に変換してフラッシュメモリに格納する処理です。以下に鍵データのインストール手順について説明します。

(1) ユーザは、ユーザ鍵 (Key-1) を、ユーザ鍵を暗号化するための鍵 (Key-2) で暗号化します (eKey-1)。
(2) ユーザはシリアルインタフェースを用いて Trusted Secure IP に暗号化したユーザ鍵 (eKey-1) を送ります。
(3) Trusted Secure IP ドライバで提供される Key-2 の鍵生成情報 (Index-2) から Key-2 を復元し、この鍵を用いてユーザ鍵を復号します。
(4) ユーザ鍵をユニーク ID および乱数を用いてユーザ鍵生成情報 (Index-1) に変換し、フラッシュメモリに格納します。

これらのインストール手順の概念図を**図 54.4** に、フローを**図 54.5** に示します。
鍵データをインストールした後は、ユーザ鍵生成情報 (Index-1) を使用して暗号 / 復号処理を行います。

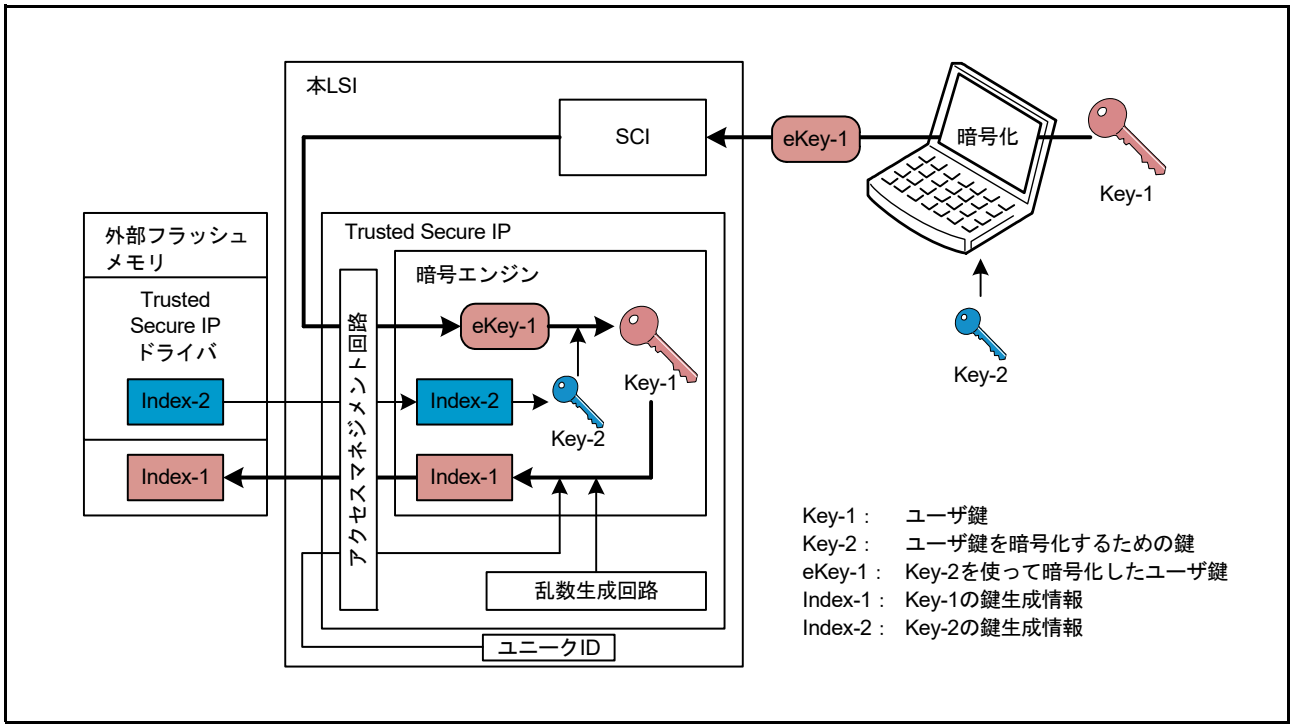


図 54.4　鍵インストール概念図

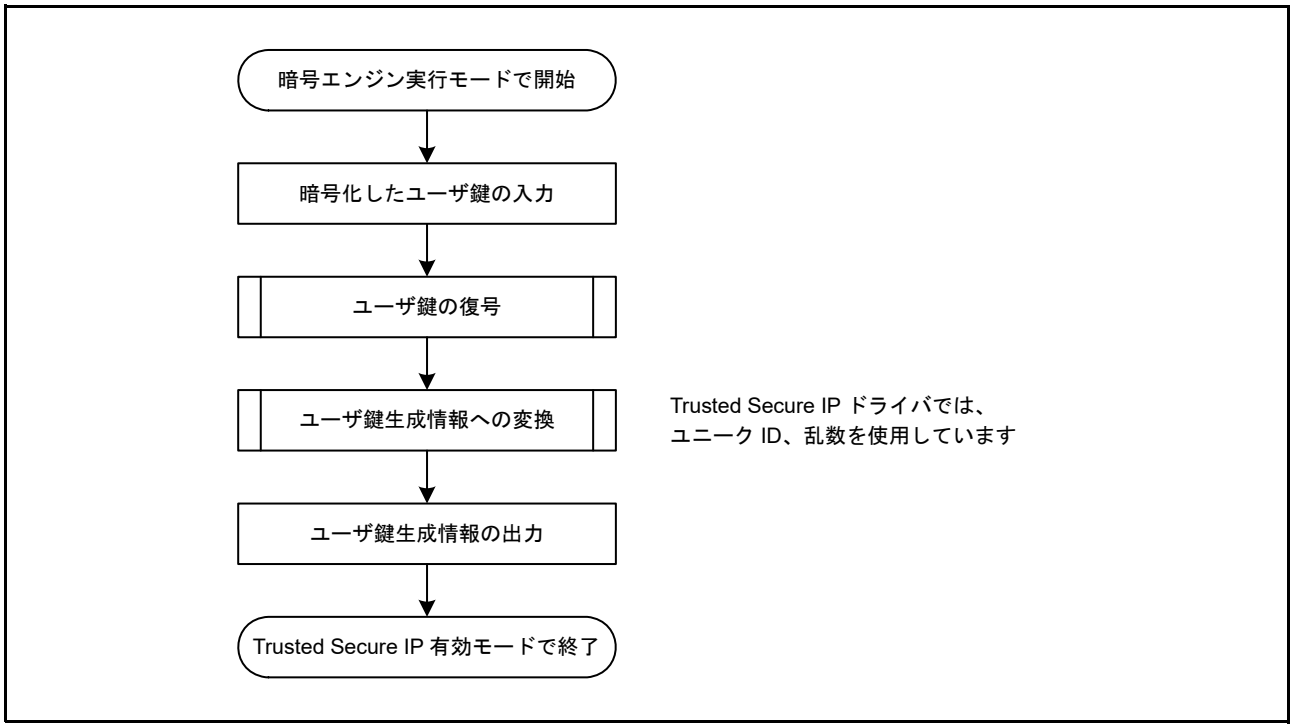


図 54.5 鍵インストールフロー

54.2.4 暗号 / 復号処理

暗号 / 復号処理は、以下の手順で行います。

(1) 鍵生成情報を Trusted Secure IP に入力し、鍵データを復元します。

(2) 処理対象のデータを Trusted Secure IP に入力します。平文は暗号文に、暗号文は平文に変換されます。

(3) 変換されたデータを読み出します。

暗号エンジンは入力バッファ、出力バッファを持っており、データの入出力と並行して暗号 / 復号処理を行うことができます。

図 54.6 に AES の暗号 / 復号処理タイミング図を、**図 54.7** に暗号化フロー、**図 54.8** に復号フローを示します。

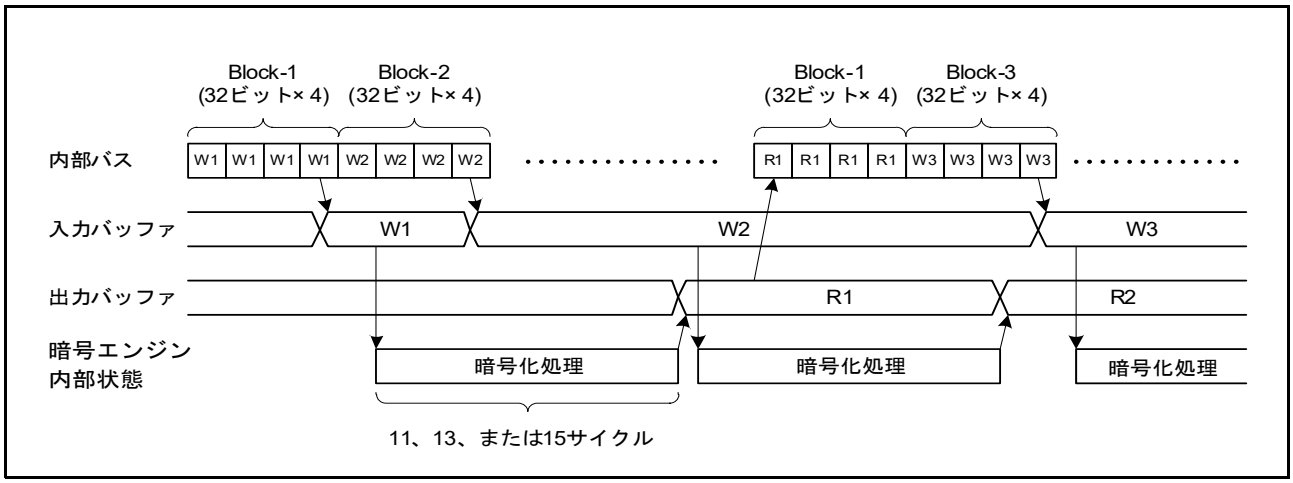


図 54.6 AES 暗号 / 復号処理タイミング図

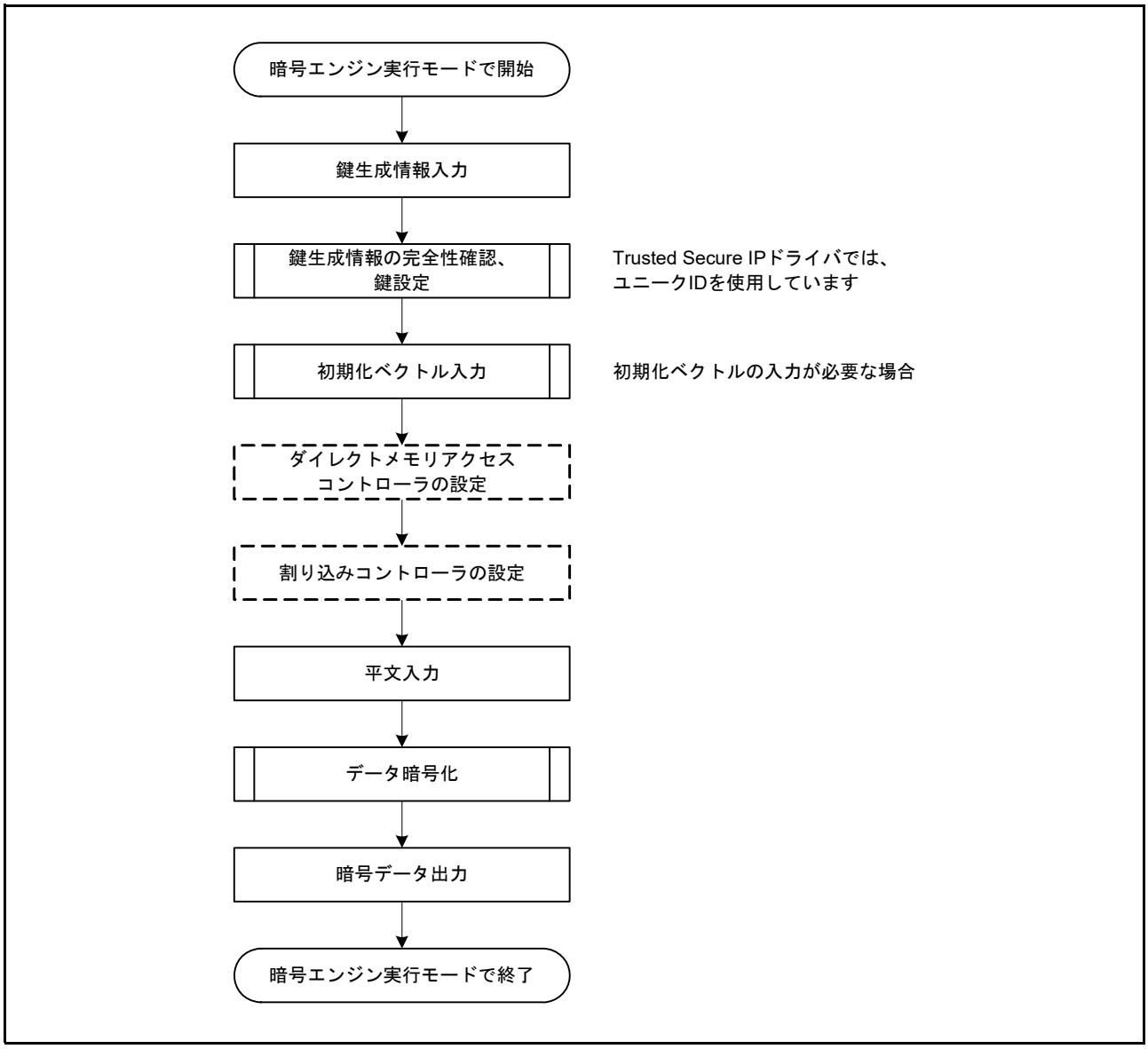

暗号エンジン実行モードで開始
鍵生成情報入力
鍵生成情報の完全性確認、
鍵設定
Trusted Secure IPドライバでは、
ユニークIDを使用しています
初期化ベクトル入力
初期化ベクトルの入力が必要な場合
ダイレクトメモリアクセス
コントローラの設定
割り込みコントローラの設定
平文入力
データ暗号化
暗号データ出力
暗号エンジン実行モードで終了

図 54.7 暗号化フロー

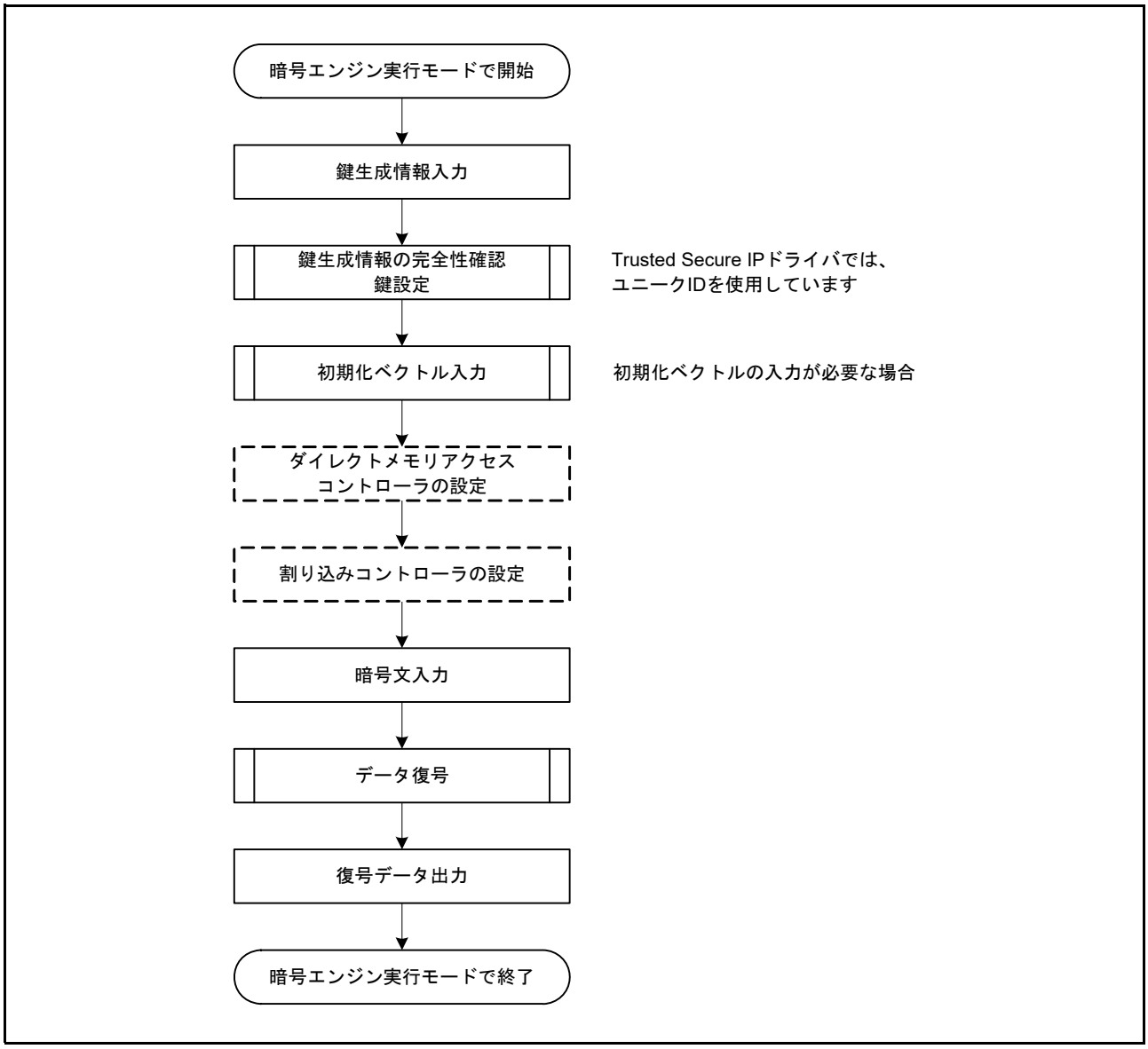

暗号エンジン実行モードで開始
鍵生成情報入力
鍵生成情報の完全性確認
鍵設定
Trusted Secure IPドライバでは、
ユニークIDを使用しています
初期化ベクトル入力
初期化ベクトルの入力が必要な場合
ダイレクトメモリアクセス
コントローラの設定
割り込みコントローラの設定
暗号文入力
データ復号
復号データ出力
暗号エンジン実行モードで終了

図 54.8 復号フロー

54.2.5 鍵生成情報作成 (乱数使用)

図 54.9 に乱数使用時の鍵生成情報作成フローを示します。

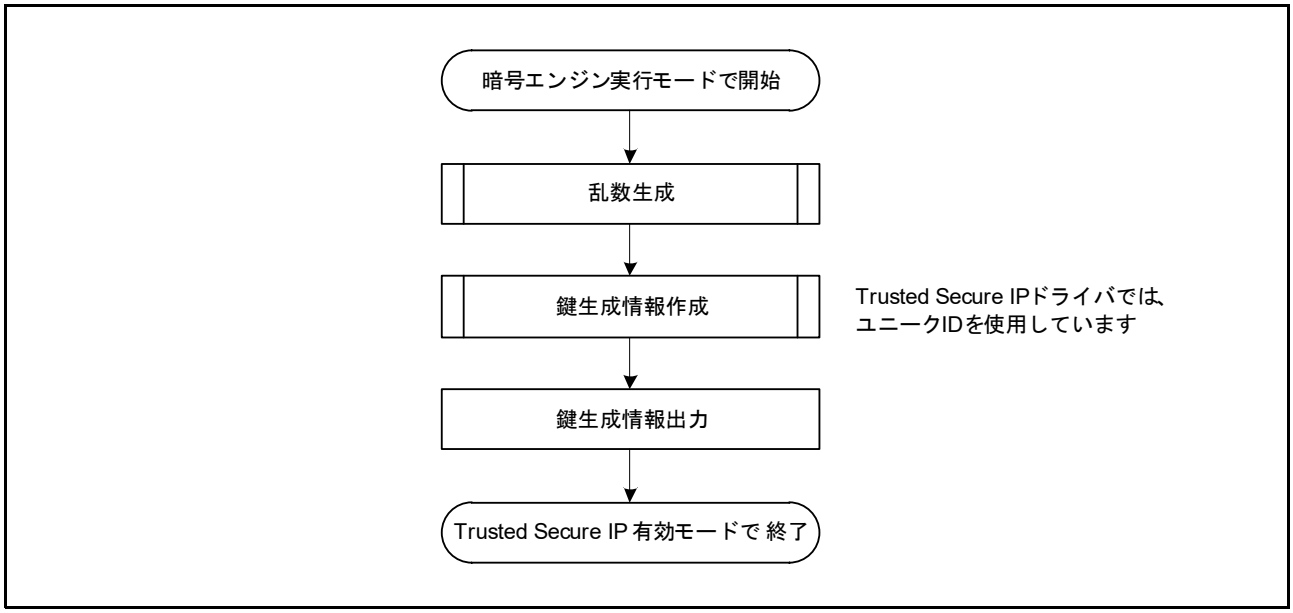


図 54.9 鍵生成情報作成フロー (乱数使用)

54.2.6 乱数生成

図 54.10 に乱数生成のフローを示します。

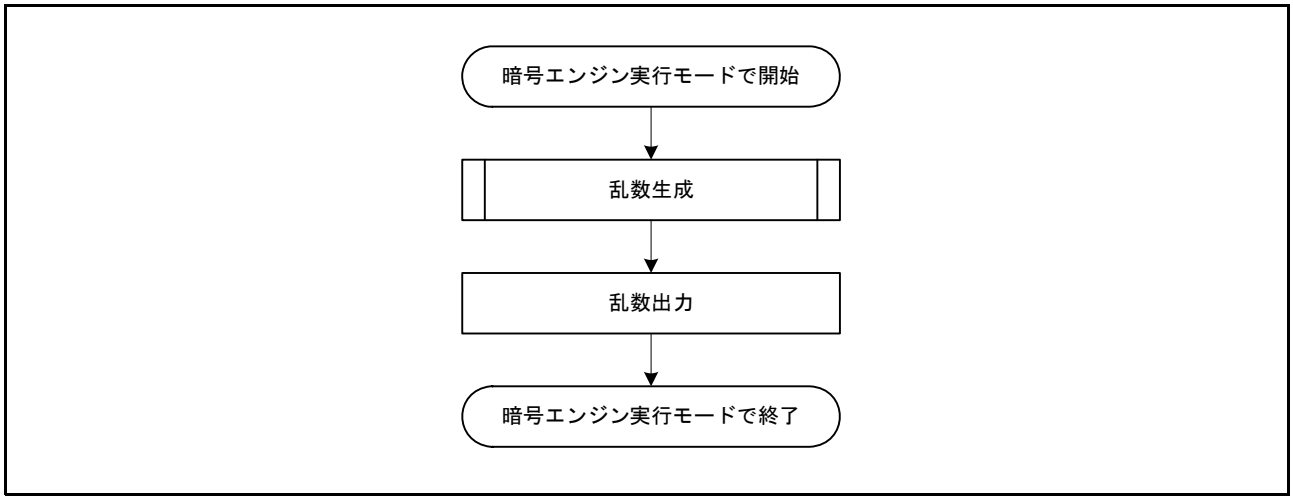


図 54.10 乱数生成フロー

54.3 割り込み

表 54.2 に Trusted Secure IP の割り込み要因の一覧を示します。

Trusted Secure IP ドライバではこれらの割り込みを使用して処理を行っています。これらの割り込み要因に対応する割り込みコントローラの設定を変更しないでください。

表 54.2 Trusted Secure IP の割り込み要因

名称	割り込み要因
PROC_BUSY	手順完了割り込み
ROMOK	改ざん検出割り込み
LONG_PLG	演算完了割り込み
WRRDY0	ライトレディ 0
WRRDY1	ライトレディ 1
WRRDY4	ライトレディ 4
RDRDY0	リードレディ 0
RDRDY1	リードレディ 1
IWRRDY	インテグレートライトレディ
IRDRDY	インテグレートリードレディ

54.4 使用上の注意事項

54.4.1 モジュールストップ機能の設定

「52.2.10 スタンバイコントロールレジスタ 10（STBCR10）」の MSTP107 ビットにより、Trusted Secure IP の動作を禁止 / 許可することができます。リセット後は、Trusted Secure IP の動作は停止しています。モジュールストップ状態を解除することにより、Trusted Secure IP にアクセスできます。詳細は「52. 低消費電力モード」を参照してください。

54.4.2 Trusted Secure IP ドライバ

Trusted Secure IP を使用する際は、ルネサス エレクトロニクスから提供する Trusted Secure IP ドライバが必要になります。Trusted Secure IP ドライバに関する情報は、弊社営業窓口にお問い合わせください。

55. レジスタ状態一覧

表55.1　レジスタ状態一覧

モジュール	レジスタ名	パワーオンリセット	ディープスタンバイ	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
2次キャッシュ	全レジスタ	初期化	初期化	保持	—	保持
LSI内部バス	全レジスタ	初期化	初期化	保持	—	保持
クロックパルス発振器	FRQCR	初期化 (注1)	初期化	保持	—	保持
	CKIOSEL	初期化	初期化	保持	—	保持
	SCLKSEL	初期化 (注2)	初期化 (注2)	保持	—	保持
割り込みコントローラ	全レジスタ	初期化	初期化	保持	—	保持
バスステートコントローラ	RTCSR	初期化	初期化	保持	—	保持 (注3)
	RTCNT	初期化	初期化	保持	—	保持 (注4)
	上記以外の全レジスタ	初期化	初期化	保持	—	保持
ダイレクト メモリアクセスコントローラ	全レジスタ	初期化	初期化	保持	—	保持 (注5)
マルチファンクションタイマパルスユニット3	全レジスタ	初期化	初期化	保持	保持	保持
ポートアウトプットイネーブル3	全レジスタ	初期化	初期化	保持	—	保持
汎用PWMタイマ	全レジスタ	初期化	初期化	保持	保持	保持
GPT用ポートアウトプットイネーブル	全レジスタ	初期化	初期化	保持	—	保持
OSタイマ	全レジスタ	初期化	初期化	保持	保持	保持
ウォッチドッグタイマ	WRCSR	初期化 (注1)	初期化	保持	—	保持
	PESR	初期化 (注1)	初期化	保持	—	保持
	上記以外の全レジスタ	初期化	初期化	保持	—	保持
リアルタイムクロック	R64CNT	保持 (注4)	保持 (注4)	保持 (注4)	保持 (注4)	保持 (注4)
	RSECCNT					
	BCNT0					
	RMINCNT					
	BCNT1					
	RHRCNT					
	BCNT2					
	RWKCNT					
	BCNT3					
	RDAYCNT					
	RMONCNT					
	RYRCNT					
	RSECAR					
	BCNT0AR					
	RMINAR					
	BCNT1AR					
	RHRAR					
	BCNT2AR					
	RWKAR					
	BCNT3AR					
	RDAYAR					
	BCNT0AER					

モジュール	レジスタ名	パワーオンリセット	ディープスタンバイ	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
リアルタイムクロック	RMONAR	保持 (注4)	保持 (注4)	保持 (注4)	保持 (注4)	保持 (注4)
	BCNT1AER					
	RYRAR					
	BCNT2AER					
	RYRAREN					
	BCNT3AER					
	RCR1	保持 (注6)	保持 (注6)	保持	保持	保持
	RCR2	保持 (注7)	保持 (注7)	保持	保持	保持
	RCR3	保持	保持	保持	保持	保持
	RCR4	保持	保持	保持	保持	保持
	RFRH	保持	保持	保持	保持	保持
	RFRL	保持	保持	保持	保持	保持
	RADJ	保持	保持	保持	保持	保持
FIFO内蔵シリアルコミュニケーションインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
シリアルコミュニケーションインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
ルネサスシリアルペリフェラルインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
SPIマルチI/Oバスコントローラ	全レジスタ	初期化 (注2)	初期化 (注2)	保持	保持	保持
HyperBus コントローラ	全レジスタ	初期化 (注2)	初期化 (注2)	保持	保持	保持
Octa メモリコントローラ	全レジスタ	初期化 (注2)	初期化 (注2)	保持	保持	保持
I^2Cバスインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
シリアルサウンドインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
CANFDインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
ルネサスSPDIFインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
イーサネットコントローラ	全レジスタ	初期化	初期化	保持	保持	保持
イーサネットコントローラ用PTPコントローラ	全レジスタ	初期化	初期化	保持	保持	保持
イーサネットコントローラ用DMAコントローラ	全レジスタ	初期化	初期化	保持	保持	保持
A/Dコンバータ	全レジスタ	初期化	初期化	保持	保持	保持
NANDフラッシュコントローラ	全レジスタ	初期化	初期化	保持	保持	保持
USB 2.0ホストモジュール	全レジスタ	初期化	初期化	保持	保持	保持
USB 2.0ファンクションモジュール	全レジスタ	初期化	初期化	保持	保持	保持
ビデオディスプレイコントローラ6	全レジスタ	初期化	初期化	保持	保持	保持
LVDS 出力インタフェース	全レジスタ	初期化	初期化	保持	保持	保持
歪み補正エンジン2	全レジスタ	初期化	初期化	保持	保持	保持
2D 描画エンジン	全レジスタ	初期化	初期化	保持	保持	保持
スプライトエンジン	全レジスタ	初期化	初期化	保持	保持	保持
JPEGコーデックユニット	全レジスタ	初期化	初期化	保持	保持	保持
キャプチャエンジンユニット	全レジスタ	初期化	初期化	保持	保持	保持
MIPI CSI-2 インタフェース	全レジスタ	初期化	初期化	保持	保持	保持
ビデオインプットモジュール	全レジスタ	初期化	初期化	保持	保持	保持
SD/MMC ホストインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
汎用入出力ポート	全レジスタ	初期化 (注2)	初期化 (注2)	保持	—	保持

モジュール	レジスタ名	パワーオンリセット	ディープスタンバイ	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
低消費電力モード	DSFR, USBBSFR	初期化 (注1)	保持	保持	—	保持
	XTALCTR	初期化 (注1)	保持 (注8)	保持 (注8)	—	保持
	RTCXTALSEL	—	保持	保持	—	保持
	上記以外の全レジスタ	初期化 (注2)	初期化 (注2)	保持	—	保持
デバッガインタフェース	CA9-PMUのレジスタ (注9)	初期化	初期化	保持	—	保持
	上記以外の全レジスタ (注10)	保持	初期化 (注11)	保持	保持	保持
OTP	全レジスタ	初期化 (注12)	初期化 (注12)	保持	—	保持
DRP	全レジスタ	初期化	初期化	保持	保持	保持
Trusted Secure IP	全レジスタ	初期化	初期化	保持	保持	保持

注1.　ウォッチドッグタイマによる内部パワーオンリセットでは保持
注2.　初期化されますが、ブートプログラムで初期値と異なる値が設定されます。詳細は「3.　ブートモード」の章を参照してください。
注3.　フラグ処理続行
注4.　カウントアップ続行
注5.　転送動作継続可能
注6.　CIEビットは、初期化
注7.　RESET、ADJ30ビットは、初期化
注8.　リアルタイムクロックがEXTAL未使用時は初期化
注9.　TRST#のアサート時にIO領域(SLV7)からのアクセスはできません。
注10.　TRST#のアサート時に初期化されます。
注11.　FAKEデバッグモード時は保持されます。
注12.　初期値がOTPの書き込み値に依存するレジスタがあります。

56. 電気的特性

56.1 絶対最大定格

表 56.1　絶対最大定格

項目		記号	定格値	単位
電源電圧（I/O）		PVcc	−0.3～4.2	V
電源電圧（1.8V／3.3V 切替 I/O）		PVcc_SPI PVcc_SD0 PVcc_SD1	−0.3～4.2	V
電源電圧（1.8V I/O）		PVcc_HO	−0.3～4.2	V
電源電圧（内部）		Vcc	−0.3～1.6	V
PLL 電源電圧		PLLVcc	−0.3～1.6	V
アナログ電源電圧		AVcc	−0.3～4.2	V
USB トランシーバ部 アナログ電源電圧（I/O）		USBAPVcc1 USBAPVcc0	−0.3～4.2	V
USB トランシーバ部 デジタル電源電圧（I/O）		USBDPVcc1 USBDPVcc0	−0.3～4.2	V
LVDS アナログ電源電圧		LVDSAPVcc	−0.3～4.2	V
LVDS PLL 電源電圧		LVDSPLLVcc	−0.3～1.6	V
MIPI アナログ電源電圧		MIPIAVcc18	−0.3～2.6	V
入力電圧	1.8V 系 I/O の入力端子	V_{in}	−0.3～1.8V 系電源 (PVcc_HO, MIPIAVcc18)＋0.3	V
	1.8V／3.3V 切替 I/O の入力端子	V_{in}	−0.3～1.8V／3.3V 切替電源 (PVcc_SPI, PVcc_SD0, PVcc_SD1)＋0.3	V
	その他の入力端子	V_{in}	−0.3～3.3V 系電源 (PVcc, AVcc, USBAPVcc1, USBAPVcc0, USBDPVcc1, USBDPVcc0, LVDSAPVcc)＋0.3	V
動作温度	周囲温度	Ta	−40～85	℃
	ジャンクション温度	Tj	−40～125	
保存温度		T_{stg}	−55～125	℃

【使用上の注意】
絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

56.2 電源投入・切断シーケンス

1.2V 系電源（Vcc, PLLVcc, LVDSPLLVcc）、1.8V 系電源（PVcc_HO, MIPIAVcc18）、1.8V ／ 3.3V 切替電源（PVcc_SPI, PVcc_SD0, PVcc_SD1）および 3.3V 系電源（PVcc, AVcc, USBAPVcc1, USBAPVcc0, USBDPVcc1, USBDPVcc0, LVDSAPVcc）の投入・切断順序はどのような順序でも問題ありません。

電源の投入時は、必ず TRST# 端子を Low レベル、かつ RES# 端子を Low レベルにしてください。これが守られない場合、出力端子および入出力端子が不定出力し、それによってシステム全体が誤動作を引き起こす可能性があります。

電源の切断時も、上記が問題となる可能性がある場合は、TRST# 端子を Low レベル、かつ RES# 端子を Low レベルにしてください。

56.3　DC 特性

- 「表 56.2　DC 特性（2）【消費電流】」を除く条件

Vcc = 1.14 ～ 1.26V、PVcc = USBDPVcc0 = USBDPVcc1 = AVcc = 3.0 ～ 3.6V、
PVcc_SPI = 3.0 ～ 3.6V / 1.7 ～ 1.9V、PVcc_SD0 = 3.0 ～ 3.6V / 1.7 ～ 1.9V、
PVcc_SD1= 3.0 ～ 3.6V / 1.7 ～ 1.9V、PLLVcc = 1.14 ～ 1.26V、
USBAPVcc0 = USBAPVcc1 = 3.0 ～ 3.6V、LVDSAPVcc = 3.0 ～ 3.6V、
LVDSPLLVcc = 1.14 ～ 1.26V、PVcc_HO = MIPIAVcc18 = 1.7 ～ 1.9V、
Vss = AVss = USBVss = 0V、
Ta = － 40 ～ 85 ℃、Tj = － 40 ～ 125 ℃

- 「表 56.2　DC 特性（2）【消費電流】」の条件

Vcc = 1.20V、PVcc = USBDPVcc0 = USBDPVcc1 = AVcc = 3.3V、
PVcc_SPI = 3.3V / 1.8V、PVcc_SD0 = 3.3V / 1.8V、PVcc_SD1 = 3.3V / 1.8V、
PLLVcc = 1.20V、USBAPVcc0 = USBAPVcc1 = 3.3V、LVDSAPVcc = 3.3V、
LVDSPLLVcc = 1.20V、PVcc_HO = MIPIAVcc18 = 1.8V、
Vss = AVss = USBVss = 0V、
Ta = － 40 ～ 85 ℃、Tj = － 40 ～ 125 ℃、
Iφ = 528.0MHz、Gφ = 264.00MHz、Bφ = 132.00MHz、P1φ = 66.00MHz、P0φ = 33.00MHz

表56.2　　DC特性（1）【共通項目】

項目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		PVcc	3.0	3.3	3.6	V	
		PVcc_SPI PVcc_SD0 PVcc_SD1	1.7	1.8	1.9	V	1.8V 電源選択時
			3.0	3.3	3.6	V	3.3V 電源選択時
		PVcc_HO	1.7	1.8	1.9	V	
		Vcc	1.14	1.20	1.26	V	
PLL 電源電圧		PLLVcc	1.14	1.20	1.26	V	
アナログ電源電圧		AVcc	3.0	3.3	3.6	V	
USB 電源電圧		USBAPVcc1 USBAPVcc0 USBDPVcc1 USBDPVcc0	3.0	3.3	3.6	V	
LVDS アナログ電源電圧		LVDSAPVcc	3.0	3.3	3.6	V	
LVDS PLL 電源電圧		LVDSPLLVcc	1.14	1.20	1.26	V	
MIPI アナログ電源電圧		MIPIAVcc18	1.7	1.8	1.9	V	
入力リーク電流	全入力端子（MIPI CSI-2インタフェース関連端子(注1)除く）	$\lvert I_{in} \rvert$	—	—	1.0	μA	V_{in} = 0.5 ～ PVcc － 0.5V
	MIPI CSI-2インタフェース関連端子(注1)				10	μA	V_{in} = 0.5 ～ MIPIAVcc18 － 0.5V
スリーステートリーク電流	全入出力、出力端子（PD_0～PD_7除く）（オフ状態）	$\lvert I_{STI} \rvert$	—	—	1.0	μA	V_{in} = 0.5 ～ PVcc － 0.5V
	PD_0～PD_7		—	—	10	μA	
端子容量	USB 2.0ホスト／ファンクションモジュール関連端子(注2)	C_{in}	—	—	20	pF	
	上記以外の全入出力、入力端子		—	—	10	pF	

注1.　CSI_DATA0P, CSI_DATA0N, CSI_DATA1P, CSI_DATA1N, CSI_CLKP, CSI_CLKN端子
注2.　DP1, DP0, DM1, DM0端子

表 56.2　DC 特性（2）【消費電流】

項目	電源種類	記号	Typ.	Max.	単位	測定条件
通常動作時 消費電流	Vcc	Icc	—	994	mA	DRP 非動作
			—	400	mA	DRP を使用する場合は上記に加算
	PLLVcc	PLLIcc	—	21.8	mA	
	LVDSPLLVcc	LVDSPLLIcc	—	2.1	mA	
	MIPIAVcc18	MIPIAIcc18	—	10	mA	MIPI 通信時
	PVcc_HO	PIcc_HO	15（注 1）	—	mA	PVcc_HO = 1.8V HM_CK, HM_CK# / OM_SCLK = 132MHz
	PVcc_SPI	PIcc_SPI	15（注 1）	—	mA	PVcc_SPI = 3.3V QSPI0_SPCLK, QSPI1_SPCLK = 66MHz
			15（注 1）	—	mA	PVcc_SPI = 1.8V QSPI0_SPCLK, QSPI1_SPCLK = 132MHz
	PVcc_SD0	PIcc_SD0	15（注 1）	—	mA	PVcc_SD0 = 3.3V SD0_CLK = 33MHz
			11（注 1）	—	mA	PVcc_SD0 = 1.8V SD0_CLK = 132MHz
	PVcc_SD1	PIcc_SD1	15（注 1）	—	mA	PVcc_SD1 = 3.3V SD1_CLK = 33MHz
			11（注 1）	—	mA	PVcc_SD1 = 1.8V SD1_CLK = 132MHz
	PVcc	PIcc	100（注 1）	—	mA	
	USBDPVcc0＋ USBDPVcc1	UDPIcc	52（注 1）	—	mA	USB ハイスピード通信 1ch 使用時
			93（注 1）	—	mA	USB ハイスピード通信 2ch 使用時
			19（注 1）	—	mA	USB フルスピード通信 1ch 使用時
			29（注 1）	—	mA	USB フルスピード通信 2ch 使用時
	USBAPVcc0＋ USBAPVcc1	UAPIcc	—	11	mA	1ch 使用時
			—	18	mA	2ch 使用時
	LVDSAPVcc	LVDSAPIcc	—	30	mA	LVDS 通信時
	AVcc	AIcc	—	1	mA	A/D 変換時
スリープ時 消費電流	Vcc	I_{sleep}	—	850	mA	
	上記以外は通常動作時と同じです					
ソフトウェアスタンバイ時 消費電流	Vcc＋ PLLVcc＋ LVDSPLLVcc	I_{sstby}	30	500	mA	
	MIPIAVcc18＋ PVcc_SPI＋ PVcc_HO＋ PVcc_SD0＋ PVcc_SD1	$PI_{sstby18_33}$	0.4	3.4	μA	
	PVcc＋ AVcc＋ USBAPVcc1＋ USBAPVcc0＋ USBDPVcc1＋ USBDPVcc0＋ LVDSAPVcc	PI_{sstby}	3	20	μA	USB 2.0 ホスト／ファンクション モジュール未使用時
			4.5	5	mA	USB 2.0 ホスト／ファンクション モジュール使用時

項目	電源種類	記号	Typ.	Max.	単位	測定条件
ディープスタンバイ時消費電流	Vcc＋PLLVcc＋LVDSPLLVcc	I_{dstby}	16	155	μA	RAM 0KB 保持
			22	170	μA	RAM 16KB 保持
			28	185	μA	RAM 32KB 保持
			40	215	μA	RAM 64KB 保持
			64	275	μA	RAM 128KB 保持
	MIPIAVcc18＋PVcc_SPI＋PVcc_HO＋PVcc_SD0＋PVcc_SD1	$PI_{dstby18_33}$	0.4	2.1	μA	
	PVcc＋AVcc＋USBAPVcc1＋USBAPVcc0＋USBDPVcc1＋USBDPVcc0＋LVDSAPVcc	PI_{dstby}	2.4	7	μA	RTC非動作時
			7.7	12.5	μA	RTC_X1選択時
			1.3	—	mA	EXTAL 12MHz選択 ドライバ小時
			1.5	—	mA	EXTAL 24MHz選択 ドライバ小時

注1.　参考値です。実際の動作電流はシステムに大きく依存します（I/O の負荷による波形なまり、トグル頻度等）ので、必ずシステムでの実測を行ってください。

表56.2　DC特性（3）【1.8V／3.3V切替I/Oインタフェース、I^2C バスインタフェース、USB 2.0 ホスト／ファンクションモジュール関連端子を除く】

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧(注1)		V_{IH}	2.2	—	PVcc ＋ 0.3	V	
入力ローレベル電圧(注1)		V_{IL}	－ 0.3	—	0.8	V	
シュミットトリガ入力特性		VT＋	PVcc × 0.665	—	PVcc ＋ 0.3	V	
		VT－	－ 0.3	—	0.8	V	
		VT＋－ VT－	0.2	—	—	V	
出力ハイレベル電圧		V_{OH}	PVcc － 0.5	—	—	V	I_{OH} = －8.0mA (注2), －2.0mA (注3)
出力ローレベル電圧		V_{OL}	—	—	0.4	V	I_{OL} = 8.0mA (注2), 2.0mA (注3)
RAMスタンバイ電圧	ソフトウェアスタンバイモード時（大容量内蔵RAM）	V_{RAMS}	0.85	—	—	V	Vccをパラメータ として測定
	ディープスタンバイモー ド時（保持用内蔵RAMのみ）	V_{RAMD}	1.14	—	—	V	

注1.　シュミット機能を除く
注2.　高駆動が選択できる端子で高駆動を設定した場合の値
注3.　高駆動が選択できる端子で通常駆動を設定した場合の値、あるいは通常駆動固定の端子の値

表56.2　DC特性（4）【1.8V／3.3V切替I/Oインタフェース (注)】

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	1.27	—	PVcc_(注) ＋ 0.3	V	1.8V電源選択時のPVcc_SPI
				2		1.8V電源選択時のPVcc_SD0, PVcc_SD1
		PVcc_(注) × 0.625	—	PVcc_(注) ＋ 0.3	V	3.3V電源選択時
入力ローレベル電圧	V_{IL}	－ 0.3	—	0.58	V	1.8V電源選択時
		－ 0.3	—	PVcc_(注) × 0.25	V	3.3V電源選択時
出力ハイレベル電圧	V_{OH}	1.4	—	—	V	1.8V電源選択時 I_{OH}＝－2.0mA
		PVcc_(注) × 0.75	—	—	V	3.3V電源選択時 I_{OH}＝－2.0mA
出力ローレベル電圧	V_{OL}	—	—	0.45	V	1.8V電源選択時 I_{OL}＝2.0mA
		—	—	PVcc_(注) × 0.125	V	3.3V電源選択時 I_{OL}＝2.0mA

注.　PVcc_SPI, PVcc_SD0, PVcc_SD1

表56.2　DC特性（5）【1.8V I/Oインタフェース（注）】

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	1.27	—	PVcc_（注）＋0.3	V	
入力ローレベル電圧	V_{IL}	－0.3	—	0.58	V	
出力ハイレベル電圧	V_{OH}	1.4	—	—	V	I_{OH}＝－2.0mA
出力ローレベル電圧	V_{OL}	—	—	0.45	V	I_{OL}＝2.0mA

注.　PVcc_HO

表56.2　DC特性（6）【I^2C バスインタフェース関連端子（注）】

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	PVcc × 0.7	—	PVcc ＋ 0.3	V	
入力ローレベル電圧	V_{IL}	－0.3	—	PVcc × 0.3	V	
シュミットトリガ入力特性	$V_{IH}－V_{IL}$	PVcc × 0.05	—	—	V	
出力ローレベル電圧	V_{OL}	—	—	0.4	V	I_{OL}＝3.0mA （RIICnFER.FMPE＝0）
		—	—	0.4	V	I_{OL}＝20.0mA （RIICnFER.FMPE＝1）

注.　PD_0～PD_7端子（オープンドレイン端子）

表56.2　DC特性（7）【USB 2.0ホスト／ファンクションモジュール関連端子（注）】

項目	記号	Min.	Typ.	Max.	単位	測定条件
基準抵抗	R_{REF}	2.2 kΩ ± 1%				

注.　RREF0, RREF1端子

表56.2　DC特性（8）【USB 2.0ホスト／ファンクションモジュール関連端子（注）（ロースピード／フルスピード／ハイスピード共通項目）】

項目	記号	Min.	Typ.	Max.	単位	測定条件
DPプルアップ抵抗 （ファンクション機能選択時）	R_{pu}	0.900	—	1.575	kΩ	アイドル時
		1.425	—	3.090	kΩ	送受信時
DP, DMプルダウン抵抗 （ホスト機能選択時）	R_{pd}	14.25	—	24.80	kΩ	

注.　DP1, DP0, DM1, DM0端子

表56.2　DC特性（9）【USB 2.0ホスト／ファンクションモジュール関連端子（注）（ロースピード／フルスピード時）】

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	2.0	—	—	V	
入力ローレベル電圧	V_{IL}	—	—	0.8	V	
差動入力感度	V_{DI}	0.2	—	—	V	|(DP)－(DM)|
差動コモンモード範囲	V_{CM}	0.8	—	2.5	V	
出力ハイレベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH}＝－200μA
出力ローレベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL}＝2mA
出力信号クロスオーバ電圧	V_{CRS}	1.3	—	2.0	V	C_L＝50pF（フルスピード時） C_L＝200～600pF（ロースピード時）

注.　DP1, DP0, DM1, DM0端子

表56.2　DC特性（10）【USB 2.0ホスト／ファンクションモジュール関連端子（注）（ハイスピード時）】

項目	記号	Min.	Typ.	Max.	単位	測定条件
スケルチ検出スレッショルド電圧（差動電圧）	V_{HSSQ}	100	—	150	mV	
コモンモード電圧範囲	V_{HSCM}	− 50	—	500	mV	
アイドル状態	V_{HSOI}	− 10.0	—	10.0	mV	
出力ハイレベル電圧	V_{HSOH}	360	—	440	mV	
出力ローレベル電圧	V_{HSOL}	− 10.0	—	10.0	mV	
Chirp J出力電圧（差分）	V_{CHIRPJ}	700	—	1100	mV	
Chirp K出力電圧（差分）	V_{CHIRPK}	− 900	—	− 500	mV	

注．　DP1, DP0, DM1, DM0端子

表56.2　DC特性（11）【LVDS関連端子（注）】

項目	記号	Min.	Typ.	Max.	単位	測定条件
Differential Output Voltage	VOD	250	350	450	mV	R_L＝100Ω
Difference VOD between ‘H’ and ‘L’	ΔVOD	—	—	50	mV	R_L＝100Ω
Offset (Common Mode) Voltage	VOS	1.125	1.25	1.375	V	R_L＝100Ω
Difference VOS between ‘H’ and ‘L’	ΔVOS	—	—	50	mV	R_L＝100Ω

注．　TXCLKOUTP, TXCLKOUTM, TXOUT2P～TXOUT0P, TXOUT2M～TXOUT0M端子

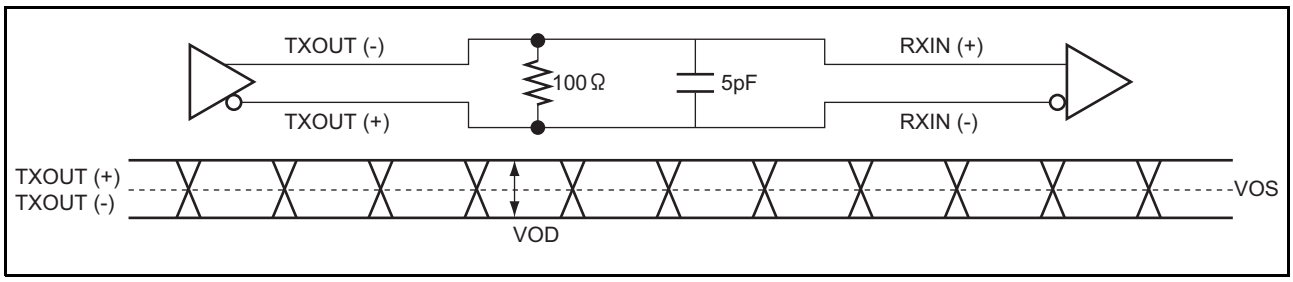


図 56.1　LVDS output waveform

表56.2　DC特性（12）【MIPI CSI-2 インタフェース関連端子（注）】

項目	記号	Min.	Typ.	Max.	単位	測定条件
Input signal voltage range	V_{PIN}	− 50	—	1350	mV	
Ground shift	V_{GNDSH}	− 50	—	50	mV	
transient pin voltage level	$V_{PIN(absmax)}$	− 0.15	—	1.45	V	
Differential input high threshold	V_{IDTH}	—	—	70	mV	HS Receiver
Differential input low threshold	V_{IDTL}	− 70	—	—	mV	HS Receiver
Single-ended input high voltage	V_{IHHS}	—	—	460	mV	HS Receiver
Single-ended input low voltage	V_{ILHS}	− 40	—	—	mV	HS Receiver
Input common mode voltage	$V_{CMRX(DC)}$	70	—	330	mV	HS Receiver
Differential input impedance	Z_{ID}	80	—	125	Ω	HS Receiver
Input high voltage	V_{IH}	880	—	—	mV	LP Receiver
Input low voltage	V_{IL}	—	—	550	mV	LP Receiver
Input hysteresis	V_{HYST}	—	50	—	mV	LP Receiver、参考値

注．　CSI_DATA0P, CSI_DATA0N, CSI_DATA1P, CSI_DATA1N, CSI_CLKP, CSI_CLKN端子

表56.3　　出力許容電流値

項目			記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流（1 端子当たり）	PD_0～PD_7	高速モード	IOL	—	—	20	mA
		通常モード				6	mA
	CKIO、SD0_CLK、SD1_CLK、PVcc_SPI、PVcc_HO電源で動作する出力端子	高駆動				12	mA
		通常駆動				8	mA
	SD0_CMD、SD0_DAT7 ～ SD0_DAT0、SD1_CMD、SD1_DAT3 ～ SD1_DAT0					6	mA
	その他の出力端子	高駆動 (注1)				8	mA
		通常駆動 (注2)				2	mA
出力ハイレベル許容電流（1 端子当たり）	CKIO、SD0_CLK、SD1_CLK、PVcc_SPI、PVcc_HO電源で動作する出力端子	高駆動	− IOH	—	—	12	mA
		通常駆動				8	mA
	SD0_CMD、SD0_DAT7 ～ SD0_DAT0、SD1_CMD、SD1_DAT3 ～ SD1_DAT0					6	mA
	その他の出力端子	高駆動 (注1)				8	mA
		通常駆動 (注2)				2	mA

【使用上の注意】
LSI の信頼性を確保するため、出力電流値は表56.3 の値を超えないようにしてください。

注1.　高駆動が選択できる端子で高駆動を設定した場合の値
注2.　高駆動が選択できる端子で通常駆動を設定した場合の値、あるいは通常駆動固定の端子の値

56.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

条件：Vcc = 1.14 ～ 1.26V、PVcc = USBDPVcc0 = USBDPVcc1 = AVcc = 3.0 ～ 3.6V、
PVcc_SPI = 3.0 ～ 3.6V / 1.7 ～ 1.9V、PVcc_SD0 = 3.0 ～ 3.6V / 1.7 ～ 1.9V、
PVcc_SD1 ＝ 3.0 ～ 3.6V / 1.7 ～ 1.9V、PLLVcc = 1.14 ～ 1.26V、
USBAPVcc0 = USBAPVcc1 = 3.0 ～ 3.6V、LVDSAPVcc = 3.0 ～ 3.6V、
LVDSPLLVcc = 1.14 ～ 1.26V、PVcc_HO = MIPIAVcc18 = 1.7 ～ 1.9V、
Vss = AVss = USBVss = 0V、
Ta = － 40 ～ 85 ℃、Tj = － 40 ～ 125 ℃

表 56.4 動作周波数

項目		記号	Min.	Max.	単位	備考
動作周波数	CPU クロック（Iφ）	f	55	528	MHz	
	画像処理クロック（Gφ）		55	264	MHz	
	内部バスクロック（Bφ）		27.5	132	MHz	
	周辺クロック 1（P1φ）		27.5	66	MHz	
	周辺クロック 0（P0φ）		27.5	33	MHz	

56.4.1 クロックタイミング

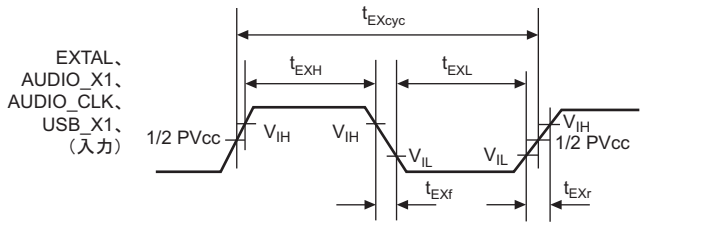
表56.5 クロックタイミング

項目	記号	Min.	Max.	単位	参照図
EXTALクロック入力周波数（USB 2.0 ホスト／ファンクションモジュールへクロック供給時）	f_{EX}	12MHz ± 100ppm 24MHz ± 100ppm			図56.2
EXTALクロック入力周波数（USB 2.0 ホスト／ファンクションモジュールへクロック非供給時）		10 20	12 24	MHz	
EXTALクロック入力サイクル時間（USB 2.0 ホスト／ファンクションモジュールへクロック非供給時）	t_{EXcyc}	83.34 41.67	100 50	ns	
AUDIO_X1クロック入力周波数（水晶発振子接続時）	f_{EX}	10.00	50.00	MHz	
AUDIO_X1クロック入力サイクル時間（水晶発振子接続時）	t_{EXcyc}	20.00	100.00	ns	
AUDIO_X1, AUDIO_CLKクロック入力周波数（外部クロック入力時）	f_{EX}	1.00	50.00	MHz	
AUDIO_X1, AUDIO_CLKクロック入力サイクル時間（外部クロック入力時）	t_{EXcyc}	20.00	1000.00	ns	
USB_X1クロック入力周波数（USB 2.0 ホスト／ファンクションモジュールへ48MHzクロック供給時）	f_{EX}	48MHz ± 100ppm			
EXTAL, AUDIO_X1, AUDIO_CLK, USB_X1クロック入力ローレベルパルス幅	t_{EXL}	0.4	0.6	t_{EXcyc}	
EXTAL, AUDIO_X1, AUDIO_CLK, USB_X1クロック入力ハイレベルパルス幅	t_{EXH}	0.4	0.6	t_{EXcyc}	
EXTAL, AUDIO_X1, AUDIO_CLK, USB_X1クロック入力立ち上がり時間	t_{EXr}	—	4	ns	
EXTAL, AUDIO_X1, AUDIO_CLK, USB_X1クロック入力立ち下がり時間	t_{EXf}	—	4	ns	
CKIOクロック出力周波数	f_{OP}	27.5 (注1)	132 (注1)	MHz	
CKIOクロック出力サイクル時間	t_{cyc}	7.58 (注1)	36.36 (注1)	ns	図56.3（1）、図56.3（2）
CKIOクロック出力ローレベルパルス幅1	t_{CKOL1}	t_{cyc} / 2 − t_{CKOr1}	—	ns	図56.3（1）
CKIOクロック出力ハイレベルパルス幅1	t_{CKOH1}	t_{cyc} / 2 − t_{CKOf1}	—	ns	
CKIOクロック出力立ち上がり時間1	t_{CKOr1}	—	3	ns	
CKIOクロック出力立ち下がり時間1	t_{CKOf1}	—	3	ns	
CKIOクロック出力ローレベルパルス幅2	t_{CKOL2}	t_{cyc} / 2 − t_{CKOr2}	—	ns	図56.3（2）
CKIOクロック出力ハイレベルパルス幅2	t_{CKOH2}	t_{cyc} / 2 − t_{CKOf2}	—	ns	
CKIOクロック出力立ち上がり時間2	t_{CKOr2}	—	2	ns	
CKIOクロック出力立ち下がり時間2	t_{CKOf2}	—	2	ns	
CKIOクロック出力ローレベルパルス幅3	t_{CKOL3}	t_{cyc} / 2 − t_{CKOr3}	—	ns	図56.3（3）
CKIOクロック出力ハイレベルパルス幅3	t_{CKOH3}	t_{cyc} / 2 − t_{CKOf3}	—	ns	
CKIOクロック出力立ち上がり時間3	t_{CKOr3}	—	1 (注2)	ns	
CKIOクロック出力立ち下がり時間3	t_{CKOf3}	—	1 (注2)	ns	
内蔵PLL回路発振安定時間	t_{POSC}	1	—	ms	図56.4、図56.5
内蔵発振回路発振安定時間(RTC_X1)	t_{ROSC}	—	3 (注3)	s	図56.7
内蔵発振回路発振安定時間(上記以外)		—	4 (注3)	ms	図56.4、図56.5 、図56.7
モードホールド時間	t_{MDH}	200	—	ns	図56.4、図56.5

注1. CKIOクロック出力は、レジスタの設定により出力周波数、サイクル時間の範囲が決まります。表6.4,、表6.5 を参照してください。

注2. 15pF負荷時

注3.　発振子メーカによる発振評価結果をもって、本スペックより小さい値を設定することは可能です。



【注】 *　EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1端子からクロックを入力する場合

図 56.2　　EXTAL, AUDIO_X1, AUDIO_CLK, USB_X1 クロック入力タイミング

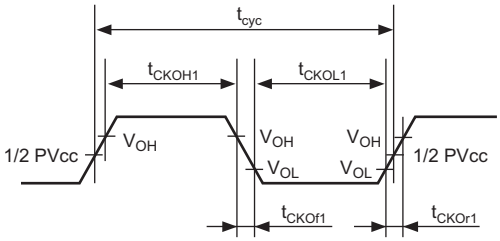


図 56.3　　（1）CKIO クロック出力タイミング 1

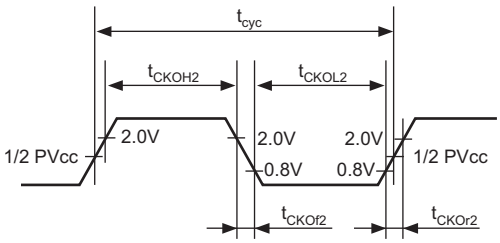


図 56.3　　（2）CKIO クロック出力タイミング 2

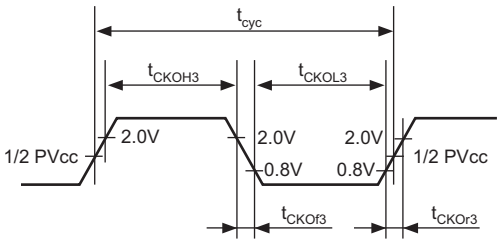


図 56.3　　（3）CKIO クロック出力タイミング 3

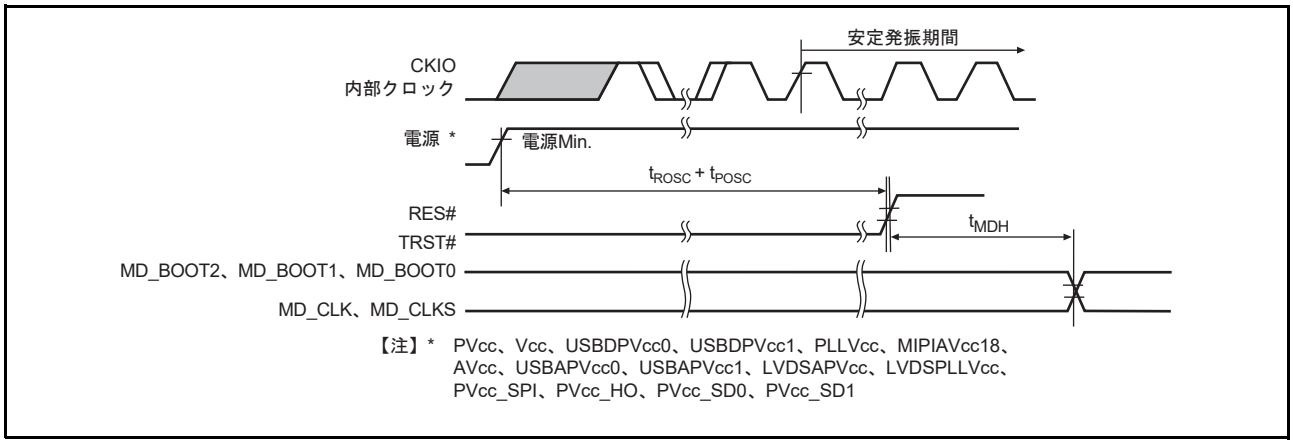


図 56.4　　パワーオン発振安定時間

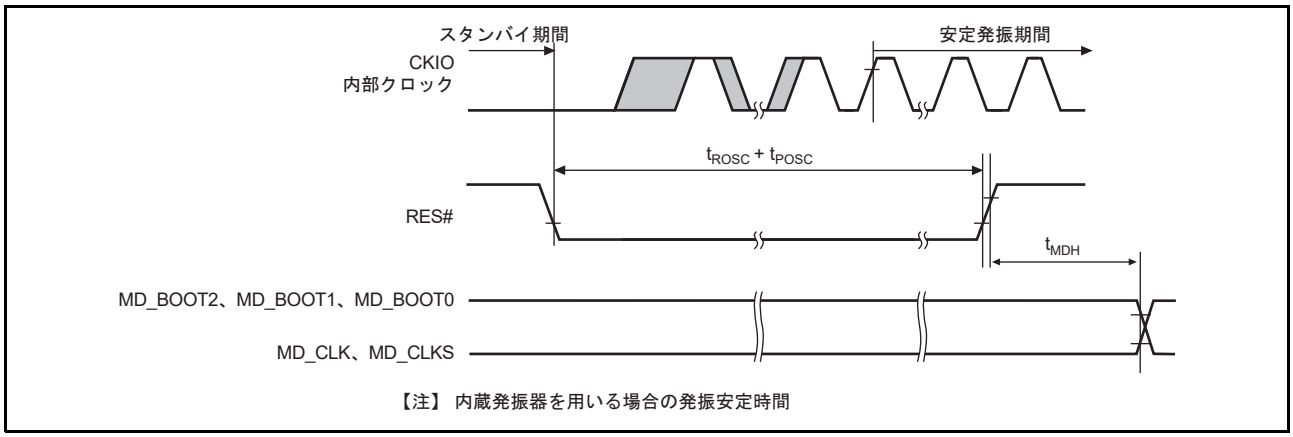


図 56.5　　スタンバイ復帰時発振安定時間（リセットによる復帰）

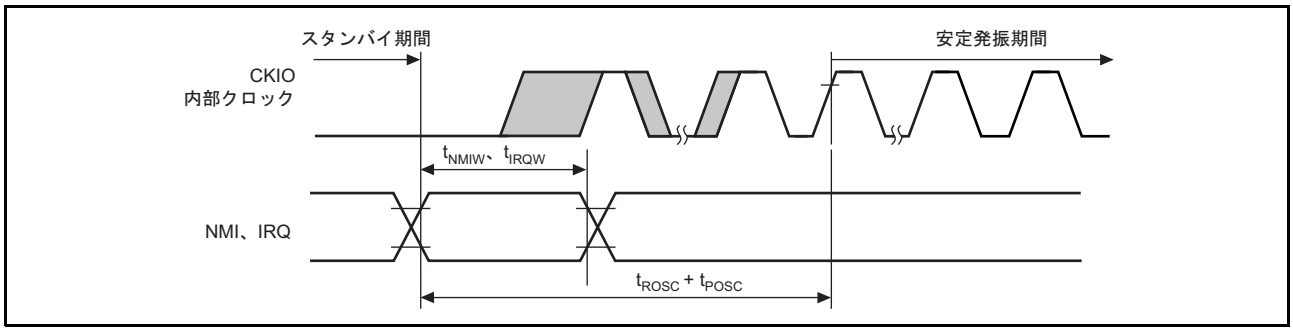


図 56.6　　スタンバイ復帰時発振安定時間（NMI、IRQ による復帰）

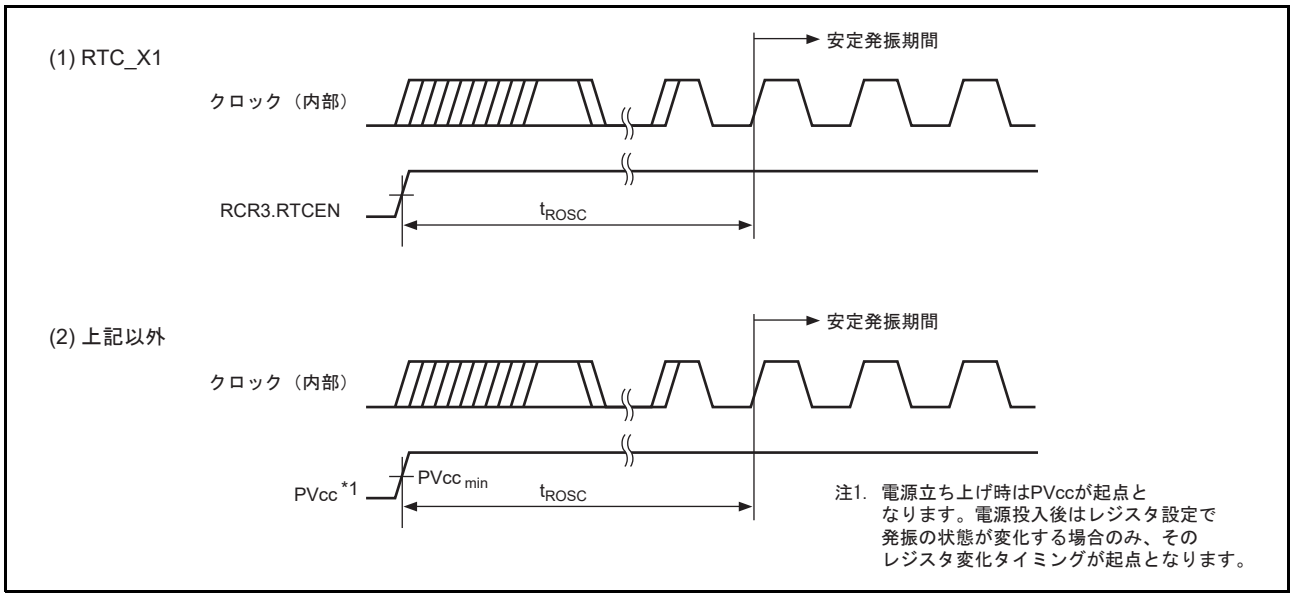


図 56.7 内蔵発振回路発振安定時間

56.4.2　制御信号タイミング

表56.6　制御信号タイミング

項目		記号	Min.	Max.	単位	参照図
RES#パルス幅	スタンバイモード解除時	t_{RESW}	10	—	ms	図56.8（1）
	上記以外		20	—	tcyc(注2)	
TRST#パルス幅		t_{TRSW}	20	—	tcyc(注2)	
NMIパルス幅		t_{NMIW}	20	—	tcyc(注2)	図56.3（2）、図56.6
IRQパルス幅		t_{IRQW}	20	—	tcyc(注2)	
TINTパルス幅		t_{TINTW}	20	—	tcyc(注2)	
TINT同一グループ入力WAITタイミング(注1)		t_{TINTGW}	20	—	tcyc(注2)	図56.8（2）、
RES#入力立上り時間		t_{RSr}	—	500	μs	図56.8（3）

注1.　端子割り込みの同一グループにのみ適用されます。詳細は、「51.4.4.2　同一グループの入力制限」を参照してください。
注2.　tcycはCKIO選択レジスタのCKIOSELビットが初期値(2'b01)時の周期です。

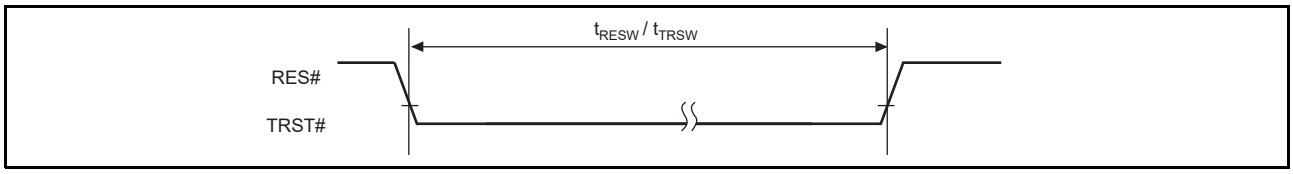


図 56.8　（1）リセット入力タイミング 1

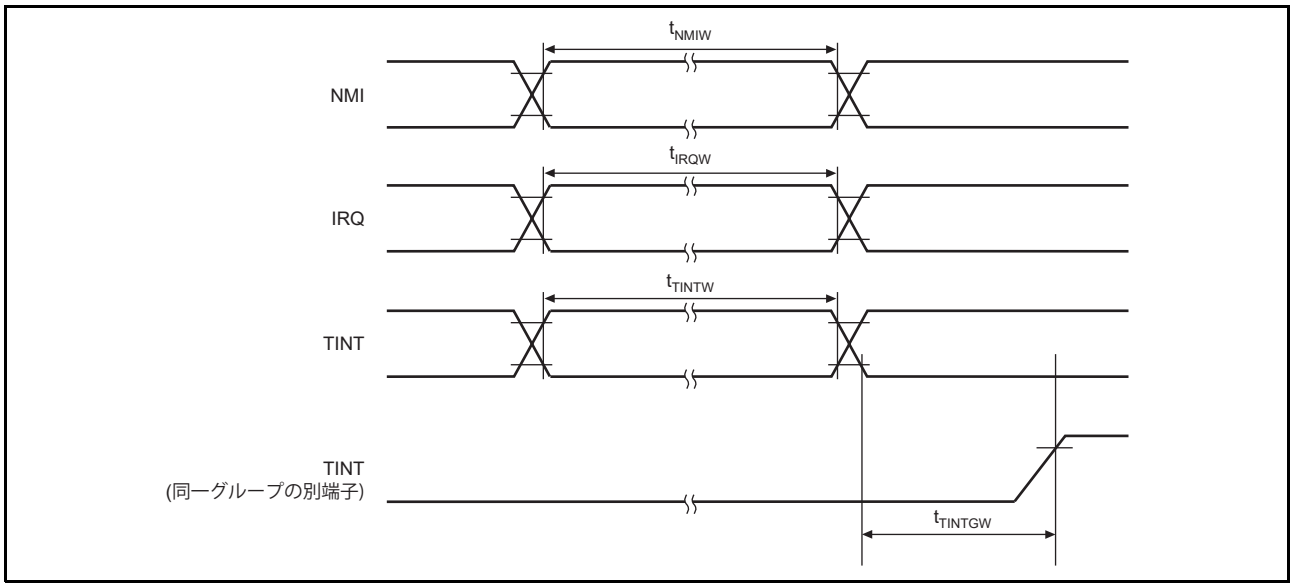


図 56.8　（2）割り込み信号入力タイミング

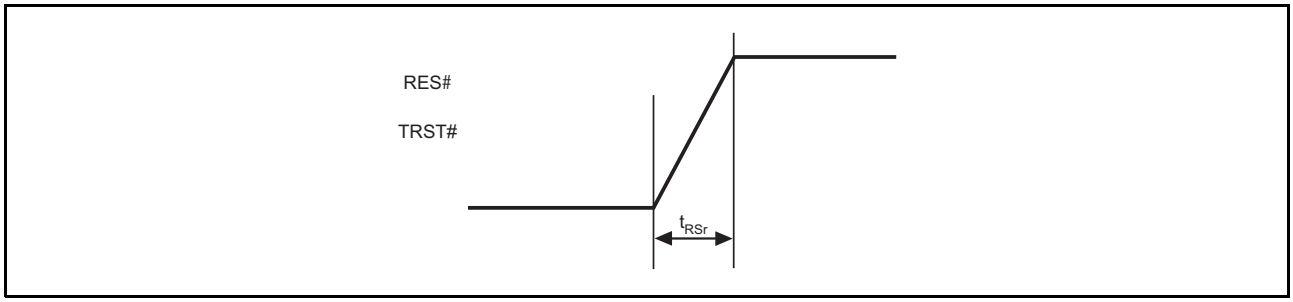


図 56.8　(3) リセット入力タイミング 2

56.4.3 SPI マルチ I/O バスコントローラ、Octa メモリ／HyperBus™ コントローラ リセット出力タイミング

表 56.7　SPI マルチ I/O バスコントローラ、Octa メモリ／HyperBus™ コントローラリセット出力タイミング

項目	記号	Min.	Max.	単位	参照図
メモリリセットパルス幅	t_{RP}	2500	—	t_{p0cyc}	図 56.9～図 56.12
メモリリセット（ネゲート）ー メモリアクセス時間	t_{RH}	500	—	t_{p0cyc}	

注.　t_{p0cyc} は周辺クロック 0（P0φ）の 1 サイクル時間を示します。

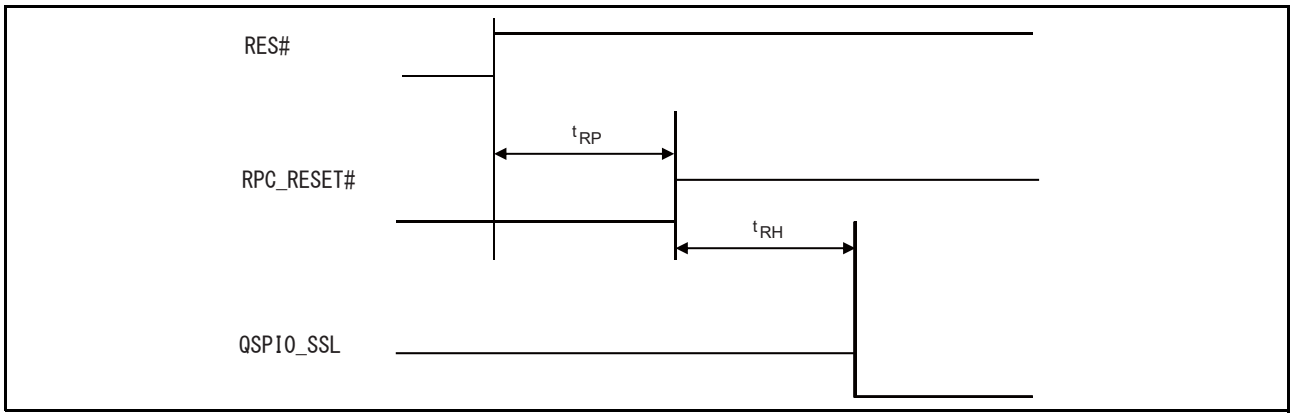


図 56.9　SPI マルチ I/O バスコントローラリセット出力タイミング（ブートモード 3, 4, 5　パワーオンリセット時）

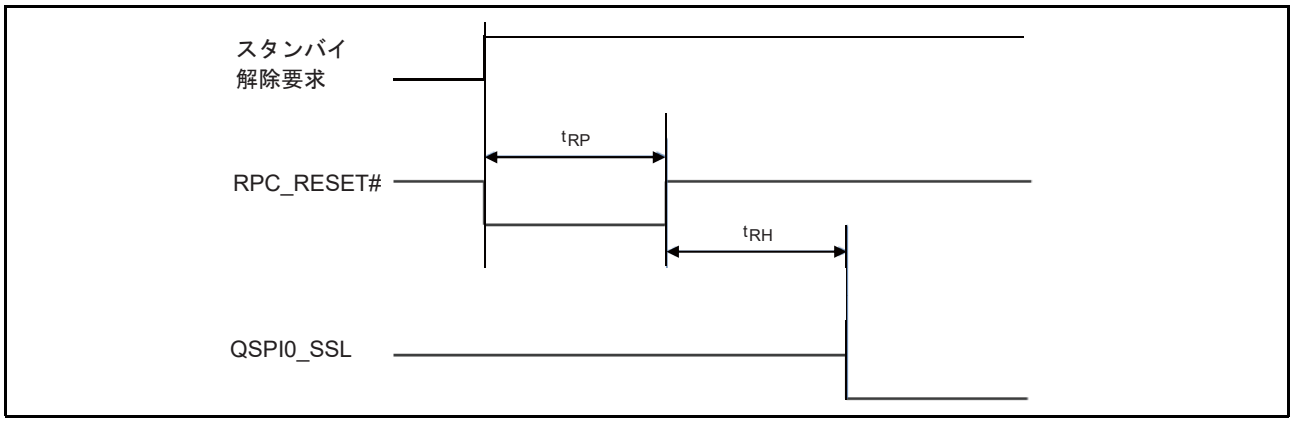


図 56.10　SPI マルチ I/O バスコントローラリセット出力タイミング（ブートモード 3, 4, 5　ディープスタンバイ復帰時）

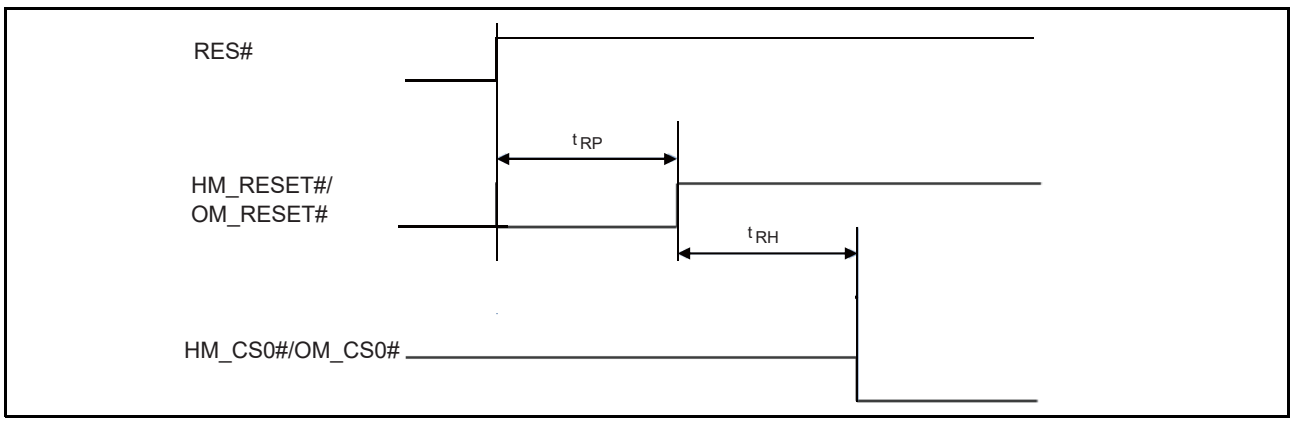


図 56.11　Octa メモリ／HyperBus™ コントローラリセット出力タイミング（ブートモード 6, 7　パワーオンリセット時）

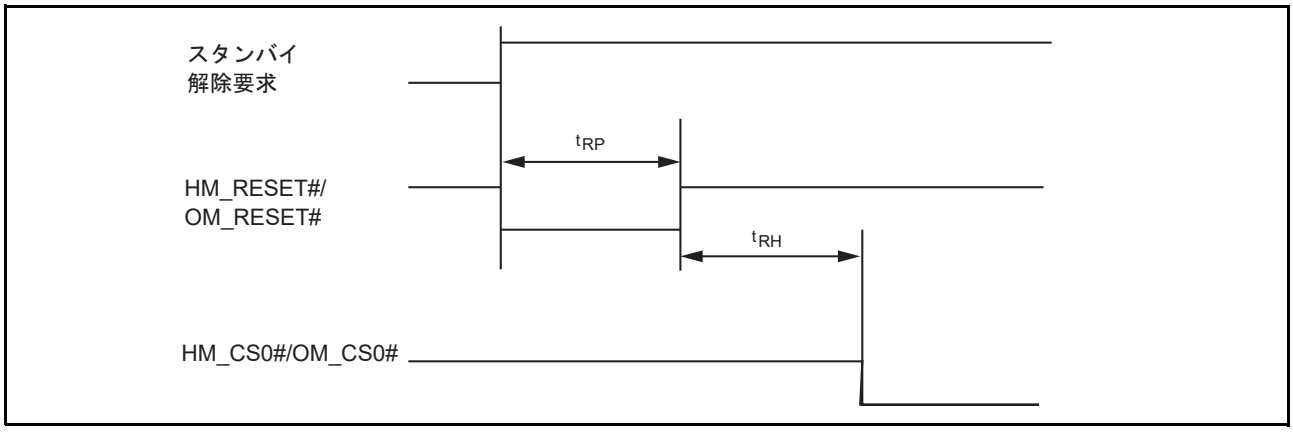


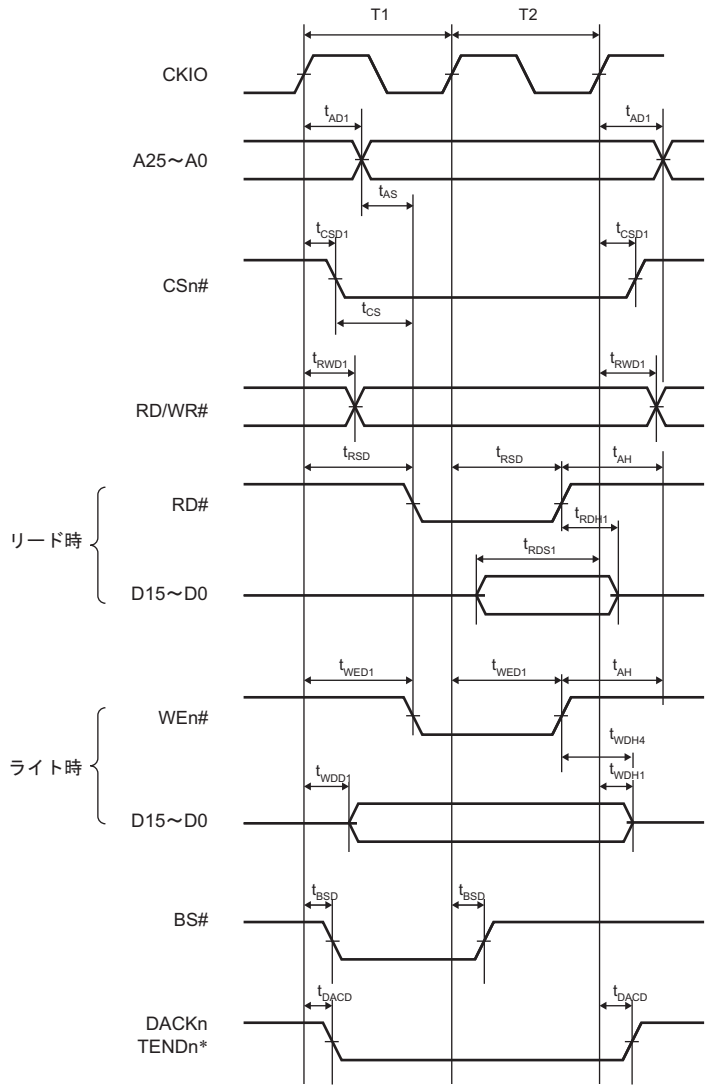
図 56.12 Octa メモリ／HyperBus™ コントローラリセット出力タイミング（ブートモード 6, 7 ディープスタンバイ復帰時）

56.4.4 バスタイミング

表56.8 バスタイミング

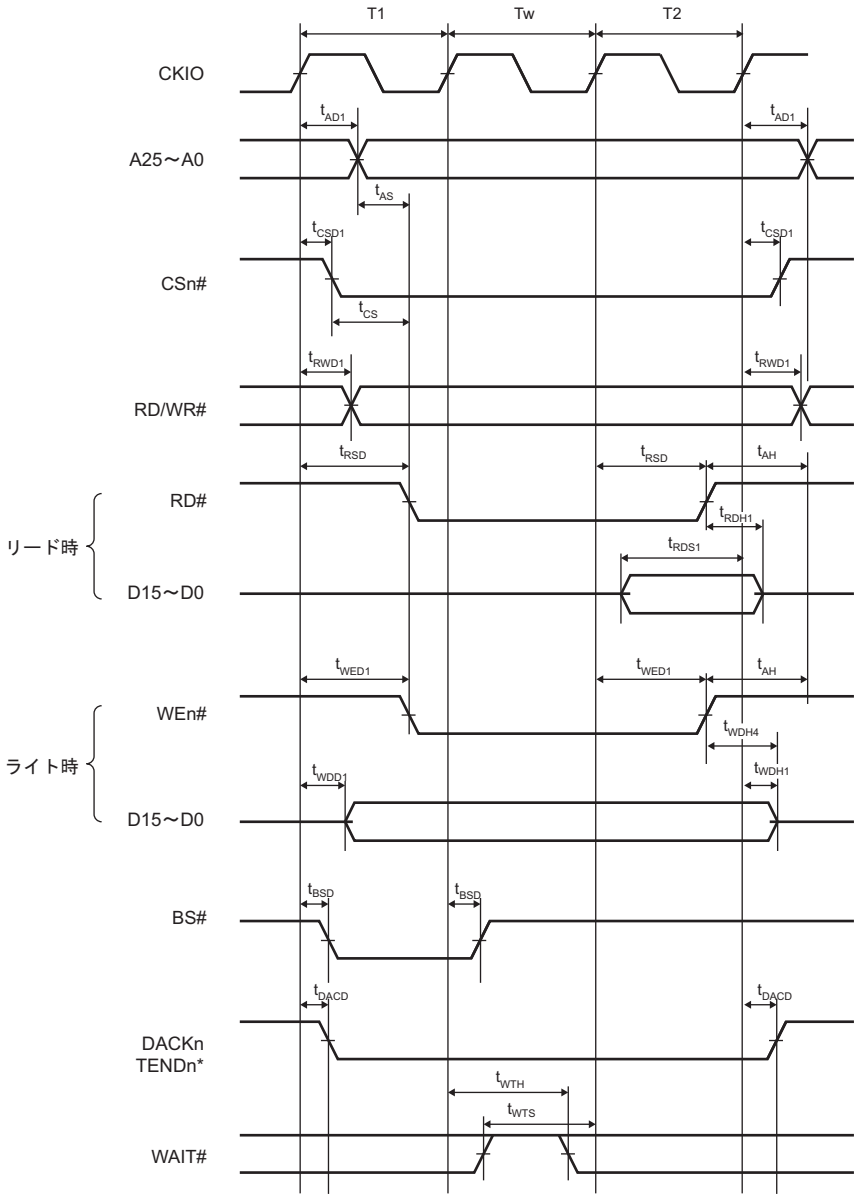
項目	記号	CKIO＝132MHz (注1)		単位	参照図
		Min.	Max.		
アドレス遅延時間1	t_{AD1}	2.0	4.8	ns	図56.13～図56.37
アドレス遅延時間2	t_{AD2}	1/2 t_{cyc}	1/2 t_{cyc} ＋ 8 (注3)	ns	図56.20
アドレスセットアップ時間	t_{AS}	0	—	ns	図56.13～図56.16、図56.20
チップイネーブルセットアップ時間	tcs	0	—	ns	図56.13～図56.16、図56.20
アドレスホールド時間	t_{AH}	0	—	ns	図56.13～図56.16
BS遅延時間	t_{BSD}	—	4.8	ns	図56.13～図56.34
CS遅延時間1	t_{CSD1}	2.0	4.8	ns	図56.13～図56.37
リードライト遅延時間1	t_{RWD1}	2.0	4.8	ns	図56.13～図56.37
リードストローブ遅延時間	t_{RSD}	1/2 t_{cyc}	1/2 t_{cyc} ＋ 12 (注3)	ns	図56.13～図56.20
リードデータセットアップ時間1	t_{RDS1}	1/2 t_{cyc} ＋ 5 (注3)	—	ns	図56.13～図56.19
リードデータセットアップ時間2	t_{RDS2}	2.0	—	ns	図56.21～図56.24、図56.29～図56.31
リードデータセットアップ時間3	t_{RDS3}	1/2 t_{cyc} ＋ 5 (注3)	—	ns	図56.20
リードデータホールド時間1	t_{RDH1}	0	—	ns	図56.13～図56.19
リードデータホールド時間2	t_{RDH2}	2.5	—	ns	図56.21～図56.24、図56.29～図56.31
リードデータホールド時間3	t_{RDH3}	0	—	ns	図56.20
ライトイネーブル遅延時間1	t_{WED1}	1/2 t_{cyc}	1/2 t_{cyc} ＋ 12 (注3)	ns	図56.13～図56.18
ライトイネーブル遅延時間2	t_{WED2}	—	4.8	ns	図56.19
ライトデータ遅延時間1	t_{WDD1}	—	4.8	ns	図56.13～図56.19
ライトデータ遅延時間2	t_{WDD2}	—	4.8	ns	図56.25～図56.28、図56.32～図56.34
ライトデータホールド時間1	t_{WDH1}	2.0	—	ns	図56.13～図56.19
ライトデータホールド時間2	t_{WDH2}	2.0	—	ns	図56.25～図56.28、図56.32～図56.34
ライトデータホールド時間4	t_{WDH4}	0	—	ns	図56.13～図56.17
WAITセットアップ時間	t_{WTS}	1/2 t_{cyc} ＋ 5.0 (注3)	—	ns	図56.14～図56.20
WAITホールド時間	t_{WTH}	1/2 t_{cyc} ＋ 3.5 (注3)	—	ns	図56.14～図56.20
RAS遅延時間1	t_{RASD1}	2.0	4.8	ns	図56.21～図56.37
CAS遅延時間1	t_{CASD1}	2.0	4.8	ns	図56.21～図56.37
DQM遅延時間1	t_{DQMD1}	2.0	4.8	ns	図56.21～図56.34
CKE遅延時間1	t_{CKED1}	2.0	4.8	ns	図56.36
AH遅延時間	t_{AHD}	1/2 t_{cyc}	1/2 t_{cyc} ＋ 12 (注3)	ns	図56.17
マルチプレクスアドレス遅延時間	t_{MAD}	—	12 (注3)	ns	図56.17
マルチプレクスアドレスホールド時間	t_{MAH}	1.0 (注3)	—	ns	図56.17
AHに対するアドレスセットアップ時間	t_{AVVH}	1/2 t_{cyc} － 2	—	ns	図56.17
DACK、TEND遅延時間	t_{DACD}	ダイレクトメモリアクセスコントローラタイミング参照		ns	図56.13～図56.34

注1. CKIO（外部バスクロック）のf_{max}は、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。
注2. 遅延時間やセットアップ、ホールド時間の1/2 t_{cyc}の記述は、クロックの立ち上がりから1/2サイクル、つまりクロックの立ち下がり基準であることを表現しています。
注3. CKIO＝66MHz maxを想定した値です。CKIO＝110～132MHzでご使用になる場合はシステム構成に応じて、必要なウェイトサイクルの挿入や入力のタイミング設計を行ってください。



【注】* DACKn、TENDnはアクティブローを指定したときの波形

図 56.13 通常空間基本バスサイクル（ノーウェイト）



【注】* DACKn、TENDnはアクティブローを指定したときの波形

図 56.14 通常空間基本バスサイクル（ソフトウェアウェイト 1）

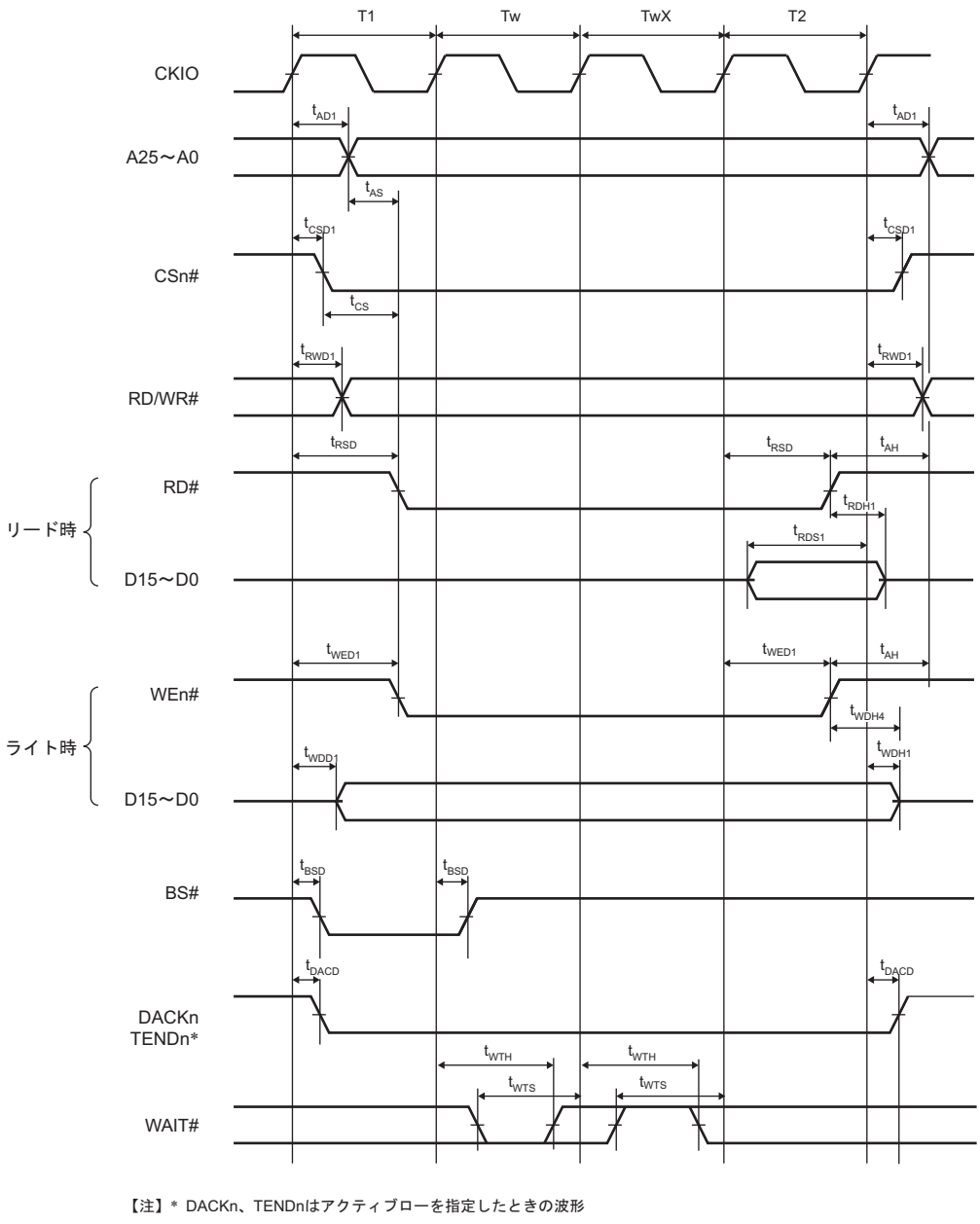
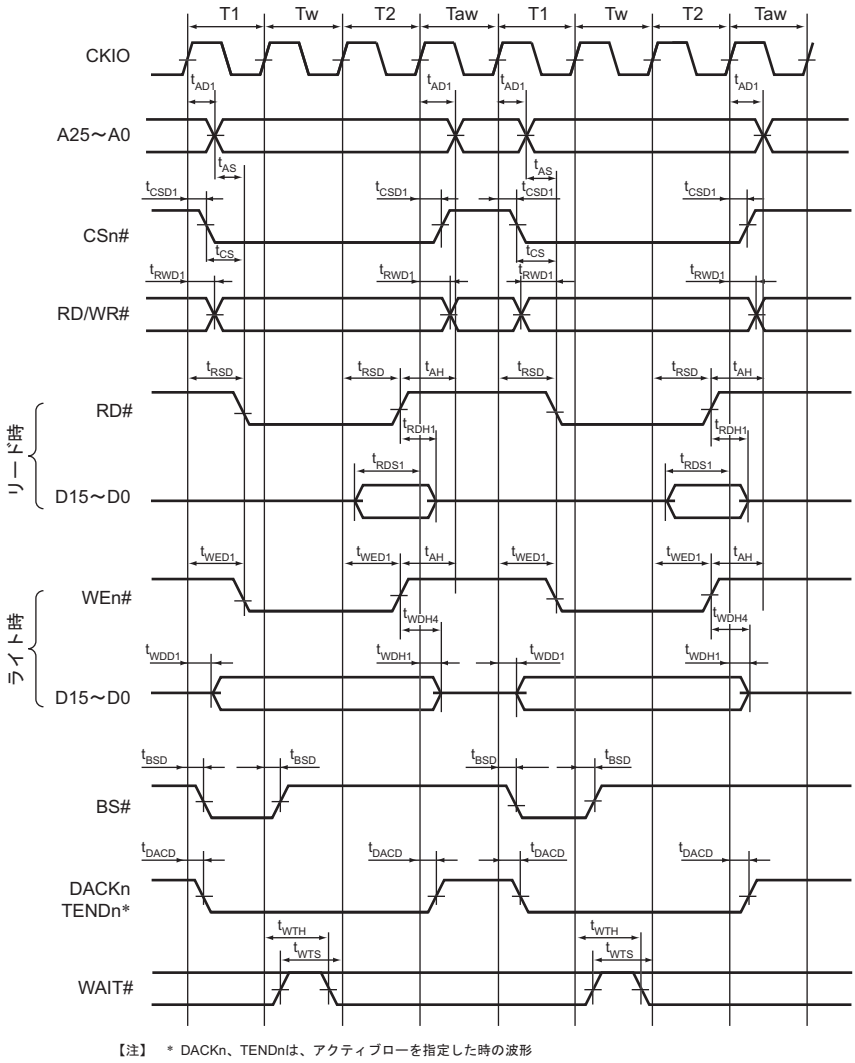


図 56.15　通常空間基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト 1 挿入）



【注】　* DACKn、TENDnは、アクティブローを指定した時の波形

図 56.16　　通常空間基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト有効（WM ビット＝ 0）、アイドルサイクルなし）

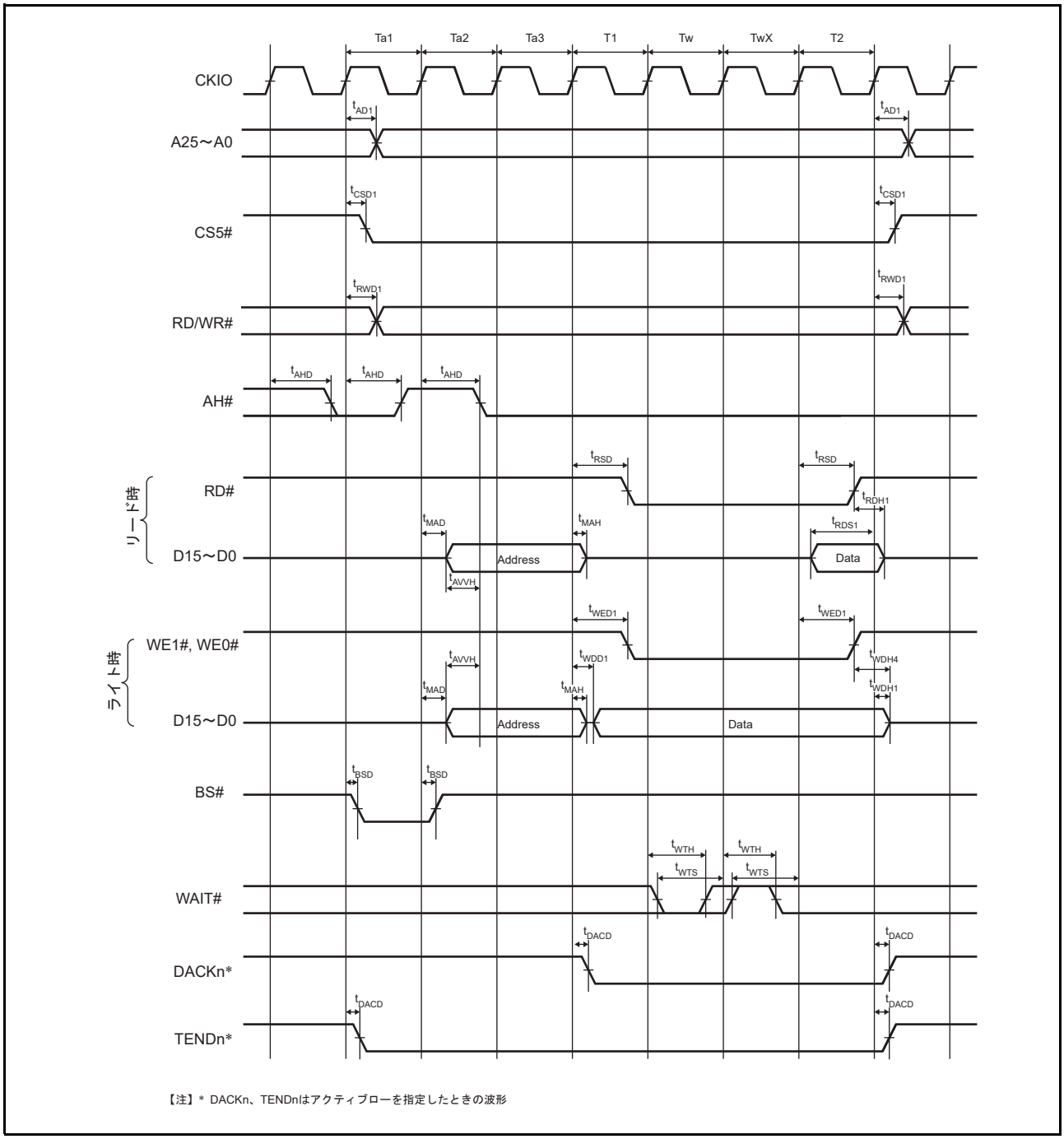


図 56.17 MPX - I/O インタフェースバスサイクル（アドレスサイクル 3、ソフトウェアウェイト 1、外部ウェイト 1 挿入）

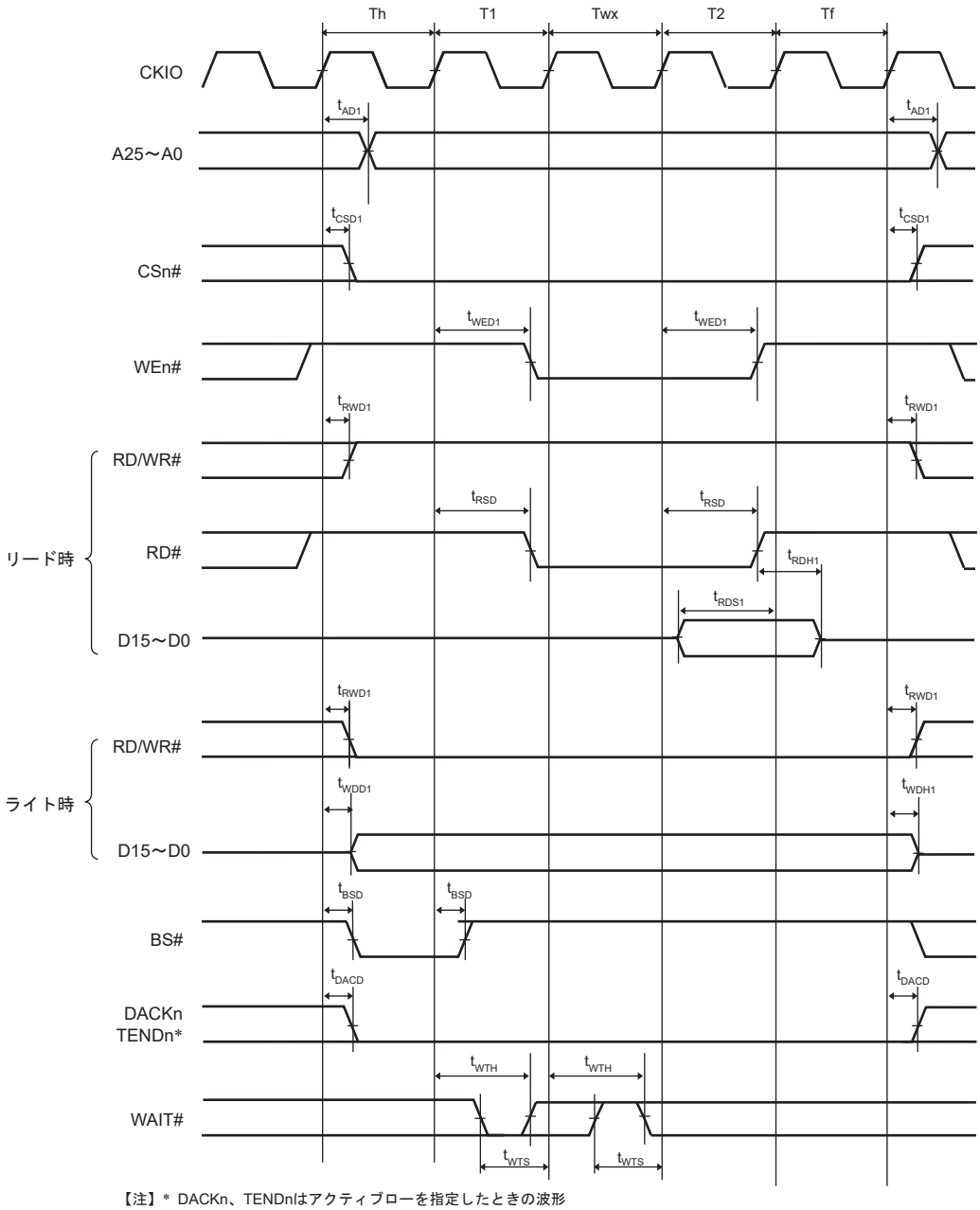


図 56.18　バイト選択付き SRAM バスサイクル（SW ＝ 1 サイクル、HW ＝ 1 サイクル、非同期外部ウェイト 1 挿入、BAS ＝ 0（ライトサイクル UB#/LB# コントロール））

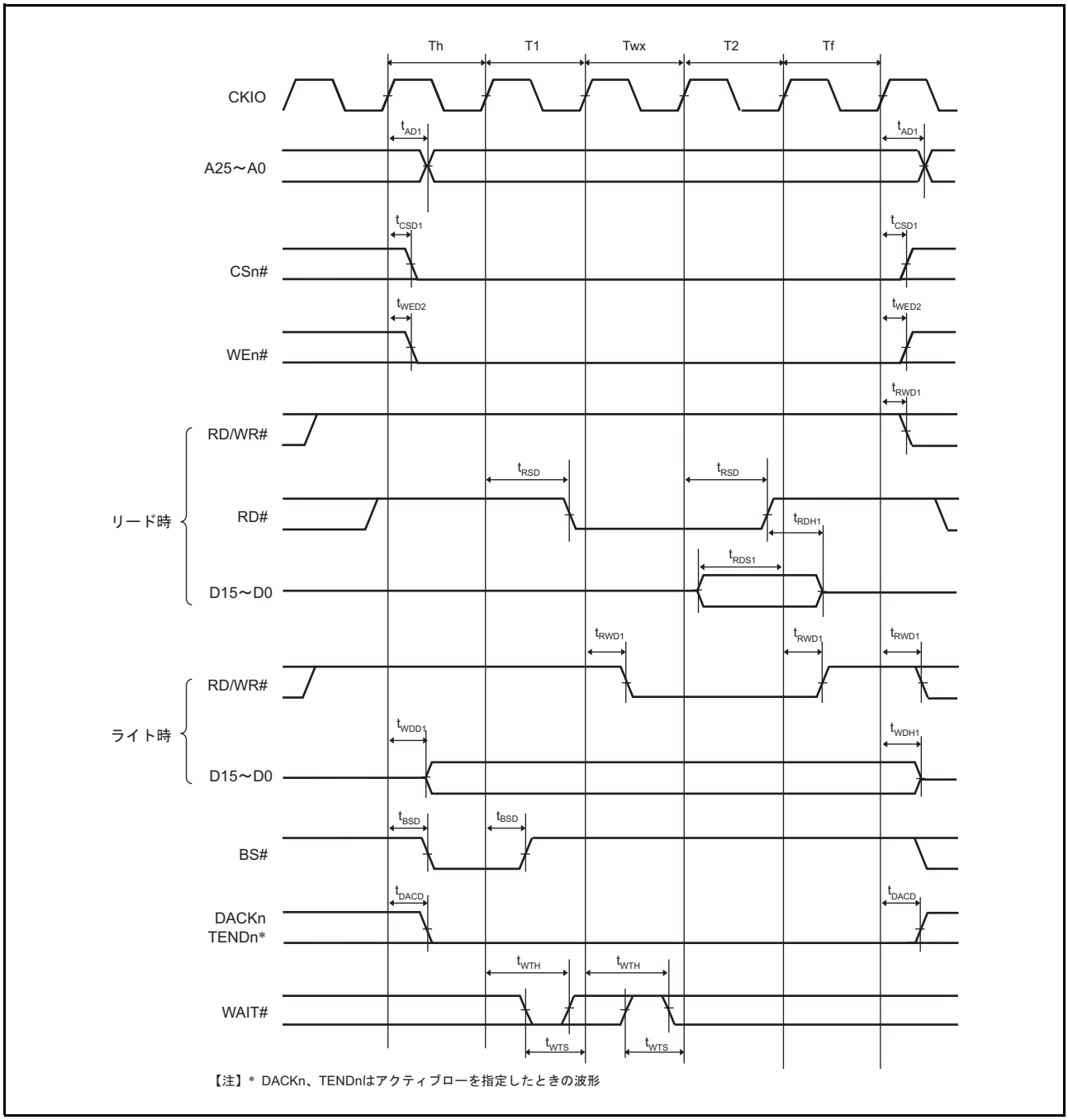
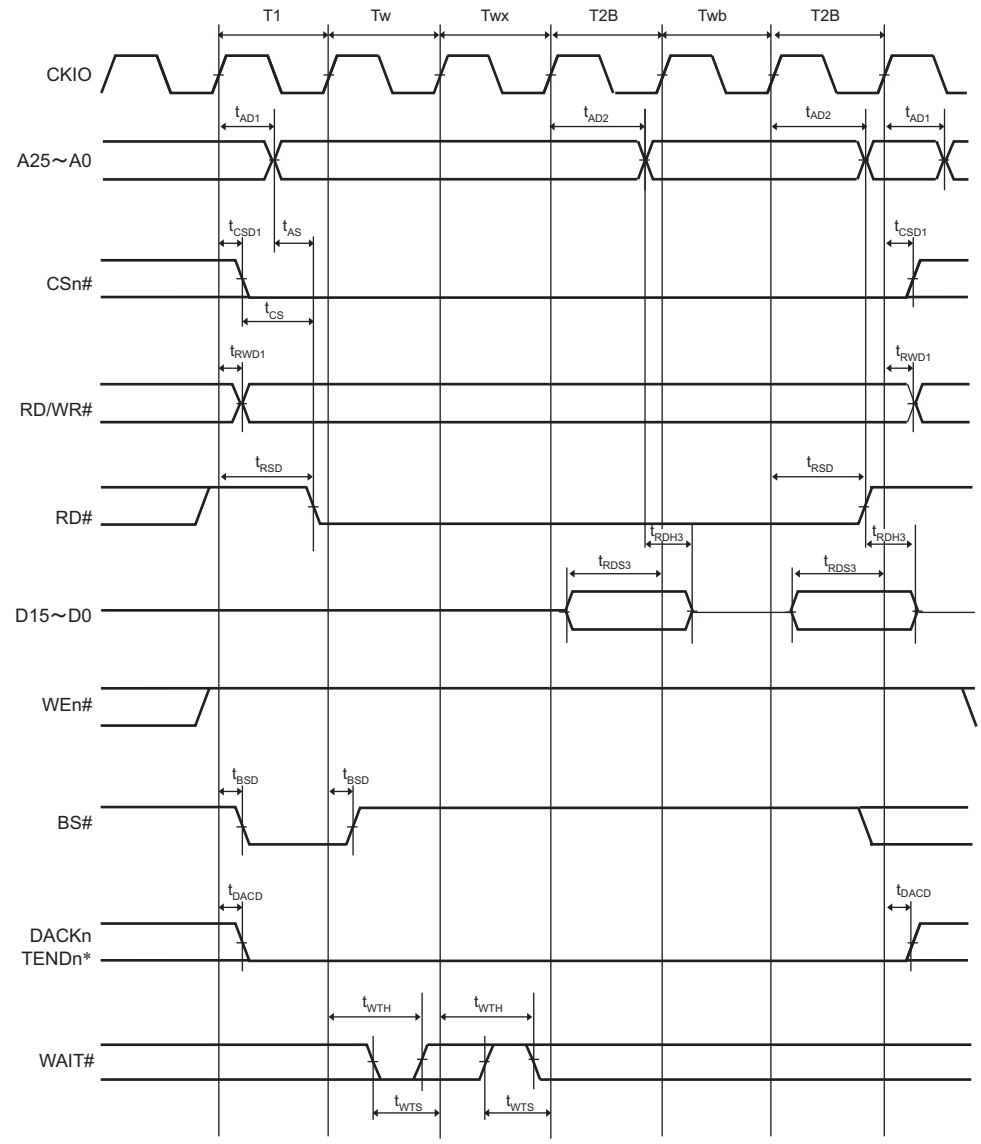
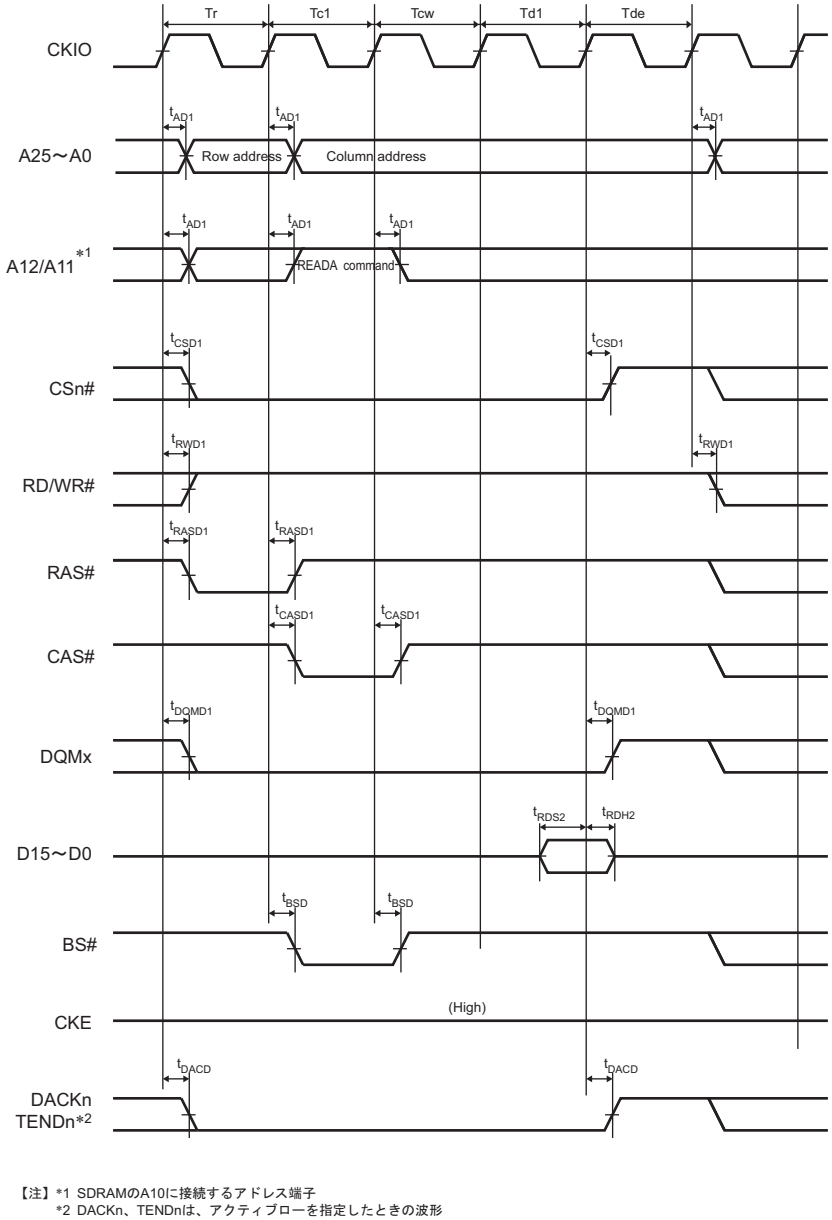


図 56.19　バイト選択付き SRAM バスサイクル（SW ＝ 1 サイクル、HW ＝ 1 サイクル、非同期外部ウェイト 1 挿入、BAS ＝ 1（ライトサイクル WE# コントロール））



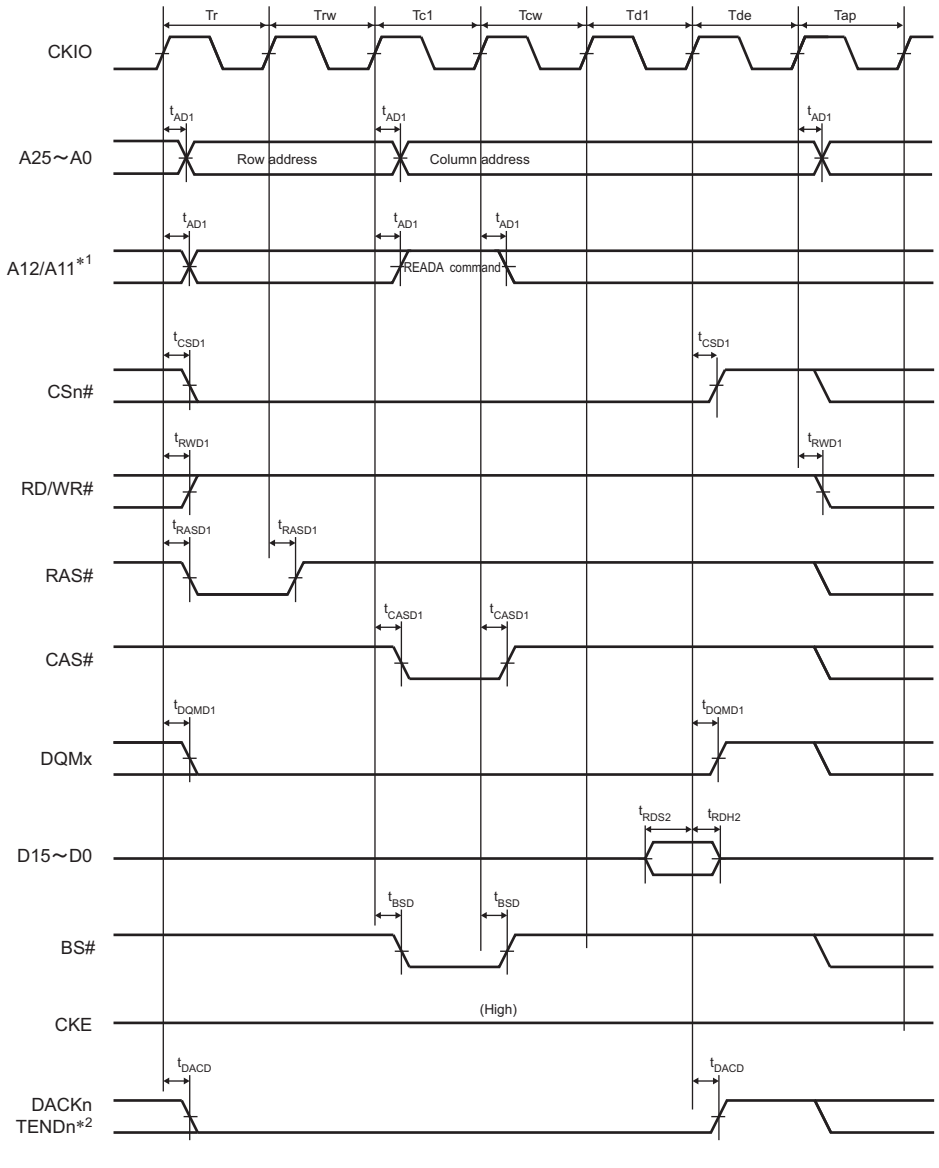
【注】* DACKn、TENDnはアクティブローを指定したときの波形

図 56.20 バースト ROM リードサイクル（ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入バーストウェイト 1、2 バースト）



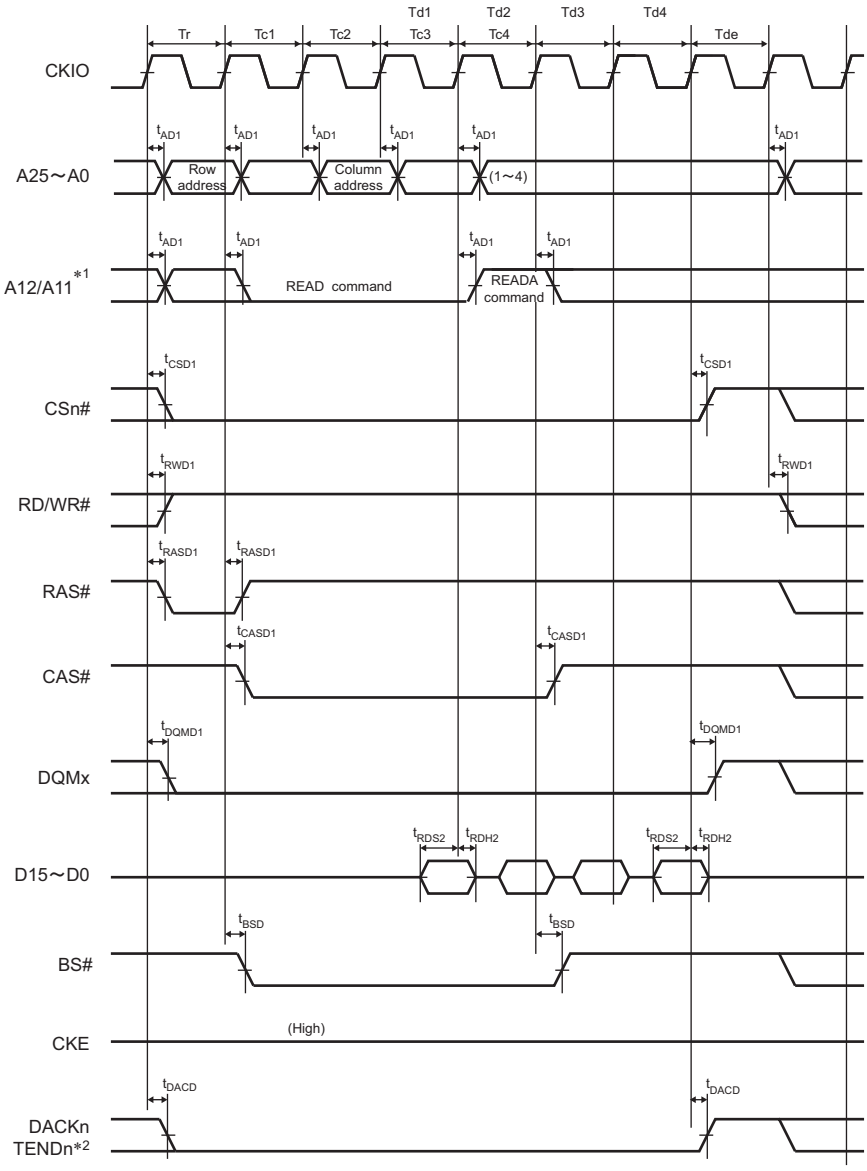
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.21 シンクロナス DRAM シングルリードバスサイクル（オートプリチャージあり、CAS レイテンシ 2、WTRCD ＝ 0 サイクル、WTRP ＝ 0 サイクル）



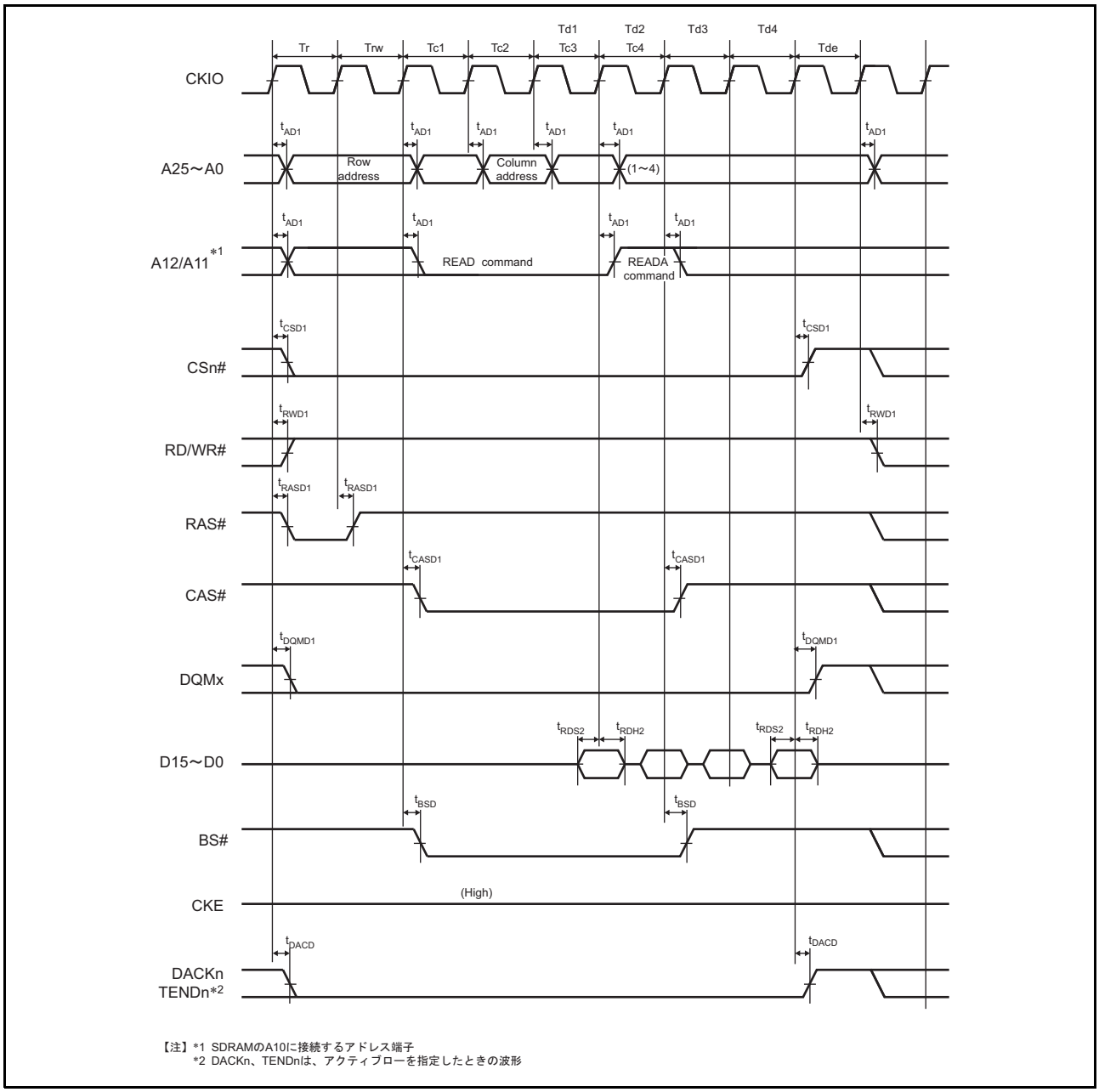
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.22 シンクロナス DRAM シングルリードバスサイクル（オートプリチャージあり、CAS レイテンシ 2、WTRCD ＝ 1 サイクル、WTRP ＝ 1 サイクル）



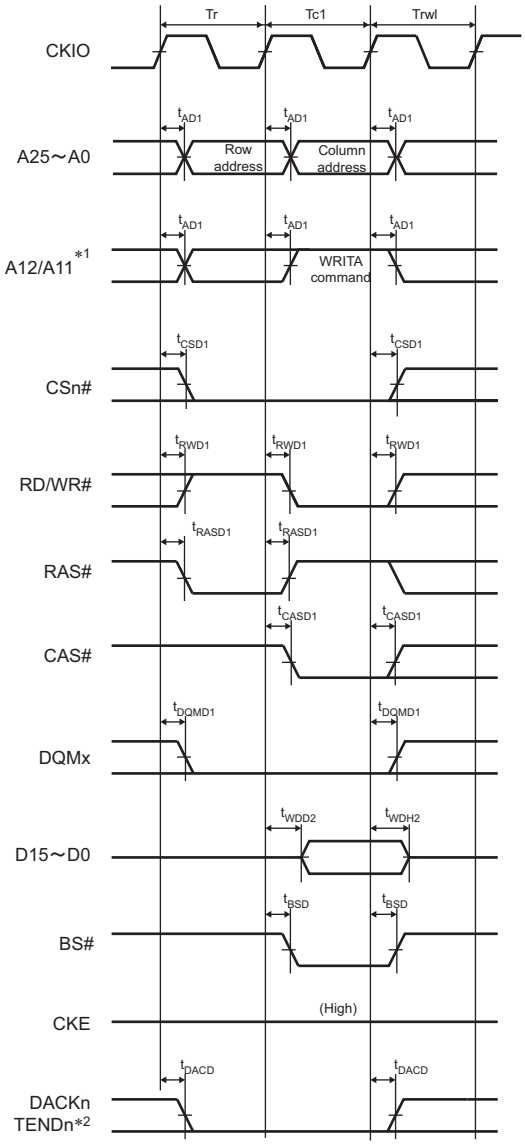
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.23 シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（オートプリチャージあり、CAS レイテンシ 2、WTRCD ＝ 0 サイクル、WTRP ＝ 1 サイクル）



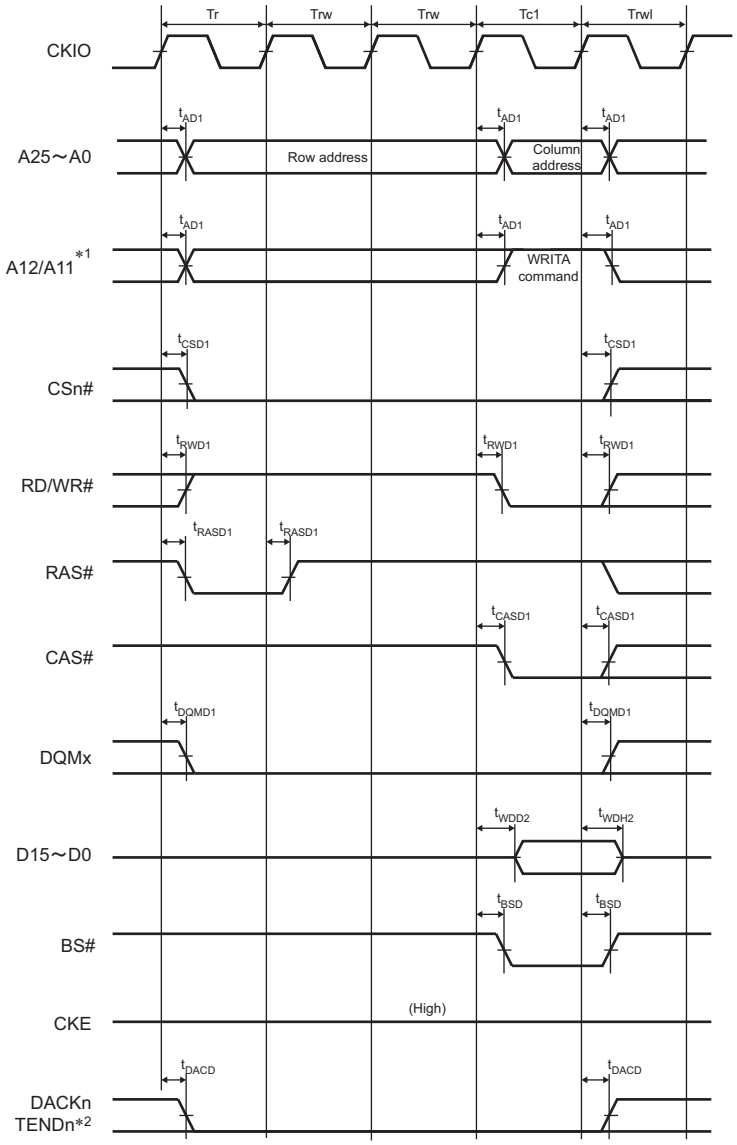
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.24 シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（オートプリチャージあり、CAS レイテンシ 2、WTRCD ＝ 1 サイクル、WTRP ＝ 0 サイクル）



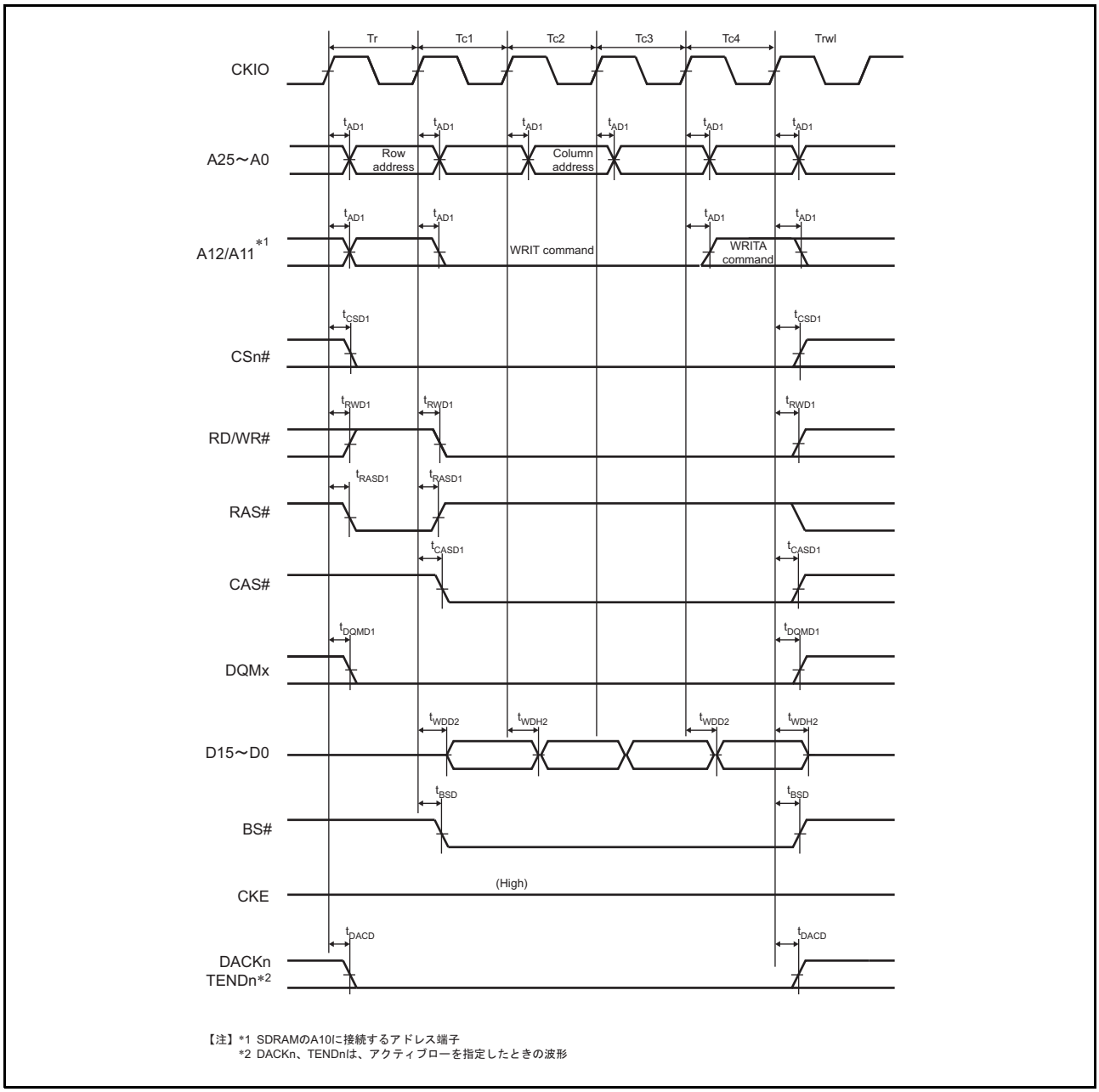
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.25　シンクロナス DRAM シングルライトバスサイクル（オートプリチャージあり、TRWL ＝ 1 サイクル）



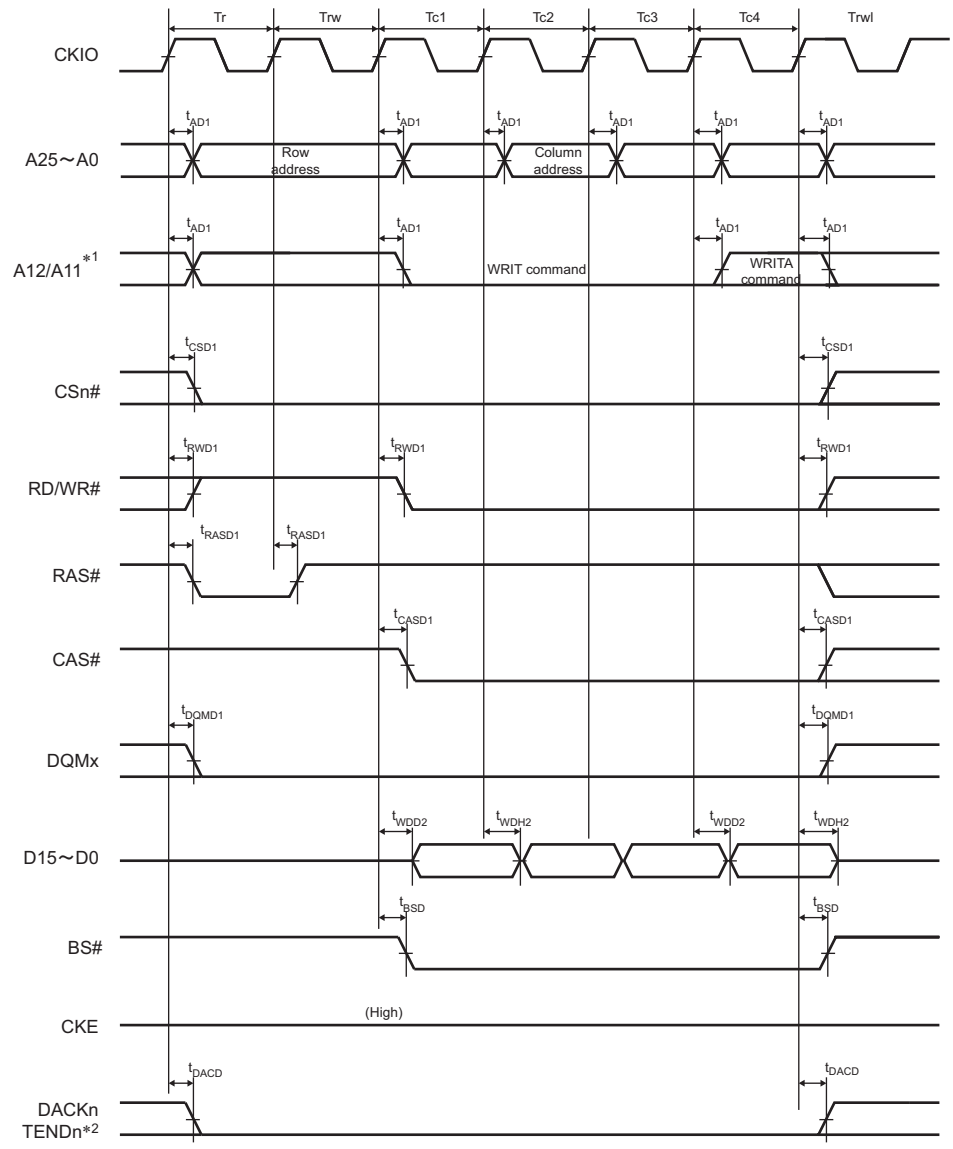
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.26 シンクロナス DRAM シングルライトバスサイクル（オートプリチャージあり、WTRCD ＝ 2 サイクル、TRWL ＝ 1 サイクル）



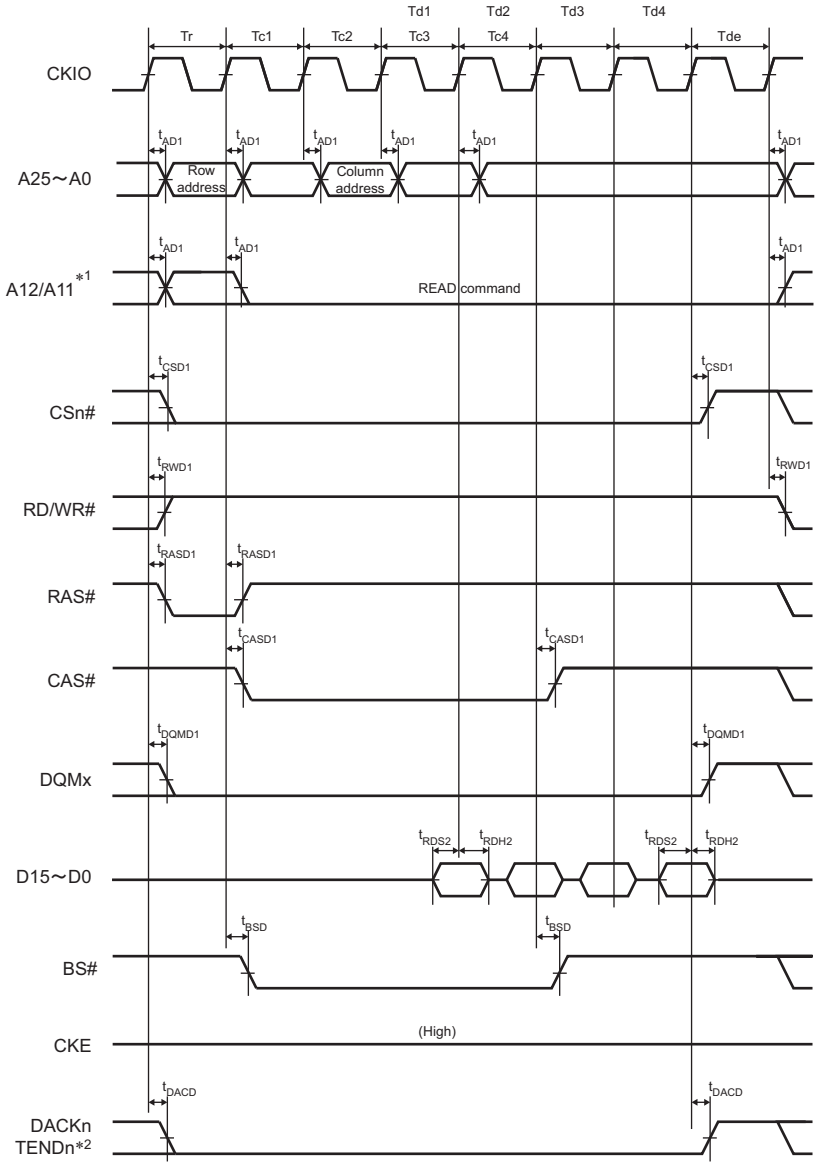
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.27 シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（オートプリチャージあり、WTRCD ＝ 0 サイクル、TRWL ＝ 1 サイクル）



【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.28 シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（オートプリチャージあり、WTRCD ＝ 1 サイクル、TRWL ＝ 1 サイクル）



【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.29　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（バンクアクティブモード：ACT ＋ READ コマンド、CAS レイテンシ 2、WTRCD ＝ 0 サイクル）

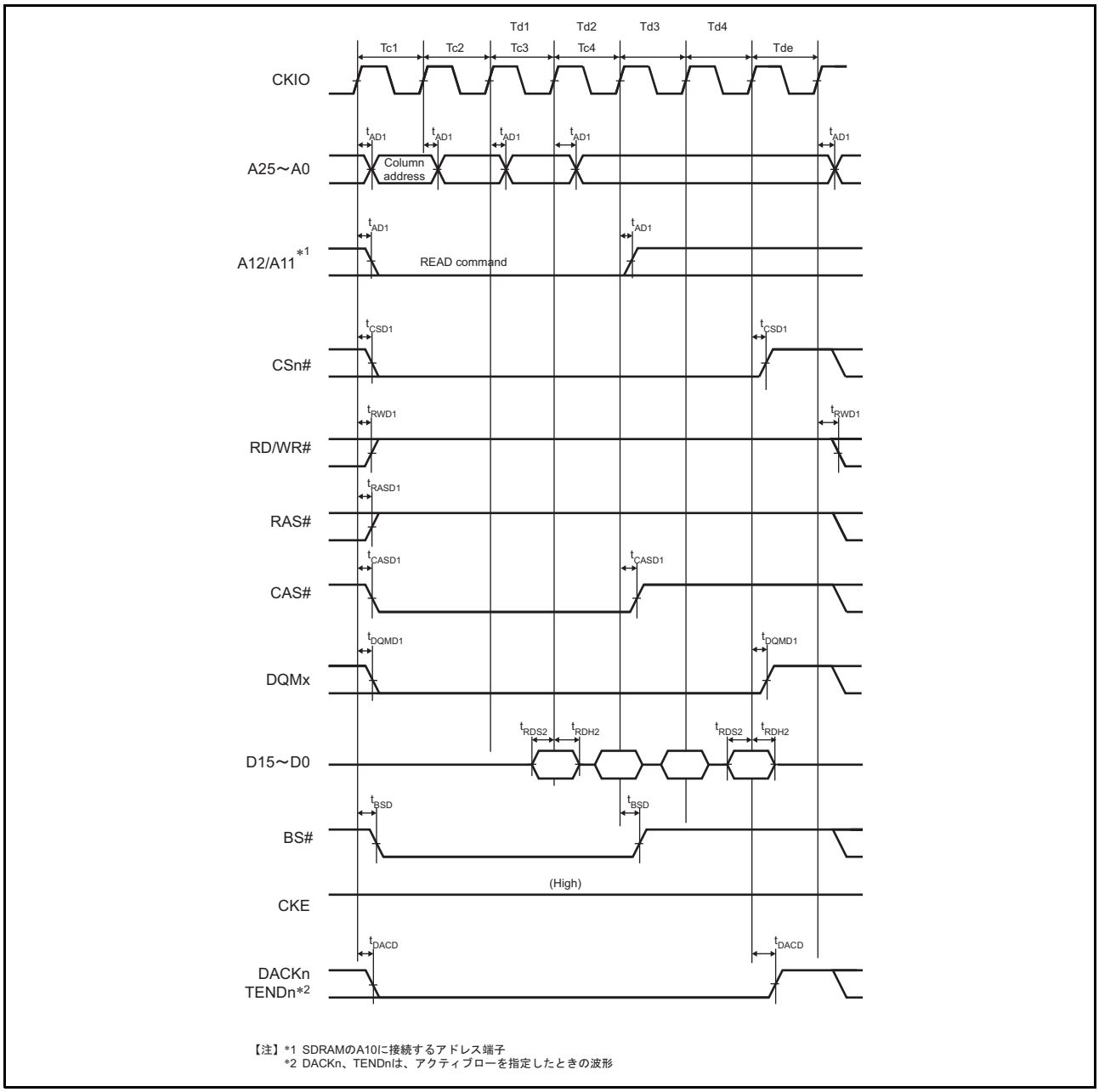
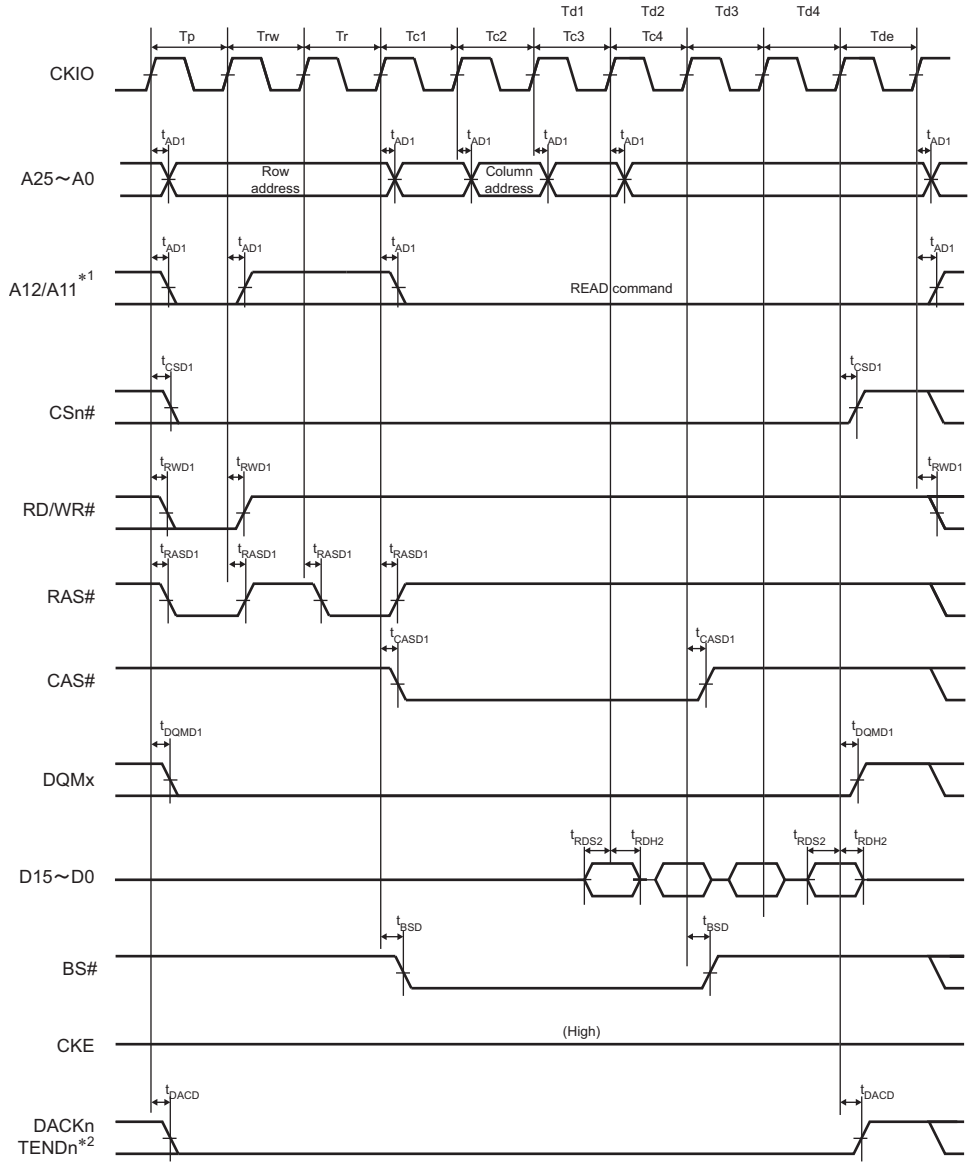


図 56.30　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（バンクアクティブモード：READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD ＝ 0 サイクル）



【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.31　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（バンクアクティブモード：PRE ＋ ACT ＋ READ コマンド、異なるロウアドレス、CAS レイテンシ 2、WTRCD ＝ 0 サイクル）

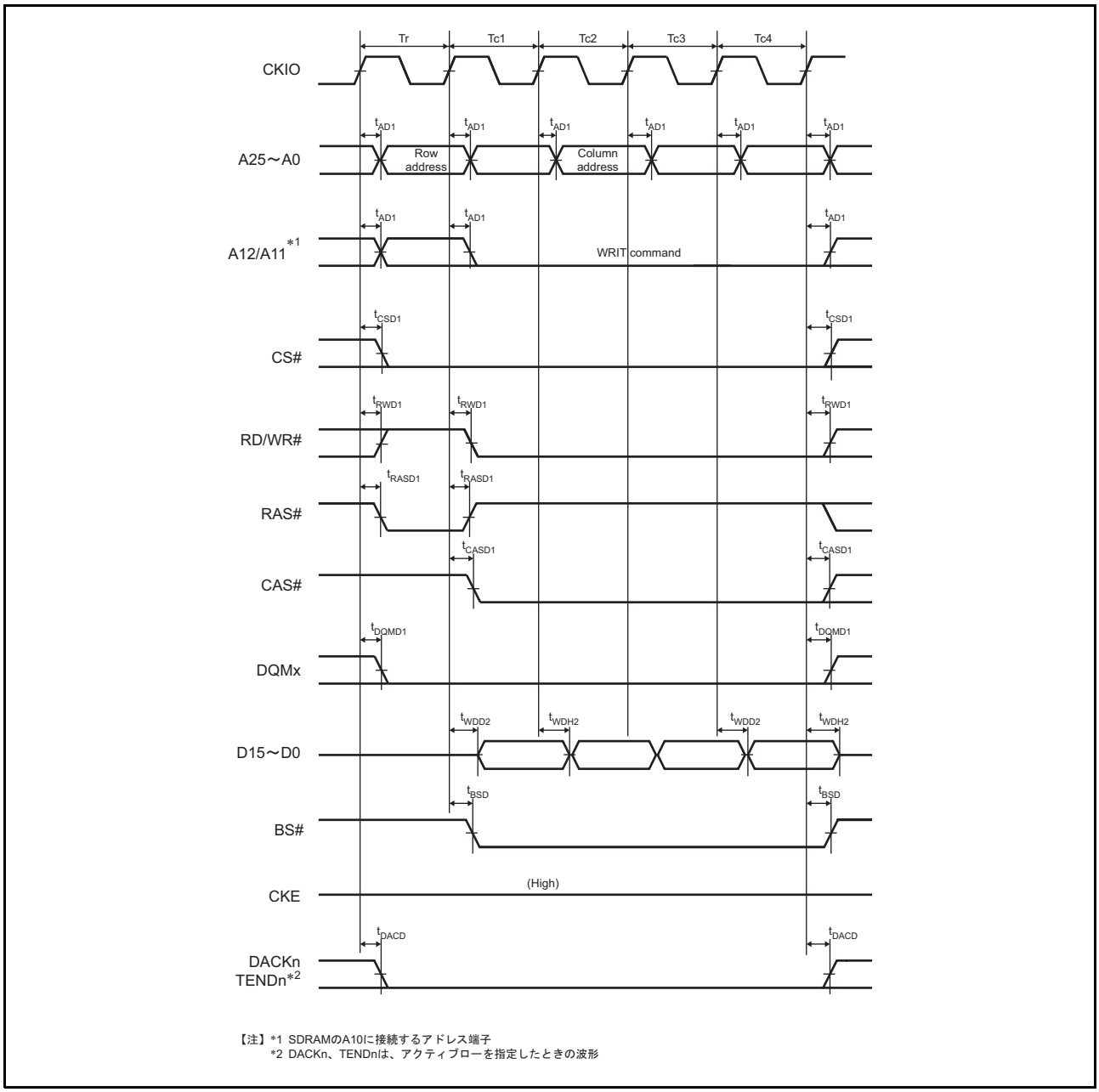


図 56.32　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（バンクアクティブモード：ACT ＋ WRITE コマンド、WTRCD ＝ 0 サイクル、TRWL ＝ 0 サイクル）

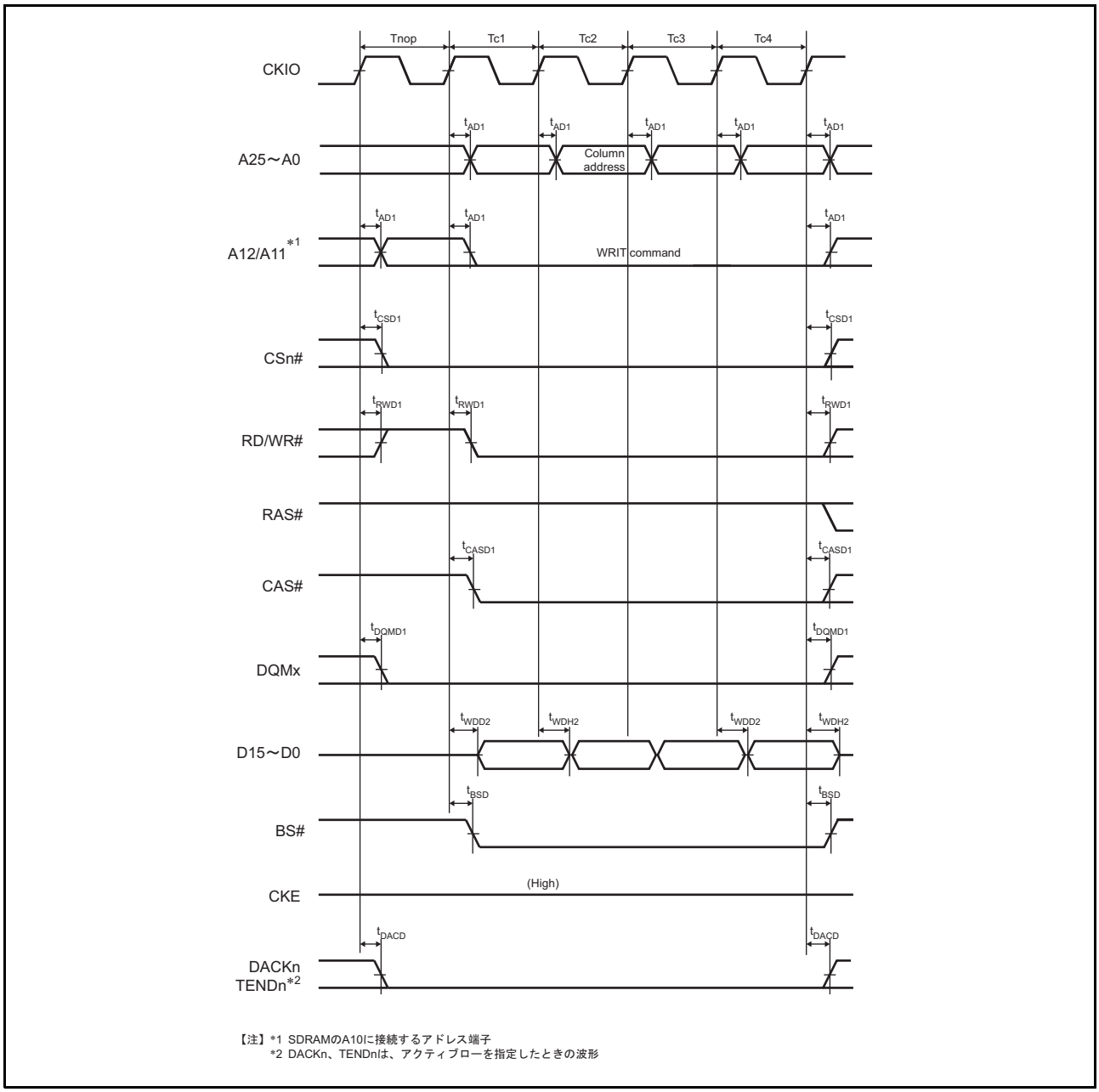
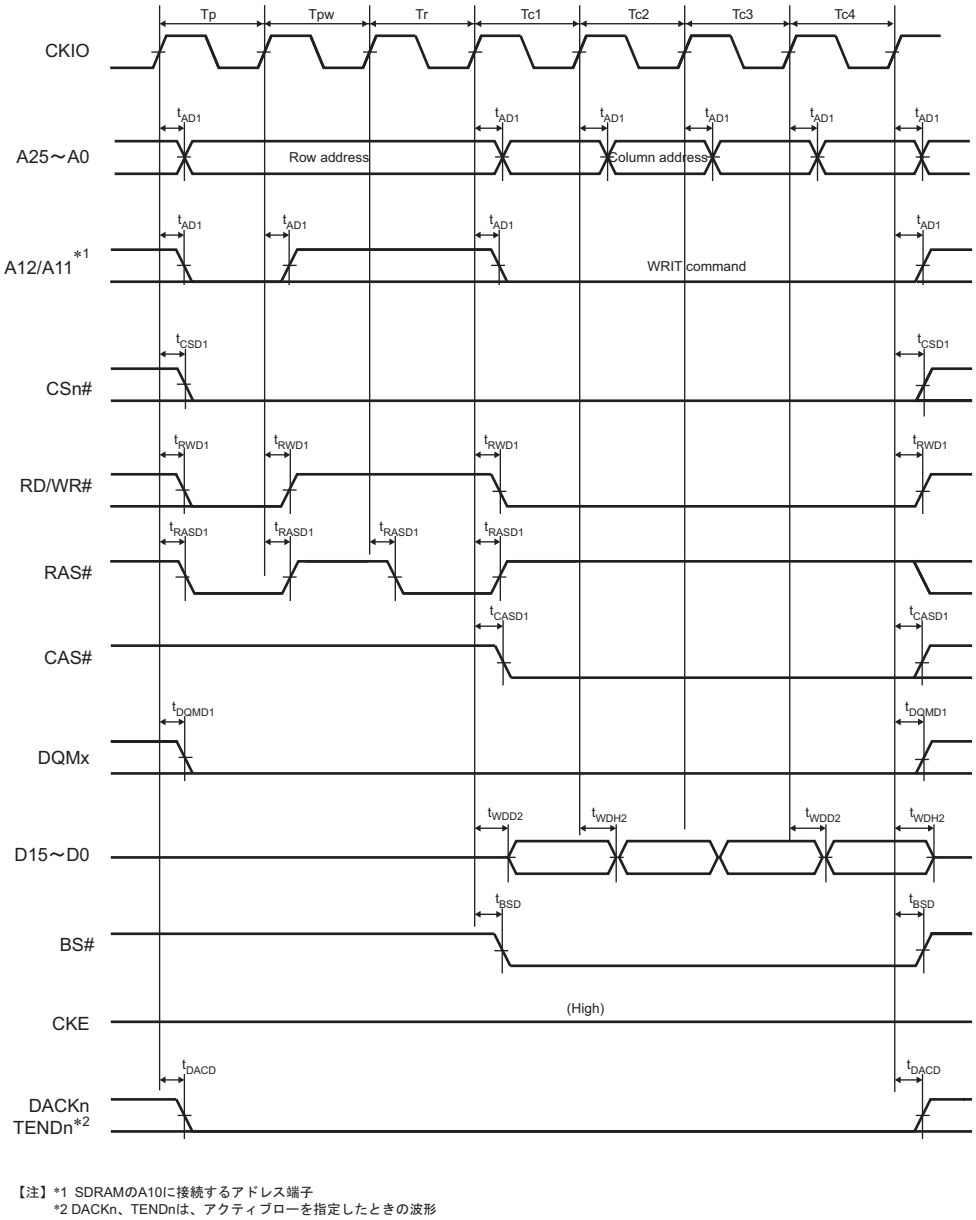
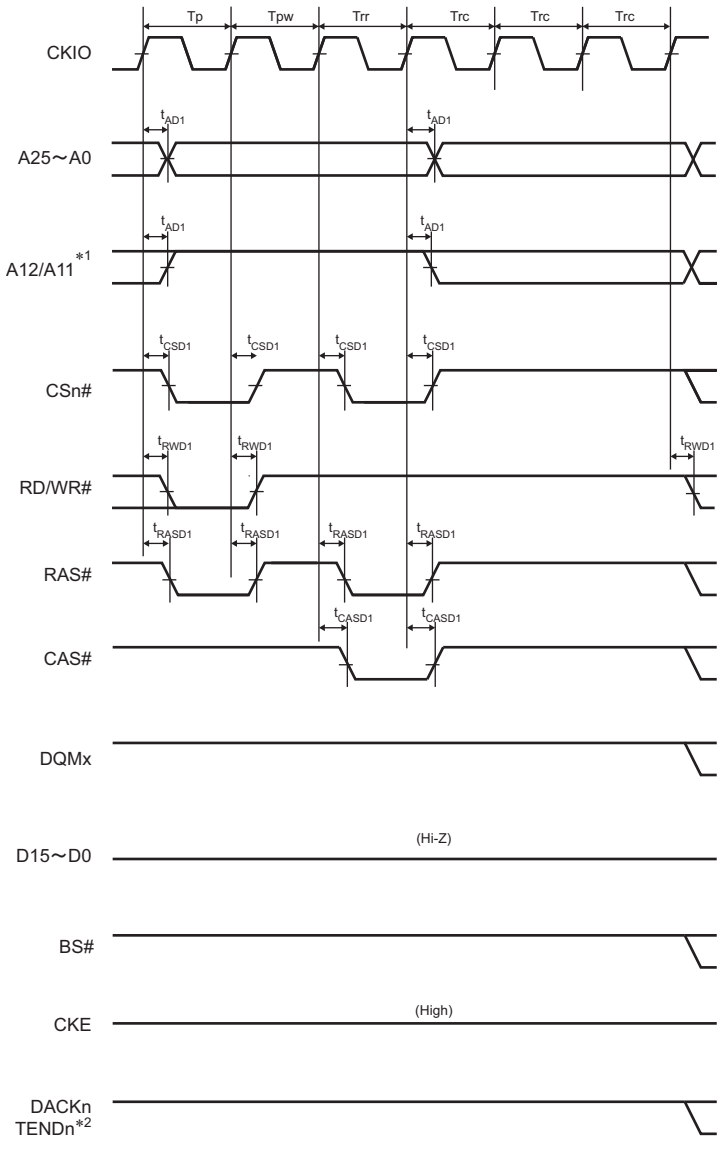


図 56.33　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（バンクアクティブモード：WRITE コマンド、同一ロウアドレス、WTRCD ＝ 0 サイクル、TRWL ＝ 0 サイクル）



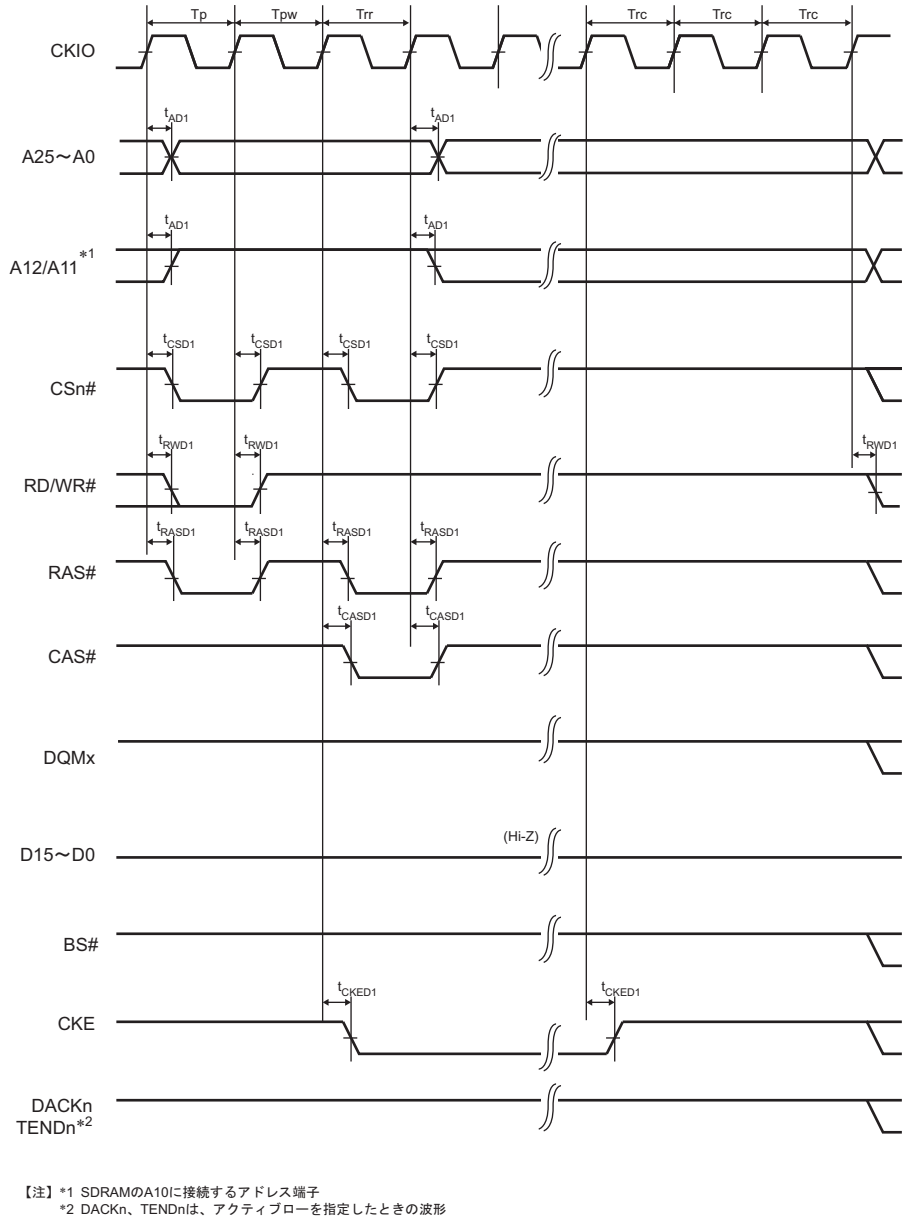
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.34 シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（バンクアクティブモード：PRE ＋ ACT ＋ WRITE コマンド、異なるロウアドレス、WTRCD ＝ 0 サイクル、TRWL ＝ 0 サイクル）



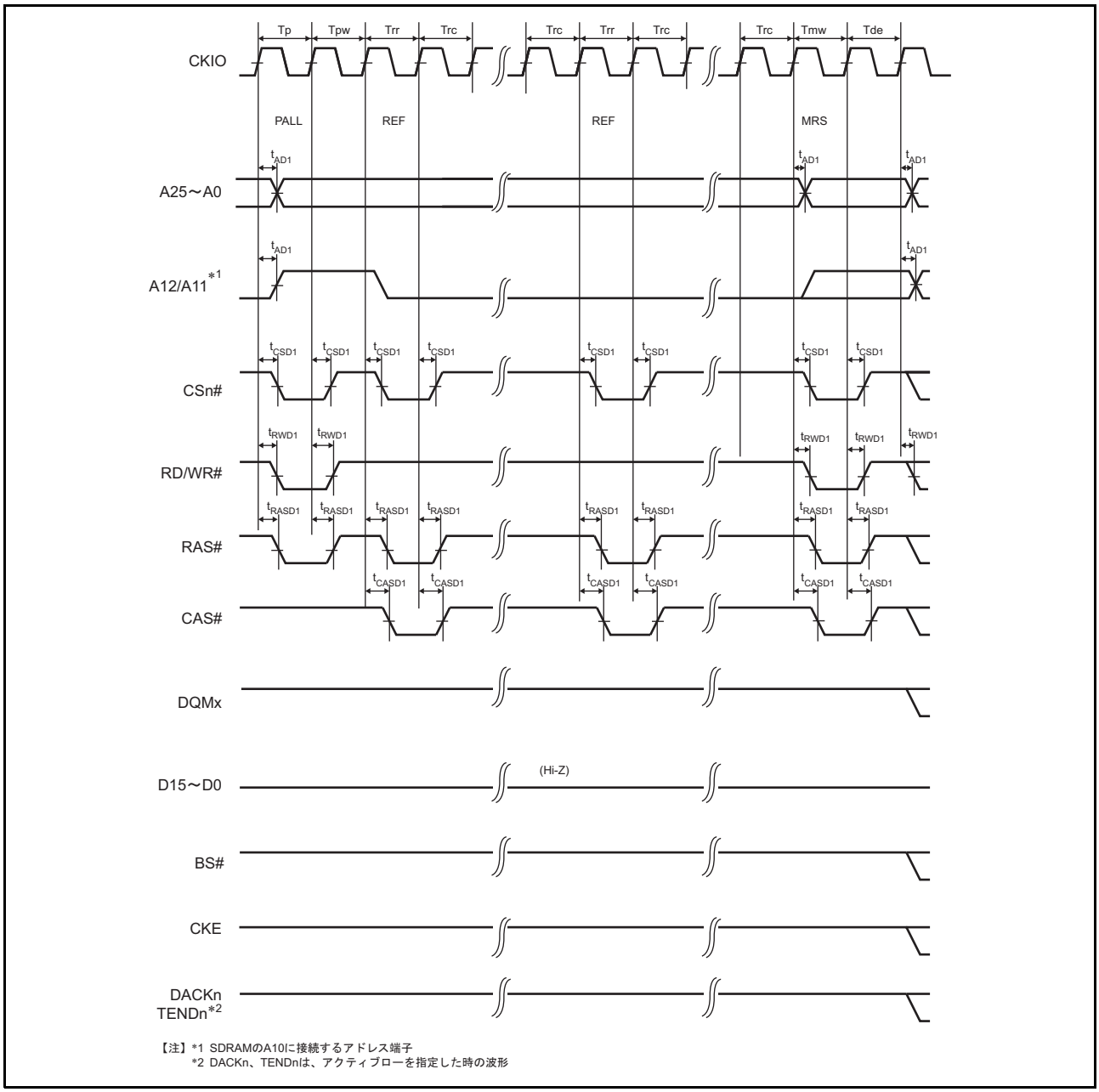
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.35 シンクロナス DRAM オートリフレッシュタイミング（WTRP ＝ 1 サイクル、WTRC ＝ 3 サイクル）



【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 56.36 シンクロナス DRAM セルフリフレッシュタイミング（WTRP ＝ 1 サイクル）



【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定した時の波形

図 56.37 シンクロナス DRAM モードレジスタ書き込みタイミング（WTRP ＝ 1 サイクル）

56.4.5　ダイレクトメモリアクセスコントローラタイミング

表 56.9　ダイレクトメモリアクセスコントローラタイミング

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t_{DRQS}	4.0	—	ns	図 56.38
DREQ ホールド時間	t_{DRQH}	0.5	—		
DACK、TEND 遅延時間	t_{DACD}	0	12		図 56.39

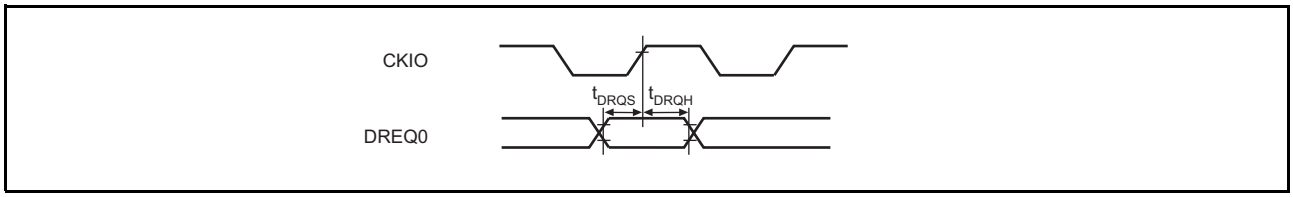


図 56.38　DREQ 入力タイミング

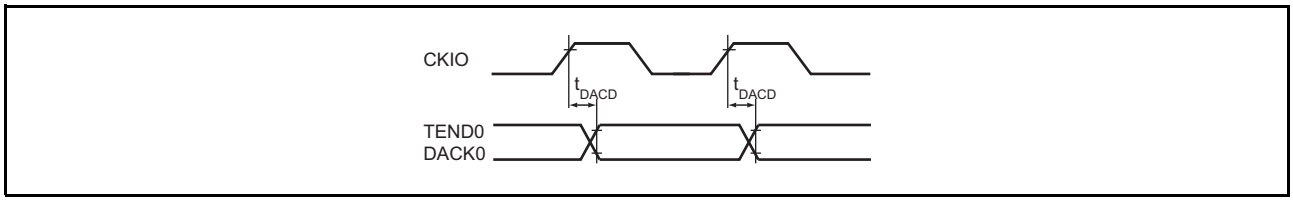


図 56.39　DACK、TEND 出力タイミング

56.4.6　マルチファンクションタイマパルスユニット 3（MTU3a）タイミング

表 56.10　MTU3a タイミング

項目			記号	Min.	Max.	単位（注 1）	測定条件
MTU3a	インプットキャプチャ入力パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{p1cyc}	図 56.40
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH}、t_{MTCKWL}	1.5	—	t_{p1cyc}	図 56.41
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注 1.　t_{p1cyc} は周辺クロック 1C (P1φ) の周期を示します。

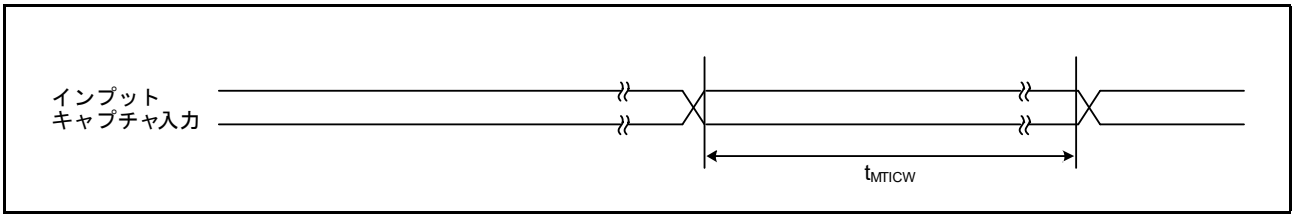


図 56.40　MTU3a インプットキャプチャ入力タイミング

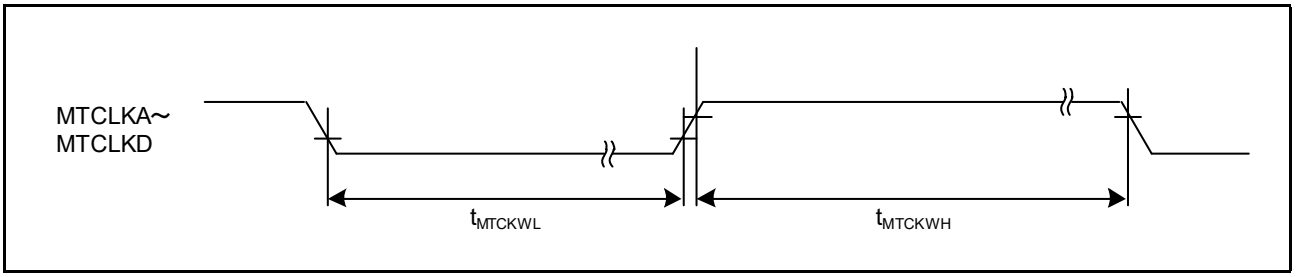


図 56.41　MTU3a クロック入力タイミング

56.4.7 ポートアウトプットイネーブル 3（POE3）タイミング

表 56.11 POE3 タイミング

項目		記号	Min.	Max.	単位 (注 1)	測定条件
POE3	POEn# 入力パルス幅	t_{POE3W}	1.5	—	t_{p1cyc}	図 56.42

注 1. t_{p1cyc} は周辺クロック 1C (P1φ) の周期を示します。

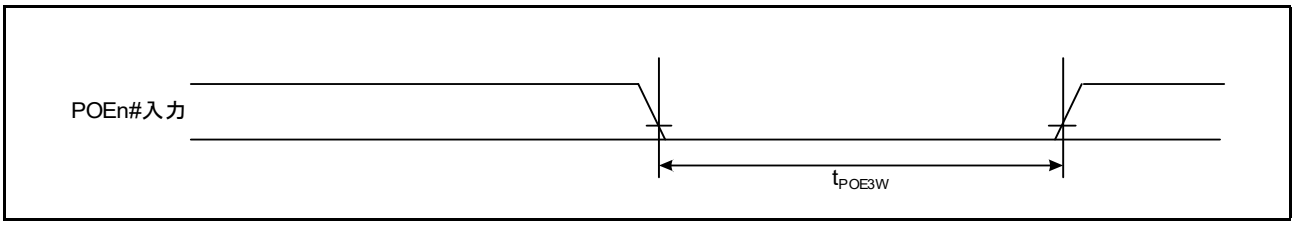


図 56.42 POEn# 入力パルスタイミング

56.4.8　汎用 PWM タイマ（GPT）タイミング

表 56.12　GPT タイミング

項目			記号	Min.	Max.	単位（注 1）	測定条件
GPT	インプットキャプチャ入力パルス幅	単エッジ指定	t_{GTICW}	1.5	—	t_{p1cyc}	図 56.43
		両エッジ指定		2.5	—		

注 1.　t_{p1cyc} は周辺クロック 1C (P1φ) の周期を示します。

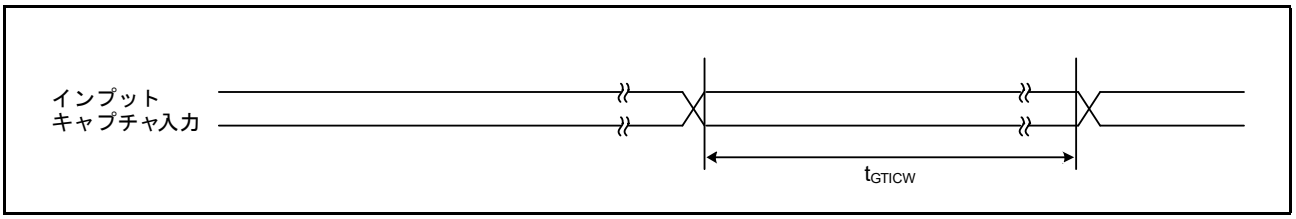


図 56.43　GPT インプットキャプチャ入力タイミング

56.4.9 GPT 用ポートアウトプットイネーブル（POEG）タイミング

表 56.13 POEG タイミング

項目		記号	Min.	Max.	単位 (注 1)	測定条件
POEG	POEG 入力トリガパルス幅	t_{POEGW}	3	—	t_{p1cyc}	図 56.44

注 1. t_{p1cyc} は周辺クロック 1C (P1φ) の周期を示します。

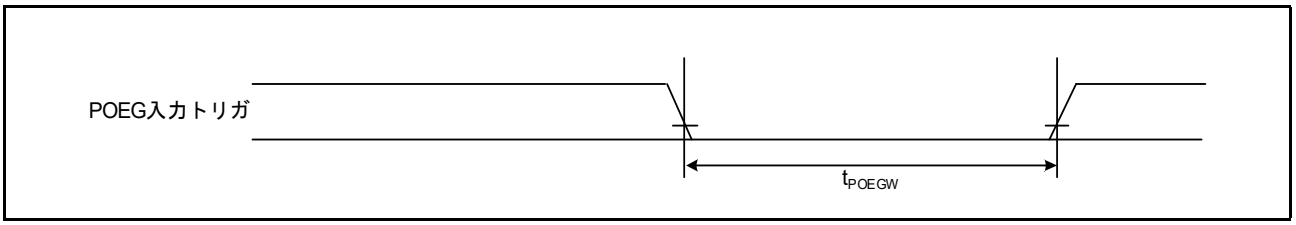


図 56.44 POEG 入力トリガタイミング

56.4.10 ウォッチドッグタイマタイミング

表56.14 ウォッチドッグタイマタイミング

項目	記号	Min.	Max.	単位	参照図
WDTOVF#遅延時間	t_{WOVD}	—	100	ns	図56.45
PERROUT#遅延時間	t_{PEOD}	—	100	ns	

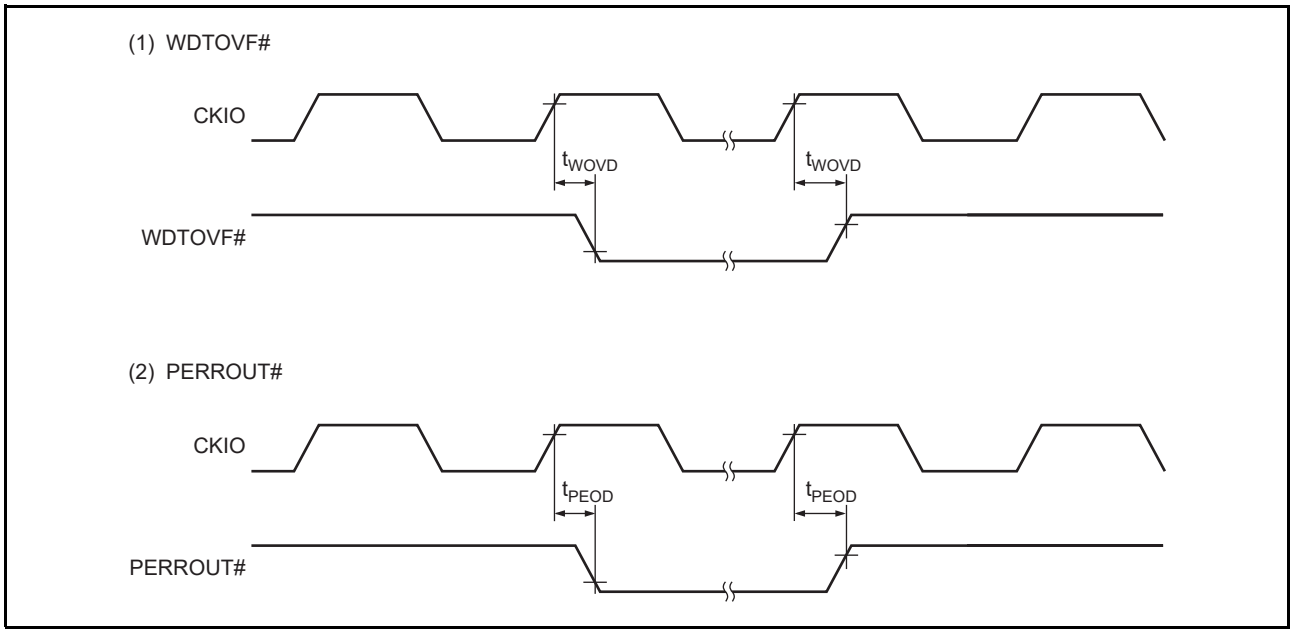


図 56.45 ウォッチドッグタイマ 出力タイミング

56.4.11　FIFO 内蔵シリアルコミュニケーションインタフェース（SCIFA）タイミング

表 56.15　SCIFA タイミング

項目			記号	Min.（注1）	Max.（注1）	単位（注1）	測定条件
SCIFA	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{p1cyc}	図 56.46
		クロック同期		12	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期（注2）	t_{Scyc}	8	—	t_{p1cyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	9	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	9	ns	
	送信データ遅延時間	内部クロック	t_{TXD}	− 10	10	ns	図 56.47
		外部クロック		$3 \times t_{p1cyc}$	$4 \times t_{p1cyc} + 20$		
	受信データセットアップ時間	内部クロック	t_{RXS}	$3 \times t_{p1cyc} + 20$	—	ns	
		外部クロック		$t_{p1cyc} + 10$	—		
	受信データホールド時間	内部クロック	t_{RXH}	$-3 \times t_{p1cyc}$	—	ns	
		外部クロック		$2 \times t_{p1cyc} + 10$	—		

注1.　t_{p1cyc}は周辺クロック 1C (P1φ)の周期を示します。
注2.　SEMR.ABCS0 ビット＝1 かつSEMR.BGDM ビット＝1の時

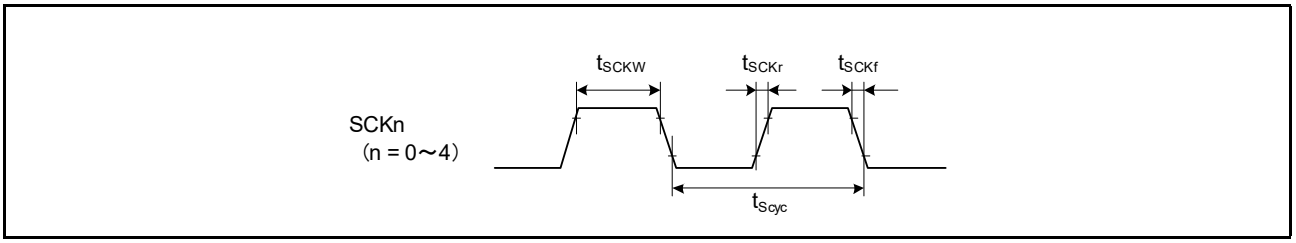


図 56.46　SCK クロック入力タイミング

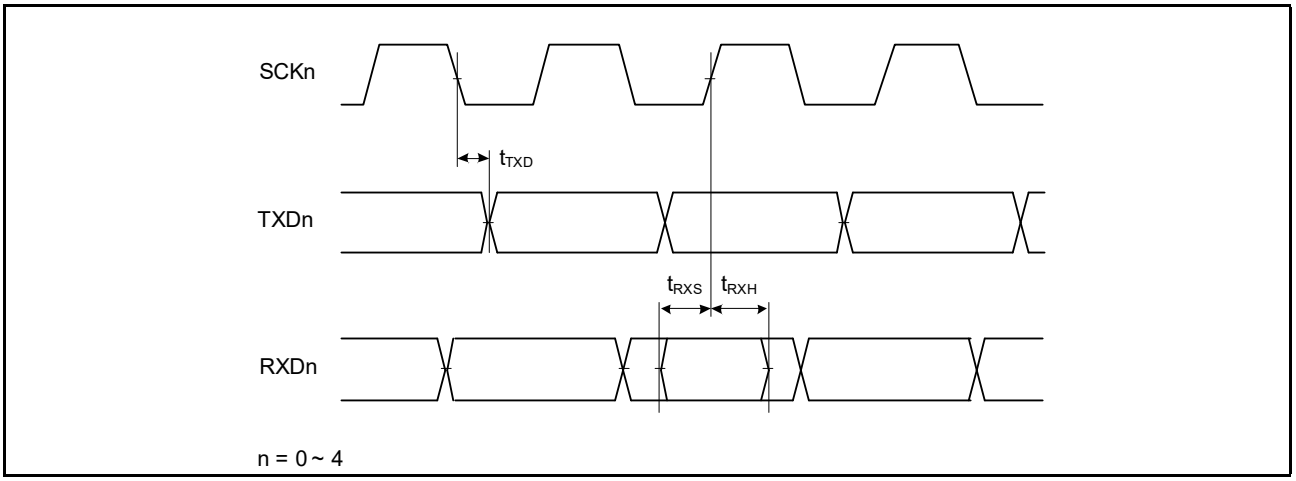


図 56.47　SCIFA 入出力タイミング／クロック同期式モード

56.4.12　シリアルコミュニケーションインタフェース（SCI）タイミング

表 56.16　SCI タイミング

項目			記号	Min.	Max.	単位	測定条件
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{Pcyc}（注 1）	図 56.48
		クロック同期		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期（注 2）	t_{Scyc}	8	—	t_{Pcyc}（注 1）	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	送信データ遅延時間	クロック同期	t_{TXD}	—	28	ns	図 56.49
	受信データセットアップ時間	クロック同期	t_{RXS}	15	—	ns	
	受信データホールド時間	クロック同期	t_{RXH}	5	—	ns	

注 1.　t_{Pcyc}：P1φ の周期
注 2.　SEMR.ABCS ビット＝1 かつ SEMR.BGDM ビット＝1 のとき

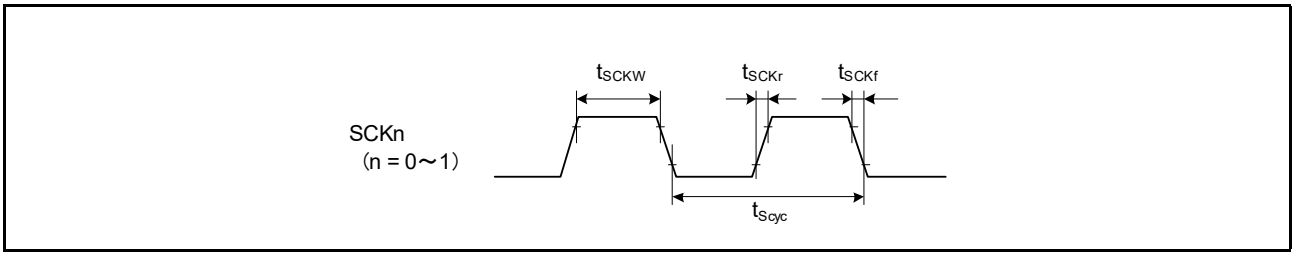


図 56.48　SCK クロック入力タイミング

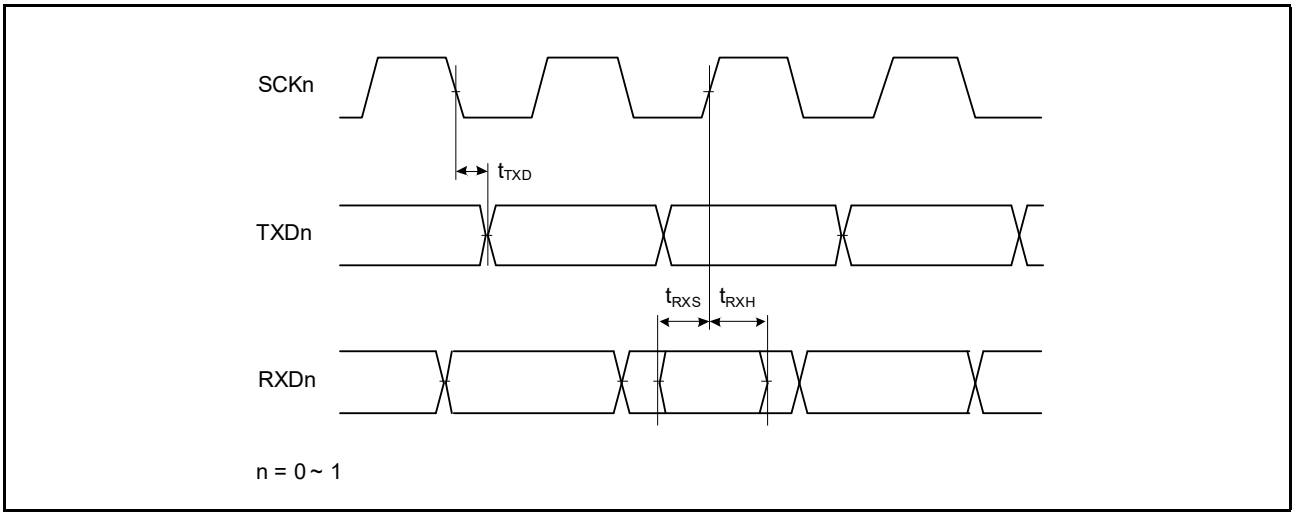


図 56.49　SCI 入出力タイミング／クロック同期式モード

56.4.13　ルネサスシリアルペリフェラルインタフェースタイミング

表56.17　ルネサスシリアルペリフェラルインタフェースタイミング

項目		記号	Min.	Max.	単位	参照図
RSPCKクロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{p1cyc}	図56.50
	スレーブ		8	4096		
RSPCKクロックハイレベルパルス幅	マスタ	t_{SPCKWH}	0.4	—	t_{SPcyc}	
	スレーブ		0.4	—		
RSPCKクロックローレベルパルス幅	マスタ	t_{SPCKWL}	0.4	—	t_{SPcyc}	
	スレーブ		0.4	—		
データ入力セットアップ時間	マスタ	t_{SU}	15	—	ns	図56.51～図56.54
	スレーブ		0	—	t_{p1cyc}	
データ入力ホールド時間	マスタ	t_H	0	—	ns	
	スレーブ		4	—	t_{p1cyc}	
SSLセットアップ時間	マスタ	t_{LEAD}	$1 \times t_{SPcyc} - 20$	$8 \times t_{SPcyc}$	ns	
	スレーブ		4	—	t_{p1cyc}	
SSLホールド時間	マスタ	t_{LAG}	$1 \times t_{SPcyc}$	$8 \times t_{SPcyc} + 20$	ns	
	スレーブ		4	—	t_{p1cyc}	
データ出力遅延時間	マスタ	t_{OD}	—	21	ns	
	スレーブ		—	4	t_{p1cyc}	
データ出力ホールド時間	マスタ	t_{OH}	5	—	ns	
	スレーブ		3	—	t_{p1cyc}	
連続送信遅延時間	マスタ	t_{TD}	$1 \times t_{SPcyc} + 2 \times t_{cyc}$	$8 \times t_{SPcyc} + 2 \times tcyc$	ns	
	スレーブ		$4 \times tcyc$	—		
スレーブアクセス時間		t_{SA}	—	4	t_{p1cyc}	図56.53、図56.54
スレーブ出力解放時間		t_{REL}	—	3	t_{p1cyc}	

注.　t_{p1cyc}は周辺クロック1 (P1φ) の周期を示します。

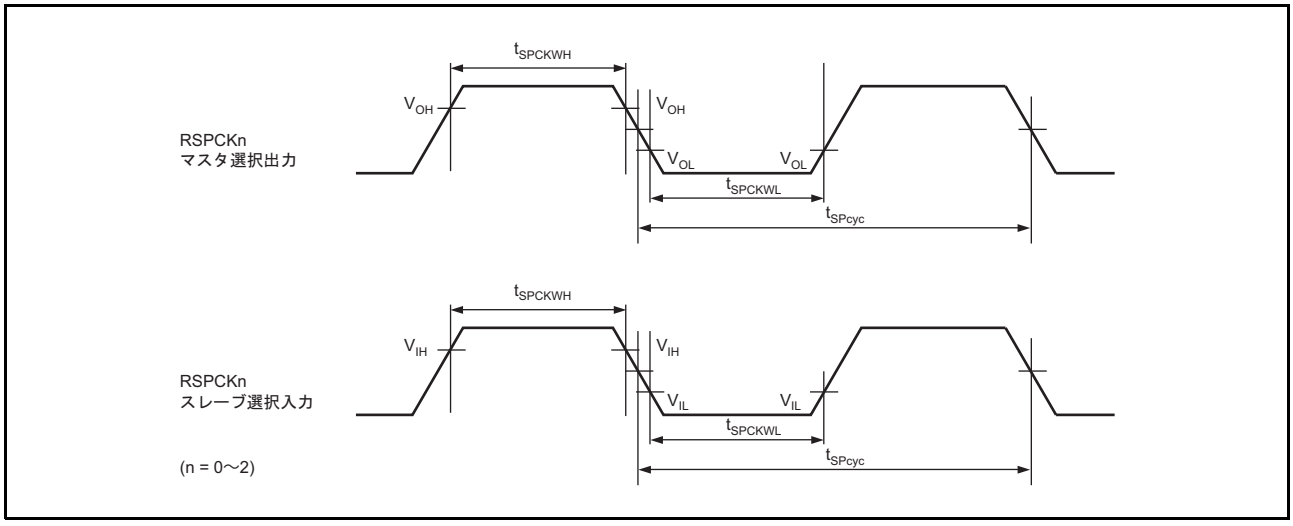


図 56.50　クロックタイミング

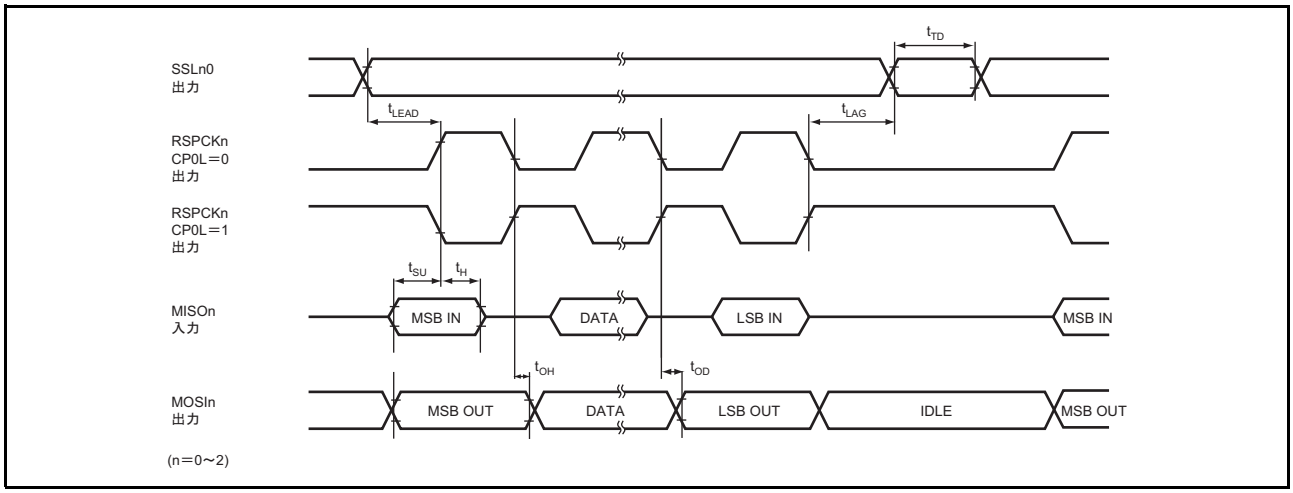


図 56.51　送受信タイミング（マスタ、CPHA ＝ 0）

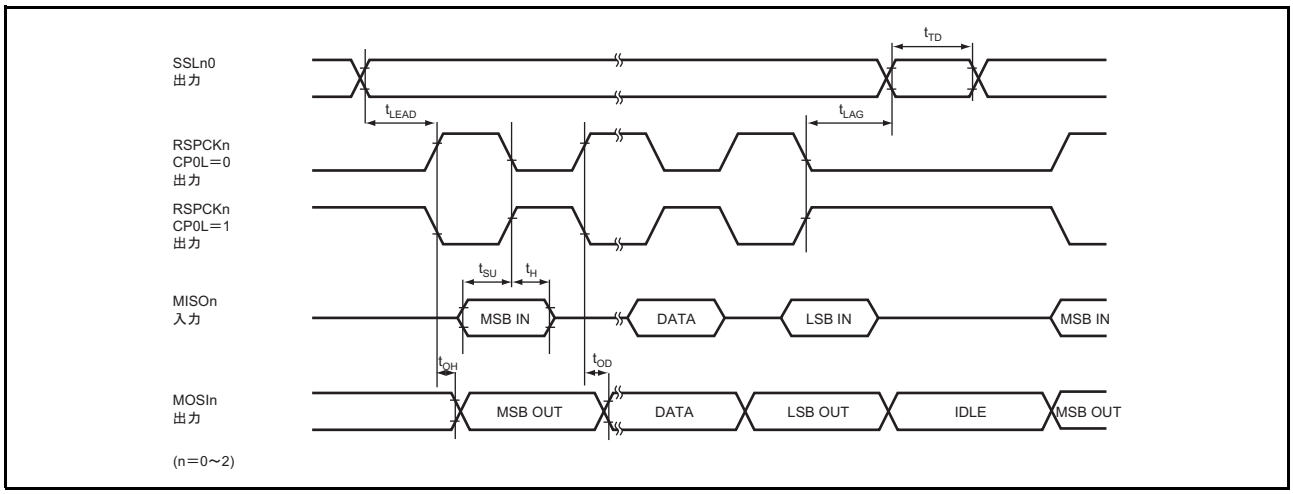


図 56.52　送受信タイミング（マスタ、CPHA ＝ 1）

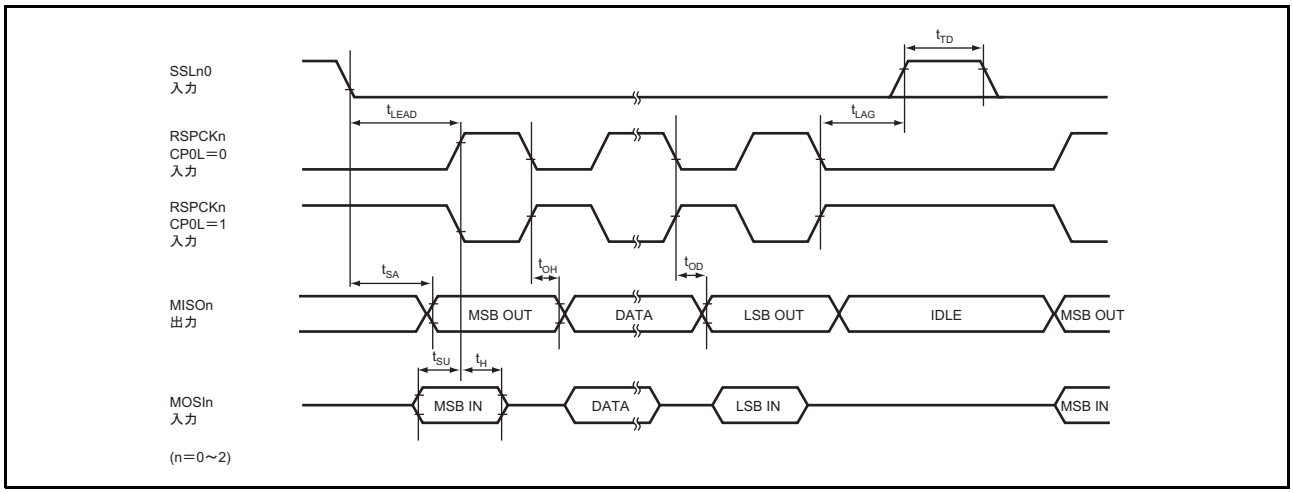


図 56.53　送受信タイミング（スレーブ、CPHA ＝ 0）

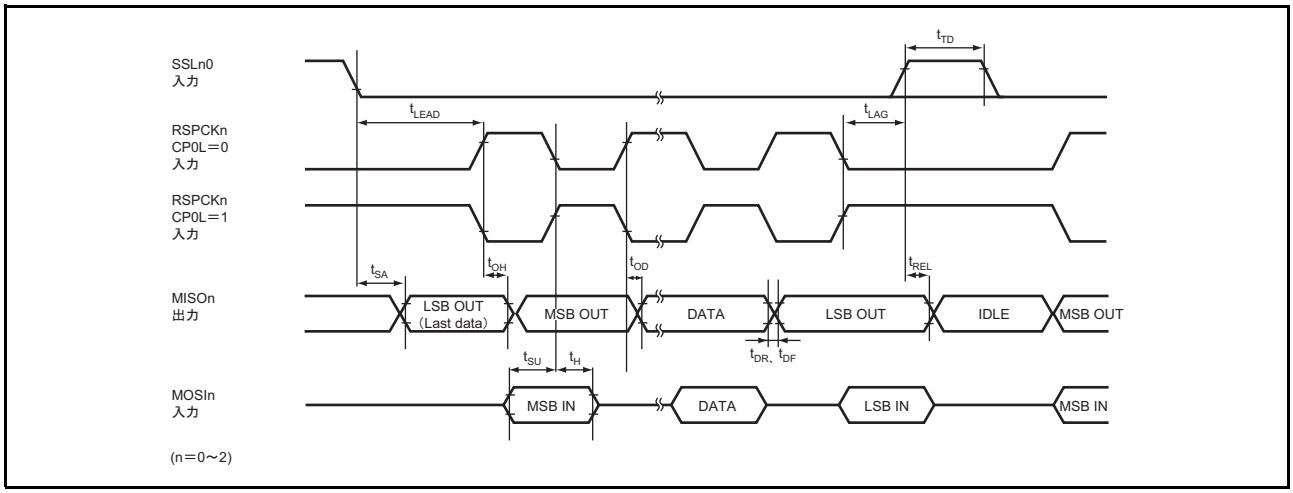


図 56.54　送受信タイミング（スレーブ、CPHA ＝ 1）

56.4.14 SPI マルチ I/O バスコントローラタイミング

表56.18 SPIマルチI/Oバスコントローラタイミング (注1)

項目		記号	1.8V (Octal-SPIフラッシュメモリ／HyperFlash接続時)		3.3V (シリアルフラッシュ接続時)		単位	参照図
			Min.	Max.	Min.	Max.		
クロックサイクル		t_{SPBcyc}	7.58	—	15.15	—	ns	図56.55、図56.59
CLKハイレベルパルス幅		t_{SPBWH}	0.475	0.525	0.475	0.525	t_{SPBcyc}	図56.55、図56.59
CLKローレベルパルス幅		t_{SPBWL}	0.475	0.525	0.475	0.525	t_{SPBcyc}	図56.55、図56.59
CLK立上り時間		t_{SPBR}	—	1.0	—	2.0	ns	図56.55、図56.59
CLK立下り時間		t_{SPBF}	—	1.0	—	2.0	ns	図56.55、図56.59
データ入力セットアップ時間	QSPI0_SPCLK基準(SDRモードタイミング調整後)	t_{SU}	—	—	5.0	—	ns	図56.56
	QSPI0_SPCLK基準(DDRモードタイミング調整後)		—	—	2.0	—	ns	図56.57
	QSPI1_SSL基準		−0.9 (注2)	—	—	—	ns	図56.60
データ入力ホールド時間	QSPI0_SPCLK基準(SDRモードタイミング調整後)	t_H	—	—	0.0	—	ns	図56.56
	QSPI0_SPCLK基準(DDRモードタイミング調整後)		—	—	1.0	—	ns	図56.57
	QSPI1_SSL基準		2.69 (注2)	—	—	—	ns	図56.60
SSLセットアップ時間		t_{LEAD}	$1.5 \times t_{SPBcyc} - 3$	$8.5 \times t_{SPBcyc} + 3$	$1.5 \times t_{SPBcyc} - 3$	$8.5 \times t_{SPBcyc} + 3$	ns	図56.56、図56.57、図56.60
SSLホールド時間		t_{LAG}	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc} + 3$	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc} + 3$	ns	図56.56、図56.57、図56.60
連続転送遅延時間		t_{TD}	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc} + 3$	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc} + 3$	ns	図56.56、図56.57、図56.60
データ出力遅延時間	SDR	t_{OD}	—	1.4	—	5.0	ns	図56.56
	DDR		—	2.69 (注2)	—	5.0 (注3)	ns	図56.57、図56.60
データ出力ホールド時間	SDR	t_{OH}	−1.4	—	−5.0	—	ns	図56.56
	DDR		0.9 (注2)	—	2.1 (注3)	—	ns	図56.57、図56.60
クロック－データストローブスキュー		t_{CKDS}	—	7	—	—	ns	図56.60
データ出力バッファオフ時間	SDR	t_{BOFF}	−1.7	—	−5.5	2	ns	図56.58
	DDR		$1 \times t_{SPBcyc} - 1.7$	—	$1 \times t_{SPBcyc} - 5.5$	—	ns	
交流差動クロッシング電圧		V_{OX}	PVcc_SPI × 0.4	PVcc_SPI × 0.6	—	—	V	図56.59

注1. 外部負荷容量は、15pF
注2. QSPI0_SPCLK 132MHz時
注3. QSPI0_SPCLK 66MHz時

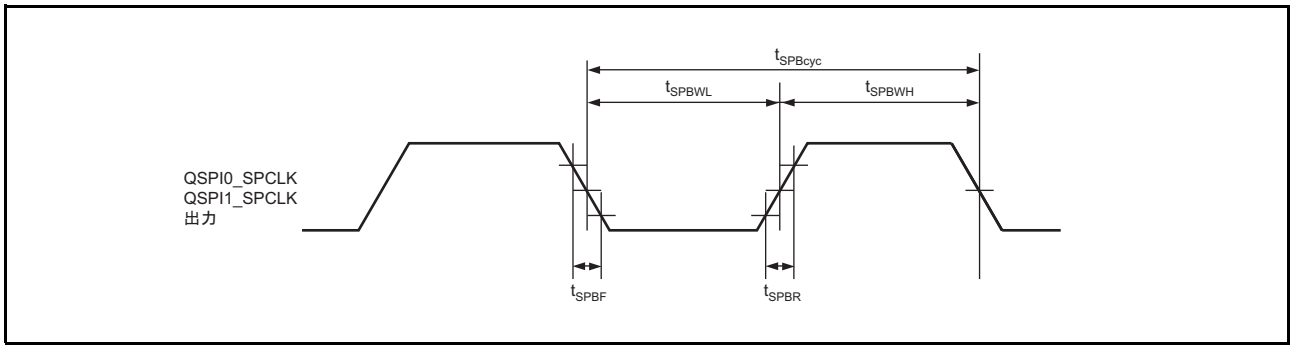


図 56.55 クロックタイミング

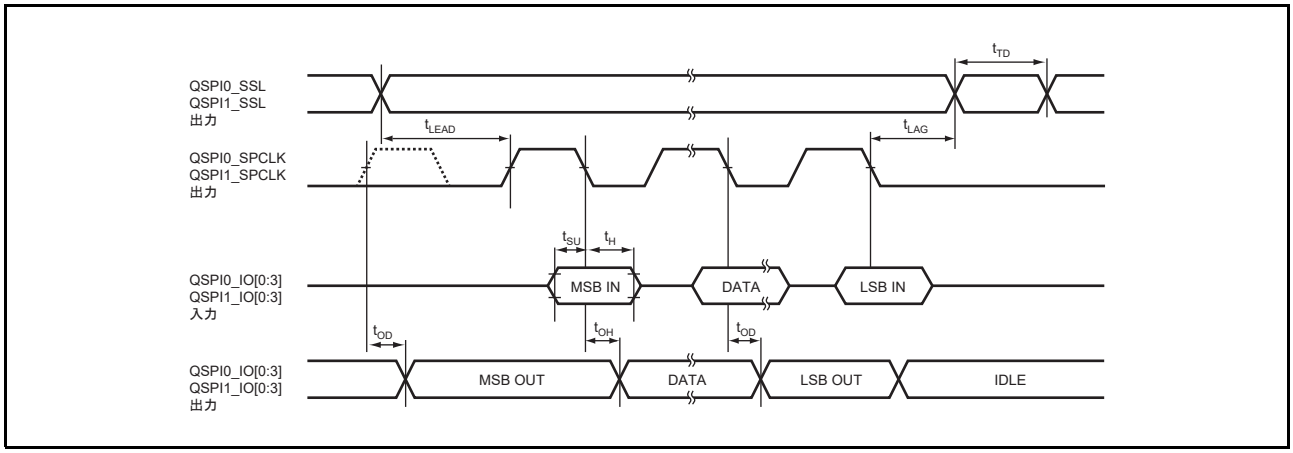


図 56.56 SDR 転送フォーマット送受信タイミング

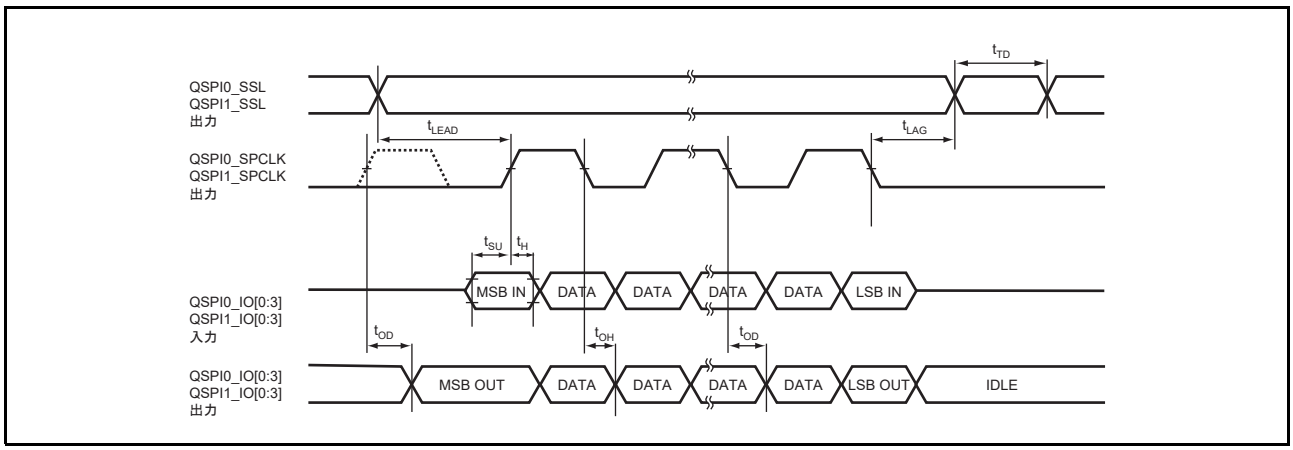


図 56.57 DDR 転送フォーマット送受信タイミング

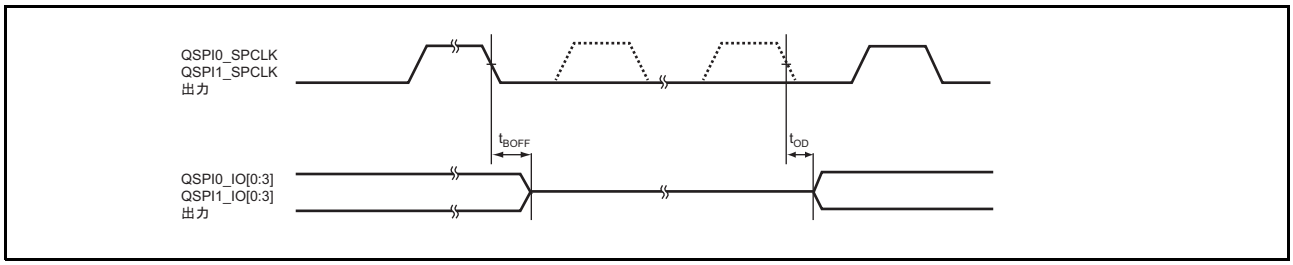


図 56.58 バッファオン／オフタイミング

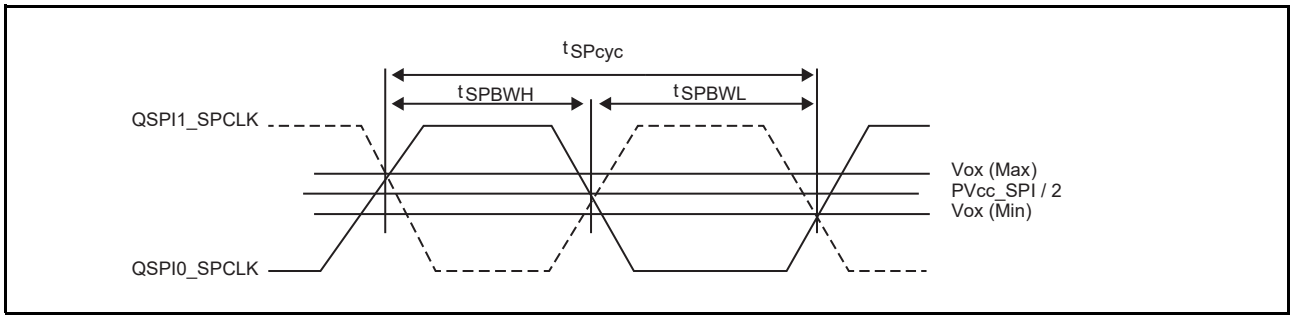


図 56.59 交流差動クロッシング電圧

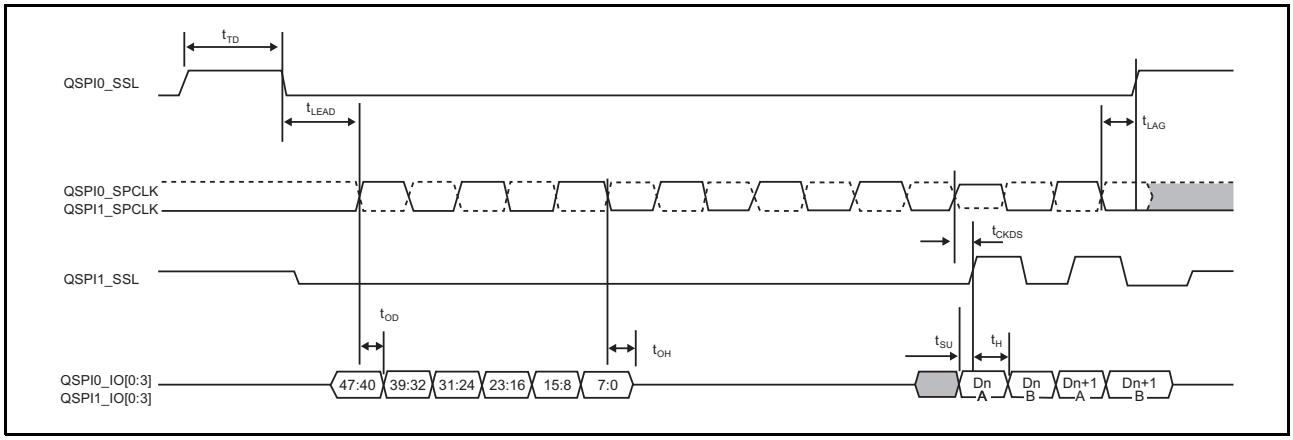


図 56.60 Octal-SPI フラッシュメモリ , HyperFlash™ 接続時送受信タイミング

56.4.15 HyperBus™ コントローラタイミング

表 56.19　HyperBus™ コントローラタイミング (注 1) (注 2)

項目	記号	Min.	Max.	単位	参照図
HM_CK, HM_CK# クロック周波数	f_{HY}	13.75	132	MHz	図 56.61、図 56.62
HM_CK, HM_CK# クロックパルス幅	t_{HYW}	0.475	0.525	t_{HYcyc}	
HM_CK, HM_CK# 立上り時間	t_{HYr}	—	1	ns	
HM_CK, HM_CK# 立下り時間	t_{HYf}	—	1	ns	
HM_CK, HM_CK# 差動クロスポイント電圧	V_{OX}	PVcc_HO × 0.4	PVcc_HO × 0.6	V	
HM_CS セットアップ時間	t_{CSSHY}	1 × t_{HYcyc} − 3 (レジスタ設定最小値 (注 3))	16 × t_{HYcyc} + 3 (レジスタ設定最大値 (注 3))	ns	図 56.63、図 56.64
HM_CS ホールド時間	t_{CSHHY}	1 × t_{HYcyc} − 3 (レジスタ設定最小値 (注 4))	16 × t_{HYcyc} + 3 (レジスタ設定最大値 (注 4))	ns	
HM_CS ハイ時間（連続転送時）	t_{CSHIHY}	1.5 × t_{HYcyc} − 3 (レジスタ設定最小値 (注 5))	16.5 × t_{HYcyc} + 3 (レジスタ設定最大値 (注 5))	ns	
データ入力セットアップ時間	t_{SU}	− 0.9 (注 7)	—	ns	
データ入力ホールド時間	t_{H}	2.69 (注 7)	—	ns	
クロック－データストローブスキュー	t_{CKDS}	—	(N + 1) × t_{HYcyc} − 3 (注 6)	ns	
データ出力遅延時間	t_{OD}	—	2.69 (注 7)	ns	
データ出力ホールド時間	t_{OH}	0.9 (注 7)	—	ns	
RWDS リフレッシュ入力セットアップ時間	t_{RWDSS}	12.5	—	ns	図 56.65
RWDS リフレッシュ入力ホールド時間	t_{RWDSH}	0.5 × t_{HYcyc}	—	ns	

注 1.　t_{HYcyc} は HM_CK, HM_CK# クロックの 1 サイクル時間を示します。
注 2.　出力負荷 15pF
注 3.　HM_CS0# は MTR0.WCSS/RCSS、HM_CS1# は MTR1.WCSS/RCSS ビットで設定されます。
注 4.　HM_CS0# は MTR0.WCSH/RCSH、HM_CS1# は MTR1.WCSH/RCSH ビットで設定されます。
注 5.　HM_CS0# は MTR0.WCSHI/RCSHI、HM_CS1# は MTR1.WCSHI/RCSHI ビットで設定されます。
注 6.　N は MTR0.RCSH、MTR1.RCSH ビットの値です。（N＝0～15）
注 7.　HM_CK 132MHz 時

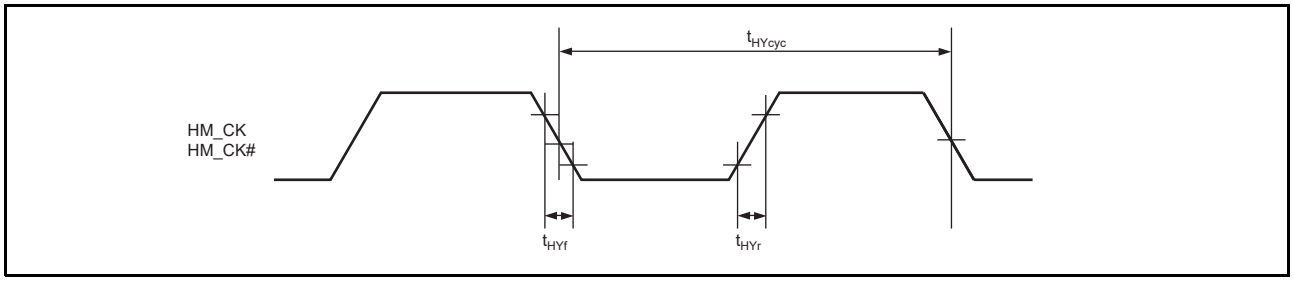


図 56.61　クロックタイミング

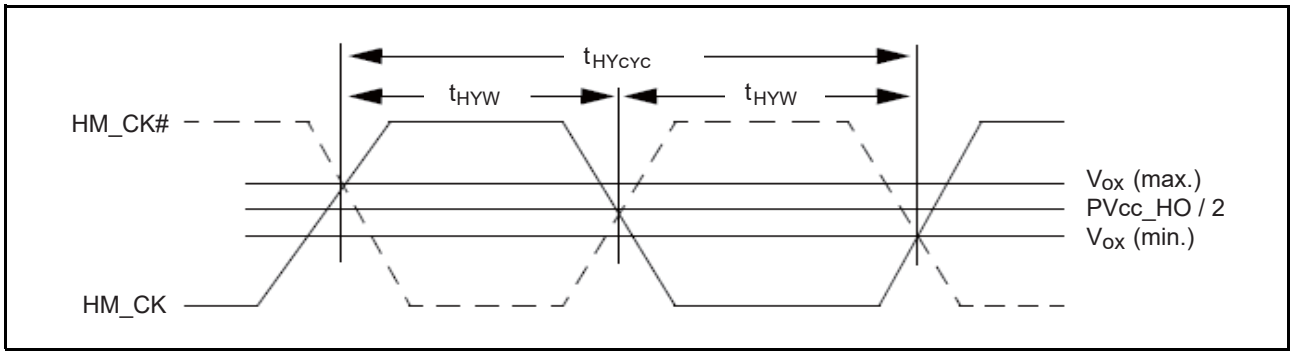


図 56.62　交流差動クロッシング電圧

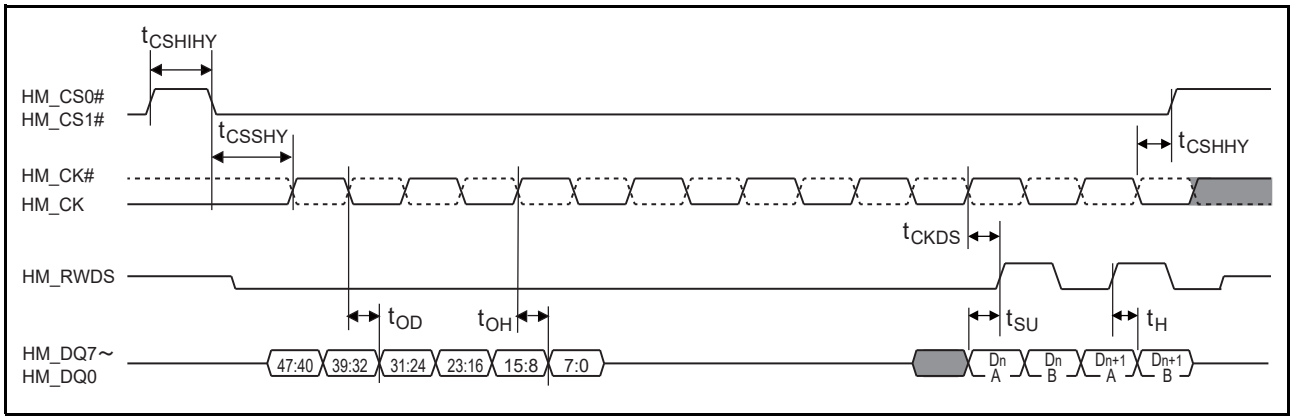


図 56.63 HyperBus™ リードタイミング

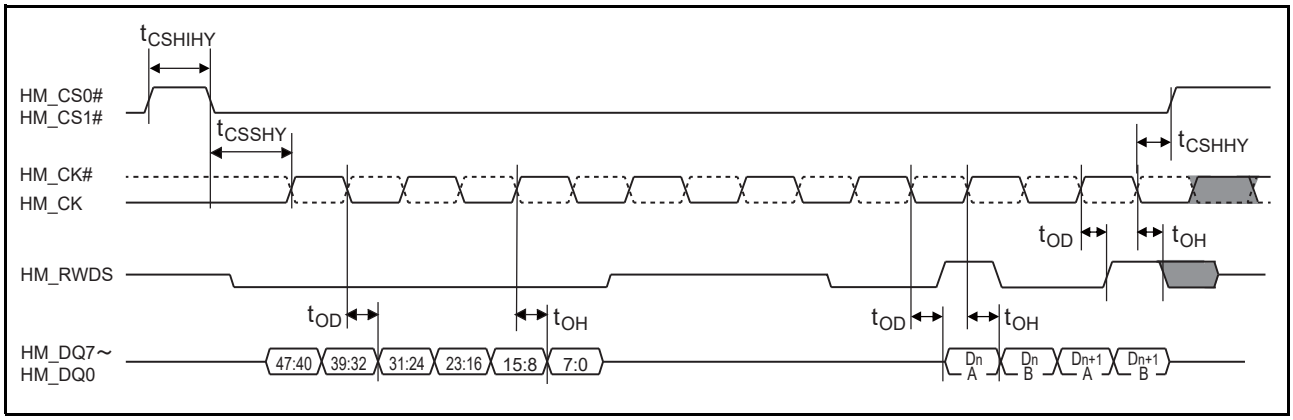


図 56.64 HyperBus™ ライトタイミング

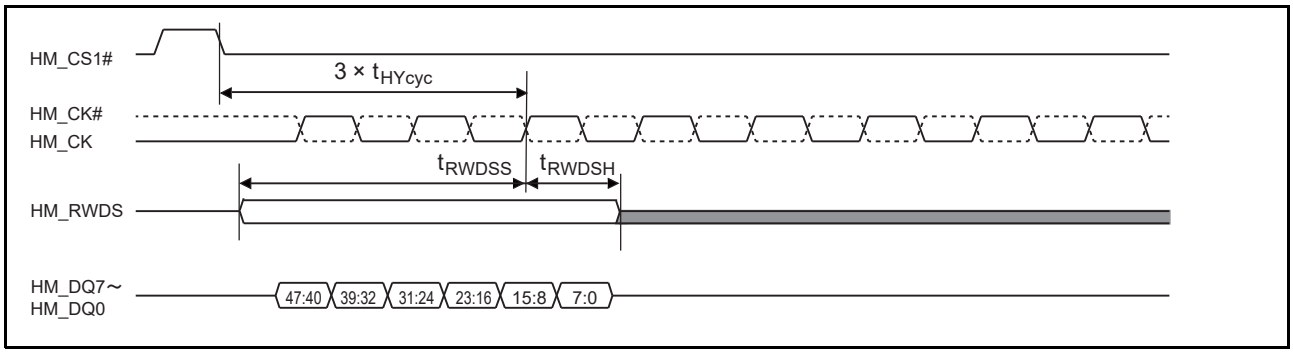


図 56.65 RWDS リフレッシュ入力タイミング（HyperRAM™ リード / ライト時）

56.4.16 Octa メモリコントローラタイミング

表 56.20 Octa メモリコントローラタイミング (注1) (注2)

項目		記号	Min.	Max.	単位	参照図
OM_SCLK クロック周波数		f_{OCcyc}	—	132	MHz	図 56.66
OM_SCLK ハイレベルパルス幅		t_{OCwh}	0.475	0.525	t_{OCcyc}	
OM_SCLK ローレベルパルス幅		t_{OCwl}	0.475	0.525	t_{OCcyc}	
OM_SCLK 立上り時間		t_{OCr}	—	1	ns	
OM_SCLK 立下り時間		t_{OCf}	—	1	ns	
OM_CS セットアップ時間	SPI/SOPI	t_{OCLEAD}	$1 \times t_{OCcyc} - 3$（レジスタ設定最小値）	$2.5 \times t_{OCcyc} + 3$（レジスタ設定最大値）	ns	図 56.67, 図 56.68
	DOPI	t_{OCLEAD}	$0.75 \times t_{OCcyc} - 3$（レジスタ設定最小値）	$2.25 \times t_{OCcyc} + 3$（レジスタ設定最大値）	ns	図 56.69
OM_CS ホールド時間	SPI/SOPI	t_{OCLAG}	$1 \times t_{OCcyc} - 3$（レジスタ設定最小値）	$4.5 \times t_{OCcyc} + 3$（レジスタ設定最大値）	ns	図 56.67, 図 56.68
	DOPI リード	t_{OCLAG}	$3.25 \times t_{OCcyc} - 3$（レジスタ設定最小値）	$4.25 \times t_{OCcyc} + 3$（レジスタ設定最大値）	ns	図 56.69
	DOPI ライト	t_{OCLAG}	$0.75 \times t_{OCcyc} - 3$（レジスタ設定最小値）	$4.25 \times t_{OCcyc} + 3$（レジスタ設定最大値）	ns	
連続転送遅延時間		t_{OCTD}	$1 \times t_{OCcyc} - 3$（レジスタ設定最小値）	$8.5 \times t_{OCcyc} + 3$（レジスタ設定最大値）	ns	図 56.67, 図 56.68, 図 56.69
データ入力セットアップ時間	SPI SCLK 基準	t_{SU}	9.6	—	ns	図 56.67
データ入力ホールド時間		t_H	0.5	—	ns	
データ入力セットアップ時間	SOPI/DOPI DQS 基準 (注3)	t_{SU}	− 0.7	—	ns	図 56.68, 図 56.69
データ入力ホールド時間		t_H	2.69	—	ns	
クロック－データストローブスキュー		t_{CKDS}	—	20	ns	
データ出力遅延時間	SPI/SOPI	t_{OD}	—	1.4	ns	図 56.67, 図 56.68
データ出力ホールド時間		t_{OH}	− 1.4	—	ns	
データ出力バッファオフ時間	SOPI	t_{BOFF}	2	—	ns	図 56.68
データ出力遅延時間	DOPI (注3)	t_{OD}	—	2.69	ns	図 56.69, 図 56.70
データ出力ホールド時間		t_{OH}	0.9	—	ns	
データ出力バッファオフ時間	DOPI	t_{BOFF}	0.9	—	ns	図 56.69
DQS リフレッシュ入力セットアップ時間		t_{DQSS}	12	—	ns	図 56.71
DQS リフレッシュ入力ホールド時間		t_{DQSH}	$0.5 \times t_{OCcyc}$	—	ns	

注1. t_{OCcyc} は OM_SCLK クロックの1サイクル時間を示します。
注2. 最大負荷容量 15pF
注3. OM_SCLK 132MHz 時

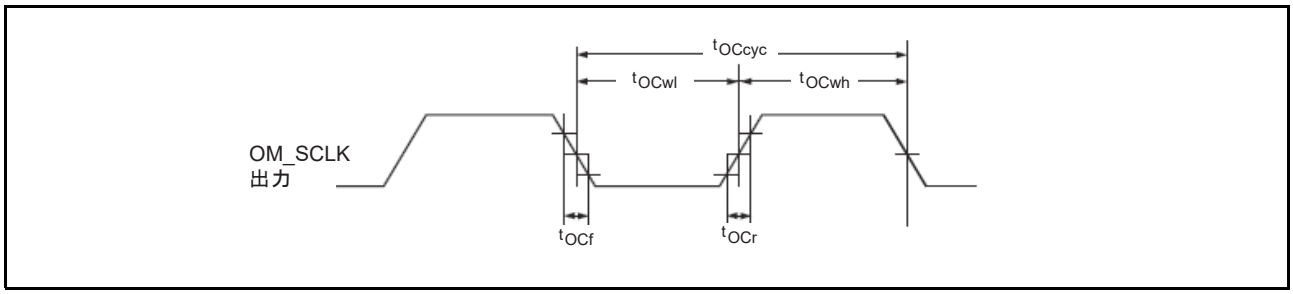


図 56.66 クロックタイミング

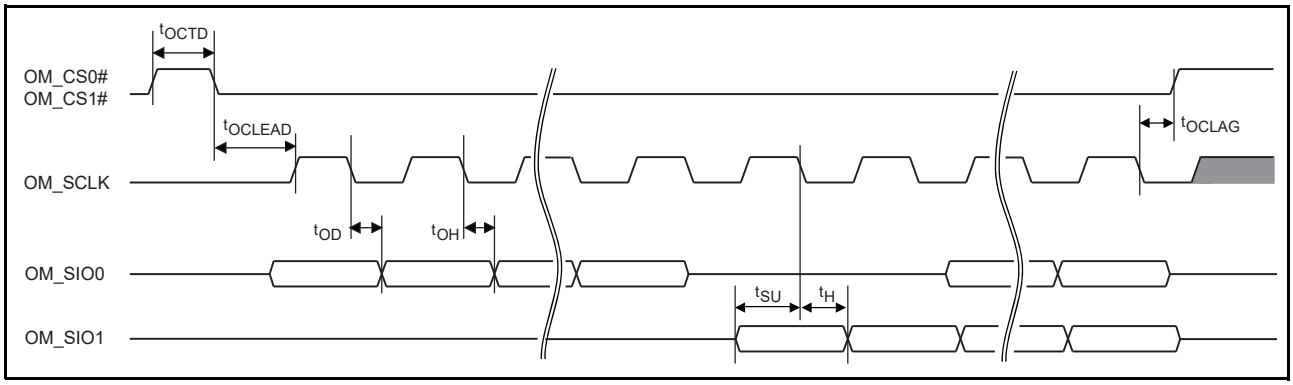


図 56.67 SPI 転送フォーマット送受信タイミング

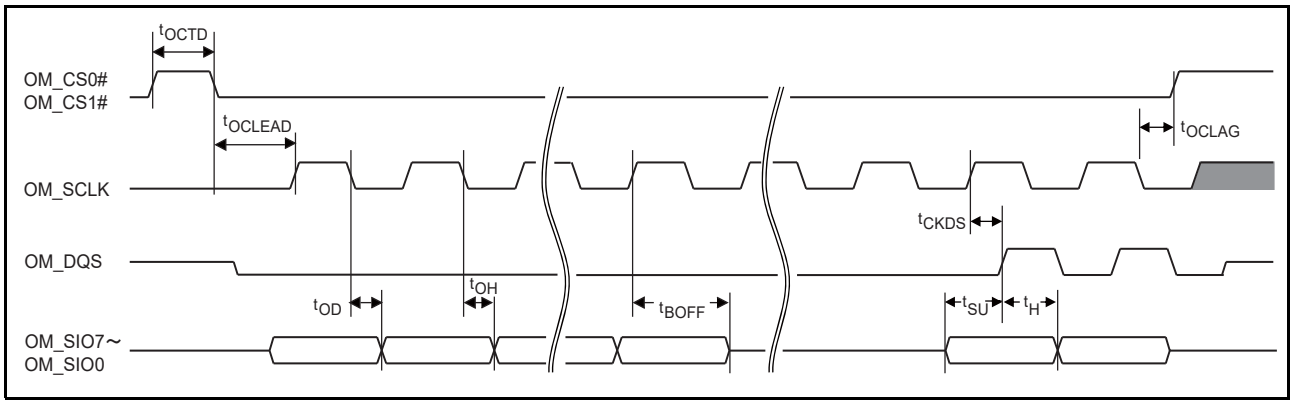


図 56.68 SOPI 転送フォーマット送受信タイミング

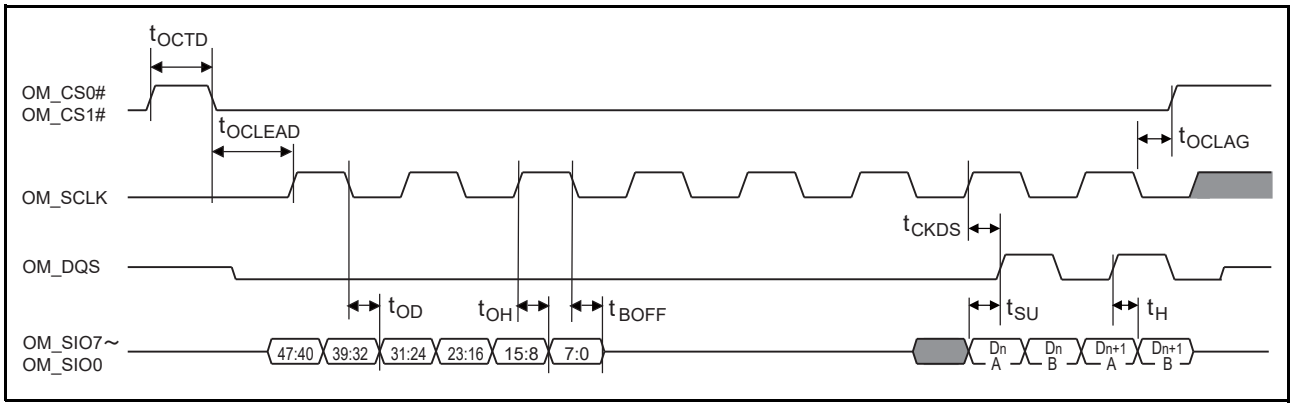


図 56.69 DOPI 転送フォーマット送受信タイミング

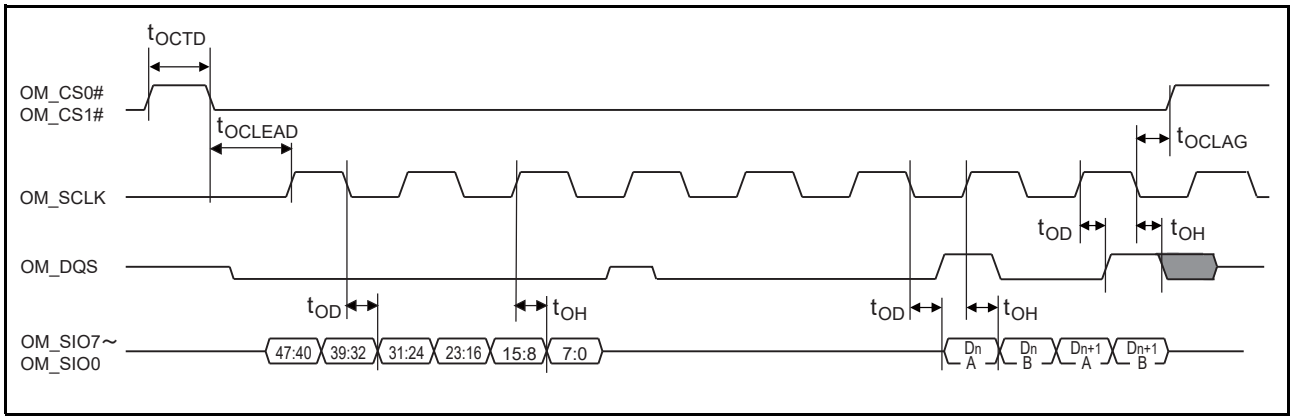


図 56.70 DOPI 転送フォーマット送信タイミング

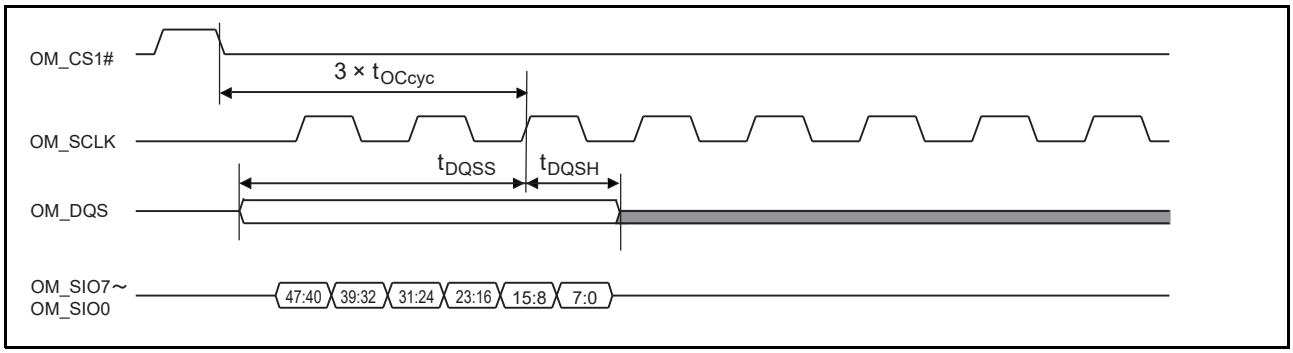


図 56.71 DQS リフレッシュ入力タイミング（OctaRAM™ リードライト時）

56.4.17 I²C バスインタフェースタイミング

表56.21　I²Cバスインタフェースタイミング

項目	略号	入力／出力	標準モード（Sm）		高速モード（Fm）		高速モードプラス（Fm+）		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLクロック周波数	f_{CLK}	入出力	0	100	0	400	0	1000	kHz
バス・フリー時間（ストップースタートコンディション間）	t_{BUF}	入出力	4.7	—	1.3	—	0.5	—	µs
ホールド時間(注1)	$t_{HD:STA}$	入出力	4.0	—	0.6	—	0.26	—	µs
SCLクロックのロウ・レベル期間	t_{LOW}	入出力	4.7	—	1.3	—	0.5	—	µs
SCLクロックのハイ・レベル期間	t_{HIGH}	入出力	4.0	—	0.6	—	0.26	—	µs
スタート／リスタートコンディションのセットアップ時間	$t_{SU:STA}$	入出力	4.7	—	0.6	—	0.26	—	µs
データホールド時間（I²Cバスデバイス）	$t_{HD:DAT}$	入出力	0（注2）	—	0（注2）	—	0	—	µs
データセットアップ時間	$t_{SU:DAT}$	入出力	250	—	100（注3）	—	50	—	ns
SDAおよびSCL信号立ち上がり時間	t_R	入力	—	1000	20	300	—	120	ns
SDAおよびSCL信号立ち下がり時間(注3)	t_F	入力	—	300	20 × (PVcc / 5.5V)	300	20 × (PVcc / 5.5V)	120	ns
		出力	—	250	20 × (PVcc / 5.5V)	250	20 × (PVcc / 5.5V)	120	ns
ストップコンディションのセットアップ時間	$t_{SU:STO}$	入出力	4.0	—	0.6	—	0.26	—	µs
各バスラインのキャパシタンス負荷	C_b	—	—	400（注4）	—	400（注4）	—	550（注4）	pF
入力フィルタで抑制する必要があるスパイクのパルス幅	t_{SP}	入力	—	—	0	50（注5）	0	50（注5）	ns

以降、SCL は RIICnSCL、SDA は RIICnSDA として記載します。

注1.　スタートコンディションが発行されホールド時間が経過した後、SCLラインに最初のクロックパルスが生成されます。

注2.　本モジュールは、SCLの立ち下がりエッジが未定義となる領域（CnSCL信号が$V_{IH(MIN.)}$から$V_{IL(MAX.)}$となるまでの時間）を扱うため、SDA信号に、最低300[ns]のホールド時間を内部的に必要とします。

注3.　高速モードI²Cバス・デバイスは、標準モードI²Cバス・システムで使用することが可能です。この場合、データセットアップ時間の最小値（$t_{SU:DAT(MIN.)}$：250[ns]）を満たすようにしてください。SCLクロックのロウ・レベル期間（t_{LOW}）を拡張しない場合、本条件は自動的に達成されます。拡張する場合は、SCLラインが解放される前｛$t_{R(MAX.)} + t_{SU:DAT(MIN.)}$ = 1000 + 250 = 1250[ns]（標準モードI²Cバス仕様）｝に、次のデータ・ビットをSDAラインに送出してください。

注4.　1つのバスラインの全キャパシタンスです。許容可能なバスの最大静電容量は、アプリケーションの実際の動作電圧および周波数によって本スペックとは異なる場合があります。バスの静電容量が高い場合のテクニックについては、NXP社の「I²Cバス規格書」を参照してください。

注5.　ノイズは、アナログとデジタルの入力フィルタにより除去されます。デジタル入力フィルタのノイズ削除幅は内部基準クロック：IICφの周期とRIICnMR3.NF[1:0]ビットに依存します。詳細は、「23.　I²Cバスインタフェース」を参照してください。

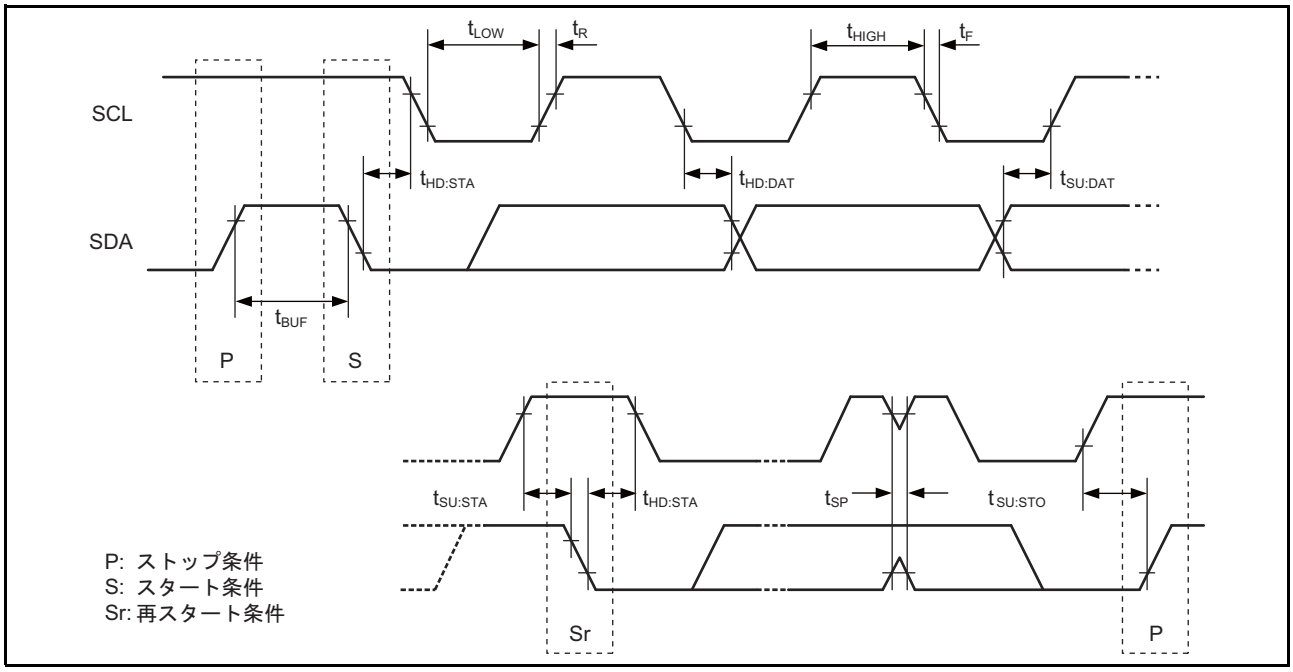


図 56.72 入出力タイミング

56.4.18　シリアルサウンドインタフェース（SSIF-2）タイミング

表 56.22　SSIF-2 タイミング

項目		記号	目標仕様		単位	コメント
			Min.	Max.		
出力クロック周期	出力	t_O	80	64000	ns	図 56.73 を参照
入力クロック周期	入力	t_I	80	64000	ns	
クロックハイレベル	双方向	t_{HC}	32	—	ns	
クロックローレベル		t_{LC}	32	—	ns	
クロック立ち上がり時間／クロック立ち下がり時間	出力	t_{RC} / t_{FC}	—	25	ns	
セットアップ時間		t_{SR}	25	—	ns	図 56.74、図 56.75、図 56.76 を参照
ホールド時間		t_{HR}	5	—	ns	
SSILRCK 出力遅延時間		t_{DTR}	− 5	15	ns	
データ出力遅延時間（ノイズキャンセラ不使用時）		t_{DTR}	− 5	25	ns	
データ出力遅延時間 （ノイズキャンセラ使用時）		t_{DTR}	10	45	ns	

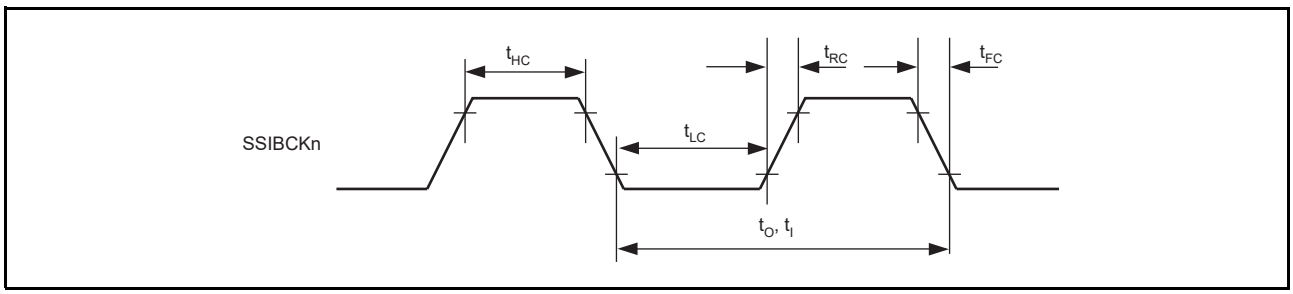


図 56.73　ビットクロック入出力タイミング

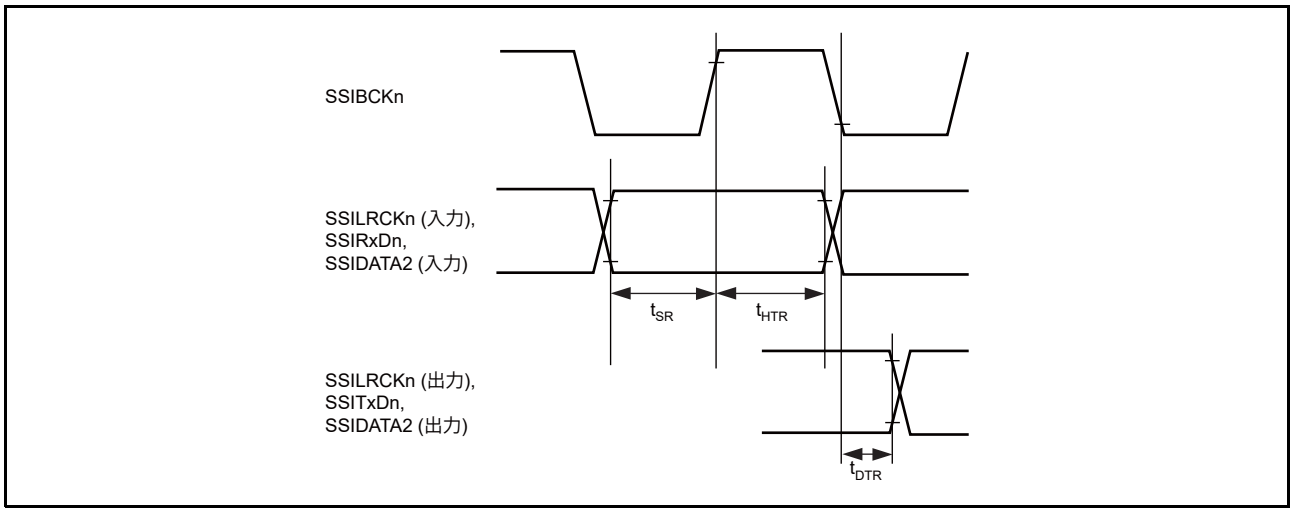


図 56.74　送受信タイミング（SSIBCK 立ち下がり出力時）

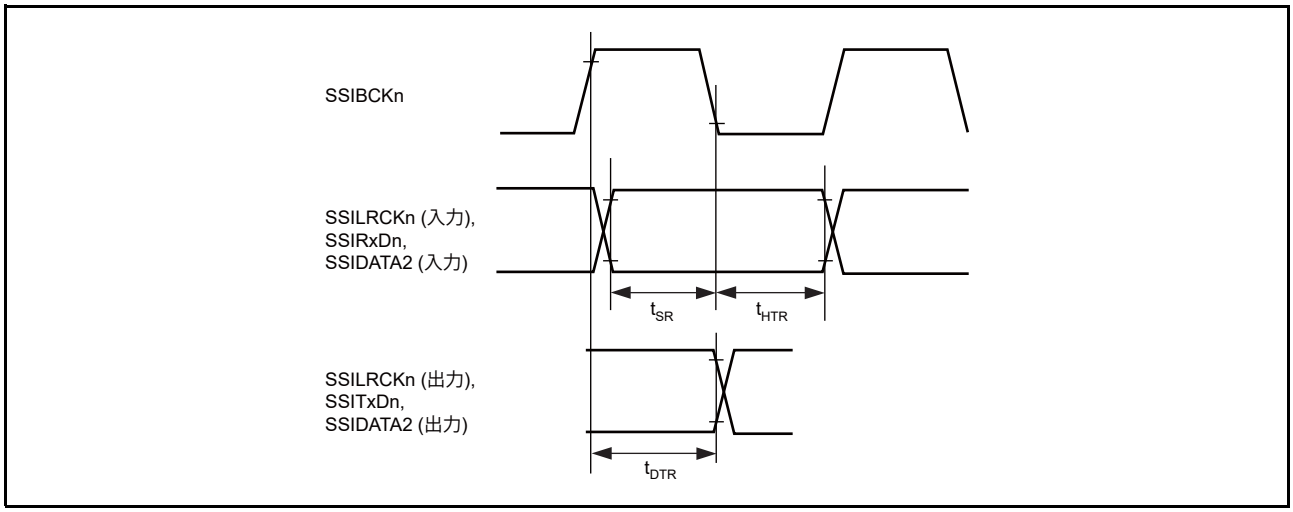
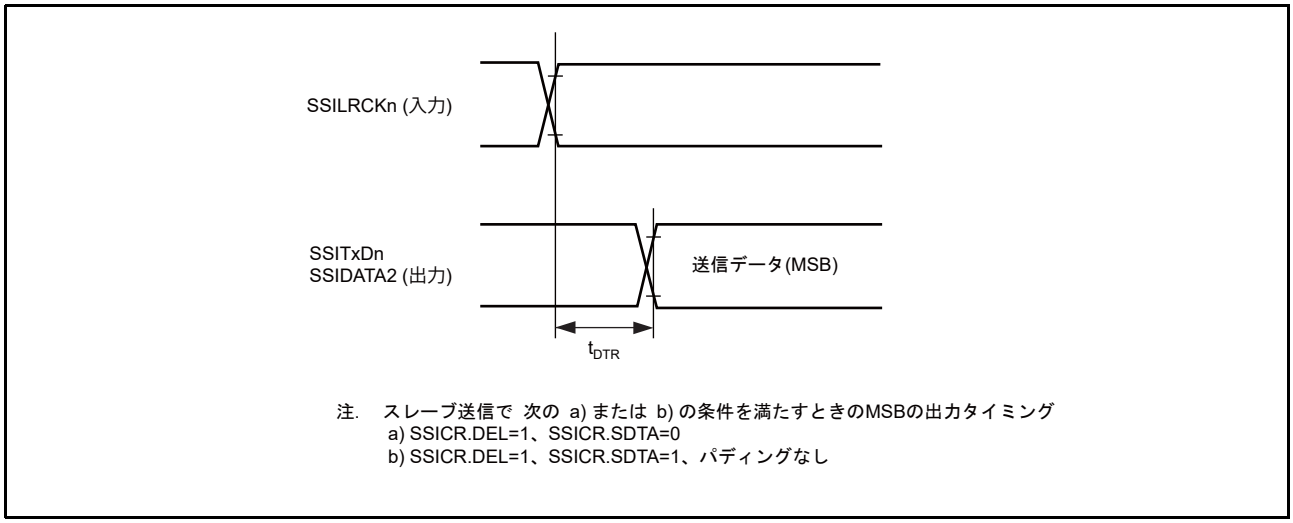


図 56.75 送受信タイミング（SSIBCK 立ち上がり出力時）



注. スレーブ送信で 次の a) または b) の条件を満たすときのMSBの出力タイミング
a) SSICR.DEL=1、SSICR.SDTA=0
b) SSICR.DEL=1、SSICR.SDTA=1、パディングなし

図 56.76 送信タイミング（スレーブ、SSILRCK 同期）

56.4.19 CANFD インタフェースタイミング

表 56.23 CANFD インタフェースタイミング

項目	記号	CAN		CANFD		単位	条件
		Min.	Max.	Min.	Max.		
内部遅延時間	t_{node}	—	100	—	75	ns	図 56.77
送信レート		—	1	—	4.125	Mbps	

内部遅延時間 (t_{node}) = 内部送信遅延時間 (t_{output}) ＋内部受信遅延時間 (t_{input})

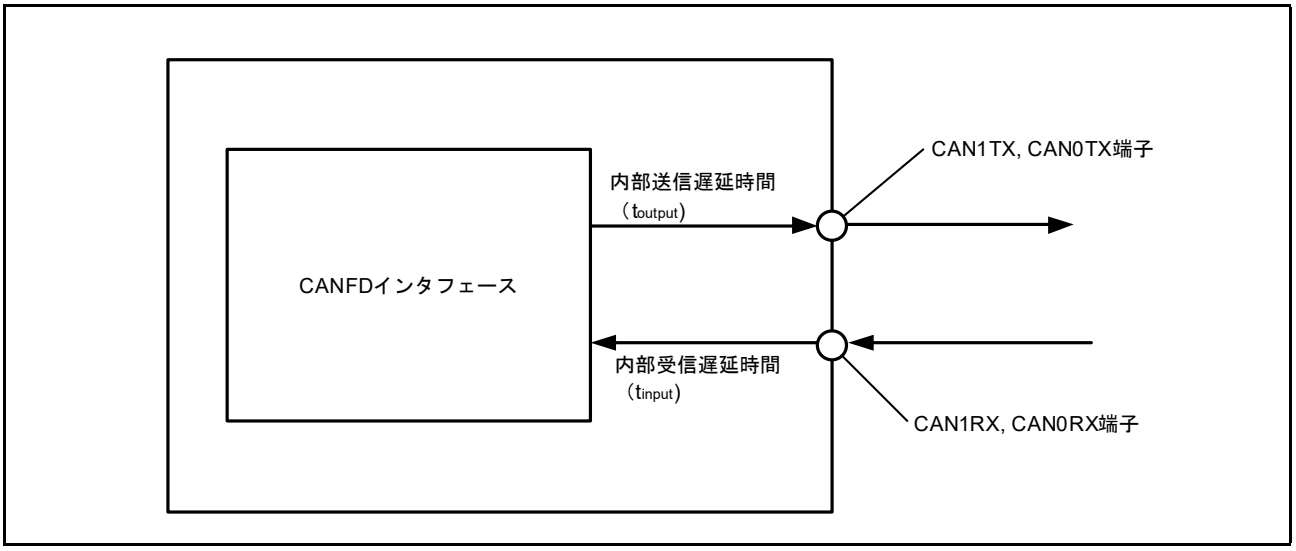


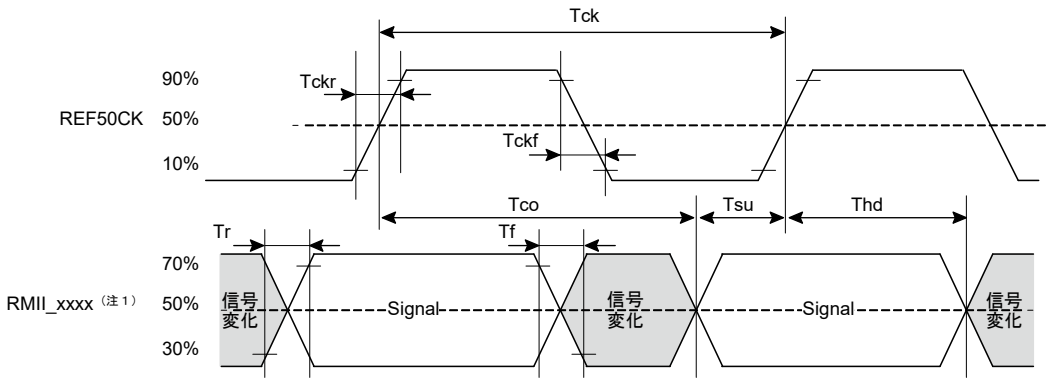
図 56.77 CANFD インタフェース条件

56.4.20　イーサネットコントローラ（ETHERC）タイミング

表56.24　ETHERCタイミング

項目		記号	Min.	Max.	単位	測定条件
ETHERC (RMII)	REF50CKサイクル時間	T_{ck}	20	—	ns	図56.78～図56.81
	REF50CK周波数 Typ. 50MHz	—	—	50 + 100ppm	MHz	
	REF50CKデューティ	—	35	65	%	
	REF50CK立ち上がり／立ち下がり時間	$T_{ckr/ckf}$	0.5	3.5	ns	
	RMII_xxxx（注1）出力遅延時間	T_{co}	2.5	15.0	ns	
	RMII_xxxx（注2）セットアップ時間	T_{su}	3	—	ns	
	RMII_xxxx（注2）ホールド時間	T_{hd}	1	—	ns	
	RMII_xxxx（注1、注2）立ち上がり／立ち下がり時間	T_r/T_f	0.5	6	ns	
ETHERC (MII)	ET_TX_CLKサイクル時間	t_{Tcyc}	40	—	ns	—
	ET_TX_EN出力遅延時間	t_{TENd}	1	20	ns	図56.82
	ET_ETXD0～ET_ETXD3出力遅延時間	t_{MTDd}	1	20	ns	
	ET_CRSセットアップ時間	t_{CRSs}	10	—	ns	
	ET_CRSホールド時間	t_{CRSh}	10	—	ns	
	ET_COLセットアップ時間	t_{COLs}	10	—	ns	図56.83
	ET_COLホールド時間	t_{COLh}	10	—	ns	
	ET_RX_CLKサイクル時間	t_{TRcyc}	40	—	ns	—
	ET_RX_DVセットアップ時間	t_{RDVs}	10	—	ns	図56.84
	ET_RX_DVホールド時間	t_{RDVh}	10	—	ns	
	ET_ERXD0～ET_ERXD3セットアップ時間	t_{MRDs}	10	—	ns	
	ET_ERXD0～ET_ERXD3ホールド時間	t_{MRDh}	10	—	ns	
	ET_RX_ERセットアップ時間	t_{RERs}	10	—	ns	図56.85
	ET_RX_ERホールド時間	t_{RERh}	10	—	ns	

注1.　RMII_TXD_EN, RMII_TXD1, RMII_TXD0
注2.　RMII_CRS_DV, RMII_RXD1, RMII_RXD0, RMII_RX_ER



注1.　RMII_TXD_EN, RMII_TXD1, RMII_TXD0, RMII_CRS_DV, RMII_RXD1, RMII_RXD0, RMII_RX_ER

図 56.78　REF50CK と RMII 信号とのタイミング

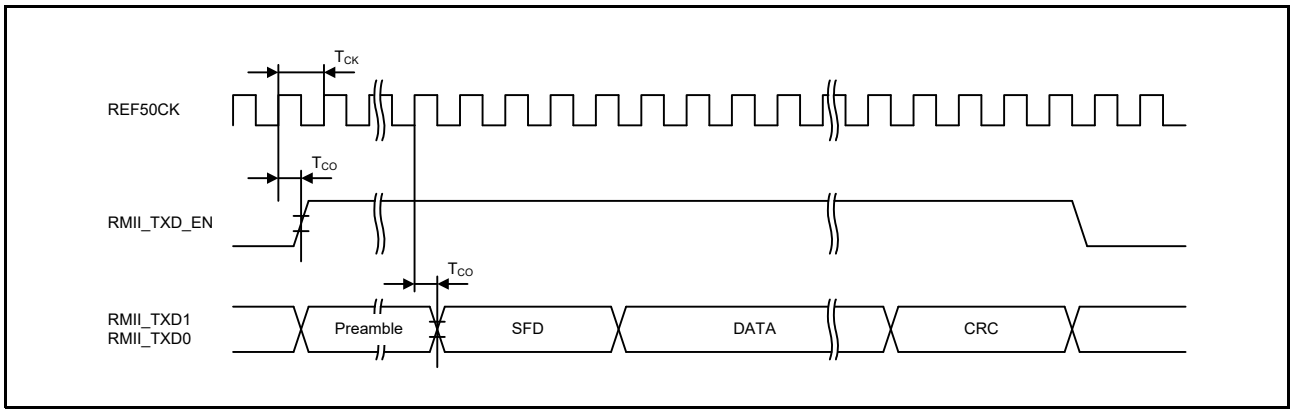


図 56.79 RMII 送信タイミング

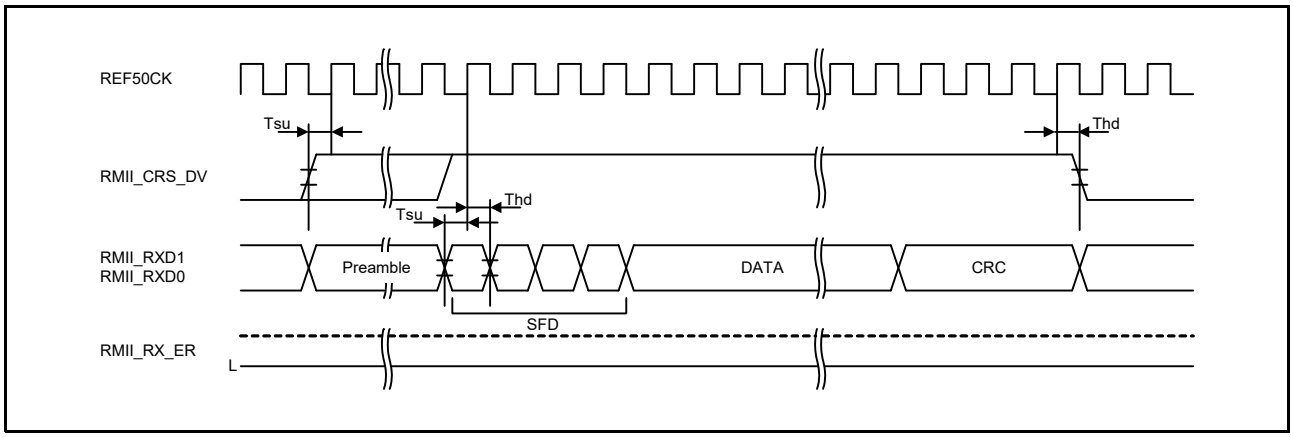


図 56.80 RMII 受信タイミング（正常動作時）

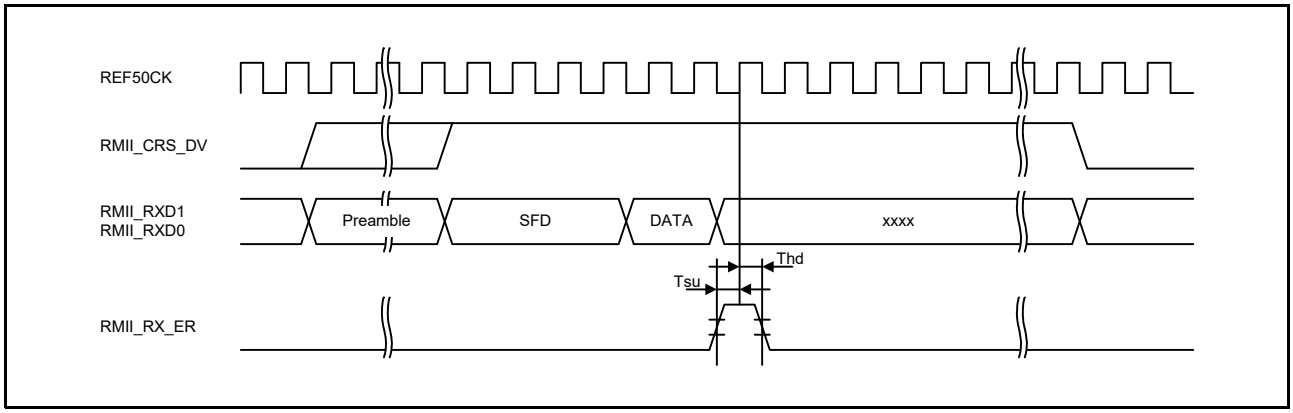


図 56.81 RMII 受信タイミング（エラー発生ケース）

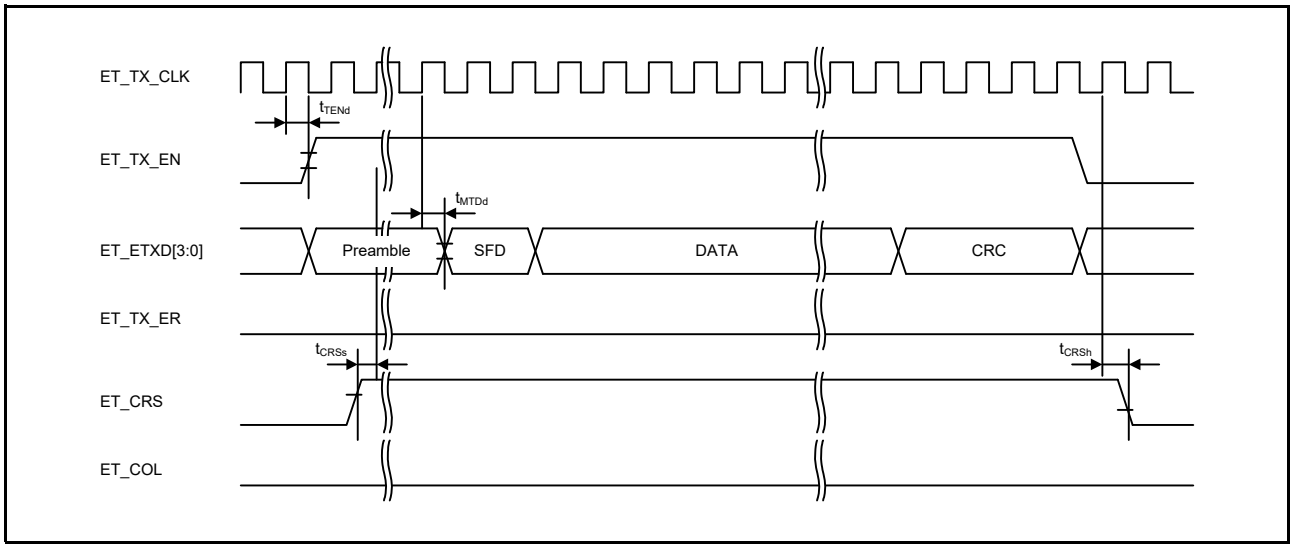


図 56.82 MII 送信タイミング（正常動作時）

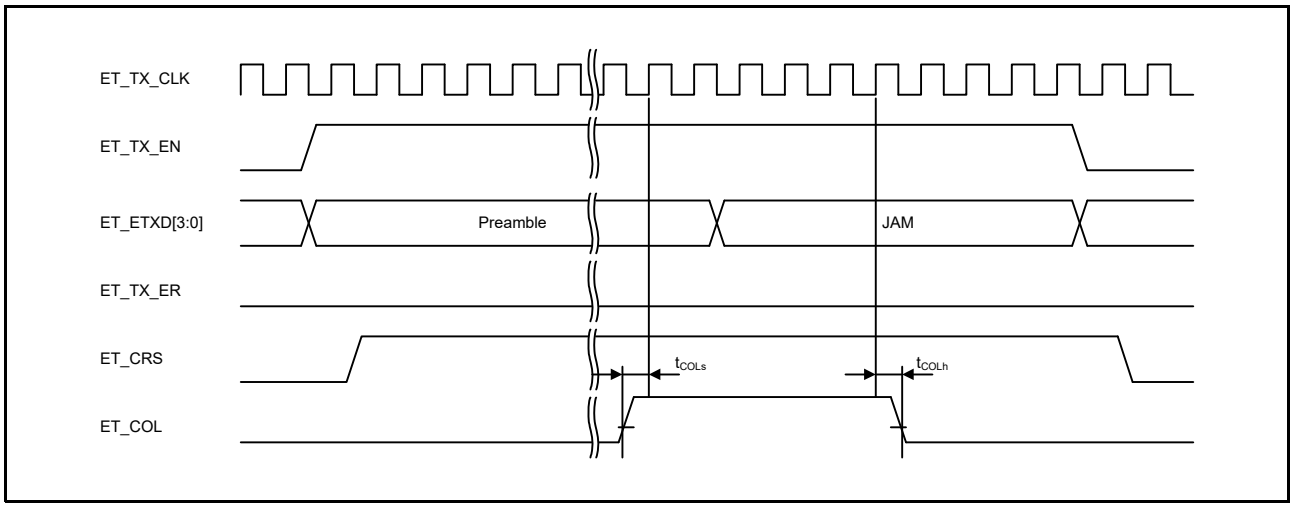


図 56.83 MII 送信タイミング（衝突発生ケース）

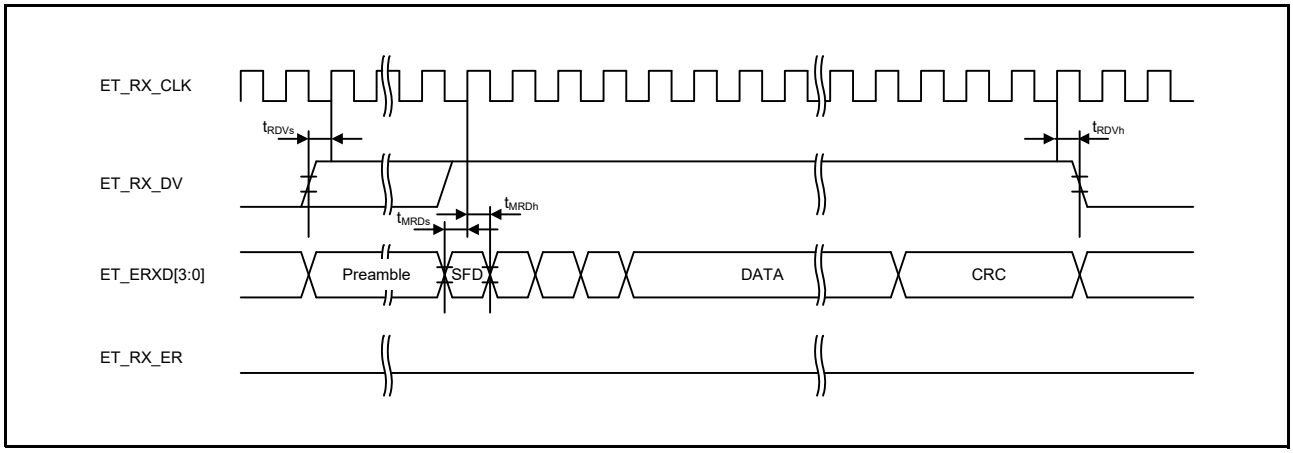


図 56.84 MII 受信タイミング（正常動作時）

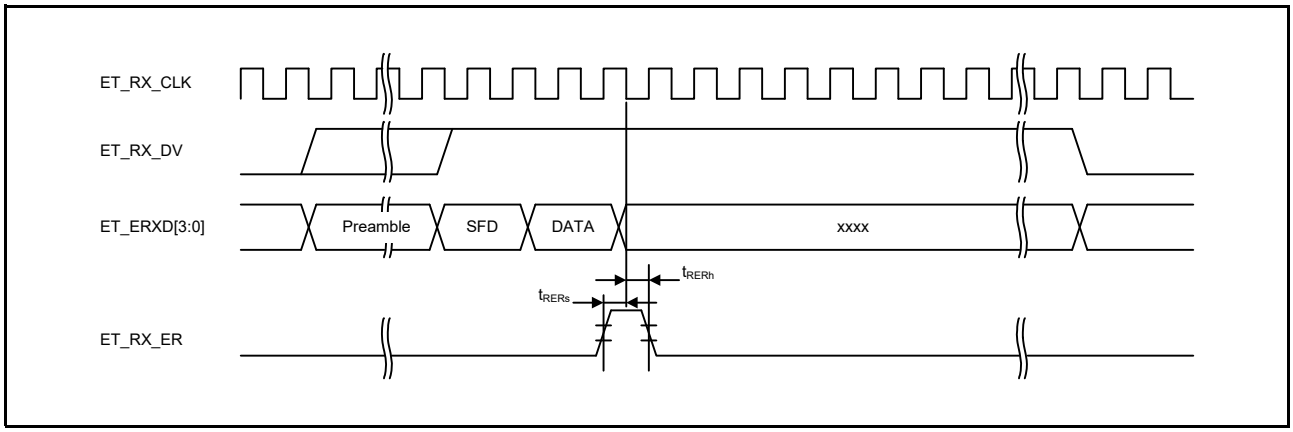


図 56.85 MII 受信タイミング（エラー発生ケース）

56.4.21 A/D コンバータタイミング

表 56.25 A/D コンバータタイミング

項目		記号	Min.	Max.	単位	測定条件
ADC12	ADC12 トリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 56.86

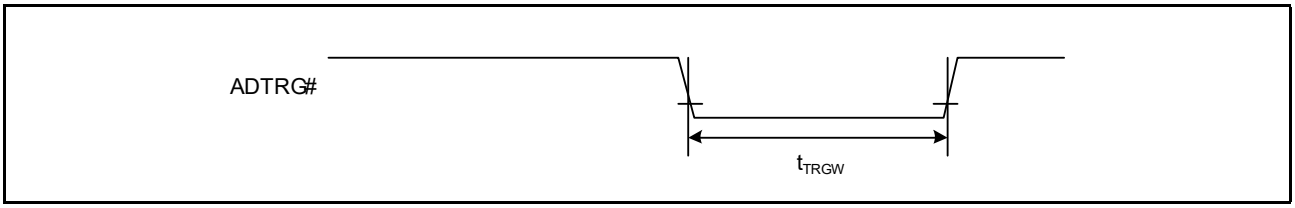


図 56.86 ADC12 トリガ入力タイミング

56.4.22　NAND フラッシュコントローラタイミング

表 56.26　NAND フラッシュコントローラタイミング

項目	記号	Min.	Max.	単位	測定条件
出力信号間 遅延時間（各出力端子のt_{OD}遅延差）	t_{RFD}	—	5	ns	
リードデータ セットアップ時間（NFRE#立上り基準）	t_{SD}	12	—	ns	図 56.87
リードデータ ホールド時間（NFRE#立上り基準）	t_{HD}	0	—	ns	
NFWE#立上り — NFRB#立下り時間 （NFRB#取り込み開始時間）	t_{WB}	N × t_{p1cyc} (注 1) (注 2)	—	ns	
レディ — NFRE#立下り時間	t_{RR}	M × t_{p1cyc} (注 1) (注 3)	—	ns	

注 1.　t_{p1cyc}は周辺クロック 1（P1φ）の 1 サイクル時間を示します。
注 2.　N は TIME_SEQ_1.TWB ビットの値です。
注 3.　M は TIME_SEQ_1.TRR ビットの値です。

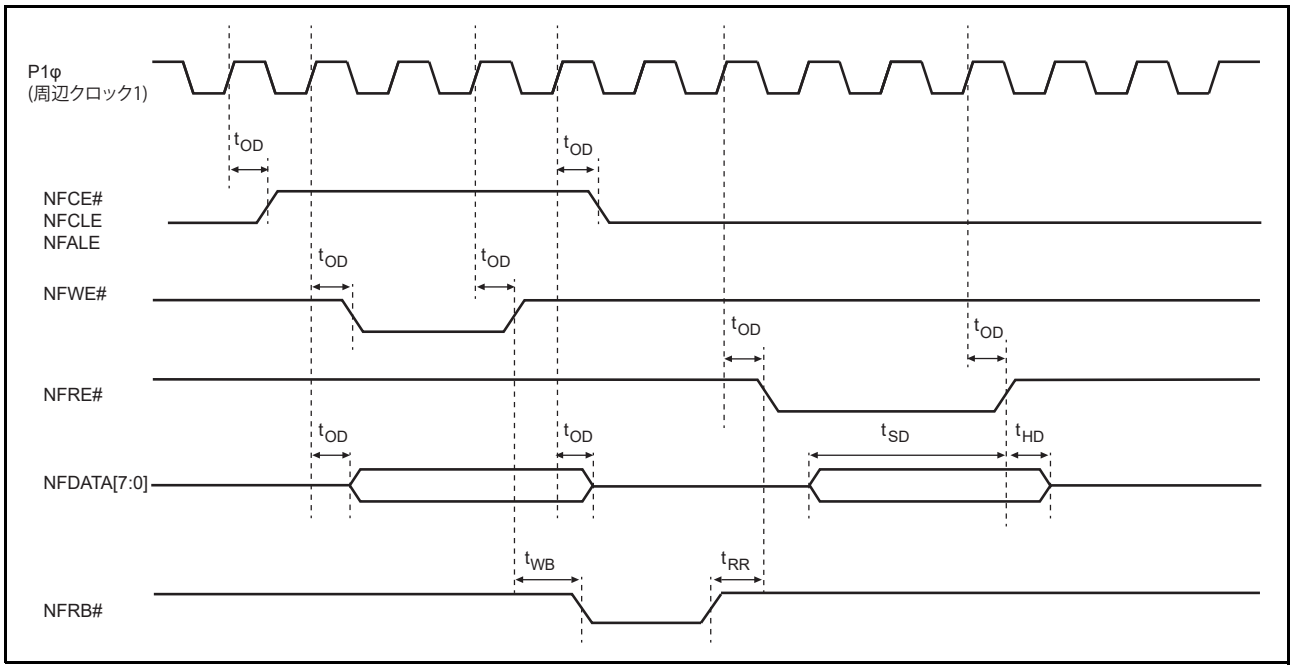


図 56.87　NAND フラッシュコントローラタイミング

56.4.23　USB 2.0 ホスト／ファンクションモジュールタイミング

表 56.27　USB トランシーバタイミング（ロースピード時）

項目	記号	Min.	Max.	単位	参照図
立ち上がり時間	t_{LR}	75	300	ns	図 56.88
立ち下がり時間	t_{LF}	75	300	ns	
立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	80	125	%	

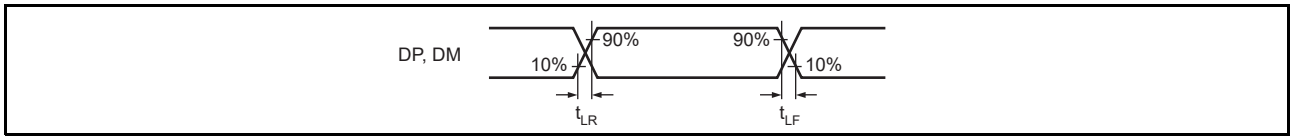


図 56.88　DP1, DP0, DM1, DM0 出力タイミング（ロースピード時）

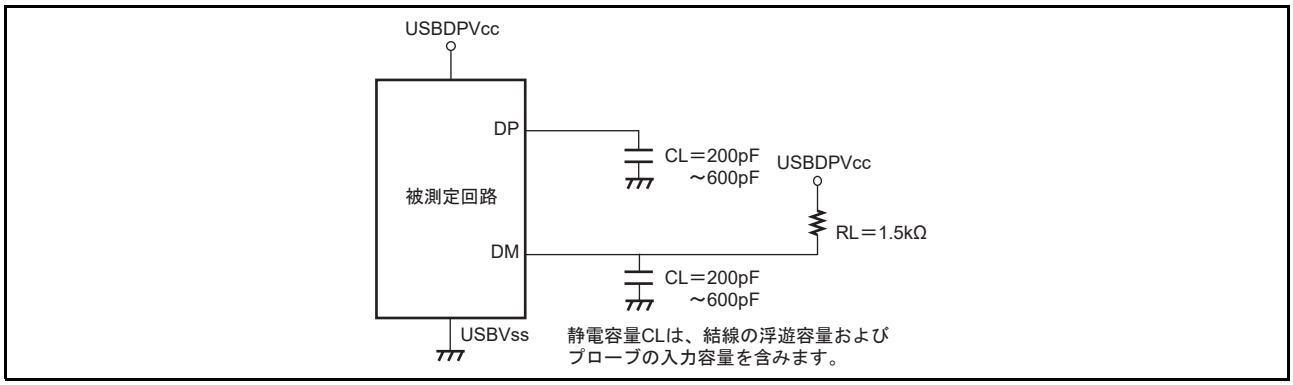


図 56.89　測定回路（ロースピード時）

表 56.28　USB トランシーバタイミング（フルスピード時）

項目	記号	Min.	Max.	単位	参照図
立ち上がり時間	t_{FR}	4	20	ns	図 56.90
立ち下がり時間	t_{FF}	4	20	ns	
立ち上がり／立ち下がり時間比	t_{FR} / t_{FF}	90	111.11	%	

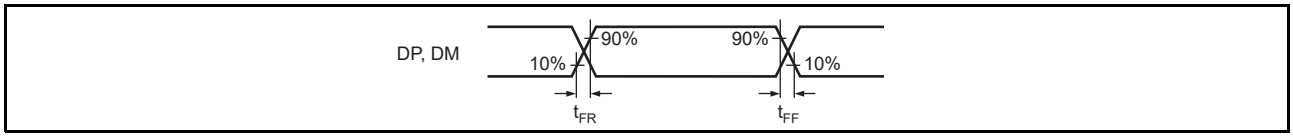


図 56.90　DP1, DP0, DM1, DM0 出力タイミング（フルスピード時）

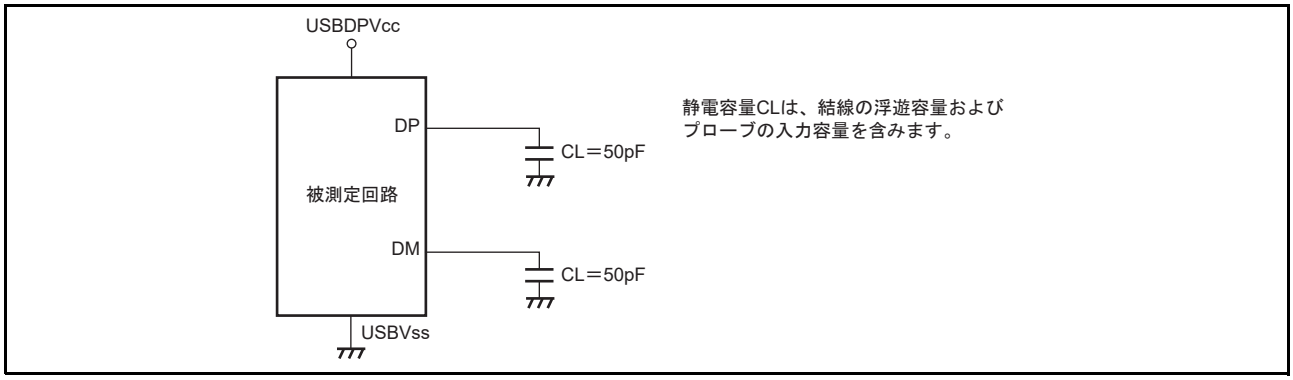


図 56.91　測定回路（フルスピード時）

表 56.29　USB トランシーバタイミング（ハイスピード時）

項目	記号	Min.	Max.	単位	参照図
立ち上がり時間	t_{HSR}	500	—	ps	図 56.92
立ち下がり時間	t_{HSF}	500	—	ps	
出力ドライバ抵抗	Z_{HSDRV}	40.5	49.5	Ω	

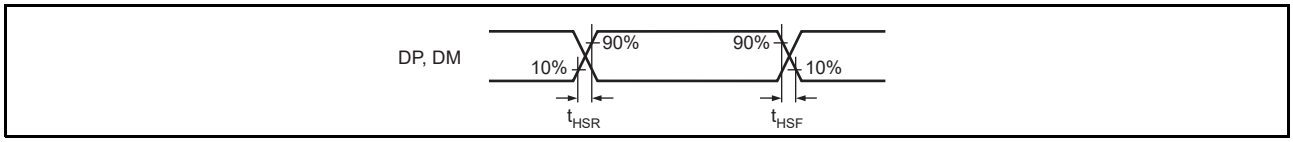


図 56.92　DP1, DP0, DM1, DM0 出力タイミング（ハイスピード時）

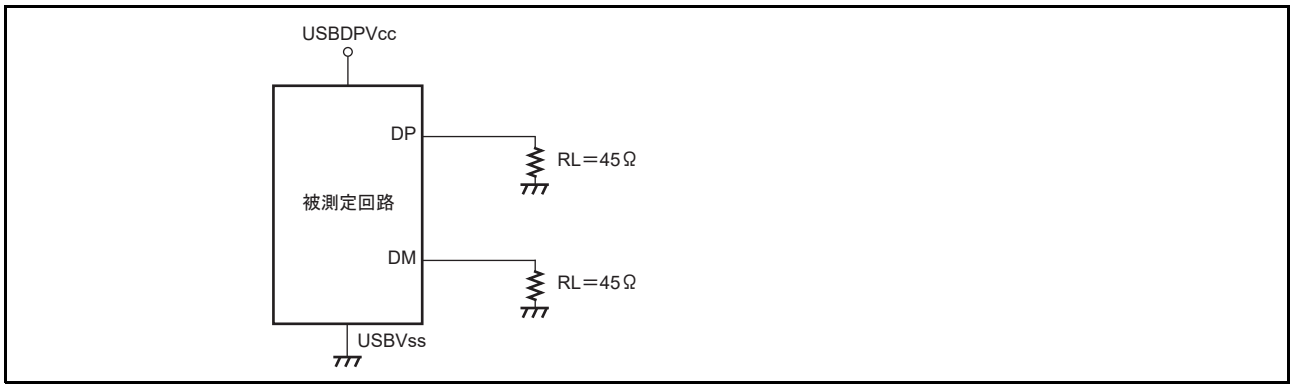


図 56.93　測定回路（ハイスピード時）

56.4.24　ビデオディスプレイコントローラ 6 タイミング

表 56.30　ビデオディスプレイコントローラ 6 タイミング

項目	記号	Min.	Max.	単位	参照図
DV0_CLK クロック入力サイクル	t_{Dcyc}	11.50	—	ns	図 56.94
DV0_CLK クロック入力ローレベルパルス幅	t_{WIL}	0.4	—	t_{Dcyc}	
DV0_CLK クロック入力ハイレベルパルス幅	t_{WIH}	0.4	—		
LCD0_EXTCLK クロック入力サイクル	t_{Ecyc}	11.50	—	ns	
LCD0_EXTCLK クロック入力ローレベルパルス幅	t_{WIL}	0.4	—	t_{Ecyc}	
LCD0_EXTCLK クロック入力ハイレベルパルス幅	t_{WIH}	0.4	—		
LCD0_CLK クロック出力サイクル	t_{Lcyc}	11.50	—	ns	図 56.95
LCD0_CLK クロック出力ローレベルパルス幅 (注 1)	t_{LOL}	t_{WIL} − 0.95	t_{WIL} + 0.95	ns	
LCD0_CLK クロック出力ハイレベルパルス幅 (注 1)	t_{LOH}	t_{WIH} − 0.95	t_{WIH} + 0.95	ns	
LCD0_CLK クロック出力ローレベルパルス幅 (注 2)	t_{LOL}	t_{Lcyc} / 2 − 1.06	t_{Lcyc} / 2 + 1.06	ns	
LCD0_CLK クロック出力ハイレベルパルス幅 (注 2)	t_{LOH}	t_{Lcyc} / 2 − 1.06	t_{Lcyc} / 2 + 1.06	ns	
LCD0_CLK クロック出力立ち上がり時間	t_{LOR}	—	3	ns	
LCD0_CLK クロック出力立ち下がり時間	t_{LOF}	—	3	ns	
入力データセットアップ時間	t_{VS}	2	—	ns	図 56.96
入力データホールド時間	t_{VH}	4	—	ns	
出力データ遅延時間	t_{DD}	− 3	3 (注 3) 4 (注 4)	ns	図 56.97

注 1.　分周クロック供給源に映像クロックまたは外部クロックを選択した上でクロック分周比を 1 分周に設定した場合
注 2.　分周クロック供給源に映像クロックまたは外部クロックを選択した上でクロック分周比を 1 分周に設定した場合を除く
注 3.　LCD0_CLK 端子を通常駆動に設定した場合
注 4.　LCD0_CLK 端子を高駆動を設定した場合

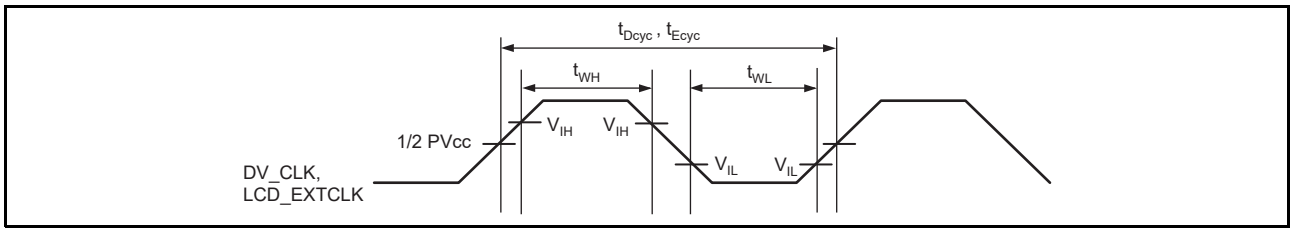


図 56.94　DV0_CLK, LCD0_EXTCLK クロック入力タイミング

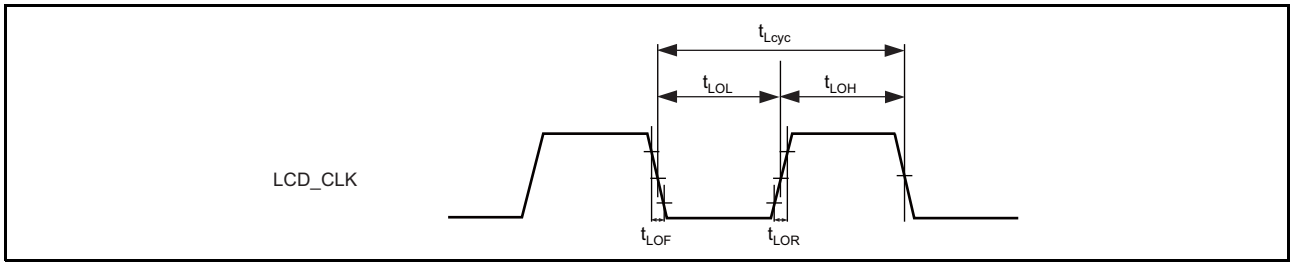


図 56.95　LCD0_CLK クロック出力タイミング

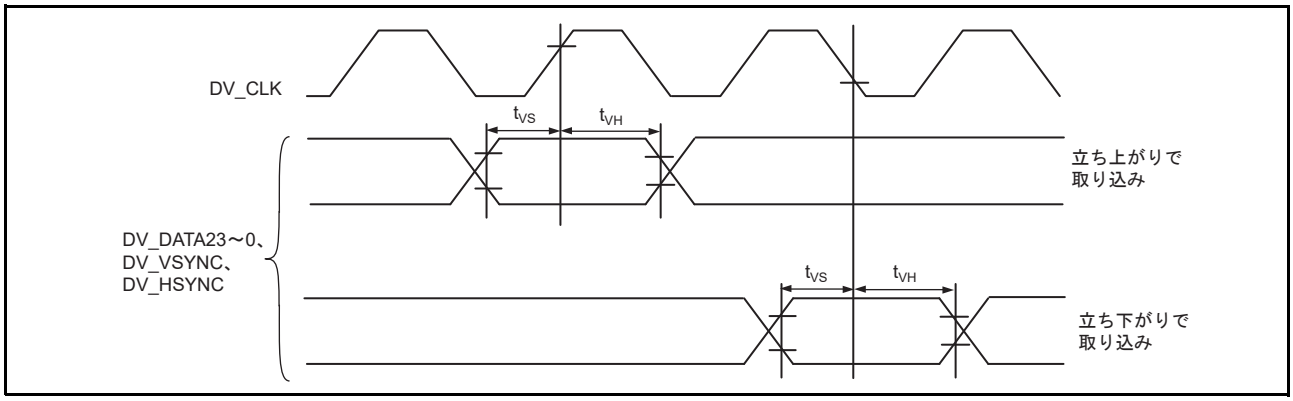


図 56.96 映像入力タイミング

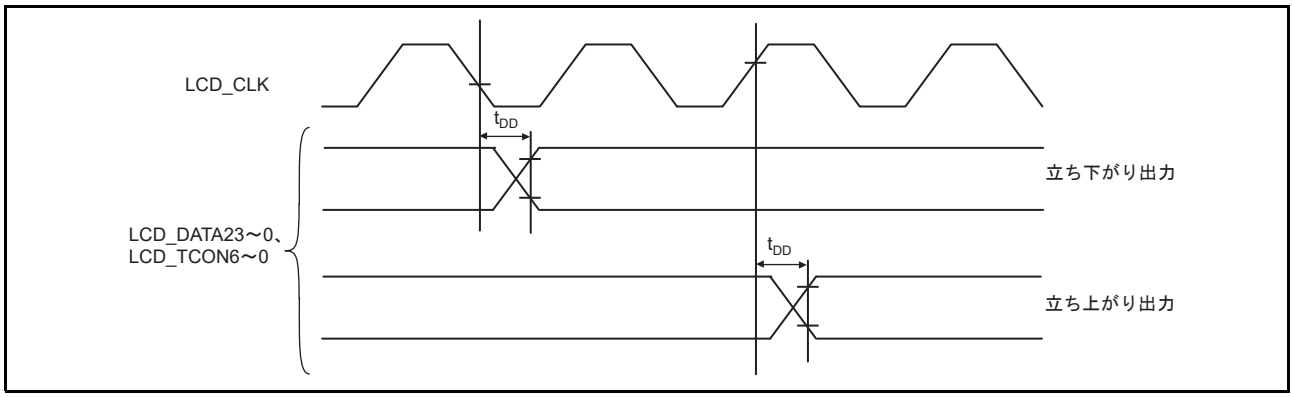


図 56.97 ディスプレイ出力タイミング

56.4.25 LVDS 出力インタフェースタイミング

表 56.31 LVDS タイミング

項目	記号	Min.	Typ.	Max.	単位	参照図
LVDS出力用パネルクロック（LSI内部信号）	T	11.49 （87MHz）	—	24.1 （41.43MHz）	ns	図56.98
Transmitter Output Pulse Position for Bit1	TPPos1	− 0.20	0	0.20	ns	
Transmitter Output Pulse Position for Bit0	TPPos0	T / 7 − 0.20	T / 7	T / 7 + 0.20	ns	
Transmitter Output Pulse Position for Bit6	TPPos6	T × 2 / 7 − 0.20	T × 2 / 7	T × 2 / 7 + 0.20	ns	
Transmitter Output Pulse Position for Bit5	TPPos5	T × 3 / 7 − 0.20	T × 3 / 7	T × 3 / 7 + 0.20	ns	
Transmitter Output Pulse Position for Bit4	TPPos4	T × 4 / 7 − 0.20	T × 4 / 7	T × 4 / 7 + 0.20	ns	
Transmitter Output Pulse Position for Bit3	TPPos3	T × 5 / 7 − 0.20	T × 5 / 7	T × 5 / 7 + 0.20	ns	
Transmitter Output Pulse Position for Bit2	TPPos2	T × 6 / 7 − 0.20	T × 6 / 7	T × 6 / 7 + 0.20	ns	

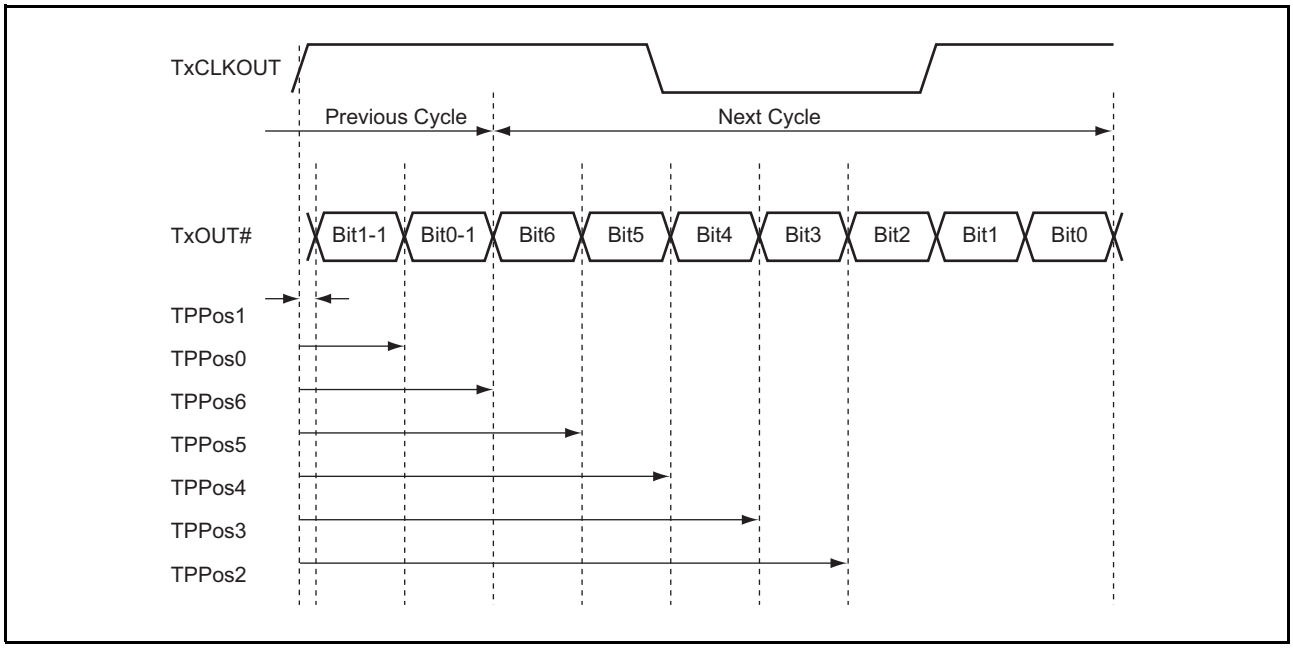


図 56.98 Transmitter LVDS Output Pulse Position Measurement

56.4.26 キャプチャエンジンユニットタイミング

表56.32 キャプチャエンジンユニット信号タイミング

項目	記号	Min.	Max.	単位	参照図
垂直同期（VIO_VD）セットアップ時間（カメラクロック立ち上がり）	t_{VVDS}	2	—	ns	図56.99（1）、図56.99（2）
垂直同期（VIO_VD）セットアップ時間（カメラクロック立ち下がり）	t_{VVDS}	2.5	—	ns	
垂直同期（VIO_VD）ホールド時間	t_{VVDH}	3.5	—	ns	
水平同期（VIO_HD）セットアップ時間（カメラクロック立ち上がり）	t_{VHDS}	2	—	ns	
水平同期（VIO_HD）セットアップ時間（カメラクロック立ち下がり）	t_{VHDS}	2.5	—	ns	
水平同期（VIO_HD）ホールド時間	t_{VHDH}	3.5	—	ns	
キャプチャ画像データ（VIO_D）セットアップ時間（カメラクロック立ち上がり）	t_{VDTS}	2	—	ns	
キャプチャ画像データ（VIO_D）セットアップ時間（カメラクロック立ち下がり）	t_{VDTS}	2.5	—	ns	
キャプチャ画像データ（VIO_D）ホールド時間	t_{VDTH}	3.5	—	ns	
カメラクロックサイクル	t_{VCYC}	11.50	—	ns	
カメラクロックハイレベル幅	t_{VHW}	0.4 × t_{VCYC}	—	ns	
カメラクロックローレベル幅	t_{VLW}	0.4 × t_{VCYC}	—	ns	
フィールド識別信号（VIO_FLD）セットアップ時間（カメラクロック立ち上がり）	t_{VFDS}	2	—	ns	
フィールド識別信号（VIO_FLD）セットアップ時間（カメラクロック立ち下がり）	t_{VFDS}	2.5	—	ns	
フィールド識別信号（VIO_FLD）ホールド時間	t_{VFDH}	3.5	—	ns	

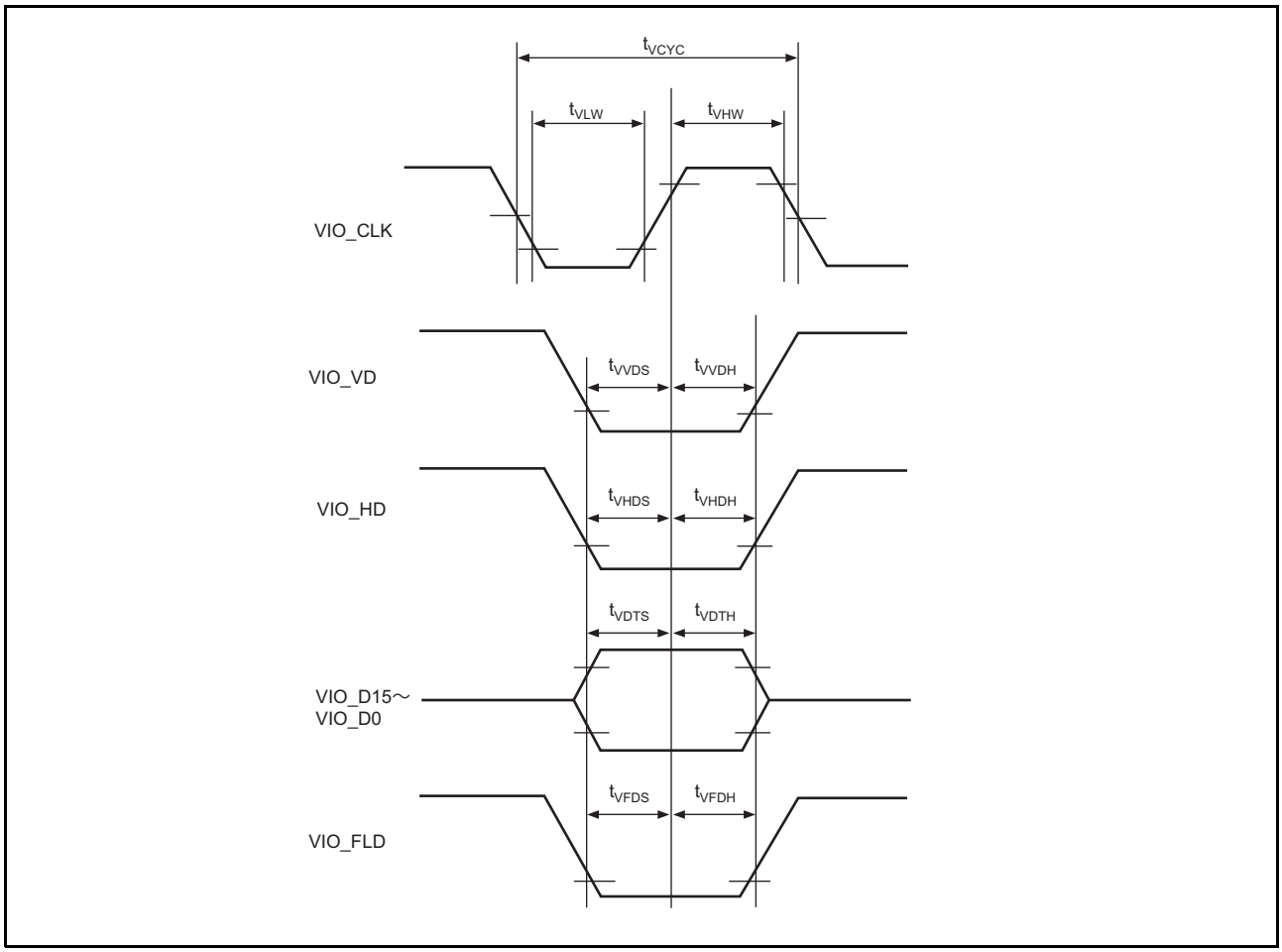


図 56.99 （1）VIO_CLK の立ち上がりエッジでデータキャプチャする時のキャプチャエンジンユニットモジュール信号タイミング

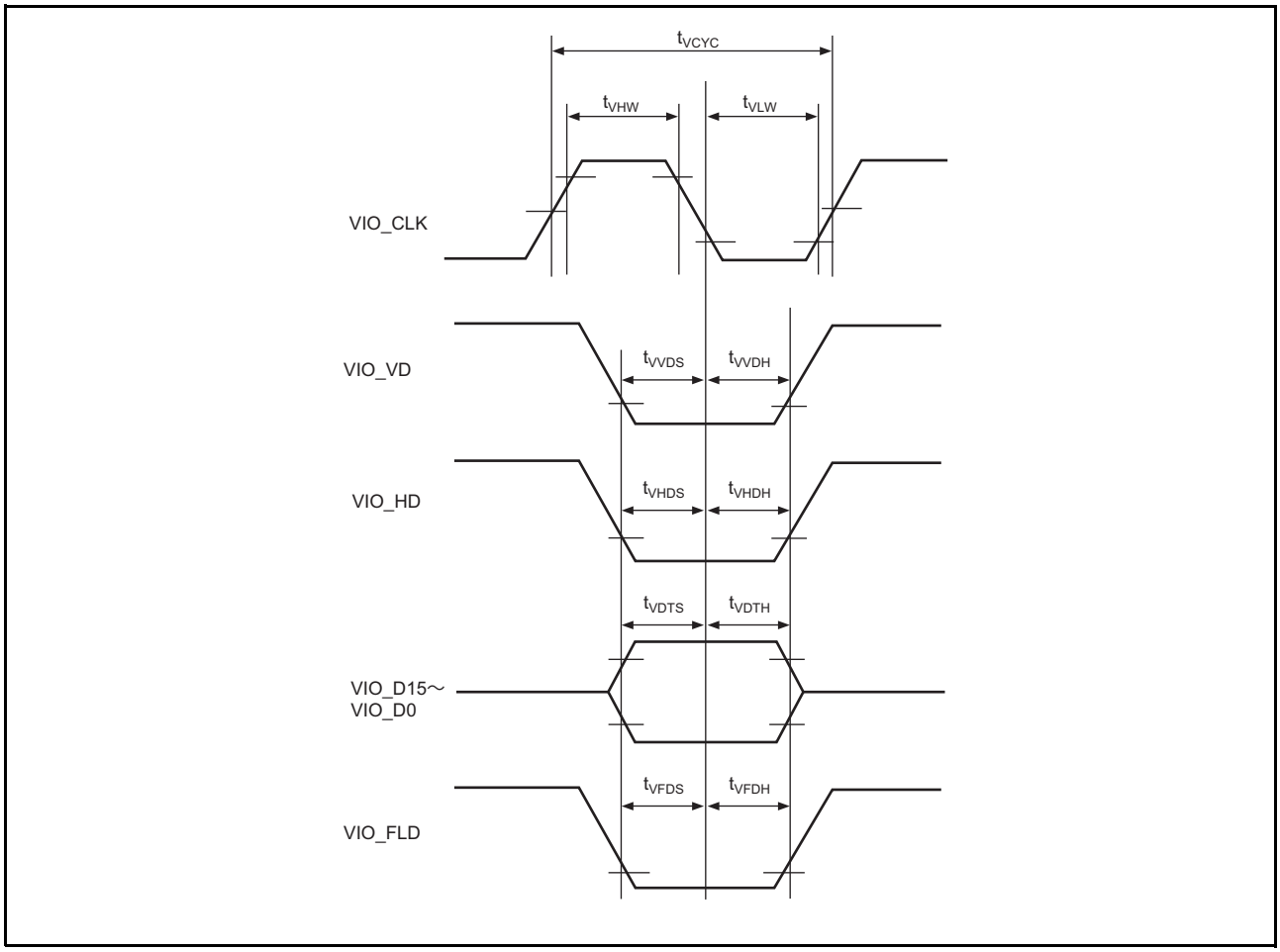


図 56.99 （2）VIO_CLK の立ち下がりエッジでデータキャプチャする時のキャプチャエンジンユニットモジュール信号タイミング

56.4.27 MIPI CSI-2 インタフェースタイミング

表56.33 MIPI CSI-2インタフェースタイミング

項目	記号	Min.	Max.	単位	備考	参照図
UI instantaneous	UI_{INST}	1	12.5	ns		図56.100
Common-mode interference beyond 450 MHz	$\Delta V_{CMRX(HF)}$	—	100	mV	HS Receiver	
Common-mode interference 50MHz－450MHz	$\Delta V_{CMRX(LF)}$	－50	50	mV	HS Receiver	
セットアップ時間	T_{CDS}	0.15	—	UI	HS Receiver	図56.100
ホールド時間	T_{CDH}	0.15	—	UI	HS Receiver	図56.100

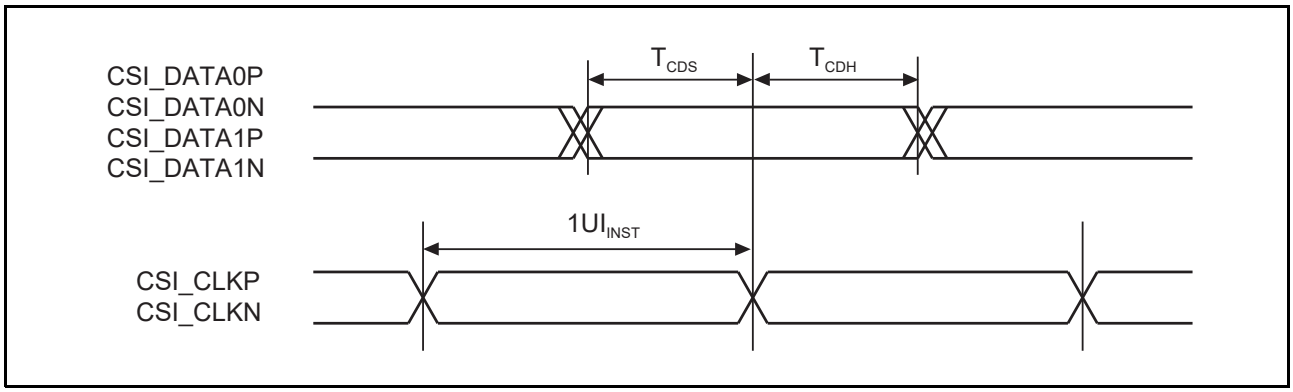


図 56.100 MIPI CSI-2 インタフェースタイミング

56.4.28　SD/MMC ホストインタフェースタイミング

56.4.28.1　SD インタフェース

表 56.34　SD/MMC ホストインタフェースタイミング（SD Default / High Speed mode 3.3V 電源動作時）

項目	記号	Min.	Max.	単位	参照図
SD_CLK クロックサイクル	t_{SDPP}	4 × t_{bcyc}	—	ns	図 56.101
SD_CLK クロックハイレベル幅	t_{SDWH}	0.4 × t_{SDPP}	—	ns	
SD_CLK クロックローレベル幅	t_{SDWL}	0.4 × t_{SDPP}	—	ns	
SD_CLK クロック立ち上がり時間	t_{SDLH}	—	3	ns	
SD_CLK クロック立ち下がり時間	t_{SDHL}	—	3	ns	
SD_CMD, SD_D7～SD_D0 出力データ遅延	t_{SDODLY}	−8	4	ns	
SD_CMD, SD_D7～SD_D0 入力データセットアップ	t_{SDISU}	4.5	—	ns	
SD_CMD, SD_D7～SD_D0 入力データホールド	t_{SDIH}	2	—	ns	

注．　t_{bcyc} は内部バスクロック（Bφ）の 1 サイクル時間を示します。

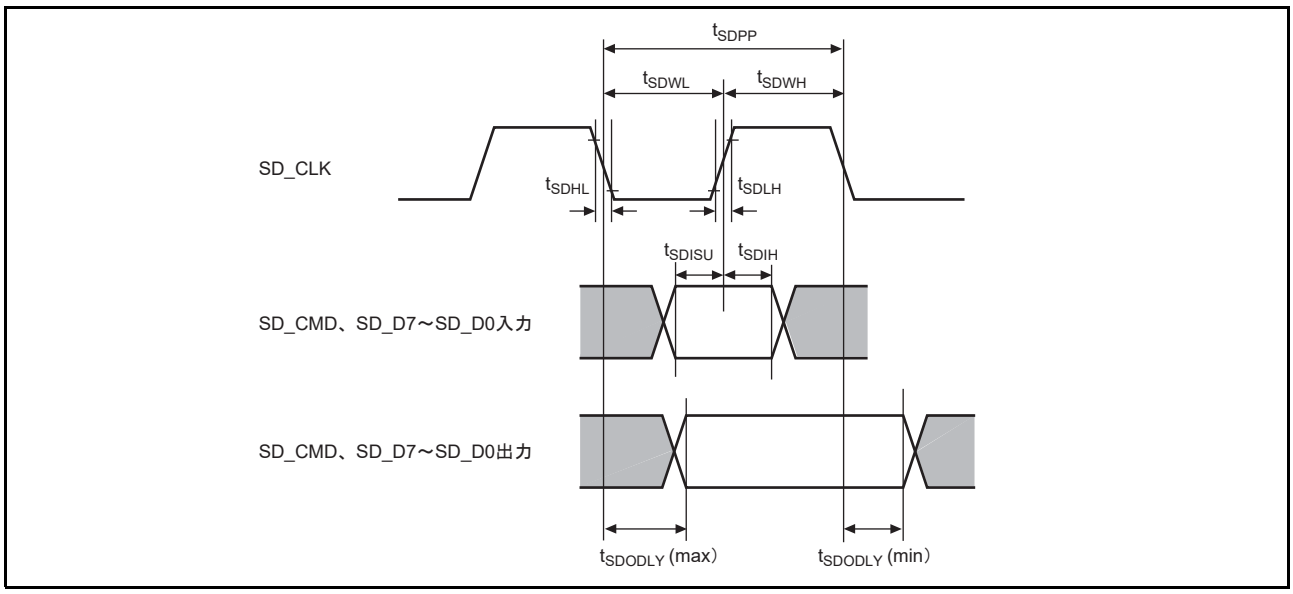


図 56.101　SD/MMC ホストインタフェース（SD インタフェース）

SD インタフェースのその他の特性は、守秘契約を結んでいただいたうえで公開致します。
詳細は、弊社の営業担当にご確認ください。

56.4.28.2　MMC インタフェース

表 56.35　SD/MMC ホストインタフェースタイミング（MMC Default / High Speed mode 3.3V 電源動作時）

項目	記号	Min.	Max.	単位	参照図
SD_CLK クロックサイクル	t_{MMCPP}	4 × t_{bcyc}	—	ns	図 56.102
SD_CLK クロックハイレベル幅	t_{MMCWH}	0.4 × t_{MMCPP}	—	ns	
SD_CLK クロックローレベル幅	t_{MMCWL}	0.4 × t_{MMCPP}	—	ns	
SD_CLK クロック立ち上がり時間	t_{MMCLH}	—	3	ns	
SD_CLK クロック立ち下がり時間	t_{MMCHL}	—	3	ns	
SD_CMD, SD_D7～SD_D0 出力データ遅延	$t_{MMCODLY}$	−7	4	ns	
SD_CMD, SD_D7～SD_D0 入力データセットアップ	t_{MMCISU}	4.5	—	ns	
SD_CMD, SD_D7～SD_D0 入力データホールド	t_{MMCIH}	2	—	ns	

注.　t_{bcyc} は内部バスクロック（Bφ）の 1 サイクル時間を示します。

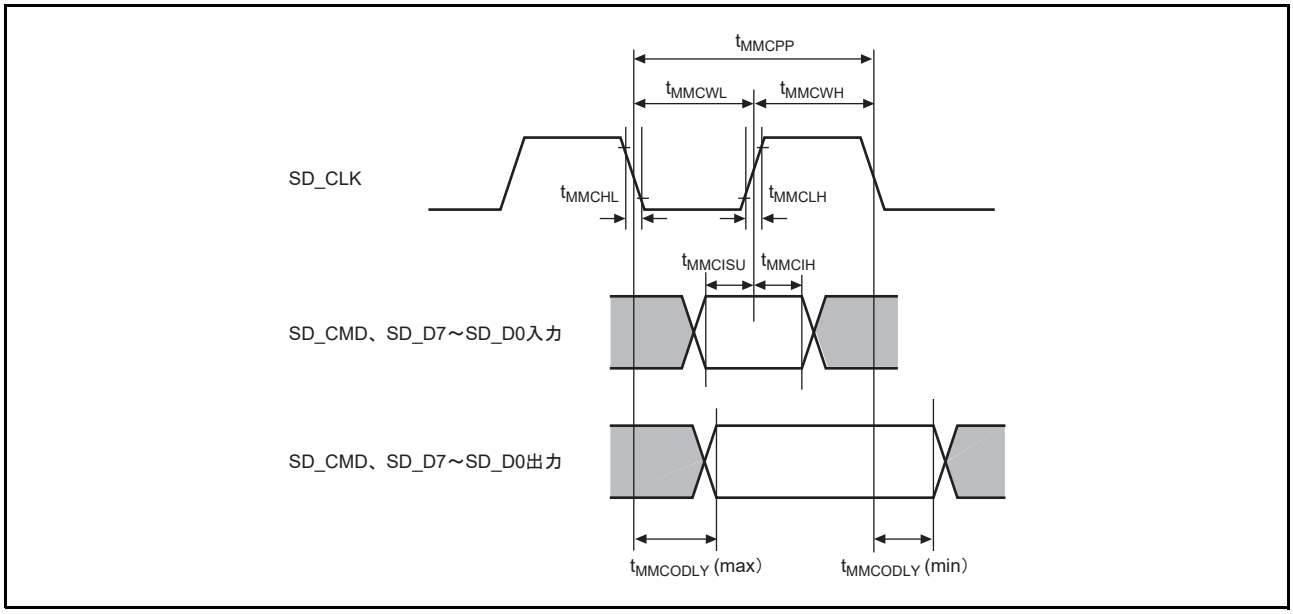


図 56.102　SD/MMC ホストインタフェース（MMC インタフェース　Default / High Speed mode 3.3V 電源動作時）

表 56.36　SD/MMC ホストインタフェースタイミング（MMC　HS-DDR mode 3.3V 電源／1.8V 電源動作時）

項目	記号	Min.	Max.	単位	参照図
SD_CLK クロックサイクル	t_{MMCPP}	4 × t_{bcyc}	—	ns	図 56.103、図 56.104
SD_CLK クロックハイレベル幅	t_{MMCWH}	0.45 × t_{MMCPP}	—	ns	
SD_CLK クロックローレベル幅	t_{MMCWL}	0.45 × t_{MMCPP}	—	ns	
SD_CLK クロック立ち上がり時間	t_{MMCLH}	—	3	ns	
SD_CLK クロック立ち下がり時間	t_{MMCHL}	—	3	ns	
SD_CMD 出力データ遅延	$t_{MMCODLY}$	− 6.6	6.6	ns	図 56.103
SD_CMD 入力データセットアップ	t_{MMCISU}	5.5	—	ns	
SD_CMD 入力データホールド	t_{MMCIH}	2.5	—	ns	
SD_D7～SD_D0 出力データ遅延	$t_{MMCODLYddr}$	2.5	0.5 × t_{bcyc} ＋ 3	ns	図 56.104
SD_D7～SD_D0 入力データセットアップ	$t_{MMCISUddr}$	2.6	—	ns	
SD_D7～SD_D0 入力データホールド	$t_{MMCIHddr}$	1.5	—	ns	

注.　t_{bcyc} は内部バスクロック（Bφ）の 1 サイクル時間を示します。

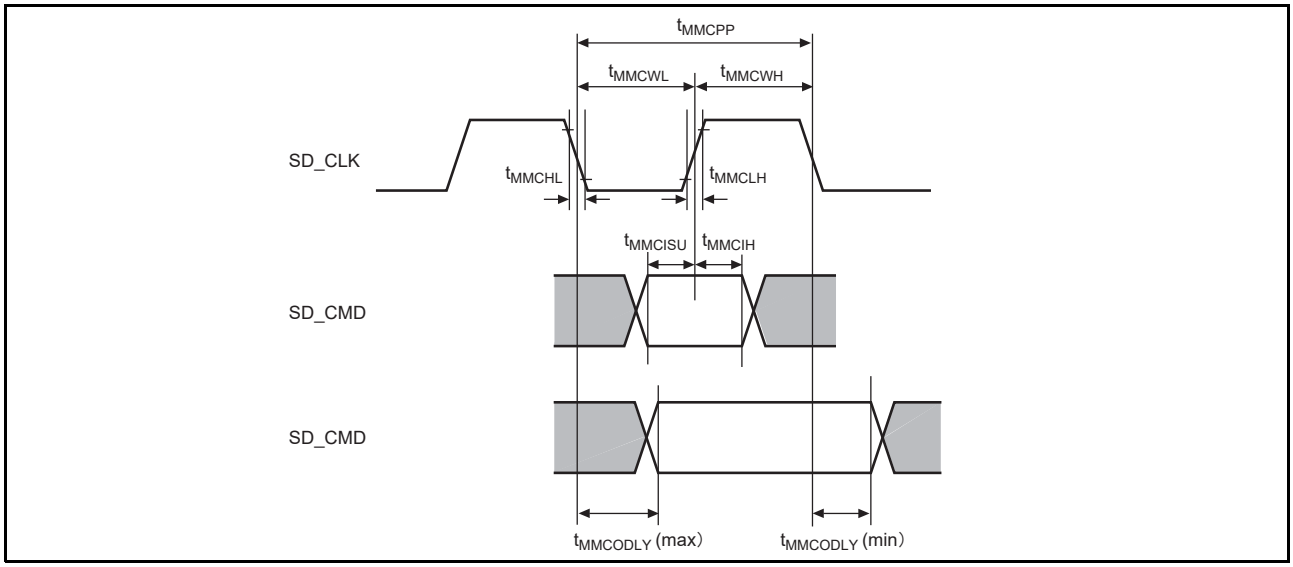


図 56.103　SD/MMC ホストインタフェース（MMC インタフェース　HS-DDR mode 3.3V 電源／ 1.8V 電源動作時の SD_CMD）

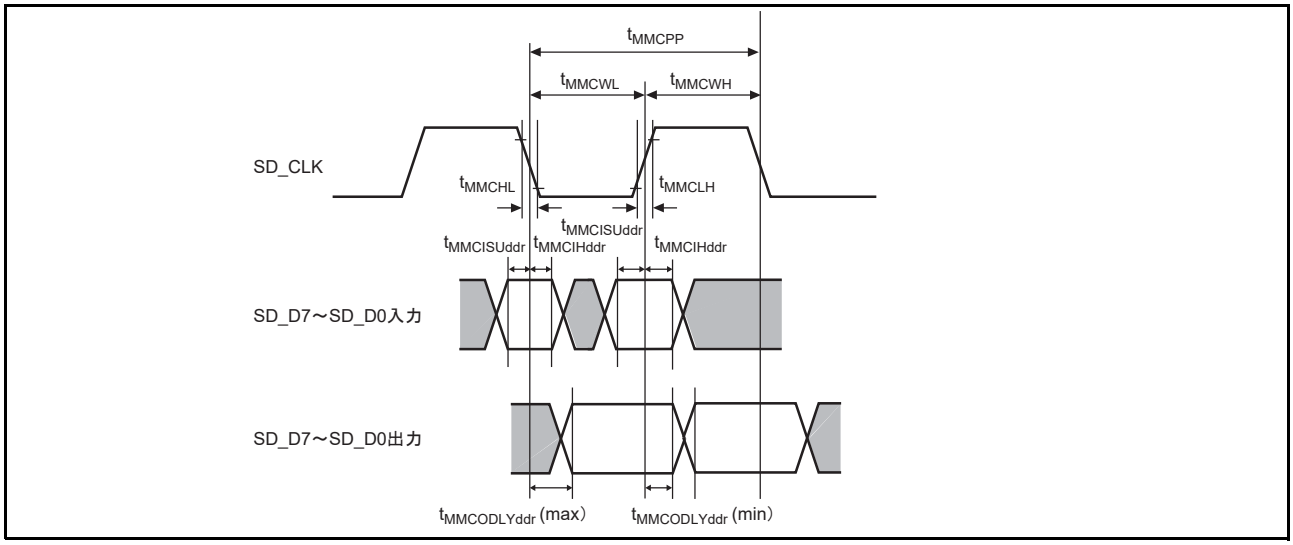


図 56.104　SD/MMC ホストインタフェース（MMC インタフェース　HS-DDR mode 3.3V 電源／ 1.8V 電源動作時の SD_D7 ～ SD_D0）

表 56.37　SD/MMC ホストインタフェースタイミング（MMC　HS200 mode 1.8V 電源動作、出力負荷 15pF 時）

項目	記号	Min.	Max.	単位	参照図
SD_CLK クロックサイクル	t_{MMCPP}	1 × t_{bcyc} (注 1)	—	ns	図 56.105
SD_CLK クロックハイレベル幅	t_{MMCWH}	0.35 × t_{MMCPP}	—	ns	
SD_CLK クロックローレベル幅	t_{MMCWL}	0.35 × t_{MMCPP}	—	ns	
SD_CLK クロック立ち上がり時間	t_{MMCLH}	—	1.5	ns	
SD_CLK クロック立ち下がり時間	t_{MMCHL}	—	1.5	ns	
SD_CMD, SD_D7～SD_D0 出力データ遅延	$t_{MMCODLY}$	− 1.7	1.1	ns	
SD_CMD, SD_D7～SD_D0 入力データセットアップ (注 2)	t_{MMCISU}	—	—	ns	
SD_CMD, SD_D7～SD_D0 入力データホールド (注 2)	t_{MMCIH}	—	—	ns	
SD_CMD, SD_D7～SD_D0 入力データ幅 (注 2)	t_{MMCIDW}	3.6	—	ns	

注 1.　t_{bcyc} は内部バスクロック（Bφ）の 1 サイクル時間を示します。
注 2.　HS200 mode では、SCC によるチューニングが必要です。詳細は「49.6　サンプリングクロックコントローラ（SCC）」を参照してください。

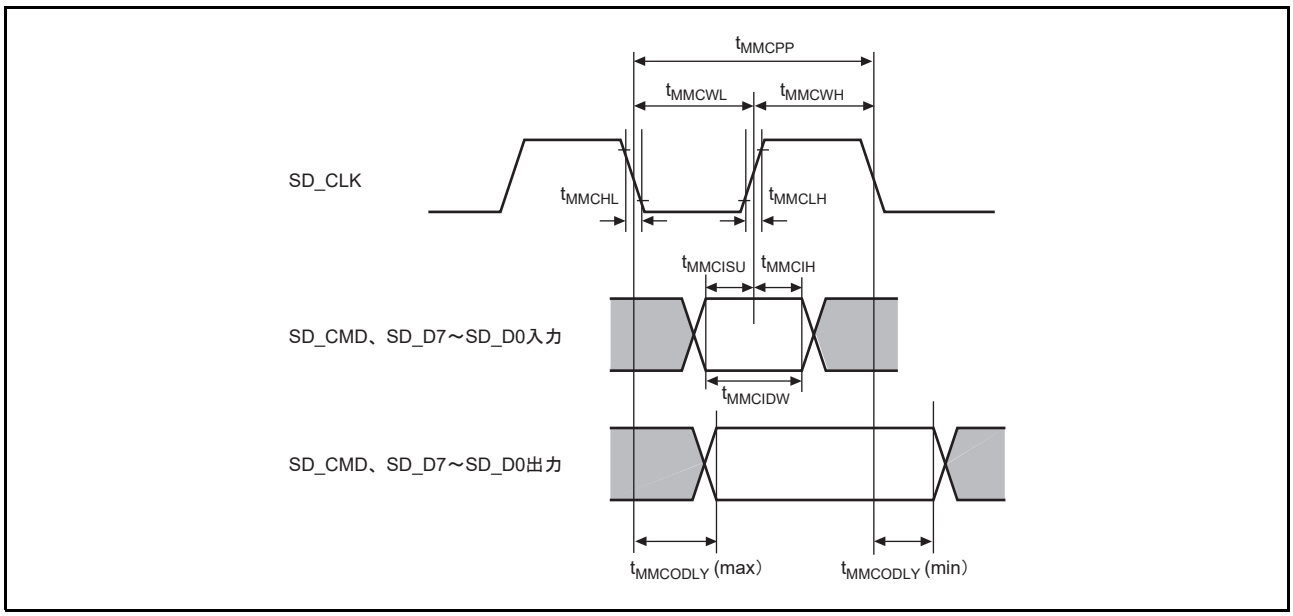


図 56.105　SD/MMC ホストインタフェース（MMC インタフェース　HS200 mode 1.8V 電源動作時）

56.4.29　汎用入出力ポートタイミング

表 56.38　汎用入出力ポートタイミング

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	—	100	ns	図 56.106
入力データセットアップ時間	t_{PORTS}	100	—		
入力データホールド時間	t_{PORTH}	100	—		

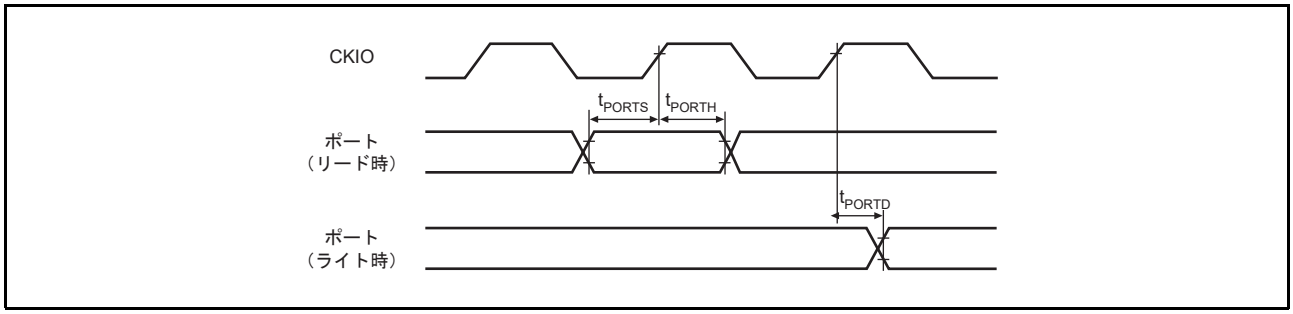


図 56.106　汎用入出力ポートタイミング

56.4.30　デバッガインタフェースタイミング

表56.39　デバッガインタフェースタイミング

項目	記号	Min.	Max.	単位	参照図
TCKサイクル時間	t_{TCKcyc}	50（注1）	—	ns	図56.107
TCKハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCKローレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDIセットアップ時間	t_{TDIS}	10	—	ns	図56.108
TDIホールド時間	t_{TDIH}	10	—	ns	
TMS/SWDIOセットアップ時間	t_{TMSS}	10	—	ns	
TMS/SWDIOホールド時間	t_{TMSH}	10	—	ns	
SWDIO遅延時間	t_{SWDO}	—	16	ns	
TDO遅延時間	t_{TDOD}	—	16	ns	
キャプチャレジスタセットアップ時間	t_{CAPTS}	10	—	ns	図56.109
キャプチャレジスタホールド時間	t_{CAPTH}	10	—	ns	
アップデートレジスタ遅延時間	$t_{UPDATED}$	—	20	ns	
トレースクロック周期	t_{TCYC}	7.57	—	ns	図56.110 出力負荷：15pF
トレースクロックハイレベル	t_{THC}	2.5	—	ns	
トレースクロックローレベル	t_{TLC}	2.5	—	ns	
トレースデータ遅延時間	t_{TDT}	$0.1\times t_{TCYC} - 0.1$	$0.4 \times t_{TCYC} - 0.2$	ns	

注1.　周辺クロック（P0φ）のサイクル時間より大きくなるようにしてください。

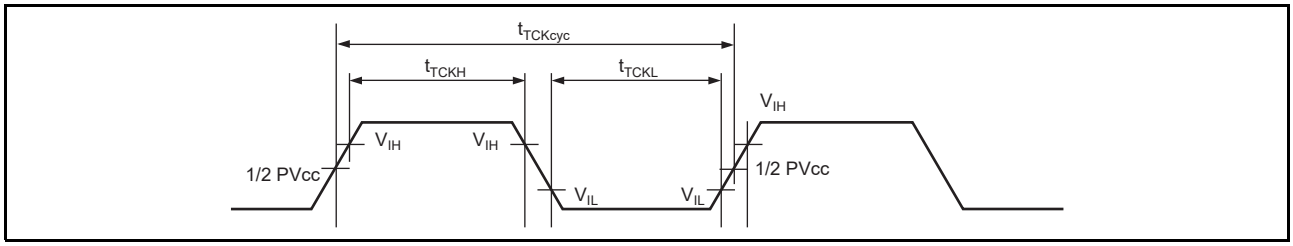


図 56.107　TCK 入力タイミング

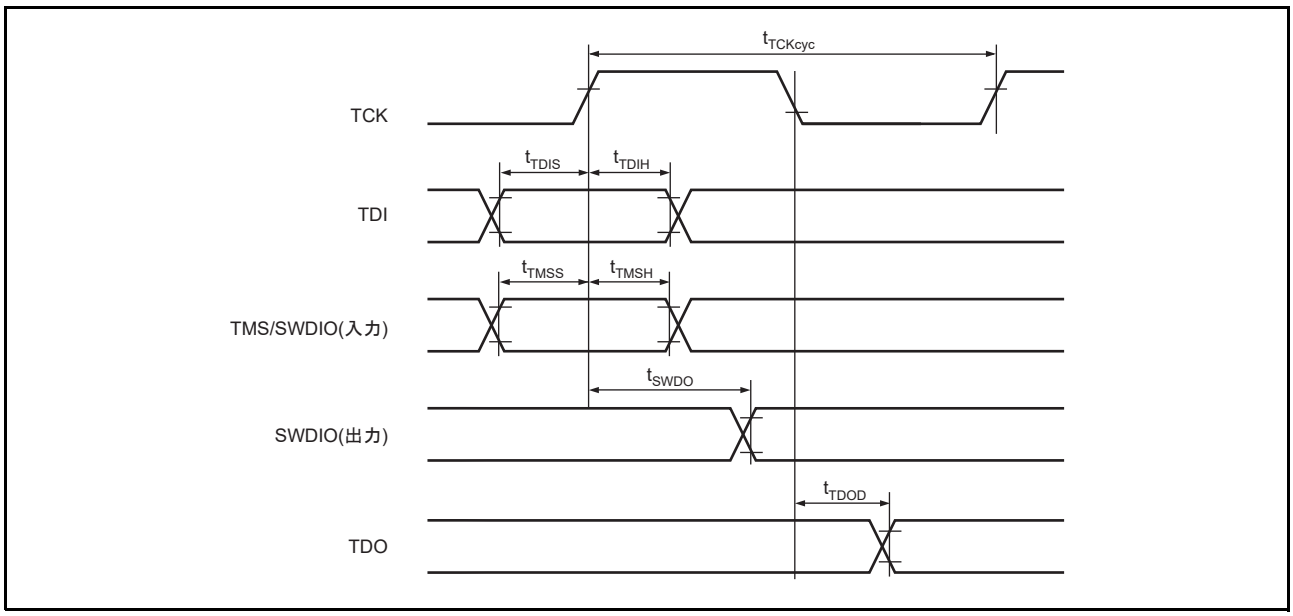


図 56.108　データ転送タイミング

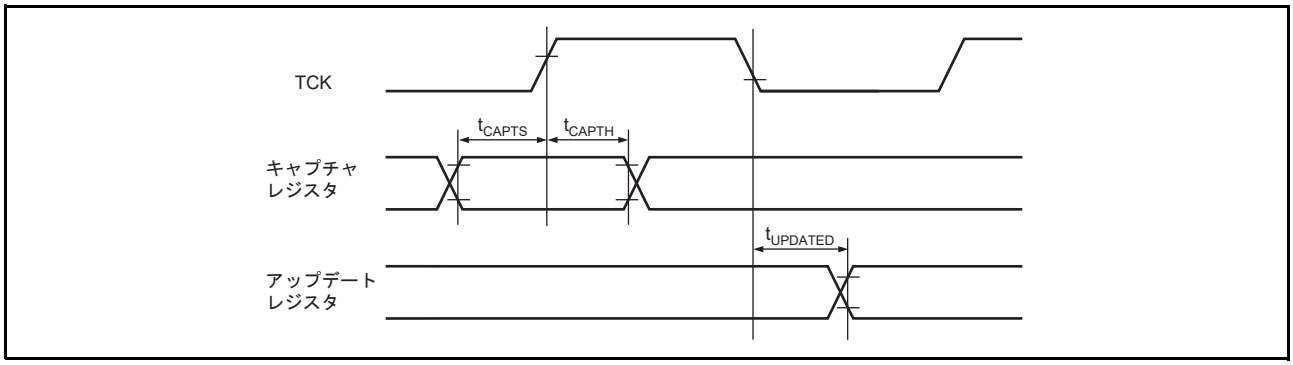


図 56.109 バウンダリスキャン入出力タイミング

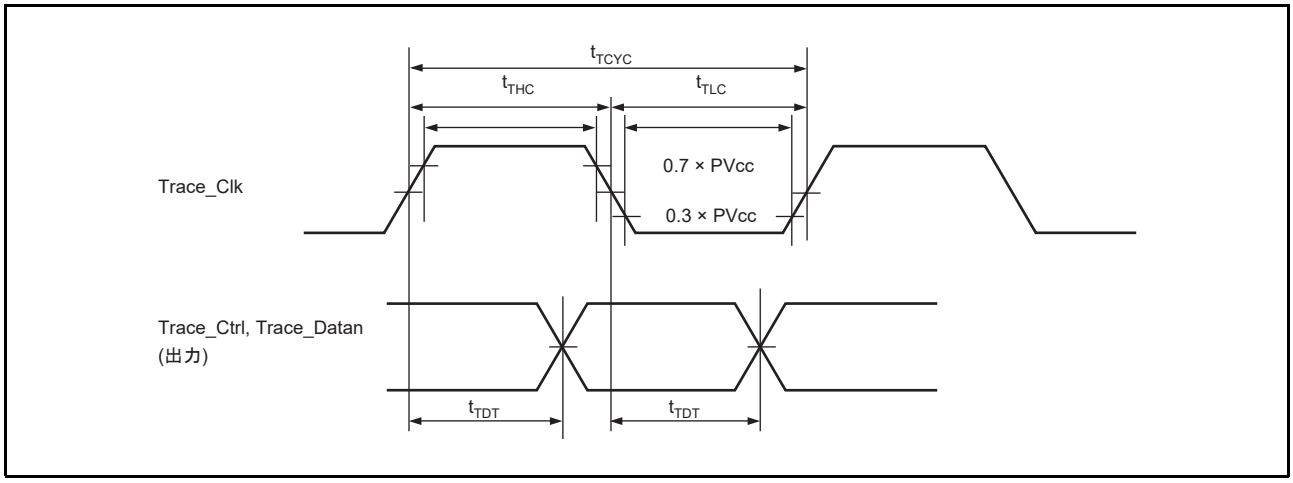


図 56.110 トレースインタフェースタイミング

56.4.31 AC 特性測定条件

- 入出力信号参照レベル：PVcc / 2、PVcc_SPI / 2、PVcc_HO / 2、PVcc_SD0 / 2、PVcc_SD1 / 2、V_{IH}, V_{T+}, V_{OH} (Min.)、V_{IL}, V_{T-}, V_{OL} (Max.)（各タイミング図参照）
- 入力パルスレベル：PVcc、PVcc_SPI、PVcc_HO、PVcc_SD0、PVcc_SD1
- 入力立ち上がり、立ち下がり時間：1ns

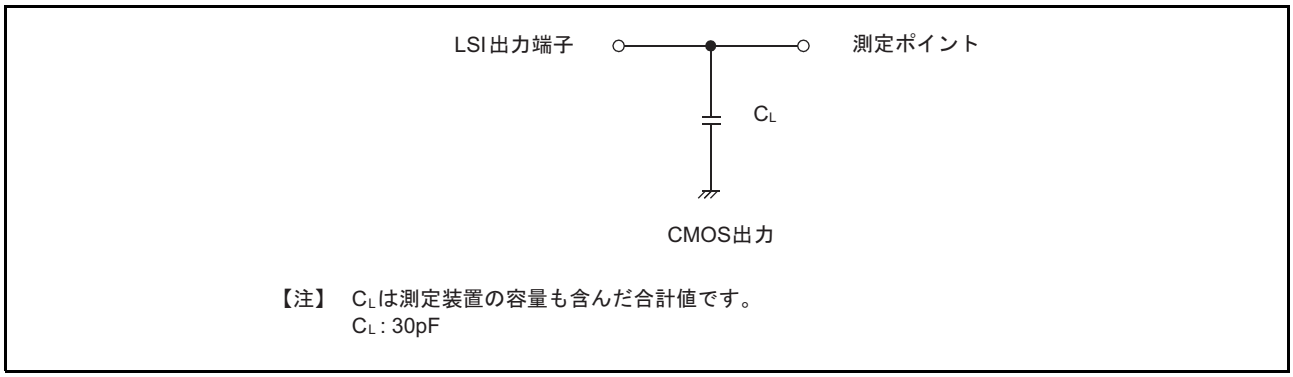


図 56.111 出力負荷回路

56.5 A/D コンバータ特性

条件：Vcc ＝ 1.14 ～ 1.26V、PVcc ＝ USBDPVcc0 ＝ USBDPVcc1 ＝ AVcc ＝ 3.0 ～ 3.6V、
PVcc_SPI = 3.0 ～ 3.6V / 1.7 ～ 1.9V、PVcc_SD0 = 3.0 ～ 3.6V / 1.7 ～ 1.9V、
PVcc_SD1 ＝ 3.0 ～ 3.6V / 1.7 ～ 1.9V、PLLVcc ＝ 1.14 ～ 1.26V、
USBAPVcc0 ＝ USBAPVcc1 ＝ 3.0 ～ 3.6V、LVDSAPVcc ＝ 3.0 ～ 3.6V、
LVDSPLLVcc ＝ 1.14 ～ 1.26V、PVcc_HO ＝ MIPIAVcc18 ＝ 1.7 ～ 1.9V、
Vss ＝ AVss ＝ USBVss ＝ 0V、
Ta ＝－ 40 ～ 85 ℃、Tj ＝－ 40 ～ 125 ℃

表56.40 A/Dコンバータ特性

項目	Min.	Typ.	Max.	単位	測定条件
分解能	8	—	12	ビット	
アナログ入力容量	—	—	30	pF	
変換時間（注1）（P1φ＝66MHz、P0φ＝33MHz時）	1	—	—	us	サンプリング20ステート
許容信号源インピーダンス	—	—	1	kΩ	
DNL	—	—	± 3	LSB	
INL	—	—	± 4	LSB	
オフセット誤差	—	—	± 5.5	LSB	
フルスケール誤差	—	—	± 5.5	LSB	
絶対精度	—	—	± 7	LSB	

注. 上記規格値はA/D変換中に外部バスアクセスを行わなかった場合の数値です。
A/D変換中に外部バスアクセスを行った場合、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です（t_{SPL}＋t_{SAM}）。

57. 端子状態と処理方法

本章では、各動作モードにおける端子状態と処理方法を示します。

57.1 端子状態

各動作モードにおける端子状態を**表 57.1** に示します。

入出力機能については、上段に入力バッファ、下段に出力バッファの状態を記載しています。

表57.1　端子状態

端子機能			端子状態					
分類	端子名		通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2			低消費電力状態
					EBUSKEEPE*3（右記以外）		パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
					0	1			
クロック	EXTAL*6		I	I	I			I/Z*5	I/Z*5
	XTAL*6		O	O	O			O/Z*5	O/Z*5
	CKIO	ブートモード0	O/Z*7	O	O	O/Z*7		O/Z*7	O/Z*7
		ブートモード0以外	O/Z*7	O	O/Z*7			O/Z*7	O/Z*7
	AUDIO_CLK (P6_4)		I	—	—			Z	Z
	AUDIO_CLK (PH_0)		I	—	—			I/Z*12	I
	AUDIO_X1*6		I	I	I			Z	Z
	AUDIO_X2*6		O	O	O			L	L
	AUDIO_XOUT		O	—	O/Z*9*15			O/Z*9*15	L/Z*9
システム制御	RES#		I	I	I			I	I
動作モード制御	MD_BOOT2、MD_BOOT1、MD_BOOT0、MD_CLK、MD_CLKS		—	I	—			—	—
	BSCANP		I	I	I			I	I
割り込み	NMI		I	I	I			I	I
	IRQ0（PJ_1、P6_2）、IRQ1（PE_1）、IRQ2（PH_1）、IRQ3（PH_0）、IRQ4（PG_2、PJ_5）、IRQ5（PG_6、PK_2）、IRQ6（P3_1、PK_4）、IRQ7（P3_3）		I	—	—			I/Z*12	I
	IRQ0（PJ_1、P6_2以外）、IRQ1（PE_1以外）、IRQ2（PH_1以外）、IRQ3（PH_0以外）、IRQ4（PG_2、PJ_5以外）、IRQ5（PG_6、PK_2以外）、IRQ6（P3_1、PK_4以外）、IRQ7（P3_3以外）		I	—	—			Z	I

端子機能			端子状態					
分類	端子名		通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2			低消費電力状態
					EBUSKEEPE*3（右記以外）		パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
					0	1			
バスステートコントローラ	A25～A21、A0		O	–	O/Z*10			O/Z*10	O/Z*10
	A20～A1	ブートモード0	O	–	O	O/Z*10		O/Z*10	O/Z*10
		ブートモード0以外	O	–	O/Z*10			O/Z*10	O/Z*10
	D0～D15	ブートモード0	I/Z	–	–			Z	Z
			O/Z	–	O/Z	Z		Z	Z
		ブートモード0以外	I/Z	–	–			Z	Z
			O/Z	–	Z			Z	Z
	CS0#、RD#	ブートモード0	O	–	O	H/Z*10		H/Z*10	H/Z*10
		ブートモード0以外	O	–	H/Z*10			H/Z*10	H/Z*10
	CS5#～CS1#、RD/WR#、BS#、AH#、WE1#/DQMU、WE0#/DQML		O	–	H/Z*10			H/Z*10	H/Z*10
	WAIT#		I/Z	–	–			Z	Z
	RAS#、CAS#、CKE		O	–	O/Z*11			O/Z*11	O/Z*11
ダイレクトメモリアクセスコントローラ	DREQ0		I	–	–			Z	Z
	DACK0、TEND0		O	–	O/Z*9			O/Z*9	O/Z*9
マルチファンクションタイマパルスユニット3	MTCLKA、MTCLKB、MTCLKC、MTCLKD、MTIC5U、MTIC5V、MTIC5W		I	–	–			Z	Z
	MTIOC1A、MTIOC1B（PH_1）、MTIOC2B（P6_2）、MTIOC3B、MTIOC4C		I	–	–			I/Z*12	I
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1B（PK_0）、MTIOC2A、MTIOC2B（PH_4）、MTIOC3A、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4D、MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D、MTIOC8A、MTIOC8B、MTIOC8C、MTIOC8D		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
汎用PWMタイマ	GTIOC0A、GTIOC2A、GTIOC4A（PH_0）、GTIOC4B（PH_1）		I	–	–			I/Z*12	I
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	GTIOC0B、GTIOC1A 、GTIOC1B、GTIOC2B、GTIOC3A、GTIOC3B、GTIOC4A（P0_1）、GTIOC4B（P0_2）、GTIOC5A、GTIOC5B、GTIOC6A、GTIOC6B、GTIOC7A、GTIOC7B		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
ポートアウトプットイネーブル3	POE8#（PE_1）		I	–	–			I/Z*12	I
	POE0#、POE4#、POE8#（PB_0）、POE10#		I	–	–			Z	Z

端子機能			端子状態					
分類	端子名		通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2			低消費電力状態
					EBUSKEEPE*3（右記以外）		パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
					0	1			
汎用PWMタイマ用ポートアウトプットイネーブル	GTETRGA、GTETRGB、GTETRGC、GTETRGD		I	–	–			Z	Z
ウォッチドッグタイマ	WDTOVF#		O	–	H			H	H
リアルタイムクロック	RTC_X1*6		I/Z*13	–	I/Z*13			I/Z*13	I/Z*13
	RTC_X2*6		O/Z*13	–	O/Z*13			O/Z*13	O/Z*13
FIFO内蔵シリアルコミュニケーションインタフェース	TxD0、TxD1、TxD2、TxD3、TxD4		O/Z	–	O/Z*9			O/Z*9	O/Z*9
	RxD1（PJ_1）、RxD2（PE_1）、RxD3（P6_2）		I	–	–			I/Z*12	I
	RxD0、RxD1（P7_1）、RxD2（PF_4）、RxD3（PF_1）、RxD4		I	–	–			Z	Z
	RTS0#、RTS1#、RTS2#、CTS0#、CTS1#、CTS2#、SCK0、SCK1、SCK2、SCK3、SCK4		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
シリアルコミュニケーションインタフェース	SCI_TXD0、SCI_TXD1、SCI_RXD0、SCI_RXD1、SCI_CTS0#/RTS0#、SCI_CTS1#/RTS1#、SCI_SCK0、SCI_SCK1		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
ルネサスシリアルペリフェラルインタフェース	MISO0（P6_2、PK_0）、MISO1（P3_1）、MISO2（P3_3）、RSPCK0（PG_6）、RSPCK2（PK_2）		I	–	–			I/Z*12	I
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	MISO0（P8_5）、MISO1（PF_2）、MISO2（PC_2）、RSPCK0（P8_7、PE_0）、RSPCK1、RSPCK2（PC_0）、SSL00、SSL10、SSL20、MOSI0～MOSI2		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
SPIマルチI/Oバスコントローラ	QSPI0_SPCLK、QSPI1_SPCLK、QSPI0_SSL、RPC_WP#	ブートモード3、4、5	O	Z	O	O/Z*9		O/Z*9	O/Z*9
		ブートモード3、4、5以外	O	Z	O/Z*9			O/Z*9	O/Z*9
	RPC_RESET#	ブートモード3、4、5	O	L	O	O/Z*9		O/Z*9	O/Z*9
		ブートモード3、4、5以外	O	L	O/Z*9			O/Z*9	O/Z*9
	QSPI0_IO0、QSPI0_IO1、QSPI0_IO2、QSPI0_IO3、QSPI1_IO0、QSPI1_IO1、QSPI1_IO2、QSPI1_IO3、QSPI1_SSL	ブートモード3、4、5	I/Z	Z	I		Z	Z	Z
			O/Z	Z	O/Z	O/Z*9		O/Z*9	O/Z*9
		ブートモード3、4、5以外	I/Z	Z	I		Z	Z	Z
			O/Z	Z	O/Z*9			O/Z*9	O/Z*9
	RPC_INT#		I/Z	Z	I		Z	Z	Z

端子機能			端子状態					
分類	端子名		通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2			低消費電力状態
					EBUSKEEPE*3（右記以外）		パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
					0	1			
HyperBus コントローラ／Octa メモリコントローラ	HM_CK/ OM_SCLK、HM_CK#、HM_CS0#/ OM_CS0#、HM_CS1#/ OM_CS1#	ブートモード 6、7	O	Z	O	O/Z*9		O/Z*9	O/Z*9
		ブートモード 6、7 以外	O	Z	O/Z*9			O/Z*9	O/Z*9
	HM_RESET#/ OM_RESET#	ブートモード 6、7	O	L	O	O/Z*9		O/Z*9	O/Z*9
		ブートモード 6、7 以外	O	L	O/Z*9			O/Z*9	O/Z*9
	HM_RWDS/ OM_DQS、HM_DQ0/ OM_SIO0、HM_DQ1/ OM_SIO1、HM_DQ2/ OM_SIO2、HM_DQ3/ OM_SIO3、HM_DQ4/ OM_SIO4、HM_DQ5/ OM_SIO5、HM_DQ6/ OM_SIO6、HM_DQ7/ OM_SIO7	ブートモード 6、7	I	Z	I		Z	Z	Z
			O/Z	Z	O/Z	O/Z*9		O/Z*9	O/Z*9
		ブートモード 6、7 以外	I	Z	I		Z	Z	Z
			O/Z	Z	O/Z*9			O/Z*9	O/Z*9
	HM_RSTO#、HM_INT#/OM_ECS#		I	–	–			Z	Z
I²C バスインタフェース	RIIC0SCL ～ RIIC3SCL、RIIC0SDA ～ RIIC3SDA		I/Z	–	–			Z	Z
			L/Z	–	Z			Z	Z
シリアルサウンドインタフェース	SSITxD0、SSITxD3、SSITxD1		O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SSIRxD0、SSIRxD1、SSIRxD3		I	–	–			Z	Z
	SSIBCK0、SSILRCK0、SSIBCK2、SSILRCK2（PB_4、P9_1）、SSIDATA2、SSIBCK3、SSILRCK3、SSIBCK1、SSILRCK1		I/Z	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SSILRCK2（PJ_5）		I/Z	–	–			I/Z*12	I
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
CANFD インタフェース	CAN0TX、CAN0TX_DATARATE_EN、CAN1TX、CAN1TX_DATARATE_EN、CAN0RX_DATARATE_EN、CAN1RX_DATARATE_EN		O	–	O/Z*9			O/Z*9	O/Z*9
	CAN0RX（PK_2）、CAN1RX（P3_1）		I	–	–			I/Z*12	I
	CAN1RX（P2_0）、CAN_CLK、CAN0RX（P1_1）		I	–	–			Z	Z
ルネサス SPDIF インタフェース	SPDIF_OUT		O	–	O/Z*9			O/Z*9	O/Z*9
	SPDIF_IN（PC_4）		I	–	–			Z	Z
	SPDIF_IN（PJ_1）		I	–	–			I/Z*12	I

端子機能		端子状態					
分類	端子名	通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2		低消費電力状態	
				EBUSKEEPE*3（右記以外）	パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
				0 / 1			
イーサネットコントローラ0	ET0_TXEN/RMII0_TXD_EN、ET0_TXD0/RMII0_TXD0、ET0_TXD1/RMII0_TXD1、ET0_TXD2、ET0_TXD3、ET0_TXER、ET0_MDC 、ET0_WOL	O	–	O/Z*9		O/Z*9	O/Z*9
	ET0_EXOUT、ET0_SCLKIN	I/Z	–	–		Z	Z
		O	–	O/Z*9		O/Z*9	O/Z*9
	ET0_TXCLK、ET0_RXCLK/REF50CK0、ET0_RXDV、ET0_RXD1/RMII0_RXD1、ET0_CRS/RMII0_CRS_DV、ET0_COL、ET0_RXD3、ET0_LINKSTA、ET0_RXER/RMII0_RXER	I	–	–		Z	Z
	ET0_RXD0/RMII0_RXD0、ET0_RXD2	I	–	–		I/Z*12	I
	ET0_MDIO	I	–	–		Z	Z
		O	–	O/Z*9		O/Z*9	O/Z*9
イーサネットコントローラ1	ET1_TXEN/RMII1_TXD_EN、ET1_TXD0/RMII1_TXD0、ET1_TXD1/RMII1_TXD1、ET1_TXD2、ET1_TXD3、ET1_TXER、ET1_MDC、ET1_WOL	O	–	O/Z*9		O/Z*9	O/Z*9
	ET1_EXOUT、ET1_SCLKIN	I/Z	–	–		Z	Z
		O	–	O/Z*9		O/Z*9	O/Z*9
	ET1_TXCLK、ET1_RXCLK/REF50CK1、ET1_RXDV、ET1_CRS/RMII1_CRS_DV、ET1_COL、ET1_RXD2、ET1_RXD3、ET1_RXD1/RMII1_RXD1、ET1_LINKSTA、ET1_RXD0/RMII1_RXD0	I	–	–		Z	Z
	ET1_RXER/RMII1_RXER	I	–	–		I/Z*12	I
	ET1_MDIO	I	–	–		Z	Z
		O	–	O/Z*9		O/Z*9	O/Z*9
A/Dコンバータ	AN007～AN000	I/Z	–	–		Z	Z
	ADTRG#	I	–	–		Z	Z
NANDフラッシュコントローラ	NFRB#	I	–	–		Z	Z
	NFCE#、NFALE、NFRE#、NFCLE、NFWE#	O	–	O/Z*9		O/Z*9	O/Z*9
	NFDATA3（PK_0）、NFDATA5（PK_2）、NFDATA2（PJ_5）	I	–	–		I/Z*12	I
		O/Z	–	O/Z*9		O/Z*9	O/Z*9
	NFDATA0、NFDATA1、NFDATA2（PH_5）、NFDATA3（PH_6）、NFDATA4、NFDATA5（PC_0）、NFDATA6、NFDATA7	I	–	–		Z	Z
		O/Z	–	O/Z*9		O/Z*9	O/Z*9

端子機能		端子状態					
分類	端子名	通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2			低消費電力状態
				EBUSKEEPE*3（右記以外）		パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
				0	1			
USB 2.0ホスト／ファンクションモジュール	DP0、DP1、DM0、DM1	I/Z	Z	I/Z			I/Z	I/Z
		O/Z	Z	O/Z			O/Z	O/Z
	RREF0、RREF1	I	I	I			I	I
	USB_X1*6	I	I	I			Z	Z
	USB_X2*6	O	O	O			L	L
	VBUSIN0（PJ_1以外）、VBUSIN1（PE_1以外）、OVRCUR0（PJ_5以外）、OTG_ID0、CC1_Rd0（PH_0以外）、CC1_Ra0、CC2_Rd0（PH_1以外）、CC2_Ra0、OVRCUR1（PK_4以外）、OTG_ID1、CC1_Rd1、CC1_Ra1、CC2_Rd1、CC2_Ra1	I	—	—			Z	I
	VBUSIN0（PJ_1）、VBUSIN1（PE_1）、CC1_Rd0（PH_0）、CC2_Rd0（PH_1）、OVRCUR0（PJ_5）、OVRCUR1（PK_4）	I	—	—			I/Z*12	I
	VBUSEN0、VBUSEN1、OTG_EXICEN0、OTG_EXICEN1	O/Z	—	O/Z*9			O/Z*9	O/Z*9
ビデオディスプレイコントローラ6	LCD0_CLK、LCD0_DATA0～LCD0_DATA23、LCD0_TCON0～LCD0_TCON6	O	—	O/Z*9			O/Z*9	O/Z*9
	LCD0_EXTCLK、DV0_CLK、DV0_DATA0～DV0_DATA23、DV0_VSYNC、DV0_HSYNC	I	—	—			Z	Z
LVDS出力インタフェース	TXOUT0M、TXOUT0P、TXOUT1M、TXOUT1P、TXOUT2M、TXOUT2P、TXCLKOUTM、TXCLKOUTP	O	—	Z			Z	Z
キャプチャエンジンユニット	VIO_CLK、VIO_FLD、VIO_D2～6、VIO_D8～9、VIO_D11～12、VIO_D14～15、VIO_HD	I	—	—			Z	Z
	VIO_VD、VIO_D0、VIO_D1、VIO_D7、VIO_D10、VIO_D13	I	—	—			I/Z*12	I

端子機能			端子状態					
分類	端子名		通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2		低消費電力状態	
					EBUSKEEPE*3（右記以外）	パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
					0	1		
SD/MMCホストインタフェース	SD_CLK_0	ブートモード1	O	Z	O	O/Z*9	O/Z*9	O/Z*9
		ブートモード1以外	O	Z	O/Z*9		O/Z*9	O/Z*9
	SD0_RST#	ブートモード1	O	L	O	O/Z*9	O/Z*9	O/Z*9
		ブートモード1以外	O	L	O/Z*9		O/Z*9	O/Z*9
	SD_CMD_0、SD_D0_0、SD_D1_0、SD_D2_0、SD_D3_0	ブートモード1	I	Z	I	Z	Z	Z
			O/Z	Z	O/Z	O/Z*9	O/Z*9	O/Z*9
		ブートモード1以外	I	Z	I	Z	Z	Z
			O/Z	Z	O/Z*9		O/Z*9	O/Z*9
	SD_CLK_1		O	Z	O/Z*9		O/Z*9	O/Z*9
	SD_CMD_1、SD_D0_1～SD_D3_1		I	Z	—		Z	Z
			O/Z	Z	O/Z*9		O/Z*9	O/Z*9
	SD_CD_0（P3_3）		I	—	—		I/Z*12	I
	SD_CD_0（P3_3以外）、SD_WP_0、SD_CD_1、SD_WP_1		I	—	—		Z	Z
DRP*17	DRP00～DRP31		I/Z	—	—		Z	Z
			O	—	O/Z*9		O/Z*9	O/Z*9
MIPI CSI2インタフェース	CSI_CLKP、CSI_CLKN、CSI_DATA0P、CSI_DATA0N、CSI_DATA1P、CSI_DATA1N		I/Z*16	Z	Z		Z	Z
汎用入出力ポート	PM_0、P5_0～P5_7、PL_0～PL_4		I/Z*8	Z	Z		Z	Z
	PM_1		O/Z	Z	O/Z*9		O/Z*9	O/Z*9
	PD_0、PD_1、PD_2、PD_3、PD_4、PD_5、PD_6、PD_7		I/Z*8	Z	Z		Z	Z
			L/Z	Z	Z		Z	Z
	P3_1、P3_3、P6_2、PE_1、PE_6、PH_0、PG_2、PG_6、PJ_1、PK_0、PK_2、PK_4		I	Z	Z		I/Z*12	I
			O/Z	Z	O/Z*9		O/Z*9	O/Z*9
	上記以外		I/Z*8	Z	Z		Z	Z
			O/Z	Z	O/Z*9		O/Z*9	O/Z*9
デバッガインタフェース	TDI		I	I	I		Z	I
	TDO/SWO		O/Z*14	O/Z*14	O/Z*14		Z	O/Z*14
	TMS/SWDIO		I	I	I		Z	I
			O/Z	O/Z	O/Z		Z	O/Z
	TCK		I	I	I		Z	I
	TRST#		I	I	I		Z	I
	TRACEDATA3～TRACEDATA0、TRACECLK、TRACECTL		O	—	O/Z*9		O/Z*9	O/Z*9

【記号説明】

I：入力
O：出力
H：ハイレベル出力
L：ローレベル出力
Z：ハイインピーダンス
－：端子機能として選択できない条件

注1. RES#端子へのローレベル入力によるパワーオンリセットを指します。ウォッチドッグタイマオーバフローによるパワーオンリセットの場合、各端子における初期機能の通常動作時と同じ端子状態になります（「51. 汎用入出力ポート」参照）。
注2. ディープスタンバイモードからNMIなどの各端子入力またはリアルタイムクロックのアラーム割り込みによって復帰した後、ディープスタンバイ解除要因フラグレジスタ（DSFR）のIOKEEPビットがクリアされるまでの状態を指します（「52. 低消費電力モード」参照）。
注3. ディープスタンバイコントロールレジスタ（DSCTR）のEBUSKEEPEビットです（「52. 低消費電力モード」参照）。
注4. 本LSIは、ディープスタンバイモードから復帰後、一定期間パワーオンリセット状態になります（「52. 低消費電力モード」参照）。
注5. 低消費電力モードレジスタのRTCXTAL選択レジスタ（RTCXTALSEL）のRTC1XT、RTC0XTビットの設定に従います。

注6. 水晶発振子接続用の端子を使用しない場合は、入力端子（EXTAL、RTC_X1、AUDIO_X1、USB_X1）は固定（プルアップ／プルダウン／電源接続／グランド接続）、出力端子（XTAL、RTC_X2、AUDIO_X2、USB_X2）はオープンにしてください。
注7. クロックパルス発振器の周波数制御レジスタ（FRQCR）のCKOENビットの設定に従います（「6. クロックパルス発振器」参照）。
注8. 汎用入出力ポートのポート方向レジスタ(PDR)の設定に従います。
注9. スタンバイコントロールレジスタ2（STBCR2）の HIZ ビットの設定に従います（「52. 低消費電力モード」参照）。
注10. バスステートコントローラの共通コントロールレジスタ（CMNCR）のHIZMEMビットの設定に従います（「8. バスステートコントローラ」参照）。
注11. バスステートコントローラの共通コントロールレジスタ（CMNCR）のHIZCNTビットの設定に従います（「8. バスステートコントローラ」参照）。
注12. ディープスタンバイ解除要因セレクトレジスタ（DSSSR）の各ビットの設定に従います（「52. 低消費電力モード」参照）。
注13. リアルタイムクロックのコントロールレジスタ3（RCR3）のRTCENビットの設定に従います（「16. リアルタイムクロック（RTC）」参照）。
注14. シリアルワイヤーデバッグ（SWD）モードの際はOとなります。シリアルワイヤーデバッグ（SWD）モードでない際は、TAPコントローラがShift-DR、Shift-IR状態以外ではZとなります。
注15. 出力となる場合は、ハイレベルまたはローレベルの固定出力となります。発振はしません。
注16. MIPI CSI2のPHY動作制御レジスタ（PHYCNT）のSHUTDOWNZビットの設定に従います（「47. MIPI CSI2インタフェース」参照）。
注17. DRP搭載品のみ

57.2 未使用端子の処理

未使用端子の処理方法を下記に示します。

表57.2　未使用端子の処理（デバッガインタフェース端子を除く）

端　子	処　理
NMI	ハイレベル固定（プルアップ／電源接続）
DP1, DP0, DM1, DM0	抵抗10kΩを介してGNDに接続
RREF0、RREF1	オープン
USB専用電源 （USBAPVcc0, USBAPVcc1, USBDPVcc0, USBDPVcc1)	3.3V電源を供給
USB専用グランド（USBVss）	グランドに接続
A/D専用電源（AVcc）	3.3V電源を供給
A/D専用グランド（AVss）	グランドに接続
LVDSアナログ電源（LVDSAPVcc）	3.3V電源を供給
LVDS PLL電源（LVDSPLLVcc）	1.2V電源を供給
MIPIAVcc18	1.8V電源を供給
CSI_CLKP, CSI_CLKN, CSI_DATA0P, CSI_DATA0N, CSI_DATA1P, CSI_DATA1N	グランドに接続
PVcc_SD0, PVcc_SD1	3.3V電源を供給
PVcc_SD0, PVcc_SD1電源で動作する入出力端子 (SD0_CMD, SD0_DAT7 ～ SD0_DAT0, SD1_CMD, SD1_DAT3 ～ SD1_DAT0)	固定 (プルアップ/プルダウン) *1
PVcc_SPI	3.3V電源を供給
PVcc_SPI電源で動作する入出力端子 (QSPI0_IO3 ～ QSPI0_IO0, QSPI1_IO3 ～ QSPI1_IO0, QSPI1_SSL)	オープン
PVcc_HO	1.8V電源を供給
PVcc_HO電源で動作する入出力端子 (HM_RWDS/OM_DQS, HM_DQ7/OM_SIO7 ～ HM_DQ0/ OM_SIO0)	固定 (プルアップ/プルダウン) *1 *3
上記以外の入力専用端子	固定（プルアップ／プルダウン／電源接続／グランド接続）*1
上記以外の入出力端子	入力端子設定にして固定（プルアップ／プルダウン）*2 または出力設定にしてオープン
出力専用端子	オープン

注1.　プルアップ／プルダウンの抵抗は4.7kΩ～100kΩを推奨します。
注2.　「51.　汎用入出力ポート」の設定により、一部の端子では端子固定を不要とすることができます。
　　詳細は、「51.3.1　ポート方向レジスタ（PDR)」を参照してください。
注3.　プルアップの接続は1.8V電源です。

表57.3　エミュレータ未使用時のデバッガインタフェース端子処理

端　子	処　理
BSCANP	ローレベル固定（プルダウン／グランド接続）
TRST#	ローレベル固定（プルダウン／グランド接続）またはRES#端子と同じ信号を接続
TCK, TMS, TDI	固定（プルアップ／プルダウン／電源接続／グランド接続）
TDO	オープン

注1.　エミュレータ使用時の端子処理は、使用するエミュレータの仕様に従ってください。
注2.　プルアップ／プルダウンの抵抗は4.7kΩ～100kΩを推奨します。

57.3　ディープスタンバイモード時の端子処理

ディープスタンバイモード時の、端子処理方法を下記に示します。

ディープスタンバイモード時の端子状態については、**「57.1　端子状態」**のディープスタンバイモードの項目を参照してください。また、端子を未使用時は、ディープスタンバイモードにおいても**「57.2　未使用端子の処理」**に従ってください。

表57.4　　ディープスタンバイモード時の端子処理

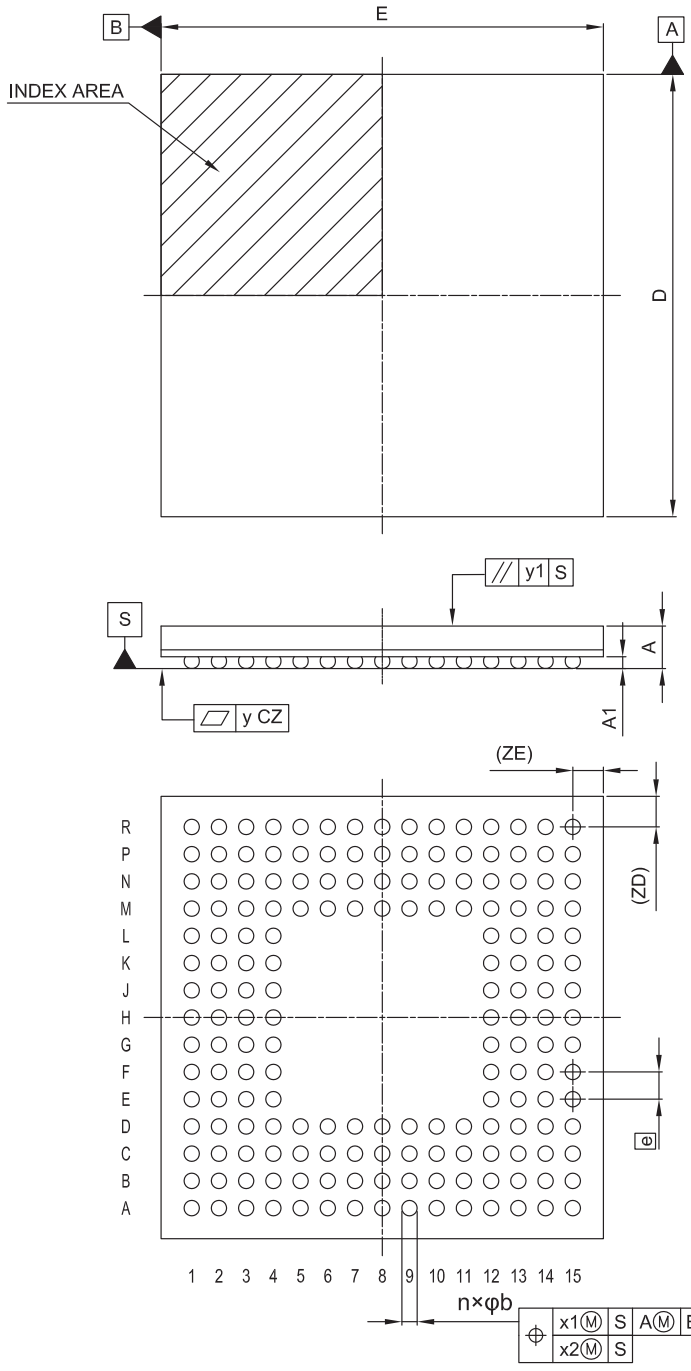
端　　子	処　　理
1.2V電源（VCC, PLLVcc, LVDSPLLVCC）	1.2V電源を供給
1.8V電源（MIPIAVcc18）	1.8V電源を供給
1.8V/3.3V切替電源（PVCC_SPI, PVCC_HO, PVCC_SD0, PVCC_SD1）	1.8V/3.3V電源を供給
3.3V電源（PVCC, AVCC, USBAPVCC1, USBAPVCC0, USBDPVCC1, USBDPVCC0, LVDSAPVCC）	3.3V電源を供給
グランド（Vss, AVss, USBVss）	グランドに接続
RREF0、RREF1	2.2kΩ±1%の抵抗を介してUSBVssに接続
DP1, DP0, DM1, DM0	固定（プルアップ／プルダウン／電源接続／グランド接続）またはオープン
EXTAL, RTC_X1, AUDIO_X1, USB_X1	水晶発振子接続、クロック入力または固定（プルアップ／プルダウン／電源接続／グランド接続）
XTAL, RTC_X2, AUDIO_X2, USB_X2	水晶発振子接続またはオープン
上記以外の入力専用端子	固定（プルアップ／プルダウン／電源接続／グランド接続）
上記以外の入力状態となる入出力端子	固定（プルアップ／プルダウン）
上記以外の入出力ハイインピーダンス状態となる入出力端子	固定（プルアップ／プルダウン）またはオープン
上記以外の出力状態となる入出力端子	オープン
上記以外の出力専用端子	オープン

注.　プルアップ／プルダウンの抵抗は4.7kΩ～100kΩを推奨します。

付録

A. 外形寸法図

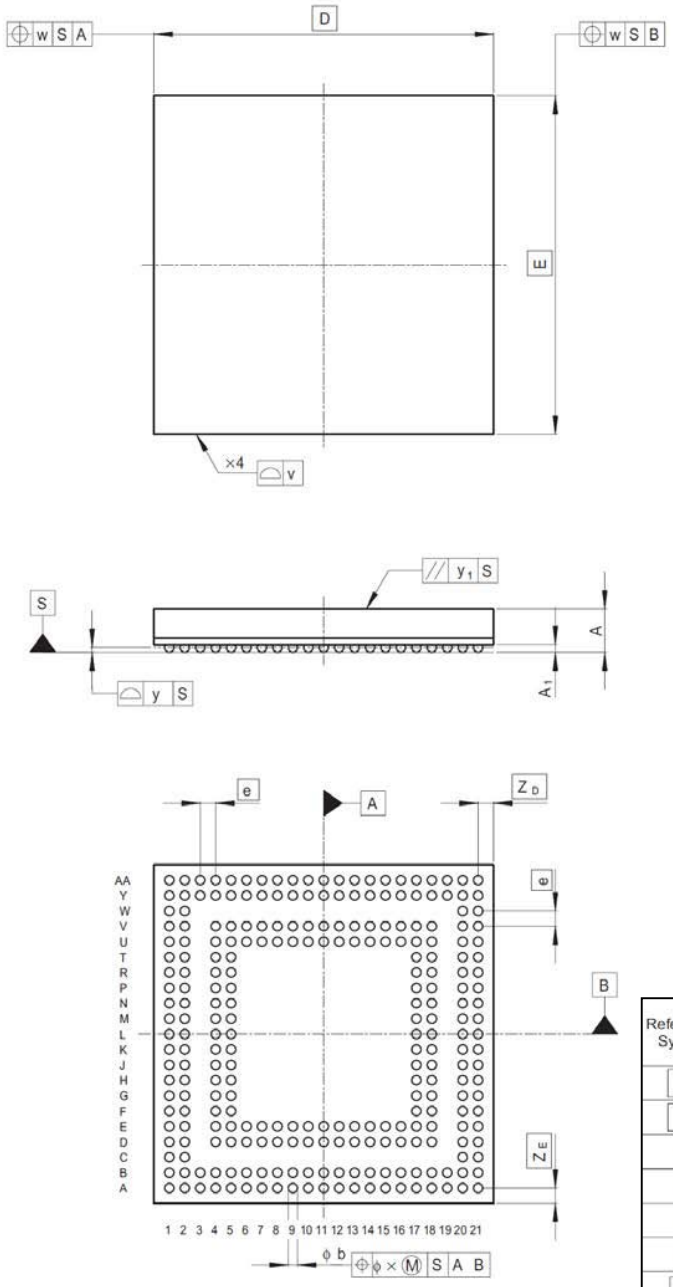
JEITA Package Code	RENESAS Code	MASS(TYP.)[g]
P-LFBGA176-13x13-0.80	PLBG0176GA-B	0.41



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	12.9	13.0	13.1
E	12.9	13.0	13.1
A	—	—	1.40
A_1	0.30	0.35	0.40
e	—	0.8	—
b	0.40	0.45	0.50
x_1	—	—	0.15
x_2	—	—	0.08
y	—	—	0.10
y_1	—	—	0.20
n	—	176	—
Z_D	—	0.9	—
Z_E	—	0.9	—

図 A.1 176 ピン BGA の外形寸法図

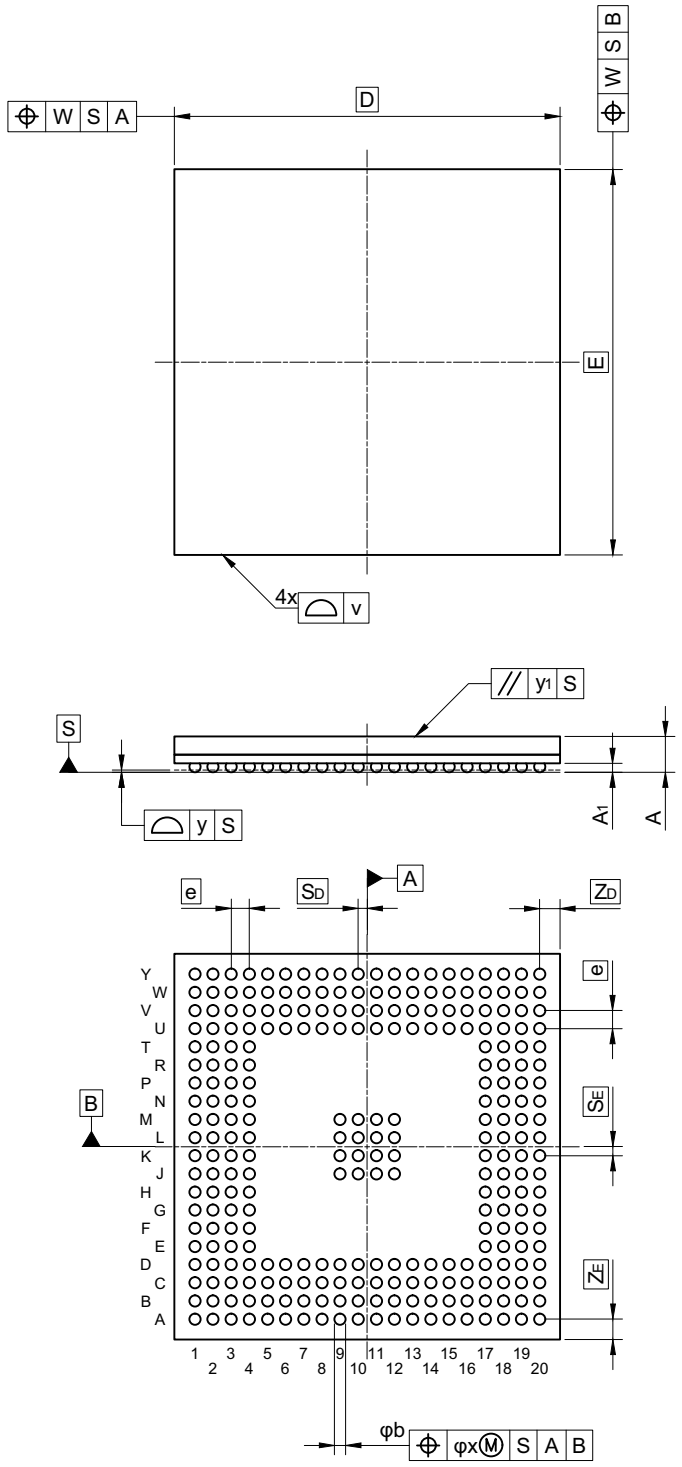
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFBGA256-11x11-0.50	PLBG0256KA-A	BP-256C/BP-256CV	0.3g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	11.00	—
E	—	11.00	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.40
A_1	0.20	0.25	0.30
e	—	0.50	—
b	0.25	0.30	0.35
x	—	—	0.05
y	—	—	0.08
y_1	—	—	0.2
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.5	—
Z_E	—	0.5	—

図 A.2 256 ピン BGA の外形寸法図

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-FBGA272-17x17-0.80	PRBG0272GA-A	-	0.90

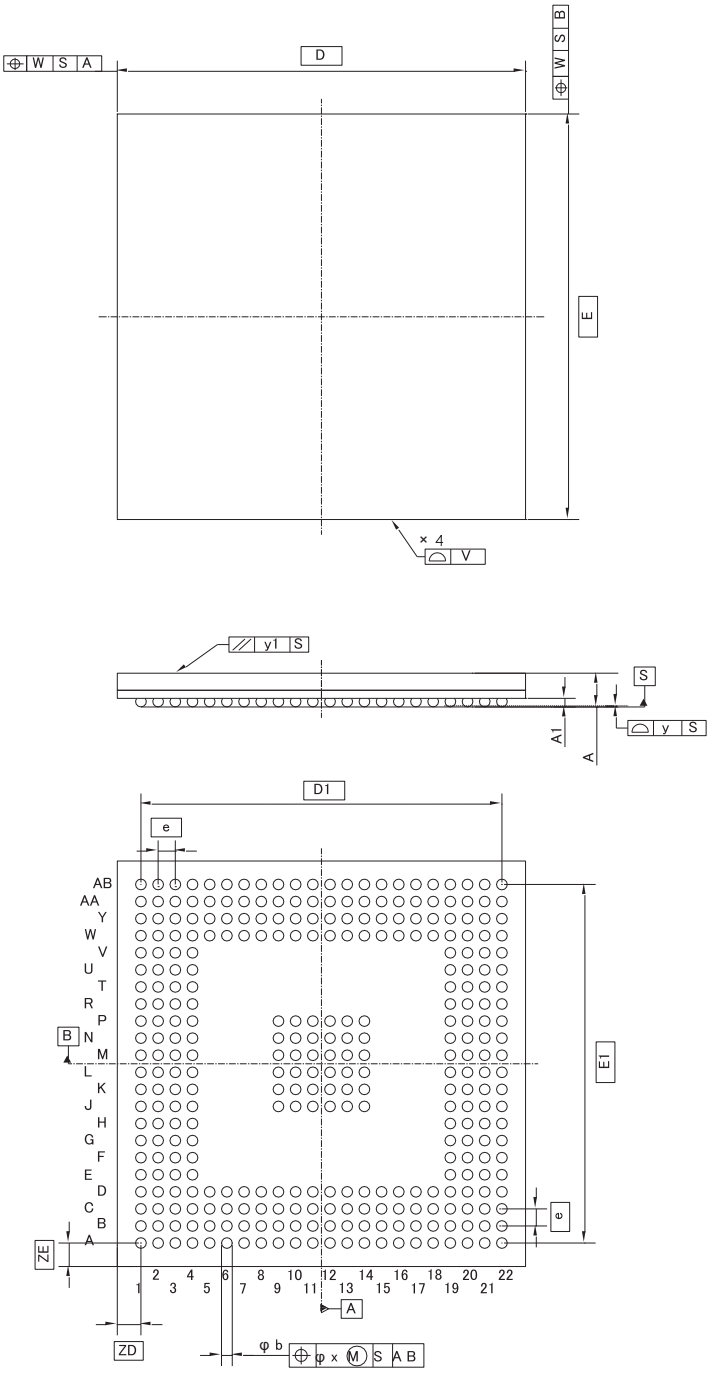


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	–	17.00	–
E	–	17.00	–
v	–	–	0.15
w	–	–	0.30
A	–	–	1.90
A_1	0.35	0.40	0.45
e	–	0.80	–
b	0.45	0.50	0.55
x	–	–	0.08
y	–	–	0.10
y_1	–	–	0.20
S_D	–	0.40	–
S_E	–	0.40	–
Z_D	–	0.90	–
Z_E	–	0.90	–

図 A.3 272 ピン BGA の外形寸法図

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-FBGA324-19x19-0.80	PRBG0324GA-A	-	1.2

Unit:mm



Reference Symbol	Dimension in Millimeters		
	Min	Mon	Max
D	—	19.00	—
D1	—	16.80	—
E	—	19.00	—
E1	—	16.80	—
v	—	—	0.15
w	—	—	0.20
e	—	0.80	—
A	—	1.76	2.10
A1	0.35	0.40	0.45
b	0.45	0.50	0.55
x	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
ZD	—	1.10	—
ZE	—	1.10	—

図 A.4 324 ピン BGA の外形寸法図

B. 熱特性

平均サンプル (TYP) のジャンクション温度 (Tj) は、下記式から算出することができます。

[θja から算出]
$Tj = Ta + (P_D \times \theta ja)$

- Tj：ジャンクション温度
- Ta：周囲温度
- P_D：LSI 全体の消費電力
- θja：Tj と Ta 間の熱抵抗

[Ψjt から算出]
$Tj = Tt + (P_D \times \Psi jt)$

- Tt：パッケージトップ中央の温度
- Ψjt：Tj と Tt の温度差を表す熱特性パラメータ

θja は使用環境（実装基板や筐体）により大きく変わるため、θja から算出したジャンクション温度 (Tj) は精度の低い値となります。θja から Tj を算出する場合は、十分にマージンを取ったシステム設計を行ってください。Ψjt は使用環境差による変化は少ないですが、パッケージトップ中央 (Tt) の温度測定に注意を払う必要があります。θja および Ψjt の値については、弊社の営業担当にご確認ください。

改訂記録	RZ/A2M グループ　ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2018.09.25	—	初版発行
2.00	2018.12.28	1.　概要	
		1-2	“表1.1　RZ/A2Mの特長” ブートモード（ブートモード4）修正
		1-4	“表1.1　RZ/A2Mの特長” SPIマルチI/Oバスコントローラ 修正
		1-16	“表1.3　端子機能” マルチファンクションタイマパルスユニット3　MTIOC8A, MTIOC8B,MTIOC8C, MTIOC8D 機能 修正
		1-17	“表1.3　端子機能” SPIマルチI/Oバスコントローラ　QSPI1_SSL　機能 修正
		1-43	“表1.7　176 ピンBGA 端子一覧” ボール番号F4のポート機能/専用機能（端子名HM_CS1#/OM_CS1#）の I/O 修正
		3.　ブートモード	
		3-1	“3.　ブートモード” 本文 修正、注2 追加
			“3.1　特長” ブートモード4　本文 修正、注4 追加
		3-2	“表3.1　外部端子（MD_BOOT2～0）設定とブートモードの関係” ブートモード4　修正
		3-3	“表3.2　各ブートモードで使用するハードウェアの情報” ブートモード4（Octal-SPI フラッシュブート 1.8V品） 修正
		3-4	“表3.3　ブートモードと例外ベクタ配置” ブートモード4（Octal-SPI フラッシュブート 1.8V品） 修正
		3-16	“3.5.5　ブートモード4” 本文 修正
		3-24	“3.7.3　ブートモード3、4、6 での本LSI リセット発生時の注意事項” 本文 修正
		9.　ダイレクトメモリアクセスコントローラ	
		9-22	“9.4.9　Channel Configuration Register n/nS (CHCFG_n/nS)” ビット 10 ～ 8 (AM[2:0]) 説明修正
		9-49	“表9.4　内蔵周辺モジュールリクエスト” FIFO内蔵シリアルコミュニケーションインタフェースチャネル ビット 0～4　AM[2:0]　修正
		9-73	“表9.19　DACK0出力タイミング設定” マスクモードの用途　修正
		9-92	“表9.29　ディスクリプタ設定” NXLA (Next Link Address) のディスクリプタ3　修正
		10.　マルチファンクションタイマパルスユニット3（MTU3a）	
		10-96	“図10.7　周期カウンタの動作” TGI割り込み信号名　修正
		16. リアルタイムクロック（RTC）	
		16-29	“16.2.20 RTC コントロールレジスタ3（RCR3）” RTCEN ビット（32kHz クロック発振器制御ビット） 注 削除
		17.　FIFO内蔵シリアルコミュニケーションインタフェース（SCIFA）	
		17-1	“表17.1　SCIFAの仕様” シリアル通信方式　修正（注2. 削除）
		17-8	“17.2.6　シリアルコントロールレジスタ（SCR）” b1, b0 (CKE[1:0]) クロック許可ビット 修正（注2. 削除）
		17-11	“17.2.7　シリアルステータスレジスタ（FSR）” RDF ビット（受信FIFO データフルビットフラグ）［“0” になる条件］ 修正
		17-12	“17.2.7　シリアルステータスレジスタ（FSR）” TDFE ビット（送信トランスミットFIFO データエンプティビットフラグ）［“0” になる条件］ 修正
		17-35	“図17.4　シリアル送信のフローチャートの例” フローチャート 修正
		17-38	“図17.7　シリアル受信のフローチャートの例（1）” フローチャート 修正
		17-44	“図17.13　シリアル送信のフローチャートの例” フローチャート 修正
		17-46	“図17.15　シリアル受信のフローチャートの例” フローチャート 修正
		17-48	“図17.17　シリアルデータ送受信フローチャートの例” フローチャート 修正
		17-54	“17.8.1　FTDR レジスタへの書き込みとTDFE フラグ” 本文 修正
			“17.8.2　FRDR レジスタの読み出しとRDF フラグ” 本文 修正
		18.　シリアルコミュニケーションインタフェース（SCIg）	
		18-23	“表18.6　BRRレジスタの設定値Nとビットレート Bの関係” スマートカードインタフエース　BRRレジスタの設定値と誤差の数式訂正
		18-30	“表18.17　ビットレートモジュレーション機能使用時のMDDRレジスタ設定値Mとビットレート Bの関係” スマートカードインタフエース　BRRレジスタの設定値と誤差の数式訂正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2018.12.28	20. SPI マルチI/Oバスコントローラ	
		20-1	“20. SPI マルチ I/O バスコントローラ” 本文 修正
			“20.1 特長” 本文 修正
			“20.1.1 シリアルフラッシュインタフェース” 本文 修正、 注 削除
			“20.1.2 OctaFlash™、Xccela™ フラッシュメモリインタフェース” タイトル 修正、 注 追加
		20-4	“表20.1 端子構成” Octal-SPI フラッシュメモリ接続 名称 修正
		20-6, 20-7	“20.4.1 共通コントロールレジスタ（CMNCR）” ビット 23, 22 (MOIIO3[1:0])、21, 20 (MOIIO2[1:0])、19, 18 (MOIIO1[1:0])、17, 16 (MOIIO0[1:0])、1, 0 (BSZ[1:0]) 説明修正
		20-14, 20-15	“20.4.7 データリードイネーブル設定レジスタ（DRENR）” 本文 修正 ビット 14 (CDE)、12 (OCDE)、11～8 (ADE[3:0]) 説明 修正
		20-19, 20-20	“20.4.12 手動モードイネーブル設定レジスタ（SMENR）” 本文 修正 ビット 14 (CDE)、12 (OCDE)、11～8 (ADE[3:0]) 説明修正
		20-24	“20.4.15 手動モードライトデータレジスタ 0（SMWDR0）” ビット 31～0 (WDATA0[31:0]) 説明 修正
		20-25	“20.4.16 手動モードライトデータレジスタ 1（SMWDR1）” ビット 31～0 (WDATA1[31:0]) 説明 修正
		20-28	“20.4.19 データリード DDR イネーブルレジスタ（DRDRENR）” ビット 14～12 (HYPE) 説明 修正
		20-30	“20.4.21 手動モード DDR イネーブルレジスタ（SMDRENR）” ビット 14～12 (HYPE[2:0]) 説明 修正
		20-31, 20-32	“20.4.22 PHY コントロールレジスタ（PHYCNT）” ビット 30 (ALT_ALIGN)、23, 22 (OCTA[1:0])、21 (EXDS)、20 (OCT)、17, 16 (CKSEL[1:0])、1,0 (PHYMEM[1:0]) 説明 修正
		20-35	“20.4.24 PHY オフセットレジスタ 2（PHYOFFSET2）” ビット 10～8 (OCTTMG) 説明修正
		20-37	“20.4.27 PHY 調整レジスタ 2（PHYADJ2）” ビット 31～0 (ADJ2[31:0]) 説明修正
		20-42	“20.5.2 アドレスマップ” 本文 修正
			“表20.3 アドレスマップ” 最大アクセス領域欄 修正
		20-43	“20.5.3 シリアルフラッシュ 32 ビットアドレス” 本文 修正
		20-55	“表20.7 イネーブルレジスタ (Octal-SPI フラッシュメモリ)” タイトル 修正、 外部アドレス空間リード動作欄 修正
		20-59	“表20.9 端子状態（2）” 転送データ欄 修正
			“表20.11 端子状態（4）” ダミーサイクル欄 修正
		20-60	“20.5.10 QSPIn_SSL 端子制御” 末文 修正
		20-63	“20.5.14 Octal-SPI フラッシュメモリでのデータアライメント” タイトル 修正、本文 修正
			“図20.26 Octal-SPI フラッシュメモリ順序アライメント (PHYCNT.OCTA = 10)” タイトル 修正、注 修正
			“図20.27 Octal-SPI フラッシュメモリ代替アライメント (PHYCNT.OCTA = 01)” タイトル 修正、注 修正
		20-64	“20.5.16 サポートされている Octal-SPI フラッシュメモリプロトコル” タイトル 修正、本文 修正
			“表20.15 サポートされている Octal-SPI フラッシュメモリプロトコル” タイトル 修正
		20-65 ～ 20-67	“20.5.17 タイミング調整” 本文 修正
		20-65	“図20.28 (1) シリアルフラッシュ (SDR モード) のタイミング調整フロー” タイトル 修正、 フローチャート 修正
		20-66	“図20.28 (2) シリアルフラッシュ (DDR モード) のタイミング調整フロー” 新規追加
		20-67	“図20.28 (3) シリアルフラッシュ (DDR モード) のタイミング設定例” 新規追加
		20-68	“図20.29 外部空間リードモードのデータアライメント” HyperFlash 接続時 (PHYCNT.OCTA[1:0]=00)/Octal-SPI フラッシュメモリ接続時 (PHYCNT.OCTA[1:0]=01、PHYCNT.ALT_ALIGN=1) タイトル 修正
		20-69	“図20.30 手動モードのデータアライメント” Octal-SPI フラッシュメモリ接続時 (PHYCNT.OCTA[1:0]=01、PHYCNT.ALT_ALIGN=0、PHYCNT.PHYMEM[1:0]=00) タイトル 修正 Octal-SPI フラッシュメモリ接続時 (PHYCNT.OCTA[1:0]=01、PHYCNT.ALT_ALIGN=1、PHYCNT.PHYMEM[1:0]=01) タイトル 修正
		20-71	“20.6.6 Octal-SPI フラッシュメモリ接続の Write データ” タイトル 修正、本文 修正
		21. HyperBus™ コントローラ	
		21-9	“21.5.6 CS0 メモリタイミングレジスタ (MTR0)” ビット 15～12 (RCSH[3:0])、11～8 (WCSH[3:0]) 説明修正
		21-10	“21.5.7 CS1 メモリタイミングレジスタ (MTR1)” ビット 15～12 (RCSH[3:0])、11～8 (WCSH[3:0]) 説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2018.12.28	22. Octa メモリコントローラ	
		22-4	“表22.3 Octa メモリコントローラレジスタ構成” デバイスサイズレジスタ_0、デバイスサイズレジスタ_1、メモリ遅延トリムレジスタ 初期値 修正
		22-7	“22.4.3 デバイスコマンド設定レジスタ（DCSR）” ビット 27 (DOPI) 説明 修正
		22-9	“22.4.4 デバイスサイズレジスタ_0（DSR0）” ビット 29～0 (DV0SZ[29:0]) 初期値 修正
			“22.4.5 デバイスサイズレジスタ_1（DSR1）” ビット 31, 30 (DV1TYP[1:0])、29～0 (DV1SZ[29:0]) 初期値 修正
		22-10	“22.4.6 メモリ遅延トリムレジスタ（MDTR）” ビット 27～24 (DQSEDOPI[3:0])、15～12 (DQSESOPI[3:0])、11～8 (DQSERAM[3:0]) 初期値 修正
		22-15	“22.4.10 デバイスリードタイミング設定レジスタ（DRCSTR）” ビット 23～16 (リザーブ)、7 (CTR0) 説明 修正
		23. I²C バスインタフェース	
		23-24	“23.3.7 RIICnSER — I²C バスステータスイネーブルレジスタ” SARy ビット（スレーブアドレスレジスタ y 許可ビット）（y = 0 ～ 2） ビット名 修正
			“表23.12 RIICnSER レジスタの内容” 2 (SAR2)、1 (SAR1)、0 (SAR0) ビット名 修正
		23-29	“23.3.9 RIICnSR1 — I²C バスステータスレジスタ 1” AASy フラグ（スレーブアドレス y 検出フラグ） （y = 0 ～ 2）説明文中の RIICnSER.SARy（y = 0 ～ 2）ビット名 修正
		23-36	“23.3.11 RIICnSARy — I²C スレーブアドレスレジスタ y（y = 0 ～ 2）” SVA0 ビット（10 ビットアドレス最下位ビット）説明文中の RIICnSER.SARy（y = 0 ～ 2）ビット名 修正
			“23.3.11 RIICnSARy — I²C スレーブアドレスレジスタ y（y = 0 ～ 2）” SVA[9:1] ビット（7 ビットアドレス／ 10 ビットアドレス上位ビット）説明文中の RIICnSER.SARy（y = 0 ～ 2） ビット名 修正
			“23.3.11 RIICnSARy — I²C スレーブアドレスレジスタ y（y = 0 ～ 2）” FSy ビット（7 ビット／ 10 ビットアドレスフォーマット選択ビット）説明文中の RIICnSER.SARy（y = 0 ～ 2） ビット名 修正
		23-65	“23.9.1 スレーブアドレス一致検出機能” 説明文中の RIICnSER.SARy (y = 0 ～ 2) ビット名 修正
		30. 12 ビット A/D コンバータ	
		30-14	“30.2.4 A/D チャネル選択レジスタ A0（ADANSA0）” b15～b8 (予約ビット) 追加
			“30.2.5 A/D チャネル選択レジスタ B0（ADANSB0）” b15～b8 (予約ビット) 追加
		30-15	“30.2.6 A/D チャネル選択レジスタ C0（ADANSC0）” b15～b8 (予約ビット) 追加
		30-16	“30.2.7 A/D 変換値加算／平均機能チャネル選択レジスタ 0（ADADS0）” b15～b8 (予約ビット) 追加
		32. USB 2.0 ホストモジュール	
		32-60	“表32.43 SPD_CTRL Register” ビット 31 (SUSPENDM_ENABLE)、30 (SLEEPM_ENABLE)、23 (WKCNNT_ENABLE) 説明 修正
		33. USB 2.0 ファンクションモジュール	
		33-3	“33.1.2.7 その他の機能” 本文 修正
		33-7	“表33.3 レジスター覧表” D0FIFOSEL (D0FIFO ポート選択レジスタ)、D0FIFOCTR (D0FIFO ポートコントロールレジスタ)、D1FIFOSEL (D1FIFO ポート選択レジスタ)、D1FIFOCTR (D1FIFO ポートコントロールレジスタ) 新規 追加
		33-22, 33-23	“33.2.7.4 D0FIFO ポート選択レジスタ【D0FIFOSEL】<アドレス：028H> D1FIFO ポート選択レジスタ【D1FIFOSEL】<アドレス：02CH>” 新規 追加
		33-24	“33.2.7.5 CFIFO ポートコントロールレジスタ【CFIFOCTR】<アドレス：022H> D0FIFO ポートコントロールレジスタ【D0FIFOCTR】<アドレス：02AH> D1FIFO ポートコントロールレジスタ【D1FIFOCTR】<アドレス：02EH>” タイトル修正
		33-55	“33.2.15.4 PIPE マックスパケットサイズレジスタ【PIPEMAXP】<アドレス：06CH>” (1) マックスパケットサイズビット (MXPS) 本文 修正
		—	“デバイスアドレス コンフィグレーションレジスタ” 削除
		33-90 ～ 33-92	“33.5.3.1 Channel Configuration Register ch0【CHCFG_0】<アドレス：42CH> Channel Configuration Register ch1【CHCFG_1】<アドレス：46CH>” ビット 0 (SEL) 修正
		33-92	“表33.21 SDS, DDS の設定サイズの範囲” 修正
		33-116	“33.9.4.1 FIFO バッファ割り当て” 本文 修正
			“図33.9 FIFO バッファのメモリマップ例” 修正
		33-117	“表33.25 FIFO バッファクリアー覧表” 修正
		33-118	“33.9.5 FIFO ポートの機能” 本文 修正
			“表33.26 FIFO ポート機能設定表” 修正
		33-119	“表33.27 PIPE 別 FIFO ポートアクセス表” 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2018.12.28	33-120	“33.9.5.2　DxFIFO 自動クリアモード（DxFIFO ポート読み出し方向）” 新規 追加
			“表33.28　パケット受信とソフトウェアによるバッファメモリクリア処理の関連表” 新規 追加
			“33.9.5.3　BRDY 割り込みタイミング選択機能” 本文 修正
		33-137	“33.9.12.1　レジスタ／リンク・モード　(1) レジスタ・モード　(a) レジスタ・モードの動作フロー <レジスタ・モード・フローの説明>　1. チャネル設定 (set channel configuration)” 本文 修正
		33-145	“33.9.12.1　レジスタ／リンク・モード　(2) リンク・モード　(c) ディスクリプタ設定” 本文 修正
		33-170	“図33.35　バスリセットによるディープスタンバイ復帰フロー ” 修正
		33-171	“図33.36　レジューム信号受信によるディープスタンバイ復帰フロー ” 修正
		43.　2D描画エンジン（DRW）	
		43-65	“43.6.5.1　カラーチャネルブレンディング” ブレンディング用の式 修正
		43-67	“43.6.5.2　アルファチャネルブレンディング” ブレンディング用の式 修正
		47.　MIPI CSI2 インタフェース	
		47-39	“47.2.37　SOT エラーカウントレジスタ (SERRCNT)” ビット 7～0 (ERRSOTHS_CNT)　ビット名 修正
		47-40	“47.2.39　ECC_CRCT カウントレジスタ (ECCCM)” ビット 7～0 (ECC_CRCT_CNT)　ビット名 修正
		47-41	“47.2.40　ECC_ERR カウントレジスタ (ECECM)” ビット 7～0 (ECC_ERR_CNT)　ビット名 修正
			“47.2.41　CRC_ERR カウントレジスタ (CRCECM)” ビット 7～0 (CRC_ERR_CNT)　ビット名 修正
		47-48	“47.2.53　PHY タイミングレジスタ 2（PHYTIM2）” ビット 5 (予約済)　修正
		48.　ビデオインプットモジュール	
		48-14	“48.2.6　ビデオn スタートピクセル プリクリップレジスタ (VnSPPrC)” ビット 10～0 (SPPrC[10:0]) 説明 修正
		48-15	“48.2.7　ビデオn エンドピクセル プリクリップレジスタ (VnEPPrC)” ビット 10～0 (EPPrC[10:0])　説明 修正
		49.　SD/MMC ホストインタフェース	
		49-23	“49.2.15　SD バッファリード／ライトレジスタ（SD_BUF0）” ビット 63～0 (BUF63～BUF0)　説明 修正
		49-30	“49.2.27　DMAC ソフトリセットレジスタ（DM_CM_RST）” 注 追加
		49-60	“図49.24　SD_BUF DMA リードフローチャート例” フローチャート 修正
		49-61	“図49.25　SD_BUF DMA ライトフローチャート例” フローチャート 修正
		51.　汎用入出力ポート	
		51-29	“表51.10　端子入出力機能レジスタ設定” 端子名 (SSILRCK1) 修正
		51-35	“表51.16　324 ピン　端子入出力機能レジスタ設定” 端子名 (SSILRCK3) 修正
		51-37	“表51.18　324 ピン　端子入出力機能レジスタ設定” 端子名 (SSILRCK2, SSILRCK0)　修正
		51-39	“表51.20　324, 272, 256 ピン　端子入出力機能レジスタ設定” 端子名 (SSILRCK1, SSILRCK2) 修正
		51-42	“表51.23　端子入出力機能レジスタ設定” 端子名 (SSILRCK0) 修正
		51-43	“表51.24　端子入出力機能レジスタ設定” 端子名 (SSILRCK0) 修正
		51-47	“表51.28　324, 272, 256 ビン　端子入出力機能レジスタ設定” 端子名 (SSILRCK3, SSILRCK2) 修正
		51-48	“表51.29　176 ピン　端子入出力機能レジスタ設定” 端子名 (SSILRCK3, SSILRCK2) 修正
		51-65	“表51.34　レジスタの設定” 注意事項　修正
		52.　低消費電力モード	
		52-41	“52.2.33　USB ディープスタンバイ解除要因フラグレジスタ（USBDSFR）” ビット名 (USBDSF3, USBDSF2, USBDSF1, USBDSF0) 修正
		52-53	“表52.5　外部メモリ制御端子一覧” ブートモード4 (Octal-SPI フラッシュブート)　名称 修正
		56.　電気的特性	
		56-4	“表56.2 DC特性（3）【1.8V／3.3V切替I/Oインタフェース、I^2C バスインタフェース、USB 2.0 ホスト／ファンクションモジュール関連端子を除く】” シュミットトリガ入力特性　修正
		56-53	“表56.18　SPIマルチI/Oバスコントローラタイミング (注1)” 修正
		56-54	“図56.56　SDR 転送フォーマット送受信タイミング” 修正
			“図56.57　DDR 転送フォーマット送受信タイミング” 修正
		56-55	“図56.60　Octal-SPI フラッシュメモリ, HyperFlash™ 接続時送受信タイミング” タイトル修正
		56-56	“表56.19　HyperBus™ コントローラタイミング (注1)(注2)” 修正
		56-58	“表56.20　Octa メモリコントローラタイミング (注1)(注2)” 修正
			“図56.66　クロックタイミング” タイトル 修正、信号名 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2018.12.28	56-59	“図56.67　SPI 転送フォーマット送受信タイミング” 修正
			“図56.68　SOPI 転送フォーマット送受信タイミング” 修正
		56-60	“図56.70　DOPI 転送フォーマット送信タイミング” 新規追加
		56-61	“表56.21　I²Cバスインタフェースタイミング” 注4 修正
		56-83	“表56.36　SD/MMCホストインタフェースタイミング（MMC HS-DDR mode 3.3V電源／1.8V電源動作時）” 修正
		56-84	“表56.37　SD/MMCホストインタフェースタイミング（MMC HS200 mode 1.8V電源動作、出力負荷15pF時）” 修正
3.00	2019.11.29	全体	12ビットA/Dコンバータ→A/Dコンバータ 修正
		1.　概要	
		1-3	“表1.1　RZ/A2Mの特長” マルチファンクションタイマパルスユニット3の特長 「・」追加
		1-4	“表1.1　RZ/A2Mの特長” Octaメモリコントローラの特長 修正
		1-5	“表1.1　RZ/A2Mの特長” CANFDインタフェースの項目、特長 修正
		1-5	“表1.1　RZ/A2Mの特長” イーサネットMACコントローラ　注1.→注 修正
		1-5	“表1.1　RZ/A2Mの特長” USB 2.0 ホスト／ファンクションモジュールの特長 修正
		1-6	“表1.1　RZ/A2Mの特長” ビデオディスプレイコントローラ6　注1.→注 修正
		1-7	“表1.1　RZ/A2Mの特長” JPEGコーデックユニット　注1.→注 修正
		1-9	“表1.2　製品一覧” 注 修正
		1-17	“表1.3　端子機能” CANFDインタフェースの分類 修正
		1-19	“表1.3　端子機能” USB 2.0 ホスト／ファンクションモジュール　RREF1, RREF0端子の機能 修正
		3. ブートモード	
		3-2	“表3.1　外部端子（MD_BOOT2～0）設定とブートモードの関係” ブートモード6のブート名 修正
		3-3	“表3.2　各ブートモードで使用するハードウェアの情報” QSPI0_SCLK→QSPI0_SPCLK、QSPI1_SCLK→QSPI1_SPCLK、ブートモード6のブート名 修正
		3-4	“表3.3　ブートモードと例外ベクタ配置” ブートモード6のブート名 修正
		3-13	“図3.8　eMMC デバイスとの接続例” 修正
		3-14	“図3.9　SPI 通信変換によりシリアルフラッシュメモリに対して出力される制御信号” 修正
		3-15	“図3.10　ブートモード3 使用時の接続例” 修正
		3-16	“図3.11　ブートモード4 使用時の接続例” 修正
		3-17	“図3.12　HyperBus プロトコル変換によりHyperFlash に対して出力される制御信号” 修正
		3-18	“図3.13　ブートモード5 使用時の接続例” 修正
		3-19	“図3.14　OctaFlash に対して出力される制御信号” 修正
		3-19	“表3.10　ブートモード6の各周辺のモジュールのレジスタ設定値” DSR0 レジスタのリセット解除後の初期値 修正
		3-20	“図3.15　ブートモード6 使用時の接続例” 修正
		3-21	“3.5.8　ブートモード7” 本文 修正
		3-21	“図3.16　HyperBus プロトコル変換によりHyperFlash に対して出力される制御信号” 修正
		3-22	“図3.17　ブートモード7 使用時の接続例” 修正
		3-24	“3.7.3　ブートモード3、4、6 での本LSI リセット発生時の注意事項” 本文 ブートモード6のブート名 修正
		5.　LSI 内部バス	
		5-3	“表5.2　周辺バス一覧” 接続周辺モジュールの内容 修正
		5-15	“5.8.5　スレーブ領域” (3) 保護ユニット情報 (ARPROT[2:0]、AWPROT[2:0])の注. 修正
		5-50	“5.11.25　スレーブアクセスコントロールレジスタ0（SLVACCCTL0）” ビット 14 (POEGNS)の説明 修正
		5-52	“5.11.26　スレーブアクセスコントロールレジスタ1（SLVACCCTL1）” ビット 16 (RCANNS)の説明 修正
		6.　クロックパルス発振器	
		6-2	“図6.1　ブロック図” 修正
		6-17	“図6.8　その他のクロック樹形図1” 修正
		6-19	“図6.10　内部クロック分配図（1）” 修正
		6-20	“図6.11　内部クロック分配図（2）” 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	7. 割り込みコントローラ	
		7-18	“7.4.4 端子割り込み” 本文 修正
		7-27	“表7.3 割り込みID一覧” リアルタイムクロックの要求要因名 修正
		8. バスステートコントローラ	
		8-8, 8-9	“8.4.2 CSn 空間バスコントロールレジスタ（CSnBCR）（n = 0 ～ 5）” ビット配置図 ビット21～19, 18～16 ビット名 修正、ビット機能表 ビット14～12 (TYPE[2:0])の説明 注. 修正
		8-55	“図8.20 バーストリードタイミング（バンクアクティブ、異なるバンク、CAS レイテンシ1）” 修正
		8-55	“図8.21 バーストリードタイミング（バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ1）” 修正
		9. ダイレクトメモリアクセスコントローラ	
		9-49	“表9.4 内蔵周辺モジュールリクエスト” CANインタフェース→ CANFDインタフェース 修正
		10. マルチファンクションタイマパルスユニット3（MTU3a）	
		10-1	“表10.1 MTUの仕様” カウントクロック、設定可能動作、割り込み間引き機能、消費電力低減機能の内容 修正
		10-2, 10-3	“表10.2 MTUの機能一覧” カウントクロック、位相係数モードの外部クロック、DMACの起動、割り込み要因 修正、割り込み間引き機能→割り込み間引き機能1 修正、注3. 追加、注3.以降の表脚注番号を繰り下げ
		10-4	“図10.1 MTU のブロック図（MTU0 ～ MTU4、MTU8）” 修正
		10-5	“図10.2 MTU のブロック図（MTU5 ～ MTU7）” 修正
		10-6	“表10.3 MTUの入出力端子” MTCLKA, MTCLKB端子の機能 修正
		10-12	“10.2.1 タイマコントロールレジスタ（TCR）” MTU0～4, MTU6～8のTCRレジスタ表記 修正、TPSC[2:0], CKEG[1:0]ビットの説明 修正
		10-13	“表10.5 CCLR[2:0]（MTU0、MTU3、MTU4、MTU6、MTU7、MTU8）” 記載場所 移動
		10-13	“表10.6 CCLR[2:0]（MTU1、MTU2）” 記載場所 移動
		10-13	“10.2.1 タイマコントロールレジスタ（TCR）” MTU5のTCRレジスタ表記 修正、TPSC[1:0]ビットの説明 修正
		10-14	“10.2.2 タイマコントロールレジスタ2（TCR2）” MTU0, 3, 4, 6～8のTCR2レジスタ表記 修正、MTU1, 2のTCR2レジスタ表記 修正、本文 修正、TPSC2[2:0]ビットの説明 修正
		10-15	“10.2.2 タイマコントロールレジスタ2（TCR2）” MTU5のTCR2レジスタ表記 修正、ビット機能表 「x」の説明 追加、TPSC2[2:0], CKEG[1:0]ビットの説明 修正
		10-17	“表10.10 TPSC[2:0]、TPSC2[2:0]（MTU3、MTU4、MTU6、MTU7、MTU8）” 注1. 削除
		10-17	“表10.11 TPSC[1:0]、TPSC2[2:0]（MTU5)” 注. 削除
		10-19	“表10.12 MD[3:0]ビットによる動作モードの設定（MTU0～MTU4、MTU6～MTU8）” MD[3:0]=1111設定時の説明 修正
		10-21	“10.2.4 タイマモードレジスタ2（TMDR2A、TMDR2B）” 本文 修正、DRSビットの説明 修正
		10-22	“10.2.5 タイマモードレジスタ3（TMDR3）” LWAビットの説明 修正
		10-26	“10.2.6 タイマI/O コントロールレジスタ（TIOR）” 本文 修正
		10-27	“表10.14 TIORH（MTU0）” IOB[3:0]=11xx設定時の説明 修正、注1. 追加
		10-28	“表10.15 TIORL（MTU0）” IOD[3:0]=11xx設定時の説明 修正、注1. 修正、注2. 追加
		10-29	“表10.16 TIOR（MTU1）” 説明欄のヘッダ行 修正
		10-30	“表10.19 TIORL（MTU3）” 注1. 修正
		10-32	“表10.23 TIORL（MTU6）” 注1. 修正
		10-33	“表10.25 TIORL（MTU7）” 注1. 修正
		10-34	“表10.26 TIORH（MTU8）” ビット6 (IOB2)の設定値 修正、注1. 追加
		10-34	“表10.27 TIORL（MTU8）” 注1. 修正
		10-35	“表10.28 TIORH（MTU0）” IOA[3:0]=1100設定時の説明 修正、注1. 追加
		10-36	“表10.29 TIORL（MTU0）” IOC[3:0]=11xx設定時の説明 修正、注1. 修正、注2. 追加
		10-37	“表10.30 TIOR（MTU1）” 説明欄のヘッダ行 修正
		10-38	“表10.33 TIORL（MTU3）” 注1. 修正
		10-39	“表10.35 TIORL（MTU4）” 注1. 修正
		10-40	“表10.37 TIORL（MTU6）” 注1. 修正
		10-41	“表10.39 TIORL（MTU7）” 注1. 修正
		10-42	“表10.41 TIORL（MTU8）” 注1. 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	10-43	“表 10.42　TIORU、TIORV、TIORW（MTU5）” 注 1. 追加
		10-45	“10.2.8　タイマインタラプトイネーブルレジスタ（TIER）” MTU1, 2、MTU0, 3, 6、MTU4, 7、MTU8 の TIER レジスタ表記 修正
		10-47	“10.2.8　タイマインタラプトイネーブルレジスタ（TIER）” MTU0 の TIER レジスタ表記 修正、TGIEE, TGIEF, TTGE2 ビットの説明 修正、MTU5 の TIER レジスタ表記 修正
		10-48	“10.2.9　タイマステータスレジスタ（TSR）” MTU1, 2、MTU3, 4, 6, 7 の TSR レジスタ表記 修正
		10-52	“10.2.13　タイマカウンタ（TCNT）” MTU8.TCNT のビット配置図 注 . 追加、本文 修正
		10-53	“10.2.14　タイマロングワードカウンタ（TCNTLW）” ビット配置図 注 . 追加
		10-54	“10.2.15　タイマジェネラルレジスタ（TGR）” MTU0 ～ 7 の TGR レジスタ表記 追加、MTU8.TGR レジスタのビット配置図 注 . 追加、本文 修正
		10-55	“10.2.16　タイマロングワードジェネラルレジスタ (TGRALW、TGRBLW)” タイトル 修正、ビット配置図 注 . 追加、本文 修正
		10-56	“10.2.17　タイマスタートレジスタ (TSTRA, TSTRB, TSTR)” タイトル 修正、TSTRA レジスタ表記 修正、本文修正、CSTn ビットの説明 修正
		10-57	“10.2.17　タイマスタートレジスタ (TSTRA, TSTRB, TSTR)” TSTRB レジスタ表記 修正、CSTn ビットの説明 修正、TSTR レジスタ表記 修正
		10-58	“10.2.18　タイマシンクロレジスタ（TSYRA、TSYRB）” タイトル 修正、TSYRA レジスタ表記 修正
		10-59	“10.2.18　タイマシンクロレジスタ（TSYRA、TSYRB）” TSYRB レジスタ表記 修正
		10-60	“10.2.19　タイマカウンタシンクロスタートレジスタ（TCSYSTR）” ビット機能表 注 1. 修正、SCH7, SCH6 ビットの説明 修正
		10-62	“10.2.20　タイマリードライトイネーブルレジスタ（TRWERA、TRWERB）” RWE ビットの説明 修正
		10-63	“10.2.21　タイマアウトプットマスタイネーブルレジスタ (TOERA, TOERB)” タイトル 修正、TOERA レジスタ表記 修正、本文 修正
		10-64	“10.2.21　タイマアウトプットマスタイネーブルレジスタ (TOERA, TOERB)” TOERB レジスタ表記 修正、本文追加
		10-65	“10.2.22　タイマアウトプットコントロールレジスタ 1（TOCR1A、TOCR1B）” ビット配置図 (注 4) 削除、ビット機能表 b3 (TOCL) に (注 4) 追加、OLSP, OLSN ビットの説明 修正
		10-66	“表 10.44　出力レベル選択機能” 注 1.→注 . 修正
		10-66	“図 10.3　相補 PWM モードの出力レベルの例” 修正
		10-67	“10.2.23　タイマアウトプットコントロールレジスタ 2（TOCR2A、TOCR2B）” 本文 修正
		10-69	“表 10.51　TOCR2j.BF[1:0] ビットの設定” 説明欄のヘッダ行 修正
		10-71	“10.2.25　タイマゲートコントロールレジスタ A（TGCRA）” ビット機能表 ビット 6 (BDC) の機能 修正、FB, P ビットの説明 修正
		10-72	“10.2.26　タイマサブカウンタ（TCNTSA、TCNTSB）” ビット配置図 「注 .」 追記
		10-72	“10.2.27　タイマ周期データレジスタ（TCDRA、TCDRB）” 本文 修正
		10-75	“表 10.53　TBTERA.BTE[1:0] ビット、TBTERB.BTE[1:0] ビットの設定” タイトル 修正
		10-77	“10.2.32　タイマ波形コントロールレジスタ（TWCRA、TWCRB）” SCC ビットの説明 修正
		10-78	“10.2.33　ノイズフィルタコントロールレジスタ n（NFCRn）(n ＝ 0 ～ 4、6、7、8、C)” MTU0 ～ 4, 6 ～ 8 の NFCRn レジスタ表記 修正、ビット機能表 b0 (NFAEN) ～ b3 (NFDEN) の機能 修正、注 1. 修正、本文 修正
		10-79, 10-80	“10.2.33　ノイズフィルタコントロールレジスタ n（NFCRn）(n ＝ 0 ～ 4、6、7、8、C)” NFCRC レジスタ表記 修正、NFCSC[1:0] ビット→NFCS[1:0] ビット 修正、ビット機能表 b0 (NFAEN) ～ b3 (NFDEN) の機能 修正、本文 追加
		10-81	“10.2.34　ノイズフィルタコントロールレジスタ 5（NFCR5）” MTIOC5U 端子→MTIC5U 端子、MTIOC5V 端子→MTIC5V 端子、MTIOC5W 端子→MTIC5W 端子 修正、ビット機能表 b0 (NFUEN) ～ b2 (NFWEN) の機能 修正
		10-82	“10.2.35　タイマ A/D 変換開始要求コントロールレジスタ（TADCR）” MTU4 の TADCR レジスタ表記 修正、ビット配置図 (注 4) 削除、ビット機能表 b0 (ITB4VE) ～ b3 (ITA3AE) の機能 割り込み名称を修正、b15, b14 (BF[1:0]) のビット名 修正、表脚注番号 修正、注 1.、注 3. 修正
		10-83	“表 10.54　TADCR.BF[1:0] ビットによる転送タイミングの設定（MTU4）” 修正
		10-84	“10.2.35　タイマ A/D 変換開始要求コントロールレジスタ（TADCR）” MTU7 の TADCR レジスタ表記 修正、ビット配置図 (注 4) 削除、ビット機能表 b0 (ITB7VE) ～ b3 (ITA6AE) の機能 割り込み名称を修正、b15, b14 (BF[1:0]) のビット名 修正、表脚注番号 修正、注 1.、注 3. 修正
		10-85	“表 10.55　TADCR.BF[1:0] ビットによる転送タイミングの設定（MTU7）” 修正
		10-86	“10.2.36　タイマ A/D 変換開始要求周期設定レジスタ（TADCORA、TADCORB）” 注 .、注 2. 修正
		10-87	“10.2.38　タイマ割り込み間引きモードレジスタ（TITMRA、TITMRB）” ビット機能表 b0 (TITM) の機能 修正、注 1.、注 2. 追加
		—	“表 10.56　TITM ビットによる割り込み間引き機能の設定” 削除

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	10-88	“10.2.39 タイマ割り込み間引き設定レジスタ 1（TITCR1A、TITCR1B）” TITCR1A, TITCR1B レジスタ表記 修正、本文 記載場所移動、修正
		10-91	“10.2.40 タイマ割り込み間引き回数カウンタ 1（TITCNT1A、TITCNT1B）” TITCNT1A レジスタ表記 修正、ビット機能表 b3, b7の機能 修正
		10-92	“10.2.40 タイマ割り込み間引き回数カウンタ 1（TITCNT1A、TITCNT1B）” TITCNT1B レジスタ表記 修正、ビット機能表 b3, b7の機能 修正
		10-93	“10.2.41 タイマ割り込み間引き設定レジスタ 2（TITCR2A、TITCR2B）” TITCR2A レジスタ表記 修正
		10-94	“10.2.41 タイマ割り込み間引き設定レジスタ 2（TITCR2A、TITCR2B）” TITCR2B レジスタ表記 修正
		10-95	“10.2.42 タイマ割り込み間引き回数カウンタ 2（TITCNT2A、TITCNT2B）” TITCNT2A レジスタ表記 修正、ビット機能表 b7～b3の機能 修正
		10-96	“10.2.42 タイマ割り込み間引き回数カウンタ 2（TITCNT2A、TITCNT2B）” TITCNT2B レジスタ表記 修正、ビット機能表 b7～b3の機能 修正
		10-97	“10.3.1 基本動作” 本文 修正
		10-97	“10.3.1 基本動作” (1) カウンタの動作 本文 修正
		10-97	“図 10.5 カウント動作設定手順例” タイトル 修正、[1], [5]の説明 修正
		10-98	“10.3.1 基本動作” (b) フリーランニングカウント動作と周期カウント動作 本文 修正
		10-98	“図 10.6 フリーランニングカウンタの動作” 修正
		10-98	“図 10.7 周期カウンタの動作” 修正
		10-99	“10.3.1 基本動作” (2) コンペアマッチによる波形出力機能 本文 修正
		10-99	“図 10.8 コンペアマッチによる波形出力動作例” [4]の説明 修正
		10-100	“10.3.1 基本動作” (3) インプットキャプチャ機能 本文 修正、注. 修正
		10-100	“図 10.11 インプットキャプチャ動作の設定例” [2]の説明 修正
		10-101	“図 10.12 インプットキャプチャ動作例（n = 0 ～ 4、6、7、8）” 修正
		10-102	“10.3.2 同期動作” 本文 修正
		10-102	“図 10.13 同期動作の設定手順例” [1], [5]の説明 修正
		10-105	“図 10.17 バッファ動作の設定手順例” [3]の説明 修正
		10-108	“10.3.3 バッファ動作” (3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択 本文 修正
		10-109	“10.3.4 カスケード接続動作” 本文 修正
		10-110	“図 10.21 カスケード接続動作設定手順” 処理 修正、[1], [2]の説明 修正
		10-110	“図 10.22 カスケード接続動作例（a）” 修正
		10-111	“10.3.4 カスケード接続動作” (3) カスケード接続動作例（b） 本文 修正
		10-113	“10.3.4 カスケード接続動作” (5) カスケード接続動作例（d） 本文 修正
		10-114	“10.3.5 PWM モード” 本文 修正
		10-114	“10.3.5 PWM モード” (b) PWM モード2 本文 修正
		10-115	“図 10.26 PWM モードの設定手順例” [2]～[4], [7]の説明 修正
		10-116	“10.3.5 PWM モード” (2) PWM モードの動作例 本文 修正
		10-117	“図 10.29 PWM モード動作例（デューティ 0%、デューティ 100%の PWM 波形を出力する例）（n = 0 ～ 4、6、7）” 修正
		10-118	“10.3.6.1 16 ビット位相計数モード” 本文 修正
		10-119	“図 10.30 16 ビット位相計数モードの設定手順例” [2]→[3] 修正、[3]の説明 修正
		10-120	“図 10.32 位相計数モード2 の動作例（MTUn.TCR2.PCB[1:0] = 00b のとき（n = 1、2））” タイトル 修正
		10-120	“図 10.33 位相計数モード2 の動作例（MTUn.TCR2.PCB[1:0] = 01b のとき（n = 1、2））” タイトル 修正
		10-121	“図 10.34 位相計数モード2 の動作例（MTUn.TCR2.PCB[1:0] = 1xb のとき（n = 1、2））” タイトル 修正
		10-122	“図 10.35 位相計数モード3 の動作例（MTUn.TCR2.PCB[1:0] = 00b のとき（n = 1、2））” タイトル 修正、図 修正
		10-122	“図 10.36 位相計数モード3 の動作例（MTUn.TCR2.PCB[1:0] = 01b のとき（n = 1、2））” タイトル 修正、図 修正
		10-123	“図 10.37 位相計数モード3 の動作例（MTUn.TCR2.PCB[1:0] = 1xb のとき（n = 1、2））” タイトル 修正
		10-125	“図 10.38 位相計数モード4 の動作例” 修正
		10-126	“図 10.39 位相計数モード5 の動作例（MTUn.TCR2.PCB[1:0]=0xb のとき（n = 1、2））” タイトル 修正
		10-126	“図 10.40 位相計数モード5 の動作例（MTUn.TCR2.PCB[1:0]=1xb のとき（n = 1、2））” タイトル 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	10-128	“10.3.6.1　16 ビット位相計数モード” (3) 16 ビット位相計数モード応用例　本文 修正
		10-129	“10.3.6.2　カスケード接続32 ビット位相計数モード” 本文 修正
		10-130	“図10.42　カスケード接続32 ビット位相計数モード動作ブロック概要” 修正
		10-131	“図10.43　カスケード接続32 ビット位相計数モード設定手順” 処理 修正、[3]～[9]の説明 修正
		10-133	“10.3.7　リセット同期PWM モード” (1) リセット同期PWM モードの設定手順例　本文 修正
		10-133	“図10.44　リセット同期PWMモードの設定手順例” [2], [6]の説明 修正
		10-137	“表10.76　相補PWMモード時のレジスタ設定(2/2)” TEMP1A～TEMP6BのCPUからの読み出し/書き込み 修正
		10-140	“図10.48　相補PWM モードの設定手順例” [2], [6]の説明 修正
		10-141	“10.3.8　相補PWM モード” (2) 相補PWMモードの動作概要　本文 参照先 修正、(a) カウンタの動作　本文 修正
		10-141	“図10.49　相補PWM モードのカウント動作(MTU3、MTU4)” タイトル 修正
		10-143	“図10.50　相補PWM モード動作例（MTU3、MTU4）” 修正
		10-144	“表10.77　初期設定の必要なレジスタとカウンタ” MTU3.TGRC, MTU6.TGRC、TDDRA, TDDRB レジスタの設定値 修正
		10-146	“図10.51　デッドタイムを生成しない場合の動作例（MTU3、MTU4）” 修正
		10-148	“10.3.8　相補PWM モード” (h) レジスタデータの更新　本文 修正
		10-150	“図10.54　相補PWM モードの初期出力例（MTU3、MTU4）（1）” 修正
		10-151	“図10.55　相補PWM モードの初期出力例（MTU3、MTU4）（2）” 修正
		10-152	“図10.56　相補PWM モード波形出力例（MTU3、MTU4）（1）” 修正
		10-153	“図10.57　相補PWM モード波形出力例（MTU3、MTU4）（2）” 修正
		10-153	“図10.58　相補PWM モード波形出力例（MTU3、MTU4）（3）” 修正
		10-154	“図10.59　相補PWM モード0%、100% 波形出力例（MTU3、MTU4）（1）” 修正
		10-154	“図10.60　相補PWM モード0%、100% 波形出力例（MTU3、MTU4）（2）” 修正
		10-155	“図10.61　相補PWM モード0%、100% 波形出力例（MTU3、MTU4）（3）” 修正
		10-155	“図10.62　相補PWM モード0%、100% 波形出力例（MTU3、MTU4）（4）” 修正
		10-156	“図10.63　相補PWM モード0%、100% 波形出力例（MTU3、MTU4）（5）” 修正
		10-159	“図10.67　相補PWM モードでの同期カウンタクリア時出力波形制御の設定手順例（MTU3、MTU4）” [1]～[3]の説明 修正
		10-162	“図10.73　MTU0、MTU1、MTU2 － MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例” [1], [3]の説明 修正、注1. 修正
		10-166	“10.3.8　相補PWM モード” (q) AC同期モータ（ブラシレスDC モータ）の駆動波形出力例　本文 修正
		10-167	“図10.81　UF、VF、WF ビット設定による出力相の切り替え動作例（1）” 修正
		10-169	“10.3.8　相補PWM モード” (s) 相補PWMモードのダブルバッファ機能　本文 修正
		10-172	“図10.88　割り込み間引き機能1 の動作例” 修正
		10-173	“10.3.8　相補PWM モード” (c) 割り込み間引きと連動したバッファ転送制御　注. 修正
		10-175	“図10.91　TITCR1A レジスタのT3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係” 修正
		10-176	“10.3.8　相補PWM モード” (a) レジスタ、カウンタの誤書き込み防止機能　対象レジスタ 修正
		10-177	“10.3.9　A/D 変換開始要求ディレイド機能” 本文 修正
		10-177	“図10.92　A/D 変換開始要求ディレイド機能の設定手順例（MTU3、MTU4）” [2]の説明 修正、注. 修正、注. 追加
		10-178	“図10.93　A/D 変換の開始要求信号（TRG4AN）の基本動作例” 修正
		10-178	“10.3.9　A/D 変換開始要求ディレイド機能” (3) A/D変換の開始要求の許可期間　追加
		10-179	“10.3.9　A/D 変換開始要求ディレイド機能” (4) バッファ転送　本文 修正
		10-179	“図10.94　A/D 変換の開始要求信号（TRG4AN）とバッファ転送動作例” 修正
		10-180	“10.3.9　A/D 変換開始要求ディレイド機能” (5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能　本文 修正
		10-180	“図10.95　割り込み間引き機能1 と連動した場合のA/D 変換の開始要求信号（TRG4AN）の動作例（UT4AE、DT4AE = 1）” 修正
		10-181	“図10.96　割り込み間引き機能1 と連動した場合のA/D 変換の開始要求信号（TRG4AN）の動作例（UT4AE = 1、DT4AE = 0）” 修正
		10-182	“10.3.9　A/D 変換開始要求ディレイド機能” (6) 割り込み間引き機能2と連動したA/D変換開始要求ディレイド機能　本文 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	10-182	“図 10.98　割り込み間引き機能 2 の動作例（間引き回数を 4 回とした場合）” 修正
		10-183	“10.3.10　MTU0 ～ MTU4、MTU6、MTU7 の同期動作” タイトル 修正
		10-183	“10.3.10　MTU0 ～ MTU4、MTU6、MTU7 の同期動作” (1) MTU0～MTU4、MTU6、MTU7 カウンタ同期スタート　タイトル 修正、本文 修正
		10-183	“10.3.10　MTU0 ～ MTU4、MTU6、MTU7 の同期動作” (a) MTU0 ～ MTU4、MTU6、MTU7カウンタ同期スタートの設定手順例　タイトル 修正、本文 修正
		10-183	“図 10.99　MTU0 ～ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例” タイトル 修正、開始・処理 修正、[4]の説明 修正、注. 修正
		10-183	“10.3.10　MTU0 ～ MTU4、MTU6、MTU7 の同期動作” (b) カウンタ同期スタート動作の例　本文 修正
		10-183	“図 10.100　MTU0 ～ MTU4、MTU6、MTU7 カウンタ同期スタートの動作例” タイトル 修正
		10-184	“10.3.10　MTU0 ～ MTU4、MTU6、MTU7 の同期動作” (2) MTU6、MTU7カウンタ同期クリア　タイトル 修正
		10-184	“10.3.10　MTU0 ～ MTU4、MTU6、MTU7 の同期動作” (a) MTU6、MTU7カウンタ同期クリアの設定手順例 タイトル 修正、本文 修正
		10-184	“図 10.101　MTU6、MTU7 カウンタ同期クリアの設定手順例” タイトル 修正、開始/終了 修正
		10-184	“10.3.10　MTU0 ～ MTU4、MTU6、MTU7 の同期動作” (b) MTU6、MTU7カウンタ同期クリアの動作例　タイトル 修正、本文 修正
		10-184	“図 10.102　MTU6、MTU7カウンタ同期クリアの動作例（1）” タイトル 修正
		10-185	“図 10.103　MTU6、MTU7カウンタ同期クリアの動作例（2）” タイトル 修正
		10-186	“図 10.105　外部パルス幅測定の動作例（High パルス幅測定）” 修正
		10-187	“10.3.12　デッドタイム補償用機能” 本文 修正
		10-187	“図 10.107　相補PWM 動作時のデッドタイム遅れ” 記載場所移動
		10-188	“図 10.108　デッドタイム補償用機能の設定手順例” 処理 修正
		10-189	“10.3.13　相補PWM モード時の山と谷でのTCNTU, TCNTV, TCNTW キャプチャ動作” タイトル 修正、本文 修正
		10-189	“図 10.109　相補PWM の山と谷でのTCNTU キャプチャ動作” タイトル 修正、図 修正
		10-192	“表 10.78　MTU割り込み要因” 注1. 修正
		10-192	“10.4.1　割り込み要因と優先順位” (1) インプットキャプチャ／コンペアマッチ割り込み　本文 修正
		10-192	“10.4.1　割り込み要因と優先順位” (2) オーバフロー割り込み　本文 修正
		10-192	“10.4.2　DMAC の起動” (1) DMACの起動　本文 修正
		10-193	“10.4.3　A/D コンバータの起動” (1) TGRAのインプットキャプチャ／コンペアマッチと、相補PWMモード時のMTU4.TCNT（MTU7.TCNT）の谷でのA/D起動　本文 添え字 修正
		10-193	“10.4.3　A/D コンバータの起動” (2) MTU0.TCNT とMTU0.TGRE のコンペアマッチによるA/D起動　本文 修正
		10-194	“表 10.79　各割り込み要因とA/D変換開始要求の対応” 注1. 修正
		10-195	“図 10.111　内部クロック動作時のカウントタイミング（MTU0 ～ MTU4、MTU6 ～ MTU8）” 修正
		10-195	“図 10.112　内部クロック動作時のカウントタイミング（MTU5）” 修正
		10-195	“図 10.113　外部クロック動作時のカウントタイミング（MTU0 ～ MTU4、MTU6 ～ MTU8）” タイトル 修正、図 修正
		10-195	“図 10.114　外部クロック動作時のカウントタイミング（位相計数モード）” 修正
		10-196	“10.5.1　入出力タイミング” (2) アウトプットコンペア出力タイミング　本文 修正
		10-196	“図 10.115　アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）（n = 0 ～ 4、6、7、8、m = A ～ D）” 修正
		10-196	“図 10.116　アウトプットコンペア出力タイミング（相補PWM モード、リセット同期PWM モード）（n = 0 ～ 4、6、7、8、m = A ～ D）” 修正
		10-200	“図 10.124　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTSA 停止中）” 修正
		10-200	“図 10.125　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTSA 動作中）” 修正
		10-201	“図 10.127　TGI 割り込みタイミング（コンペアマッチ）（MTU0 ～ MTU4、MTU6 ～ MTU8）” 修正
		10-201	“図 10.128　TGI 割り込みタイミング（コンペアマッチ）（MTU5）” 修正
		10-203	“図 10.131　TCIV 割り込みタイミング” 修正
		10-203	“図 10.132　TCIU 割り込みタイミング” 修正
		10-204	“10.6.2　カウントクロックの制限事項” タイトル 修正、本文 修正
		10-204	“10.6.3　周期設定上の注意事項” MTU0～MTU4, MTU6～MTU8 の場合の周波数(f)の式 修正
		10-205	“図 10.135　TCNT への書き込みとカウントアップの競合” 修正
		10-207	“10.6.8　バッファレジスタへの書き込みとTCNT クリアの競合” 本文 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	10-209	“10.6.12　カスケード接続におけるMTU2.TCNT への書き込みとオーバフロー／アンダフローの競合” 本文 修正
		10-209	“図10.143　カスケード接続におけるMTU2.TCNT の書き込みとオーバフロー／アンダフローの競合” 修正
		10-210	“10.6.14　相補PWM モードでのバッファ動作の設定” 本文 修正
		10-211	“10.6.15　リセット同期PWM モードのバッファ動作とコンペアマッチ” 本文 修正
		10-211	“図10.145　リセット同期PWM モードのバッファ動作とコンペアマッチ” 修正
		10-212	“10.6.16　リセット同期PWM モードのオーバフロー” 本文 修正
		10-212	“10.6.17　オーバフロー／アンダフローとカウンタクリアの競合” 本文 修正
		10-212	“図10.147　オーバフローとカウンタクリアの競合” 修正
		10-213	“10.6.18　TCNT への書き込みとオーバフロー／アンダフローの競合” 本文 修正
		10-213	“図10.148　TCNT への書き込みとオーバフローの競合” 修正
		10-213	“10.6.20　相補PWM モード、リセット同期PWM モードの出力レベル” 本文 修正
		10-215	“10.6.24　タイマカウンタ（MTU5.TCNT）とタイマジェネラルレジスタ（MTU5.TGR）の注意事項” 本文 修正
		10-216	“10.6.25　相補PWM モード同期クリアするときの異常動作防止の注意事項” 本文 修正
		10-218	“図10.151　コンペアマッチによる割り込み信号の連続出力” 修正
		10-219	“10.6.27　相補PWM モードにおけるA/D 変換開始要求ディレイド機能の注意事項” 追加
		10-219	“図10.152　MTU4.TADCOBRA に“0” を書き込んだときのA/D 変換の開始要求（MTU4）” 追加
		10-220	“図10.153　MTU4.TADCOBRA にTCDR と同じ値を書き込んだときのA/D 変換の開始要求（MTU4）” 追加
		10-222	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” 本文 修正
		10-223	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作　(3), (6), (10), (14)の動作説明 修正
		10-224	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (2) ノーマルモードで動作中に異常が発生し、PWM モード1 で再スタートする場合の動作　(14)の動作説明 修正
		10-225	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (3) ノーマルモードで動作中に異常が発生し、PWM モード2 で再スタートする場合の動作　(12)の動作説明 修正
		10-227	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (5) ノーマルモードで動作中に異常が発生し、相補PWM モードで再スタートする場合の動作　(13), (14), (16), (18)の動作説明 修正
		10-228	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (6) ノーマルモードで動作中に異常が発生し、リセット同期PWM モードで再スタートする場合の動作　(1)～(13)の参照先 修正、(14), (16), (18)の動作説明 修正
		10-229	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (7) PWM モード1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作　(3), (6), (10), (14)の動作説明 修正
		10-230	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (8) PWM モード1 で動作中に異常が発生し、PWM モード1 で再スタートする場合の動作　(14)の動作説明 修正
		10-231	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (9) PWM モード1 で動作中に異常が発生し、PWM モード2 で再スタートする場合の動作　(12)の動作説明 修正
		10-233	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (11) PWM モード1 で動作中に異常が発生し、相補PWM モードで再スタートする場合の動作　(14), (15), (17), (19)の動作説明 修正
		10-234	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (12) PWM モード1 で動作中に異常が発生し、リセット同期PWM モードで再スタートする場合の動作　(15), (17), (19)の動作説明 修正
		10-235	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (13) PWM モード2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作　(3)の動作説明 修正
		10-237	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (15) PWM モード2 で動作中に異常が発生し、PWM モード2 で再スタートする場合の動作　(11)の動作説明 修正
		10-240	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (19) 位相計数モードで動作中に異常が発生し、PWM モード2 で再スタートする場合の動作　(11)の動作説明 修正
		10-241	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (21) 相補PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作　(2), (4), (6), (10), (14)の動作説明 修正
		10-242	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (22) 相補PWM モードで動作中に異常が発生し、PWM モード1 で再スタートする場合の動作　(14)の動作説明 修正
		10-243	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (23) 相補PWM モードで動作中に異常が発生し、相補PWM モードで再スタートする場合の動作　(12)の動作説明 修正
		10-244	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (24) 相補PWM モードで動作中に異常が発生し、相補PWM モードで新たに再スタートする場合の動作　(12), (13), (15), (17)の動作説明 修正
		10-245	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (25) 相補PWM モードで動作中に異常が発生し、リセット同期PWM モードで再スタートする場合の動作　(12), (13), (15), (17)の動作説明 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	10-246	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (26) リセット同期PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作　(2), (4), (6), (10), (14)の動作説明 修正
		10-247	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (27) リセット同期PWM モードで動作中に異常が発生し、PWM モード1 で再スタートする場合の動作　(14)の動作説明 修正
		10-248	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (28) リセット同期PWM モードで動作中に異常が発生し、相補PWM モードで再スタートする場合の動作　(11), (12), (14), (16)の動作説明 修正
		10-249	“10.7.3　動作中の異常などによる端子の初期化手順、モード移行の概要” (29) リセット同期PWM モードで動作中に異常が発生し、リセット同期PWM モードで再スタートする場合の動作　(12)の動作説明 修正
		11.　ポートアウトプットイネーブル3（POE3）	
		11-1	“表11.1　POE3の仕様” ハイインピーダンス発生条件の内容 修正
		11-19	“図11.2　ハイインピーダンス制御の対象と条件” 修正
		12.　汎用PWM タイマ（GPT）	
		全体	GTADTRmレジスタ→GTADTRnレジスタ、GTDVmレジスタ→GTDVnレジスタ 添え字 修正
		12-3	“図12.1　GPT のブロック図” 修正
		12-5	“表12.4　GPT レジスタ” GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR レジスタ レジスタ名 修正
		12-7	“12.2.1　汎用PWM タイマ書き込み保護レジスタ（GTWP）” GTIBCSRレジスタ→GTICBSRレジスタ
		12-9	“12.2.2　汎用PWM タイマソフトウェアスタートレジスタ（GTSTR）” 本文 修正
		12-10	“12.2.3　汎用PWM タイマソフトウェアストップレジスタ（GTSTP）” 本文 修正
		12-11	“12.2.4　汎用PWM タイマソフトウェアクリアレジスタ（GTCLR）” 本文 修正
		12-25	“12.2.8　汎用PWM タイマアップカウント要因選択レジスタ（GTUPSR）” 本文 修正
		12-29	“12.2.9　汎用PWM タイマダウンカウント要因選択レジスタ（GTDNSR）” 本文 修正
		12-40	“12.2.12　汎用PWM タイマコントロールレジスタ（GTCR）” ビット配置図 b18～b16 (MD[2:0])の機能 修正
		12-44	“12.2.13　汎用PWM タイマカウント方向、デューティ設定レジスタ（GTUDDTYC）” OmDTYRビットの説明 修正
		12-46, 12-47	“12.2.14　汎用PWM タイマI/O コントロールレジスタ（GTIOR）” OADF[1:0], OBDF[1:0]ビットの説明 修正
		12-51	“12.2.15　汎用PWM タイマ割り込み出力設定レジスタ（GTINTAD）” GRP[1:0]ビットの説明 修正
		12-52 ～ 12-54	“12.2.16　汎用PWM タイマステータスレジスタ（GTST）” TCFC, TCFD, TCFE, TCFFビットのビット名 修正
		12-58 ～ 12-60	“12.2.17　汎用PWM タイマバッファイネーブルレジスタ（GTBER）” ビット機能表 b25, b24 (ADTTA[1:0])、b29, b28 (ADTTB[1:0])の機能 修正、PR[1:0]ビットの説明 修正
		12-61	“12.2.18　汎用PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ（GTITC）” 本文 修正
		12-65	“12.2.24　A/D 変換開始要求タイミングレジスタn（GTADTRn）（n = A, B）” 添え字 修正
		12-65	“12.2.25　A/D 変換開始要求タイミングバッファレジスタn（GTADTBRn）（n = A, B）” 添え字 修正、GPT32Em.GTADTBRBレジスタ アドレス追加
		12-66	“12.2.26　A/D 変換開始要求タイミングダブルバッファレジスタn（GTADTDBRn）（n = A, B）” 添え字 修正
		12-67	“12.2.27　汎用PWM タイマデッドタイムコントロールレジスタ（GTDTCR）” TDEビットの説明 修正
		12-68	“12.2.28　汎用PWM タイマデッドタイム値レジスタn（GTDVn）（n = U, D）” 添え字 修正、本文 修正
		12-68	“12.2.29　汎用PWM タイマデッドタイムバッファレジスタn（GTDBn）（n = U, D）” 添え字 修正、GPT32Em.GTDBDレジスタ アドレス追加
		12-70	“12.2.31　汎用PWM タイマ出力保護機能一時解除レジスタ（GTSOTR）” ビット機能表 b31～b1の機能 修正
		12-75	“12.3.1.1　カウンタの動作” (4) ハードウェア要因によるアップカウント時のイベントカウント動作　本文 修正
		12-76	“12.3.1.1　カウンタの動作” (5) ハードウェア要因によるダウンカウント時のイベントカウント動作　本文 修正
		12-76	“図12.9　ハードウェア要因によるダウンカウント時のイベントカウント動作設定例” カウントソース設定 修正
		12-77	“12.3.1.1　カウンタの動作” (6) カウンタクリア動作　本文 修正
		12-84	“12.3.2　バッファ動作” 本文 修正
		12-84	“12.3.2.1　GTPR レジスタのバッファ動作” 本文 修正
		12-87	“12.3.2.2　GTCCRA、GTCCRB レジスタのバッファ動作” (1) GTCCRA またはGTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合　本文 修正
		12-88	“図12.22　GTCCRA、GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）” 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	12-92	“図 12.27　GTCCRA、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）” 動作モード設定 修正
		12-95	“図 12.31　GTADTRA、GTADTRB レジスタのバッファ動作設定例” バッファ動作設定 修正
		12-98	“12.3.3.2　のこぎり波ワンショットパルスモード” 本文 修正
		12-108	“12.3.4　デッドタイム自動設定機能” 本文 修正
		12-115	“図 12.49　出力デューティ 0%、100% 機能動作例” [設定例] 修正
		12-119	“図 12.55　ハードウェア要因によるカウントスタート／ストップ動作設定例” ハードウェアカウントスタート設定、ハードウェアカウントストップ設定 修正
		12-121	“図 12.58　ハードウェア要因によるカウントクリア動作設定例” ハードウェア要因の動作設定 修正
		12-122	“12.3.7.3　ハードウェアクリア動作” 本文 修正
		12-125	“12.3.8.2　ハードウェアによる同期動作” 本文 修正
		12-125	“図 12.62　ハードウェア要因による同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）” タイトル 修正
		12-142	“表 12.18　位相計数モード 5 でのアップカウント／ダウンカウントの条件（B）” レジスタ設定値 修正
		12-146	“12.4.1　割り込み要因と優先順位” (3) CCMPAn 割り込み（n = 0 ～ 7） 本文 修正
		12-146	“12.4.1　割り込み要因と優先順位” (4) CCMPBn 割り込み（n = 0 ～ 7） 本文 修正
		12-154	“図 12.87　A/D 変換開始要求タイミング動作設定例” 動作モード設定、カウントスタート 修正
		12-158	“12.7　ノイズフィルタ機能” 本文 修正
		12-159	“12.8.1　レジスタの書き込み保護” GTIBCSR レジスタ→GTICBSR レジスタ 修正
		12-168	“図 12.100　谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能一時解除例（谷でのバッファ転送中に 0 < GTCCRA レジスタ < GTPR レジスタを回復、アクティブ Low の場合）” 修正
		12-170	“12.10.1　モジュールストップ機能の設定” 本文 修正
		12-171	“12.10.4　GTCNT カウンタのスタート／ストップ” 本文 修正
		12-172	“12.10.5　競合時の優先順位” (3) GTCCRn レジスタ（n = A ～ F） 添え字 修正
		12-172	“12.10.5　競合時の優先順位” (5) GTADTRn レジスタ（n = A, B） 添え字 修正
		12-172	“12.10.5　競合時の優先順位” (6) GTDVn レジスタ（n = U, D） 添え字 修正
		13.　GPT 用ポートアウトプットイネーブル（POEG）	
		13-2	“図 13.1　POEG のブロック図” 修正
		13-4	“13.3　出力禁止制御の動作” 本文 修正
		13-7	“13.5　GPT に対する外部トリガ出力” POEGG.INV ビット→POEGGn.INV ビット 修正
		13-8	“13.6.2　GPT 対応端子の指定” 本文 修正
		16.　リアルタイムクロック（RTC）	
		16-2	“表 16.2　RTC の仕様” 割り込みの内容 修正
		16-3	“図 16.1　RTC のブロック図” 修正
		16-5	“表 16.4　レジスタ構成” 注.→注 1.、注 1.→注 2. 修正
		16-6	“16.2.1　64Hz カウンタ（R64CNT）” R64CNT カウンタ→R64CNT 修正
		16-7	“16.2.2　秒カウンタ（RSECCNT）／バイナリカウンタ 0（BCNT0）” (1) カレンダカウントモード時 RSECCNT カウンタ→RSECCNT 修正
		16-8	“16.2.3　分カウンタ（RMINCNT）／バイナリカウンタ 1（BCNT1）” (1) カレンダカウントモード時 RMINCNT カウンタ→RMINCNT 修正
		16-8	“16.2.3　分カウンタ（RMINCNT）／バイナリカウンタ 1（BCNT1）” (2) バイナリカウントモード時　BCNT1 カウンタ→BCNT1 修正
		16-9	“16.2.4　時カウンタ（RHRCNT）／バイナリカウンタ 2（BCNT2）” (1) カレンダカウントモード時 RHRCNT カウンタ→RHRCNT 修正
		16-9	“16.2.4　時カウンタ（RHRCNT）／バイナリカウンタ 2（BCNT2）” (2) バイナリカウントモード時　BCNT2 カウンタ→BCNT2 修正
		16-10	“16.2.5　曜日カウンタ（RWKCNT）／バイナリカウンタ 3（BCNT3）” (1) カレンダカウントモード時 RWKCNT カウンタ→RWKCNT 修正
		16-11	“16.2.6　日カウンタ（RDAYCNT）” RDAYCNT カウンタ→RDAYCNT 修正、本文 修正
		16-11	“16.2.7　月カウンタ（RMONCNT）” RMONCNT カウンタ→RMONCNT 修正
		16-12	“16.2.8　年カウンタ（RYRCNT）” ビット機能表 b7～b4 (YR10[3:0]) の機能 修正、RYRCNT カウンタ→RYRCNT 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	16-13	“16.2.9　秒アラームレジスタ （RSECAR）／バイナリカウンタ 0 アラームレジスタ（BCNT0AR）” (1) カレンダカウントモード時　RSECCNT カウンタ→RSECCNT、RSECAR レジスタ→RSECAR 修正
		16-14	“16.2.10　分アラームレジスタ （RMINAR）／バイナリカウンタ 1 アラームレジスタ（BCNT1AR）” (1) カレンダカウントモード時　RMINAR レジスタ→RMINAR、RMINCNT カウンタ→RMINCNT 修正
		16-15	“16.2.11　時アラームレジスタ （RHRAR）／バイナリカウンタ 2 アラームレジスタ（BCNT2AR）” (1) カレンダカウントモード時　RHRAR レジスタ→RHRAR、RHRCNT カウンタ→RHRCNT 修正
		16-16	“16.2.12　曜日アラームレジスタ （RWKAR）／バイナリカウンタ 3 アラームレジスタ（BCNT3AR）” (1) カレンダカウントモード時　RWKAR レジスタ→RWKAR、RWKCNT カウンタ→RWKCNT 修正
		16-17	“16.2.13　日アラームレジスタ （RDAYAR）／バイナリカウンタ 0 アラームイネーブルレジスタ（BCNT0AER）” (1) カレンダカウントモード時　RDAYAR レジスタ→RDAYAR、RDAYCNT カウンタ→RDAYCNT 修正
		16-18	“16.2.14　月アラームレジスタ （RMONAR）／バイナリカウンタ 1 アラームイネーブルレジスタ（BCNT1AER）” (1) カレンダカウントモード時　RMONAR レジスタ→RMONAR、RMONCNT カウンタ→RMONCNT 修正
		16-19	“16.2.15　年アラームレジスタ （RYRAR）／バイナリカウンタ 2 アラームイネーブルレジスタ（BCNT2AER）” (1) カレンダカウントモード時　RYRAR レジスタ→RYRAR 修正
		16-20	“16.2.16　年アラームイネーブルレジスタ （RYRAREN）／バイナリカウンタ 3 アラームイネーブルレジスタ（BCNT3AER）” (1) カレンダカウントモード時　RYRAREN レジスタ→RYRAREN、RYRAR レジスタ→RYRAR、RYRCNT カウンタ→RYRCNT 修正
		16-23	“16.2.18　RTC コントロールレジスタ 1（RCR1）”　RCR1 レジスタ→RCR1 修正、PIE ビットの説明 修正
		16-25, 16-26	“16.2.19　RTC コントロールレジスタ 2（RCR2）” (1) カレンダカウントモード時　本文 修正、ADJ30 ビットの説明 RSECCNT カウンタ→RSECCNT、R64CNT カウンタ→R64CNT 修正
		16-30	“16.2.21　RTC コントロールレジスタ 4（RCR4）”　RCR4 レジスタ→RCR4 修正
		16-31	“16.2.22　周波数レジスタ H/L（RFRH/L）”　RFRH レジスタのビット配置図 x : 不定 追加
		16-34	“図 16.2　電源投入後の初期設定概要”　処理「タイムキャプチャ制御レジスタの設定」削除
		16-41	“16.3.8.1　自動補正機能”　RADJ レジスタ→RADJ 修正
		16-42	“16.3.8.2　ソフトウェアによる補正”　RADJ レジスタ→RADJ 修正
		16-46	“16.5.1　カウント動作時のレジスタ書き込みについて”　RCR1.RTCOS、RCR2.RTCOE レジスタ 削除
		16-47	“16.5.2　周期割り込みの使用について”　RSECCNT/BCNT0 カウンタ→RSECCNT/BCNT0 修正
		16-48	“16.5.4　レジスタの書き込み／読み出し時の注意事項”　本文 修正
		18.　シリアルコミュニケーションインタフェース（SCIg）	
		18-1	“18.　シリアルコミュニケーションインタフェース（SCIg）”　本文 修正
		18-23	“表 18.6　BRR レジスタの設定値 N とビットレート B の関係”　スマートカードインタフエース→スマートカードインタフェース 修正
		18-29	“表 18.14　ビットレートに対する BRR の設定例（スマートカードインタフェースモードで n＝0、S＝372 のとき）”　誤差欄 修正
		18-30	“表 18.17　ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係”　スマートカードインタフエース→スマートカードインタフェース、注 1. 修正
		18-31	“18.2.13　シリアル拡張モードレジスタ（SEMR）”　NFEN ビットの説明 修正
		18-78	“18.9.4　受信エラーフラグと送信動作について（クロック同期式モード）”　タイトル 修正
		18-86	“18.12.2　送信”　本文 修正
		18-87	“18.12.4　High パルス幅の選択”　本文 修正
		20.　SPI マルチ I/O バスコントローラ	
		全体	外部アドレス空間リード動作→外部アドレス空間リードモード、手動動作モード→手動モード 修正
		20-2	“20.1.5　手動モード”　本文 修正
		20-6, 20-7	“20.4.1　共通コントロールレジスタ （CMNCR）”　ビット配置図 ビット 24 の R/W 修正、ビット機能表 ビット 31 (MD) の機能 修正、ビット 24 の R/W 修正、ビット 23, 22 (MOIIO3[1:0])、ビット 21, 20 (MOIIO2[1:0])、ビット 19, 18 (MOIIO1[1:0])、ビット 17, 16 (MOIIO0[1:0]) の機能 注 2. 修正
		20-15	“20.4.7　データリードイネーブル設定レジスタ （DRENR）”　ビット 11～8 (ADE[3:0]) の機能 修正
		20-20	“20.4.12　手動モードイネーブル設定レジスタ （SMENR）”　ビット機能表 ビット 11～8 (ADE[3:0]) の機能 修正
		20-25	“20.4.16　手動モードライトデータレジスタ 1（SMWDR1）”　本文 修正
		20-27	“20.4.18　データリードダミーサイクル設定レジスタ （DRDMCR）”　本文 修正
		20-29	“20.4.20　手動モードダミーサイクル設定レジスタ （SMDMCR）”　本文 修正
		20-38	“20.5.1　システム構成”　本文 修正
		20-40	“図 20.4　HyperFlash 接続例”　修正
		20-41	“図 20.5　OctaFlash 接続例”　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	20-42	“20.5.2 アドレスマップ” 本文 修正
		20-53	“表20.4 データレジスタ” ダミーサイクル 修正
		20-53	“表20.5 データレジスタ(HyperFlash)” ダミーサイクル 修正
		20-53	“20.5.8 コマンドシーケンス” (2) データイネーブル 本文 修正
		20-54	“図20.18 データとイネーブルの関係(シリアルフラッシュ)” 修正
		20-56	“20.5.8 コマンドシーケンス” (3) ビット幅 本文 修正
		20-56	“図20.19 1ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例” 修正
		20-56	“図20.20 1ビット幅、シリアルフラッシュ 2 個接続転送フォーマット例” 修正
		20-57	“図20.21 4 ビット幅、シリアルフラッシュ 1 個転送フォーマット例” 修正
		20-58	“図20.23 HyperFlash のコマンド／アドレスフェーズ転送フォーマット例” 修正
		20-65	“20.5.17 タイミング調整” 説明を追加
		20-68	“20.5.18 データアライメント” 本文 修正
		21. HyperBus™ コントローラ	
		21-2	“図21.2 本LSI とHyperFlash、HyperRAM の接続図例” 修正
		21-3	“表21.1 端子構成” 注. 追加
		21-12	“21.6.2.3 1 バイトライトアクセス” タイトル、本文 修正
		21-13	“図21.6 1バイトライト波形” タイトル、図 修正
		21-14	“表21.3 コマンド/アドレスのビット割り当て” ビット45 (バーストタイプ)の説明 修正
		21-15	“21.6.3.1 ライト動作フロー” 本文 修正
		21-16	“21.6.3.2 消去動作フロー” 本文 修正
		21-17	“21.6.3.3 コンフィグレーションレジスタのライトとリードの動作フロー” 本文 修正
		21-18	“図21.11 ライト/ リード動作時のタイミング図” 修正
		22. Octa メモリコントローラ	
		全体	16進数表記 修正
		22-2	“表22.1 端子構成” 注. 追加
		22-3	“22.3.1 デバイス インタフェース” 本文 修正
		22-3	“表22.2 異なるI/Oモードでのビット順序” ヘッダ行 修正
		22-4	“22.4 レジスタの説明” 本文 修正
		22-7	“22.4.3 デバイスコマンド設定レジスタ（DCSR）” ビット機能表 ビット15～8 (DMLEN[7:0])の説明 修正
		22-9	“22.4.4 デバイスサイズレジスタ_0（DSR0）” ビット機能表 ビット29～0 (DV0SZ[29:0])の説明 修正
		22-9	“22.4.5 デバイスサイズレジスタ_1（DSR1）” ビット機能表 ビット29～0 (DV1SZ[29:0])の説明 修正
		22-11	“表22.4 OctaRAM用OM_DQSイネーブルカウンタ設定例” タイトル、ヘッダ行 修正
		22-11	“表22.5 OctaFlash用OM_DQSイネーブルカウンタ設定例” タイトル、ヘッダ行 修正
		22-12	“22.4.8 自動キャリブレーションアドレスレジスタ_0（ACAR0）” 本文 修正、ビット機能表 ビット31～0 (CAD0[31:0])の説明 修正
		22-13	“22.4.9 自動キャリブレーションアドレスレジスタ_1（ACAR1）” 本文 修正、ビット機能表 ビット31～0 (CAD1[31:0])の説明 修正
		22-14, 22-15	“22.4.10 デバイスリードタイミング設定レジスタ（DRCSTR）” ビット機能表 ビット29～27 (DVRDHI1[2:0])、ビット13～11 (DVRDHI0[2:0])の説明 修正
		22-19	“22.4.12 デバイスセレクトタイミングレジスタ（DCSTR）” 本文 修正、ビット機能表 ビット13～11 (DVSELHI[2:0])の説明 修正
		22-21	“22.4.13 コントローラデバイス設定レジスタ（CDSR）” 本文 修正、ビット機能表 注. 修正
		22-22	“22.4.14 メモリマップダミー長設定レジスタ（MDLR）” 本文 修正
		22-26	“22.4.18 エラーステータスレジスタ（ESR）” ビット機能表 ビット31～16の説明 修正
		22-26	“22.4.19 コンフィグデータなしライトレジスタ（CWNDR）” 本文 修正、ビット機能表 ビット31～0の説明 修正
		22-27	“22.4.20 コンフィグライトデータレジスタ（CWDR）” 本文 修正
		22-28	“22.4.21 コンフィグリードデータレジスタ（CRR）” 本文 修正
		22-29	“図22.2 本LSI とOctaFlash, OctaRAM の接続図例” 修正
		22-32	“図22.6 OctaRAM インタフェースのライト波形” 修正
		22-33	“図22.8 OctaFlash インタフェースのリード波形（SOPI Mode）” 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	22-33	“図22.9　OctaFlash インタフェースのリード波形（DOPI Mode/pre-cycle 有効）” 修正
		22-34	“図22.10　OctaRAM インタフェースのリード波形（pre-cycle 有効）” 修正
		22-37	“22.5.5　DOPI モード時の1 バイトライトアクセス” タイトル、本文 修正
		22-37	“図22.13　DOPI モード1 バイトライト波形” タイトル、図 修正
		22-38	“22.5.6　動作フロー” 本文 (1)の説明 修正
		22-38	“表22.6　Octa メモリコントローラ初期化設定例” ステップ4, 6のデータ 修正、ステップ8の説明 修正、CS0→デバイス0、CS1→デバイス1 修正
		22-42	“22.6　OM_DQS の遅延調整と自動キャリブレーション” タイトル 修正
		22-42	“22.6.1　OM_DQS の遅延調整” タイトル、本文 修正
		22-42	“図22.14　遅延調整されたOM_DQS を使用したデータのラッチ” タイトル、図 修正
		22-43 ～ 22-45	“22.6.2　OM_DQS 自動キャリブレーション” 本文 修正
		22-44	“図22.15　自動キャリブレーションの設定フロー” タイトル、図 修正
		22-45	“図22.16　MDTR のDV0DEL、DV1DEL 初期設定例” 追加
		22-46	“22.7　OM_DQS イネーブルカウンタ” 本文 修正、注1. 修正
		22-47	“図22.17　OM_DQS イネーブルカウンタのタイミング図 (フラッシュ DOPI モード、ダミー (レイテンシ) サイクル数 = 4、OM_DQS プレサイクル off)” タイトル、図 修正
		23.　I²C バスインタフェース	
		23-3	“23.2.1　機能概要” SCL クロックの説明 修正
		23-23	“23.3.6　RIICnFER — I²C バスファンクションイネーブルレジスタ” NACKE ビットの説明 修正
		23-64	“図23.23　デジタルノイズフィルタ回路のブロック図” 修正
		23-83	“23.13.2　SCL クロック追加出力機能” 本文 修正
		23-83	“図23.40　SCL クロック追加出力機能（CLO ビット）” 修正
		24.　シリアルサウンドインタフェース（SSIF-2）	
		全体	I2S→I²S 修正
		24-8	“24.4.1.1　コントロールレジスタ (SSICR)” ビット機能表 ビット21～19 (DWL[2:0])、ビット18～16 (SWL[2:0])の説明 修正
		25.　CANFD インタフェース（RS-CANFD）	
		全体	CAN FD→CANFD 修正
		25-4	“表25.7　割り込み要求” RSCFD0 削除
		25-4	“表25.8　外部入出力信号” RSCFD0 削除、ユニット信号 CAN_CLK 追加
		25-5	“表25.9　RS-CANFD モジュールの仕様” バッファ、受信フィルタ機能 仕様 修正
		25-33	“25.3.4.4　RSCANnGERFL — グローバルエラーフラグレジスタ” ビット配置図 ビット17, 16 R/W の注1 削除
		25-39	“表25.27　RSCANnGAFLECTR レジスタの内容” ビット4～0 (AFLPN[4:0])の機能 修正
		25-39	“25.3.5.1　RSCANnGAFLECTR — 受信ルールエントリ制御レジスタ” AFLPN[4:0] ビットの説明 修正
		25-116	“表25.82　RSCANnGTSTCFG レジスタの内容” ビット22～16 (RTMPS[6:0])の機能 修正
		25-116	“25.3.14.1　RSCANnGTSTCFG — グローバルテストコンフィグレーションレジスタ” RTMPS[6:0] ビットの説明 修正
		25-125	“25.4.2.1　RSCFDnCFDGRMCFG — グローバルインタフェースモード選択レジスタ” RCMC ビットの説明 修正
		25-157	“25.4.4.4　RSCFDnCFDGERFL — グローバルエラーフラグレジスタ” ビット配置図 ビット17, 16 R/W の注1 削除
		25-163	“25.4.5.1　RSCFDnCFDGAFLECTR — 受信ルールエントリ制御レジスタ” ビット配置図 ビット3, 2, 0 のリセット後の値 修正、AFLPN[4:0] ビットの説明 修正
		25-163	“表25.110　RSCFDnCFDGAFLECTR レジスタの内容” ビット4～0 (AFLPN[4:0])の機能 修正
		25-213	“25.4.10.1　RSCFDnCFDCDTCT — DMA 許可レジスタ” ビット13 (CFDMAE5)～10 (CFDMAE2)→予約ビット 修正
		25-215	“25.4.10.2　RSCFDnCFDCDTSTS — DMA ステータスレジスタ” ビット13 (CFDMASTS5)～10 (CFDMASTS2)→予約ビット 修正
		25-249	“表25.167　RSCFDnCFDGTSTCFG レジスタの内容” ビット22～16 (RTMPS[6:0])の機能 修正
		25-249	“25.4.15.1　RSCFDnCFDGTSTCFG — グローバルテストコンフィグレーションレジスタ” RTMPS[6:0] ビットの説明 修正
		25-267	“図25.6　受信ルール登録（チャネル0, 1 を設定する場合）” 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	25-275	“25.8.3.1　インターバル送信機能” (4)の説明 修正
		25-277	“25.8.6　送信履歴機能” 本文 修正
		25-282	“25.10.5　RAM テスト” 本文 修正
		25-284	“25.11.1　初期設定” 本文 修正
		25-284	“図25.16　MCU のリセット後の設定手順” 修正
		25-289	“25.11.1.5　バッファの設定” 本文 修正
		25-289	“図25.20　バッファの構成” 修正
		27.　イーサネットコントローラ（ETHERC）	
		27-36	“27.5.3　制御情報異常発生時の処理” 本文 修正
		27-36	“27.5.4　EPTPC 未使用時の注意事項” 追加
		27-36	“27.5.5　イーサネットコントローラのリセット手順” 追加
		28.　イーサネットコントローラ用PTP コントローラ（EPTPCa）	
		28-12 ～ 28-53	“28.2.1　MINT 割り込み要因ステータスレジスタ (MIESR)”～“28.2.35　カットスルー転送開始しきい値レジスタ (TRNCTTDR)” アドレス表記 修正
		28-15	“28.2.4　IPLS 割り込み許可自動クリア設定レジスタ (ELIPACR)” タイトル 修正
		28-99	“28.2.82　レスポンスメッセージ受信タイムアウトレジスタ (RSTOUTR)” アドレス レジスタ名 修正
		28-100	“28.2.83　PTP リセットレジスタ (PTRSTR)” アドレス表記 修正
		28-101	“28.2.84　STCA クロック選択レジスタ (STCSELR)” アドレス表記 修正
		28-138	“表28.27　パルス出力タイマに指定できる値の制限” 周期の分解能、パルス幅の分解能の内容 修正
		28-145	“28.5.1　モジュールストップ機能の設定” 追加
		28-145	“28.5.1.1　モジュールストップ状態の解除” 追加
		28-145	“28.5.1.2　モジュールストップ状態への遷移” 追加
		28-146	“28.5.2　ソフトウェアスタンバイモード遷移時の注意事項” 追加
		28-147	“28.5.5　トランスペアレントクロック (TC) 設定時のPTPEDMAC 送信” 追加
		30.　A/D コンバータ	
		30-1	“30.1　概要” 本文 修正
		30-4	“表30.2　A/Dコンバータの機能概要” GPTからのトリガ要因名称 修正
		30-22	“表30.7　TRSB[5:0]（グループB専用）でのA/D変換開始要因選択一覧” GPTからのトリガ要因名称 修正
		30-23	“表30.8　TRSA[5:0]でのA/D変換開始要因選択一覧” GPTからのトリガ要因名称 修正
		30-25	“表30.9　TRSC[5:0]（グループC専用）でのA/D変換開始要因選択一覧” GPTからのトリガ要因名称 修正
		30-38	“30.2.21　A/D コンペア機能ウィンドウB ステータスレジスタ（ADCMPBSR）” ビット配置図 b15～b8 削除、ビット機能表 b15～b1→b7～b1 修正
		30-43	“30.3.1　スキャンの動作説明” GPTからのトリガ要因 修正
		30-47	“30.3.2.4　ダブルトリガ拡張モードの動作” GPTからのトリガ要因名称 修正
		30-53	“30.3.4.2　ダブルトリガモード選択時の動作” GPTからのトリガ要因名称 修正
		30-89	“30.5.9　アナログ入力端子の設定範囲” 追加
		30-89	“30.5.10　ボード設計上の注意事項” 追加
		30-89	“30.5.11　ノイズ対策上の注意事項” 追加
		31.　NAND フラッシュコントローラ	
		全体	ユニバーサルコマンドシーケンス、汎用コマンドシーケンス、ジェネリックシーケンス→汎用シーケンス、レディステート→レディ状態 修正
		31-1	“31.1.1　特長” DMAコントローラ 修正
		31-2	“図31.1　ブロック図” 割込み信号INTNFMA 追加
		31-2	“31.1.2　ブロック図” 本文 修正
		31-5, 31-6	“31.2.2　メインコンフィギュレーションレジスタ（CONTROL）” ビット機能表 ビット20～18、ビット2, 1 (ECC_BLOCK_SIZE[1:0])の説明 修正
		31-7, 31-8	“31.2.3　汎用シーケンスレジスタ（GEN_SEQ_CTRL）” ビット11, 10 (ROW_A1[1:0])、ビット9, 8 (ROW_A0[1:0])、ビット7, 6 (COL_A1[1:0])、ビット5, 4 (COL_A0[1:0])の説明 修正
		31-9	“31.2.4　コントローラステータスレジスタ（STATUS）” 本文 修正、ビット機能表 ビット9 (DATASIZE_ERROR_ST)の説明 修正
		31-11	“31.2.5　LUN ステータスレジスタ（LUN_STATUS_0）” 本文 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	31-15	“31.2.8　ECC モジュール制御レジスタ（ECC_CTRL）” ビット機能表　ビット2～0 (ECC_CAP[2:0])の説明 修正
		31-33	“31.2.25　汎用シーケンスタイミングコンフィギュレーションレジスタ0（TIME_GEN_SEQ_0）” ビット機能表 ビット5～0 (t0_d0[5:0])の説明 修正
		31-42	“31.2.34　MLUN レジスタ（MLUN）” ビット機能表 ビット2～0 (MLUN_IDX[2:0])の説明 修正
		31-43	“31.2.35　CMD ID 初期値レジスタ（CMD_MARK）” 本文 修正
		31-44	“表31.5　命令エンコーディング” INPUT_SEL フィールドの説明 修正
		31-46	“31.3.1　コマンド生成” (c) SEQ_2 シーケンス　本文 修正
		31-47	“31.3.1　コマンド生成” (d) SEQ_3 シーケンス　本文 修正
		31-48	“31.3.1　コマンド生成” (h) SEQ_7 シーケンス　本文 修正
		31-49	“31.3.1　コマンド生成” (j) SEQ_9 シーケンス　本文 修正
		31-49	“31.3.1　コマンド生成” (k) SEQ_10 シーケンス　本文 修正
		31-49	“31.3.1　コマンド生成” (l) SEQ_11 シーケンス　本文 修正
		31-50	“31.3.1　コマンド生成” (o) SEQ_14 シーケンス　本文 修正
		31-51	“31.3.1　コマンド生成” (p) SEQ_15 シーケンス　本文 修正
		31-52	“31.3.1　コマンド生成” (t) SEQ_20 シーケンス　本文 修正
		31-52	“31.3.1　コマンド生成” (v) SEQ_22 シーケンス　本文 修正
		31-64	“31.3.3　命令” (11) SELECT LUN WITH STATUS コマンド　(a) コマンド説明　本文 修正
		31-67	“31.3.3　命令” (17) READ PAGE コマンド　(a) コマンド説明　本文 修正
		31-84	“図31.32　コンフィギュレーション” 5の処理 修正
		31-85	“31.3.7　セットアップとコンフィギュレーション” (1) スレーブインタフェースを介してNAND フラッシュにデータ送信　2.の説明、本文 修正
		31-86	“31.3.7　セットアップとコンフィギュレーション” (2) スレーブインタフェースを介してNAND フラッシュからデータリード　2., 4.の説明、本文 修正
		31-87	“31.3.7　セットアップとコンフィギュレーション” (3) マスターインタフェイス経由でNAND フラッシュにデータ送信（DMA 使用）　2., 4.の説明、本文 修正
		31-88	“31.3.7　セットアップとコンフィギュレーション” (4) DMA を使用した メモリからの 複数ページの 高速書き込みと読み出し　2.の説明 修正
		31-89	“図31.36　DMA を使用したメモリからの複数ページの高速書き込みと読み出し” 修正
		31-90	“31.3.7　セットアップとコンフィギュレーション” (5) 部分ページに書き込み　2.の説明 修正
		31-90	“図31.37　部分ページに書き込み” 3の処理 修正
		31-91	“31.3.7　セットアップとコンフィギュレーション” (6) 部分ページの読み出し　2., 4.の説明 修正
		31-92	“図31.39　ブロック図” 修正
		31-92	“31.4.1　ブロック図” 本文 修正
		31-93, 31-94	“31.4.2　DMA” (2) DMAの説明　本文 修正
		31-94, 31-96	“31.4.2　DMA” (b) スキャッタギャザーモード　本文 修正
		—	“図31.40　スキャッタギャザー DMA のディスクリプタフィールド (64bit)” 削除
		—	“表31.47　スキャッタギャザー DMAのディスクリプタフィールド (64bit)” 削除
		31-95	“図31.40　スキャッタギャザー DMA のディスクリプタフィールド” タイトル 修正（(32bit)削除）
		31-95	“表31.47　スキャッタギャザー DMAディスクリプタフィールド” タイトル 修正（(32bit)削除）
		31-96	“図31.41　スキャッタギャザー DMA のデータ転送例” 修正
		31-98	“31.4.4　BCH アルゴリズムの実装” 本文 修正
		32.　USB 2.0 ホストモジュール	
		32-1	“32.1　概要” タイトル 修正
		32-1	“32.1.2　特長” 表 注2. 追加
		32-6	“32.2　レジスタの説明” タイトル 修正
		32-11	“表32.5　HcCommandStatus Register” ビット2 (BLF)、ビット1 (CLF)の説明 修正
		32-29	“表32.21　HcRhDescriptorA Register” ビット12 (NOCP)の説明 修正
		32-72	“表32.54　BCCTRL1 Register” ビット5 (DCPMODE)、ビット4 (VDMSRCE)、ビット3 (IDPSINKE)、ビット2 (VDPSRCE)、ビット1 (IDMSINKE)、ビット0 (IDPSRCE)の説明 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	32-73	“32.2.4.5　UCOM Register” (7) CC STATUS Register (offset: 840h)　ビット配置図 ビット28～25のリセット値 修正
		32-73	“表32.55　CC_STATUS Register”　ビット31 (CC_INT_SEL)、ビット5 (CC_PERI_STA)の説明 修正
		32-74	“表32.56　Peripheral接続判定条件”　タイトル 修正
		32-77	“32.3　クロックの説明”　タイトル 修正
		32-79	“32.4　割り込み要因”　タイトル 修正
		32-87	“32.5　低消費電力機能”　タイトル 修正
		32-88	“32.6　バッテリーチャージ機能”　タイトル 修正
		32-89	“32.7　バスマスタの説明”　タイトル 修正
		32-92	“32.8　過電流制御とVBUS 制御”　タイトル 修正
		32-92	“32.8.2　Overcurrent 検出タイマ設定”　本文 修正
		32-95	“32.9　設定手順”　タイトル 修正
		32-95	“図32.1　ホスト／ペリフェラル共通設定シーケンス”　タイトル 追加、処理 修正
		32-96	“図32.2　初期設定シーケンス”　タイトル 追加
		33.　USB 2.0 ファンクションモジュール	
		33-1	“33.1.1　概要”　本文 修正
		33-6	“33.1.4.2　注意事項”　(2) ファンクション機能選択時の、Battery Charging 機能について　追加
		33-76	“33.2.22.1　Peripheral L1 コントロールレジスタ【PL1CTRL1】< アドレス：144H>”　ビット配置図 ビット7～4のビット名 修正
		33-150	“33.9.12.1　レジスタ／リンク・モード”　ディスクリプタに関する注意事項 修正
		33-169	“表33.58　退避させるレジスター覧”　システムコンフィグレーションレジスタ1 (SYSCFG1) 削除
		41.　LVDS 出力インタフェース	
		41-7	“41.4.4　LVDS PLL 設定（LPLLSETR）”　ビット機能表 ビット22～16 (LVDSPLL_FD[6:0])の説明 *2 削除
		45.　JPEG コーデックユニット	
		45-5	“45.2.1　JPEG コードモードレジスタ（JCMOD）”　ビット機能表 ビット3 (DSP)の説明 注. 修正
		45-32	“図45.2　圧縮初期設定フロー”　ソフトウェアリセットの説明 修正
		45-39	“図45.5　伸長初期設定フロー”　ソフトウェアリセットの説明 修正
		46.　キャプチャエンジンユニット	
		46-62	“46.5.3　ビデオディスプレイコントローラ6 との連携”　タイトル、本文 修正
		47.　MIPI CSI2 インタフェース	
		47-2	“図47.1　CSI2 ブロック図”　修正
		47-7	“47.2.3　PHY 動作制御レジスタ(PHYCNT)”　ビット17のビット名 SHUTDOWN→SHUTDOWNZ 修正
		47-9	“47.2.5　チャネルデータタイプ選択レジスタ (VCDT)”　ビット機能表 ビット6 (SEL_DT_ON)の説明、ビット5～0 (SEL_DT)の初期値 修正
		47-12	“47.2.8　自動スタンバイ制御レジスタ(ASTBY)”　ビット機能表 ビット5 (VD_MSK_EN) 初期値 修正
		47-53	“47.3.5　1チャネル出力”　本文 参照先（図47.8）追加
		47-53	“図47.8　(2) MIPI CSI-2 インターリーブ転送2”　図47.7→図47.8 修正
		47-58 ～ 47-60	“47.3.8　PHY タイミング設定”　追加
		47-61	“図47.13　ビデオモジュールの初期設定手順例１”　修正
		47-61	“図47.14　ビデオモジュールの初期設定手順例２”　修正
		47-62	“図47.15　PHY 初期化設定の例”　修正
		—	“表47.9　内部バスクロック (Bφ) 周波数、データ転送レートによるPHYタイミングレジスタ設定例”　削除
		48.　ビデオインプットモジュール	
		48-1	“表48.1　VIN用入力インタフェース”　データタイプ 8ビットユーザ定義データ (RAW8)に注釈(注2)追加、注2. 修正
		48-30	“48.2.20　YC-RGB 変換係数レジスタ”　YC→RGB色空間変換式 修正
		49.　SD/MMC ホストインタフェース	
		49-14	“49.2.7　SD カード割り込みフラグレジスタ２（SD_INFO2）”　ビット機能表 ビット13 (SCLKDIVEN)の説明 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2019.11.29	51.　汎用入出力ポート	
		51-4, 51-5	“表51.2　I/Oポートの機能”　PG_0～PG_7, PJ_0～PJ_7の駆動能力切り替え機能欄 注釈(注1) 追加、注1. 追加、注.→注2. 修正
		51-5	“51.1.1　ポートグループインデックス m n”　本文 修正
		51-22	“51.3.5　汎用端子駆動能力制御レジスタ（DSCR）”　本文 修正、ビット機能表 機能 修正、注1. 修正、注3. 追加、【備考】削除
		51-31	“表51.12　324, 272, 256ピン　端子入出力機能レジスタ設定”　111bのP6_1の端子機能 修正
		51-32	“表51.13　176ピン　端子入出力機能レジスタ設定”　111bのP6_1の端子機能 修正
		51-45	“表51.26　324, 272, 256ピン　端子入出力機能レジスタ設定”　端子欄のヘッダ行 PH4_→PH_4 修正
		52.　低消費電力モード	
		52-7	“52.2.3　スタンバイコントロールレジスタ3（STBCR3）”　ビット配置図 ビット1 MSTP31→リザーブビット、R/W 修正、ビット機能表 ビット2 (MSTP32)の説明 CAN-FD→CANFD 修正、ビット1 MSTP31→リザーブビット、R/W、説明 修正
		52-46	“52.3.2　ソフトウェアスタンバイモード”　ソフトウェアスタンバイモードへ遷移する手順 4. 修正
		52-49	“52.3.4　ディープスタンバイモード”　ディープスタンバイモードへ遷移する手順 5. 修正
		52-50	“図52.3　ディープスタンバイモード遷移フロー”　処理 修正
		52-51	“図52.4　ディープスタンバイモード解除フロー”　修正
		52-53	“表52.5　外部メモリ制御端子一覧”　ブートモード6のヘッダ行 (OctaFlash ブート2)→(OctaFlash ブート) 修正
		54.　Trusted Secure IP	
		54-5	“図54.4　鍵インストール概念図”　修正
		55.　レジスタ状態一覧	
		55-3	“表55.1　レジスタ状態一覧”　低消費電力モード(DSFR, USBBSFR, XTALCTR, RTCXTALSEL レジスタ)のパワーオンリセット、ディープスタンバイ欄の注釈 修正
		56.　電気的特性	
		56-2	“56.3　DC 特性”　条件 修正
		56-3	“表56.2 DC特性（2）【消費電流】”　通常動作時消費電流 Icc, PLLIcc, LVDSPLLIcc, MIPIAIcc18, UAPIcc, LVDSAPIcc, AIcc、スリープ時消費電流 I_{sleep}のTyp. 修正
		56-7	“表56.3　出力許容電流値”　修正
		56-8	“56.4　AC 特性”　条件 修正
		56-13	“表56.6　制御信号タイミング”　注.→注1. 修正、注2. 追加
		56-16	“表56.8　バスタイミング”　アドレス遅延時間2 (t_{AD2}) 修正
		56-44	“図56.42　POEn# 入力パルスタイミング”　タイトル 修正
		56-48	“表56.15　SCIFAタイミング”　t_{SEcyc}→t_{p1cyc} 修正
		56-50	“表56.17　ルネサスシリアルペリフェラルインタフェースタイミング”　単位 修正、注. 追加
		56-53	“表56.18　SPIマルチI/Oバスコントローラタイミング”　クロックサイクル (t_{SPBcyc}) 修正、データ出力バッファオフ時間／SDR (t_{BOFF}) 修正
		56-65	“56.4.19　CANFD インタフェースタイミング”　タイトル 修正
		56-65	“表56.23　CANFDインタフェースタイミング”　タイトル 、ヘッダ行 修正
		56-65	“図56.77　CANFD インタフェース条件”　タイトル、図 修正
		56-71	“表56.26　NANDフラッシュコントローラタイミング”　NFRE#立ち上り基準→NFRE#立上り基準 修正
		56-74	“表56.30　ビデオディスプレイコントローラ6タイミング”　DV0_CLKクロック入力サイクル (t_{Dcyc})、LCD0_EXTCLKクロック入力サイクル (t_{Ecyc})、LCD0_CLKクロック出力サイクル (t_{Lcyc}) 修正
		56-77	“表56.32　キャプチャエンジンユニット信号タイミング”　カメラクロックサイクル (t_{VCYC}) 修正
		56-89	“56.5　A/D コンバータ特性”　条件 修正
		56-89	“表56.40　A/Dコンバータ特性”　タイトル 追加
		57.　端子状態と処理方法	
		57-4, 57-7	“表57.1　端子状態”　CANインタフェース→CANFDインタフェース、MIPI→MIPI CSI2インタフェース 修正
		57-9	“表57.2　未使用端子の処理（デバッガインタフェース端子を除く）”　端子 追加、注3. 追加
		57-10	“表57.4　ディープスタンバイモード時の端子処理”　RREF0、RREF1 処理 修正
		付録	
		付録 -3	“図A.3　272 ピンBGA の外形寸法図”　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
4.00	2020.11.27	1. 概要	
		1-8	“表1.1 RZ/A2Mの特長” パッケージの特長 256ピンBGAのRENESAS Code 修正
		1-9	“表1.2 製品一覧” パッケージ 256ピンBGAのRENESAS Code 修正
		3. ブートモード	
		3-1	本文 修正、注4. 追加
		5. LSI内部バス	
		5-60	“表5.7 ライトバッファの割り込み信号名” 割り込み信号 X2HPERI12_ERRINT 追加、 割り込み信号 X2HPERI34_ERRINT, X2HPERI5_ERRINT, X2HPERI67_ERRINT, X2HDBGR_ERRINTのライトバッファ接続元/接続先 修正
		6. クロックパルス発振器	
		6-15	“図6.5 システムクロック、リアルタイムクロック用クロック樹形図” 周辺クロックICの説明 追加
		7. 割り込みコントローラ	
		7-19	“表7.3 割り込みID一覧” モジュール 内部バス 追加
		8. バスステートコントローラ	
		8-8	“8.4.2 CSn空間バスコントロールレジスタ（CSnBCR）” ビット構成図 ビット24～22, 21～19, 18～16のビット名 修正
		8-9	“8.4.2 CSn空間バスコントロールレジスタ（CSnBCR）” ビット機能表 ビット21～19, 18～16のビット名 修正
		9. ダイレクトメモリアクセスコントローラ	
		9-48	“表9.4 内蔵周辺モジュールリクエスト” A/Dコンバータ、I^2C バスインタフェース チャネル0～3のDMA転送要求信号 修正
		9-50	“表9.4 内蔵周辺モジュールリクエスト” シリアルコミュニケーションインタフェースチャネル0, 1、イーサネットMACコントローラのCHCFG_n/nS.LVLビットの設定 修正
		9-51	“表9.4 内蔵周辺モジュールリクエスト” DRPのDMA転送要求信号 修正
		16. リアルタイムクロック（RTC）	
		16-35	“図16.3 クロックおよびカウントモードの設定手順” 注1.、注2.を追加、注1.→注3に変更.、注2.→注4.に変更
		18. シリアルコミュニケーションインタフェース（SCIg）	
		18-2	“図18.1 SCIg（SCI0, SCI1）のブロック図” RXDn, TXDnの入出力 修正
		20. SPIマルチI/Oバスコントローラ	
		20-4～20-71	全体（Octal-SPIフラッシュメモリプロトコルモードで動作する時の説明） Octal-SPIフラッシュメモリ→Octal-SPIフラッシュメモリプロトコルモード 修正
		20-1	“20.1.2 OctaFlash™、Xccela™フラッシュメモリインタフェース” 注 追加
		20-7	“20.4.1 共通コントロールレジスタ（CMNCR）” ビット機能表 ビット9, 8 (IO0FV[1:0])の説明 注. 追加
		20-12	“20.4.5 データリード拡張アドレス設定レジスタ（DREAR）” 本文 修正
		20-12	“20.4.5 データリード拡張アドレス設定レジスタ（DREAR）” ビット機能表 ビット23～16 (EAV[7:0])、 ビット2～0 (EAC[2:0])の説明 修正
		20-17	“20.4.10 手動モードアドレス設定レジスタ（SMADR）” ビット機能表 ビット31 ～ 24 (ADR[31:24])の説明 修正
		20-20	“20.4.12 手動モードイネーブル設定レジスタ（SMENR）” ビット機能表 ビット11 ～ 8 (ADE[3:0])の説明 修正
		20-28	“20.4.19 データリードDDRイネーブルレジスタ（DRDRENR）” ビット機能表 ビット14～ 12 (HYPE)の説明 修正
		20-30	“20.4.21 手動モードDDRイネーブルレジスタ（SMDRENR）” ビット機能表 ビット14～ 12 (HYPE[2:0])の説明 修正
		20-32	“20.4.22 PHYコントロールレジスタ（PHYCNT）” ビット機能表 ビット18 (HS)の説明 注3. 追加
		20-33	“20.4.23 PHYオフセットレジスタ1（PHYOFFSET1）” 本文 修正
		20-33	“20.4.23 PHYオフセットレジスタ1（PHYOFFSET1）” ビット機能表 ビット29、28 (DDRTMG)の説明 修正
		20-37	“20.4.26 PHY調整レジスタ1（PHYADJ1）” 注. 追加、ビット機能表 ビット31 ～ 0 (ADJ1[31:0])の説明 修正
		20-37	“20.4.27 PHY調整レジスタ2（PHYADJ2）” ビット機能表 ビット31 ～ 0 (ADJ2[31:0])の説明 修正
		20-42	“20.5.2 アドレスマップ” 本文 修正
		20-42	“表20.3 アドレスマップ” 最大アクセス領域 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
4.00	2020.11.27	20-43	“20.5.3 シリアルフラッシュ 32 ビットアドレス” シリアルフラッシュ 1 個接続および Octal-SPI フラッシュメモリプロトコルのアドレス設定、シリアルフラッシュ 2 個接続時のアドレス設定　修正
		20-51	“図 20.15 SSLKP ビットを利用した転送タイミング図” QSPIn_SSL　修正
		20-54	“図 20.19 データとイネーブルの関係 (Octal-SPI フラッシュメモリプロトコルモード)” 追加
		20-64	“表 20.14 サポートされているシリアルフラッシュプロトコル” ビット幅 1-1-0　追加
		20-64	“表 20.15 サポートされている Octal-SPI フラッシュメモリプロトコル” ビット幅 1-1-0, 8-8-0　追加
		20-65	“20.5.17 タイミング調整” 本文　修正
		20-65	“図 20.29 (1) シリアルフラッシュ (SDR モード (Octal-SPI フラッシュを除く)) のタイミング調整フロー” タイトル　修正
		20-71	“20.6.1 QSPIn_SSL 端子をネゲートしている状態でのデータリード転送” リードデータ転送→データリード転送　修正
		20-71	“20.6.2 QSPIn_SSL 端子をアサートしている状態でのデータリード転送” 削除
		22. Octa メモリコントローラ	
		22-12	“22.4.7 自動キャリブレーションタイマレジスタ（ACTR）” ビット機能表　ビット 31 ～ 0 (CTP[31:0]) の説明 自動キャリブレーション周期時間を修正
		22-26	“22.4.19 コンフィグデータなしライトレジスタ（CWNDR）” 本文　修正
		22-27	“22.4.20 コンフィグライトデータレジスタ（CWDR）” 本文　修正
		22-28	“22.4.21 コンフィグリードデータレジスタ（CRR）” 本文　修正
		25. CANFD インタフェース（RS-CANFD）	
		25-3	“表 25.6 本 LSI における転送レート・使用チャネル数での動作周波数範囲” CANFD　転送レート：4Mbps → 4.125Mbps、clk_xincan：32MHz → 32MHz ≦ clk_xincan ≦ pclk/2、clkc：32MHz → 32MHz ≦ clkc ≦ pclk/2　修正
		25-5	“表 25.9 RS-CANFD モジュールの仕様” 通信速度の仕様　CANFD モード：データビットレート　修正
		25-311	“25.12 RS-CANFD モジュールの注意事項” 1 項目目　修正：RS-CANFD のリセットを行わずにインタフェースモードを変更する場合は → パワーオンリセットを行わずにインタフェースモードを変更する場合は
		32. USB 2.0 ホストモジュール	
		32-3	“32.1.2.6 使用上の注意事項” 追加
		32-5	“32.1.4 入出力端子” チャネル 1　OTG 電源 IC ID の端子名　修正
		32-31	“表 32.23 HcRhStatus Register” ビット 15 (DRWE) の説明　HcRhPortStatus レジスタ → HcRhPortStatus1 レジスタ　修正
		32-60	“表 32.43 SPD_CTRL Register” ビット 31 (SUSPENDM_ENABLE) の説明　HcRhPortStatus レジスタ → HcRhPortStatus1 レジスタ　修正
		32-68	“表 32.50 OBINTSTA Register” ビット 6 (CHGDETCHG1_STA)、ビット 4 (PDDETCHG1_STA) の説明　修正
		32-71	“表 32.53 LINECTRL1 Register” ビット 21～20 (DSDP[1:0]) の説明　修正
		32-72	“表 32.54 BCCTRL1 Register” ビット 31～10 → ビット 31～26, ビット 25、24, ビット 23～10　修正、ビット 25、24 の説明　修正
		32-88	“表 32.59 Charging Port の説明” タイトル　追加
		32-88	“32.6.1 Charging Port 対応” 本文　説明を追加
		32-89	“32.6.1.1 CDP モードで使用する場合” 追加
		32-90	“32.6.1.2 DCP モードで使用する場合” 追加
		32-90	“32.6.2 Portable Device 対応” 本文　説明を追加
		32-91	“図 32.2 Portable Device 制御フロー例” 追加
		32-102	“32.11 注意事項” 追加
		32-102 ～ 32-111	“32.11.1 デバイス切断後の処置” 追加
		47. MIPI CSI2 インタフェース	
		47-18	“47.2.12 割り込み要因マスクレジスタ (INTCLOSE)” 注. 追加
		47-61	“図 47.13 ビデオモジュールの初期設定手順例 1” 処理　修正
		47-61	“図 47.14 ビデオモジュールの初期設定手順例 2” 処理　修正
		47-62	“47.3.9.1 用語” 追加
		48. ビデオインプットモジュール	
		48-80	“表 48.14 仕様” UDS スケーラー設定シーケンスの説明　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
4.00	2020.11.27	51. 汎用入出力ポート	
		51-10	“図51.7 (7) TTL AND入力バッファ” JP0_3 → TCK/SWDCLK 修正
		51-11	“図51.9 (9) TTL AND入力、ラッチ付き 双方向バッファ” JP0_2 → TMS/SWDIO 修正
		51-11	“図51.10 (10) シュミットAND入力バッファ” JP0_4 → TRST# 修正
		52. 低消費電力モード	
		52-58	“52.4.3 USB 2.0 ホスト／ファンクションモジュール未使用時の注意” 本文 修正
		52-58	“図52.5 USB 2.0 ホスト／ファンクションモジュール 未使用時の設定フロー” タイトル 追加
		56. 電気的特性	
		56-65	“表56.23 CANFDインタフェースタイミング” 送信レート CANFDのMax.値 修正
		付録	
		付録 -2	“図A.2 256ピンBGAの外形寸法図” 修正

RZ/A2M グループ ユーザーズマニュアル ハードウェア編

発行年月日　2018年　9月 25日　Rev.1.00
　　2020年 11月 27日　Rev.4.00

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

RZ/A2M グループ

ルネサス エレクトロニクス株式会社

R01UH0746JJ0400