

RX660 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ
RXファミリ/RX600シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX660グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

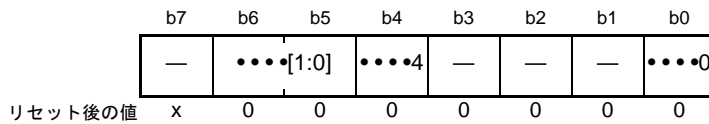
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX660グループ データシート	R01DS0393JJ
ユーザズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX660グループ ユーザズマニュアル ハードウェア編	本ユーザズマニュアル
ユーザズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ RXv3命令セットアーキテクチャ ユーザズマニュアル ソフトウェア編	R01US0316JJ
アプリケーションノート	基板設計上の注意事項	RXファミリ ハードウェアデザインガイド	R01AN1411JJ
	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b00ビット (2)	0 : 1 (設定しないでください) (3)	R/W R/W (1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b44ビット	0 : 1 :	R
b6-b5[1:0]ビット	00 : 01 : 上記以外は設定しないでください (3)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

特長	56
1. 概要	57
1.1 仕様概要	57
1.2 製品一覧	66
1.3 ブロック図	70
1.4 端子機能	71
1.5 ピン配置図	76
1.5.1 144ピン LFQFP (JTAG なし / サブクロック発振器なし)	76
1.5.2 144ピン LFQFP (JTAG なし / サブクロック発振器あり)	77
1.5.3 144ピン LFQFP (JTAG あり / サブクロック発振器なし)	78
1.5.4 144ピン LFQFP (JTAG あり / サブクロック発振器あり)	79
1.5.5 100ピン LFQFP (JTAG なし / サブクロック発振器なし)	80
1.5.6 100ピン LFQFP (JTAG なし / サブクロック発振器あり)	81
1.5.7 100ピン LFQFP (JTAG あり / サブクロック発振器なし)	82
1.5.8 100ピン LFQFP (JTAG あり / サブクロック発振器あり)	83
1.5.9 80ピン LFQFP (サブクロック発振器なし)	84
1.5.10 80ピン LFQFP (サブクロック発振器あり)	85
1.5.11 64ピン LFQFP (サブクロック発振器なし)	86
1.5.12 64ピン LFQFP (サブクロック発振器あり)	87
1.5.13 48ピン LFQFP	88
1.6 機能別端子一覧	89
1.6.1 144ピン LFQFP	89
1.6.2 100ピン LFQFP	95
1.6.3 80ピン LFQFP	100
1.6.4 64ピン LFQFP	104
1.6.5 48ピン LFQFP	107
2. CPU	109
2.1 特長	109
2.2 CPU レジスタセット	110
2.2.1 汎用レジスタ (R0 ~ R15)	111
2.2.2 制御レジスタ	111
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	112
2.2.2.2 例外テーブルレジスタ (EXTB)	112
2.2.2.3 割り込みテーブルレジスタ (INTB)	112
2.2.2.4 プログラムカウンタ (PC)	112
2.2.2.5 プロセッサステータスワード (PSW)	113
2.2.2.6 バックアップ PC (BPC)	114
2.2.2.7 バックアップ PSW (BPSW)	115
2.2.2.8 高速割り込みベクタレジスタ (FINTV)	115
2.2.2.9 単精度浮動小数点ステータスワード (FPSW)	116

2.2.3	アキュムレータ	118
2.3	プロセッサモード	119
2.3.1	スーパーバイザモード	119
2.3.2	ユーザモード	119
2.3.3	特権命令	119
2.3.4	プロセッサモード間の移行	119
2.4	データタイプ	120
2.4.1	整数	120
2.4.2	単精度浮動小数点数	121
2.4.3	ビット	121
2.4.4	ストリング	122
2.5	エンディアン	123
2.5.1	エンディアンの設定	123
2.5.2	I/O レジスタアクセス	126
2.5.3	I/O レジスタアクセスの注意事項	126
2.5.4	データ配置	127
2.5.4.1	レジスタのデータ配置	127
2.5.4.2	メモリ上のデータ配置	127
2.5.5	命令コード配置の注意事項	127
2.6	ベクタテーブル	128
2.6.1	例外ベクタテーブル	128
2.6.2	割り込みベクタテーブル	129
2.7	レジスタ一括退避機能	130
2.8	命令動作	131
2.8.1	RMPA 命令、ストリング操作命令に関する制約事項	131
2.8.1.1	転送サイズとデータプリフェッチ	131
2.8.1.2	外部空間へのアクセス	131
2.8.1.3	I/O レジスタへのアクセス	131
2.9	サイクル数	132
2.9.1	命令とサイクル数	132
2.9.2	割り込み応答サイクル数	136
2.10	使用上の注意事項	136
2.10.1	レジスタ退避バンク内 RAM の自己診断に関する注意事項	136
3.	動作モード	137
3.1	動作モードの種類と選択	137
3.2	レジスタの説明	138
3.2.1	モードモニタレジスタ (MDMONR)	138
3.2.2	モードステータスレジスタ (MDSR)	138
3.2.3	システムコントロールレジスタ 0 (SYSCR0)	139
3.2.4	システムコントロールレジスタ 1 (SYSCR1)	140

3.2.5	電圧レベル設定レジスタ (VOLSR)	140
3.3	動作モードの説明	141
3.3.1	シングルチップモード	141
3.3.2	内蔵 ROM 有効拡張モード	141
3.3.3	内蔵 ROM 無効拡張モード	141
3.3.4	ブートモード (SCI インタフェース)	141
3.3.5	ブートモード (FINE インタフェース)	142
3.3.6	ユーザブートモード	142
3.4	動作モード遷移	143
3.4.1	モード設定端子による動作モード遷移	143
3.4.2	レジスタ設定による動作モード遷移	144
4.	アドレス空間	145
4.1	アドレス空間	145
4.2	外部アドレス空間	146
5.	I/O レジスタ	147
5.1	I/O レジスタアドレス一覧 (アドレス順)	149
6.	リセット	189
6.1	概要	189
6.2	レジスタの説明	191
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	191
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	193
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	194
6.2.4	ソフトウェアリセットレジスタ (SWRR)	195
6.3	動作説明	195
6.3.1	RES# 端子リセット	195
6.3.2	パワーオンリセット、電圧監視 0 リセット	195
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	196
6.3.4	ディープソフトウェアスタンバイリセット	198
6.3.5	独立ウォッチドッグタイマリセット	198
6.3.6	ウォッチドッグタイマリセット	198
6.3.7	ソフトウェアリセット	198
6.3.8	コールドスタート/ウォームスタート判定機能	199
6.3.9	リセット発生要因の判定	200
7.	オプション設定メモリ (OFSM)	201
7.1	概要	201
7.2	レジスタの説明	203
7.2.1	シリアルプログラマコマンド制御レジスタ (SPCC)	203
7.2.2	OCD/シリアルプログラマ ID 設定レジスタ (OSIS)	204
7.2.3	オプション機能選択レジスタ 0 (OFS0)	205
7.2.4	オプション機能選択レジスタ 1 (OFS1)	209

7.2.5	エンディアン選択レジスタ (MDE)	210
7.2.6	TM イネーブルフラグレジスタ (TMEF)	211
7.2.7	TM 識別データレジスタ (TMINF)	212
7.2.8	ROM コードプロテクトレジスタ (ROMCODE)	213
7.3	UB コード	214
7.3.1	UB コード A	214
7.3.2	UB コード B	214
7.4	各動作モードにおけるオプション設定メモリのプログラム/イレーズ動作	215
7.5	オプション設定メモリの設定値とリード/プログラム/イレーズ動作	216
7.6	オプション設定メモリの設定方法	217
7.6.1	オプション設定メモリへのデータの配置方法	217
7.7	使用上の注意事項	218
7.7.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	218
8.	電圧検出回路 (LVDA)	219
8.1	概要	219
8.2	レジスタの説明	222
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	222
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	222
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	223
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	223
8.2.5	電圧監視回路制御レジスタ (LVCMPCR)	224
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	225
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	226
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	227
8.3	VCC 入力電圧のモニタ	229
8.3.1	Vdet0 のモニタ	229
8.3.2	Vdet1 のモニタ	229
8.3.3	Vdet2 のモニタ	229
8.4	電圧監視 0 リセット	230
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	231
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	234
8.7	イベントリンク出力機能	237
8.7.1	割り込み処理とイベントリンクの関係	237
9.	クロック発生回路	238
9.1	概要	238
9.2	レジスタの説明	241
9.2.1	システムクロックコントロールレジスタ (SCKCR)	241
9.2.2	システムクロックコントロールレジスタ 2 (SCKCR2)	243
9.2.3	システムクロックコントロールレジスタ 3 (SCKCR3)	244
9.2.4	PLL コントロールレジスタ (PLLCR)	245

9.2.5	PLL コントロールレジスタ 2 (PLLCR2)	246
9.2.6	外部バスクロックコントロールレジスタ (BCKCR)	247
9.2.7	メインクロック発振器コントロールレジスタ (MOSCCR)	248
9.2.8	サブクロック発振器コントロールレジスタ (SOSCCR)	249
9.2.9	低速オンチップオシレータコントロールレジスタ (LOCOCR)	251
9.2.10	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	252
9.2.11	高速オンチップオシレータコントロールレジスタ (HOCOcr)	253
9.2.12	高速オンチップオシレータコントロールレジスタ 2 (HOCOcr2)	254
9.2.13	FLL コントロールレジスタ 1 (FLLCR1)	255
9.2.14	FLL コントロールレジスタ 2 (FLLCR2)	257
9.2.15	発振安定フラグレジスタ (OSCOVFSR)	258
9.2.16	発振停止検出コントロールレジスタ (OSTDCR)	260
9.2.17	発振停止検出ステータスレジスタ (OSTDSR)	261
9.2.18	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	262
9.2.19	サブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR)	263
9.2.20	サブクロック発振器強制発振コントロールレジスタ (SOFcr)	264
9.2.21	メインクロック発振器機能コントロールレジスタ (MOFCR)	265
9.2.22	高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR)	266
9.3	メインクロック発振器	267
9.3.1	発振子を接続する方法	267
9.3.2	外部クロックを入力する方法	268
9.3.3	外部クロック入力に関する注意事項	268
9.4	サブクロック発振器	269
9.4.1	32.768kHz 水晶振動子を接続する方法	269
9.4.2	サブクロックを使用しない場合の端子処理	270
9.5	発振停止検出機能	271
9.5.1	発振停止検出と検出後の動作	271
9.5.2	発振停止検出割り込み	274
9.6	PLL 回路	274
9.7	内部クロック	275
9.7.1	システムクロック	275
9.7.2	周辺モジュールクロック	276
9.7.3	FlashIF クロック	276
9.7.4	外部バスクロック	276
9.7.5	CANFD クロック	276
9.7.6	CANFD メインクロック	276
9.7.7	CAC クロック (CACCLK)	276
9.7.8	RTC クロック	277
9.7.9	REMC クロック	277
9.7.10	IWDT 専用クロック	277

9.8	クロックソース切り替え	278
9.9	ELC によるリンク動作	279
9.9.1	ELC へのイベント信号出力	279
9.9.2	ELC からのイベント信号受信によるクロックソース切り替え	279
9.10	使用上の注意事項	280
9.10.1	クロック発生回路に関する注意事項	280
9.10.2	発振子に関する注意事項	280
9.10.3	ボード設計上の注意	281
9.10.4	発振子接続端子に関する注意事項	281
9.10.5	サブクロック発振器に関する注意事項	282
9.10.6	サブクロック発振器非搭載製品に関する注意事項	283
10.	クロック周波数精度測定回路 (CAC)	284
10.1	概要	284
10.2	レジスタの説明	286
10.2.1	CAC コントロールレジスタ 0 (CACR0)	286
10.2.2	CAC コントロールレジスタ 1 (CACR1)	287
10.2.3	CAC コントロールレジスタ 2 (CACR2)	288
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	289
10.2.5	CAC ステータスレジスタ (CASTR)	290
10.2.6	CAC 上限値設定レジスタ (CAULVR)	291
10.2.7	CAC 下限値設定レジスタ (CALLVR)	291
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	291
10.3	動作説明	292
10.3.1	クロック周波数測定	292
10.3.2	CACREF 端子のデジタルフィルタ機能	293
10.4	割り込み要求	293
10.5	使用上の注意事項	294
10.5.1	モジュールストップ機能の設定	294
11.	消費電力低減機能	295
11.1	概要	295
11.2	レジスタの説明	299
11.2.1	スタンバイコントロールレジスタ (SBYCR)	299
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	300
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	302
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	304
11.2.5	モジュールストップコントロールレジスタ D (MSTPCRD)	305
11.2.6	スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)	306
11.2.7	ディープスタンバイコントロールレジスタ (DPSBYCR)	307
11.2.8	ディープスタンバイインタラプトイネーブルレジスタ 0 (DPSIER0)	308
11.2.9	ディープスタンバイインタラプトイネーブルレジスタ 1 (DPSIER1)	309

11.2.10	ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)	310
11.2.11	ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)	311
11.2.12	ディープスタンバイインタラプトフラグレジスタ 1 (DPSIFR1)	312
11.2.13	ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)	313
11.2.14	ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)	315
11.2.15	ディープスタンバイインタラプトエッジレジスタ 1 (DPSIEGR1)	316
11.2.16	ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)	317
11.2.17	ディープスタンバイバックアップレジスタ y (DPSBKRY) (y = 0 ~ 31)	317
11.3	クロックの切り替えによる消費電力の低減	318
11.4	モジュールストップ機能	318
11.5	低消費電力状態	319
11.5.1	スリープモード	319
11.5.1.1	スリープモードへの移行	319
11.5.1.2	スリープモードの解除	320
11.5.1.3	スリープモード復帰クロックソース切り替え機能	320
11.5.2	全モジュールクロックストップモード	321
11.5.2.1	全モジュールクロックストップモードへの移行	321
11.5.2.2	全モジュールクロックストップモードの解除	322
11.5.3	ソフトウェアスタンバイモード	323
11.5.3.1	ソフトウェアスタンバイモードへの移行	323
11.5.3.2	ソフトウェアスタンバイモードの解除	324
11.5.3.3	ソフトウェアスタンバイモードの応用例	325
11.5.4	ディープソフトウェアスタンバイモード	326
11.5.4.1	ディープソフトウェアスタンバイモードへの移行	326
11.5.4.2	ディープソフトウェアスタンバイモードの解除	327
11.5.4.3	ディープソフトウェアスタンバイモード解除時の端子状態	328
11.5.4.4	ディープソフトウェアスタンバイモードの応用例	329
11.5.4.5	ディープソフトウェアスタンバイモードのフローチャート	331
11.6	使用上の注意事項	332
11.6.1	I/O ポートの状態	332
11.6.2	DMAC、DTC のモジュールストップ	332
11.6.3	内蔵周辺モジュールの割り込み	332
11.6.4	MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み	332
11.6.5	DIRQnE ビット (n = 0 ~ 15) による入力バッファ制御	332
11.6.6	WAIT 命令の実行タイミング	332
11.6.7	スリープモード中の DMAC、DTC によるレジスタの書き換えについて	333
12.	レジスタライトプロテクション機能	334
12.1	レジスタの説明	335
12.1.1	プロテクトレジスタ (PRCR)	335

13.	例外処理	336
13.1	例外事象	336
13.1.1	未定義命令例外	337
13.1.2	特権命令例外	337
13.1.3	アクセス例外	337
13.1.4	単精度浮動小数点例外	337
13.1.5	リセット	337
13.1.6	ノンマスカブル割り込み	337
13.1.7	割り込み	337
13.1.8	無条件トラップ	337
13.2	例外の処理手順	338
13.3	例外事象の受け付け	340
13.3.1	受け付けタイミングと退避される PC 値	340
13.3.2	ベクタと PC、PSW の退避場所	340
13.4	例外の受け付け / 復帰時のハードウェア処理	341
13.5	ハードウェア前処理	342
13.5.1	未定義命令例外	342
13.5.2	特権命令例外	342
13.5.3	アクセス例外	342
13.5.4	単精度浮動小数点例外	342
13.5.5	リセット	342
13.5.6	ノンマスカブル割り込み	343
13.5.7	割り込み	343
13.5.8	無条件トラップ	343
13.6	例外処理ルーチンからの復帰	344
13.7	例外事象の優先順位	344
14.	割り込みコントローラ (ICUF)	345
14.1	概要	345
14.2	レジスタの説明	347
14.2.1	割り込み要求レジスタ n (IRn) (n = 016 ~ 255)	347
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	349
14.2.3	割り込み要因プライオリティレジスタ r (IPRr) (r = 000 ~ 255)	350
14.2.4	高速割り込み設定レジスタ (FIR)	351
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	352
14.2.6	ソフトウェア割り込み 2 起動レジスタ (SWINT2R)	352
14.2.7	DTC 転送要求許可レジスタ n (DTCERn) (n = 026 ~ 255)	353
14.2.8	DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャンネル番号)	354
14.2.9	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 15)	355
14.2.10	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	356
14.2.11	IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1)	357

14.2.12	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	358
14.2.13	IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1)	359
14.2.14	ノンマスカブル割り込みステータスレジスタ (NMISR)	360
14.2.15	ノンマスカブル割り込み許可レジスタ (NMIER)	363
14.2.16	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)	365
14.2.17	NMI 端子割り込みコントロールレジスタ (NMICR)	365
14.2.18	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	366
14.2.19	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	366
14.2.20	グループ BL0/BL1/BL2 割り込み要求レジスタ (GRPBL0/GRPBL1/GRPBL2)、 グループ AL0 割り込み要求レジスタ (GRPAL0)	367
14.2.21	グループ BL0/BL1/BL2 割り込み要求許可レジスタ (GENBL0/GENBL1/GENBL2)、 グループ AL0 割り込み要求許可レジスタ (GENAL0)	369
14.2.22	選択型割り込み B 要求レジスタ k (PIBRk) (k = 0h, 1h, 5h, 6h, 8h ~ Ah, Ch, Dh)	371
14.2.23	選択型割り込み A 要求レジスタ k (PIARk) (k = 0h ~ 5h, Bh, Ch)	372
14.2.24	選択型割り込み B 要因選択レジスタ Xn (SLIBXRn) (n = 128 ~ 143)	373
14.2.25	選択型割り込み B 要因選択レジスタ n (SLIBRn) (n = 144 ~ 207)	374
14.2.26	選択型割り込み A 要因選択レジスタ n (SLIARn) (n = 208 ~ 255)	376
14.2.27	選択型割り込み要因選択レジスタ書き込み保護レジスタ (SLIPRCR)	379
14.3	ベクタテーブル	380
14.3.1	割り込みのベクタテーブル	380
14.3.2	高速割り込みのベクタ領域	387
14.3.3	ノンマスカブル割り込みのベクタ領域	387
14.4	割り込みの種類	388
14.4.1	周辺機能割り込み	388
14.4.2	ソフトウェア割り込み	388
14.4.3	外部端子割り込み	388
14.4.4	グループ割り込み	389
14.4.5	選択型割り込み	392
14.4.5.1	選択型割り込み B	392
14.4.5.2	選択型割り込み A	393
14.4.6	ノンマスカブル割り込み	393
14.5	割り込みの検出	394
14.5.1	エッジ検出割り込み	394
14.5.2	レベル検出割り込み	396
14.5.3	エッジ検出グループ割り込み	397
14.5.4	レベル検出グループ割り込み	401
14.5.5	選択型割り込み	403
14.6	割り込み優先レベルの判定	403
14.7	割り込みの設定手順	404
14.7.1	割り込み要求の許可	404

14.7.2	割り込み要求の禁止	404
14.7.3	割り込み要求先の選択	404
14.7.3.1	割り込み要求先の設定手順	404
14.7.3.2	DTC/DMAC 選択時の動作	406
14.7.3.3	割り込み要求先の変更	406
14.7.4	外部端子割り込みの設定手順	407
14.7.5	ノンマスカブル割り込みの設定手順	407
14.7.6	デジタルフィルタ	408
14.7.7	選択型割り込みの設定手順	409
14.7.7.1	選択型割り込みのポーリング	409
14.8	多重割り込み	410
14.9	高速割り込み	410
14.10	低消費電力状態からの復帰	411
14.10.1	スリープモードからの復帰	411
14.10.2	全モジュールクロックストップモードからの復帰	411
14.10.3	ソフトウェアスタンバイモードからの復帰	412
14.11	使用上の注意事項	412
14.11.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	412
14.11.2	全モジュールクロックストップモード時の選択型割り込み	412
14.11.3	ソフトウェアスタンバイモード中の割り込み要求	412
15.	バス	413
15.1	概要	413
15.2	バスの説明	415
15.2.1	CPU バス	415
15.2.2	メモリバス	415
15.2.3	内部メインバス	415
15.2.4	内部周辺バス	416
15.2.5	ライトバッファ機能 (内部周辺バス)	417
15.2.6	外部バス	418
15.2.7	並列動作	420
15.2.8	バスの設定	420
15.2.9	制約事項	421
15.3	レジスタの説明	422
15.3.1	CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)	422
15.3.2	CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)	424
15.3.3	CS リカバリサイクル挿入許可レジスタ (CSRECEN)	426
15.3.4	CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)	429
15.3.5	CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)	431
15.3.6	CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)	434
15.3.7	バスエラーステータスクリアレジスタ (BERCLR)	437

15.3.8	バスエラー監視許可レジスタ (BEREN)	437
15.3.9	バスエラーステータスレジスタ 1 (BERSR1)	438
15.3.10	バスエラーステータスレジスタ 2 (BERSR2)	438
15.3.11	バスプライオリティ制御レジスタ (BUSPRI)	439
15.4	エンディアンとデータアライメント	441
15.4.1	CS 領域のデータアライメント制御	441
15.5	CS 領域コントローラの動作説明	446
15.5.1	セパレートバス	446
15.5.2	アドレス / データマルチプレクスバス	459
15.5.3	外部ウェイト機能	462
15.5.4	リカバリサイクルの挿入	464
15.5.5	非アクセス時の状態	467
15.5.6	ライトバッファ機能 (外部バス)	468
15.5.7	制約事項	468
15.6	バスエラー監視部	470
15.6.1	バスエラーの種類	470
15.6.1.1	不正アドレスアクセス	470
15.6.1.2	タイムアウト	470
15.6.2	バスエラー発生時の動作	471
15.6.3	バスエラーの発生条件	471
15.7	割り込み	472
15.7.1	割り込み要因	472
16.	メモリプロテクションユニット (MPU)	473
16.1	概要	473
16.1.1	アクセス制御の種類	475
16.1.2	アクセス制御領域	475
16.1.3	バックグラウンド領域	475
16.1.4	領域のオーバーラップ	475
16.1.5	領域をまたぐ命令とデータ	475
16.2	レジスタの説明	476
16.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)	476
16.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)	477
16.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	478
16.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	479
16.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	480
16.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	481
16.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	482
16.2.8	領域サーチアドレスレジスタ (MPSA)	482
16.2.9	領域サーチオペレーションレジスタ (MPOPS)	483
16.2.10	領域インバリデートオペレーションレジスタ (MPOPI)	483

16.2.11	命令ヒット領域レジスタ (MHITI)	484
16.2.12	データヒット領域レジスタ (MHITD)	486
16.3	機能	488
16.3.1	メモリプロテクション機能	488
16.3.2	領域サーチ機能	488
16.3.3	メモリプロテクションユニット関連レジスタの保護	488
16.3.4	メモリプロテクション機能のアクセス判定フロー	489
16.4	メモリプロテクション機能使用手順	491
16.4.1	アクセス制御情報の設定	491
16.4.2	メモリプロテクション機能の有効化	491
16.4.3	ユーザモードへの移行	491
16.4.4	メモリプロテクションエラー発生時の処理	491
17.	DMA コントローラ (DMACAa)	493
17.1	概要	493
17.2	レジスタの説明	495
17.2.1	DMA 転送元アドレスレジスタ (DMSAR)	495
17.2.2	DMA 転送先アドレスレジスタ (DMDAR)	495
17.2.3	DMA 転送カウントレジスタ (DMCRA)	496
17.2.4	DMA ブロック転送カウントレジスタ (DMCRB)	497
17.2.5	DMA 転送モードレジスタ (DMTMD)	498
17.2.6	DMA 割り込み設定レジスタ (DMINT)	499
17.2.7	DMA アドレスモードレジスタ (DMAMD)	501
17.2.8	DMA オフセットレジスタ (DMOFR)	504
17.2.9	DMA 転送許可レジスタ (DMCNT)	504
17.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	505
17.2.11	DMA ステータスレジスタ (DMSTS)	506
17.2.12	DMAC 起動要因フラグ制御レジスタ (DMCSL)	507
17.2.13	DMAC モジュール起動レジスタ (DMAST)	508
17.2.14	DMAC74 割り込みステータスマニタレジスタ (DMIST)	509
17.3	動作説明	510
17.3.1	転送モード	510
17.3.2	拡張リピートエリア機能	514
17.3.3	オフセットを使ったアドレス更新機能	516
17.3.4	起動要因	520
17.3.5	動作タイミング	521
17.3.6	DMAC の実行サイクル	522
17.3.7	DMAC の起動	523
17.3.8	DMA 転送の開始	524
17.3.9	DMA 転送中のレジスタ	524
17.3.10	チャンネルの優先順位	525

17.4	DMA 転送終了	526
17.4.1	設定した総データ転送による転送終了	526
17.4.2	リピートサイズ終了割り込みによる転送終了	526
17.4.3	拡張リピートエリアオーバフロー割り込みによる転送終了	527
17.5	割り込み	528
17.6	イベントリンク	530
17.7	消費電力低減機能	531
17.8	使用上の注意事項	532
17.8.1	外部デバイスを使用する場合	532
17.8.2	周辺モジュールへ DMA 転送する場合	532
17.8.3	DMA 動作中のレジスタアクセスについて	532
17.8.4	予約領域への DMA 転送について	532
17.8.5	DMAC 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの 割り込み要求について	532
17.8.6	割り込みコントローラの DMAC 起動要因選択レジスタ (ICU.DMRSRm) の設定	532
17.8.7	DMA 転送の保留 / 再開方法	532
18.	データトランスファコントローラ (DTCb)	533
18.1	概要	533
18.2	レジスタの説明	535
18.2.1	DTC モードレジスタ A (MRA)	535
18.2.2	DTC モードレジスタ B (MRB)	537
18.2.3	DTC モードレジスタ C (MRC)	539
18.2.4	DTC 転送元レジスタ (SAR)	540
18.2.5	DTC 転送先レジスタ (DAR)	540
18.2.6	DTC 転送カウントレジスタ A (CRA)	541
18.2.7	DTC 転送カウントレジスタ B (CRB)	542
18.2.8	DTC コントロールレジスタ (DTCCR)	542
18.2.9	DTC ベクタベースレジスタ (DTCVBR)	543
18.2.10	DTC アドレスモードレジスタ (DTCADM)	543
18.2.11	DTC モジュール起動レジスタ (DTCST)	544
18.2.12	DTC ステータスレジスタ (DTCSTS)	545
18.2.13	DTC インデックステーブルベースレジスタ (DTCIBR)	546
18.2.14	DTC オペレーションレジスタ (DTCOR)	547
18.2.15	DTC シーケンス転送許可レジスタ (DTCSQE)	548
18.2.16	DTC アドレスディスプレイメントレジスタ (DTCDISP)	548
18.3	起動要因	549
18.3.1	転送情報の配置と DTC ベクタテーブル	549
18.4	動作説明	551
18.4.1	転送情報リードスキップ機能	553
18.4.2	転送情報ライトバックスキップ機能	554

18.4.2.1	アドレス固定によるライトバックスキップ	554
18.4.2.2	MRA.WBDIS ビットによるライトバックスキップ	554
18.4.3	ノーマル転送モード	555
18.4.4	リピート転送モード	556
18.4.5	ブロック転送モード	557
18.4.6	チェーン転送	558
18.4.7	動作タイミング	559
18.4.8	DTC の実行サイクル	562
18.4.9	DTC のバス権解放タイミング	562
18.4.10	シーケンス転送	563
18.4.11	DTC インデックステーブル	565
18.4.12	シーケンス転送の動作例	567
18.5	DTC の設定手順	573
18.6	DTC 使用例	574
18.6.1	ノーマル転送	574
18.6.2	カウンタが“0”のときのチェーン転送	575
18.6.3	シーケンス転送	576
18.7	割り込み要因	577
18.8	イベントリンク	577
18.9	消費電力低減機能	578
18.10	使用上の注意事項	579
18.10.1	転送情報先頭アドレス	579
18.10.2	転送情報の配置	579
18.10.3	割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定	580
18.10.4	シーケンス転送使用時の注意事項	580
19.	イベントリンクコントローラ (ELC)	581
19.1	概要	581
19.2	レジスタの説明	582
19.2.1	イベントリンクコントロールレジスタ (ELCR)	582
19.2.2	イベントリンク設定レジスタ n (ELSRn) (n = 0, 3, 4, 7, 10 ~ 13, 15, 16, 18 ~ 28, 30, 31, 32, 56)	583
19.2.3	イベントリンクオプション設定レジスタ A (ELOPA)	588
19.2.4	イベントリンクオプション設定レジスタ B (ELOPB)	588
19.2.5	イベントリンクオプション設定レジスタ C (ELOPC)	589
19.2.6	イベントリンクオプション設定レジスタ D (ELOPD)	589
19.2.7	イベントリンクオプション設定レジスタ E (ELOPE)	590
19.2.8	ポートグループ指定レジスタ n (PGRn) (n = 1, 2)	591
19.2.9	ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)	592
19.2.10	ポートバッファレジスタ n (PDBFn) (n = 1, 2)	593
19.2.11	イベント接続ポート指定レジスタ m (PELm) (m = 0 ~ 3)	594

19.2.12	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)	595
19.3	動作説明	596
19.3.1	割り込み処理とイベントリンクの関係	596
19.3.2	イベントのリンク	597
19.3.3	タイマ系周辺モジュールのイベント信号入力時の動作	598
19.3.4	A/D コンバータ、D/A コンバータのイベント信号入力時の動作	598
19.3.5	I/O ポートのイベント信号入力時の動作とイベント生成	598
19.3.6	イベントリンクの動作設定手順例	602
19.4	使用上の注意事項	603
19.4.1	ELSRn レジスタの設定について	603
19.4.2	出力ポートグループのビットローテート動作の設定について	603
19.4.3	DMA/DTC 転送終了のイベント信号使用時の注意事項	603
19.4.4	クロック設定について	603
19.4.5	モジュールストップ機能の設定	603
20.	I/O ポート	604
20.1	概要	604
20.2	入出力ポートの構成	606
20.3	レジスタの説明	610
20.3.1	ポート方向レジスタ (PDR)	610
20.3.2	ポート出力データレジスタ (PODR)	611
20.3.3	ポート入力データレジスタ (PIDR)	612
20.3.4	ポートモードレジスタ (PMR)	613
20.3.5	オープンドレイン制御レジスタ 0 (ODR0)	614
20.3.6	オープンドレイン制御レジスタ 1 (ODR1)	615
20.3.7	プルアップ制御レジスタ (PCR)	616
20.3.8	駆動能力制御レジスタ (DSCR)	617
20.4	ポート方向レジスタ (PDR) の初期化	618
20.5	未使用端子の処理	623
21.	マルチファンクションピンコントローラ (MPC)	624
21.1	概要	624
21.2	レジスタの説明	637
21.2.1	書き込みプロテクトレジスタ (PWPR)	637
21.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 3, 5, 7)	638
21.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)	640
21.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)	642
21.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4, 6, 7)	644
21.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)	646
21.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 6)	647
21.2.8	P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 7)	649
21.2.9	P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 7)	650

21.2.10	P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 3, 6, 7)	651
21.2.11	P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 3)	652
21.2.12	PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)	653
21.2.13	PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)	656
21.2.14	PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)	658
21.2.15	PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)	660
21.2.16	PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)	661
21.2.17	PF5 端子機能制御レジスタ (PF5PFS)	663
21.2.18	PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)	664
21.2.19	PJn 端子機能制御レジスタ (PJnPFS) (n = 1, 3, 5)	665
21.2.20	PKn 端子機能制御レジスタ (PKnPFS) (n = 2 ~ 5)	666
21.2.21	CS 出力許可レジスタ (PFCSE)	667
21.2.22	CS 出力端子選択レジスタ 0 (PFCSS0)	668
21.2.23	アドレス出力許可レジスタ 0 (PFAOE0)	669
21.2.24	アドレス出力許可レジスタ 1 (PFAOE1)	670
21.2.25	外部バス制御レジスタ 0 (PFBCR0)	671
21.2.26	外部バス制御レジスタ 1 (PFBCR1)	672
21.2.27	外部バス制御レジスタ 2 (PFBCR2)	673
21.2.28	外部バス制御レジスタ 3 (PFBCR3)	673
21.3	外部バスインタフェース設定方法	674
21.4	使用上の注意事項	676
21.4.1	端子入出力機能設定手順	676
21.4.2	MPC レジスタ設定する場合の注意事項	676
21.4.3	アナログ機能を使う場合の注意事項	677
22.	マルチファンクションタイマパルスユニット 3 (MTU3a)	678
22.1	概要	678
22.2	レジスタの説明	684
22.2.1	タイマコントロールレジスタ (TCR)	684
22.2.2	タイマコントロールレジスタ 2 (TCR2)	686
22.2.3	タイマモードレジスタ 1 (TMDR1)	690
22.2.4	タイマモードレジスタ 2m (TMDR2m) (m = A, B)	692
22.2.5	タイマモードレジスタ 3 (TMDR3)	693
22.2.6	タイマ I/O コントロールレジスタ (TIOR)	695
22.2.7	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	712
22.2.8	タイマインタラプトイネーブルレジスタ (TIER)	713
22.2.9	タイマステータスレジスタ (TSR)	716
22.2.10	タイマバッファ動作転送モードレジスタ (TBTM)	717
22.2.11	タイマインプットキャプチャコントロールレジスタ (TICCR)	718
22.2.12	タイマシンクロクリアレジスタ (TSYCR)	719
22.2.13	タイマカウンタ (TCNT)	720

22.2.14	タイマロングワードカウンタ (TCNTLW)	721
22.2.15	タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)	722
22.2.16	タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B)	723
22.2.17	タイマスタートレジスタ (TSTRA, TSTRB, TSTR)	724
22.2.18	タイマシンクロレジスタ m (TSYRm) (m = A, B)	726
22.2.19	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	728
22.2.20	タイマリードライトイネーブルレジスタ m (TRWERm) (m = A, B)	730
22.2.21	タイマアウトプットマスタイネーブルレジスタ m (TOERm) (m = A, B)	731
22.2.22	タイマアウトプットコントロールレジスタ 1m (TOCR1m) (m = A, B)	733
22.2.23	タイマアウトプットコントロールレジスタ 2m (TOCR2m) (m = A, B)	735
22.2.24	タイマアウトプットレベルバッファレジスタ m (TOLBRm) (m = A, B)	738
22.2.25	タイマゲートコントロールレジスタ A (TGCR A)	739
22.2.26	タイマサブカウンタ m (TCNTSm) (m = A, B)	741
22.2.27	タイマ周期データレジスタ m (TCDRm) (m = A, B)	741
22.2.28	タイマ周期バッファレジスタ m (TCBRm) (m = A, B)	742
22.2.29	タイマデッドタイムデータレジスタ m (TDDRm) (m = A, B)	742
22.2.30	タイマデッドタイムイネーブルレジスタ m (TDERm) (m = A, B)	743
22.2.31	タイマバッファ転送設定レジスタ m (TBTERm) (m = A, B)	744
22.2.32	タイマ波形コントロールレジスタ m (TWCRm) (m = A, B)	745
22.2.33	ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, 6, 7, 8, C)	747
22.2.34	ノイズフィルタコントロールレジスタ 5 (NFCR5)	750
22.2.35	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	751
22.2.36	タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)	755
22.2.37	タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B)	755
22.2.38	タイマ割り込み間引きモードレジスタ m (TITMRm) (m = A, B)	756
22.2.39	タイマ割り込み間引き設定レジスタ 1m (TITCR1m) (m = A, B)	757
22.2.40	タイマ割り込み間引き回数カウンタ 1m (TITCNT1m) (m = A, B)	759
22.2.41	タイマ割り込み間引き設定レジスタ 2m (TITCR2m) (m = A, B)	761
22.2.42	タイマ割り込み間引き回数カウンタ 2m (TITCNT2m) (m = A, B)	763
22.3	動作説明	765
22.3.1	基本動作	765
22.3.2	同期動作	771
22.3.3	バッファ動作	773
22.3.4	カスケード接続動作	778
22.3.5	PWM モード	783
22.3.6	位相計数モード	788
22.3.6.1	16 ビット位相計数モード	788
22.3.6.2	カスケード接続 32 ビット位相計数モード	800
22.3.7	リセット同期 PWM モード	803
22.3.8	相補 PWM モード	806

22.3.9	A/D 変換開始要求ディレイド機能	848
22.3.10	MTU0 ~ MTU4、MTU6、MTU7 の同期動作	855
22.3.11	外部パルス幅測定機能	858
22.3.12	デッドタイム補償用機能	859
22.3.13	相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作	861
22.3.14	ノイズフィルタ機能	862
22.4	割り込み要因	863
22.4.1	割り込み要因と優先順位	863
22.4.2	DTC/DMAC の起動	865
22.4.3	A/D コンバータの起動	866
22.5	動作タイミング	868
22.5.1	入出力タイミング	868
22.5.2	割り込み信号タイミング	874
22.6	使用上の注意事項	877
22.6.1	モジュールストップ機能の設定	877
22.6.2	カウントクロックの制限事項	877
22.6.3	周期設定上の注意事項	877
22.6.4	TCNT への書き込みとクリアの競合	878
22.6.5	TCNT への書き込みとカウントアップの競合	878
22.6.6	TGR レジスタへの書き込みとコンペアマッチの競合	879
22.6.7	バッファレジスタへの書き込みとコンペアマッチの競合	879
22.6.8	バッファレジスタへの書き込みと TCNT クリアの競合	880
22.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	880
22.6.10	TGR レジスタへの書き込みとインプットキャプチャの競合	881
22.6.11	バッファレジスタへの書き込みとインプットキャプチャの競合	882
22.6.12	カスケード接続における MTU2.TCNT への書き込みとオーバフロー / アンダフローの競合	883
22.6.13	相補 PWM モードでのカウント動作停止時のカウンタ値	884
22.6.14	相補 PWM モードでのバッファ動作の設定	884
22.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチ	885
22.6.16	リセット同期 PWM モードのオーバフロー	886
22.6.17	オーバフロー / アンダフローとカウンタクリアの競合	887
22.6.18	TCNT への書き込みとオーバフロー / アンダフローの競合	887
22.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する 場合の注意事項	888
22.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	888
22.6.21	カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ ...	888
22.6.22	割り込み間引き機能 2	889
22.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	889
22.6.24	タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の 注意事項	889

22.6.25	相補 PWM モード同期クリアするときの異常動作防止の注意事項	890
22.6.26	ELC イベント入力の時タイマモードレジスタ設定の注意事項	891
22.6.27	コンペアマッチによる割り込み信号の連続出力	892
22.6.28	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	892
22.7	MTU 出力端子の初期化方法	894
22.7.1	動作モード	894
22.7.2	動作中の異常などによる再設定時の動作	894
22.7.3	動作中の異常などによる端子の初期化手順、モード移行の概要	895
22.8	ELC によるリンク動作	925
22.8.1	ELC へのイベント信号出力	925
22.8.2	ELC からのイベント信号受信によるアクション動作	925
22.8.3	ELC からのイベント信号受信による動作に関する注意事項	926
23.	ポートアウトプットイネーブル 3 (POE3a)	927
23.1	概要	927
23.2	レジスタの説明	930
23.2.1	入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	930
23.2.2	入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	931
23.2.3	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	932
23.2.4	入力レベルコントロール/ステータスレジスタ 4 (ICSR4)	933
23.2.5	入力レベルコントロール/ステータスレジスタ 5 (ICSR5)	934
23.2.6	入力レベルコントロール/ステータスレジスタ 6 (ICSR6)	935
23.2.7	出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	936
23.2.8	出力レベルコントロール/ステータスレジスタ 2 (OCSR2)	937
23.2.9	アクティブレベルレジスタ 1 (ALR1)	938
23.2.10	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	940
23.2.11	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	941
23.2.12	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	942
23.2.13	ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)	944
23.2.14	ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)	946
23.2.15	MTU0 端子選択レジスタ 1 (M0SELR1)	947
23.2.16	MTU0 端子選択レジスタ 2 (M0SELR2)	948
23.2.17	MTU3 端子選択レジスタ (M3SELR)	949
23.2.18	MTU4 端子選択レジスタ 1 (M4SELR1)	950
23.2.19	MTU4 端子選択レジスタ 2 (M4SELR2)	951
23.3	動作説明	952
23.3.1	MTU 端子選択	957
23.3.2	入力レベル検出動作	958
23.3.3	出力レベル比較動作	959
23.3.4	レジスタによるハイインピーダンス制御	960
23.3.5	発振停止検出検知によるハイインピーダンス制御	960

23.3.6	ハイインピーダンス制御条件の追加機能	960
23.3.7	ハイインピーダンス状態の解除	960
23.4	POE3 設定手順	961
23.5	割り込み	961
23.6	使用上の注意事項	962
23.6.1	低消費電力モードへの遷移	962
23.6.2	MTU 端子非選択時のハイインピーダンス制御	962
23.6.3	POE3 を使用しない場合について	962
24.	8 ビットタイマ (TMRb)	963
24.1	概要	963
24.2	レジスタの説明	968
24.2.1	タイマカウンタ (TCNT)	968
24.2.2	タイムコンスタントレジスタ A (TCORA)	969
24.2.3	タイムコンスタントレジスタ B (TCORB)	969
24.2.4	タイマコントロールレジスタ (TCR)	970
24.2.5	タイマカウンタコントロールレジスタ (TCCR)	971
24.2.6	タイマコントロール/ステータスレジスタ (TCSR)	973
24.2.7	タイマカウンタスタートレジスタ (TCSTR)	975
24.3	動作説明	976
24.3.1	パルス出力	976
24.3.2	外部カウンタリセット入力	977
24.4	動作タイミング	978
24.4.1	TCNT カウンタのカウントタイミング	978
24.4.2	コンペアマッチ時の割り込みタイミング	979
24.4.3	コンペアマッチ時の出力信号タイミング	979
24.4.4	コンペアマッチによるカウンタクリアタイミング	980
24.4.5	TCNT カウンタの外部リセットタイミング	980
24.4.6	オーバフローによる割り込みタイミング	981
24.5	カスケード接続時の動作	982
24.5.1	16 ビットカウントモード	982
24.5.2	コンペアマッチカウントモード	982
24.6	割り込み要因	983
24.6.1	割り込み要因と DTC 起動	983
24.6.2	A/D コンバータの起動	983
24.7	ELC によるリンク動作	984
24.7.1	ELC へのイベント信号出力	984
24.7.2	ELC からのイベント信号受信による TMR 動作	984
24.7.3	ELC からのイベント信号受信による TMR の注意事項	985
24.8	使用上の注意事項	986
24.8.1	モジュールストップ機能の設定	986

24.8.2	周期設定上の注意	986
24.8.3	TCNT カウンタへの書き込みとカウンタクリアの競合	986
24.8.4	TCNT カウンタへの書き込みとカウントアップの競合	987
24.8.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	987
24.8.6	コンペアマッチ A、B の競合	988
24.8.7	内部クロックの切り替えと TCNT カウンタの動作	988
24.8.8	カスケード接続時のクロックソース設定	990
24.8.9	コンペアマッチ割り込みの連続出力	990
25.	コンペアマッチタイマ (CMT)	991
25.1	概要	991
25.2	レジスタの説明	992
25.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	992
25.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	992
25.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	993
25.2.4	コンペアマッチタイマカウンタ (CMCNT)	994
25.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	994
25.3	動作説明	995
25.3.1	周期カウント動作	995
25.3.2	CMCNT カウンタのカウントタイミング	995
25.4	割り込み	996
25.4.1	割り込み要因	996
25.4.2	コンペアマッチ割り込みの発生タイミング	996
25.5	ELC によるリンク動作	997
25.5.1	ELC へのイベント信号出力	997
25.5.2	ELC からのイベント信号受信による CMT の動作	997
25.5.3	ELC からのイベント信号受信による CMT の注意事項	997
25.6	使用上の注意事項	998
25.6.1	モジュールストップ機能の設定	998
25.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	998
25.6.3	CMCNT カウンタへの書き込みとカウントアップの競合	998
26.	コンペアマッチタイマ W (CMTW)	999
26.1	概要	999
26.2	レジスタの説明	1001
26.2.1	タイマスタートレジスタ (CMWSTR)	1001
26.2.2	タイマコントロールレジスタ (CMWCR)	1002
26.2.3	タイマ I/O コントロールレジスタ (CMWIOR)	1004
26.2.4	タイマカウンタ (CMWCNT)	1005
26.2.5	コンペアマッチコンスタントレジスタ (CMWCOR)	1005
26.2.6	インプットキャプチャレジスタ n (CMWICRn) (n = 0, 1)	1006
26.2.7	アウトプットコンペアレジスタ n (CMWOCRn) (n = 0, 1)	1006

26.3	動作説明	1007
26.3.1	周期カウント動作	1007
26.3.2	コンペアマッチ機能	1007
26.3.3	アウトプットコンペア機能	1009
26.3.4	インプットキャプチャ機能	1010
26.3.5	カウンタサイズ	1011
26.3.6	CMWCNT カウンタのカウントタイミング	1011
26.3.7	アウトプットコンペア出力タイミング	1012
26.3.8	インプットキャプチャタイミング	1012
26.4	割り込み	1013
26.4.1	CMTW の割り込み要因と DMAC/DTC	1013
26.4.2	コンペアマッチ割り込みの発生タイミング	1014
26.5	使用上の注意事項	1016
26.5.1	モジュールストップ機能の設定	1016
26.5.2	CMWCNT カウンタへの書き込みとコンペアマッチの競合	1016
26.5.3	CMWCNT カウンタへの書き込みとカウントアップ/カウンタクリアの競合	1017
26.5.4	CMWCOR レジスタへの書き込みとコンペアマッチの競合	1017
26.5.5	CMWOCR _n レジスタへの書き込みとコンペアマッチの競合 (n = 0, 1)	1018
26.5.6	CMWCNT カウンタの読み出しとカウントアップ/カウンタクリアの競合	1018
26.5.7	CMWICR _n レジスタの読み出しとインプットキャプチャの競合 (n = 0, 1)	1019
27.	リアルタイムクロック (RTCC)	1020
27.1	概要	1020
27.2	レジスタの説明	1022
27.2.1	64Hz カウンタ (R64CNT)	1022
27.2.2	秒カウンタ (RSECCNT)/ バイナリカウンタ 0 (BCNT0)	1023
27.2.3	分カウンタ (RMINCNT)/ バイナリカウンタ 1 (BCNT1)	1024
27.2.4	時カウンタ (RHRCNT)/ バイナリカウンタ 2 (BCNT2)	1025
27.2.5	曜日カウンタ (RWKCNT)/ バイナリカウンタ 3 (BCNT3)	1026
27.2.6	日カウンタ (RDAYCNT)	1027
27.2.7	月カウンタ (RMONCNT)	1028
27.2.8	年カウンタ (RYRCNT)	1029
27.2.9	秒アラームレジスタ (RSECAR)/ バイナリカウンタ 0 アラームレジスタ (BCNT0AR)	1030
27.2.10	分アラームレジスタ (RMINAR)/ バイナリカウンタ 1 アラームレジスタ (BCNT1AR)	1031
27.2.11	時アラームレジスタ (RHRAR)/ バイナリカウンタ 2 アラームレジスタ (BCNT2AR)	1032
27.2.12	曜日アラームレジスタ (RWKAR)/ バイナリカウンタ 3 アラームレジスタ (BCNT3AR)	1034
27.2.13	日アラームレジスタ (RDAYAR)/ バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)	1035

27.2.14	月アラームレジスタ (RMONAR)/ バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)	1036
27.2.15	年アラームレジスタ (RYRAR)/ バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)	1037
27.2.16	年アラーム許可レジスタ (RYRAREN)/ バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)	1038
27.2.17	RTC コントロールレジスタ 1 (RCR1)	1039
27.2.18	RTC コントロールレジスタ 2 (RCR2)	1041
27.2.19	RTC コントロールレジスタ 3 (RCR3)	1044
27.2.20	RTC コントロールレジスタ 4 (RCR4)	1045
27.2.21	時間誤差補正レジスタ (RADJ)	1046
27.2.22	時間キャプチャ制御レジスタ n (RTCCRn) (n = 0 ~ 2)	1047
27.2.23	秒キャプチャレジスタ n (RSECCPn) (n = 0 ~ 2)/BCNT0 キャプチャレジスタ n (BCNT0CPn) (n = 0 ~ 2)	1049
27.2.24	分キャプチャレジスタ n (RMINCPn) (n = 0 ~ 2)/BCNT1 キャプチャレジスタ n (BCNT1CPn) (n = 0 ~ 2)	1050
27.2.25	時キャプチャレジスタ n (RHRCpN) (n = 0 ~ 2)/BCNT2 キャプチャレジスタ n (BCNT2CPn) (n = 0 ~ 2)	1051
27.2.26	日キャプチャレジスタ n (RDAYCPn) (n = 0 ~ 2)/BCNT3 キャプチャレジスタ n (BCNT3CPn) (n = 0 ~ 2)	1052
27.2.27	月キャプチャレジスタ n (RMONCPn) (n = 0 ~ 2)	1053
27.3	動作説明	1054
27.3.1	電源投入後のレジスタの初期設定概要	1054
27.3.2	クロックとカウントモード設定手順	1055
27.3.3	時刻設定手順	1056
27.3.4	30 秒調整手順	1056
27.3.5	64Hz カウンタおよび時刻読み出し手順	1057
27.3.6	アラーム機能	1058
27.3.7	アラーム割り込み禁止手順	1059
27.3.8	時計誤差補正機能	1059
27.3.8.1	自動補正機能	1060
27.3.8.2	ソフトウェアによる補正	1061
27.3.8.3	補正モードの変更手順	1061
27.3.8.4	補正機能の停止手順	1061
27.3.9	時間キャプチャ機能	1062
27.4	割り込み要因	1063
27.5	イベントリンク出力機能	1065
27.5.1	割り込み処理とイベントリンクの関係	1065
27.6	使用上の注意事項	1066
27.6.1	カウント動作時のレジスタ書き込みについて	1066
27.6.2	周期割り込みの使用について	1066
27.6.3	RTCCOUT (1Hz/64Hz) 出力について	1066

27.6.4	レジスタ設定後の低消費電力モード移行について	1067
27.6.5	レジスタの書き込み / 読み出し時の注意事項	1067
27.6.6	カウントモードの変更について	1067
27.6.7	リアルタイムクロックを使用しない場合の初期化手順	1068
28.	ウォッチドッグタイマ (WDTA)	1069
28.1	概要	1069
28.2	レジスタの説明	1070
28.2.1	WDT リフレッシュレジスタ (WDTRR)	1070
28.2.2	WDT コントロールレジスタ (WDTCR)	1071
28.2.3	WDT ステータスレジスタ (WDTSR)	1074
28.2.4	WDT リセットコントロールレジスタ (WDTRCR)	1075
28.2.5	オプション機能選択レジスタ 0 (OFS0)	1075
28.3	動作説明	1076
28.3.1	カウント開始条件別の各動作	1076
28.3.1.1	レジスタスタートモード	1076
28.3.1.2	オートスタートモード	1078
28.3.2	WDTCR レジスタ、WDTRCR レジスタ書き込み制御	1080
28.3.3	リフレッシュ動作	1080
28.3.4	リセット出力	1081
28.3.5	割り込み要因	1082
28.3.6	ダウンカウンタ値の読み出し	1082
28.3.7	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応	1083
29.	独立ウォッチドッグタイマ (IWDTa)	1084
29.1	概要	1084
29.2	レジスタの説明	1086
29.2.1	IWDT リフレッシュレジスタ (IWDTRR)	1086
29.2.2	IWDT コントロールレジスタ (IWDTCR)	1087
29.2.3	IWDT ステータスレジスタ (IWDTSR)	1090
29.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	1091
29.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	1092
29.2.6	オプション機能選択レジスタ 0 (OFS0)	1092
29.3	動作説明	1093
29.3.1	カウント開始条件別の各動作	1093
29.3.1.1	レジスタスタートモード	1093
29.3.1.2	オートスタートモード	1095
29.3.2	IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御	1097
29.3.3	リフレッシュ動作	1098
29.3.4	ステータスフラグ	1100
29.3.5	リセット出力	1100
29.3.6	割り込み要因	1100

29.3.7	カウンタ値の読み出し	1101
29.3.8	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	1102
29.4	ELC によるリンク動作	1102
29.5	使用上の注意事項	1102
29.5.1	リフレッシュ動作について	1102
29.5.2	クロック分周比の設定	1102
30.	シリアルコミュニケーションインタフェース (SClk, SCIm, SCIh)	1103
30.1	概要	1103
30.2	レジスタの説明	1116
30.2.1	レシーブシフトレジスタ (RSR)	1116
30.2.2	レシーブデータレジスタ (RDR)	1116
30.2.3	レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)	1117
30.2.4	受信 FIFO データレジスタ (FRDR)	1118
30.2.5	トランスミットデータレジスタ (TDR)	1119
30.2.6	トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)	1120
30.2.7	送信 FIFO データレジスタ (FTDR)	1121
30.2.8	トランスミットシフトレジスタ (TSR)	1121
30.2.9	シリアルモードレジスタ (SMR)	1122
30.2.10	シリアルコントロールレジスタ (SCR)	1126
30.2.11	シリアルステータスレジスタ (SSR/SSRFIFO)	1131
30.2.12	スマートカードモードレジスタ (SCMR)	1139
30.2.13	ビットレートレジスタ (BRR)	1141
30.2.14	モジュレーションデューティレジスタ (MDDR)	1153
30.2.15	シリアル拡張モードレジスタ (SEMR)	1155
30.2.16	ノイズフィルタ設定レジスタ (SNFR)	1158
30.2.17	I ² C モードレジスタ 1 (SIMR1)	1159
30.2.18	I ² C モードレジスタ 2 (SIMR2)	1160
30.2.19	I ² C モードレジスタ 3 (SIMR3)	1161
30.2.20	I ² C ステータスレジスタ (SISR)	1163
30.2.21	SPI モードレジスタ (SPMR)	1164
30.2.22	FIFO コントロールレジスタ (FCR)	1166
30.2.23	FIFO データカウントレジスタ (FDR)	1168
30.2.24	ラインステータスレジスタ (LSR)	1169
30.2.25	比較データレジスタ (CDR)	1170
30.2.26	データ比較制御レジスタ (DCCR)	1171
30.2.27	シリアルポートレジスタ (SPTR)	1173
30.2.28	送受信タイミング選択レジスタ (TMGR)	1175
30.2.29	拡張シリアルモード有効レジスタ (ESMER)	1177
30.2.30	コントロールレジスタ 0 (CR0)	1177
30.2.31	コントロールレジスタ 1 (CR1)	1178

30.2.32	コントロールレジスタ 2 (CR2)	1179
30.2.33	コントロールレジスタ 3 (CR3)	1180
30.2.34	ポートコントロールレジスタ (PCR)	1180
30.2.35	割り込みコントロールレジスタ (ICR)	1181
30.2.36	ステータスレジスタ (STR)	1182
30.2.37	ステータスクリアレジスタ (STCR)	1183
30.2.38	Control Field 0 データレジスタ (CF0DR)	1183
30.2.39	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	1184
30.2.40	Control Field 0 受信データレジスタ (CF0RR)	1184
30.2.41	プライマリ Control Field 1 データレジスタ (PCF1DR)	1184
30.2.42	セカンダリ Control Field 1 データレジスタ (SCF1DR)	1185
30.2.43	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	1185
30.2.44	Control Field 1 受信データレジスタ (CF1RR)	1185
30.2.45	タイマコントロールレジスタ (TCR)	1186
30.2.46	タイマモードレジスタ (TMR)	1186
30.2.47	タイマプリスケアラレジスタ (TPRE)	1187
30.2.48	タイマカウントレジスタ (TCNT)	1187
30.3	調歩同期式モードの動作	1188
30.3.1	シリアル送信 / 受信フォーマット	1188
30.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	1190
30.3.2.1	受信データのサンプリングタイミング調整	1191
30.3.2.2	送信データの変化タイミング調整	1192
30.3.3	クロック	1193
30.3.4	倍速モードと 6 分周モード	1193
30.3.5	CTS、RTS 機能	1194
30.3.6	データ一致検出機能	1194
30.3.7	SCI の初期化 (調歩同期式モード)	1197
30.3.8	シリアルデータの送信 (調歩同期式モード)	1200
30.3.9	シリアルデータの受信 (調歩同期式モード)	1205
30.4	マルチプロセッサ通信機能	1210
30.4.1	マルチプロセッサシリアルデータ送信	1212
30.4.2	マルチプロセッサシリアルデータ受信	1213
30.5	クロック同期式モードの動作	1216
30.5.1	クロック	1216
30.5.2	CTS、RTS 機能	1217
30.5.3	SCI の初期化 (クロック同期式モード)	1218
30.5.4	シリアルデータの送信 (クロック同期式モード)	1219
30.5.5	シリアルデータの受信 (クロック同期式モード)	1224
30.5.6	シリアルデータの送受信同時動作 (クロック同期式モード)	1228
30.6	スマートカードインタフェースモードの動作	1229

30.6.1	接続例	1229
30.6.2	データフォーマット (ブロック転送モード時を除く)	1230
30.6.3	ブロック転送モード	1231
30.6.4	受信データサンプリングタイミングと受信マージン	1232
30.6.5	SCI の初期化 (スマートカードインタフェースモード)	1233
30.6.6	シリアルデータの送信 (ブロック転送モードを除く)	1235
30.6.7	シリアルの受信 (ブロック転送モードを除く)	1238
30.6.8	クロック出力制御	1240
30.7	簡易 I ² C モードの動作	1241
30.7.1	開始条件、再開条件、停止条件の生成	1242
30.7.2	クロック同期化	1244
30.7.3	SSDA 出力遅延	1245
30.7.4	SCI の初期化 (簡易 I ² C モード)	1246
30.7.5	マスタ送信動作 (簡易 I ² C モード)	1247
30.7.6	マスタ受信動作 (簡易 I ² C モード)	1249
30.7.7	バスハングアップからの回復	1251
30.8	簡易 SPI モードの動作	1252
30.8.1	マスタモード、スレーブモードと各端子の状態	1253
30.8.2	マスタモード時の SS 機能	1253
30.8.3	スレーブモード時の SS 機能	1253
30.8.4	クロックと送受信データの関係	1254
30.8.5	SCI の初期化 (簡易 SPI モード)	1254
30.8.6	シリアルデータの送受信 (簡易 SPI モード)	1255
30.9	ビットレートモジュレーション機能	1255
30.10	拡張シリアルモード制御部の動作説明	1256
30.10.1	シリアル通信プロトコル	1256
30.10.2	Start Frame 送信	1256
30.10.3	Start Frame 受信	1260
30.10.3.1	プライオリティインタラプトビット	1265
30.10.4	バス衝突検出機能	1266
30.10.5	RXDX12 端子入力デジタルフィルタ機能	1267
30.10.6	ビットレート測定機能	1268
30.10.7	RXDX12 受信データサンプリングタイミング選択機能	1269
30.10.8	タイマ	1270
30.11	ノイズ除去機能	1272
30.12	割り込み要因	1273
30.12.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1273
30.12.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	1273
30.12.3	スマートカードインタフェースモードにおける割り込み	1275
30.12.4	簡易 I ² C モードにおける割り込み	1276

30.12.5	拡張シリアルモード制御部の割り込み要求	1277
30.13	イベントリンク機能	1278
30.14	使用上の注意事項	1279
30.14.1	モジュールストップ機能の設定	1279
30.14.2	ブレークの検出と処理について	1279
30.14.3	マーク状態とブレークの送出	1279
30.14.4	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	1280
30.14.5	TDR レジスタへのライトについて	1280
30.14.6	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	1281
30.14.7	DMAC または DTC 使用上の制約事項	1282
30.14.8	通信の開始に関する注意事項	1282
30.14.9	低消費電力状態時の動作について	1282
30.14.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	1285
30.14.11	簡易 SPI モードの制約事項	1285
30.14.12	拡張シリアルモード制御部の使用上の制約事項 1	1286
30.14.13	拡張シリアルモード制御部の使用上の制約事項 2	1286
30.14.14	トランスミットイネーブルビット (TE ビット) に関する注意事項	1287
30.14.15	調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項	1287
31.	シリアルコミュニケーションインタフェース (RSCI)	1288
31.1	概要	1288
31.2	レジスタの説明	1293
31.2.1	受信シフトレジスタ (RSR)	1293
31.2.2	受信データレジスタ (RDR)	1293
31.2.3	送信データレジスタ (TDR)	1295
31.2.4	送信シフトレジスタ (TSR)	1296
31.2.5	制御レジスタ 0 (SCR0)	1297
31.2.6	制御レジスタ 1 (SCR1)	1300
31.2.7	制御レジスタ 2 (SCR2)	1305
31.2.8	制御レジスタ 3 (SCR3)	1320
31.2.9	制御レジスタ 4 (SCR4)	1324
31.2.10	I ² C モードレジスタ (SIMR)	1326
31.2.11	FIFO 制御レジスタ (FCR)	1329
31.2.12	マンチェスタモード制御レジスタ (MMCR)	1331
31.2.13	DE 信号制御レジスタ (DECR)	1335
31.2.14	拡張シリアルモード制御レジスタ 0 (XCR0)	1336
31.2.15	拡張シリアルモード制御レジスタ 1 (XCR1)	1339
31.2.16	拡張シリアルモード制御レジスタ 2 (XCR2)	1341
31.2.17	ステータスレジスタ (SSR)	1342
31.2.18	I ² C ステータスレジスタ (SISR)	1349

31.2.19	受信 FIFO ステータスレジスタ (RFSR)	1350
31.2.20	送信 FIFO ステータスレジスタ (TFSR)	1352
31.2.21	マンチェスタモードステータスレジスタ (MMSR)	1353
31.2.22	拡張シリアルモードステータスレジスタ 0 (XSR0)	1356
31.2.23	拡張シリアルモードステータスレジスタ 1 (XSR1)	1358
31.2.24	ステータスクリアレジスタ (SSCR)	1359
31.2.25	I ² C ステータスクリアレジスタ (SISCR)	1360
31.2.26	受信 FIFO ステータスクリアレジスタ (RFSCR)	1360
31.2.27	マンチェスタモードステータスクリアレジスタ (MMSCR)	1361
31.2.28	拡張シリアルモードステータスクリアレジスタ (XSCR)	1362
31.2.29	HBS サポートモード制御レジスタ (HBSCR)	1363
31.3	調歩同期式モードの動作	1364
31.3.1	シリアル送信 / 受信フォーマット	1364
31.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	1366
31.3.3	クロック	1368
31.3.4	倍速モードと 6 分周モード	1368
31.3.5	CTS、RTS 機能	1369
31.3.6	データ一致検出機能	1369
31.3.7	RSCI の初期化 (調歩同期式モード)	1372
31.3.8	シリアルデータの送信 (調歩同期式モード)	1376
31.3.9	シリアルデータの受信 (調歩同期式モード)	1382
31.3.10	調歩同期式モードの受信サンプリングタイミング調整機能	1389
31.3.11	調歩同期式モードの送信タイミング調整機能	1390
31.4	マルチプロセッサ通信機能	1391
31.4.1	マルチプロセッサシリアルデータ送信	1393
31.4.2	マルチプロセッサシリアルデータ受信	1396
31.5	マンチェスタモード	1402
31.5.1	フレームフォーマット	1402
31.5.2	クロック	1407
31.5.3	マンチェスタモード時の RSCI 初期化	1407
31.5.4	倍速動作	1408
31.5.5	CTS、RTS 機能	1409
31.5.6	マンチェスタデータ送信	1409
31.5.7	マンチェスタデータ受信	1413
31.5.8	マルチプロセッサビット使用時の動作	1417
31.5.9	受信リタイミング	1417
31.5.10	マンチェスタコードの極性設定	1419
31.5.11	マンチェスタモードにおけるエラー	1420
31.6	HBS サポートモード	1425
31.6.1	HBS サポートモードの受信	1425

31.6.2	HBS サポートモードの送信	1426
31.6.3	HBS サポートモードのレジスタ設定	1428
31.7	スマートカードインタフェースモードの動作	1429
31.7.1	接続例	1429
31.7.2	データフォーマット(ブロック転送モード時を除く)	1430
31.7.3	ブロック転送モード	1431
31.7.4	受信データサンプリングタイミングと受信マージン	1432
31.7.5	RSCI の初期化(スマートカードインタフェースモード)	1433
31.7.6	シリアルデータの送信(ブロック転送モードを除く)	1435
31.7.7	シリアルデータの受信(ブロック転送モードを除く)	1438
31.7.8	クロック出力制御	1440
31.8	拡張シリアルモードの動作	1441
31.8.1	シリアル通信プロトコル	1441
31.8.2	Start Frame 送信	1442
31.8.3	Start Frame 受信	1445
31.8.3.1	PIB 未使用時、ノーマル受信	1445
31.8.3.2	プライオリティインタラプトビット	1450
31.8.4	バス衝突検出機能	1451
31.8.5	ビットレート測定機能	1453
31.9	簡易 I ² C モードの動作	1455
31.9.1	スタートコンディション、リスタートコンディション、ストップコンディション の生成	1456
31.9.2	クロック同期化	1458
31.9.3	SDA 出力遅延	1459
31.9.4	RSCI の初期化(簡易 I ² C モード)	1460
31.9.5	マスタ送信動作(簡易 I ² C モード)	1461
31.9.6	マスタ受信動作(簡易 I ² C モード)	1466
31.10	クロック同期式モードの動作	1469
31.10.1	クロック	1469
31.10.2	CTS、RTS 機能	1470
31.10.3	RSCI の初期化(クロック同期式モード)	1471
31.10.4	シリアルデータの送信(クロック同期式モード)	1473
31.10.5	シリアルデータの受信(クロック同期式モード)	1478
31.10.6	シリアルデータの送受信同時動作(クロック同期式モード)	1483
31.10.7	クロック同期式モード内部クロック使用時の受信サンプリングタイミング 調整機能	1485
31.11	簡易 SPI モードの動作	1486
31.11.1	マスタモード、スレーブモードと各端子の状態	1487
31.11.2	マスタモード時の SS 機能	1487
31.11.3	スレーブモード時の SS 機能	1487
31.11.4	クロックと送受信データの関係	1488

31.11.5	RSCI の初期化 (簡易 SPI モード)	1488
31.11.6	シリアルデータの送受信 (簡易 SPI モード)	1489
31.11.7	簡易 SPI モード内部クロック使用時の受信サンプリングタイミング調整機能	1489
31.12	ビットレートモジュレーション機能	1489
31.13	ノイズ除去機能	1490
31.14	RS-485 ドライバ制御機能	1491
31.15	ループバック機能	1492
31.16	半二重通信機能	1493
31.17	割り込み信号	1494
31.17.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1494
31.17.2	調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み	1495
31.17.3	スマートカードインタフェースモードにおける割り込み	1497
31.17.4	簡易 I ² C モードにおける割り込み	1498
31.17.5	拡張シリアルモードにおける割り込み	1499
31.18	使用上の注意事項	1500
31.18.1	モジュールストップ機能の設定	1500
31.18.2	消費電力低減機能の注意事項	1500
31.18.3	ブレークの検出と処理について	1504
31.18.4	マーク状態とブレークの送出	1504
31.18.5	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	1504
31.18.6	TDR レジスタへのライト	1505
31.18.7	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	1505
31.18.8	DMAC または DTC 使用上の制約事項	1507
31.18.9	通信の開始に関する注意事項	1507
31.18.10	簡易 SPI モードの制約事項	1507
31.18.11	トランスミットイネーブルビット (TE ビット) に関する注意事項	1508
31.18.12	拡張シリアルモードに関する注意事項	1508
31.18.13	RS-485 ドライバ制御機能に関する注意事項	1509
31.18.14	ループバック機能に関する注意事項	1509
31.18.15	動作中断時の注意事項	1509
32.	I ² C バスインタフェース (R1ICa)	1510
32.1	概要	1510
32.2	レジスタの説明	1513
32.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	1513
32.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	1515
32.2.3	I ² C バスモードレジスタ 1 (ICMR1)	1518
32.2.4	I ² C バスモードレジスタ 2 (ICMR2)	1519
32.2.5	I ² C バスモードレジスタ 3 (ICMR3)	1521

32.2.6	I ² C バスファンクション許可レジスタ (ICFER)	1523
32.2.7	I ² C バスステータス許可レジスタ (ICSER)	1525
32.2.8	I ² C バス割り込み許可レジスタ (ICIER)	1527
32.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	1529
32.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	1531
32.2.11	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)	1534
32.2.12	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)	1535
32.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	1536
32.2.14	I ² C バスビットレート High レジスタ (ICBRH)	1537
32.2.15	I ² C バス送信データレジスタ (ICDRT)	1539
32.2.16	I ² C バス受信データレジスタ (ICDRR)	1539
32.2.17	I ² C バスシフトレジスタ (ICDRS)	1539
32.3	動作説明	1540
32.3.1	通信データフォーマット	1540
32.3.2	初期設定	1541
32.3.3	マスタ送信動作	1542
32.3.4	マスタ受信動作	1545
32.3.5	スレーブ送信動作	1551
32.3.6	スレーブ受信動作	1554
32.4	SCL 同期回路	1556
32.5	SDA 出力遅延機能	1557
32.6	デジタルノイズフィルタ回路	1558
32.7	アドレス一致検出機能	1559
32.7.1	スレーブアドレス一致検出機能	1559
32.7.2	ジェネラルコールアドレス検出機能	1561
32.7.3	デバイス ID アドレス検出機能	1562
32.7.4	ホストアドレス検出機能	1564
32.8	SCL の自動 Low ホールド機能	1565
32.8.1	送信データ誤送信防止機能	1565
32.8.2	NACK 受信転送中断機能	1566
32.8.3	受信データ取りこぼし防止機能	1567
32.9	アービトレーションロスト検出機能	1569
32.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1569
32.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	1571
32.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1572
32.10	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	1573
32.10.1	スタートコンディション発行動作	1573
32.10.2	リスタートコンディション発行動作	1573
32.10.3	ストップコンディション発行動作	1574
32.11	バスハングアップ	1575

32.11.1	タイムアウト検出機能	1575
32.11.2	SCL 追加出力機能	1576
32.11.3	RIIC リセット、内部リセット	1577
32.12	SMBus 動作	1578
32.12.1	SMBus タイムアウト測定	1578
32.12.2	パケットエラーコード (PEC)	1579
32.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	1580
32.13	割り込み要因	1581
32.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1581
32.14	リセット時/コンディション検出時のレジスタおよび機能の初期化	1582
32.15	イベントリンク機能 (出力)	1583
32.15.1	割り込み処理とイベントリンクの関係	1583
32.16	使用上の注意事項	1584
32.16.1	モジュールストップ機能の設定	1584
32.16.2	通信の開始に関する注意事項	1584
33.	CAN FD モジュール (CANFD-Lite)	1585
33.1	概要	1585
33.2	レジスタの説明	1588
33.2.1	公称ビットレート設定レジスタ (NBCR)	1588
33.2.2	チャンネル制御レジスタ (CHCR)	1590
33.2.3	チャンネルステータスレジスタ (CHSR)	1595
33.2.4	チャンネルエラーステータスレジスタ (CHESR)	1598
33.2.5	データビットレート設定レジスタ (DBCR)	1603
33.2.6	CAN FD 設定レジスタ (FDCFG)	1605
33.2.7	CAN FD 制御レジスタ (FDCTR)	1608
33.2.8	CAN FD ステータスレジスタ (FDSTS)	1609
33.2.9	CAN FD CRC レジスタ (FDCRC)	1611
33.2.10	グローバル設定レジスタ (GCFG)	1612
33.2.11	グローバル制御レジスタ (GCR)	1615
33.2.12	グローバルステータスレジスタ (GSR)	1617
33.2.13	グローバルエラーステータスレジスタ (GESR)	1618
33.2.14	送信割り込みステータスレジスタ (TISR)	1620
33.2.15	タイムスタンプカウンタレジスタ (TSCR)	1622
33.2.16	アクセプタンスフィルタリスト制御レジスタ (AFCR)	1623
33.2.17	アクセプタンスフィルタリスト設定レジスタ (AFCFG)	1624
33.2.18	アクセプタンスフィルタリスト n ID レジスタ (AFLn.IDR) (n = 0 ~ 15)	1625
33.2.19	アクセプタンスフィルタリスト n マスクレジスタ (AFLn.MASK) (n = 0 ~ 15)	1627
33.2.20	アクセプタンスフィルタリスト n ポインタレジスタ 0 (AFLn.PTR0) (n = 0 ~ 15)	1629
33.2.21	アクセプタンスフィルタリスト n ポインタレジスタ 1 (AFLn.PTR1) (n = 0 ~ 15)	1631
33.2.22	受信メッセージバッファ設定レジスタ (RMCR)	1632

33.2.23	受信メッセージバッファ新データレジスタ (RMNDR)	1633
33.2.24	受信 FIFO n 設定レジスタ (RFCRn) (n = 0, 1)	1634
33.2.25	受信 FIFO n ステータスレジスタ (RFSRn) (n = 0, 1)	1636
33.2.26	受信 FIFO n ポインタ制御レジスタ (RFPCRn) (n = 0, 1)	1638
33.2.27	共通 FIFO 0 設定レジスタ (CFCR0)	1639
33.2.28	共通 FIFO 0 ステータスレジスタ (CFSR0)	1642
33.2.29	共通 FIFO 0 ポインタ制御レジスタ (CFPCR0)	1645
33.2.30	FIFO エンプティステータスレジスタ (FESR)	1646
33.2.31	FIFO フルスステータスレジスタ (FFSR)	1647
33.2.32	FIFO メッセージロストステータスレジスタ (FMLSR)	1648
33.2.33	受信 FIFO 割り込みステータスレジスタ (RFISR)	1649
33.2.34	DMA 転送制御レジスタ (DTCR)	1650
33.2.35	DMA 転送ステータスレジスタ (DTSR)	1651
33.2.36	送信メッセージバッファ n 制御レジスタ (TMCRn) (n = 0 ~ 3)	1653
33.2.37	送信メッセージバッファ n ステータスレジスタ (TMSRn) (n = 0 ~ 3)	1655
33.2.38	送信メッセージバッファ送信要求ステータスレジスタ 0 (TMTRSR0)	1656
33.2.39	送信メッセージバッファ送信アボート要求ステータスレジスタ 0 (TMARSR0)	1657
33.2.40	送信メッセージバッファ送信完了ステータスレジスタ 0 (TMTCSR0)	1658
33.2.41	送信メッセージバッファ送信アボートステータスレジスタ 0 (TMTASR0)	1659
33.2.42	送信メッセージバッファ割り込み許可レジスタ 0 (TMIER0)	1660
33.2.43	送信キュー 0 設定レジスタ (TQCR0)	1661
33.2.44	送信キュー 0 ステータスレジスタ (TQSR0)	1663
33.2.45	送信キュー 0 ポインタ制御レジスタ (TQPCR0)	1665
33.2.46	送信履歴設定レジスタ (THCR)	1666
33.2.47	送信履歴ステータスレジスタ (THSR)	1667
33.2.48	送信履歴アクセスレジスタ 0 (THACR0)	1669
33.2.49	送信履歴アクセスレジスタ 1 (THACR1)	1670
33.2.50	送信履歴ポインタ制御レジスタ (THPCR)	1671
33.2.51	グローバルリセット制御レジスタ (GRCR)	1672
33.2.52	グローバルテストモード設定レジスタ (GTMCR)	1673
33.2.53	グローバルテストモード許可レジスタ (GTMER)	1674
33.2.54	グローバル CAN FD 設定レジスタ (GFDCFG)	1675
33.2.55	グローバルテストモードロックキーレジスタ (GTMLKR)	1676
33.2.56	RAM テストページアクセスレジスタ k (RTPARK) (k = 0 ~ 63)	1676
33.2.57	アクセプタンスフィルタ無効エン트리設定レジスタ (AFIGSR)	1677
33.2.58	アクセプタンスフィルタ無効エン트리許可レジスタ (AFIGER)	1678
33.2.59	受信メッセージバッファ割り込み許可レジスタ (RMIER)	1679
33.2.60	ID ビットの配置	1681
33.2.61	メッセージバッファの構造	1682
33.2.61.1	開始アドレス	1682

33.2.61.2	受信メッセージバッファ n (RMBn) (n = 0 ~ 31)	1683
33.2.61.3	受信メッセージバッファ n ヘッダフィールド 0 (RMBn.HF0) (n = 0 ~ 31)	1684
33.2.61.4	受信メッセージバッファ n ヘッダフィールド 1 (RMBn.HF1) (n = 0 ~ 31)	1685
33.2.61.5	受信メッセージバッファ n ヘッダフィールド 2 (RMBn.HF2) (n = 0 ~ 31)	1686
33.2.61.6	受信メッセージバッファ n データフィールド p (RMBn.DFp) (n = 0 ~ 31、p = 0 ~ 15)	1688
33.2.61.7	受信メッセージバッファ n データ k (RMBn.DATAk) (n = 0 ~ 31、k = 0 ~ 63)	1689
33.2.61.8	受信 FIFO n (RFBn) (n = 0, 1)	1690
33.2.61.9	受信 FIFO n ヘッダフィールド 0 (RFBn.HF0) (n = 0, 1)	1691
33.2.61.10	受信 FIFO n ヘッダフィールド 1 (RFBn.HF1) (n = 0, 1)	1692
33.2.61.11	受信 FIFO n ヘッダフィールド 2 (RFBn.HF2) (n = 0, 1)	1693
33.2.61.12	受信 FIFO n データフィールド p (RFBn.DFp) (n = 0, 1、p = 0 ~ 15)	1694
33.2.61.13	受信 FIFO n データ k (RFBn.DATAk) (n = 0, 1、k = 0 ~ 63)	1694
33.2.61.14	共通 FIFO 0 (CFB0)	1695
33.2.61.15	共通 FIFO 0 ヘッダフィールド 0 (CFB0.HF0)	1696
33.2.61.16	共通 FIFO 0 ヘッダフィールド 1 (CFB0.HF1)	1697
33.2.61.17	共通 FIFO 0 ヘッダフィールド 2 (CFB0.HF2)	1698
33.2.61.18	共通 FIFO 0 データフィールド p (CFB0.DFp) (p = 0 ~ 15)	1700
33.2.61.19	共通 FIFO 0 データ k (CFB0.DATAk) (k = 0 ~ 63)	1700
33.2.61.20	送信メッセージバッファ n (TMBn) (n = 0 ~ 3)	1701
33.2.61.21	送信メッセージバッファ n ヘッダフィールド 0 (TMBn.HF0) (n = 0 ~ 3)	1702
33.2.61.22	送信メッセージバッファ n ヘッダフィールド 1 (TMBn.HF1) (n = 0 ~ 3)	1703
33.2.61.23	送信メッセージバッファ n ヘッダフィールド 2 (TMBn.HF2) (n = 0 ~ 3)	1704
33.2.61.24	送信メッセージバッファ n データフィールド p (TMBn.DFp) (n = 0 ~ 3、p = 0 ~ 15)	1705
33.2.61.25	送信メッセージバッファ n データ k (TMBn.DATAk) (n = 0 ~ 3、k = 0 ~ 63)	1705
33.2.62	ECC 制御 / ステータスレジスタ (ECCSR)	1706
33.2.63	ECC テストモードレジスタ (ECTMR)	1710
33.2.64	ECC デコーダテストデータレジスタ (ECTDR)	1711
33.2.65	ECC エラーアドレスレジスタ (ECEAR)	1712
33.3	動作モード	1713
33.3.1	グローバルモード	1713
33.3.1.1	GL_SLEEP モード	1713
33.3.1.2	GL_RESET モード	1715
33.3.1.3	GL_HALT モード	1715
33.3.1.4	GL_OPERATION モード	1718
33.3.2	チャンネルモード	1719
33.3.2.1	CH_SLEEP モード	1719
33.3.2.2	CH_RESET モード	1720
33.3.2.3	CH_HALT モード	1720

33.3.2.4	CH_OPERATION モード (バスオフ状態以外)	1721
33.3.2.5	CH_OPERATION モード (バスオフ状態)	1722
33.3.3	グローバルモード遷移とチャンネルモード遷移の相互作用	1725
33.3.3.1	グローバルモードの変更タイミング	1725
33.3.3.2	チャンネルモードの変更タイミング	1726
33.4	CANFD モジュールの初期化	1727
33.4.1	CAN クロック、ビットタイミング、ビットレートの初期化	1727
33.4.1.1	ビットタイミング条件	1727
33.4.1.2	ビットタイミング	1728
33.4.1.3	ビットレート	1729
33.4.1.4	CAN クロック、ビットタイミング、ビットレートの設定	1731
33.4.1.5	トランシーバ遅延補償	1731
33.4.2	リセット後の CANFD モジュール設定	1734
33.5	アクセプタンスフィルタリスト (AFL) を使用したフィルタ処理	1736
33.5.1	アクセプタンスフィルタ処理	1736
33.5.2	DLC フィルタ処理	1736
33.5.3	メッセージ格納	1737
33.5.4	ペイロードオーバーフロー処理	1737
33.5.5	AFL エントリの割り当て	1737
33.5.6	AFL エントリの説明	1738
33.5.7	AFL へのエントリの入力	1740
33.5.8	ループバックモード	1742
33.5.9	IDE マスク処理	1743
33.5.10	通信中の AFL エントリの更新	1743
33.6	FIFO バッファとメッセージバッファの構成	1746
33.6.1	受信メッセージバッファ	1747
33.6.1.1	受信メッセージバッファの構成	1747
33.6.2	FIFO バッファ	1748
33.6.2.1	FIFO バッファの設定	1748
33.6.2.2	FIFO バッファの制御	1752
33.7	受信 / 送信	1753
33.7.1	受信	1753
33.7.1.1	受信メッセージバッファへのメッセージ格納	1753
33.7.1.2	FIFO バッファへのメッセージ格納	1755
33.7.1.3	タイムスタンプ	1757
33.7.2	送信	1757
33.7.2.1	送信優先順位	1758
33.7.2.2	送信メッセージバッファからの送信	1759
33.7.2.3	FIFO バッファからの送信	1763
33.7.2.4	送信キュー	1767

33.7.2.5	送信履歴	1768
33.7.2.6	送信データパディング	1770
33.8	ECC チェック	1771
33.8.1	ECC 機能設定	1771
33.8.2	ECC デコーダテスト	1772
33.9	テストモード	1773
33.9.1	チャンネル固有のテストモード	1773
33.9.1.1	基本テストモード	1773
33.9.1.2	リッスンオンリモード	1773
33.9.1.3	セルフテストモード 0 (外部ループバックモード)	1774
33.9.1.4	セルフテストモード 1 (内部ループバックモード)	1774
33.9.1.5	制限付き動作モード	1775
33.9.2	グローバルテストモード	1776
33.9.2.1	RAM テストモード	1777
33.9.2.2	ビットフリップテスト	1779
33.10	割り込みと DTC/DMA 転送要求	1780
33.10.1	CANFD 割り込み	1780
33.10.2	ECC 割り込み	1784
33.10.3	DTC/DMA 転送要求	1784
33.11	使用上の注意事項	1785
33.11.1	モジュールストップ機能の設定	1785
33.11.2	受信メッセージバッファと FIFO バッファの設定に関する注意事項	1785
34.	シリアルペリフェラルインタフェース (RSPId)	1786
34.1	概要	1786
34.2	レジスタの説明	1790
34.2.1	RSPI 制御レジスタ (SPCR)	1790
34.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1792
34.2.3	RSPI 端子制御レジスタ (SPPCR)	1793
34.2.4	RSPI ステータスレジスタ (SPSR)	1794
34.2.5	RSPI データレジスタ (SPDR)	1798
34.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1802
34.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1803
34.2.8	RSPI ビットレートレジスタ (SPBR)	1804
34.2.9	RSPI データコントロールレジスタ (SPDCR)	1805
34.2.10	RSPI クロック遅延レジスタ (SPCKD)	1807
34.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1808
34.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1809
34.2.13	RSPI 制御レジスタ 2 (SPCR2)	1810
34.2.14	RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)	1811
34.2.15	RSPI データコントロールレジスタ 2 (SPDCR2)	1814

34.2.16	RSPI 制御レジスタ 3 (SPCR3)	1815
34.3	動作説明	1816
34.3.1	RSPI 動作の概要	1816
34.3.2	RSPI 端子の制御	1817
34.3.3	RSPI システム構成例	1818
34.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	1818
34.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	1819
34.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	1820
34.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	1821
34.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	1822
34.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	1823
34.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	1823
34.3.4	データフォーマット	1824
34.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	1825
34.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1829
34.3.4.3	バイトスワップ送信	1833
34.3.4.4	バイトスワップ受信	1834
34.3.5	転送フォーマット	1835
34.3.5.1	CPHA ビット = 0 の場合	1835
34.3.5.2	CPHA ビット = 1 の場合	1836
34.3.6	通信動作モード	1837
34.3.6.1	全二重通信 (SPCR.TXMD = 0, SPCR3.RXMD = 0)	1837
34.3.6.2	送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0)	1838
34.3.6.3	受信のみの単方向通信 (SPCR3.RXMD = 0)	1839
34.3.7	送信バッファエンプティ / 受信バッファフル割り込み	1840
34.3.8	アイドル割り込み	1841
34.3.9	通信完了割り込み	1841
34.3.9.1	マスタモード時	1841
34.3.9.2	SPI 動作、スレーブモード時の全二重通信または送信のみの単方向通信	1842
34.3.9.3	SPI 動作、スレーブモード時の受信のみの単方向通信	1842
34.3.9.4	クロック同期式動作、スレーブモード時の全二重通信または送信のみの 単方向通信	1842
34.3.9.5	クロック同期式動作、スレーブモード時の受信のみの単方向通信	1842
34.3.10	エラー検出	1843
34.3.10.1	オーバランエラー	1844
34.3.10.2	パリティエラー	1847
34.3.10.3	モードフォルトエラー	1848
34.3.10.4	アンダランエラー	1848
34.3.11	RSPI の初期化	1849

34.3.11.1	SPE ビットのクリアによる初期化	1849
34.3.11.2	システムリセット	1849
34.3.12	SPI 動作	1850
34.3.12.1	マスタモード動作	1850
34.3.12.2	スレーブモード動作	1861
34.3.13	クロック同期式動作	1867
34.3.13.1	マスタモード動作	1867
34.3.13.2	スレーブモード動作	1871
34.3.14	ループバックモード	1873
34.3.15	パリティビット機能の自己判断	1874
34.3.16	割り込み要因	1875
34.4	イベントリンク機能によるリンク動作	1876
34.4.1	受信バッファフルイベント出力	1876
34.4.2	送信バッファエンプティイベント出力	1876
34.4.3	モードフォルト/アンダラン/オーバラン/パリティエラーイベント出力	1876
34.4.4	アイドルイベント出力	1877
34.4.5	通信完了イベント出力	1877
34.5	使用上の注意事項	1878
34.5.1	モジュールストップ機能の設定	1878
34.5.2	消費電力低減機能の注意事項	1878
34.5.3	通信の開始に関する注意事項	1878
34.5.4	SPRF/SPTEF フラグに関する注意事項	1878
35.	CRC 演算器 (CRCA)	1879
35.1	概要	1879
35.2	レジスタの説明	1880
35.2.1	CRC コントロールレジスタ (CRCCR)	1880
35.2.2	CRC データ入力レジスタ (CRCDIR)	1881
35.2.3	CRC データ出力レジスタ (CRCDOR)	1882
35.3	CRC 演算器の動作説明	1883
35.4	使用上の注意事項	1886
35.4.1	モジュールストップ機能の設定	1886
35.4.2	送信時の注意事項	1886
36.	リモコン信号受信機能 (REMCa)	1887
36.1	概要	1887
36.2	レジスタの説明	1889
36.2.1	機能選択レジスタ 0 (REMCN0)	1889
36.2.2	機能選択レジスタ 1 (REMCN1)	1890
36.2.3	ステータスレジスタ (REMSTS)	1891
36.2.4	割り込み制御レジスタ (REMINT)	1894
36.2.5	コンペア制御レジスタ (REMCPC)	1895

36.2.6	コンペア値設定レジスタ (REMC _{CPD})	1895
36.2.7	ヘッダパターン最小幅設定レジスタ (HDP _{MIN})	1896
36.2.8	ヘッダパターン最大幅設定レジスタ (HDP _{MAX})	1896
36.2.9	データ“0”パターン最小幅設定レジスタ (D0P _{MIN})	1896
36.2.10	データ“0”パターン最大幅設定レジスタ (D0P _{MAX})	1897
36.2.11	データ“1”パターン最小幅設定レジスタ (D1P _{MIN})	1897
36.2.12	データ“1”パターン最大幅設定レジスタ (D1P _{MAX})	1897
36.2.13	特殊データパターン最小幅設定レジスタ (SDP _{MIN})	1898
36.2.14	特殊データパターン最大幅設定レジスタ (SDP _{MAX})	1898
36.2.15	パターンエンド設定レジスタ (REM _{PE})	1899
36.2.16	受信ビット数レジスタ (REMR _{BIT})	1899
36.2.17	受信データ 0 レジスタ (REMDAT ₀)	1900
36.2.18	受信データ j レジスタ (REMDAT _j) (j = 1 ~ 7)	1900
36.2.19	測定結果レジスタ (REMT _{IM})	1901
36.3	動作説明	1902
36.3.1	REMC 動作の概要	1902
36.3.2	初期設定	1902
36.3.3	パターン設定	1904
36.3.4	動作クロック	1907
36.3.4.1	REMC 動作クロックとしてサブクロックを使用する場合	1907
36.3.4.2	REMC 動作クロックとして TMR コンペアマッチ出力を使用する場合	1907
36.3.5	PMC0 入力	1907
36.3.6	パターン検出	1909
36.3.6.1	ヘッダパターン検出	1910
36.3.6.2	データ“0”パターン検出	1910
36.3.6.3	データ“1”パターン検出	1911
36.3.6.4	特殊データパターン検出	1911
36.3.6.5	パターン設定レジスタの設定例	1912
36.3.6.6	パターン検出によるステータスフラグ更新動作	1912
36.3.7	パターンエンド	1914
36.3.8	受信データバッファ	1915
36.3.9	コンペア機能	1919
36.3.10	エラーパターン受信	1920
36.3.11	パターン検出時のベースタイム値格納	1922
36.3.12	割り込み	1923
36.3.13	低消費電力状態でのデータ受信動作	1924
36.3.13.1	REMC 割り込み要求による低消費電力状態からの復帰	1924
36.3.13.2	ソフトウェアスタンバイモードでのデータ受信動作	1925
36.4	使用上の注意事項	1926
36.4.1	モジュールストップ機能の設定	1926

36.4.2	周辺モジュールクロックと REMC 動作クロックの設定	1926
36.4.3	リモコン信号受信機能の動作開始、停止	1926
36.4.4	レジスタアクセス	1926
36.4.5	PMC0 入力制御	1926
36.4.6	動作クロック変更時の注意事項	1927
36.4.7	レジスタ読み出し手順	1927
37.	三角関数演算器 (TFU)	1928
37.1	概要	1928
38.	12 ビット A/D コンバータ (S12ADH)	1929
38.1	概要	1929
38.2	レジスタの説明	1934
38.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 23)、 A/D データ二重化レジスタ (ADBLDR)、 A/D データ二重化レジスタ A (ADBLDRA)、 A/D データ二重化レジスタ B (ADBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)	1934
38.2.2	A/D 自己診断データレジスタ (ADRD)	1936
38.2.3	A/D コントロールレジスタ (ADCSR)	1937
38.2.4	A/D チャネル選択レジスタ A0 (ADANSA0)	1942
38.2.5	A/D チャネル選択レジスタ A1 (ADANSA1)	1943
38.2.6	A/D チャネル選択レジスタ B0 (ADANSB0)	1944
38.2.7	A/D チャネル選択レジスタ B1 (ADANSB1)	1945
38.2.8	A/D チャネル選択レジスタ C0 (ADANSC0)	1946
38.2.9	A/D チャネル選択レジスタ C1 (ADANSC1)	1947
38.2.10	A/D チャネル変換順序設定レジスタ n (ADSCSn) (n = 0 ~ 23)	1948
38.2.11	A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0)	1950
38.2.12	A/D 変換値加算 / 平均機能チャネル選択レジスタ 1 (ADADS1)	1952
38.2.13	A/D 変換値加算 / 平均回数選択レジスタ (ADADC)	1953
38.2.14	A/D コントロール拡張レジスタ (ADCER)	1954
38.2.15	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	1956
38.2.16	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	1959
38.2.17	A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR)	1961
38.2.18	A/D グループ C トリガ選択レジスタ (ADGCTRGR)	1962
38.2.19	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 15, L, T, O)	1965
38.2.20	A/D 断線検出コントロールレジスタ (ADDISCR)	1967
38.2.21	A/D イベントリンクコントロールレジスタ (ADELCCR)	1968
38.2.22	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1969
38.2.23	A/D コンペア機能コントロールレジスタ (ADCMPCR)	1971
38.2.24	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 (ADCMPANSR0)	1973
38.2.25	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 (ADCMPANSR1)	1974
38.2.26	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)	1975

38.2.27	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)	1976
38.2.28	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)	1978
38.2.29	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)	1979
38.2.30	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)	1980
38.2.31	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)	1982
38.2.32	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSR0)	1984
38.2.33	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 (ADCMPSR1)	1986
38.2.34	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)	1987
38.2.35	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)	1988
38.2.36	A/D コンペア機能ウィンドウ B チャネル選択レジスタ (ADCMPBNSR)	1989
38.2.37	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)	1991
38.2.38	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)	1993
38.2.39	A/D コンペア機能ウィンドウ B チャネルステータスレジスタ (ADCMPBSR)	1995
38.2.40	A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR)	1995
38.2.41	A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO)	1996
38.2.42	A/D 基準電圧コントロールレジスタ (ADVREFCR)	1996
38.3	動作説明	1997
38.3.1	A/D コンバータの初期設定フロー	1997
38.3.2	スキヤンの動作説明	1998
38.3.3	シングルスキャンモード	1999
38.3.3.1	基本動作	1999
38.3.3.2	チャネル選択と自己診断	2000
38.3.3.3	温度センサ出力 / 内部基準電圧選択時の A/D 変換動作	2001
38.3.3.4	ダブルトリガモード選択時の動作	2002
38.3.3.5	ダブルトリガ拡張モードの動作	2003
38.3.4	連続スキャンモード	2005
38.3.4.1	基本動作	2005
38.3.4.2	チャネル選択と自己診断	2006
38.3.5	グループスキャンモード	2007
38.3.5.1	基本動作	2007
38.3.5.2	ダブルトリガモード選択時の動作	2010
38.3.5.3	グループ優先制御動作	2012
38.3.6	コンペア機能 (ウィンドウ A、ウィンドウ B)	2030
38.3.6.1	コンペア機能ウィンドウ A/B	2030
38.3.6.2	コンペア機能制約	2031
38.3.7	アナログ入力のサンプリング時間とスキャン変換時間	2032
38.3.7.1	グループ優先動作でのスキャン中断 / 開始タイミング	2035
38.3.8	A/D データレジスタの自動クリア機能の使用例	2036
38.3.9	A/D 変換値加算 / 平均機能	2036
38.3.10	断線検出アシスト機能	2036

38.3.11	非同期トリガによる A/D 変換の開始	2038
38.3.12	周辺モジュールからの同期トリガによる A/D 変換の開始	2038
38.3.13	任意チャンネル順変換機能	2039
38.3.14	内部基準電圧モニタ機能	2040
38.4	割り込み要因と DTC、DMA 転送要求	2042
38.4.1	割り込み要求	2042
38.4.2	ELC へのスキャン終了イベント出力	2042
38.5	許容信号源インピーダンスについて	2043
38.6	使用上の注意事項	2044
38.6.1	データレジスタの読み出し注意事項	2044
38.6.2	A/D 変換停止時の注意事項	2044
38.6.2.1	A/D 変換停止手順	2044
38.6.2.2	モード/ステータスフラグの注意事項	2046
38.6.3	A/D 変換強制停止と開始時の動作タイミング	2046
38.6.4	スキャン終了割り込み処理の注意事項	2046
38.6.5	モジュールストップ機能の設定	2046
38.6.6	低消費電力状態への遷移時の注意	2047
38.6.7	ソフトウェアスタンバイモード解除時の注意	2047
38.6.8	外部バス使用時の注意事項	2047
38.6.9	断線検出アシスト機能使用時の絶対精度誤差	2047
38.6.10	アナログ電源端子他の設定範囲	2048
38.6.11	ボード設計上の注意	2048
38.6.12	ノイズ対策上の注意	2049
39.	12 ビット D/A コンバータ (R12DAb)	2050
39.1	概要	2050
39.2	レジスタの説明	2051
39.2.1	D/A データレジスタ m (DADRm) (m = 0, 1)	2051
39.2.2	D/A 制御レジスタ (DACR)	2052
39.2.3	データレジスタフォーマット選択レジスタ (DADPR)	2053
39.2.4	D/A A/D 同期スタート制御レジスタ (DAADSCR)	2054
39.2.5	D/A 出力先選択レジスタ (DADSELR)	2055
39.3	動作説明	2056
39.3.1	D/A 変換と A/D 変換の干渉対策	2057
39.4	イベントリンクの動作設定手順	2059
39.5	イベントリンク動作における注意事項	2059
39.6	使用上の注意事項	2060
39.6.1	モジュールストップ機能の設定	2060
39.6.2	モジュールストップ時の D/A コンバータの動作	2060
39.6.3	ソフトウェアスタンバイモード時の D/A コンバータの動作	2060
39.6.4	ディープソフトウェアスタンバイモード時の注意事項	2060

39.6.5	D/A 変換と A/D 変換の干渉対策有効時の注意事項	2060
39.6.6	D/A コンバータの出力をコンパレータ C の基準電圧に使用するときの注意事項	2060
39.6.7	DAn 端子 (n = 0, 1) とコンパレータ C への同時出力に関する注意事項	2060
40.	温度センサ (TEMPS)	2061
40.1	概要	2061
40.2	レジスタの説明	2062
40.2.1	温度センサ校正データレジスタ (TSCDR)	2062
40.3	温度センサの使用手法	2063
40.3.1	使用前の準備	2063
40.3.2	12 ビット A/D コンバータ (ユニット 0) の設定	2065
40.3.3	温度センサの使用手順	2066
40.3.4	温度センサ出力の A/D 変換タイミング	2067
40.4	使用上の注意事項	2067
40.4.1	温度センサの動作設定	2067
41.	コンパレータ C (CMPC)	2068
41.1	概要	2068
41.2	レジスタの説明	2071
41.2.1	コンパレータ制御レジスタ (CMPCTL)	2071
41.2.2	コンパレータ入力切り替えレジスタ (CMPSEL0)	2072
41.2.3	コンパレータ基準電圧選択レジスタ (CMPSEL1)	2073
41.2.4	コンパレータ出力モニタレジスタ (CMPMON)	2074
41.2.5	コンパレータ外部出力許可レジスタ (CMPIOC)	2074
41.3	動作説明	2075
41.3.1	コンパレータ動作例	2075
41.3.2	ノイズフィルタ	2076
41.3.3	割り込み	2077
41.3.4	コンパレータの端子出力	2077
41.3.5	コンパレータの設定手順	2078
41.4	使用上の注意事項	2080
41.4.1	モジュールストップ機能の設定	2080
41.4.2	モジュールストップ時のコンパレータ C の動作	2080
41.4.3	ソフトウェアスタンバイモード時のコンパレータ C の動作	2080
41.4.4	D/A コンバータの設定について	2080
42.	データ演算回路 (DOCA)	2081
42.1	概要	2081
42.2	レジスタの説明	2082
42.2.1	DOC コントロールレジスタ (DOCR)	2082
42.2.2	DOC ステータスレジスタ (DOSR)	2083
42.2.3	DOC ステータスクリアレジスタ (DOSCR)	2083
42.2.4	DOC データインプットレジスタ (DODIR)	2084

42.2.5	DOC データセッティングレジスタ 0 (DODSR0)	2084
42.2.6	DOC データセッティングレジスタ 1 (DODSR1)	2085
42.3	動作説明	2086
42.3.1	データ比較モード	2086
42.3.2	データ加算モード	2090
42.3.3	データ減算モード	2091
42.4	割り込み要求	2091
42.5	イベントリンク出力機能	2092
42.5.1	割り込み処理とイベントリンクの関係	2092
42.6	使用上の注意事項	2092
42.6.1	モジュールストップ機能の設定	2092
43.	RAM	2093
43.1	概要	2093
43.2	レジスタの説明	2094
43.2.1	RAM 動作モード制御レジスタ (RAMMODE)	2094
43.2.2	RAM エラーステータスレジスタ (RAMSTS)	2094
43.2.3	RAM エラーアドレスキャプチャレジスタ (RAMECAD)	2095
43.2.4	RAM プロテクトレジスタ (RAMPRCR)	2095
43.3	動作説明	2096
43.3.1	パリティチェック機能	2096
43.3.2	RAM エラー割り込み機能	2096
43.3.3	割り込み要因	2096
43.4	使用上の注意事項	2097
43.4.1	消費電力低減機能	2097
43.4.2	RAM のエラーチェック機能使用時の注意事項	2097
43.4.3	RAM の自己診断に関する注意事項	2097
44.	フラッシュメモリ (FLASH)	2098
44.1	概要	2098
44.2	ハードウェアインタフェース用領域	2100
44.3	メモリ構成	2101
44.4	レジスタの説明	2103
44.4.1	フラッシュ P/E プロテクトレジスタ (FWEPROR)	2103
44.4.2	フラッシュアクセスステータスレジスタ (FASTAT)	2104
44.4.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	2105
44.4.4	フラッシュレディ割り込み許可レジスタ (FRDYIE)	2106
44.4.5	FACI コマンド処理開始アドレスレジスタ (FSADDR)	2107
44.4.6	FACI コマンド処理終了アドレスレジスタ (FEADDR)	2108
44.4.7	フラッシュステータスレジスタ (FSTATR)	2109
44.4.8	フラッシュ P/E モードエントリレジスタ (FENTRYR)	2112
44.4.9	フラッシュプロテクトレジスタ (FPROTR)	2113

44.4.10	フラッシュシーケンサ設定初期化レジスタ (FSUINTR)	2114
44.4.11	ロックビットステータスレジスタ (FLKSTAT)	2115
44.4.12	FACI コマンドレジスタ (FCMDR)	2116
44.4.13	フラッシュ P/E ステータスレジスタ (FPESTAT)	2117
44.4.14	データフラッシュブランクチェック制御レジスタ (FBCCNT)	2117
44.4.15	データフラッシュブランクチェックステータスレジスタ (FBCSTAT)	2118
44.4.16	データフラッシュ書き込み開始アドレスレジスタ (FPSADDR)	2118
44.4.17	フラッシュシーケンサ処理切り替えレジスタ (FCPSR)	2119
44.4.18	フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)	2120
44.4.19	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 2)	2121
44.5	機能概要	2122
44.5.1	プログラム / イレーズ方式	2122
44.5.2	セキュリティ機能	2124
44.5.3	プロテクション機能	2126
44.5.3.1	ソフトウェアプロテクション	2126
44.5.3.2	エラープロテクション	2126
44.5.3.3	ブートプログラムプロテクション	2128
44.5.4	サスペンド機能	2128
44.5.5	Trusted Memory	2128
44.5.5.1	TM 対象領域に配置するプログラム	2129
44.5.5.2	TM 機能を有効にする方法	2129
44.5.5.3	TM 機能を無効にする方法	2132
44.5.5.4	TM 機能有効時の注意事項	2133
44.6	フラッシュシーケンサ	2134
44.6.1	フラッシュシーケンサの動作モード	2134
44.6.2	リードモード	2135
44.6.3	P/E モード	2135
44.6.4	モード遷移	2136
44.6.4.1	コードフラッシュメモリ P/E モードへの遷移	2138
44.6.4.2	データフラッシュメモリ P/E モードへの遷移	2138
44.6.4.3	リードモードへの遷移	2139
44.6.5	FACI コマンド一覧	2140
44.6.6	FACI コマンドの使用方法	2141
44.6.6.1	FACI コマンド使用時の概略フロー	2141
44.6.6.2	コマンドロック状態からの復帰	2142
44.6.6.3	プログラムコマンド	2144
44.6.6.4	ブロックイレーズコマンド	2146
44.6.6.5	P/E サスペンドコマンド	2147
44.6.6.6	P/E レジュームコマンド	2152
44.6.6.7	ステータスクリアコマンド	2153

44.6.6.8	強制終了コマンド	2154
44.6.6.9	ブランクチェックコマンド	2155
44.6.6.10	コンフィギュレーション設定コマンド	2157
44.6.6.11	ロックビットプログラムコマンド	2159
44.6.6.12	ロックビットリードコマンド	2160
44.7	ブートモード	2161
44.7.1	ブートモード (SCI インタフェース)	2161
44.7.2	ブートモード (FINE インタフェース)	2162
44.7.2.1	ブートモード (FINE インタフェース) の動作条件	2162
44.8	フラッシュメモリプロテクト機能	2163
44.8.1	ID コードプロテクト	2163
44.8.1.1	オンチップデバッグ ID コードプロテクト	2163
44.8.1.2	シリアルプログラマ ID コードプロテクト	2163
44.8.2	ROM コードプロテクト	2163
44.9	ブートモード通信プロトコル	2164
44.9.1	ブートモード (SCI インタフェース) の起動方法	2164
44.9.2	ブートモードの状態遷移	2165
44.9.2.1	ブートモード (SCI インタフェース) の状態遷移	2165
44.9.3	ビットレートの自動調整	2168
44.9.4	パケットフォーマット	2169
44.9.5	通信確立フェーズ	2170
44.9.6	コマンド待ちフェーズ	2171
44.9.7	コマンドの通信シーケンス	2172
44.9.8	未サポートコマンド	2174
44.9.9	デバイス種別取得コマンド	2175
44.9.10	エンディアン通知コマンド	2177
44.9.11	周波数設定コマンド	2178
44.9.12	ビットレート設定コマンド	2180
44.9.13	同期コマンド	2181
44.9.14	ID 認証モード取得コマンド	2182
44.9.15	シリアルプログラミング ID コードチェックコマンド	2183
44.9.16	ブランクチェックコマンド	2184
44.9.17	ブロックイレーズコマンド	2185
44.9.18	エリアイレーズコマンド	2186
44.9.19	プログラムコマンド	2187
44.9.20	リードコマンド	2189
44.9.21	ロックビット設定コマンド	2191
44.9.22	ロックビット取得コマンド	2193
44.9.23	ロックビット有効化コマンド	2195
44.9.24	ロックビット無効化コマンド	2196

44.9.25	コマンドプロテクション設定コマンド	2197
44.9.26	コマンドプロテクション取得コマンド	2198
44.9.27	シリアルプログラミング ID コード設定コマンド	2200
44.9.28	ID コード設定コマンド	2201
44.9.29	ID コード取得コマンド	2202
44.9.30	シリアルプログラマ接続禁止コマンド	2204
44.9.31	オンチップデバッガ接続禁止コマンド	2205
44.9.32	OCDE 取得コマンド	2206
44.9.33	OFS 設定コマンド	2207
44.9.34	OFS 取得コマンド	2208
44.9.35	エンディアン設定コマンド	2209
44.9.36	エンディアン取得コマンド	2210
44.9.37	コンフィギュレーションクリアコマンド	2211
44.9.38	TM 設定コマンド	2212
44.9.39	TM 取得コマンド	2213
44.9.40	単純加算サムチェックコマンド	2215
44.9.41	シグネチャ取得コマンド	2216
44.9.42	ROM コード設定コマンド	2219
44.9.43	ROM コード取得コマンド	2220
44.9.44	使用例	2222
44.9.45	プログラムコマンド禁止設定時のイレーズフロー	2224
44.10	シリアルプログラマでの書き換え	2225
44.10.1	シリアルプログラム環境	2225
44.11	セルフプログラミングでの書き換え	2226
44.11.1	概要	2226
44.12	使用上の注意事項	2227
45.	電气的特性	2229
45.1	絶対最大定格	2229
45.2	推奨動作条件	2229
45.3	DC 特性	2230
45.4	AC 特性	2236
45.4.1	リセットタイミング	2237
45.4.2	クロックタイミング	2238
45.4.3	低消費電力状態からの復帰タイミング	2243
45.4.4	制御信号タイミング	2246
45.4.5	バスタイミング	2247
45.4.6	内蔵周辺モジュールタイミング	2253
45.4.6.1	I/O ポート	2253
45.4.6.2	TMR	2254
45.4.6.3	CMTW	2254

45.4.6.4	MTU	2255
45.4.6.5	POE3	2256
45.4.6.6	A/D コンバータトリガ	2258
45.4.6.7	CAC	2258
45.4.6.8	SCI	2259
45.4.6.9	RSCI	2265
45.4.6.10	RSPI	2271
45.4.6.11	RIIC	2276
45.4.6.12	CANFD	2277
45.5	A/D 変換特性	2278
45.6	D/A 変換特性	2282
45.7	温度センサ特性	2282
45.8	コンパレータ特性	2283
45.9	パワーオンリセット回路、電圧検出回路特性	2284
45.10	発振停止検出タイミング	2287
45.11	フラッシュメモリ特性	2288
付録 1.	各動作モードにおけるポートの状態	2291
付録 2.	外形寸法図	2295
改訂記録	2300

120MHz、32ビットRX MCU、FPU内蔵、709 Coremark、電源5V対応、最大1Mバイトフラッシュメモリ、128KバイトSRAM、32Kバイトデータフラッシュメモリ、CAN FDなど多種多様な通信機能、12ビットA/Dコンバータ、12ビットD/Aコンバータ、アナログコンパレータ、RTC、リモコン信号受信機能

特長

■ 32ビットRXv3 CPU コア

- 最高動作周波数 120MHz
709 Coremark の性能 (120MHz 動作時)
- レジスタ一括退避機能を使用可能
- メモリプロテクションユニット (MPU) 対応
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース

■ 消費電力低減機能

- 2.7V ~ 5.5V 動作の単一電源
- RTC を使用したディープソフトウェアスタンバイモード
- 4種類の低消費電力モード

■ コードフラッシュメモリ

- 最大 1M バイト
- 120MHz 動作 (ノーウェイト)
- オンボードおよびオフボードによるユーザ書き込み
- バックグラウンドでのプログラム/イレーズ (BGO)

■ データフラッシュメモリ

- 32K バイト (100k 回イレーズ可能)
- バックグラウンドでのプログラム/イレーズ (BGO)

■ SRAM

- 128K バイト SRAM (ノーウェイト)

■ 外部アドレス空間

- 高速動作バス (最高 40MHz)
- 4つの CS 領域をサポート
- エリアごとに 8/16 ビットバス空間を選択可能

■ データ転送機能

- DMACAa : 8ch 内蔵
- DTCb : 1ch 内蔵

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) 機能搭載
- 低電圧検出機能 (LVD) 搭載

■ クロック機能

- 8MHz ~ 24MHz 外部水晶発振、内部 PLL 対応のメインクロック発振器を搭載
- 32.768kHz 水晶発振子対応のサブクロック発振器を搭載
- 240kHz LOCO、16/18/20MHz から選択可能な HOCO を搭載
- IWDTa 用 120kHz クロック

■ リアルタイムクロック

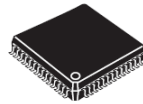
- 補正機能 (30 秒、うるう年、誤差)
- 時計カウント、バイナリカウントモードを選択可能
- イベント端子入力による時間キャプチャ機能

■ 独立ウォッチドッグタイマ

- 120kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- 発振停止検出、A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能、CRCA など
- 重要なレジスタを書き換えられないように保護するレジスタライトプロテクション機能



PLQP0144KA-B	20x20mm、0.5mm ピッチ
PLQP0100KB-B	14x14mm、0.5mm ピッチ
PLQP0080KB-B	12x12mm、0.5mm ピッチ
PLQP0064KB-C	10x10mm、0.5mm ピッチ
PLQP0048KB-B	7x7mm、0.5mm ピッチ

■ リモコン信号受信機能

■ 多種多様な通信機能

- CAN FD (ISO 11898-1:2015 準拠) (標準フレーム / 拡張フレーム) (1ch)
- 多彩な機能に対応した SCIk、SCIm、SCIh (最大 13ch) 調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I²C / 拡張シリアルモードから選択
- 16 バイトの送受信 FIFO 搭載 SCIm (最大 2ch)
- I²C バスインタフェース (RIICa) (2ch) Fast-mode (最大 400kbps)、SMBus 対応
- RSPId (1ch) 最大 30Mbps 転送

■ 最大 19 本の拡張タイマ機能

- 16 ビット MTU3a
- 8 ビット TMRb (4ch)、16 ビット CMT (4ch)、32 ビット CMTW (2ch)

■ 12 ビット A/D コンバータ

- 12 ビット x1 ユニット (24ch)
- 自己診断機能、アナログ入力断線検出機能

■ アナログコンパレータ (CMPC) : 4ch

■ 12 ビット D/A コンバータ (R12DAb) : 2ch

- アナログコンパレータの基準電圧として使用可能

■ チップ内部の温度を計測可能な温度センサ

■ 最大 134 本の汎用入出力ポート

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 動作周囲温度

- D バージョン : -40°C ~ +85°C
- G バージョン : -40°C ~ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールおよび周辺モジュールのチャンネル数は、パッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/8)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：120MHz 32ビットRX CPU (RXv3) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 113命令 <ul style="list-style-type: none"> 標準搭載命令：111命令 <ul style="list-style-type: none"> 基本命令：77命令 単精度浮動小数点演算命令：11命令 DSP機能命令：23命令 レジスタ一括退避機能命令：2命令 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数(32ビット) IEEE754に準拠したデータタイプ、および例外
	レジスタ一括退避機能	<ul style="list-style-type: none"> CPUレジスタの退避・復帰を一括して高速に行う 16個のレジスタ退避バンクを搭載
メモリ	コードフラッシュメモリ	<ul style="list-style-type: none"> 容量：1M/512Kバイト 120MHz、ノーウェイトアクセス オンボードプログラミング：4種類 オフボードプログラミング(パレルライターモード) Trusted Memory (TM) 機能による、TM対象領域に格納したプログラムは命令実行のみ可能、データリード防止機能を実現
	データフラッシュメモリ	<ul style="list-style-type: none"> 容量：32Kバイト プログラム/イレーズ回数：100,000回
	ユニークID	<ul style="list-style-type: none"> 12バイト長のデバイス固有のID
	RAM	<ul style="list-style-type: none"> 容量：128Kバイト 120MHz、ノーウェイトアクセス
動作モード		<ul style="list-style-type: none"> リセット解除時のモード設定端子による動作モード <ul style="list-style-type: none"> シングルチップモード ブートモード(SCIインタフェース) ブートモード(FINEインタフェース) ユーザブートモード レジスタ設定による動作モードの選択 <ul style="list-style-type: none"> シングルチップモード ユーザブートモード 内蔵ROM無効拡張モード 内蔵ROM有効拡張モード エンディアン選択可能

表 1.1 仕様概要 (2 / 8)

分類	モジュール/機能	説明
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 メインクロック発振停止検出：あり システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIFクロック (FCLK)、外部バスクロック (BCLK) を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：120MHz max MTU、RSPI、SCI (10, 11)、RSCI、CANFD内ECCレジスタの周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max S12ADのADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 外部バスに接続するデバイスは、BCLK同期：40MHz max 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして通倍可能
リセット		<p>9種類のリセットを内蔵</p> <ul style="list-style-type: none"> RES#端子リセット：RES#端子がLowで発生 パワーオンリセット：RES#端子がHighで、VCC = AVCC0の上昇時発生 電圧監視0リセット：VCC = AVCC0の下降時発生 電圧監視1リセット：VCC = AVCC0の下降時発生 電圧監視2リセット：VCC = AVCC0の下降時発生 ディープソフトウェアスタンバイリセット：ディープソフトウェアスタンバイモード解除の割り込みで発生 独立ウォッチドッグタイマリセット：独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ウォッチドッグタイマリセット：ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		<ul style="list-style-type: none"> RES#端子をHighにして電源投入すると、内部リセットを発生 VCC = AVCC0が電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路 (LVDA)		<p>VCC端子に入力する電圧を監視し、内部リセットまたは内部割り込みを発生</p> <ul style="list-style-type: none"> 電圧検出回路0 <ul style="list-style-type: none"> 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：2レベルから選択可 電圧検出回路1、2 <ul style="list-style-type: none"> 電圧検出レベル：5レベルから選択可 デジタルフィルタ機能有り (LOCOの2/4/8/16分周) 内部リセット発生可能 リセット解除タイミング2種類選択可 内部割り込み要求可能 上昇検知/下降検知選択可 マスクابل割り込みもしくはノンマスクابل割り込み選択可 電圧検出モニタ機能有り イベントリンク機能有り
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
割り込み	割り込みコントローラ (ICUF)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数256 外部割り込み：要因数16 (IRQ0～IRQ15端子) ソフトウェア割り込み：要因数2 ノンマスクابل割り込み：要因数7 16レベルの割り込み優先順位を設定可能 割り込み要因選択方式：割り込みベクタは256ベクタで構成 (128要因は固定ベクタ。残り128要因から133ベクタを選択)

表 1.1 仕様概要 (3 / 8)

分類	モジュール/機能	説明
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を4つのエリア (CS0～CS3)に分割して管理 各エリアの領域：2Mバイト (CS0～CS3) エリアごとにチップセレクト (CS0#～CS3#)出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能(データのみ) バス形式：セパレートバス、マルチプレクスバス ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACa)	<ul style="list-style-type: none"> 8チャネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCb)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 144ピンLFQFP (JTAGなし、サブクロック発振器なし) 入出力：133 入力：1 プルアップ抵抗：133 オープンドレイン出力：133 5Vトレラント：4 144ピンLFQFP (JTAGなし、サブクロック発振器あり) 入出力：131 入力：1 プルアップ抵抗：131 オープンドレイン出力：131 5Vトレラント：4 144ピンLFQFP (JTAGあり、サブクロック発振器なし) 入出力：132 入力：1 プルアップ抵抗：132 オープンドレイン出力：132 5Vトレラント：4 144ピンLFQFP (JTAGあり、サブクロック発振器あり) 入出力：130 入力：1 プルアップ抵抗：130 オープンドレイン出力：130 5Vトレラント：4 100ピンLFQFP (JTAGなし、サブクロック発振器なし) 入出力：91 入力：1 プルアップ抵抗：91 オープンドレイン出力：91 5Vトレラント：4 100ピンLFQFP (JTAGなし、サブクロック発振器あり) 入出力：89 入力：1 プルアップ抵抗：89 オープンドレイン出力：89 5Vトレラント：4 100ピンLFQFP (JTAGあり、サブクロック発振器なし) 入出力：90 入力：1 プルアップ抵抗：90 オープンドレイン出力：90 5Vトレラント：4 100ピンLFQFP (JTAGあり、サブクロック発振器あり) 入出力：88 入力：1 プルアップ抵抗：88 オープンドレイン出力：88 5Vトレラント：4

表 1.1 仕様概要 (4 / 8)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 80ピンLFQFP (サブクロック発振器なし) 入出力：71 入力：1 プルアップ抵抗：71 オープンドレイン出力：71 5Vトレラント：4 80ピンLFQFP (サブクロック発振器あり) 入出力：69 入力：1 プルアップ抵抗：69 オープンドレイン出力：69 5Vトレラント：4 64ピンLFQFP (サブクロック発振器なし) 入出力：55 入力：1 プルアップ抵抗：55 オープンドレイン出力：55 5Vトレラント：2 64ピンLFQFP (サブクロック発振器あり) 入出力：53 入力：1 プルアップ抵抗：53 オープンドレイン出力：53 5Vトレラント：2 48ピンLFQFP 入出力：39 入力：1 プルアップ抵抗：39 オープンドレイン出力：39 5Vトレラント：2
イベントリンクコントローラ(ELC)		<ul style="list-style-type: none"> 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 83種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) 入力端子の変化で周辺機能が連動可能(ポートB、E)
タイマ	8ビットタイマ(TMRb)	<ul style="list-style-type: none"> (8ビット×2チャンネル)×2ユニット 7種類の内部クロック(PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5、SCI6、SCI12のポーレートクロック生成可能 REMCの動作クロックを生成可能 ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ(CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル)×2ユニット 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 ELCによるイベントリンク機能をサポート
	コンペアマッチタイマW(CMTW)	<ul style="list-style-type: none"> (32ビット×1チャンネル)×2ユニット コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能
	ウォッチドッグタイマ(WDTA)	<ul style="list-style-type: none"> 14ビット×1チャンネル 6種類のカウントクロック(PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192)を選択可能
	独立ウォッチドッグタイマ(IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDT専用オンチップオシレータ IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (5 / 8)

分類	モジュール/機能	説明
タイマ	マルチファンクションタイマパルスユニット3 (MTU3a)	<ul style="list-style-type: none"> 9チャンネル(16ビット×8チャンネル、32ビット×1チャンネル) 最大28本のパルス入出力、および3本のパルス入力が可能 14種類のカウントクロック (PCLKA/1, PCLKA/2, PCLKA/4, PCLKA/8, PCLKA/16, PCLKA/32, PCLKA/64, PCLKA/256, PCLKA/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャンネル0は14種類、チャンネル1, 3, 4, 6, 7, 8は11種類、チャンネル2は12種類、チャンネル5は10種類) インプットキャプチャ機能 39本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ カウンタクリア動作(コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ(TCNT)への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 43種類の割り込み要因 レジスタデータの自動転送 パルス出力モード トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 位相計数モード: 16ビットモード(チャンネル1、2)/32ビットモード(チャンネル1、2) デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能 A/Dコンバータ開始間引き機能 インプットキャプチャ、外部カウントクロック端子におけるデジタルフィルタ機能 ELCによるイベントリンク機能をサポート
	ポートアウトプットイネーブル3 (POE3a)	<ul style="list-style-type: none"> MTU波形出力端子のハイインピーダンス制御 POE0#, POE4#, POE8#, POE10#, POE11#の5つの入力端子による起動 出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動 発振停止検出/ソフトウェアによる起動 出力制御対象端子をプログラマブルに追加制御可能
	リアルタイムクロック(RTCC)(注1)	<ul style="list-style-type: none"> クロックソース: サブクロック 時計カウント/秒単位の32ビットバイナリカウントを選択可能 時計/カレンダー機能 割り込み要因: アラーム割り込み、周期割り込み、桁上げ割り込み 時間キャプチャ機能(最大3端子) ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (6 / 8)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCIk, SCIm, SCIh)	<ul style="list-style-type: none"> • 13チャンネル：(SCIk：10チャンネル+ SCIh：1チャンネル+ SCIm：2チャンネル) • SCIk, SCIh, SCIm シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSB ファースト/MSB ファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I ² Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート <ul style="list-style-type: none"> • SCIk, SCIh TMRからの平均転送レートクロック入力が可能 (SCI5, SCI6, SCI12) ELCによるイベントリンク機能をサポート (チャンネル5のみ) <ul style="list-style-type: none"> • SCIh スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート <ul style="list-style-type: none"> • SCIm 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 <ul style="list-style-type: none"> • SCIk, SCIm データ一致検出 RXD サンプリング調整機能
	シリアルコミュニケーションインタフェース (RSCI)	<ul style="list-style-type: none"> • 2チャンネル (RSCI10, RSCI11) シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSB ファースト/MSB ファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 <ul style="list-style-type: none"> • 簡易I²Cサポート • 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート <ul style="list-style-type: none"> • LINフォーマットをサポート 送信部、受信部ともに32バイトのFIFOバッファ構造による連続送信、受信が可能 <ul style="list-style-type: none"> • マンチェスタコード機能をサポート • HBS機能をサポート データ一致検出 RXD サンプリング調整機能
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> • 2チャンネル 通信フォーマット I ² Cバスフォーマット/SMBusフォーマット マルチマスタ対応 <ul style="list-style-type: none"> • ELCによるイベントリンク機能をサポート
	CAN FDモジュール (CANFD) (注2)	<ul style="list-style-type: none"> • 1チャンネル <ul style="list-style-type: none"> • ISO11898-1:2015仕様に準拠 (標準フレーム/拡張フレーム)

表 1.1 仕様概要 (7 / 8)

分類	モジュール/機能	説明
通信機能	シリアルペリフェラル インタフェース (RSPId)	<ul style="list-style-type: none"> 1チャンネル RSPi転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPi Clock) 信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	リモコン信号受信機能 (REMCa)	<ul style="list-style-type: none"> 1チャンネル 4パターン波形マッチング(ヘッダ、データ0、データ1、特殊データ判別) 受信バッファ8バイト(1ユニットあたり) 動作クロックを、PCLK、サブロック、TMRから選択可能
12ビットA/Dコンバータ(S12ADH)	<ul style="list-style-type: none"> 12ビット(24チャンネル×1ユニット) 分解能: 12ビット 最小変換時間: 1チャンネルあたり0.9μs (ADCLK = 60MHz動作時) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 任意チャンネル順変換機能(同一チャンネルの連続変換は不可) ダブルトリガモード(A/D変換データ二重化機能) A/D変換開始条件 ソフトウェアトリガ、同期トリガ(MTU, TMR, ELC)、外部トリガ グループスキャン優先制御がグループA、B、C間で対応可能 デジタルコンペア機能 方式: 大小比較、またはウィンドウ比較 手段: 2つの変換結果を比較、または比較レジスタと変換結果を比較 自己診断機能 アナログ入力断線検出機能 ELCによるイベントリンク機能をサポート 	
12ビットD/Aコンバータ(R12DAb)	<ul style="list-style-type: none"> 2チャンネル 分解能: 12ビット 出力電圧: 0V~AVCC0 コンパレータのリファレンス電圧として供給可能 ELCによるイベントリンク機能をサポート 	
コンパレータC (CMPC)	<ul style="list-style-type: none"> 4チャンネル リファレンス電圧とアナログ入力電圧の比較機能 デジタルフィルタ機能あり 	
温度センサ	<ul style="list-style-type: none"> 1チャンネル 相対精度: ±1.0°C 温度を電圧に変換し12ビットA/Dコンバータでデジタル化 	
三角関数演算器(TFU)	<ul style="list-style-type: none"> sin演算、cos演算、arctan演算、$\sqrt{x^2+y^2}$演算 sinとcosの同時演算 arctanと$\sqrt{x^2+y^2}$の同時演算 	
セーフティ	メモリプロテクション ユニット(MPU)	<ul style="list-style-type: none"> プロテクションエリア: 0000 0000h~FFFF FFFFh範囲内で最大8エリアを設定可能 最小保護単位: 16バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アクセス例外が発生
	Trusted Memory (TM) 機能	<ul style="list-style-type: none"> コードフラッシュメモリのTM対象領域に対するプログラムのリード防止機能 TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止

表 1.1 仕様概要 (8 / 8)

分類	モジュール/機能	説明
セーフティ	レジスタライト プロテクション	<ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算(CRCA)	<ul style="list-style-type: none"> 8ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止 検出機能	<ul style="list-style-type: none"> メインクロック発振停止検出：あり
	クロック周波数精度測定 回路(CAC)	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、IWDT専用オンチップオシレータ、およびPCLKBにおける出カクロック周波数の異常を監視可能
	データ演算回路(DOCA)	<ul style="list-style-type: none"> 32ビットのデータを比較/加算/減算/大小比較/ウィンドウ比較する機能
動作周波数		120MHz max
電源電圧		VCC = 2.7 ~ 5.5V AVCC0 = 3.0 ~ 5.5V (ただし、VCC ≤ AVCC0)
動作周囲温度		Dバージョン：-40 ~ +85°C Gバージョン：-40 ~ +105°C
パッケージ		144ピンLFQFP (PLQP0144KA-B) 100ピンLFQFP (PLQP0100KB-B) 80ピンLFQFP (PLQP0080KB-B) 64ピンLFQFP (PLQP0064KB-C) 48ピンLFQFP (PLQP0048KB-B)
デバックインタフェース		JTAG (注3) およびFINEインタフェース

注1. リアルタイムクロックを使用しない場合、「27.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロック内のレジスタを初期化してください。また、サブクロック発振器のない製品ではリアルタイムクロックを使用できません。この場合も同様に、「27.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロックを無効にしてください。

注2. CAN FDプロトコルへの対応/非対応で型名が異なります。

注3. JTAG機能の有無で型名が異なります。

表 1.2 パッケージ別機能比較一覧

機能	製品		RX660				
	パッケージ		144ピンLQFP	100ピンLQFP	80ピンLQFP	64ピンLQFP	48ピンLQFP
コードフラッシュメモリ容量	1M/512K バイト						
データフラッシュメモリ容量	32K バイト						
RAM容量	128K バイト						
外部バス	外部バス幅	16 ビット			なし		
	アドレス空間	2M バイト x4 エリア			なし		
DMA	DMAコントローラ	あり					
	データトランスファコントローラ	あり					
発振器	メインクロック発振器(MOSC)	あり					
	サブクロック発振器(SOSC)	あり / なし				なし	
タイマ	マルチファンクションタイマパルスユニット3	ch0 ~ 8		ch0 ~ 7		ch0 ~ 5, 7	
	ポートアウトプットイネーブル3	あり					
	8ビットタイマ	ch0 ~ 3				ch0 ~ 2	
	コンペアマッチタイマ	ch0 ~ 3					
	コンペアマッチタイマW	ch0, 1					
	リアルタイムクロック	あり / なし(注1)				なし(注1)	
	ウォッチドッグタイマ	あり					
	独立ウォッチドッグタイマ	あり					
通信	シリアルコミュニケーションインタフェース(SCIk)	ch0 ~ 9	ch0 ~ 6, 8, 9	ch0, 1, 3 ~ 6, 8, 9	ch1, 3 ~ 6, 8, 9	ch1, 3 ~ 6, 8	
	シリアルコミュニケーションインタフェース(SCIm)	ch10, 11				ch10	
	シリアルコミュニケーションインタフェース(SCIh)	ch12					
	シリアルコミュニケーションインタフェース(RSCI)	ch10, 11				ch10	
	I ² Cバスインタフェース(RIIC)	ch0, 2			ch2		
	シリアルペリフェラルインタフェース(RSPI)	1 チャネル					
	CAN FDモジュール(CANFD)	1 チャネル					
	リモコン信号受信機能(REMC)	ch0					
アナログ	12ビットA/Dコンバータ	24 チャネル			17 チャネル	14 チャネル	10 チャネル
	コンパレータC	4 チャネル					
	12ビットD/Aコンバータ(注2)	チャネル数	2 チャネル				
		出力端子数	2 本	2 本 / 1 本(注3)	2 本	1 本	なし
	温度センサ	あり					
CRC演算器(CRCA)	あり						
データ演算回路(DOCA)	あり						
クロック周波数精度測定回路(CAC)	あり						
イベントリンクコントローラ(ELC)	あり						
オフボードプログラミング	あり			なし			
デバッグインタフェース	JTAGインタフェース	あり / なし			なし		
	FINEインタフェース	あり					

注1. サブクロック発振器のない製品ではリアルタイムクロックを使用できません。「27.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロックを無効にしてください。

- 注2. 全パッケージにおいて2チャンネルのD/Aコンバータのアナログ出力をコンパレータの入力として使用することが可能です。
 注3. JTAGのある製品

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表 (1/3)

グループ	型名	パッケージ	コード フラッシュ メモリ容量	RAM容量	データ フラッシュ メモリ容量	JTAG	サブク ロック 発振器	CANFD	動作周囲 温度(°C)
RX660 (Dバージョン)	R5F56609ADFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56609CDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56609DDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56609EDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+85
	R5F56609FDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+85
	R5F56609GDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+85
	R5F56609HDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+85
	R5F56609ADFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56609CDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56609DDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56609EDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+85
	R5F56609FDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+85
	R5F56609GDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+85
	R5F56609HDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+85
	R5F56609ADFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56609CDFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56609DDFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56609ADFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56609CDFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56609DDFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56609ADFL	PLQP0048KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56609BDFL	PLQP0048KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604ADFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604CDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56604DDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56604EDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+85
	R5F56604FDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+85
	R5F56604GDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+85
	R5F56604HDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+85
	R5F56604ADFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604CDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56604DDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56604EDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+85
	R5F56604FDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+85

表1.3 製品一覧表 (2 / 3)

グループ	型名	パッケージ	コード フラッシュ メモリ容量	RAM容量	データ フラッシュ メモリ容量	JTAG	サブク ロック 発振器	CANFD	動作周囲 温度(°C)
RX660 (Dバージョン)	R5F56604GDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+85
	R5F56604HDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+85
	R5F56604ADFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604CDFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56604DDFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56604ADFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
	R5F56604CDFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+85
	R5F56604DDFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+85
	R5F56604ADFL	PLQP0048KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+85
	R5F56604BDL	PLQP0048KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+85
RX660 (Gバージョン)	R5F56609AGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56609CGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56609DGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56609EGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+105
	R5F56609FGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+105
	R5F56609GGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+105
	R5F56609HGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+105
	R5F56609AGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56609CGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56609DGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56609EGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+105
	R5F56609FGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+105
	R5F56609GGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+105
	R5F56609HGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+105
	R5F56609AGFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56609CGFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56609DGFN	PLQP0080KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56609AGFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56609CGFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56609DGFM	PLQP0064KB-C	1Mバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56609AGFL	PLQP0048KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56609BGFL	PLQP0048KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604AGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604CGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56604DGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56604EGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+105
	R5F56604FGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+105
	R5F56604GGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+105
	R5F56604HGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+105

表1.3 製品一覧表 (3 / 3)

グループ	型名	パッケージ	コード フラッシュ メモリ容量	RAM容量	データ フラッシュ メモリ容量	JTAG	サブク ロック 発振器	CANFD	動作周囲 温度(°C)
RX660 (Gバージョン)	R5F56604AGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604CGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56604DGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56604EGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり(注1)	-40~+105
	R5F56604FGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40~+105
	R5F56604GGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり(注1)	-40~+105
	R5F56604HGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40~+105
	R5F56604AGFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604CGFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56604DGFN	PLQP0080KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56604AGFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105
	R5F56604CGFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり(注1)	-40~+105
	R5F56604DGFM	PLQP0064KB-C	512Kバイト	128Kバイト	32Kバイト	なし	あり	あり	-40~+105
	R5F56604AGFL	PLQP0048KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり(注1)	-40~+105
	R5F56604BGFL	PLQP0048KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	あり	-40~+105

注1. CAN 2.0プロトコルのみ対応

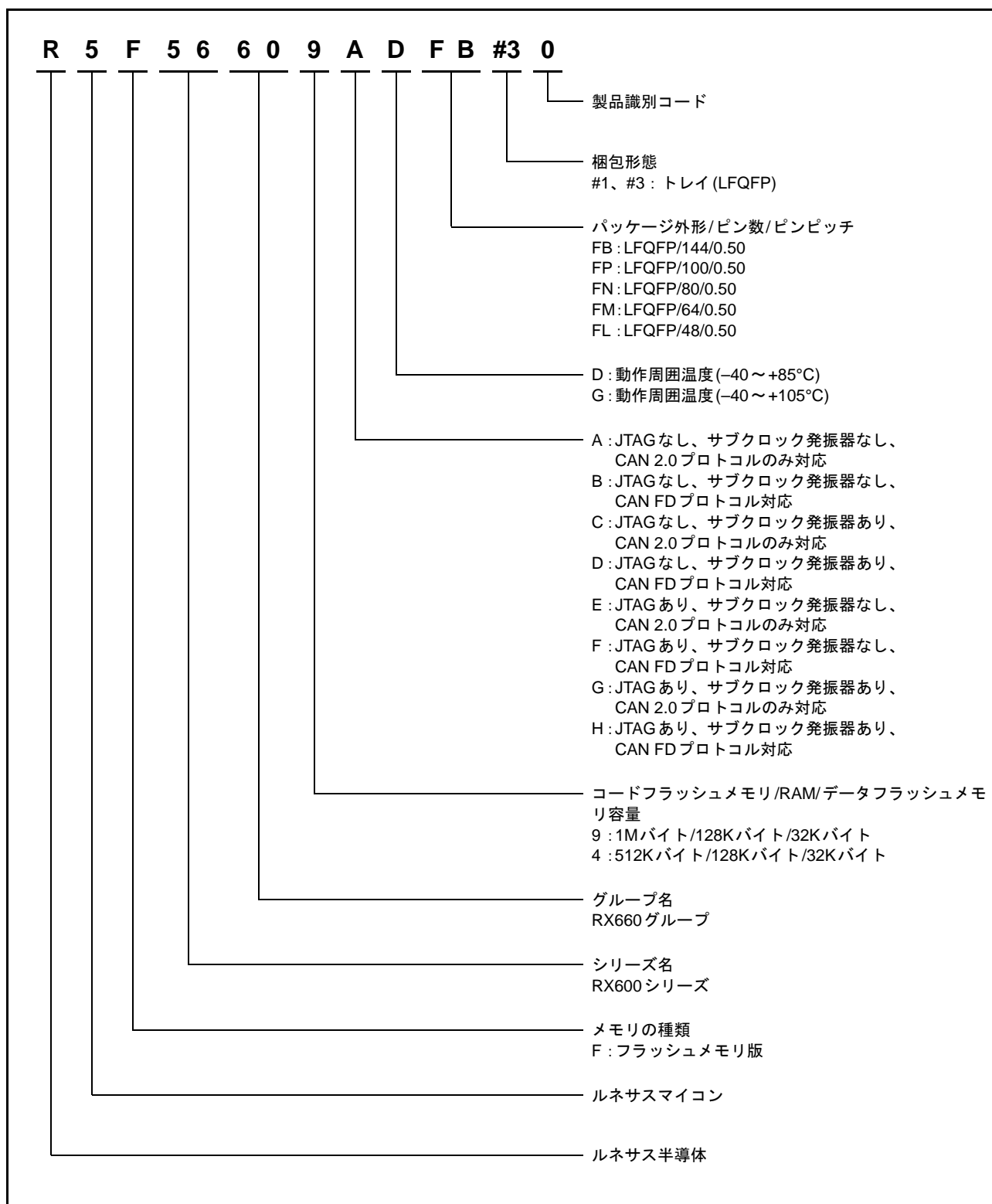


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

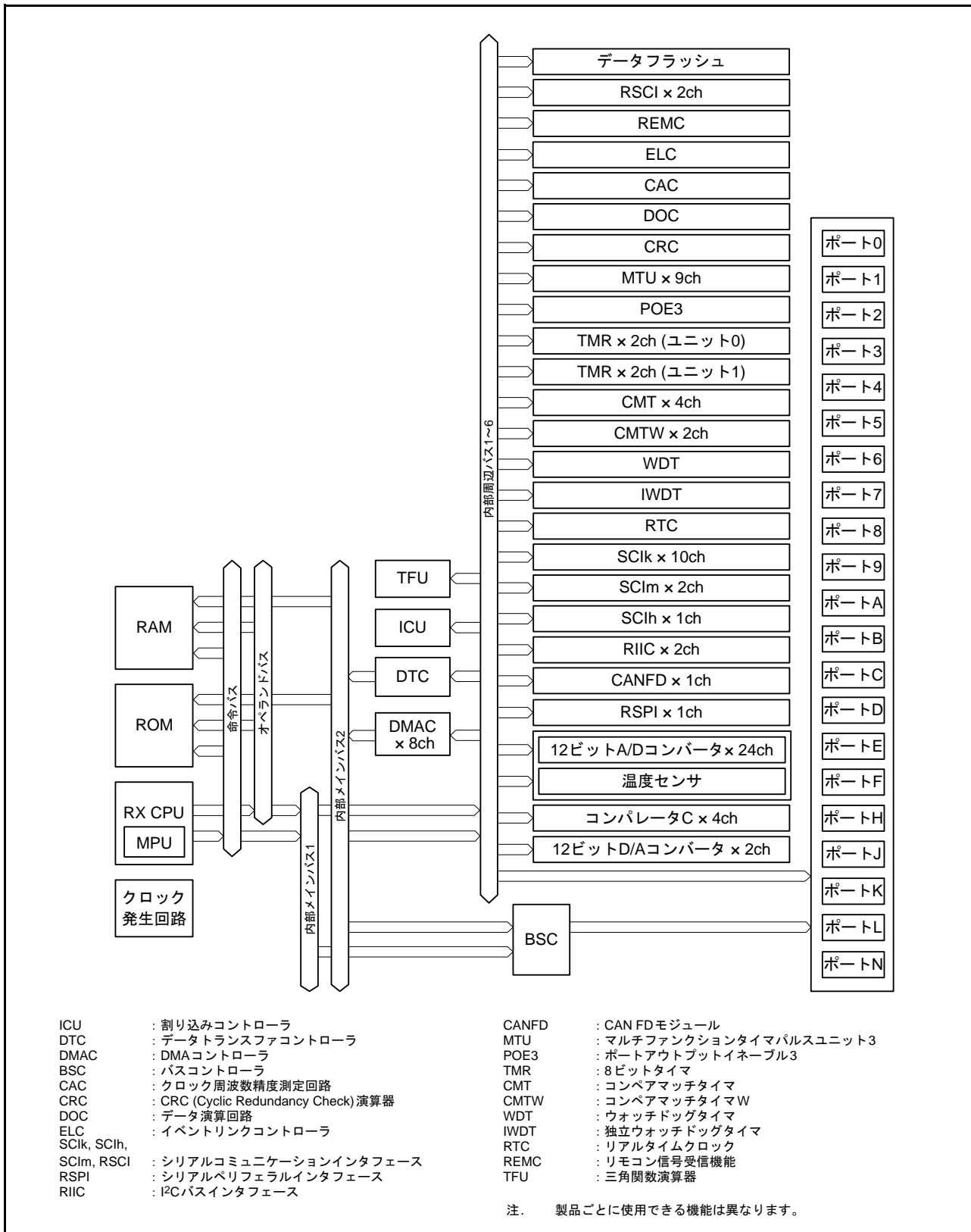


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 5)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1 μ Fの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	入力	内部電源安定用の平滑コンデンサ(0.47 μ F)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	XCOUT	出力	サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください
	XCIN	入力	
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路のリファレンスクロック入力端子
動作モードコントロール	MD	入力	動作モードを設定。使用方法は、「3.1 動作モードの種類と選択」を参照してください
	UB	入力	ユーザブートモードイネーブル端子
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
	EMLE	入力	JTAG端子使用時のオンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowとしてください
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC TRSYNC1	出力	TRDATA0～TRDATA7端子からの出力が有効データであることを示します
	TRDATA0 TRDATA1 TRDATA2 TRDATA3 TRDATA4 TRDATA5 TRDATA6 TRDATA7	出力	トレース情報を出力します
	アドレスバス	A0～A20	出力
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.4 端子機能一覧 (2 / 5)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロブ信号
	WR#	出力	1ライトストロブモード時、外部バスインタフェース空間をライト中であることを示すストロブ信号
	WR0#, WR1#	出力	バイトストロブモード時、外部バスインタフェース空間をライト中で、データバス (D7~D0, D15~D8) のいずれかが有効であることを示すストロブ信号
	BC0#, BC1#	出力	1ライトストロブモード時、外部バスインタフェース空間をアクセス中で、データバス (D7~D0, D15~D8) のいずれかが有効であることを示すストロブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#~CS3#	出力	CS領域選択信号
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0~IRQ15, IRQ0-DS~IRQ15-DS	入力	割り込み要求端子
マルチファンクションタイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/デッドタイム補償機能の入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6~TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7~TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC8A, MTIOC8B, MTIOC8C, MTIOC8D	入出力	TGRA8~TGRD8のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
ポートアウトプットイネーブル3	POE0#, POE4#, POE8#, POE10#, POE11#	入力	MTUをハイインピーダンス状態にする要求信号を入力
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMCi0~TMCi3	入力	カウンタに入力する外部クロックの入力端子
	TMRi0~TMRi3	入力	カウンタリセット入力端子
コンペアマッチタイマW	TIC0~TIC3	入力	CMTWの入力端子
	TOC0~TOC3	出力	CMTWの出力端子
シリアルコミュニケーションインタフェース (SCIk)	● 調歩同期モード/クロック同期モード		
	SCK0~SCK9	入出力	クロック入出力端子
	RXD0~RXD9	入力	受信データ入力端子
	TXD0~TXD9	出力	送信データ出力端子
	CTS0#~CTS9#	入力	送受信開始制御用入力端子
	RTS0#~RTS9#	出力	送受信開始制御用出力端子

表 1.4 端子機能一覧 (3 / 5)

分類	端子名	入出力	機能	
シリアル コミュニケーション インタフェース (SCIk)	• 簡易 I ² C モード			
	SSCL0～SSCL9	入出力	I ² C クロック入出力端子	
	SSDA0～SSDA9	入出力	I ² C データ入出力端子	
	• 簡易 SPI モード			
	SCK0～SCK9	入出力	クロック入出力端子	
	SMISO0～SMISO9	入出力	スレーブ送出データ入出力端子	
	SMOSI0～SMOSI9	入出力	マスタ送出データ入出力端子	
	SS0#～SS9#	入力	チップセレクト入力端子	
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期モード/クロック同期モード			
	SCK12	入出力	クロック入出力端子	
	RXD12	入力	受信データ入力端子	
	TXD12	出力	送信データ出力端子	
	CTS12#	入力	送受信開始制御用入力端子	
	RTS12#	出力	送受信開始制御用出力端子	
	• 簡易 I ² C モード			
	SSCL12	入出力	I ² C クロック入出力端子	
	SSDA12	入出力	I ² C データ入出力端子	
	• 簡易 SPI モード			
	SCK12	入出力	クロック入出力端子	
	SMISO12	入出力	スレーブ送出データ入出力端子	
	SMOSI12	入出力	マスタ送出データ入出力端子	
	SS12#	入力	チップセレクト入力端子	
	• 拡張シリアルモード			
	RXDX12	入力	受信データ入力端子	
	TXDX12	出力	送信データ出力端子	
	SIOX12	入出力	送受信データ入出力端子	
	シリアル コミュニケーション インタフェース (SCI _m)	• 調歩同期モード/クロック同期モード		
		SCK10, SCK11	入出力	クロック入出力端子
RXD10, RXD11		入力	受信データ入力端子	
TXD10, TXD11		出力	送信データ出力端子	
CTS10#, CTS11#		入力	送受信開始制御用入力端子	
RTS10#, RTS11#		出力	送受信開始制御用出力端子	
• 簡易 I ² C モード				
SSCL10, SSCL11		入出力	I ² C クロック入出力端子	
SSDA10, SSDA11		入出力	I ² C データ入出力端子	
• 簡易 SPI モード				
SCK10, SCK11		入出力	クロック入出力端子	
SMISO10, SMISO11		入出力	スレーブ送出データ入出力端子	
SMOSI10, SMOSI11		入出力	マスタ送出データ入出力端子	
SS10#, SS11#		入力	チップセレクト入力端子	

表 1.4 端子機能一覧 (4 / 5)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (RSCI)	• 調歩同期モード/クロック同期モード		
	SCK010, SCK011	入出力	クロック入出力端子
	RXD010, RXD011	入力	受信データ入力端子
	TXD010, TXD011	出力	送信データ出力端子
	CTS010#, CTS011#	入力	送受信開始制御用入力端子
	RTS010#, RTS011#	出力	送受信開始制御用出力端子
	DE010, DE011	出力	DriveEnable出力端子
	• 簡易I ² Cモード		
	SSCL010, SSCL011	入出力	I ² Cクロック入出力端子
	SSDA010, SSDA011	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK010, SCK011	入出力	クロック入出力端子
	SMISO010, SMISO011	入出力	スレーブ送出データ入出力端子
	SMOSI010, SMOSI011	入出力	マスタ送出データ入出力端子
	SS010#, SS011#	入力	チップセレクト入力端子
	• HBSサポートモード		
	RXD010, RXD011	入力	受信データ入力端子
TXD010, TXD011, TXDA011, TXDB011	出力	送信データ出力端子	
I ² Cバスインタフェース	SCL0, SCL2	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0, SDA2	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
CAN FDモジュール	CRX0	入力	入力端子
	CTX0	出力	出力端子
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ入出力端子
	MISOA	入出力	RSPIのスレーブ送出データ入出力端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000~AN023	入力	A/Dコンバータのアナログ入力端子
	ADST0	出力	AD変換中を示すステータス出力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータC	COMP0~COMP3	出力	コンパレータ検出結果出力端子
	CVREFC0~CVREFC3	入力	コンパレータC用のリファレンス電圧端子
	CMPC00, CMPC10, CMPC20, CMPC30	入力	CMPCn0用アナログ入力端子(n=0~3)
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロック出力端子
	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子
リモコン信号受信機能 (REMC)	PMC0	入力	外部パルス信号入力端子

表 1.4 端子機能一覧 (5 / 5)

分類	端子名	入出力	機能
アナログ電源	AVCC0 (注1)	入力	12ビットA/Dコンバータ、12ビットD/Aコンバータ、コンパレータC、温度センサのアナログ電源端子。0.1μFの積層セラミックコンデンサを介してAVSS0に接続してください。コンデンサは端子近くに配置してください
	AVSS0 (注1)	入力	12ビットA/Dコンバータ、12ビットD/Aコンバータ、コンパレータC、温度センサのアナロググランド端子。0.1μFの積層セラミックコンデンサを介してAVCC0に接続してください。コンデンサは端子近くに配置してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子。0.1μFの積層セラミックコンデンサを介してVREFL0に接続してください。コンデンサは端子近くに配置してください。12ビットA/Dコンバータを使用しない場合は、汎用機能に設定してください
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子。0.1μFの積層セラミックコンデンサを介してVREFH0に接続してください。コンデンサは端子近くに配置してください。12ビットA/Dコンバータを使用しない場合は、汎用機能に設定してください
I/Oポート	P00 ~ P07	入出力	8ビットの入出力端子
	P12 ~ P17	入出力	6ビットの入出力端子
	P20 ~ P27	入出力	8ビットの入出力端子
	P30 ~ P37	入出力	8ビットの入出力端子 (P35は入力端子)
	P40 ~ P47	入出力	8ビットの入出力端子
	P50 ~ P56	入出力	7ビットの入出力端子
	P60 ~ P67	入出力	8ビットの入出力端子
	P70 ~ P77	入出力	8ビットの入出力端子
	P80 ~ P83, P86, P87	入出力	6ビットの入出力端子
	P90 ~ P93	入出力	4ビットの入出力端子
	PA0 ~ PA7	入出力	8ビットの入出力端子
	PB0 ~ PB7	入出力	8ビットの入出力端子
	PC0 ~ PC7	入出力	8ビットの入出力端子
	PD0 ~ PD7	入出力	8ビットの入出力端子
	PE0 ~ PE7	入出力	8ビットの入出力端子
	PF5, PF6, PF7	入出力	3ビットの入出力端子
	PH0 ~ PH3, PH6, PH7	入出力	6ビットの入出力端子
	PJ1, PJ3 ~ PJ7	入出力	6ビットの入出力端子
	PK2 ~ PK5	入出力	4ビットの入出力端子
	PL0, PL1	入出力	2ビットの入出力端子
PN6, PN7	入出力	2ビットの入出力端子	

注. 端子名については、以下の注意事項があります。詳細は、「1.6 機能別端子一覧」を参照してください。

- 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせることを推奨します。
- 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。

注1. 12ビットA/Dコンバータ、温度センサを使用しない場合、AVCC0端子はVCCに、AVSS0端子はVSSにそれぞれ接続してください。

1.5 ピン配置図

1.5.1 144ピン L F Q F P (J T A G なし / サ ブ ク ロ ッ ク 発 振 器 なし)

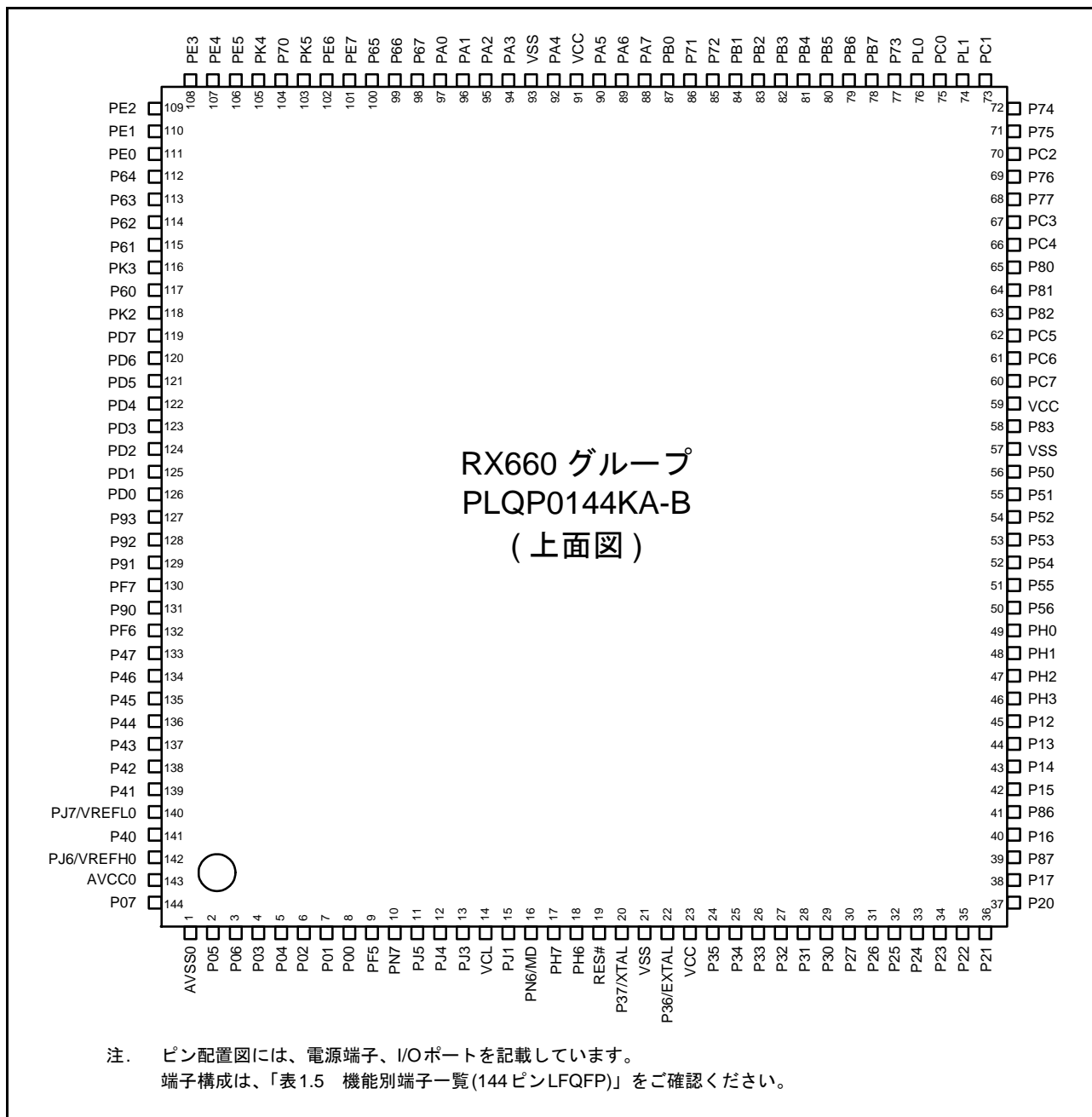


図 1.3 ピン配置図 (144ピン L F Q F P (J T A G なし / サ ブ ク ロ ッ ク 発 振 器 なし))

1.5.2 144ピン LQFP (JTAG なし / サブクロック発振器あり)

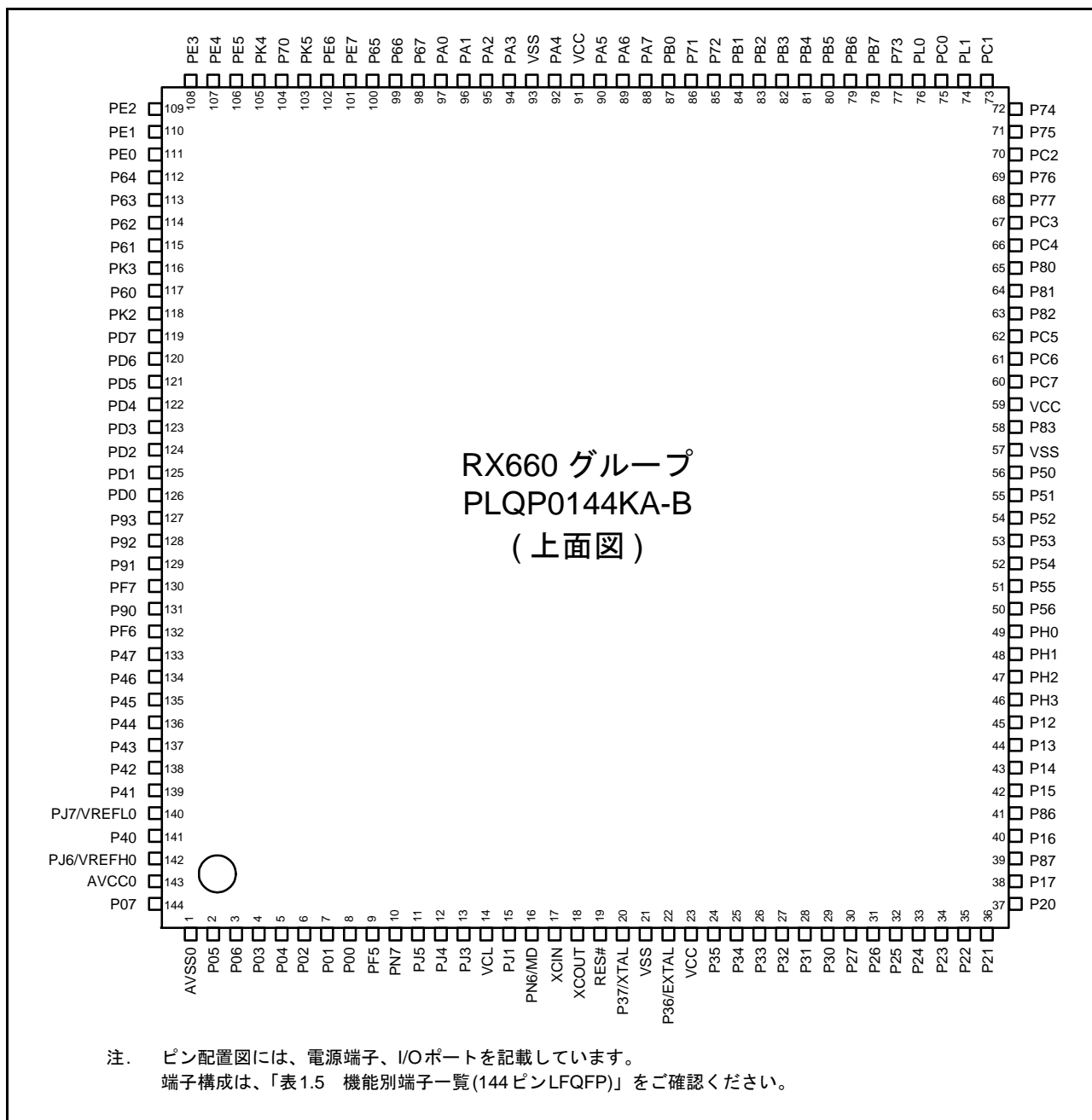


図 1.4 ピン配置図 (144ピン LQFP (JTAG なし / サブクロック発振器あり))

1.5.3 144ピン LQFP (JTAGあり / サブクロック発振器なし)

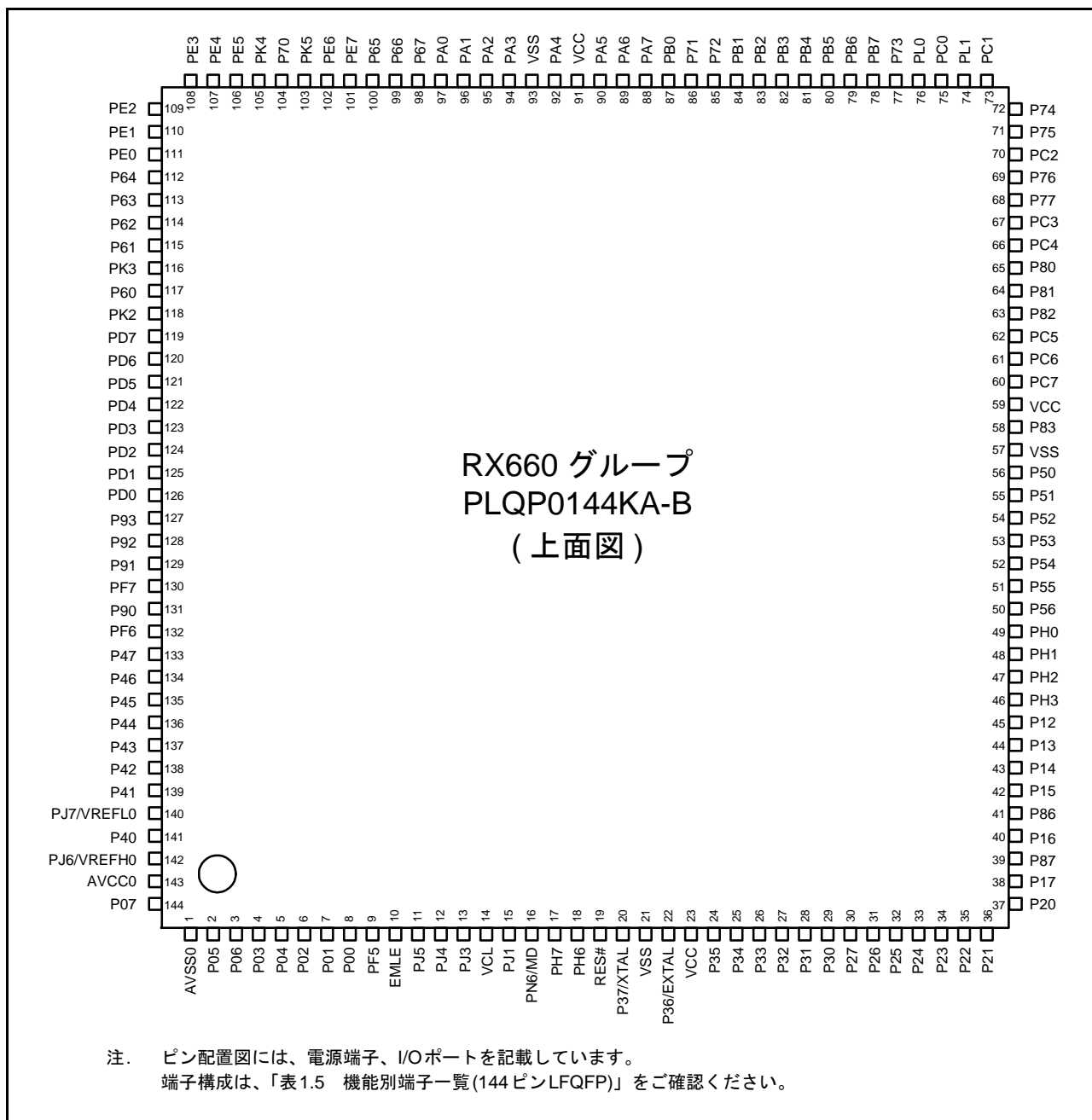


図 1.5 ピン配置図 (144ピン LQFP (JTAGあり / サブクロック発振器なし))

1.5.4 144ピン LQFP (JTAGあり / サブクロック発振器あり)

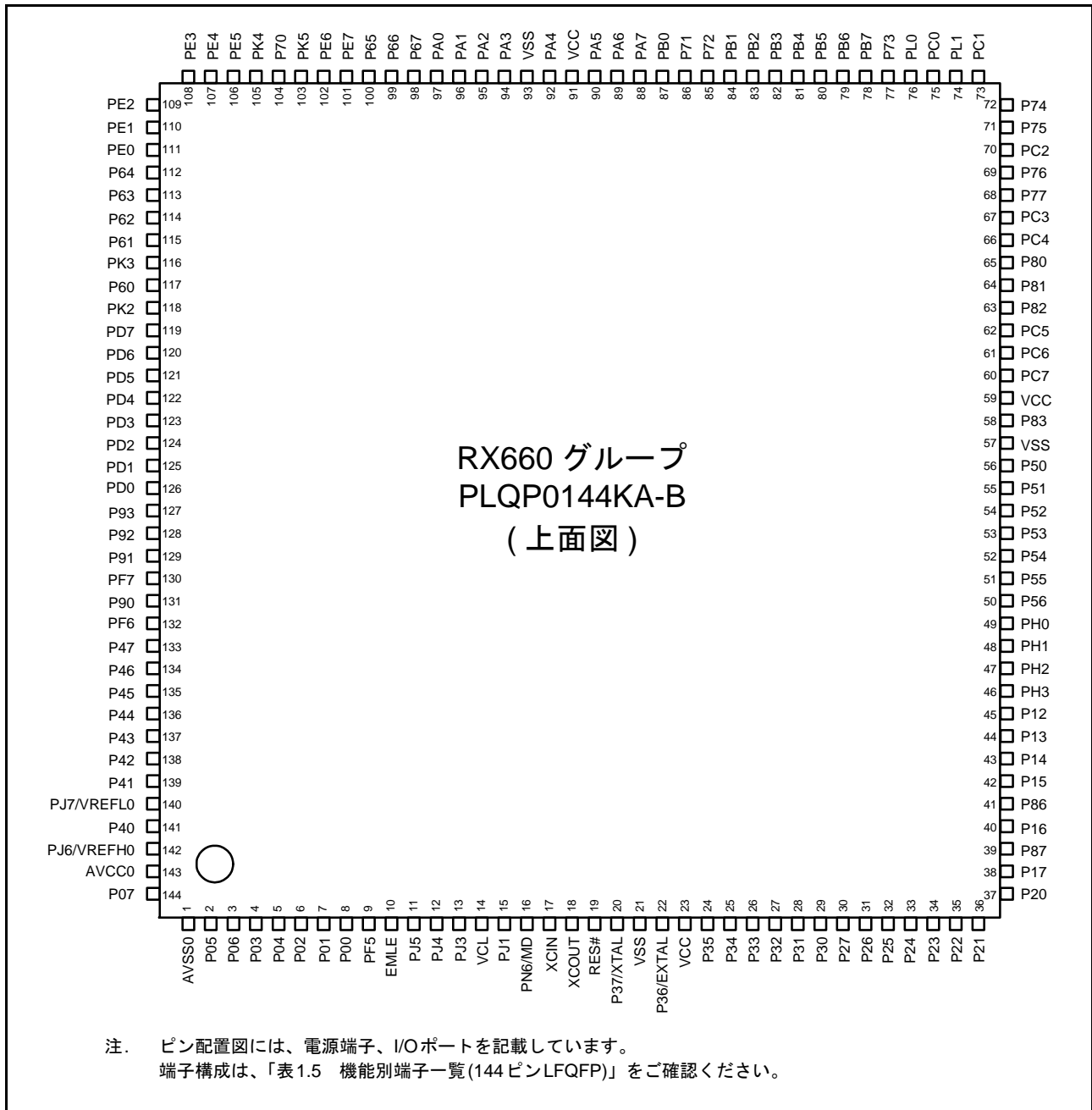


図 1.6 ピン配置図 (144ピン LQFP (JTAGあり / サブクロック発振器あり))

1.5.5 100ピン LQFP (JTAG なし / サブクロック発振器なし)

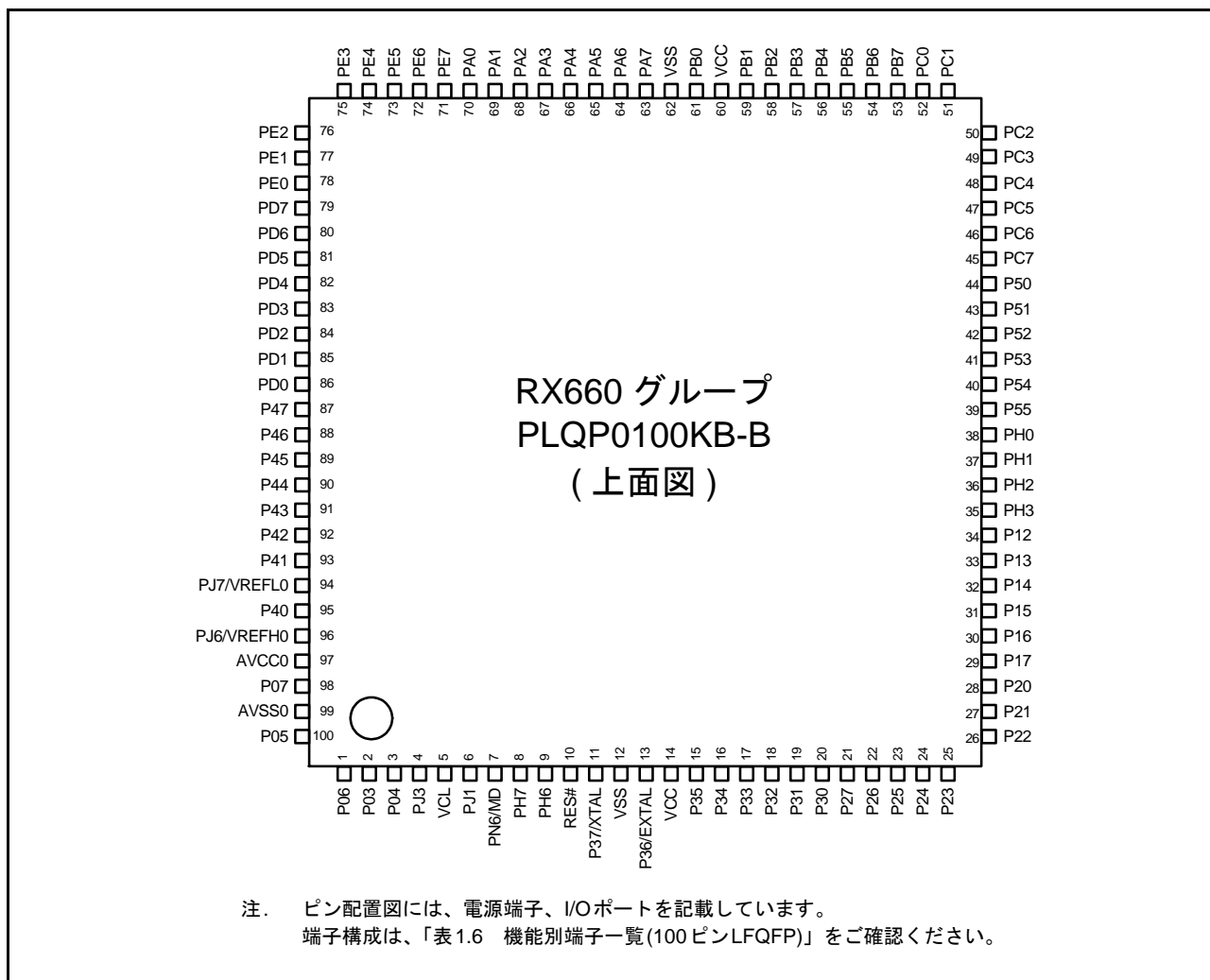


図 1.7 ピン配置図 (100ピン LQFP (JTAG なし / サブクロック発振器なし))

1.5.6 100ピン LQFP (JTAG なし / サブクロック発振器あり)

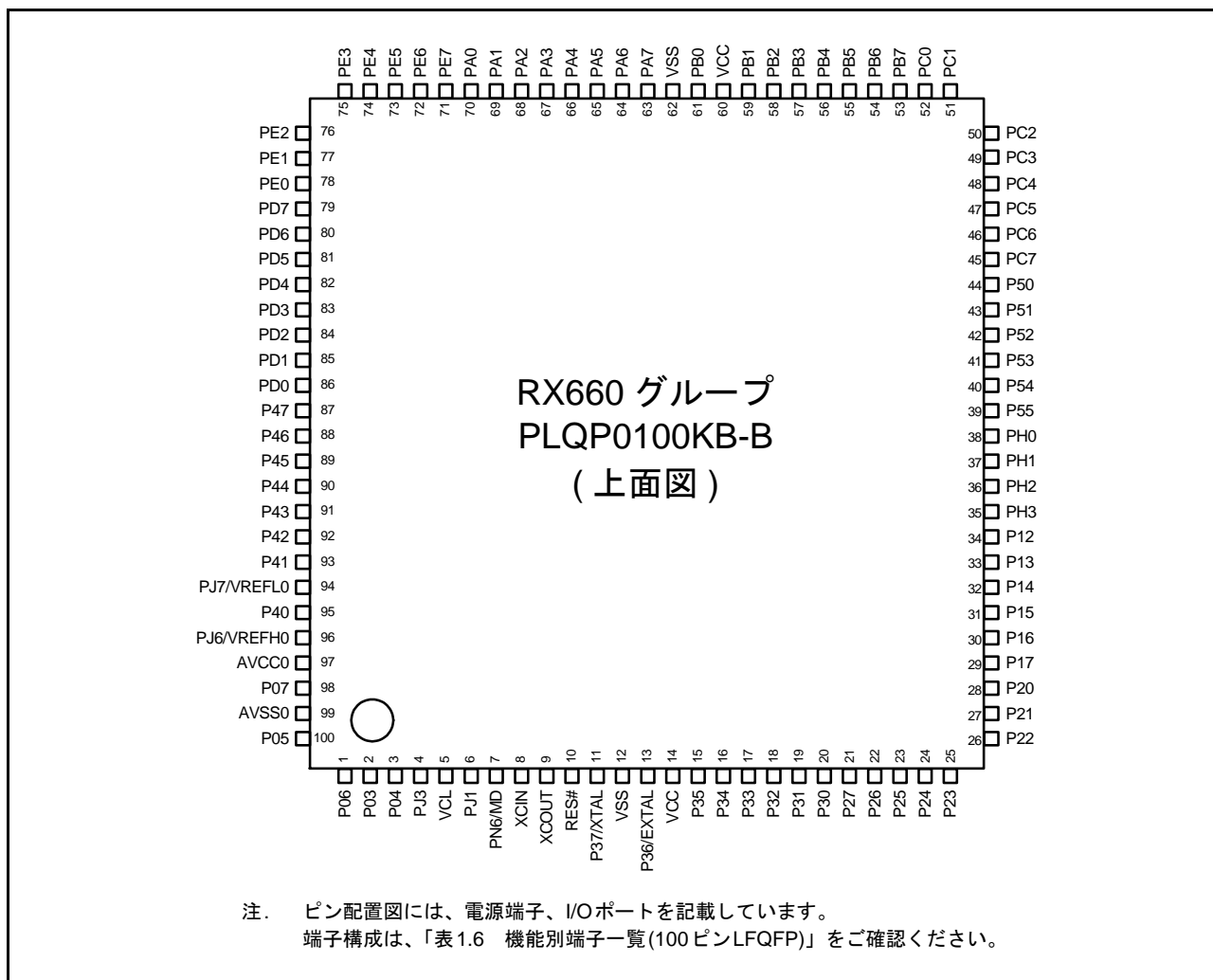


図 1.8 ピン配置図 (100ピン LQFP (JTAG なし / サブクロック発振器あり))

1.5.7 100ピン LQFP (JTAG あり / サブクロック発振器なし)

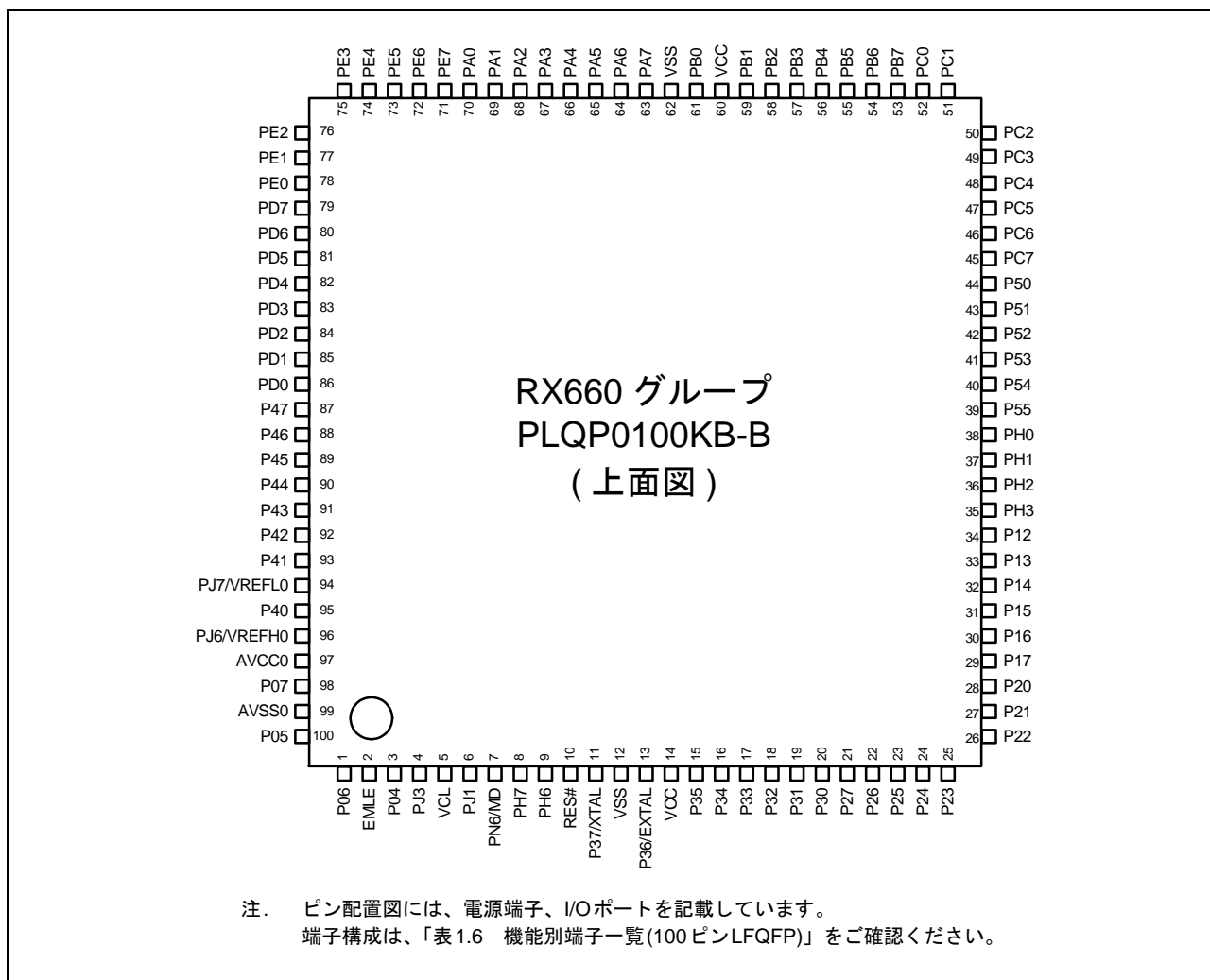


図 1.9 ピン配置図 (100ピン LQFP (JTAG あり / サブクロック発振器なし))

1.5.8 100ピン LQFP (JTAG あり / サブクロック発振器あり)

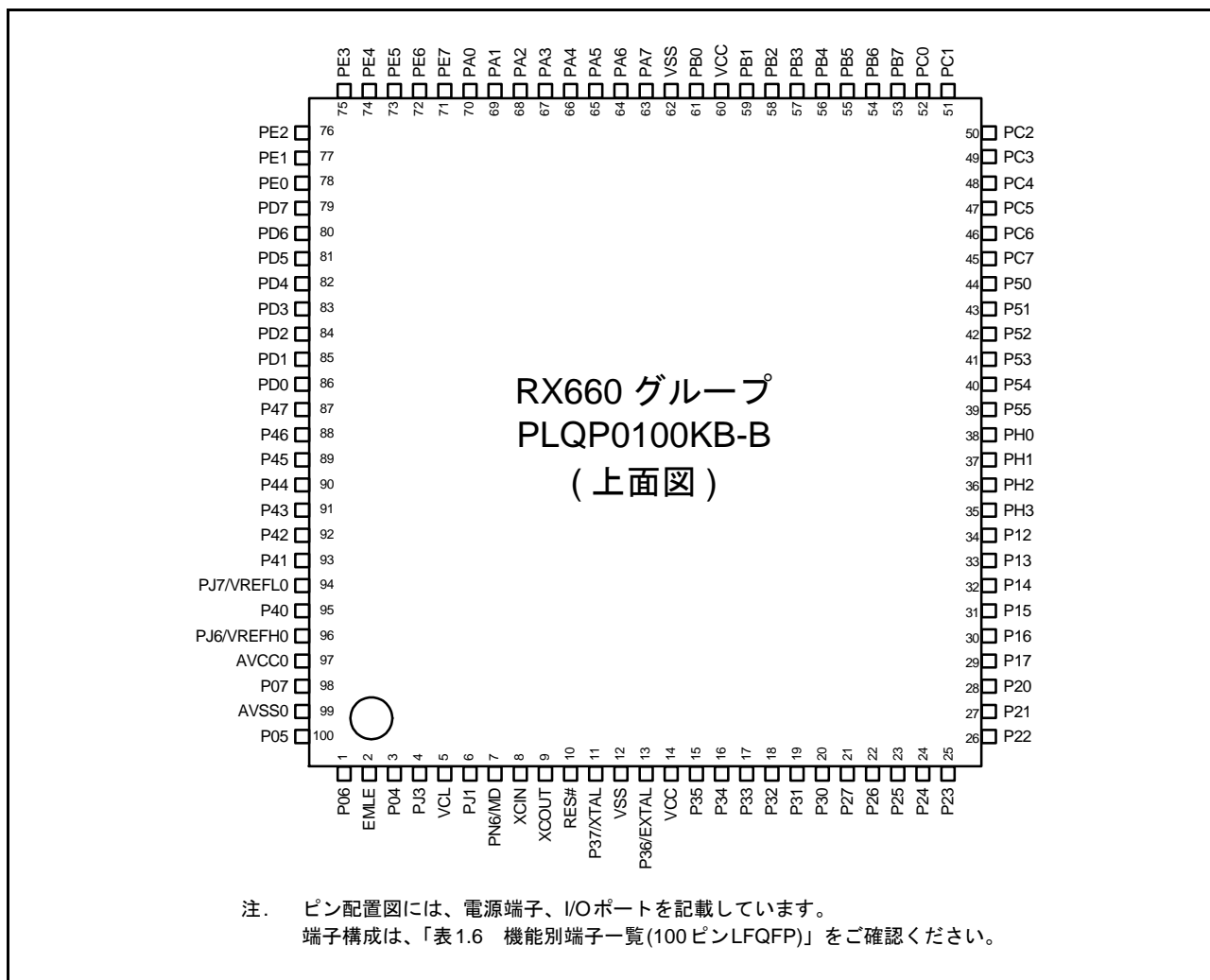


図 1.10 ピン配置図 (100ピン LQFP (JTAG あり / サブクロック発振器あり))

1.5.9 80ピンLFQFP (サブクロック発振器なし)

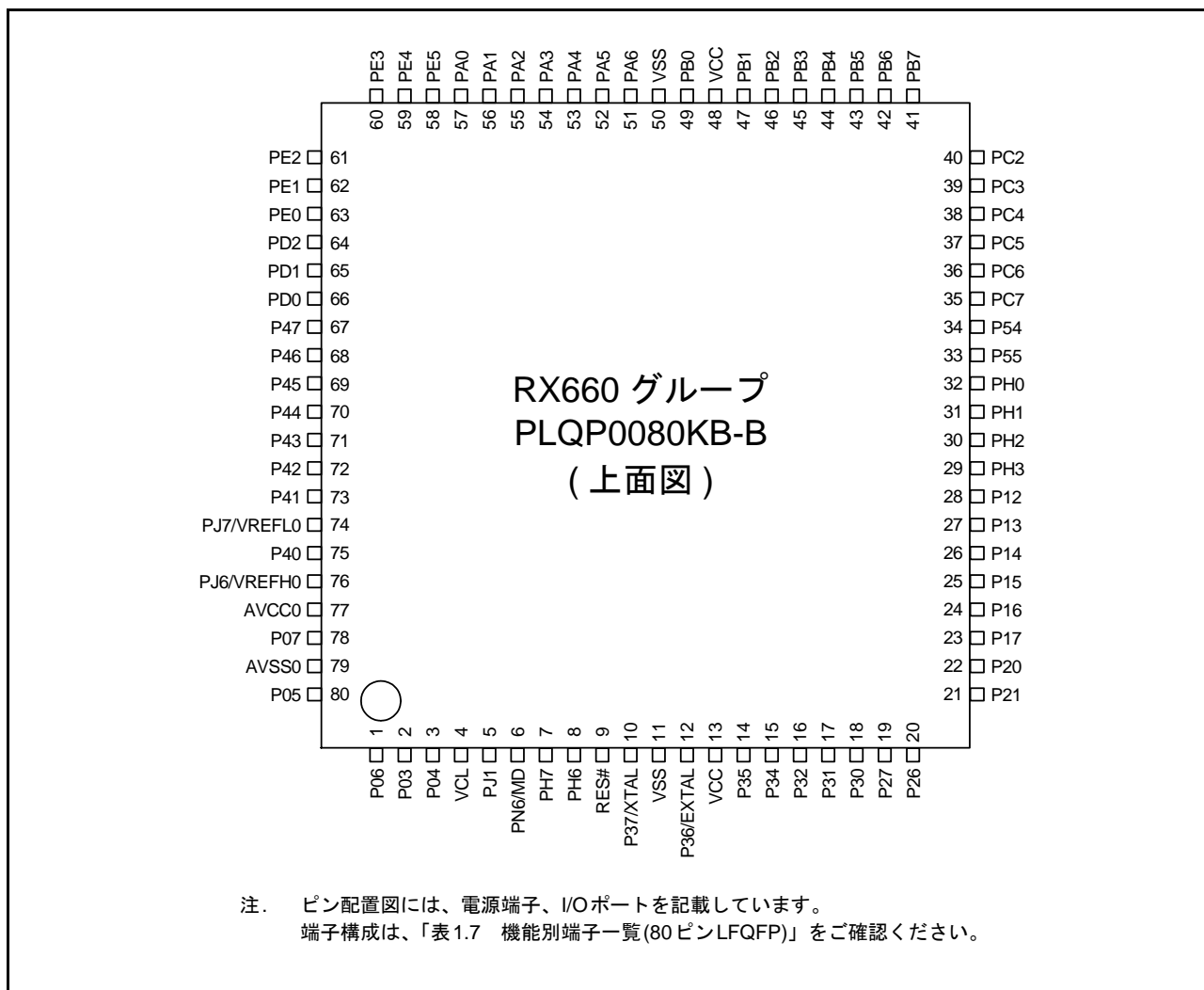


図 1.11 ピン配置図 (80ピンLFQFP (サブクロック発振器なし))

1.5.10 80ピンLFQFP (サブクロック発振器あり)

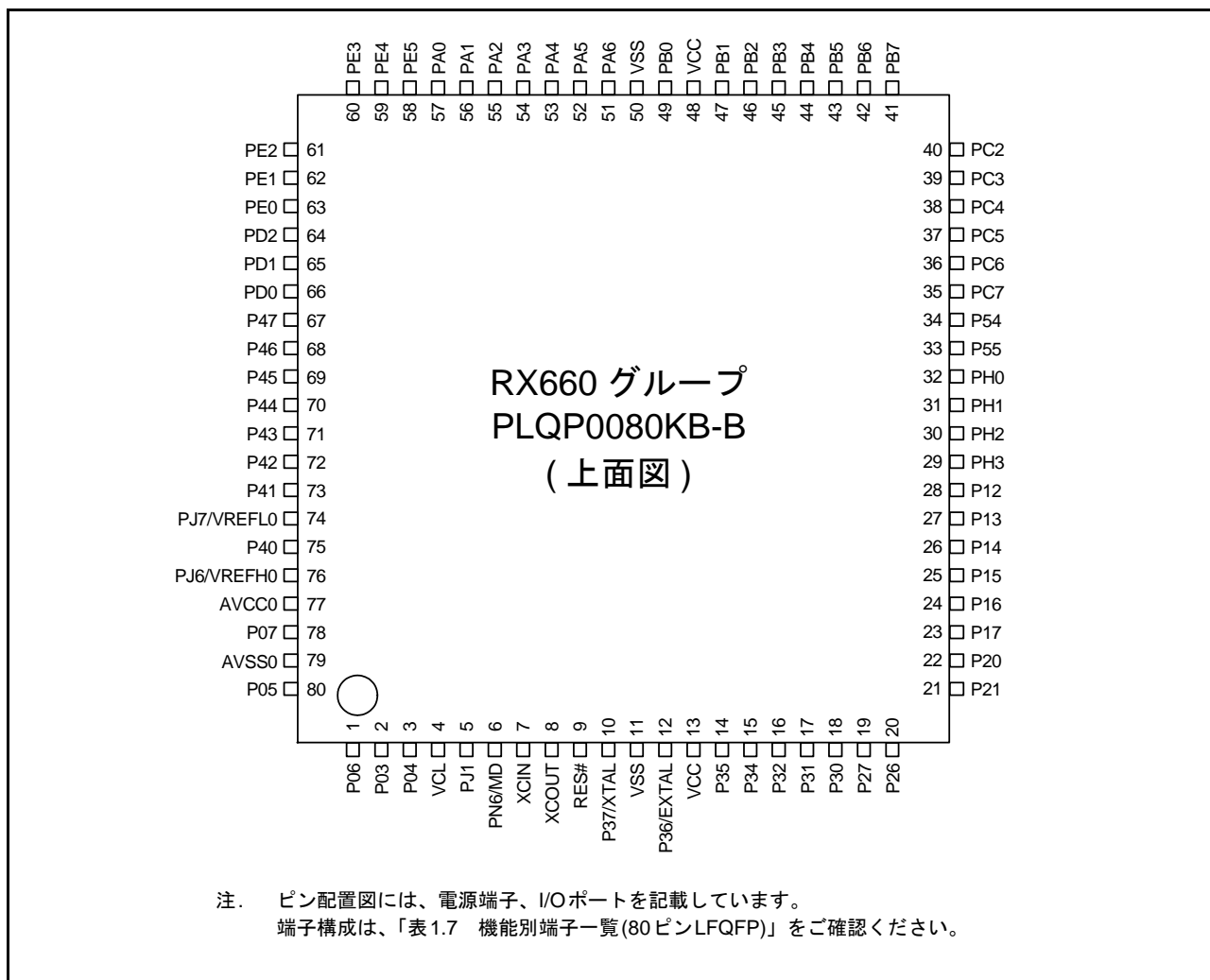


図 1.12 ピン配置図 (80ピンLFQFP (サブクロック発振器あり))

1.5.11 64ピンLFQFP (サブクロック発振器なし)

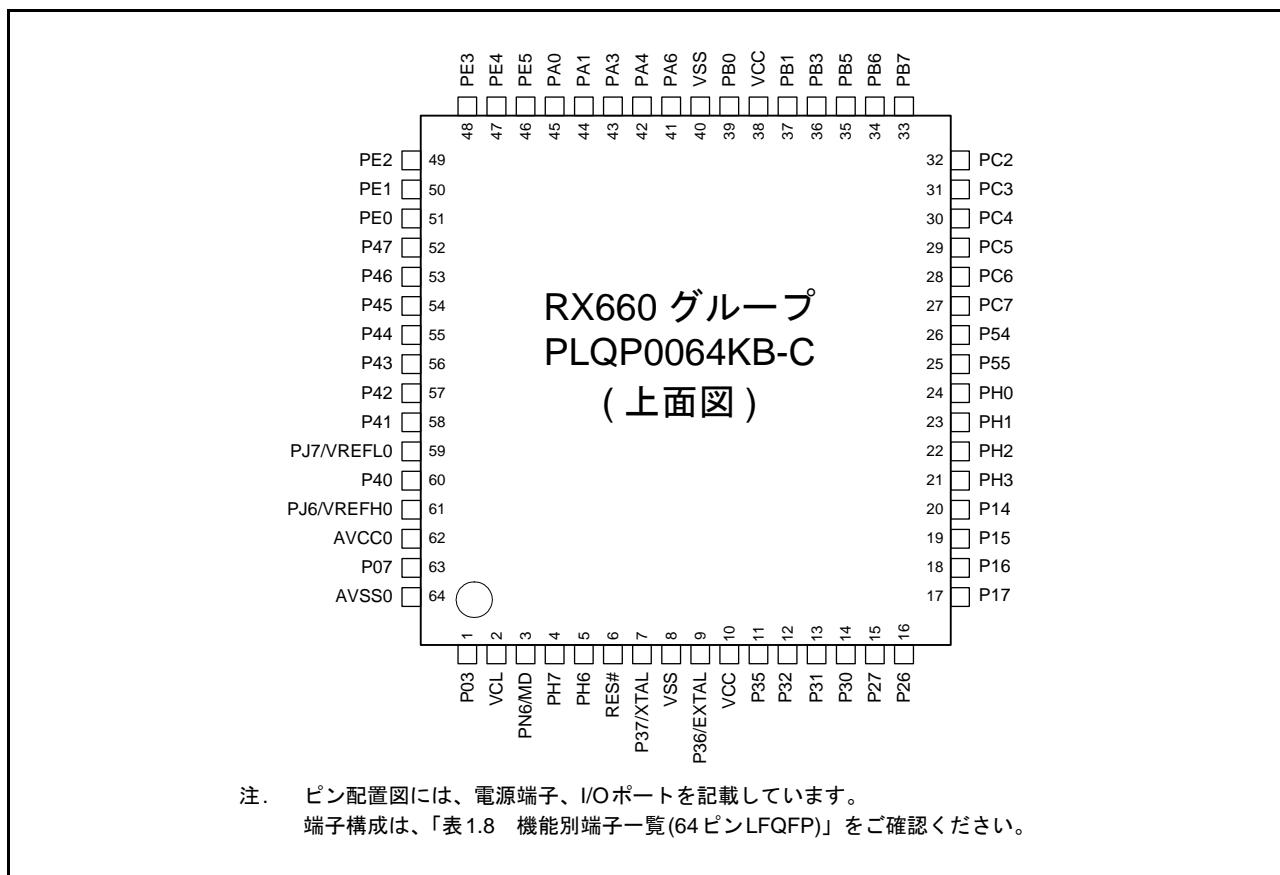


図 1.13 ピン配置図 (64ピンLFQFP (サブクロック発振器なし))

1.5.12 64ピンLFQFP (サブクロック発振器あり)

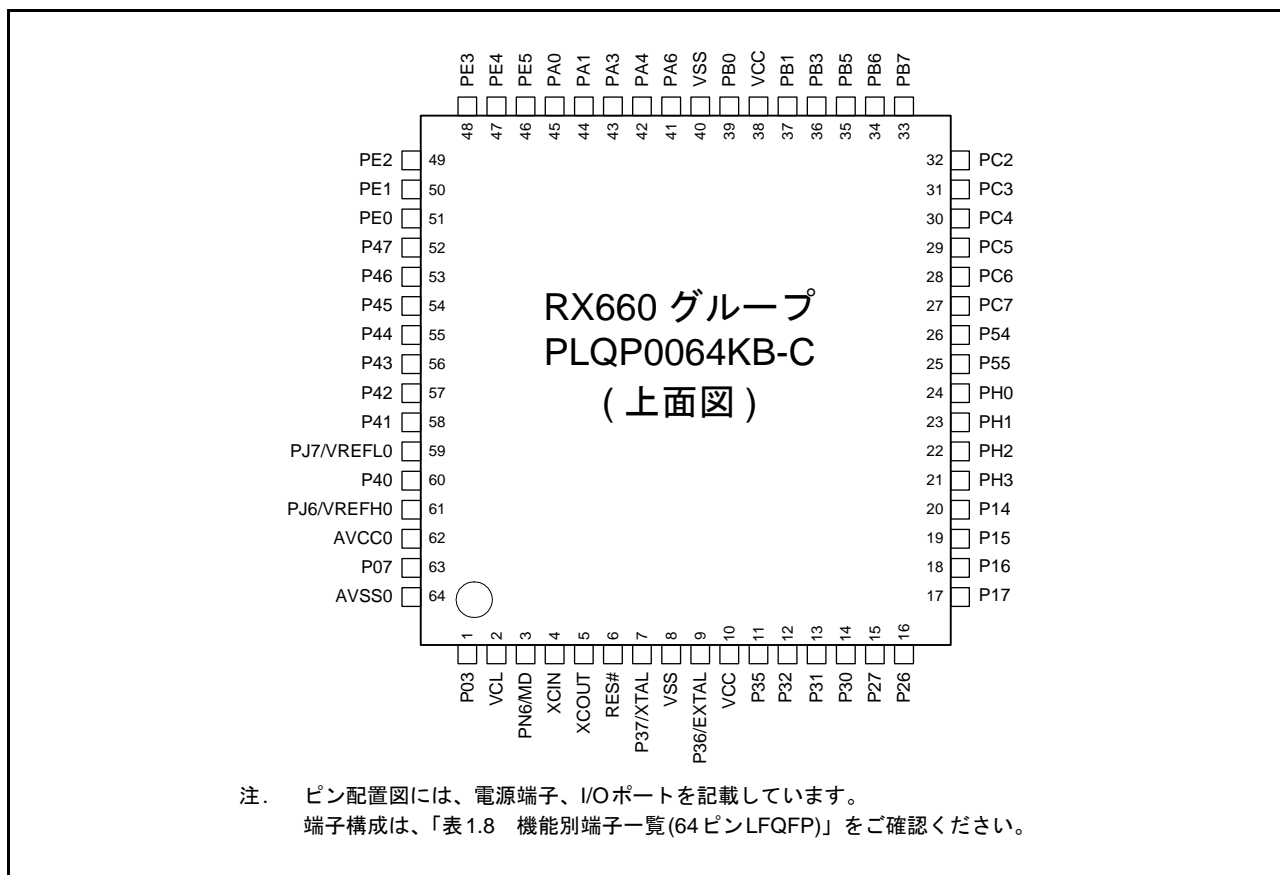


図 1.14 ピン配置図 (64ピンLFQFP (サブクロック発振器あり))

1.5.13 48ピンLFQFP

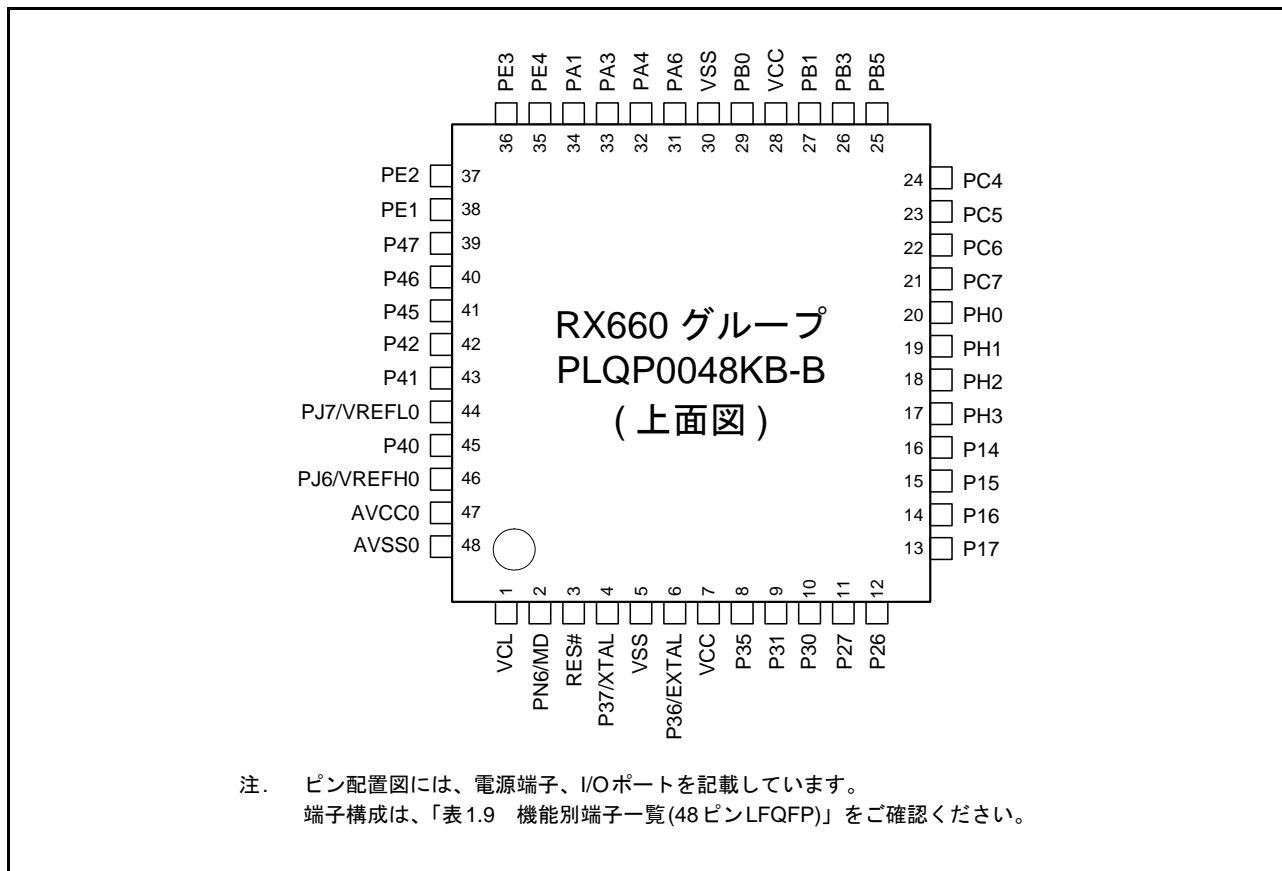


図 1.15 ピン配置図 (48ピンLFQFP)

1.6 機能別端子一覧

1.6.1 144ピンLFQFP

表 1.5 機能別端子一覧(144ピンLFQFP) (1 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
1	AVSS0						
2		P05				IRQ13	DA1
3		P06					
4		P03				IRQ11	DA0
5		P04					
6		P02		TMC11	SCK6	IRQ10	
7		P01		TMC10	RXD6/SMISO6/ SSCL6	IRQ9	
8		P00		TMR10	TXD6/SMOSI6/ SSDA6	IRQ8	
9		PF5				IRQ4	
10	EMLE (注1)	PN7 (注2)					
11		PJ5		POE8#	CTS2#/RTS2#/SS2#	IRQ13	
12		PJ4					
13		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#/ CTS0#/RTS0#/SS0#	IRQ11	
14	VCL						
15		PJ1		MTIOC3A			
16	MD/FINED	PN6					
17	XCIN (注3)	PH7 (注4)					
18	XCOUT (注3)	PH6 (注4)					
19	RES#						
20	XTAL	P37				IRQ4	
21	VSS						
22	EXTAL	P36				IRQ5	
23	VCC						
24		P35				NMI	
25	TRST# (注1)	P34		MTIOC0A/TMC13/ POE10#	SCK6/SCK0	IRQ4	
26		P33		MTIOC0D/TMR13/ POE4#/POE11#	RXD6/SMISO6/ SSCL6/RXD0/ SMISO0/SSCL0/ CRX0-A	IRQ3-DS	
27		P32		MTIOC0C/TMO3/ RTCIC2 (注5)/ RTCOUT (注5)/ POE0#/POE10#	TXD6/SMOSI6/ SSDA6/TXD0/ SMOSI0/SSDA0/ CTX0-A	IRQ2-DS	
28	TMS (注1)	P31		MTIOC4D/TMC12/ RTCIC1 (注5)	CTS1#/RTS1#/SS1#	IRQ1-DS	
29	TDI (注1)	P30		MTIOC4B/TMR13/ RTCIC0 (注5)/POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS	COMP3
30	TCK (注1)	P27	CS3#	MTIOC2B/TMC13	SCK1	IRQ7	CVREFC3

表 1.5 機能別端子一覧(144ピンLFQFP) (2 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
31	TDO (注1)	P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
32		P25	CS1#	MTIOC4C/MTCLKB	RXD3/SMISO3/ SSCL3	IRQ5	ADTRG0#
33		P24	CS0#	MTIOC4A/MTCLKA/ TMRI1	SCK3	IRQ12	
34		P23		MTIOC3D/MTCLKD	TXD3/SMOSI3/ SSDA3/CTS0#/ RTS0#/SS0#	IRQ3	
35		P22		MTIOC3B/MTCLKC/ TMO0	SCK0	IRQ15	
36		P21		MTIOC1B/TMCI0/ MTIOC4A	RXD0/SMISO0/ SSCL0	IRQ9	
37		P20		MTIOC1A/TMRI0	TXD0/SMOSI0/ SSDA0	IRQ8	
38		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
39		P87		MTIOC4C	SMOSI10/SSDA10/ TXD10/TXD010-B/ SMOSI010-B/ SSDA010-B	IRQ15	
40		P16		MTIOC3C/MTIOC3D/ TMO2/RTCOUT (注5)	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
41		P86		MTIOC4D	SMISO10/SSCL10/ RXD10/RXD010-B/ SMISO010-B/ SSCL010-B	IRQ14	
42		P15		MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
43		P14		MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
44		P13		MTIOC0B/TMO3	TXD2/SMOSI2/ SSDA2/SDA0	IRQ3	
45		P12		MTIC5U/TMCI1	RXD2/SMISO2/ SSCL2/SCL0	IRQ2	
46		PH3		MTIOC4D/TMCI0			
47		PH2		MTIOC4C/TMRI0/ TOC1		IRQ1	
48		PH1		MTIOC3D/TMO0/TIC1		IRQ0	ADST0
49		PH0		MTIOC3B/CACREF			ADTRG0#
50		P56		MTIOC3C	SCK7	IRQ6	
51	TRDATA3 (注1)	P55	D0[A0/D0]/ WAIT#	MTIOC4D/MTIOC4A/ TMO3	TXD7/SMOSI7/ SSDA7/CRX0-D	IRQ10	
52	TRDATA2 (注1)	P54	ALE/ D1[A1/D1]	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX0-D	IRQ4	
53		P53	BCLK		PMC0	IRQ3	
54		P52	RD#		RXD2/SMISO2/ SSCL2	IRQ2	
55		P51	WR1#/BC1#/ WAIT#		SCK2/PMC0	IRQ1	

表 1.5 機能別端子一覧(144ピンLFQFP) (3 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
56		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2	IRQ0	
57	VSS						
58	TRCLK (注1)	P83		MTIOC4C	SCK10/SS10#/ CTS10#/SCK010-B/ CTS010#-A/SS010#-A	IRQ3	
59	VCC						
60	UB	PC7	CS0#	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	
61		PC6	D2[A2/D2]/ CS1#	MTIOC3C/MTCLKA/ TMC12/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
62		PC5	D3[A3/D3]/ CS2#/WAIT#	MTIOC3B/MTCLKD/ TMR12/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	
63	TRSYNC (注1)	P82		MTIOC4A	SMOSI10/SSDA10/ TXD10/TXD010-A/ SMOSI010-A/ SSDA010-A	IRQ2	
64	TRDATA1 (注1)	P81		MTIOC3D	SMISO10/SSCL10/ RXD10/RXD010-A/ SMISO010-A/ SSCL010-A	IRQ9	
65	TRDATA0 (注1)	P80		MTIOC3B	SCK10/RTS10#/ SCK010-A/ RTS010#-A/DE010-A	IRQ8	
66		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
67		PC3	A19	MTIOC4D	TXD5/SMOSI5/ SSDA5/PMC0	IRQ11	
68	TRDATA7 (注1)	P77			SMOSI11/SSDA11/ TXD11/TXD011-A/ SMOSI011-A/ SSDA011-A	IRQ7	
69	TRDATA6 (注1)	P76			SMISO11/SSCL11/ RXD11/RXD011-A/ SMISO011-A/ SSCL011-A	IRQ14	
70		PC2	A18	MTIOC4B	RXD5/SMISO5/ SSCL5/TXDB011-A/ SSLA3-A	IRQ10	
71	TRSYNC1 (注1)	P75			SCK11/RTS11#/ SCK011-A/ RTS011#-A/DE011-A	IRQ13	
72	TRDATA5 (注1)	P74	A20		SS11#/CTS11#/ CTS011#-A/SS011#-A	IRQ12	

表 1.5 機能別端子一覧(144ピンLFQFP) (4 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
73		PC1	A17	MTIOC3A	SCK5/TXD011-C/ SMOSI011-C/ SSDA011-C/ TXDA011-C/SSLA2-A	IRQ12	
74		PL1					
75		PC0	A16	MTIOC3C	CTS5#/RTS5#/SS5#/ RXD011-C/ SMISO011-C/ SSCL011-C/SSLA1-A	IRQ14	
76		PL0					
77	TRDATA4 (注1)	P73	CS3#			IRQ8	
78		PB7	A15	MTIOC3B	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ TXD011-B/ SMOSI011-B/ SSDA011-B	IRQ15	
79		PB6	A14	MTIOC3D	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ RXD011-B/ SMISO011-B/ SSCL011-B	IRQ6	
80		PB5	A13	MTIOC2A/MTIOC1B/ TMRI1/POE4#/TOC2	SCK9/SCK11/ SCK011-B	IRQ13	
81		PB4	A12		CTS9#/RTS9#/SS9#/ SS11#/CTS11#/ RTS11#/CTS011#-B/ RTS011#-B/ SS011#-B/DE011-B	IRQ4	
82		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
83		PB2	A10		CTS4#/RTS4#/SS4#/ CTS6#/RTS6#/SS6#	IRQ2	
84		PB1	A9	MTIOC0C/MTIOC4C/ TMCIO	TXD4/SMOSI4/ SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS	COMP1
85		P72	A19/CS2#			IRQ10	
86		P71	A18/CS1#			IRQ1	
87		PB0	A8	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
88		PA7	A7		MISOA-B	IRQ7	
89		PA6	A6	MTIC5V/MTCLKB/ TMC13/POE10#/ MTIOC3D/MTIOC6B	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
90		PA5	A5	MTIOC6B	RSPCKA-B	IRQ5	
91	VCC						
92		PA4	A4	MTIC5U/MTCLKA/ TMRI0/MTIOC4C/ MTIOC7C	TXD5/SMOSI5/ SSDA5/TXD12/ SMOSI12/SSDA12/ TXD12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
93	VSS						

表 1.5 機能別端子一覧(144ピンLFQFP) (5 / 6)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
94		PA3	A3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10
95		PA2	A2	MTIOC7A	RXD5/SMISO5/ SSCL5/RXD12/ SMISO12/SSCL12/ RXDX12/SSLA3-B	IRQ10	
96		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#
97		PA0	BC0#/A0	MTIOC4A/CACREF/ MTIOC6D	SSLA1-B	IRQ0	
98		P67		MTIOC7C		IRQ15	
99		P66		MTIOC7D		IRQ14	
100		P65				IRQ13	
101		PE7	D15[A15/D15]/ D7[A7/D7]	MTIOC6A/TOC1		IRQ7	AN015
102		PE6	D14[A14/D14]/ D6[A6/D6]	MTIOC6C/TIC1	CTS4#/RTS4#/SS4#	IRQ6	AN014
103		PK5			TXD4/SMOSI4/ SSDA4		
104		P70			SCK4	IRQ0	
105		PK4			RXD4/SMISO4/ SSCL4		
106		PE5	D13[A13/D13]/ D5[A5/D5]	MTIOC4C/MTIOC2B		IRQ5	AN013/ COMP0
107		PE4	D12[A12/D12]/ D4[A4/D4]	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
108		PE3	D11[A11/D11]/ D3[A3/D3]	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
109		PE2	D10[A10/D10]/ D2[A2/D2]	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12	IRQ7-DS	AN010/ CVREFC0
110		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/MTIOC3B	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	IRQ9	AN009/ CMPC00
111		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	SCK12	IRQ8	AN008
112		P64	D3[A3/D3]			IRQ4	
113		P63	D2[A2/D2]/ CS3#			IRQ3	
114		P62	D1[A1/D1]/ CS2#			IRQ2	
115		P61	D0[A0/D0]/ CS1#		CTS9#/RTS9#/SS9#	IRQ1	
116		PK3			RXD9/SMISO9/ SSCL9		
117		P60	CS0#		SCK9	IRQ0	
118		PK2			TXD9/SMOSI9/ SSDA9		
119	TRDATA3 (注1)	PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7	AN023
120	TRDATA2 (注1)	PD6	D6[A6/D6]	MTIC5V/POE4#/ MTIOC8A		IRQ6	AN022
121	TRCLK (注1)	PD5	D5[A5/D5]	MTIC5W/POE10#/ MTIOC8C		IRQ5	AN021

表 1.5 機能別端子一覧(144ピンLQFP) (6 / 6)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
122	TRSYNC (注1)	PD4	D4[A4/D4]	POE11#/MTIOC8B		IRQ4	AN020
123	TRDATA1 (注1)	PD3	D3[A3/D3]	POE8#/MTIOC8D/ TOC2		IRQ3	AN019
124	TRDATA0 (注1)	PD2	D2[A2/D2]	MTIOC4D/TIC2	CRX0-B	IRQ2	AN018
125	TRDATA7 (注1)	PD1	D1[A1/D1]	MTIOC4B/POE0#	CTX0-B	IRQ1	AN017
126	TRDATA6 (注1)	PD0	D0[A0/D0]	POE4#		IRQ0	AN016
127	TRSYNC1 (注1)	P93	A19	POE0#	CTS7#/RTS7#/SS7#	IRQ11	
128	TRDATA5 (注1)	P92	A18	POE4#	RXD7/SMISO7/ SSCL7	IRQ10	
129	TRDATA4 (注1)	P91	A17		SCK7	IRQ9	
130		PF7					
131		P90	A16		TXD7/SMOSI7/ SSDA7	IRQ0	
132		PF6					
133		P47				IRQ15-DS	AN007
134		P46				IRQ14-DS	AN006
135		P45				IRQ13-DS	AN005
136		P44				IRQ12-DS	AN004
137		P43				IRQ11-DS	AN003
138		P42				IRQ10-DS	AN002
139		P41				IRQ9-DS	AN001
140	VREFL0	PJ7					
141		P40				IRQ8-DS	AN000
142	VREFH0	PJ6					
143	AVCC0						
144		P07				IRQ15	ADTRG0#

- 注1. JTAGのない製品にはありません。
注2. JTAGのある製品にはありません。
注3. サブクロック発振器のない製品にはありません。
注4. サブクロック発振器のある製品にはありません。
注5. サブクロック発振器のない製品では使用できません。

1.6.2 100ピン LQFP

表 1.6 機能別端子一覧(100ピンLQFP) (1 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
1		P06					
2	EMLE (注1)	P03 (注2)				IRQ11 (注2)	DA0 (注2)
3		P04					
4		PJ3		MTIOC3C	CTS6#/RTS6#/SS6#/ CTS0#/RTS0#/SS0#	IRQ11	
5	VCL						
6		PJ1		MTIOC3A			
7	MD/FINED	PN6					
8	XCIN (注3)	PH7 (注4)					
9	XCOUT (注3)	PH6 (注4)					
10	RES#						
11	XTAL	P37				IRQ4	
12	VSS						
13	EXTAL	P36				IRQ5	
14	VCC						
15		P35				NMI	
16	TRST# (注1)	P34		MTIOC0A/TMCI3/ POE10#	SCK6/SCK0	IRQ4	
17		P33		MTIOC0D/TMRI3/ POE4#/POE11#	RXD6/SMISO6/ SSCL6/RXD0/ SMISO0/SSCL0/ CRX0-A	IRQ3-DS	
18		P32		MTIOC0C/TMO3/ RTCIC2 (注5)/ RTCOU (注5)/ POE0#/POE10#	TXD6/SMOSI6/ SSDA6/TXD0/ SMOSI0/SSDA0/ CTX0-A	IRQ2-DS	
19	TMS (注1)	P31		MTIOC4D/TMCI2/ RTCIC1 (注5)	CTS1#/RTS1#/SS1#	IRQ1-DS	
20	TDI (注1)	P30		MTIOC4B/TMRI3/ RTCIC0 (注5)/POE8#	RXD1/SMOSI0/ SSCL1	IRQ0-DS	COMP3
21	TCK (注1)	P27	CS3#	MTIOC2B/TMCI3	SCK1	IRQ7	CVREFC3
22	TDO (注1)	P26	CS2#	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
23		P25	CS1#	MTIOC4C/MTCLKB	RXD3/SMOSI3/ SSCL3	IRQ5	ADTRG0#
24		P24	CS0#	MTIOC4A/MTCLKA/ TMR1	SCK3	IRQ12	
25		P23		MTIOC3D/MTCLKD	TXD3/SMOSI3/ SSDA3/CTS0#/ RTS0#/SS0#	IRQ3	
26		P22		MTIOC3B/MTCLKC/ TMO0	SCK0	IRQ15	
27		P21		MTIOC1B/TMCI0/ MTIOC4A	RXD0/SMISO0/ SSCL0	IRQ9	
28		P20		MTIOC1A/TMRI0	TXD0/SMOSI0/ SSDA0	IRQ8	

表 1.6 機能別端子一覧(100ピンLFQFP) (2 / 4)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
29		P17		MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
30		P16		MTIOC3C/MTIOC3D/ TMO2/RTCOU ^(注5)	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
31		P15		MTIOC0B/MTCLKB/ TMC12	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
32		P14		MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
33		P13		MTIOC0B/TMO3	TXD2/SMOSI2/ SSDA2/SDA0	IRQ3	
34		P12		MTIC5U/TMC11	RXD2/SMISO2/ SSCL2/SCL0	IRQ2	
35		PH3		MTIOC4D/TMC10			
36		PH2		MTIOC4C/TMRI0/ TOC1		IRQ1	
37		PH1		MTIOC3D/TMO0/TIC1		IRQ0	ADST0
38		PH0		MTIOC3B/CACREF			ADTRG0#
39		P55	D0[A0/D0]/ WAIT#	MTIOC4D/MTIOC4A/ TMO3	CRX0-D	IRQ10	
40		P54	ALE/ D1[A1/D1]	MTIOC4B/TMC11	CTS2#/RTS2#/SS2#/ CTX0-D	IRQ4	
41		P53	BCLK		PMC0	IRQ3	
42		P52	RD#		RXD2/SMISO2/ SSCL2	IRQ2	
43		P51	WR1#/BC1#/ WAIT#		SCK2/PMC0	IRQ1	
44		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2	IRQ0	
45	UB	PC7	CS0#	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	
46		PC6	D2[A2/D2]/ CS1#	MTIOC3C/MTCLKA/ TMC12/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
47		PC5	D3[A3/D3]/ CS2#/WAIT#	MTIOC3B/MTCLKD/ TMRI2/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	
48		PC4	A20/CS3#	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
49		PC3	A19	MTIOC4D	TXD5/SMOSI5/ SSDA5/PMC0	IRQ11	

表 1.6 機能別端子一覧(100ピンLFQFP) (3 / 4)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
50		PC2	A18	MTIOC4B	RXD5/SMISO5/ SSCL5/TXDB011-A/ SSLA3-A	IRQ10	
51		PC1	A17	MTIOC3A	SCK5/TXD011-C/ SMOSI011-C/ SSDA011-C/ TXDA011-C/SSLA2-A	IRQ12	
52		PC0	A16	MTIOC3C	CTS5#/RTS5#/SS5#/ RXD011-C/ SMISO011-C/ SSCL011-C/SSLA1-A	IRQ14	
53		PB7	A15	MTIOC3B	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ TXD011-B/ SMOSI011-B/ SSDA011-B	IRQ15	
54		PB6	A14	MTIOC3D	RXD9/SMISO9/ SSCL9/SMOSI11/ SSCL11/RXD11/ RXD011-B/ SMISO011-B/ SSCL011-B	IRQ6	
55		PB5	A13	MTIOC2A/MTIOC1B/ TMR11/POE4#/TOC2	SCK9/SCK11/ SCK011-B	IRQ13	
56		PB4	A12		CTS9#/RTS9#/SS9#/ SS11#/CTS11#/ RTS11#/CTS011#-B/ RTS011#-B/ SS011#-B/DE011-B	IRQ4	
57		PB3	A11	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
58		PB2	A10		CTS4#/RTS4#/SS4#/ CTS6#/RTS6#/SS6#	IRQ2	
59		PB1	A9	MTIOC0C/MTIOC4C/ TMC10	TXD4/SMOSI4/ SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS	COMP1
60	VCC						
61		PB0	A8	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
62	VSS						
63		PA7	A7		MISOA-B	IRQ7	
64		PA6	A6	MTIC5V/MTCLKB/ TMC13/POE10#/ MTIOC3D/MTIOC6B	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
65		PA5	A5	MTIOC6B	RSPCKA-B	IRQ5	
66		PA4	A4	MTIC5U/MTCLKA/ TMR10/MTIOC4C/ MTIOC7C	TXD5/SMOSI5/ SSDA5/TXD12/ SMOSI12/SSDA12/ TXD12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
67		PA3	A3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10

表 1.6 機能別端子一覧(100ピンLQFP) (4 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	バス	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
68		PA2	A2	MTIOC7A	RXD5/SMISO5/ SSCL5/RXD12/ SMISO12/SSCL12/ RXDX12/SSLA3-B	IRQ10	
69		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#
70		PA0	BC0#/A0	MTIOC4A/CACREF/ MTIOC6D	SSLA1-B	IRQ0	
71		PE7	D15[A15/D15]/ D7[A7/D7]	MTIOC6A/TOC1		IRQ7	AN015
72		PE6	D14[A14/D14]/ D6[A6/D6]	MTIOC6C/TIC1	CTS4#/RTS4#/SS4#	IRQ6	AN014
73		PE5	D13[A13/D13]/ D5[A5/D5]	MTIOC4C/MTIOC2B		IRQ5	AN013/ COMP0
74		PE4	D12[A12/D12]/ D4[A4/D4]	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
75		PE3	D11[A11/D11]/ D3[A3/D3]	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
76		PE2	D10[A10/D10]/ D2[A2/D2]	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12	IRQ7-DS	AN010/ CVREFC0
77		PE1	D9[A9/D9]/ D1[A1/D1]	MTIOC4C/MTIOC3B	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	IRQ9	AN009/ CMPC00
78		PE0	D8[A8/D8]/ D0[A0/D0]	MTIOC3D	SCK12	IRQ8	AN008
79		PD7	D7[A7/D7]	MTIC5U/POE0#		IRQ7	AN023
80		PD6	D6[A6/D6]	MTIC5V/POE4#/ MTIOC8A		IRQ6	AN022
81		PD5	D5[A5/D5]	MTIC5W/POE10#/ MTIOC8C		IRQ5	AN021
82		PD4	D4[A4/D4]	POE11#/MTIOC8B		IRQ4	AN020
83		PD3	D3[A3/D3]	POE8#/MTIOC8D/ TOC2		IRQ3	AN019
84		PD2	D2[A2/D2]	MTIOC4D/TIC2	CRX0-B	IRQ2	AN018
85		PD1	D1[A1/D1]	MTIOC4B/POE0#	CTX0-B	IRQ1	AN017
86		PD0	D0[A0/D0]	POE4#		IRQ0	AN016
87		P47				IRQ15-DS	AN007
88		P46				IRQ14-DS	AN006
89		P45				IRQ13-DS	AN005
90		P44				IRQ12-DS	AN004
91		P43				IRQ11-DS	AN003
92		P42				IRQ10-DS	AN002
93		P41				IRQ9-DS	AN001
94	VREFL0	PJ7					
95		P40				IRQ8-DS	AN000
96	VREFH0	PJ6					
97	AVCC0						
98		P07				IRQ15	ADTRG0#
99	AVSS0						
100		P05				IRQ13	DA1

- 注1. JTAGのない製品にはありません。
- 注2. JTAGのある製品にはありません。
- 注3. サブクロック発振器のない製品にはありません。
- 注4. サブクロック発振器のある製品にはありません。
- 注5. サブクロック発振器のない製品では使用できません。

1.6.3 80ピンLFQFP

表 1.7 機能別端子一覧(80ピンLFQFP) (1 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
1		P06				
2		P03			IRQ11	DA0
3		P04				
4	VCL					
5		PJ1	MTIOC3A			
6	MD/FINED	PN6				
7	XCIN (注1)	PH7 (注2)				
8	XCOUT (注1)	PH6 (注2)				
9	RES#					
10	XTAL	P37			IRQ4	
11	VSS					
12	EXTAL	P36			IRQ5	
13	VCC					
14		P35			NMI	
15		P34	MTIOC0A/TMCI3/ POE10#	SCK6/SCK0	IRQ4	
16		P32	MTIOC0C/TMO3/ RTCIC2 (注3)/ RTCOUT (注3)/ POE0#/POE10#	TXD6/SMOSI6/ SSDA6/TXD0/ SMOSI0/SSDA0/ CTX0-A	IRQ2-DS	
17		P31	MTIOC4D/TMCI2/ RTCIC1 (注3)	CTS1#/RTS1#/SS1#	IRQ1-DS	
18		P30	MTIOC4B/TMRI3/ RTCIC0 (注3)/POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS	COMP3
19		P27	MTIOC2B/TMCI3	SCK1	IRQ7	CVREFC3
20		P26	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
21		P21	MTIOC1B/TMCI0/ MTIOC4A	RXD0/SMISO0/ SSCL0	IRQ9	
22		P20	MTIOC1A/TMRI0	TXD0/SMOSI0/ SSDA0	IRQ8	
23		P17	MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
24		P16	MTIOC3C/MTIOC3D/ TMO2/RTCOUT (注3)	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
25		P15	MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
26		P14	MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
27		P13	MTIOC0B/TMO3	SDA0	IRQ3	
28		P12	MTIC5U/TMCI1	SCL0	IRQ2	
29		PH3	MTIOC4D/TMCI0			

表 1.7 機能別端子一覧 (80ピンLFQFP) (2 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
30		PH2	MTIOC4C/TMRI0/ TOC1		IRQ1	
31		PH1	MTIOC3D/TMO0/TIC1		IRQ0	ADST0
32		PH0	MTIOC3B/CACREF			ADTRG0#
33		P55	MTIOC4D/MTIOC4A/ TMO3	CRX0-D	IRQ10	
34		P54	MTIOC4B/TMCI1	CTX0-D	IRQ4	
35	UB	PC7	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	
36		PC6	MTIOC3C/MTCLKA/ TMC12/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
37		PC5	MTIOC3B/MTCLKD/ TMRI2/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	
38		PC4	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
39		PC3	MTIOC4D	TXD5/SMOSI5/ SSDA5/PMC0	IRQ11	
40		PC2	MTIOC4B	RXD5/SMISO5/ SSCL5/TXDB011-A/ SSLA3-A	IRQ10	
41		PB7	MTIOC3B	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ TXD011-B/ SMOSI011-B/ SSDA011-B	IRQ15	
42		PB6	MTIOC3D	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ RXD011-B/ SMISO011-B/ SSCL011-B	IRQ6	
43		PB5	MTIOC2A/MTIOC1B/ TMRI1/POE4#/TOC2	SCK9/SCK11/ SCK011-B	IRQ13	
44		PB4		CTS9#/RTS9#/SS9#/ SS11#/CTS11#/ RTS11#/CTS011#-B/ RTS011#-B/ SS011#-B/DE011-B	IRQ4	
45		PB3	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
46		PB2		CTS4#/RTS4#/SS4#/ CTS6#/RTS6#/SS6#	IRQ2	

表 1.7 機能別端子一覧(80ピンLQFP)(3 / 4)

ピン番号 80ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
47		PB1	MTIOC0C/MTIOC4C/ TMC10	TXD4/SMOSI4/ SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS	COMP1
48	VCC					
49		PB0	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
50	VSS					
51		PA6	MTIC5V/MTCLKB/ TMC13/POE10#/ MTIOC3D/MTIOC6B	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
52		PA5	MTIOC6B	RSPCKA-B	IRQ5	
53		PA4	MTIC5U/MTCLKA/ TMR10/MTIOC4C/ MTIOC7C	TXD5/SMOSI5/ SSDA5/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
54		PA3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10
55		PA2	MTIOC7A	RXD5/SMISO5/ SSCL5/RXD12/ SMISO12/SSCL12/ RXDX12/SSLA3-B	IRQ10	
56		PA1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#
57		PA0	MTIOC4A/CACREF/ MTIOC6D	SSLA1-B	IRQ0	
58		PE5	MTIOC4C/MTIOC2B		IRQ5	AN013/COMP0
59		PE4	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
60		PE3	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
61		PE2	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12	IRQ7-DS	AN010/ CVREFC0
62		PE1	MTIOC4C/MTIOC3B	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	IRQ9	AN009/ CMPC00
63		PE0	MTIOC3D	SCK12	IRQ8	AN008
64		PD2	MTIOC4D/TIC2	CRX0-B	IRQ2	AN018
65		PD1	MTIOC4B/POE0#	CTX0-B	IRQ1	AN017
66		PD0	POE4#		IRQ0	AN016
67		P47			IRQ15-DS	AN007
68		P46			IRQ14-DS	AN006
69		P45			IRQ13-DS	AN005
70		P44			IRQ12-DS	AN004
71		P43			IRQ11-DS	AN003
72		P42			IRQ10-DS	AN002
73		P41			IRQ9-DS	AN001
74	VREFL0	PJ7				
75		P40			IRQ8-DS	AN000

表 1.7 機能別端子一覧(80ピンLFQFP) (4 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
76	VREFH0	PJ6				
77	AVCC0					
78		P07			IRQ15	ADTRG0#
79	AVSS0					
80		P05			IRQ13	DA1

- 注1. サブクロック発振器のない製品にはありません。
注2. サブクロック発振器のある製品にはありません。
注3. サブクロック発振器のない製品では使用できません。

1.6.4 64ピンLFQFP

表 1.8 機能別端子一覧(64ピンLFQFP) (1 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
1		P03			IRQ11	DA0
2	VCL					
3	MD/FINED	PN6				
4	XCIN (注1)	PH7 (注2)				
5	XCOUT (注1)	PH6 (注2)				
6	RES#					
7	XTAL	P37			IRQ4	
8	VSS					
9	EXTAL	P36			IRQ5	
10	VCC					
11		P35			NMI	
12		P32	MTIOC0C/TMO3/ RTCIC2 (注3)/ RTCOU (注3)/ POE0#/POE10#	TXD6/SMOSI6/ SSDA6/CTX0-A	IRQ2-DS	
13		P31	MTIOC4D/TMCI2/ RTCIC1 (注3)	CTS1#/RTS1#/SS1#	IRQ1-DS	
14		P30	MTIOC4B/TMRI3/ RTCIC0 (注3)/POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS	COMP3
15		P27	MTIOC2B/TMCI3	SCK1	IRQ7	CVREFC3
16		P26	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
17		P17	MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
18		P16	MTIOC3C/MTIOC3D/ TMO2/RTCOU (注3)	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
19		P15	MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
20		P14	MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
21		PH3	MTIOC4D/TMCI0			
22		PH2	MTIOC4C/TMRI0/ TOC1		IRQ1	
23		PH1	MTIOC3D/TMO0/TIC1		IRQ0	ADST0
24		PH0	MTIOC3B/CACREF			ADTRG0#
25		P55	MTIOC4D/MTIOC4A/ TMO3	CRX0-D	IRQ10	
26		P54	MTIOC4B/TMCI1	CTX0-D	IRQ4	
27	UB	PC7	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	

表 1.8 機能別端子一覧(64ピンLFQFP) (2 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
28		PC6	MTIOC3C/MTCLKA/ TMC12/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
29		PC5	MTIOC3B/MTCLKD/ TMRI2/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	
30		PC4	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
31		PC3	MTIOC4D	TXD5/SMOSI5/ SSDA5/PMC0	IRQ11	
32		PC2	MTIOC4B	RXD5/SMISO5/ SSCL5/TXDB011-A/ SSLA3-A	IRQ10	
33		PB7	MTIOC3B	TXD9/SMOSI9/ SSDA9/SMOSI11/ SSDA11/TXD11/ TXD011-B/ SMOSI011-B/ SSDA011-B	IRQ15	
34		PB6	MTIOC3D	RXD9/SMISO9/ SSCL9/SMISO11/ SSCL11/RXD11/ RXD011-B/ SMISO011-B/ SSCL011-B	IRQ6	
35		PB5	MTIOC2A/MTIOC1B/ TMRI1/POE4#/TOC2	SCK9/SCK11/ SCK011-B	IRQ13	
36		PB3	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
37		PB1	MTIOC0C/MTIOC4C/ TMC10	TXD4/SMOSI4/ SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS	COMP1
38	VCC					
39		PB0	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
40	VSS					
41		PA6	MTIC5V/MTCLKB/ TMC13/POE10#/ MTIOC3D/MTIOC6B	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
42		PA4	MTIC5U/MTCLKA/ TMRI0/MTIOC4C/ MTIOC7C	TXD5/SMOSI5/ SSDA5/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
43		PA3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10
44		PA1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#

表 1.8 機能別端子一覧(64ピンLFQFP) (3 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, RTC, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, D/A, CMPC
45		PA0	MTIOC4A/CACREF/ MTIOC6D	SSLA1-B	IRQ0	
46		PE5	MTIOC4C/MTIOC2B		IRQ5	AN013/COMP0
47		PE4	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
48		PE3	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
49		PE2	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RDX12	IRQ7-DS	AN010/ CVREFC0
50		PE1	MTIOC4C/MTIOC3B	TXD12/SMOSI12/ SSDA12/TDX12/ SIOX12	IRQ9	AN009/ CMPC00
51		PE0	MTIOC3D	SCK12	IRQ8	AN008
52		P47			IRQ15-DS	AN007
53		P46			IRQ14-DS	AN006
54		P45			IRQ13-DS	AN005
55		P44			IRQ12-DS	AN004
56		P43			IRQ11-DS	AN003
57		P42			IRQ10-DS	AN002
58		P41			IRQ9-DS	AN001
59	VREFL0	PJ7				
60		P40			IRQ8-DS	AN000
61	VREFH0	PJ6				
62	AVCC0					
63		P07			IRQ15	ADTRG0#
64	AVSS0					

- 注1. サブクロック発振器のない製品にはありません。
注2. サブクロック発振器のある製品にはありません。
注3. サブクロック発振器のない製品では使用できません。

1.6.5 48ピンLFQFP

表 1.9 機能別端子一覧(48ピンLFQFP) (1 / 2)

ピン番号 48ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, CMPC
1	VCL					
2	MD/FINED	PN6				
3	RES#					
4	XTAL	P37			IRQ4	
5	VSS					
6	EXTAL	P36			IRQ5	
7	VCC					
8		P35			NMI	
9		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	IRQ1-DS	
10		P30	MTIOC4B/POE8#	RXD1/SMISO1/ SSCL1	IRQ0-DS	COMP3
11		P27	MTIOC2B	SCK1	IRQ7	CVREFC3
12		P26	MTIOC2A/TMO1	TXD1/SMOSI1/ SSDA1/CTS3#/ RTS3#/SS3#	IRQ6	CMPC30
13		P17	MTIOC3A/MTIOC3B/ TMO1/POE8#/ MTIOC4B	SCK1/TXD3/SMOSI3/ SSDA3/MISOA-C/ SDA2	IRQ7	COMP2
14		P16	MTIOC3C/MTIOC3D/ TMO2	TXD1/SMOSI1/ SSDA1/RXD3/ SMISO3/SSCL3/ MOSIA-C/SCL2	IRQ6	ADTRG0#
15		P15	MTIOC0B/MTCLKB/ TMCI2	RXD1/SMISO1/ SSCL1/SCK3/CRX0-C	IRQ5	CMPC20
16		P14	MTIOC3A/MTCLKA/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0-C	IRQ4	CVREFC2
17		PH3	MTIOC4D/TMCI0			
18		PH2	MTIOC4C/TMRI0/ TOC1		IRQ1	
19		PH1	MTIOC3D/TMO0/TIC1		IRQ0	ADST0
20		PH0	MTIOC3B/CACREF			ADTRG0#
21	UB	PC7	MTIOC3A/MTCLKB/ TMO2/CACREF/TOC0	TXD8/SMOSI8/ SSDA8/SMOSI10/ SSDA10/TXD10/ TXD010-C/ SMOSI010-C/ SSDA010-C/MISOA-A	IRQ14	
22		PC6	MTIOC3C/MTCLKA/ TMCI2/TIC0	RXD8/SMISO8/ SSCL8/SMISO10/ SSCL10/RXD10/ RXD010-C/ SMISO010-C/ SSCL010-C/MOSIA-A	IRQ13	
23		PC5	MTIOC3B/MTCLKD/ TMRI2/MTIOC0C	SCK8/SCK10/ SCK010-C/ RSPCKA-A/PMC0	IRQ5	

表 1.9 機能別端子一覧(48ピンLFQFP) (2 / 2)

ピン番号 48ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, TMR, POE, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, REMC)	割り込み (IRQ, NMI)	A/D, CMPC
24		PC4	MTIOC3D/MTCLKC/ TMC11/POE0#/ MTIOC0A	SCK5/CTS8#/RTS8#/ SS8#/SS10#/CTS10#/ RTS10#/CTS010#-B/ RTS010#-B/ SS010#-B/DE010-B/ SSLA0-A/PMC0	IRQ12	
25		PB5	MTIOC2A/MTIOC1B/ TMR11/POE4#/TOC2		IRQ13	
26		PB3	MTIOC0A/MTIOC4A/ TMO0/POE11#/TIC2	SCK4/SCK6/PMC0	IRQ3	
27		PB1	MTIOC0C/MTIOC4C/ TMC10	TXD4/SMOSI4/ SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4-DS	COMP1
28	VCC					
29		PB0	MTIC5W/MTIOC3D	RXD4/SMISO4/ SSCL4/RXD6/ SMISO6/SSCL6/ RSPCKA-C	IRQ12	
30	VSS					
31		PA6	MTIC5V/MTCLKB/ POE10#/MTIOC3D	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/ SS12#/MOSIA-B	IRQ14	
32		PA4	MTIC5U/MTCLKA/ TMR10/MTIOC4C/ MTIOC7C	TXD5/SMOSI5/ SSDA5/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ SSLA0-B	IRQ5-DS	CVREFC1/ ADST0
33		PA3	MTIOC0D/MTCLKD/ MTIC5V/MTIOC4D	RXD5/SMISO5/ SSCL5	IRQ6-DS	CMPC10
34		PA1	MTIOC0B/MTCLKC/ MTIOC7B/MTIOC3B	SCK5/SCK12/ SSLA2-B	IRQ11	ADTRG0#
35		PE4	MTIOC4D/MTIOC1A/ MTIOC4A/MTIOC7D		IRQ12	AN012
36		PE3	MTIOC4B/POE8#/ MTIOC1B/TOC3	CTS12#/RTS12#/ SS12#	IRQ11	AN011
37		PE2	MTIOC4A/MTIOC7A/ TIC3	RXD12/SMISO12/ SSCL12/RDX12	IRQ7-DS	AN010/ CVREFC0
38		PE1	MTIOC4C/MTIOC3B	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	IRQ9	AN009/ CMPC00
39		P47			IRQ15-DS	AN007
40		P46			IRQ14-DS	AN006
41		P45			IRQ13-DS	AN005
42		P42			IRQ10-DS	AN002
43		P41			IRQ9-DS	AN001
44	VREFL0	PJ7				
45		P40			IRQ8-DS	AN000
46	VREFH0	PJ6				
47	AVCC0					
48	AVSS0					

2. CPU

RXv3 CPU は、RXv3 命令セットアーキテクチャに基づいた CPU です。RXv2 CPU に比べ命令処理効率が向上しており、より高い性能を発揮します。

RXv3 命令セットアーキテクチャ (RXv3) は、RXv2 命令セットアーキテクチャ (RXv2)、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

- 可変長命令方式の採用
可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。
- 強力な命令セット
DSP 機能命令や浮動小数点演算命令により、DSP に匹敵するデータ処理能力を発揮します。
- 豊富なアドレッシングモード
豊富なアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間の演算や、ビットを対象とする演算ができます。また、メモリ-メモリ間の転送ができます。

2.1 特長

- 最短命令実行時間：1 サイクルで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
汎用レジスタ：32 ビット×16 本
制御レジスタ：32 ビット×10 本
アキュムレータ：72 ビット×2 本
- 可変長命令形式 (1 バイト長～8 バイト長)
- 113 命令
標準搭載命令：111 命令
基本命令：77 命令
単精度浮動小数点演算命令：11 命令
DSP 機能命令：23 命令
レジスタ括退避機能命令：2 命令
- プロセッサモード
スーパバイザモード、ユーザモード
- ベクタテーブル
例外ベクタテーブル、割り込みベクタテーブル
- メモリプロテクションユニット
- データ配置
リトルエンディアン/ビッグエンディアン選択可能

2.2 CPU レジスタセット

CPUのレジスタには、汎用レジスタ(16本)と、制御レジスタ(10本)、およびDSP機能命令で使用するアキュムレータ(2本)があります。



図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本(R0 ~ R15)あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

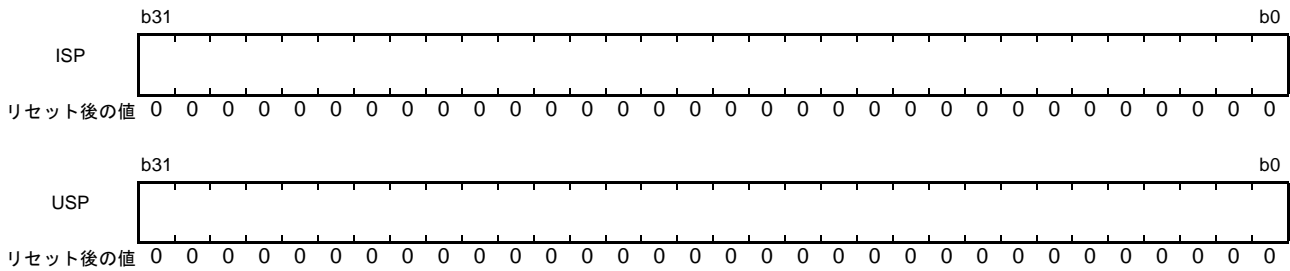
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の10本のレジスタがあります。

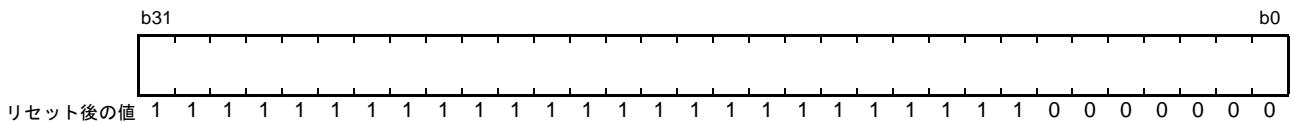
- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 単精度浮動小数点ステータスワード (FPSW)

2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



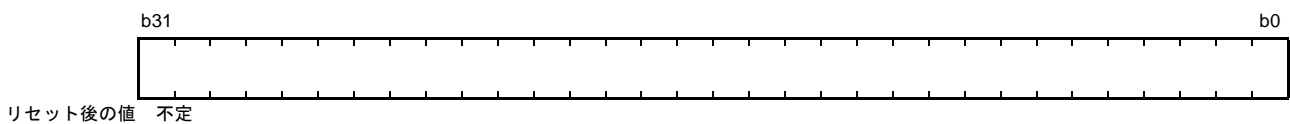
スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の 2 種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

2.2.2.2 例外テーブルレジスタ (EXTB)



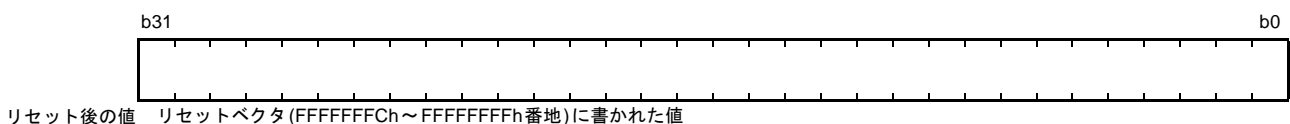
例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

2.2.2.3 割り込みテーブルレジスタ (INTB)



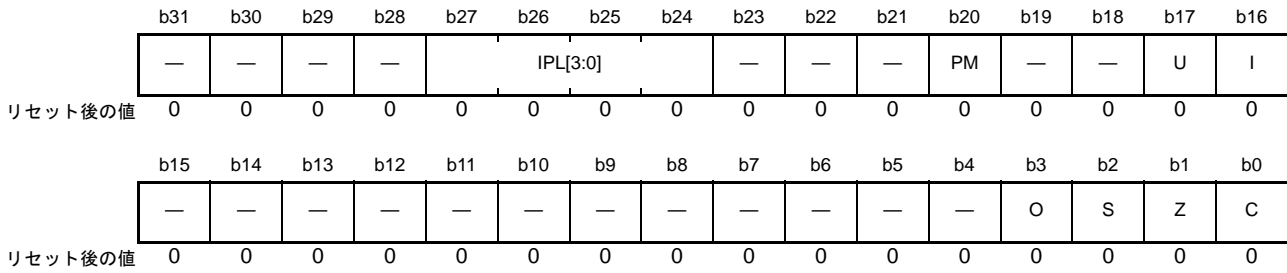
割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

2.2.2.4 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I(注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U(注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP) を指定 1: ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM(注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0](注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタック上のPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

キャリ、ボロー、シフトアウトしたビット等を保持します。

Z フラグ (ゼロフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

S フラグ (サインフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

O フラグ (オーバフローフラグ)

演算の結果がオーバフローしたとき“1”になり、それ以外るとき“0”になります。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。このビットは、WAIT 命令を実行すると“1”になり、例外を受け付けると、“0”になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

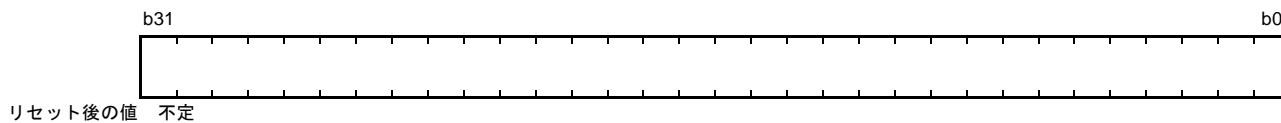
IPL[3:0] ビットは、優先レベル0 (最低) ~優先レベル15 (最高) までの16段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.6 バックアップ PC (BPC)

リセット後の値 不定

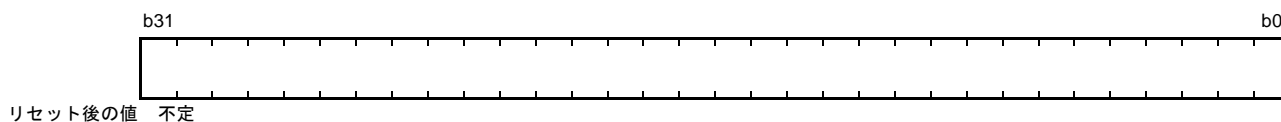
バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避させられます。

2.2.2.7 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。
高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避させられます。
BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 単精度浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	単精度浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W
b30	FX (注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	単精度浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

単精度浮動小数点ステータスワード (FPSW) は、単精度浮動小数点演算結果を示します。

例外処理許可ビット (Ej) で例外処理を許可 (Ej = 1) した場合は、例外処理ルーチンで該当する Cj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (Ej = 0) した場合は、一連の処理の最後に Fj フラグをチェックし、例外発生の有無を確認することができます。Fj フラグは蓄積フラグです (j = X, U, Z, O, V)。

RM[1:0] ビット (単精度浮動小数点丸めモード設定ビット)

単精度浮動小数点丸めモードを設定します。

【単精度浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つと仮定して計算した結果に近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- +∞方向への丸め : 結果の値が大きくなる方向へ丸める
- -∞方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「+∞方向への丸め」、「-∞方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)、 CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)、 CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他に、非実装処理が発生した場合に該当するフラグが“1”になります。

- 単精度浮動小数点演算命令実行時にこれらの例外・非実装処理が発生しなかった場合は該当するフラグが“0”になります。
- MVTC、POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の 0 フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を 0 として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)、 EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)、 EX ビット (精度異常例外処理許可ビット)

単精度浮動小数点演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ (無効演算フラグ)、FO フラグ (オーバフローフラグ)、FZ フラグ (ゼロ除算フラグ)、FU フラグ (アンダフローフラグ)、FX フラグ (精度異常フラグ)

例外処理許可ビット (Ej) が “0” (例外処理を禁止) の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- $E_j = 1$ (例外処理を許可) のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します (蓄積フラグ)。

FS フラグ (単精度浮動小数点エラーサマリフラグ)

FU、FZ、FO、FV フラグの論理和を反映します。

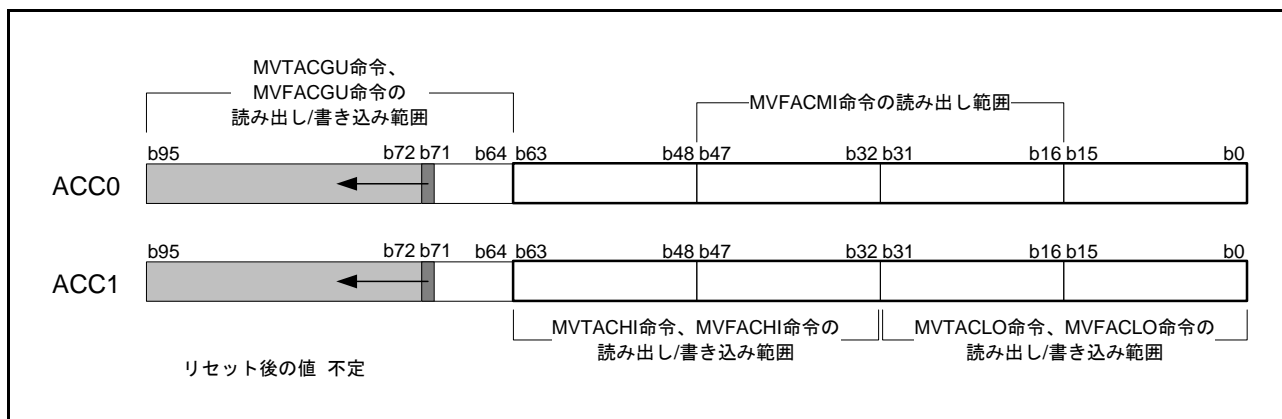
2.2.3 アキュムレータ

アキュムレータ (ACC0, ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ~ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL, EMULU, FMUL, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は (b95 ~ b64) に、「MVTACHI 命令」は上位側 32 ビット (b63 ~ b32) に、「MVTACLO 命令」は下位側 32 ビット (b31 ~ b0) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット (b95 ~ b64)、「MVFACHI 命令」で上位側 32 ビット (b63 ~ b32)、「MVFACMI 命令」で中央の 32 ビット (b47 ~ b16)、「MVFACLO 命令」で下位側 32 ビット (b31 ~ b0) のデータをそれぞれ読み出します。



注. b95 ~ b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。これらのプロセッサモードとメモリプロテクション機能を使用して、CPUリソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべてのCPUリソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PMビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部のCPUリソースへのライトアクセスが制限されます。ライトアクセスが制限されるCPUリソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0], PM, U, I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT、SAVE、RSTR命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC命令によるPMビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生するとPSW.PMビットが“0”になり、CPUはスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避させられたPSW.PMビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避させられているPSW.PMビットを“1”にした後RTE命令を実行する、あるいはバックアップPSW (BPSW) に退避させられているPSW.PMビットを“1”にした後RTFI命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSWのスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

CPU は、整数、単精度浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。

詳細は「RXファミリ RXv3 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2の補数で表現します。

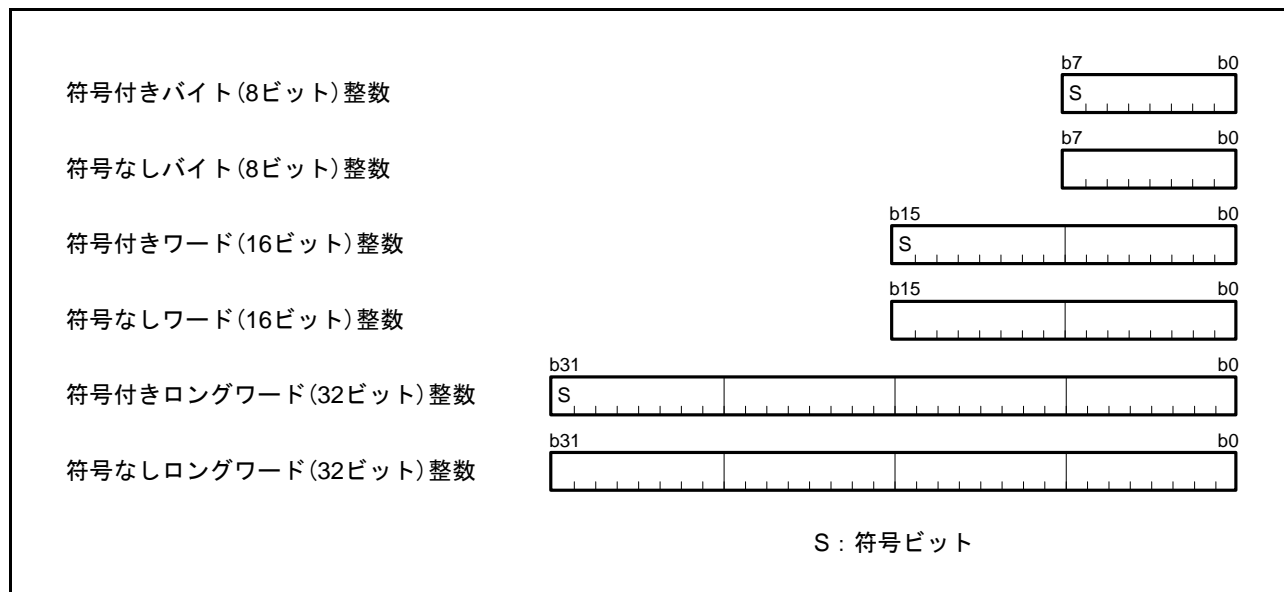


図 2.2 整数

2.4.2 単精度浮動小数点数

単精度浮動小数点数は、IEEE754 規格で規定されている単精度浮動小数点数に準拠しています。単精度浮動小数点数は、単精度浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSQRT、FSUB、FTOI、FTOU、ITOF、ROUND、UTOF の 11 種類の命令で使用できます。

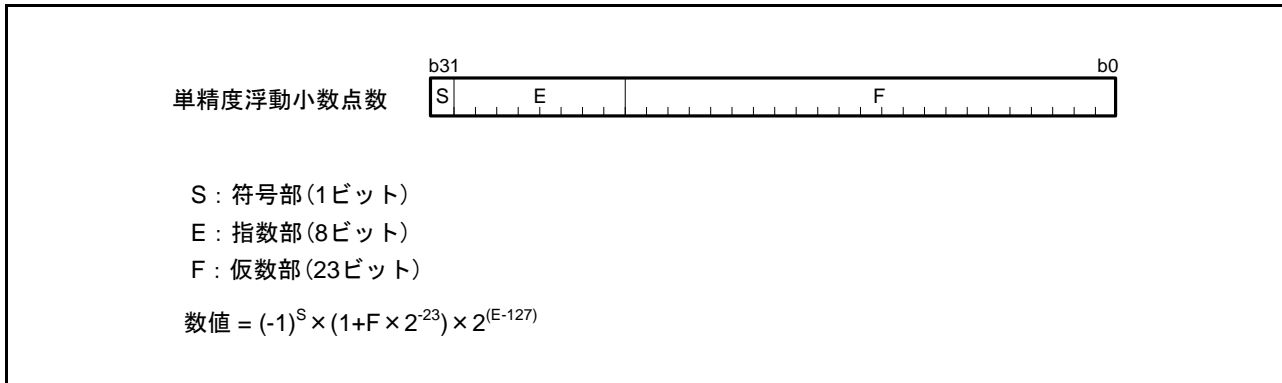


図 2.3 単精度浮動小数点数

単精度浮動小数点数は、以下の数値に対応しています。

$0 < E < 255$ (正規化数 - Normal Numbers)

$E = 0$ かつ $F = 0$ (ゼロ - Signed Zero)

$E = 0$ かつ $F > 0$ (非正規化数 - Denormalized Numbers) (注 1)

$E = 255$ かつ $F = 0$ (無限大 - Infinity)

$E = 255$ かつ $F > 0$ (非数 - NaN: Not a Number)

注 1. FPSW.DN ビットが“1”のときは、0として扱います。DN ビットが“0”のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR、BMCnd、BNOT、BSET、BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31～0のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7～0のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

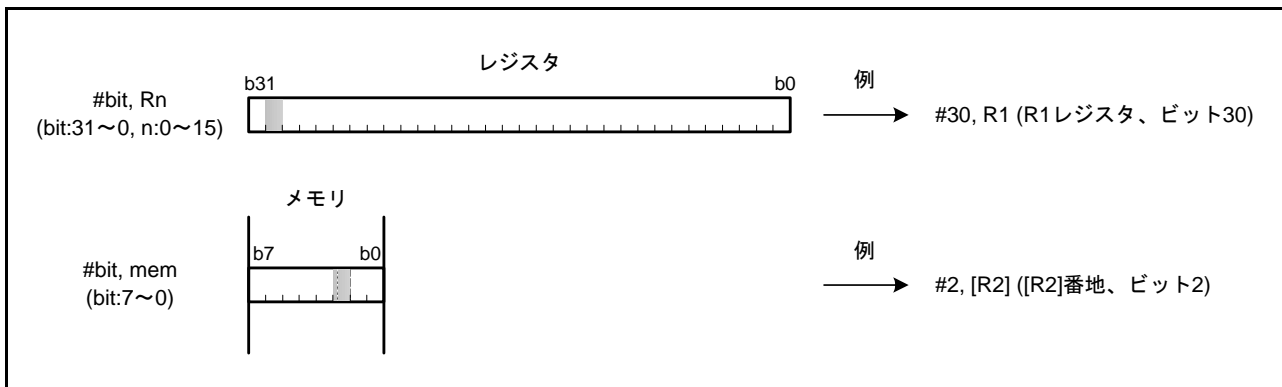


図 2.4 ビット

2.4.4 ストリング

ストリングとは、バイト (8 ビット)、ワード (16 ビット)、またはロングワード (32 ビット) のデータを任意の数だけ連続して並べたデータタイプです。ストリングは、ストリング操作命令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE の 7 種類の命令で使用できます

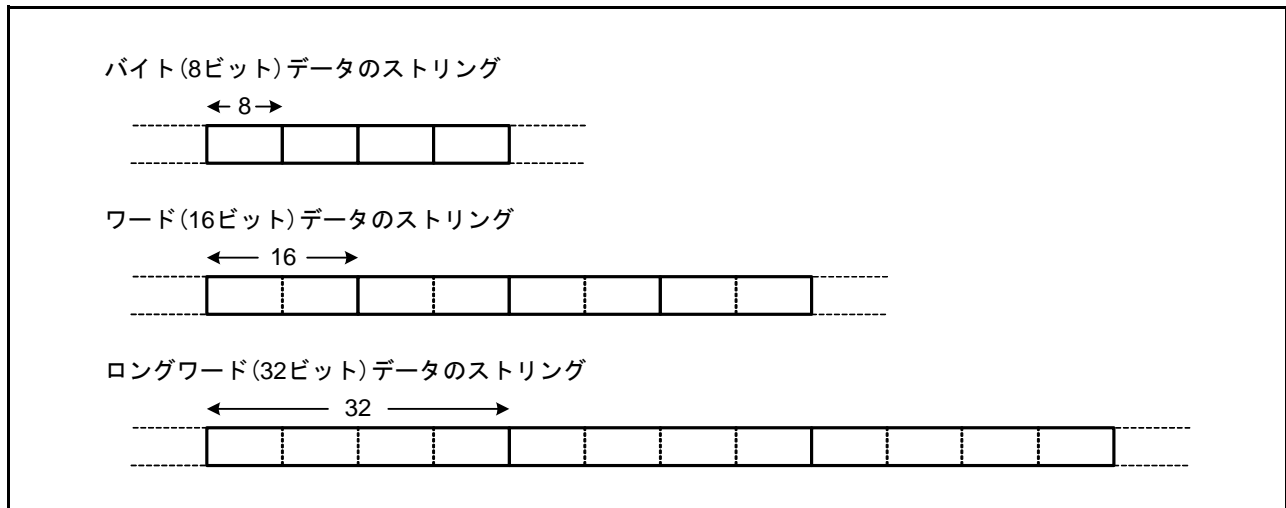


図 2.5 ストリング

2.5 エンディアン

CPUの命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本MCUでは、バイトデータの並び方を、上位バイト(MSB)が0番地になるビッグエンディアン、下位バイト(LSB)が0番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって8/16/32ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表2.1～表2.12に示します。

表中の

LLは、汎用レジスタのD7～D0

LHは、汎用レジスタのD15～D8

HLは、汎用レジスタのD23～D16

HHは、汎用レジスタのD31～D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表2.1 リトルエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	LLに転送	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—
2番地	HLに転送	LHに転送	LLに転送	—	—
3番地	HHに転送	HLに転送	LHに転送	LLに転送	—
4番地	—	HHに転送	HLに転送	LHに転送	LLに転送
5番地	—	—	HHに転送	HLに転送	LHに転送
6番地	—	—	—	HHに転送	HLに転送
7番地	—	—	—	—	HHに転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Bであるか、サイズ拡張指定子(.memex)が.Bまたは.UBである命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Wであるか、サイズ拡張指定子(.memex)が.Wまたは.UWである命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Lであるか、サイズ拡張指定子(.memex)が.Lである命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

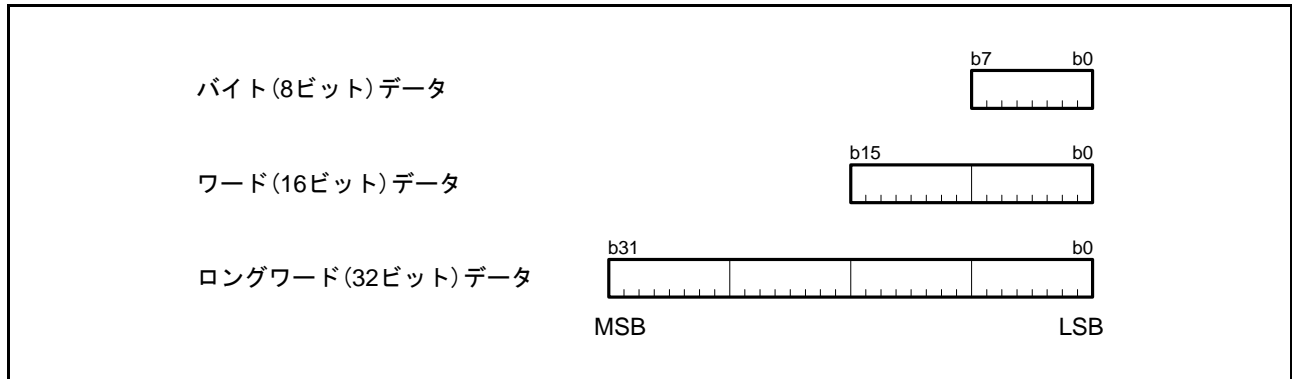


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

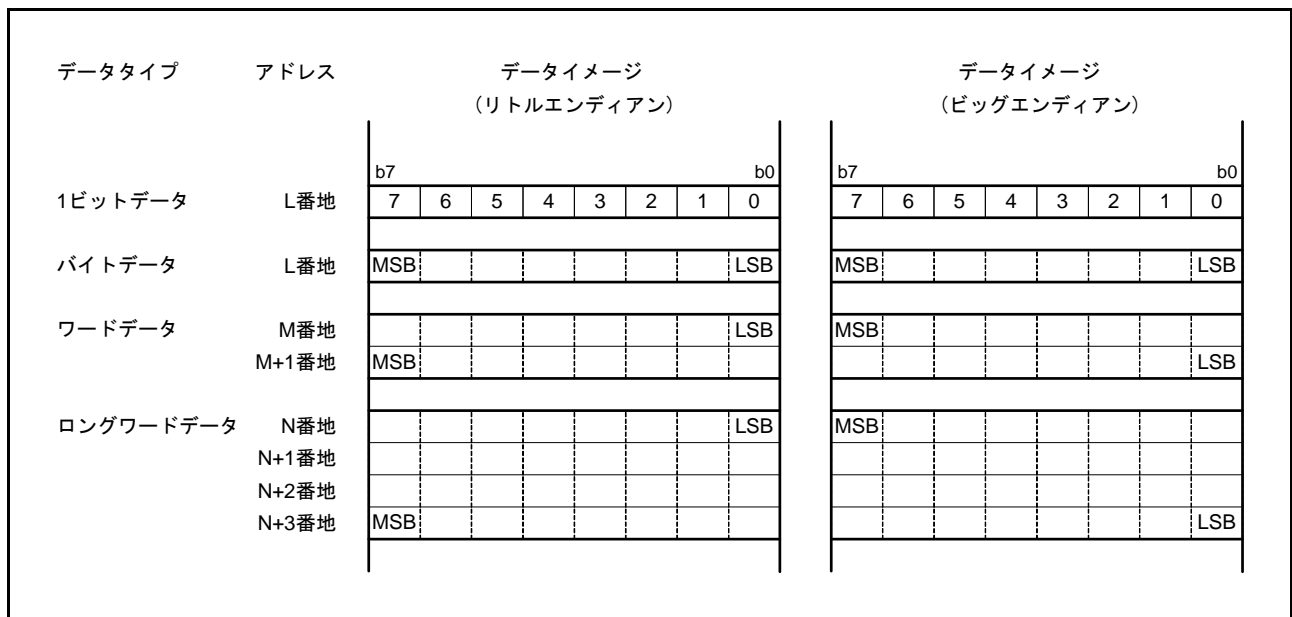


図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、アクセス例外、未定義命令例外、単精度浮動小数点例外、ノンマスカブル割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

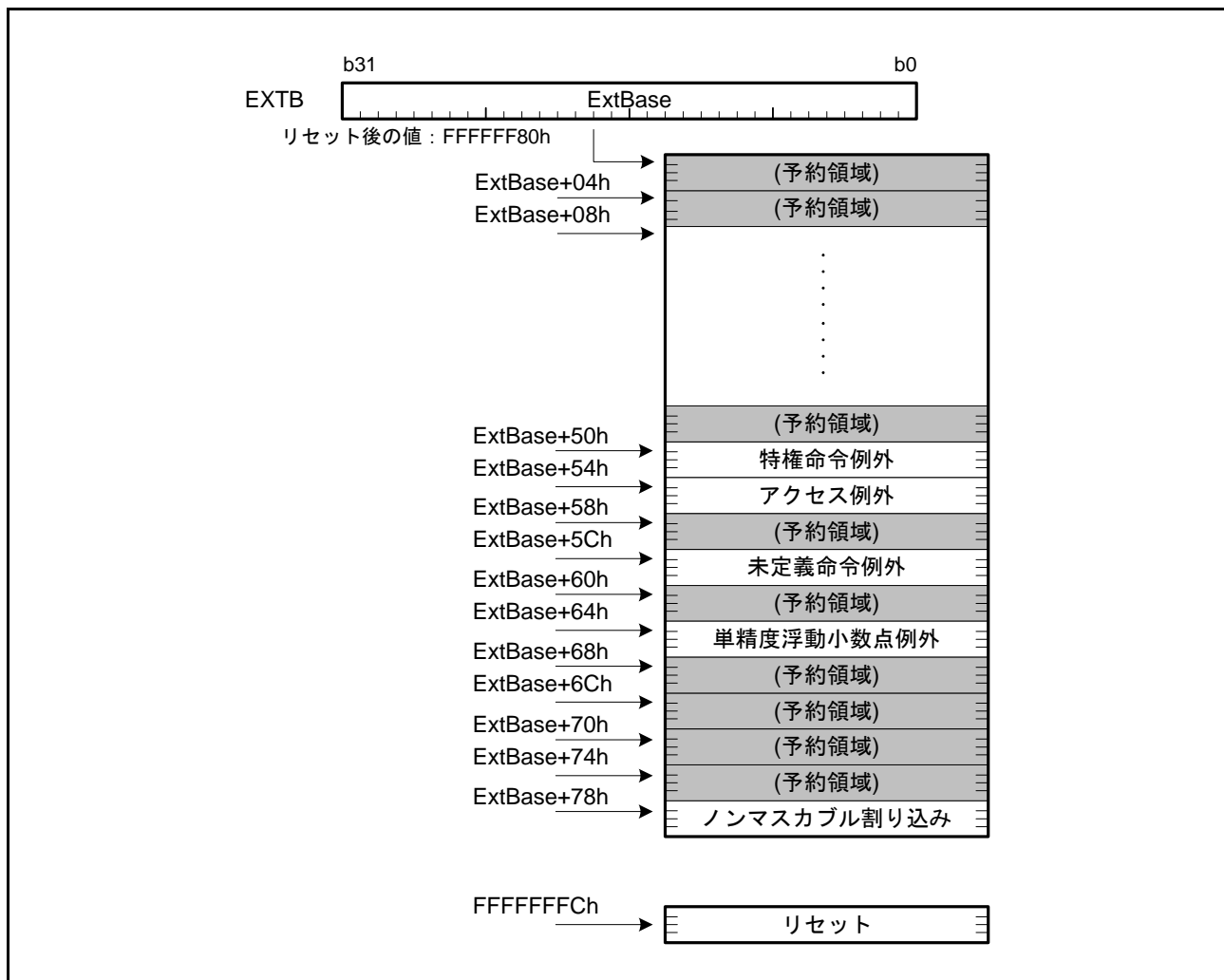


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

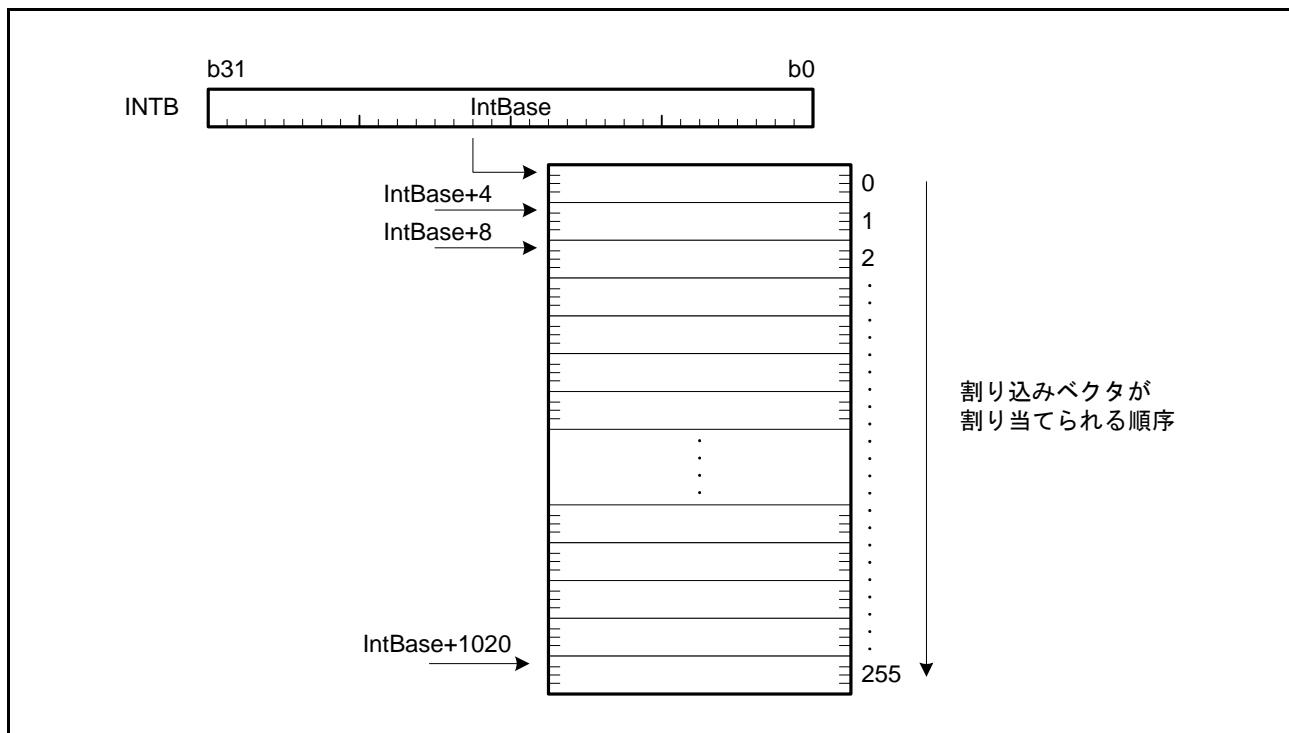


図 2.9 割り込みベクタテーブル

2.7 レジスタ一括退避機能

CPUは、CPUレジスタの退避・復帰を一括して高速に行うために、専用のレジスタ退避バンクとそれを使用するための命令を有しています(図2.10参照)。レジスタ退避バンクを使うことで、例外処理ルーチン先頭でのレジスタ退避と、末尾でのレジスタ復帰を一括して高速に行うことが可能です。

レジスタ退避バンクはSAVE命令、RSTR命令のみでアクセス可能な退避用領域であり、4Gバイトのアドレス空間とは独立して存在します。レジスタ退避バンクは複数のバンクで構成されており、1つのバンクに退避・復帰させられるCPUレジスタは、R0を除く汎用レジスタとUSP、FPSW、アキュムレータ(ACC0、ACC1)です。リセット後のレジスタ退避バンクに格納されている値は不定です。

レジスタ退避バンクでは、1つのバンクに対し1つの番号(バンク番号)が割り当てられています。本MCUでは16バンクのレジスタ退避バンクを搭載しており、バンク番号0～15が使用できます。

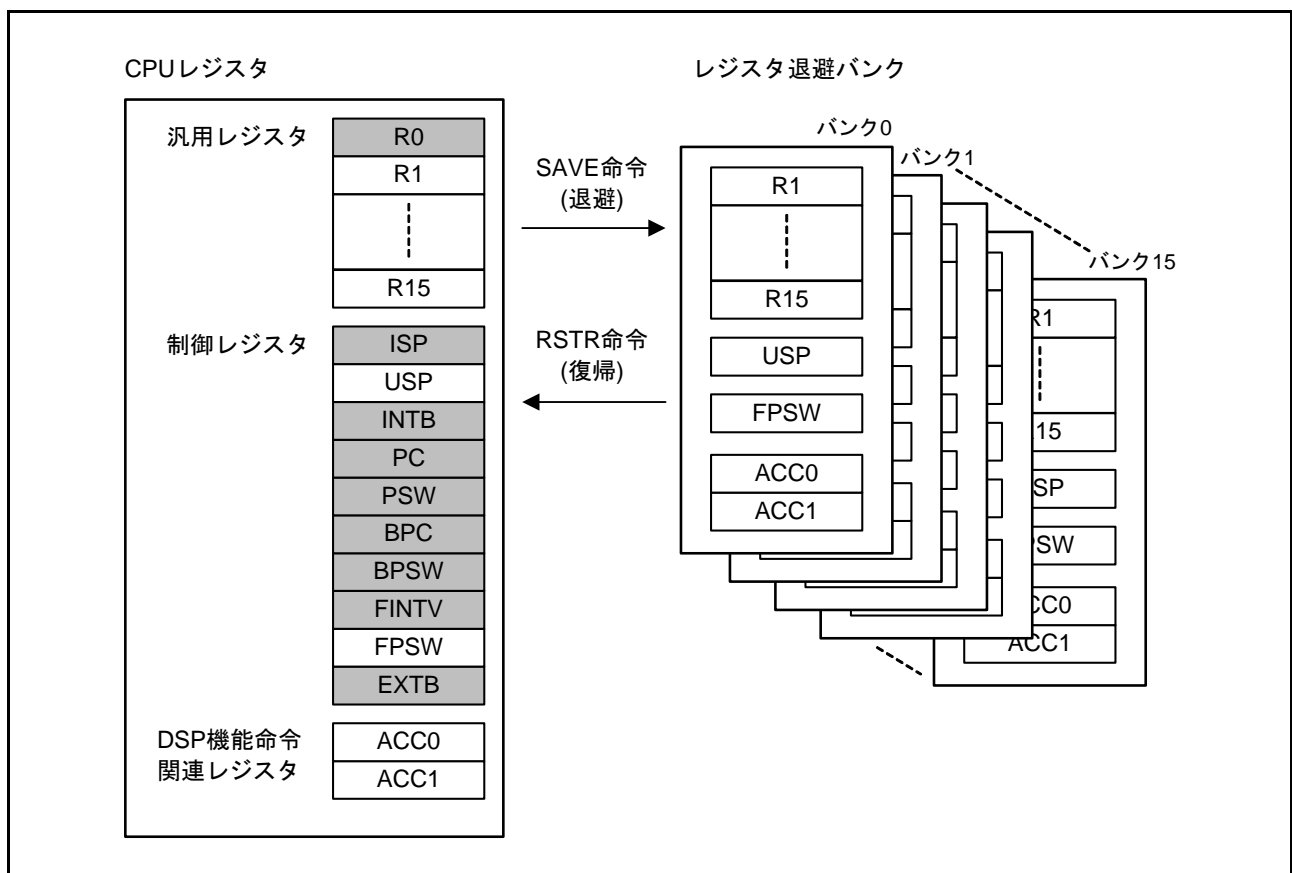


図 2.10 レジスタ退避バンク

2.8 命令動作

2.8.1 RMPA 命令、ストリング操作命令に関する制約事項

2.8.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA、SSTR、SUNTIL、SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU、SMOVB、SMOVF、SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SUNTIL, SWHILE) は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.8.1.2 外部空間へのアクセス

外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを配置することは禁止しており、その動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.8.1.3 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.9 サイクル数

2.9.1 命令とサイクル数

表 2.13 ～表 2.21 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

As, Ad : アキュムレータ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

表 2.13 算術/論理演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB, XOR} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROLC, RORC, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	1
	• DIV "#IMM, Rd"/"Rs, Rd"	3 ~ 20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	2 ~ 18 (注1)
	• {EMUL, EMULU} "#IMM, Rd"/"Rs, Rd"	2
	• SATR	3
算術/論理演算命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> • {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} "[Rs], Rd"/"dsp[Rs], Rd" • {CMP, TST} "[Rs], Rs2"/"dsp[Rs], Rs2" 	3
	• DIV "[Rs], Rd / dsp[Rs], Rd"	5 ~ 22 (注1)
	• DIVU "[Rs], Rd / dsp[Rs], Rd"	4 ~ 20 (注1)
	• {EMUL, EMULU} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• RMPA.B	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注2)
	• RMPA.W	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注2)
• RMPA.L	6+4n nは処理ロングワード数	

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. floor(x) : x以下の最大の整数

表2.14 転送命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> MOV "#IMM, Rd"/"Rs, Rd" {MOVU, REVL, REVW} "Rs, Rd" SCCnd "Rd" {STNZ, STZ} "#IMM, Rd"/"Rs, Rd" 	1
	<ul style="list-style-type: none"> XCHG "Rs, Rd" 	2
転送命令 (ロード動作)	<ul style="list-style-type: none"> {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd"/"[-Rs], Rd"/"[Ri, Rb], Rd" MOVLI "[Rs], Rd" POP "Rd" 	スループット : 1 レイテンシ : 2 (注1)
	<ul style="list-style-type: none"> POPC "CR" 	スループット : 3 レイテンシ : 4 (注1)
	<ul style="list-style-type: none"> POPM "Rd-Rd2" 	スループット : n レイテンシ : n+1 nはレジスタ数 (注1、注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" / "Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" PUSH "Rs" PUSHC "CR" SCCnd "[Rd]"/"dsp[Rd]" MOVCO "Rs, [Rd]" 	1
	<ul style="list-style-type: none"> PUSHM "Rs-Rs2" 	n nはレジスタ数 (注3)
転送命令 (メモリーレジスタの交換)	<ul style="list-style-type: none"> XCHG "[Rs], Rd"/"dsp[Rs], Rd" 	2
転送命令 (メモリー間転送)	<ul style="list-style-type: none"> MOV "[Rs], [Rd]"/"dsp[Rs], [Rd]"/"[Rs], dsp[Rd]"/"dsp[Rs], dsp[Rd]" PUSH "[Rs]"/"dsp[Rs]" 	3
転送命令 (ビットフィールド)	<ul style="list-style-type: none"> {BFMOV, BFMOVZ} "#IMM, #IMM, #IMM, R, R" 	1

- 注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。
- 注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。
- 注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表2.15 ビット操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
ビット操作命令 (レジスタ)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" BMCnd "#IMM, Rd" BTST "#IMM, Rs"/"Rs, Rs2" 	1
ビット操作命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, [Rd]"/"#IMM, dsp[Rd]"/"Rs, [Rd]"/"Rs, dsp[Rd]" BMCnd "#IMM, [Rd]"/"#IMM, dsp[Rd]" BTST "#IMM, [Rs]"/"#IMM, dsp[Rs]"/"Rs, [Rs2]"/"Rs, dsp[Rs2]" 	3

表 2.16 分岐命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
分岐命令	<ul style="list-style-type: none"> • BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	分岐成立 : 3 分岐不成立 : 1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD "#IMM"	5
	• RTSD "#IMM, Rd-Rd2"	スループット : $n < 5 ? 5 : 1 + n$ レイテンシ : $n < 4 ? 5 : 2 + n$ nはレジスタ数 (注1)

? : 条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

表 2.17 単精度浮動小数点演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
単精度浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FCMP "#IMM, Rs"/"Rs, Rs2"	1
	• FDIV "#IMM, Rd"/"Rs, Rd"	16
	• FMUL "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FSQRT "Rs, Rd"	16
	• {FTOI, ROUND, ITOF} "Rs, Rd"	2
	• {FTOU, UTOF} "Rs, Rd"	2
単精度浮動小数点演算命令 (メモリソースオペランド)	• {FADD, FSUB} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FCMP "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• FDIV "[Rs], Rd"/"dsp[Rs], Rd"	18
	• FMUL "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FSQRT "[Rs], Rd"/"dsp[Rs], Rd"	18
	• {FTOI, ROUND, ITOF} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• {FTOU, UTOF} "[Rs], Rd"/"dsp[Rs], Rd"	4

表 2.18 DSP機能命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
DSP機能命令	<ul style="list-style-type: none"> • {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO} "Rs, Rs2, Ad" • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} "#IMM, As, Rd" • {MVTACHI, MVTACLO, MVTACGU} "Rs, Ad" • {RDACW, RDA CL, RACW, RA CL} "#IMM, Ad" 	1

表2.19 スtring操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
String操作命令(注1)	• SCMPU	$2+4\times\text{floor}(n/4)+4\times(n\%4)$ nは比較バイト数(注2)
	• SMOVB	$n>3?6+3\times\text{floor}(n/4)+3\times(n\%4):2+3n$ nは転送バイト数(注2)
	• SMOVF, SMOVU	$2+3\times\text{floor}(n/4)+3\times(n\%4)$ nは転送バイト数(注2)
	• SSTR.B	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数(注2)
	• SSTR.W	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数(注2)
	• SSTR.L	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	$3+3\times\text{floor}(n/4)+3\times(n\%4)$ nは比較バイト数(注2)
	• SUNTIL.W, SWHILE.W	$3+3\times\text{floor}(n/2)+3\times(n\%2)$ nは比較ワード数(注2)
• SUNTIL.L, SWHILE.L	$3+3\times n$ nは比較ロングワード数	

?: 条件演算子

注1. SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

注2. $\text{floor}(x)$: x以下の最大の整数

表2.20 システム操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
システム操作命令	• {CLRPSW, SETPSW}“flag” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL “#IMM”	1
	• RTE	6
	• RTFI	3

表2.21 レジスタ括退避機能命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
レジスタ括退避機能命令	• SAVE “#IMM”/“R”	1
	• RSTR “#IMM”/“R”	3~6

2.9.2 割り込み応答サイクル数

表 2.22 に割り込み応答処理のサイクル数を示します。

表 2.22 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.22 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能な RAM とコードフラッシュメモリを搭載しています。プログラム(含むベクタ)はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.13 ~ 表 2.21 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

2.10 使用上の注意事項

2.10.1 レジスタ退避バンク内 RAM の自己診断に関する注意事項

本 MCU のレジスタ退避バンクは RAM で構成されています。レジスタ退避バンクにはバッファが搭載されているため、SAVE 命令で書き込みを行った後に同一バンクから RSTR 命令で読み出しを行うと、RAM のメモセルではなくバッファのデータが読み出されることがあります。レジスタ退避バンク内 RAM の自己診断を行う場合、バッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のバンクに SAVE 命令でデータを書く
- (2) (1) のバンクとは異なるバンクに、SAVE 命令でデータを書く
- (3) (1) のバンクから RSTR 命令でデータを読む

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット (RES# 端子リセット、パワーオンリセット、LVD0 リセット) 解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子 (MD, UB) のレベルと、そのとき選択される動作モードの関係を表 3.1 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。いずれのモードで起動した場合でも、内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) 有効、外部バス無効の状態から動作を開始します。外部バスを有効にする場合は SYSCR0.EXBE ビットを“1” (外部バス有効) にしてください。

表 3.1 リセット解除時のモード設定端子による動作モードの選択

モード設定端子		動作モード	SYSCR0 レジスタ 初期状態	
MD (注1、注2)	UB (注3)		ROME ビット	EXBE ビット
High	—	シングルチップモード	1 (内蔵 ROM 有効)	0 (外部バス無効)
Low	Low	ブートモード (SCI インタフェース)		
	High	ユーザブートモード		
Low→High (注4)	Low	ブートモード (FINE インタフェース)		

注1. RES# 解除後待機時間、パワーオンリセット時間または LVD0 リセット時間の期間中は動作モード遷移期間中のため、MD 端子の入力レベルを変化させないでください。RES# 解除後待機時間、パワーオンリセット時間、LVD0 リセット時間の詳細は、「4.5. 電気的特性」を参照してください。

注2. 各動作モードで起動した後は、汎用ポート PN6 としても使用可能です。

注3. UB 端子と端子を共用している PC7 端子は汎用ポートとしても使用可能です。

注4. MD 端子を Low でリセット解除後、20～100msec の間に High へ切り替えてください。

システムコントロールレジスタ 0 (SYSCR0) で設定可能な動作モードの一覧を表 3.2 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表 3.2 レジスタによる動作モードの選択

SYSCR0 レジスタ		動作モード
ROME ビット	EXBE ビット	
0 (内蔵 ROM 無効) (注1)	0 (外部バス無効)	シングルチップモード、ユーザブートモード
1 (内蔵 ROM 有効)	0 (外部バス無効)	
0 (内蔵 ROM 無効) (注1)	1 (外部バス有効)	内蔵 ROM 無効拡張モード
1 (内蔵 ROM 有効)	1 (外部バス有効)	内蔵 ROM 有効拡張モード

注1. ROME ビットを“0”にすると、“1”に戻せません。

シングルチップモード、ユーザブートモードでは、エンディアンを選択することができます。エンディアンの選択は、エンディアン選択レジスタ (MDE) のエンディアン選択ビット (MDE[2:0]) で行います。設定値を表 3.3 に示します。エンディアンの選択の詳細は「7.2.5 エンディアン選択レジスタ (MDE)」を参照してください。

表 3.3 エンディアンの選択

MDE レジスタ	選択されるエンディアン
MDE[2:0] ビットの設定値	
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD端子ステータスフラグ	0 : MD端子は"Low" 1 : MD端子は"High"	R
b7-b1	—	予約ビット	読むと"0"が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと"0"が読めます	R

3.2.2 モードステータスレジスタ (MDSR)

アドレス 0008 0002h

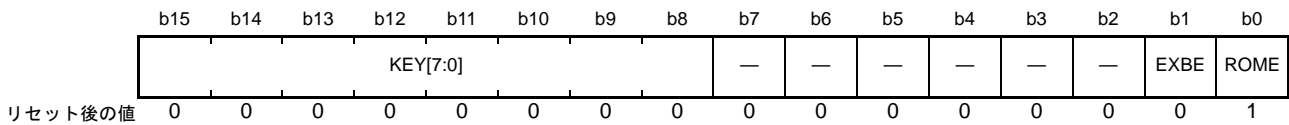
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	UBTS	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと"1"が読めます	R
b4-b1	—	予約ビット	読むと"0"が読めます	R
b5	UBTS	ユーザブートモード起動フラグ	0 : シングルチップモードで起動した 1 : ユーザブートモードで起動した	R
b15-b6	—	予約ビット	読むと"0"が読めます	R

注1. 起動時の動作モードによって異なります。

3.2.3 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h



ビット	シンボル	ビット名	機能	R/W
b0	ROME	内蔵ROM有効ビット	0: 内蔵ROM無効 1: 内蔵ROM有効	R/W
b1	EXBE	外部バス有効ビット	0: 外部バス無効 1: 外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0 キーコード	SYSCR0 レジスタの書き換えの可否を制御します。 SYSCR0 レジスタを書き換える場合、上位8ビットに“5Ah”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込みデータは保持されません。

ROME ビット (内蔵ROM 有効ビット)

内蔵ROM (コードフラッシュメモリ、データフラッシュメモリ) の有効/無効を選択するビットです。

一旦“0”にすると、“1”に戻すことはできません。

内蔵ROM (コードフラッシュメモリ、データフラッシュメモリ) にアクセスしているときは、“0”にしないでください。また、ROME ビットに“0”を書いた後は、ROME ビットが“0”になったことを確認してから次の処理を行ってください。

EXBE ビット (外部バス有効ビット)

外部バスの有効/無効を選択するビットです。

外部アドレス空間上のプログラムを実行しているときは、“0”にしないでください。また、外部バスへのアクセスが完了してから“0”を書いてください。また、CPU 以外のバスマスタ (DMAC, DTC) の転送範囲に外部アドレス空間が含まれる場合は、DMA 転送を禁止してから実施してください。

EXBE ビットを書き換えた後は、EXBE ビットが書き換わったことを確認してから次の処理を行ってください。

なお、EXBE ビットを“1”にする場合、関連する I/O ポートの設定も必要となります。詳細は「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

3.2.4 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b7-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RAME ビット (RAM 有効ビット)

RAMの有効/無効を選択するビットです。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

RAMEビットを“0”にしても、RAMの値は保持されます。ただし、「45. 電気的特性」に規定するRAM保持電圧 (VRAM) 以上の電圧を保持する必要があります。

3.2.5 電圧レベル設定レジスタ (VOLSR)

アドレス 0008 C295h

	b7	b6	b5	b4	b3	b2	b1	b0
	RICVLS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RICVLS	RIIC動作電圧設定ビット	0 : VCC ≥ 4.5V 1 : VCC < 4.5V	R/W

VOLSRレジスタはRIIC使用時の電源電圧を設定するレジスタです。

RICVLS ビット (RIIC 動作電圧設定ビット)

RIICのスルーレート制御を行うビットです。VCCの電圧に合わせて値を設定してください。本ビットは、RIICのモジュールストップ状態を解除する前に設定してください。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、外部バスが無効 (SYSCR0.EXBE ビット=0) で、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。起動時の内蔵 ROM は有効 (SYSCR0.ROME ビット=1) です。ソフトウェアで内蔵 ROM 無効 (SYSCR0.ROME ビット=0) にできますが、内蔵 ROM 有効 (SYSCR0.ROME ビット=1) に戻すことはできません。

SYSCR0.EXBE ビットを“1”(外部バス有効)にし、内蔵 ROM 有効拡張モードまたは内蔵 ROM 無効拡張モードに移行することで、外部バスを使用することができます。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM が有効 (SYSCR0.ROME ビット=1) で、外部バス拡張を有効 (SYSCR0.EXBE ビット=1) にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1”(外部バス有効)にすると、内蔵 ROM 有効拡張モードになります。

SYSCR0.EXBE ビットを“0”(外部バス無効)にすると、シングルチップモード(内蔵 ROM 有効)に移行します。

SYSCR0.ROME ビットを“0”(内蔵 ROM 無効)にすると、内蔵 ROM 無効拡張モードに移行します。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM が無効 (SYSCR0.ROME ビット=0) で、外部バス拡張を有効 (SYSCR0.EXBE ビット=1) にしたモードです。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力として使用します。詳細は、「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

シングルチップモードで起動後、SYSCR0.EXBE ビットを“1”(外部バス有効)、SYSCR0.ROME ビットを“0”(内蔵 ROM 無効)にすると、内蔵 ROM 無効拡張モードになります。

内蔵 ROM を有効 (SYSCR0.ROME ビット=1) にすることはできません。

SYSCR0.EXBE ビットを“0”(外部バス無効)にすると、シングルチップモード(内蔵 ROM 無効)に移行します。

3.3.4 ブートモード (SCI インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。調歩同期式シリアルインタフェース (SCI1) を使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「44. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low、UB 端子を Low にしてリセットを解除すると、ブートモード (SCI インタフェース) で起動します。

3.3.5 ブートモード (FINE インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。FINE を使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「44. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low、UB 端子を Low にしてリセットを解除した後、20 ~ 100ms の間に MD 端子を High へ切り替えると、ブートモード (FINE インタフェース) で起動します。

3.3.6 ユーザブートモード

お客様が作成されたフラッシュメモリ書き換えプログラム (ユーザブートプログラム) が動作するモードです。リセット解除後は、シングルチップモードと同等の状態です。

UB コード A、UB コード B に規定の値をプログラムした後、MD 端子を Low、UB 端子を High にしてリセットを解除すると、ユーザブートモードで起動します。なお、ユーザブートモードでは FF7F FFFCh 番地からリセットベクタを取得します。UB コード A、UB コード B については「7. オプション設定メモリ (OFSM)」を参照してください。

ユーザブートモードで起動後、SYSCR0.EXBE ビットを “1” (外部バス有効) にすると、内蔵 ROM 有効拡張モードになります。

- 注. ユーザブートモードでは、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行しないでください。
- 注. OFS0/OFS1 レジスタの設定は無効となり、“FFFF FFFFh” となります。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子、UB 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

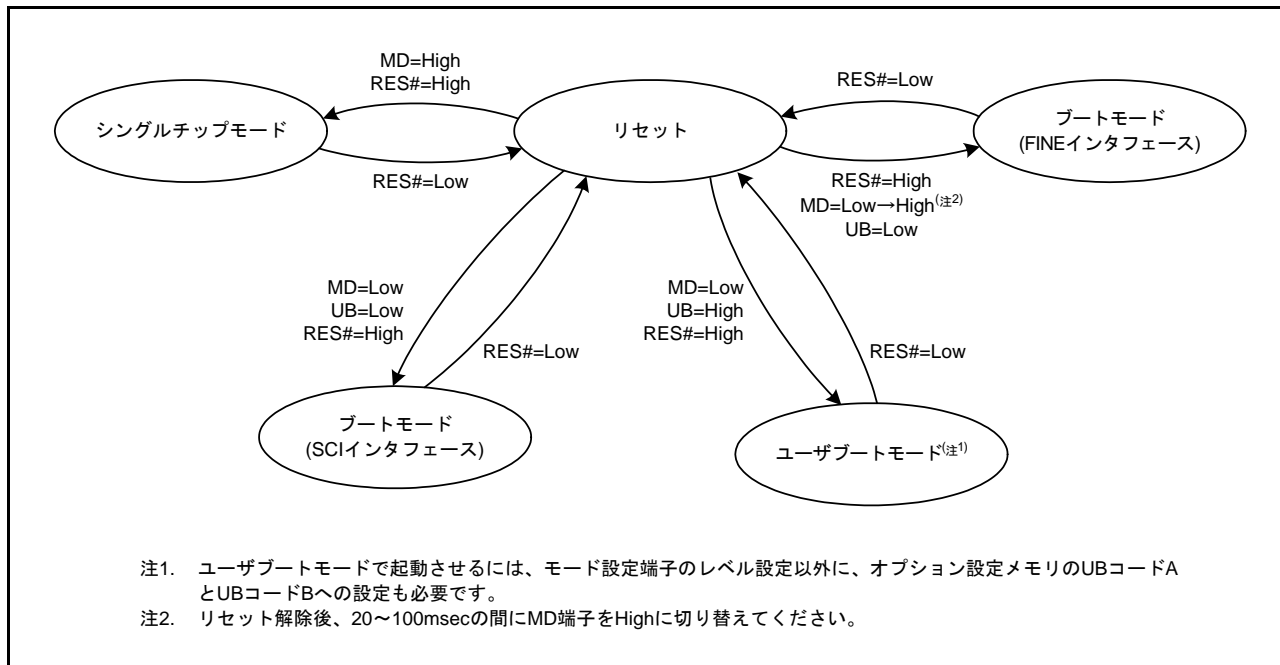


図 3.1 モード設定端子のレベルと動作モード

3.4.2 レジスタ設定による動作モード遷移

SYSCR0.ROME, EXBE ビットの設定による動作モード遷移について、図 3.2 に状態遷移図を示します。

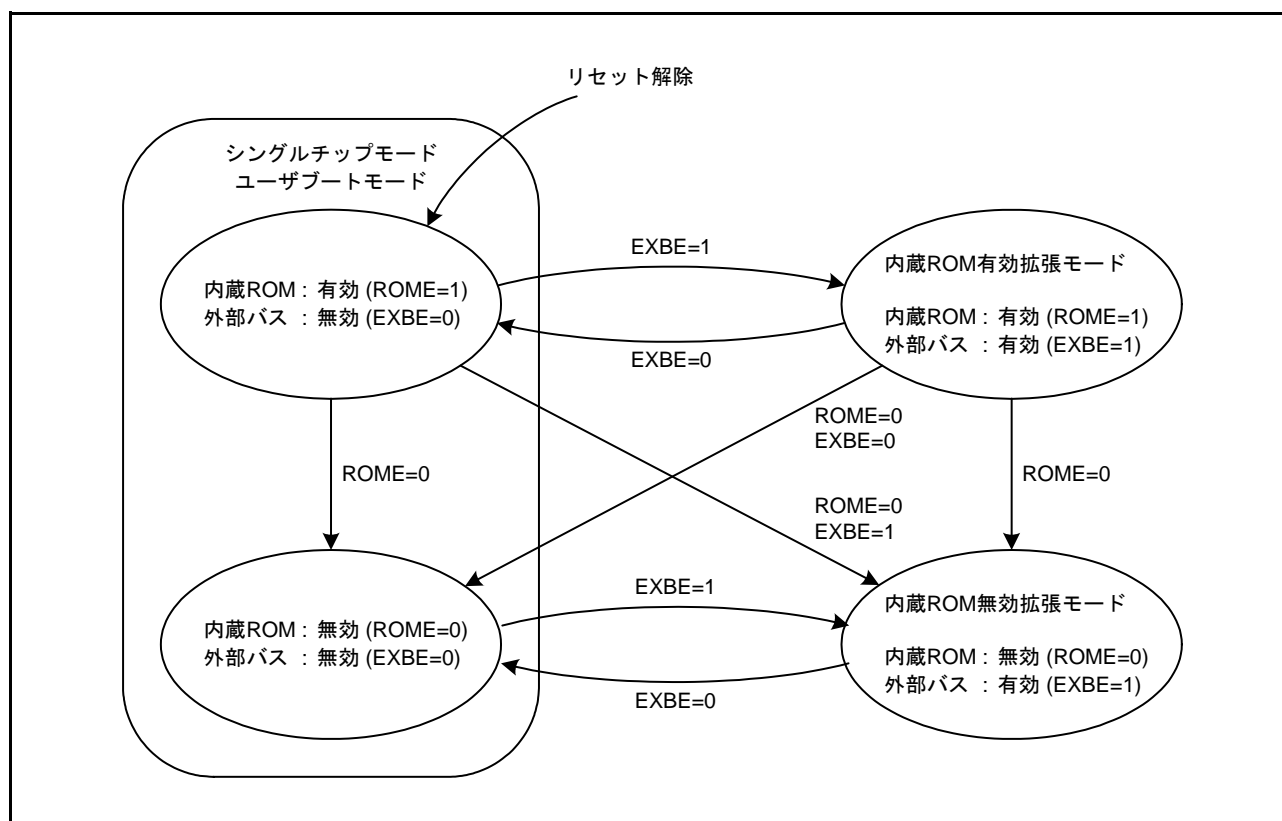


図 3.2 SYSCR0.ROME, EXBE ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって異なります。

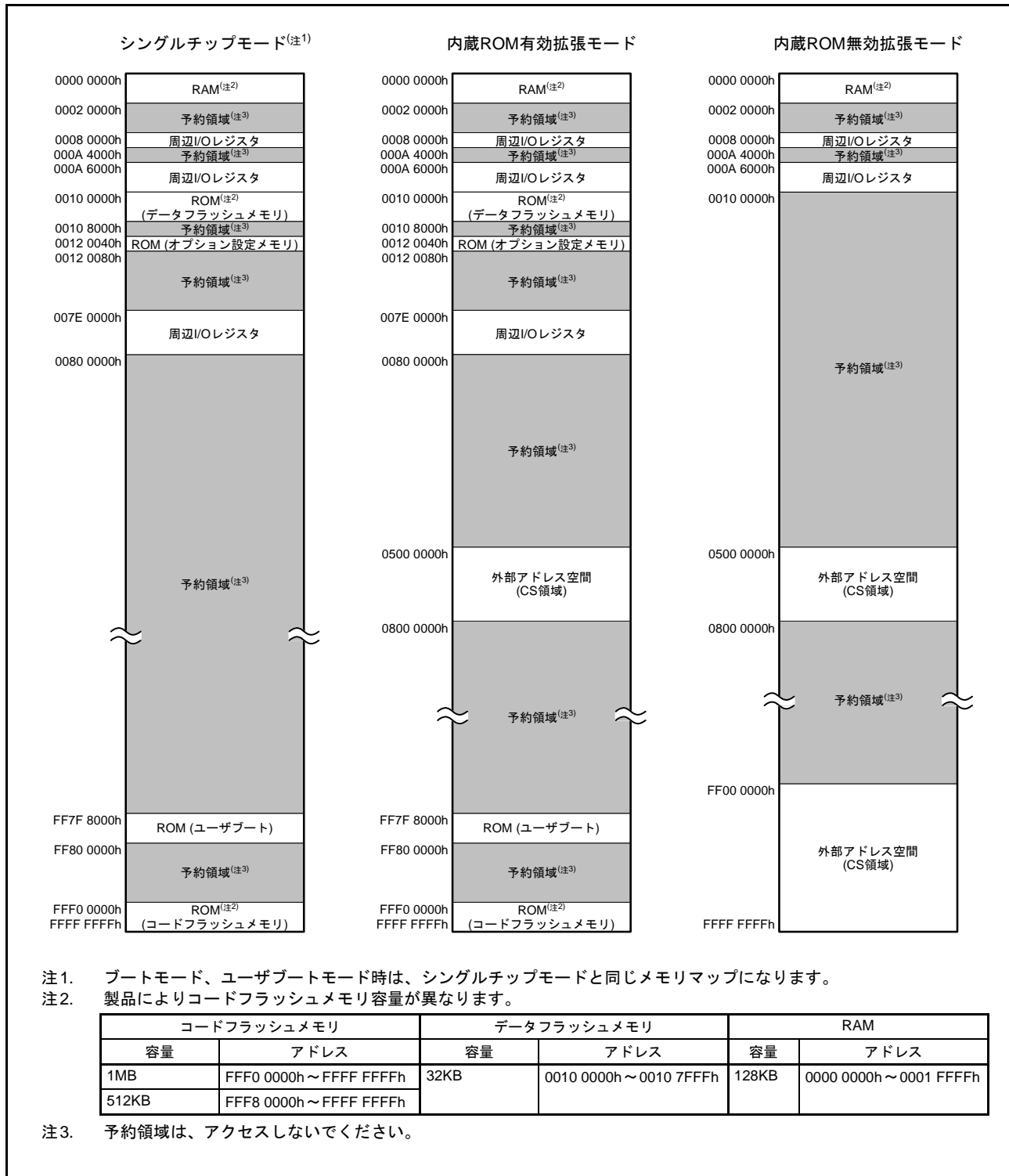


図 4.1 各動作モードのメモリマップ

4.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 3) から出力される CSn# 信号によって 4 つの CS 領域 (CS0 ~ CS3) に分割されています。図 4.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ~ CS3) とアドレスの対応を示します。

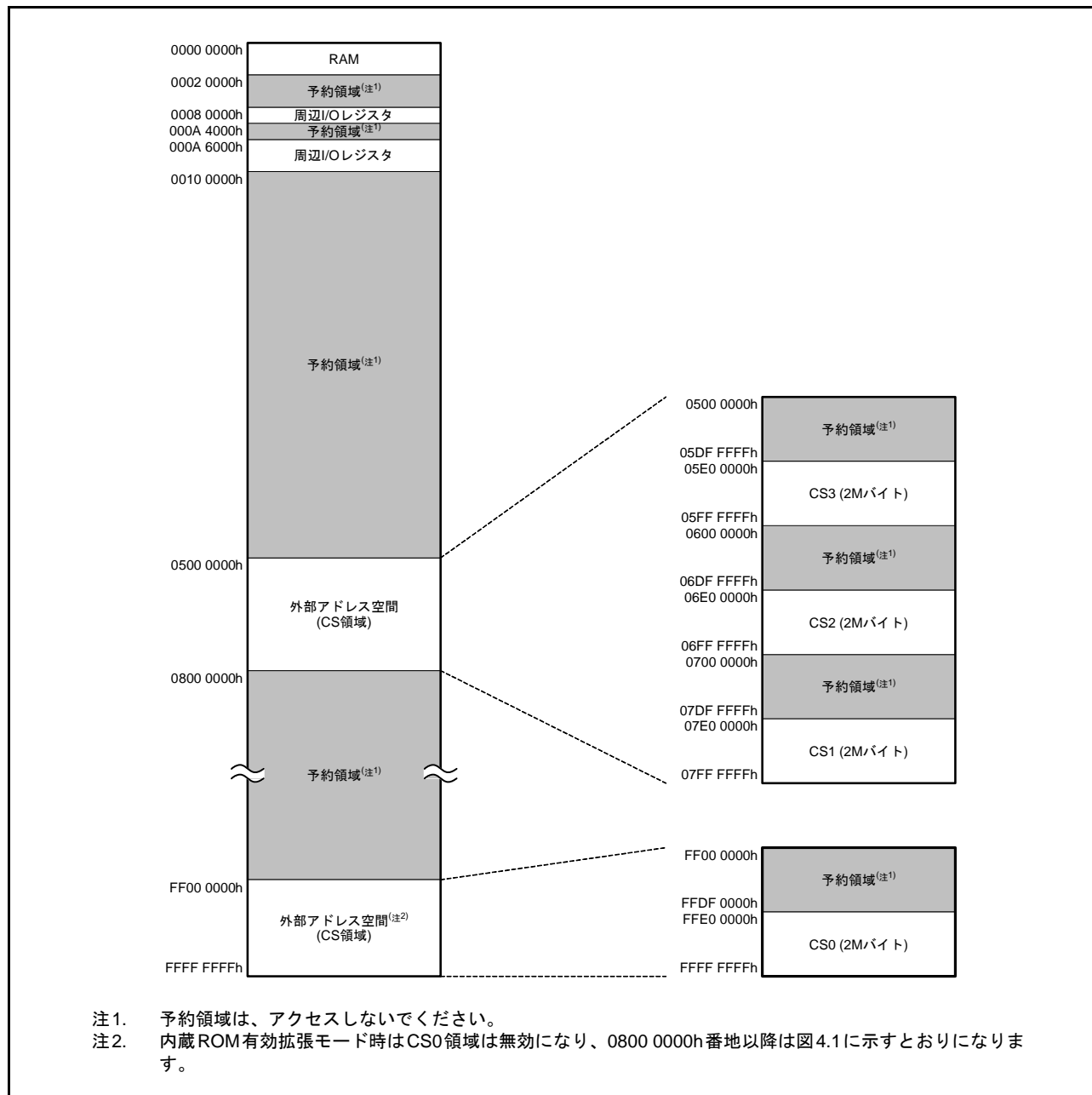


図 4.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

5. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット(ICU.IERn.IENjビット)のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 5.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

$$\text{I/O レジスタアクセスサイクル数} = \text{内部メインバス 1 のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス 1 \sim 6 のバスサイクル数}$$

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ (バスエラー関連のレジスタは除く) へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK (または FCLK, BCLK) の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK) の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK (または FCLK) で最大 1 サイクルとなるため、表 5.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ (または FCLK) の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、表 5.1 では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DMAC, DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

(5) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

5.1 I/Oレジスタアドレス一覧(アドレス順)

表5.1 I/Oレジスタアドレス一覧(1/40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		3章
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK		3章
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK		3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK		3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK		11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK		11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		11章
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK		11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		9章
0008 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	16	16	3ICLK		9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK		9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK		9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK		9章
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK		9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK		9章
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK		9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK		9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK		9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK		9章
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK		9章
0008 0039h	SYSTEM	FLLコントロールレジスタ1	FLLCR1	8	8	3ICLK		9章
0008 003Ah	SYSTEM	FLLコントロールレジスタ2	FLLCR2	16	16	3ICLK		9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK		9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK		9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK		9章
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK		11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		9章
0008 00A3h	SYSTEM	サブクロック発振器ウェイトコントロールレジスタ	SOSCWTCR	8	8	3ICLK		9章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK		6章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK		8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK		8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK		8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		12章
0008 1200h	RAM	RAM動作モード制御レジスタ	RAMMODE	8	8	2ICLK		43章
0008 1201h	RAM	RAMエラーステータスレジスタ	RAMSTS	8	8	2ICLK		43章
0008 1204h	RAM	RAMプロテクトレジスタ	RAMPRCR	8	8	2ICLK		43章
0008 1208h	RAM	RAMエラーアドレスキャプチャレジスタ	RAMECAD	32	32	2ICLK		43章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		15章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		15章
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章

表5.1 I/Oレジスタアドレス一覧(2/40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK		17章
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 201Fh	DMAC0	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 205Fh	DMAC1	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 209Fh	DMAC2	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 20DFh	DMAC3	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2100h	DMAC4	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2104h	DMAC4	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2108h	DMAC4	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 210Ch	DMAC4	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2110h	DMAC4	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2113h	DMAC4	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2114h	DMAC4	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 211Ch	DMAC4	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 211Dh	DMAC4	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章

表5.1 I/Oレジスタアドレス一覧 (3 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 211Eh	DMAC4	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 211Fh	DMAC4	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2140h	DMAC5	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2144h	DMAC5	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2148h	DMAC5	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 214Ch	DMAC5	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2150h	DMAC5	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2153h	DMAC5	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2154h	DMAC5	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 215Ch	DMAC5	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 215Dh	DMAC5	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 215Eh	DMAC5	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 215Fh	DMAC5	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2180h	DMAC6	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2184h	DMAC6	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2188h	DMAC6	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 218Ch	DMAC6	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2190h	DMAC6	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2193h	DMAC6	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2194h	DMAC6	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 219Ch	DMAC6	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 219Dh	DMAC6	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 219Eh	DMAC6	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 219Fh	DMAC6	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 21C0h	DMAC7	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 21C4h	DMAC7	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 21C8h	DMAC7	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 21CCh	DMAC7	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 21D0h	DMAC7	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 21D3h	DMAC7	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 21D4h	DMAC7	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 21DCh	DMAC7	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 21DDh	DMAC7	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 21DEh	DMAC7	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 21DFh	DMAC7	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2200h	DMAC	DMACモジュール起動レジスタ	DMAST	8	8	2ICLK		17章
0008 2204h	DMAC	DMAC74割り込みステータスマニタレジスタ	DMIST	8	8	2ICLK		17章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK		18章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK		18章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK		18章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK		18章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK		18章
0008 2410h	DTC	DTCインデックステーブルベースレジスタ	DTCIBR	32	32	2ICLK		18章
0008 2414h	DTC	DTCオペレーションレジスタ	DTCOR	8	8	2ICLK		18章
0008 2416h	DTC	DTCシーケンス転送許可レジスタ	DTCSQE	16	16	2ICLK		18章
0008 2418h	DTC	DTCアドレスディスプレイースメントレジスタ	DTCDISP	32	32	2ICLK		18章
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1~2BCLK		15章
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1~2BCLK		15章
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1~2BCLK		15章
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1~2BCLK		15章
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1~2BCLK		15章
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1~2BCLK		15章

表5.1 I/Oレジスタアドレス一覧 (4 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1 ~ 2BCLK		15章
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1 ~ 2BCLK		15章
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1 ~ 2BCLK		15章
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1 ~ 2BCLK		15章
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1 ~ 2BCLK		15章
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1 ~ 2BCLK		15章
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1 ~ 2BCLK		15章
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1 ~ 2BCLK		15章
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1 ~ 2BCLK		15章
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1 ~ 2BCLK		15章
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1 ~ 2BCLK		15章
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1 ~ 2BCLK		15章
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1 ~ 2BCLK		15章
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1 ~ 2BCLK		15章
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1 ~ 2BCLK		15章
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		16章
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK		16章
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK		16章
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK		16章
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK		16章
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK		16章
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK		16章
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK		16章
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK		16章
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK		16章
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK		16章
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK		16章
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK		16章
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK		16章
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK		16章
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK		16章
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK		16章
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK		16章
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK		16章
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK		16章
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK		16章
0008 6520h	MPU	領域サーチャドレスレジスタ	MPSA	32	32	1ICLK		16章
0008 6524h	MPU	領域サーチャオペレーションレジスタ	MPOPS	16	16	1ICLK		16章
0008 6526h	MPU	領域インバリデートオペレーションレジスタ	MPOPI	16	16	1ICLK		16章
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK		16章
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK		16章
0008 7010h ~ 0008 70FFh	ICU	割り込み要求レジスタ016 ~ 割り込み要求レジスタ255	IR016 ~ IR255	8	8	2ICLK		14章
0008 711Ah ~ 0008 71FFh	ICU	DTC転送要求許可レジスタ026 ~ DTC転送要求許可レジスタ255	DT CER026 ~ DT CER255	8	8	2ICLK		14章
0008 7202h ~ 0008 721Fh	ICU	割り込み要求許可レジスタ02 ~ 割り込み要求許可レジスタ1F	IER02 ~ IER1F	8	8	2ICLK		14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK		14章
0008 72E1h	ICU	ソフトウェア割り込み2起動レジスタ	SWINT2R	8	8	2ICLK		14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK		14章
0008 7300h ~ 0008 73FFh	ICU	割り込み要因プライオリティレジスタ000 ~ 割り込み要因プライオリティレジスタ255	IPR000 ~ IPR255	8	8	2ICLK		14章
0008 7400h	ICU	DMAC起動要因選択レジスタ0	DMRSR0	8	8	2ICLK		14章

表5.1 I/Oレジスタアドレス一覧 (5 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 7404h	ICU	DMAC起動要因選択レジスタ1	DMRSR1	8	8	2ICLK		14章
0008 7408h	ICU	DMAC起動要因選択レジスタ2	DMRSR2	8	8	2ICLK		14章
0008 740Ch	ICU	DMAC起動要因選択レジスタ3	DMRSR3	8	8	2ICLK		14章
0008 7410h	ICU	DMAC起動要因選択レジスタ4	DMRSR4	8	8	2ICLK		14章
0008 7414h	ICU	DMAC起動要因選択レジスタ5	DMRSR5	8	8	2ICLK		14章
0008 7418h	ICU	DMAC起動要因選択レジスタ6	DMRSR6	8	8	2ICLK		14章
0008 741Ch	ICU	DMAC起動要因選択レジスタ7	DMRSR7	8	8	2ICLK		14章
0008 7500h~ 0008 750Fh	ICU	IRQコントロールレジスタ0~IRQコントロールレジスタ15	IRQCR0~ IRQCR15	8	8	2ICLK		14章
0008 7520h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8	2ICLK		14章
0008 7521h	ICU	IRQ端子デジタルフィルタ許可レジスタ1	IRQFLTE1	8	8	2ICLK		14章
0008 7528h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK		14章
0008 752Ah	ICU	IRQ端子デジタルフィルタ設定レジスタ1	IRQFLTC1	16	16	2ICLK		14章
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK		14章
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK		14章
0008 7582h	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK		14章
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK		14章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		14章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK		14章
0008 7630h	ICU	グループBL0割り込み要求レジスタ	GRPBL0	32	32	2ICLK~1PCLKB	2ICLK	14章
0008 7634h	ICU	グループBL1割り込み要求レジスタ	GRPBL1	32	32	2ICLK~1PCLKB	2ICLK	14章
0008 7638h	ICU	グループBL2割り込み要求レジスタ	GRPBL2	32	32	2ICLK~1PCLKB	2ICLK	14章
0008 7670h	ICU	グループBL0割り込み要求許可レジスタ	GENBL0	32	32	2ICLK~1PCLKB	2ICLK	14章
0008 7674h	ICU	グループBL1割り込み要求許可レジスタ	GENBL1	32	32	2ICLK~1PCLKB	2ICLK	14章
0008 7678h	ICU	グループBL2割り込み要求許可レジスタ	GENBL2	32	32	2ICLK~1PCLKB	2ICLK	14章
0008 7700h	ICU	選択型割り込みB要求レジスタ0	PIBR0	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7701h	ICU	選択型割り込みB要求レジスタ1	PIBR1	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7705h	ICU	選択型割り込みB要求レジスタ5	PIBR5	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7706h	ICU	選択型割り込みB要求レジスタ6	PIBR6	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7708h	ICU	選択型割り込みB要求レジスタ8	PIBR8	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7709h	ICU	選択型割り込みB要求レジスタ9	PIBR9	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 770Ah	ICU	選択型割り込みB要求レジスタA	PIBRA	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 770Ch	ICU	選択型割り込みB要求レジスタC	PIBRC	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 770Dh	ICU	選択型割り込みB要求レジスタD	PIBRD	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7780h	ICU	選択型割り込みB要因選択レジスタX128	SLIBXR128	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7781h	ICU	選択型割り込みB要因選択レジスタX129	SLIBXR129	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7782h	ICU	選択型割り込みB要因選択レジスタX130	SLIBXR130	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7783h	ICU	選択型割り込みB要因選択レジスタX131	SLIBXR131	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7784h	ICU	選択型割り込みB要因選択レジスタX132	SLIBXR132	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7785h	ICU	選択型割り込みB要因選択レジスタX133	SLIBXR133	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7786h	ICU	選択型割り込みB要因選択レジスタX134	SLIBXR134	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7787h	ICU	選択型割り込みB要因選択レジスタX135	SLIBXR135	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7788h	ICU	選択型割り込みB要因選択レジスタX136	SLIBXR136	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7789h	ICU	選択型割り込みB要因選択レジスタX137	SLIBXR137	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 778Ah	ICU	選択型割り込みB要因選択レジスタX138	SLIBXR138	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 778Bh	ICU	選択型割り込みB要因選択レジスタX139	SLIBXR139	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 778Ch	ICU	選択型割り込みB要因選択レジスタX140	SLIBXR140	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 778Dh	ICU	選択型割り込みB要因選択レジスタX141	SLIBXR141	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 778Eh	ICU	選択型割り込みB要因選択レジスタX142	SLIBXR142	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 778Fh	ICU	選択型割り込みB要因選択レジスタX143	SLIBXR143	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7790h	ICU	選択型割り込みB要因選択レジスタ144	SLIBR144	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7791h	ICU	選択型割り込みB要因選択レジスタ145	SLIBR145	8	8	2ICLK~1PCLKB	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (7 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 77C6h	ICU	選択型割り込みB要因選択レジスタ 198	SLIBR198	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 77C7h	ICU	選択型割り込みB要因選択レジスタ 199	SLIBR199	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 77C8h	ICU	選択型割り込みB要因選択レジスタ 200	SLIBR200	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 77C9h	ICU	選択型割り込みB要因選択レジスタ 201	SLIBR201	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 77CAh	ICU	選択型割り込みB要因選択レジスタ 202	SLIBR202	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 77CBh	ICU	選択型割り込みB要因選択レジスタ 203	SLIBR203	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 77CCh	ICU	選択型割り込みB要因選択レジスタ 204	SLIBR204	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 77CDh	ICU	選択型割り込みB要因選択レジスタ 205	SLIBR205	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 77CEh	ICU	選択型割り込みB要因選択レジスタ 206	SLIBR206	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 77CFh	ICU	選択型割り込みB要因選択レジスタ 207	SLIBR207	8	8	2ICLK~1PCLKB	2ICLK	14章
0008 7830h	ICU	グループAL0割り込み要求レジスタ	GRPAL0	32	32	2ICLK~1PCLKA	2ICLK	14章
0008 7870h	ICU	グループAL0割り込み要求許可レジスタ	GENAL0	32	32	2ICLK~1PCLKA	2ICLK	14章
0008 7900h	ICU	選択型割り込みA要求レジスタ 0	PIAR0	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 7901h	ICU	選択型割り込みA要求レジスタ 1	PIAR1	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 7902h	ICU	選択型割り込みA要求レジスタ 2	PIAR2	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 7903h	ICU	選択型割り込みA要求レジスタ 3	PIAR3	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 7904h	ICU	選択型割り込みA要求レジスタ 4	PIAR4	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 7905h	ICU	選択型割り込みA要求レジスタ 5	PIAR5	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 790Bh	ICU	選択型割り込みA要求レジスタ B	PIARB	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 790Ch	ICU	選択型割り込みA要求レジスタ C	PIARC	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D0h	ICU	選択型割り込みA要因選択レジスタ 208	SLIAR208	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D1h	ICU	選択型割り込みA要因選択レジスタ 209	SLIAR209	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D2h	ICU	選択型割り込みA要因選択レジスタ 210	SLIAR210	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D3h	ICU	選択型割り込みA要因選択レジスタ 211	SLIAR211	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D4h	ICU	選択型割り込みA要因選択レジスタ 212	SLIAR212	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D5h	ICU	選択型割り込みA要因選択レジスタ 213	SLIAR213	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D6h	ICU	選択型割り込みA要因選択レジスタ 214	SLIAR214	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D7h	ICU	選択型割り込みA要因選択レジスタ 215	SLIAR215	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D8h	ICU	選択型割り込みA要因選択レジスタ 216	SLIAR216	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79D9h	ICU	選択型割り込みA要因選択レジスタ 217	SLIAR217	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79DAh	ICU	選択型割り込みA要因選択レジスタ 218	SLIAR218	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79DBh	ICU	選択型割り込みA要因選択レジスタ 219	SLIAR219	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79DCh	ICU	選択型割り込みA要因選択レジスタ 220	SLIAR220	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79DDh	ICU	選択型割り込みA要因選択レジスタ 221	SLIAR221	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79DEh	ICU	選択型割り込みA要因選択レジスタ 222	SLIAR222	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79DFh	ICU	選択型割り込みA要因選択レジスタ 223	SLIAR223	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E0h	ICU	選択型割り込みA要因選択レジスタ 224	SLIAR224	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E1h	ICU	選択型割り込みA要因選択レジスタ 225	SLIAR225	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E2h	ICU	選択型割り込みA要因選択レジスタ 226	SLIAR226	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E3h	ICU	選択型割り込みA要因選択レジスタ 227	SLIAR227	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E4h	ICU	選択型割り込みA要因選択レジスタ 228	SLIAR228	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E5h	ICU	選択型割り込みA要因選択レジスタ 229	SLIAR229	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E6h	ICU	選択型割り込みA要因選択レジスタ 230	SLIAR230	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E7h	ICU	選択型割り込みA要因選択レジスタ 231	SLIAR231	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E8h	ICU	選択型割り込みA要因選択レジスタ 232	SLIAR232	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79E9h	ICU	選択型割り込みA要因選択レジスタ 233	SLIAR233	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79EAh	ICU	選択型割り込みA要因選択レジスタ 234	SLIAR234	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79EBh	ICU	選択型割り込みA要因選択レジスタ 235	SLIAR235	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79ECh	ICU	選択型割り込みA要因選択レジスタ 236	SLIAR236	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79EDh	ICU	選択型割り込みA要因選択レジスタ 237	SLIAR237	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79EEh	ICU	選択型割り込みA要因選択レジスタ 238	SLIAR238	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79EFh	ICU	選択型割り込みA要因選択レジスタ 239	SLIAR239	8	8	2ICLK~1PCLKA	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧 (8 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 79F0h	ICU	選択型割り込みA要因選択レジスタ 240	SLIAR240	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79F1h	ICU	選択型割り込みA要因選択レジスタ 241	SLIAR241	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79F2h	ICU	選択型割り込みA要因選択レジスタ 242	SLIAR242	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79F3h	ICU	選択型割り込みA要因選択レジスタ 243	SLIAR243	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79F4h	ICU	選択型割り込みA要因選択レジスタ 244	SLIAR244	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79F5h	ICU	選択型割り込みA要因選択レジスタ 245	SLIAR245	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79F6h	ICU	選択型割り込みA要因選択レジスタ 246	SLIAR246	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79F7h	ICU	選択型割り込みA要因選択レジスタ 247	SLIAR247	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79F8h	ICU	選択型割り込みA要因選択レジスタ 248	SLIAR248	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79F9h	ICU	選択型割り込みA要因選択レジスタ 249	SLIAR249	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79FAh	ICU	選択型割り込みA要因選択レジスタ 250	SLIAR250	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79FBh	ICU	選択型割り込みA要因選択レジスタ 251	SLIAR251	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79FCh	ICU	選択型割り込みA要因選択レジスタ 252	SLIAR252	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79FDh	ICU	選択型割り込みA要因選択レジスタ 253	SLIAR253	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79FEh	ICU	選択型割り込みA要因選択レジスタ 254	SLIAR254	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 79FFh	ICU	選択型割り込みA要因選択レジスタ 255	SLIAR255	8	8	2ICLK~1PCLKA	2ICLK	14章
0008 7A00h	ICU	選択型割り込み要因選択レジスタ書き込み保護レジスタ	SLIPRCR	8	8	2ICLK~1PCLKA/B	2ICLK	14章
0008 8000h	CMT	コンペアマッチタイムスタートレジスタ 0	CMSTR0	16	16	2~3PCLKB	2ICLK	25章
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	25章
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	25章
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	25章
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	25章
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	25章
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ 1	CMSTR1	16	16	2~3PCLKB	2ICLK	25章
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	25章
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	25章
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	25章
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	25章
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	25章
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2~3PCLKB	2ICLK	28章
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2~3PCLKB	2ICLK	28章
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2~3PCLKB	2ICLK	28章
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2~3PCLKB	2ICLK	28章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLKB	2ICLK	29章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLKB	2ICLK	29章
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLKB	2ICLK	29章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2~3PCLKB	2ICLK	29章
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2~3PCLKB	2ICLK	29章
0008 8040h	DA	D/Aデータレジスタ 0	DADR0	16	16	2~3PCLKB	2ICLK	39章
0008 8042h	DA	D/Aデータレジスタ 1	DADR1	16	16	2~3PCLKB	2ICLK	39章
0008 8044h	DA	D/A制御レジスタ	DACR	8	8	2~3PCLKB	2ICLK	39章
0008 8045h	DA	データレジスタフォーマット選択レジスタ	DADPR	8	8	2~3PCLKB	2ICLK	39章
0008 8046h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2~3PCLKB	2ICLK	39章
0008 8049h	DA	D/A出力先選択レジスタ	DADSELR	8	8	2~3PCLKB	2ICLK	39章
0008 8084h	S12AD	A/D基準電圧コントロールレジスタ	ADVREFCR	8	8	2~3PCLKB	2ICLK	38章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	24章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	24章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	24章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	24章

表5.1 I/Oレジスタアドレス一覧(9/40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	24章
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16	2~3PCLKB	2ICLK	24章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	24章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	24章
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16	2~3PCLKB	2ICLK	24章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	24章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	24章
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	24章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	24章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	24章
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	2ICLK	24章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	24章
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	24章
0008 820Dh	TMR1	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	24章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	24章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	24章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	24章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	24章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	24章
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA	16	16	2~3PCLKB	2ICLK	24章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	24章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	24章
0008 8216h	TMR23	タイムコンスタントレジスタB	TCORB	16	16	2~3PCLKB	2ICLK	24章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	24章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	24章
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	24章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	24章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	24章
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	2ICLK	24章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	24章
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	24章
0008 821Dh	TMR3	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	24章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	2ICLK	35章
0008 8284h	CRC	CRCデータ入力レジスタ	CRCDIR	32	8, 32	2~3PCLKB	2ICLK	35章
0008 8288h	CRC	CRCデータ出力レジスタ	CRCDOR	32	8, 16, 32	2~3PCLKB	2ICLK	35章
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK	32章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK	32章
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK	32章
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK	32章
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK	32章
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	32章
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	32章
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	32章
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK	32章
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK	32章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK	32章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	2ICLK	32章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	2ICLK	32章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	2ICLK	32章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK	32章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK	32章
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK	32章

表 5.1 I/O レジスタ アドレス一覧 (10 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセ ス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK	32章
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK	32章
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK	32章
0008 8340h	RIIC2	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK	32章
0008 8341h	RIIC2	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK	32章
0008 8342h	RIIC2	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK	32章
0008 8343h	RIIC2	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK	32章
0008 8344h	RIIC2	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK	32章
0008 8345h	RIIC2	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	32章
0008 8346h	RIIC2	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	32章
0008 8347h	RIIC2	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	32章
0008 8348h	RIIC2	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK	32章
0008 8349h	RIIC2	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK	32章
0008 834Ah	RIIC2	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK	32章
0008 834Bh	RIIC2	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	2ICLK	32章
0008 834Ch	RIIC2	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	2ICLK	32章
0008 834Dh	RIIC2	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	2ICLK	32章
0008 834Eh	RIIC2	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK	32章
0008 834Fh	RIIC2	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK	32章
0008 8350h	RIIC2	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK	32章
0008 8351h	RIIC2	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK	32章
0008 8352h	RIIC2	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK	32章
0008 8353h	RIIC2	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK	32章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK	38章
0008 9004h	S12AD	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2~3PCLKB	2ICLK	38章
0008 9006h	S12AD	A/Dチャンネル選択レジスタA1	ADANSA1	16	16	2~3PCLKB	2ICLK	38章
0008 9008h	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2~3PCLKB	2ICLK	38章
0008 900Ah	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ1	ADADS1	16	16	2~3PCLKB	2ICLK	38章
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK	38章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK	38章
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK	38章
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	2ICLK	38章
0008 9014h	S12AD	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2~3PCLKB	2ICLK	38章
0008 9016h	S12AD	A/Dチャンネル選択レジスタB1	ADANSB1	16	16	2~3PCLKB	2ICLK	38章
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK	38章
0008 901Ah	S12AD	A/D温度センサデータレジスタ	ADTSRDR	16	16	2~3PCLKB	2ICLK	38章
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2~3PCLKB	2ICLK	38章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK	38章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	2ICLK	38章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	2ICLK	38章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	2ICLK	38章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	2ICLK	38章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	2ICLK	38章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2~3PCLKB	2ICLK	38章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	2ICLK	38章
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2~3PCLKB	2ICLK	38章
0008 9030h	S12AD	A/Dデータレジスタ8	ADDR8	16	16	2~3PCLKB	2ICLK	38章
0008 9032h	S12AD	A/Dデータレジスタ9	ADDR9	16	16	2~3PCLKB	2ICLK	38章
0008 9034h	S12AD	A/Dデータレジスタ10	ADDR10	16	16	2~3PCLKB	2ICLK	38章
0008 9036h	S12AD	A/Dデータレジスタ11	ADDR11	16	16	2~3PCLKB	2ICLK	38章
0008 9038h	S12AD	A/Dデータレジスタ12	ADDR12	16	16	2~3PCLKB	2ICLK	38章
0008 903Ah	S12AD	A/Dデータレジスタ13	ADDR13	16	16	2~3PCLKB	2ICLK	38章

表5.1 I/Oレジスタアドレス一覧 (11 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 903Ch	S12AD	A/Dデータレジスタ 14	ADDR14	16	16	2~3PCLKB	2ICLK	38章
0008 903Eh	S12AD	A/Dデータレジスタ 15	ADDR15	16	16	2~3PCLKB	2ICLK	38章
0008 9040h	S12AD	A/Dデータレジスタ 16	ADDR16	16	16	2~3PCLKB	2ICLK	38章
0008 9042h	S12AD	A/Dデータレジスタ 17	ADDR17	16	16	2~3PCLKB	2ICLK	38章
0008 9044h	S12AD	A/Dデータレジスタ 18	ADDR18	16	16	2~3PCLKB	2ICLK	38章
0008 9046h	S12AD	A/Dデータレジスタ 19	ADDR19	16	16	2~3PCLKB	2ICLK	38章
0008 9048h	S12AD	A/Dデータレジスタ 20	ADDR20	16	16	2~3PCLKB	2ICLK	38章
0008 904Ah	S12AD	A/Dデータレジスタ 21	ADDR21	16	16	2~3PCLKB	2ICLK	38章
0008 904Ch	S12AD	A/Dデータレジスタ 22	ADDR22	16	16	2~3PCLKB	2ICLK	38章
0008 904Eh	S12AD	A/Dデータレジスタ 23	ADDR23	16	16	2~3PCLKB	2ICLK	38章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2~3PCLKB	2ICLK	38章
0008 907Dh	S12AD	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2~3PCLKB	2ICLK	38章
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK	38章
0008 9084h	S12AD	A/Dデータ二重化レジスタA	ADDBLDRA	16	16	2~3PCLKB	2ICLK	38章
0008 9086h	S12AD	A/Dデータ二重化レジスタB	ADDBLDRB	16	16	2~3PCLKB	2ICLK	38章
0008 908Ch	S12AD	A/Dコンペア機能ウィンドウA/Bステータスマニ レジスタ	ADWINMON	8	8	2~3PCLKB	2ICLK	38章
0008 9090h	S12AD	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2~3PCLKB	2ICLK	38章
0008 9092h	S12AD	A/Dコンペア機能ウィンドウA拡張入力選択レジ スタ	ADCOMPANSE R	8	8	2~3PCLKB	2ICLK	38章
0008 9093h	S12AD	A/Dコンペア機能ウィンドウA拡張入力比較条件設 定レジスタ	ADCMPLER	8	8	2~3PCLKB	2ICLK	38章
0008 9094h	S12AD	A/Dコンペア機能ウィンドウAチャンネル選択レジ スタ0	ADCOMPANSR 0	16	16	2~3PCLKB	2ICLK	38章
0008 9096h	S12AD	A/Dコンペア機能ウィンドウAチャンネル選択レジ スタ1	ADCOMPANSR 1	16	16	2~3PCLKB	2ICLK	38章
0008 9098h	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジ スタ0	ADCMPLR0	16	16	2~3PCLKB	2ICLK	38章
0008 909Ah	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジ スタ1	ADCMPLR1	16	16	2~3PCLKB	2ICLK	38章
0008 909Ch	S12AD	A/Dコンペア機能ウィンドウA下位側レベル設定レ ジスタ	ADCMPCR0	16	16	2~3PCLKB	2ICLK	38章
0008 909Eh	S12AD	A/Dコンペア機能ウィンドウA上位側レベル設定レ ジスタ	ADCMPCR1	16	16	2~3PCLKB	2ICLK	38章
0008 90A0h	S12AD	A/Dコンペア機能ウィンドウAチャネルステータ レジスタ0	ADCMPSR0	16	16	2~3PCLKB	2ICLK	38章
0008 90A2h	S12AD	A/Dコンペア機能ウィンドウAチャネルステータ レジスタ1	ADCMPSR1	16	16	2~3PCLKB	2ICLK	38章
0008 90A4h	S12AD	A/Dコンペア機能ウィンドウA拡張入力チャネル ステータレジスタ	ADCMPSER	8	8	2~3PCLKB	2ICLK	38章
0008 90A6h	S12AD	A/Dコンペア機能ウィンドウBチャンネル選択レジ スタ	ADCOMPBNSR	8	8	2~3PCLKB	2ICLK	38章
0008 90A8h	S12AD	A/Dコンペア機能ウィンドウB下位側レベル設定レ ジスタ	ADWINLLB	16	16	2~3PCLKB	2ICLK	38章
0008 90AAh	S12AD	A/Dコンペア機能ウィンドウB上位側レベル設定レ ジスタ	ADWINULB	16	16	2~3PCLKB	2ICLK	38章
0008 90ACh	S12AD	A/Dコンペア機能ウィンドウBチャネルステータ レジスタ	ADCOMPBSR	8	8	2~3PCLKB	2ICLK	38章
0008 90D4h	S12AD	A/Dチャンネル選択レジスタC0	ADANSC0	16	16	2~3PCLKB	2ICLK	38章
0008 90D6h	S12AD	A/Dチャンネル選択レジスタC1	ADANSC1	16	16	2~3PCLKB	2ICLK	38章
0008 90D8h	S12AD	A/DグループC拡張入力コントロールレジスタ	ADGCEXCR	8	8	2~3PCLKB	2ICLK	38章
0008 90D9h	S12AD	A/DグループCトリガ選択レジスタ	ADGCTRGR	8	8	2~3PCLKB	2ICLK	38章
0008 90DDh	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2~3PCLKB	2ICLK	38章
0008 90DEh	S12AD	A/DサンプリングステートレジスタT	ADSSTRT	8	8	2~3PCLKB	2ICLK	38章
0008 90DFh	S12AD	A/DサンプリングステートレジスタO	ADSSTRO	8	8	2~3PCLKB	2ICLK	38章
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK	38章
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK	38章
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK	38章
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK	38章
0008 90E4h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB	2ICLK	38章

表5.1 I/Oレジスタアドレス一覧 (12 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 90E5h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB	2ICLK	38章
0008 90E6h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB	2ICLK	38章
0008 90E7h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB	2ICLK	38章
0008 90E8h	S12AD	A/Dサンプリングステートレジスタ8	ADSSTR8	8	8	2~3PCLKB	2ICLK	38章
0008 90E9h	S12AD	A/Dサンプリングステートレジスタ9	ADSSTR9	8	8	2~3PCLKB	2ICLK	38章
0008 90EAh	S12AD	A/Dサンプリングステートレジスタ10	ADSSTR10	8	8	2~3PCLKB	2ICLK	38章
0008 90EBh	S12AD	A/Dサンプリングステートレジスタ11	ADSSTR11	8	8	2~3PCLKB	2ICLK	38章
0008 90ECh	S12AD	A/Dサンプリングステートレジスタ12	ADSSTR12	8	8	2~3PCLKB	2ICLK	38章
0008 90EDh	S12AD	A/Dサンプリングステートレジスタ13	ADSSTR13	8	8	2~3PCLKB	2ICLK	38章
0008 90EEh	S12AD	A/Dサンプリングステートレジスタ14	ADSSTR14	8	8	2~3PCLKB	2ICLK	38章
0008 90EFh	S12AD	A/Dサンプリングステートレジスタ15	ADSSTR15	8	8	2~3PCLKB	2ICLK	38章
0008 91C0h	S12AD	A/Dチャンネル変換順序設定レジスタ0	ADSCS0	8	8	2~3PCLKB	2ICLK	38章
0008 91C1h	S12AD	A/Dチャンネル変換順序設定レジスタ1	ADSCS1	8	8	2~3PCLKB	2ICLK	38章
0008 91C2h	S12AD	A/Dチャンネル変換順序設定レジスタ2	ADSCS2	8	8	2~3PCLKB	2ICLK	38章
0008 91C3h	S12AD	A/Dチャンネル変換順序設定レジスタ3	ADSCS3	8	8	2~3PCLKB	2ICLK	38章
0008 91C4h	S12AD	A/Dチャンネル変換順序設定レジスタ4	ADSCS4	8	8	2~3PCLKB	2ICLK	38章
0008 91C5h	S12AD	A/Dチャンネル変換順序設定レジスタ5	ADSCS5	8	8	2~3PCLKB	2ICLK	38章
0008 91C6h	S12AD	A/Dチャンネル変換順序設定レジスタ6	ADSCS6	8	8	2~3PCLKB	2ICLK	38章
0008 91C7h	S12AD	A/Dチャンネル変換順序設定レジスタ7	ADSCS7	8	8	2~3PCLKB	2ICLK	38章
0008 91C8h	S12AD	A/Dチャンネル変換順序設定レジスタ8	ADSCS8	8	8	2~3PCLKB	2ICLK	38章
0008 91C9h	S12AD	A/Dチャンネル変換順序設定レジスタ9	ADSCS9	8	8	2~3PCLKB	2ICLK	38章
0008 91CAh	S12AD	A/Dチャンネル変換順序設定レジスタ10	ADSCS10	8	8	2~3PCLKB	2ICLK	38章
0008 91CBh	S12AD	A/Dチャンネル変換順序設定レジスタ11	ADSCS11	8	8	2~3PCLKB	2ICLK	38章
0008 91CCh	S12AD	A/Dチャンネル変換順序設定レジスタ12	ADSCS12	8	8	2~3PCLKB	2ICLK	38章
0008 91CDh	S12AD	A/Dチャンネル変換順序設定レジスタ13	ADSCS13	8	8	2~3PCLKB	2ICLK	38章
0008 91CEh	S12AD	A/Dチャンネル変換順序設定レジスタ14	ADSCS14	8	8	2~3PCLKB	2ICLK	38章
0008 91CFh	S12AD	A/Dチャンネル変換順序設定レジスタ15	ADSCS15	8	8	2~3PCLKB	2ICLK	38章
0008 91D0h	S12AD	A/Dチャンネル変換順序設定レジスタ16	ADSCS16	8	8	2~3PCLKB	2ICLK	38章
0008 91D1h	S12AD	A/Dチャンネル変換順序設定レジスタ17	ADSCS17	8	8	2~3PCLKB	2ICLK	38章
0008 91D2h	S12AD	A/Dチャンネル変換順序設定レジスタ18	ADSCS18	8	8	2~3PCLKB	2ICLK	38章
0008 91D3h	S12AD	A/Dチャンネル変換順序設定レジスタ19	ADSCS19	8	8	2~3PCLKB	2ICLK	38章
0008 91D4h	S12AD	A/Dチャンネル変換順序設定レジスタ20	ADSCS20	8	8	2~3PCLKB	2ICLK	38章
0008 91D5h	S12AD	A/Dチャンネル変換順序設定レジスタ21	ADSCS21	8	8	2~3PCLKB	2ICLK	38章
0008 91D6h	S12AD	A/Dチャンネル変換順序設定レジスタ22	ADSCS22	8	8	2~3PCLKB	2ICLK	38章
0008 91D7h	S12AD	A/Dチャンネル変換順序設定レジスタ23	ADSCS23	8	8	2~3PCLKB	2ICLK	38章
0008 91E2h	S12AD	A/D内部基準電圧モニタ回路許可レジスタ	ADVMONCR	8	8	2~3PCLKB	2ICLK	38章
0008 91E4h	S12AD	A/D内部基準電圧モニタ回路出力許可レジスタ	ADVMONO	8	8	2~3PCLKB	2ICLK	38章
0008 A000h	SCI0	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A000h	SMCI0	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A001h	SCI0	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A002h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A002h	SMCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A003h	SCI0	トランスミッターデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 A004h	SCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A004h	SMCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A005h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A006h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A006h	SMCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A007h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A008h	SCI0	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A009h	SCI0	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A00Ah	SCI0	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章

表5.1 I/Oレジスタアドレス一覧 (13 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A00Bh	SCIO	PCモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 A00Ch	SCIO	PCステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A00Dh	SCIO	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A00Eh	SCIO	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A00Fh	SCIO	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A00Eh	SCIO	トランスミットデータレジスタHL	TDRHL	16	16	4~5PCLKB	2ICLK	30章
0008 A010h	SCIO	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A011h	SCIO	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A010h	SCIO	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	2ICLK	30章
0008 A012h	SCIO	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A013h	SCIO	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章
0008 A01Ah	SCIO	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章
0008 A01Bh	SCIO	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A01Ah	SCIO	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	30章
0008 A01Ch	SCIO	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A01Dh	SCIO	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A020h	SMCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A022h	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A024h	SMCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A029h	SCI1	PCモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A02Ah	SCI1	PCモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 A02Bh	SCI1	PCモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 A02Ch	SCI1	PCステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A033h	SCI1	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章
0008 A03Ah	SCI1	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章
0008 A03Bh	SCI1	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A03Ah	SCI1	比較データレジスタ	CDR	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A03Ch	SCI1	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A03Dh	SCI1	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A040h	SMCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A042h	SMCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章

表5.1 I/Oレジスタアドレス一覧 (14 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A043h	SCI2	トランスミッターレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A044h	SMCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A046h	SMCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A049h	SCI2	PCモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A04Ah	SCI2	PCモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 A04Bh	SCI2	PCモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 A04Ch	SCI2	PCステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A04Eh	SCI2	トランスミッターレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A04Fh	SCI2	トランスミッターレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A04Eh	SCI2	トランスミッターレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A050h	SCI2	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A051h	SCI2	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A050h	SCI2	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A052h	SCI2	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A053h	SCI2	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章
0008 A05Ah	SCI2	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章
0008 A05Bh	SCI2	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A05Ah	SCI2	比較データレジスタ	CDR	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A05Ch	SCI2	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A05Dh	SCI2	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A060h	SMCI3	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A062h	SMCI3	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A063h	SCI3	トランスミッターレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A064h	SMCI3	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A066h	SCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A066h	SMCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A069h	SCI3	PCモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A06Ah	SCI3	PCモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 A06Bh	SCI3	PCモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 A06Ch	SCI3	PCステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A06Eh	SCI3	トランスミッターレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A06Fh	SCI3	トランスミッターレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A06Eh	SCI3	トランスミッターレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A070h	SCI3	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A071h	SCI3	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A070h	SCI3	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A072h	SCI3	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A073h	SCI3	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章

表 5.1 I/O レジスタアドレス一覧 (15 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 A07Ah	SCI3	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章
0008 A07Bh	SCI3	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A07Ah	SCI3	比較データレジスタ	CDR	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A07Ch	SCI3	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A07Dh	SCI3	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 A080h	SCI4	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A080h	SMCI4	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A081h	SCI4	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A082h	SCI4	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A082h	SMCI4	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A083h	SCI4	トランスミッターデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 A084h	SCI4	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A084h	SMCI4	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A085h	SCI4	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A086h	SCI4	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A086h	SMCI4	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A087h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A088h	SCI4	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A089h	SCI4	I ² C モードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A08Ah	SCI4	I ² C モードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 A08Bh	SCI4	I ² C モードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 A08Ch	SCI4	I ² C ステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A08Dh	SCI4	SPI モードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A08Eh	SCI4	トランスミッターデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A08Fh	SCI4	トランスミッターデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A08Eh	SCI4	トランスミッターデータレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A090h	SCI4	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A091h	SCI4	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A090h	SCI4	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A092h	SCI4	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A093h	SCI4	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章
0008 A09Ah	SCI4	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章
0008 A09Bh	SCI4	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A09Ah	SCI4	比較データレジスタ	CDR	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A09Ch	SCI4	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A09Dh	SCI4	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A0h	SMCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A2h	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A3h	SCI5	トランスミッターデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A4h	SMCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A0A9h	SCI5	I ² C モードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A0AAh	SCI5	I ² C モードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 A0ABh	SCI5	I ² C モードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章

表5.1 I/Oレジスタアドレス一覧 (16 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A0ACh	SCI5	PCステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A0B3h	SCI5	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章
0008 A0BAh	SCI5	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章
0008 A0BBh	SCI5	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A0BAh	SCI5	比較データレジスタ	CDR	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A0BCh	SCI5	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A0BDh	SCI5	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C0h	SMCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C2h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C4h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A0C9h	SCI6	PCモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A0CAh	SCI6	PCモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 A0CBh	SCI6	PCモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 A0CCh	SCI6	PCステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A0D3h	SCI6	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章
0008 A0DAh	SCI6	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章
0008 A0DBh	SCI6	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A0DAh	SCI6	比較データレジスタ	CDR	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A0DCh	SCI6	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A0DDh	SCI6	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E0h	SCI7	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E0h	SMCI7	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E1h	SCI7	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E2h	SCI7	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E2h	SMCI7	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E3h	SCI7	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章

表5.1 I/Oレジスタアドレス一覧 (17 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A0E4h	SCI7	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E4h	SMCI7	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E5h	SCI7	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E6h	SCI7	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E6h	SMCI7	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E7h	SCI7	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E8h	SCI7	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A0E9h	SCI7	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A0EAh	SCI7	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 A0EBh	SCI7	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 A0ECh	SCI7	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A0EDh	SCI7	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A0EEh	SCI7	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A0EFh	SCI7	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A0EEh	SCI7	トランスミットデータレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A0F0h	SCI7	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A0F1h	SCI7	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A0F0h	SCI7	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A0F2h	SCI7	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A0F3h	SCI7	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章
0008 A0FAh	SCI7	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章
0008 A0FBh	SCI7	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A0FAh	SCI7	比較データレジスタ	CDR	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A0FCh	SCI7	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A0FDh	SCI7	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A100h	SMCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A102h	SMCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A104h	SMCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A106h	SMCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A109h	SCI8	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A10Ah	SCI8	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 A10Bh	SCI8	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 A10Ch	SCI8	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A10Eh	SCI8	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A10Fh	SCI8	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A10Eh	SCI8	トランスミットデータレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A110h	SCI8	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A111h	SCI8	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A110h	SCI8	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A112h	SCI8	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A113h	SCI8	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章
0008 A11Ah	SCI8	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章

表5.1 I/Oレジスタアドレス一覧 (18 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A11Bh	SCI8	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A11Ah	SCI8	比較データレジスタ	CDR	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A11Ch	SCI8	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A11Dh	SCI8	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A120h	SMCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A122h	SMCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A124h	SMCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A126h	SMCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 A129h	SCI9	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 A12Ah	SCI9	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 A12Bh	SCI9	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 A12Ch	SCI9	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章
0008 A12Eh	SCI9	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A12Fh	SCI9	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A12Eh	SCI9	トランスミットデータレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A130h	SCI9	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 A131h	SCI9	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 A130h	SCI9	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A132h	SCI9	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 A133h	SCI9	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	30章
0008 A13Ah	SCI9	比較データレジスタ	CDR.H	8	8	2~3PCLKB	2ICLK	30章
0008 A13Bh	SCI9	比較データレジスタ	CDR.L	8	8	2~3PCLKB	2ICLK	30章
0008 A13Ah	SCI9	比較データレジスタ	CDR	16	8, 16	4~5PCLKB	2ICLK	30章
0008 A13Ch	SCI9	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	30章
0008 A13Dh	SCI9	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	30章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	2ICLK	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK	10章
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	2ICLK	19章
0008 B101h	ELC	イベントリンク設定レジスタ0	ELSR0	8	8	2~3PCLKB	2ICLK	19章
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB	2ICLK	19章
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB	2ICLK	19章
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB	2ICLK	19章
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	2ICLK	19章
0008 B10Ch	ELC	イベントリンク設定レジスタ11	ELSR11	8	8	2~3PCLKB	2ICLK	19章
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	2ICLK	19章
0008 B10Eh	ELC	イベントリンク設定レジスタ13	ELSR13	8	8	2~3PCLKB	2ICLK	19章

表5.1 I/Oレジスタアドレス一覧 (19 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	2ICLK	19章
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2~3PCLKB	2ICLK	19章
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	2ICLK	19章
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2~3PCLKB	2ICLK	19章
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	2ICLK	19章
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2~3PCLKB	2ICLK	19章
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	2ICLK	19章
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2~3PCLKB	2ICLK	19章
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	2ICLK	19章
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	2ICLK	19章
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2~3PCLKB	2ICLK	19章
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2~3PCLKB	2ICLK	19章
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2~3PCLKB	2ICLK	19章
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB	2ICLK	19章
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB	2ICLK	19章
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB	2ICLK	19章
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	2ICLK	19章
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	2ICLK	19章
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2~3PCLKB	2ICLK	19章
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	2ICLK	19章
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2~3PCLKB	2ICLK	19章
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	2ICLK	19章
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2~3PCLKB	2ICLK	19章
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	2ICLK	19章
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK	19章
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2~3PCLKB	2ICLK	19章
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2~3PCLKB	2ICLK	19章
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK	19章
0008 B12Eh	ELC	イベントリンク設定レジスタ30	ELSR30	8	8	2~3PCLKB	2ICLK	19章
0008 B12Fh	ELC	イベントリンク設定レジスタ31	ELSR31	8	8	2~3PCLKB	2ICLK	19章
0008 B130h	ELC	イベントリンク設定レジスタ32	ELSR32	8	8	2~3PCLKB	2ICLK	19章
0008 B13Eh	ELC	イベントリンクオプション設定レジスタE	ELOPE	8	8	2~3PCLKB	2ICLK	19章
0008 B14Eh	ELC	イベントリンク設定レジスタ56	ELSR56	8	8	2~3PCLKB	2ICLK	19章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 B300h	SMCH12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	30章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	30章
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 B302h	SMCH12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	30章
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	30章
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 B304h	SMCH12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	30章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	30章
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 B306h	SMCH12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	30章
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	30章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	30章
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	30章
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	30章
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	30章
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	30章
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	30章

表5.1 I/Oレジスタアドレス一覧 (20 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 B30Eh	SCI12	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	30章
0008 B30Fh	SCI12	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	30章
0008 B30Eh	SCI12	トランスミットデータレジスタHL	TDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 B310h	SCI12	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	30章
0008 B311h	SCI12	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	30章
0008 B310h	SCI12	レシーブデータレジスタHL	RDRHL	16	8, 16	4~5PCLKB	2ICLK	30章
0008 B312h	SCI12	モジュレーションデュティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	30章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK	30章
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	2ICLK	30章
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	2ICLK	30章
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	2ICLK	30章
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	2ICLK	30章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK	30章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK	30章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK	30章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK	30章
0008 B329h	SCI12	Control Field 0 データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK	30章
0008 B32Ah	SCI12	Control Field 0 コンペアイネーブルレジスタ	CF0CR	8	8	2~3PCLKB	2ICLK	30章
0008 B32Bh	SCI12	Control Field 0 受信データレジスタ	CF0RR	8	8	2~3PCLKB	2ICLK	30章
0008 B32Ch	SCI12	プライマリ Control Field 1 データレジスタ	PCF1DR	8	8	2~3PCLKB	2ICLK	30章
0008 B32Dh	SCI12	セカンダリ Control Field 1 データレジスタ	SCF1DR	8	8	2~3PCLKB	2ICLK	30章
0008 B32Eh	SCI12	Control Field 1 コンペアイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	2ICLK	30章
0008 B32Fh	SCI12	Control Field 1 受信データレジスタ	CF1RR	8	8	2~3PCLKB	2ICLK	30章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	30章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	2ICLK	30章
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	2ICLK	30章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	2ICLK	30章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C013h	PORTK	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C014h	PORTL	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C016h	PORTN	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章

表5.1 I/Oレジスタアドレス一覧 (21 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C026h	PORT6	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C027h	PORT7	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C028h	PORT8	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C029h	PORT9	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Ch	PORTC	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Dh	PORTD	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Fh	PORTF	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C031h	PORTH	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C032h	PORTJ	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C033h	PORTK	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C034h	PORTL	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C036h	PORTN	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C045h	PORT5	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C046h	PORT6	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C047h	PORT7	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C048h	PORT8	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C049h	PORT9	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C04Ah	PORTA	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C04Bh	PORTB	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C04Ch	PORTC	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C04Dh	PORTD	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C04Eh	PORTE	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C04Fh	PORTF	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C051h	PORTH	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C052h	PORTJ	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C053h	PORTK	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C054h	PORTL	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C056h	PORTN	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	20章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章

表 5.1 I/O レジスタアドレス一覧 (22 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C073h	PORTK	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C074h	PORTL	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C076h	PORTN	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C080h	PORT0	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C081h	PORT0	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C082h	PORT1	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C083h	PORT1	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C084h	PORT2	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C085h	PORT2	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C086h	PORT3	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C087h	PORT3	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C088h	PORT4	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C089h	PORT4	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C08Ah	PORT5	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C08Bh	PORT5	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C08Ch	PORT6	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C08Dh	PORT6	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C08Eh	PORT7	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C08Fh	PORT7	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C090h	PORT8	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C091h	PORT8	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C092h	PORT9	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C094h	PORTA	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C095h	PORTA	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C096h	PORTB	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C097h	PORTB	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C098h	PORTC	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C099h	PORTC	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C09Ah	PORTD	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C09Bh	PORTD	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C09Ch	PORTE	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C09Dh	PORTE	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C09Fh	PORTF	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C0A2h	PORTH	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C0A3h	PORTH	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C0A4h	PORTJ	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C0A5h	PORTJ	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C0A6h	PORTK	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C0A7h	PORTK	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C0A8h	PORTL	オーブドレイン制御レジスタ 0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C0ADh	PORTN	オーブドレイン制御レジスタ 1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C0C0h	PORT0	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C1h	PORT1	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C2h	PORT2	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C3h	PORT3	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C4h	PORT4	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C5h	PORT5	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C6h	PORT6	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章

表 5.1 I/O レジスタアドレス一覧 (23 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
0008 C0C7h	PORT7	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C8h	PORT8	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C9h	PORT9	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CAh	PORTA	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CBh	PORTB	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CCh	PORTC	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CDh	PORTD	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CEh	PORTE	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CFh	PORTF	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0D1h	PORTH	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0D2h	PORTJ	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0D3h	PORTK	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0D4h	PORTL	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0D6h	PORTN	プルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0E6h	PORT6	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0EFh	PORTF	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0F2h	PORTJ	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0F3h	PORTK	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0F4h	PORTL	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0F6h	PORTN	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK	20章
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2~3PCLKB	2ICLK	21章
0008 C102h	MPC	CS出力端子選択レジスタ0	PFCSS0	8	8	2~3PCLKB	2ICLK	21章
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8	2~3PCLKB	2ICLK	21章
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8	2~3PCLKB	2ICLK	21章
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8	2~3PCLKB	2ICLK	21章
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8	2~3PCLKB	2ICLK	21章
0008 C108h	MPC	外部バス制御レジスタ2	PFBCR2	8	8	2~3PCLKB	2ICLK	21章
0008 C109h	MPC	外部バス制御レジスタ3	PFBCR3	8	8	2~3PCLKB	2ICLK	21章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK	21章
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK	21章

表5.1 I/Oレジスタアドレス一覧 (24 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Eh	MPC	P36端子機能制御レジスタ	P36PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Fh	MPC	P37端子機能制御レジスタ	P37PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C16Eh	MPC	P56端子機能制御レジスタ	P56PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C170h	MPC	P60端子機能制御レジスタ	P60PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C171h	MPC	P61端子機能制御レジスタ	P61PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C172h	MPC	P62端子機能制御レジスタ	P62PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C173h	MPC	P63端子機能制御レジスタ	P63PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C174h	MPC	P64端子機能制御レジスタ	P64PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C175h	MPC	P65端子機能制御レジスタ	P65PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C176h	MPC	P66端子機能制御レジスタ	P66PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C177h	MPC	P67端子機能制御レジスタ	P67PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C17Fh	MPC	P77端子機能制御レジスタ	P77PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C180h	MPC	P80端子機能制御レジスタ	P80PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C181h	MPC	P81端子機能制御レジスタ	P81PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C182h	MPC	P82端子機能制御レジスタ	P82PFS	8	8	2~3PCLKB	2ICLK	21章

表5.1 I/Oレジスタアドレス一覧 (25 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C183h	MPC	P83端子機能制御レジスタ	P83PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C186h	MPC	P86端子機能制御レジスタ	P86PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C187h	MPC	P87端子機能制御レジスタ	P87PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C188h	MPC	P90端子機能制御レジスタ	P90PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1BDh	MPC	PF5端子機能制御レジスタ	PF5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2~3PCLKB	2ICLK	21章

表5.1 I/Oレジスタアドレス一覧 (26 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C1D1h	MPC	PJ1端子機能制御レジスタ	PJ1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1D5h	MPC	PJ5端子機能制御レジスタ	PJ5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1DAh	MPC	PK2端子機能制御レジスタ	PK2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1DBh	MPC	PK3端子機能制御レジスタ	PK3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1DCh	MPC	PK4端子機能制御レジスタ	PK4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1DDh	MPC	PK5端子機能制御レジスタ	PK5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLKB	2~3ICLK	11章
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4~5PCLKB	2~3ICLK	11章
0008 C283h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ1	DPSIER1	8	8	4~5PCLKB	2~3ICLK	11章
0008 C284h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4~5PCLKB	2~3ICLK	11章
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4~5PCLKB	2~3ICLK	11章
0008 C287h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ1	DPSIFR1	8	8	4~5PCLKB	2~3ICLK	11章
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4~5PCLKB	2~3ICLK	11章
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4~5PCLKB	2~3ICLK	11章
0008 C28Bh	SYSTEM	ディープスタンバイインタラプトエッジレジスタ1	DPSIEGR1	8	8	4~5PCLKB	2~3ICLK	11章
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4~5PCLKB	2~3ICLK	11章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK	6章
0008 C292h	SYSTEM	サブクロック発振器強制発振コントロールレジスタ	SOFPCR	8	8	4~5PCLKB	2~3ICLK	9章
0008 C293h	SYSTEM	メインクロック発振器機能コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	9章
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4~5PCLKB	2~3ICLK	9章
0008 C295h	SYSTEM	電圧レベル設定レジスタ	VOLSR	8	8	4~5PCLKB	2~3ICLK	3章
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPOR	8	8	4~5PCLKB	2~3ICLK	44章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK	8章
0008 C2A0h~ 0008 C2BFh	SYSTEM	ディープスタンバイバックアップレジスタ0~ ディープスタンバイバックアップレジスタ31	DPSBKR0~ DPSBKR31	8	8	4~5PCLKB	2~3ICLK	11章
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2~3PCLKB	2ICLK	27章
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2~3PCLKB	2ICLK	27章
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2~3PCLKB	2ICLK	27章
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2~3PCLKB	2ICLK	27章
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2~3PCLKB	2ICLK	27章
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2~3PCLKB	2ICLK	27章
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2~3PCLKB	2ICLK	27章
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	2ICLK	27章
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2~3PCLKB	2ICLK	27章
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB	2ICLK	27章
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB	2ICLK	27章
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB	2ICLK	27章
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2~3PCLKB	2ICLK	27章
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2~3PCLKB	2ICLK	27章
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2~3PCLKB	2ICLK	27章
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2~3PCLKB	2ICLK	27章
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2~3PCLKB	2ICLK	27章
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2~3PCLKB	2ICLK	27章
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2~3PCLKB	2ICLK	27章
0008 C416h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2~3PCLKB	2ICLK	27章

表5.1 I/Oレジスタアドレス一覧 (27 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2~3PCLKB	2ICLK	27章
0008 C418h	RTC	バイナリカウンタ0アラーム許可レジスタ	BCNT0AER	8	8	2~3PCLKB	2ICLK	27章
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2~3PCLKB	2ICLK	27章
0008 C41Ah	RTC	バイナリカウンタ1アラーム許可レジスタ	BCNT1AER	8	8	2~3PCLKB	2ICLK	27章
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2~3PCLKB	2ICLK	27章
0008 C41Ch	RTC	バイナリカウンタ2アラーム許可レジスタ	BCNT2AER	16	16	2~3PCLKB	2ICLK	27章
0008 C41Eh	RTC	年アラーム許可レジスタ	RYRAREN	8	8	2~3PCLKB	2ICLK	27章
0008 C41Eh	RTC	バイナリカウンタ3アラーム許可レジスタ	BCNT3AER	8	8	2~3PCLKB	2ICLK	27章
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB	2ICLK	27章
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB	2ICLK	27章
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2~3PCLKB	2ICLK	27章
0008 C428h	RTC	RTCコントロールレジスタ4	RCR4	8	8	2~3PCLKB	2ICLK	27章
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	2ICLK	27章
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2~3PCLKB	2ICLK	27章
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2~3PCLKB	2ICLK	27章
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2~3PCLKB	2ICLK	27章
0008 C452h	RTC	秒キャプチャレジスタ0	RSECCP0	8	8	2~3PCLKB	2ICLK	27章
0008 C452h	RTC	BCNT0キャプチャレジスタ0	BCNT0CP0	8	8	2~3PCLKB	2ICLK	27章
0008 C454h	RTC	分キャプチャレジスタ0	RMINCP0	8	8	2~3PCLKB	2ICLK	27章
0008 C454h	RTC	BCNT1キャプチャレジスタ0	BCNT1CP0	8	8	2~3PCLKB	2ICLK	27章
0008 C456h	RTC	時キャプチャレジスタ0	RHRCP0	8	8	2~3PCLKB	2ICLK	27章
0008 C456h	RTC	BCNT2キャプチャレジスタ0	BCNT2CP0	8	8	2~3PCLKB	2ICLK	27章
0008 C45Ah	RTC	日キャプチャレジスタ0	RDAYCP0	8	8	2~3PCLKB	2ICLK	27章
0008 C45Ah	RTC	BCNT3キャプチャレジスタ0	BCNT3CP0	8	8	2~3PCLKB	2ICLK	27章
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2~3PCLKB	2ICLK	27章
0008 C462h	RTC	秒キャプチャレジスタ1	RSECCP1	8	8	2~3PCLKB	2ICLK	27章
0008 C462h	RTC	BCNT0キャプチャレジスタ1	BCNT0CP1	8	8	2~3PCLKB	2ICLK	27章
0008 C464h	RTC	分キャプチャレジスタ1	RMINCP1	8	8	2~3PCLKB	2ICLK	27章
0008 C464h	RTC	BCNT1キャプチャレジスタ1	BCNT1CP1	8	8	2~3PCLKB	2ICLK	27章
0008 C466h	RTC	時キャプチャレジスタ1	RHRCP1	8	8	2~3PCLKB	2ICLK	27章
0008 C466h	RTC	BCNT2キャプチャレジスタ1	BCNT2CP1	8	8	2~3PCLKB	2ICLK	27章
0008 C46Ah	RTC	日キャプチャレジスタ1	RDAYCP1	8	8	2~3PCLKB	2ICLK	27章
0008 C46Ah	RTC	BCNT3キャプチャレジスタ1	BCNT3CP1	8	8	2~3PCLKB	2ICLK	27章
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2~3PCLKB	2ICLK	27章
0008 C472h	RTC	秒キャプチャレジスタ2	RSECCP2	8	8	2~3PCLKB	2ICLK	27章
0008 C472h	RTC	BCNT0キャプチャレジスタ2	BCNT0CP2	8	8	2~3PCLKB	2ICLK	27章
0008 C474h	RTC	分キャプチャレジスタ2	RMINCP2	8	8	2~3PCLKB	2ICLK	27章
0008 C474h	RTC	BCNT1キャプチャレジスタ2	BCNT1CP2	8	8	2~3PCLKB	2ICLK	27章
0008 C476h	RTC	時キャプチャレジスタ2	RHRCP2	8	8	2~3PCLKB	2ICLK	27章
0008 C476h	RTC	BCNT2キャプチャレジスタ2	BCNT2CP2	8	8	2~3PCLKB	2ICLK	27章
0008 C47Ah	RTC	日キャプチャレジスタ2	RDAYCP2	8	8	2~3PCLKB	2ICLK	27章
0008 C47Ah	RTC	BCNT3キャプチャレジスタ2	BCNT3CP2	8	8	2~3PCLKB	2ICLK	27章
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2~3PCLKB	2ICLK	27章
0008 C4C0h	POE3	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2~3PCLKB	2ICLK	23章
0008 C4C2h	POE3	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16	2~3PCLKB	2ICLK	23章
0008 C4C4h	POE3	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	16	2~3PCLKB	2ICLK	23章
0008 C4C6h	POE3	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	16	2~3PCLKB	2ICLK	23章
0008 C4C8h	POE3	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16	2~3PCLKB	2ICLK	23章
0008 C4CAh	POE3	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB	2ICLK	23章
0008 C4CBh	POE3	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	2ICLK	23章

表5.1 I/Oレジスタアドレス一覧 (28 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C4CCh	POE3	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	16	16	2~3PCLKB	2ICLK	23章
0008 C4D0h	POE3	ポートアウトプットイネーブルコントロールレジスタ4	POECR4	16	16	2~3PCLKB	2ICLK	23章
0008 C4D2h	POE3	ポートアウトプットイネーブルコントロールレジスタ5	POECR5	16	16	2~3PCLKB	2ICLK	23章
0008 C4D6h	POE3	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	16	2~3PCLKB	2ICLK	23章
0008 C4D8h	POE3	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	16	2~3PCLKB	2ICLK	23章
0008 C4DAh	POE3	アクティブレベルレジスタ1	ALR1	16	16	2~3PCLKB	2ICLK	23章
0008 C4DCh	POE3	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2~3PCLKB	2ICLK	23章
0008 C4E4h	POE3	MTU0端子選択レジスタ1	M0SELR1	8	8	2~3PCLKB	2ICLK	23章
0008 C4E5h	POE3	MTU0端子選択レジスタ2	M0SELR2	8	8	2~3PCLKB	2ICLK	23章
0008 C4E6h	POE3	MTU3端子選択レジスタ	M3SELR	8	8	2~3PCLKB	2ICLK	23章
0008 C4E7h	POE3	MTU4端子選択レジスタ1	M4SELR1	8	8	2~3PCLKB	2ICLK	23章
0008 C4E8h	POE3	MTU4端子選択レジスタ2	M4SELR2	8	8	2~3PCLKB	2ICLK	23章
0009 4200h	CMTW0	タイマスタートレジスタ	CMWSTR	16	16	2~3PCLKB	2ICLK	26章
0009 4204h	CMTW0	タイマコントロールレジスタ	CMWCR	16	16	2~3PCLKB	2ICLK	26章
0009 4208h	CMTW0	タイマI/Oコントロールレジスタ	CMWIOR	16	16	2~3PCLKB	2ICLK	26章
0009 4210h	CMTW0	タイマカウンタ	CMWCNT	32	32	2~3PCLKB	2ICLK	26章
0009 4214h	CMTW0	コンペアマッチコンスタントレジスタ	CMWCOR	32	32	2~3PCLKB	2ICLK	26章
0009 4218h	CMTW0	インプットキャプチャレジスタ0	CMWICR0	32	32	2~3PCLKB	2ICLK	26章
0009 421Ch	CMTW0	インプットキャプチャレジスタ1	CMWICR1	32	32	2~3PCLKB	2ICLK	26章
0009 4220h	CMTW0	アウトプットコンペアレジスタ0	CMWOCR0	32	32	2~3PCLKB	2ICLK	26章
0009 4224h	CMTW0	アウトプットコンペアレジスタ1	CMWOCR1	32	32	2~3PCLKB	2ICLK	26章
0009 4280h	CMTW1	タイマスタートレジスタ	CMWSTR	16	16	2~3PCLKB	2ICLK	26章
0009 4284h	CMTW1	タイマコントロールレジスタ	CMWCR	16	16	2~3PCLKB	2ICLK	26章
0009 4288h	CMTW1	タイマI/Oコントロールレジスタ	CMWIOR	16	16	2~3PCLKB	2ICLK	26章
0009 4290h	CMTW1	タイマカウンタ	CMWCNT	32	32	2~3PCLKB	2ICLK	26章
0009 4294h	CMTW1	コンペアマッチコンスタントレジスタ	CMWCOR	32	32	2~3PCLKB	2ICLK	26章
0009 4298h	CMTW1	インプットキャプチャレジスタ0	CMWICR0	32	32	2~3PCLKB	2ICLK	26章
0009 429Ch	CMTW1	インプットキャプチャレジスタ1	CMWICR1	32	32	2~3PCLKB	2ICLK	26章
0009 42A0h	CMTW1	アウトプットコンペアレジスタ0	CMWOCR0	32	32	2~3PCLKB	2ICLK	26章
0009 42A4h	CMTW1	アウトプットコンペアレジスタ1	CMWOCR1	32	32	2~3PCLKB	2ICLK	26章
000A 0580h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK	42章
000A 0584h	DOC	DOCステータスレジスタ	DOSR	8	8	2~3PCLKB	2ICLK	42章
000A 0588h	DOC	DOCステータスクリアレジスタ	DOSCR	8	8	2~3PCLKB	2ICLK	42章
000A 058Ch	DOC	DOCデータインプットレジスタ	DODIR	32	16, 32	2~3PCLKB	2ICLK	42章
000A 0590h	DOC	DOCデータセッティングレジスタ0	DODSR0	32	16, 32	2~3PCLKB	2ICLK	42章
000A 0594h	DOC	DOCデータセッティングレジスタ1	DODSR1	32	16, 32	2~3PCLKB	2ICLK	42章
000A 0B00h	REMC0	機能選択レジスタ0	REMCN0	8	8	2~3PCLKB	2ICLK	36章
000A 0B01h	REMC0	機能選択レジスタ1	REMCN1	8	8	2~3PCLKB	2ICLK	36章
000A 0B02h	REMC0	ステータスレジスタ	REMSTS	8	8	2~3PCLKB	2ICLK	36章
000A 0B03h	REMC0	割り込み制御レジスタ	REMINT	8	8	2~3PCLKB	2ICLK	36章
000A 0B05h	REMC0	コンペア制御レジスタ	REMCPC	8	8	2~3PCLKB	2ICLK	36章
000A 0B06h	REMC0	コンペア値設定レジスタ	REMCPCD	16	16	2~3PCLKB	2ICLK	36章
000A 0B08h	REMC0	ヘッダパターン最小幅設定レジスタ	HDPMIN	16	16	2~3PCLKB	2ICLK	36章
000A 0B0Ah	REMC0	ヘッダパターン最大幅設定レジスタ	HDPMAX	16	16	2~3PCLKB	2ICLK	36章
000A 0B0Ch	REMC0	データ"0"パターン最小幅設定レジスタ	D0PMIN	8	8	2~3PCLKB	2ICLK	36章
000A 0B0Dh	REMC0	データ"0"パターン最大幅設定レジスタ	D0PMAX	8	8	2~3PCLKB	2ICLK	36章
000A 0B0Eh	REMC0	データ"1"パターン最小幅設定レジスタ	D1PMIN	8	8	2~3PCLKB	2ICLK	36章
000A 0B0Fh	REMC0	データ"1"パターン最大幅設定レジスタ	D1PMAX	8	8	2~3PCLKB	2ICLK	36章
000A 0B10h	REMC0	特殊データパターン最小幅設定レジスタ	SDPMIN	16	16	2~3PCLKB	2ICLK	36章
000A 0B12h	REMC0	特殊データパターン最大幅設定レジスタ	SDPMAX	16	16	2~3PCLKB	2ICLK	36章

表5.1 I/Oレジスタアドレス一覧 (29 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセ ス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 0B14h	REMC0	パターンエンド設定レジスタ	REMPE	16	16	2~3PCLKB	2ICLK	36章
000A 0B17h	REMC0	受信ビット数レジスタ	REMRBIT	8	8	2~3PCLKB	2ICLK	36章
000A 0B18h	REMC0	受信データ0レジスタ	REMDAT0	8	8	2~3PCLKB	2ICLK	36章
000A 0B19h	REMC0	受信データ1レジスタ	REMDAT1	8	8	2~3PCLKB	2ICLK	36章
000A 0B1Ah	REMC0	受信データ2レジスタ	REMDAT2	8	8	2~3PCLKB	2ICLK	36章
000A 0B1Bh	REMC0	受信データ3レジスタ	REMDAT3	8	8	2~3PCLKB	2ICLK	36章
000A 0B1Ch	REMC0	受信データ4レジスタ	REMDAT4	8	8	2~3PCLKB	2ICLK	36章
000A 0B1Dh	REMC0	受信データ5レジスタ	REMDAT5	8	8	2~3PCLKB	2ICLK	36章
000A 0B1Eh	REMC0	受信データ6レジスタ	REMDAT6	8	8	2~3PCLKB	2ICLK	36章
000A 0B1Fh	REMC0	受信データ7レジスタ	REMDAT7	8	8	2~3PCLKB	2ICLK	36章
000A 0B20h	REMC0	測定結果レジスタ	REMTIM	16	16	2~3PCLKB	2ICLK	36章
000A 0C80h	CMPC0	コンパレータ制御レジスタ	CMPCCTL	8	8	1~2PCLKB	1~2ICLK	41章
000A 0C84h	CMPC0	コンパレータ入力切り替えレジスタ	CMPCSEL0	8	8	1~2PCLKB	1~2ICLK	41章
000A 0C88h	CMPC0	コンパレータ基準電圧選択レジスタ	CMPCSEL1	8	8	1~2PCLKB	1~2ICLK	41章
000A 0C8Ch	CMPC0	コンパレータ出力モニタレジスタ	CMPCMON	8	8	1~2PCLKB	1~2ICLK	41章
000A 0C90h	CMPC0	コンパレータ外部出力許可レジスタ	CMPCIOOC	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CA0h	CMPC1	コンパレータ制御レジスタ	CMPCCTL	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CA4h	CMPC1	コンパレータ入力切り替えレジスタ	CMPCSEL0	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CA8h	CMPC1	コンパレータ基準電圧選択レジスタ	CMPCSEL1	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CACh	CMPC1	コンパレータ出力モニタレジスタ	CMPCMON	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CB0h	CMPC1	コンパレータ外部出力許可レジスタ	CMPCIOOC	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CC0h	CMPC2	コンパレータ制御レジスタ	CMPCCTL	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CC4h	CMPC2	コンパレータ入力切り替えレジスタ	CMPCSEL0	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CC8h	CMPC2	コンパレータ基準電圧選択レジスタ	CMPCSEL1	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CCCh	CMPC2	コンパレータ出力モニタレジスタ	CMPCMON	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CD0h	CMPC2	コンパレータ外部出力許可レジスタ	CMPCIOOC	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CE0h	CMPC3	コンパレータ制御レジスタ	CMPCCTL	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CE4h	CMPC3	コンパレータ入力切り替えレジスタ	CMPCSEL0	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CE8h	CMPC3	コンパレータ基準電圧選択レジスタ	CMPCSEL1	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CECh	CMPC3	コンパレータ出力モニタレジスタ	CMPCMON	8	8	1~2PCLKB	1~2ICLK	41章
000A 0CF0h	CMPC3	コンパレータ外部出力許可レジスタ	CMPCIOOC	8	8	1~2PCLKB	1~2ICLK	41章
000A 8000h	CANFD0	公称ビットレート設定レジスタ	NBCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8004h	CANFD0	チャンネル制御レジスタ	CHCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8008h	CANFD0	チャンネルステータスレジスタ	CHSR	32	32	2~3PCLKB	1~2ICLK	33章
000A 800Ch	CANFD0	チャンネルエラーステータスレジスタ	CHESR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8014h	CANFD	グローバル設定レジスタ	GCFG	32	32	2~3PCLKB	1~2ICLK	33章
000A 8018h	CANFD	グローバル制御レジスタ	GCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 801Ch	CANFD	グローバルステータスレジスタ	GSR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8020h	CANFD	グローバルエラーステータスレジスタ	GESR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8024h	CANFD	タイムスタンプカウンタレジスタ	TSCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8028h	CANFD	アクセプタンスフィルタリスト制御レジスタ	AFCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 802Ch	CANFD	アクセプタンスフィルタリスト設定レジスタ	AFCFG	32	32	2~3PCLKB	1~2ICLK	33章
000A 8030h	CANFD	受信メッセージバッファ設定レジスタ	RMCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8034h	CANFD	受信メッセージバッファ新データレジスタ	RMNDR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8038h	CANFD	受信メッセージバッファ割り込み許可レジスタ	RMIER	32	32	2~3PCLKB	1~2ICLK	33章
000A 803Ch	CANFD	受信FIFO 0設定レジスタ	RF0CR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8040h	CANFD	受信FIFO 1設定レジスタ	RF0CR1	32	32	2~3PCLKB	1~2ICLK	33章
000A 8044h	CANFD	受信FIFO 0ステータスレジスタ	RF0SR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8048h	CANFD	受信FIFO 1ステータスレジスタ	RF0SR1	32	32	2~3PCLKB	1~2ICLK	33章
000A 804Ch	CANFD	受信FIFO 0ポイント制御レジスタ	RF0PCR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8050h	CANFD	受信FIFO 1ポイント制御レジスタ	RF0PCR1	32	32	2~3PCLKB	1~2ICLK	33章
000A 8054h	CANFD	共通FIFO 0設定レジスタ	CF0CR0	32	32	2~3PCLKB	1~2ICLK	33章

表5.1 I/Oレジスタアドレス一覧 (30 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 8058h	CANFD	共通FIFO 0ステータスレジスタ	CFSR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 805Ch	CANFD	共通FIFO 0ポインタ制御レジスタ	CFPCR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8060h	CANFD	FIFOエンプティステータスレジスタ	FESR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8064h	CANFD	FIFOフルステータスレジスタ	FFSR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8068h	CANFD	FIFOメッセージロスステータスレジスタ	FMLSR	32	32	2~3PCLKB	1~2ICLK	33章
000A 806Ch	CANFD	受信FIFO割り込みステータスレジスタ	RFISR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8070h	CANFD	送信メッセージバッファ 0制御レジスタ	TMCR0	8	8	2~3PCLKB	1~2ICLK	33章
000A 8071h	CANFD	送信メッセージバッファ 1制御レジスタ	TMCR1	8	8	2~3PCLKB	1~2ICLK	33章
000A 8072h	CANFD	送信メッセージバッファ 2制御レジスタ	TMCR2	8	8	2~3PCLKB	1~2ICLK	33章
000A 8073h	CANFD	送信メッセージバッファ 3制御レジスタ	TMCR3	8	8	2~3PCLKB	1~2ICLK	33章
000A 8074h	CANFD	送信メッセージバッファ 0ステータスレジスタ	TMSR0	8	8	2~3PCLKB	1~2ICLK	33章
000A 8075h	CANFD	送信メッセージバッファ 1ステータスレジスタ	TMSR1	8	8	2~3PCLKB	1~2ICLK	33章
000A 8076h	CANFD	送信メッセージバッファ 2ステータスレジスタ	TMSR2	8	8	2~3PCLKB	1~2ICLK	33章
000A 8077h	CANFD	送信メッセージバッファ 3ステータスレジスタ	TMSR3	8	8	2~3PCLKB	1~2ICLK	33章
000A 8078h	CANFD	送信メッセージバッファ送信要求ステータスレジスタ0	TMTRSR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 807Ch	CANFD	送信メッセージバッファ送信アポート要求ステータスレジスタ0	TMARSR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8080h	CANFD	送信メッセージバッファ送信完了ステータスレジスタ0	TMTCSR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8084h	CANFD	送信メッセージバッファ送信アポートステータスレジスタ0	TMTASR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8088h	CANFD	送信メッセージバッファ割り込み許可レジスタ0	TMIER0	32	32	2~3PCLKB	1~2ICLK	33章
000A 808Ch	CANFD0	送信キュー 0設定レジスタ	TQCR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8090h	CANFD0	送信キュー 0ステータスレジスタ	TQSR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8094h	CANFD0	送信キュー 0ポインタ制御レジスタ	TQPCR0	32	32	2~3PCLKB	1~2ICLK	33章
000A 8098h	CANFD0	送信履歴設定レジスタ	THCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 809Ch	CANFD0	送信履歴ステータスレジスタ	THSR	32	32	2~3PCLKB	1~2ICLK	33章
000A 80A0h	CANFD0	送信履歴ポインタ制御レジスタ	THPCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 80A4h	CANFD	送信割り込みステータスレジスタ	TISR	32	32	2~3PCLKB	1~2ICLK	33章
000A 80A8h	CANFD	グローバルテストモード設定レジスタ	GTMCRCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 80ACh	CANFD	グローバルテストモード許可レジスタ	GTMCRR	32	32	2~3PCLKB	1~2ICLK	33章
000A 80B0h	CANFD	グローバルCAN FD設定レジスタ	GFDCFG	32	32	2~3PCLKB	1~2ICLK	33章
000A 80B8h	CANFD	グローバルテストモードロックキーレジスタ	GTMLKR	32	32	2~3PCLKB	1~2ICLK	33章
000A 80C0h	CANFD	アクセプタンスフィルタ無効エントリ設定レジスタ	AFIGSR	32	32	2~3PCLKB	1~2ICLK	33章
000A 80C4h	CANFD	アクセプタンスフィルタ無効エントリ許可レジスタ	AFIGER	32	32	2~3PCLKB	1~2ICLK	33章
000A 80C8h	CANFD	DMA転送制御レジスタ	DTCCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 80CCh	CANFD	DMA転送ステータスレジスタ	DTCSR	32	32	2~3PCLKB	1~2ICLK	33章
000A 80D8h	CANFD	グローバルリセット制御レジスタ	GRCCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8100h	CANFD0	データビットレート設定レジスタ	DBCR	32	32	2~3PCLKB	1~2ICLK	33章
000A 8104h	CANFD0	CAN FD設定レジスタ	FDCCFG	32	32	2~3PCLKB	1~2ICLK	33章
000A 8108h	CANFD0	CAN FD制御レジスタ	FDCTR	32	32	2~3PCLKB	1~2ICLK	33章
000A 810Ch	CANFD0	CAN FDステータスレジスタ	FDSTS	32	32	2~3PCLKB	1~2ICLK	33章
000A 8110h	CANFD0	CAN FD CRCレジスタ	FDCCRC	32	32	2~3PCLKB	1~2ICLK	33章
000A 8120h~ 000A 812Ch	CANFD	アクセプタンスフィルタリスト0	AFL0	128	32	3~4PCLKB	1~2ICLK	33章
000A 8130h~ 000A 813Ch	CANFD	アクセプタンスフィルタリスト1	AFL1	128	32	3~4PCLKB	1~2ICLK	33章
000A 8140h~ 000A 814Ch	CANFD	アクセプタンスフィルタリスト2	AFL2	128	32	3~4PCLKB	1~2ICLK	33章
000A 8150h~ 000A 815Ch	CANFD	アクセプタンスフィルタリスト3	AFL3	128	32	3~4PCLKB	1~2ICLK	33章
000A 8160h~ 000A 816Ch	CANFD	アクセプタンスフィルタリスト4	AFL4	128	32	3~4PCLKB	1~2ICLK	33章
000A 8170h~ 000A 817Ch	CANFD	アクセプタンスフィルタリスト5	AFL5	128	32	3~4PCLKB	1~2ICLK	33章

表 5.1 I/O レジスタアドレス一覧 (31 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 8180h ~ 000A 818Ch	CANFD	アクセプタンスフィルタリスト 6	AFL6	128	32	3~4PCLKB	1~2ICLK	33章
000A 8190h ~ 000A 819Ch	CANFD	アクセプタンスフィルタリスト 7	AFL7	128	32	3~4PCLKB	1~2ICLK	33章
000A 81A0h ~ 000A 81ACh	CANFD	アクセプタンスフィルタリスト 8	AFL8	128	32	3~4PCLKB	1~2ICLK	33章
000A 81B0h ~ 000A 81BCh	CANFD	アクセプタンスフィルタリスト 9	AFL9	128	32	3~4PCLKB	1~2ICLK	33章
000A 81C0h ~ 000A 81CCh	CANFD	アクセプタンスフィルタリスト 10	AFL10	128	32	3~4PCLKB	1~2ICLK	33章
000A 81D0h ~ 000A 81DCh	CANFD	アクセプタンスフィルタリスト 11	AFL11	128	32	3~4PCLKB	1~2ICLK	33章
000A 81E0h ~ 000A 81ECh	CANFD	アクセプタンスフィルタリスト 12	AFL12	128	32	3~4PCLKB	1~2ICLK	33章
000A 81F0h ~ 000A 81FCh	CANFD	アクセプタンスフィルタリスト 13	AFL13	128	32	3~4PCLKB	1~2ICLK	33章
000A 8200h ~ 000A 820Ch	CANFD	アクセプタンスフィルタリスト 14	AFL14	128	32	3~4PCLKB	1~2ICLK	33章
000A 8210h ~ 000A 821Ch	CANFD	アクセプタンスフィルタリスト 15	AFL15	128	32	3~4PCLKB	1~2ICLK	33章
000A 8280h ~ 000A 837Ch	CANFD	RAMテストページアクセスレジスタ 0 ~ RAMテストページアクセスレジスタ 63	RTPAR0 ~ RTPAR63	32	32	2~3PCLKB	1~2ICLK	33章
000A 8520h ~ 000A 856Bh	CANFD	受信 FIFO 0	RFB0	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 856Ch ~ 000A 85B7h	CANFD	受信 FIFO 1	RFB1	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 85B8h ~ 000A 8603h	CANFD	共通 FIFO	CFB0	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8604h ~ 000A 864Fh	CANFD	送信メッセージバッファ 0	TMB0	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8650h ~ 000A 869Bh	CANFD	送信メッセージバッファ 1	TMB1	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 869Ch ~ 000A 86E7h	CANFD	送信メッセージバッファ 2	TMB2	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 86E8h ~ 000A 8733h	CANFD	送信メッセージバッファ 3	TMB3	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8740h	CANFD0	送信履歴アクセスレジスタ 0	THACR0	32	32	3~4PCLKB	1~2ICLK	33章
000A 8744h	CANFD0	送信履歴アクセスレジスタ 1	THACR1	32	32	3~4PCLKB	1~2ICLK	33章
000A 8920h ~ 000A 896Bh	CANFD	受信メッセージバッファ 0	RMB0	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 896Ch ~ 000A 89B7h	CANFD	受信メッセージバッファ 1	RMB1	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 89B8h ~ 000A 8A03h	CANFD	受信メッセージバッファ 2	RMB2	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8A04h ~ 000A 8A4Fh	CANFD	受信メッセージバッファ 3	RMB3	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8A50h ~ 000A 8A9Bh	CANFD	受信メッセージバッファ 4	RMB4	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8A9Ch ~ 000A 8AE7h	CANFD	受信メッセージバッファ 5	RMB5	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8AE8h ~ 000A 8B33h	CANFD	受信メッセージバッファ 6	RMB6	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8B34h ~ 000A 8B7Fh	CANFD	受信メッセージバッファ 7	RMB7	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8D20h ~ 000A 8D6Bh	CANFD	受信メッセージバッファ 8	RMB8	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8D6Ch ~ 000A 8DB7h	CANFD	受信メッセージバッファ 9	RMB9	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8DB8h ~ 000A 8E03h	CANFD	受信メッセージバッファ 10	RMB10	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8E04h ~ 000A 8E4Fh	CANFD	受信メッセージバッファ 11	RMB11	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8E50h ~ 000A 8E9Bh	CANFD	受信メッセージバッファ 12	RMB12	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8E9Ch ~ 000A 8EE7h	CANFD	受信メッセージバッファ 13	RMB13	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 8EE8h ~ 000A 8F33h	CANFD	受信メッセージバッファ 14	RMB14	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章

表 5.1 I/O レジスタアドレス一覧 (32 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合	
000A 8F34h ~ 000A 8F7Fh	CANFD	受信メッセージバッファ 15	RMB15	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 9120h ~ 000A 916Bh	CANFD	受信メッセージバッファ 16	RMB16	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 916Ch ~ 000A 91B7h	CANFD	受信メッセージバッファ 17	RMB17	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 91B8h ~ 000A 9203h	CANFD	受信メッセージバッファ 18	RMB18	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 9204h ~ 000A 924Fh	CANFD	受信メッセージバッファ 19	RMB19	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 9250h ~ 000A 929Bh	CANFD	受信メッセージバッファ 20	RMB20	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 929Ch ~ 000A 92E7h	CANFD	受信メッセージバッファ 21	RMB21	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 92E8h ~ 000A 9333h	CANFD	受信メッセージバッファ 22	RMB22	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 9334h ~ 000A 937Fh	CANFD	受信メッセージバッファ 23	RMB23	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 9520h ~ 000A 956Bh	CANFD	受信メッセージバッファ 24	RMB24	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 956Ch ~ 000A 95B7h	CANFD	受信メッセージバッファ 25	RMB25	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 95B8h ~ 000A 9603h	CANFD	受信メッセージバッファ 26	RMB26	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 9604h ~ 000A 964Fh	CANFD	受信メッセージバッファ 27	RMB27	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 9650h ~ 000A 969Bh	CANFD	受信メッセージバッファ 28	RMB28	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 969Ch ~ 000A 96E7h	CANFD	受信メッセージバッファ 29	RMB29	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 96E8h ~ 000A 9733h	CANFD	受信メッセージバッファ 30	RMB30	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000A 9734h ~ 000A 977Fh	CANFD	受信メッセージバッファ 31	RMB31	608	8, 16, 32	3~4PCLKB	1~2ICLK	33章
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1202h	MTU3	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	1~2ICLK	22章
000C 1203h	MTU4	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	1~2ICLK	22章
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	4~5PCLKA	1~2ICLK	22章
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	1~2ICLK	22章
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	4~5PCLKA	1~2ICLK	22章
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	1~2ICLK	22章
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	22章
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	22章
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8	4~5PCLKA	1~2ICLK	22章
000C 120Dh	MTU	タイマゲートコントロールレジスタA	TGCRA	8	8	4~5PCLKA	1~2ICLK	22章
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ 1A	TOCRA1A	8	8	4~5PCLKA	1~2ICLK	22章
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ 2A	TOCRA2A	8	8	4~5PCLKA	1~2ICLK	22章
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	22章
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	22章
000C 1214h	MTU	タイマ周期データレジスタA	TCORA	16	16	4~5PCLKA	1~2ICLK	22章
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16	4~5PCLKA	1~2ICLK	22章
000C 1222h	MTU	タイマ周期パルファレジスタA	TCBRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	4~5PCLKA	1~2ICLK	22章
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	1~2ICLK	22章
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	4~5PCLKA	1~2ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (33 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	1~2ICLK	22章
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	22章
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8	4~5PCLKA	1~2ICLK	22章
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4~5PCLKA	1~2ICLK	22章
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	4~5PCLKA	1~2ICLK	22章
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4~5PCLKA	1~2ICLK	22章
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	4~5PCLKA	1~2ICLK	22章
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	22章
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	22章
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4~5PCLKA	1~2ICLK	22章
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	4~5PCLKA	1~2ICLK	22章
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	4~5PCLKA	1~2ICLK	22章
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4~5PCLKA	1~2ICLK	22章
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	4~5PCLKA	1~2ICLK	22章
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 124Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	22章
000C 124Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	22章
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	4~5PCLKA	1~2ICLK	22章
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	4~5PCLKA	1~2ICLK	22章
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	1~2ICLK	22章
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	1~2ICLK	22章
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	4~5PCLKA	1~2ICLK	22章
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8	4~5PCLKA	1~2ICLK	22章
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	4~5PCLKA	1~2ICLK	22章
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	4~5PCLKA	1~2ICLK	22章
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ0	NFCR0	8	8	4~5PCLKA	1~2ICLK	22章
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ1	NFCR1	8	8	4~5PCLKA	1~2ICLK	22章
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ2	NFCR2	8	8	4~5PCLKA	1~2ICLK	22章
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ3	NFCR3	8	8	4~5PCLKA	1~2ICLK	22章
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ4	NFCR4	8	8	4~5PCLKA	1~2ICLK	22章
000C 1298h	MTU8	ノイズフィルタコントロールレジスタ8	NFCR8	8	8	4~5PCLKA	1~2ICLK	22章
000C 1299h	MTU0	ノイズフィルタコントロールレジスタC	NFCRC	8	8	4~5PCLKA	1~2ICLK	22章
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	1~2ICLK	22章
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	4~5PCLKA	1~2ICLK	22章
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	1~2ICLK	22章
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	22章
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	22章
000C 1308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 130Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 130Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	4~5PCLKA	1~2ICLK	22章
000C 130Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	1~2ICLK	22章
000C 1320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	1~2ICLK	22章
000C 1322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	4~5PCLKA	1~2ICLK	22章
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8	4~5PCLKA	1~2ICLK	22章
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	22章
000C 1328h	MTU0	タイマコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (34 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1381h	MTU1	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	1~2ICLK	22章
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	22章
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	22章
000C 1388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 138Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1391h	MTU1	タイマモードレジスタ3	TMDR3	8	8	4~5PCLKA	1~2ICLK	22章
000C 1394h	MTU1	タイマコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	22章
000C 13A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32	4~5PCLKA	1~2ICLK	22章
000C 13A4h	MTU1	タイマロングワードジェネラルレジスタA	TGRALW	32	32	4~5PCLKA	1~2ICLK	22章
000C 13A8h	MTU1	タイマロングワードジェネラルレジスタB	TGRBLW	32	32	4~5PCLKA	1~2ICLK	22章
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1401h	MTU2	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	1~2ICLK	22章
000C 1402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	22章
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	22章
000C 1408h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 140Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 140Ch	MTU2	タイマコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	22章
000C 1600h	MTU8	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1601h	MTU8	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	1~2ICLK	22章
000C 1602h	MTU8	タイマI/OコントロールレジスタH	TIORH	8	8	4~5PCLKA	1~2ICLK	22章
000C 1603h	MTU8	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	1~2ICLK	22章
000C 1604h	MTU8	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	22章
000C 1606h	MTU8	タイマコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	22章
000C 1608h	MTU8	タイマカウンタ	TCNT	32	32	4~5PCLKA	1~2ICLK	22章
000C 160Ch	MTU8	タイマジェネラルレジスタA	TGRA	32	32	4~5PCLKA	1~2ICLK	22章
000C 1610h	MTU8	タイマジェネラルレジスタB	TGRB	32	32	4~5PCLKA	1~2ICLK	22章
000C 1614h	MTU8	タイマジェネラルレジスタC	TGRC	32	32	4~5PCLKA	1~2ICLK	22章
000C 1618h	MTU8	タイマジェネラルレジスタD	TGRD	32	32	4~5PCLKA	1~2ICLK	22章
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A02h	MTU6	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A03h	MTU7	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A04h	MTU6	タイマI/OコントロールレジスタH	TIORH	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A05h	MTU6	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A06h	MTU7	タイマI/OコントロールレジスタH	TIORH	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A07h	MTU7	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタB	TOERB	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ1B	TOCR1B	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ2B	TOCR2B	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A14h	MTU	タイマ周期データレジスタB	TCDRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A16h	MTU	タイマデッドタイムデータレジスタB	TDDRB	16	16	4~5PCLKA	1~2ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (35 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 1A18h	MTU6	タイムジェネラルレジスタA	TGRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A1Ah	MTU6	タイムジェネラルレジスタB	TGRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A1Ch	MTU7	タイムジェネラルレジスタA	TGRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A1Eh	MTU7	タイムジェネラルレジスタB	TGRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A20h	MTU	タイムサブカウンタB	TCNTSB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A22h	MTU	タイム周期パルファレジスタB	TCBRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A24h	MTU6	タイムジェネラルレジスタC	TGRC	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A26h	MTU6	タイムジェネラルレジスタD	TGRD	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A28h	MTU7	タイムジェネラルレジスタC	TGRC	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A2Ah	MTU7	タイムジェネラルレジスタD	TGRD	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A2Ch	MTU6	タイムステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A2Dh	MTU7	タイムステータスレジスタ	TSR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A30h	MTU	タイム割り込み間引き設定レジスタ1B	TITCR1B	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A31h	MTU	タイム割り込み間引き回数カウンタ1B	TITCNT1B	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A32h	MTU	タイムパルファ転送設定レジスタB	TBTERB	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A34h	MTU	タイムデッドタイムイネーブルレジスタB	TDERB	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A36h	MTU	タイムアウトブットレベルパルファレジスタB	TOLBRB	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A38h	MTU6	タイムパルファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A39h	MTU7	タイムパルファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A3Ah	MTU	タイム割り込み間引きモードレジスタB	TITMRB	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A3Bh	MTU	タイム割り込み間引き設定レジスタ2B	TITCR2B	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A3Ch	MTU	タイム割り込み間引き回数カウンタ2B	TITCNT2B	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A40h	MTU7	タイムA/D変換開始要求コントロールレジスタ	TADCR	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A44h	MTU7	タイムA/D変換開始要求周期設定レジスタA	TADCORA	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A46h	MTU7	タイムA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A48h	MTU7	タイムA/D変換開始要求周期設定パルファレジスタA	TADCOBRA	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A4Ah	MTU7	タイムA/D変換開始要求周期設定パルファレジスタB	TADCOBRB	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A4Ch	MTU6	タイムコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A4Dh	MTU7	タイムコントロールレジスタ2	TCR2	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A50h	MTU6	タイムシンクロクリアレジスタ	TSYCR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A60h	MTU	タイム波形コントロールレジスタB	TWCRB	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A70h	MTU	タイムモードレジスタ2B	TMDR2B	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A72h	MTU6	タイムジェネラルレジスタE	TGRE	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A74h	MTU7	タイムジェネラルレジスタE	TGRE	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A76h	MTU7	タイムジェネラルレジスタF	TGRF	16	16	4~5PCLKA	1~2ICLK	22章
000C 1A80h	MTU	タイムスタートレジスタB	TSTRB	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A81h	MTU	タイムシンクロレジスタB	TSYRB	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A84h	MTU	タイムリードライトイネーブルレジスタB	TRWERB	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A93h	MTU6	ノイズフィルタコントロールレジスタ6	NFCR6	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A94h	MTU7	ノイズフィルタコントロールレジスタ7	NFCR7	8	8	4~5PCLKA	1~2ICLK	22章
000C 1A95h	MTU5	ノイズフィルタコントロールレジスタ5	NFCR5	8	8	4~5PCLKA	1~2ICLK	22章
000C 1C80h	MTU5	タイムカウンタU	TCNTU	16	16	4~5PCLKA	1~2ICLK	22章
000C 1C82h	MTU5	タイムジェネラルレジスタU	TGRU	16	16	4~5PCLKA	1~2ICLK	22章
000C 1C84h	MTU5	タイムコントロールレジスタU	TCRU	8	8	4~5PCLKA	1~2ICLK	22章
000C 1C85h	MTU5	タイムコントロールレジスタ2	TCR2U	8	8	4~5PCLKA	1~2ICLK	22章
000C 1C86h	MTU5	タイムI/OコントロールレジスタU	TIORU	8	8	4~5PCLKA	1~2ICLK	22章
000C 1C90h	MTU5	タイムカウンタV	TCNTV	16	16	4~5PCLKA	1~2ICLK	22章
000C 1C92h	MTU5	タイムジェネラルレジスタV	TGRV	16	16	4~5PCLKA	1~2ICLK	22章
000C 1C94h	MTU5	タイムコントロールレジスタV	TCRV	8	8	4~5PCLKA	1~2ICLK	22章
000C 1C95h	MTU5	タイムコントロールレジスタ2	TCR2V	8	8	4~5PCLKA	1~2ICLK	22章
000C 1C96h	MTU5	タイムI/OコントロールレジスタV	TIORV	8	8	4~5PCLKA	1~2ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (36 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16	4~5PCLKA	1~2ICLK	22章
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	4~5PCLKA	1~2ICLK	22章
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	4~5PCLKA	1~2ICLK	22章
000C 1CA5h	MTU5	タイマコントロールレジスタ2	TCR2W	8	8	4~5PCLKA	1~2ICLK	22章
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	4~5PCLKA	1~2ICLK	22章
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	1~2ICLK	22章
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	4~5PCLKA	1~2ICLK	22章
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4~5PCLKA	1~2ICLK	22章
000D 0000h	SCI10	シリアルモードレジスタ	SMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0000h	SMCH10	シリアルモードレジスタ	SMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0001h	SCI10	ビットレートレジスタ	BRR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0002h	SCI10	シリアルコントロールレジスタ	SCR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0002h	SMCH10	シリアルコントロールレジスタ	SCR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0003h	SCI10	トランスミットデータレジスタ	TDR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0004h	SCI10	シリアルステータスレジスタ	SSR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0004h	SMCH10	シリアルステータスレジスタ	SSR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0004h	SCI10	シリアルステータスレジスタ	SSRFIFO	8	8	3~4PCLKA	1~2ICLK	30章
000D 0005h	SCI10	レシーブデータレジスタ	RDR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0006h	SCI10	スマートカードモードレジスタ	SCMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0006h	SMCH10	スマートカードモードレジスタ	SCMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0007h	SCI10	シリアル拡張モードレジスタ	SEMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0008h	SCI10	ノイズフィルタ設定レジスタ	SNFR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0009h	SCI10	I ² Cモードレジスタ1	SIMR1	8	8	3~4PCLKA	1~2ICLK	30章
000D 000Ah	SCI10	I ² Cモードレジスタ2	SIMR2	8	8	3~4PCLKA	1~2ICLK	30章
000D 000Bh	SCI10	I ² Cモードレジスタ3	SIMR3	8	8	3~4PCLKA	1~2ICLK	30章
000D 000Ch	SCI10	I ² Cステータスレジスタ	SISR	8	8	3~4PCLKA	1~2ICLK	30章
000D 000Dh	SCI10	SPIモードレジスタ	SPMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 000Eh	SCI10	トランスミットデータレジスタH	TDRH	8	8	3~4PCLKA	1~2ICLK	30章
000D 000Fh	SCI10	トランスミットデータレジスタL	TDRL	8	8	3~4PCLKA	1~2ICLK	30章
000D 000Eh	SCI10	トランスミットデータレジスタHL	TDRHL	16	16	5~6PCLKA	1~3ICLK	30章
000D 000Eh	SCI10	送信FIFOデータレジスタ	FTDR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 000Fh	SCI10	送信FIFOデータレジスタ	FTDR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 000Eh	SCI10	送信FIFOデータレジスタ	FTDR	16	16	5~6PCLKA	1~3ICLK	30章
000D 0010h	SCI10	レシーブデータレジスタH	RDRH	8	8	3~4PCLKA	1~2ICLK	30章
000D 0011h	SCI10	レシーブデータレジスタL	RDRL	8	8	3~4PCLKA	1~2ICLK	30章
000D 0010h	SCI10	レシーブデータレジスタHL	RDRHL	16	16	5~6PCLKA	1~3ICLK	30章
000D 0010h	SCI10	受信FIFOデータレジスタ	FRDR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 0011h	SCI10	受信FIFOデータレジスタ	FRDR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 0010h	SCI10	受信FIFOデータレジスタ	FRDR	16	16	5~6PCLKA	1~3ICLK	30章
000D 0012h	SCI10	モジュレーションデューティレジスタ	MDDR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0013h	SCI10	データ比較制御レジスタ	DCCR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0014h	SCI10	FIFOコントロールレジスタ	FCR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 0015h	SCI10	FIFOコントロールレジスタ	FCR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 0014h	SCI10	FIFOコントロールレジスタ	FCR	16	16	5~6PCLKA	1~3ICLK	30章
000D 0016h	SCI10	FIFOデータカウトレジスタ	FDR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 0017h	SCI10	FIFOデータカウトレジスタ	FDR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 0016h	SCI10	FIFOデータカウトレジスタ	FDR	16	16	5~6PCLKA	1~3ICLK	30章
000D 0018h	SCI10	ラインステータスレジスタ	LSR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 0019h	SCI10	ラインステータスレジスタ	LSR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 0018h	SCI10	ラインステータスレジスタ	LSR	16	16	5~6PCLKA	1~3ICLK	30章
000D 001Ah	SCI10	比較データレジスタ	CDR.H	8	8	3~4PCLKA	1~2ICLK	30章

表5.1 I/Oレジスタアドレス一覧 (37 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000D 001Bh	SCI10	比較データレジスタ	CDR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 001Ah	SCI10	比較データレジスタ	CDR	16	16	5~6PCLKA	1~3ICLK	30章
000D 001Ch	SCI10	シリアルポートレジスタ	SPTR	8	8	3~4PCLKA	1~2ICLK	30章
000D 001Dh	SCI10	送受信タイミング選択レジスタ	TMGR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0020h	SCI11	シリアルモードレジスタ	SMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0020h	SMCI11	シリアルモードレジスタ	SMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0021h	SCI11	ビットレートレジスタ	BRR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0022h	SCI11	シリアルコントロールレジスタ	SCR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0022h	SMCI11	シリアルコントロールレジスタ	SCR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0023h	SCI11	トランスミットデータレジスタ	TDR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0024h	SCI11	シリアルステータスレジスタ	SSR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0024h	SMCI11	シリアルステータスレジスタ	SSR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0024h	SCI11	シリアルステータスレジスタ	SSRFIFO	8	8	3~4PCLKA	1~2ICLK	30章
000D 0025h	SCI11	レシーブデータレジスタ	RDR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0026h	SCI11	スマートカードモードレジスタ	SCMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0026h	SMCI11	スマートカードモードレジスタ	SCMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0027h	SCI11	シリアル拡張モードレジスタ	SEMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0028h	SCI11	ノイズフィルタ設定レジスタ	SNFR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0029h	SCI11	I2Cモードレジスタ1	SIMR1	8	8	3~4PCLKA	1~2ICLK	30章
000D 002Ah	SCI11	I2Cモードレジスタ2	SIMR2	8	8	3~4PCLKA	1~2ICLK	30章
000D 002Bh	SCI11	I2Cモードレジスタ3	SIMR3	8	8	3~4PCLKA	1~2ICLK	30章
000D 002Ch	SCI11	I2Cステータスレジスタ	SISR	8	8	3~4PCLKA	1~2ICLK	30章
000D 002Dh	SCI11	SPIモードレジスタ	SPMR	8	8	3~4PCLKA	1~2ICLK	30章
000D 002Eh	SCI11	トランスミットデータレジスタH	TDRH	8	8	3~4PCLKA	1~2ICLK	30章
000D 002Fh	SCI11	トランスミットデータレジスタL	TDRL	8	8	3~4PCLKA	1~2ICLK	30章
000D 002Eh	SCI11	トランスミットデータレジスタHL	TDRHL	16	16	5~6PCLKA	1~3ICLK	30章
000D 002Eh	SCI11	送信FIFOデータレジスタ	FTDR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 002Fh	SCI11	送信FIFOデータレジスタ	FTDR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 002Eh	SCI11	送信FIFOデータレジスタ	FTDR	16	16	5~6PCLKA	1~3ICLK	30章
000D 0030h	SCI11	レシーブデータレジスタH	RDRH	8	8	3~4PCLKA	1~2ICLK	30章
000D 0031h	SCI11	レシーブデータレジスタL	RDRL	8	8	3~4PCLKA	1~2ICLK	30章
000D 0030h	SCI11	レシーブデータレジスタHL	RDRHL	16	16	5~6PCLKA	1~3ICLK	30章
000D 0030h	SCI11	受信FIFOデータレジスタ	FRDR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 0031h	SCI11	受信FIFOデータレジスタ	FRDR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 0030h	SCI11	受信FIFOデータレジスタ	FRDR	16	16	5~6PCLKA	1~3ICLK	30章
000D 0032h	SCI11	モジュレーションデューティレジスタ	MDDR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0033h	SCI11	データ比較制御レジスタ	DCCR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0034h	SCI11	FIFOコントロールレジスタ	FCR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 0035h	SCI11	FIFOコントロールレジスタ	FCR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 0034h	SCI11	FIFOコントロールレジスタ	FCR	16	16	5~6PCLKA	1~3ICLK	30章
000D 0036h	SCI11	FIFOデータカウントレジスタ	FDR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 0037h	SCI11	FIFOデータカウントレジスタ	FDR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 0036h	SCI11	FIFOデータカウントレジスタ	FDR	16	16	5~6PCLKA	1~3ICLK	30章
000D 0038h	SCI11	ラインステータスレジスタ	LSR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 0039h	SCI11	ラインステータスレジスタ	LSR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 0038h	SCI11	ラインステータスレジスタ	LSR	16	16	5~6PCLKA	1~3ICLK	30章
000D 003Ah	SCI11	比較データレジスタ	CDR.H	8	8	3~4PCLKA	1~2ICLK	30章
000D 003Bh	SCI11	比較データレジスタ	CDR.L	8	8	3~4PCLKA	1~2ICLK	30章
000D 003Ah	SCI11	比較データレジスタ	CDR	16	16	5~6PCLKA	1~3ICLK	30章
000D 003Ch	SCI11	シリアルポートレジスタ	SPTR	8	8	3~4PCLKA	1~2ICLK	30章
000D 003Dh	SCI11	送受信タイミング選択レジスタ	TMGR	8	8	3~4PCLKA	1~2ICLK	30章
000D 0100h	RSPI0	RSPI制御レジスタ	SPCR	8	8	3~4PCLKA	1~2ICLK	34章

表5.1 I/Oレジスタアドレス一覧 (38 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000D 0101h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	3~4PCLKA	1~2ICLK	34章
000D 0102h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	3~4PCLKA	1~2ICLK	34章
000D 0103h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	3~4PCLKA	1~2ICLK	34章
000D 0104h	RSPI0	RSPIデータレジスタ	SPDR	32	8, 16, 32	3~4PCLKA	1~2ICLK	34章
000D 0108h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	3~4PCLKA	1~2ICLK	34章
000D 0109h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	3~4PCLKA	1~2ICLK	34章
000D 010Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	3~4PCLKA	1~2ICLK	34章
000D 010Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	3~4PCLKA	1~2ICLK	34章
000D 010Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	3~4PCLKA	1~2ICLK	34章
000D 010Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	3~4PCLKA	1~2ICLK	34章
000D 010Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	3~4PCLKA	1~2ICLK	34章
000D 010Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	3~4PCLKA	1~2ICLK	34章
000D 0110h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	3~4PCLKA	1~2ICLK	34章
000D 0112h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	3~4PCLKA	1~2ICLK	34章
000D 0114h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	3~4PCLKA	1~2ICLK	34章
000D 0116h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	3~4PCLKA	1~2ICLK	34章
000D 0118h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	3~4PCLKA	1~2ICLK	34章
000D 011Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	3~4PCLKA	1~2ICLK	34章
000D 011Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	3~4PCLKA	1~2ICLK	34章
000D 011Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	3~4PCLKA	1~2ICLK	34章
000D 0120h	RSPI0	RSPIデータコントロールレジスタ2	SPDCR2	8	8	3~4PCLKA	1~2ICLK	34章
000D 0121h	RSPI0	RSPI制御レジスタ3	SPCR3	8	8	3~4PCLKA	1~2ICLK	34章
000E 2000h	RSCI10	受信データレジスタ	RDR	32	8, 16, 32	2~3PCLKA	2ICLK	31章
000E 2004h	RSCI10	送信データレジスタ	TDR	32	8, 16, 32	2~3PCLKA	2ICLK	31章
000E 2008h	RSCI10	制御レジスタ0	SCR0	32	32	2~3PCLKA	2ICLK	31章
000E 200Ch	RSCI10	制御レジスタ1	SCR1	32	32	2~3PCLKA	2ICLK	31章
000E 2010h	RSCI10	制御レジスタ2	SCR2	32	32	2~3PCLKA	2ICLK	31章
000E 2014h	RSCI10	制御レジスタ3	SCR3	32	32	2~3PCLKA	2ICLK	31章
000E 2018h	RSCI10	制御レジスタ4	SCR4	32	32	2~3PCLKA	2ICLK	31章
000E 201Eh	RSCI10	HBSサポートモード制御レジスタ	HBSCR	8	8	2~3PCLKA	2ICLK	31章
000E 2020h	RSCI10	I ² Cモードレジスタ	SIMR	32	32	2~3PCLKA	2ICLK	31章
000E 2024h	RSCI10	FIFO制御レジスタ	FCR	32	32	2~3PCLKA	2ICLK	31章
000E 202Ch	RSCI10	マンチェスタモード制御レジスタ	MMCR	32	32	2~3PCLKA	2ICLK	31章
000E 2030h	RSCI10	DE信号制御レジスタ	DECR	32	32	2~3PCLKA	2ICLK	31章
000E 2034h	RSCI10	拡張シリアルモード制御レジスタ0	XCR0	32	32	2~3PCLKA	2ICLK	31章
000E 2038h	RSCI10	拡張シリアルモード制御レジスタ1	XCR1	32	32	2~3PCLKA	2ICLK	31章
000E 203Ch	RSCI10	拡張シリアルモード制御レジスタ2	XCR2	32	32	2~3PCLKA	2ICLK	31章
000E 2048h	RSCI10	ステータスレジスタ	SSR	32	32	2~3PCLKA	2ICLK	31章
000E 204Ch	RSCI10	I ² Cステータスレジスタ	SISR	32	32	2~3PCLKA	2ICLK	31章
000E 2050h	RSCI10	受信FIFOステータスレジスタ	RFSR	32	32	2~3PCLKA	2ICLK	31章
000E 2054h	RSCI10	送信FIFOステータスレジスタ	TFSR	32	32	2~3PCLKA	2ICLK	31章
000E 2058h	RSCI10	マンチェスタモードステータスレジスタ	MMSR	32	32	2~3PCLKA	2ICLK	31章
000E 205Ch	RSCI10	拡張シリアルモードステータスレジスタ0	XSR0	32	32	2~3PCLKA	2ICLK	31章
000E 2060h	RSCI10	拡張シリアルモードステータスレジスタ1	XSR1	32	32	2~3PCLKA	2ICLK	31章
000E 2068h	RSCI10	ステータスクリアレジスタ	SSCR	32	32	2~3PCLKA	2ICLK	31章
000E 206Ch	RSCI10	I ² Cステータスクリアレジスタ	SISCR	32	32	2~3PCLKA	2ICLK	31章
000E 2070h	RSCI10	受信FIFOステータスクリアレジスタ	RFSCR	32	32	2~3PCLKA	2ICLK	31章
000E 2074h	RSCI10	マンチェスタモードステータスクリアレジスタ	MMSCR	32	32	2~3PCLKA	2ICLK	31章
000E 2078h	RSCI10	拡張シリアルモードステータスクリアレジスタ	XSCR	32	32	2~3PCLKA	2ICLK	31章
000E 2080h	RSCI11	受信データレジスタ	RDR	32	8, 16, 32	2~3PCLKA	2ICLK	31章
000E 2084h	RSCI11	送信データレジスタ	TDR	32	8, 16, 32	2~3PCLKA	2ICLK	31章
000E 2088h	RSCI11	制御レジスタ0	SCR0	32	32	2~3PCLKA	2ICLK	31章

表5.1 I/Oレジスタアドレス一覧 (39 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000E 208Ch	RSCI11	制御レジスタ1	SCR1	32	32	2~3PCLKA	2ICLK	31章
000E 2090h	RSCI11	制御レジスタ2	SCR2	32	32	2~3PCLKA	2ICLK	31章
000E 2094h	RSCI11	制御レジスタ3	SCR3	32	32	2~3PCLKA	2ICLK	31章
000E 2098h	RSCI11	制御レジスタ4	SCR4	32	32	2~3PCLKA	2ICLK	31章
000E 209Eh	RSCI11	HBSサポートモード制御レジスタ	HBSCR	8	8	2~3PCLKA	2ICLK	31章
000E 20A0h	RSCI11	I ² Cモードレジスタ	SIMR	32	32	2~3PCLKA	2ICLK	31章
000E 20A4h	RSCI11	FIFO制御レジスタ	FCR	32	32	2~3PCLKA	2ICLK	31章
000E 20ACh	RSCI11	マンチェスタモード制御レジスタ	MMCR	32	32	2~3PCLKA	2ICLK	31章
000E 20B0h	RSCI11	DE信号制御レジスタ	DECR	32	32	2~3PCLKA	2ICLK	31章
000E 20B4h	RSCI11	拡張シリアルモード制御レジスタ0	XCR0	32	32	2~3PCLKA	2ICLK	31章
000E 20B8h	RSCI11	拡張シリアルモード制御レジスタ1	XCR1	32	32	2~3PCLKA	2ICLK	31章
000E 20BCh	RSCI11	拡張シリアルモード制御レジスタ2	XCR2	32	32	2~3PCLKA	2ICLK	31章
000E 20C8h	RSCI11	ステータスレジスタ	SSR	32	32	2~3PCLKA	2ICLK	31章
000E 20CCh	RSCI11	I ² Cステータスレジスタ	SISR	32	32	2~3PCLKA	2ICLK	31章
000E 20D0h	RSCI11	受信FIFOステータスレジスタ	RFSR	32	32	2~3PCLKA	2ICLK	31章
000E 20D4h	RSCI11	送信FIFOステータスレジスタ	TFSR	32	32	2~3PCLKA	2ICLK	31章
000E 20D8h	RSCI11	マンチェスタモードステータスレジスタ	MMSR	32	32	2~3PCLKA	2ICLK	31章
000E 20DCh	RSCI11	拡張シリアルモードステータスレジスタ0	XSR0	32	32	2~3PCLKA	2ICLK	31章
000E 20E0h	RSCI11	拡張シリアルモードステータスレジスタ1	XSR1	32	32	2~3PCLKA	2ICLK	31章
000E 20E8h	RSCI11	ステータスクリアレジスタ	SSCR	32	32	2~3PCLKA	2ICLK	31章
000E 20ECh	RSCI11	I ² Cステータスクリアレジスタ	SISCR	32	32	2~3PCLKA	2ICLK	31章
000E 20F0h	RSCI11	受信FIFOステータスクリアレジスタ	RFSCR	32	32	2~3PCLKA	2ICLK	31章
000E 20F4h	RSCI11	マンチェスタモードステータスクリアレジスタ	MMSCR	32	32	2~3PCLKA	2ICLK	31章
000E 20F8h	RSCI11	拡張シリアルモードステータスクリアレジスタ	XSCR	32	32	2~3PCLKA	2ICLK	31章
000E D000h	CANFD	ECC制御/ステータスレジスタ	ECCSR	32	32	2~3PCLKA	1~2ICLK	33章
000E D004h	CANFD	ECCテストモードレジスタ	ECTMR	16	16	2~3PCLKA	1~2ICLK	33章
000E D00Ch	CANFD	ECCデコードテストデータレジスタ	ECTDR	32	32	2~3PCLKA	1~2ICLK	33章
000E D010h	CANFD	ECCエラーアドレスレジスタ	ECEAR	32	32	2~3PCLKA	1~2ICLK	33章
0012 0040h	OFSM	シリアルプログラマコマンド制御レジスタ	SPCC	32	32	8FCLK		7章
0012 0048h	OFSM	TMイネーブルフラグレジスタ	TMEF	32	32	8FCLK		7章
0012 0050h	OFSM	OCD/シリアルプログラマID設定レジスタ	OSIS	128	32	8FCLK		7章
0012 0060h	OFSM	TM識別データレジスタ	TMINF	32	32	8FCLK		7章
0012 0064h	OFSM	エンディアン選択レジスタ	MDE	32	32	8FCLK		7章
0012 0068h	OFSM	オプション機能選択レジスタ0	OFS0	32	32	8FCLK		7章
0012 006Ch	OFSM	オプション機能選択レジスタ1	OFS1	32	32	8FCLK		7章
0012 007Ch	OFSM	ROMコードプロテクトレジスタ	ROMCODE	32	32	8FCLK		7章
007F B174h	FLASH	ユニークIDレジスタ0	UIDR0	32	32	3~5FCLK	3~4ICLK	44章
007F B17Ch	TEMPS	温度センサ校正データレジスタ	TSCDR	32	32	3~5FCLK	3~4ICLK	40章
007F B1E4h	FLASH	ユニークIDレジスタ1	UIDR1	32	32	3~5FCLK	3~4ICLK	44章
007F B1E8h	FLASH	ユニークIDレジスタ2	UIDR2	32	32	3~5FCLK	3~4ICLK	44章
007F E010h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~4FCLK	2~3ICLK	44章
007F E014h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~4FCLK	2~3ICLK	44章
007F E018h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2~4FCLK	2~3ICLK	44章
007F E030h	FLASH	FACIコマンド処理開始アドレスレジスタ	FSADDR	32	32	2~4FCLK	2~3ICLK	44章
007F E034h	FLASH	FACIコマンド処理終了アドレスレジスタ	FEADDR	32	32	2~4FCLK	2~3ICLK	44章
007F E080h	FLASH	フラッシュステータスレジスタ	FSTATR	32	32	2~4FCLK	2~3ICLK	44章
007F E084h	FLASH	フラッシュP/Eモードエントリーレジスタ	FENTRYR	16	16	2~4FCLK	2~3ICLK	44章
007F E088h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~4FCLK	2~3ICLK	44章
007F E08Ch	FLASH	フラッシュシケンサ設定初期化レジスタ	FSUINTR	16	16	2~4FCLK	2~3ICLK	44章
007F E090h	FLASH	ロックビットステータスレジスタ	FLKSTAT	8	8	2~4FCLK	2~3ICLK	44章
007F E0A0h	FLASH	FACIコマンドレジスタ	FCMDR	16	16	2~4FCLK	2~3ICLK	44章
007F E0C0h	FLASH	フラッシュP/Eステータスレジスタ	FPESTAT	16	16	2~4FCLK	2~3ICLK	44章

表5.1 I/Oレジスタアドレス一覧 (40 / 40)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK \geq PCLKの場合	ICLK < PCLKの場合	
007F E0D0h	FLASH	データフラッシュブランクチェック制御レジスタ	FBCCNT	8	8	2~4FCLK	2~3ICLK	44章
007F E0D4h	FLASH	データフラッシュブランクチェックステータスレジスタ	FBCSTAT	8	8	2~4FCLK	2~3ICLK	44章
007F E0D8h	FLASH	データフラッシュ書き込み開始アドレスレジスタ	FPSADDR	32	32	2~4FCLK	2~3ICLK	44章
007F E0E0h	FLASH	フラッシュシーケンサ処理切り替えレジスタ	FCPSR	16	16	2~4FCLK	2~3ICLK	44章
007F E0E4h	FLASH	フラッシュシーケンサ処理クロック周波数通知レジスタ	FPCKAR	16	16	2~4FCLK	2~3ICLK	44章

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇(監視電圧: VPOR) (注1)
電圧監視0リセット	VCCの下降(監視電圧: Vdet0) (注1)
電圧監視1リセット	VCCの下降(監視電圧: Vdet1) (注1)
電圧監視2リセット	VCCの下降(監視電圧: Vdet2) (注1)
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧(VPOR, Vdet0, Vdet1, Vdet2)については、「8. 電圧検出回路(LVDA)」、「45. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因								
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイ マリセット	電圧監視1 リセット	電圧監視2 リセット	ディープ ソフトウェア スタンバイ リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—	—	—
コールドスタート/ ウォームスタート 判別フラグ (RSTSR1.CWSF)	—	○	—	—	—	—	—	—	—
サブクロック発振器強制発振ビット (SOFCR.SOFE)	—	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—	—	—
電圧レベル設定レジスタ (VOLSR)	○	○	○	—	—	—	—	—	—
独立ウォッチドッグタイマ リセット検出フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマの レジスタ (IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, ILOCOCR)	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマ リセット検出フラグ (RSTSR2.WDTRF)	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマのレジスタ (WDTRR, WDTCR, WDTSR, WDTRCR)	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ (LVD1CR0, LVCMPCR.LVD1E, LVDLVL.R.LVD1LVL[3:0])	○	○	○	○	○	—	—	—	—
(LVD1CR1, LVD1SR)	○	○	○	○	○	—	—	○	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ (LVD2CR0, LVCMPCR.LVD2E, LVDLVL.R.LVD2LVL[3:0])	○	○	○	○	○	○	—	—	—
(LVD2CR1, LVD2SR)	○	○	○	○	○	○	—	○	—
ディープソフトウェアスタンバイ リセット検出フラグ (RSTSR0.DPSRSTF)	○	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	○	○	—
リアルタイムクロックのレジスタ (注1)	—	—	—	—	—	—	—	—	—
高速オンチップオシレータ関連の レジスタ (HOCOPCR.HOCOPCNT)	○	○	○	○	○	○	○	—	○
メインクロック発振器関連の レジスタ (MOFCR)	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連のレジスタ (DPSBYCR, DPSIER0~2, DPSIFR0~2, DPSIEGR0~2) (注2)	○	○	○	○	○	○	○	—	○
動作モード (注3)	○	○	○	—	—	—	—	—	—
上記以外のレジスタ、 CPUおよび内部状態	○	○	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 一部の制御ビットは、すべてのリセットにより初期化されます。対象となる制御ビットについては、「27. リアルタイムク

- ロック (RTCC)」を参照してください。
- 注2. 消費電力低減機能関連のレジスタのうち、DPSBKRYレジスタは、いずれのリセットでも初期化されません。詳細は、「11. 消費電力低減機能」を参照してください。
- 注3. リセット解除時のモード設定端子の状態によって動作モードが決定されます。詳細は、「3. 動作モード」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表 6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

b7	b6	b5	b4	b3	b2	b1	b0
DPSRS TF	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF

リセット後の値 0 (注1) 0 0 0 0 (注1) 0 (注1) 0 (注1) 0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R(W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0: 電圧監視0リセット未検出 1: 電圧監視0リセット検出	R(W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R(W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセット未検出 1: 電圧監視2リセット検出	R(W) (注2)
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	0: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R(W) (注2)

- 注1. リセット後の値は、リセット要因で異なります。
- 注2. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ (電圧監視 0 リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下になり、電圧監視 0 リセットが発生したことを示します。

["1" になる条件]

- 電圧監視 0 リセットが発生したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD1RF フラグ (電圧監視 1 リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下になり、電圧監視 1 リセットが発生したことを示します。

["1" になる条件]

- 電圧監視 1 リセットが発生したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

LVD2RF フラグ (電圧監視 2 リセット検出フラグ)

VCC 電圧が Vdet2 レベル以下になり、電圧監視 2 リセットが発生したことを示します。

["1" になる条件]

- 電圧監視 2 リセットが発生したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

DPSRSTF フラグ (ディープソフトウェアスタンバイリセットフラグ)

割り込みによるディープソフトウェアスタンバイモードの解除にともなって、内部リセット (ディープソフトウェアスタンバイリセット) が発生したことを示します。

["1" になる条件]

- 割り込みによってディープソフトウェアスタンバイモードを解除したとき
詳細は、「11. 消費電力低減機能」を参照してください。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. リセット後の値は、リセット要因で異なります。
 注2. フラグをセットするための“1”書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かを判定するレジスタです。

CWSF フラグ (コールドスタート/ウォームスタート判別フラグ)

コールドスタートかウォームスタートかを示します。

CWSF フラグは、パワーオンリセットで初期化されます。RES# 端子リセットでは初期化されません。

["1" になる条件]

- プログラムで“1”を書いたとき。“0”を書いても変化しません。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SWRF	WDTR F	IWDTR F

リセット後の値 0 0 0 0 0 0(注1) 0(注1) 0(注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R(W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

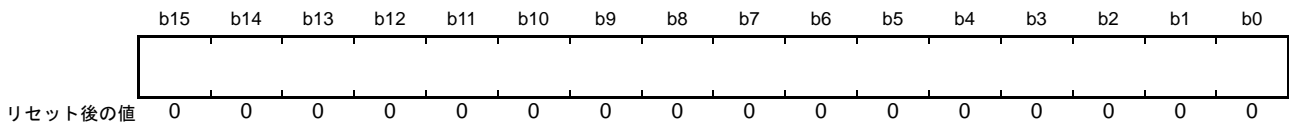
- ソフトウェアリセットを行なったとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	ソフトウェアリセットビット	“A501h”を書くとMCUがリセットされます。読むと“0000h”が読めます	R/W

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切れ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「45. 電气的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。また、RES# 端子を High にした状態で電源が低下した場合 (VCC が VPOR 以下になった場合) もパワーオンリセットは発生します。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、電源が安定し、かつ MCU が安定して動作するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが “1” になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が “0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが “1” になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを “0” にしてください。VCC が Vdet0 を超えると、電圧監視 0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。Vdet0 の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL[1:0] ビットの設定により変更できます。

図 6.1 にパワーオンリセットおよび電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDA)」を参照してください。

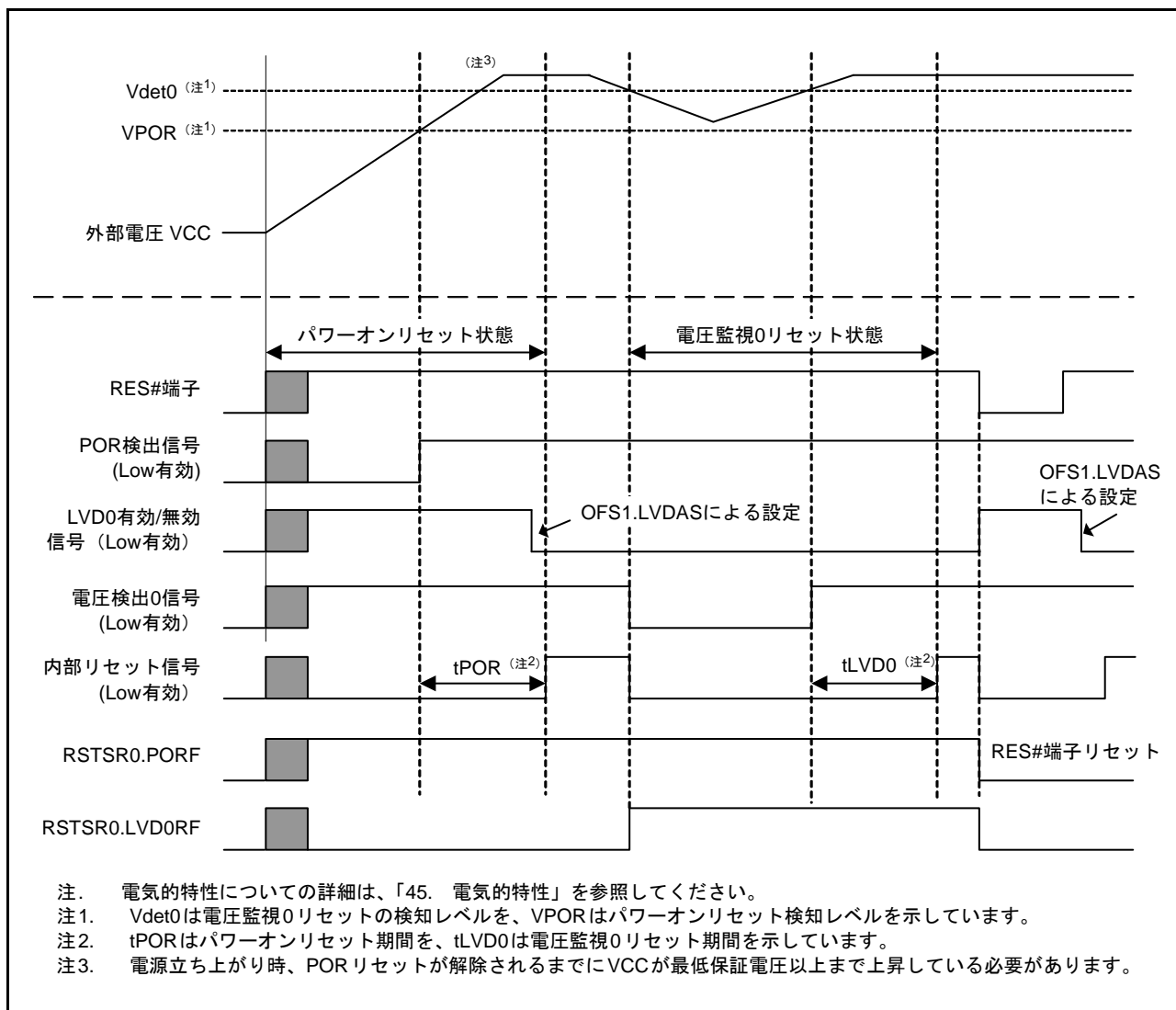


図 6.1 パワーオンリセット、電圧監視0リセット動作例

6.3.3 電圧監視1リセット、電圧監視2リセット

電圧監視回路による内部リセットです。

電圧監視1回路制御レジスタ0 (LVD1CR0) の電圧監視1割り込み/リセット許可ビット (LVD1RIE) が“1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視1回路モード選択ビット (LVD1RI) が“1” (低電圧検出時、リセット発生) の状態で、VCCがVdet1以下になると、RSTSR0.LVD1RFフラグが“1”になり、電圧検出回路は電圧監視1リセットを発生します。

同様に、電圧監視2回路制御レジスタ0 (LVD2CR0) の電圧監視2割り込み/リセット許可ビット (LVD2RIE) が“1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視2回路モード選択ビット (LVD2RI) が“1” (低電圧検出時、リセット発生) の状態で、VCCがVdet2以下になると、RSTSR0.LVD2RFフラグが“1”になり、電圧検出回路は電圧監視2リセットを発生します。

電圧監視1リセットの解除タイミングは、LVD1CR0レジスタの電圧監視1リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RNビットが“0”のとき、VCCがVdet1以下になり、その後Vdet1を超えてから電圧監視1リセット時間 (tLVD1) が経過すると内部リセットが解除され、CPUがリセット例外処理を開始します。また、LVD1CR0.LVD1RNビットが“1”のとき、VCCがVdet1以下になってから

電圧監視 1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

Vdet1 および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセットおよび電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセットおよび電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDA)」を参照してください。

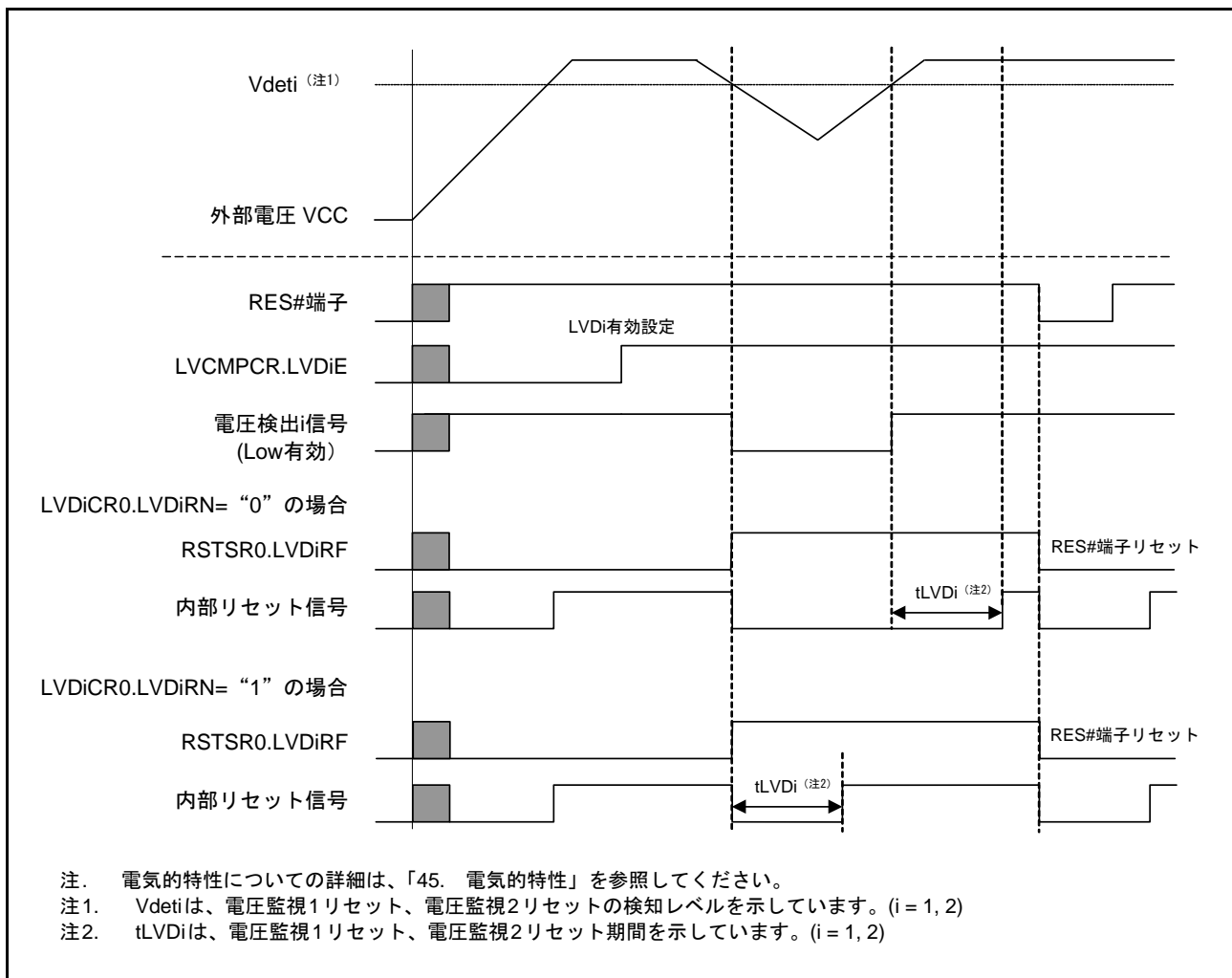


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。その後、ディープソフトウェアスタンバイモード解除後復帰時間 (tDSBY) 経過後、ディープソフトウェアスタンバイリセットは解除され、ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後、ディープソフトウェアスタンバイモード解除後待機時間 (tDSBYWT) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「11. 消費電力低減機能」を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「28. ウォッチドッグタイマ (WDTA)」を参照してください。

6.3.7 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.8 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0” (コールドスタート) になります。その他のリセットを行っても“0” になりません。また、プログラムで“1” を書くと、“1” になります。“0” を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

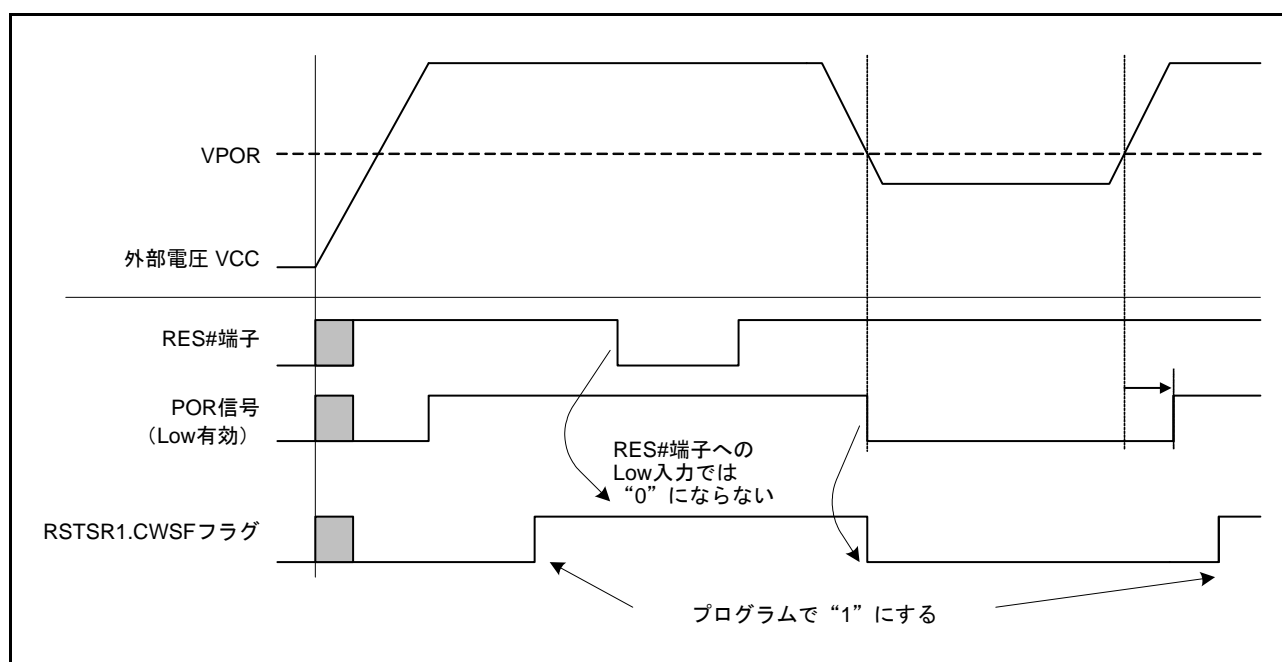


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.9 リセット発生要因の判定

RSTSR0レジスタとRSTSR2レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

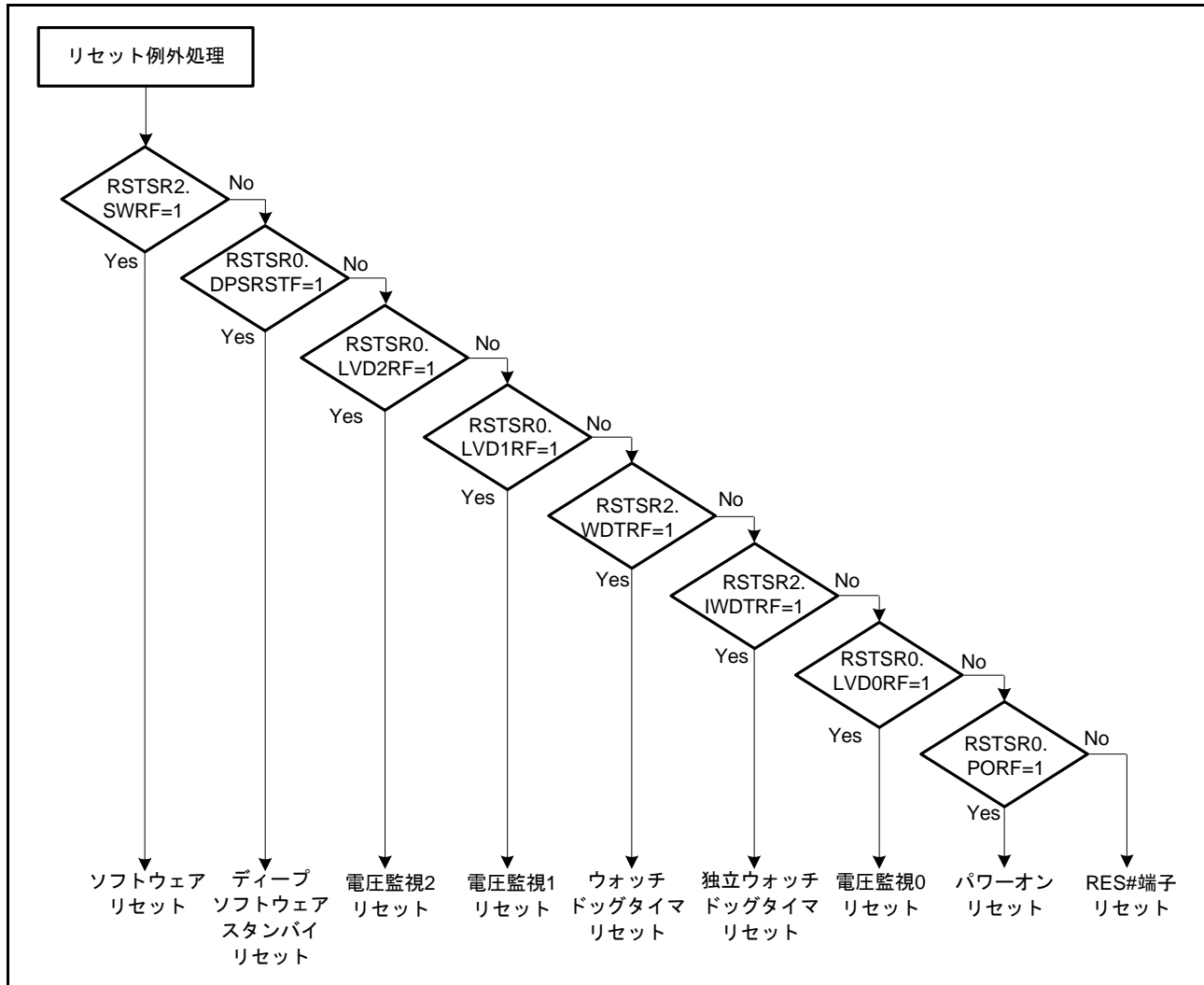


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ (OFSM)

7.1 概要

オプション設定メモリ (OFSM) は、以下に示すレジスタの総称です。

- シリアルプログラマコマンド制御レジスタ (SPCC)
- OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)
- オプション機能選択レジスタ 0 (OFS0)
- オプション機能選択レジスタ 1 (OFS1)
- エンディアン選択レジスタ (MDE)
- TM イネーブルフラグレジスタ (TMEF)
- TM 識別データレジスタ (TMINF)
- UB コード A
- UB コード B
- ROM コードプロテクトレジスタ (ROMCODE)

オプション設定メモリは、本 MCU のリセット後の状態を決定します。

オプション設定メモリへの値の設定方法は I/O レジスタとは異なります。詳細は、「7.6 オプション設定メモリの設定方法」を参照してください。

図 7.1 にオプション設定メモリ領域を示します。

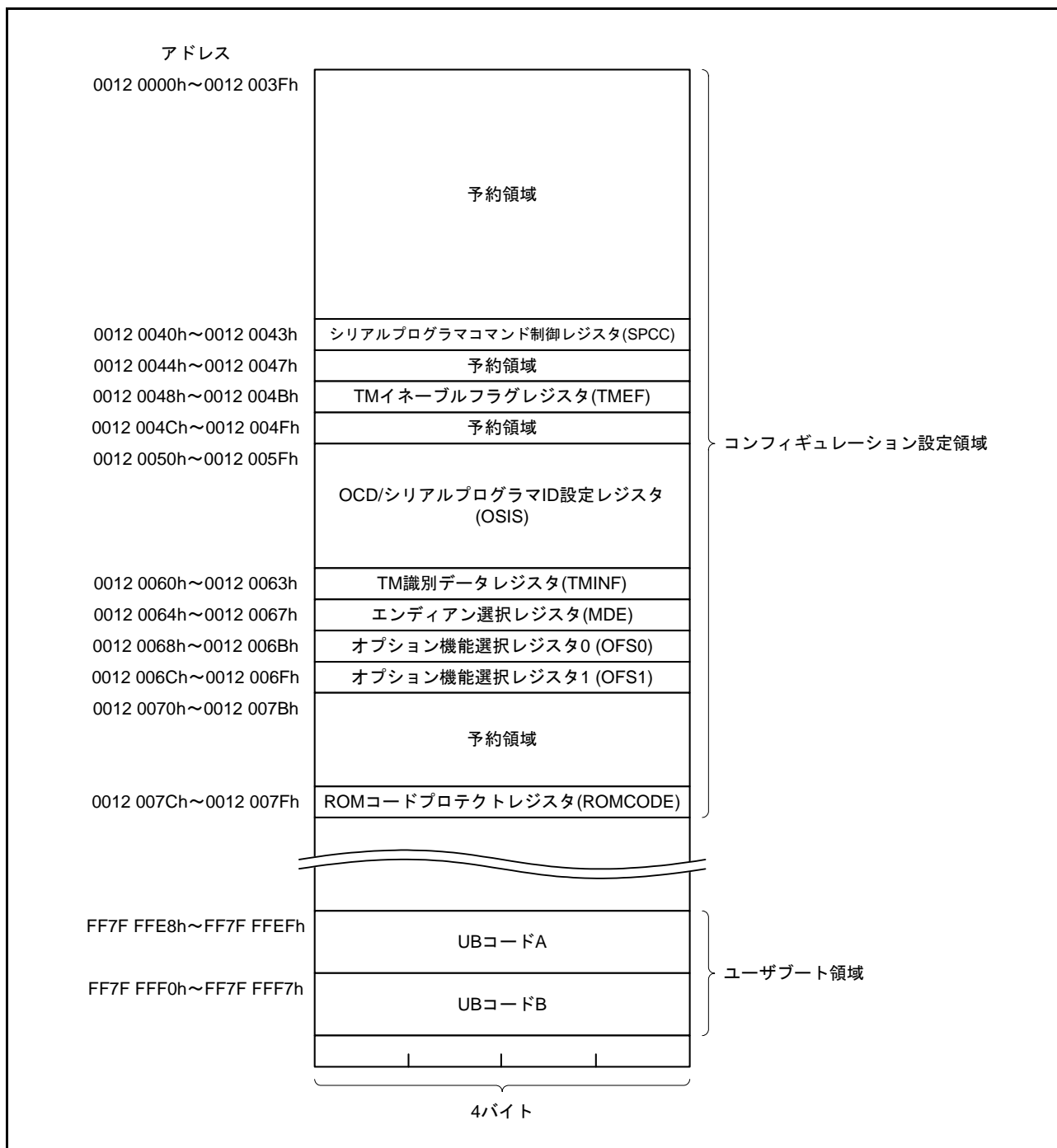


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC)

アドレス OFSM.SPCC 0012 0040h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RDPR	WRPR	SEPR	—	SPE	—	—	IDE	—	—	—	—	—	—	OCDE	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b16-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	OCDE	オンチップデバッグ接続許可ビット	0: リセット後、オンチップデバッグ接続の禁止 1: リセット後、オンチップデバッグ接続の許可	R
b23-b18	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b24	IDE	IDコードプロテクト有効ビット	0: リセット後、IDコードプロテクト機能は有効(注2) 1: リセット後、IDコードプロテクト機能は無効	R
b26-b25	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b27	SPE	シリアルプログラマ接続許可ビット	0: リセット後、シリアルプログラマ接続の禁止 1: リセット後、シリアルプログラマ接続の許可	R
b28	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b29	SEPR	ブロックイレーズコマンドプロテクトビット	0: リセット後、ブロックイレーズコマンド実行は禁止 1: リセット後、ブロックイレーズコマンド実行は許可	R
b30	WRPR	プログラムコマンドプロテクトビット	0: リセット後、プログラムコマンド実行は禁止 1: リセット後、プログラムコマンド実行は許可	R
b31	RDPR	リードコマンドプロテクトビット	0: リセット後、リードコマンド実行は禁止 1: リセット後、リードコマンド実行は許可	R

注1. オプション設定メモリに設定していない製品は、“FFFF FFFFh”です。ユーザで設定した後は、設定した値になります。

注2. IDコードプロテクト機能を使用する場合は、RDPR、SEPR、WRPRビットを“0”にしてください。

シリアルIDコードプロテクト有効/無効とオンチップデバッグ接続、シリアルプログラマ接続、ブロックイレーズコマンド、プログラムコマンド、リードコマンドの許可/禁止を設定します。

OCDE ビット (オンチップデバッグ接続許可ビット)

オンチップデバッグ接続の許可/禁止を設定します。

IDE ビット (IDコードプロテクト有効ビット)

シリアルプログラマによるIDコードプロテクト機能の有効/無効を設定します。IDコードプロテクト機能を使用する場合は、RDPR、WRPR、SEPRビットを“0”にしてください。

SPE ビット (シリアルプログラマ接続許可ビット)

シリアルプログラマ接続の許可/禁止を設定します。

SEPR ビット (ブロックイレーズコマンドプロテクトビット)

シリアルプログラマによるブロックイレーズコマンド実行の許可 / 禁止を設定します。

WRPR ビット (プログラムコマンドプロテクトビット)

シリアルプログラマによるプログラムコマンド実行の許可 / 禁止を設定します。

RDPR ビット (リードコマンドプロテクトビット)

シリアルプログラマによるリードコマンド実行の許可 / 禁止を設定します。

7.2.2 OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)

OCD/ シリアルプログラマの ID コードプロテクトに使用する制御コード、または ID コードを格納するレジスタです。

OCD/ シリアルプログラマから送られてくる制御コード、または ID コードと、本レジスタに格納された制御コード、または ID コードの一致を判定します。

判定結果が一致した場合は OCD/ シリアルプログラマとの接続を許可しますが、一致しなかった場合は OCD/ シリアルプログラマとの接続はできません。

シリアルプログラマによる ID コードプロテクト機能を有効にする場合、本レジスタの設定の他に、SPCC レジスタの IDE、SPE、RDPR、WRPR、SEPR ビットを設定する必要があります。

ID コード 1/ 制御コード ~ ID コード 16 のリセット後の値は、オプション設定メモリに設定していない製品は“FFh”です。ユーザで設定した後は、ユーザの設定値になります。

アドレス	bit31			bit0
0012 0050h ~ 0012 0053h	ID コード 4	ID コード 3	ID コード 2	ID コード 1 / 制御コード
0012 0054h ~ 0012 0057h	ID コード 8	ID コード 7	ID コード 6	ID コード 5
0012 0058h ~ 0012 005Bh	ID コード 12	ID コード 11	ID コード 10	ID コード 9
0012 005Ch ~ 0012 005Fh	ID コード 16	ID コード 15	ID コード 14	ID コード 13

ID コード 1/ 制御コード ~ ID コード 16

OCD/ シリアルプログラマの ID コードプロテクトに使用する制御コード、または ID コードを格納します。

ID コード 1 はシリアルプログラマと接続する場合は制御コード、OCD と接続する場合は ID コードとなります。

制御コードの詳細は「7.5 オプション設定メモリの設定値とリード / プログラム / イレーズ動作」を参照してください。

7.2.3 オプション機能選択レジスタ 0 (OFS0)

アドレス OFSM.OFS0 0012 0068h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	WDTRS TIRQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				

リセット後の値

ユーザの設定値(注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTSLCSTP	—	IWDRSTIRQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTST TRT	—				

リセット後の値

ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：1024サイクル (03FFh) 0 1：4096サイクル (0FFFh) 1 0：8192サイクル (1FFFh) 1 1：16384サイクル (3FFFh)	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDRSTIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスクブル割り込み要求、または割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0：リセット後、WDTはオートスタートモードにて自動的に起動 1：リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDT タイムアウト期間選択ビット	b19 b18 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)	R
b23-b20	WDTCKS[3:0]	WDT クロック分周比選択ビット	b23 b20 0 0 0 1 : 4 分周 0 1 0 0 : 64 分周 1 1 1 1 : 128 分周 0 1 1 0 : 512 分周 0 1 1 1 : 2048 分周 1 0 0 0 : 8192 分周 上記以外は設定しないでください	R
b25-b24	WDRPES[1:0]	WDT ウィンドウ終了位置選択ビット	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDT ウィンドウ開始位置選択ビット	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDT リセット割り込み要求選択ビット	0 : ノンマスクブル割り込み要求、または割り込み要求を許可 1 : リセットを許可	R
b31-b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. オプション設定メモリに設定していない製品は、“FFFF FFFFh”です。ユーザで設定した後は、設定した値になります。

ユーザブートモード時は OFS0 レジスタの値は無視され、“FFFF FFFFh” が設定されているときと同じ動作になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 専用クロック数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択ビット)

IWDT 専用クロックを分周するプリスケアラの分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 1024 ~ 4194304 クロックの間で設定できます。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開

始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求、または割り込み要求のいずれかが選択できます。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止を選択します。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択ビット)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLKB) は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択ビット)

PCLKB を分周するプリスケアラの分周比設定を 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB の 4096 ~ 134217728 クロックの間で設定できます。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDRPES[1:0] ビット (WDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDRPSS[1:0] ビット、WDRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、WDTTOPS[1:0] ビットの設定により変わります。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPSS[1:0] ビット (WDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRSTIRQS ビット (WDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求、または割り込み要求のいずれかが選択できます。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

7.2.4 オプション機能選択レジスタ 1 (OFS1)

アドレス OFSM.OFS1 0012 006Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCO EN	—	—	—	—	—	LVDAS	VDSEL[1:0]	—
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0: 予約 0 1: 予約 1 0: 2.83Vを選択 1 1: 4.22Vを選択	R
b2	LVDAS	電圧検出0回路起動ビット	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0: リセット後、HOCO発振が有効 1: リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. オプション設定メモリに設定していない製品は、“FFFF FFFFh”です。ユーザで設定した後は、設定した値になります。

ユーザブートモード時は OFS1 レジスタの値は無視され、“FFFF FFFFh” が設定されているときと同じ動作になります。

VDSEL[1:0] ビット (電圧検出 0 レベル選択ビット)

電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出 0 回路起動ビット)

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

HOCOEN ビット (HOCO 発振有効ビット)

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。

HOCOEN ビットを“0”にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを“0”にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

7.2.5 エンディアン選択レジスタ (MDE)

アドレス OFSM.MDE 0012 0064h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0: ビッグエンディアン 1 1 1: リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. オプション設定メモリに設定していない製品は、“FFFF FFFFh”です。ユーザで設定した後は、設定した値になります。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

7.2.6 TM イネーブルフラグレジスタ (TMEF)

アドレス OFSM.TMEF 0012 0048h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	TMEF[2:0]			—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b26-b24	TMEF[2:0]	TMイネーブルビット	b26 b24 0 0 0 : TM機能有効 1 1 1 : TM機能無効 上記以外は設定しないでください	R
b31-b27	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. オプション設定メモリに設定していない製品は、“FFFF FFFFh”です。ユーザで設定した後は、設定した値になります。

TMEF レジスタは、ユーザ領域のブロック 8,9 に対する TM 機能を有効にすることができます。

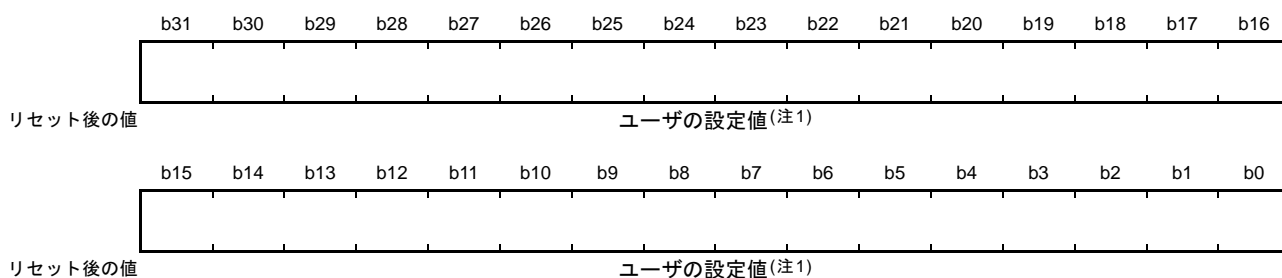
TM 機能を有効にする場合は、「44.9.38 TM 設定コマンド」を参照してください。TM 機能が有効な状態で TMEF[2:0] ビットを書き換えた場合、書き換えは無視されます。TM 機能を無効にする場合は、「44.9.37 コンフィギュレーションクリアコマンド」を参照してください。

TMEF[2:0] ビット (TM イネーブルビット)

ユーザ領域のブロック 8,9 に対する TM 機能の有効 / 無効を選択します。

7.2.7 TM 識別データレジスタ (TMINF)

アドレス OFSM.TMINF 0012 0060h



注1. オプション設定メモリに設定していない製品は、“FFFF FFFFh”です。ユーザで設定した後は、設定した値になります。

ユーザが任意の 32 ビットデータを格納できる領域です。

TM 対象領域に格納しているプログラムを識別できるコード格納などにご使用いただけます。

TM 機能が有効な場合、シリアルプログラミングによって TMINF レジスタを書き換えても、TMINF レジスタの書き換えは無視されます。TMINF レジスタの内容をイレーズする場合は、「44.9.37 コンフィギュレーションクリアコマンド」を参照してください。

7.2.8 ROMコードプロテクトレジスタ (ROMCODE)

アドレス OFSM.ROMCODE 0012 007Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	CODE[31:0]	ROMコードビット	0000 0000h : ROMコードプロテクト有効 (ROMコードプロテクト1) 0000 0001h : ROMコードプロテクト有効 (ROMコードプロテクト2) 上記以外 : ROMコードプロテクト無効	R

注1. オプション設定メモリに設定していない製品は、“FFFF FFFFh”です。ユーザで設定した後は、設定した値になります。

ROMコードプロテクトレジスタは、オフボードプログラミングでパラレルプログラマを使用する場合にフラッシュメモリのリード、プログラム、イレーズを禁止するために使用します。

フラッシュメモリ上のROMコードは、32ビット長のデータです。

表7.1にROMコードプロテクト仕様を示します。

ROMコードプロテクトを解除する場合、セルフプログラミングのコンフィギュレーション設定コマンドを使用してROMコードにROMコードプロテクト無効 (“FFFF FFFFh”) を書き込んでください。もしくは、ブートモードのROMコード設定コマンドでROMコードプロテクト無効 (“FFFF FFFFh”) を書き込むか、または、コンフィギュレーションクリアコマンドでROMコードをイレーズしてください。ユーザが任意の32ビットデータを格納できる領域です。

表7.1 ROMコードプロテクト仕様

ROMコード	プロテクト状態	パラレルプログラマ接続時の動作
0000 0000h	ROMコードプロテクト有効 (ROMコードプロテクト1)	コードフラッシュメモリのリード、プログラム、イレーズを禁止する
0000 0001h	ROMコードプロテクト有効 (ROMコードプロテクト2)	コードフラッシュメモリのリードを禁止する
上記以外	ROMコードプロテクト無効	コードフラッシュメモリのリード、プログラム、イレーズを許可する

7.3 UB コード

UB コード A と UB コード B はユーザブートモードを使用するときに必要なコードです。以下の 4 条件が成立しているときに、リセットを解除するとユーザブートモードで本 MCU が起動します。

- UB コード A が “5573 6572h, 426F 6F74h” である
- UB コード B が “FFFF FF00h, 0008 C040h” である
- MD 端子に Low が入力されている
- UB 端子に High が入力されている

7.3.1 UB コード A

UB コード A は、32 ビット長 2 ワードのデータです。UB コード A には、“5573 6572h, 426F 6F74h” を設定してください。ユーザブートモードを使用するときは、これ以外の値は設定しないでください。ユーザブートモード以外のブートモードを使用するときは、“FFFF FFFFh, FFFF FFFFh” を設定してください。

図 7.2 に UB コード A の構成を示します。UB コード A は 32 ビット単位で設定してください。

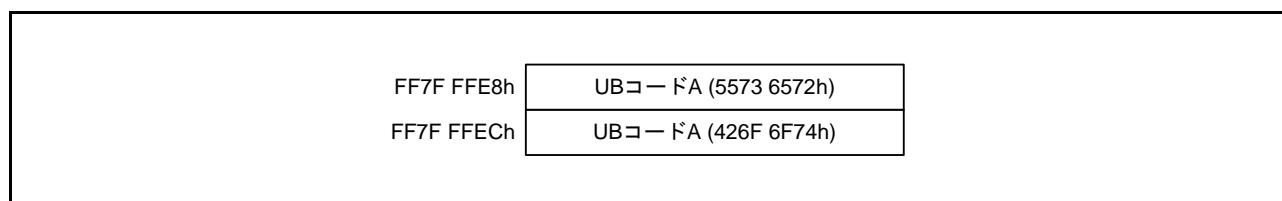


図 7.2 UB コード A の構成

7.3.2 UB コード B

UB コード B は、32 ビット長 2 ワードのデータです。UB コード B には、“FFFF FF00h, 0008 C040h” を設定してください。ユーザブートモードを使用するときは、これ以外の値は設定しないでください。ユーザブートモード以外のブートモードを使用するときは、“FFFF FFFFh, FFFF FFFFh” を設定してください。

図 7.3 に UB コード B の構成を示します。UB コード B は 32 ビット単位で設定してください。

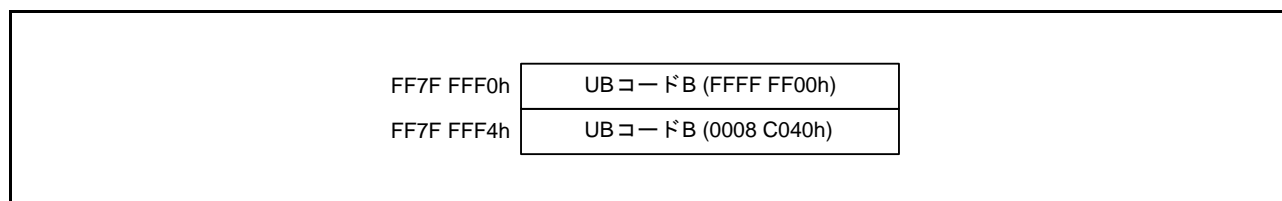


図 7.3 UB コード B の構成

7.4 各動作モードにおけるオプション設定メモリのプログラム/イレーズ動作

表 7.2 に動作モードによるオプション設定メモリのプログラム/イレーズ動作を示します。

表7.2 動作モードによるオプション設定メモリのプログラム/イレーズ動作

オプション設定メモリ	ROMCODE 設定値	ブートモード (SCIインタフェース、 FINEインタフェース)		セルフプログラミング		パラレルプログラマ	
		プログラム	イレーズ	プログラム	イレーズ	プログラム	イレーズ
ROMコードプロテクトレジスタ (ROMCODE)	0000 0000h	○(注2)	○(注2)	○(注3)	×	×	×
	0000 0001h	○(注2)	○(注2)	○(注3)	×	×(注4)	○ (注5、注6)
	上記以外	○(注2)	○(注2)	○(注3)	×	○(注5)	○(注5)
UBコードA、UBコードB	0000 0000h	○(注2)	○(注2)	×	×	×	×
	0000 0001h	○(注2)	○(注2)	×	×	○(注5)	○(注5)
	上記以外	○(注2)	○(注2)	×	×	○(注5)	○(注5)
上記以外のオプション設定メモリ(注1)	0000 0000h	○(注2)	○(注2)	○(注3)	×	×	×
	0000 0001h	○(注2)	○(注2)	○(注3)	×	○(注5)	○ (注5、注6)
	上記以外	○(注2)	○(注2)	○(注3)	×	○(注5)	○(注5)

○：可能

×：不可能

注1. ROMコードプロテクトレジスタ、UBコードA、UBコードB以外のオプション設定メモリは、以下のレジスタです。

- シリアルプログラマコマンド制御レジスタ (SPCC)
- OCD/シリアルプログラマID設定レジスタ (OSIS)
- エンディアン選択レジスタ (MDE)
- オプション機能選択レジスタ0 (OFS0)
- オプション機能選択レジスタ1 (OFS1)
- TMイネーブルフラグレジスタ (TMEF)
- TM識別データレジスタ (TMINF)

注2. ブートモード(SCIインタフェース、FINEインタフェース)用のコマンドを使用してプログラム/イレーズを行います。詳細は「44.7 ブートモード」参照してください。

注3. コンフィギュレーション設定コマンドを使用してプログラムを行います。コンフィギュレーション設定コマンドの使用方法は「44.6.6.10 コンフィギュレーション設定コマンド」を参照してください。

注4. ROMコードプロテクトを設定するとROMコードの書き込みはできません。

注5. パラレルプログラマによりプログラム/イレーズを行います。詳細は使用しているパラレルプログラマのマニュアルを参照してください。

注6. コードフラッシュメモリがブランクの場合、消去できます。

7.5 オプション設定メモリの設定値とリード/プログラム/イレーズ動作

表 7.3 にシリアルプログラマ接続時のオプション設定メモリの設定値とリード/プログラム/イレーズ動作の許可/禁止状態を示します。

表 7.4 に OCD 接続時のオプション設定メモリの設定値と ID コード判定動作を示します。

表7.3 シリアルプログラマ接続時のオプション設定メモリの設定値とリード/プログラム/イレーズ動作

No.	SPCC. SPE	SPCC. IDE	OSIS 制御コード	OSIS IDコード 2~16	SPCC. RDPR	SPCC. WRPR	SPCC. SEPR	シリアルプログラマ接続動作	シリアルプログラマ接続後のリード/プログラム/イレーズ動作
1	0	x	任意	任意	x	x	x	接続禁止	—
2	1	0	45h 以外		0	0	0	制御コードと ID コード判定有 (注1)	リード許可、プログラム許可、イレーズ許可
3			45h		制御コードと ID コード判定有 (注2)	リード許可、プログラム許可、イレーズ許可			
4	1	1	任意		0	0	0	接続許可	リード禁止、プログラム禁止、イレーズ禁止
5					1	0	0	接続許可	リード許可、プログラム禁止、イレーズ禁止
6					0	1	0	接続許可	リード禁止、プログラム許可、イレーズ禁止
7					1	1	0	接続許可	リード許可、プログラム許可、イレーズ禁止
8					0	0	1	接続許可	リード禁止、プログラム禁止、イレーズ許可
9					1	0	1	接続許可	リード許可、プログラム禁止、イレーズ許可
10					0	1	1	接続許可	リード禁止、プログラム許可、イレーズ許可
11					1	1	1	接続許可	リード許可、プログラム許可、イレーズ許可

x : Don't care

注1. シリアルプログラマから送られてくる制御コード、およびIDコードと、OSISレジスタに設定された制御コード、およびIDコードの一致を判定し、一致した場合は接続を許可します。一致しない場合は接続できません。

注2. シリアルプログラマから送られてくる制御コード、およびIDコードと、OSISレジスタに設定された制御コード、およびIDコードの一致を判定し、一致した場合は接続を許可します。一致しない場合は接続できません。ただし、3回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去します。

表7.4 OCD接続時のオプション設定メモリの設定値とIDコード判定動作

No.	SPCC. SPE	SPCC. IDE	SPCC. OCDE	OSIS IDコード1	OSIS IDコード2~16	SPCC. RDPR	SPCC. WRPR	SPCC. SEPR	OCD接続動作
1	x	x	1	任意	任意	x	x	x	IDコード一致 : OCD接続を許可 IDコード不一致 : IDコード入力待ち
2	x	x	0	—	—	x	x	x	OCD接続を禁止(IDコードに依存しない)

x : Don't care

7.6 オプション設定メモリの設定方法

7.6.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 7.1 で示すアドレスに配置してください。
以下にソースコード上で、オプション設定メモリの設定を記述する例を示します。

注. プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

シリアルプログラマコマンド制御レジスタ (SPCC) に“1EFFFFFFh”を設定する場合

```
.ORG 000120040H  
.LWORD 01EFFFFFFH
```

OCD/シリアルプログラマ ID 設定レジスタ (OSIS) に以下の ID コードを設定する場合

```
ID コード 1/制御コード=FFh, ID コード 2=02h, ID コード 3=03h, ID コード 4=04h, ID コード 5=05h,  
ID コード 6=06h, ID コード 7=07h, ID コード 8=08h, ID コード 9=09h, ID コード 10=0Ah,  
ID コード 11=0Bh, ID コード 12=0Ch, ID コード 13=0Dh, ID コード 14=0Eh, ID コード 15=0Fh,  
ID コード 16=10h  
.ORG 000120050H  
.LWORD 0040302FFH, 008070605H, 00C0B0A09H, 0100F0E0DH
```

オプション機能選択レジスタ 0 (OFS0) に“EF67BA5Dh”を設定する場合

```
.ORG 000120068H  
.LWORD 0EF67BA5DH
```

オプション機能選択レジスタ 1 (OFS1) に“FFFFFFEFAh”を設定する場合

```
.ORG 00012006CH  
.LWORD 0FFFFFFEFAH
```

エンディアン選択レジスタ (MDE) に“FFFFFFF8h”を設定する場合

```
.ORG 000120064H  
.LWORD 0FFFFFFF8H
```

UB コード A、UB コード B の設定

```
.ORG 0FF7FFFE8H  
.LWORD 055736572H, 0426F6F74H  
.LWORD 0FFFFFFF00H, 00008C040H
```

7.7 使用上の注意事項

7.7.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットにプログラムする値は“1”としてください。“0”をプログラムすると正常動作できないことがあります。

8. 電圧検出回路 (LVDA)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 は、オプション機能選択レジスタ 1 (OFS1) で、検出電圧を 2 レベルから選択可能で、さらにリセット後、電圧監視 0 リセットの有効/無効が選択できます。

電圧検出 1、電圧検出 2 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 5 レベルから選択できます。

電圧監視 0 リセット、電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路のブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	OFS1.VDSEL[1:0] ビットで 2 レベルから選択可能	LVDLVLR.LVD1LVL[3:0] ビットで 5 レベルから選択可能	LVDLVLR.LVD2LVL[3:0] ビットで 5 レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MON フラグ： Vdet1 より高いか低いかをモニタ	LVD2SR.LVD2MON フラグ： Vdet2 より高いか低いかをモニタ
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット： VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	なし	電圧監視1 割り込み	電圧監視2 割り込み
			ノンマスクابل割り込み、またはマスクابل割り込みを選択可能	ノンマスクابل割り込み、またはマスクابل割り込みを選択可能
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCO の n 分周 × 2 (n : 2, 4, 8, 16)	LOCO の n 分周 × 2 (n : 2, 4, 8, 16)
イベントリンク機能		なし	あり Vdet1 通過検出イベント出力	あり Vdet2 通過検出イベント出力

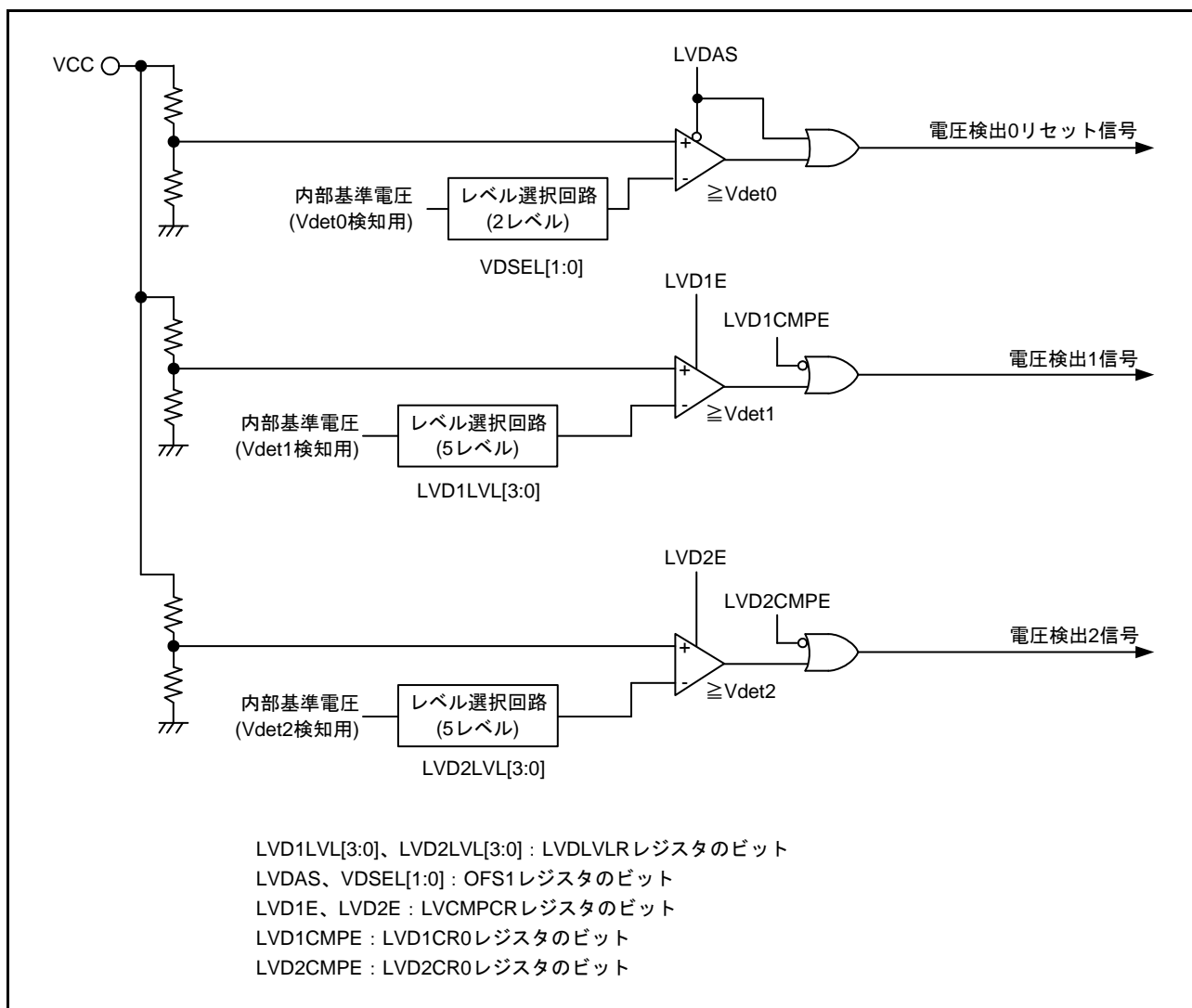


図 8.1 電圧検出回路ブロック図

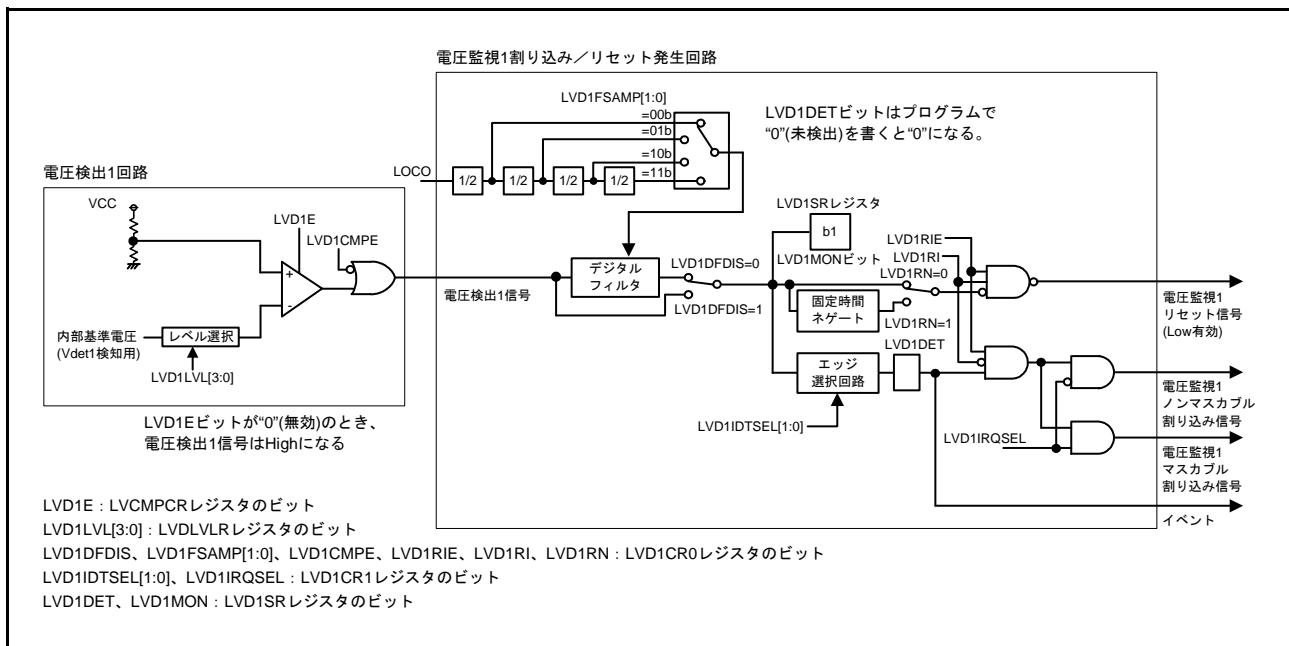


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

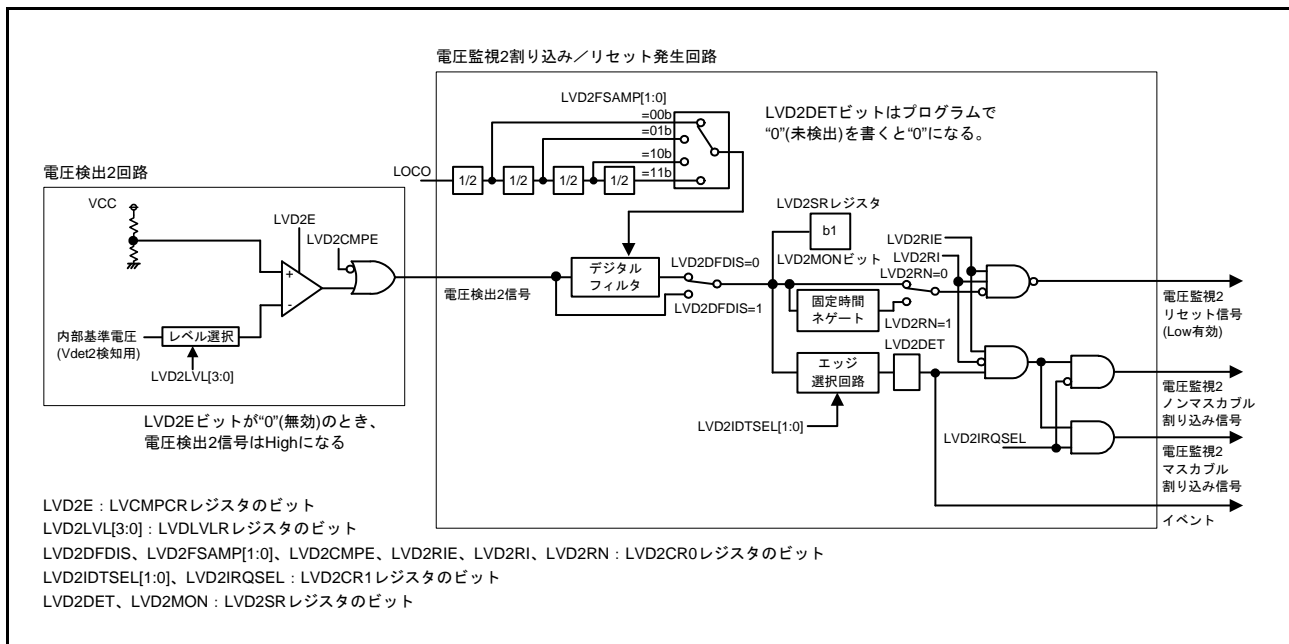


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視1回路制御レジスタ1(LVD1CR1)

アドレス 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD1IRQSEL	LVD1IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL[1:0]	電圧監視1割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇)検出時 0 1 : VCC < Vdet1 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み(注1)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスカブル割り込みを設定する場合、ICU側にあるNMIER.LVD1ENビットをリセット状態から変更しないでください。

8.2.2 電圧監視1回路ステータスレジスタ(LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1MON	LVD1DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視1電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視1信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1またはLVD1MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視1電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出1回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視1回路比較結果出力許可)のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE ビットを“0”(禁止)にしてから行ってください。LVD1CR0.LVD1RIE ビットを“0”にした後、再度 LVD1CR0.LVD1RIE ビットを“1”(許可)にする場合は、PCLKB2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視1信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出1回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視1回路比較結果出力許可)のとき有効になります。

8.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1)

アドレス 0008 00E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD2IR QSEL	LVD2IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL[1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet2 (上昇)検出時 0 1 : VCC < Vdet2 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み (注1)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. マスカブル割り込みを設定する場合、ICU側にあるNMIER.LVD2ENビットをリセット状態から変更しないでください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2M ON	LVD2D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0 : 未検出 1 : Vdet2通過検出	R(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0 : VCC < Vdet2 1 : VCC ≥ Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ (電圧監視 2 電圧変化検出フラグ)

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE ビットを“0”(禁止)にしてから行ってください。LVD2CR0.LVD2RIE ビットを“0”にした後、再度 LVD2CR0.LVD2RIE ビットを“1”(許可)にする場合は、PCLKB2 サイクル以上経過してから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ (電圧監視 2 信号モニタフラグ)

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LVD1E ビット (電圧検出1許可ビット)

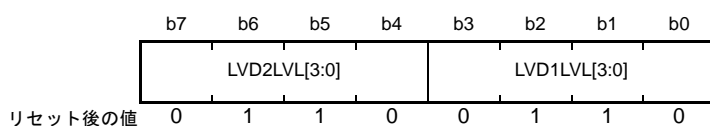
電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONフラグを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

LVD2E ビット (電圧検出2許可ビット)

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONフラグを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h



ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b0 0 1 0 0 : 4.57V (Vdet1_0) 0 1 0 1 : 4.47V (Vdet1_1) 0 1 1 0 : 4.32V (Vdet1_2) 1 0 1 0 : 2.93V (Vdet1_3) 1 0 1 1 : 2.88V (Vdet1_4) 上記以外は設定しないでください	R/W
b7-b4	LVD2LVL[3:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b7 b4 0 1 0 0 : 4.57V (Vdet2_0) 0 1 0 1 : 4.47V (Vdet2_1) 0 1 1 0 : 4.32V (Vdet2_2) 1 0 1 0 : 2.93V (Vdet2_3) 1 0 1 1 : 2.88V (Vdet2_4) 上記以外は設定しないでください	R/W

LVDLVLR レジスタは、LVCMPPCR.LVD1E ビット、LVCMPPCR.LVD2E ビットが共に“0”(電圧検出 n 回路無効) (n = 1, 2) の場合のみ変更可能です。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

b7	b6	b5	b4	b3	b2	b1	b0
LVD1RN	LVD1RI	LVD1FSAMP [1:0]	—	LVD1CMPE	LVD1DFDIS	LVD1RIE	
リセット後の値	1	0	0	0	x	0	1

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視 1 割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	LVD1DFDIS	電圧監視 1 デジタルフィルタ無効モード選択ビット	0 : デジタルフィルタ有効 1 : デジタルフィルタ無効	R/W
b2	LVD1CMPE	電圧監視 1 回路比較結果出力許可ビット	0 : 電圧監視 1 回路比較結果出力禁止 1 : 電圧監視 1 回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD1FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 0 0 : LOCO の 2 分周 0 1 : LOCO の 4 分周 1 0 : LOCO の 8 分周 1 1 : LOCO の 16 分周	R/W
b6	LVD1RI	電圧監視 1 回路モード選択ビット	0 : Vdet1 通過時に電圧監視 1 割り込み 1 : 下降して Vdet1 通過時に電圧監視 1 リセット	R/W
b7	LVD1RN	電圧監視 1 リセットネゲート選択ビット	0 : VCC > Vdet1 検出から一定時間(tLVD1)経過後にネゲート 1 : LVD1 リセットアサートから一定時間(tLVD1)経過後にネゲート	R/W

LVD1RIE ビット (電圧監視 1 割り込み/リセット許可ビット)

フラッシュメモリのプログラム/イレーズ中は、電圧監視 1 リセットおよび電圧監視 1 割り込みを発生させないでください。

LVD1DFDIS ビット (電圧監視 1 デジタルフィルタ無効モード選択ビット)

LVD1DFDIS ビットを“0”(デジタルフィルタ回路有効)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。

電圧監視 1 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD1DFDIS ビットを“1”(デジタルフィルタ回路無効)にしてください。

LVD1FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD1FSAMP[1:0] ビットは、LVD1DFDIS ビットが“1”(デジタルフィルタ回路無効)のときのみ書き換え可能です。LVD1DFDIS ビットが“0”(デジタルフィルタ回路有効)のときには、LVD1FSAMP[1:0] ビットを書き換えないでください。

LVD1RI ビット (電圧監視 1 回路モード選択ビット)

LVD1RI ビットが“1”(電圧監視 1 リセット選択)、または LVD2CR0.LVD2RI ビットが“1”(電圧監視 2 リセット選択)の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD1RI ビットを“0”(電圧監視 1 割り込み選択)、かつ LVD2CR0.LVD2RI ビットを“0”(電圧監視 2 割り込み選択)にしてください。

LVD1RN ビット (電圧監視 1 リセットネゲート選択ビット)

LVD1RN ビットを“1”(LVD1 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”(VCC > Vdet1 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD1RN ビットを“1”(LVD1 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	LVD2FSAMP [1:0]	—	LVD2CMPE	LVD2DFDIS	LVD2RIE	
リセット後の値	1	0	0	0	x	0	1	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視 2 割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	LVD2DFDIS	電圧監視 2 デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
b2	LVD2CMPE	電圧監視 2 回路比較結果出力許可ビット	0: 電圧監視 2 回路比較結果出力禁止 1: 電圧監視 2 回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	LVD2FSAMP [1:0]	サンプリングクロック選択ビット	b5 b4 0 0: LOCO の 2 分周 0 1: LOCO の 4 分周 1 0: LOCO の 8 分周 1 1: LOCO の 16 分周	R/W
b6	LVD2RI	電圧監視 2 回路モード選択ビット	0: Vdet2 通過時に電圧監視 2 割り込み 1: 下降して Vdet2 通過時に電圧監視 2 リセット	R/W
b7	LVD2RN	電圧監視 2 リセットネゲート選択ビット	0: VCC > Vdet2 検出から一定時間 (tLVD2) 経過後にネゲート 1: LVD2 リセットアサートから一定時間 (tLVD2) 経過後にネゲート	R/W

LVD2RIE ビット (電圧監視 2 割り込み/リセット許可ビット)

フラッシュメモリのプログラム/イレーズ中は、電圧監視 2 リセットおよび電圧監視 2 割り込みを発生させないでください。

LVD2DFDIS ビット (電圧監視 2 デジタルフィルタ無効モード選択ビット)

LVD2DFDIS ビットを“0”(デジタルフィルタ回路有効)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。

電圧監視 2 回路をソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード時に使用する場合、LVD2DFDIS ビットを“1”(デジタルフィルタ回路無効)にしてください。

LVD2FSAMP[1:0] ビット (サンプリングクロック選択ビット)

LVD2FSAMP[1:0] ビットは、LVD2DFDIS ビットが“1”(デジタルフィルタ回路無効)のときのみ書き換え可能です。LVD2DFDIS ビットが“0”(デジタルフィルタ回路有効)のときには、LVD2FSAMP[1:0] ビットを

書き換えしないでください。

LVD2RI ビット (電圧監視 2 回路モード選択ビット)

LVD2RI ビットが“1”(電圧監視 2 リセット選択)、または LVD1CR0.LVD1RI ビットが“1”(電圧監視 1 リセット選択)の場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合は、ソフトウェアスタンバイモードへ移行します。ディープソフトウェアスタンバイモードへ移行するには、LVD2RI ビットを“0”(電圧監視 2 割り込み選択)、かつ LVD1CR0.LVD1RI ビットを“0”(電圧監視 1 割り込み選択)にしてください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを“1”(LVD2 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードあるいはディープソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”(VCC > Vdet2 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD2RN ビットを“1”(LVD2 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

表 8.2 に Vdet1 のモニタの設定手順を示します。設定後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

表 8.2 Vdet1 のモニタの設定手順

手順	電圧監視 1 比較結果モニタ	
電圧検出 1 回路設定	1	LVDLVLRLVD1LVL[3:0] ビットで検出電圧を選択する
	2	LVCMPCLR.LVD1E = 1 (電圧検出 1 回路有効)にする
	3	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時) 以上待つ (注1)
デジタルフィルタ設定 (注2)	4	LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周)
出力許可設定	7	LVD1CR0.LVD1CMPE = 1 (電圧監視 1 回路比較結果出力許可)にする

注1. 手順3の待ち時間中に手順4～6を行うことができます。td(E-A)の詳細は、「45. 電気的特性」を参照してください。

注2. デジタルフィルタを使用しない場合、手順4～6は不要です。

8.3.3 Vdet2 のモニタ

表 8.3 に Vdet2 のモニタの設定手順を示します。設定後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

表 8.3 Vdet2 のモニタの設定手順

手順	電圧監視 2 比較結果モニタ	
電圧検出 2 回路設定	1	LVDLVLRLVD2LVL[3:0] ビットで検出電圧を選択する
	2	LVCMPCLR.LVD2E = 1 (電圧検出 2 回路有効)にする
	3	td(E-A) : LVD 動作安定時間(LVD 有効切り替え時) 以上待つ (注1)
デジタルフィルタ設定 (注2)	4	LVD2CR0.LVD2FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周)
出力許可設定	7	LVD2CR0.LVD2CMPE = 1 (電圧監視 2 回路比較結果出力許可)にする

注1. 手順3の待ち時間中に手順4～6を行うことができます。td(E-A)の詳細は、「45. 電気的特性」を参照してください。

注2. デジタルフィルタを使用しない場合、手順4～6は不要です。

8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1.LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図 8.4 に電圧監視0リセット動作例を示します。

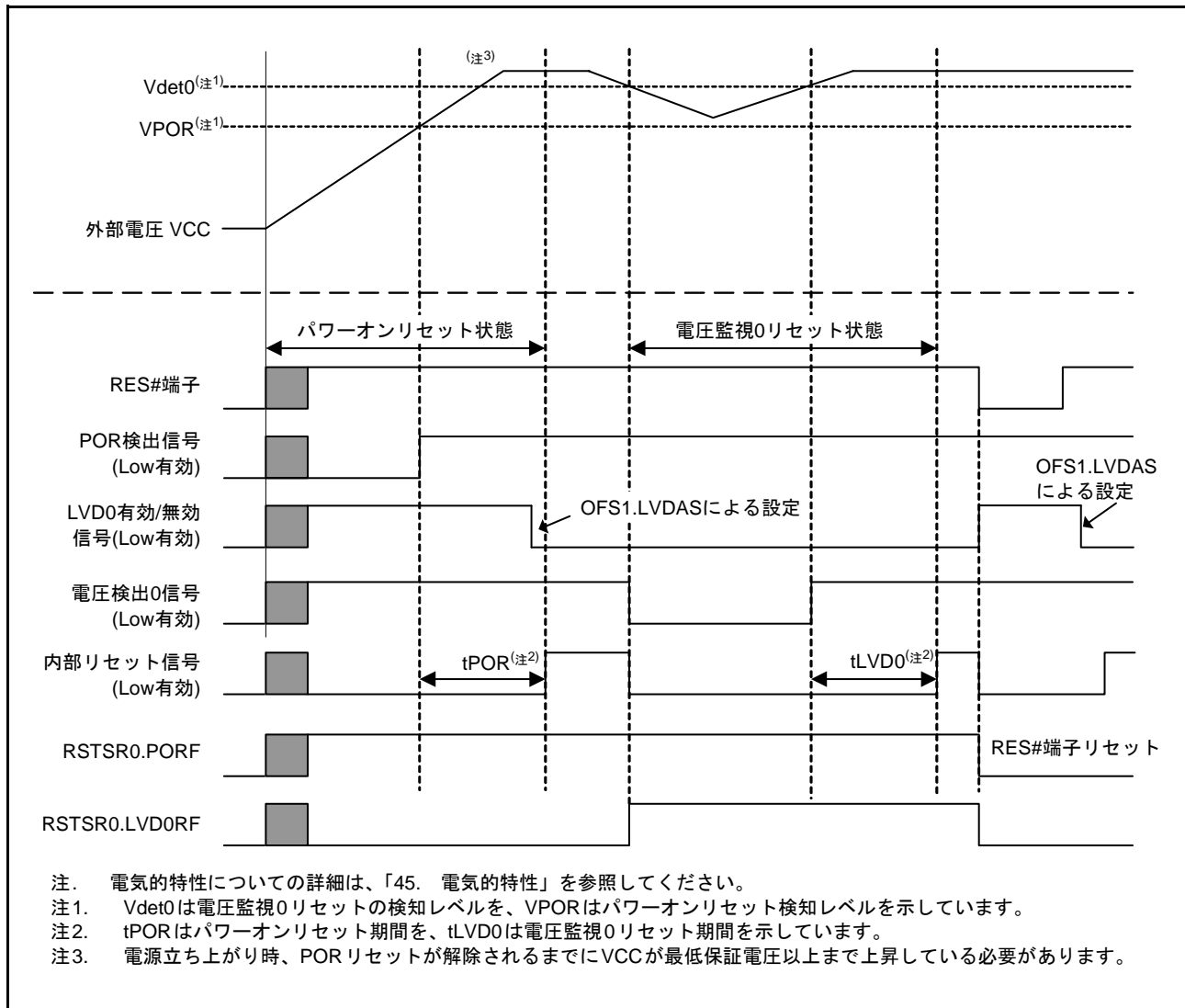


図 8.4 電圧監視0リセット動作例

8.5 電圧監視1割り込み、電圧監視1リセット

電圧検出1回路での検出結果により、割り込みやリセットを発生させることができます。

表 8.4 に電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順を、表 8.5 に電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順を、図 8.5 に電圧監視1割り込み動作例を示します。電圧監視1リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に電圧検出1回路を使用する場合は電圧検出1回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効(LVD1DFDIS = 1)に設定してください。
- 電圧監視1リセットをVCC > Vdet1検出から一定時間経過後にネゲートする設定(LVD1RN = 0)にしてください。

(2) ディープソフトウェアスタンバイモード使用時の設定

- デジタルフィルタを無効(LVD1DFDIS = 1)に設定してください。
- 電圧監視1割り込み(LVD1RI = 0)に設定してください。

電圧監視1リセットに設定(LVD1RI = 1)されている場合はディープソフトウェアスタンバイモードへは遷移せず、ソフトウェアスタンバイモードに遷移します。

表 8.4 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順

手順	電圧監視1割り込み (電圧監視1ELCイベント出力)	電圧監視1リセット
電圧検出1回路設定	1	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を選択する
	2	LVCMPCR.LVD1E = 1 (電圧検出1回路有効)にする
	3	td(E-A) : LVD動作安定時間(LVD有効切り替え時)以上待つ(注1)
デジタルフィルタ設定 (注2)	4	LVD1CR0.LVD1FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCOのn分周)
電圧監視1割り込み/ リセット設定	7	LVD1CR0.LVD1RI = 0 (電圧監視1割り込み)にする <ul style="list-style-type: none"> LVD1CR0.LVD1RI = 1 (電圧監視1リセット)にする LVD1CR0.LVD1RNビットでリセットネゲートの種類を選択する
	8	<ul style="list-style-type: none"> LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する LVD1CR1.LVD1IRQSELビットで割り込みの種類を選択する
出力許可設定	9	LVD1SR.LVD1DET = 0にする
	10	LVD1CR0.LVD1RIE = 1 (電圧監視1割り込み/リセット許可)にする(注3)
	11	LVD1CR0.LVD1CMPE = 1 (電圧監視1回路比較結果出力許可)にする

注1. 手順3の待ち時間中に手順4～10を行うことができます。td(E-A)の詳細は、「45. 電気的特性」を参照してください。

注2. デジタルフィルタを使用しない場合、手順4～6は不要です。

注3. ELCイベント出力のみを出力させる場合、手順10は不要です。

表 8.5 電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順

手順	電圧監視1割り込み(電圧監視1ELCイベント出力)/電圧監視1リセット	
出力許可停止設定	1	LVD1CR0.LVD1CMPE = 0 (電圧監視1回路比較結果出力禁止)にする
	2	LOCOの2n + 3サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCOのn分周)(注1)
	3	LVD1CR0.LVD1RIE = 0 (電圧監視1割り込み/リセット禁止)にする(注2)
デジタルフィルタ停止設定	4	LVD1CR0.LVD1DFDIS = 1 (デジタルフィルタ無効)にする(注1、注3)
電圧検出1回路停止設定	5	LVCMPCR.LVD1E = 0 (電圧検出1回路無効)にする

注1. デジタルフィルタを使用していない場合、手順2と手順4は不要です。

注2. ELCイベント出力のみを出力させる場合、手順3は不要です。

注3. デジタルフィルタを有効状態から無効にし、その後再度有効にする場合、無効にしてからLOCOの2サイクル以上待ってから有効にしてください。

電圧監視1割り込み、電圧監視1リセットを使用した後、一旦停止し、再度設定する場合は、条件によって停止手順と再設定時の設定手順を次のように省略することができます。

- 電圧検出1回路の設定を変更しない場合は電圧検出1回路設定と電圧検出1回路停止設定は不要です。
- デジタルフィルタの設定を変更しない場合はデジタルフィルタ設定とデジタルフィルタ停止設定は不要です。
- 電圧監視1割り込み、電圧監視1リセットの設定を変更しない場合は電圧監視1割り込み/リセット設定は不要です。

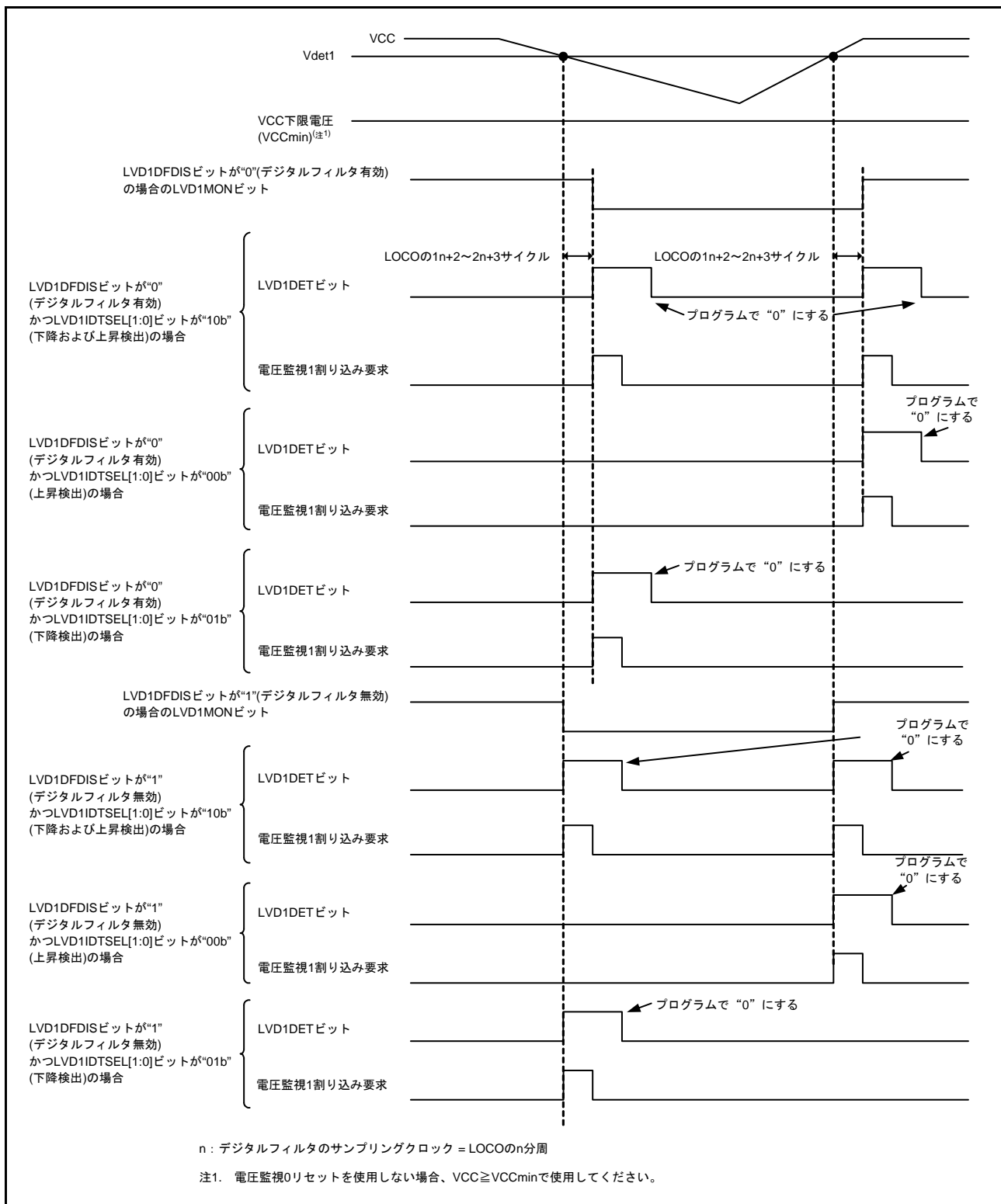


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視2割り込み、電圧監視2リセット

電圧検出2回路での検出結果により、割り込みやリセットを発生させることができます。

表 8.6 に電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順を、表 8.7 に電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順を、図 8.6 に電圧監視2割り込み動作例を示します。電圧監視2リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に電圧検出2回路を使用する場合は電圧検出2回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効(LVD2DFDIS = 1)に設定してください。
- 電圧監視2リセットをVCC > Vdet2検出から一定時間経過後にネゲートする設定(LVD2RN = 0)にしてください。

(2) ディープソフトウェアスタンバイモード使用時の設定

- デジタルフィルタを無効(LVD2DFDIS = 1)に設定してください。
- 電圧監視2割り込み(LVD2RI = 0)に設定してください。

電圧監視2リセットに設定(LVD2RI = 1)されている場合はディープソフトウェアスタンバイモードへは遷移せず、ソフトウェアスタンバイモードに遷移します。

表 8.6 電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順

手順	電圧監視2割り込み (電圧監視2ELCイベント出力)	電圧監視2リセット
電圧検出2回路設定	1	LVDLVL.R.LVD2LVL[3:0]ビットで検出電圧を選択する
	2	LVCMP.R.LVD2E = 1 (電圧検出2回路有効)にする
	3	td(E-A) : LVD動作安定時間(LVD有効切り替え時)以上待つ(注1)
デジタルフィルタ設定 (注2)	4	LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	5	LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする
	6	LOCOの2n+3サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCOのn分周)
電圧監視2割り込み/ リセット設定	7	LVD2CR0.LVD2RI = 0 (電圧監視2割り込み)にする <ul style="list-style-type: none"> LVD2CR0.LVD2RI = 1 (電圧監視2リセット)にする LVD2CR0.LVD2RNビットでリセットネゲートの種類を選択する
	8	<ul style="list-style-type: none"> LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する LVD2CR1.LVD2IRQSELビットで割り込みの種類を選択する
出力許可設定	9	LVD2SR.LVD2DET = 0にする
	10	LVD2CR0.LVD2RIE = 1 (電圧監視2割り込み/リセット許可)にする(注3)
	11	LVD2CR0.LVD2CMPE = 1 (電圧監視2回路比較結果出力許可)にする

注1. 手順3の待ち時間中に手順4～10を行うことができます。td(E-A)の詳細は、「45. 電気的特性」を参照してください。

注2. デジタルフィルタを使用しない場合、手順4～6は不要です。

注3. ELCイベント出力のみを出力させる場合、手順10は不要です。

表 8.7 電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順

手順	電圧監視2割り込み(電圧監視2ELCイベント出力)/電圧監視2リセット	
出力許可停止設定	1	LVD2CR0.LVD2CMPE = 0 (電圧監視2回路比較結果出力禁止)にする
	2	LOCOの2n + 3サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCOのn分周)(注1)
	3	LVD2CR0.LVD2RIE = 0 (電圧監視2割り込み/リセット禁止)にする(注2)
デジタルフィルタ停止設定	4	LVD2CR0.LVD2DFDIS = 1 (デジタルフィルタ無効)にする(注1、注3)
電圧検出2回路停止設定	5	LVCMPCR.LVD2E = 0 (電圧検出2回路無効)にする

注1. デジタルフィルタを使用していない場合、手順2と手順4は不要です。

注2. ELCイベント出力のみを出力させる場合、手順3は不要です。

注3. デジタルフィルタを有効状態から無効にし、その後再度有効にする場合、無効にしてからLOCOの2サイクル以上待ってから有効にしてください。

電圧監視2割り込み、電圧監視2リセットを使用した後、一旦停止し、再度設定する場合は、条件によって停止手順と再設定時の設定手順を次のように省略することができます。

- 電圧検出2回路の設定を変更しない場合は電圧検出2回路設定と電圧検出2回路停止設定は不要です。
- デジタルフィルタの設定を変更しない場合はデジタルフィルタ設定とデジタルフィルタ停止設定は不要です。
- 電圧監視2割り込み、電圧監視2リセットの設定を変更しない場合は電圧監視2割り込み/リセット設定は不要です。

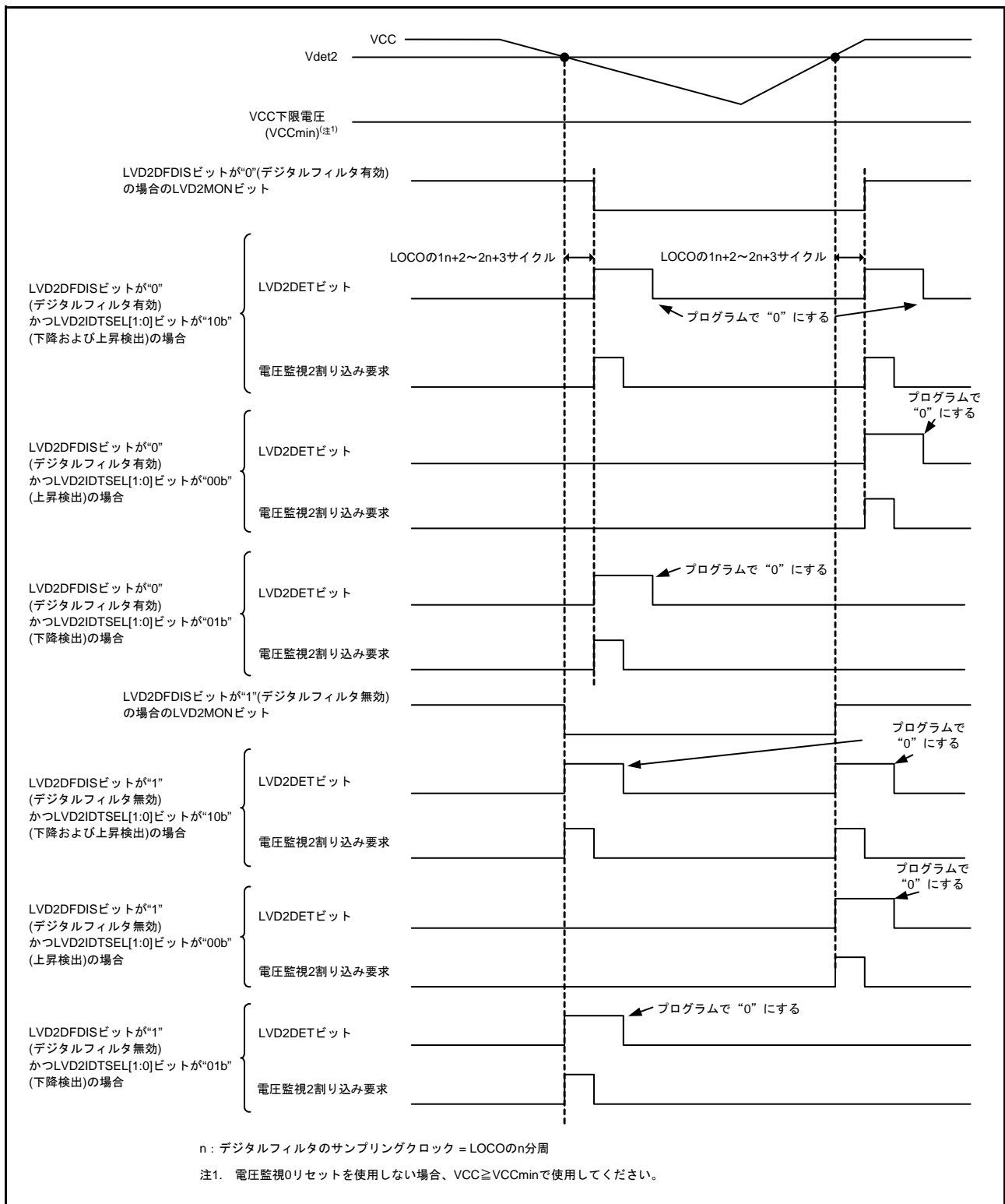


図 8.6 電圧監視 2 割り込み動作例

8.7 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベントリンク出力を行うことができます。

(1) Vdet1 通過検出イベントリンク出力

電圧検出 1 回路有効かつ電圧検出 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

(2) Vdet2 通過検出イベントリンク出力

電圧検出 2 回路有効かつ電圧検出 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビット (LVD1RIE, LVD2RIE) があります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイ中、ディープソフトウェアスタンバイ中の ELC 用のイベント信号出力は、以下のとおりです。

- ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。
- ディープソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合は、ELC 用のイベント信号は出力されません。

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、TFU、DMAC、DTC、コードフラッシュメモリおよびRAMに供給されるシステムクロック (ICLK) の生成 • RSPI、SCIm、RSCI、MTU、CANFDに供給される周辺モジュールクロック (PCLKA) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • S12ADに供給される周辺モジュール(アナログ変換用)クロック (PCLKD) の生成 • FlashIFに供給されるFlashIFクロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • CACに供給されるCACクロック (CACCLK) の生成 • CANFDに供給されるCANFDクロック (CANFDCLK) の生成 • CANFDに供給されるCANFDメインクロック (CANFDMCLK) の生成 • RTCに供給されるRTCサブクロック (RTCSCCLK) の生成 • REMCに供給されるREMCサブクロック (REMSCLK) の生成 • IWDTに供給されるIWDT専用クロック (IWDTCCLK) の生成
動作周波数 (注1)	<ul style="list-style-type: none"> • ICLK : 120MHz (max) • PCLKA : 120MHz (max) • PCLKB : 60MHz (max) • PCLKD : 8MHz~60MHz (12ビットA/Dコンバータ変換時) • FCLK : 4MHz~60MHz (コードフラッシュメモリ、データフラッシュメモリP/E時) 60MHz (max) (データフラッシュメモリ読み出し時) • BCLK : 60MHz (max) • BCLK 端子出力 : 40MHz (max) • CACCLK : 各発振器のクロックと同じ • CANFDCLK : 60MHz (max) • CANFDMCLK : 24MHz (max) • RTCSCCLK : 32.768kHz • REMSCLK : 32.768kHz • IWDTCCLK : 120kHz
メインクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 8MHz~24MHz • 外部クロック入力周波数 : 24MHz (max) • 接続できる発振器または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL、XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTUの端子をハイインピーダンスにする機能
サブクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 32.768kHz • 接続できる発振器または付加回路 : 水晶振動子 • 接続端子 : XCIN、XCOUT
PLL周波数シンセサイザ	<ul style="list-style-type: none"> • 入力クロックソース : メインクロック、HOCO (注2) • 入力分周比 : 1、2、3分周から選択可能 • 入力周波数 : 8MHz~24MHz • 逡倍比 : 10~30逡倍から選択可能 • PLL周波数シンセサイザ出力クロック周波数 : 120MHz~240MHz
高速オンチップオシレータ (HOCO)	<ul style="list-style-type: none"> • 発振周波数 : 16MHz、18MHz、20MHzから選択可能 • HOCO電源制御 • FLL機能(サブクロック発振器のない製品では使用できません。)
低速オンチップオシレータ (LOCO)	発振周波数 : 240kHz
IWDT専用オンチップオシレータ	発振周波数 : 120kHz
BCLK端子の出力制御機能	<ul style="list-style-type: none"> • BCLKクロック出力またはHigh出力の選択が可能 • 出力するクロックはBCLKまたはBCLKの2分周の選択が可能
イベントリンク機能(出力)	メインクロック発振器の発振停止検出
イベントリンク機能(入力)	低速オンチップオシレータへのクロックソース切り替え

注1. クロック周波数設定制限 : ICLK ≥ BCLK、PCLKA ≥ PCLKB

クロック周波数比制限：(Nは整数)

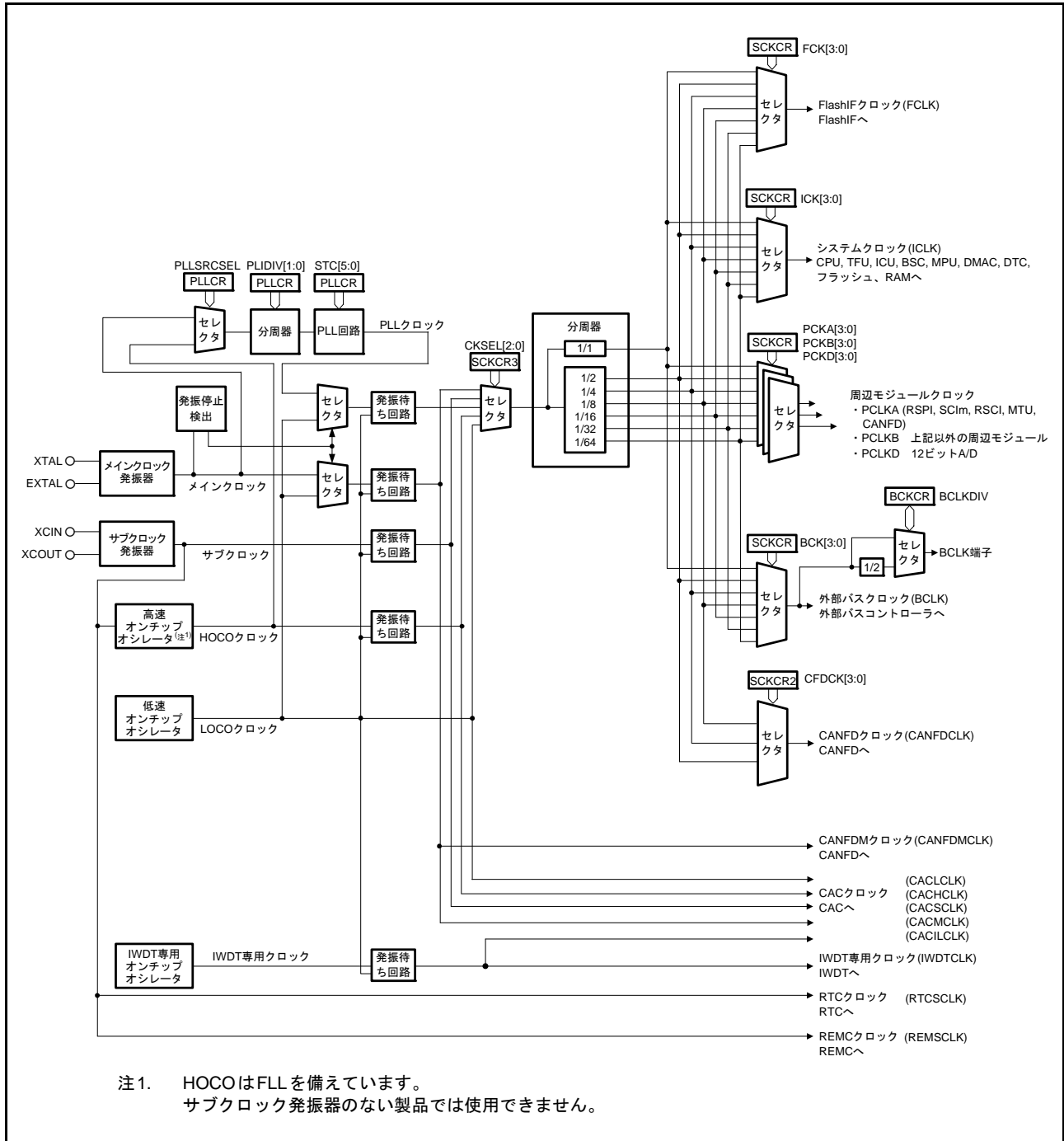
ICLK : FCLK = N : 1 or 1 : N、ICLK : PCLKA = N : 1 or 1 : N、ICLK : PCLKB = N : 1 or 1 : N、

ICLK : PCLKD = N : 1 or 1 : N、

PCLKB : PCLKD = 1 : 1 or 2 : 1 or 4 : 1 or 1 : 2

CANFD使用時のクロック周波数設定制限：PCLKA : PCLKB = 2 : 1、PCLKB ≥ CANFDCLK、PCLKB ≥ CANFDMCLK

注2. PLLの入カクックソースにHOCOを使用する場合は、HOCOクック発振周波数(min/max.)で120MHz~240MHzとなるPLLの通倍を選択してください。



注1. HOCOはFLLを備えています。
サブクック発振器のない製品では使用できません。

図 9.1 クック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。EXTAL端子は外部クロックの入力も可能。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
BCLK	出力	外部デバイスに外部バスクロック (BCLK) を供給します
XCIN	入力	32.768kHzの水晶振動子を接続
XCOU	出力	

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
FCK[3:0]				ICK[3:0]				PSTOP ₁	—	—	—	BCK[3:0]			
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PCKA[3:0]				PCKB[3:0]				PCKC[3:0]				PCKD[3:0]			
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロック D (PCLKD) 選択ビット	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	PCKC[3:0]	周辺モジュールクロック C (PCLKC) 選択ビット	本MCUにはPCLKCはありません。 "0001b"を設定してください。	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロック B (PCLKB) 選択ビット	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0]	周辺モジュールクロック A (PCLKA) 選択ビット	b15 b12 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b19-b16	BCK[3:0]	外部バスクロック (BCLK) 選択ビット (注1)	b19 b16 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b22-b20	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b23	PSTOP1	BCLK端子出力制御ビット (注2)	0 : BCLK端子出力動作 1 : BCLK端子出力停止 (High固定)	R/W

ビット	シンボル	ビット名	機能	R/W
b27-b24	ICK[3:0]	システムクロック (ICLK) 選択ビット (注1)	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック (FCLK) 選択ビット	b31 b28 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

注1. ICLKは外部バスクロックより低い周波数を設定しないでください。

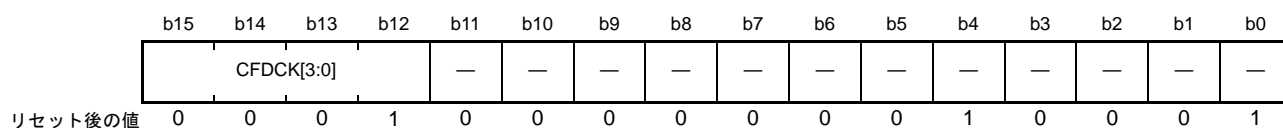
注2. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

以下に該当する場合、SCKCR レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が“1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

9.2.2 システムクロックコントロールレジスタ 2 (SCKCR2)

アドレス 0008 0024h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	CFDCK[3:0]	CANFDクロック (CANFDCLK)選択ビット	b15 b12 0001: 2分周 0010: 4分周 0011: 8分周 上記以外は設定しないでください	R/W

以下に該当する場合、SCKCR2 レジスタの書き換えは禁止です。

- フラッシュ P/E モードエン트리レジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

9.2.3 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 000: LOCO選択 001: HOCO選択 010: メインクロック発振器選択 011: サブクロック発振器選択 100: PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、SCKCR3 レジスタの書き換えは禁止です。

- フラッシュ P/E モードエン트리レジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK)、CANFD クロック (CANFDCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、サブクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.4 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	STC[5:0]					—	—	—	—	PLLSRCSEL	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	1	1	1	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W																																																																																										
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 3分周 1 1 : 設定しないでください	R/W																																																																																										
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																																																										
b4	PLLSRCSEL	PLLクロックソース選択ビット	0 : メインクロック発振器 1 : HOCO	R/W																																																																																										
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																																																										
b13-b8	STC[5:0]	周波数通倍率設定ビット	<table border="1"> <thead> <tr> <th>b13</th><th>b8</th><th>b13</th><th>b8</th><th>b13</th><th>b8</th></tr> </thead> <tbody> <tr><td>0 1 0 0 1 1</td><td>: x10.0</td><td>1 0 0 0 0 1</td><td>: x17.0</td><td>1 0 1 1 1 1</td><td>: x24.0</td></tr> <tr><td>0 1 0 1 0 0</td><td>: x10.5</td><td>1 0 0 0 1 0</td><td>: x17.5</td><td>1 1 0 0 0 0</td><td>: x24.5</td></tr> <tr><td>0 1 0 1 0 1</td><td>: x11.0</td><td>1 0 0 0 1 1</td><td>: x18.0</td><td>1 1 0 0 0 1</td><td>: x25.0</td></tr> <tr><td>0 1 0 1 1 0</td><td>: x11.5</td><td>1 0 0 1 0 0</td><td>: x18.5</td><td>1 1 0 0 1 0</td><td>: x25.5</td></tr> <tr><td>0 1 0 1 1 1</td><td>: x12.0</td><td>1 0 0 1 0 1</td><td>: x19.0</td><td>1 1 0 0 1 1</td><td>: x26.0</td></tr> <tr><td>0 1 1 0 0 0</td><td>: x12.5</td><td>1 0 0 1 1 0</td><td>: x19.5</td><td>1 1 0 1 0 0</td><td>: x26.5</td></tr> <tr><td>0 1 1 0 0 1</td><td>: x13.0</td><td>1 0 0 1 1 1</td><td>: x20.0</td><td>1 1 0 1 0 1</td><td>: x27.0</td></tr> <tr><td>0 1 1 0 1 0</td><td>: x13.5</td><td>1 0 1 0 0 0</td><td>: x20.5</td><td>1 1 0 1 1 0</td><td>: x27.5</td></tr> <tr><td>0 1 1 0 1 1</td><td>: x14.0</td><td>1 0 1 0 0 1</td><td>: x21.0</td><td>1 1 0 1 1 1</td><td>: x28.0</td></tr> <tr><td>0 1 1 1 0 0</td><td>: x14.5</td><td>1 0 1 0 1 0</td><td>: x21.5</td><td>1 1 1 0 0 0</td><td>: x28.5</td></tr> <tr><td>0 1 1 1 0 1</td><td>: x15.0</td><td>1 0 1 0 1 1</td><td>: x22.0</td><td>1 1 1 0 0 1</td><td>: x29.0</td></tr> <tr><td>0 1 1 1 1 0</td><td>: x15.5</td><td>1 0 1 1 0 0</td><td>: x22.5</td><td>1 1 1 0 1 0</td><td>: x29.5</td></tr> <tr><td>0 1 1 1 1 1</td><td>: x16.0</td><td>1 0 1 1 0 1</td><td>: x23.0</td><td>1 1 1 0 1 1</td><td>: x30.0</td></tr> <tr><td>1 0 0 0 0 0</td><td>: x16.5</td><td>1 0 1 1 1 0</td><td>: x23.5</td><td></td><td></td></tr> </tbody> </table> 上記以外は設定しないでください	b13	b8	b13	b8	b13	b8	0 1 0 0 1 1	: x10.0	1 0 0 0 0 1	: x17.0	1 0 1 1 1 1	: x24.0	0 1 0 1 0 0	: x10.5	1 0 0 0 1 0	: x17.5	1 1 0 0 0 0	: x24.5	0 1 0 1 0 1	: x11.0	1 0 0 0 1 1	: x18.0	1 1 0 0 0 1	: x25.0	0 1 0 1 1 0	: x11.5	1 0 0 1 0 0	: x18.5	1 1 0 0 1 0	: x25.5	0 1 0 1 1 1	: x12.0	1 0 0 1 0 1	: x19.0	1 1 0 0 1 1	: x26.0	0 1 1 0 0 0	: x12.5	1 0 0 1 1 0	: x19.5	1 1 0 1 0 0	: x26.5	0 1 1 0 0 1	: x13.0	1 0 0 1 1 1	: x20.0	1 1 0 1 0 1	: x27.0	0 1 1 0 1 0	: x13.5	1 0 1 0 0 0	: x20.5	1 1 0 1 1 0	: x27.5	0 1 1 0 1 1	: x14.0	1 0 1 0 0 1	: x21.0	1 1 0 1 1 1	: x28.0	0 1 1 1 0 0	: x14.5	1 0 1 0 1 0	: x21.5	1 1 1 0 0 0	: x28.5	0 1 1 1 0 1	: x15.0	1 0 1 0 1 1	: x22.0	1 1 1 0 0 1	: x29.0	0 1 1 1 1 0	: x15.5	1 0 1 1 0 0	: x22.5	1 1 1 0 1 0	: x29.5	0 1 1 1 1 1	: x16.0	1 0 1 1 0 1	: x23.0	1 1 1 0 1 1	: x30.0	1 0 0 0 0 0	: x16.5	1 0 1 1 1 0	: x23.5			R/W
b13	b8	b13	b8	b13	b8																																																																																									
0 1 0 0 1 1	: x10.0	1 0 0 0 0 1	: x17.0	1 0 1 1 1 1	: x24.0																																																																																									
0 1 0 1 0 0	: x10.5	1 0 0 0 1 0	: x17.5	1 1 0 0 0 0	: x24.5																																																																																									
0 1 0 1 0 1	: x11.0	1 0 0 0 1 1	: x18.0	1 1 0 0 0 1	: x25.0																																																																																									
0 1 0 1 1 0	: x11.5	1 0 0 1 0 0	: x18.5	1 1 0 0 1 0	: x25.5																																																																																									
0 1 0 1 1 1	: x12.0	1 0 0 1 0 1	: x19.0	1 1 0 0 1 1	: x26.0																																																																																									
0 1 1 0 0 0	: x12.5	1 0 0 1 1 0	: x19.5	1 1 0 1 0 0	: x26.5																																																																																									
0 1 1 0 0 1	: x13.0	1 0 0 1 1 1	: x20.0	1 1 0 1 0 1	: x27.0																																																																																									
0 1 1 0 1 0	: x13.5	1 0 1 0 0 0	: x20.5	1 1 0 1 1 0	: x27.5																																																																																									
0 1 1 0 1 1	: x14.0	1 0 1 0 0 1	: x21.0	1 1 0 1 1 1	: x28.0																																																																																									
0 1 1 1 0 0	: x14.5	1 0 1 0 1 0	: x21.5	1 1 1 0 0 0	: x28.5																																																																																									
0 1 1 1 0 1	: x15.0	1 0 1 0 1 1	: x22.0	1 1 1 0 0 1	: x29.0																																																																																									
0 1 1 1 1 0	: x15.5	1 0 1 1 0 0	: x22.5	1 1 1 0 1 0	: x29.5																																																																																									
0 1 1 1 1 1	: x16.0	1 0 1 1 0 1	: x23.0	1 1 1 0 1 1	: x30.0																																																																																									
1 0 0 0 0 0	: x16.5	1 0 1 1 1 0	: x23.5																																																																																											
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																																																										

PLL2.PLLEN ビットが“0” (PLL 動作) のとき、PLL2 レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数 (8 ~ 24MHz) の範囲に入るように設定してください。

PLLSRCSEL ビット (PLL クロックソース選択ビット)

PLL のクロックソースを選択します。

STC[5:0] ビット (周波数通倍率設定ビット)

PLL の周波数通倍率を設定します。

STC[5:0] ビットは、PLL 回路出力クロック周波数 (120 ~ 240MHz) の範囲に入るように設定してください。

9.2.5 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL 停止制御ビット	0 : PLL 動作 1 : PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLL クロックソースは、メインクロック発振器と HOCO の 2 種類が選択可能です。

PLLCR.PLLSRCSEL ビットで PLL クロックソースにメインクロック発振器を選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLLEN ビットにて PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグに“1”がセットされていることを確認したうえで、PLL クロックの使用を開始してください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、PLLEN ビットでの動作の開始および停止に関して以下の制限がありますので注意してください。以下に PLL クロックソースにメインクロック発振器を選択した場合の注意点を示します。

- PLLEN ビットの動作設定は、OSCOVFSR.PLOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に PLOVF フラグが“0”にクリアされるまでの間) は、発振停止時の動作設定と比べて PLLCR2 レジスタの書き込みに時間がかかります。
- PLLEN ビットでの停止設定は、OSCOVFSR.PLOVF フラグの設定によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.PLOVF フラグが“1”にセットされるまでの間) は、発振安定時の停止設定と比べて、PLLCR2 レジスタの書き込みに時間がかかります。
- PLL クロックをシステムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.PLOVF フラグが“1”にセットされていることを確認した上で、WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.PLOVF フラグが“0”にクリアされていることを確認した上で、WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL を選択しているときは、PLLEN ビットを“1” (PLL 停止) にする書き込みは禁止です。

9.2.6 外部バスクロックコントロールレジスタ (BCKCR)

アドレス 0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKD IV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	BCLK端子出力選択ビット	0 : BCLK 1 : BCLKの2分周	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

以下に該当する場合、BCKCR レジスタの書き換えは禁止です。

- フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) またはデータフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYD) が “1” (P/E モード) のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間

BCLKDIV ビット (BCLK 端子出力選択ビット)

BCLK 端子から出力するクロックを選択します。

SCKCR.BCK[3:0] ビットで選択した周波数の BCLK または BCLK の 2 分周を選択できます。BCLK 端子の立ち下がりタイミングで外部バスコントロール信号を制御したい場合、本ビットを “1” に設定してください。

9.2.7 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0 : メインクロック発振器動作 1 : メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

メインクロック発振器の動作 / 停止は、MOSTP ビットで制御されます。MOSTP ビットを発振器動作に設定することで、メインクロック発振器を動作させることができます。

メインクロックを動作させる場合、メイン発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。この場合、MOSCCR.MOSTP ビットでメインクロックを動作設定に変更した後は、OSCOVFSR.MOOVF フラグに“1”がセットされていることを確認したうえで、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- MOSTP ビットでの動作設定は、OSCOVFSR.MOOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に OSCOVFSR.MOOVF フラグが“0”にクリアされるまでの間) は、発振停止時の動作設定と比べて MOSCCR レジスタの書き込みに時間がかかります。
- MOSTP ビットでの停止設定は、OSCOVFSR.MOOVF フラグの設定値によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.MOOVF フラグが“1”にセットされるまでの間) は、発振安定時の停止設定と比べて MOSCCR レジスタの書き込みに時間がかかります。
- システムクロックとして選択しているかどうかに関わらず、MOSTP ビットでメインクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.MOOVF フラグが“1”にセットされていることを確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.MOOVF フラグが“0”にクリアされていることを確認してから WAIT 命令を実行してください。

以下のいずれかに該当する場合は、MOSTP ビットを“1”(メインクロック発振器停止)にする書き込みは禁止です。

- システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0] ビット) でメインクロックを選択しているとき
- PLLコントロールレジスタ2のPLL停止制御ビット (PLLCR2.PLEN ビット) で“0”(PLL動作)を選択し、かつPLLコントロールレジスタのPLLクロックソース選択ビット (PLLCR.PLLSRCSEL ビット) でメインクロックを選択しているとき

9.2.8 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス 0008 0033h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止ビット	0: サブクロック発振器動作 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SOSTP ビット (サブクロック発振器停止ビット)

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、SOSTP ビットおよびサブクロック発振器強制発振ビット (SOFCR.SOFE) で制御され、いずれかのビットが動作に設定されているとサブクロック発振器は動作状態となります。

SOSTP ビットまたは SOFCR.SOFE ビットの書き換えを行う場合は、書き込み後、読み出して書き替わったことを確認してから、後続の命令を実行するようにしてください(「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください)。

サブクロックをリアルタイムクロックのカウントソースまたはリモコン信号受信機能 (REMC) の動作クロックとして使用する場合は、SOFCR.SOFE ビット、および SOSTP ビットの両方を設定してください。サブクロックをリアルタイムクロックのカウントソースおよび REMC の動作クロックとして使用せず、システムクロックで使用する場合には、SOSCCR.SOSTP ビットで設定を行ってください。

SOSTP ビットに動作設定を行う場合、事前にサブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR) を設定しておく必要があります。また、動作設定後は、OSCOVFSR.SOOVF フラグに“1”がセットされていることを確認したうえで、サブクロックの使用を開始してください。

SOSTP ビットでの動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も発振停止の処理が完了するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- SOSTP ビットでの動作設定は、OSCOVFSR.SOOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に OSCOVFSR.SOOVF フラグが“0”にクリアされるまでの間) は、発振停止時の動作設定と比べて SOSCCR レジスタの書き込みに時間がかかります。
- SOSTP ビットでの停止設定は、OSCOVFSR.SOOVF フラグの設定値によらず可能です。ただし、発振安定待ち時間 (動作設定後に OSCOVFSR.SOOVF フラグが“1”にセットされるまでの間) は、発振安定時の停止設定と比べて SOSCCR レジスタの書き込みに時間がかかります。
- システムクロックとして選択しているかどうかに関わらず、SOSTP ビットでサブクロック発振器を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.SOOVF フラグが“1”にセットされていることを確認してから WAIT 命令を実行してください。
- サブクロック発振器を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.SOOVF フラグが“0”にクリアされていることを確認してから WAIT 命令を実行してください。

- SOFCR.SOFEビットを“1” (強制発振)に設定、およびSOSCCR.SOSTPビットを“0” (サブクロック発振器動作)に設定し、サブクロック発振器を動作させているときにパワーオンリセット以外のリセットが発生した場合、サブクロック発振器は動作を継続しますが、SOSTPビットは初期化され“1” (サブクロック発振器停止)となります。リセット解除後にSOSTPビットを“0”に設定してください。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でサブクロック発振器を選択しているとき、SOSTPビットを“1” (サブクロック発振器停止)にする書き込みは禁止です。

9.2.9 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定待機時間 (tLOCOWT) が経過した後、使用開始してください。

LCSTP ビットでの動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) で発振停止検出機能を有効にしているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

LOCO クロックは他発振器の待機時間の計測に使用されるため、LCSTP ビットの設定値に関わらず、他の発振器の待機時間計測中に LOCO クロックが発振します。そのため、LCSTP ビットを停止設定にしても、意図せず LOCO クロックが供給されることがあります。

9.2.10 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0 : IWDT専用オンチップオシレータ動作 1 : IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” (IWDT 動作) のとき、ILOCOCR レジスタの設定は無効です。OFS0.IWDTSTRT ビットが “1” (IWDT 停止) のとき、ILOCOCR レジスタの設定は有効です。ILOCOCR レジスタが有効、かつ ILCSTP ビットが “0” (IWDT オンチップオシレータ動作) の後、“1” (IWDT 専用オンチップオシレータ停止) に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT 専用オンチップオシレータの動作 / 停止を制御します。

ILCSTP ビットで、IWDT 専用オンチップオシレータを停止設定から動作設定に変更した場合、OSCOVFSR.ILCOVF フラグに “1” がセットされていることを確認したうえで、使用開始してください。

IWDT 専用のオンチップオシレータを動作にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.ILCOVF フラグが “1” にセットされていることを確認してから WAIT 命令を実行してください。

9.2.11 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. OFS1.HOCOENビットが“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグに“1”がセットされていることを確認したうえで、使用開始してください。

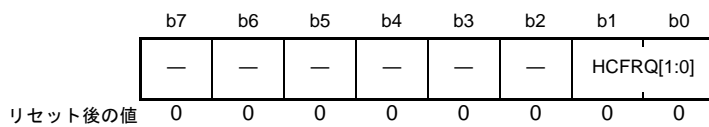
HCSTP ビットで動作設定後、発振安定待ちの処理が完了するまでに一定の時間を要します。また、停止設定後も、発振停止の処理が完了するまでに一定の時間を要します。そのため、HCSTP ビットでの動作の開始および停止に関して以下の制限がありますので注意してください。

- HCSTP ビットでの動作設定は、OSCOVFSR.HCOVF フラグの設定値によらず可能です。ただし、発振停止処理が完了するまでの間 (停止設定後に、OSCOVFSR.HCOVF フラグが“0”にクリアされるまでの間) は、発振停止時の動作設定と比べて HOCOOCR レジスタの書き込みに時間がかかります。
- HCSTP ビットでの停止設定は、OSCOVFSR.HCOVF フラグの設定値によらず可能です。ただし、発振安定待ちの間 (動作設定後に OSCOVFSR.HCOVF フラグが“1”にセットされるまでの間) は、発振安定時の停止設定と比べて HOCOOCR レジスタの書き込みに時間がかかります。
- システムクロックとして選択しているかどうかに関わらず、HCSTP ビットで HOCO を動作設定にしてソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.HCOVF フラグが“1”にセットされていることを確認してから、WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードに移行する場合は、OSCOVFSR.HCOVF フラグが“0”にクリアされていることを確認してから、WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で HOCO を選択しているとき、あるいは PLLCR.PLLSRCSEL ビットで PLL のクロックソースを HOCO 選択でかつ、SCKCR3.CKSEL[2:0] ビットで PLL を選択しているとき、HCSTP ビットを“1” (HOCO 停止) にする書き込みは禁止です。

9.2.12 高速オンチップオシレータコントロールレジスタ 2 (HOCOOCR2)

アドレス 0008 0037h



ビット	シンボル	ビット名	機能	R/W
b1-b0	HCFRQ[1:0]	HOCO周波数設定ビット	b1 b0 0 0 : 16MHz 0 1 : 18MHz 1 0 : 20MHz 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HOCOOCR.HCSTP ビットが“0” (HOCO 動作) のとき、HOCOOCR2 レジスタへの書き込みは禁止です。

9.2.13 FLL コントロールレジスタ 1 (FLLCR1)

アドレス 0008 0039h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	FLLLEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLLLEN	FLL機能許可ビット	0 : FLL無効(リセット後の値) 1 : FLL有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注. HOCOを停止(HOCOCCR.HCSTP = 1)にしてから、FLLCR1.FLLLENビットを変更する必要があります。
注. FLLが有効(FLLCR1.FLLLEN = 1)であるとき、サブクロック発振器は安定して動作中でなければいけません。

FLLCR1 レジスタは、HOCO の周波数補正機能を制御するレジスタです。

FLLLEN ビット (FLL 機能許可ビット)

HOCO の FLL を有効または無効にします。FLL を有効にすると、HOCO の周波数精度が上がります。

サブクロック発振器のクロックをリファレンスとするため、FLL を有効にする場合はサブクロック発振器が発振安定している必要があります。FLL が有効な場合、OSCOVFSR.HCOVF ビットが“1”になっていても FLL が安定してからでなければ周波数精度は保証されません。

また、ソフトウェアスタンバイモードへ遷移する前に FLL を無効にする必要があります。本ビットを“0”にしてからソフトウェアスタンバイモードへ遷移してください。

図 9.2、図 9.3 に、各状況に応じた FLL の設定フロー例を示します。



図 9.2 FLL 設定フロー (リセット解除後 / ディープソフトウェアスタンバイモード解除後)

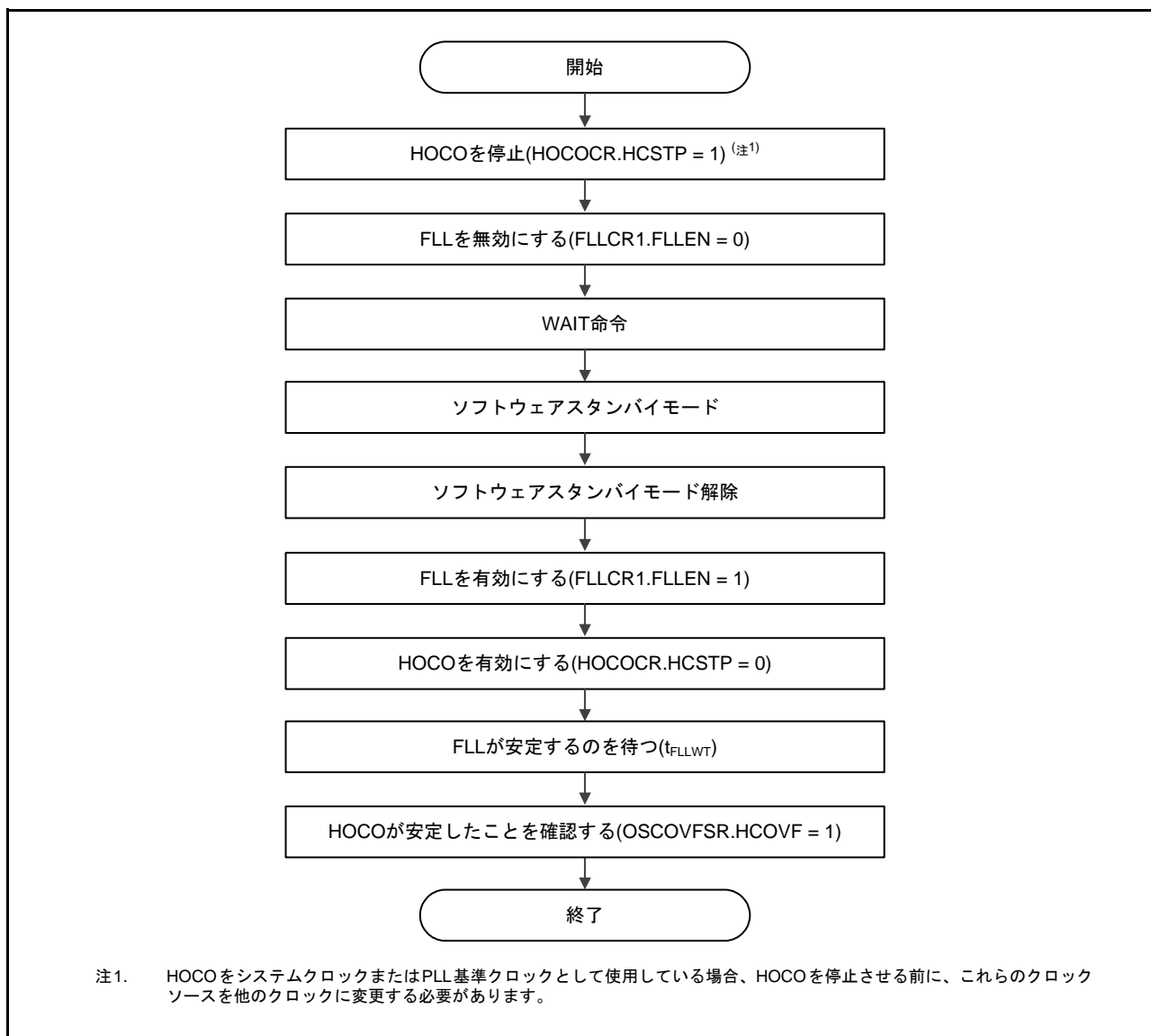
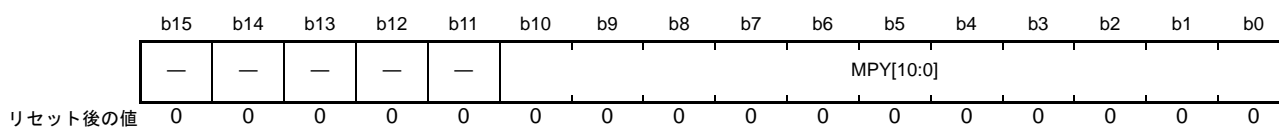


図 9.3 FLL 設定フロー (ソフトウェアスタンバイモード遷移 / 解除)

9.2.14 FLL コントロールレジスタ 2 (FLLCR2)

アドレス 0008 003Ah



ビット	シンボル	ビット名	機能	R/W
b10-b0	MPY[10:0]	周波数通倍率設定ビット	<ul style="list-style-type: none"> • HOCOCR2.HCFRQ[1:0]ビットが“00b” (16MHz)の場合、これらのビットは1E9hにする必要があります。 • HOCOCR2.HCFRQ[1:0]ビットが“01b” (18MHz)の場合、これらのビットは226hにする必要があります。 • HOCOCR2.HCFRQ[1:0]ビットが“10b” (20MHz)の場合、これらのビットは263hにする必要があります。 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FLLCR2 レジスタは、HOCO の FLL を制御するレジスタです。

MPY[10:0] ビット (周波数通倍率設定ビット)

FLL 基準クロックの通倍比を選択します。

FLL を有効 (FLLCR1.FLLEN = 1) にする前に、これらのビットを設定する必要があります。

9.2.15 発振安定フラグレジスタ (OSCOVFSR)

アドレス 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ILCOV F	HCOVF	PLOVF	SOOVF	MOOV F
リセット後の値	0	0	0	0/1 (注1)	0/1 (注2)	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0: MOSTP = 1 (停止)、または発振安定待ち中 (注3) 1: 発振が安定し、システムクロックとして使用可能	R
b1	SOOVF	サブクロック発振安定フラグ	0: SOSTP = 1 (停止)、または発振安定待ち中 (注3) 1: 発振が安定し、システムクロックとして使用可能 (注4)	R
b2	PLOVF	PLLクロック発振安定フラグ	0: PLL停止、または発振安定待ち中 1: 発振が安定し、システムクロックとして使用可能	R
b3	HCOVF (注2)	HOCOクロック発振安定フラグ	0: HOCO停止、または発振安定待ち中 1: 発振が安定し、システムクロックとして使用可能	R
b4	ILCOVF (注1)	IWDT専用クロック発振安定フラグ	0: IWDT専用オンチップオシレータ停止、または発振安定待ち中 1: 発振が安定し、IWDT専用クロックとして使用可能	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. OFS0.IWDTSTRTビットが“0”のとき、ILCOVFフラグのリセット後の値は“1”になります。OFS0.IWDTSTRTビットが“1”のとき、ILCOVFフラグのリセット後の値は“0”になります。
- 注2. OFS1.HOCOENビットが“0”のとき、HCOVFフラグのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFフラグのリセット後の値は“0”になります。
- 注3. メインクロック発振器、およびサブクロック発振器のウェイトコントロールレジスタの設定値が発振安定時間に対し不足している場合は、発振が安定する前に発振安定フラグが“1”にセットされ、内部回路にクロック供給が開始されます。この場合、本MCUの誤動作につながりますので、ウェイトコントロールレジスタの設定値はLOCOクロックの最大周波数を考慮して、確実に発振器の安定待ち時間以上になるように設定してください。
- 注4. SOFCR.SOFEビットによるサブクロック発振器の制御は、SOOVFフラグに反映されません。そのためSOFCR.SOFEビットが“1”の場合にSOSCCR.SOSTPビットを“1”にすると、サブクロック発振器は発振を継続するもののSOOVFフラグは“0”になります。

OSCOVFSR レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すステータスフラグです。

カウンタは、発振開始後、発振器の出力クロックを内部回路に供給するまでの待機時間を計測するものであり、カウンタのオーバフローは、各発振器から内部回路へクロックの供給が開始されたことを意味します。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[“1”になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットに“0”を設定した後、LOCOクロックで MOSCWTCR レジスタの設定値に応じたサイクル数をカウントし、MCU内部へメインクロックの供給を開始したとき

[“0”になる条件]

- メインクロック発振器動作時、MOSCCR.MOSTP ビットに“1”を設定した後、メインクロック発振器の発振停止処理が完了したとき

SOOVF フラグ (サブクロック発振安定フラグ)

サブクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[“1”になる条件]

- サブクロック発振器停止時、SOSCCR.SOSTP ビットに“0”を設定した後、LOCOクロックで SOSCWTCR

レジスタの設定値に応じたサイクル数をカウントし、MCU 内部へサブクロックの供給を開始したとき
[“0”になる条件]

- サブクロック発振器動作時、SOSCCR.SOSTP ビットに“1”を設定した後、サブクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLL クロック発振安定フラグ)

PLL の待機時間を計測するカウンタの動作状態を示します。

[“1”になる条件]

- PLL 停止時、PLLCR2.PLEN ビットに“0”を設定した後、LOCO クロックで 62 サイクルカウントし、MCU 内部へ PLL クロックの供給を開始したとき

ただし、PLEN ビットを“0”に設定したときに、PLLCR.PLLSRCSEL ビットで選択された PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振安定を待ってから LOCO クロックでのカウントを開始します。

[“0”になる条件]

- PLL 動作時、PLLCR2.PLEN ビットに“1”を設定した後、PLL の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

高速オンチップオシレータの待機時間を計測するカウンタの動作状態を示します。

[“1”になる条件]

- 高速オンチップオシレータ停止時、HOCOCCR.HCSTP ビットに“0”を設定した後、LOCO クロックで 25 サイクルカウントし、MCU 内部へ HOCO クロックの供給を開始したとき

[“0”になる条件]

- 高速オンチップオシレータ動作時、HOCOCCR.HCSTP ビットに“1”を設定した後、高速オンチップオシレータの発振停止処理が完了したとき

ILCOVF フラグ (IWDT 専用クロック発振安定フラグ)

IWDT 専用オンチップオシレータの待機時間を計測するカウンタの動作状態を示します。

[“1”になる条件]

- IWDT 専用オンチップオシレータ停止時、ILOCOCR.ILCSTP ビットに“0”を設定した後、LOCO クロックで 34 サイクルカウントし、MCU 内部へ IWDT 専用クロックの供給を開始したとき

9.2.16 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0: 発振停止検出割り込みを禁止、POEへの発振停止検出通知なし 1: 発振停止検出割り込みを許可、POEへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

OSTDCR レジスタは、メインクロック発振器の発振停止検出機能や割り込みを許可するレジスタです。

OSTDIE ビット (発振停止検出割り込み許可ビット)

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット (発振停止検出機能許可ビット)

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1” (発振停止検出機能有効) にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1” (LOCO 停止) を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1” (メインクロック発振停止検出) のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

なお、OSTDE ビットを“1” (発振停止検出機能有効) にセットした後、発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) を確認する場合は、ICLK 3 サイクル以上待ってから OSTDF フラグを確認してください。

9.2.17 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. “0”のみ書けます。

OSTDSR レジスタは、メインクロック発振器の発振停止検出のステータスを示すレジスタです。

OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF=0が読み出し値に反映されるまで ICLK 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“1”から“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器 (“010b”) または PLL (“100b”) を選択している間は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを“0”にしてください。メインクロック発振器の発振源に発振子を選択している場合、OSTDF フラグのクリアはリセットで行ってください。

[“1”になる条件]

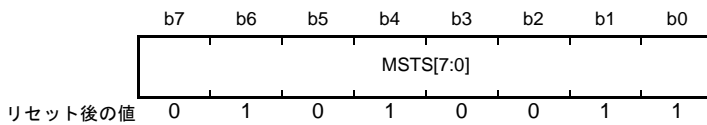
- OSTDCR.OSTDE ビットが“1”(発振停止検出機能有効)の状態、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.18 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス 0008 00A2h



MOSCWTCR レジスタは、メインクロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。メインクロック発振器用の発振安定待ち回路で、MOSCWTCR レジスタの設定値に応じたサイクル数を LOCO クロックでカウントし、待機時間を計測します。

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。MOSCCR.MOSTP ビットの設定によりメインクロック発振器が発振を開始すると、発振安定待ち回路は LOCO クロックで待機時間をカウントし始めます。カウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCOVFSR.MOOVF フラグがセットされます。

発振安定待ち回路での LOCO クロックのカウントは、LOCOCR.LCSTP ビットの設定に関わらず行われます。待機時間の計測時には、ハードウェアで自動的に LOCO クロックの動作 / 停止が制御されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”のとき、あるいは OS COVFSR.MOOVF フラグが“1”のときのみ書き換え可能です。それ以外のときには書き換えしないでください。

メインクロック発振器に外部クロックを入力している場合、待機時間は必要ありません。MSTS[7:0] ビットには“00h”を設定してください。

MSTS[7:0] ビットの設定値は、待機時間が確実にメインクロックの発振安定時間以上になるように fLOCO の最大周波数を使用して、以下の計算式で求められます。

$$\text{MSTS}[7:0] > [\text{tMAINOSC} \times (\text{fLOCO_max}) + 16] / 32$$

(tMAINOSC : メインクロック発振安定時間、fLOCO_max : fLOCO 最大周波数)

計算例 tMAINOSC が 1ms、fLOCO_max が 264kHz (= 1/3.78μs) の場合、

$$\text{MSTS}[7:0] > [1\text{ms} \times (264\text{kHz}) + 16] / 32 = 8.75 \quad \text{となるため、MSTS}[7:0] \text{ ビットに 9 を設定}$$

待機時間

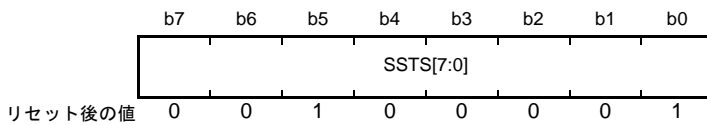
$$\text{LOCO 最大周波数時} : (9 \times 32 - 16) \times (1/264\text{kHz} = 3.78\mu\text{s}) = 1.028\text{ms}$$

$$\text{LOCO 通常周波数時} : (9 \times 32 + 3) \times (1/240\text{kHz} = 4.18\mu\text{s}) = 1.216\text{ms}$$

$$\text{LOCO 最少周波数時} : (9 \times 32 + 10) \times (1/216\text{kHz} = 4.63\mu\text{s}) = 1.380\text{ms}$$

9.2.19 サブクロック発振器ウェイトコントロールレジスタ (SOSCWTCR)

アドレス 0008 00A3h



SOSCWTCR レジスタは、サブクロック発振器の出力を内部回路に供給するまでの待機時間を制御するレジスタです。サブクロック発振器用の発振安定待ち回路で、SOSCWTCR レジスタの設定値に応じたサイクル数を LOCO クロックでカウントし、待機時間を計測します。

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。SOSCCR.SOSTP ビットの設定によりサブクロック発振器が発振を開始すると、発振安定待ち回路は LOCO クロックで待機時間をカウントし始めます。カウントが完了するまでの間、MCU 内部へのクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCOVFSR.SOOVF フラグがセットされます。

発振安定待ち回路での LOCO クロックのカウントは、LOCOCR.LCSTP ビットの設定に関わらず行われます。待機時間の計測時には、ハードウェアで自動的に LOCO クロックの動作 / 停止が制御されます。

SOSCWTCR レジスタは、SOSCCR.SOSTP ビットが“1”のとき、あるいはOSCOVFSR.SOOVF フラグが“1”のときのみ書き換え可能です。それ以外のときには書き換えしないでください。

SSTS[7:0] ビットの設定値は、待機時間が確実にサブクロックの発振安定時間以上になるように fLOCO の最大周波数を使用して、以下の計算式で求められます。

$$\text{SSTS}[7:0] > [\text{tSUBOSC} \times (\text{fLOCO_max}) + 16] / 16384$$

(tSUBOSC : サブクロック発振安定時間、fLOCO_max : fLOCO 最大周波数)

計算例 tSUBOSC が 2s、fLOCO_max が 264kHz (= 1/3.78μs) の場合、

$$\text{SSTS}[7:0] > [2\text{s} \times (264\text{kHz}) + 16] / 16384 = 32.22 \quad \text{となるため SSTS}[7:0] \text{ ビットに 33 を設定}$$

待機時間

$$\text{LOCO 最大周波数時} : (33 \times 16384 - 16) \times (1/264\text{kHz} = 3.78\mu\text{s}) = 2.044\text{s}$$

$$\text{LOCO 通常周波数時} : (33 \times 16384 + 3) \times (1/240\text{kHz} = 4.18\mu\text{s}) = 2.260\text{s}$$

$$\text{LOCO 最少周波数時} : (33 \times 16384 + 10) \times (1/216\text{kHz} = 4.63\mu\text{s}) = 2.503\text{s}$$

9.2.20 サブクロック発振器強制発振コントロールレジスタ (SOFCR)

アドレス 0008 C292h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOFE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOFE	サブクロック発振器強制発振ビット	0: このビットによる制御なし 1: サブクロック発振器を強制発振	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SOFCR レジスタは、サブクロック発振器の強制発振を制御するレジスタです。

SOFE ビット (サブクロック発振器強制発振ビット)

サブクロック発振器の強制発振を制御します。本ビットを“1”にセットすると、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードにおいて、サブクロック発振器を使用できます。

サブクロック発振器の制御について、詳細は「9.2.8 サブクロック発振器コントロールレジスタ (SOSCCR)」を参照してください。

9.2.21 メインクロック発振器機能コントロールレジスタ (MOFCR)

アドレス 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV2[1:0]	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	MODRV2[1:0]	メインクロック発振器ドライブ能力2切り替えビット	b5 b4 0 0 : 20.1～24MHz 0 1 : 16.1～20MHz 1 0 : 8.1～16MHz 1 1 : 8MHz	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0 : 発振子 1 : 外部クロック入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MOFCR レジスタは、メインクロック発振器のドライブ能力切り替え、および発振子と外部クロック入力の選択を行うレジスタです。

MODRV2[1:0] ビット (メインクロック発振器ドライブ能力2切り替えビット)

メインクロック発振器のドライブ能力を切り替えます。

メインクロック発振器に接続している水晶振動子の周波数に合わせてドライブ能力を設定してください。

なお、MODRV2[1:0] ビットの機能欄に記載された周波数範囲は、負荷容量 8pF の水晶振動子をターゲットにした目安値になっています。水晶振動子によっては、設定値が周波数範囲に入らない場合がありますので、発振子メーカーの推奨する値に設定してください。

また、セラミック共振子の場合は、発振子の周波数よりも低い周波数範囲を選択した方が良い場合があります(たとえば、16.1～20MHz のセラミック共振子を使用する場合に、“01b”ではなく“10b”を設定)ので、同様に発振子メーカーの推奨する値に設定してください。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.22 高速オンチップオシレータ電源コントロールレジスタ (HOCOPCR)

アドレス 0008 C294h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HOCO PCNT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HOCOPCNT	高速オンチップオシレータ電源制御ビット	0 : HOCOの電源ON 1 : HOCOの電源OFF	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

HOCOPCNT ビット (高速オンチップオシレータ電源制御ビット)

HOCO の電源を制御するビットです。

“0” のとき、HOCO の電源が ON して、発振することができます。

“1” のとき、HOCO の電源を OFF して、消費電力を低減できます。

HOCOPCNT ビットを“1”にする場合、あらかじめ高速オンチップオシレータコントロールレジスタの HOCO 停止ビット (HOCO CR.HCSTP) を“1” (HOCO 停止) に設定してください。

HOCOPCNT ビットを“1”から“0”に切り替えた後、HOCO CR.HCSTP ビットを“0”にするまで安定待ち時間が必要です。詳細は、「45. 電气的特性」を参照してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でクロックソースに HOCO を選択しているときは、HOCOPCNT ビットの値を書き換えしないでください。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図9.4に示します。

使用する発振子の負荷容量を参考に接続してください。また、必要に応じてダンピング抵抗 (R_d) を挿入してください。容量値、抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従ってEXTAL、XTAL間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表9.1のメインクロック発振器の発振子周波数の範囲内としてください。

発振子を接続する場合、MOFCR.MODRV2[1:0] ビット (メインクロック発振器ドライブ能力2切り替えビット) を設定する必要があります。

水晶振動子によっては設定値が周波数範囲に入らない場合がありますので、発振子メーカーの推奨する値に設定してください。

また、セラミック共振子の場合は、発振子の周波数よりも低い周波数範囲を選択した方が良い場合があります (たとえば、16.1 ~ 20MHz のセラミック共振子を使用する場合、“01b” ではなく “10b” を設定) ので、同様に発振子メーカーの推奨する値に設定してください。

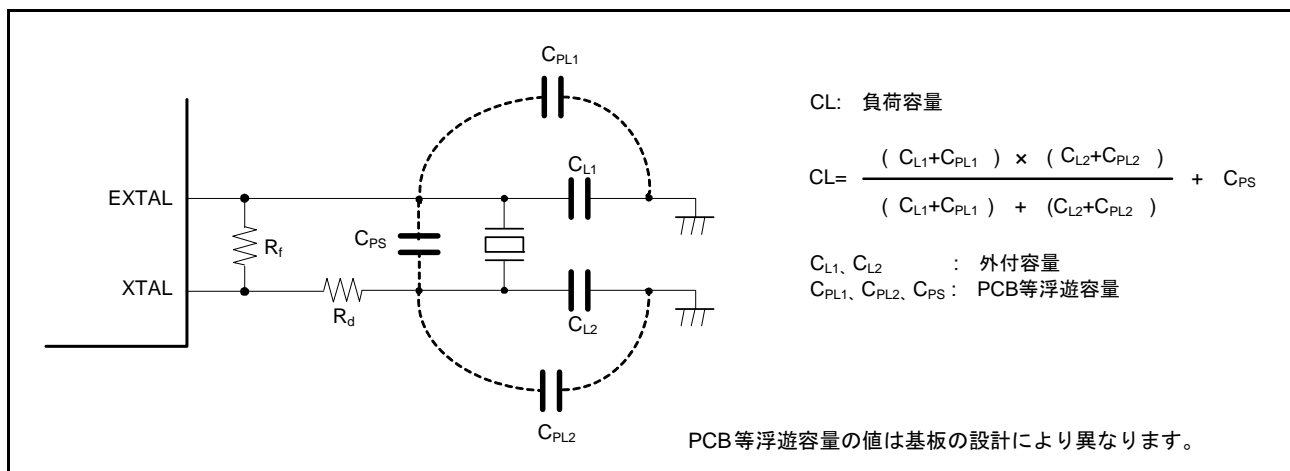


図 9.4 水晶振動子の接続例

水晶振動子の等価回路を図9.5に示します。

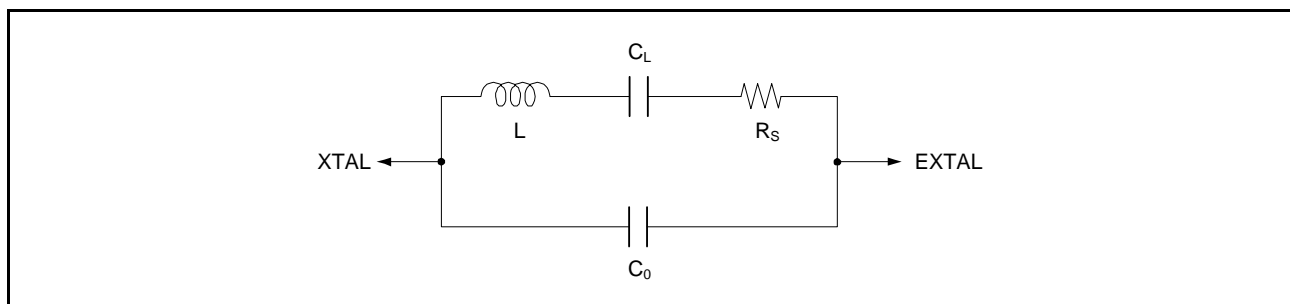


図 9.5 水晶振動子の等価回路

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.6に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にし、XTAL 端子をオープンにしてください。



図 9.6 外部クロックの接続例

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 サブクロック発振器

サブクロック発振器へクロックを供給するには、水晶振動子を接続してください。

9.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、**図 9.7** に示すように 32.768kHz の水晶振動子を接続します。必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って X_{CIN} , X_{COUT} 間に R_f を挿入してください。発振子を接続してクロックを供給する場合、接続する発振子は**表 9.1** のサブクロック発振器の発振子周波数の範囲内としてください。

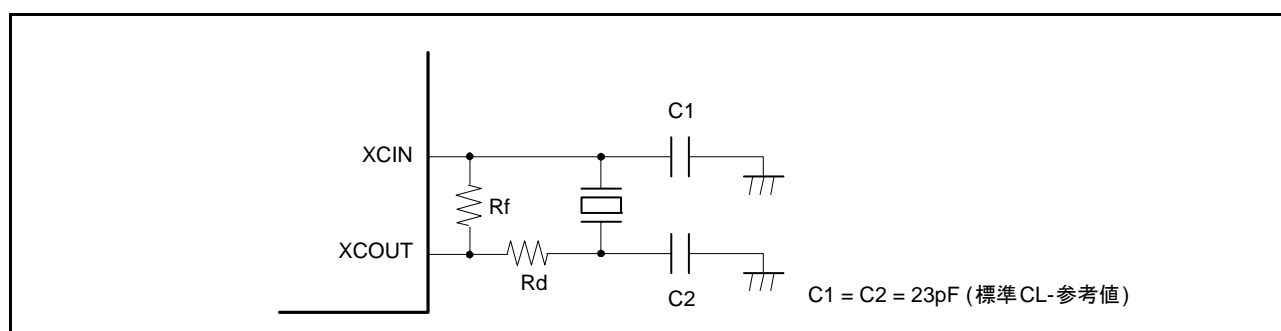


図 9.7 32.768kHz 水晶振動子の接続例

32.768kHz 水晶振動子の等価回路を**図 9.8** に示します。水晶振動子は**表 9.3** に示す特性のものを使用してください。

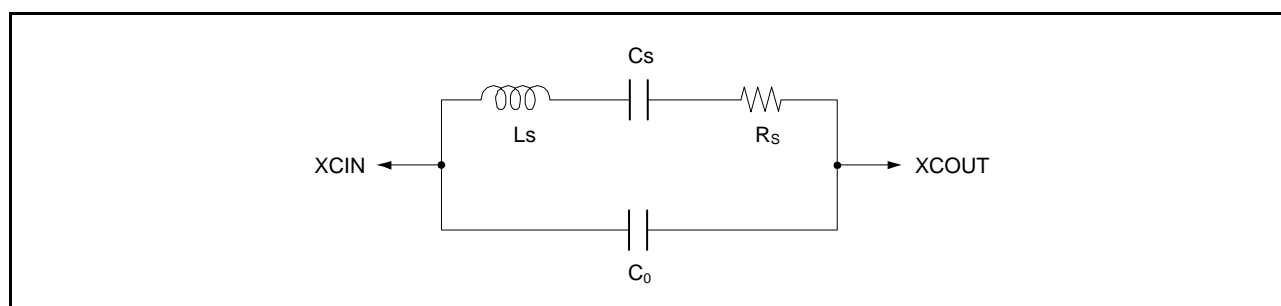


図 9.8 水晶振動子の等価回路

表 9.3 水晶振動子の特性 (参考値)

周波数 (kHz)	32.768 (標準 CL)
R_S max (k Ω)	60

標準 CL : 12.5pF

9.4.2 サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合は、図 9.9 に示すように XCIN 端子を抵抗を介して VSS に接続 (プルダウン) し、XCOUT 端子をオープンとしてください。

また、SOSCCR.SOSTP ビットを“1”(停止)に、かつサブクロック発振器強制発振ビット (SOFCR.SOFE) を“0”(このビットによる制御なし)にしてください。

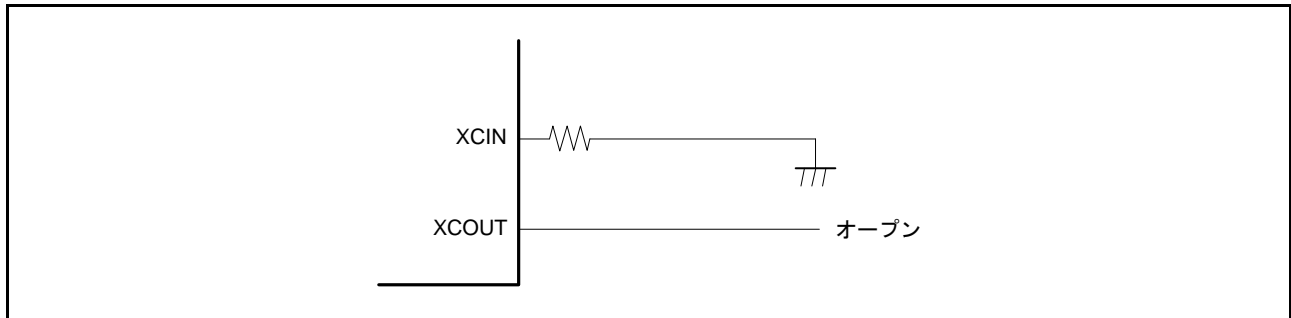


図 9.9 サブクロックを使用しない場合の端子処理

9.5 発振停止検出機能

9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよび PLL クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。PLL のクロックソースに HOCO クロックを選択し、かつ、システムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わりません。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU の出力を強制的にハイインピーダンスとすることも可能です。詳細は、「22. マルチファンクションタイマパルスユニット 3 (MTU3a)」、「23. ポートアウトプットイネーブル 3 (POE3a)」を参照してください。

本 MCU は、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合にメインクロックの発振停止を検出します。検出期間の詳細は、「表 45.52 発振停止検出回路特性」を参照してください。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックと PLL クロックが、それぞれ前段のセレクタにて LOCO クロックに切り替わります。

そのため、メインクロックを PLL のクロックソースに選択した PLL クロック、あるいはメインクロックをシステムクロックのクロックソースに選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

メインクロックと LOCO クロックの切り換え、および PLL クロックと LOCO クロックの切り換えは、それぞれ発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグがセットされることによって LOCO クロックへと切り替わります。

リセット解除後、メインクロック発振器を動作させ、所定の発振安定時間経過後に SCKCR3.CKSEL[2:0] の設定をメインクロックまたは PLL クロックに変更してください。メインクロック発振器の発振源に発振子を選択している場合は、リセットを発生させて OSTDF フラグをクリアしてください。

メインクロック発振器の発振源に外部クロック入力を選択している場合は、OSTDF フラグをソフトでクリアすることによってメインクロックあるいは PLL クロックに戻ります。

ただし、SCKCR3.CKSEL[2:0] でメインクロック発振器を選択しているとき、あるいはメインクロック発振器をクロックソースに設定した状態の PLL を選択しているときには、OSTDF フラグをクリアすることはできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合には、一旦 SCKCR3.CKSEL[2:0] の設定をメインクロック発振器とメインクロック発振器をクロックソースに設定した状態の PLL 以外に変更し、OSTDF フラグをソフトでクリアしてください。その後、OSTDF フラグが再度セットされていないことを確認したうえで、所定の発振安定時間経過後に SCKCR3.CKSEL[2:0] の設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ OSCOVFSR.MOOVF フラグまたは OSCOVFSR.PLOVF フラグに“1”がセットされたことを確認した後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によって LOCO クロックに切り替わるクロックは、システムクロックソースとしてのメインクロック、PLL クロックと、CAC メインクロック (CACMCLK)、および CANFD メインクロック (CANFDMCLK) です。

なお、LOCO クロックに切り替わったときの各クロックの周波数はシステムクロックコントロールレジス

タ (SCKCR, SCKCR2, SCKCR3) の設定値で決まります。

図 9.10 に発振停止検出機能の初期化手順のフローチャート例を示します。

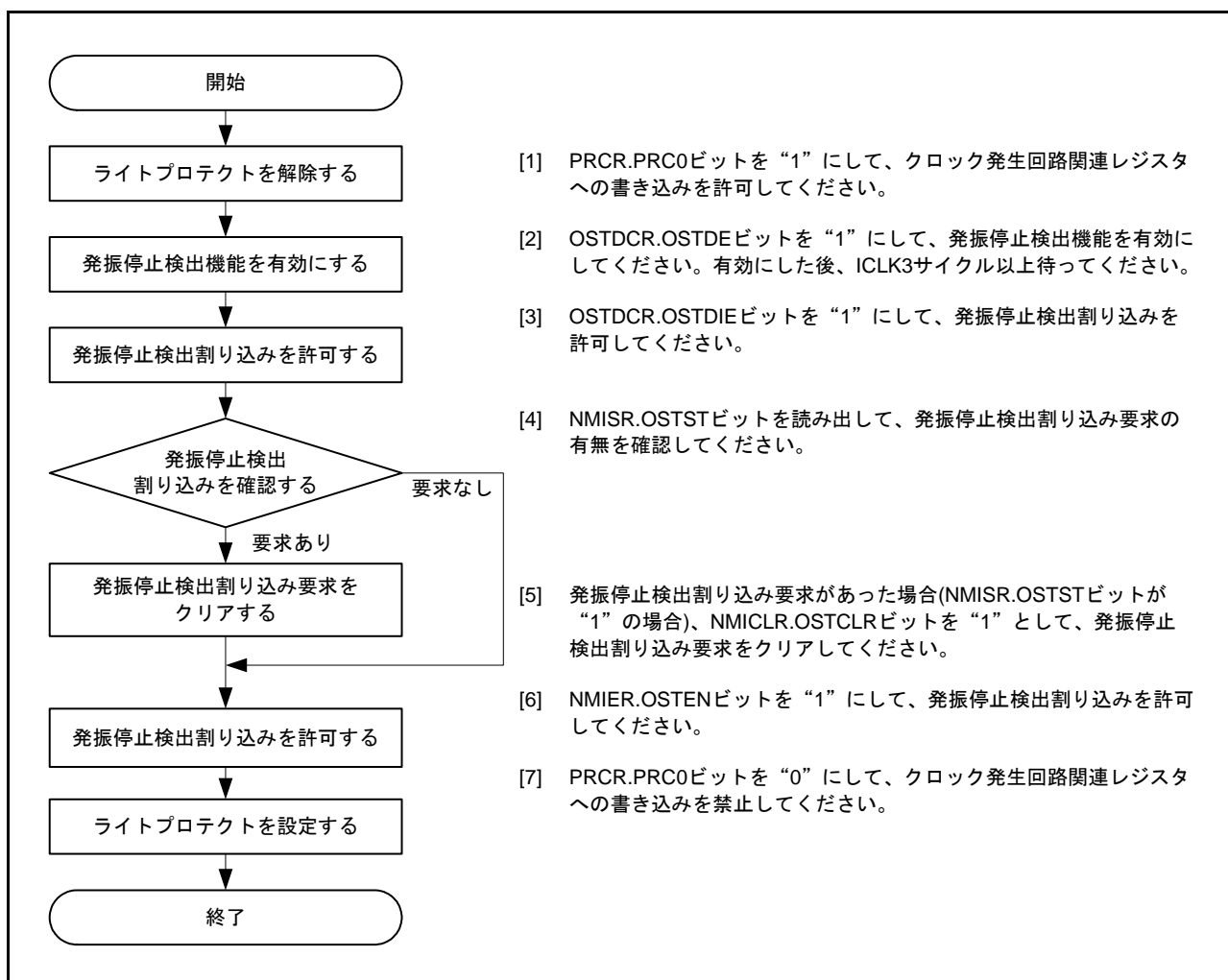


図 9.10 発振停止検出機能の初期化手順のフローチャート例

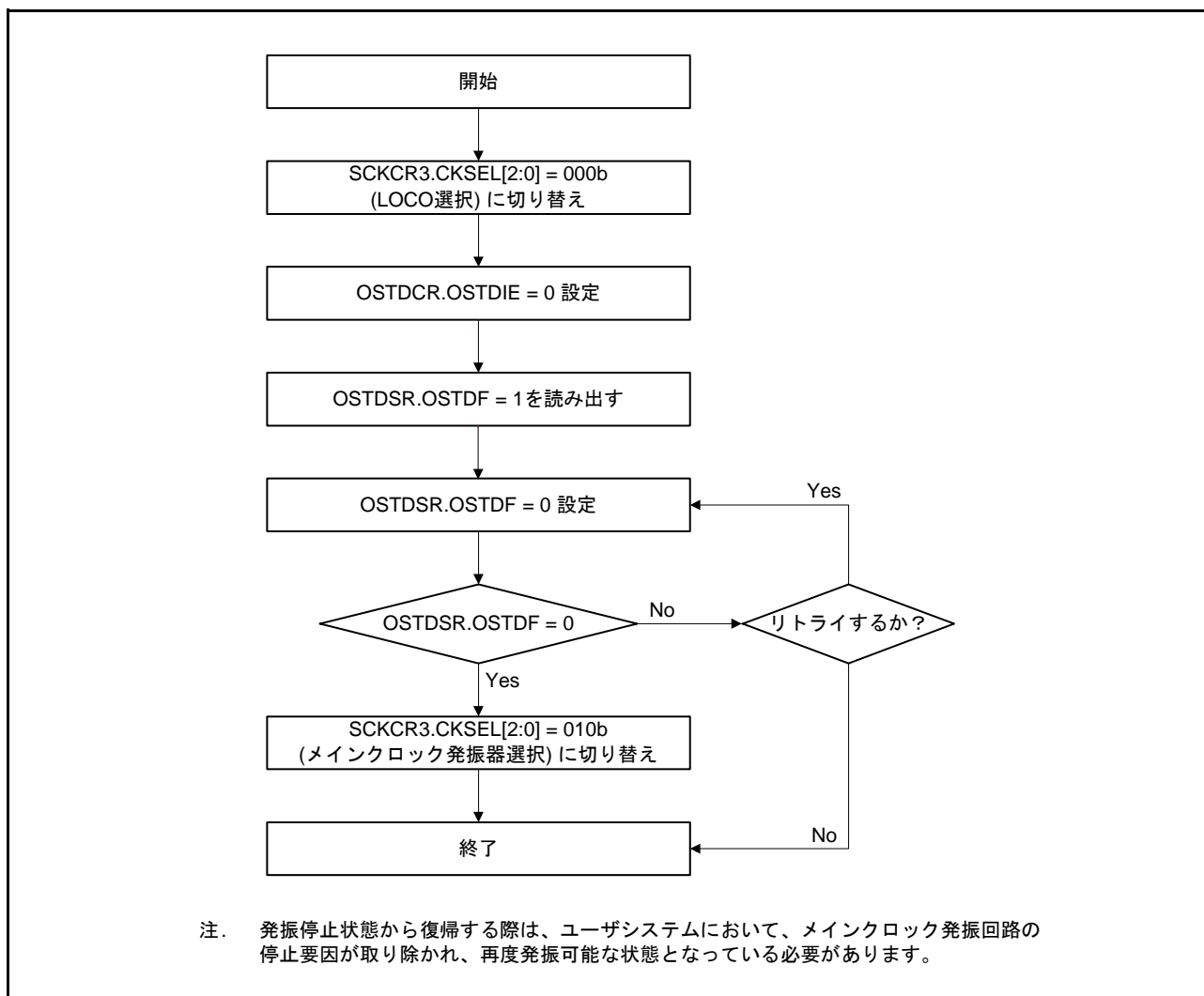


図 9.11 発振停止検出からの復帰のフローチャート例

9.5.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が “1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が “1” になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このときポートアウトプットイネーブル 3 (POE) へメインクロック発振器の停止を通知します。POE3 は、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ 6 の OSTST ハイインピーダンスフラグ (ICSR6.OSTSTF) を “1” にします。この ICSR6.OSTSTF フラグは、発振停止を検出後、PCLKB で 10 サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を “0” にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 “1” にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB 2 サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みをノンマスクブル割り込みとして使用する場合、リセット解除後の初期状態では、「ノンマスクブル割り込み禁止」となっていますので、ソフトウェアで NMIER レジスタの該当ビットを “1” にセットしてノンマスクブル割り込みを有効にしてください。マスクブル割り込みとして使用する場合は、NMIER レジスタをリセット後の値から変更しないでください。詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

9.6 PLL 回路

PLL 回路は、発振器からの周波数を逡倍する機能を持っています。

9.7 内部クロック

内部クロックは、クロックソースとしてメインクロック、サブクロック、HOCOクロック、LOCOクロック、PLLクロック、IWDT専用クロックがあり、これらのクロックから下表に示す内部クロックを生成します。

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0], ICK[3:0], BCK[3:0], PCKA[3:0], PCKB[3:0], PCKD[3:0] ビット、BCKCR.BCLKDIV ビット、SCKCR2.CFDCK[3:0] ビット、クロックソースを選択する SCKCR3.CKSEL[2:0] ビット、PLL回路の周波数を選択する PLLCR.STC[5:0], PLIDIV[1:0] ビット、HOCO2.HCFRQ[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

表9.4 内部クロックと供給先モジュール

	内部クロックの種類	クロック名	供給先モジュール
1	システムクロック	ICLK	CPU、TFU、コードフラッシュメモリ、RAM、ICU、BSC、DMAC、DTC、MPU
2	周辺モジュールクロック	PCLKA	RSPI, SCIm, RSCI, MTU, CANFD
		PCLKB	TMR, CMT, CMTW, RTC, WDT, IWDT, POE3, SCIk, SCIh, RIIC, CANFD, REMC, S12AD, R12DA, CMPC, CRC, DOC, CAC, I/Oポート, MPC, ICU, ELC, 温度センサ
		PCLKD	S12AD
3	FlashIFクロック	FCLK	データフラッシュメモリ、コードフラッシュメモリ(P/E)
4	外部バスクロック	BCLK	BSC, I/Oポート
5	CANFDクロック	CANFDCLK	CANFD
6	CANFDメインクロック	CANFDMCLK	CANFD
7	CACクロック	CACMCLK (メインクロック)	CAC
		CACSCLK (サブクロック)	
		CACHCLK (HOCOクロック)	
		CACLCLK (LOCOクロック)	
		CACILCLK (IWDT専用クロック)	
8	RTCクロック	RTCSCLK (サブクロック)	RTC
9	REMCクロック	REMSCLK (サブクロック)	REMC
10	IWDT専用クロック	IWDTCLK	IWDT

9.7.1 システムクロック

システムクロック (ICLK) は、CPU、ICU、BSC、MPU、DMAC、DTC、コードフラッシュメモリおよびRAMの動作クロックです。

ICLKの周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLLCR.PLIDIV[1:0] ビット、HOCO2.HCFRQ[1:0] ビットで設定します。

9.7.2 周辺モジュールクロック

周辺モジュールクロック (PCLKA, PCLKB, PCLKD) は、周辺モジュールの動作クロックです。

各周波数はそれぞれ、SCKCR.PCKA[3:0] ビット、SCKCR.PCKB[3:0] ビット、SCKCR.PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLLCR.PLIDIV[1:0] ビット、HOCO2R2.HCFRQ[1:0] ビットで設定します。周辺モジュールクロックの周波数は、システムクロックの周波数より高速に設定することができます。

9.7.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF の動作クロックであり、コードフラッシュメモリ、データフラッシュメモリのプログラム / イレース、およびデータフラッシュメモリリードに使用するクロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLLCR.PLIDIV[1:0] ビット、HOCO2R2.HCFRQ[1:0] ビットで設定します。

9.7.4 外部バスクロック

外部バスクロック (BCLK) は、外部バスコントローラの動作クロックです。また、BCLK は外部バスに BCLK 端子から外部に出力できます。外部バス有効時、BCLK 端子と兼用している P53 は、I/O ポートとして使用できません。

SCKCR.PSTOP1 ビットを“0”、システムコントロールレジスタ 0 の外部バス許可ビット (SYSCR0.EXBE) を“1”にすると、BCLK を BCLK 端子から出力することができます。SYSCR0.EXBE ビットを“1”に変更する場合は、SCKCR.PSTOP1 ビットが“1”の状態で行ってください。

また、BCKCR.BCLKDIV ビットを“1”にすると、BCLK 端子から BCLK の 2 分周クロックを出力することができます。

BCLK の周波数は、SCKCR.BCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLLCR.PLIDIV[1:0] ビット、HOCO2R2.HCFRQ[1:0] ビットで設定します。

BCLK は、システムクロック (ICLK) より高い周波数に設定することはできません。高い周波数に設定した場合、ICLK と同じ周波数となります。

9.7.5 CANFD クロック

CANFD クロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

CANFDCLK の周波数は SCKCR2.CFDCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0] ビット、PLLCR.PLIDIV[1:0] ビットで設定します。

9.7.6 CANFD メインクロック

CANFD メインクロック (CANFDMCLK) は、CANFD モジュールの動作クロックです。

CANFDMCLK は、メインクロック発振器で生成されたクロックです。

9.7.7 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC モジュールの動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、サブクロック発振器で生成される CACSCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDT オンチップオシレータで生成される CACILCLK、周辺モジュールに供給される PCLKB があります。

9.7.8 RTC クロック

RTC クロック (RTCCLK) は、RTC モジュールの動作クロックです。
RTCCLK は、サブクロック発振器で生成されたクロックです。

9.7.9 REMC クロック

REMC クロック (REMSCLK) は、REMC モジュールの動作クロックです。
REMSCLK は、サブクロック発振器で生成されたクロックです。

9.7.10 IWDT 専用クロック

IWDT 専用クロック (IWDTCCLK) は、IWDT モジュールの動作クロックです。
IWDTCCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.8 クロックソース切り替え

本 MCU は、リセット解除中に発振した LOCO クロックで、内部リセット時間 (tRESWT) 経過後 CPU 命令フェッチを始めます。その後、LOCO クロックで動作している CPU で、切り替え先のクロック設定を行った後、発振安定フラグレジスタで切り替えたいクロックが発振安定したことを確認してからクロックソースを切り替えてください。

- (1) 内部リセット解除後、システムクロックを LOCO クロックから PLL クロック (クロックソース : メインクロック) に設定する手順例
 - ①内部リセット解除後、MOFCR レジスタの MODRV2[1:0] ビットでドライブ能力を設定
 - ② MOSCWTCR.MSTS[7:0] ビットでメインクロック発振器の発振待機時間を設定
 - ③ MOSCCR レジスタの MOSTP ビットでメインクロック発振器を動作に設定
 - ④ PLLCR レジスタで周波数通倍率を設定 (PLL クロックソースの初期設定はメインクロック発振器)
 - ⑤ PLLCR2 レジスタの PLL 停止制御ビットで PLL 動作を選択
 - ⑥ OSCOVFSR レジスタの PLOVF フラグで PLL クロックが安定したことを確認
 - ⑦ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
 - ⑧ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから PLL クロックに変更

- (2) 内部リセット解除後、システムクロックを LOCO クロックから PLL クロック (クロックソース : HOCO クロック) に設定する手順例
 - ①内部リセット解除後、HOCOCR2 レジスタの HCFRQ[1:0] ビットで周波数を設定
 - ② HOCOCR レジスタの HCSTP ビットで HOCO クロックを動作に設定
(初期値は OFS1.HOCOEN ビットで決まります。OFS1.HOCOEN ビットが 0 であれば動作を設定する必要はありません。また HOCO クロックの発振待機時間は LOCO クロックで 25 サイクルになります。)
 - ③ PLLCR レジスタで周波数通倍率、PLL クロックソースを HOCO クロックに設定
 - ④ PLLCR2 レジスタの PLL 停止制御ビットで PLL 動作を選択
 - ⑤ OSCOVFSR レジスタの PLOVF フラグで PLL クロックが安定したことを確認
 - ⑥ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
 - ⑦ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから PLL クロックに変更

- (3) 内部リセット解除後、システムクロックを LOCO クロックからメインクロックに設定する手順例
 - ①内部リセット解除後、MOFCR レジスタの MODRV2[1:0] ビットでドライブ能力を設定
 - ② MOSCWTCR.MSTS[7:0] でメインクロック発振器の発振待機時間を設定
 - ③ MOSCCR レジスタの MOSTP ビットでメインクロック発振器を動作に設定
 - ④ OSCOVFSR レジスタの MOOVF フラグでメインクロック発振器が安定したことを確認
 - ⑤ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
 - ⑥ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックからメインクロックに変更

- (4) 内部リセット解除後、システムクロックを LOCO クロックから HOCO クロックに設定する手順例
 - ①内部リセット解除後、HOCOCR2 レジスタの HCFRQ[1:0] ビットで周波数を設定
 - ② HOCOCR レジスタの HCSTP ビットで HOCO クロックを動作に設定
(初期値は OFS1.HOCOEN ビットで決まります。OFS1.HOCOEN ビットが 0 であれば動作を設定する必要はありません。また HOCO クロックの発振待機時間は LOCO クロックで 25 サイクルになります。)
 - ③ OSCOVFSR レジスタの HCOVF フラグで HOCO クロックが安定したことを確認
 - ④ SCKCR、SCKCR2 レジスタでクロックソース切り替え後の分周比を設定
 - ⑤ SCKCR3 レジスタの CKSEL[2:0] ビットで LOCO クロックから HOCO クロックに変更

9.9 ELC によるリンク動作

9.9.1 ELC へのイベント信号出力

クロック発生回路は、メインクロックの発振停止検出時、イベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) の設定に関係なく出力することができます。詳細は「19. イベントリンクコントローラ (ELC)」を参照してください。

9.9.2 ELC からのイベント信号受信によるクロックソース切り替え

クロック発生回路は、ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる低速オンチップオンレータへのクロックソースの切り替え動作が可能です。

なお本機能を使用しているときは、スリープモード復帰時のクロックソース切り替え機能は同時に使用できません。詳細は、「11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。

9.10 使用上の注意事項

9.10.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA ~ PCLKD)、FlashIF クロック (FCLK)、外部バスクロック (BCLK) の周波数を選択します。各周波数は、以下のようにしてください。
各周波数は電气的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
本 MCU には PCLKC はありませんが SCKCR.PCKC[3:0] ビットに “0001b” を設定してください。
周波数は表 9.1 の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKA、PCLKB を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。
- (2) システムクロック (ICLK) と外部バスクロック (BCLK) との間には以下の周波数関係が必要です。
ICLK \geq BCLK の周波数関係
また、周辺モジュールクロック内で、以下の周波数関係が必要です。
PCLKA \geq PCLKB の周波数関係
PCLKB : PCLKD = 1 : 1 or 2 : 1 or 4 : 1 or 1 : 2 の周波数関係
- (3) CANFD 使用時は以下の周波数関係が必要です。
PCLKA : PCLKB = 2 : 1 の周波数関係
PCLKB \geq CANFDCLK の周波数関係
PCLKB \geq CANFDMCLK の周波数関係
- (4) 外部バスアクセス中は、クロック周波数の変更を実施しないでください。またクロック周波数の変更後に外部バスアクセスを開始する場合は、周波数変更が完了したことを確認してから外部バスアクセスを開始するようにしてください。
- (5) SCKCR, SCKCR2, SCKCR3, BCKCR レジスタの書き換えによってクロック周波数を変更する場合、確実にクロック周波数に変更された後に次の処理を実行するために、同レジスタの書き込み完了を待ってから次の処理を実行してください。I/O レジスタの書き込み完了の確認手順は「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください。

9.10.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.10.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.12 に示すように発振回路の近くには信号線を通させないでください。電磁誘導によって正常に発振しなくなることがあります。

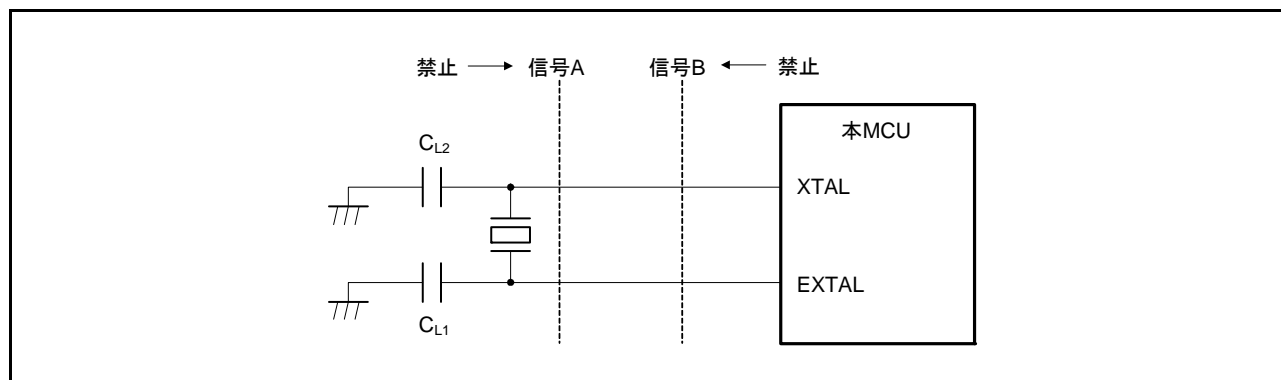


図 9.12 発振回路部のボード設計に関する注意事項

9.10.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP ビットを“1”) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子 (P36)、XTAL 端子 (P37) を出力ポートとして使用しないでください。ポート設定に関連するレジスタの設定値は「表 21.42 レジスタの設定」を参照してください。

9.10.5 サブクロック発振器に関する注意事項

サブクロックは、システムクロックとして使用される場合、リアルタイムクロックのカウンタソースとして使用される場合、およびその両方に使用される場合があります。サブクロックの設定に関しては、以下のような注意および制限があります。

- サブクロックをシステムクロックとして使用する場合は、SOSCCR.SOSTP ビットで設定を行い、リアルタイムクロックのカウンタソースまたはリモコン信号受信機能 (REMC) の動作クロックとして使用する場合は、SOSCCR.SOSTP ビットと SOFCR.SOFE ビットの両方を設定してください。また、リアルタイムクロックのカウンタソースおよび REMC の動作クロックとして使用する場合は、サブクロックの発振を開始し発振安定待機時間経過後に、SOSCWTCR.SSTS[7:0] ビットを“00000000b”とする必要があります。
- サブクロックをシステムクロックとして使用し、かつリアルタイムクロックのカウンタソースまたは REMC の動作クロックとして使用する場合、もしくはサブクロックをリアルタイムクロックのカウンタソース (注1) または REMC の動作クロックのみに使用する場合は、図 9.13 のフローチャートの例に従って初期設定してください。リアルタイムクロックの設定は、「27.3.2 クロックとカウンタモード設定手順」に記載された設定手順に従って設定を行ってください。

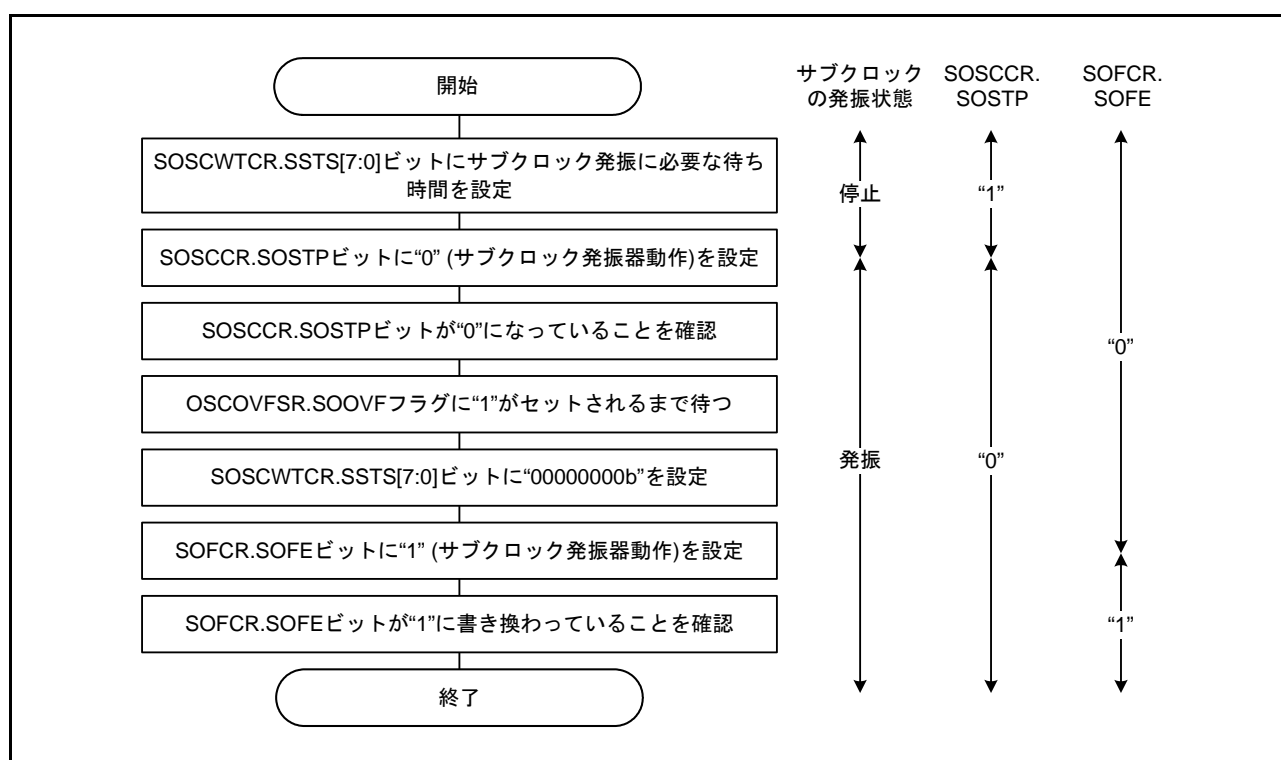


図 9.13 サブクロックをリアルタイムクロックのカウンタソースまたは REMC の動作クロックに使用する場合の初期化フローチャート例

注 1. リアルタイムクロックを使用しない場合、「27.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロックを初期化してください。

- サブクロックをシステムクロックのみに使用する場合(注2)は、図9.14のフローチャートの例に従って初期設定してください。

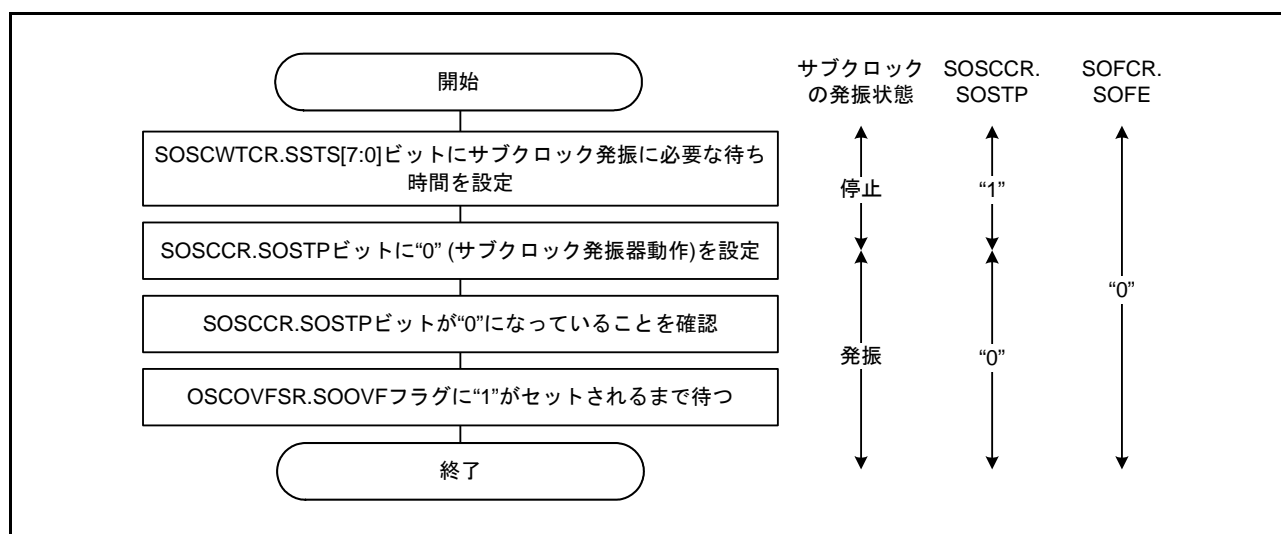


図 9.14 サブクロックをシステムクロックのみに使用する場合の初期化フローチャート例

- サブクロックをシステムクロックとして使用する場合、SOFCR.SOFE ビットが“1”であり、既にサブクロックが発振している状態であっても、SOSCCR.SOSTP ビットを“1”(停止)から“0”(動作)に変更した後、OSCOVFSR.SOOVF フラグが“1”になるのを待ってから使用してください。
- SOSCCR.SOSTP ビットの書き換え後、SOFCR.SOFE ビットの書き換えを行う場合、またはその逆を行う場合、先に書き換えを行った方のビットが書き換わっていることを確認してから、後のビットの書き換えを行ってください。

注2. リアルタイムクロックを使用しない場合、「27.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロックを初期化してください。

9.10.6 サブクロック発振器非搭載製品に関する注意事項

サブクロック発振器を搭載していない製品では、RTC も使用できません。電源投入後、リアルタイムクロックの内部状態は不定になっていますので、「27.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロックを無効にしてください。

10. クロック周波数精度測定回路 (CAC)

10.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CACの仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCCLK) • 周辺モジュールクロック B (PCLKB)
測定基準クロック	<ul style="list-style-type: none"> • 外部からCACREF端子に入力したクロック • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCCLK) • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> • 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への遷移が可能

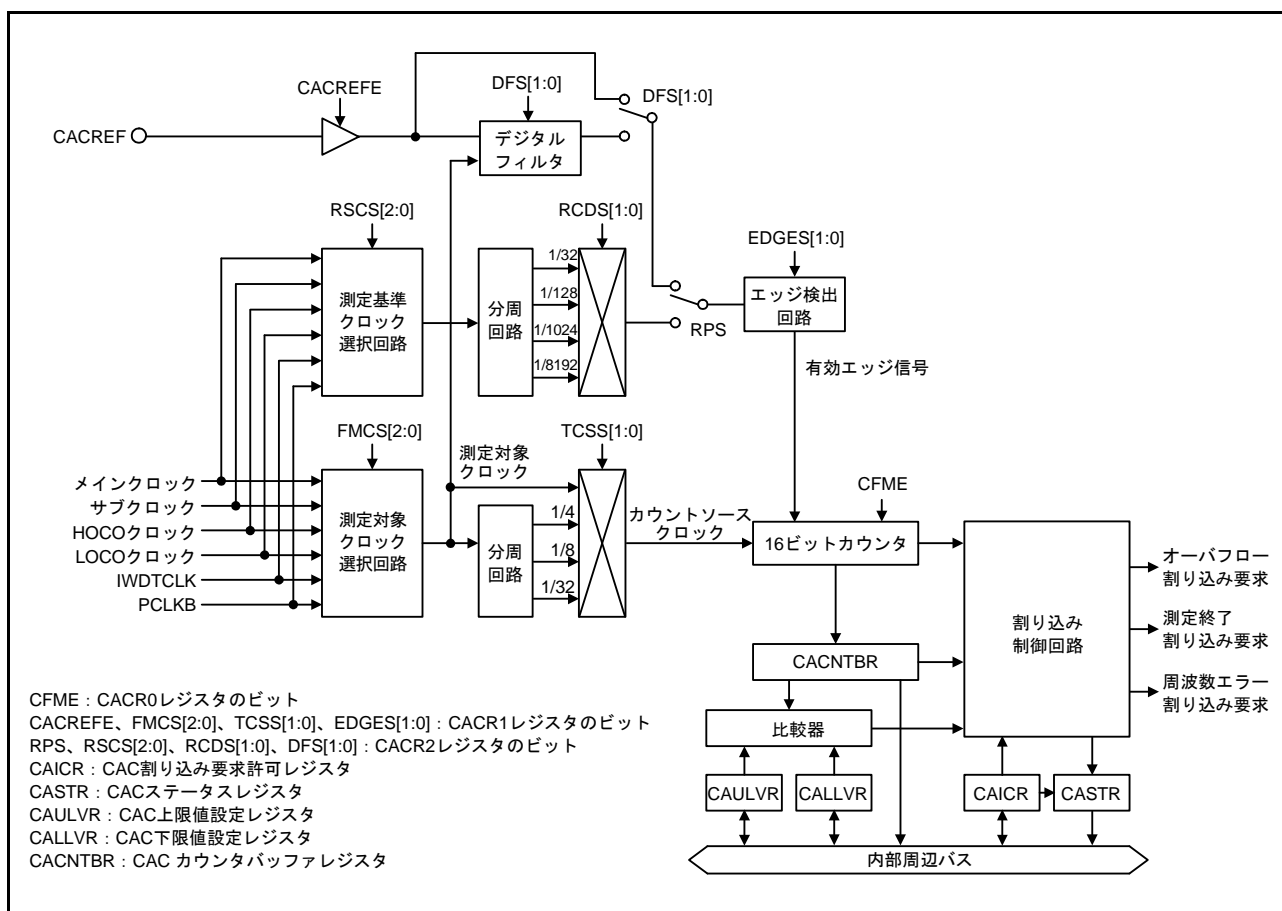


図 10.1 CACのブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

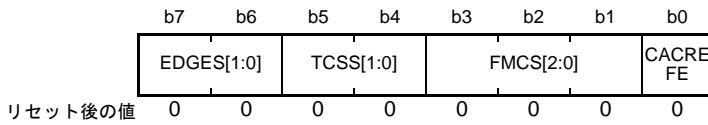
CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効/無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDT 専用クロック (IWDTCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース 選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注. CACR1 レジスタは、CACR0.CFME ビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

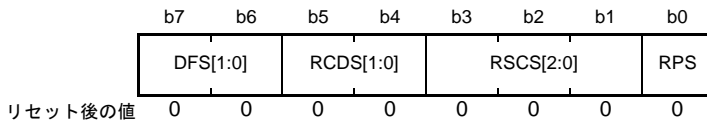
このビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDT 専用クロック (IWDTCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 測定対象クロック 1 0 : 測定対象クロックの4分周クロック 1 1 : 測定対象クロックの16分周クロック	R/W

注. CACR2レジスタは、CACR0.CFMEビットが"0"のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス CAC.CAICR 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグがクリアされます。読むと“0”が読めます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグがクリアされます。読むと“0”が読めます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグがクリアされます。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効/無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効/無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効/無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグがクリアされます。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグがクリアされます。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF フラグがクリアされます。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた(周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた(周波数エラー)ことを示します。

["1"になる条件]

- クロック周波数が設定値を外れたとき

["0"になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

["1"になる条件]

- 測定終了したとき

["0"になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

["1"になる条件]

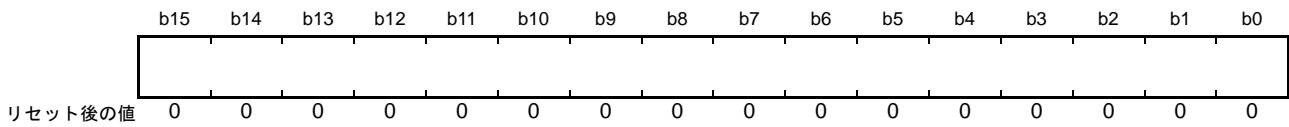
- カウンタがオーバフローしたとき

["0"になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 0008 B006h



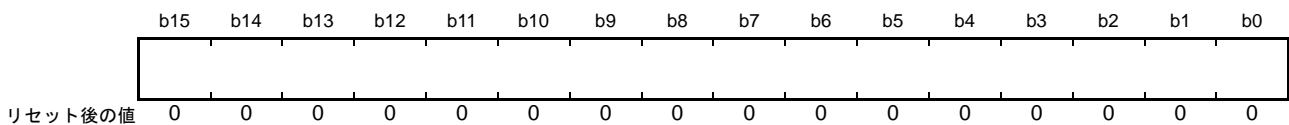
CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 0008 B008h



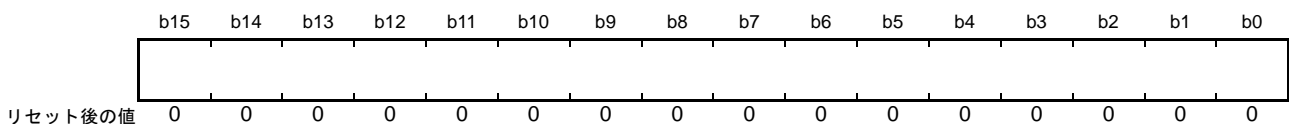
CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

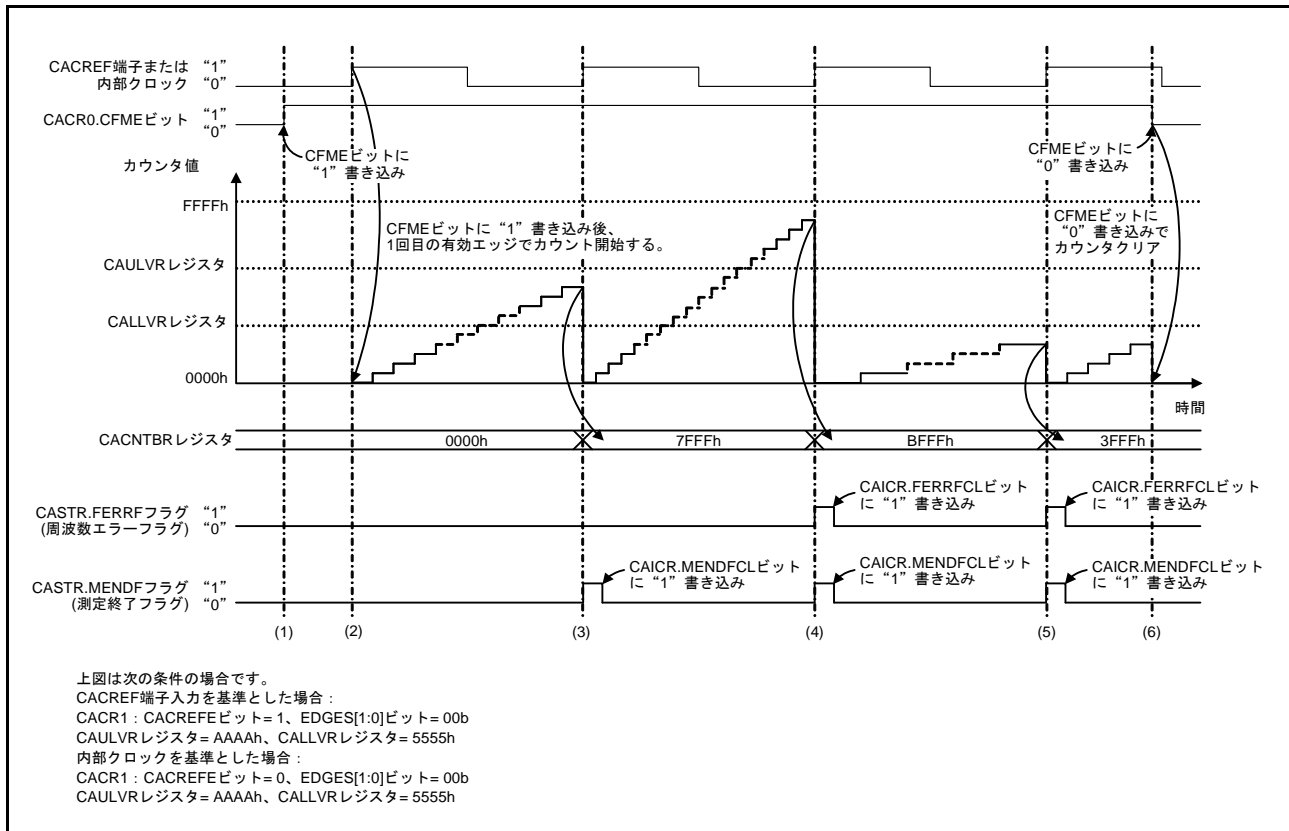


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを “0”、CACR1.CACREFE ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに “1” を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウンタアップが開始されます。
内部クロックを基準とした場合は、CFME ビットに “1” を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウンタアップが開始されます。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CALLVR レジスタ \leq CACNTBR レジスタ \leq CAULVR レジスタのときは、クロック周波数が正常なので CASTR.MENDF フラグだけが “1” になります。また、CAICR.MENDIE ビットを “1” にしている場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバーフロー割り込みの 3 種類があります。各割り込み要因が発生すると各ステータスフラグが“1”になります。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタと CAULVR レジスタおよび CALLVR レジスタとを比較した結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、BCLK 出力制御機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、外部バスクロック (BCLK)、フラッシュインタフェースクロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
BCLK 出力制御機能	BCLK 出力または High 出力の選択が可能 (注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令
リセット以外の解除方法	割り込み	割り込み(注1)	割り込み(注2)	割り込み(注3)
解除後の状態(注4)	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)	プログラム実行状態(リセット処理)
メインクロック発振器	動作可能	動作可能	停止	停止
サブクロック発振器	動作可能	動作可能	動作可能(注5)	動作可能(注5)
高速オンチップオシレータ	動作可能	動作可能	停止	停止
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDT専用オンチップオシレータ	動作可能(注6)	動作可能(注6)	動作可能(注6)	停止(不定)(注6)
PLL	動作可能	動作可能	停止	停止
CPU	停止(保持)	停止(保持)	停止(保持)	停止(不定)
RAM	動作可能(保持)	停止(保持)	停止(保持)	停止(不定)
フラッシュメモリ	動作	停止(保持)	停止(保持)	停止(保持)
ウォッチドッグタイマ(WDT)	停止(保持)	停止(保持)	停止(保持)	停止(不定)
独立ウォッチドッグタイマ(IWDT)	動作可能(注6)	動作可能(注6)	動作可能(注6)	停止(不定)(注6)
リアルタイムクロック(RTC)	動作可能	動作可能	動作可能	動作可能
ポートアウトプットイネーブル(POE)	動作可能	動作可能(注7)	停止(保持)	停止(不定)
リモコン信号受信機能(REMC)	動作可能	動作可能(注8)	動作可能	停止(不定)
8ビットタイマ(ユニット0, 1)(TMR)	動作可能	動作可能(注9)	停止(保持)	停止(不定)
電圧検出回路(LVD)	動作可能	動作可能	動作可能	動作可能(注10)
パワーオンリセット回路	動作	動作	動作	動作
周辺モジュール	動作可能	停止(保持)	停止(保持)	停止(不定)
I/Oポート	動作	保持(注11)	保持(注12)	保持(注12)

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

- 注1. 外部端子割り込み(NMI, IRQ0~IRQ15)、周辺機能割り込み(8ビットタイマ、RTCアラーム、RTC周期、IWDT、REMC受信、電圧監視1、電圧監視2、メインクロック発振器停止検出)。
- 注2. 外部端子割り込み(NMI, IRQ0~IRQ15)、周辺機能割り込み(RTCアラーム、RTC周期、IWDT、REMC受信、電圧監視1、電圧監視2)。
- 注3. 外部端子割り込み発生元となる一部の端子(NMI, IRQ0-DS~IRQ15-DS)、周辺機能割り込み(RTCアラーム、RTC周期、電圧監視1、電圧監視2)。ただし、ディープスタンバイインタラプトイネーブルレジスタ*i*(DPSIER*i*)(*i*=0~2)の当該ビットが“1”のときのみ有効。端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。
- 注4. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
- 注5. サブクロック発振器強制発振コントロールレジスタのサブクロック発振器強制発振ビット(SOFCR.SOFE)の設定によって、動作/停止を選択することができます。
- 注6. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット(OFS0.IWDTSLCSTP)の設定により、動作/停止を選択することができます。OFS0.IWDTSLCSTPビットが“0”(低消費電力モード移行時カウント継続)に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット(IWDTCSLTPR.SLCSTP)の設定により、動作/停止を選択することができます。IWDTCSLTPR.SLCSTPビットが“0”(低消費電力モード遷移時カウント継続)に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
- 注7. POE割り込みを有効にした状態で全モジュールクロックストップモード中にPOE割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後にPOE割り込みが発生します。

- 注8. REMCは、動作クロックにPCLKBを選択した場合、モジュールストップコントロールレジスタDのリモコン信号受信機能モジュールストップビット(MSTPCRD.MSTPD7)の設定によって、動作/停止を選択することができます。
- 注9. モジュールストップコントロールレジスタAの8ビットタイマ1, 0 (ユニット0)モジュールストップ設定ビット(MSTPCRA.MSTPA5)、8ビットタイマ3, 2 (ユニット1)モジュールストップ設定ビット(MSTPCRA.MSTPA4)の設定によって、動作/停止を選択することができます。
- 注10. 電圧監視1回路制御レジスタ0の電圧監視1回路モード選択ビット(LVD1CR0.LVD1RI)が“1”、もしくは電圧監視2回路制御レジスタ0の電圧監視2回路モード選択ビット(LVD2CR0.LVD2RI)が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。
- 注11. P53をBCLKとして使用している場合は、BCLK出力のまま動作を継続します。8ビットタイマを動作させている場合、関連する端子は動作を継続します。
- 注12. スタンバイコントロールレジスタの出力ポートイネーブルビット(SBYCR.OPE)の設定によって、アドレスバス、バス制御信号(CS0#~CS3#, RD#, WR0#, WR1#, WR#, BC0#, BC1#, ALE)の保持/ハイインピーダンスを選択することができます。

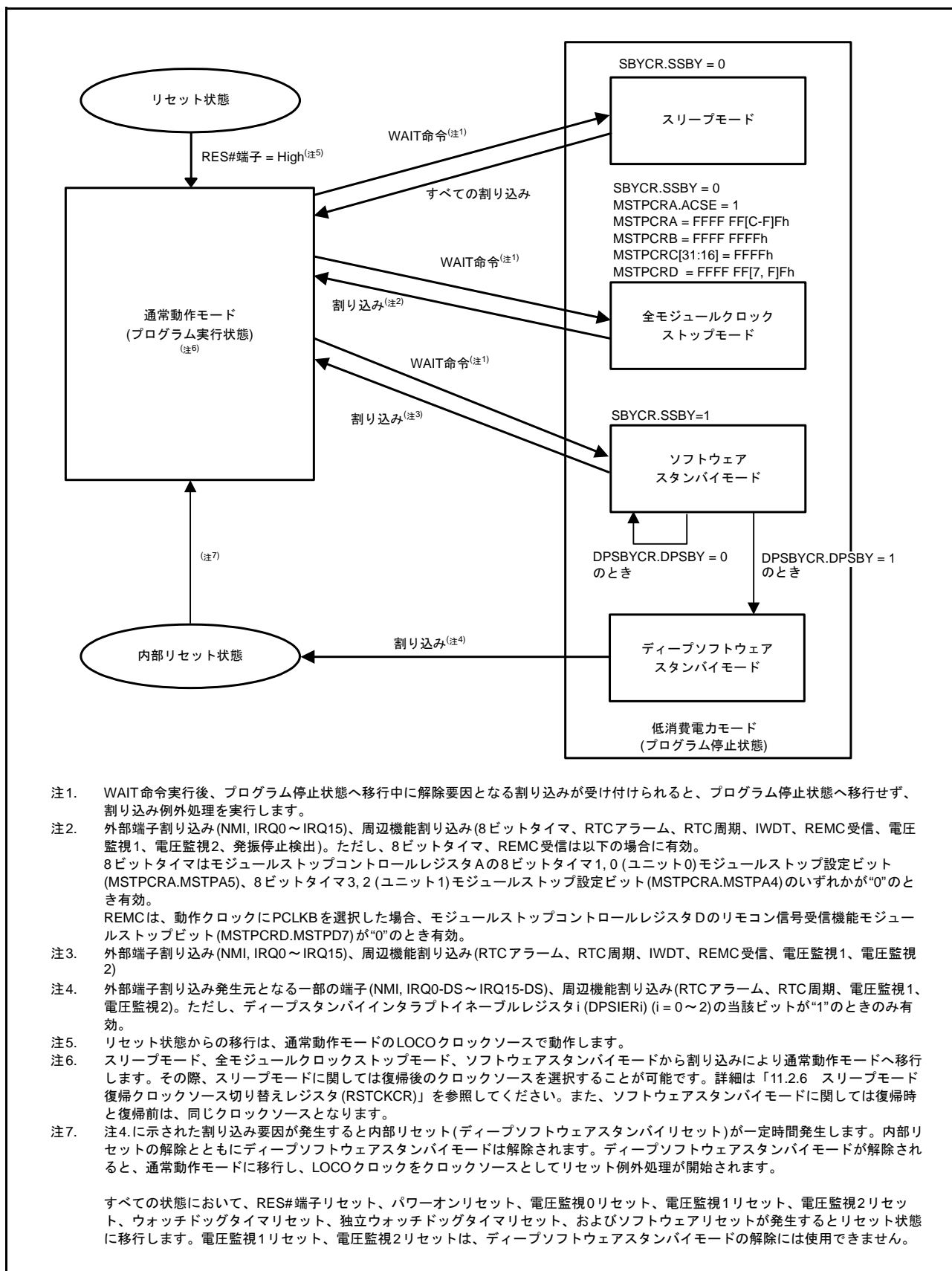


図 11.1 モード遷移

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポート許可ビット	0: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1: ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイビット	0: WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1: WAIT 命令実行後、ソフトウェアスタンバイモードに移行	R/W

OPE ビット (出力ポート許可ビット)

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に、アドレスバス、バス制御信号 (CS0# ~ CS3#, RD#, WR0#, WR1#, WR#, BC0#, BC1#, ALE) の出力を保持するか、ハイインピーダンスにするかを選択します。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の移行先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ移行します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常動作モードに移行したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたは全モジュールクロックストップモードに移行します。

フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット (FENTRYR.FENTRYC) が“1”、またはデータフラッシュメモリ P/E モードエントリビット

(FENTRYR.FENTRYD) が“1”のとき、このビットに設定された値は無効になります。本ビットが“1”にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	MSTPA 29	MSTPA 28	MSTPA 27	—	—	MSTPA 24	—	—	—	—	MSTPA 19	—	MSTPA 17	—
リセット後の値	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	—	—	—	—	MSTPA 9	—	—	—	MSTPA 5	MSTPA 4	—	—	MSTPA 1	MSTPA 0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPA0	コンペアマッチタイマW (ユニット1) モジュールストップ設定ビット	対象モジュール：CMTW1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPA1	コンペアマッチタイマW (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTW0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3, 2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3, TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1, 0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1, TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユ ニット3モジュールストップ設定ビット	対象モジュール：MTU3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ (ユニット1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2, CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0, CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPA17	12ビットA/Dコンバータ (ユニット0) モジュールストップ設定ビット	対象モジュール：S12ADユニット0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	12ビットD/Aコンバータ モジュールストップ設定ビット	対象モジュール：12ビットDA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPA24	モジュールストップA24設定ビット	読み出し、書き込みともに有効です。全モジュールク ロックストップモードへ移行させる場合は、本ビット に“1”を書き込んでおく必要があります	R/W
b26-b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b27	MSTPA27	モジュールストップA27設定ビット	読み出し、書き込みともに有効です。全モジュールク ロックストップモードへ移行させる場合は、本ビット に“1”を書き込んでおく必要があります	R/W

ビット	シンボル	ビット名	機能	R/W
b28	MSTPA28	DMAコントローラ/データ転送ファ コントローラモジュールストップ設定 ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPA29	モジュールストップA29設定ビット	読み出し、書き込みともに有効です。全モジュールク ロックストップモードへ移行させる場合は、本ビット に“1”を書き込んでおく必要があります	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	ACSE	全モジュールクロックストップモード許 可ビット	0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可	R/W

ACSE ビット (全モジュールクロックストップモード許可ビット)

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。

ACSE ビットを“1”にして、SBYCR.SSBY ビット、MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、全モジュールクロックストップモードに移行します。詳細は「11.5.2 全モジュールクロックストップモード」を参照してください。

8 ビットタイマは、MSTPA5、MSTPA 4 ビットの設定によって、動作/停止を選択することができます。

REMC は、動作クロックに PCLKB を選択した場合、MSTPCRD.MSTPD7 ビットの設定によって、動作/停止を選択することができます。

SBYCR.SSBY = 0 で、MSTPCRA.ACSE = 0 の場合は WAIT 命令実行後、スリープモードに移行します。

フラッシュ P/E モードエントリレジスタのコードフラッシュメモリ P/E モードエントリビット

(FENTRYR.FENTRYC) が“1”、またはデータフラッシュメモリ P/E モードエントリビット

(FENTRYR.FENTRYD) が“1”のとき、このビットに設定された値は無効になります。本ビットが“1”にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	MSTPB26	MSTPB25	MSTPB24	MSTPB23	—	MSTPB21	—	—	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB10	MSTPB9	—	—	MSTPB6	—	MSTPB4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーション インタフェース12モジュール ストップ設定ビット	対象モジュール：SCI12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	データ演算回路モジュールストップ設定 ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPB9	イベントリンクコントローラモジュール ストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPB10	コンパレータCモジュールストップ設定 ビット	対象モジュール：CMPC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0 モジュールストップ設定ビット	対象モジュール：RSPIO 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I ² Cバスインタフェース0モジュール ストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定 ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPB24	シリアルコミュニケーション インタフェース7モジュールストップ 設定ビット	対象モジュール：SCI7 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPB25	シリアルコミュニケーション インタフェース6モジュールストップ 設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーション インタフェース5モジュールストップ 設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPB27	シリアルコミュニケーション インタフェース4モジュールストップ 設定ビット	対象モジュール：SCI4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPB28	シリアルコミュニケーション インタフェース3モジュールストップ 設定ビット	対象モジュール：SCI3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b29	MSTPB29	シリアルコミュニケーション インタフェース2モジュールストップ 設定ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュールストップ 設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーション インタフェース0モジュールストップ 設定ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	MSTPC 27	MSTPC 26	MSTPC 25	MSTPC 24	—	—	—	—	MSTPC 19	—	MSTPC 17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAMモジュールストップ設定ビット (注1)	対象モジュール：RAM (0000 0000h～0001 FFFFh) 0：RAM動作 1：RAM停止	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPC17	I ² Cバスインタフェース2モジュール ストップ設定ビット	対象モジュール：RIIC2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	CACモジュールストップ設定ビット (注2)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b24	MSTPC24	シリアルコミュニケーションインタ フェース11モジュールストップ設定 ビット	対象モジュール：SCI11 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPC25	シリアルコミュニケーションインタ フェース10モジュールストップ設定 ビット	対象モジュール：SCI10 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPC26	シリアルコミュニケーションインタ フェース9モジュールストップ設定 ビット	対象モジュール：SCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーションインタ フェース8モジュールストップ設定 ビット	対象モジュール：SCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. RAMアクセス中にMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、RAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、MSTPC19ビットによって制御するクロックの発振が安定しているときに行ってください。MSTPC19ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出カクロックで2サイクル経過したのち、WAIT命令を実行してください。

11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス 0008 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPD 10	—	—	MSTPD 7	—	—	—	MSTPD 3	MSTPD 2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	MSTPD2	シリアルコミュニケーションインタフェース11モジュールストップ設定ビット	対象モジュール：RSCI11 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPD3	シリアルコミュニケーションインタフェース10モジュールストップ設定ビット	対象モジュール：RSCI10 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	MSTPD7	リモコン信号受信機能モジュールストップ設定ビット	対象モジュール：REMC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9-b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b10	MSTPD10	CANFDモジュールストップ設定ビット(注1)	対象モジュール：CANFD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MSTPD10ビットの書き換えは、MSTPD10ビットによって制御するクロックの発振が安定しているときに行ってください。MSTPD10ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後CANFDMCLKとCANFDCLKで2サイクル経過した後、WAIT命令を実行してください。

11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)

アドレス 0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCK EN	—	—	—	—	RSTCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL [2:0]	スリープモード復帰クロックソース 選択ビット	b2 b0 0 0 1: HOCO 選択 0 1 0: メインクロック発振器選択 RSTCKEN ビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロックソース 切り替え許可ビット	0: スリープモード解除時クロックソース切り替え無効 1: スリープモード解除時クロックソース切り替え有効	R/W

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット (MOSCCR.MOSTP)、高速オンチップオシレータコントロールレジスタの HOCO 停止ビット (HOCOCR.HCSTP) は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) にリロードされます。

スリープモード復帰時クロックソース切り替え機能と、ELC によるクロックソース切り替え機能の同時使用は禁止です。スリープモード復帰時クロックソース切り替え機能を有効にする場合、ELC によるクロックソース切り替え機能が無効の状態に RSTCKCR.RSTCKEN ビットに“1”を書いてください。また、ELC によるクロックソース切り替え機能を有効にする場合、RSTCKCR.RSTCKEN ビットが“0”の状態に有効に設定してください。

RSTCKCR レジスタの設定によってスリープモードから HOCO で復帰する場合、HOCO 電源は自動的に ON になりません。HOCO で復帰する場合は、HOCO 電源 ON の状態でスリープモードに移行してください。

RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが“1”の場合のみ有効です。

RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)

スリープモード解除時のクロックソース切り替えの有効/無効を制御します。

スリープモード解除時にクロックソースの切り替えを行うのは、スリープモード移行時のクロックとして LOCO、サブクロックを選択している場合のみとしてください。HOCO、メインクロック、PLL をクロックソースに選択している状態でスリープモードに移行する場合には、RSTCKEN ビットを“1”にしないでください。

11.2.7 ディープスタンバイコントロールレジスタ (DPSBYCR)

アドレス 0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IOKEEP	I/Oポート保持ビット	0: ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持を解除 1: ディープソフトウェアスタンバイモード解除後もI/Oポートの状態を保持する。その後IOKEEPビットへの“0”を書くとI/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフトウェアスタンバイビット	SSBY b7 0 0: WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 0 1: WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1 0: WAIT 命令実行後、ソフトウェアスタンバイモードに移行 1 1: WAIT 命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

IOKEEP ビット (I/O ポート保持ビット)

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットは、ディープソフトウェアスタンバイモード時に保持した I/O ポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット (ディープソフトウェアスタンバイビット)

ディープソフトウェアスタンバイモードへの移行を制御します。

SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”の状態、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。

外部端子割り込み発生元となる一部の端子 (NMI, IRQ0-DS ~ IRQ15-DS)、周辺機能割り込み (RTC アラーム、RTC 周期、電圧監視 1、電圧監視 2) によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは“1”のままです。“0”にするときは、“0”を書いてください。

IWDT がオートスタートモードかつ OFS0.IWDTSLCSTP ビットが“0” (カウント継続)、またはレジスタスタートモードかつ IWDTCSLTPR.SLCSTP ビットが“0” のときは、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

また、電圧監視 1 回路モードに電圧監視 1 リセットを選択しているとき (LVD1CR0.LVD1RI = 1)、あるいは電圧監視 2 回路モードに電圧監視 2 リセットを選択しているとき (LVD2CR0.LVD2RI = 1) は、DPSBY ビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”であっても、WAIT 命令実行後は、ソフトウェアスタンバイモードに移行します。

11.2.8 ディープスタンバイインタラプティブレジスタ 0 (DPSIER0)

アドレス 0008 C282h

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ7 E	DIRQ6 E	DIRQ5 E	DIRQ4 E	DIRQ3 E	DIRQ2 E	DIRQ1 E	DIRQ0 E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0-DS 端子許可ビット	0 : IRQ0-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ0-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ1E	IRQ1-DS 端子許可ビット	0 : IRQ1-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ1-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ2E	IRQ2-DS 端子許可ビット	0 : IRQ2-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ2-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ3E	IRQ3-DS 端子許可ビット	0 : IRQ3-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ3-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ4E	IRQ4-DS 端子許可ビット	0 : IRQ4-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ4-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ5E	IRQ5-DS 端子許可ビット	0 : IRQ5-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ5-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ6E	IRQ6-DS 端子許可ビット	0 : IRQ6-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ6-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ7E	IRQ7-DS 端子許可ビット	0 : IRQ7-DS 端子によるディープソフトウェアスタンバイモード解除を禁止 1 : IRQ7-DS 端子によるディープソフトウェアスタンバイモード解除を許可	R/W

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR0 レジスタを“0”にしてください。

11.2.9 ディープスタンバイインタラプトイネーブルレジスタ 1 (DPSIER1)

アドレス 0008 C283h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15E	DIRQ14E	DIRQ13E	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8E	IRQ8-DS端子許可ビット	0: IRQ8-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ8-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DIRQ9E	IRQ9-DS端子許可ビット	0: IRQ9-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ9-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DIRQ10E	IRQ10-DS端子許可ビット	0: IRQ10-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ10-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DIRQ11E	IRQ11-DS端子許可ビット	0: IRQ11-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ11-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DIRQ12E	IRQ12-DS端子許可ビット	0: IRQ12-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ12-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b5	DIRQ13E	IRQ13-DS端子許可ビット	0: IRQ13-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ13-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b6	DIRQ14E	IRQ14-DS端子許可ビット	0: IRQ14-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ14-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W
b7	DIRQ15E	IRQ15-DS端子許可ビット	0: IRQ15-DS端子によるディープソフトウェアスタンバイモード解除を禁止 1: IRQ15-DS端子によるディープソフトウェアスタンバイモード解除を許可	R/W

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER1 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR1 レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR1 レジスタを“0”にしてください。

11.2.10 ディープスタンバイインタラプトイネーブルレジスタ 2 (DPSIER2)

アドレス 0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIE	DRTCAIE	DRTCIE	DLVD2IE	DLVD1IE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IE	LVD1ディープスタンバイ解除信号許可ビット	0: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視1信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b1	DLVD2IE	LVD2ディープスタンバイ解除信号許可ビット	0: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を禁止 1: 電圧監視2信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b2	DRTCIE	RTC周期割り込みディープスタンバイ解除信号許可ビット	0: RTC周期割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1: RTC周期割り込み信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b3	DRTCAIE	RTCアラーム割り込みディープスタンバイ解除信号許可ビット	0: RTCアラーム割り込み信号によるディープソフトウェアスタンバイモード解除を禁止 1: RTCアラーム割り込み信号によるディープソフトウェアスタンバイモード解除を許可	R/W
b4	DNMIE	NMI端子許可ビット	0: NMI端子によるディープソフトウェアスタンバイモード解除を禁止 1: NMI端子によるディープソフトウェアスタンバイモード解除を許可	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER2レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については「表 6.2 リセット種別ごとの初期化対象」を参照してください。

なお、DPSIER2レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードに移行する前に、DPSIFR2レジスタを“0”にしてください。

11.2.11 ディープスタンバイインタラプトフラグレジスタ 0 (DPSIFR0)

アドレス 0008 C286h

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ7 F	DIRQ6 F	DIRQ5 F	DIRQ4 F	DIRQ3 F	DIRQ2 F	DIRQ1 F	DIRQ0 F

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0-DS 端子ディープスタンバイ解除フラグ	0 : IRQ0-DS 端子による解除要求の発生なし 1 : IRQ0-DS 端子による解除要求の発生あり	R/(W) (注1)
b1	DIRQ1F	IRQ1-DS 端子ディープスタンバイ解除フラグ	0 : IRQ1-DS 端子による解除要求の発生なし 1 : IRQ1-DS 端子による解除要求の発生あり	R/(W) (注1)
b2	DIRQ2F	IRQ2-DS 端子ディープスタンバイ解除フラグ	0 : IRQ2-DS 端子による解除要求の発生なし 1 : IRQ2-DS 端子による解除要求の発生あり	R/(W) (注1)
b3	DIRQ3F	IRQ3-DS 端子ディープスタンバイ解除フラグ	0 : IRQ3-DS 端子による解除要求の発生なし 1 : IRQ3-DS 端子による解除要求の発生あり	R/(W) (注1)
b4	DIRQ4F	IRQ4-DS 端子ディープスタンバイ解除フラグ	0 : IRQ4-DS 端子による解除要求の発生なし 1 : IRQ4-DS 端子による解除要求の発生あり	R/(W) (注1)
b5	DIRQ5F	IRQ5-DS 端子ディープスタンバイ解除フラグ	0 : IRQ5-DS 端子による解除要求の発生なし 1 : IRQ5-DS 端子による解除要求の発生あり	R/(W) (注1)
b6	DIRQ6F	IRQ6-DS 端子ディープスタンバイ解除フラグ	0 : IRQ6-DS 端子による解除要求の発生なし 1 : IRQ6-DS 端子による解除要求の発生あり	R/(W) (注1)
b7	DIRQ7F	IRQ7-DS 端子ディープスタンバイ解除フラグ	0 : IRQ7-DS 端子による解除要求の発生なし 1 : IRQ7-DS 端子による解除要求の発生あり	R/(W) (注1)

注1. “0”のみ書けます。

DPSIEGR0 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER0 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR0 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを“00h”にする場合は、PCLKB の 6 サイクル以上経過後、DPSIFR0 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER0 レジスタを読むことで PCLKB の 6 サイクル以上を確保することができます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DIRQnF フラグ (IRQn ディープスタンバイ解除フラグ) (n = 0 ~ 7)

IRQn-DS 端子による解除要求が発生したことを示します。

["1" になる条件]

- DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき

11.2.12 ディープスタンバイインタラプトフラグレジスタ 1 (DPSIFR1)

アドレス 0008 C287h

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ1 5F	DIRQ1 4F	DIRQ1 3F	DIRQ1 2F	DIRQ11 F	DIRQ1 0F	DIRQ9 F	DIRQ8 F

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8F	IRQ8-DS端子ディープスタンバイ解除フラグ	0: IRQ8-DS端子による解除要求の発生なし 1: IRQ8-DS端子による解除要求の発生あり	R(W) (注1)
b1	DIRQ9F	IRQ9-DS端子ディープスタンバイ解除フラグ	0: IRQ9-DS端子による解除要求の発生なし 1: IRQ9-DS端子による解除要求の発生あり	R(W) (注1)
b2	DIRQ10F	IRQ10-DS端子ディープスタンバイ解除フラグ	0: IRQ10-DS端子による解除要求の発生なし 1: IRQ10-DS端子による解除要求の発生あり	R(W) (注1)
b3	DIRQ11F	IRQ11-DS端子ディープスタンバイ解除フラグ	0: IRQ11-DS端子による解除要求の発生なし 1: IRQ11-DS端子による解除要求の発生あり	R(W) (注1)
b4	DIRQ12F	IRQ12-DS端子ディープスタンバイ解除フラグ	0: IRQ12-DS端子による解除要求の発生なし 1: IRQ12-DS端子による解除要求の発生あり	R(W) (注1)
b5	DIRQ13F	IRQ13-DS端子ディープスタンバイ解除フラグ	0: IRQ13-DS端子による解除要求の発生なし 1: IRQ13-DS端子による解除要求の発生あり	R(W) (注1)
b6	DIRQ14F	IRQ14-DS端子ディープスタンバイ解除フラグ	0: IRQ14-DS端子による解除要求の発生なし 1: IRQ14-DS端子による解除要求の発生あり	R(W) (注1)
b7	DIRQ15F	IRQ15-DS端子ディープスタンバイ解除フラグ	0: IRQ15-DS端子による解除要求の発生なし 1: IRQ15-DS端子による解除要求の発生あり	R(W) (注1)

注1. “0”のみ書けます。

DPSIEGR1 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER1 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR1 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER1 レジスタの設定変更後にDPSIFR1 レジスタを“00h”にする場合は、PCLKBの6サイクル以上経過後、DPSIFR1 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER1 レジスタを読むことでPCLKBの6サイクル以上を確保することができます。

DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DIRQnF フラグ (IRQn ディープスタンバイ解除フラグ) (n = 8 ~ 15)

IRQn-DS 端子による解除要求が発生したことを示します。

["1" になる条件]

- DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき

11.2.13 ディープスタンバイインタラプトフラグレジスタ 2 (DPSIFR2)

アドレス 0008 C288h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIF	DRTCAIF	DRTCIIIF	DLVD2IF	DLVD1IF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IF	LVD1ディープスタンバイ解除フラグ	0: 電圧監視1信号による解除要求の発生なし 1: 電圧監視1信号による解除要求の発生あり	R(W) (注1)
b1	DLVD2IF	LVD2ディープスタンバイ解除フラグ	0: 電圧監視2信号による解除要求の発生なし 1: 電圧監視2信号による解除要求の発生あり	R(W) (注1)
b2	DRTCIIIF	RTC 周期割り込みディープスタンバイ解除フラグ	0: RTC周期割り込み信号による解除要求の発生なし 1: RTC周期割り込み信号による解除要求の発生あり	R(W) (注1)
b3	DRTCAIF	RTCアラーム割り込みディープスタンバイ解除フラグ	0: RTCアラーム割り込み信号による解除要求の発生なし 1: RTCアラーム割り込み信号による解除要求の発生あり	R(W) (注1)
b4	DNMIF	NMIディープスタンバイ解除フラグ	0: NMI端子による解除要求の発生なし 1: NMI端子による解除要求の発生あり	R(W) (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “0”のみ書けます。

DPSIEGR2 レジスタで設定した解除要求が発生したときに“1”になります。

ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になる場合があります。また、DPSIER2 レジスタの設定変更によっても“1”になる場合があります。そのため、DPSIFR2 レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを“00h”にする場合は、PCLKB の6サイクル以上経過後、DPSIFR2 レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER2 レジスタを読むことで PCLKB の6サイクル以上を確保することができます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

DLVDmIF フラグ (LVDm ディープスタンバイ解除フラグ) (m = 1, 2)

電圧監視 m 信号による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DRTCIIIF フラグ (RTC 周期割り込みディープスタンバイ解除フラグ)

RTC 周期割り込み信号による解除要求が発生したことを示します。

[“1”になる条件]

- RTC 周期割り込み信号による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DRTCAIF フラグ (RTC アラーム割り込みディープスタンバイ解除フラグ)

RTC アラーム割り込み信号による解除要求が発生したことを示します。

["1" になる条件]

- RTC アラーム割り込み信号による解除要求が発生したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

DNMIF フラグ (NMI ディープスタンバイ解除フラグ)

NMI 端子による解除要求が発生したことを示します。

["1" になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

11.2.14 ディープスタンバイインタラプトエッジレジスタ 0 (DPSIEGR0)

アドレス 0008 C28Ah

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ7 EG	DIRQ6 EG	DIRQ5 EG	DIRQ4 EG	DIRQ3 EG	DIRQ2 EG	DIRQ1 EG	DIRQ0 EG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0-DS 端子エッジ選択ビット	0 : 立ち下がりがエッジで解除要求を発生 1 : 立ち上がりがエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1-DS 端子エッジ選択ビット	0 : 立ち下がりがエッジで解除要求を発生 1 : 立ち上がりがエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2-DS 端子エッジ選択ビット	0 : 立ち下がりがエッジで解除要求を発生 1 : 立ち上がりがエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3-DS 端子エッジ選択ビット	0 : 立ち下がりがエッジで解除要求を発生 1 : 立ち上がりがエッジで解除要求を発生	R/W
b4	DIRQ4EG	IRQ4-DS 端子エッジ選択ビット	0 : 立ち下がりがエッジで解除要求を発生 1 : 立ち上がりがエッジで解除要求を発生	R/W
b5	DIRQ5EG	IRQ5-DS 端子エッジ選択ビット	0 : 立ち下がりがエッジで解除要求を発生 1 : 立ち上がりがエッジで解除要求を発生	R/W
b6	DIRQ6EG	IRQ6-DS 端子エッジ選択ビット	0 : 立ち下がりがエッジで解除要求を発生 1 : 立ち上がりがエッジで解除要求を発生	R/W
b7	DIRQ7EG	IRQ7-DS 端子エッジ選択ビット	0 : 立ち下がりがエッジで解除要求を発生 1 : 立ち上がりがエッジで解除要求を発生	R/W

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.15 ディープスタンバイインタラプトエッジレジスタ 1 (DPSIEGR1)

アドレス 0008 C28Bh

b7	b6	b5	b4	b3	b2	b1	b0
DIRQ15EG	DIRQ14EG	DIRQ13EG	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8EG	IRQ8-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ9EG	IRQ9-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ10EG	IRQ10-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ11EG	IRQ11-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ12EG	IRQ12-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ13EG	IRQ13-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ14EG	IRQ14-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ15EG	IRQ15-DS 端子エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.16 ディープスタンバイインタラプトエッジレジスタ 2 (DPSIEGR2)

アドレス 0008 C28Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIE G	—	—	DLVD2 EG	DLVD1 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1EG	LVD1エッジ選択ビット	0 : VCC < Vdet1 (下降)検出時に解除要求を発生 1 : VCC ≥ Vdet1 (上昇)検出時に解除要求を発生	R/W
b1	DLVD2EG	LVD2エッジ選択ビット	0 : VCC < Vdet2 (下降)検出時に解除要求を発生 1 : VCC ≥ Vdet2 (上昇)検出時に解除要求を発生	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DNMIEG	NMIエッジ選択ビット	0 : 立ち下がリエッジで解除要求を発生 1 : 立ち上がりエッジで解除要求を発生	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細については、「表 6.2 リセット種別ごとの初期化対象」を参照してください。

11.2.17 ディープスタンバイバックアップレジスタ y (DPSBKRY) (y = 0 ~ 31)

アドレス 0008 C2A0h~0008 C2BFh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

DPSBKRY レジスタは、ディープソフトウェアスタンバイモード中、データを退避するための 32 バイトのレジスタで、読み出し、書き込みいずれも可能です。

RAM のデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。

DPSBKRY レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0]、ICK[3:0]、BCK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKC[3:0]、PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、コードフラッシュメモリ、RAMは、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0]、PCKC[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。

データフラッシュメモリはFCK[3:0] ビットで設定した動作クロックで動作します。

外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRD レジスタに対応する MSTPmi ビット ($m = A \sim D, i = 31 \sim 0$) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このときCPUは独立して動作を続けます。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、RAMを除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 低消費電力状態

11.5.1 スリープモード

11.5.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ移行すると WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1” (低消費電力モード遷移時 IWDT カウント停止有効) のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSSTPR.SLCSTP ビットが“1” のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSSTPR.SLCSTP ビットが“0” のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先 (注2) を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル (注3) を、CPU の PSW.IPL[3:0] ビット (注1) よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.7.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

11.5.1.2 スリープモードの解除

ノンマスクブル割り込み、および全要因の割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDTC のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスクブル割り込みが CPU でマスクされている場合 (割り込み優先レベルが(注1)CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合) には、スリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、スリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDTC のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDTC がカウントを停止する条件 (OFS0.IWDTCSTRT ビットが“0”かつ OFS0.IWDTCSLCSTP ビットが“1”、または OFS0.IWDTCSTRT ビットが“1”かつ IWDTCSTPR.SLCSTP ビットが“1”) では、IWDTC が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.5.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロックソース切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、各クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.6 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待ち時間の設定については、「9.2.18 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」を参照してください。

11.5.2 全モジュールクロックストップモード

11.5.2.1 全モジュールクロックストップモードへの移行

MSTPCRA.ACSE ビットを“1”にして、かつ MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタで制御されるモジュールをモジュールストップ状態 (MSTPCRA = FFFF FF[C-F]Fh, MSTPCRB = FFFF FFFFh, MSTPCRC[31:16] = FFFFh, MSTPCRD = FFFF FF[7, F]Fh) にしたときに、SBYCR.SSBY ビットを“0”にした状態で WAIT 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ (注1)、POE (注2)、IWDT、RTC、REMC (注3)、パワーオンリセット回路、電圧検出回路を除く全モジュールと、バスコントローラおよび I/O ポートの動作が停止して、全モジュールクロックストップモードへ移行します (注4)。

WDT を使用しているとき、全モジュールクロックストップモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1” (低消費電力モード遷移時 IWDT カウント停止有効) のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1” のときに全モジュールクロックストップモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0” のときは、全モジュールクロックストップモードへ移行後も IWDT はカウントを継続します。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注5) を“0”にする。
- (2) 全モジュールクロックストップモードからの復帰に使用する割り込みの要求先 (注6) を CPU に設定する。
- (3) 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル (注7) を CPU の PSW.IPL[3:0] ビット (注5) よりも高く設定する。
- (4) 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENj ビット (注7) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注5) は自動的に“1”になります)。

注1. MSTPCRA.MSTPA5、MSTPA4 ビットで動作/停止を選択できます。

注2. POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

注3. REMC は、動作クロックに PCLKB を選択した場合、MSTPCRD.MSTPD7 ビットで動作/停止を選択できます。

注4. DTC、DMAC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態で行ってください。

注5. 詳細は「2. CPU」を参照してください。

注6. 詳細は「14.7.3 割り込み要求先の選択」を参照してください。

注7. 詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

11.5.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部端子割り込み (NMI、IRQ0～IRQ15)、周辺機能割り込み (8ビットタイマ(注1)、RTCアラーム、RTC周期、IWDT(注2)、REMC受信(注3)、電圧監視1、電圧監視2、発振停止検出)、RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われ、例外処理を経て通常のプログラム実行状態へ遷移します。マスク割込みがCPUでマスクされている場合(割り込みの優先レベル(注4)がCPUのPSW.IPL[3:0]ビット(注5)以下に設定されている場合)、またはDTC、DMACの起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

- 注1. MSTPCRA.MSTPA5、MSTPA 4ビットで動作/停止を選択できます。
- 注2. 全モジュールクロックストップ時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0かつOFS0.IWDTSLCSTP = 1、またはOFS0.IWDTSTRT = 1かつIWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。
- 注3. REMCは、動作クロックにPCLKBを選択した場合、MSTPCRD.MSTPD7ビットで動作/停止を選択できます。
- 注4. 詳細は「14. 割り込みコントローラ(ICUF)」を参照してください。
- 注5. 詳細は「2. CPU」を参照してください。

11.5.3 ソフトウェアスタンバイモード

11.5.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にし、DPSBYCR.DPSBY ビットを“0”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器の機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンスとするか、出力状態を保持するかを、SBYCR.OPE ビットで選択できます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。ただし、サブクロック発振器は動作/停止の選択が可能です。詳細は「表 11.2 各モードにおける遷移および解除方法と動作状態」を参照してください。

WAIT 命令を実行する前に DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ移行すると、発振器が停止するため WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”（低消費電力モード遷移時 IWDT カウント停止有効）のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

また、発振停止検出機能有効 (OSTDCR.OSTDE = 1) の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効 (OSTDCR.OSTDE = 0) に設定後、WAIT 命令を実行してください。

HOCO の FLL 機能有効 (FLLCR1.FLLEN = 1) にした状態でソフトウェアスタンバイモードへ遷移しないでください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先 (注2) を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル (注3) を CPU の PSW.IPL[3:0] ビット (注1) よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット (注3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.7.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

11.5.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI, IRQ0 ~ IRQ15)、周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、REMC 受信、電圧監視 1、電圧監視 2)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。割り込みによってソフトウェアスタンバイモードを解除した場合、ソフトウェアスタンバイモード移行によって停止した各発振器は動作を再開します。その後、これらすべての発振器の発振安定待機時間が経過するのを待ってソフトウェアスタンバイモードから復帰します。ただし、以下の条件では、ソフトウェアスタンバイモード移行によって、発振器は停止しませんが、発振安定待機時間の経過を待って、ソフトウェアスタンバイモードから復帰します。

- SOFCR.SOFE = 1 かつ SOSCCR.SOSTP = 0

(1) 割り込みによる解除

NMI、IRQ0 ~ IRQ15、RTC アラーム、RTC 周期、IWDT、REMC 受信、および電圧監視 1、電圧監視 2 の割り込み要求が発生すると、ソフトウェアスタンバイモード移行によって停止した各発振器は動作を再開します。その後、ソフトウェアスタンバイモード解除後復帰時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間にソフトウェアスタンバイモード解除シーケンサ動作時間を加えた値となります。

$$t_{SBYi} = t_{SBYOSCWT} + t_{SBYSEQ}$$

t_{SBYi} (i = MC, EX, PC, PE, PH, SC, HO, LO) : ソフトウェアスタンバイモード解除後復帰時間

$t_{SBYOSCWT}$: 発振安定待機時間

t_{SBYSEQ} : ソフトウェアスタンバイモード解除シーケンサ動作時間

発振安定待機時間は、発振を開始した各発振器の発振安定待機時間のうち最も大きな値を使って計算してください。

各発振器の発振安定待機時間は、「45. 電气的特性」を参照してください。

(2) RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

(4) 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

(5) 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。

ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ

IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.5.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がリエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.2 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが “01b” (立ち下がリエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「14. 割り込みコントローラ (ICUF)」を参照してください。

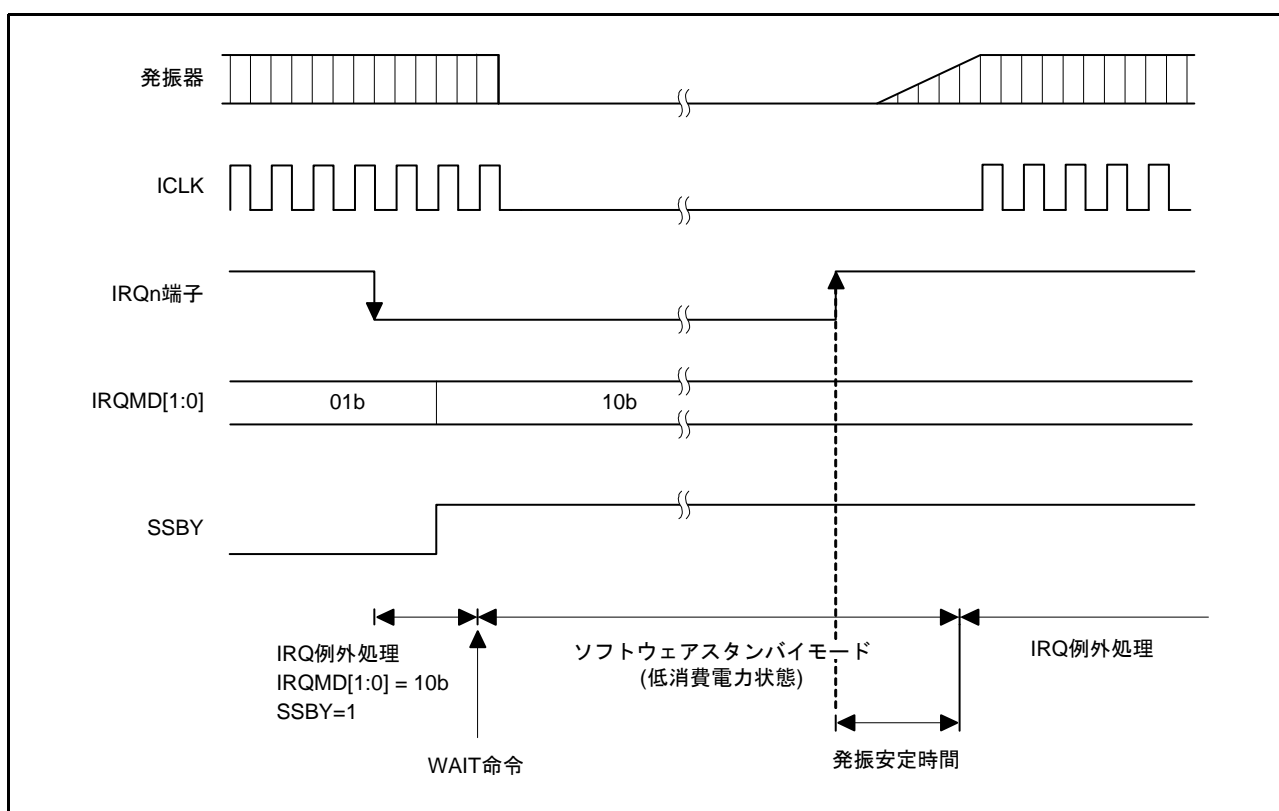


図 11.2 ソフトウェアスタンバイモードの応用例

11.5.4 ディープソフトウェアスタンバイモード

11.5.4.1 ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。その後、DPSBYCR.DPSBY ビットが“1”なら、ディープソフトウェアスタンバイモードに移行します(注1)。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能(RTCアラーム、RTC周期を除く)、RAM、および発振器の機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。ただし、サブクロック発振器は動作/停止の選択が可能です。詳細は「表 11.2 各モードにおける遷移および解除方法と動作状態」を参照してください。このとき、CPU、内蔵周辺機能(RTCアラーム、RTC周期を除く)のレジスタ内容はすべて不定となります。

WDT を使用しているとき、ディープソフトウェアスタンバイモードへ移行すると発振器は停止し、また WDT への電源供給が停止され、カウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”(低消費電力モード遷移時 IWDT カウント停止有効)のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSR.SLCSTP ビットが“1”のときに、ディープソフトウェアスタンバイモードへ移行すると、IWDT 専用クロック、IWDT とともに電源供給が停止され、カウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”(低消費電力モード遷移時 IWDT カウント継続)のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSR.SLCSTP ビットが“0”のときは、ディープソフトウェアスタンバイモードへ移行せず、ソフトウェアスタンバイモードへ移行し、カウントを継続します。

また、電圧検出回路において電圧監視1リセットの機能(LVD1CR0.LVD1RI=1)、または電圧監視2リセットの機能(LVD2CR0.LVD2RI=1)を選択している場合は、ディープソフトウェアスタンバイモードへは移行できません。この場合はソフトウェアスタンバイモードへ移行します。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

- 注1. WAIT 命令を実行する前に、ソフトウェアスタンバイモードへ移行する際の DTC、DMAC、IWDT に関する条件を満たしておく必要があります。詳細は、「11.5.3 ソフトウェアスタンバイモード」を参照してください。

11.5.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部端子割り込み発生元となる一部の端子 (NMI, IRQ0-DS ~ IRQ15-DS)、周辺機能割り込み (RTC アラーム、RTC 周期、電圧監視 1、電圧監視 2)、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセットによって行われます。

(1) 外部割り込み端子および内部割り込み信号による解除

ディープソフトウェアスタンバイモードの解除は、DPSIERn (n = 0 ~ 2) レジスタと DPSIFRn (n = 0 ~ 2) レジスタで制御されます。ディープソフトウェアスタンバイモードを解除可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが“1”になります。このとき、DPSIERn レジスタで解除要因が許可されている場合にディープソフトウェアスタンバイモードは解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn (n = 0 ~ 2) レジスタにて設定可能です。エッジ選択可能な割り込みは、NMI、IRQ0-DS ~ IRQ15-DS、電圧監視 1、電圧監視 2 となります。

ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源の供給と LOCO クロックの発振を開始し、MCU 全体に対してディープソフトウェアスタンバイリセットが発生します。その後、安定した LOCO クロックが MCU 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

外部割り込み端子および内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが“1”になります。

(2) RES# 端子による解除

RES# 端子を Low にすると、ディープソフトウェアスタンバイモードは解除されます。このとき RES# 端子は「45. 電気的特性」に従って Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

(4) 電圧監視 0 リセットによる解除

電源電圧の低下によって電圧監視 0 リセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

11.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/Oポートの状態はソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、MCU内部は初期化され、ディープソフトウェアスタンバイモードが解除されるとリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEPビットによって、I/Oポートを初期状態とするか、ソフトウェアスタンバイモード時のI/Oポートの状態を保持するかを選択することができます。

- DPSBYCR.IOKEEPビットが“0”のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/Oポートの状態は初期状態になります。

- DPSBYCR.IOKEEPビットが“1”のとき

ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、MCU内部は初期化されていますが、I/OポートはMCU内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。このとき、I/Oポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時のI/Oポートの状態を保持します。その後、IOKEEPビットを“0”にすることによって、I/Oポートの状態保持は解除され、内部状態に応じた動作となります。

DPSBYCR.IOKEEPビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

11.5.4.4 ディープソフトウェアスタンバイモードの応用例

IRQn-DS 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 11.3 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) に設定されている状態で、IRQn 割り込みを受け付けた後、DPSIEGRy.DIRQnEG ビット (y = 0, 1, n = 0 ~ 15) を “1” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットと、DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

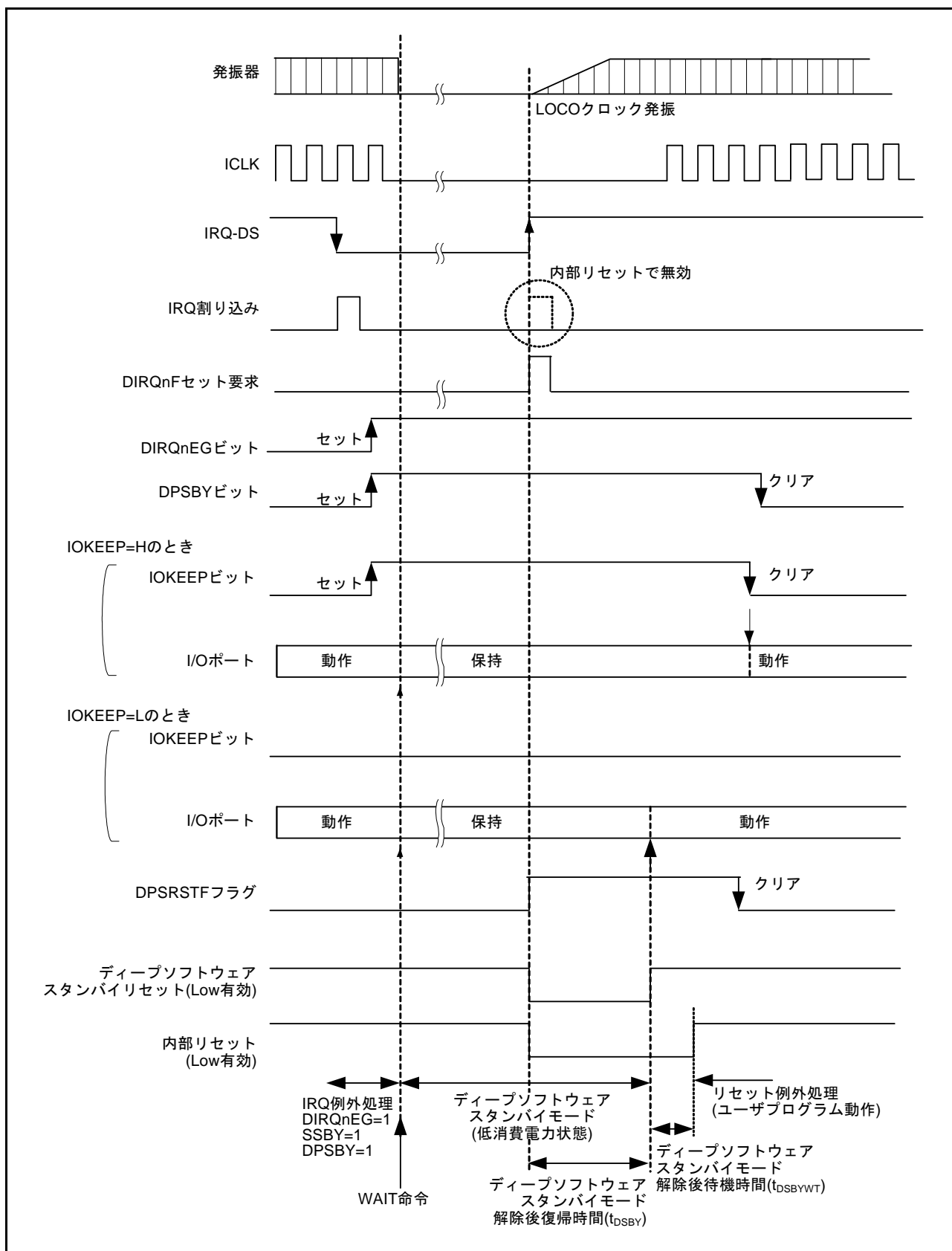


図 11.3 ディープソフトウェアスタンバイモードの応用例

11.5.4.5 ディープソフトウェアスタンバイモードのフローチャート

図 11.4 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグにて RES# 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを“0”にしています。

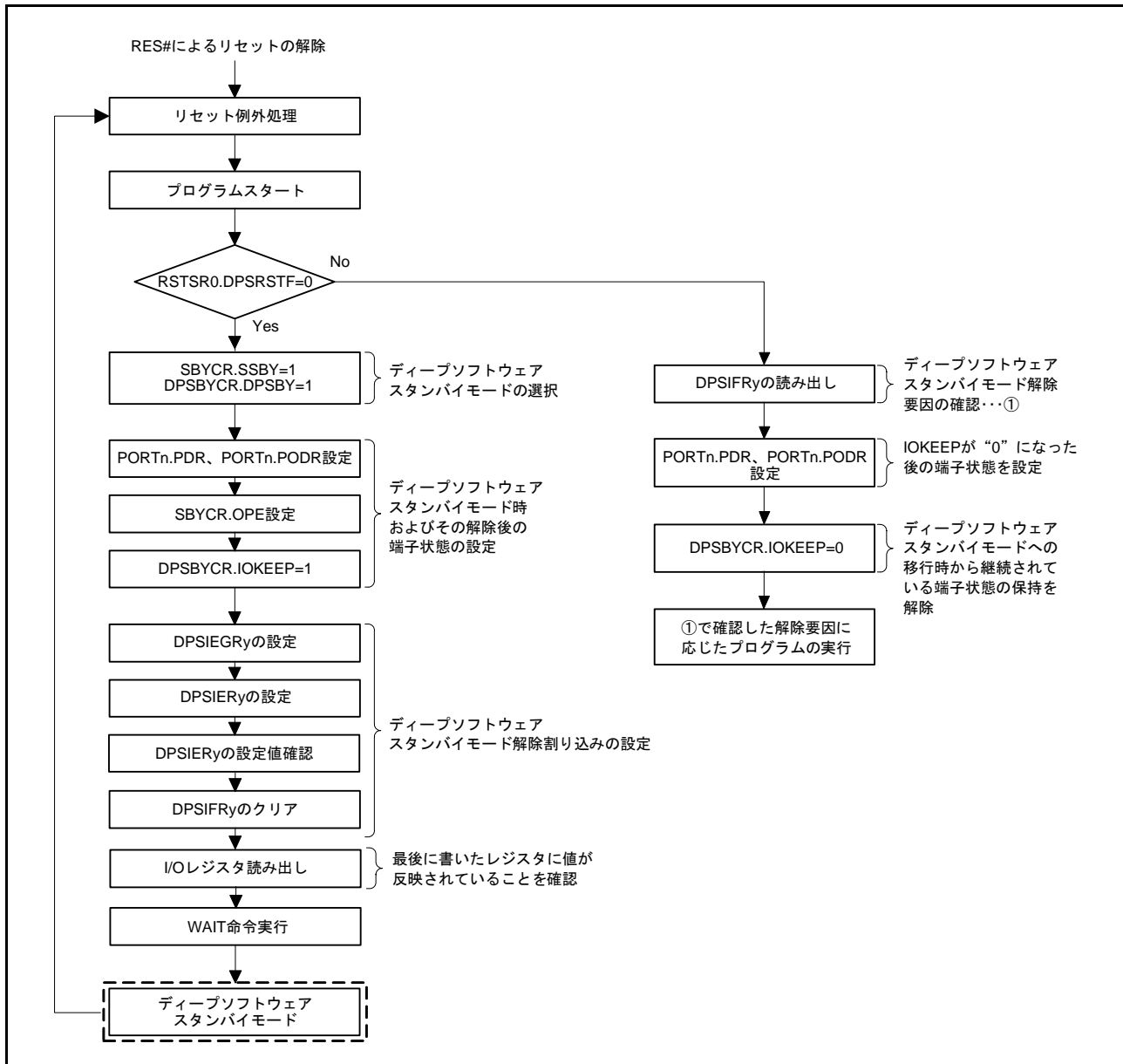


図 11.4 ディープソフトウェアスタンバイモードのフローチャート例

11.6 使用上の注意事項

11.6.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。

11.6.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DTC、DMAC が起動していない状態にしてください。

詳細は「17. DMA コントローラ (DMACAa)」、「18. データトランスファコントローラ (DTCb)」を参照してください。

11.6.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.6.4 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み

MSTPCRA、MSTPCRB、MSTPCRC、および MSTPCRD レジスタへの書き込みは、CPU のみで行ってください。

11.6.5 DIRQnE ビット (n = 0 ~ 15) による入力バッファ制御

DPSIERy.DIRQnE (y = 0, 1, n = 0 ~ 15) ビットを“1”にすることで、IRQ0-DS ~ IRQ15-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFRy.DIRQnF (y = 0, 1, n = 0 ~ 15) ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

11.6.6 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。I/O レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.6.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き換えしないでください。スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き換えしないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き換えしないでください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

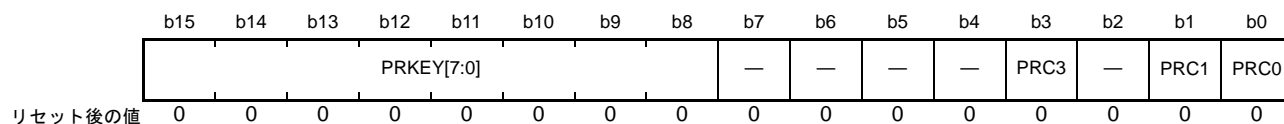
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR, SCKCR2, SCKCR3, PLLCR, PLLCR2, BCKCR, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOGR, HOCOGR2, FLLCR1, FLLCR2, OSTDCR, OSTDSR
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR0, SYSCR1, VOLSR 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, RSTCKCR, DPSBYCR, DPSIER0~2, DPSIFR0~2, DPSIEGR0~2 クロック発生回路関連レジスタ MOSCWTCR, SOSCWTTCR, MOFCR, SOFCR, HOCOPCR ソフトウェアリセットレジスタ SWRR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMPPCR, LVDLVLRL, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、クロック発生回路、消費電力低減機能、ソフトウェアリセット関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/(W) (注1)

注1. 書き込んだ値は保持されません。読み込んだ場合、“00h”が読めます。

PRCi ビット (プロテクトビット i) (i = 0, 1, 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常プログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RXv3 CPU は、8 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードになります。

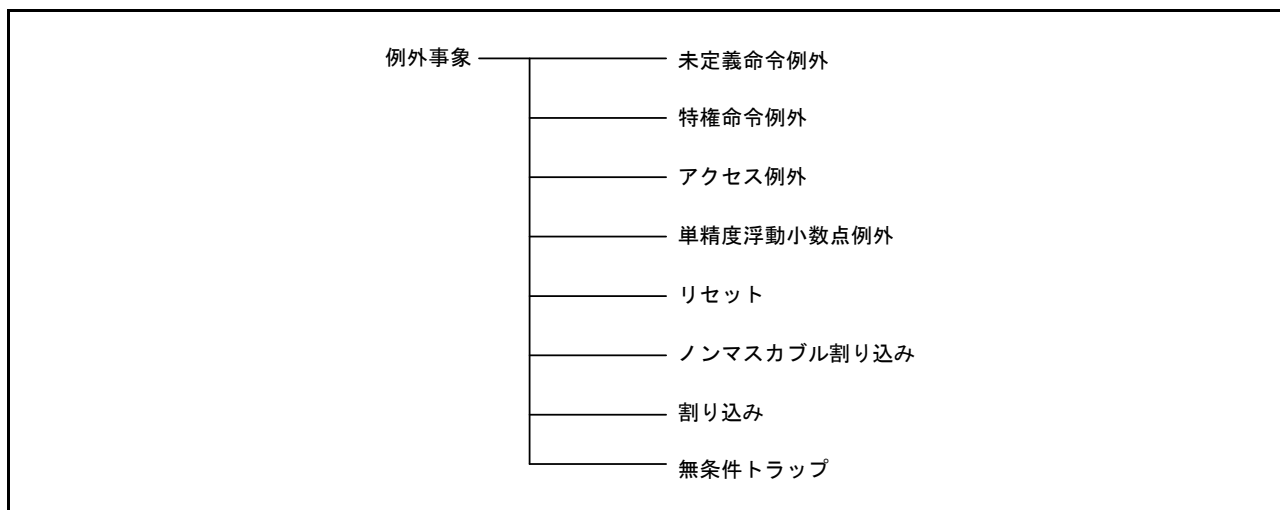


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令 (実装されていない命令) の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

13.1.3 アクセス例外

アクセス例外は、CPUからのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

13.1.4 単精度浮動小数点例外

単精度浮動小数点例外は、単精度浮動小数点演算命令実行時に、IEEE754規格で規定された5つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) および、非実装処理を検出した場合に発生します。5つの例外については、対応するFPSWのEX、EU、EZ、EO、EVビットが“1”のときのみCPUの例外処理が行われます。

13.1.5 リセット

CPUにリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.6 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.7 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15 (最高) です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

13.1.8 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム (例外処理ルーチン) によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

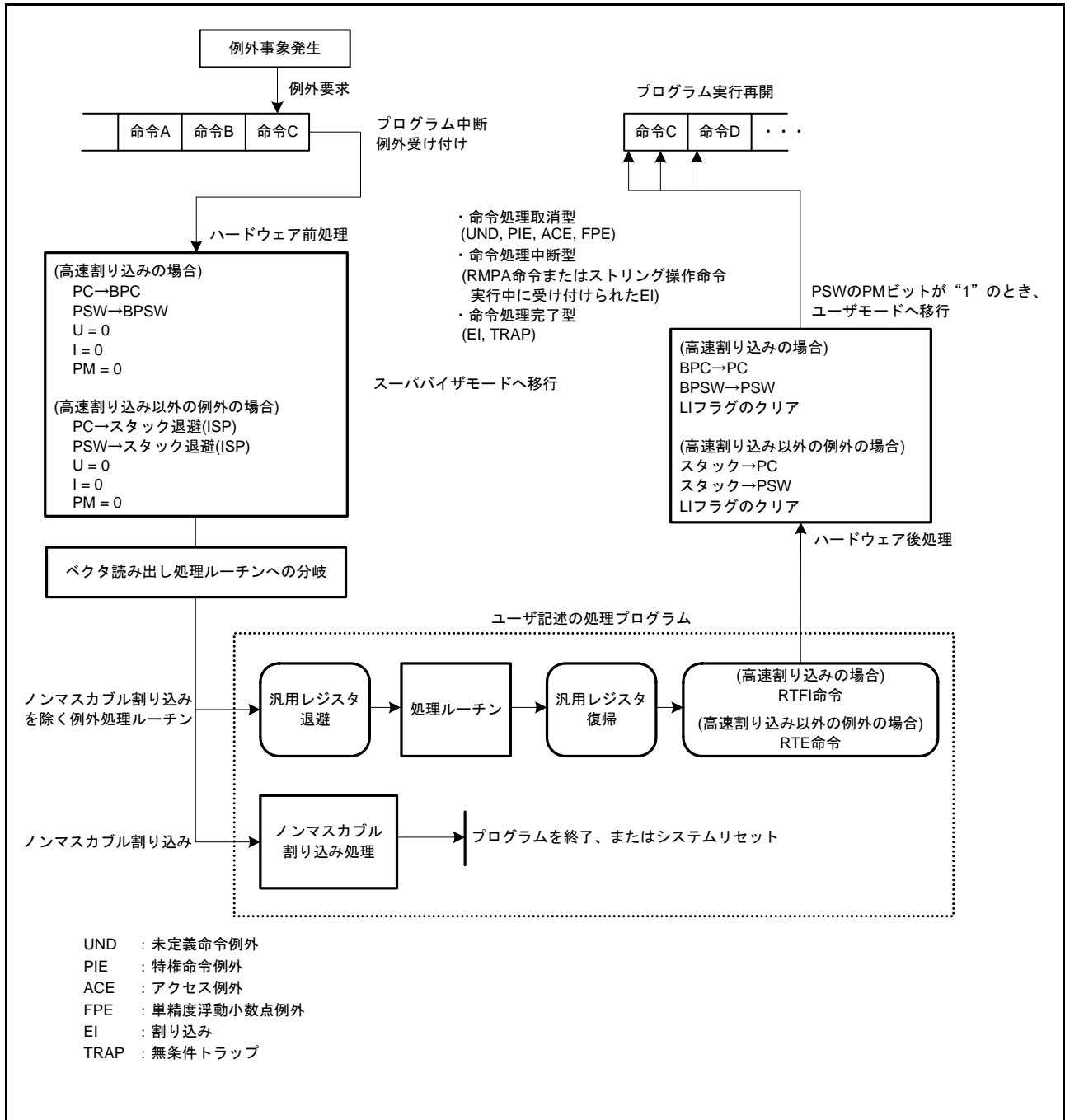


図 13.2 例外の処理手順の概要

例外が受け付けられると、RXv3 CPU はハードウェア処理を行った後、ベクタテーブルにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv3 CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避させます。高速割り込み以外の例外では、PC、PSW をスタック領域に退避させます。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによって退避させてください。

例外処理ルーチンの完了後、退避させたレジスタを復帰させてから RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv3 CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰させます。

例外処理ルーチンの先頭・末尾で行う汎用レジスタ等の退避・復帰には、スタックとレジスタ退避バンクが利用できます。

SAVE・RSTR 命令を使用することでレジスタ退避バンクへの退避・復帰ができます。SAVE・RSTR 命令の退避・復帰対象となっていないレジスタを退避・復帰させる場合には、PUSH・POP 等の命令を使用してスタックへの退避・復帰を行ってください。

なお、例外処理ルーチンで退避させるレジスタが極端に少ない場合を除き、レジスタ退避バンクを使用した方がスタックを使用する場合よりも高速に動作します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避されるPC値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ(PC)の値を表13.1に示します。

表13.1 受け付けタイミングと退避されるPC値

例外事象	処理型	受け付けタイミング	BPC/スタックに退避されるPC値	
未定義命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
特権命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
アクセス例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
単精度浮動小数点例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
リセット	命令処理放棄型	各マシンサイクル	なし	
ノンマスカブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ	命令処理完了型	命令の区切り	次の命令のPC値	

13.3.2 ベクタとPC、PSWの退避場所

各例外事象のベクタとプログラムカウンタ(PC)、プロセッサステータスワード(PSW)の退避場所を表13.2に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 ベクタテーブル」を参照してください。

表13.2 ベクタとPC、PSWの退避場所

例外事象	ベクタ	PC、PSWの退避場所	
未定義命令例外	例外ベクタテーブル(EXTB)	スタック	
特権命令例外	例外ベクタテーブル(EXTB)	スタック	
アクセス例外	例外ベクタテーブル(EXTB)	スタック	
単精度浮動小数点例外	例外ベクタテーブル(EXTB)	スタック	
リセット	例外ベクタテーブル(EXTB)	なし	
ノンマスカブル割り込み	例外ベクタテーブル(EXTB)	スタック	
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	割り込みベクタテーブル(INTB)	スタック
無条件トラップ	割り込みベクタテーブル(INTB)	スタック	

13.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注． FPSW は、ハードウェア前処理では退避させられません。単精度浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避させてください。

(b) PSW の PM、U、I ビットの更新

I： 0 にする

U： 0 にする

PM： 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

(c) LI フラグのクリア処理

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 0000005Ch 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 00000050h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 アクセス例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 00000054h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.4 単精度浮動小数点例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 00000064h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 リセット

- (1) 制御を初期化します。
- (2) FFFFFFFCh 番地からベクタを取得します。
- (3) 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.6 ノンマスカブル割り込み

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。
- (4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
- (5) EXTB の値 + 00000078h 番地からベクタを取得します。
- (6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.7 割り込み

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PSW (BPSW) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PC (BPC) に退避させます。
- (4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
- (5) 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
- (6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.8 無条件トラップ

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ (BPC, BPSW) に退避させられていたプログラムカウンタ (PC) とプロセッサステータスワード (PSW) の内容が復帰させられます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
単精度浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 命令アクセス例外
	5 未定義命令例外 特権命令例外
	6 無条件トラップ
	7 オペランドアクセス例外
	8 単精度浮動小数点例外

14. 割り込みコントローラ (ICUF)

14.1 概要

割り込みコントローラ (ICU) は、周辺モジュールや IRQ_i 端子 (i = 0 ~ 15) からのさまざまな割り込み要求を管理し、CPU への割り込み要求、または DTC、DMAC への転送要求を生成します。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

項目	内容
割り込み	<p>周辺機能割り込み</p> <p>周辺モジュールからの割り込み</p> <ul style="list-style-type: none"> 割り込みの検出方法：エッジ検出またはレベル検出 (割り込み要因ごとに検出方法は固定) グループ割り込み：複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 (注1) グループIE0割り込み： <ul style="list-style-type: none"> ICLKを動作クロックとするコプロセッサの割り込み要因 (エッジ検出) グループBE0割り込み： <ul style="list-style-type: none"> PCLKBを動作クロックとする周辺モジュールの割り込み要因 (エッジ検出) グループBL0/BL1/BL2割り込み： <ul style="list-style-type: none"> PCLKBを動作クロックとする周辺モジュールの割り込み要因 (レベル検出) グループAL0/AL1割り込み： <ul style="list-style-type: none"> PCLKAを動作クロックとする周辺モジュールの割り込み要因 (レベル検出) 選択型割り込みB：割り込みベクタ番号128～207に、PCLKBを動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の1つを割り当てることが可能 選択型割り込みA：割り込みベクタ番号208～255に、PCLKAを動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の1つを割り当てることが可能 <p>外部端子割り込み</p> <p>IRQ_i端子 (i = 0 ~ 15) への入力信号による割り込み</p> <ul style="list-style-type: none"> 割り込み検出：Lowレベル、立ち上がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 デジタルフィルタを使用することにより、ノイズを除去することが可能 <p>ソフトウェア割り込み</p> <ul style="list-style-type: none"> レジスタへの書き込みにより、割り込み要求を発生させることが可能 要因数：2 <p>割り込み優先レベル</p> <p>割り込み要因プライオリティレジスタ_r (IPR_r) (r = 000 ~ 255) により優先レベルを設定</p> <p>高速割り込み機能</p> <p>CPUの割り込み応答時間を短縮可能。1つの割り込み要因にのみ設定可能</p> <p>DTC、DMAC制御</p> <p>割り込み要因によりDTCやDMACの起動が可能 (注2)</p>
ノンマスクابل割り込み (注3)	<p>NMI端子割り込み</p> <p>NMI端子への入力信号による割り込み</p> <ul style="list-style-type: none"> 割り込み検出：立ち上がりエッジまたは立ち上がりエッジ デジタルフィルタを使用することにより、ノイズを除去することが可能 <p>発振停止検出割り込み (注4)</p> <p>メインクロック発振器の停止を検出したときの割り込み</p> <p>WDTアンダフロー/リフレッシュエラー割り込み (注4)</p> <p>ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み</p> <p>IWDTアンダフロー/リフレッシュエラー割り込み (注4)</p> <p>独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み</p> <p>電圧監視1割り込み (注4)</p> <p>電圧検出1回路 (LVD1) からの割り込み</p> <p>電圧監視2割り込み (注4)</p> <p>電圧検出2回路 (LVD2) からの割り込み</p> <p>RAMエラー割り込み (注4)</p> <p>RAMのパリティチェックエラーを検出したときの割り込み</p>
低消費電力状態からの復帰	<p>スリープモード</p> <p>すべての割り込み要因で復帰</p> <p>全モジュールクロックストップモード</p> <p>NMI端子割り込み、外部端子割り込み、周辺機能割り込み (電圧監視1、電圧監視2、発振停止検出、RTCアラーム、RTC周期、IWDT、REMC割り込み、選択型割り込み146～157) で復帰</p> <p>ソフトウェアスタンバイモード</p> <p>NMI端子割り込み、外部端子割り込み、周辺機能割り込み (電圧監視1、電圧監視2、RTCアラーム、RTC周期、IWDT、REMC割り込み) で復帰</p> <p>ディープソフトウェアスタンバイモード</p> <p>NMI端子割り込み、一部の外部端子割り込み、周辺機能割り込み (電圧監視1、電圧監視2、RTCアラーム、RTC周期) で復帰</p>

注1. 割り込み要因が割り当てられていないグループは予約です。また、そのグループに対応するレジスタは存在しません。

注2. DTCおよびDMACの起動要因については、「表 14.5 割り込みベクタテーブル」を参照してください。

注3. ノンマスクابل割り込みは一度許可すると、禁止できません。

注4. これらのノンマスクابل割り込みの各要因は、マスクابل割り込みとしても使用できます。その場合、NMIERレジスタはリセット後の状態から変更しないでください。また、電圧監視1割り込み、電圧監視2割り込みについては、LVD1CR1.LVD1IRQSELビット、LVD2CR1.LVD2IRQSELビットを“1”にしてください。

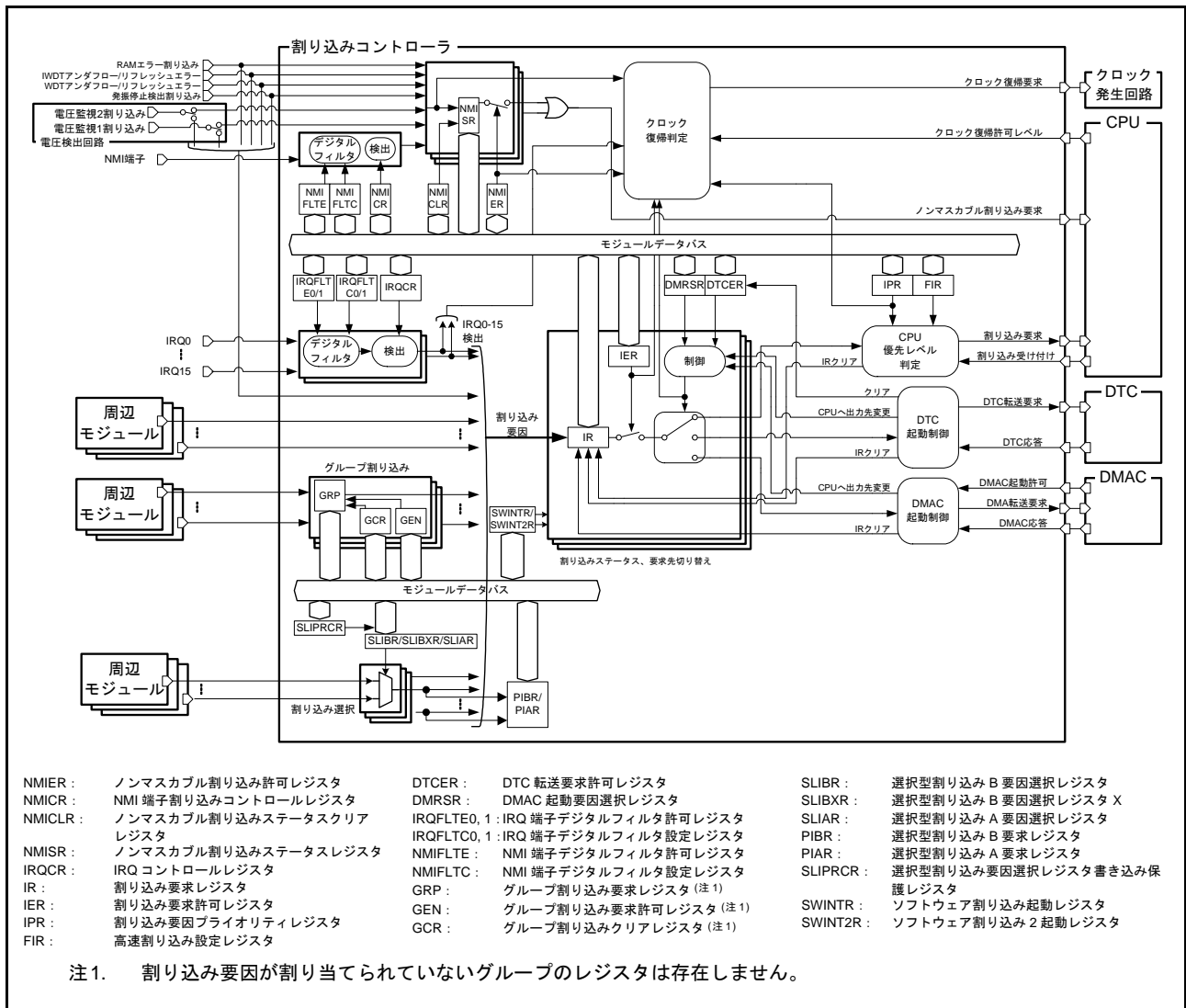


図 14.1 割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

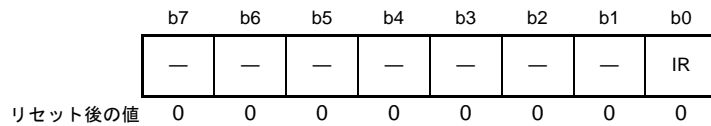
表 14.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0~IRQ15	入力	外部割り込み要求端子

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 016 ~ 255)

アドレス ICU.IR016 0008 7010h~ICU.IR255 0008 70FFh



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。レベル検出要因の場合、書き込みはできません。

IRn レジスタは、割り込み要求の有無を示すレジスタです。

割り込みベクタ番号ごとに存在し、n は割り込みベクタ番号と一致しています。

割り込み要因と割り込みベクタ番号の対応は、「表 14.5 割り込みベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求の有無を示すステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法には、エッジ検出とレベル検出の2種類があります。周辺モジュールからの割り込みは、要因ごとに検出方法が決まっています。各要因の検出方法については、「表 14.5 割り込みベクタテーブル」を参照してください。また、IRQi 端子 (i = 0 ~ 15) からの割り込みは、IRQCRI.IRQMD[1:0] ビットの設定によって、エッジ検出またはレベル検出のいずれかを選択することができます。

グループ割り込みの割り込みステータスフラグは、グループ割り込み要求レジスタ (GRPBL0, GRPBL1, GRPBL2, GRPAL0) の ISj フラグ (j = 0 ~ 31) です。ISj フラグの論理和で、各グループ割り込みに対応する IRn.IR フラグが“1”になります。グループ割り込みの検出方法はレベル検出です。

グループ割り込みについては「14.4.4 グループ割り込み」を参照してください。

(1) エッジ検出の場合

["1"になる条件]

- 周辺機能割り込み、外部端子割り込みの各要求が発生すると“1”になります。周辺モジュールごとの割り込み要求については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IRフラグに“0”を書くと“0”になります。ただし、割り込み要求先をDTCまたはDMACに設定している場合、IRフラグに“0”を書かないでください。

(2) レベル検出の場合

["1"になる条件]

- 周辺機能割り込み、外部端子割り込みの各要求が発生している間“1”になります。周辺モジュールごとの割り込み要求については、各周辺モジュールの章を参照してください。
- グループ割り込みの場合、グループ割り込み要求許可レジスタ (GENBL0, GENBL1, GENBL2, GENAL0) のEN_jビット(j=0~31)が“1”(許可)で、グループ割り込み要求レジスタ (GRPBL0, GRPBL1, GRPBL2, GRPAL0) のIS_jフラグが“1”(割り込み要求あり)のときに“1”になります。

["0"になる条件]

- 周辺モジュールの割り込み要求出力をクリアすると“0”になります(割り込み要求先が割り込み要求を受け付けても“0”になりません)。周辺モジュールごとの割り込み要求のクリアについては、各周辺モジュールの章を参照してください。
- グループ割り込みの場合、グループ割り込み要求許可レジスタのEN_jビットが“0”(禁止)、またはグループ割り込み要求レジスタのIS_jフラグが“0”(割り込み要求なし)になると、“0”になります。

外部端子割り込みの割り込み検出方法をレベル検出に設定している場合、発生した外部端子割り込みを取り下げるには、対応するIR_{Qi}端子(i=0~15)への入力レベルをHighにしてください。レベル検出に設定している場合、IRフラグに値を書き込まないでください。

14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス ICU.IER02 0008 7202h~ICU.IER1F 0008 721Fh

b7	b6	b5	b4	b3	b2	b1	b0
IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 対応する割り込みベクタ番号の割り込み要因が予約になっている場合、当該ビットは“0”にしてください。読むと“0”が読めません。

IERm レジスタは、割り込み要求の割り込み要求先への出力を許可または禁止するレジスタです。

IENj ビット (割り込み要求許可ビット j) (j = 0 ~ 7)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

なお、IRn.IR フラグ (n = 016 ~ 255) は、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「14.2.1 割り込み要求レジスタ n (IRn) (n = 016 ~ 255)」に示す条件で IR フラグは変化します。

IERm.IENj ビットは、割り込みベクタ番号ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 14.5 割り込みベクタテーブル」を参照してください。なお、m と j は以下の式でも計算できます。

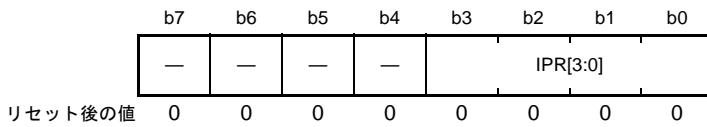
$$m = n \div 8 \text{ の商}$$

$$j = n \div 8 \text{ の余り}$$

割り込み要求先を選択する際の IERm.IENj ビットの設定手順は、「14.7.3.1 割り込み要求先の設定手順」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ r (IPRr) (r =000 ~ 255)

アドレス ICU.IPR000 0008 7300h~ICU.IPR255 0008 73FFh



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止) (注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに指定している割り込み要因については、レベル0に設定していても割り込み優先レベルはレベル15になります。

IPRr レジスタは、対応する割り込みベクタ番号に割り当てられた割り込み要因の割り込み優先レベルを設定するレジスタです。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の割り込み優先レベルを選択するビットです。

IPR[3:0] ビットで選択した割り込み優先レベルは、CPU への割り込み要求の優先レベル判定にのみ使用され、DTC や DMAC への転送要求には影響しません。

CPU は、PSW.IPL[3:0] ビットが示すプロセッサ割り込み優先レベルより高い優先レベルの割り込み要求のみを受け付けます。

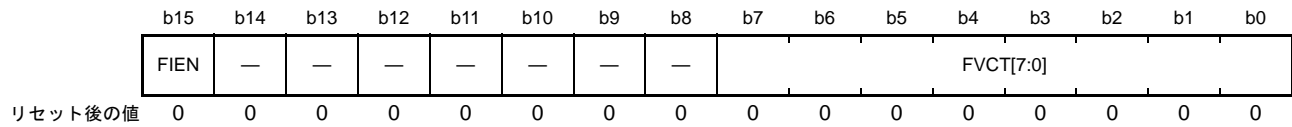
複数の割り込み要求が同時に発生した場合、それぞれの IPR[3:0] ビットに設定された優先レベルを使用して優先レベルの比較を行います。優先レベルが同じ割り込み要求が同時に発生した場合には、割り込みベクタ番号の小さい割り込み要求が優先されます。

このレジスタへの書き込みは、該当する IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が “0” (割り込み要求禁止) のときに行ってください。

割り込みベクタと IPRr レジスタの対応は、「表 14.5 割り込みベクタテーブル」を参照してください。なお、割り込みベクタ番号が 32 以上の場合、r は割り込みベクタ番号と一致します。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス ICU.FIR 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みに指定する割り込み要因の割り込みベクタ番号を設定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0：高速割り込み禁止 1：高速割り込み許可	R/W

FIR レジスタは、高速割り込みとして処理する割り込み要因を指定するレジスタです。

高速割り込みが有効になるのは CPU に対してのみです。DTC や DMAC を要求先に設定している割り込みベクタ番号を高速割り込みに指定したとしても、DTC、DMAC への転送要求には影響しません。

このレジスタへの書き込みは、対応する IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) が“0”のときに行ってください。

高速割り込みの詳細は、「14.9 高速割り込み」を参照してください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込みを使用する割り込み要因の割り込みベクタ番号を指定するビットです。

指定できる割り込みベクタ番号は、「表 14.5 割り込みベクタテーブル」を参照してください。予約の割り込みベクタ番号を指定しないでください。

FIEN ビット (高速割り込み許可ビット)

高速割り込みの使用を許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに指定した割り込みベクタ番号に割り当てられた割り込み要因が、高速割り込みとして処理されます。

FIEN ビットが“1”の場合、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定した割り込みベクタ番号の割り込み要求が発生すると、IPRr レジスタ (r = 000 ~ 255) の設定に関係なく、高速割り込みとして CPU に割り込み要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合は、IPRr レジスタの設定が必要です。詳細は「14.10.3 ソフトウェアスタンバイモードからの復帰」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス ICU.SWINTR 0008 72E0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	SWINT

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読めます。“1”を書くとソフトウェア割り込み要求が発生します。“0”を書いても無視されます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWINTR レジスタは、ソフトウェア割り込み要求の生成を制御するレジスタです。

SWINT ビット (ソフトウェア割り込み起動ビット)

SWINT ビットに“1”を書くと、ソフトウェア割り込み要求 (SWINT) が発生し、IR027.IR フラグが“1”になります。ソフトウェア割り込み要求 (SWINT) は DTC の起動要因にすることができますが、DMAC の起動要因にはできません。

14.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R)

アドレス ICU.SWINT2R 0008 72E1h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	SWINT 2

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT2	ソフトウェア割り込み2起動ビット	読むと“0”が読めます。“1”を書き込むことでソフトウェア割り込み要求2が発生します。“0”を書いても無視されます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWINT2R レジスタは、ソフトウェア割り込み要求 2 の生成を制御するレジスタです。

SWINT2 ビット (ソフトウェア割り込み 2 起動ビット)

SWINT2 ビットに“1”を書くと、ソフトウェア割り込み要求 2 (SWINT2) が発生し、IR026.IR フラグが“1”になります。ソフトウェア割り込み要求 2 (SWINT2) は DTC の起動要因にすることができますが、DMAC の起動要因にはできません。

14.2.7 DTC 転送要求許可レジスタ n (DTCERn) (n = 026 ~ 255)

アドレス ICU.DTCER026 0008 711Ah ~ ICU.DTCER255 0008 71FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC転送要求許可ビット	0 : CPUへの割り込み要因、またはDMACの起動要因に設定する 1 : DTCの起動要因に設定する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCERn レジスタは、割り込みベクタ番号 n に対応する割り込み要因を、DTC の起動要因として選択するレジスタです。

同じ割り込み要因を、DTC と DMAC の両方の起動要因に指定しないでください。割り込み要因と割り込みベクタ番号の対応、DTC 起動に使用できる割り込み要因については、「表 14.5 割り込みベクタテーブル」を参照してください。

DTCE ビット (DTC 転送要求許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1”になる条件]

- DTCE ビットに“1”を書いたとき

[“0”になる条件]

- DTC による指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

14.2.8 DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャネル番号)

アドレス ICU.DMRSR0 0008 7400h, ICU.DMRSR1 0008 7404h, ICU.DMRSR2 0008 7408h, ICU.DMRSR3 0008 740Ch,
ICU.DMRSR4 0008 7410h, ICU.DMRSR5 0008 7414h, ICU.DMRSR6 0008 7418h, ICU.DMRSR7 0008 741Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	DMACの起動要因にしたい割り込み要因の割り込みベクタ番号を設定します	R/W

DMRSRm レジスタは、割り込み要因を DMACm の起動要因として選択するレジスタです。

複数の DMRSRm レジスタに同一の割り込みベクタ番号を指定しないでください。また、同じ割り込み要因を、DTC と DMAC の両方の起動要因に指定しないでください。これらの禁止事項に違反した場合の動作は保証されません。

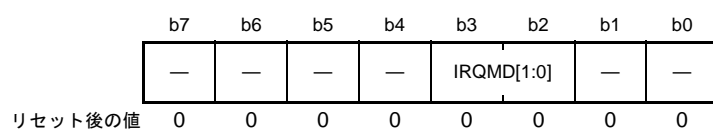
DMRSRm レジスタには、DMAC の起動に使用する割り込み要因の割り込みベクタ番号を設定します。DMAC の起動要因として使用できない割り込み要因の割り込みベクタ番号は、設定しないでください。

割り込み要因の割り込みベクタ番号は、「表 14.5 割り込みベクタテーブル」を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタ (DMACm.DMCNT) の DTE ビットが“0”のときに行ってください。

14.2.9 IRQコントロールレジスタ i (IRQCRi) (i = 0 ~ 15)

アドレス ICU.IRQCR0 0008 7500h~ICU.IRQCR15 0008 750Fh



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0 : レベル(Low) 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IRQCRi レジスタは、外部端子割り込みの検出方法を選択するレジスタです。

このレジスタへの書き込みは、対応する IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が“0”のときに行ってください。書き込み後は対応する IRn.IR フラグ (n = 016 ~ 255) を“0”にした後で、IERm.IENj ビットを“1”にしてください。ただし、検出方法をレベルに変更する場合は、IR フラグを“0”にする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQi 端子 (i = 0 ~ 15) の割り込み検出方法を設定します。

外部端子割り込みの設定手順は、「14.7.4 外部端子割り込みの設定手順」を参照してください。

14.2.10 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス ICU.IRQFLTE0 0008 7520h

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

IRQFLTE0 レジスタは、IRQ0 端子～ IRQ7 端子のデジタルフィルタを有効または無効にするレジスタです。

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

FLTEN_i ビットが“1”のとき、IRQ_i 端子のデジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、IRQ_i 端子のデジタルフィルタは無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで指定したサンプリングクロックで IRQ_i 端子への入力信号をサンプリングし、3回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.7.6 デジタルフィルタ」を参照してください。

14.2.11 IRQ 端子デジタルフィルタ許可レジスタ 1 (IRQFLTE1)

アドレス ICU.IRQFLTE1 0008 7521h

b7	b6	b5	b4	b3	b2	b1	b0
FLTEN 15	FLTEN 14	FLTEN 13	FLTEN 12	FLTEN 11	FLTEN 10	FLTEN 9	FLTEN 8

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN8	IRQ8 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN9	IRQ9 デジタルフィルタ許可ビット		R/W
b2	FLTEN10	IRQ10 デジタルフィルタ許可ビット		R/W
b3	FLTEN11	IRQ11 デジタルフィルタ許可ビット		R/W
b4	FLTEN12	IRQ12 デジタルフィルタ許可ビット		R/W
b5	FLTEN13	IRQ13 デジタルフィルタ許可ビット		R/W
b6	FLTEN14	IRQ14 デジタルフィルタ許可ビット		R/W
b7	FLTEN15	IRQ15 デジタルフィルタ許可ビット		R/W

IRQFLTE1 レジスタは、IRQ8 端子～ IRQ15 端子のデジタルフィルタを有効または無効にするレジスタです。

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 8 ~ 15)

FLTEN_i ビットが“1”のとき、IRQ_i 端子のデジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、IRQ_i 端子のデジタルフィルタは無効です。

IRQFLTC1.FCLKSEL_i[1:0] ビットで指定したサンプリングクロックで IRQ_i 端子への入力信号をサンプリングし、3回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.7.6 デジタルフィルタ」を参照してください。

14.2.12 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス ICU.IRQFLTC0 0008 7528h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値															
0		0		0		0		0		0		0		0	

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

IRQFLTC0 レジスタは、IRQ0 端子～IRQ7 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

IRQi 端子のデジタルフィルタのサンプリングクロックを選択するビットです。デジタルフィルタの詳細は、「14.7.6 デジタルフィルタ」を参照してください。

14.2.13 IRQ 端子デジタルフィルタ設定レジスタ 1 (IRQFLTC1)

アドレス ICU.IRQFLTC1 0008 752Ah

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FCLKSEL15[1:0]		FCLKSEL14[1:0]		FCLKSEL13[1:0]		FCLKSEL12[1:0]		FCLKSEL11[1:0]		FCLKSEL10[1:0]		FCLKSEL9[1:0]		FCLKSEL8[1:0]	
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL8[1:0]	IRQ8 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b3-b2	FCLKSEL9[1:0]	IRQ9 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL10[1:0]	IRQ10 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL11[1:0]	IRQ11 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL12[1:0]	IRQ12 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL13[1:0]	IRQ13 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL14[1:0]	IRQ14 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL15[1:0]	IRQ15 デジタルフィルタサンプリングクロック設定ビット		R/W

IRQFLTC1 レジスタは、IRQ8 端子～IRQ15 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

FCLKSEL i [1:0] ビット (IRQ i デジタルフィルタサンプリングクロック設定ビット) ($i = 8 \sim 15$)

IRQ i 端子のデジタルフィルタのサンプリングクロックを選択するビットです。デジタルフィルタの詳細は、「14.7.6 デジタルフィルタ」を参照してください。

14.2.14 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 0008 7580h

b7	b6	b5	b4	b3	b2	b1	b0
—	RAMST	LVD2S T	LVD1S T	IWDTST T	WDTST	OSTST	NMIST

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0: WDTアンダフロー/リフレッシュエラー割り込み要求なし 1: WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTST	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b6	RAMST	RAMエラー割り込みステータスフラグ	0: RAMエラー割り込み要求なし 1: RAMエラー割り込み要求あり	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスクابل割り込みの有無を示すレジスタです。

NMIER レジスタの対応するビットが“0”であっても、NMISR レジスタの各フラグには影響がありません。

ノンマスクابل割り込みの処理ルーチンでは、NMISR レジスタを読み出して他のノンマスクابل割り込みの発生状況を確認し、すべてのステータスフラグが“0”であることを確認してから、処理を終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求の有無を示します。

NMIST フラグは読み出しのみ可能です。NMIST フラグを“0”にするには、NMICLR.NMICLR ビットを“1”にします。

[“1”になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0”になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求の有無を示します。

OSTST フラグは読み出しのみ可能です。OSTST フラグを“0”にするには、NMICLR.OSTCLR ビットを“1”にします。

["1"になる条件]

- 発振停止検出割り込みが発生したとき

["0"になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

WDTST フラグ (WDT アンダフロー/リフレッシュエラーステータスフラグ)

WDT アンダフロー/リフレッシュエラー割り込み要求の有無を示します。

WDTST フラグは読み出しのみ可能です。WDTST フラグを“0”にするには、NMICLR.WDTCLR ビットを“1”にします。

["1"になる条件]

- WDT リセットコントロールレジスタ (WDTRCR) の RSTIRQS ビットが“0”の場合に、WDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0"になる条件]

- NMICLR.WDTCLR ビットに“1”を書いたとき

IWDTST フラグ (IWDT アンダフロー/リフレッシュエラーステータスフラグ)

IWDT アンダフロー/リフレッシュエラー割り込み要求の有無を示します。

IWDTST フラグは読み出しのみ可能です。IWDTST フラグを“0”にするには、NMICLR.IWDTCLR ビットを“1”にします。

["1"になる条件]

- IWDT リセットコントロールレジスタ (IWDRCR) の RSTIRQS ビットが“0”の場合に、IWDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0"になる条件]

- NMICLR.IWDTCLR ビットに“1”を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータス フラグ)

電圧監視 1 割り込み要求の有無を示します。

LVD1ST フラグは読み出しのみ可能です。LVD1ST フラグを“0”にするには、NMICLR.LVD1CLR ビットを“1”にします。

["1"になる条件]

- 電圧監視 1 回路制御レジスタ 1 (LVD1CR1) の LVD1IRQSEL ビットが“0”の場合に、電圧監視 1 割り込みが発生したとき

["0"になる条件]

- NMICLR.LVD1CLR ビットに“1”を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータス フラグ)

電圧監視 2 割り込み要求の有無を示します。

LVD2ST フラグは読み出しのみ可能です。LVD2ST フラグを“0”にするには、NMICLR.LVD2CLR ビットを“1”にします。

[“1”になる条件]

- 電圧監視 2 回路制御レジスタ 1 (LVD2CR1) の LVD2IRQSEL ビットが“0”の場合に、電圧監視 2 割り込みが発生したとき

[“0”になる条件]

- NMICLR.LVD2CLR ビットに“1”を書いたとき

RAMST フラグ (RAM エラー割り込みステータスフラグ)

RAM からの RAM エラー割り込み要求の有無を示します。

RAMST フラグは読み出しのみ可能です。RAMST フラグを“0”にするには、RAM のエラーステータスフラグをすべてクリアしてください。詳細は「43.3.2 RAM エラー割り込み機能」を参照してください。

[“1”になる条件]

- パリティチェックエラー割り込みが発生したとき (RAM.RAMSTS.RAMERR フラグが“1”になったとき)

[“0”になる条件]

- RAMST フラグを“1”にした要因すべてがクリアされたとき

14.2.15 ノンマスクブル割り込み許可レジスタ (NMIER)

アドレス ICU.NMIER 0008 7581h

b7	b6	b5	b4	b3	b2	b1	b0
—	RAME N	LVD2E N	LVD1E N	IWDTE N	WDTE N	OSTEN	NMIEN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0 : NMI端子割り込み禁止 1 : NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込み禁止 1 : 発振停止検出割り込み許可	R/(W) (注1)
b2	WDTEN	WDTアンダフロー/リフレッシュエラー許可ビット	0 : WDTアンダフロー/リフレッシュエラー割り込み禁止 1 : WDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0 : IWDTアンダフロー/リフレッシュエラー割り込み禁止 1 : IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0 : 電圧監視1割り込み禁止 1 : 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0 : 電圧監視2割り込み禁止 1 : 電圧監視2割り込み許可	R/(W) (注1)
b6	RAMEN	RAMエラー割り込み許可ビット	0 : RAMエラー割り込み禁止 1 : RAMエラー割り込み許可	R/(W) (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 一度“1”にすると、ソフトウェアでは“0”にできません。

NMIER レジスタは、ノンマスクブル割り込みの生成を許可または禁止するレジスタです。各ビットが“1”の場合、対応する割り込み要因はノンマスクブル割り込みとして使用されます。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可または禁止するビットです。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みによるノンマスクブル割り込みの生成を許可または禁止するビットです。マスクブル割り込みとして使用する場合は、“0”のままにしてください。

WDTEN ビット (WDT アンダフロー/リフレッシュエラー許可ビット)

WDT アンダフロー/リフレッシュエラー割り込みによるノンマスクブル割り込みの生成を許可または禁止するビットです。

マスクブル割り込みとして使用する場合は、“0”のままにしてください。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みによるノンマスクブル割り込みの生成を許可または禁止するビットです。

マスクブル割り込みとして使用する場合は、“0”のままにしてください。

LVD1EN ビット (電圧監視 1 割り込み許可ビット)

電圧監視 1 割り込みによるノンマスクブル割り込みの生成を許可または禁止するビットです。
マスクブル割り込みとして使用する場合は、“0”のままにしてください。

LVD2EN ビット (電圧監視 2 割り込み許可ビット)

電圧監視 2 割り込みによるノンマスクブル割り込みの生成を許可または禁止するビットです。
マスクブル割り込みとして使用する場合は、“0”のままにしてください。

RAMEN ビット (RAM エラー割り込み許可ビット)

RAM エラー割り込みによるノンマスクブル割り込みの生成を許可または禁止するビットです。
マスクブル割り込みとして使用する場合は、“0”のままにしてください。

14.2.16 ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTC LR	WDTCL R	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.NMISTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b1	OSTCLR	OSTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.OSTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b2	WDTCLR	WDTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.WDTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b3	IWDTCR	IWDTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.IWDTSTフラグが“0”になります。“0”を書いても無視されます	R/(W)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読めます。“1”を書くと、NMISR.LVD1STフラグが“0”になります。“0”を書いても無視されます	R/(W)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読めます。“1”を書くと、NMISR.LVD2STフラグが“0”になります。“0”を書いても無視されます	R/(W)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICLR レジスタは、NMISR レジスタの各フラグをクリアするためのレジスタです。
各ビットに“1”を書くと対応するステータスフラグが“0”になります。

14.2.17 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタは、NMI 端子割り込みの検出方法を選択するレジスタです。
NMICR レジスタへの書き込みは、NMIER.NMIEN ビットが“0”のときに行ってください。

14.2.18 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス ICU.NMIFLTE 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTE N
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMIFLTE レジスタは、NMI 端子のデジタルフィルタを有効または無効にするレジスタです。

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタは無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックで NMI 端子への入力信号をサンプリングし、3 回連続でレベルが一致しない入力信号を除去します。

デジタルフィルタの詳細は、「14.7.6 デジタルフィルタ」を参照してください。

14.2.19 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス ICU.NMIFLTC 0008 7594h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0 : PCLKB 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : PCLKB/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMIFLTC レジスタは、NMI 端子のデジタルフィルタのサンプリングクロックを指定するレジスタです。

NFCLKSEL[1:0] ビット (NMI デジタルフィルタ サンプリングクロック設定ビット)

NMI 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

デジタルフィルタの詳細は、「14.7.6 デジタルフィルタ」を参照してください。

14.2.20 グループ BL0/BL1/BL2 割り込み要求レジスタ (GRPBL0/GRPBL1/GRPBL2)、
グループ AL0 割り込み要求レジスタ (GRPAL0)

アドレス ICU.GRPBL0 0008 7630h, ICU.GRPBL1 0008 7634h, ICU.GRPBL2 0008 7638h, ICU.GRPAL0 0008 7830h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IS31	IS30	IS29	IS28	IS27	IS26	IS25	IS24	IS23	IS22	IS21	IS20	IS19	IS18	IS17	IS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IS15	IS14	IS13	IS12	IS11	IS10	IS9	IS8	IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IS0	割り込みステータスフラグ0	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b1	IS1	割り込みステータスフラグ1		R
b2	IS2	割り込みステータスフラグ2		R
b3	IS3	割り込みステータスフラグ3		R
b4	IS4	割り込みステータスフラグ4		R
b5	IS5	割り込みステータスフラグ5		R
b6	IS6	割り込みステータスフラグ6		R
b7	IS7	割り込みステータスフラグ7		R
b8	IS8	割り込みステータスフラグ8		R
b9	IS9	割り込みステータスフラグ9		R
b10	IS10	割り込みステータスフラグ10		R
b11	IS11	割り込みステータスフラグ11		R
b12	IS12	割り込みステータスフラグ12		R
b13	IS13	割り込みステータスフラグ13		R
b14	IS14	割り込みステータスフラグ14		R
b15	IS15	割り込みステータスフラグ15		R
b16	IS16	割り込みステータスフラグ16		R
b17	IS17	割り込みステータスフラグ17		R
b18	IS18	割り込みステータスフラグ18		R
b19	IS19	割り込みステータスフラグ19		R
b20	IS20	割り込みステータスフラグ20		R
b21	IS21	割り込みステータスフラグ21		R
b22	IS22	割り込みステータスフラグ22		R
b23	IS23	割り込みステータスフラグ23		R
b24	IS24	割り込みステータスフラグ24		R
b25	IS25	割り込みステータスフラグ25		R
b26	IS26	割り込みステータスフラグ26		R
b27	IS27	割り込みステータスフラグ27		R
b28	IS28	割り込みステータスフラグ28		R
b29	IS29	割り込みステータスフラグ29		R
b30	IS30	割り込みステータスフラグ30		R
b31	IS31	割り込みステータスフラグ31		R

これらのレジスタは、グループ化された割り込み要因の各割り込み要求ステータスを示すレジスタです。

GRPBL0、GRPBL1、GRPBL2 レジスタは、検出方法がレベル検出で、かつ動作クロックが PCLKB である割り込み要因の割り込みステータスで構成されています。

GRPAL0 レジスタは、検出方法がレベル検出で、かつ動作クロックが PCLKA である割り込み要因の割り込みステータスで構成されています。

これらのレジスタを総称して、「グループ割り込み要求レジスタ」と呼称します。

グループ割り込みの詳細は「14.4.4 グループ割り込み」を参照してください。

ISj フラグ (割り込みステータスフラグ j) (j = 0 ~ 31)

グループ割り込みに割り当てられた割り込み要因の割り込み要求ステータスフラグです。

対応するグループ割り込み要求許可レジスタの ENj ビットが“1”のときのみ、ISj フラグが“1”になります。いずれかの ISj フラグが“1”になると、そのグループ割り込みに対応する IRn.IR フラグ (n = 016 ~ 255) が“1”になります。

(1) グループ BL0/BL1/BL2 の場合

[“1”になる条件]

- GRPBL0/GRPBL1/GRPBL2.ISj フラグは、GENBL0/GENBL1/GENBL2.ENj ビットが“1”で、かつ対応する周辺モジュールの割り込み要求が発生している間、“1”になります。

[“0”になる条件]

- 対応する周辺モジュールの割り込み要求出力をクリアすると“0”になります。
- GRPBL0/GRPBL1/GRPBL2.ISj フラグは、GENBL0/GENBL1/GENBL2.ENj ビットを“0”にすると、“0”になります。

(2) グループ AL0 の場合

[“1”になる条件]

- GRPAL0.ISj フラグは、GENAL0.ENj ビットが“1”で、かつ対応する周辺モジュールの割り込み要求が発生している間、“1”になります。

[“0”になる条件]

- 対応する周辺モジュールの割り込み要求出力をクリアすると“0”になります。
- GRPAL0.ISj フラグは、GENAL0.ENj ビットを“0”にすると、“0”になります。

14.2.21 グループ BL0/BL1/BL2 割り込み要求許可レジスタ (GENBL0/GENBL1/GENBL2)、
グループ AL0 割り込み要求許可レジスタ (GENAL0)

アドレス ICU.GENBL0 0008 7670h, ICU.GENBL1 0008 7674h, ICU.GENBL2 0008 7678h, ICU.GENAL0 0008 7870h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EN31	EN30	EN29	EN28	EN27	EN26	EN25	EN24	EN23	EN22	EN21	EN20	EN19	EN18	EN17	EN16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	割り込み要求許可ビット0	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b1	EN1	割り込み要求許可ビット1		R/W
b2	EN2	割り込み要求許可ビット2		R/W
b3	EN3	割り込み要求許可ビット3		R/W
b4	EN4	割り込み要求許可ビット4		R/W
b5	EN5	割り込み要求許可ビット5		R/W
b6	EN6	割り込み要求許可ビット6		R/W
b7	EN7	割り込み要求許可ビット7		R/W
b8	EN8	割り込み要求許可ビット8		R/W
b9	EN9	割り込み要求許可ビット9		R/W
b10	EN10	割り込み要求許可ビット10		R/W
b11	EN11	割り込み要求許可ビット11		R/W
b12	EN12	割り込み要求許可ビット12		R/W
b13	EN13	割り込み要求許可ビット13		R/W
b14	EN14	割り込み要求許可ビット14		R/W
b15	EN15	割り込み要求許可ビット15		R/W
b16	EN16	割り込み要求許可ビット16		R/W
b17	EN17	割り込み要求許可ビット17		R/W
b18	EN18	割り込み要求許可ビット18		R/W
b19	EN19	割り込み要求許可ビット19		R/W
b20	EN20	割り込み要求許可ビット20		R/W
b21	EN21	割り込み要求許可ビット21		R/W
b22	EN22	割り込み要求許可ビット22		R/W
b23	EN23	割り込み要求許可ビット23		R/W
b24	EN24	割り込み要求許可ビット24		R/W
b25	EN25	割り込み要求許可ビット25		R/W
b26	EN26	割り込み要求許可ビット26		R/W
b27	EN27	割り込み要求許可ビット27		R/W
b28	EN28	割り込み要求許可ビット28		R/W
b29	EN29	割り込み要求許可ビット29		R/W
b30	EN30	割り込み要求許可ビット30		R/W
b31	EN31	割り込み要求許可ビット31		R/W

注. 各ビットに対応する割り込み要因が存在しない(予約になっている)場合、当該ビットは“0”にしてください。

これらのレジスタは、グループ化された割り込み要因の各割り込み要求が発生したときに、グループ割り込み要求レジスタの ISj フラグを“1”にするかどうかを選択するレジスタです。これらのレジスタを総称して、「グループ割り込み要求許可レジスタ」と呼称します。

GENBL0/GENBL1/GENBL2 レジスタは GRPBL0/GRPBL1/GRPBL2 レジスタの ISj フラグ、GENAL0 レジスタは GRPAL0 レジスタの ISj フラグを制御します。

グループ割り込みの詳細は「14.4.4 グループ割り込み」を参照してください。

ENj ビット (割り込み要求許可ビット j) (j = 0 ~ 31)

グループ割り込みに割り当てられた割り込み要因の割り込み要求が発生したとき、対応するグループ割り込み要求レジスタの ISj フラグを“1”にするかどうかを選択するビットです。

(1) グループ BL0/BL1/BL2 の場合

GENBL0/GENBL1/GENBL2.ENj ビットが“1”のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPBL0/GRPBL1/GRPBL2.ISj フラグが“1”になります。ENj ビットが“0”のとき、GRPBL0/GRPBL1/GRPBL2.ISj フラグは“1”になりません。

ENj ビットを“0”にすると、GRPBL0/GRPBL1/GRPBL2.ISj フラグが“0”になります。

(2) グループ AL0 の場合

GENAL0.ENj ビットが“1”のとき、対応する周辺モジュールの割り込み要求が発生すると、GRPAL0.ISj フラグが“1”になります。ENj ビットが“0”のとき、GRPAL0.ISj フラグは“1”になりません。

ENj ビットを“0”にすると、GRPAL0.ISj フラグが“0”になります。

14.2.22 選択型割り込み B 要求レジスタ k (PIBRk) (k = 0h, 1h, 5h, 6h, 8h ~ Ah, Ch, Dh)

アドレス ICU.PIBR0 0008 7700h, ICU.PIBR1 0008 7701h, ICU.PIBR5 0008 7705h, ICU.PIBR6 0008 7706h,
ICU.PIBR8 0008 7708h, ICU.PIBR9 0008 7709h, ICU.PIBRA 0008 770Ah, ICU.PIBRC 0008 770Ch,
ICU.PIBRD 0008 770Dh

b7	b6	b5	b4	b3	b2	b1	b0
PIR7	PIR6	PIR5	PIR4	PIR3	PIR2	PIR1	PIR0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PIR0	選択型割り込みBステータスフラグ0	【読み出し時】 0: 割り込み要求なし 1: 割り込み要求あり	R/W
b1	PIR1	選択型割り込みBステータスフラグ1		R/W
b2	PIR2	選択型割り込みBステータスフラグ2	【書き込み時】(注1) 0: 無視されます 1: 選択型割り込みBステータスフラグをクリアします	R/W
b3	PIR3	選択型割り込みBステータスフラグ3		R/W
b4	PIR4	選択型割り込みBステータスフラグ4		R/W
b5	PIR5	選択型割り込みBステータスフラグ5		R/W
b6	PIR6	選択型割り込みBステータスフラグ6		R/W
b7	PIR7	選択型割り込みBステータスフラグ7	R/W	

注1. ビット操作命令は使用しないでください。ビット操作命令を使用すると、複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを“1”、その他のフラグを“0”にして8ビット単位で書いてください。

選択型割り込み B に分類された割り込み要因の各割り込み要求をソフトウェアでポーリングするために使用するレジスタです。SLIBXRn レジスタまたは SLIBRn レジスタに設定した選択型割り込み B の割り込み要求については、対応する IRn.IR フラグ (n = 128 ~ 207) でポーリングしてください。

選択型割り込み B の割り込み要因番号と割り込み要因の対応は「表 14.3 選択型割り込み B 要因一覧」を参照してください。

PIRj フラグ (選択型割り込み B ステータスフラグ j) (j = 0 ~ 7)

選択型割り込み B に分類された割り込み要因の割り込み要求が発生すると、SLIBXRn レジスタまたは SLIBRn レジスタにその割り込み要因が指定されているかどうかに関わらず、対応する PIBRk.PIRj フラグが“1”になります。

割り込み要求が要求先 (CPU、DTC、DMAC) に受け付けられても、PIRj フラグは“0”になりませんが、そのままでも割り込み要求の生成には影響しません。

PIRj フラグをポーリングして使用する場合は、事前に PIRj フラグに“1”を書いてフラグの値を“0”にしてから使用してください。

["1"になる条件]

- 割り込み要求が発生したとき

["0"になる条件]

- PIBRk.PIRj フラグに“1”を書いたとき

14.2.23 選択型割り込み A 要求レジスタ k (PIARk) (k = 0h ~ 5h, Bh, Ch)

アドレス ICU.PIAR0 0008 7900h ~ ICU.PIAR5 0008 7905h, ICU.PIARB 0008 790Bh, ICU.PIARC 0008 790Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	PIR7	PIR6	PIR5	PIR4	PIR3	PIR2	PIR1	PIR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIR0	選択型割り込みAステータスフラグ0	【読み出し時】 0: 割り込み要求なし 1: 割り込み要求あり	R/W
b1	PIR1	選択型割り込みAステータスフラグ1		R/W
b2	PIR2	選択型割り込みAステータスフラグ2	【書き込み時】(注1) 0: 無視されます 1: 選択型割り込みAステータスフラグをクリアします	R/W
b3	PIR3	選択型割り込みAステータスフラグ3		R/W
b4	PIR4	選択型割り込みAステータスフラグ4		R/W
b5	PIR5	選択型割り込みAステータスフラグ5		R/W
b6	PIR6	選択型割り込みAステータスフラグ6		R/W
b7	PIR7	選択型割り込みAステータスフラグ7		R/W

注1. ビット操作命令は使用しないでください。ビット操作命令を使用すると、複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを“1”、その他のフラグを“0”にして8ビット単位で書いてください。

選択型割り込み A に分類された割り込み要因の各割り込み要求をソフトウェアでポーリングするために使用するレジスタです。SLIARn レジスタに設定した選択型割り込み A の割り込み要求については、対応する IRn.IR フラグ (n = 208 ~ 255) でポーリングしてください。

選択型割り込み A の割り込み要因番号と割り込み要因の対応は「表 14.4 選択型割り込み A 要因一覧」を参照してください。

PIRj フラグ (選択型割り込み A ステータスフラグ j) (j = 0 ~ 7)

選択型割り込み A に分類された割り込み要因の割り込み要求が発生すると、SLIARn レジスタにその割り込み要因が指定されているかどうかに関わらず、対応する PIARk.PIRj フラグが“1”になります。

割り込み要求が要求先 (CPU, DTC, DMAC) に受け付けられても、PIRj フラグは“0”になりませんが、そのままでも割り込み要求の生成には影響しません。

PIRj フラグをポーリングして使用する場合は、事前に PIRj フラグに“1”を書いてフラグの値を“0”にしてから使用してください。

["1"になる条件]

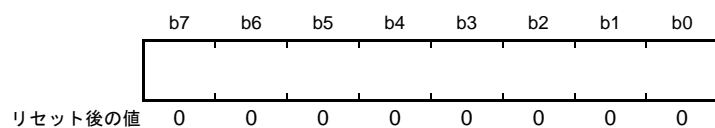
- 割り込み要求が発生したとき

["0"になる条件]

- PIARk.PIRj フラグに“1”を書いたとき

14.2.24 選択型割り込み B 要因選択レジスタ Xn (SLIBXRn) (n = 128 ~ 143)

アドレス ICU.SLIBXR128 0008 7780h ~ ICU.SLIBXR143 0008 778Fh



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	00h : 割り込み要因を選択しない 01h : 割り込み要因番号 1 : : FEh : 割り込み要因番号 254 FFh : 割り込み要因番号 255	R/(W) (注1)

注1. SLIPRCR.WPRCビットが“1”のとき、書き込みは無視されます。

SLIBXRn レジスタは、128 番から 143 番までの割り込みベクタ番号に、選択型割り込み B に分類された割り込み要因を割り当てるためのレジスタです。

選択型割り込み B に分類された割り込み要因の一覧を「表 14.3 選択型割り込み B 要因一覧」に示します。SLIBXRn レジスタには、このうち予約となっていない割り込み要因番号を設定してください。“00h”または“FFh”を設定した場合、割り込みベクタ番号 n にはいずれの割り込み要因も割り当てられません。

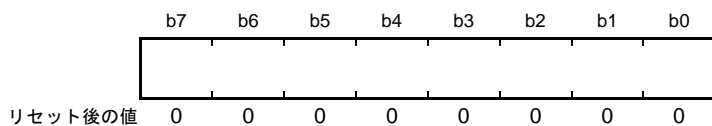
SLIBXRn レジスタと SLIBRn レジスタの複数のレジスタに、同じ割り込み要因を重複して割り当てないでください。

割り込み要因の種類により、DTC や DMAC を起動させることができます。DTC、DMAC の起動の可否については、「表 14.3 選択型割り込み B 要因一覧」を参照してください。

また、選択型割り込みの設定手順については「14.7.7 選択型割り込みの設定手順」を参照してください。

14.2.25 選択型割り込み B 要因選択レジスタ n (SLIBRn) (n = 144 ~ 207)

アドレス ICU.SLIBR144 0008 7790h~ICU.SLIBR207 0008 77CFh



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	00h : 割り込み要因を選択しない 01h : 割り込み要因番号1 : : FEh : 割り込み要因番号254 FFh : 割り込み要因を選択しない	R/(W) (注1)

注1. SLIPRCR.WPRCビットが“1”のとき、書き込みは無視されます。

SLIBRn レジスタは、144 番から 207 番までの割り込みベクタ番号に、選択型割り込み B に分類された割り込み要因を割り当てるためのレジスタです。

選択型割り込み B に分類された割り込み要因の一覧を「表 14.3 選択型割り込み B 要因一覧」に示します。SLIBRn レジスタには、このうち予約となっていない割り込み要因番号を設定してください。“00h”または“FFh”を指定した場合、割り込みベクタ番号 n にはいずれの割り込み要因も割り当てられません。

SLIBXRn レジスタと SLIBRn レジスタの複数のレジスタに、同じ割り込み要因を重複して割り当てないでください。

割り込み要因の種類により、DTC や DMAC を起動させることができます。DTC、DMAC の起動の可否については、「表 14.3 選択型割り込み B 要因一覧」を参照してください。

選択型割り込みの設定手順については「14.7.7 選択型割り込みの設定手順」を参照してください。

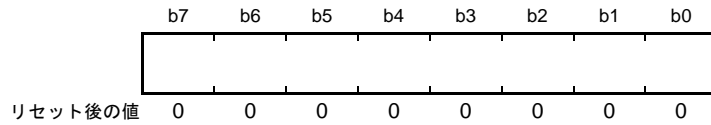
表 14.3 選択型割り込みB要因一覧

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC 起動	DMAC 起動	割り込みステータスフラグ
0	—	なし	割り込み選択なし(初期値)	×	×	PIBR0.PIR0
1	エッジ	CMT2	CMI2 (CMCORのコンペアマッチ)	○	○	PIBR0.PIR1
2		CMT3	CMI3 (CMCORのコンペアマッチ)	○	○	PIBR0.PIR2
3		TMR0	CMIA0 (TCORAのコンペアマッチ)	○	×	PIBR0.PIR3
4			CMIB0 (TCORBのコンペアマッチ)	○	×	PIBR0.PIR4
5			OVI0 (TCNTのオーバフロー)	×	×	PIBR0.PIR5
6		TMR1	CMIA1 (TCORAのコンペアマッチ)	○	×	PIBR0.PIR6
7			CMIB1 (TCORBのコンペアマッチ)	○	×	PIBR0.PIR7
8			OVI1 (TCNTのオーバフロー)	×	×	PIBR1.PIR0
9		TMR2	CMIA2 (TCORAのコンペアマッチ)	○	×	PIBR1.PIR1
10			CMIB2 (TCORBのコンペアマッチ)	○	×	PIBR1.PIR2
11			OVI2 (TCNTのオーバフロー)	×	×	PIBR1.PIR3
12		TMR3	CMIA3 (TCORAのコンペアマッチ)	○	×	PIBR1.PIR4
13			CMIB3 (TCORBのコンペアマッチ)	○	×	PIBR1.PIR5
14			OVI3 (TCNTのオーバフロー)	×	×	PIBR1.PIR6
15 ~ 40	予約	—	—	×	×	—
41	CMTW0	IC0I0 (CMWICR0レジスタのインプットキャプチャ入力)	○	○	PIBR5.PIR1	
42		IC1I0 (CMWICR1レジスタのインプットキャプチャ入力)	○	○	PIBR5.PIR2	
43		OC0I0 (CMWOCR0レジスタのアウトプットコンペア出力)	○	○	PIBR5.PIR3	
44		OC1I0 (CMWOCR1レジスタのアウトプットコンペア出力)	○	○	PIBR5.PIR4	
45	CMTW1	IC0I1 (CMWICR0レジスタのインプットキャプチャ入力)	○	○	PIBR5.PIR5	
46		IC1I1 (CMWICR1レジスタのインプットキャプチャ入力)	○	○	PIBR5.PIR6	
47		OC0I1 (CMWOCR0レジスタのアウトプットコンペア出力)	○	○	PIBR5.PIR7	
48		OC1I1 (CMWOCR1レジスタのアウトプットコンペア出力)	○	○	PIBR6.PIR0	
49	RTC	CUP (桁上げ割り込み)	×	×	PIBR6.PIR1	
50 ~ 63	予約	—	—	×	×	—
64	S12AD	S12ADI (A/D変換終了)	○	○	PIBR8.PIR0	
65		S12GBADI (グループB A/D変換終了割り込み)	○	○	PIBR8.PIR1	
66		S12GCADI (グループC A/D変換終了割り込み)	○	○	PIBR8.PIR2	
67 ~ 78	予約	—	—	×	×	—
79	ELC	ELSR18I (ELC割り込み)	○	○	PIBR9.PIR7	
80		ELSR19I (ELC割り込み)	○	○	PIBRA.PIR0	
81 ~ 95	予約	—	—	×	×	—
96	CMPC0	CMPC0	○	○	PIBRC.PIR0	
97	CMPC1	CMPC1	○	○	PIBRC.PIR1	
98	CMPC2	CMPC2	○	○	PIBRC.PIR2	
99	CMPC3	CMPC3	○	○	PIBRC.PIR3	
100 ~ 103	予約	—	—	×	×	—
104	CANFD	RFDREQ0 (受信FIFO 0 DTC/DMA転送要求)	○	○	PIBRD.PIR0	
105		RFDREQ1 (受信FIFO 1 DTC/DMA転送要求)	○	○	PIBRD.PIR1	
106	CANFD0	CFDREQ0 (共通FIFO 0 DTC/DMA転送要求)	○	○	PIBRD.PIR2	
107 ~ 254	—	予約	—	×	×	—
255	—	予約/なし (注1)	—/割り込み選択なし	×	×	—

注1. SLIBXRnレジスタでは「予約」、SLIBRnレジスタでは「なし」です。

14.2.26 選択型割り込み A 要因選択レジスタ n (SLIARn) (n = 208 ~ 255)

アドレス ICU.SLIAR208 0008 79D0h~ICU.SLIAR255 0008 79FFh



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	00h : 割り込み要因を選択しない 01h : 割り込み要因番号 1 : : FEh : 割り込み要因番号 254 FFh : 割り込み要因を選択しない	R/(W) (注1)

注1. SLIPRCR.WPRCビットが“1”のとき、書き込みは無視されます。

SLIARn レジスタは、208 番から 255 番までの割り込みベクタ番号に、選択型割り込み A に分類された割り込み要因を割り当てるためのレジスタです。

選択型割り込み要因 A に分類された割り込み要因の一覧を「表 14.4 選択型割り込み A 要因一覧」に示します。SLIARn レジスタには、このうち予約となっていない割り込み要因番号を設定してください。“00h”または“FFh”を指定した場合、割り込みベクタ番号 n にはいずれの割り込み要因も割り当てられません。

同じ割り込み要因を、複数の SLIARn レジスタに重複して割り当てないでください。

割り込み要因の種類により、DTC や DMAC を起動させることができます。DTC、DMAC 起動の可否については、「表 14.4 選択型割り込み A 要因一覧」を参照してください。

選択型割り込みの設定手順については「14.7.7 選択型割り込みの設定手順」を参照してください。

表 14.4 選択型割り込みA要因一覧 (1 / 2)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC 起動	DMAC 起動	割り込みステータスフラグ
0	—	なし	割り込み選択なし(初期値)	×	×	PIAR0.PIR0
1	エッジ	MTU0	TGIA0 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR1
2			TGIB0 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR2
3			TGIC0 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR3
4			TGID0 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR0.PIR4
5			TCIV0 (TCNTのオーバフロー)	×	×	PIAR0.PIR5
6			TGIE0 (TGREのコンペアマッチ)	×	×	PIAR0.PIR6
7			TGIF0 (TGRFのコンペアマッチ)	×	×	PIAR0.PIR7
8	MTU1	MTU1	TGIA1 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR0
9			TGIB1 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR1
10			TCIV1 (TCNTのオーバフロー)	×	×	PIAR1.PIR2
11			TCIU1 (TCNTのアンダフロー)	×	×	PIAR1.PIR3
12	MTU2	MTU2	TGIA2 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR4
13			TGIB2 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR1.PIR5
14			TCIV2 (TCNTのオーバフロー)	×	×	PIAR1.PIR6
15			TCIU2 (TCNTのアンダフロー)	×	×	PIAR1.PIR7
16	MTU3	MTU3	TGIA3 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR0
17			TGIB3 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR1
18			TGIC3 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR2
19			TGID3 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR3
20			TCIV3 (TCNTのオーバフロー)	×	×	PIAR2.PIR4
21	MTU4	MTU4	TGIA4 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR5
22			TGIB4 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR6
23			TGIC4 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR2.PIR7
24			TGID4 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR0
25			TCIV4 (TCNTのオーバフロー/アンダフロー(相補PWMモード時のみ))	○	○	PIAR3.PIR1
26	予約	—	—	×	×	PIAR3.PIR2
27	MTU5	MTU5	TGIU5 (TGRUのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR3
28			TGIV5 (TGRVのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR4
29			TGIW5 (TGRWのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR5
30	MTU6	MTU6	TGIA6 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR6
31			TGIB6 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR3.PIR7
32			TGIC6 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR0
33			TGID6 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR1
34			TCIV6 (TCNTのオーバフロー)	×	×	PIAR4.PIR2
35	MTU7	MTU7	TGIA7 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR3
36			TGIB7 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR4
37			TGIC7 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR5
38			TGID7 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR4.PIR6
39			TCIV7 (TCNTのオーバフロー/アンダフロー(相補PWMモード時のみ))	○	○	PIAR4.PIR7
40	予約	—	—	×	×	PIAR5.PIR0

表 14.4 選択型割り込みA要因一覧 (2 / 2)

割り込み要因番号	カテゴリ	割り込み要求発生元	名称	DTC 起動	DMAC 起動	割り込みステータスフラグ
41	エッジ	MTU8	TGIA8 (TGRAのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR1
42			TGIB8 (TGRBのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR2
43			TGIC8 (TGRCのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR3
44			TGID8 (TGRDのインプットキャプチャ/コンペアマッチ)	○	○	PIAR5.PIR4
45			TCIV8 (TCNTのオーバフロー)	×	×	PIAR5.PIR5
46 ~ 90		予約	—	×	×	—
91		RSPi0	SPCi0 (通信完了)	×	×	PIARB.PIR3
92, 93		予約	—	×	×	—
94		RSCi10	AED (有効エッジ検出)	×	×	PIARB.PIR6
95		RSCi11	AED (有効エッジ検出)	×	×	PIARB.PIR7
96		CANFD	EC1EI (1ビットECCエラー)	×	×	PIARC.PIR0
97			EC2EI (2ビットECCエラー)	×	×	PIARC.PIR1
98			ECovi (ECCオーバフロー)	×	×	PIARC.PIR2
99 ~ 254		予約	—	×	×	—
255	—	なし	割り込み選択なし	×	×	—

14.2.27 選択型割り込み要因選択レジスタ書き込み保護レジスタ (SLIPRCR)

アドレス ICU.SLIPRCR 0008 7A00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	WPRC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WPRC	選択型割り込み要因選択レジスタ書き込み保護ビット	0: 書き込み許可 1: 書き込み禁止	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合“0”としてください。	R

注1. 一度“1”にすると、ソフトウェアでは“0”にできません。

SLIPRCR レジスタは、選択型割り込みの割り当てを制御するレジスタへの書き込みを保護するレジスタです。

WPRC ビット (選択型割り込み要因選択レジスタ書き込み保護ビット)

SLIBXRn レジスタ、および SLIBRn レジスタ、SLIARn レジスタへの書き込みを禁止するビットです。

一度“1”にすると、ソフトウェアでは“0”にできません。

選択型割り込みの割り当てを行った後、対応する割り込み要求が発生する前に、WPRC ビットが“1”になっていることを確認してください。選択型割り込みの設定手順については「14.7.7 選択型割り込みの設定手順」を参照してください。

14.3 ベクタテーブル

割り込みコントローラが検出する例外事象には、マスカブル割り込み(以後単に「割り込み」とノンマスカブル割り込みの2種類があります。

CPUが割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから4バイトの割り込みベクタを取得します。

14.3.1 割り込みのベクタテーブル

マスカブル割り込みが使用するベクタテーブルを割り込みベクタテーブルと言います。

割り込みベクタテーブルは、CPUの割り込みテーブルレジスタ(INTB)に設定したアドレスを先頭とする1024バイト(4バイト×256要因)の領域に配置されます。INTBレジスタは割り込みを許可する前に設定してください。また、INTBレジスタには4の倍数を設定してください。

なお、INT命令およびBRK命令を実行すると無条件トラップが発生します。無条件トラップの割り込みベクタは、割り込みベクタテーブルと同じ領域を使用します。BRK命令は割り込みベクタ番号0、INT命令はオペランドに指定した値(0～255)に一致する割り込みベクタ番号が割り当てられます。

表 14.5 に割り込みベクタテーブルを示します。表 14.5 の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称(モジュールシンボル)を示します
名称	割り込み要因の名称(略称)を示します
ベクタ番号	割り込みベクタ番号を示します
ベクタアドレスオフセット	INTBレジスタに設定したアドレスからのオフセット値を示します
割り込み検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPUへの割り込み要因に使用できる割り込み要因を“○”で示します
DTC起動	DTCの起動要因に使用できる割り込み要因を“○”で示します
DMAC起動	DMACの起動要因に使用できる割り込み要因を“○”で示します
SSBY復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
ACS復帰	全モジュールクロックストップモードからの復帰要因を“○”で示します
IER	各割り込みベクタ番号に対応するIERレジスタのビットを示します
IPR	各割り込み要因に対応するIPRレジスタを示します
DTCER	各DTC起動要因に対応するDTCERレジスタを示します

表 14.5 割り込みベクタテーブル (1 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	1	0004h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	2	0008h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	3	000Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	4	0010h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	5	0014h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	6	0018h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	7	001Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	8	0020h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	9	0024h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	10	0028h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	11	002Ch	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	12	0030h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	13	0034h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	14	0038h	—	×	×	×	×	×	—	—	—
—	無条件トラップ専用	15	003Ch	—	×	×	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	×	×	IER02.IEN0	IPR000	—
ICU (注1)	GROUPIE0	17	0044h	レベル	○	×	×	×	×	IER02.IEN1	IPR000	—
RAM	RAMERR (注2)	18	0048h	レベル	○	×	×	×	×	IER02.IEN2	IPR000	—
—	予約	19	004Ch	—	×	×	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	×	×	—	—	—
FCU	FIFERR	21	0054h	レベル	○	×	×	×	×	IER02.IEN5	IPR001	—
—	予約	22	0058h	—	×	×	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	×	×	—	—	—
ICU	SWINT2	26	0068h	エッジ	○	○	×	×	×	IER03.IEN2	IPR003	DTCER026
	SWINT	27	006Ch	エッジ	○	○	×	×	×	IER03.IEN3	—	DTCER027
CMT0	CMIO (OS用)	28	0070h	エッジ	○	○	○	×	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	○	×	×	IER03.IEN5	IPR005	DTCER029
CMTW0	CMWIO	30	0078h	エッジ	○	○	○	×	×	IER03.IEN6	IPR006	DTCER030
CMTW1	CMWI1	31	007Ch	エッジ	○	○	○	×	×	IER03.IEN7	IPR007	DTCER031
RSCI10	RXI	32	0080h	エッジ	○	○	○	×	×	IER04.IEN0	IPR032	DTCER032
	TXI	33	0084h	エッジ	○	○	○	×	×	IER04.IEN1	IPR033	DTCER033
—	予約	34	0088h	—	×	×	×	×	×	—	—	—
—	予約	35	008Ch	—	×	×	×	×	×	—	—	—
—	予約	36	0090h	—	×	×	×	×	×	—	—	—
—	予約	37	0094h	—	×	×	×	×	×	—	—	—
RSPi0	SPRi0	38	0098h	エッジ	○	○	○	×	×	IER04.IEN6	IPR038	DTCER038
	SPTi0	39	009Ch	エッジ	○	○	○	×	×	IER04.IEN7	IPR039	DTCER039
—	予約	40	00A0h	—	×	×	×	×	×	—	—	—
—	予約	41	00A4h	—	×	×	×	×	×	—	—	—
RSCI11	RXI	42	00A8h	エッジ	○	○	○	×	×	IER05.IEN2	IPR042	DTCER042
	TXI	43	00ACh	エッジ	○	○	○	×	×	IER05.IEN3	IPR043	DTCER043
—	予約	44	00B0h	—	×	×	×	×	×	—	—	—

表 14.5 割り込みベクタテーブル (2 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
—	予約	45	00B4h	—	×	×	×	×	×	—	—	—
—	予約	46	00B8h	—	×	×	×	×	×	—	—	—
—	予約	47	00BCh	—	×	×	×	×	×	—	—	—
—	予約	48	00C0h	—	×	×	×	×	×	—	—	—
—	予約	49	00C4h	—	×	×	×	×	×	—	—	—
—	予約	50	00C8h	—	×	×	×	×	×	—	—	—
—	予約	51	00CCh	—	×	×	×	×	×	—	—	—
RIIC0	RX10	52	00D0h	エッジ	○	○	○	×	×	IER06.IEN4	IPR052	DTCER052
	TX10	53	00D4h	エッジ	○	○	○	×	×	IER06.IEN5	IPR053	DTCER053
RIIC2	RX12	54	00D8h	エッジ	○	○	○	×	×	IER06.IEN6	IPR054	DTCER054
	TX12	55	00DCh	エッジ	○	○	○	×	×	IER06.IEN7	IPR055	DTCER055
—	予約	56	00E0h	—	×	×	×	×	×	—	—	—
—	予約	57	00E4h	—	×	×	×	×	×	—	—	—
SCI0	RX10	58	00E8h	エッジ	○	○	○	×	×	IER07.IEN2	IPR058	DTCER058
	TX10	59	00ECh	エッジ	○	○	○	×	×	IER07.IEN3	IPR059	DTCER059
SCI1	RX11	60	00F0h	エッジ	○	○	○	×	×	IER07.IEN4	IPR060	DTCER060
	TX11	61	00F4h	エッジ	○	○	○	×	×	IER07.IEN5	IPR061	DTCER061
SCI2	RX12	62	00F8h	エッジ	○	○	○	×	×	IER07.IEN6	IPR062	DTCER062
	TX12	63	00FCh	エッジ	○	○	○	×	×	IER07.IEN7	IPR063	DTCER063
ICU	IRQ0	64	0100h	エッジ/ レベル	○	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/ レベル	○	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/ レベル	○	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/ レベル	○	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/ レベル	○	○	○	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/ レベル	○	○	○	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/ レベル	○	○	○	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/ レベル	○	○	○	○	○	IER08.IEN7	IPR071	DTCER071
	IRQ8	72	0120h	エッジ/ レベル	○	○	○	○	○	IER09.IEN0	IPR072	DTCER072
	IRQ9	73	0124h	エッジ/ レベル	○	○	○	○	○	IER09.IEN1	IPR073	DTCER073
	IRQ10	74	0128h	エッジ/ レベル	○	○	○	○	○	IER09.IEN2	IPR074	DTCER074
	IRQ11	75	012Ch	エッジ/ レベル	○	○	○	○	○	IER09.IEN3	IPR075	DTCER075
	IRQ12	76	0130h	エッジ/ レベル	○	○	○	○	○	IER09.IEN4	IPR076	DTCER076
	IRQ13	77	0134h	エッジ/ レベル	○	○	○	○	○	IER09.IEN5	IPR077	DTCER077
	IRQ14	78	0138h	エッジ/ レベル	○	○	○	○	○	IER09.IEN6	IPR078	DTCER078
IRQ15	79	013Ch	エッジ/ レベル	○	○	○	○	○	IER09.IEN7	IPR079	DTCER079	

表 14.5 割り込みベクタテーブル (3 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
SCI3	RXI3	80	0140h	エッジ	○	○	○	×	×	IER0A.IEN0	IPR080	DTCER080
	TXI3	81	0144h	エッジ	○	○	○	×	×	IER0A.IEN1	IPR081	DTCER081
SCI4	RXI4	82	0148h	エッジ	○	○	○	×	×	IER0A.IEN2	IPR082	DTCER082
	TXI4	83	014Ch	エッジ	○	○	○	×	×	IER0A.IEN3	IPR083	DTCER083
SCI5	RXI5	84	0150h	エッジ	○	○	○	×	×	IER0A.IEN4	IPR084	DTCER084
	TXI5	85	0154h	エッジ	○	○	○	×	×	IER0A.IEN5	IPR085	DTCER085
SCI6	RXI6	86	0158h	エッジ	○	○	○	×	×	IER0A.IEN6	IPR086	DTCER086
	TXI6	87	015Ch	エッジ	○	○	○	×	×	IER0A.IEN7	IPR087	DTCER087
LVD1	LVD1	88	0160h	エッジ	○	×	×	○	○	IER0B.IEN0	IPR088	—
LVD2	LVD2	89	0164h	エッジ	○	×	×	○	○	IER0B.IEN1	IPR089	—
—	予約	90	0168h	—	×	×	×	×	×	—	—	—
—	予約	91	016Ch	—	×	×	×	×	×	—	—	—
RTC	ALM	92	0170h	エッジ	○	×	×	○	○	IER0B.IEN4	IPR092	—
	PRD	93	0174h	エッジ	○	×	×	○	○	IER0B.IEN5	IPR093	—
REMC0	REMCIO	94	0178h	エッジ	○	×	×	○	○	IER0B.IEN6	IPR094	—
IWDT	IWUNI (注2)	95	017Ch	エッジ	○	×	×	○	○	IER0B.IEN7	IPR095	—
WDT	WUNI (注2)	96	0180h	エッジ	○	×	×	×	×	IER0C.IEN0	IPR096	—
—	予約	97	0184h	—	×	×	×	×	×	—	—	—
SCI7	RXI7	98	0188h	エッジ	○	○	○	×	×	IER0C.IEN2	IPR098	DTCER098
	TXI7	99	018Ch	エッジ	○	○	○	×	×	IER0C.IEN3	IPR099	DTCER099
SCI8	RXI8	100	0190h	エッジ	○	○	○	×	×	IER0C.IEN4	IPR100	DTCER100
	TXI8	101	0194h	エッジ	○	○	○	×	×	IER0C.IEN5	IPR101	DTCER101
SCI9	RXI9	102	0198h	エッジ	○	○	○	×	×	IER0C.IEN6	IPR102	DTCER102
	TXI9	103	019Ch	エッジ	○	○	○	×	×	IER0C.IEN7	IPR103	DTCER103
SCI10	RXI10	104	01A0h	エッジ	○	○	○	×	×	IER0D.IEN0	IPR104	DTCER104
	TXI10	105	01A4h	エッジ	○	○	○	×	×	IER0D.IEN1	IPR105	DTCER105
ICU (注1)	GROUPBE0	106	01A8h	レベル	○	×	×	×	×	IER0D.IEN2	IPR106	—
	GROUPBL2	107	01ACh	レベル	○	×	×	×	×	IER0D.IEN3	IPR107	—
	予約	108	01B0h	—	×	×	×	×	×	—	—	—
	予約	109	01B4h	—	×	×	×	×	×	—	—	—
	GROUPBL0	110	01B8h	レベル	○	×	×	×	×	IER0D.IEN6	IPR110	—
	GROUPBL1	111	01BCh	レベル	○	×	×	×	×	IER0D.IEN7	IPR111	—
	GROUPAL0	112	01C0h	レベル	○	×	×	×	×	IER0E.IEN0	IPR112	—
	GROUPAL1	113	01C4h	レベル	○	×	×	×	×	IER0E.IEN1	IPR113	—
SCI11	RXI11	114	01C8h	エッジ	○	○	○	×	×	IER0E.IEN2	IPR114	DTCER114
	TXI11	115	01CCh	エッジ	○	○	○	×	×	IER0E.IEN3	IPR115	DTCER115
SCI12	RXI12	116	01D0h	エッジ	○	○	○	×	×	IER0E.IEN4	IPR116	DTCER116
	TXI12	117	01D4h	エッジ	○	○	○	×	×	IER0E.IEN5	IPR117	DTCER117
—	予約	118	01D8h	—	×	×	×	×	×	—	—	—
—	予約	119	01DCh	—	×	×	×	×	×	—	—	—
DMAC	DMAC0I	120	01E0h	エッジ	○	○	×	×	×	IER0F.IEN0	IPR120	DTCER120
	DMAC1I	121	01E4h	エッジ	○	○	×	×	×	IER0F.IEN1	IPR121	DTCER121
	DMAC2I	122	01E8h	エッジ	○	○	×	×	×	IER0F.IEN2	IPR122	DTCER122
	DMAC3I	123	01ECh	エッジ	○	○	×	×	×	IER0F.IEN3	IPR123	DTCER123
	DMAC74I	124	01F0h	レベル	○	×	×	×	×	IER0F.IEN4	IPR124	—

表 14.5 割り込みベクタテーブル (4 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
OST	OSTDI (注2)	125	01F4h	エッジ	○	×	×	×	×	IER0F.IEN5	IPR125	—
—	予約	126	01F8h	—	×	×	×	×	×	—	—	—
—	予約	127	01FCh	—	×	×	×	×	×	—	—	—
PERIB (選択型割り 込みB (注3))	INTB128	128	0200h	エッジ	○	○	○	×	×	IER10.IEN0	IPR128	DTCER128
	INTB129	129	0204h	エッジ	○	○	○	×	×	IER10.IEN1	IPR129	DTCER129
	INTB130	130	0208h	エッジ	○	○	○	×	×	IER10.IEN2	IPR130	DTCER130
	INTB131	131	020Ch	エッジ	○	○	○	×	×	IER10.IEN3	IPR131	DTCER131
	INTB132	132	0210h	エッジ	○	○	○	×	×	IER10.IEN4	IPR132	DTCER132
	INTB133	133	0214h	エッジ	○	○	○	×	×	IER10.IEN5	IPR133	DTCER133
	INTB134	134	0218h	エッジ	○	○	○	×	×	IER10.IEN6	IPR134	DTCER134
	INTB135	135	021Ch	エッジ	○	○	○	×	×	IER10.IEN7	IPR135	DTCER135
	INTB136	136	0220h	エッジ	○	○	○	×	×	IER11.IEN0	IPR136	DTCER136
	INTB137	137	0224h	エッジ	○	○	○	×	×	IER11.IEN1	IPR137	DTCER137
	INTB138	138	0228h	エッジ	○	○	○	×	×	IER11.IEN2	IPR138	DTCER138
	INTB139	139	022Ch	エッジ	○	○	○	×	×	IER11.IEN3	IPR139	DTCER139
	INTB140	140	0230h	エッジ	○	○	○	×	×	IER11.IEN4	IPR140	DTCER140
	INTB141	141	0234h	エッジ	○	○	○	×	×	IER11.IEN5	IPR141	DTCER141
	INTB142	142	0238h	エッジ	○	○	○	×	×	IER11.IEN6	IPR142	DTCER142
	INTB143	143	023Ch	エッジ	○	○	○	×	×	IER11.IEN7	IPR143	DTCER143
	INTB144	144	0240h	エッジ	○	○	○	×	×	IER12.IEN0	IPR144	DTCER144
	INTB145	145	0244h	エッジ	○	○	○	×	×	IER12.IEN1	IPR145	DTCER145
	INTB146	146	0248h	エッジ	○	○	○	×	○	IER12.IEN2	IPR146	DTCER146
	INTB147	147	024Ch	エッジ	○	○	○	×	○	IER12.IEN3	IPR147	DTCER147
	INTB148	148	0250h	エッジ	○	○	○	×	○	IER12.IEN4	IPR148	DTCER148
	INTB149	149	0254h	エッジ	○	○	○	×	○	IER12.IEN5	IPR149	DTCER149
	INTB150	150	0258h	エッジ	○	○	○	×	○	IER12.IEN6	IPR150	DTCER150
	INTB151	151	025Ch	エッジ	○	○	○	×	○	IER12.IEN7	IPR151	DTCER151
	INTB152	152	0260h	エッジ	○	○	○	×	○	IER13.IEN0	IPR152	DTCER152
	INTB153	153	0264h	エッジ	○	○	○	×	○	IER13.IEN1	IPR153	DTCER153
	INTB154	154	0268h	エッジ	○	○	○	×	○	IER13.IEN2	IPR154	DTCER154
	INTB155	155	026Ch	エッジ	○	○	○	×	○	IER13.IEN3	IPR155	DTCER155
	INTB156	156	0270h	エッジ	○	○	○	×	○	IER13.IEN4	IPR156	DTCER156
	INTB157	157	0274h	エッジ	○	○	○	×	○	IER13.IEN5	IPR157	DTCER157
	INTB158	158	0278h	エッジ	○	○	○	×	×	IER13.IEN6	IPR158	DTCER158
	INTB159	159	027Ch	エッジ	○	○	○	×	×	IER13.IEN7	IPR159	DTCER159
INTB160	160	0280h	エッジ	○	○	○	×	×	IER14.IEN0	IPR160	DTCER160	
INTB161	161	0284h	エッジ	○	○	○	×	×	IER14.IEN1	IPR161	DTCER161	
INTB162	162	0288h	エッジ	○	○	○	×	×	IER14.IEN2	IPR162	DTCER162	
INTB163	163	028Ch	エッジ	○	○	○	×	×	IER14.IEN3	IPR163	DTCER163	
INTB164	164	0290h	エッジ	○	○	○	×	×	IER14.IEN4	IPR164	DTCER164	
INTB165	165	0294h	エッジ	○	○	○	×	×	IER14.IEN5	IPR165	DTCER165	
INTB166	166	0298h	エッジ	○	○	○	×	×	IER14.IEN6	IPR166	DTCER166	
INTB167	167	029Ch	エッジ	○	○	○	×	×	IER14.IEN7	IPR167	DTCER167	
INTB168	168	02A0h	エッジ	○	○	○	×	×	IER15.IEN0	IPR168	DTCER168	
INTB169	169	02A4h	エッジ	○	○	○	×	×	IER15.IEN1	IPR169	DTCER169	

表 14.5 割り込みベクタテーブル (5 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
PERIB (選択型割り 込みB(注3))	INTB170	170	02A8h	エッジ	○	○	○	×	×	IER15.IEN2	IPR170	DTCER170
	INTB171	171	02ACh	エッジ	○	○	○	×	×	IER15.IEN3	IPR171	DTCER171
	INTB172	172	02B0h	エッジ	○	○	○	×	×	IER15.IEN4	IPR172	DTCER172
	INTB173	173	02B4h	エッジ	○	○	○	×	×	IER15.IEN5	IPR173	DTCER173
	INTB174	174	02B8h	エッジ	○	○	○	×	×	IER15.IEN6	IPR174	DTCER174
	INTB175	175	02BCh	エッジ	○	○	○	×	×	IER15.IEN7	IPR175	DTCER175
	INTB176	176	02C0h	エッジ	○	○	○	×	×	IER16.IEN0	IPR176	DTCER176
	INTB177	177	02C4h	エッジ	○	○	○	×	×	IER16.IEN1	IPR177	DTCER177
	INTB178	178	02C8h	エッジ	○	○	○	×	×	IER16.IEN2	IPR178	DTCER178
	INTB179	179	02CCh	エッジ	○	○	○	×	×	IER16.IEN3	IPR179	DTCER179
	INTB180	180	02D0h	エッジ	○	○	○	×	×	IER16.IEN4	IPR180	DTCER180
	INTB181	181	02D4h	エッジ	○	○	○	×	×	IER16.IEN5	IPR181	DTCER181
	INTB182	182	02D8h	エッジ	○	○	○	×	×	IER16.IEN6	IPR182	DTCER182
	INTB183	183	02DCh	エッジ	○	○	○	×	×	IER16.IEN7	IPR183	DTCER183
	INTB184	184	02E0h	エッジ	○	○	○	×	×	IER17.IEN0	IPR184	DTCER184
	INTB185	185	02E4h	エッジ	○	○	○	×	×	IER17.IEN1	IPR185	DTCER185
	INTB186	186	02E8h	エッジ	○	○	○	×	×	IER17.IEN2	IPR186	DTCER186
	INTB187	187	02ECh	エッジ	○	○	○	×	×	IER17.IEN3	IPR187	DTCER187
	INTB188	188	02F0h	エッジ	○	○	○	×	×	IER17.IEN4	IPR188	DTCER188
	INTB189	189	02F4h	エッジ	○	○	○	×	×	IER17.IEN5	IPR189	DTCER189
	INTB190	190	02F8h	エッジ	○	○	○	×	×	IER17.IEN6	IPR190	DTCER190
	INTB191	191	02FCh	エッジ	○	○	○	×	×	IER17.IEN7	IPR191	DTCER191
	INTB192	192	0300h	エッジ	○	○	○	×	×	IER18.IEN0	IPR192	DTCER192
	INTB193	193	0304h	エッジ	○	○	○	×	×	IER18.IEN1	IPR193	DTCER193
	INTB194	194	0308h	エッジ	○	○	○	×	×	IER18.IEN2	IPR194	DTCER194
	INTB195	195	030Ch	エッジ	○	○	○	×	×	IER18.IEN3	IPR195	DTCER195
	INTB196	196	0310h	エッジ	○	○	○	×	×	IER18.IEN4	IPR196	DTCER196
INTB197	197	0314h	エッジ	○	○	○	×	×	IER18.IEN5	IPR197	DTCER197	
INTB198	198	0318h	エッジ	○	○	○	×	×	IER18.IEN6	IPR198	DTCER198	
INTB199	199	031Ch	エッジ	○	○	○	×	×	IER18.IEN7	IPR199	DTCER199	
INTB200	200	0320h	エッジ	○	○	○	×	×	IER19.IEN0	IPR200	DTCER200	
INTB201	201	0324h	エッジ	○	○	○	×	×	IER19.IEN1	IPR201	DTCER201	
INTB202	202	0328h	エッジ	○	○	○	×	×	IER19.IEN2	IPR202	DTCER202	
INTB203	203	032Ch	エッジ	○	○	○	×	×	IER19.IEN3	IPR203	DTCER203	
INTB204	204	0330h	エッジ	○	○	○	×	×	IER19.IEN4	IPR204	DTCER204	
INTB205	205	0334h	エッジ	○	○	○	×	×	IER19.IEN5	IPR205	DTCER205	
INTB206	206	0338h	エッジ	○	○	○	×	×	IER19.IEN6	IPR206	DTCER206	
INTB207	207	033Ch	エッジ	○	○	○	×	×	IER19.IEN7	IPR207	DTCER207	
PERIA (選択型割り 込みA(注4))	INTA208	208	0340h	エッジ	○	○	○	×	×	IER1A.IEN0	IPR208	DTCER208
	INTA209	209	0344h	エッジ	○	○	○	×	×	IER1A.IEN1	IPR209	DTCER209
	INTA210	210	0348h	エッジ	○	○	○	×	×	IER1A.IEN2	IPR210	DTCER210
	INTA211	211	034Ch	エッジ	○	○	○	×	×	IER1A.IEN3	IPR211	DTCER211
	INTA212	212	0350h	エッジ	○	○	○	×	×	IER1A.IEN4	IPR212	DTCER212
	INTA213	213	0354h	エッジ	○	○	○	×	×	IER1A.IEN5	IPR213	DTCER213
	INTA214	214	0358h	エッジ	○	○	○	×	×	IER1A.IEN6	IPR214	DTCER214

表 14.5 割り込みベクタテーブル (6 / 6)

割り込み 要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	ACS復帰	IER	IPR	DTCER
PERIA (選択型割り 込みA(注4))	INTA215	215	035Ch	エッジ	○	○	○	×	×	IER1A.IEN7	IPR215	DTCER215
	INTA216	216	0360h	エッジ	○	○	○	×	×	IER1B.IEN0	IPR216	DTCER216
	INTA217	217	0364h	エッジ	○	○	○	×	×	IER1B.IEN1	IPR217	DTCER217
	INTA218	218	0368h	エッジ	○	○	○	×	×	IER1B.IEN2	IPR218	DTCER218
	INTA219	219	036Ch	エッジ	○	○	○	×	×	IER1B.IEN3	IPR219	DTCER219
	INTA220	220	0370h	エッジ	○	○	○	×	×	IER1B.IEN4	IPR220	DTCER220
	INTA221	221	0374h	エッジ	○	○	○	×	×	IER1B.IEN5	IPR221	DTCER221
	INTA222	222	0378h	エッジ	○	○	○	×	×	IER1B.IEN6	IPR222	DTCER222
	INTA223	223	037Ch	エッジ	○	○	○	×	×	IER1B.IEN7	IPR223	DTCER223
	INTA224	224	0380h	エッジ	○	○	○	×	×	IER1C.IEN0	IPR224	DTCER224
	INTA225	225	0384h	エッジ	○	○	○	×	×	IER1C.IEN1	IPR225	DTCER225
	INTA226	226	0388h	エッジ	○	○	○	×	×	IER1C.IEN2	IPR226	DTCER226
	INTA227	227	038Ch	エッジ	○	○	○	×	×	IER1C.IEN3	IPR227	DTCER227
	INTA228	228	0390h	エッジ	○	○	○	×	×	IER1C.IEN4	IPR228	DTCER228
	INTA229	229	0394h	エッジ	○	○	○	×	×	IER1C.IEN5	IPR229	DTCER229
	INTA230	230	0398h	エッジ	○	○	○	×	×	IER1C.IEN6	IPR230	DTCER230
	INTA231	231	039Ch	エッジ	○	○	○	×	×	IER1C.IEN7	IPR231	DTCER231
	INTA232	232	03A0h	エッジ	○	○	○	×	×	IER1D.IEN0	IPR232	DTCER232
	INTA233	233	03A4h	エッジ	○	○	○	×	×	IER1D.IEN1	IPR233	DTCER233
	INTA234	234	03A8h	エッジ	○	○	○	×	×	IER1D.IEN2	IPR234	DTCER234
	INTA235	235	03ACh	エッジ	○	○	○	×	×	IER1D.IEN3	IPR235	DTCER235
	INTA236	236	03B0h	エッジ	○	○	○	×	×	IER1D.IEN4	IPR236	DTCER236
	INTA237	237	03B4h	エッジ	○	○	○	×	×	IER1D.IEN5	IPR237	DTCER237
	INTA238	238	03B8h	エッジ	○	○	○	×	×	IER1D.IEN6	IPR238	DTCER238
	INTA239	239	03BCh	エッジ	○	○	○	×	×	IER1D.IEN7	IPR239	DTCER239
	INTA240	240	03C0h	エッジ	○	○	○	×	×	IER1E.IEN0	IPR240	DTCER240
	INTA241	241	03C4h	エッジ	○	○	○	×	×	IER1E.IEN1	IPR241	DTCER241
	INTA242	242	03C8h	エッジ	○	○	○	×	×	IER1E.IEN2	IPR242	DTCER242
	INTA243	243	03CCh	エッジ	○	○	○	×	×	IER1E.IEN3	IPR243	DTCER243
	INTA244	244	03D0h	エッジ	○	○	○	×	×	IER1E.IEN4	IPR244	DTCER244
	INTA245	245	03D4h	エッジ	○	○	○	×	×	IER1E.IEN5	IPR245	DTCER245
	INTA246	246	03D8h	エッジ	○	○	○	×	×	IER1E.IEN6	IPR246	DTCER246
	INTA247	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR247	DTCER247
	INTA248	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0	IPR248	DTCER248
	INTA249	249	03E4h	エッジ	○	○	○	×	×	IER1F.IEN1	IPR249	DTCER249
INTA250	250	03E8h	エッジ	○	○	○	×	×	IER1F.IEN2	IPR250	DTCER250	
INTA251	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3	IPR251	DTCER251	
INTA252	252	03F0h	エッジ	○	○	○	×	×	IER1F.IEN4	IPR252	DTCER252	
INTA253	253	03F4h	エッジ	○	○	○	×	×	IER1F.IEN5	IPR253	DTCER253	
INTA254	254	03F8h	エッジ	○	○	○	×	×	IER1F.IEN6	IPR254	DTCER254	
INTA255	255	03FCh	エッジ	○	○	○	×	×	IER1F.IEN7	IPR255	DTCER255	

注. 本表は最大仕様の割り込みベクタテーブルを示しています。製品ごとの割り込みベクタは、表 1.2 に示した機能に対応します。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

注1. グループ割り込みの要因は、「表 14.7 グループ割り込み要因の一覧」を参照してください。

注2. 対応するノンマスクابل割り込み許可ビットが“0” (禁止) の場合です。

注3. 選択型割り込みBの割り込み要因は「表 14.3 選択型割り込みB要因一覧」を参照してください。なお、割り込み要因に

よっては、DTC、DMACを起動できないものがありますので注意してください。

- 注4. 選択型割り込みAの割り込み要因は「表14.4 選択型割り込みA要因一覧」を参照してください。なお、要因によっては、DTC、DMACを起動できないものがありますので注意してください。

14.3.2 高速割り込みのベクタ領域

高速割り込みに設定された割り込みが使用するベクタ領域は、CPUの高速割り込みベクタレジスタ(FINTV)です。FINTVレジスタは高速割り込みを許可する前に設定してください。

14.3.3 ノンマスカブル割り込みのベクタ領域

ノンマスカブル割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。

例外ベクタテーブルは、CPUの例外テーブルレジスタ(EXTB)に設定したアドレスを先頭とする128バイト(4バイト×32要因)の領域に配置されます。EXTBレジスタはノンマスカブル割り込みを許可する前に設定してください。また、EXTBレジスタには4の倍数を設定してください。

14.4 割り込みの種類

割り込みは、CPUのプロセッサステータスワード(PSW)のIビットやIPL[3:0]ビットによりマスクが可能なマスク可能割り込みと、それらのビットに関わらずCPUに受け付けられるノンマスク可能割り込みに分類できます。マスク可能割り込みのうち、ベクタ番号0~127の割り込み要因は割り当てが固定されていますが、ベクタ番号128~255の割り込み要因は、複数の要因から任意の1つを選択して割り当てることができます(選択型割り込み)。

なお、本章では、マスク可能割り込みのことを単に「割り込み」と称します。
割り込みの種類を図14.2に示します。

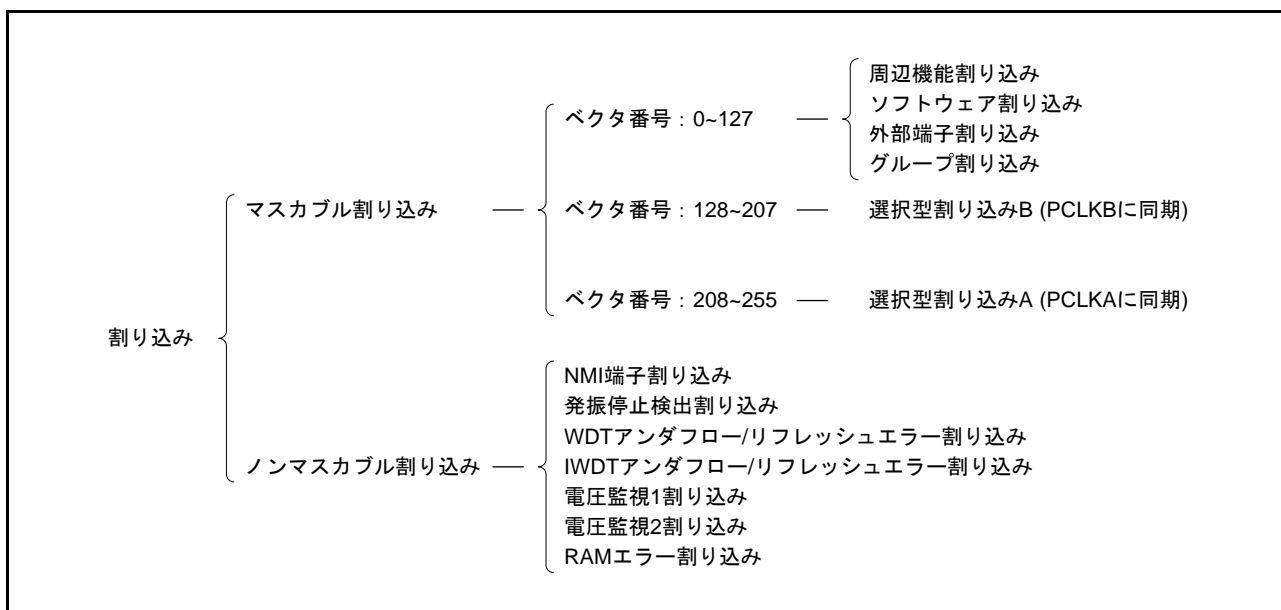


図 14.2 割り込みの種類

14.4.1 周辺機能割り込み

周辺機能による割り込みです。ベクタ番号0~127に割り当てられている周辺機能の割り込み要因を、選択型割り込みに割り当てすることはできません。選択型割り込みについては「14.4.5 選択型割り込み」を参照してください。

14.4.2 ソフトウェア割り込み

SWINTR.SWINTビット、SWINT2R.SWINT2ビットに“1”を書くと、それぞれSWINT割り込み、SWINT2割り込み要求が発生します。

14.4.3 外部端子割り込み

外部端子割り込みは、IRQ_i端子(i=0~15)に入力された信号により発生する割り込みです。外部端子割り込みの設定手順については「14.7.4 外部端子割り込みの設定手順」を参照してください。

14.4.4 グループ割り込み

複数の周辺モジュールの割り込み要求(最大32本)をグループ化し、1つの割り込み要求とした割り込みです。周辺モジュールの動作クロック(ICLK、PCLKBまたはPCLKA)と、割り込み検出方法(エッジ検出またはレベル検出)によって、それぞれ異なるグループにグループ化されています。

(1) グループ割り込みの種類

グループ割り込みの種類を表14.6に示します。

表14.6 グループ割り込みの種類

割り込みベクタ番号	割り込み名称	グループ化されている割り込み要因	
		周辺モジュールの動作クロック	割り込み検出方法
17	GROUPIE0	ICLK	エッジ検出
106	GROUPBE0	PCLKB	レベル検出
110	GROUPBL0		
111	GROUPBL1		
107	GROUPBL2	PCLKA	レベル検出
112	GROUPAL0		
113	GROUPAL1		

(2) グループ割り込みの構成

グループ割り込み要求許可レジスタ(GENIE0, GENBE0, GENBL0, GENBL1, GENBL2, GENAL0, GENAL1(注1))のEN_jビット(j=0~31)が“1”のとき、対応する割り込み要求が発生すると、グループ割り込み要求レジスタ(GRPIE0, GRPBE0, GRPBL0, GRPBL1, GRPBL2, GRPAL0, GRPAL1(注1))のIS_jフラグが“1”になります。

グループ割り込みの構成を図14.3に示します。

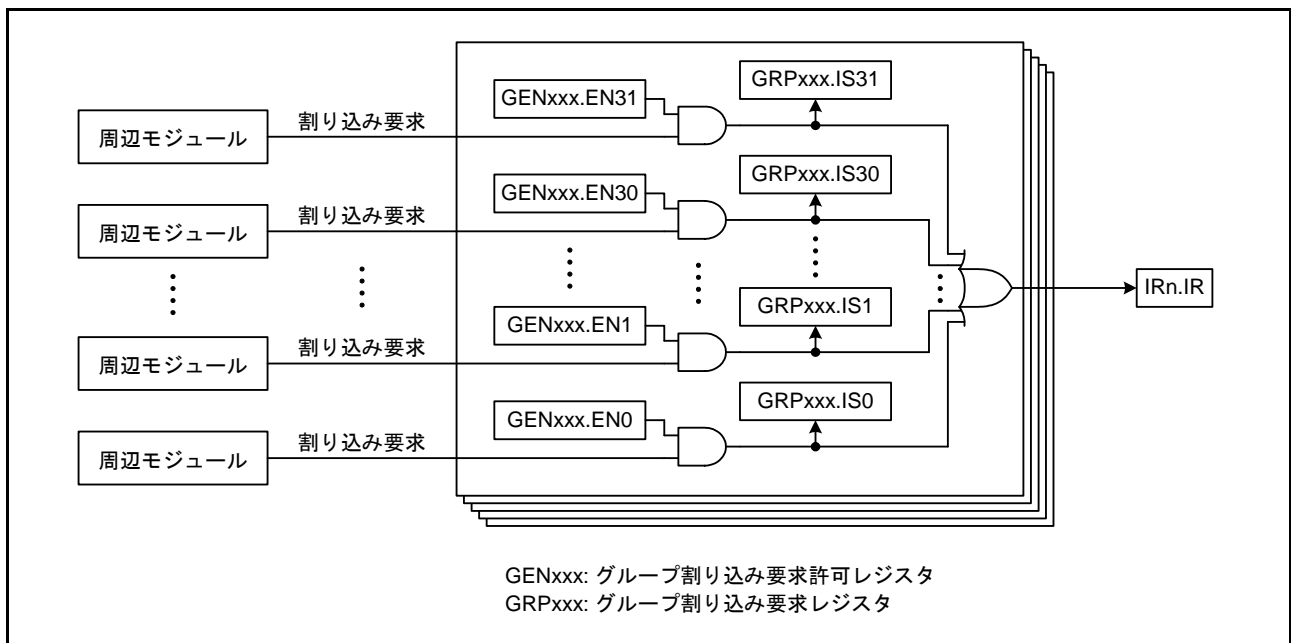


図14.3 グループ割り込みの構成 (n = 17, 106, 107, 110 ~ 113)

注1. 割り込み要因が割り当てられていないグループのレジスタは存在しません。

(3) グループ化された割り込み要因

グループ割り込みに割り当てられた割り込み要因の一覧を表 14.7 に示します。

表 14.7 グループ割り込み要因の一覧 (1 / 3)

グループ	番号	割り込み 要求発生元	名称	割り込み要求 許可ビット	割り込みステ ータスフラグ	割り込み要因 クリアビット	ベクタ番号 (IRn.IR)	
IE0	0~31	予約	—	—	—	—	17	
BE0	0~31	予約	—	—	—	—	106	
BL0	0	SCI0	TEI0 (送信完了)	GENBL0.EN0	GRPBL0.IS0	—	110	
	1		ERI0 (受信エラー)	GENBL0.EN1	GRPBL0.IS1	—		
	2	SCI1	TEI1 (送信完了)	GENBL0.EN2	GRPBL0.IS2	—		
	3		ERI1 (受信エラー)	GENBL0.EN3	GRPBL0.IS3	—		
	4	SCI2	TEI2 (送信完了)	GENBL0.EN4	GRPBL0.IS4	—		
	5		ERI2 (受信エラー)	GENBL0.EN5	GRPBL0.IS5	—		
	6	SCI3	TEI3 (送信完了)	GENBL0.EN6	GRPBL0.IS6	—		
	7		ERI3 (受信エラー)	GENBL0.EN7	GRPBL0.IS7	—		
	8	SCI4	TEI4 (送信完了)	GENBL0.EN8	GRPBL0.IS8	—		
	9		ERI4 (受信エラー)	GENBL0.EN9	GRPBL0.IS9	—		
	10	SCI5	TEI5 (送信完了)	GENBL0.EN10	GRPBL0.IS10	—		
	11		ERI5 (受信エラー)	GENBL0.EN11	GRPBL0.IS11	—		
	12	SCI6	TEI6 (送信完了)	GENBL0.EN12	GRPBL0.IS12	—		
	13		ERI6 (受信エラー)	GENBL0.EN13	GRPBL0.IS13	—		
	14	SCI7	TEI7 (送信完了)	GENBL0.EN14	GRPBL0.IS14	—		
	15		ERI7 (受信エラー)	GENBL0.EN15	GRPBL0.IS15	—		
	16	SCI12	TEI12 (送信完了)	GENBL0.EN16	GRPBL0.IS16	—		
	17		ERI12 (受信エラー)	GENBL0.EN17	GRPBL0.IS17	—		
	18	SCI12	SCIX0 (Break Field Low width 検出)	GENBL0.EN18	GRPBL0.IS18	—		
	19		SCIX1 (Control Field 0一致) (Control Field 1一致) (プライオリティインタラ プトビット検出)	GENBL0.EN19	GRPBL0.IS19	—		
	20	SCI12	SCIX2 (バス衝突検出)	GENBL0.EN20	GRPBL0.IS20	—		
	21		SCIX3 (有効エッジ検出)	GENBL0.EN21	GRPBL0.IS21	—		
	22~25	予約	—	—	—	—		—
	26	CAC	FERRI (周波数エラー)	GENBL0.EN26	GRPBL0.IS26	—		
	27		MENDI (測定終了)	GENBL0.EN27	GRPBL0.IS27	—		
	28		OVFI (オーバフロー割り込み)	GENBL0.EN28	GRPBL0.IS28	—		
	29	DOC	DOPCI (データ演算回路割り込み)	GENBL0.EN29	GRPBL0.IS29	—		
	30, 31	予約	—	—	—	—		—

表 14.7 グループ割り込み要因の一覧 (2 / 3)

グループ	番号	割り込み要求発生元	名称	割り込み要求許可ビット	割り込みステータスフラグ	割り込み要因クリアビット	ベクタ番号 (IRn.IR)
BL1	0~8	予約	—	—	—	—	111
	9	POE3	OEI1 (アウトプットイネーブル割り込み1)	GENBL1.EN9	GRPBL1.IS9	—	
	10		OEI2 (アウトプットイネーブル割り込み2)	GENBL1.EN10	GRPBL1.IS10	—	
	11		OEI3 (アウトプットイネーブル割り込み3)	GENBL1.EN11	GRPBL1.IS11	—	
	12		OEI4 (アウトプットイネーブル割り込み4)	GENBL1.EN12	GRPBL1.IS12	—	
	13	RIIC0	TEI0 (送信完了)	GENBL1.EN13	GRPBL1.IS13	—	
	14		EI0 (通信エラー/通信イベント)	GENBL1.EN14	GRPBL1.IS14	—	
	15	RIIC2	TEI2 (送信完了)	GENBL1.EN15	GRPBL1.IS15	—	
	16		EI2 (通信エラー/通信イベント)	GENBL1.EN16	GRPBL1.IS16	—	
	17~19	予約	—	—	—	—	
	20	S12AD	S12CMPAI (コンペア割り込み)	GENBL1.EN20	GRPBL1.IS20	—	
	21		S12CMPBI (コンペア割り込み)	GENBL1.EN21	GRPBL1.IS21	—	
	22, 23	予約	—	—	—	—	
	24	SCI8	TEI8 (送信完了)	GENBL1.EN24	GRPBL1.IS24	—	
	25		ERI8 (受信エラー)	GENBL1.EN25	GRPBL1.IS25	—	
	26	SCI9	TEI9 (送信完了)	GENBL1.EN26	GRPBL1.IS26	—	
	27		ERI9 (受信エラー)	GENBL1.EN27	GRPBL1.IS27	—	
	28~31	予約	—	—	—	—	
	BL2	0	予約	—	—	—	
1		CANFD0	CHEI (チャンネルエラー)	GENBL2.EN1	GRPBL2.IS1	—	
2			CFRI (共通FIFO受信)	GENBL2.EN2	GRPBL2.IS2	—	
3		CANFD	GLEI (グローバルエラー)	GENBL2.EN3	GRPBL2.IS3	—	
4			RFRI (受信FIFO)	GENBL2.EN4	GRPBL2.IS4	—	
5		CANFD0	CHTI (チャンネル送信)	GENBL2.EN5	GRPBL2.IS5	—	
6		CANFD	RMRI (受信メッセージバッファ)	GENBL2.EN6	GRPBL2.IS6	—	
7~31		予約	—	—	—	—	
AL0	0~7	予約	—	—	—	—	112
	8	SCI10	TEI10 (送信完了)	GENAL0.EN8	GRPAL0.IS8	—	
	9		ERI10 (受信エラー)	GENAL0.EN9	GRPAL0.IS9	—	
	10, 11	予約	—	—	—	—	
	12	SCI11	TEI11 (送信完了)	GENAL0.EN12	GRPAL0.IS12	—	
	13		ERI11 (受信エラー)	GENAL0.EN13	GRPAL0.IS13	—	
	14, 15	予約	—	—	—	—	
	16	RSPI0	SPII0 (アイドル割り込み)	GENAL0.EN16	GRPAL0.IS16	—	
	17		SPEI0 (エラー割り込み)	GENAL0.EN17	GRPAL0.IS17	—	
	18~23	予約	—	—	—	—	
	24	RSCI10	TEI (送信完了/コンディション生成完了)	GENAL0.EN24	GRPAL0.IS24	—	
	25		ERI (受信エラー)	GENAL0.EN25	GRPAL0.IS25	—	
	26		BFD (Breakフィールド検出)	GENAL0.EN26	GRPAL0.IS26	—	
	27	RSCI11	TEI (送信完了/コンディション生成完了)	GENAL0.EN27	GRPAL0.IS27	—	
28	ERI (受信エラー)		GENAL0.EN28	GRPAL0.IS28	—		
29	BFD (Breakフィールド検出)		GENAL0.EN29	GRPAL0.IS29	—		
30, 31	予約	—	—	—	—		

表 14.7 グループ割り込み要因の一覧 (3 / 3)

グループ	番号	割り込み要求発生元	名称	割り込み要求許可ビット	割り込みステータスフラグ	割り込み要因クリアビット	ベクタ番号 (IRn.IR)
AL1	0~31	予約	—	—	—	—	113

14.4.5 選択型割り込み

割り込みベクタ番号 128 ~ 255 には、複数の周辺モジュールの割り込み要因から任意の 1 つを選択して割り当てることができます。周辺モジュールの動作クロックにより、選択型割り込み B と選択型割り込み A に分類されます。

選択型割り込みの構成を図 14.4 に示します。

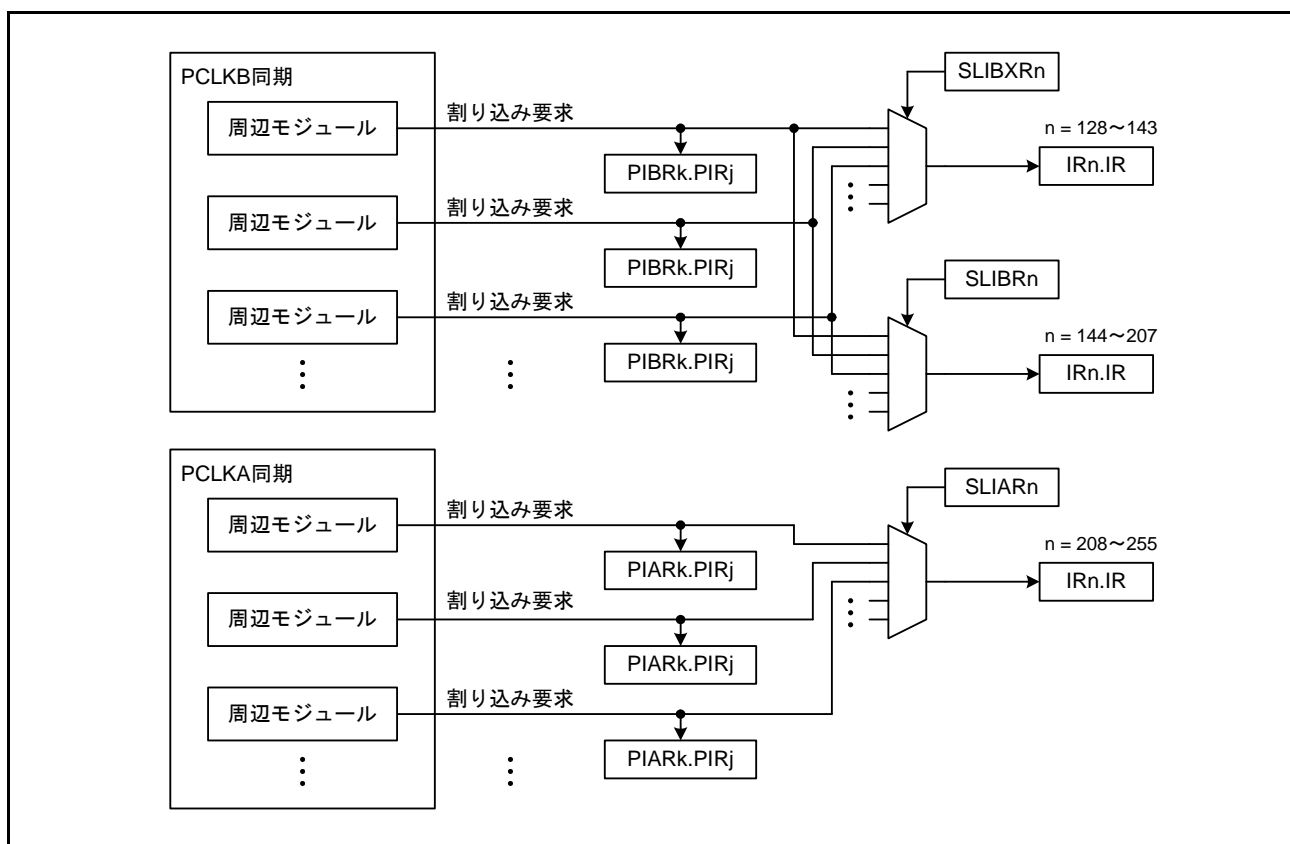


図 14.4 選択型割り込みの構成

14.4.5.1 選択型割り込み B

選択型割り込みに分類された割り込み要因のうち、PCLKB に同期して動作する周辺モジュールの割り込み要因は、割り込みベクタ番号 128 ~ 207 に割り当てることができます。選択型割り込み B の略称は PERIB、割り込みの名称は INTB128 ~ INTB207 で表されます。

選択型割り込み B に割り当てることができる割り込み要因については「表 14.3 選択型割り込み B 要因一覧」を参照してください。

14.4.5.2 選択型割り込み A

選択型割り込みに分類された割り込み要因のうち、PCLKA に同期して動作する周辺モジュールの割り込み要因は、割り込みベクタ番号 208 ～ 255 に割り当てることができます。選択型割り込み A の略称は PERIA、割り込みの名称は INTA208 ～ INTA255 で表されます。

選択型割り込み A に割り当てることができる割り込み要因については「表 14.4 選択型割り込み A 要因一覧」を参照してください。

14.4.6 ノンマスカブル割り込み

ノンマスカブル割り込みには NMI 端子割り込み、発振停止検出割り込み、WDT アンダフロー/リフレッシュエラー割り込み、IWDT アンダフロー/リフレッシュエラー割り込み、電圧監視 1 割り込み、電圧監視 2 割り込み、RAM エラー割り込みがあります。

高速割り込みを含むすべての割り込みの中で最も優先レベルの高い割り込みで、CPU のプロセッサステータスワード (PSW) の I ビット (割り込み許可ビット) や IPL[3:0] ビット (プロセッサ割り込み優先レベル) の状態にかかわらず受け付けられます。

ノンマスカブル割り込みが発生しているかどうかは、NMISR レジスタで確認できます。

ノンマスカブル割り込みの割り込み要求先は CPU のみで、DTC や DMAC を選択することはできません。

14.5 割り込みの検出

割り込み要求の検出方法には、レベル検出とエッジ検出の2種類があります。

周辺モジュールからの割り込み要求は、割り込み要因ごとにエッジ検出またはレベル検出のいずれかに決まっています。外部端子割り込みの割り込み要求は、IRQCRi.IRQMD[1:0] ビット ($i=0 \sim 15$) で、エッジ検出とレベル検出を切り替えることができます。

各割り込み要因の検出方法は、「表 14.5 割り込みベクタテーブル」を参照してください。

グループ割り込みは、割り込み要求の検出方法によって、割り込み要因が分類されています。グループIE0、BE0に分類された割り込み要因の割り込み検出方法はエッジ検出、グループBL0、BL1、BL2、AL0、AL1に分類された割り込み要因の割り込み検出方法はレベル検出です。ただし、グループ割り込み(GROUPIE0, GROUPBE0, GROUPBL0, GROUPBL1, GROUPBL2, GROUPAL0, GROUPAL1) 自体の割り込み検出方法はレベル検出になります。

グループ割り込みについては「14.4.4 グループ割り込み」を、グループ割り込みの割り込み要求については「14.5.3 エッジ検出グループ割り込み」および「14.5.4 レベル検出グループ割り込み」を参照してください。

14.5.1 エッジ検出割り込み

エッジ検出割り込みのIRn.IR フラグ ($n=023 \sim 255$) の動作を図 14.5 に示します。

割り込み要求信号の立ち上がりエッジを検出するとIRn.IR フラグが“1”になります。このとき、周辺モジュールの割り込み要求を禁止してもIRn.IR フラグは“0”になりません。CPUが割り込み要求を受け付けるか、DTC/DMACが転送要求を受け付けるとIRn.IR フラグが自動的に“0”になります。ソフトウェアで“0”にする必要はありません。DTC/DMACによるIRn.IR フラグのクリア条件の詳細については「表 14.8 DTC/DMAC 起動時の動作」を参照してください。

なお、割り込みベクタ番号 64～79 の外部端子割り込み、および割り込みベクタ番号 88～95 の割り込み要因については、割り込み要求の発生からIRn.IR フラグが“1”になるまでの時間が他の割り込みと異なります。外部端子割り込みの場合、IRQi 端子 ($i=0 \sim 15$) に信号を入力してから内部遅延 + PCLKB の 2 サイクル分の遅延が発生します。また、割り込みベクタ番号 88～95 の割り込みの場合、PCLKB の 2 サイクル分の遅延が発生します。

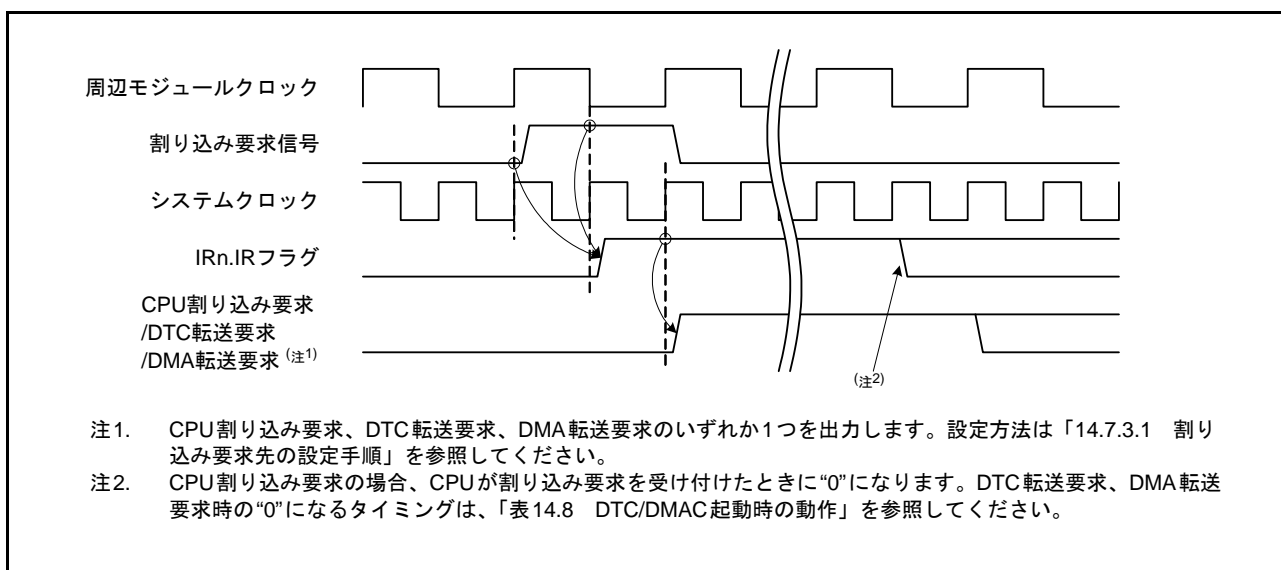


図 14.5 エッジ検出割り込みのIRn.IR フラグの動作

(1) 連続した割り込み要求信号の検出

割り込み要求信号が毎サイクル発生した場合、後続の割り込み要求信号は検出できません。連続した割り込み要求信号を受け付けるには、システムクロックと周辺モジュールクロックのうち周波数が低い方のクロックで2サイクル以上の間隔をあけてください。連続した割り込み要求信号を受け付ける間隔を図14.6に示します。

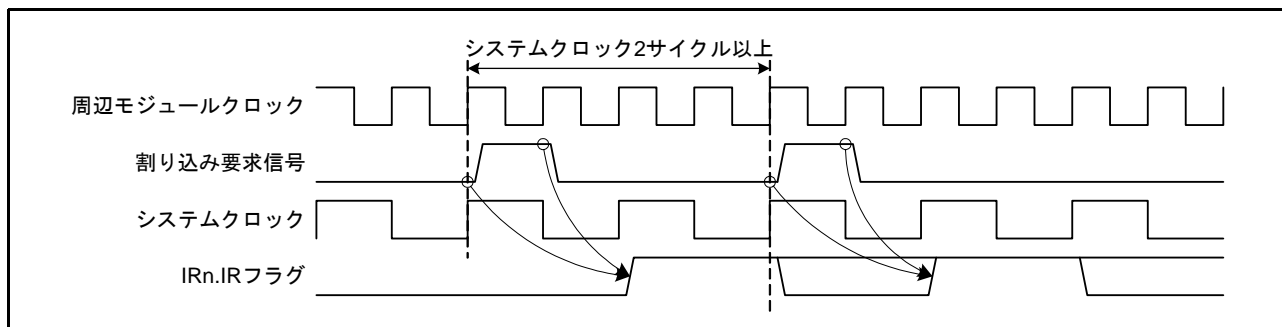


図 14.6 連続した割り込み要求信号の受け付け (システムクロック周波数 < 周辺モジュールクロック周波数の場合)

なお、割り込み要求が発生して IRn.IR フラグ (n = 023 ~ 255) が“1”になっているときに再度発生した割り込み要求は無視されます。

ただし、SCI、RSCI、RIIC、RSPI の各モジュールについては、送信割り込み要求と受信割り込み要求、バッファアクセス割り込み要求に限り、IRn.IR フラグが“1”のときに発生した割り込み要求もモジュール内部で保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、各周辺モジュール章の割り込みの説明を参照してください。

IRn.IR フラグの再セットのタイミングを図14.7に示します。

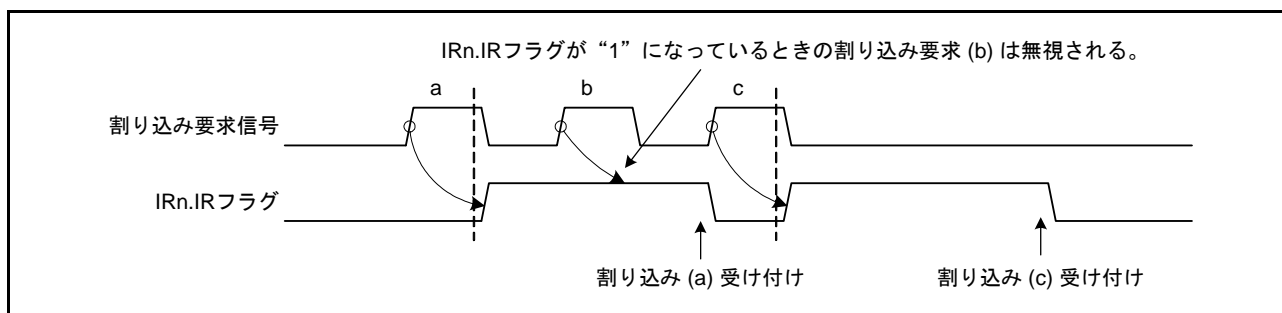


図 14.7 IRn.IR フラグの再セットのタイミング

(2) IRn.IR フラグと割り込み要求許可ビットの関係

IRn.IR フラグが“1”になった後、対応する周辺モジュールの割り込み要求許可ビットを“0”にしても、IRn.IR フラグは“0”になりません (図14.8)。

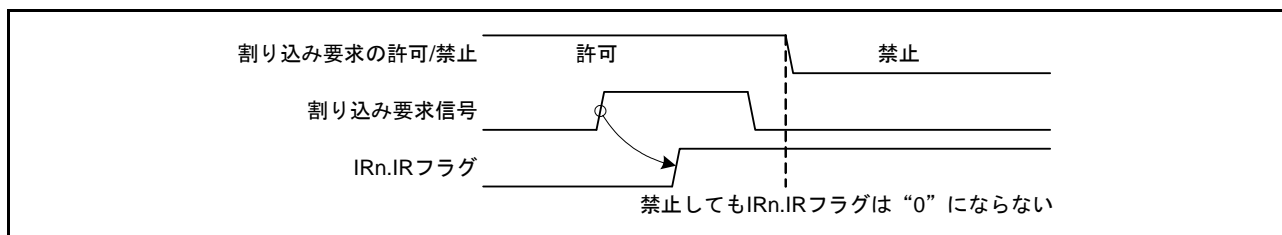


図 14.8 割り込み要求の禁止と IRn.IR フラグの関係

14.5.2 レベル検出割り込み

レベル検出割り込みの割り込み要求信号と、IRn.IR フラグ (n = 016 ~ 124) の動作を図 14.9 に示します。

割り込み要求信号が“1”になっている間、IRn.IR フラグは“1”を保持します。IRn.IR フラグを“0”にするには、対応する周辺モジュールの割り込み要求信号を“0”にする必要があります。対応する周辺モジュールの割り込みステータスフラグを“0”にし、その値が IRn.IR フラグに反映されるだけの時間を待ってから、割り込み処理ルーチンを終了してください。反映待ちの具体的な方法については、「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください。

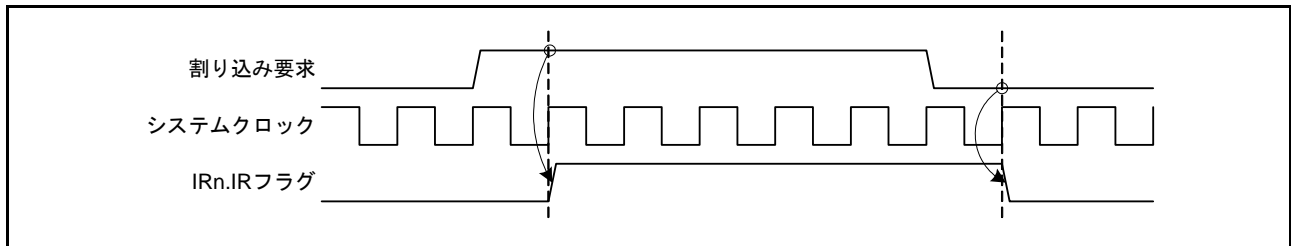


図 14.9 レベル検出割り込みの IRn.IR フラグの動作

レベル検出割り込みの割り込み処理手順の例を図 14.10 に示します。

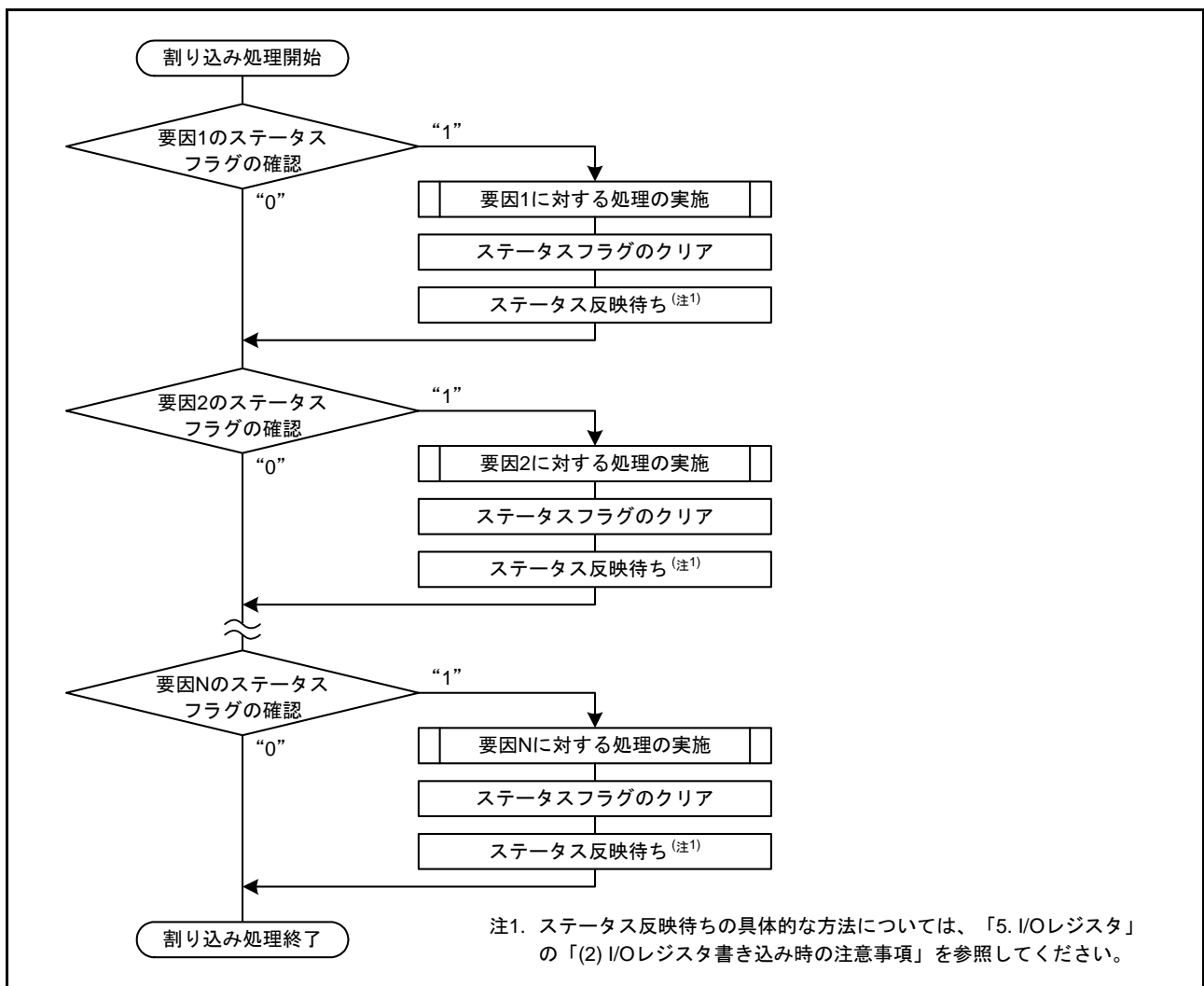


図 14.10 レベル検出割り込みの割り込み処理手順の例 (N 個のステータスフラグがある場合)

14.5.3 エッジ検出グループ割り込み

グループ割り込みのグループ IE0、BE0 には、エッジ検出の割り込み要因がグループ化されています。GROUPIE0 割り込みに対応する IR017.IR フラグ、GROUPBE0 割り込みに対応する IR106.IR フラグの動作は、“1”になるときはエッジ検出と同様ですが、“0”にする方法はレベル検出と同様です。

GENIE0/GENBE0.ENj ビット (j=0~31) が“1”のとき、対応する割り込み要求信号の立ち上がりエッジを検出すると、GRPIE0/GRPBE0.ISj フラグと IR017/IR106.IR フラグがともに“1”になります。このとき、周辺モジュールの割り込み要求を禁止しても、GENIE0/GENBE0.ENj ビットを“0”にしても、GRPIE0/GRPBE0.ISj フラグと IR017/IR106.IR フラグは“0”になりません。

GCRIE0/GCRBE0.CLRj ビットを“1”にすると、GRPIE0/GRPBE0.ISj フラグが“0”になり、その結果 IR017/IR106.IR フラグも“0”になります。

エッジ検出グループ割り込みの動作例を図 14.11、図 14.12 に、同一グループ内の複数の割り込み要因から割り込み要求が発生した場合の動作例を図 14.13 に示します。

注． 割り込み要因が割り当てられていないグループのレジスタは存在しません。

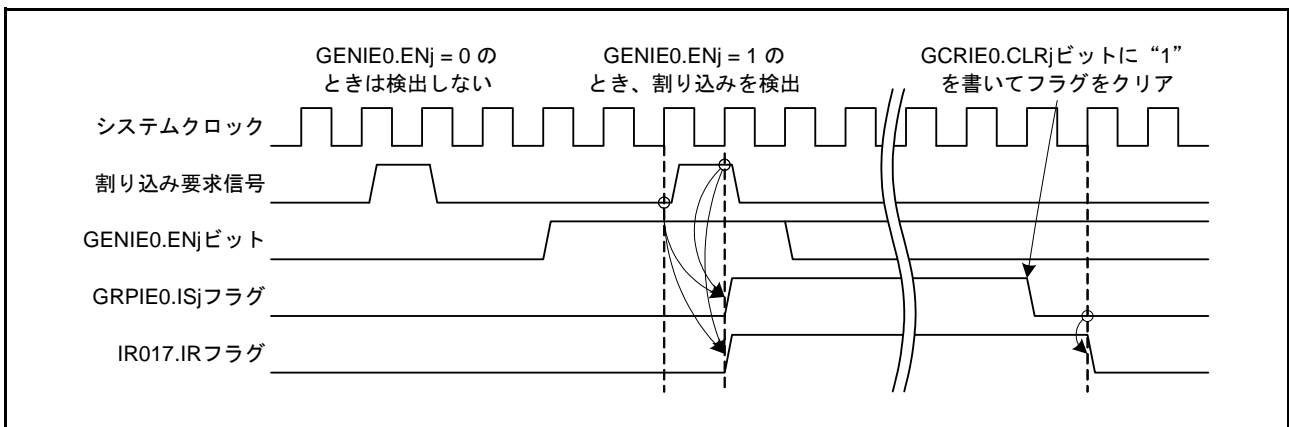


図 14.11 エッジ検出グループ割り込みの動作例 (グループ IE0)

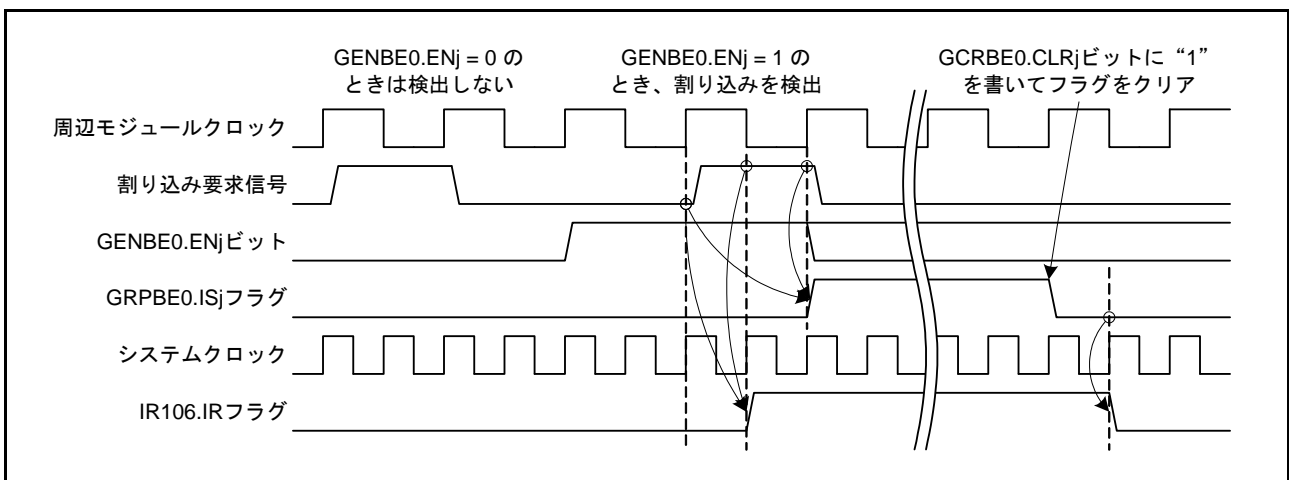


図 14.12 エッジ検出グループ割り込みの動作例 (グループ BE0)

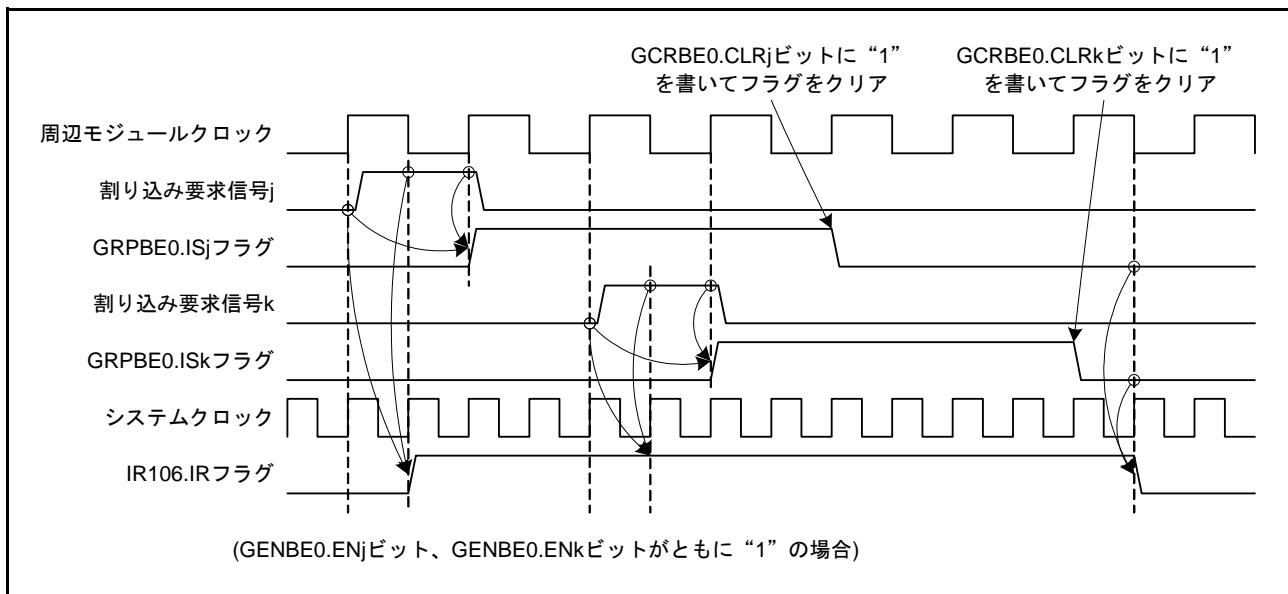


図 14.13 同一グループ内で複数の割り込み要求が発生した場合の動作例 (グループ BE0)

エッジ検出グループ割り込みの割り込み処理手順の例を図 14.14 図 14.15 に示します。

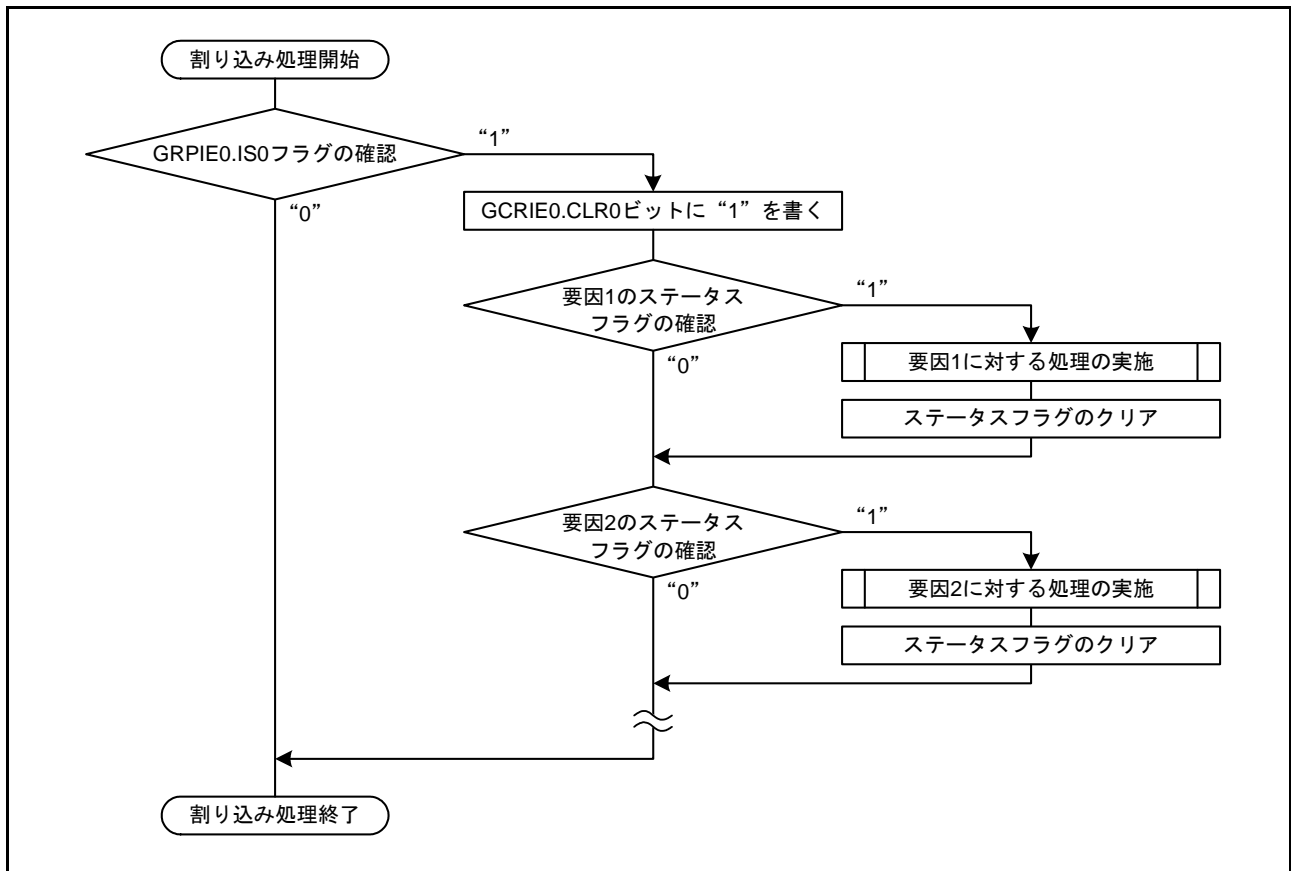


図 14.14 エッジ検出グループ割り込みの割り込み処理手順の例 (グループ IE0)

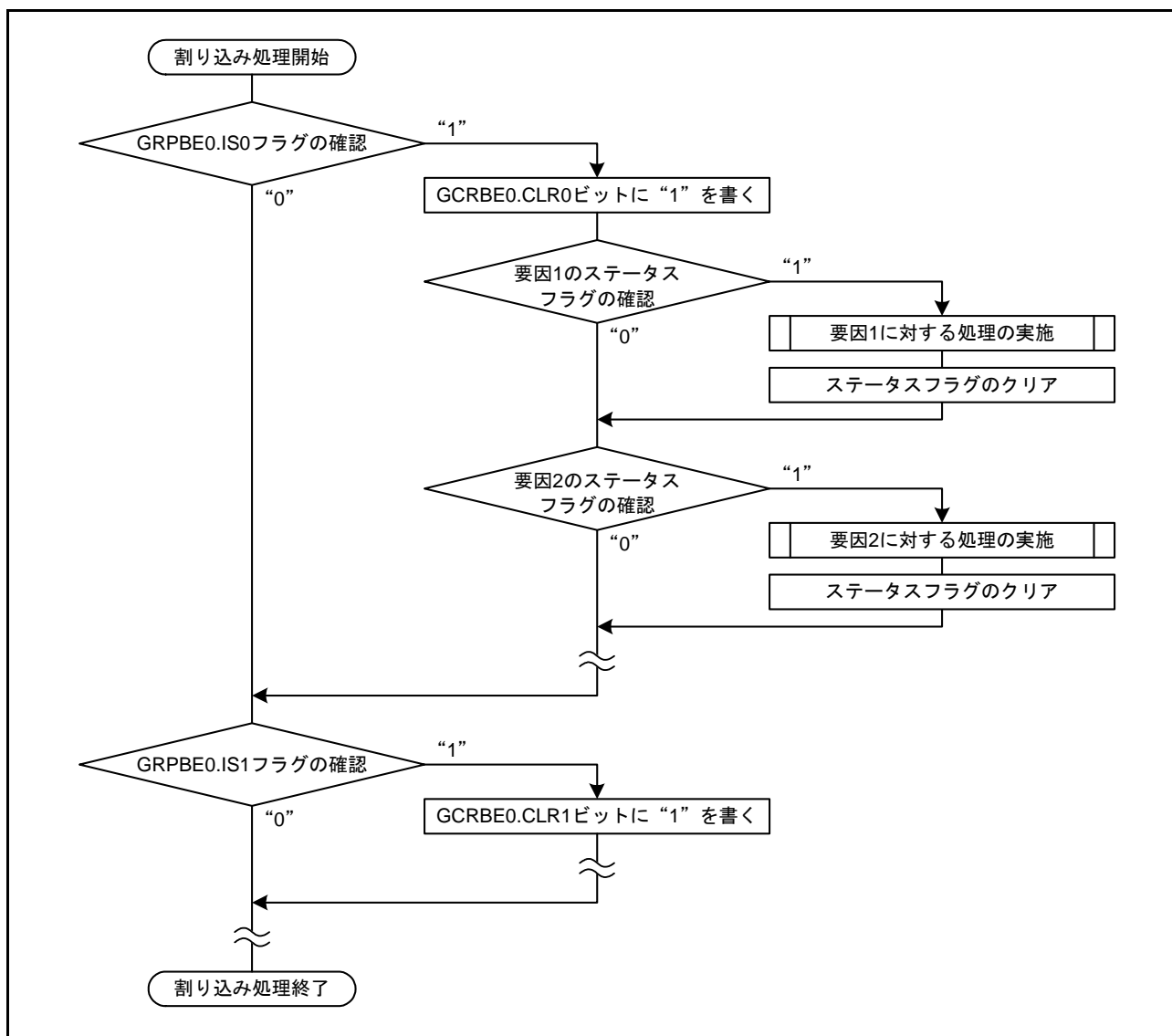


図 14.15 エッジ検出グループ割り込みの割り込み処理手順の例 (グループ BE0)

14.5.4 レベル検出グループ割り込み

グループ割り込みのグループ BL0、BL1、BL2、AL0、AL1 には、レベル検出の割り込み要因がグループ化されています。GROUPBL0 割り込みに対応する IR110.IR フラグ、GROUPBL1 割り込みに対応する IR111.IR フラグ、GROUPBL2 割り込みに対応する IR107.IR フラグ、GROUPAL0 割り込みに対応する IR112.IR フラグ、GROUPAL1 割り込みに対応する IR113.IR フラグの動作はレベル検出割り込みと同様です。

GENBL0/GENBL1/GENBL2/GENAL0/GENAL1.ENj ビット (j=0~31) が“1”のとき、対応する割り込み要求信号が“1”になると、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグが“1”になります。このとき割り込み要求信号が“0”になると、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグも“0”になります。また、GENBL0/GENBL1/GENBL2/GENAL0/GENAL1.ENj ビットを“0”にした場合も、対応する GRPBL0/GRPBL1/GRPBL2/GRPAL0/GRPAL1.ISj フラグと IRn.IR フラグが“0”になります。

レベル検出グループ割り込みの動作例を図 14.16 に、同一グループ内の複数の割り込み要因から割り込み要求が発生した場合の動作例を図 14.17 に示します。

注． 割り込み要因が割り当てられていないグループのレジスタは存在しません。

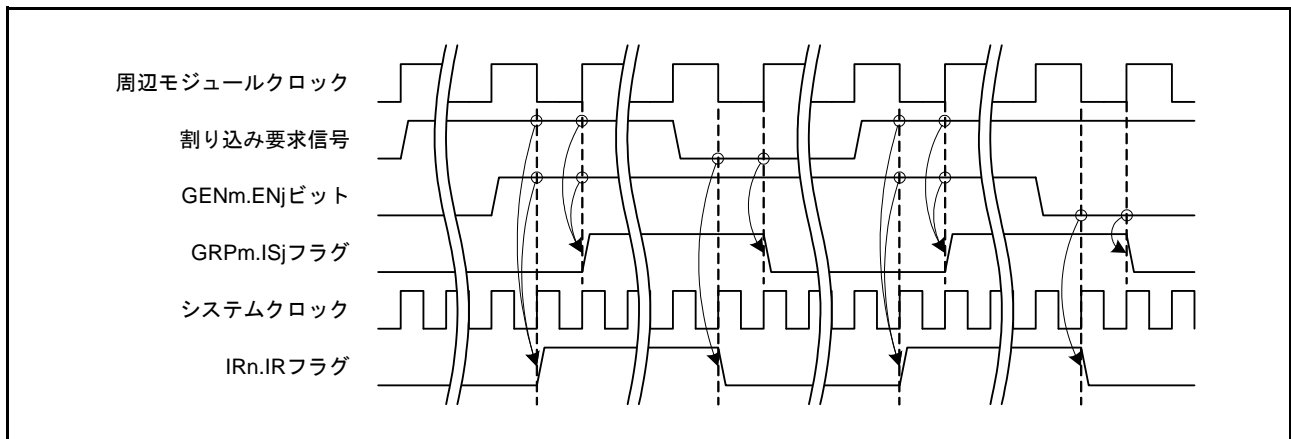


図 14.16 レベル検出グループ割り込みの動作例 (m = BL0, BL1, BL2, AL0, AL1)

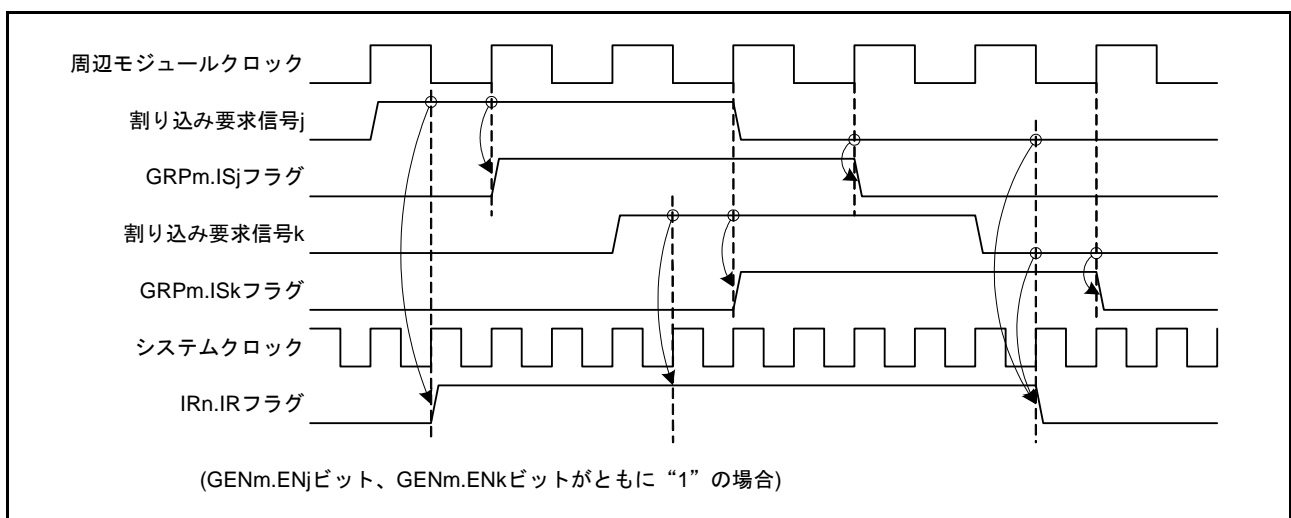


図 14.17 同一グループ内で複数の割り込み要求が発生した場合の動作例 (m = BL0, BL1, BL2, AL0, AL1)

レベル検出グループ割り込みの割り込み処理手順の例を図 14.18 に示します。

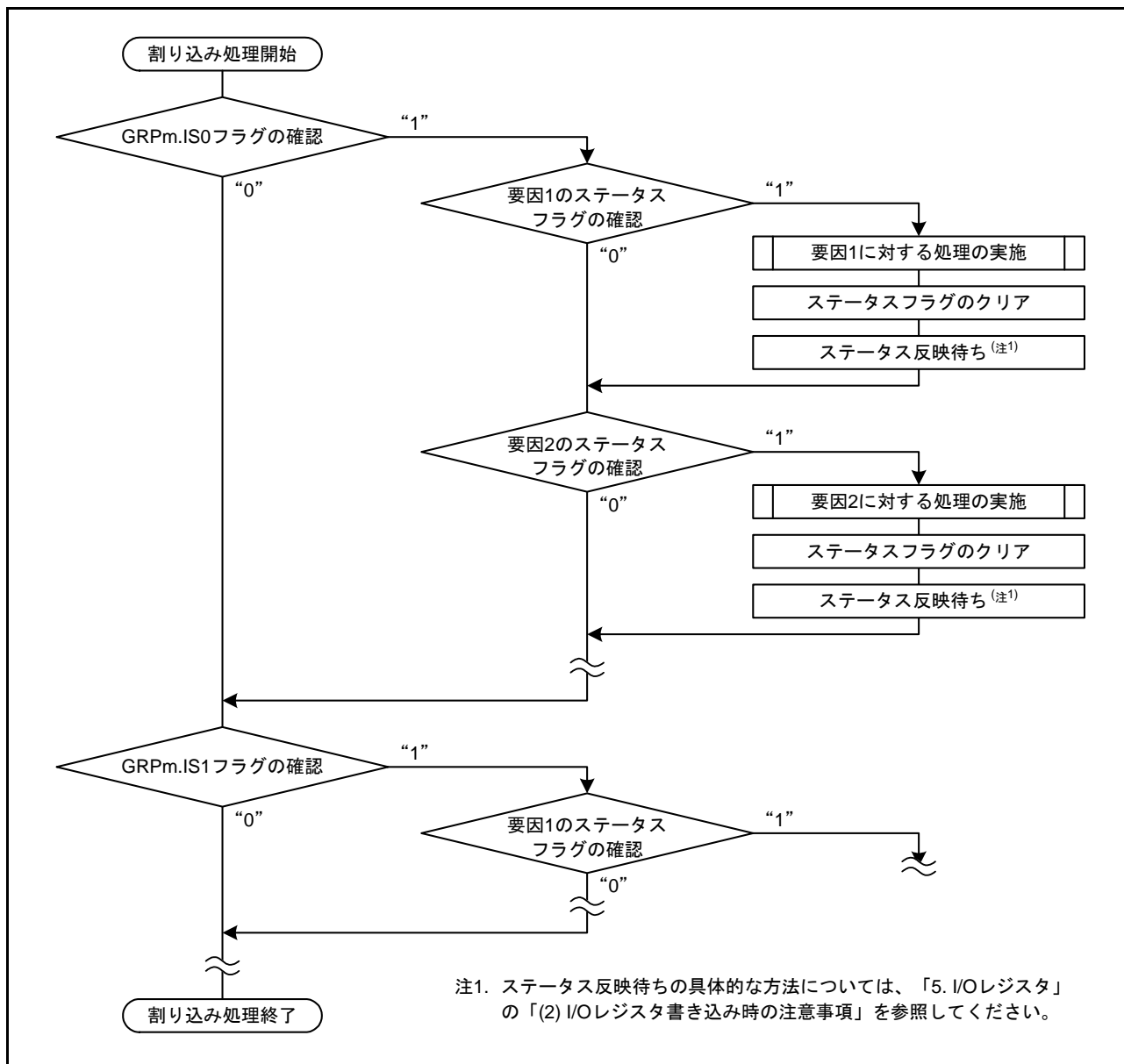


図 14.18 レベル検出グループ割り込みの処理手順の例 (m = BL0, BL1, BL2, AL0, AL1)

14.5.5 選択型割り込み

選択型割り込みに分類された割り込み要因の検出方法はエッジ検出で、選択型割り込みの割り込み要求の検出方法もエッジ検出です。

図 14.19 に選択型割り込みの割り込み要求と選択型割り込みステータスフラグの動作例を示します。

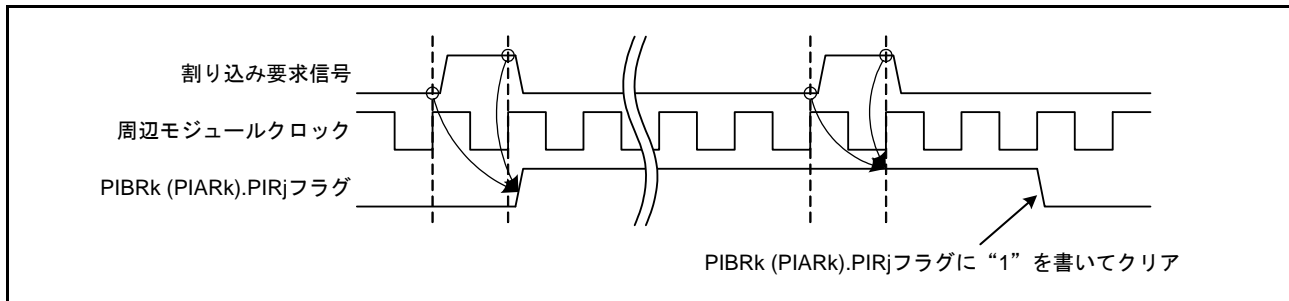


図 14.19 選択型割り込みの割り込み要求と割り込みステータスフラグの動作例

14.6 割り込み優先レベルの判定

割り込みコントローラは、割り込み要求先ごとに優先レベルの判定を行います。それぞれの割り込み要求先に対する優先レベル判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合

高速割り込みに設定された要因が最も優先されます。その次は、 $IPRr.IPR[3:0]$ ビット ($r=000 \sim 255$) の設定値によって判定され、値が大きい割り込み要因ほど優先されます。 $IPRr.IPR[3:0]$ ビットの設定値が同じ要因が複数ある場合は、割り込みベクタ番号によって判定され、番号が小さい要因ほど優先されます。

(2) 割り込み要求先が DTC の場合

$IPRr.IPR[3:0]$ ビット ($r=000 \sim 255$) の影響は受けません。割り込みベクタ番号によってのみ優先順位が判定され、番号が小さい要因ほど優先されます。

(3) 割り込み要求先が DMAC の場合

$IPRr.IPR[3:0]$ ビットの影響は受けません。DMAC のチャンネル番号によって優先順位が判定されます。DMAC のチャンネル優先順位については「17. DMA コントローラ (DMACAa)」を参照してください。

14.7 割り込みの設定手順

14.7.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

- (1) 対象となる周辺モジュールの割り込み要求許可ビットで、割り込み要求の出力を許可する
- (2) 対象となる割り込み要因がグループ割り込みに割り当てられている場合、対応するグループ割り込み要求許可レジスタの EN_j ビット ($j=0\sim 31$) を“1”にして、グループ割り込み要求レジスタの IS_j フラグへの割り込み要求出力を許可する
- (3) 対応する $IER_m.IEN_j$ ビット ($m=02h\sim 1Fh, j=0\sim 7$) を“1”にして、割り込み要求先への割り込み要求の出力を許可する

上記手順の後、周辺モジュールの割り込み要求が発生すると、その割り込み要因に対応する $IR_n.IR$ フラグ ($n=016\sim 255$) が“1”になります。

また、グループ割り込みの場合、グループ割り込み要求レジスタの IS_j フラグと、そのグループに対応する $IR_n.IR$ フラグが“1”になり、割り込み要求先へ割り込み要求が出力されます。

$IER_m.IEN_j$ ビットが“0”の場合、対応する割り込み要因の割り込み要求は、割り込み要求先に出力されません。

14.7.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

- (1) 対応する $IER_m.IEN_j$ ビット ($m=02h\sim 1Fh, j=0\sim 7$) を“0”にする
- (2) グループ割り込みの場合、対応するグループ割り込み要求許可レジスタの EN_j ビット ($j=0\sim 31$) を“0”にし、グループ割り込み要求レジスタの IS_j フラグへの割り込み要求出力を禁止する
- (3) 周辺モジュールの割り込み要求許可ビットで割り込み要求の出力を禁止し、設定したレジスタを読んで、値が反映されたことを確認する
- (4) 必要に応じて、 $IR_n.IR$ フラグを確認するか“0”にする(注1)
グループ割り込みの場合、グループ割り込み要求レジスタの IS_j フラグが“0”であることを確認するか、“0”にする

注1. SCI、RSCI、RIIC、RSPIの各送信割り込み要求または受信割り込み要求、バッファアクセス割り込み要求を許可から禁止に変更する場合、上記の手順で $IR_n.IR$ フラグを“0”にしてください。詳細は、各周辺モジュール章の割り込みの説明を参照してください。

14.7.3 割り込み要求先の選択

14.7.3.1 割り込み要求先の設定手順

割り込み要求の出力先は割り込み要因ごとにCPU、DTC、DMACのいずれかからひとつを選択できますが、割り込み要因ごとに選択できる出力先は決まっています。選択できる割り込みの要求先は「表 14.5 割り込みベクタテーブル」を参照してください。表 14.5に「○」の記載がない割り込み要求先を選択しないでください。

DTCまたはDMACの起動要因を、外部端子割り込みにする場合、 $IRQCRi.IRQMD[1:0]$ ビット ($i=0\sim 15$) でエッジ検出を選択してください。

割り込み要求の出力先の指定方法を以下に示します。

(1) DMAC の起動要因にする場合

DMAC の起動要因に指定する割り込み要因の IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) が “0” のときに以下の設定を行ってください。

- (1) 起動する DMAC のチャンネルに対応した DMRSRm レジスタ (m = DMAC チャンネル番号) に、起動要因となる割り込み要因の割り込みベクタ番号を設定する (注 1)
- (2) 起動する DMAC のチャンネルに対応した DMA 転送モードレジスタ (DMTMD) の DCTG[1:0] ビットを “01b” にして、DMAC の起動要因を周辺機能割り込みまたは外部端子割り込みにする
- (3) 起動する DMAC のチャンネルに対応した DMA 転送許可レジスタ (DMCNT) の DTE ビットを “1” にする

上記手順の後、対応する IERm.IENj ビットを “1” にしてください。

また、DMA モジュール起動レジスタ (DMAST) の DMST ビットを “1” にしてください。上記手順と DMST ビットを “1” にするのはどちらを先に行っても構いません。

DMAC の設定手順は、「17. DMA コントローラ (DMACAa)」の「17.3.7 DMAC の起動」を参照してください。

(2) DTC の起動要因にする場合

DTC の起動要因に指定する割り込み要因の IERm.IENj ビットが “0” のときに以下の設定を行ってください。

- (1) DTC の起動要因に指定する割り込みベクタ番号 n に対応した DTCERn.DTCE ビット (n = 026 ~ 255) を “1” にする (注 1)

上記手順の後、対応する IERm.IENj ビットを “1” にしてください。

また、DTC モジュール起動レジスタ (DTCST) の DTCST ビットを “1” にしてください。上記手順と DTCST ビットを “1” にするのはどちらを先に行っても構いません。

DTC の設定手順は、「18. データトランスファコントローラ (DTCb)」の「18.5 DTC の設定手順」を参照してください。

注 1. 同じ割り込み要因を DTC と DMAC の起動要因に選択しないでください。また、同じ割り込み要因を複数チャンネルの DMAC の起動要因に選択しないでください。

(3) CPU への割り込み要因にする場合

割り込み要因を DTC の起動要因にも DMAC の起動要因にも指定しなかった場合、その要因の割り込み要求は CPU に出力されます。

DTC の起動要因や DMAC の起動要因に指定せずに、IERm.IENj ビットを “1” にしてください。

14.7.3.2 DTC/DMAC 選択時の動作

DTC や DMAC を割り込み要求先に設定した場合の動作は、表 14.8 に示すとおりです。

表 14.8 DTC/DMAC 起動時の動作

割り込み要求先	DISEL (注1)	残り転送回数	1要求ごとの動作	IRフラグ(注2)のクリアタイミング	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送 → CPU に割り込み	CPU が割り込み要求を受け付けたとき	DTC
		= 0	DTC 転送 → CPU に割り込み	CPU が割り込み要求を受け付けたとき	CPU (DTCERn.DTCE ビットが“0”になる)
	0	≠ 0	DTC 転送	DTC がデータ転送を開始したとき	DTC
		= 0	DTC 転送 → CPU に割り込み (注4)	CPU が割り込み要求を受け付けたとき (注4)	CPU (DTCERn.DTCE ビットが“0”になる)
DMAC	1	≠ 0	DMA 転送 → CPU に割り込み	CPU が割り込み要求を受け付けたとき	DMAC
		= 0	DMA 転送 → CPU に割り込み	CPU が割り込み要求を受け付けたとき	CPU (DMACm.DMCNT.DTE ビットが“0”になる)
	0	≠ 0	DMA 転送	DMAC がデータ転送を開始したとき	DMAC
		= 0	DMA 転送 (注4)	DMAC がデータ転送を開始したとき (注4)	CPU (DMACm.DMCNT.DTE ビットが“0”になる)

注1. DTC の場合は DTC.MRB.DISEL ビットで、DMAC の場合は DMACm.DMCSL.DISEL ビットで設定します。

注2. IRn.IR フラグが“1”のとき、再度発生した割り込み要求(DTC/DMA 転送要求)は無視されます。

注3. チェーン転送の場合は、チェーン転送が終了するまで DTC 転送を続けます。チェーン転送終了時の CPU 割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン転送終了時の DISEL ビットの値および残り転送回数によって決まります。チェーン転送については、「18. データトランスファコントローラ (DTCb)」の「表 18.4 チェーン転送の条件」を参照してください。

注4. DISEL ビットが“0”でかつ残り転送回数が“0”のときの動作は、DTC と DMAC で異なります。

14.7.3.3 割り込み要求先の変更

割り込み要求先を変更する場合は、IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) を“0”にしてから行ってください。

(1) 現在の割り込み要求先が DMAC の場合

「14.7.3.1 割り込み要求先の設定手順」の「(1) DMAC の起動要因にする場合」に示された手順の後、DMA 転送が完了していないとき (DMCNT.DTE ビットがクリアされていない状態) に割り込み要求先を変更する場合や DMAC の起動要因を別の割り込み要因に変更する場合は、以下に示す手順で行ってください。

- (1) 現在設定されている起動要因と、新たに設定する起動要因の IERm.IENj ビットを“0”にする
- (2) DMAC の転送状況を確認し、転送中であれば、転送が完了するのを待つ
- (3) 「14.7.3.1 割り込み要求先の設定手順」に示された手順を実施する

(2) 現在の割り込み要求先が DTC の場合

「14.7.3.1 割り込み要求先の設定手順」の「(2) DTC の起動要因にする場合」に示された手順の後、DTC 転送が完了していないとき (DTCERn.DTCE ビット (n = 026 ~ 255) がクリアされていない状態) に割り込み要求先を変更する場合や DTC の転送内容を変更する場合は、以下に示す手順で行ってください。

- (1) 現在設定されている起動要因と、新たに設定する起動要因の IERm.IENj ビットを“0”にする
- (2) DTC の転送状況を確認し、転送中であれば、転送が完了するのを待つ
- (3) 「14.7.3.1 割り込み要求先の設定手順」に示された手順を実施する

14.7.4 外部端子割り込みの設定手順

外部端子割り込みを使用するときの設定手順は以下のとおりです。

- (1) 使用する IRQ_i 端子 (i = 0 ~ 15) に対応した IER_m.IEN_j ビット (m = 02h ~ 1Fh, j = 0 ~ 7) を “0” (割り込み要求禁止) にする
- (2) IRQFLTE0 レジスタまたは IRQFLTE1 レジスタの FLTEN_i ビットを “0” (デジタルフィルタ無効) にする
- (3) IRQFLTC0 レジスタまたは IRQFLTC1 レジスタの FCLKSEL_i[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する
- (4) I/O ポートの設定および確認を行う
- (5) IRQCR_i.IRQMD[1:0] ビットで検出方法を選択する
- (6) エッジ検出を選択した場合は、対応する IR_n.IR フラグ (n = 016 ~ 255) を “0” にする
- (7) IRQFLTE0/IRQFLTE1.FLTEN_i ビットを “1” (デジタルフィルタ有効) にする。
- (8) 割り込み要求先を DTC にする場合は DTCER_n.DTCE ビット (n = 026 ~ 255) を、DMAC にする場合は DMRSR_m レジスタ (m = DMAC チャンネル番号) を設定する (どちらも設定しない場合は CPU への割り込みになる)
- (9) 対応する IER_m.IEN_j ビットを “1” (割り込み要求許可) にする。

14.7.5 ノンマスクابل割り込みの設定手順

リセット後、ノンマスクابل割り込みは禁止になっています。ノンマスクابل割り込みを使用する場合は、以下の手順で設定してください。

- (1) スタックポインタ (SP) を設定する
- (2) NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを “0” (デジタルフィルタ無効) にする
- (3) NMI 端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する
- (4) NMI 端子を使用する場合は、NMICR.NMIMD ビットで NMI 端子の検出エッジを選択する
- (5) NMI 端子を使用する場合は、NMICLR.NMICLR ビットに “1” を書いて、NMISR.NMIST フラグを “0” にする
- (6) NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを “1” (デジタルフィルタ有効) にする
- (7) NMIER レジスタの使用する割り込み要因に対応するビットを “1” にして、ノンマスクابل割り込みの生成を許可する

NMIER レジスタのビットは一度 “1” (許可) にすると、以後そのビットへの書き込みは無効となり、“0” (禁止) にすることはできません。いったん許可したノンマスクابل割り込みを禁止するには、MCU をリセットする以外にありません。

ノンマスクابل割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMISR レジスタの RAMST フラグを除く各フラグは、NMICLR レジスタの対応するビットに “1” を書くことで “0” になります。RAMST フラグを “0” にするには、RAM.RAMSTS.RAMERR フラグのうち、“1” になったフラグを “0” にしてください。

ノンマスクابل割り込みの割り込み処理ルーチンでは、NMISR レジスタの全フラグが “0” になったことを確認して処理を終了してください。

NMI 端子割り込みを除くノンマスクابل割り込みは、マスクابل割り込みとしても使用できます。マスクابل割り込みとして使用する場合は、NMIER レジスタをリセット後の値から変更しないでください。また、

電圧監視 1 割り込み、電圧監視 2 割り込みをマスカブル割り込みとして使用する場合は、電圧監視 1 回路制御レジスタ 1 (LVD1CR1) の LVD1IRQSEL ビット、電圧監視 2 回路制御レジスタ 1 (LVD2CR1) の LVD2IRQSEL ビットを“1”にしてください。

14.7.6 デジタルフィルタ

デジタルフィルタを有効にすることで、IRQ_i 端子 (i = 0 ~ 15) と NMI 端子への入力信号に含まれるノイズを除去することができます。

デジタルフィルタは、端子への入力信号をデジタルフィルタ用のサンプリングクロック (PCLKB、PCLKB/8、PCLKB/32、PCLKB/64) でサンプリングし、3 回連続でレベルが一致する入力信号のみを通過させます。

IRQ_i 端子にデジタルフィルタを適用する場合は「14.7.4 外部端子割り込みの設定手順」を、NMI 端子にデジタルフィルタを適用する場合は「14.7.5 ノンマスカブル割り込みの設定手順」を参考に関係するレジスタを設定してください。

ソフトウェアスタンバイモードからの復帰要因として外部端子割り込みや NMI 端子割り込みを使用する場合は、デジタルフィルタは使用できません。ソフトウェアスタンバイモードに移行する前に、IRQFLTE0 または IRQFLTE1 レジスタの FLTEN_i ビット、または NMIFLTE.NFLTEN ビットを“0”にしてください。ソフトウェアスタンバイモードから復帰した後、再度デジタルフィルタを有効にする場合は、IRQFLTE0 または IRQFLTE1 レジスタの FLTEN_i ビット、または NMIFLTE.NFLTEN ビットを“1”にしてください。

図 14.20 にデジタルフィルタの動作例を示します。

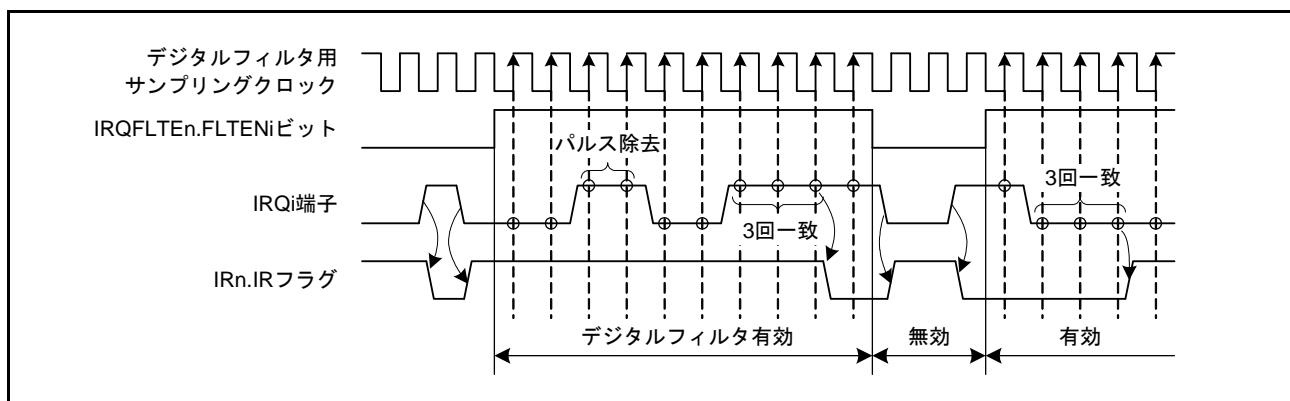


図 14.20 デジタルフィルタ動作例 (IRQCR_i.IRQMD[1:0] ビットが“00b” (Low) の場合)

14.7.7 選択型割り込みの設定手順

選択型割り込みに割り込み要因を割り当てる手順を以下に示します。

- (1) 設定する選択型割り込みの IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) を “0” にする (リセット後の値から変更していなければ不要)
- (2) 選択型割り込み B の場合は、SLIBXRn レジスタ (n = 128 ~ 143) または SLIBRn レジスタ (n = 144 ~ 207) に割り込み要因番号を設定する。選択型割り込み B に分類された割り込み要因の要因番号は「表 14.3 選択型割り込み B 要因一覧」を参照してください
- (3) 選択型割り込み A の場合は、SLIARn レジスタ (n = 208 ~ 255) に割り込み要因番号を設定する。選択型割り込み A に分類された割り込み要因の要因番号は「表 14.4 選択型割り込み A 要因一覧」を参照してください
- (4) SLIPRCR.WPRC ビットを “1” にする
- (5) SLIPRCR.WPRC ビットが “1” であることを確認する
- (6) 割り込み要求先 (CPU, DTC, DMAC) を選択する。設定手順は「14.7.3.1 割り込み要求先の設定手順」を参照してください
- (7) IRn.IR フラグ (n = 128 ~ 255) に “0” を書く (エッジ検出の場合のみ)
- (8) IERm.IENj ビットを “1” にする

14.7.7.1 選択型割り込みのポーリング

PIBRk レジスタ (k = 0h, 1h, 5h, 6h, 8h ~ Ah, Ch, Dh) または PIARk レジスタ (k = 0h ~ 5h, Bh, Ch) の PIRj フラグ (j = 0 ~ 7) を参照して割り込み要求のポーリングを行う場合は、以下の手順で行ってください。

- (1) 対象となる周辺モジュールの割り込み設定を行う
- (2) ポーリング対象の PIBRk レジスタまたは PIARk レジスタの PIRj フラグに “1” を書いて (注1) フラグをクリアする
- (3) 周辺モジュールの割り込み要求の出力を許可する
- (4) 適宜、PIBRk レジスタまたは PIARk レジスタの PIRj フラグを読み出し、値を確認する
- (5) PIBRk レジスタまたは PIARk レジスタの PIRj フラグをクリアする場合は、対象となるフラグに “1” を書く (注1)
- (6) 以降、必要に応じて (4)、(5) を繰り返す

注1. ビット操作命令は使用しないでください。ビット操作命令を使用すると複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを “1”、その他のフラグを “0” にして 8 ビット単位で書いてください。

14.8 多重割り込み

多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で CPU のプロセッサステータスワード (PSW) の I ビットを “1” (割り込み許可) にしてください。

割り込み処理ルーチン内での PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

なお、PSW.I ビットの書き換えは、スーパーバイザモードのときのみ有効です。割り込みが受け付けられると PSW.PM ビットが “0” (スーパーバイザモード) になるため、割り込みの処理ルーチン内では PSW.I ビットを書き換えることができます。

14.9 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうち 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRr.IPR[3:0] ビット (r = 000 ~ 255) の設定にかかわらず、“15” (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が “1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てるには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを “1” (高速割り込みを許可) にしてください。

高速割り込みの機能が有効になるのは、割り込み要求先として CPU を指定したときのみです。割り込み先に DTC や DMAC を指定した場合、高速割り込みの機能は無効になります。

高速割り込みについては、「2. CPU」や「13. 例外処理」も参照してください。

14.10 低消費電力状態からの復帰

スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモードからの復帰に割り込みが使用できます。

詳細は「11. 消費電力低減機能」を参照してください。低消費電力モードごとの復帰要因の設定方法を以下に示します。

なお、ディープソフトウェアスタンバイモードからの復帰については、「11.5.4 ディープソフトウェアスタンバイモード」を参照してください。

14.10.1 スリープモードからの復帰

ノンマスカブル割り込み、およびすべての割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること

(2) 割り込み

- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込みの要求が許可されていること
- CPU のプロセッサステータスワード (PSW) の IPL[3:0] ビットよりも高い割り込み優先レベルであること
- グループ割り込みの場合、グループ割り込み要求許可レジスタ (GENBL0, GENBL1, GENBL2, GENAL0) の ENj ビット (j = 0 ~ 31) によって該当する割り込みの要求が許可されていること

14.10.2 全モジュールクロックストップモードからの復帰

ノンマスカブル割り込み、および「表 14.5 割り込みベクタテーブル」の「ACS 復帰」列に「○」のある割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること

(2) 割り込み

- 全モジュールクロックストップモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込みの要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

14.10.3 ソフトウェアスタンバイモードからの復帰

発振停止検出割り込みを除くノンマスクابل割り込み、および「表 14.5 割り込みベクタテーブル」の「SSBY 復帰」列に「○」のある割り込み要因によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスクابل割り込み

- NMIER レジスタによって該当する割り込みの生成が許可されていること
- NMI 端子割り込みを使用する場合は、デジタルフィルタが無効になっていること

(2) 割り込み

- ソフトウェアスタンバイモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) によって該当する割り込みの要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みを使用する場合には、FIR レジスタだけでなく、対応する IPRr.IPR[3:0] ビット ($r = 000 \sim 255$) も CPU の PSW.IPL[3:0] ビットより高い割り込み優先レベルを設定してください)
- 外部端子割り込みを使用する場合は、使用する IRQi 端子のデジタルフィルタが無効になっていること

デジタルフィルタの設定方法については、「14.7.6 デジタルフィルタ」を参照してください。

14.11 使用上の注意事項

14.11.1 ノンマスクابل割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

14.11.2 全モジュールクロックストップモード時の選択型割り込み

選択型割り込みに分類された割り込み要因を全モジュールクロックストップモードからの復帰要因として使用する場合、その割り込み要因は割り込みベクタ番号 146 ~ 157 の選択型割り込み B (INTB146 ~ INTB157) に割り当ててください。

14.11.3 ソフトウェアスタンバイモード中の割り込み要求

ソフトウェアスタンバイモードからの復帰要因に設定していない割り込み要因からソフトウェアスタンバイモード中に割り込み要求が発生した場合、その要求は割り込みコントローラ内部に保持され、他の割り込み要因によって復帰した後に順次処理されます。

ただし、外部端子割り込みについては、この割り込み要求は保持されません。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU (命令)を接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック (ICLK)に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド)を接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック (ICLK)に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • コードフラッシュメモリを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック (ICLK)に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DTC、DMACを接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック (ICLK)に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能(TFU、DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック (ICLK)に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能(内部周辺バス1、3、4、5以外の周辺機能)を接続 • 周辺モジュールクロック (PCLKB)に同期して動作
	内部周辺バス3	<ul style="list-style-type: none"> • 周辺機能(DOC、REMC、CANFD、CMPC)を接続 • 周辺モジュールクロック (PCLKB)に同期して動作
	内部周辺バス4	<ul style="list-style-type: none"> • 周辺機能(MTU、RSPI、SCLi)を接続 • 周辺モジュールクロック (PCLKA)に同期して動作
	内部周辺バス5	<ul style="list-style-type: none"> • 周辺機能(RSCI、CANFD)を接続 • 周辺モジュールクロック (PCLKA)に同期して動作
	内部周辺バス6	<ul style="list-style-type: none"> • コードフラッシュメモリ(P/E時)、データフラッシュメモリを接続 • FlashIFクロック (FCLK)に同期して動作
外部バス	CS領域	<ul style="list-style-type: none"> • 外部デバイスを接続 • 外部バスクロック (BCLK)に同期して動作

P/E：プログラム/イレーズ

BCLK (外部バスクロック)：最大 40MHz のクロックです。CSC (CS 領域コントローラ) は BCLK に同期して動作します。

BCLK 端子出力：デフォルトでは、BCLK と同じ周波数です。外部バスクロックコントロールレジスタの BCLK 端子出力選択ビット (BCKCR.BCLKDIV) で、BCLK の 2 分周が可能です。詳細は、「9. クロック発生回路」を参照してください。

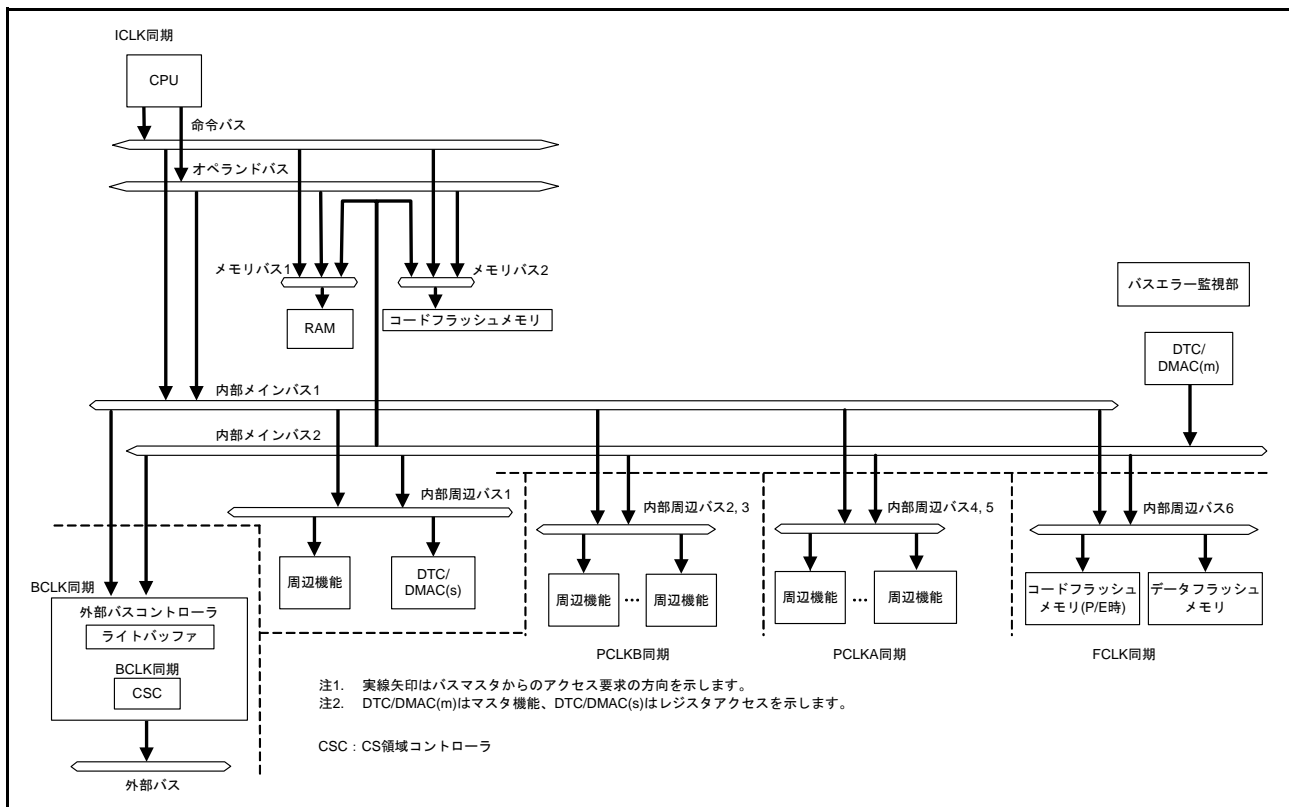


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス		内容	
	内蔵ROM有効	内蔵ROM無効	内蔵ROM有効	内蔵ROM無効
0000 0000h ~ 0001 FFFFh	メモリバス 1		RAM	
0002 0000h ~ 0007 FFFFh			予約領域	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1		周辺 I/O レジスタ	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2			
000A 0000h ~ 000B FFFFh	内部周辺バス 3			
000C 0000h ~ 000D FFFFh	内部周辺バス 4			
000E 0000h ~ 000F FFFFh	内部周辺バス 5			
0010 0000h ~ 007F FFFFh	内部周辺バス 6	予約領域	データフラッシュメモリ、コードフラッシュメモリ (書き換え専用)	予約領域
0080 0000h ~ 00FF FFFFh	予約領域		予約領域	
0100 0000h ~ 04FF FFFFh	外部バス		予約領域	
0500 0000h ~ 07FF FFFFh			外部アドレス空間 (CS1 ~ CS3)	
0800 0000h ~ 0FFF FFFFh			予約領域	
1000 0000h ~ 7FFF FFFFh	予約領域		予約領域	
8000 0000h ~ FFDF FFFFh	メモリバス 2	予約領域	コードフラッシュメモリ (読み出し専用)	予約領域
FFE0 0000h ~ FFFF FFFFh		外部バス		外部アドレス空間 (CS0)

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、32 ビットです。

命令バスとオペランドバスは、RAM、コードフラッシュメモリに接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、コードフラッシュメモリは読み出しのみ CPU からの直接アクセスが可能であり、プログラム/イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス (メモリバス 1、メモリバス 2、内部メインバス 1) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、コードフラッシュメモリと RAM、コードフラッシュメモリと外部アドレス空間などの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 にはコードフラッシュメモリが接続されています。メモリバスは 64 ビットです。メモリバス 1、2 は、CPU バス (命令フェッチとオペランド)、内部メインバス 2 からのバス権要求を調停します。

バスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (コードフラッシュメモリ) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、バスの優先順位は、内部メインバス 2 > CPU バス (オペランド > 命令フェッチ) の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス (内部メインバス 1) と、CPU 以外のバスマスタ (DTC, DMAC) が使用するバス (内部メインバス 2) の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC のバス権要求を調停します。優先順位は、表 15.3 に示すように、DMAC > DTC の順となります。

DTC と DMAC については、転送要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の転送要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DMAC4 > DMAC5 > DMAC6 > DMAC7 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス (内蔵メモリ、内部周辺バス 1 ~ 内部周辺バス 6、外部バス) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ優先順位

優先度	バスマスタ
高 ↑ 低	DMAC
	DTC
	CPU

注. 上記はバス優先権が固定の場合です。

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	TFU、DTC、DMAC、割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1、3、4、5以外の周辺機能
内部周辺バス3	DOC、REMC、CANFD、CMPC
内部周辺バス4	MTU、RSPI、SCli
内部周辺バス5	RSCI、CANFD
内部周辺バス6	コードフラッシュメモリ(P/E時)、データフラッシュメモリ

内部周辺バス1～6は、それぞれ、CPU(内部メインバス1)とCPU以外のバスマスタ(内部メインバス2)からのバス権要求を調停します。

2本のバスの優先順位は、バスプライオリティ制御レジスタ(BUSPRI)により設定可能です。優先順位は、内部周辺バス1プライオリティ制御ビット(BUSPRI.BPIB[1:0])、内部周辺バス2、3プライオリティ制御ビット(BUSPRI.BPGB[1:0])、内部周辺バス4、5プライオリティ制御ビット(BUSPRI.BPHB[1:0])、内部周辺バス6プライオリティ制御ビット(BUSPRI.BPFB[1:0])によりバスごとに設定できます。優先順位固定の場合は、内部メインバス2>内部メインバス1の順となります。優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。(ラウンドロビン方式)

BUSPRIレジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください(図15.2参照)。

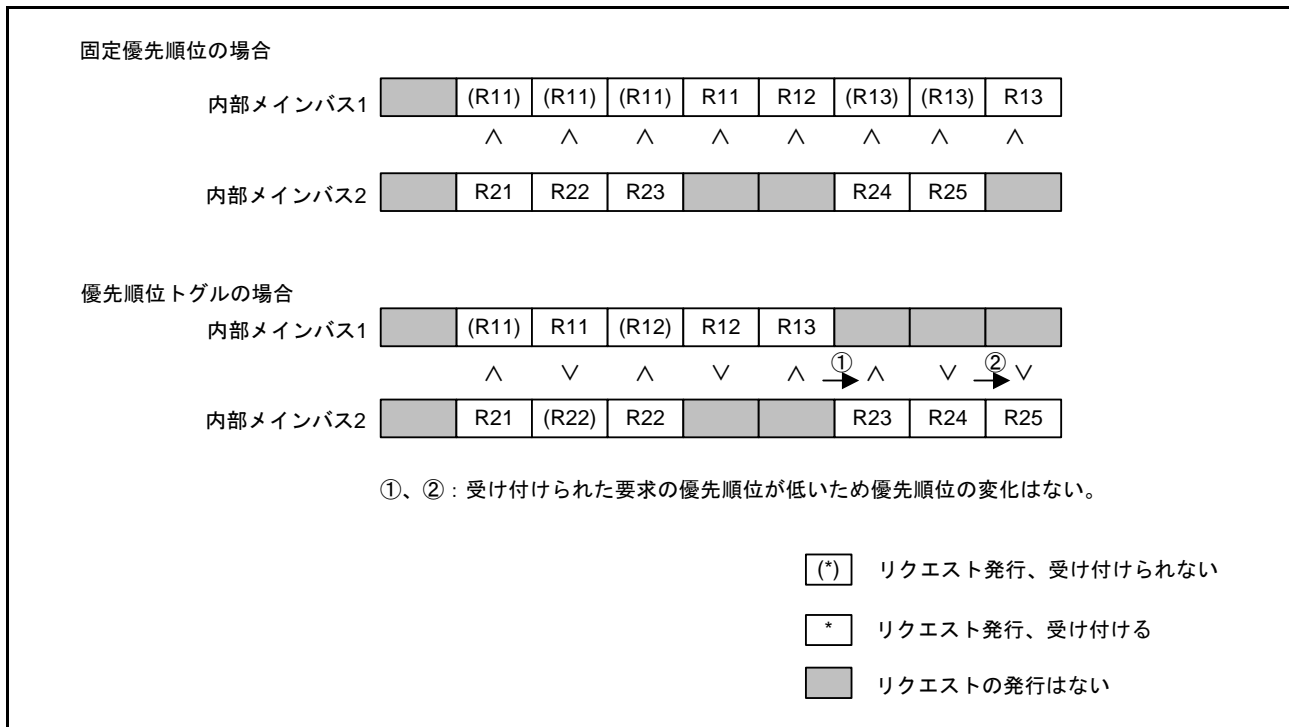


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能 (内部周辺バス)

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。(図 15.3 参照)

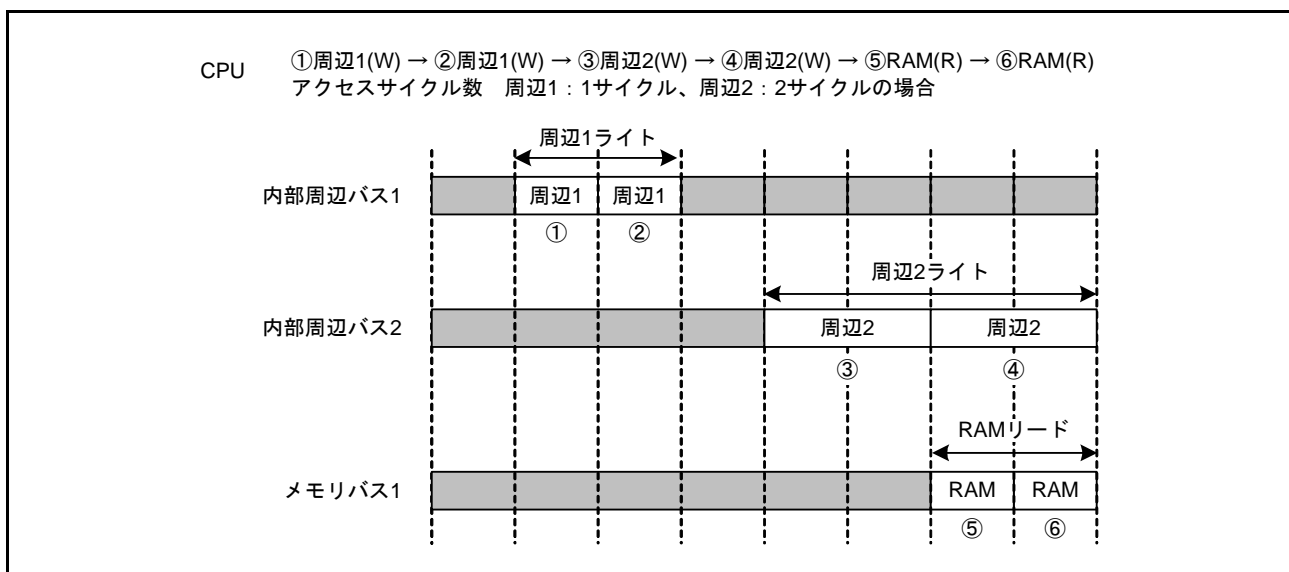


図 15.3 ライトバッファ機能

15.2.6 外部バス

表 15.5 に外部バスの仕様を示します。

外部バスコントローラは、内部メインバス 1、内部メインバス 2 からの外部アドレス空間と外部バスコントローラのレジスタ (CSC) に対するバス権要求を調停します。

2本のバスの優先順位は、バスプライオリティ制御レジスタの外部バスプライオリティ制御ビット (BUSPRI.BPEB[1:0]) により設定可能です。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

バスプライオリティ制御レジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください (図 15.4 参照)。

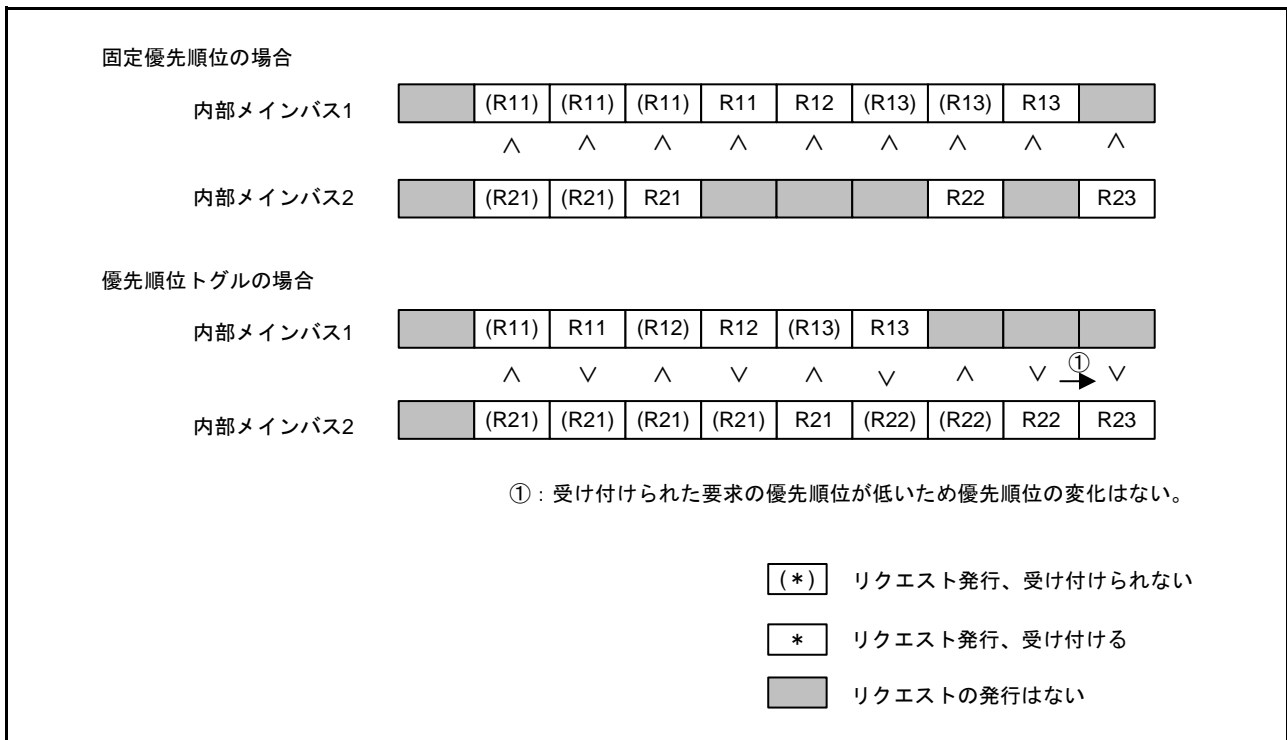


図 15.4 内部周辺バス優先順位

表 15.5 外部バスの仕様

項目	内容
外部アドレス空間	<ul style="list-style-type: none"> 外部アドレス空間を4つのCS領域(CS0～CS3)に分割して管理 領域ごとにチップセレクトを出力可能 領域ごとにバス幅を選択可能 セパレートバス：8ビットバス空間/16ビットバス空間を選択可能 アドレス/データマルチプレクスバス：8ビットバス空間/16ビットバス空間を選択可能 領域ごとにエンディアンを設定可能
CS領域コントローラ	<ul style="list-style-type: none"> リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 サイクルウェイト機能：最大31サイクルウェイト(ページアクセス最大7サイクルウェイト) ウェイト制御 チップセレクト信号(CS0#～CS3#)のアサート/ネゲートタイミング設定可能 リード信号(RD#)、ライト信号(WR0#/WR#～WR1#)のアサートタイミング設定可能 データ出力の開始/終了タイミング設定可能 ライトアクセスモード：1ライトストローブモード/バイトストローブモード セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	<ul style="list-style-type: none"> CS領域コントローラ(CSC)は、BCLKに同期して動作

表 15.6 に外部バスの入出力端子を示します。

表 15.6 外部バスの入出力端子

端子名	入出力	機能
A20～A0 (注1)	出力	アドレス出力端子です
D15～D0	入出力	データ入出力端子です 16ビットバス空間を設定した場合、D15～D0が有効となります 8ビットバス空間を設定した場合、D7～D0が有効となります
BC0# (注1)	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で(BC0#信号がLowの場合)、D7～D0が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくLow出力となります
BC1#	出力	1ライトストローブモード時、外部アドレス空間をアクセス中で(BC1#信号がLowの場合)、D15～D8が有効であることを示すストローブ信号です 8ビットバス空間を設定した場合、使用しません
CS0#	出力	領域0 (CS0)チップセレクト信号です
CS1#	出力	領域1 (CS1)チップセレクト信号です
CS2#	出力	領域2 (CS2)チップセレクト信号です
CS3#	出力	領域3 (CS3)チップセレクト信号です
RD#	出力	外部アドレス空間(CS0～CS3)をリード中であることを示すストローブ信号です
WR0#/WR#	出力	WR0#信号は、バイトストローブモード時、外部アドレス空間をライト中で(WR0#信号がLowの場合)、D7～D0が有効であることを示すストローブ信号です WR#信号は、1ライトストローブモード時、外部アドレス空間をライト中であることを示すストローブ信号です。 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス時にLowが出力されます
WR1#	出力	バイトストローブモード時、外部アドレス空間をライト中で(WR1#信号がLowの場合)、D15～D8が有効であることを示すストローブ信号です 1ライトストローブモード時、無効となります 8ビットバス空間を設定した場合、使用しません
ALE	出力	アドレス/データマルチプレクスバス選択時のアドレスラッチ信号です
WAIT#	入力	外部アドレス空間(CS0～CS3)をアクセスするときのウェイト要求信号です。(Low：ウェイト要求)

注1. A0端子とBC0#端子は兼用しており、領域ごとにバイトストローブモード時はA0端子、1ライトストローブモード時はBC0#端子が有効になります。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。その他の兼用端子については、「20. I/Oポート」を参照してください。

15.2.7 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUの命令フェッチがコードフラッシュメモリを、オペランドがRAMをアクセス中に、DMACは周辺-外部バス間の転送を行うことができます。図15.5に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれコードフラッシュメモリとRAMを同時にアクセスすることが可能です。また、CPUがコードフラッシュメモリとRAMをアクセス中に、DMACは内部メインバス2を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

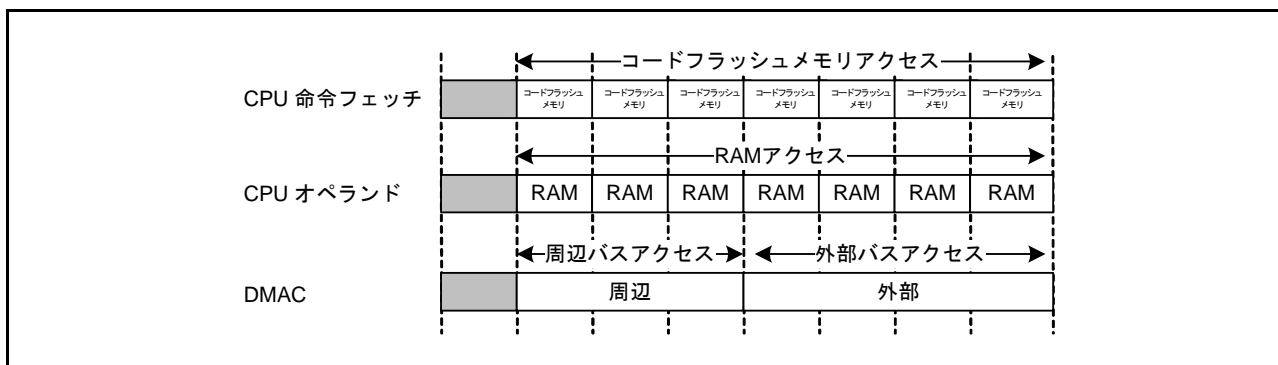


図 15.5 並列動作の例

15.2.8 バスの設定

- (1) 外部バスのモードを、CSn モードレジスタ (CSnMOD)、CSn ウェイト制御レジスタ 1 (CSnWCR1)、CSn ウェイト制御レジスタ 2 (CSnWCR2)、CSn 制御レジスタ (CSnCR)、CSn リカバリサイクル設定レジスタ (CSnREC)、CS リカバリサイクル挿入許可レジスタ (CSRECEN)、バスエラー監視許可レジスタ (BEREN)、バスプライオリティ制御レジスタ (BUSPRI) で設定します。
- (2) 端子の設定を、CS 出力許可レジスタ (PFCSE)、CS 出力端子選択レジスタ 0 (PFCSS0)、アドレス出力許可レジスタ 0 (PFAOE0)、アドレス出力許可レジスタ 1 (PFAOE1)、外部バス制御レジスタ 0 (PFBCR0)、外部バス制御レジスタ 1 (PFBCR1) で行います。
- (3) 使用する端子を入力ポートに設定します。
- (4) システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE) を“1”(外部バス有効) に設定します。

15.2.9 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) 外部空間には領域ごとのエンディアン切り替え機能(データのみ)がありますが、チップのエンディアンと異なる設定を行った領域にRMPA命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- (b) RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(3) エンディアンに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.3 レジスタの説明

15.3.1 CSn 制御レジスタ (CSnCR) (n = 0 ~ 3)

アドレス CS0CR 0008 3802h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス CS1CR 0008 3812h, CS2CR 0008 3822h, CS3CR 0008 3832h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MPXEN	—	—	—	EMOD E	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0: 動作禁止 1: 動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0: 16ビットバス空間に設定 0 1: 設定しないでください 1 0: 8ビットバス空間に設定 1 1: 設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0: 領域nのエンディアンは動作モードのエンディアンと同じ 1: 領域nのエンディアンは動作モードのエンディアンと異なる (n = 0 ~ 3)	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	MPXEN	アドレス/データマルチプレクス I/O インタフェース選択ビット	0: 領域nはセパレートバスインタフェース 1: 領域nはアドレス/データマルチプレクスI/O インタフェース (n = 0 ~ 3)	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnCR レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

EXENB ビット (動作許可ビット)

各領域の動作許可/禁止を設定します。

なお、リセット後は、領域 0 (CS0) のみ動作許可 (“1”) になり、それ以外の領域は動作禁止 (“0”) になります。

動作禁止に設定した領域をアクセスした場合は、外部バスアクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット (BEREN.IGAEN = 1) が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット (外部バス幅選択ビット)

各領域のデータバス幅を設定します。

なお、リセット後の領域 0 (CS0) のデータバス幅は、動作モードのバス幅の設定に依存します。

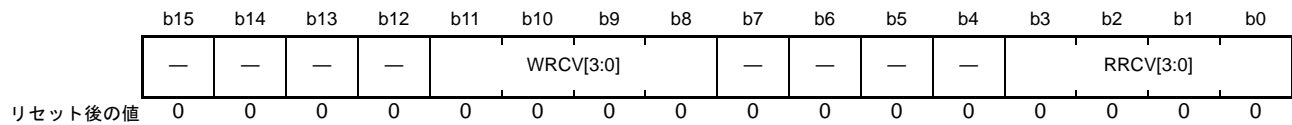
EMODE ビット (エンディアンモード指定ビット)

各領域のエンディアンを設定します。

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.3.2 CSn リカバリサイクル設定レジスタ (CSnREC) (n = 0 ~ 3)

アドレス CS0REC 0008 380Ah, CS1REC 0008 381Ah, CS2REC 0008 382Ah, CS3REC 0008 383Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0: リカバリサイクルを挿入しない 0 0 0 1: リカバリサイクルを1サイクル挿入 0 0 1 0: リカバリサイクルを2サイクル挿入 0 0 1 1: リカバリサイクルを3サイクル挿入 0 1 0 0: リカバリサイクルを4サイクル挿入 0 1 0 1: リカバリサイクルを5サイクル挿入 0 1 1 0: リカバリサイクルを6サイクル挿入 0 1 1 1: リカバリサイクルを7サイクル挿入 1 0 0 0: リカバリサイクルを8サイクル挿入 1 0 0 1: リカバリサイクルを9サイクル挿入 1 0 1 0: リカバリサイクルを10サイクル挿入 1 0 1 1: リカバリサイクルを11サイクル挿入 1 1 0 0: リカバリサイクルを12サイクル挿入 1 1 0 1: リカバリサイクルを13サイクル挿入 1 1 1 0: リカバリサイクルを14サイクル挿入 1 1 1 1: リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0: リカバリサイクルを挿入しない 0 0 0 1: リカバリサイクルを1サイクル挿入 0 0 1 0: リカバリサイクルを2サイクル挿入 0 0 1 1: リカバリサイクルを3サイクル挿入 0 1 0 0: リカバリサイクルを4サイクル挿入 0 1 0 1: リカバリサイクルを5サイクル挿入 0 1 1 0: リカバリサイクルを6サイクル挿入 0 1 1 1: リカバリサイクルを7サイクル挿入 1 0 0 0: リカバリサイクルを8サイクル挿入 1 0 0 1: リカバリサイクルを9サイクル挿入 1 0 1 0: リカバリサイクルを10サイクル挿入 1 0 1 1: リカバリサイクルを11サイクル挿入 1 1 0 0: リカバリサイクルを12サイクル挿入 1 1 0 1: リカバリサイクルを13サイクル挿入 1 1 1 0: リカバリサイクルを14サイクル挿入 1 1 1 1: リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnREC レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j = 0 ~ 7) により、アドレス / データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) により、リカバリサイクル挿入許可に設定されている場合に有効となります。

RRCV[3:0] ビット (リードリカバリ設定ビット)

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に1 ~ 15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合

- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合

WRCV[3:0] ビット (ライトリカバリ設定ビット)

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。

リカバリサイクル挿入許可を設定し、“0000b”以外を設定すると、以下の場合に1～15サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

15.3.3 CS リカバリサイクル挿入許可レジスタ (CSRECEN)

アドレス 0008 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCVEN M7	RCVEN M6	RCVEN M5	RCVEN M4	RCVEN M3	RCVEN M2	RCVEN M1	RCVEN M0	RCVEN 7	RCVEN 6	RCVEN 5	RCVEN 4	RCVEN 3	RCVEN 2	RCVEN 1	RCVEN 0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b8	RCVENM0	マルチプレクスバス用リカバリサイクル挿入許可0ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b9	RCVENM1	マルチプレクスバス用リカバリサイクル挿入許可1ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b10	RCVENM2	マルチプレクスバス用リカバリサイクル挿入許可2ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b11	RCVENM3	マルチプレクスバス用リカバリサイクル挿入許可3ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b12	RCVENM4	マルチプレクスバス用リカバリサイクル挿入許可4ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b13	RCVENM5	マルチプレクスバス用リカバリサイクル挿入許可5ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b14	RCVENM6	マルチプレクスバス用リカバリサイクル挿入許可6ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W
b15	RCVENM7	マルチプレクスバス用リカバリサイクル挿入許可7ビット	0: リカバリサイクルの挿入を禁止 1: リカバリサイクルの挿入を許可	R/W

CSRECEN レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

RCVEN0 ビット (セパレートバス用リカバリサイクル挿入許可0ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN1 ビット (セパレートバス用リカバリサイクル挿入許可1ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN2 ビット (セパレートバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN3 ビット (セパレートバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN4 ビット (セパレートバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN5 ビット (セパレートバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN6 ビット (セパレートバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVEN7 ビット (セパレートバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM0 ビット (マルチプレクスバス用リカバリサイクル挿入許可 0 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM1 ビット (マルチプレクスバス用リカバリサイクル挿入許可 1 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM2 ビット (マルチプレクスバス用リカバリサイクル挿入許可 2 ビット)

外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM3 ビット (マルチプレクスバス用リカバリサイクル挿入許可 3 ビット)

外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合に、リードリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM4 ビット (マルチプレクスバス用リカバリサイクル挿入許可 4 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM5 ビット (マルチプレクスバス用リカバリサイクル挿入許可 5 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM6 ビット (マルチプレクスバス用リカバリサイクル挿入許可 6 ビット)

外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

RCVENM7 ビット (マルチプレクスバス用リカバリサイクル挿入許可 7 ビット)

外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合に、ライトリカバリサイクルの挿入を許可 (“1”)、禁止 (“0”) を設定します。

表 15.7 リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応ビット (セパレート/マルチプレクス)
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN0/RCVENM0
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN1/RCVENM1
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN2/RCVENM2
	異なる領域	RRCV[3:0] ビット設定サイクル数が挿入	RCVEN3/RCVENM3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN4/RCVENM4
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN5/RCVENM5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN6/RCVENM6
	異なる領域	WRCV[3:0] ビット設定サイクル数が挿入	RCVEN7/RCVENM7

15.3.4 CSn モードレジスタ (CSnMOD) (n = 0 ~ 3)

アドレス CS0MOD 0008 3002h, CS1MOD 0008 3012h, CS2MOD 0008 3022h, CS3MOD 0008 3032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0 : バイトストローブモード 1 : 1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0 : 外部ウェイト禁止 1 : 外部ウェイト許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0 : ページリードアクセス禁止 1 : ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0 : ページライトアクセス禁止 1 : ページライトアクセス許可	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0 : ノーマルアクセス互換モード 1 : 外部データリード連続アサートモード	R/W

CSnMOD レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

WRMOD ビット (ライトアクセスモード選択ビット)

ライトアクセス時の動作モードを選択します。

“0”を設定すると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn# 信号 (n = 0, 1) によりデータの書き込みの制御を行います。

“1”を設定すると、1ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n = 0, 1) と WR# 信号によりデータの書き込みの制御を行います。ただし、1ライトストローブモード時は、8ビット外部バス幅の設定は禁止です。

表 15.8 ライトアクセスモードの制御信号

モード	端子名			
	WR1#	WR0#/WR#	BC1#	BC0#
ライトアクセスモード				
バイトストローブモード	○	○(WR0#)	×	×
1ライトストローブモード	×	○(WR#)	○	○

○ : 有効、× : 無効

EWENB ビット (外部ウェイト許可ビット)

外部ウェイトの許可/禁止を設定します。

“1”を設定すると、外部ウェイト許可となり、WAIT# 信号により各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0”を設定すると、WAIT# 信号は無効となります。

PRENB ビット (ページリードアクセス許可ビット)

ページリードアクセスの許可 / 禁止を設定します。

注 . CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス / データマルチプレクス I/O インタフェースを選択している場合、ページリードアクセスを許可しないでください。アドレス / データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PWENB ビット (ページライトアクセス許可ビット)

ページライトアクセスの許可 / 禁止を設定します。

注 . CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) でアドレス / データマルチプレクス I/O インタフェースを選択している場合、ページライトアクセスを許可しないでください。アドレス / データマルチプレクス I/O インタフェースでは、ページアクセスには対応していません。

PRMOD ビット (ページリードアクセスモード選択ビット)

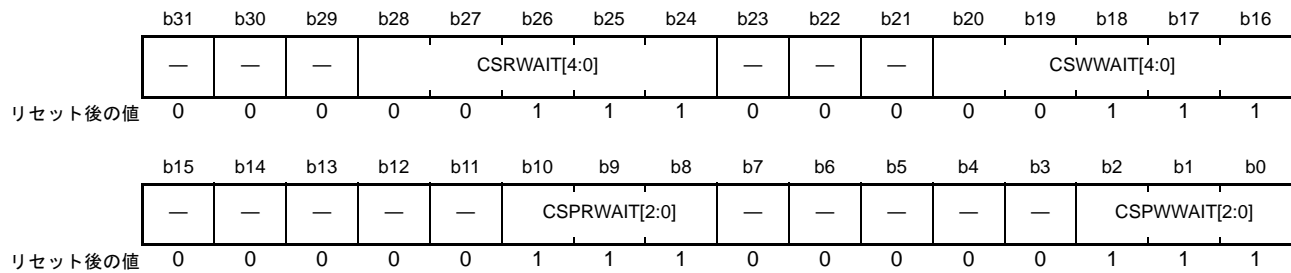
ページリードアクセス時の動作モードを選択します。

“0”を設定すると、ノーマルアクセス互換モードになります。このとき、1つのデータをリードするごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外 RD# 信号はネゲートされません。

“1”を設定すると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

15.3.5 CSn ウェイト制御レジスタ 1 (CSnWCR1) (n = 0 ~ 3)

アドレス CS0WCR1 0008 3004h, CS1WCR1 0008 3014h, CS2WCR1 0008 3024h, CS3WCR1 0008 3034h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択ビット (注1)	b2 b0 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクルウェイト選択ビット (注2)	b10 b8 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト 選択ビット	b20 b16 0 0 0 0 0: ウェイトを挿入しない 0 0 0 0 1: ウェイトを1サイクル挿入 0 0 0 1 0: ウェイトを2サイクル挿入 0 0 0 1 1: ウェイトを3サイクル挿入 0 0 1 0 0: ウェイトを4サイクル挿入 0 0 1 0 1: ウェイトを5サイクル挿入 0 0 1 1 0: ウェイトを6サイクル挿入 0 0 1 1 1: ウェイトを7サイクル挿入 0 1 0 0 0: ウェイトを8サイクル挿入 0 1 0 0 1: ウェイトを9サイクル挿入 0 1 0 1 0: ウェイトを10サイクル挿入 0 1 0 1 1: ウェイトを11サイクル挿入 0 1 1 0 0: ウェイトを12サイクル挿入 0 1 1 0 1: ウェイトを13サイクル挿入 0 1 1 1 0: ウェイトを14サイクル挿入 0 1 1 1 1: ウェイトを15サイクル挿入 1 0 0 0 0: ウェイトを16サイクル挿入 1 0 0 0 1: ウェイトを17サイクル挿入 1 0 0 1 0: ウェイトを18サイクル挿入 1 0 0 1 1: ウェイトを19サイクル挿入 1 0 1 0 0: ウェイトを20サイクル挿入 1 0 1 0 1: ウェイトを21サイクル挿入 1 0 1 1 0: ウェイトを22サイクル挿入 1 0 1 1 1: ウェイトを23サイクル挿入 1 1 0 0 0: ウェイトを24サイクル挿入 1 1 0 0 1: ウェイトを25サイクル挿入 1 1 0 1 0: ウェイトを26サイクル挿入 1 1 0 1 1: ウェイトを27サイクル挿入 1 1 1 0 0: ウェイトを28サイクル挿入 1 1 1 0 1: ウェイトを29サイクル挿入 1 1 1 1 0: ウェイトを30サイクル挿入 1 1 1 1 1: ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト 選択ビット	b28 b24 0 0 0 0 0: ウェイトを挿入しない 0 0 0 0 1: ウェイトを1サイクル挿入 0 0 0 1 0: ウェイトを2サイクル挿入 0 0 0 1 1: ウェイトを3サイクル挿入 0 0 1 0 0: ウェイトを4サイクル挿入 0 0 1 0 1: ウェイトを5サイクル挿入 0 0 1 1 0: ウェイトを6サイクル挿入 0 0 1 1 1: ウェイトを7サイクル挿入 0 1 0 0 0: ウェイトを8サイクル挿入 0 1 0 0 1: ウェイトを9サイクル挿入 0 1 0 1 0: ウェイトを10サイクル挿入 0 1 0 1 1: ウェイトを11サイクル挿入 0 1 1 0 0: ウェイトを12サイクル挿入 0 1 1 0 1: ウェイトを13サイクル挿入 0 1 1 1 0: ウェイトを14サイクル挿入 0 1 1 1 1: ウェイトを15サイクル挿入 1 0 0 0 0: ウェイトを16サイクル挿入 1 0 0 0 1: ウェイトを17サイクル挿入 1 0 0 1 0: ウェイトを18サイクル挿入 1 0 0 1 1: ウェイトを19サイクル挿入 1 0 1 0 0: ウェイトを20サイクル挿入 1 0 1 0 1: ウェイトを21サイクル挿入 1 0 1 1 0: ウェイトを22サイクル挿入 1 0 1 1 1: ウェイトを23サイクル挿入 1 1 0 0 0: ウェイトを24サイクル挿入 1 1 0 0 1: ウェイトを25サイクル挿入 1 1 0 1 0: ウェイトを26サイクル挿入 1 1 0 1 1: ウェイトを27サイクル挿入 1 1 1 0 0: ウェイトを28サイクル挿入 1 1 1 0 1: ウェイトを29サイクル挿入 1 1 1 1 0: ウェイトを30サイクル挿入 1 1 1 1 1: ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CSPWWAIT[2:0]ビットの設定値は、CSnMOD.PWENBビットが“1”の場合のみ有効となります。

注2. CSPRWAIT[2:0]ビットの設定値は、CSnMOD.PRENBビットが“1”の場合のみ有効となります。

CSnWCR1 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「15.5.7 制約事項 (1) セパレートバスインタフェースの場合の制約事項」あるいは、「15.5.7 制約事項 (2) アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSPWAIT[2:0] ビット (ページライトサイクルウェイト選択ビット)

ページライトサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPWAIT[2:0] ビットの設定は、CSnMOD.PWENB ビットが “1” のとき有効になります。

注 . $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ 、
また $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ ビット}$ と
なるように設定してください。

CSPRWAIT[2:0] ビット (ページリードサイクルウェイト選択ビット)

ページリードサイクルの 2 サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPRWAIT[2:0] ビットの設定は、CSnMOD.PRENB ビットが “1” のとき有効になります。

注 . $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSPRWAIT}[2:0] \text{ ビット}$ となるよ
うに設定してください。

CSWWAIT[4:0] ビット (ノーマルライトサイクルウェイト 選択ビット)

ノーマルライトサイクルおよびページライトサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 . $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ 、ま
た $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.WRON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSWWAIT}[4:0] \text{ ビット}$ となる
ように設定してください。

CSRWAIT[4:0] ビット (ノーマルリードサイクルウェイト 選択ビット)

ノーマルリードサイクルおよびページリードサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 . $\text{CSnWCR2.CSON}[2:0] \text{ ビット} \leq \text{CSnWCR2.RDON}[2:0] \text{ ビット} \leq \text{CSnWCR1.CSRWAIT}[4:0] \text{ ビット}$ となるよ
うに設定してください。

15.3.6 CSn ウェイト制御レジスタ 2 (CSnWCR2) (n = 0 ~ 3)

アドレス CS0WCR2 0008 3008h, CS1WCR2 0008 3018h, CS2WCR2 0008 3028h, CS3WCR2 0008 3038h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	AWAIT[1:0]		—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リード時CS延長サイクル選択ビット	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	ライト時CS延長サイクル選択ビット	b6 b4 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	AWAIT[1:0]	アドレスサイクルウェイト選択ビット	b13 b12 0 0: ウェイトを挿入しない 0 1: ウェイトを1サイクル挿入 1 0: ウェイトを2サイクル挿入 1 1: ウェイトを3サイクル挿入	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18 b16 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22 b20 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26 b24 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnWCR2 レジスタへの書き込みは、CSn 領域アクセス中に行わないでください。

各ビットは、バスインタフェースにあわせて、「15.5.7 制約事項 (1) セパレートバスインタフェースの場合の制約事項」あるいは、「15.5.7 制約事項 (2) アドレス / データマルチプレクスバスの場合の制約事項」に示す制約の範囲内で設定してください。

CSROFF[2:0] ビット (リード時 CS 延長サイクル選択ビット)

リードアクセス時のウェイトサイクル終了時 (RD# 信号のネゲート時) から CSn# 信号 (n = 0 ~ 3) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット (ライト時 CS 延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n = 0, 1) のネゲート時) から CSn# 信号 (n = 0 ~ 3) をネゲートするまでのサイクル数を設定します。

注. CSnWCR2.WDOFF[2:0] ビット ≤ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット (ライトデータ出力延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WRn# 信号 (n = 0, 1) のネゲート時) からライトデータ出力を終了するまでのサイクル数を設定します。

注. CSnWCR2.WDOFF[2:0] ビット ≤ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

AWAIT[1:0] ビット (アドレスサイクルウェイト選択ビット)

アドレス / データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトサイクルを挿入します。

- 注. CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.AWAIT[1:0] ビット
 リードアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSRWAIT[4:0] ビット
 ライトアクセス時、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 また、CSnWCR2.AWAIT[1:0] ビット + 2 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビット
 となるように設定してください。

RDON[2:0] ビット (RD アサートウェイト選択ビット)

RDn# 信号のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSRWAIT[4:0] ビット
 ページリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSPRWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.RDON[2:0] ビット \leq CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

WRON[2:0] ビット (WR アサートウェイト選択ビット)

WRn# 信号 (n = 0, 1) のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット、また、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WRON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

WDON[2:0] ビット (ライトデータ出力ウェイト選択ビット)

ライトデータ出力の前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、1 \leq CSnWCR2.WDON[2:0] ビット \leq CSnWCR2.WRON[2:0] ビット \leq
 CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。
- 注. アドレス / データマルチプレクス I/O インタフェースの場合、CSnWCR2.AWAIT[1:0] ビット + 2 \leq
 CSnWCR2.WDON[2:0] ビット \leq CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSON[2:0] ビット (CS アサートウェイト選択ビット)

CSn# 信号 (n = 0 ~ 3) のアサート前に挿入するウェイトサイクル数を設定します。

- 注. ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSRWAIT[4:0] ビット
 ページリードアクセス時、CSnWCR2.CSON[2:0] ビット \leq CSnWCR2.RDON[2:0] ビット \leq
 CSnWCR1.CSPRWAIT[2:0] ビット

ノーマルライトアクセス時、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.WRON[2:0] ビット ≤ CSnWCR1.CSWWAIT[4:0] ビット
 ページライトアクセス時、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.WRON[2:0] ビット ≤ CSnWCR1.CSPWAIT[2:0] ビット
 となるように設定してください。

注. アドレス/データマルチプレクス I/O インタフェースの場合、CSnWCR2.CSON[2:0] ビット ≤ CSnWCR2.AWAIT[1:0] ビットとなるように設定してください。

15.3.7 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

15.3.8 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

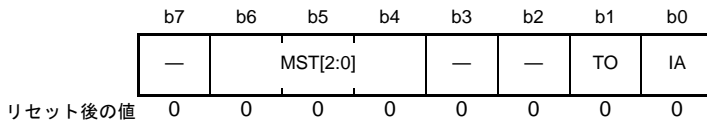
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOEN ビット = 0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中に TOEN ビットを“0” (検出禁止) にしないようにしてください。

15.3.9 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



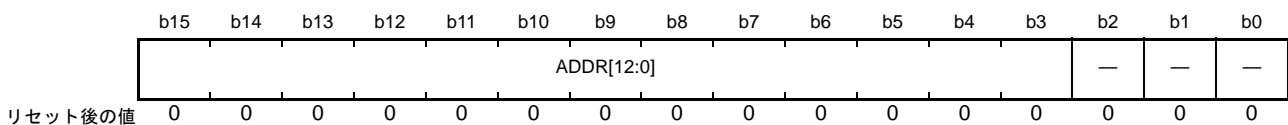
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.10 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

15.3.11 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	BPEB[1:0]	BPFB[1:0]	BPHB[1:0]	BPGB[1:0]	BPIB[1:0]	BPRO[1:0]	BPRA[1:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (コードフラッシュメモリ) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2、3プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b9-b8	BPHB[1:0]	内部周辺バス4、5プライオリティ制御ビット	b9 b8 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b13-b12	BPEB[1:0]	外部バスプライオリティ制御ビット	b13 b12 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC、DMACが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス1 (RAM) プライオリティ制御ビット)

メモリバス1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、CPUバス (命令バス、オペランドバス) と内部メインバス2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス2 (コードフラッシュメモリ) プライオリティ制御ビット)

メモリバス2 (コードフラッシュメモリ) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、CPUバス (命令バス、オペランドバス) と内部メインバス2 とでバス要求を受

け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2、3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4、5 プライオリティ制御ビット)

内部周辺バス 4 と内部周辺バス 5 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPEB[1:0] ビット (外部バスプライオリティ制御ビット)

外部バスに対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 エンディアンとデータアライメント

外部バスは、データアライメント機能を持っており、外部アドレス空間 (CS 領域) をアクセスするときデータバス D15 ~ D8、D7 ~ D0 のどれを使用するかを、アクセスする領域のバス仕様 (8 ビットバス空間、16 ビットバス空間) とデータサイズ、およびエンディアンモードによって制御します。

15.4.1 CS 領域のデータアライメント制御

(1) 16 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス (A20 ~ A1) が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス (A0) は無効 (Low 固定) になります。

バイトストロープモード (CSnMOD.WRMOD ビット = 0) を選択した場合、WR0#、WR1# 端子が有効になります。BC0#、BC1# 端子は使用しません。

1 ライトストロープモード (CSnMOD.WRMOD ビット = 1) を選択した場合、WR0# 端子のみ有効となり、データサイズにかかわらずライトアクセス時には WR0# 端子より Low が出力されます。このとき、WR1# 端子は無効 (High 固定) になります。有効なバイト位置は、BC0#、BC1# 端子により表します。

16 ビットバス空間では、32 ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが 32 ビット境界を越えず、かつ BC0#、BC1# 信号の変化しない転送がページアクセスの対象となります。ページアクセスが発生する場合は図 15.6、図 15.7 に (p) で示します。

16 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	[7 0]	
	4n+1	1回	1回目	8bit	4n	[7 0]	
	4n+2	1回	1回目	8bit	4n+2	[7 0]	
	4n+3	1回	1回目	8bit	4n+2	[7 0]	
16bit	4n	1回	1回目	16bit	4n	[15 8 7 0]	
			2回目	8bit	4n+2	[15 8]	
	4n+1	2回	1回目	8bit	4n	[7 0]	
	4n+2	1回	1回目	16bit	4n+2	[15 8 7 0]	
			2回目	8bit	4n+4	[15 8]	
	4n+3	2回	1回目	8bit	4n+2	[7 0]	
2回目			8bit	4n+4	[15 8]		
32bit	4n	2回	1回目	16bit	4n	[15 8 7 0]	
			2回目	16bit	4n+2 (p)	[31 24 23 16]	
	4n+1	3回	1回目	8bit	4n	[7 0]	
			2回目	16bit	4n+2	[23 16 15 8]	
			3回目	8bit	4n+4	[31 24]	
	4n+2	2回	1回目	16bit	4n+2	[15 8 7 0]	
			2回目	16bit	4n+4	[31 24 23 16]	
	4n+3	3回	1回目	8bit	4n+2	[7 0]	
			2回目	16bit	4n+4	[23 16 15 8]	
3回目			8bit	4n+6	[31 24]		

CSnMOD.PRENB、PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.6 16ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	7	0
	4n+1	1回	1回目	8bit	4n		7 0
	4n+2	1回	1回目	8bit	4n+2	7	0
	4n+3	1回	1回目	8bit	4n+2		7 0
16bit	4n	1回	1回目	16bit	4n	15	8 7 0
	4n+1	2回	1回目	8bit	4n		15 8
			2回目	8bit	4n+2	7	0
	4n+2	1回	1回目	16bit	4n+2	15	8 7 0
	4n+3	2回	1回目	8bit	4n+2		15 8
			2回目	8bit	4n+4	7	0
32bit	4n	2回	1回目	16bit	4n	31	24 23 16
			2回目	16bit	4n+2 (p)	15	8 7 0
	4n+1	3回	1回目	8bit	4n		31 24
			2回目	16bit	4n+2	23	16 15 8
			3回目	8bit	4n+4	7	0
	4n+2	2回	1回目	16bit	4n+2	31	24 23 16
			2回目	16bit	4n+4	15	8 7 0
	4n+3	3回	1回目	8bit	4n+2		31 24
			2回目	16bit	4n+4	23	16 15 8
3回目			8bit	4n+6	7	0	

CSnMOD.PRENB、PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.7 16ビットバス空間のデータアライメント (ビッグエンディアン)

(2) 8ビットバス空間

CSnCR.BSIZE[1:0] ビットで8ビットバス空間を選択すると、アドレスバス (A20 ~ A0) がバイト単位のアドレス信号として有効になります。

8ビットバス空間ではライトアクセスモードの設定にかかわらず、WR0# 端子のみが有効になります。

WR0# 端子にはライトアクセス時に Low が出力されます。WR1#、BC0#、BC1# 端子は使用しません。

8ビットバス空間では、16ビット、32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが32ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する場合を図 15.8、図 15.9 に (p) で示します。

8ビットバス空間では、エンディアンにかかわらずチップの外部データは D7 ~ D0、制御信号は WR0# 信号を使用します。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#	
						RD#	
						データバス	
						D15	D8 D7 D0
8bit	4n	1回	1回目	8bit	4n	7	0
	4n+1	1回	1回目	8bit	4n+1	7	0
	4n+2	1回	1回目	8bit	4n+2	7	0
	4n+3	1回	1回目	8bit	4n+3	7	0
16bit	4n	2回	1回目	8bit	4n	7	0
			2回目	8bit	4n+1 (p)	15	8
	4n+1	2回	1回目	8bit	4n+1	7	0
			2回目	8bit	4n+2 (p)	15	8
	4n+2	2回	1回目	8bit	4n+2	7	0
			2回目	8bit	4n+3 (p)	15	8
	4n+3	2回	1回目	8bit	4n+3	7	0
			2回目	8bit	4n+4	15	8
32bit	4n	4回	1回目	8bit	4n	7	0
			2回目	8bit	4n+1 (p)	15	8
			3回目	8bit	4n+2 (p)	23	16
			4回目	8bit	4n+3 (p)	31	24
	4n+1	4回	1回目	8bit	4n+1	7	0
			2回目	8bit	4n+2 (p)	15	8
			3回目	8bit	4n+3 (p)	23	16
			4回目	8bit	4n+4	31	24
	4n+2	4回	1回目	8bit	4n+2	7	0
			2回目	8bit	4n+3 (p)	15	8
			3回目	8bit	4n+4	23	16
			4回目	8bit	4n+5 (p)	31	24
	4n+3	4回	1回目	8bit	4n+3	7	0
			2回目	8bit	4n+4	15	8
			3回目	8bit	4n+5 (p)	23	16
			4回目	8bit	4n+6 (p)	31	24

CSnMOD.PRENB、PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.8 8ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#		RD#		データバス				
						D15	D8	D7	D0					
8bit	4n	1回	1回目	8bit	4n					7			0	
	4n+1	1回	1回目	8bit	4n+1					7			0	
	4n+2	1回	1回目	8bit	4n+2					7			0	
	4n+3	1回	1回目	8bit	4n+3					7			0	
16bit	4n	2回	1回目	8bit	4n					15			8	
			2回目	8bit	4n+1 (p)						7			0
	4n+1	2回	1回目	8bit	4n+1					15			8	
			2回目	8bit	4n+2 (p)						7			0
	4n+2	2回	1回目	8bit	4n+2					15			8	
			2回目	8bit	4n+3 (p)						7			0
	4n+3	2回	1回目	8bit	4n+3					15			8	
			2回目	8bit	4n+4						7			0
32bit	4n	4回	1回目	8bit	4n					31			24	
			2回目	8bit	4n+1 (p)						23			16
			3回目	8bit	4n+2 (p)						15			8
			4回目	8bit	4n+3 (p)						7			0
	4n+1	4回	1回目	8bit	4n+1					31			24	
			2回目	8bit	4n+2 (p)						23			16
			3回目	8bit	4n+3 (p)						15			8
			4回目	8bit	4n+4						7			0
	4n+2	4回	1回目	8bit	4n+2					31			24	
			2回目	8bit	4n+3 (p)						23			16
			3回目	8bit	4n+4						15			8
			4回目	8bit	4n+5 (p)						7			0
	4n+3	4回	1回目	8bit	4n+3					31			24	
			2回目	8bit	4n+4						23			16
			3回目	8bit	4n+5 (p)						15			8
			4回目	8bit	4n+6 (p)						7			0

CSnMOD.PRENB、PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 15.9 8ビットバス空間のデータアライメント (ビッグエンディアン)

15.5 CS 領域コントローラの動作説明

15.5.1 セパレートバス

タイミング図に記載する各サイクルの説明を以下に示します。

CSC (CS 領域コントローラ) は外部バスクロック (BCLK) に同期して動作します。したがって、CSC のレジスタで設定したウェイト数などは、BCLK でカウントされます。以下、特に断らない限り、外部バスクロック (BCLK) と BCLK 端子出力は、同一周波数であるものとします。

外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック (BCLK) と BCLK 端子出力が異なる周波数の場合で、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 15.15 ~ 図 15.19 参照)。また、直前の外部バスアクセスに対してリカバリサイクルが挿入されている場合にも、リカバリサイクル数の設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります (図 15.35 参照)。

(a) Tw1 ~ Twn (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト)

外部バスアクセス開始からストロブ信号有効サイクルの 1 サイクル前までのサイクル期間です。0 ~ 31 サイクルを選択できます。この期間内に CSn#, RD#, WRn# 信号が、ウェイト設定に応じて “Low” アサートされます。アサートするタイミングは、CSn ウェイト制御レジスタ 2 (CSnWCR2) の CS アサートウェイト選択ビット (CSON[2:0])、RD アサートウェイト選択ビット (RDON[2:0])、WR アサートウェイト選択ビット (WRON[2:0])、ライトデータ出力ウェイト選択ビット (WDON[2:0]) によって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ~ 7 サイクルを選択可能です。選択可能なサイクル数は、リード/ライトサイクルウェイトのサイクル数以内です。

(b) Tend (ストロブ信号有効サイクル)

Tend はノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが “0” の場合、バスアクセス開始のサイクルがストロブ信号有効サイクルとなります。ストロブ信号有効サイクルの次のサイクルで RD#, WRn# 信号がネゲートされます。リードアクセスの場合は、リードデータのサンプルサイクルとなります。

外部ウェイト許可の場合、ストロブ信号有効サイクル時点でウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。(Tend) は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスで 1 回目のストロブ信号有効サイクルの場合、ライトアクセス時のライトデータ出力延長サイクルが設定されている (“0” 以外の値) 場合 (d) を除いて、次のサイクル 2 回目以降のページアクセス (e) が開始されます。RD アサートウェイト、WR アサートウェイトの設定が “0” 以外の場合、次のサイクルで RD#, WRn# 信号がネゲートされます。“0” の場合、アサートが継続されます。また、CSn# 信号はネゲートされず、アサートを継続します。

(c) Tn1 ~ Tnm (CS 延長サイクル)

ノーマルアクセスの場合、ストロブ信号有効サイクル (Tend) の次のサイクルから CSn# 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、CSn ウェイト制御レジスタ 2 (CSnWCR2) のリード時 CS 延長サイクル選択ビット (CSROFF[2:0])、ライトアクセス時、ライト時 CS 延長サイクル選択ビット (CSWOFF[2:0]) により制御可能です。

サイクル数は、ストロブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、最後のストロブ信号有効サイクルから CSn# 信号をネゲートするまでのサイクル期間です。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット (WDOFF) により、アドレス、出力データが延長されます。

(d) Tdw1 ~ Tdwn (ライトデータ出力延長サイクル)

ライトアクセス時、ライトデータ出力延長ウェイトが“0”以外の設定の場合、ライトデータ出力延長サイクルがストロブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル (c) の期間内に挿入されます。

ページアクセスの場合、ストロブ信号有効サイクル (Tend) と後続のページアクセスの間、および CS 延長サイクル (c) の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn# 信号はネゲートされます。

(e) Tpw1 ~ Tpw (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの2回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1回目のアクセスと同様に有効となります。RD アサートの設定は、ページリードアクセスモード (CSnMOD.PRMOD ビット) の設定により動作が異なります。

CDnMOD.PRMOD ビット = 0 の場合：1回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CDnMOD.PRMOD ビット = 1 の場合：ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

(f) Tr1 ~ Trn (リカバリサイクル)

バスサイクルの終了時点 (CSn# 信号のネゲート時点) からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ (CSnREC) のリードリカバリ設定ビット (RRCV)、ライトリカバリ設定ビット (WRCV) により制御可能です。各リカバリサイクル数は、バスサイクルの終了時点 (CSn# 信号のネゲート時点) を起点に数え、0 ~ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「15.5.4 リカバリサイクルの挿入」を参照してください。

(1) ノーマルアクセス

CSnMOD.PRENB ビットを“0” (ページリードアクセス禁止)、CSnMOD.PWENB ビットを“0” (ページライトアクセス禁止) に設定した場合、すべてのバスアクセスはノーマルアクセスを行います。

CSnMOD.PRENB ビットを“1” (ページリードアクセス許可)、CSnMOD.PWENB ビットを“1” (ページライトアクセス許可) に設定した場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

図 15.10 ~ 図 15.12 にノーマルアクセスの動作例を示します。

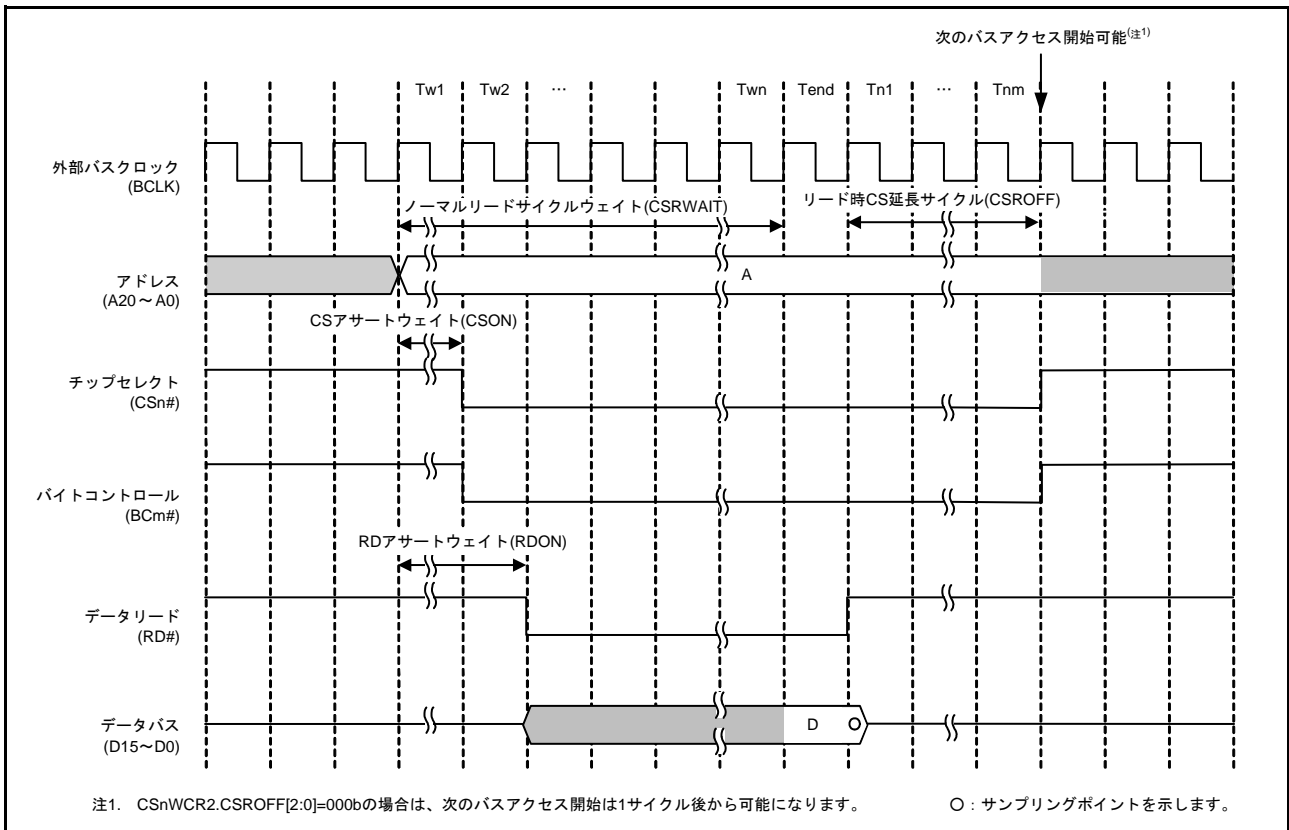


図 15.10 バスタイミング (ノーマルリード) (n = 0 ~ 3, m = 0, 1)

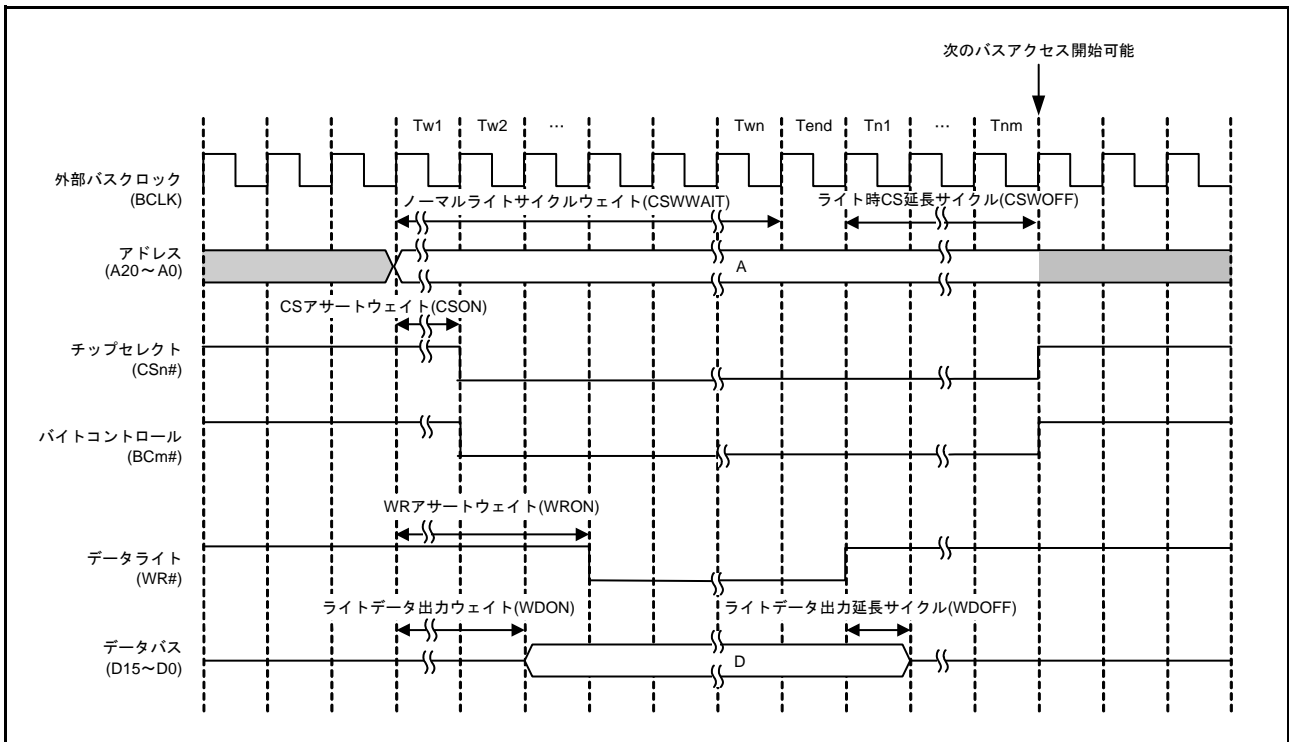


図 15.11 バスタイミング (ノーマルライト、1 ライトストロブモード) (n = 0 ~ 3, m = 0, 1)

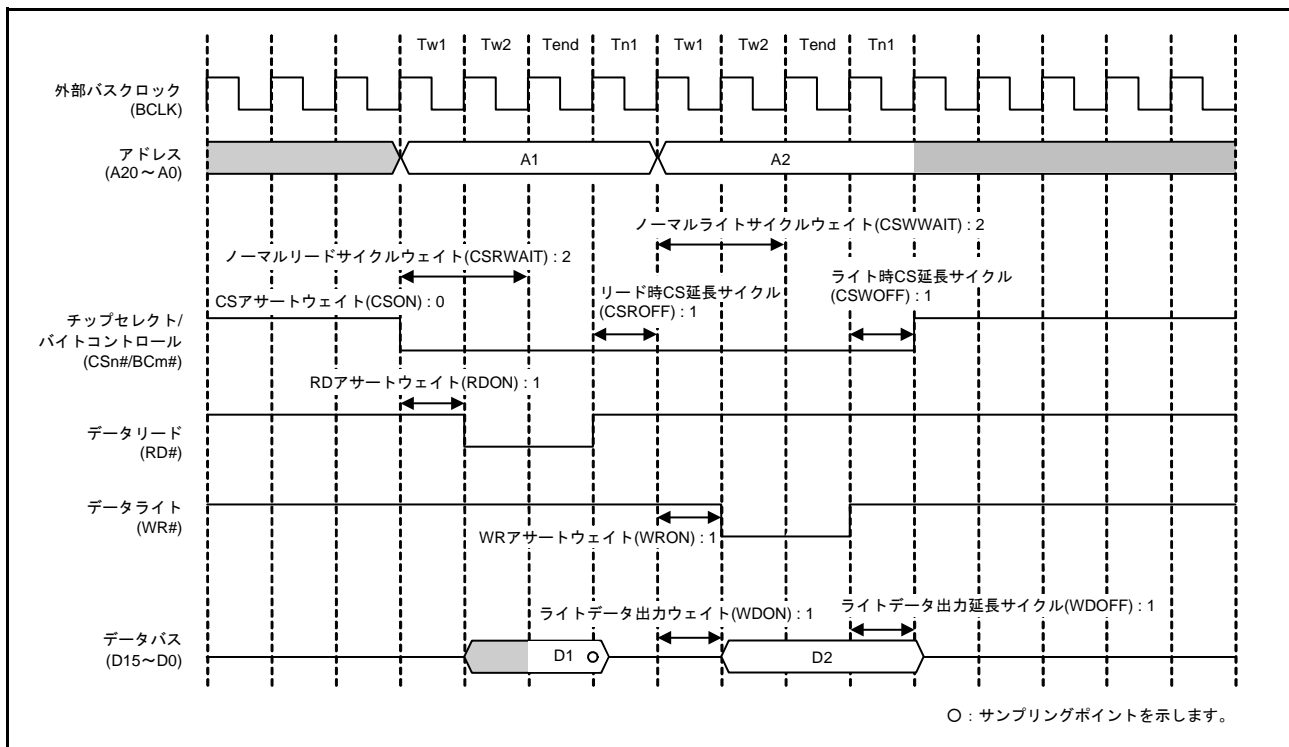


図 15.12 ノーマルアクセスの動作例 (リード、ライト) ($n=0 \sim 3, m=0, 1$)

バスマスタからの1転送要求に対して2回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作 ((a) から (d)) を繰り返します。図 15.13、図 15.14 に、1転送要求に対して2回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2回目以降の外部バスアクセスにもリカバリサイクル (f) の挿入が行われます (図 15.33 参照)。

各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

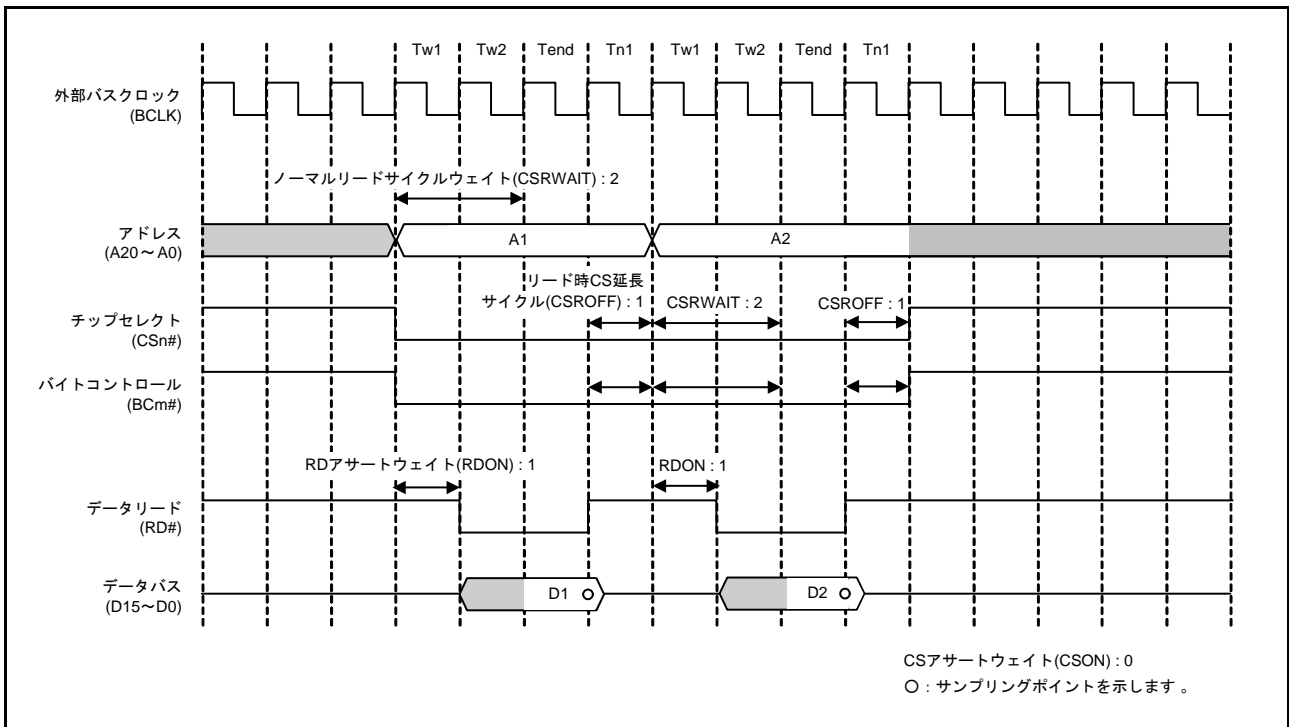


図 15.13 ノーマルリードアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3, m = 0, 1)

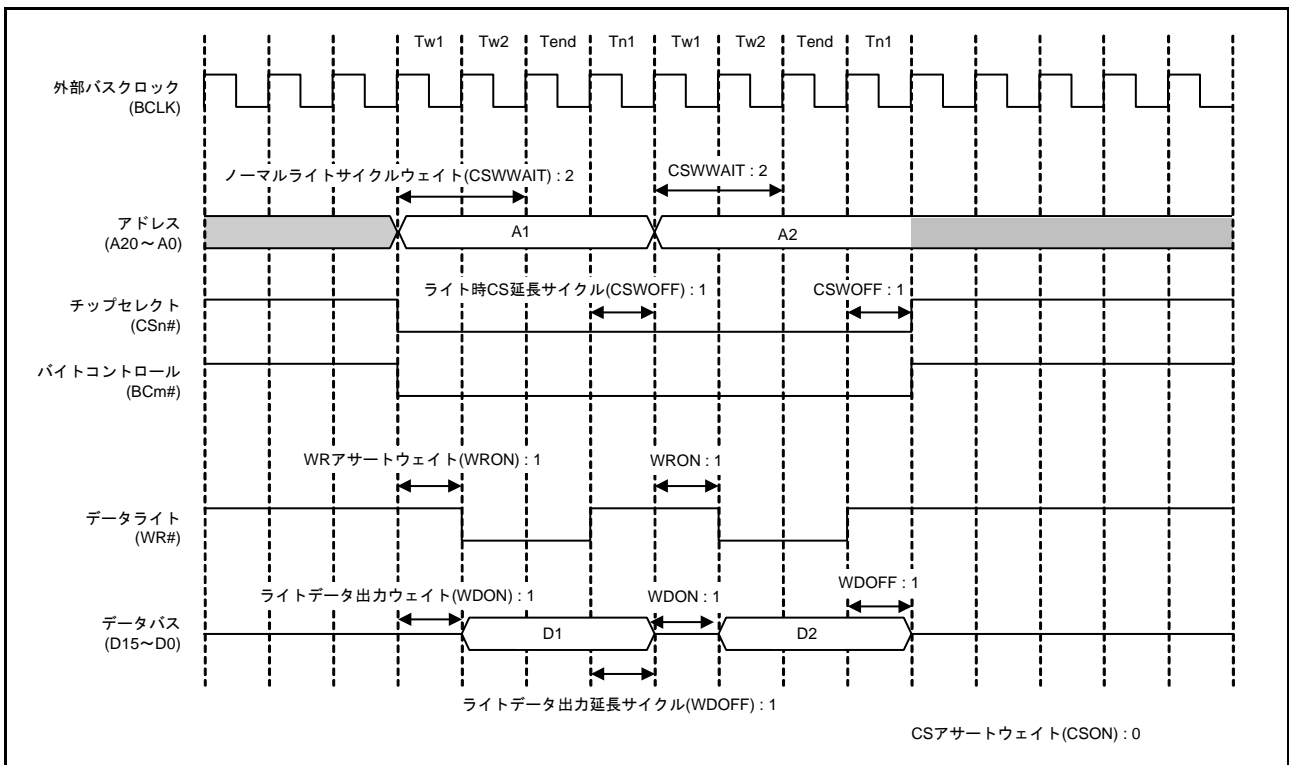


図 15.14 ノーマルライトアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合: 1 ライトストローブモード時) (n = 0 ~ 3, m = 0, 1)

図 15.15 ～ 図 15.19 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

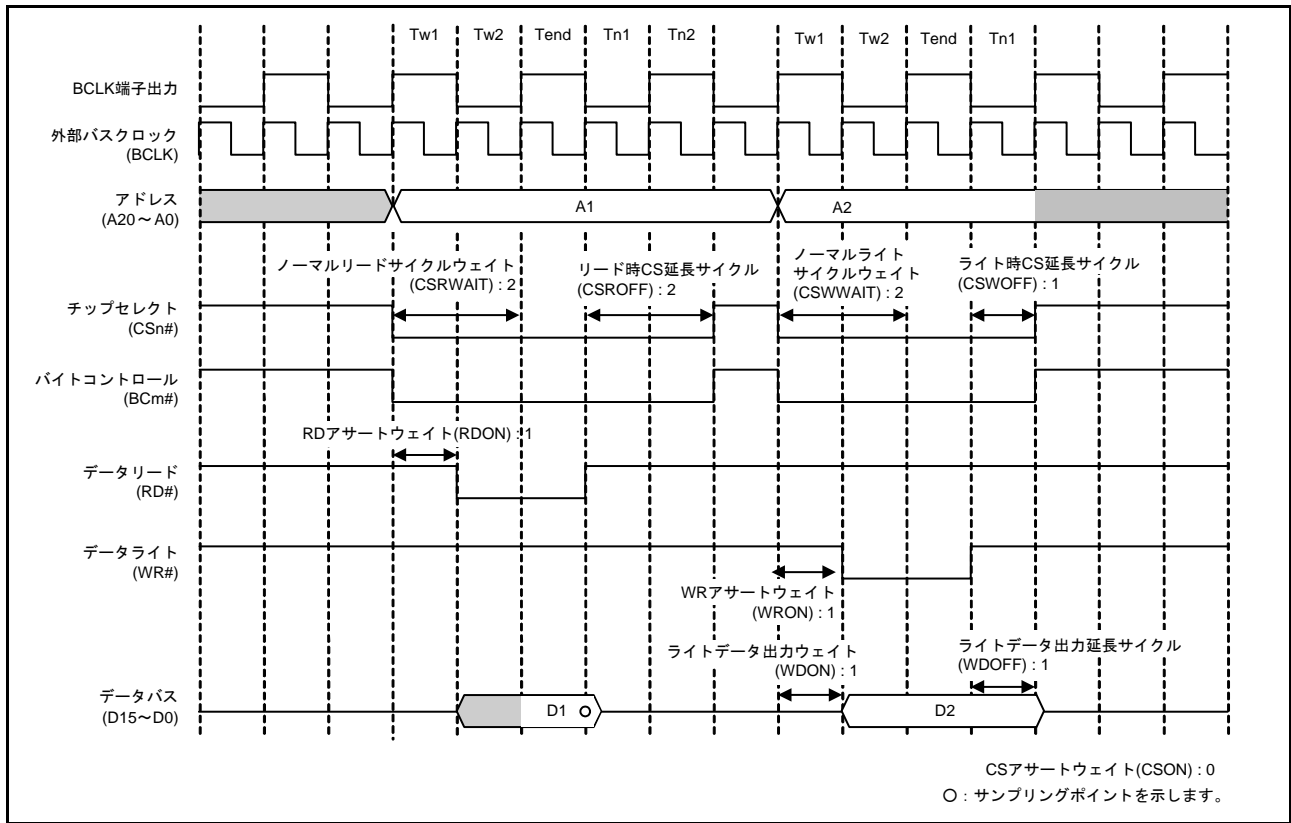


図 15.15 ノーマルアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 3, m = 0, 1)

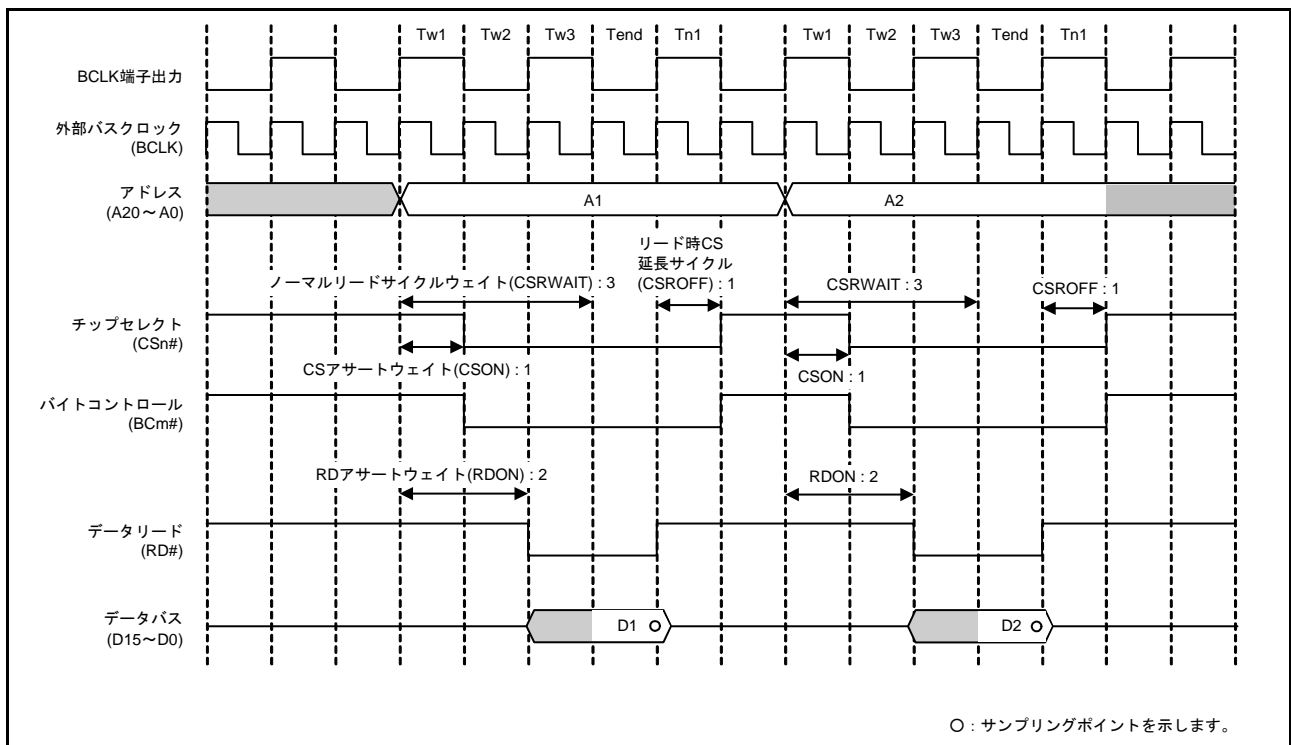


図 15.16 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 3, m = 0, 1)

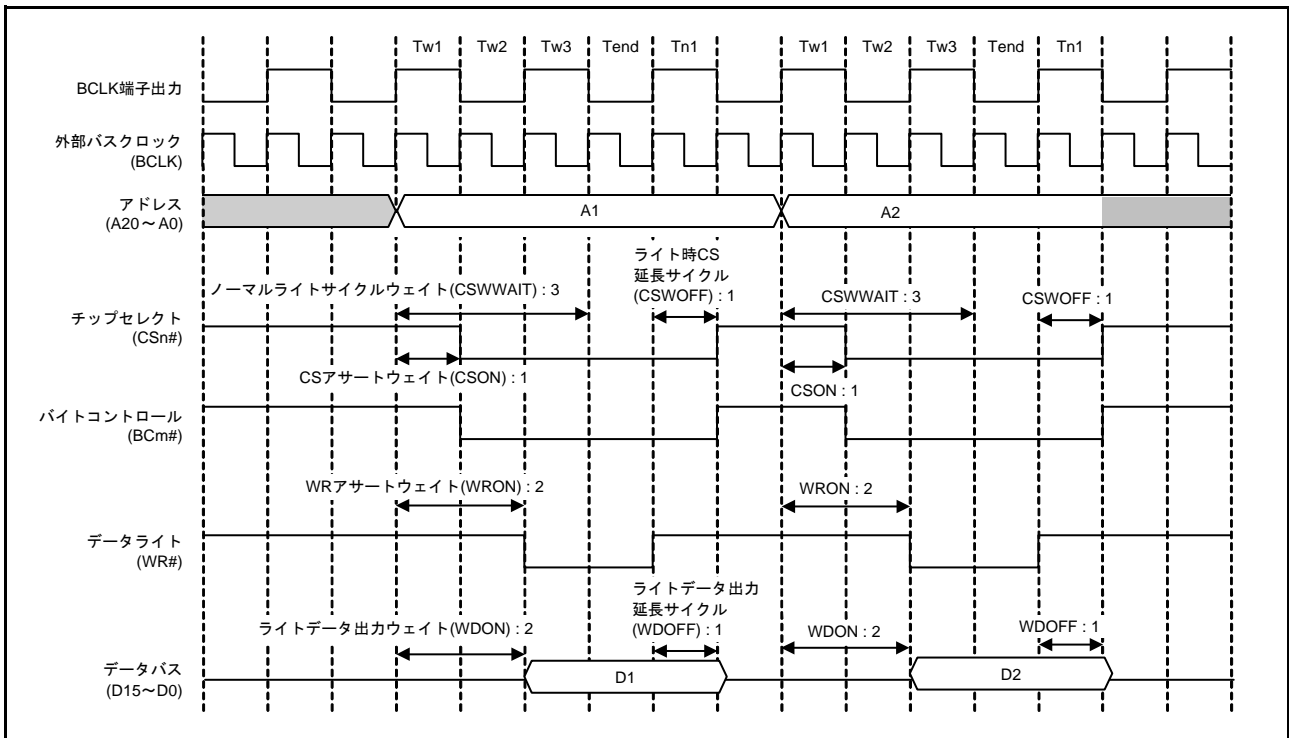


図 15.17 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 3, m = 0, 1)

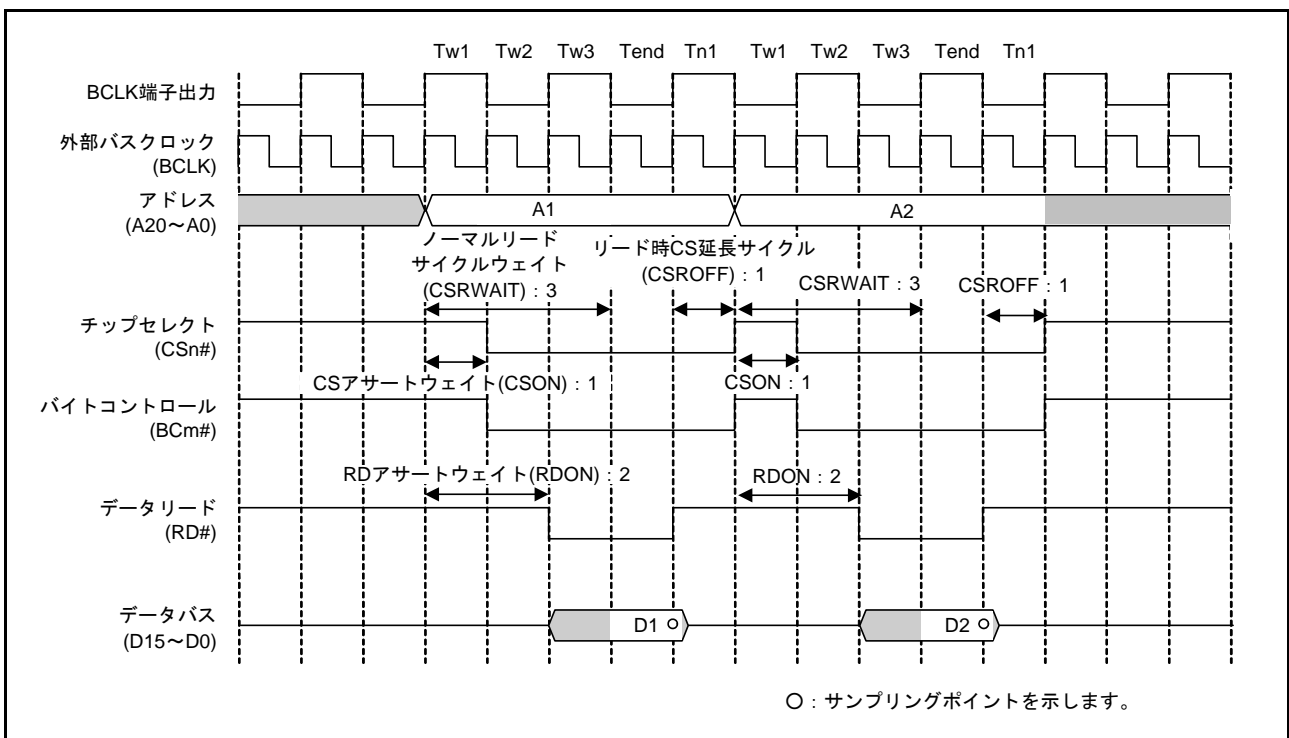


図 15.18 ノーマルリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3, m = 0, 1)

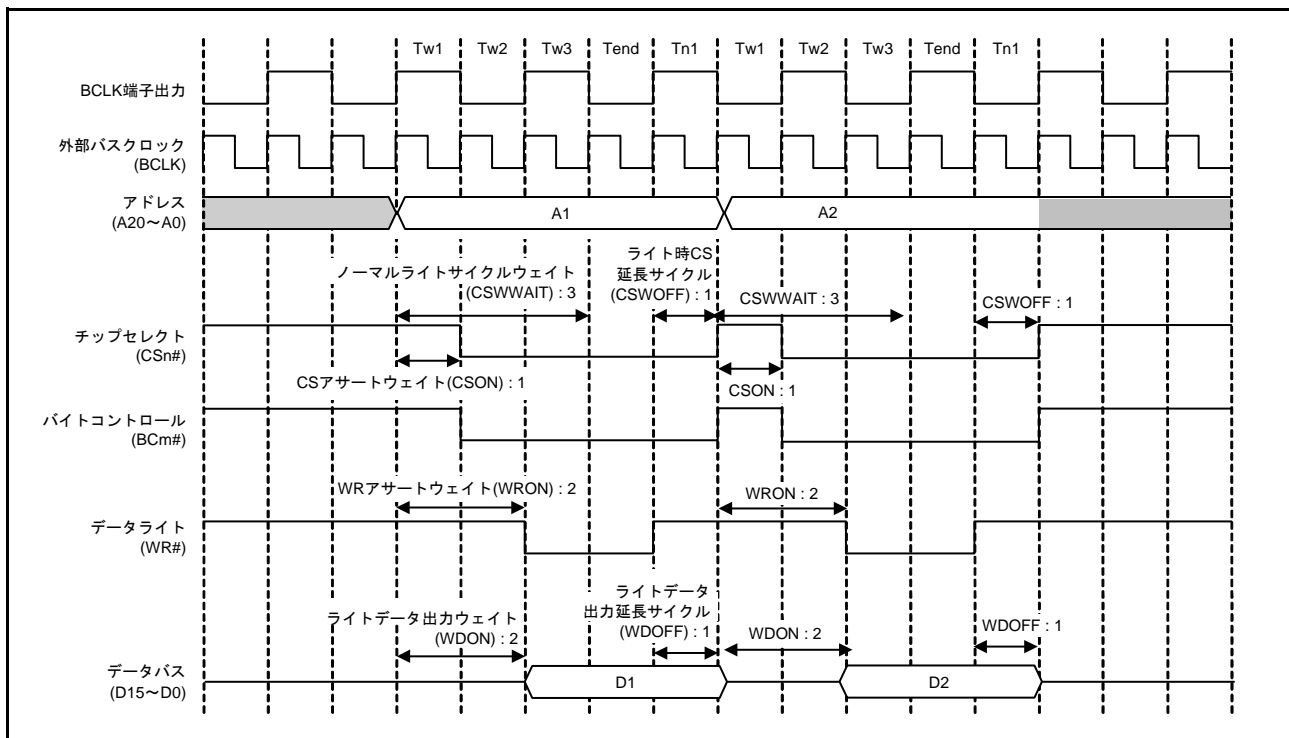


図 15.19 ノーマルライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) ($n = 0 \sim 3, m = 0, 1$)

(2) ページアクセス

CSnMOD.PRENB ビットを“1”(ページリードアクセス許可)、CSnMOD.PWENB ビットを“1”(ページライトアクセス許可)に設定した場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ただし、分割されたアクセスが非ラインアクセスになる場合、および 32 ビット境界を越えるアクセスの場合、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件の詳細は、図 15.6 ~ 図 15.9 を参照してください。

図 15.20、図 15.21 にページアクセスの動作例を示します。

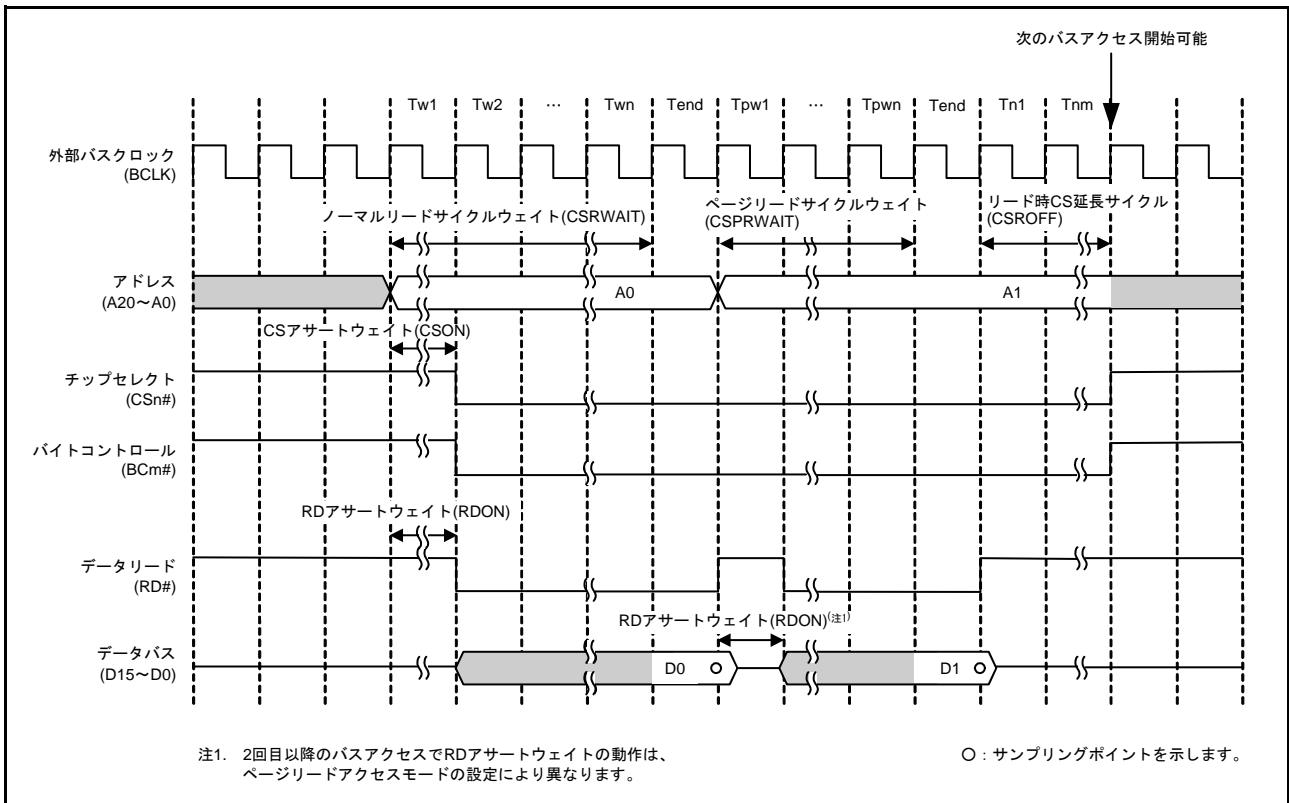


図 15.20 ページリードアクセスタイミング (n = 0 ~ 3, m = 0, 1)

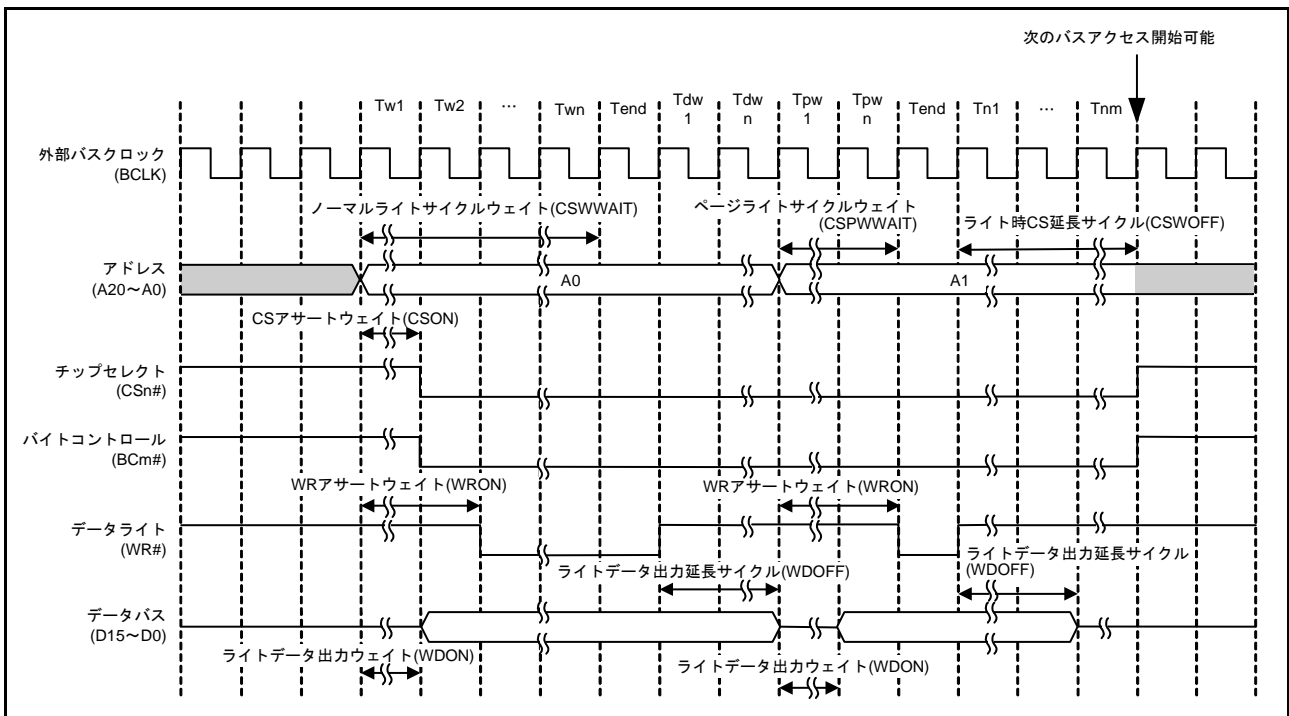


図 15.21 ページライトアクセスタイミング (n = 0 ~ 3, m = 0, 1)

図 15.22、図 15.23 に 16 ビットバス空間に対して 32 ビットバスアクセスした場合の動作例を示します。各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

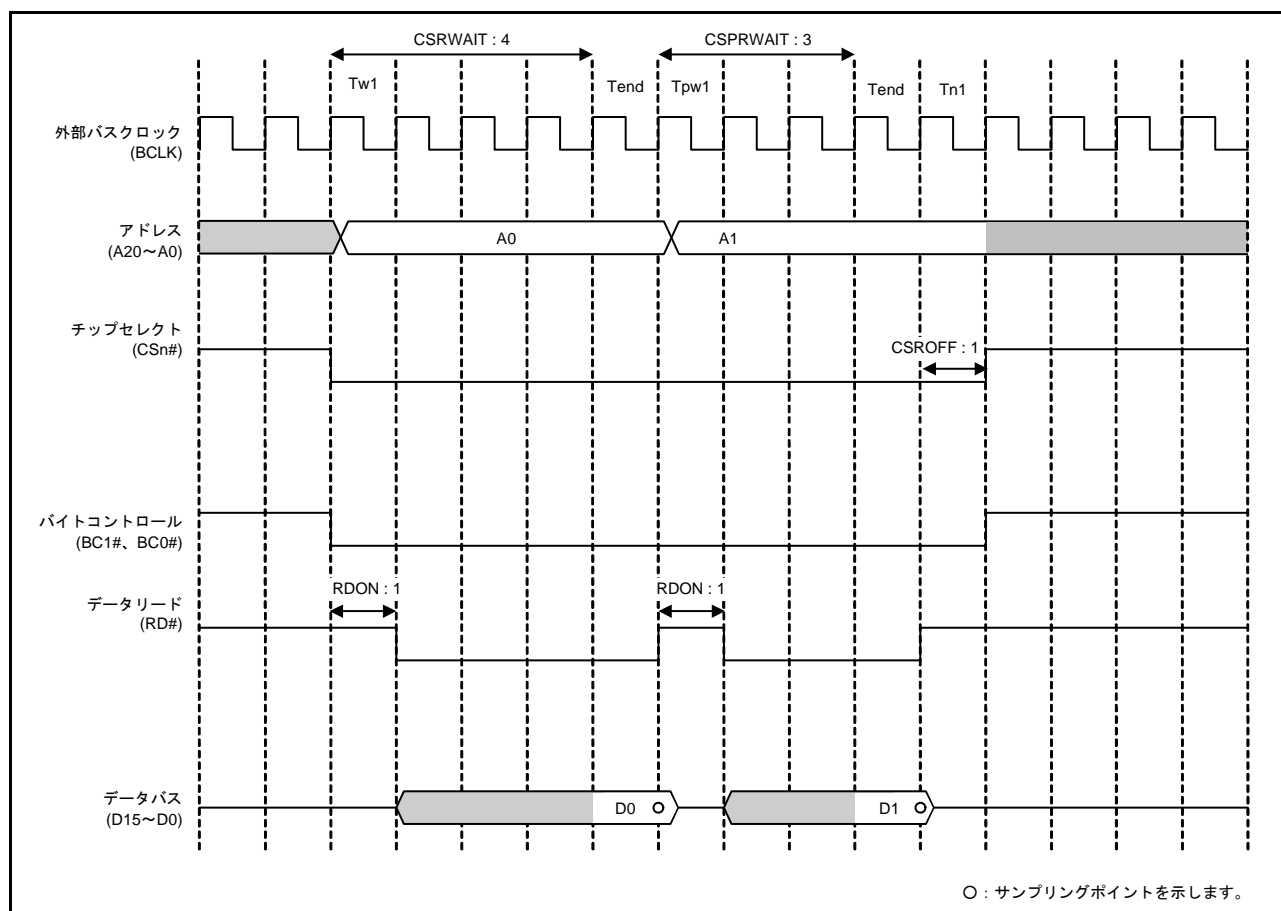


図 15.22 ページリードアクセスの動作例 (16 ビットバス空間に対して 32 ビットアクセスした場合) (n = 0 ~ 3)

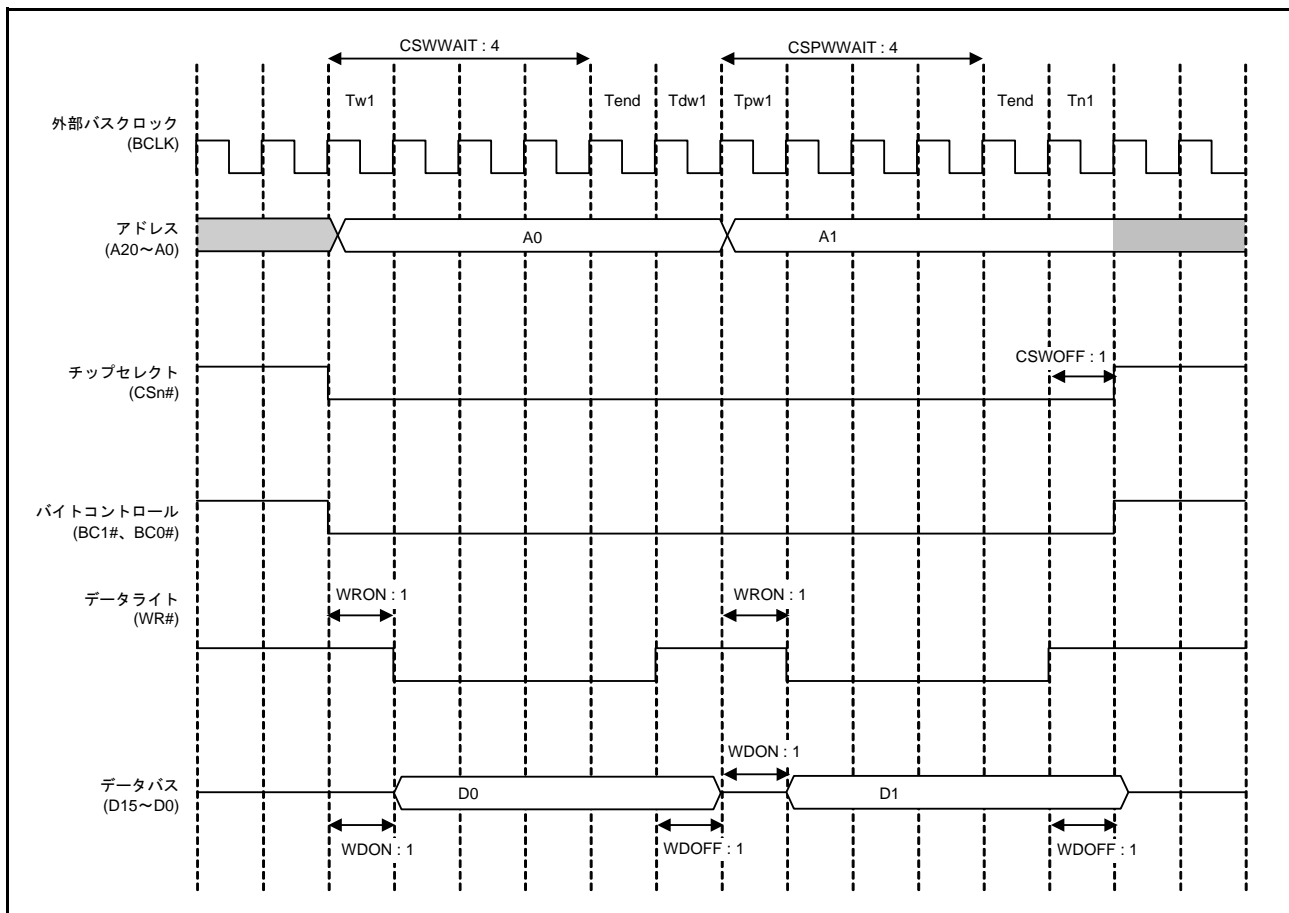


図 15.23 ページライトアクセスの動作例 (16 ビットバス空間に対して 32 ビットアクセスした場合 : 1 ライトストロブモード時) (n = 0 ~ 3)

図 15.24、図 15.25 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

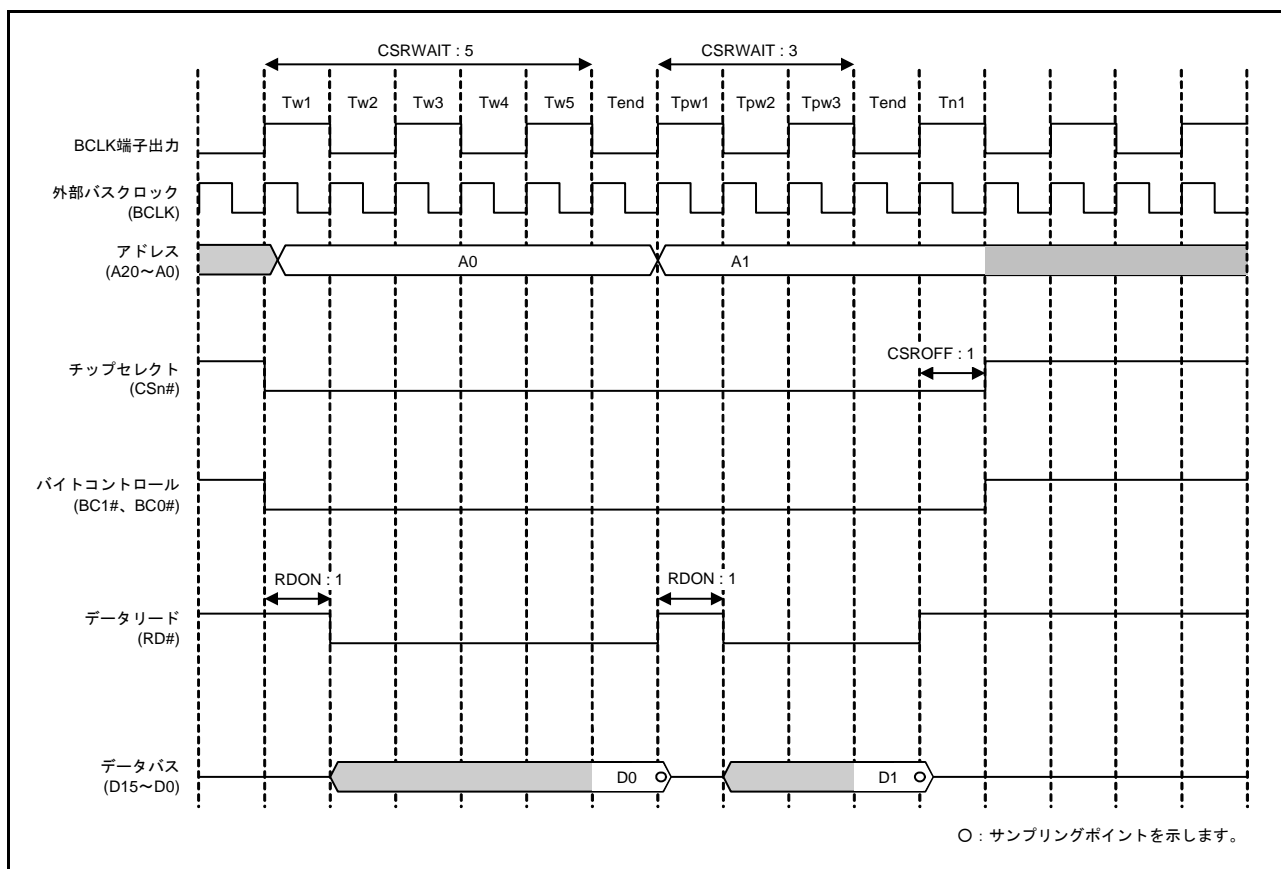


図 15.24 ページリードアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合) (n = 0 ~ 3)

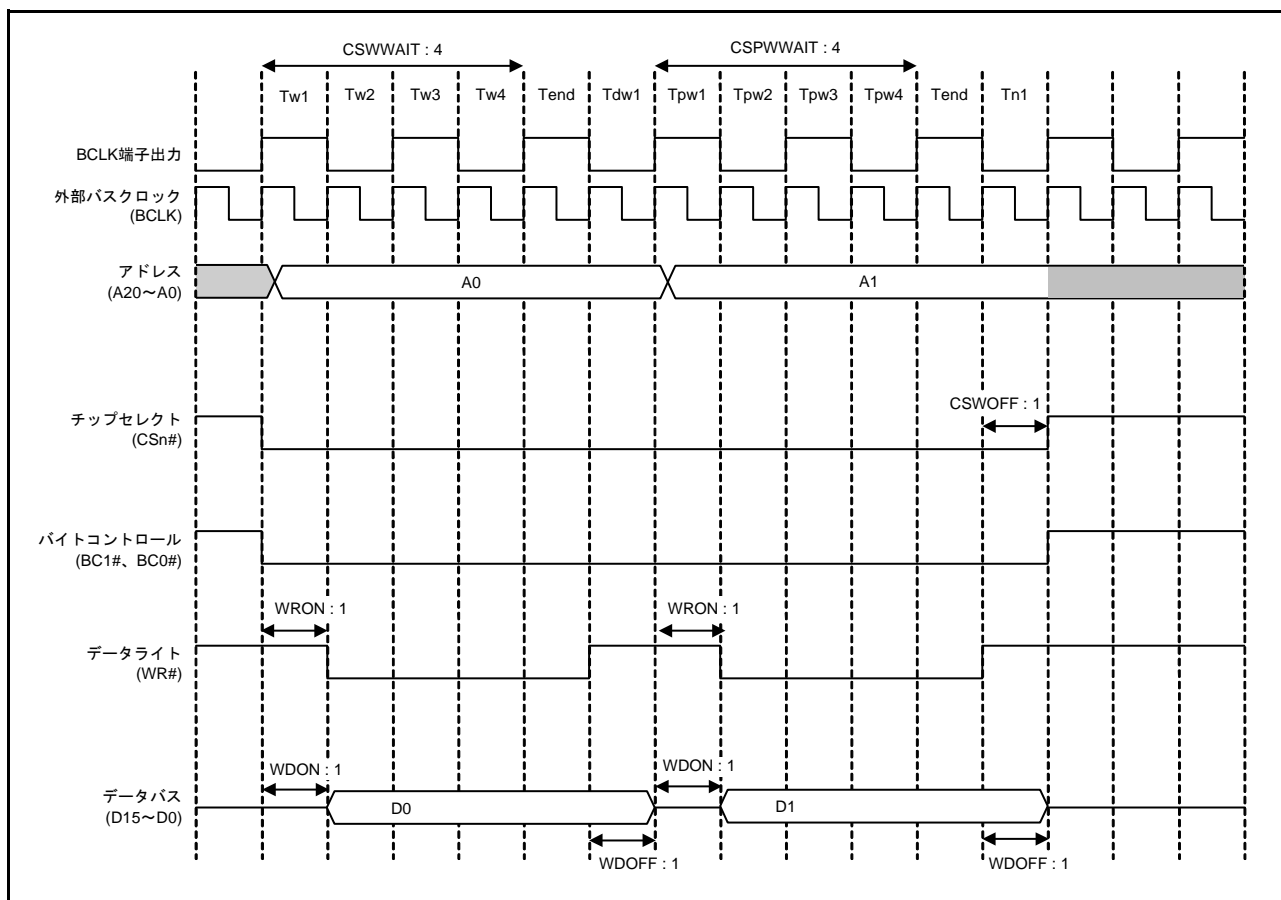


図 15.25 ページライトアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合 : 1 ライトストローブモード時) ($n = 0 \sim 3$)

15.5.2 アドレス / データマルチプレクスバス

CSn 制御レジスタのアドレス / データマルチプレクス I/O インタフェース選択ビット (CSnCR.MPXEN) を “1” に設定することにより、対応する領域で D15 ~ D0 端子にアドレスとデータをマルチプレクスして入出力する機能を備えています。これにより、アドレス / データマルチプレクスが必要な周辺 LSI を本 MCU に直結できます。CSnCR.BSIZE[1:0] ビットで 8 ビットを選択した領域では、D7 ~ D0 が A7 ~ A0 とマルチプレクスされます。CSnCR.BSIZE[1:0] ビットで 16 ビットを選択した領域では、D15 ~ D0 が A15 ~ A0 とマルチプレクスされます。アドレス / データマルチプレクス I/O 空間では、ALE、RD#、WRn#、BCn# 信号でアクセスが制御されます。セパレートバスと同様、バイトストロブモードと 1 ライトストロブモードを選択可能です。ただし、アドレスサイクル中の BCn# 信号については、リードデータ、ライトデータに対するバイトコントロール信号が出力されます。

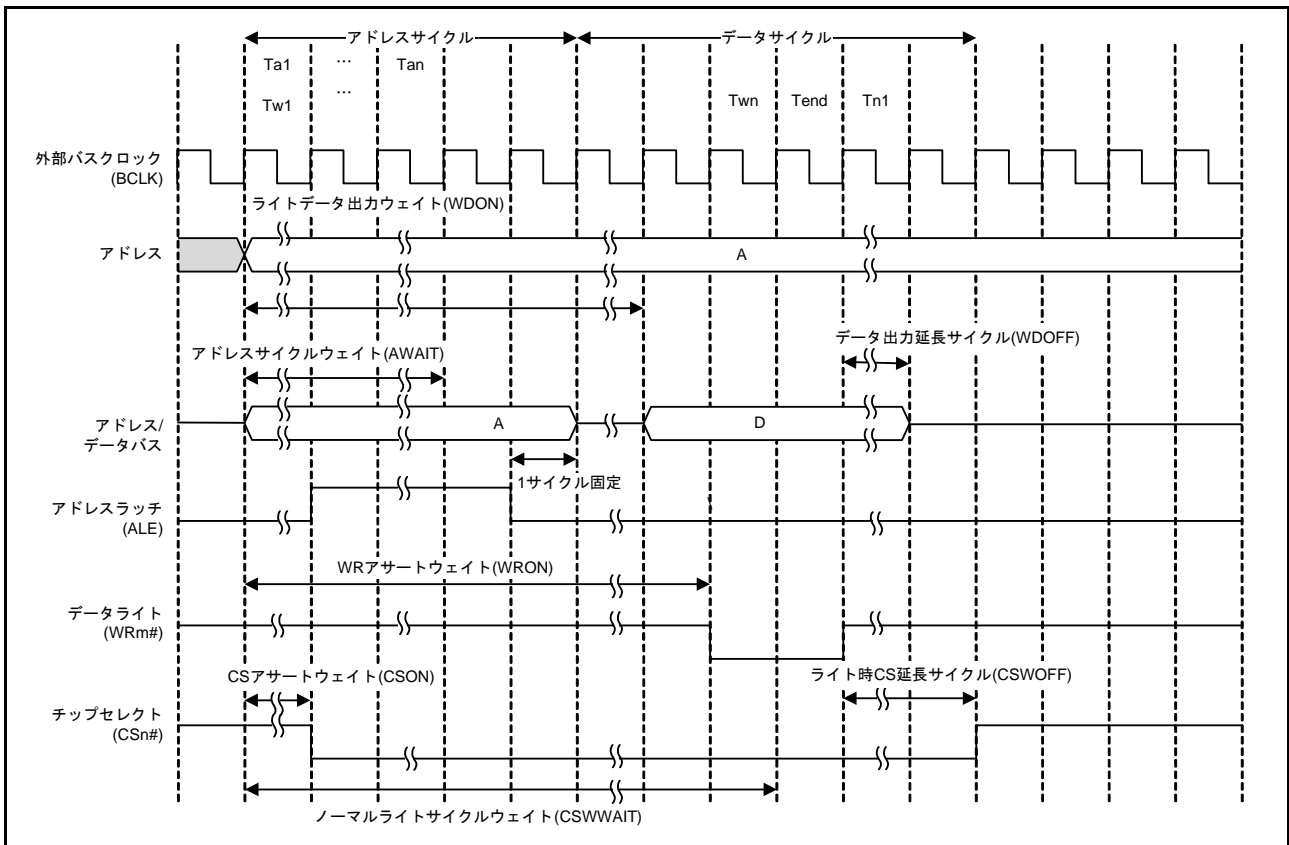
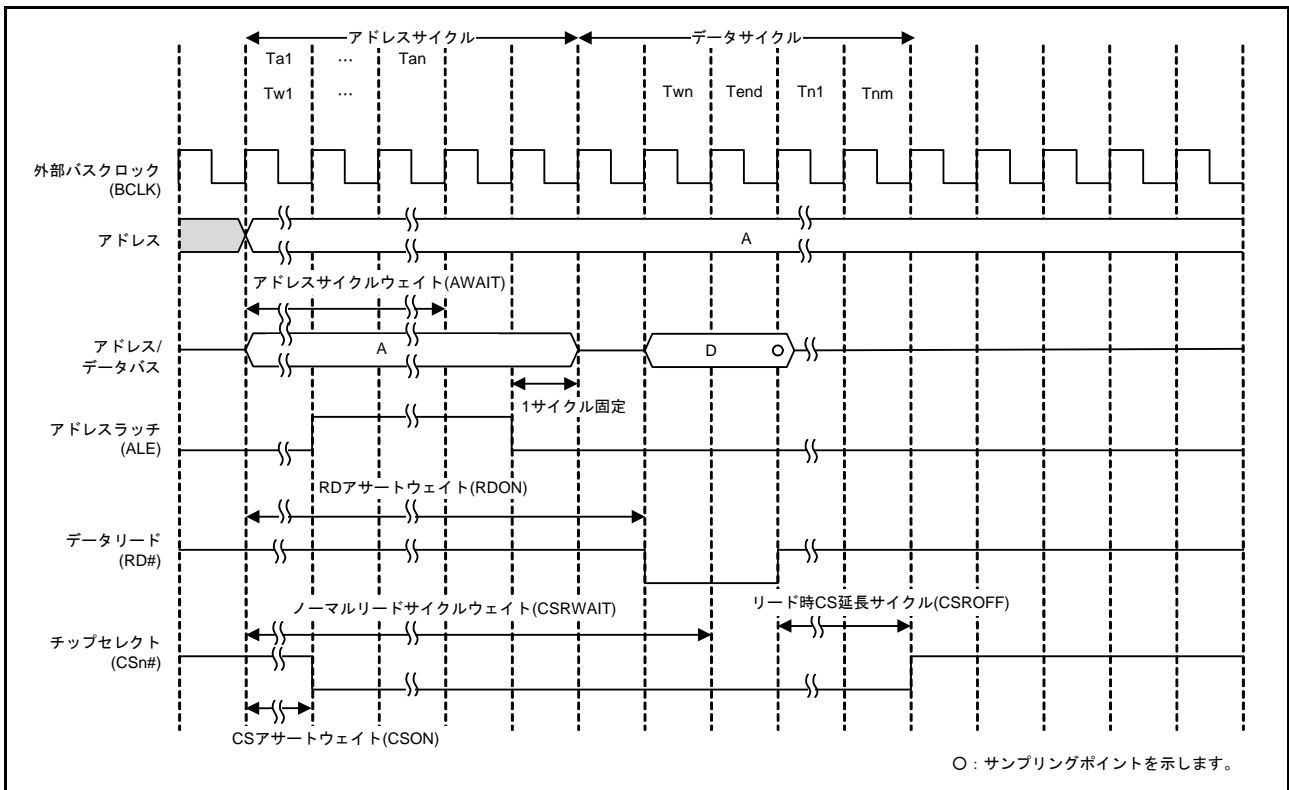
アドレス / データマルチプレクス I/O 空間のアクセスでは、アドレス出力が CSn ウェイト制御レジスタ 2 のアドレスサイクルウェイト選択ビット (CSnWCR2.AWAIT[1:0]) で設定されたサイクル挿入後、続けてデータのアクセスが行われます。

- Ta1 ~ Tan (アドレスサイクルウェイト)

アドレス / データマルチプレクス I/O 空間設定時のみ有効なサイクルで、外部バスアクセス開始からアドレスラッチ (ALE) 信号がネゲートされる 1 サイクル前までの期間です。0 ~ 3 サイクルを選択できます。ALE 信号がネゲートされた次のサイクルまでアドレスが出力されます (アドレスサイクル)。ALE 信号は、CS# 信号のアサートタイミングと同じになります。アドレスサイクル後はデータサイクルになります。アドレスサイクルとデータサイクルが重ならないように CSnWCR1、CSnWCR2 レジスタの値を設定する必要があります。

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページリードアクセス許可 (CSnMOD.PRENB ビット = 1)、ページライトアクセス許可 (CSnMOD.PWENB ビット = 1) に設定した場合、設定は無視されノーマルアクセスを行います。

図 15.26 ~ 図 15.28 にアドレス / データマルチプレクス I/O インタフェース時の動作例を示します。



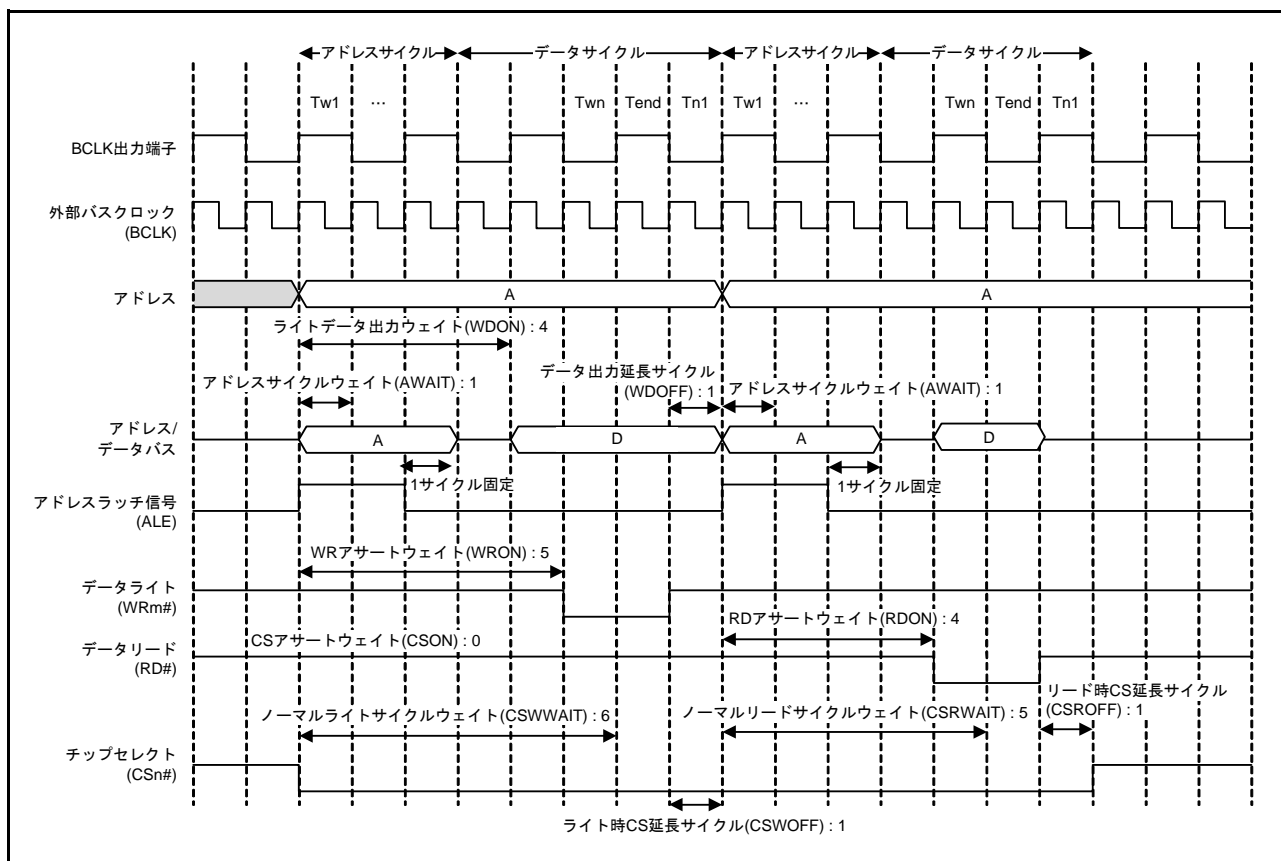


図 15.28 アドレス / データマルチプレクス I/O インタフェース時のバスタイミング例 (m = 0, 1)

15.5.3 外部ウェイト機能

WAIT# 信号により、CSn ウェイト制御レジスタ 1 (CSnWCR1) で設定したノーマルアクセスサイクルウェイト (CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット) や、ページアクセスサイクルウェイト (CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット) を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可 (CSnMOD.EWENB ビット = 1) にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止 (CSnMOD.EWENB ビット = 0) であれば WAIT# 信号は無効です。

なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

(1) ノーマルアクセス

CSnWCR1 レジスタで設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

(2) ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。CSnWCR1 レジスタに設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 番目以降のアクセスに関しては、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

図 15.29、図 15.30 にセパレートバスインタフェース時の外部ウェイトサイクルの動作例を示します。

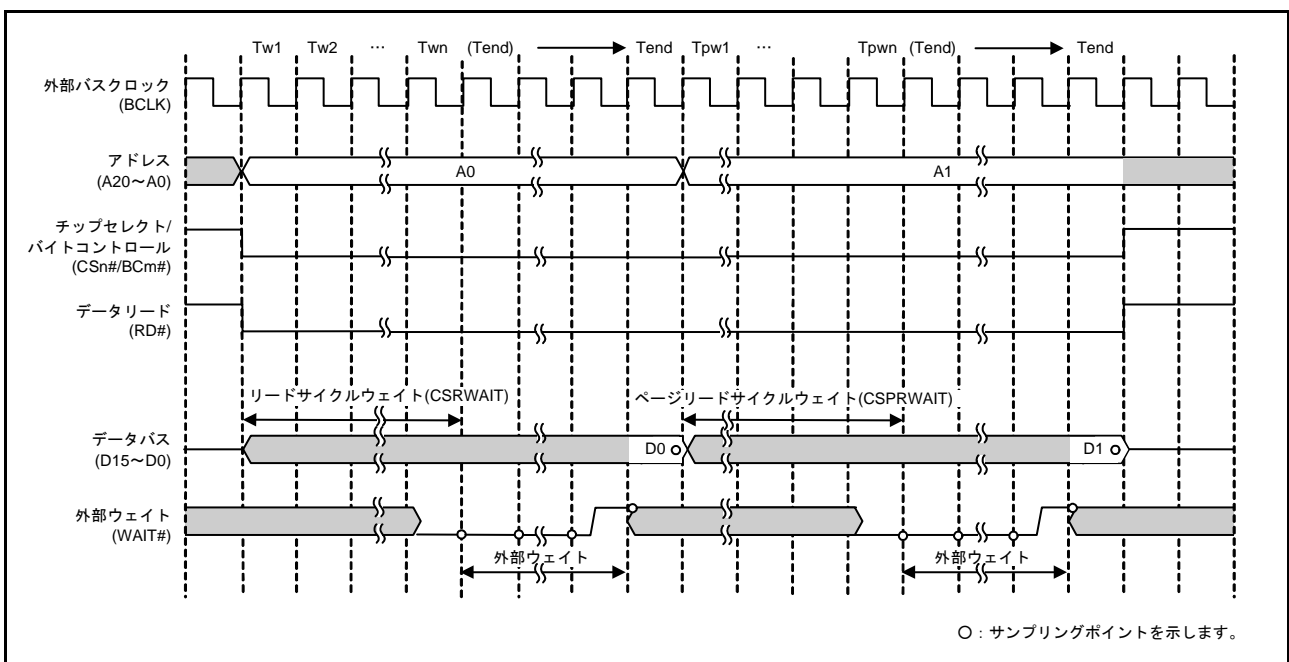


図 15.29 外部ウェイトタイミング例 (16 ビットバス空間へのページリードアクセス) (n = 0 ~ 3, m = 0, 1)

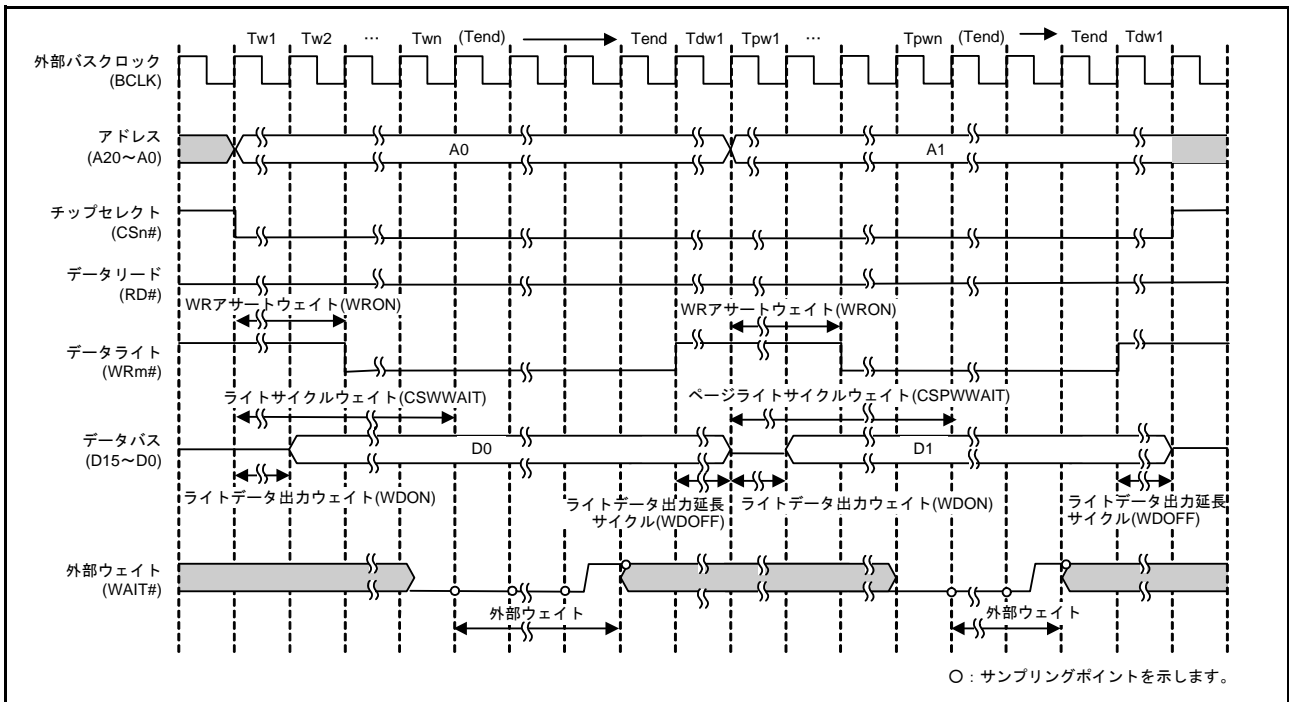


図 15.30 外部ウェイトタイミング例 (16 ビットバス空間へのページライトアクセス : バイトストローブモード時) ($n = 0 \sim 3, m = 0, 1$)

(3) アドレス / データマルチプレクス I/O インタフェース

アドレス / データマルチプレクス I/O インタフェースのデータサイクルには、セパレートバスインタフェースと同様にプログラムウェイトの挿入、WAIT 端子による端子ウェイトの挿入が可能です。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。図 15.31 にアドレス / データマルチプレクス I/O インタフェース時の外部ウェイトサイクルの動作例を示します。

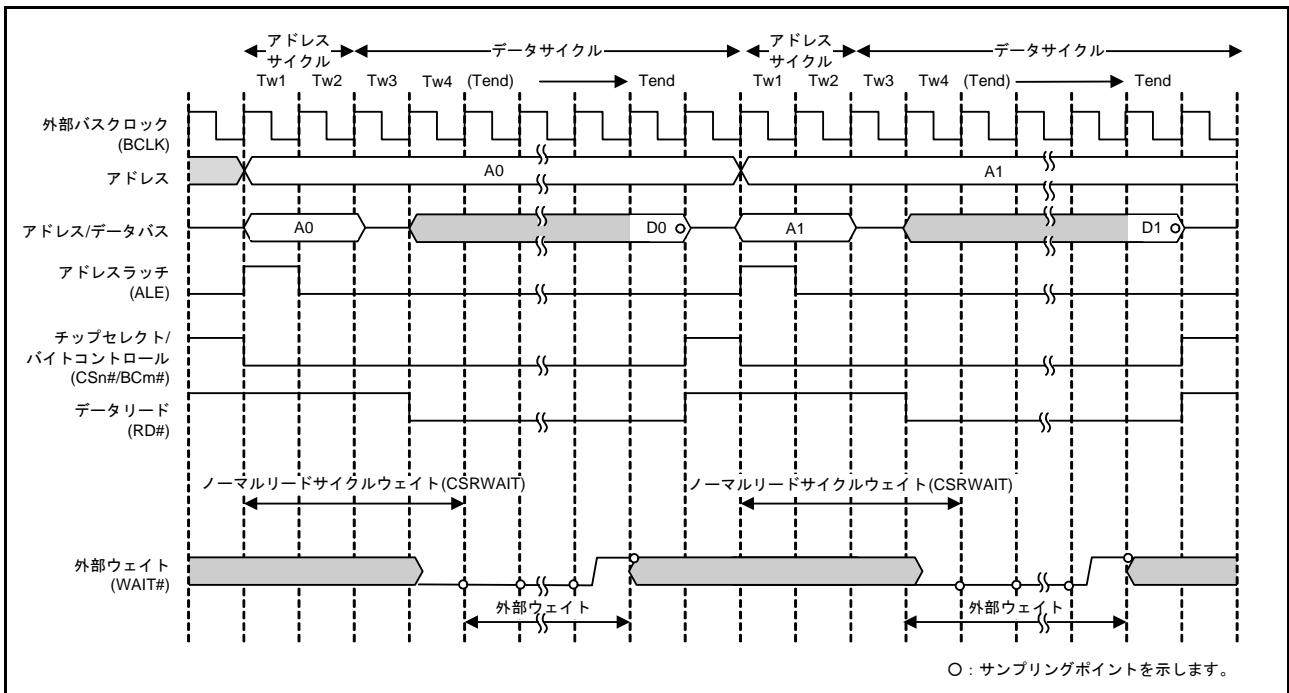


図 15.31 アドレス / データマルチプレクス I/O インタフェース時の外部ウェイト挿入の動作例 ($m = 0, 1$)

15.5.4 リカバリサイクルの挿入

CS リカバリサイクル挿入許可レジスタ (CSRECEN) のリカバリサイクル挿入許可ビットを“1”に設定することにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。

挿入するリカバリサイクル数は、ライトサイクル後とリードサイクル後を領域ごとに設定でき、CSn リカバリサイクル設定レジスタ (CSnREC) で設定します。前バスサイクルがライトアクセスの場合、その領域のライトリカバリサイクル設定ビット (CSnREC.WRCV[3:0]) で設定し、前バスサイクルがリードアクセスの場合、その領域のリードリカバリサイクル設定ビット (CSnREC.RRCV[3:0]) で設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは、CS0 の CS0REC.RRCV[3:0] ビットで設定されたサイクル数になります。

リカバリサイクル挿入可能な条件は、以下の 8 通りです。前バスアクセスがセパレートバスの場合、CS リカバリサイクル挿入許可レジスタのセパレートバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENj) (j=0~7) により、アドレス/データマルチプレクスバスの場合、CS リカバリサイクル挿入許可レジスタのマルチプレクスバス用リカバリサイクル挿入許可ビット (CSRECEN.RCVENMj) (j=0~7) により、リカバリサイクル挿入の許可、禁止を設定できます。

- 外部バスに対するリードアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するリードアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なる領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのリードアクセスがある場合
- 外部バスに対するライトアクセス後、同じ領域の外部バスのライトアクセスがある場合
- 外部バスに対するライトアクセス後、異なる領域の外部バスのライトアクセスがある場合

リカバリサイクルの起点は、前バスサイクルの終了時点 (CSn# 信号 (n=0~3) のネゲート時点) です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

最短でリカバリサイクルの終了直後に、次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可 (CSnMOD.PRENB=1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB=1) に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます (図 15.34 参照)。

ページアクセス許可設定時でノーマルアクセスとなる場合についても、セパレートバス時は、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。アドレス/データマルチプレクス I/O インタフェース時は、ページアクセス許可設定に関わらず、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されません。

図 15.32 ~ 図 15.34 にセパレートバスインタフェース時のリカバリサイクルの動作例を示します。

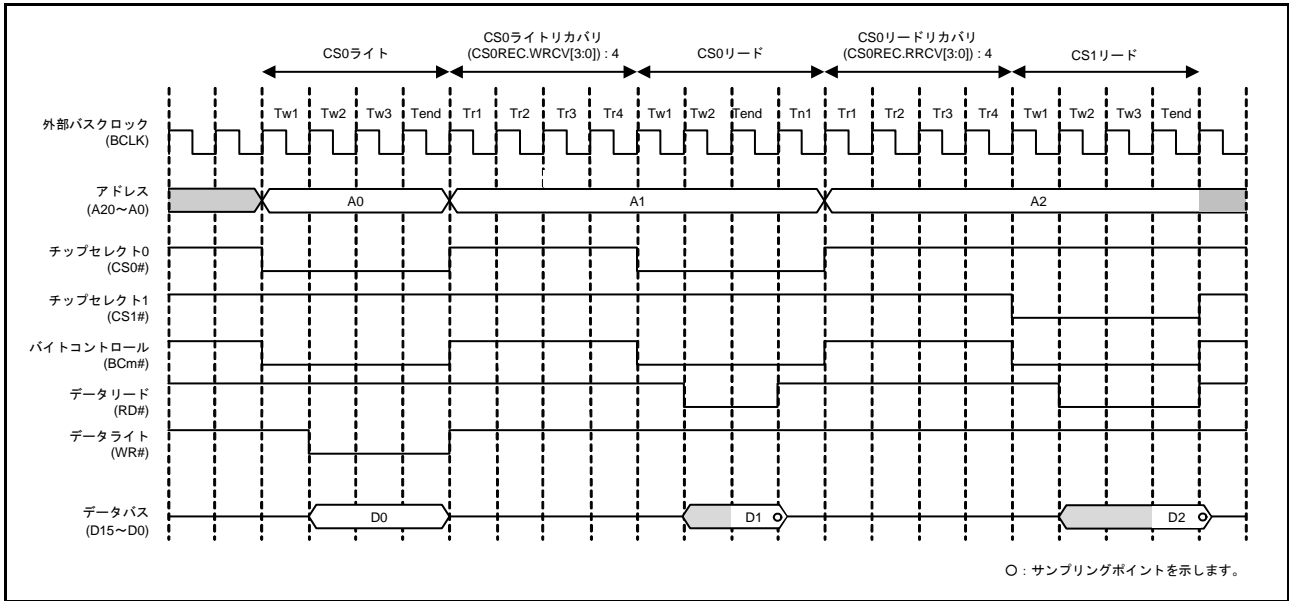


図 15.32 セパレートバスインタフェース時のリカバリサイクルの動作例 (m = 0, 1)

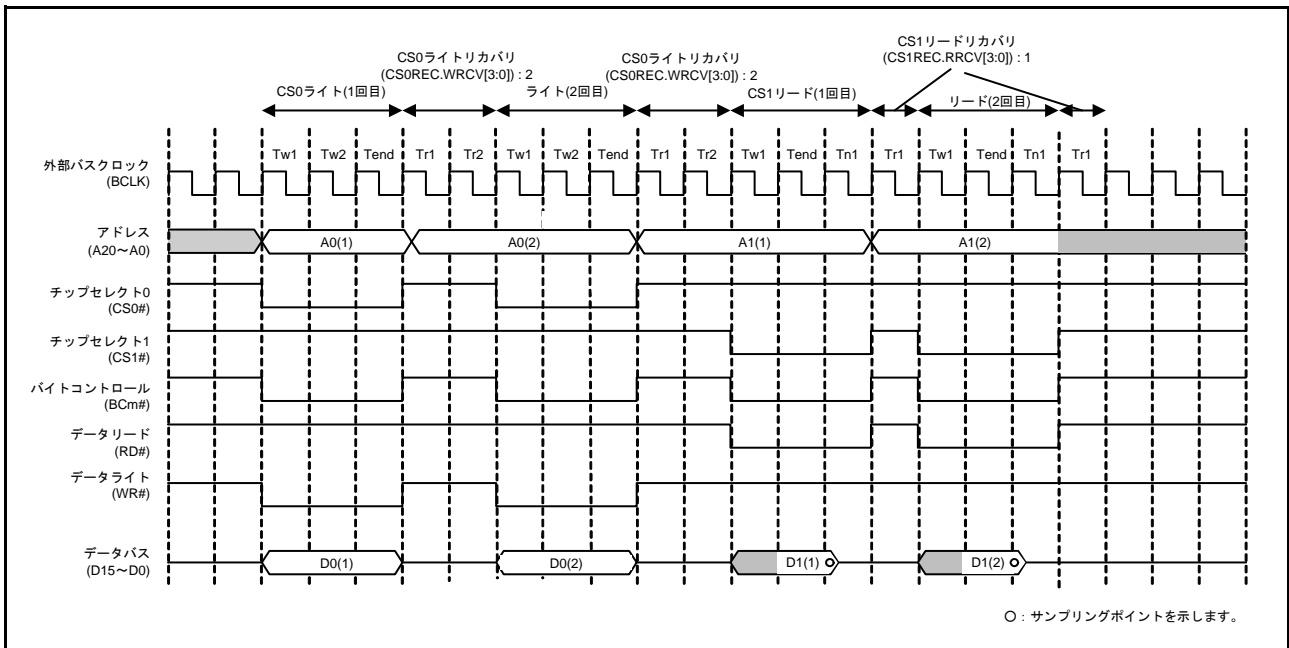


図 15.33 バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m = 0, 1)

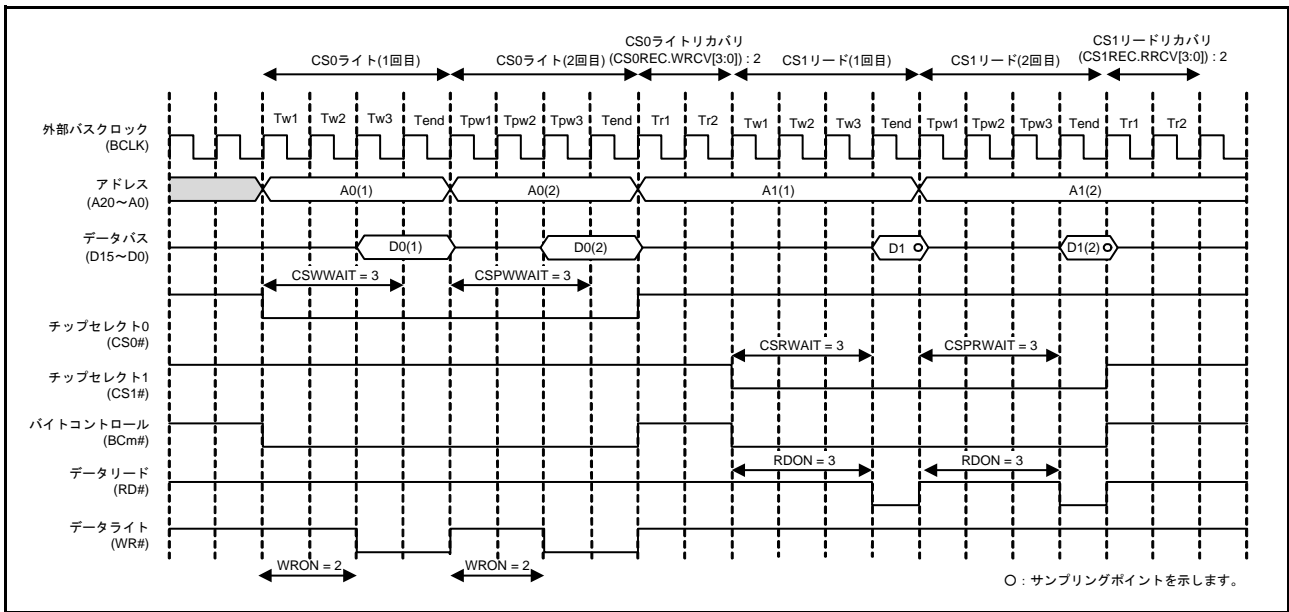


図 15.34 バスアクセスが分割された場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ページアクセスの場合) (m = 0, 1)

図 15.35 に、BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の動作例を示します。

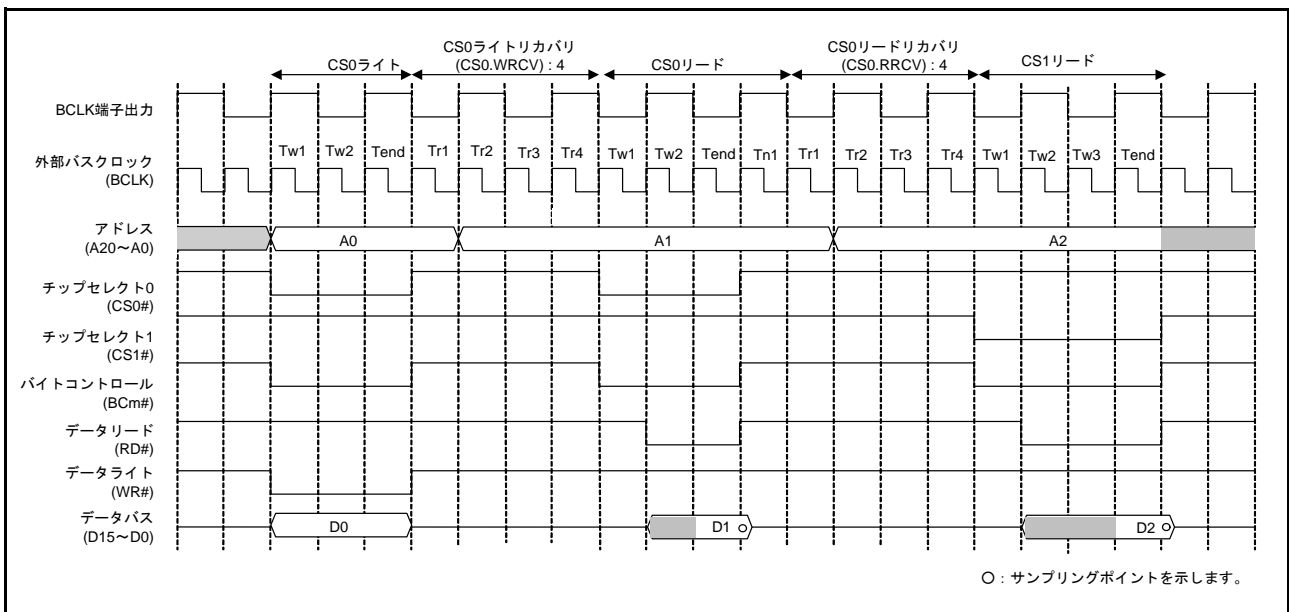


図 15.35 BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合のリカバリサイクルの動作例 (セパレートバスインタフェース、ノーマルアクセスの場合) (m = 0, 1)

アドレス/データマルチプレクス I/O インタフェースのリカバリサイクルの挿入もセパレートバスインタフェースと同様に行われます。図 15.36、図 15.37 に、アドレス/データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例を示します。

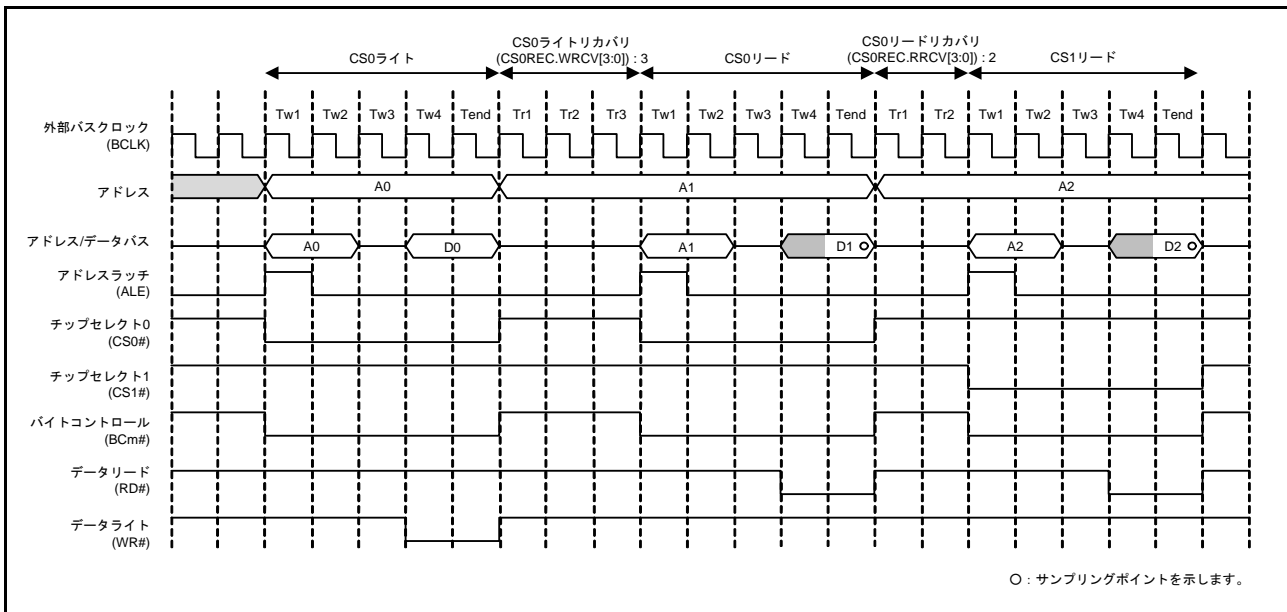


図 15.36 アドレス / データマルチプレクス I/O インタフェース時のリカバリサイクルの動作例 (m = 0, 1)

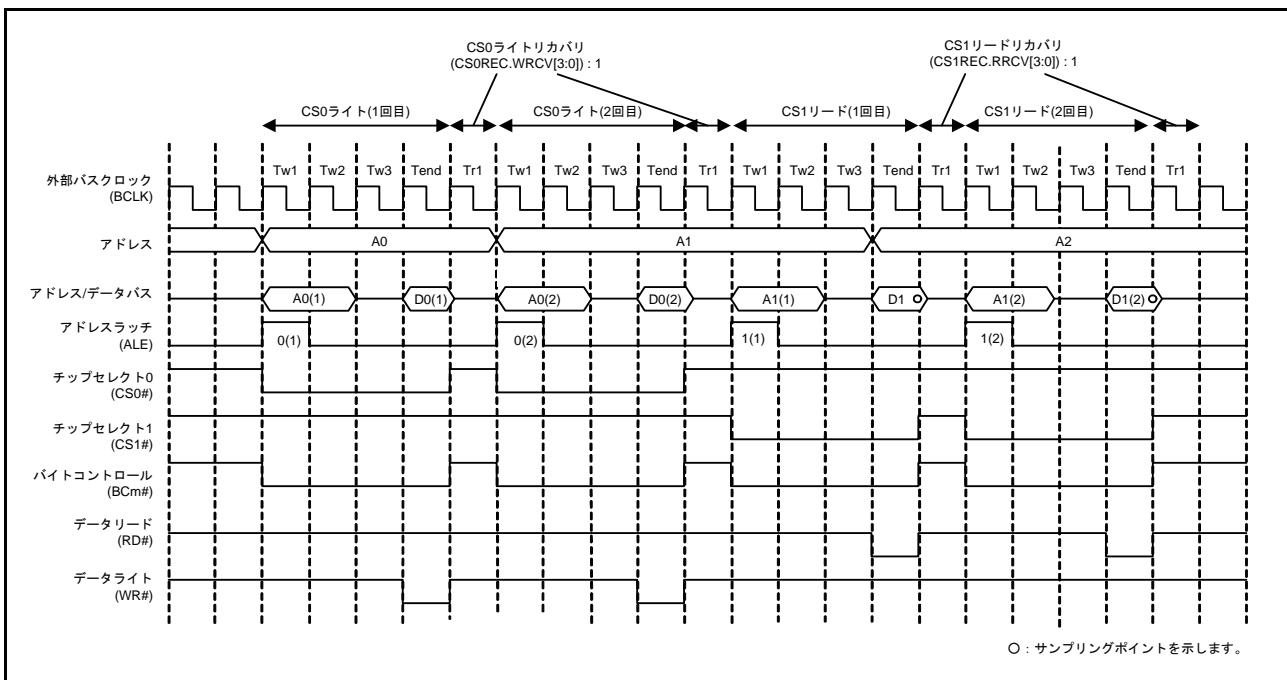


図 15.37 アドレス / データマルチプレクス I/O インタフェース時、バスアクセスが分割された場合のリカバリサイクルの動作例 (m = 0, 1)

15.5.5 非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには CSn# 信号、BCn# 信号、WRn# 信号、RD# 信号は High に、ALE 信号は Low に、D15 ~ D0 はハイインピーダンスになります。

15.5.6 ライトバッファ機能 (外部バス)

ライトアクセスの場合、データをライトバッファに書き込むことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 15.38 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス (内蔵メモリ、周辺モジュールのアクセス) が並列して実行されます。

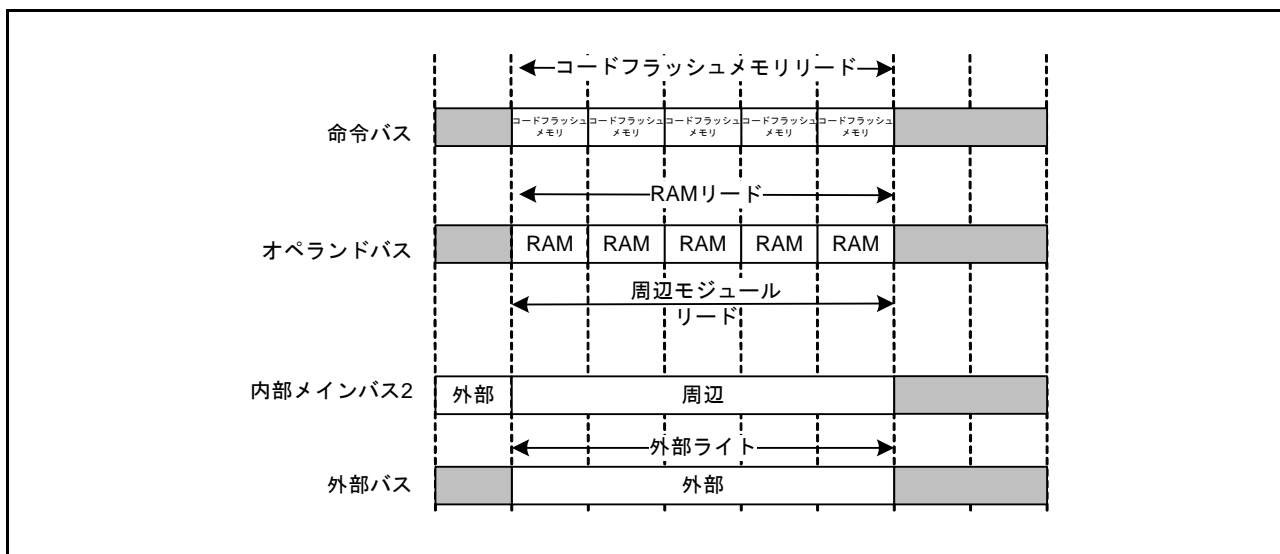


図 15.38 ライトバッファ機能使用時の動作例

15.5.7 制約事項

(1) セパレートバスインタフェースの場合の制約事項

- 表 15.9 にノーマルアクセス時とページアクセス時の CSn ウェイト制御レジスタ 1 (CSnWCR1) と、CSn ウェイト制御レジスタ 2 (CSnWCR2) の各ビットの設定値の制約事項を示します。CSn モードレジスタのページリードアクセス許可ビットが有効 (CSnMOD.PRENB = 1)、あるいはページライトアクセス許可ビットが有効 (CSnMOD.PWENB = 1) であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。

表 15.9 ノーマル/ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSn[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSn[2:0] ≤ RDON	1 ≤ WDON[2:0] CSn[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSn[2:0] ≤ WRON	CSn[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSn[2:0] ≤ RDON	1 ≤ WDON[2:0] CSn[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSn[2:0] ≤ WRON

- バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可 (CSnMOD.PRENB = 1)、あるいは、ページライトアクセス許可 (CSnMOD.PWENB = 1) に設定された場合、途中のバスアクセスにはリカバリサイクル

は挿入されず、最後の転送のバスアクセスに対してのみカバリサイクルが挿入されます。

(2) アドレス / データマルチプレクスバスの場合の制約事項

アドレス / データマルチプレクス I/O 空間では、ページアクセスは無効です。ページアクセスの設定は、無視されノーマルアクセスを行います。

表 15.10 ノーマルアクセス時の制約事項

ノーマルアクセス時の制約条件	
リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON AWAIT[1:0]+2 ≤ RDON CSON[2:0] ≤ AWAIT	CSON[2:0] ≤ CSWAIT WRON[2:0] ≤ CSWAIT WDON[2:0] ≤ CSWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON AWAIT[1:0]+2 ≤ WRON AWAIT[1:0]+2 ≤ WDON CSON[2:0] ≤ AWAIT

(3) A0 端子と BC0# 端子を兼用する製品の場合の制約事項

A0 端子と BC0# 端子を兼用する製品の場合、8 ビットバス空間では 1 ライトストロブモードの設定は禁止しており、設定した場合の動作は保証していません。

(4) BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合の制約事項

BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になりますが、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、BCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様にあわせて、レジスタの値を設定してください。

(5) アドレス空間の各領域をまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

(6) RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(7) 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

15.6 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.6.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768 サイクル以内に終了しない場合に検出します。

15.6.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 外部領域については、動作禁止 (CSnCR.EXENB = 0) に設定した領域をアクセスした場合
- 上記以外の領域については、不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 15.11 に示します。

15.6.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが768 サイクル以内に終了しない場合に発生します。

- CS 領域 (CS0 ~ CS3) :バスアクセス開始後、外部バスクロック (BCLK) で768 サイクル以内にバスアクセスが終了しない (WAIT# 信号がネゲートされない) 場合
タイムアウトが発生すると BCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。バスマスタからの1回のリクエストで、複数の外部バスアクセスが発生する転送では、タイムアウトが発生しても、後続のバスアクセスを中断できません。この場合、連続してタイムアウトが発生する可能性があります。
- 内部周辺バス (2, 3) :バスアクセス開始後、周辺モジュールクロック (PCLKB) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。
- 内部周辺バス (4) :バスアクセス開始後、周辺モジュールクロック (PCLKA) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKA で256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6) :バスアクセス開始後、FlashIF クロック (FCLK) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。

15.6.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.6.3 バスエラーの発生条件

表 15.11 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態 (バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.11 発生するバスエラーの種類

アドレス	内容		種類			
			不正アドレスアクセス		タイムアウト	
	コードフラッシュメモリ有効	コードフラッシュメモリ無効	コードフラッシュメモリ有効	コードフラッシュメモリ無効	コードフラッシュメモリ有効	コードフラッシュメモリ無効
0000 0000h ~ 0007 FFFFh	メモリバス 1		—		—	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1		—		—	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2		△		—	
000A 0000h ~ 000B FFFFh	内部周辺バス 3		△		—	
000C 0000h ~ 000D FFFFh	内部周辺バス 4		△		○	
000E 0000h ~ 000F FFFFh	内部周辺バス 5		△		—	
0010 0000h ~ 0011 FFFFh	内部周辺バス 6	予約領域	—	○	—	—
0012 0000h ~ 007F FFFFh			△	○	—	—
0080 0000h ~ 00FF FFFFh	予約領域		—	—	—	—
0100 0000h ~ 07FF FFFFh	外部バス (CS1 ~ CS3、予約領域)		[IA]		[TO]	
0800 0000h ~ 0FFF FFFFh	予約領域		[IA]		—	
1000 0000h ~ 7FFF FFFFh	予約領域		○		—	—
8000 0000h ~ FFFF FFFFh	メモリバス 2	予約領域	—	○	—	—
FF00 0000h ~ FF7F FFFFh		外部バス (CS0)	—	[IA]	—	[TO]
FF80 0000h ~ FFFF FFFFh			—	—	—	—

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

[IA] : これらの領域を動作禁止 (CSnCR.EXENB = 0 (n = 0 ~ 3)) に設定している場合にバスエラーを検出します。

[TO] : 768 サイクル以内にバスアクセスが終了しない場合にバスエラーを検出します。

注. 実装されるRAM、データフラッシュメモリ、コードフラッシュメモリの容量は製品により異なります。製品ごとの仕様については、「43. RAM」、「44. フラッシュメモリ (FLASH)」を参照してください。

15.7 割り込み

15.7.1 割り込み要因

バスは、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると割り込みコントローラにバスエラーが発生します。

表15.12 割り込み要因

名称	割り込み要因	DTC起動	DMAC起動
BUSERR	不正アドレスアクセスエラーまたはタイムアウト	不可	不可

16. メモリプロテクションユニット (MPU)

16.1 概要

RXv3 CPU にはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパーバイザモードのときは、メモリ保護を行いません。

表 16.1 にメモリプロテクションユニットの仕様を、図 16.1 にブロック図を示します。

表 16.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h ~ FFFF FFFFh (ユーザモード時) スーパーバイザモード時はメモリ保護なし
領域数	8
ページサイズ(最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n = 0 ~ 7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域(全アドレス空間)に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

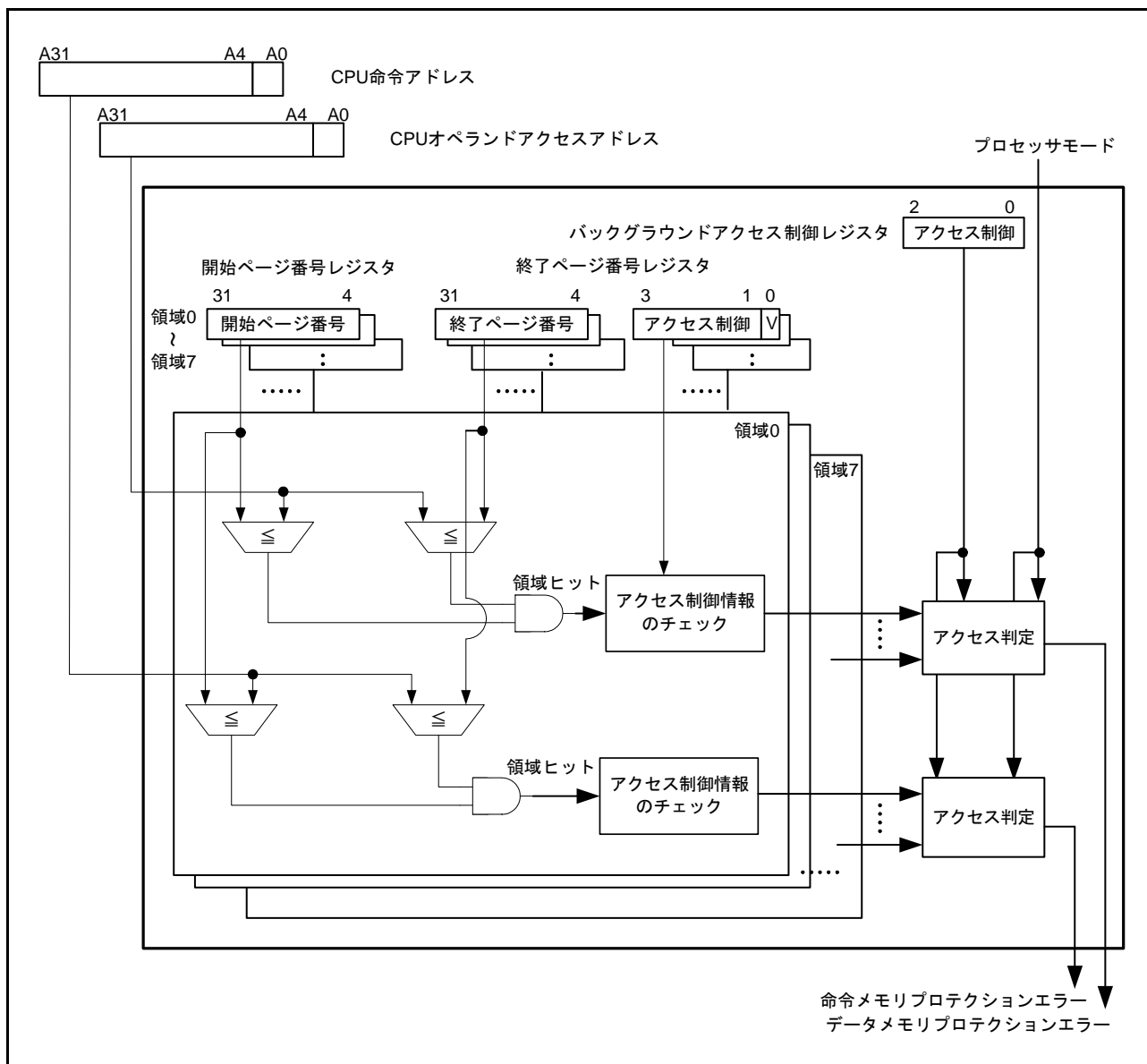


図 16.1 メモリプロテクションユニットブロック図

16.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の3種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

16.1.2 アクセス制御領域

アクセス制御領域は8つまで定義することができます。各アクセス制御領域の範囲は、領域n開始ページ番号レジスタ (RSPAGEn) および領域n終了ページ番号レジスタ (REPAGEn) で行います (n = 0 ~ 7)。

ページは、アクセス制御の最小単位であり、アドレス空間を16バイトごとに区切ったものです。アドレス [31:0] の上位28ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

16.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

16.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

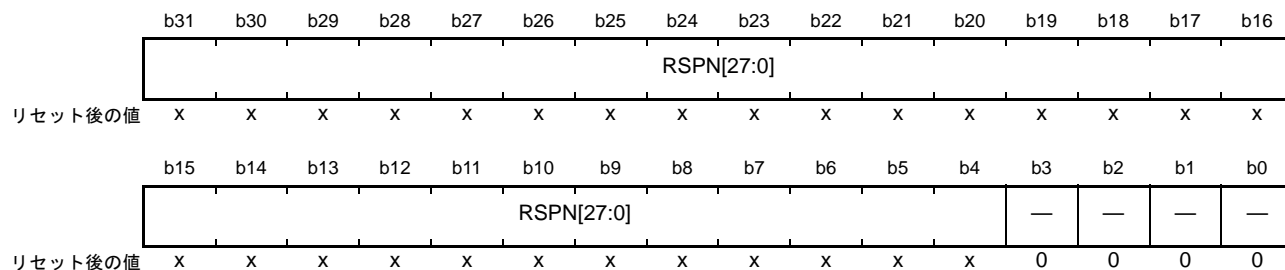
16.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

16.2 レジスタの説明

16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)

アドレス RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h,
RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h



x: 不定

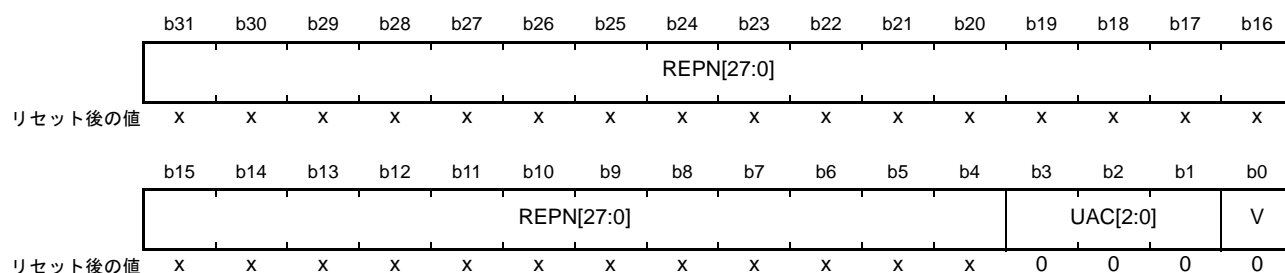
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください。	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch,
REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPN[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化)を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

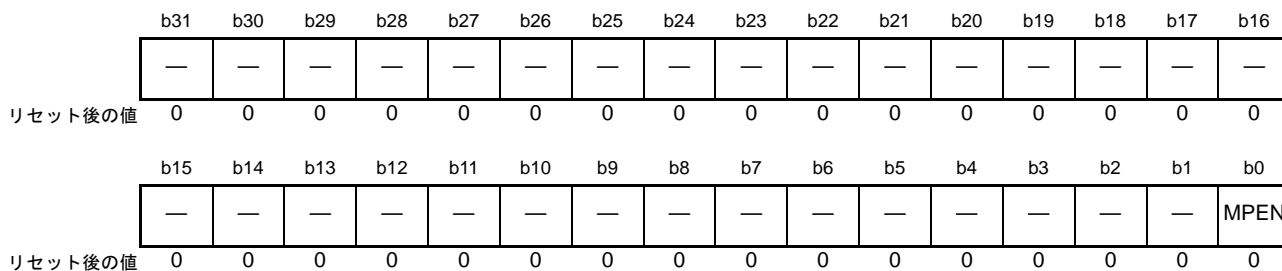
ユーザモード時のアクセス制御を設定します。

REPN[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

16.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h



ビット	シンボル	ビット名	機能	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1 : メモリプロテクション機能有効 0 : メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE, RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

16.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]		—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

16.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DMPER, IMPERビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード/ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を“0”にします。

16.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPE R	IMPE R
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IMPER ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DMPER ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

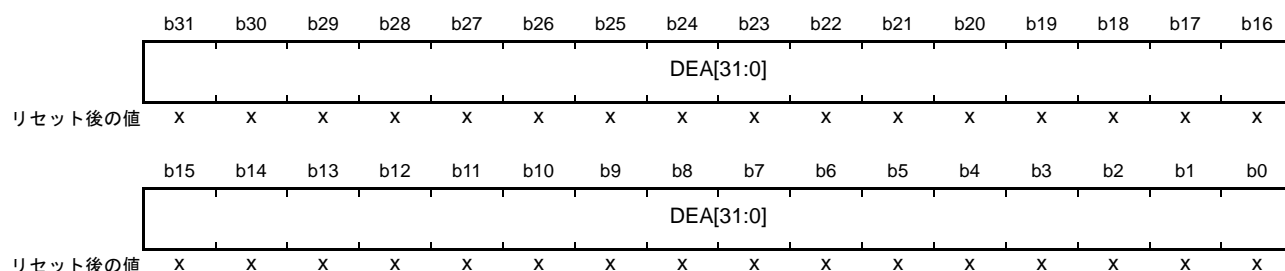
DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DMPER ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

16.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x : 不定

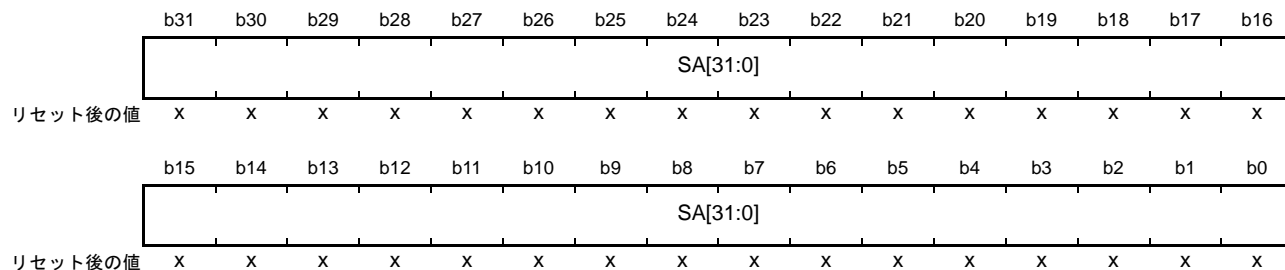
ビット	シンボル	ビット名	機能	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

16.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチアドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

16.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

S ビット (領域サーチオペレーションビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

16.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

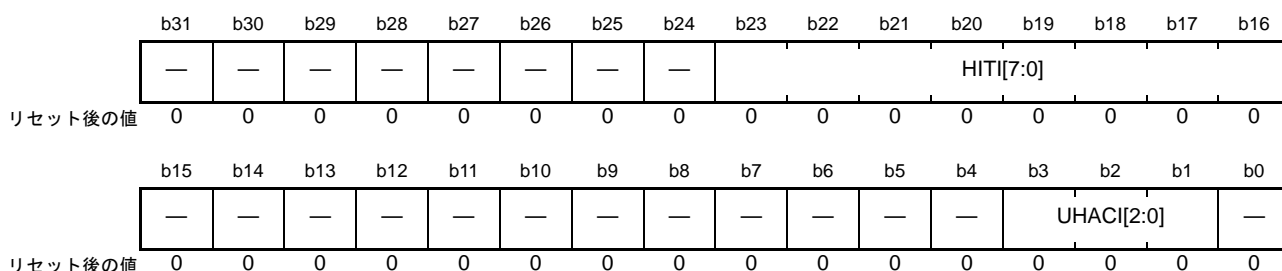
ビット	シンボル	ビット名	機能	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート(無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を“0”にします。REPAGEn.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

16.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット(MPESTS.IMPER) = 1のとき、[b23:b16] = 0000 0000b：バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0：領域7で命令メモリプロテクションエラーなし 1：領域7で命令メモリプロテクションエラーあり b22 0：領域6で命令メモリプロテクションエラーなし 1：領域6で命令メモリプロテクションエラーあり b21 0：領域5で命令メモリプロテクションエラーなし 1：領域5で命令メモリプロテクションエラーあり b20 0：領域4で命令メモリプロテクションエラーなし 1：領域4で命令メモリプロテクションエラーあり b19 0：領域3で命令メモリプロテクションエラーなし 1：領域3で命令メモリプロテクションエラーあり b18 0：領域2で命令メモリプロテクションエラーなし 1：領域2で命令メモリプロテクションエラーあり b17 0：領域1で命令メモリプロテクションエラーなし 1：領域1で命令メモリプロテクションエラーあり b16 0：領域0で命令メモリプロテクションエラーなし 1：領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

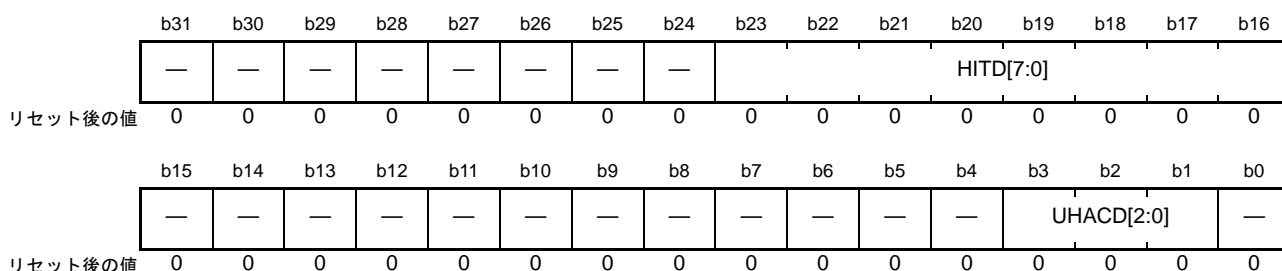
オーバーラップした領域でエラーが発生した場合、該当する領域（バックグラウンド領域も含む）のユーザーモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは“0000 0000b”にセットされます。

16.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITD[7:0]	データヒット領域 ビット	データメモリプロテクションエラー発生ビット(MPESTS.DMPER) = 1のとき、 [b23:b16] = 0000 0000b : バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0: 領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0: 領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0: 領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0: 領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0: 領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0: 領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0: 領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0: 領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACD[2:0] ビット (ユーザモード時 データヒット領域 アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域 ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

16.3 機能

16.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反(メモリプロテクションエラー)を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ(MPEN)のメモリプロテクション機能有効化ビット(MPEN)を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

16.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報(実行許可、読み出し許可、書き込み許可)がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ(MPOPS)の領域サーチオペレーションビット(S)を“1”にすることにより、領域サーチアドレスレジスタ(MPSA)で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ(MHITD)は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

16.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段(命令フェッチ、DMA)ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパーバイザモードでのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

16.3.4 メモリプロテクション機能のアクセス判定フロー

図 16.2 にデータアクセス判定フローを、図 16.3 に命令アクセス判定フローを示します。

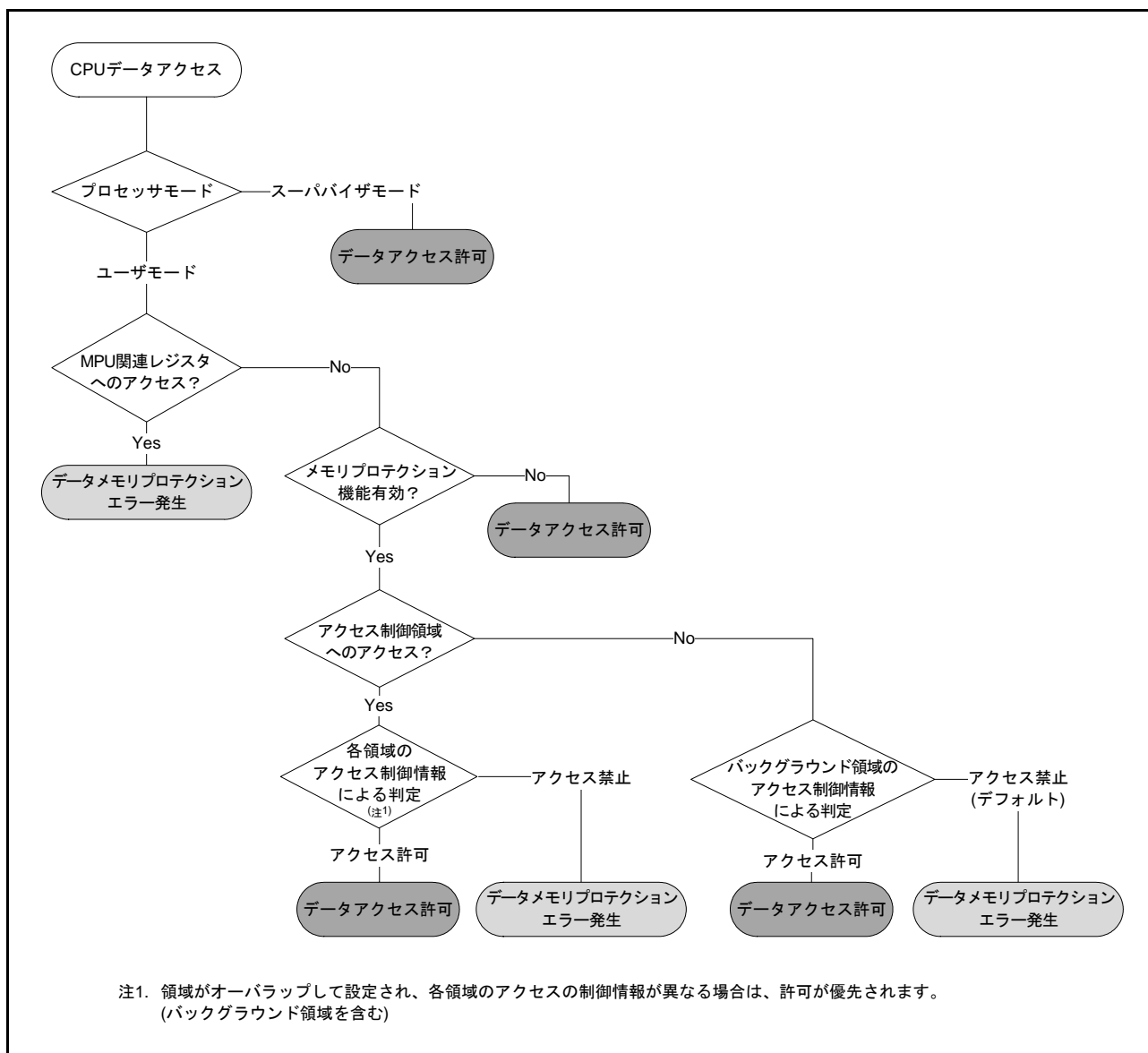


図 16.2 データアクセス判定フロー

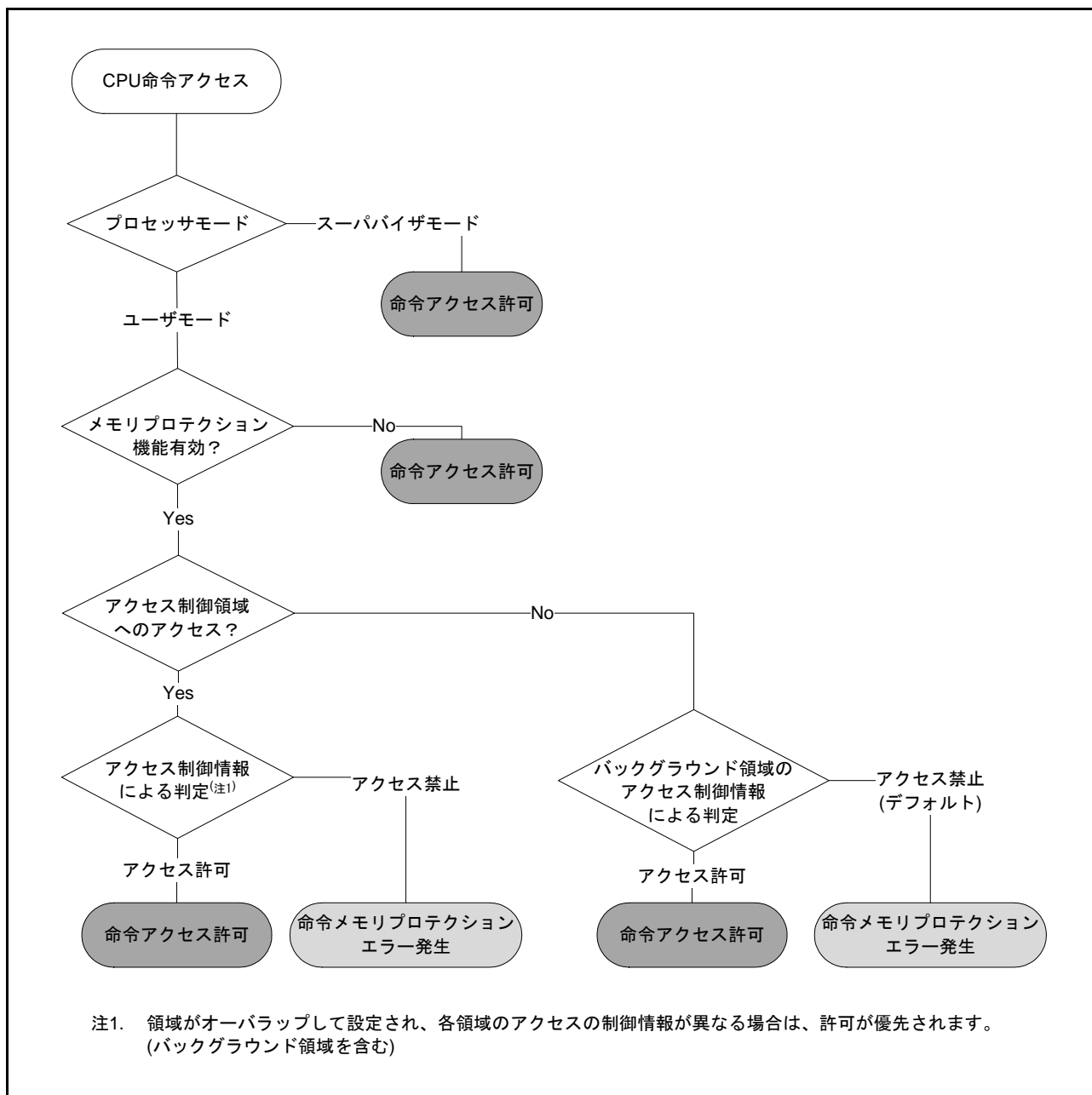


図 16.3 命令アクセス判定フロー

16.4 メモリプロテクション機能使用手順

16.4.1 アクセス制御情報の設定

スーパーバイザモードで、各領域のアクセス制御情報を設定します。

最大8つのアクセス制御領域の設定を領域n開始ページ番号レジスタ (RSPAGEn) および領域n終了ページ番号レジスタ (REPAGEn) で行います (n = 0 ~ 7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

16.4.2 メモリプロテクション機能の有効化

スーパーバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

16.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、いずれかのメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。スーパーバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1”(ユーザモードに設定)にした後、RTE命令を実行
- バックアップPSW (BPSW) のPMビットを“1”にした後、RTFI命令を実行

注. MVTC, POPC命令によるPSW.PMビットの書き換えは無効です。RTE命令、あるいはRTFI命令でPSW.PMビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPUの命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

16.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反(メモリプロテクションエラー)を検出すると、CPUはアクセス例外処理を開始します。アクセス例外処理のCPU動作の詳細は、「13. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTSレジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ(MPDEA)に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ(MHITD)に格納されます。

- 有効な領域0～7にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット(MHITD.HITD[7:0])が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット(MHITD.UHACD[2:0])にセットされます。

- 有効な領域0～7の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット(MHITD.HITD[7:0])は、“0000 0000b”になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット(MHITD.UHACD[2:0])にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ(MHITI)に格納されます。

- 有効な領域0～7にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット(MHITI.HITI[7:0])が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット(MHITI.UHACI[2:0])にセットされます。

- 有効な領域0～7の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット(MHITI.HITI[7:0])は、“0000 0000b”になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット(MHITI.UHACI[2:0])にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

17. DMAコントローラ(DMACAa)

本MCUは、8チャンネルのDMAC(Direct Memory Access Controller)を内蔵しています。

DMACは、CPUを介さずにデータ転送を行います。DMACは転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

17.1 概要

表17.1にDMACの仕様を、図17.1にDMACのブロック図を示します。

表17.1 DMACの仕様

項目		内容
チャンネル数		8チャンネル(DMACm (m = 0~7))
転送空間		512Mバイト (00000000h~0FFFFFFFhとF0000000h~FFFFFFFhのうち予約領域を除く領域)
最大転送データ数		64Mデータ(ブロック転送モード最大総転送数: 1024データ×65536ブロック)
DMAC起動要因		<ul style="list-style-type: none"> チャンネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力(注1)
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3... > チャンネル7 (チャンネル0が最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1~1024データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 総データ転送数を指定しない設定(フリーランニングモード)が可能
	リピート転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大1024回設定可能
	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックのデータを転送 ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	ノーマル転送モードの場合、指定回数の転送が終了したときに発生 リピート転送モードの場合、指定リピート回数の転送が終了したときに発生 ブロック転送モードの場合、指定ブロック数の転送が終了したときに発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
イベントリンク機能		1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
消費電力低減機能		モジュールストップ状態への設定が可能

注1. DMACの起動要因は、「14. 割り込みコントローラ(ICUF)」の「表14.5 割り込みベクタテーブル」を参照してください。

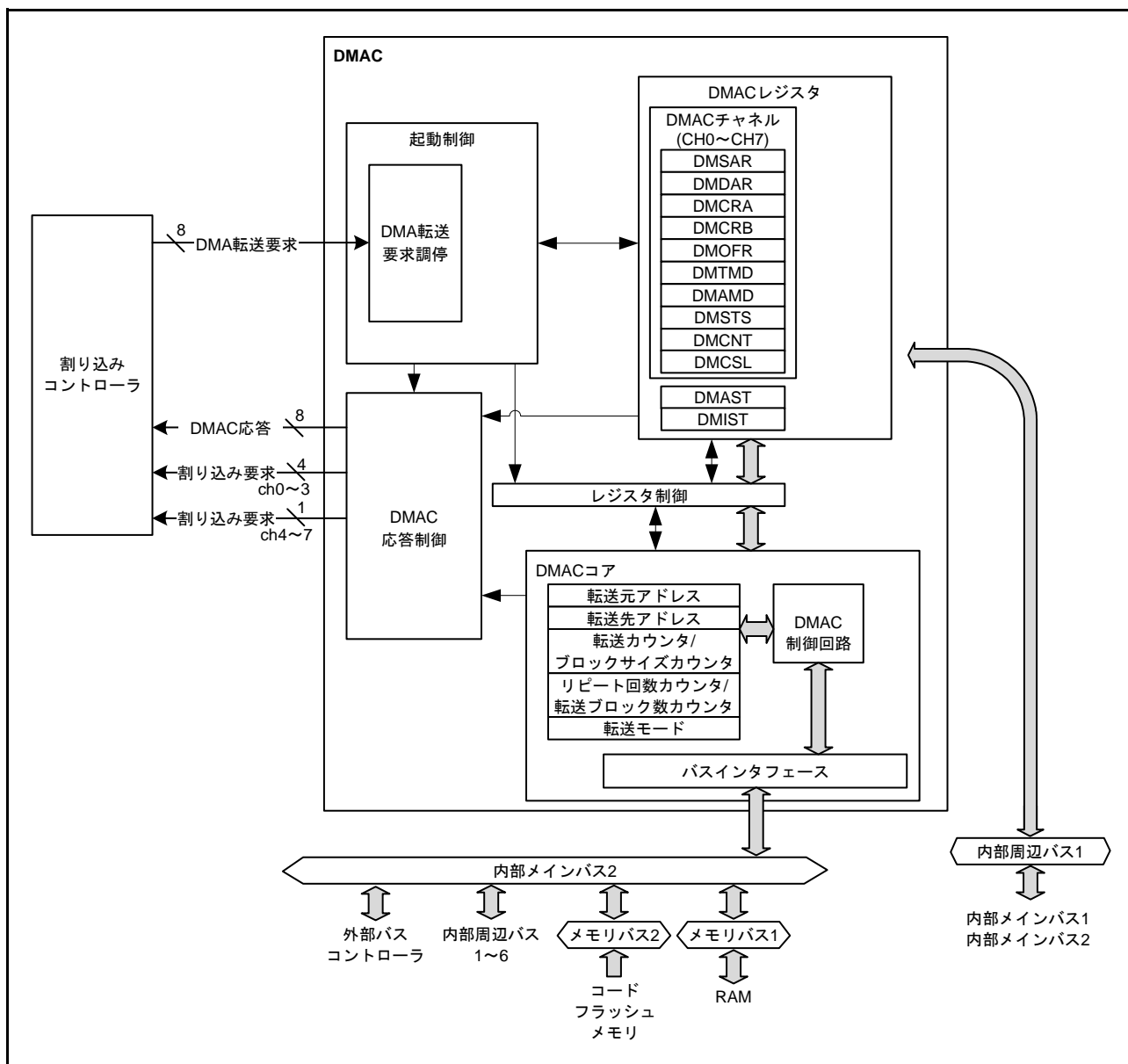
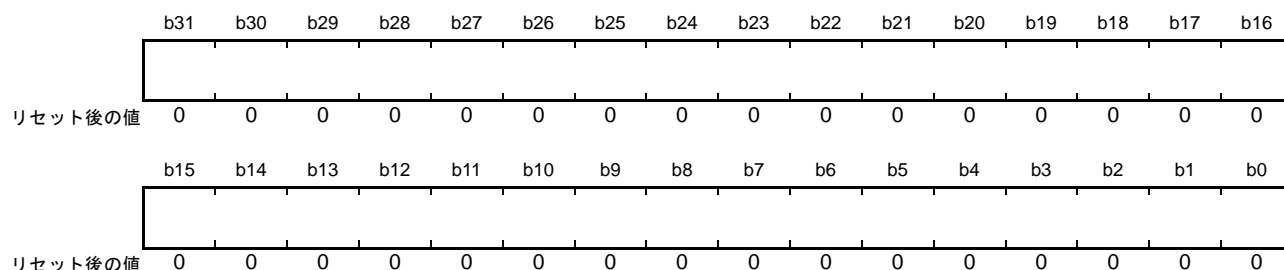


図 17.1 DMAC のブロック図

17.2 レジスタの説明

17.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス DMAC0.DMSAR 0008 2000h, DMAC1.DMSAR 0008 2040h, DMAC2.DMSAR 0008 2080h,
DMAC3.DMSAR 0008 20C0h, DMAC4.DMSAR 0008 2100h, DMAC5.DMSAR 0008 2140h,
DMAC6.DMSAR 0008 2180h, DMAC7.DMSAR 0008 21C0h



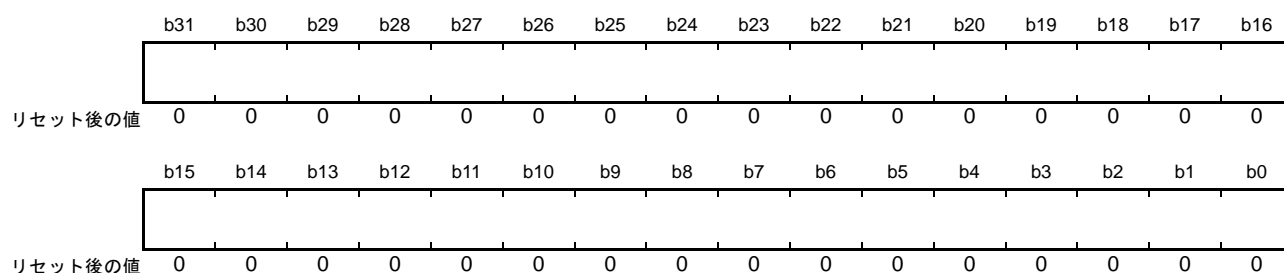
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 停止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス DMAC0.DMDAR 0008 2004h, DMAC1.DMDAR 0008 2044h, DMAC2.DMDAR 0008 2084h,
DMAC3.DMDAR 0008 20C4h, DMAC4.DMDAR 0008 2104h, DMAC5.DMDAR 0008 2144h,
DMAC6.DMDAR 0008 2184h, DMAC7.DMDAR 0008 21C4h



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

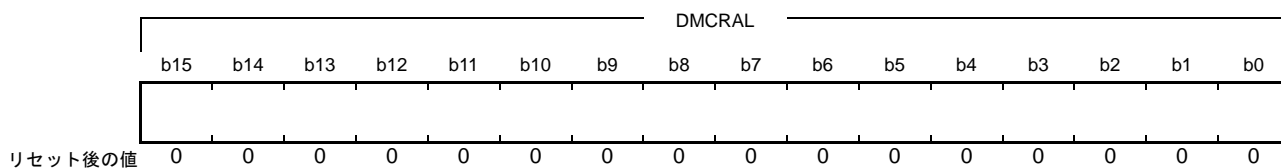
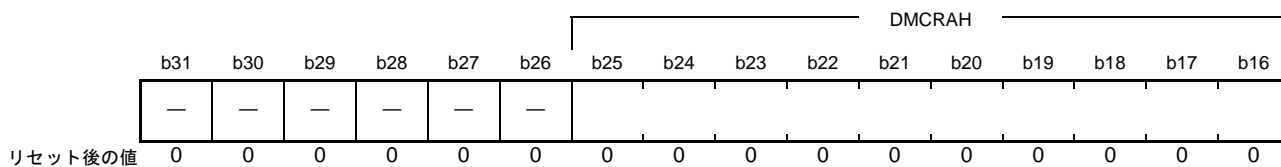
DMDAR レジスタを設定する場合は、DMAC 停止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

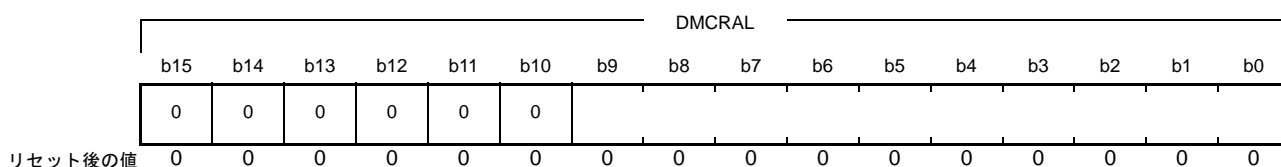
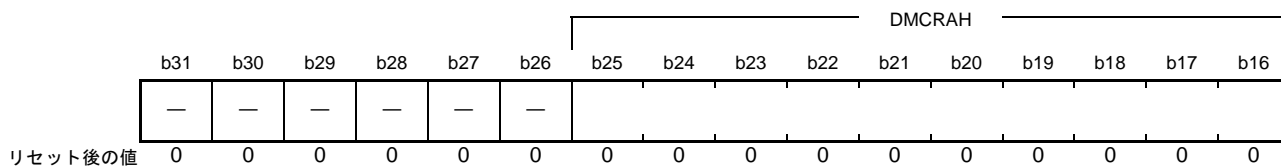
17.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス DMAC0.DMCRA 0008 2008h, DMAC1.DMCRA 0008 2048h, DMAC2.DMCRA 0008 2088h,
DMAC3.DMCRA 0008 20C8h, DMAC4.DMCRA 0008 2108h, DMAC5.DMCRA 0008 2148h,
DMAC6.DMCRA 0008 2188h, DMAC7.DMCRA 0008 21C8h

・ ノーマル転送モード



・ リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAH	転送カウント上位ビット	転送回数を設定します	R/W
DMCRAH	転送カウント下位ビット		R/W

注. リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRAHレジスタには同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAH レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント (-1) します。

設定値が“0000h”のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは“0000h”を書いてください。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] ビット = 01b) のとき

DMCRAH レジスタはリピートサイズを保持し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が“001h”のときは 1 回、“3FFh”のときは 1023 回、“000h”のときは 1024 回となります。リピート転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh (1 回 ~ 1024 回) です。

DMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ~ 10 へは“0”を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (-1) され、“000h”になると DMCRAH レジスタの値が転送されます。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき

DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

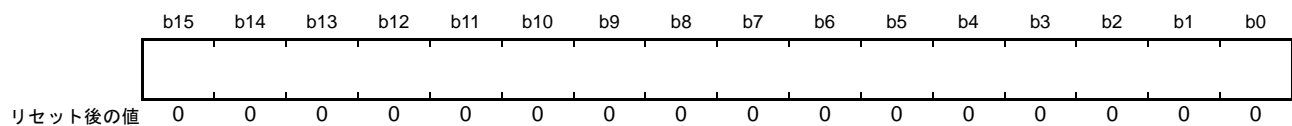
設定値が“001h”のときはブロックサイズ 1、“3FFh”のときはブロックサイズ 1023、“000h”のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ~ 3FFh です。

DMCRAL レジスタのビット 15 ~ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ~ 10 へは“0”を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント (-1) され、“000h”になると DMCRAH レジスタの値が転送されます。

17.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch, DMAC2.DMCRB 0008 208Ch,
DMAC3.DMCRB 0008 20CCh, DMAC4.DMCRB 0008 210Ch, DMAC5.DMCRB 0008 214Ch,
DMAC6.DMCRB 0008 218Ch, DMAC7.DMCRB 0008 21CCh



ビット	機能	設定範囲	R/W
b15-b0	転送ブロック数、リピート回数を設定します	0001h ~ FFFFh (1 ~ 65535 回) 0000h (65536 回)	R/W

DMCRB レジスタは、ブロック転送モード時の転送ブロック数、またはリピート転送モード時のリピート回数を指定するレジスタです。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (-1) されます。

ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

17.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 0008 2010h, DMAC1.DMTMD 0008 2050h, DMAC2.DMTMD 0008 2090h,
DMAC3.DMTMD 0008 20D0h, DMAC4.DMTMD 0008 2110h, DMAC5.DMTMD 0008 2150h,
DMAC6.DMTMD 0008 2190h, DMAC7.DMTMD 0008 21D0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0 : ソフトウェア 0 1 : 周辺モジュールおよび外部割り込み入力端子からの割り込み(注1) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0 : 8ビット転送 0 1 : 16ビット転送 1 0 : 32ビット転送 1 1 : 設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0 : 転送先側がリピート領域またはブロック領域 0 1 : 転送元側がリピート領域またはブロック領域 1 0 : リピート領域、ブロック領域は設定しない 1 1 : 設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0 : ノーマル転送 0 1 : リピート転送 1 0 : ブロック転送 1 1 : 設定しないでください	R/W

注1. DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「14. 割り込みコントローラ(ICUF)」の「表 14.5 割り込みベクタテーブル」を参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

17.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h, DMAC1.DMINT 0008 2053h, DMAC2.DMINT 0008 2093h,
DMAC3.DMINT 0008 20D3h, DMAC4.DMINT 0008 2113h, DMAC5.DMINT 0008 2153h,
DMAC6.DMINT 0008 2193h, DMAC7.DMINT 0008 21D3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0: リピートサイズ終了割り込みを禁止 1: リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0: エスケープ割り込みを禁止 1: エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0: 転送終了割り込みを禁止 1: 転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

DARIE ビットを“1”に設定したとき、転送先アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送先アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

SARIE ビットを“1”に設定したとき、転送元アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送元アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リピートサイズ終了割り込み許可ビット)

リピート転送モードにおいて、RPTIE ビットを“1”に設定したとき、1リピートサイズ分の転送終了後に DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b”(リピート領域、ブロック領域に指定しない)のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを“1”に設定したときも同様に1ブロックの転送終了後に

DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b”(リピート領域、ブロック領域に指定しない)に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求(リピートサイズ終了割り込み、拡張リピートエリアオーバーフロー割り込み)を許可または禁止します。

ESIE ビットを“1”にセットすると、DMSTS.ESIF フラグに“1”がセットされたとき、転送エスケープ終了割り込みが発生します。転送エスケープ終了割り込みは、ESIE ビットを“0”にクリアするか、DMSTS.ESIF フラグを“0”にクリアすると解除されます。

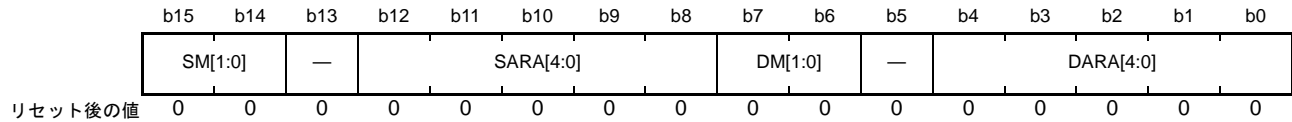
DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを“1”にセットすると、DMSTS.DTIF フラグに“1”がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを“0”にクリアするか、DMSTS.DTIF フラグを“0”にクリアすると解除されます。

17.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h, DMAC2.DMAMD 0008 2094h,
DMAC3.DMAMD 0008 20D4h, DMAC4.DMAMD 0008 2114h, DMAC5.DMAMD 0008 2154h,
DMAC6.DMAMD 0008 2194h, DMAC7.DMAMD 0008 21D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 17.2 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 17.2 を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるよう实现しています。拡張リピートエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 00b (転送先側がリピート領域またはブロック領域) に設定している場合、DARA[4:0] ビットには“00000b”を書いてください。

DMINT.DARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 17.2 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リピートエリア設定ビット)

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは固定値をとるようにして実現しています。拡張リピートエリアのサイズは2 バイトから 128M バイトまで設定可能です。設定間隔は2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b (転送元側がリピート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには“00000b”を書いてください。

DMINT.SARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 17.2 に拡張リピートエリアの設定と範囲を示します。

SM[1:0] ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき -1、DMTMD.SZ[1:0] = 01b のとき -2、DMTMD.SZ[1:0] = 10b のとき -4 されます。

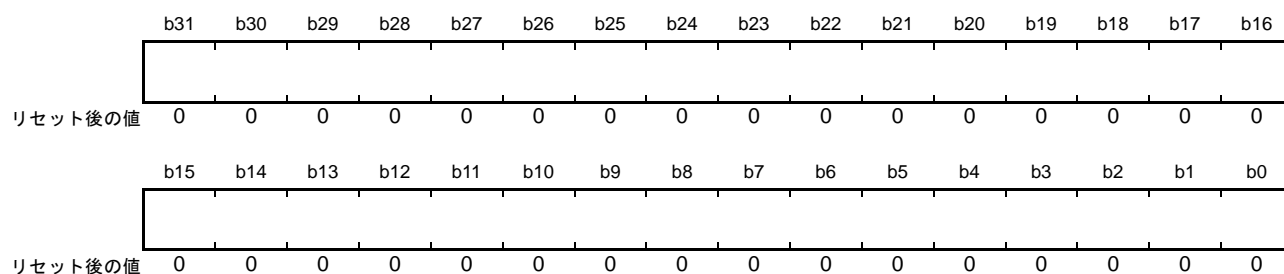
オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表 17.2 拡張リポートエリアの設定と範囲

SARA[4:0]/DARA[4:0]の値	拡張リポートエリアの範囲
00000b	拡張リポートエリアを設定しない
00001b	当該アドレスの下位1ビット(2バイト)を拡張リポートエリアに設定する
00010b	当該アドレスの下位2ビット(4バイト)を拡張リポートエリアに設定する
00011b	当該アドレスの下位3ビット(8バイト)を拡張リポートエリアに設定する
00100b	当該アドレスの下位4ビット(16バイト)を拡張リポートエリアに設定する
00101b	当該アドレスの下位5ビット(32バイト)を拡張リポートエリアに設定する
00110b	当該アドレスの下位6ビット(64バイト)を拡張リポートエリアに設定する
00111b	当該アドレスの下位7ビット(128バイト)を拡張リポートエリアに設定する
01000b	当該アドレスの下位8ビット(256バイト)を拡張リポートエリアに設定する
01001b	当該アドレスの下位9ビット(512バイト)を拡張リポートエリアに設定する
01010b	当該アドレスの下位10ビット(1Kバイト)を拡張リポートエリアに設定する
01011b	当該アドレスの下位11ビット(2Kバイト)を拡張リポートエリアに設定する
01100b	当該アドレスの下位12ビット(4Kバイト)を拡張リポートエリアに設定する
01101b	当該アドレスの下位13ビット(8Kバイト)を拡張リポートエリアに設定する
01110b	当該アドレスの下位14ビット(16Kバイト)を拡張リポートエリアに設定する
01111b	当該アドレスの下位15ビット(32Kバイト)を拡張リポートエリアに設定する
10000b	当該アドレスの下位16ビット(64Kバイト)を拡張リポートエリアに設定する
10001b	当該アドレスの下位17ビット(128Kバイト)を拡張リポートエリアに設定する
10010b	当該アドレスの下位18ビット(256Kバイト)を拡張リポートエリアに設定する
10011b	当該アドレスの下位19ビット(512Kバイト)を拡張リポートエリアに設定する
10100b	当該アドレスの下位20ビット(1Mバイト)を拡張リポートエリアに設定する
10101b	当該アドレスの下位21ビット(2Mバイト)を拡張リポートエリアに設定する
10110b	当該アドレスの下位22ビット(4Mバイト)を拡張リポートエリアに設定する
10111b	当該アドレスの下位23ビット(8Mバイト)を拡張リポートエリアに設定する
11000b	当該アドレスの下位24ビット(16Mバイト)を拡張リポートエリアに設定する
11001b	当該アドレスの下位25ビット(32Mバイト)を拡張リポートエリアに設定する
11010b	当該アドレスの下位26ビット(64Mバイト)を拡張リポートエリアに設定する
11011b	当該アドレスの下位27ビット(128Mバイト)を拡張リポートエリアに設定する
11100b~11111b	設定しないでください

17.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h



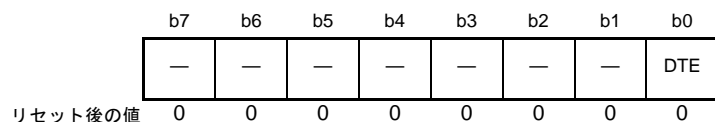
ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h~00FFFFFFh (0バイト~(16M-1)バイト) FF000000h~FFFFFFFFh (-16Mバイト~-1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ~ 25 への設定値は無効です、ビット 31 ~ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch, DMAC1.DMCNT 0008 205Ch, DMAC2.DMCNT 0008 209Ch,
DMAC3.DMCNT 0008 20DCh, DMAC4.DMCNT 0008 211Ch, DMAC5.DMCNT 0008 215Ch,
DMAC6.DMCNT 0008 219Ch, DMAC7.DMCNT 0008 21DCh



ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可ビット	0 : DMA 転送を禁止 1 : DMA 転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが“1” (DMAC 動作) で、DTE ビットが“1” (DMA 転送を許可) のとき、対応するチャンネルの DMA 転送を開始することができます。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リピートエリアオーバフロー割り込みにより DMA 転送が停止したとき

17.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh, DMAC1.DMREQ 0008 205Dh, DMAC2.DMREQ 0008 209Dh,
DMAC3.DMREQ 0008 20DDh, DMAC4.DMREQ 0008 211Dh, DMAC5.DMREQ 0008 215Dh,
DMAC6.DMREQ 0008 219Dh, DMAC7.DMREQ 0008 21DDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CLRS	—	—	—	SWREQ

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0 : DMA転送要求なし 1 : DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択	0 : ソフトウェア起動後にSWREQビットをクリアする 1 : ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに“1”を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが“0”に設定されている場合、SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合、SWREQ ビットは“0”にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを“00b” (DMAC 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが“00b”以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが“0”でソフトウェア起動を行う場合、SWREQ ビットが“0”であることを確認してから SWREQ ビットに“1”を書いてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- CLRS ビットが“0” (ソフトウェア起動後に SWREQ ビットをクリアする) に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0”を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ“1”書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを“0”にクリアするかしないを設定します。CLRS ビットが“0”に設定されている場合、転送が開始されると SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合は、SWREQ ビットは“0”クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

17.2.11 DMAステータスレジスタ(DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh, DMAC1.DMSTS 0008 205Eh, DMAC2.DMSTS 0008 209Eh,
DMAC3.DMSTS 0008 20DEh, DMAC4.DMSTS 0008 211Eh, DMAC5.DMSTS 0008 215Eh,
DMAC6.DMSTS 0008 219Eh, DMAC7.DMSTS 0008 21DEh

b7	b6	b5	b4	b3	b2	b1	b0
ACT	—	—	DTIF	—	—	—	ESIF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0: 転送エスケープ割り込み発生なし 1: 転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0: 転送終了割り込みなし 1: 転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMAアクティブフラグ	0: DMACが停止中 1: DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1”になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが“1”に設定されており、ブロック転送モードにおいて1ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外(転送元アドレスを拡張リピートエリアに指定)に設定されているときに、転送元アドレスの拡張リピートエリアオーバーフローが発生したとき
- DMINT.DARIE ビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外(転送先アドレスを拡張リピートエリアに指定)に設定されているときに、転送先アドレスの拡張リピートエリアオーバーフローが発生したとき

[“0”になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1”になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき(DMCRALレジスタが“0”になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき(DMCRBレジスタが“0”になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき(DMCRBレジスタが“0”になり転送が終了したとき)

[“0”になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

[“1”になる条件]

- DMAC が転送動作を開始したとき

[“0”になる条件]

- 1 転送要求に対する転送がすべて終了したとき

17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh, DMAC1.DMCSL 0008 205Fh, DMAC2.DMCSL 0008 209Fh,
DMAC3.DMCSL 0008 20DFh, DMAC4.DMCSL 0008 211Fh, DMAC5.DMCSL 0008 215Fh,
DMAC6.DMCSL 0008 219Fh, DMAC7.DMCSL 0008 21DFh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DISEL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0：転送開始時に起動要因となった割り込みフラグを“0”クリアする 1：転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを“0”クリアするか、割り込みフラグによりCPUへ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

17.2.13 DMAC モジュール起動レジスタ (DMAST)

アドレス 0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0 : DMAC停止 1 : DMAC動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットを“1”にすると、DMAC の全チャンネルが転送要求を受け付けるようになります。

複数チャンネルの DMACm.DMCNT.DTE ビットに“1”(DMA 転送を許可)を書いた後に DMST ビットを“1”(DMAC 動作)にすると、複数チャンネルを同時に転送要求受け付け可能状態にすることができます。

また、DMA 転送中に DMST ビットを“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に全チャンネルの DMA 転送動作が停止します。この状態で、再度 DMST ビットを“1”にすると継続して DMA 転送を行うことができます。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき

17.2.14 DMAC74 割り込みステータスマニタレジスタ (DMIST)

アドレス 0008 2204h

b7	b6	b5	b4	b3	b2	b1	b0
DMIS7	DMIS6	DMIS5	DMIS4	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効です。	R
b4	DMIS4	DMAC4割り込みステータスフラグ	0 : DMAC4割り込み要求なし 1 : DMAC4割り込み要求あり	R
b5	DMIS5	DMAC5割り込みステータスフラグ	0 : DMAC5割り込み要求なし 1 : DMAC5割り込み要求あり	R
b6	DMIS6	DMAC6割り込みステータスフラグ	0 : DMAC6割り込み要求なし 1 : DMAC6割り込み要求あり	R
b7	DMIS7	DMAC7割り込みステータスフラグ	0 : DMAC7割り込み要求なし 1 : DMAC7割り込み要求あり	R

DMIS_m フラグ (DMAC_m 割り込みステータスフラグ) (m = 4 ~ 7)

DMAC_m の割り込み要求をモニタするフラグです。書き込みは無視されます。

DMAC_m.DMINT.DTIE ビットが“1”かつ DMAC_m.DMSTS.DTIF フラグが“1”のとき、もしくは、DMAC_m.DMINT.ESIE ビットが“1”、かつ、DMAC_m.DMSTS.ESIF フラグが“1”のとき、DMIST.DMIS_m フラグは“1”になります。

17.3 動作説明

17.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。DMACm.DMCRALレジスタの設定により、最大65535データの指定転送回数を設定できます。また、DMACm.DMCRALレジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います(フリーランニングモード)。DMACm.DMCRAHレジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表17.3に、ノーマル転送モードの動作を図17.2に示します。

表17.3 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMCRAL	転送カウンタ	1減算/更新なし(フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)

注1. オフセット加算はDMAC0のみ指定可能です。

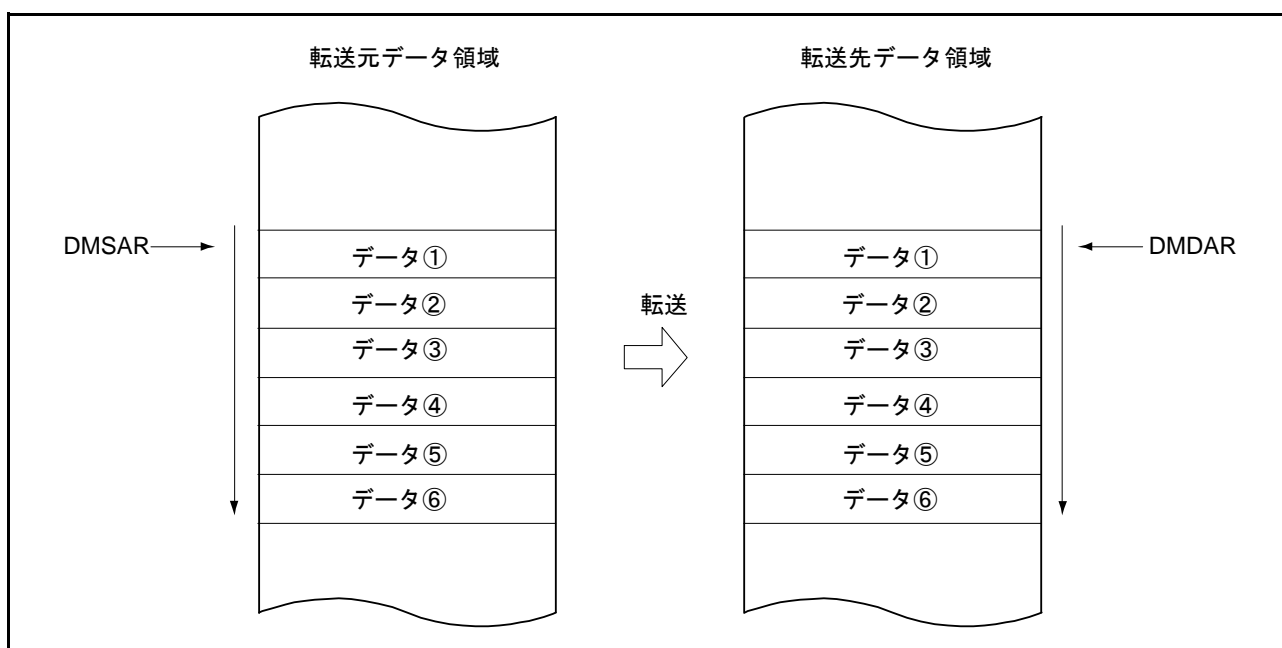


図17.2 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMACm.DMCRA レジスタで最大1Kデータのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大64K回の指定リピート回数を設定できます。総データ転送数は最大1Kデータ×64Kリピート回数=64Mデータの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ(DMACm.DMSARまたはDMACm.DMDAR)は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTEビットに“1”を書き込むとDMA転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表17.4に、リピート転送モードの動作を図17.3に示します。

表17.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRALレジスタが1以外のとき	DMACm.DMCRALレジスタが1のとき (リピートサイズの最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/ オフセット加算(注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/ オフセット加算(注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算(注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/ オフセット加算(注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/ オフセット加算(注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算(注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウンタ	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウンタ	保持	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

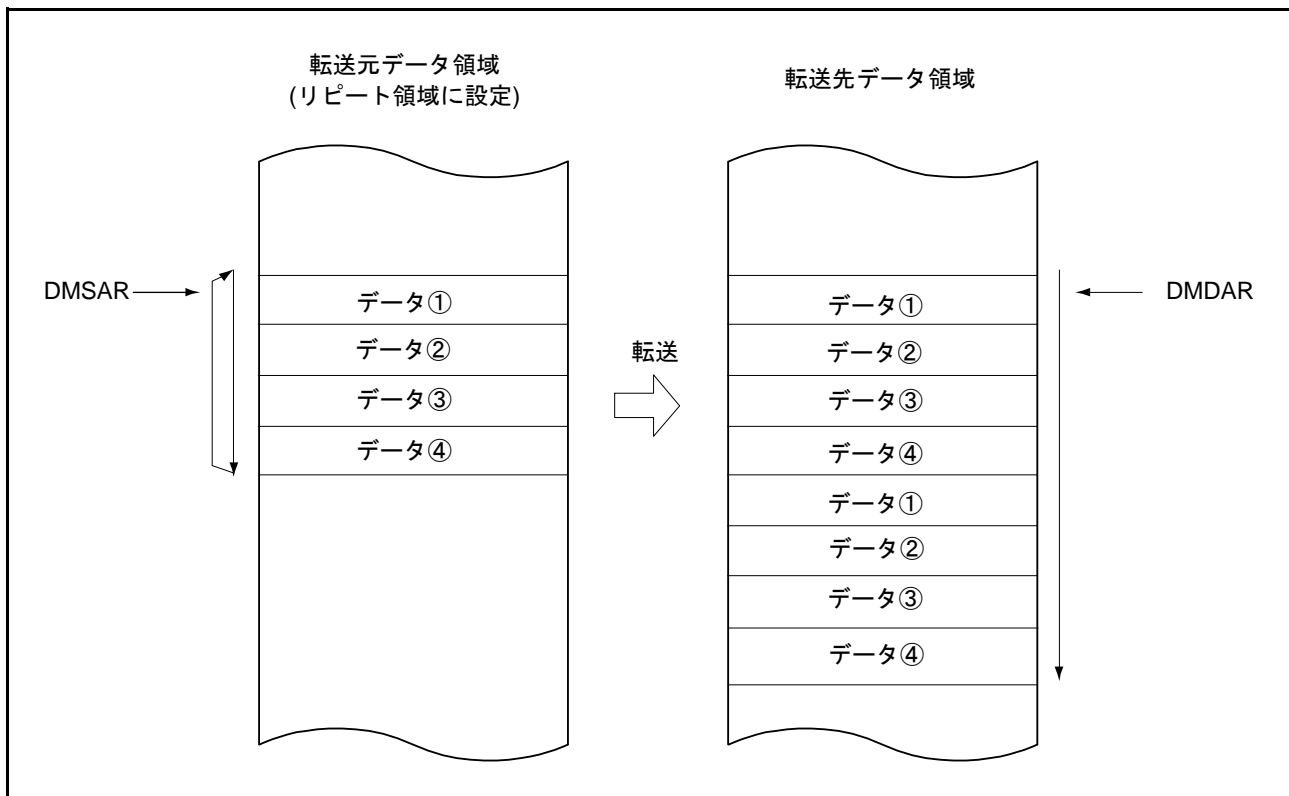


図 17.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 64K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 64K ブロック回数 = 64M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 17.5 に、ブロック転送モードの動作を図 17.4 に示します。

表 17.5 ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	ブロックサイズカウンタ	DMACm.DMCRAH
DMACm.DMCRB	転送ブロック数カウンタ	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

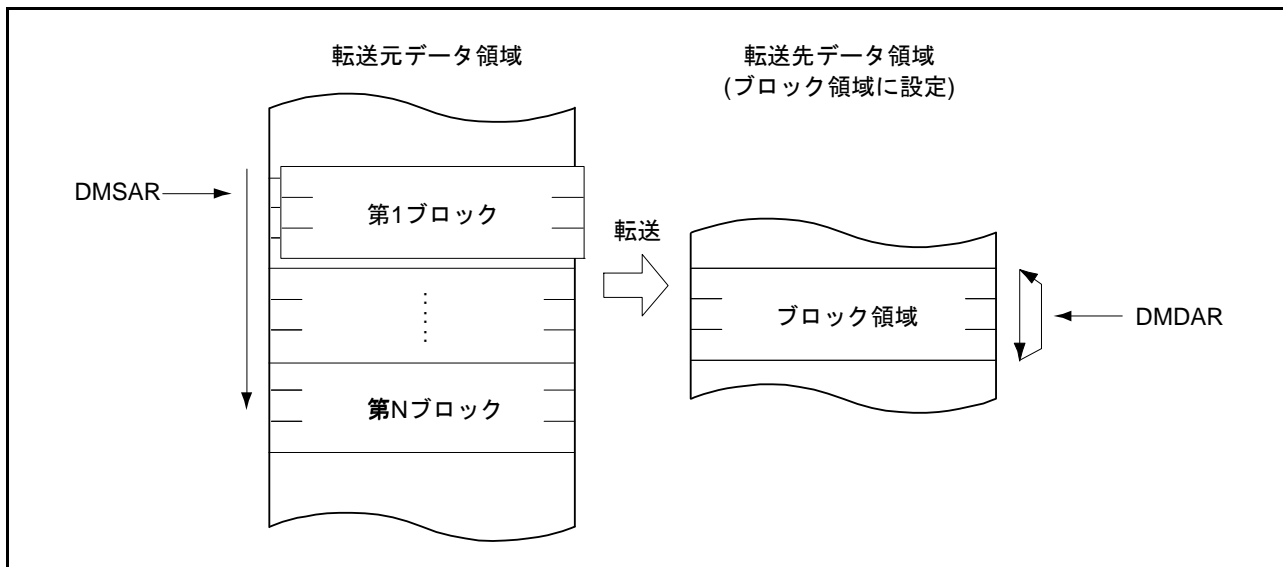


図 17.4 ブロック転送モードの動作

17.3.2 拡張リピートエリア機能

DMACには転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSARレジスタ(転送元アドレスレジスタ)、DMACm.DMDARレジスタ(転送先アドレスレジスタ)に独立して設定できます。

転送元アドレスの拡張リピートエリアはDMACm.DMAMD.SARA[4:0]ビットで設定します。転送先アドレスの拡張リピートエリアはDMACm.DMAMD.DARA[4:0]ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア(転送元または転送先)を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA転送を一時停止させて、拡張リピートエリアオーバーフロー割り込み要求が発生することができます。DMACm.DMINT.SARIEビットを“1”にすると、転送元アドレスの拡張リピートエリアがオーバーフローしたときにDMACm.DMSTS.ESIFフラグが“1”になり、DMACm.DMCNT.DTEビットを“0”にしてDMA転送を終了します。このとき、DMACm.DMINT.ESIEビットが“1”になっていると、拡張リピートエリアオーバーフロー割り込み要求が発生します。

DMACm.DMINT.DARIEビットを“1”にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバーフロー割り込み処理で、DMACm.DMCNT.DTEビットを“1”にすると、DMA転送を再開することができます。

図17.5に拡張リピートエリア機能の例を示します。

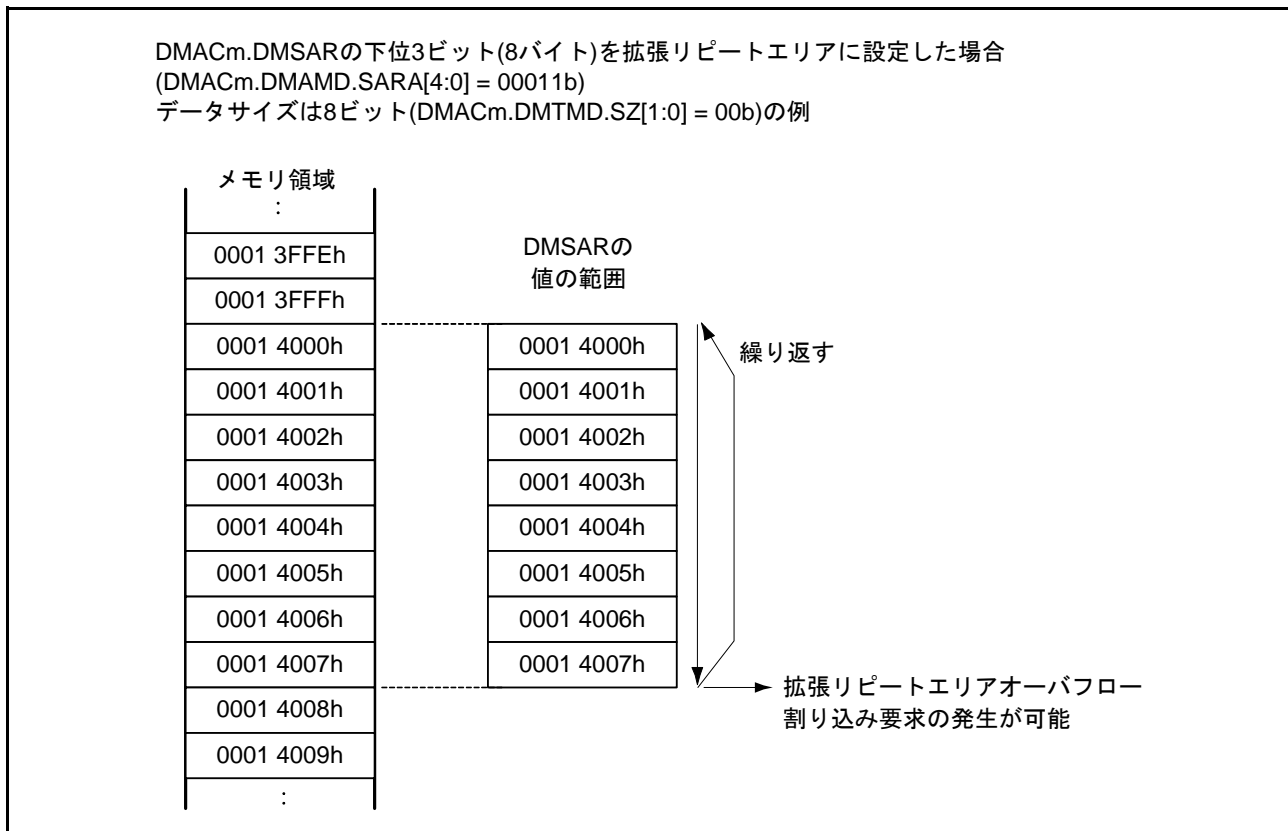


図 17.5 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックのデータを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックのデータ転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

図 17.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

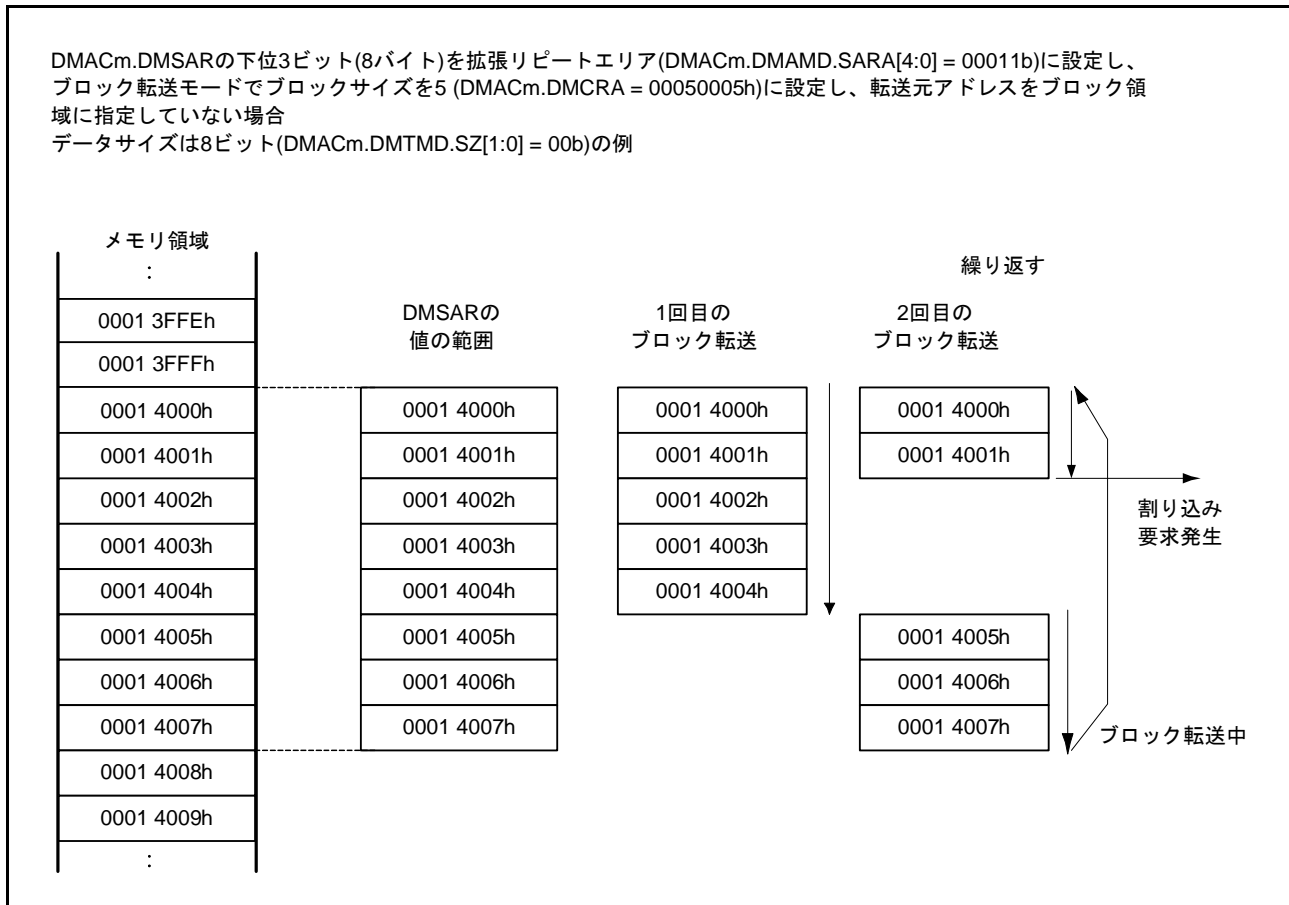


図 17.6 ブロック転送モードと拡張リピートエリア機能を併用した例

17.3.3 オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定/インクリメント/デクリメントの他にオフセット加算があります。オフセット加算では、1データの転送を行うたびにDMA オフセットレジスタ(DMAC0.DMOFR)に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR レジスタに2の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャンネルはDMAC0のみです。

各アドレス更新モードでのアドレス更新方法を表17.6に示します。

表17.6 各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0]設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1. DMAオフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = $\sim(\text{オフセット値}) + 1$ (\sim : ビット反転)

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を図17.7に示します。

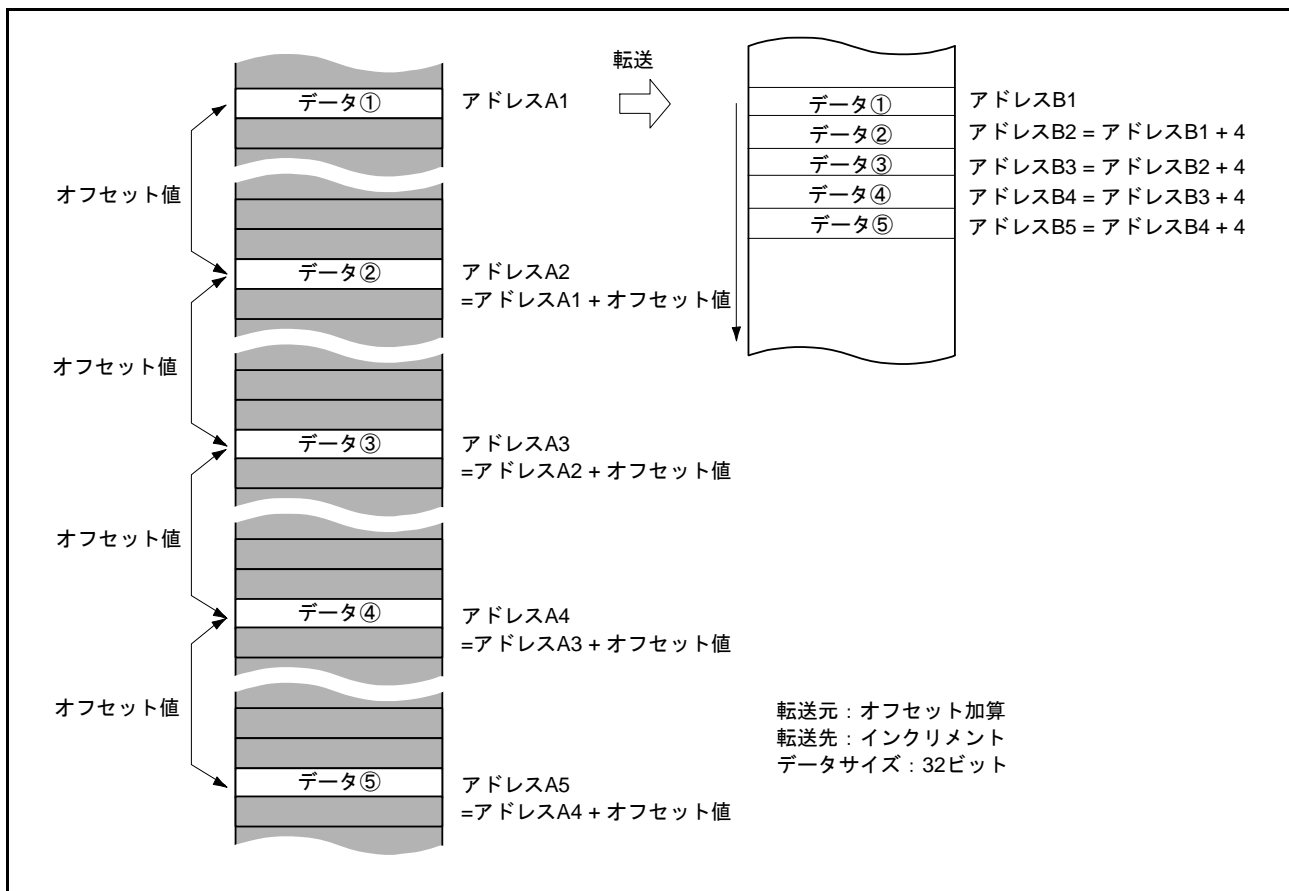


図17.7 オフセットによるアドレス更新機能の動作例

図 17.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの2回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 17.8 にリピート転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リピート転送
- DMAC0.DMTMD レジスタ：リピート領域選択ビット：転送元側がリピート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リピートサイズ：4h
- DMAC0.DMINT レジスタ：リピートサイズ終了割り込みを許可に設定

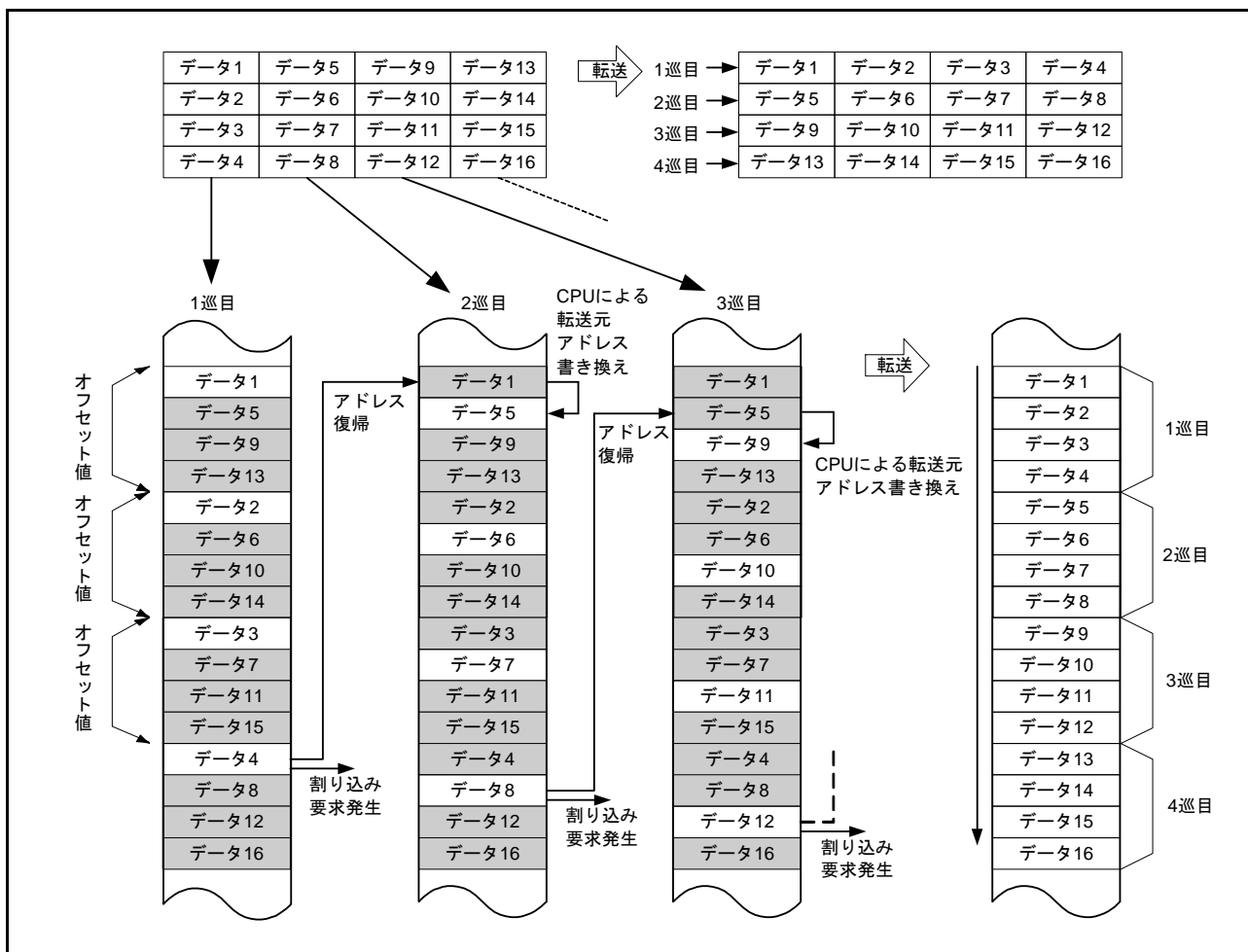


図 17.8 リピート転送モード + オフセット加算による XY 変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ 4”までのデータが転送されると、リピートサイズ分のデー

データを転送したことになり、DMACは転送元のアドレスを転送開始時のアドレス(転送元“データ1”のアドレス)に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSARレジスタ：DMA転送元アドレスを“データ5”のアドレスに書き換え
(上記の例では“データ1”のアドレスに4を加算した値に書き換え)

- DMAC0.DMCNTレジスタ：DTEビットに“1”書き込み

DMA転送が中断した状態から引き続きDMA転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先にXY変換されて転送されます。

図17.9にXY変換の処理フローを示します。

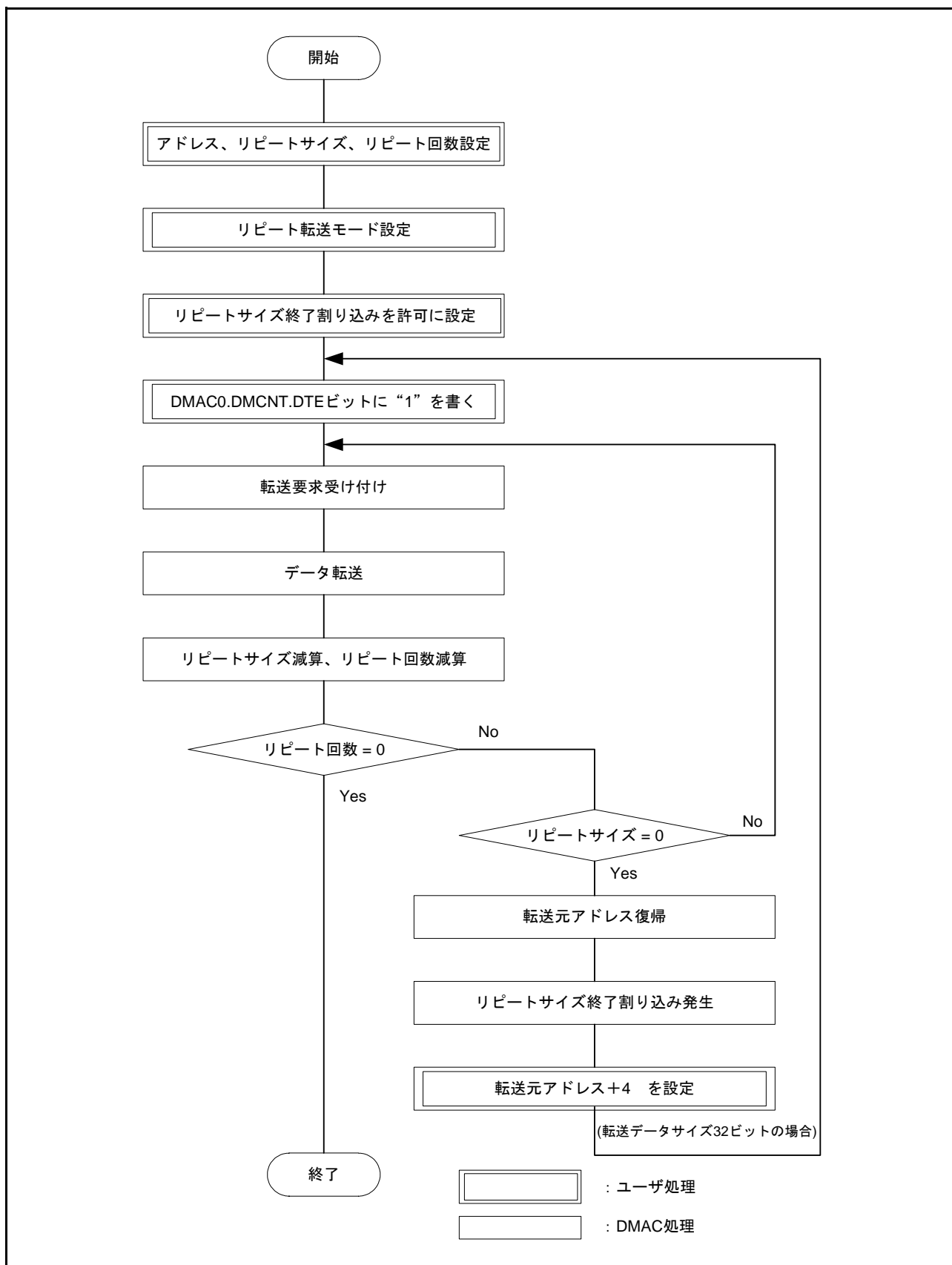


図 17.9 リピート転送モード+オフセット加算によるXY変換のフロー

17.3.4 起動要因

DMACの起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択はDMACm.DMTMD.DCTG[1:0]ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0]ビットを“00b”にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動によりDMA転送を開始するには、DMACm.DMTMD.DCTG[1:0]ビットを“00b”にした後に、DMACm.DMCNT.DTEビットを“1”(DMA転送許可)にしてください。また、DMAST.DMSTビットを“1”(DMAC動作)にしてください。その後、DMACm.DMREQ.SWREQビットに“1”(DMA転送要求あり)を書くとDMA動作が開始します。

DMACm.DMREQ.CLRSビットが“0”でソフトウェア起動を行った場合、DMA転送要求に対する転送が開始されるとDMACm.DMREQ.SWREQビットが“0”になります。DMACm.DMREQ.CLRSビットが“1”でソフトウェア起動を行った場合は、転送を開始してもDMACm.DMREQ.SWREQビットは“0”になりません。要求に対する転送終了後、再びDMA転送要求が発生します。

(2) 周辺モジュール/外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求をDMA転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ(ICU)のICU.DMRSRmレジスタ(m=0~7)で選択します。チャンネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求によりDMAを起動するには、DMACm.DMTMD.DCTG[1:0]ビットを“01b”(周辺モジュールおよび外部割り込み端子からの割り込み)にした後に、DMACm.DMCNT.DTEビットを“1”(DMA転送を許可)にしてください。また、DMAST.DMSTビットを“1”(DMAC動作)にしてください。その後に割り込み要求が発生すると、DMA動作を開始します。

DMACの起動要因となる割り込み要因一覧は、「14. 割り込みコントローラ(ICUF)」の「表 14.5 割り込みベクタテーブル」を参照してください。

17.3.5 動作タイミング

図 17.10、図 17.11 に DMAC の動作タイミングの例を示します。

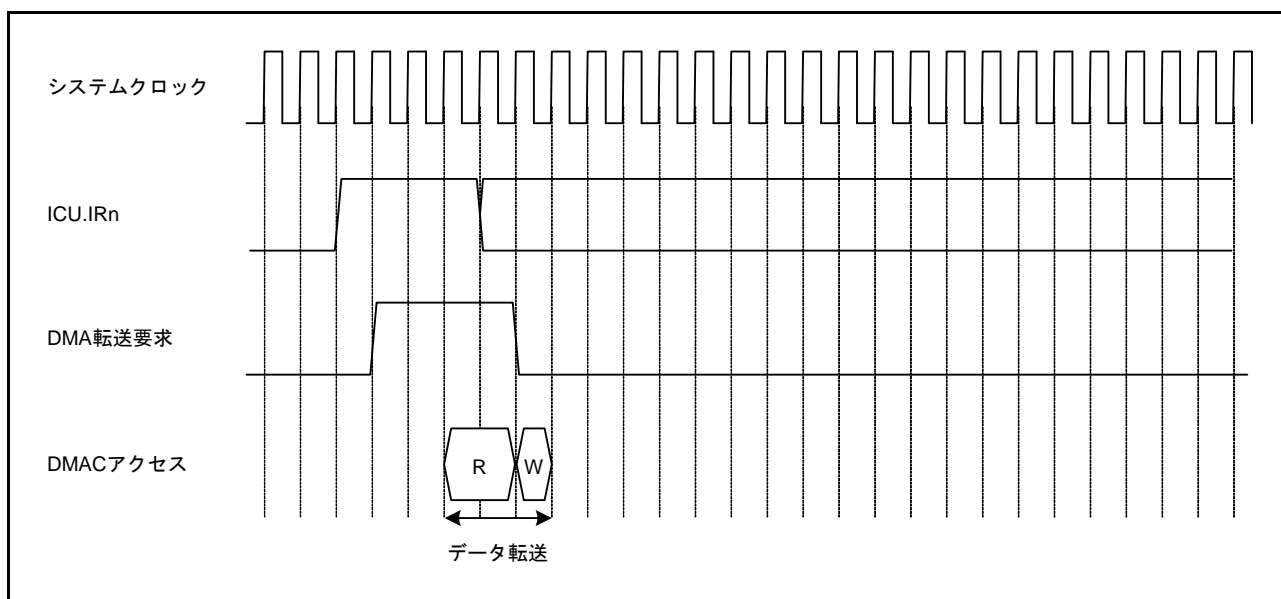


図 17.10 DMAC 動作タイミング例 (1) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 転送、ノーマル転送モード、リピート転送モードの場合)

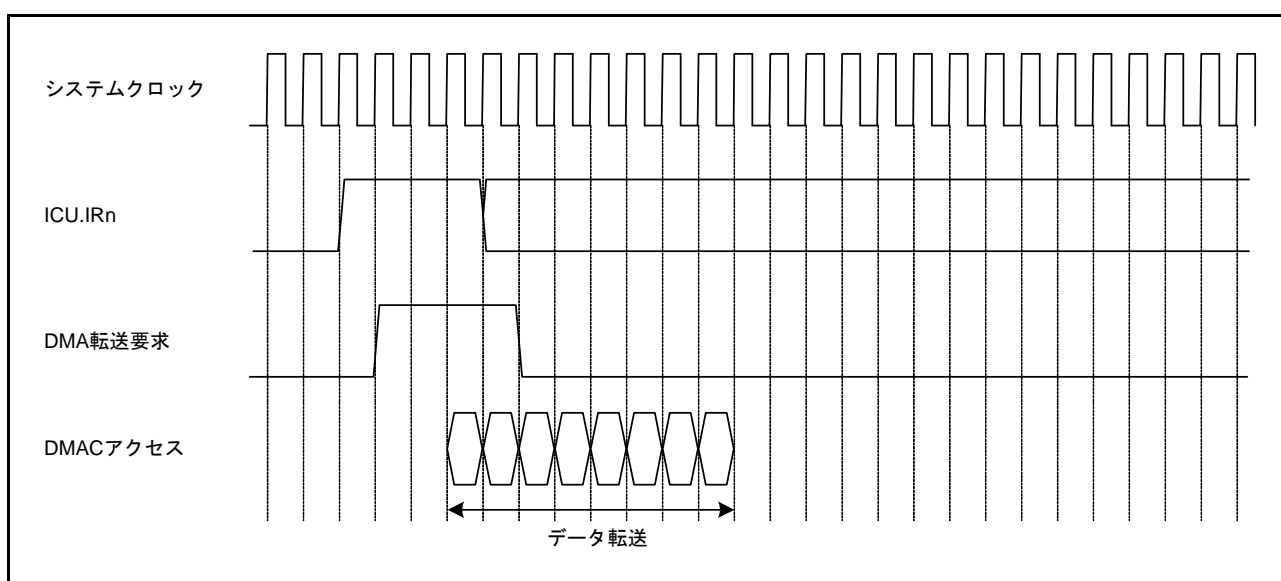


図 17.11 DMAC 動作タイミング例 (2) (周辺モジュール/外部割り込み入力端子からの割り込みによる DMA 転送、ブロック転送モード、ブロックサイズ = 4 の場合)

17.3.6 DMACの実行サイクル

表 17.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表 17.7 DMACの実行サイクル

転送モード	データ転送(リード)	データ転送(ライト)
ノーマル	Cr + 1	Cw
リピート	Cr + 1	Cw
ブロック(注1)	P × Cr	P × Cw

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (DMCRAH レジスタの設定値)

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

Cr、Cwはアクセス先で異なります。アクセス先ごとのサイクル数は、「43. RAM」、「44. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」、「15.2.6 外部バス」を参照してください。

データ転送(リード)の「+1」の単位はシステムクロック (ICLK) です。

動作例は「17.3.5 動作タイミング」を参照してください。

17.3.7 DMAC の起動

図 17.12 にレジスタの設定手順を示します。



図 17.12 レジスタの設定手順

17.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを“1”(DMA 転送許可)にして、DMAST.DMST ビットを“1”(DMAC 動作)にすると、チャンネル m (m=0~7) の DMA 転送が可能になります。

他の DMAC チャンネル、DTC の転送中は新たな転送要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT フラグが“1”(DMAC 動作中)になります。

17.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが“0”になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバーフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが“1”になっているチャンネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに“0”を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMAC_m.DMSTS.ACT)

DMAC_m が停止中か動作中であることを示します。DMAC_m.DMSTS.ACT フラグは DMAC が転送動作を開始すると“1”にセットされ、1 転送要求に対するデータ転送を終了すると“0”になります。

DMA 転送中に DMAC_m.DMCNT.DTE ビットに“0”をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで“1”を保持します。

(7) 転送終了割り込みフラグ (DMAC_m.DMSTS.DTIF)

DMA 転送によって総転送サイズ分の転送を終了すると、DMAC_m.DMSTS.DTIF フラグは“1”にセットされます。

DMAC_m.DMSTS.DTIF フラグが“1”にセットされ、DMAC_m.DMINT.DTIE ビットが“1”にセットされていると転送終了割り込み要求を発生します。

DMAC_m.DMSTS.DTIF フラグが“1”にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMAC_m.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMAC_m.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMAC_m.DMSTS.DTIF フラグが“0”クリアされます。

(8) 転送エスケープ割り込みフラグ (DMAC_m.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMAC_m.DMSTS.ESIF フラグは“1”にセットされます。DMAC_m.DMSTS.ESIF フラグが“1”にセットされ、DMAC_m.DMINT.ESIE ビットが“1”にセットされていると転送エスケープ割り込み要求を発生します。

DMAC_m.DMSTS.ESIF フラグに“1”がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMAC_m.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMAC_m.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMAC_m.DMSTS.ESIF フラグが“0”にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

17.3.10 チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 > チャネル 4 > チャネル 5 > チャネル 6 > チャネル 7 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行い、優先順位の高いチャネルの転送が開始されます。

17.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが“1”から“0”になり、DMA 転送が終了したことを示します。

17.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

17.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが“1”にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを“1”にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求が発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

17.4.3 拡張リピートエリアオーバーフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが“1”にセットされているときに、アドレスの拡張リピートエリアがオーバーフローすると、拡張リピートエリアオーバーフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバーフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバーフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバーフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

17.5 割り込み

DMACはチャンネルごとに、1要求分の転送完了後にCPUまたはDTCに割り込み要求を出力させることができます。転送先が外部バス、または内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を表17.8に、割り込み出力の概略論理図(DMAC0～DMAC3)を図17.13に、割り込み出力の概略論理図(DMAC4～DMAC7)を図17.14に示します。また、DMAC割り込み処理で、DMA転送を再開/中止する手順を図17.15に示します。

表17.8 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピートエリアオーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピートエリアオーバーフロー	DMACm.DMINT.DARIE		

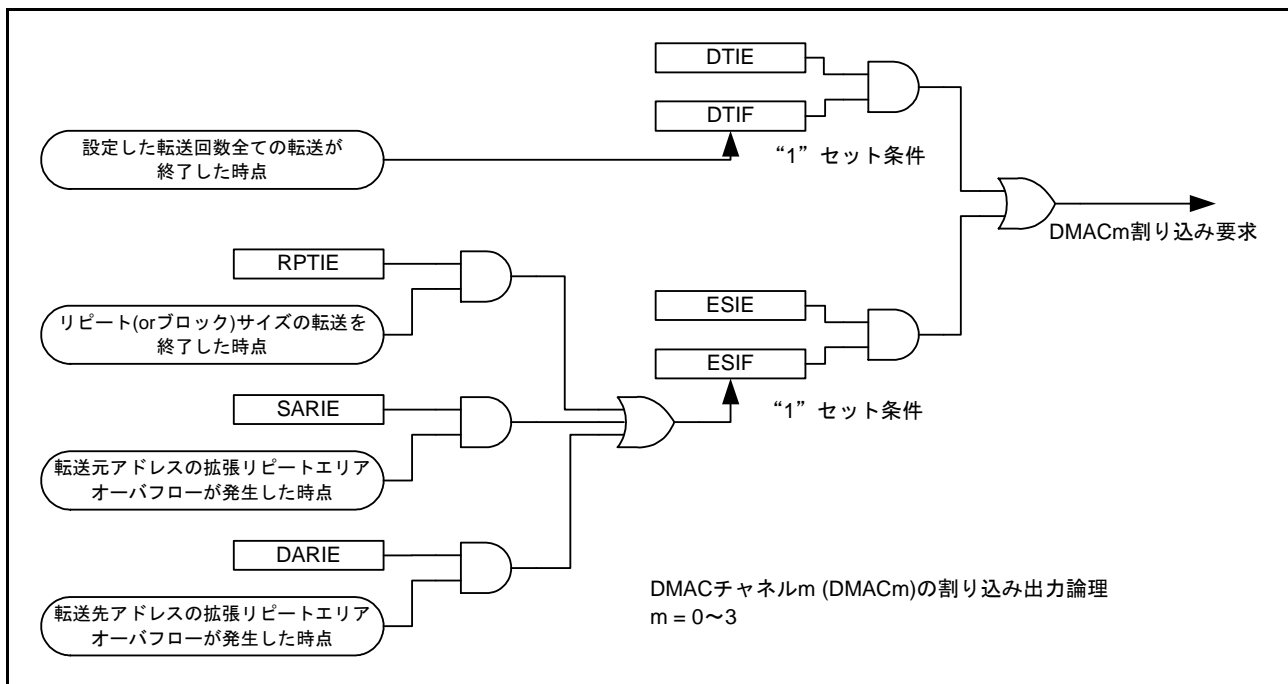


図 17.13 割り込み出力の概略論理図 (DMAC0 ~ DMAC3)

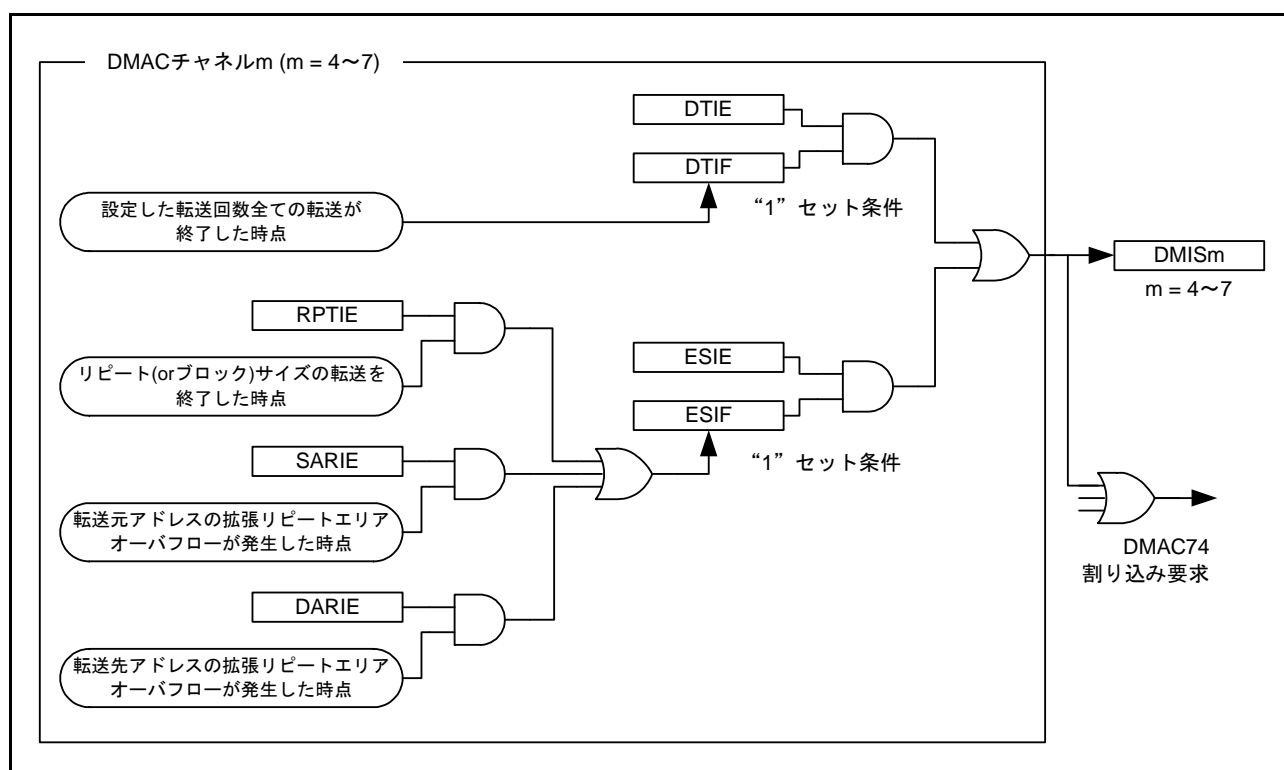


図 17.14 割り込み出力の概略論理図 (DMAC4 ~ DMAC7)

割り込み処理ルーチンで、割り込みを解除して DMA 転送を再開する方法は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA 転送を終了または中止させる場合

転送終了割り込みの場合は DMACm.DMSTS.DTIF フラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバーフロー割り込みの場合は DMACm.DMSTS.ESIF フラグに“0”を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTE ビットに“1” (DMA 転送許可) を書き込んでください。

(2) DMA 転送を継続させる場合

DMACm.DMCNT.DTE ビットに“1”を書き込んでください。自動的に DMACm.DMSTS.ESIF フラグが“0”にクリア (割り込み要因がクリア) され、転送が再開します。

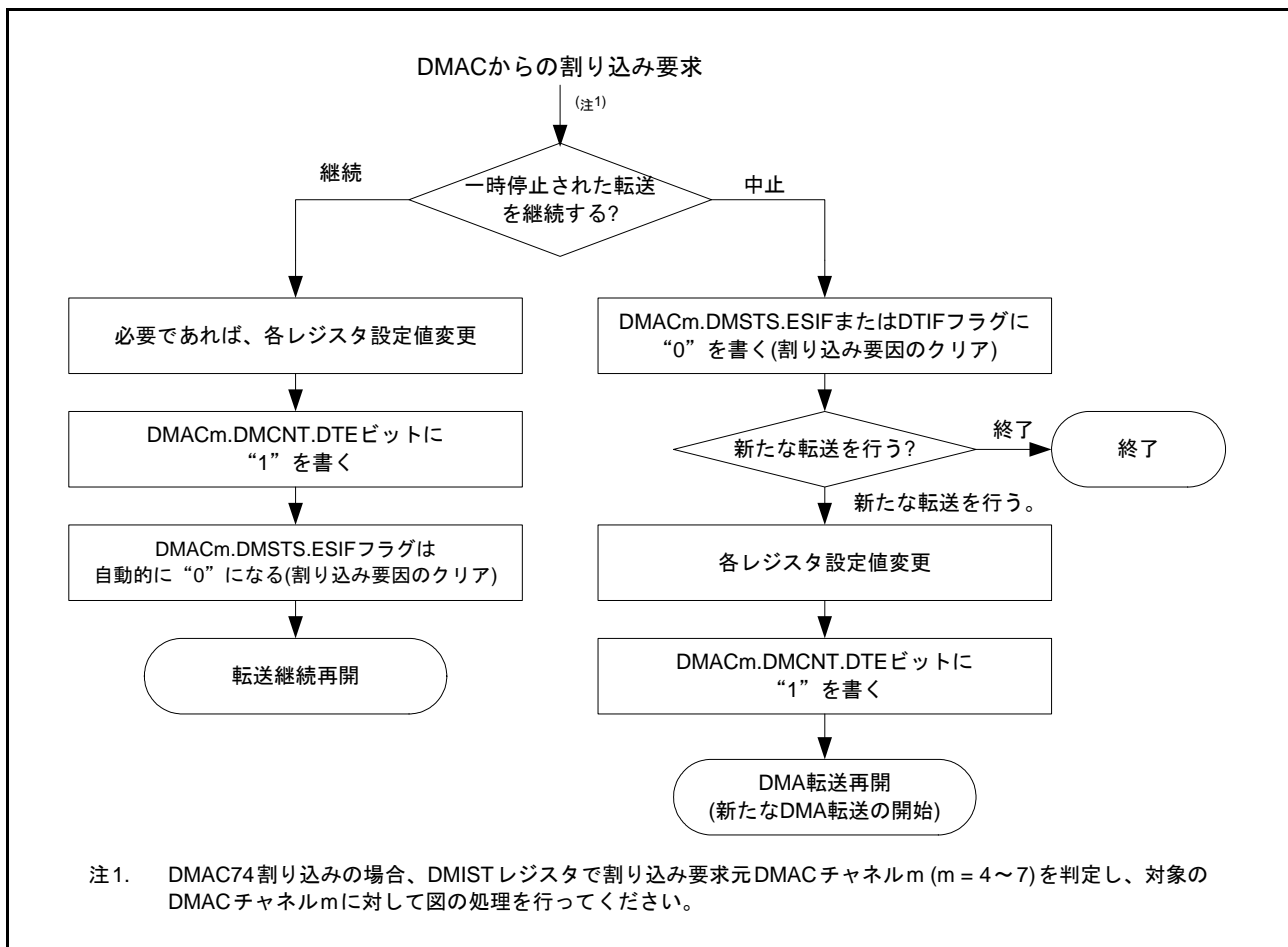


図 17.15 DMAC 割り込み処理で DMA 転送を再開 / 中止する手順

17.6 イベントリンク

各 DMAC チャンネルは、1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を出力します。ただし、転送先が「外部バス」、もしくは、「内部周辺バス」の場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求を発行します。

17.7 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに“0”(DMAC 停止)を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1”(モジュールストップ状態への遷移)を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1”を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1”のとき、DMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0”(モジュールストップ状態の解除)を書くことにより、DMAC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.5.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0”を書くことにより、DMAC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.5.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.5.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.6.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに“1”を書いてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ(ICUF)」の「14.7.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

17.8 使用上の注意事項

17.8.1 外部デバイスを使用する場合

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

17.8.2 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

17.8.3 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが“1” (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが“1” (DMA 転送許可) の状態で、同じチャンネルの設定レジスタ (DMSAR, DMDAR, DMCRA, DMCRB, DMTMD, DMINT, DMAMD, DMOFR, DMCSL) への書き込みは行わないでください。

17.8.4 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4. アドレス空間」を参照してください。

17.8.5 DMAC 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを“1”に設定すると、1回の DMA 転送要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に“0”クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。

割り込みフラグ、割り込み要求先変更については、「14. 割り込みコントローラ (ICUF)」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

17.8.6 割り込みコントローラの DMAC 起動要因選択レジスタ (ICU.DMRSR_m) の設定

DMAC 起動要因選択レジスタ (ICU.DMRSR_m) の設定は、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が“0” (DMA 転送を禁止) のときに行ってください。また、ICU.DMRSR_m レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 転送要求許可レジスタ (ICU.DTCER_n) を“1”にしないでください。ICU.DTCER_n、ICU.DMRSR_m レジスタの詳細は、「14. 割り込みコントローラ (ICUF)」を参照してください。

17.8.7 DMA 転送の保留 / 再開方法

DMA 転送要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IER_n.IEN_j ビット) を“0”にしてください。DMA 転送を再開する場合は「17.3.7 DMAC の起動」を設定した状態で、ICU.IER_n.IEN_j ビットを“1”にしてください。

18. データトランスファコントローラ (DTCb)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。

DTC は、割り込み要求によって起動し、データ転送を行うことができます。

DTCb では、従来の DTC の転送方式 (ノーマル転送、リピート転送、ブロック転送、チェーン転送) に加え、これらを組み合わせて一連の転送として実行するシーケンス転送をサポートしています。シーケンス転送では、最初に転送したデータの値によって、最大 256 のシーケンスの中から 1 つを選択して実行できます。また、シーケンスの組み方によって、1 つのシーケンスを複数回に分けて実行することもできます。

18.1 概要

表 18.1 に DTC の仕様を、図 18.1 に DTC のブロック図を示します。

表 18.1 DTC の仕様

項目	内容
転送チャンネル数	<ul style="list-style-type: none"> DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1つのデータを転送する リピート転送モード 1回の起動で1つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32ビットで、最大1024バイト転送可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256 × 32ビット = 1024バイト設定可能
チェーン転送機能	<ul style="list-style-type: none"> 1回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
シーケンス転送	<p>複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能</p> <ul style="list-style-type: none"> シーケンス転送の起動要因は同時に1つのみ選択可能 シーケンスは、1つの起動要因に対し最大256通り 転送要求によって最初に転送されたデータがシーケンスを決定 シーケンスは、1回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき16Mバイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) フルアドレスモードのとき4Gバイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データ：1バイト(8ビット)、1ワード(16ビット)、1ロングワード(32ビット) 1ブロックサイズ：1~256データ
CPU 割り込み要求	<ul style="list-style-type: none"> DTC を起動した割り込みで CPU への割り込み要求を発生可能 1回のデータ転送終了後に CPU への割り込み要求を発生可能 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	転送情報のライトバックを実行しない設定が可能
ディスプレイースメント加算	転送元アドレスにディスプレイースメントを加算可能(転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への遷移が可能

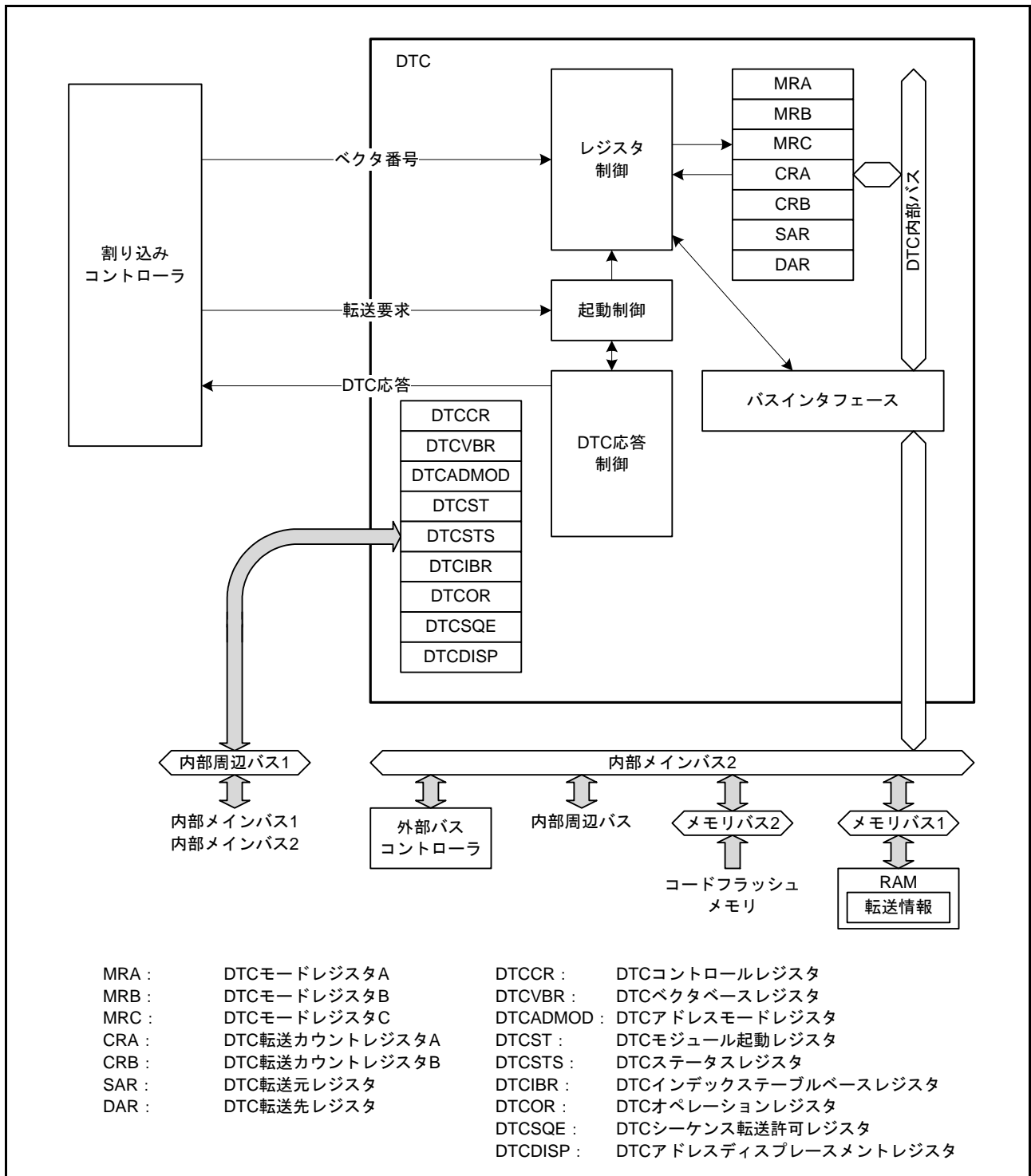


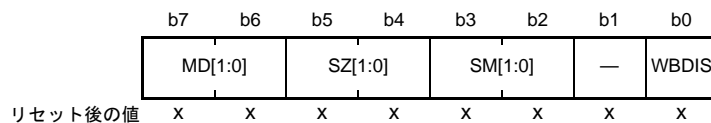
図 18.1 DTC のブロック図

18.2 レジスタの説明

MRA、MRB、MRC、SAR、DAR、CRA、CRB レジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は転送要求を受け付けると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報として RAM 領域にライトバックされます。

18.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	WBDIS	ライトバックディスエーブルビット	0: データ転送終了時、転送情報をライトバックする 1: データ転送終了時、転送情報をライトバックしない	—
b1	—	予約ビット	"0"にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0: SAR レジスタはアドレス固定 (SAR レジスタのライトバックはスキップされます) 0 1: SAR レジスタはアドレス固定 (SAR レジスタのライトバックはスキップされます) 1 0: 転送後 SAR レジスタをインクリメント (SZ[1:0] ビットが"00b"のとき+1、 "01b"のとき+2、"10b"のとき+4) 1 1: 転送後 SAR レジスタをデクリメント (SZ[1:0] ビットが"00b"のとき-1、 "01b"のとき-2、"10b"のとき-4)	—
b5-b4	SZ[1:0]	DTC データトランスファサイズビット	b5 b4 0 0: バイト(8ビット)転送 0 1: ワード(16ビット)転送 1 0: ロングワード(32ビット)転送 1 1: 設定しないでください	—
b7-b6	MD[1:0]	DTC 転送モード選択ビット	b7 b6 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定しないでください	—

MRA レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

WBDIS ビット (ライトバックディスエーブルビット)

データ転送終了時、転送情報をライトバックするかどうかを選択します。

WBDIS ビットが "0" の場合は、更新された転送情報をライトバックします。

WBDIS ビットが "1" の場合は、転送後にアドレスがインクリメントされるような設定をしても転送情報のライトバックは行わず、転送要求ごとに毎回同じデータ転送を行います。転送情報がライトバックされないため、転送情報を ROM 上に配置することができます。

WBDIS ビットが "1" の場合、転送モードごとに下記の動作を行います。

(1) ノーマル転送モード、リピート転送モード

1回の転送要求で、1バイト、1ワード、1ロングワードの転送を行います。転送アドレス、転送回数は更新しませんので、転送要求ごとに同じ転送を繰り返します。転送回数が1の場合も

ICU.DTCERn.DTCE ビットを“0”にせず、次の転送要求でデータ転送を継続します。

(2) ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。転送アドレス、ブロック転送回数は更新しませんので、転送要求ごとに同じブロック転送を繰り返します。ブロック転送回数が1の場合も

ICU.DTCERn.DTCE ビットを“0”にせず、次の転送要求でデータ転送を継続します。

なお、MRC.DISPE ビットを“1”にする場合、WBDIS ビットも“1”(ライトバックしない)にしてください。また、WBDIS ビットを“1”にした転送情報が1つでもある場合は、DTCCR.RRS ビットを“0”(リードスキップを行わない)にしてください。

18.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	INDX	SQEND	
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	SQEND	シーケンス転送終了ビット	0 : シーケンス転送を継続 1 : シーケンス転送を終了	—
b1	INDX	インデックステーブル参照ビット	0 : インデックステーブルを参照しない 1 : 転送したデータを元にインデックステーブルを参照する(注1)	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 0 1 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 1 0 : 転送後、DAR レジスタをインクリメント (MRA.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1 : 転送後DAR レジスタをデクリメント (MRA.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0 : 転送先がリピート領域またはブロック領域 1 : 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0 : 指定した回数のデータ転送が終了したとき、CPUへの割り込み要求が発生 1 : データ転送のたびに、CPUへの割り込み要求が発生	—
b6	CHNS	DTC チェーン転送選択ビット	0 : 転送が終了するたびにチェーン転送を行う 1 : 転送カウンタが1 → 0、または1 → CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0 : チェーン転送禁止 1 : チェーン転送許可	—

注1. INDX ビットを“1”にする場合、MRA.MD[1:0] ビットを“00b” (ノーマル転送モード) にしてください。

MRB レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

SQEND ビット (シーケンス転送終了ビット)

シーケンス転送を継続するか、終了するかを選択します。詳細は表 18.2 を参照してください。

DTC インデックステーブルにより参照される転送情報でのみ“1”にできます。DTC ベクタテーブルにより参照される転送情報では“0”にしてください。

INDX ビット (インデックステーブル参照ビット)

INDX ビットが“1”になった転送情報が読み込まれると、シーケンス転送が開始されます。詳細は表 18.2 を参照してください。

シーケンス転送と関係のない転送情報、シーケンス転送を開始しない転送情報では“0”にしてください。また、DTCSQE レジスタに設定した要因と異なる要因の転送情報で INDX ビットを“1”にしている場合、その要因からの転送要求が発生しないようにしてください。

表 18.2 シーケンス転送におけるCHNE、SQEND、INDXビットの設定値とDTCの動作

CHNEビット	SQENDビット	INDXビット	動作	使用場所
0	0	1	シーケンス転送を開始	DTCSQEレジスタに設定した要因からの転送要求によって、最初に読み込まれる転送情報で使用
1	0	0	シーケンス転送を継続	シーケンス内の最初または途中の転送情報で使用
0	0	0	シーケンス転送を一時中断	シーケンス内の最初または途中の転送情報で使用
0	1	0	シーケンス転送を終了	シーケンス内の最後の転送情報で使用
0	1	1	シーケンス転送を終了し、新たなシーケンス転送を開始	シーケンス内の最後の転送情報で使用

注. 上記以外の設定は使用しないでください。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときは CHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 18.4 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「18.4.6 チェーン転送」を参照してください。

シーケンス転送で使用する場合の設定値については、表 18.2 を参照してください。

18.2.3 DTC モードレジスタ C (MRC)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISPE
リセット後の値	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	DISPE	ディスプレイメント加算ビット	0: 転送元アドレスにディスプレイメント値を加算しない 1: 転送元アドレスにディスプレイメント値を加算する	—
b7-b1	—	予約ビット	“0”にしてください	—

MRC レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

フルアドレスモード時のみ使用できます。ショートアドレスモードでは使用できませんので、ディスプレイメント加算機能を使う場合は DTCADM.DSHORT ビットを“0”(フルアドレスモード)にしてください。

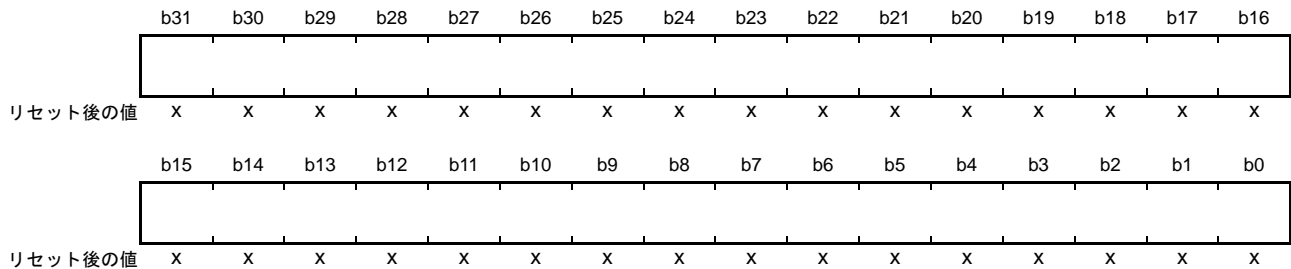
DISPE ビット (ディスプレイメント加算ビット)

転送元アドレスとして SAR + DTCDISP の値を使用するかどうかを指定します。

DISPE ビットを“1”にする場合は、MRA.WBDIS ビットを“1”(ライトバックしない)、DTCCR.RRS ビットを“0”(リードスキップを行わない)にしてください。

18.2.4 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

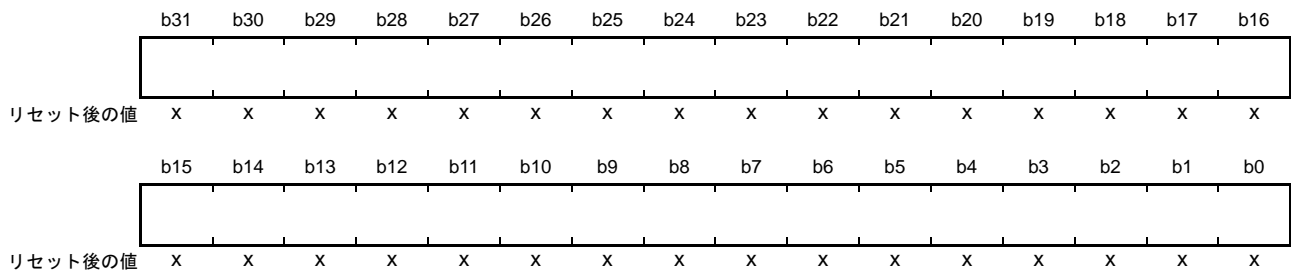
フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

18.2.5 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

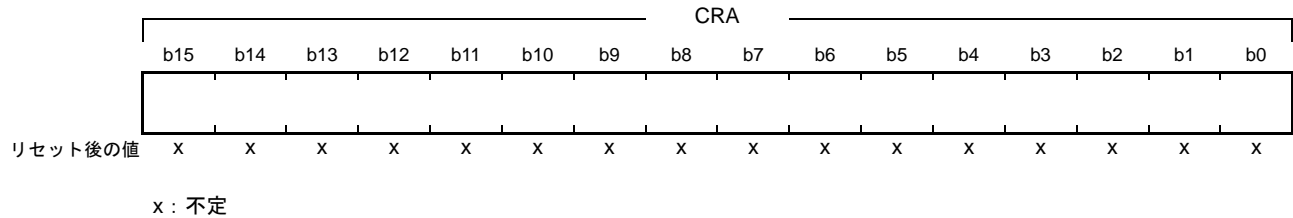
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

18.2.6 DTC 転送カウントレジスタ A (CRA)

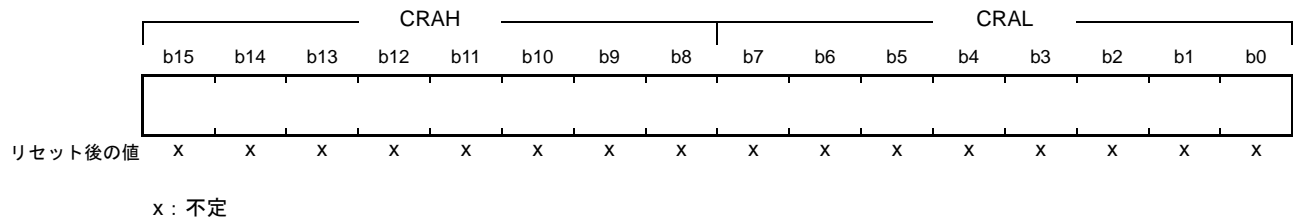
- ノーマル転送モード

アドレス (CPUから直接アクセス不可)



- リピート転送モード、ブロック転送モード

アドレス (CPUから直接アクセス不可)



シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値がリロードされます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

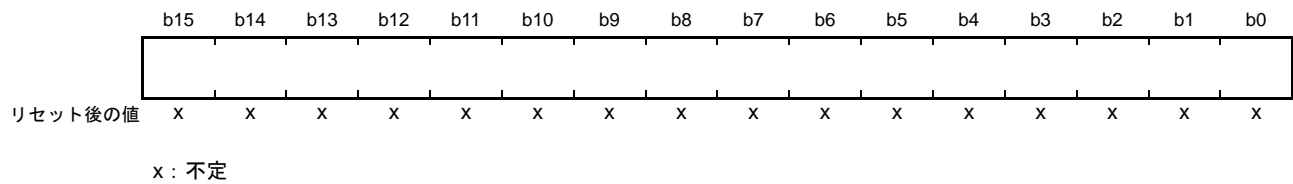
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値がリロードされます。

18.2.7 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

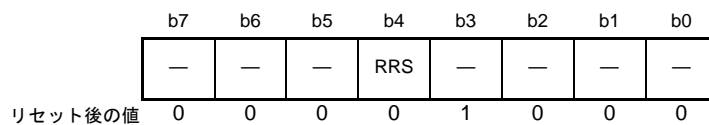
転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

18.2.8 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット(注1)	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. シーケンス転送を使用するときは、“0”にしてください。

DTCCR レジスタは、DTC の動作を制御するレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

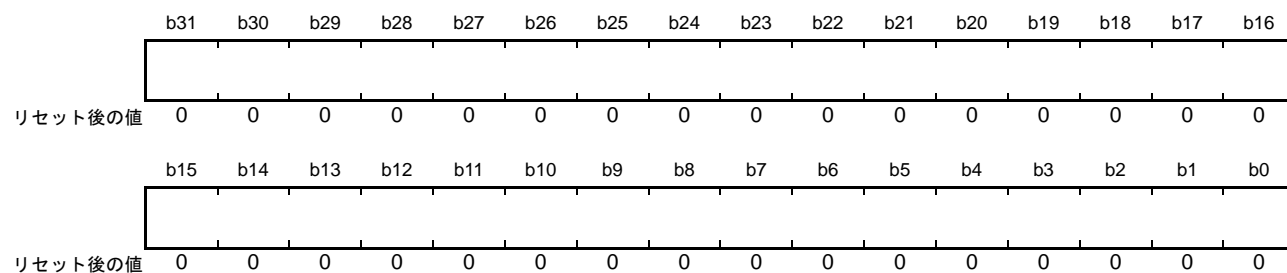
また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

MRA.WBDIS ビットを“1”にした転送情報が1つでもある場合は、RRS ビットを“0”にしてください。なお、MRC.DISPE ビットを“1”にする場合は、MRA.WBDIS ビットも“1”にする必要があります。

また、シーケンス転送は、チェーン転送と同様に複数のデータ転送を実行しますので、前回行った最後の転送を繰り返さないように、RRS ビットを“0”にして使用してください。

18.2.9 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

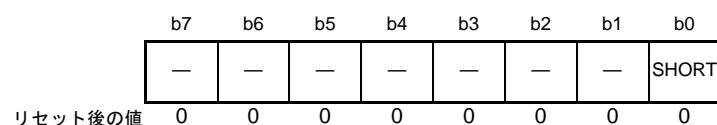


DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

18.2.10 DTC アドレスモードレジスタ (DTCADM0D)

アドレス DTC.DTCADM0D 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット (注1)	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. シーケンス転送を使用するときは、“0” (フルアドレスモード) にしてください。

DTCADM0D レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

18.2.11 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能にするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

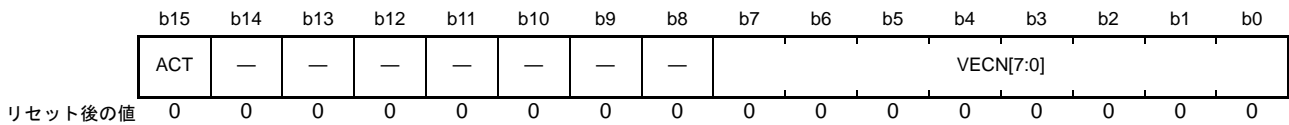
モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを“1”にすると、データ転送が再開できます。

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「18.9 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

18.2.12 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中(ACTフラグが“1”のとき)にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0: データ転送は実行していない 1: データ転送実行中	R

VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1”(データ転送実行中)であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0”(データ転送は実行していない)であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUF)」の「表 14.5 割り込みベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

データ転送の実行状態を示します。

[“1”になる条件]

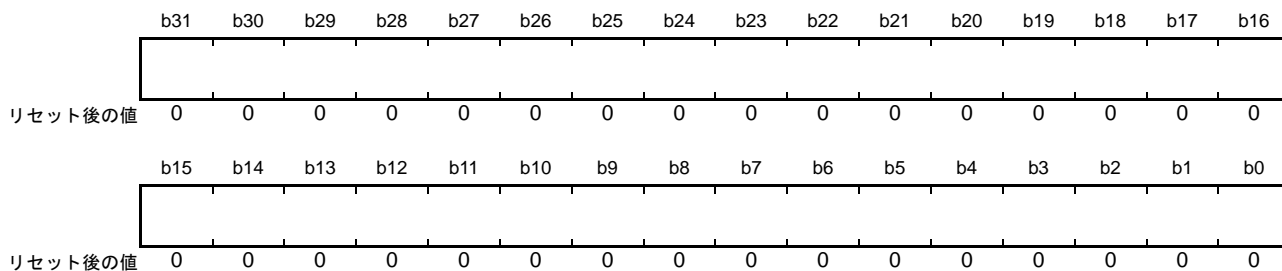
- 転送要求に対して DTC が起動したとき
- シーケンス転送が再開されたとき

[“0”になる条件]

- 1回の転送要求に対するデータ転送が終了したとき
- シーケンス転送が一時中断したとき

18.2.13 DTC インデックステーブルベースレジスタ (DTCIBR)

アドレス DTC.DTCIBR 0008 2410h



DTCIBR レジスタは DTC インデックスの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および、F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

18.2.14 DTC オペレーションレジスタ (DTCOR)

アドレス DTC.DTCOR 0008 2414h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SQTFRL L
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SQTFRL	シーケンス転送終了ビット	“1”を書くと実行中のシーケンス転送を強制的に終了させることができます。読むと“0”が読めます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

DTCOR レジスタは、DTC モジュールのオペレーションを設定するレジスタです。

SQTFRL ビット (シーケンス転送終了ビット)

SQTFRL ビットを“1”にすると、実行中のシーケンス転送が終了します。

DTCSQE.ESPSEL ビットが“1” (シーケンス転送を使用する) の場合、**図 18.2** の手順でシーケンス転送を終了させてください。

シーケンス転送が実行されていない場合に SQTFRL ビットに“1”を書いても、何も起こりません。

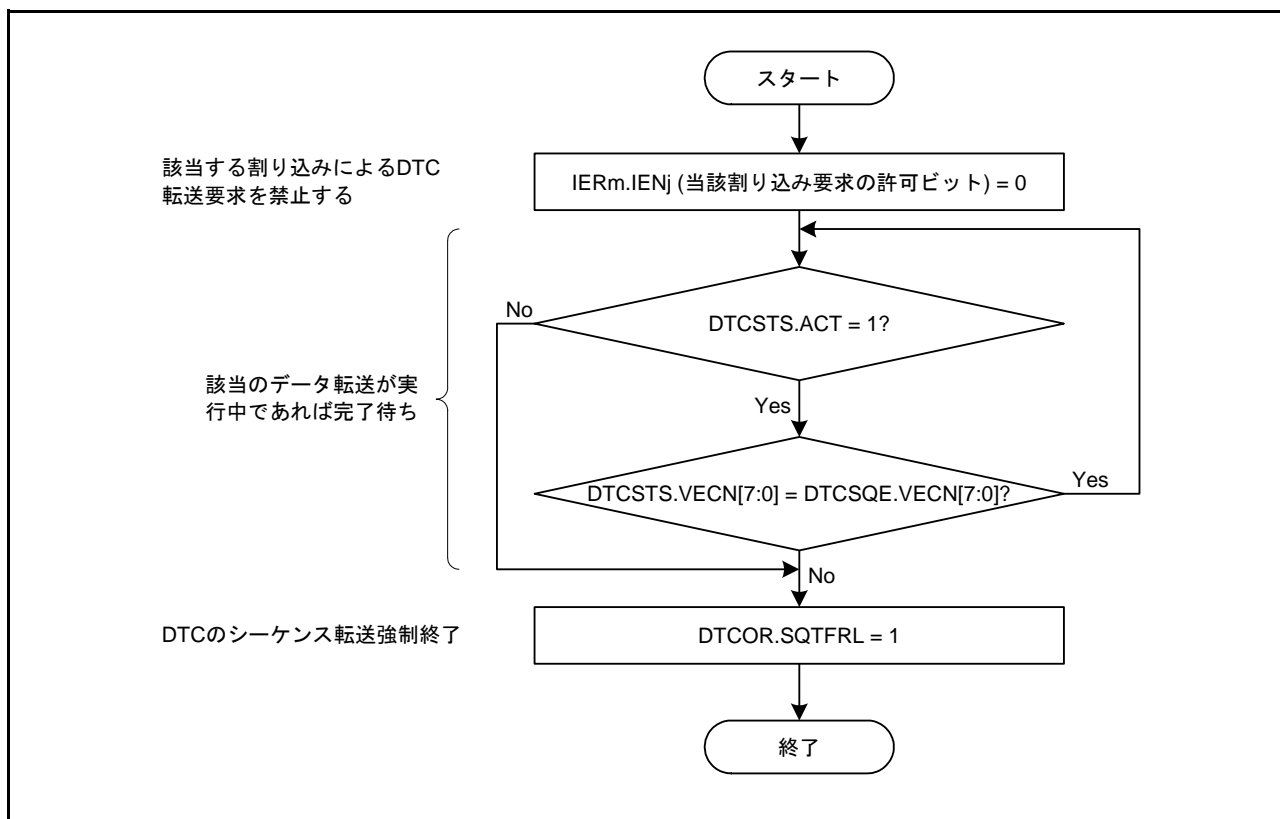
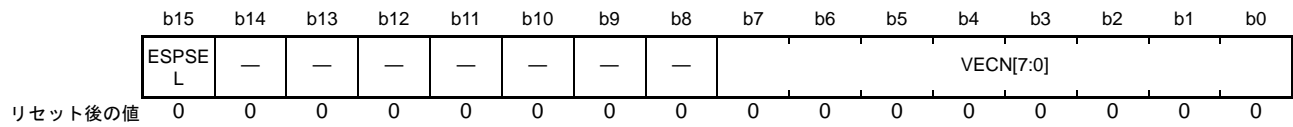


図 18.2 シーケンス転送強制終了手順

18.2.15 DTC シーケンス転送許可レジスタ (DTCSQE)

アドレス DTC.DTCSQE 0008 2416h



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	シーケンス転送ベクタ番号指定ビット	シーケンス転送を許可するベクタ番号を指定します。ESPSELビットが“1”の時のみ有効です。	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	ESPSEL	シーケンス転送許可ビット	0 : シーケンス転送を使用しない 1 : シーケンス転送を使用する	R/W

DTCSQE レジスタは、DTC のシーケンス転送を指定するレジスタです。設定手順は図 18.24 に従ってください。

VECN[7:0] ビット (シーケンス転送ベクタ番号指定ビット)

シーケンス転送を使用するベクタ番号を選択します。シーケンス転送は 1 つの起動要因でのみ動作可能です。

起動要因とベクタ番号の関係は「14. 割り込みコントローラ (ICUF)」の「表 14.5 割り込みベクタテーブル」を参照してください。

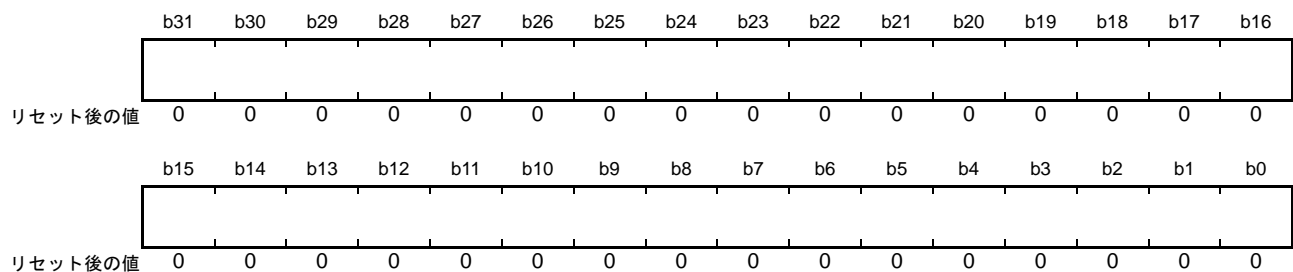
ESPSEL ビット (シーケンス転送許可ビット)

シーケンス転送を使用するかどうかを指定します。

ESPSEL ビットを“1”にする場合、DTCADM.DTCSQE.SHORT ビットを“0” (フルアドレスモード) にしてください。

18.2.16 DTC アドレスディスプレイメントレジスタ (DTCDISP)

アドレス DTC.DTCDISP 0008 2418h



DTCDISP レジスタは、DTC の転送元アドレスに加算するディスプレイメント値を指定するレジスタです。

MRC.DISPE ビットが“1”の場合、転送元アドレスとして SAR + DTCDISP の値を使用します。

18.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込み要求に対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を “1” にすると DTC の起動要因になります。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUF)」の「表 14.5 割り込みベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ (ICUF)」の「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」および「14.2.6 ソフトウェア割り込み 2 起動レジスタ (SWINT2R)」を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DMAC/DTC のデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCST ビットが “0” (DTC モジュール停止) の状態で複数の転送要求が発生した場合も、その後、DTCST.DTCST ビットを “1” (DTC モジュール動作) にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを “0” にして CPU に割り込みを要求します。
- MRB.DISEL ビットが “1” のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを “0” にします。

18.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが “0” になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ただし、MRA.WBDIS ビットを “1” (ライトバックしない) にした場合は、ROM 領域に配置することもできます。ベクタ番号 n に対する転送情報 n の先頭アドレスは、 $DTCVBR + 4n$ 番地に格納してください。

転送情報は、4 バイト境界に配置してください。ショートアドレスモードの場合、12 バイト、フルアドレスモード場合、16 バイト使用します。DTCADMOD.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 18.3 に示します。

RAM 領域上の転送情報の配置を図 18.4 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「18.10.2 転送情報の配置」を参照してください。

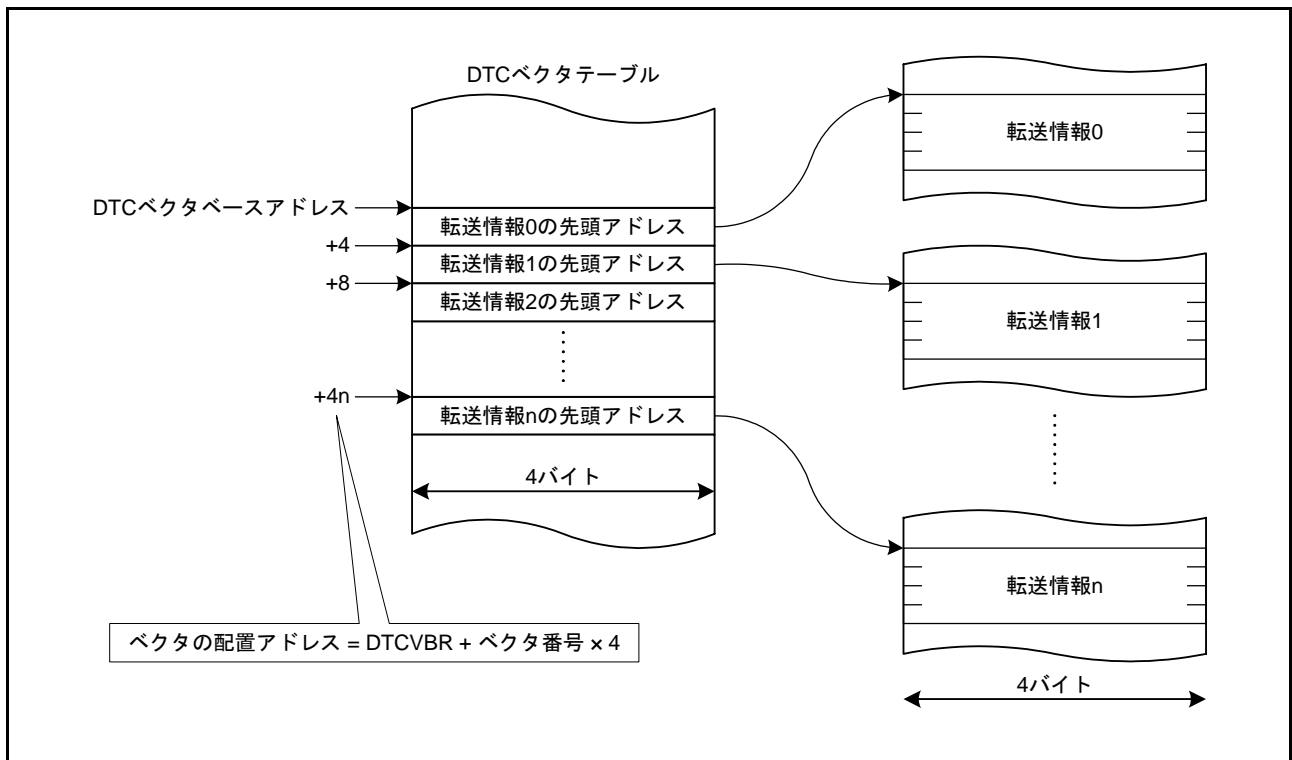


図 18.3 DTC ベクタテーブルと転送情報の対応

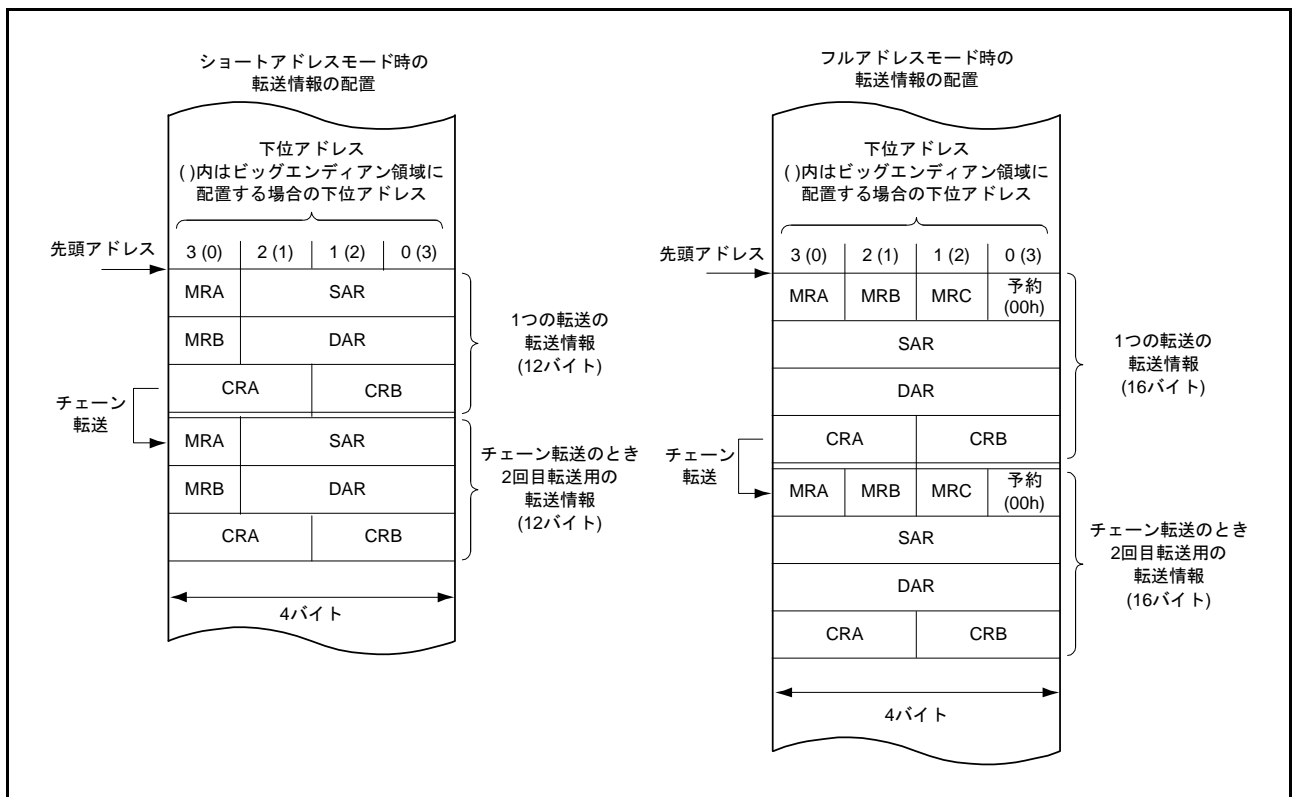


図 18.4 RAM 領域上の転送情報の配置

18.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読み出します。次に DTC ベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスは SAR レジスタ、転送先アドレスは DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、それぞれの設定 (インクリメント/デクリメント/固定) に従って、転送後に更新されます。

DTC の転送モードを表 18.3 に示します。

表 18.3 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード(注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回(注3)
ブロック転送モード(注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続(リピート)する。

また、MRB.CHNE ビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます(チェーン転送)。MRB.CHNS ビットの設定で、指定された回数のデータ転送が終了したときにチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 18.5 に示します。チェーン転送の条件を表 18.4 に示します。

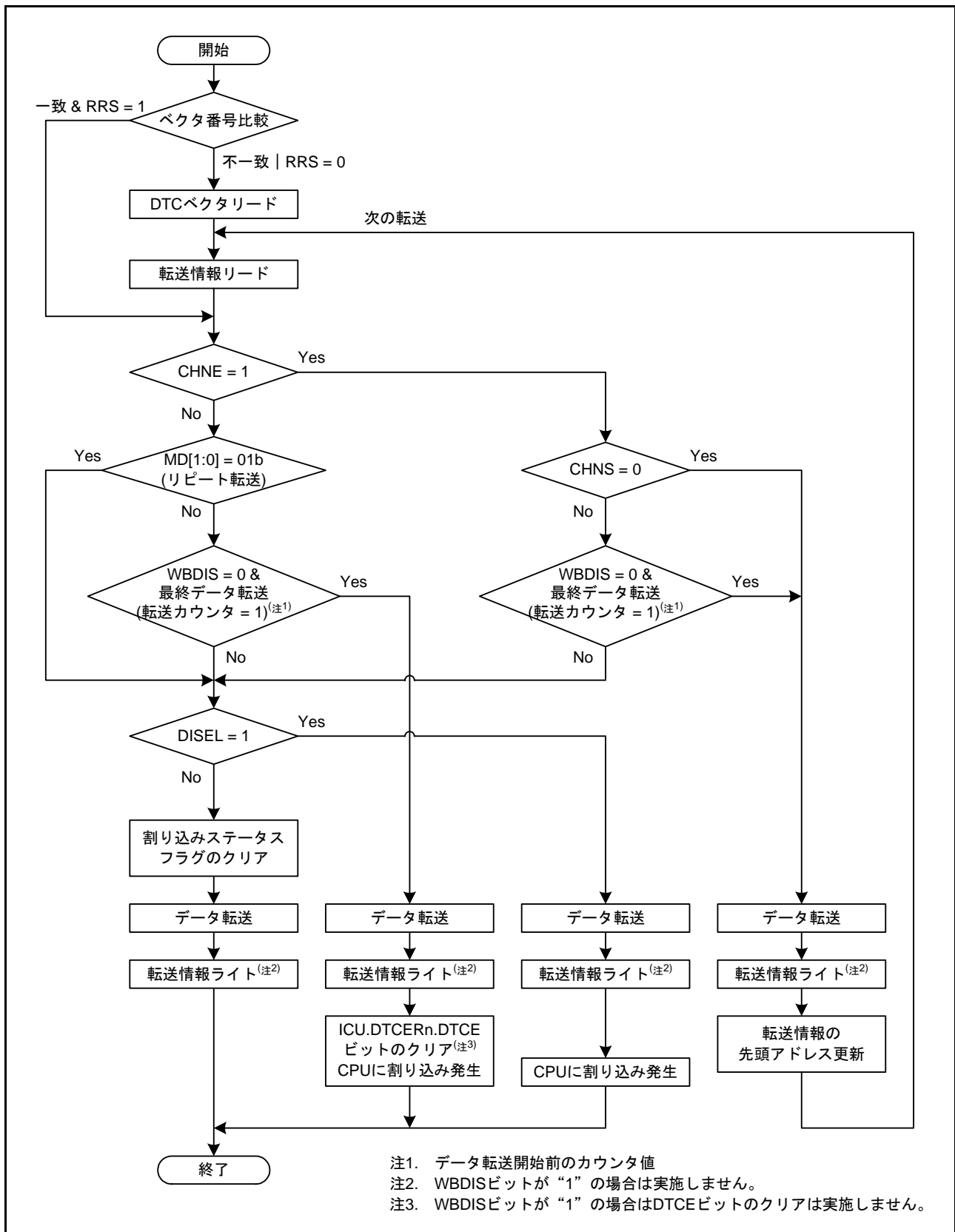


図 18.5 DTC 動作フローチャート

表 18.4 チェーン転送の条件

第1の転送				第2の転送(注3)				データ転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リポート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リポート転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

18.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 18.14 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを“1”にしてください。DTCCR.RRS ビットを“0”にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次回の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

18.4.2 転送情報ライトバックスキップ機能

18.4.2.1 アドレス固定によるライトバックスキップ

MRA.SM[1:0] ビット、またはMRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 18.5 に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタ、MRC レジスタはライトバックスキップされます。

表 18.5 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

18.4.2.2 MRA.WBDIS ビットによるライトバックスキップ

MRA.WBDIS ビットが “1” の場合、転送情報の設定内容にかかわらず転送情報 (SAR, DAR, CRA, CRB) はライトバックされません。

メモリ上の転送情報を更新しませんので、転送情報を ROM から RAM にコピーすることなく DTC のデータ転送を実行することができます。また、ライトバックを省略することで、データ転送の後処理にかかる時間が短縮できます。

18.4.3 ノーマル転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表18.6に、ノーマル転送モードのメモリマップを図18.6に示します。

表18.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値(注1)
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. MRA.WBDISビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

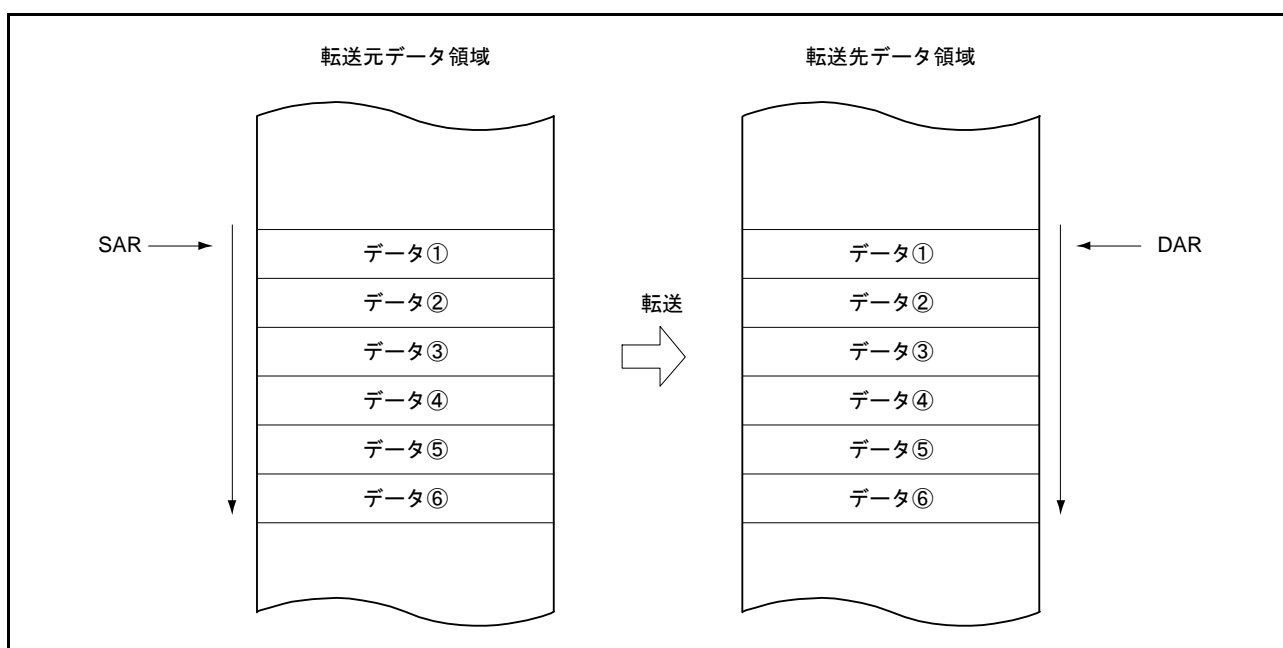


図18.6 ノーマル転送モードのメモリマップ

18.4.4 リピート転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”(指定した回数のデータ転送が終了したとき、CPU への割り込みが発生)の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 18.7 に、リピート転送モードのメモリマップを図 18.7 に示します。

表 18.7 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)		
		CRAL ≠ 1 のとき	CRAL = 1 のとき	
			MRB.DTS ビット=0のとき	MRB.DTS ビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)	インクリメント/デクリメント/固定(注2)	SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)	DAR レジスタの初期値	インクリメント/デクリメント/固定(注2)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタ A	CRAL - 1	CRAH	
CRB	転送カウンタ B	更新されない	更新されない	

注1. MRA.WBDIS ビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

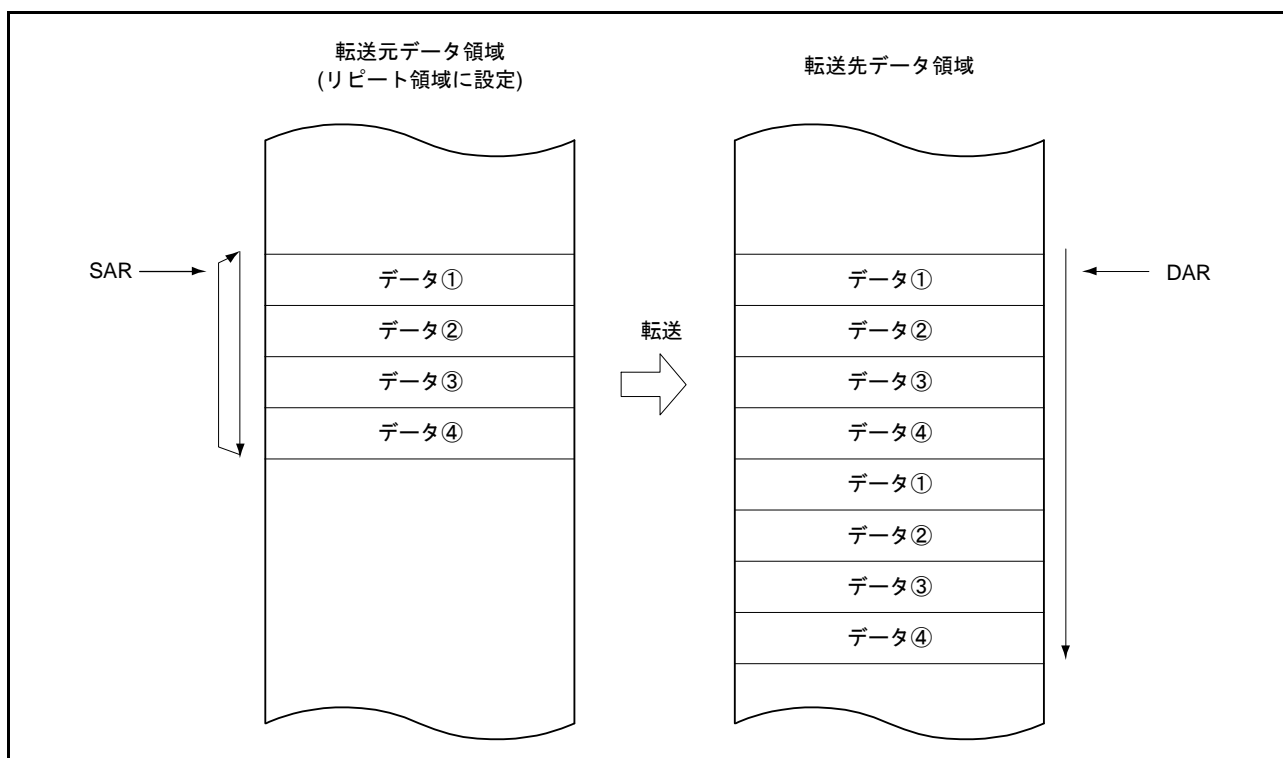


図 18.7 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

18.4.5 ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト、1～256ワードまたは1～256ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数 (ブロック回数) は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 18.8 に、ブロック転送モードのメモリマップを図 18.8 に示します。

表 18.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値 (注1)	
		MRB.DTSビット=0のとき	MRB.DTSビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注2)	SARレジスタの初期値
DAR	転送先アドレス	DARレジスタの初期値	インクリメント/デクリメント/固定 (注2)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB - 1	

注1. MRA.WBDISビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

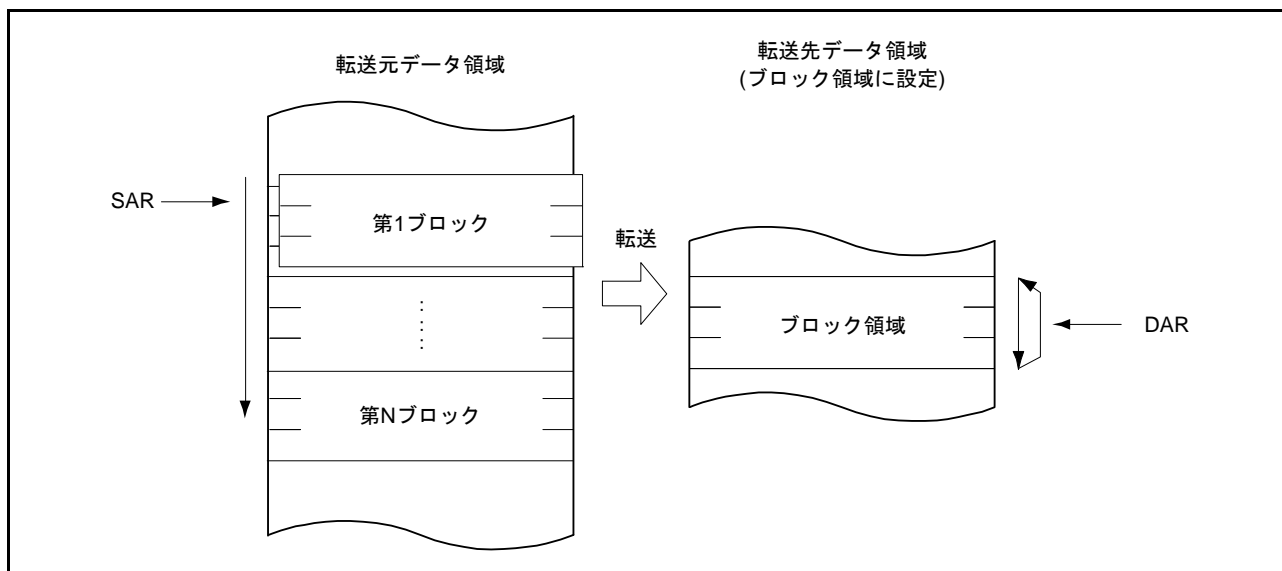


図 18.8 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

18.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを“1”（データ転送のたびに、CPU への割り込み要求が発生）にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報 (SAR, DAR, CRA, CRB, MRA, MRB, MRC) はそれぞれ個別に設定できます。図 18.9 にチェーン転送の動作を示します。

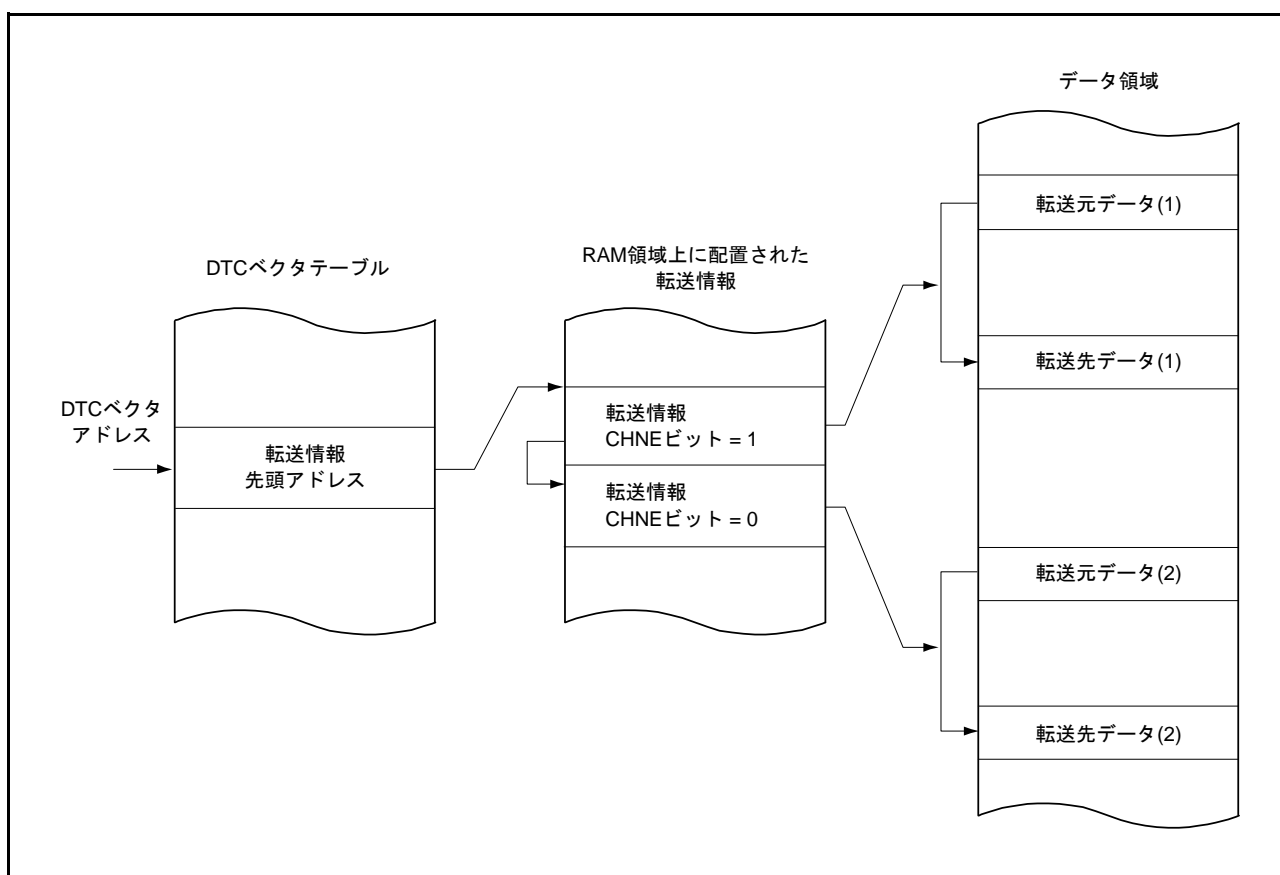


図 18.9 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、表 18.4 のチェーン転送の条件を参照してください。

18.4.7 動作タイミング

DTC の動作タイミングの例を図 18.10 ~ 図 18.14 に示します。

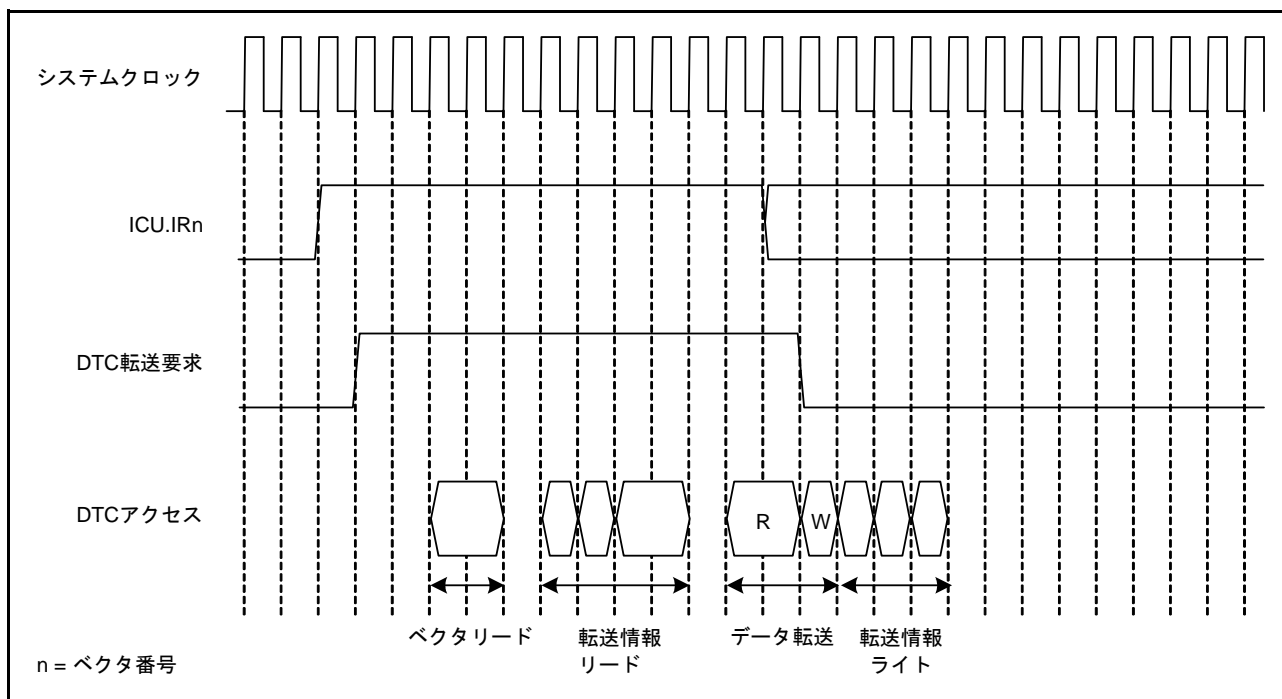


図 18.10 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

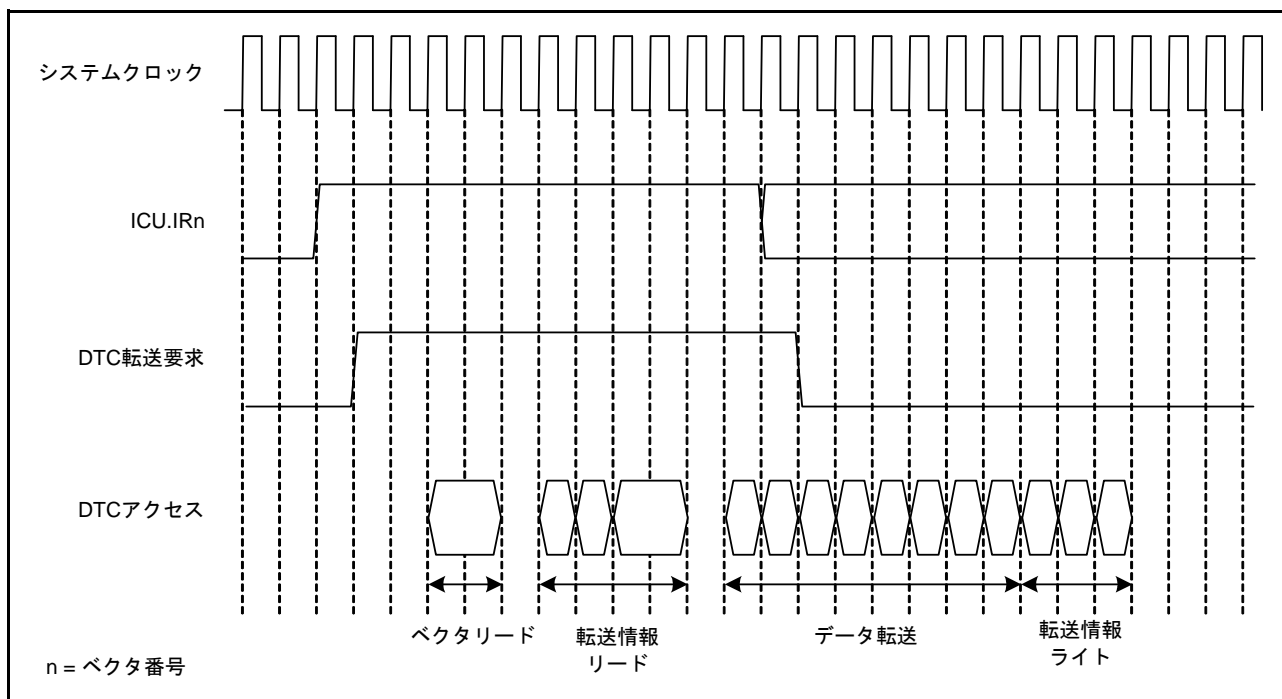


図 18.11 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

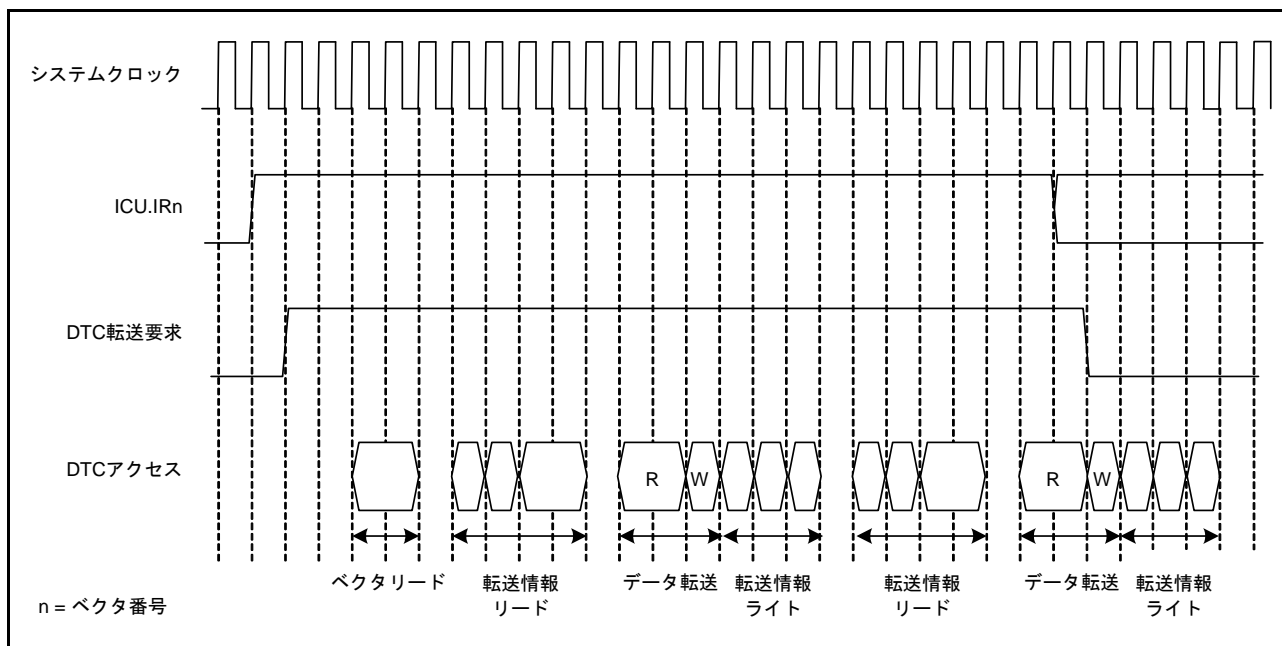


図 18.12 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

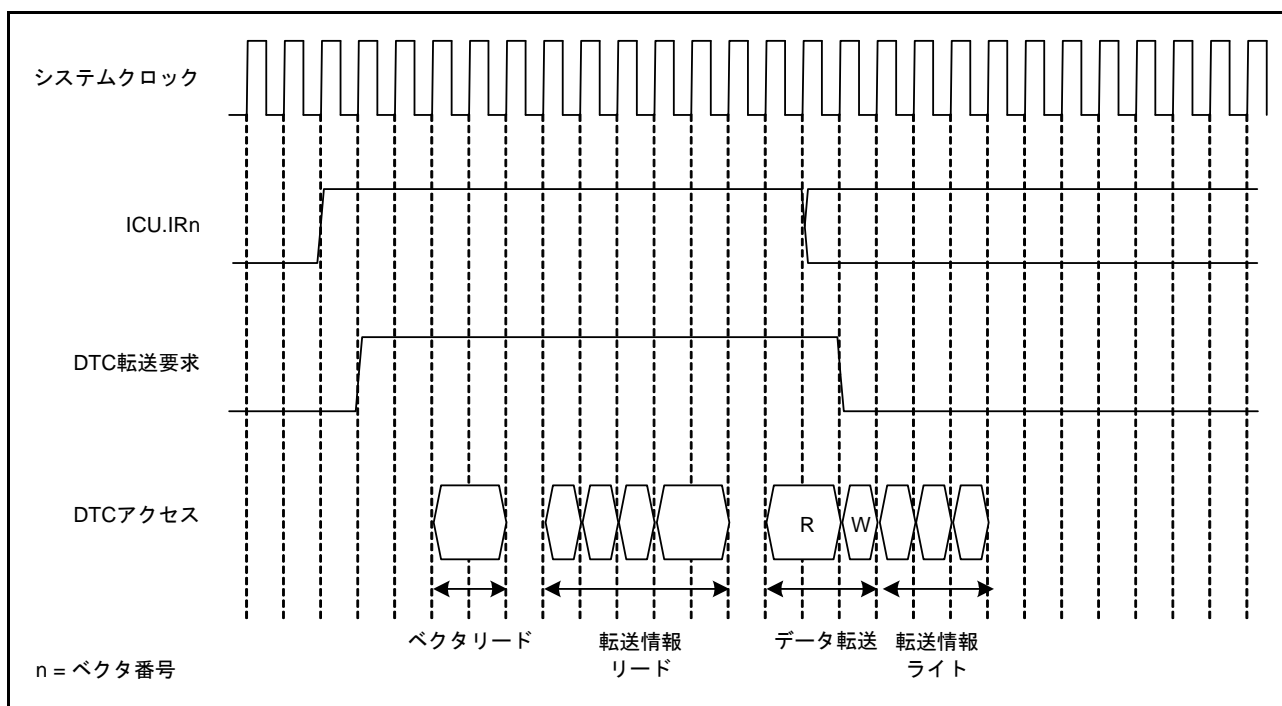


図 18.13 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

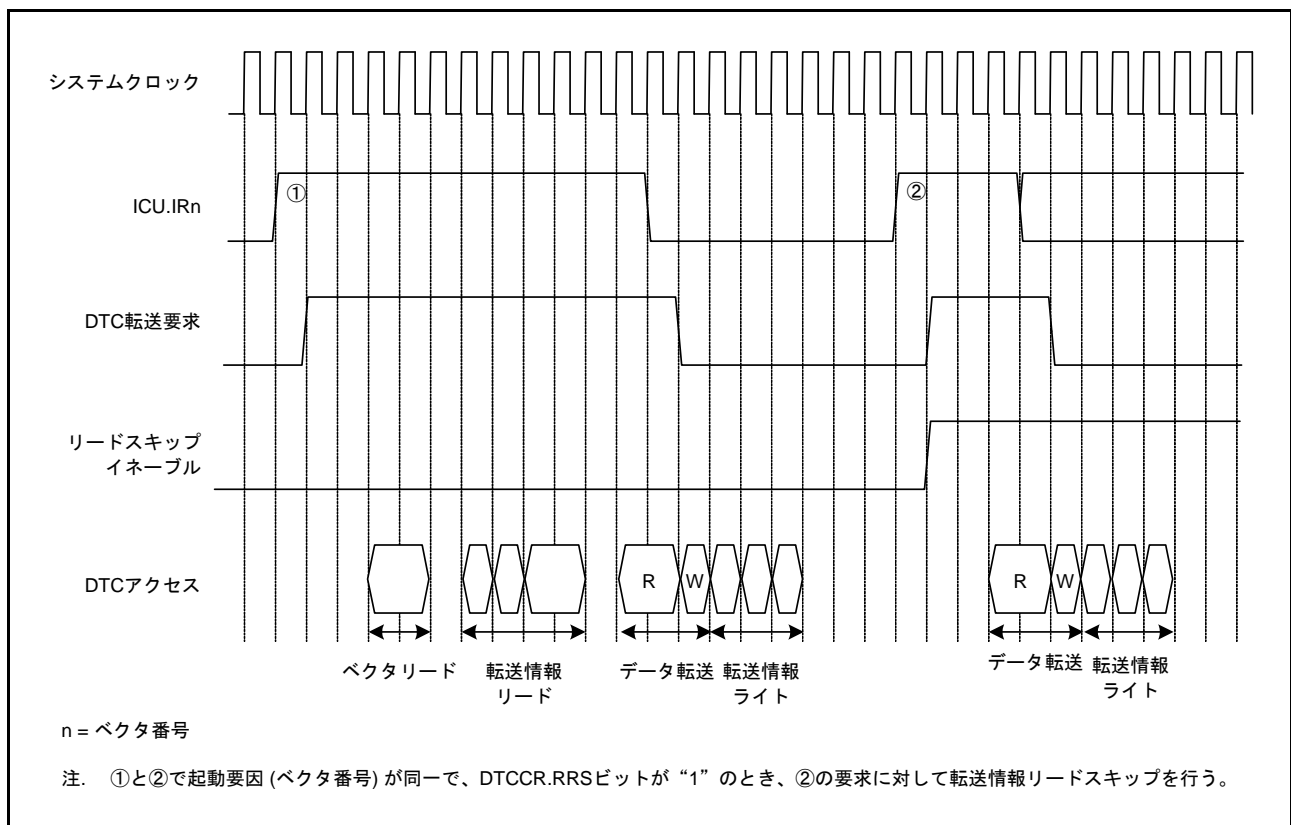


図 18.14 転送情報リードスキップ時の動作例
(ベクタ、転送情報、転送先がRAM、転送元は周辺モジュールの場合)

18.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 18.9 に示します。

各処理状態の実施順序は、「18.4.7 動作タイミング」を参照してください。

表 18.9 DTCの実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注 1)	4 × Ci + 1 (注 2)	3 × Ci + 1 (注 3)	0 (注 1)	3 × Ci (注 4)	2 × Ci (注 5)	Ci (注 6)	Cr + 1	Cw	2	0 (注 1)
リピート									Cr + 1	Cw		
ブロック (注 7)									P × Cr	P × Cw		

注 1. 転送情報リードスキップのとき

注 2. フルアドレスモード動作のとき

注 3. ショートアドレスモード動作のとき

注 4. SAR レジスタ、DAR レジスタがともにアドレス固定でないとき

注 5. SAR レジスタ、または DAR レジスタがアドレス固定のとき

注 6. SAR レジスタと DAR レジスタがともにアドレス固定のとき

注 7. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv : ベクタ転送情報格納先アクセスサイクル

Ci : 転送情報格納先アドレスアクセスサイクル

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「43. RAM」、「44. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」、「15.2.6 外部バス」を参照してください。)

18.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

18.4.10 シーケンス転送

DTCSQE レジスタで設定した起動要因に対してシーケンス転送を実行することができます。MRB.INDX ビットを“1”にするとシーケンス転送を開始し、MRB.SQEND ビットを“1”にするとシーケンス転送を終了します。またシーケンス転送実行中でも DTCOR.SQTFRL ビットを“1”にすることでシーケンス転送を強制的に終了させ、次の DTC 転送要求でインデックステーブル参照から開始することができます。

シーケンス転送は下記の処理を行います。

- (1) DTCSQE レジスタに設定された要因からの DTC 転送要求を受けて、DTC ベクタテーブルを参照し最初のデータ転送を実行
- (2) (1) で転送した最初のデータの下位 8 ビットの値 (シーケンス番号) に基づいて DTC インデックステーブルを参照
- (3) DTC インデックステーブルから取得したアドレスから、転送情報を読み出し
- (4) 転送情報に従ってデータ転送を実行。転送後、MRB.CHNE ビットと MRB.SQEND ビットの値によって以下のいずれかの動作を実施
 - CHNE ビットが“1”の場合、チェーン転送を実行 → 次の転送情報を読み出し → (4) へ
 - CHNE ビットが“0”かつ SQEND ビットが“0”の場合、シーケンス転送を一時中断 → (5) へ
 - CHNE ビットが“0”かつ SQEND ビットが“1”の場合、シーケンス転送を終了
- (5) DTCSQE レジスタに設定された要因から DTC 転送要求が入る (注 1) と、中断していたシーケンスを再開、次の転送情報を読み出し → (4) へ

注 1. データ転送の結果 ICU.DTCERn.DTCE ビットが“0”になると、DTC 転送要求が発生しません。シーケンス転送を再開するには、DTCE ビットを“1”にしてください。DTCE ビットが“0”になる条件は、図 18.5 または「14. 割り込みコントローラ (ICUF)」を参照してください。

シーケンス転送の基本動作を図 18.15、図 18.16 に示します。

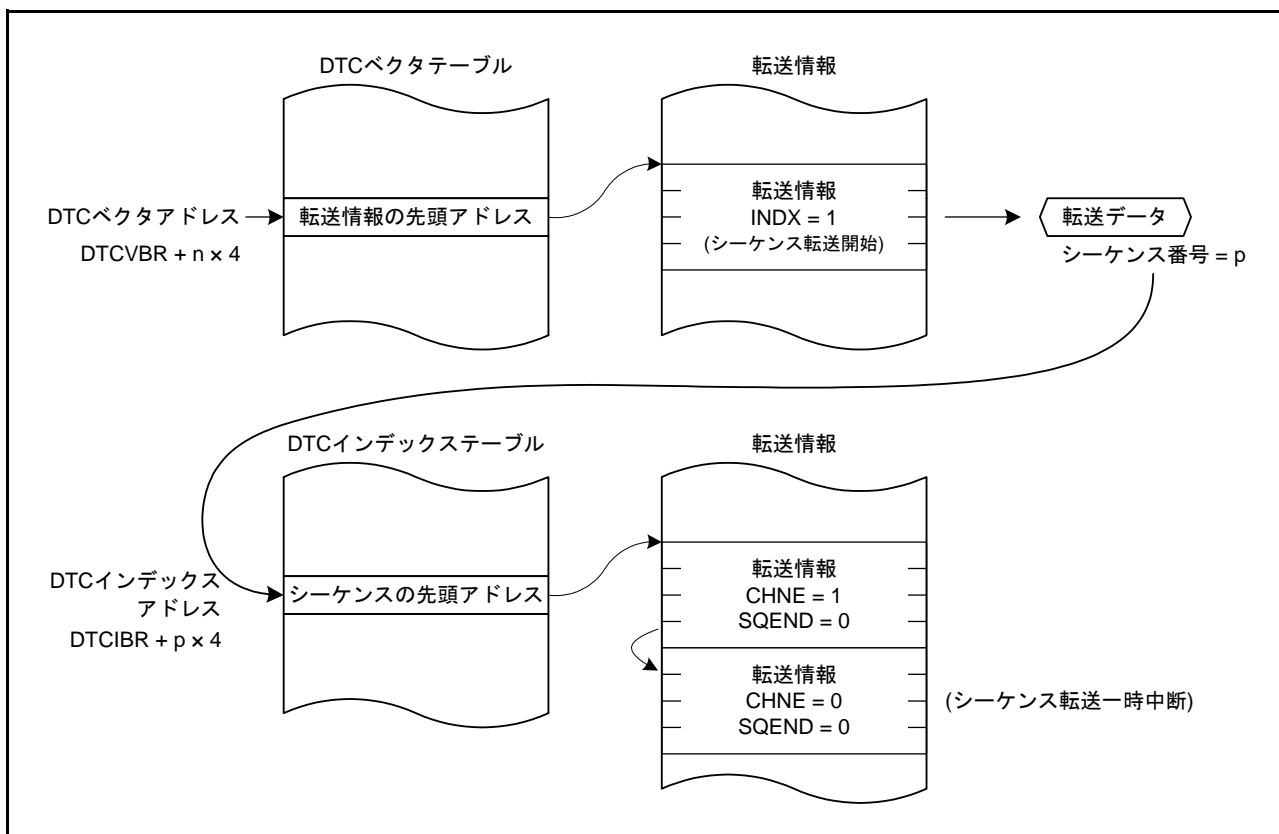


図 18.15 シーケンス転送の開始と一時中断

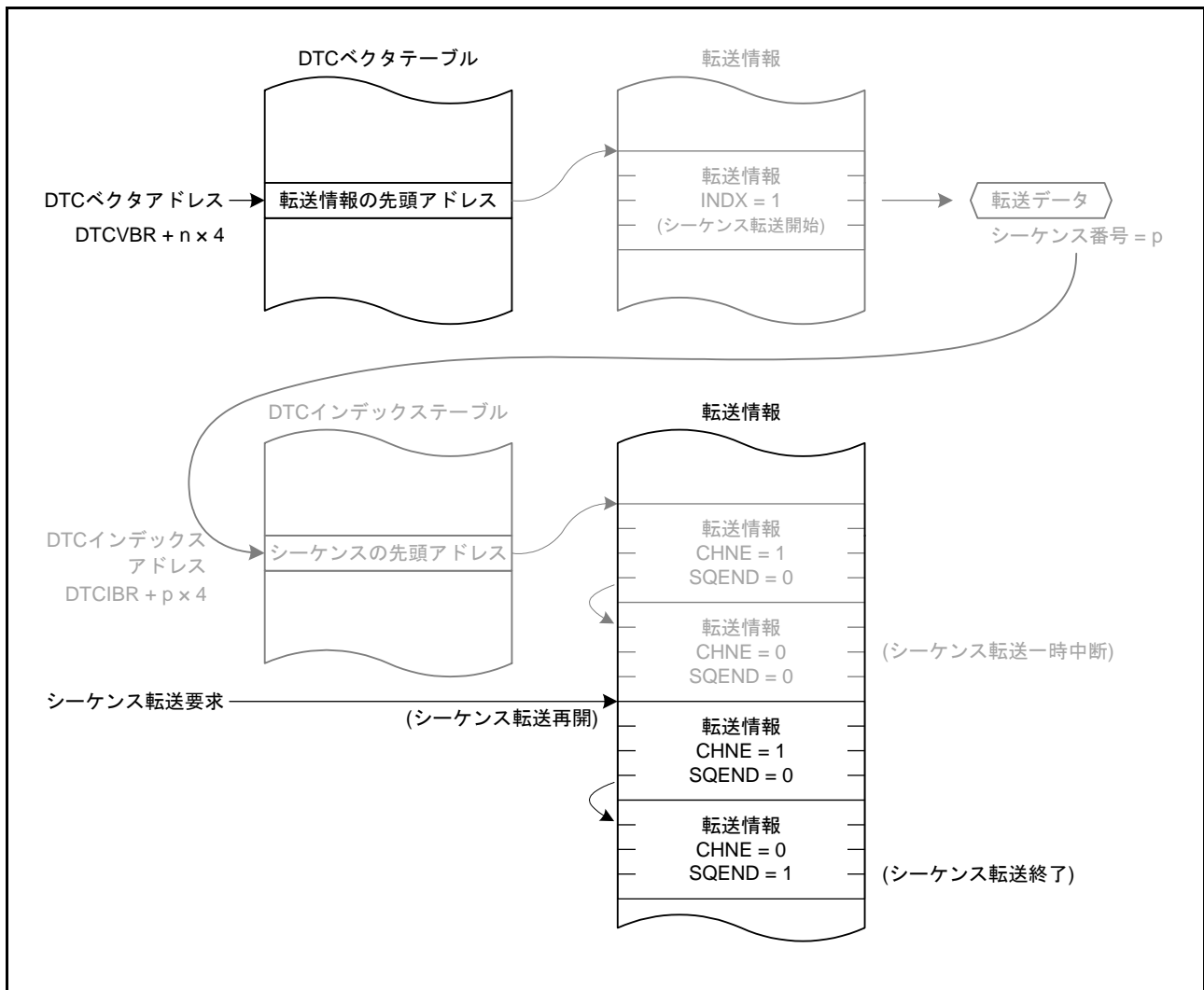


図 18.16 シーケンス転送の再開と終了

シーケンス転送実行時の CHNE、SQEND、INDX ビットの設定を表 18.10 に示します。

表 18.10 シーケンス転送と CHNE、SQEND、INDX ビット

DTCの動作	CHNEビット	SQENDビット	INDXビット
シーケンス転送開始	0	0	1(注1)
シーケンス転送継続	1	0	0
シーケンス転送一時中断(注2)	0	0	0
シーケンス転送終了	0	1	0
シーケンス転送終了、新たなシーケンス転送を開始	0	1	1(注1)
シーケンス転送以外	—	0	0

注. 上記以外の設定は使用しないでください。

注1. INDXビットを“1”にする転送情報では、MRA.MD[1:0]ビットを“00b”(ノーマル転送モード)にしてください。

注2. シーケンス転送が一時中断した場合、ICU.DTCERn.DTCEビットが“0”になっていることがあります。シーケンス転送を再開するにはDTCEビットを“1”にしてください。

シーケンス転送が一時中断していても、シーケンス転送が終了するまでは、新たなシーケンス転送は開始できません。シーケンス転送が一時中断しているときにシーケンス転送要求が入ると、中断していたシーケンス転送が再開されます。

18.4.11 DTC インデックステーブル

DTC インデックステーブルは、DTCIBR レジスタに設定されたアドレスを開始アドレスとする領域に配置されます。

シーケンス番号の値 p に対する転送情報テーブル p の先頭アドレスは、 $DTCIBR + p \times 4$ 番地に格納してください。

DTC インデックスの上位 30 ビットには、先頭アドレスの上位 30 ビットを設定します。CPUSEL ビットには、転送情報を読み出してシーケンスを開始するか、シーケンスを開始せずに CPU に割り込み要求を出力するかを設定します。DTC では処理しきれない複雑なシーケンスに対しては、CPUSEL ビットに“1”を設定し、CPU で処理を行います。

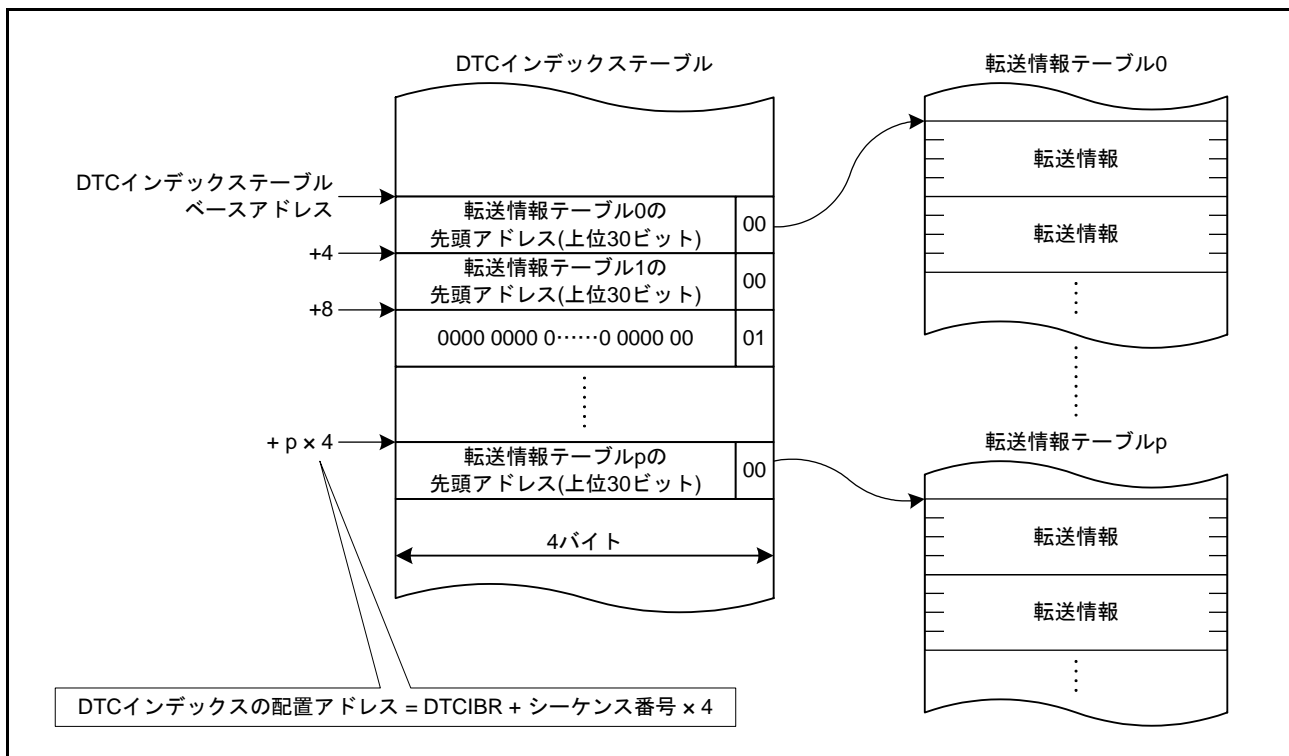
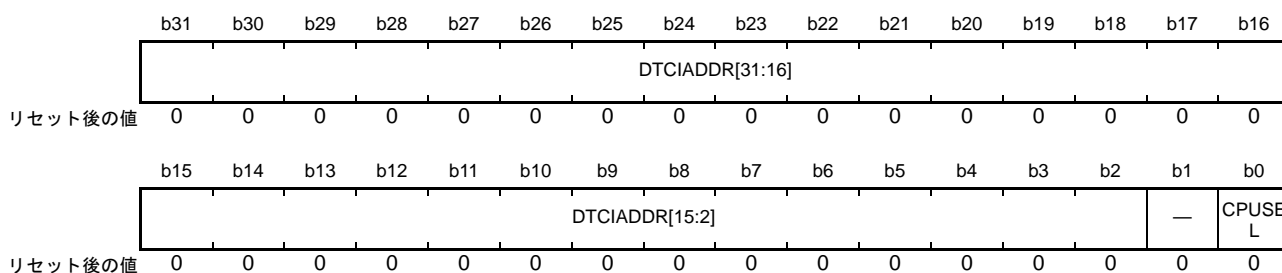


図 18.17 DTC インデックステーブル

- DTC インデックス

アドレス DTCIBR + p × 4



ビット	シンボル	ビット名	機能	R/W
b0	CPUSEL	シーケンス転送/CPU割り込み 選択ビット	0 : シーケンス転送を継続(シーケンスを開始) 1 : シーケンス転送を終了し、CPUに割り込み要求を出力	—
b1	—	予約ビット	“0”にしてください	—
b31-b2	DTCIADDR[31:2]	転送情報テーブルアドレス	転送情報テーブルの先頭アドレスの上位30ビットを設定 します。上位4ビット(b31-b28)への書き込みは無視され、 b31-b28の値はb27と同じ値になります。	—

取得したシーケンス番号が示す DTC インデックスの CPUSEL ビットが“1”の場合、CPU への割り込み要求が発生します。このとき ICU.DTCERn.DTCE ビットが“0”になりますので、これ以降、DTCSQE レジスタに設定した起動要因からの割り込み要求信号は、DTC ではなく CPU に伝えられます。CPU の割り込み処理が終わったら、次のシーケンス転送を開始できるように ICU.DTCERn.DTCE ビットを“1”にして DTC 転送要求を有効にしてください。

18.4.12 シーケンス転送の動作例

シーケンス転送の代表例を図 18.18 に、図中の転送例に対する転送情報の構成を図 18.19 ~ 図 18.23 に示します。

これらの例では、ベクタ番号 n の割り込み要因をシーケンス転送の要因に設定 (DTCSQE.VECN[7:0] ビット = n) しています。ベクタ番号 n の割り込み要因からの DTC 転送要求 (以降、単に「転送要求 n 」と記載) が入力されると、DTC は DTC ベクタテーブルを参照し、対応する転送情報を読み出します。この転送情報に従って転送されたデータの下位 8 ビットがシーケンス番号になり、256 通りのシーケンスの中から 1 つのシーケンスが選択されます。

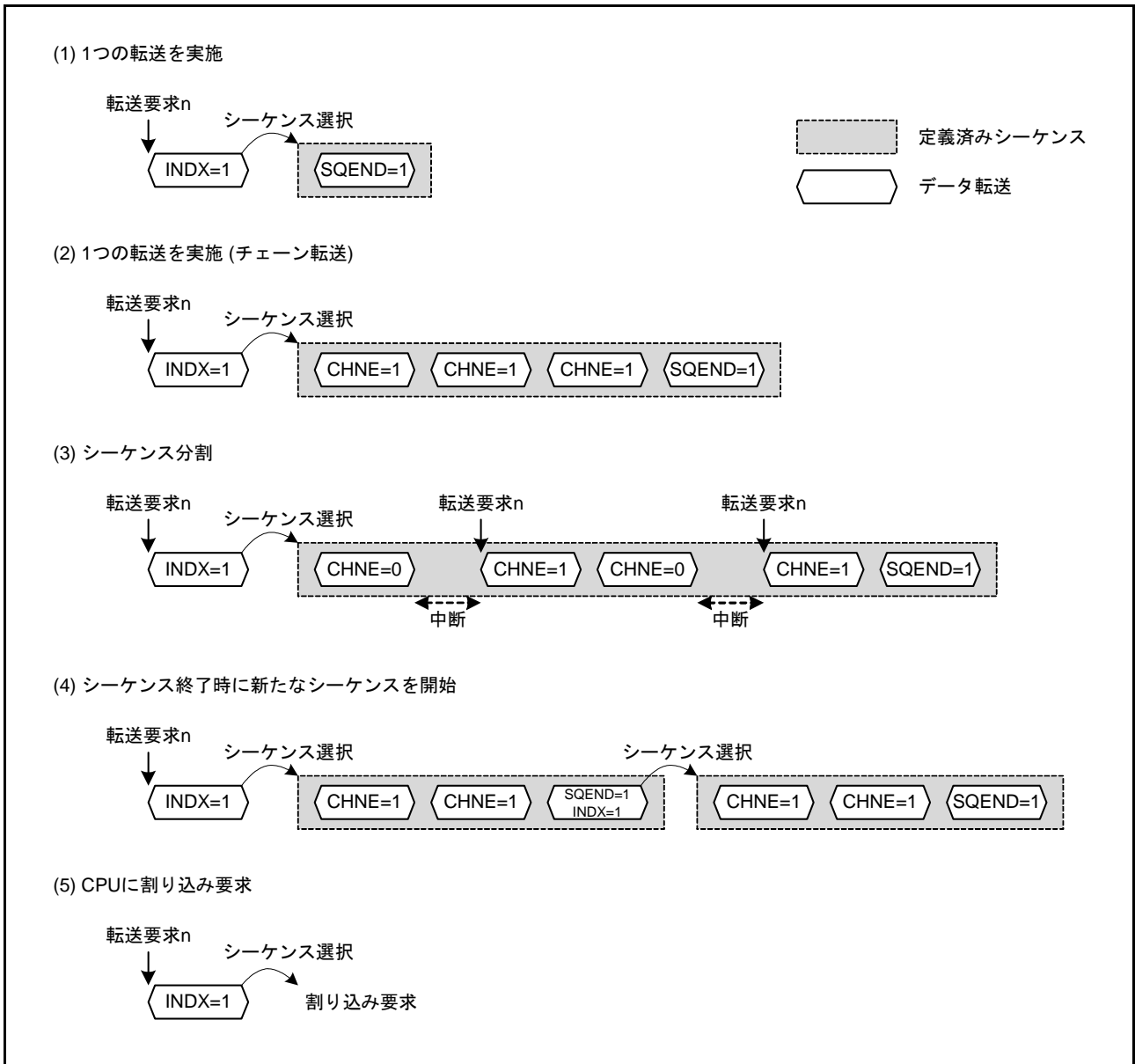


図 18.18 シーケンス転送の例

(1) 1つの転送を実施する場合

図 18.19 は、1つの転送(ノーマル転送、リピート転送、ブロック転送)を行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 p に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” なので、指定された転送を行うとシーケンスを終了します。

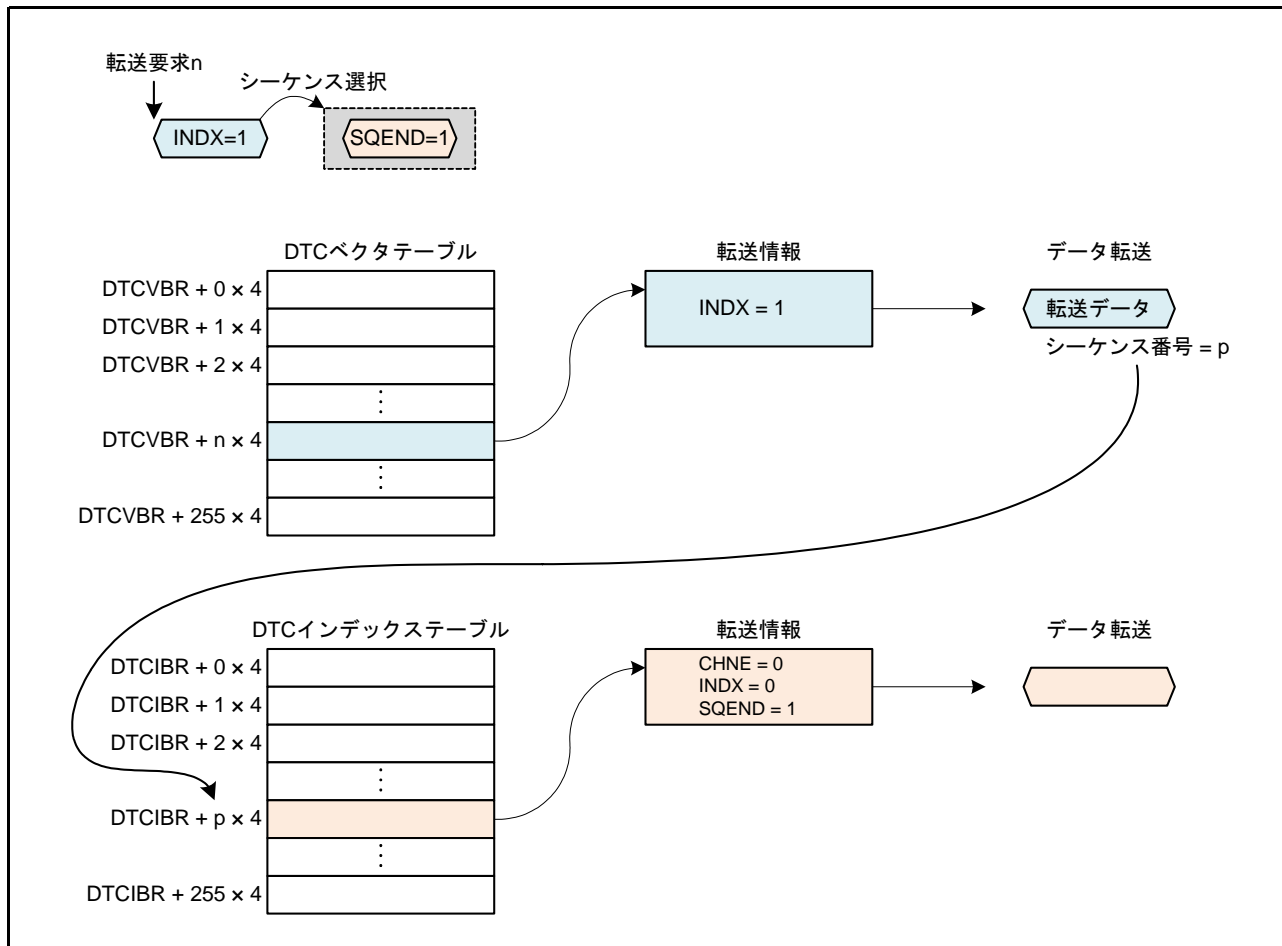


図 18.19 1つの転送を実施するシーケンスの例

(2) 1つのチェーン転送を実施する場合

図 18.20 は、1つのチェーン転送を行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 q に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ “1”、“0”、“0” の間は、指定されたチェーン転送を行います。CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

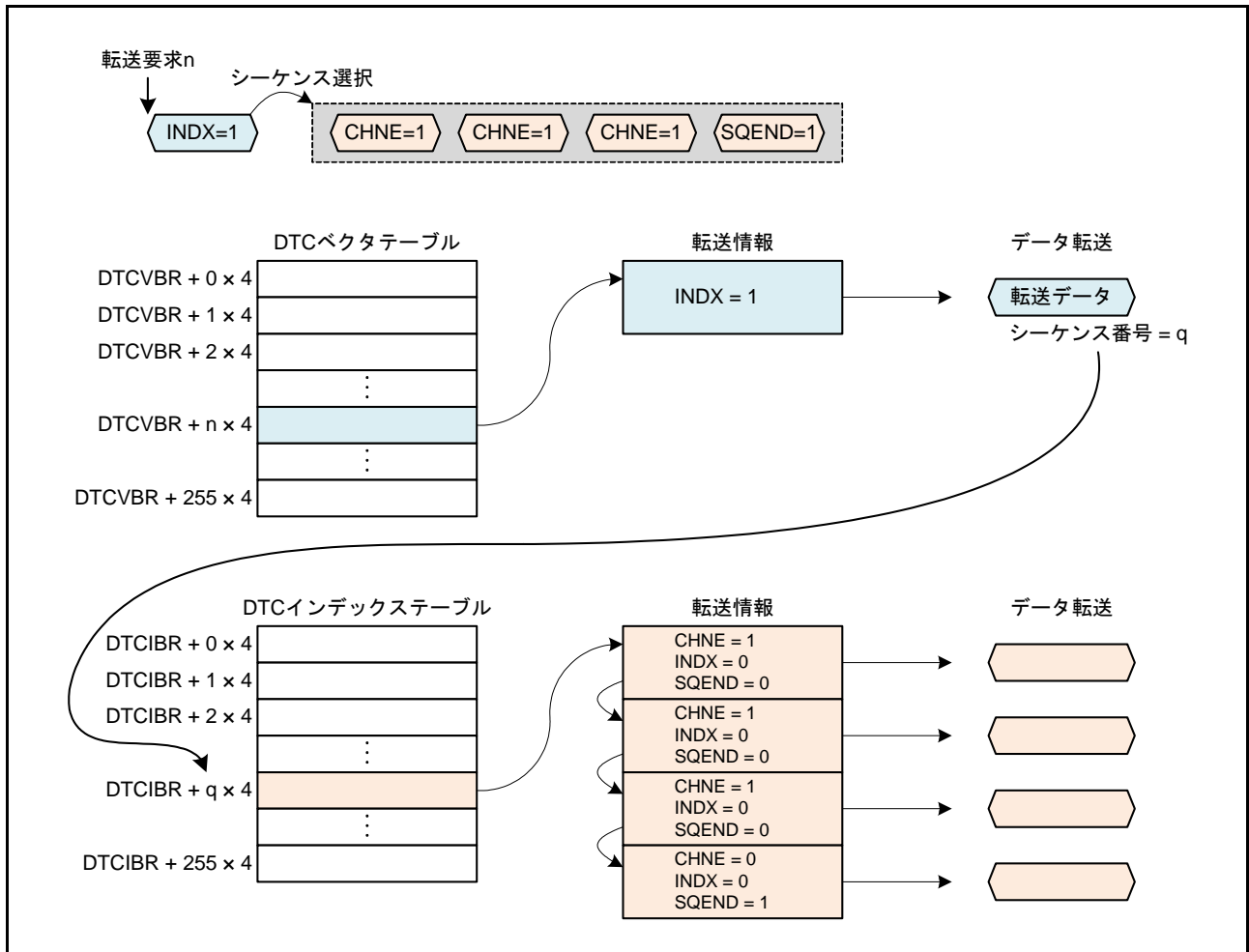


図 18.20 1つのチェーン転送を実施するシーケンスの例

(3) シーケンスを分割して実施する場合

図 18.21 は、1つのシーケンスを3つに分割して行うシーケンスの例です。

DTCは、DTCインデックステーブルを参照し、取得したシーケンス番号 r に対応する転送情報を読み出します。

転送情報中のCHNE、INDX、SQENDビットがそれぞれ“0”、“0”、“0”なので、指定された転送を行うと、シーケンスを中断して次の転送要求 n を待ちます。シーケンス転送実行中に転送要求 n が入力されると、DTCベクタテーブルは参照されず、中断していたシーケンスが再開されます。

CHNE、INDX、SQENDビットがそれぞれ“0”、“0”、“1”の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

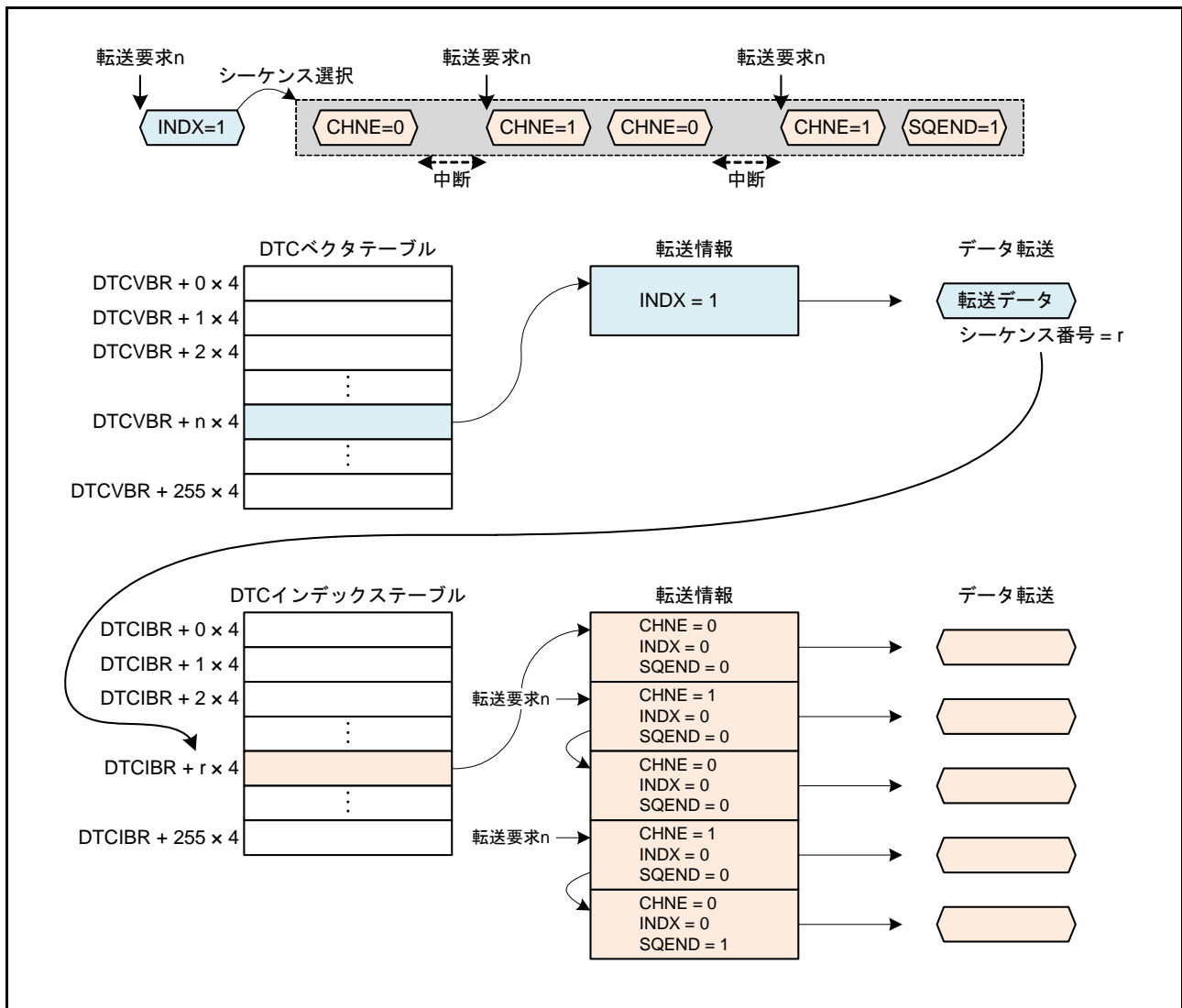


図 18.21 シーケンスを分割して実施する例

(4) シーケンス終了時に新たなシーケンスを開始する場合

図 18.22 は、1つ目のシーケンス転送終了時に次の新たなシーケンス転送を開始する例です。

DTCは、DTCインデックステーブルを参照し、取得したシーケンス番号 s に対応する転送情報を読み出します。

CHNE、INDX、SQEND ビットがそれぞれ“0”、“1”、“1”の転送情報を読み出すと、指定された転送を行い、転送されたデータの低位 8 ビットから新たなシーケンス番号を取得します。DTCは再びDTCインデックステーブルを参照し、取得したシーケンス番号 k に対応する転送情報を読み出し、新たなシーケンスを開始します。

CHNE、INDX、SQEND ビットがそれぞれ“0”、“0”、“1”の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

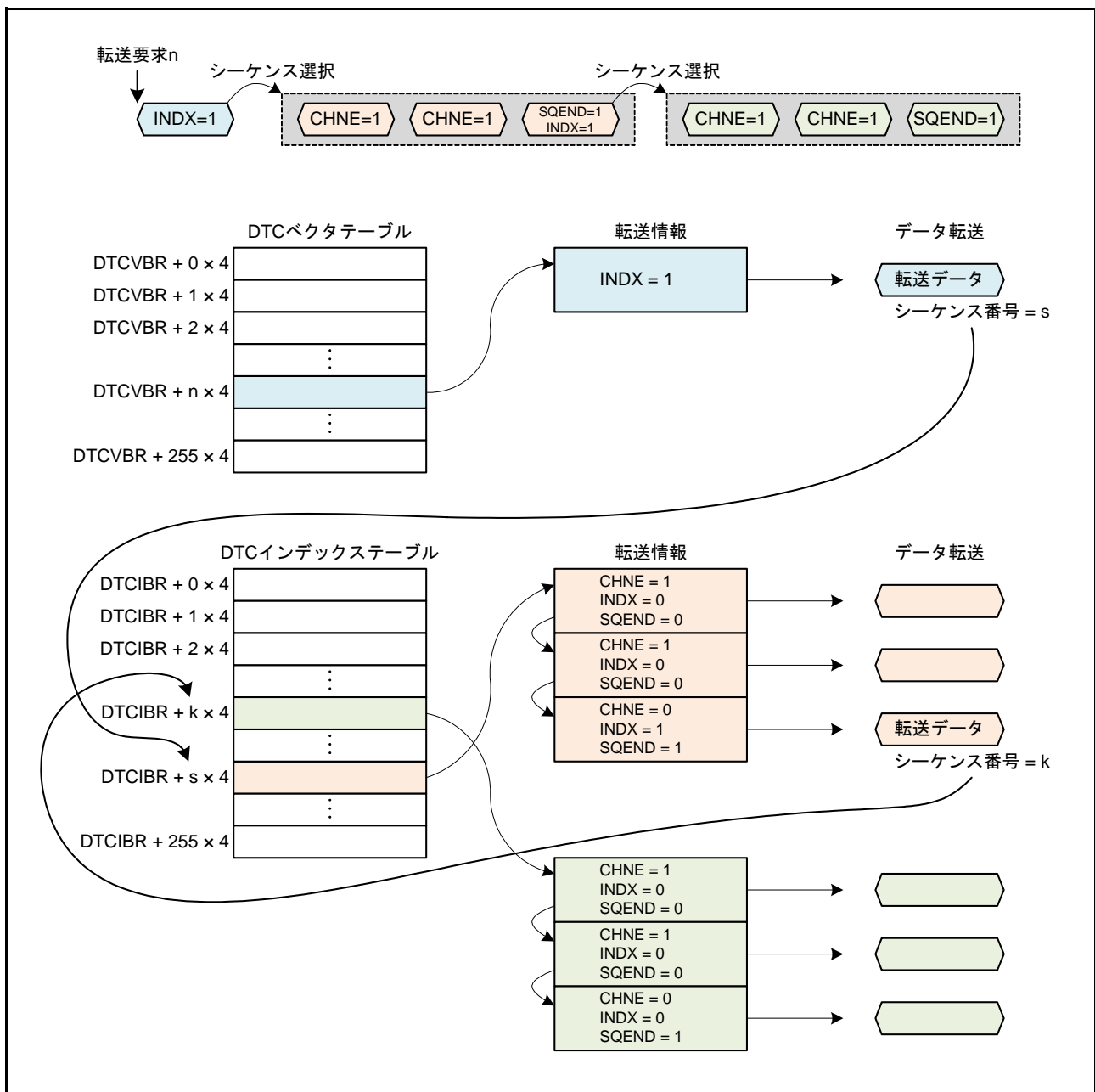


図 18.22 シーケンス終了時に新たなシーケンスを開始する例

(5) CPUに割り込み要求を出力する場合

図 18.23 は、シーケンスを開始せずに CPU に割り込み要求を出力する例です。

DTC は、取得したシーケンス番号 t に対応する DTC インデックスを取得します。取得した DTC インデックスの CPUSEL ビットが“1”であると、DTC はシーケンスを開始せずにシーケンス転送を終了し、CPU に割り込み要求を出力します。

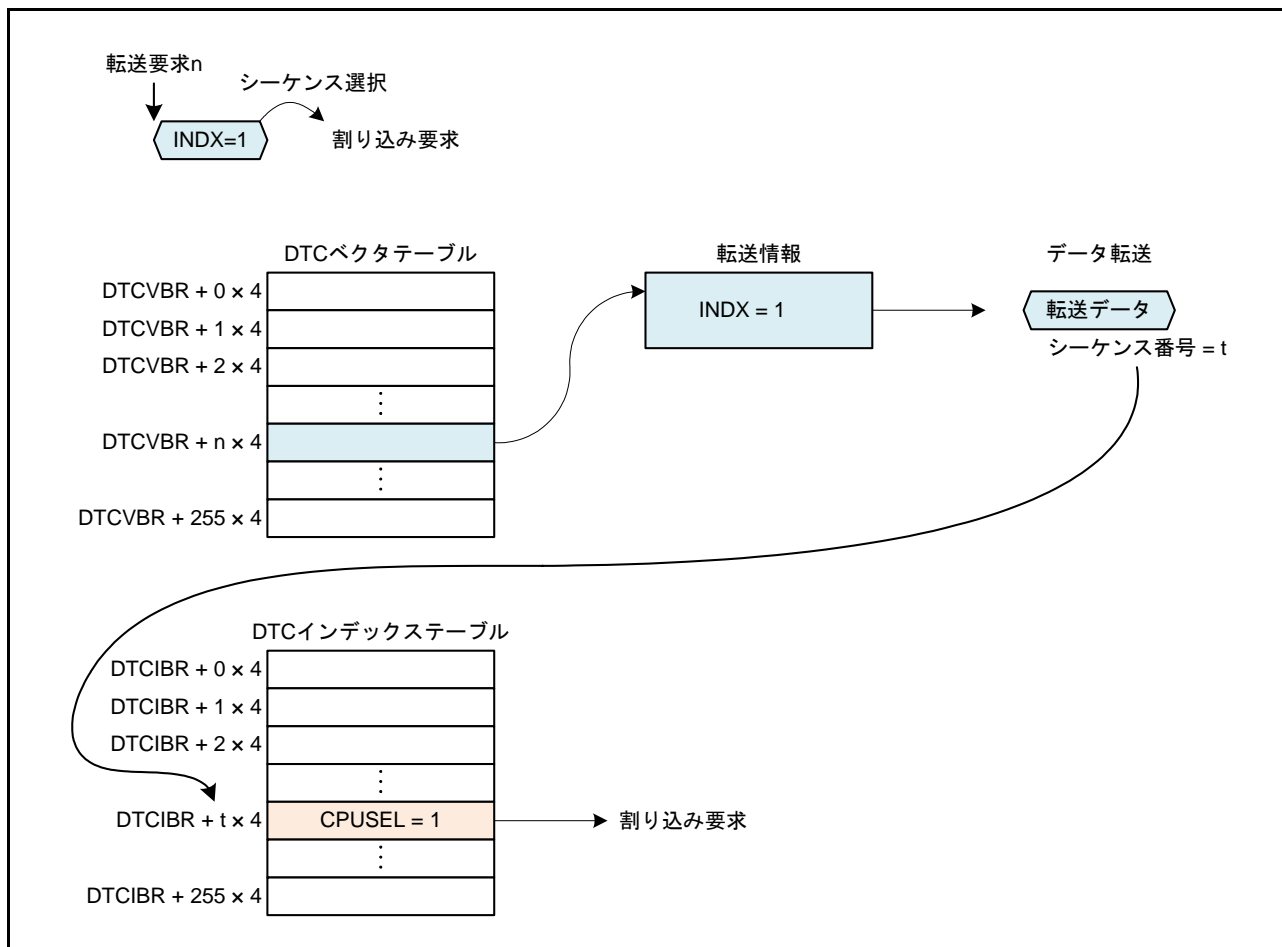


図 18.23 CPUに割り込み要求を出力する例

18.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。シーケンス転送を使用する場合は DTC インデックステーブルベースレジスタ (DTCIBR) も設定してください。

図 18.24 に DTC の起動に必要な設定手順を示します。

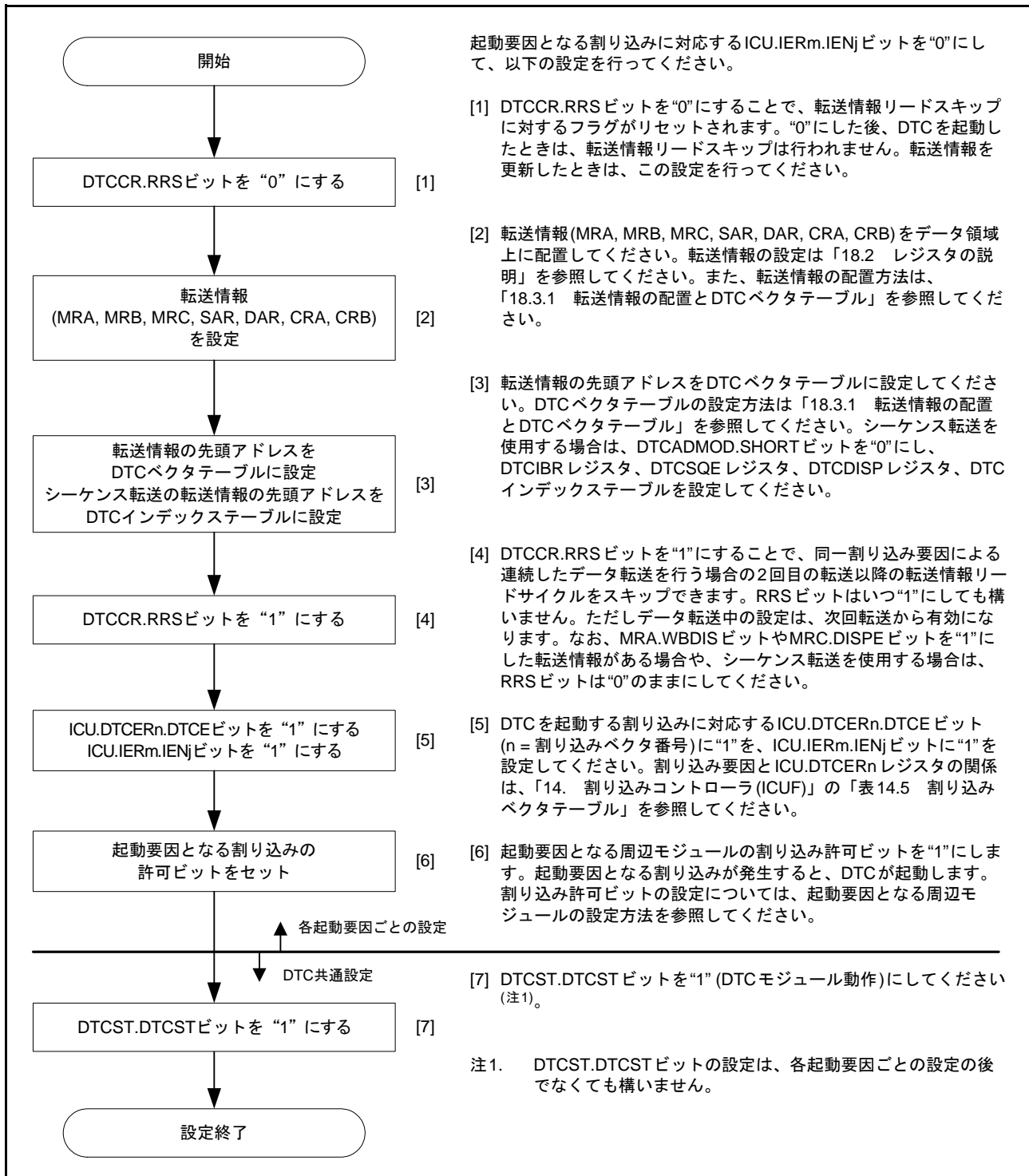


図 18.24 DTC の設定手順

18.6 DTC 使用例

18.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数のデータ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

18.6.2 カウンタが“0”のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2のデータ転送において第1の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回を超えるリピート転送を行うことができます。

128K バイトの入力バッファを 20 0000h ~ 21 FFFFh 番地に構成する例を示します (入力バッファは下位アドレス “0000h” から始まるように設定します)。カウンタが“0”のときのチェーン転送を図 18.25 に示します。

- (1) 第1のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタは “0000h” (65536 回)、MRB.CHNE ビットは “1” (チェーン転送許可)、MRB.CHNS ビットは “1” (転送カウンタが “0” になったときのみチェーン転送を行う)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。
- (2) 第1のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビット (この例の場合は “21h” と “20h”) を別の領域 (ROM など) に用意してください。
- (3) 第2のデータ転送は、第1のデータ転送の転送先アドレス再設定用にリピート転送モード (転送元をリピート領域) にします。転送先は第1の転送情報内の DAR レジスタの上位 8 ビットが配置されているアドレスです。このとき MRB.CHNE ビットは “0” (チェーン転送禁止)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。この例の場合は、転送カウンタを “2” にしてください。
- (4) DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “21h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは、“0000h” になっています。
- (5) 引き続き、DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “20h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは “0000h” になっています。
- (6) 上記 (4)、(5) を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPU への割り込み要求は発生しません。

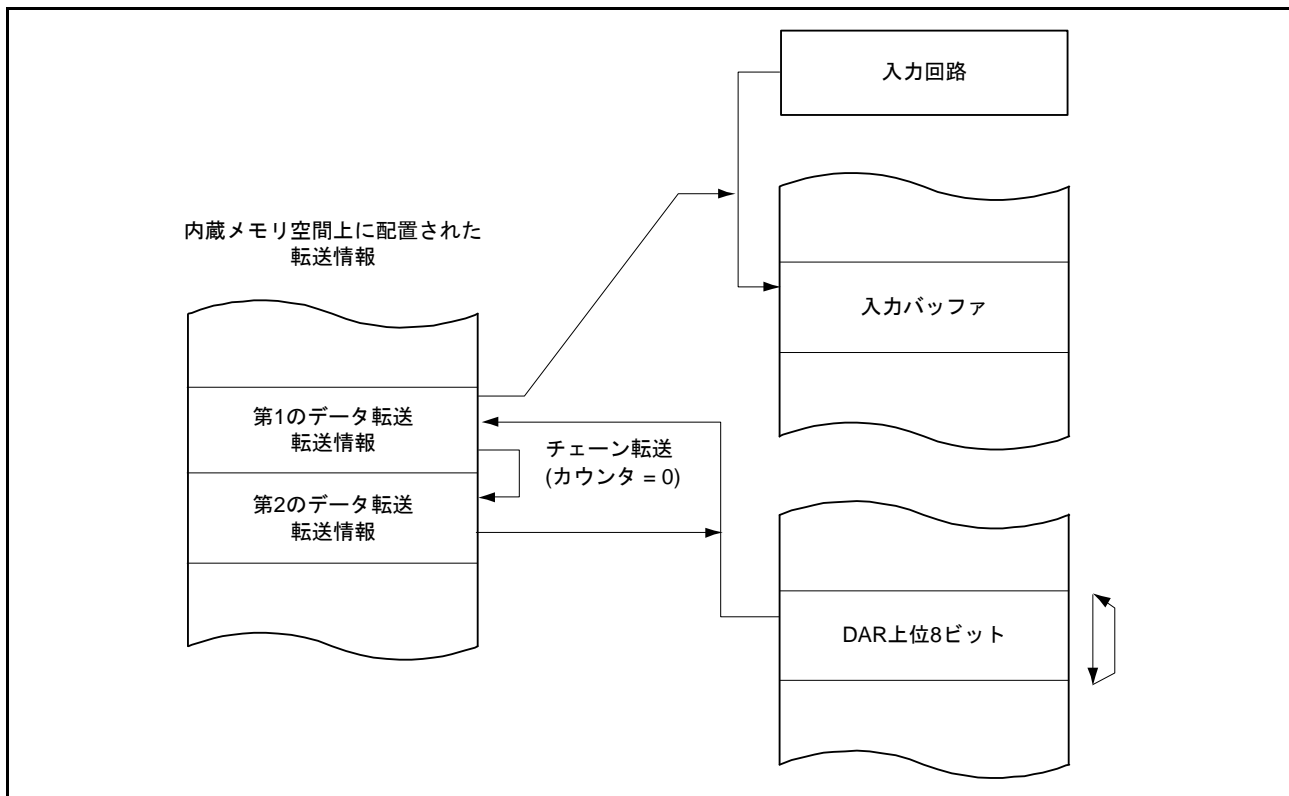


図 18.25 カウンタが“0”のときのチェーン転送

18.6.3 シーケンス転送

SCI の受信割り込みをシーケンス転送の起動要因にする例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定された回数のデータ転送が終了したとき割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタインクリメント)、INDX ビットを “1” (シーケンス転送開始)、SQEND ビットを “0” (シーケンス転送継続) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタに SCIk.RDR レジスタのアドレス、DAR レジスタにデータを格納する RAM の先頭アドレスを設定します。

WBDIS ビットを “1” (ライトバックしない) にした場合、CRA レジスタ、CRB レジスタの値は無視されます。

(2) DTC ベクタテーブルの設定

対象となる受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) DTC インデックステーブルの設定

シーケンスごとの転送情報の先頭アドレスを、DTC インデックステーブルに設定します。

(4) ICU の設定と DTC モジュールの起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(5) SCI の設定

SCIk.SCR.RIE ビットを“1”にし、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(6) シーケンス転送の開始

SCI で 1 バイトのデータ受信が完了すると RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCIk.RDR レジスタから RAM へ転送されます。この受信データの値 (シーケンス番号) によって DTC インデックステーブルを参照し、引き続きシーケンス番号に対応したデータ転送を実行します。

DTC インデックスの CPUSEL ビットが“1”の場合は、転送情報をリードせず、ICU.DTCERn.DTCE ビットを“0”にし、CPU に割り込み要求を出力してシーケンス転送を終了します。

(7) シーケンス転送一時中断中

ICU.DTCERn.DTCE ビットが“0”になっている場合は、“1”にします。対象となる RXI 割り込みによる DTC 転送要求が発生するたびに、続きのデータ転送を行います。

(8) シーケンス転送終了

シーケンス転送の最後の転送情報の MRB.SQEND ビットを“1”に設定します。このデータ転送を実行後、シーケンス転送を終了し、次に対象となる RXI 割り込みによる DTC 転送要求が発生した時は、DTC ベクタテーブルの参照から開始します。

18.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが“1” (データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

18.8 イベントリンク

DTC は 1 要求分の転送完了後にイベント信号を出力します。ただし、転送先が「外部バス」、もしくは、「内部周辺バス」の場合、ライトバッファへの書き込みが完了した時点で、イベント信号を出力します。

18.9 消費電力低減機能

モジュールストップ状態、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0” (DTC モジュール停止) にした後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

「11. 消費電力低減機能」の「11.5.2.1 全モジュールクロックストップモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合は、データ転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.5.3.1 ソフトウェアスタンバイモードへの移行」、もしくは「11.5.4.1 ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモード、もしくはディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定手順については、「11. 消費電力低減機能」の「11.6.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを“1” にしてください。

全モジュールクロックストップモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、「14. 割り込みコントローラ (ICUF)」の「14.7.3.1 割り込み要求先の設定手順」の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.10 使用上の注意事項

18.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4の倍数を指定してください。4の倍数以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

18.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 18.26 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は +8h (+Ch) 番地に CRA 設定データ、+Ah (+Eh) 番地に CRB 設定データを書いてください。リトルエンディアンの場合は +8h (+Ch) 番地に CRB 設定データ、+Ah (+Eh) 番地に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して +8h (+Ch) 番地に書いてください。

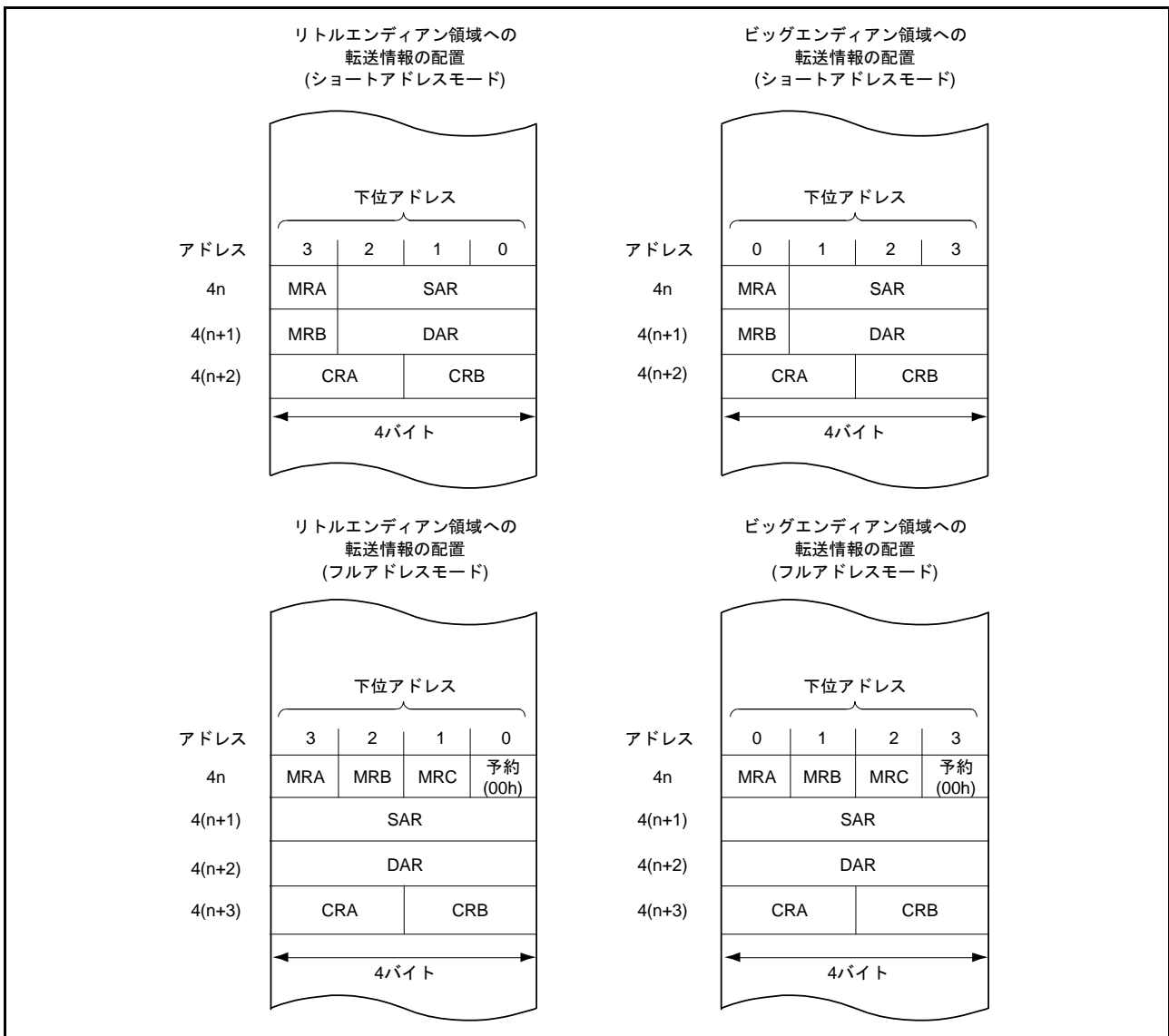


図 18.26 転送情報の配置

18.10.3 割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn.DTCE ビットを“1”(DTC の起動要因に設定する)にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要因選択レジスタ (ICU.DMRSRm (m = DMAC チャンネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUF)」を参照してください。

18.10.4 シーケンス転送使用時の注意事項

シーケンス転送は、DTCADMOD.SHORT ビットを“0”(フルアドレスモード)、DTCCR.RRS ビットを“0”(リードスキップを行わない)にして使用してください。

また、MRB.INDX ビットを“1”(シーケンス転送開始)にするとき、あるいは MRB.SQEND ビットを“1”(シーケンス転送終了)にするときは、MRB.CHNE ビットを“0”(チェーン転送禁止)にしてください。

19. イベントリンクコントローラ (ELC)

19.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) します。これにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 19.1 に ELC の仕様を示します。図 19.1 に ELC のブロック図を示します。

表 19.1 ELCの仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> 83種類のイベント信号を、直接周辺モジュールへリンク可能 タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 ポートB、ポートEのイベントリンク動作が可能 シングルポート(注1): 指定した1本のポートにイベントリンクの動作設定が可能 ポートグループ(注1): 最大8本あるポートの内、指定した複数本のポートをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. 入力に設定されているシングルポート、ポートグループでは、対応する端子への入力信号が変化するとイベントが発生します。

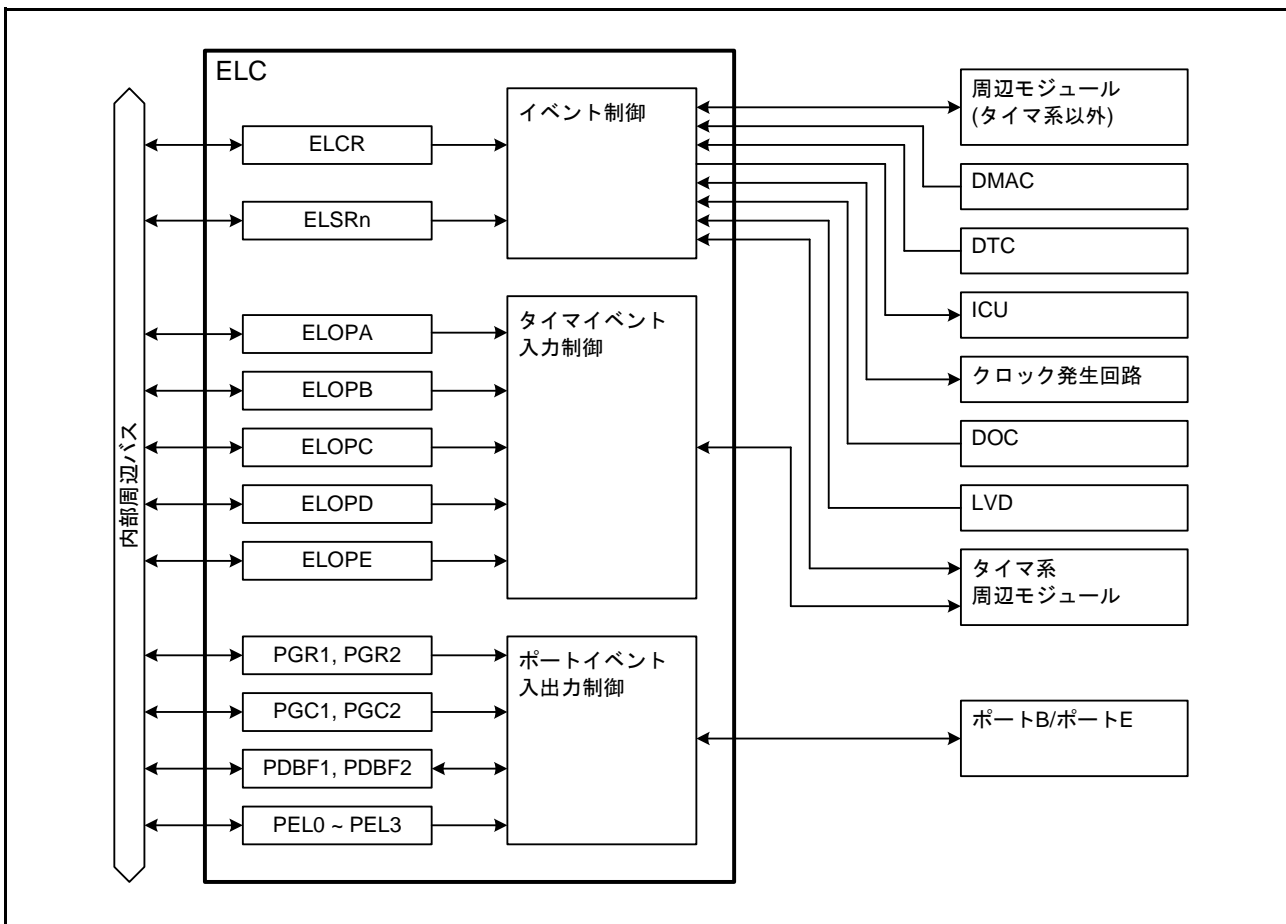


図 19.1 ELC のブロック図 (n = 0, 3, 4, 7, 10 ~ 13, 15, 16, 18 ~ 28, 30, 31, 32, 56)

19.2 レジスタの説明

19.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス ELC.ELCR 0008 B100h

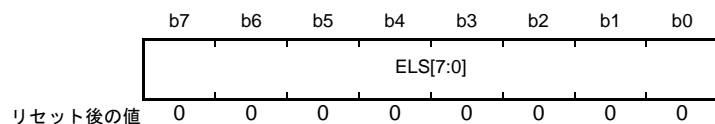
	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

19.2.2 イベントリンク設定レジスタ n (ELSRn) (n = 0, 3, 4, 7, 10 ~ 13, 15, 16, 18 ~ 28, 30, 31, 32, 56)

アドレス ELC.ELSR0 0008 B101h, ELC.ELSR3 0008 B104h, ELC.ELSR4 0008 B105h, ELC.ELSR7 0008 B108h,
ELC.ELSR10 0008 B10Bh, ELC.ELSR11 0008 B10Ch, ELC.ELSR12 0008 B10Dh, ELC.ELSR13 0008 B10Eh,
ELC.ELSR15 0008 B110h, ELC.ELSR16 0008 B111h, ELC.ELSR18 0008 B113h, ELC.ELSR19 0008 B114h,
ELC.ELSR20 0008 B115h, ELC.ELSR21 0008 B116h, ELC.ELSR22 0008 B117h, ELC.ELSR23 0008 B118h,
ELC.ELSR24 0008 B119h, ELC.ELSR25 0008 B11Ah, ELC.ELSR26 0008 B11Bh, ELC.ELSR27 0008 B11Ch,
ELC.ELSR28 0008 B11Dh, ELC.ELSR30 0008 B12Eh, ELC.ELSR31 0008 B12Fh, ELC.ELSR32 0008 B130h,
ELC.ELSR56 0008 B14Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	00h : 該当する周辺モジュールへのイベント信号の出力は無効 01h~F1h : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 19.2 に示します。また、ELSRn レジスタに設定する値とイベント信号の対応を表 19.3 に示します。

表 19.2 ELSRnレジスタと周辺モジュールの対応

レジスタ名	周辺モジュール
ELSR0	MTU0
ELSR3	MTU3
ELSR4	MTU4
ELSR7	CMT1
ELSR10	TMR0
ELSR11	TMR1
ELSR12	TMR2
ELSR13	TMR3
ELSR15	S12AD (ELCTRG00N)
ELSR16	DA0
ELSR18	ICU (割り込み1)(注1)
ELSR19	ICU (割り込み2)(注1)
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0(注2)
ELSR25	シングルポート1(注2)
ELSR26	シングルポート2(注2)
ELSR27	シングルポート3(注2)
ELSR28	クロックソースをLOCOへ切り替え
ELSR30	MTU6
ELSR31	MTU7
ELSR32	MTU8
ELSR56	S12AD (ELCTRG01N)

注1. イベント信号は“EAh”～“F1h”の中から指定してください。これ以外の値は、設定しないでください。

注2. ELSR24、ELSR25、ELSR26、ELSR27レジスタにDOC・データ演算条件成立信号(F1h)は、設定しないでください。

表 19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (1/3)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
01h	マルチファンクションタイム パルスユニット3	MTU0・コンペアマッチ0A
02h		MTU0・コンペアマッチ0B
03h		MTU0・コンペアマッチ0C
04h		MTU0・コンペアマッチ0D
05h		MTU0・コンペアマッチ0E
06h		MTU0・コンペアマッチ0F
07h		MTU0・オーバフロー
10h		MTU3・コンペアマッチ3A
11h		MTU3・コンペアマッチ3B
12h		MTU3・コンペアマッチ3C
13h		MTU3・コンペアマッチ3D
14h		MTU3・オーバフロー
15h		MTU4・コンペアマッチ4A
16h		MTU4・コンペアマッチ4B
17h		MTU4・コンペアマッチ4C
18h		MTU4・コンペアマッチ4D
19h		MTU4・オーバフロー
1Ah		MTU4・アンダフロー
1Eh		MTU6・コンペアマッチ6A
1Fh		MTU6・コンペアマッチ6B
20h		MTU6・コンペアマッチ6C
21h		MTU6・コンペアマッチ6D
22h		MTU6・オーバフロー
23h		MTU7・コンペアマッチ7A
24h		MTU7・コンペアマッチ7B
25h		MTU7・コンペアマッチ7C
26h		MTU7・コンペアマッチ7D
27h		MTU7・オーバフロー
28h		MTU7・アンダフロー
29h		MTU8・コンペアマッチ8A
2Ah		MTU8・コンペアマッチ8B
2Bh		MTU8・コンペアマッチ8C
2Ch	MTU8・コンペアマッチ8D	
2Dh	MTU8・オーバフロー	
37h	コンペアマッチタイマ	CMT1・コンペアマッチ1

表 19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (2/3)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号	
3Ch	8ビットタイマ	TMR0・コンペアマッチA0	
3Dh		TMR0・コンペアマッチB0	
3Eh		TMR0・オーバフロー	
3Fh		TMR1・コンペアマッチA1	
40h		TMR1・コンペアマッチB1	
41h		TMR1・オーバフロー	
42h		TMR2・コンペアマッチA2	
43h		TMR2・コンペアマッチB2	
44h		TMR2・オーバフロー	
45h		TMR3・コンペアマッチA3	
46h		TMR3・コンペアマッチB3	
47h		TMR3・オーバフロー	
ACh		リアルタイムクロック	RTC・周期イベント(1/256秒、1/128秒、1/64秒、1/32秒、1/16秒、1/8秒、1/4秒、1/2秒、1秒、2秒から選択)
AFh		独立ウォッチドッグタイマ	IWDT・アンダフロー・リフレッシュエラー
B8h	シリアルコミュニケーション インタフェース	SCI5・エラー(受信エラー・エラーシグナル検出)	
B9h		SCI5・受信データフル	
BAh		SCI5・送信データエンプティ	
BBh		SCI5・送信完了	
CCh	I ² Cバスインタフェース	RIIC0・通信エラー、イベント発生	
CDh		RIIC0・受信データフル	
CEh		RIIC0・送信データエンプティ	
CFh		RIIC0・送信終了	
D0h	シリアルペリフェラルインタ フェース	RSPI0・エラー(モードフォルト・オーバラン・アンダラン・パリティ エラー)	
D1h		RSPI0・アイドル	
D2h		RSPI0・受信バッファフル	
D3h		RSPI0・送信バッファエンプティ	
D4h		RSPI0・送信完了	
D6h	12ビットA/Dコンバータ	S12AD・A/D変換終了	
DCh	コンパレータC	コンパレータC0・比較結果変化	
DDh		コンパレータC1・比較結果変化	
DEh		コンパレータC2・比較結果変化	
DFh		コンパレータC3・比較結果変化	
E2h	電圧検出回路	LVD1・電圧検出	
E3h		LVD2・電圧検出	
E4h	DMAコントローラ	DMAC0・転送終了	
E5h		DMAC1・転送終了	
E6h		DMAC2・転送終了	
E7h		DMAC3・転送終了	
E8h	データトランスファコントローラ	DTC・転送終了	
E9h	クロック発生回路	クロック発生回路・発振停止検出	

表 19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (3/3)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
EAh	I/Oポート	入力ポートグループ1・入力エッジ検出
EBh		入力ポートグループ2・入力エッジ検出
ECh		シングル入力ポート0・入力エッジ検出
EDh		シングル入力ポート1・入力エッジ検出
EEh		シングル入力ポート2・入力エッジ検出
EFh		シングル入力ポート3・入力エッジ検出
F0h	イベントリンクコントローラ	ソフトウェアイベント
F1h	データ演算回路	DOC・データ演算条件成立
上記以外は設定しないでください		

19.2.3 イベントリンクオプション設定レジスタ A (ELOPA)

アドレス ELC.ELOPA 0008 B11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	MTU3MD[1:0]	—	—	—	—	—	MTU0MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU0MD[1:0]	MTU0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウンtrisタート 1 0 : インพุットキャプチャ(注1) 1 1 : イベント出力禁止	R/W
b5-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b6	MTU3MD[1:0]	MTU3動作選択ビット	b7 b6 0 0 : カウントスタート 0 1 : カウンtrisタート 1 0 : インพุットキャプチャ(注2) 1 1 : イベント出力禁止	R/W

注1. MTU0.TCNTレジスタの値がMTU0.TGRAレジスタにキャプチャされます。

注2. MTU3.TCNTレジスタの値がMTU3.TGRAレジスタにキャプチャされます。

ELOPAレジスタは、イベント信号が入力されたときのMTU0、MTU3の動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

19.2.4 イベントリンクオプション設定レジスタ B (ELOPB)

アドレス ELC.ELOPB 0008 B120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MTU4MD[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU4MD[1:0]	MTU4動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウンtrisタート 1 0 : インพุットキャプチャ(注1) 1 1 : イベント出力禁止	R/W
b7-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU4.TCNTレジスタの値がMTU4.TGRAレジスタにキャプチャされます。

ELOPBレジスタは、イベント信号が入力されたときのMTU4の動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

19.2.5 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス ELC.ELOPC 0008 B121h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CMT1MD[1:0]	—	—	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、イベント信号が入力されたときの CMT1 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

19.2.6 イベントリンクオプション設定レジスタ D (ELOPD)

アドレス ELC.ELOPD 0008 B122h

b7	b6	b5	b4	b3	b2	b1	b0
TMR3MD[1:0]	TMR2MD[1:0]	TMR1MD[1:0]	TMR0MD[1:0]	—	—	—	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b3-b2	TMR1MD[1:0]	TMR1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b6	TMR3MD[1:0]	TMR3動作選択ビット	b7 b6 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W

ELOPD レジスタは、イベント信号が入力されたときの TMR0～TMR3 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

19.2.7 イベントリンクオプション設定レジスタ E (ELOPE)

アドレス ELC.ELOPE 0008 B13Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	MTU8MD[1:0]	MTU7MD[1:0]	MTU6MD[1:0]			
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MTU6MD[1:0]	MTU6動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ(注1) 1 1 : イベント出力禁止	R/W
b3-b2	MTU7MD[1:0]	MTU7動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ(注2) 1 1 : イベント出力禁止	R/W
b5-b4	MTU8MD[1:0]	MTU8動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : インพุットキャプチャ(注3) 1 1 : イベント出力禁止	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU6.TCNT レジスタの値がMTU6.TGRA レジスタにキャプチャされます。

注2. MTU7.TCNT レジスタの値がMTU7.TGRA レジスタにキャプチャされます。

注3. MTU8.TCNT レジスタの値がMTU8.TGRA レジスタにキャプチャされます。

ELOPE レジスタは、イベント信号が入力されたときの MTU6、MTU7、MTU8 の動作を設定するレジスタです。ELC 機能を使用しないときは、“11b”(イベント出力禁止) にしてください。

19.2.8 ポートグループ指定レジスタ n (PGRn) (n = 1, 2)

アドレス ELC.PGR1 0008 B123h, ELC.PGR2 0008 B124h

	b7	b6	b5	b4	b3	b2	b1	b0
	PGR7	PGR6	PGR5	PGR4	PGR3	PGR2	PGR1	PGR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGR0	ポートグループ指定0ビット	0: ポートグループに指定しない 1: ポートグループに指定する	R/W
b1	PGR1	ポートグループ指定1ビット		R/W
b2	PGR2	ポートグループ指定2ビット		R/W
b3	PGR3	ポートグループ指定3ビット		R/W
b4	PGR4	ポートグループ指定4ビット		R/W
b5	PGR5	ポートグループ指定5ビット		R/W
b6	PGR6	ポートグループ指定6ビット		R/W
b7	PGR7	ポートグループ指定7ビット		R/W

PGRn レジスタは、I/O ポートのグループ設定をするレジスタです。8 ビットのポートの内、このレジスタで“1”にしたビットに対応するポートがポートグループに選択されます。

たとえば、PGR1.PGR6 ビットと PGR1.PGR3 ビットを“1”にした場合、PB6 端子と PB3 端子がポートグループに選択されます。

表 19.4 に PGRn レジスタとポートの対応を示します。

表 19.4 ポートグループ関連レジスタとポート番号の対応

ポート番号	ポートグループ指定レジスタ (PGR)	ポートグループコントロールレジスタ (PGC)	ポートバッファレジスタ (PDBF)
ポートB	PGR1 レジスタ	PGC1 レジスタ	PDBF1 レジスタ
ポートE	PGR2 レジスタ	PGC2 レジスタ	PDBF2 レジスタ

19.2.9 ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)

アドレス ELC.PGC1 0008 B125h, ELC.PGC2 0008 B126h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCI[1:0]	イベント出力エッジ選択ビット	b1 b0 0 0 : ポートへの入力信号の立ち上がりエッジを検出して、イベント信号を出力 0 1 : ポートへの入力信号の立ち下がりエッジを検出して、イベント信号を出力 1 x : ポートへの入力信号の立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b2	PGCOVE	PDBFn上書き指定ビット	0 : PDBFnレジスタへの上書き無効 1 : PDBFnレジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO[2:0]	ポートグループ動作セレクトビット	b6 b4 0 0 0 : イベント信号が入力されると、Lowを出力 0 0 1 : イベント信号が入力されると、Highを出力 0 1 0 : イベント信号が入力されると、トグル(反転)出力 0 1 1 : イベント信号が入力されると、バッファ値を出力 1 x x : イベント信号が入力されると、ポートグループ内でビットローテート出力(MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号が入力されたときにポートから出力する信号の形式を指定するレジスタです。また、入力に設定されたポートグループに対して、PDBFn レジスタへの上書き有効/無効の指定およびイベント発生条件(ポートへの入力信号の変化)の設定を行うレジスタです。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

PGCn レジスタとポートの対応については、表 19.4 を参照してください。

19.2.10 ポートバッファレジスタ n (PDBFn) (n = 1, 2)

アドレス ELC.PDBF1 0008 B127h, ELC.PDBF2 0008 B128h

	b7	b6	b5	b4	b3	b2	b1	b0
	PDBF7	PDBF6	PDBF5	PDBF4	PDBF3	PDBF2	PDBF1	PDBF0
リセット後の値	0	0	0	0	0	0	0	0

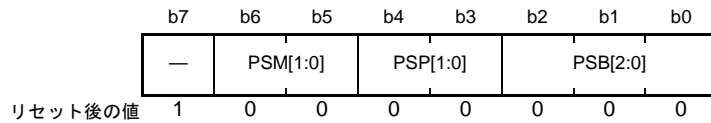
ビット	シンボル	ビット名	機能	R/W
b0	PDBF0	ポートバッファ 0 ビット	イベント信号が入力されたときにPODRレジスタに転送するデータを設定します。設定した値は、PGCn.PGCO[2:0]ビットが“011b”、“1xxb”の場合に有効です。入力ポートグループに指定したビットへの書き込みは無効となります。詳細は、「19.3 動作説明」を参照してください	R/W
b1	PDBF1	ポートバッファ 1 ビット		R/W
b2	PDBF2	ポートバッファ 2 ビット		R/W
b3	PDBF3	ポートバッファ 3 ビット		R/W
b4	PDBF4	ポートバッファ 4 ビット		R/W
b5	PDBF5	ポートバッファ 5 ビット		R/W
b6	PDBF6	ポートバッファ 6 ビット		R/W
b7	PDBF7	ポートバッファ 7 ビット		R/W

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、「19.3.5 I/O ポートのイベント信号入力時の動作とイベント生成」を参照してください。

PDBFn レジスタとポートの対応については、表 19.4 を参照してください。

19.2.11 イベント接続ポート指定レジスタ m (PELm) (m = 0 ~ 3)

アドレス ELC.PEL0 0008 B129h, ELC.PEL1 0008 B12Ah, ELC.PEL2 0008 B12Bh, ELC.PEL3 0008 B12Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	シングルポートに指定したいポートのビット番号を設定してください	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : ポート E (PGR2 レジスタに対応) 1 1 : 設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	<ul style="list-style-type: none"> 出力ポートに設定したとき : ポート出力データを指定 b6 b5 0 0 : イベント信号が入力されると、Low を出力 0 1 : イベント信号が入力されると、High を出力 1 x : イベント信号が入力されると、トグル (反転) 出力 入力ポートに設定したとき : イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント信号を出力 0 1 : 立ち下がりエッジを検出して、イベント信号を出力 1 x : 立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力 	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PELm レジスタは、シングルポートの指定、イベント信号が入力されたときの動作、およびイベント出力の条件を設定するレジスタです。本 MCU では、ポート B およびポート E のビットに対して、最大 4 つのシングルポートを設定できます。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

19.2.12 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス ELC.ELSEGR 0008 B12Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0: 通常動作 1: ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0: SEGビットへの書き込み禁止 1: SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0: ELSEGRレジスタへの書き込み許可 1: ELSEGRレジスタへの書き込み禁止	W

本レジスタへの書き込みはMOV命令を使用してください。

SEGビット(ソフトウェアイベント発生ビット)

WEビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。本ビットは読むと“0”が読めます。“1”を書いても“1”になりません。

WEビット(SEGビット書き込み許可ビット)

WEビットが“1”のときのみ、SEGビットに対する書き込みが可能になります。
WEビットを“1”にするには、WIビットに“0”、WEビットに“1”を同時に書いてください。
WEビットを“0”にするには、WIビットに“0”、WEビットに“0”を同時に書いてください。

WIビット(ELSEGRレジスタ書き込み禁止ビット)

WIビットの書き込み値が“0”のときのみ、ELSEGRレジスタに対する書き込みが可能になります。読むと“1”が読めます。

19.3 動作説明

19.3.1 割り込み処理とイベントリンクの関係

本MCUに内蔵している周辺モジュールには、割り込みステータスフラグと、これらの割り込み要求の許可/禁止を制御する割り込み許可ビットがあります。各周辺モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグが“1”になり、割り込み要求が許可のとき、CPUに対して割り込みを要求します。

これに対して、ELCは、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続(リンク)することにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作をさせることができます。イベント信号は、対応する割り込み許可ビットの設定に関係なく出力することができます。図19.2に割り込み処理とELCの関係を示します。

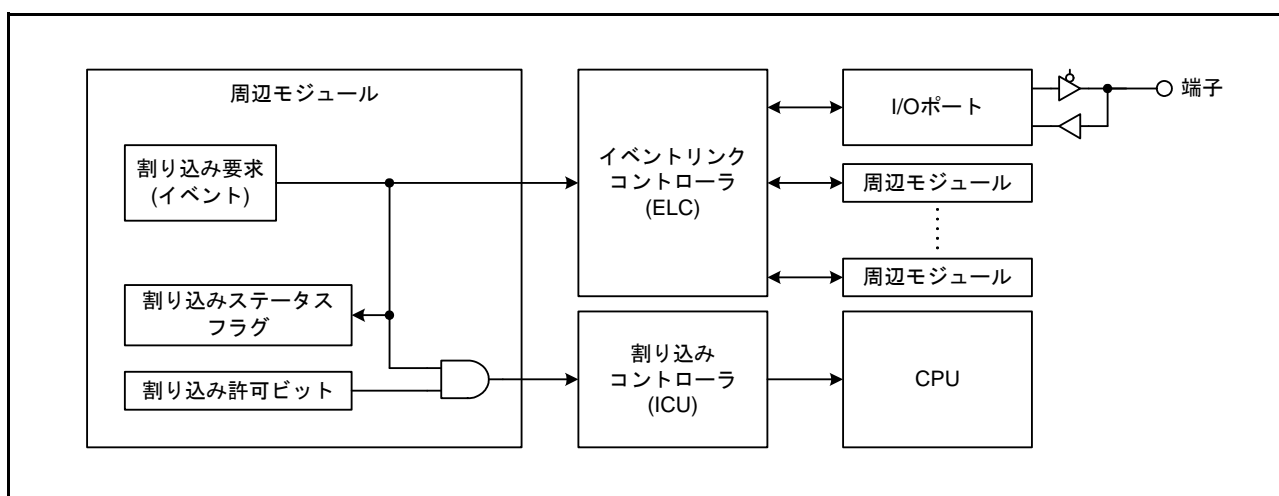


図 19.2 割り込み処理と ELC の関係

19.3.2 イベントのリンク

ELSRn レジスタにイベントを設定することにより、設定したイベントが発生した場合に対応する周辺モジュールを動作させることができます。1つの周辺モジュールに、1種類のイベントのみリンクできます。イベントにより動作させる周辺モジュールの初期設定が完了してから、ELSRn レジスタを設定してください。表 19.5 にイベント信号を入力したときの周辺モジュール別動作一覧を示します。

表 19.5 イベント信号入力時の周辺モジュール別動作一覧

周辺モジュール	イベント信号入力時の動作		
MTU CMT TMR	ELOPA～ELOPEレジスタの設定により以下の動作が選択できます。 <ul style="list-style-type: none"> • イベント信号が入力されると、カウントスタート • イベント信号が入力されると、カウントリスタート • 入力したイベント数をカウント(CMT, TMR) • イベント信号が入力されると、キャプチャ動作(MTU) 		
A/Dコンバータ	イベント信号が入力されると、A/D変換を開始		
D/Aコンバータ	イベント信号が入力されると、D/A変換を開始		
I/Oポート(出力)	イベント信号が入力されると、PODRレジスタ(ポート出力データレジスタ)の値が変化(出力端子のレベルが変化)	ポートグループ	<ul style="list-style-type: none"> • PODRレジスタの値が、指定された値に変化 • PDBFnレジスタ(n = 1, 2)の値をPODRレジスタに転送 • ローテート出力
		シングルポート	PODRレジスタの値が指定された値に変化
I/Oポート(入力)	入力端子のレベルが変化	ポートグループ	イベント発生
		シングルポート	
	イベント信号入力時	ポートグループ	入力端子の信号レベルをPDBFnレジスタに転送
		シングルポート	この組み合わせは使用できません
クロック発生回路	イベント信号が入力されると、クロックソースを低速オンチップオシレータへ切り替え(注1)		
割り込み制御	イベント信号が入力されると、CPUに割り込みを要求、DMA転送開始、DTC転送開始		

注1. プロテクトレジスタ(PRCR.PRC0)の値にかかわらず、SCKCR3.CKSEL[2:0]ビットが“000b”(LOCO選択)に書き換わります。

19.3.3 タイマ系周辺モジュールのイベント信号入力時の動作

タイマ系周辺モジュールは、ELOPA ~ ELOPE レジスタによりイベント信号入力時の動作を設定します。

(1) カウントスタート動作

イベント信号が入力されると、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット(注1)が“1”になります。カウントスタートビットが“1”のときに入力されたイベント信号は無視されます。

(2) カウントリスタート動作

イベント信号が入力されると、タイマのカウンタをクリアします。各タイマの制御レジスタのカウントスタートビット(注1)は保持されるため、カウントスタートビットが“1”のときにイベント信号を入力するとカウンタは0からカウントを再開します。

(3) イベントカウンタ動作

タイマのカウントソースとして、イベント信号を使用します。イベント信号が入力されると、カウンタがインクリメントされます。

(4) インプットキャプチャ動作

イベント信号が入力されると、カウンタの値をキャプチャします。

注1. 各タイマ系周辺モジュール章にあるタイマスタートに関するレジスタの説明を参照してください。

19.3.4 A/D コンバータ、D/A コンバータのイベント信号入力時の動作

ADCSR.ADST ビット、DACR.DAOEO ビット(注1)が“1”になり、A/D 変換またはD/A 変換がスタートします。

注1. A/D コンバータ、D/A コンバータ章のビット説明を参照してください。

19.3.5 I/O ポートのイベント信号入力時の動作とイベント生成

I/O ポートのイベント信号入力時の動作とイベント生成条件の設定は ELC 内のレジスタで行います。イベントリンクが設定できる I/O ポートはポート B とポート E です。

(1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8 本ある I/O ポートの内の任意の 1 本へのイベントリンク (シングルポートへのイベントリンク) と、8 本ある I/O ポートの内の任意の複数本へのイベントリンク (ポートグループへのイベントリンク) ができます。

シングルポートの設定は、PELm.PSP[1:0] ビットと PSB[2:0] ビット (m = 0 ~ 3) で行います。ポートグループの設定は、PGRn レジスタ (n = 1, 2) により任意のビット (2 ビット以上) を“1”にすることで行います。PGRn レジスタで“1”にしたポートの内、出力に設定したポートは出力ポートグループに、入力に設定したポートは入力ポートグループになります。

1 本のポートに対してシングルポートとポートグループの両方の設定をした場合、入力ポートでは両方の機能が有効になり、出力ポートではポートグループの機能のみが有効になります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

(2) シングル入力ポートでのイベント発生

入力に設定されているシングルポートは、対応する端子への入力信号が変化するとイベント信号を出力します。イベント発生条件は、PELm.PSM[1:0] ビット (m = 0 ~ 3) で設定します。図 19.3 (1) にシングルポートのイベントリンク動作を示します。

(3) シングル出力ポートへのイベント信号入力

出力に設定されているシングルポートにイベント信号が入力されると、対応する端子のレベル (PODR レジスタの値) が PELm.PSM[1:0] ビットで指定したとおりに変化します。図 19.3 (2) にシングルポートのイベントリンク動作を示します。

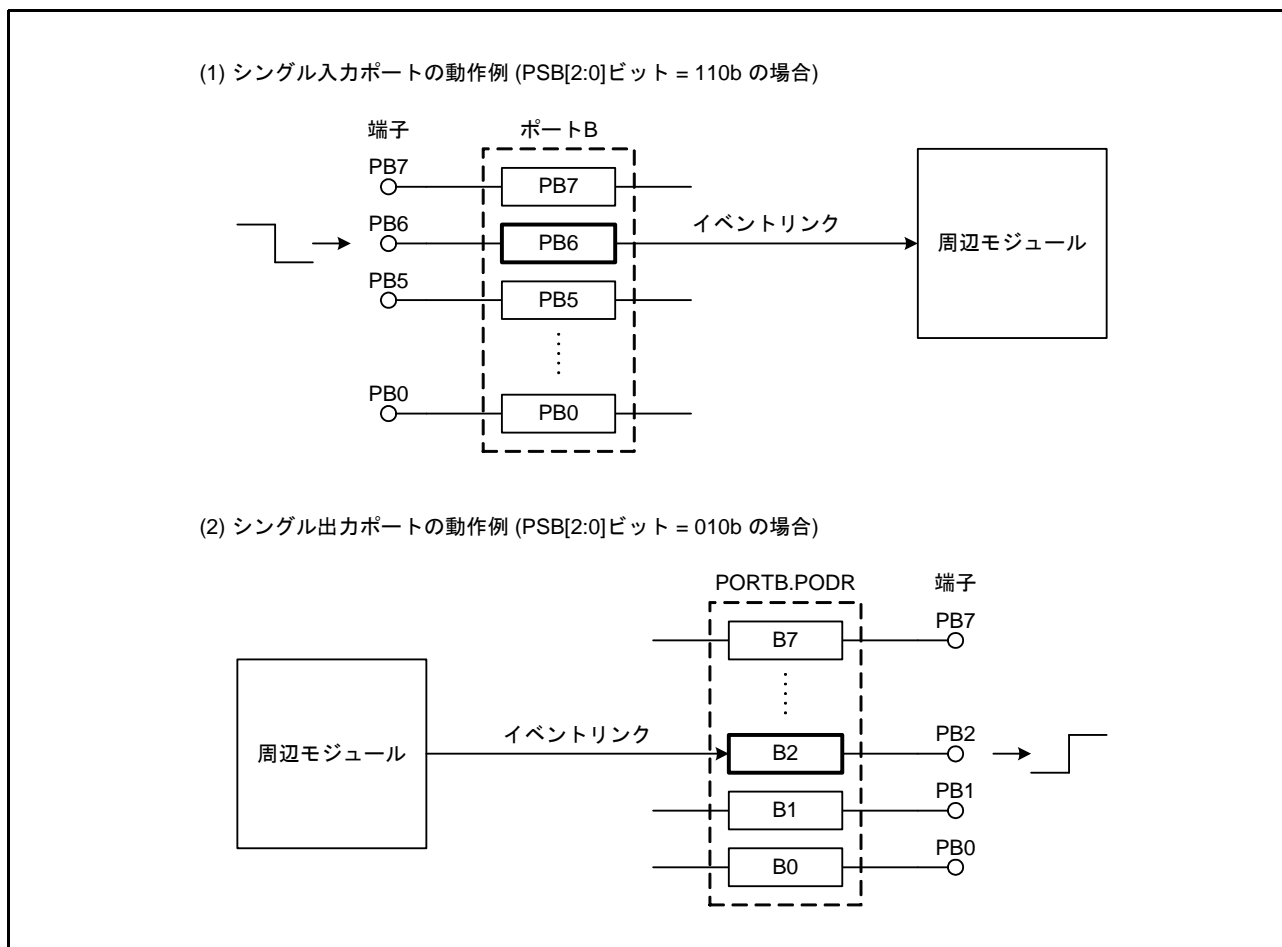


図 19.3 シングルポートのイベントリンク動作 (ポート B の場合)

(4) 入力ポートグループでのイベント発生

入力ポートグループは、対応する端子への入力信号のいずれかが変化すると、イベント信号を出力します。イベント発生条件は PGCn.PGCI[1:0] ビット (n = 1, 2) で設定します。

(5) 入力ポートグループへのイベント信号の入力

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタに転送されます。入力ポートグループに指定されていないポートに対応するビットの値は変化しません。図 19.4 に入力ポートグループのイベントリンク動作を示します。

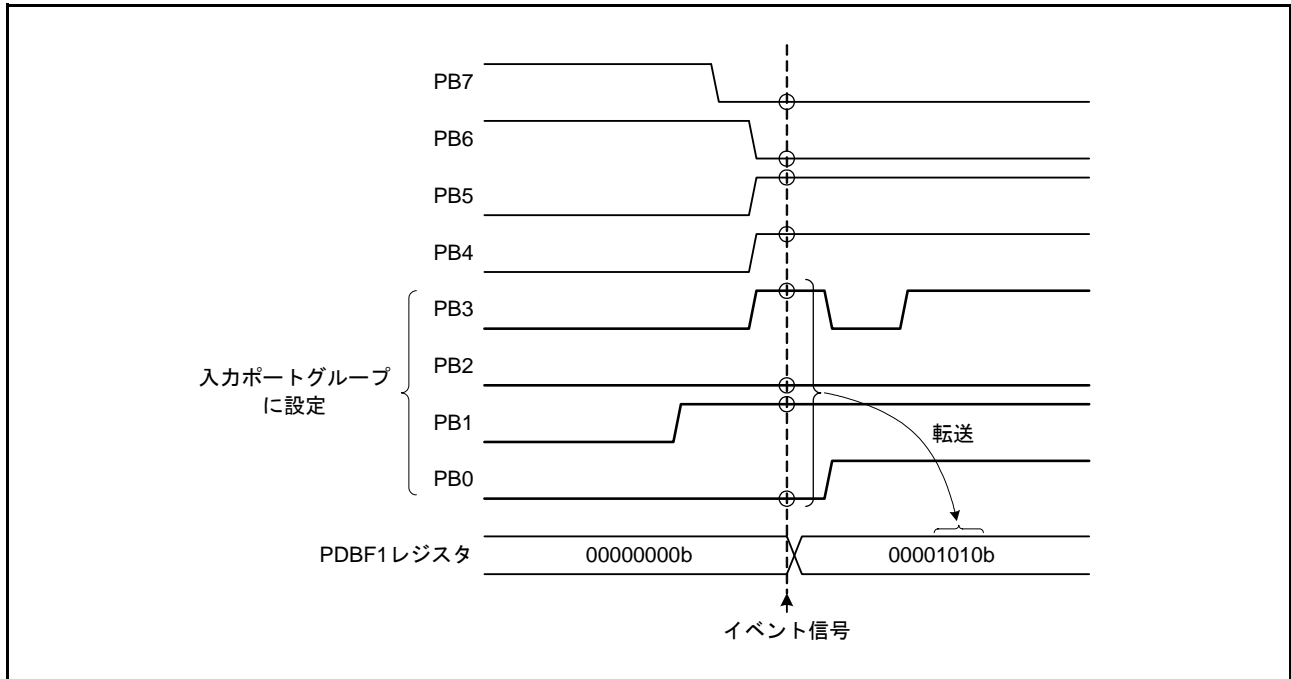


図 19.4 入力ポートグループのイベントリンク動作 (ポート B の場合)

(6) 出力ポートグループへのイベント信号の入力

出力ポートグループにイベント信号が入力されると、対応する PODR レジスタの値が PGCn.PGCO[2:0] ビット (n=1, 2) で設定されたとおりに変化します。図 19.5 に出力ポートグループのイベントリンク動作を示します。

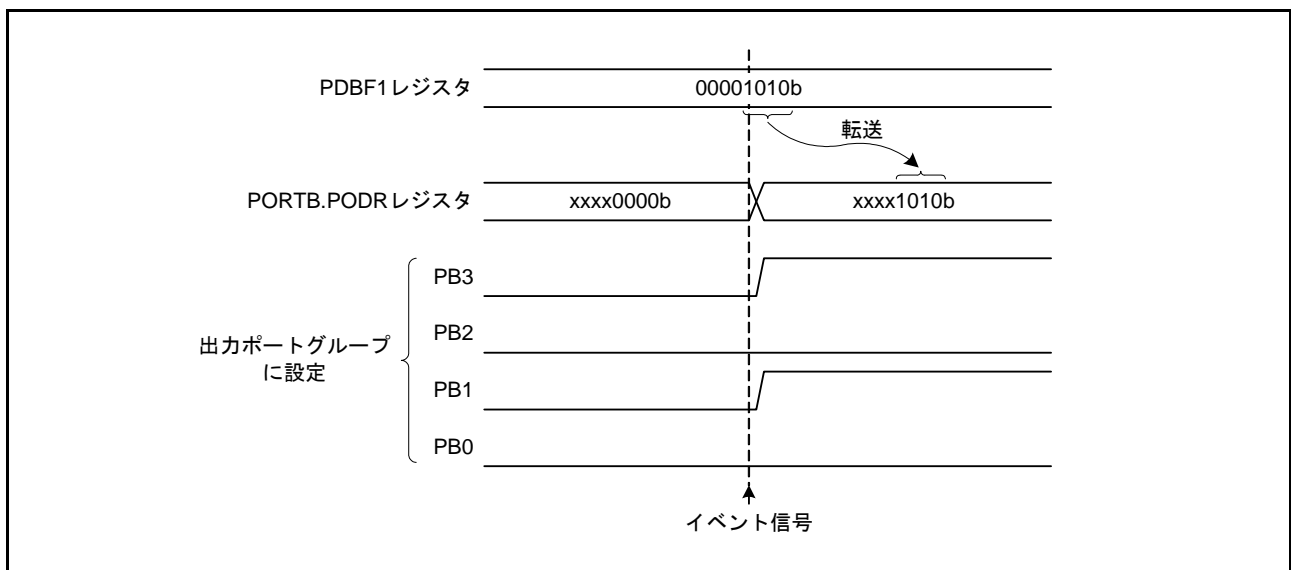


図 19.5 出力ポートグループのイベントリンク動作 (ポート B の場合)

(7) PDBFn レジスタの動作

(a) 入力ポートグループ

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタ ($n = 1, 2$) に転送されます。この状態で、再度入力ポートグループにイベント信号が入力された場合、PGCn.PGCOVE ビットの設定によって以下のように異なる動作をします。

- PGCn.PGCOVE ビット = 0 (上書き無効) のとき
 前回のイベント信号入力により PDBFn レジスタに転送された値が、CPU または DTC によってリードされている場合、そのときの端子のレベルが PDBFn レジスタに転送されます。リードされていない場合、端子のレベルは PDBFn レジスタに転送されず、入力したイベント信号は無効となります。
- PGCn.PGCOVE ビット = 1 (上書き有効) のとき
 入力ポートグループにイベント信号が入力されると、対応する端子のレベルが、PDBFn レジスタに転送されます。

(b) 出力ポートグループ

出力ポートグループが PDBFn レジスタの値を出力する設定 (PGCn.PGCO[2:0] ビット = 011b) になっている場合、出力ポートグループにイベント信号が入力されると、PDBFn レジスタの値が PODR レジスタに転送されます。出力ポートグループに設定されていないポートに対応するビットには、データは転送されません。

出力ポートグループがグループ内でのビットローテート出力 (PGCn.PGCO[2:0] ビット = 1xxb) に設定されている場合、1 回目のイベント信号で PDBFn レジスタから PODR レジスタにデータが転送され、2 回目以降のイベント信号で当該グループ内で PODR レジスタ値が MSB → LSB にローテートします。

図 19.6 にビットローテートの動作を示します。

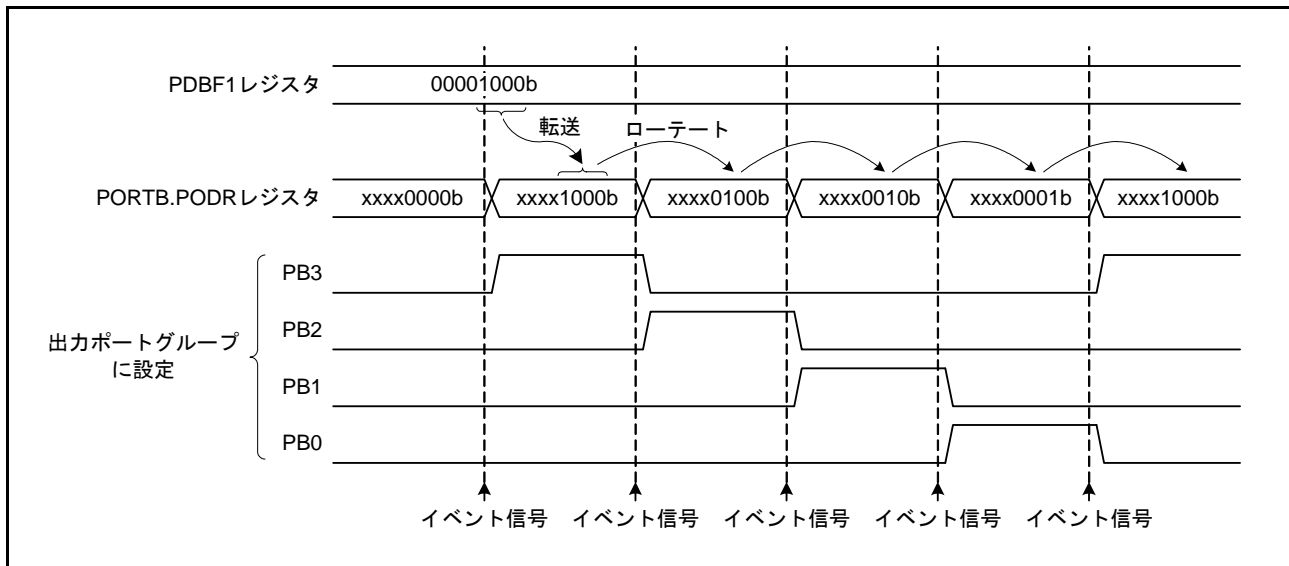


図 19.6 出力ポートグループのビットローテート動作 (ポート B の場合)

(8) PODR レジスタ、PDBFn レジスタへの書き込み制限

ELCR.ELCON ビットが“1”(ELC 機能は有効)のとき、下記の条件で PODR レジスタ、PDBFn レジスタ (n = 1, 2) への書き込みが無効となります。

- 入力ポートグループに指定しイベントリンクを設定すると、対応する PDBFn レジスタのビットへの書き込みは無効になります。
- 出力ポートグループに指定すると、対応する PODR レジスタのビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへのイベント接続設定 (ELSRn レジスタの設定) を行うと、対応する PODR レジスタのビットへの書き込みは無効になります。

19.3.6 イベントリンクの動作設定手順例

イベントリンクの動作手順を以下に示します。

- (1) イベント信号により動作する(リンク先)周辺モジュールの初期設定を行います。
- (2) ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。
PODR レジスタ： 出力に設定したポートの初期値を設定します。
PDR レジスタ： ポートの入出力方向を設定します。
PGRn レジスタ： ポートグループとして動作させる場合、グループ化の対象となるポートを設定します (n = 1, 2)。
PGCn レジスタ： ポートグループとして動作させる場合の動作を設定します。
PELm レジスタ： シングルポートとして動作させる場合、対象となるポートとイベント信号入力時の動作およびイベント発生条件を設定します (m = 0 ~ 3)。
- (3) リンク先の周辺モジュールに対応する ELSRn レジスタに、リンクするイベント信号の番号を設定します。
- (4) リンク先の周辺モジュールがタイマ系の周辺モジュールの場合は、必要に応じて ELOPA ~ ELOPE レジスタを設定します。
- (5) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全周辺モジュールのイベントリンク動作が有効となります。
- (6) イベント信号を出力する(リンク元)周辺モジュールの初期設定を行い、起動させます。周辺モジュールから出力されるイベント信号により、リンク先の周辺モジュールが事前に設定した動作を開始します。
- (7) 周辺モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn レジスタに“00h”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全周辺モジュールのイベントリンク動作が停止します。

注. LVD のイベント信号出力を使用する場合、LVD の設定を行った後、ELC の設定を行ってください。LVD を無効にする場合も、先に該当する ELSRn レジスタに“00h”を設定してから実施してください。

19.4 使用上の注意事項

19.4.1 ELSRn レジスタの設定について

(1) ELSR18、ELSR19 レジスタの設定

イベント信号は“EAh”～“F1h”の中から指定してください。これ以外の値は、設定しないでください。

(2) ELSR24、ELSR25、ELSR26、ELSR27 レジスタの設定

DOC・データ演算条件成立信号(F1h)は、設定しないでください。

19.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタ (n = 1, 2) の値を変更する場合、変更後に ELSRn レジスタを再設定してください。また、ビットローテート動作に使用するイベントの発生間隔は、1 PCLKB 以上にしてください。

19.4.3 DMA/DTC 転送終了のイベント信号使用時の注意事項

DMA/DTC 転送終了のイベント信号を使用する場合、データ転送先の周辺モジュールとリンク先の周辺モジュールを同じにしないでください。周辺モジュールへのDMA/DTC転送が完了する前に周辺モジュールが起動する可能性があります。

19.4.4 クロック設定について

イベントリンクを使用するにはELCの設定の他に、ELCと対象の周辺モジュールが動作可能である必要があります。対象の周辺モジュールがモジュールストップ状態の場合や、周辺モジュールが停止するモード(全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード)の場合は動作できません。

19.4.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、ELC の動作を禁止 / 許可することが可能です。リセット解除後は、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

20. I/Oポート

20.1 概要

I/Oポートは、汎用入出力ポートと周辺モジュールの入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODRy) (y = 0, 1)、入力プルアップ抵抗のオン/オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

パッケージによって、I/Oポートの構成が異なります。表 20.1 に I/Oポートの仕様を、表 20.2 に I/Oポートの機能を示します。

表20.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ		パッケージ		パッケージ	
	144ピン	本数	100ピン	本数	80ピン	本数	64ピン	本数	48ピン	本数
PORT0	P00~P07	8	P03(注1)~P07	5	P03~P07	5	P03, P07	2	なし	0
PORT1	P12~P17	6	P12~P17	6	P12~P17	6	P14~P17	4	P14~P17	4
PORT2	P20~P27	8	P20~P27	8	P20, P21, P26, P27	4	P26, P27	2	P26, P27	2
PORT3	P30~P37	8	P30~P37	8	P30~P32, P34~P37	7	P30~P32, P35~P37	6	P30, P31, P35~P37	5
PORT4	P40~P47	8	P40~P47	8	P40~P47	8	P40~P47	8	P40~P42, P45~P47	6
PORT5	P50~P56	7	P50~P55	6	P54, P55	2	P54, P55	2	なし	0
PORT6	P60~P67	8	なし	0	なし	0	なし	0	なし	0
PORT7	P70~P77	8	なし	0	なし	0	なし	0	なし	0
PORT8	P80~P83, P86, P87	6	なし	0	なし	0	なし	0	なし	0
PORT9	P90~P93	4	なし	0	なし	0	なし	0	なし	0
PORTA	PA0~PA7	8	PA0~PA7	8	PA0~PA6	7	PA0, PA1, PA3, PA4, PA6	5	PA1, PA3, PA4, PA6	4
PORTB	PB0~PB7	8	PB0~PB7	8	PB0~PB7	8	PB0, PB1, PB3, PB5~PB7	6	PB0, PB1, PB3, PB5	4
PORTC	PC0~PC7	8	PC0~PC7	8	PC2~PC7	6	PC2~PC7	6	PC4~PC7	4
PORTD	PD0~PD7	8	PD0~PD7	8	PD0~PD2	3	なし	0	なし	0
PORTE	PE0~PE7	8	PE0~PE7	8	PE0~PE5	6	PE0~PE5	6	PE1~PE4	4
PORTF	PF5~PF7	3	なし	0	なし	0	なし	0	なし	0
PORTH	PH0~PH3, PH6(注2), PH7(注2)	6	PH0~PH3, PH6(注2), PH7(注2)	6	PH0~PH3, PH6(注2), PH7(注2)	6	PH0~PH3, PH6(注2), PH7(注2)	6	PH0~PH3	4
PORTJ	PJ1, PJ3~PJ7	6	PJ1, PJ3, PJ6, PJ7	4	PJ1, PJ6, PJ7	3	PJ6, PJ7	2	PJ6, PJ7	2
PORTK	PK2~PK5	4	なし	0	なし	0	なし	0	なし	0
PORTL	PL0, PL1	2	なし	0	なし	0	なし	0	なし	0
PORTN	PN6, PN7(注3)	2	PN6	1	PN6	1	PN6	1	PN6	1
ポートの合計数		134	ポートの合計数	92	ポートの合計数	72	ポートの合計数	56	ポートの合計数	40

注1. JTAGありの製品にP03はありません。

注2. サブクロック発振器ありの製品にPH6、PH7はありません。

注3. JTAGありの製品にPN7はありません。

表 20.2 I/Oポートの機能

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
PORT0	P00～P02	○	○	通常 / 高駆動	—
	P03	○	○	通常出力固定	—
	P04	○	○	通常 / 高駆動	—
	P05～P07	○	○	通常出力固定	—
PORT1	P12, P13	○	○	通常 / 高駆動	○
	P14, P15	○	○	通常 / 高駆動	—
	P16, P17	○	○	通常 / 高駆動	○
PORT2	P20～P27	○	○	通常 / 高駆動	—
PORT3	P30～P34	○	○	通常 / 高駆動	—
	P35	—	—	—	—
	P36, P37	○	○	通常出力固定	—
PORT4	P40～P47	○	○	通常出力固定	—
PORT5	P50～P56	○	○	通常 / 高駆動	—
PORT6	P60～P67	○	○	通常 / 高駆動	—
PORT7	P70～P77	○	○	通常 / 高駆動	—
PORT8	P80～P83, P86, P87	○	○	通常 / 高駆動	—
PORT9	P90～P93	○	○	通常 / 高駆動	—
PORTA	PA0～PA7	○	○	通常 / 高駆動	—
PORTB	PB0～PB7	○	○	通常 / 高駆動	—
PORTC	PC0～PC7	○	○	通常 / 高駆動	—
PORTD	PD0～PD7	○	○	通常 / 高駆動	—
PORTE	PE0～PE7	○	○	通常 / 高駆動	—
PORTF	PF5～PF7	○	○	通常 / 高駆動	—
PORTH	PH0～PH3, PH6, PH7	○	○	通常 / 高駆動	—
PORTJ	PJ1, PJ3～PJ5	○	○	通常 / 高駆動	—
	PJ6, PJ7	○	○	通常出力固定	—
PORTK	PK2～PK5	○	○	通常 / 高駆動	—
PORTL	PL0, PL1	○	○	通常 / 高駆動	—
PORTN	PN6, PN7	○	○	通常 / 高駆動	—

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

20.2 入出力ポートの構成

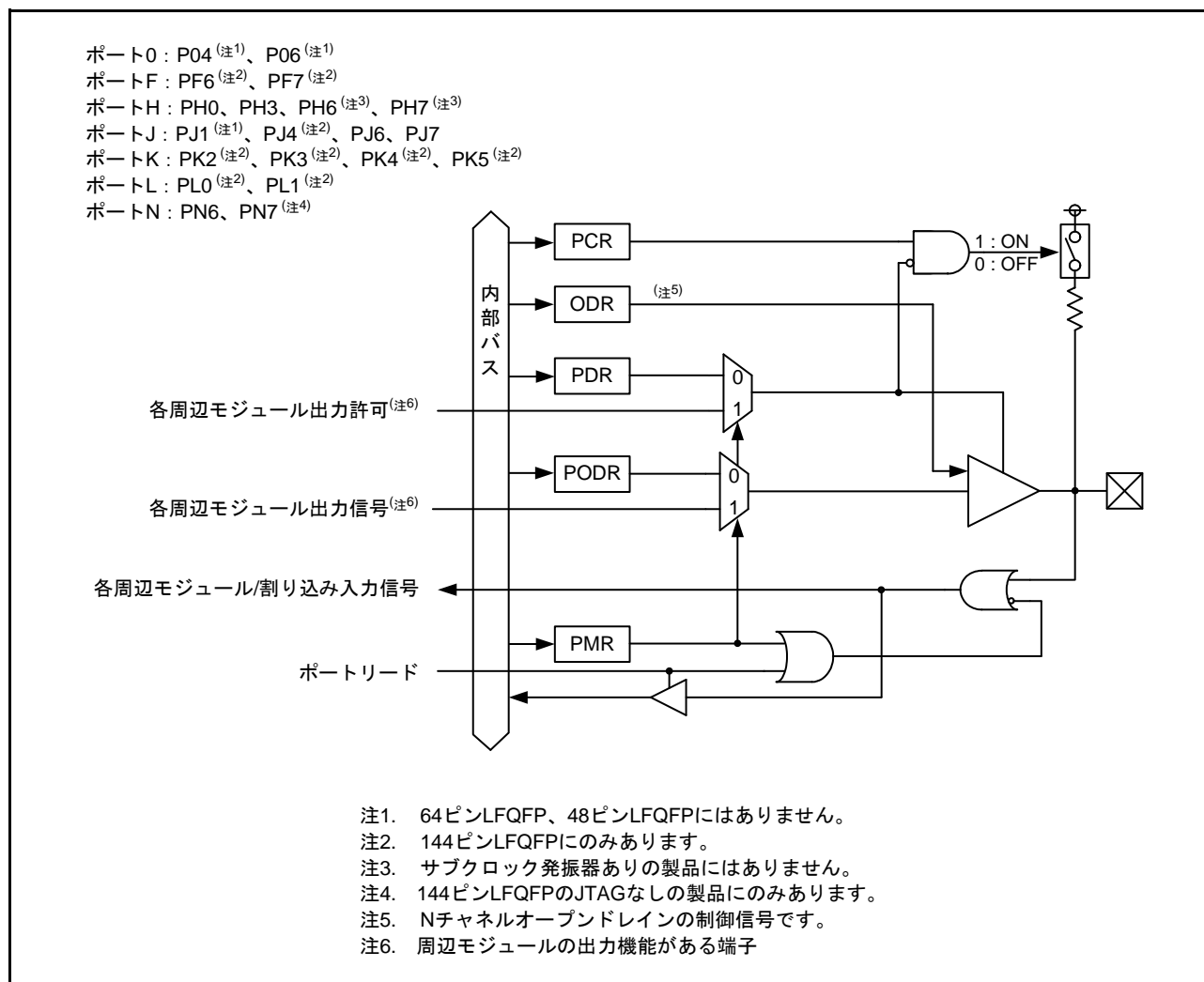


図 20.1 入出力ポートの構成 (1)

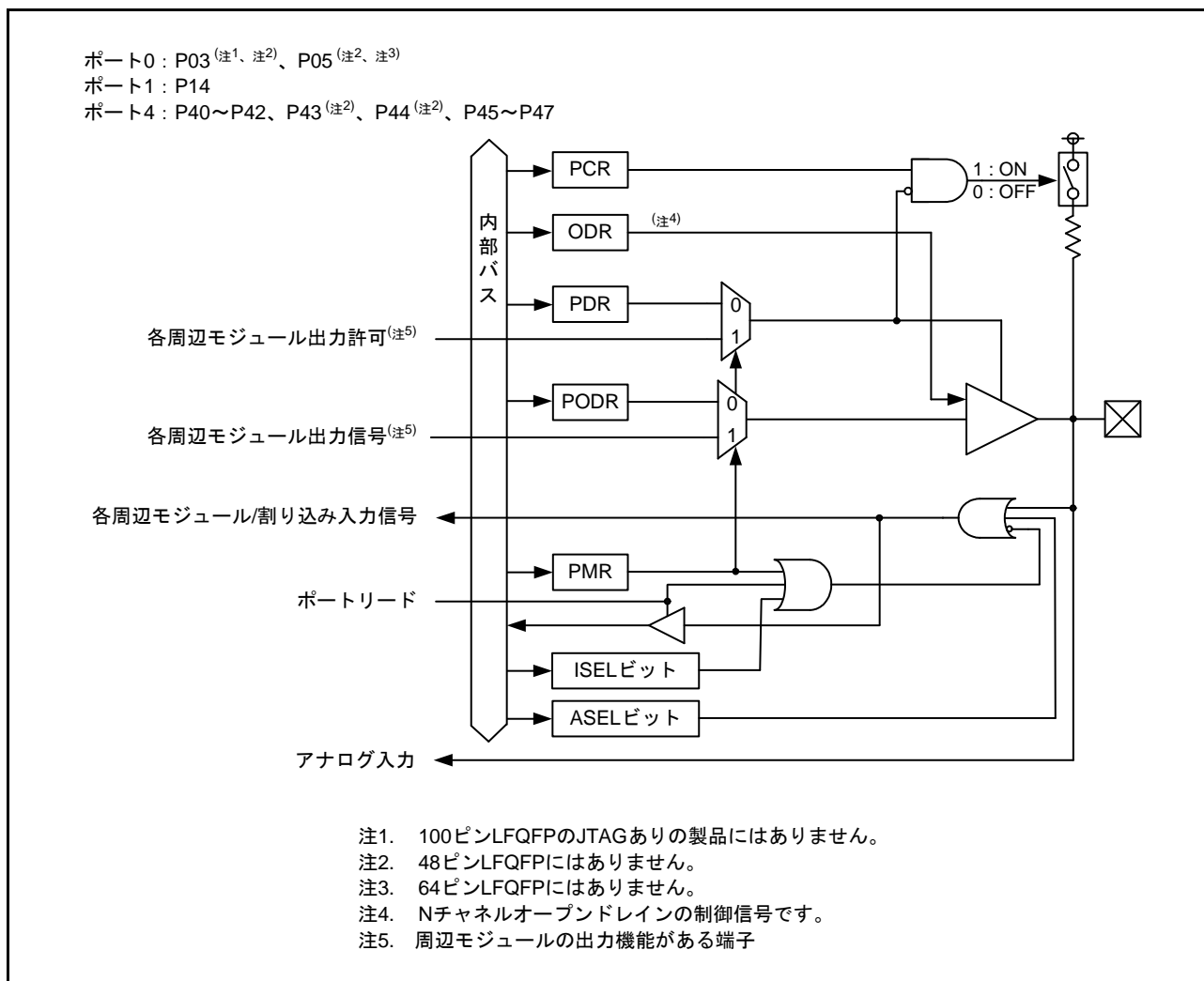
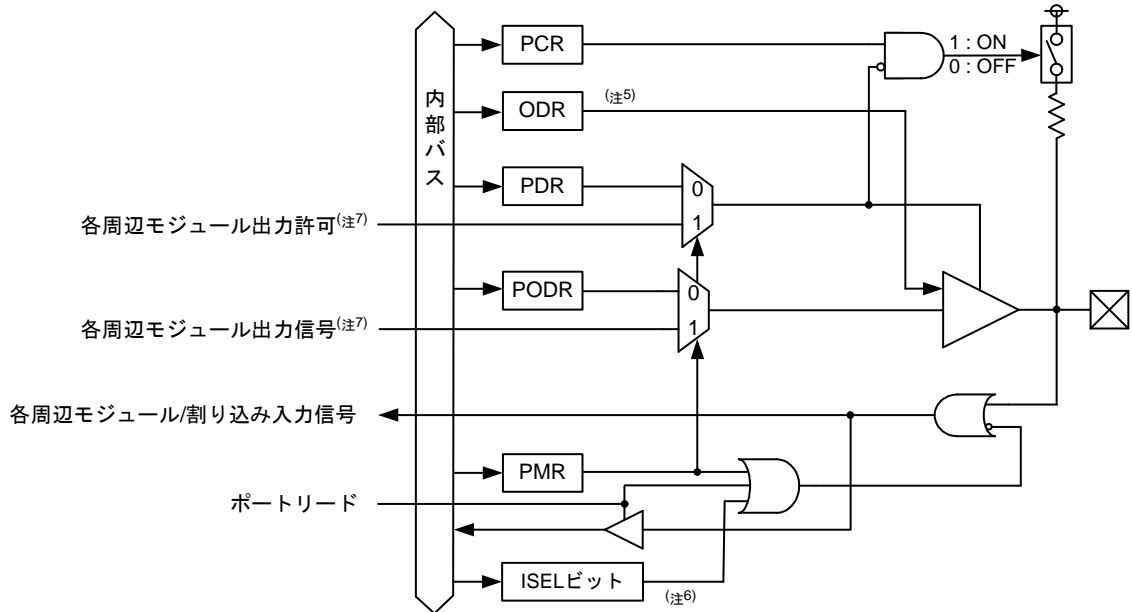
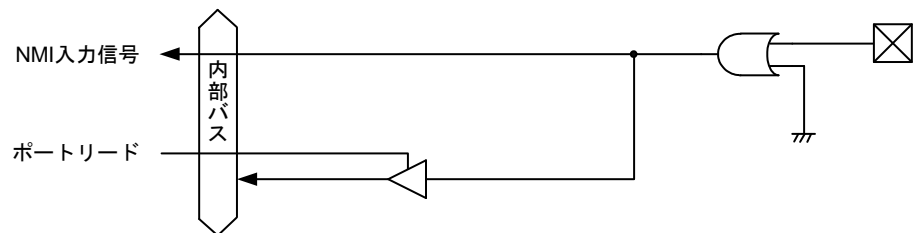


図 20.2 入出力ポートの構成 (2)

- ポート0 : P00^(注1)、P01^(注1)、P02^(注1)、P07^(注2)
- ポート1 : P12^(注3)、P13^(注3)、P16、P17
- ポート2 : P20^(注3)、P21^(注3)、P22^(注4)、P23^(注4)
- ポート3 : P30、P31、P32^(注2)、P33^(注4)、P34^(注3)、P36、P37
- ポート5 : P56^(注1)
- ポート6 : P65^(注1)、P66^(注1)、P67^(注1)
- ポート7 : P70^(注1)、P75^(注1)、P76^(注1)、P77^(注1)
- ポート8 : P80^(注1)、P81^(注1)、P82^(注1)、P83^(注1)、P86^(注1)、P87^(注1)
- ポートF : PF5^(注1)
- ポートH : PH1、PH2
- ポートJ : PJ3^(注4)、PJ5^(注1)



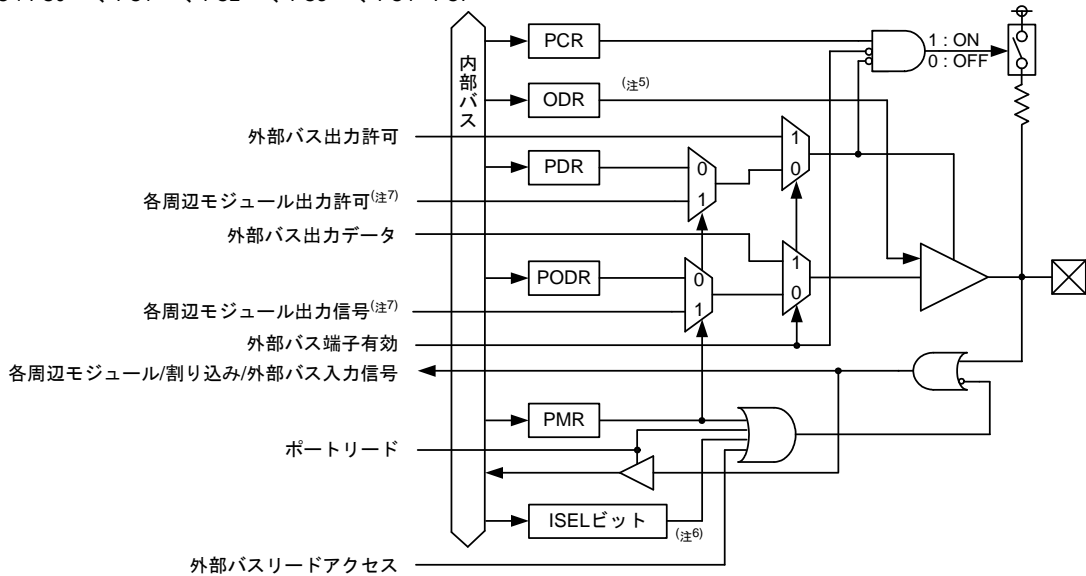
ポート3 : P35



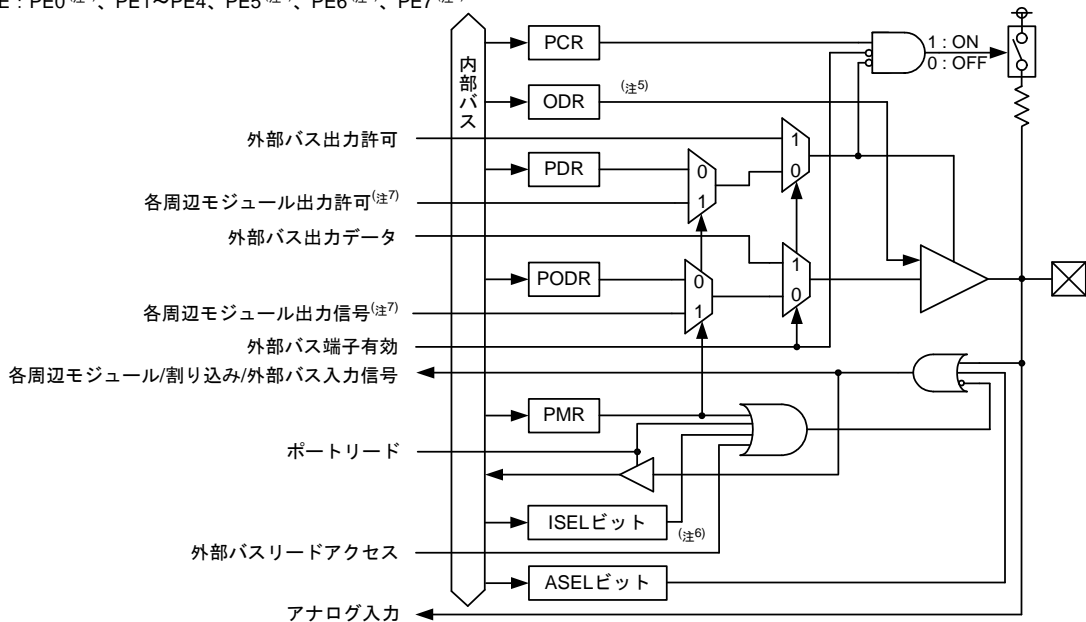
- 注1. 144ピンLFQFPIにのみあります。
- 注2. 48ピンLFQFPIにはありません。
- 注3. 48ピンLFQFP、64ピンLFQFPIにはありません。
- 注4. 48ピンLFQFP、64ピンLFQFP、80ピンLFQFPIにはありません。
- 注5. Nチャンネルオープンドレインの制御信号です。
- 注6. 外部割り込み機能がある端子
- 注7. 周辺モジュールの出力機能がある端子

図 20.3 入出力ポートの構成 (3)

ポート2 : P24^(注1)、P25^(注1)
 ポート5 : P50^(注1)、P51^(注1)、P52^(注1)、P53^(注1)、P54^(注2)、P55^(注2)
 ポート6 : P60^(注3)、P61^(注3)、P62^(注3)、P63^(注3)、P64^(注3)
 ポート7 : P71^(注3)、P72^(注3)、P73^(注3)、P74^(注3)
 ポート9 : P90^(注3)、P91^(注3)、P92^(注3)、P93^(注3)
 ポートA : PA0^(注2)、PA1、PA2^(注4)、PA5^(注4)、PA6、PA7^(注1)
 ポートB : PB0、PB1、PB2^(注4)、PB3、PB4^(注4)、PB5、PB6^(注2)、PB7^(注2)
 ポートC : PC0^(注1)、PC1^(注1)、PC2^(注2)、PC3^(注2)、PC4~PC7



ポート1 : P15
 ポート2 : P26、P27
 ポートA : PA3、PA4
 ポートD : PD0^(注4)、PD1^(注4)、PD2^(注4)、PD3^(注1)、PD4^(注1)、PD5^(注1)、PD6^(注1)、PD7^(注1)
 ポートE : PE0^(注2)、PE1~PE4、PE5^(注2)、PE6^(注1)、PE7^(注1)



- 注1. 48ピンLFQFP、64ピンLFQFP、80ピンLFQFPIにはありません。
- 注2. 48ピンLFQFPIにはありません。
- 注3. 144ピンLFQFPIのみあります。
- 注4. 48ピンLFQFP、64ピンLFQFPIにはありません。
- 注5. Nチャンネルオープンドレインの制御信号です。
- 注6. 外部割り込み機能がある端子
- 注7. 周辺モジュールの出力機能がある端子

図 20.4 入出力ポートの構成 (4)

20.3 レジスタの説明

20.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h, PORT6.PDR 0008 C006h, PORT7.PDR 0008 C007h, PORT8.PDR 0008 C008h, PORT9.PDR 0008 C009h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTC.PDR 0008 C00Ch, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh, PORTF.PDR 0008 C00Fh, PORTH.PDR 0008 C011h, PORTJ.PDR 0008 C012h, PORTK.PDR 0008 C013h, PORTL.PDR 0008 C014h, PORTN.PDR 0008 C016h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0 : 入力(入力ポートとして機能) 1 : 出力(出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 9, A ~ F, H, J ~ L, N

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。ただし、144 ピン未満の製品については、144 ピンに対して存在しないポート m の端子のビットは予約ビットです。“1”(出力)を書いてください。

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。「20.4 ポート方向レジスタ (PDR) の初期化」に従って、設定してください。

P35 端子は入力専用のため、PORT3.PDR.B5 ビットは予約ビットです。

20.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h, PORT6.PODR 0008 C026h, PORT7.PODR 0008 C027h, PORT8.PODR 0008 C028h, PORT9.PODR 0008 C029h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTC.PODR 0008 C02Ch, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh, PORTF.PODR 0008 C02Fh, PORTH.PODR 0008 C031h, PORTJ.PODR 0008 C032h, PORTK.PODR 0008 C033h, PORTL.PODR 0008 C034h, PORTN.PODR 0008 C036h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	0 : Low出力 1 : High出力	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 9, A ~ F, H, J ~ L, N

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

144ピン未満のピン数の製品については、144ピンに対して存在しないポート m の端子のビットは予約ビットです。“0” (Low出力) を書いてください。

P35端子は入力専用のため、PORT3.PODR.B5ビットは予約ビットです。値を書いても端子に影響しません。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h, PORT6.PIDR 0008 C046h, PORT7.PIDR 0008 C047h, PORT8.PIDR 0008 C048h, PORT9.PIDR 0008 C049h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTC.PIDR 0008 C04Ch, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh, PORTF.PIDR 0008 C04Fh, PORTH.PIDR 0008 C051h, PORTJ.PIDR 0008 C052h, PORTK.PIDR 0008 C053h, PORTL.PIDR 0008 C054h, PORTN.PIDR 0008 C056h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	0 : Low入力 1 : High入力	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m = 0 ~ 9, A ~ F, H, J ~ L, N

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR レジスタ の値に関係なく端子の状態が読めます。

P35 端子はNMI端子の状態が読み出されます。ただし、PmnPFS.ASEL ビットが“1”に設定された端子は、端子状態を読むことはできません。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

20.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h, PORT4.PMR 0008 C064h, PORT5.PMR 0008 C065h, PORT6.PMR 0008 C066h, PORT7.PMR 0008 C067h, PORT8.PMR 0008 C068h, PORT9.PMR 0008 C069h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh, PORTC.PMR 0008 C06Ch, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh, PORTF.PMR 0008 C06Fh, PORTH.PMR 0008 C071h, PORTJ.PMR 0008 C072h, PORTK.PMR 0008 C073h, PORTL.PMR 0008 C074h, PORTN.PMR 0008 C076h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺モジュールとして使用	R/W
b1	B1	Pm1端子モード制御ビット		R/W
b2	B2	Pm2端子モード制御ビット		R/W
b3	B3	Pm3端子モード制御ビット		R/W
b4	B4	Pm4端子モード制御ビット		R/W
b5	B5	Pm5端子モード制御ビット		R/W
b6	B6	Pm6端子モード制御ビット		R/W
b7	B7	Pm7端子モード制御ビット		R/W

m = 0 ~ 9, A ~ F, H, J ~ L, N

PMR レジスタは、ポートの端子機能を指定するレジスタです。

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。ただし、144 ピン未満の製品については、144 ピンに対して存在しないポート m の端子のビットは予約ビットです。“0” (汎用入出力ポート) を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h, PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT4.ODR0 0008 C088h, PORT5.ODR0 0008 C08Ah, PORT6.ODR0 0008 C08Ch, PORT7.ODR0 0008 C08Eh, PORT8.ODR0 0008 C090h, PORT9.ODR0 0008 C092h, PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h, PORTC.ODR0 0008 C098h, PORTD.ODR0 0008 C09Ah, PORTE.ODR0 0008 C09Ch, PORTH.ODR0 0008 C0A2h, PORTJ.ODR0 0008 C0A4h, PORTK.ODR0 0008 C0A6h, PORTL.ODR0 0008 C0A8h

b7	b6	b5	b4	b3	b2	b1	b0
—	B6	—	B4	—	B2	—	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm1出力形態指定ビット		R/W
b3	—	予約ビット		R/W
b4	B4	Pm2出力形態指定ビット		R/W
b5	—	予約ビット		R/W
b6	B6	Pm3出力形態指定ビット		R/W
b7	—	予約ビット		R/W

m = 0 ~ 9, A ~ E, H, J ~ L

ODR0 レジスタは、ポートの端子の出力形態を選択するレジスタです。

ODR0 レジスタの奇数ビット (b1, b3, b5, b7) は予約ビットです。

144ピン未満のピン数の製品については、144ピンに対して存在しないポート m の端子のビットは予約ビットです。“0” (CMOS出力) を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT0.ODR1 0008 C081h, PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT4.ODR1 0008 C089h, PORT5.ODR1 0008 C08Bh, PORT6.ODR1 0008 C08Dh, PORT7.ODR1 0008 C08Fh, PORT8.ODR1 0008 C091h, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTC.ODR1 0008 C099h, PORTD.ODR1 0008 C09Bh, PORTE.ODR1 0008 C09Dh, PORTF.ODR1 0008 C09Fh, PORTH.ODR1 0008 C0A3h, PORTJ.ODR1 0008 C0A5h, PORTK.ODR1 0008 C0A7h, PORTN.ODR1 0008 C0ADh

b7	b6	b5	b4	b3	b2	b1	b0
—	B6	—	B4	—	B2	—	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	—	予約ビット		R/W
b2	B2	Pm5出力形態指定ビット		R/W
b3	—	予約ビット		R/W
b4	B4	Pm6出力形態指定ビット		R/W
b5	—	予約ビット		R/W
b6	B6	Pm7出力形態指定ビット		R/W
b7	—	予約ビット		R/W

m = 0 ~ 8, A ~ F, H, J, K, N

ODR1 レジスタは、ポートの端子の出力形態を選択するレジスタです。

ODR1 レジスタの奇数ビット (b1, b3, b5, b7) は予約ビットです。

144ピン未満のピン数の製品については、144ピンに対して存在しないポート m の端子のビットは予約ビットです。“0” (CMOS出力) を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h, PORT4.PCR 0008 C0C4h, PORT5.PCR 0008 C0C5h, PORT6.PCR 0008 C0C6h, PORT7.PCR 0008 C0C7h, PORT8.PCR 0008 C0C8h, PORT9.PCR 0008 C0C9h, PORTA.PCR 0008 C0CAh, PORTB.PCR 0008 C0CBh, PORTC.PCR 0008 C0CCh, PORTD.PCR 0008 C0CDh, PORTE.PCR 0008 C0CEh, PORTF.PCR 0008 C0CFh, PORTH.PCR 0008 C0D1h, PORTJ.PCR 0008 C0D2h, PORTK.PCR 0008 C0D3h, PORTL.PCR 0008 C0D4h, PORTN.PCR 0008 C0D6h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 9, A ~ F, H, J ~ L, N

PCR レジスタは、ポートの入力プルアップ抵抗の有効 / 無効を制御するレジスタです。

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

外部バス端子 (WAIT 端子除く)、汎用ポート出力、周辺モジュールの出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。ただし、アドレスバス、バス制御信号として使用している場合は、スタンバイコントロールレジスタの出力ポート許可ビット (SBYCR.OPE) が“0”に設定された状態で、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ遷移すると、PCR レジスタの設定値が有効になります。

リセット中もプルアップ抵抗は無効になります。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT0.DSCR 0008 C0E0h, PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT3.DSCR 0008 C0E3h,
PORT5.DSCR 0008 C0E5h, PORT6.DSCR 0008 C0E6h, PORT7.DSCR 0008 C0E7h, PORT8.DSCR 0008 C0E8h,
PORT9.DSCR 0008 C0E9h, PORTA.DSCR 0008 C0EAh, PORTB.DSCR 0008 C0EBh, PORTC.DSCR 0008 C0ECh,
PORTD.DSCR 0008 C0EDh, PORTE.DSCR 0008 C0EEh, PORTF.DSCR 0008 C0EFh, PORTH.DSCR 0008 C0F1h,
PORTJ.DSCR 0008 C0F2h, PORTK.DSCR 0008 C0F3h, PORTL.DSCR 0008 C0F4h, PORTN.DSCR 0008 C0F6h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット	0 : 通常出力 1 : 高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット		R/W
b2	B2	Pm2 駆動能力制御ビット		R/W
b3	B3	Pm3 駆動能力制御ビット		R/W
b4	B4	Pm4 駆動能力制御ビット		R/W
b5	B5	Pm5 駆動能力制御ビット		R/W
b6	B6	Pm6 駆動能力制御ビット		R/W
b7	B7	Pm7 駆動能力制御ビット		R/W

m = 0 ~ 3, 5 ~ 9, A ~ F, H, J ~ L, N

DSCR レジスタは、ポートの駆動能力の切り替えを制御するレジスタです。

存在しない端子および駆動能力が固定されている端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 20.3、表 20.4、表 20.5、表 20.6、表 20.7 を参照して初期化してください。

- 表 20.3、表 20.4、表 20.5、表 20.6、表 20.7 の空欄は、「表 20.1 I/O ポートの仕様」に記載されている端子に対応するビットです。
使用するシステムに応じて“1” (出力) か “0” (入力) を設定してください。
ただし、入力専用である P35 端子の PORT3.PDR.B5 ビットは予約ビットです。
このビットには“0” (入力) を設定してください。
- 表 20.3、表 20.4、表 20.5、表 20.6、表 20.7 の空欄以外は、予約ビットです。
予約ビットには表 20.3、表 20.4、表 20.5、表 20.6、表 20.7 に従って“0” (入力) または “1” (出力) を設定ください。
予約ビットを設定する場合は、バイト単位でアクセスしてください。

表 20.3 144ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0								
PORT1							1	1
PORT2								
PORT3			0					
PORT4								
PORT5	1							
PORT6								
PORT7								
PORT8			1	1				
PORT9	1	1	1	1				
PORTA								
PORTB								
PORTC								
PORTD								
PORTE								
PORTF				1	1	1	1	1
PORTH (注1)			1	1				
PORTJ						1		1
PORTK	1	1					1	1
PORTL	1	1	1	1	1	1		
PORTN (注2)			1	1	1	1	1	1

注1. サブクロック発振器ありの製品にはPH6、PH7はありませんので、b6、b7には“1”を設定してください。

注2. JTAGありの製品にはPN7はありませんので、b7には“1”を設定してください。

表20.4 100ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0(注1)						1	1	1
PORT1							1	1
PORT2								
PORT3			0					
PORT4								
PORT5	1	1						
PORT6	1	1	1	1	1	1	1	1
PORT7	1	1	1	1	1	1	1	1
PORT8	1	1	1	1	1	1	1	1
PORT9	1	1	1	1	1	1	1	1
PORTA								
PORTB								
PORTC								
PORTD								
PORTE								
PORTF	1	1	1	1	1	1	1	1
PORTH(注2)			1	1				
PORTJ			1	1		1		1
PORTK	1	1	1	1	1	1	1	1
PORTL	1	1	1	1	1	1	1	1
PORTN	1		1	1	1	1	1	1

注1. JTAG ありの製品にはP03はありませんので、b3には“1”を設定してください。

注2. サブクロック発振器ありの製品にはPH6、PH7はありませんので、b6、b7には“1”を設定してください。

表20.5 80ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0						1	1	1
PORT1							1	1
PORT2			1	1	1	1		
PORT3			0		1			
PORT4								
PORT5	1	1			1	1	1	1
PORT6	1	1	1	1	1	1	1	1
PORT7	1	1	1	1	1	1	1	1
PORT8	1	1	1	1	1	1	1	1
PORT9	1	1	1	1	1	1	1	1
PORTA	1							
PORTB								
PORTC							1	1
PORTD	1	1	1	1	1			
PORTE	1	1						
PORTF	1	1	1	1	1	1	1	1
PORTH (注1)			1	1				
PORTJ			1	1	1	1		1
PORTK	1	1	1	1	1	1	1	1
PORTL	1	1	1	1	1	1	1	1
PORTN	1		1	1	1	1	1	1

注1. サブクロック発振器ありの製品にはPH6、PH7はありませんので、b6、b7には“1”を設定してください。

表20.6 64ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0		1	1	1		1	1	1
PORT1					1	1	1	1
PORT2			1	1	1	1	1	1
PORT3			0	1	1			
PORT4								
PORT5	1	1			1	1	1	1
PORT6	1	1	1	1	1	1	1	1
PORT7	1	1	1	1	1	1	1	1
PORT8	1	1	1	1	1	1	1	1
PORT9	1	1	1	1	1	1	1	1
PORTA	1		1			1		
PORTB				1		1		
PORTC							1	1
PORTD	1	1	1	1	1	1	1	1
PORTE	1	1						
PORTF	1	1	1	1	1	1	1	1
PORTH (注1)			1	1				
PORTJ			1	1	1	1	1	1
PORTK	1	1	1	1	1	1	1	1
PORTL	1	1	1	1	1	1	1	1
PORTN	1		1	1	1	1	1	1

注1. サブクロック発振器ありの製品にはPH6、PH7はありませんので、b6、b7には“1”を設定してください。

表20.7 48ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1					1	1	1	1
PORT2			1	1	1	1	1	1
PORT3			0	1	1	1		
PORT4				1	1			
PORT5	1	1	1	1	1	1	1	1
PORT6	1	1	1	1	1	1	1	1
PORT7	1	1	1	1	1	1	1	1
PORT8	1	1	1	1	1	1	1	1
PORT9	1	1	1	1	1	1	1	1
PORTA	1		1			1		1
PORTB	1	1		1		1		
PORTC					1	1	1	1
PORTD	1	1	1	1	1	1	1	1
PORTE	1	1	1					1
PORTF	1	1	1	1	1	1	1	1
PORTH	1	1	1	1				
PORTJ			1	1	1	1	1	1
PORTK	1	1	1	1	1	1	1	1
PORTL	1	1	1	1	1	1	1	1
PORTN	1		1	1	1	1	1	1

20.5 未使用端子の処理

表 20.8 に未使用端子の処理内容を示します。

表 20.8 未使用端子の処理内容

端子名	処理内容
EMLE	抵抗を介してVSSに接続(プルダウン)
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続(プルアップ)
P35/NMI	抵抗を介してVCCに接続(プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(メインクロック発振器停止)に設定 ポートP36としても使用しない場合は、ポート0~9、A~F、H、J~L、Nの処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(メインクロック発振器停止)に設定 ポートP37としても使用しない場合は、ポート0~9、A~F、H、J~L、Nの処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
XCIN	抵抗を介してVSSに接続(プルダウン)
XCOU	端子を開放
ポート0~9、A~F、H、J~L、N	<ul style="list-style-type: none"> • 入力に設定(PORTn.PDRビット=0)し、1端子ごと抵抗を介してVCCに接続(プルアップ)、または1端子ごと抵抗を介してVSSに接続(プルダウン)(注1) • 出力に設定(PORTn.PDRビット=1)し、端子を開放(注1、注2)
VREFH0	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続
VREFL0	12ビットA/Dコンバータの基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続
AVCC0	12ビットA/Dコンバータ、12ビットD/Aコンバータ、コンパレータC、温度センサのアナログ電源端子。 12ビットA/Dコンバータ、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、VCCに接続
AVSS0	12ビットA/Dコンバータ、12ビットD/Aコンバータ、コンパレータC、温度センサのアナロググランド端子。 12ビットA/Dコンバータ、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、VSSに接続

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、PmnPFS.ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

21. マルチファンクションピンコントローラ (MPC)

21.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力および割り込み入力信号を複数のポートから選択し割り付ける機能です。また、外部バス関連信号のポート割り付けも行います。

表 21.1 に多機能端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表21.1 多機能端子の割り当て端子一覧 (1 / 13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
割り込み		NMI (入力)	P35	○	○	○	○	○
割り込み	IRQ0	IRQ0-DS (入力)	P30	○	○	○	○	○
			P50	○	○	×	×	×
		P60	○	×	×	×	×	
		P70	○	×	×	×	×	
		P90	○	×	×	×	×	
		PA0	○	○	○	○	×	
		PD0	○	○	○	×	×	
		PH1	○	○	○	○	○	
	IRQ1	IRQ1-DS (入力)	P31	○	○	○	○	○
			P51	○	○	×	×	×
		P61	○	×	×	×	×	
		P71	○	×	×	×	×	
		PD1	○	○	○	×	×	
	IRQ2	IRQ2-DS (入力)	P32	○	○	○	○	×
			P12	○	○	○	×	×
		P52	○	○	×	×	×	
		P62	○	×	×	×	×	
		P82	○	×	×	×	×	
		PB2	○	○	○	×	×	
	IRQ3	IRQ3-DS (入力)	P33	○	○	×	×	×
			P13	○	○	○	×	×
		P23	○	○	×	×	×	
		P53	○	○	×	×	×	
		P63	○	×	×	×	×	
		P83	○	×	×	×	×	
		PB3	○	○	○	○	○	
	PD3	○	○	×	×	×		

表21.1 多機能端子の割り当て端子一覧(2/13)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
割り込み	IRQ4	IRQ4-DS (入力) IRQ4 (入力)	PB1	○	○	○	○	○
			P14	○	○	○	○	○
			P34	○	○	○	×	×
			P37	○	○	○	○	○
			P54	○	○	○	○	×
			P64	○	×	×	×	×
			PB4	○	○	○	×	×
			PD4	○	○	×	×	×
			PF5	○	×	×	×	×
	IRQ5	IRQ5-DS (入力) IRQ5 (入力)	PA4	○	○	○	○	○
			P15	○	○	○	○	○
			P25	○	○	×	×	×
			P36	○	○	○	○	○
			PA5	○	○	○	×	×
			PC5	○	○	○	○	○
			PD5	○	○	×	×	×
			PE5	○	○	○	○	×
	IRQ6	IRQ6-DS (入力) IRQ6 (入力)	PA3	○	○	○	○	○
			P16	○	○	○	○	○
			P26	○	○	○	○	○
			P56	○	×	×	×	×
			PB6	○	○	○	○	×
			PD6	○	○	×	×	×
	IRQ7	IRQ7-DS (入力) IRQ7 (入力)	PE2	○	○	○	○	○
			P17	○	○	○	○	○
			P27	○	○	○	○	○
			P77	○	×	×	×	×
			PA7	○	○	×	×	×
			PD7	○	○	×	×	×
	IRQ8	IRQ8-DS (入力) IRQ8 (入力)	P40	○	○	○	○	○
			P00	○	×	×	×	×
			P20	○	○	○	×	×
			P73	○	×	×	×	×
			P80	○	×	×	×	×
	IRQ9	IRQ9-DS (入力) IRQ9 (入力)	PE0	○	○	○	○	×
			P41	○	○	○	○	○
			P01	○	×	×	×	×
			P21	○	○	○	×	×
			P81	○	×	×	×	×
	IRQ9	IRQ9 (入力)	P91	○	×	×	×	×
			PE1	○	○	○	○	○

表21.1 多機能端子の割り当て端子一覧 (3 / 13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
割り込み	IRQ10	IRQ10-DS (入力)	P42	○	○	○	○	○
		IRQ10 (入力)	P02	○	×	×	×	×
			P55	○	○	○	○	×
			P72	○	×	×	×	×
			P92	○	×	×	×	×
			PA2	○	○	○	×	×
			PC2	○	○	○	○	×
	IRQ11	IRQ11-DS (入力)	P43	○	○	○	○	×
		IRQ11 (入力)	P03	○	○(注1)	○	○	×
			P93	○	×	×	×	×
			PA1	○	○	○	○	○
			PC3	○	○	○	○	×
			PE3	○	○	○	○	○
			PJ3	○	○	×	×	×
	IRQ12	IRQ12-DS (入力)	P44	○	○	○	○	×
		IRQ12 (入力)	P24	○	○	×	×	×
			P74	○	×	×	×	×
			PB0	○	○	○	○	○
			PC1	○	○	×	×	×
			PC4	○	○	○	○	○
			PE4	○	○	○	○	○
	IRQ13	IRQ13-DS (入力)	P45	○	○	○	○	○
		IRQ13 (入力)	P05	○	○	○	×	×
			P65	○	×	×	×	×
			P75	○	×	×	×	×
			PB5	○	○	○	○	○
			PC6	○	○	○	○	○
			PJ5	○	×	×	×	×
	IRQ14	IRQ14-DS (入力)	P46	○	○	○	○	○
		IRQ14 (入力)	P66	○	×	×	×	×
			P76	○	×	×	×	×
			P86	○	×	×	×	×
			PA6	○	○	○	○	○
PC0			○	○	×	×	×	
PC7			○	○	○	○	○	
IRQ15	IRQ15-DS (入力)	P47	○	○	○	○	○	
	IRQ15 (入力)	P07	○	○	○	○	×	
		P22	○	○	×	×	×	
		P67	○	×	×	×	×	
		P87	○	×	×	×	×	
		PB7	○	○	○	○	×	

表21.1 多機能端子の割り当て端子一覧 (4 / 13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
マルチファンクション インタймаユニット3	MTU0	MTIOC0A (入出力)	P34	○	○	○	×	×
			PB3	○	○	○	○	○
			PC4	○	○	○	○	○
		MTIOC0B (入出力)	P13	○	○	○	×	×
			P15	○	○	○	○	○
			PA1	○	○	○	○	○
		MTIOC0C (入出力)	P32	○	○	○	○	×
			PB1	○	○	○	○	○
			PC5	○	○	○	○	○
		MTIOC0D (入出力)	P33	○	○	×	×	×
			PA3	○	○	○	○	○
		MTU1	MTIOC1A (入出力)	P20	○	○	○	×
	PE4			○	○	○	○	○
	MTIOC1B (入出力)		P21	○	○	○	×	×
			PB5	○	○	○	○	○
	MTU2	MTIOC2A (入出力)	P26	○	○	○	○	○
			PB5	○	○	○	○	○
		MTIOC2B (入出力)	P27	○	○	○	○	○
			PE5	○	○	○	○	×
	MTU3	MTIOC3A (入出力)	P14	○	○	○	○	○
			P17	○	○	○	○	○
			PC1	○	○	×	×	×
			PC7	○	○	○	○	○
			PJ1	○	○	○	×	×
		MTIOC3B (入出力)	P17	○	○	○	○	○
			P22	○	○	×	×	×
			P80	○	×	×	×	×
			PA1	○	○	○	○	○
PB7			○	○	○	○	×	
PC5			○	○	○	○	○	
PE1			○	○	○	○	○	
PH0		○	○	○	○	○		
MTIOC3C (入出力)		P16	○	○	○	○	○	
	P56	○	×	×	×	×		
	PC0	○	○	×	×	×		
	PC6	○	○	○	○	○		
			PJ3	○	○	×	×	×

表21.1 多機能端子の割り当て端子一覧 (5 / 13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
マルチファンクションタイマユニット3	MTU3	MTIOC3D (入出力)	P16	○	○	○	○	○
			P23	○	○	×	×	×
			P81	○	×	×	×	×
			PA6	○	○	○	○	○
			PB0	○	○	○	○	○
			PB6	○	○	○	○	×
			PC4	○	○	○	○	○
			PE0	○	○	○	○	×
			PH1	○	○	○	○	○
	MTU4	MTIOC4A (入出力)	P21	○	○	○	×	×
			P24	○	○	×	×	×
			P55	○	○	○	○	×
			P82	○	×	×	×	×
			PA0	○	○	○	○	×
			PB3	○	○	○	○	○
			PE2	○	○	○	○	○
			PE4	○	○	○	○	○
		MTIOC4B (入出力)	P17	○	○	○	○	○
			P30	○	○	○	○	○
			P54	○	○	○	○	×
			PC2	○	○	○	○	×
			PD1	○	○	○	×	×
			PE3	○	○	○	○	○
		MTIOC4C (入出力)	P25	○	○	×	×	×
			P83	○	×	×	×	×
			P87	○	×	×	×	×
			PA4	○	○	○	○	○
			PB1	○	○	○	○	○
			PE1	○	○	○	○	○
			PE5	○	○	○	○	×
		PH2	○	○	○	○	○	
		MTIOC4D (入出力)	P31	○	○	○	○	○
P55			○	○	○	○	×	
P86			○	×	×	×	×	
PA3			○	○	○	○	○	
PC3			○	○	○	○	×	
PD2	○		○	○	×	×		
PE4	○		○	○	○	○		
PH3	○	○	○	○	○			

表21.1 多機能端子の割り当て端子一覧 (6 / 13)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
マルチファンクション タイマユニット3	MTU5	MTIC5U (入力)	P12	○	○	○	×	×
			PA4	○	○	○	○	○
			PD7	○	○	×	×	×
		MTIC5V (入力)	PA3	○	○	○	○	○
			PA6	○	○	○	○	○
			PD6	○	○	×	×	×
		MTIC5W (入力)	PB0	○	○	○	○	○
			PD5	○	○	×	×	×
		MTU6	MTIOC6A (入出力)	PE7	○	○	×	×
	MTIOC6B (入出力)		PA5	○	○	○	×	×
			PA6	○	○	○	○	×
	MTIOC6C (入出力)		PE6	○	○	×	×	×
	MTIOC6D (入出力)	PA0	○	○	○	○	×	
	MTU7	MTIOC7A (入出力)	PA2	○	○	○	×	×
			PE2	○	○	○	○	○
		MTIOC7B (入出力)	PA1	○	○	○	○	○
		MTIOC7C (入出力)	P67	○	×	×	×	×
			PA4	○	○	○	○	○
		MTIOC7D (入出力)	P66	○	×	×	×	×
	PE4		○	○	○	○	○	
	MTU8	MTIOC8A (入出力)	PD6	○	○	×	×	×
		MTIOC8B (入出力)	PD4	○	○	×	×	×
		MTIOC8C (入出力)	PD5	○	○	×	×	×
		MTIOC8D (入出力)	PD3	○	○	×	×	×
	MTU	MTCLKA (入力)	P14	○	○	○	○	○
			P24	○	○	×	×	×
			PA4	○	○	○	○	○
			PC6	○	○	○	○	○
		MTCLKB (入力)	P15	○	○	○	○	○
			P25	○	○	×	×	×
PA6			○	○	○	○	○	
PC7			○	○	○	○	○	
MTCLKC (入力)		P22	○	○	×	×	×	
		PA1	○	○	○	○	○	
		PC4	○	○	○	○	○	
MTCLKD (入力)		P23	○	○	×	×	×	
	PA3	○	○	○	○	○		
	PC5	○	○	○	○	○		

表21.1 多機能端子の割り当て端子一覧(7/13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
ポートアウトプットイネーブル3	POE0	POE0# (入力)	P32	○	○	○	○	×
			P93	○	×	×	×	×
			PC4	○	○	○	○	○
			PD1	○	○	○	×	×
			PD7	○	○	×	×	×
	POE4	POE4# (入力)	P33	○	○	×	×	×
			P92	○	×	×	×	×
			PB5	○	○	○	○	○
			PD0	○	○	○	×	×
			PD6	○	○	×	×	×
	POE8	POE8# (入力)	P17	○	○	○	○	○
			P30	○	○	○	○	○
			PD3	○	○	×	×	×
			PE3	○	○	○	○	○
			PJ5	○	×	×	×	×
	POE10	POE10# (入力)	P32	○	○	○	○	×
			P34	○	○	○	×	×
			PA6	○	○	○	○	○
			PD5	○	○	×	×	×
	POE11	POE11# (入力)	P33	○	○	×	×	×
PB3			○	○	○	○	○	
PD4			○	○	×	×	×	
8ビットタイマ	TMR0	TMO0 (出力)	P22	○	○	×	×	×
			PB3	○	○	○	○	○
			PH1	○	○	○	○	○
		TMC10 (入力)	P01	○	×	×	×	×
			P21	○	○	○	×	×
			PB1	○	○	○	○	○
			PH3	○	○	○	○	○
		TMR10 (入力)	P00	○	×	×	×	×
			P20	○	○	○	×	×
			PA4	○	○	○	○	○
	PH2		○	○	○	○	○	
	TMR1	TMO1 (出力)	P17	○	○	○	○	○
			P26	○	○	○	○	○
		TMC11 (入力)	P02	○	×	×	×	×
			P12	○	○	○	×	×
			P54	○	○	○	○	×
			PC4	○	○	○	○	○
TMR11 (入力)		P24	○	○	×	×	×	
		PB5	○	○	○	○	○	

表21.1 多機能端子の割り当て端子一覧 (8 / 13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
8ビットタイマ	TMR2	TMO2 (出力)	P16	○	○	○	○	○
			PC7	○	○	○	○	○
		TMC12 (入力)	P15	○	○	○	○	○
			P31	○	○	○	○	○
			PC6	○	○	○	○	○
			PC5	○	○	○	○	○
	TMR12 (入力)	P14	○	○	○	○	○	
		PC5	○	○	○	○	○	
	TMR3	TMO3 (出力)	P13	○	○	○	×	×
			P32	○	○	○	○	×
			P55	○	○	○	○	×
		TMC13 (入力)	P27	○	○	○	○	×
			P34	○	○	○	×	×
			PA6	○	○	○	○	×
TMR13 (入力)		P30	○	○	○	○	×	
		P33	○	○	×	×	×	
コンペアマッチ タイマW	CMTW0	TOC0 (出力)	PC7	○	○	○	○	○
		TIC0 (入力)	PC6	○	○	○	○	○
		TOC1 (出力)	PE7	○	○	×	×	×
			PH2	○	○	○	○	○
		TIC1 (入力)	PE6	○	○	×	×	×
			PH1	○	○	○	○	○
	CMTW1	TOC2 (出力)	PB5	○	○	○	○	○
			PD3	○	○	×	×	×
		TIC2 (入力)	PB3	○	○	○	○	○
			PD2	○	○	○	×	×
TOC3 (出力)	PE3	○	○	○	○	○		
TIC3 (入力)	PE2	○	○	○	○	○		
リアルタイムクロック		RTCOUT (出力) (注2)	P16	○	○	○	○	×
			P32	○	○	○	○	×
		RTCIC0 (入力) (注2、注3)	P30	○	○	○	○	×
		RTCIC1 (入力) (注2、注3)	P31	○	○	○	○	×
		RTCIC2 (入力) (注2、注3)	P32	○	○	○	○	×
シリアル コミュニケーション インターフェース	SCI0	RXD0 (入力) /SMISO0 (入出力) / SSCL0 (入出力)	P21	○	○	○	×	×
			P33	○	○	×	×	×
		TXD0 (出力) /SMOSI0 (入出力) / SSDA0 (入出力)	P20	○	○	○	×	×
			P32	○	○	○	×	×
		SCK0 (入出力)	P22	○	○	×	×	×
			P34	○	○	○	×	×
		CTS0# (入力) /RTS0# (出力) / SS0# (入力)	P23	○	○	×	×	×
			PJ3	○	○	×	×	×

表21.1 多機能端子の割り当て端子一覧 (9 / 13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
シリアル コミュニケーション インターフェース	SCI1	RXD1 (入力) /SMISO1 (入出力) / SSCL1 (入出力)	P15	○	○	○	○	○
			P30	○	○	○	○	○
		TXD1 (出力) /SMOSI1 (入出力) / SSDA1 (入出力)	P16	○	○	○	○	○
			P26	○	○	○	○	○
		SCK1 (入出力)	P17	○	○	○	○	○
			P27	○	○	○	○	○
		CTS1# (入力) /RTS1# (出力) / SS1# (入力)	P14	○	○	○	○	○
			P31	○	○	○	○	○
	SCI2	RXD2 (入力) /SMISO2 (入出力) / SSCL2 (入出力)	P12	○	○	×	×	×
			P52	○	○	×	×	×
		TXD2 (出力) /SMOSI2 (入出力) / SSDA2 (入出力)	P13	○	○	×	×	×
			P50	○	○	×	×	×
		SCK2 (入出力)	P51	○	○	×	×	×
		CTS2# (入力) /RTS2# (出力) / SS2# (入力)	P54	○	○	×	×	×
	PJ5		○	×	×	×	×	
	SCI3	RXD3 (入力) /SMISO3 (入出力) / SSCL3 (入出力)	P16	○	○	○	○	○
			P25	○	○	×	×	×
		TXD3 (出力) /SMOSI3 (入出力) / SSDA3 (入出力)	P17	○	○	○	○	○
			P23	○	○	×	×	×
		SCK3 (入出力)	P15	○	○	○	○	○
			P24	○	○	×	×	×
	CTS3# (入力) /RTS3# (出力) / SS3# (入力)	P26	○	○	○	○	○	
	SCI4	RXD4 (入力) /SMISO4 (入出力) / SSCL4 (入出力)	PB0	○	○	○	○	○
			PK4	○	×	×	×	×
TXD4 (出力) /SMOSI4 (入出力) / SSDA4 (入出力)		PB1	○	○	○	○	○	
		PK5	○	×	×	×	×	
SCK4 (入出力)		P70	○	×	×	×	×	
		PB3	○	○	○	○	○	
CTS4# (入力) /RTS4# (出力) / SS4# (入力)		PB2	○	○	○	×	×	
		PE6	○	○	×	×	×	
SCI5	RXD5 (入力) /SMISO5 (入出力) / SSCL5 (入出力)	PA2	○	○	○	×	×	
		PA3	○	○	○	○	○	
		PC2	○	○	○	○	×	
	TXD5 (出力) /SMOSI5 (入出力) / SSDA5 (入出力)	PA4	○	○	○	○	○	
		PC3	○	○	○	○	×	
	SCK5 (入出力)	PA1	○	○	○	○	○	
		PC1	○	○	×	×	×	
		PC4	○	○	○	○	○	
	CTS5# (入力) /RTS5# (出力) / SS5# (入力)	PA6	○	○	○	○	○	
		PC0	○	○	×	×	×	

表21.1 多機能端子の割り当て端子一覧 (10 / 13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				144ピン	100ピン	80ピン	64ピン	48ピン	
シリアル コミュニケーション インターフェース	SCI6	RXD6 (入力) /SMISO6 (入出力) / SSCL6 (入出力)	P01	○	×	×	×	×	
			P33	○	○	×	×	×	
			PB0	○	○	○	○	○	
		TXD6 (出力) /SMOSI6 (入出力) / SSDA6 (入出力)	P00	○	×	×	×	×	
			P32	○	○	○	○	×	
			PB1	○	○	○	○	○	
		SCK6 (入出力)	P02	○	×	×	×	×	
			P34	○	○	○	×	×	
			PB3	○	○	○	○	○	
		CTS6# (入力) /RTS6# (出力) / SS6# (入力)	PB2	○	○	○	×	×	
			PJ3	○	○	×	×	×	
		SCI7	RXD7 (入力) /SMISO7 (入出力) / SSCL7 (入出力)	P92	○	×	×	×	×
	P55			○	×	×	×	×	
	TXD7 (出力) /SMOSI7 (入出力) / SSDA7 (入出力)		P90	○	×	×	×	×	
			P56	○	×	×	×	×	
	SCK7 (入出力)		P91	○	×	×	×	×	
			P93	○	×	×	×	×	
	SCI8		RXD8 (入力) /SMISO8 (入出力) / SSCL8 (入出力)	PC6	○	○	○	○	○
				PC7	○	○	○	○	○
		SCK8 (入出力)	PC5	○	○	○	○	○	
			PC4	○	○	○	○	○	
	SCI9	RXD9 (入力) /SMISO9 (入出力) / SSCL9 (入出力)	PB6	○	○	○	○	×	
			PK3	○	×	×	×	×	
		TXD9 (出力) /SMOSI9 (入出力) / SSDA9 (入出力)	PB7	○	○	○	○	×	
PK2			○	×	×	×	×		
SCK9 (入出力)		P60	○	×	×	×	×		
		PB5	○	○	○	○	×		
CTS9# (入力) /RTS9# (出力) / SS9# (入力)		P61	○	×	×	×	×		
		PB4	○	○	○	×	×		
SCI10	RXD10 (入力) /SMISO10 (入出力) / SSCL10 (入出力)	P81	○	×	×	×	×		
		P86	○	×	×	×	×		
		PC6	○	○	○	○	○		
		P82	○	×	×	×	×		
		P87	○	×	×	×	×		
		PC7	○	○	○	○	○		
	SCK10 (入出力)	P80	○	×	×	×	×		
		P83	○	×	×	×	×		
		PC5	○	○	○	○	○		
	RTS10# (出力)	P80	○	×	×	×	×		
	CTS10# (入力) /SS10# (入力)	P83	○	×	×	×	×		
	CTS10# (入力) /RTS10# (出力) / SS10# (入力)	PC4	○	○	○	○	○		

表21.1 多機能端子の割り当て端子一覧 (11 / 13)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
シリアル コミュニケーション インターフェース	SCI11	RXD11 (入力) / SMISO11 (入出力) / SSCL11 (入出力)	P76	○	×	×	×	×
			PB6	○	○	○	○	×
		TXD11 (出力) / SMOSI11 (入出力) / SSDA11 (入出力)	P77	○	×	×	×	×
			PB7	○	○	○	○	×
		SCK11 (入出力)	P75	○	×	×	×	×
			PB5	○	○	○	○	×
		RTS11# (出力)	P75	○	×	×	×	×
	CTS11# (入力) / SS11# (入力)	P74	○	×	×	×	×	
	CTS11# (入力) / RTS11# (出力) / SS11# (入力)	PB4	○	○	○	×	×	
	SCI12	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	PA2	○	○	○	×	×
			PE2	○	○	○	○	○
		TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PA4	○	○	○	○	○
			PE1	○	○	○	○	○
		SCK12 (入出力)	PA1	○	○	○	○	○
PE0			○	○	○	○	×	
CTS12# (入力) / RTS12# (出力) / SS12# (入力)		PA6	○	○	○	○	○	
	PE3	○	○	○	○	○		
シリアル コミュニケーション インターフェース	RSCI10	RXD010 (入力) / SMISO010 (入出力) / SSCL010 (入出力)	P81	○	×	×	×	×
			P86	○	×	×	×	×
			PC6	○	○	○	○	○
		TXD010 (出力) / SMOSI010 (入出力) / SSDA010 (入出力)	P82	○	×	×	×	×
			P87	○	×	×	×	×
			PC7	○	○	○	○	○
		SCK010 (入出力) / RTS010# (出力) / DE010 (出力)	P80	○	×	×	×	×
	SCK010 (入出力) / CTS010# (入力) / SS010# (入力)	P83	○	×	×	×	×	
	SCK010 (入出力)	PC5	○	○	○	○	○	
	CTS010# (入力) / RTS010# (出力) / SS010# (入力) / DE010 (出力)	PC4	○	○	○	○	○	
	RSCI11	RXD011 (入力) / SMISO011 (入出力) / SSCL011 (入出力)	P76	○	×	×	×	×
			PB6	○	○	○	○	×
			PC0	○	○	×	×	×
		TXD011 (出力) / SMOSI011 (入出力) / SSDA011 (入出力)	P77	○	×	×	×	×
PB7			○	○	○	○	×	
PC1			○	○	×	×	×	
SCK011 (入出力) / RTS011# (出力) / DE011 (出力)		P75	○	×	×	×	×	
SCK011 (入出力)		PB5	○	○	○	○	×	
TXDA011 (出力)		PC1	○	○	×	×	×	
TXDB011 (出力)	PC2	○	○	○	○	×		
CTS011# (入力) / SS011# (入力)	P74	○	×	×	×	×		
CTS011# (入力) / RTS011# (出力) / SS011# (入力) / DE011 (出力)	PB4	○	○	○	×	×		

表21.1 多機能端子の割り当て端子一覧 (12 / 13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
I ² Cバス インタフェース	RIIC0	SCL0 (入出力)	P12	○	○	○	×	×
		SDA0 (入出力)	P13	○	○	○	×	×
	RIIC2	SCL2 (入出力)	P16	○	○	○	○	○
		SDA2 (入出力)	P17	○	○	○	○	○
CAN FDモジュール	CANFD0	CRX0 (入力)	P15	○	○	○	○	○
			P33	○	○	×	×	×
			P55	○	○	○	○	×
			PD2	○	○	○	×	×
	CTX0 (出力)	P14	○	○	○	○	○	
		P32	○	○	○	○	×	
		P54	○	○	○	○	×	
		PD1	○	○	○	×	×	
シリアルペリフェラル インタフェース	RSPIO	RSPCKA (入出力)	PA5	○	○	○	×	×
			PB0	○	○	○	○	○
			PC5	○	○	○	○	○
	MOSIA (入出力)	P16	○	○	○	○	○	
		PA6	○	○	○	○	○	
		PC6	○	○	○	○	○	
	MISOA (入出力)	P17	○	○	○	○	○	
		PA7	○	○	×	×	×	
		PC7	○	○	○	○	○	
	SSLA0 (入出力)	PA4	○	○	○	○	○	
		PC4	○	○	○	○	○	
	SSLA1 (出力)	PA0	○	○	○	○	×	
		PC0	○	○	×	×	×	
	SSLA2 (出力)	PA1	○	○	○	○	○	
		PC1	○	○	×	×	×	
	SSLA3 (出力)	PA2	○	○	○	×	×	
PC2		○	○	○	○	×		
12ビットA/Dコンバータ		AN000 (入力) (注3)	P40	○	○	○	○	○
		AN001 (入力) (注3)	P41	○	○	○	○	○
		AN002 (入力) (注3)	P42	○	○	○	○	○
		AN003 (入力) (注3)	P43	○	○	○	○	×
		AN004 (入力) (注3)	P44	○	○	○	○	×
		AN005 (入力) (注3)	P45	○	○	○	○	○
		AN006 (入力) (注3)	P46	○	○	○	○	○
		AN007 (入力) (注3)	P47	○	○	○	○	○
		AN008 (入力) (注3)	PE0	○	○	○	○	×
		AN009 (入力) (注3)	PE1	○	○	○	○	○
		AN010 (入力) (注3)	PE2	○	○	○	○	○
		AN011 (入力) (注3)	PE3	○	○	○	○	○
		AN012 (入力) (注3)	PE4	○	○	○	○	○
		AN013 (入力) (注3)	PE5	○	○	○	○	×
	AN014 (入力) (注3)	PE6	○	○	×	×	×	

表21.1 多機能端子の割り当て端子一覧 (13 / 13)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				144ピン	100ピン	80ピン	64ピン	48ピン
12ビットA/Dコンバータ		AN015 (入力) (注3)	PE7	○	○	×	×	×
		AN016 (入力) (注3)	PD0	○	○	○	×	×
		AN017 (入力) (注3)	PD1	○	○	○	×	×
		AN018 (入力) (注3)	PD2	○	○	○	×	×
		AN019 (入力) (注3)	PD3	○	○	×	×	×
		AN020 (入力) (注3)	PD4	○	○	×	×	×
		AN021 (入力) (注3)	PD5	○	○	×	×	×
		AN022 (入力) (注3)	PD6	○	○	×	×	×
		AN023 (入力) (注3)	PD7	○	○	×	×	×
		ADST0 (出力)	PA4	○	○	○	○	○
			PH1	○	○	○	○	○
		ADTRG0# (入力)	P07	○	○	○	○	×
			P16	○	○	○	○	○
			P25	○	○	×	×	×
PA1	○		○	○	○	○		
PH0	○		○	○	○	○		
12ビットD/Aコンバータ		DA0 (出力)	P03	○	○ (注1)	○	○	×
		DA1 (出力)	P05	○	○	○	×	×
クロック周波数精度測定回路		CACREF (入力)	PA0	○	○	○	○	×
			PC7	○	○	○	○	○
			PH0	○	○	○	○	○
リモコン信号受信機能	REMC0	PMC0 (入力)	P51	○	○	×	×	×
			P53	○	○	×	×	×
			PB3	○	○	○	○	○
			PC3	○	○	○	○	×
			PC4	○	○	○	○	○
			PC5	○	○	○	○	○
コンパレータC		CMPC00 (入力)	PE1	○	○	○	○	○
		CMPC10 (入力)	PA3	○	○	○	○	○
		CMPC20 (入力)	P15	○	○	○	○	○
		CMPC30 (入力)	P26	○	○	○	○	○
		COMP0 (出力)	PE5	○	○	○	○	×
		COMP1 (出力)	PB1	○	○	○	○	○
		COMP2 (出力)	P17	○	○	○	○	○
		COMP3 (出力)	P30	○	○	○	○	○
		CVREFC0 (入力)	PE2	○	○	○	○	○
		CVREFC1 (入力)	PA4	○	○	○	○	○
		CVREFC2 (入力)	P14	○	○	○	○	○
CVREFC3 (入力)	P27	○	○	○	○	○		

注1. JTAGのある製品にはありません。

注2. サブクロック発振器のない製品では使用できません。

注3. この端子を使用する場合は、該当端子の設定を汎用入力にしてください(PORTm.PDR.BnビットおよびPORTm.PMR.Bnビットを“0”にする)。

21.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

21.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

b7	b6	b5	b4	b3	b2	b1	b0
BOWI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	BOWI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

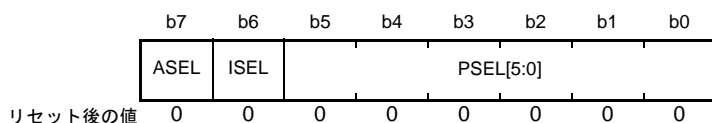
PFSWE ビットを“1”にする場合は、BOWI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

BOWI ビット (PFSWE ビット書き込み禁止ビット)

BOWI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 3, 5, 7)

アドレス P00PFS 0008 C140h, P01PFS 0008 C141h, P02PFS 0008 C142h, P03PFS 0008 C143h,
P05PFS 0008 C145h, P07PFS 0008 C147h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.2、表21.3を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P00 : IRQ8 (144ピン) P01 : IRQ9 (144ピン) P02 : IRQ10 (144ピン) P03 : IRQ11 (144/100(注1)/80/64ピン) P05 : IRQ13 (144/100/80ピン) P07 : IRQ15 (144/100/80/64ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P03 : DA0 (144/100(注1)/80/64ピン) P05 : DA1 (144/100/80ピン)	R/W

注1. JTAGのある製品にはありません。

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。PSEL[5:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を2つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

表21.2 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	P00	P01	P02	P07
000000b (初期値)	Hi-Z			
000101b	TMRI0	TMCIO	TMC11	—
001001b	—	—	—	ADTRG0#
001010b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6	—

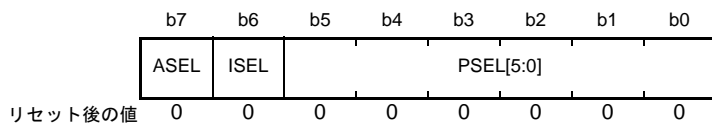
— : 設定しないでください。

表21.3 100ピンLFQFP, 80ピンLFQFP, 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子
000000b (初期値)	Hi-Z
001001b	ADTRG0#

21.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)

アドレス P12PFS 0008 C14Ah, P13PFS 0008 C14Bh, P14PFS 0008 C14Ch, P15PFS 0008 C14Dh,
P16PFS 0008 C14Eh, P17PFS 0008 C14Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.4、表21.5を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P12 : IRQ2 (144/100/80ピン) P13 : IRQ3 (144/100/80ピン) P14 : IRQ4 (144/100/80/64/48ピン) P15 : IRQ5 (144/100/80/64/48ピン) P16 : IRQ6 (144/100/80/64/48ピン) P17 : IRQ7 (144/100/80/64/48ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P14 : CVREFC2 (144/100/80/64/48ピン) P15 : CMPC20 (144/100/80/64/48ピン)	R/W

表21.4 144ピンLFQFP, 100ピンLFQFP, 80ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	P12	P13	P14	P15	P16	P17
000000b (初期値)	Hi-Z					
000001b	MTIC5U	MTIOC0B	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
000010b	—	—	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
000101b	TMC1	TMO3	TMRI2	TMCi2	TMO2	TMO1
000111b	—	—	—	—	RTCOUT (注1)	POE8#
001000b	—	—	—	—	—	MTIOC4B
001001b	—	—	—	—	ADTRG0#	—
001010b	RXD2 (注2) SMISO2 (注2) SSCL2 (注2)	TXD2 (注2) SMOSI2 (注2) SSDA2 (注2)	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
001011b	—	—	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
001101b	—	—	—	—	MOSIA	MISOA
001111b	SCL0	SDA0	—	—	SCL2	SDA2
010000b	—	—	CTX0	CRX0	—	—
011110b	—	—	—	—	—	COMP2

— : 設定しないでください。

注1. サブクロック発振器のない製品では使用できません。

注2. 80ピンの製品にはありません。

表21.5 64ピンLFQFP, 48ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	P14	P15	P16	P17
000000b (初期値)	Hi-Z			
000001b	MTIOC3A	MTIOC0B	MTIOC3C	MTIOC3A
000010b	MTCLKA	MTCLKB	MTIOC3D	MTIOC3B
000101b	TMRI2	TMCI2	TMO2	TMO1
000111b	—	—	RTCOUT (注1、注2)	POE8#
001000b	—	—	—	MTIOC4B
001001b	—	—	ADTRG0#	—
001010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
001011b	CTS1# RTS1# SS1#	SCK3	RXD3 SMISO3 SSCL3	TXD3 SMOSI3 SSDA3
001101b	—	—	MOSIA	MISOA
001111b	—	—	SCL2	SDA2
010000b	CTX0	CRX0	—	—
011110b	—	—	—	COMP2

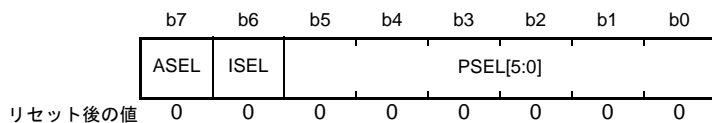
— : 設定しないでください。

注1. サブクロック発振器のない製品では使用できません。

注2. 48ピンの製品にはありません。

21.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)

アドレス P20PFS 0008 C150h, P21PFS 0008 C151h, P22PFS 0008 C152h, P23PFS 0008 C153h, P24PFS 0008 C154h, P25PFS 0008 C155h, P26PFS 0008 C156h, P27PFS 0008 C157h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.6、表21.7、表21.8を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P20 : IRQ8 (144/100/80ピン) P21 : IRQ9 (144/100/80ピン) P22 : IRQ15 (144/100ピン) P23 : IRQ3 (144/100ピン) P24 : IRQ12 (144/100ピン) P25 : IRQ5 (144/100ピン) P26 : IRQ6 (144/100/80/64/48ピン) P27 : IRQ7 (144/100/80/64/48ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P26 : CMPC30 (144/100/80/64/48ピン) P27 : CVREFC3 (144/100/80/64/48ピン)	R/W

表21.6 144ピンLFQFP, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
000000b (初期値)	Hi-Z							
000001b	MTIOC1A	MTIOC1B	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	MTIOC2A	MTIOC2B
000010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB	—	—
000101b	TMRI0	TMCIO	TMO0	—	TMRI1	—	TMO1	TMCIO3
001000b	—	MTIOC4A	—	—	—	—	—	—
001001b	—	—	—	—	—	ADTRG0#	—	—
001010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0	TXD3 SMOSI3 SSDA3	SCK3	RXD3 SMISO3 SSCL3	TXD1 SMOSI1 SSDA1	SCK1
001011b	—	—	—	CTS0# RTS0# SS0#	—	—	CTS3# RTS3# SS3#	—

— : 設定しないでください。

表21.7 80ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	P20	P21	P26	P27
000000b (初期値)	Hi-Z			
000001b	MTIOC1A	MTIOC1B	MTIOC2A	MTIOC2B
000101b	TMRIO	TMCI0	TMO1	TMCI3
001000b	—	MTIOC4A	—	—
001010b	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	TXD1 SMOSI1 SSDA1	SCK1
001011b	—	—	CTS3# RTS3# SS3#	—

— : 設定しないでください。

表21.8 64ピンLFQFP, 48ピンLFQFP端子入出力機能レジスタ設定

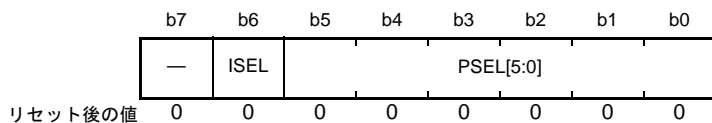
PSEL[5:0]ビット 設定値	端子	
	P26	P27
000000b (初期値)	Hi-Z	
000001b	MTIOC2A	MTIOC2B
000101b	TMO1	TMCI3 (注1)
001010b	TXD1 SMOSI1 SSDA1	SCK1
001011b	CTS3# RTS3# SS3#	—

— : 設定しないでください。

注1. 48ピンの製品にはありません。

21.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4, 6, 7)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah, P33PFS 0008 C15Bh,
P34PFS 0008 C15Ch, P36PFS 0008 C15Eh, P37PFS 0008 C15Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.9、表21.10、表21.11、表21.12を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30 : IRQ0-DS (144/100/80/64/48ピン) P31 : IRQ1-DS (144/100/80/64/48ピン) P32 : IRQ2-DS (144/100/80/64ピン) P33 : IRQ3-DS (144/100ピン) P34 : IRQ4 (144/100/80ピン) P36 : IRQ5 (144/100/80/64/48ピン) P37 : IRQ4 (144/100/80/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.9 144ピンLFQFP, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子				
	P30	P31	P32	P33	P34
000000b (初期値)	Hi-Z				
000001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0D	MTIOC0A
000101b	TMRI3	TMCI2	TMO3	TMRI3	TMCI3
000111b	POE8#	—	RTCOUT (注1)	—	POE10#
001000b	—	—	POE0#	POE4#	—
001010b	RXD1 SMISO1 SSCL1	—	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6
001011b	—	CTS1# RTS1# SS1#	TXD0 SMOSI0 SSDA0	RXD0 SMISO0 SSCL0	SCK0
010000b	—	—	CTX0	CRX0	—
011110b	COMP3	—	—	—	—
100001b	—	—	POE10#	POE11#	—

— : 設定しないでください。

注1. サブクロック発振器のない製品では使用できません。

表21.10 80ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	P30	P31	P32	P34
000000b (初期値)	Hi-Z			
000001b	MTIOC4B	MTIOC4D	MTIOC0C	MTIOC0A
000101b	TMRI3	TMCI2	TMO3	TMCI3
000111b	POE8#	—	RTCOUT (注1)	POE10#
001000b	—	—	POE0#	—
001010b	RXD1 SMISO1 SSCL1	—	TXD6 SMOSI6 SSDA6	SCK6
001011b	—	CTS1# RTS1# SS1#	TXD0 SMOSI0 SSDA0	SCK0
010000b	—	—	CTX0	—
011110b	COMP3	—	—	—
100001b	—	—	POE10#	—

—：設定しないでください。

注1. サブクロック発振器のない製品では使用できません。

表21.11 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子		
	P30	P31	P32
000000b (初期値)	Hi-Z		
000001b	MTIOC4B	MTIOC4D	MTIOC0C
000101b	TMRI3	TMCI2	TMO3
000111b	POE8#	—	RTCOUT (注1)
001000b	—	—	POE0#
001010b	RXD1 SMISO1 SSCL1	—	TXD6 SMOSI6 SSDA6
001011b	—	CTS1# RTS1# SS1#	—
010000b	—	—	CTX0
011110b	COMP3	—	—
100001b	—	—	POE10#

—：設定しないでください。

注1. サブクロック発振器のない製品では使用できません。

表21.12 48ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子	
	P30	P31
000000b (初期値)	Hi-Z	
000001b	MTIOC4B	MTIOC4D
000101b	—	TMCI2
000111b	POE8#	—
001010b	RXD1 SMISO1 SSCL1	—
001011b	—	CTS1# RTS1# SS1#
011110b	COMP3	—

—：設定しないでください。

21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)

アドレス P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h,
P44PFS 0008 C164h, P45PFS 0008 C165h, P46PFS 0008 C166h, P47PFS 0008 C167h

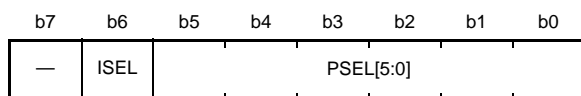
b7	b6	b5	b4	b3	b2	b1	b0
ASEL	ISEL	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P40 : IRQ8-DS (144/100/80/64/48ピン) P41 : IRQ9-DS (144/100/80/64/48ピン) P42 : IRQ10-DS (144/100/80/64/48ピン) P43 : IRQ11-DS (144/100/80/64ピン) P44 : IRQ12-DS (144/100/80/64ピン) P45 : IRQ13-DS (144/100/80/64/48ピン) P46 : IRQ14-DS (144/100/80/64/48ピン) P47 : IRQ15-DS (144/100/80/64/48ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (144/100/80/64/48ピン) P41 : AN001 (144/100/80/64/48ピン) P42 : AN002 (144/100/80/64/48ピン) P43 : AN003 (144/100/80/64ピン) P44 : AN004 (144/100/80/64ピン) P45 : AN005 (144/100/80/64/48ピン) P46 : AN006 (144/100/80/64/48ピン) P47 : AN007 (144/100/80/64/48ピン)	R/W

21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 0 ~ 6)

アドレス P50PFS 0008 C168h, P51PFS 0008 C169h, P52PFS 0008 C16Ah, P53PFS 0008 C16Bh,
P54PFS 0008 C16Ch, P55PFS 0008 C16Dh, P56PFS 0008 C16Eh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.13、表21.14、表21.15を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P50 : IRQ0 (144/100ピン) P51 : IRQ1 (144/100ピン) P52 : IRQ2 (144/100ピン) P53 : IRQ3 (144/100ピン) P54 : IRQ4 (144/100/80/64ピン) P55 : IRQ10 (144/100/80/64ピン) P56 : IRQ6 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.13 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子						
	P50	P51	P52	P53	P54	P55	P56
000000b (初期値)	Hi-Z						
000001b	—	—	—	—	MTIOC4B	MTIOC4D	MTIOC3C
000010b	—	—	—	—	—	MTIOC4A	—
000101b	—	—	—	—	TMCI1	TMO3	—
001010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—	TXD7 SMOSI7 SSDA7	SCK7
001011b	—	—	—	—	CTS2# RTS2# SS2#	—	—
010000b	—	—	—	—	CTX0	CRX0	—
100110b	—	PMC0	—	PMC0	—	—	—

— : 設定しないでください。

表21.14 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	P50	P51	P52	P53	P54	P55
000000b (初期値)	Hi-Z					
000001b	—	—	—	—	MTIOC4B	MTIOC4D
000010b	—	—	—	—	—	MTIOC4A
000101b	—	—	—	—	TMCI1	TMO3
001010b	TXD2 SMOSI2 SSDA2	SCK2	RXD2 SMISO2 SSCL2	—	—	—
001011b	—	—	—	—	CTS2# RTS2# SS2#	—
010000b	—	—	—	—	CTX0	CRX0
100110b	—	PMC0	—	PMC0	—	—

— : 設定しないでください。

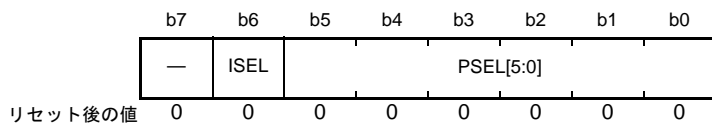
表21.15 80ピンLFQFP, 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子	
	P54	P55
000000b (初期値)	Hi-Z	
000001b	MTIOC4B	MTIOC4D
000010b	—	MTIOC4A
000101b	TMC11	TMO3
010000b	CTX0	CRX0

— : 設定しないでください。

21.2.8 P6n 端子機能制御レジスタ (P6nPFS) (n = 0 ~ 7)

アドレス P60PFS 0008 C170h, P61PFS 0008 C171h, P62PFS 0008 C172h, P63PFS 0008 C173h,
P64PFS 0008 C174h, P65PFS 0008 C175h, P66PFS 0008 C176h, P67PFS 0008 C177h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.16を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P60 : IRQ0 (144ピン) P61 : IRQ1 (144ピン) P62 : IRQ2 (144ピン) P63 : IRQ3 (144ピン) P64 : IRQ4 (144ピン) P65 : IRQ13 (144ピン) P66 : IRQ14 (144ピン) P67 : IRQ15 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

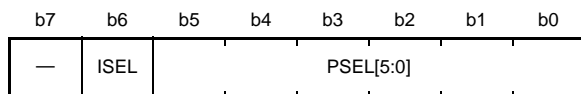
表21.16 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	P60	P61	P66	P67
000000b (初期値)	Hi-Z			
001000b	—	—	MTIOC7D	MTIOC7C
001010b	SCK9	CTS9# RTS9# SS9#	—	—

— : 設定しないでください。

21.2.9 P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 7)

アドレス P70PFS 0008 C178h, P71PFS 0008 C179h, P72PFS 0008 C17Ah, P73PFS 0008 C17Bh, P74PFS 0008 C17Ch, P75PFS 0008 C17Dh, P76PFS 0008 C17Eh, P77PFS 0008 C17Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.17を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P70 : IRQ0 (144ピン) P71 : IRQ1 (144ピン) P72 : IRQ10 (144ピン) P73 : IRQ8 (144ピン) P74 : IRQ12 (144ピン) P75 : IRQ13 (144ピン) P76 : IRQ14 (144ピン) P77 : IRQ7 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

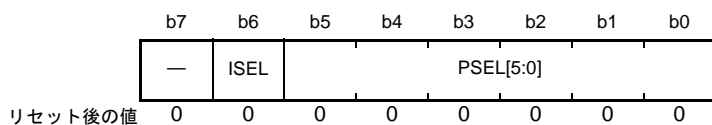
表21.17 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子				
	P70	P74	P75	P76	P77
000000b (初期値)	Hi-Z				
001010b	SCK4	—	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
001011b	—	CTS11# SS11#	RTS11#	—	—
101100b	—	—	SCK011	RXD011 SMISO011 SSCL011	TXD011 SMOSI011 SSDA011
101101b	—	CTS011# SS011#	RTS011#	—	—
101110b	—	—	DE011	—	—

— : 設定しないでください。

21.2.10 P8n 端子機能制御レジスタ (P8nPFS) (n = 0 ~ 3, 6, 7)

アドレス P80PFS 0008 C180h, P81PFS 0008 C181h, P82PFS 0008 C182h, P83PFS 0008 C183h,
P86PFS 0008 C186h, P87PFS 0008 C187h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.18を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P80 : IRQ8 (144ピン) P81 : IRQ9 (144ピン) P82 : IRQ2 (144ピン) P83 : IRQ3 (144ピン) P86 : IRQ14 (144ピン) P87 : IRQ15 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

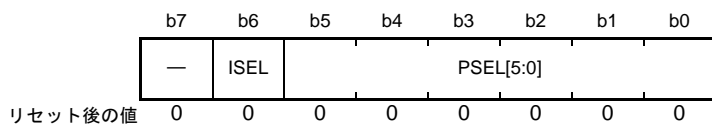
表21.18 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	P80	P81	P82	P83	P86	P87
000000b (初期値)	Hi-Z					
000001b	MTIOC3B	MTIOC3D	MTIOC4A	MTIOC4C	—	—
001000b	—	—	—	—	MTIOC4D	MTIOC4C
001010b	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10
001011b	RTS10#	—	—	CTS10# SS10#	—	—
101100b	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010
101101b	RTS010#	—	—	CTS010# SS010#	—	—
101110b	DE010	—	—	—	—	—

— : 設定しないでください。

21.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 3)

アドレス P90PFS 0008 C188h, P91PFS 0008 C189h, P92PFS 0008 C18Ah, P93PFS 0008 C18Bh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.19を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P90 : IRQ0 (144ピン) P91 : IRQ9 (144ピン) P92 : IRQ10 (144ピン) P93 : IRQ11 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

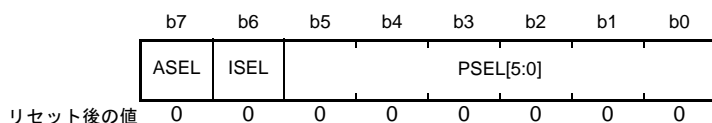
表21.19 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	P90	P91	P92	P93
000000b (初期値)	Hi-Z			
001000b	—	—	POE4#	POE0#
001010b	TXD7 SMOSI7 SSDA7	SCK7	RXD7 SMISO7 SSCL7	—
001011b	—	—	—	CTS7# RTS7# SS7#

— : 設定しないでください。

21.2.12 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)

アドレス PA0PFS 0008 C190h, PA1PFS 0008 C191h, PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA5PFS 0008 C195h, PA6PFS 0008 C196h, PA7PFS 0008 C197h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.20、表21.21、表21.22、表21.23を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA0 : IRQ0 (144/100/80/64ピン) PA1 : IRQ11 (144/100/80/64/48ピン) PA2 : IRQ10 (144/100/80ピン) PA3 : IRQ6-DS (144/100/80/64/48ピン) PA4 : IRQ5-DS (144/100/80/64/48ピン) PA5 : IRQ5 (144/100/80ピン) PA6 : IRQ14 (144/100/80/64/48ピン) PA7 : IRQ7 (144/100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PA3 : CMPC10 (144/100/80/64/48ピン) PA4 : CVREFC1 (144/100/80/64/48ピン)	R/W

表21.20 144ピンLFQFP, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
000000b (初期値)	Hi-Z							
000001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V	—
000010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB	—
000101b	—	—	—	—	TMRI0	—	TMCI3	—
000111b	CACREF	—	—	—	—	—	POE10#	—
001000b	MTIOC6D	MTIOC7B	MTIOC7A	MTIC5V	MTIOC4C	MTIOC6B	MTIOC3D	—
001001b	—	ADTRG0#	—	—	ADST0	—	—	—
001010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—	—
001011b	—	—	—	—	—	—	CTS5# RTS5# SS5#	—
001100b	—	SCK12	RXD12 SMISO12 SSCL12 RXDX12	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	CTS12# RTS12# SS12#	—
001101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
100111b	—	MTIOC3B	—	MTIOC4D	MTIOC7C	—	MTIOC6B	—

— : 設定しないでください。

表21.21 80ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子						
	PA0	PA1	PA2	PA3	PA4	PA5	PA6
000000b (初期値)	Hi-Z						
000001b	MTIOC4A	MTIOC0B	—	MTIOC0D	MTIC5U	—	MTIC5V
000010b	—	MTCLKC	—	MTCLKD	MTCLKA	—	MTCLKB
000101b	—	—	—	—	TMRI0	—	TMCI3
000111b	CACREF	—	—	—	—	—	POE10#
001000b	MTIOC6D	MTIOC7B	MTIOC7A	MTIC5V	MTIOC4C	MTIOC6B	MTIOC3D
001001b	—	ADTRG0#	—	—	ADST0	—	—
001010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—
001011b	—	—	—	—	—	—	CTS5# RTS5# SS5#
001100b	—	SCK12	RXD12 SMISO12 SSCL12 RXDX12	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	CTS12# RTS12# SS12#
001101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA
100111b	—	MTIOC3B	—	MTIOC4D	MTIOC7C	—	MTIOC6B

— : 設定しないでください。

表21.22 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子				
	PA0	PA1	PA3	PA4	PA6
000000b (初期値)	Hi-Z				
000001b	MTIOC4A	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
000010b	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
000101b	—	—	—	TMRI0	TMCI3
000111b	CACREF	—	—	—	POE10#
001000b	MTIOC6D	MTIOC7B	MTIC5V	MTIOC4C	MTIOC3D
001001b	—	ADTRG0#	—	ADST0	—
001010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
001011b	—	—	—	—	CTS5# RTS5# SS5#
001100b	—	SCK12	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	CTS12# RTS12# SS12#
001101b	SSLA1	SSLA2	—	SSLA0	MOSIA
100111b	—	MTIOC3B	MTIOC4D	MTIOC7C	MTIOC6B

— : 設定しないでください。

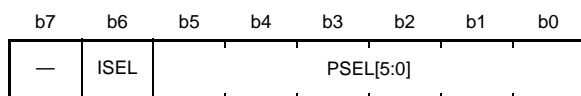
表21.23 48ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	PA1	PA3	PA4	PA6
000000b (初期値)	Hi-Z			
000001b	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
000010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
000101b	—	—	TMR10	—
000111b	—	—	—	POE10#
001000b	MTIOC7B	MTIC5V	MTIOC4C	MTIOC3D
001001b	ADTRG0#	—	ADST0	—
001010b	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
001011b	—	—	—	CTS5# RTS5# SS5#
001100b	SCK12	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	CTS12# RTS12# SS12#
001101b	SSLA2	—	SSLA0	MOSIA
100111b	MTIOC3B	MTIOC4D	MTIOC7C	—

— : 設定しないでください。

21.2.13 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh, PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.24、表21.25、表21.26を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB0 : IRQ12 (144/100/80/64/48ピン) PB1 : IRQ4-DS (144/100/80/64/48ピン) PB2 : IRQ2 (144/100/80ピン) PB3 : IRQ3 (144/100/80/64/48ピン) PB4 : IRQ4 (144/100/80ピン) PB5 : IRQ13 (144/100/80/64/48ピン) PB6 : IRQ6 (144/100/80/64ピン) PB7 : IRQ15 (144/100/80/64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.24 144ピンLFQFP, 100ピンLFQFP, 80ピンLFQFP 端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
000000b (初期値)	Hi-Z							
000001b	MTIC5W	MTIOC0C	—	MTIOC0A	—	MTIOC2A	MTIOC3D	MTIOC3B
000010b	MTIOC3D	MTIOC4C	—	MTIOC4A	—	MTIOC1B	—	—
000101b	—	TMCIO	—	TMO0	—	TMRI1	—	—
000111b	—	—	—	POE11#	—	POE4#	—	—
001010b	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4	CTS4# RTS4# SS4#	SCK4	—	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
001011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS9# RTS9# SS9#	—	—	—
001101b	RSPCKA	—	—	—	—	—	—	—
011101b	—	—	—	TIC2	—	TOC2	—	—
011110b	—	COMP1	—	—	—	—	—	—
100100b	—	—	—	—	CTS11# RTS11# SS11#	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
100110b	—	—	—	PMC0	—	—	—	—
101100b	—	—	—	—	CTS011# RTS011# SS011#	SCK011	RXD011 SMISO011 SSCL011	TXD011 SMOSI011 SSDA011
101110b	—	—	—	—	DE011	—	—	—

— : 設定しないでください。

表21.25 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	PB0	PB1	PB3	PB5	PB6	PB7
000000b (初期値)	Hi-Z					
000001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A	MTIOC3D	MTIOC3B
000010b	MTIOC3D	MTIOC4C	MTIOC4A	MTIOC1B	—	—
000101b	—	TMCIO	TMO0	TMRI1	—	—
000111b	—	—	POE11#	POE4#	—	—
001010b	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4	SCK4	SCK9	RXD9 SMISO9 SSCL9	TXD9 SMOSI9 SSDA9
001011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—	—	—
001101b	RSPCKA	—	—	—	—	—
011101b	—	—	TIC2	TOC2	—	—
011110b	—	COMP1	—	—	—	—
100100b	—	—	—	SCK11	RXD11 SMISO11 SSCL11	TXD11 SMOSI11 SSDA11
100110b	—	—	PMC0	—	—	—
101100b	—	—	—	SCK011	RXD011 SMISO011 SSCL011	TXD011 SMOSI011 SSDA011

— : 設定しないでください。

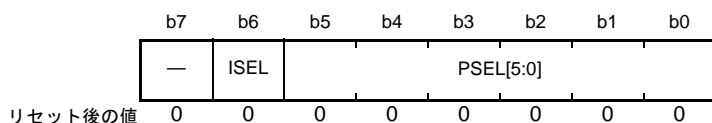
表21.26 48ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	PB0	PB1	PB3	PB5
000000b (初期値)	Hi-Z			
000001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A
000010b	MTIOC3D	MTIOC4C	MTIOC4A	MTIOC1B
000101b	—	TMCIO	TMO0	TMRI1
000111b	—	—	POE11#	POE4#
001010b	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4	SCK4	—
001011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—
001101b	RSPCKA	—	—	—
011101b	—	—	TIC2	TOC2
011110b	—	COMP1	—	—
100110b	—	—	PMC0	—

— : 設定しないでください。

21.2.14 PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)

アドレス PC0PFS 0008 C1A0h, PC1PFS 0008 C1A1h, PC2PFS 0008 C1A2h, PC3PFS 0008 C1A3h, PC4PFS 0008 C1A4h, PC5PFS 0008 C1A5h, PC6PFS 0008 C1A6h, PC7PFS 0008 C1A7h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.27、表21.28、表21.29を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PC0 : IRQ14 (144/100ピン) PC1 : IRQ12 (144/100ピン) PC2 : IRQ10 (144/100/80/64ピン) PC3 : IRQ11 (144/100/80/64ピン) PC4 : IRQ12 (144/100/80/64/48ピン) PC5 : IRQ5 (144/100/80/64/48ピン) PC6 : IRQ13 (144/100/80/64/48ピン) PC7 : IRQ14 (144/100/80/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.27 144ピンLFQFP, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
000000b (初期値)	Hi-Z							
000001b	MTIOC3C	MTIOC3A	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
000010b	—	—	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
000101b	—	—	—	—	TMCI1	TMRI2	TMCI2	TMO2
000111b	—	—	—	—	POE0#	—	—	CACREF
001000b	—	—	—	—	MTIOC0A	MTIOC0C	—	—
001010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
001011b	CTS5# RTS5# SS5#	—	—	—	CTS8# RTS8# SS8#	—	—	—
001101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
011101b	—	—	—	—	—	—	TIC0	TOC0
100100b	—	—	—	—	CTS10# RTS10# SS10#	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10
100110b	—	—	—	PMC0	PMC0	PMC0	—	—
101100b	RXD011 SMISO011 SSCL011	TXD011 SMOSI011 SSDA011 TXDA011	TXDB011	—	CTS010# RTS010# SS010#	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010
101110b	—	—	—	—	DE010	—	—	—

— : 設定しないでください。

表21.28 80ピンLFQFP, 64ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	PC2	PC3	PC4	PC5	PC6	PC7
000000b (初期値)	Hi-Z					
000001b	MTIOC4B	MTIOC4D	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
000010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
000101b	—	—	TMCI1	TMRI2	TMCi2	TMO2
000111b	—	—	POE0#	—	—	CACREF
001000b	—	—	MTIOC0A	MTIOC0C	—	—
001010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
001011b	—	—	CTS8# RTS8# SS8#	—	—	—
001101b	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
011101b	—	—	—	—	TIC0	TOC0
100100b	—	—	CTS10# RTS10# SS10#	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10
100110b	—	PMC0	PMC0	PMC0	—	—
101100b	TXDB011	—	CTS010# RTS010# SS010#	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010
101110b	—	—	DE010	—	—	—

— : 設定しないでください。

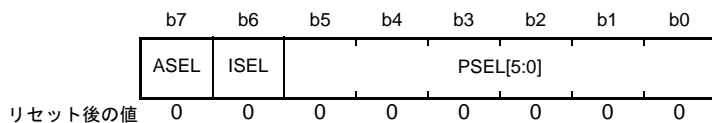
表21.29 48ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	PC4	PC5	PC6	PC7
000000b (初期値)	Hi-Z			
000001b	MTIOC3D	MTIOC3B	MTIOC3C	MTIOC3A
000010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
000101b	TMCI1	TMRI2	TMCi2	TMO2
000111b	POE0#	—	—	CACREF
001000b	MTIOC0A	MTIOC0C	—	—
001010b	SCK5	SCK8	RXD8 SMISO8 SSCL8	TXD8 SMOSI8 SSDA8
001011b	CTS8# RTS8# SS8#	—	—	—
001101b	SSLA0	RSPCKA	MOSIA	MISOA
011101b	—	—	TIC0	TOC0
100100b	CTS10# RTS10# SS10#	SCK10	RXD10 SMISO10 SSCL10	TXD10 SMOSI10 SSDA10
100110b	PMC0	PMC0	—	—
101100b	CTS010# RTS010# SS010#	SCK010	RXD010 SMISO010 SSCL010	TXD010 SMOSI010 SSDA010
101110b	DE010	—	—	—

— : 設定しないでください。

21.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)

アドレス PD0PFS 0008 C1A8h, PD1PFS 0008 C1A9h, PD2PFS 0008 C1AAh, PD3PFS 0008 C1ABh, PD4PFS 0008 C1ACh, PD5PFS 0008 C1ADh, PD6PFS 0008 C1AEh, PD7PFS 0008 C1AFh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.30、表21.31を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD0 : IRQ0 (144/100/80ピン) PD1 : IRQ1 (144/100/80ピン) PD2 : IRQ2 (144/100/80ピン) PD3 : IRQ3 (144/100ピン) PD4 : IRQ4 (144/100ピン) PD5 : IRQ5 (144/100ピン) PD6 : IRQ6 (144/100ピン) PD7 : IRQ7 (144/100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PD0 : AN016 (144/100/80ピン) PD1 : AN017 (144/100/80ピン) PD2 : AN018 (144/100/80ピン) PD3 : AN019 (144/100ピン) PD4 : AN020 (144/100ピン) PD5 : AN021 (144/100ピン) PD6 : AN022 (144/100ピン) PD7 : AN023 (144/100ピン)	R/W

表21.30 144ピンLFQFP, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
000000b (初期値)	Hi-Z							
000001b	—	MTIOC4B	MTIOC4D	—	—	MTIC5W	MTIC5V	MTIC5U
000111b	—	—	—	POE8#	POE11#	POE10#	POE4#	POE0#
001000b	POE4#	POE0#	—	MTIOC8D	MTIOC8B	MTIOC8C	MTIOC8A	—
010000b	—	CTX0	CRX0	—	—	—	—	—
011101b	—	—	TIC2	TOC2	—	—	—	—

— : 設定しないでください。

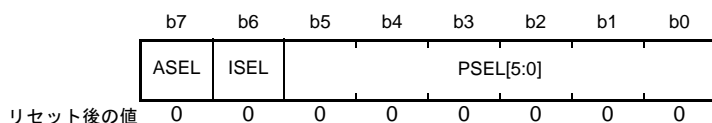
表21.31 80ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子		
	PD0	PD1	PD2
000000b (初期値)	Hi-Z		
000001b	—	MTIOC4B	MTIOC4D
001000b	POE4#	POE0#	—
010000b	—	CTX0	CRX0
011101b	—	—	TIC2

— : 設定しないでください。

21.2.16 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)

アドレス PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE3PFS 0008 C1B3h, PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h, PE6PFS 0008 C1B6h, PE7PFS 0008 C1B7h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.32、表21.33、表21.34を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE0 : IRQ8 (144/100/80/64ピン) PE1 : IRQ9 (144/100/80/64/48ピン) PE2 : IRQ7-DS (144/100/80/64/48ピン) PE3 : IRQ11 (144/100/80/64/48ピン) PE4 : IRQ12 (144/100/80/64/48ピン) PE5 : IRQ5 (144/100/80/64ピン) PE6 : IRQ6 (144/100ピン) PE7 : IRQ7 (144/100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : AN008 (144/100/80/64ピン) PE1 : AN009 (144/100/80/64/48ピン) PE2 : AN010 (144/100/80/64/48ピン) PE3 : AN011 (144/100/80/64/48ピン) PE4 : AN012 (144/100/80/64/48ピン) PE5 : AN013 (144/100/80/64ピン) PE6 : AN014 (144/100ピン) PE7 : AN015 (144/100ピン)	R/W

表21.32 144ピンLFQFP, 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
000000b (初期値)	Hi-Z							
000001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C	—	—
000010b	—	—	—	—	MTIOC1A	MTIOC2B	—	—
000111b	—	—	—	POE8#	—	—	—	—
001000b	MTIOC3D	MTIOC3B	MTIOC7A	MTIOC1B	MTIOC4A	—	MTIOC6C	MTIOC6A
001010b	—	—	—	—	—	—	CTS4# RTS4# SS4#	—
001100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—	—	—
011101b	—	—	TIC3	TOC3	—	—	TIC1	TOC1
011110b	—	—	—	—	—	COMP0	—	—
100111b	—	—	—	—	MTIOC7D	—	—	—

— : 設定しないでください。

表 21.33 80ピンLFQFP, 64ピンLFQFP 端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE5
000000b (初期値)	Hi-Z					
000001b	—	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D	MTIOC4C
000010b	—	—	—	—	MTIOC1A	MTIOC2B
000111b	—	—	—	POE8#	—	—
001000b	MTIOC3D	MTIOC3B	MTIOC7A	MTIOC1B	MTIOC4A	—
001100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—
011101b	—	—	TIC3	TOC3	—	—
011110b	—	—	—	—	—	COMP0
100111b	—	—	—	—	MTIOC7D	—

— : 設定しないでください。

表 21.34 48ピンLFQFP 端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	PE1	PE2	PE3	PE4
000000b (初期値)	Hi-Z			
000001b	MTIOC4C	MTIOC4A	MTIOC4B	MTIOC4D
000010b	—	—	—	MTIOC1A
000111b	—	—	POE8#	—
001000b	MTIOC3B	MTIOC7A	MTIOC1B	MTIOC4A
001100b	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—
011101b	—	TIC3	TOC3	—
100111b	—	—	—	MTIOC7D

— : 設定しないでください。

21.2.17 PF5 端子機能制御レジスタ (PF5PFS)

アドレス PF5PFS 0008 C1BDh

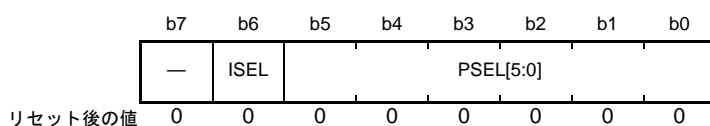
b7	b6	b5	b4	b3	b2	b1	b0
—	ISEL	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PF5 : IRQ4 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

21.2.18 PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)

アドレス PH0PFS 0008 C1C8h, PH1PFS 0008 C1C9h, PH2PFS 0008 C1CAh, PH3PFS 0008 C1CBh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.35を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PH1 : IRQ0 (144/100/80/64/48ピン) PH2 : IRQ1 (144/100/80/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

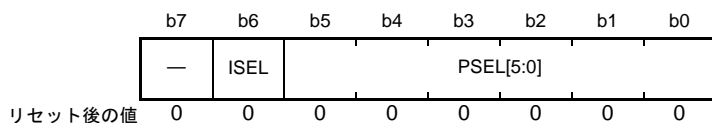
表21.35 144ピンLFQFP, 100ピンLFQFP, 80ピンLFQFP, 64ピンLFQFP, 48ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	PH0	PH1	PH2	PH3
000000b (初期値)	Hi-Z			
000001b	MTIOC3B	MTIOC3D	MTIOC4C	MTIOC4D
000101b	—	TMO0	TMRIO	TMCI0
000111b	CACREF	—	—	—
001001b	ADTRG0#	ADST0	—	—
011101b	—	TIC1	TOC1	—

— : 設定しないでください。

21.2.19 PJn 端子機能制御レジスタ (PJnPFS) (n = 1, 3, 5)

アドレス PJ1PFS 0008 C1D1h, PJ3PFS 0008 C1D3h, PJ5PFS 0008 C1D5h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.36、表21.37、表21.38を参照してください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PJ3 : IRQ11 (144/100ピン) PJ5 : IRQ13 (144ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.36 144ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子		
	PJ1	PJ3	PJ5
000000b (初期値)	Hi-Z		
000001b	MTIOC3A	MTIOC3C	—
001010b	—	CTS6# RTS6# SS6#	—
001011b	—	CTS0# RTS0# SS0#	CTS2# RTS2# SS2#
100001b	—	—	POE8#

— : 設定しないでください。

表21.37 100ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子	
	PJ1	PJ3
000000b (初期値)	Hi-Z	
000001b	MTIOC3A	MTIOC3C
001010b	—	CTS6# RTS6# SS6#
001011b	—	CTS0# RTS0# SS0#

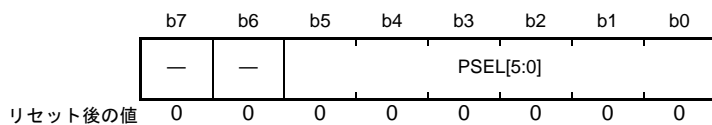
— : 設定しないでください。

表21.38 80ピンLFQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子
	PJ1
000000b (初期値)	Hi-Z
000001b	MTIOC3A

21.2.20 PKn 端子機能制御レジスタ (PKnPFS) (n = 2 ~ 5)

アドレス PK2PFS 0008 C1DAh, PK3PFS 0008 C1DBh, PK4PFS 0008 C1DCh, PK5PFS 0008 C1DDh



ビット	シンボル	ビット名	機能	R/W
b5-b0	PSEL[5:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.39を参照してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.39 144ピンLQFP端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子			
	PK2	PK3	PK4	PK5
000000b (初期値)	Hi-Z			
001010b	TXD9 SMOSI9 SSDA9	RXD9 SMISO9 SSCL9	RXD4 SMISO4 SSCL4	TXD4 SMOSI4 SSDA4

21.2.21 CS 出力許可レジスタ (PFCSE)

アドレス 0008 C100h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CS3E	CS2E	CS1E	CS0E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0許可ビット	0 : CSn#出力禁止 1 : CSn#出力許可 (n = 0~3)	R/W
b1	CS1E	CS1許可ビット		R/W
b2	CS2E	CS2許可ビット		R/W
b3	CS3E	CS3許可ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

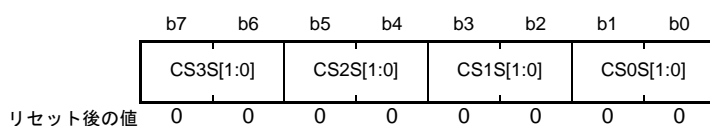
CSnE ビット (CSn 許可ビット) (n = 0 ~ 3)

対応する CSn# 出力の許可 / 禁止を選択します。

CSn# を出力する場合には、対応する PFCSE.CSnE ビットを“1”にしてください。

21.2.22 CS 出力端子選択レジスタ 0 (PFCSS0)

アドレス 0008 C102h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CS0S[1:0]	CS0#出力端子選択ビット (注1)	b1 b0 0 0 : P24をCS0#出力端子として設定 0 1 : P60をCS0#出力端子として設定 1 x : PC7をCS0#出力端子として設定	R/W
b3-b2	CS1S[1:0]	CS1#出力端子選択ビット (注2)	b3 b2 0 0 : P25をCS1#出力端子として設定 0 1 : P61をCS1#出力端子として設定 1 0 : P71をCS1#出力端子として設定 1 1 : PC6をCS1#出力端子として設定	R/W
b5-b4	CS2S[1:0]	CS2#出力端子選択ビット (注3)	b5 b4 0 0 : P26をCS2#出力端子として設定 0 1 : P62をCS2#出力端子として設定 1 0 : P72をCS2#出力端子として設定 1 1 : PC5をCS2#出力端子として設定	R/W
b7-b6	CS3S[1:0]	CS3#出力端子選択ビット (注4)	b7 b6 0 0 : P27をCS3#出力端子として設定 0 1 : P63をCS3#出力端子として設定 1 0 : P73をCS3#出力端子として設定 1 1 : PC4をCS3#出力端子として設定	R/W

x : Don't care

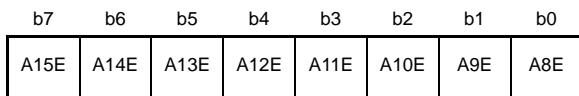
- 注1. 100ピンの製品にはP60がないため、CS0S[1:0]ビットを“01b”に設定しないでください。
 注2. 100ピンの製品にはP61、P71がないため、CS1S[1:0]ビットを“01b”、“10b”に設定しないでください。
 注3. 100ピンの製品にはP62、P72がないため、CS2S[1:0]ビットを“01b”、“10b”に設定しないでください。
 注4. 100ピンの製品にはP63、P73がないため、CS3S[1:0]ビットを“01b”、“10b”に設定しないでください。

CSnS[1:0] ビット (CSn# 出力端子選択ビット) (n = 0 ~ 3)

CSn# 出力許可時 (PFCSE.CSnE ビット = 1)、CSn# の出力端子を選択します。

21.2.23 アドレス出力許可レジスタ 0 (PFAOE0)

アドレス 0008 C104h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8出力許可ビット	0 : A8出力禁止 1 : A8出力許可	R/W
b1	A9E	アドレスA9出力許可ビット	0 : A9出力禁止 1 : A9出力許可	R/W
b2	A10E	アドレスA10出力許可ビット	0 : A10出力禁止 1 : A10出力許可	R/W
b3	A11E	アドレスA11出力許可ビット	0 : A11出力禁止 1 : A11出力許可	R/W
b4	A12E	アドレスA12出力許可ビット	0 : A12出力禁止 1 : A12出力許可	R/W
b5	A13E	アドレスA13出力許可ビット	0 : A13出力禁止 1 : A13出力許可	R/W
b6	A14E	アドレスA14出力許可ビット	0 : A14出力禁止 1 : A14出力許可	R/W
b7	A15E	アドレスA15出力許可ビット	0 : A15出力禁止 1 : A15出力許可	R/W

21.2.24 アドレス出力許可レジスタ 1 (PFAOE1)

アドレス 0008 C105h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	A20E	A19E	A18E	A17E	A16E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0 : A16出力禁止 1 : A16出力許可	R/W
b1	A17E	アドレスA17出力許可ビット	0 : A17出力禁止 1 : A17出力許可	R/W
b2	A18E	アドレスA18出力許可ビット	0 : A18出力禁止 1 : A18出力許可	R/W
b3	A19E	アドレスA19出力許可ビット	0 : A19出力禁止 1 : A19出力許可	R/W
b4	A20E	アドレスA20出力許可ビット	0 : A20出力禁止 1 : A20出力許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

21.2.25 外部バス制御レジスタ 0 (PFBCR0)

アドレス 0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WR1B C1E	—	DHE	BCLKO	ADRH MS2	ADRH MS	ADRLE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADRLE	A0～A7出力許可ビット	0 : PA0～PA7をI/Oポートとして設定 1 : PA0～PA7を外部アドレスバスA0～A7として設定	R/W
b1	ADRHMS	A16～A20出力許可ビット	表21.40を参照してください	R/W
b2	ADRHMS2	A16～A20出力許可2ビット		R/W
b3	BCLKO	BCLK強制出力ビット	0 : BCLKをEXBE = 1で出力し、EXBE = 0で出力しない 1 : BCLKをEXBEの値に関係なく出力する	R/W
b4	DHE	D8～D15出力許可ビット	0 : PE0～PE7をI/Oポートとして設定 1 : PE0～PE7を外部データバスD8～D15として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0 : P51をI/Oポートとして設定 1 : P51をWR1#またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BCLKO ビット (BCLK 強制出力ビット)

BCLK 端子の強制出力許可 / 禁止を選択します。

本ビットを“0”に設定した場合、EXBE ビットの状態で BCLK 出力許可 / 禁止が選択されますが、本ビットを“1”に設定した場合、EXBE ビットの状態に関係なく BCLK を出力します。

また、本ビットを“1”に設定した場合、PMR レジスタに関係なく BCLK が出力されますので注意してください。

[設定手順]

出力許可 : PSTOP1 (停止) → BCLKO = 1 → PSTOP1 (動作)

出力禁止 : PSTOP1 (動作) → PSTOP1 (停止) → BCLKO = 0

表21.40 外部アドレスバスA16～A20の設定

ADRHMSビット	ADRHMS2ビット	外部アドレスバスA16～A20の設定
0	0	PC0～PC4を設定
0	1	PC0、PC1、P71、P72、P74を設定
1	0	P90～P93を設定(A20の割り当てなし)
1	1	設定しないでください

21.2.26 外部バス制御レジスタ 1 (PFBCR1)

アドレス 0008 C107h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	ALEOE	WAITS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT 選択ビット	b1 b0 0 0 : 設定無効(注1) 0 1 : P55をWAIT#入力端子として設定 1 0 : PC5をWAIT#入力端子として設定 1 1 : P51をWAIT#入力端子として設定	R/W
b2	ALEOE	ALE出力許可ビット	0 : ALE端子出力を禁止 1 : ALE端子出力を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 144ピン、100ピンの製品で“00b”を設定した場合も、P55がWAIT#入力端子になります。

WAITS[1:0] ビット (WAIT 選択ビット)

外部バス有効時、外部ウェイトを使用する場合は、CSn モードレジスタの外部ウェイト許可ビット (CSnMOD.EWENB) を“1”(外部ウェイト許可)にした上で、WAITS[1:0]=00以外の値でWAIT#端子を指定し、必ず該当端子のPMR、PDRを0にしてください。

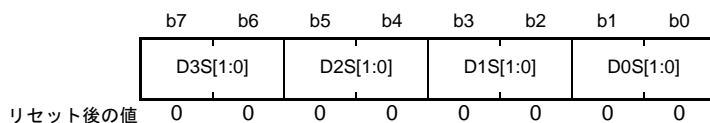
外部バス有効時、WAIT#端子以外の機能を使用する場合は、CSn モードレジスタの外部ウェイト許可ビット (CSnMOD.EWENB) を“0”(外部ウェイト禁止)にした上で、必ずWAITS[1:0]=00に設定してください。

ALEOE ビット (ALE出力許可ビット)

ALE端子の出力許可/禁止を選択します。

21.2.27 外部バス制御レジスタ 2 (PFBCR2)

アドレス 0008 C108h



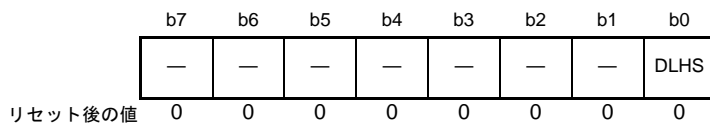
ビット	シンボル	ビット名	機能	R/W
b1-b0	D0S[1:0]	D0選択ビット	b1 b0 0 0 : PD0をD0端子として設定 0 1 : PE0をD0端子として設定(注1) 1 0 : P55をD0端子として設定 1 1 : P61をD0端子として設定(注2)	R/W
b3-b2	D1S[1:0]	D1選択ビット	b3 b2 0 0 : PD1をD1端子として設定 0 1 : PE1をD1端子として設定(注1) 1 0 : P54をD1端子として設定 1 1 : P62をD1端子として設定(注2)	R/W
b5-b4	D2S[1:0]	D2選択ビット	b5 b4 0 0 : PD2をD2端子として設定 0 1 : PE2をD2端子として設定(注1) 1 0 : PC6をD2端子として設定 1 1 : P63をD2端子として設定(注2)	R/W
b7-b6	D3S[1:0]	D3選択ビット	b7 b6 0 0 : PD3をD3端子として設定 0 1 : PE3をD3端子として設定(注1) 1 0 : PC5をD3端子として設定 1 1 : P64をD3端子として設定(注2)	R/W

注1. PFBCR0.DHE = 1でPE0～PE7を外部データバスD8～D15と設定した場合は、この設定をしないでください。

注2. 100ピンの製品にはPORT6がないため、Dx入出力(x = 0～3)を使用する場合は、“11b”以外を設定してください。

21.2.28 外部バス制御レジスタ 3 (PFBCR3)

アドレス 0008 C109h



ビット	シンボル	ビット名	機能	R/W
b0	DLHS	D4～D7選択ビット	0 : PD4～PD7をD4～D7端子として設定 1 : PE4～PE7をD4～D7端子として設定(注1)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. PFBCR0.DHE = 1でPE0～PE7を外部データバスD8～D15と設定した場合は、この設定をしないでください。

21.3 外部バスインタフェース設定方法

外部バスインタフェースを使用する場合は、MPCのレジスタを表21.41のとおりを設定して、システムコントロールレジスタ0の外部バス有効ビット(SYSCR0.EXBE)を“1”にしてください。

表21.41に各ポートの外部バスインタフェース設定方法を示します。

該当するMPCのレジスタの詳細は、「21.2 レジスタの説明」を参照してください。

表21.41 外部バスインタフェース設定方法(1/2)

ポート	出力信号名	MPCのレジスタの設定	
		144ピン	100ピン
P24	CS0#	PFCSE.CS0E = 1, PFCSS0.CS0S[1:0] = 00	
P25	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 00	
P26	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 00	
P27	CS3#	PFCSE.CS3E = 1, PFCSS0.CS3S[1:0] = 00	
P50	WR0#/WR#	—	
P51	WR1#/BC1#	PFBCR0.WR1BC1E = 1	
	WAIT#	PFBCR1.WAITS[1:0] = 11	
P52	RD#	—	
P53	BCLK	—	
P54	ALE	PFBCR1.ALEOE = 1	
	D1[A1/D1]	PFBCR2.D1S[1:0] = 10	
P55	WAIT#	PFBCR1.WAITS[1:0] = 01	
	D0[A0/D0]	PFBCR2.D0S[1:0] = 10	
P60	CS0#	PFCSE.CS0E = 1, PFCSS0.CS0S[1:0] = 01	(ピンなし)
P61	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 01	(ピンなし)
	D0[A0/D0]	PFBCR2.D0S[1:0] = 11	(ピンなし)
P62	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 01	(ピンなし)
	D1[A1/D1]	PFBCR2.D1S[1:0] = 11	(ピンなし)
P63	CS3#	PFCSE.CS3E = 1, PFCSS0.CS3S[1:0] = 01	(ピンなし)
	D2[A2/D2]	PFBCR2.D2S[1:0] = 11	(ピンなし)
P64	D3[A3/D3]	PFBCR2.D3S[1:0] = 11	(ピンなし)
P71	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 10	(ピンなし)
	A18	PFAOE1.A18E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 1	(ピンなし)
P72	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 10	(ピンなし)
	A19	PFAOE1.A19E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 1	(ピンなし)
P73	CS3#	PFCSE.CS3E = 1, PFCSS0.CS3S[1:0] = 10	(ピンなし)
P74	A20	PFAOE1.A20E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 1	(ピンなし)
P90	A16	PFAOE1.A16E = 1, PFBCR0.ADRHMS = 1, PFBCR0.ADRHMS2 = 0	(ピンなし)
P91	A17	PFAOE1.A17E = 1, PFBCR0.ADRHMS = 1, PFBCR0.ADRHMS2 = 0	(ピンなし)
P92	A18	PFAOE1.A18E = 1, PFBCR0.ADRHMS = 1, PFBCR0.ADRHMS2 = 0	(ピンなし)
P93	A19	PFAOE1.A19E = 1, PFBCR0.ADRHMS = 1, PFBCR0.ADRHMS2 = 0	(ピンなし)
PA0	A0	PFBCR0.ADRLE = 1, CSnMOD.WRMOD = 0	
	BC0#	PFBCR0.ADRLE = 1, CSnMOD.WRMOD = 1	
PA1	A1	PFBCR0.ADRLE = 1	
PA2	A2	PFBCR0.ADRLE = 1	
PA3	A3	PFBCR0.ADRLE = 1	

表21.41 外部バスインタフェース設定方法 (2 / 2)

ポート	出力信号名	MPCのレジスタの設定	
		144ピン	100ピン
PA4	A4	PFBCR0.ADRLE = 1	
PA5	A5	PFBCR0.ADRLE = 1	
PA6	A6	PFBCR0.ADRLE = 1	
PA7	A7	PFBCR0.ADRLE = 1	
PB0	A8	PFAOE0.A8E = 1	
PB1	A9	PFAOE0.A9E = 1	
PB2	A10	PFAOE0.A10E = 1	
PB3	A11	PFAOE0.A11E = 1	
PB4	A12	PFAOE0.A12E = 1	
PB5	A13	PFAOE0.A13E = 1	
PB6	A14	PFAOE0.A14E = 1	
PB7	A15	PFAOE0.A15E = 1	
PC0	A16	PFAOE1.A16E = 1, PFBCR0.ADRHMS = 0	
PC1	A17	PFAOE1.A17E = 1, PFBCR0.ADRHMS = 0	
PC2	A18	PFAOE1.A18E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 0	
PC3	A19	PFAOE1.A19E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 0	
PC4	A20	PFAOE1.A20E = 1, PFBCR0.ADRHMS = 0, PFBCR0.ADRHMS2 = 0	
	CS3#	PFCSE.CS3E = 1, PFCSS0.CS3S[1:0] = 11	
PC5	CS2#	PFCSE.CS2E = 1, PFCSS0.CS2S[1:0] = 11	
	WAIT#	PFBCR1.WAITS[1:0] = 10	
	D3[A3/D3]	PFBCR2.D3S[1:0] = 10	
PC6	CS1#	PFCSE.CS1E = 1, PFCSS0.CS1S[1:0] = 11	
	D2[A2/D2]	PFBCR2.D2S[1:0] = 10	
PC7	CS0#	PFCSE.CS0E = 1, PFCSS0.CS0S[1:0] = 10/11	
PD0	D0[A0/D0]	PFBCR2.D0S[1:0] = 00	
PD1	D1[A1/D1]	PFBCR2.D1S[1:0] = 00	
PD2	D2[A2/D2]	PFBCR2.D2S[1:0] = 00	
PD3	D3[A3/D3]	PFBCR2.D3S[1:0] = 00	
PD4	D4[A4/D4]	PFBCR3.DLHS = 0	
PD5	D5[A5/D5]	PFBCR3.DLHS = 0	
PD6	D6[A6/D6]	PFBCR3.DLHS = 0	
PD7	D7[A7/D7]	PFBCR3.DLHS = 0	
PE0	D8[A8/D8]	PFBCR0.DHE = 1	
	D0[A0/D0]	PFBCR2.D0S[1:0] = 01	
PE1	D9[A9/D9]	PFBCR0.DHE = 1	
	D1[A1/D1]	PFBCR2.D1S[1:0] = 01	
PE2	D10[A10/D10]	PFBCR0.DHE = 1	
	D2[A2/D2]	PFBCR2.D2S[1:0] = 01	
PE3	D11[A11/D11]	PFBCR0.DHE = 1	
	D3[A3/D3]	PFBCR2.D3S[1:0] = 01	
PE4	D12[A12/D12]	PFBCR0.DHE = 1	
	D4[A4/D4]	PFBCR3.DLHS = 1	
PE5	D13[A13/D13]	PFBCR0.DHE = 1	
	D5[A5/D5]	PFBCR3.DLHS = 1	
PE6	D14[A14/D14]	PFBCR0.DHE = 1	
	D6[A6/D6]	PFBCR3.DLHS = 1	
PE7	D15[A15/D15]	PFBCR0.DHE = 1	
	D7[A7/D7]	PFBCR3.DLHS = 1	

21.4 使用上の注意事項

21.4.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

- (1) 当該端子のポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
- (2) 周辺モジュールにおいて、当該端子にアサインする入出力信号を設定します。
- (3) 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします。(m = 0 ~ 9, A ~ F, H, J, K, n = 0 ~ 7)
- (4) PmnPFS.PSEL[5:0] ビットにより端子入出力機能を設定します。
- (5) PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込み禁止してください。
- (6) 必要に応じて PMR レジスタを“1”にして、選択された端子入出力機能に切り替えます。

21.4.2 MPC レジスタ設定する場合の注意事項

- (1) Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。当該端子の PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は意図しないパルスが出力されたりする可能性があります。
- (2) PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合動作は保証されません。
- (3) MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
- (4) ポート 0 ~ 2, 4, A, D, E は、A/D コンバータ、コンパレータ、および D/A コンバータのアナログ入出力端子の機能も兼ねています。アナログ入出力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”にして、ポート方向レジスタ (PDR) の当該ビットに“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。
- (5) 時間キャプチャ制御レジスタ y (RTCCRY) (y = 0 ~ 2) の時間キャプチャイベント入力端子イネーブルビット (TCEN) は、リセット後の初期値は不定です。不要な入力を禁止するために、同ビットを“0”に設定してください。
- (6) 複数の機能が割り当てられている端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 21.42 に示します。端子状態の読み出しは、ASEL ビットが“0”のとき可能です。PSEL[5:0] ビットの変更は、PMR.Bj ビットが“0”のときに行ってください。

表21.42 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[5:0]	
リセット解除後	0	0	0	0	000000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能 (表 21.2 ~ 表 21.39 参照)	割り込み入力と併用する場合は、PmnPFS.ISELビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x(注1)	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x(注1)	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
時間キャプチャイベント入力端子	0	0	x	0/1	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
外部バス	0	x(注2)	0	0	x	PMR.Bnビットを“0”にして、周辺機能を選択しないでください
JTAGインタフェース	0	x	x	0	x	PMR.Bnビットを“0”に、PmnPFS.ISELビットを“0”にして入力バッファをOFFにしてください
FINEインタフェース	0	x	x	0	x	PMR.Bnビットを“0”に、PmnPFS.ISELビットを“0”にして入力バッファをOFFにしてください
EXTAL/XTAL	0	0	x	x(注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がアサインされている場合)

注1. PmnPFS.ISELビットを“1”にしても、IRQn入力端子として機能しません。

注2. WAIT#入力端子を使用する場合、対応するPORTm.PDRレジスタの該当ビットを“0”にしてください。

- 注 .
- 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。
 - PmnPFS.PSEL[5:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。
 - RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。
 - 時間キャプチャイベント入力端子を使用しない場合は、同入力の時間キャプチャ制御レジスタ y (RTCCRY) (y = 0 ~ 2) の時間キャプチャイベント入力端子イネーブルビット (RTCCRY.TCEN) を“0” (無効) にしてください。なお、リセット後の RTCCRY.TCEN ビットの値は不定です。
 - 同一端子に複数の外部バス信号を設定しないでください。

21.4.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にし、当該端子を汎用入力ポートにしてから、Pmn 端子機能制御レジスタの端子機能選択ビット (PmnPFS.ASEL) を“1”にしてください。

22. マルチファンクションタイマパルスユニット 3 (MTU3a)

22.1 概要

本 MCU は、8 チャンネルの 16 ビットタイマと 1 チャンネルの 32 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 3 (MTU3a) を内蔵しています。

表 22.1 に MTU の仕様を、表 22.2 に MTU の機能一覧を示します。また、図 22.1、図 22.2 に MTU のブロック図を示します。

表 22.1 MTU の仕様

項目	内容
パルス入出力	最大 28 本
パルス入力	3 本
カウントクロック	チャンネルごとに 11 種類 (MTU0 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2 (LWA = 1 のとき) は 4 種類)
設定可能動作	【MTU0～MTU4, MTU6, MTU7, MTU8】 <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能(ノイズフィルタ設定可能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み (MTU8 を除く) コンペアマッチ/インプットキャプチャによる同時クリア (MTU8 を除く) カウンタの同期動作による各レジスタの同期入出力 (MTU8 を除く) 同期動作と組み合わせることによる最大 12 相の PWM 出力 (MTU8 を除く)
	【MTU0, MTU3, MTU4, MTU6, MTU7, MTU8】 <ul style="list-style-type: none"> バッファ動作を設定可能
	【MTU1, MTU2】 <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時) カスケード接続動作が可能
	【MTU3, MTU4, MTU6, MTU7】 <ul style="list-style-type: none"> MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット同期 PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 相補 PWM モード時、タイマカウンタの山または谷のとき、またはバッファレジスタ (MTU4.TGRD, MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補 PWM モードでダブルバッファ機能を設定可能
	【MTU3, MTU4】 <ul style="list-style-type: none"> MTU0 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能
	【MTU5】 <ul style="list-style-type: none"> デッドタイム補償用カウンタとして使用することが可能
	【MTU0/MTU5, MTU1, MTU2, MTU8】 MTU1、MTU2 を組み合わせて、MTU0/MTU5、MTU8 と連動させて、32 ビット位相計数モードに設定可能
	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	43 種類
バッファ動作	レジスタデータの自動転送 (バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/D コンバータの変換開始トリガを生成可能
	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

表22.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
カウントク ロック	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB MTCLKC	MTCLKA MTCLKB MTCLKC MTCLKD	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTIOC1A	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB
位相計数 モードの 外部クロック	—	MTCLKA MTCLKB	MTCLKA MTCLKB MTCLKC MTCLKD	MTCLKA MTCLKB MTCLKC MTCLKD	—	—	—	—	—	—
ジェネラルレ ジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRALW TGRBLW	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW	TGRA TGRB	TGRA TGRB	TGRA TGRB
ジェネラルレ ジスタ/パッ ファレジスタ	TGRC TGRD TGRF	—	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	TGRC TGRD
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC1A MTIOC1B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	MTIC5U MTIC5V MTIC5W	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B MTIOC7C MTIOC7D	MTIOC8A MTIOC8B MTIOC8C MTIOC8D
カウンタク リア機能	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRALW/ TGRBLWの インプット キャプチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ
コン ペア マッ チ出 力	0出力 ○ 1出力 ○ トグル 出力 ○	○	○	—	○	○	—	○	○	○
インプット キャプチャ機 能	○	○	○	○(注1)	○	○	○	○	○	○(注2)
同期動作	○	○	○	—	○	○	—	○	○	—
PWMモード1	○	○	○	—	○	○	—	○	○	—
PWMモード2	○	○	○	—	—	—	—	—	—	—
相補PWM モード	—	—	—	—	○	○	—	○	○	—
リセット同期 PWMモード	—	—	—	—	○	○	—	○	○	—
AC同期モー タ駆動モード	○	—	—	—	○	○	—	—	—	—
位相計数モー ド	—	○	○	○	—	—	—	—	—	—
パッファ動作	○	—	—	—	○	○	—	○	○	○
デッドタイム 補償用カウン タ機能	—	—	—	—	—	—	○	—	—	—
DMAC/DTCの 起動	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRALW/ TGRBLWの インプット キャプチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャとTCNT オーバフロー/ アンダフロー (注3)	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャ	TGRのコン ペアマッチ またはイン プットキャ プチャとTCNT オーバフロー/ アンダフロー (注3)	TGRのコン ペアマッチ またはイン プットキャ プチャ
A/D変換開始 トリガ	TGRAのコン ペアマッチ またはイン プットキャ プチャ TGREのコン ペアマッチ	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRALWの インプット キャプチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ、または 相補PWMモー ド時TCNTの アンダフロー (谷)	—	TGRAのコン ペアマッチ またはイン プットキャ プチャ	TGRAのコン ペアマッチ またはイン プットキャ プチャ、または 相補PWMモー ド時TCNTの アンダフロー (谷)	—

表22.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
割り込み要因	7要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ0A コンペア マッチ/インプットキャプチャ0B コンペア マッチ/インプットキャプチャ0C コンペア マッチ/インプットキャプチャ0D コンペア マッチ0E コンペア マッチ0F オーバフロー 	4要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ1A コンペア マッチ/インプットキャプチャ1B オーバフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ2A コンペア マッチ/インプットキャプチャ2B オーバフロー アンダフロー 	4要因 <ul style="list-style-type: none"> インプットキャプチャ1A インプットキャプチャ1B オーバフロー アンダフロー 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ3A コンペア マッチ/インプットキャプチャ3B コンペア マッチ/インプットキャプチャ3C コンペア マッチ/インプットキャプチャ3D オーバフロー 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ4A コンペア マッチ/インプットキャプチャ4B コンペア マッチ/インプットキャプチャ4C コンペア マッチ/インプットキャプチャ4D オーバフロー/アンダフロー(注3) 	3要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ5U コンペア マッチ/インプットキャプチャ5V コンペア マッチ/インプットキャプチャ5W 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ6A コンペア マッチ/インプットキャプチャ6B コンペア マッチ/インプットキャプチャ6C コンペア マッチ/インプットキャプチャ6D オーバフロー 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ7A コンペア マッチ/インプットキャプチャ7B コンペア マッチ/インプットキャプチャ7C コンペア マッチ/インプットキャプチャ7D オーバフロー/アンダフロー(注3) 	5要因 <ul style="list-style-type: none"> コンペア マッチ/インプットキャプチャ8A コンペア マッチ/インプットキャプチャ8B コンペア マッチ/インプットキャプチャ8C コンペア マッチ/インプットキャプチャ8D オーバフロー
イベントリンク機能 (出力)	7要因 <ul style="list-style-type: none"> コンペア マッチ0A コンペア マッチ0B コンペア マッチ0C コンペア マッチ0D コンペア マッチ0E コンペア マッチ0F オーバフロー 	—	—	—	5要因 <ul style="list-style-type: none"> コンペア マッチ3A コンペア マッチ3B コンペア マッチ3C コンペア マッチ3D オーバフロー 	6要因 <ul style="list-style-type: none"> コンペア マッチ4A コンペア マッチ4B コンペア マッチ4C コンペア マッチ4D オーバフロー アンダフロー(注3) 	—	5要因 <ul style="list-style-type: none"> コンペア マッチ6A コンペア マッチ6B コンペア マッチ6C コンペア マッチ6D オーバフロー 	6要因 <ul style="list-style-type: none"> コンペア マッチ7A コンペア マッチ7B コンペア マッチ7C コンペア マッチ7D オーバフロー アンダフロー(注3) 	5要因 <ul style="list-style-type: none"> コンペア マッチ8A コンペア マッチ8B コンペア マッチ8C コンペア マッチ8D オーバフロー
イベントリンク機能 (入力)	<ul style="list-style-type: none"> カウンタスタート動作 インプットキャプチャ動作 (TGRAにキャプチャ) カウンタリスタート(カウンタクリア)動作 	—	—	—	<ul style="list-style-type: none"> カウンタスタート動作 インプットキャプチャ動作 (TGRAにキャプチャ) カウンタリスタート(カウンタクリア)動作 	<ul style="list-style-type: none"> カウンタスタート動作 インプットキャプチャ動作 (TGRAにキャプチャ) カウンタリスタート(カウンタクリア)動作 	—	<ul style="list-style-type: none"> カウンタスタート動作 インプットキャプチャ動作 (TGRAにキャプチャ) カウンタリスタート(カウンタクリア)動作 	<ul style="list-style-type: none"> カウンタスタート動作 インプットキャプチャ動作 (TGRAにキャプチャ) カウンタリスタート(カウンタクリア)動作 	<ul style="list-style-type: none"> カウンタスタート動作 インプットキャプチャ動作 (TGRAにキャプチャ) カウンタリスタート(カウンタクリア)動作
A/D変換開始要求ディレイド機能	—	—	—	—	—	TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—	—	TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能1	—	—	—	—	TGRAのコンペアマッチ割り込みを間引き	TCIV割り込みを間引き	—	TGRAのコンペアマッチ割り込みを間引き	TCIV割り込みを間引き	—
割り込み間引き機能2	—	—	—	—	—	TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—	—	TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—
モジュールストップ	MSTPCRA.MSTPA9(注4)									

○ : 可能 — : 不可能

注1. LWA = 1の場合、TGRALWのキャプチャ要因はMTIOC1Aからの入力またはMTU0.TGRAのコンペアマッチ/インプットキャプチャイベントから選択可能です。TGRBLWのキャプチャ要因はMTIOC1Bからの入力、MTU0.TGRCのコンペアマッチ/インプットキャプチャイベントまたはMTU8.TGRCのコンペアマッチイベントから選択可能です。

注2. MTU8のキャプチャはノーマルモードのみサポートします。

注3. アンダフローは相補PWMモード時のみ有効。

注4. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

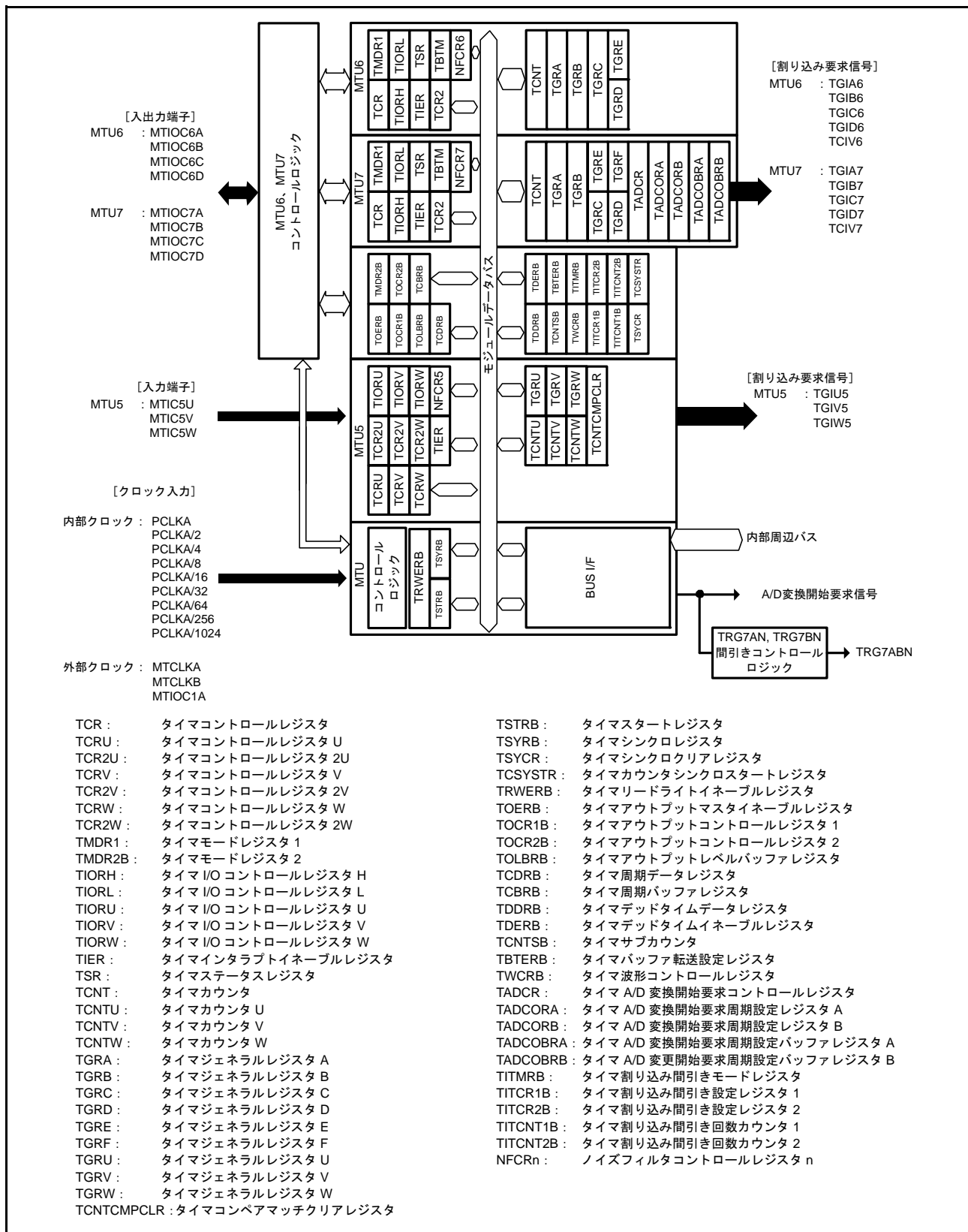


図 22.2 MTU のブロック図 (MTU5 ~ MTU7)

表 22.3 に MTU で使用する入出力端子を示します。

表 22.3 MTUの入出力端子

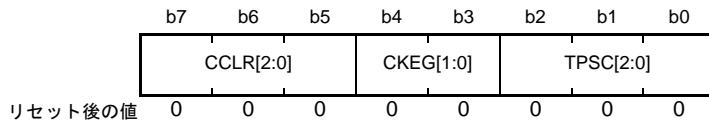
チャンネル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子(MTU1、MTU2の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子(MTU1、MTU2の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子(MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子(MTU2の位相計数モードB相入力)
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子
MTU6	MTIOC6A	入出力	MTU6.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6B	入出力	MTU6.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6C	入出力	MTU6.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6D	入出力	MTU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU7	MTIOC7A	入出力	MTU7.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7B	入出力	MTU7.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7C	入出力	MTU7.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7D	入出力	MTU7.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU8	MTIOC8A	入出力	MTU8.TGRAのインプットキャプチャ入力/アウトプットコンペア出力端子
	MTIOC8B	入出力	MTU8.TGRBのインプットキャプチャ入力/アウトプットコンペア出力端子
	MTIOC8C	入出力	MTU8.TGRCのインプットキャプチャ入力/アウトプットコンペア出力端子
	MTIOC8D	入出力	MTU8.TGRDのインプットキャプチャ入力/アウトプットコンペア出力端子

22.2 レジスタの説明

22.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR, MTU6.TCR, MTU7.TCR, MTU8.TCR

アドレス MTU0.TCR 000C 1300h, MTU1.TCR 000C 1380h, MTU2.TCR 000C 1400h, MTU3.TCR 000C 1200h, MTU4.TCR 000C 1201h, MTU6.TCR 000C 1A00h, MTU7.TCR 000C 1A01h, MTU8.TCR 000C 1600h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 22.6～表 22.9 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表 22.4、表 22.5 を参照してください	R/W

x : Don't care

TCR レジスタは、TCR2 と組み合わせて各チャネルの TCNT を制御します。MTU0～MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 11 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 22.6～表 22.9 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

カウントクロックソース (MTIOC1A 端子含む) のエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が 1/2 になります (例: PCLKA/4 の両エッジ = PCLKA/2 の立ち上がりエッジ)。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースが PCLKA/2 もしくはそれより遅い場合に有効です。カウントクロックソースに PCLKA/1、あるいは他のチャネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリア要因選択ビット)

TCNT のカウンタクリア要因を選択します。詳細は表 22.4、表 22.5 を参照してください。

表22.4 CCLR[2:0] (MTU0, MTU3, MTU4, MTU6, MTU7, MTU8)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0	0	0	0	TCNTのクリア禁止
MTU3	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU4	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU6	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)
MTU7	1	0	0	TCNTのクリア禁止
MTU8	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。ただし、MTU8を除きません。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表22.5 CCLR[2:0] (MTU1, MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR[1]	CCLR[0]	
MTU1	0	0	0	TCNTのクリア禁止
MTU2	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRALWのインプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRBLWのインプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。

注2. MTU1、MTU2ではビット7は予約ビットです。読むと“0”が読めます。書き込みは無効となります。

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス MTU5.TCRU 000C 1C84h, MTU5.TCRV 000C 1C94h, MTU5.TCRW 000C 1CA4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TPSC[1:0]	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表22.10を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

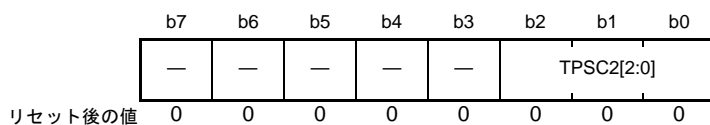
TPSC[1:0] ビット (タイマプリスケラ選択ビット)

TCNTのカウンタクロックソースを選択します。詳細は表22.10を参照してください。

22.2.2 タイマコントロールレジスタ 2 (TCR2)

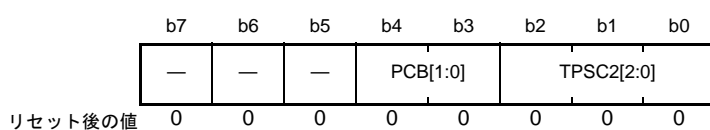
- MTU0.TCR2, MTU3.TCR2, MTU4.TCR2, MTU6.TCR2, MTU7.TCR2, MTU8.TCR2

アドレス MTU0.TCR2 000C 1328h, MTU3.TCR2 000C 124Ch, MTU4.TCR2 000C 124Dh, MTU6.TCR2 000C 1A4Ch, MTU7.TCR2 000C 1A4Dh, MTU8.TCR2 000C 1606h



- MTU1.TCR2, MTU2.TCR2

アドレス MTU1.TCR2 000C 1394h, MTU2.TCR2 000C 140Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケアラ選択ビット	表22.6～表22.9を参照してください	R/W
b4-b3	PCB[1:0]	位相計数モード機能拡張制御ビット	位相計数モード2、3、5モードの機能拡張を制御	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR2 レジスタは、TCR と組み合わせて各チャンネルの TCNT を制御します。MTU0～MTU4、MTU6、MTU7、MTU8 に各 1 本、MTU5 には TCR2U/V/W の 3 本、計 11 本の TCR2 レジスタがあります。TCR2 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC2[2:0] ビット (タイマプリスケアラ選択ビット)

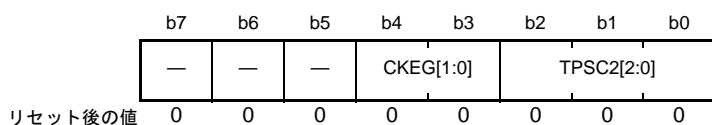
TCNT のカウントクロックソースを選択します。各チャンネル独立に選択することができます。詳細は表 22.6～表 22.9 を参照してください。

PCB[1:0] ビット (位相計数モード機能拡張制御ビット)

MTU1 と MTU2 の位相計数モード 2、3、5 の機能拡張制御ビットです。詳細は「22.3.6 位相計数モード」を参照してください。

- MTU5.TCR2U, MTU5.TCR2V, MTU5.TCR2W

アドレス MTU5.TCR2U 000C 1C85h, MTU5.TCR2V 000C 1C95h, MTU5.TCR2W 000C 1CA5h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケラ選択ビット	表 22.10 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

TPSC2[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。詳細は表 22.10 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

MTIOC1A 端子によるカウントクロックソースのエッジを選択します。

表 22.6 TPSC2[2:0], TPSC2[2:0] (MTU0)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC端子入力でカウント
	0	0	0	1	1	1	外部クロック : MTCLKD端子入力でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/256でカウント
	1	0	1	x	x	x	内部クロック : PCLKA/1024でカウント
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	外部クロック : MTIOC1A端子入力でカウント	

x : Don't care

表22.7 TPSC[2:0], TPSC2[2:0] (MTU1)

チャンネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	内部クロック : PCLKA/256でカウント
	0	0	0	1	1	1	MTU2.TCNTのオーバフロー/アンダフロー
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/1024でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	設定しないでください	

x : Don't care

注. MTU1が位相計数モード時、この設定は無効になります。

表22.8 TPSC[2:0], TPSC2[2:0] (MTU2)

チャンネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC端子入力でカウント
	0	0	0	1	1	1	内部クロック : PCLKA/1024でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/256でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	設定しないでください	

x : Don't care

注. MTU2が位相計数モード時、この設定は無効になります。

表22.9 TPSC[2:0], TPSC2[2:0] (MTU3, MTU4, MTU6, MTU7, MTU8)

チャンネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
MTU4	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
MTU6	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
MTU7	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
MTU8	0	0	0	1	0	0	内部クロック : PCLKA/256でカウント
	0	0	0	1	0	1	内部クロック : PCLKA/1024でカウント
	0	0	0	1	1	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	1	1	外部クロック : MTCLKB端子入力でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	設定しないでください
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x : Don't care

表22.10 TPSC[1:0], TPSC2[2:0] (MTU5)

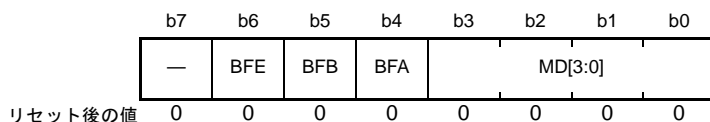
チャンネル	TCR2レジスタ			TCRレジスタ		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[1]	TPSC[0]	
MTU5	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	1	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	内部クロック : PCLKA/256でカウント
	1	0	1	x	x	内部クロック : PCLKA/1024でカウント
	1	1	0	x	x	設定しないでください
	1	1	1	x	x	外部クロック : MTIOC1A端子入力

x : Don't care

22.2.3 タイマモードレジスタ 1 (TMDR1)

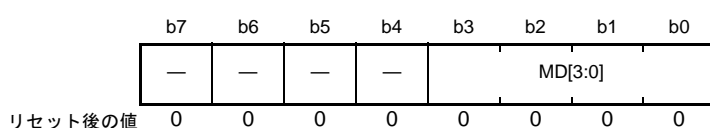
- MTU0.TMDR1

アドレス MTU0.TMDR1 000C 1301h



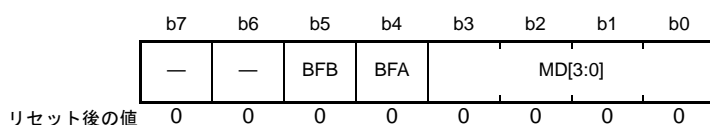
- MTU1.TMDR1, MTU2.TMDR1

アドレス MTU1.TMDR1 000C 1381h, MTU2.TMDR1 000C 1401h



- MTU3.TMDR1, MTU4.TMDR1, MTU6.TMDR1, MTU7.TMDR1, MTU8.TMDR1

アドレス MTU3.TMDR1 000C 1202h, MTU4.TMDR1 000C 1203h, MTU6.TMDR1 000C 1A02h, MTU7.TMDR1 000C 1A03h, MTU8.TMDR1 000C 1601h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表22.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0: TGRAとTGRCレジスタは通常動作 1: TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0: TGRBとTGRDレジスタは通常動作 1: TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0: MTU0.TGREとMTU0.TGRFは通常動作 1: MTU0.TGREとMTU0.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャネルの動作モードの設定を行うレジスタです。MTU0～MTU4、MTU6、MTU7、MTU8に各1本、計8本のTMDR1レジスタがあります。TMDR1レジスタの設定は、TCNTの動作が停止した状態で行ってください。

表22.11 MD[3:0]ビットによる動作モードの設定(MTU0～MTU4, MTU6～MTU8)

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU6	MTU7	MTU8
MD[3]	MD[2]	MD[1]	MD[0]										
0	0	0	0	ノーマルモード	○	○	○		○	○	○	○	○
0	0	0	1	設定しないでください									
0	0	1	0	PWMモード1	○	○	○		○	○	○	○	
0	0	1	1	PWMモード2	○	○	○						
0	1	0	0	位相計数モード1		○	○	○					
0	1	0	1	位相計数モード2		○	○	○					
0	1	1	0	位相計数モード3		○	○	○					
0	1	1	1	位相計数モード4		○	○	○					
1	0	0	0	リセット同期PWMモード(注1)					○		○		
1	0	0	1	位相計数モード5		○	○	○					
1	0	1	x	設定しないでください									
1	1	0	0	設定しないでください									
1	1	0	1	相補PWMモード1 (山で転送) (注1)					○		○		
1	1	1	0	相補PWMモード2 (谷で転送) (注1)					○		○		
1	1	1	1	相補PWMモード3 (山と谷で転送) (注1)					○		○		

x : Don't care

注. 各チャンネルで該当以外の動作モードは設定しないでください。

注1. リセット同期PWMモード、相補PWMモードの設定は、MTU3、MTU6のみ可能です。

MTU3、MTU6をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4、MTU7の設定は無効となり自動的にMTU3、MTU6の設定に従います。MTU4、MTU7には初期値（ノーマルモード）を設定してください。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせるバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFA ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFA ビットを“0”にしてください。

TGRC レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 22.50 を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFB ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFB ビットを“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 22.50 を参照してください。

BFE ビット (バッファ動作 E ビット)

MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ~ MTU4、MTU6、MTU7、MTU8 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

22.2.4 タイマモードレジスタ 2m (TMDR2m) (m = A, B)

アドレス MTU.TMDR2A 000C 1270h, MTU.TMDR2B 000C 1A70h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0: ダブルバッファ機能は無効 1: ダブルバッファ機能は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR2A、TMDR2B レジスタは、相補 PWM モード 3 (山と谷で転送) 時、ダブルバッファ機能の設定を行うレジスタです。MTU3 (TMDR2A)、MTU6 (TMDR2B) に各 1 本、計 2 本の TMDR2 レジスタがあります。TMDR2A、TMDR2B レジスタの設定は、TCNT の動作が停止した状態で行ってください。

DRS ビット (ダブルバッファ選択ビット)

相補 PWM モード時、ダブルバッファ機能の有効/無効を選択します。

22.2.5 タイマモードレジスタ 3 (TMDR3)

アドレス MTU1.TMDR3 000C 1391h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PHCKSEL	LWA
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA	ロングワードアクセス制御ビット	0 : 16ビットアクセス可能 1 : 32ビットアクセス可能	R/W
b1	PHCKSEL	外部入力位相クロック選択ビット	0 : 外部入力位相クロックはMTCLKA、MTCLKB 1 : 外部入力位相クロックはMTCLKC、MTCLKD	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR3 レジスタは、MTU1 と MTU2 を組み合わせた 32 ビットのレジスタ、カウンタのロングワードアクセスを制御します。MTU1 のみに一本あります。MTU1 と MTU2 のカウンタ (TCNTLW)、ジェネラルレジスタ A (TGRALW)、ジェネラルレジスタ B (TGRBLW) は表 22.12 のような組み合わせでアクセスされます。

LWA ビット (ロングワードアクセス制御ビット)

MTU1 と MTU2 のレジスタを組み合わせて 32 ビットでのアクセスを選択します。

LWA ビットが“0”の場合、MTU1 と MTU2 はそれぞれ独立した 16 ビットタイマとして動作するため、TCNTLW、TGRALW、TGRBLW レジスタはアクセスできません。

LWA ビットが“1”の場合、MTU1 と MTU2 はカスケード接続された 32 ビットタイマとして動作し、タイマの制御は MTU1.TCR、MTU1.TCR2、MTU1.TIOR、MTU1.TMDR1 レジスタで行います。MTU2.TCR、MTU2.TCR2、MTU2.TIOR、MTU2.TMDR1 レジスタの設定は無効で、MTU1、MTU2 の 16 ビットレジスタ (TCNT、TGRA、TGRB レジスタ) へのアクセスもできません。また、MTU2 のインプットキャプチャとコンペアマッチも無効となり、MTU2 の要因で ELC との連動はできません。

なお、LWA ビットを“1”にした MTU1 と MTU2 のカスケード接続は、位相計数モードでのみ使用できません。ノーマルモード、PWM1 モード、PWM2 モードでは使用できません。LWA ビットを“1”にする場合、位相計数モードを選択してください。

LWA ビットを“1”にする場合は、事前に MTU1 と MTU2 の TCNT、TGRA、TGRB レジスタを初期化してください。

PHCKSEL ビット (外部入力位相クロック選択ビット)

MTU1 と MTU2 のレジスタを組み合わせて、32 ビット位相計数モードまたは MTU2 の位相計数モードで、外部入力クロックから A 相、B 相信号を選択します。詳細は「表 22.65 位相計数モードクロック入力端子」を参照してください。

表22.12 TMDR3レジスタの設定と組み合わせ

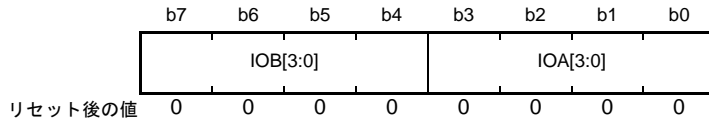
レジスタ	TMDR3.LWA = 0		TMDR3.LWA = 1	
	シンボル	アクセス方式	シンボル	アクセス方式
MTU1のカウンタ(注1)	MTU1.TCNT	ワード	MTU1.TCNTLW	ロングワード
MTU2のカウンタ	MTU2.TCNT	ワード		
MTU1のジェネラルレジスタA	MTU1.TGRA	ワード	MTU1.TGRALW	ロングワード
MTU2のジェネラルレジスタA	MTU2.TGRA	ワード		
MTU1のジェネラルレジスタB	MTU1.TGRB	ワード	MTU1.TGRBLW	ロングワード
MTU2のジェネラルレジスタB	MTU2.TGRB	ワード		

注1. LWA = 1にした場合、MTU1のカウントクロックをMTU2.TCNTのオーバフロー/アンダフローに設定する必要はありません。

22.2.6 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR, MTU3.TIORH, MTU4.TIORH, MTU6.TIORH, MTU7.TIORH, MTU8.TIORH

アドレス MTU0.TIORH 000C 1302h, MTU1.TIOR 000C 1382h, MTU2.TIOR 000C 1402h, MTU3.TIORH 000C 1204h, MTU4.TIORH 000C 1206h, MTU6.TIORH 000C 1A04h, MTU7.TIORH 000C 1A06h, MTU8.TIORH 000C 1602h

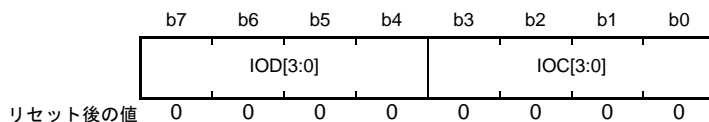


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット(注1)	下記の表を参照してください MTU0.TIORH : 表 22.27 MTU1.TIOR : 表 22.29 MTU2.TIOR : 表 22.30 MTU3.TIORH : 表 22.31 MTU4.TIORH : 表 22.33 MTU6.TIORH : 表 22.35 MTU7.TIORH : 表 22.37 MTU8.TIORH : 表 22.39	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット(注1)	下記の表を参照してください MTU0.TIORH : 表 22.13 MTU1.TIOR : 表 22.15 MTU2.TIOR : 表 22.16 MTU3.TIORH : 表 22.17 MTU4.TIORH : 表 22.19 MTU6.TIORH : 表 22.21 MTU7.TIORH : 表 22.23 MTU8.TIORH : 表 22.25	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = A, B)の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

- MTU0.TIORL, MTU3.TIORL, MTU4.TIORL, MTU6.TIORL, MTU7.TIORL, MTU8.TIORL

アドレス MTU0.TIORL 000C 1303h, MTU3.TIORL 000C 1205h, MTU4.TIORL 000C 1207h, MTU6.TIORL 000C 1A05h, MTU7.TIORL 000C 1A07h, MTU8.TIORL 000C 1603h

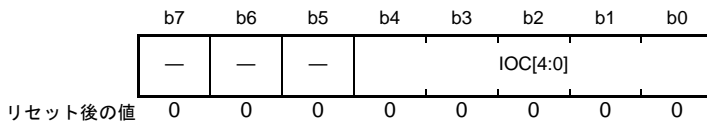


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット(注1)	下記の表を参照してください MTU0.TIORL : 表 22.28 MTU3.TIORL : 表 22.32 MTU4.TIORL : 表 22.34 MTU6.TIORL : 表 22.36 MTU7.TIORL : 表 22.38 MTU8.TIORL : 表 22.40	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット(注1)	下記の表を参照してください MTU0.TIORL : 表 22.14 MTU3.TIORL : 表 22.18 MTU4.TIORL : 表 22.20 MTU6.TIORL : 表 22.22 MTU7.TIORL : 表 22.24 MTU8.TIORL : 表 22.26	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = C, D)の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 000C 1C86h, MTU5.TIORV 000C 1C96h, MTU5.TIORW 000C 1CA6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW : 表22.41	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIORレジスタは、TGRレジスタを制御します。MTU0、MTU3、MTU4、MTU6、MTU7、MTU8に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計17本のTIORがあります。TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタはTMDR1レジスタの設定により影響を受けますので注意してください。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTRA.CSTnビットおよびTSTRB.CSTnビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0000h”になった時点での出力を指定します。

TGRCレジスタ、あるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表22.13 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ(注1)

x : Don't care

注1. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表22.14 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ(注2)

x : Don't care

注1. MTU0.TMDR1.BFBビットを“1”にして、MTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表22.15 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB/TGRBLW レジスタの機能	MTIOC1B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ (LWA = 0 のと きのみ有効)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	0		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生 でインプットキャプチャ
1	1	1	x		MTU8.TGRCのコンペアマッチの発生でインプットキャプチャ

x : Don't care

表22.16 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC2B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.17 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.18 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFBビットを“1”にして、MTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.19 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.20 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.21 TIORH (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC6B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.22 TIORL (MTU6)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC6D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU6.TMDR1.BFBビットを“1”にして、MTU6.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.23 TIORH (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC7B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.24 TIORL (MTU7)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC7D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU7.TMDR1.BFBビットを“1”にして、MTU7.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.25 TIORH (MTU8)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRBレジスタの機能	MTIOC8B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) のカウントアップ/カウントダウンでインプットキャプチャ

x : Don't care

表22.26 TIORL (MTU8)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRDレジスタの機能	MTIOC8D端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU8.TMDR1.BFBビットを“1”にして、MTU8.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.27 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	0	0		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ(注1)
1	1	1	x		MTU8.TGRCのコンペアマッチの発生でインプットキャプチャ

x : Don't care

注1. MTU1のカウントクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表22.28 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ(注2)

x : Don't care

注1. MTU0.TMDR1.BFAビットを"1"にして、MTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウンタクロックにPCLKA/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKA/1以外のクロックを選択してください。

表 22.29 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA/TGRALWレジスタの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ (LWA = 0のときのみ有効)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表 22.30 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.31 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.32 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFAビットを“1”にして、MTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.33 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.34 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.35 TIORH (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC6A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.36 TIORL (MTU6)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC6C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU6.TMDR1.BFAビットを“1”にして、MTU6.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.37 TIORH (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRAレジスタの機能	MTIOC7A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表22.38 TIORL (MTU7)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRCレジスタの機能	MTIOC7C端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ(注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU7.TMDR1.BFAビットを“1”にして、MTU7.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.39 TIORH (MTU8)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC8A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表22.40 TIORL (MTU8)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC8C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ(注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ(注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU8.TMDR1.BFAビットを“1”にして、MTU8.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表22.41 TIORU, TIORV, TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRU、TGRV、 TGRWレジスタの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	アウトプットコンペア レジスタ	機能なし
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャ レジスタ(注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		MTU8.TGRCのコンペアマッチの発生でキャプチャ
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

注1. IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU6、MTU7と連動したデッドタイム補償機能使用時のみとしてください。詳細は「22.3.11 外部パルス幅測定機能」、「22.3.12 デッドタイム補償機能」を参照してください。

22.2.7 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 000C 1CB6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを禁止 1 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを禁止 1 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを禁止 1 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

22.2.8 タイマインタラプトイネーブルレジスタ (TIER)

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 000C 1384h, MTU2.TIER 000C 1404h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU0.TIER, MTU3.TIER, MTU6.TIER

アドレス MTU0.TIER 000C 1304h, MTU3.TIER 000C 1208h, MTU6.TIER 000C 1A08h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU4.TIER, MTU7.TIER

アドレス MTU4.TIER 000C 1209h, MTU7.TIER 000C 1A09h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU8.TIER

アドレス MTU8.TIER 000C 1604h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可 A ビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可 B ビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可 C ビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可 D ビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D 変換開始要求許可 2 ビット	0: MTUn.TCNT のアンダフロー (谷) による A/D 変換要求を禁止 1: MTUn.TCNT のアンダフロー (谷) による A/D 変換要求を許可	R/W
b7	TTGE	A/D 変換開始要求許可ビット	0: A/D 変換開始要求の生成を禁止 1: A/D 変換開始要求の生成を許可	R/W

n = 4, 7

TIER レジスタは、各チャンネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0 に 2 本、MTU1 ~ MTU8 に各 1 本、計 10 本の TIER レジスタがあります。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIm) を許可または禁止します (m = A, B)。

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

割り込み要求 (TGIm) を許可または禁止します (m = C, D)。

MTU1、MTU2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTUn.TCNT のアンダフロー (谷) による A/D 変換要求の生成を許可または禁止します (n = 4, 7)。

MTU0 ~ MTU3、MTU6、MTU8 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの開始要求の生成を許可または禁止します。

MTU8 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

- MTU0.TIER2

アドレス MTU0.TIER2 000C 1324h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE2	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可Eビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可Fビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を禁止 1 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEFビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT と MTU0.TGR_m のコンペアマッチによる割り込み要求の生成を許可または禁止します (m = E, F)。

TTGE2ビット (A/D 変換開始要求許可 2 ビット)

MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 変換開始要求の生成を許可または禁止します。

- MTU5.TIER

アドレス MTU5.TIER 000C 1CB2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可5Wビット	0 : TGIV5 割り込み要求を禁止 1 : TGIV5 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可5Vビット	0 : TGIV5 割り込み要求を禁止 1 : TGIV5 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可5Uビット	0 : TGIU5 割り込み要求を禁止 1 : TGIU5 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5_mビット (TGR 割り込み許可 5_m ビット)

割り込み要求 (TGI_m5) を許可または禁止します (m = U, V, W)。

22.2.9 タイマステータスレジスタ (TSR)

- MTU1.TSR, MTU2.TSR

アドレス MTU1.TSR 000C 1385h, MTU2.TSR 000C 1405h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

- MTU3.TSR, MTU4.TSR, MTU6.TSR, MTU7.TSR

アドレス MTU3.TSR 000C 122Ch, MTU4.TSR 000C 122Dh, MTU6.TSR 000C 1A2Ch, MTU7.TSR 000C 1A2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTはダウンカウント 1 : TCNTはアップカウント	R

TSR レジスタは、各チャンネルのステータスの表示を行うレジスタです。MTU1 ~ MTU4、MTU6、MTU7 に各1本、計6本のTSRレジスタがあります。

TCFD フラグ (カウント方向フラグ)

MTU1 ~ MTU4、MTU6、MTU7のTCNTのカウント方向を示すステータスフラグです。

22.2.10 タイマバッファ動作転送モードレジスタ (TBTM)

• MTU0.TBTM

アドレス MTU0.TBTM 000C 1326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

• MTU3.TBTM, MTU4.TBTM, MTU6.TBTM, MTU7.TBTM

アドレス MTU3.TBTM 000C 1238h, MTU4.TBTM 000C 1239h, MTU6.TBTM 000C 1A38h, MTU7.TBTM 000C 1A39h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0 : TGRCからTGRAへの転送タイミングは各チャンネルのコンペアマッチA発生時 1 : TGRCからTGRAへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0 : TGRDからTGRBへの転送タイミングは各チャンネルのコンペアマッチB発生時 1 : TGRDからTGRBへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0 : MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0のコンペアマッチE発生時 1 : MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7に各1本、計5本のTBTMレジスタがあります。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時のTGRCレジスタからTGRAレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSAビットを“1”にしないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時のTGRDレジスタからTGRBレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSBビットを“1”にしないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時のMTU0.TGRFからMTU0.TGREへの転送タイミングを設定します。MTU3、MTU4、MTU6、MTU7では予約ビットです。読むと“0”が読めます。書く場合、“0”にしてください。なお、PWMモード以外で使用するチャンネルでは、TTSEビットを“1”にしないでください。

22.2.11 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 000C 1390h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	I2BE	I2AE	I1BE	I1AE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0: MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1: MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0: MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1: MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0: MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1: MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0: MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1: MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

22.2.12 タイマシンクロクリアレジスタ (TSYCR)

アドレス MTU6.TSYCR 000C 1A50h

b7	b6	b5	b4	b3	b2	b1	b0
CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CE2B	クリア許可2Bビット	0 : MTU2のTGIB2割り込み発生タイミングでのクリア禁止 1 : MTU2のTGIB2割り込み発生タイミングでのクリア許可	R/W
b1	CE2A	クリア許可2Aビット	0 : MTU2のTGIA2割り込み発生タイミング(注1)でのクリア禁止 1 : MTU2のTGIA2割り込み発生タイミング(注1)でのクリア許可	R/W
b2	CE1B	クリア許可1Bビット	0 : MTU1のTGIB1割り込み発生タイミング(注1)でのクリア禁止 1 : MTU1のTGIB1割り込み発生タイミング(注1)でのクリア許可	R/W
b3	CE1A	クリア許可1Aビット	0 : MTU1のTGIA1割り込み発生タイミング(注1)でのクリア禁止 1 : MTU1のTGIA1割り込み発生タイミング(注1)でのクリア許可	R/W
b4	CE0D	クリア許可0Dビット	0 : MTU0のTGID0割り込み発生タイミング(注1)でのクリア禁止 1 : MTU0のTGID0割り込み発生タイミング(注1)でのクリア許可	R/W
b5	CE0C	クリア許可0Cビット	0 : MTU0のTGIC0割り込み発生タイミング(注1)でのクリア禁止 1 : MTU0のTGIC0割り込み発生タイミング(注1)でのクリア許可	R/W
b6	CE0B	クリア許可0Bビット	0 : MTU0のTGIB0割り込み発生タイミング(注1)でのクリア禁止 1 : MTU0のTGIB0割り込み発生タイミング(注1)でのクリア許可	R/W
b7	CE0A	クリア許可0Aビット	0 : MTU0のTGIA0割り込み発生タイミング(注1)でのクリア禁止 1 : MTU0のTGIA0割り込み発生タイミング(注1)でのクリア許可	R/W

注1. TIERn.TGIEmビットの設定値によりません (n = 0, 1, 2, m = A, B, C, D)。

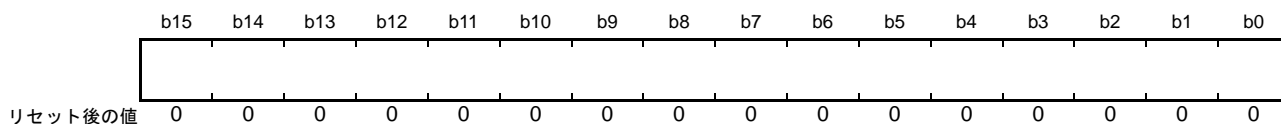
TSYCR レジスタは、MTU の MTU6.TCNT、MTU7.TCNT の同期クリア条件の設定を行うレジスタです。
MTU6 に 1 本の TSYCR レジスタがあります。

CE_nm ビット (クリア許可 **nm** ビット) (n = 0, 1, 2, m = A, B, C, D)MTU_n.TGI_mn 割り込み発生タイミングでのクリア禁止 / 許可を設定します。

22.2.13 タイマカウンタ (TCNT)

- MTU0.TCNT ~ MTU7.TCNT

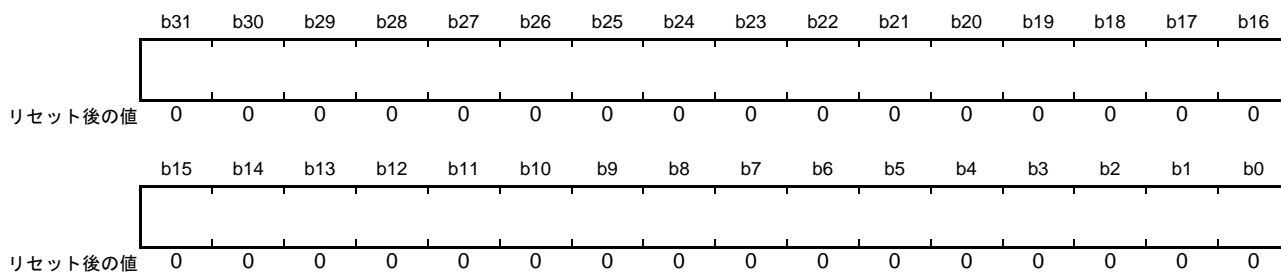
アドレス MTU0.TCNT 000C 1306h, MTU1.TCNT 000C 1386h, MTU2.TCNT 000C 1406h, MTU3.TCNT 000C 1210h,
MTU4.TCNT 000C 1212h, MTU5.TCNTU 000C 1C80h, MTU5.TCNTV 000C 1C90h, MTU5.TCNTW 000C 1CA0h,
MTU6.TCNT 000C 1A10h, MTU7.TCNT 000C 1A12h



注. TCNTの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

- MTU8.TCNT

アドレス MTU8.TCNT 000C 1608h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

MTU0.TCNT ~ MTU7.TCNT は、16ビットの読み出し/書き込み可能なカウンタで、MTU8.TCNT は、32ビットの読み出し/書き込み可能なカウンタです。MTU0 ~ MTU4、MTU6、MTU7、MTU8 に各1本、MTU5 に TCNTU、TCNTV、TCNTW の3本、計11本のTCNTがあります。

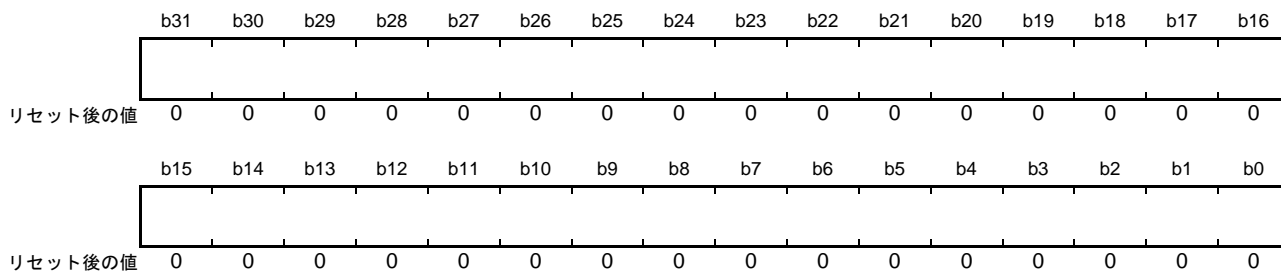
MTU0 ~ MTU4、MTU6、MTU7のTCNTは、リセット時に“0000h”に初期化され、MTU8.TCNTは“0000 0000h”に初期化されます。MTU5のTCNTU、TCNTV、TCNTWは、リセット時に“0000h”に初期化されます。

TCNTの8ビット単位でのアクセスは禁止です。MTU0 ~ MTU4、MTU6、MTU7のTCNTは、16ビット単位でアクセスしてください。MTU8のTCNTは、8/16ビットのアクセスは禁止で、32ビット単位でアクセスしてください。

MTU1.TCNT、MTU2.TCNTは、TMDR3.LWA=1のときは“0000h”が読み出されます。詳細は「22.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

22.2.14 タイマロングワードカウンタ (TCNTLW)

アドレス MTU1.TCNTLW 000C 13A0h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TCNTLW カウンタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TCNT と MTU2.TCNT で構成される、32ビットの読み出し/書き込み可能なカウンタです。MTU1 に 1 本あります。

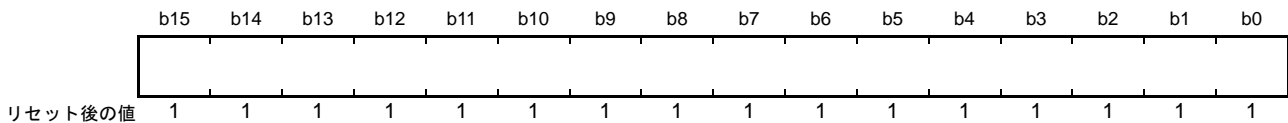
TCNTLW カウンタは、リセット時に“0000 0000h”に初期化されます。また、TMDR3.LWA = 0 のときは“0000 0000h”が読み出されます。詳細は「22.2.5 タイマモードレジスタ 3 (TMDR3)」を参照してください。

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

22.2.15 タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)

• MTU0.TGR ~ MTU7.TGR

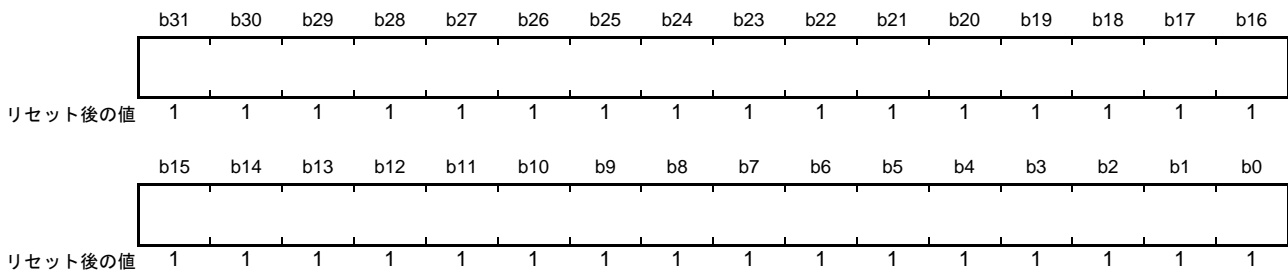
MTU0.TGRA 000C 1308h, MTU0.TGRB 000C 130Ah, MTU0.TGRC 000C 130Ch, MTU0.TGRD 000C 130Eh,
 MTU0.TGRE 000C 1320h, MTU0.TGRF 000C 1322h,
 MTU1.TGRA 000C 1388h, MTU1.TGRB 000C 138Ah,
 MTU2.TGRA 000C 1408h, MTU2.TGRB 000C 140Ah,
 MTU3.TGRA 000C 1218h, MTU3.TGRB 000C 121Ah, MTU3.TGRC 000C 1224h, MTU3.TGRD 000C 1226h,
 MTU3.TGRE 000C 1272h,
 アドレス MTU4.TGRA 000C 121Ch, MTU4.TGRB 000C 121Eh, MTU4.TGRC 000C 1228h, MTU4.TGRD 000C 122Ah,
 MTU4.TGRE 000C 1274h, MTU4.TGRF 000C 1276h,
 MTU5.TGRU 000C 1C82h, MTU5.TGRV 000C 1C92h, MTU5.TGRW 000C 1CA2h,
 MTU6.TGRA 000C 1A18h, MTU6.TGRB 000C 1A1Ah, MTU6.TGRC 000C 1A24h, MTU6.TGRD 000C 1A26h,
 MTU6.TGRE 000C 1A72h,
 MTU7.TGRA 000C 1A1Ch, MTU7.TGRB 000C 1A1Eh, MTU7.TGRC 000C 1A28h, MTU7.TGRD 000C 1A2Ah,
 MTU7.TGRE 000C 1A74h, MTU7.TGRF 000C 1A76h



注. TGRの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。TGRの初期値は、“FFFFh”です。

• MTU8.TGR

アドレス MTU8.TGRA 000C 160Ch, MTU8.TGRB 000C 1610h, MTU8.TGRC 000C 1614h, MTU8.TGRD 000C 1618h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

MTU0.TGR ~ MTU7.TGR レジスタは、16ビットの読み出し/書き込み可能なレジスタです。MTU8.TGR レジスタは、32ビットの読み出し/書き込み可能なレジスタです。MTU0に6本、MTU1、MTU2に各2本、MTU3、MTU6に各5本、MTU4、MTU7に各6本、MTU5に3本、MTU8に4本、計39本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4、MTU6、MTU7、MTU8のTGRCレジスタとTGRDレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRDになります。

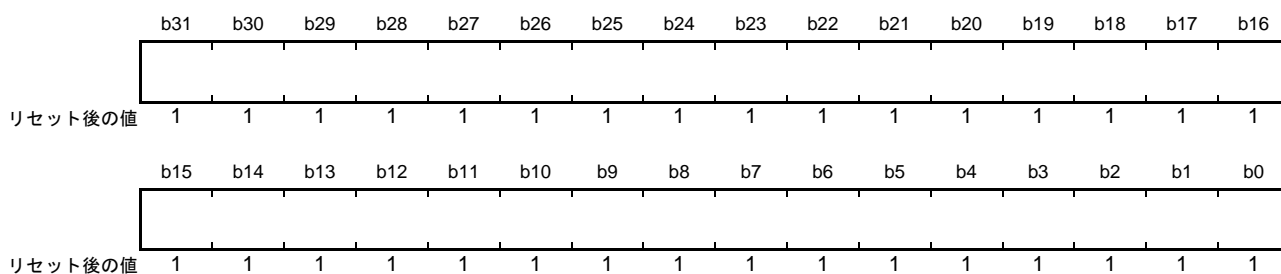
MTU0.TGRE、MTU0.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNTカウンタとMTU0.TGREレジスタが一致したとき、A/D変換開始要求を生成することができます。TGRFレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRE-TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW レジスタはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

MTU1.TGRA、MTU2.TGRA、MTU1.TGRB、MTU2.TGRB レジスタは、TMDR3.LWA = 1のときは“0000h”が読み出されます。詳細は「22.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

22.2.16 タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B)

アドレス MTU1.TGRALW 000C 13A4h, MTU1.TGRBLW 000C 13A8h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TGRmLW レジスタ (m = A, B) は、TMDR3.LWA = 1 のときのみ有効で、MTU1.TGRm レジスタと MTU2.TGRm レジスタで構成される、32ビットの読み出し/書き込み可能なレジスタです。MTU1 に 2 本あります。

TGRmLW レジスタは、リセット時に“FFFF FFFFh”に初期化されますが、TMDR3.LWA = 0 のときは“0000 0000h”が読み出されます。詳細は「22.2.5 タイマモードレジスタ 3 (TMDR3)」を参照してください。

TGRALW レジスタ、TGRBLW レジスタは、32ビット位相計数モードでのみ使用可能なインพุットキャプチャ専用のレジスタです。

22.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR)

- MTU.TSTRA (MTU0, MTU1, MTU2, MTU3, MTU4, MTU8)

アドレス MTU.TSTRA 000C 1280h

b7	b6	b5	b4	b3	b2	b1	b0
CST4	CST3	—	—	CST8	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTはカウント停止 1 : MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTはカウント停止 1 : MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTはカウント停止 1 : MTU2.TCNTはカウント動作	R/W
b3	CST8	カウンタスタート8ビット	0 : MTU8.TCNTはカウント停止 1 : MTU8.TCNTはカウント動作	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTはカウント停止 1 : MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTはカウント停止 1 : MTU4.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタはMTU0～MTU4、MTU8のTCNTの動作/停止を選択するレジスタです。

TSTRB レジスタはMTU6、MTU7のTCNTの動作/停止を選択するレジスタです。

TSTR レジスタはMTU5のTCNTの動作/停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合やTCR レジスタへTCNTのカウントクロックを設定する場合は、TCNTのカウント動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0, 1, 2, 3, 4, 8)

各チャンネルのTCNTの動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタが停止します。このとき、相補PWMモード/リセット同期PWMモードでは、MTIOC 端子からTOCR1A レジスタまたはTOCR2A レジスタで設定した初期出力レベルが出力されます。

相補PWMモード/リセット同期PWMモード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態ではTIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU.TSTRB (MTU6, MTU7)

アドレス MTU.TSTRB 000C 1A80h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST7	CST6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST6	カウンタスタート6ビット	0 : MTU6.TCNTはカウント停止 1 : MTU6.TCNTはカウント動作	R/W
b7	CST7	カウンタスタート7ビット	0 : MTU7.TCNTはカウント停止 1 : MTU7.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRBレジスタの対応するビットが自動的に“1”になります。

CSTn ビット (カウンタスタート n ビット) (n = 6, 7)

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1B レジスタまたは TOCR2B レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 000C 1CB4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWはカウント停止 1 : MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVはカウント停止 1 : MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUはカウント停止 1 : MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

22.2.18 タイマシンクロレジスタ m (TSYRm) (m = A, B)

- MTU.TSYRA (MTU0, MTU1, MTU2, MTU3, MTU4)

アドレス MTU.TSYRA 000C 1281h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : MTU0.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU0.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット	0 : MTU1.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU1.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b2	SYNC2	タイマ同期2ビット	0 : MTU2.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU2.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0 : MTU3.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU3.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b7	SYNC4	タイマ同期4ビット	0 : MTU4.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU4.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W

TSYRA レジスタは MTU0 ~ MTU4 の TCNT の独立動作または同期動作を選択するレジスタです。

TSYRB レジスタは MTU6、MTU7 の TCNT の独立動作または同期動作を選択するレジスタです。

対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n = 0, 1, 2, 3, 4)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

- MTU.TSYRB (MTU6, MTU7)

アドレス MTU.TSYRB 000C 1A81h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC7	SYNC6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC6	タイマ同期6ビット	0 : MTU6.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU6.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b7	SYNC7	タイマ同期7ビット	0 : MTU7.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU7.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W

SYNCn ビット (タイマ同期 n ビット) (n = 6, 7)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

22.2.19 タイマカウンタシンクスタートレジスタ (TCSYSTR)

アドレス MTU.TCSYSTR 000C 1282h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH6	SCH7
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCH7	シンクスタート7ビット	0 : MTU7.TCNTをシンクスタートしない 1 : MTU7.TCNTをシンクスタートする	R/(W) (注1)
b1	SCH6	シンクスタート6ビット	0 : MTU6.TCNTをシンクスタートしない 1 : MTU6.TCNTをシンクスタートする	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	SCH4	シンクスタート4ビット	0 : MTU4.TCNTをシンクスタートしない 1 : MTU4.TCNTをシンクスタートする	R/(W) (注1)
b4	SCH3	シンクスタート3ビット	0 : MTU3.TCNTをシンクスタートしない 1 : MTU3.TCNTをシンクスタートする	R/(W) (注1)
b5	SCH2	シンクスタート2ビット	0 : MTU2.TCNTをシンクスタートしない 1 : MTU2.TCNTをシンクスタートする	R/(W) (注1)
b6	SCH1	シンクスタート1ビット	0 : MTU1.TCNTをシンクスタートしない 1 : MTU1.TCNTをシンクスタートする	R/(W) (注1)
b7	SCH0	シンクスタート0ビット	0 : MTU0.TCNTをシンクスタートしない 1 : MTU0.TCNTをシンクスタートする	R/(W) (注1)

注1. “1”を書くことのみ可能です。カウントがスタートすると、自動的に“0”になります。

TCSYSTR レジスタはカウンタの同期スタートを行うレジスタです。

SCH7 ビット (シンクスタート7ビット)

MTU7.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH7 ビットが“1”の状態ですべてのTSTRB.CST7 ビットを“1”にしたとき

SCH6 ビット (シンクスタート6ビット)

MTU6.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH6 ビットが“1”の状態ですべてのTSTRB.CST6 ビットを“1”にしたとき

SCH4 ビット (シンクスタート4ビット)

MTU4.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH4 ビットが“1”の状態ですべてのTSTRA.CST4 ビットを“1”にしたとき

SCH3 ビット (シンクスタート3ビット)

MTU3.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH3 ビットが“1”の状態ですべてのTSTRA.CST3 ビットを“1”にしたとき

SCH2 ビット (シンクロスタート2ビット)

MTU2.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH2 ビットが“1”の状態 で TSTRA.CST2 ビットを“1”にしたとき

SCH1 ビット (シンクロスタート1ビット)

MTU1.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH1 ビットが“1”の状態 で TSTRA.CST1 ビットを“1”にしたとき

SCH0 ビット (シンクロスタート0ビット)

MTU0.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH0 ビットが“1”の状態 で TSTRA.CST0 ビットを“1”にしたとき

22.2.20 タイマリードライトイネーブルレジスタ m (TRWERm) (m = A, B)

アドレス MTU.TRWERA 000C 1284h, MTU.TRWERB 000C 1A84h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0: レジスタのリードライトを禁止する 1: レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

TRWERB レジスタは、MTU6、MTU7 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

RWE ビット (リードライト許可ビット)

誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。

[“0”になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERA)**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA と MTUn.TCNT の計 24 レジスタです (n = 3, 4)。

- **誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERB)**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TCDRB, MTU.TDDRB と MTUn.TCNT の計 23 レジスタです (n = 6, 7)。

22.2.21 タイマアウトプットマスタイネーブルレジスタ m (TOERm) (m = A, B)

• MTU.TOERA

アドレス MTU.TOERA 000C 120Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0: MTU出力禁止(注1) 1: MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0: MTU出力禁止(注1) 1: MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0: MTU出力禁止(注1) 1: MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0: MTU出力禁止(注1) 1: MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0: MTU出力禁止(注1) 1: MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0: MTU出力禁止(注1) 1: MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。詳細は、「20. I/Oポート」を参照してください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERA レジスタの各ビットの設定をしないと正しく出力されません。TOERA レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを“0”にした後で設定してください。

- MTU.TOERB

アドレス MTU.TOERB 000C 1A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE6B	マスタ許可MTIOC6Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b1	OE7A	マスタ許可MTIOC7Aビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b2	OE7B	マスタ許可MTIOC7Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b3	OE6D	マスタ許可MTIOC6Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b4	OE7C	マスタ許可MTIOC7Cビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b5	OE7D	マスタ許可MTIOC7Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。詳細は、「20. I/Oポート」を参照してください。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERB レジスタの各ビットの設定をしないと正しく出力されません。TOERB レジスタは MTU6、MTU7 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST6、CST7 ビットを“0”にした後で設定してください (図 22.44、図 22.48 参照)。

22.2.22 タイマアウトプットコントロールレジスタ 1m (TOCR1m) (m = A, B)

アドレス MTU.TOCR1A 000C 120Eh, MTU.TOCR1B 000C 1A0Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注1、注3)	表 22.42を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注1、注3)	表 22.43を参照してください	R/W
b2	TOCS	TOC 選択ビット	0 : TOCR1mの設定を有効にする (m = A, B) 1 : TOCR2mの設定を有効にする	R/W
b3	TOCL	TOC レジスタ書き込み禁止ビット(注2、注4)	0 : TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1 : TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0 : トグル出力を禁止 1 : トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1m.TOCSビットを“0”にすることにより、本設定が有効になります。

注2. TOCR1m.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。

注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1A、TOCR1B レジスタは、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット (出力レベル選択 P ビット)

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。

カウンタが停止した状態では、初期出力が選択されます。

OLSN ビット (出力レベル選択 N ビット)

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。

カウンタが停止した状態では、初期出力が選択されます。

TOCS ビット (TOC 選択ビット)

相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1m レジスタと TOCR2m レジスタ (m = A, B) のどちらの設定を有効にするか選択します。

TOCL ビット (TOC レジスタ書き込み禁止ビット)

TOCR1m レジスタ (m = A, B) の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。

PSYE ビット (PWM 同期出力許可ビット)

PWM 周期に同期したトグル出力を、MTIOC3A、MTIOC6A 端子から出力するかどうかを設定します。

表 22.42 出力レベル選択機能

ビット0	機能			
	初期出力	アクティブレベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	High	Low	Low	High
1	Low	High	High	Low

表 22.43 出力レベル選択機能

ビット1	機能			
	初期出力	アクティブレベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 22.3 に示します。

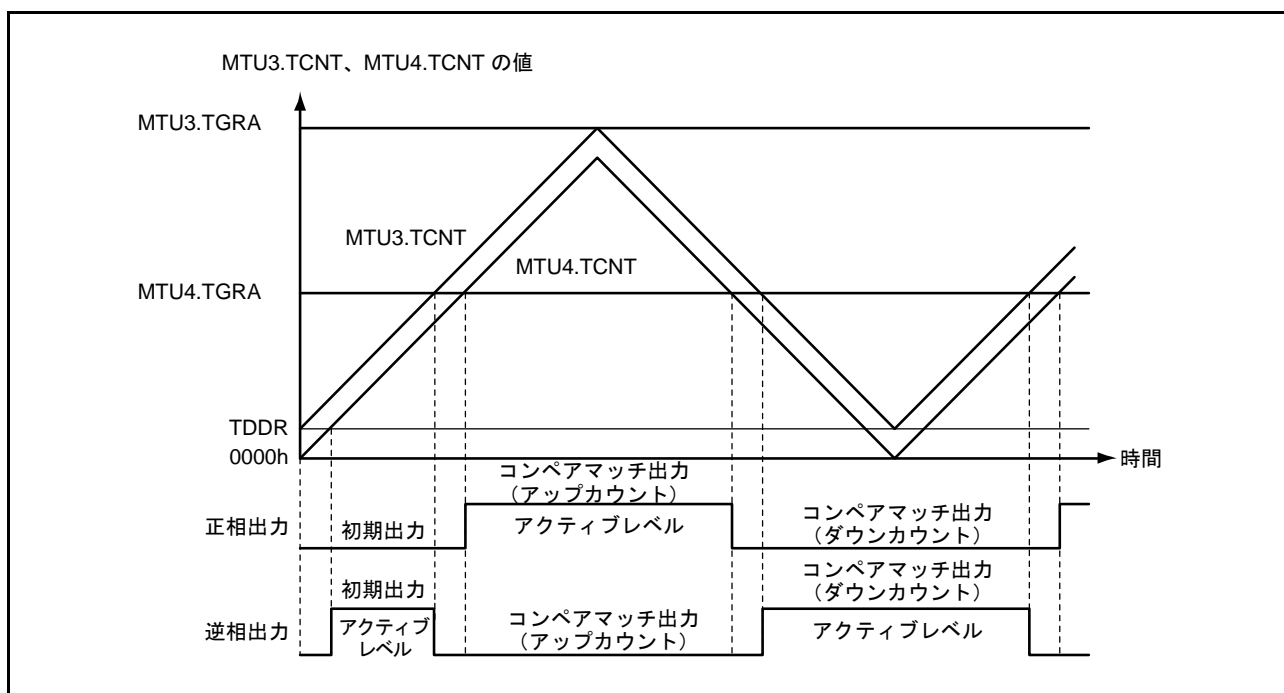


図 22.3 相補 PWM モードの出力レベルの例

22.2.23 タイマアウトプットコントロールレジスタ 2m (TOCR2m) (m = A, B)

アドレス MTU.TOCR2A 000C 120Fh, MTU.TOCR2B 000C 1A0Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3B/MTIOC6Bの出力レベルを選択します 表22.44を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3D/MTIOC6Dの出力レベルを選択します 表22.45を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4A/MTIOC7Aの出力レベルを選択します 表22.46を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4C/MTIOC7Cの出力レベルを選択します 表22.47を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4B/MTIOC7Bの出力レベルを選択します 表22.48を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4D/MTIOC7Dの出力レベルを選択します 表22.49を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング 選択ビット	TOLBRmからTOCR2mへのバッファ転送タイミングを 選択します 詳細は表22.50を参照してください	R/W

m = A, B

注1. TOCR1m.TOCSビットを“1”にすることにより、本設定が有効になります。

注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。
(i = 1, 2, 3)

TOCR2A、TOCR2B レジスタは、相補PWMモード/リセット同期PWMモードにおけるPWM出力の出力レベル反転の制御を行うレジスタです。

カウンタが停止した状態では、初期出力が選択されます。

表22.44 MTIOCnB出力レベル選択機能

ビット0	機能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	High	Low	Low	High
1	Low	High	High	Low

n = 3, 6

表 22.45 MTIOCnD 出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 3, 6

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 22.46 MTIOCnA 出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4, 7

表 22.47 MTIOCnC 出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4, 7

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 22.48 MTIOCnB 出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4, 7

表 22.49 MTIOCnD 出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4, 7

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表22.50 TOCR2m.BF[1:0]ビットの設定

ビット7 BF[1]	ビット6 BF[0]	説明	
		相補PWMモード時	リセット同期PWMモード時
0	0	バッファレジスタ (TOLBRm) から TOCR2m へ転送しない	バッファレジスタ (TOLBRm) から TOCR2m へ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ (TOLBRm) から TOCR2m へ転送する	MTUk.TCNT、MTUn.TCNT カウンタクリア時にバッファレジスタ (TOLBRm) から TOCR2m へ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ (TOLBRm) から TOCR2m へ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ (TOLBRm) から TOCR2m へ転送する	設定しないでください

n = 4, 7、k = 3, 6、m = A, B

22.2.24 タイマアウトプットレベルバッファレジスタ m (TOLBRm) (m = A, B)

アドレス MTU.TOLBRA 000C 1236h, MTU.TOLBRB 000C 1A36h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2mのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2mのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2mのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2mのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2mのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2mのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = A, B

TOLBRA、TOLBRB レジスタは TOCR2A、TOCR2B レジスタのバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 22.4 に示します。

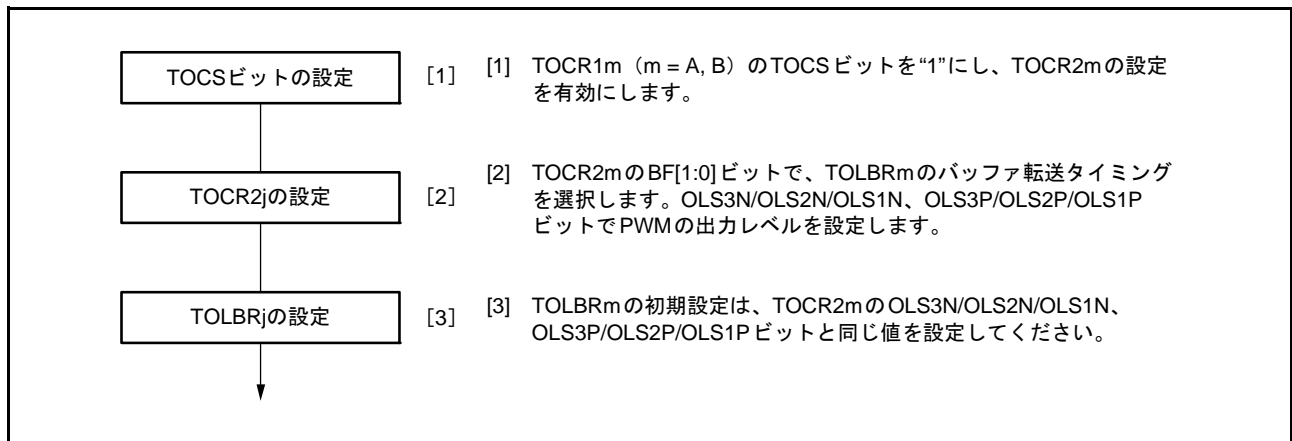


図 22.4 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

22.2.25 タイマゲートコントロールレジスタ A (TGCRA)

アドレス MTU.TGCRA 000C 120Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	BDC	N	P	FB	WF	VF	UF

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はFBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりにになります。表22.51を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替えは、外部入力（入力元は、MTU0のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCRAのUF、VF、WFの設定値）	R/W
b4	P	正相出力(P)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力(N)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能は有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCRA レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCRA レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定はFB ビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりにになります。表 22.51 を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相/逆相の出力の切り替えをMTU0のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号で自動的に行うか、TGCRAレジスタのビット2～0に“0”または“1”を書き込むことによって行うかを選択します。

TGCRA.FB ビットが“0”の場合、MTU0のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号により、MTU3、MTU4の出力を切り替えます。

P ビット（正相出力(P)制御ビット）

正相端子（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。

N ビット（逆相出力(N)制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。

BDC ビット (ブラシレス DC モータビット)

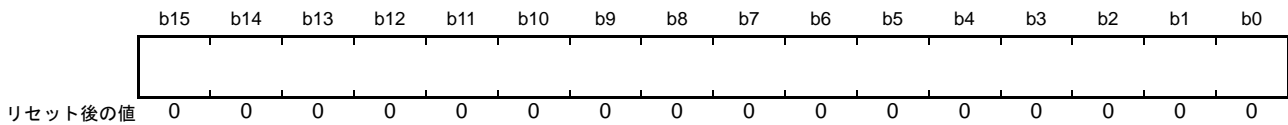
TGCRA レジスタの機能を有効にするか、無効にするかを選択します。

表22.51 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機能					
			MTIOC3B U相	MTIOC4A V相	MTIOC4B W相	MTIOC3D U相	MTIOC4C V相	MTIOC4D W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

22.2.26 タイマサブカウンタ m (TCNTSm) (m = A, B)

アドレス MTU.TCNTSA 000C 1220h, MTU.TCNTSB 000C 1A20h

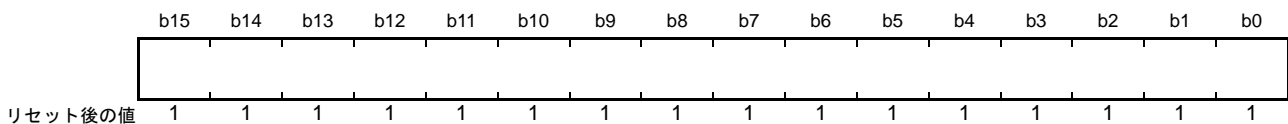


注. TCNTSA、TCNTSBレジスタの8ビット単位でアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTSA、TCNTSB レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA、TCNTSB レジスタのリセット後の値は“0000h”です。

22.2.27 タイマ周期データレジスタ m (TCDRm) (m = A, B)

アドレス MTU.TCDRA 000C 1214h, MTU.TCDRB 000C 1A14h

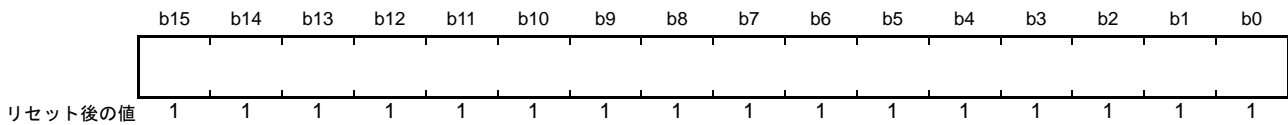


注. TCDRA、TCDRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDRA、TCDRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し/書き込み可能なレジスタです。TCDRA、TCDRB レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDRA、TCDRB レジスタは、相補 PWM モード時 TCNTSA、TCNTSB カウンタと常時比較され、一致すると TCNTSA、TCNTSB カウンタはカウント方向を切り替えます (ダウンカウント→アップカウント)。TCDRA、TCDRB レジスタのリセット後の値は“FFFFh”です。

22.2.28 タイマ周期バッファレジスタ m (TCBRm) (m = A, B)

アドレス MTU.TCBRA 000C 1222h, MTU.TCBRB 000C 1A22h

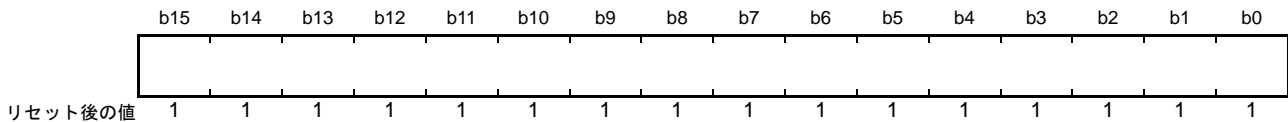


注. TCBRA、TCBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCBRA、TCBRBレジスタは、相補PWMモード時のみ使用される16ビットの読み出し/書き込み可能なレジスタで、TCDRA、TCDRBレジスタのバッファレジスタとして機能します。TMDR1レジスタで設定した転送タイミングでTCBRA、TCBRBレジスタの値がTCDRA、TCDRBレジスタに転送されます。TCBRA、TCBRBレジスタのリセット後の値は“FFFFh”です。

22.2.29 タイマデッドタイムデータレジスタ m (TDDRm) (m = A, B)

アドレス MTU.TDDRA 000C 1216h, MTU.TDDRB 000C 1A16h



注. TDDRA、TDDRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TDDRA、TDDRBレジスタは、相補PWMモード時のみ使用される16ビットの読み出し/書き込み可能なレジスタで、相補PWMモード時MTU3.TCNT (MTU6.TCNT) とMTU4.TCNT (MTU7.TCNT) カウンタのオフセット値を設定します。相補PWMモード時にMTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) カウンタをクリアして再スタートするときは、TDDRA (TDDRB) レジスタの値がMTU3.TCNT (MTU6.TCNT) カウンタにロードされカウント動作を開始します。TDDRA、TDDRBレジスタのリセット後の値は“FFFFh”です。

22.2.30 タイマデッドタイムイネーブルレジスタ m (TDERm) (m = A, B)

アドレス MTU.TDERA 000C 1234h, MTU.TDERB 000C 1A34h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0: デッドタイムを生成しない 1: デッドタイムを生成する(注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDRA ≥ 1、TDDRb ≥ 1に設定してください。

TDERA、TDERB レジスタは、TDERA は MTU3、TDERB は MTU6 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA、TDERB レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット (デッドタイムイネーブルビット)

デッドタイムの生成をする / しないを設定します。

[“0”になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

22.2.31 タイマバッファ転送設定レジスタ m (TBTERm) (m = A, B)

アドレス MTU.TBTERA 000C 1232h, MTU.TBTERB 000C 1A32h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します 詳細は表22.52を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 対象バッファレジスタ (TBTERA)
MTU3.TGRC, MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU.TCBRA
対象バッファレジスタ (TBTERB)
MTU6.TGRC, MTU6.TGRD, MTU7.TGRC, MTU7.TGRD, MTU.TCBRB

TBTERA、TBTERB レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定するレジスタです。

表22.52 TBTERA.BTE[1:0]ビット、TBTERB.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE[1]	BTE[0]	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定しないでください

注1. TMDR1.MD[3:0]ビットの設定に従い転送します。詳細は「22.3.8 相補PWMモード」を参照してください。
注2. 割り込み間引きが禁止のとき(タイマ割り込み間引き設定レジスタ (TITCR1A (TITCR1B)) のT3AEN、T4VEN (T6AEN, T7VEN) ビットを“0”にしたとき、またはTITCR1A (TITCR1B) の間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR, T7VCOR)) を“0”にしたとき)は、バッファ転送を割り込み間引きと連動しない設定(タイマバッファ転送レジスタ (TBTERA (TBTERB)) のBTE1ビットを“0”にする)にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

22.2.32 タイマ波形コントロールレジスタ m (TWCRm) (m = A, B)

アドレス MTU.TWCRA 000C 1260h, MTU.TWCRB 000C 1A60h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	SCC	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0 : TOCR1A, TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W) (注3)
b1	SCC	同期クリアコントロールビット(注1、注3)	(TWCRBレジスタのみ有効) 0 : MTU0、MTU1、MTU2—MTU6、MTU7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア有効 1 : MTU0、MTU1、MTU2—MTU6、MTU7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア無効	R/(W)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット(注2)	0 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする	R/(W)

注1. TWCRBレジスタのみ有効です、TWCRAレジスタでは予約ビットです。

注2. 相補PWMモード1のとき以外は、“1”を書かないでください。

注3. 相補PWMモードのとき以外は、“1”を書かないでください。

TWCRA、TWCRB レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする / しないを設定します。

TWCRA、TWCRB レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット (波形保持許可ビット)

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の T_b 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) スタート直後の谷の T_b 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期値を出力します。

相補 PWM モードの谷の T_b 区間については、図 22.50 を参照してください。

[“1”になる条件]

- WRE = 0 で WRE ビットを読んだ後、WRE ビットに“1”を書いたとき

SCC ビット (同期クリアコントロールビット)

相補 PWM モードで MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアが発生したときに、MTU6.TCNT、MTU7.TCNT をクリアする / しないを設定します。

本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。また、カウンタの動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。

SCC ビットの設定により MTU からの同期クリアが無効になるのは、谷の T_b 区間以外で同期クリアが発生したときのみです。MTU6.TCNT、MTU7.TCNT スタート直後を含む谷の T_b 区間で同期クリアが発生した場合は、MTU6.TCNT、MTU7.TCNT がクリアされます。

相補 PWM モードの谷の T_b 区間については、[図 22.50](#) を参照してください。

[“1”になる条件]

- SCC = 0 で SCC ビットを読んだ後、SCC ビットに “1” を書いたとき

TWCRA レジスタでは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

CCE ビット (コンペアマッチクリア許可ビット)

相補 PWM モードで、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1”になる条件]

- CCE = 0 で CCE ビットを読んだ後、CCE ビットに “1” を書いたとき

22.2.33 ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, 6, 7, 8, C)

- MTU0.NFCR0, MTU1.NFCR1, MTU2.NFCR2, MTU3.NFCR3, MTU4.NFCR4, MTU6.NFCR6, MTU7.NFCR7, MTU8.NFCR8

アドレス MTU0.NFCR0 000C 1290h, MTU1.NFCR1 000C 1291h, MTU2.NFCR2 000C 1292h, MTU3.NFCR3 000C 1293h, MTU4.NFCR4 000C 1294h, MTU6.NFCR6 000C 1A93h, MTU7.NFCR7 000C 1A94h, MTU8.NFCR8 000C 1298h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0 : MTIOCnA端子のノイズフィルタは無効 1 : MTIOCnA端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0 : MTIOCnB端子のノイズフィルタは無効 1 : MTIOCnB端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタC許可ビット(注1)	0 : MTIOCnC端子のノイズフィルタは無効 1 : MTIOCnC端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタD許可ビット(注1)	0 : MTIOCnD端子のノイズフィルタは無効 1 : MTIOCnD端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/8 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. MTU1、MTU2では予約ビットです。読むと“0”が読めます。書き込みは無効です。

NFCRn レジスタ (n = 0 ~ 4, 6, 7, 8) は、対応するチャネルのインプットキャプチャ入力端子のノイズフィルタ機能を設定します。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOCnA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOCnB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOCnC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOcNd 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。本ビットを“11b”に設定しカレントソースを外部クロックとした場合、本ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- MTU0.NFCRC

アドレス MTU0.NFCRC 000C 1299h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTCLKA 端子のノイズフィルタは無効 1 : MTCLKA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTCLKB 端子のノイズフィルタは無効 1 : MTCLKB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0 : MTCLKC 端子のノイズフィルタは無効 1 : MTCLKC 端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット	0 : MTCLKD 端子のノイズフィルタは無効 1 : MTCLKD 端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/2 1 0 : PCLKA/8 1 1 : PCLKA/32	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCRC レジスタは、各チャネル共通で外部クロック端子のノイズフィルタ機能を設定します。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTCLKA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTCLKB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTCLKC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図

しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTCLKD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

22.2.34 ノイズフィルタコントロールレジスタ 5 (NFCR5)

アドレス MTU5.NFCR5 000C 1A95h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	NFWE N	NFVEN	NFUEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIC5U端子のノイズフィルタは無効 1 : MTIC5U端子のノイズフィルタは有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIC5V端子のノイズフィルタは無効 1 : MTIC5V端子のノイズフィルタは有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIC5W端子のノイズフィルタは無効 1 : MTIC5W端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/8 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

22.2.35 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

• MTU4.TADCR

アドレス MTU4.TADCR 000C 1240h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動する	R/W
b1	ITB3AE	TGIA3 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D 変換の開始要求 (TRG4BN) を TGIA3 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TGIA3 割り込み間引き機能1と連動する	R/W
b2	ITA4VE	TCIV4 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動する	R/W
b3	ITA3AE	TGIA3 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D 変換の開始要求 (TRG4AN) を TGIA3 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TGIA3 割り込み間引き機能1と連動する	R/W
b4	DT4BE	ダウンカウンタ TRG4BN 許可ビット(注3)	0: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウンタ TRG4BN 許可ビット	0: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウンタ TRG4AN 許可ビット(注3)	0: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウンタ TRG4AN 許可ビット	0: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/TADCOBRB 転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRB から MTU4.TADCORA、MTU4.TADCORB への転送タイミングを選択します。詳細は表22.53を参照してください	R/W

注. MTU4.TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき TITCR1A.T3AEN、T4VEN ビットを“0”にしたとき、または TITCR1A.T3ACOR、T4VCOR ビットを“0”にしたときは、“0”にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注3. 相補PWMモードのとき以外は、“0”にしてください。

TADCR レジスタは、A/D 変換開始要求の許可/禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する/しないを設定します。MTU には、MTU4、MTU7 に各 1 本の TADCR レジスタがあります。

表22.53 TADCR.BF[1:0]ビットによる転送タイミングの設定(MTU4)

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

- MTU7.TADCR

アドレス MTU7.TADCR 000C 1A40h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB7VE	TCIV7 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D変換の開始要求 (TRG7BN) をTCIV7 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) をTCIV7 割り込み間引き機能1と連動する	R/W
b1	ITB6AE	TGIA6 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D変換の開始要求 (TRG7BN) をTGIA6 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) をTGIA6 割り込み間引き機能1と連動する	R/W
b2	ITA7VE	TCIV7 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D変換の開始要求 (TRG7AN) をTCIV7 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) をTCIV7 割り込み間引き機能1と連動する	R/W
b3	ITA6AE	TGIA6 割り込み間引き連動許可ビット(注1、注2、注3)	0: A/D変換の開始要求 (TRG7AN) をTGIA6 割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) をTGIA6 割り込み間引き機能1と連動する	R/W
b4	DT7BE	ダウンカウントTRG7BN許可ビット(注3)	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b5	UT7BE	アップカウントTRG7BN許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b6	DT7AE	ダウンカウントTRG7AN許可ビット(注3)	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b7	UT7AE	アップカウントTRG7AN許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU7.TADCOBRA/TADCOBRB 転送タイミング選択ビット	MTU7.TADCOBRA、MTU7.TADCOBRBからMTU7.TADCORA、MTU7.TADCORBへの転送タイミングを選択します。詳細は表22.54を参照してください	R/W

注. MTU7.TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のときTITCR1B.T6AEN、T7VENビットを“0”に設定したとき、またはTITCR1B.T6ACOR、T7VCORビットを“0”にしたときは、“0”にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。

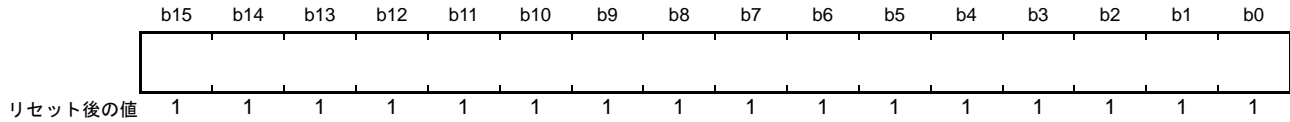
注3. 相補PWMモードのとき以外は、“0”にしてください。

表22.54 TADCR.BF[1:0]ビットによる転送タイミングの設定(MTU7)

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から、周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送しない
0	1	MTU7.TCNTの山で周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	MTU6.TCNTがMTU6.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	MTU7.TCNTがMTU7.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する
1	0	MTU7.TCNTの谷で周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU7.TCNTの山と谷で周期設定バッファレジスタ (MTU7.TADCOBRA, MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA, MTU7.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

22.2.36 タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)

アドレス MTU4.TADCORA 000C 1244h, MTU4.TADCORB 000C 1246h, MTU7.TADCORA 000C 1A44h,
MTU7.TADCORB 000C 1A46h



注. TADCORA、TADCORBは8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「22.3.9(5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は“0002h”～MTU4：TCDRAの設定値-2、MTU7：TCDRBの設定値-2の値を設定してください。

注2. 割り込み間引き機能2を使用し、かつTADCORAレジスタ値とTADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

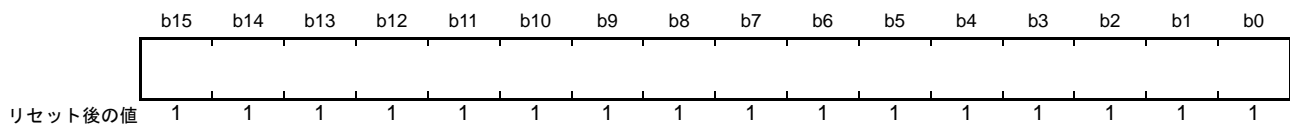
- (1) 間引き機能2、間引き回数が“0”の場合
 - TADCORAレジスタ値とTADCORBレジスタ値との間隔が「4」以上
 - TADCORAのコンペア間隔が4 PCLKA以上（TADCORAレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）
 - TADCORBのコンペア間隔が4 PCLKA以上（TADCORBレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）
- (2) 間引き機能2、間引き回数が1以上の場合
 - TADCORAレジスタ値とTADCORBレジスタ値との間隔が「2」以上
 - TADCORBのコンペア間隔が2 PCLKA以上（TADCORBレジスタの更新値を「前値+2以上」、「前値-2以下」に設定）

TADCORA、TADCORB レジスタは 16 ビットの読み出し / 書き込み可能なレジスタで、MTUn.TCNT (n = 4, 7) と一致したとき、対応する A/D 変換開始要求を生成します。

TADCORA、TADCORB レジスタのリセット後の値は“FFFFh”です。

22.2.37 タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B)

アドレス MTU4.TADCOBRA 000C 1248h, MTU4.TADCOBRB 000C 124Ah, MTU7.TADCOBRA 000C 1A48h,
MTU7.TADCOBRB 000C 1A4Ah



注. TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRB レジスタは 16 ビットの読み出し / 書き込み可能なレジスタで、TADCORA、TADCORB のバッファレジスタです。TADCOBRA、TADCOBRB から山か谷で TADCORA、TADCORB に転送します。

TADCOBRA、TADCOBRB レジスタのリセット後の値は“FFFFh”です。

22.2.38 タイマ割り込み間引きモードレジスタ m (TITMRm) (m = A, B)

アドレス MTU.TITMRA 000C 123Ah, MTU.TITMRB 000C 1A3Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 0: 割り込み間引き機能1(注1) 1: 割り込み間引き機能2(注2)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TITCR1A、TITCR1Bレジスタを設定することにより割り込み間引き機能1が有効になります。

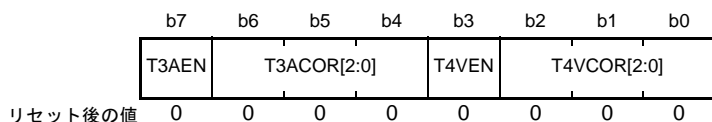
注2. TITCR2A、TITCR2Bレジスタを設定することにより割り込み間引き機能2が有効になります。

TITMRA、TITMRB レジスタは、2種類の間引き機能を選択するレジスタです。

22.2.39 タイマ割り込み間引き設定レジスタ 1m (TITCR1m) (m = A, B)

• MTU.TITCR1A

アドレス MTU.TITCR1A 000C 1230h

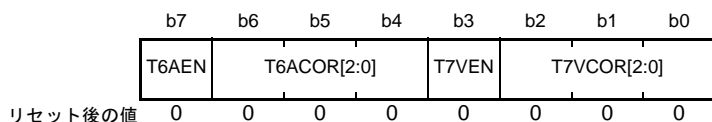


ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0~7回で設定します 詳細は表22.55を参照してください	R/W
b3	T4VEN	T4VENビット	0: TCIV4割り込みの間引きを禁止する 1: TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0~7回で設定します(注1) 詳細は表22.56を参照してください	R/W
b7	T3AEN	T3AENビット	0: TGIA3割り込みの間引きを禁止する 1: TGIA3割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VENビットを“0”にして間引き回数カウンタ(TITCNT1A)をクリアしてください。

• MTU.TITCR1B

アドレス MTU.TITCR1B 000C 1A30h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCOR[2:0]	TCIV7割り込み間引き回数設定ビット	TCIV7割り込みの間引き回数を0~7回で設定します。 詳細は表22.57を参照してください	R/W
b3	T7VEN	T7VENビット	0: TCIV7割り込みの間引きを禁止する 1: TCIV7割り込みの間引きを許可する	R/W
b6-b4	T6ACOR[2:0]	TGIA6割り込み間引き回数設定ビット	TGIA6割り込みの間引き回数を0~7回で設定します。(注1) 詳細は表22.58を参照してください	R/W
b7	T6AEN	T6AENビット	0: TGIA6割り込みの間引きを禁止する 1: TGIA6割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1B.T6AEN、TITCR1B.T7VENビットを“0”にして間引き回数カウンタ(TITCNT1B)をクリアしてください。

TITCR1A、TITCR1Bレジスタは、割り込み間引きの禁止/許可、割り込み間引き回数の設定を制御します。この設定はそれぞれTITMRA.TITM、TITMRB.TITMビットを“0”としたときのみ有効になります。また、TITMRA.TITM (TITMRB.TITM) ビットを“1”にした場合、TITCR1A (TITCR1B) レジスタの値はクリアされます。

表22.55 T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T4VCOR[2]	ビット1 T4VCOR[1]	ビット0 T4VCOR[0]	説明
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表22.56 T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T3ACOR[2]	ビット5 T3ACOR[1]	ビット4 T3ACOR[0]	説明
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

表22.57 T7VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T7VCOR[2]	ビット1 T7VCOR[1]	ビット0 T7VCOR[0]	説明
0	0	0	TCIV7の割り込み間引きを行わない
0	0	1	TCIV7の割り込み間引き回数を1回に設定
0	1	0	TCIV7の割り込み間引き回数を2回に設定
0	1	1	TCIV7の割り込み間引き回数を3回に設定
1	0	0	TCIV7の割り込み間引き回数を4回に設定
1	0	1	TCIV7の割り込み間引き回数を5回に設定
1	1	0	TCIV7の割り込み間引き回数を6回に設定
1	1	1	TCIV7の割り込み間引き回数を7回に設定

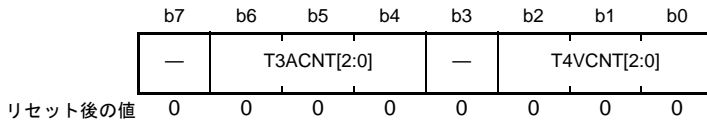
表22.58 T6ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T6ACOR[2]	ビット5 T6ACOR[1]	ビット4 T6ACOR[0]	説明
0	0	0	TGIA6の割り込み間引きを行わない
0	0	1	TGIA6の割り込み間引き回数を1回に設定
0	1	0	TGIA6の割り込み間引き回数を2回に設定
0	1	1	TGIA6の割り込み間引き回数を3回に設定
1	0	0	TGIA6の割り込み間引き回数を4回に設定
1	0	1	TGIA6の割り込み間引き回数を5回に設定
1	1	0	TGIA6の割り込み間引き回数を6回に設定
1	1	1	TGIA6の割り込み間引き回数を7回に設定

22.2.40 タイマ割り込み間引き回数カウンタ 1m (TITCNT1m) (m = A, B)

- MTU.TITCNT1A

アドレス MTU.TITCNT1A 000C 1231h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注. TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

TITCNT1A、TITCNT1B レジスタは、8ビットの読み出し可能なカウンタです。TITCNT1A、TITCNT1Bは、MTU3.TCNT および MTU4.TCNT (MTU6.TCNT および MTU7.TCNT) のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T4VEN ビットが“0”のとき
- TITCR1A.T4VCOR[2:0] ビットが“000b”のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

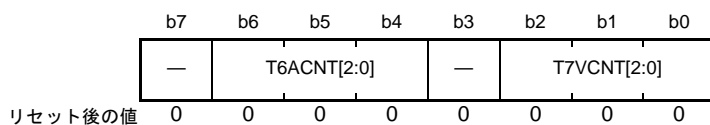
T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T3AEN ビットが“0”のとき
- TITCR1A.T3ACOR[2:0] ビットが“000b”のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

- MTU.TITCNT1B

アドレス MTU.TITCNT1B 000C 1A31h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCNT[2:0]	TCIV7 割り込みカウンタビット	TITCR1BのT7VENビットを“1”にしたとき、TCIV7割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T6ACNT[2:0]	TGIA6 割り込みカウンタビット	TITCR1BのT6AENビットを“1”にしたとき、TGIA6割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注. TITCNT1Bの値をクリアするには、TITCR1B.T6AENビットとTITCR1B.T7VENビットを“0”にしてください。

T7VCNT[2:0] ビット (TCIV7 割り込みカウンタビット)

[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T7VEN ビットが“0”のとき
- TITCR1B.T7VCOR[2:0] ビットが“000b”のとき
- TITCR1B.T7VCOR[2:0] ビットと TITCNT1B.T7VCNT[2:0] ビットが一致したとき

T6ACNT[2:0] ビット (TGIA6 割り込みカウンタビット)

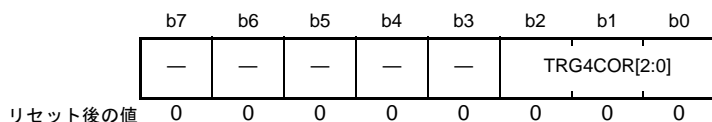
[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T6AEN ビットが“0”のとき
- TITCR1B.T6ACOR[2:0] ビットが“000b”のとき
- TITCR1B.T6ACOR[2:0] ビットと TITCNT1B.T6ACNT[2:0] ビットが一致したとき

22.2.41 タイマ割り込み間引き設定レジスタ 2m (TITCR2m) (m = A, B)

- MTU.TITCR2A

アドレス MTU.TITCR2A 000C 123Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN/TRG4BN割り込み間引き回数設定ビット	TRG4AN/TRG4BN割り込みの間引き回数を0~7回で設定します。詳細は表22.59を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITCR2A、TITCR2B レジスタは、TRG4AN と TRG4BN (TRG7AN と TRG7BN) の割り込み間引き回数を設定するレジスタです。

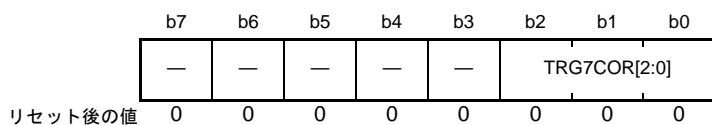
この設定は TITMRA、TITMRB レジスタを“1”にしたときのみ有効になります。

表22.59 TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG4COR[2]	TRG4COR[1]	TRG4COR[0]	
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

- MTU.TITCR2B

アドレス MTU.TITCR2B 000C 1A3Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7COR[2:0]	TRG7AN/TRG7BN 割り込み 間引き回数設定ビット	TRG7AN/TRG7BN 割り込みの間引き回数を0~7回で 設定します。詳細は表22.60を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

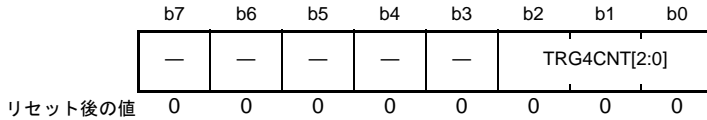
表22.60 TRG7COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG7COR[2]	TRG7COR[1]	TRG7COR[0]	
0	0	0	TRG7ANとTRG7BNの割り込み回数間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数を7回に設定

22.2.42 タイマ割り込み間引き回数カウンタ 2m (TITCNT2m) (m = A, B)

- MTU.TITCNT2A

アドレス MTU.TITCNT2A 000C 123Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN/TRG4BN割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

TITCNT2A、TITCNT2B レジスタは、TRG4COR[2:0] ビット、TRG7COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN (TITCNT2A) および TRG7AN、TRG7BN (TITCNT2B) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になります。

TRG4CNT[2:0] ビット (TRG4AN/TRG4BN 割り込みカウンタビット)

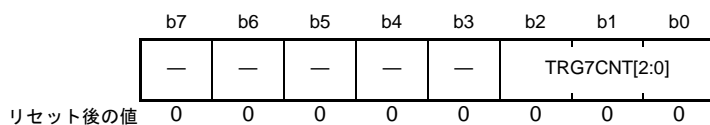
TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0”になる条件]

- TITMRA.TITM ビットが“0”のとき
- TITCR2A.TRG4COR[2:0] ビットが“000b”のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

- MTU.TITCNT2B

アドレス MTU.TITCNT2B 000C 1A3Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7CNT[2:0]	TRG7AN/TRG7BN 割り込み カウンタビット	TRG7COR[2:0]ビットで設定した値から、TRG7AN、 TRG7BNが発生するごとにカウントダウンし、カウンタ値が “0”になり、リロードが起きたとき、TRG7AN、TRG7BNの 割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

TRG7CNT[2:0] ビット (TRG7AN/TRG7BN 割り込みカウンタビット)

TRG7COR[2:0] ビットで設定した値から、TRG7AN および TRG7BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BN 割り込みが有効になります。

[“0”になる条件]

- TITMRB.TITM ビットが“0”のとき
- TITCR2B.TRG7COR[2:0] ビットが“000b”のとき
- TITCR2B.TRG7COR[2:0] ビットと TRG7AN および TRG7BN の発生回数が一致したとき

22.3 動作説明

22.3.1 基本動作

各チャンネルには、TCNTとTGRレジスタがあります。TCNTは、アップカウント動作を行い、フリーランニングカウント動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRレジスタは、それぞれ入力キャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRAレジスタのCST0～CST4、CST8ビット、TSTRBレジスタのCST6、CST7ビット、MTU5.TSTRレジスタのCSTU5、CSTV5、CSTW5ビットを“1”にすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウント動作、周期カウント動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図22.5に示します。

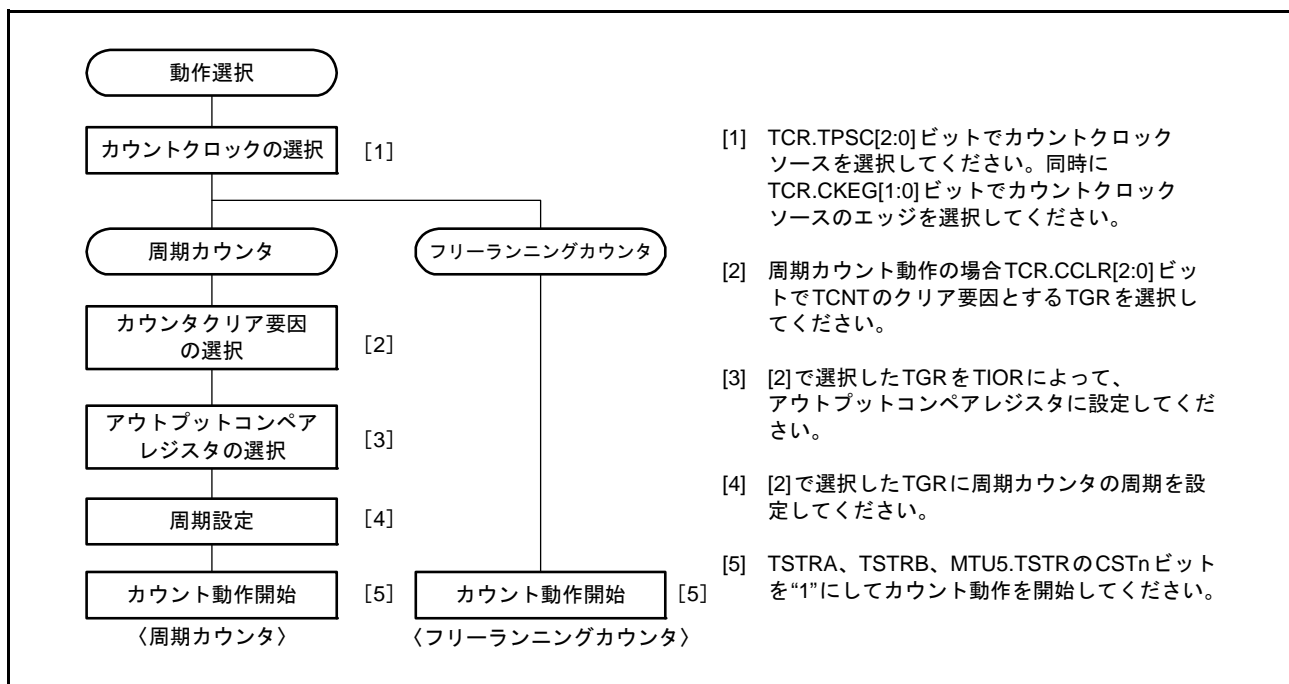


図 22.5 カウント動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、TSTRB、MTU5.TSTR レジスタのCSTnビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー（FFFFh → 0000h）すると、対応するTIER.TCIEVビットが“1”ならば、CPUへの割り込み要求を発行します。TCNTはオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図22.6に示します。

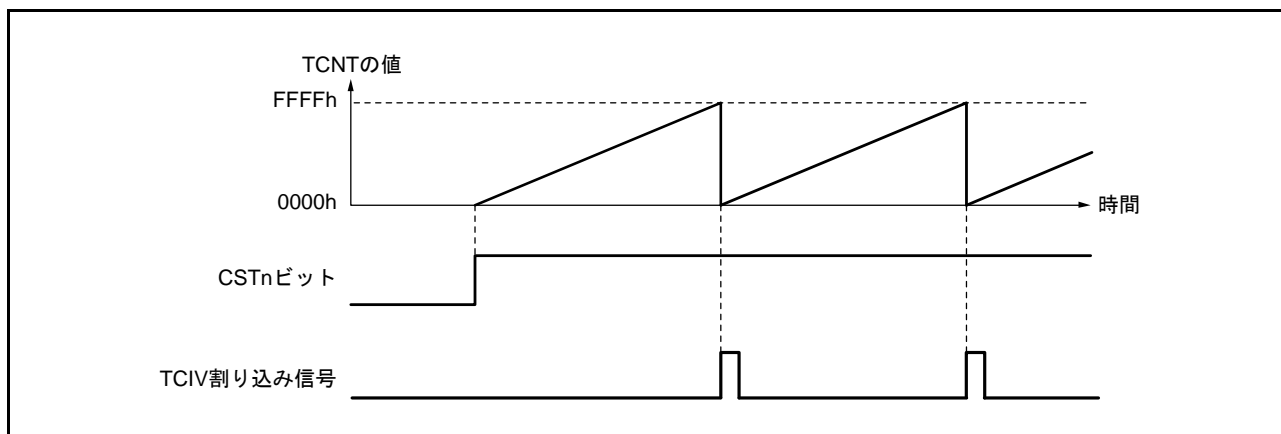


図 22.6 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB、MTU5.TSTR レジスタのCSTnビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TCNTは“0000h”になります。

このとき対応するTIER.TGIEビットが“1”ならば、CPUへの割り込み要求を発行します。TCNTはコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図22.7に示します。

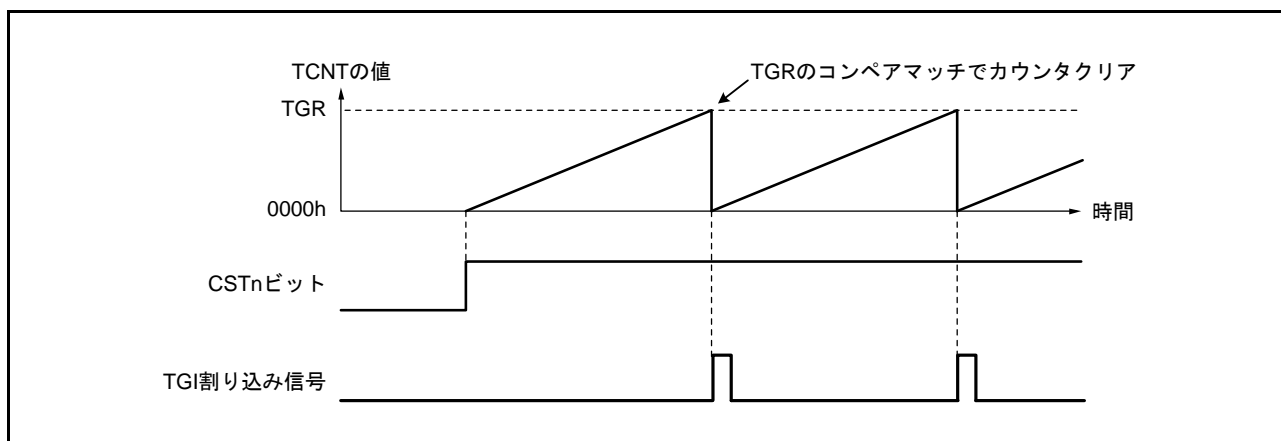


図 22.7 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 22.8 に示します。

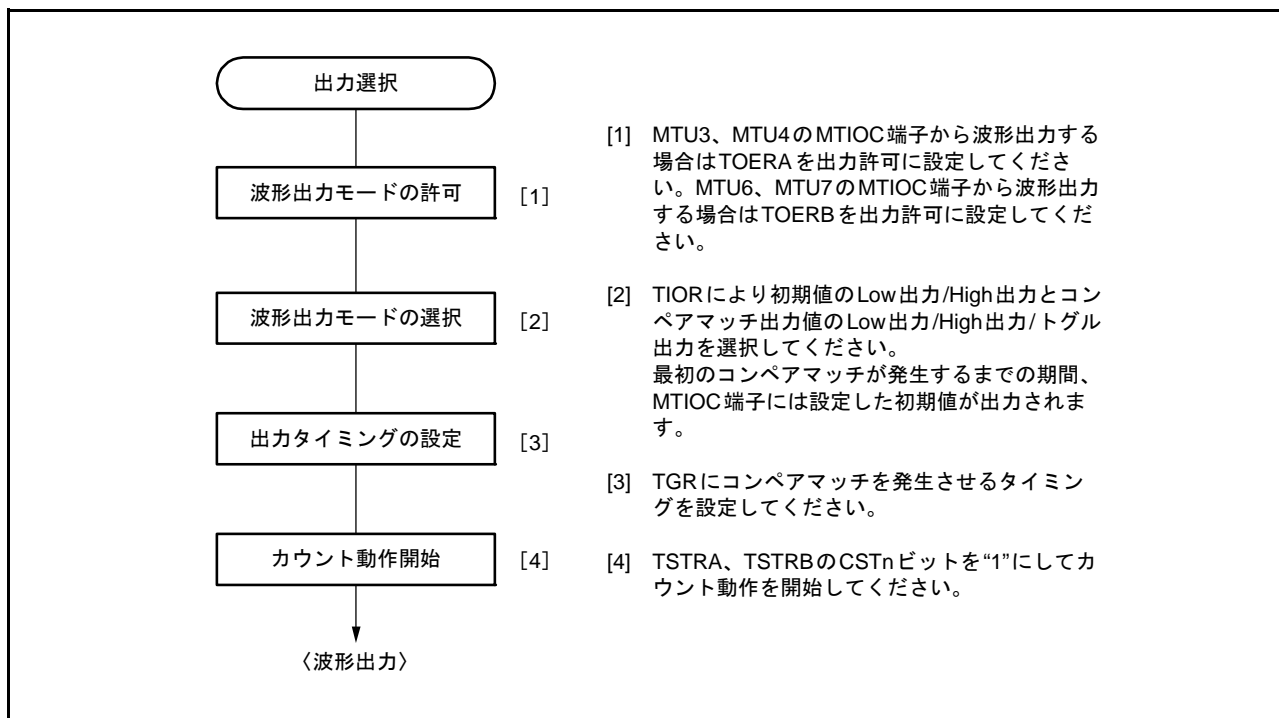


図 22.8 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low出力/High出力例を図22.9に示します。

TCNTをフリーランニングカウント動作とし、コンペアマッチAによりHigh出力、コンペアマッチBによりLow出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

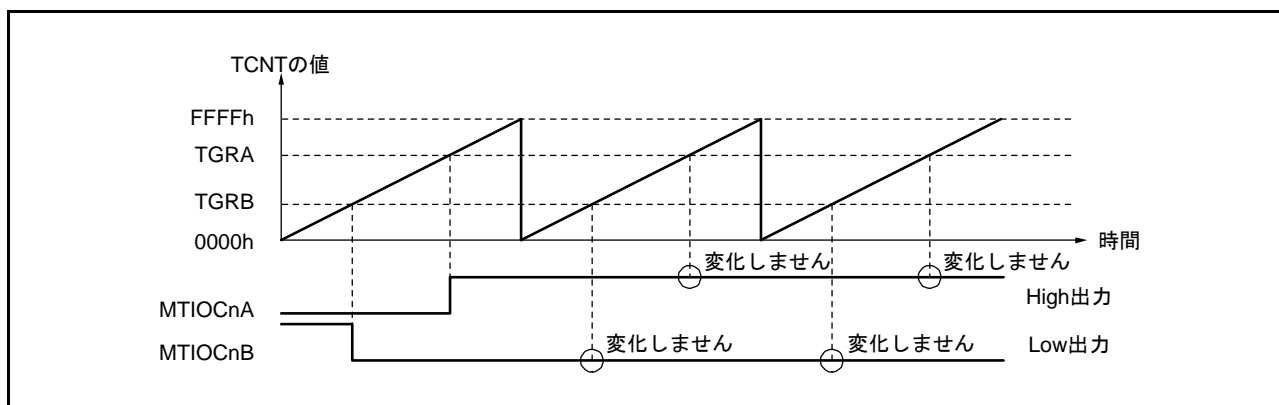


図 22.9 Low出力/High出力の動作例 (n = 0 ~ 4, 6, 7, 8)

トグル出力の例を図22.10に示します。

TCNTを周期カウント動作(コンペアマッチBによりカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

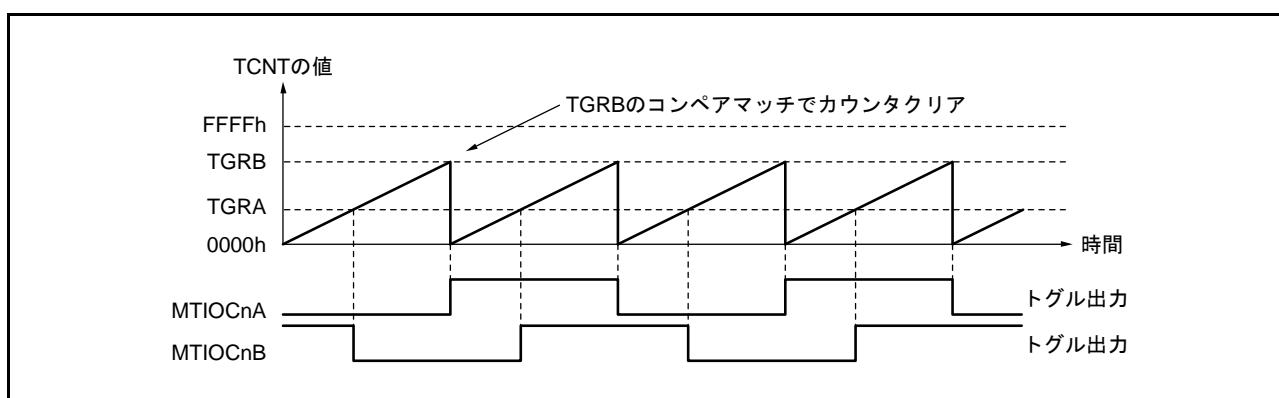


図 22.10 トグル出力の動作例 (n = 0 ~ 4, 6, 7, 8)

(3) インพุットキャプチャ機能

MTIOCnm 端子 (n = 0 ~ 4, 6, 7, 8、m = A ~ D)、および MTIC5m 端子 (m = U, V, W) の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャンネルのカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャンネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLKA/1 を選択しないでください。PCLKA/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 22.11 に示します。

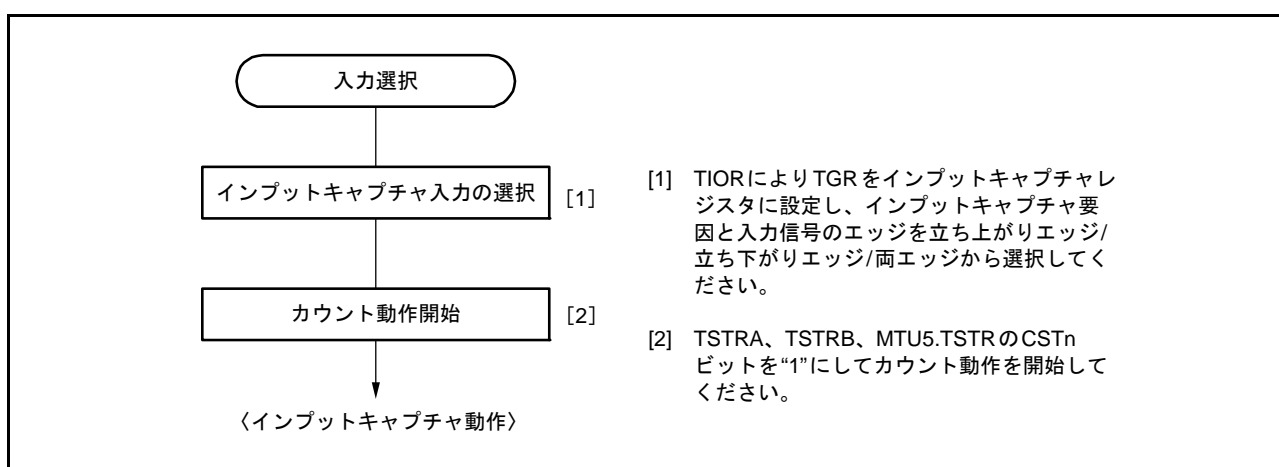


図 22.11 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 22.12 に示します。

MTIOcNA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOcNB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です (n = 0 ~ 4, 6, 7, 8)。

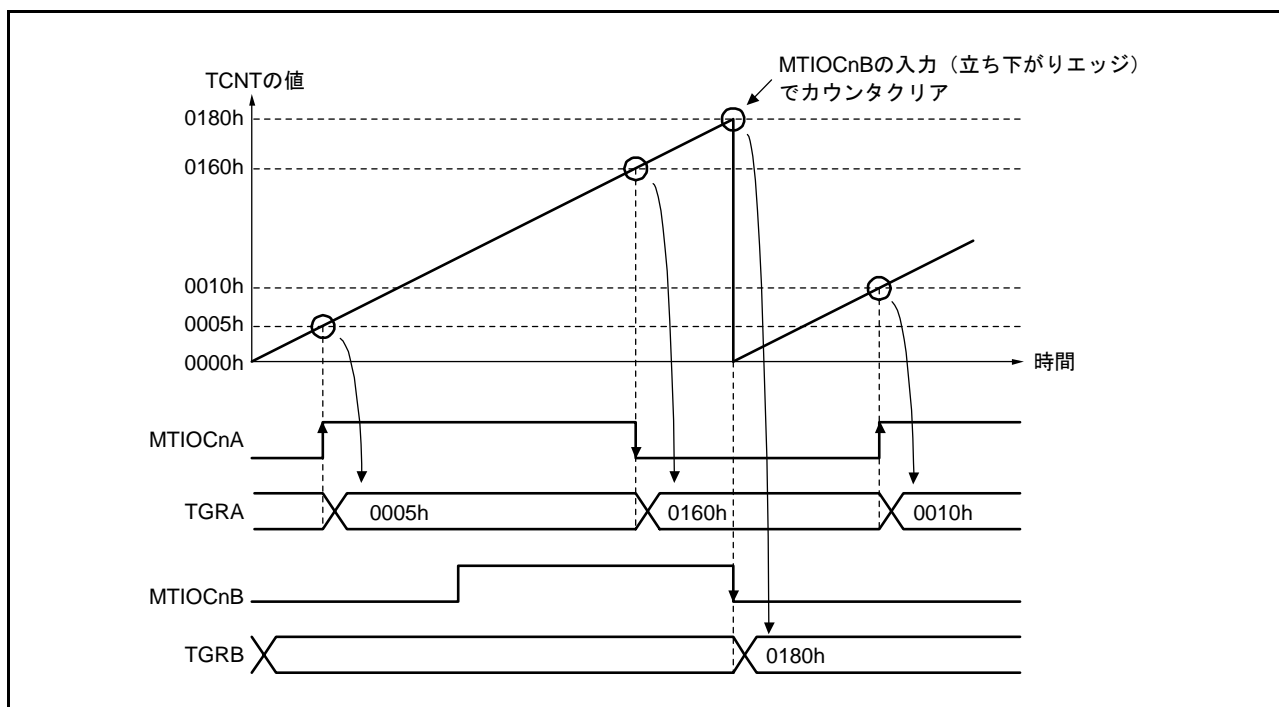


図 22.12 インพุットキャプチャ動作例 (n = 0 ~ 4, 6, 7, 8)

22.3.2 同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます (同期セット)。また、TCR レジスタの設定によって複数の TCNT を同時に“0”にすることができます (同期クリア)。

同期動作によって、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ~ MTU4、MTU6、MTU7 はすべて同期動作の設定が可能です。

MTU5、MTU8 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 22.13 に示します。

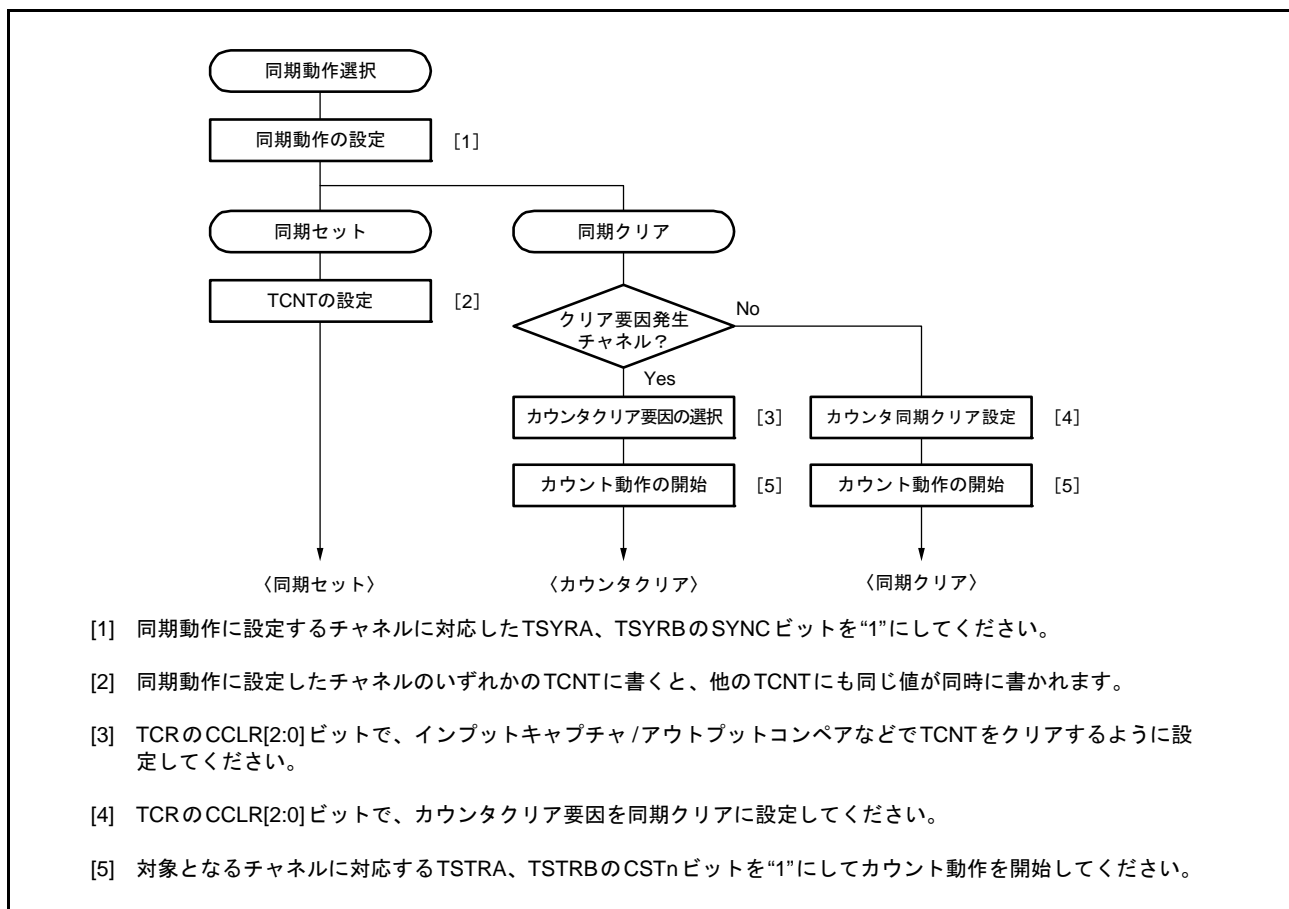


図 22.13 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 22.14 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT は同期セット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「22.3.5 PWM モード」を参照してください。

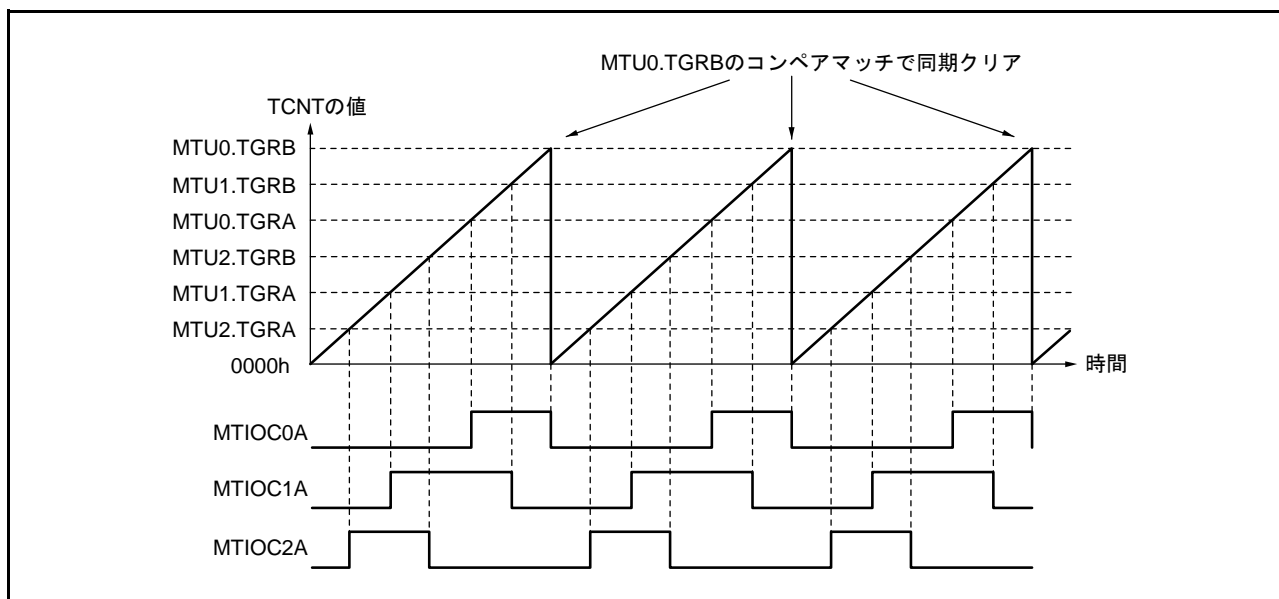


図 22.14 同期動作の動作例

22.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4、MTU6、MTU7、MTU8 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 22.61 にバッファ動作時のレジスタの組み合わせを示します。

表22.61 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD
MTU6	TGRA	TGRC
	TGRB	TGRD
MTU7	TGRA	TGRC
	TGRB	TGRD
MTU8	TGRA	TGRC
	TGRB	TGRD

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 22.15 に示します。

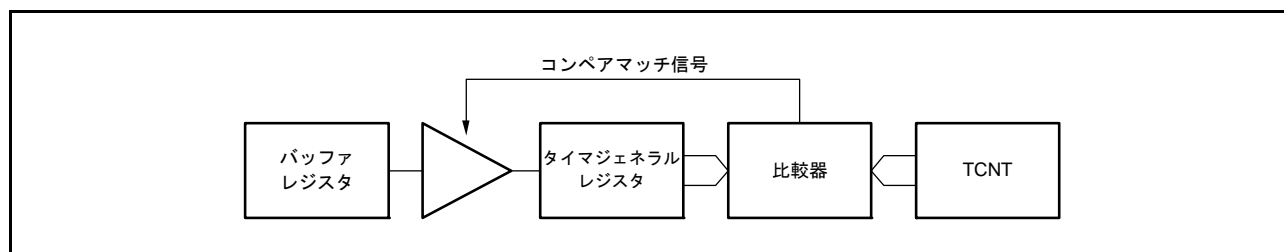


図 22.15 コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 22.16 に示します。

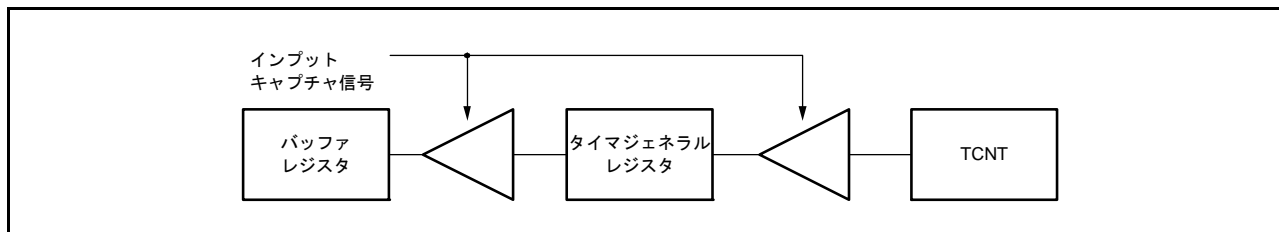


図 22.16 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 22.17 に示します。

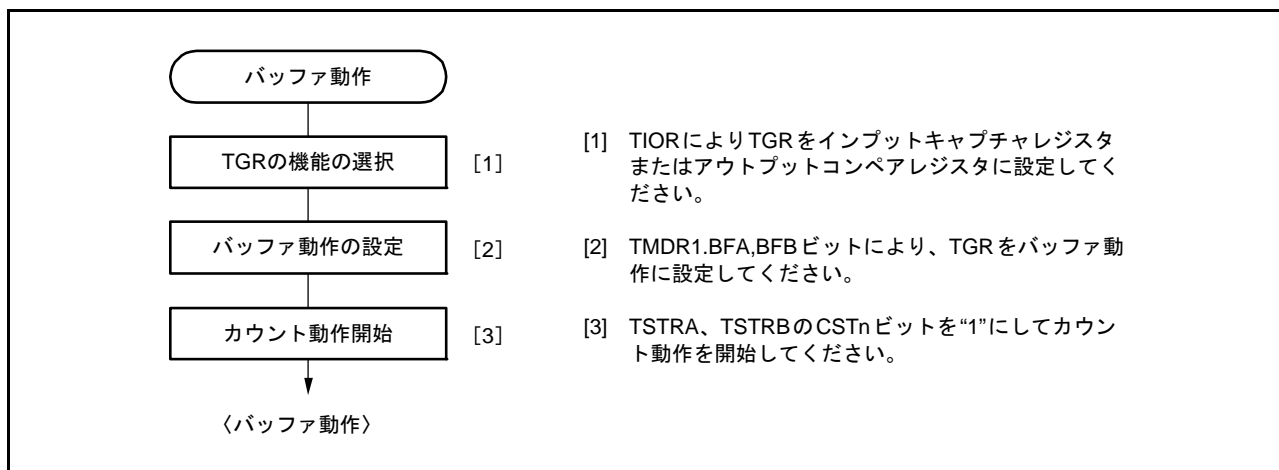


図 22.17 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGRがアウトプットコンペアレジスタの場合

MTU0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図22.18に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAでHigh出力、コンペアマッチBでLow出力に設定した例です。この例では、TBTM.TTSAビットは“0”にしています。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「22.3.5 PWMモード」を参照してください。

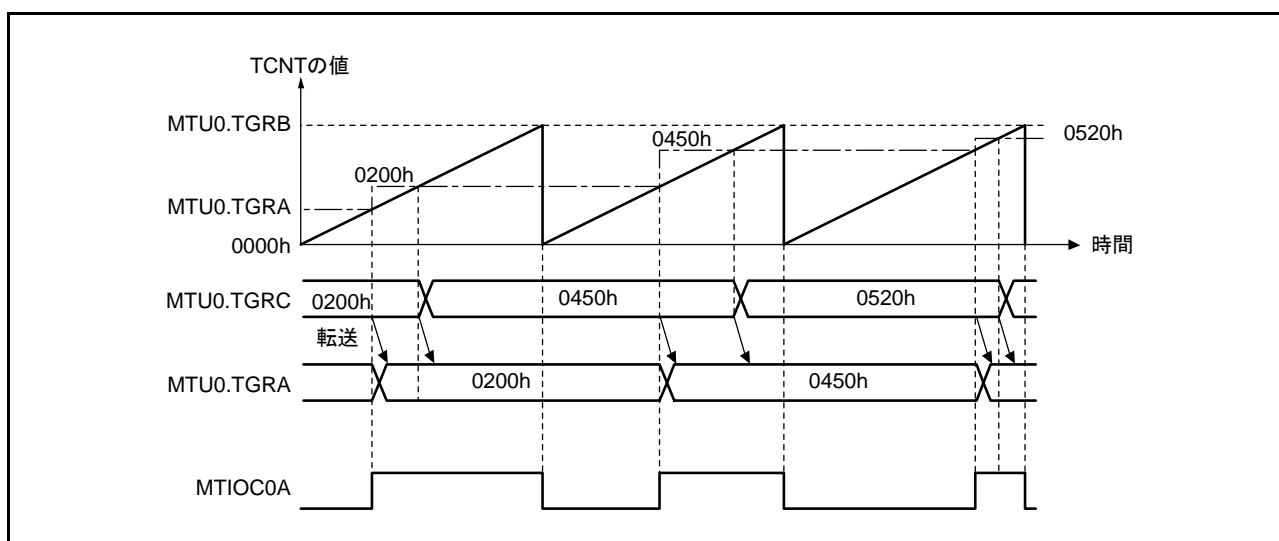


図 22.18 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 22.19 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、MTIOCnA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています ($n=0 \sim 4, 6, 7, 8$)。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に転送されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

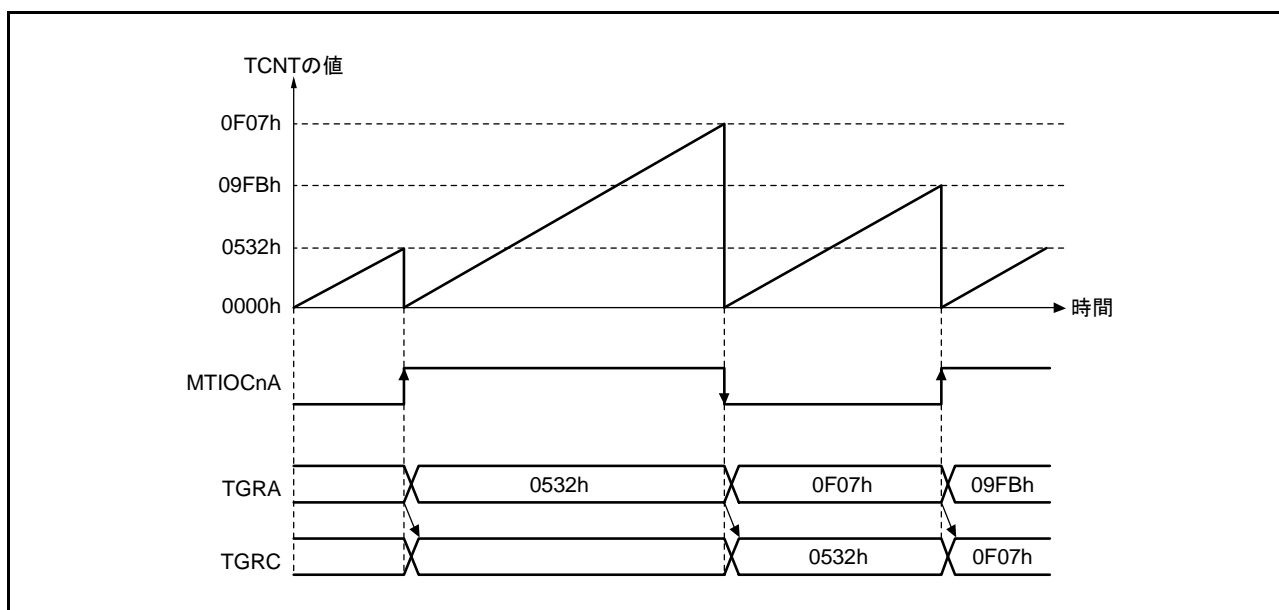


図 22.19 バッファ動作例 (2) ($n=0 \sim 4, 6, 7, 8$)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (MTUn.TBTM) (n = 0, 3, 4, 6, 7) を設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4、MTU6、MTU7 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (リセット後の値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (FFFFh → 0000h)
- カウンタの動作中、TCNT に“0000h”が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が“0000h”になったとき

注. TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 22.20 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは“1”にしています。

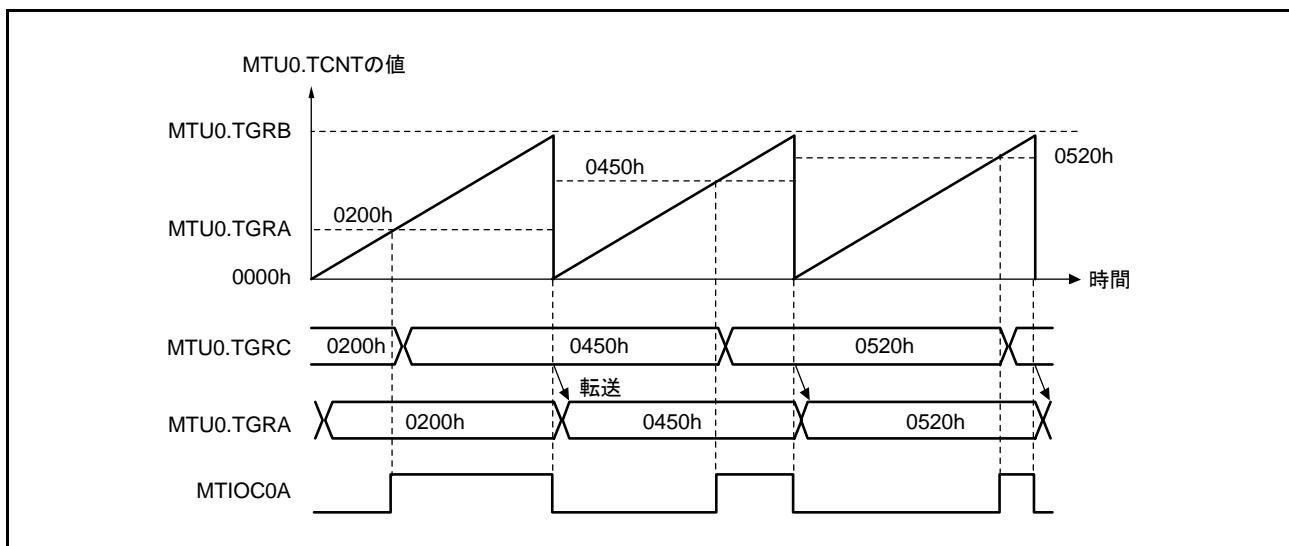


図 22.20 MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

22.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

MTU1とMTU2を接続して32ビットカウンタとして使用する機能には、MTU1.TMDR3.LWAビットを“0”のときに設定するカスケード接続と、MTU1.TMDR3.LWAビットを“1”に設定するカスケード接続32ビット位相計数モードがあります。カスケード接続32ビット位相計数モードについては「22.3.6.2 カスケード接続32ビット位相計数モード」を参照してください。本章では、MTU1.TMDR3.LWAビットを“0”のときに設定するカスケード接続機能について説明します。

この機能は、MTU1.TMDR3.LWAビットを“0”に設定し、MTU1.TCR.TPSC[2:0]ビットでMTU1.TCNTをMTU2.TCNTのオーバフロー/アンダフローによりカウントするように設定することで動作します。なお、アンダフローが発生するのは、下位16ビットが割り当てられたMTU2が位相計数モードのときのみです。

表 22.62 にカスケード接続の組み合わせを示します。

注． MTU1 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表22.62 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTとMTU2.TCNTの同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「22.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ」を参照してください。

TICCRレジスタの設定値とインプットキャプチャ入力端子の対応を表 22.63 に示します。

表22.63 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット=0 (初期値)	MTIOC1A
	I2AEビット=1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット=0 (初期値)	MTIOC1B
	I2BEビット=1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット=0 (初期値)	MTIOC2A
	I1AEビット=1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット=0 (初期値)	MTIOC2B
	I1BEビット=1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 22.21 に示します。

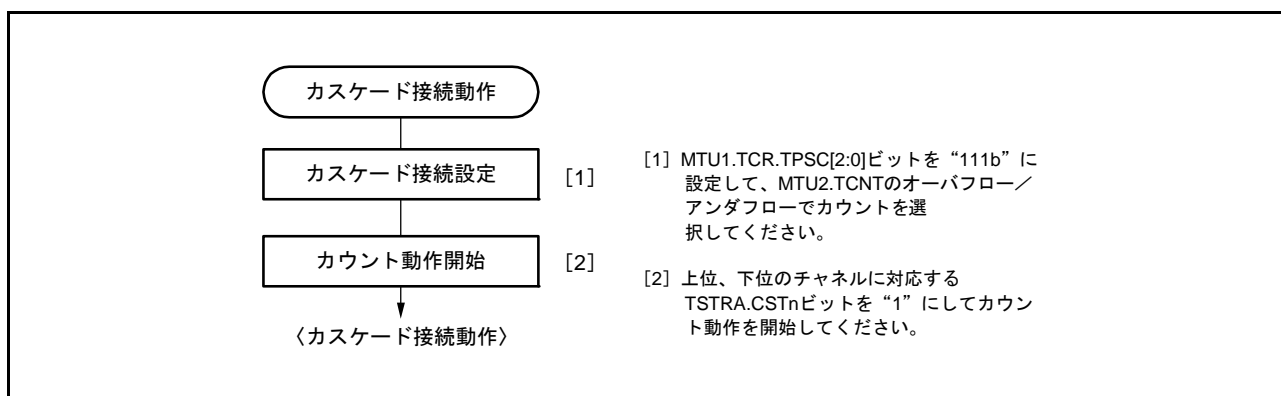


図 22.21 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、MTU1.TCNT は MTU2.TCNT のオーバフロー/アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 22.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

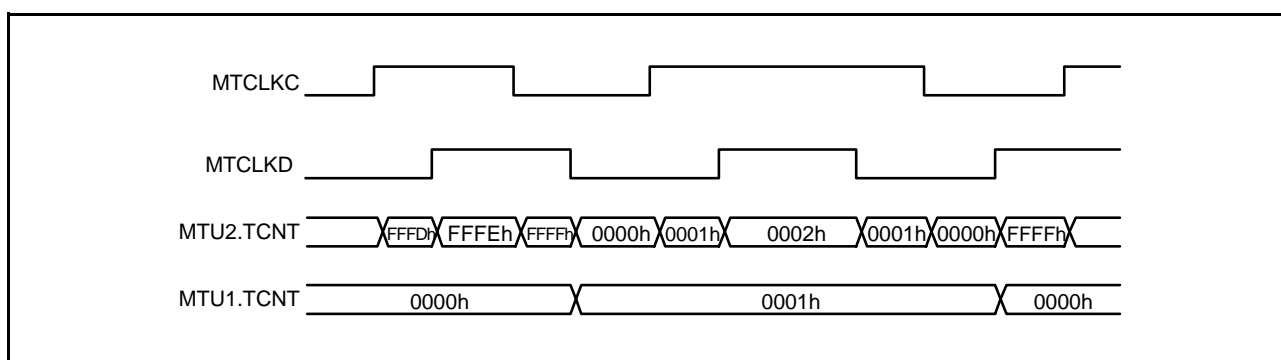


図 22.22 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 22.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTIOC1A の立ち上がりエッジで入力キャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA の入力キャプチャ条件に設定されます。また、MTU2.TGRA の入力キャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

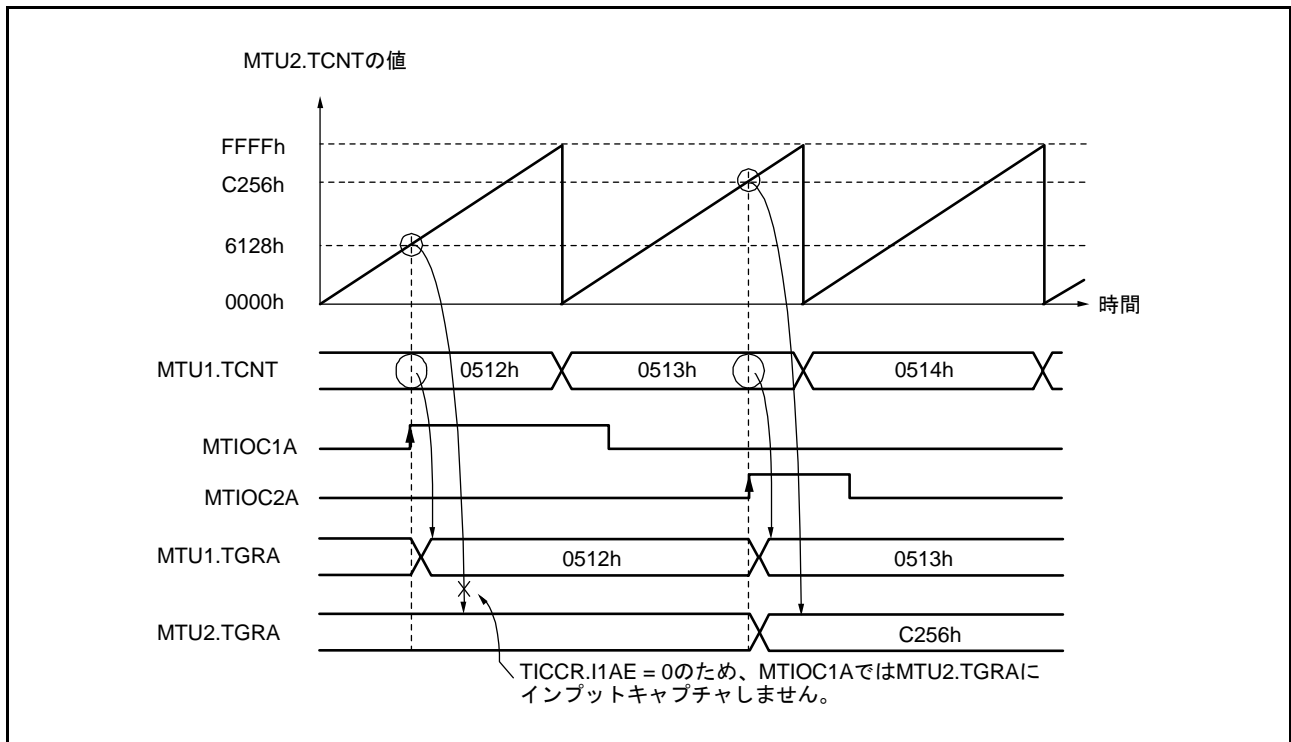


図 22.23 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNTをカスケード接続し、TICCR.I2AE,I1AEビットを“1”にして、MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加し、MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加した場合の動作を図22.24に示します。この例ではMTU1.TIOR、MTU2.TIORのIOA[3:0]ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1AとMTIOC2A入力のORがMTU1.TGRAおよびMTU2.TGRAのインプットキャプチャ条件となります。

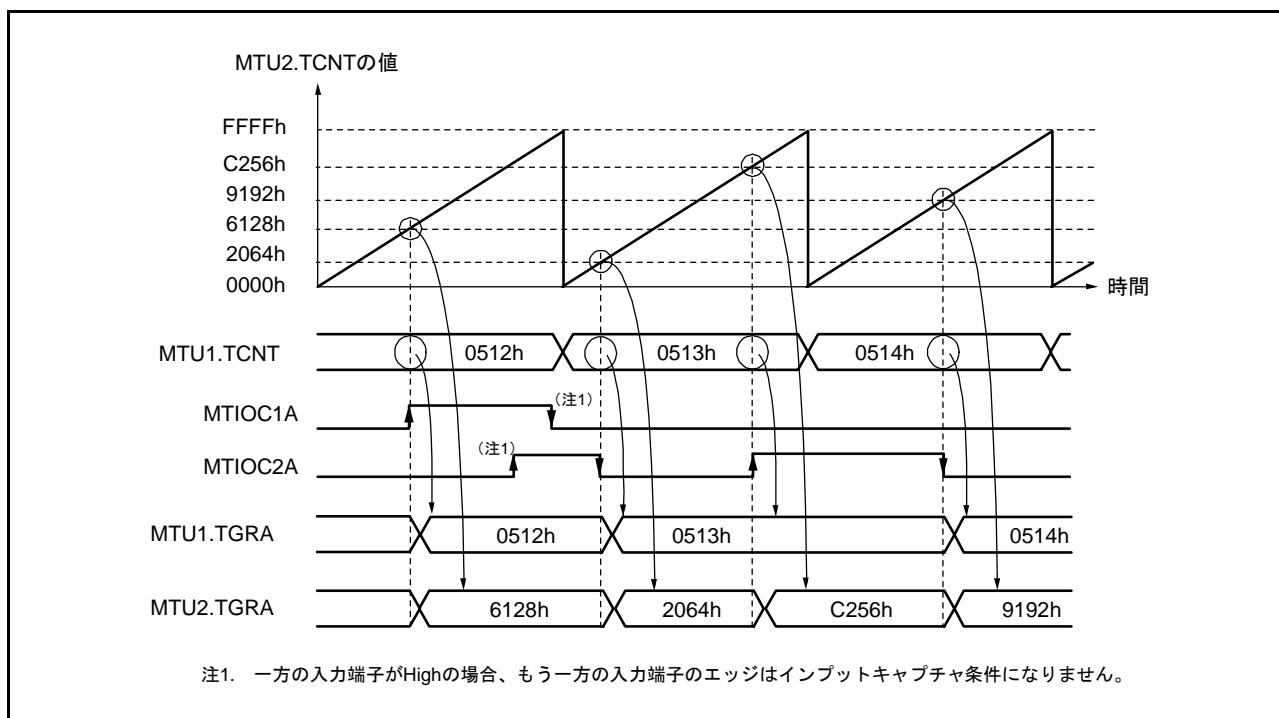


図 22.24 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 22.25 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA の入力キャプチャ条件になることはありません。

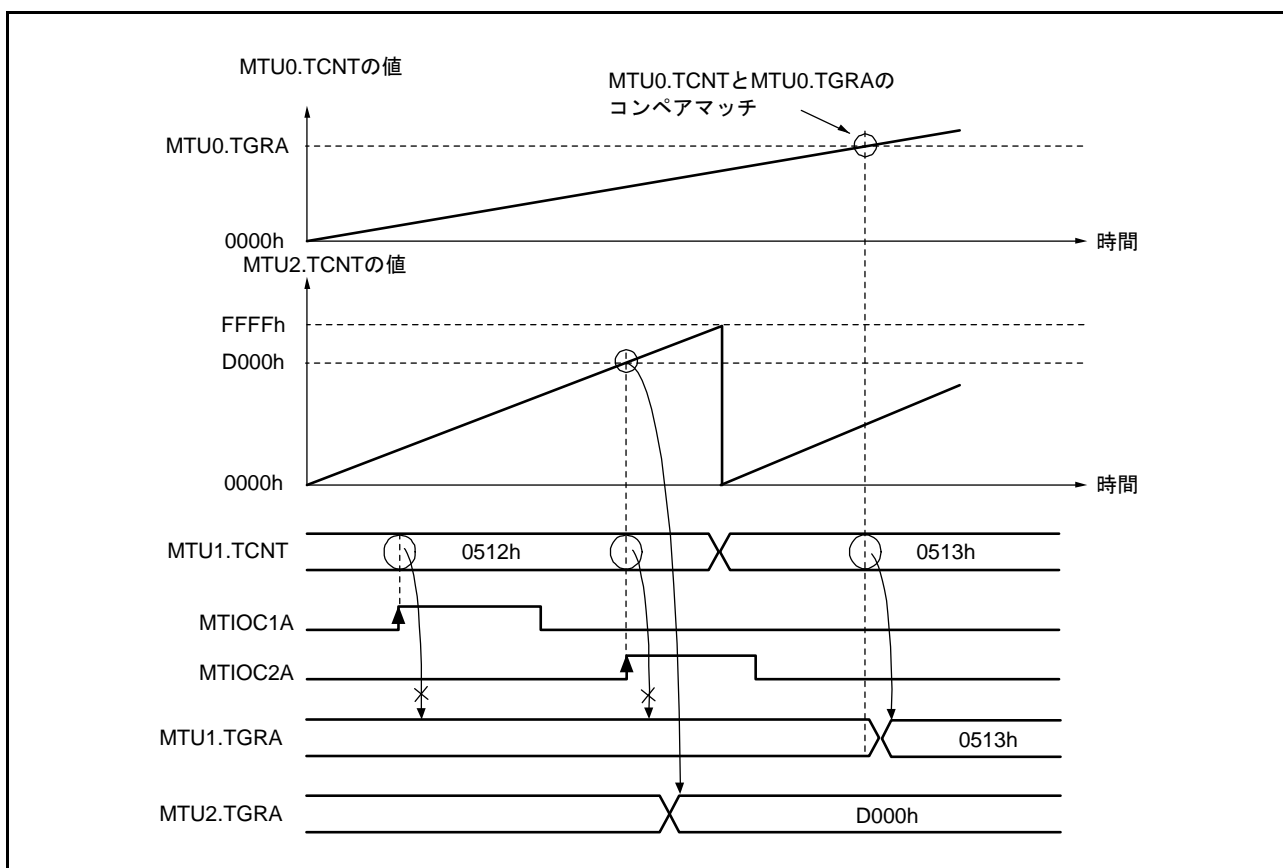


図 22.25 カスケード接続動作例 (d)

22.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。MTU5、MTU8 を除くすべてのチャンネルは、個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOChA 端子、MTIOChC 端子から PWM 波形を出力します。MTIOChA 端子、MTIOChC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います (n = 0 ~ 4, 6, 7)。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 12 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、PWM モード 2 を設定できないチャンネルの同期クリアを同期動作として併用することにより最大 8 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 22.64 に示します。

表 22.64 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		
MTU4	TGRA	MTIOC4A	
	TGRB		
	TGRC	MTIOC4C	
	TGRD		
MTU6	TGRA	MTIOC6A	
	TGRB		
	TGRC	MTIOC6C	
	TGRD		
MTU7	TGRA	MTIOC7A	
	TGRB		
	TGRC	MTIOC7C	
	TGRD		

注. PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 22.26 に示します。

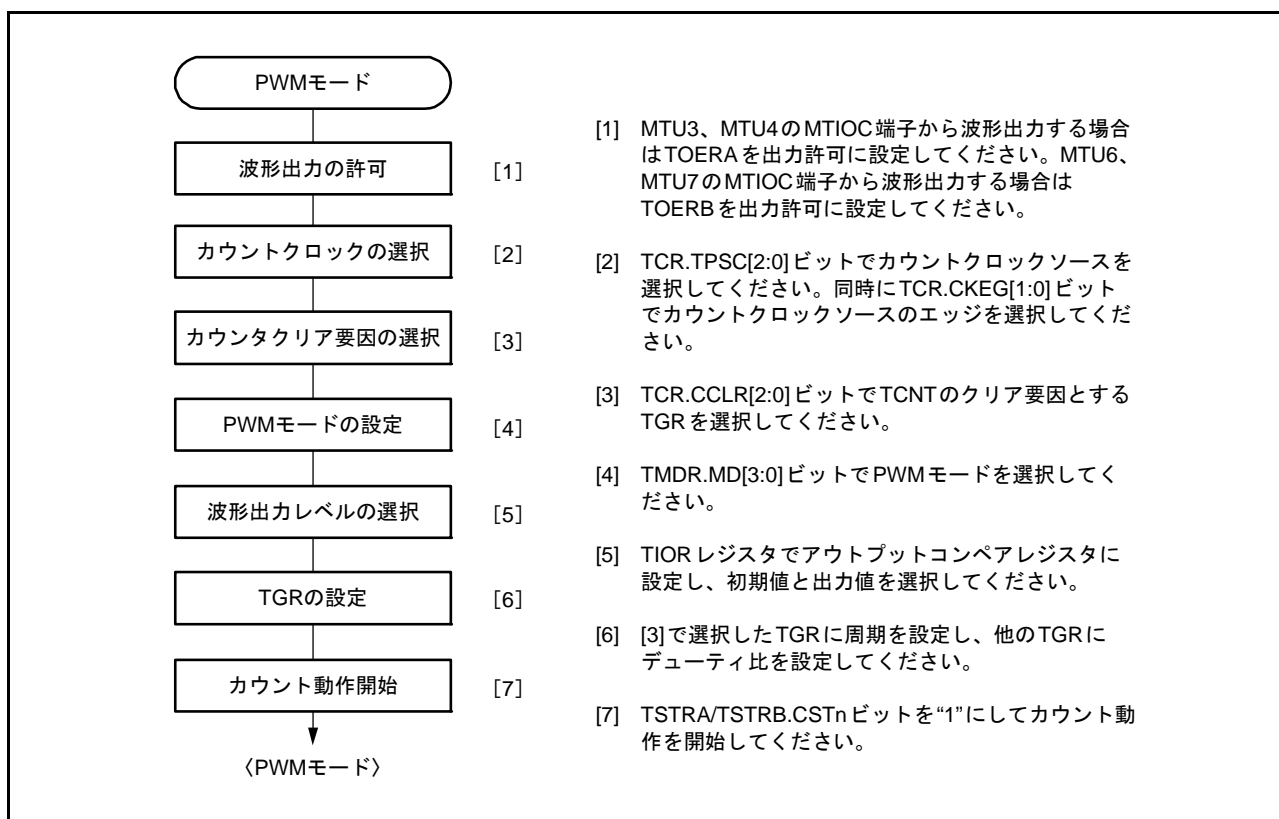


図 22.26 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 22.27 に示します。

この図は、TCNTのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値を“0”、TGRBレジスタの出力値を“1”にした場合の例です。

この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティ比になります。

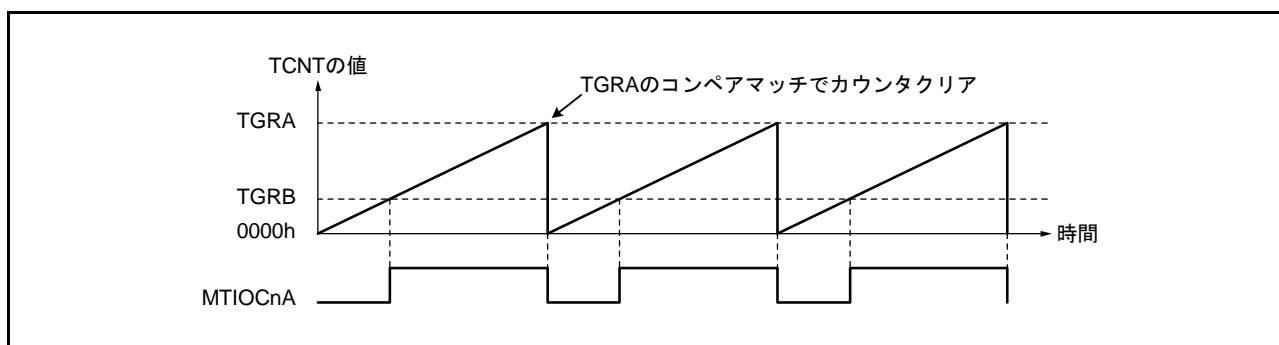


図 22.27 PWM モード1の動作例 (n = 0 ~ 4, 6, 7)

PWM モード2の動作例を図 22.28 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) の初期出力値を Low、出力値を High にして5相のPWM波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) に設定した値がデューティ比になります。

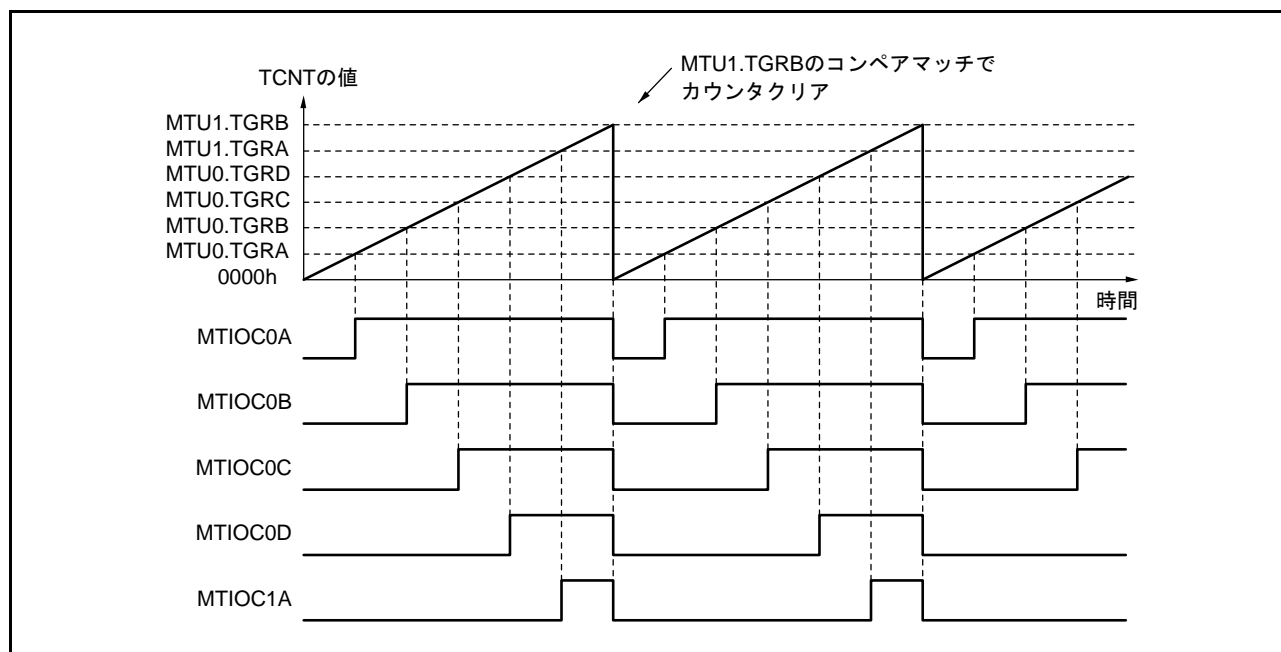


図 22.28 PWM モード2の動作例

PWMモード1で、デューティ比0%、デューティ比100%のPWM波形を出力する例を図22.29に示します。この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

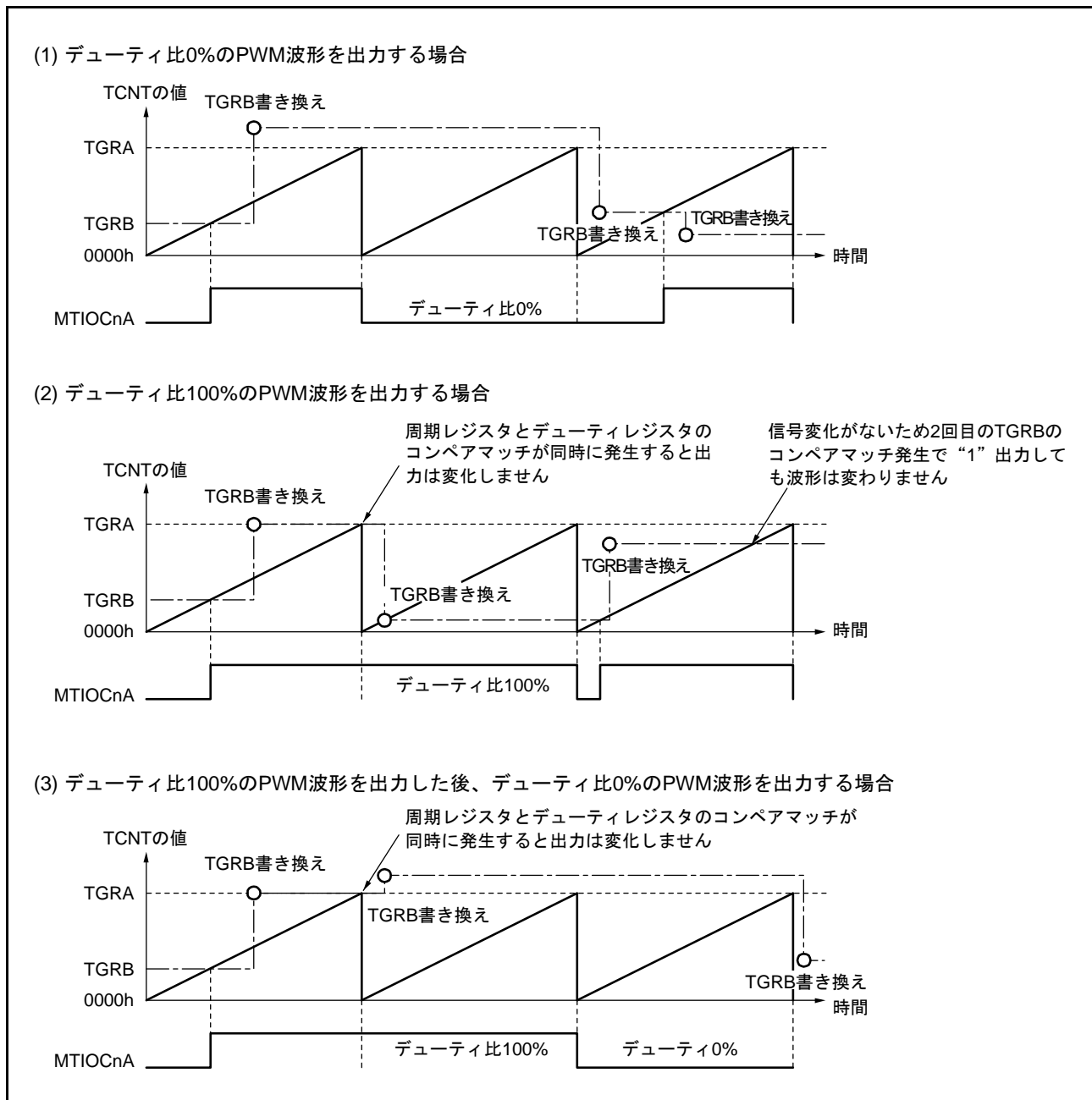


図 22.29 PWMモード動作例 (デューティ0%、デューティ100%のPWM波形を出力する例)
($n = 0 \sim 4, 6, 7$)

22.3.6 位相計数モード

位相計数モードにはMTU1とMTU2がそれぞれ独立に動作する16ビット位相計数モードとMTU1, MTU2をカスケード接続したカスケード接続32ビット位相計数モードがあります。

位相計数モードでは2つの外部クロック入力の位相差を検出して、対応するTCNTをアップカウント/ダウンカウントします。

各位相計数モードでの2つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわらず。MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モードの2つの外部クロック入力、MTU1.TMDR3.PHCKSELで選択を行うことができます。MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モード以外の位相計数モードでは、A相/B相にMTCLKA/MTCLKBが選択されます。位相計数モードでは、外部クロック端子MTCLKA、MTCLKB、MTCLKC、MTCLKDを2相エンコーダパルスの入力として使用できます。

それぞれの位相計数モードで接続される外部クロック入力端子を表22.65に示します。

表22.65 位相計数モードクロック入力端子

位相計数モード	TMDR3.PHCKSELビット	外部クロック端子	
		A相	B相
MTU1 16ビット位相計数モード	x (Don't care)	MTCLKA	MTCLKB
MTU2 16ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD
カスケード接続32ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD

22.3.6.1 16ビット位相計数モード

MTU1.TMDR3.LWA = 0 のとき、MTU1とMTU2には各々独立して16ビット位相計数モードが設定できます。

16ビット位相計数モードでは、2本の外部クロック入力の位相差を検出して対応するチャンネルの16ビットカウンタTCNTをアップカウント/ダウンカウントします。

16ビット位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわらずカウンタクロックは外部クロックが選択され、TCNTはアップカウンタ/ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能が使用できます。

これら外部クロック端子は、2相エンコーダパルスの入力として使用できます。

TCNTがアップカウントしているときにオーバフローが発生すると、対応するTIER.TCIEVビットが“1”であれば、TCIV割り込みが発生します。

また、ダウンカウントしているときにアンダフローが発生すると、対応するTIER.TCIEUビットが“1”であれば、TCIU割り込みが発生します。

TSR.TCFDフラグはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

(1) 16ビット位相計数モードの設定手順例

位相計数モードの設定手順例を図 22.30 に示します。

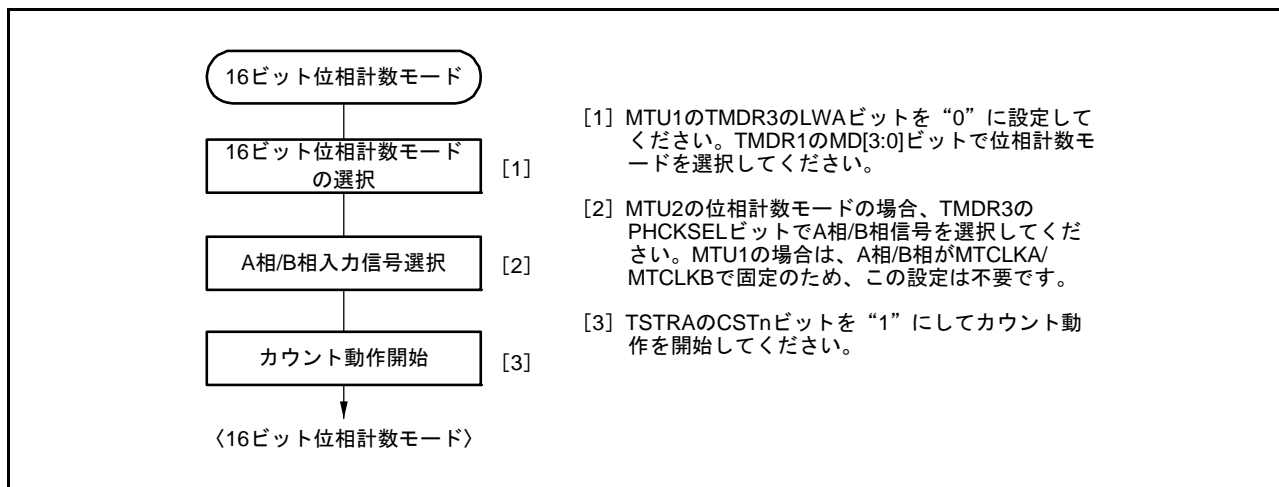


図 22.30 16ビット位相計数モードの設定手順例

(2) 16ビット位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップカウント/ダウンカウントします。なお、カウント条件により5つのモードがあり、各モードはPHCKSEL=1の条件で、つまりMTU1の位相クロックはMTCLKA, MTCLKBから入力、MTU2の位相クロックはMTCLKC, MTCLKDから入力として説明します。

(a) 位相計数モード1

位相計数モード1の動作例を図22.31に、TCNTのアップカウント/ダウンカウント条件を表22.66に示します。

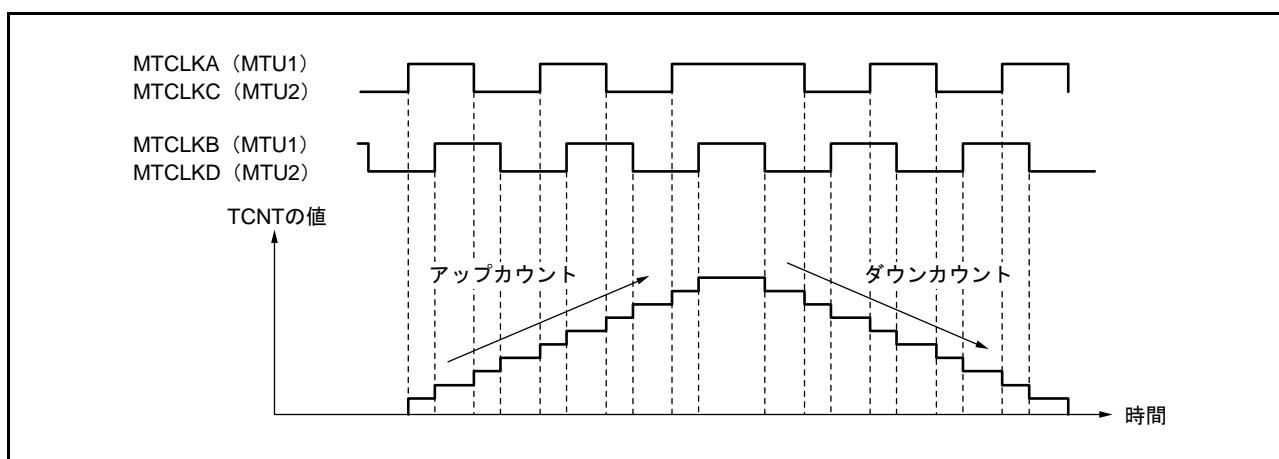


図 22.31 位相計数モード1の動作例

表22.66 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図22.32～図22.34に、TCNTのアップカウント/ダウンカウント条件を表22.67に示します。

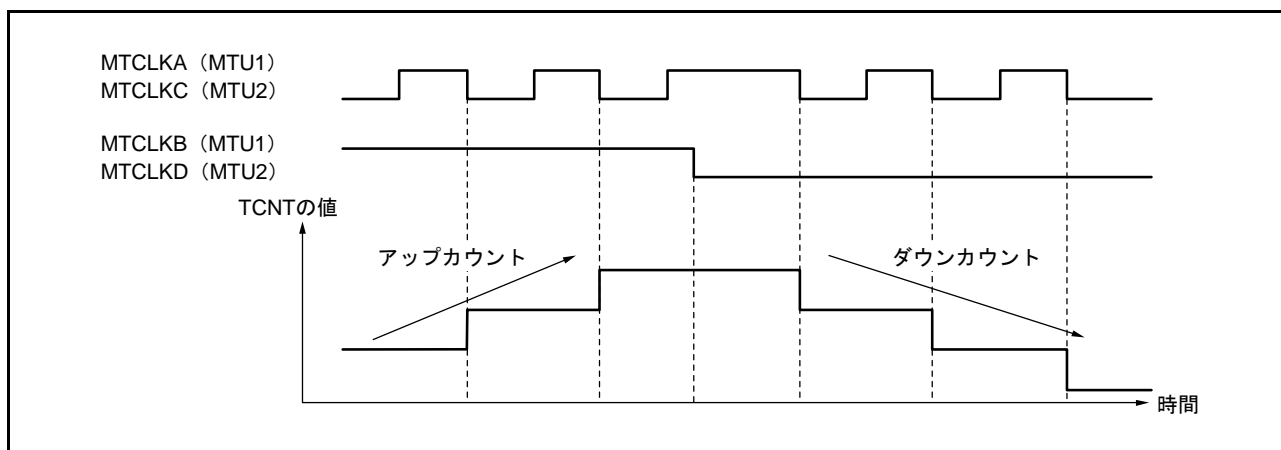


図 22.32 位相計数モード2の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

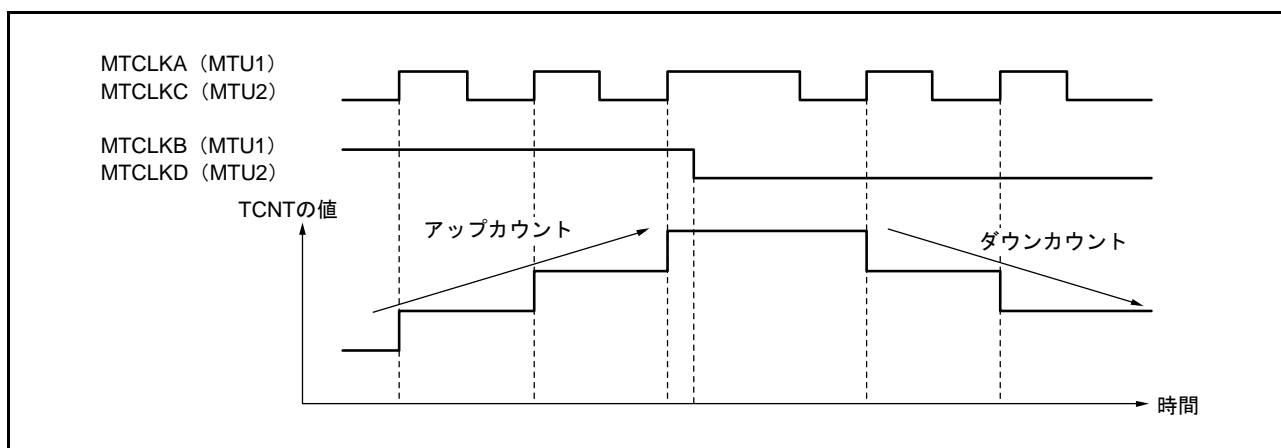


図 22.33 位相計数モード2の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

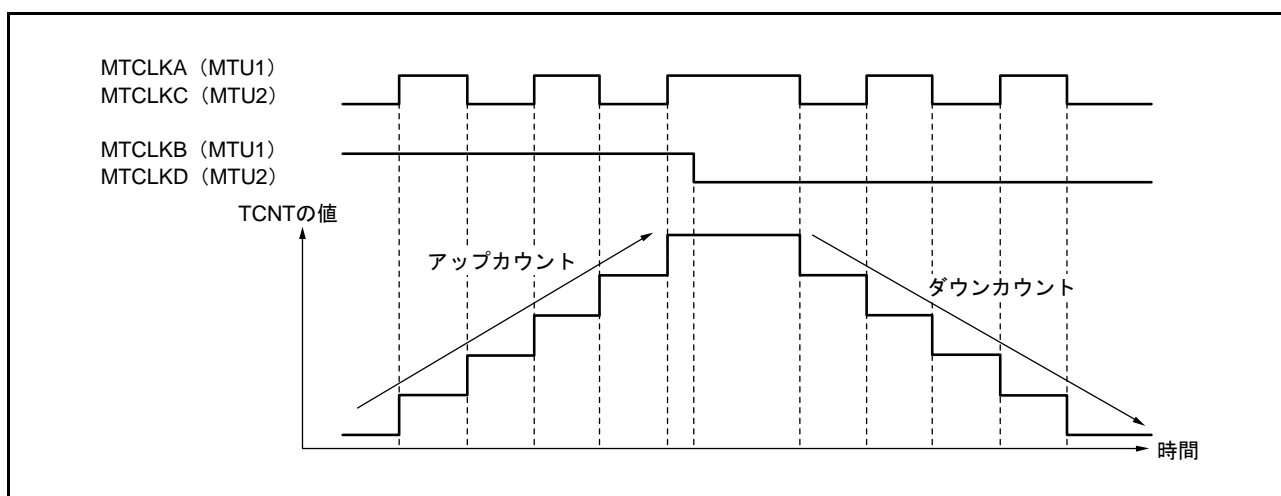




























図 22.34 位相計数モード2の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表22.67 位相計数モード2のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	ダウンカウント
		Low	
01	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	カウントしない (Don't care)
	High		
	Low		アップカウント
		High	
		Low	カウントしない (Don't care)
1x	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	アップカウント
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図22.35～図22.37に、TCNTのアップカウント/ダウンカウント条件を表22.68に示します。

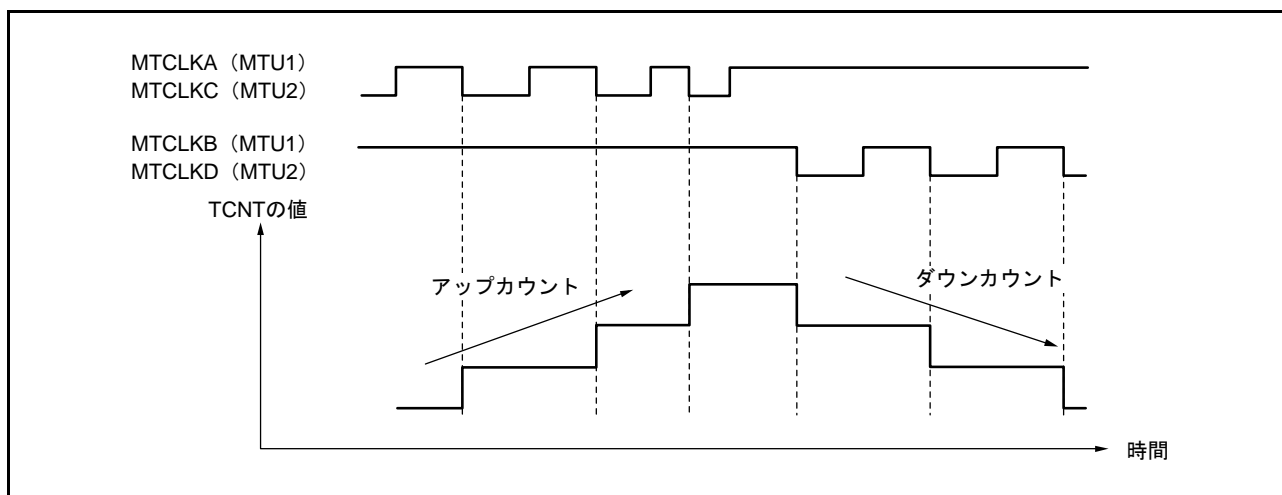


図 22.35 位相計数モード3の動作例 ($MTUn.TCR2.PCB[1:0] = 00b$ のとき ($n = 1, 2$))

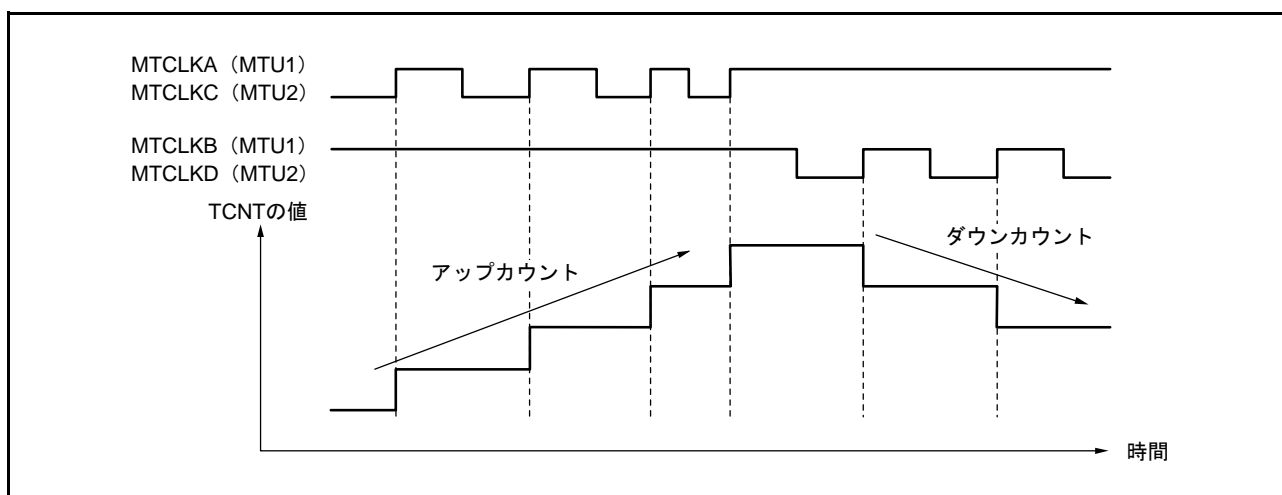


図 22.36 位相計数モード3の動作例 ($MTUn.TCR2.PCB[1:0] = 01b$ のとき ($n = 1, 2$))

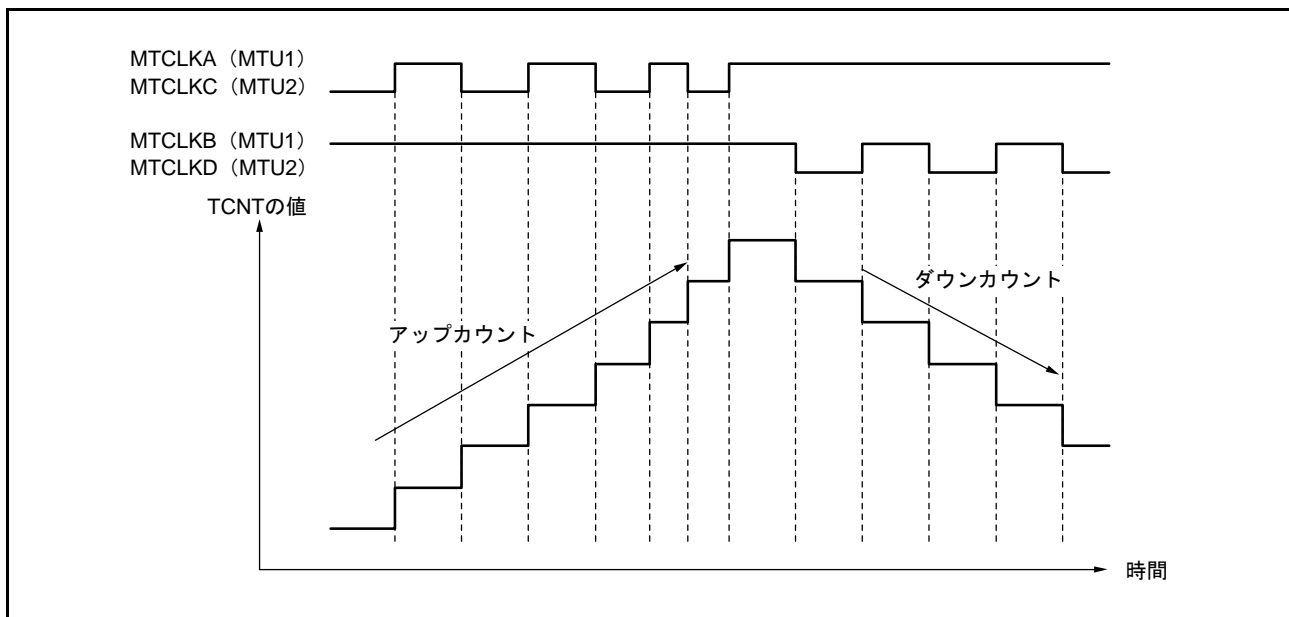




























図 22.37 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表22.68 位相計数モード3のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	
		Low	
01	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	
	High		アップカウント
	Low		
		High	
		Low	カウントしない (Don't care)
1x	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	アップカウント
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	
		Low	アップカウント
		Low	カウントしない (Don't care)

: 立ち上がりエッジ

: 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図22.38に、TCNTのアップカウント/ダウンカウント条件を表22.69に示します。

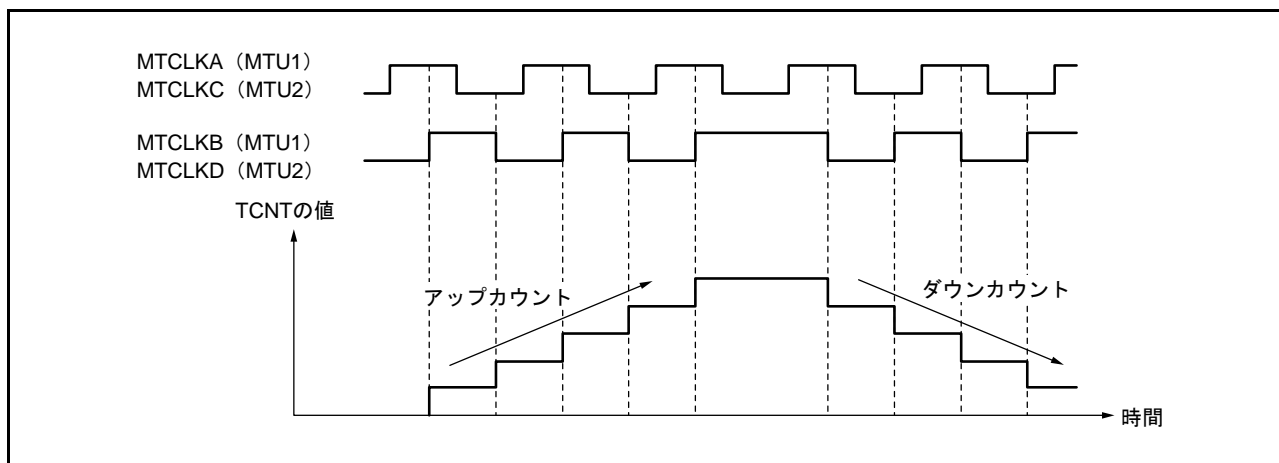


図22.38 位相計数モード4の動作例

表22.69 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(e) 位相計数モード5

位相計数モード5の動作例を図22.39、図22.40に、TCNTのアップカウント/ダウンカウント条件を表22.70に示します。

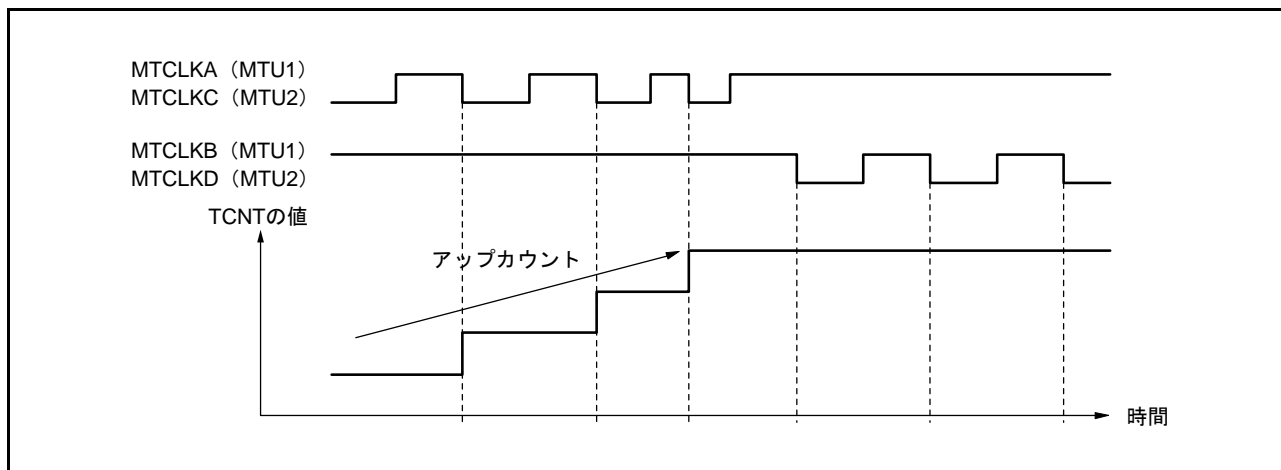


図 22.39 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0] = 0xb のとき (n = 1, 2))

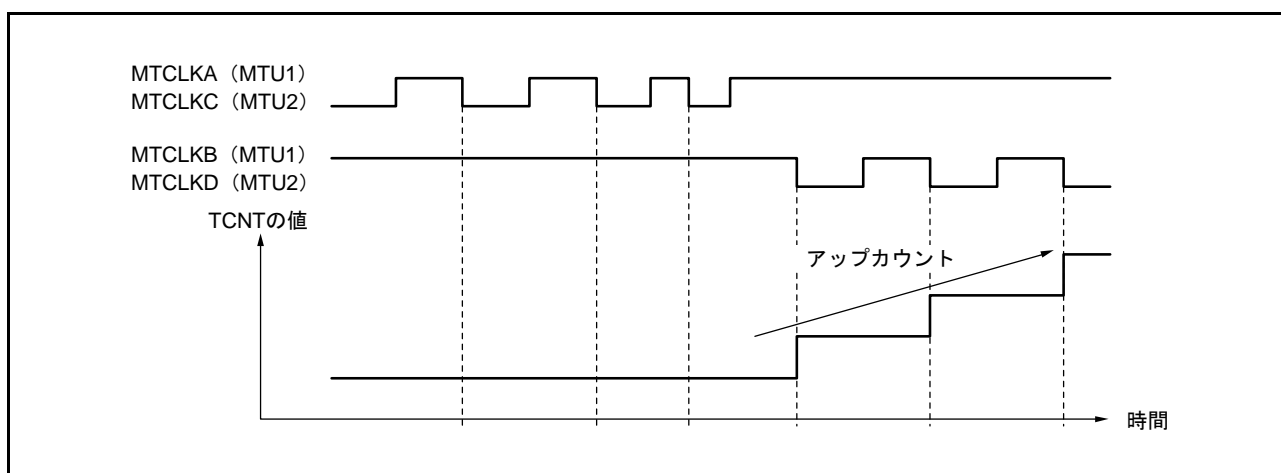




図 22.40 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表22.70 位相計数モード5のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
0x	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	
1x	High		カウントしない (Don't care)
	Low		アップカウント
		Low	カウントしない (Don't care)
		High	
	High		アップカウント
	Low		カウントしない (Don't care)
		High	
		Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 16ビット位相計数モード応用例

MTU1を位相計数モードに設定し、MTU0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図22.41に示します。

MTU1は位相計数モード1に設定し、MTCLKAとMTCLKBにエンコーダパルスのA相、B相を入力します。

MTU0はTCNTをMTU0.TGRCのコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRAとMTU0.TGRCはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRBは入力キャプチャ機能で使用し、MTU0.TGRBとMTU0.TGRDをバッファ動作させます。MTU0.TGRBの入力キャプチャ要因は、MTU1のカウンタクロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

MTU1のMTU1.TGRAとMTU1.TGRBは、入力キャプチャ機能に設定し、入力キャプチャ要因はMTU0のMTU0.TGRAとMTU0.TGRCのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

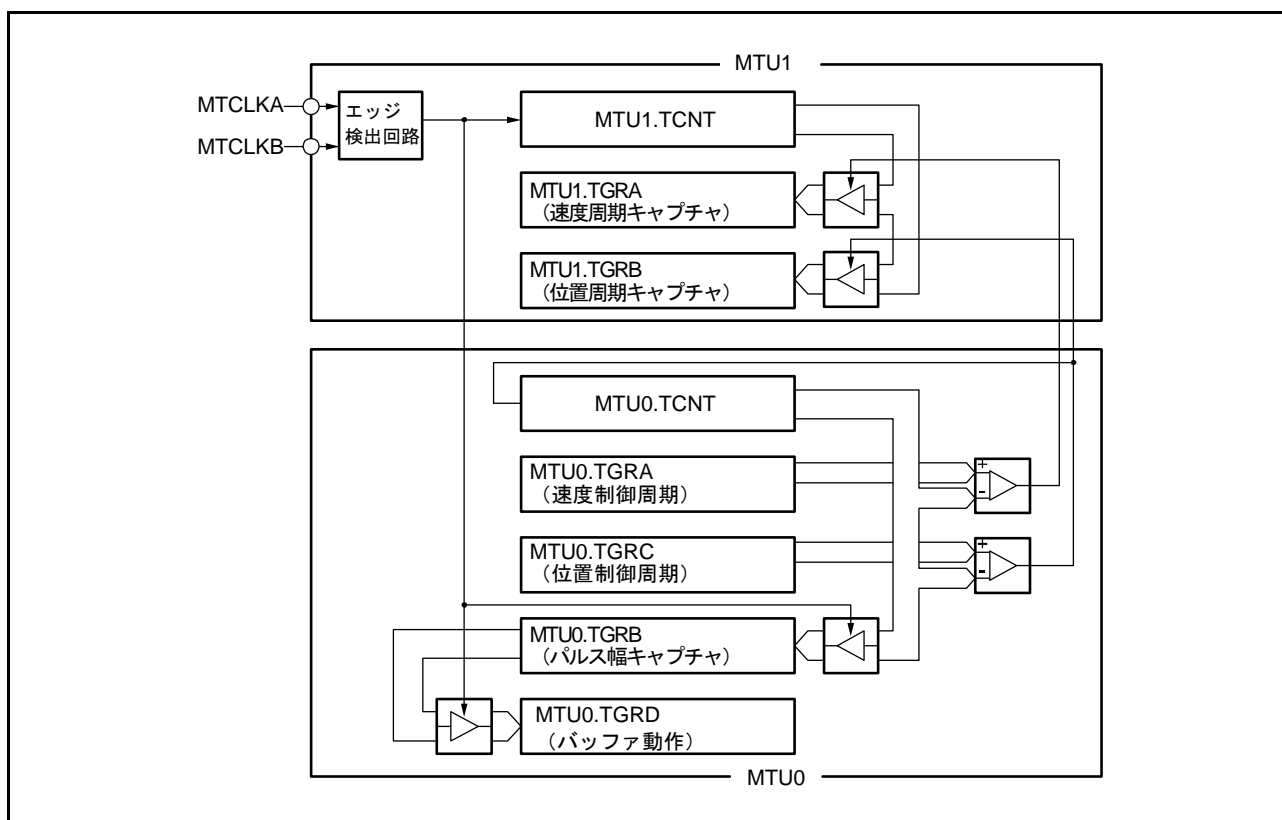


図 22.41 16ビット位相計数モードの応用例

22.3.6.2 カスケード接続 32 ビット位相計数モード

MTU1.TMDR3.LWA = 1 で MTU1 に位相計数モードを設定した場合、図 22.42 のように MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR, TCR2, TIOR, TIER, TGR, TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、図 22.43 を参照してください。

カスケード接続 32 ビット位相計数モードは、A 相、B 相と Z 相の三相信号の入力が可能です。A 相 /B 相に外部入力位相クロック MTCLKA/MTCLKB または MTCLKC/MTCLKD、Z 相に MTIOC1A をそれぞれエンコーダパルスの信号とします。A 相 /B 相の外部クロック入力の選択は、表 22.69 を参照してください。A 相、B 相のパルスによりカウンタイベントを生成し、32 ビットカウンタ MTU1.TCNTLW でカウンタイベントをカウントします。

また、Z 相信号によりインプットキャプチャを発生させることができるので、ジェネラルレジスタにキャプチャされた値から角速度が測定できます。

さらに、MTU8 は 1 ms 時間間隔測定チャネルとして使用でき、1 ms 間隔でカスケード接続 32 ビット位相計数モードとして動作している MTU1 と MTU2 にコンペアマッチ信号を出力することが可能です。つまり、MTU1 と MTU2 は、MTU8 のコンペアマッチ信号をキャプチャ信号として使用し、1 ms 期間での A 相、B 相パルス回数を測定することが可能です。

MTU0 または MTU5 を Z 相信号パルス測定チャネルに指定した場合、MTU8.TGRC レジスタのコンペアマッチ信号をキャプチャ信号およびクリア信号として MTU0 または MTU5 に入力することができ、これにより 1 ms 間隔での Z 相カウントが測定できます。

また、組み合わせされている MTU1, MTU2 のカウンタイベント信号を MTU8.TGRD レジスタのキャプチャ信号として使用することができ、A 相パルス間隔、B 相パルス間隔、その二相パルス間隔を含めての測定が可能です。この場合は、MTU8.TGRD レジスタをバッファ動作に設定してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1, MTU2 を接続するカスケード接続機能については、「22.3.4 カスケード接続動作」を参照してください。

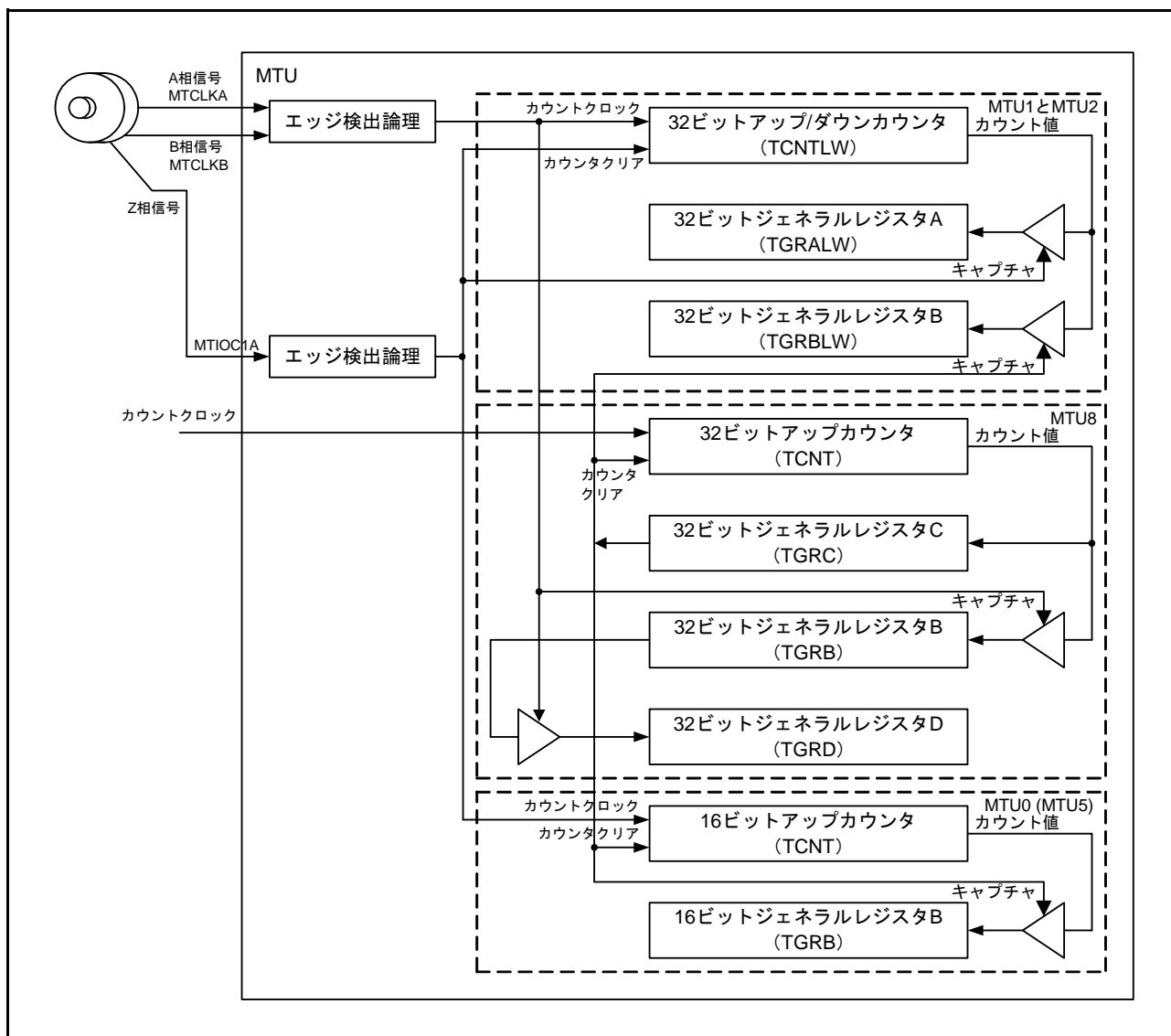


図 22.42 カスケード接続 32 ビット位相計数モード動作ブロック概要

(1) カスケード接続 32 ビット位相計数モードの設定例

カスケード接続 32 ビット位相計数モードの設定手順例を図 22.43 に示します。

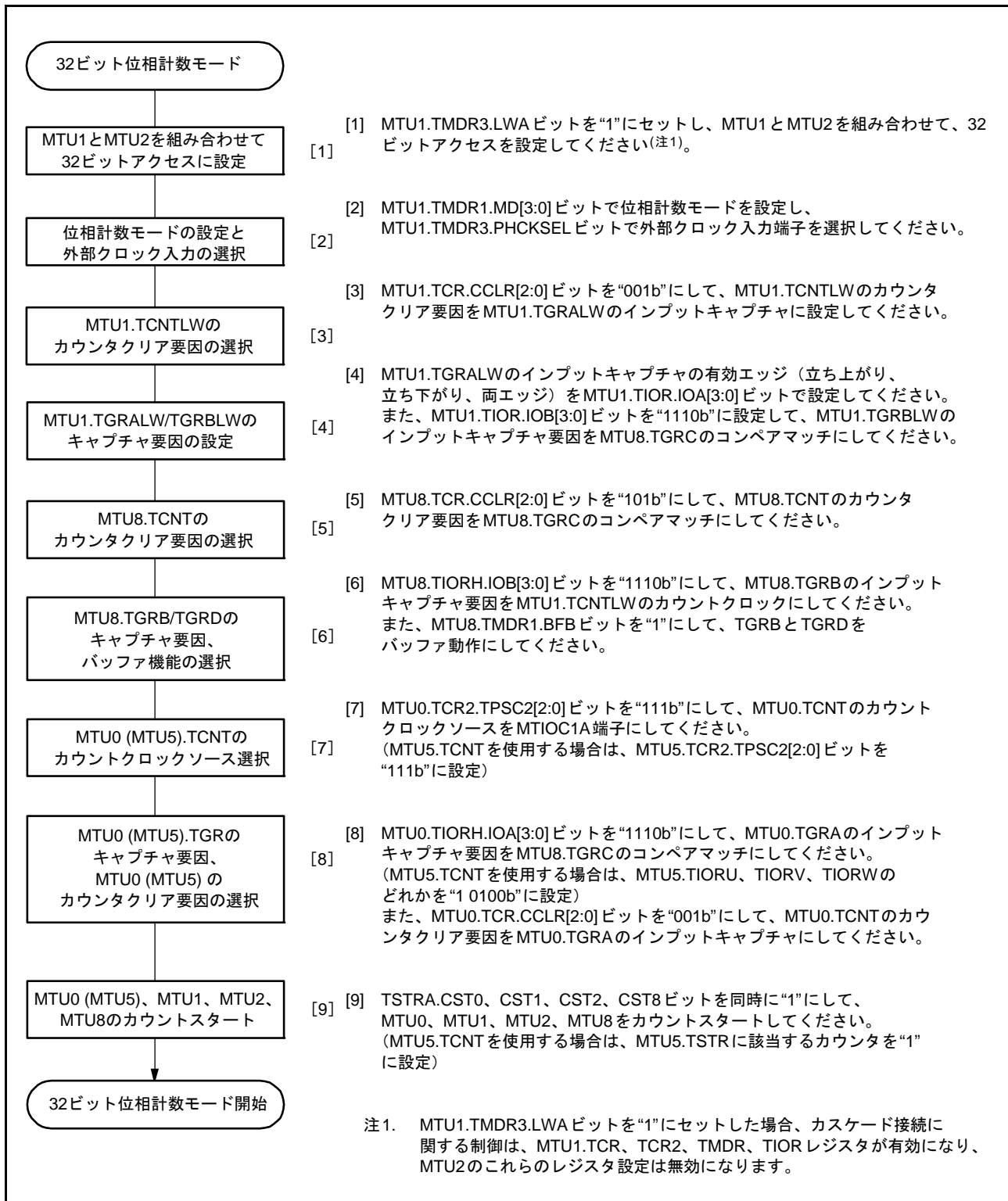


図 22.43 カスケード接続 32 ビット位相計数モード設定手順

22.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 および MTU6、MTU7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D 端子は PWM 出力端子となり、タイマカウンタ 3、6 (MTU3.TCNT, MTU6.TCNT) はアップカウンタとして機能します。

使用される PWM 出力端子を表 22.71 に、使用するレジスタの設定を表 22.72 に示します。

表 22.71 リセット同期PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形）
MTU6	MTIOC6A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM出力端子4
	MTIOC6D	PWM出力端子4'（PWM出力4の逆相波形）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5の逆相波形）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6の逆相波形）

表 22.72 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	"0000h"を初期設定
MTU4.TCNT	"0000h"を初期設定
MTU3.TGRA	MTU3.TCNTのカウンタ周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定
MTU6.TCNT	"0000h"を初期設定
MTU7.TCNT	"0000h"を初期設定
MTU6.TGRA	MTU6.TCNTのカウンタ周期を設定
MTU6.TGRB	MTIOC6B、MTIOC6D端子より出力されるPWM波形の変化点を設定
MTU7.TGRA	MTIOC7A、MTIOC7C端子より出力されるPWM波形の変化点を設定
MTU7.TGRB	MTIOC7B、MTIOC7D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 22.44 に示します。

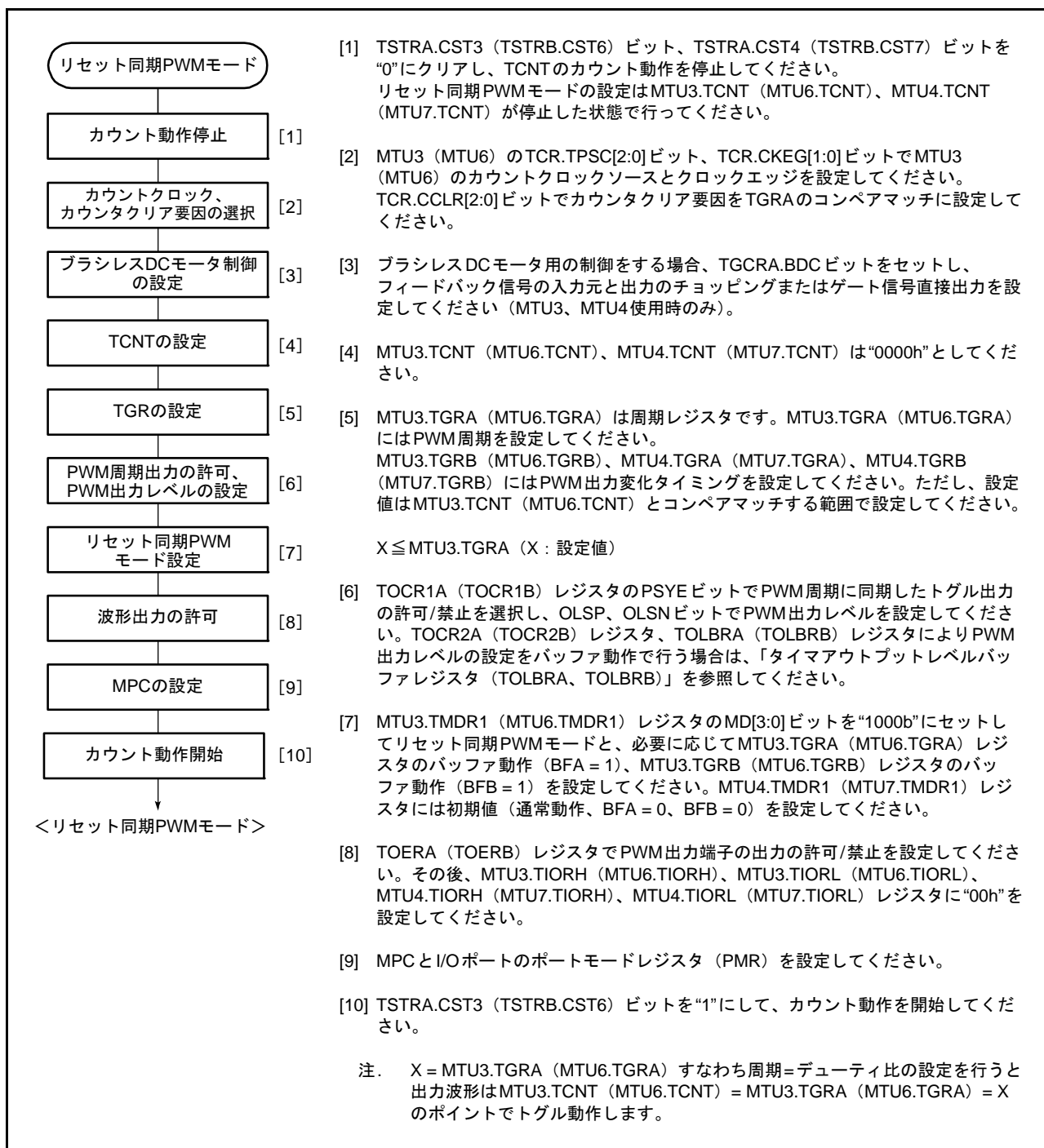


図 22.44 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 22.45 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) はアップカウンタとして動作します。MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) とコンペアマッチするとカウンタはクリアされ“0000h”からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB (MTU6.TGRB)、MTU4.TGRA (MTU7.TGRA)、MTU4.TGRB (MTU7.TGRB) のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

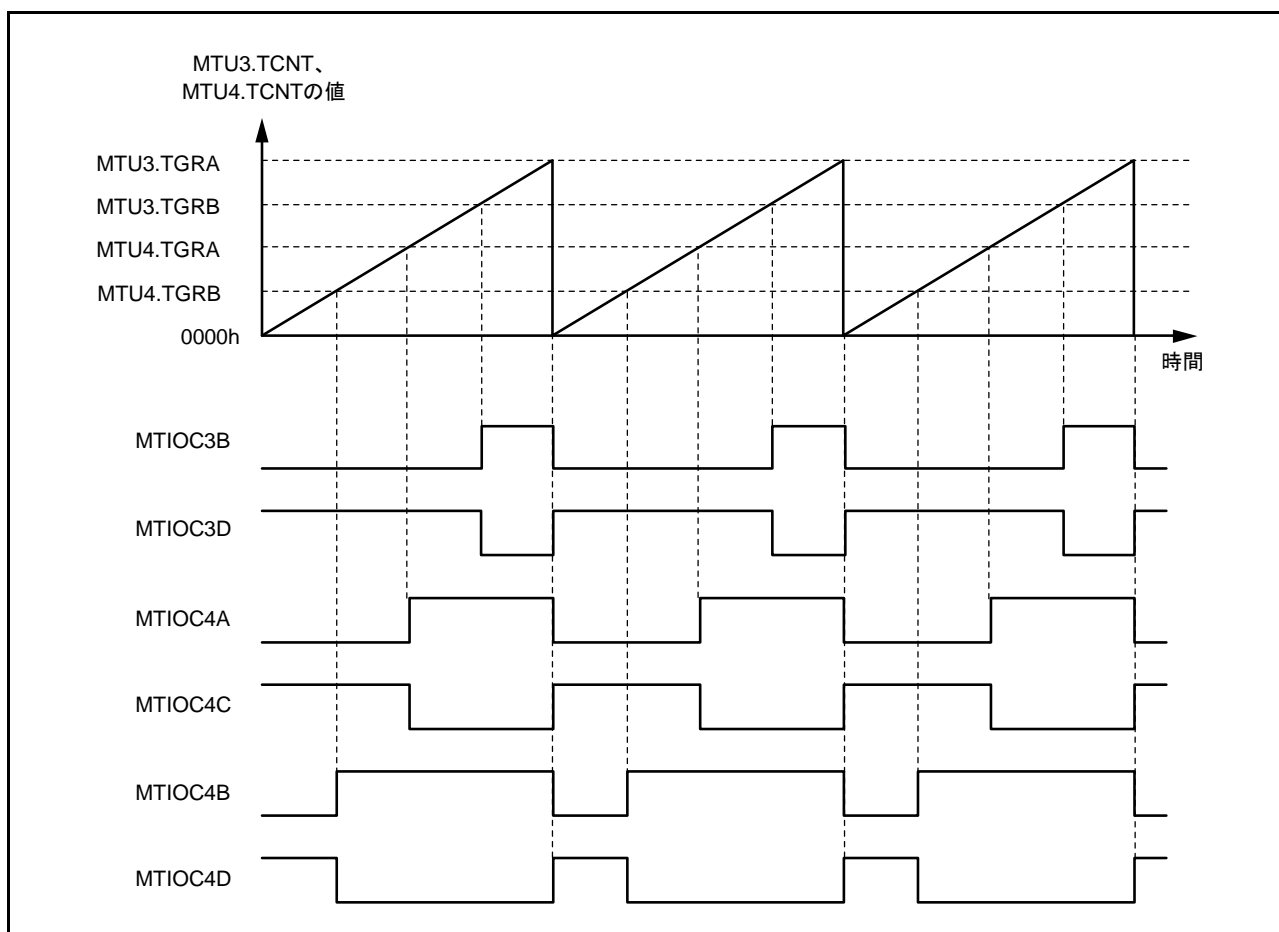


図 22.45 リセット同期 PWM モードの動作例
(MTU3、MTU4、TOCR1A の OLSN = 1、OLSP = 1 にした場合)

22.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 および MTU6、MTU7 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を各 6 相、合計 12 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D 端子は PWM 出力端子となり、MTIOC3A、MTIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT、MTU6.TCNT、MTU7.TCNT はアップカウンタ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 22.73 に、使用するレジスタの設定を表 22.74 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 22.73 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート(注1)
	MTIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形出力）
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形出力）
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形出力）
MTU6	MTIOC6A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM 出力端子 4
	MTIOC6C	入出力ポート(注1)
	MTIOC6D	PWM 出力端子 4'（PWM 出力 4 の逆相波形出力）
MTU7	MTIOC7A	PWM 出力端子 5
	MTIOC7C	PWM 出力端子 5'（PWM 出力 5 の逆相波形出力）
	MTIOC7B	PWM 出力端子 6
	MTIOC7D	PWM 出力端子 6'（PWM 出力 6 の逆相波形出力）

注1. MTIOC3C、MTIOC6C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表22.74 相補PWMモード時のレジスタ設定 (1/2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERAレジスタの設定によりマスク可能(注1)
	TGRA	MTU3.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERAレジスタの設定によりマスク可能(注1)
	TGRB	PWM出力1のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRC	MTU3.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU3.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
MTU4	TCNT	"0000h"を初期設定しカウントアップスタート	TRWERAレジスタの設定によりマスク可能(注1)
	TGRA	PWM出力2のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRB	PWM出力3のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能(注1)
	TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU4.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
	TGRF	MTU4.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
MTU6	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERBレジスタの設定によりマスク可能(注2)
	TGRA	MTU6.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERBレジスタの設定によりマスク可能(注2)
	TGRB	PWM出力4のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRC	MTU6.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力4/MTU6.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU6.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
MTU7	TCNT	"0000h"を初期設定しカウントアップスタート	TRWERBレジスタの設定によりマスク可能(注2)
	TGRA	PWM出力5のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRB	PWM出力6のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能(注2)
	TGRC	PWM出力5/MTU7.TGRAのバッファレジスタ	読み出し/書き込み可能
	TGRD	PWM出力6/MTU7.TGRBのバッファレジスタ	読み出し/書き込み可能
	TGRE	MTU7.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能
	TGRF	MTU7.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み可能

注1. TRWERAレジスタ (タイマリードライトイネーブルレジスタA) の設定によりアクセスの許可/禁止が可能です。

注2. TRWERBレジスタ (タイマリードライトイネーブルレジスタB) の設定によりアクセスの許可/禁止が可能です。

表22.75 相補PWMモード時のレジスタ設定 (2/2)

チャネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
タイマデッドタイムデータ レジスタA (TDDRA)		MTU4.TCNTとMTU3.TCNTのオフセット値（デッドタイムの値）を設定	TRWERAの設定によりマスク可能(注1)
タイマデッドタイムデータ レジスタB (TDDRb)		MTU7.TCNTとMTU6.TCNTのオフセット値（デッドタイムの値）を設定	TRWERBの設定によりマスク可能(注2)
タイマ周期データレジスタA (TCDRA)		MTU4.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERAの設定によりマスク可能(注1)
タイマ周期データレジスタB (TCDRb)		MTU7.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERBの設定によりマスク可能(注2)
タイマ周期バッファレジスタA (TCBRA)		TCDRAのバッファレジスタ	読み出し/書き込み可能
タイマ周期バッファレジスタB (TCBRb)		TCDRbのバッファレジスタ	読み出し/書き込み可能
サブカウンタA (TCNTSA)		デッドタイム生成のためのサブカウンタA	読み出しのみ可能
サブカウンタB (TCNTSB)		デッドタイム生成のためのサブカウンタB	読み出しのみ可能
テンポラリレジスタ1A (TEMP1A)		PWM出力1/MTU3.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ1B (TEMP1B)		PWM出力1/MTU3.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ2A (TEMP2A)		PWM出力2/MTU4.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ2B (TEMP2B)		PWM出力2/MTU4.TGRAのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ3A (TEMP3A)		PWM出力3/MTU4.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ3B (TEMP3B)		PWM出力3/MTU4.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ4A (TEMP4A)		PWM出力4/MTU6.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ4B (TEMP4B)		PWM出力4/MTU6.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ5A (TEMP5A)		PWM出力5/MTU7.TGRAのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ5B (TEMP5B)		PWM出力5/MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ6A (TEMP6A)		PWM出力6/MTU7.TGRBのテンポラリレジスタA	読み出し/書き込み不可能
テンポラリレジスタ6B (TEMP6B)		PWM出力6/MTU7.TGRBのテンポラリレジスタB（ダブルバッファ機能使用時）	読み出し/書き込み不可能

注1. TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可/禁止が可能です。

注2. TRWERBレジスタ（タイマリードライトイネーブルレジスタB）の設定によりアクセスの許可/禁止が可能です。

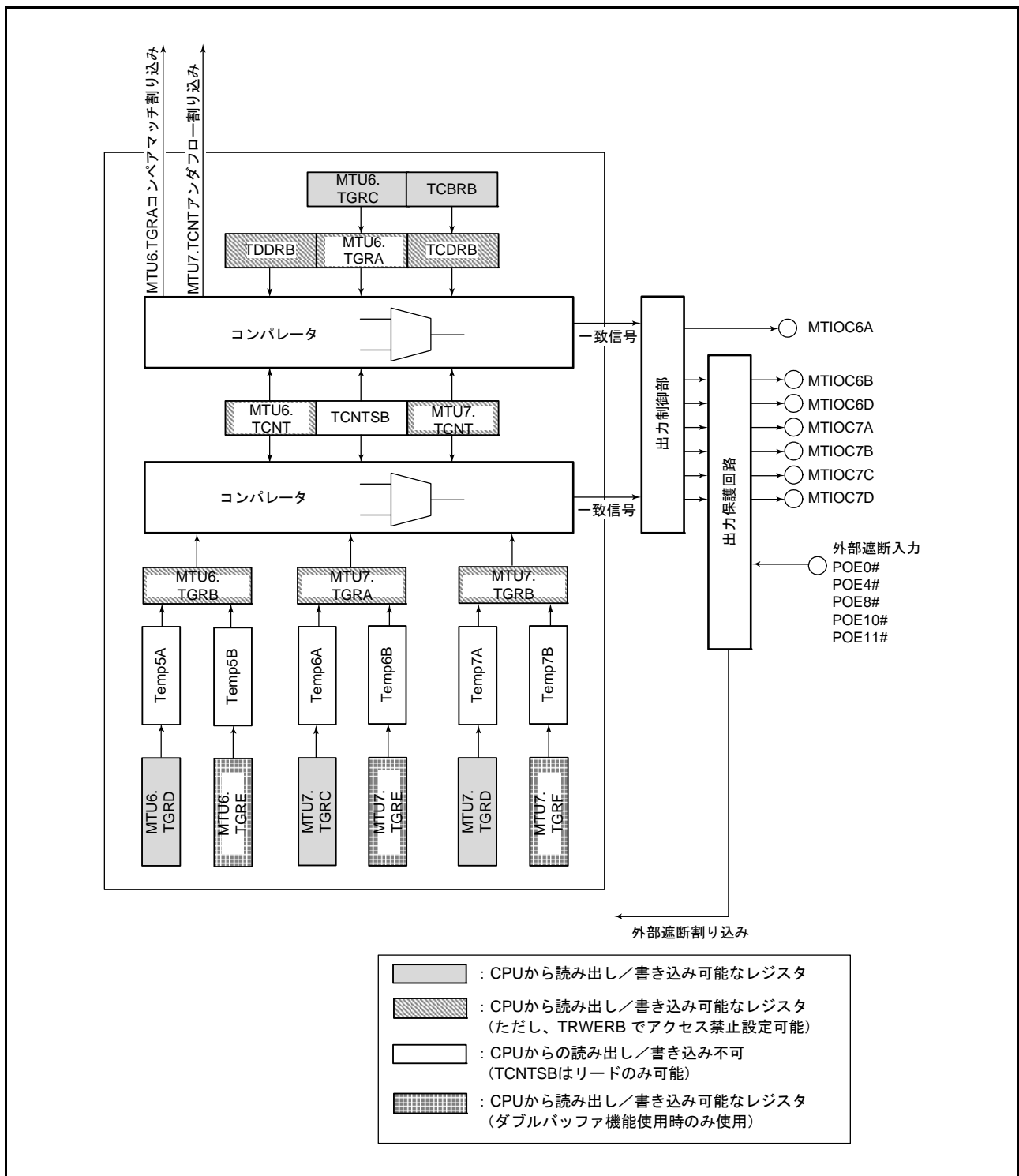


図 22.47 相補 PWM モード時の MTU6、MTU7 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 22.48 に示します。



図 22.48 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 出力が可能です。図 22.49 に相補 PWM モードのカウンタの動作 (MTU3, MTU4) を示します。図 22.50 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) レジスタの3本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT (MTU6.TCNT) は、相補 PWM モードに設定され TSTRA (TSTRB) の CST3 ビットが“0”のとき、TDDRA (TDDRb) に設定された値が自動的に初期値として設定されます。CST3 ビットが“1”になると、MTU3.TGRA (MTU6.TGRA) に設定された値までアップカウント動作を行い、MTU3.TGRA (MTU6.TGRA) と一致するとダウンカウントに切り替わります。その後、MTU4.TCNT (MTU7.TCNT) が“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT (MTU7.TCNT) には、初期値として“0000h”を設定します。CST4 ビットが“1”に設定されると、MTU3.TCNT (MTU6.TCNT) に同期して動作しアップカウントを行い、MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) と一致するとダウンカウントに切り替わります。この後、“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTSA (TCNTSB) は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) がアップカウント時、MTU3.TCNT (MTU6.TCNT) が TCDRA (TCDRB) と一致するとダウンカウントを開始し、MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) と一致するとアップカウントに切り替わります。

また、MTU4.TCNT (MTU7.TCNT) と TDDRA (TDDRb) が一致すると TCNTSA (TCNTSB) は MTU3.TGRA (MTU6.TGRA) の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) がダウンカウント時、MTU4.TCNT (MTU7.TCNT) が TDDRA (TDDRb) と一致するとアップカウントを開始し、MTU4.TCNT (MTU7.TCNT) が“0000h”と一致するとダウンカウントに切り替わります。

また、MTU3.TCNT (MTU6.TCNT) と TCDRA (TCDRB) が一致すると TCNTSA (TCNTSB) は“0000h”になり、カウントを停止します。

TCNTSA (TCNTSB) は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

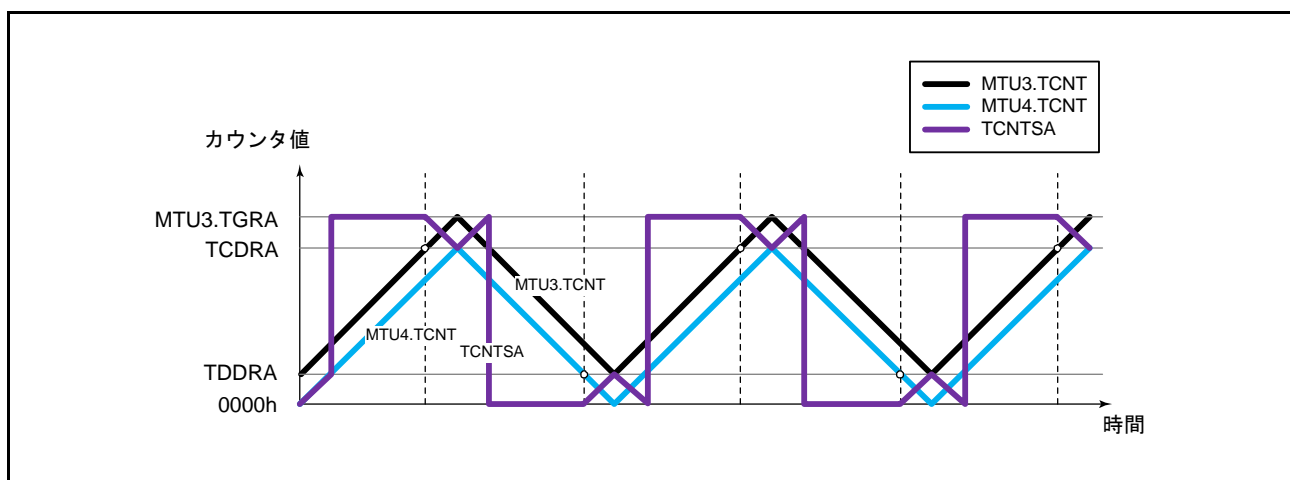


図 22.49 相補 PWM モードのカウント動作 (MTU3, MTU4)

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用して、PWM 出力のデューティ制御を行います。図 22.50 に相補 PWM モードの動作例 (MTU3, MTU4) を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB (MTU6.TGRB, MTU7.TGRA, MTU7.TGRB) です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR1A, TOCR1B) の OLSN、OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD, MTU7.TGRC, MTU7.TGRD) です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE, MTU7.TGRE, MTU7.TGRF) も使用されます。動作の詳細は「22.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、読み出し/書き込みが可能です。

バッファレジスタのデータを書き替える場合は、最後に MTU4.TGRD (MTU7.TGRD) への書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBRA (TCBRB) レジスタ、MTU3.TGRC (MTU6.TGRC) レジスタからテンポラリレジスタへの転送も許可されます。転送は5本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後にテンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき (TCNTSA (TCNTSB) がアップカウント時に MTU3.TGRA (MTU6.TGRA) と一致したとき)、または Tb2 区間が終了したとき (TCNTSA (TCNTSB) がダウンカウント時に “0000h” と一致したとき) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで選択できます。図 22.50 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 22.50 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT, MTU7.TCNT および TCNTSB) の3本のカウンタとコンペアレジスタ、テンポラリレジスタの2本のレジスタが比較され、PWM 出力を制御します。

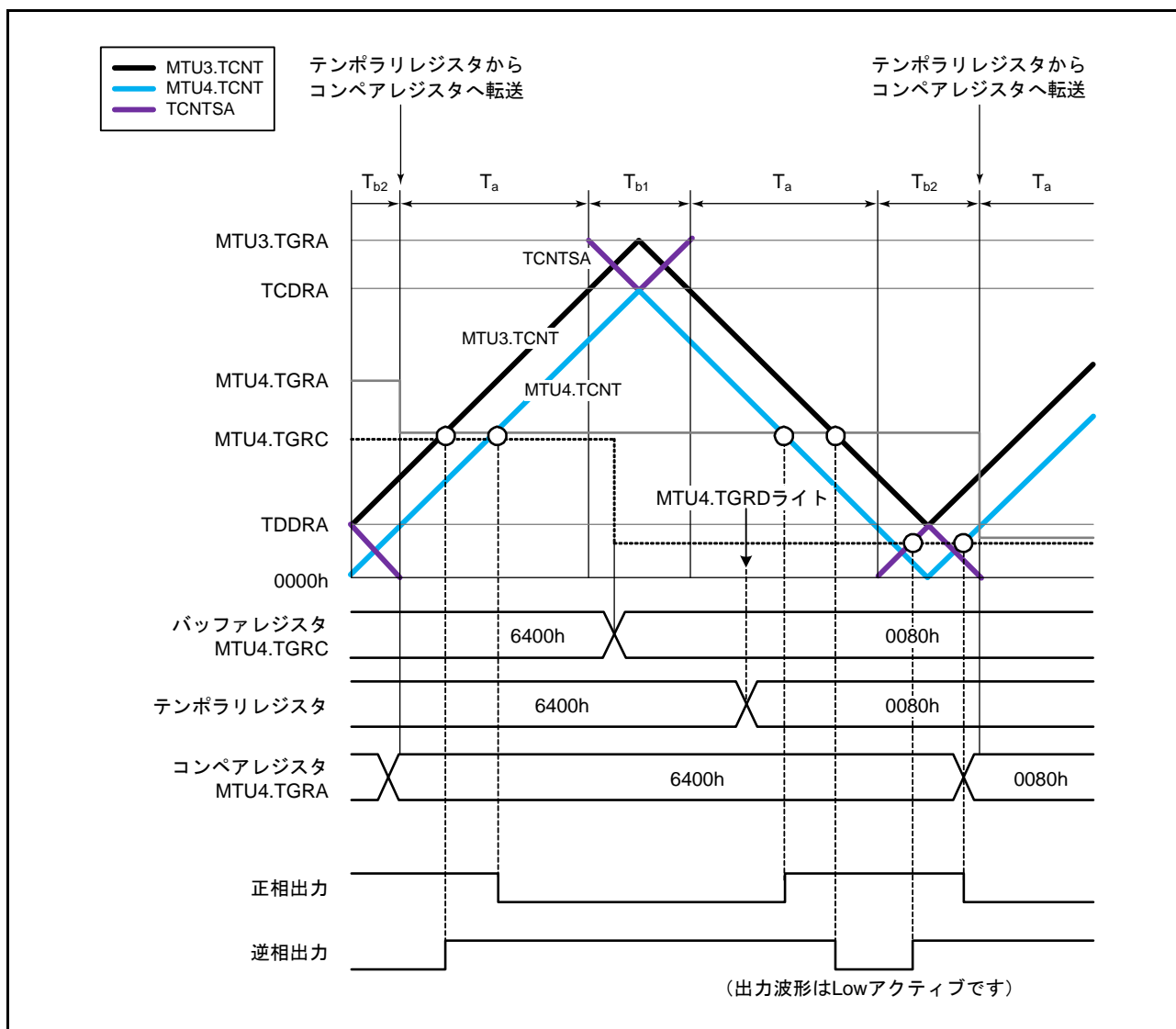


図 22.50 相補 PWM モード動作例 (MTU3, MTU4)

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが9本あります。また、デッドタイム生成の有無を設定するレジスタが1本あります（デッドタイムを生成しない場合のみ設定してください）。

MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TOCR1A、TOCR2A、TOCR1B、TOCR2B レジスタは、PWM 出力レベルを設定します。MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして動作し、PWM 周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBRA, TCBRB) は、タイマ周期データレジスタ (TCDRA, TCDRB) のバッファレジスタとして動作し、PWM 周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDRA, TDDRB) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDERA, TDERB) の TDER ビットを“0”にし、MTU3.TGRC、MTU3.TGRA (MTU6.TGRC, MTU6.TGRA) には、PWM キャリア周期の $1/2 + 1$ を、TDDRA (TDDRB) を“1”にします。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD, MTU7.TGRC, MTU7.TGRD)) の3本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE, MTU7.TGRE, MTU7.TGRF)) の3本には、ダブルバッファ機能使用時のみ、それぞれ PWM デューティの初期値 - 1 を設定します。

TDDRA (TDDRB) を除く5本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT (MTU7.TCNT) は、相補 PWM モードに設定する前に“0000h”にしてください。

表22.76 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TOCR1A, TOCR2A, TOCR1B, TOCR2B	PWM出力レベルを設定
MTU3.TGRC MTU6.TGRC	PWM周期の $1/2 + \text{デッドタイム } T_d$ TDERA/TDERBでデッドタイム生成をなしに設定した場合はPWM周期の $1/2 + 1$)
TDDRA, TDDRB	デッドタイム T_d (TDERA/TDERBでデッドタイム生成をなしに設定した場合“1”)
TCBRA, TCBRB	PWM周期の $1/2$
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD MTU6.TGRD, MTU7.TGRC, MTU7.TGRD	各相のPWMデューティ比の初期値
MTU3.TGRE, MTU4.TGRE, MTU4.TGRF MTU6.TGRE, MTU7.TGRE, MTU7.TGRF	各相のPWMデューティ比の初期値 - 1 (ダブルバッファ機能使用時のみ)
MTU4.TCNT MTU7.TCNT	“0000h”

注. MTU3.TGRC (MTU6.TGRC) の設定値は、TCBRA (TCBRB) に設定するPWM周期の $1/2$ の値とTDDRA (TDDRB) に設定するデッドタイム T_d の値の和としてください。ただし、TDERA (TDERB) レジスタでデッドタイム生成をなしに設定した場合は、PWM周期の $1/2 + 1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1A, TOCR1B) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2A, TOCR2B) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、タイマデッドタイムデータレジスタ (TDDRA, TDDRB) に設定します。TDDRA (TDDRB) に設定した値が、MTU3.TCNT (MTU6.TCNT) のカウンタスタート値となり、MTU3.TCNT (MTU6.TCNT) と MTU4.TCNT (MTU7.TCNT) のノンオーバーラップを生成します。TDDRA (TDDRB) の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDERA, TDERB) の TDER ビットを“0”にします。TDERA (TDERB) は、TDER ビット=1 の状態で TDER ビットを読んだ後、TDER ビットに“0”を書いたときのみ、“0”にできます。

MTU3.TGRA、MTU3.TGRC (MTU6.TGRA, MTU6.TGRC) にはPWM 周期の $1/2 + 1$ を設定し、タイマデッドタイムデータレジスタ (TDDRA, TDDRB) を“1”にします。

デッドタイムを生成しない設定にすると、デッドタイムなしのPWM 波形を出力できます。図 22.51 にデッドタイムを生成しない場合の動作例 (MTU3, MTU4) を示します。

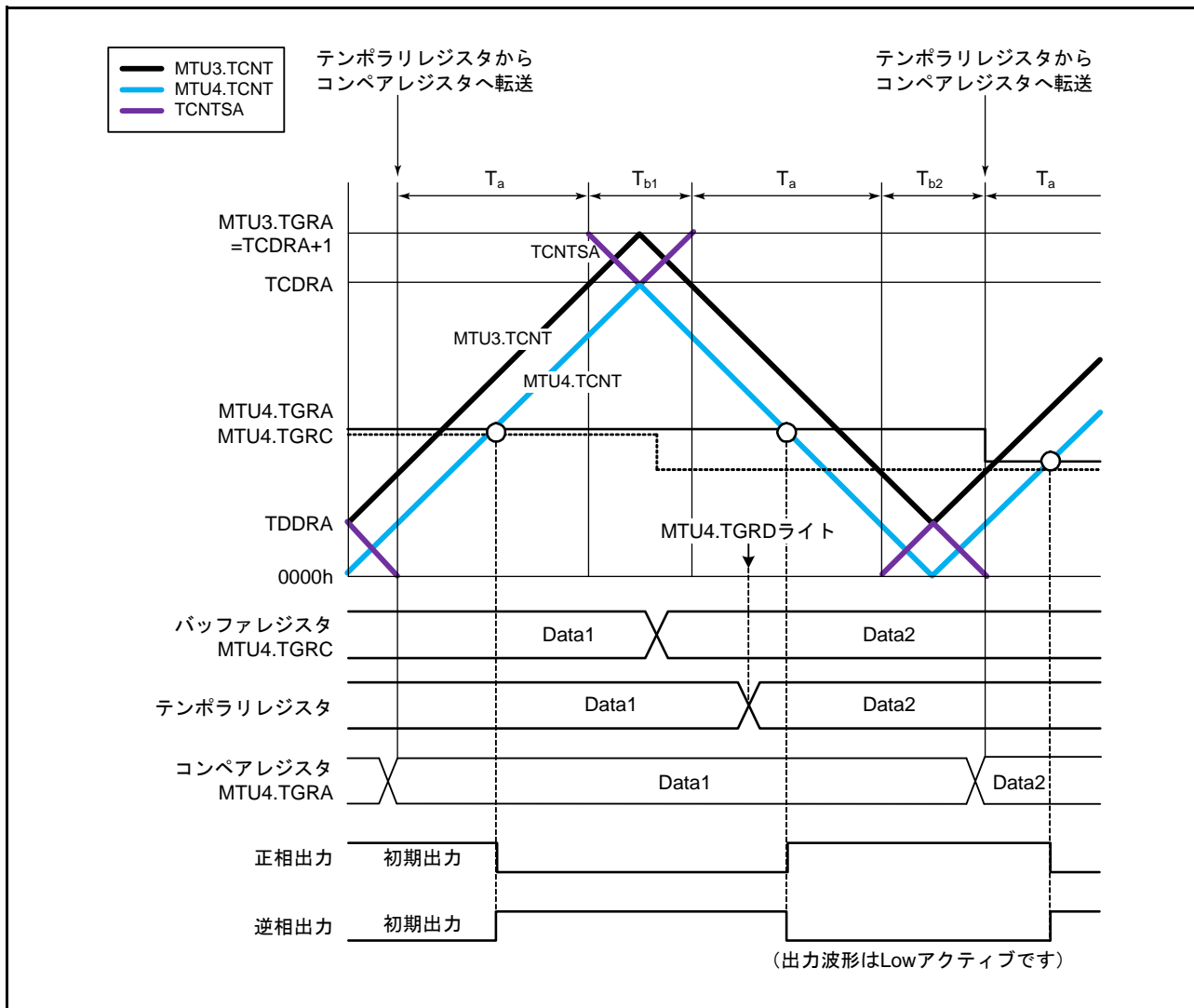


図 22.51 デッドタイムを生成しない場合の動作例 (MTU3, MTU4)

(g) PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT (MTU6.TCNT) の上限値を設定する MTU3.TGRA (MTU6.TGRA) と MTU4.TCNT (MTU7.TCNT) の上限値を設定する TCDRA (TCDRB) の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + TDDRA (TDDRB) の設定値

デッドタイム生成なし : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + 1

また、TCDRA (TCDRB) レジスタと TDDRA (TDDRB) レジスタの関係が、次の関係になるよう設定してください。

$TCDRA (TCDRB) の設定値 > TDDRA (TDDRB) の設定値 \times 2 + 2$

また、MTU3.TGRA、TCDRA (MTU6.TGRA、TCDRB) の設定は、バッファレジスタの MTU3.TGRC、TCBRA (MTU6.TGRC、TCBRB) に値を設定することで行ってください。MTU4.TGRD (MTU7.TGRD) への書き込みを行い転送を許可すると MTU3.TGRC、TCBRA (MTU6.TGRC、TCBRB) に設定した値は、MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで選択した転送タイミングで MTU3.TGRA、TCDRA (MTU6.TGRA、TCDRB) に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 22.52 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次項の「(h) レジスタデータの更新」を参照してください。

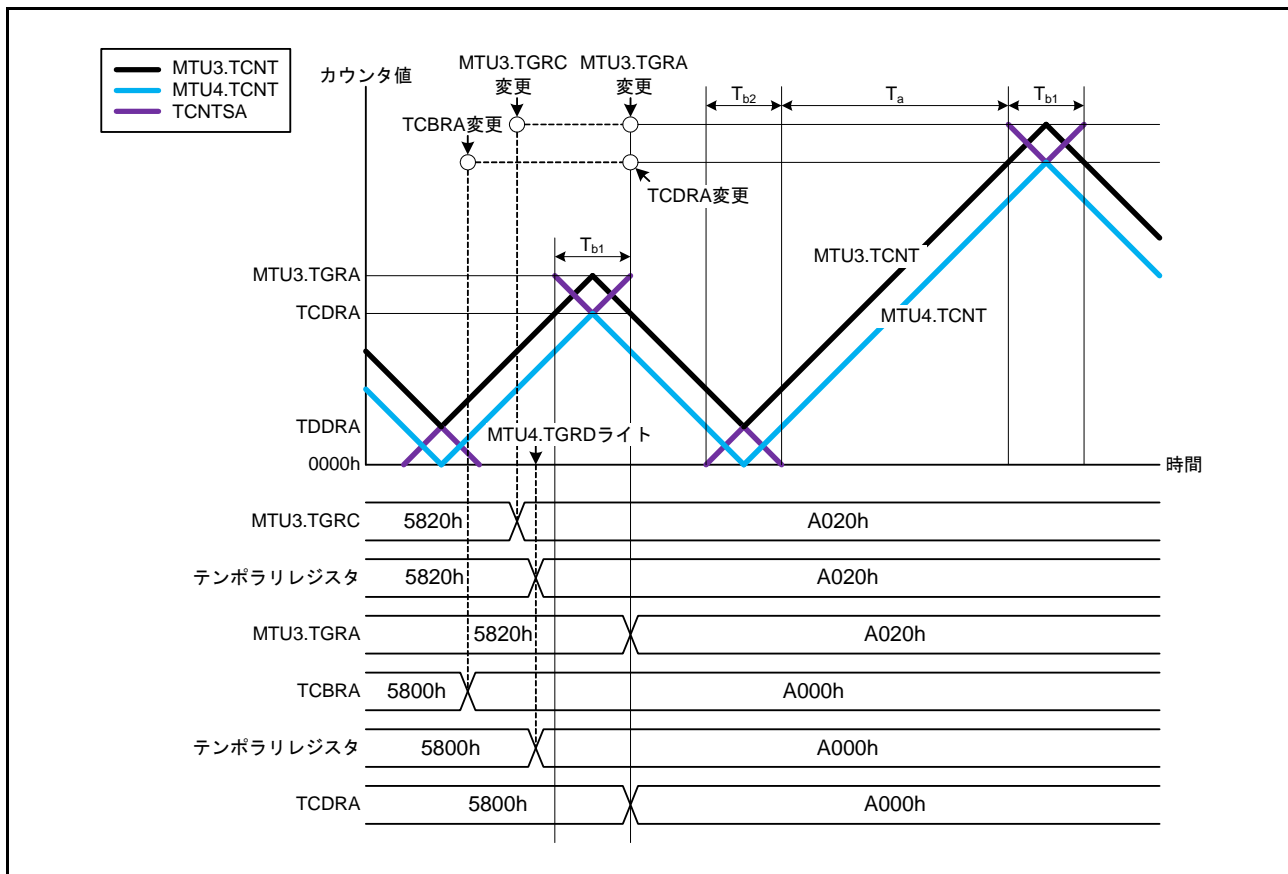


図 22.52 PWM 周期の変更例 (MTU3, MTU4)

(h) レジスタデータの更新

相補 PWM モードで、PWM デューティ用および PWM 周期用のコンペアレジスタ (5 本) のデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA (TCNTSB) がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTSA (TCNTSB) がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA (TCNTSB) が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、MTU3.TMDR1.MD[3:0] (MTU6.TMDR1.MD[3:0]) ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 22.53 に相補 PWM モード時のデータ更新例 (MTU3、MTU4) を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD (MTU7.TGRD) への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD (MTU7.TGRD) に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD (MTU7.TGRD) のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD (MTU7.TGRD) に書き込み動作を行ってください。またこのとき、MTU4.TGRD (MTU7.TGRD) に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「22.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

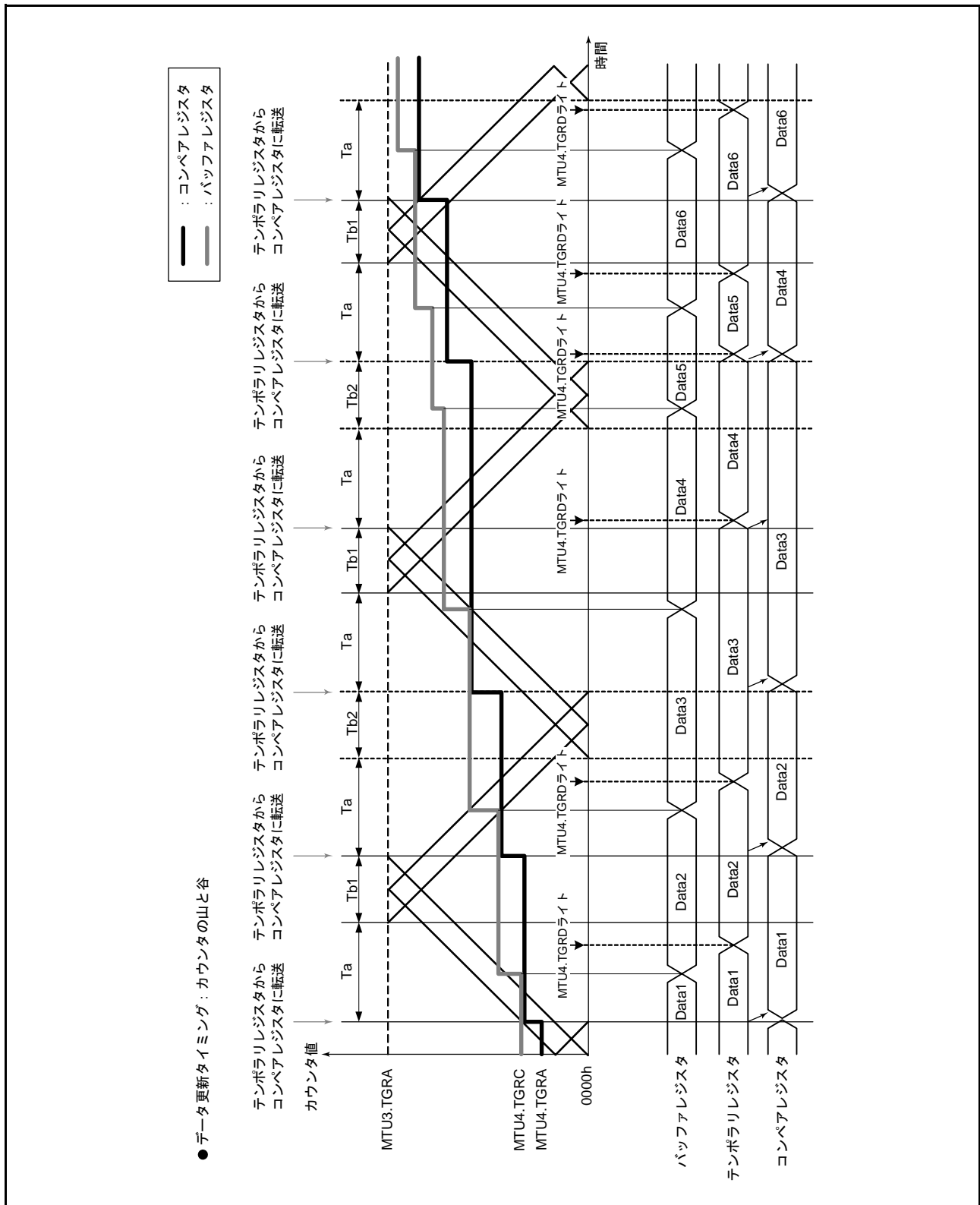


図 22.53 相補 PWM モードのデータ更新例 (MTU3, MTU4)

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1A (TOCR1B) レジスタの OLSN、OLSP ビットの設定または、TOCR2A (TOCR2B) レジスタの OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、MTU3.TMDR1 (MTU6.TMDR1) で相補 PWM モードを設定してから MTU4.TCNT (MTU7.TCNT) が TDDRA (TDDRB) レジスタに設定された値より大きくなるまで出力されます。図 22.54 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA (TDDRB) の値より小さい場合の波形例を図 22.55 に示します。

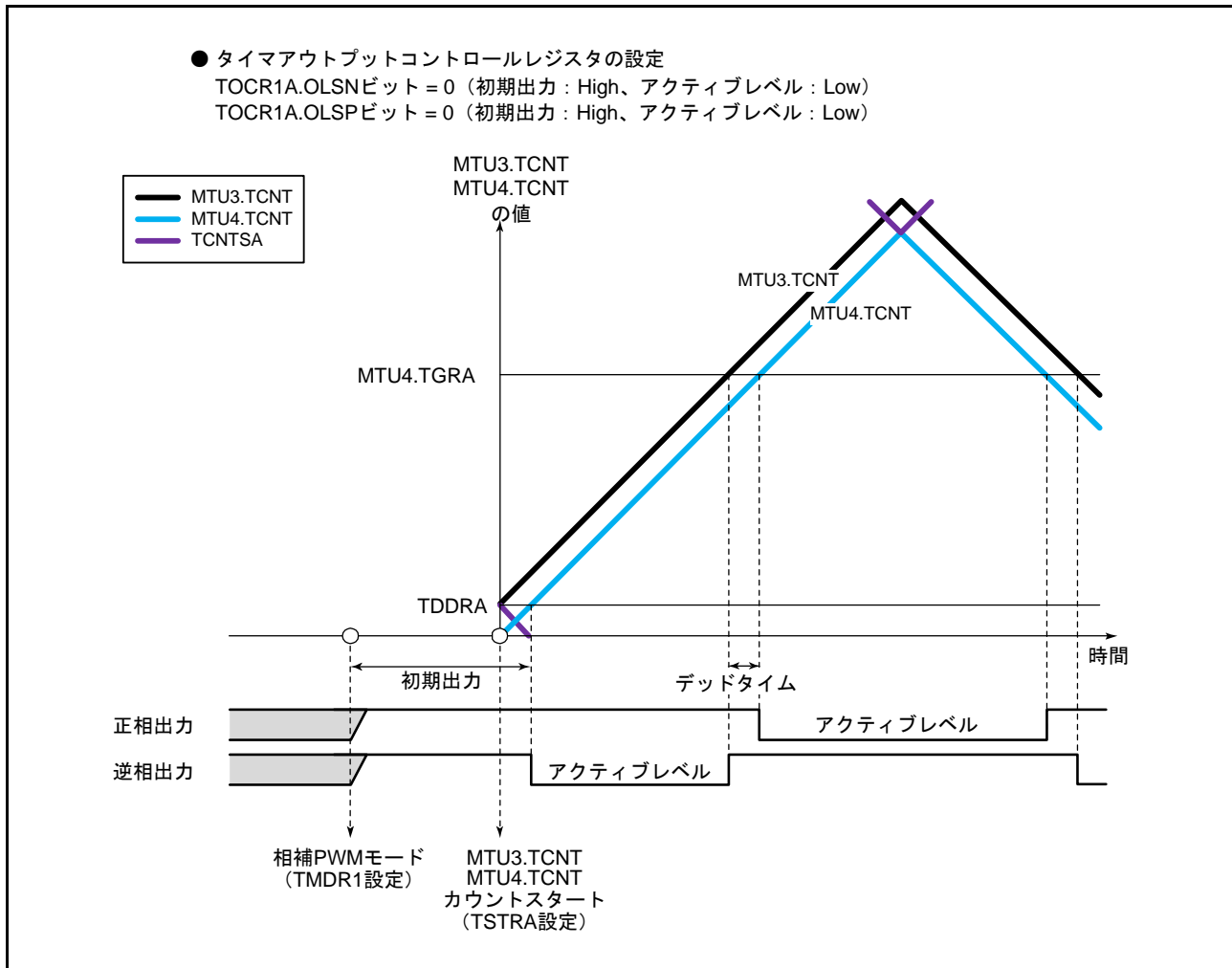


図 22.54 相補 PWM モードの初期出力例 (MTU3, MTU4) (1)

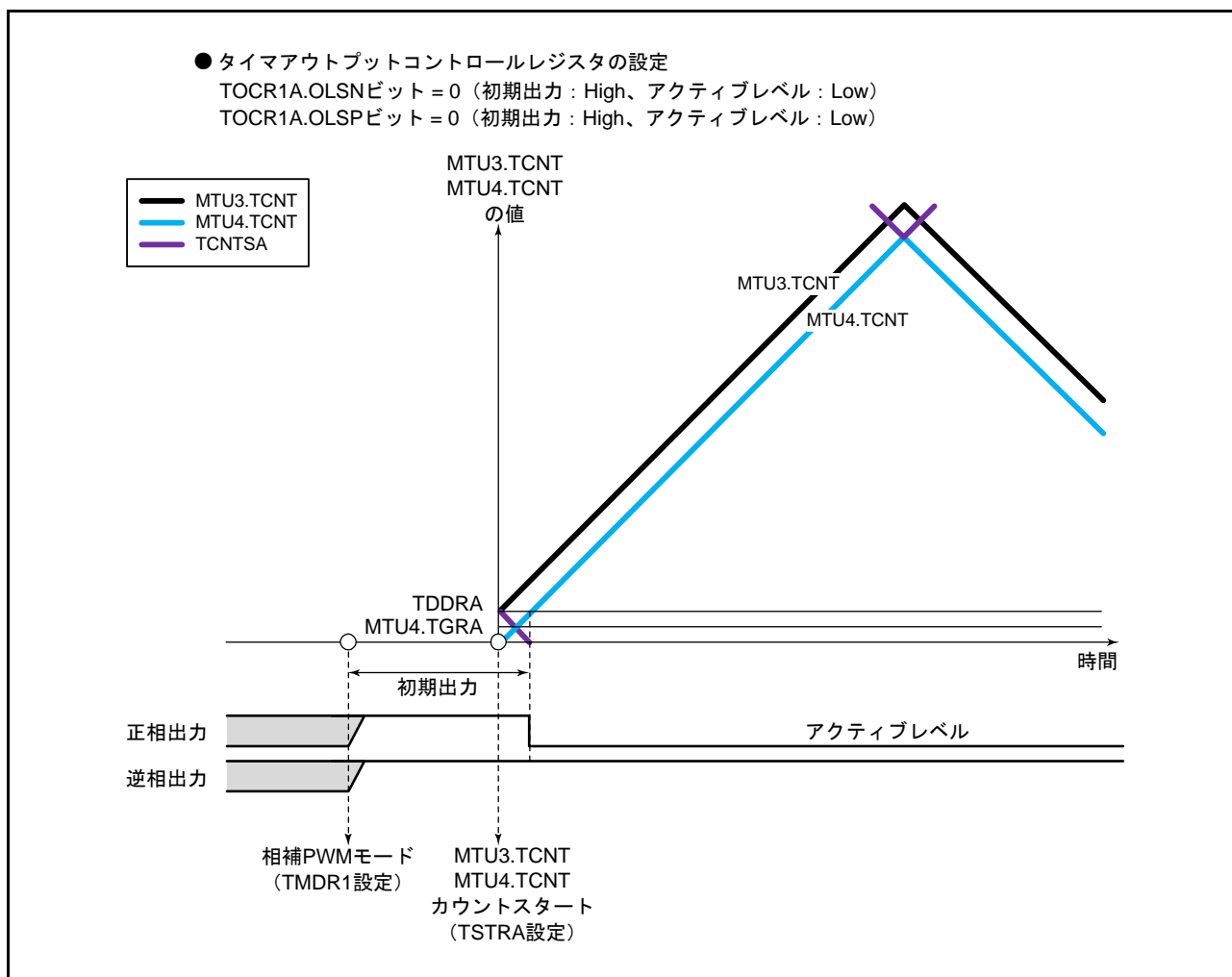


図 22.55 相補 PWM モードの初期出力例 (MTU3, MTU4) (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは 6 相（正相 3 本、逆相 3 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA (TCNTSB) がカウント動作する期間では、デューティ 0% ~ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 22.56 ~ 図 22.58 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 22.56 に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 22.57 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 22.58 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

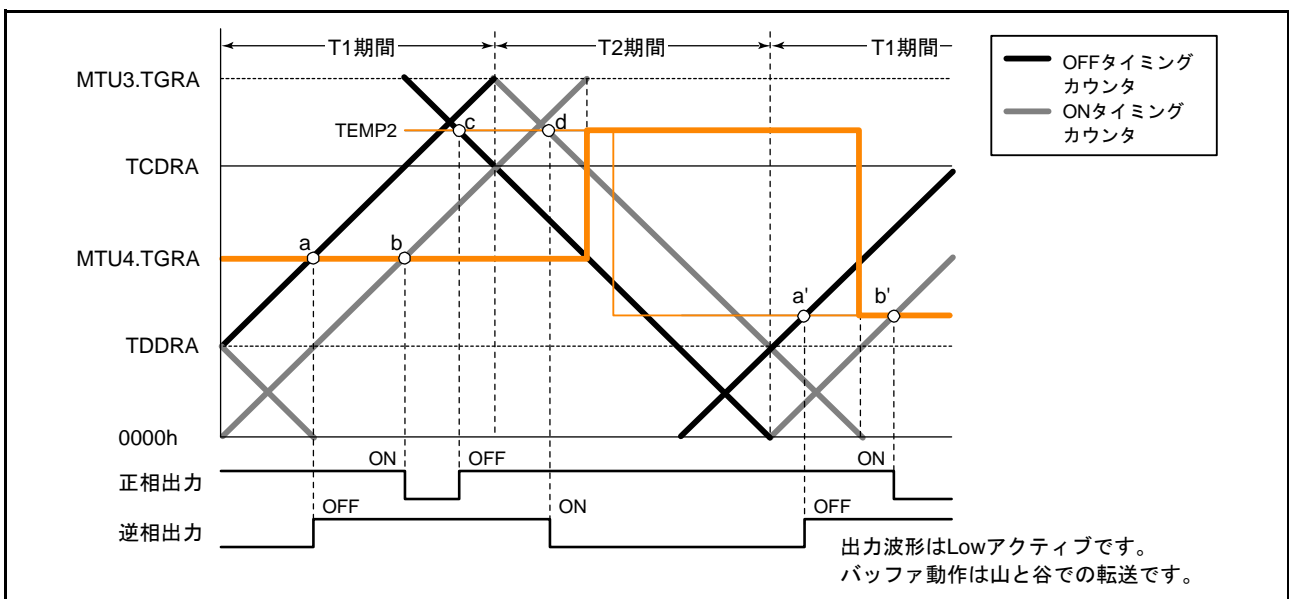


図 22.56 相補 PWM モード波形出力例 (MTU3, MTU4) (1)

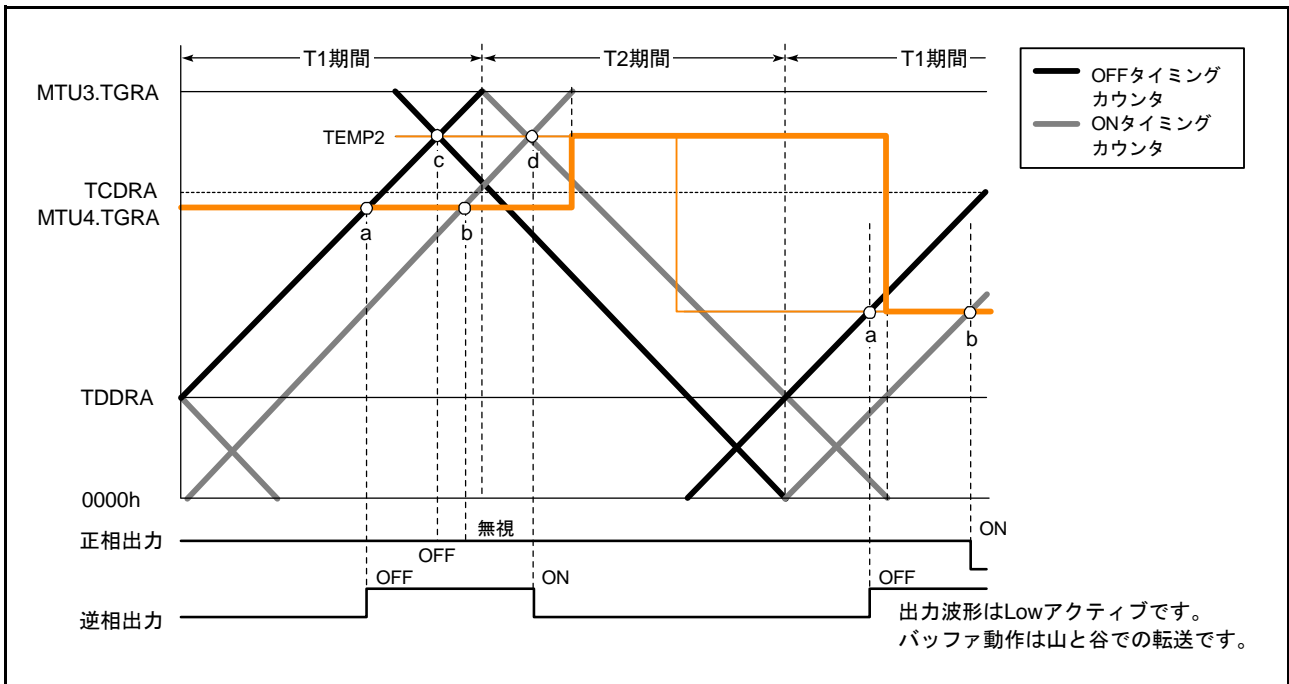


図 22.57 相補 PWM モード波形出力例 (MTU3, MTU4) (2)

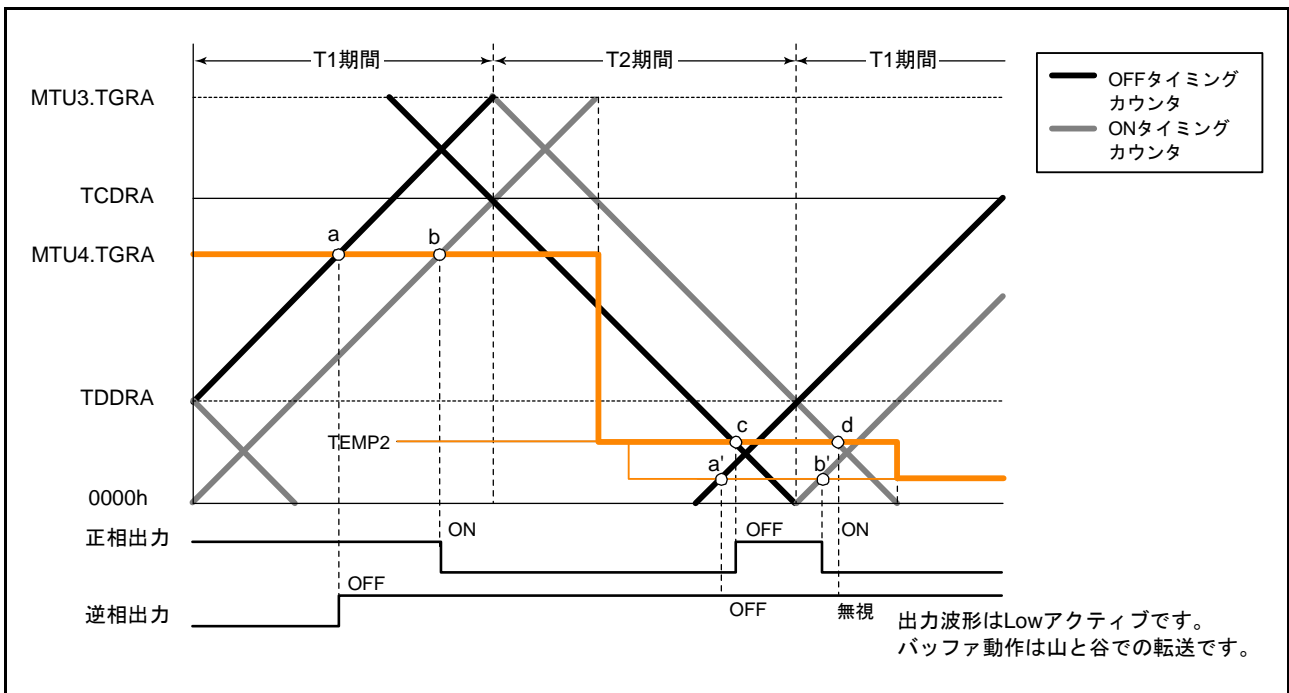


図 22.58 相補 PWM モード波形出力例 (MTU3, MTU4) (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 22.59 ~ 図 22.63 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を“0000h”にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA (MTU6.TGRA) の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

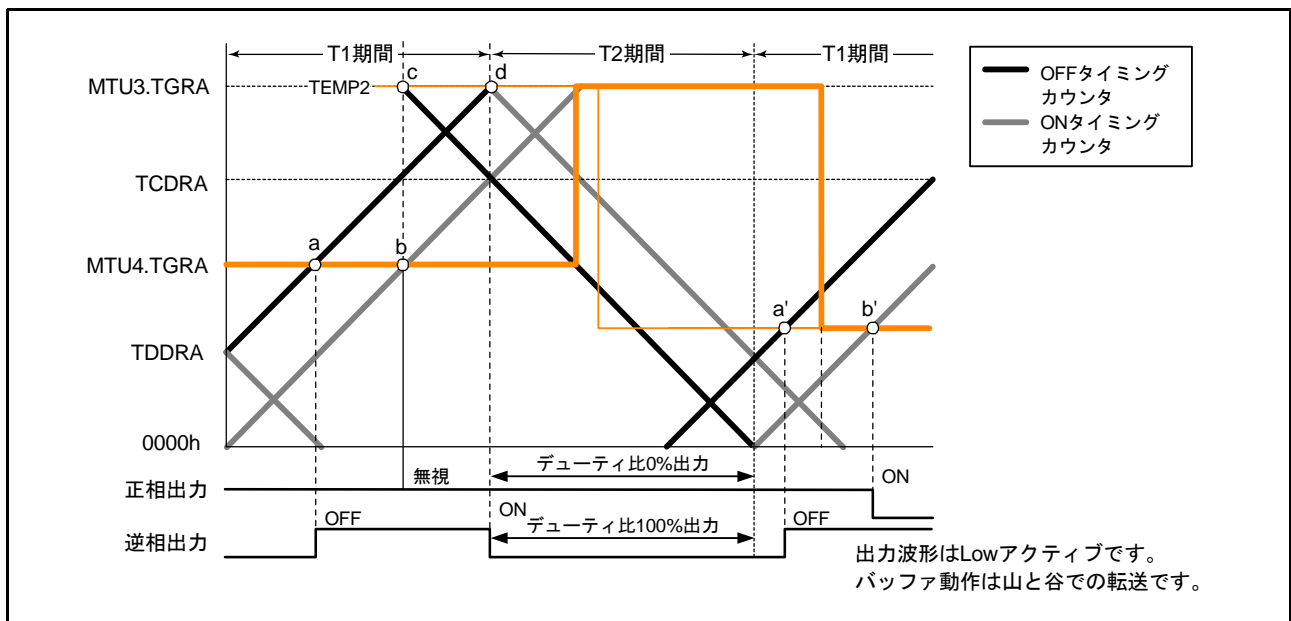


図 22.59 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (1)

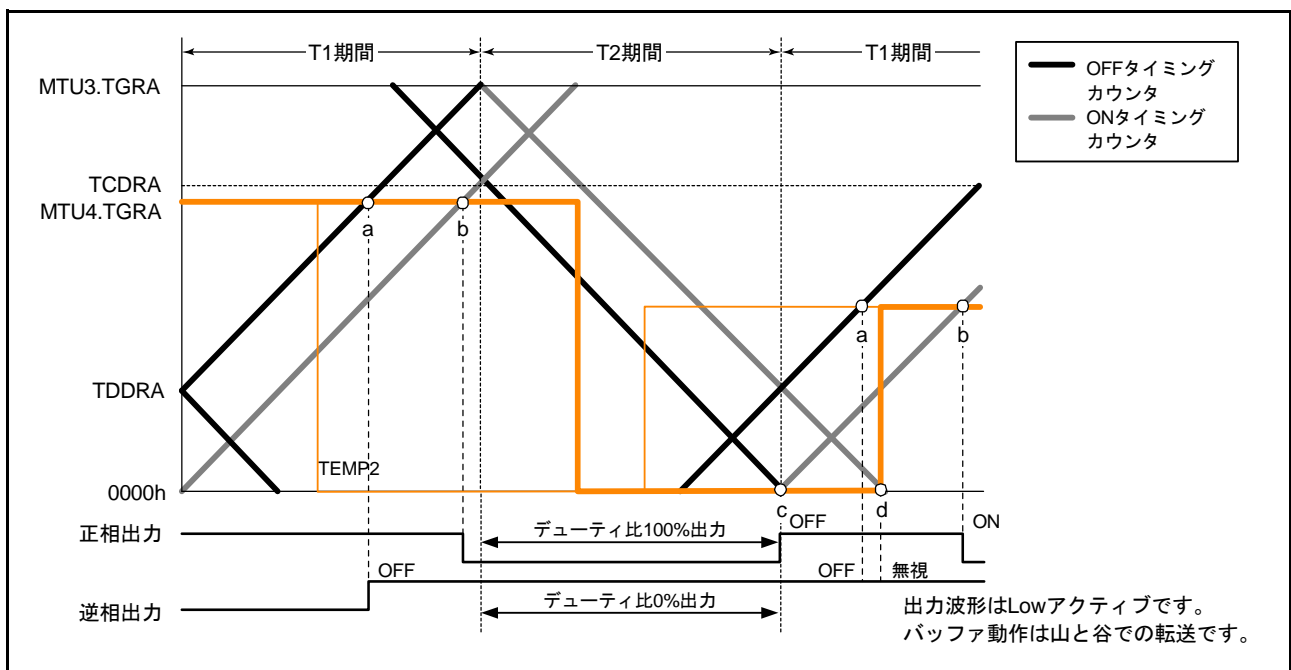


図 22.60 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (2)

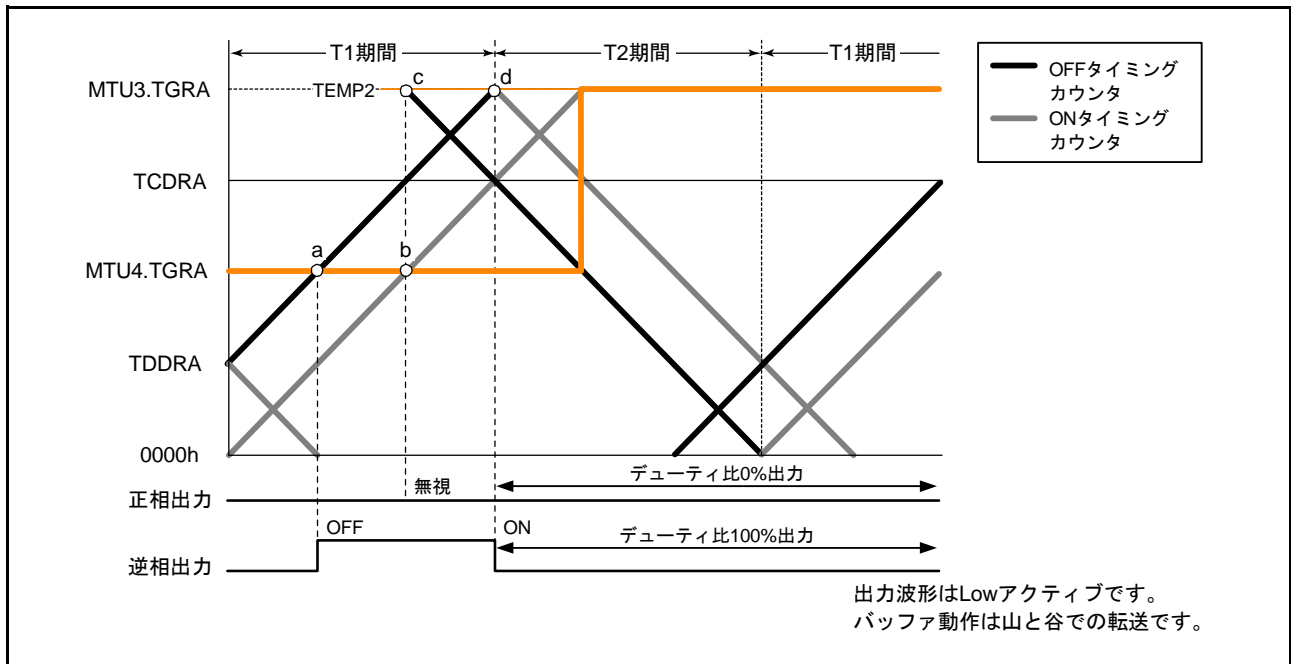


図 22.61 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (3)

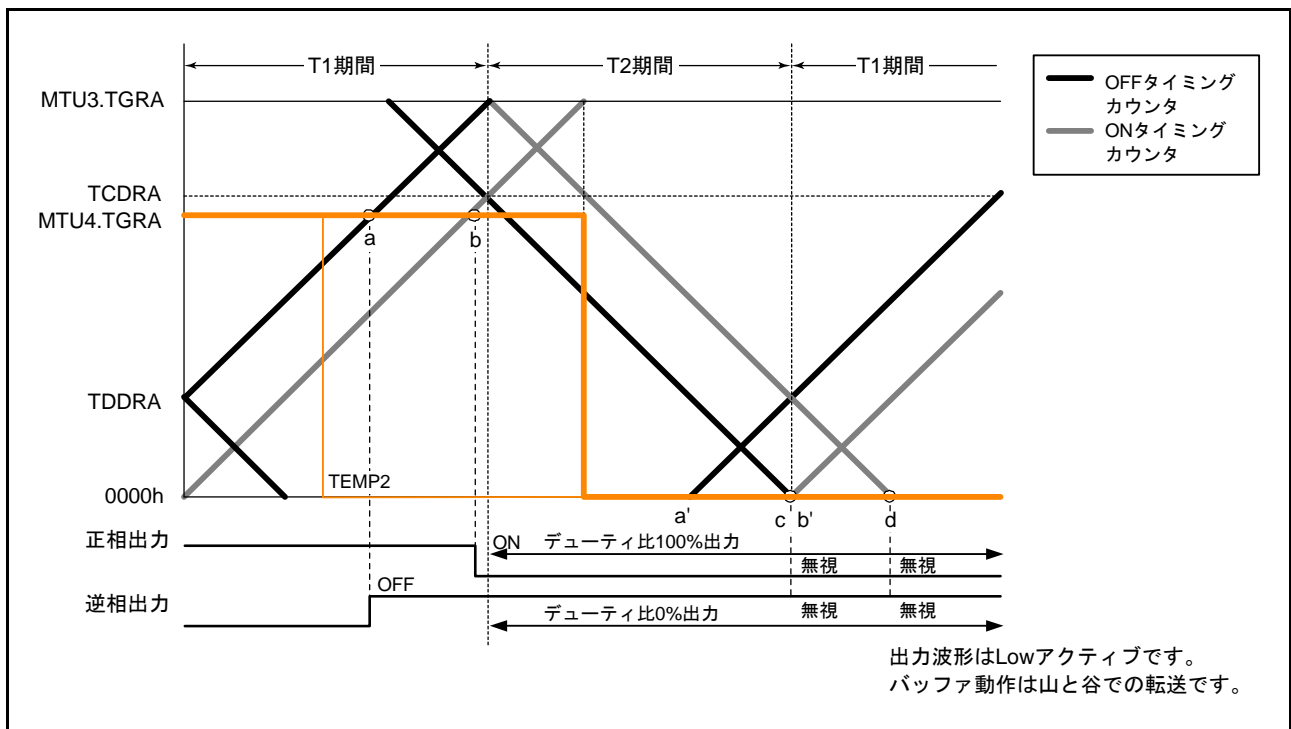


図 22.62 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (4)

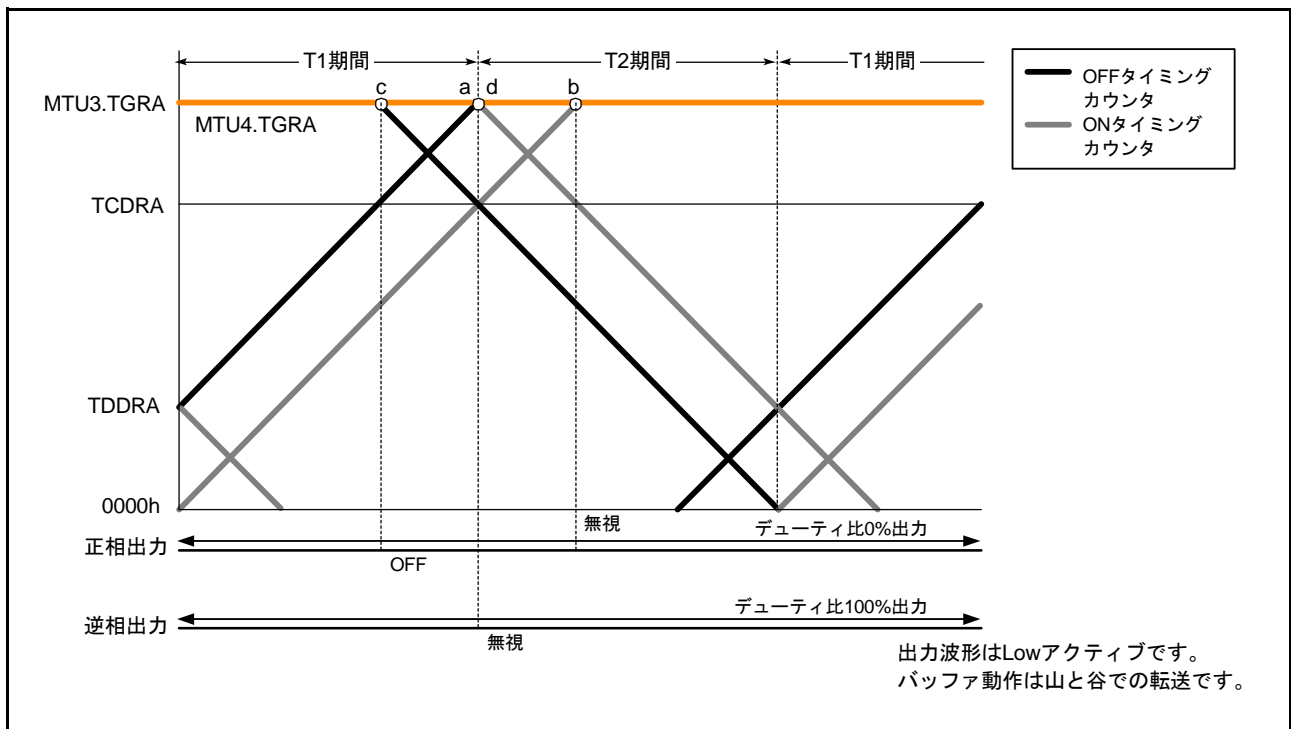


図 22.63 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1A (TOCR1B) レジスタの PSYE ビットを “1” にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 22.64 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA (MTU6.TCNT と MTU6.TGRA) のコンペアマッチと MTU4.TCNT (MTU7.TCNT) と “0000h” のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A (MTIOC6A) 端子です。また、初期出力は “High” 出力です。

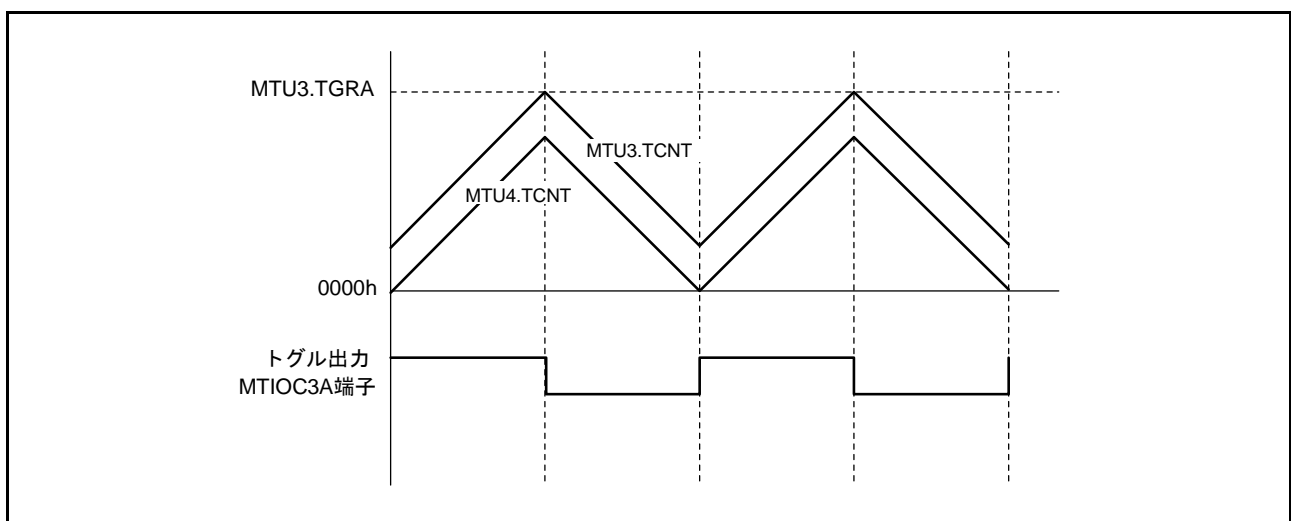


図 22.64 PWM 出力に同期したトグル出力波形例 (MTU3, MTU4)

(m) 他のチャネルによるカウンタクリア

相補PWMモード時、TSYRA (TSYRB) レジスタにより他のチャネルとの同期モードに設定し、またMTU3.TCR.CCLR[2:0] (MTU6.TCR.CCLR[2:0]) ビットで同期クリアを選択することにより他のチャネルの要因でMTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) をクリアすることが可能です。

図 22.65 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

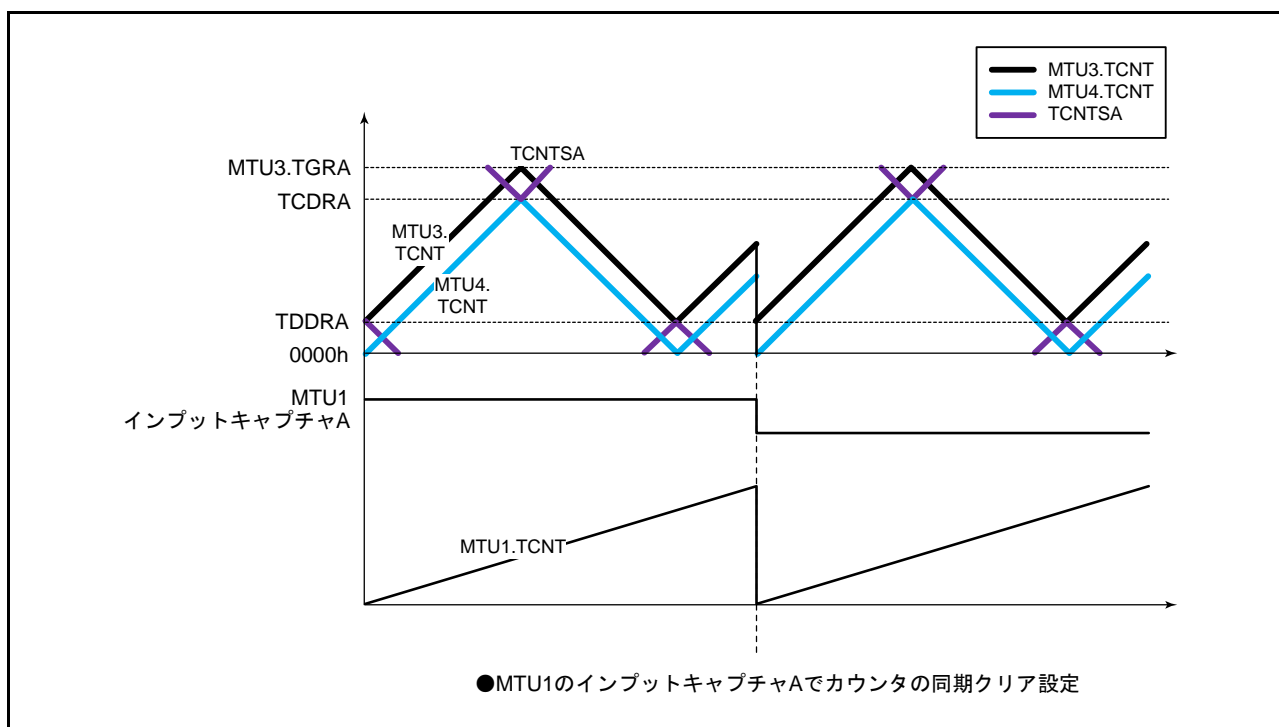


図 22.65 他のチャネルに同期したカウンタクリア (MTU3, MTU4)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA (TWCRB) レジスタの WRE ビットを“1”にすることにより、相補 PWM モードの谷の Tb 区間 (Tb2 区間) で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを“1”にすることで初期出力を抑止することができるのは、同期クリアが図 22.66 の⑩、⑪のような Tb2 区間に入って来たときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A (TOCR1B) レジスタの OLSN ビット、OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、図 22.66 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4—MTU6、MTU7 のどちらでも使用することができます。MTU3、MTU4—MTU6、MTU7 のカウンタクリア要因はそれぞれ、MTU3、MTU4 では MTU0 ~ MTU2 からの同期クリア、MTU6、MTU7 では MTU0 ~ MTU2 のコンペアマッチ/インプットキャプチャです。

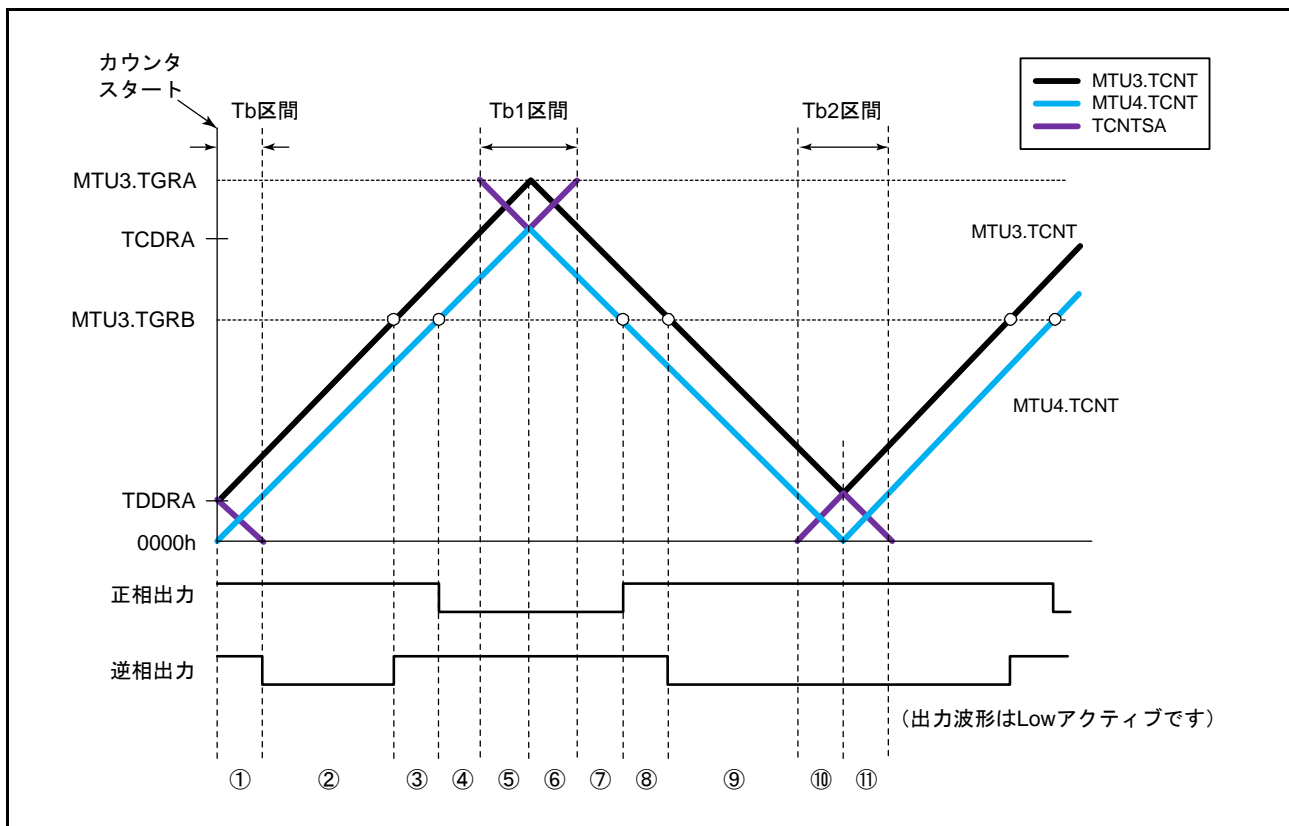


図 22.66 同期カウンタクリアタイミング (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例
相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 22.67 に示します。

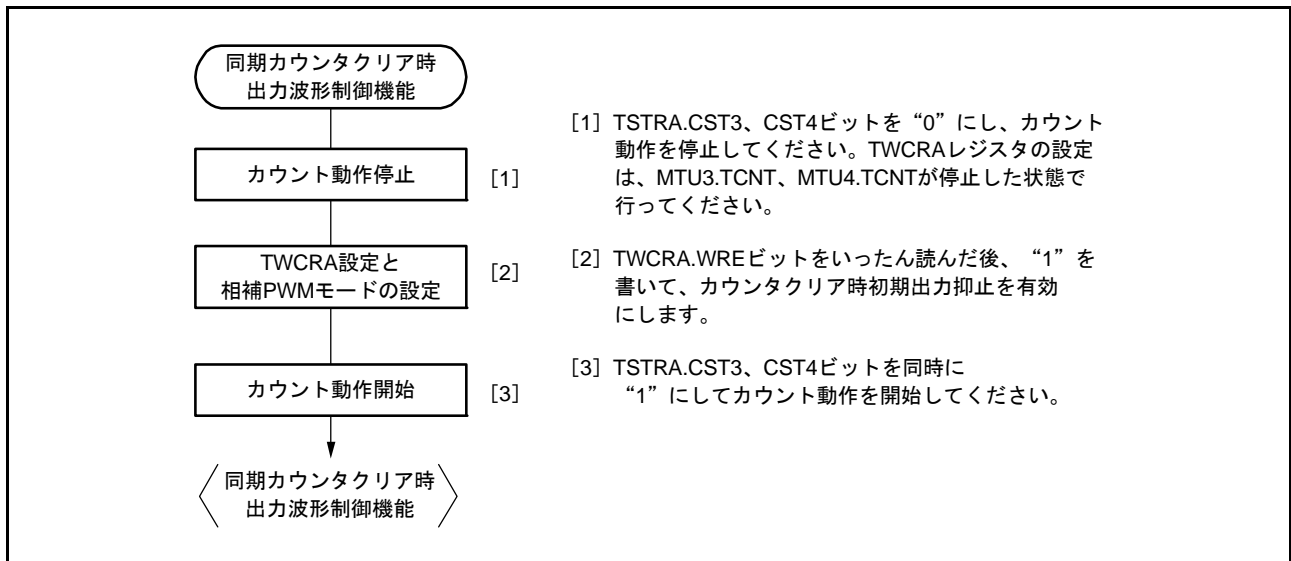


図 22.67 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 22.68 ~ 図 22.71 に、TWCRA.WRE ビットを“1”にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 22.68 ~ 図 22.71 の同期カウンタクリアのタイミングは、それぞれ図 22.66 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU6、MTU7 では TWCRA.SCC ビットを“0”、WRE ビットを“1”にした状態で MTU6、MTU7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

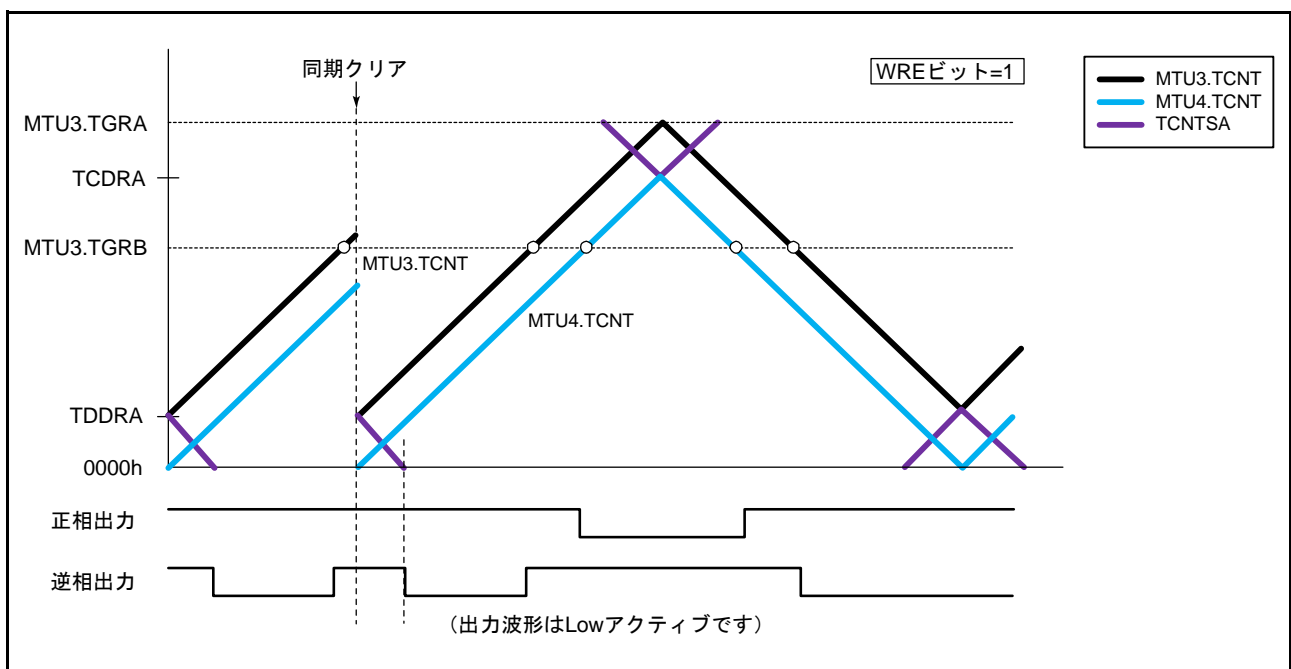


図 22.68 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.66 のタイミング③、TWCRA レジスタの WRE ビット = 1)

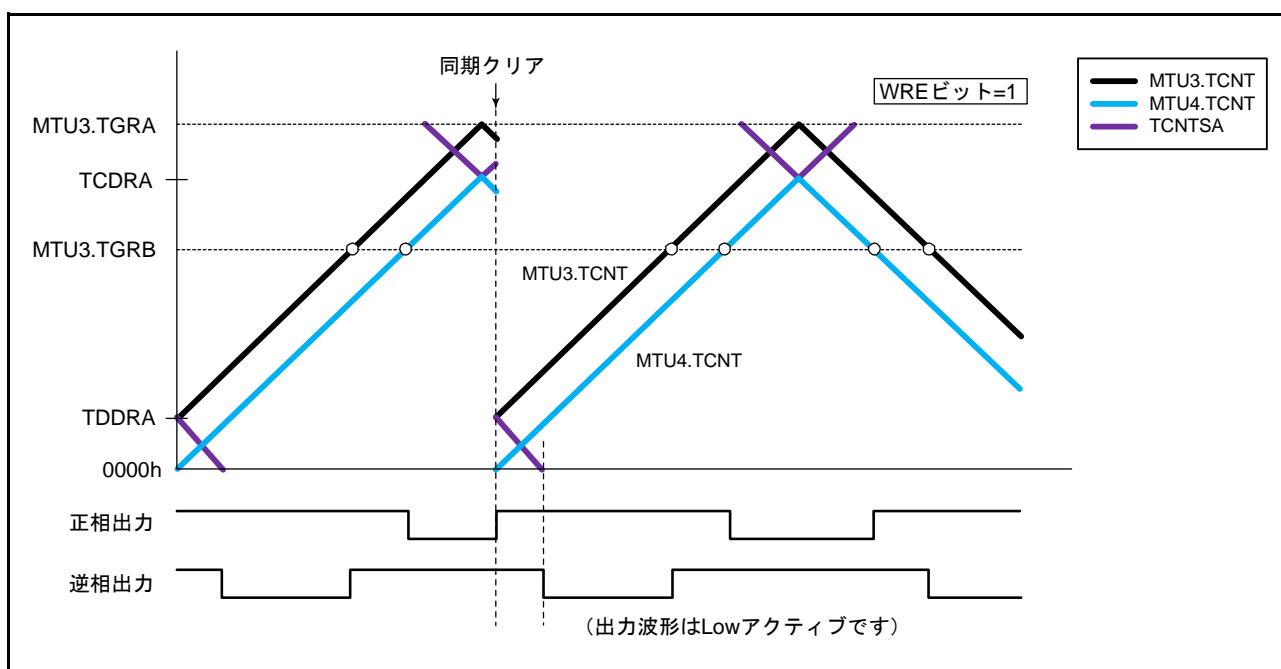


図 22.69 Tb1 区間で同期クリアが発生した場合
(図 22.66 のタイミング⑥、TWCRA レジスタの WRE ビット = 1)

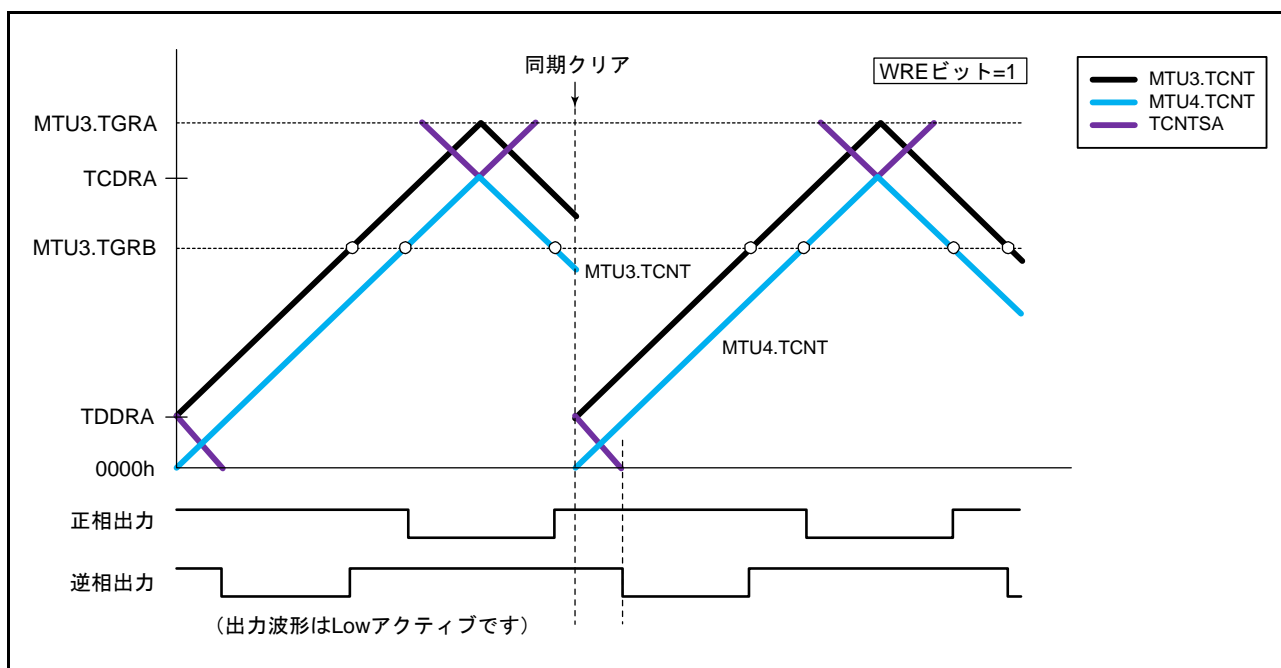


図 22.70 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 22.66 のタイミング⑧、TWCRA レジスタの WRE ビット = 1)

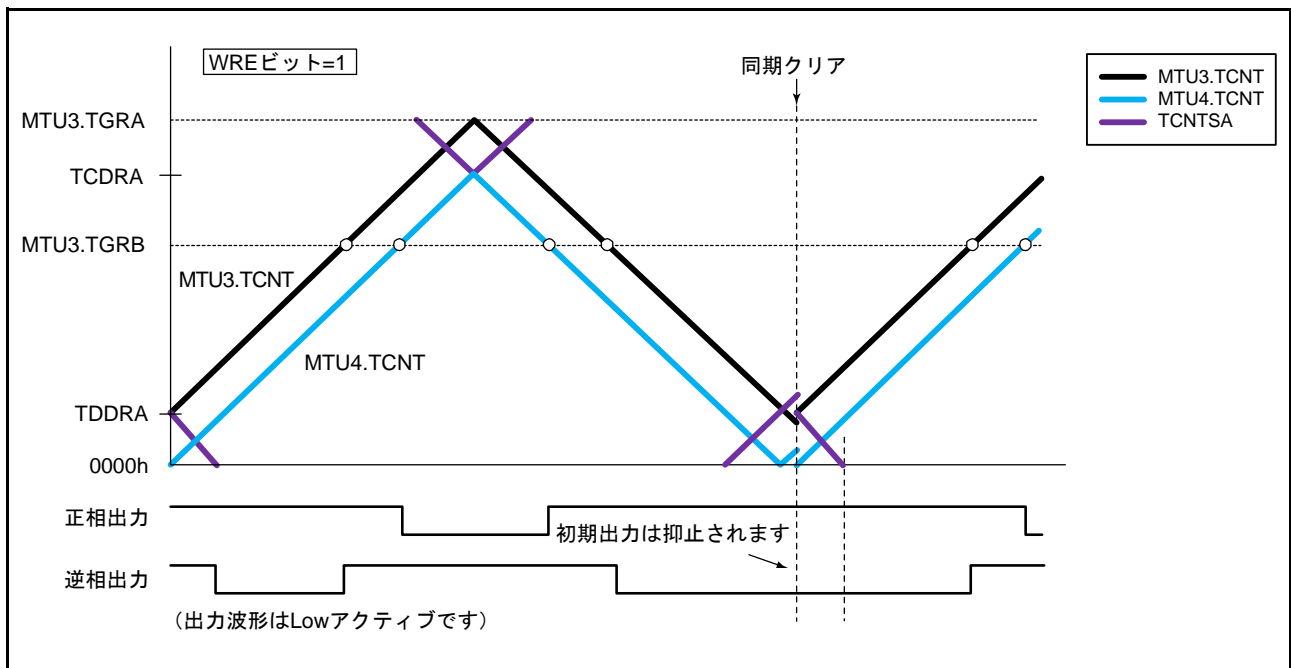


図 22.71 Tb2 区間で同期クリアが発生した場合
 (図 22.66 のタイミング①、TWCRA レジスタの WRE ビット = 1)

(o) MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリアの抑止機能

MTU6、MTU7 では、TWCRB.SCC ビットを“1”にすることにより、MTU0、MTU1、MTU2 からの同期クリアを抑止することができます。

SCC ビットの設定によって MTU0、MTU1、MTU2 からの同期クリアが抑止できるのは、図 22.72 で示す区間です。

また、本機能を使用する際は、MTU6、MTU7 を相補 PWM モードに設定してください。

MTU0、MTU1、MTU2 からの同期クリアについての詳細は、「22.3.10 (2) MTU6、MTU7 カウンタ同期クリア」を参照してください。

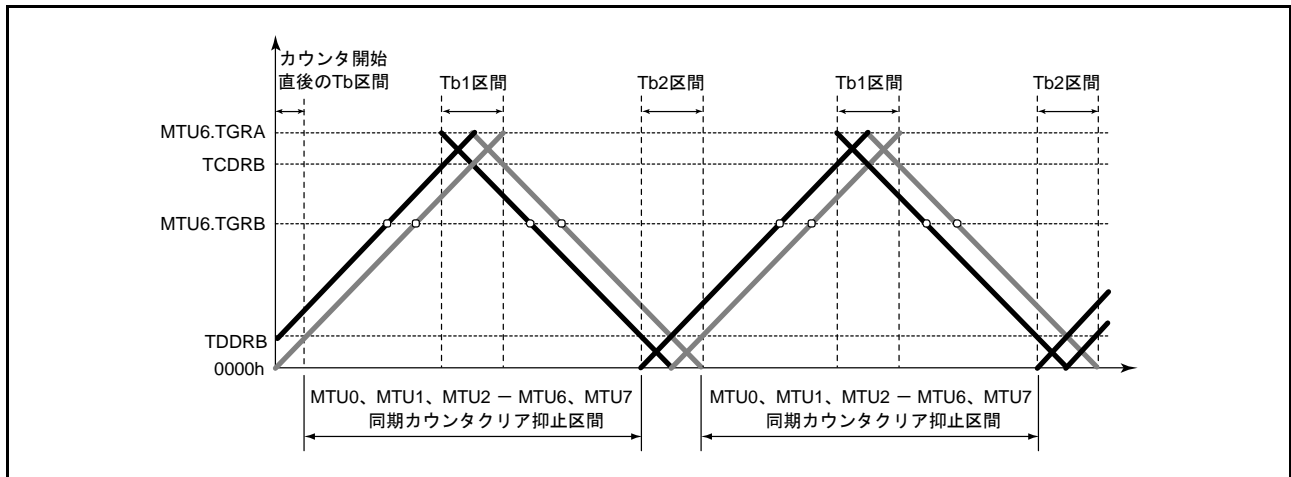


図 22.72 TWCRB.SCC ビットセットによる MTU0、MTU1、MTU2—MTU6、MTU7 同期クリア抑止区間

• MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例を図 22.73 に示します。

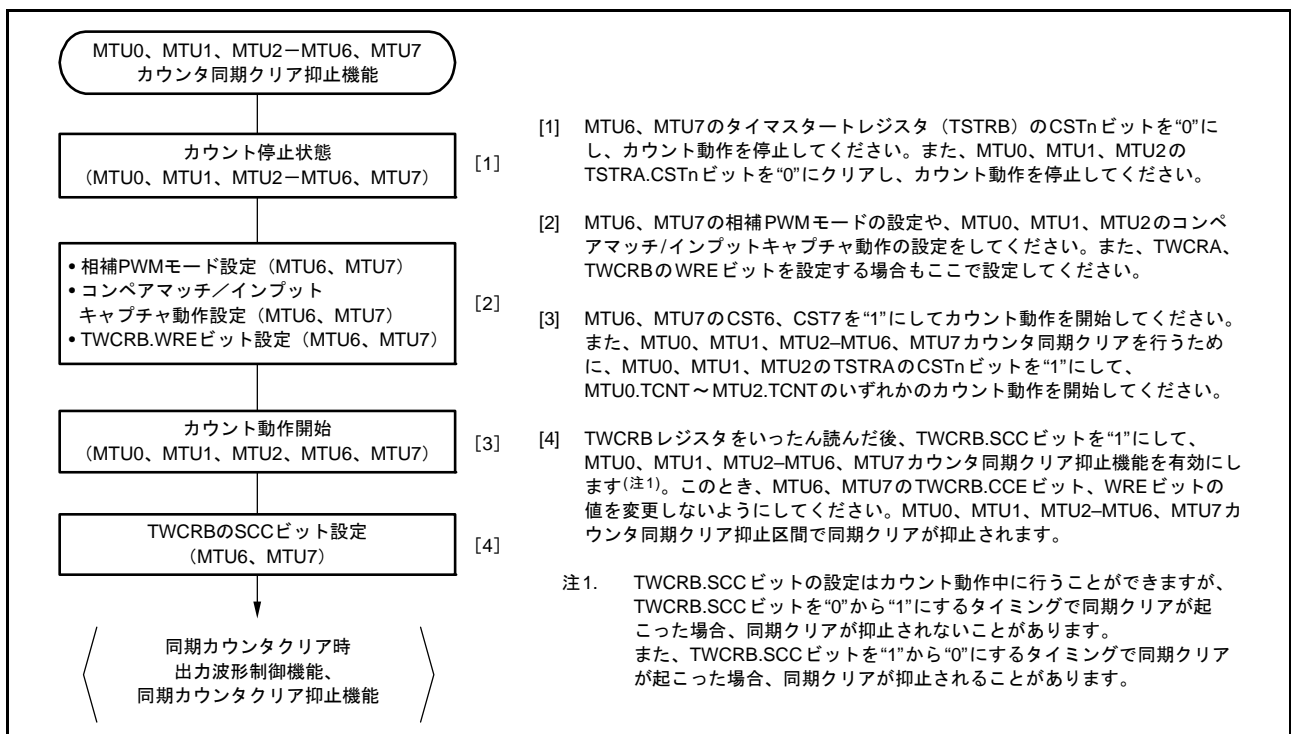


図 22.73 MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の設定手順例

• MTU0、MTU1、MTU2—MTU6、MTU7 同期カウンタクリア抑止機能の動作例

図 22.74 ~ 図 22.77 に、MTU6、MTU7 の TWCRCB の SCC ビットを “1” にして MTU6、MTU7 を相補 PWM 動作をさせ、MTU0、MTU1、MTU2—MTU6、MTU7 カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 22.74 ~ 図 22.77 の同期カウンタクリアのタイミングは、それぞれ図 22.66 の③、⑥、⑧、⑪で示したタイミングです。また、この例では MTU6、MTU7 の TWCRCB.WRE ビットは “1” にしています。

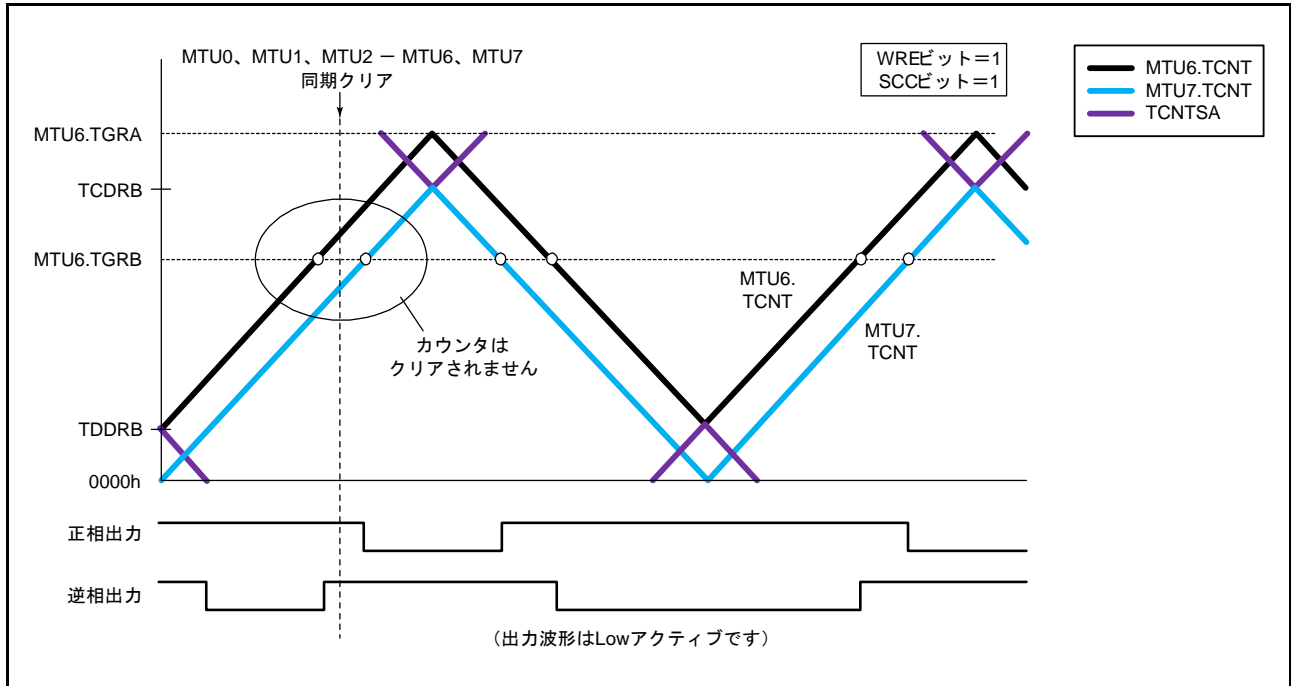


図 22.74 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.66 のタイミング③、MTU6、MTU7 の TWCRCB レジスタの WRE ビット = 1、SCC ビット = 1)

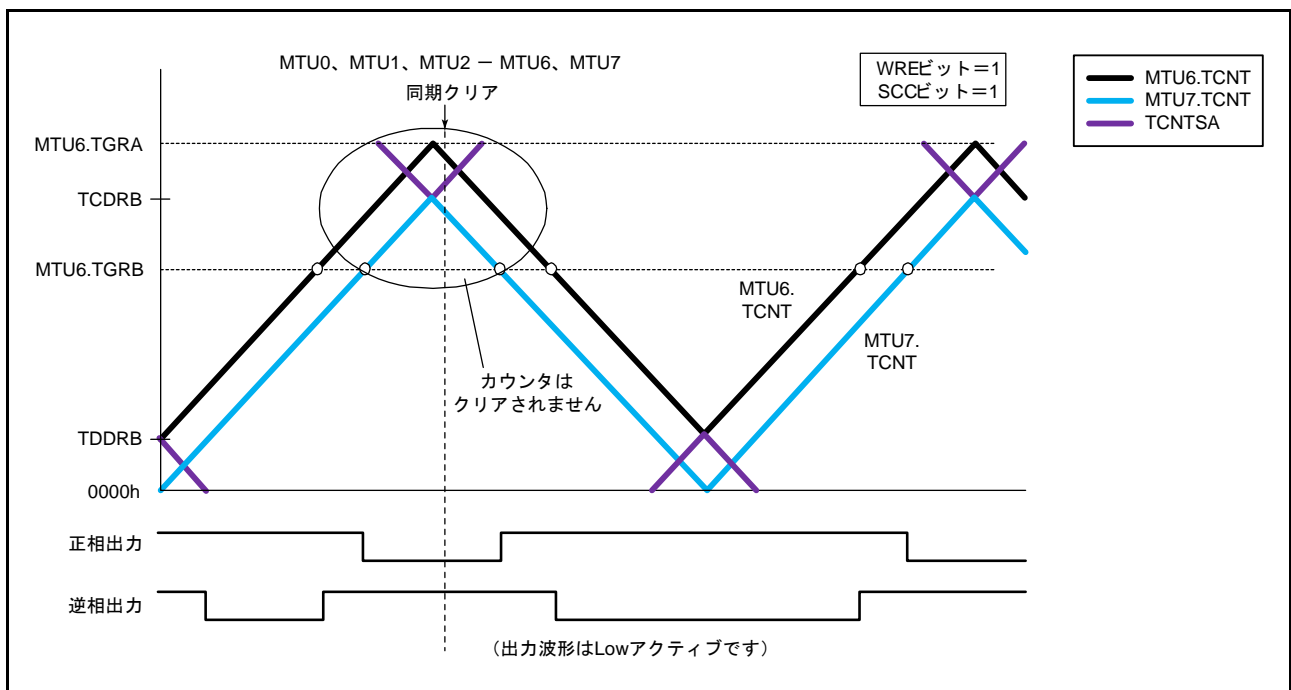


図 22.75 Tb1 区間で同期クリアが発生した場合 (図 22.66 のタイミング⑥、MTU6、MTU7 の TWCRCB レジスタの WRE ビット = 1、SCC ビット = 1)

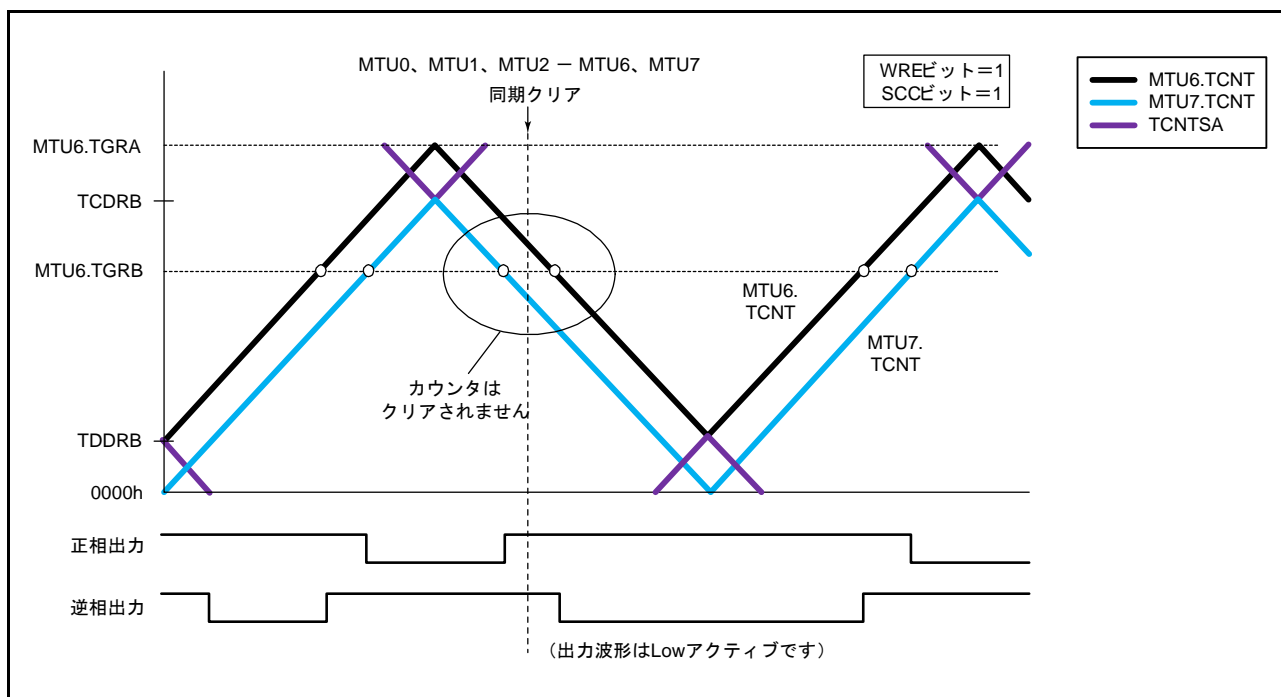


図 22.76 ダウンカウント中のデッドタイム時に同期クリアが発生した場合 (図 22.66 のタイミング⑧、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

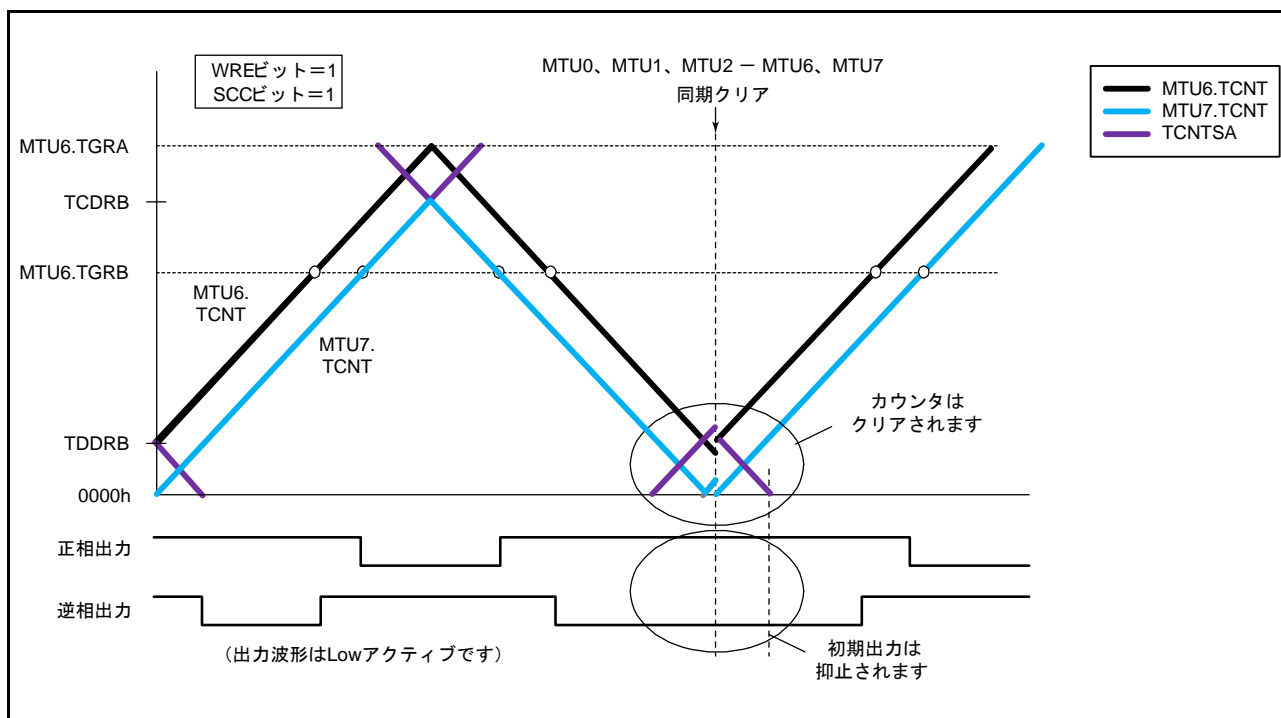


図 22.77 Tb2 区間で同期クリアが発生した場合 (図 22.66 のタイミング⑩、MTU6、MTU7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

(p) MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCRA.CCE (TWCRB.CCE) ビットを設定することにより、MTU3.TGRA (MTU6.TGRA) のコンペアマッチで MTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) および TCNTSA (TCNTSB) をクリアすることが可能です。

図 22.78 に動作例を示します。

- 注 1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注 2. 他のチャンネルとの同期クリア機能に設定しないでください (タイマシンクロレジスタ (TSYRA、TSYRB) の SYNC0 ~ SYNC4 ビット、SYNC6、SYNC7 ビットを "1" に、タイマシンクロクリアレジスタ (TSYCR) の CE0A ~ CE0D ビット、CE1A、CE1B ビット、CE2A、CE2B ビットを "1" に設定しないでください)。
- 注 3. PWM デューティは、"0000h" を設定しないでください。
- 注 4. タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の PSYE ビットを "1" に設定しないでください。

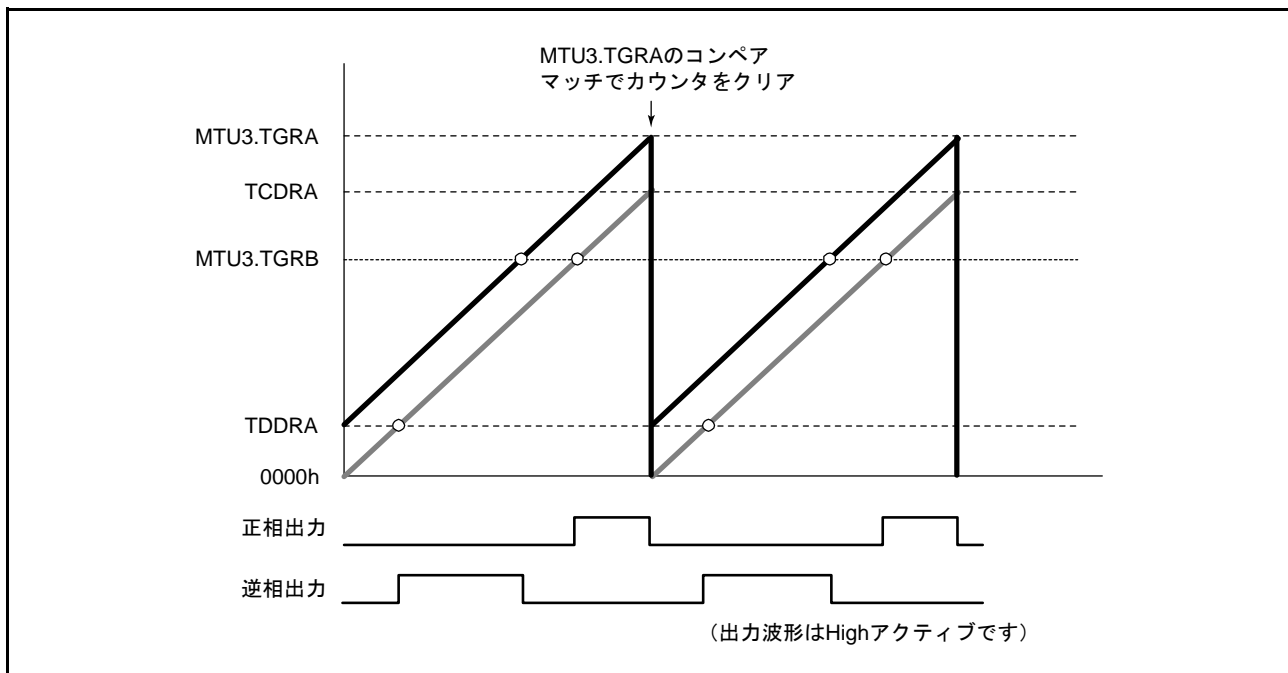


図 22.78 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(q) AC同期モータ (ブラシレス DC モータ) の駆動波形出力例

MTU3、MTU4 を使用した相補 PWM モードでは、TGCRA レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 22.79 ~ 図 22.82 に TGCRA を使用したブラシレス DC モータの駆動波形例を示します。

3相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB ビットを“0”にします。この場合、磁極位置を示す外部信号を MTU0 の MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します (MPC と I/O ポートのポートモードレジスタ (PMR) で設定してください)。MTIOC0A、MTIOC0B、MTIOC0C 端子の3つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCRA.FB ビットが“1”の場合は、TGCRA の UF、VF、WF ビットの各ビットを“0”または“1”にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの6相 PWM 出力端子から出力されます。

この6相出力は TGCRA レジスタの N ビットまたは P ビットを“1”にすることにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、TOCR1A.OLSN、TOCR1A.OLSP ビットで設定できます。

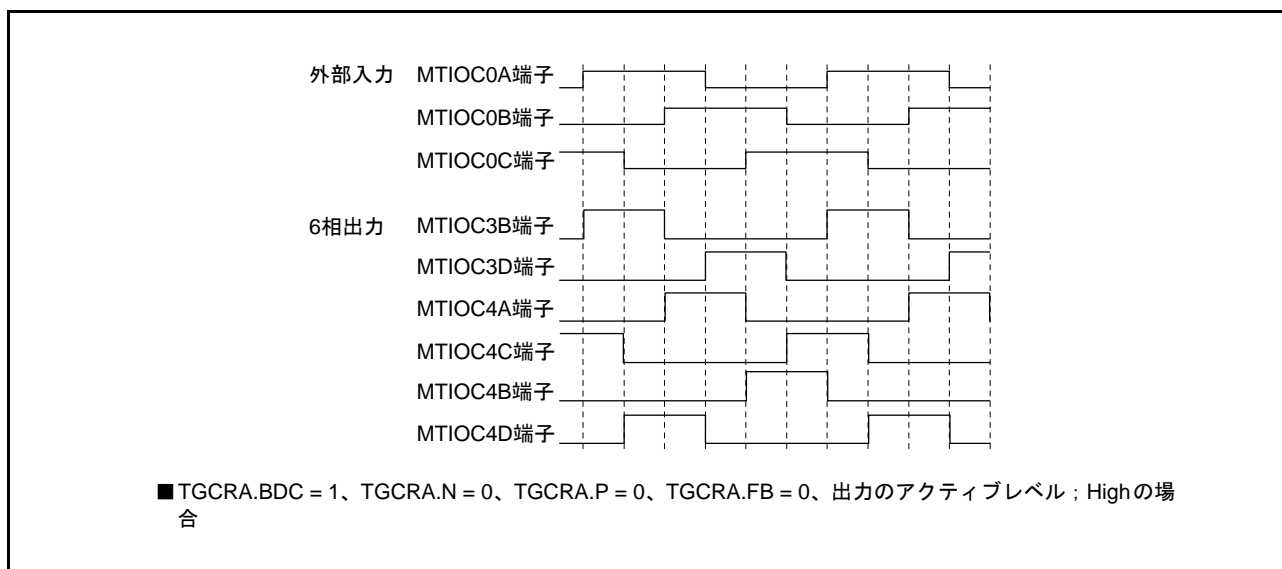


図 22.79 外部入力による出力相の切り替え動作例 (1)

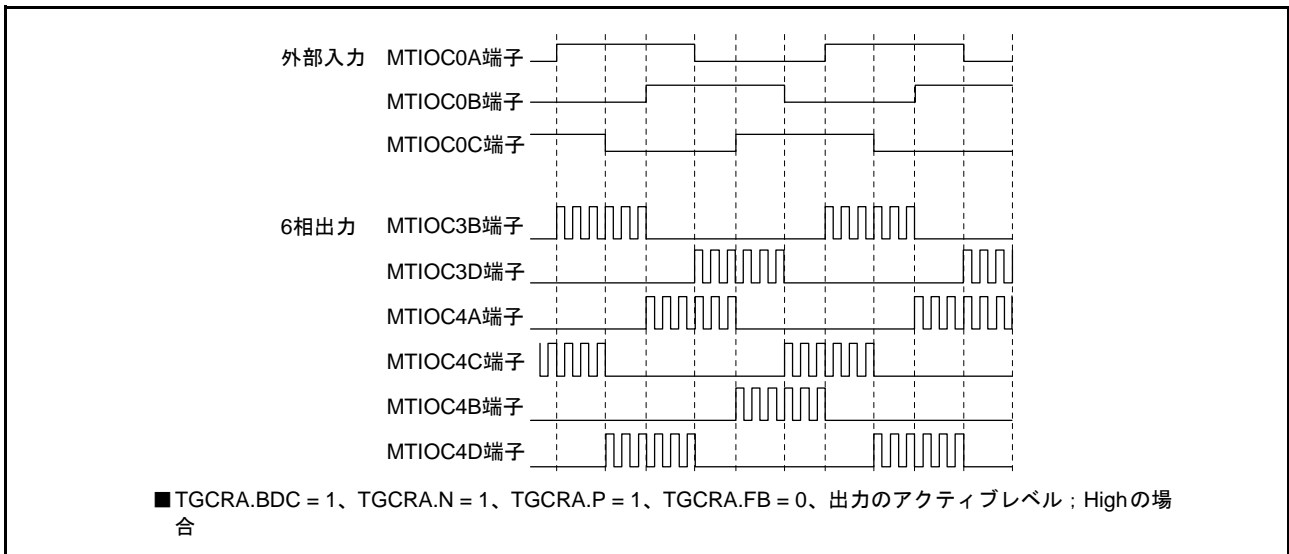


図 22.80 外部入力による出力相の切り替え動作例 (2)

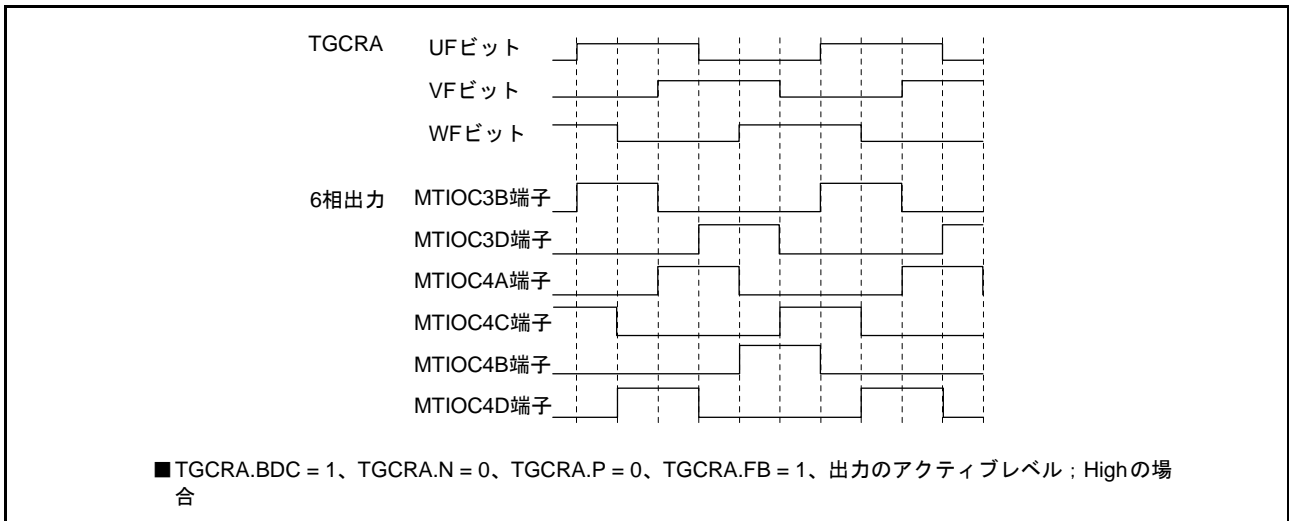


図 22.81 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

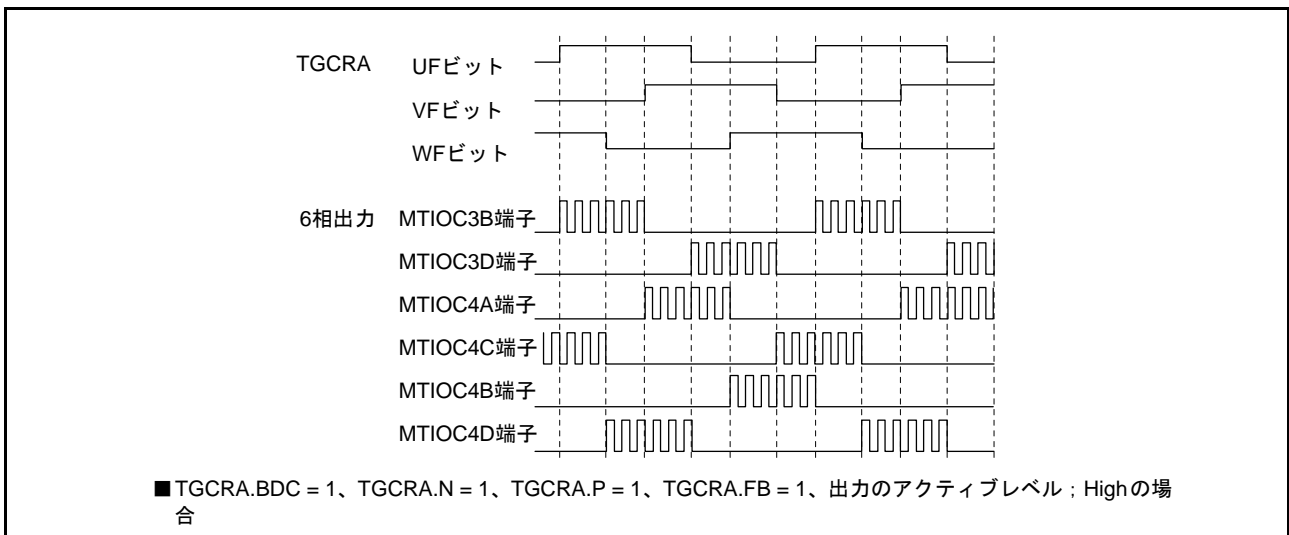


図 22.82 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA (MTU6.TGRA) のコンペアマッチ、MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷)、MTU3、MTU4 (MTU6、MTU7) 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA (MTU6.TGRA) のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT (MTU6.TCNT) の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを“1”にすることで設定できます。MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷) の A/D 変換の開始要求は、MTU4.TIER.TTGE2 (MTU7.TIER.TTGE2) ビットを“1”にすることで設定できます。

(s) 相補 PWM モードのダブルバッファ機能

相補 PWM モード3 (山と谷で転送) 時、TMDR2A.DRS (TMDR2B.DRS) ビットを“1”にすることにより、PWM 変更時の PWM 出力の最小分解能を ± 2 から ± 1 にすることが可能です。

バッファレジスタ A (MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU6.TGRD, MTU7.TGRC, MTU7.TGRD) を設定する際は、バッファレジスタ B (MTU3.TGRE, MTU4.TGRE, MTU4.TGRF, MTU6.TGRE, MTU7.TGRE, MTU7.TGRF) も同時に設定してください。また、バッファレジスタ B の値はバッファレジスタ A の値、またはバッファレジスタ A の値 - 1 を設定してください。設定手順の詳細は「22.3.8 (1) 相補 PWM モードの設定手順例」を参照してください。

注. バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値 - 1 を設定した場合、PWM 出力が非対称になります。

図 22.83 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD、MTU7.TGRD (バッファ A) 書き込み時に MTU4.TGRD、MTU7.TGRD (バッファ A) → Temp3A、Temp6A (テンポラリ A)、および MTU4.TGRF、MTU7.TGRF (バッファ B) → Temp3B、Temp6B (テンポラリ B) へのデータ転送
- ①のタイミングで Temp3A、Temp6A (テンポラリ A) → MTU4.TGRB、MTU7.TGRB (コンペア) へのデータ転送
- ②のタイミングで Temp3B、Temp6B (テンポラリ B) → MTU4.TGRB、MTU7.TGRB (コンペア) へのデータ転送

山区間 (Tb1 区間) ではコンペアレジスタとテンポラリレジスタ A、谷区間 (Tb2 区間) ではコンペアレジスタとテンポラリレジスタ B が有効

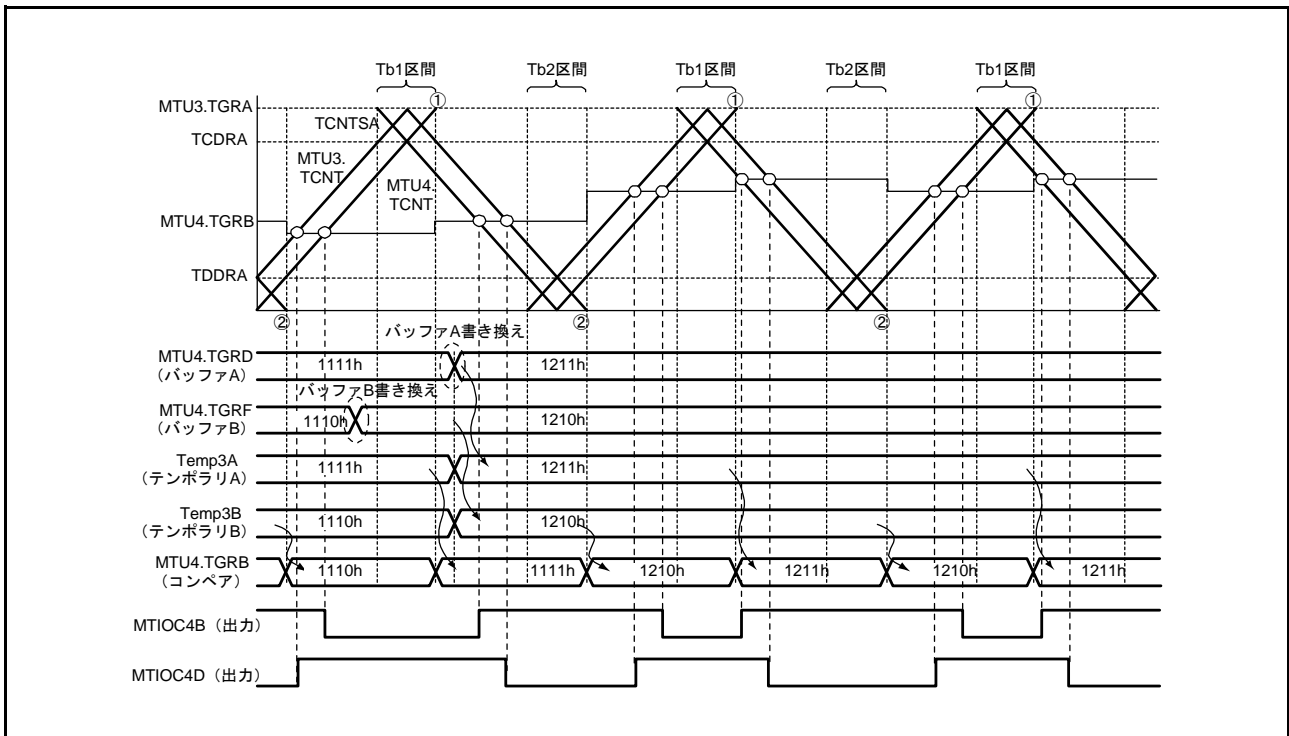


図 22.83 ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA (TDDRB) レジスタより小さい場合を図 22.84 に、TCDRA (TCDRB) レジスタより大きい場合を図 22.85 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

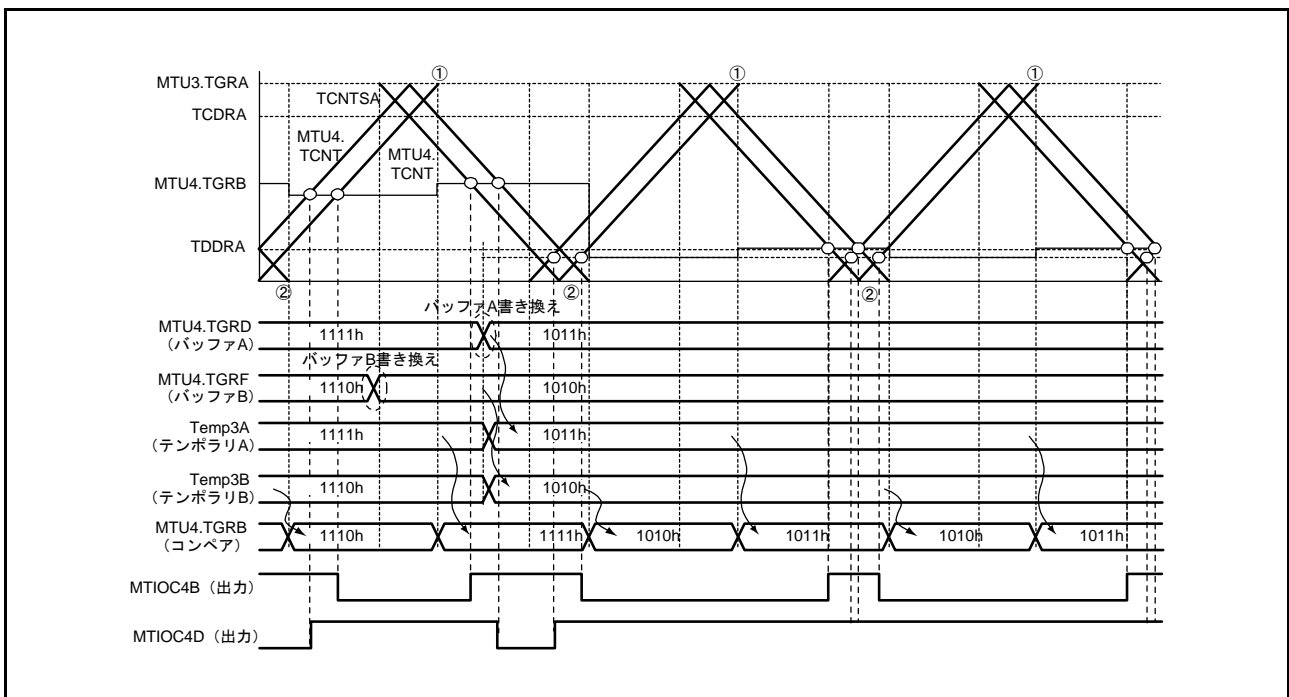


図 22.84 ダブルバッファ機能の動作例 (バッファへの書き込み値が TDDRA より小さい場合)

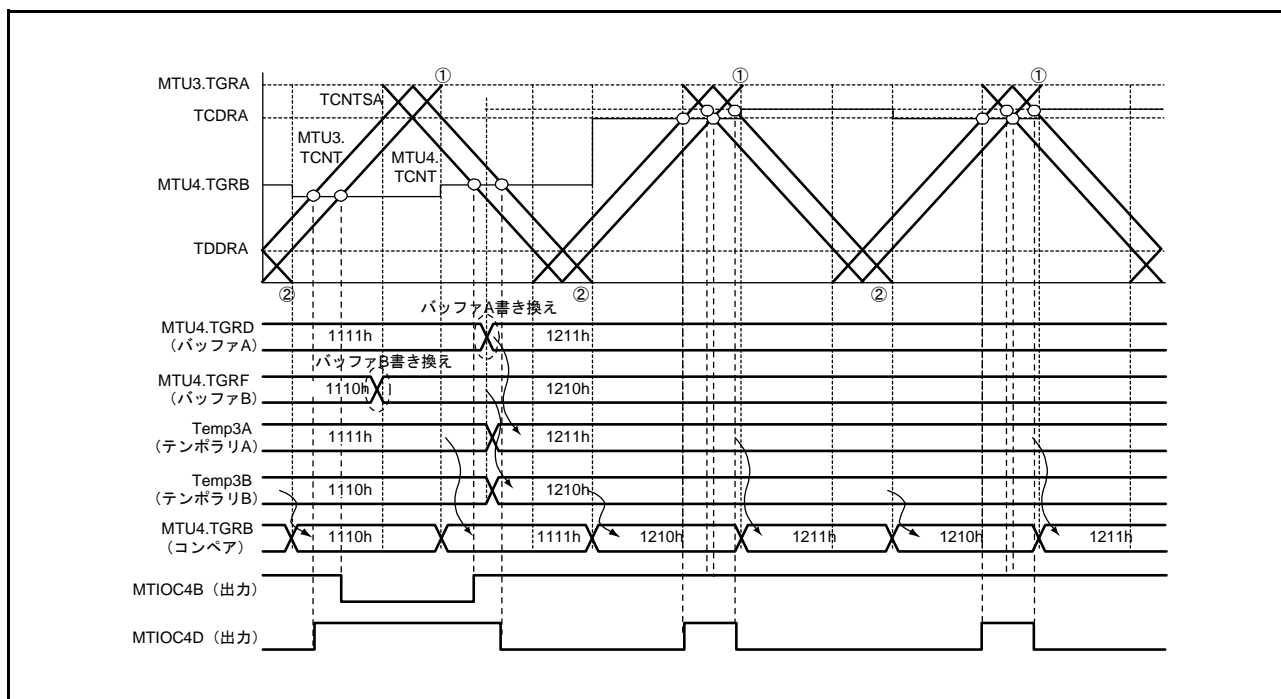


図 22.85 ダブルバッファ機能の動作例 (バッファへの書き込み値がTCDRAより大きい場合)

(3) 相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4 (MTU6, MTU7) の TGIA3 (TGIA6) (山の割り込み)、および TCIV4 (TCIV7) (谷の割り込み) は、TITCR1A (TITCR1B) レジスタを設定することにより、最大で7回まで割り込みを間引くことが可能です。

TBTERA (TBTERB) レジスタを設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

MTU4.TADCR (MTU7.TADCR) レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「22.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TITCR1A (TITCR1B) レジスタの設定は、タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB) の TITM ビットを“0”にし、割り込み間引き機能1を選択し、かつ MTU3.TIER (MTU6.TIER) レジスタの設定で TGIA3 (TGIA6) 割り込み要求を禁止した状態、MTU4.TIER (MTU7.TIER) レジスタの設定で TCIV4 (TCIV7) 割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN (T6AEN)、T4VEN (T7VEN) ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能 1 の設定手順例

割り込み間引き機能1の設定手順例を図 22.86 に示します。また、割り込み間引き回数の変更可能期間を図 22.87 に示します。

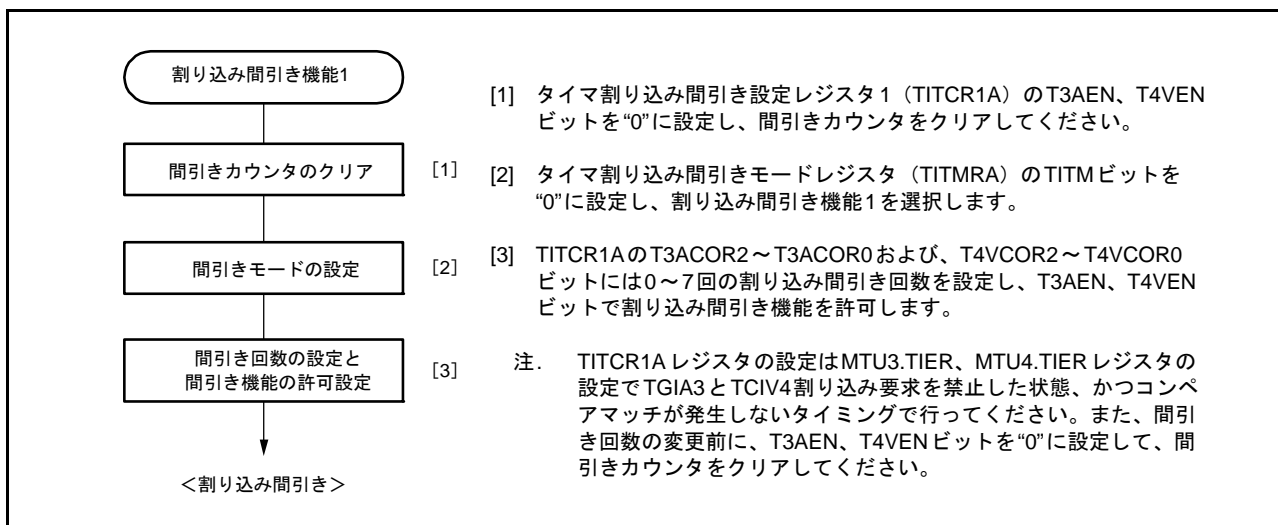


図 22.86 割り込み間引き機能 1 の設定手順例

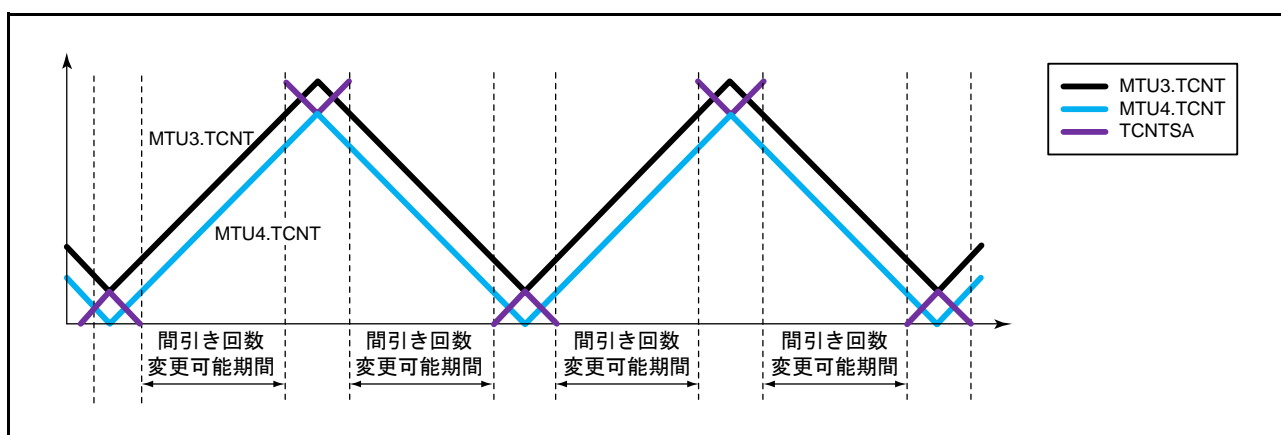


図 22.87 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能 1 の動作例

TITCR1A (TITCR1B) レジスタの T3ACOR (T6ACOR) ビットで割り込みの間引き回数を 3 回に設定し、T3AEN (T6AEN) ビットを“1”にした場合の、TGIA3 (TGIA6) 割り込み間引きの動作例を図 22.88 に示します。

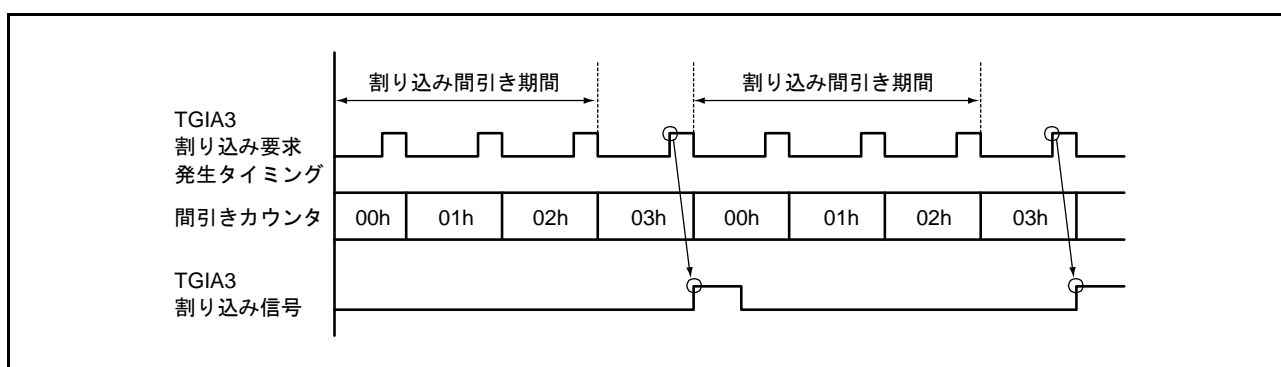


図 22.88 割り込み間引き機能 1 の動作例

(c) 割り込み間引きと連動したバッファ転送制御

TBTERA (TBTERB) レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE[1:0] = 01b) にした場合の動作例を図 22.89 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例を図 22.90 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、TITCR1A (TITCR1B) レジスタの T3AEN (T6AEN) ビットのみを“1”にした場合、T4VEN (T7VEN) ビットのみを“1”にした場合、TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビット両方を“1”にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビットの設定とバッファ転送許可期間の関係を図 22.91 に示します。

- 注 . 本機能は、割り込み間引き機能 1 と組み合わせて使用してください。
- 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ 1 (TITCR1A, TITCR1B) の T3AEN、T4VEN (T6AEN, T7VEN) ビットを“0”に設定したとき、または TITCR1A (TITCR1B) の間引き回数設定ビット (T3ACOR, T4VCOR (T6ACOR, T7VCOR)) を“0”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTERA, TBTERB の BTE1 ビットを“0”に設定) してください。
- 割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

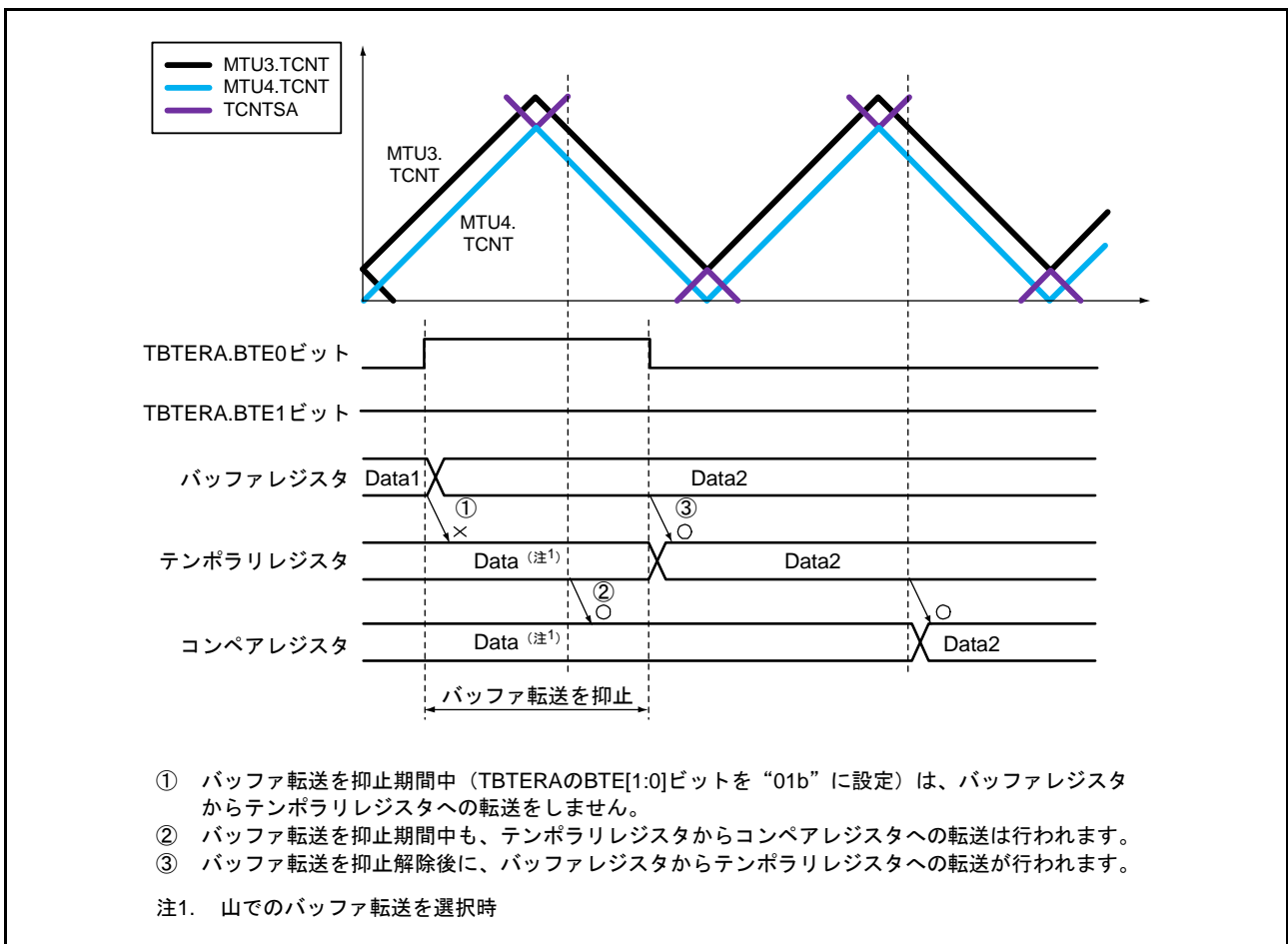


図 22.89 バッファ転送を抑制する設定 (BTE[1:0] = 01b) にした場合の動作例

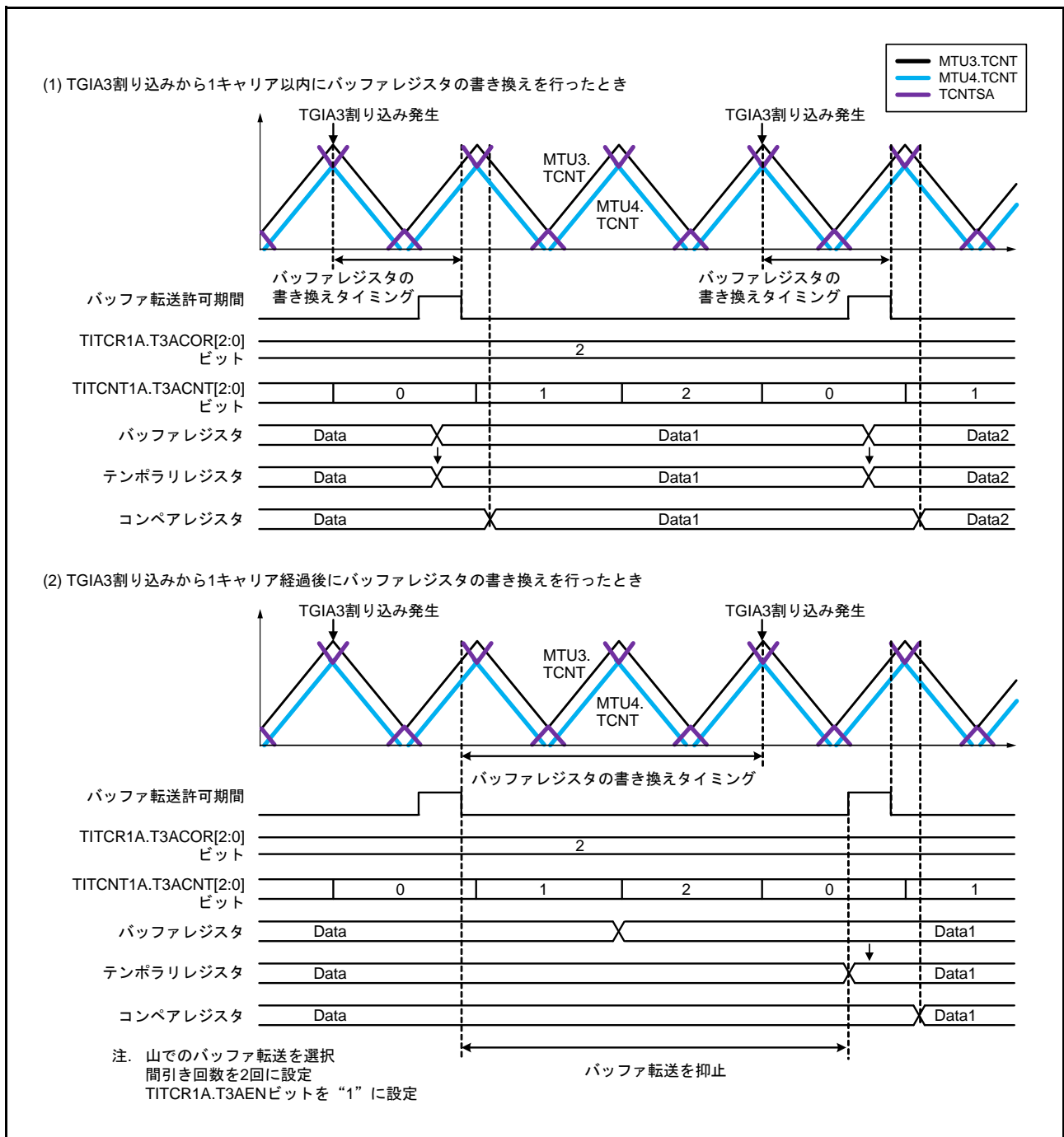


図 22.90 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例

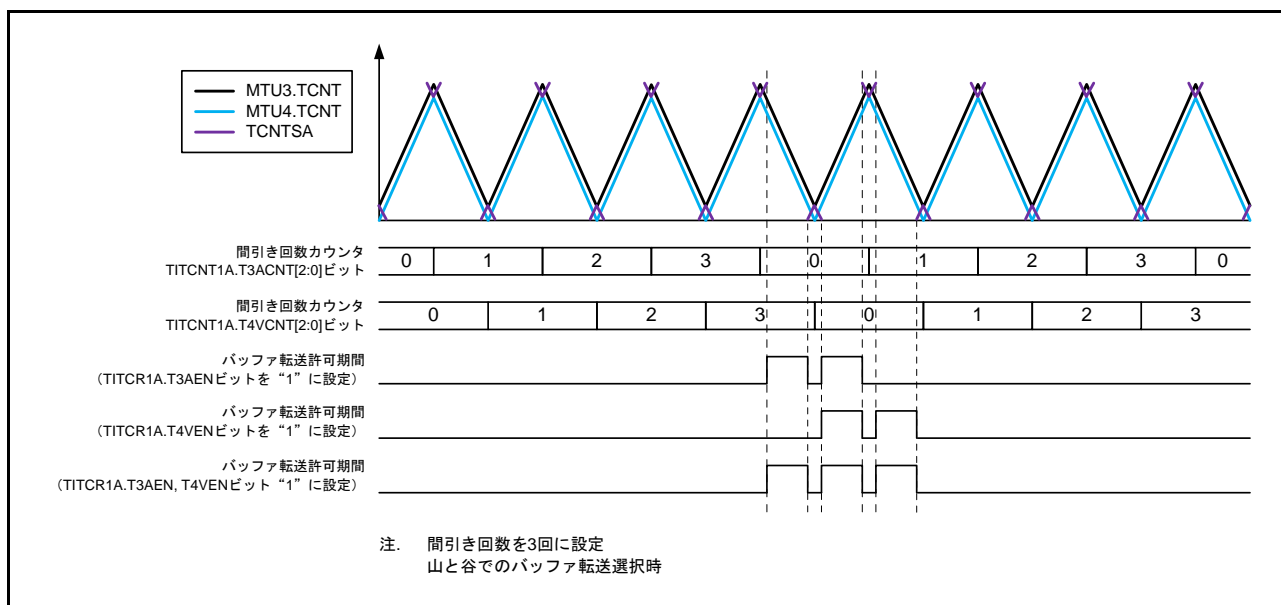


図 22.91 TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWERA (TRWERB) レジスタの RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4、MTU6、MTU7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR, MTU4.TCR, MTU3.TCR2, MTU4.TCR2, MTU3.TMDR1, MTU4.TMDR1, MTU3.TIORH, MTU4.TIORH, MTU3.TIORL, MTU4.TIORL, MTU3.TIER, MTU4.TIER, MTU3.TCNT, MTU4.TCNT, MTU3.TGRA, MTU4.TGRA, MTU3.TGRB, MTU4.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA,
MTU6.TCR, MTU7.TCR, MTU6.TCR2, MTU7.TCR2, MTU6.TMDR1, MTU7.TMDR1, MTU6.TIORH, MTU7.TIORH, MTU6.TIORL, MTU7.TIORL, MTU6.TIER, MTU7.TIER, MTU6.TCNT, MTU7.TCNT, MTU6.TGRA, MTU7.TGRA, MTU6.TGRB, MTU7.TGRB, MTU.TOERB, MTU.TOCR1B, MTU.TOCR2B, MTU.TCDRB, MTU.TDDRB

計 47 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b) 外部信号による PWM 出力の停止機能

MTU0、MTU3、MTU4、MTU6、MTU7 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。

詳細は、「23. ポートアウトプットイネーブル 3 (POE3a)」を参照してください。

22.3.9 A/D 変換開始要求ディレイド機能

MTU4 または MTU7 のタイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR, MTU7.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB, MTU7.TADCORA, MTU7.TADCORB)、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB, MTU7.TADCOBRA, MTU7.TADCOBRB) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN (TRG7AN, TRG7BN)) を行います。

また、MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE (MTU7.TADCR レジスタの ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN (TRG7AN, TRG7BN)) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 22.92 に示します。

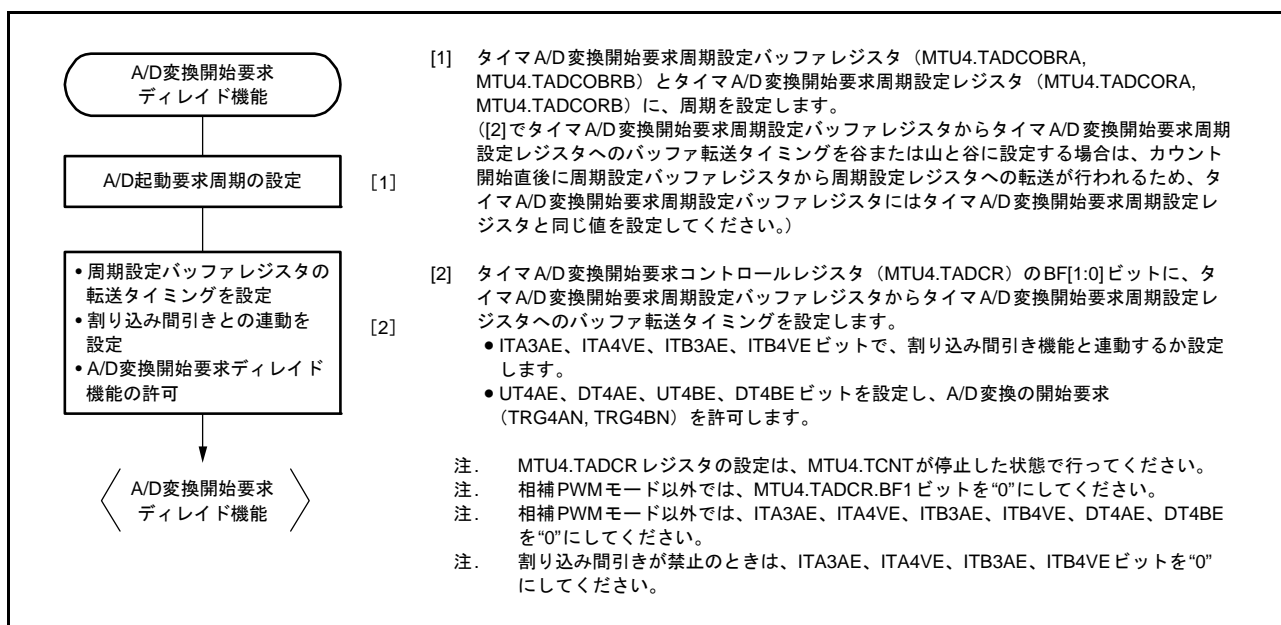


図 22.92 A/D 変換開始要求ディレイド機能の設定手順例 (MTU3, MTU4)

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT (MTU7.TCNT) の谷に設定し、MTU4.TCNT (MTU7.TCNT) のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) の基本動作例を図 22.93 に示します。

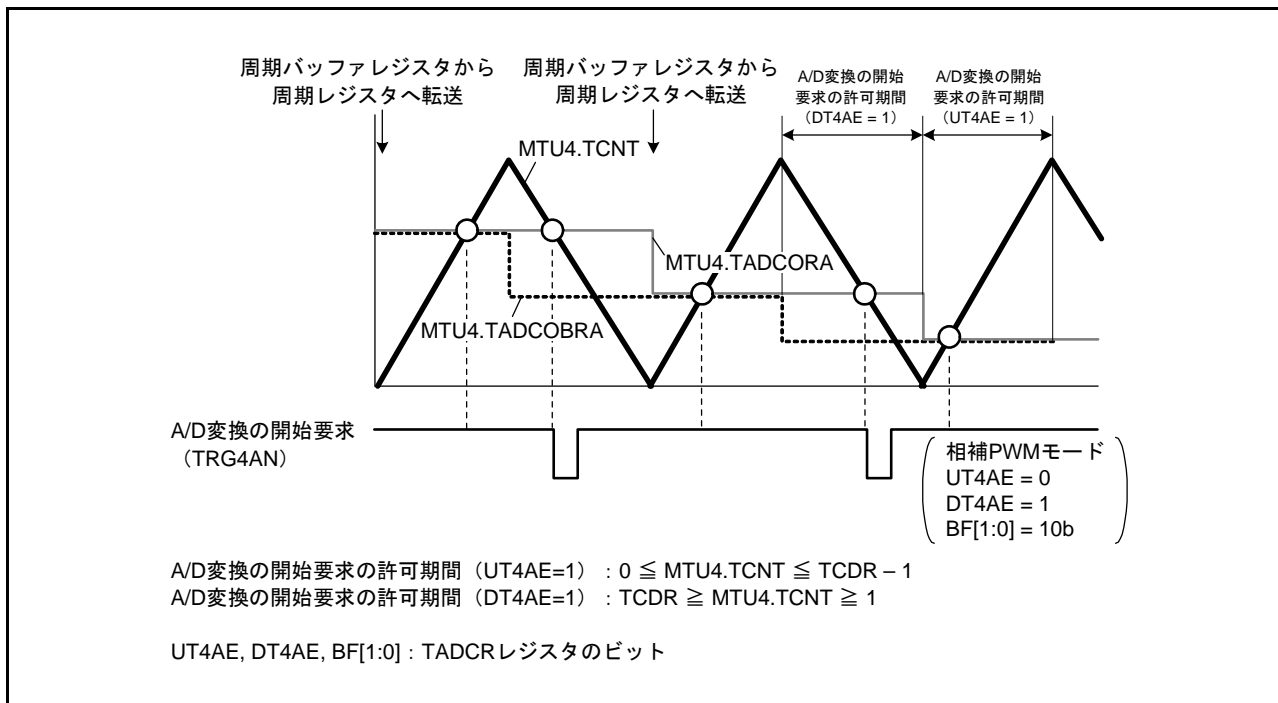


図 22.93 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR (MTU7.TADCR) レジスタの UT4AE、UT4BE (UT7AE, UT7BE) ビットで許可した期間内に MTU4.TCNT (MTU7.TCNT) カウンタと MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA, MTU7.TADCORB) レジスタが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR (MTU7.TADCR) レジスタの UT4AE、UT4BE (UT7AE, UT7BE) ビットを“1”にすると、MTU4.TCNT (MTU7.TCNT) カウンタのアップカウント期間 ($0 \leq \text{MTU4.TCNT} (\text{MTU7.TCNT}) \leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。MTU4.TADCR (MTU7.TADCR) レジスタの DT4AE、DT4BE (DT7AE, DT7BE) ビットを“1”にすると、MTU4.TCNT (MTU7.TCNT) カウンタのダウンカウント期間 ($\text{TCDR} \geq \text{MTU4.TCNT} (\text{MTU7.TCNT}) \geq 1$) に A/D 変換の開始要求を許可します (図 22.93)。

(4) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB, MTU7.TADCORA, MTU7.TADCORB) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB, MTU7.TADCOBRA, MTU7.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、MTU4.TADCR (MTU7.TADCR) レジスタの BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時は MTU4.TGRD (MTU7.TGRD) レジスタの書き換えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、「22.6.28 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR (MTU7.TADCR) レジスタの BF1 ビットを“0”にしてください。

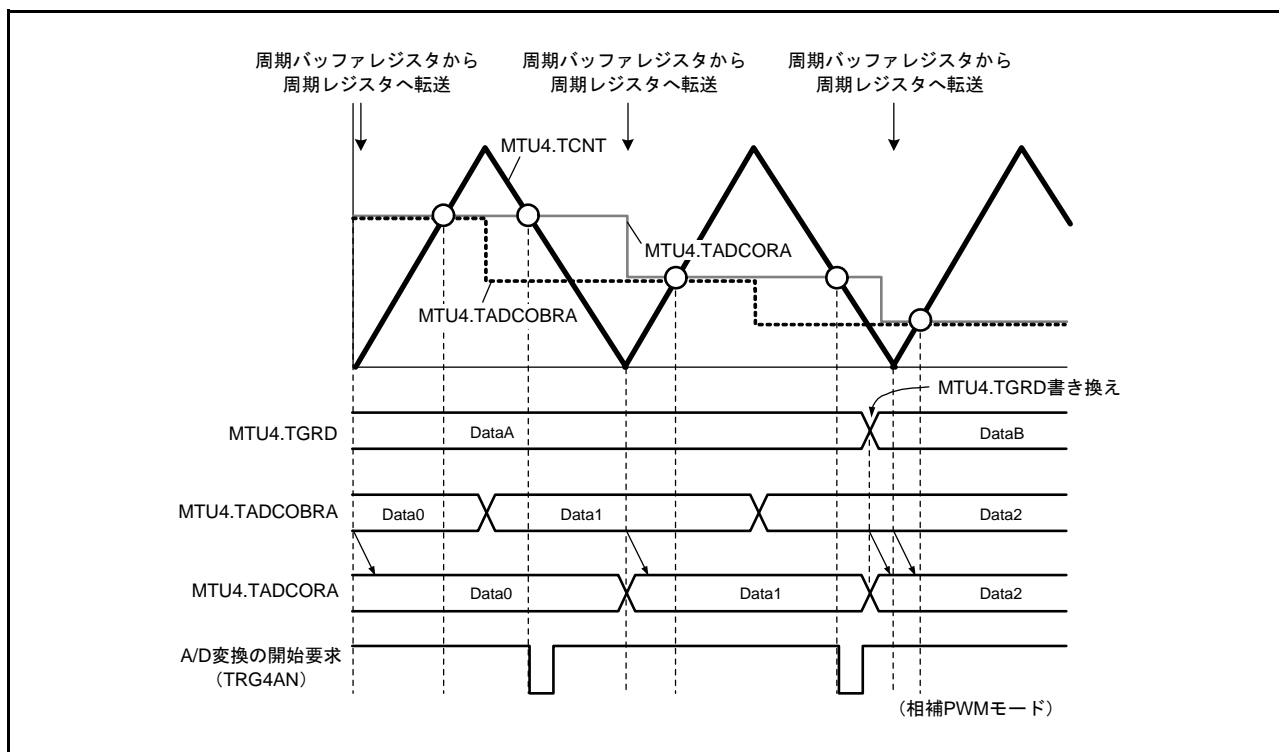


図 22.94 A/D 変換の開始要求信号 (TRG4AN) とバッファ転送動作例

(5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能

相補PWMモードでは、MTU4.TADCR (MTU7.TADCR) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE, ITA7VE, ITB6AE, ITB7VE) ビットの設定により、割り込み間引き機能1と連動してA/D変換の開始要求 (TRG4AN, TRG4BN (TRG7AN, TRG7BN)) を行うことが可能です。

MTU4.TCNT (MTU7.TCNT) のアップカウント時、およびダウンカウント時にTRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図22.95に示します。

また、MTU4.TCNT (MTU7.TCNT) のアップカウント時にTRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図22.96に示します。

相補PWMモード以外では、割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能は使用できません。

MTU4.TADCR (MTU7.TADCR) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE, ITA7VE, ITB6AE, ITB7VE) ビットを“0”にしてください。

注. 本機能は割り込み間引き機能1と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR1A (TITCR1B)) のT3AEN、T4VEN (T6AEN, T7VEN) ビットを“0”にしたとき、またはTITCR1A (TITCR1B) レジスタの間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR, T7VCOR)) を“0”にしたとき) は、割り込み間引き機能1と連動しない (MTU4.TADCR (MTU7.TADCR) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE, ITA7VE, ITB6AE, ITB7VE) ビットを“0”にする) 設定にしてください。

また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA, MTU7.TADCORB) には“0002h”～TCDBAの設定値-2 (TCDBBの設定値-2) の値にしてください。

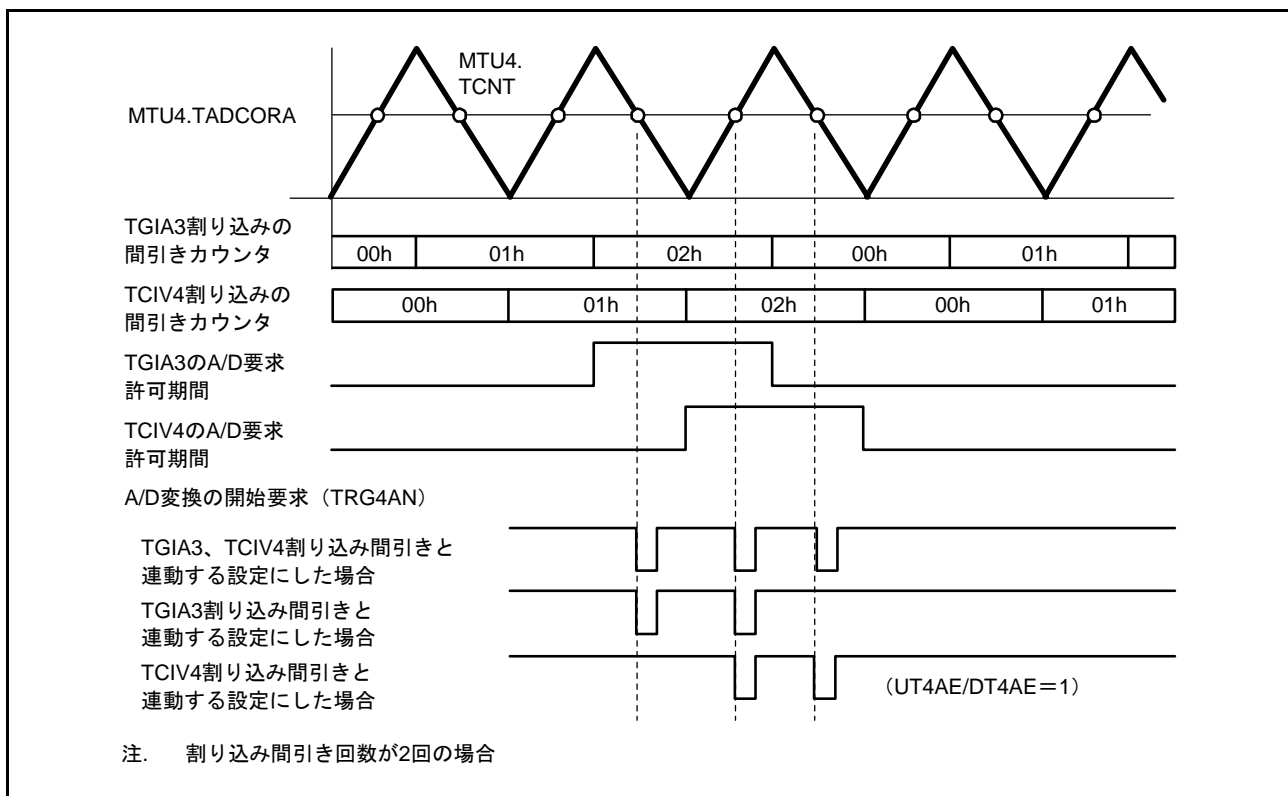


図 22.95 割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例 (UT4AE、DT4AE = 1)

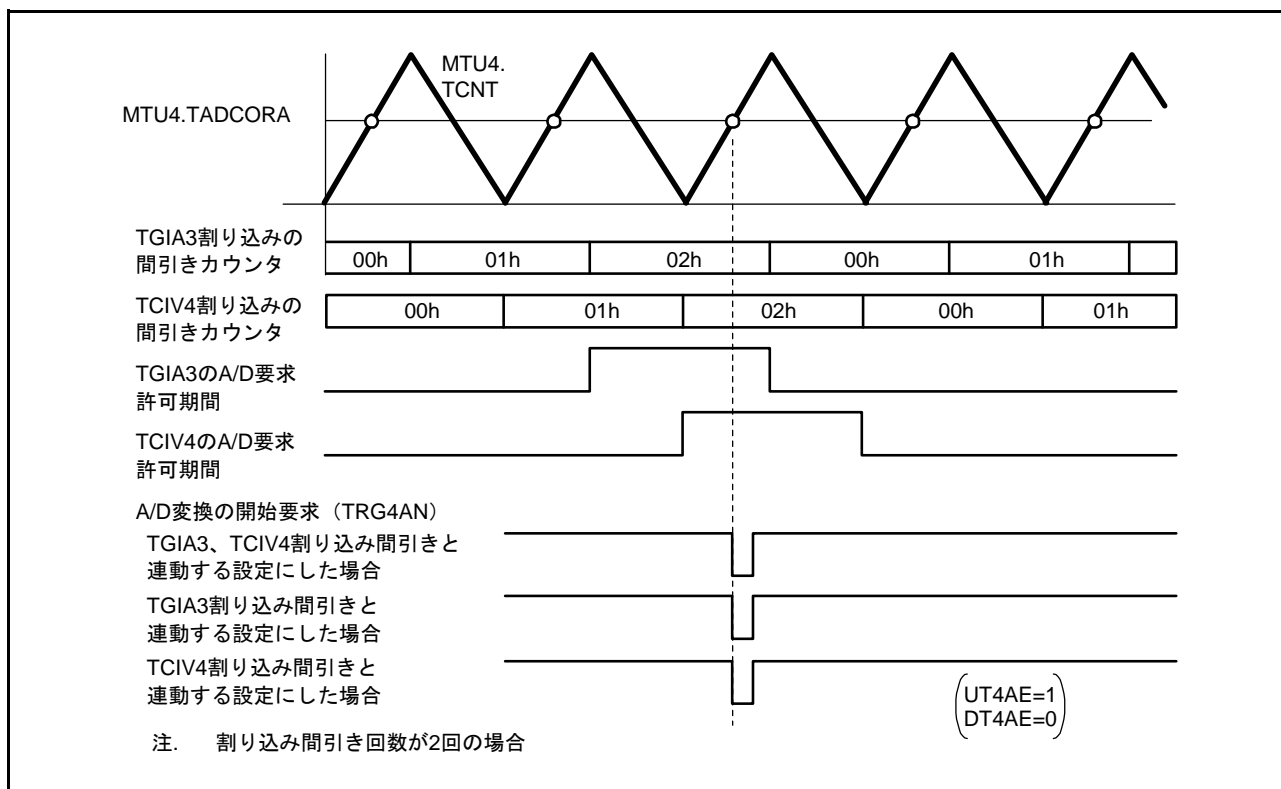


図 22.96 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE = 1, DT4AE = 0)

(6) 割り込み間引き機能2と連動したA/D変換開始要求ディレイド機能

TITMRA (TITMRB) レジスタのTITMビットを“1”にし、TITCR2A (TITCR2B) レジスタのTRG4COR[2:0] (TRG7COR[2:0]) ビットで設定した値 (0～7) から、既存のA/D変換開始トリガ (TRG4AN および TRG4BN (TRG7AN および TRG7BN)) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN および TRG4BN (TRG7AN および TRG7BN) の割り込みが有効になり、AD変換開始要求信号 (TRG4ABN (TRG7ABN)) が出力されます。

この機能はAD変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能2の設定手順例

図 22.97 に割り込み間引き機能2の設定手順例を示します。

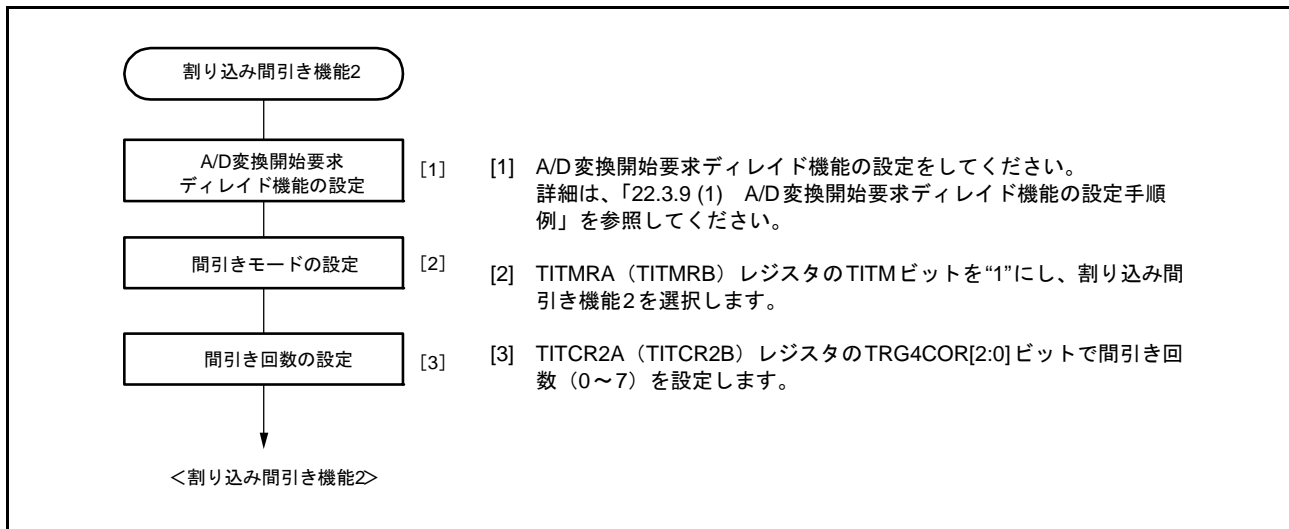


図 22.97 割り込み間引き機能2の設定手順例

(b) 割り込み間引き機能 2 の動作例

図 22.98 に割り込み間引き機能 2 の動作例を示します。

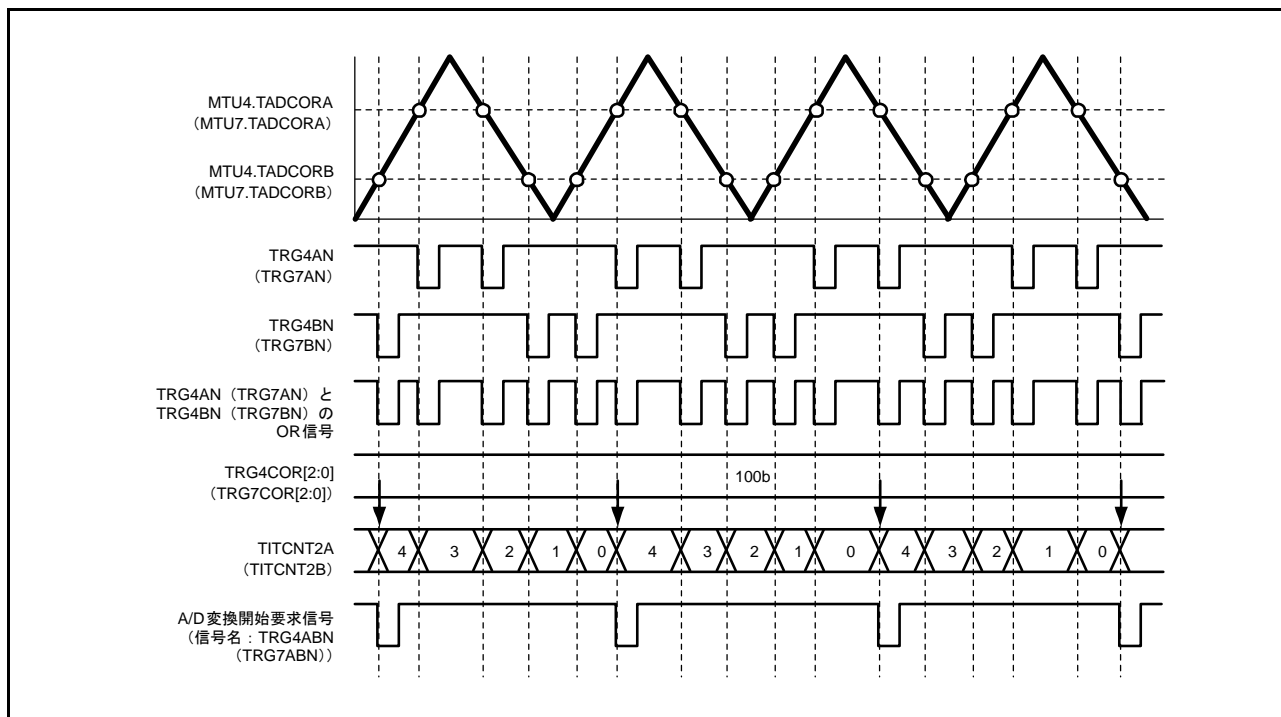


図 22.98 割り込み間引き機能 2 の動作例 (間引き回数を 4 回とした場合)

22.3.10 MTU0 ~ MTU4、MTU6、MTU7 の同期動作

(1) MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ~ MTU4、MTU6、MTU7 のカウンタを同期スタートすることができます。

(a) MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例

図 22.99 に MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例を示します。

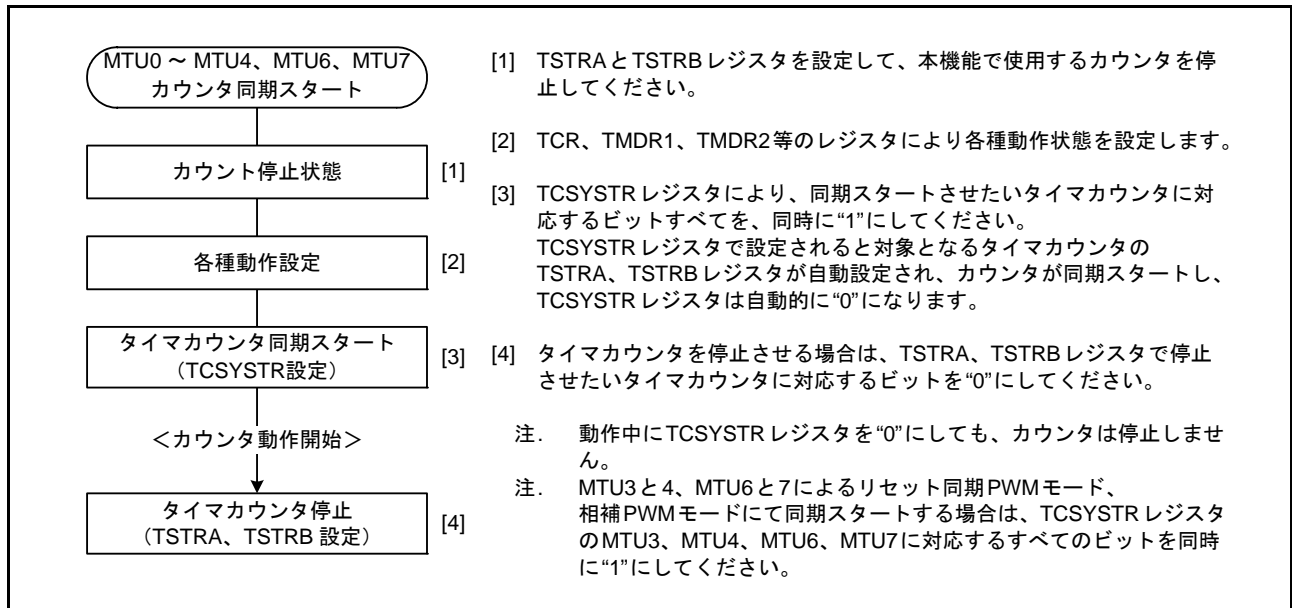


図 22.99 MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 22.100 に MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの動作例を示します。

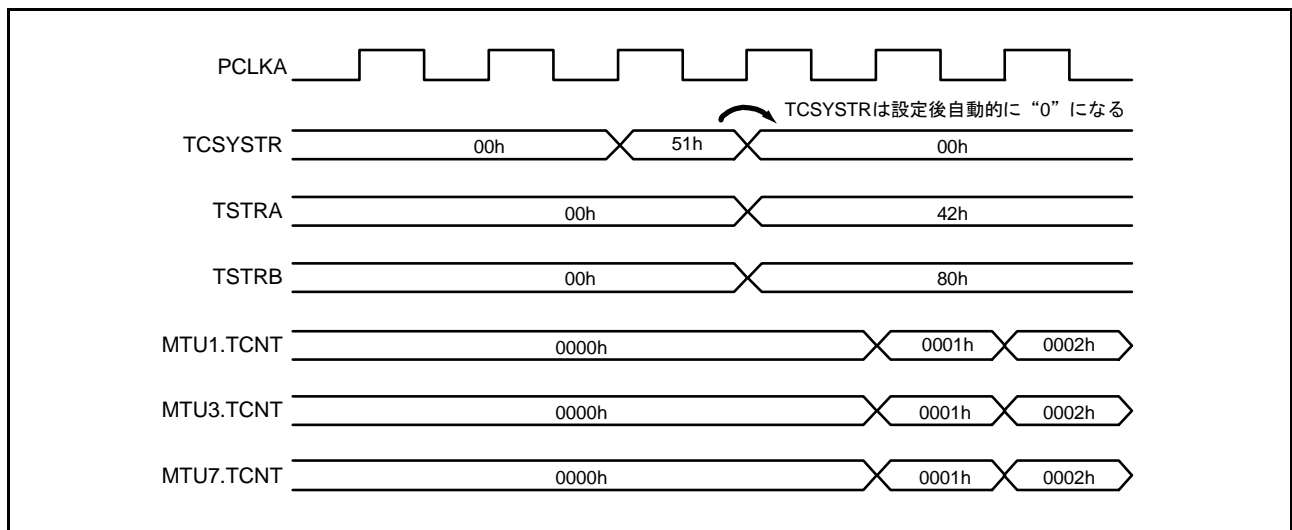


図 22.100 MTU0 ~ MTU4、MTU6、MTU7 カウンタ同期スタートの動作例

(2) MTU6、MTU7 カウンタ同期クリア

MTU6、MTU7はTSYCRレジスタを設定することにより、TGImm 割り込み発生タイミング (m = A ~ D, n = 0 ~ 2) を利用して、カウンタクリアすることができます。

(a) MTU6、MTU7 カウンタ同期クリアの設定手順例

図 22.101 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの設定手順例を示します。

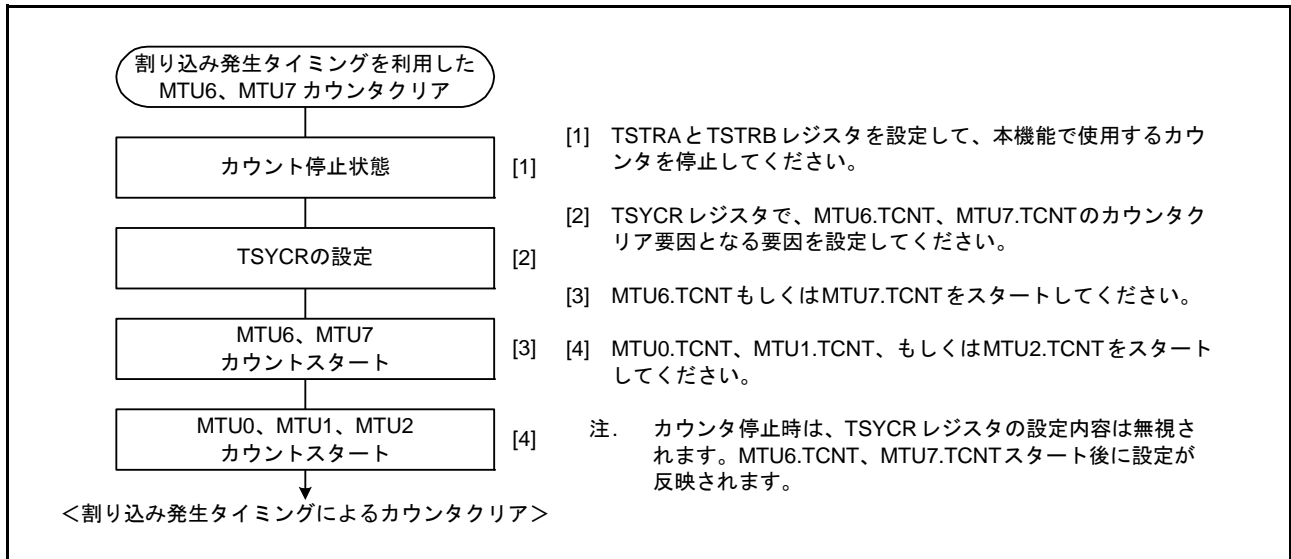


図 22.101 MTU6、MTU7 カウンタ同期クリアの設定手順例

(b) MTU6、MTU7 カウンタ同期クリアの動作例

図 22.102、図 22.103 に割り込み発生タイミングを利用した MTU6、MTU7 カウンタ同期クリアの動作例を示します。

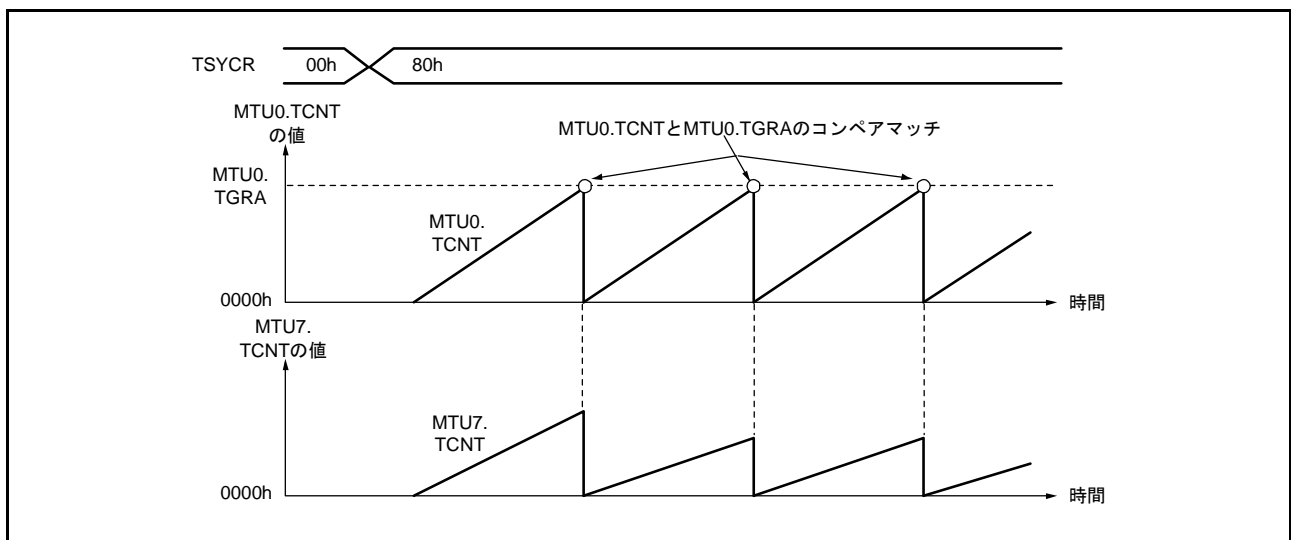


図 22.102 MTU6、MTU7 カウンタ同期クリアの動作例 (1)

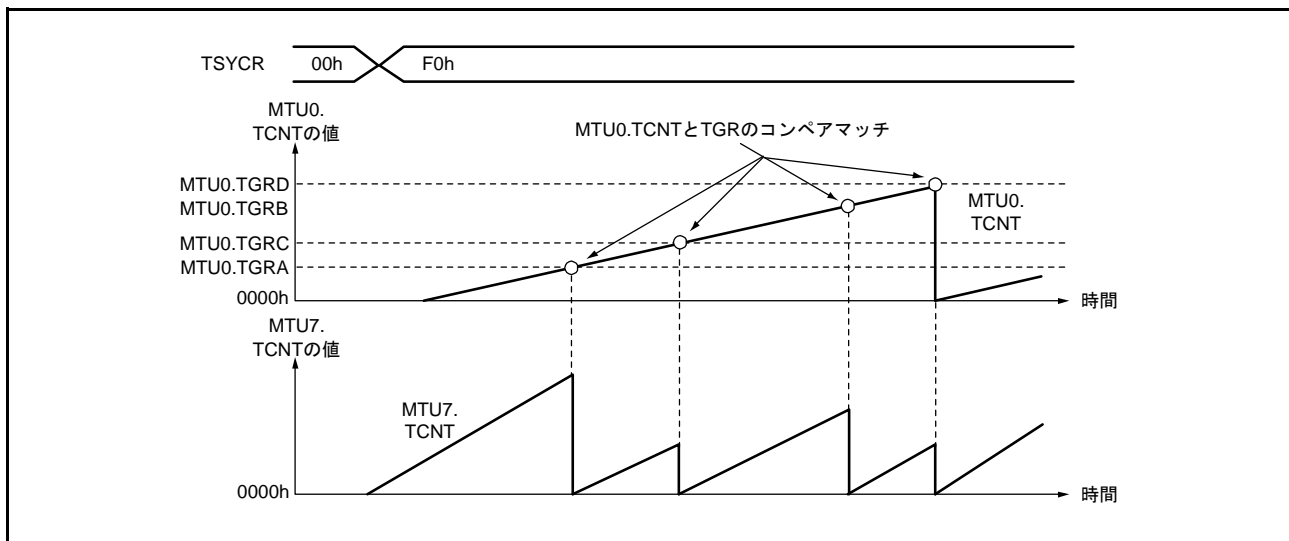


図 22.103 MTU6、MTU7 カウンタ同期クリアの動作例 (2)

22.3.11 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU、MTU5.TIORV、MTU5.TIORW の IOC[4:0] ビットにパルス幅測定条件を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU、TCNTV、TCNTW はカウントアップします。

外部パルス幅測定の設定例を図 22.104 に、動作例を図 22.105 に示します。

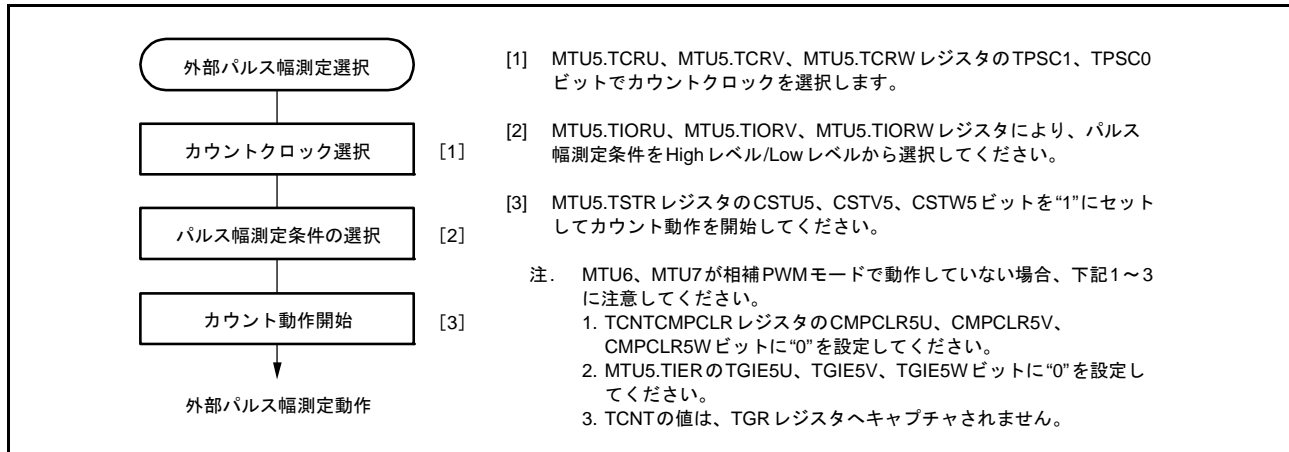


図 22.104 外部パルス幅測定の設定手順例

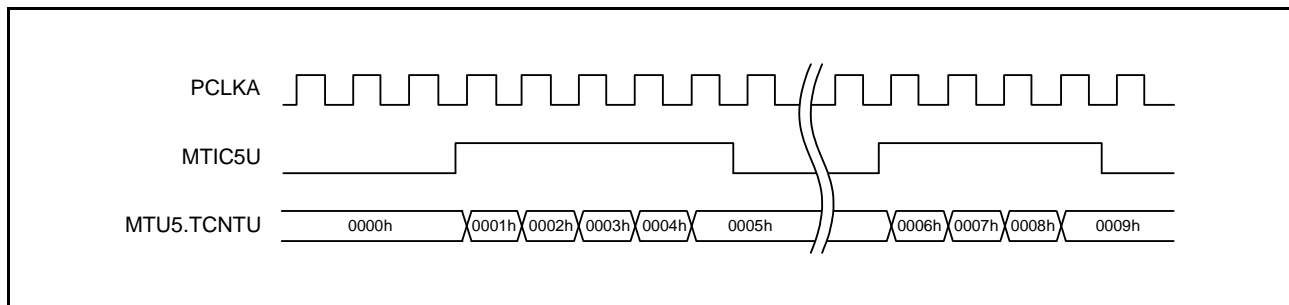


図 22.105 外部パルス幅測定動作例 (High パルス幅測定)

22.3.12 デッドタイム補償機能

MTU5～MTU7を組み合わせ、デッドタイム遅れ（相補PWM出力とインバータ出力間の遅延）を補償することができます。図22.106に、MTU5～MTU7を組み合わせ、デッドタイム遅れを補償するモータ制御の回路例を示します。MTU5の外部パルス測定機能で相補PWM出力とインバータ出力間の遅延を測定して、PWM出力のコンペアレジスタに設定するデューティを補正することで、MTU6、MTU7を使用した相補PWM動作時のPWM出力波形に対するデッドタイムを補償することができます（図22.107）。MTU5～MTU7を使用したデッドタイム補償の設定手順を図22.108に示します。このときのMTU5の動作については、「22.3.13 相補PWMモード時の山と谷でのTCNTU, TCNTV, TCNTWキャプチャ動作」を参照してください。

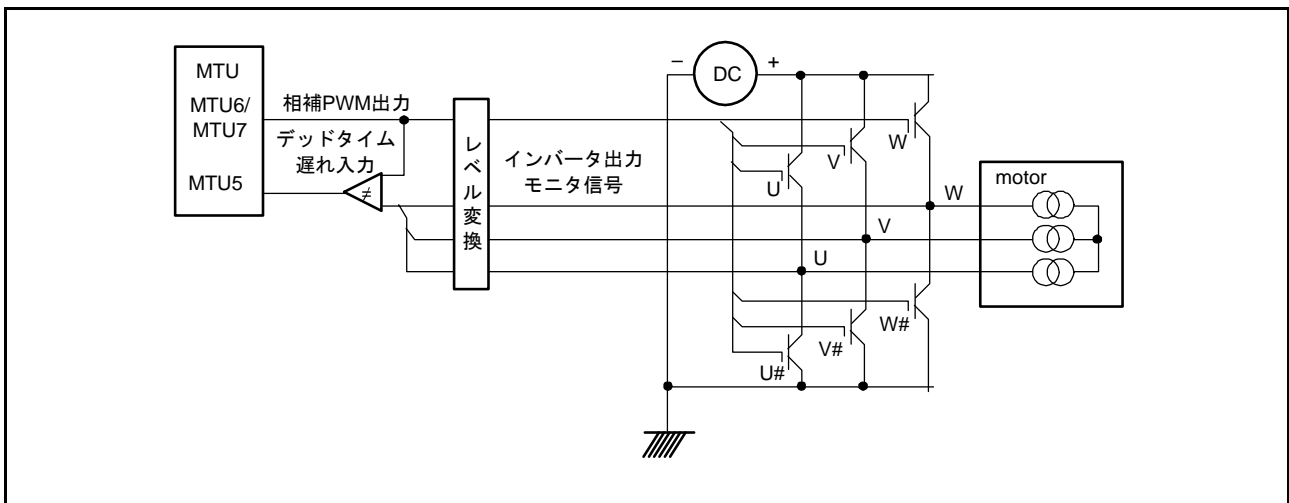


図 22.106 モータ制御回路例

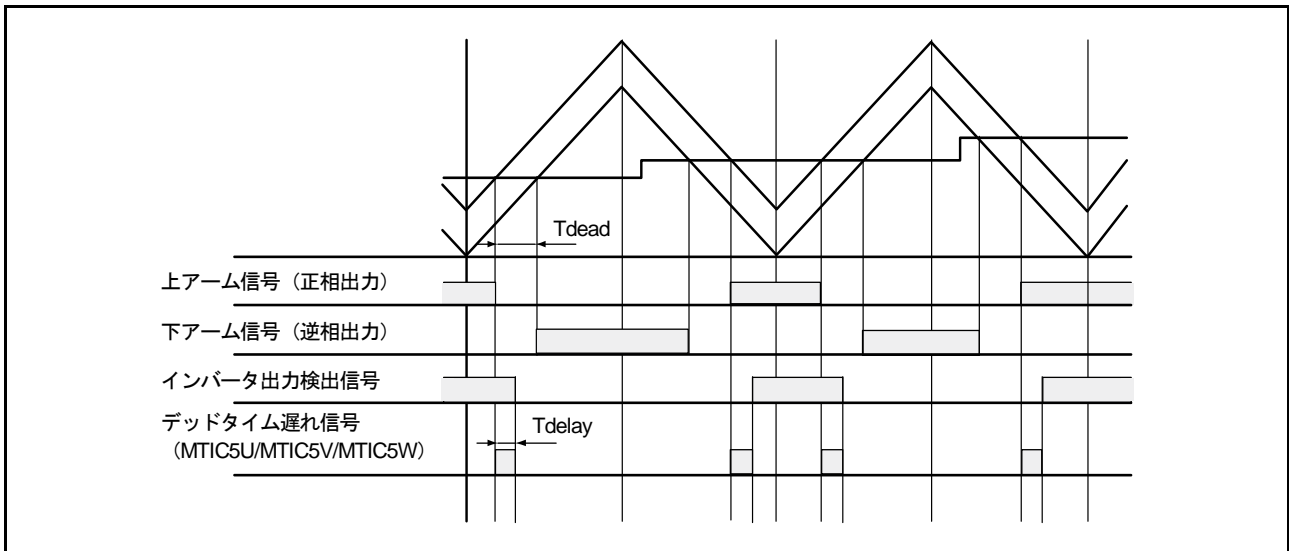


図 22.107 相補PWM動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

MTU5の3本のカウンタを使用したデッドタイム補償機能の設定手順例を図22.108に示します。

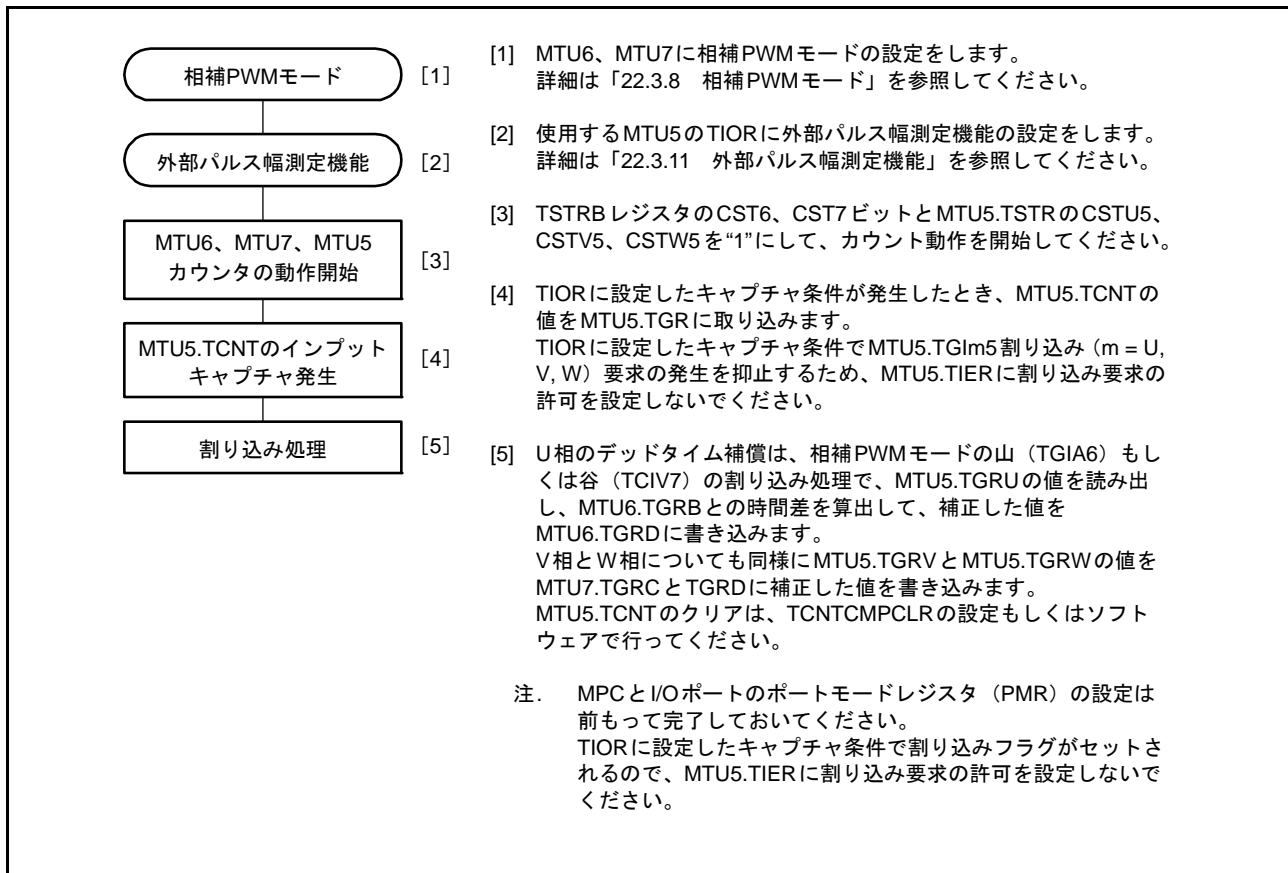


図 22.108 デッドタイム補償機能の設定手順例

22.3.13 相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作

MTU5 の外部パルス幅測定機能は、MTU6、MTU7 を相補 PWM モードで動作させたときに、相補 PWM の山、谷、または山と谷で TCNTU, TCNTV, TCNTW の値を TGRU, TGRV, TGRW に転送する機能です。転送タイミングは TIORU, TIORV, TIORW に設定します。また TCNTCMPCLR レジスタの CMPCLR5U, CMPCLR5V, CMPCLR5W ビットを“1”にすると、TGRU, TGRV, TGRW への転送タイミングで TCNTU, TCNTV, TCNTW が“0000h”になります。

なお、MTU3、MTU4 を相補 PWM モードで動作させるとき、相補 PWM の山、谷、または山と谷で MTU5 の TCNTU、TCNTV、TCNTW のキャプチャ動作は実行できません。

図 22.109 は TCNTU をフリーランでクリアせずに使用し、相補 PWM モードの山と谷で TGRU にキャプチャを行った動作例です。

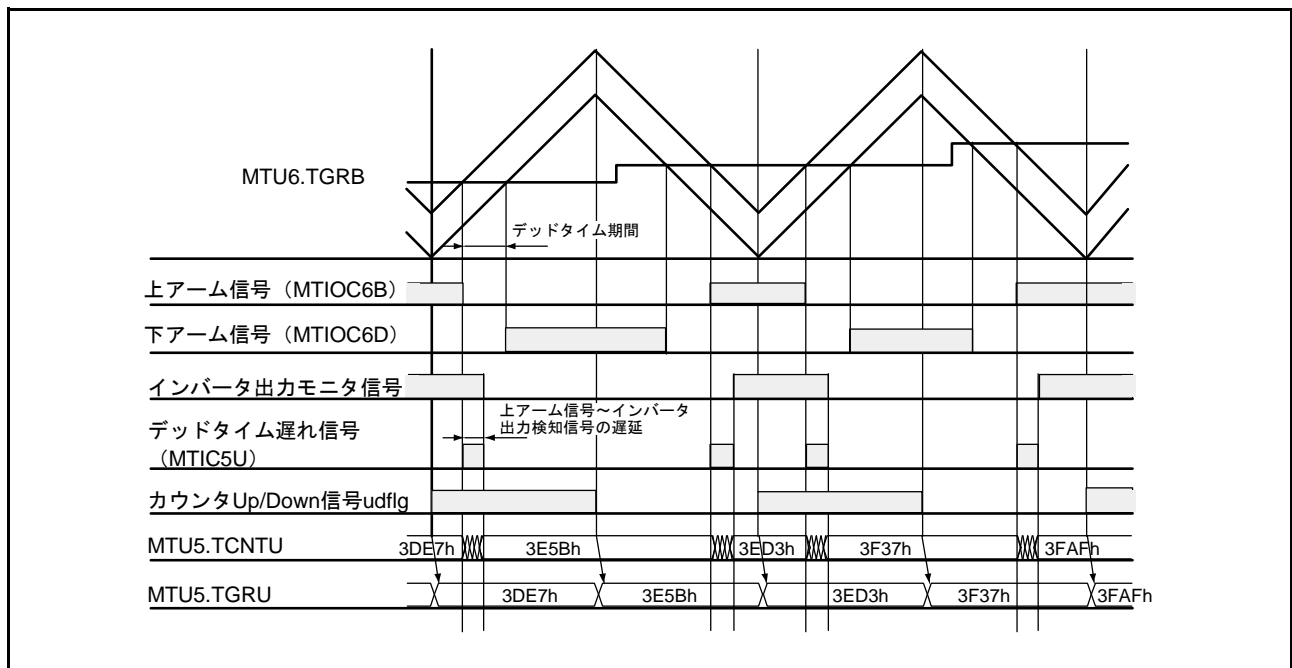


図 22.109 相補 PWM の山と谷での TCNTU キャプチャ動作

22.3.14 ノイズフィルタ機能

インプットキャプチャ入力端子、および外部クロック入力端子にはノイズフィルタ機能があります。

NFCRn レジスタ (n=0~7, C) にノイズフィルタ機能の有効/無効、およびサンプリングクロックの設定をしてください。ノイズフィルタ機能の有効/無効は端子ごとに設定でき、サンプリングクロックの設定はチャンネルごとに設定できます。図 22.110 にノイズフィルタのタイミングを示します。

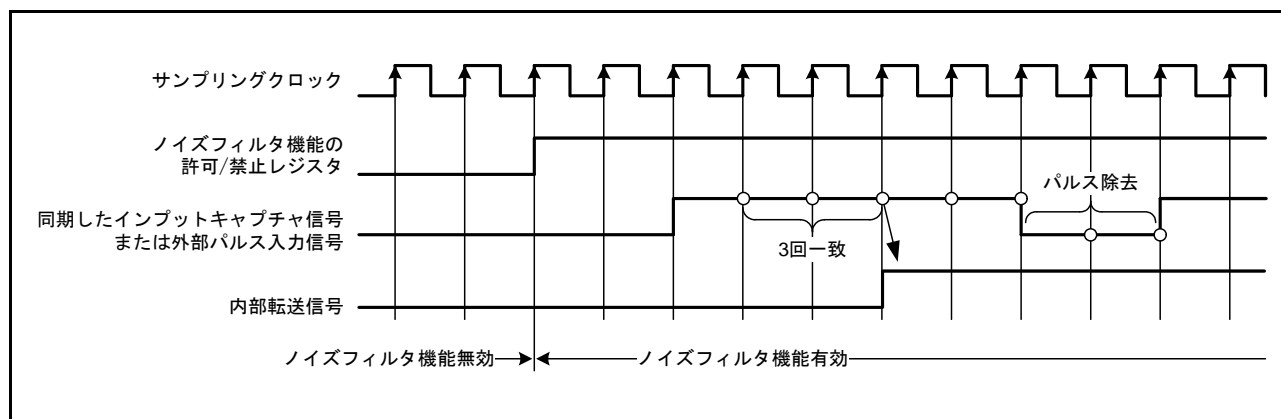


図 22.110 ノイズフィルタのタイミング

22.4 割り込み要因

22.4.1 割り込み要因と優先順位

割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用の許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可/禁止ビットが“1”ならば、割り込みを要求します。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。表 22.77 に MTU の割り込み要因の一覧を示します。

表 22.77 MTU割り込み要因

チャネル	名称	割り込み要因	DMAC/DTCの起動
MTU0	TGIA0	MTU0.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB0	MTU0.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC0	MTU0.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID0	MTU0.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV0	MTU0.TCNTのオーバフロー	不可能
	TGIE0	MTU0.TGREのコンペアマッチ	不可能
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能
MTU1	TGIA1	MTU1.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB1	MTU1.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TCIV1	MTU1.TCNTのオーバフロー	不可能
	TCIU1	MTU1.TCNTのアンダフロー	不可能
MTU2	TGIA2	MTU2.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB2	MTU2.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TCIV2	MTU2.TCNTのオーバフロー	不可能
	TCIU2	MTU2.TCNTのアンダフロー	不可能
MTU3	TGIA3	MTU3.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB3	MTU3.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC3	MTU3.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID3	MTU3.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV3	MTU3.TCNTのオーバフロー	不可能
MTU4	TGIA4	MTU4.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB4	MTU4.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC4	MTU4.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID4	MTU4.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー(注1)	可能
MTU5	TGIU5	MTU5.TGRUのインพุットキャプチャ/コンペアマッチ	可能
	TGIV5	MTU5.TGRVのインพุットキャプチャ/コンペアマッチ	可能
	TGIW5	MTU5.TGRWのインพุットキャプチャ/コンペアマッチ	可能
MTU6	TGIA6	MTU6.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB6	MTU6.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC6	MTU6.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID6	MTU6.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV6	MTU6.TCNTのオーバフロー	不可能
MTU7	TGIA7	MTU7.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB7	MTU7.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC7	MTU7.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID7	MTU7.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV7	MTU7.TCNTのオーバフロー/アンダフロー(注1)	可能
MTU8	TGIA8	MTU8.TGRAのインพุットキャプチャ/コンペアマッチ	可能
	TGIB8	MTU8.TGRBのインพุットキャプチャ/コンペアマッチ	可能
	TGIC8	MTU8.TGRCのインพุットキャプチャ/コンペアマッチ	可能
	TGID8	MTU8.TGRDのインพุットキャプチャ/コンペアマッチ	可能
	TCIV8	MTU8.TCNTのオーバフロー	不可能

注. リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

注1. アンダフローは相補PWMモード時のみ有効

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチが発生したとき、TIER.TGIE ビットが“1”であれば、割り込みを要求します。MTU には、MTU0 に 6 本、MTU3、MTU4、MTU6、MTU7、MTU8 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に 3 本、計 33 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローが発生したとき、TIER.TCIEV ビットが“1”であれば、割り込みを要求します。MTU には、MTU5 を除く各チャンネルに 1 本、計 8 本のオーバフロー割り込みがあります。

なお、相補 PWM モードで動作時は、MTU4.TCNT、MTU7.TCNT のアンダフロー発生時もオーバフロー割り込みが発生します。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローが発生したとき、TIER.TCIEU ビットが“1”であれば、割り込みを要求します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

22.4.2 DTC/DMAC の起動

(1) DTC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込み、MTU4、MTU7 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「18. データトランスファコントローラ (DTCb)」を参照してください。

MTU では、MTU0、MTU3、MTU6、MTU8 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が各 5 本、MTU5 が 3 本、計 33 本のインพุットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込み、MTU4、MTU7 のオーバフロー割り込みによって、DMAC を起動することができます。詳細は「17. DMA コントローラ (DMACa)」を参照してください。

MTU では、MTU0、MTU3、MTU6、MTU8 が各 4 本、MTU1、MTU2 が各 2 本、MTU4、MTU7 が各 5 本、MTU5 が 3 本、計 33 本のインพุットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DMAC の起動要因とすることができます。

MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因がクリアされます。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

22.4.3 A/D コンバータの起動

MTUでは、次の3種類の方法でA/Dコンバータを起動することができます。
各割り込み要因とA/D変換開始要求の対応を、表22.78に示します。

(1) TGRAのインプットキャプチャ/コンペアマッチと、相補PWMモード時のMTU4.TCNT (MTU7.TCNT)の谷でのA/D起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。また、MTU4.TIER (MTU7.TIER)のTTGE2ビットを“1”にした状態で、相補PWM動作をさせた場合は、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になったときもA/Dコンバータを起動することができます。

次に示す条件で、A/Dコンバータに対してA/D変換の開始要求 (TRGAnN (n = 0 ~ 4, 6, 7))を行います。

- 各チャンネルのTGRAのインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGEビットが“1”になっていた場合
- MTU4.TIER (MTU7.TIER)のTTGE2ビットが“1”の状態で、相補PWM動作をさせ、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になった場合

これらのときA/Dコンバータ側でMTUの変換開始トリガTRGAnNが選択されていれば、A/D変換が開始されます。

(2) MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D起動

MTU0.TCNTとMTU0.TGREのコンペアマッチによって、A/D変換の開始要求 (TRG0N)を行い、A/Dコンバータを起動することができます。

MTU0.TCNTとMTU0.TGREのコンペアマッチが発生したとき、MTU0.TIER2のTTGE2ビットが“1”になっていれば、A/Dコンバータに対してA/D変換の開始要求 (TRG0N)を行います。このとき、A/Dコンバータ側でMTUの変換開始トリガTRG0Nが選択されていれば、A/D変換が開始されます。

(3) A/D変換開始要求ディレイド機能によるA/D起動

A/D変換開始要求コントロールレジスタ (MTU4.TADCR (MTU7.TADCR))のUT4AE、DT4AE、UT4BE、DT4BE (UT7AE, DT7AE, UT7BE, DT7BE)ビットを“1”にした場合、MTU4.TADCORA、MTU4.TADCORBとMTU4.TCNT (MTU7.TADCORA, MTU7.TADCORBとMTU7.TCNT)の一致によって、TRG4AN、TRG4BN (TRG7AN, TRG7BN)を生成し、A/Dコンバータを起動することができます。また、TRG4AN (TRG7AN)の発生またはTRG4BN (TRG7BN)の発生にてTRG4ABN (TRG7ABN)を出力し、A/Dコンバータを起動することができます。詳細は「22.3.9 A/D変換開始要求ディレイド機能」を参照してください。

TRG4AN (TRG7AN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4AN (TRG7AN)が選択されているとき、TRG4BN (TRG7BN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4BN (TRG7BN)が選択されているとき、TRG4ABN (TRG7ABN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4ABN (TRG7ABN)が選択されているとき、おのおのA/D変換が開始されます。

表 22.78 各割り込み要因と A/D 変換開始要求信号の対応

対象	割り込み要因	A/D変換開始要求信号
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGA0N
MTU1.TGRAとMTU1.TCNT		TRGA1N
MTU2.TGRAとMTU2.TCNT		TRGA2N
MTU3.TGRAとMTU3.TCNT		TRGA3N
MTU4.TGRAとMTU4.TCNT(注1)		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU6.TGRAとMTU6.TCNT	インプットキャプチャ/コンペアマッチ	TRGA6N
MTU7.TGRAとMTU7.TCNT(注1)		TRGA7N
MTU7.TCNT	相補PWMモード時のMTU7.TCNTの谷	
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0N
MTU4.TADCORAとMTU4.TCNT		TRG4AN
MTU4.TADCORBとMTU4.TCNT		TRG4BN
MTU7.TADCORAとMTU7.TCNT		TRG7AN
MTU7.TADCORBとMTU7.TCNT		TRG7BN
MTU4.TADCORAとMTU4.TCNT、 MTU4.TADCORBとMTU4.TCNT		コンペアマッチ (割り込み間引き機能2)
MTU7.TADCORAとMTU7.TCNT、 MTU7.TADCORBとMTU7.TCNT	TRG7ABN	

注1. 相補PWMモード時はPWM波形を生成するため、MTU4.TGRA (MTU7.TGRA) はMTU4.TCNT (MTU7.TCNT) だけではなく、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチの検出を行っています。そのため、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチが起こった際もTRGA4N (TRGA7N) を生成します。MTU3、MTU4 (MTU6、MTU7) を相補PWMモードで動作させて、A/D変換の開始要求を行う場合はMTU4.TCNT (MTU7.TCNT) とMTU4.TADCORA/TADCORB (MTU7.TADCORA/TADCORB) とのコンペアマッチによるA/D変換開始要求を使用してください。

22.5 動作タイミング

22.5.1 入出力タイミング

(1) TCNTのカウントタイミング

内部クロック動作の場合のTCNTのカウントタイミングを図22.111、図22.112に示します。また、外部クロック動作（ノーマルモード）の場合のTCNTのカウントタイミングを図22.113に、外部クロック動作（位相計数モード）の場合のTCNTのカウントタイミングを図22.114に示します。

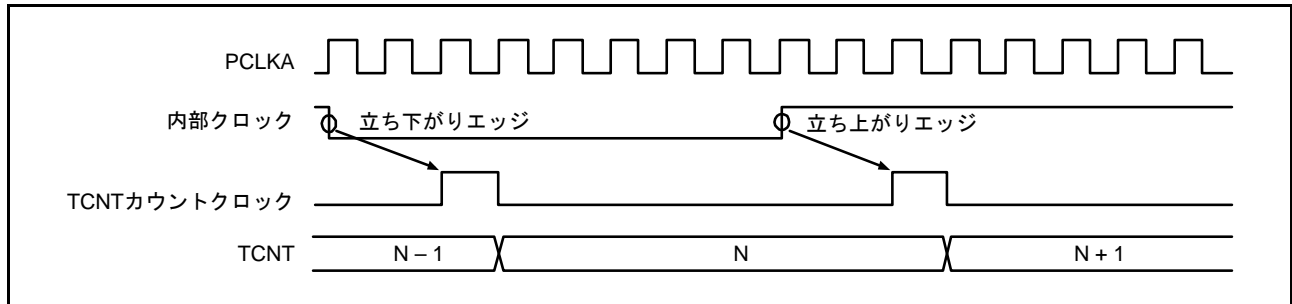


図 22.111 内部クロック動作時のカウントタイミング (MTU0 ~ MTU4, MTU6 ~ MTU8)

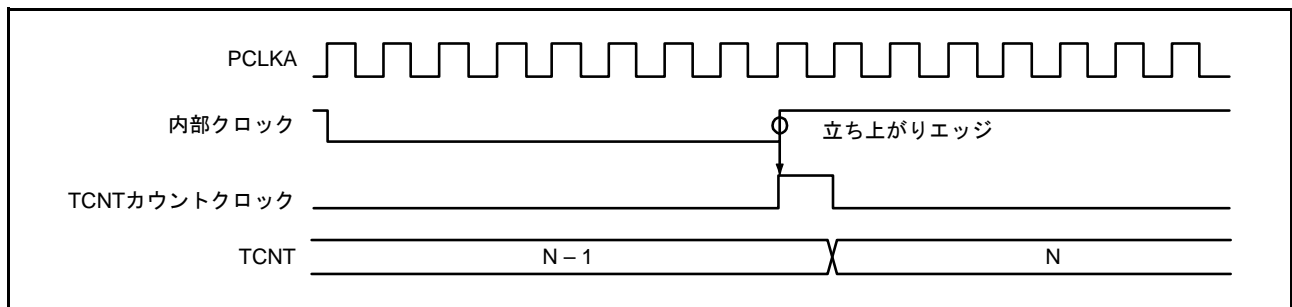


図 22.112 内部クロック動作時のカウントタイミング (MTU5)

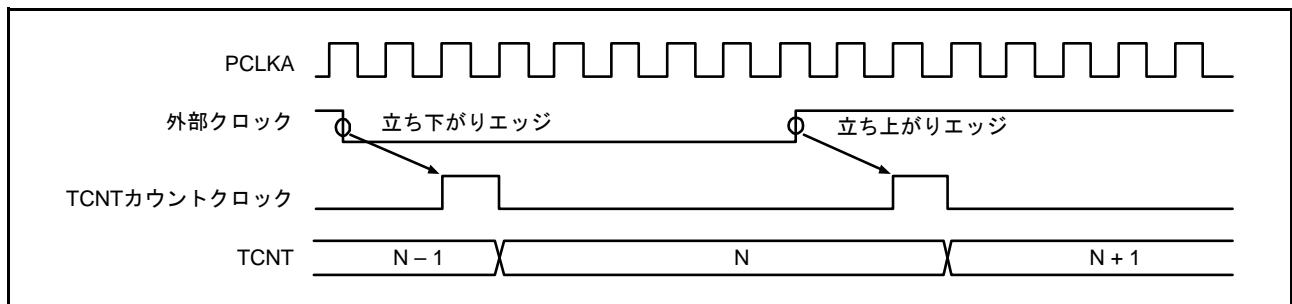


図 22.113 外部クロック動作時のカウントタイミング (MTU0 ~ MTU4, MTU6 ~ MTU8)

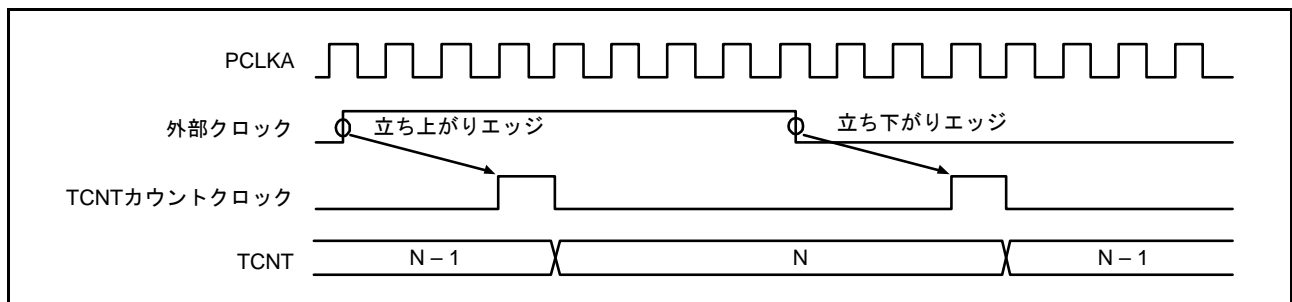


図 22.114 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIORレジスタで設定した出力値がMTIOcnm端子（ $n=0\sim 4, 6, 7, 8, m=A\sim D$ ）に出力されます。TCNTとTGRが一致した後、TCNTカウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWMモード）を図22.115に、アウトプットコンペア出力タイミング（相補PWMモード、リセット同期PWMモード）を図22.116に示します。

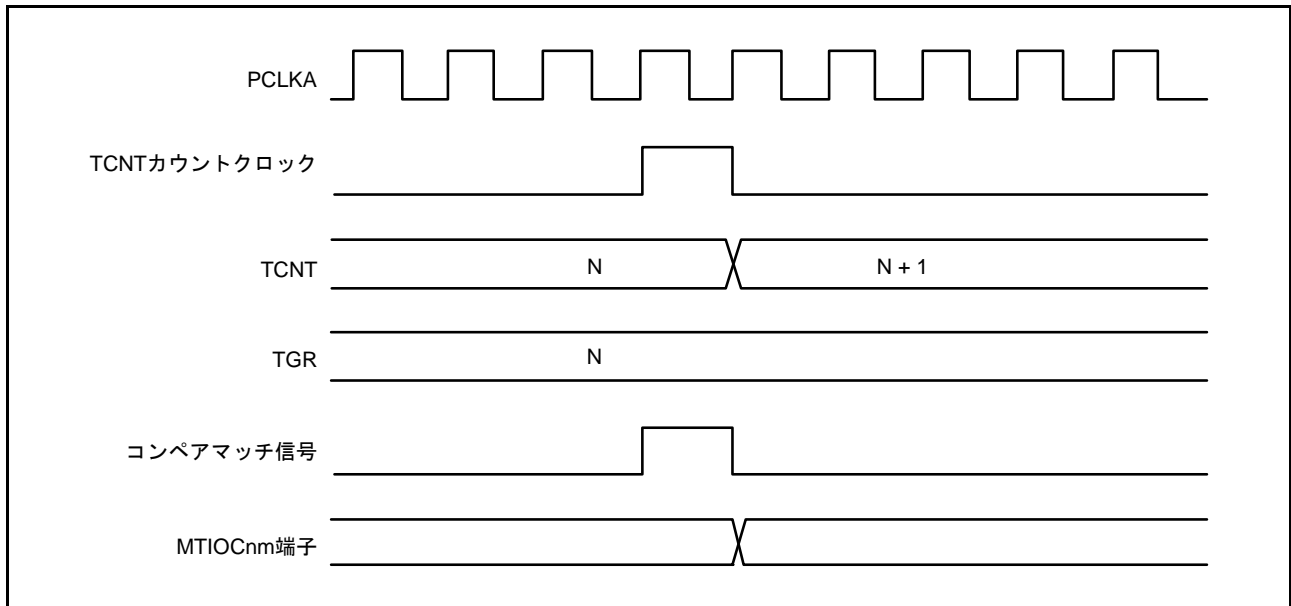


図 22.115 アウトプットコンペア出力タイミング（ノーマルモード、PWMモード）
 $(n=0\sim 4, 6, 7, 8, m=A\sim D)$

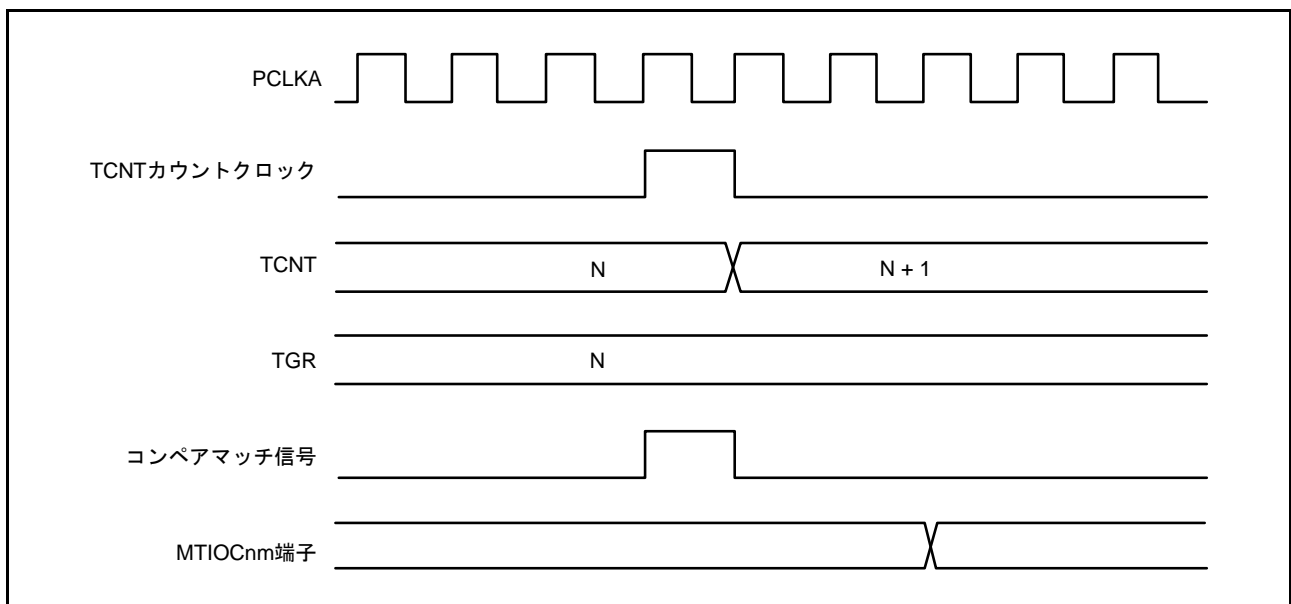


図 22.116 アウトプットコンペア出力タイミング（相補PWMモード、リセット同期PWMモード）
 $(n=0\sim 4, 6, 7, 8, m=A\sim D)$

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 22.117 に示します。

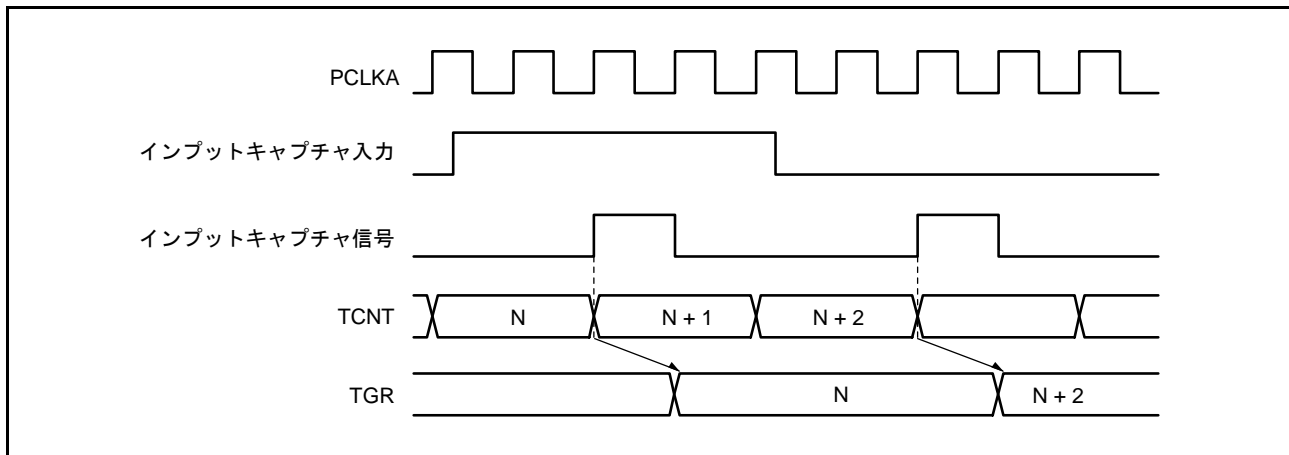


図 22.117 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 22.118、図 22.119 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 22.120 に示します。

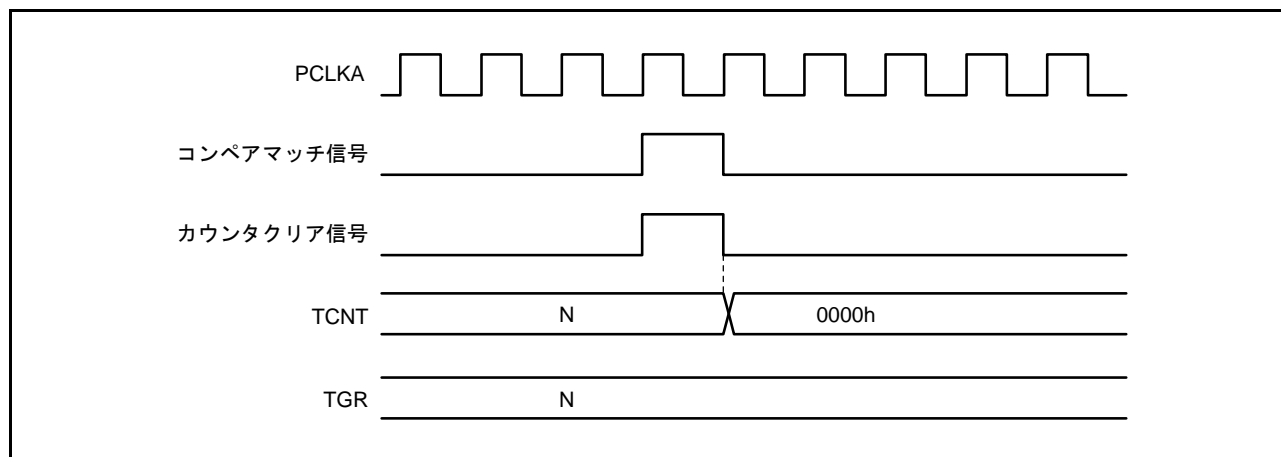


図 22.118 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4, MTU6 ~ MTU8)

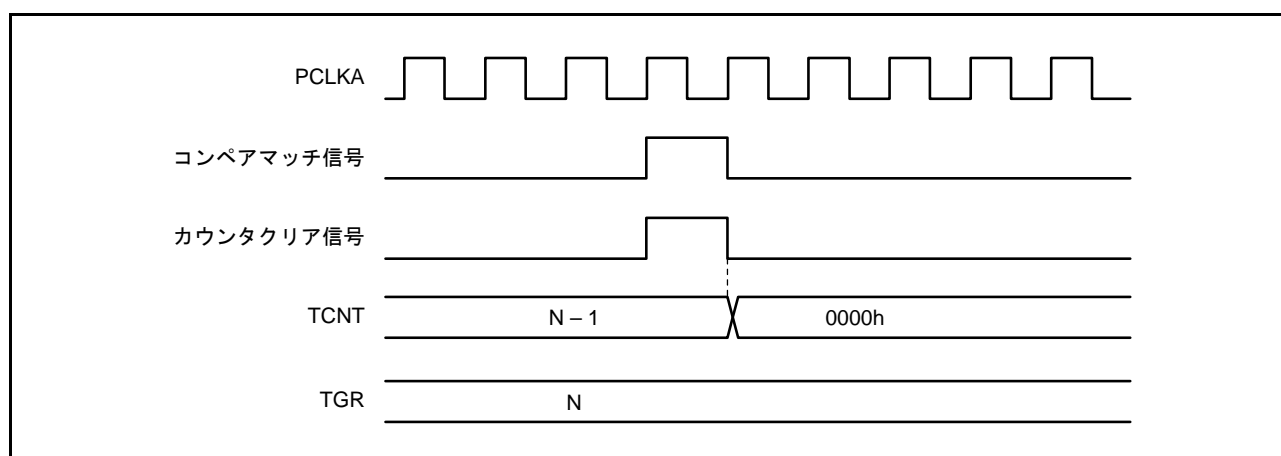


図 22.119 カウンタクリアタイミング (コンペアマッチ) (MTU5)

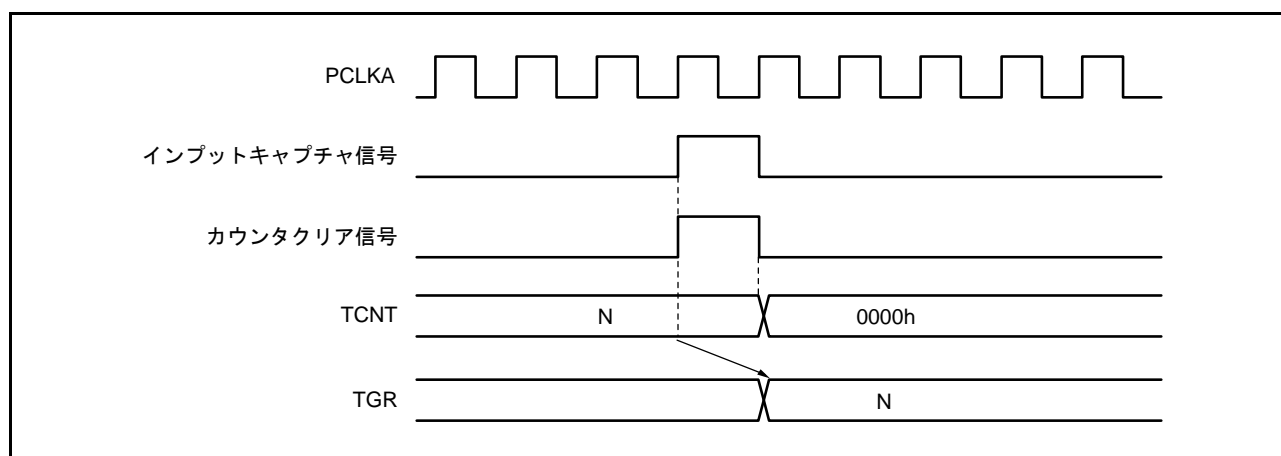


図 22.120 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU8)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 22.121 ~ 図 22.123 に示します。

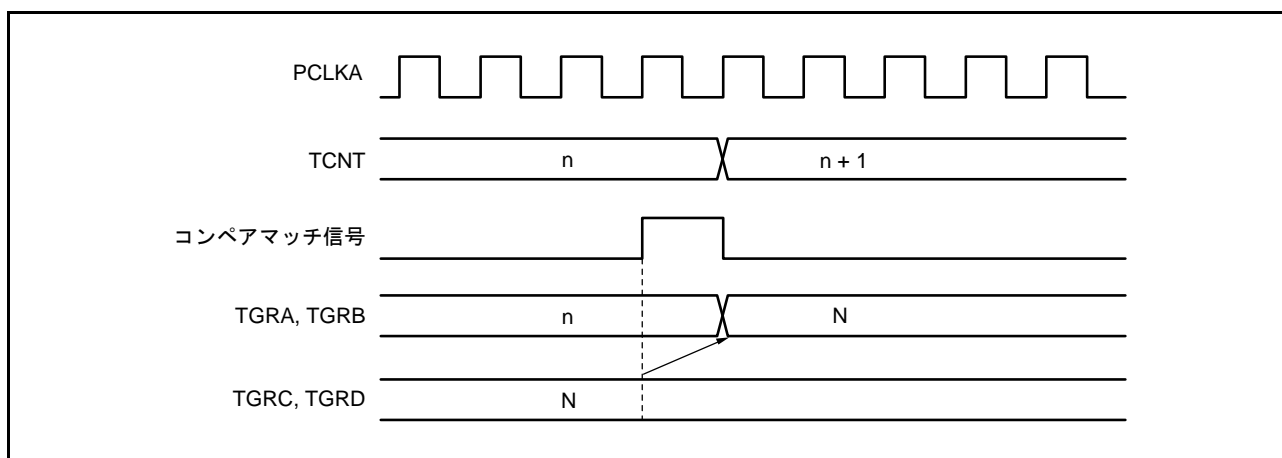


図 22.121 バッファ動作タイミング (コンペアマッチ)

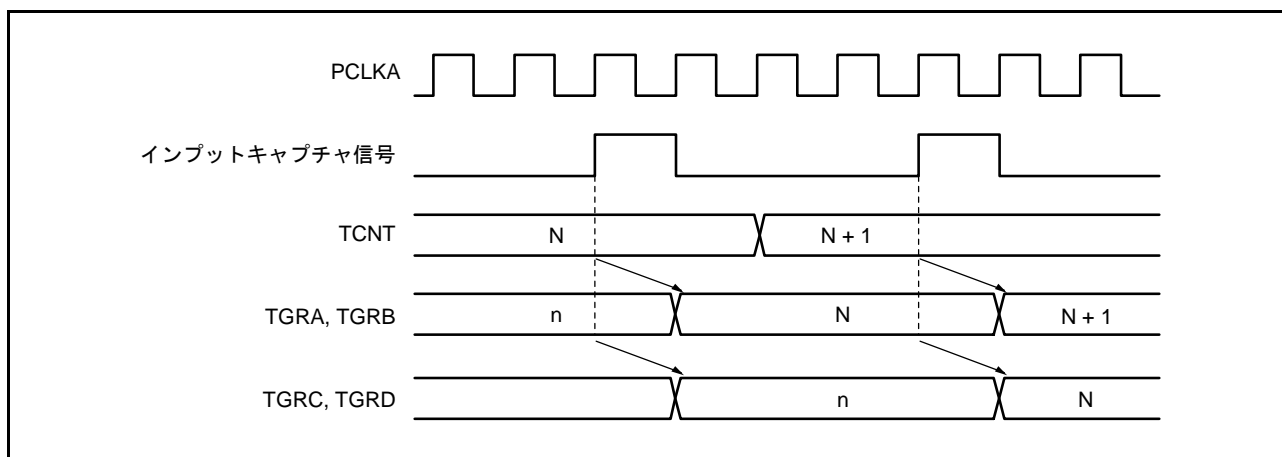


図 22.122 バッファ動作タイミング (インプットキャプチャ)

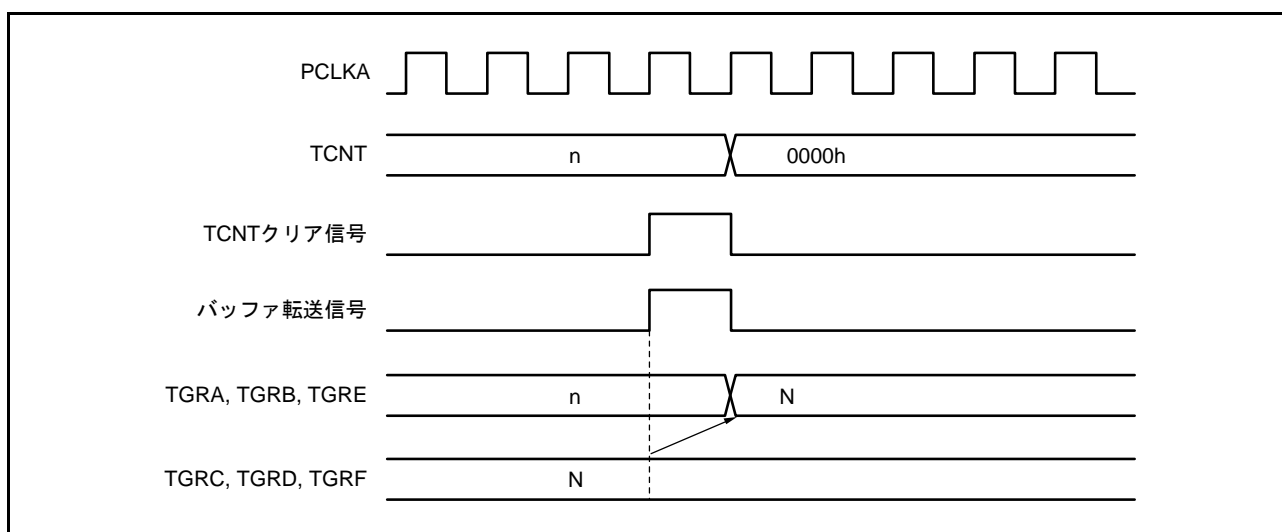


図 22.123 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 22.124 ~ 図 22.126 に示します。

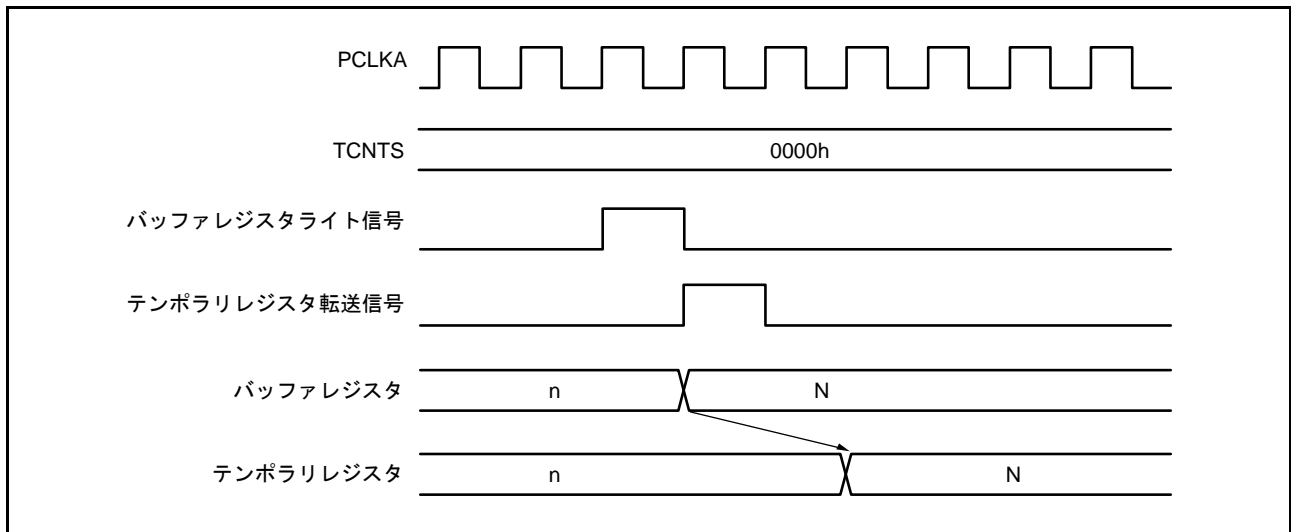


図 22.124 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 停止中)

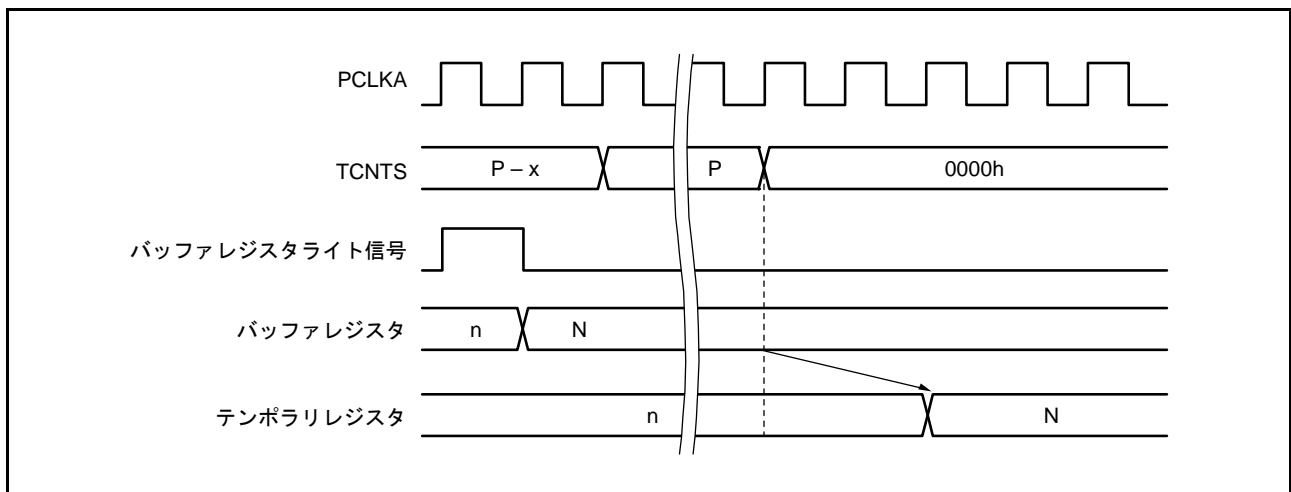


図 22.125 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 動作中)

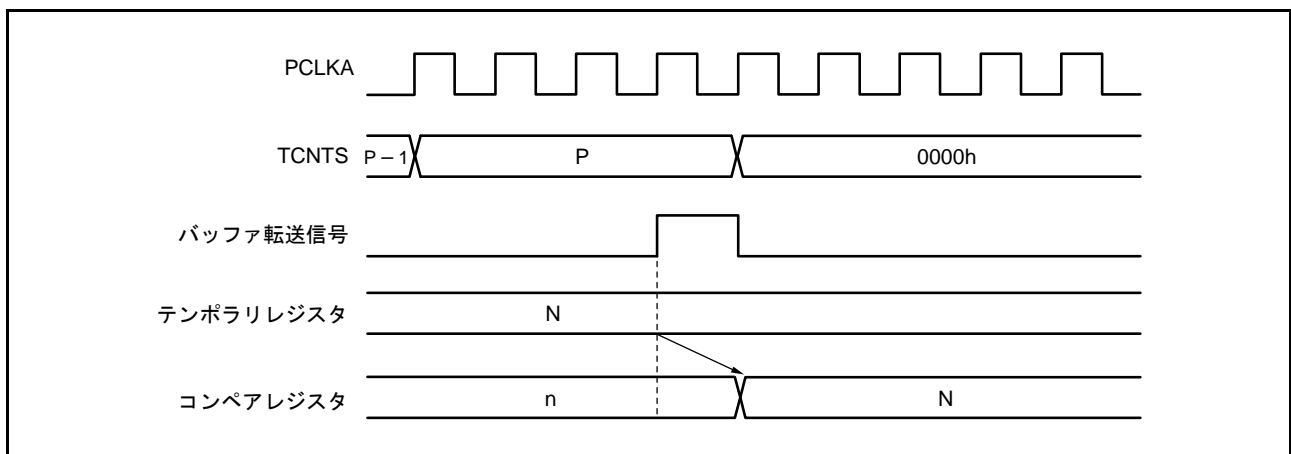


図 22.126 テンポラリレジスタからコンペアレジスタへの転送タイミング

22.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチが発生したときの TGI 割り込み要求信号のタイミングを図 22.127、図 22.128 に示します。

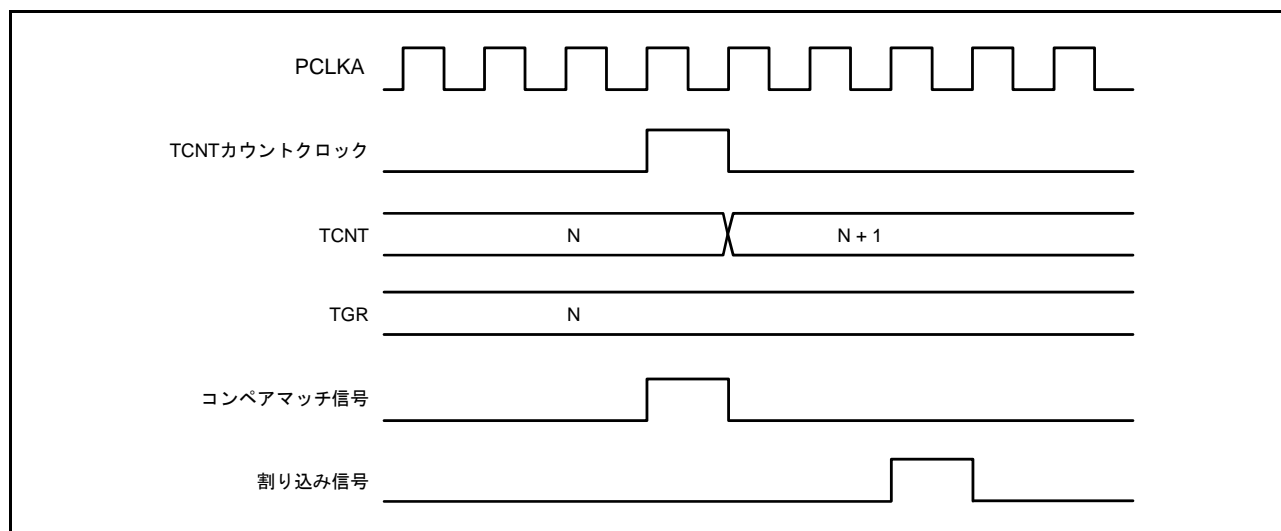


図 22.127 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4, MTU6 ~ MTU8)

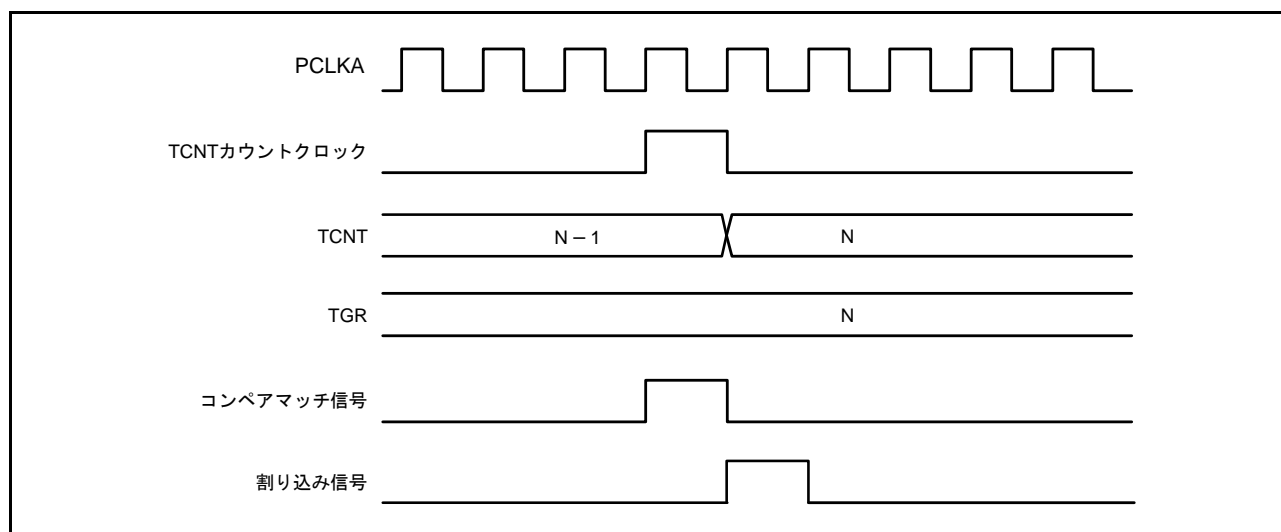


図 22.128 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャが発生したときの TGI 割り込み要求信号のタイミングを図 22.129、図 22.130 に示します。

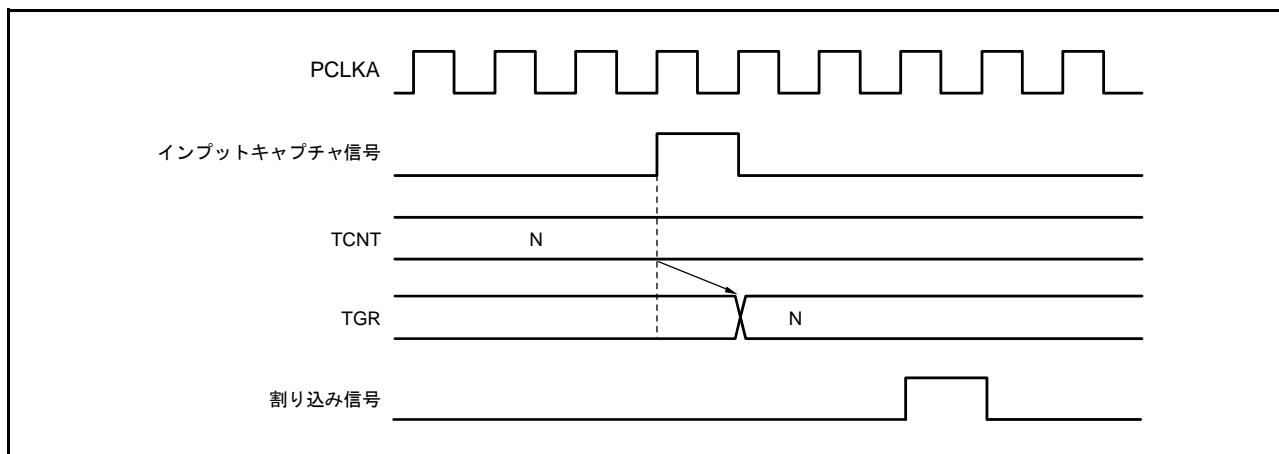


図 22.129 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4, MTU6 ~ MTU8)

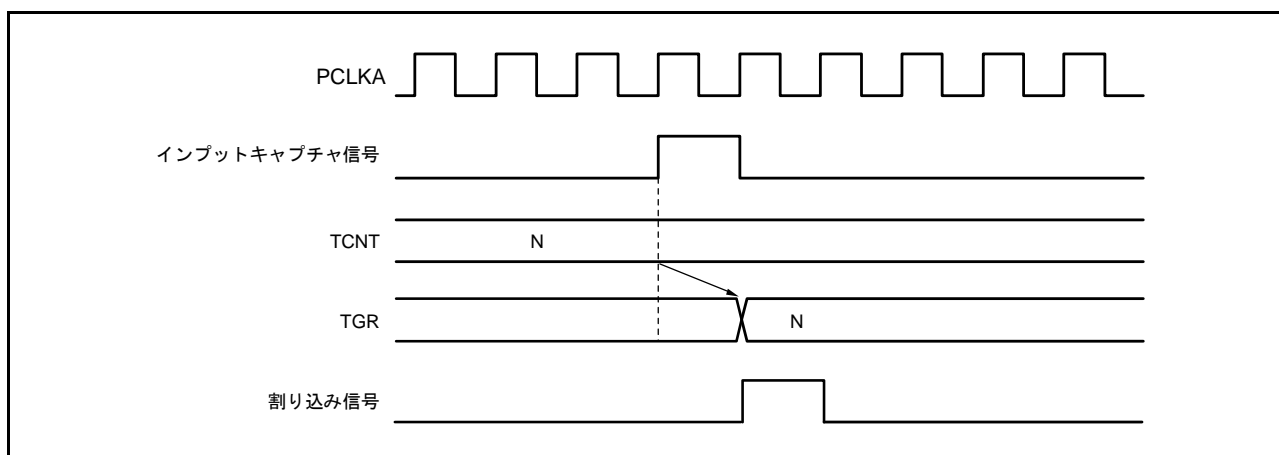


図 22.130 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローが発生したときの TCIV 割り込み要求信号のタイミングを図 22.131 に示します。
 アンダフローが発生したときの TCIU 割り込み要求信号のタイミングを図 22.132 に示します。

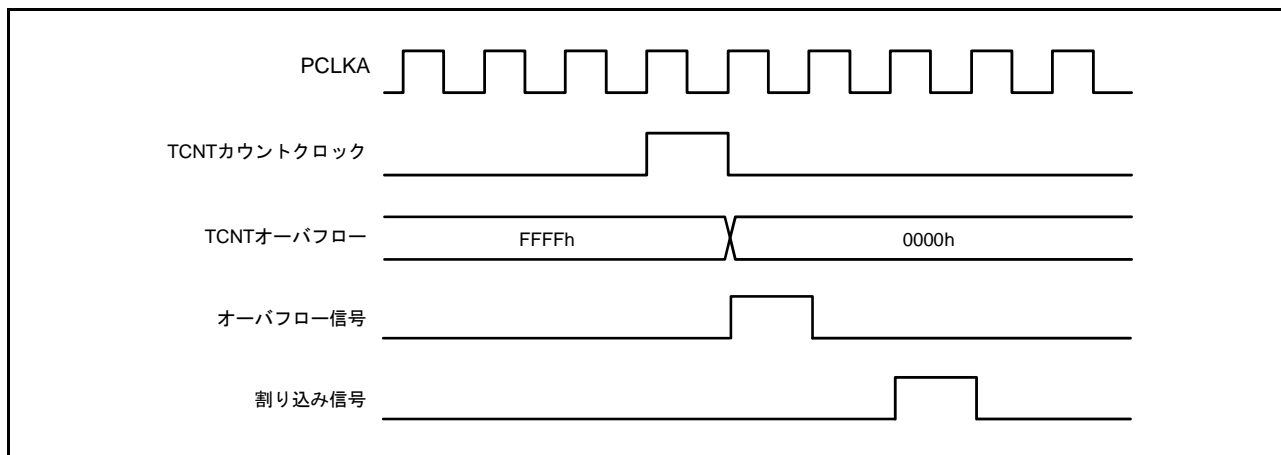


図 22.131 TCIV 割り込みタイミング

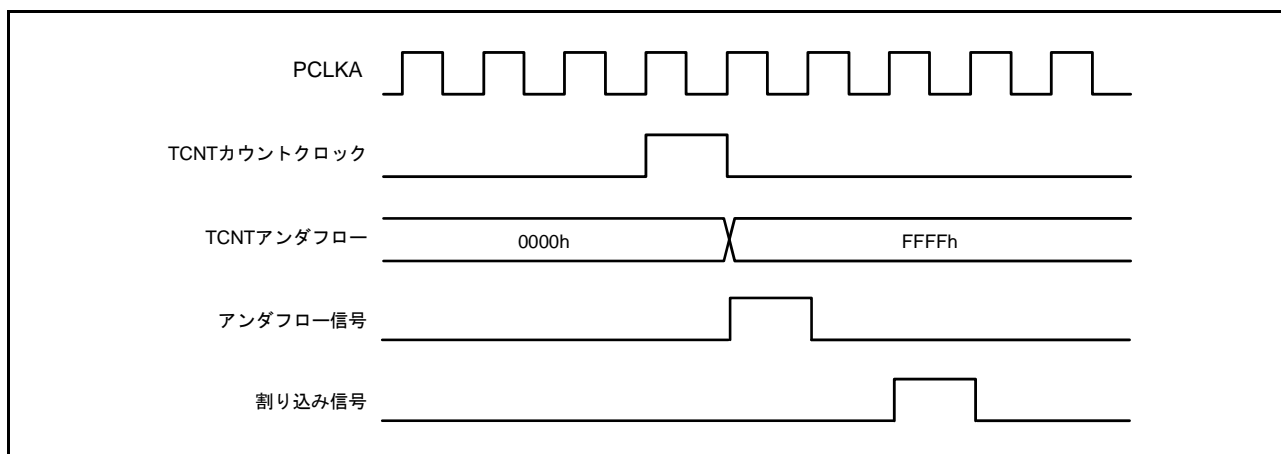


図 22.132 TCIU 割り込みタイミング

22.6 使用上の注意事項

22.6.1 モジュールストップ機能の設定

MTUは、モジュールストップコントロールレジスタにより、MTUの動作禁止/許可を設定することが可能です。初期値では、MTUの動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

22.6.2 カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は1.5 PCLKA以上、両エッジの場合は2.5 PCLKA以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5 PCLKA以上、パルス幅は2.5 PCLKA以上必要です。位相計数モードの入力クロックの条件を図22.133に示します。

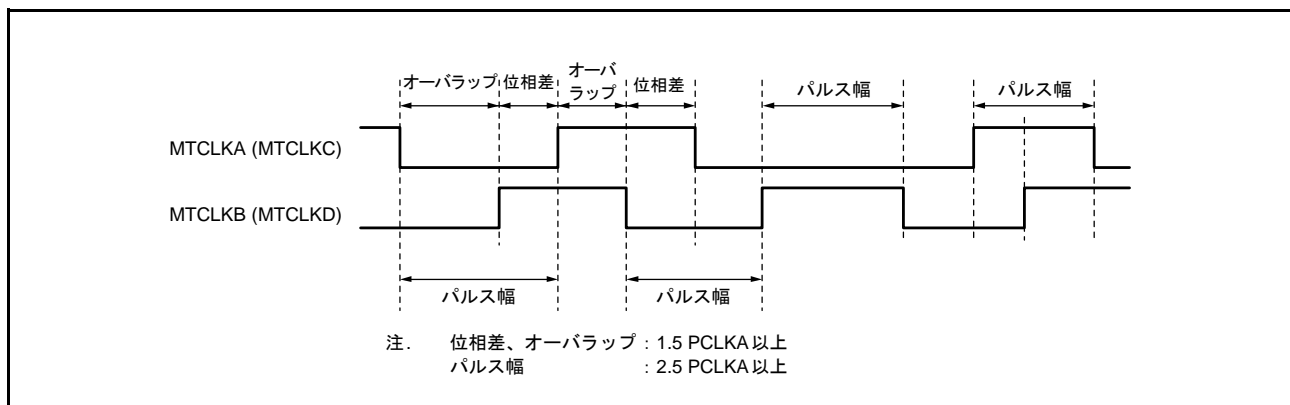


図 22.133 位相計数モード時の位相差、オーバーラップ、およびパルス幅

22.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRレジスタの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

- MTU0 ~ MTU4, MTU6 ~ MTU8 の場合

$$f = \frac{\text{CNTCLK}}{N + 1}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR の TPSC[2:0]、TCR2 の TPSC2[2:0] で設定したカウントクロックの周波数

N : TGR の設定値

22.6.4 TCNT への書き込みとクリアの競合

TCNT の書き込みサイクル中にカウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 22.134 に示します。

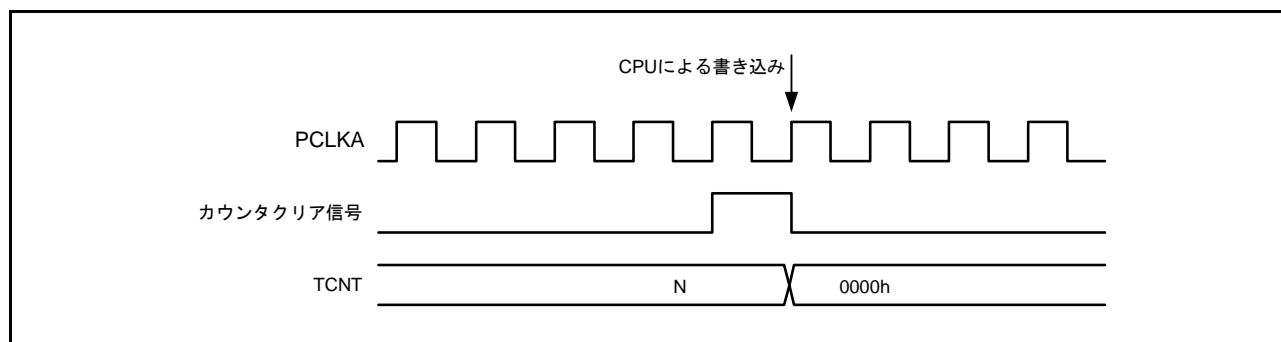


図 22.134 TCNT への書き込みとカウンタクリアの競合

22.6.5 TCNT への書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 22.135 に示します。

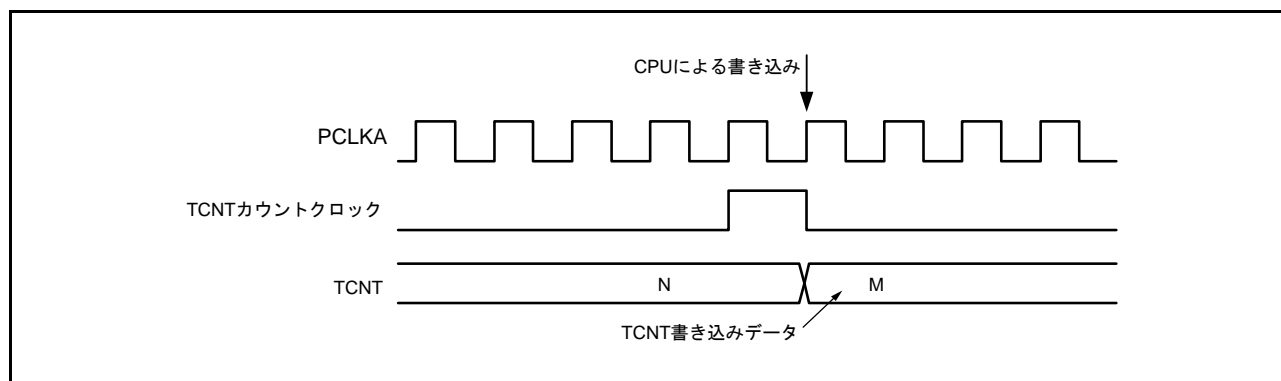


図 22.135 TCNT への書き込みとカウントアップの競合

22.6.6 TGR レジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 22.136 に示します。

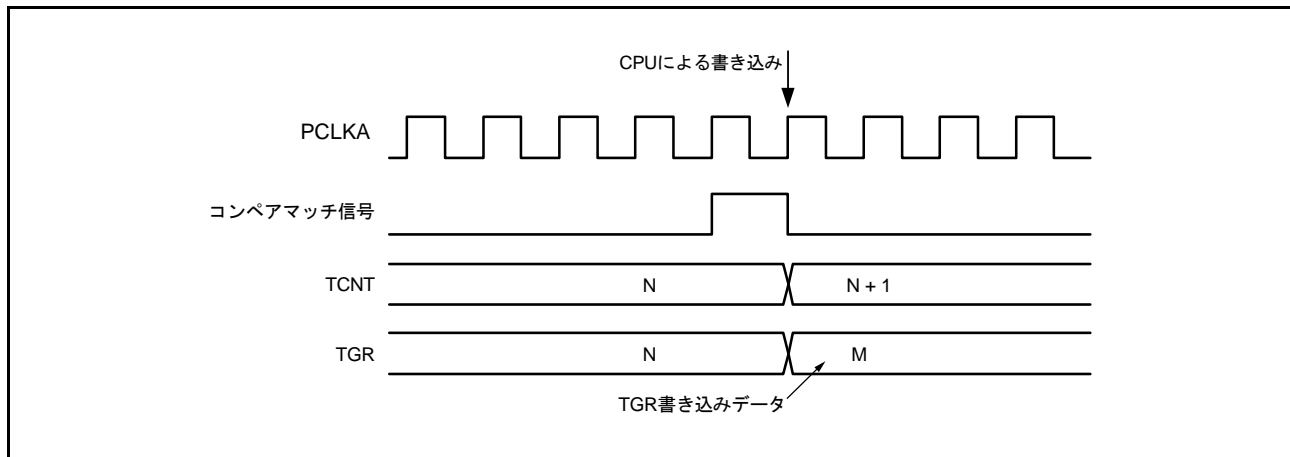


図 22.136 TGR レジスタのライトとコンペアマッチの競合

22.6.7 バッファレジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 22.137 に示します。

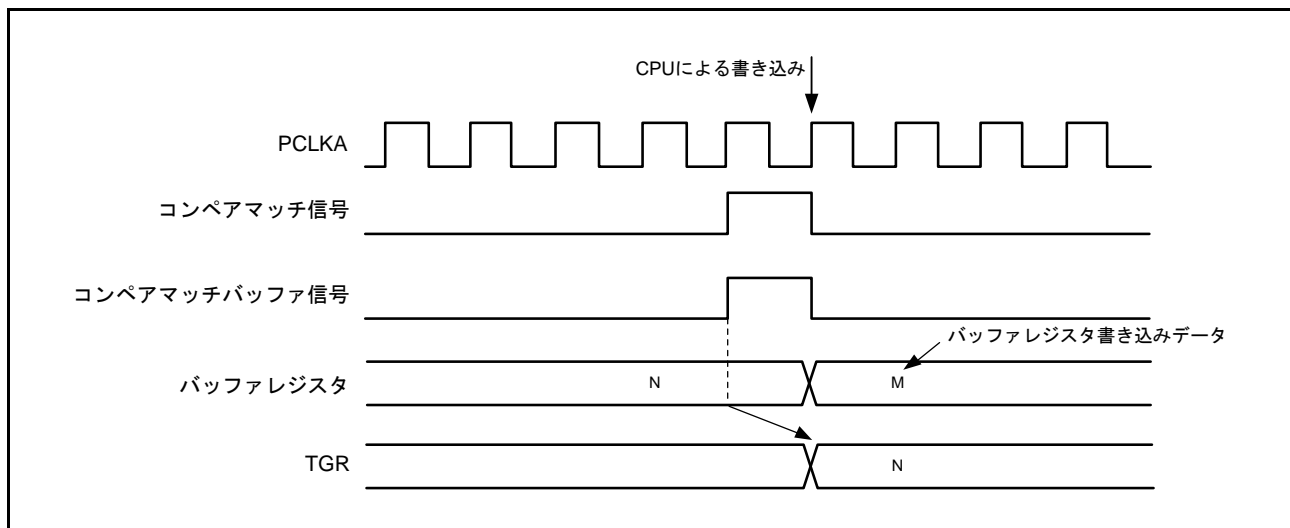


図 22.137 バッファレジスタへの書き込みとコンペアマッチの競合

22.6.8 バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 22.138 に示します。

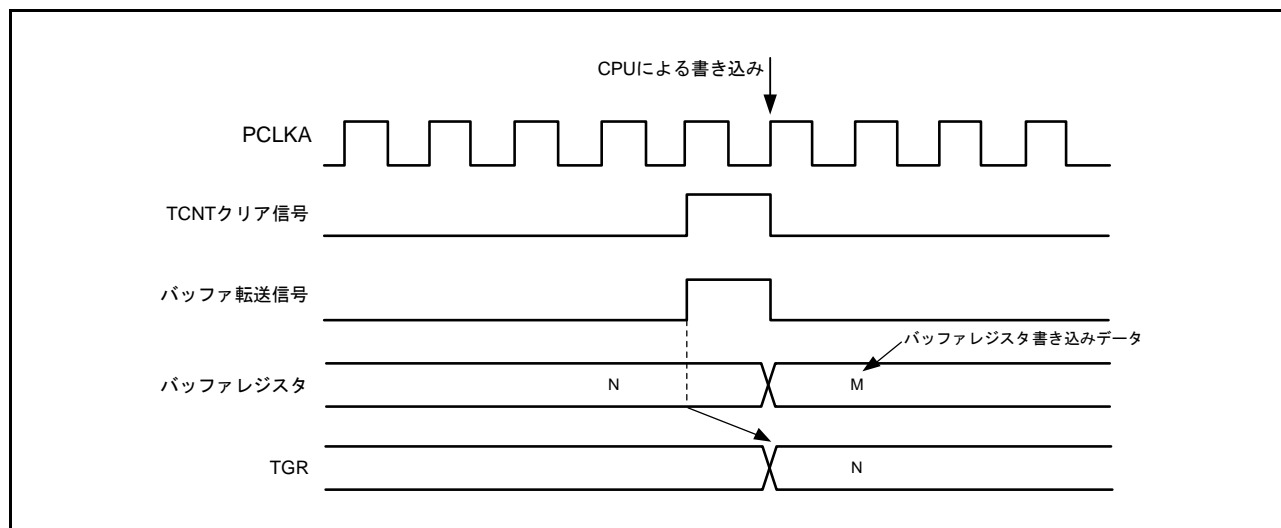


図 22.138 バッファレジスタへの書き込みと TCNT クリアの競合

22.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 22.139 に示します。

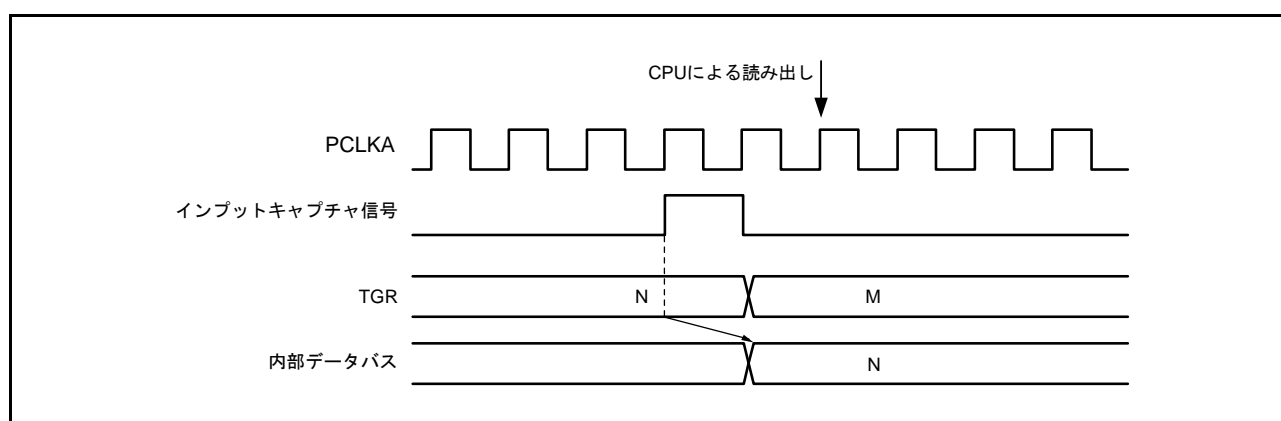


図 22.139 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ~ MTU8)

22.6.10 TGR レジスタへの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ~ MTU4、MTU6 ~ MTU8 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 22.140、図 22.141 に示します。

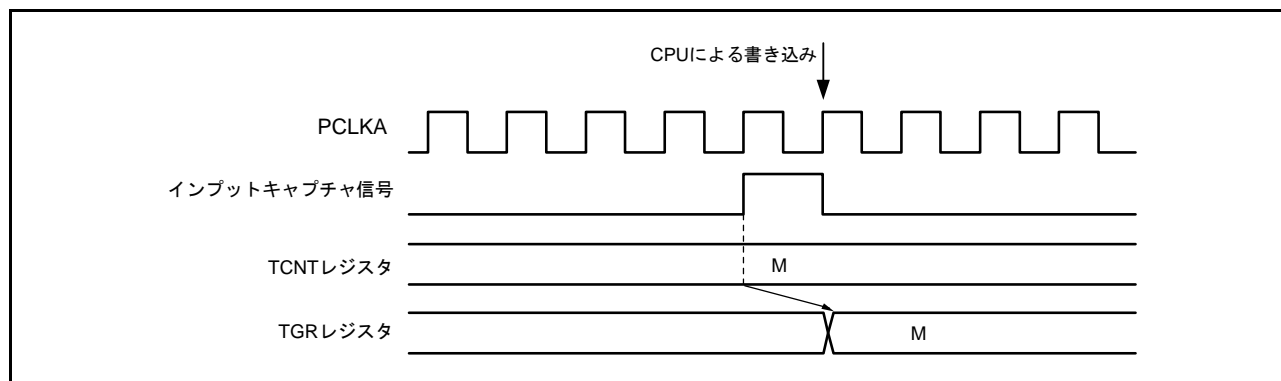


図 22.140 TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU0 ~ MTU4, MTU6 ~ MTU8)

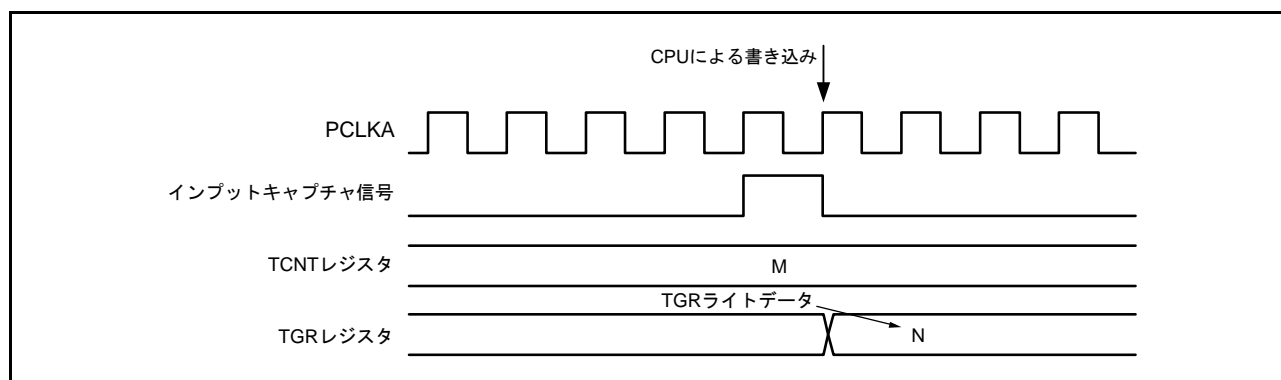


図 22.141 TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU5)

22.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 22.142 に示します。

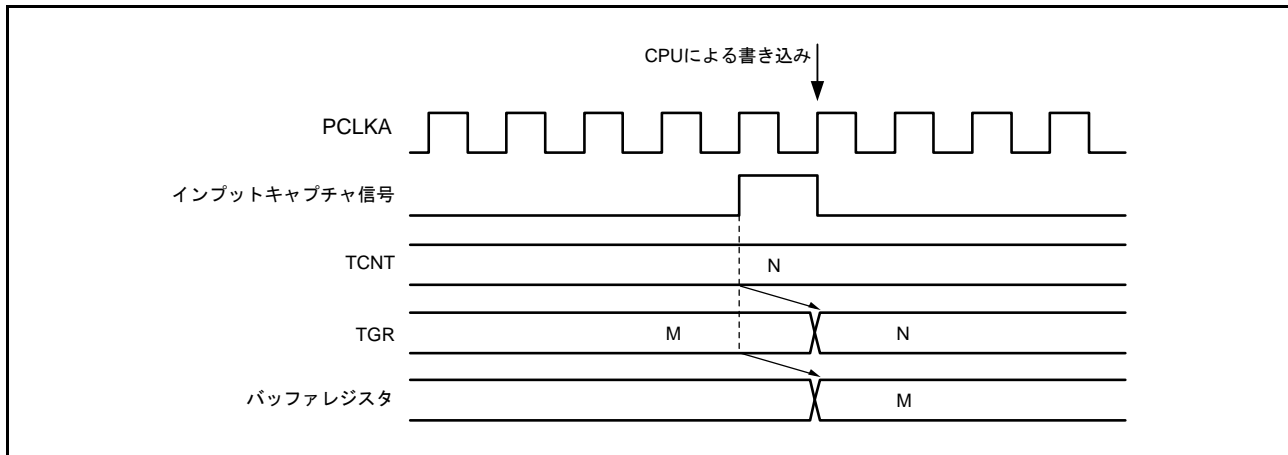


図 22.142 バッファレジスタへの書き込みとインプットキャプチャ競合

22.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー/アンダフローの競合

タイマカウンタ (MTU1.TCNT と MTU2.TCNT) をカスケード接続し、MTU1.TCNT がカウントする瞬間 (MTU2.TCNT がオーバフロー/アンダフローする瞬間) と MTU2.TCNT の書き込みが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ/インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 22.143 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

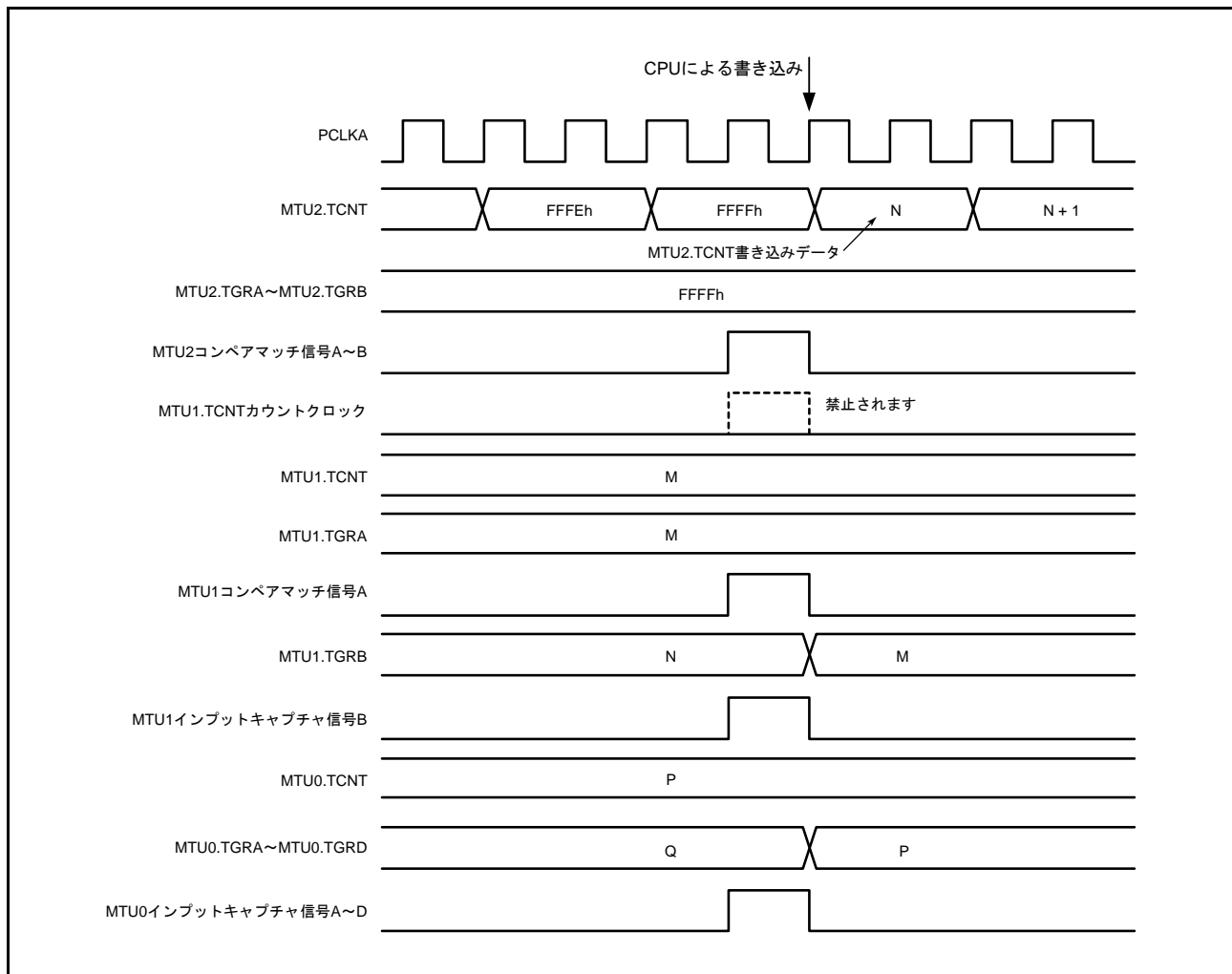


図 22.143 カスケード接続における MTU2.TCNT の書き込みとオーバフロー/アンダフローの競合

22.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT (MTU6.TCNT) はタイマデッドタイムレジスタ (TDDRA (TDDRB)) の値、MTU4.TCNT (MTU7.TCNT) は“0000h”になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 22.144 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) にカウント初期値の設定を行ってください。

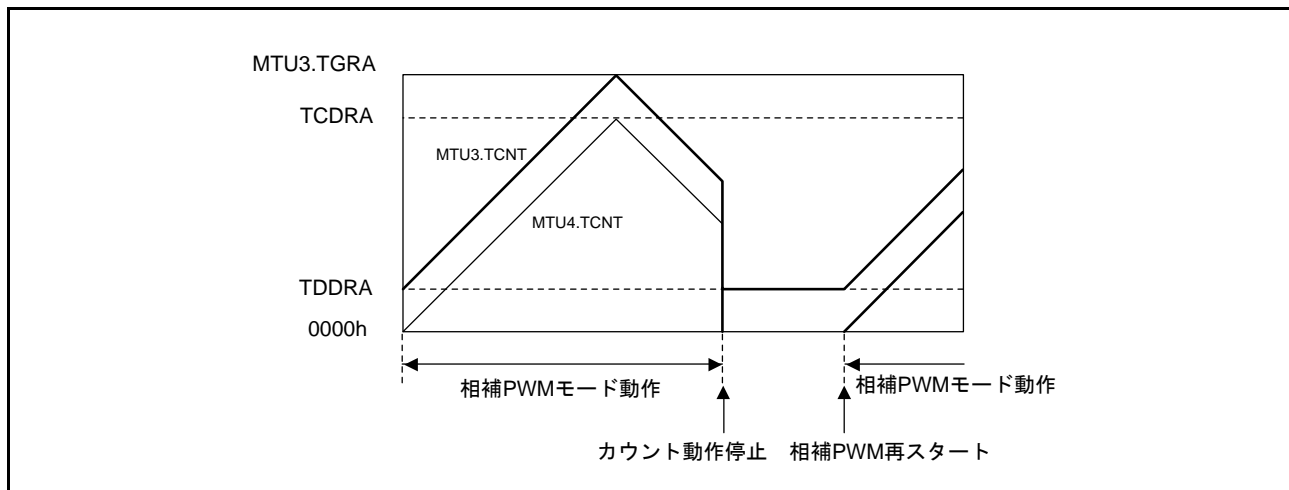


図 22.144 相補 PWM モード停止時のカウンタ値

22.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA, MTU6.TGRA)、タイマ周期データレジスタ (TCDRA, TCDRB)、デューティ設定レジスタ (MTU3.TGRB, MTU3.TGRA, MTU4.TGRB, MTU6.TGRB, MTU7.TGRA, MTU7.TGRB) の書き換えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビット、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“0”にしてください。MTU4.TMDR1.BFA (MTU7.TMDR1.BFA) ビットを“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。同様に、MTU4.TMDR1.BFB (MTU7.TMDR1.BFB) ビットを“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は、MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビット、MTU3.TMDR1.BFB (MTU6.TMDR1.BFB) ビットの設定に従い動作します。MTU3.TMDR1.BFA (MTU6.TMDR1.BFA) ビットを“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能し、さらに TCBRA (TCBRB) は TCDRA (TCDRB) のバッファレジスタとして機能します。

22.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA ビット (MTU7.TMDR1.BFA ビット)、MTU4.TMDR1.BFB ビット (MTU7.TMDR1.BFB ビット) を“0”にしてください。MTU4.TMDR1.BFA ビット (MTU7.TMDR1.BFA ビット) を“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。

同様に、MTU4.TMDR1.BFB ビット (MTU7.TMDR1.BFB ビット) を“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 (MTU6 および MTU7) のバッファ動作は MTU3.TMDR1.BFA ビット (MTU6.TMDR1.BFA ビット)、MTU3.TMDR1.BFB ビット (MTU6.TMDR1.BFB ビット) の設定に従い動作します。たとえば、MTU3.TMDR1.BFA ビット (MTU6.TMDR1.BFA ビット) を“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能します。

MTU3.TGRC (MTU6.TGRC)、MTU3.TGRD (MTU6.TGRD) がバッファレジスタとして動作している場合、TGImn 割り込み (m = C, D, n = 3, 4, 6, 7) は発生しません。

MTU3.TMDR1.BFA ビット (MTU6.TMDR1.BFA ビット)、MTU3.TMDR1.BFB ビット (MTU6.TMDR1.BFB ビット) を“1”にし、MTU4.TMDR1.BFA ビット (MTU7.TMDR1.BFA ビット)、MTU4.TMDR1.BFB ビット (MTU7.TMDR1.BFB ビット) を“0”にした場合の MTU3.TGR (MTU6.TGR)、MTU4.TGR (MTU7.TGR)、MTIOC3 (MTIOC6)、MTIOC4 (MTIOC7) の動作例を図 22.145 に示します。

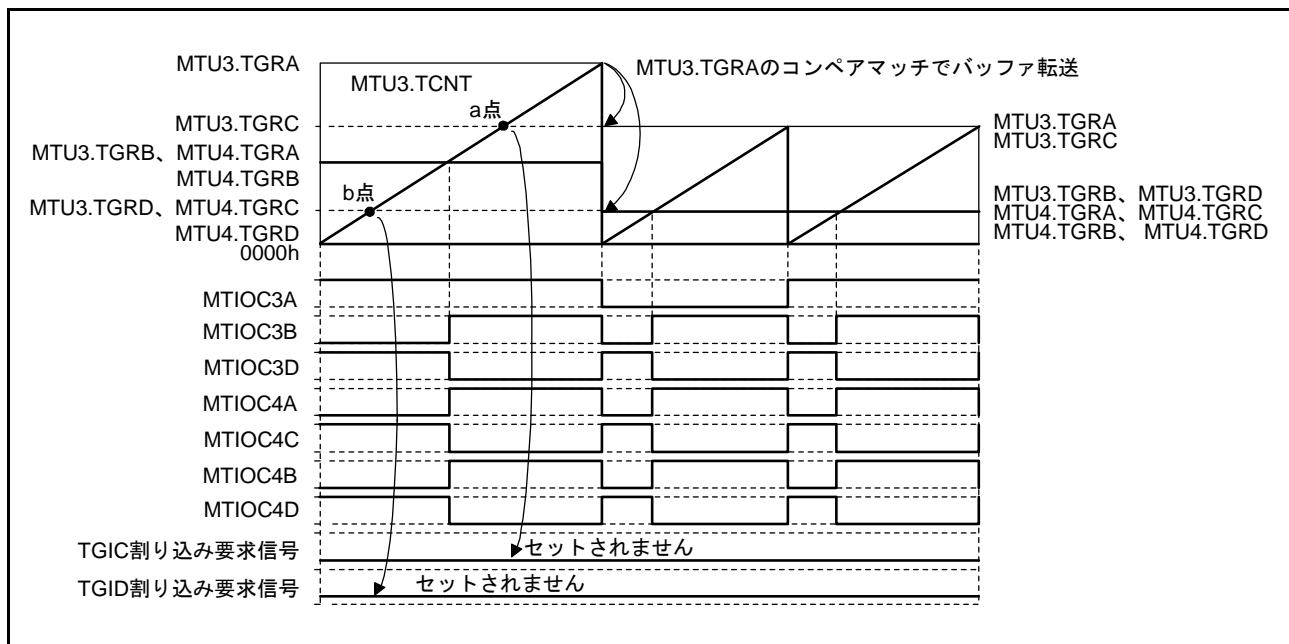


図 22.145 リセット同期 PWM モードのバッファ動作とコンペアマッチ

22.6.16 リセット同期 PWM モードのオーバーフロー

リセット同期 PWM モードを設定し、TSTRA (TSTRB) の CST3 (CST6) ビットを“1”にすると、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) のカウント動作が開始します。このとき、MTU4.TCNT (MTU7.TCNT) のカウントクロックソースとカウントエッジは MTU3.TCR (MTU6.TCR) の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) がアップカウントし“FFFFh”になると、MTU3.TGRA (MTU6.TGRA) とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT, MTU7.TCNT) ともにクリアされます。このとき、TCIV_n 割り込み (n=3, 4, 6, 7) は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定した場合の動作例を図 22.146 に示します。

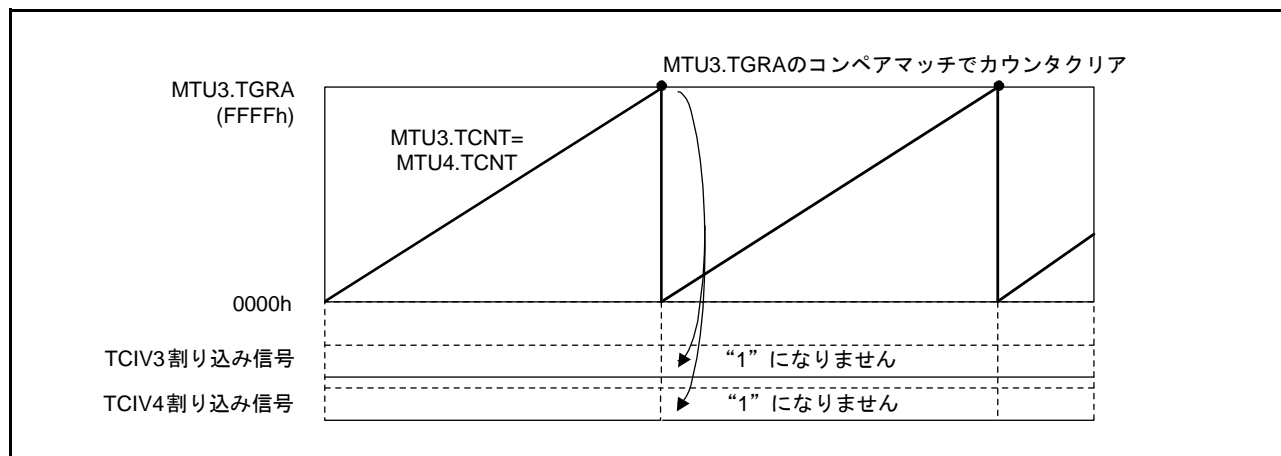


図 22.146 リセット同期 PWM モードのオーバーフロー

22.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCIV_n 割り込み ($n=0\sim 4, 6\sim 8$)、TCIU_n 割り込み ($n=1, 2$) は発生せず、TCNT のクリアが優先されます。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタを“FFFFh”にした場合の動作タイミングを図 22.147 に示します。

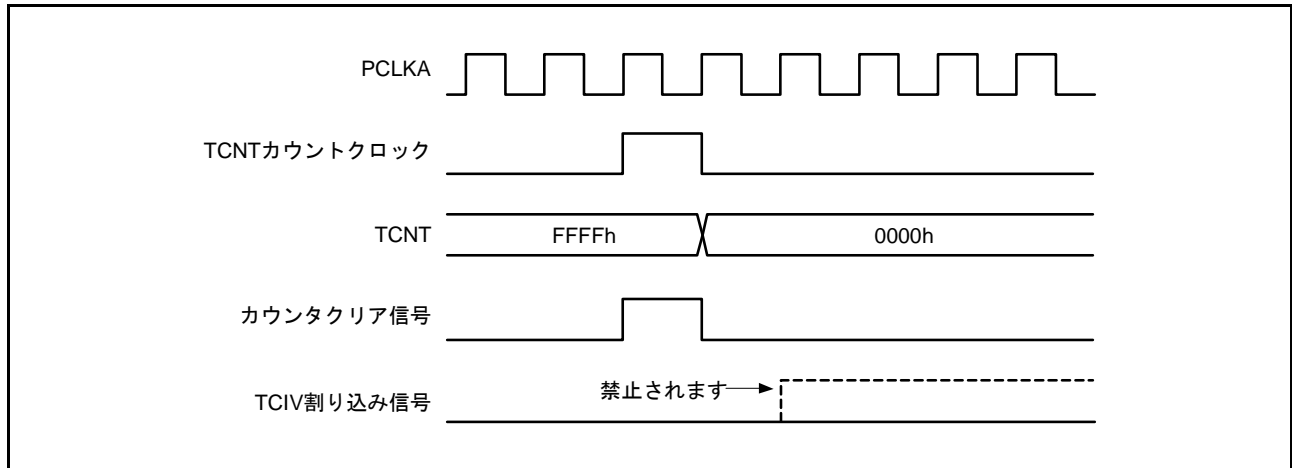


図 22.147 オーバフローとカウンタクリアの競合

22.6.18 TCNT への書き込みとオーバフロー/アンダフローの競合

TCNT の書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT への書き込みが優先されます。TCIV_n 割り込み ($n=0\sim 4, 6\sim 8$)、TCIU_n 割り込み ($n=1, 2$) は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 22.148 に示します。

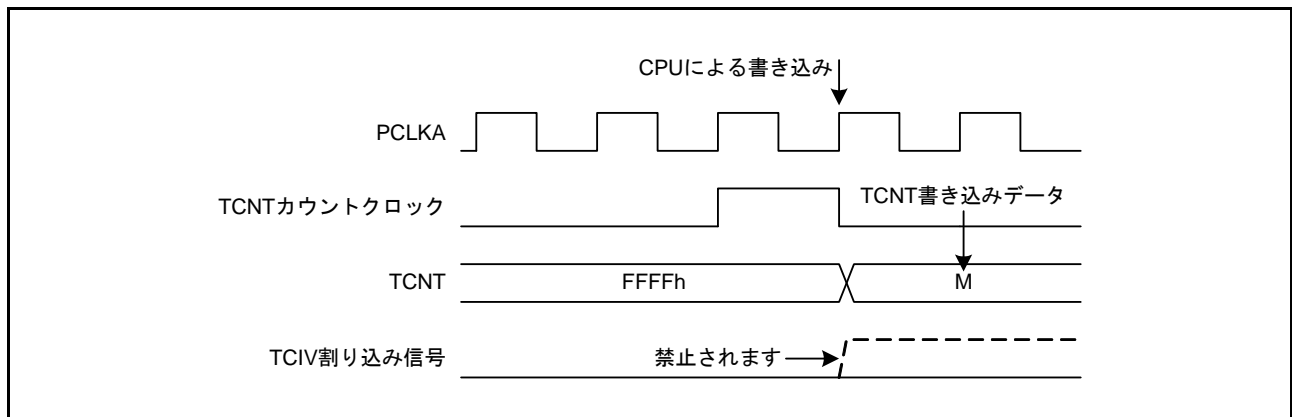


図 22.148 TCNT への書き込みとオーバフローの競合

22.6.19 ノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合の注意事項

MTU3、MTU4 (MTU6, MTU7) のノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移させる場合、出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) を High の状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期PWMモードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL (MTU6.TIORH, MTU6.TIORL, MTU7.TIORH, MTU7.TIORL) レジスタに“11h”を書いて出力端子を Low に初期化した後、レジスタの初期値“00h”を書いてからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値“00h”を書いてからリセット同期PWMモードに遷移してください。

22.6.20 相補PWMモード、リセット同期PWMモードの出力レベル

MTU3、MTU4 (MTU6, MTU7) が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはTOCR1A.OLSPビット、TOCR1A.OLSNビット、TOCR1B.OLSPビット、TOCR1B.OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIOレジスタは“00h”にしてください。

相補PWMモードでTDERA.TDER (TDERB.TDER) ビットを“0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1A.OLSN (TOCR1B.OLSN) ビットの設定によらず、TOCR1A.OLSP (TOCR1B.OLSP) ビットの設定による正相出力の反転レベルとなります。

22.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ

タイマカウンタ1、2 (MTU1.TCNTとMTU2.TCNT) をカスケード接続して、32ビットカウンタとして動作させている場合、MTIOC1AとMTIOC2A、またはMTIOC1BとMTIOC2Bに同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNTに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、またはMTIOC1BとMTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT (上位16ビットのカウンタ) がMTU2.TCNT (下位16ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはMTU1.TCNT = FFF1h、MTU2.TCNT = 0000hの値をMTU1.TGRAとMTU2.TGRA、もしくはMTU1.TGRBとMTU2.TGRBに転送すべきところを誤ってMTU1.TCNT = FFF0h、MTU2.TCNT = 0000hの値を転送します。

1本のインプットキャプチャ入力でMTU1.TCNTとMTU2.TCNTを同時にキャプチャできる機能を使用すれば、MTU1.TCNTとMTU2.TCNTのキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は「22.2.11 タイムインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

22.6.22 割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

MTU6、MTU7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

(1) 間引き機能 2、間引き回数が“0”の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4 PCLKA 以上 (MTU4.TADCORA レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)
- MTU4.TADCORB のコンペア間隔が 4 PCLKA 以上 (MTU4.TADCORB レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)

(2) 間引き機能 2、間引き回数が“1”以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2 PCLKA 以上 (MTU4.TADCORB レジスタの更新値を「前値+2 以上」、「前値-2 以下」に設定)

22.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態が有効となっております。詳細は、「23. ポートアウトプットイネーブル 3 (POE3a)」を参照ください。

22.6.24 タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の注意事項

MTU5.TCNT_m (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_m に MTU5.TCNT_m 値 + 1 の値を設定しないでください。MTU5.TCNT_m のカウント動作を停止した状態で、MTU5.TGR_m に MTU5.TCNT_m 値 + 1 の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5_m ビット) が“1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1” (許可) になっていると、MTU5.TCNT_m カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

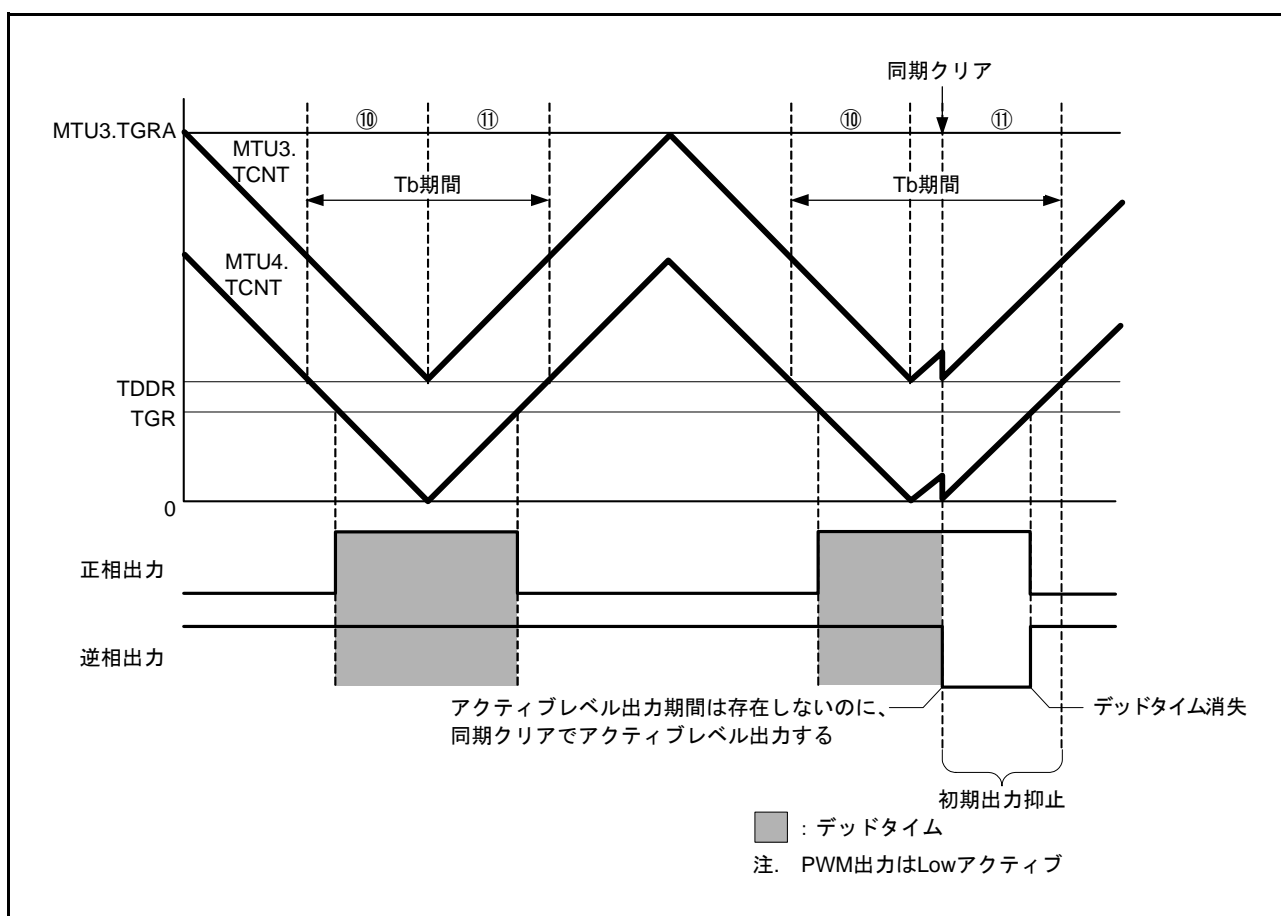


図 22.150 同期クリア例 (条件2の場合)

22.6.26 ELC イベント入力の時タイマモードレジスタ設定の注意事項

MTU を ELC のアクション動作に設定する場合は、該当チャンネルのタイマモードレジスタ (TMDR) は初期値 (00h) に設定してください。

22.6.27 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLKA/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 22.151 に示します。

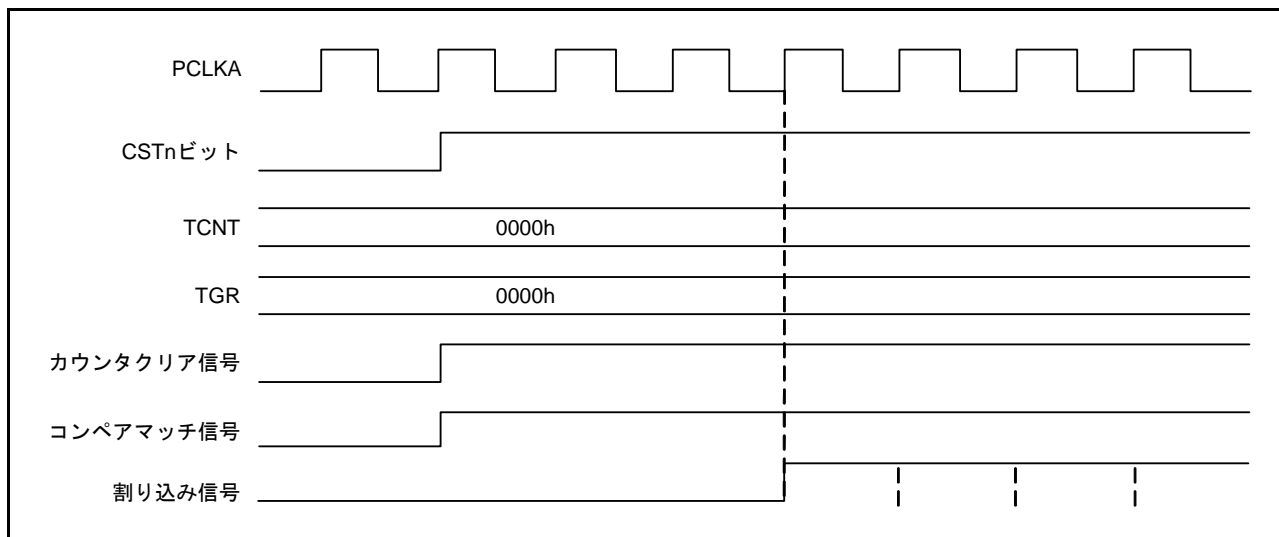


図 22.151 コンペアマッチによる割り込み信号の連続出力

22.6.28 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA、MTU4.TADCOBRB (MTU7.TADCOBRA, MTU7.TADCOBRB) レジスタに“0”、かつ、MTU4.TADCR (MTU7.TADCR) レジスタの UT4AE、UT4BE (UT7AE, UT7BE) ビットに“1”を設定して、MTU4.TCNT (MTU7.TCNT) カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 22.152)。
- MTU4.TADCOBRA、MTU4.TADCOBRB (MTU7.TADCOBRA, MTU7.TADCOBRB) レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR (MTU7.TADCR) レジスタの DT4AE、DT4BE (DT7AE, DT7BE) ビットに“1”を設定して、MTU4.TCNT (MTU7.TCNT) カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 22.153)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTUn.TADCORA/TADCORB} \leq \text{TCDR} - 2$ を満たすように MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA, MTU7.TADCORB) レジスタを設定してください (n = 4, 7)。

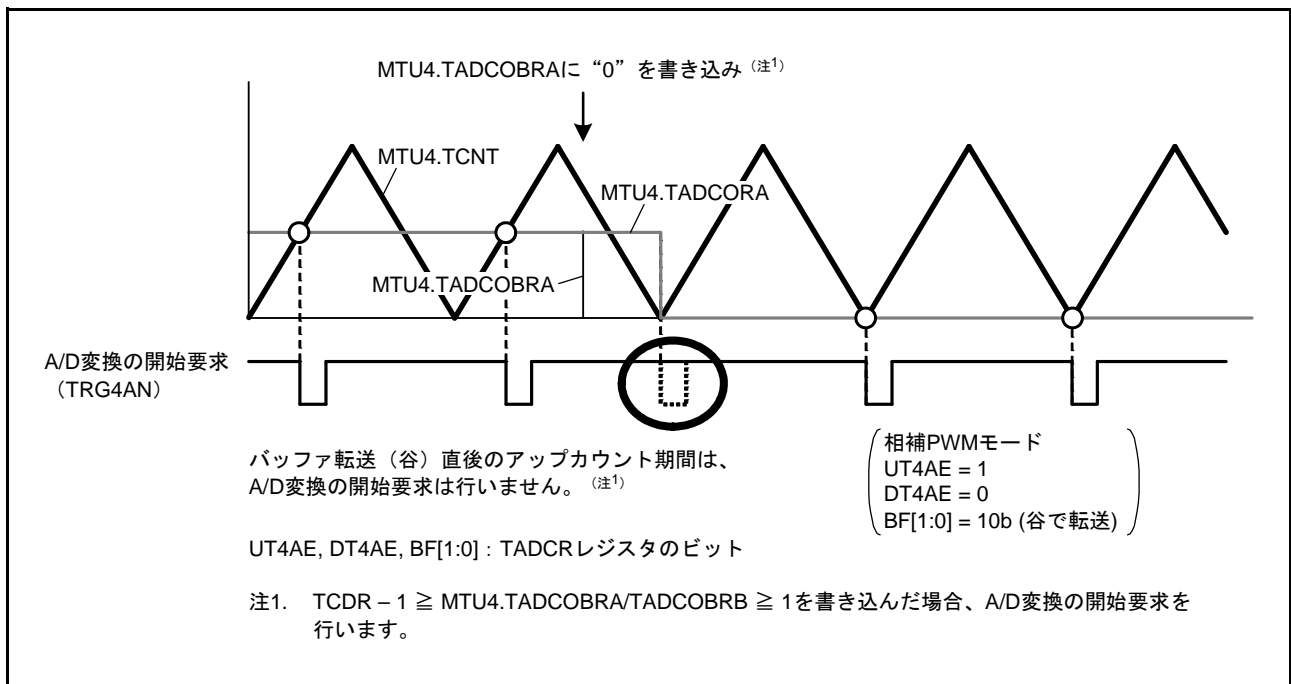


図 22.152 MTU4.TADCOBRA に“0”を書き込んだときの A/D 変換の開始要求 (MTU4)

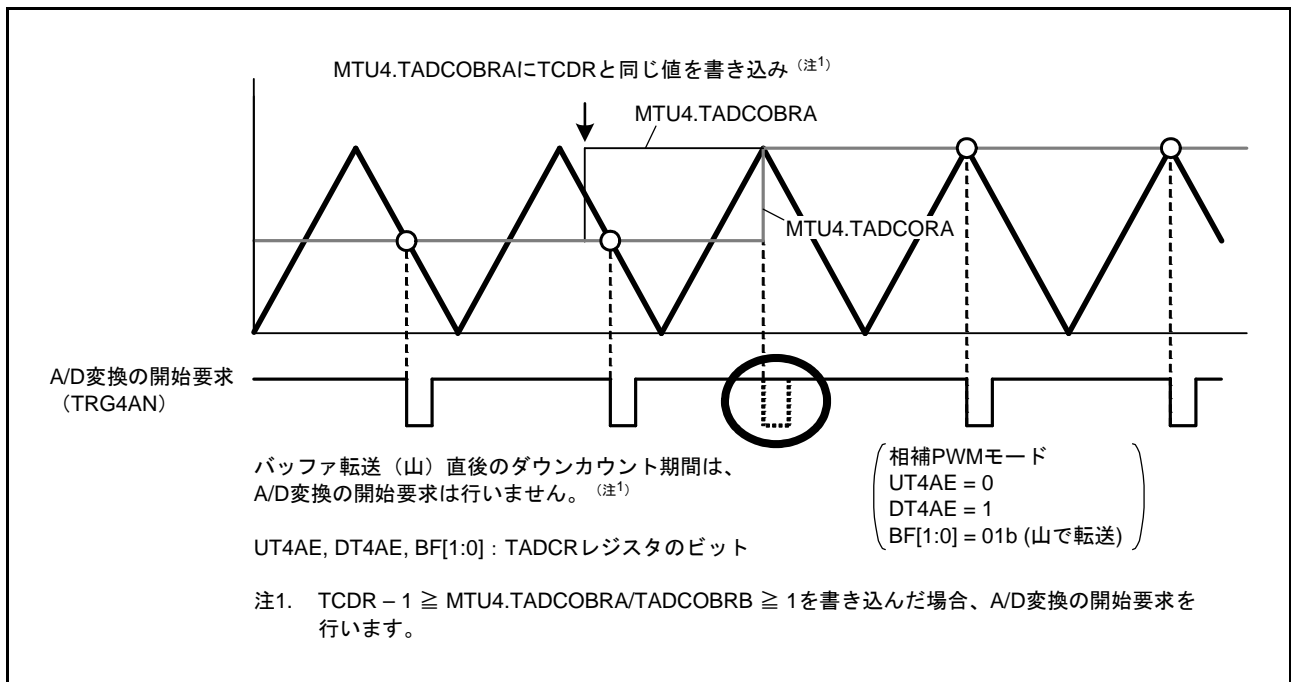


図 22.153 MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求 (MTU4)

22.7 MTU 出力端子の初期化方法

22.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4, MTU6 ~ MTU8)
- PWM モード 1 (MTU0 ~ MTU4, MTU6, MTU7)
- PWM モード 2 (MTU0 ~ MTU2)
- 位相計数モード 1 ~ 5 (MTU1, MTU2)
- 相補 PWM モード (MTU3, MTU4, MTU6, MTU7)
- リセット同期 PWM モード (MTU3, MTU4, MTU6, MTU7)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

22.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D, MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) は、TOERA、TOERB レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3 (POE3) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を表 22.79 に示します。

表 22.79 モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

Normal : ノーマルモード

PWM1 : PWM モード 1

PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 5

CPWM : 相補 PWM モード

RPWM : リセット同期 PWM モード

22.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal, PWM1, PWM2, PCM) に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOcnB/MTIOcnD 端子 (n = 3, 4, 6, 7) に波形が出力されません。端子の機能を MTIOcnB/MTIOcnD に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。端子の機能を MTIOcnm 端子 (n = 0 ~ 2, m = A ~ D) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、対応する MTIOcnC/MTIOcnD 端子 (n = 0, 3, 4, 6, 7) に波形が出力されません。端子の機能を MTIOcnC/MTIOcnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、対応する MTIOcnC/MTIOcnD 端子 (n = 0, 3, 4, 6, 7) に波形が出力されません。端子の機能を MTIOcnC/MTIOcnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- タイマアウトプットコントロールレジスタ (TOCR1A, TOCR2A, TOCR1B, TOCR2B) の設定で端子の出力レベルを選択するモード (CPWM, RPWM) に移行する場合は、タイマアウトプットマスタイネーブレジスタ (TOERA, TOERB) で MTU3, MTU4 (MTU6, MTU7) を 1 度出力禁止にしてください。このとき、端子の機能を MTIOcnm 端子 (n = 3, 4, 6, 7, m = A ~ D) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定 (TOCR1B 設定、TOCR2B 設定、TMDR1 設定、TOERB 設定)) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 22.79 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.154 に示します。

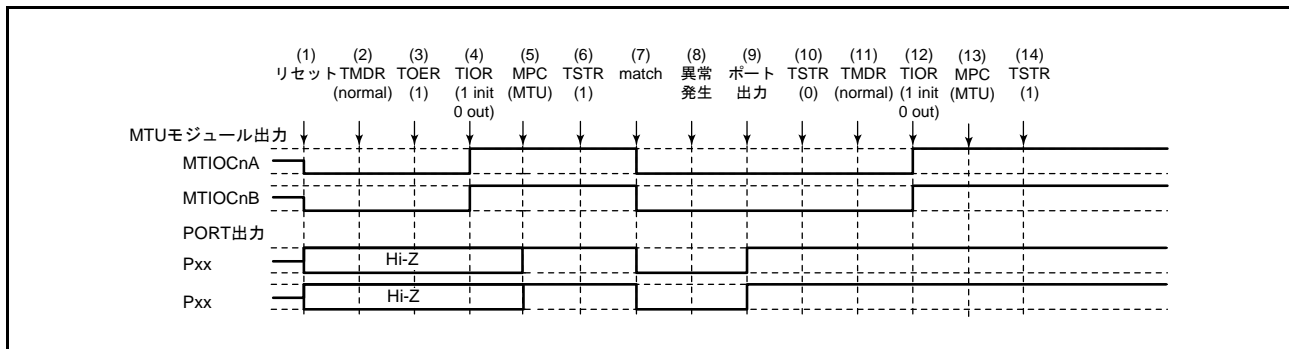


図 22.154 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
- (3) MTU3、MTU4 (MTU6, MTU7) では TIOR レジスタで端子を初期化する前に TOERA (TOERB) レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です)。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 22.155 に示します。

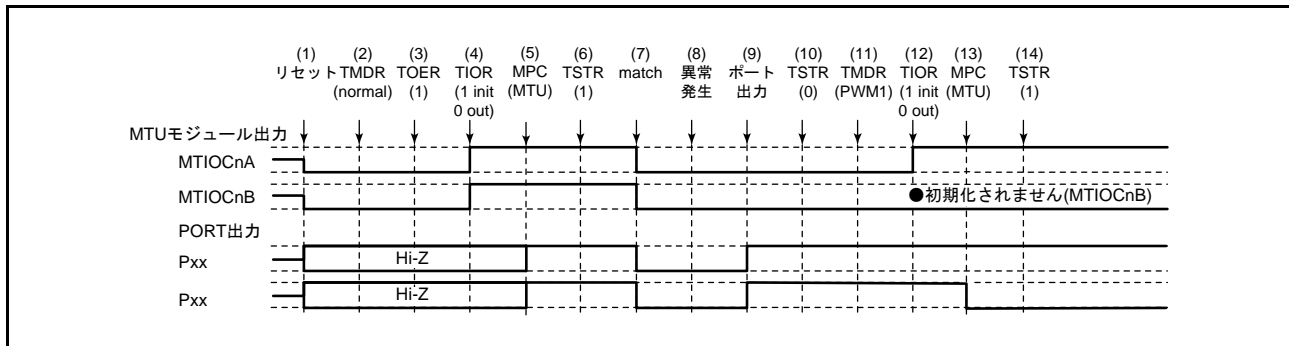


図 22.155 ノーマルモードで異常が発生し、PWM モード1で復帰する場合

(1) ~ (10) は図 22.154 と共通です。

(11) PWM モード1を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2で再スタートする場合の説明図を図 22.156 に示します。

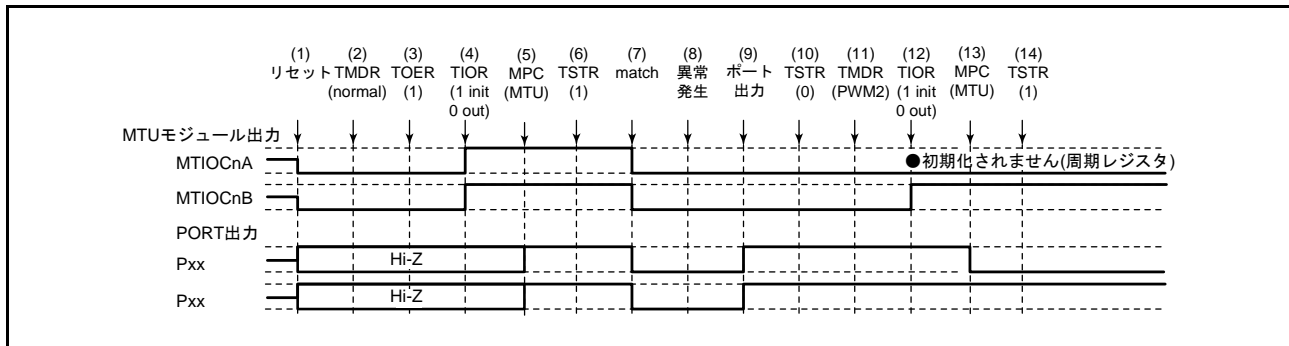


図 22.156 ノーマルモードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (10) は図 22.154 と共通です。

(11) PWM モード2を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード2は MTU0 ~ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.157 に示します。

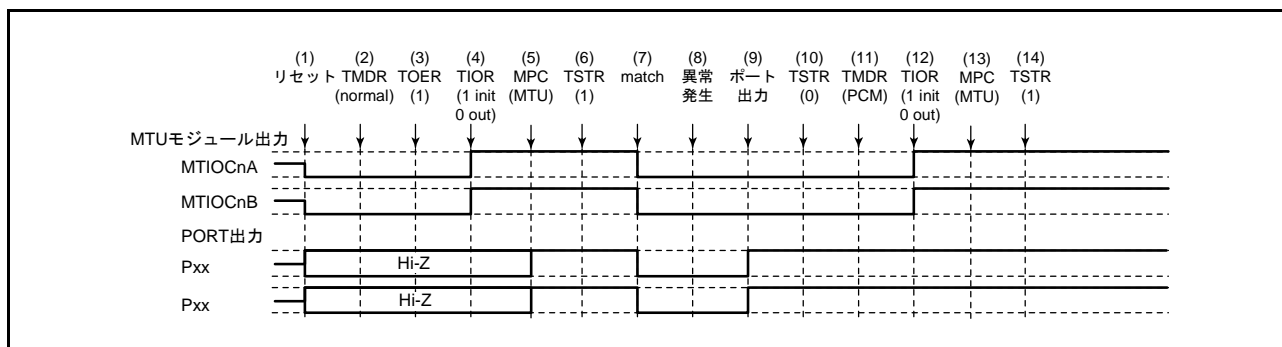


図 22.157 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 22.154 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.158 に示します。

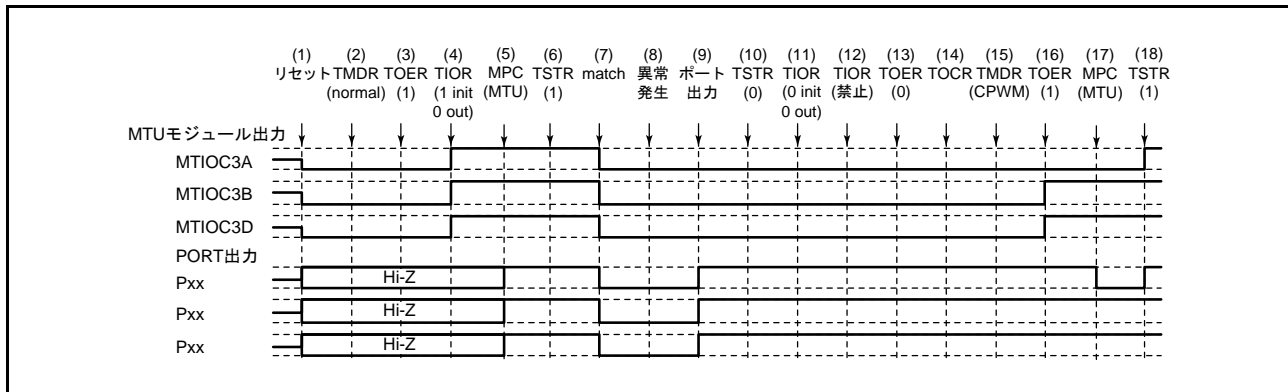


図 22.158 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 22.154 と共通です。

(11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。

(12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。

(13) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。

(14) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTRA (TSTRB) レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.159 に示します。

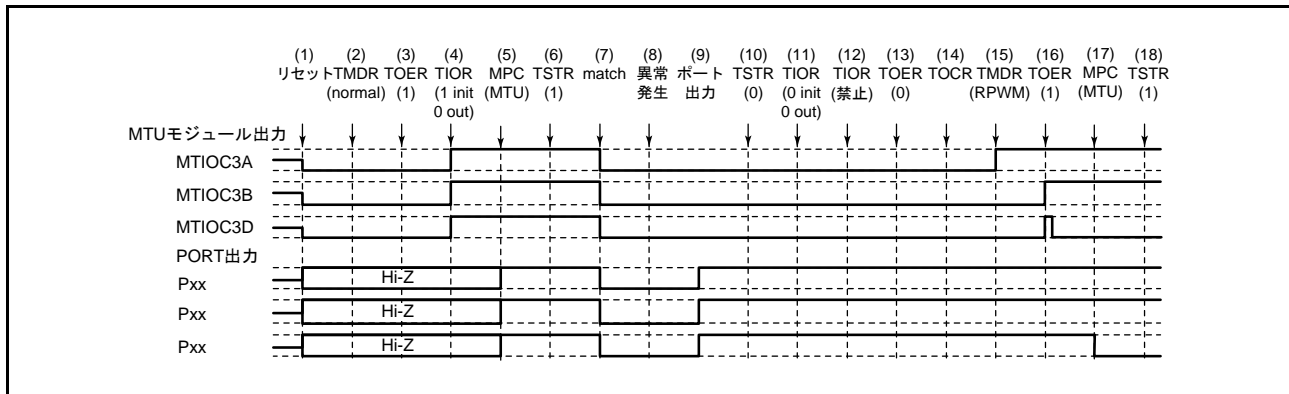


図 22.159 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 22.158 と共通です。

(14) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTRA (TSTRB) レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.160 に示します。

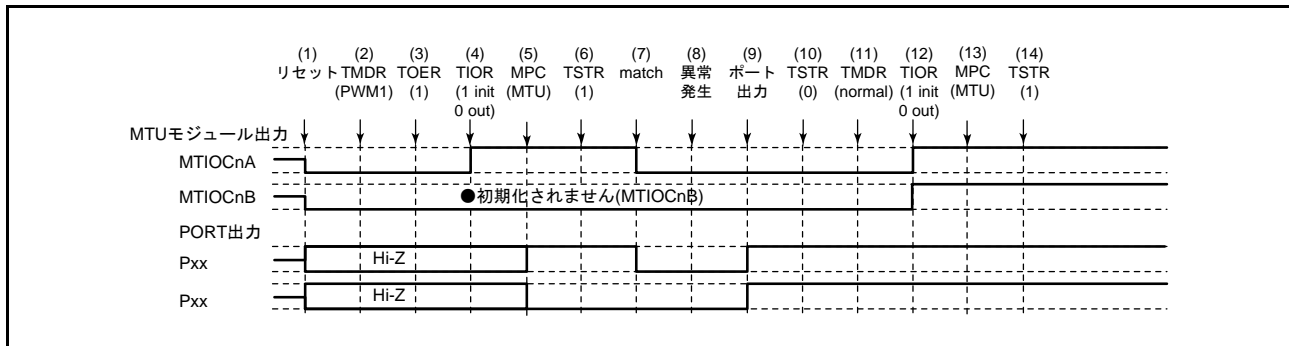


図 22.160 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) MTU3、MTU4 (MTU6, MTU7) では TIOR レジスタで端子を初期化する前に TOERA (TOERB) レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません)。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.161 に示します。

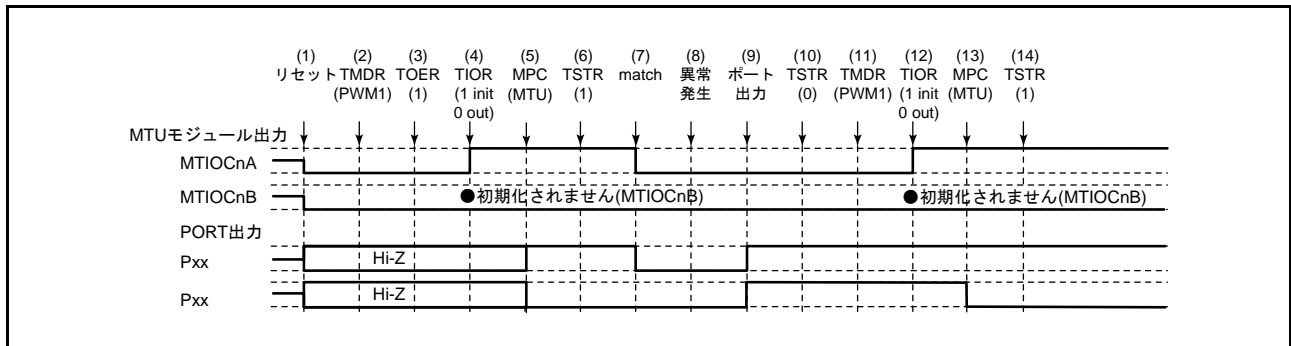


図 22.161 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.160 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.162 に示します。

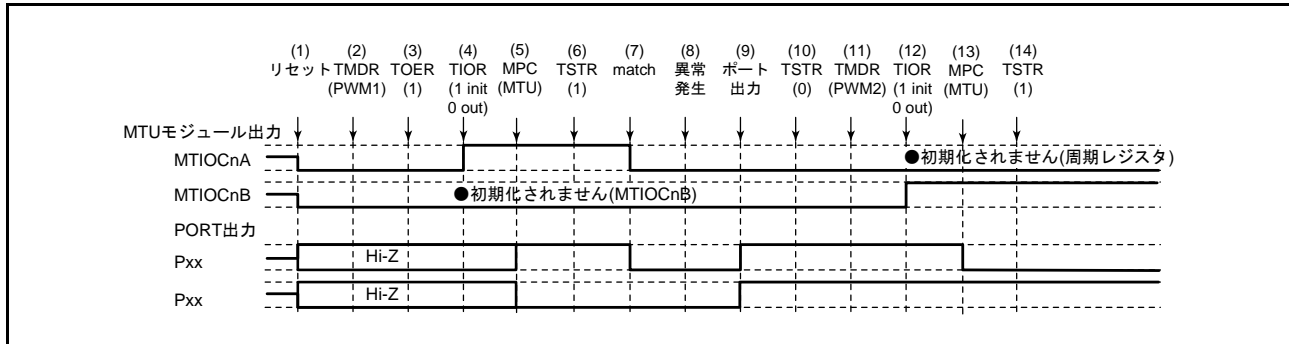


図 22.162 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 22.160 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.163 に示します。

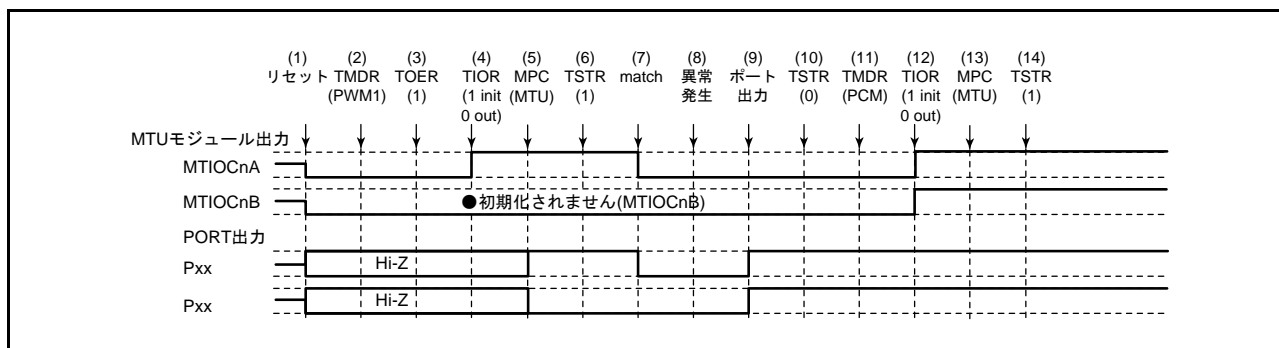


図 22.163 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 22.160 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注． 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.164 に示します。

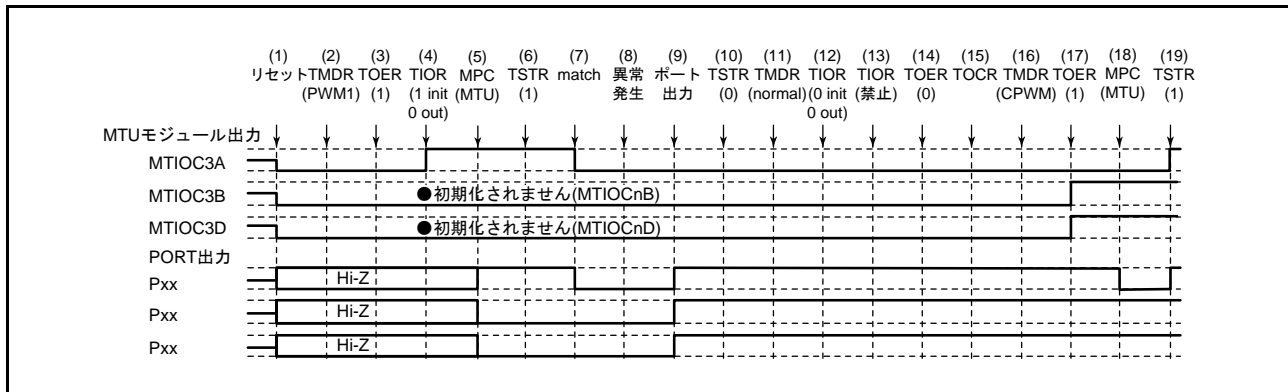


図 22.164 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 22.160 と共通です。

- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください
- (14) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6、MTU7) の出力を禁止してください。
- (15) TOCR1A、TOCR2A (TOCR1B、TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6、MTU7) の出力を許可してください。
- (18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (19) TSTRA (TSTRB) レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.165 に示します。

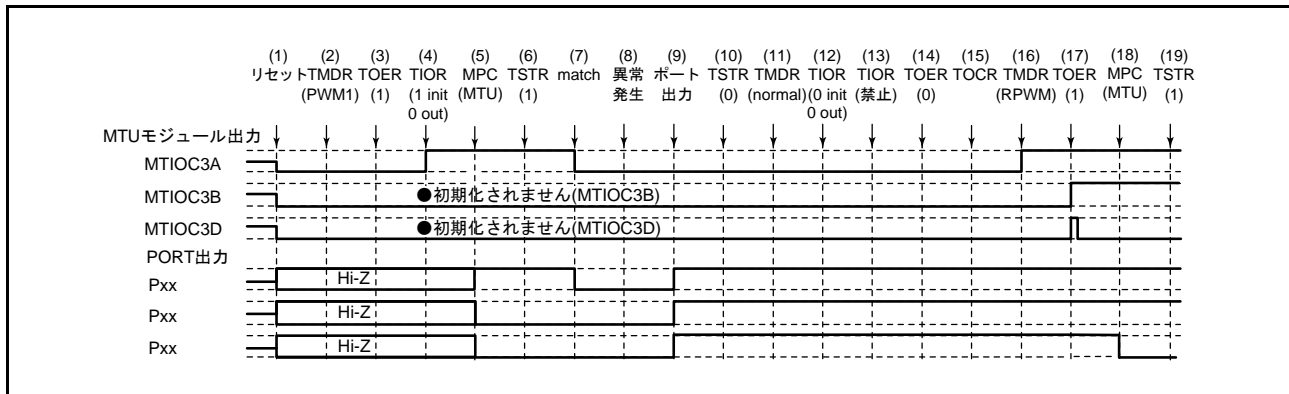


図 22.165 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 22.164 と共通です。

(15) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(19) TSTRA (TSTRB) レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.166 に示します。

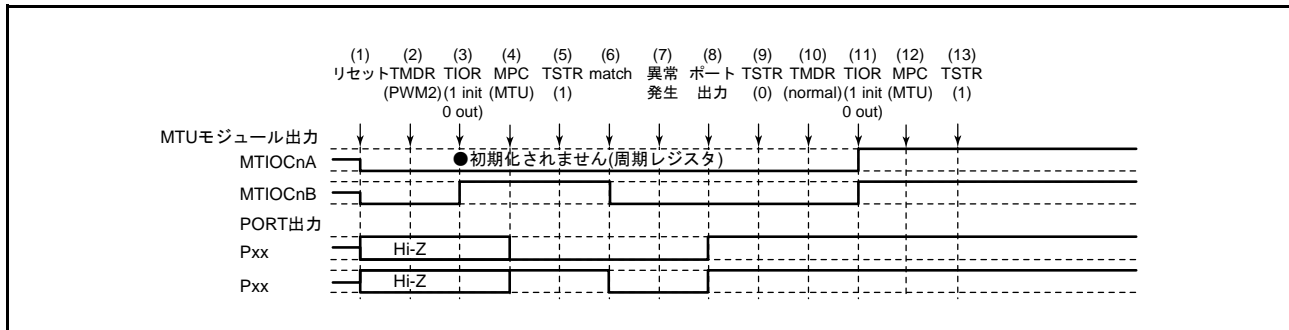


図 22.166 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子は初期化されません。例は MTUn.TGRA レジスタを周期レジスタに使用した場合です）。
- (4) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.167 に示します。

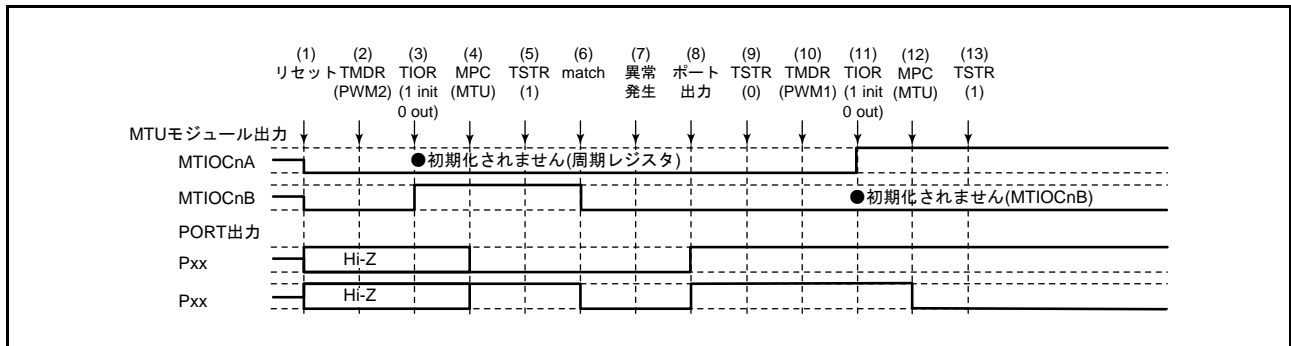


図 22.167 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 22.166 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 22.168 に示します。

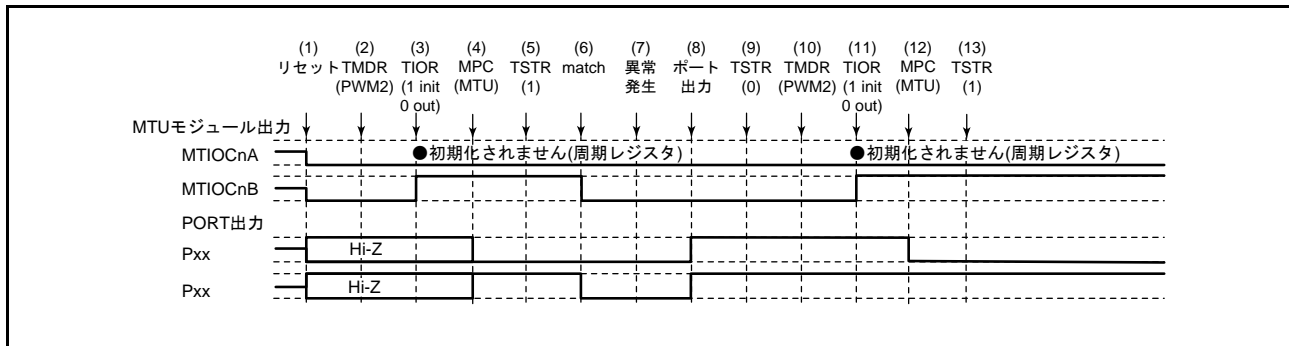


図 22.168 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 22.166 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.169 に示します。

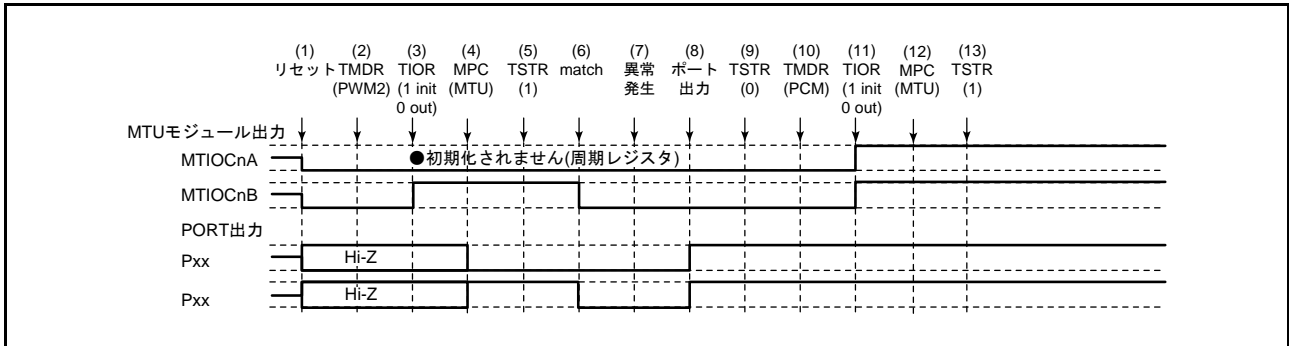


図 22.169 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 22.166 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.170 に示します。

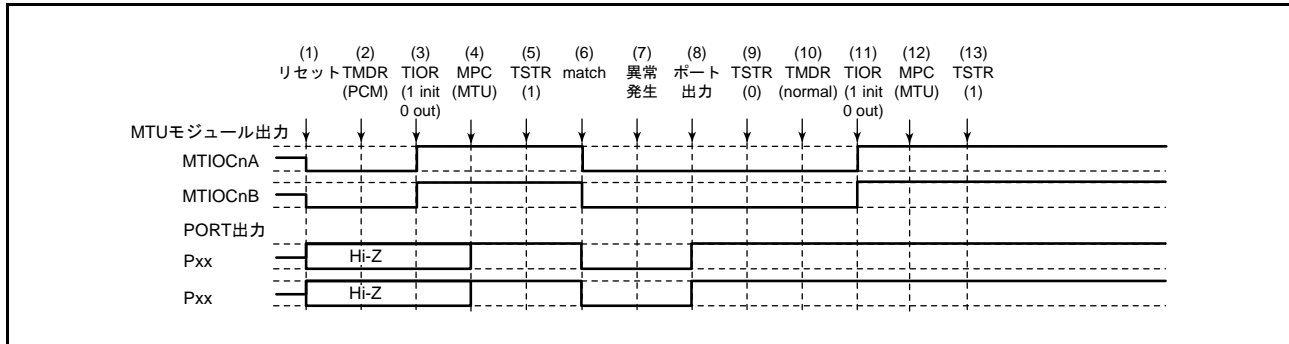


図 22.170 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 22.171 に示します。

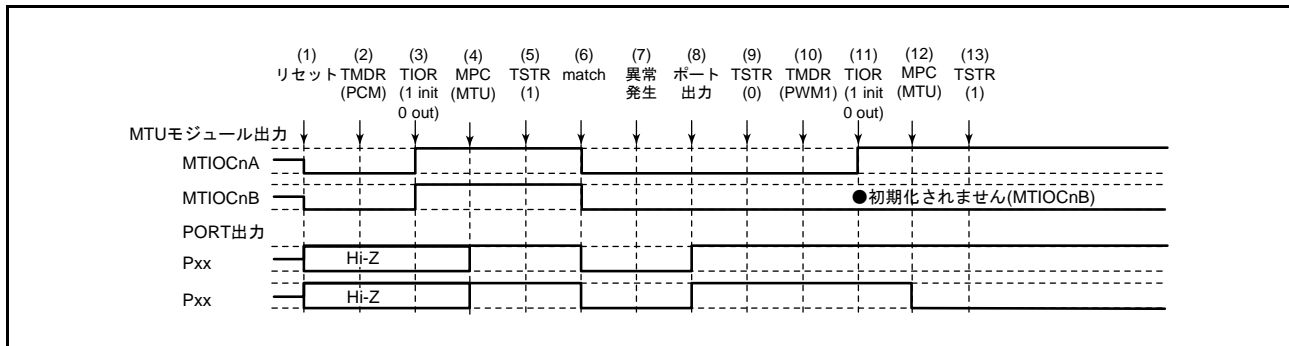


図 22.171 位相計数モードで異常が発生し、PWM モード1で復帰する場合

(1) ~ (9) は図 22.170 と共通です。

(10) PWM モード1を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 22.172 に示します。

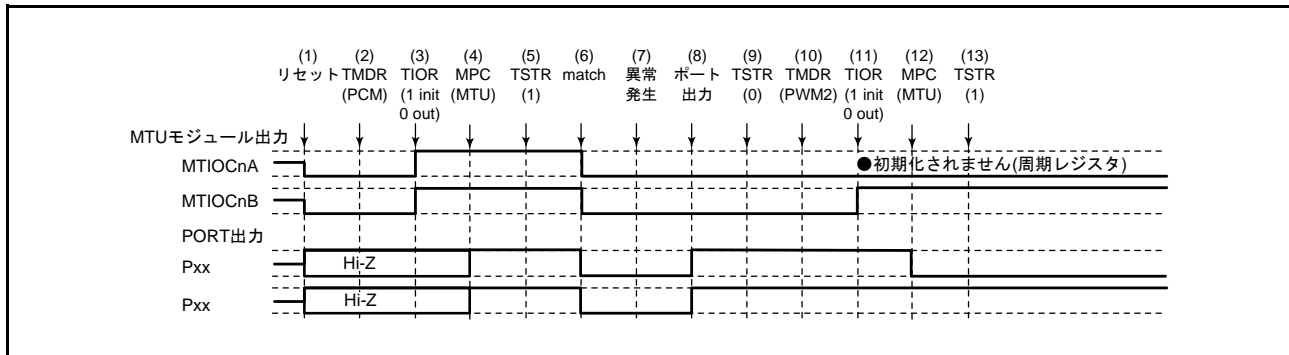


図 22.172 位相計数モードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (9) は図 22.170 と共通です。

(10) PWM モード2を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 22.173 に示します。

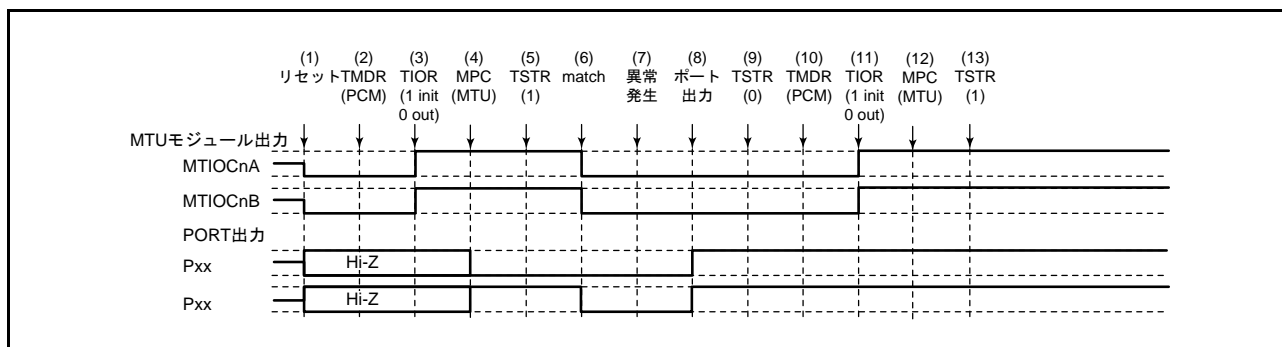


図 22.173 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 22.170 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.174 に示します。

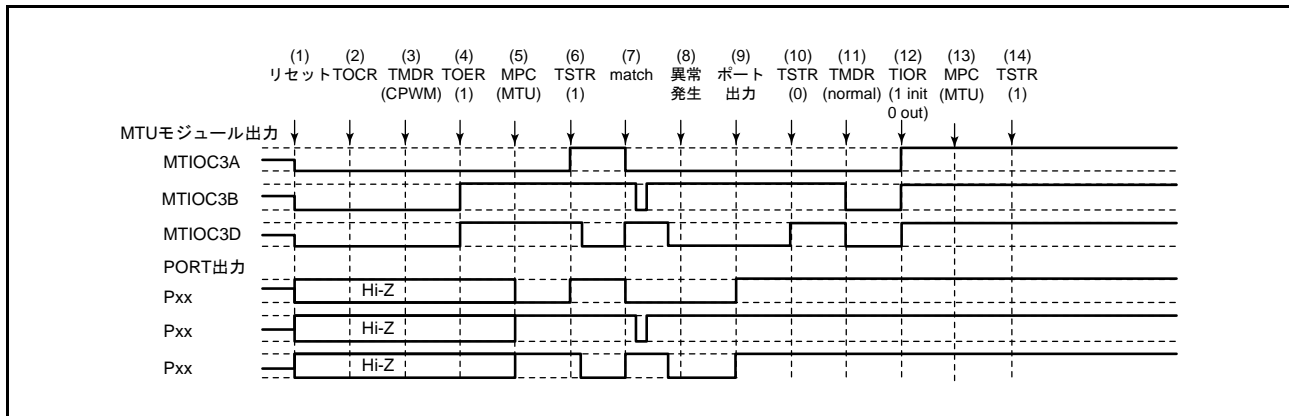


図 22.174 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.175 に示します。

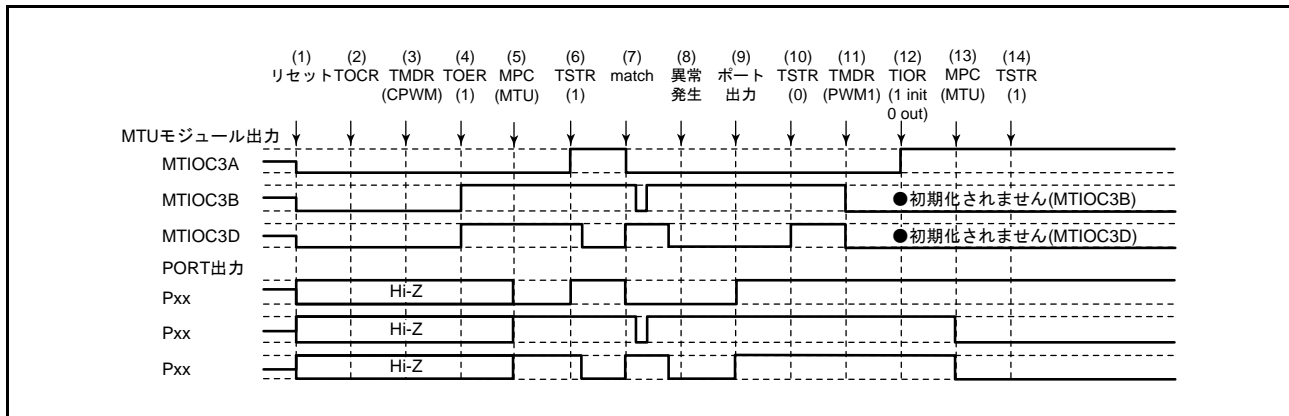


図 22.175 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.174 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.176 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

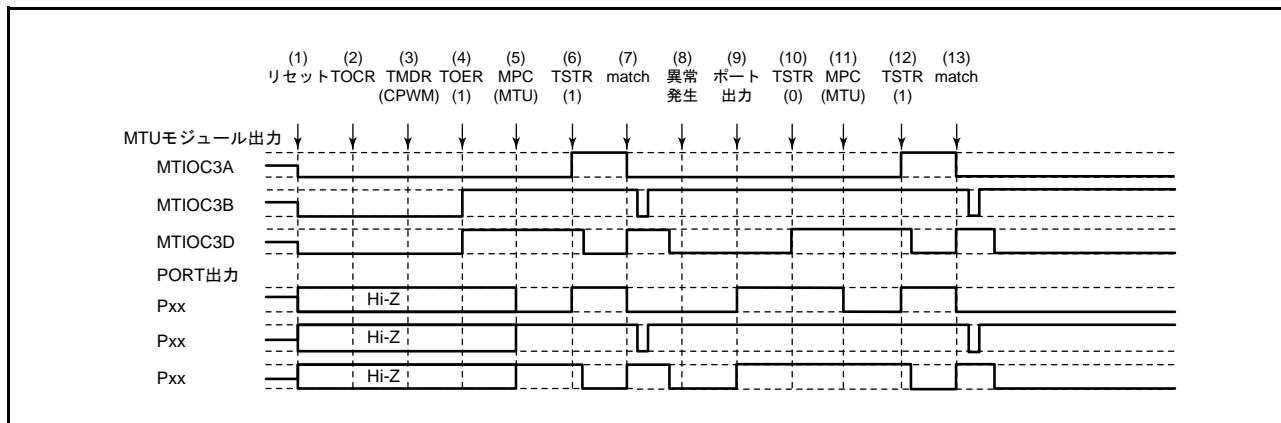


図 22.176 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (1)

(1) ~ (10) は図 22.174 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR (TSTRB) レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.177 に示します（周期、デューティ比設定を全く新しい設定値で再スタートする場合）。

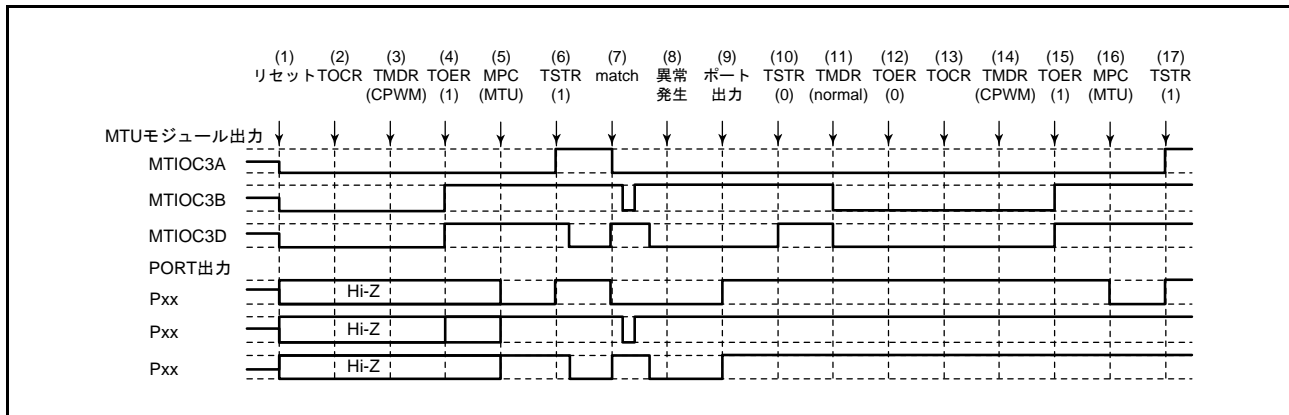


図 22.177 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (2)

(1) ~ (10) は図 22.174 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6、MTU7）の出力を禁止してください。

(13) TOCR1A、TOCR2A（TOCR1B、TOCR2B）レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOERA（TOERB）レジスタで MTU3、MTU4（MTU6、MTU7）の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTRA（TSTRB）レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.178 に示します。

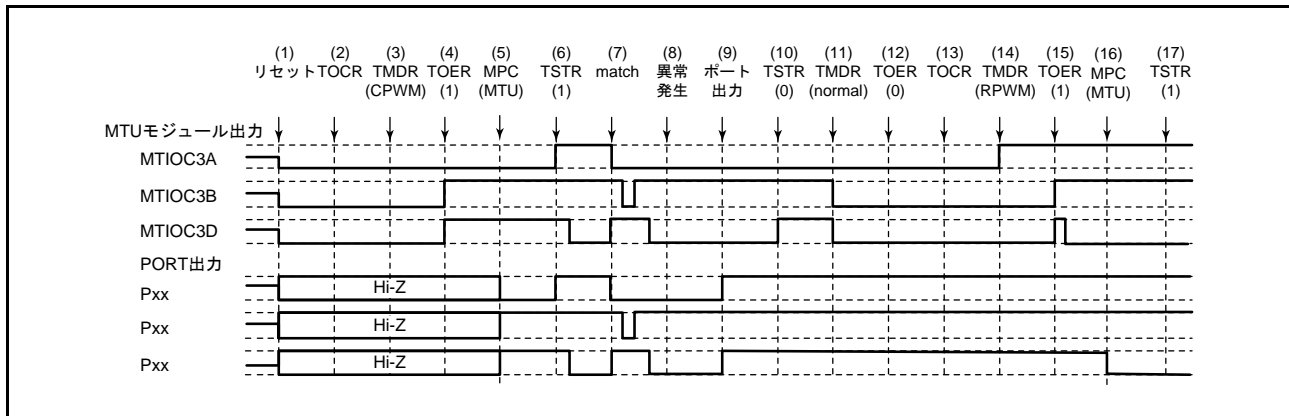


図 22.178 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 22.174 と共通です。

(11) ノーマルモードを設定してください (MTU 出力は Low となります)。

(12) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。

(13) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTRA (TSTRB) レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 22.179 に示します。

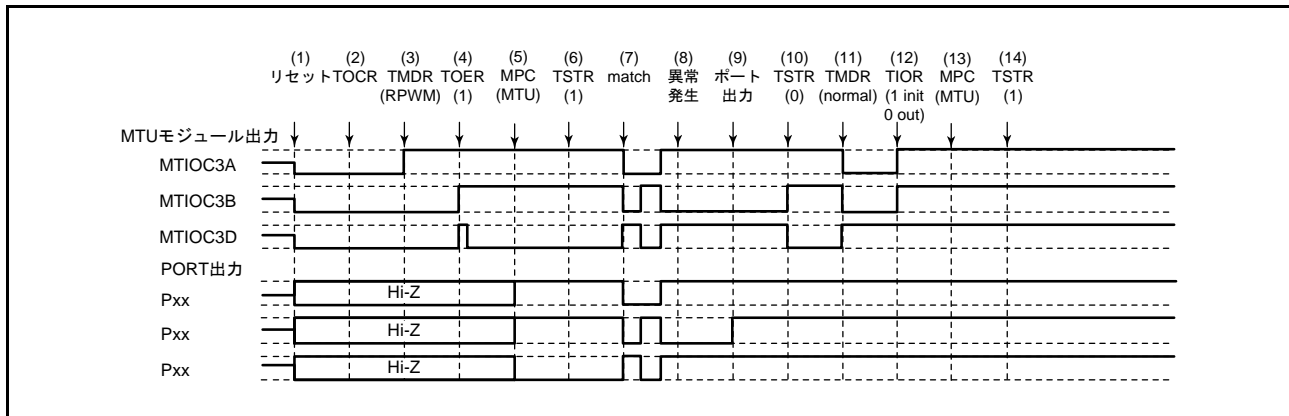


図 22.179 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A (TOCR1B、TOCR2B) レジスタでリセット同期 PWM の出力レベルと周期出力の許可/禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6、MTU7) の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA (TSTRB) レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA (TSTRB) レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA (TSTRB) レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 22.180 に示します。

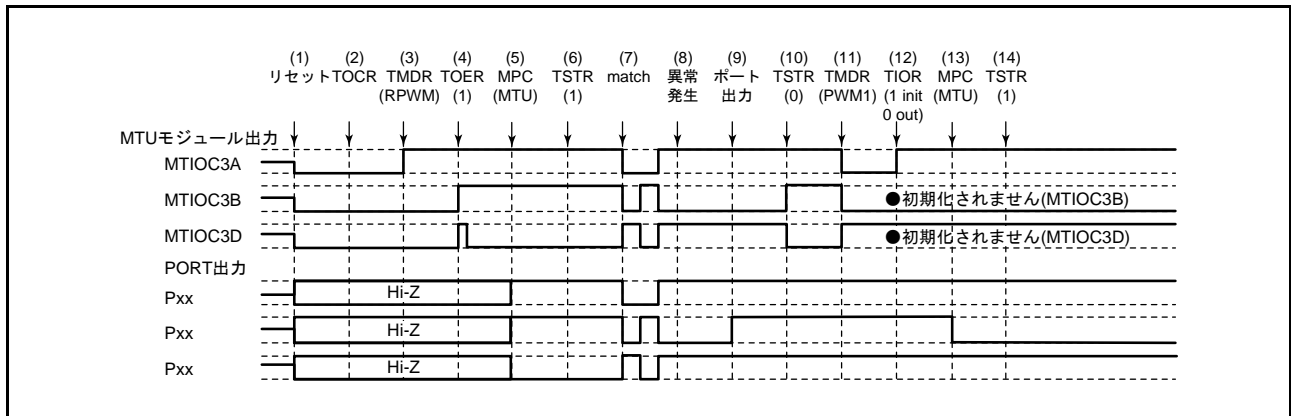


図 22.180 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 22.179 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA (TSTRB) レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 22.181 に示します。

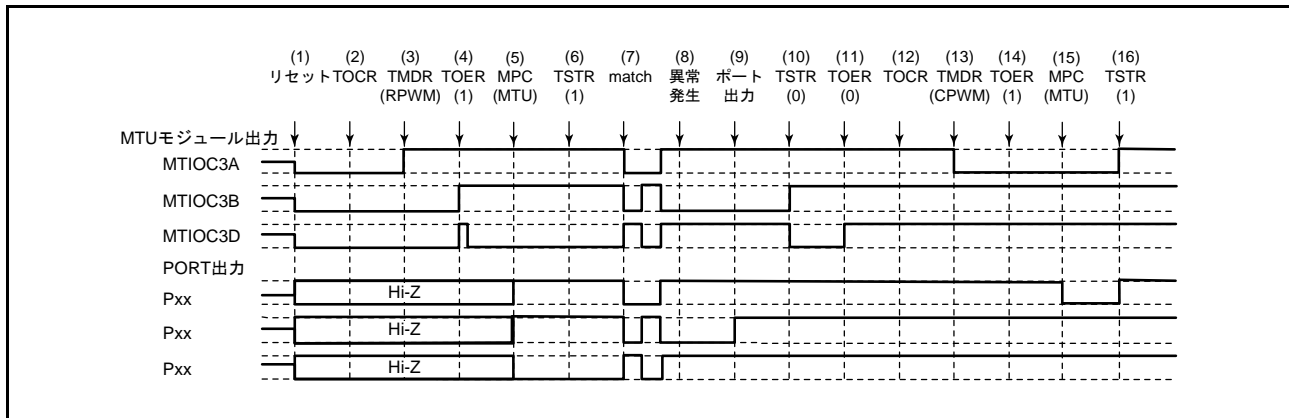


図 22.181 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 22.179 と共通です。

- (11) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を禁止してください。
- (12) TOCR1A、TOCR2A (TOCR1B, TOCR2B) レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。
- (14) TOERA (TOERB) レジスタで MTU3、MTU4 (MTU6, MTU7) の出力を許可してください。
- (15) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (16) TSTRA (TSTRB) レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 22.182 に示します。

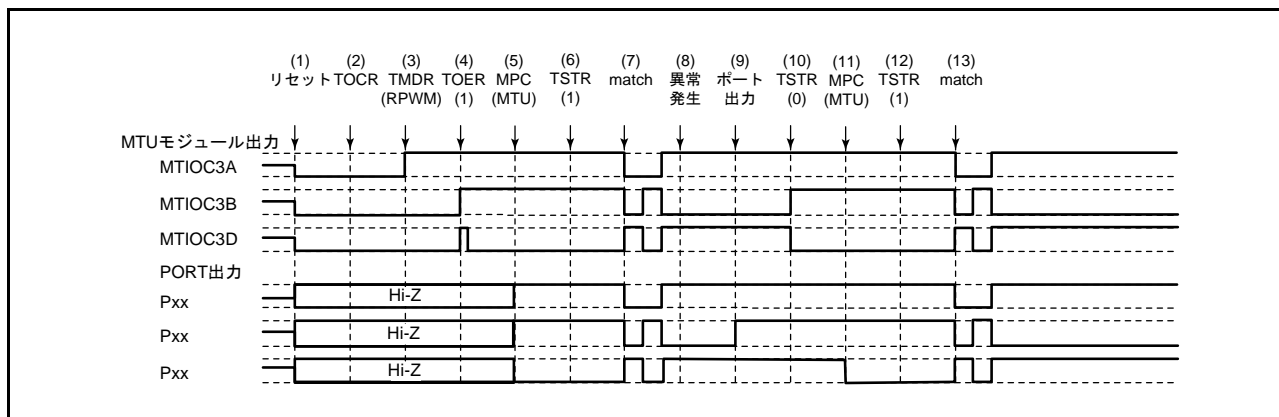


図 22.182 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 22.179 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTR (TSTRB) レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

22.8 ELCによるリンク動作

22.8.1 ELC へのイベント信号出力

MTU はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

22.8.2 ELC からのイベント信号受信によるアクション動作

MTU はイベントリンクコントローラ (ELC) の ELSRn の設定により、あらかじめ設定したイベントによる次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPA、ELOPB、ELOPE レジスタで MTU のカウントスタート動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4、ELOPE レジスタは MTU6、MTU7、MTU8 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、表 22.80 に示した TSTRA/TSTRB レジスタの CSTn ビットが“1”になり、MTU のカウントがスタートします。

ただし、TSTRA/TSTRB レジスタの CSTn ビットが“1”になっているときに指定したイベントが発生した場合は、そのイベントは無効となります。各チャネルに対して使用する TSTRA/TSTRB レジスタのビットは表 22.80 を参照してください。

表22.80 ELCによってセットされるカウントスタートビット

チャンネル番号	カウントスタートビット
MTU0	TSTRA.CST0ビット
MTU3	TSTRA.CST3ビット
MTU4	TSTRA.CST4ビット
MTU6	TSTRB.CST6ビット
MTU7	TSTRB.CST7ビット
MTU8	TSTRA.CST8ビット

(2) インプットキャプチャ動作

ELC の ELOPA、ELOPB、ELOPE レジスタで MTU のインプットキャプチャ動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4、ELOPE レジスタは MTU6、MTU7、MTU8 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、TCNT の値が TGR レジスタにキャプチャされます。イベントリンクによるインプットキャプチャ動作を使用する場合は、MTU の TIOR レジスタのビットをインプットキャプチャに設定し、TSTRA/TSTRB レジスタの CSTn ビットを“1”にしてカウンタをスタートさせてください。

このとき TIOChA 端子 (インプットキャプチャ端子) の入力は無効となります。

各チャネルに対して使用するタイマジェネラルレジスタ、I/O コントロールビットは表 22.81 を参照してください。

表22.81 ELCのインプットキャプチャ動作で使用するレジスタ、ビット

チャンネル番号	タイマジェネラルレジスタ	I/Oコントロールビット
MTU0	MTU0.TGRA	MTU0.TIORH.IOA[3:0]ビット
MTU3	MTU3.TGRA	MTU3.TIORH.IOA[3:0]ビット
MTU4	MTU4.TGRA	MTU4.TIORH.IOA[3:0]ビット
MTU6	MTU6.TGRA	MTU6.TIORH.IOA[3:0]ビット
MTU7	MTU7.TGRA	MTU7.TIORH.IOA[3:0]ビット
MTU8	MTU8.TGRA	MTU8.TIORH.IOA[3:0]ビット

(3) カウントリスタート (カウンタクリア) 動作

ELC の ELOPA、ELOPB、ELOPE レジスタで MTU のカウントリスタート動作を選択してください。ELOPA レジスタは MTU0、MTU3、ELOPB レジスタは MTU4、ELOPE レジスタは MTU6、MTU7、MTU8 の動作を制御します。ELSRn レジスタで指定したイベントが発生すると、TCNT がクリアされます。このとき TSTRA/TSTRB レジスタの CSTn ビットが“1”になっていればカウント動作を継続することができます。対応する TSTRA/TSTRB レジスタの CSTn ビットは表 22.80 を参照してください。

22.8.3 ELC からのイベント信号受信による動作に関する注意事項

MTU をイベントリンクによる動作で使用するときは、以下のことに注意してください。

(1) カウントスタート動作

TSTRA/TSTRB レジスタの CSTn ビットへのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TSTRA/TSTRB レジスタの CSTn ビットへの書き込みサイクルは行われず、イベント発生による“1”設定が優先されます。

(2) カウントリスタート (カウンタクリア) 動作

TCNT へのライトサイクル中に ELSRn レジスタで指定したイベントが発生すると、TCNT への書き込みサイクルは行われず、イベント発生によるカウンタのクリアが優先されます。

また、MTU3、MTU4、MTU6、MTU7 の相補 PWM モードを使用する場合、ELC によるカウントリスタート動作は使用しないでください。

23. ポートアウトプットイネーブル3 (POE3a)

本 MCU は、各種条件で MTU の出力を停止させることができるポートアウトプットイネーブル3 (POE3a) を搭載しています。出力停止時の端子の状態はハイインピーダンスです。

なお、本章に記載している PCLK とは PCLKB を指します。

23.1 概要

表 23.1 に POE3 の仕様を、図 23.1 に POE3 のブロック図を示します。

表 23.1 POE3 の仕様

項目	内容														
出力停止時の端子の状態	<ul style="list-style-type: none"> ハイインピーダンス 														
ハイインピーダンス制御対象端子	<ul style="list-style-type: none"> MTU の出力端子 MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) MTU3 端子 (MTIOC3B, MTIOC3D) MTU4 端子 (MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) MTU6 端子 (MTIOC6B, MTIOC6D) MTU7 端子 (MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) 														
ハイインピーダンス要求発生条件	<ul style="list-style-type: none"> 入力端子の変化 POE0#, POE4#, POE8#, POE10#, POE11# 端子に信号が入力されたとき 出力端子の短絡 以下の組み合わせの出力信号レベル(アクティブレベル)が1サイクル以上一致(短絡)したとき <table border="1" data-bbox="459 994 903 1267"> <thead> <tr> <th></th> <th>MTU 相補 PWM 出力端子</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>MTIOC3B と MTIOC3D</td> </tr> <tr> <td>2</td> <td>MTIOC4A と MTIOC4C</td> </tr> <tr> <td>3</td> <td>MTIOC4B と MTIOC4D</td> </tr> <tr> <td>4</td> <td>MTIOC6B と MTIOC6D</td> </tr> <tr> <td>5</td> <td>MTIOC7A と MTIOC7C</td> </tr> <tr> <td>6</td> <td>MTIOC7B と MTIOC7D</td> </tr> </tbody> </table> SPOER レジスタを設定したとき メインクロック発生回路の発振停止を検出したとき 		MTU 相補 PWM 出力端子	1	MTIOC3B と MTIOC3D	2	MTIOC4A と MTIOC4C	3	MTIOC4B と MTIOC4D	4	MTIOC6B と MTIOC6D	5	MTIOC7A と MTIOC7C	6	MTIOC7B と MTIOC7D
	MTU 相補 PWM 出力端子														
1	MTIOC3B と MTIOC3D														
2	MTIOC4A と MTIOC4C														
3	MTIOC4B と MTIOC4D														
4	MTIOC6B と MTIOC6D														
5	MTIOC7A と MTIOC7C														
6	MTIOC7B と MTIOC7D														
機能	<ul style="list-style-type: none"> POE0#, POE4#, POE8#, POE10#, POE11# の各入力端子に立ち下がリエッジ、PCLK/8x16回、PCLK/16x16回、PCLK/128x16回の Low サンプリングの設定が可能です POE0#, POE4#, POE8#, POE10#, POE11# 端子の立ち下がリエッジ、または Low サンプリングによって、すべての制御対象端子の出力をハイインピーダンスにできます クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力をハイインピーダンスにできます MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU 相補 PWM 出力端子の出力をハイインピーダンスにできます POE3 のレジスタの設定により、すべての制御対象端子の出力をハイインピーダンスにできます 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です 														

POE3 は図 23.1 のブロック図に示すように、入力レベル検出回路、端子選択回路、出力レベル比較回路、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

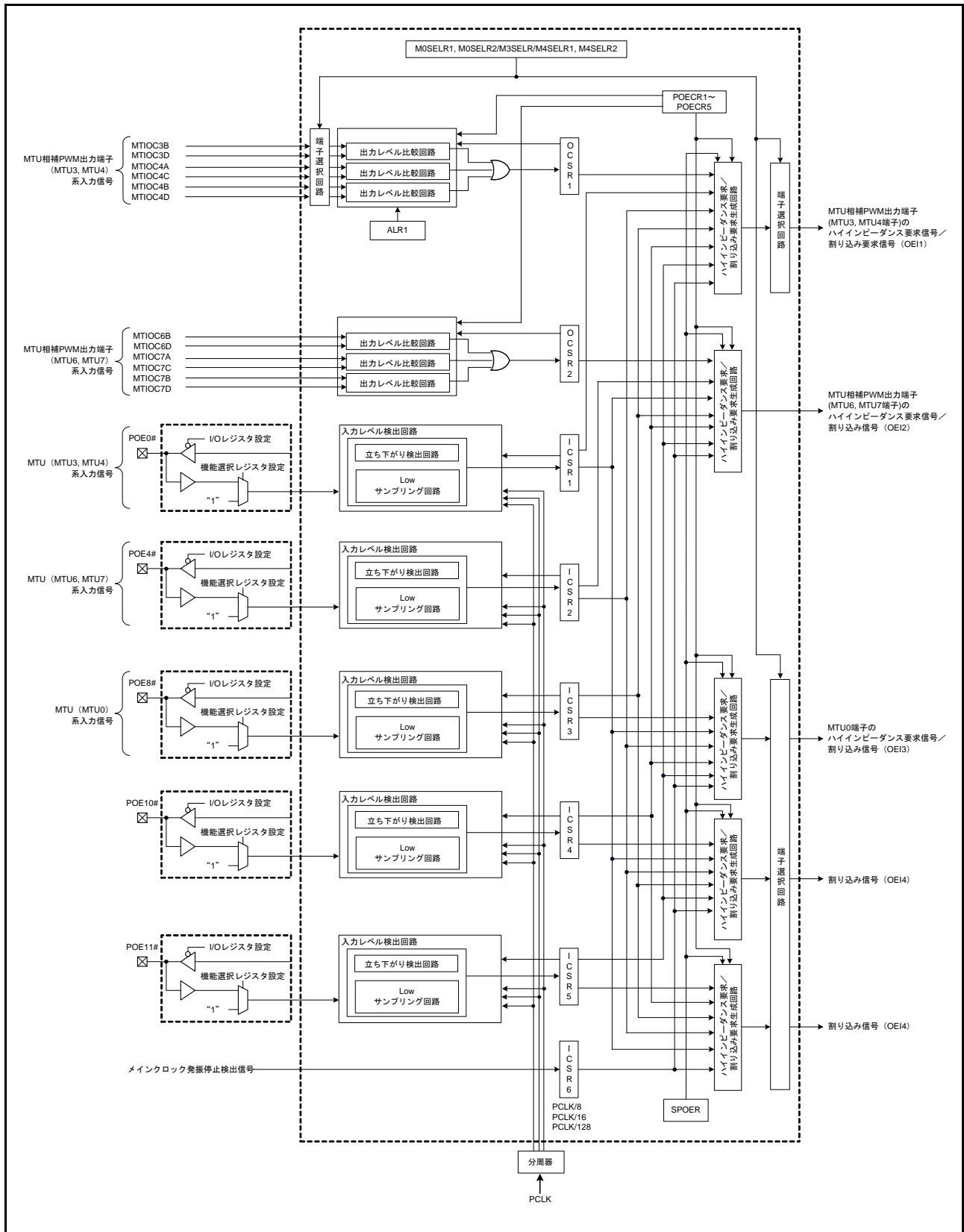


図 23.1 POE3 のブロック図

表 23.2 に POE3 で使用する入出力端子を示します。

表 23.2 POE3の入出力端子

端子名	入出力	機能
POE0#	入力	MTU相補PWM出力端子(MTU3, MTU4端子)の出力をハイインピーダンスにする要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE4#	入力	MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにする要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE8#	入力	MTU0端子の出力をハイインピーダンスにする要求信号。レジスタの設定によって他の制御対象端子も制御できます
POE10#	入力	レジスタの設定によってすべての制御対象端子を制御できます
POE11#	入力	レジスタの設定によってすべての制御対象端子を制御できます

表 23.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 23.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(ALR1.OLSENビットが“0”かつMTU.TOCR1A.TOCSビットが“0”のときに、MTU.TOCR1A.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“0”かつMTU.TOCR1A.TOCSビットが“1”のときに、MTU.TOCR2A.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、ALR1.OLSENビットが“1”のときに、ALR1.OLSG0A, OLSG0B, OLSG1A, OLSG1B, OLSG2A, OLSG2Bビットが“0”の場合はLow出力、“1”の場合はhigh出力)が続いた場合、M3SELR/M4SELR1/M4SELR2レジスタで設定したMTU相補PWM出力端子(MTU3, MTU4端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC4AとMTIOC4C	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC4BとMTIOC4D	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC6BとMTIOC6D	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC7AとMTIOC7C	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます
MTIOC7BとMTIOC7D	出力	周辺モジュールクロック(PCLK)1サイクル以上同時にアクティブレベル出力(MTU.TOCR1B.TOCSビットが“0”のときに、MTU.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTU.TOCR1B.TOCSビットが“1”のときに、MTU.TOCR2B.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU6, MTU7端子)の出力をハイインピーダンスにします。どの組み合わせに対して出力比較を行い端子制御を行うかは、POE3のレジスタで設定できます

23.2 レジスタの説明

POE3のレジスタは、リセットで初期化されます。

23.2.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

アドレス POE3.ICSR1 0008 C4C0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE0F	—	—	—	PIE1	—	—	—	—	—	—	—	POE0M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0 : POE0#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE0#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE0#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE0#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE1	ポート割り込み許可1ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0 : POE0#端子にハイインピーダンス要求なし 1 : POE0#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR1レジスタは、POE0#端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE0M[1:0] ビット (POE0 モード選択ビット)

POE0#端子の入力モードを選択します。

PIE1 ビット (ポート割り込み許可1ビット)

POE0Fフラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0#端子にハイインピーダンス要求が入力されたことを示すフラグです。

["1"になる条件]

- POE0#端子にPOE0M[1:0]ビットで設定した入力が発生したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE0M[1:0]ビットでLowサンプリングを設定している場合、“0”を書くには、POE0#端子にHighを入力する必要があります。

詳細は、「23.3.7 ハイインピーダンス状態の解除」を参照してください。

23.2.2 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)

アドレス POE3.ICSR2 0008 C4C4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE4F	—	—	—	PIE2	—	—	—	—	—	—	POE4M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE4M[1:0]	POE4モード選択ビット	b1 b0 0 0 : POE4#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE4#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE4#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE4#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE4F	POE4フラグ	0 : POE4#端子にハイインピーダンス要求なし 1 : POE4#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR2 レジスタは、POE4# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE4M[1:0] ビット (POE4 モード選択ビット)

POE4# 端子の入力モードを選択します。

PIE2 ビット (ポート割り込み許可2ビット)

POE4F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE4F フラグ (POE4 フラグ)

POE4# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE4# 端子に POE4M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE4M[1:0] ビットでLowサンプリングを設定している場合、“0”を書くには、POE4#端子にHighを入力する必要があります。

詳細は、「23.3.7 ハイインピーダンス状態の解除」を参照してください。

23.2.3 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

アドレス POE3.ICSR3 0008 C4C8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE8F	—	—	POE8E	PIE3	—	—	—	—	—	—	POE8M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0 : POE8#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE8#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE8#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE8#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE3	ポート割り込み許可3ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0 : POE8#信号により端子の出力をハイインピーダンスにしない 1 : POE8#信号により端子の出力をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0 : POE8#端子にハイインピーダンス要求なし 1 : POE8#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE8M[1:0] ビット (POE8 モード選択ビット)

POE8# 端子の入力モードを選択します。

PIE3 ビット (ポート割り込み許可3ビット)

POE8F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 ハイインピーダンス許可ビット)

POE8F フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE8M[1:0] ビットでLowサンプリングを設定している場合、“0”を書くには、POE8#端子にHighを入力する必要があります。

詳細は、「23.3.7 ハイインピーダンス状態の解除」を参照してください。

23.2.4 入力レベルコントロール / ステータスレジスタ 4 (ICSR4)

アドレス POE3.ICSR4 0008 C4D6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE10 F	—	—	POE10 E	PIE4	—	—	—	—	—	—	POE10M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE10M[1:0]	POE10モード選択ビット	b1 b0 0 0 : POE10#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE10#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE10#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE10#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE4	ポート割り込み許可4ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE10E	POE10ハイインピーダンス許可ビット	0 : POE10#信号により端子の出力をハイインピーダンスにしない 1 : POE10#信号により端子の出力をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE10F	POE10フラグ	0 : POE10#端子にハイインピーダンス要求なし 1 : POE10#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE10M[1:0] ビット (POE10 モード選択ビット)

POE10# 端子の入力モードを選択します。

PIE4 ビット (ポート割り込み許可4ビット)

POE10F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット (POE10 ハイインピーダンス許可ビット)

POE10F フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

POE10F フラグ (POE10 フラグ)

POE10# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE10# 端子に POE10M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE10M[1:0]ビットでLowサンプリングを設定している場合、“0”を書くには、POE10#端子にHighを入力する必要があります。

詳細は、「23.3.7 ハイインピーダンス状態の解除」を参照してください。

23.2.5 入力レベルコントロール/ステータスレジスタ 5 (ICSR5)

アドレス POE3.ICSR5 0008 C4D8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE11F	—	—	POE11E	PIE5	—	—	—	—	—	—	POE11M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE11M[1:0]	POE11モード選択ビット	b1 b0 0 0 : POE11#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE11#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE11#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE11#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE5	ポート割り込み許可5ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE11E	POE11ハイインピーダンス許可ビット	0 : POE11#信号により端子の出力をハイインピーダンスにしない 1 : POE11#信号により端子の出力をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE11F	POE11フラグ	0 : POE11#端子にハイインピーダンス要求なし 1 : POE11#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR5 レジスタは、POE11# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

POE11M[1:0] ビット (POE11 モード選択ビット)

POE11# 端子の入力モードを選択します。

PIE5 ビット (ポート割り込み許可5ビット)

POE11F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE11E ビット (POE11 ハイインピーダンス許可ビット)

POE11F フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

POE11F フラグ (POE11 フラグ)

POE11# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE11# 端子に POE11M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE11M[1:0]ビットでLowサンプリングを設定している場合、“0”を書くには、POE11#端子にHighを入力する必要があります。

詳細は、「23.3.7 ハイインピーダンス状態の解除」を参照してください。

23.2.6 入力レベルコントロール/ステータスレジスタ 6 (ICSR6)

アドレス POE3.ICSR6 0008 C4DCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	発振停止時ハイインピーダンス許可ビット	0：発振停止検出時に制御対象端子の出力をハイインピーダンスにしない 1：発振停止検出時に制御対象端子の出力をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	発振停止検出フラグ	0：発振停止によるハイインピーダンス要求なし 1：発振停止によるハイインピーダンス要求あり	R/W (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR6 レジスタは、発振停止時の制御、およびステータスを示すレジスタです。

OSTSTE ビット (発振停止時ハイインピーダンス許可ビット)

発振停止検出時に制御対象端子の出力をハイインピーダンスにするかしないかを設定します。

OSTSTF フラグ (発振停止検出フラグ)

OSTSTF フラグは、発振停止によるハイインピーダンス要求を示すステータスフラグです。

メインクロックの発振が停止すると“1”になります。OSTSTF フラグを“0”にするときは、OSTSTF フラグが“1”になった後 PCLK で 10 サイクル以上経過し、かつ OSTDSR.OSTDF フラグが“0”のときに“0”を書いてください。OSTDSR.OSTDF フラグが“1”のときに OSTSTF フラグに“0”を書いても“0”になりません。OSTSTF フラグをクリアした後は“0”になったことを確認してください。

[“1”になる条件]

- 発振停止状態を検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

23.2.7 出力レベルコントロール / ステータスレジスタ 1 (OCSR1)

アドレス POE3.OCSR1 0008 C4C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE1	出力短絡時ハイインピーダンス許可1ビット	0：出力短絡時に端子の出力をハイインピーダンスにしない 1：出力短絡時に端子の出力をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR1 レジスタは、出力レベルの比較許可 / 禁止、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

OIE1 ビット (出力短絡割り込み許可1ビット)

OSF1 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡時ハイインピーダンス許可1ビット)

OSF1 フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ (出力短絡フラグ1)

MTU 相補 PWM 出力端子 (MTU3, MTU4 端子) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子のハイインピーダンス制御が許可されていない場合、OSF1 フラグは“1”になりません。

アクティブレベルの設定については「23.2.9 アクティブレベルレジスタ 1 (ALR1)」を参照してください。

["1" になる条件]

- POECR2.MTU3BDZE ビットが“1”の場合に、MTIOC3B 端子と MTIOC3D 端子が PCLK の 1 サイクル以上同時にアクティブレベル (注1) になったとき
- POECR2.MTU4ACZE ビットが“1”の場合に、MTIOC4A 端子と MTIOC4C 端子が PCLK の 1 サイクル以上同時にアクティブレベル (注1) になったとき
- POECR2.MTU4BDZE ビットが“1”の場合に、MTIOC4B 端子と MTIOC4D 端子が PCLK の 1 サイクル以上同時にアクティブレベル (注1) になったとき

注1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

["0" になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

“0”を書くには、MTU相補PWM出力端子から非アクティブレベルを出力する必要があります。詳細は、「23.3.7 ハイインピーダンス状態の解除」を参照してください。

23.2.8 出力レベルコントロール/ステータスレジスタ 2 (OCSR2)

アドレス POE3.OCSR2 0008 C4C6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE2	出力短絡割り込み許可2ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	OCE2	出力短絡時ハイインピーダンス許可2ビット	0: 出力短絡時に端子の出力をハイインピーダンスにしない 1: 出力短絡時に端子の出力をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF2	出力短絡フラグ2	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR2 レジスタは、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

OIE2 ビット (出力短絡割り込み許可2ビット)

OSF2 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE2 ビット (出力短絡時ハイインピーダンス許可2ビット)

OSF2 フラグが“1”になったときに、端子の出力をハイインピーダンスにするかどうかを指定します。

OSF2 フラグ (出力短絡フラグ2)

MTU相補PWM出力端子(MTU6, MTU7端子)の比較する3組の2相出力のうち、1組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子のハイインピーダンス制御が許可されていない場合、OSF2 フラグは“1”になりません。

アクティブレベルの設定については「22. マルチファンクションタイムパルスユニット3 (MTU3a)」を参照してください。

["1"になる条件]

- POE2R2.MTU6BDZE ビットが“1”の場合に、MTIOC6B 端子と MTIOC6D 端子が PCLK の1サイクル以上同時にアクティブレベル(注1)になったとき
- POE2R2.MTU7ACZE ビットが“1”の場合に、MTIOC7A 端子と MTIOC7C 端子が PCLK の1サイクル以上同時にアクティブレベル(注1)になったとき
- POE2R2.MTU7BDZE ビットが“1”の場合に、MTIOC7B 端子と MTIOC7D 端子が PCLK の1サイクル以上同時にアクティブレベル(注1)になったとき

注1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

“0”を書くには、MTU相補PWM出力端子から非アクティブレベルを出力する必要があります。詳細は、「23.3.7 ハイインピーダンス状態の解除」を参照してください。

23.2.9 アクティブレベルレジスタ 1 (ALR1)

アドレス POE3.AL1 0008 C4DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2 B	OLSG2 A	OLSG1 B	OLSG1 A	OLSG0 B	OLSG0 A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b1	OLSG0B	MTIOC3D端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b2	OLSG1A	MTIOC4A端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b3	OLSG1B	MTIOC4C端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b4	OLSG2A	MTIOC4B端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b5	OLSG2B	MTIOC4D端子アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR1レジスタは、MTU出力をOCSR1レジスタで出力短絡を検出する場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (MTIOC3B 端子アクティブレベル設定ビット)

MTIOC3B出力のアクティブレベルを設定します。OLSG0Aビットが“0”の場合はLowをアクティブレベル、“1”の場合はHighをアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (MTIOC3D 端子アクティブレベル設定ビット)

MTIOC3D出力のアクティブレベルを設定します。OLSG0Bビットが“0”の場合はLowをアクティブレベル、“1”の場合はHighをアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (MTIOC4A 端子アクティブレベル設定ビット)

MTIOC4A 出力のアクティブレベルを設定します。OLSG1A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (MTIOC4C 端子アクティブレベル設定ビット)

MTIOC4C 出力のアクティブレベルを設定します。OLSG1B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (MTIOC4B 端子アクティブレベル設定ビット)

MTIOC4B 出力のアクティブレベルを設定します。OLSG2A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (MTIOC4D 端子アクティブレベル設定ビット)

MTIOC4D 出力のアクティブレベルを設定します。OLSG2B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSG nm ビット ($n=0\sim 2$, $m=A, B$) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが“0”の場合は OLSG nm ビットの設定は無効となり、MTU 出力のアクティブレベルは MTU.TOCR1 j および MTU.TOCR2 j レジスタ ($j=A, B$) の設定となります。OLSEN ビットが“1”の場合は、MTU 出力のアクティブレベルは OLSG nm ビットの設定となります。

23.2.10 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス POE3.SPOER 0008 C4CAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTUC H0HIZ	MTUC H67HIZ	MTUC H34HIZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3, MTU4端子ハイインピーダンス許可ビット	0: 端子の出力をハイインピーダンスにしない 1: 端子の出力をハイインピーダンスにする	R/W
b1	MTUCH67HIZ	MTU6, MTU7端子ハイインピーダンス許可ビット	0: 端子の出力をハイインピーダンスにしない 1: 端子の出力をハイインピーダンスにする	R/W
b2	MTUCH0HIZ	MTU0端子ハイインピーダンス許可ビット	0: 端子の出力をハイインピーダンスにしない 1: 端子の出力をハイインピーダンスにする	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPOER レジスタは、端子のハイインピーダンス制御を行うレジスタです。

MTUCH34HIZ ビット (MTU3, MTU4 端子ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) の出力をハイインピーダンスにする制御を行います。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

MTUCH67HIZ ビット (MTU6, MTU7 端子ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) の出力をハイインピーダンスにする制御を行います。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

MTUCH0HIZ ビット (MTU0 端子ハイインピーダンス許可ビット)

MTU0 端子の出力をハイインピーダンスにする制御を行います。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

23.2.11 ポートアウトプットイネーブルコントロールレジスタ 1 (POE3CR1)

アドレス POE3.POECR1 0008 C4CBh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTIOC0A端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b1	MTU0BZE	MTIOC0B端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b2	MTU0CZE	MTIOC0C端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b3	MTU0DZE	MTIOC0D端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR1 レジスタは、MTU0 端子のハイインピーダンス制御を行うレジスタです。

MTU0AZE ビット (MTIOC0A 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5、m = 0, 4, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC0A 出力をハイインピーダンスにするかどうかを設定します。

MTU0BZE ビット (MTIOC0B 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5、m = 0, 4, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

MTU0CZE ビット (MTIOC0C 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5、m = 0, 4, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC0C 出力をハイインピーダンスにするかどうかを設定します。

MTU0DZE ビット (MTIOC0D 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 2, 4, 5、m = 0, 4, 10, 11) のうち、どれか1つでも“1”になったときに、MTIOC0D 出力をハイインピーダンスにするかどうかを設定します。

23.2.12 ポートアウトプットイネーブルコントロールレジスタ 2 (POE2CR2)

アドレス POE3.POECR2 0008 C4CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3B DZE	MTU4A CZE	MTU4B DZE	—	—	—	—	—	MTU6B DZE	MTU7A CZE	MTU7B DZE
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BDZE	MTIOC7B/MTIOC7D 端子ハイインピーダンス許可ビット (注2)	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	MTU7ACZE	MTIOC7A/MTIOC7C 端子ハイインピーダンス許可ビット (注2)	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	MTU6BDZE	MTIOC6B/MTIOC6D 端子ハイインピーダンス許可ビット (注2)	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTIOC4B/MTIOC4D 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b9	MTU4ACZE	MTIOC4A/MTIOC4C 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b10	MTU3BDZE	MTIOC3B/MTIOC3D 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. MTU6, MTU7を使用しない場合は、“0”にしてください。

POE2CR2 レジスタは、MTU 相補 PWM 出力端子 (MTU3, MTU4, MTU6, MTU7 端子) のハイインピーダンス制御を行うレジスタです。

MTU7BDZE ビット (MTIOC7B/MTIOC7D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POE2CR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, m = 0, 8, 10, 11) のうち、どれか 1 つでも“1”になったときに、MTIOC7B 出力と MTIOC7D 出力をハイインピーダンスにするかどうかを設定します。

MTU7ACZE ビット (MTIOC7A/MTIOC7C 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POE2CR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, m = 0, 8, 10, 11) のうち、どれか 1 つでも“1”になったときに、MTIOC7A 出力と MTIOC7C 出力をハイインピーダンスにするかどうかを設定します。

MTU6BDZE ビット (MTIOC6B/MTIOC6D 端子ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POE2CR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 1, 3 ~ 5, m = 0, 8, 10, 11) のうち、どれか 1 つでも“1”になったときに、MTIOC6B 出力と MTIOC6D 出力をハイインピーダンスにするかどうかを設定します。

MTU4BDZE ビット (MTIIOC4B/MTIIOC4D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5、m = 4, 8, 10, 11) のうち、どれか1つでも“1”になったときに、MTIIOC4B 出力と MTIIOC4D 出力をハイインピーダンスにするかどうかを設定します。

MTU4ACZE ビット (MTIIOC4A/MTIIOC4C 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5、m = 4, 8, 10, 11) のうち、どれか1つでも“1”になったときに、MTIIOC4A 出力と MTIIOC4C 出力をハイインピーダンスにするかどうかを設定します。

MTU3BDZE ビット (MTIIOC3B/MTIIOC3D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POE_mF フラグ (n = 2 ~ 5、m = 4, 8, 10, 11) のうち、どれか1つでも“1”になったときに、MTIIOC3B 出力と MTIIOC3D 出力をハイインピーダンスにするかどうかを設定します。

23.2.13 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)

アドレス POE3.POECR4 0008 C4D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IC5ADD MT67ZE	IC4ADD MT67ZE	IC3ADD MT67ZE	—	IC1ADD MT67ZE	—	—	—	IC5ADD MT34ZE	IC4ADD MT34ZE	IC3ADD MT34ZE	IC2ADD MT34ZE	—	—
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	IC2ADDMT34ZE	MTU3, MTU4ハイインピーダンス条件POE4F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b3	IC3ADDMT34ZE	MTU3, MTU4ハイインピーダンス条件POE8F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b4	IC4ADDMT34ZE	MTU3, MTU4ハイインピーダンス条件POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b5	IC5ADDMT34ZE	MTU3, MTU4ハイインピーダンス条件POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b8-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	IC1ADDMT67ZE	MTU6, MTU7ハイインピーダンス条件POE0F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11	IC3ADDMT67ZE	MTU6, MTU7ハイインピーダンス条件POE8F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b12	IC4ADDMT67ZE	MTU6, MTU7ハイインピーダンス条件POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b13	IC5ADDMT67ZE	MTU6, MTU7ハイインピーダンス条件POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR4 レジスタは、MTU 相補 PWM 出力端子 (MTU3, MTU4, MTU6, MTU7 端子) のハイインピーダンス制御条件を拡張するレジスタです。

IC2ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU3, MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) のハイインピーダンス制御条件に追加します。

IC3ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU3, MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) のハイインピーダンス制御条件に追加します。

IC4ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU3, MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) のハイインピーダンス制御条件に追加します。

IC5ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU3, MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) のハイインピーダンス制御条件に追加します。

IC1ADDMT67ZE ビット (MTU6, MTU7 ハイインピーダンス条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) のハイインピーダンス制御条件に追加します。

IC3ADDMT67ZE ビット (MTU6, MTU7 ハイインピーダンス条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) のハイインピーダンス制御条件に追加します。

IC4ADDMT67ZE ビット (MTU6, MTU7 ハイインピーダンス条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) のハイインピーダンス制御条件に追加します。

IC5ADDMT67ZE ビット (MTU6, MTU7 ハイインピーダンス条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU6, MTU7 端子 (MTIOC6B, MTIOC6D, MTIOC7A, MTIOC7C, MTIOC7B, MTIOC7D) のハイインピーダンス制御条件に追加します。

23.2.14 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)

アドレス POE3.POECR5 0008 C4D2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	IC5ADD MT0ZE	IC4ADD MT0ZE	—	IC2ADD MT0ZE	IC1ADD MT0ZE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	IC1ADDMT0ZE	MTU0ハイインピーダンス条件 POE0F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b2	IC2ADDMT0ZE	MTU0ハイインピーダンス条件 POE4F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	IC4ADDMT0ZE	MTU0ハイインピーダンス条件 POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b5	IC5ADDMT0ZE	MTU0ハイインピーダンス条件 POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR5 レジスタは、MTU0 端子のハイインピーダンス制御条件を拡張するレジスタです。

IC1ADDMT0ZE ビット (MTU0 ハイインピーダンス条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

IC2ADDMT0ZE ビット (MTU0 ハイインピーダンス条件 POE4F 追加ビット)

ICSR2.POE4F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

IC4ADDMT0ZE ビット (MTU0 ハイインピーダンス条件 POE10F 追加ビット)

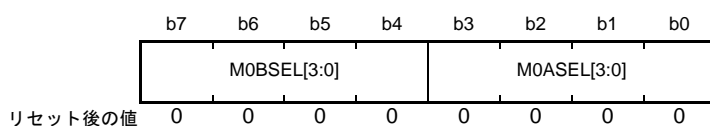
ICSR4.POE10F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

IC5ADDMT0ZE ビット (MTU0 ハイインピーダンス条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

23.2.15 MTU0 端子選択レジスタ 1 (M0SELR1)

アドレス POE3.M0SELR1 0008 C4E4h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M0ASEL[3:0]	MTU0-A (MTIOC0A)端子選択ビット (注2)	b3 b0 0000 : P34をMTIOC0A端子としてハイインピーダンス制御する(注3) 0010 : PB3をMTIOC0A端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)
b7-b4	M0BSEL[3:0]	MTU0-B (MTIOC0B)端子選択ビット	b7 b4 0000 : P13をMTIOC0B端子としてハイインピーダンス制御する(注3) 0001 : P15をMTIOC0B端子としてハイインピーダンス制御する 0010 : PA1をMTIOC0B端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

注2. 80ピン以上の製品でのみ有効です。80ピン未満の製品では“0010b”にしてください。

注3. 80ピン以上の製品で選択可能です。

M0SELR1 レジスタは、読み出し / 書き込み可能な8ビットのレジスタで、ハイインピーダンス制御の対象となるMTU0-A/Bの端子を選択します。

M0ASEL[3:0] ビット (MTU0-A (MTIOC0A) 端子選択ビット)

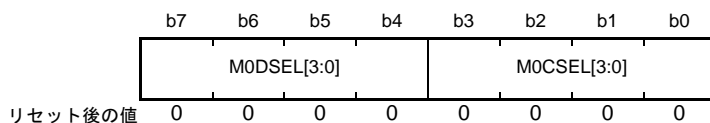
ハイインピーダンス制御の対象となるMTIOC0A端子を選択します。

M0BSEL[3:0] ビット (MTU0-B (MTIOC0B) 端子選択ビット)

ハイインピーダンス制御の対象となるMTIOC0B端子を選択します。

23.2.16 MTU0 端子選択レジスタ 2 (M0SELR2)

アドレス POE3.M0SELR2 0008 C4E5h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M0CSEL[3:0]	MTU0-C (MTIOC0C) 端子選択ビット (注2)	b3 b0 0000 : P32 を MTIOC0C 端子としてハイインピーダンス制御する (注3) 0010 : PB1 を MTIOC0C 端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)
b7-b4	M0DSEL[3:0]	MTU0-D (MTIOC0D) 端子選択ビット (注4)	b7 b4 0000 : P33 を MTIOC0D 端子としてハイインピーダンス制御する (注5) 0010 : PA3 を MTIOC0D 端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

注2. 64ピン以上の製品でのみ有効です。48ピンの製品では"0010b"にしてください。

注3. 64ピン以上の製品で選択可能です。

注4. 100ピン以上の製品でのみ有効です。100ピン未満の製品では"0010b"にしてください。

注5. 100ピン以上の製品で選択可能です。

M0SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御の対象となる MTU0-C/D の端子を選択します。

M0CSEL[3:0] ビット (MTU0-C (MTIOC0C) 端子選択ビット)

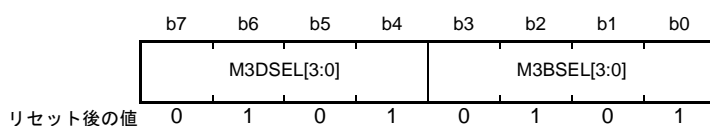
ハイインピーダンス制御の対象となる MTIOC0C 端子を選択します。

M0DSEL[3:0] ビット (MTU0-D (MTIOC0D) 端子選択ビット)

ハイインピーダンス制御の対象となる MTIOC0D 端子を選択します。

23.2.17 MTU3 端子選択レジスタ (M3SELR)

アドレス POE3.M3SELR 0008 C4E6h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M3BSEL[3:0]	MTU3-B (MTIOC3B) 端子選択ビット	b3 b0 0000 : PE1 を MTIOC3B 端子としてハイインピーダンス制御する 0001 : P22 を MTIOC3B 端子としてハイインピーダンス制御する (注2) 0010 : P80 を MTIOC3B 端子としてハイインピーダンス制御する (注3) 0011 : PC5 を MTIOC3B 端子としてハイインピーダンス制御する 0100 : PB7 を MTIOC3B 端子としてハイインピーダンス制御する (注4) 0101 : P17 を MTIOC3B 端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)
b7-b4	M3DSEL[3:0]	MTU3-D (MTIOC3D) 端子選択ビット	b7 b4 0000 : PE0 を MTIOC3D 端子としてハイインピーダンス制御する (注4) 0001 : P23 を MTIOC3D 端子としてハイインピーダンス制御する (注2) 0010 : PC4 を MTIOC3D 端子としてハイインピーダンス制御する 0011 : P81 を MTIOC3D 端子としてハイインピーダンス制御する (注3) 0100 : PB6 を MTIOC3D 端子としてハイインピーダンス制御する (注4) 0101 : P16 を MTIOC3D 端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)

- 注1. リセット後、1回のみ書き込み可能です。
 注2. 100ピン以上の製品で選択可能です。
 注3. 144ピンの製品でのみ選択可能です。
 注4. 64ピン以上の製品で選択可能です。

M3SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、ハイインピーダンス制御の対象となる MTU3-B/D の端子を選択します。

M3BSEL[3:0] ビット (MTU3-B (MTIOC3B) 端子選択ビット)

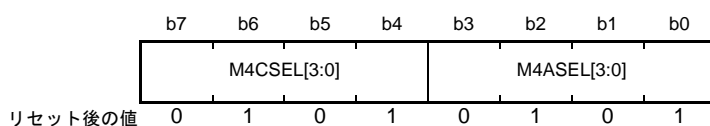
ハイインピーダンス制御の対象となる MTIOC3B 端子を選択します。

M3DSEL[3:0] ビット (MTU3-D (MTIOC3D) 端子選択ビット)

ハイインピーダンス制御の対象となる MTIOC3D 端子を選択します。

23.2.18 MTU4 端子選択レジスタ 1 (M4SELR1)

アドレス POE3.M4SELR1 0008 C4E7h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M4ASEL[3:0]	MTU4-A (MTIOC4A) 端子選択ビット	b3 b0 0000 : PE2をMTIOC4A端子としてハイインピーダンス制御する 0001 : P21をMTIOC4A端子としてハイインピーダンス制御する(注2) 0010 : PB3をMTIOC4A端子としてハイインピーダンス制御する 0011 : P82をMTIOC4A端子としてハイインピーダンス制御する(注3) 0100 : PA0をMTIOC4A端子としてハイインピーダンス制御する(注4) 0101 : P24をMTIOC4A端子としてハイインピーダンス制御する(注5) 上記以外は設定しないでください	R/W (注1)
b7-b4	M4CSEL[3:0]	MTU4-C (MTIOC4C) 端子選択ビット	b7 b4 0000 : PE5をMTIOC4C端子としてハイインピーダンス制御する(注4) 0001 : P87をMTIOC4C端子としてハイインピーダンス制御する(注3) 0010 : PB1をMTIOC4C端子としてハイインピーダンス制御する 0011 : P83をMTIOC4C端子としてハイインピーダンス制御する(注3) 0100 : PE1をMTIOC4C端子としてハイインピーダンス制御する 0101 : P25をMTIOC4C端子としてハイインピーダンス制御する(注5) 上記以外は設定しないでください	R/W (注1)

- 注1. リセット後、1回のみ書き込み可能です。
 注2. 80ピン以上の製品で選択可能です。
 注3. 144ピンの製品でのみ選択可能です。
 注4. 64ピン以上の製品で選択可能です。
 注5. 100ピン以上の製品で選択可能です。

M4SELR1 レジスタは、読み出し/書き込み可能な8ビットのレジスタで、ハイインピーダンス制御の対象となるMTU4-A/Cの端子を選択します。

M4ASEL[3:0] ビット (MTU4-A (MTIOC4A) 端子選択ビット)

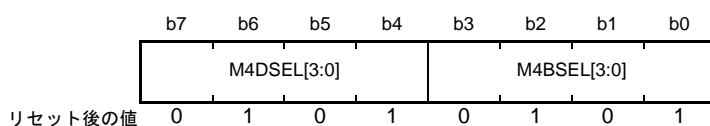
ハイインピーダンス制御の対象となるMTIOC4A端子を選択します。

M4CSEL[3:0] ビット (MTU4-C (MTIOC4C) 端子選択ビット)

ハイインピーダンス制御の対象となるMTIOC4C端子を選択します。

23.2.19 MTU4 端子選択レジスタ 2 (M4SELR2)

アドレス POE3.M4SELR2 0008 C4E8h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M4BSEL[3:0]	MTU4-B (MTIOC4B) 端子選択ビット	b3 b0 0000 : PE3をMTIOC4B端子としてハイインピーダンス制御する 0001 : P17をMTIOC4B端子としてハイインピーダンス制御する 0010 : P54をMTIOC4B端子としてハイインピーダンス制御する(注2) 0011 : PC2をMTIOC4B端子としてハイインピーダンス制御する(注2) 0100 : PD1をMTIOC4B端子としてハイインピーダンス制御する(注3) 0101 : P30をMTIOC4B端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)
b7-b4	M4DSEL[3:0]	MTU4-D (MTIOC4D) 端子選択ビット	b7 b4 0000 : PE4をMTIOC4D端子としてハイインピーダンス制御する 0001 : P86をMTIOC4D端子としてハイインピーダンス制御する(注4) 0010 : P55をMTIOC4D端子としてハイインピーダンス制御する(注2) 0011 : PC3をMTIOC4D端子としてハイインピーダンス制御する(注2) 0100 : PD2をMTIOC4D端子としてハイインピーダンス制御する(注3) 0101 : P31をMTIOC4D端子としてハイインピーダンス制御する 上記以外は設定しないでください	R/W (注1)

- 注1. リセット後、1回のみ書き込み可能です。
 注2. 64ピン以上の製品で選択可能です。
 注3. 80ピン以上の製品で選択可能です。
 注4. 144ピンの製品でのみ選択可能です。

M4SELR2 レジスタは、読み出し/書き込み可能な8ビットのレジスタで、ハイインピーダンス制御の対象となるMTU4-B/Dの端子を選択します。

M4BSEL[3:0] ビット (MTU4-B (MTIOC4B) 端子選択ビット)

ハイインピーダンス制御の対象となるMTIOC4B端子を選択します。

M4DSEL[3:0] ビット (MTU4-D (MTIOC4D) 端子選択ビット)

ハイインピーダンス制御の対象となるMTIOC4D端子を選択します。

23.3 動作説明

以下にハイインピーダンス制御の対象になる端子と条件を示します。

(1) MTU3 端子 (MTIOC3B, MTIOC3D)

POECR2.MTU3BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0F フラグが“1”になったとき
- MTIOC3B 端子と MTIOC3D 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC2ADDMT34ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(2) MTU4 端子 (MTIOC4A, MTIOC4C)

POECR2.MTU4ACZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0F フラグが“1”になったとき
- MTIOC4A 端子と MTIOC4C 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC2ADDMT34ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(3) MTU4 端子 (MTIOC4B, MTIOC4D)

POECR2.MTU4BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイイン

ピーダンスにします。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0F フラグが“1”になったとき
- MTIOC4B 端子と MTIOC4D 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC2ADDMT34ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(4) MTU6 端子 (MTIOC6B, MTIOC6D)

POECR2.MTU6BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE4# 端子の入力レベル検出動作
ICSR2.POE4F フラグが“1”になったとき
- MTIOC6B 端子と MTIOC6D 端子の出力レベル比較動作
OCSR2.OCE2 ビットが“1”の状態、OCSR2.OSF2 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH67HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT67ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT67ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT67ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT67ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(5) MTU7 端子 (MTIOC7A, MTIOC7C)

POECR2.MTU7ACZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE4# 端子の入力レベル検出動作
ICSR2.POE4F フラグが“1”になったとき
- MTIOC7A 端子と MTIOC7C 端子の出力レベル比較動作
OCSR2.OCE2 ビットが“1”の状態、OCSR2.OSF2 フラグが“1”になったとき

- SPOER レジスタ設定
SPOER.MTUCH67HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT67ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT67ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT67ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT67ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(6) MTU7 端子 (MTIOC7B, MTIOC7D)

POECR2.MTU7BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE4# 端子の入力レベル検出動作
ICSR2.POE4F フラグが“1”になったとき
- MTIOC7B 端子と MTIOC7D 端子の出力レベル比較動作
OCSR2.OCE2 ビットが“1”の状態、OCSR2.OSF2 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH67HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT67ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT67ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT67ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT67ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(7) MTU0 端子 (MTIOC0A)

POECR1.MTU0AZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき

- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(8) MTU0 端子 (MTIOC0B)

POECR1.MTU0BZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(9) MTU0 端子 (MTIOC0C)

POECR1.MTU0CZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC2ADDMT0ZE ビットが“1”の状態、ICSR2.POE4F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(10) MTU0 端子 (MTIOC0D)

POECR1.MTU0DZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定

SPOER.MTUCH0HIZビットを“1”にしたとき

- POECR5レジスタで追加された条件

POECR5.IC1ADDMT0ZEビットが“1”の状態、ICSR1.POE0Fフラグが“1”になったとき

POECR5.IC2ADDMT0ZEビットが“1”の状態、ICSR2.POE4Fフラグが“1”になったとき

POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態、ICSR4.POE10Fフラグが“1”になったとき

POECR5.IC5ADDMT0ZEビットとICSR5.POE11Eビットが“1”の状態、ICSR5.POE11Fフラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTFビットが“1”の状態、ICSR6.OSTSTEビットが“1”になったとき

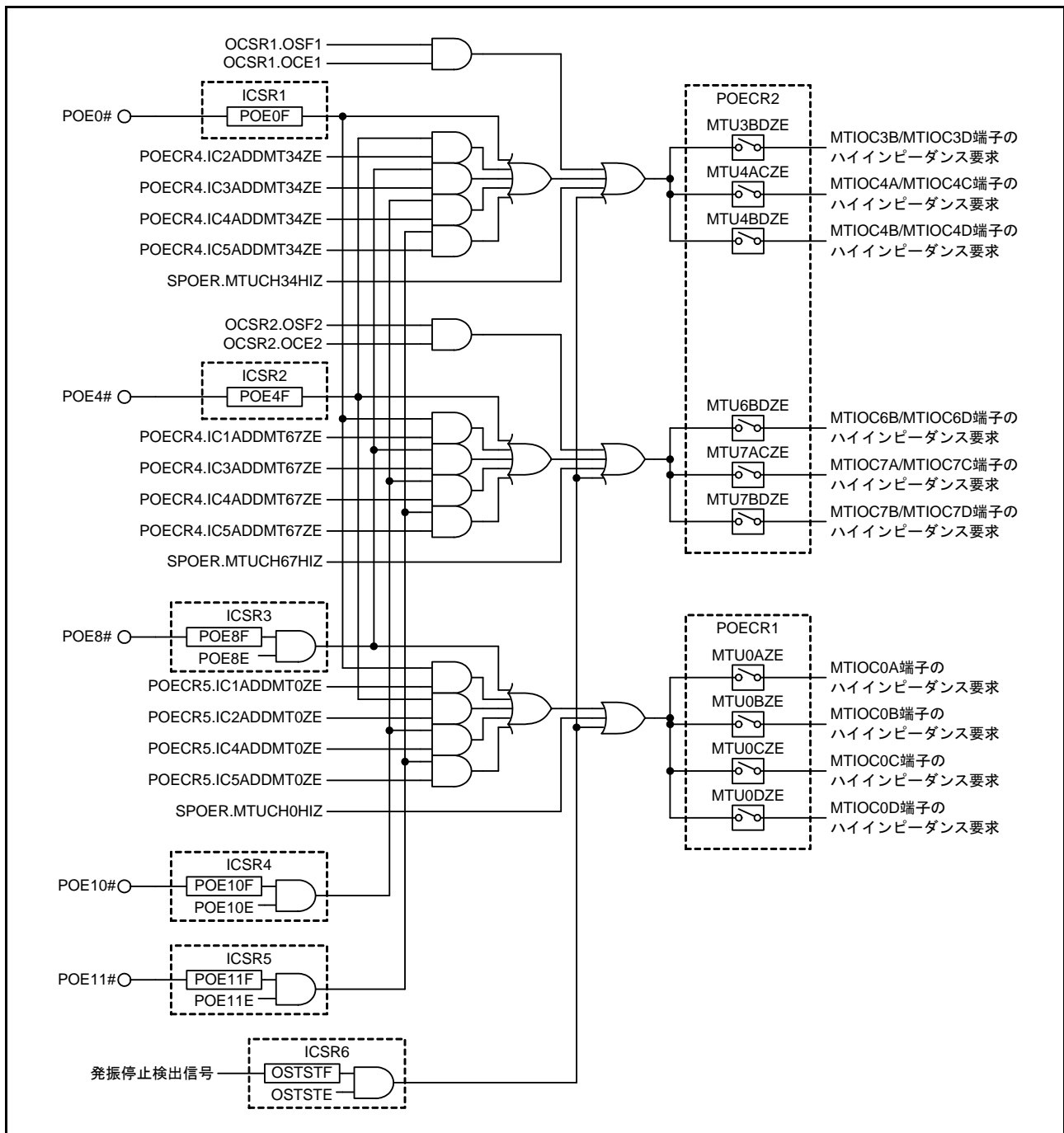


図 23.2 ハイインピーダンス制御の対象と条件

23.3.1 MTU 端子選択

本 MCU では、MTU 用の各端子機能が各々複数のポートに割り当てられています。どのポートをハイインピーダンス制御対象とするかは POE3 の端子選択レジスタ (M0SELR1/M0SELR2/M3SELR/M4SELR1/M4SELR2 レジスタ) で選択できます。表 23.4 に MTU 端子と選択レジスタの対応を示します。この表に記載のない端子は、ハイインピーダンス制御を行えません。

なお、MTU として使用する端子は、別途マルチファンクションピンコントローラ (MPC) のレジスタで設定する必要があります。POE3 のレジスタで選択した端子と MPC のレジスタで選択した端子に乖離がないよう注意してください。

表 23.4 MTU 端子と選択レジスタの対応

MTU 端子機能	対応ポート	選択レジスタ
MTIOC0A	P34 (注1)	M0SELR1
	PB3	
MTIOC0B	P13 (注1)	M0SELR1
	P15	
	PA1	
MTIOC0C	P32 (注2)	M0SELR2
	PB1	
MTIOC0D	P33 (注3)	M0SELR2
	PA3	
MTIOC3B	PE1	M3SELR
	P22 (注3)	
	P80 (注4)	
	PC5	
	PB7 (注2)	
MTIOC3D	PE0 (注2)	M3SELR
	P23 (注3)	
	PC4	
	P81 (注4)	
	PB6 (注2)	
MTIOC4A	PE2	M4SELR1
	P21 (注1)	
	PB3	
	P82 (注4)	
	PA0 (注2)	
MTIOC4C	P24 (注3)	M4SELR1
	PE5 (注2)	
	P87 (注4)	
	PB1	
	P83 (注4)	
MTIOC4B	PE3	M4SELR2
	P17	
	P54 (注2)	
	PC2 (注2)	
	PD1 (注1)	
MTIOC4D	P30	M4SELR2
	PE4	
	P86 (注4)	
	P55 (注2)	
	PC3 (注2)	
MTIOC6B	PD2 (注1)	M4SELR2
	P31	
	PA5 (注1)	
	PA0 (注2)	
	PA2 (注1)	
MTIOC7A	PA2 (注1)	—
MTIOC7C	P67 (注4)	—
MTIOC7B	PA1	—
MTIOC7D	P66 (注4)	—

- 注1. 80ピン以上の製品にのみあります。
 注2. 64ピン以上の製品にのみあります。
 注3. 100ピン以上の製品にのみあります。
 注4. 144ピンの製品にのみあります。

23.3.2 入力レベル検出動作

ICSR1 ~ ICSR5 レジスタで設定した入力条件が POE0#、POE4#、POE8#、POE10#、POE11# 端子に発生した場合、MTU 相補 PWM 出力端子 (MTU3, MTU4 端子または MTU6, MTU7 端子) および MTU0 端子の出力をハイインピーダンスにします。ただし、MTU 相補 PWM 出力端子および MTU0 端子をマルチプレクスしている端子が、MTU 機能を選択していない場合でも出力はハイインピーダンスになります。

(1) 立ち下がりエッジ検出

POE0#、POE4#、POE8#、POE10#、POE11# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子がマルチプレクスされている端子の出力をハイインピーダンスにします。

立ち下がりエッジは、PCLK でサンプリングを行った後、検出します。POE0#、POE4#、POE8#、POE10#、POE11# 端子に 1 PCLK クロック以上の Low を入力してください。

POE0#、POE4#、POE8#、POE10#、POE11# 端子入力から端子がハイインピーダンスになるまでのタイミング例を図 23.3 に示します。

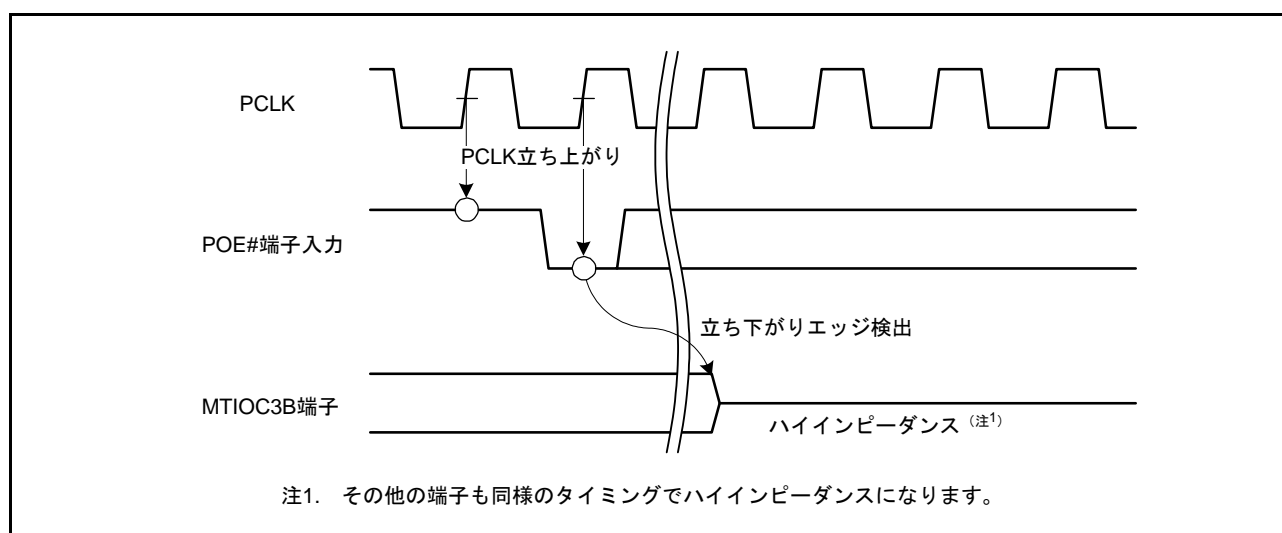


図 23.3 立ち下がりエッジ検出を選択した場合の動作

(2) Low 検出

図 23.4 に Low 検出で端子をハイインピーダンスにする場合の動作例を示します。ICSR1 ~ ICSR5 レジスタで設定したサンプリングクロックで、16 回連続して Low を検出すると Low 検出とみなし、MTU 相補 PWM 出力端子、MTU0 端子の出力をハイインピーダンスにします。このとき、一度でも High を検出した場合は Low 検出とみなしません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子の出力がハイインピーダンスになるタイミングは、立ち下がりエッジ検出、Low 検出ともに同じです。

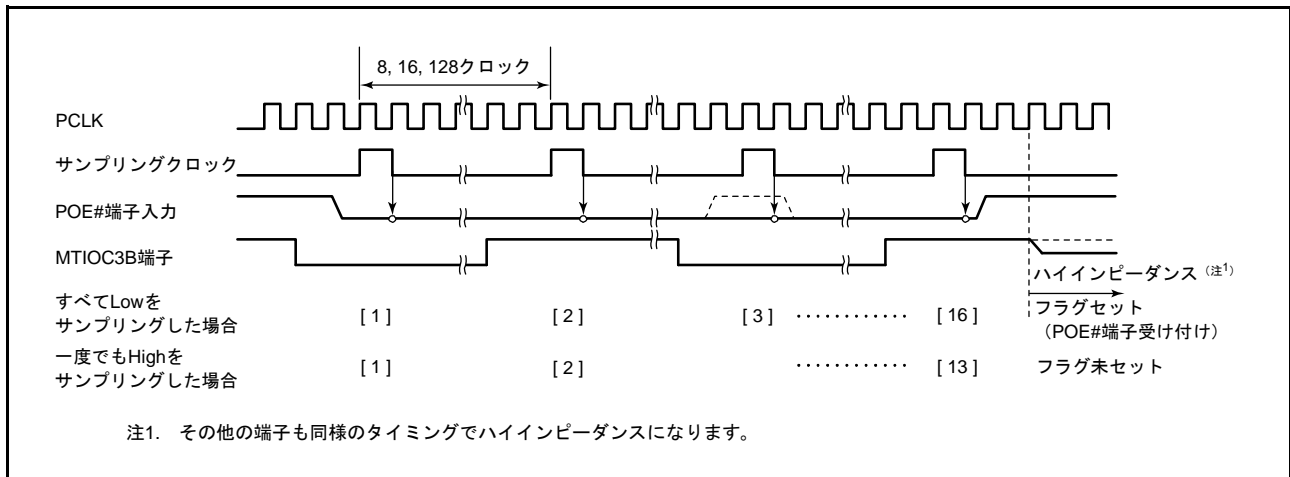


図 23.4 Low 検出を選択した場合の動作

23.3.3 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 23.5 に示します。他の端子の組み合わせについても同様です。

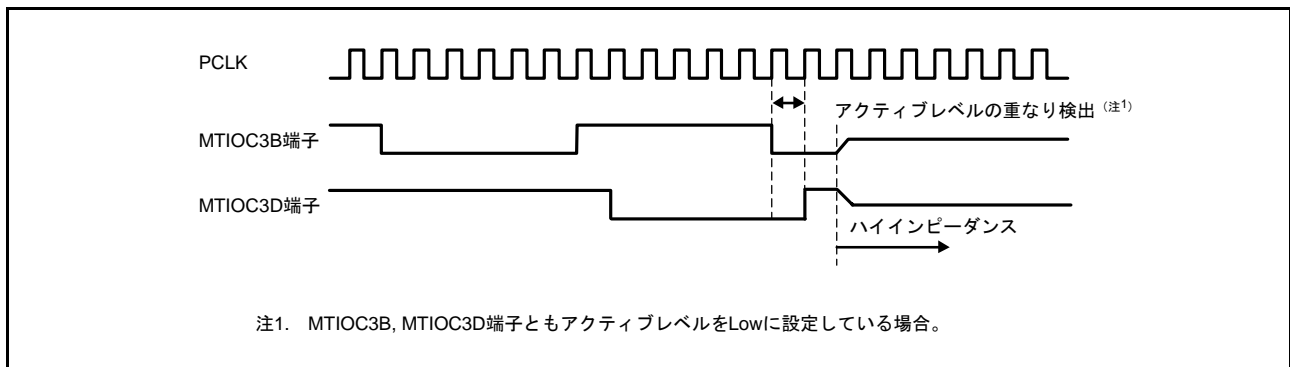


図 23.5 出力レベル検出動作

23.3.4 レジスタによるハイインピーダンス制御

SPOER レジスタにより、直接、MTU 端子 (MTU0, MTU3, MTU4, MTU6, MTU7) のハイインピーダンス制御を行います。

たとえば、SPOER.MTUCH34HIZ ビットを“1”にすることで、POECR2 レジスタで設定した MTU3, MTU4 の端子をハイインピーダンスにできます。

他の端子についても、SPOER レジスタ内のビット設定により同様にハイインピーダンス制御が行えます。

23.3.5 発振停止検出検知によるハイインピーダンス制御

ICSR6.OSTSTE ビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR1、POECR2 レジスタで設定した MTU 相補 PWM 出力端子、MTU0 端子をハイインピーダンスにできます。

23.3.6 ハイインピーダンス制御条件の追加機能

POECR4、POECR5 レジスタの設定により、MTU 相補 PWM 出力端子、MTU0 端子のハイインピーダンス制御条件を追加することができます。

たとえば、MTU3, MTU4 の端子のハイインピーダンス制御条件に、下記を追加することができます。

- POECR4.IC2ADDMT34ZE ビットを“1”にして、POE4# 端子による入力レベル検出を追加
- POECR4.IC3ADDMT34ZE ビットを“1”にして、POE8# 端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZE ビットを“1”にして、POE10# 端子による入力レベル検出を追加
- POECR4.IC5ADDMT34ZE ビットを“1”にして、POE11# 端子による入力レベル検出を追加

他の端子についても、POECR4、POECR5 レジスタの設定により同様にハイインピーダンス制御条件の追加が行えます。

23.3.7 ハイインピーダンス状態の解除

入力レベル検出で出力がハイインピーダンスになった端子は、リセットで初期状態に戻すか、ICSR1.POE0F フラグ、ICSR2.POE4F フラグ、ICSR3.POE8F フラグ、ICSR4.POE10F フラグ、ICSR5.POE11F フラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[1:0] ビット、ICSR2.POE4M[1:0] ビット、ICSR3.POE8M[1:0] ビット、ICSR4.POE10M[1:0] ビット、ICSR5.POE11M[1:0] ビットで Low サンプルリングに設定している場合には、POE0#、POE4#、POE8#、POE10#、POE11# 端子から High を入力して High を検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル検出で出力がハイインピーダンスになった端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを“0”にすることによって解除されます。ただし、端子から非アクティブレベルを出力するようにした後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTU の場合はカウント動作停止後に初期出力状態にすることで行うことができます。

発振停止検出で出力がハイインピーダンスになった端子は、リセットで初期状態に戻すか、SYSTEM.OSTDSR.OSTDF フラグを“0”にして ICSR6.OSTSTF フラグを“0”にすることによって解除されません。

23.4 POE3 設定手順

POE3 の設定手順を図 23.6 に示します。例として MTU3 端子 (MTIOC3B/MTIOC3D) の出力レベル比較によるハイインピーダンス制御を示します。図 23.6 では MTIOC3B 端子に P22、MTIOC3D 端子に P23 を使用します。

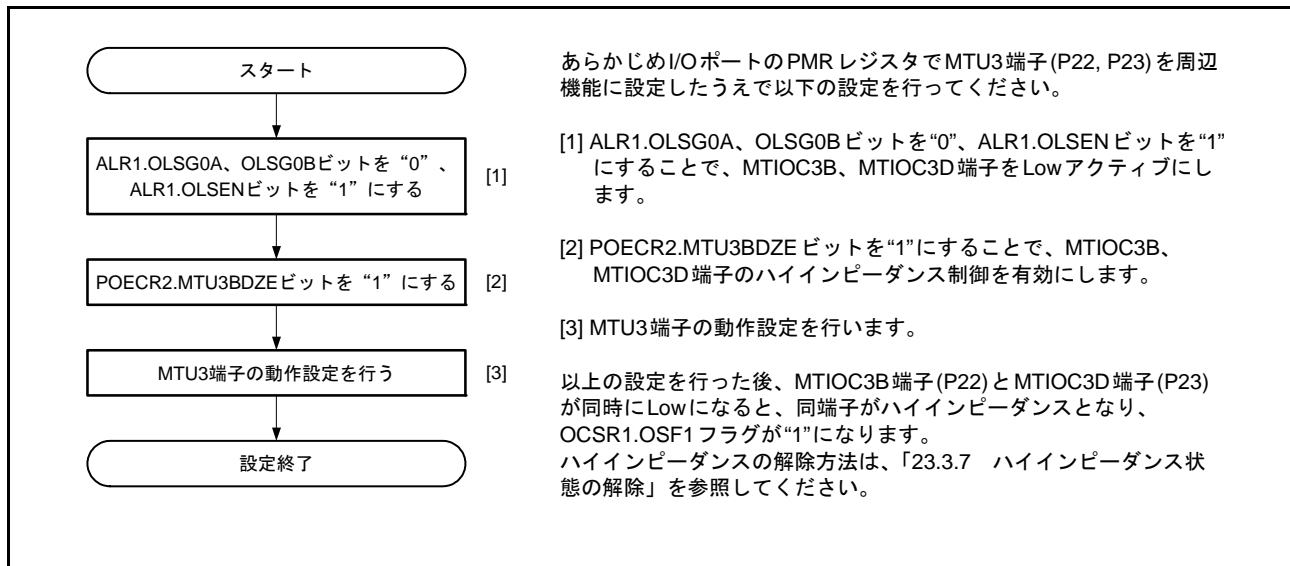


図 23.6 POE3 の設定手順

23.5 割り込み

POE3 は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 23.5 に割り込みの種類と割り込み要求を出す条件を示します。

表 23.5 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, OSF1	ICSR1.PIE1ビットが“1”の状態(ICSR1.POE0Fフラグが“1”になったとき、またはOCSR1.OIE1ビットが“1”の状態(OCSR1.OSF1フラグが“1”になったとき)
OEI2	アウトプットイネーブル割り込み2	POE4F, OSF2	ICSR2.PIE2ビットが“1”の状態(ICSR2.POE4Fフラグが“1”になったとき、またはOCSR2.OIE2ビットが“1”の状態(OCSR2.OSF2フラグが“1”になったとき)
OEI3	アウトプットイネーブル割り込み3	POE8F	ICSR3.PIE3ビットが“1”の状態(ICSR3.POE8Fフラグが“1”になったとき)
OEI4	アウトプットイネーブル割り込み4	POE10F, POE11F	ICSR4.PIE4ビットが“1”の状態(ICSR4.POE10Fフラグが“1”になったとき、またはICSR5.PIE5ビットが“1”の状態(ICSR5.POE11Fフラグが“1”になったとき)

23.6 使用上の注意事項

23.6.1 低消費電力モードへの遷移

POE3を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、POE3の動作が停止するため、端子のハイインピーダンス制御はできません。

23.6.2 MTU 端子非選択時のハイインピーダンス制御

POECR1、POECR2レジスタでMTU端子のハイインピーダンス制御を有効にしているときに制御条件を満たすと、MTU機能がマルチプレクスされている端子はMTU機能を選択していない場合でも、出力がハイインピーダンスになります。

意図せず端子の出力がハイインピーダンスになるのを避けるため、MPCのPmnPFSレジスタで選択したMTU端子と、POE3の端子選択レジスタで選択したMTU端子が一致するように設定を行ってください。

23.6.3 POE3を使用しない場合について

POE3による端子のハイインピーダンス制御は、リセット後から有効となっている端子があります。POE3を使用しない場合は、POECR1、POECR2レジスタの対象ビットに“0”を書いてください。

24. 8ビットタイマ (TMRb)

本MCUは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ(TMR)を2ユニット(ユニット0、ユニット1)、合計4チャンネル内蔵しています。外部イベントのカウントが可能なほか、2本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット0、ユニット1は同一機能です。また、SCIの基本クロックおよびREMC(リモコン信号受信機能)の動作クロックを生成することができます。

本章に記載しているPCLKとはPCLKBを指します。

24.1 概要

表24.1にTMRの仕様を、表24.2にTMRの機能一覧を示します。

図24.1にユニット0、図24.2にユニット1のブロック図を示します。

表24.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> 内部クロック：PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック：外部カウントクロック
チャンネル数	(8ビット×2チャンネル)×2ユニット
コンペアマッチ	<ul style="list-style-type: none"> 8ビットモード(コンペアマッチA、コンペアマッチB) 16ビットモード(コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> 16ビットカウントモード TMR0を上位、TMR1を下位(TMR2を上位、TMR3を下位)とする16ビットタイマ コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント(TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー(TMR0~3)
イベントリンク機能(入力)	イベント受付により、3種類のうち1つの動作が可能 (1) カウントスタート動作(TMR0~3) (2) イベントカウンタ動作(TMR0~3) (3) カウンタリスタート動作(TMR0~3)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2のコンペアマッチA
SCIの基本クロック生成	SCIの基本クロックを生成(注1)
REMC動作クロック生成	REMC(リモコン信号受信機能)の動作クロックを生成(注2)
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

注1. 詳細は「30. シリアルコミュニケーションインタフェース(SCIk, SCIm, SCIlh)」を参照してください。

注2. 詳細は「36. リモコン信号受信機能(REMCa)」を参照してください。

表24.2 TMRの機能一覧

項目		ユニット0			ユニット1		
		8ビット		16ビット	8ビット		16ビット
カウンタモード		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
チャンネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI0	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMR10	TMR1.TCORA TMR1.TCORB TMR11	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMR10	TMR2.TCORA TMR2.TCORB TMR12	TMR3.TCORA TMR3.TCORB TMR13	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMR12
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出 力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起 動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフ ロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフ ロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバフ ロー	TMR0の コンペア マッチA	—	TMR3の オーバフ ロー	TMR2の コンペア マッチA	—
A/Dコンバータの変換開始トリガ(注1)		○	—	○	○	—	○
SCIの基本クロックの生成(注2)		○		—	○		—
REMC動作クロック生成(注3)		○	—	—	—	—	—
ELC出力 イベント	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフ ロー	○	○	○	○	○	○
ELC入力 イベント	カウントスタート	○	○	—	○	○	—
	イベントカウンタ	○	○	—	○	○	—
	カウントリスタート	○	○	—	○	○	—
モジュールストップの設定(注4)		(ユニット0) MSTPCRA.MSTPA5ビット、(ユニット1) MSTPCRA.MSTPA4ビット					

○：可能

—：不可能

注1. 詳細は「38. 12ビットA/Dコンバータ(S12ADH)」を参照してください。

注2. 詳細は「30. シリアルコミュニケーションインタフェース(SCI_k, SCI_m, SCI_h)」を参照してください。

注3. 詳細は「36. リモコン信号受信機能(REMCa)」を参照してください。

注4. 詳細は「11. 消費電力低減機能」を参照してください。

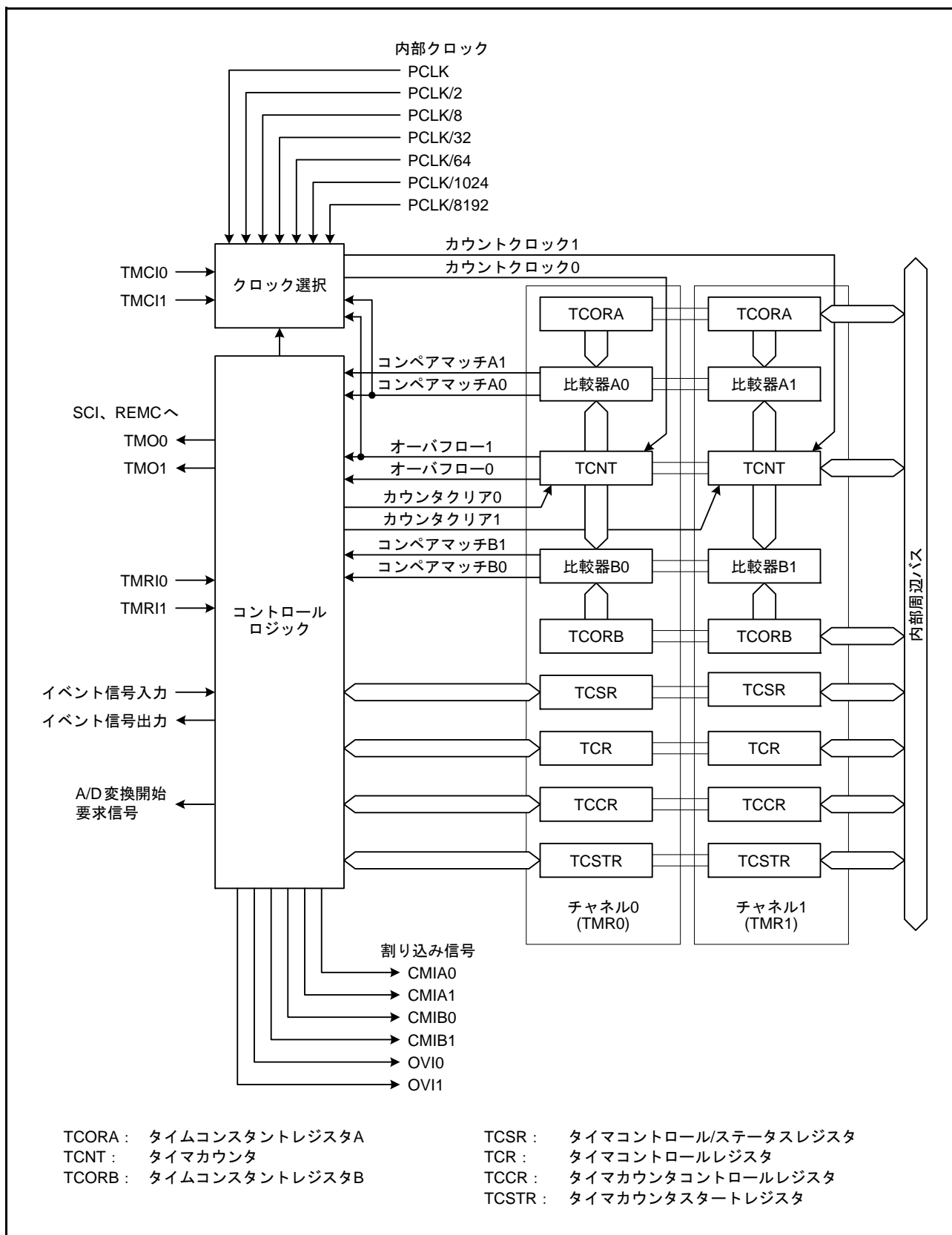


図 24.1 TMR (ユニット0) のブロック図

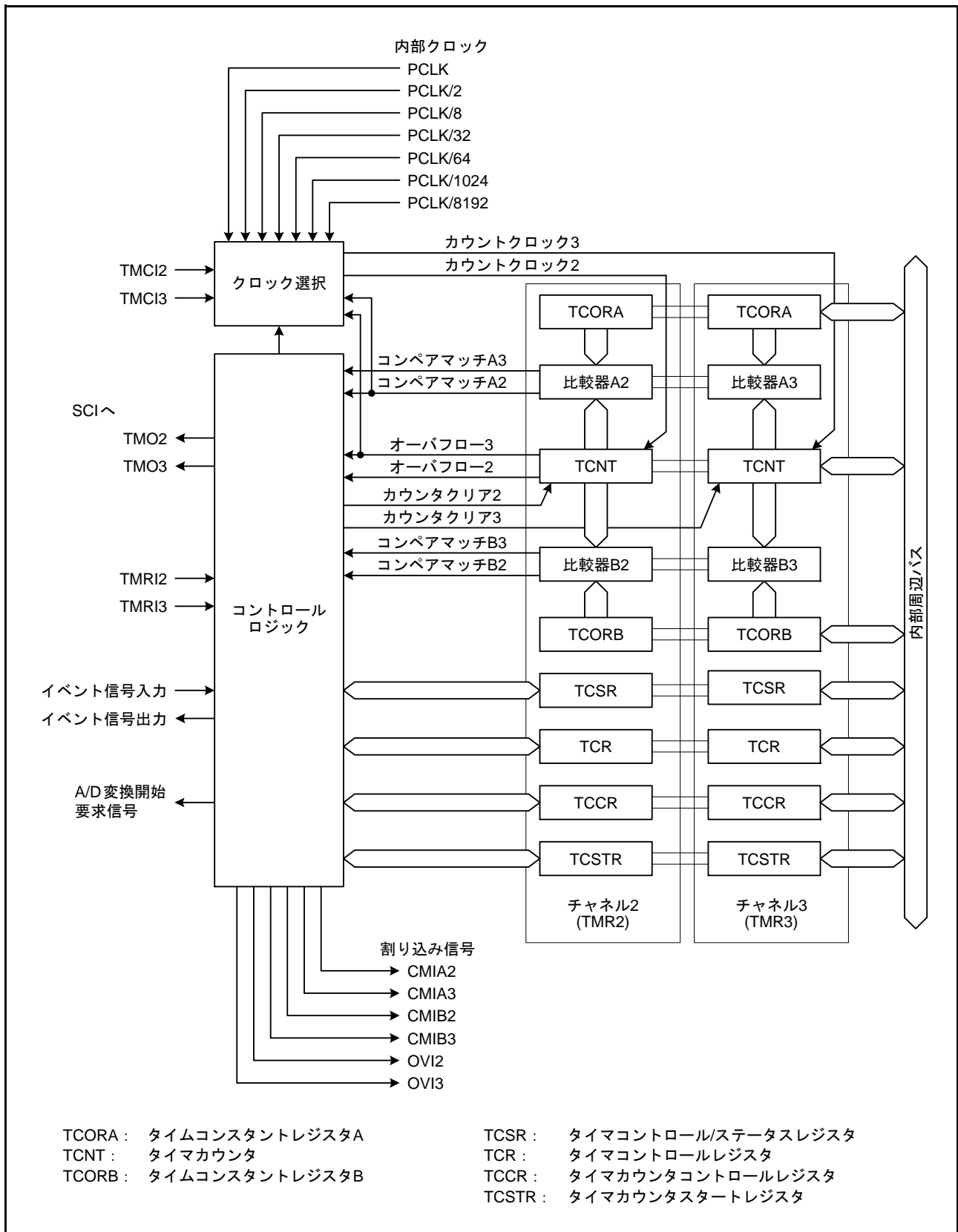


図 24.2 TMR (ユニット1) のブロック図

表 24.3 に TMR で使用する入出力端子を示します。

表 24.3 TMRの入出力端子

ユニット	チャンネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMC10	入力	外部カウントクロック入力
		TMR10	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMC11	入力	外部カウントクロック入力
		TMR11	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMC12	入力	外部カウントクロック入力
		TMR12	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMC13	入力	外部カウントクロック入力
		TMR13	入力	外部カウンタリセット入力

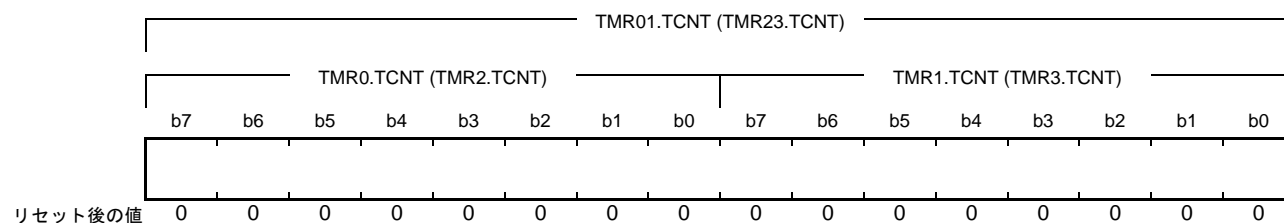
24.2 レジスタの説明

表24.4 16ビットアクセスのレジスタ配置

アドレス	レジスタ	上位8ビット	下位8ビット
0008 8208h	TMR01.TCNT	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR01.TCORA	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR01.TCORB	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR01.TCCR	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR23.TCNT	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR23.TCORA	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR23.TCORB	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR23.TCCR	TMR2.TCCR	TMR3.TCCR

24.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h,
TMR01.TCNT 0008 8208h, TMR23.TCNT 0008 8218h



TCNT カウンタは、8ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16ビットカウンタ (TMR01.TCNT, TMR23.TCNT) として 16ビット単位でアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

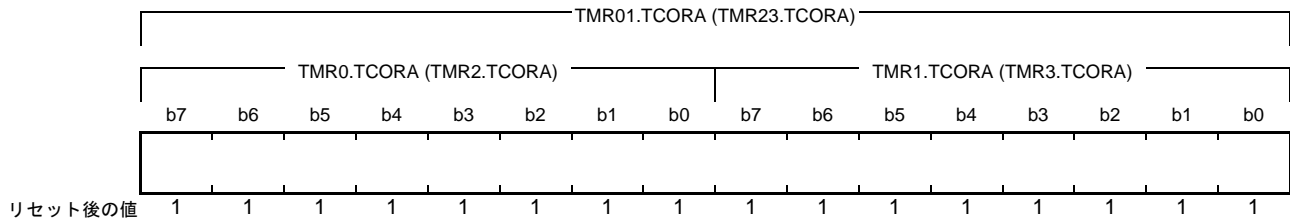
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバーフロー (“FFh”→“00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバーフロー割り込みを出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUF)」と「表 24.6 TMR の割り込み要因」を参照してください。

24.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h,
TMR01.TCORA 0008 8204h, TMR23.TCORA 0008 8214h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

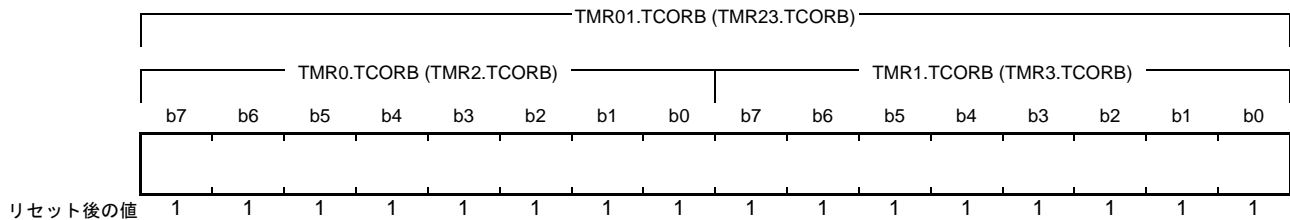
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタ (TMR01.TCORA, TMR23.TCORA) として 16 ビット単位でアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込みを出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

24.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h,
TMR01.TCORB 0008 8206h, TMR23.TCORB 0008 8216h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタ (TMR01.TCORB, TMR23.TCORB) として 16 ビット単位でアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込みを出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

24.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部カウンタリセット信号によりクリア (注1) (TCCR.TMRIS ビットでエッジまたはレベルを選択)	R/W
b5	OVIE	オーバフロー割り込み許可ビット	0 : オーバフローによる割り込み要求 (OVIn) を禁止 1 : オーバフローによる割り込み要求 (OVIn) を許可	R/W
b6	CMIEA	コンペアマッチA割り込み許可ビット	0 : コンペアマッチAによる割り込み要求 (CMIAAn) を禁止 1 : コンペアマッチAによる割り込み要求 (CMIAAn) を許可	R/W
b7	CMIEB	コンペアマッチB割り込み許可ビット	0 : コンペアマッチBによる割り込み要求 (CMIBn) を禁止 1 : コンペアマッチBによる割り込み要求 (CMIBn) を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (オーバフロー割り込み許可ビット)

TCNT カウンタのオーバフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ A 割り込み許可ビット)

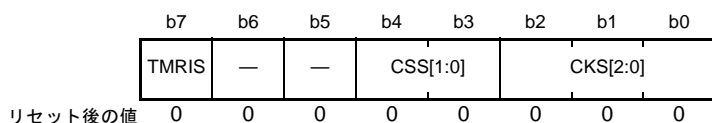
TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIAAn) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ B 割り込み許可ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIBn) の許可または禁止を選択します。

24.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh,
TMR01.TCCR 0008 820Ah, TMR23.TCCR 0008 821Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表24.5を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表24.5を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0：外部カウンタリセット信号の立ち上がりでクリア 1：外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

TCCR レジスタはカウンタの基本動作を設定する8ビットのレジスタです。偶数チャンネルのアドレスに対して16ビットアクセスすると、同時に2つのTCCRレジスタにアクセスできます。

CKS[2:0] ビット (クロック選択ビット)

CSS[1:0] ビット (クロックソース選択ビット)

CKS[2:0] ビットおよびCSS[1:0] ビットは、カウントクロックを選択します。詳細は、表24.5を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが“11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表24.5 TCNTカウンタに入力するクロックとカウント条件

チャネル	TCCRレジスタ					機能
	CSS[1:0]		CKS[2:0]			
	b4	b3	b2	b1	b0	
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
					0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
				1	0	内部クロック：PCLK/64でカウント
					1	内部クロック：PCLK/1024でカウント
					0	内部クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT)のオーバフロー信号でカウント(注2)
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
					0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
			1	0	内部クロック：PCLK/64でカウント	
				1	内部クロック：PCLK/1024でカウント	
				0	内部クロック：PCLK/8192でカウント	
				1	クロック入力を禁止	
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT)のコンペアマッチAでカウント(注2)

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

注2. TMR0 (TMR2)のクロック入力をTMR1.TCNT (TMR3.TCNT)カウンタのオーバフロー信号とし、TMR1 (TMR3)のクロック入力をTMR0.TCNT (TMR2.TCNT)カウンタのコンペアマッチ信号とすると、TCNTカウンタクロックが発生しません。この設定は行わないでください。

24.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]	OSB[1:0]	OSA[1:0]	OSA[1:0]
リセット後の値	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b4	ADTE	A/Dトリガ許可ビット	0 : コンペアマッチAによるA/D変換開始要求を禁止 1 : コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]	0	0	OSA[1:0]
リセット後の値	x	x	x	1	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

24.2.7 タイマカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch, TMR1.TCSTR 0008 820Dh, TMR2.TCSTR 0008 821Ch, TMR3.TCSTR 0008 821Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCS
リセット後の値	x	x	x	x	x	x	x	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0 : ELCによるカウント停止状態 1 : ELCによるカウント開始状態	R/W
b7-b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウンタの状態を確認できます。

読み出し値が“1”のとき、ELC によるタイマ開始状態で、“0”のとき、タイマカウンタ停止状態です。

このビットをクリアするには、“0”を書いてください。“1”の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみに有効となります。

詳細は、「24.7 ELC によるリンク動作」および、「19. イベントリンクコントローラ (ELC)」を参照してください。

24.3 動作説明

24.3.1 パルス出力

任意のデューティパルスを出力させる例を図 24.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b”(コンペアマッチ A によりクリア)に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b”(High 出力)、TCSR.OSB[1:0] ビットを“01b”(Low 出力)にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介在なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

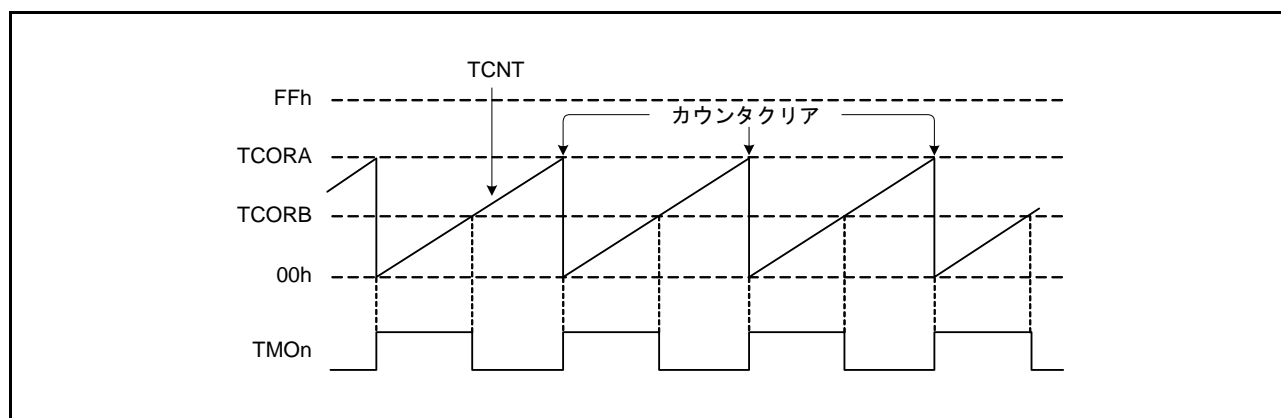


図 24.3 パルス出力例 (n = 0 ~ 3)

24.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 24.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “11b” (外部カウンタリセット信号によりクリア) にし、TCCR.TMRIS ビットを “1” (外部カウンタリセット信号の High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB – TCORA) の波形を出力できます。

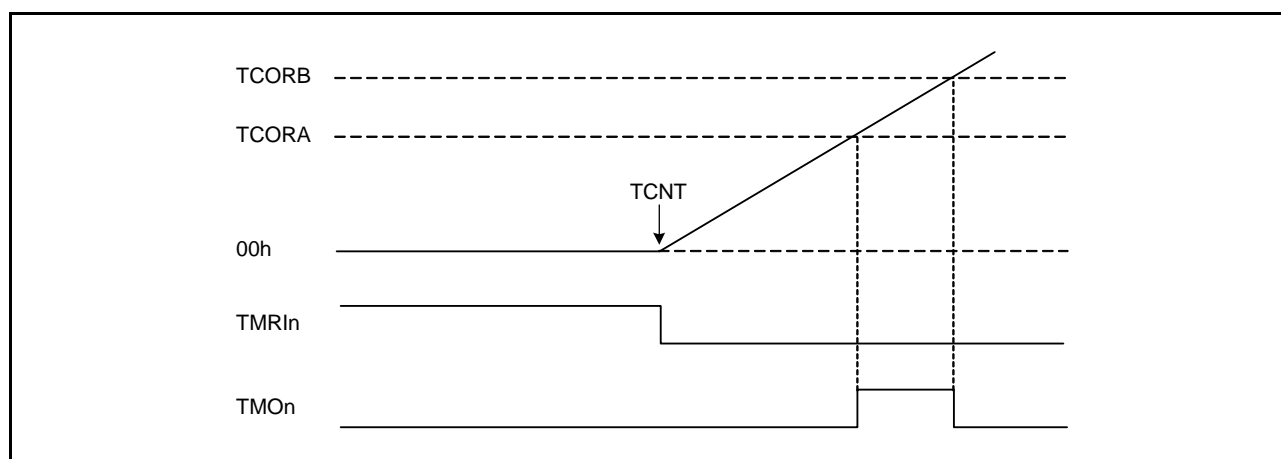


図 24.4 外部カウンタリセット信号入力例 (n = 0 ~ 3)

24.4 動作タイミング

24.4.1 TCNT カウンタのカウントタイミング

内部クロック動作の場合の TCNT カウンタのカウントタイミングを図 24.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 24.6 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

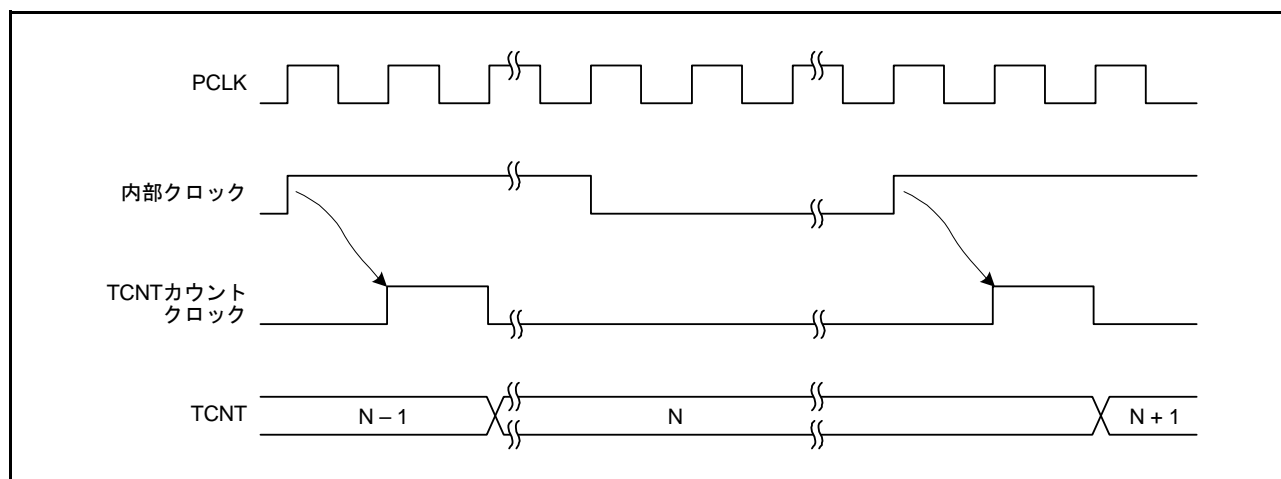


図 24.5 内部クロック動作時のカウントタイミング

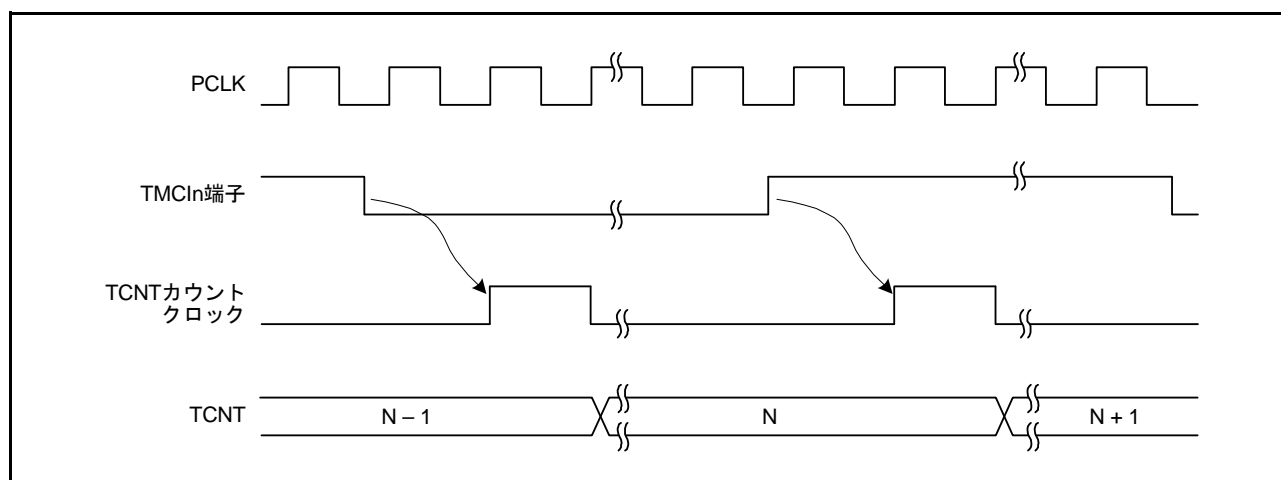


図 24.6 外部クロック動作時のカウントタイミング (両エッジの場合)

24.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 24.7 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUF)」と表 24.6 を参照してください。

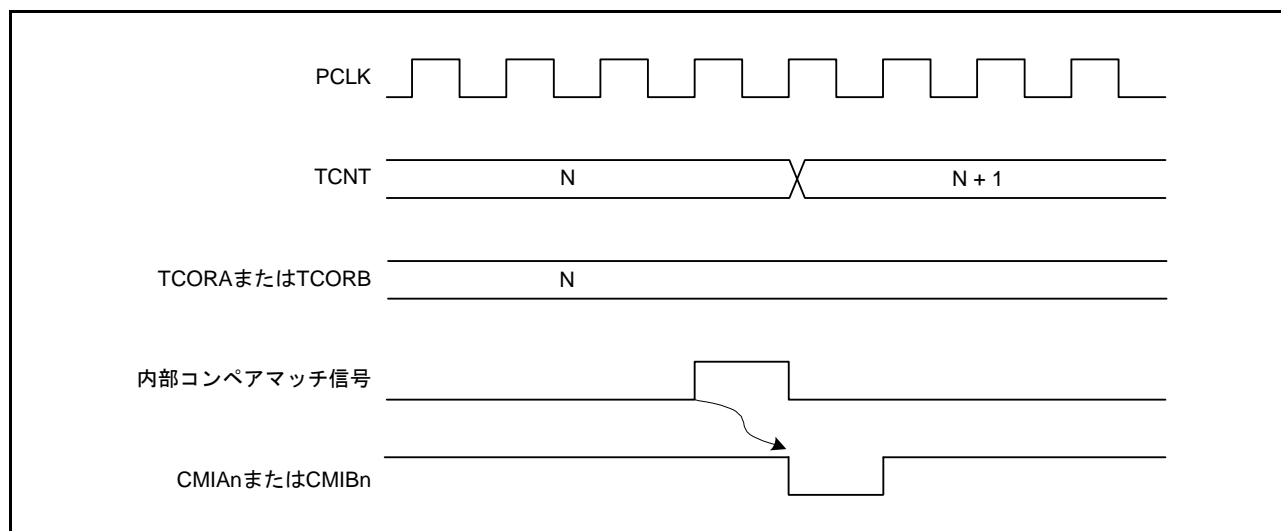


図 24.7 コンペアマッチ時の割り込みタイミング (n = 0 ~ 3)

24.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 24.8 に示します。

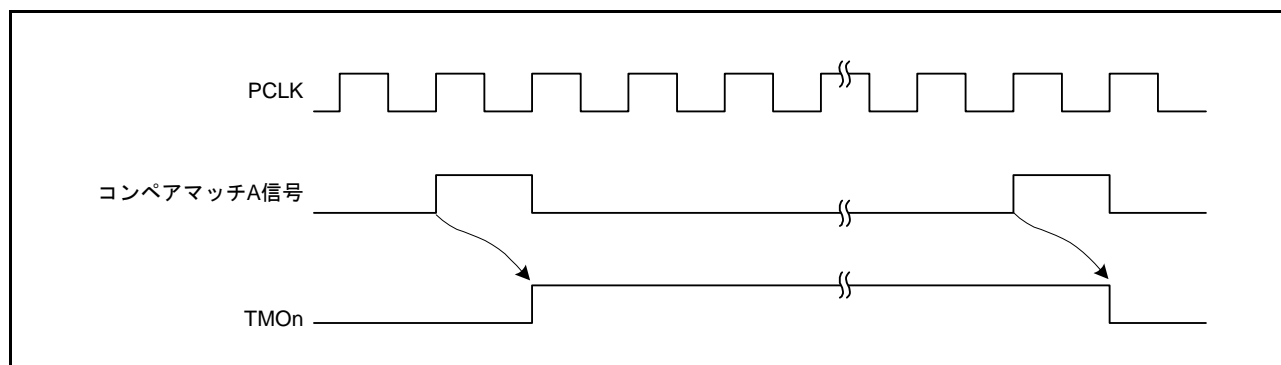


図 24.8 コンペアマッチ A 信号による出力信号タイミング (n = 0 ~ 3)

24.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 24.9 に示します。

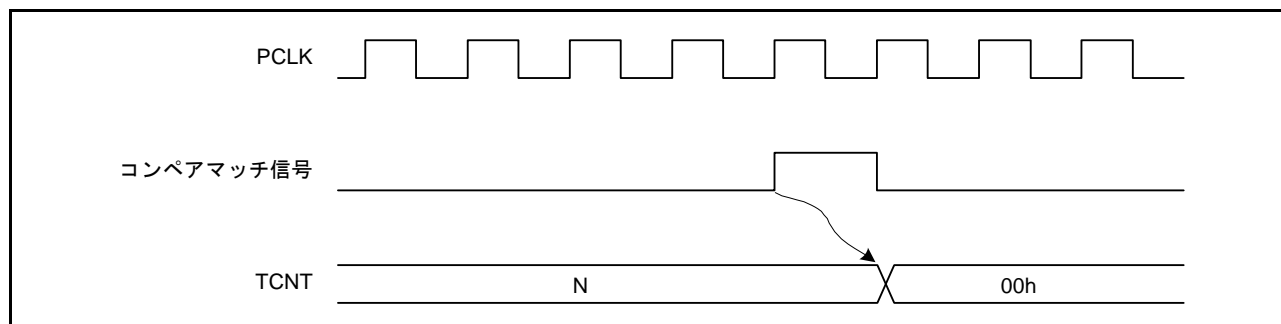


図 24.9 コンペアマッチによるカウンタクリアタイミング

24.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 24.10、図 24.11 に示します。

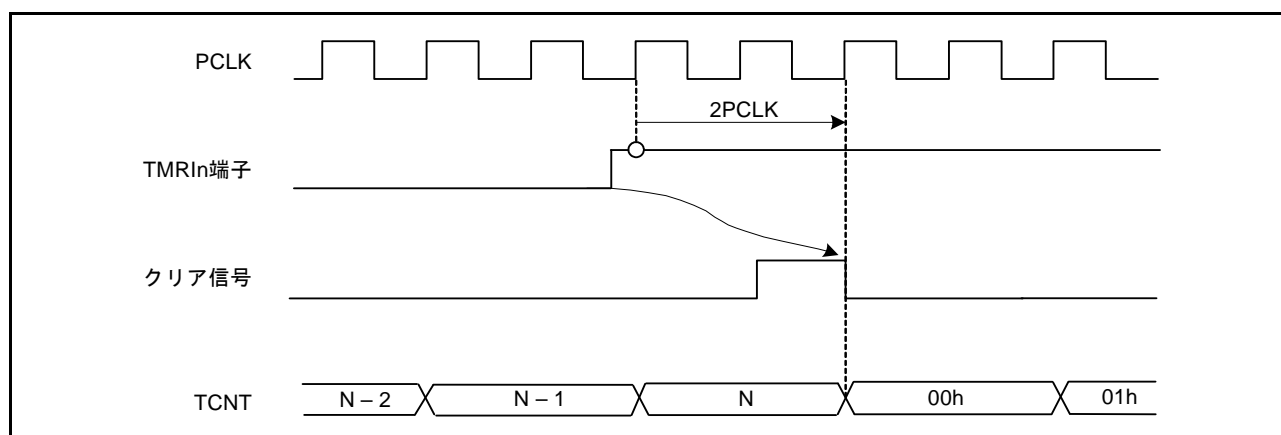


図 24.10 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

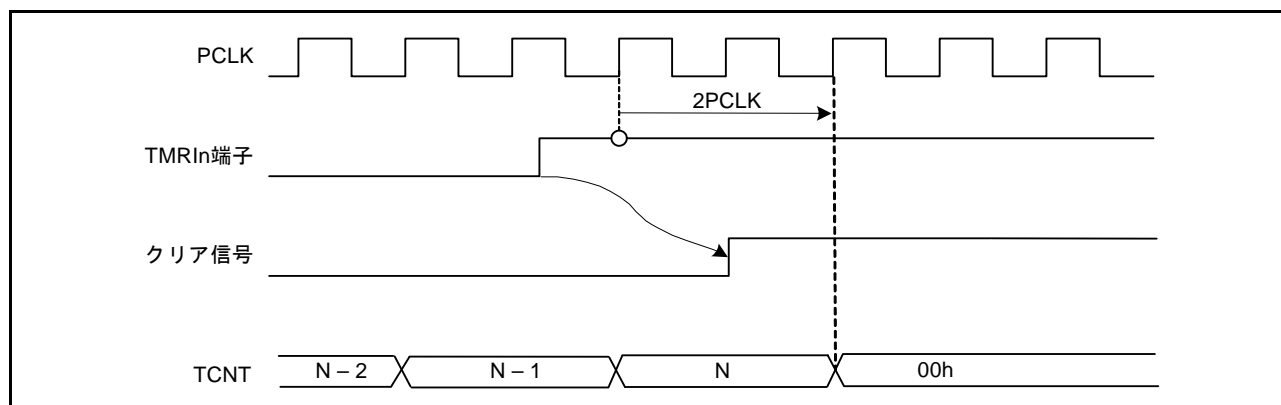


図 24.11 外部カウンタリセット信号によるクリアタイミング (High)

24.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 24.12 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUF)」と表 24.6 を参照してください。

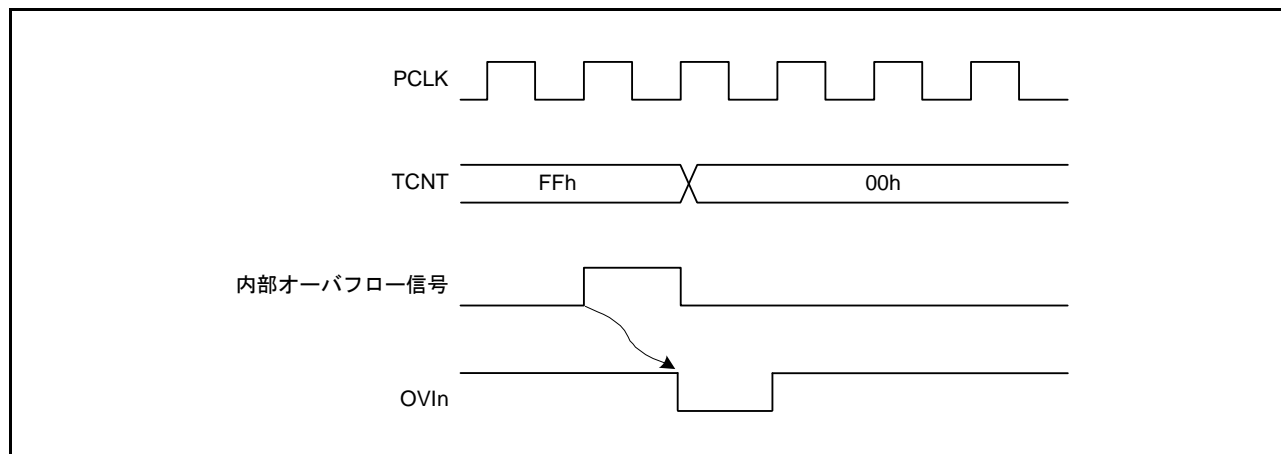


図 24.12 オーバフローによる割り込みタイミング (n = 0 ~ 3)

24.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

なお、この節ではユニット0について説明しています。ユニット1のカスケード接続時の動作についても、ユニット0と同様です。

24.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

24.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMO_n 端子 (n = 0, 1) の出力、カウンタクリアなどは各チャンネルの設定に従います。

24.6 割り込み要因

24.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIA_n、CMIB_n、OVIn の 3 種類があります。表 24.6 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。

表 24.6 TMR の割り込み要因

名称	割り込み要因	DTC の起動
CMIA0	TMR0.TCORA のコンペアマッチ	可能
CMIB0	TMR0.TCORB のコンペアマッチ	可能
OVI0	TMR0.TCNT のオーバーフロー	不可能
CMIA1	TMR1.TCORA のコンペアマッチ	可能
CMIB1	TMR1.TCORB のコンペアマッチ	可能
OVI1	TMR1.TCNT のオーバーフロー	不可能
CMIA2	TMR2.TCORA のコンペアマッチ	可能
CMIB2	TMR2.TCORB のコンペアマッチ	可能
OVI2	TMR2.TCNT のオーバーフロー	不可能
CMIA3	TMR3.TCORA のコンペアマッチ	可能
CMIB3	TMR3.TCORB のコンペアマッチ	可能
OVI3	TMR3.TCNT のオーバーフロー	不可能

24.6.2 A/D コンバータの起動

TMR0、TMR2 のコンペアマッチ A で、A/D コンバータを起動することができます。

TMRn.TCSR.ADTE ビットが“1”(コンペアマッチ A による A/D 変換開始要求を許可)の状態、コンペアマッチ A の発生により、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

表 24.7 A/D コンバータの起動

A/D コンバータ	TMR ユニット番号	対象	A/D 変換開始要求
S12AD (12 ビット A/D コンバータ)	0	TMR0.TCORA と TMR0.TCNT のコンペアマッチ	TMTRG0AN_0
	1	TMR2.TCORA と TMR2.TCNT のコンペアマッチ	TMTRG0AN_1

24.7 ELCによるリンク動作

24.7.1 ELCへのイベント信号出力

TMRはイベントリンクコントローラ(ELC)により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMRはコンペアマッチA、コンペアマッチB、および、オーバフローのイベント信号を出力します。対応するチャンネルはTMR0～TMR3です。

イベント信号は該当する割り込み要求許可ビット(TMRn.TCR.OVIE, TMRn.TCR.CMIEA, TMRn.TCR.CMIEB (n=0～3))の設定に関係なく出力することができます。詳細は、「19. イベントリンクコントローラ(ELC)」を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

24.7.2 ELCからのイベント信号受信によるTMR動作

TMRはELCのELSRnレジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作にはELCは対応しておりません。

(1) カウントスタート動作

ELCのELOPDレジスタでTMRのカウントスタート動作を選択します。ELSRnレジスタで指定したイベントが発生すると、TCSTR.TCSビットが“1”にセットされ、TMRのカウントがスタートします。カウントソースは、ELCのELOPDレジスタでTMRのカウントスタート動作を選択した後、TCCR.CKS[2:0]ビット、CSS[1:0]ビットの設定により選択してください。

TCSビットが“1”にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCSビットへ“0”を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再びCKS[2:0]、CSS[1:0]ビットに従ってカウントします。

TCSビットは、ELCのELOPD.TMR0MD[1:0]、ELOPD.TMR1MD[1:0]、ELOPD.TMR2MD[1:0]、ELOPD.TMR3MD[1:0]ビットにおいてカウントスタートが選択されたときのみ有効となります。

(2) イベントカウンタ動作

ELCのELOPDレジスタでTMRのイベントカウンタ動作を選択します。ELSRnレジスタで指定したイベントが発生すると、TCCR.CKS[2:0]ビット、CSS[1:0]ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウンタ動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELCのELOPDレジスタでTMRのカウントリスタート動作を選択します。ELSRnレジスタで指定したイベントが発生すると、TCNTカウンタの値が初期値に書き換わります。CKS[2:0]ビット、CSS[1:0]ビットの設定が「クロック入力禁止」以外になっていれば、カウンタ動作を継続することができます。

24.7.3 ELCからのイベント信号受信によるTMRの注意事項

以下にTMRをイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TCSTR.TCSビットへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCSTR.TCSビットへの書き込みサイクルは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

24.8 使用上の注意事項

24.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

24.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNTカウンタはTCORA、TCORBレジスタの値と一致した最後のPCLK(TCNTカウンタが一致したカウント値を更新するタイミング)でクリアされます。このため、カウンタの周波数は以下の式になります(f :カウンタ周波数、PCLK:動作周波数、 N :TCORA、TCORBレジスタの設定値)。

$$f = \text{PCLK}/(N + 1)$$

24.8.3 TCNTカウンタへの書き込みとカウンタクリアの競合

図24.13のようにCPUによるTCNTカウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

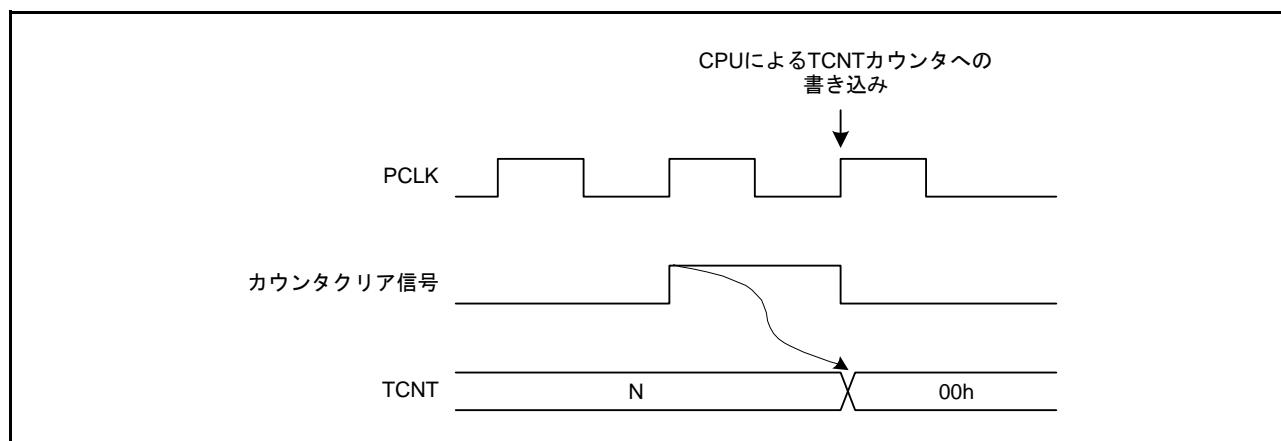


図 24.13 TCNTカウンタへの書き込みとカウンタクリアの競合

24.8.4 TCNT カウンタへの書き込みとカウントアップの競合

図 24.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

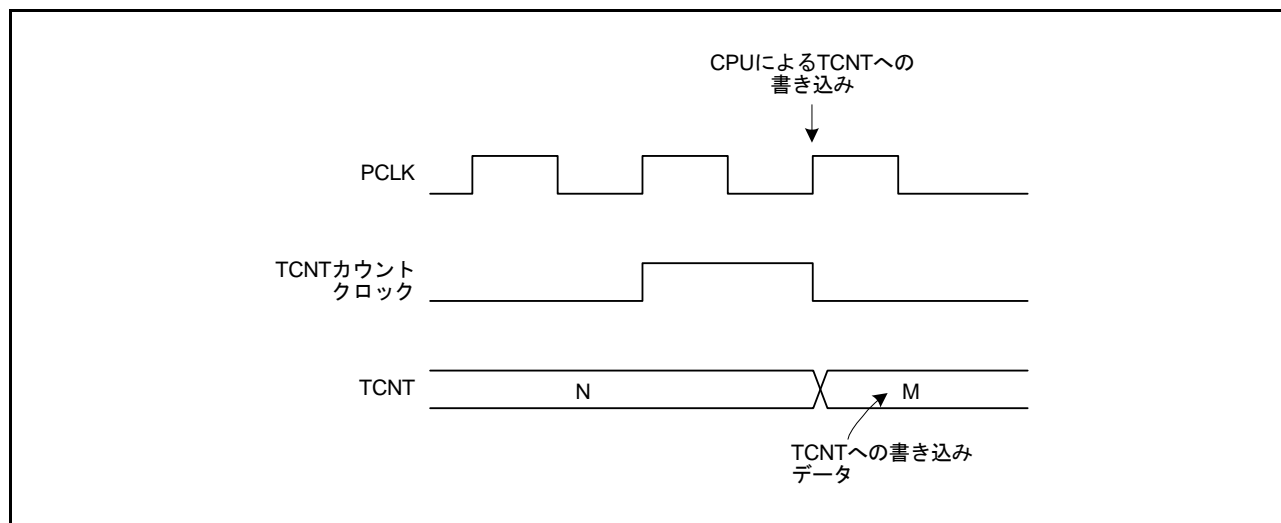


図 24.14 TCNT カウンタへの書き込みとカウントアップの競合

24.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 24.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

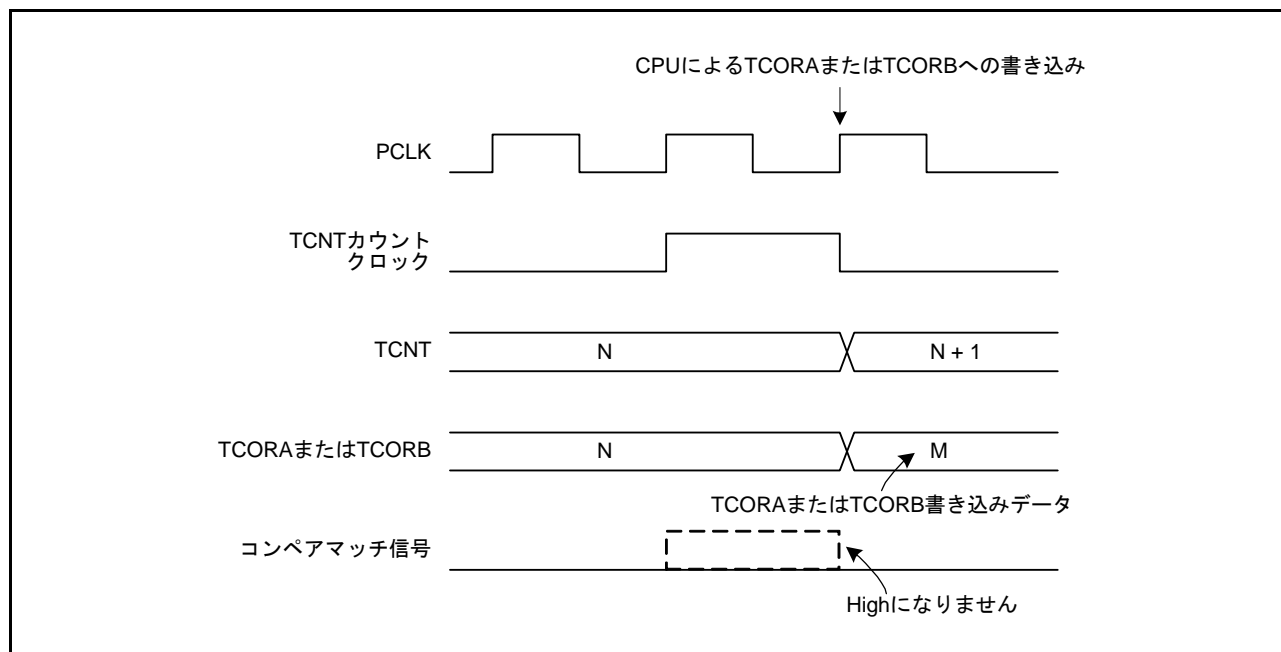


図 24.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

24.8.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 24.8 に示す出力設定の優先順位の高い方が出力されます。

表 24.8 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

24.8.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 24.9 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 24.9 の No.2 のように、Low→High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 24.9 内部クロックの切り替えと TCNT カウンタの動作 (1/2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNT カウンタの動作
1	Low→Low (注1)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT カウントクロック</p> <p>TCNT</p> <p>TCCR.CKS[2:0]ビット書き換え</p>

表24.9 内部クロックの切り替えとTCNTカウンタの動作 (2/2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
3	High→Low (注4)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2 N+3</p> <p>TCCR.CKS[2:0]ビット書き換え</p>
4	High→Highの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTカウントクロック</p> <p>TCNT N N+1 N+2</p> <p>TCCR.CKS[2:0]ビット書き換え</p>

注1. Low→停止、および停止→Lowの場合を含みます。

注2. 停止→Highの場合を含みます。

注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。

注4. High→停止の場合を含みます。

24.8.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

24.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 24.16 に示します。

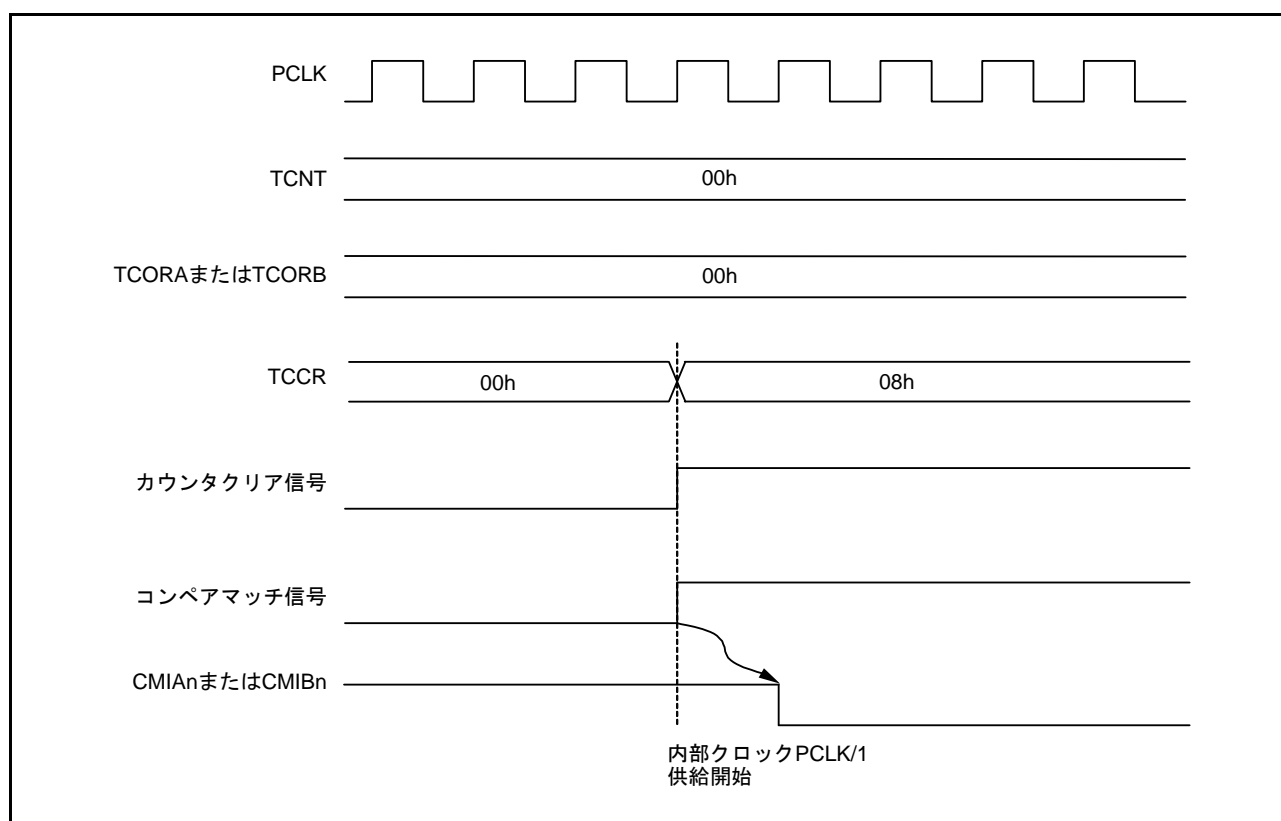


図 24.16 コンペアマッチ割り込みの連続出力 (n = 0 ~ 3)

25. コンペアマッチタイマ (CMT)

本MCUは、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ(CMT)を2ユニット(ユニット0、ユニット1)、合計4チャンネル内蔵しています。CMTは、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載しているPCLKとはPCLKBを指します。

25.1 概要

表 25.1 に CMT の仕様を示します。

図 25.1 に CMT (ユニット 0) のブロック図を示します。2チャンネルのCMTで1ユニットを構成し、ユニット0とユニット1は同じ仕様です。ユニット0のコンペアマッチタイマスタートレジスタ0(CMSTR0)、コンペアマッチ割り込み(CMI0, CMI1)が、ユニット1ではコンペアマッチタイマスタートレジスタ1(CMSTR1)、コンペアマッチ割り込み(CMI2, CMI3)に対応します。

表 25.1 CMTの仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
イベントリンク機能(出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	設定したモジュールに対してリンク動作が可能 CMT1のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

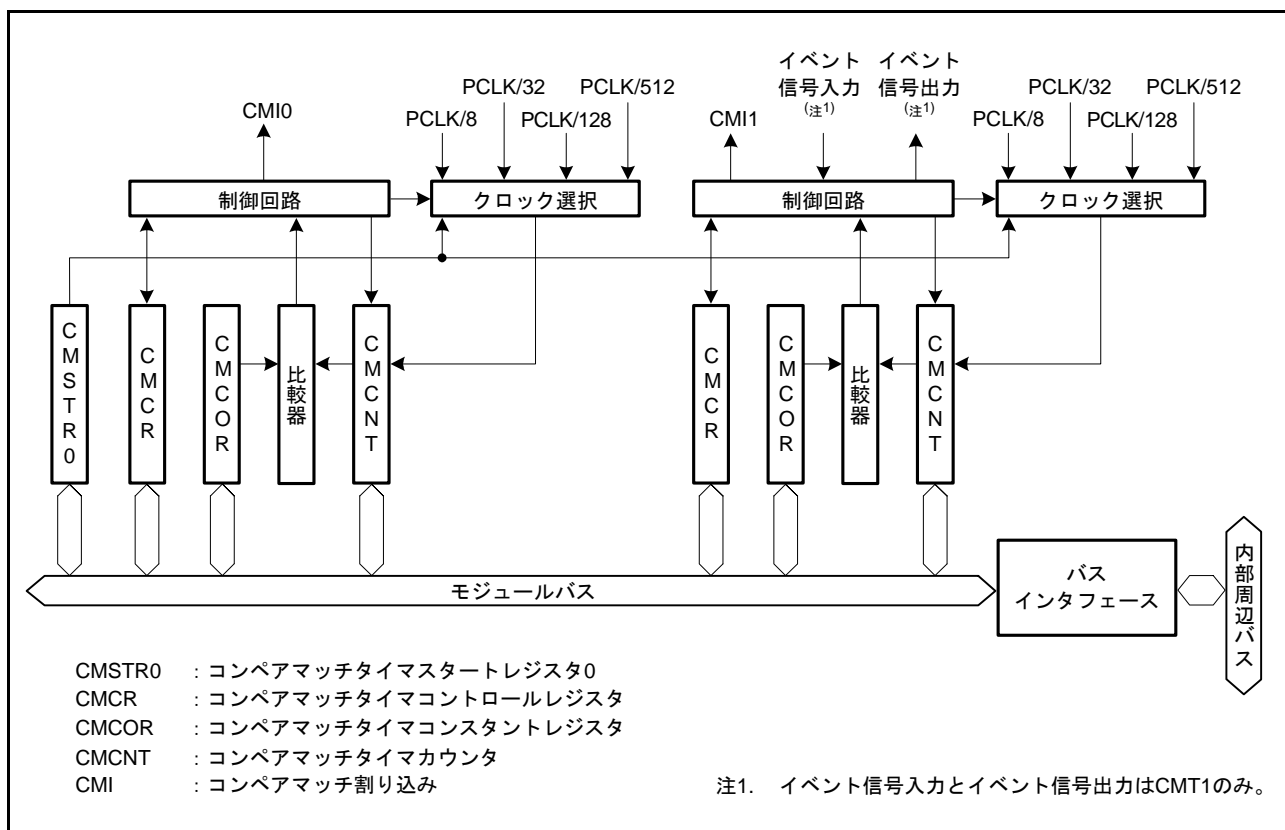


図 25.1 CMT (ユニット 0) のブロック図

25.2 レジスタの説明

25.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

25.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

25.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

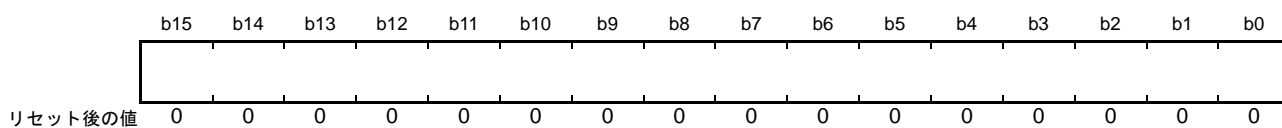
CMSTRm.STRn ビット (m=0, 1、n=0~3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n=0~3) の発生を許可するか禁止するかを選択します。

25.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



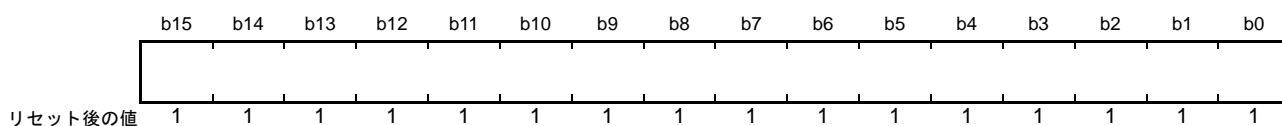
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1、n = 0 ~ 3) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0 ~ 3) が発生します。

25.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

25.3 動作説明

25.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ($m=0, 1$, $n=0 \sim 3$) を“1”にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、コンペアマッチ割り込み (CMIn) ($n=0 \sim 3$) が発生します。CMCNT カウンタは“0000h”からカウントアップを再開します。CMCNT カウンタの動作を図 25.2 に示します。

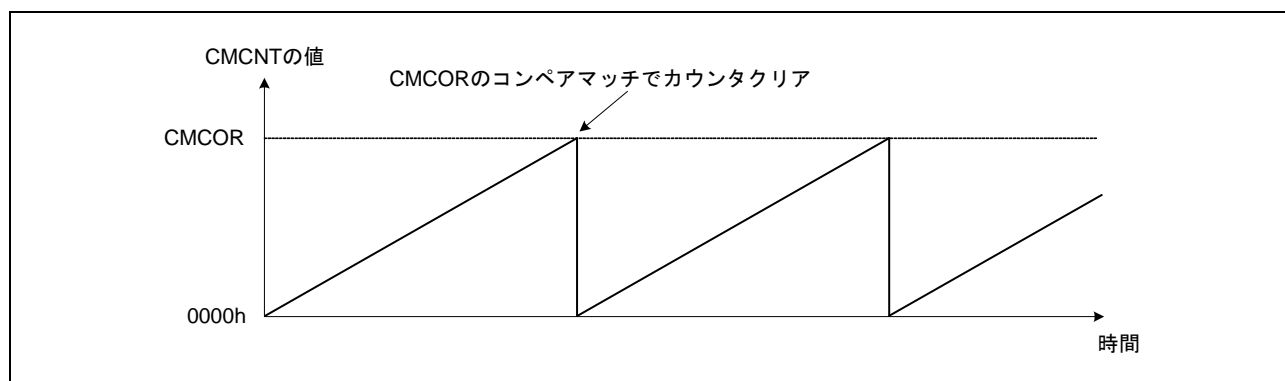


図 25.2 CMCNT カウンタの動作

25.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 25.3 に示します。

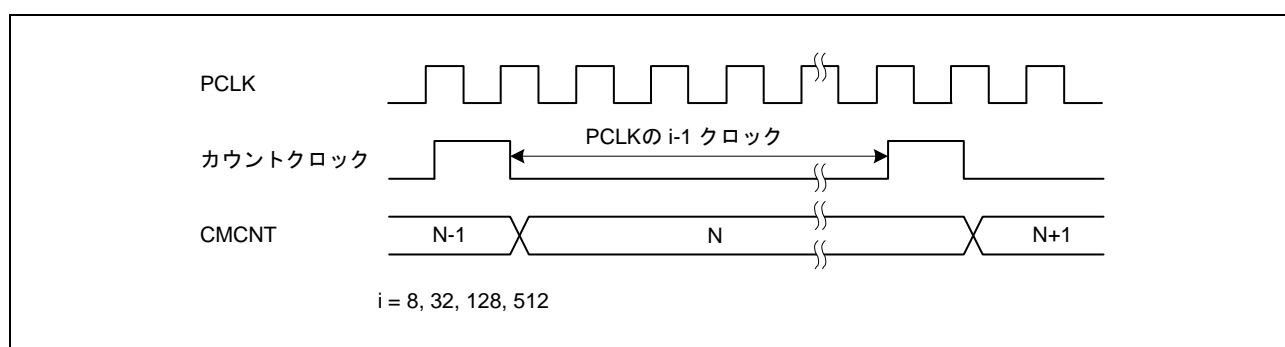


図 25.3 CMCNT カウンタのカウントタイミング

25.4 割り込み

25.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み(CMI_n) (n = 0 ~ 3)があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求によりCPU割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ(ICUF)」を参照してください。

表 25.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0のコンペアマッチ	可能	可能
CMI1	CMT1のコンペアマッチ	可能	可能
CMI2	CMT2のコンペアマッチ	可能	可能
CMI3	CMT3のコンペアマッチ	可能	可能

25.4.2 コンペアマッチ割り込みの発生タイミング

CMCNTカウンタの値とCMCORレジスタの値が一致したときに、コンペアマッチ割り込み(CMI_n) (n = 0 ~ 3)が発生します。

コンペアマッチ信号は、一致した最後のステート(CMCNTカウンタが一致したカウント値を更新するタイミング)で発生します。したがって、CMCNTカウンタの値とCMCORレジスタの値とが一致した後、CMCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 25.4 に示します。

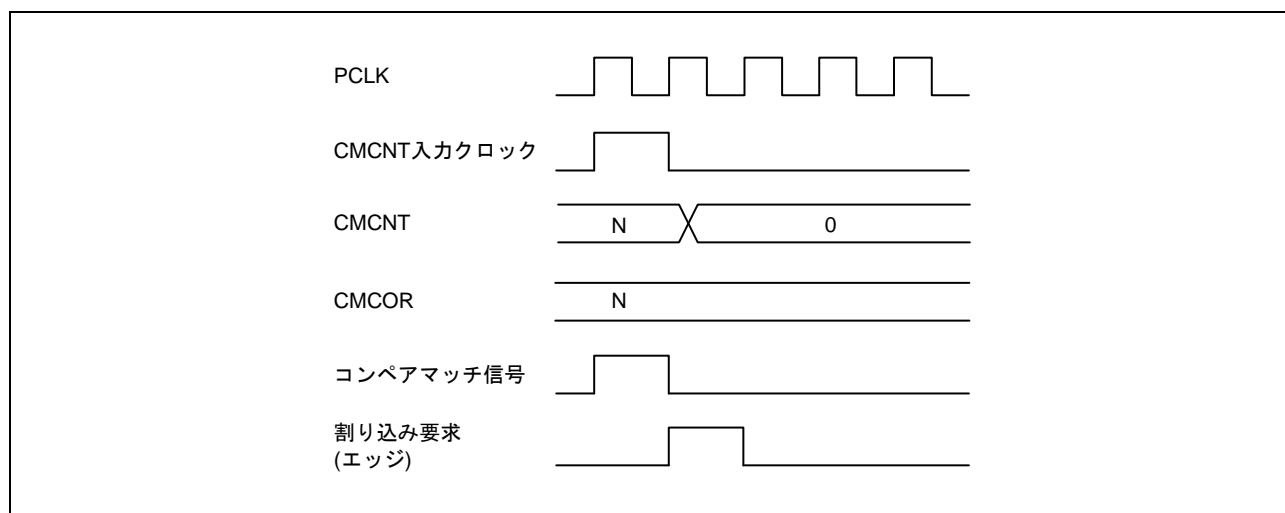


図 25.4 コンペアマッチ割り込みタイミング

25.5 ELCによるリンク動作

25.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

25.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットが“1”になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが“1”になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが“1”の状態、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウンタソースとして、イベントカウンタ動作を行います。カウンタ値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウンタリスタート動作

ELC の ELOPC レジスタで CMT のカウンタリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタの値が初期値に書き換わります。CMSTR0.STR1 ビットが“1”の状態であればカウンタ動作を継続することができます。

25.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ動作が優先されます。

(3) カウンタリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ値の初期化が優先されます。

25.6 使用上の注意事項

25.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

25.6.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図25.5に示します。

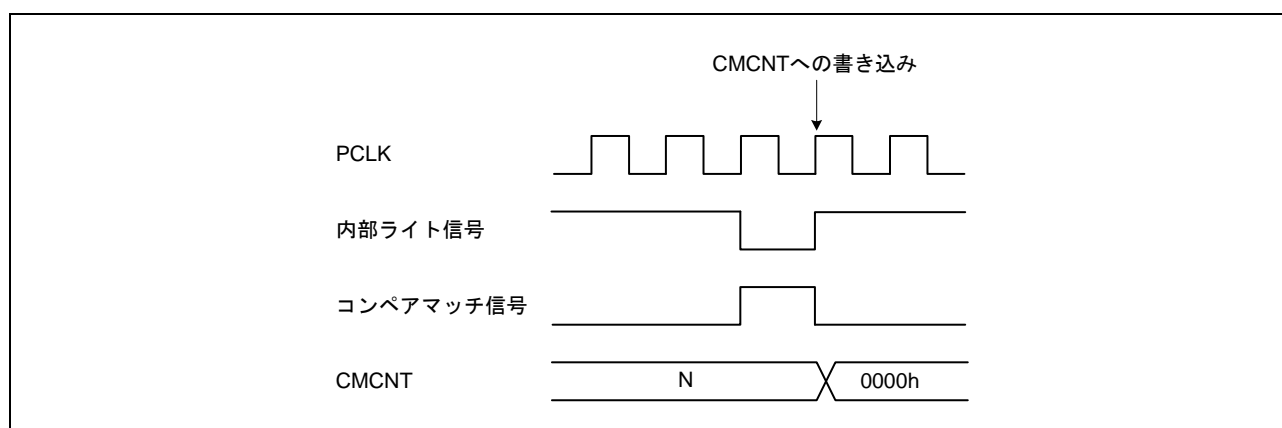


図 25.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

25.6.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込みと、カウントアップが競合した場合、CMCNTカウンタへの書き込みが優先されます。このタイミングを図25.6に示します。

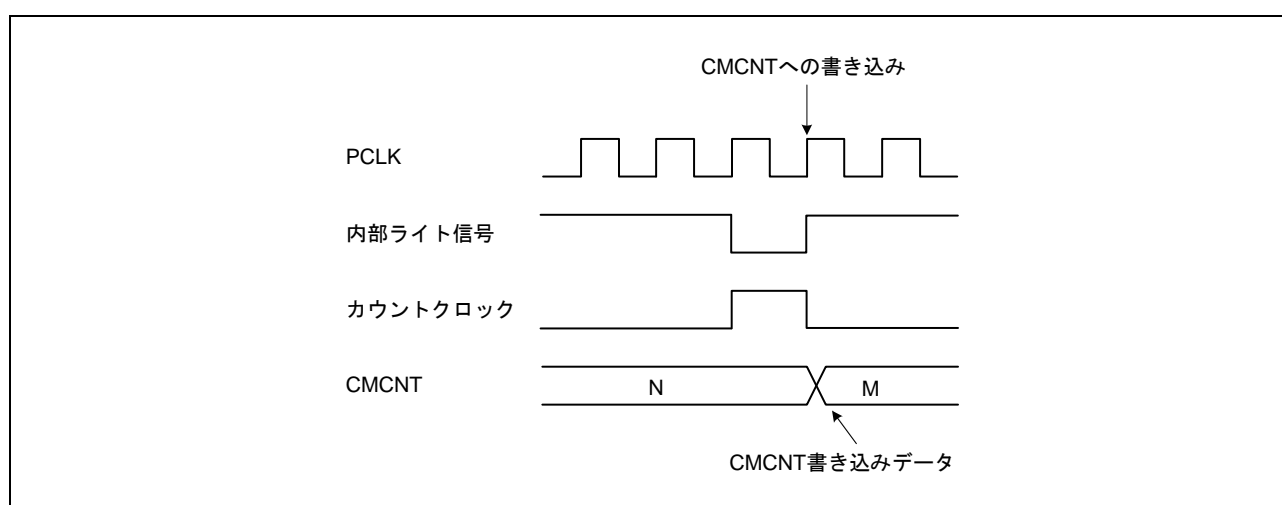


図 25.6 CMCNTカウンタへの書き込みとカウントアップの競合

26. コンペアマッチタイマ W (CMTW)

本 MCU は、1 チャンネルの 32 ビットタイマにより構成されるコンペアマッチタイマ W (CMTW) を 2 ユニット (ユニット 0、ユニット 1)、合計 2 チャンネル内蔵しています。CMTW は、32 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

26.1 概要

表 26.1 に CMTW の仕様を示します。

図 26.1 に CMTW0 のブロック図を、図 26.2 に CMTW1 のブロック図を示します。

表 26.1 CMTW の仕様

項目	機能
チャンネル数	2チャンネル(ユニット0、ユニット1)
タイマカウンタ	16ビット/32ビット切り替え可能なアップカウンタ コンペアマッチ後に0000 0000hに戻る
プリスケーラ	4種類の分周クロックを出力 PCLK/8, PCLK/32, PCLK/128, PCLK/512の中から選択可能
インプットキャプチャ	最大2本のインプットキャプチャ入力が可能
アウトプットコンペア	最大2本のアウトプットコンペア出力が可能
コンペアマッチ	1本のコンペアマッチが可能(アウトプットコンペア出力端子なし)
割り込み	コンペアマッチ割り込み インプットキャプチャ0、インプットキャプチャ1割り込み アウトプットコンペア0、アウトプットコンペア1割り込み
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

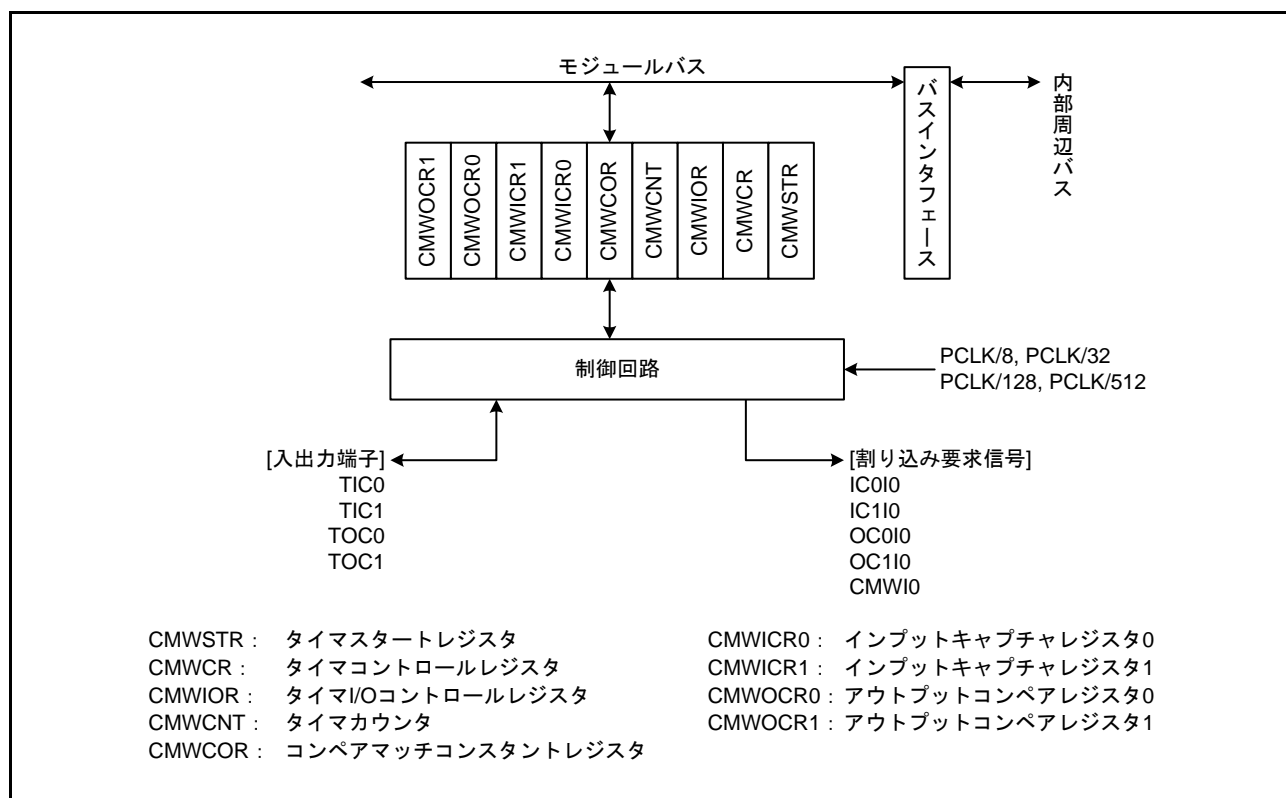


図 26.1 CMTW0 のブロック図

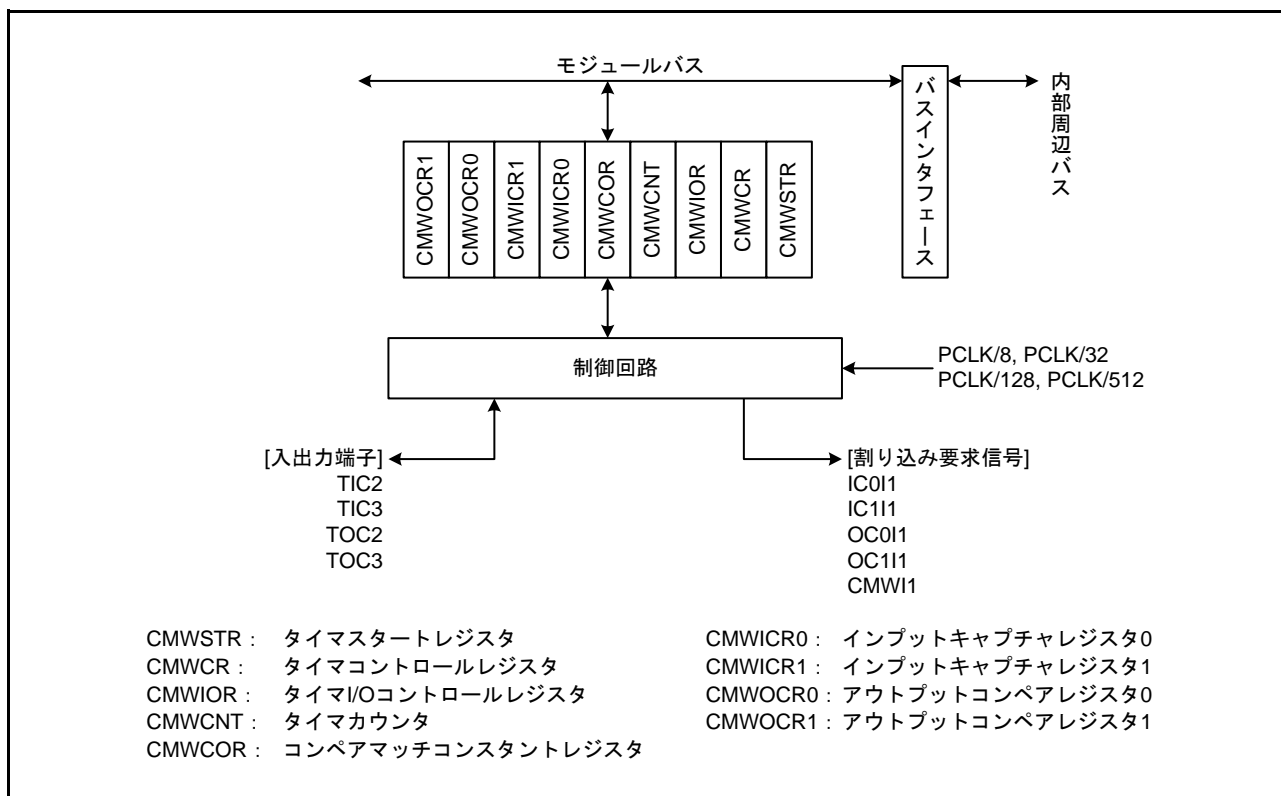


図 26.2 CMTW1 のブロック図

表 26.2 に CMTW の入出力端子を示します。

表 26.2 CMTWの入出力端子

ユニット	端子名	入出力	機能
CMTW0	TIC0	入力	CMTW0.CMWICR0 レジスタのインプットキャプチャ入力
	TIC1	入力	CMTW0.CMWICR1 レジスタのインプットキャプチャ入力
	TOC0	出力	CMTW0.CMWOCR0 レジスタのアウトプットコンペア出力
	TOC1	出力	CMTW0.CMWOCR1 レジスタのアウトプットコンペア出力
CMTW1	TIC2	入力	CMTW1.CMWICR0 レジスタのインプットキャプチャ入力
	TIC3	入力	CMTW1.CMWICR1 レジスタのインプットキャプチャ入力
	TOC2	出力	CMTW1.CMWOCR0 レジスタのアウトプットコンペア出力
	TOC3	出力	CMTW1.CMWOCR1 レジスタのアウトプットコンペア出力

26.2 レジスタの説明

26.2.1 タイマスタートレジスタ (CMWSTR)

アドレス CMTW0.CMWSTR 0009 4200h, CMTW1.CMWSTR 0009 4280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR	カウントスタートビット	0 : CMWCNTカウンタはカウントを停止 (カウント動作停止直前の値を保持して、カウント動作を停止) 1 : CMWCNTカウンタはカウントを開始	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

STR ビット (カウントスタートビット)

タイマカウンタの動作 / 停止を選択します。STR ビットの設定に従って、対応するプリスケアラも連動して動作 / 停止します。

26.2.2 タイマコントロールレジスタ (CMWCR)

アドレス CMTW0.CMWCR 0009 4204h, CMTW1.CMWCR 0009 4284h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CCLR[2:0]		—	—	—	CMS	—	OC1IE	OC0IE	IC1IE	IC0IE	CMWIE	—	CKS[1:0]		
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CMWIE	コンペアマッチ割り込み要求許可ビット	0 : 割り込み要求 (CMWI) を禁止 1 : 割り込み要求 (CMWI) を許可	R/W
b4	IC0IE	インプットキャプチャ0割り込み要求許可ビット	0 : 割り込み要求 (IC0I) を禁止 1 : 割り込み要求 (IC0I) を許可	R/W
b5	IC1IE	インプットキャプチャ1割り込み要求許可ビット	0 : 割り込み要求 (IC1I) を禁止 1 : 割り込み要求 (IC1I) を許可	R/W
b6	OC0IE	アウトプットコンペア0割り込み要求許可ビット	0 : 割り込み要求 (OC0I) を禁止 1 : 割り込み要求 (OC0I) を許可	R/W
b7	OC1IE	アウトプットコンペア1割り込み要求許可ビット	0 : 割り込み要求 (OC1I) を禁止 1 : 割り込み要求 (OC1I) を許可	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMS	タイマカウンタサイズビット	0 : 32ビット 1 : 16ビット	R/W
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b13	CCLR[2:0]	カウンタクリアビット	b15 b13 0 0 0 : CMWCORレジスタのコンペアマッチでCMWCNTカウンタのクリア 0 0 1 : CMWCNTカウンタのクリア禁止 0 1 0 : CMWCNTカウンタのクリア禁止 0 1 1 : CMWCNTカウンタのクリア禁止 1 0 0 : CMWICR0レジスタのインプットキャプチャでCMWCNTカウンタのクリア 1 0 1 : CMWICR1レジスタのインプットキャプチャでCMWCNTカウンタのクリア 1 1 0 : CMWOCR0レジスタのコンペアマッチでCMWCNTカウンタのクリア 1 1 1 : CMWOCR1レジスタのコンペアマッチでCMWCNTカウンタのクリア	R/W

CMWCR レジスタの設定は、CMWCNT カウンタの動作が停止した状態で行ってください。

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周した 4 種類の内部クロックから CMWCNT カウンタに入力するクロックを選択します。CMWSTR.STR ビットを“1”に設定すると、CMWCR.CKS[1:0] ビットにより選択されたクロックでカウントを開始します。

CMWIE ビット (コンペアマッチ割り込み要求許可ビット)

CMWCNT カウンタと CMWCOR レジスタの値が一致したとき、コンペアマッチ割り込み要求 (CMWI) の発生を許可するか禁止するかを選択します。

IC0IE ビット (インプットキャプチャ 0 割り込み要求許可ビット)

CMWICR0 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ 0 割り込み要求 (IC0I) の発生を許可するか禁止するかを選択します。

IC1IE ビット (インプットキャプチャ 1 割り込み要求許可ビット)

CMWICR1 レジスタにインプットキャプチャが発生したとき、インプットキャプチャ 1 割り込み要求 (IC1I) の発生を許可するか禁止するかを選択します。

OC0IE ビット (アウトプットコンペア 0 割り込み要求許可ビット)

CMWCNT カウンタと CMWOCR0 レジスタの値が一致したとき、アウトプットコンペア 0 割り込み要求 (OC0I) の発生を許可するか禁止するかを選択します。

OC1IE ビット (アウトプットコンペア 1 割り込み要求許可ビット)

CMWCNT カウンタと CMWOCR1 レジスタの値が一致したとき、アウトプットコンペア 1 割り込み要求 (OC1I) の発生を許可するか禁止するかを選択します。

CMS ビット (タイマカウンタサイズビット)

CMWCNT カウンタを 16 ビットカウンタとして使うか 32 ビットカウンタとして使うかを選択します。CMS ビットで設定したサイズが CMWCOR、CMWICR0、CMWICR1、CMWOCR0、CMWOCR1 レジスタで有効ビットサイズになります。

CCLR[2:0] ビット (カウンタクリアビット)

CMWCNT カウンタのカウンタクリア要因を選択します。

26.2.3 タイマ I/O コントロールレジスタ (CMWIOR)

アドレス CMTW0.CMWIOR 0009 4208h, CMTW1.CMWIOR 0009 4288h

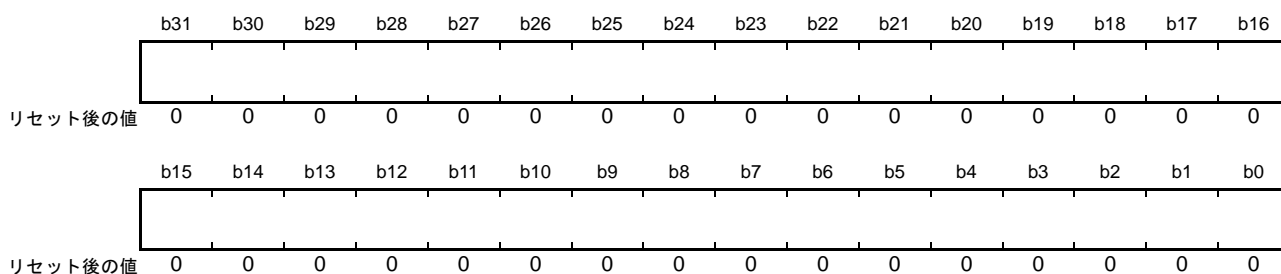
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMWE	—	OC1E	OC0E	OC1[1:0]	OC0[1:0]	—	—	IC1E	IC0E	IC1[1:0]	IC0[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IC0[1:0]	インプットキャプチャ0制御ビット	b1 b0 0 0 : 立ち上がりエッジでインプットキャプチャ 0 1 : 立ち下がりエッジでインプットキャプチャ 1 0 : 両エッジでインプットキャプチャ 1 1 : 設定しないでください	R/W
b3-b2	IC1[1:0]	インプットキャプチャ1制御ビット	b3 b2 0 0 : 立ち上がりエッジでインプットキャプチャ 0 1 : 立ち下がりエッジでインプットキャプチャ 1 0 : 両エッジでインプットキャプチャ 1 1 : 設定しないでください	R/W
b4	IC0E	インプットキャプチャ0許可ビット	0 : インプットキャプチャ0動作を禁止 1 : インプットキャプチャ0動作を許可	R/W
b5	IC1E	インプットキャプチャ1許可ビット	0 : インプットキャプチャ1動作を禁止 1 : インプットキャプチャ1動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	OC0[1:0]	アウトプットコンペア0制御ビット	b9 b8 0 0 : 出力保持(注1) 0 1 : 初期出力はLow出力 コンペアマッチでトグル出力 1 0 : 初期出力はHigh出力 コンペアマッチでトグル出力 1 1 : 設定しないでください	R/W
b11-b10	OC1[1:0]	アウトプットコンペア1制御ビット	b11 b10 0 0 : 出力保持(注1) 0 1 : 初期出力はLow出力 コンペアマッチでトグル出力 1 0 : 初期出力はHigh出力 コンペアマッチでトグル出力 1 1 : 設定しないでください	R/W
b12	OC0E	アウトプットコンペア0許可ビット	0 : アウトプットコンペア0動作を禁止 1 : アウトプットコンペア0動作を許可	R/W
b13	OC1E	アウトプットコンペア1許可ビット	0 : アウトプットコンペア1動作を禁止 1 : アウトプットコンペア1動作を許可	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	CMWE	コンペアマッチ許可ビット	0 : コンペア動作を禁止 1 : コンペア動作を許可	R/W

注1. リセット後、CMWIORレジスタを設定するまではLowが出力されます。

26.2.4 タイマカウンタ (CMWCNT)

アドレス CMTW0.CMWCNT 0009 4210h, CMTW1.CMWCNT 0009 4290h



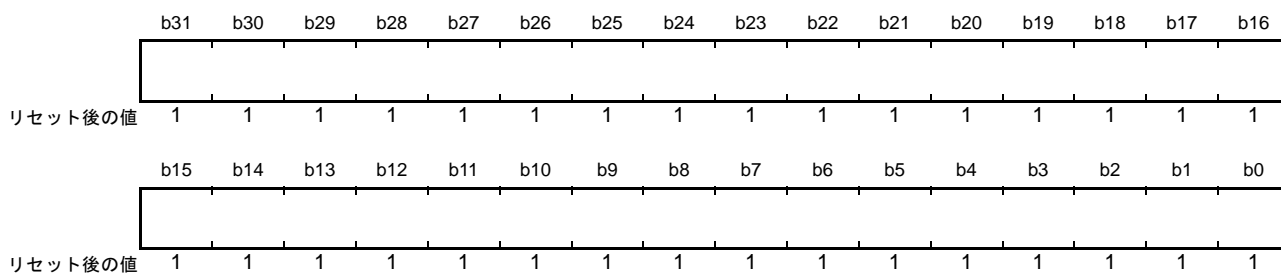
CMWCNT カウンタは、書き込み / 読み出し可能なアップカウンタです。

カウント動作を開始する前に、CMWCR レジスタの設定を完了してください。CMWCR.CMS ビットで 16 ビットカウントに設定した場合、CMWCNT カウンタの b15 ~ b0 が有効となります。書き込む際には、上位 16 ビットを“0000h”にして 32 ビットで書き込みを行ってください。CMWCNT カウンタはロングワードアクセスのみ可能です。

なお、CMWSTR.STR ビットを“1”にした場合は、CMWCNT カウンタはカウント動作を開始し、CMWSTR.STR ビットを“0”にした場合は、CMWCNT カウンタはカウント動作停止直前の値を保持して停止します。

26.2.5 コンペアマッチコンスタントレジスタ (CMWCOR)

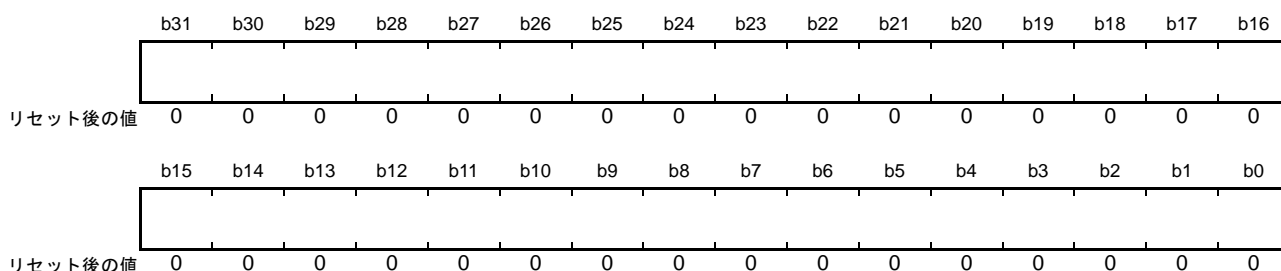
アドレス CMTW0.CMWCOR 0009 4214h, CMTW1.CMWCOR 0009 4294h



CMWCOR レジスタは書き込み / 読み出し可能なレジスタで、CMWCNT カウンタとコンペアマッチするまでの期間を設定します。CMWCR.CMS ビットで 16 ビットカウントに設定した場合、CMWCOR レジスタの b15 ~ b0 が有効となります。書き込む際には、上位 16 ビットを“0000h”にして 32 ビットで書き込みを行ってください。CMWCOR レジスタはロングワードアクセスのみ可能です。オーバフロー検出は、CMWCOR レジスタを“FFFF FFFFh” (32 ビットカウント動作) または“0000 FFFFh” (16 ビットカウント動作) に設定し、CMWCNT カウンタが“0”になったときにコンペアマッチ割り込み要求 (CMWI) をオーバフロー検出信号として使用できます。

26.2.6 インプットキャプチャレジスタ n (CMWICRn) (n = 0, 1)

アドレス CMTW0.CMWICR0 0009 4218h, CMTW0.CMWICR1 0009 421Ch,
CMTW1.CMWICR0 0009 4298h, CMTW1.CMWICR1 0009 429Ch

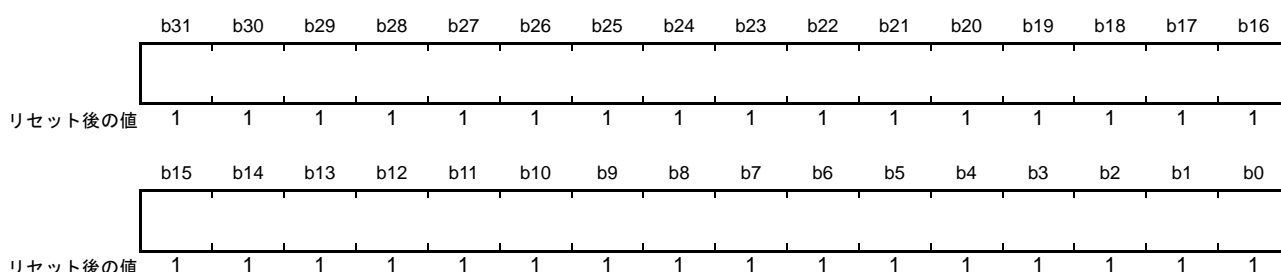


CMWICRn レジスタは、インプットキャプチャ時の CMWCNT カウンタの値を格納する読み出し専用のレジスタです。

CMWCR.CMS ビットで 16 ビットカウンタに設定した場合、CMWICRn レジスタの b15 ~ b0 が有効となります。CMWICRn レジスタへの書き込みは無効です。CMWICRn レジスタはロングワードアクセスのみ可能です。

26.2.7 アウトプットコンペアレジスタ n (CMWOCRn) (n = 0, 1)

アドレス CMTW0.CMWOCR0 0009 4220h, CMTW0.CMWOCR1 0009 4224h,
CMTW1.CMWOCR0 0009 42A0h, CMTW1.CMWOCR1 0009 42A4h



CMWOCRn レジスタは、アウトプットコンペア時のコンペア値を設定する書き込み / 読み出し可能なレジスタです。

CMWCR.CMS ビットで 16 ビットカウンタに設定した場合、CMWOCRn レジスタの b15 ~ b0 が有効となります。書き込む際には、上位 16 ビットを“0000h”にして 32 ビットで書き込みを行ってください。CMWOCRn レジスタはロングワードアクセスのみ可能です。CMWOCR0 レジスタ、CMWOCR1 レジスタの初期値は、“FFFF FFFFh”です。

26.3 動作説明

CMTWはCMWCRレジスタの設定後にCMWSTR.STRビットを“1”にすることによって、カウント動作を開始します。CMWSTR.STRビットを“0”にすることによって、CMWCNTカウンタはカウント動作停止直前の値を保持して、カウント動作を停止します。また、CMWIORレジスタを設定することにより、コンペアマッチ機能、インプットキャプチャ入力機能、およびアウトプットコンペア出力機能を使用することが可能です。

26.3.1 周期カウント動作

CMWCR.CKS[1:0]ビットでカウンタクロックを選択し、CMWSTR.STRビットを“1”にすると、選択したクロックによってCMWCNTカウンタはカウント動作を開始します。CMWCR.CCLR[2:0]ビットでカウンタクリアを選択した場合は、カウンタクリア要因が発生するとCMWCNTカウンタは“0000 0000h”になり、カウント動作を続けます。カウンタクリアを選択しない場合、32ビットカウント動作時は“FFFF FFFFh”→“0000 0000h”、16ビットカウント動作時は“0000 FFFFh”→“0000 0000h”でオーバフローが発生し、カウント動作を続けます。

26.3.2 コンペアマッチ機能

CMWCNTカウンタの値がCMWCORレジスタの値と一致すると、CMWCNTカウンタは“0000 0000h”になります。このとき、コンペアマッチ割り込み要求(CMWI)が発生します。CMWCNTカウンタは“0000 0000h”からカウント動作を再開します。

オーバフロー検出を行いたい場合は、CMWCORレジスタの値を“FFFF FFFFh”(32ビットカウント動作時)または、“0000 FFFFh”(16ビットカウント動作時)にしてください。CMWCNTカウンタの値がCMWCORレジスタの値と一致すると、CMWCNTカウンタは“0000 0000h”になります。このとき、コンペアマッチ割り込み要求(CMWI)が発生します。CMWCNTカウンタは“0000 0000h”からカウント動作を再開します。

コンペアマッチ動作の設定手順例を図26.3に示します。

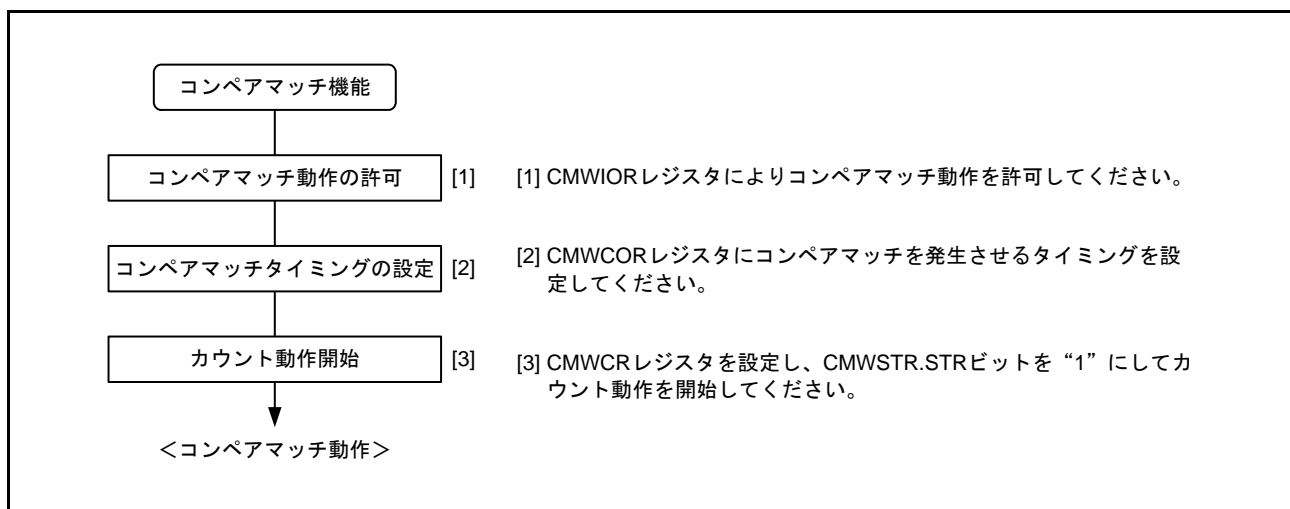


図 26.3 コンペアマッチ動作の設定手順例

CMWCOR レジスタとのコンペアマッチをカウンタクリア要因とした場合の例を図 26.4 に示します。

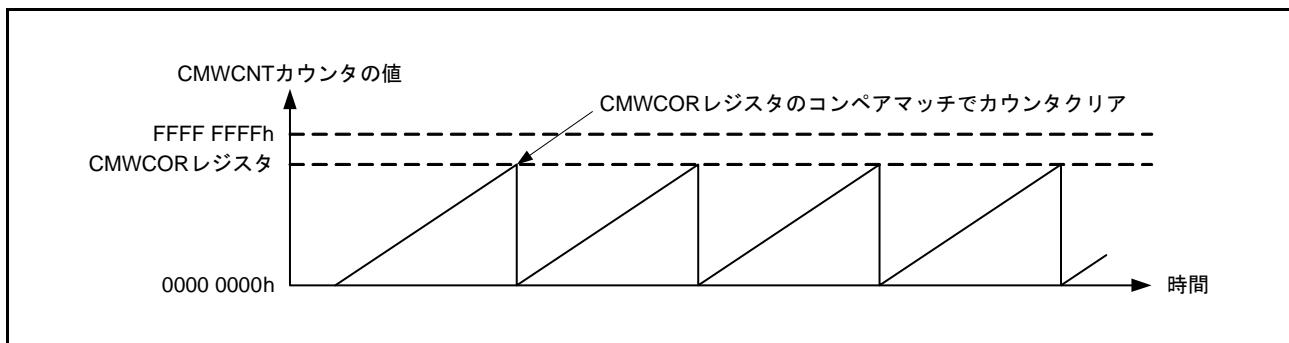


図 26.4 コンペアマッチ動作例

CMWCOR レジスタ = FFFF FFFFh とし、オーバーフロー検出をした場合の例を図 26.5 に示します。

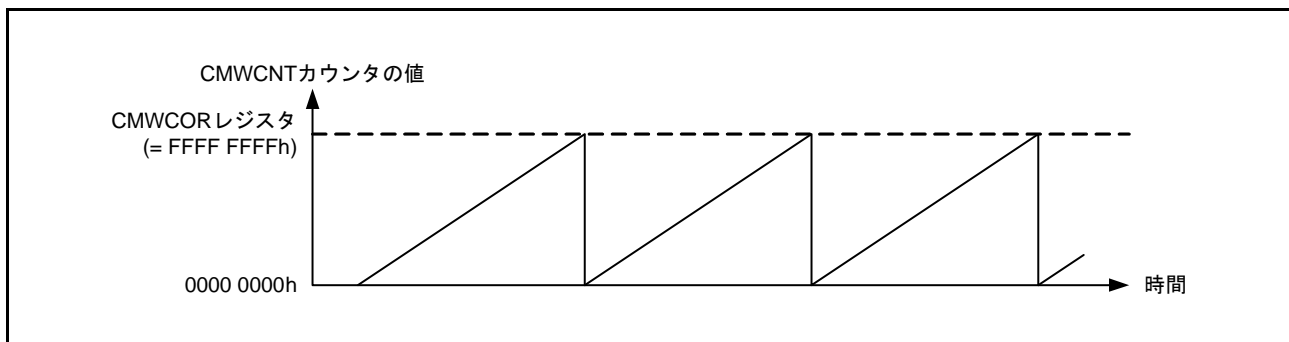


図 26.5 コンペアマッチ動作例 (オーバーフロー検出時)

26.3.3 アウトプットコンペア機能

アウトプットコンペアにより対応する出力端子からトグル波形出力を行うことができます。CMWCNT カウンタの値が CMWOCR0 レジスタまたは CMWOCR1 レジスタの値と一致すると、アウトプットコンペア割り込み要求 (OC0I または OC1I) が発生します。アウトプットコンペア動作の設定手順例を図 26.6 に示します。

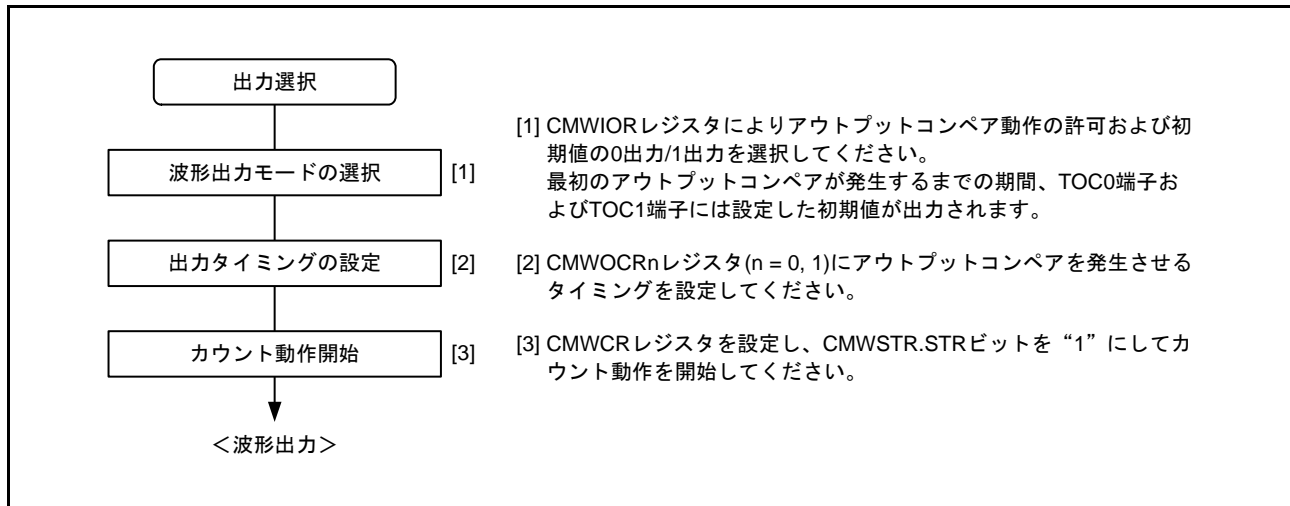


図 26.6 アウトプットコンペア動作の設定手順例

CMWOCR1 レジスタのコンペアマッチでカウンタがクリアされるように設定した場合の、TOC0 端子および TOC1 端子のトグル出力波形の例を図 26.7 に示します。

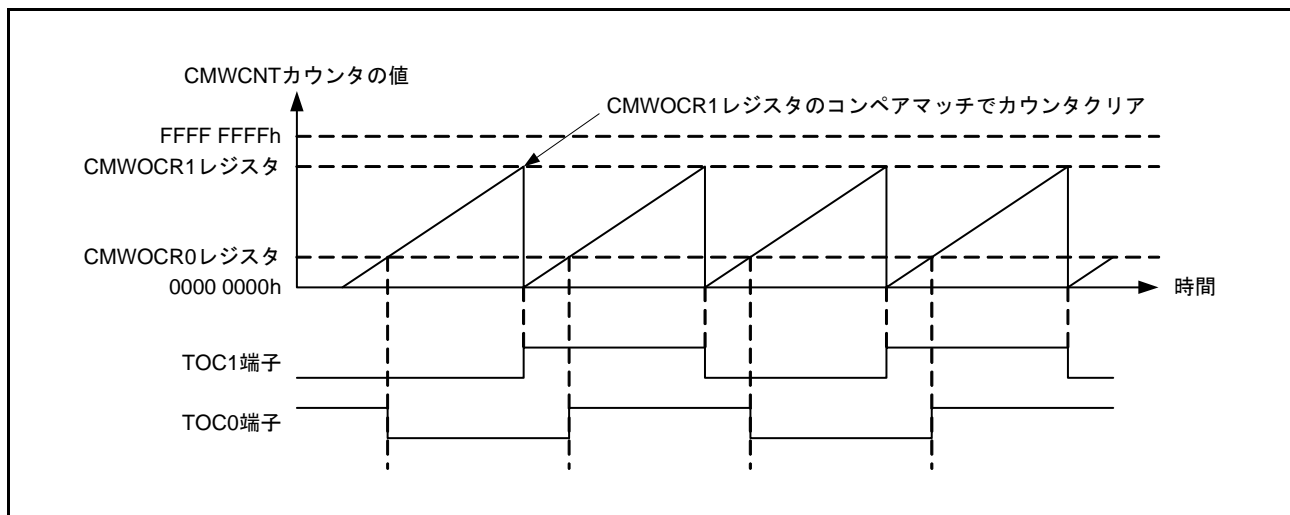


図 26.7 アウトプットコンペア動作例 (ユニット 0)

26.3.4 インพุットキャプチャ機能

TIC0 端子、TIC1 端子の入力エッジを検出して CMWCNT カウンタの値を CMWICR0 レジスタ、CMWICR1 レジスタにそれぞれ転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、インพุットキャプチャにより CMWCNT カウンタの値が CMWICR0 レジスタまたは CMWICR1 レジスタに転送されると、インพุットキャプチャ割り込み要求 (IC0I または IC1I) が発生します。インพุットキャプチャ動作の設定手順例を図 26.8 に示します。

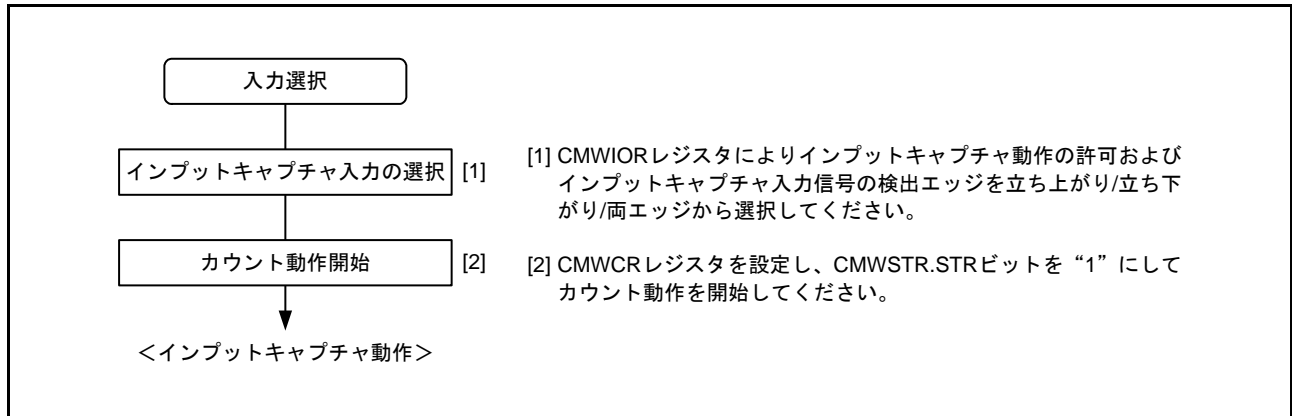


図 26.8 インพุットキャプチャ動作の設定手順例

TIC0 端子のインพุットキャプチャ検出エッジは両エッジ、TIC1 端子は立ち下がりエッジを選択し、CMWICR1 レジスタのインพุットキャプチャで CMWCNT カウンタがクリアされるように設定した場合の例を図 26.9 に示します。

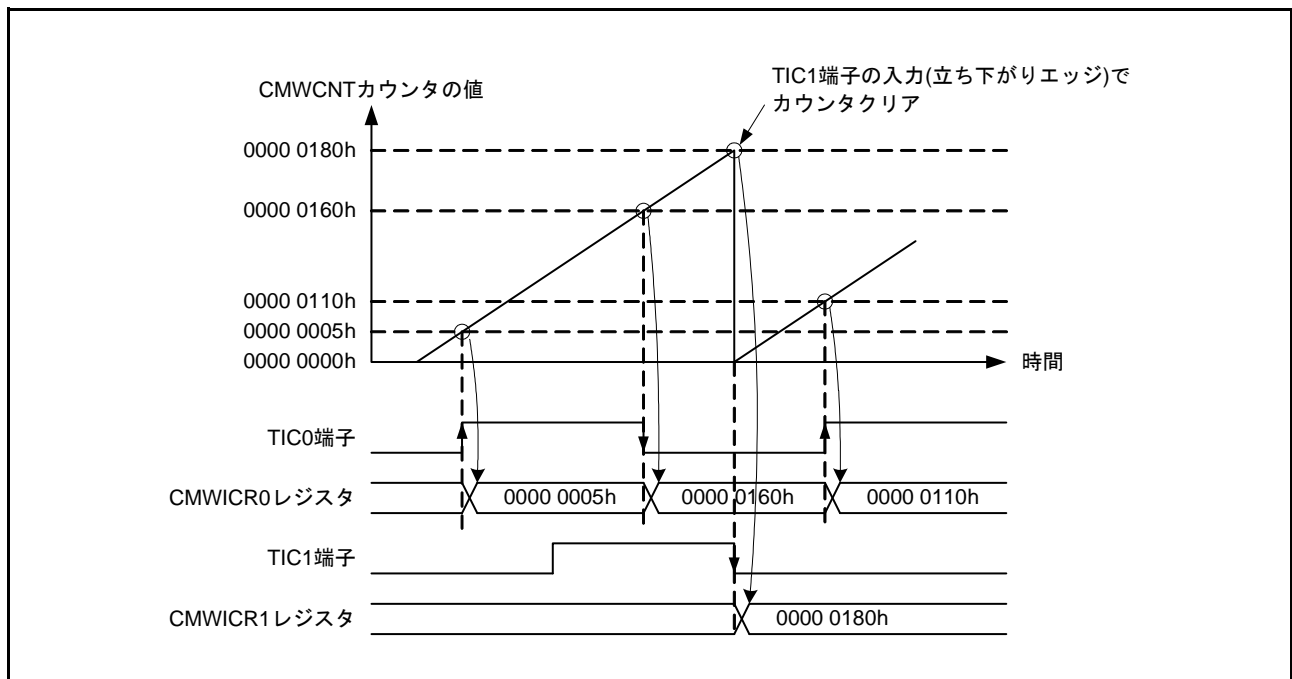


図 26.9 インพุットキャプチャ動作例 (ユニット 0)

26.3.5 カウンタサイズ

CMTW はカウンタサイズを 16 ビットまたは 32 ビットから選択可能です。カウンタサイズの選択は CMWCR.CMS ビットで行います。

16 ビットカウンタとして使う場合、CMWCOR レジスタの値は上位 16 ビットを “0000h” にして 32 ビットで設定してください。オーバーフロー検出を行うときは “0000 FFFFh” にします。CMWOCR0 レジスタ、CMWOCR1 レジスタの値は上位 16 ビットを “0000h” にして 32 ビットで設定してください。CMWICR0 レジスタ、CMWICR1 レジスタは 32 ビットで読み出してください。上位 16 ビットは “0000h” が読み出せます。

26.3.6 CMWCNT カウンタのカウンタタイミング

CMWCR.CKS[1:0] ビットにより、周辺モジュールクロック (PCLK) を分周して得られた 4 種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) から CMWCNT カウンタに入力するカウンタクロックを選択できます。PCLK/8 選択時の CMWCNT カウンタのカウンタタイミングを図 26.10 に示します。

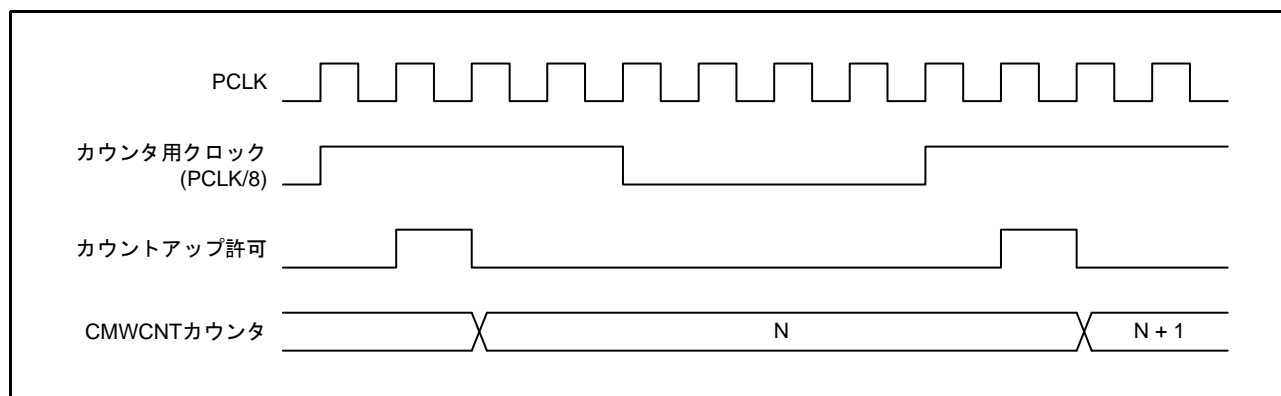


図 26.10 CMWCNT カウンタのカウンタタイミング (PCLK/8 のとき)

26.3.7 アウトプットコンペア出力タイミング

CMWOCRn レジスタ ($n=0, 1$) と CMWCNT カウンタが一致した最後のステート (CMWCNT カウンタの値が更新されるタイミング) でコンペアマッチ信号が発生します。CMWOCRn レジスタと CMWCNT カウンタが一致した後、CMWCNT カウンタのカウンタアップ許可信号が入力されるとコンペアマッチ信号が発生します。コンペアマッチ信号が発生したとき、アウトプットコンペア出力端子 (TOC 端子) の出力がトグルします。アウトプットコンペア出力タイミングを図 26.11 に示します。

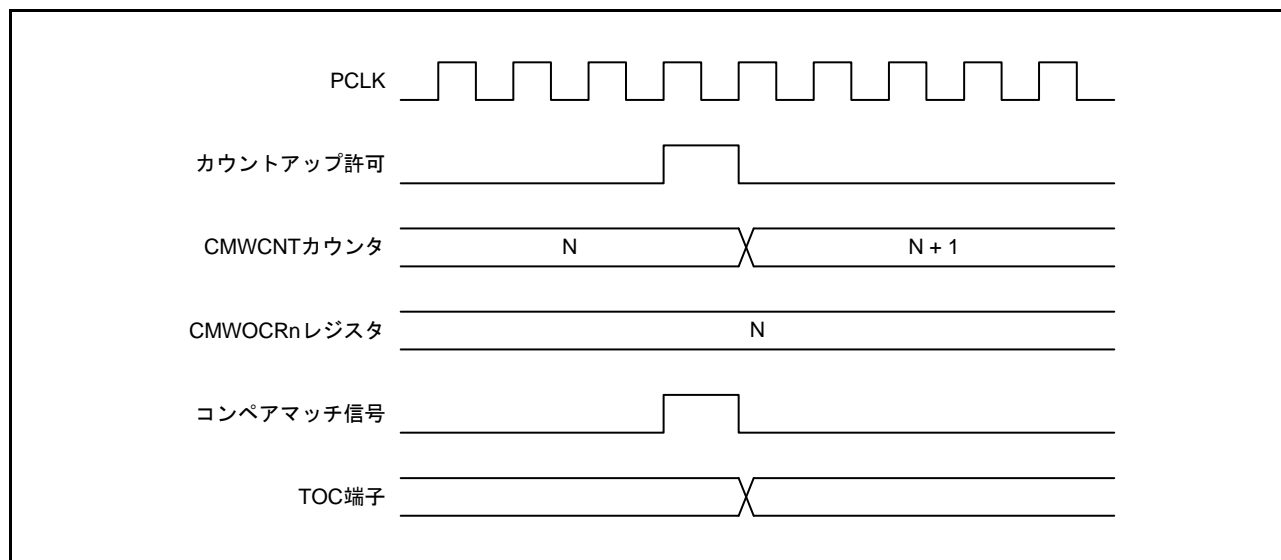


図 26.11 アウトプットコンペア出力タイミング

26.3.8 インพุットキャプチャタイミング

両エッジでインพุットキャプチャ動作したときのタイミングを図 26.12 に示します。

TIC0 端子、TIC1 端子のエッジ検出により、CMWCNT カウンタの値を CMWICR0 レジスタ、CMWICR1 レジスタにそれぞれ転送することができます。

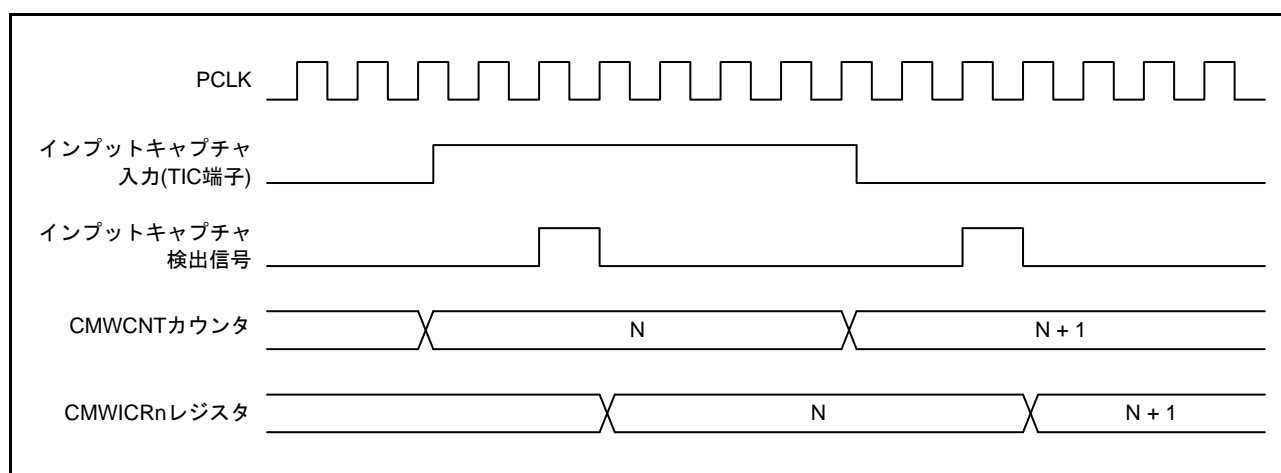


図 26.12 インพุットキャプチャタイミング (ユニット 0、両エッジ検出) ($n=0, 1$)

26.4 割り込み

26.4.1 CMTWの割り込み要因とDMAC/DTC

CMTWはインプットキャプチャ割り込み要求(IC0I, IC1I)、アウトプットコンペア割り込み要求(OC0I, OC1I)と、コンペアマッチ割り込み要求(CMWI)の5種類の割り込み要因を持っています。

表26.3に各割り込み要因を示します。各割り込み要因は、CMWCR.IC0IE、IC1IE、OC0IE、OC1IE、CMWIEビットで許可または禁止ができます。各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

また、各割り込み要求で、DMACまたはDTCを起動することができます。DMACによるデータ転送時は、CPUへの割り込み要求は発生しません。DTCによるデータ転送時のCPUへの割り込み要求の発生については、「18. データトランスファコントローラ(DTCb)」を参照してください。

表26.3 CMTWの割り込み要因

ユニット	名称	割り込み要因	割り込み要求許可ビット	DMAC/DTCの起動
CMTW0	CMWI0	CMTW0.CMWCR レジスタのコンペアマッチ	CMTW0.CMWCR.CMWIE	可能
	IC0I0	CMTW0.CMWICR0 レジスタのインプットキャプチャ	CMTW0.CMWCR.IC0IE	可能
	IC1I0	CMTW0.CMWICR1 レジスタのインプットキャプチャ	CMTW0.CMWCR.IC1IE	可能
	OC0I0	CMTW0.CMWOCR0 レジスタのアウトプットコンペア	CMTW0.CMWCR.OC0IE	可能
	OC1I0	CMTW0.CMWOCR1 レジスタのアウトプットコンペア	CMTW0.CMWCR.OC1IE	可能
CMTW1	CMWI1	CMTW1.CMWCR レジスタのコンペアマッチ	CMTW1.CMWCR.CMWIE	可能
	IC0I1	CMTW1.CMWICR0 レジスタのインプットキャプチャ	CMTW1.CMWCR.IC0IE	可能
	IC1I1	CMTW1.CMWICR1 レジスタのインプットキャプチャ	CMTW1.CMWCR.IC1IE	可能
	OC0I1	CMTW1.CMWOCR0 レジスタのアウトプットコンペア	CMTW1.CMWCR.OC0IE	可能
	OC1I1	CMTW1.CMWOCR1 レジスタのアウトプットコンペア	CMTW1.CMWCR.OC1IE	可能

26.4.2 コンペアマッチ割り込みの発生タイミング

CMWCNTカウンタとCMWCORレジスタの値が一致したときに、コンペアマッチ割り込み要求 (CMWI) が発生します。コンペアマッチ信号は、一致した最後のステート (CMWCNTカウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMWCNTカウンタの値とCMWCORレジスタの値とが一致した後、カウントアップ許可信号が発生するまでコンペアマッチ信号は発生しません。図 26.13 にコンペアマッチ割り込みの発生タイミングを示します。

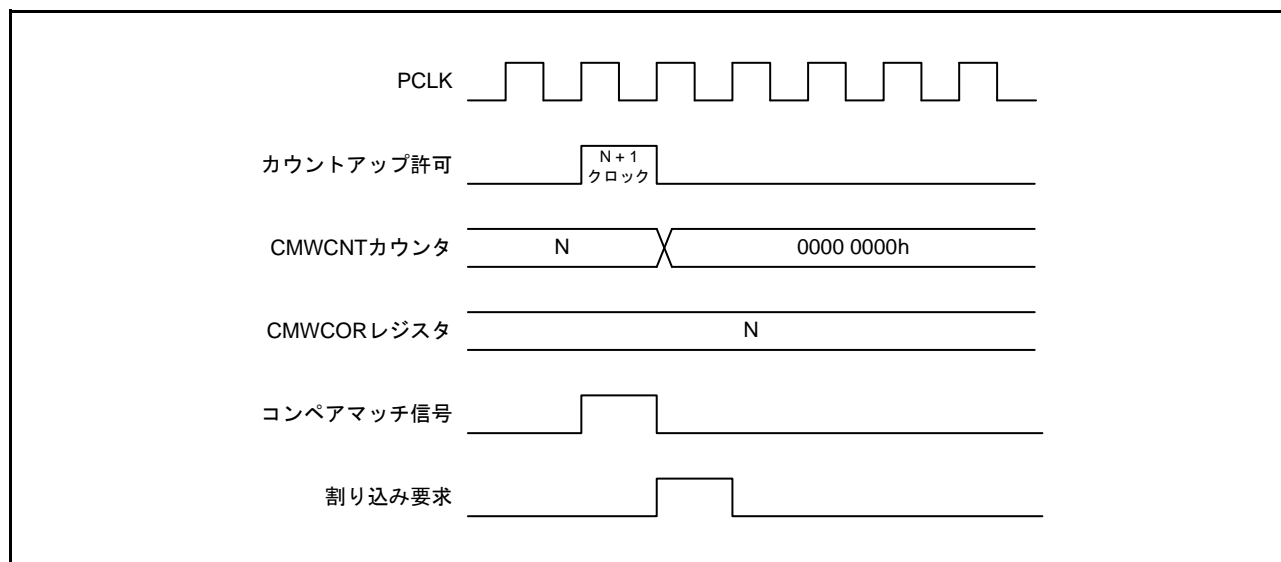


図 26.13 コンペアマッチ割り込みの発生タイミング

(a) アウトプットコンペア割り込みの発生タイミング

図 26.14 にアウトプットコンペア割り込みの発生タイミングを示します。

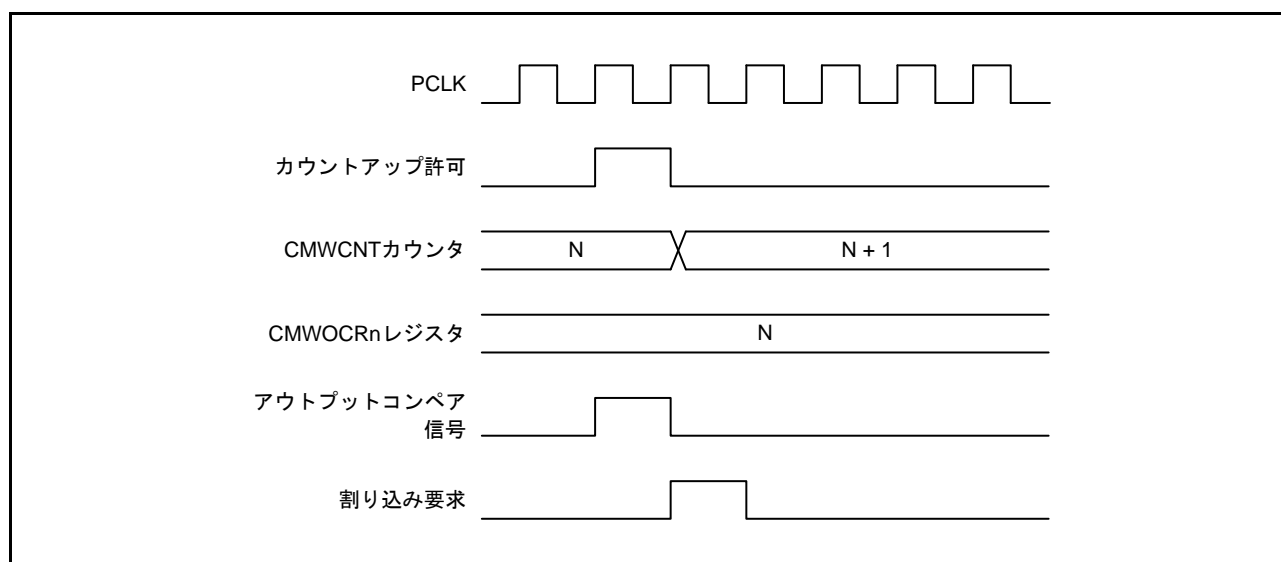


図 26.14 アウトプットコンペア割り込みの発生タイミング ($n = 0, 1$)

(b) インพุットキャプチャ割り込みの発生タイミング

図 26.15 にインพุットキャプチャ割り込みの発生タイミングを示します。

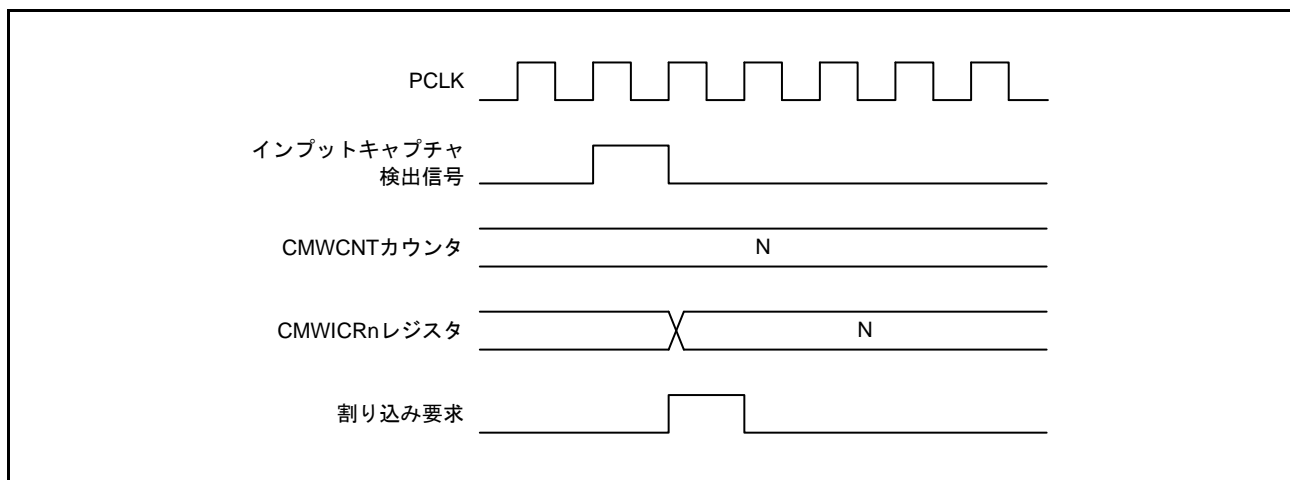


図 26.15 インพุットキャプチャ割り込みの発生タイミング (n = 0, 1)

26.5 使用上の注意事項

26.5.1 モジュールストップ機能の設定

MSTPCRA レジスタにより、CMTW の動作を禁止 / 許可することが可能です。リセット解除後、CMTW の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

26.5.2 CMWCNT カウンタへの書き込みとコンペアマッチの競合

CMWCNT カウンタへの書き込みサイクル中にコンペアマッチ信号が発生しても、コンペアマッチ割り込み要求は出力されませんが、CMWCNT カウンタはクリアされずに CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 26.16 に示します。

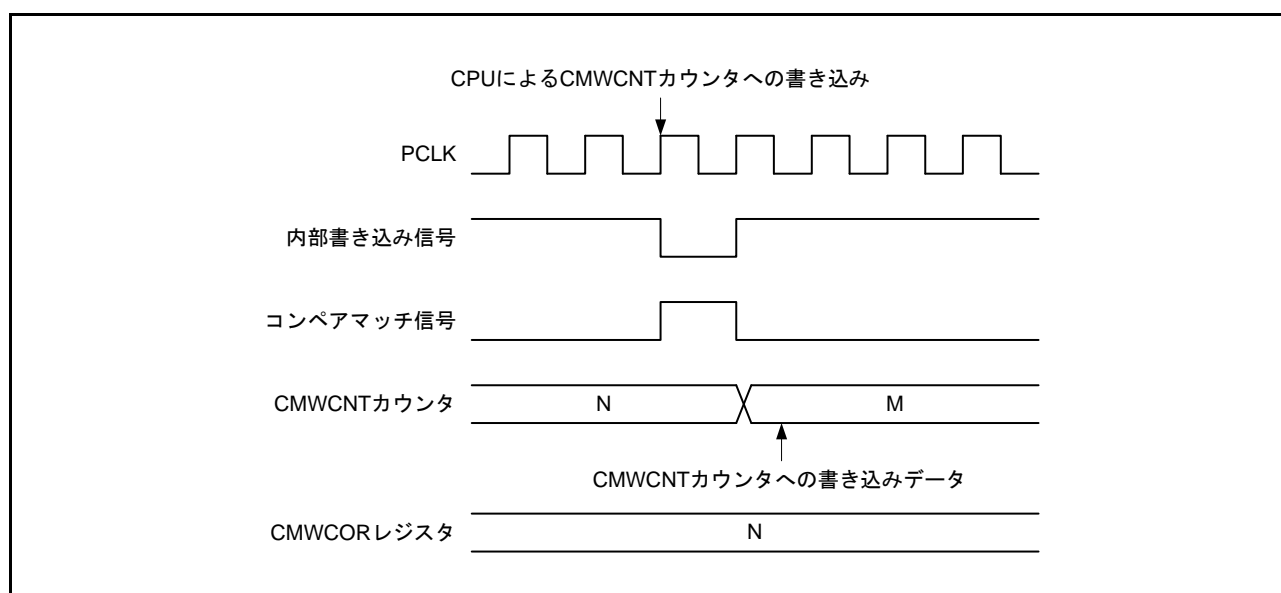


図 26.16 CMWCNT カウンタへの書き込みとコンペアマッチの競合

26.5.3 CMWCNT カウンタへの書き込みとカウントアップ/カウンタクリアの競合

CMWCNT カウンタへの書き込み中にカウントアップまたはカウンタクリアが発生しても、CMWCNT カウンタはカウントアップまたはクリアされずに CMWCNT カウンタへの書き込みが優先されます。

このタイミングを図 26.17 に示します。

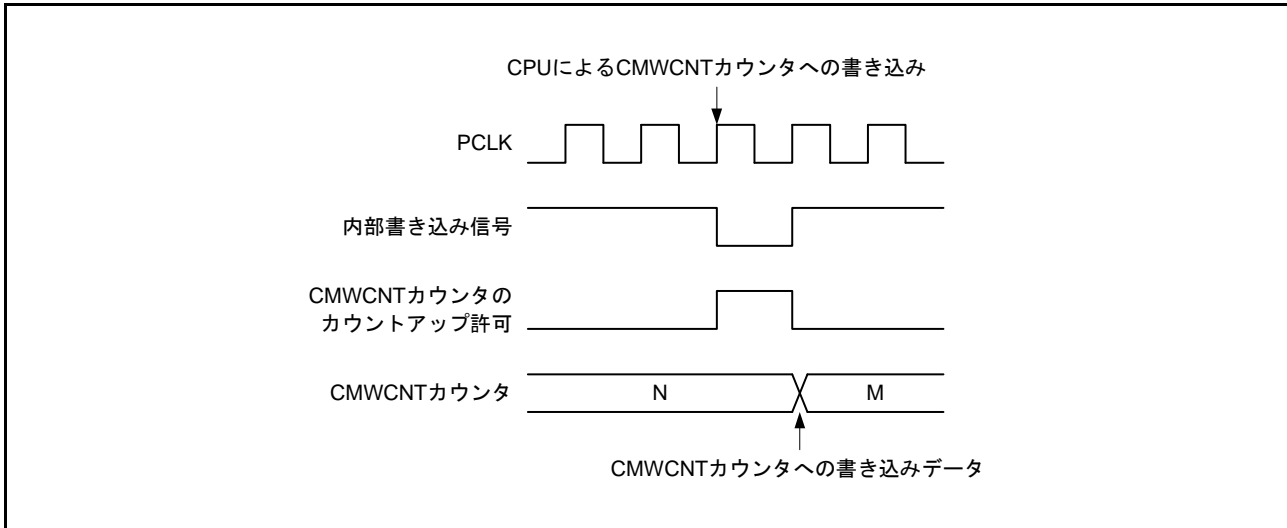


図 26.17 CMWCNT カウンタへの書き込みとカウントアップの競合

26.5.4 CMWCOR レジスタへの書き込みとコンペアマッチの競合

CMWCOR レジスタへの書き込みサイクル中にコンペアマッチが発生した場合、CMWCOR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 26.18 に示します。

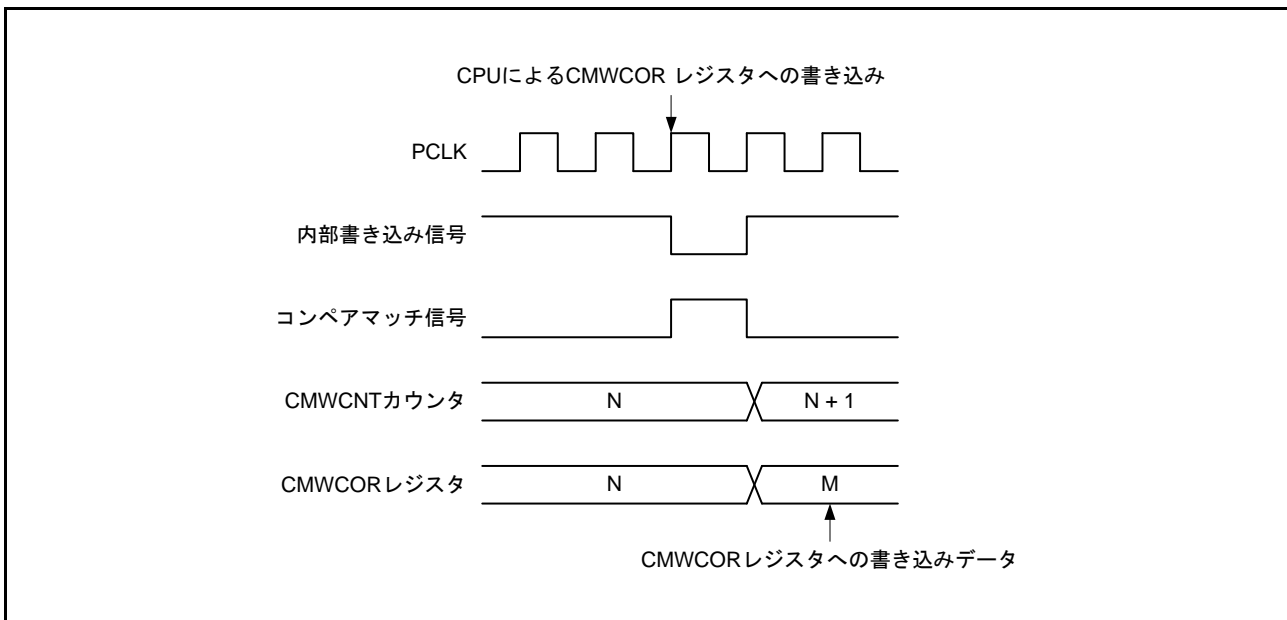


図 26.18 CMWCOR レジスタへの書き込みとコンペアマッチの競合

26.5.5 CMWOCRn レジスタへの書き込みとコンペアマッチの競合 (n = 0, 1)

CMWOCRn レジスタへの書き込みサイクル中にコンペアマッチが発生した場合、CMWOCRn レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。このタイミングを図 26.19 に示します。

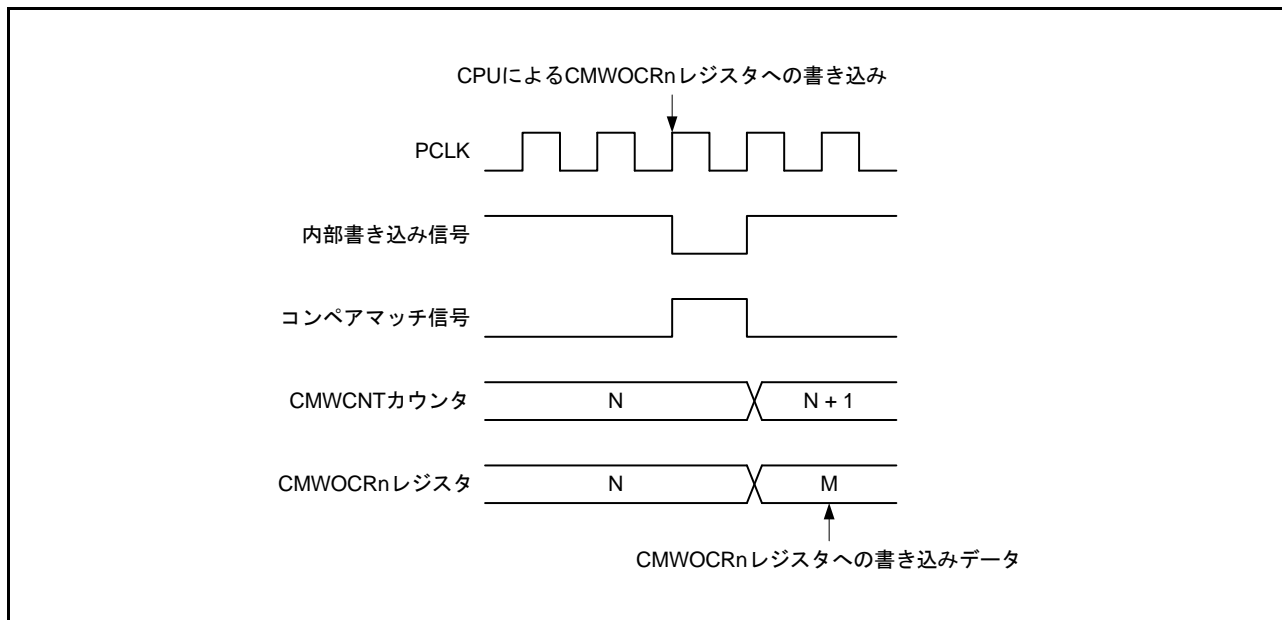


図 26.19 CMWOCRn レジスタへの書き込みとコンペアマッチの競合

26.5.6 CMWCNT カウンタの読み出しとカウントアップ/カウンタクリアの競合

CMWCNT カウンタのデータの読み出しと同時にカウントアップまたはカウンタクリアが発生した場合、読み出し値はカウントアップまたはカウンタクリア前のカウント値が読み出されます。

CMWCNT カウンタの読み出しとカウントアップが競合した場合のタイミングを図 26.20 に示します。

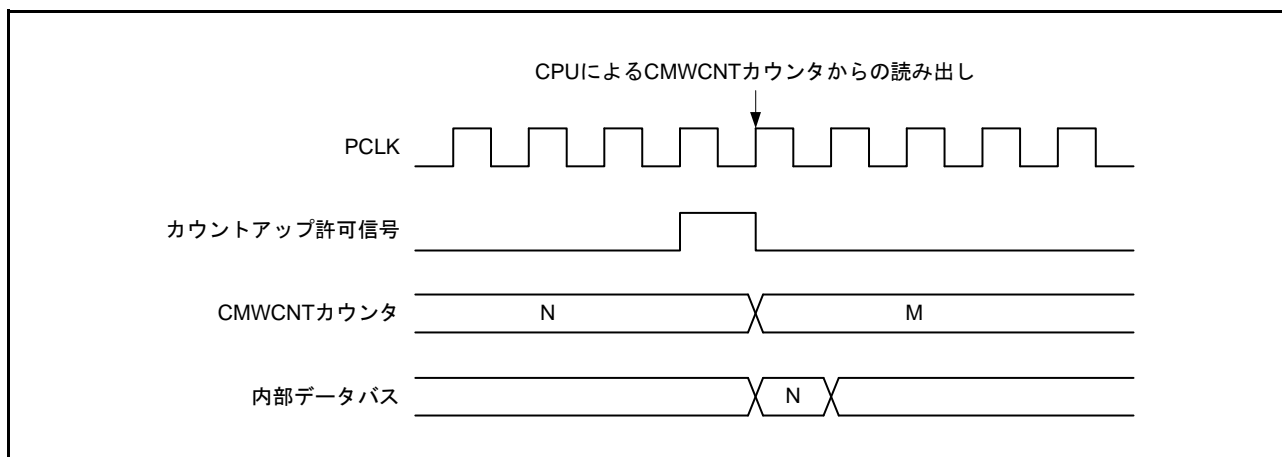


図 26.20 CMWCNT カウンタの読み出しとカウントアップの競合

26.5.7 CMWICRn レジスタの読み出しとインプットキャプチャの競合 (n = 0, 1)

CMWICRn レジスタの読み出しと同時にインプットキャプチャ検出信号が発生した場合、読み出し値はインプットキャプチャ転送前の値が読み出されます。

CMWICRn レジスタの読み出しとインプットキャプチャが競合した場合のタイミングを図 26.21 に示します。

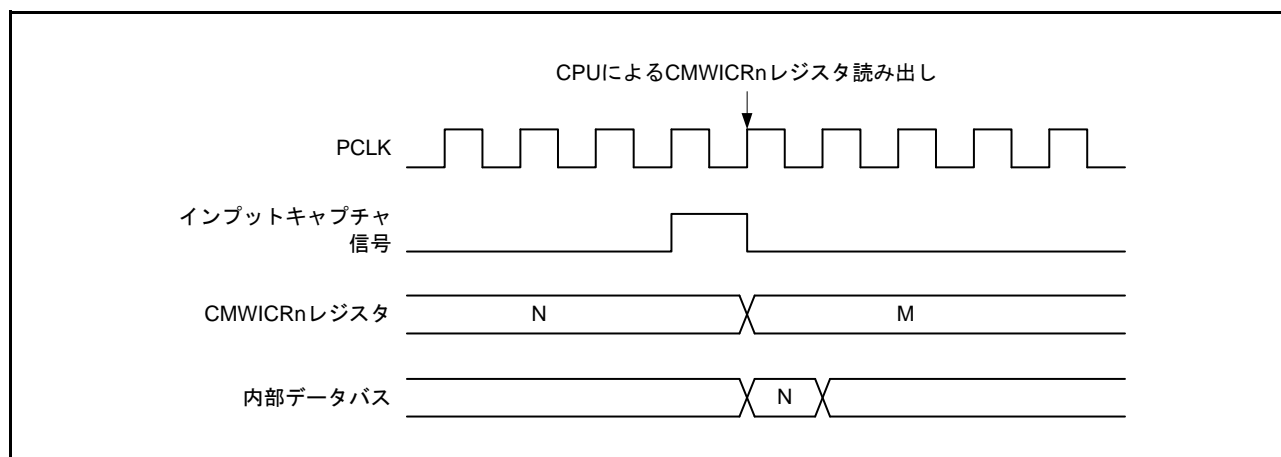


図 26.21 CMWICRn レジスタの読み出しとインプットキャプチャの競合

27. リアルタイムクロック (RTCC)

本章に記載している PCLK とは PCLKB を指します。

27.1 概要

RTC はカウントモードとして、カレンダーカウントモードとバイナリカウントモードの 2 種類を持ち、レジスタの設定により切り替えて使用します。

カレンダーカウントモードは、2000 年から 2099 年の 100 年間で、うるう年を自動で判定してカウントするモードです。

バイナリカウントモードは、年、月、日、曜日、時、分の概念を持たず、秒のみをカウントし、その情報をシリアル値として保持するモードで、西暦以外のカレンダーに対応できます。

RTC は、カウントソースをプリスケアラで分周した 128Hz のクロックを基準クロックとして年、月、日、曜日、午前/午後 (12 時間モード時)、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 27.1 に RTC の仕様を、図 27.1 に RTC のブロック図を、表 27.2 に RTC の入出力端子を示します。

表 27.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース(注1)	サブクロック (XCIN)
時計/カレンダー機能	<ul style="list-style-type: none"> • カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD 表示 12 時間/24 時間モード切り替え機能 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) うるう年自動補正機能 • バイナリカウントモード 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示 (1Hz, 2Hz, 4Hz, 8Hz, 16Hz, 32Hz, 64Hz) 時計誤差補正機能 クロック (1Hz/64Hz) 出力
割り込み	<ul style="list-style-type: none"> • アラーム割り込み (ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 <ul style="list-style-type: none"> • カレンダーカウントモード：年、月、日、曜日、時、分、秒 • バイナリカウントモード：32 ビットバイナリカウンタの各ビット • 周期割り込み (PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒 周期から選択可能 • 桁上げ割り込み (CUP) 次のいずれかのタイミングで割り込み要求発生 <ul style="list-style-type: none"> • 64Hz カウンタから秒カウンタへの桁上げが発生したとき • 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき • アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	<ul style="list-style-type: none"> • 時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力

注 1. 周辺モジュールクロック周波数 (PCLK) \geq カウントソース周波数となるようにしてください。

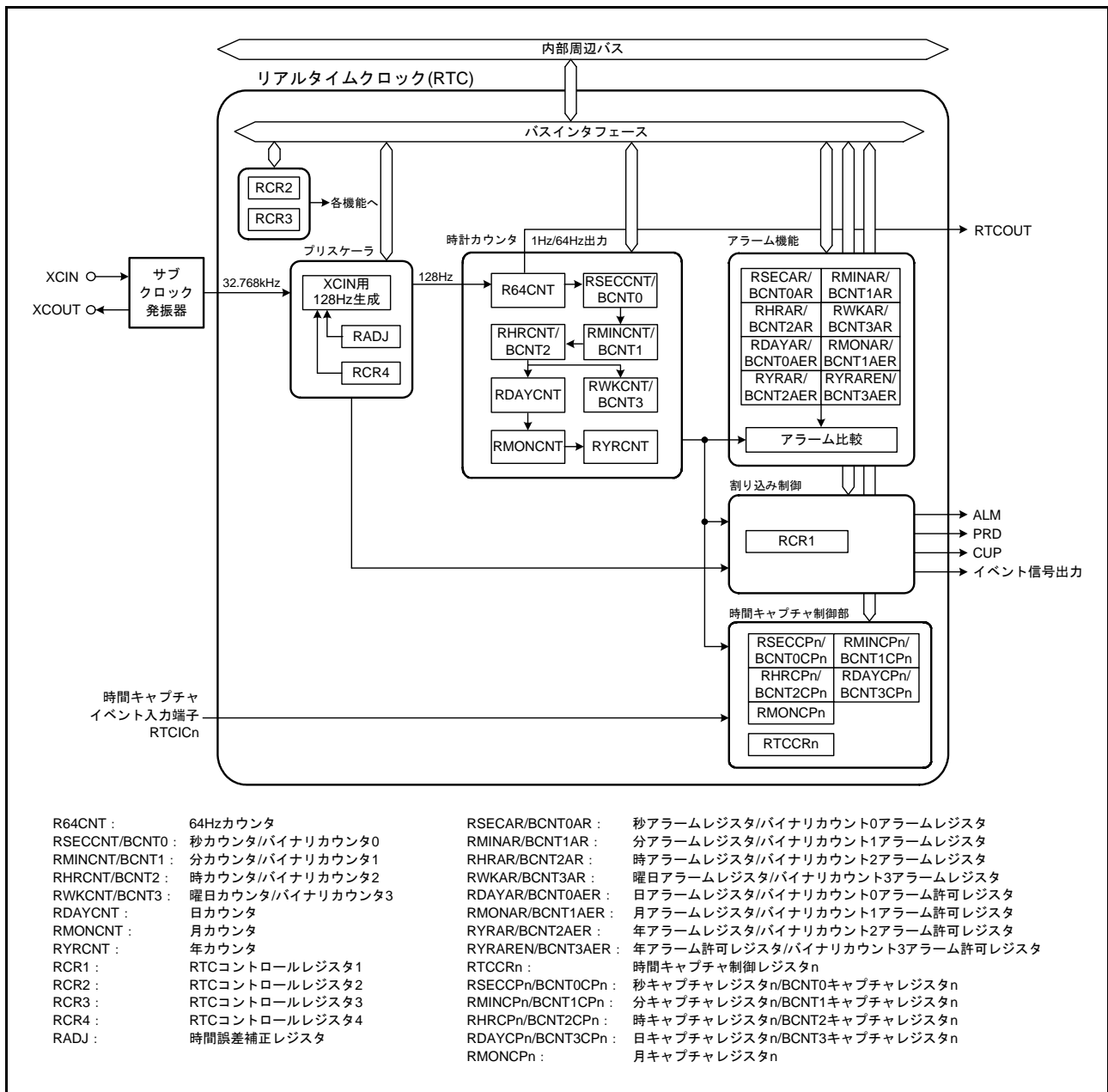


図 27.1 RTC のブロック図 (n = 0 ~ 2)

表 27.2 RTC の入出力端子

端子名	入出力	機能
XGIN	入力	32.768kHzの水晶振動子を接続します。
XCOU	出力	
RTCOUT	出力	1Hz/64Hzの波形を出力します。ディープソフトウェアスタンバイモード時には出力しません。
RTCIC0	入力	時間キャプチャイベント入力端子です
RTCIC1	入力	
RTCIC2	入力	

27.2 レジスタの説明

RTC のレジスタの書き込み / 読み出しは、「27.6.5 レジスタの書き込み / 読み出し時の注意事項」に従って行う必要があります。

RTC のレジスタのビットで、リセット後の値が x (不定) のビットは、リセットでは初期化されません。また、カウント動作時 (RCR2.START ビット=1 のとき) にリセット状態または低消費電力状態へ遷移した場合、年 / 月 / 曜日 / 日 / 時 / 分 / 秒 / 64Hz カウンタは動作を継続します。レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移しないでください。詳細は、「27.6.4 レジスタ設定後の低消費電力モード移行について」を参照ください。

27.2.1 64Hz カウンタ (R64CNT)

アドレス RTC.R64CNT 0008 C400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz ビット	秒以下の桁の1Hz～64Hzの状態を示します	R
b1	F32HZ	32Hz ビット		R
b2	F16HZ	16Hz ビット		R
b3	F8HZ	8Hz ビット		R
b4	F4HZ	4Hz ビット		R
b5	F2HZ	2Hz ビット		R
b6	F1HZ	1Hz ビット		R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

R64CNT カウンタは、カレンダーカウントモード / バイナリカウントモード共通で使用します。

R64CNT カウンタは、128Hz の基準クロックでアップカウントするカウンタで、秒周期を生成します。

R64CNT カウンタを読み出すことで、秒以下の状態が確認できます。

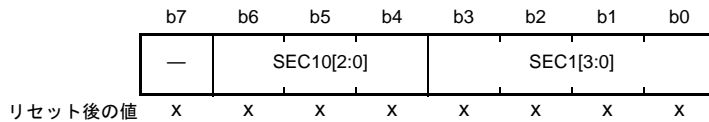
RTC ソフトウェアリセットまたは 30 秒調整を実行すると“00h”になります。

読み出し時は、「27.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

27.2.2 秒カウンタ (RSECCNT)/ バイナリカウンタ 0 (BCNT0)

(1) カレンダカウントモード時

アドレス RTC.RSECCNT 0008 C402h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウントビット	一秒の位は1秒ごとに0から9をカウントします。桁上げが発生すると、十秒の位が+1されます	R/W
b6-b4	SEC10[2:0]	10秒カウントビット	十秒の位は0から5をカウントして、60秒のカウントを行います	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W

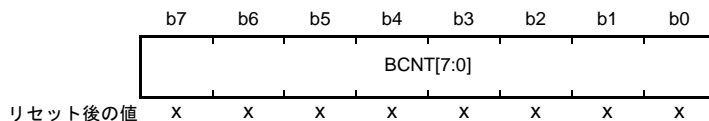
RSECCNT カウンタは、BCD コード化された秒部分の設定、カウント用のカウンタであり、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RSECCNT カウンタを書き換えた場合、値が書き変わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「27.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0 0008 C402h



x: 不定

BCNT0 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b7～b0 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

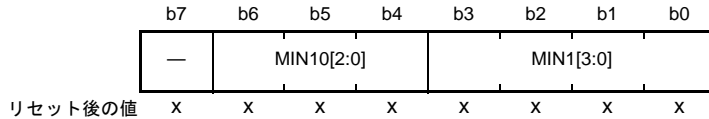
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「27.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

27.2.3 分カウンタ (RMINCNT)/ バイナリカウンタ 1 (BCNT1)

(1) カレンダカウントモード時

アドレス RTC.RMINCNT 0008 C404h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウントビット	一分の位は1分ごとに0から9をカウントします。桁上げが発生すると、十分の位が+1されます	R/W
b6-b4	MIN10[2:0]	10分カウントビット	十分の位は0から5をカウントして、60分のカウントを行います	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W

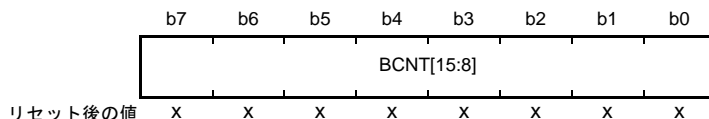
RMINCNT カウンタは、BCD コード化された分部分の設定、カウント用のカウンタであり、秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMINCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「27.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT1 0008 C404h



x: 不定

BCNT1 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b15～b8 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

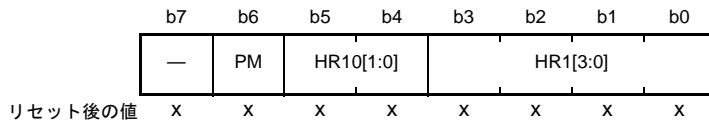
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「27.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

27.2.4 時カウンタ (RHCNT)/ バイナリカウンタ 2 (BCNT2)

(1) カレンダカウントモード時

アドレス RTC.RHCNT 0008 C406h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウントビット	一時間の位は1時間ごとに0から9をカウントします。桁上げが発生すると、十時間の位が+1されます	R/W
b5-b4	HR10[1:0]	10時間カウントビット	十時間の位は一時間の位の桁上げごとに0から2をカウントします	R/W
b6	PM	PMビット	時カウンタのAM/PMの設定 0: 午前 1: 午後	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めず	R/W

RHCNT カウンタは、BCD コード化された時部分の設定、カウント用のカウンタであり、分カウンタの1時間ごとの桁上げによってカウント動作を行います。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが “0” : 10進 (BCD) で “00” ~ “11”

RCR2.HR24 ビットが “1” : 10進 (BCD) で “00” ~ “23”

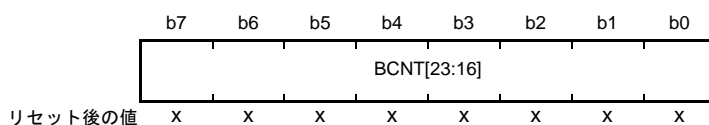
上記以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RHCNT カウンタを読み出す場合は、RCR2.HR24 ビットが “0” の場合のみ PM ビットが有効になります。RCR2.HR24 ビットが “1” の場合は、PM ビットの値を無視してください。

RHCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「27.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT2 0008 C406h



x: 不定

BCNT2 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b23 ~ b16 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

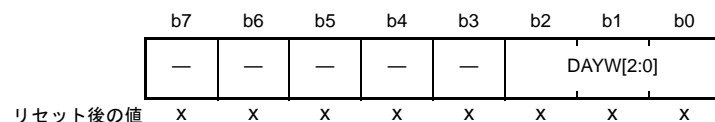
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「27.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

27.2.5 曜日カウンタ (RWKCNT)/ バイナリカウンタ 3 (BCNT3)

(1) カレンダーカウントモード時

アドレス RTC.RWKCNT 0008 C408h



x: 不定

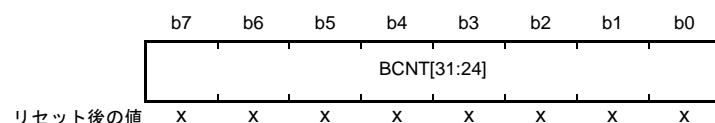
ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウントビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b7-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めず	R/W

RWKCNT カウンタはコード化された曜日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は、10進で“0”～“6”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

レジスタの書き込み/読み出しの注意事項については「27.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT3 0008 C408h

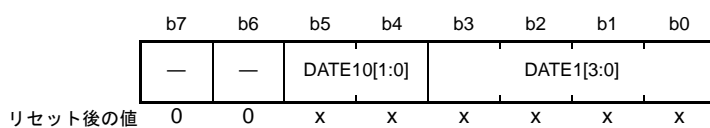


x: 不定

BCNT3 カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb31～b24です。32ビットバイナリカウンタは、64Hzカウンタの1秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。読み出し時は、「27.3.5 64Hzカウンタおよび時刻読み出し手順」に従ってください。

27.2.6 日カウンタ (RDAYCNT)

アドレス RTC.RDAYCNT 0008 C40Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウントビット	一日の位は1日ごとに0~9をカウントします。桁上げが発生すると十日の位が+1されます	R/W
b5-b4	DATE10[1:0]	10日カウントビット	十日の位は一日の位の桁上げごとに0~3をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用します。

RDAYCNT カウンタは、BCD コード化された日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

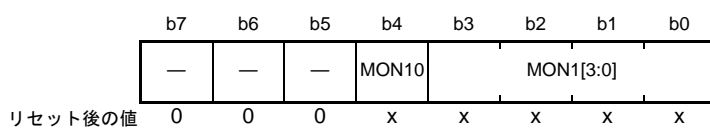
うるう年は年カウンタ (RYRCNT) の“00”を2000年とみなして2000年から2099年を、400、100、4で割り切れるかどうかによって計算されます。

設定可能範囲は、10進 (BCD) で“01”～“31”です。それ以外の値が設定されると、正常に動作しません (月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください)。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RDAYCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「27.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

27.2.7 月カウンタ (RMONCNT)

アドレス RTC.RMONCNT 0008 C40Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウントビット	一月の位は1月ごとに0~9をカウントします。桁上げが発生すると十月の位が+1されます	R/W
b4	MON10	10月カウントビット	十月の位は一月の位の桁上げごとに0~1をカウントします	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用します。

RMONCNT カウンタは、BCD コード化された月部分の設定、カウント用のカウンタであり、日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“01”～“12”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMONCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「27.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

27.2.8 年カウンタ (RYRCNT)

アドレス RTC.RYRCNT 0008 C40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウントビット	一年の位は1年ごとに0~9をカウントします。桁上げが発生すると十年の位が+1されます	R/W
b7-b4	YR10[3:0]	10年カウントビット	十年の位は一年の位の桁上げごとに0~9をカウントします	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRCNT カウンタは、カレンダーカウントモード時に使用します。

RYRCNT カウンタは、BCD コード化された年部分の設定、カウント用のカウンタであり、月カウンタの1年ごとの桁上げによって、カウント動作を行います。

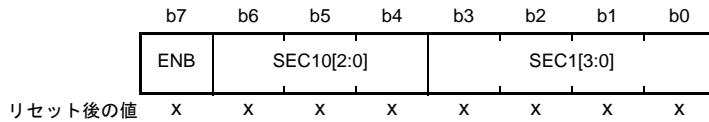
設定可能範囲は、10進(BCD)で“00”～“99”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RYRCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「27.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

27.2.9 秒アラームレジスタ (RSECAR)/ バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

(1) カレンダカウントモード時

アドレス RTC.RSECAR 0008 C410h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒ビット	一秒の位の設定値	R/W
b6-b4	SEC10[2:0]	10秒ビット	十秒の位の設定値	R/W
b7	ENB	ENBビット	0 : RSECCNTカウンタの値と比較を行わない 1 : RSECCNTカウンタの値と比較を行う	R/W

RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RSECAR レジスタの値と RSECCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

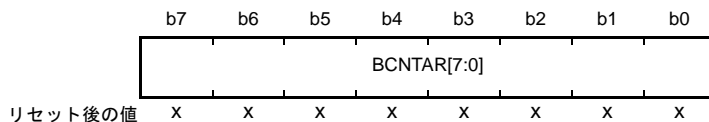
設定可能範囲は、10進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RSECAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「27.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AR 0008 C410h



x : 不定

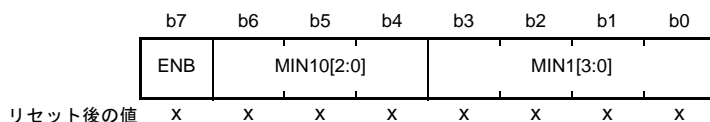
BCNT0AR カウンタは、32 ビットバイナリカウンタの b7～b0 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

27.2.10 分アラームレジスタ (RMINAR)/ バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

(1) カレンダカウントモード時

アドレス RTC.RMINAR 0008 C412h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分ビット	一分の位の設定値	R/W
b6-b4	MIN10[2:0]	10分ビット	十分の位の設定値	R/W
b7	ENB	ENBビット	0 : RMINCNTカウンタの値と比較を行わない 1 : RMINCNTカウンタの値と比較を行う	R/W

RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMINAR レジスタの値と RMINCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

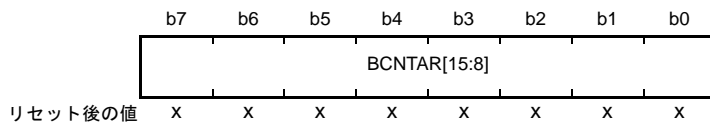
設定可能範囲は、10進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RMINAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「27.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AR 0008 C412h



x : 不定

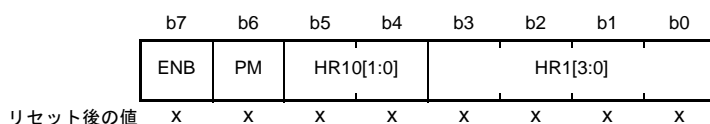
BCNT1AR カウンタは、32 ビットバイナリカウンタの b15 ～ b8 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

27.2.11 時アラームレジスタ (RHRAR)/ バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

(1) カレンダカウントモード時

アドレス RTC.RHRAR 0008 C414h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間ビット	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間ビット	十時間の位の設定値	R/W
b6	PM	PMビット	時アラームのAM/PMの設定 0 : 午前 1 : 午後	R/W
b7	ENB	ENBビット	0 : RHCNTカウンタの値と比較を行わない 1 : RHCNTカウンタの値と比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RHRAR レジスタの値と RHCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10進 (BCD) で“00”～“11”

RCR2.HR24 ビットが“1” : 10進 (BCD) で“00”～“23”

上記以外の値が設定されると、正常に動作しません。

RCR2.HR24 ビットが“0”の場合は、PM ビットの設定も行ってください。

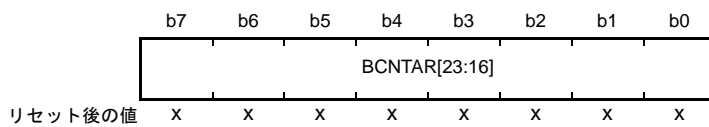
RCR2.HR24 ビットが“1”の場合は、PM ビットの値は無効となります。

RHRAR レジスタを書き換えた場合、値が書き変わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「27.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AR 0008 C414h



x : 不定

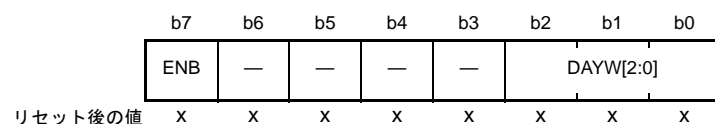
BCNT2AR カウンタは、32 ビットバイナリカウンタの b23 ~ b16 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

27.2.12 曜日アラームレジスタ (RWKAR)/ バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

(1) カレンダカウントモード時

アドレス RTC.RWKAR 0008 C416h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日の設定値ビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b6-b3	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0: RWKCNTカウンタの値と比較を行わない 1: RWKCNTカウンタの値と比較を行う	R/W

RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RWKAR レジスタの値と RWKCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

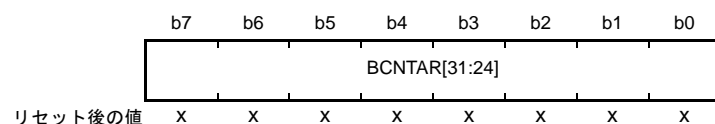
設定可能範囲は、10進で“0”～“6”であり、それ以外の値が設定されると、正常に動作しません。

RWKAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「27.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AR 0008 C416h



x: 不定

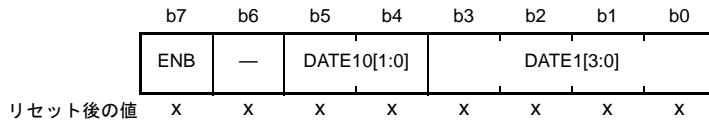
BCNT3AR カウンタは、32ビットバイナリカウンタの b31～b24 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

27.2.13 日アラームレジスタ (RDAYAR)/ バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)

(1) カレンダーカウントモード時

アドレス RTC.RDAYAR 0008 C418h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日ビット	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日ビット	十日の位の設定値	R/W
b6	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RDAYCNTカウンタの値と比較を行わない 1 : RDAYCNTカウンタの値と比較を行う	R/W

RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RDAYAR レジスタの値と RDAYCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

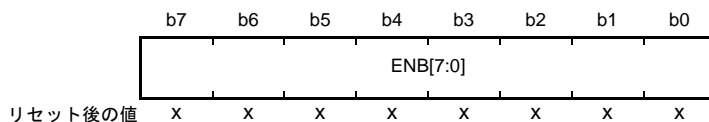
設定可能範囲は、10 進 (BCD) で“01”～“31”であり、それ以外の値が設定されると、正常に動作しません。

RDAYAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「27.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AER 0008 C418h



x : 不定

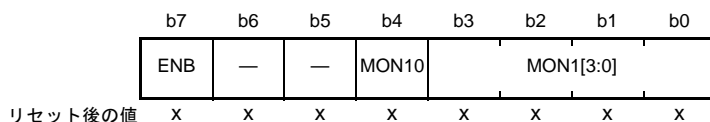
BCNT0AER レジスタは、32 ビットバイナリカウンタの b7～b0 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

27.2.14 月アラームレジスタ (RMONAR)/ バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)

(1) カレンダーカウントモード時

アドレス RTC.RMONAR 0008 C41Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月ビット	一月の位の設定値	R/W
b4	MON10	10月ビット	十月の位の設定値	R/W
b6-b5	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RMONCNTカウンタの値と比較を行わない 1 : RMONCNTカウンタの値と比較を行う	R/W

RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMONAR レジスタの値と RMONCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

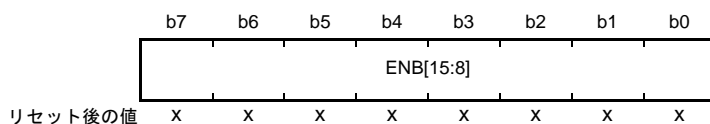
設定可能範囲は、10 進 (BCD) で“01”～“12”であり、それ以外の値が設定されると、正常に動作しません。

RMONAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「27.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AER 0008 C41Ah



x : 不定

BCNT1AER レジスタは、32 ビットバイナリカウンタの b15～b8 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

27.2.15 年アラームレジスタ (RYRAR)/ バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)

(1) カレンダカウントモード時

アドレス RTC.RYRAR 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年ビット	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10年ビット	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。

設定可能範囲は、10進 (BCD) で“00”～“99”であり、それ以外の値が設定されると、正常に動作しません。

RYRAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「27.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“0000h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AER 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ENB[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x : 不定

BCNT2AER レジスタは、32ビットバイナリカウンタの b23～b16 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“0000h”になります。

27.2.16 年アラーム許可レジスタ (RYRAREN)/ バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)

(1) カレンダカウントモード時

アドレス RTC.RYRAREN 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENB ビット	0 : RYRCNTカウンタの値と比較を行わない 1 : RYRCNTカウンタの値と比較を行う	R/W

RYRAREN レジスタは、ENB ビットが“1”であれば、RYRAR レジスタの値と RYRCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AER 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値	X	X	X	X	X	X	X	X

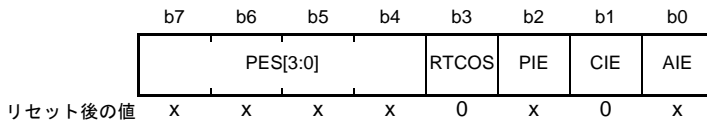
x : 不定

BCNT3AER レジスタは、32 ビットバイナリカウンタの b31 ~ b24 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

27.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 0008 C422h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可ビット	0 : アラーム割り込み要求を禁止 1 : アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可ビット	0 : 桁上げ割り込み要求を禁止 1 : 桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可ビット	0 : 周期割り込み要求を禁止 1 : 周期割り込み要求を許可	R/W
b3	RTCOS	RTCOUT出力選択ビット	0 : RTCOUTは1Hzを出力 1 : RTCOUTは64Hzを出力	R/W
b7-b4	PES[3:0]	周期割り込み選択ビット	b7 b4 0 1 1 0 : 周期割り込み発生時の周期は1/256秒ごと 0 1 1 1 : 周期割り込み発生時の周期は1/128秒ごと 1 0 0 0 : 周期割り込み発生時の周期は1/64秒ごと 1 0 0 1 : 周期割り込み発生時の周期は1/32秒ごと 1 0 1 0 : 周期割り込み発生時の周期は1/16秒ごと 1 0 1 1 : 周期割り込み発生時の周期は1/8秒ごと 1 1 0 0 : 周期割り込み発生時の周期は1/4秒ごと 1 1 0 1 : 周期割り込み発生時の周期は1/2秒ごと 1 1 1 0 : 周期割り込み発生時の周期は1秒ごと 1 1 1 1 : 周期割り込み発生時の周期は2秒ごと 上記以外は、周期割り込みを発生しない	R/W

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されるので、RCR1 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可ビット)

アラーム割り込み要求の許可または禁止を選択します。

ディープソフトウェアスタンバイ中にカウンタとアラーム時刻が一致した場合、AIE ビットの設定に関係なくディープソフトウェアスタンバイから復帰します。

CIE ビット (桁上げ割り込み許可ビット)

秒カウンタ (RSECCNT)/バイナリカウンタ 0 (BCNT0) への桁上げ、または 64Hz カウンタ (R64CNT) 読み出しと、64Hz カウンタへの桁上げが重なったときの割り込み要求の許可または禁止を選択します。

PIE ビット (周期割り込み許可ビット)

周期割り込み要求の許可または禁止を選択します。

ディープソフトウェアスタンバイ中に PES[3:0] ビットで選択した周期と一致した場合、PIE ビットの設定に関係なくディープソフトウェアスタンバイから復帰します。

RTCOS ビット (RTCOUT 出力選択ビット)

RTCOUT の出力周期を選択するビットです。RTCOS ビットは、カウント動作停止中 (RCR2.START ビット = 0) かつ RTCOUT 出力禁止 (RCR2.RTCOE ビット = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを有効にしてください。I/O ポートの制御については、「21.4.1 端子入出力機能設定手順」を参照してください。

PES[3:0] ビット (周期割り込み選択ビット)

周期割り込みの周期を設定します。PES[3:0] ビットで設定した周期に応じて周期割り込みを要求します。

27.2.18 RTC コントロールレジスタ 2 (RCR2)

アドレス RTC.RCR2 0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット(注3)	0: プリスケアラとカウンタは停止 1: プリスケアラとカウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセットビット	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化 読み出し時 0: 通常の時計動作またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット中 	R/W
b2	ADJ30	30秒調整ビット(注2)	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: 30秒調整の実行 読み出し時 0: 通常の時計動作または30秒調整が完了 1: 30秒調整中 	R/W
b3	RTCOE	RTCOUT出力許可ビット	0: RTCOUT出力禁止 1: RTCOUT出力許可	R/W
b4	AADJE	自動補正機能許可ビット(注3)	0: 自動補正機能禁止 1: 自動補正機能許可	R/W
b5	AADJP	自動補正周期選択ビット(注3)	0: 1分(バイナリカウンタモード時は32秒)ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する 1: 10秒(バイナリカウンタモード時は8秒)ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する	R/W
b6	HR24	時間モードビット(注2、注3)	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択ビット(注3)	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECCPn/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RTCCRn, RSECCPn/BCNT0CPn, RMINCPn/BCNT1CPn, RHRCpN/BCNT2CPn, RDAYCPn/BCNT3CPn, RMONCPn, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. バイナリカウンタモードでは予約ビットです。書く場合は“0”を書いてください。

注3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。AADJE, AADJP, HR24ビットについては「27.6.5 レジスタの書き込み/読み出し時の注意事項」も参照してください。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、カウント制御に関するレジスタです。

START ビット (スタートビット)

プリスケアラおよびカウンタ (時計) の停止または動作を制御するビットです。

START ビットは、カウントソースに同期して更新されるので、START ビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセットビット)

プリスケアラおよび RTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに“1”が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了すると RESET ビットは自動的に“0”になります。

RESET ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整ビット)

30 秒調整を行うビットです。

ADJ30 ビットに“1”が書き込まれたときの RSECCNT カウンタの値が 30 秒未満の場合は 00 秒に切り捨て、30 秒以上の場合は 1 分に桁上げします。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに“1”が書き込まれた場合、30 秒調整が完了すると ADJ30 ビットは自動的に“0”になります。ADJ30 ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

30 秒調整が行われると、プリスケアラおよび R64CNT カウンタもリセットされます。

RTC ソフトウェアリセットを実行すると ADJ30 ビットは、“0”になります。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

RTC OE ビット (RTC OUT 出力許可ビット)

RTC OUT (1Hz/64Hz クロック) の出力を許可するビットです。

RTC OE ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止する (START ビットに“0”を書く) ときは、同時に RTC OE ビットの値を書き換えしないでください。

RTC OUT を外部端子に出力する場合は、RTC OE ビットを許可にし、かつポート制御の設定もしてください。

AADJE ビット (自動補正機能許可ビット)

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、“0”になります。

AADJP ビット (自動補正周期選択ビット)

自動補正周期を選択するビットです。

AADJP ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、“0”になります。

HR24 ビット (時間モードビット)

RTC の時間モードを 12 時間モードで動作させるか、24 時間モードで動作させるかを指定するビットです。

HR24 ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。START ビットと同時に HR24 ビットの値を書き換えしないでください。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

CNTMD ビット (カウントモード選択ビット)

RTC のカウントモードを、カレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定するビットです。

カウントモードを設定した後は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。

CNTMD ビットはカウントソースに同期して更新されるので、書き換えた場合は、値が更新されたことを確認してから RTC ソフトウェアリセットを実行してください。RTC ソフトウェアリセット実行後、設定したカウントモードに切り替わります。

初期設定の詳細は、「27.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

27.2.19 RTC コントロールレジスタ 3 (RCR3)

アドレス RTC.RCR3 0008 C426h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RTCEN
リセット後の値	0	0	0	0	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	RTCEN	RTC許可ビット	0 : RTC無効 1 : RTC有効	R/W
b3-b1	—	予約ビット	“0”を設定してください。読むと設定値が読めず	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCR3 レジスタは、RTC の動作を許可 / 禁止するためのレジスタです。RTC 非搭載製品では、“00h” にしてください。

本レジスタはカレンダーカウントモード / バイナリカウントモードで共通の機能です。

本レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

27.2.20 RTC コントロールレジスタ 4 (RCR4)

アドレス RTC.RCR4 0008 C428h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL L
リセット後の値	0	0	0	0	0	0	0	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択ビット	0 : サブクロック発振器を選択 1 : 設定禁止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCR4 レジスタは、カウントソース選択レジスタです。本レジスタはカレンダーカウントモード/バイナリカウントモードで共通の機能です。

RCKSEL ビットが“0”のときサブクロックを使用して時計のカウント動作を行います。

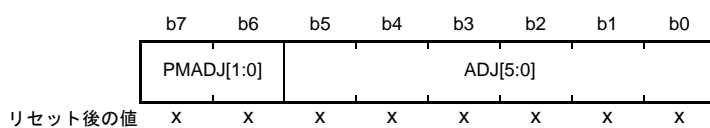
RCKSEL ビット (カウントソース選択ビット)

カウントソースを設定するビットです。

電源投入後、RTC のレジスタ初期設定前に“0”にしてください。

27.2.21 時間誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 0008 C42Eh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值ビット	誤差補正值を設定します	R/W
b7-b6	PMADJ[1:0]	プラスマイナスビット	b7 b6 0 0 : 補正動作を行いません 0 1 : 時計を進める 1 0 : 時計を遅らせる 1 1 : 設定しないでください	R/W

RADJ レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

時計を誤差補正值に応じて進めるか、遅らせることによって、補正を行います。

自動補正機能許可ビット (RCR2.AADJE) が“0”の場合は、RADJ レジスタを書き込むときに補正動作を行います。

RCR2.AADJE ビットが“1”の場合は、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正動作を行います。

ソフトウェア設定 (自動補正しない設定) による補正時は、レジスタ設定後、カウントソースで 320 サイクル以内に次の補正值を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、カウントソースで 320 サイクル以上待ってから再設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

ADJ[5:0] ビット (補正值ビット)

時計の誤差に応じて補正值 (サブクロックのクロックサイクル数) を設定します。

PMADJ[1:0] ビット (プラスマイナスビット)

ADJ[5:0] ビットで設定した誤差補正值に応じて時計を進めるか、遅らせるかを選択します。

27.2.22 時間キャプチャ制御レジスタ n (RTCCRn) (n = 0 ~ 2)

アドレス RTC.RTCCR0 0008 C440h, RTC.RTCCR1 0008 C442h, RTC.RTCCR2 0008 C444h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCEN	—	TCNF[1:0]	—	TCST	TCCT[1:0]		
リセット後の値	x	0	x	x	0	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	TCCT[1:0]	時間キャプチャ制御ビット	b1 b0 0 0 : イベント検出しない 0 1 : 立ち上がりエッジ検出 1 0 : 立ち下がりエッジ検出 1 1 : 両エッジ検出	R/W
b2	TCST	時間キャプチャステータスビット	0 : イベント検出なし 1 : イベント検出あり(注1)	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	TCNF[1:0]	時間キャプチャノイズフィルタ制御ビット	b5 b4 0 0 : ノイズフィルタ OFF 0 1 : 設定しないでください 1 0 : ノイズフィルタ ON (カウントソース) 1 1 : ノイズフィルタ ON (カウントソースの32分周)	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TCEN	時間キャプチャイベント入力端子許可ビット	0 : RTCICn 端子が時間キャプチャイベント入力端子として無効 1 : RTCICn 端子が時間キャプチャイベント入力端子として有効	R/W

注1. イベント検出されたことを示します。“1”の書き込みは無効です。“0”を書き込むことで“0”にすることができます。

RTCCRn レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRn レジスタは、カウントソースに同期して更新されます。RTCCRn レジスタを書き換えた場合は、TCST ビットを除く全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

TCCT[1:0] ビット (時間キャプチャ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のエッジ検出を制御するビットです。

検出するエッジの選択が可能です。TCCT[1:0] ビットは、TCEN ビットが“1”の状態を設定してください。

TCST ビット (時間キャプチャステータスビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のイベントが検出されたことを示すビットです。

TCST ビットが“0”の場合は、イベント検出されていないことを示します。

TCST ビットが“1”の場合は、該当する端子のイベントが検出されたことを示し、そのキャプチャレジスタが有効になります。複数回イベントが検出された場合は、最初のキャプチャ時刻を保持します。

カウント動作停止中 (RCR2.START ビットが“0”) にイベントを検出した場合、キャプチャした値は保証できませんので、TCST ビットを“0”にして、キャプチャした値を破棄してください。

TCST ビットに“0”を書き込むことで、TCST ビットを“0”にできます。また、“0”以外の値の書き込みは無効になります。

TCST ビットを“0”にするときは、TCCT[1:0] ビットを“00b”(イベント検出しない)にした状態で行ってください。

TCST ビットは、カウントソースに同期して“0”になります。TCST ビットを“0”にした場合は、値が更新されたことを確認してから次の処理を実行してください。

TCNF[1:0] ビット (時間キャプチャノイズフィルタ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のノイズフィルタを制御するビットです。

ノイズフィルタが ON の場合、カウントソースの 1 分周、32 分周のどちらかを選択することが可能です。このとき、時間キャプチャイベント入力端子の入力レベルが選択されたサンプル間隔で 3 回連続で一致すると、入力レベルを決定します。

TCNF[1:0] ビットの設定は、TCCT[1:0] ビットを“00b”(イベント検出しない)にした状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0] ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0] ビットの設定を行ってください。また、TCNF[1:0] ビットは、TCEN ビットが“1”の状態を設定してください。

TCEN ビット (時間キャプチャイベント入力端子許可ビット)

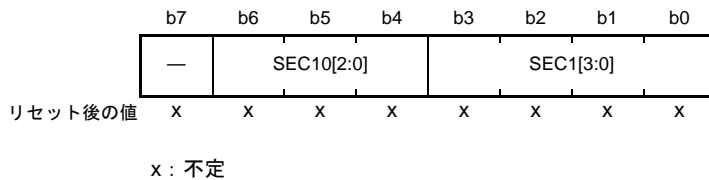
時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) の有効 / 無効を制御するビットです。

サブクロック選択時 (RCR4.RCKSEL ビット = 0) かつ RTC 無効時 (RCR3.RTCEN ビット = 0) は、TCEN ビットの値に関わらず時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) は無効となります。時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) に複数の機能が割り当てられている場合、先に端子の機能を汎用入力ポートに設定した後、本ビットを“1”にしてください。本ビットを“0”にする場合、TCCT[1:0] ビットも“00b”にしてください。

27.2.23 秒キャプチャレジスタ n (RSECCPn) (n = 0 ~ 2)/BCNT0 キャプチャレジスタ n (BCNT0CPn) (n = 0 ~ 2)

(1) カレンダカウントモード時

アドレス RTC.RSECCP0 0008 C452h, RTC.RSECCP1 0008 C462h, RTC.RSECCP2 0008 C472h



ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒キャプチャビット	一秒の位のキャプチャ値を示します	R
b6-b4	SEC10[2:0]	10秒キャプチャビット	十秒の位のキャプチャ値を示します	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RSECCPn レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

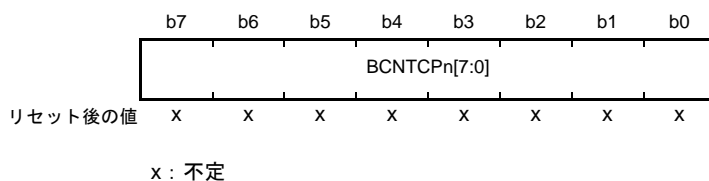
RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、RTCIC2 端子によるイベント検出時は RSECCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0CP0 0008 C452h, RTC.BCNT0CP1 0008 C462h, RTC.BCNT0CP2 0008 C472h



BCNT0CPn レジスタは、時間キャプチャイベント検出時に BCNT0 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT0CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT0CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT0CP2 レジスタにそれぞれのイベント検出時刻を格納します。

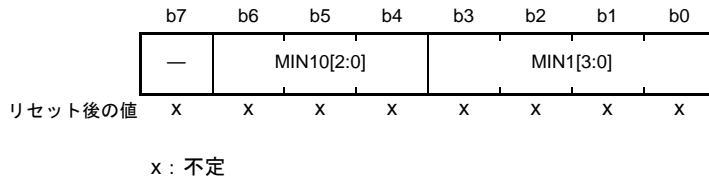
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

27.2.24 分キャプチャレジスタ n (RMINCPn) (n = 0 ~ 2)/BCNT1 キャプチャレジスタ n (BCNT1CPn) (n = 0 ~ 2)

(1) カレンダカウントモード時

アドレス RTC.RMINCP0 0008 C454h, RTC.RMINCP1 0008 C464h, RTC.RMINCP2 0008 C474h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分キャプチャビット	一分の位のキャプチャ値を示します	R
b6-b4	MIN10[2:0]	10分キャプチャビット	十分の位のキャプチャ値を示します	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RMINCPn レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

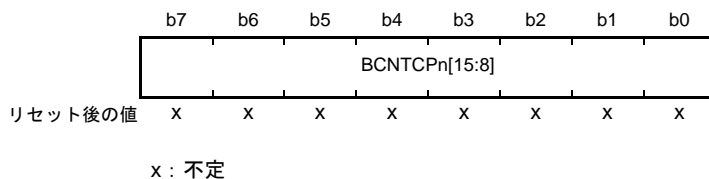
RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMINCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT1CP0 0008 C454h, RTC.BCNT1CP1 0008 C464h, RTC.BCNT1CP2 0008 C474h



BCNT1CPn レジスタは、時間キャプチャイベント検出時に BCNT1 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT1CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT1CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT1CP2 レジスタにそれぞれのイベント検出時刻を格納します。

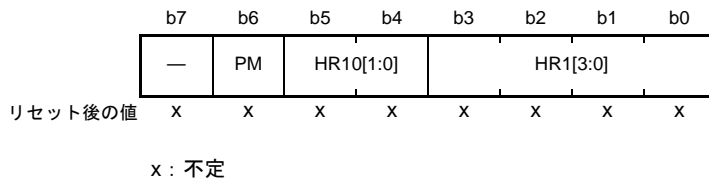
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

27.2.25 時キャプチャレジスタ n (RHRCPn) (n = 0 ~ 2)/BCNT2 キャプチャレジスタ n (BCNT2CPn) (n = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス RTC.RHRCP0 0008 C456h, RTC.RHRCP1 0008 C466h, RTC.RHRCP2 0008 C476h



ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間キャプチャビット	一時間の位のキャプチャ値を示します	R
b5-b4	HR10[1:0]	10時間キャプチャビット	十時間の位のキャプチャ値を示します	R
b6	PM	PMビット	0 : 午前 1 : 午後	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RHRCPn レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、RTCIC2 端子によるイベント検出時は RHRCP2 レジスタにそれぞれのイベント検出時刻を格納します。

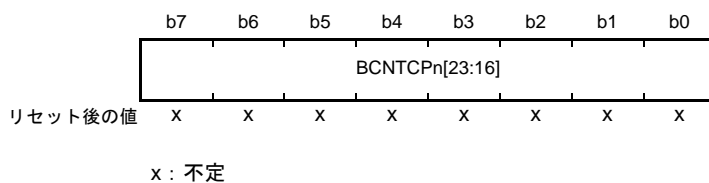
RCR2.HR24 ビットが“0” (12 時間モードで動作) の場合のみ、PM ビットが有効になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT2CP0 0008 C456h, RTC.BCNT2CP1 0008 C466h, RTC.BCNT2CP2 0008 C476h



BCNT2CPn レジスタは、時間キャプチャイベント検出時に BCNT2 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT2CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT2CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT2CP2 レジスタにそれぞれのイベント検出時刻を格納します。

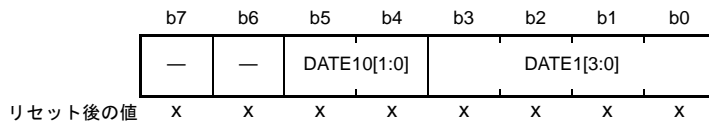
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

27.2.26 日キャプチャレジスタ n (RDAYCPn) (n = 0 ~ 2)/BCNT3 キャプチャレジスタ n (BCNT3CPn) (n = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス RTC.RDAYCP0 0008 C45Ah, RTC.RDAYCP1 0008 C46Ah, RTC.RDAYCP2 0008 C47Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日キャプチャビット	一日の位のキャプチャ値を示します	R
b5-b4	DATE10[1:0]	10日キャプチャビット	十日の位のキャプチャ値を示します	R
b7-b6	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RDAYCPn レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

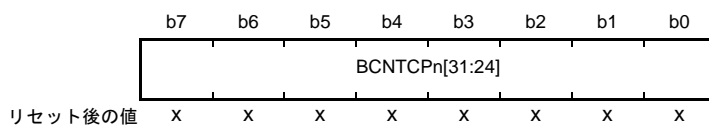
RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT3CP0 0008 C45Ah, RTC.BCNT3CP1 0008 C46Ah, RTC.BCNT3CP2 0008 C47Ah



x : 不定

BCNT3CPn レジスタは、時間キャプチャイベント検出時に BCNT3 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

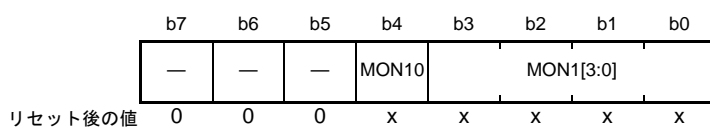
RTCIC0 端子によるイベント検出時は BCNT3CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT3CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT3CP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

27.2.27 月キャプチャレジスタ n (RMONCPn) (n = 0 ~ 2)

アドレス RTC.RMONCP0 0008 C45Ch, RTC.RMONCP1 0008 C46Ch, RTC.RMONCP2 0008 C47Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月キャプチャビット	一月の位のキャプチャ値を示します	R
b4	MON10	10月キャプチャビット	十月の位のキャプチャ値を示します	R
b7-b5	—	予約ビット	読むと“0”が読めます	R

RMONCPn レジスタは、時間キャプチャイベント検出時に RMONCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMONCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

27.3 動作説明

27.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、カウントモード設定、時刻設定、時計誤差補正、アラーム、割り込み、時間キャプチャ制御レジスタの初期設定をしてください。

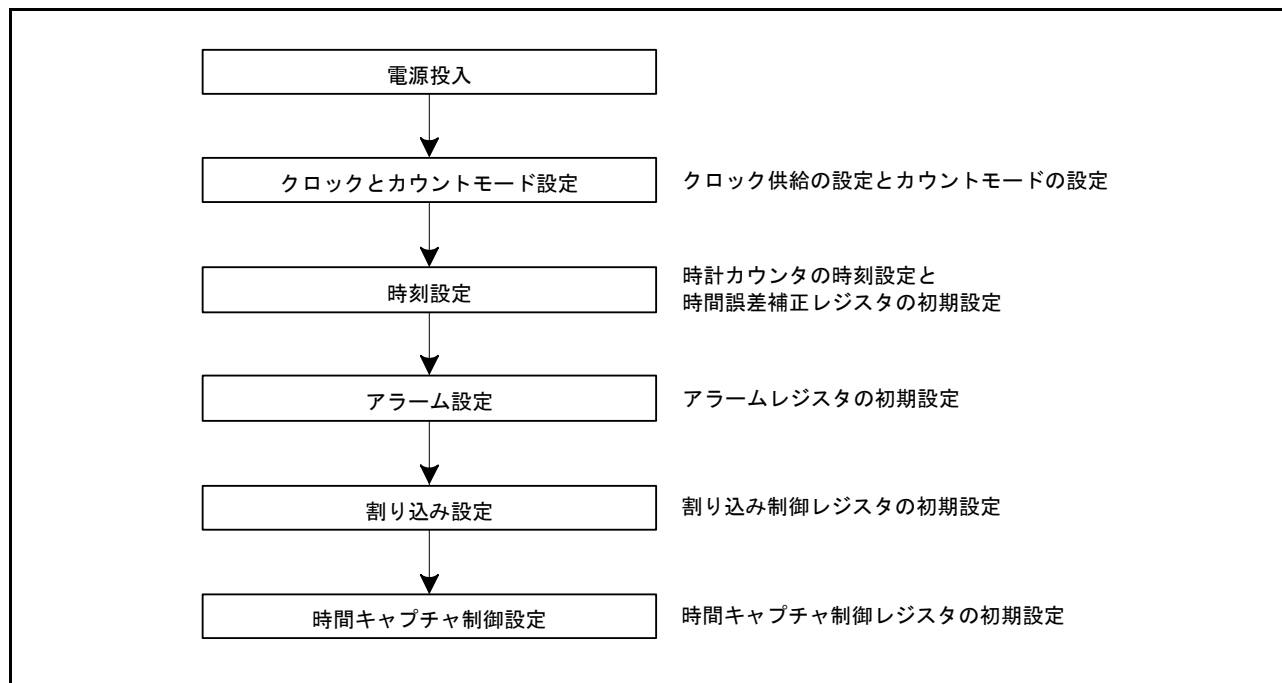


図 27.2 電源投入後の初期設定概要

27.3.2 クロックとカウントモード設定手順

図 27.3 にクロック設定手順を示します。

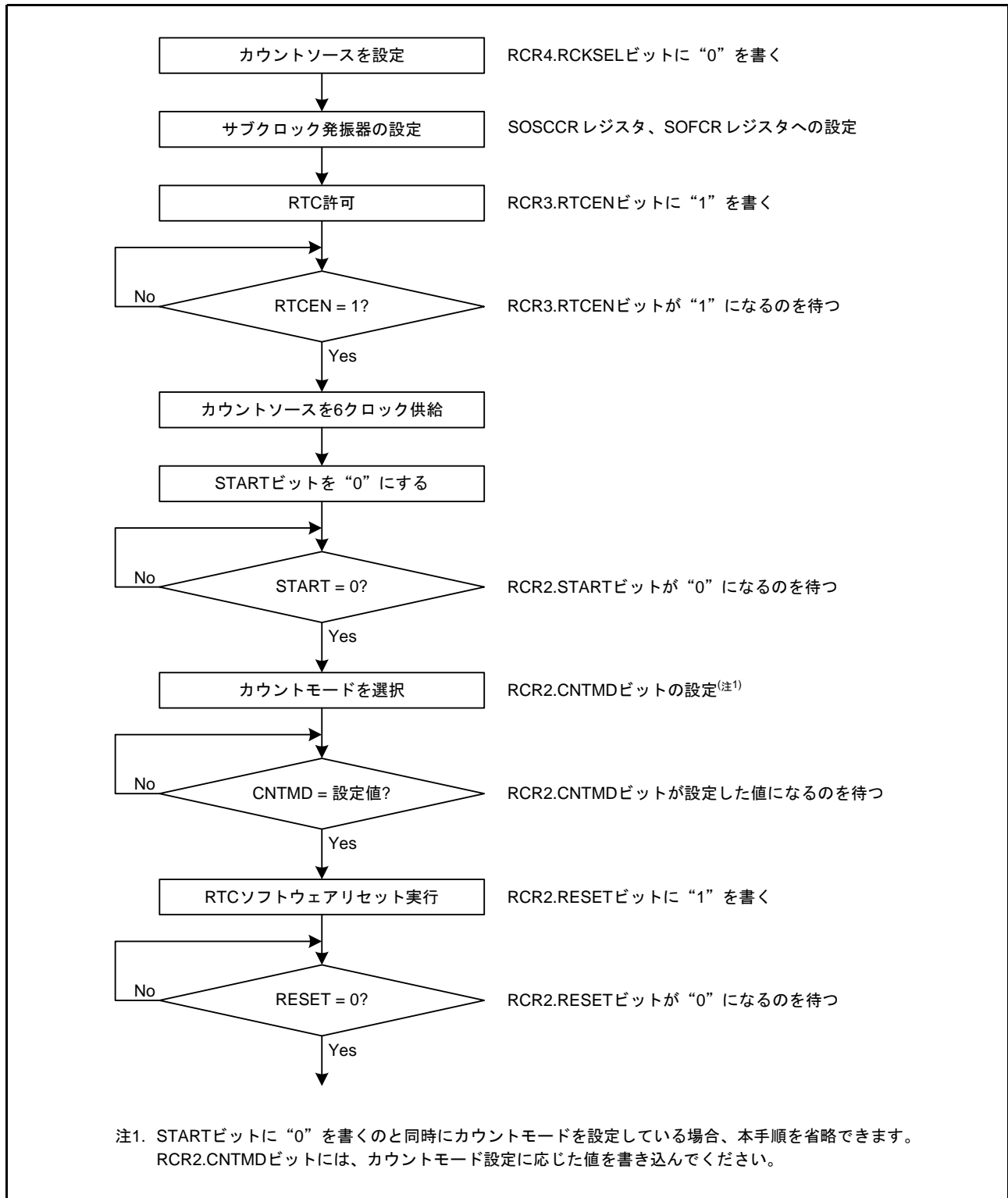


図 27.3 クロック設定手順

27.3.3 時刻設定手順

図 27.4 に時刻設定手順を示します。

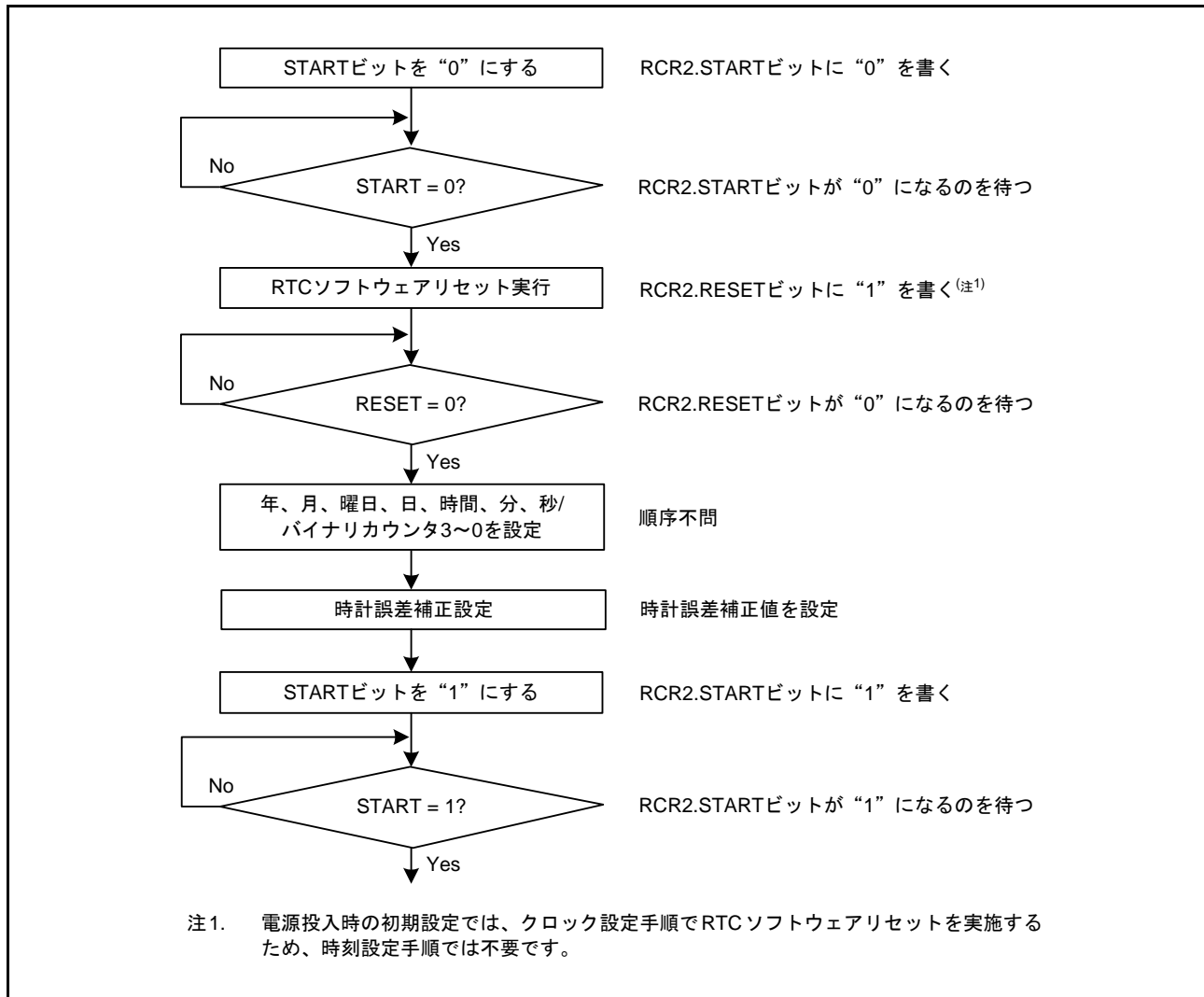


図 27.4 時刻設定手順

27.3.4 30秒調整手順

図 27.5 に30秒調整手順を示します。30秒調整機能はカレンダーカウントモードでのみ使用可能です。

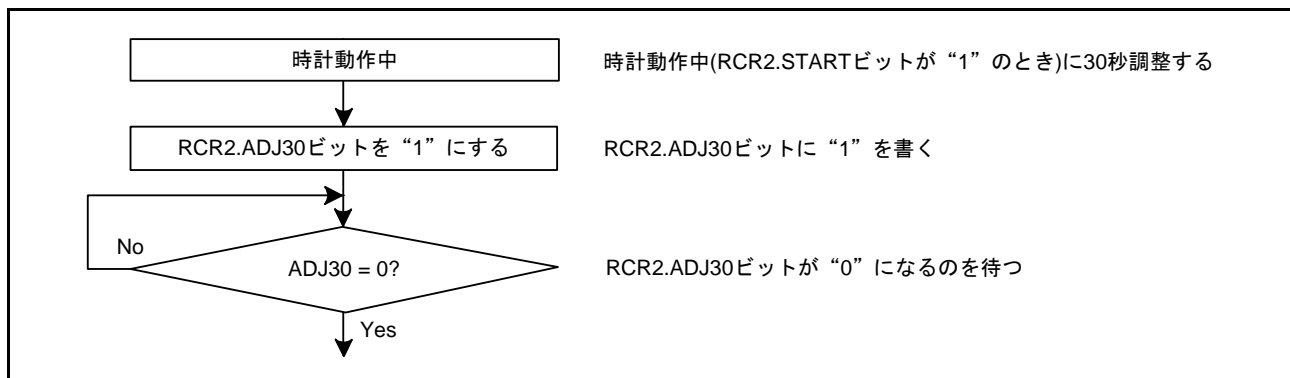


図 27.5 30秒調整手順

27.3.5 64Hz カウンタおよび時刻読み出し手順

図 27.6 に 64Hz カウンタおよび時刻読み出し手順を示します。

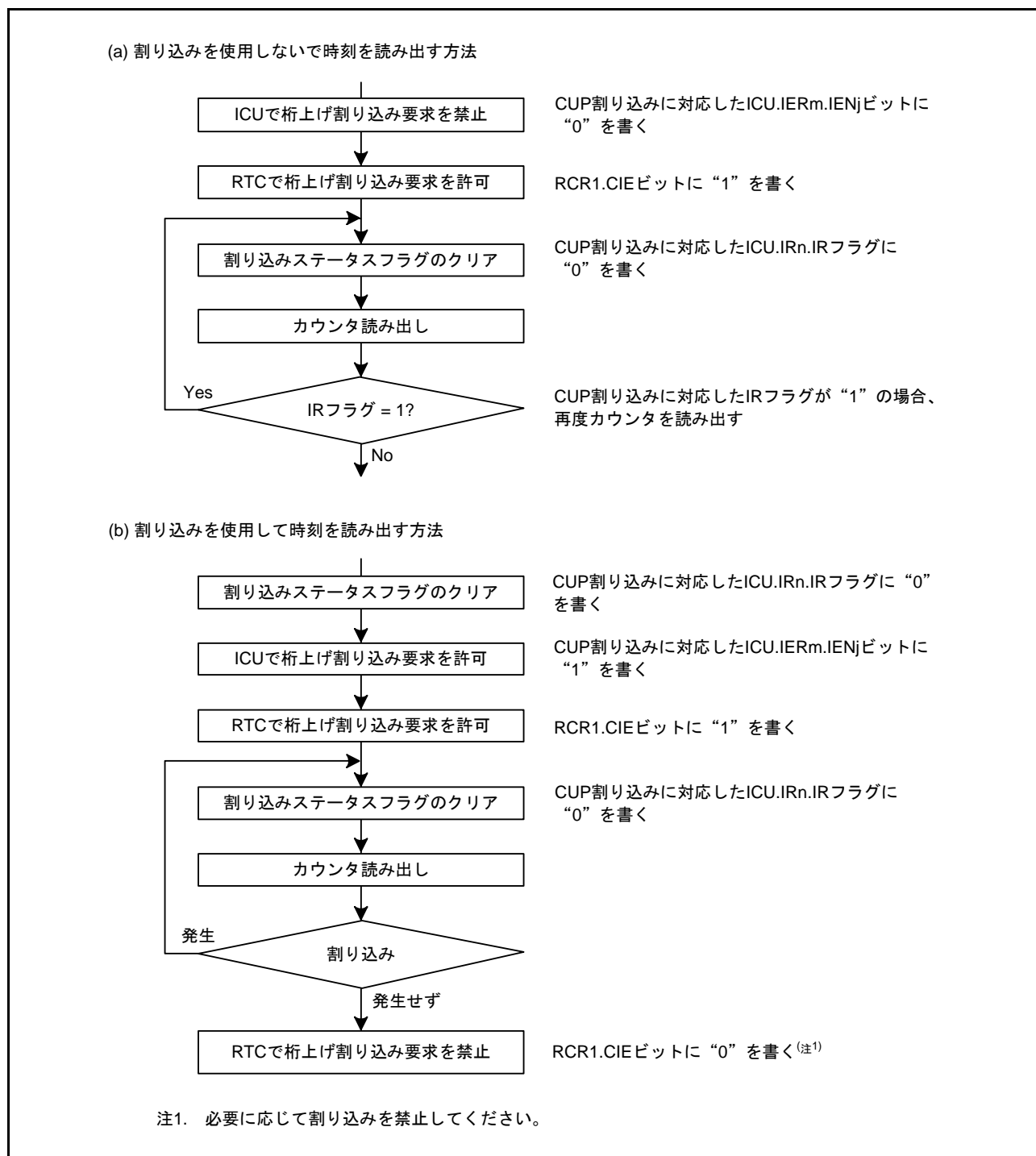


図 27.6 時刻読み出し手順

64Hz カウンタおよび時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 27.6 の (a) に、桁上げ割り込みを使用する方法を図 27.6 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

27.3.6 アラーム機能

図 27.7 にアラーム機能の使用方法を示します。

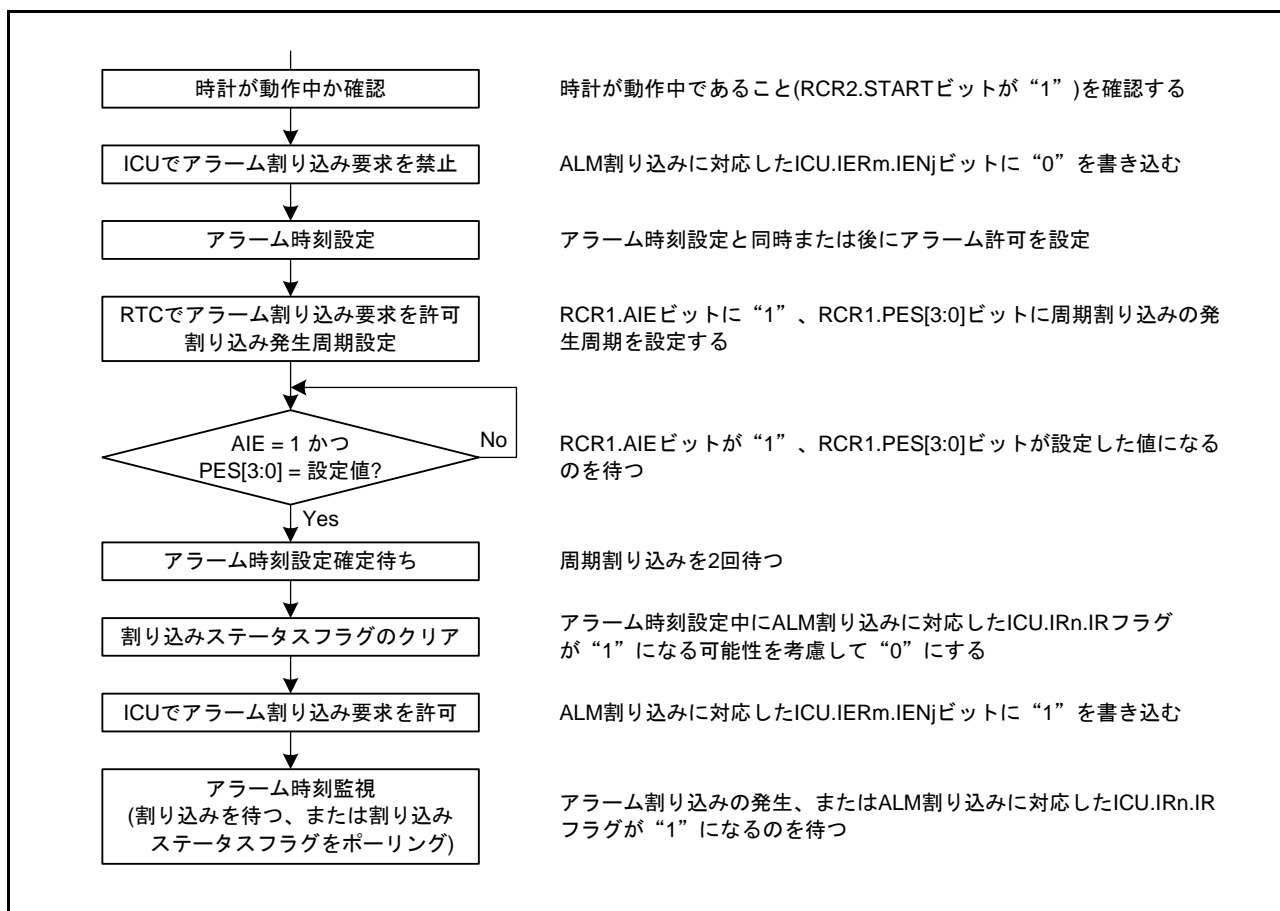


図 27.7 アラーム機能の使用方法

カレンダーカウントモードでは、アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタのENBビットに“1”を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに“0”を書き込みます。

バイナリカウントモードでは、32ビットの任意のビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラーム許可レジスタのENBビットに“1”を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットには、アラーム許可レジスタのENBビットに“0”を書き込みます。

カウンタとアラーム時刻が一致した場合は、ALM割り込みに対応したIRフラグが“1”になります。アラームの検出はこのフラグを読み出すことによって確認できますが、通常は割り込みで行います。ALM割り込みに対応した割り込み要求許可ビットに“1”が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

ALM割り込みに対応したIRフラグは“0”を書き込むと“0”になります。

低消費電力状態のときにカウンタとアラーム時刻が一致すると低消費電力状態から復帰します。また、ディープソフトウェアスタンバイモード時は、アラーム割り込み要求が禁止の場合でも、ディープソフトウェアスタンバイモードから復帰します。

27.3.7 アラーム割り込み禁止手順

図 27.8 に許可状態のアラーム割り込み要求を禁止する手順を示します。

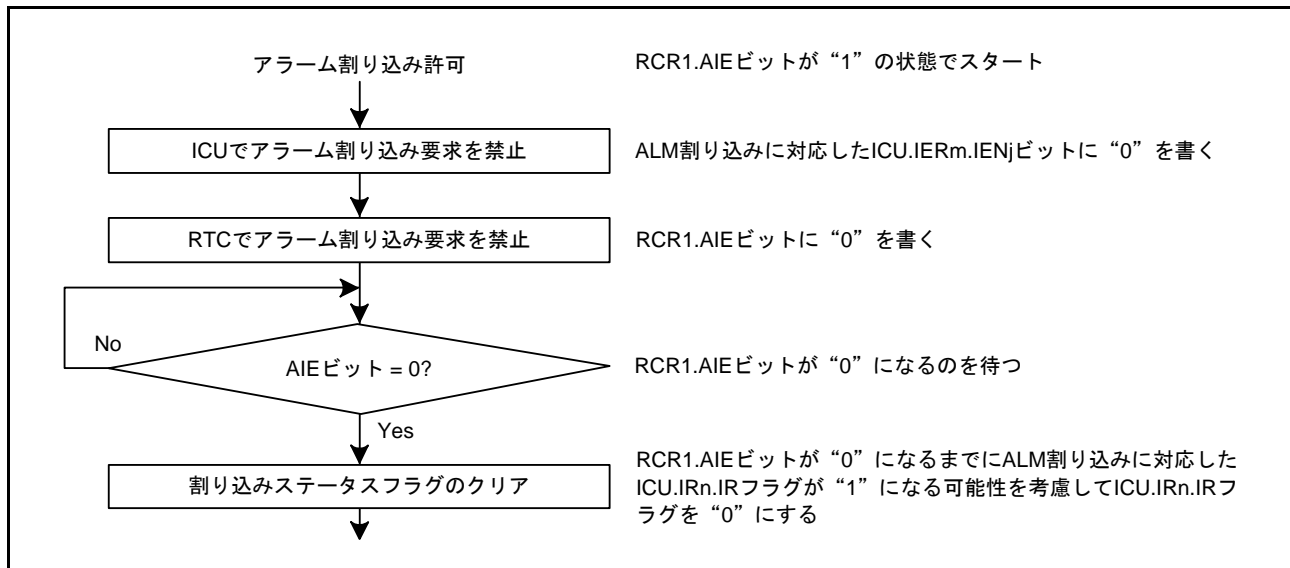


図 27.8 アラーム割り込み要求を禁止する手順

27.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロックの発振精度による時計の誤差（遅れる / 進む）を補正します。サブクロック選択時、32,768 クロックサイクルを 1 秒として動作するため、サブクロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。本機能により、時計を進めるか、遅らせることで誤差を補正することができます。

時計誤差補正機能には、自動補正とソフトウェアによる補正の 2 種類の補正機能があります。

自動補正、ソフトウェアによる補正の選択は、RCR2.AADJE ビットで設定してください。

27.3.8.1 自動補正機能

RCR2.AADJE ビットが“1”の場合、自動補正機能が有効です。

自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに RADJ レジスタ設定に応じて時計を進めるか、遅らせます。以下に例を示します。

例 1) サブクロック周波数 = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は、32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みません。1 分なら 60 クロックサイクル分、時計が進むため、1 分ごとに 60 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 60 (3Ch)

例 2) サブクロック周波数 = 32.766kHz

補正方法：

サブクロックの周波数が 32.766kHz の場合、32,766 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 2 クロックサイクル分、時計が遅れます。10 秒なら 20 クロックサイクル分、時計が遅れるため、10 秒ごとに 20 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 1 (10 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 20 (14h)

例 3) サブクロック周波数 = 32.764kHz

補正方法：

サブクロックの周波数が 32.764kHz の場合、32,764 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 4 クロックサイクル分、時計が遅れます。8 秒なら 32 クロックサイクル分、時計が遅れるため、8 秒ごとに“32”クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 1 の場合)

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 32 (20h)

27.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットが“0”の場合、ソフトウェアによる補正が有効です。

ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで RADJ レジスタ設定に応じて時計を進めるか、遅らせます。

例 1) サブクロック周波数 = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 秒ごとに 1 クロックサイクル分、時計が進むため、1 秒ごとに 1 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 1 (01h)
1 秒の割り込みごとに RADJ レジスタに書き込む

27.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にした後、RCR2.AADJE ビットを変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にする
- (2) RCR2.AADJE ビットを“1”(自動補正機能許可)にする
- (3) RCR2.AADJP ビットで補正周期を選択する
- (4) RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定する

自動補正から、ソフトウェアによる補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にする
- (2) RCR2.AADJE ビットを“0”(ソフトウェアによる補正機能有効)にする
- (3) 任意のタイミングで RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を書き込むと補正を行う。以降、RADJ レジスタに書き込むごとに補正を行う。

27.3.8.4 補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にしてください。

27.3.9 時間キャプチャ機能

RTCは時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、秒/バイナリカウンタ 3 ~ 0の値を格納します。

また、RTCの時間キャプチャイベント入力端子には、ノイズフィルタを使用することができます。ノイズフィルタを有効にした場合、端子の入力レベルが、3回一致することでTCSTビットが“1”になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタのON/OFFを設定できます。

ノイズフィルタOFFの場合の動作を図27.9に、ノイズフィルタONの場合の動作を図27.10に示します。

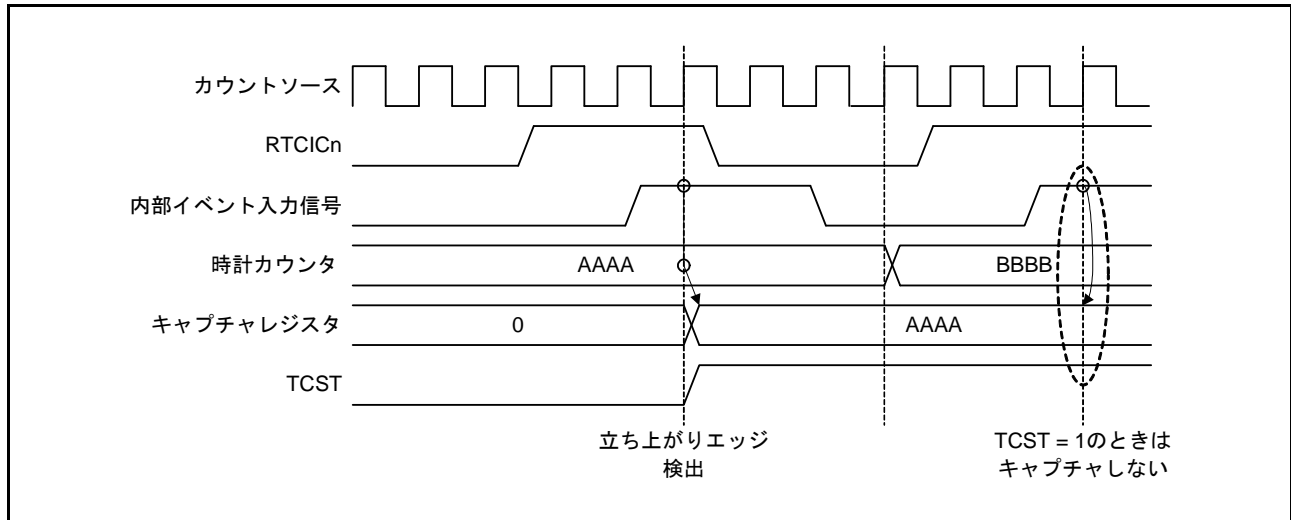


図 27.9 時間キャプチャ機能動作タイミング (フィルタ OFF) (n = 0 ~ 2)

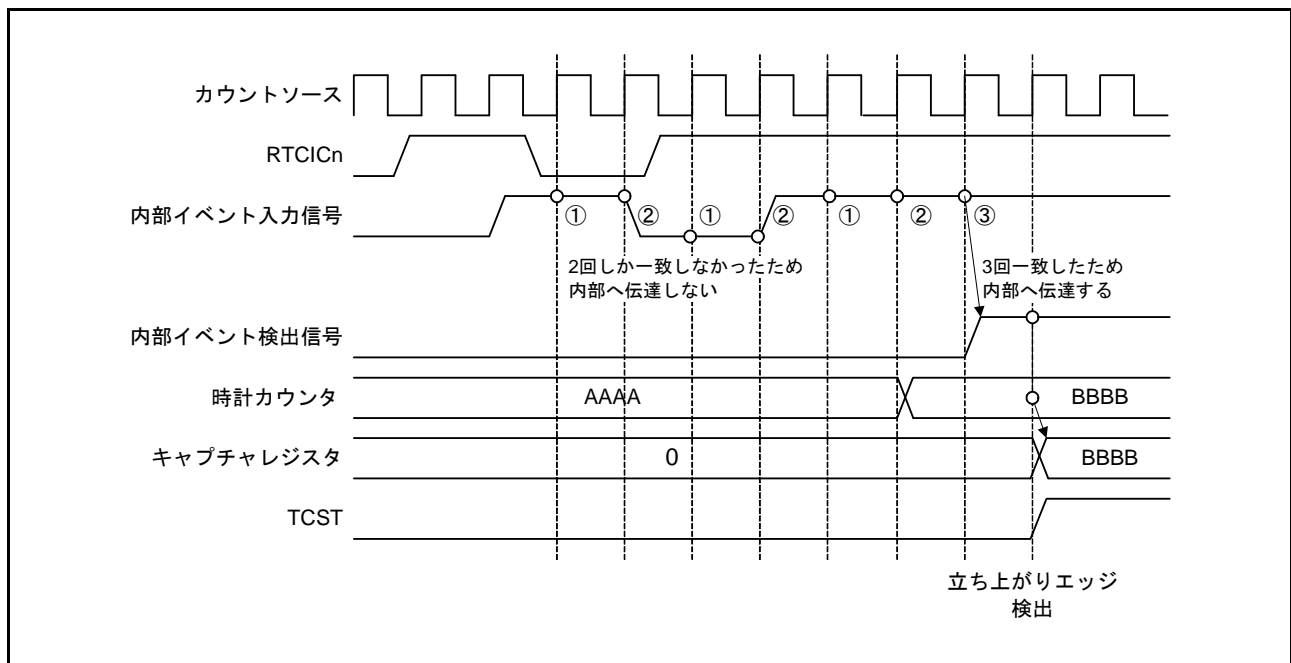


図 27.10 時間キャプチャ機能動作タイミング (フィルタ ON) (n = 0 ~ 2)

27.4 割り込み要因

RTC の割り込み要因には、以下の 3 種類があります。表 27.3 に RTC の割り込み要因を示します。

表 27.3 RTCの割り込み要因

名称	割り込み要因
ALM	アラーム割り込み
PRD	周期割り込み
CUP	桁上げ割り込み

(1) アラーム割り込み (ALM)

アラームレジスタと時計カウンタとの比較結果によって割り込みが発生します (詳細は「27.3.6 アラーム機能」を参照してください)。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグが“1”になる可能性があるため、アラームレジスタの変更後、アラーム時刻設定の確定を待ち、一度 ALM 割り込みに対応した IR フラグを“0”にしてください。アラーム割り込みの割り込みフラグは、一度“0”にすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまで“1”になりません。

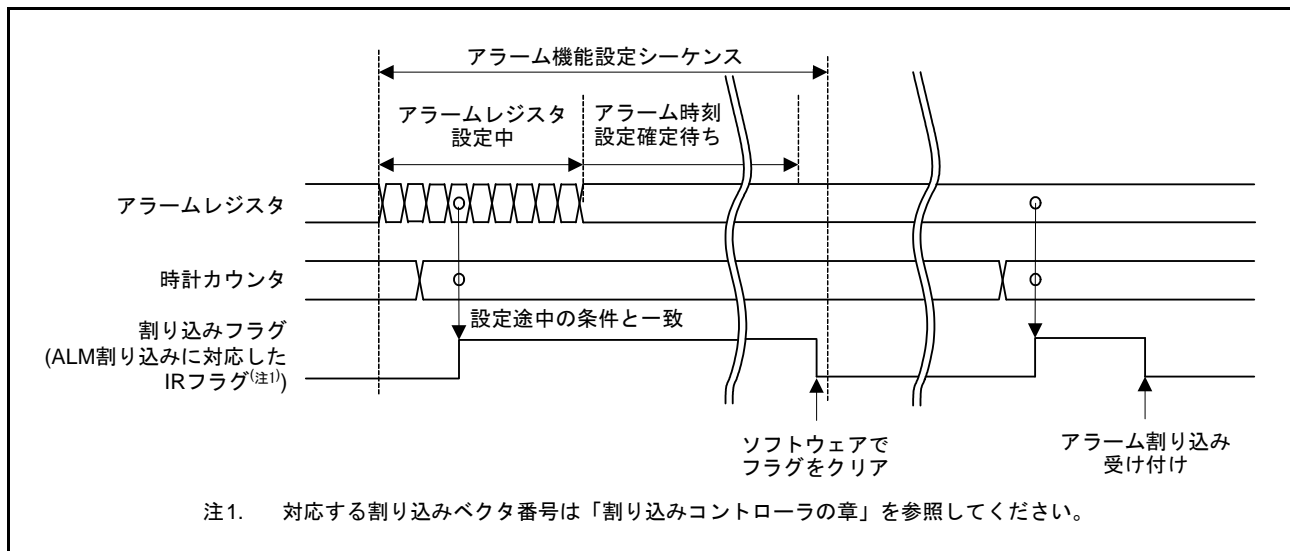


図 27.11 アラーム割り込み (ALM) のタイミングチャート

(2) 周期割り込み (PRD)

2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期で発生する割り込みです。RCR1.PES[3:0] ビットによって周期の選択が可能です。

(3) 桁上げ割り込み (CUP)

秒カウンタ/バイナリカウンタ 0 への桁上げが発生したとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが重なったときに発生する割り込みです。

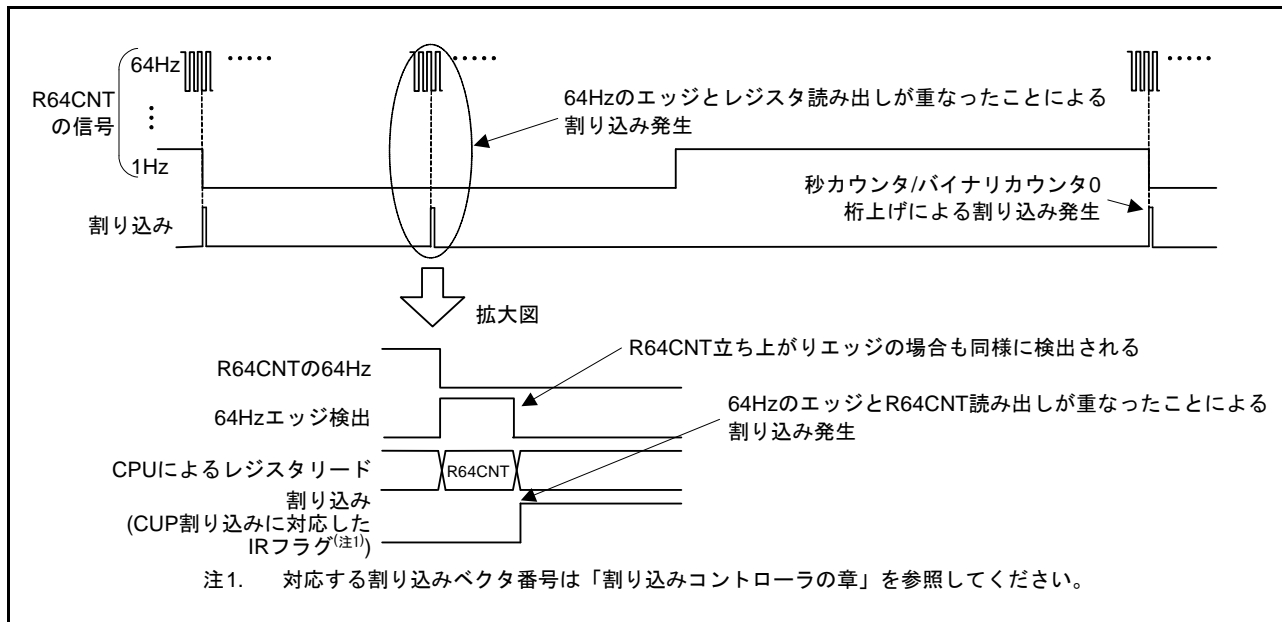


図 27.12 桁上げ割り込み (CUP) のタイミングチャート

27.5 イベントリンク出力機能

RTC はイベントリンクコントローラ (ELC) へ以下のイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

(1) 周期イベント出力

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択された周期でイベントを出力します。

また、イベント発生周期選択直後のイベント発生周期は保証されません。

注． RTC のイベントリンク出力機能を使用する場合は、RTC の設定 (初期化、時刻設定など) 後、ELC を設定して行ってください。ELC 設定後に RTC を設定すると、意図しないイベントが出力することがあります。

27.5.1 割り込み処理とイベントリンクの関係

RTC には、周期割り込みの許可 / 禁止を制御するビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

注． ソフトウェアスタンバイ中、ディープソフトウェアスタンバイ中もアラーム割り込み、周期割り込み出力することができますが、ELC 用の周期イベント信号は出力しません。

27.6 使用上の注意事項

27.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビット = 1 のとき) は、以下のレジスタに書き込みを行わないでください。

RSECCNT/BCNT0, RMINCNT/BCNT1, RHRCNT/BCNT2, RDAYCNT, RWKCNT/BCNT3, RMONCNT, RYRCNT, RCR1.RTCOS, RCR2.RTCOE, RCR2.HR24

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

27.6.2 周期割り込みの使用について

周期割り込みの使用方法を図 27.13 に示します。

周期割り込みは、RCR1.PES[3:0] ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケアラ、R64CNT、RSECCNT/BCNT0 カウンタを使用しているため、RCR1.PES[3:0] ビット設定直後の割り込み発生周期は保証されません。

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、割り込み発生周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值の分だけ周期がずれます。

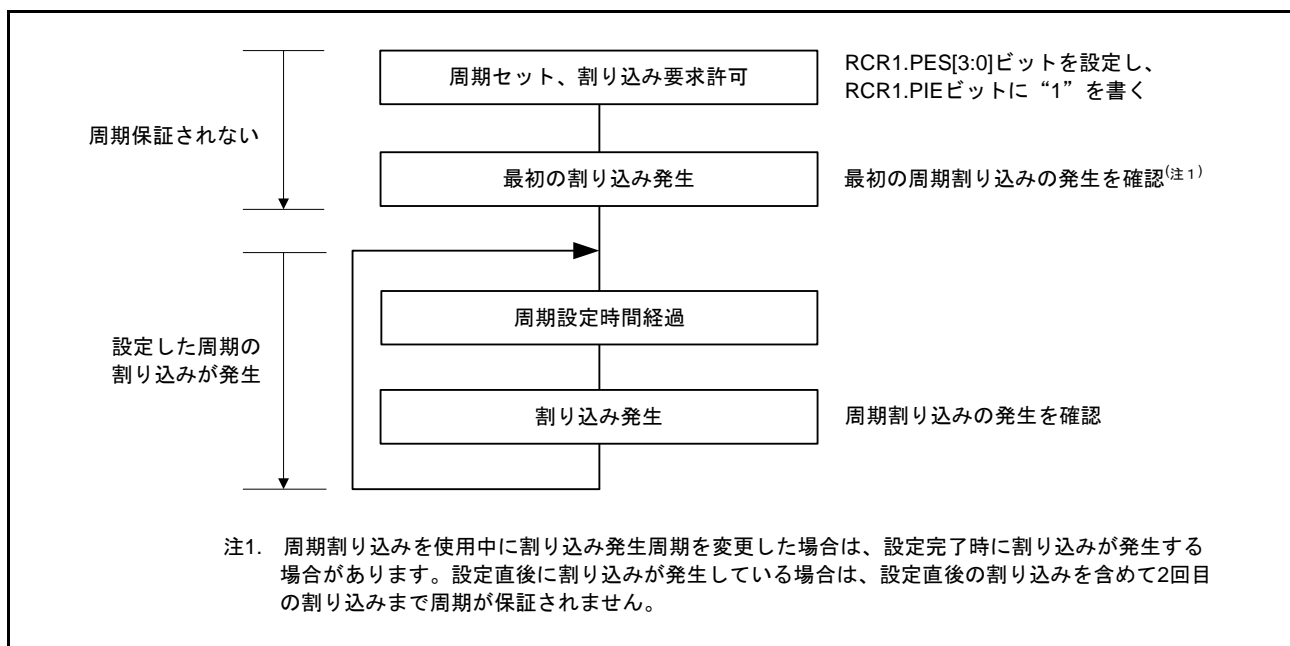


図 27.13 周期割り込み機能の使用方法

27.6.3 RTCOUT (1Hz/64Hz) 出力について

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、RTCOUT (1Hz/64Hz) 出力の周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の RTCOUT (1Hz/64Hz) 出力の周期は、補正值の分だけ周期がずれます。

27.6.4 レジスタ設定後の低消費電力モード移行について

RTC 内レジスタへの書き込み、およびレジスタ更新処理中に低消費電力状態 (ソフトウェアスタンバイモード/ディープソフトウェアスタンバイモード) へ遷移すると、レジスタ値を破壊する可能性があります。レジスタ設定後は、設定されたことを確認してから低消費電力状態に遷移してください。

27.6.5 レジスタの書き込み / 読み出し時の注意事項

- 秒カウンタなど、カウントレジスタの読み出しは、「27.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。
- カウントレジスタ、アラームレジスタ、年アラーム許可レジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR3 レジスタ、RCR4 レジスタに書いた値は、書き込み後 4 回目の読み出しから反映されます。
- RCR1.CIE、RTCOS ビット、RCR2.RTCOE ビットは、書き込み後すぐに書いた値を読み出すことができます。
- リセットまたはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードから復帰した後に時計カウンタの値を読み出すときは、時計動作中 (RCR2.START ビット = 1) で 1/128 秒待ってから読み出しを行ってください。
- リセット発生後、RTC レジスタへの書き込みは、カウントソース 6 サイクル経過後に行ってください。

27.6.6 カウントモードの変更について

カウントモード (カレンダー/バイナリ) を変更する場合には、RCR2.START ビットを“0”に設定し、カウント動作を停止させてから初期設定からやり直してください。初期設定の詳細は「27.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

27.6.7 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによる初期化が行われないため、初期状態によっては意図しない割り込み要求が発生したり、カウンタが動作することにより、電力消費量が多くなります。

リアルタイムクロックを必要としない製品では、**図 27.14** に示す初期化手順に従って、レジスタを初期化してください。

サブクロックを使用しない場合や、サブクロック発振器を搭載していない製品の場合、RCR4.RCKSEL ビットを“0” (サブクロック発振器を選択) にした後、RCR3.RTCEN ビットを“0” (RTC 無効) にしてください。

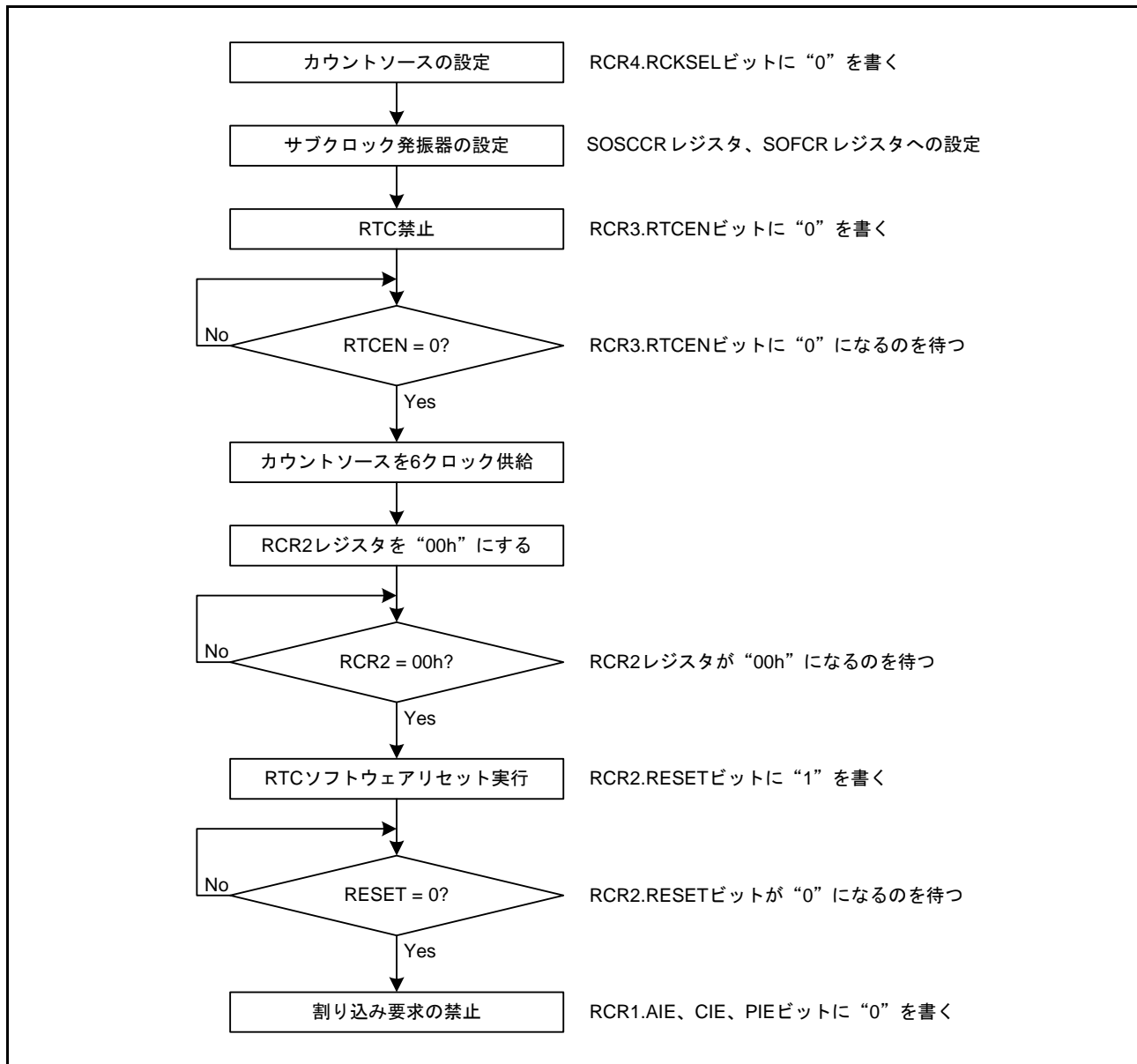


図 27.14 初期化手順

28. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタで、システムの暴走などによりカウンタの値がリフレッシュされずにアンダフローすると、MCU をリセットします。

また、アンダフローにより、ノンマスクابل割り込みを発生させることもできます。

カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、同許可期間を暴走検知の条件とすることができます。

本章に記載している PCLK とは PCLKB を指します。

28.1 概要

表 28.1 に WDT の仕様を示します。図 28.1 に WDT のブロック図を示します。

表 28.1 WDT の仕様

項目	内容
カウントソース	周辺モジュールクロック (PCLK)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> オートスタートモード：リセット解除後、自動的にカウント開始 レジスタスタートモード：リフレッシュ動作 (WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	<ul style="list-style-type: none"> リセット (ダウンカウンタ、レジスタは初期値に戻る) 低消費電力状態 アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット発行要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスクابل割り込み/割り込み要因	<ul style="list-style-type: none"> ダウンカウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能

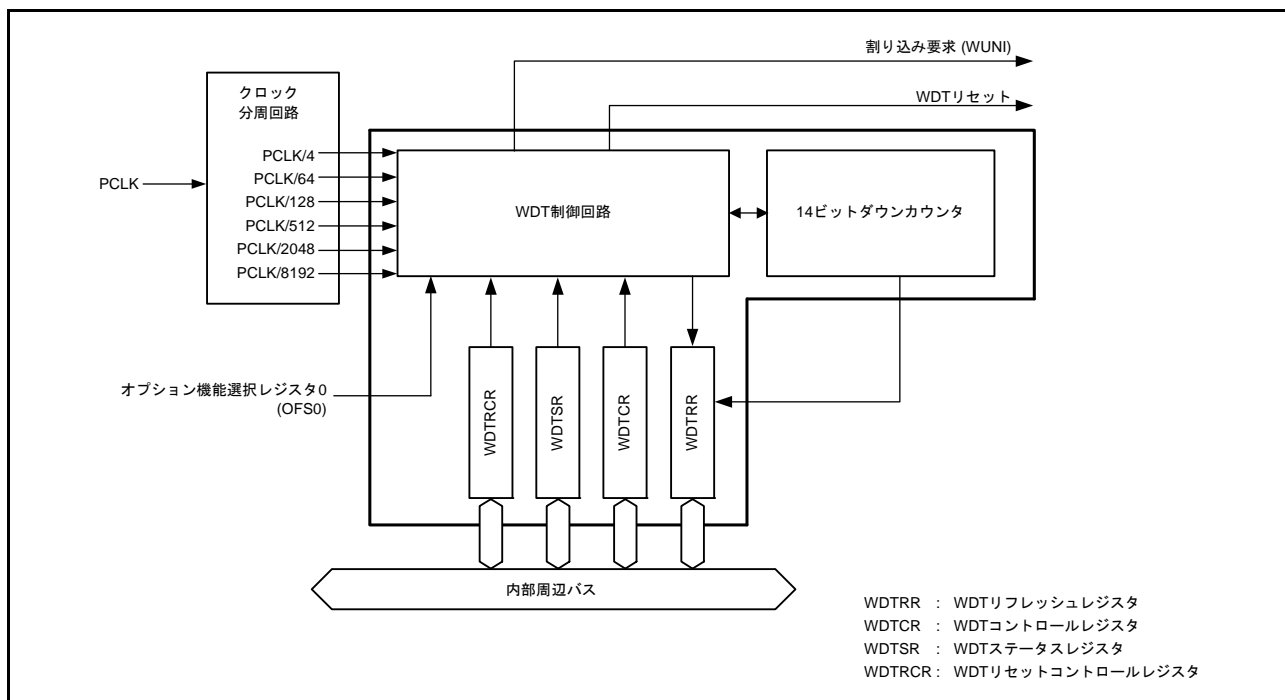
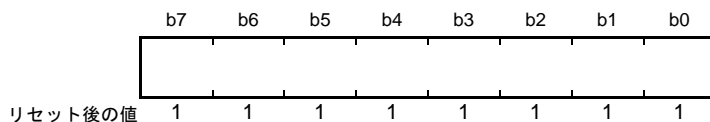


図 28.1 WDT のブロック図

28.2 レジスタの説明

28.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス 0008 8020h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む(リフレッシュ動作)ことにより WDT のダウンカウンタをリフレッシュします。

ダウンカウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の WDTTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを行います。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「28.3.3 リフレッシュ動作」を参照してください。

28.2.2 WDT コントロールレジスタ (WDTCR)

アドレス 0008 8022h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル(03FFh) 0 1 : 4096サイクル(0FFFh) 1 0 : 8192サイクル(1FFFh) 1 1 : 16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1 : 4分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 1 0 : 512分周 0 1 1 1 : 2048分周 1 0 0 0 : 8192分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

WDTCR レジスタへの書き込みには制限があります。詳細については、「28.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「28.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 28.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLK 数の関係を示します。

表 28.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	4分周	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	512分周	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	2048分周	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	8192分周	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択ビット)

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺モジュールクロック (PCLK) の 4 分周 /64 分周 /128 分周 /512 分周 /2048 分周 /8192 分周から選択できます。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLK の 4096 ~ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウの終了位置はタイムアウト期間の、75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウの開始位置はタイムアウト期間の、25%、50%、75%、100% から選択します。

設定値は、ウィンドウ開始位置 > ウィンドウ終了位置となるように設定してください。

ウィンドウ開始位置 ≤ ウィンドウ終了位置と設定した場合、ウィンドウ終了位置は、0% になります。

RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 28.3 に、設定されるリフレッシュ許可期間を図 28.2 に示します。

表 28.3 ウィンドウ開始、終了位置とカウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始、終了のカウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

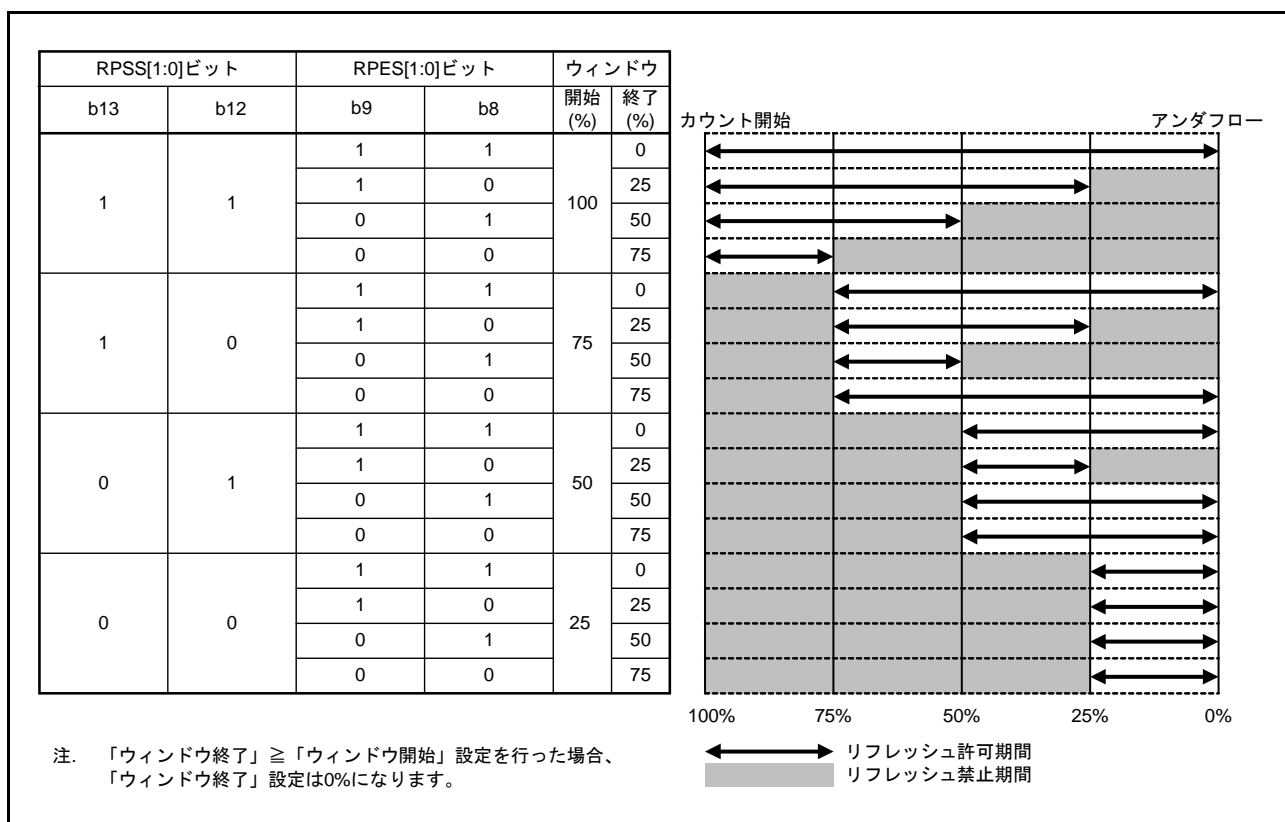
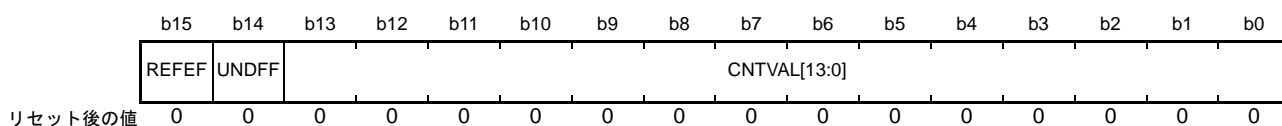


図 28.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

28.2.3 WDT ステータスレジスタ (WDTSR)

アドレス 0008 8024h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値ビット	ダウンカウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0 : アンダフローなし 1 : アンダフロー発生	R(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0 : リフレッシュエラーなし 1 : リフレッシュエラー発生	R(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (ダウンカウンタ値ビット)

ダウンカウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、ダウンカウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

ダウンカウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

28.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクابل割り込み要求、または割り込み要求出力を許可 1: リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには制限があります。詳細については、「28.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「28.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

28.2.5 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、「28.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

28.3 動作説明

28.3.1 カウント開始条件別の各動作

WDTはリセット解除後、自動的にカウントを開始するオートスタートモードと、リフレッシュ動作(レジスタ書き込み)によりカウントを開始するレジスタスタートモードの2種類のモードがあります。

オートスタートモードは、リセット解除後、ROM上のオプション機能選択レジスタ0(OFS0)の設定に従い、自動的にカウントを開始します。

レジスタスタートモードは、リセット解除後に各レジスタの設定後、リフレッシュ動作(レジスタ書き込み)により、カウントを開始します。

オートスタートモード、もしくはレジスタスタートモードの選択は、OFS0レジスタのWDTSTRTビットで行います。

オートスタートモード選択時は、WDTCRレジスタ、WDTRCRレジスタの設定は無効となり、OFS0レジスタの設定が有効となります。

一方、レジスタスタートモード選択時は、OFS0レジスタの設定は無効となり、WDTCRレジスタ、WDTRCRレジスタの設定が有効となります。

28.3.1.1 レジスタスタートモード

OFS0.WDTSTRTビットが“1”の場合、レジスタスタートモードとなり、WDTCRレジスタ、WDTRCRレジスタが有効となります。

リセット解除後、WDTCRレジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、またWDTRCRレジスタにリセット出力/割り込み要求出力の設定を行います。その後、リフレッシュ動作を行うことにより、ダウンカウンタは、WDTCR.TOPS[1:0]ビットで設定した値からダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDTはリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDTはリセットを出力するか、もしくはノンマスカブル割り込み要求/割り込み要求(WUNI)を出力します。リセット出力、または割り込み要求出力の選択は、WDTRCR.RSTIRQSビットの設定により行います。

図 28.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力許可 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

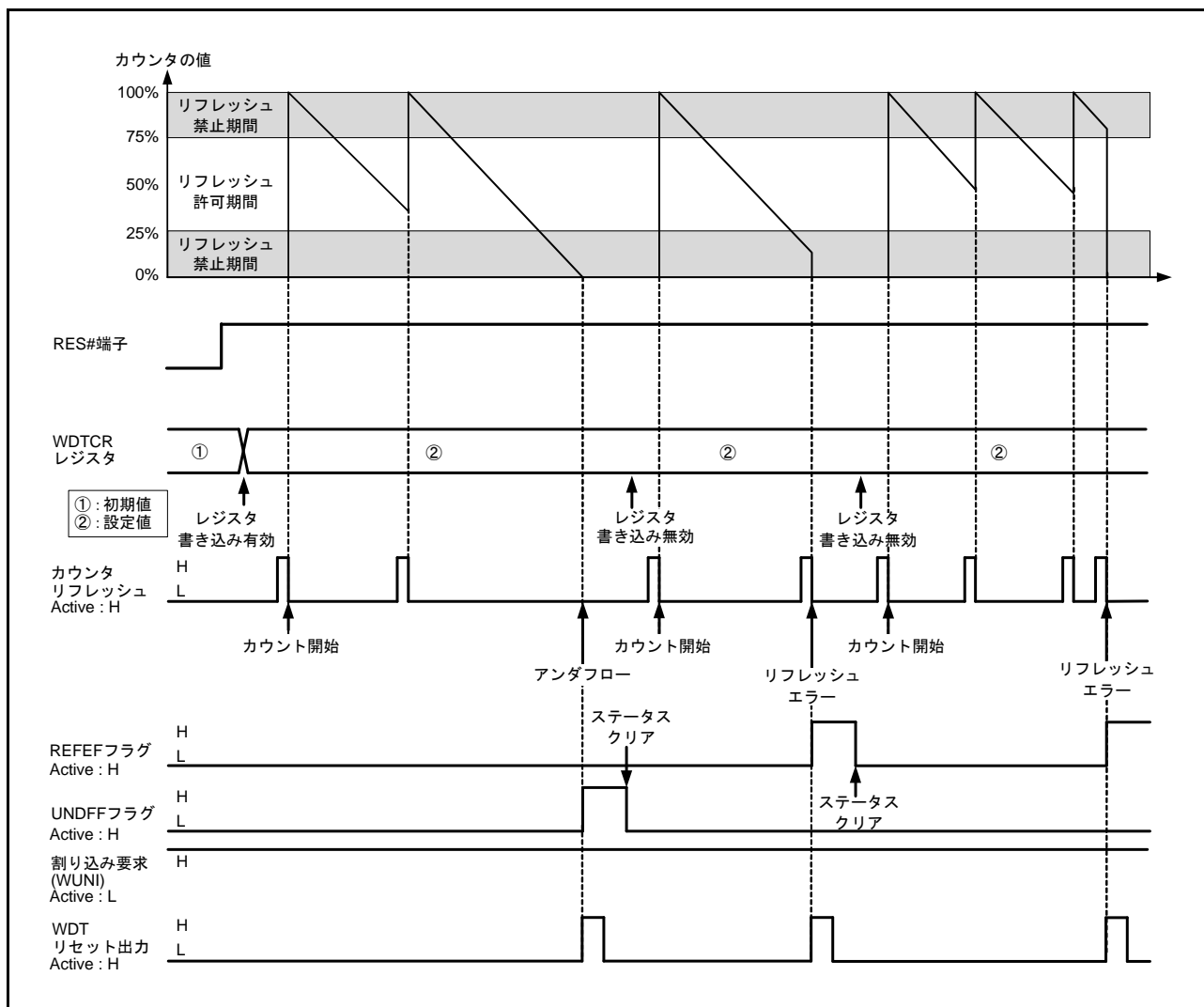


図 28.3 レジスタスタートモード動作例

28.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDTSTRT ビットが“0”の場合、オートスタートモードとなり、WDTCR レジスタ、WDTRCR レジスタが無効となり、OFS0 レジスタの設定が有効になります。

リセット期間中に OFS0 レジスタの設定値 (クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求) が WDT のレジスタに設定されます。その後、リセット解除でダウンカウンタに OFS0.WDTPPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行われず、ダウンカウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセットを出力するか、もしくはノンマスカブル割り込み要求/割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求/割り込み要求を 1 カウントサイクル出力後、ダウンカウンタはタイムアウト期間の値がセットされ、カウント動作を再開します。リセット出力、または割り込み要求出力の選択は、OFS0.WDTRSTIRQS ビットの設定により行います。

図 28.4 に以下の条件での動作例 (ノンマスカブル割り込み) を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- ノンマスカブル割り込み要求出力許可 (OFS0.WDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

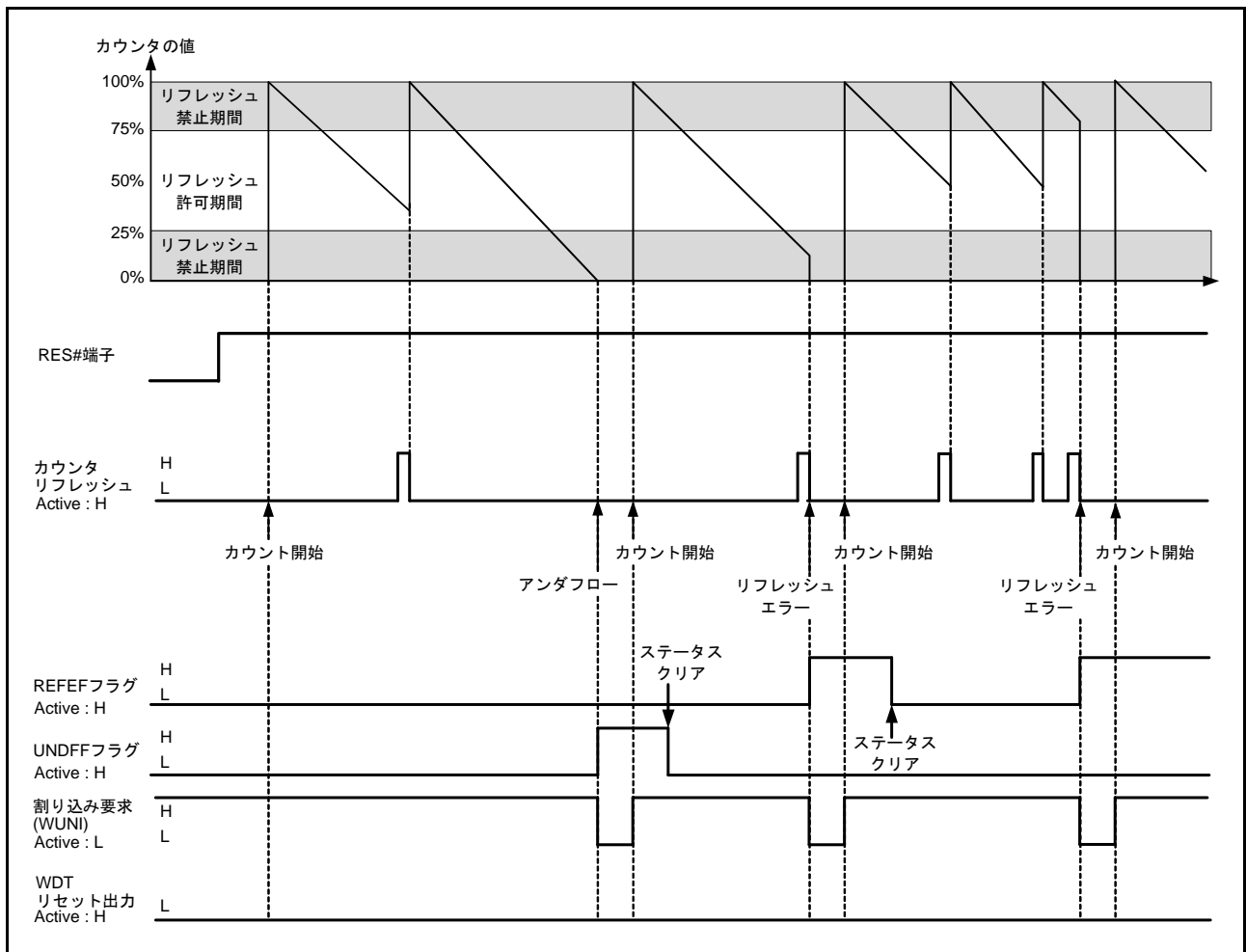


図 28.4 オートスタートモード動作例

28.3.2 WDTCR レジスタ、WDTRCR レジスタ書き込み制御

WDTCR レジスタ、WDTRCR レジスタへの書き込みは、リセット解除後から最初のリフレッシュ動作までの間に1回のみ可能です。

リフレッシュ動作(カウントスタート)後、もしくはWDTCR レジスタ、WDTRCR レジスタへ書き込みを行うと、WDT内部のプロテクト信号が“1”となり、以後WDTCR レジスタ、WDTRCR レジスタへの書き込みをプロテクトします。

WDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 28.5 に WDTCR レジスタ書き込み制御波形を示します。

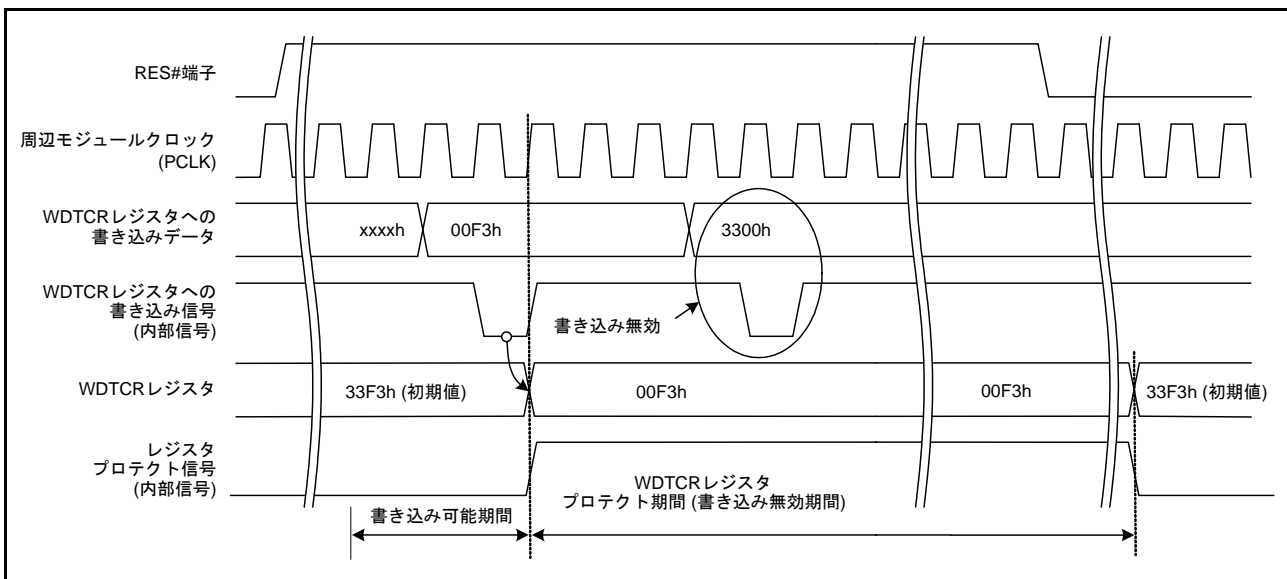


図 28.5 WDTCR レジスタ書き込み制御波形

28.3.3 リフレッシュ動作

ダウンカウンタのリフレッシュを行うには、WDTRR レジスタへ“00h”を書き込んだ後、続けて“FFh”書き込みを行ってください。“00h”の書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

WDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、WDTRR レジスタ以外へのアクセス、またはWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

リフレッシュのための書き込みは、リフレッシュ許可期間内に行う必要があります。書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh”の書き込み時に行っています。このため“00h”の書き込みがリフレッシュ許可期間外であってもリフレッシュは正常に行われます。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたはWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

ダウンカウンタがリフレッシュされるタイミングは、WDTRRレジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります。そのため、ダウンカウンタがアンダフローする4カウント前までに、WDTRRレジスタへの“FFh”書き込みを完了してください。

図 28.6 にクロック分周比が PCLK/64 の場合の WDT リフレッシュ動作波形を示します。

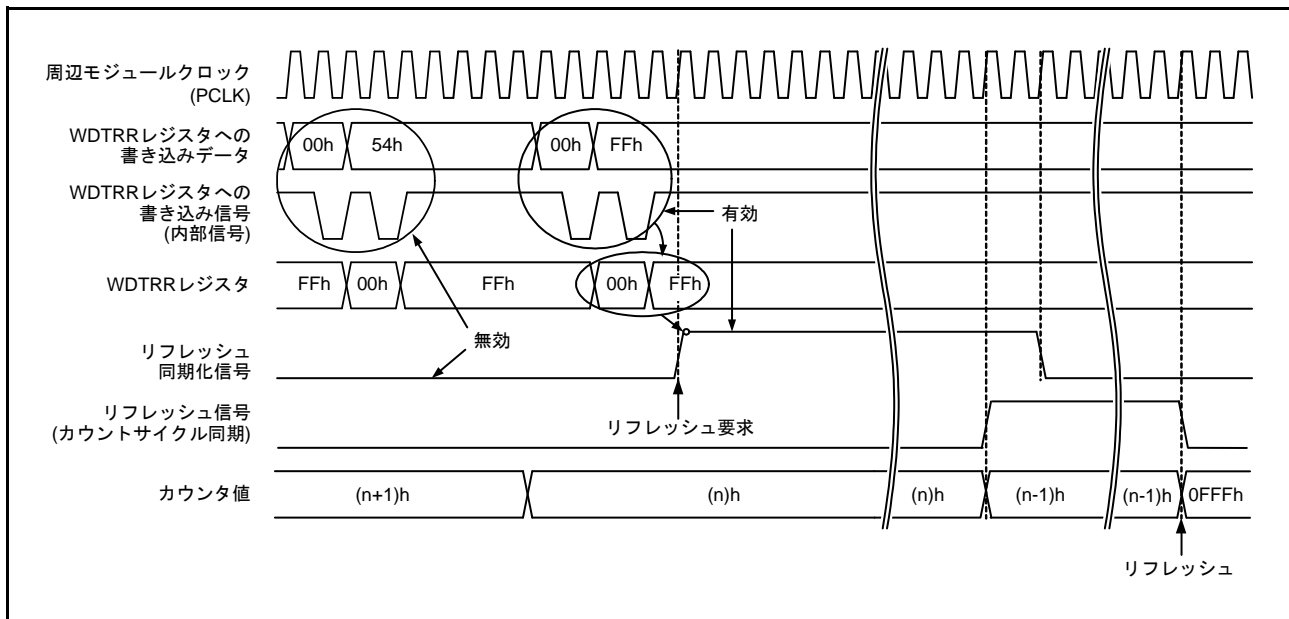


図 28.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

28.3.4 リセット出力

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを“1”にした場合、ダウンカウンタのアンダフロー、またはリフレッシュエラーにより、1 カウントサイクル間リセットを出力します。

レジスタスタートモードでは、リセット出力後、ダウンカウンタは初期状態 (ALL“0”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。オートスタートモードでは、リセット解除後、自動でダウンカウントを開始します。

28.3.5 割り込み要因

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスクابل割り込み、または割り込みの両方に対応しています。詳細は、「14. 割り込みコントローラ (ICUF)」を参照してください。

表 28.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	ダウンカウンタのアンダフロー リフレッシュエラー	不可能	不可能

28.3.6 ダウンカウンタ値の読み出し

WDTはカウンタ値を WDTSR.CNTVAL[13:0] ビットに格納します。WDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、カウンタ値を確認することができます。

図 28.7 にクロック分周比が PCLK/64 の場合のダウンカウンタ値の読み出し処理を示します。

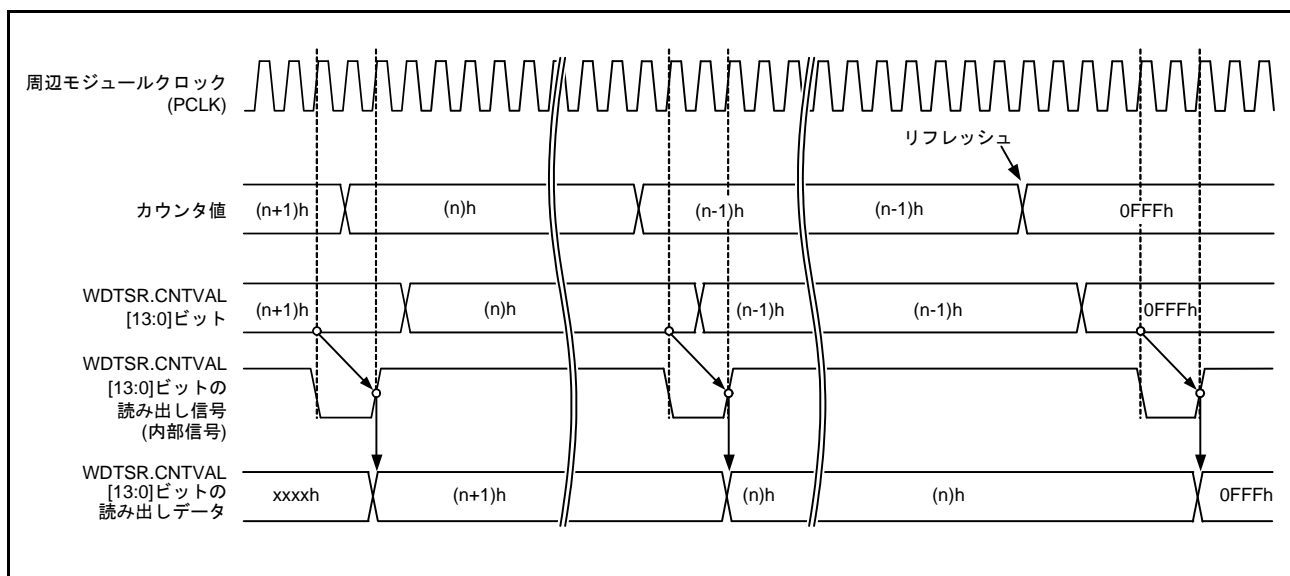


図 28.7 WDT ダウンカウンタ値の読み出し処理
(WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

28.3.7 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 28.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、WDT 動作中は変更しないでください。

OFS0 レジスタについては、「7.2.3 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 28.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS

29. 独立ウォッチドッグタイマ (IWDTa)

本章に記載している PCLK とは PCLKB を指します。

29.1 概要

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースは IWDT 専用クロック (IWDTCLK) を分周したもの (PCLK の影響を受けない)
- スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または、全モジュールクロックストップモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSTPR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

表 29.1 に IWDT の仕様を、図 29.1 に IWDT のブロック図を示します。

表 29.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> • オートスタートモード：リセット解除後、自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作 (IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	<ul style="list-style-type: none"> • リセット (ダウンカウンタ、レジスタは初期値に戻る) • 低消費電力状態 (レジスタ設定による(注2)) • アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
ノンマスクブル割り込み/割り込み要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能(出力)	<ul style="list-style-type: none"> • ダウンカウンタのアンダフローイベント出力 • リフレッシュエラーイベント出力
出力信号(内部信号)	<ul style="list-style-type: none"> • リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード (オプション機能選択レジスタ 0 (OFS0) 制御)	<ul style="list-style-type: none"> • リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	<ul style="list-style-type: none"> • リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (IWDTCR.RSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (IWDTCSTPR.SLCSTP ビット)

注1. 周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

注2. オートスタートモード時、OFS0.IWDTSLCSTP ビットが“1”の場合、レジスタスタートモード時、IWDTCSTPR.SLCSTP ビットが“1”の場合。

IWDT 使用時は、周辺モジュールクロック (PCLK) が停止した場合に備え、IWDT 専用クロック (IWDTCLK) が必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14 ビットのカウンタと制御回路は IWDTCLK で動作します。

図 29.1 に IWDT のブロック図を示します。

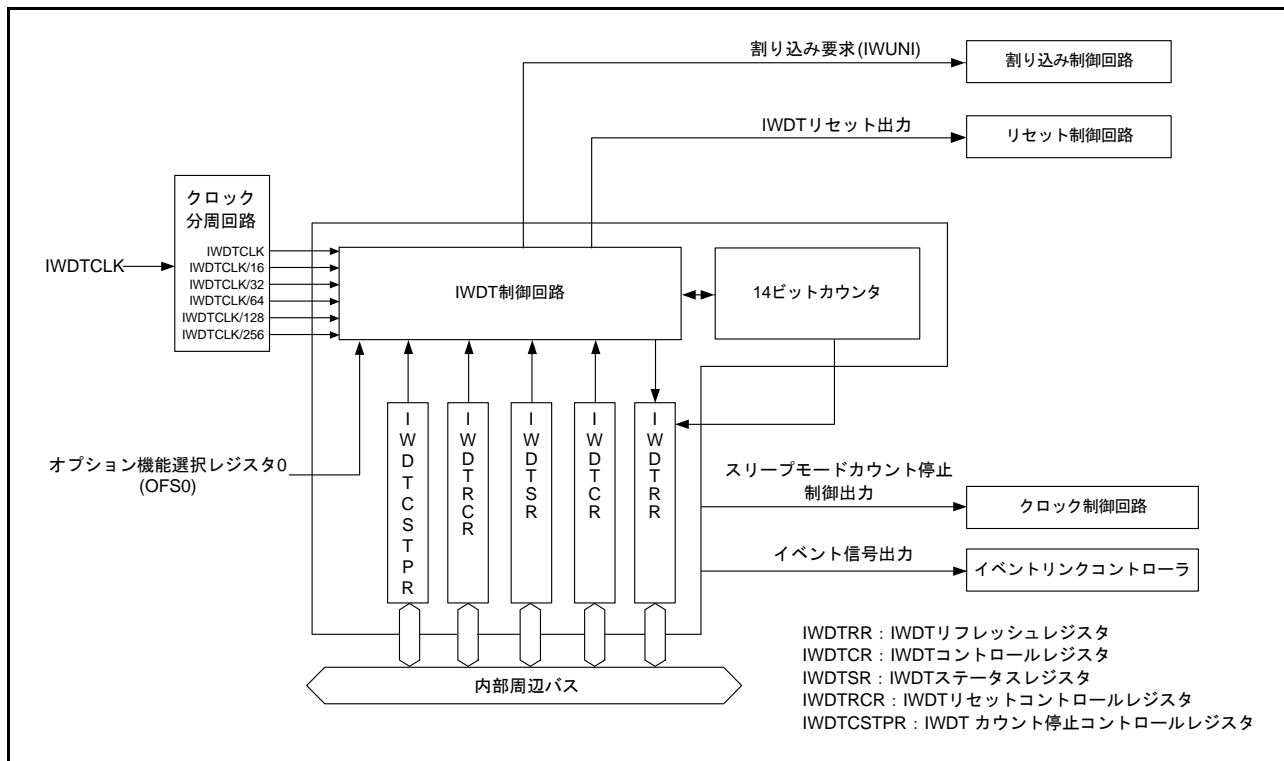
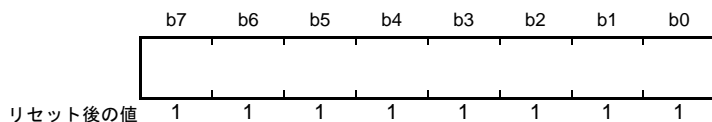


図 29.1 IWDT のブロック図

29.2 レジスタの説明

29.2.1 IWDt リフレッシュレジスタ (IWDtRR)

アドレス IWDt.IWDtRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDtRR レジスタは、IWDt のカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDtRR レジスタに“00h”を書き込み後、“FFh”を書き込む(リフレッシュ動作)により IWDt のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDtTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDtCR.TOPs[1:0] ビットで設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDtCR.TOPs[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「29.3.3 リフレッシュ動作」を参照してください。

29.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス IWDT.IWDTCR 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル(03FFh) 0 1 : 4096サイクル(0FFFh) 1 0 : 8192サイクル(1FFFh) 1 1 : 16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「29.3.2 IWDTCR レジスタ、IWDTCR レジスタ、IWDTCRSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 29.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 29.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	0	1	0	0	0	16分周	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	0	1	1	0	0	32分周	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	0	1	0	0	256分周	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 1024 ~ 4194304 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 29.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表29.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 29.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

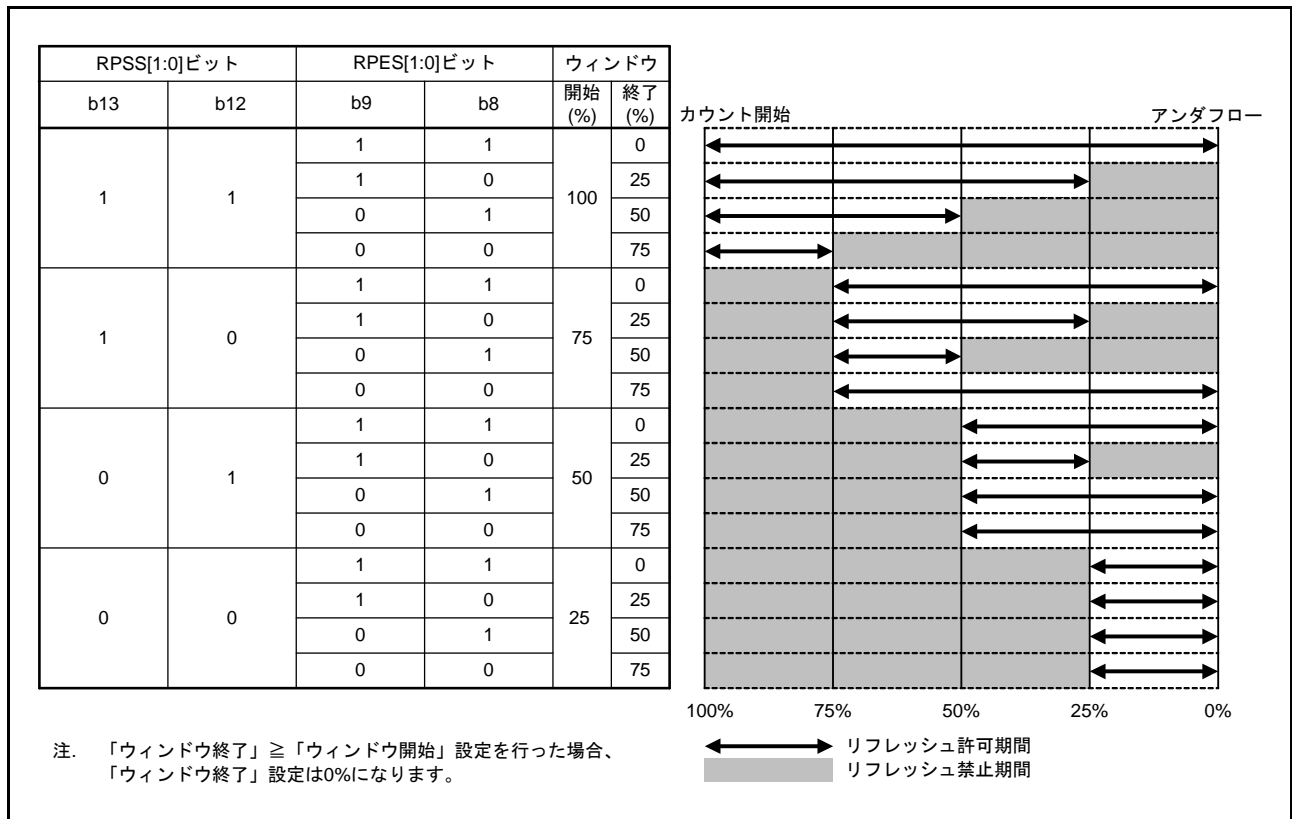
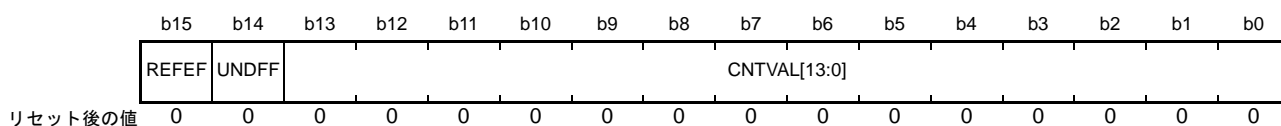


図 29.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

29.2.3 IWDt ステータスレジスタ (IWDtSR)

アドレス IWDt.IWDtSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

IWDtSR レジスタは、IWDt へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

29.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス IWDT.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスクブル割り込み要求、または割り込み要求出力を許可 1：リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「29.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

29.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSTPR)

アドレス IWDT.IWDTCSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCST P	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、 ディープソフトウェアスタンバイモード、および全モ ジュールクロックストップモード遷移時のカウント停 止有効	R/W

低消費電力状態時、IWDT のカウンタを停止させるかどうかを設定するレジスタです。なお、IWDTCSTPR レジスタへの書き込みには制限があります。詳細については、「29.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止を選択します。

29.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

29.3 動作説明

29.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットで行います。

OFS0.IWDTSTRT ビットが“1”(レジスタスタートモード)の場合、IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSNTPR レジスタの設定が有効となり、IWDTRR レジスタへのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0”(オートスタートモード)の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

29.3.1.1 レジスタスタートモード

OFS0.IWDTSTRT ビットが“1”の場合、レジスタスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSNTPR レジスタが有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSNTPR レジスタに低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でカウンタに IWDTCR.TOPS[1:0] ビットで選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスクブル割り込み要求/割り込み要求 (IWUNI) を出力します。IWDTRCR.RSTIRQS ビットで、リセット出力、または割り込み要求出力のいずれかを選択します。

図 29.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)

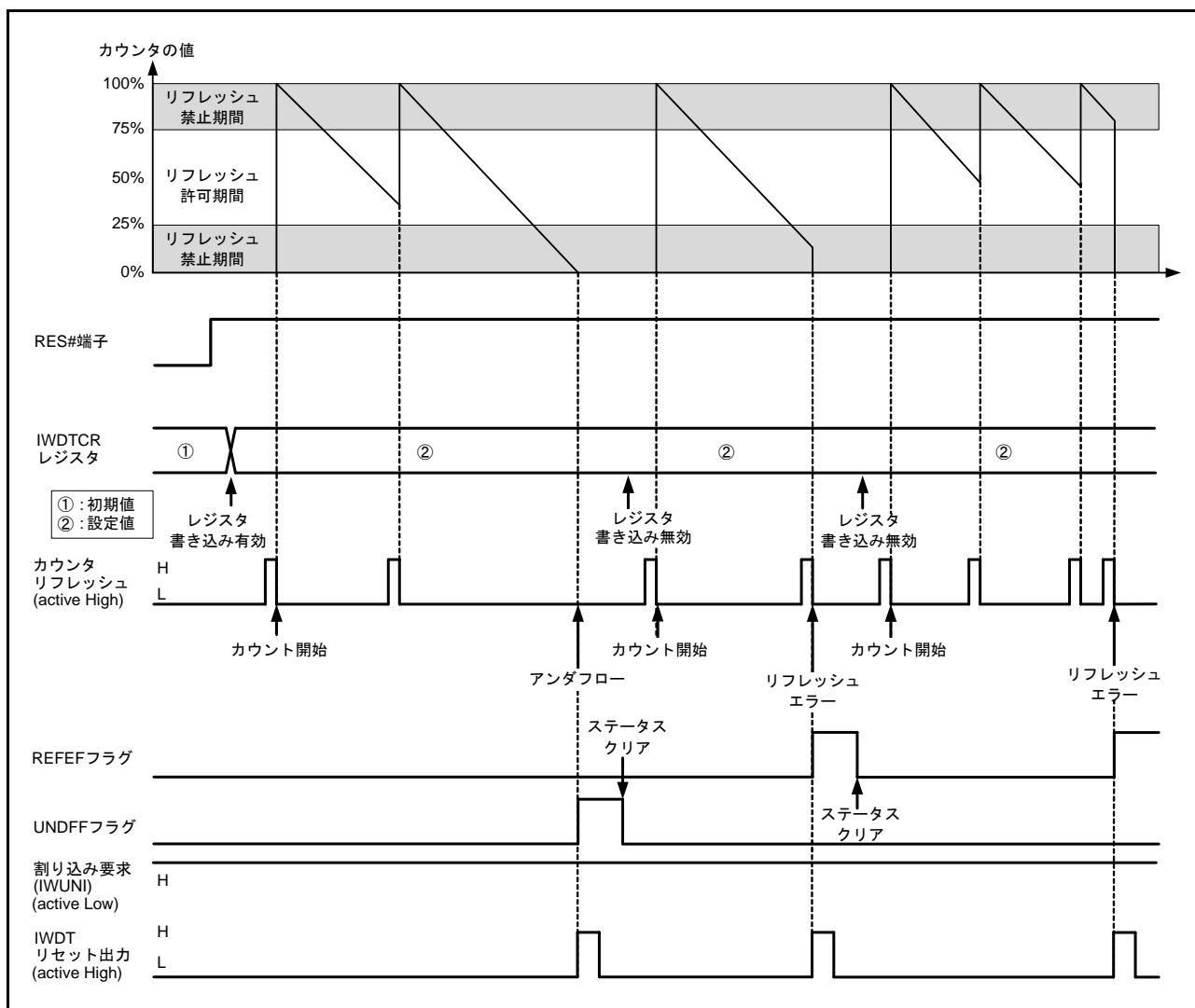


図 29.3 レジスタスタートモード動作例

29.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットが“0”の場合、オートスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSPTPR レジスタが無効となります。

また、リセット期間中に OFS0 レジスタの値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態への遷移時での IWDT のカウンタのカウンタ停止制御の設定が行われます。その後、リセット解除でカウンタに OFS0.IWDTTOPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求/割り込み要求 (IWUNI) を出力します。リセットまたはノンマスカブル割り込み要求/割り込み要求 (IWUNI) が発生後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウンタ動作を再開します。OFS0.IWDRSTIRQS ビットで、リセット出力、または割り込み要求出力のいずれかを選択します。

図 29.4 に以下の条件での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- ノンマスカブル割り込み要求出力許可 (OFS0.IWDRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDRPES[1:0] = 10b)

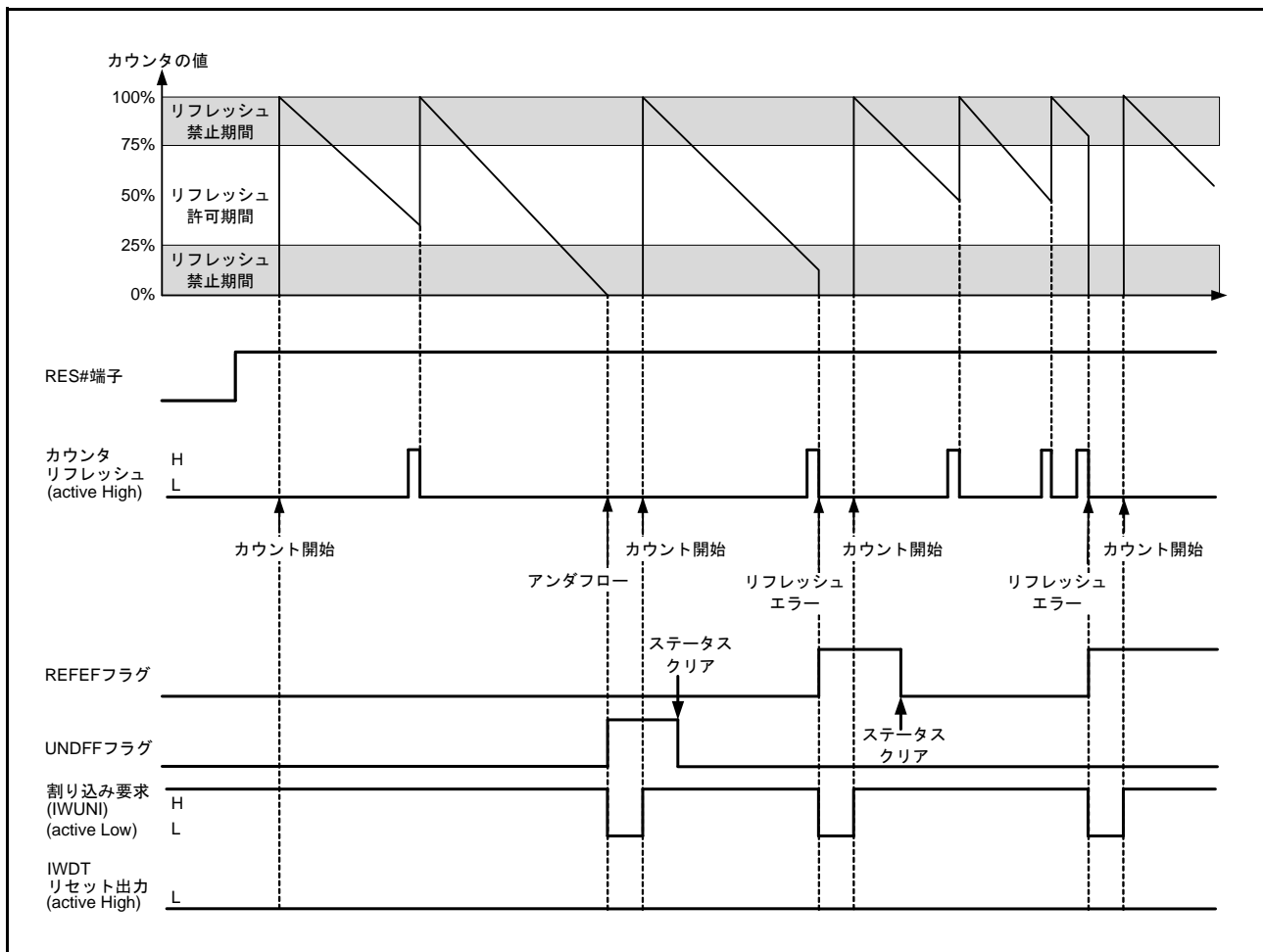


図 29.4 オートスタートモード動作例

29.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSSTPR レジスタ書き込み制御

IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSSTPR レジスタへの書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR レジスタ、IWDTRCR レジスタ、または IWDTCSSTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が “1” となり、以後 IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSSTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 29.5 に IWDTCR レジスタ書き込み制御波形を示します。

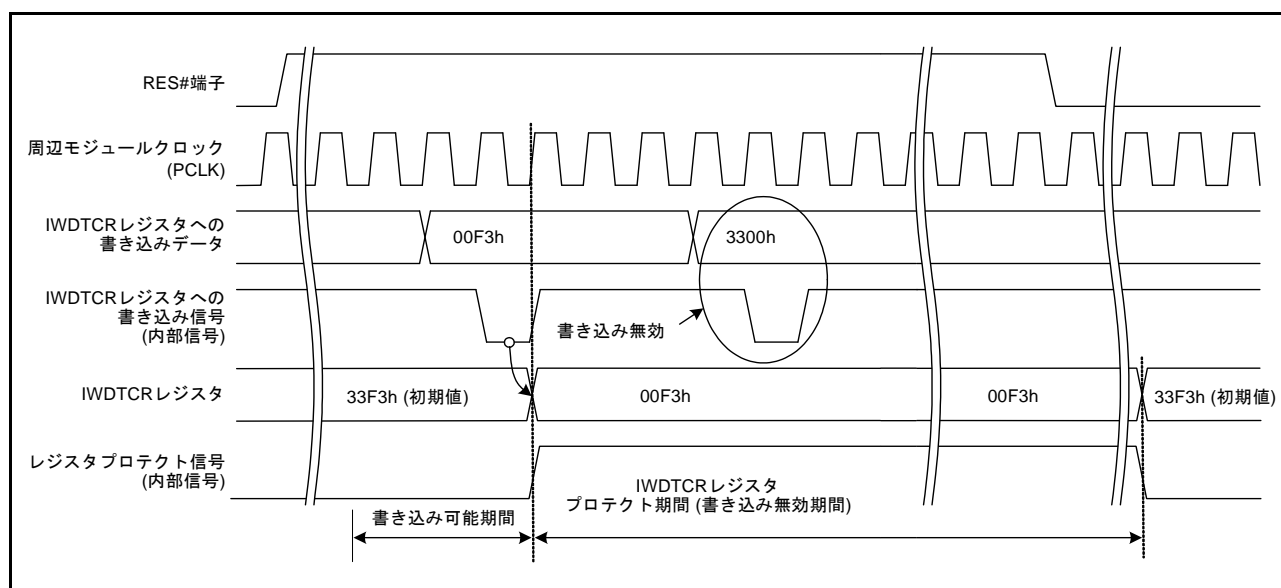


図 29.5 IWDTCR レジスタ書き込み制御波形

29.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始 (リフレッシュによるカウント開始) を行うには、IWDTRR レジスタへの“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1 回目) → “00h” (2 回目) の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h” (n-1 回目) → “00h” (n 回目) → “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大 4 サイクル必要となります (1 サイクル間の IWDTC 専用クロック (IWDTCCLK) 数は、IWDTCR.CKS[3:0] ビットの設定値により異なります)。そのため、リフレッシュ許可期間終了位置から 4 カウント前、もしくはカウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。カウンタの値は IWDTSR.CNTVAL[13:0] ビットで確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が“1FFFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“1FFFh”より前 (たとえば“2002h”) であっても、IWDTSR.CNTVAL[13:0] ビットの値が“1FFFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が“1FFFh”とした場合、IWDTRR レジスタへ“00h” → “FFh”を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“2003h” (“1FFFh”の 4 カウント前) 以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ“00h” → “FFh”を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“0003h” (アンダフローの 4 カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 29.6 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

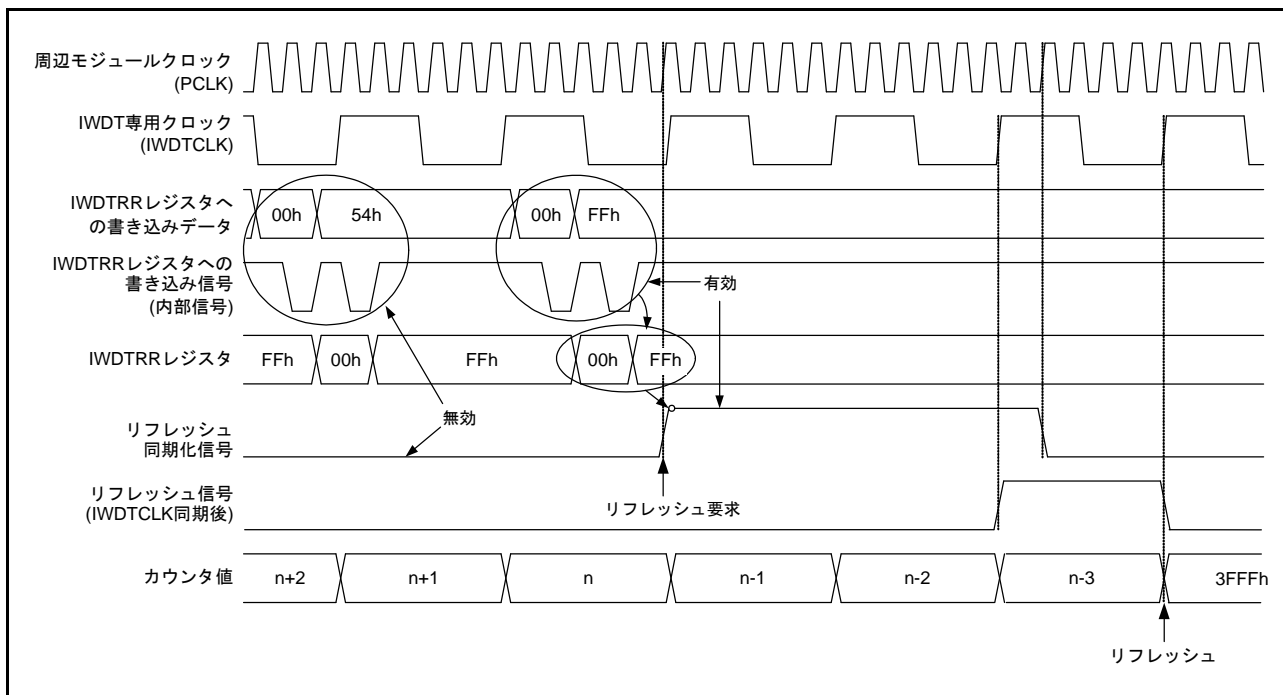


図 29.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

29.3.4 ステータスフラグ

IWDTSR.REFDEF フラグ、IWDTSR.UNDFE フラグは、IWDt がリセットを出力した場合のリセット要因、または IWDt の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFDEF フラグ、または IWDTSR.UNDFE フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDt がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDt の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDtCLK 3 クロックと PCLK 2 クロック必要です。

29.3.5 リセット出力

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDTRSTIRQS ビットを“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

29.3.6 割り込み要因

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“0”にした場合、またはオートスタートモード時、OFS0.IWDTRSTIRQS ビットを“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (IWUNI) が発生します。本割り込みはノンマスクブル割り込みまたはマスクブル割り込みとして使用できます。詳細は、「14. 割り込みコントローラ (ICUF)」を参照してください。

表 29.4 IWDt の割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
IWUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

29.3.7 カウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を周辺モジュールクロック (PCLK) で同期化し、IWDTSR.CNTVAL[13:0] ビットに格納します。IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLK で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 29.7 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT カウンタ値の読み出し処理を示します。

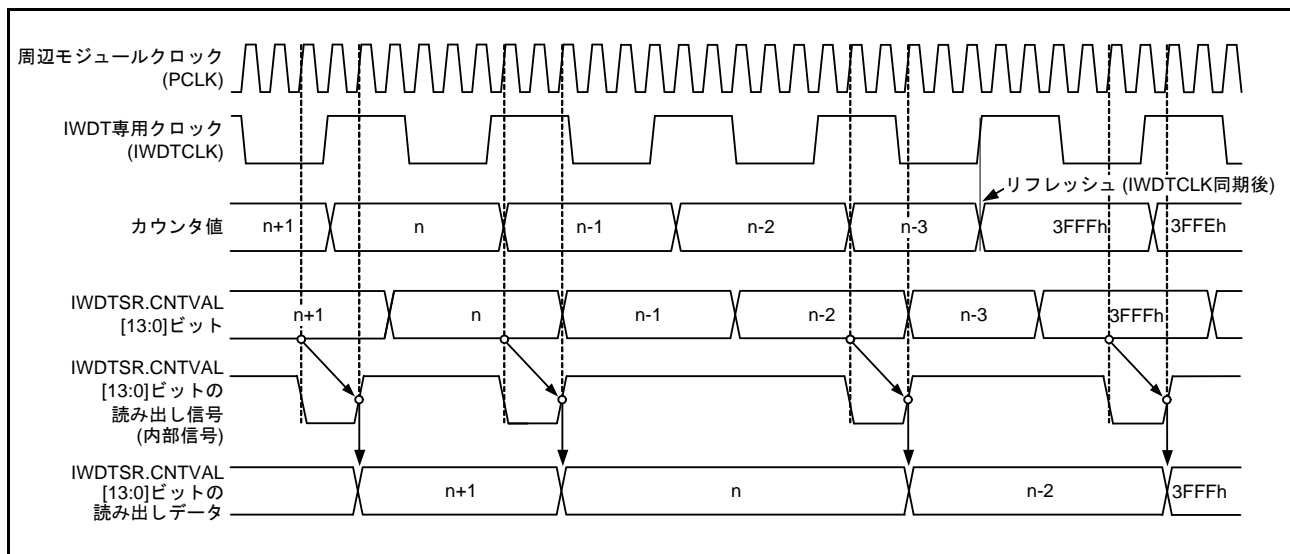


図 29.7 IWDT カウンタ値の読み出し処理
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

29.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 29.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、IWDT 動作中は変更しないでください。

OFS0 レジスタについては、「7.2.3 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 29.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

29.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) は IWDT が生成する割り込み要求をイベント信号として使用します。IWDT が割り込み要求を出力すると、あらかじめ設定したモジュールに対してイベントが発生します。カウンタのアンダフロー、およびリフレッシュエラーによりイベント信号を出力します。

レジスタスタートモード時の IWDTCCR.RSTIRQS ビット、もしくはオートスタートモード時の OFS0.IWDRSTIRQS ビットの設定に関わらず、イベント信号を出力します。また、IWDTSR.REFEF フラグ、または IWDTSR.UNDFE フラグが、“1” の状態で、次の割り込み要因が発生した場合でもイベント信号出力が可能です。

詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

29.5 使用上の注意事項

29.5.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

29.5.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

30. シリアルコミュニケーションインタフェース (SCIk, SCIm, SCIlh)

本 MCU は、独立した 13 チャンネルのシリアルコミュニケーションインタフェース (SCI: Serial Communications Interface) を備えています。SCI は、SCIk モジュール (SCI0 ~ SCI9)、SCIm モジュール (SCI10, SCI11) と、SCIlh モジュール (SCI12) から構成されています。

SCIk (SCI0 ~ SCI9) と SCIm (SCI10, SCI11) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIlh (SCI12) は、上記の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは、SCI0 ~ SCI9、SCI12 では PCLKB を、SCI10、SCI11 では PCLKA を指します。

30.1 概要

表 30.1 に SCIk の仕様を、表 30.2 に SCIm の仕様を、表 30.3 に SCIlh の仕様を、表 30.4 に SCI チャンネル別機能一覧を示します。

図 30.1 に SCI0 ~ SCI4、SCI7 ~ SCI9 のブロック図を、図 30.2 に SCI5、SCI6 のブロック図を、図 30.3 に SCI10、SCI11 のブロック図を、図 30.4 に SCI12 (SCIlh) のブロック図を示します。

表 30.1 SCIk の仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表 30.5 ~ 表 30.7 参照
データ転送	LSB ファースト/MSB ファースト選択可能 (注1)
入出力信号レベル反転	入力信号、出力信号のレベルをそれぞれ独立して反転可能
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、データ一致開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能	チャンネルごとにモジュールストップ状態への遷移が可能

表 30.1 SCIkの仕様 (2/2)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能
	データ一致検出	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がリエッジまたは立ち上がりエッジのいずれかを遅延させることが可能
	ブ레이크検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出す、またはSPTR.RXDMONフラグを読み出すことでブ레이크を検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能(SCI5, SCI6)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インパースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「30.2.13 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能	内蔵ボーレートジェネレータの出力補正により誤差を低減可能	
イベントリンク機能(SCI5のみ対応)	エラー(受信エラー・エラーシグナル検出)イベント出力	
	受信データフルイベント出力	
	送信データエンプティイベント出力	
	送信終了イベント出力	

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 30.2 SCImの仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> • 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易I²Cバス • 簡易SPIバス

表 30.2 SCImの仕様 (2/2)

項目		内容
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表30.5～表30.7参照
データ転送		LSBファースト/MSBファースト選択可能(注1)
入出力信号レベル反転		入力信号、出力信号のレベルをそれぞれ独立して反転可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、データ一致 開始条件/再開条件/停止条件生成終了(簡易I ² Cモード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信FIFO	送信16段、受信16段のFIFOを利用可能
	データ一致検出	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	Lowまたは立ち下がりエッジを選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がりエッジまたは立ち上がりエッジのいずれかを遅延させることが可能
	ブ레이크検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出す、またはSPTR.RXDMONフラグを読み出すことでブ레이크を検出可能
	クロックソース	内部クロック/外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵	
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信FIFO	送信16段、受信16段のFIFOを利用可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「30.2.13 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 30.3 SCIlhの仕様 (1/2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易I²Cバス 簡易SPIバス
転送速度		ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 30.5～表 30.8参照
データ転送		LSBファースト/MSBファースト選択可能(注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー開始条件/再開条件/停止条件生成終了(簡易I ² Cモード用)
消費電力低減機能		モジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インパースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「30.2.13 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能

表 30.3 SCIlhの仕様 (2/2)

項目		内容
拡張シリアルモード	Start Frame送信	<ul style="list-style-type: none"> Break Field Low widthの出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり
	Start Frame受信	<ul style="list-style-type: none"> Break Field Low widthの検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 Break FieldがないStart Frameにも対応可能 Control Field 0がないStart Frameにも対応可能 ビットレート測定機能あり
	入出力制御機能	<ul style="list-style-type: none"> TXDX12/RXDX12信号の極性選択が可能 RXDX12信号にデジタルフィルタ機能を設定可能 RXDX12端子とTXDX12端子を兼用した半二重通信が可能 RXDX12端子受信データサンプリングタイミング選択可能
	タイマ機能	<ul style="list-style-type: none"> リロードタイマ機能として使用可能
ビットレートモジュレーション機能		内蔵ポーレートジェネレータの出力補正により誤差を低減可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 30.4 SCIチャネル別機能一覧

項目	SCI0～SCI4, SCI7～SCI9	SCI5	SCI6	SCI10, SCI11	SCI12
調歩同期式モード	○	○	○	○	○
クロック同期式モード	○	○	○	○	○
スマートカードインタフェースモード	○	○	○	○	○
簡易I ² Cモード	○	○	○	○	○
簡易SPIモード	○	○	○	○	○
FIFOモード	—	—	—	○	—
データ一致検出	○	○	○	○	—
拡張シリアルモード	—	—	—	—	○
TMRクロック入力	—	○	○	—	○
イベントリンク機能	—	○	—	—	—
周辺モジュールクロック	PCLKB	PCLKB	PCLKB	PCLKA	PCLKB

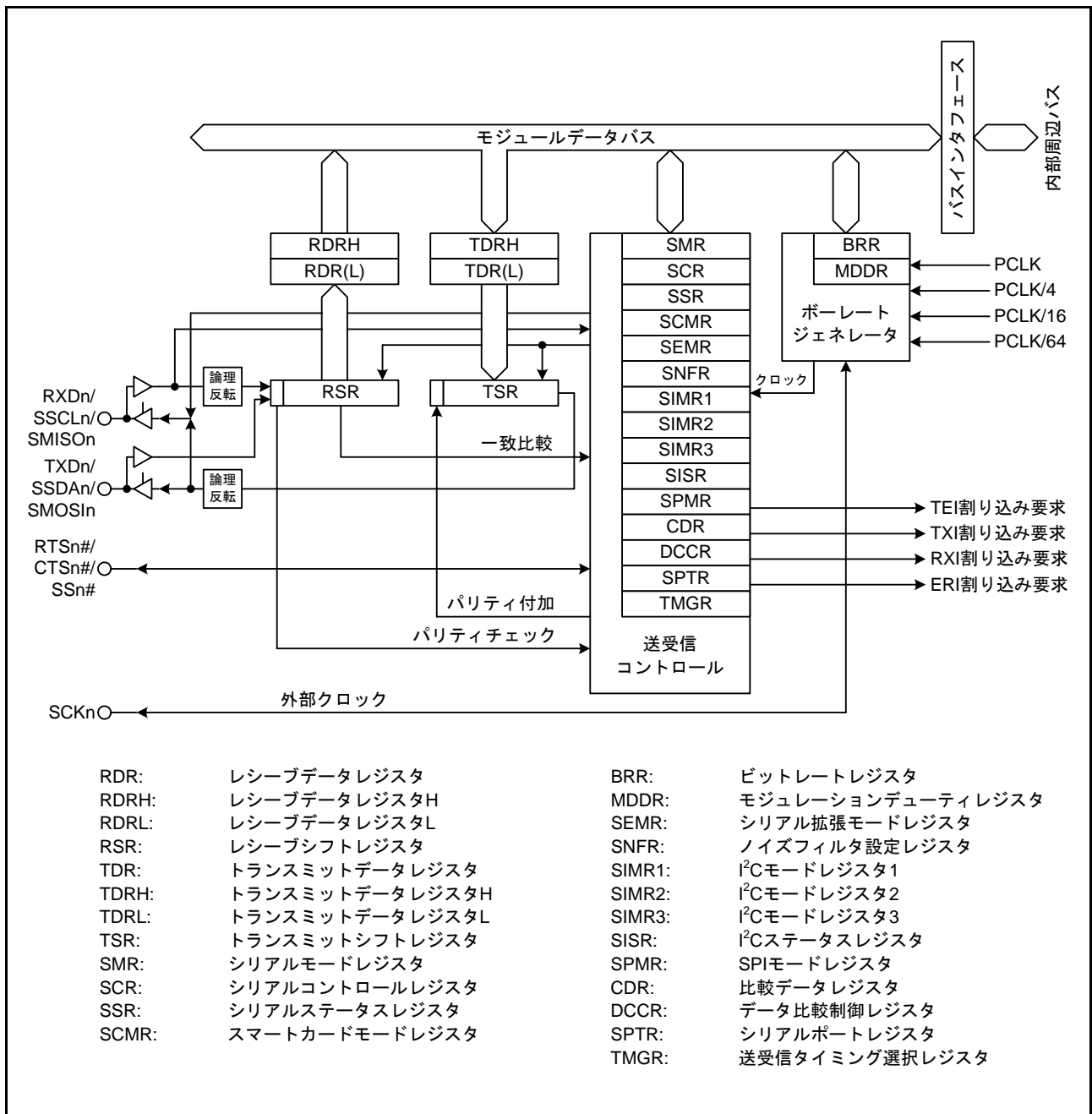


図 30.1 SCI (SCI0 ~ SCI4, SCI7 ~ SCI9) のブロック図

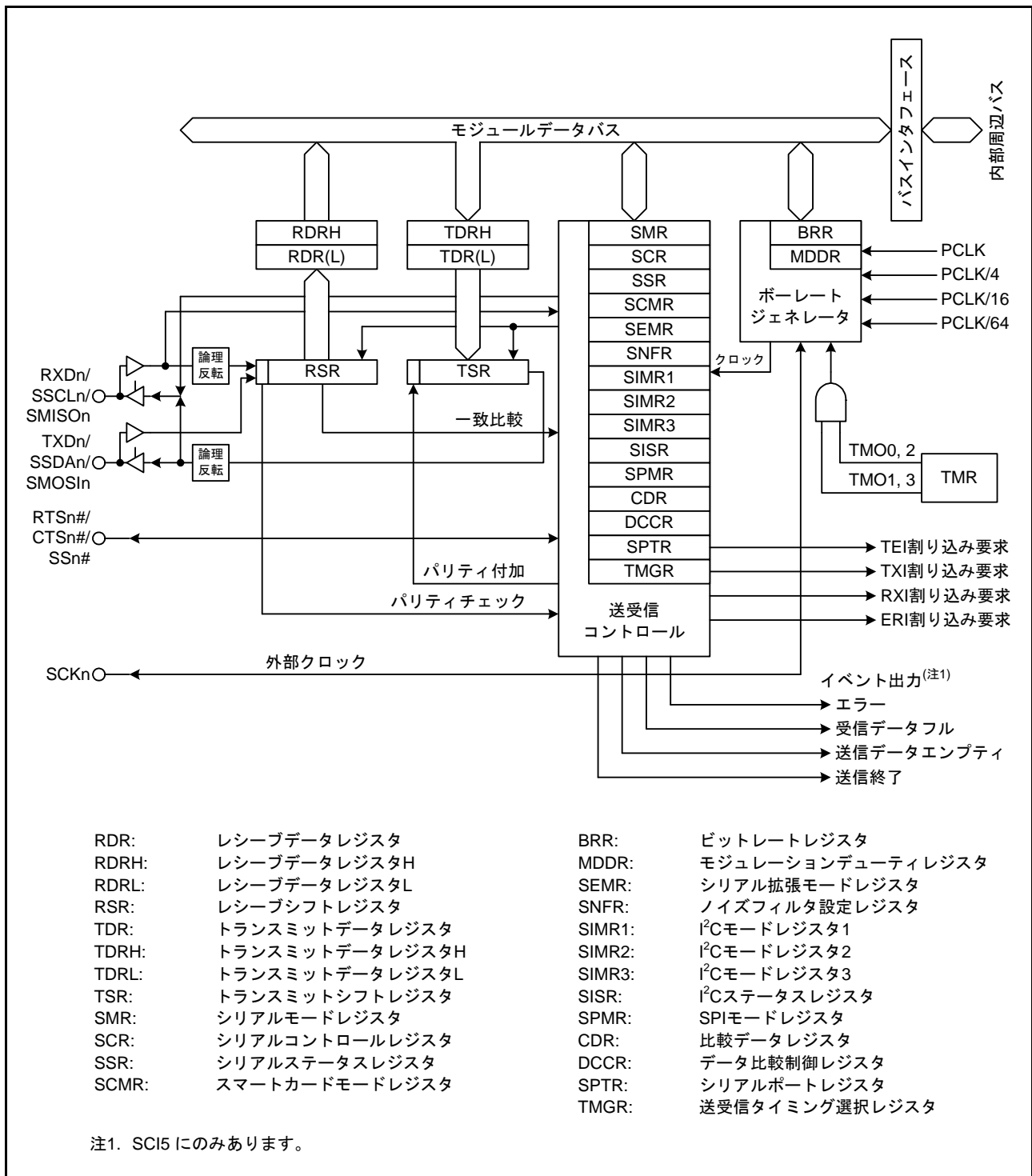


図 30.2 SCIk (SCI5, SCI6) のブロック図

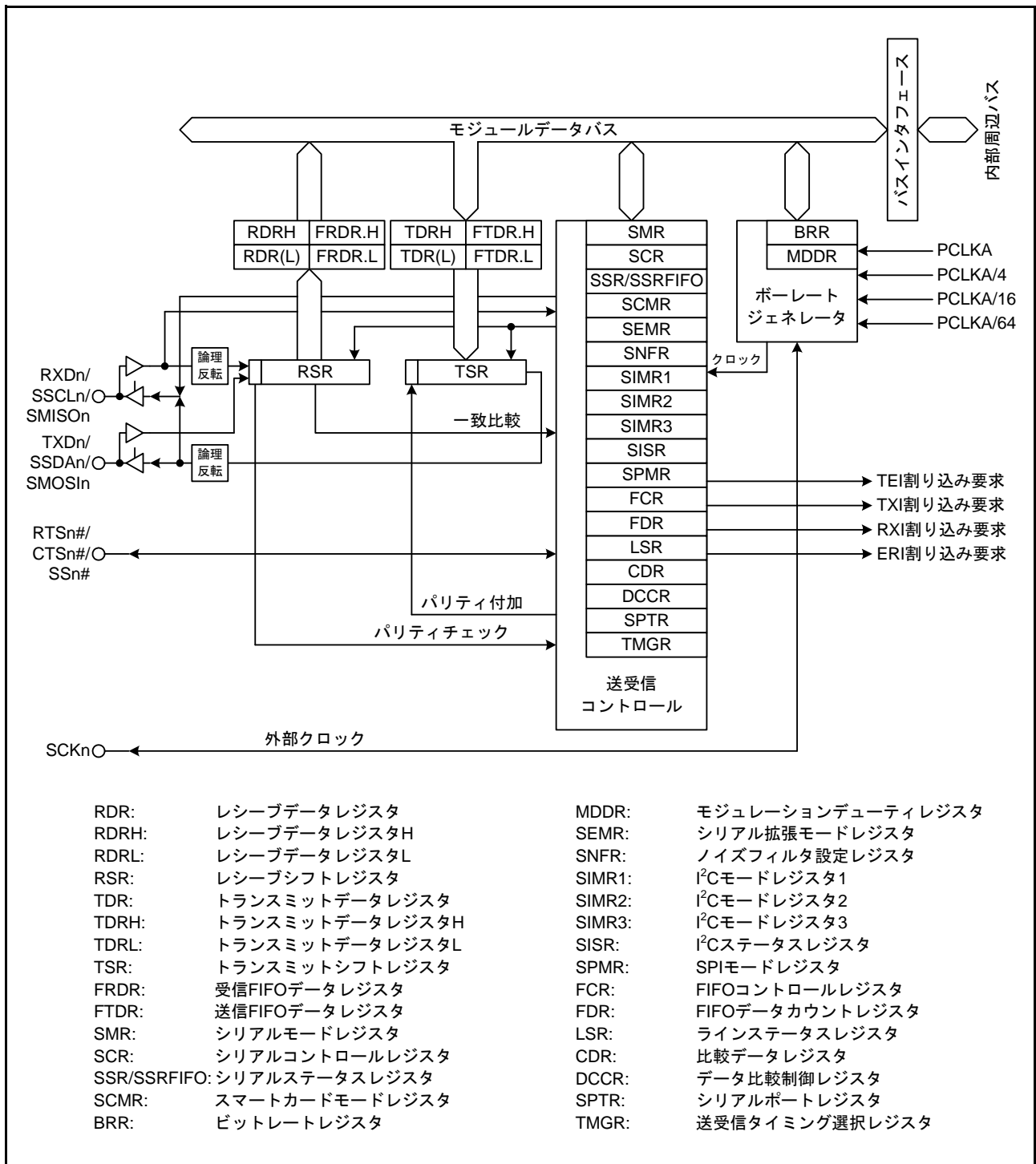


図 30.3 SCIm (SCI10, SCI11) のブロック図

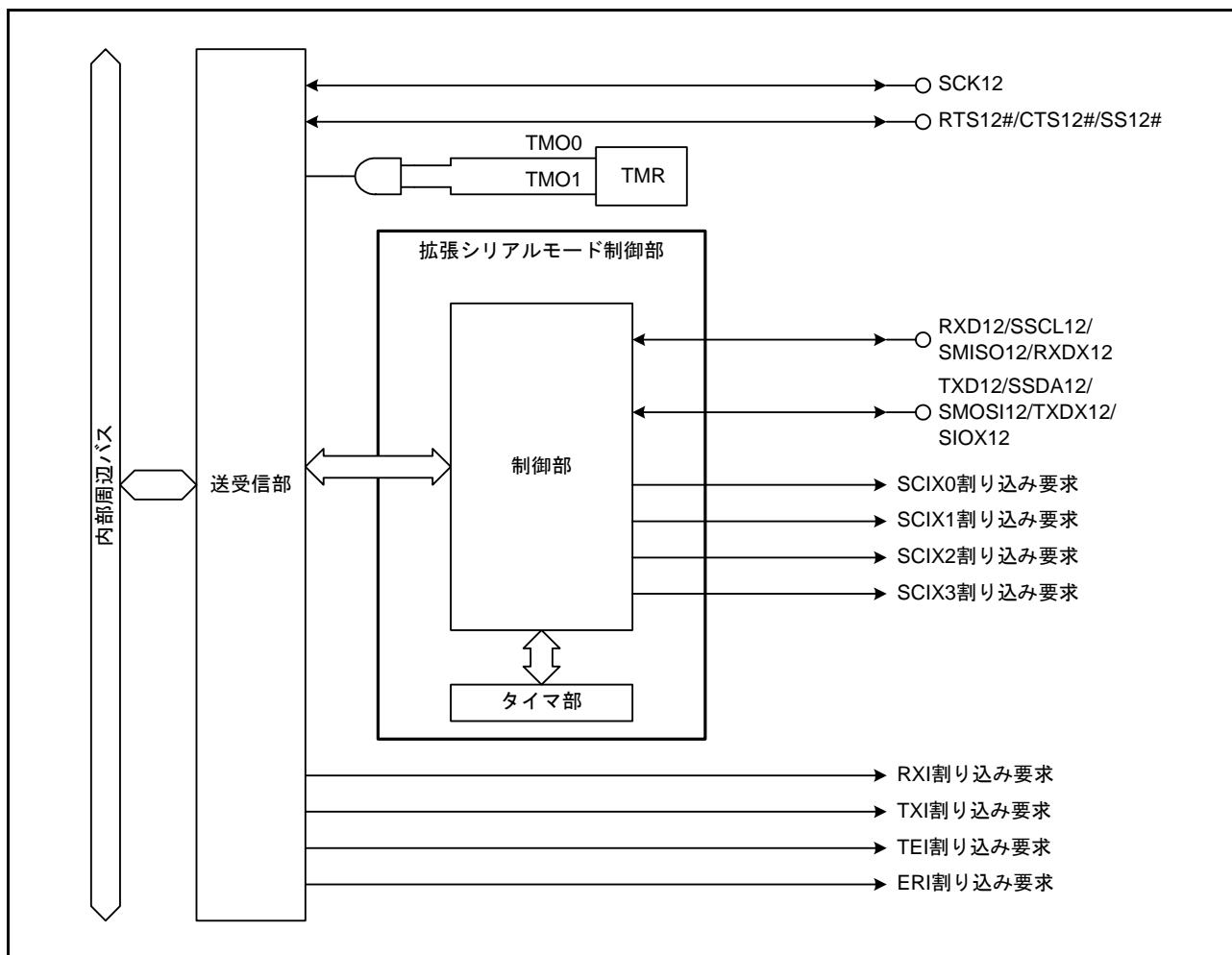


図 30.4 SCIlh (SCI12) のブロック図

表 30.5 ~ 表 30.8 に SCI の入出力端子をモード別に示します。

表 30.5 SCI の入出力端子 (調歩同期式/クロック同期式モード) (1/2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0	入力	SCI0の受信データ入力端子
	TXD0	出力	SCI0の送信データ出力端子
	CTS0#/RTS0#	入出力	SCI0送受信開始制御用入出力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2	入力	SCI2の受信データ入力端子
	TXD2	出力	SCI2の送信データ出力端子
	CTS2#/RTS2#	入出力	SCI2送受信開始制御用入出力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RXD3	入力	SCI3の受信データ入力端子
	TXD3	出力	SCI3の送信データ出力端子
	CTS3#/RTS3#	入出力	SCI3送受信開始制御用入出力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	RXD4	入力	SCI4の受信データ入力端子
	TXD4	出力	SCI4の送信データ出力端子
	CTS4#/RTS4#	入出力	SCI4送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	RXD7	入力	SCI7の受信データ入力端子
	TXD7	出力	SCI7の送信データ出力端子
	CTS7#/RTS7#	入出力	SCI7送受信開始制御用入出力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8	入力	SCI8の受信データ入力端子
	TXD8	出力	SCI8の送信データ出力端子
	CTS8#/RTS8#	入出力	SCI8送受信開始制御用入出力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9	入力	SCI9の受信データ入力端子
	TXD9	出力	SCI9の送信データ出力端子
	CTS9#/RTS9#	入出力	SCI9送受信開始制御用入出力端子

表 30.5 SCIの入出力端子(調歩同期式/クロック同期式モード)(2/2)

チャンネル	端子名	入出力	機能
SCI10	SCK10	入出力	SCI10のクロック入出力端子
	RXD10	入力	SCI10の受信データ入力端子
	TXD10	出力	SCI10の送信データ出力端子
	CTS10#/RTS10#	入出力	SCI10送受信開始制御用入出力端子
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	RXD11	入力	SCI11の受信データ入力端子
	TXD11	出力	SCI11の送信データ出力端子
	CTS11#/RTS11#	入出力	SCI11送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 30.6 SCIの入出力端子(簡易I²Cモード)

チャンネル	端子名	入出力	機能
SCI0	SSCL0	入出力	SCI0のI ² Cクロック入出力端子
	SSDA0	入出力	SCI0のI ² Cデータ入出力端子
SCI1	SSCL1	入出力	SCI1のI ² Cクロック入出力端子
	SSDA1	入出力	SCI1のI ² Cデータ入出力端子
SCI2	SSCL2	入出力	SCI2のI ² Cクロック入出力端子
	SSDA2	入出力	SCI2のI ² Cデータ入出力端子
SCI3	SSCL3	入出力	SCI3のI ² Cクロック入出力端子
	SSDA3	入出力	SCI3のI ² Cデータ入出力端子
SCI4	SSCL4	入出力	SCI4のI ² Cクロック入出力端子
	SSDA4	入出力	SCI4のI ² Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI ² Cクロック入出力端子
	SSDA5	入出力	SCI5のI ² Cデータ入出力端子
SCI6	SSCL6	入出力	SCI6のI ² Cクロック入出力端子
	SSDA6	入出力	SCI6のI ² Cデータ入出力端子
SCI7	SSCL7	入出力	SCI7のI ² Cクロック入出力端子
	SSDA7	入出力	SCI7のI ² Cデータ入出力端子
SCI8	SSCL8	入出力	SCI8のI ² Cクロック入出力端子
	SSDA8	入出力	SCI8のI ² Cデータ入出力端子
SCI9	SSCL9	入出力	SCI9のI ² Cクロック入出力端子
	SSDA9	入出力	SCI9のI ² Cデータ入出力端子
SCI10	SSCL10	入出力	SCI10のI ² Cクロック入出力端子
	SSDA10	入出力	SCI10のI ² Cデータ入出力端子
SCI11	SSCL11	入出力	SCI11のI ² Cクロック入出力端子
	SSDA11	入出力	SCI11のI ² Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI ² Cクロック入出力端子
	SSDA12	入出力	SCI12のI ² Cデータ入出力端子

表 30.7 SCIの入出力端子(簡易SPIモード) (1/2)

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	SMISO0	入出力	SCI0のスレーブ送出データ入出力端子
	SMOSI0	入出力	SCI0のマスタ送出データ入出力端子
	SS0#	入力	SCI0チップセレクト入力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	SMISO2	入出力	SCI2のスレーブ送出データ入出力端子
	SMOSI2	入出力	SCI2のマスタ送出データ入出力端子
	SS2#	入力	SCI2チップセレクト入力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	SMISO3	入出力	SCI3のスレーブ送出データ入出力端子
	SMOSI3	入出力	SCI3のマスタ送出データ入出力端子
	SS3#	入力	SCI3チップセレクト入力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	SMISO4	入出力	SCI4のスレーブ送出データ入出力端子
	SMOSI4	入出力	SCI4のマスタ送出データ入出力端子
	SS4#	入力	SCI4チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	SMISO7	入出力	SCI7のスレーブ送出データ入出力端子
	SMOSI7	入出力	SCI7のマスタ送出データ入出力端子
	SS7#	入力	SCI7チップセレクト入力端子
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	SMISO8	入出力	SCI8のスレーブ送出データ入出力端子
	SMOSI8	入出力	SCI8のマスタ送出データ入出力端子
	SS8#	入力	SCI8チップセレクト入力端子
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	SMISO9	入出力	SCI9のスレーブ送出データ入出力端子
	SMOSI9	入出力	SCI9のマスタ送出データ入出力端子
	SS9#	入力	SCI9チップセレクト入力端子
SCI10	SCK10	入出力	SCI10のクロック入出力端子
	SMISO10	入出力	SCI10のスレーブ送出データ入出力端子
	SMOSI10	入出力	SCI10のマスタ送出データ入出力端子
	SS10#	入力	SCI10チップセレクト入力端子

表 30.7 SCIの入出力端子(簡易SPIモード) (2/2)

チャンネル	端子名	入出力	機能
SCI11	SCK11	入出力	SCI11のクロック入出力端子
	SMISO11	入出力	SCI11のスレーブ送出データ入出力端子
	SMOSI11	入出力	SCI11のマスタ送出データ入出力端子
	SS11#	入力	SCI11チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 30.8 SCIの入出力端子(拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

30.2 レジスタの説明

30.2.1 レシーブシフトレジスタ (RSR)

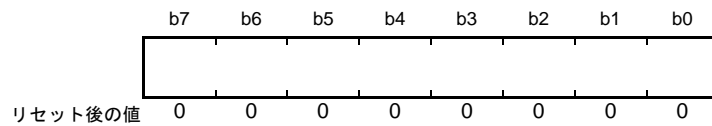
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

30.2.2 レシーブデータレジスタ (RDR)

アドレス SCI0.RDR 0008 A005h, SCI1.RDR 0008 A025h, SCI2.RDR 0008 A045h, SCI3.RDR 0008 A065h,
SCI4.RDR 0008 A085h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h, SCI7.RDR 0008 A0E5h,
SCI8.RDR 0008 A105h, SCI9.RDR 0008 A125h, SCI10.RDR 000D 0005h, SCI11.RDR 000D 0025h,
SCI12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

30.2.3 レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)

- レシーブデータレジスタ H (RDRH)

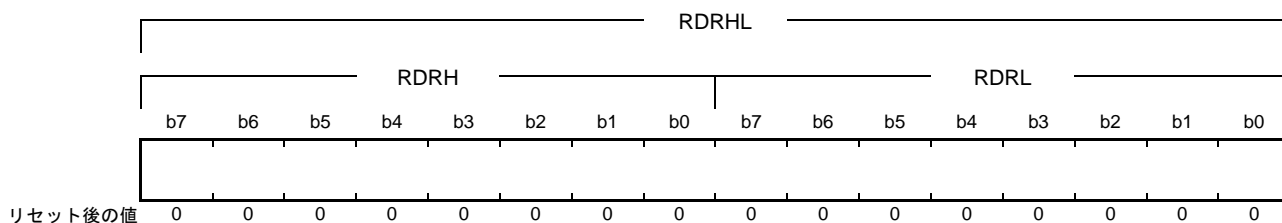
アドレス SCI0.RDRH 0008 A010h, SCI1.RDRH 0008 A030h, SCI2.RDRH 0008 A050h, SCI3.RDRH 0008 A070h, SCI4.RDRH 0008 A090h, SCI5.RDRH 0008 A0B0h, SCI6.RDRH 0008 A0D0h, SCI7.RDRH 0008 A0F0h, SCI8.RDRH 0008 A110h, SCI9.RDRH 0008 A130h, SCI10.RDRH 000D 0010h, SCI11.RDRH 000D 0030h, SCI12.RDRH 0008 B310h

- レシーブデータレジスタ L (RDRL)

アドレス SCI0.RDRL 0008 A011h, SCI1.RDRL 0008 A031h, SCI2.RDRL 0008 A051h, SCI3.RDRL 0008 A071h, SCI4.RDRL 0008 A091h, SCI5.RDRL 0008 A0B1h, SCI6.RDRL 0008 A0D1h, SCI7.RDRL 0008 A0F1h, SCI8.RDRL 0008 A111h, SCI9.RDRL 0008 A131h, SCI10.RDRL 000D 0011h, SCI11.RDRL 000D 0031h, SCI12.RDRL 0008 B311h

- レシーブデータレジスタ HL (RDRHL)

アドレス SCI0.RDRHL 0008 A010h, SCI1.RDRHL 0008 A030h, SCI2.RDRHL 0008 A050h, SCI3.RDRHL 0008 A070h, SCI4.RDRHL 0008 A090h, SCI5.RDRHL 0008 A0B0h, SCI6.RDRHL 0008 A0D0h, SCI7.RDRHL 0008 A0F0h, SCI8.RDRHL 0008 A110h, SCI9.RDRHL 0008 A130h, SCI10.RDRHL 000D 0010h, SCI11.RDRHL 000D 0030h, SCI12.RDRHL 0008 B310h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドウとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

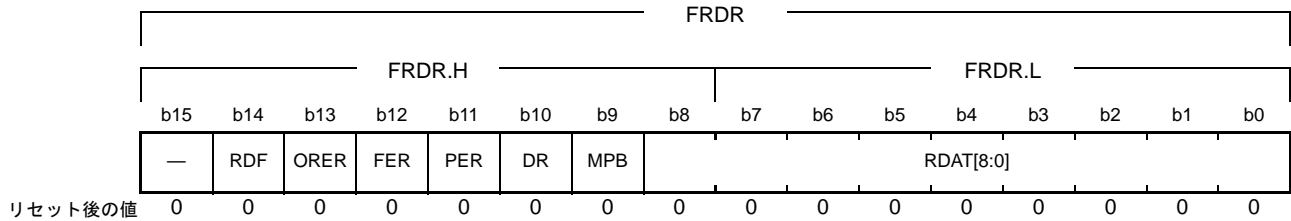
RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は“0”に固定されており、読むと“0”が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

30.2.4 受信 FIFO データレジスタ (FRDR)

アドレス SCI10.FRDR 000D 0010h, SCI11.FRDR 000D 0030h,
SCI10.FRDR.H 000D 0010h, SCI11.FRDR.H 000D 0030h,
SCI10.FRDR.L 000D 0011h, SCI11.FRDR.L 000D 0031h



ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	受信データ	受信したデータが読めます	R
b9	MPB	マルチプロセッサビットモニタフラグ	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b10	DR	受信データレディフラグ (注1)	0: FRDR レジスタに有効なデータなし 1: FRDR レジスタに有効なデータあり	R
b11	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R
b13	ORER	オーバランエラーフラグ (注1)	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R
b14	RDF	受信 FIFO フルフラグ (注1)	0: 受信 FIFO 内の未読データ数がしきい値未満 1: 受信 FIFO 内の未読データ数がしきい値以上	R
b15	—	予約ビット	読んだ場合、その値は不定	R

注1. これらのフラグは SSRFIFO レジスタの同名のフラグと同じ内容です。フラグをクリアするには、SSRFIFO レジスタの該当するフラグをクリアしてください。

FRDR レジスタは 16 段の受信 FIFO の先頭データを読み出すためのレジスタです。このレジスタは FCR.FM ビットが“1” (FIFO モード) のとき有効です。

受信 FIFO が空になった後に FRDR レジスタを読むと不定値が読めます。

下位 8 ビット (FRDR.L) を読み出すと、FRDR レジスタの値が受信 FIFO 内の次のデータで更新されます。上位 8 ビット (FRDR.H) のみを読み出しても、FRDR レジスタの値は更新されません。FRDR レジスタを 8 ビットずつ読み出す場合は、FRDR.H、FRDR.L の順に読み出してください。

受信キャラクタ長が 8 ビットの場合、RDAT[8] ビットには“0”が格納され、7 ビットの場合、RDAT[8:7] ビットには“00b”が格納されます。

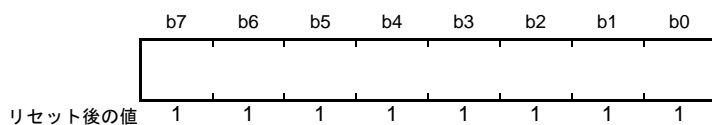
MPB フラグには、受信 FIFO の先頭データに付加されていたマルチプロセッサビットの値が格納されています。FCR.FM ビットが“1” (FIFO モード) のときは、SSR.MPB フラグは使用しません。

FER、PER フラグは、受信 FIFO の先頭データに該当のエラーがあるかどうかを示すフラグです。FRDR レジスタを読み出すごとに、値が更新されます。

RDF、ORER、DR の各フラグは SSRFIFO レジスタの同名のフラグと同じものです。これらのフラグを読んだときにその値が“1”であると、SSRFIFO レジスタの同名のフラグに“0”を書くだけでフラグがクリアできます。

30.2.5 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 0008 A003h, SCI1.TDR 0008 A023h, SCI2.TDR 0008 A043h, SCI3.TDR 0008 A063h,
SCI4.TDR 0008 A083h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h, SCI7.TDR 0008 A0E3h,
SCI8.TDR 0008 A103h, SCI9.TDR 0008 A123h, SCI10.TDR 000D 0003h, SCI11.TDR 000D 0023h,
SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

30.2.6 トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)

- トランスミットデータレジスタ H (TDRH)

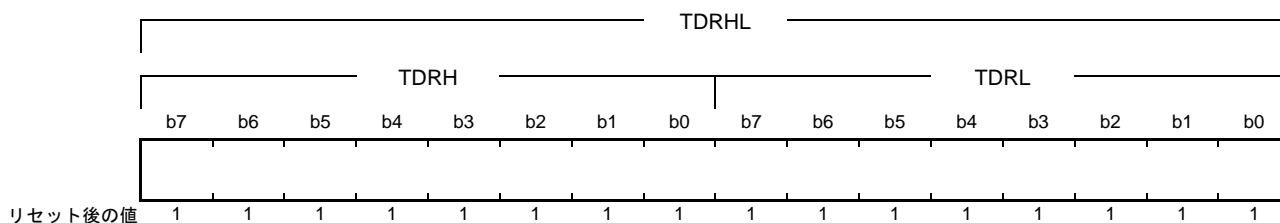
アドレス SCI0.TDRH 0008 A00Eh, SCI1.TDRH 0008 A02Eh, SCI2.TDRH 0008 A04Eh, SCI3.TDRH 0008 A06Eh, SCI4.TDRH 0008 A08Eh, SCI5.TDRH 0008 A0AEh, SCI6.TDRH 0008 A0CEh, SCI7.TDRH 0008 A0EEh, SCI8.TDRH 0008 A10Eh, SCI9.TDRH 0008 A12Eh, SCI10.TDRH 000D 000Eh, SCI11.TDRH 000D 002Eh, SCI12.TDRH 0008 B30Eh

- トランスミットデータレジスタ L (TDRL)

アドレス SCI0.TDRL 0008 A00Fh, SCI1.TDRL 0008 A02Fh, SCI2.TDRL 0008 A04Fh, SCI3.TDRL 0008 A06Fh, SCI4.TDRL 0008 A08Fh, SCI5.TDRL 0008 A0AFh, SCI6.TDRL 0008 A0CFh, SCI7.TDRL 0008 A0EFh, SCI8.TDRL 0008 A10Fh, SCI9.TDRL 0008 A12Fh, SCI10.TDRL 000D 000Fh, SCI11.TDRL 000D 002Fh, SCI12.TDRL 0008 B30Fh

- トランスミットデータレジスタ HL (TDRHL)

アドレス SCI0.TDRHL 0008 A00Eh, SCI1.TDRHL 0008 A02Eh, SCI2.TDRHL 0008 A04Eh, SCI3.TDRHL 0008 A06Eh, SCI4.TDRHL 0008 A08Eh, SCI5.TDRHL 0008 A0AEh, SCI6.TDRHL 0008 A0CEh, SCI7.TDRHL 0008 A0EEh, SCI8.TDRHL 0008 A10Eh, SCI9.TDRHL 0008 A12Eh, SCI10.TDRHL 000D 000Eh, SCI11.TDRHL 000D 002Eh, SCI12.TDRHL 0008 B30Eh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドウとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

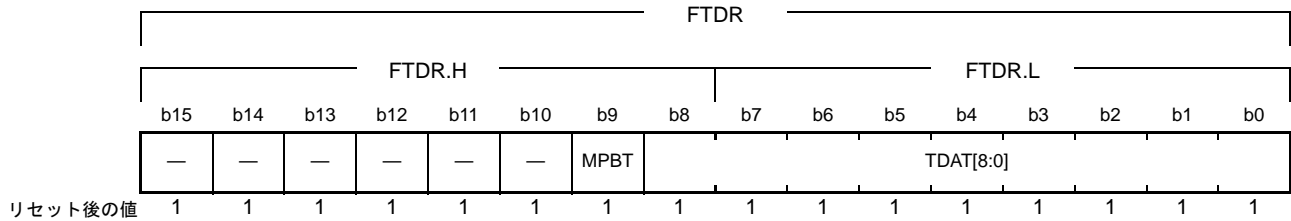
TDRH レジスタおよび TDRL レジスタは CPU からリード/ライト可能です。TDRH レジスタの b1 から b7 は“1”に固定されており、読むと“1”が読めます。書く場合、“1”としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

30.2.7 送信 FIFO データレジスタ (FTDR)

アドレス SCI10.FTDR 000D 000Eh, SCI11.FTDR 000D 002Eh,
SCI10.FTDR.H 000D 000Eh, SCI11.FTDR.H 000D 002Eh,
SCI10.FTDR.L 000D 000Fh, SCI11.FTDR.L 000D 002Fh



ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	送信データ	送信したいデータを書きます	W
b9	MPBT	送信マルチプロセッサビット	送信フレーム中のマルチプロセッサビットの値を指定します 0: データ送信サイクル 1: ID送信サイクル	W
b15-b10	—	予約ビット	“1”を書いてください	W

FTDR レジスタは 16 段の送信 FIFO にデータを書き込むためのレジスタです。このレジスタは FCR.FM ビットが“1” (FIFO モード) かつ SCR.TE ビットが“1” のとき有効です。

送信 FIFO 内に 16 フレーム分のデータが入っているときは、FTDR レジスタに送信データを設定できません。

下位 8 ビット (FTDR.L) に値を書くと、FTDR レジスタの値が送信 FIFO に転送されます。上位 8 ビット (FTDR.H) のみに値を書いた場合、送信 FIFO にデータは転送されません。FTDR レジスタに 16 ビットのデータを 8 ビットずつ書き込む場合、FTDR.H、FTDR.L の順に書き込んでください。

MPBT ビット (送信マルチプロセッサビット)

送信フレームに付加するマルチプロセッサビットの値を設定します。FCR.FM ビットが“1” (FIFO モード) のときは、SSR.MPBT ビットは使用しません。

30.2.8 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

30.2.9 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SMR 0008 A000h, SCI1.SMR 0008 A020h, SCI2.SMR 0008 A040h, SCI3.SMR 0008 A060h, SCI4.SMR 0008 A080h, SCI5.SMR 0008 A0A0h, SCI6.SMR 0008 A0C0h, SCI7.SMR 0008 A0E0h, SCI8.SMR 0008 A100h, SCI9.SMR 0008 A120h, SCI10.SMR 000D 0000h, SCI11.SMR 000D 0020h, SCI12.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効(注2)) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信(初期値) 1 1 : データ長7ビットで送受信(注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I ² Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「30.2.13 ビットレートレジスタ(BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB(b7)は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「30.2.13 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可/禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC10.SMR 0008 A000h, SMC11.SMR 0008 A020h, SMC12.SMR 0008 A040h, SMC13.SMR 0008 A060h, SMC14.SMR 0008 A080h, SMC15.SMR 0008 A0A0h, SMC16.SMR 0008 A0C0h, SMC17.SMR 0008 A0E0h, SMC18.SMR 0008 A100h, SMC19.SMR 0008 A120h, SMC110.SMR 000D 0000h, SMC111.SMR 000D 0020h, SMC112.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表 30.9にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0 : 非ブロック転送モードで動作します 1 : ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0 : 非GSMモードで動作します 1 : GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「30.2.13 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「30.2.13 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「30.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表 30.9 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「30.2.13 ビットレートレジスタ(BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「30.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティイネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「30.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu: Elementary Time Unit、1ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「30.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「30.6.8 クロック出力制御」を参照してください。

30.2.10 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SCR 0008 A002h, SCI1.SCR 0008 A022h, SCI2.SCR 0008 A042h, SCI3.SCR 0008 A062h, SCI4.SCR 0008 A082h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI7.SCR 0008 A0E2h, SCI8.SCR 0008 A102h, SCI9.SCR 0008 A122h, SCI10.SCR 000D 0002h, SCI11.SCR 000D 0022h, SCI12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	(調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロックまたはTMRクロック (注2) 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください。 TMRクロック使用時 (注2)は、SCKn端子はハイインピーダンスになります。 (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0 : TEI割り込み要求を禁止 1 : TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	(調歩同期式モードで、SMR.MPビット=1のとき有効) 0 : 通常の受信動作 1 : マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF, ORER, FERの各ステータスフラグのセット (“1”)を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注3)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注3)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SCI5、SCI6、SCI12のみ選択可能。

注3. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モードでは、開始/再開始/停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、ORER、FER フラグ (SCI10、SCI11 の場合は、DR フラグも) の各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「30.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、RDRF、ORER、FER の各フラグ (SCI10、SCI11 の場合は、DR フラグも) のセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、RDRF、ORER、FER フラグ (SCI10、SCI11 の場合は、DR フラグも) のセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

FCR.FM ビットが“0” (非 FIFO モード) の場合に、RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

FCR.FM ビットが“1” (FIFO モード) の場合に、RE ビットを“0”にして受信動作を停止しても、SSRFIFO.RDF、ORER、FER、PER、DR フラグは以前の状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC10.SCR 0008 A002h, SMC11.SCR 0008 A022h, SMC12.SCR 0008 A042h, SMC13.SCR 0008 A062h,
SMC14.SCR 0008 A082h, SMC15.SCR 0008 A0A2h, SMC16.SCR 0008 A0C2h, SMC17.SCR 0008 A0E2h,
SMC18.SCR 0008 A102h, SMC19.SCR 0008 A122h, SMC110.SCR 000D 0002h, SMC111.SCR 000D 0022h,
SMC112.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 0 0 : 出力ディセーブル SCKn端子はハイインピーダンスになります 0 1 : クロック出力 1 x : 設定しないでください SMR.GMビット=1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ行ってください。

各割り込み要求については、「30.12 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「30.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

30.2.11 シリアルステータスレジスタ (SSR/SSRFIFO)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモード、FIFO モードと非 FIFO モードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードかつ非 FIFO モードのとき (SCMR.SMIF ビット = 0、FCR.FM ビット = 0)

アドレス SCI0.SSR 0008 A004h, SCI1.SSR 0008 A024h, SCI2.SSR 0008 A044h, SCI3.SSR 0008 A064h, SCI4.SSR 0008 A084h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI7.SSR 0008 A0E4h, SCI8.SSR 0008 A104h, SCI9.SSR 0008 A124h, SCI10.SSR 000D 0004h, SCI11.SSR 000D 0024h, SCI12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに有効なデータなし 1: RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンptyフラグ	0: TDR レジスタに未送信のデータあり 1: TDR レジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき

TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- データ一致検出機能が無効の場合に、受信中にパリティエラーを検出したとき (SCI0 ~ SCI11)
- 受信中にパリティエラーを検出したとき (SCI12)

パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- データ一致検出機能が無効の場合に、ストップビットの“0”を検出したとき (SCI0 ~ SCI11)
- ストップビットが“0”のとき (SCI12)
2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
FER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0”にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1" になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0" になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

["1" になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0" になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC10.SSR 0008 A004h, SMC11.SSR 0008 A024h, SMC12.SSR 0008 A044h, SMC13.SSR 0008 A064h, SMC14.SSR 0008 A084h, SMC15.SSR 0008 A0A4h, SMC16.SSR 0008 A0C4h, SMC17.SSR 0008 A0E4h, SMC18.SSR 0008 A104h, SMC19.SSR 0008 A124h, SMC10.SSR 000D 0004h, SMC11.SSR 000D 0024h, SMC12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。"0" としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための"0"書き込みのみ可能です。フラグをクリアする場合は、フラグが"1"であることを確認してから"0"を書いてください。

注2. 書く場合"1"としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ERS フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1”になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

(3) 非スマートカードインタフェースモードかつ FIFO モードのとき (SCMR.SMIF ビット = 0、FCR.FM ビット = 1)

アドレス SCI10.SSRFIFO 000D 0004h, SCI11.SSRFIFO 000D 0024h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDFE	RDF	ORER	FER	PER	TEND	—	DR
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ (注1)	0: 受信中、または受信 FIFO が空 1: 受信完了、かつ受信 FIFO 内のデータ数がしきい値未満	R/(W) (注2)
b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R/(W) (注2)
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注2)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注2)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注2)
b6	RDF	受信 FIFO フルフラグ	0: 受信 FIFO 内の未読データ数がしきい値未満 1: 受信 FIFO 内の未読データ数がしきい値以上	R/(W) (注2)
b7	TDFE	送信 FIFO エンプティフラグ	0: 送信 FIFO 内の未送信データ数がしきい値を超えた 1: 送信 FIFO 内の未送信データ数がしきい値以下	R/(W) (注2)

注1. 調歩同期式モードでのみ有効です。クロック同期式モードでは“1”になりません。

注2. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

DR フラグ (受信データレディフラグ)

受信が完了した後、受信 FIFO 内のデータ数がしきい値 (FCR.RTRG[3:0]) 未満のまま、15 etu (Elementary Time Unit: 1 ビットの転送期間) の期間が経過したことを示します。

[“1”になる条件]

- 最後に受信したデータにフレーミングエラーもパリティエラーもなく、また、RSR レジスタからデータを転送したときに受信 FIFO 内のデータ数がしきい値未満で、かつ最後のストップビットから 15 etu の期間が経過しても、次の受信が完了しなかったとき

[“0”になる条件]

- 受信 FIFO 内のすべてのデータを読み出し、DR フラグが“1”であることを確認した後、DR フラグに“0”を書き込んだとき
- FCR.FM ビットを“0”から“1”にしたとき

FCR.DRES ビットが“1” (ERI 割り込み) のときに DR フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1" になる条件]

- 送信キャラクタの最終ビットの送信時、FTDR レジスタに有効な送信データがないとき

["0" になる条件]

- SCR.TE ビットが "1" のときに FTDR レジスタに送信データを書き込んだとき
- SCR.TE ビットが "1" のときに、TEND フラグが "1" であることを確認した後、"0" を書き込んだとき
- FCR.FM ビットを "0" から "1" にしたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードかつデータ一致検出機能無効時に、受信 FIFO 内のいずれかのデータにパリティエラーがあることを示します。

["1" になる条件]

- データ一致検出機能が無効のときに、受信したデータにパリティエラーがあったとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

PER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

非 FIFO モードの場合と異なり、パリティエラーのあるデータを受信した後も受信動作は続きます。

SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードかつデータ一致検出機能無効時に、受信 FIFO 内のいずれかのデータを受信したときにフレーミングエラーがあったことを示します。

["1" になる条件]

- データ一致検出機能が無効のときに、受信したデータのストップビットが "0" のとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

FER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

非 FIFO モードの場合と異なり、フレーミングエラーのあるデータを受信した後も受信動作は続きます。

SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1" になる条件]

- 受信 FIFO 内に 16 フレーム分のデータがあるときに、次のデータの受信が完了したとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

ORER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDF フラグ (受信 FIFO フルフラグ)

受信 FIFO 内に格納されているデータ数がしきい値 (FCR.RTRG[3:0]) 以上になったことを示します。

[“1”になる条件]

- 受信 FIFO 内のデータ数がしきい値以上になったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
 - DMA 転送または DTC 転送によって FRDR レジスタから受信データが読み出された後(ブロック転送の場合は 1 転送単位の最終データが読み出された後)、受信 FIFO 内のデータ数がしきい値未満であったとき
- “1”になる条件と“0”になる条件が同時に起こったとき、RDF フラグは一旦“0”になります。そのとき受信 FIFO 内のデータ数がしきい値以上であれば、1 PCLK 後に“1”になります。

TDFE フラグ (送信 FIFO エンプティフラグ)

送信 FIFO 内のデータが TSR レジスタに転送されて、送信 FIFO 内に残ったデータ数がしきい値 (FCR.TTRG[3:0]) 以下になったことを示します。

[“1”になる条件]

- SCR.TE ビットが“0”のとき
- 送信 FIFO 内のデータ数がしきい値以下になったとき

[“0”になる条件]

- DMA 転送、DTC 転送によって FTDR レジスタに送信データが書かれた後(ブロック転送の場合は 1 転送単位の最終データが書かれた後)、送信 FIFO 内のデータ数がしきい値を超えていたとき
 - “1”の状態を読み出した後、“0”を書き込んだとき
- SCR.TE ビットを“0”にすると、他の条件に関わらず TDFE フラグは“1”になります。これ以外の“1”になる条件と“0”になる条件が同時に起こったとき、TDFE フラグは一旦“0”になります。そのとき送信 FIFO 内のデータ数がしきい値以下であれば、1 PCLK 後に“1”になります。

DMA 転送、DTC 転送を使用する場合は、TDFE フラグに“0”を書かないでください。

30.2.12 スマートカードモードレジスタ (SCMR)

アドレス SCIO.SCMR 0008 A006h, SCI1.SCMR 0008 A026h, SCI2.SCMR 0008 A046h, SCI3.SCMR 0008 A066h, SCI4.SCMR 0008 A086h, SCI5.SCMR 0008 A0A6h, SCI6.SCMR 0008 A0C6h, SCI7.SCMR 0008 A0E6h, SCI8.SCMR 0008 A106h, SCI9.SCMR 0008 A126h, SCI10.SCMR 000D 0006h, SCI11.SCMR 000D 0026h, SCI12.SCMR 0008 B306h, SMCIO.SCMR 0008 A006h, SMC11.SCMR 0008 A026h, SMC12.SCMR 0008 A046h, SMC13.SCMR 0008 A066h, SMC14.SCMR 0008 A086h, SMC15.SCMR 0008 A0A6h, SMC16.SCMR 0008 A0C6h, SMC17.SCMR 0008 A0E6h, SMC18.SCMR 0008 A106h, SMC19.SCMR 0008 A126h, SMC110.SCMR 000D 0006h, SMC111.SCMR 000D 0026h, SMC112.SCMR 0008 B306h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	CHR1	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインパートビット (注2、注3)	0: TDRレジスタのデータビットをそのままTSRレジスタに転送、RSRレジスタのデータビットをそのままRDRレジスタに転送 1: TDRレジスタのデータビットを反転してTSRレジスタに転送、RSRレジスタのデータビットを反転してRDRレジスタに転送	R/W (注1)
b3	SDIR	送受信データトランスファディレクションビット(注2、注4)	0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1(注5)	SMR.CHRビットと組み合わせで選択します CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信(初期値) 1 1: データ長7ビットで送受信(注6)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせで選択します 表30.10にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. スマートカードインタフェースモード、調歩同期式モード(マルチプロセッサモード)、クロック同期式モード、簡易SPIモードで使用可能です。

注3. 簡易I²Cモードで動作させる場合は、“0”にしてください

注4. 簡易I²Cモードで動作させる場合は、“1”にしてください

注5. 調歩同期式モードでのみ有効です。調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注6. LSBファースト固定となり、送信ではTDRレジスタのMSB(b7)は送信されません。

SMIF ビット (スマートカードインタフェース モードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式(マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインパートビット)

データレジスタとシフトレジスタ間のデータ転送時にロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PMビットを反転してください。

CHR1 ビット (キャラクタレンクスビット 1)

送受信データのデータ長を選択します。
 SMR.CHR ビットと組み合わせて選択します。
 調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルスビット 2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

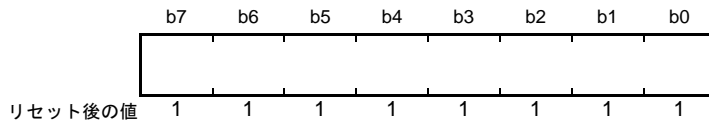
表 30.10 SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「30.2.13 ビットレートレジスタ (BRR)」中のSの値を表します。

30.2.13 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 0008 A001h, SCI1.BRR 0008 A021h, SCI2.BRR 0008 A041h, SCI3.BRR 0008 A061h, SCI4.BRR 0008 A081h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI7.BRR 0008 A0E1h, SCI8.BRR 0008 A101h, SCI9.BRR 0008 A121h, SCI10.BRR 000D 0001h, SCI11.BRR 000D 0021h, SCI12.BRR 0008 B301h



リセット後の値 1 1 1 1 1 1 1 1

BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 30.11、表 30.12 に示します。

なお、SCI10、SCI11 では、SMR.CM ビットが“1”（クロック同期式モードまたは簡易 SPI モード）かつ、FCR.FM ビットが“1”（FIFO モード）、SMR.CKS[1:0] ビットが“00b”（PCLK）のとき、BRR レジスタに“00h”を設定しないでください。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 30.11 BRR レジスタの設定値 N とビットレート B の関係 (SCI0 ~ SCI11)

モード	SEMR レジスタの設定			BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$	
クロック同期式、簡易 SPI				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 ($0 \leq N \leq 255$)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 30.14、表 30.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表30.12 BRRレジスタの設定値NとビットレートBの関係 (SCI12)

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 ($0 \leq N \leq 255$)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 30.14、表 30.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表30.13 SCL High/Low幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表30.14 クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
00	PCLK	0
01	PCLK/4	1
10	PCLK/16	2
11	PCLK/64	3

表 30.15 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の基本クロックパルス数	S
0	00	93クロック	93
0	01	128クロック	128
0	10	186クロック	186
0	11	512クロック	512
1	00	32クロック	32
1	01	64クロック	64
1	10	372クロック	372
1	11	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 30.16 に、各動作周波数における設定可能な最高ビットレートを表 30.18 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 30.21 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 30.23 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 30.25 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「30.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 30.19、表 30.22 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードで SEMR.ABCS ビットまたは BGDM ビットのいずれか一方のビットを“1”にしたときのビットレートは表 30.16 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表30.16 ビットレートに対するBRRの設定例 (調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

ビット レート (bps)	動作周波数PCLK (MHz)								
	50			60			120(注1)		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	-0.02						
150	3	162	-0.15	3	194	0.16			
300	3	80	0.47	3	97	-0.35	3	194	0.16
600	2	162	-0.15	3	48	-0.35	3	97	-0.35
1200	2	80	0.47	2	97	-0.35	3	48	-0.35
2400	1	162	-0.15	2	48	-0.35	2	97	-0.35
4800	1	80	0.47	1	97	-0.35	2	48	-0.35
9600	0	162	-0.15	1	48	-0.35	1	97	-0.35
19200	0	80	0.47	0	97	-0.35	1	48	-0.35
31250	0	49	0.00	0	59	0.00	0	119	0.00
38400	0	40	-0.76	0	48	-0.35	0	97	-0.35

注. SEMR.ABCSビット、SEMR.ABCSEビット、SEMR.BGDMビットがすべて“0”のときの例です。
 ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
 ABCSビット、BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
 ABCSEビットを“1”にしたときは、ビットレートが16/3倍になります。

注1. SCI10、SCI11のみ対応しています。

表30.17 各動作周波数における最高ビットレート(調歩同期式モード)(SCI0~SCI11)

PCLK (MHz)	SEMRレジスタの設定値					最高ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値					最高ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	19.6608	0	0	0	0	0	614400
		1	0	0	0	500000			1	0	0	0	1228800
	1	0	0	0	0	1000000		1	0	0	0	0	2457600
		1	0	0	0	1333333			1	0	0	0	3276800
9.8304	0	0	0	0	0	307200	20	0	0	0	0	0	625000
		1	0	0	0	614400			1	0	0	0	1250000
	1	0	0	0	0	1228800		1	0	0	0	0	2500000
		1	0	0	0	1638400			1	0	0	0	3333333
10	0	0	0	0	0	312500	25	0	0	0	0	0	781250
		1	0	0	0	625000			1	0	0	0	1562500
	1	0	0	0	0	1250000		1	0	0	0	0	3125000
		1	0	0	0	1666667			1	0	0	0	4166667
12	0	0	0	0	0	375000	30	0	0	0	0	0	937500
		1	0	0	0	750000			1	0	0	0	1875000
	1	0	0	0	0	1500000		1	0	0	0	0	3750000
		1	0	0	0	2000000			1	0	0	0	5000000
12.288	0	0	0	0	0	384000	33	0	0	0	0	0	1031250
		1	0	0	0	768000			1	0	0	0	2062500
	1	0	0	0	0	1536000		1	0	0	0	0	4125000
		1	0	0	0	2048000			1	0	0	0	5500000

表 30.17 各動作周波数における最高ビットレート(調歩同期式モード) (SCI0~SCI11)

PCLK (MHz)	SEMRレジスタの設定値					最高ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値					最高ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
14	0	0	0	0	0	437500	40	0	0	0	0	0	1250000
		1	0	0	0	875000			1	0	0	0	2500000
	1	0	0	0	0	1750000		1	0	0	0	0	5000000
		1	0	0	0				0	0	0	0	
任意	任意	1	0	0	2333333	任意	任意	1	0	0	6666667		
16	0	0	0	0	0	500000	50	0	0	0	0	0	1562500
		1	0	0	0	1000000			1	0	0	0	3125000
	1	0	0	0	0	2000000		1	0	0	0	0	6250000
		1	0	0	0				0	0	0		
任意	任意	1	0	0	2666667	任意	任意	1	0	0	8333333		
17.2032	0	0	0	0	0	537600	60	0	0	0	0	0	1875000
		1	0	0	0	1075200			1	0	0	0	3750000
	1	0	0	0	0	2150400		1	0	0	0	0	7500000
		1	0	0	0				0	0	0		
任意	任意	1	0	0	2867200	任意	任意	1	0	0	10000000		
18	0	0	0	0	0	562500	120(注1)	0	0	0	0	0	3750000
		1	0	0	0	1125000			1	0	0	0	7500000
	1	0	0	0	0	2250000		1	0	0	0	0	15000000
		1	0	0	0				0	0	0		
任意	任意	1	0	0	3000000	任意	任意	1	0	0	20000000		

注1. SCI10、SCI11のみ対応しています。

表 30.18 各動作周波数における最高ビットレート(調歩同期式モード) (SCI12)

PCLK (MHz)	SEMRレジスタの設定値				最高ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最高ビット レート (bps)
	BGDM ビット	ABCS ビット	n	N			BGDM ビット	ABCS ビット	n	N	
8	0	0	0	0	250000	19.6608	0	0	0	0	614400
		1	0	0	500000			1	0	0	1228800
	1	0	0	0	1000000		1	0	0	0	2457600
		1	0	0				1	0	0	
9.8304	0	0	0	0	307200	20	0	0	0	0	625000
		1	0	0	614400			1	0	0	1250000
	1	0	0	0	1228800		1	0	0	0	2500000
		1	0	0				1	0	0	
10	0	0	0	0	312500	25	0	0	0	0	781250
		1	0	0	625000			1	0	0	1562500
	1	0	0	0	1250000		1	0	0	0	3125000
		1	0	0				1	0	0	
12	0	0	0	0	375000	30	0	0	0	0	937500
		1	0	0	750000			1	0	0	1875000
	1	0	0	0	1500000		1	0	0	0	3750000
		1	0	0				1	0	0	
12.288	0	0	0	0	384000	33	0	0	0	0	1031250
		1	0	0	768000			1	0	0	2062500
	1	0	0	0	1536000		1	0	0	0	4125000
		1	0	0				1	0	0	
14	0	0	0	0	437500	40	0	0	0	0	1250000
		1	0	0	875000			1	0	0	2500000
	1	0	0	0	1750000		1	0	0	0	5000000
		1	0	0				1	0	0	
16	0	0	0	0	500000	50	0	0	0	0	1562500
		1	0	0	1000000			1	0	0	3125000
	1	0	0	0	2000000		1	0	0	0	6250000
		1	0	0				1	0	0	
17.2032	0	0	0	0	537600	60	0	0	0	0	1875000
		1	0	0	1075200			1	0	0	3750000
	1	0	0	0	2150400		1	0	0	0	7500000
		1	0	0				1	0	0	
18	0	0	0	0	562500						
		1	0	0	1125000						
	1	0	0	0	2250000						
		1	0	0							

表 30.19 外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット=0	SEMR.ABCS ビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000
50	12.5000	781250	1562500
60	15.0000	937500	1875000
120(注1)	30.0000	1875000	3750000

注1. SCI10、SCI11のみ対応しています。

表 30.20 TMRクロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	TMRクロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット=0	SEMR.ABCS ビット=1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000
33	16.5	1031250	2062500
40	20	1250000	2500000
50	25	1562500	3125000
60	30	1875000	3750000

表30.21 ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード)

ビット レート (bps)	動作周波数PCLK (MHz)																					
	8		10		16		20		25		30		33		40		50		60		120(注1)	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																						
250	3	124	3	155	3	249																
500	2	249	3	77	3	124	3	155	3	194	3	233	3	255								
1k	2	124	2	155	2	249	3	77	3	97	3	116	3	128	3	155	3	194	3	233		
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249	3	77	3	93	3	187
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124	2	155	3	46	3	93
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249	2	77	2	93	3	46
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99	1	124	1	149	2	74
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49	1	61	1	74	1	149
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99	0	124	0	149	1	74
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39	0	49	0	59	1	29
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19	0	24	0	29	1	14
1M	0	1			0	3	0	4	—	—			—	—	0	9	—	—	0	14	0	29
2.5M			0	0 (注2)			0	1			0	2			0	3	0	4	0	5	0	11
5M							0	0 (注2)							0	1			0	2	0	5
7.5M											0	0 (注2)							0	1	0	3

空欄：誤差が5%を超えるため、設定できません。

—：設定可能ですが1～5%の誤差がでます。

注1. SCI10、SCI11のみ対応しています。

注2. SCI10、SCI11では、FCR.FMビットが“1”(FIFOモード)の場合、この設定は使用できません。

FCR.FMビットが“0”(非FIFOモード)、または他のチャンネルでこの設定を使用した場合、連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます(同期クロックの出力が1ビット期間停止します)。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表30.22 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000
33	5.5000	5.5000
40	6.6667	6.6667
50	8.3333	8.3333
60	10.0000	10.0000
120(注1)	20.0000	20.0000

注1. SCI10、SCI11のみ対応しています。

表30.23 ビットレートに対するBRRの設定例(スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01
	33.00	0	4	-7.59
	40.00	0	5	-6.66
	50.00	0	6	0.01
	60.00	0	7	5.01
120.00 (注1)	0	16	-1.17	

注1. SCI10、SCI11のみ対応しています。

表30.24 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS=32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0
120.00 (注1)	1875000	0	0

注1. SCI10、SCI11のみ対応しています。

表30.25 ビットレートに対するBRRの設定例(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)														
	30			33			40			50			60		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	23	-2.3	1	25	-0.8	0	124	0.00	2	9	-2.3	1	46	-0.27
25k	1	9	-6.3	1	10	-6.3	0	40	0.00	2	3	-2.3	0	74	0.00
50k	1	4	-6.3	1	5	-14.1	0	24	0.00	2	1	-2.3	0	37	-1.32
100k	1	2	-21.9	1	2	-14.1	0	12	-3.85	1	3	-2.3	0	18	-1.32
250k	0	3	-6.3	0	4	-17.5	0	4	0.00	0	6	-10.7	0	7	-6.25
350k	0	2	-10.7	0	2	-1.8	0	3	-10.71	0	4	-10.7	0	4	7.14

ビット レート (bps)	動作周波数PCLK (MHz)		
	120 (注1)		
	n	N	誤差 (%)
10k	1	93	-0.27
25k	0	149	0.00
50k	0	74	0.00
100k	0	37	-1.31
250k	0	14	0.00
350k	0	10	-2.60

注1. SCI10、SCI11のみ対応しています。

表30.26 各ビットレート設定でのSCL High/Low幅最小値 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.50/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

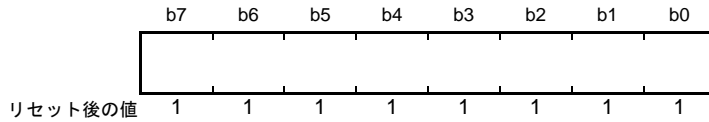
ビット レート (bps)	動作周波数PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	1	32	46.20/52.80
25k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	1	12	18.20/20.80
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	1	6	9.80/11.20
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	0	13	4.90/5.60
250k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)								
	50			60			120 (注1)		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	2	9	44.80/51.20	1	47	44.80/51.20	1	93	43.87/50.13
25k	2	3	17.92/20.48	0	74	17.50/20.00	0	149	17.50/20.00
50k	2	1	8.96/10.24	0	37	8.87/10.13	0	74	8.75/10.00
100k	1	3	4.48/5.12	0	18	4.43/5.07	0	37	4.43/5.07
250k	0	6	1.96/2.24	0	7	1.87/2.13	0	15	1.87/2.13
350k	0	4	1.40/1.60	0	5	1.40/1.60	0	10	1.28/1.47

注1. SCI10、SCI11のみ対応しています。

30.2.14 モジュレーションデューティレジスタ (MDDR)

アドレス SCI0.MDDR 0008 A012h, SCI1.MDDR 0008 A032h, SCI2.MDDR 0008 A052h, SCI3.MDDR 0008 A072h, SCI4.MDDR 0008 A092h, SCI5.MDDR 0008 A0B2h, SCI6.MDDR 0008 A0D2h, SCI7.MDDR 0008 A0F2h, SCI8.MDDR 0008 A112h, SCI9.MDDR 0008 A132h, SCI10.MDDR 000D 0012h, SCI11.MDDR 000D 0032h, SCI12.MDDR 0008 B312h



MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが“1”にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に $M/256$ に補正します。MDDR レジスタの設定値 M とビットレート B の関係を表 30.27、表 30.28 に示します。

MDDR レジスタに設定できる値の範囲は、“80h”以上“FFh”以下です。これ以外の値は設定できません。MDDR レジスタへの書き込みは、SCR.TE ビット=0、SCR.RE ビット=0 の場合のみ可能です。

表 30.27 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係 (SCI0~SCI11)

モード	SEMR レジスタの設定			BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI (注1)				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 ($128 \leq M \leq 255$)

N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK: 動作周波数 (MHz)

n と S: 「30.2.13 ビットレートレジスタ (BRR)」表 30.14、表 30.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期モードおよび簡易SPIモードの最高速設定 (SMR.CKS[1:0]ビット=00b、かつSCR.CKE[1]ビット=0、かつBRR=0)では、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表 30.28 ビットレートモジュレーション機能使用時のMDDR レジスタ設定値MとビットレートBの関係 (SCI12)

モード	SEMR レジスタの設定		BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 ($128 \leq M \leq 255$)

N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK: 動作周波数 (MHz)

n と S: 「30.2.13 ビットレートレジスタ (BRR)」表 30.14、表 30.15 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期モードおよび簡易SPIモードの最高速設定 (SMR.CKS[1:0]ビット=00b、かつSCR.CKE[1]ビット=0、かつBRR=0)では、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

なお、SMR.CKS[1:0] ビットの設定値を小さく、BRR レジスタの設定値を大きくした方が、1 ビット期間の長さの長短差が小さくなります。

30.2.15 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 0008 A007h, SCI1.SEMR 0008 A027h, SCI2.SEMR 0008 A047h, SCI3.SEMR 0008 A067h, SCI4.SEMR 0008 A087h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI7.SEMR 0008 A0E7h, SCI8.SEMR 0008 A107h, SCI9.SEMR 0008 A127h, SCI10.SEMR 000D 0007h, SCI11.SEMR 000D 0027h, SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	ITE	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードでのみ有効) 0: 外部クロック 1: TMRから出力される2つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	ITE	即時送信許可ビット(注2)	(調歩同期式モードでのみ有効) 0: 送信許可からデータ送信の開始までに内部待機期間あり 1: 送信許可にするとともにデータ送信開始	R/W (注1)
b2	BRME	ビットレートモジュレーションイネーブルビット	0: ビットレートモジュレーション機能無効 1: ビットレートモジュレーション機能有効	R/W (注1)
b3	ABCSE	調歩同期基本クロックセレクト拡張ビット(注2)	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: 1ビット期間の転送レートはBGDMビットとABCSビットの設定に従う 1: 基本クロック6サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードでのみ有効) 0: 基本クロック16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードでのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. SCI12では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (SMR.CM ビット=0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b, 11b) のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを“0”にしてください。

SCI5、SCI6、SCI12 では、TMR ユニット 0、1 の TMO_n (n=0~3 出力を基本クロックソースにすることができます。詳細は表 30.29 を参照してください。

SCI0 ~ SCI4、SCI7 ~ SCI11 の ACS0 ビットは予約ビットです。SCI0 ~ SCI4、SCI7 ~ SCI11 では“0”にしてください。

表 30.29 SCIのチャネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット0	TMO0, TMO1
SCI6	ユニット1	TMO2, TMO3
SCI12	ユニット0	TMO0, TMO1

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を図 30.5 に示します。

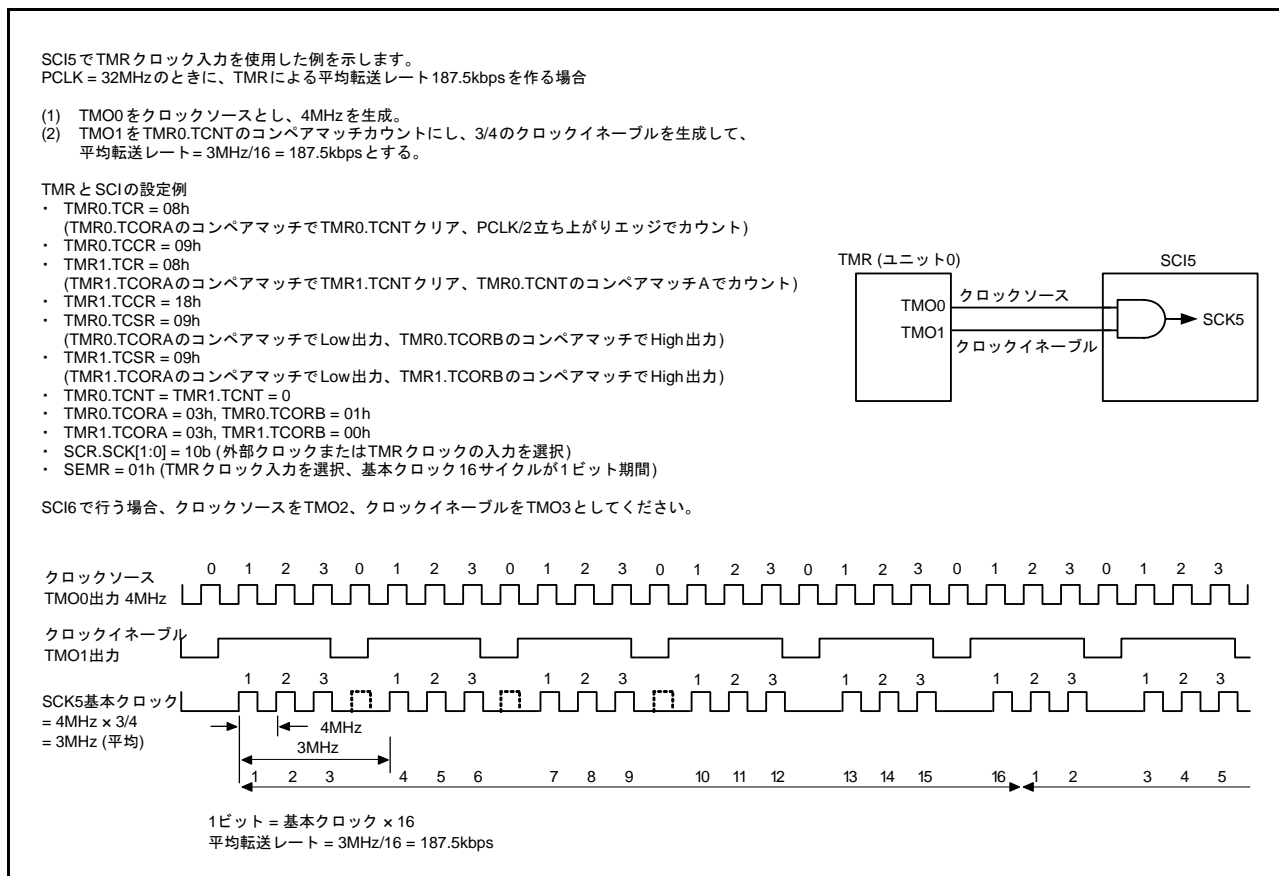


図 30.5 TMR クロック入力時の平均転送レート設定例

ITE ビット (即時送信許可ビット)

調歩同期式モードにおいて、内部待機期間なしでデータ送信を開始させるためのビットです。“0”の場合、SCR.TE ビットを“1”にしてからデータ送信が開始されるまでに、1 フレーム分の内部待機期間を確保します。“1”にすると、SCR.TE ビットを“1”にした直後にデータ送信が開始されます。

BRME ビット (ビットレートモジュレーションイネーブルビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

ABCSE ビット (調歩同期基本クロックセレクト拡張ビット)

このビットを“1”にすると、基本クロック 6 サイクルの期間が 1 ビット期間の転送レートになります。また、内蔵ボーレートジェネレータから 2 倍の周波数のクロックが出力されます。

調歩同期式モード (SMR.CM ビット=0) で、クロックソースに内蔵ボーレートジェネレータを選択 (SCR.CKE[1] ビット=0) したときに有効です。

なお、ビットレートを PCLK の 1/6 の周波数にする場合は、このビットを“1”にするとともに、SMR.CKS[1:0] ビットを“00b”に、BRR レジスタを“00h”にしてください。

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット (ボーレートジェネレータ倍速モードセレクトビット)

ボーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード (SMR.CM ビット=0) で、クロックソースに内蔵ボーレートジェネレータを選択 (SCR.CKE[1] ビット=0) したときに有効です。内蔵ボーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット=1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では“0”を設定してください。

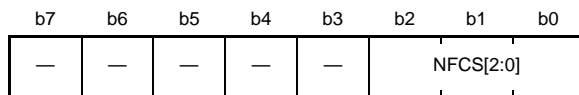
RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

30.2.16 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI0.SNFR 0008 A008h, SCI1.SNFR 0008 A028h, SCI2.SNFR 0008 A048h, SCI3.SNFR 0008 A068h, SCI4.SNFR 0008 A088h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h, SCI7.SNFR 0008 A0E8h, SCI8.SNFR 0008 A108h, SCI9.SNFR 0008 A128h, SCI10.SNFR 000D 0008h, SCI11.SNFR 000D 0028h, SCI12.SNFR 0008 B308h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	<p>調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用</p> <p>簡易I²Cモード時、SMR.CKS[1:0]ビットで選択した内蔵 ポーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用</p> <p>上記以外は設定しないでください</p>	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

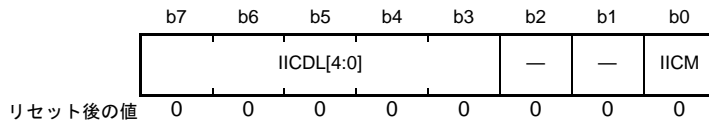
NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易I²Cモード時は“001b”～“100b”の中で設定してください。

30.2.17 I²C モードレジスタ 1 (SIMR1)

アドレス SCI0.SIMR1 0008 A009h, SCI1.SIMR1 0008 A029h, SCI2.SIMR1 0008 A049h, SCI3.SIMR1 0008 A069h, SCI4.SIMR1 0008 A089h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h, SCI7.SIMR1 0008 A0E9h, SCI8.SIMR1 0008 A109h, SCI9.SIMR1 0008 A129h, SCI10.SIMR1 000D 0009h, SCI11.SIMR1 000D 0029h, SCI12.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易SPIモード) 0 1: 簡易I ² Cモード 1 0: スマートカードインタフェースモード 1 1: 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 00000: 出力遅延なし 00001: 0~1サイクル 00010: 1~2サイクル 00011: 2~3サイクル 00100: 3~4サイクル 00101: 4~5サイクル : : 11110: 29~30サイクル 11111: 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR1レジスタは、簡易I²Cモード、およびSSDA出力遅延段数を選択するためのレジスタです。

IICMビット (簡易I²Cモードセレクトビット)

SCMR.SMIFビットとの組み合わせで、動作モードを選択します。

IICDL[4:0]ビット (SSDA出力遅延セレクトビット)

SSCLn端子出力の立ち下がりに対するSSDAn端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLKをSMR.CKS[1:0]ビットの設定により分周されたクロックを指します。簡易I²Cモード以外では“00000b”を設定してください。簡易I²Cモード時は、“00001b”~“11111b”のいずれかを設定してください。

30.2.18 I²C モードレジスタ 2 (SIMR2)

アドレス SCI0.SIMR2 0008 A00Ah, SCI1.SIMR2 0008 A02Ah, SCI2.SIMR2 0008 A04Ah, SCI3.SIMR2 0008 A06Ah, SCI4.SIMR2 0008 A08Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh, SCI7.SIMR2 0008 A0EAh, SCI8.SIMR2 0008 A10Ah, SCI9.SIMR2 0008 A12Ah, SCI10.SIMR2 000D 000Ah, SCI11.SIMR2 000D 002Ah, SCI12.SIMR2 0008 B30Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	IICACK T	—	—	—	IICCSC	IICINT M

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに“1”を設定します。

IICCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

デバッグ時を除いて IICCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

30.2.19 I²C モードレジスタ 3 (SIMR3)

アドレス SCI0.SIMR3 0008 A00Bh, SCI1.SIMR3 0008 A02Bh, SCI2.SIMR3 0008 A04Bh, SCI3.SIMR3 0008 A06Bh, SCI4.SIMR3 0008 A08Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh, SCI7.SIMR3 0008 A0EBh, SCI8.SIMR3 0008 A10Bh, SCI9.SIMR3 0008 A12Bh, SCI10.SIMR3 000D 000Bh, SCI11.SIMR3 000D 002Bh, SCI12.SIMR3 0008 B30Bh

b7	b6	b5	b4	b3	b2	b1	b0
IICSCLS[1:0]	IICSDAS[1:0]	IICSTIF	IICSTP REQ	IICRST AREQ	IICSTA REQ		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

注1. SSCLn端子とSSDAn端子が両方もHigh (それぞれの端子に対応するPIDRレジスタのビットが“1”)のときに開始条件生成を行ってください。

注2. SSCLn端子がLow (対応するPIDRレジスタのビットが“0”)のときに再開条件生成または停止条件生成を行ってください。

注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3レジスタは、簡易I²Cモードの開始条件、停止条件生成、および、SSDAn端子、SSCLn端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQビットを“1”にするとともに、IICSDAS[1:0]ビット、IICSCLS[1:0]ビットをそれぞれ“01b”にしてください。

["1"]になる条件]

- “1”を書き込んだとき

["0"]になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICRSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1"になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

["0"になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

30.2.20 I²C ステータスレジスタ (SISR)

アドレス SCI0.SISR 0008 A00Ch, SCI1.SISR 0008 A02Ch, SCI2.SISR 0008 A04Ch, SCI3.SISR 0008 A06Ch, SCI4.SISR 0008 A08Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh, SCI7.SISR 0008 A0ECh, SCI8.SISR 0008 A10Ch, SCI9.SISR 0008 A12Ch, SCI10.SISR 000D 000Ch, SCI11.SISR 000D 002Ch, SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCL_n クロックの立ち上がりのタイミングで更新されます。

30.2.21 SPI モードレジスタ (SPMR)

アドレス SCI0.SPMR 0008 A00Dh, SCI1.SPMR 0008 A02Dh, SCI2.SPMR 0008 A04Dh, SCI3.SPMR 0008 A06Dh, SCI4.SPMR 0008 A08Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh, SCI7.SPMR 0008 A0EDh, SCI8.SPMR 0008 A10Dh, SCI9.SPMR 0008 A12Dh, SCI10.SPMR 000D 000Dh, SCI11.SPMR 000D 002Dh, SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn#端子機能イネーブルビット	0 : SSn#端子機能禁止 1 : SSn#端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0 : CTS機能禁止 (RTS出力機能有効) 1 : CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0 : SMOSIn端子 : 送信、SMISOOn端子 : 受信 (マスタモード) 1 : SMOSIn端子 : 受信、SMISOOn端子 : 送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn# 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット = 00b かつ MSS ビット = 0) かつシングルマスタで使用するとき、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”にすると、SMOSIn 端子から受信データを入力し、SMISOOn 端子から送信データを出力します。

簡易 SPI モード以外では“0”にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1”になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力が Low になったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、[図 30.64](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、[図 30.64](#) を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

30.2.22 FIFO コントロールレジスタ (FCR)

アドレス SCI10.FCR 000D 0014h, SCI11.FCR 000D 0034h,
SCI10.FCR.H 000D 0014h, SCI11.FCR.H 000D 0034h,
SCI10.FCR.L 000D 0015h, SCI11.FCR.L 000D 0035h



ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択ビット (注1)	0 : 非FIFOモード(TDR、RDRレジスタを送受信に使用) 1 : FIFOモード(FTDR、FRDRレジスタを送受信に使用)	R/W (注2)
b1	RFRST	受信FIFOリセットビット (注3)	“1”を書くと受信FIFOの格納データ数を“0”にします	R/W
b2	TFRST	送信FIFOリセットビット (注3)	“1”を書くと送信FIFOの格納データ数を“0”にします	R/W
b3	DRES	受信データレディ割り込み選択ビット	0 : 受信データフル割り込み(RXI) 1 : エラー割り込み(ERI)	R/W (注2)
b7-b4	TTRG[3:0]	送信FIFOしきい値設定ビット (注1)	SSRFIFO.TDFEフラグを“1”にするしきい値を設定します。 b7 b4 0000 : 送信FIFO内のデータ数が0のとき 0001 : 送信FIFO内のデータ数が1以下のとき : : 1111 : 送信FIFO内のデータ数が15以下のとき	R/W
b11-b8	RTRG[3:0]	受信FIFOしきい値設定ビット (注1)	SSRFIFO.RDFフラグを“1”にするしきい値を設定します。 b11 b8 0000 : 設定しないでください 0001 : 受信FIFO内のデータ数が1以上のとき : : 1111 : 受信FIFO内のデータ数が15以上のとき	R/W
b15-b12	RSTRG[3:0]	RTS#出力しきい値設定ビット (注4)	RTS#端子をHighにするしきい値を設定します。 b15 b12 0000 : 設定しないでください 0001 : 受信FIFO内のデータ数が1以上のとき : : 1111 : 受信FIFO内のデータ数が15以上のとき	R/W

注1. 調歩同期式モードまたはクロック同期式モードでのみ有効。

注2. SCR.TEビット、REビットがともに“0”のときのみ書き換え可能です。

注3. FMビットが“1”のときのみ有効。

注4. FMビットが“1”、かつSPMR.CTSEビットとSPMR.SSEビットが両方も“0” (RTS#出力機能有効)のとき有効です。

FM ビット (FIFO モード選択ビット)

FIFO モードを有効にするためのビットです。“1”にすると FIFO が有効になり、送受信に使用するデータレジスタが FTDR、FRDR レジスタになります。

“0”にすると FIFO が無効になり、送受信に使用するデータレジスタが TDR、RDR レジスタまたは TDRHL、TDRH、TDRL、RDRHL、RDRH、RDRL レジスタになります。

調歩同期式モードまたはクロック同期式モードのときのみ有効です。その他のモードでは“0”にしてください。このビットを書き換える場合は、送受信禁止のときに行ってください。

RFRST ビット (受信 FIFO リセットビット)

RFRST ビットを“1”にすると FDR.R[4:0] ビットの値が“0”になります。RFRST ビットの値は 1 PCLK 後に自動的に“0”に戻ります。

TFRST ビット (送信 FIFO リセットビット)

TFRST ビットを“1”にすると FDR.T[4:0] ビットの値が“0”になります。TFRST ビットの値は 1 PCLK 後に自動的に“0”に戻ります。

DRES ビット (受信データレディ割り込み選択ビット)

SSRFIFO.DR フラグが“1”になったときに生成する割り込み要求を選択するビットです。

“0”にすると DR フラグが“1”のときに受信データフル割り込み (RXI) 要求が生成され、“1”にすると受信エラー割り込み (ERI) 要求が生成されます。

TTRG[3:0] ビット (送信 FIFO しきい値設定ビット)

FDR.T[4:0] ビットの値が TTRG[3:0] ビットで設定した値以下になると、SSRFIFO.TDFE フラグが“1”になります。このとき SCR.TIE ビットが“1”であると、送信データエンプティ割り込み (TXI) 要求が発生します。

RTRG[3:0] ビット (受信 FIFO しきい値設定ビット)

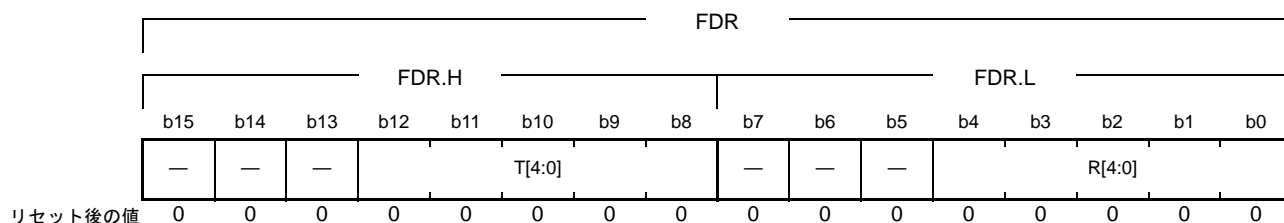
FDR.R[4:0] ビットの値が RTRG[3:0] ビットで設定した値以上になると、SSRFIFO.RDF フラグが“1”になります。このとき SCR.RIE ビットが“1”であると、受信データフル割り込み (RXI) 要求が発生します。

RSTRG[3:0] ビット (RTSn# 出力しきい値設定ビット)

FDR.R[4:0] ビットの値が RSTRG[3:0] ビットで設定した値以上になると、RTSn# 端子が High になります。この機能を使用する場合は、SPMR.CTSE ビットと SPMR.SSE ビットを両方とも“0”にして、RTSn# 出力機能を有効にしてください。

30.2.23 FIFO データカウントレジスタ (FDR)

アドレス SCI10.FDR 000D 0016h, SCI11.FDR 000D 0036h,
SCI10.FDR.H 000D 0016h, SCI11.FDR.H 000D 0036h,
SCI10.FDR.L 000D 0017h, SCI11.FDR.L 000D 0037h



ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	受信 FIFO データカウントビット (注1)	受信 FIFO 内に格納されているデータの数を示します	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	T[4:0]	送信 FIFO データカウントビット (注1)	送信 FIFO 内に格納されているデータの数を示します	R
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. 調歩同期式モードまたはクロック同期式モードでのみ有効。

R[4:0] ビット (受信 FIFO データカウントビット)

受信 FIFO 内の受信済みデータ数を示します。“00h”は FIFO 内に受信済みデータがないことを、“10h”は FIFO 内に 16 フレームの受信済みデータが格納されていることを示します。

“11h”～“1Fh”にはなりません。

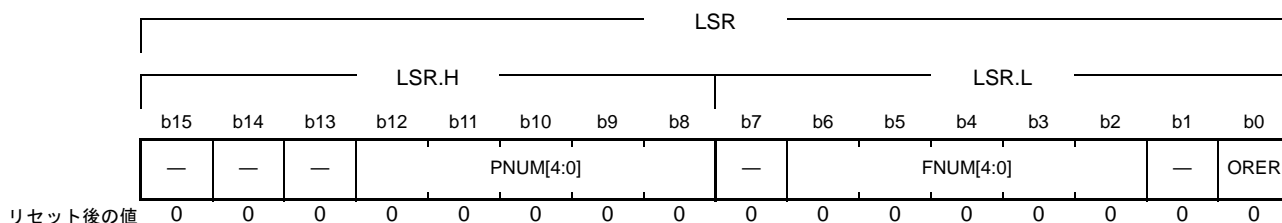
T[4:0] ビット (送信 FIFO データカウントビット)

送信 FIFO 内の未送信データ数を示します。“00h”は FIFO 内に未送信データがないことを、“10h”は FIFO 内に 16 フレームの未送信データが格納されていることを示します。

“11h”～“1Fh”にはなりません。

30.2.24 ラインステータスレジスタ (LSR)

アドレス SCI10.LSR 000D 0018h, SCI11.LSR 000D 0038h,
SCI10.LSR.H 000D 0018h, SCI11.LSR.H 000D 0038h,
SCI10.LSR.L 000D 0019h, SCI11.LSR.L 000D 0039h



ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバランエラーフラグ (注1)	SSRFIFO.ORER フラグと同じ値が読めます 0 : オーバランエラーの発生なし 1 : オーバランエラーの発生あり	R (注2)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6-b2	FNUM[4:0]	フレーミングエラーカウントビット	受信 FIFO 内に格納されているデータの内、フレーミングエラーのあるデータの数を示します	R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	PNUM[4:0]	パリティエラーカウントビット	受信 FIFO 内に格納されているデータの内、パリティエラーのあるデータの数を示します	R
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. FIFOモードで、かつ調歩同期式モードまたはクロック同期式モードでのみ有効。

注2. このフラグをクリアするには、SSRFIFO.ORER フラグが“1”であることを確認してから SSRFIFO.ORER フラグに“0”を書いてください。

ORER フラグ (オーバランエラーフラグ)

オーバランエラーが発生すると“1”になります。SSRFIFO.ORER フラグの値が反映されます。このフラグをクリアするには、SSRFIFO.ORER フラグを“0”にしてください。

FNUM[4:0] ビット (フレーミングエラーカウントビット)

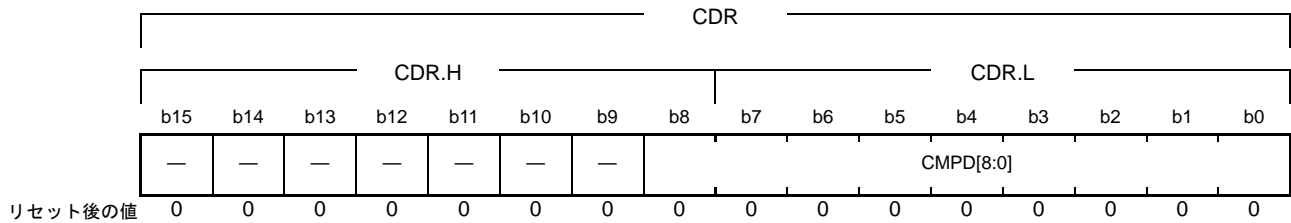
受信 FIFO 内の受信済みデータの内、フレーミングエラーが発生したデータの数を示します。

PNUM[4:0] ビット (パリティエラーカウントビット)

受信 FIFO 内の受信済みデータの内、パリティエラーが発生したデータの数を示します。

30.2.25 比較データレジスタ (CDR)

アドレス SCI0.CDR 0008 A01Ah, SCI1.CDR 0008 A03Ah, SCI2.CDR 0008 A05Ah, SCI3.CDR 0008 A07Ah,
 SCI4.CDR 0008 A09Ah, SCI5.CDR 0008 A0BAh, SCI6.CDR 0008 A0DAh, SCI7.CDR 0008 A0FAh,
 SCI8.CDR 0008 A11Ah, SCI9.CDR 0008 A13Ah, SCI10.CDR 000D 001Ah, SCI11.CDR 000D 003Ah,
 SCI0.CDR.H 0008 A01Ah, SCI1.CDR.H 0008 A03Ah, SCI2.CDR.H 0008 A05Ah, SCI3.CDR.H 0008 A07Ah,
 SCI4.CDR.H 0008 A09Ah, SCI5.CDR.H 0008 A0BAh, SCI6.CDR.H 0008 A0DAh, SCI7.CDR.H 0008 A0FAh,
 SCI8.CDR.H 0008 A11Ah, SCI9.CDR.H 0008 A13Ah, SCI10.CDR.H 000D 001Ah, SCI11.CDR.H 000D 003Ah,
 SCI0.CDR.L 0008 A01Bh, SCI1.CDR.L 0008 A03Bh, SCI2.CDR.L 0008 A05Bh, SCI3.CDR.L 0008 A07Bh,
 SCI4.CDR.L 0008 A09Bh, SCI5.CDR.L 0008 A0BBh, SCI6.CDR.L 0008 A0DBh, SCI7.CDR.L 0008 A0FBh,
 SCI8.CDR.L 0008 A11Bh, SCI9.CDR.L 0008 A13Bh, SCI10.CDR.L 000D 001Bh, SCI11.CDR.L 000D 003Bh



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	比較データビット	データ一致検出機能を使用する場合の比較元データを設定します	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

CMPD[8:0] ビット (比較データビット)

データ一致検出機能で使します。有効ビット長は、SMR.CHR ビットと SCMR.CHR1 ビットで設定したキャラクタ長と同じです。

受信データとこのビットに設定した値が一致すると、DCCR.DCMF フラグが“1”になります。

30.2.26 データ比較制御レジスタ (DCCR)

アドレス SCI0.DCCR 0008 A013h, SCI1.DCCR 0008 A033h, SCI2.DCCR 0008 A053h, SCI3.DCCR 0008 A073h, SCI4.DCCR 0008 A093h, SCI5.DCCR 0008 A0B3h, SCI6.DCCR 0008 A0D3h, SCI7.DCCR 0008 A0F3h, SCI8.DCCR 0008 A113h, SCI9.DCCR 0008 A133h, SCI10.DCCR 000D 0013h, SCI11.DCCR 000D 0033h

b7	b6	b5	b4	b3	b2	b1	b0
DCME	IDSEL	—	DFER	DPER	—	—	DCMF

リセット後の値 0 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データ一致フラグ	0: データ不一致 1: データ一致	R/(W) (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DPER	一致データパリティエラーフラグ	0: 一致したデータにパリティエラーなし 1: 一致したデータにパリティエラーあり	R/(W) (注1)
b4	DFER	一致データフレーミングエラーフラグ	0: 一致したデータにフレーミングエラーなし 1: 一致したデータにフレーミングエラーあり	R/(W) (注1)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IDSEL	IDフレーム選択ビット(注2)	0: すべての受信データを比較する 1: マルチプロセッサビットが“1”の受信データのみ比較する	R/W
b7	DCME	データ一致検出機能許可ビット(注2)	0: データ一致検出機能無効 1: データ一致検出機能有効	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアするには、“1”であることを確認した後、“0”を書いてください。

注2. 調歩同期式モードでのみ有効です。

DCMF フラグ (データ一致フラグ)

受信データと CDR レジスタの値を比較した結果を示します。

["1"になる条件]

- DCME ビットが“1”の場合に、受信データと CDR レジスタの値が一致したとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
SCR.RE ビットを“0”にしても、DCMF フラグは影響を受けず以前の状態を保持します。

DPER フラグ (一致データパリティエラーフラグ)

一致したデータのパリティエラーの有無を示します。

["1"になる条件]

- データ一致を検出した受信データにパリティエラーがあったとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

DPER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを“0”にしても、DPER フラグは影響を受けず以前の状態を保持します。

DFER フラグ (一致データフレーミングエラーフラグ)

一致したデータのフレーミングエラーの有無を示します。

[“1”になる条件]

- データ一致を検出した受信フレームのストップビットが“0”であったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

DFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

SCR.RE ビットを“0”にしても、DFER フラグは影響を受けず以前の状態を保持します。

IDSEL ビット (ID フレーム選択ビット)

比較する受信データの条件を指定します。DCME ビットが“1”のときのみ有効です。

このビットを“1”にすると、マルチプロセッサビットが“1”の受信フレーム (ID フレーム) 内のデータだけを比較します。

このビットを“0”にすると、すべての受信データを比較します。

DCME ビット (データ一致検出機能許可ビット)

データ一致検出機能の有効/無効を設定するビットです。データ一致検出機能は調歩同期式モードでのみ有効です。これ以外のモードでは“0”にしてください。

このビットは、データの一致を検出すると自動的に“0”に戻ります。

30.2.27 シリアルポートレジスタ (SPTR)

アドレス SCI0.SPTR 0008 A01Ch, SCI1.SPTR 0008 A03Ch, SCI2.SPTR 0008 A05Ch, SCI3.SPTR 0008 A07Ch,
SCI4.SPTR 0008 A09Ch, SCI5.SPTR 0008 A0BCh, SCI6.SPTR 0008 A0DCh, SCI7.SPTR 0008 A0FCh,
SCI8.SPTR 0008 A11Ch, SCI9.SPTR 0008 A13Ch, SCI10.SPTR 000D 001Ch, SCI11.SPTR 000D 003Ch

b7	b6	b5	b4	b3	b2	b1	b0
TTADJ	RTADJ	TINV	RINV	—	SPB2IO	SPB2DT	RXDMON

リセット後の値 0 0 0 0 0 0 1 1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	RXDラインモニタフラグ	RINVビットが“0”のとき 0 : RXDn端子はLow 1 : RXDn端子はHigh RINVビットが“1”のとき 0 : RXDn端子はHigh 1 : RXDn端子はLow	R
b1	SPB2DT	シリアルポートブ레이크データビット (注1)	SCR.TEビット、SPB2DTビット、SPB2IOビット、TINVビットを組み合わせ、TXDn端子を制御します。詳細は表30.30を参照してください	R/W
b2	SPB2IO	シリアルポートブ레이크入出力ビット (注1)		R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	RINV	受信入力反転ビット (注2)	0 : RXD端子からの入力信号を反転しない 1 : RXD端子からの入力信号を反転する	R/W (注3)
b5	TINV	送信出力反転ビット (注2)	0 : TXD端子への出力信号を反転しない 1 : TXD端子への出力信号を反転する	R/W (注3)
b6	RTADJ	受信データサンプリングタイミング調整ビット (注4)	0 : 受信データのサンプリングポイントを調整しない 1 : 受信データのサンプリングポイントを調整する	R/W (注3)
b7	TTADJ	送信信号変化タイミング調整ビット (注4)	0 : 送信データの変化タイミングを調整しない 1 : 送信データの変化タイミングを調整する	R/W (注3)

注1. 調歩同期式モードでのみ有効です。

注2. スマートカードインタフェースモード、簡易I²Cモードで動作させる場合は、“0”にしてください。

注3. SCR.TEビットとREビットがともに“0”のときのみ書き換え可能です。

注4. 調歩同期式モードで、クロックソースに内蔵ポーレートジェネレータを選択したときのみ有効です。

RXDMON フラグ (RXDラインモニタフラグ)

RXDn端子のレベルをモニタするためのフラグです。

SPB2DT ビット (シリアルポートブ레이크データビット)

SCR.TEビットが“0”のときに、TXDn端子の出力レベルを指定するビットです。詳細は表30.30を参照してください。

SPB2IO ビット (シリアルポートブ레이크入出力ビット)

SCR.TEビットが“0”のときに、TXDn端子の入出力を指定するビットです。TXDn端子をソフトウェアで制御する場合は、“1” (出力) に設定してください。

表 30.30 TXDn端子の制御

SCR.TE ビットの設定値	SPB2IO ビットの設定値	SPB2DT ビットの設定値	TINV ビットの設定値	TXDn端子の状態
0 (送信禁止)	0 (入力)	任意	任意	Hi-Z
	1 (出力)	0	0	Low を出力
			1	High を出力
		1	0	High を出力
			1	Low を出力
1 (送信許可)	任意	任意	任意	送信データ出力端子

RINV ビット (受信入力反転ビット)

RXDn 端子からの入力信号をレシーブシフトレジスタの手前で論理反転するビットです。データビットだけでなく、スタートビット、パリティビット、ストップビットも反転します。

TINV ビット (送信出力反転ビット)

トランスミットシフトレジスタの出力信号を TXDn 端子の手前で論理反転するビットです。データビットだけでなく、スタートビット、パリティビット、ストップビットも反転します。

RTADJ ビット (受信データサンプリングタイミング調整ビット)

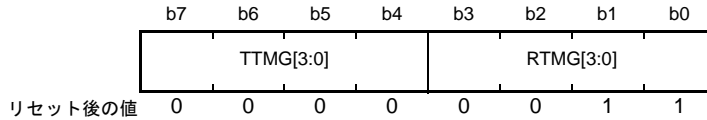
受信データのサンプリングポイントを、デフォルトの位置から変更するビットです。伝送線路や途中のデバイスの特性により、受信信号の High/Low 幅が変化してしまった場合などに、受信マージンを改善するために使用します。通常は“0”にしてください。

TTADJ ビット (送信信号変化タイミング調整ビット)

送信信号の High/Low が変化するタイミングを、デフォルトの位置から変更するビットです。伝送線路や途中のデバイスの特性により、送信信号の High/Low 幅が変化することが予想される場合などに、相手デバイスの受信マージンを改善するために使用します。通常は“0”にしてください。

30.2.28 送受信タイミング選択レジスタ (TMGR)

アドレス SCI0.TMGR 0008 A01Dh, SCI1.TMGR 0008 A03Dh, SCI2.TMGR 0008 A05Dh, SCI3.TMGR 0008 A07Dh, SCI4.TMGR 0008 A09Dh, SCI5.TMGR 0008 A0BDh, SCI6.TMGR 0008 A0DDh, SCI7.TMGR 0008 A0FDh, SCI8.TMGR 0008 A11Dh, SCI9.TMGR 0008 A13Dh, SCI10.TMGR 000D 001Dh, SCI11.TMGR 000D 003Dh



ビット	シンボル	ビット名	機能	R/W
b3-b0	RTMG[3:0]	受信データサンプリングタイミング選択ビット (注1)	b3 b0 1111: デフォルト位置から7クロック前でサンプリング 1110: デフォルト位置から6クロック前でサンプリング 1101: デフォルト位置から5クロック前でサンプリング 1100: デフォルト位置から4クロック前でサンプリング 1011: デフォルト位置から3クロック前でサンプリング 1010: デフォルト位置から2クロック前でサンプリング 1001: デフォルト位置から1クロック前でサンプリング x000: デフォルト位置でサンプリング 0001: デフォルト位置から1クロック後でサンプリング 0010: デフォルト位置から2クロック後でサンプリング 0011: デフォルト位置から3クロック後でサンプリング 0100: デフォルト位置から4クロック後でサンプリング 0101: デフォルト位置から5クロック後でサンプリング 0110: デフォルト位置から6クロック後でサンプリング 0111: デフォルト位置から7クロック後でサンプリング	R/W (注2)
b7-b4	TTMG[3:0]	送信信号変化タイミング選択ビット (注3)	b7 b4 1111: “1”から“0”への変化を7クロック遅らせる 1110: “1”から“0”への変化を6クロック遅らせる 1101: “1”から“0”への変化を5クロック遅らせる 1100: “1”から“0”への変化を4クロック遅らせる 1011: “1”から“0”への変化を3クロック遅らせる 1010: “1”から“0”への変化を2クロック遅らせる 1001: “1”から“0”への変化を1クロック遅らせる x000: 波形を変化させない 0001: “0”から“1”への変化を1クロック遅らせる 0010: “0”から“1”への変化を2クロック遅らせる 0011: “0”から“1”への変化を3クロック遅らせる 0100: “0”から“1”への変化を4クロック遅らせる 0101: “0”から“1”への変化を5クロック遅らせる 0110: “0”から“1”への変化を6クロック遅らせる 0111: “0”から“1”への変化を7クロック遅らせる	R/W (注4)

- 注1. SPTR.RTADJビットが“1”のときのみ有効です。
 注2. SPTR.RTADJビットが“0”のときのみ書き換え可能です。
 注3. SPTR.TTADJビットが“1”のときのみ有効です。
 注4. SPTR.TTADJビットが“0”のときのみ書き換え可能です。

TMGR レジスタは受信データのサンプリングタイミングや送信データの変化タイミングを調整するレジスタです。調歩同期式モードで、クロックソースに内蔵ボーレートジェネレータを選択したときのみ有効です。本レジスタは、SCI12にはありません。

RTMG[3:0] ビット (受信データサンプリングタイミング選択ビット)

受信データのサンプリングポイントを選択するビットです。SPTR.RTADJ ビットが“1”のときのみ有効です。RTMG[3] ビットが“0”の場合、デフォルト位置より後ろで、“1”の場合、前でサンプリングします。

RTMG[2:0] ビットにはサンプリングポイントの移動量を基本クロックの数で設定します。設定可能な値の範囲については、表 30.31 を参照してください。

表30.31 RTMG[2:0]ビットに設定可能な値の範囲

SEMR.ABCSEビットの設定値	SEMR.ABCSビットの設定値	データビットの幅	設定可能な値の範囲
0	0	16 サイクル	0~7 ("000b"~"111b")
0	1	8 サイクル	0~3 ("000b"~"011b")
1	任意	6 サイクル	0~2 ("000b"~"010b")

TTMG[3:0] ビット (送信信号変化タイミング選択ビット)

トランスミットシフトレジスタにおける送信信号の変化タイミングを選択するビットです。SPTR.TTADJビットが“1”のときのみ有効です。

TTMG[3] ビットが“0”の場合、“0”から“1”に変化するタイミングを、TTMG[3] ビットが“1”の場合、“1”から“0”に変化するタイミングを遅らせます。SPTR.TINV ビットの値により、TXDn 端子からの出力波形は以下のように変化します。

(1) SPTR.TINV ビットが“0”の場合

TTMG[3] ビットが“0”の場合、Low から High への変化(立ち上がりエッジ)が遅れるため、High 幅が Low 幅より短くなります。

TTMG[3] ビットが“1”の場合、High から Low への変化(立ち下がりエッジ)が遅れるため、High 幅が Low 幅より長くなります。

(2) TINV ビットが“1”の場合

TTMG[3] ビットが“0”の場合、High から Low への変化(立ち下がりエッジ)が遅れるため、High 幅が Low 幅より長くなります。

TTMG[3] ビットが“1”の場合、Low から High への変化(立ち上がりエッジ)が遅れるため、High 幅が Low 幅より短くなります。

TTMG[2:0] ビットには遅延量を基本クロックの数で設定します。設定可能な値の範囲については、表 30.32 を参照してください。

表30.32 TTMG[2:0]ビットに設定可能な値の範囲

SEMR.ABCSEビットの設定値	SEMR.ABCSビットの設定値	データビットの幅	設定可能な値の範囲
0	0	16 サイクル	0~7 ("000b"~"111b")
0	1	8 サイクル	0~7 ("000b"~"111b")
1	任意	6 サイクル	0~5 ("000b"~"101b")

30.2.29 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0 : 拡張シリアルモード無効 1 : 拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット (拡張シリアルモード有効ビット)

ESME ビットが“1”の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを“0”にすると、拡張シリアルモード制御部は初期化された状態になります。

表30.33 ESME ビットの設定とタイマ動作モード

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	使用可能 (注1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注1. PCLK 選択時のみ動作します。

30.2.30 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

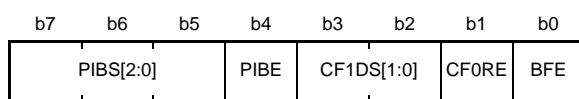
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frame ステータスフラグ	0 : Start Frame 検出機能無効状態 1 : Start Frame 検出機能有効状態	R
b2	RXDSF	RXDX12 入力ステータスフラグ	0 : RXDX12 入力許可状態 1 : RXDX12 入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

30.2.31 コントロールレジスタ 1 (CR1)

アドレス SCI12.CR1 0008 B322h

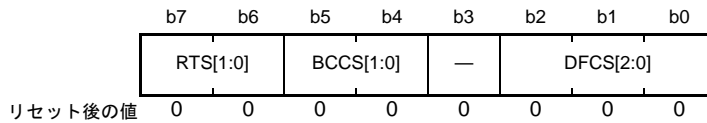


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0 : Break Fieldの検出が無効 1 : Break Fieldの検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0 : Control Field 0受信無効 1 : Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ選択ビット	b3 b2 00 : PCF1DRを比較データに選択 01 : SCF1DRを比較データに選択 10 : PCF1DRおよびSCF1DRを比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プラリオリティインタラプトビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プラリオリティインタラプトビットセレクトビット	b7 b5 000 : Control Field 1 0ビット目 001 : Control Field 1 1ビット目 010 : Control Field 1 2ビット目 011 : Control Field 1 3ビット目 100 : Control Field 1 4ビット目 101 : Control Field 1 5ビット目 110 : Control Field 1 6ビット目 111 : Control Field 1 7ビット目	R/W

30.2.32 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h



ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RXDX12信号デジタルフィルタ クロック選択ビット	b2 b0 0 0 0 : フィルタ無効 0 0 1 : フィルタクロックは基本クロック (注1、注2) 0 1 0 : フィルタクロックはPCLK/8 0 1 1 : フィルタクロックはPCLK/16 1 0 0 : フィルタクロックはPCLK/32 1 0 1 : フィルタクロックはPCLK/64 1 1 0 : フィルタクロックはPCLK/128 1 1 1 : 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択 ビット	<ul style="list-style-type: none"> SEMR.BGDMビットが“0”または、SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”以外の場合 b5 b4 0 0 : 基本クロック 0 1 : 基本クロックの2分周 1 0 : 基本クロックの4分周 1 1 : 設定しないでください <ul style="list-style-type: none"> SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合 b5 b4 0 0 : 基本クロックの2分周 0 1 : 基本クロックの4分周 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b6	RTS[1:0]	RXDX12受信サンプリング タイミング選択ビット	<ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=0の場合 b7 b6 0 0 : 基本クロックの8クロック目の立ち上がり 0 1 : 基本クロックの10クロック目の立ち上がり 1 0 : 基本クロックの12クロック目の立ち上がり 1 1 : 基本クロックの14クロック目の立ち上がり <ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=1の場合 b7 b6 0 0 : 基本クロックの4クロック目の立ち上がり 0 1 : 基本クロックの5クロック目の立ち上がり 1 0 : 基本クロックの6クロック目の立ち上がり 1 1 : 基本クロックの7クロック目の立ち上がり	R/W

注. 基本クロックとは、SCI12.SEMR.ABCS = 0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS = 1のとき、1データ期間の1/8の周期です。

注1. 基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

注2. SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合は基本クロックの2分周がフィルタクロックとなります。

30.2.33 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

30.2.34 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXP S	TXDXP S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXP S	RXD12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXD12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXD12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RXD12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RXD12 端子を兼用した半二重通信が可能となります。

30.2.35 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width 検出割り込み許可ビット	0 : Break Field Low width 検出割り込み禁止 1 : Break Field Low width 検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

30.2.36 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

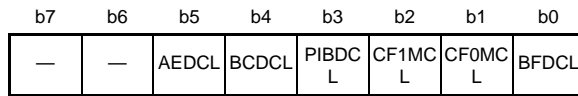
b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width 検出フラグ	["1"になる条件] • Break Field Low width 検出したとき • Break Field Low width 出力完了したとき • タイマがアンダフローしたとき ["0"になる条件] • STCR.BFDCL ビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0 一致フラグ	["1"になる条件] • Control Field 0 受信データが設定データと一致したとき ["0"になる条件] • STCR.CF0MCL ビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1 一致フラグ	["1"になる条件] • Control Field 1 受信データが設定データと一致したとき ["0"になる条件] • STCR.CF1MCL ビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプト ビット検出フラグ	["1"になる条件] • プライオリティインタラプトビットを検出したとき ["0"になる条件] • STCR.PIBDCL ビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"になる条件] • バス衝突を検出したとき ["0"になる条件] • STCR.BCDCL ビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"になる条件] • 有効エッジを検出したとき ["0"になる条件] • STCR.AEDCL ビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

30.2.37 ステータスクリアレジスタ (STCR)

アドレス SCI12.STCR 0008 B328h

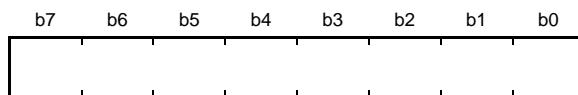


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCCL	BFDFクリアビット	BFDCCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCCL	PIBDFクリアビット	PIBDCCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

30.2.38 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h



リセット後の値 0 0 0 0 0 0 0 0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

30.2.39 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペア無効 1 : Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペア無効 1 : Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペア無効 1 : Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペア無効 1 : Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペア無効 1 : Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペア無効 1 : Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペア無効 1 : Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペア無効 1 : Control Field 0 ビット7コンペア有効	R/W

30.2.40 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。

30.2.41 プライマリ Control Field 1 データレジスタ (PCF1DR)

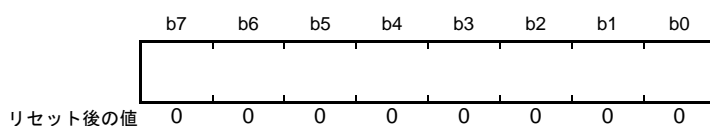
アドレス SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

30.2.42 セカンダリ Control Field 1 データレジスタ (SCF1DR)

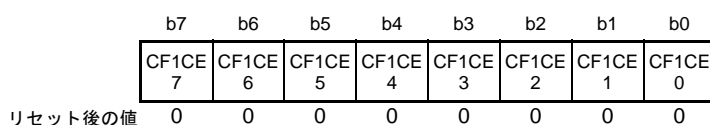
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

30.2.43 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

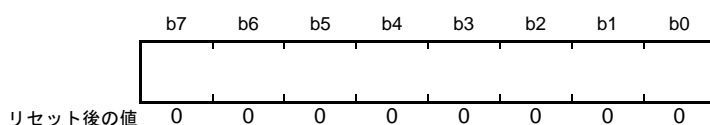
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブルビット	0 : Control Field 1 ビット0コンペア無効 1 : Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブルビット	0 : Control Field 1 ビット1コンペア無効 1 : Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブルビット	0 : Control Field 1 ビット2コンペア無効 1 : Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブルビット	0 : Control Field 1 ビット3コンペア無効 1 : Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブルビット	0 : Control Field 1 ビット4コンペア無効 1 : Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブルビット	0 : Control Field 1 ビット5コンペア無効 1 : Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブルビット	0 : Control Field 1 ビット6コンペア無効 1 : Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブルビット	0 : Control Field 1 ビット7コンペア無効 1 : Control Field 1 ビット7コンペア有効	R/W

30.2.44 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。

30.2.45 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCST

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

30.2.46 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]		TWRC	—	TOMS[1:0]		—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット(注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット(注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

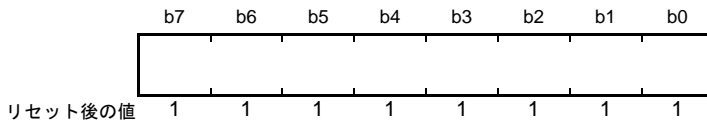
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時(TCST = 0)に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

30.2.47 タイムプリスケアラレジスタ (TPRE)

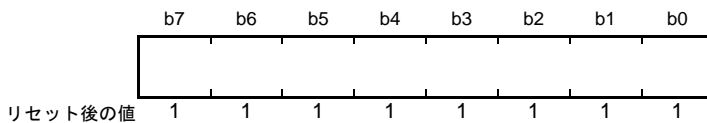
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

30.2.48 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

30.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 30.6 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。また、SCI10、SCI11 には FIFO が搭載されていますので、より効率よく送受信が行えます。

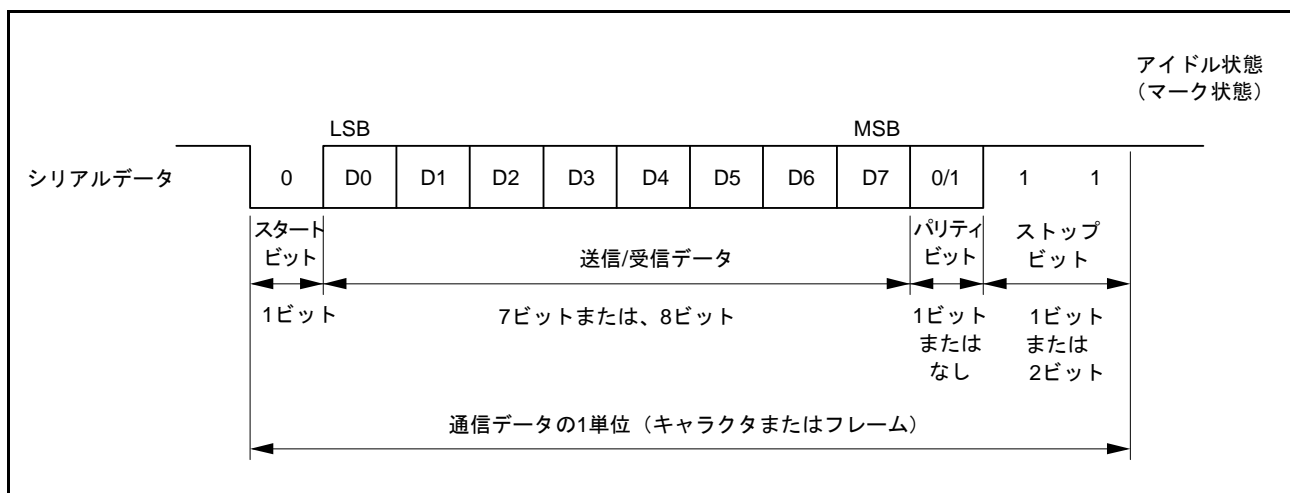


図 30.6 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

30.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 30.34 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「30.4 マルチプロセッサ通信機能」を参照してください。

表 30.34 シリアル送信/受信フォーマット(調歩同期式モード)

SCMR の設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
0	0	0	0	0	0	S	9ビットデータ									STOP						
0	0	0	0	1	1	S	9ビットデータ									STOP	STOP					
0	0	1	0	0	0	S	9ビットデータ									P	STOP					
0	0	1	0	1	1	S	9ビットデータ									P	STOP	STOP				
1	0	0	0	0	0	S	8ビットデータ								STOP							
1	0	0	0	1	1	S	8ビットデータ								STOP	STOP						
1	0	1	0	0	0	S	8ビットデータ								P	STOP						
1	0	1	0	1	1	S	8ビットデータ								P	STOP	STOP					
1	1	0	0	0	0	S	7ビットデータ							STOP								
1	1	0	0	1	1	S	7ビットデータ							STOP	STOP							
1	1	1	0	0	0	S	7ビットデータ							P	STOP							
1	1	1	0	1	1	S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0	0	S	9ビットデータ									MPB	STOP					
0	0	—	1	1	1	S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0	0	S	8ビットデータ								MPB	STOP						
1	0	—	1	1	1	S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0	0	S	7ビットデータ							MPB	STOP							
1	1	—	1	1	1	S	7ビットデータ							MPB	STOP	STOP						

S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

30.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図30.7に示すように受信データを基本クロックの8サイクル目(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央(注2)でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right\} \times 100 (\%) \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCSEビットが“0”、かつSEMR.ABCSビットが“0”のときN = 16
- SEMR.ABCSEビットが“0”、かつSEMR.ABCSビットが“1”のときN = 8
- SEMR.ABCSEビットが“1”のときN = 6

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

注1. いずれもSEMR.ABCSEビットが“0”、かつSEMR.ABCSビットが“0”のときの値です。ABCSEビットが“0”、かつABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。また、ABCSEビットが“1”のときは、ビットレートの6倍の周波数が基本クロックとなり、受信データは基本クロックの3番目の立ち上がりエッジでサンプリングします。

注2. SPTR.RTADJビットが“0”の場合。

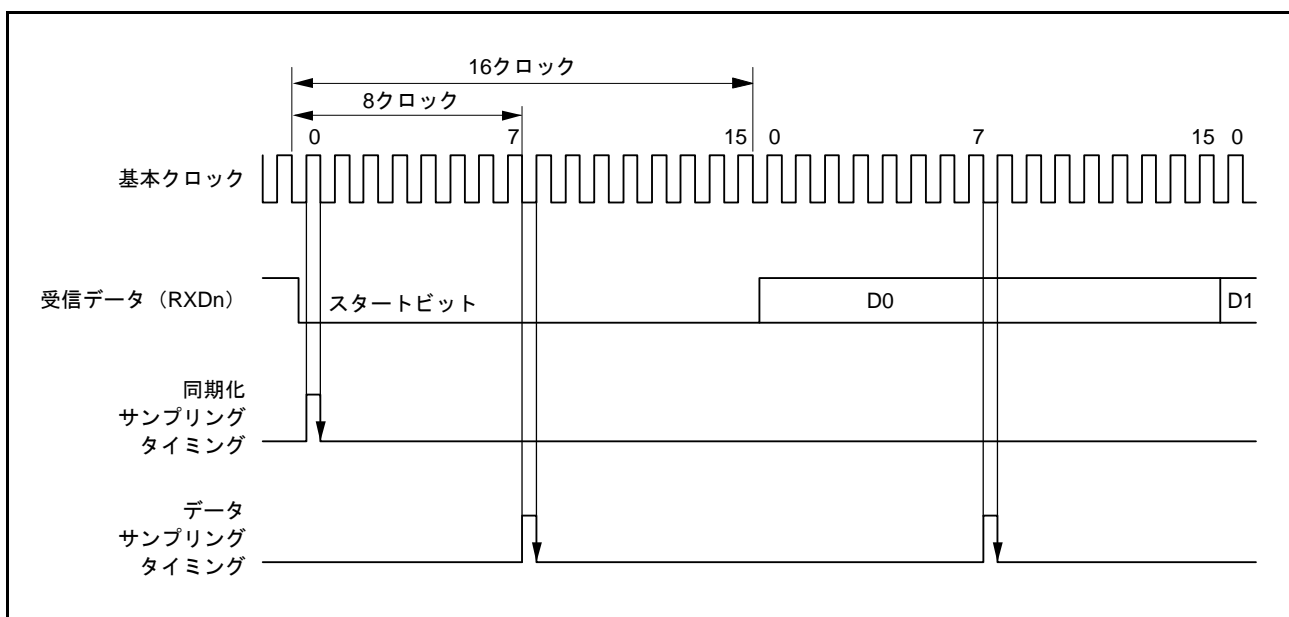


図 30.7 調歩同期式モードの受信データサンプリングタイミング

SCI0 ~ SCI11 には、通信線路上のデバイスの影響などにより信号の High 幅や Low 幅が変わってしまう場合に備え、受信データのサンプリングタイミングや送信データの変化タイミングを変更する機能があります。

30.3.2.1 受信データのサンプリングタイミング調整

立ち上がり時間と立ち下がり時間の差が大きく、High 幅と Low 幅に差ができてしまった波形を受信した場合、短い方のパルスの中央でデータをサンプリングするようにタイミングを調整します。Low 幅が短い場合はサンプリングタイミングを早め、High 幅が短い場合はサンプリングタイミングを遅らせます。

TMGR.RTMG[3:0] ビットにデフォルトのサンプリングポイントに対するオフセットを設定し、SPTR.RTADJ ビットを“1”にすると、設定した位置で受信データをサンプリングします。

図 30.8 にサンプリングタイミングの調整例を示します。

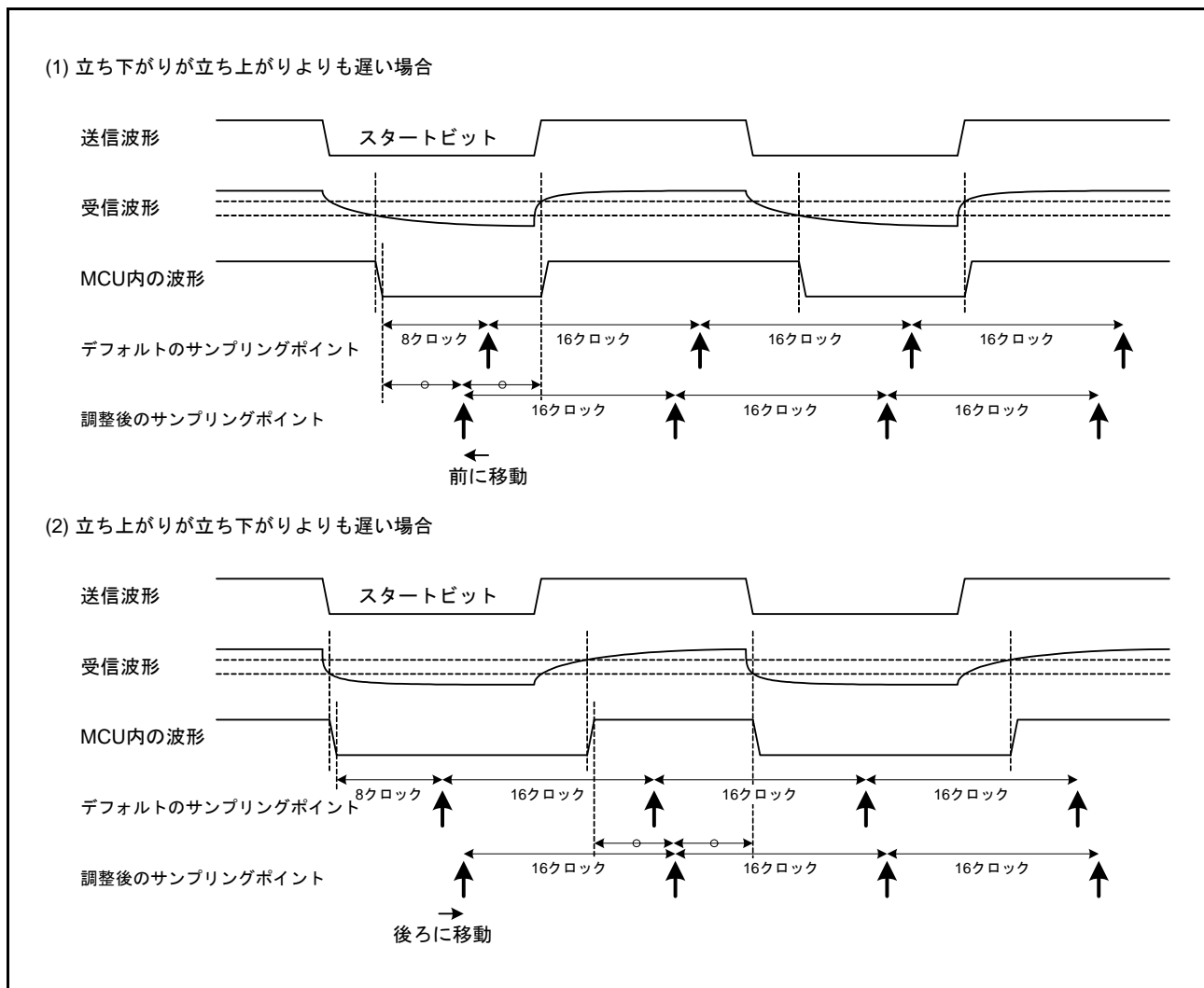


図 30.8 サンプリングタイミングの調整例 (SEMR.ABCSE ビット = 0, SEMR.ABCS ビット = 0)

30.3.2.2 送信データの変化タイミング調整

逆に、本MCUが送信した波形が受信側のデバイスでHigh幅とLow幅に差ができてしまうような場合に、送信時に前もってHigh幅とLow幅に差を持たせて、受信側で差がなくなるように調整することもできます。受信側でHigh幅が短くなる場合は立ち下がりエッジを遅らせることで送信時のHigh幅を広げ、Low幅が短くなる場合は立ち上がりエッジを遅らせることで送信時のLow幅を広げます。

TMGR.TTMG[3:0]ビットに変化させるエッジとその遅延量を設定し、SPTR.TTADJビットを“1”にすると、設定した位置で送信データが変化します。

図 30.9 に変化タイミングの調整例を示します。

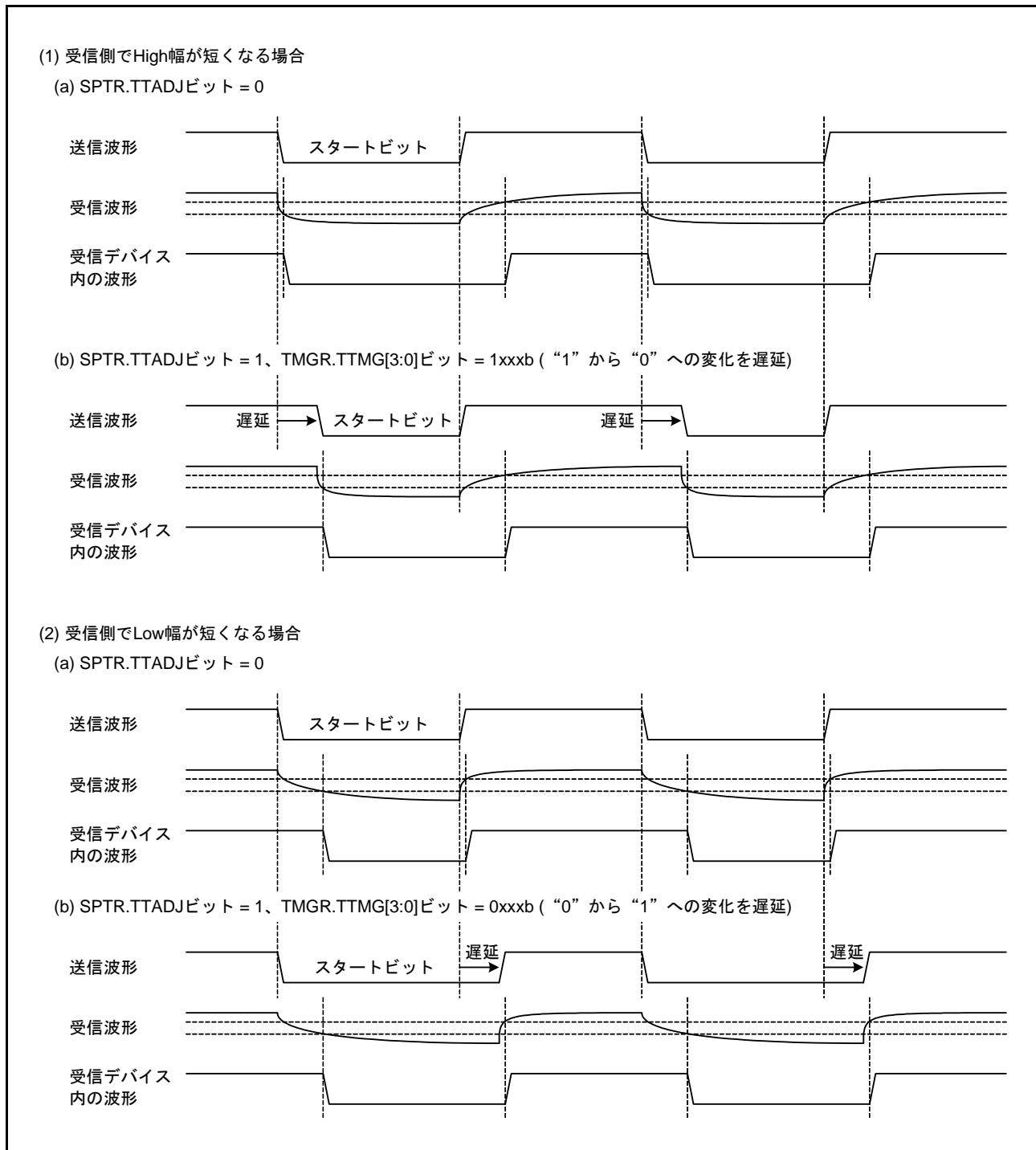


図 30.9 変化タイミングの調整例

30.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット（n=5, 6, 12）の設定により、TMR0、TMR1からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図30.10に示すように送信データの中央でクロックが立ち上がります。

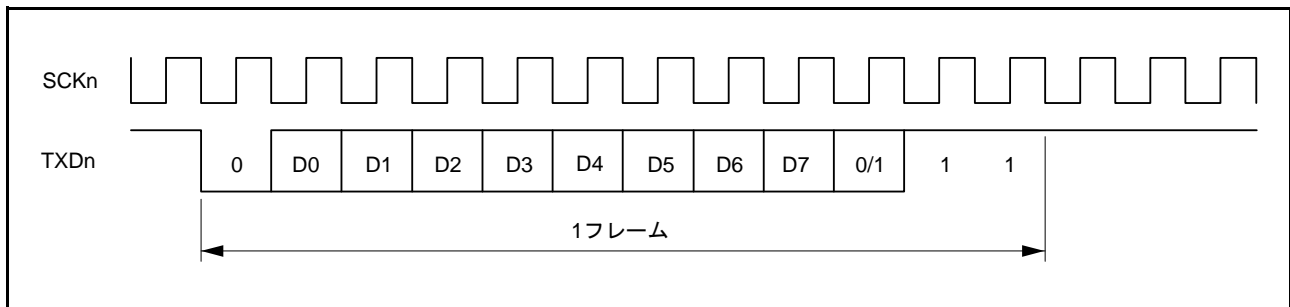


図 30.10 出カクロックと送信データの位相関係
(調歩同期式モード: SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

30.3.4 倍速モードと6分周モード

SEMR.BGDMビットを“1”にすることによって内蔵ポーレートジェネレータの出力クロック周波数が2倍となり、ビットレートが2倍の高速通信が可能となります。また、この状態からSEMR.ABCSビットを“1”にすると基本クロックのサイクル数が16から8になるため、ビットレートは初期状態から4倍に高速化されます。

また、SEMR.ABCSEビットを“1”にすると、1ビット期間中の基本クロックパルス数が6、かつ基本クロックの周期が1/2になり、SEMRレジスタのABCSビット、BGDMビット、ABCSEビットがすべて“0”の場合に比べ16/3倍のビットレートで動作します。

なお、「30.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SEMR.ABCSビットを“1”にするとサイクル数が8になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート2倍の高速通信は、SEMR.BGDMビットを“0”、SEMR.ABCSビットを“1”にするよりも、SEMR.BGDMビットを“1”、SEMR.ABCSビットを“0”にする設定を推奨します。

30.3.5 CTS、RTS 機能

CTS 機能は、CTS#n 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを“1”にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTS#n 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTS#n 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTS#n 端子出力を使用して送信要求を行う機能で、受信可能状態になると Low を出力します。RTS#n 端子から Low、High を出力する条件は以下の通りです。

(a) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて“0”

[High になる条件]

Low になる条件を満たさない場合

(b) FIFO 有効の SCI10、SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信 FIFO 内の格納データ数がしきい値 (FCR.RTRG[3:0]) 未満
- SSRFIFO.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

30.3.6 データ一致検出機能

データ一致検出機能は、SCI0 ~ SCI11 の調歩同期式モードで利用可能です。

DCCR.DCME ビットを“1”にすると、受信データと CDR.CMPD[8:0] ビットの内容が比較(注1)され、値が一致すると受信データフル割り込み (RXI) 要求が発生します。

SMR.MP ビットが“0”の場合は、すべての受信データが比較されます。

SMR.MP ビットを“1”にすると、DCCR.IDSEL ビットが“1”の場合は、マルチプロセッサビットが“1”のデータのみが比較され、“0”のデータは無視されます。DCCR.IDSEL ビットが“0”の場合は、マルチプロセッサビットの値にかかわらずすべての受信データが比較されます。

受信データが CDR.CMPD[8:0] ビットの値と一致するまでは、受信データの格納は行われず、フラグも更新されません。データが一致すると、DCCR.DCME ビットは自動的に“0”になり、DCMF フラグが“1”になります。このとき、DCCR.IDSEL ビットが“1”であると、SCR.MPIE ビットも自動的に“0”になります。また、SCR.RIE ビットが“1”であると、受信データフル割り込み (RXI) 要求が発生します。

一致したデータにフレーミングエラーがあった場合は、DCCR.DFER フラグが“1”になり、パリティエラーがあった場合は DCCR.DPER フラグが“1”になります。CDR.CMPD[8:0] ビットの値と一致した受信データは受信バッファに格納されず、SSR.RDRF フラグ (FCR.FM ビットが“1”の場合は SSRFIFO.RDF フ

ラグ) も“1”になりません。

データの一致を検出し、DCCR.DCME ビットが“0”になった後は、通常通りデータの受信が行われます。

DCCR.DFER フラグまたは DCCR.DPER フラグが“1”のときは、データの一致は検出されません。データ一致検出機能を有効にする前に、これらのフラグは“0”にしてください。

注 1. 比較対象は SMR.CHR ビット、SCMR.CHR1 ビットで指定したキャラクタ長に相当する部分です。

図 30.11、図 30.12 にデータ一致検出の例を示します。

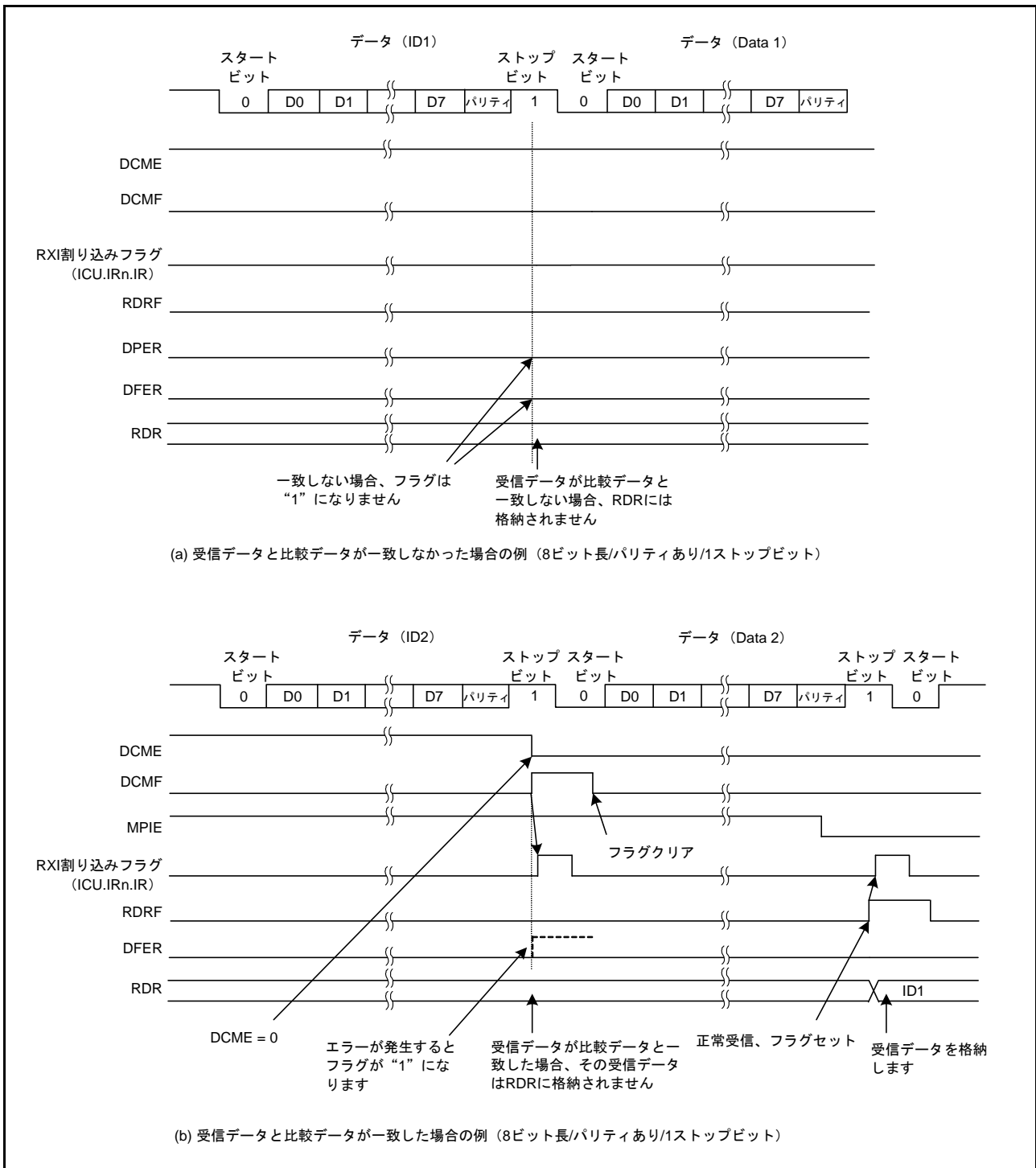


図 30.11 データ一致検出の例 (1) 非マルチプロセッサモード

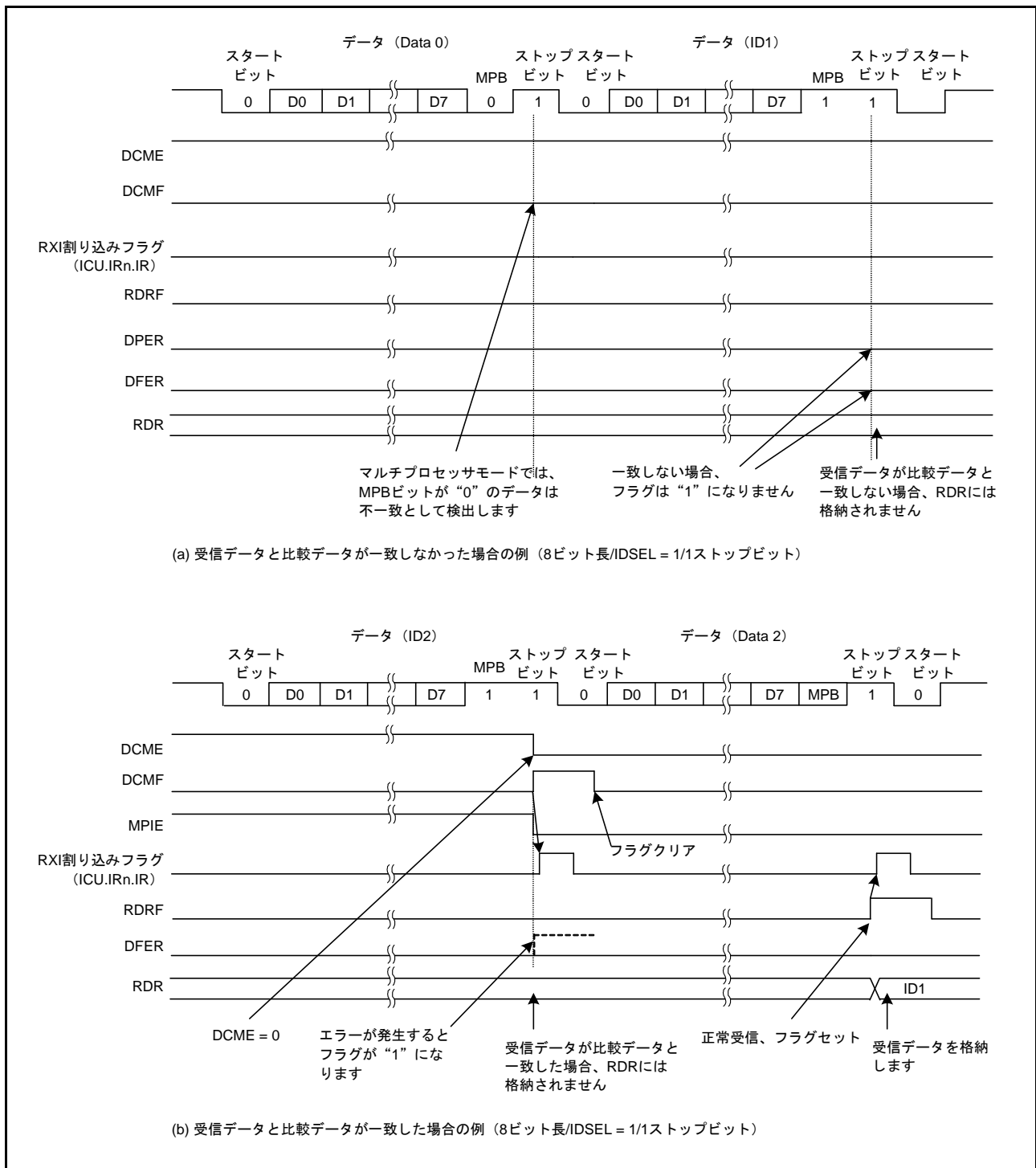


図 30.12 データ一致検出の例 (2) マルチプロセッサモード

30.3.7 SCIの初期化 (調歩同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 30.13 または図 30.14 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグ、SSRFIFO.RDF フラグ、および RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。また、SCR.TE ビットを “0” にしても、SSRFIFO.TEND フラグは “1” になりませんので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、送信データエンベティ割り込み (TXI) 要求が発生する前に送信終了割り込み (TEI) 要求が発生しますので注意してください。

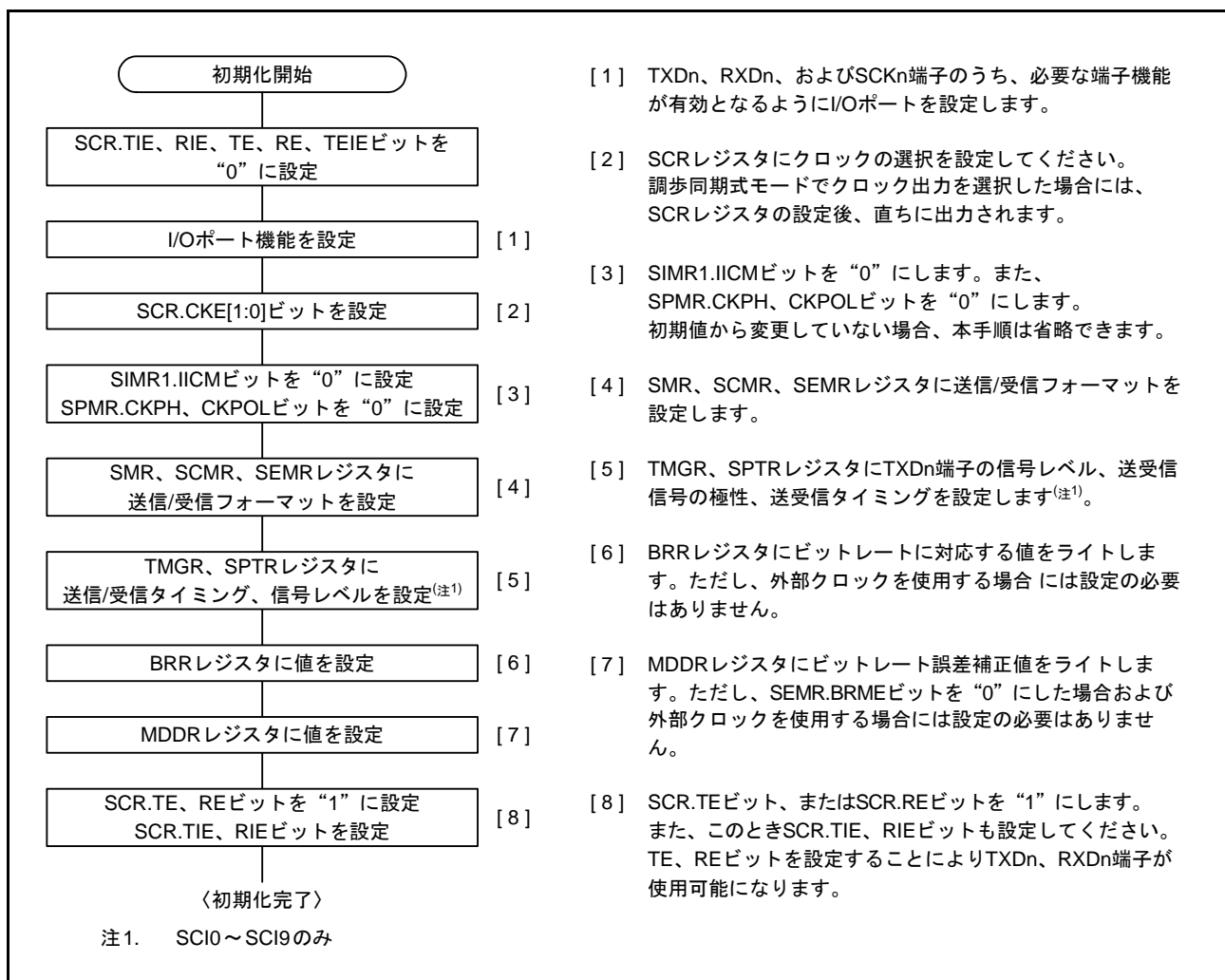


図 30.13 SCIの初期化フローチャートの例 (調歩同期式モード) (SCI0～SCI9, SCI12)



図 30.14 SCI の初期化フローチャートの例 (調歩同期式モード、FIFO 使用) (SCI10, SCI11)

図 30.15 は、リセット解除後に図 30.13 に従って SCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXD 端子に設定した時点では、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります(注1)。調歩同期式モードでは、この期間 TXD 端子は High になります。

注1. SEMR.ITE ビットが“0”の場合。ITE ビットが“1”の場合、この内部待機期間はありません。

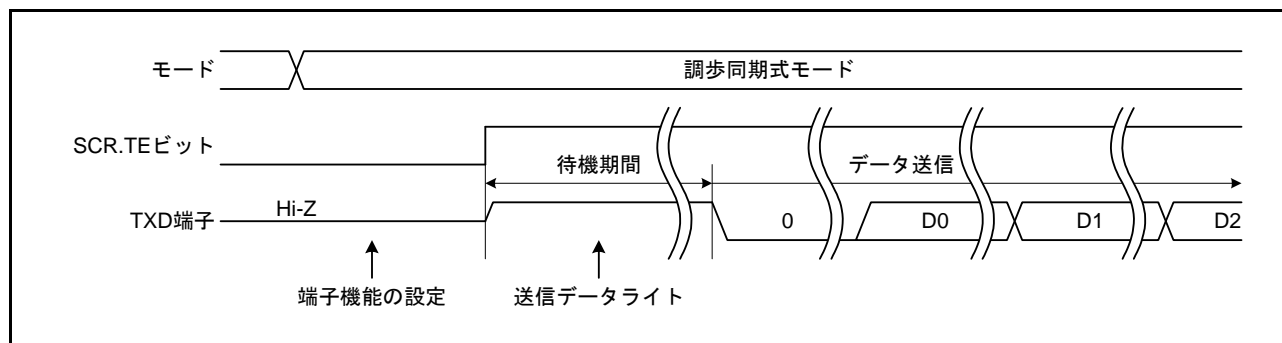


図 30.15 調歩同期式モード時のデータ送信タイミング例

30.3.8 シリアルデータの送信 (調歩同期式モード)

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

図 30.16 ~ 図 30.18 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、TDR レジスタ (注 1) から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、TDR レジスタ (注 1) から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ (注 1、注 2) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ (注 1、注 2) に書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ (注 3) の更新 (書き込み) をチェックします。
5. TDR レジスタ (注 3) が更新されていると、SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタ (注 1) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ (注 3) が更新されていない場合は、SSR.TEND フラグを“1”にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”であると、SSR.TEND フラグが“1”になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 30.19 にシリアル送信のフローチャートの例を示します。

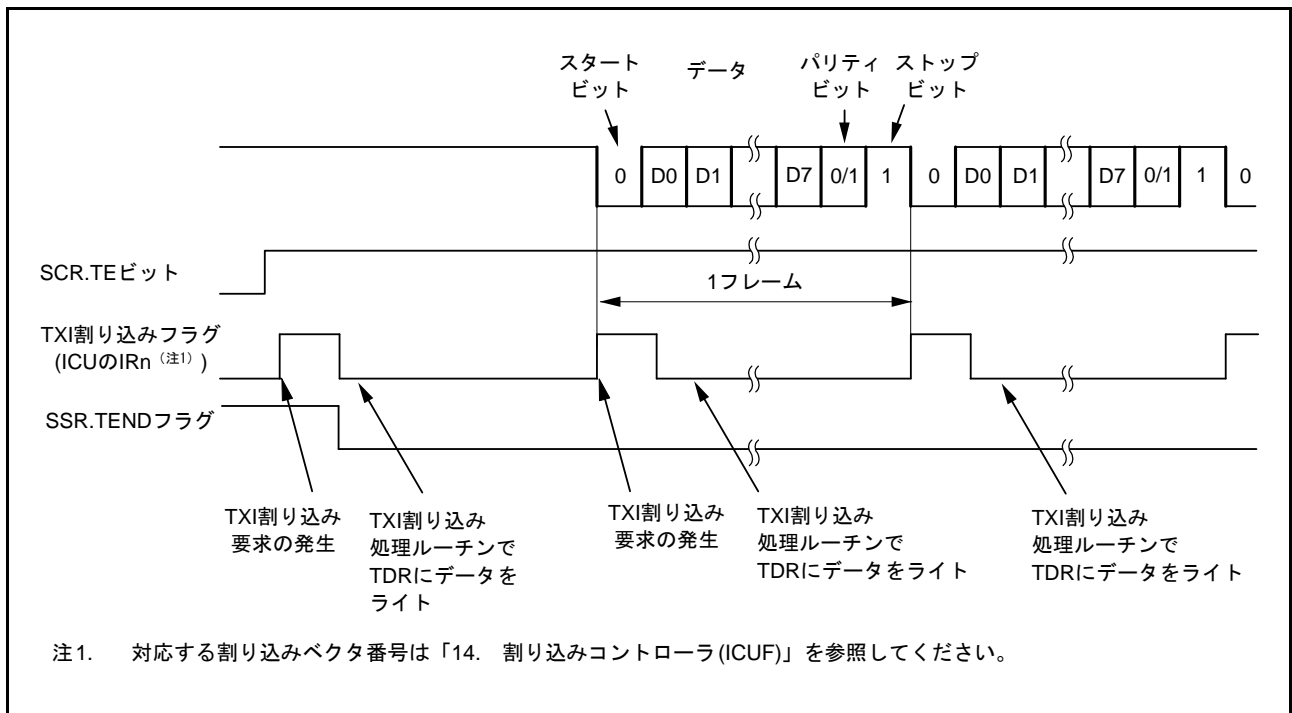


図 30.16 調歩同期式モードのシリアル送信の動作例 (1)
(8 ビットデータ / パリティあり / 1 ストップビット / CTS 機能使用しない / 送信開始時)

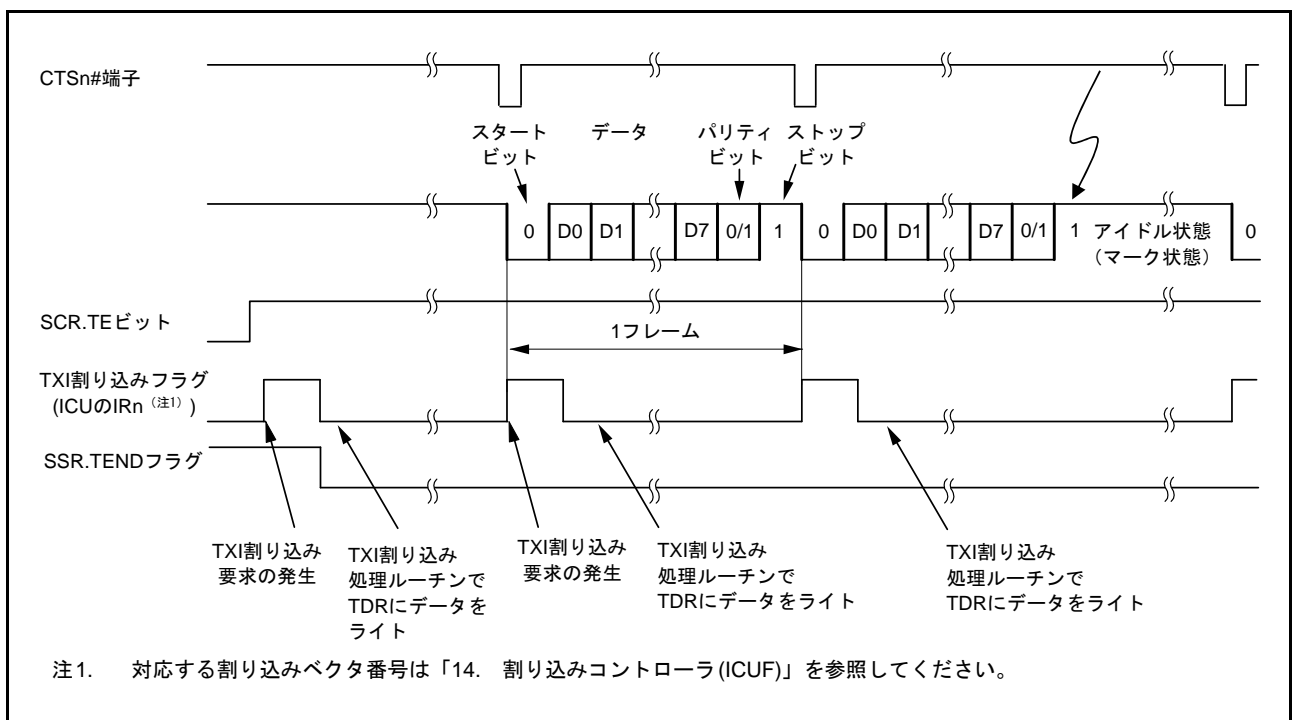


図 30.17 調歩同期式モードのシリアル送信の動作例 (2)
(8 ビットデータ / パリティあり / 1 ストップビット / CTS 機能使用する / 送信開始時)

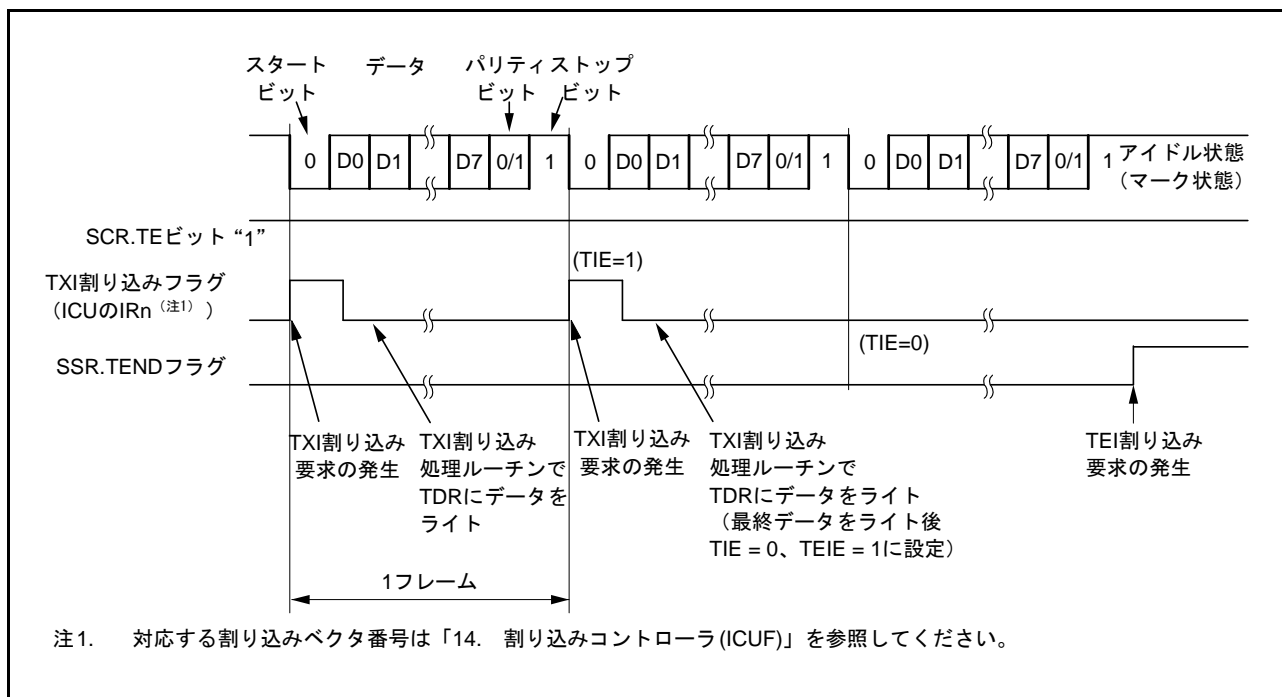


図 30.18 調歩同期式モードのシリアル送信の動作例 (3)
 (8ビットデータ / パリティあり / 1ストップビット / CTS機能使用しない / 送信中～送信終了時)

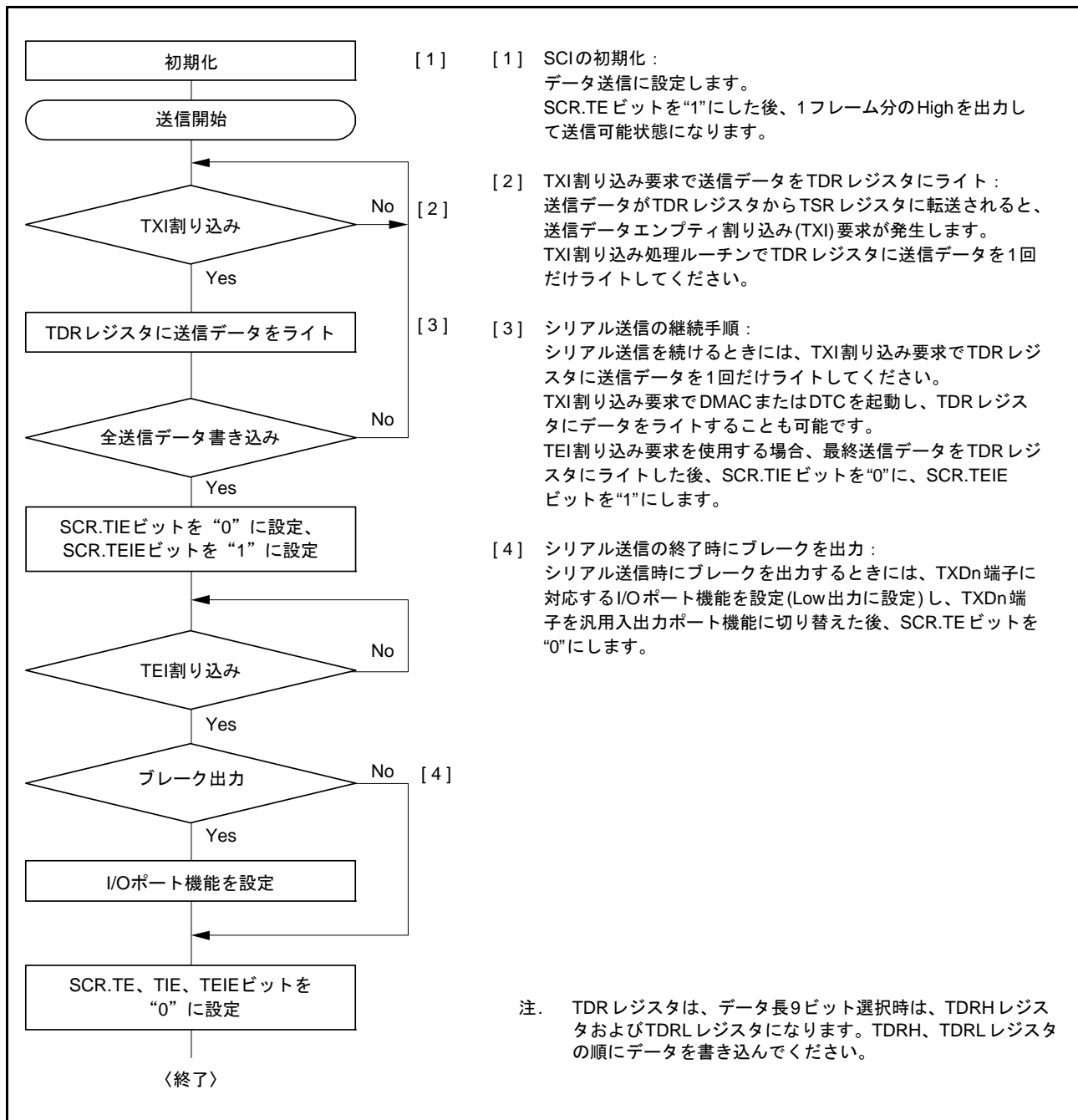


図 30.19 調歩同期式モードのシリアル送信のフローチャート例

(2) FIFO 有効の SCI10、SCI11 の場合

送信開始時の TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを同時に“1”にすることで発生します。

送信データは、TDR レジスタの代わりに FTDR レジスタ（7ビット、8ビットの場合は FTDR.L レジスタ）に設定します。送信 FIFO から TSR レジスタにデータが転送されたときに、送信 FIFO 内の格納データ数がしきい値 (FCR.TTRG[3:0]) 以下であると、送信データエンプティ割り込み (TXI) 要求が出力されます。TXI 割り込み処理ルーチンでは、最大 16 - FDR.T[4:0] フレーム分の送信データが設定できます。すべての送信データを設定し終わったら SSRFIFO.TDFE フラグを“0”にしてください。

DMAC や DTC を使用して送信データを設定する場合は、TDFE フラグは自動で“0”になります。

ブレークを出力する場合は、SPTR レジスタの SPB2IO ビットと SPB2DT ビットを使用します。設定が終わったら SCR.TE ビットを“0”にすると、ブレークが送出されます。

30.3.9 シリアルデータの受信 (調歩同期式モード)

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

図 30.20、図 30.21 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ (注1) に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ (注1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ (注1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ (注1) に転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ (注1) に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ (注2) に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

注1. データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注2. データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。

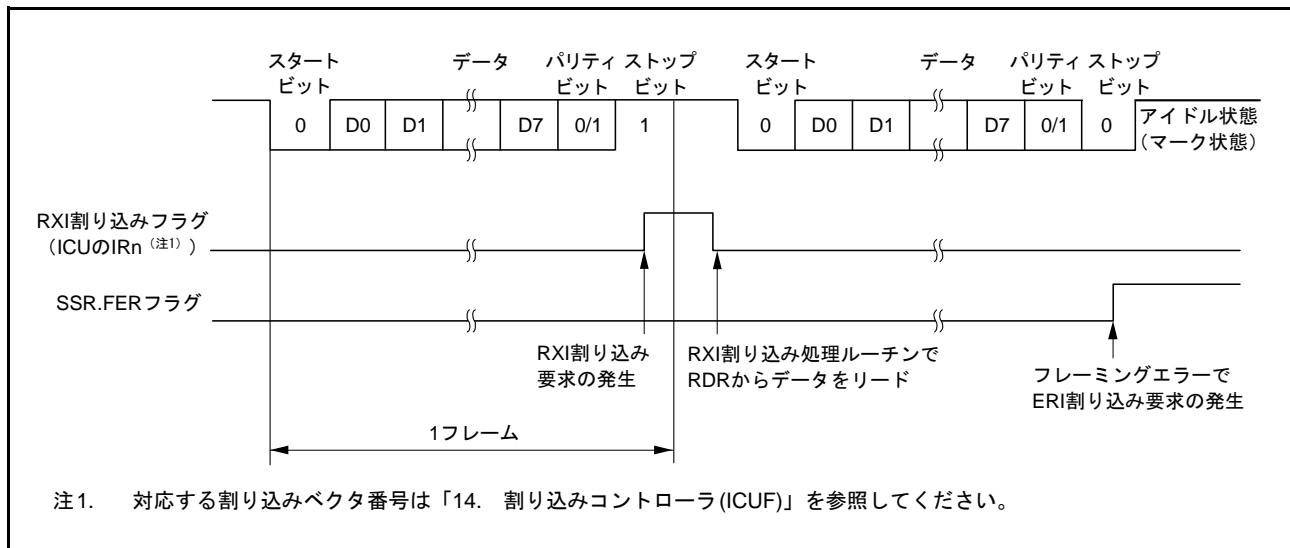


図 30.20 調歩同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

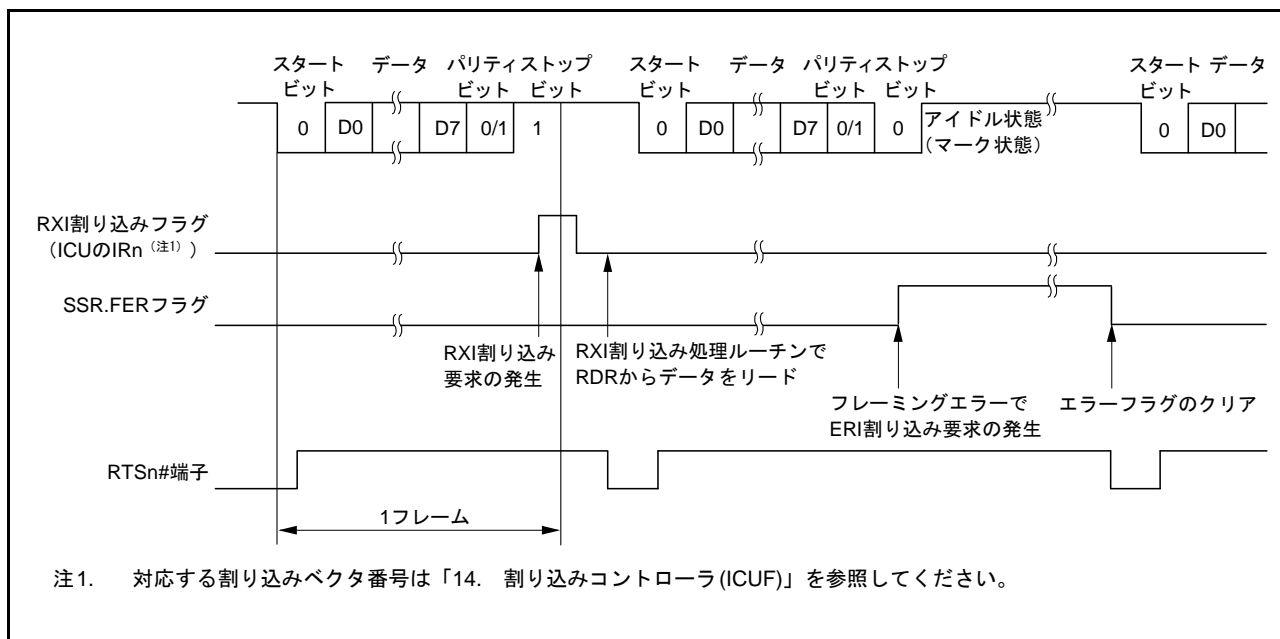


図 30.21 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時) (8ビットデータ / パリティあり / 1ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 30.35 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 30.22、図 30.23 にシリアル受信のフローチャートの例を示します。

表 30.35 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1)へ転送	フレーミングエラー
0	0	1	RDR (注1)へ転送	パリティエラー
1	1	0	消失	オーバランエラー+フレーミングエラー
1	0	1	消失	オーバランエラー+パリティエラー
0	1	1	RDR (注1)へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注1. データ長9ビット選択時はRDRH、RDRLレジスタになります。

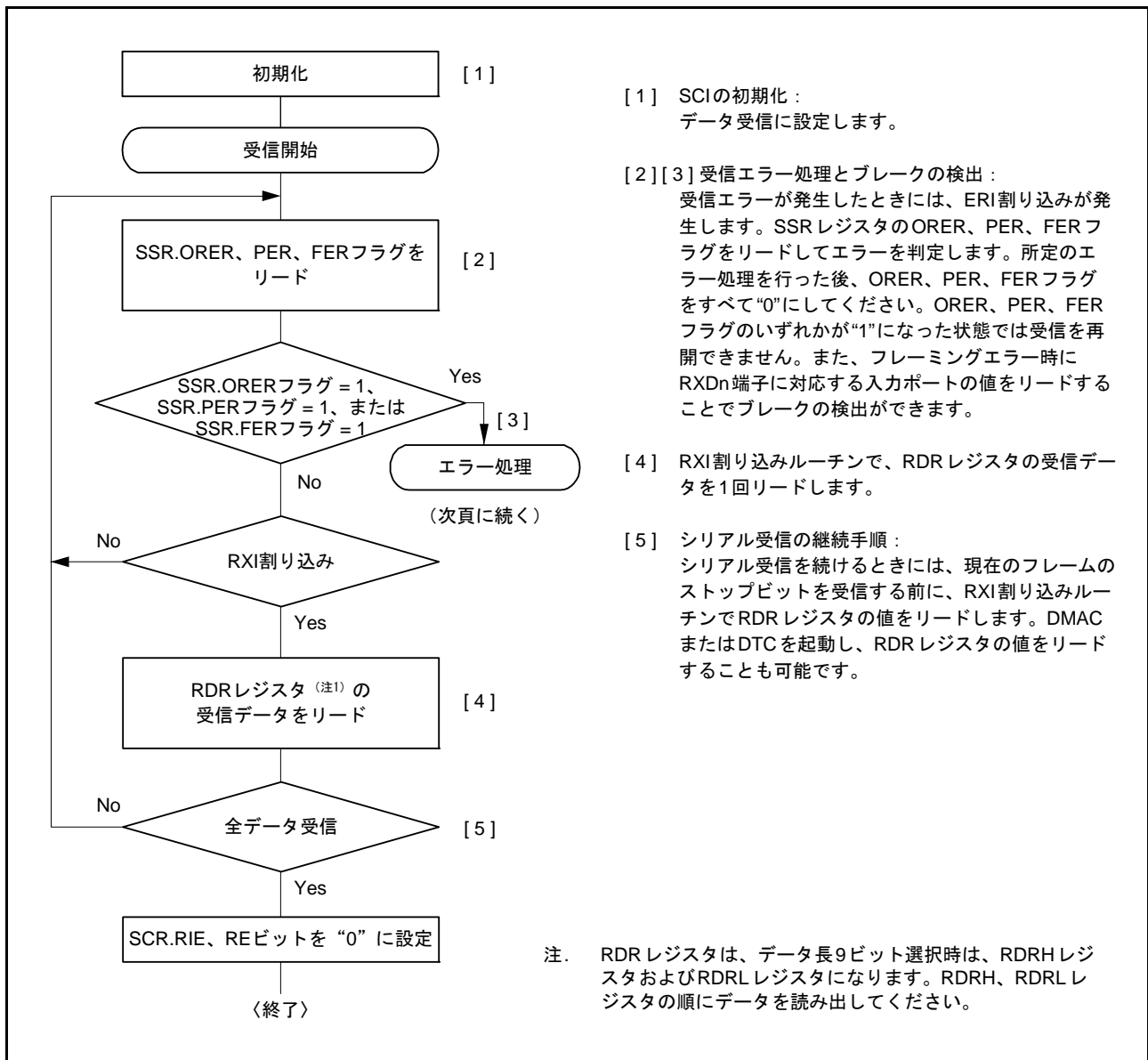


図 30.22 調歩同期式モードのシリアル受信のフローチャート例 (1)

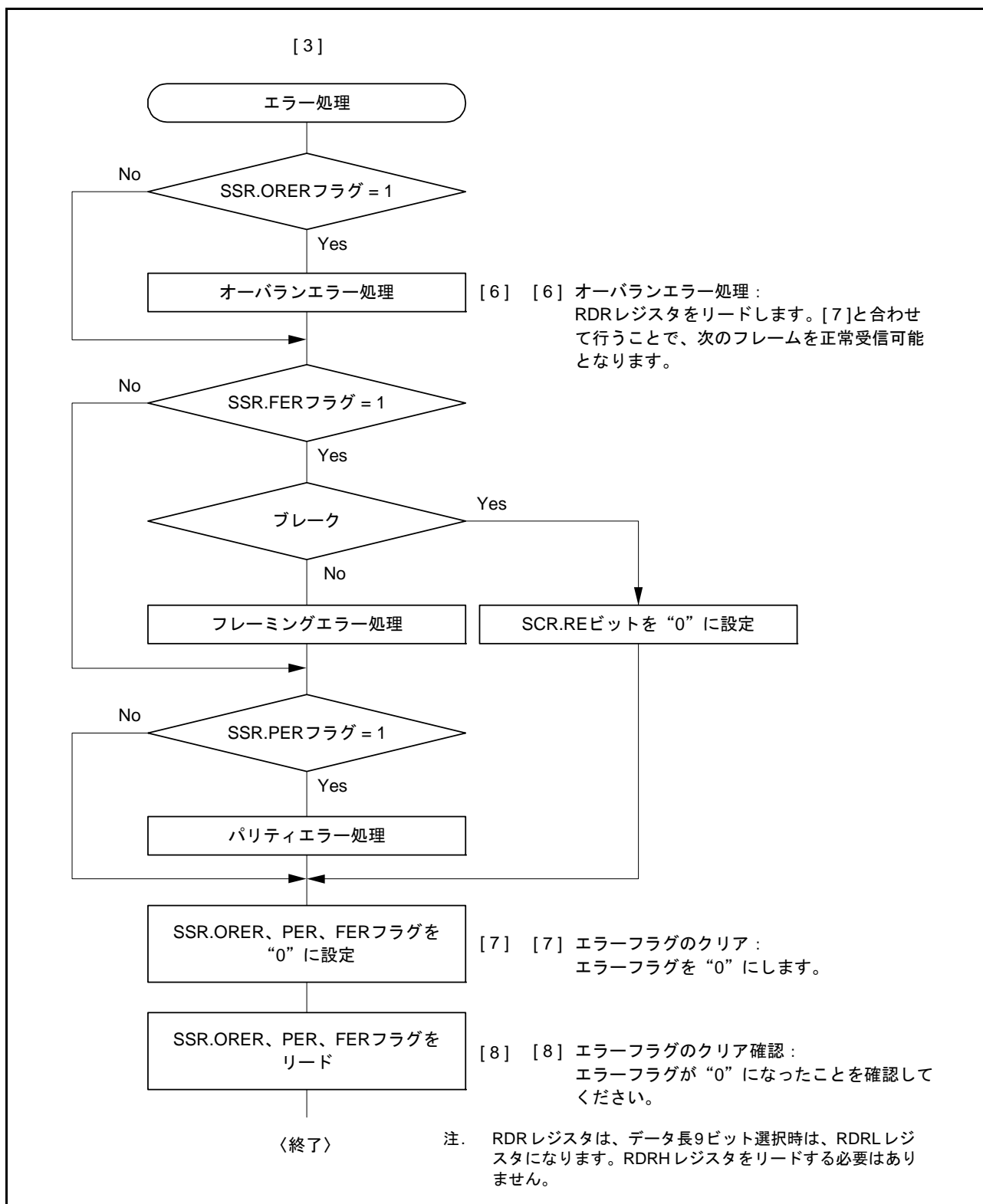


図 30.23 調歩同期式モードのシリアル受信のフローチャート例 (2)

(2) FIFO 有効の SCI10、SCI11 の場合

RDR レジスタの代わりに FRDR レジスタから受信データとステータスフラグを読み出します。バイト単位で読み出す場合は、FRDR.H、FRDR.L レジスタの順で読み出してください。FRDR.L レジスタを読むと、FRDR レジスタの FER フラグ、PER フラグ、RDAT[8:0] ビットが更新されます。FRDR レジスタの RDF フラグ、ORER フラグ、DR フラグは SSRFIFO レジスタの値と同じです。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. 受信 FIFO に空きがない場合は、オーバランエラーが発生します。オーバランエラーが発生したときは、SSRFIFO.ORER フラグを“1”にします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求を生成します。受信データは受信 FIFO に転送しません。
4. パリティエラーを検出した場合は、受信データを受信 FIFO に転送するとともに、受信 FIFO の PER フラグを“1”にします。このとき、RIE ビットが“1”であると、ERI 割り込み要求を生成します。
5. フレーミングエラー (ストップビットが“0”のとき)を検出した場合は、受信データを受信 FIFO に転送するとともに、受信 FIFO の FER フラグを“1”にします。このとき、RIE ビットが“1”であると、ERI 割り込み要求を生成します。
6. フレーミングエラーを検出した後、さらに 1 フレーム分の受信データがすべて“0”であると、受信動作を停止します。
7. 受信 FIFO に格納したデータの数がしきい値 (FCR.RTRG[3:0]) 未満のとき、最後に受信したデータのストップビットから 15 etu の期間が経過しても次のデータの受信が完了しないときは、SSRFIFO.DR フラグを“1”にします。このとき、SCR.RIE ビットが“1”であると、RXI 割り込み要求 (FCR.DRES ビットが“0”の場合) または ERI 割り込み要求 (FCR.DRES ビットが“1”の場合) を生成します。
8. 正常に受信したときは、受信データを受信 FIFO に転送します。受信 FIFO に格納したデータの数がしきい値 (FCR.RTRG[3:0]) 以上になると、SSRFIFO.RDF フラグを“1”にします。このとき、RIE ビットが“1”であると、RXI 割り込み要求を生成します。この RXI 割り込み処理ルーチンで、オーバランエラーが発生する前に RDRF レジスタから受信データを読み出すことで連続受信が可能です。受信 FIFO に転送された受信データが読み出され、未読データ数が FCR.RSTRG[3:0] ビットの値未満になると、RTSn# 端子出力を Low にします。

30.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 30.24 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出と SSR レジスタの RDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPB フラグが“1”になるとともに SCR.MPIE ビットが“0”になって通常の受信動作に戻ります。このとき SCR.RIE ビットが“1”であると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

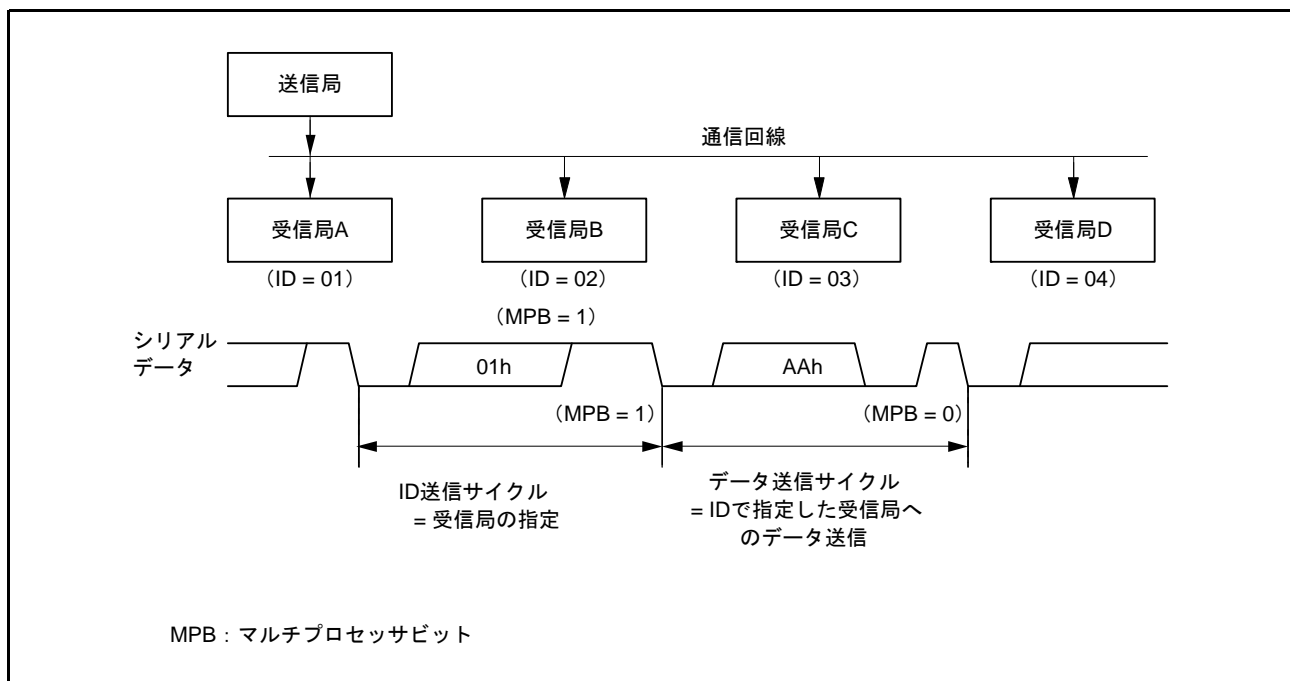


図 30.24 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ“AAh”の送金の例)

(2) FIFO 有効の SCI10、SCI11 の場合

送信時は **SSR.MPBT** ビットの代わりに **FTDR.MPBT** ビットを使用します。**FTDR** レジスタには送信データと同時に値を設定してください。

受信時は **SSR.MPB** フラグの代わりに **FRDR.MPB** フラグを使用します。受信完了時、**RSR** レジスタから受信 FIFO にデータが格納される時に、マルチプロセッサビットの値も同時に格納されます。

SCR.MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで **RSR** レジスタから受信 FIFO への受信データの転送、受信エラーの検出、**SSRFIFO** レジスタの **RDF**、**ORER**、**FER** フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、マルチプロセッサビットと受信データが受信 FIFO に格納されるとともに **SCR.MPIE** ビットが“0”になって通常の受信動作に戻ります。このとき **SCR.RIE** ビットが“1”であると **RXI** 割り込みを生成します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。

30.4.1 マルチプロセッサシリアルデータ送信

図 30.25 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

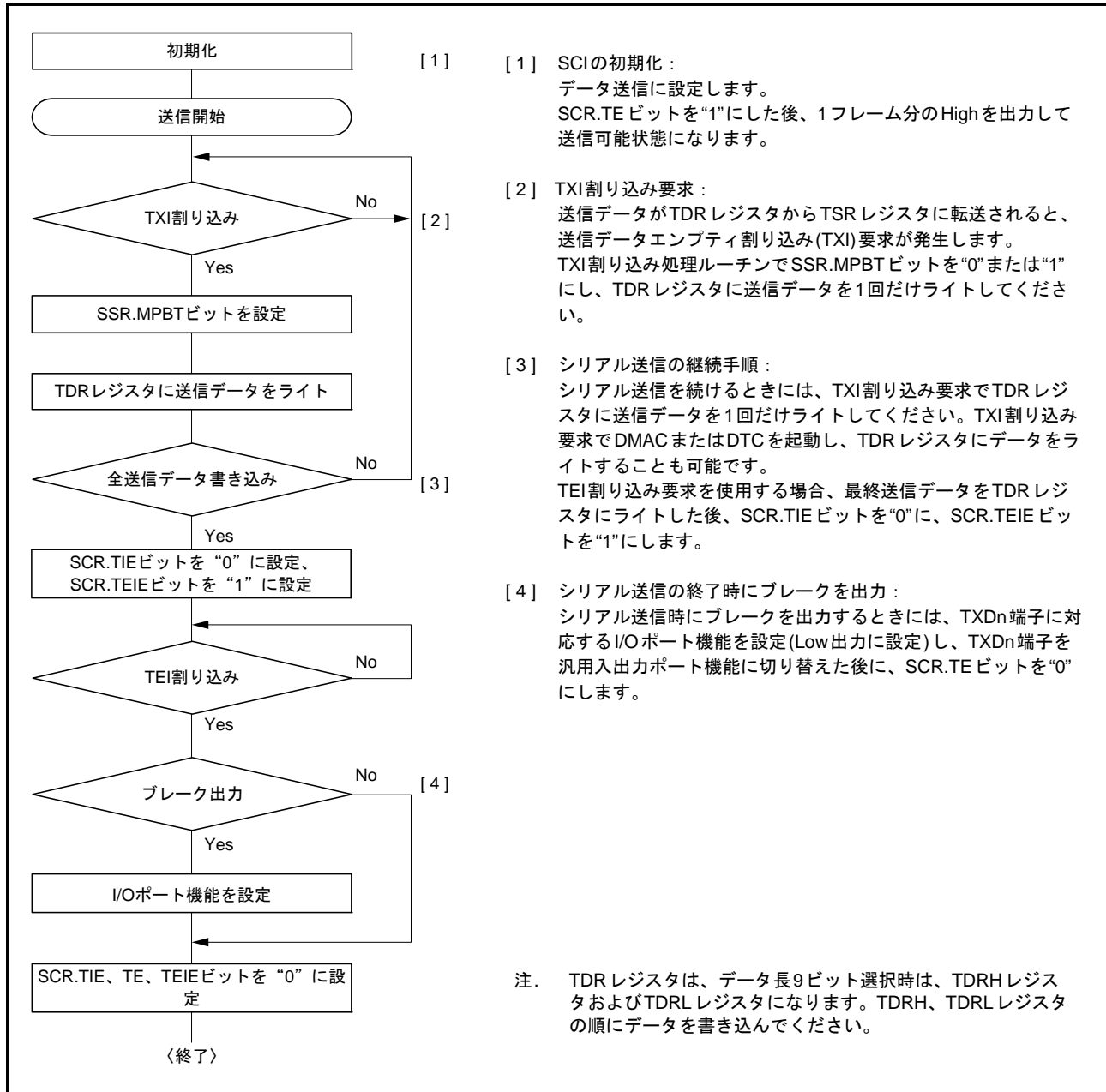


図 30.25 マルチプロセッサシリアル送信のフローチャートの例

30.4.2 マルチプロセッサシリアルデータ受信

図 30.27、図 30.28 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 30.26 に受信時の動作例を示します。

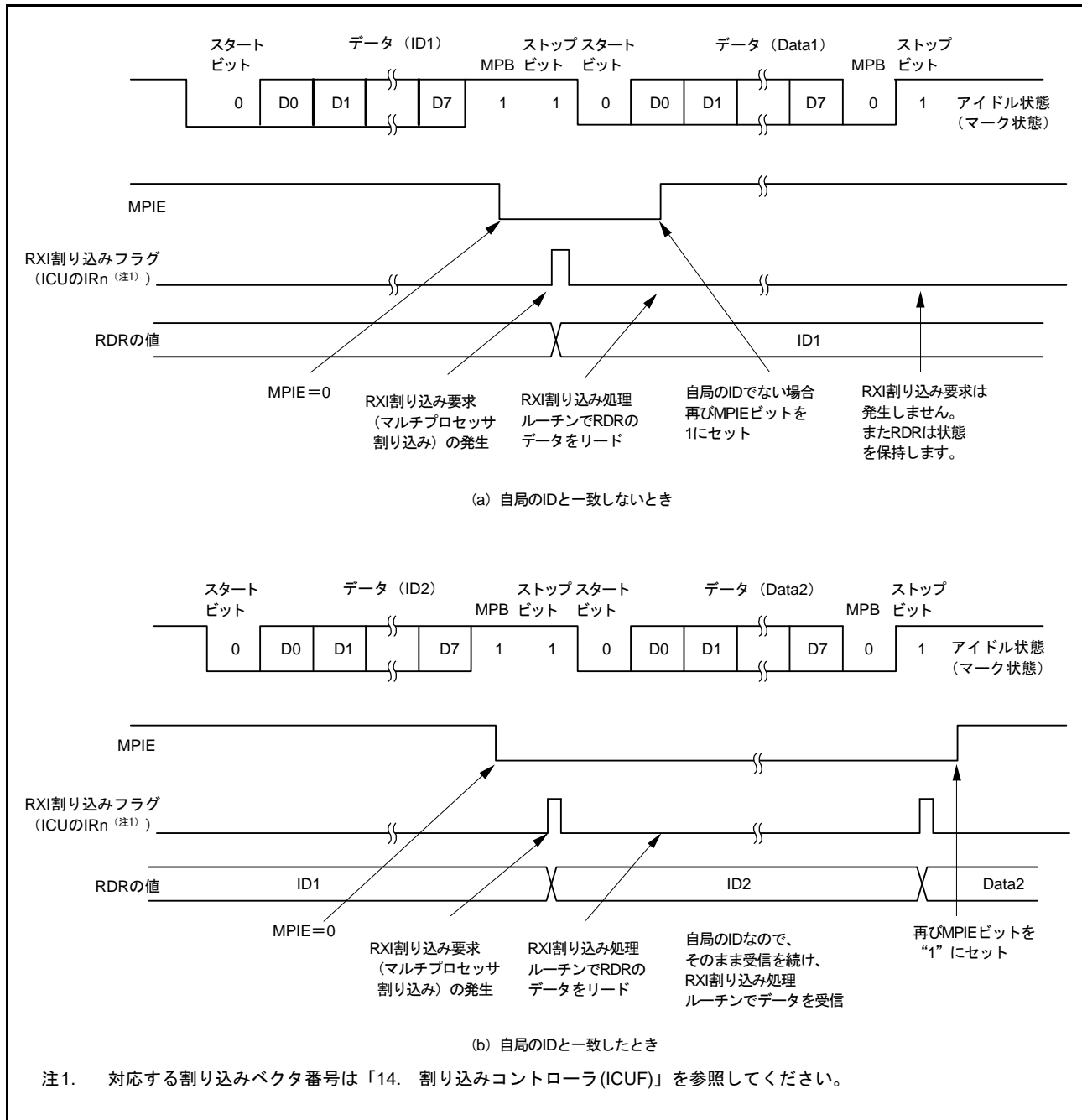


図 30.26 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

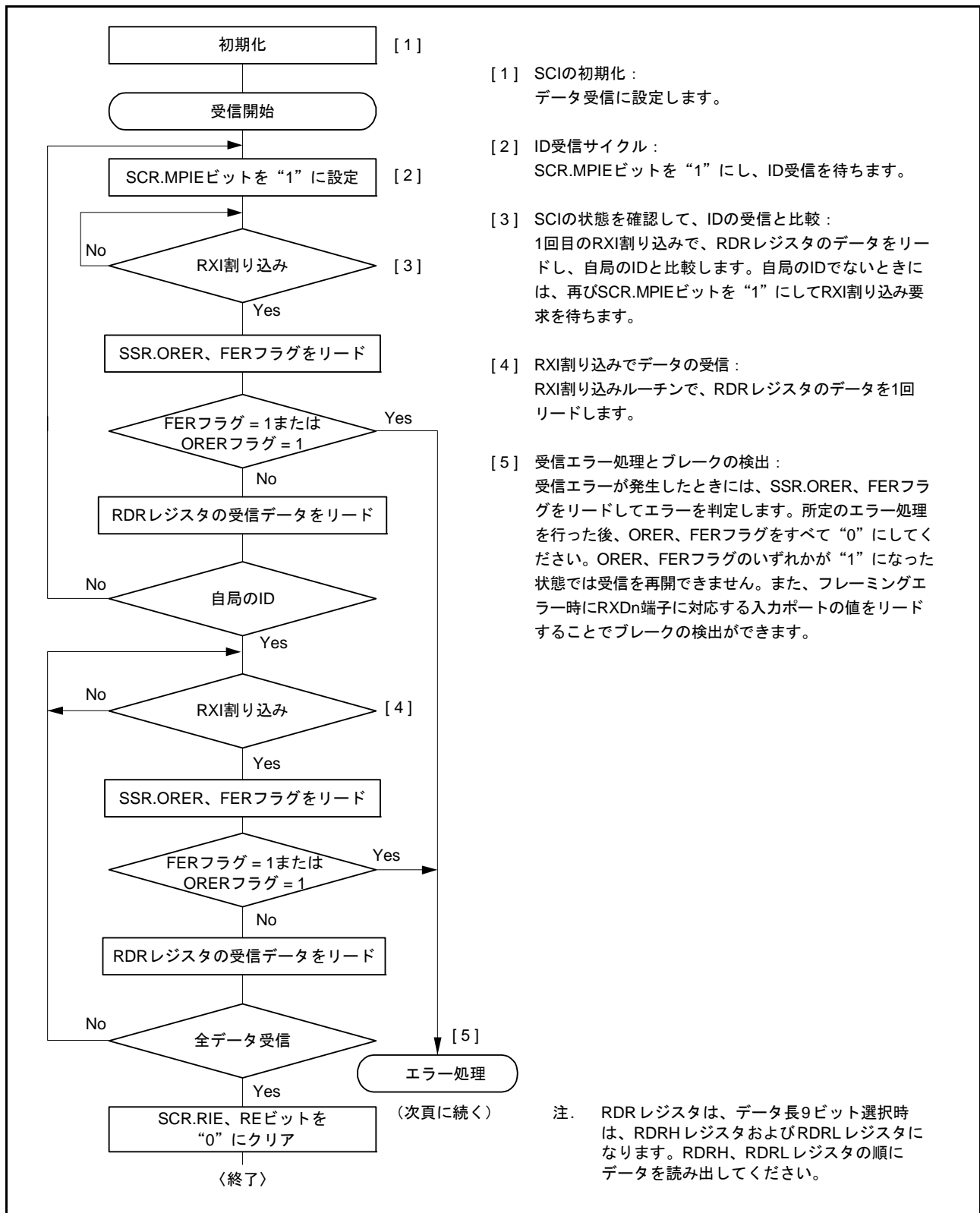


図 30.27 マルチプロセッサシリアル受信のフローチャートの例 (1)

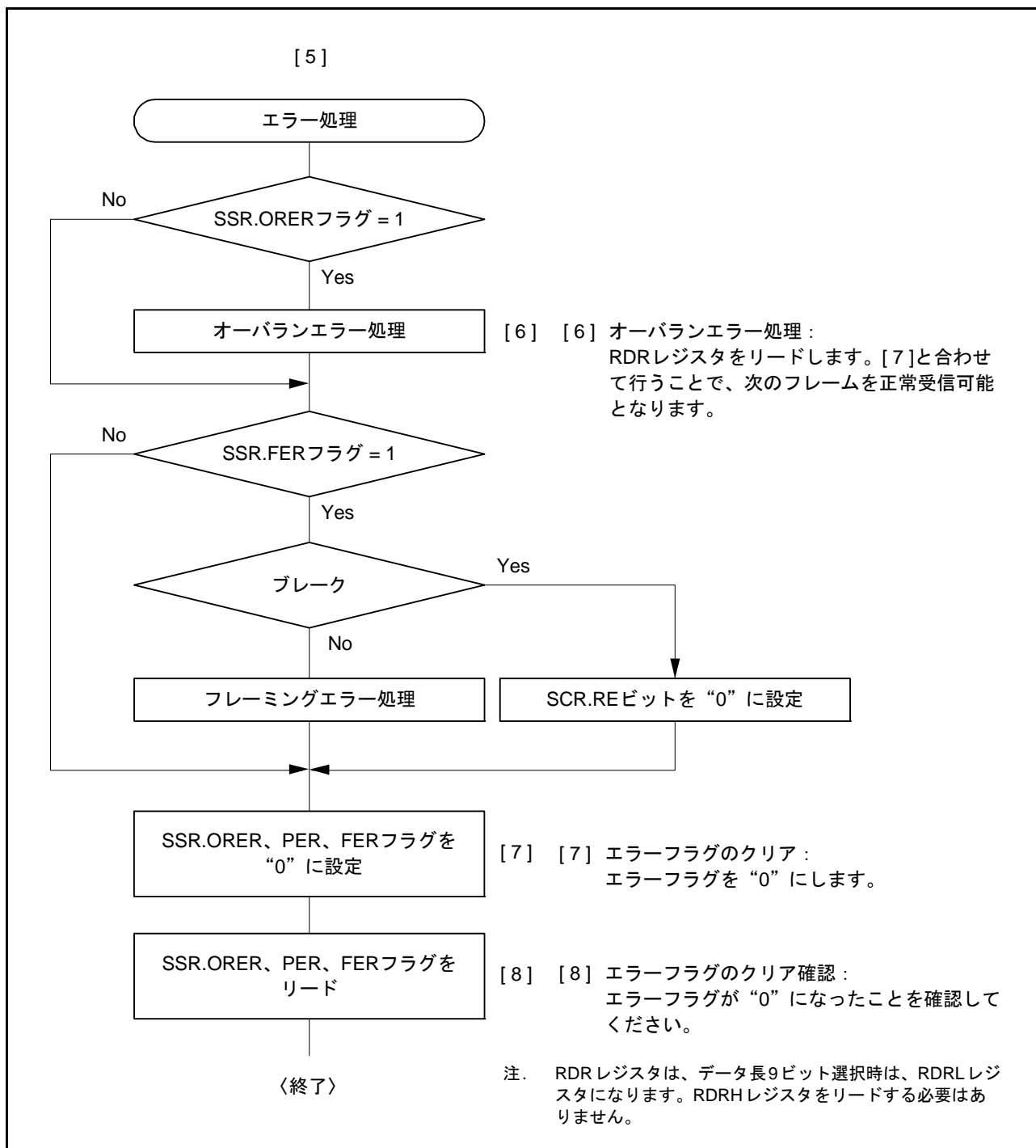


図 30.28 マルチプロセッサシリアル受信のフローチャートの例 (2)

30.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 30.29 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり時に同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

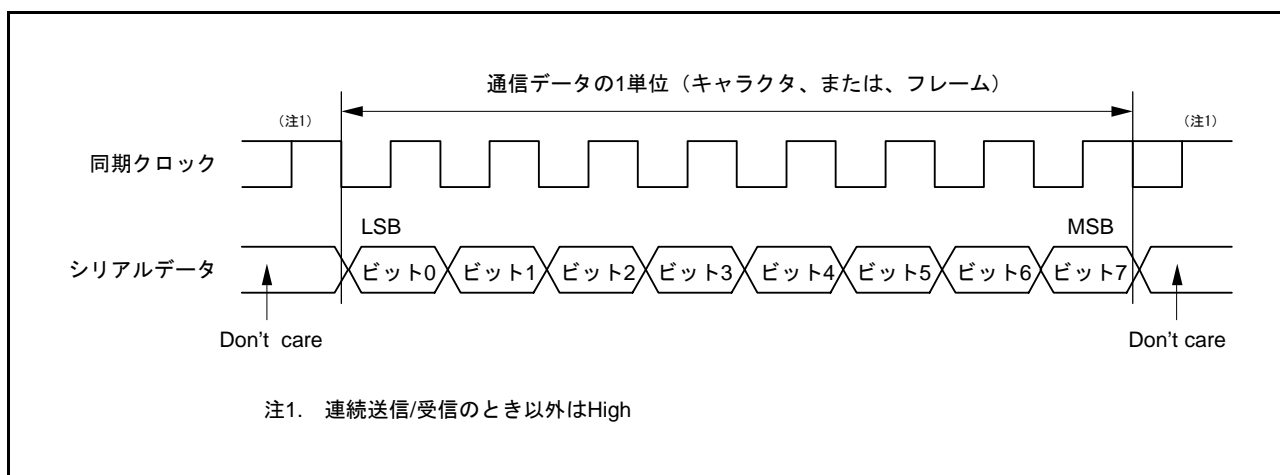


図 30.29 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

30.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

30.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

(a) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 未読の受信データがない (SCR.RE ビットが“1”のとき)
- 未送信のデータがある (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

(b) FIFO 有効の SCI10、SCI11 の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 受信 FIFO 内の格納データ数がしきい値 (FCR.RTRG[3:0]) 未満 (SCR.RE ビットが“1”のとき)
- 未送信のデータがある (SCR.TE ビットが“1”のとき)
- SSRFIFO.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

30.5.3 SCIの初期化 (クロック同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 30.30 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグおよび RDR レジスタは初期化されませんので注意してください。

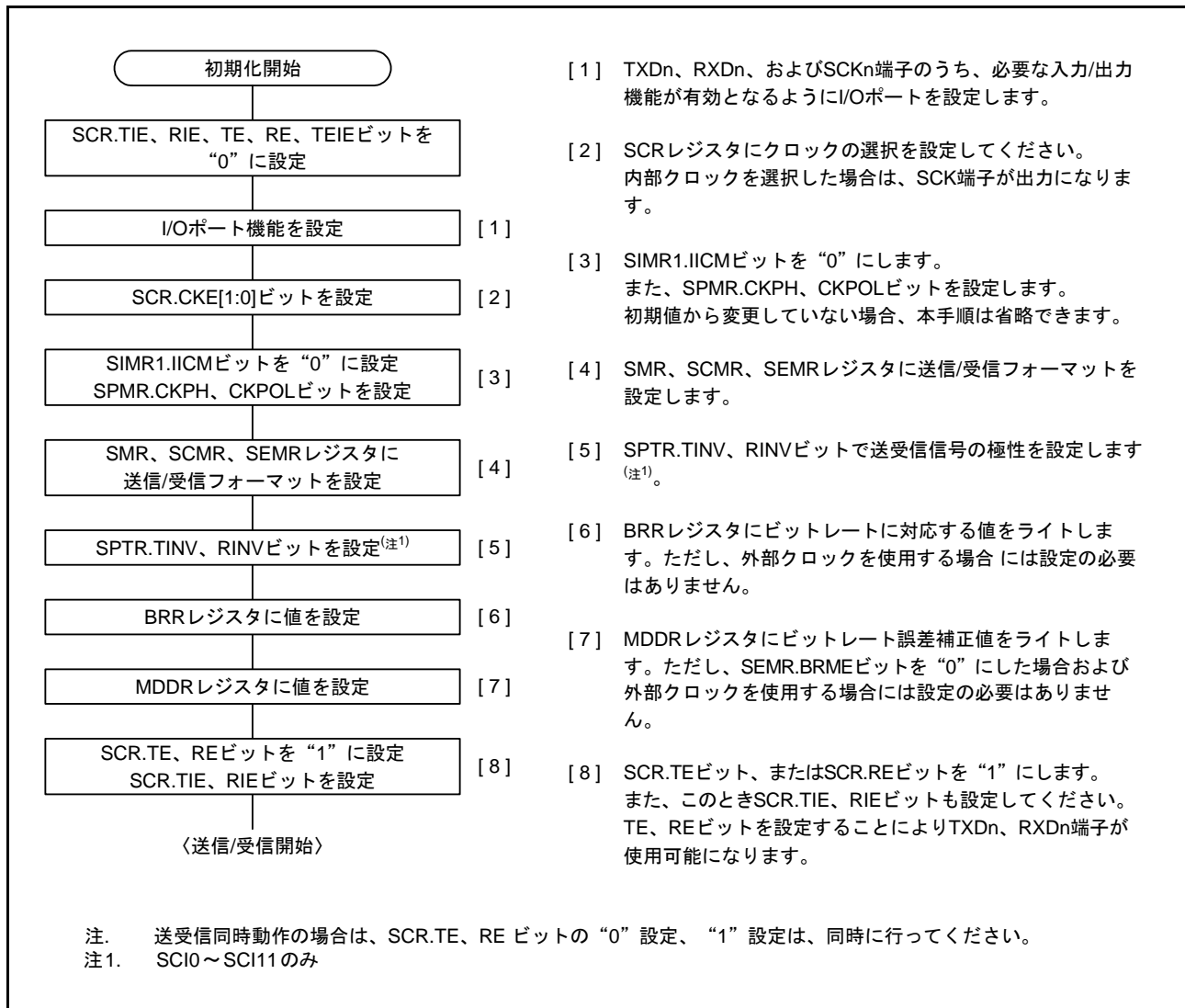


図 30.30 SCIの初期化フローチャートの例 (クロック同期式モード)

30.5.4 シリアルデータの送信 (クロック同期式モード)

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

図 30.31、図 30.32、図 30.33 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1” (CTS 機能許可) のとき、CTS 信号入力 Low になるまで待つてから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 30.34 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ (SSR.ORER, FER, PER) が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にただけではクリアされませんので注意してください。

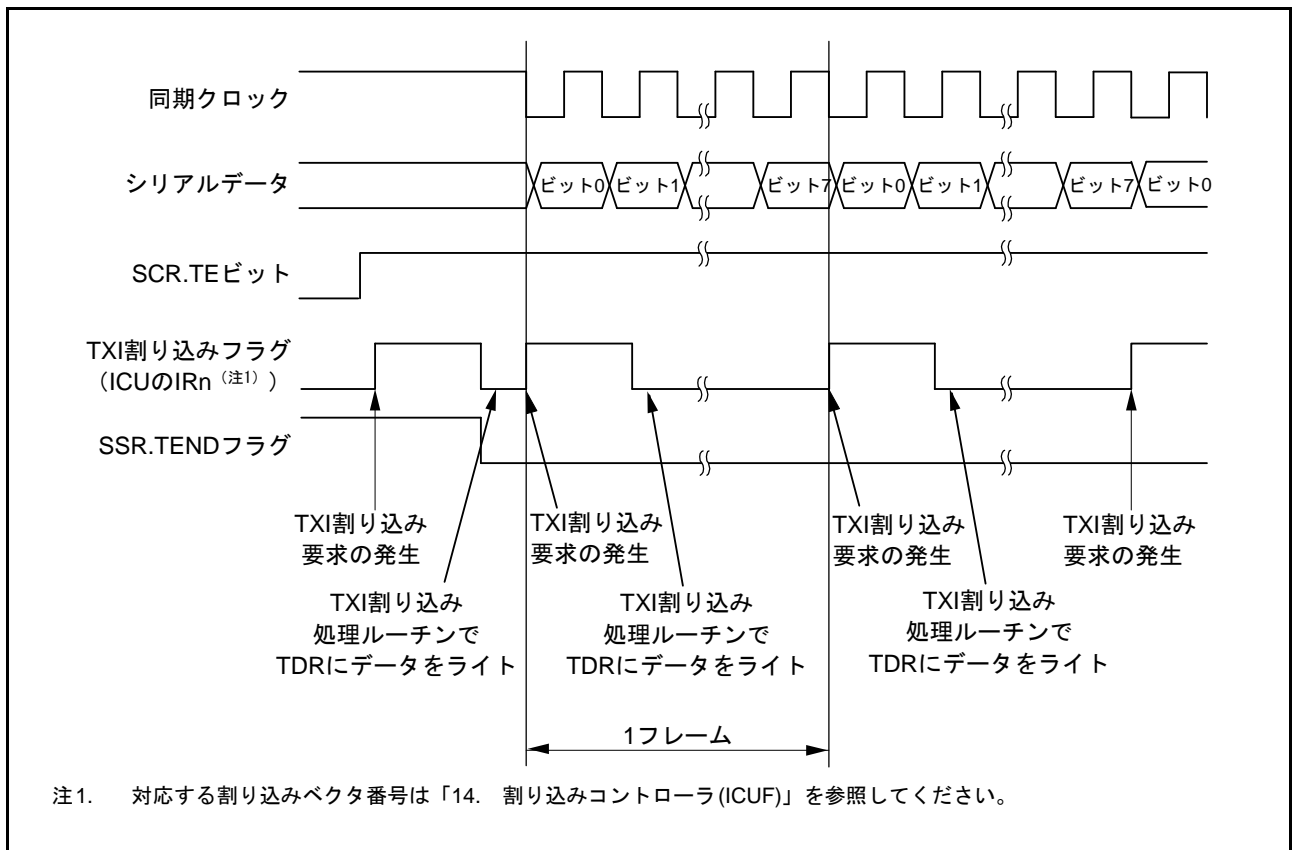


図 30.31 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

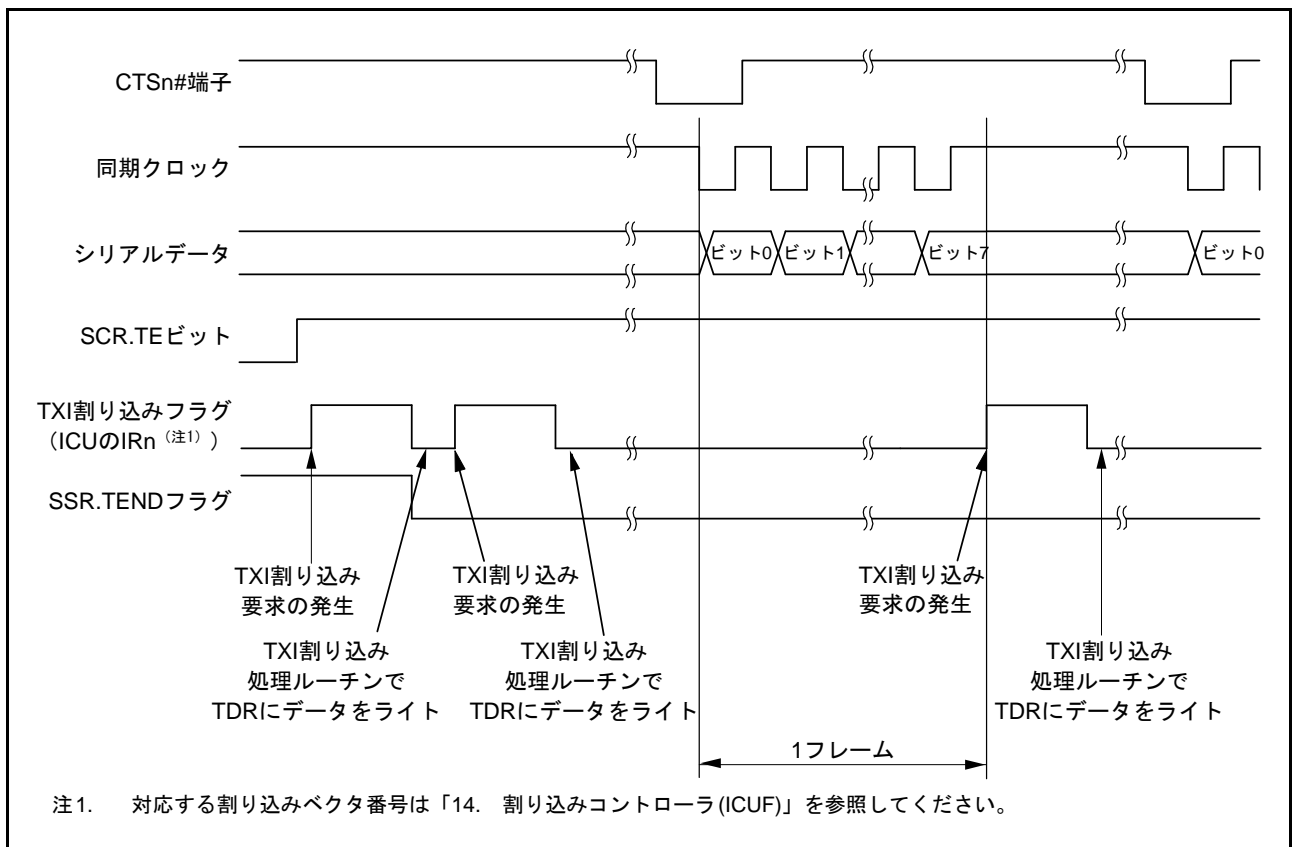


図 30.32 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

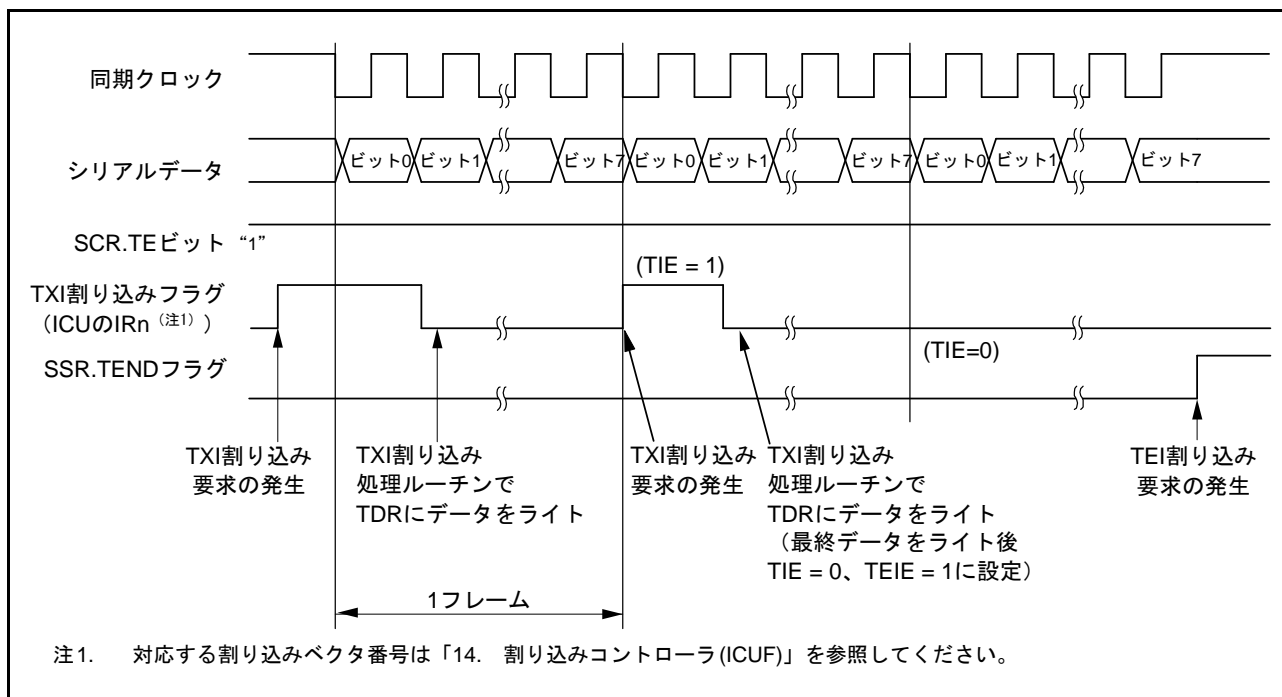


図 30.33 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

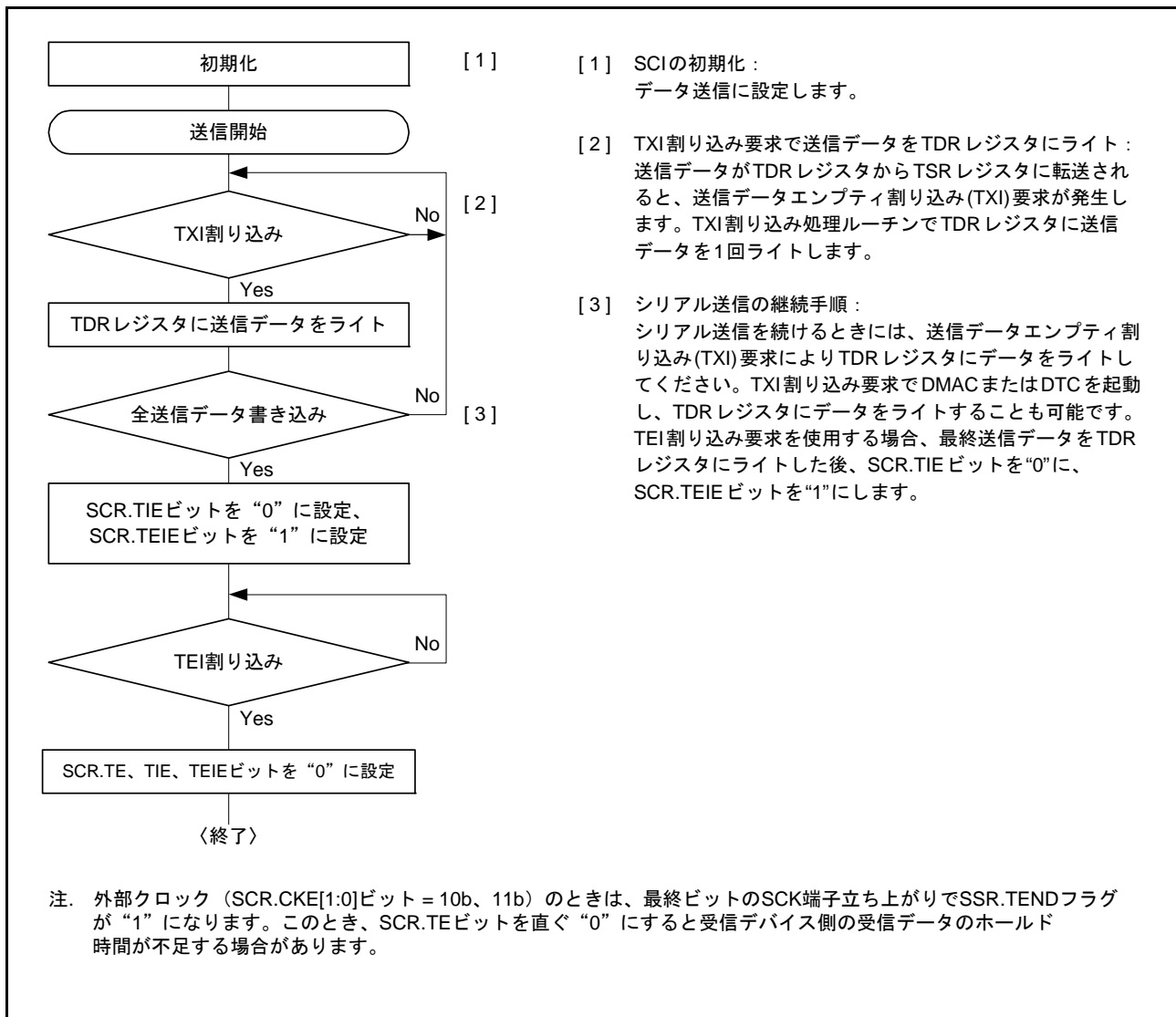


図 30.34 クロック同期式モードのシリアル送信のフローチャート例

(2) FIFO 有効の SCI10、SCI11 の場合

TDR レジスタの代わりに FTDR レジスタ (FTDR.L レジスタ) に送信データを設定します。送信 FIFO から TSR レジスタにデータが転送されたときに、送信 FIFO 内の格納データ数がしきい値 (FCR.TTRG[3:0]) 以下であると、送信データエンプティ割り込み (TXI) 要求が出力されます。TXI 割り込み処理ルーチンでは、最大 16 – FDR.T[4:0] フレーム分の送信データが設定できます。すべての送信データを設定し終わったら SSRFIFO.TDFE フラグを“0”にしてください。

DMAC や DTC を使用して送信データを設定する場合は、TDFE フラグは自動で“0”になります。シリアルデータの送信時、SCI は以下のように動作します。

1. SCR.TIE ビットと SCR.TE ビットが同時に“1”になると、TXI 割り込み要求を生成します。TXI 割り込み処理ルーチンで FTDR レジスタ (FTDR.L レジスタ) に設定できる最大データ数は、16 – FDR.T[4:0] バイトです。
2. TXI 割り込み処理ルーチンで FTDR レジスタに送信データが書かれると、送信 FIFO の先頭から順に TSR レジスタにデータを転送し、送信を開始します。送信 FIFO 内の未送信データ数が設定されたしきい値 (FCR.TTRG[3:0]) 以下になると、SSRFIFO.TDFE フラグが“1”になります。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求を生成します。送信 FIFO が空になる前に、TXI 割り込み処理ルーチンで FTDR レジスタに送信データを書くことで連続送信が可能です。TEI 割り込み要求を使用する場合は、TXI 割り込み処理ルーチンで最終送信データを FTDR レジスタに書き込んだ後、SCR.TIE ビットを“0”に、SCR.TEIE ビットを“1”にします。
3. SCR.CKE[1] ビットが“0” (内部クロック) の場合は、出力するクロックに同期して、SCR.CKE[1] ビットが“1” (外部クロック) の場合は、入力されるクロックに同期して TXDn 端子から 8 ビットのデータを出力します。SPMR.CTSE ビットが“1” (CTS 機能許可) の場合、CTS#n 端子に Low が入力されるまで待って送信を開始します。
4. SCI は、最終ビットを送出するときに、送信 FIFO に未送信データが残っているかどうかを確認します。
5. 送信 FIFO に未送信データがあった場合は、送信 FIFO から TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. 送信 FIFO に未送信データがなかった場合は、SSRFIFO.TEND フラグを“1”にし、TSR レジスタのシフトを停止します。このとき、SCR.TEIE ビットが“1”であると、TEI 割り込み要求を生成します。TXDn 端子は最終送信データの最終ビットの値に、SCKn 端子は High に固定されます。

30.5.5 シリアルデータの受信 (クロック同期式モード)

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

図 30.35、図 30.36 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします (RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします (RTS 機能使用時)。

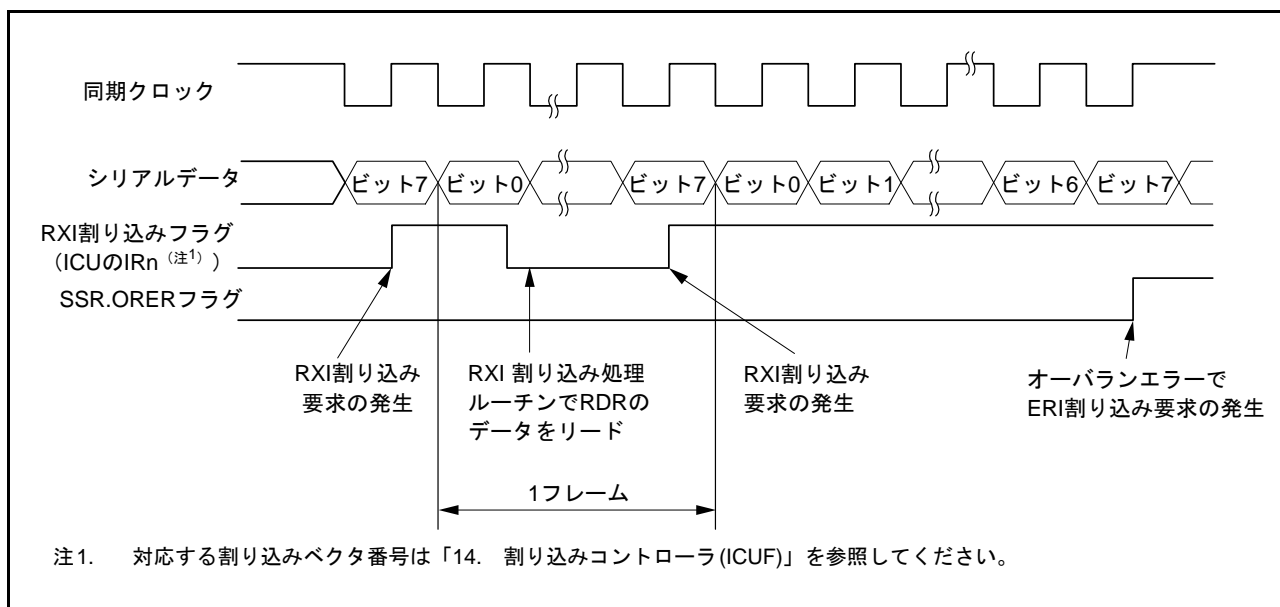


図 30.35 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

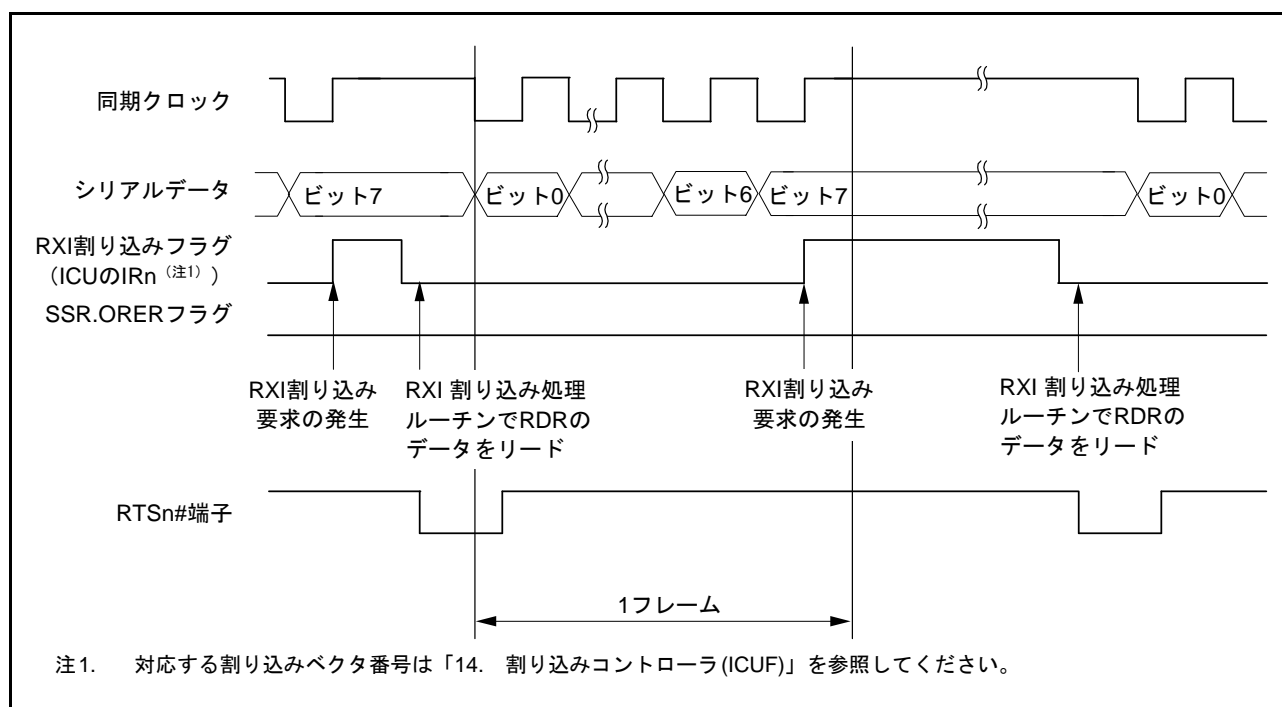


図 30.36 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 30.37 にシリアル受信のフローチャートの例を示します。

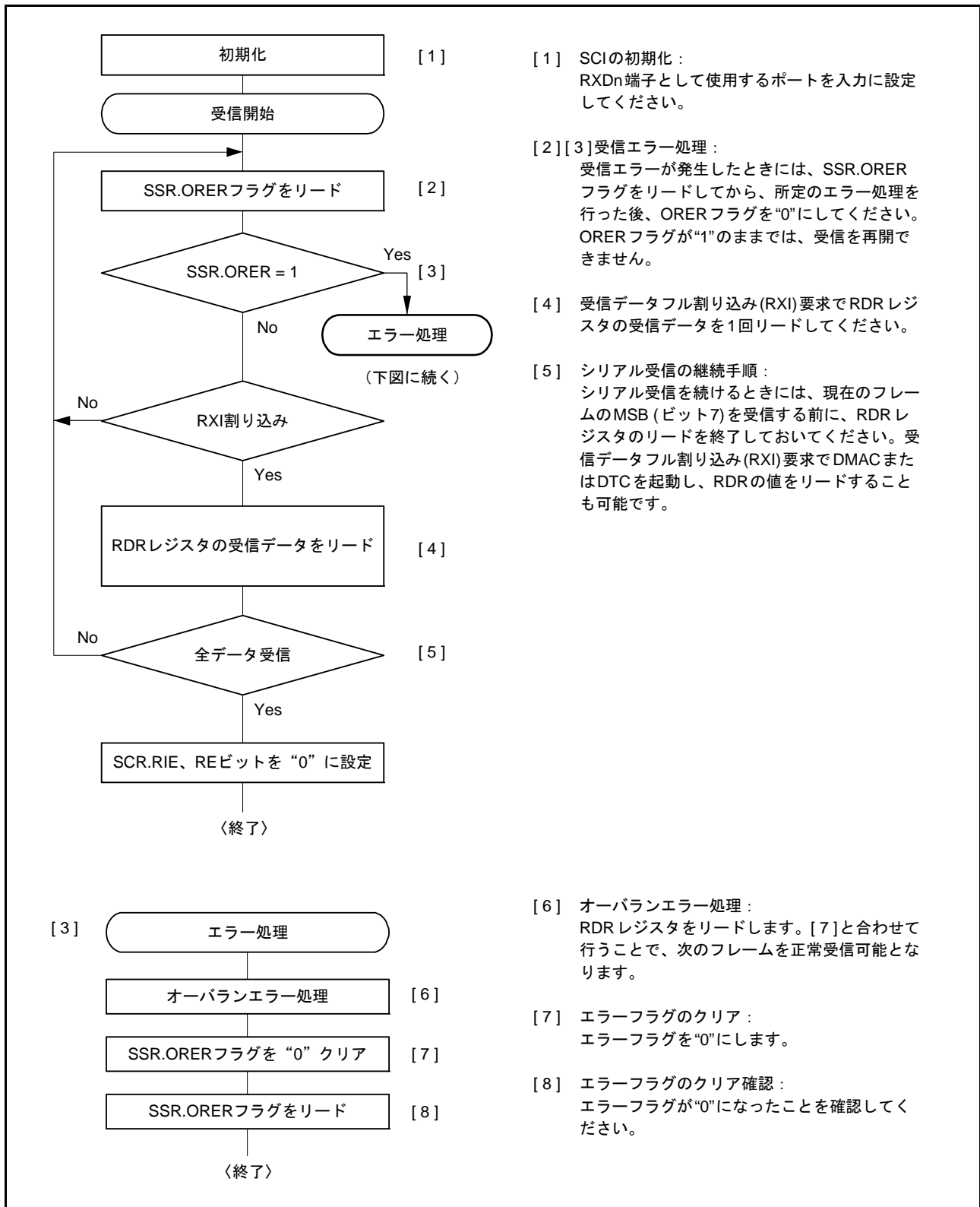


図 30.37 クロック同期式モードのシリアル受信のフローチャート例

(2) FIFO 有効の SCI10、SCI11 の場合

RDR レジスタの代わりに FRDR レジスタから受信データとステータスフラグを読み出します。バイト単位で読み出す場合は、FRDR.H、FRDR.L レジスタの順で読み出してください。FRDR.L レジスタを読むと、FRDR.RDAT[7:0] ビットが更新されます。FRDR レジスタの RDF フラグ、ORER フラグは SSRFIFO レジスタの値と同じです。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して受信を開始し、受信データを RSR レジスタに取り込みます。
3. 受信 FIFO に空きがない場合は、オーバランエラーが発生します。オーバランエラーが発生したときは、SSRFIFO.ORER フラグを“1”にします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求を生成します。受信データは受信 FIFO に転送しません。
4. 正常に受信したときは、受信データを受信 FIFO に転送します。受信 FIFO に格納したデータの数がしきい値 (FCR.RTRG[3:0]) 以上になると、SSRFIFO.RDF フラグを“1”にします。このとき、RIE ビットが“1”であると、RXI 割り込み要求を生成します。この RXI 割り込み処理ルーチンで、オーバランエラーが発生する前に RDRF レジスタから受信データを読み出すことで連続受信が可能です。受信 FIFO に転送された受信データが読み出され、未読データ数が FCR.RSTRG[3:0] ビットの値未満になると、RTSn# 端子出力を Low にします。

30.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 30.38 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが“1”になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, FER, PER) が“0”であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

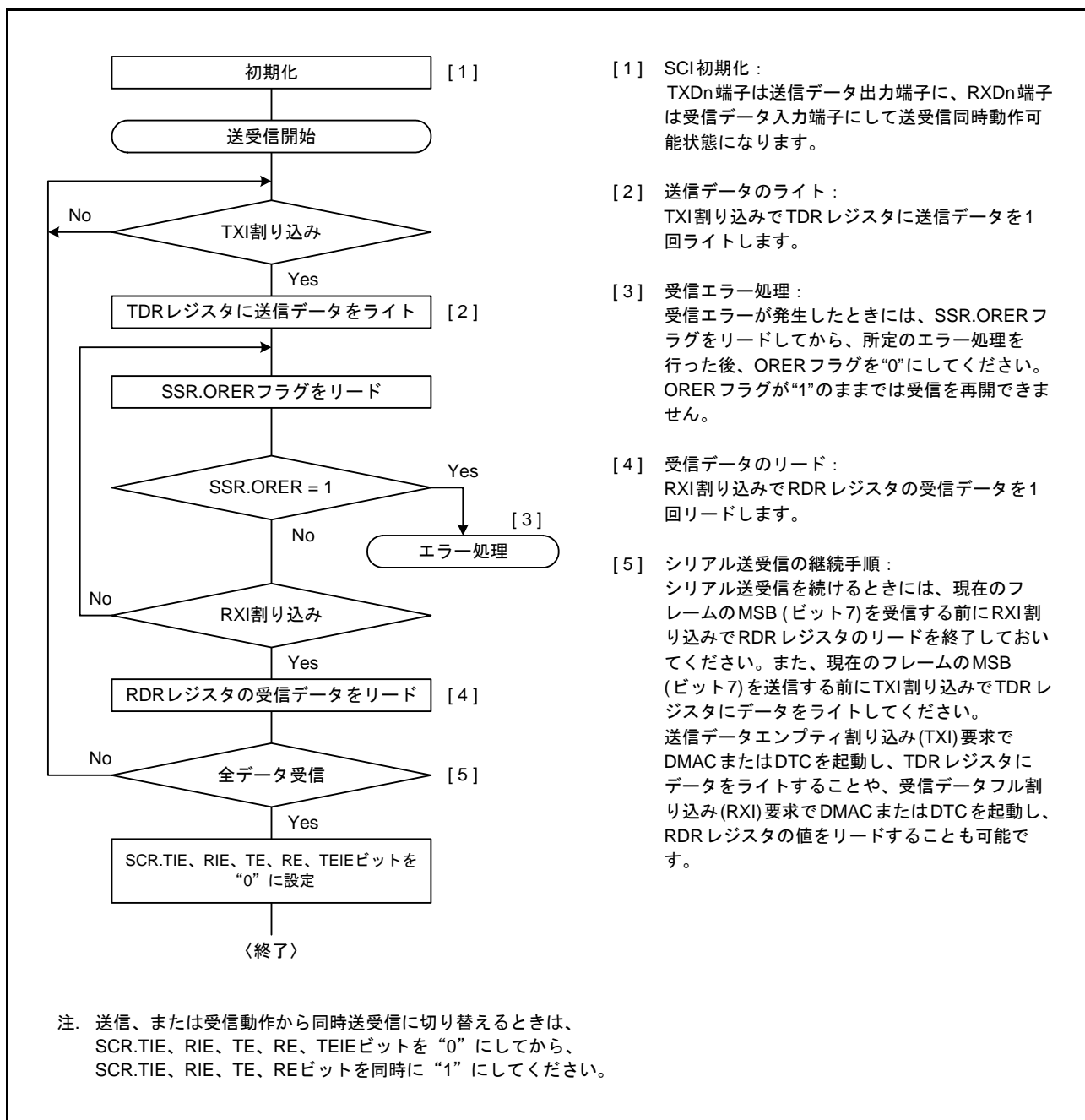


図 30.38 クロック同期式モードのシリアル送受信同時動作のフローチャート例

30.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

30.6.1 接続例

図 30.39 にスマートカード (IC カード) との接続例を示します。

IC カードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

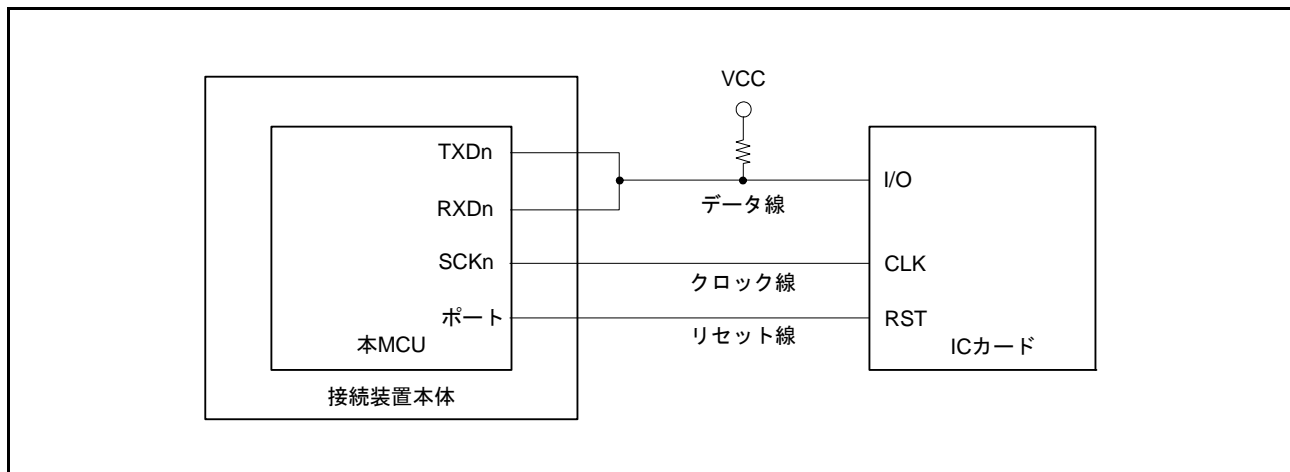


図 30.39 スマートカード (IC カード) との接続例

30.6.2 データフォーマット (ブロック転送モード時を除く)

図 30.40 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit: 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

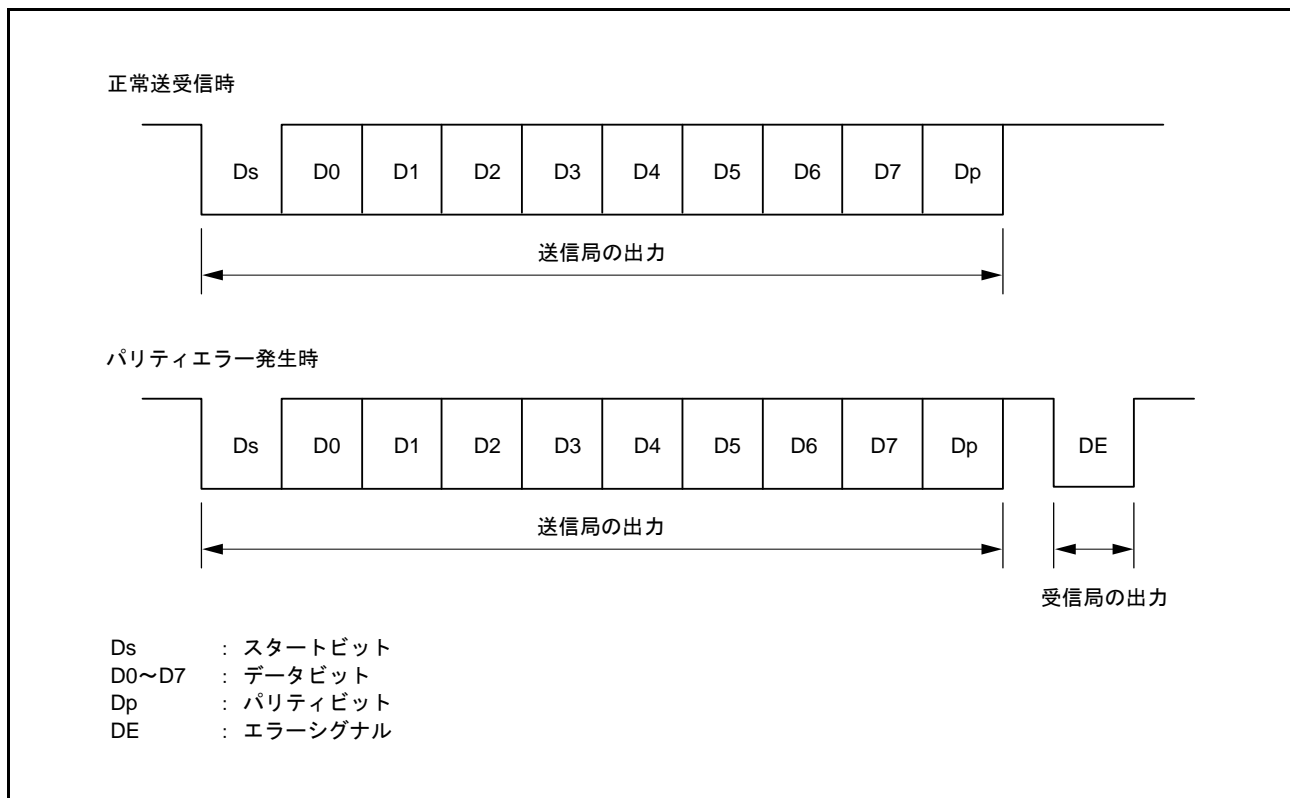


図 30.40 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 30.41** に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。**図 30.41** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるよう SMR.PM ビットには“0”を設定してください。

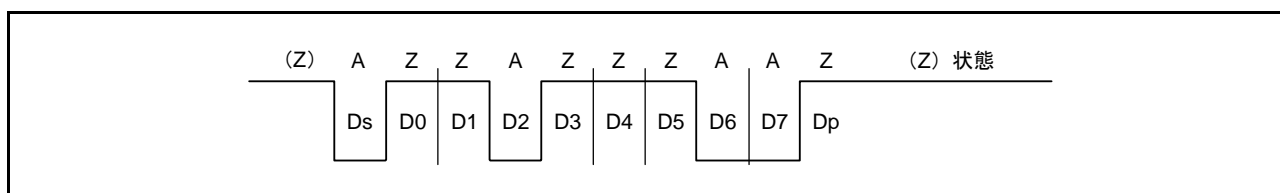


図 30.41 ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。**図 30.42** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、SINV ビットはデータビット D7 ~ D0 のみ反転させます。このため、送受信とも SMR.PM ビットに“1”を設定してパリティビットを反転させてください。

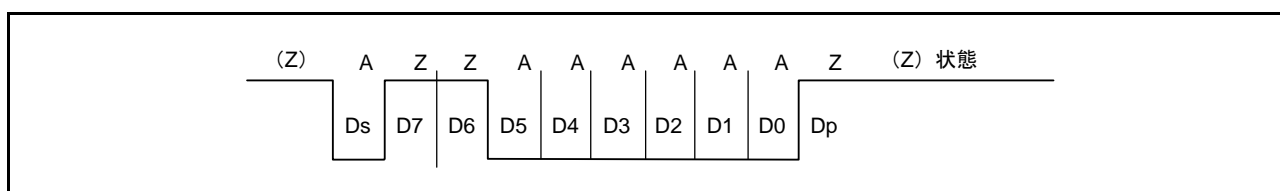


図 30.42 インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

30.6.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。
SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

30.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして同期化します。図 30.43 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 (\%)$$

- M: 受信マージン (%)
- N: クロックに対するビットレートの比 (N = 32, 64, 372, 256)
- D: クロックデューティ (D = 0 ~ 1.0)
- L: フレーム長 (L = 10)
- F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{ 0.5 - 1/(2 \times 372) \} \times 100 (\%) = 49.866 (\%)$$

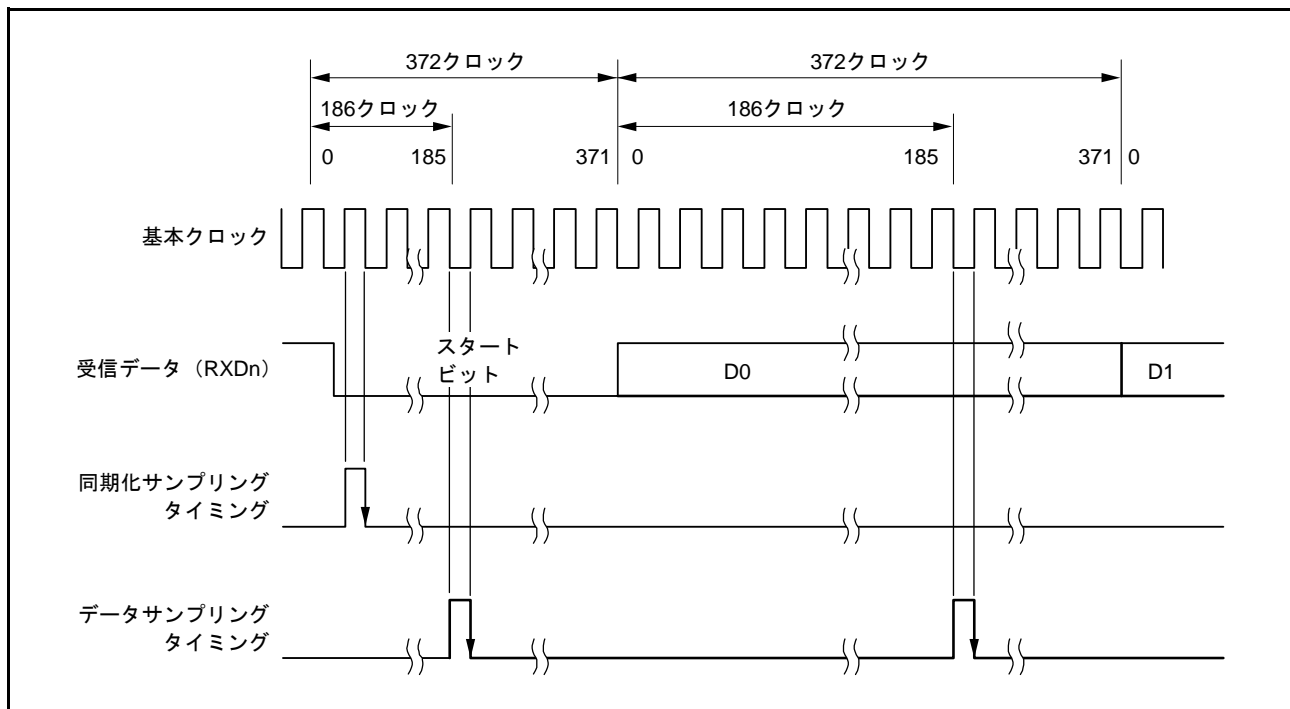


図 30.43 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

30.6.5 SCIの初期化 (スマートカードインタフェースモード)

図 30.44 のフローチャート例に従って SCI を初期化してください。

送信モードと受信モードを切り替える場合も、SCR レジスタと SSR レジスタは初期化してください。ビットレートを変更しない場合、CKE[1:0] ビットを“00b”にする必要はありません。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、図 30.44 の [1] と [3] を実施し、[11] で TE ビット=1、RE ビット=0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、または SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、図 30.44 の [1] と [3] を実施し、[11] で TE ビット=0、RE ビット=1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

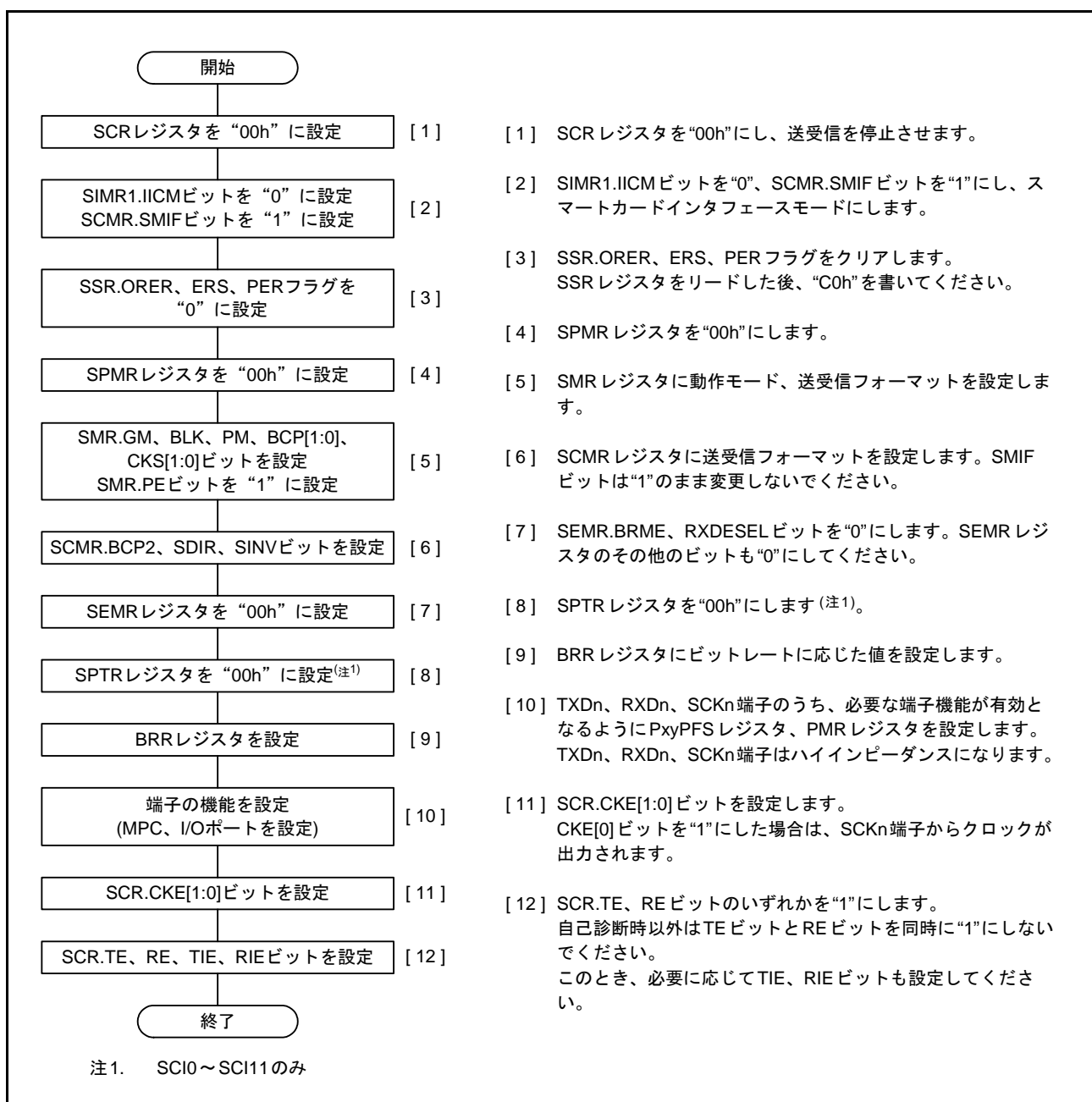


図 30.44 SCIの初期化フローチャートの例 (スマートカードインタフェースモード)

図 30.45 は、リセット解除後に図 30.44 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、それぞれ SCR.CKE[0] ビット、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。CKE[0] ビットを“1”にすると SCK 端子からクロックが出力されます。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、TE ビット、RE ビットが共に“0”になっている場合でも、CKE[0] ビットが“1”(クロック出力)であれば、クロックを出力し続けます。

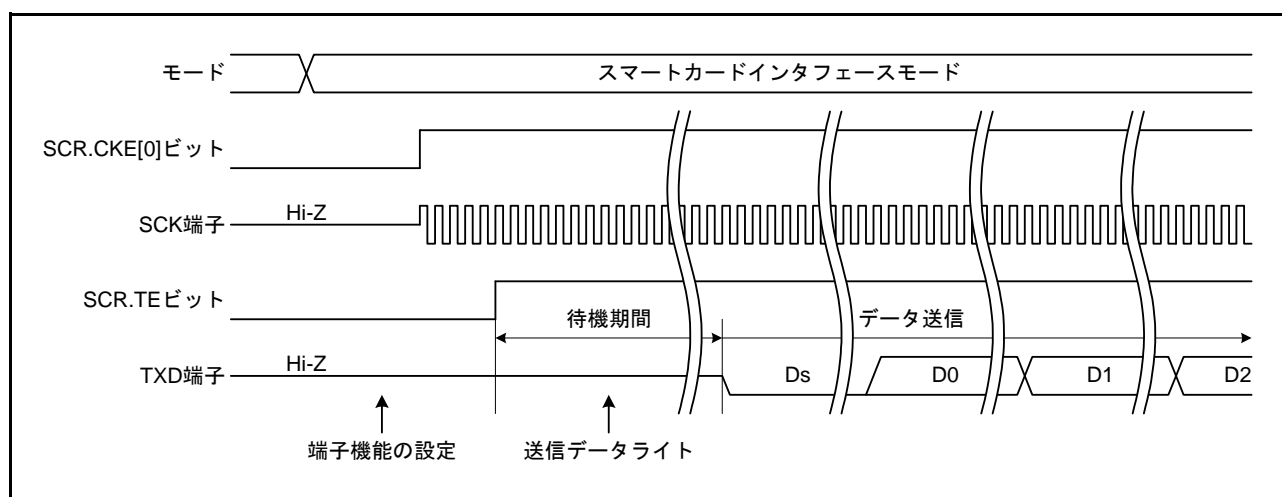


図 30.45 スマートカードインタフェースモード時のデータ送信タイミング例

30.6.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 30.46 に示します。

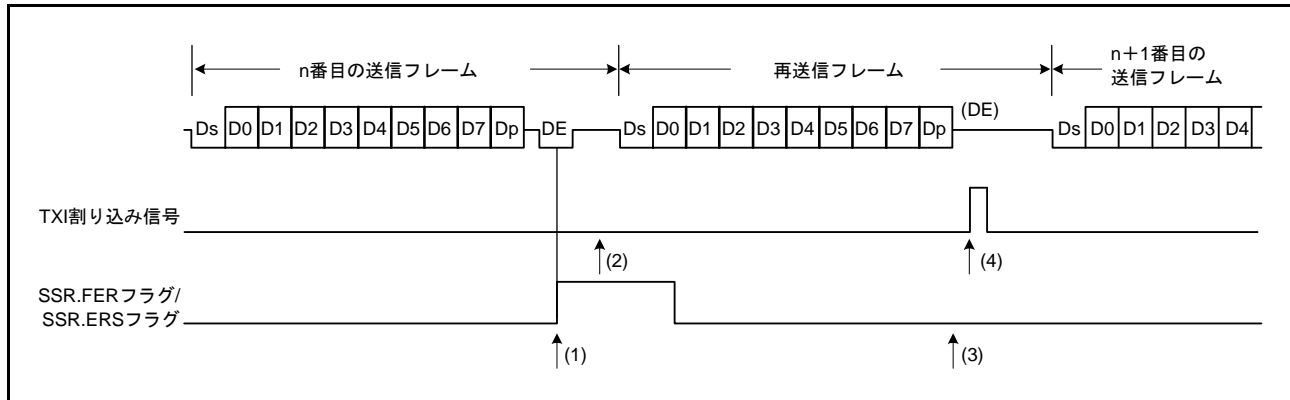


図 30.46 SCI 送信モードの場合の再送信動作 (送信時の再送信動作)

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると **SSR.ERS** フラグが“1”になります。このとき **SCR.RIE** ビットが“1”であると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングまでに **ERS** フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、**SSR.TEND** フラグはセットされません。**TDR** レジスタから **TSR** レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、**ERS** フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、**SSR.TEND** フラグがセットされます。このとき、**SCR.TIE** ビットが“1”であれば、**TXI** 割り込み要求が発生します。送信データを **TDR** レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 30.47 に示します。

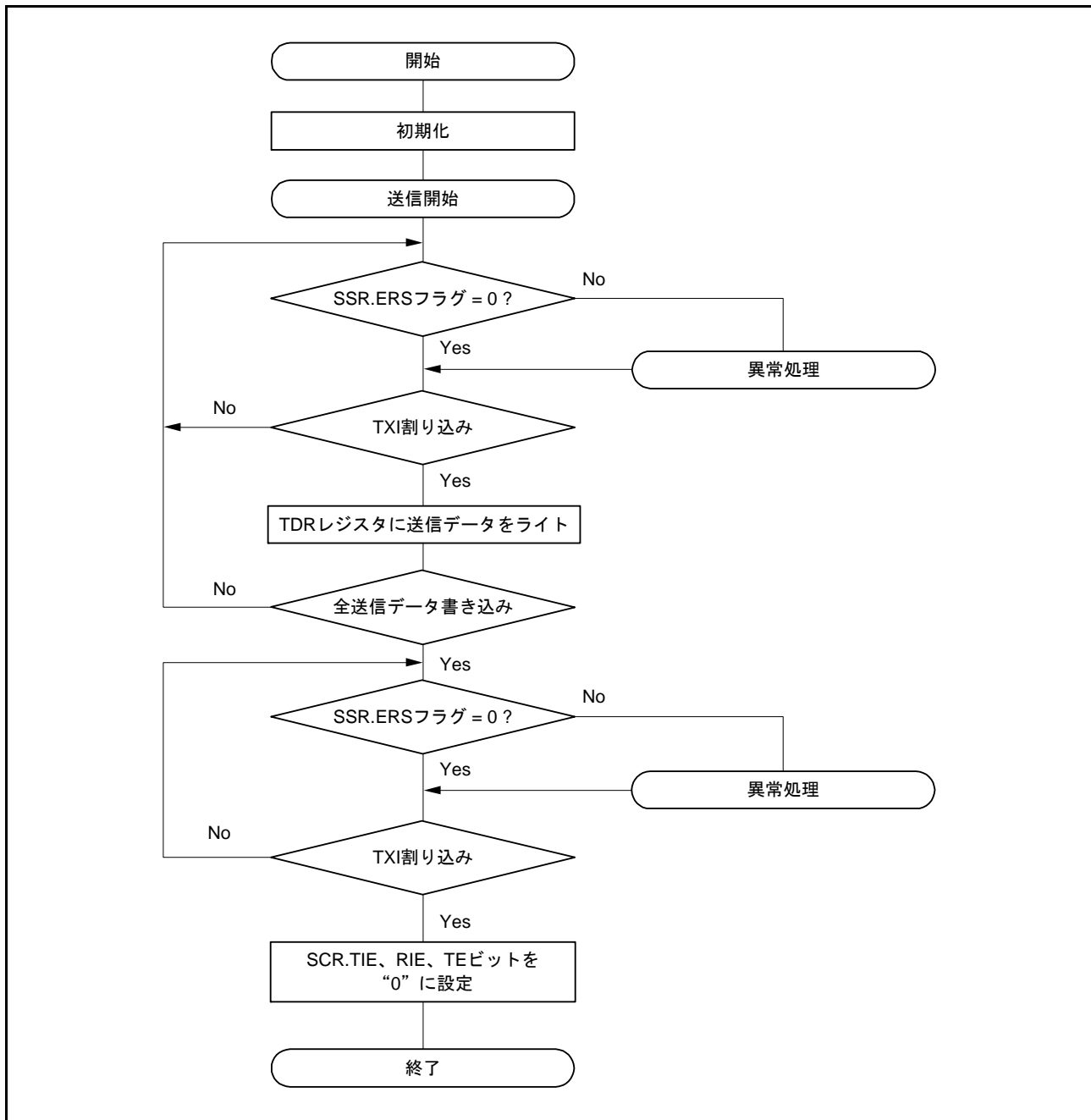


図 30.47 スマートカードインタフェース送信のフローチャート例

これらの一連の処理は、TXI 割り込み要因によって DTC または DMAC を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットを“1”にしておくと、SSR.TEND フラグが“1”になったときに TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的

にはクリアされませんので、RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法は「18. データトランスファコントローラ (DTCb)」、「17. DMA コントローラ (DMACAa)」を参照してください。

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 30.48 に TEND フラグ発生タイミングを示します。

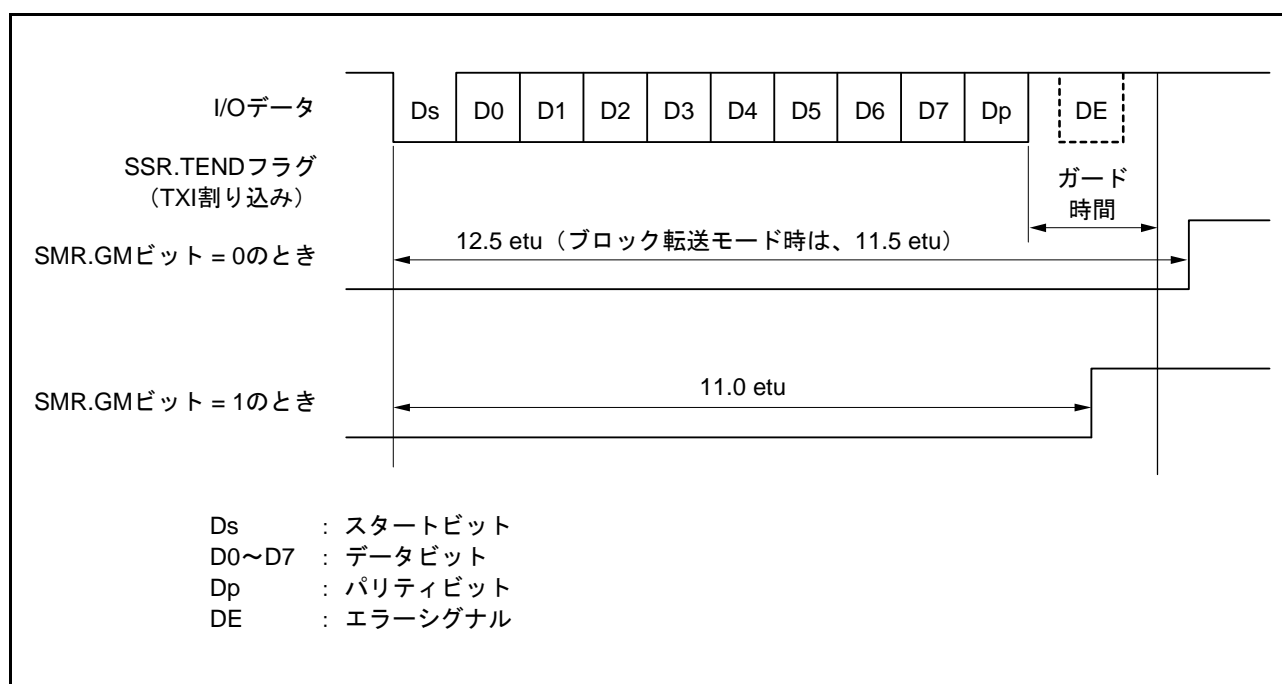


図 30.48 送信時の SSR.TEND フラグの発生タイミング

30.6.7 シリアル受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 30.49 に示します。

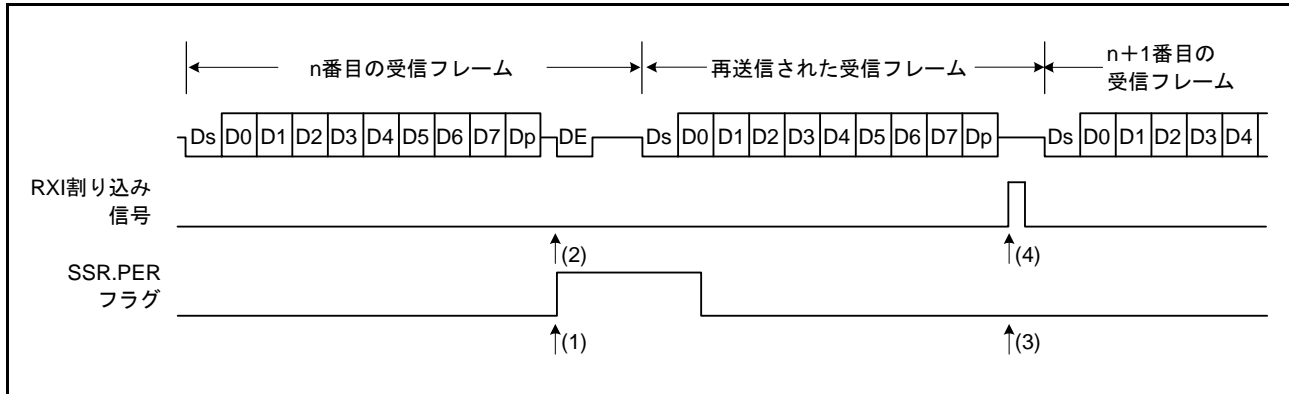


図 30.49 SCI 受信モードの場合の再送信動作 (受信時の再送信動作)

- (1) 受信データにパリティエラーを検出すると **SSR.PER** フラグが“1”になります。このとき、**SCR.RIE** ビットが“1”であると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに **PER** フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、**SSR.PER** フラグはセットされません。
- (4) 正常に受信を完了したと判断して、**RIE** ビットが“1”であれば、**RXI** 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 30.50 に示します。

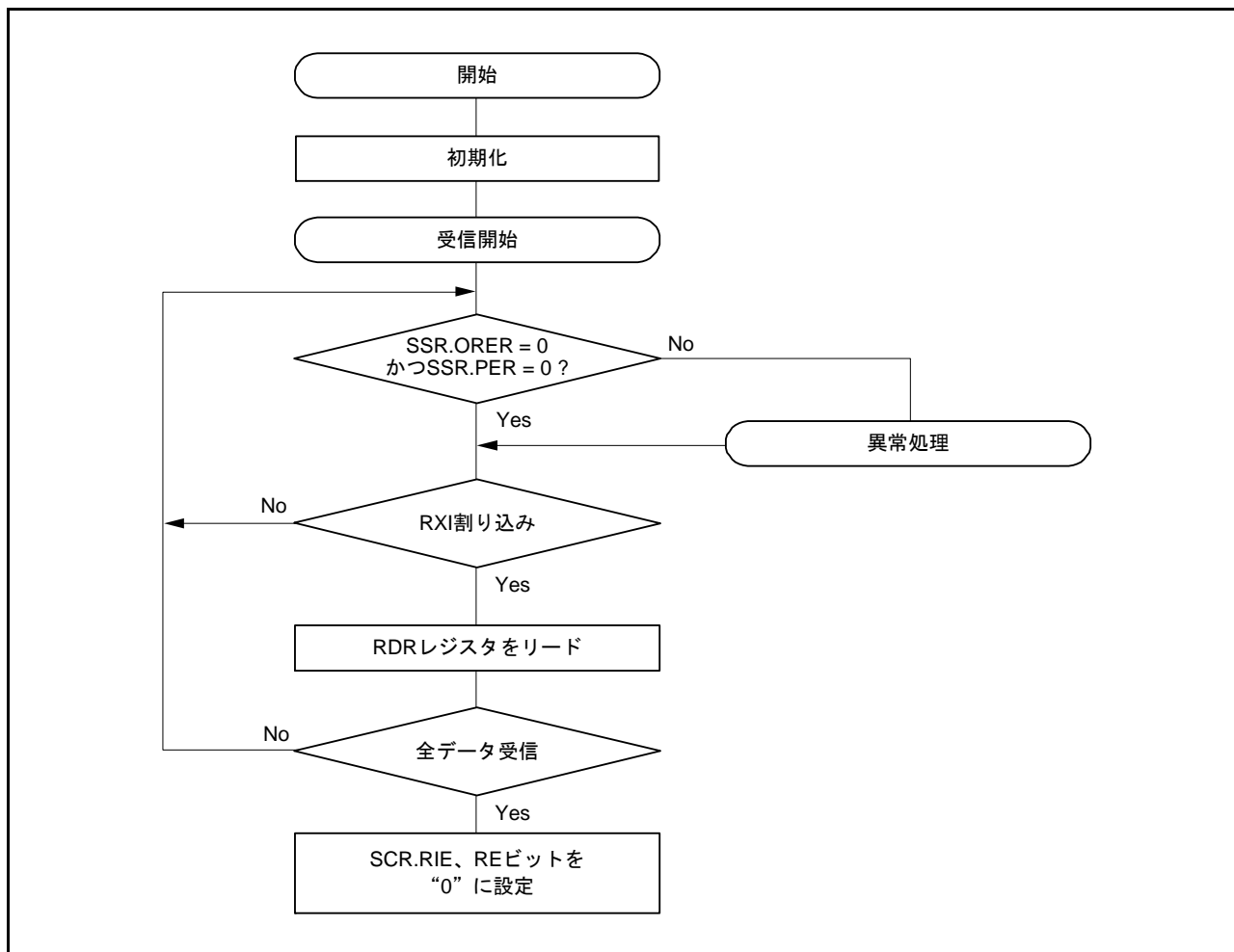


図 30.50 スマートカードインタフェース受信のフローチャート例

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注． ブロック転送モードの場合は、「30.3 調歩同期式モードの動作」を参照してください。

30.6.8 クロック出力制御

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを“01b”(クロック出力)にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数(ビットレート)の設定については、「30.2.13 ビットレートレジスタ(BRR)」を参照してください。CKE[1:0] ビットを“00b”(Low 出力固定)や“10b”(High 出力固定)にすると、SCK 端子から Low や High を出力できます。

図 30.51 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが“0”(非 GSM モード)の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

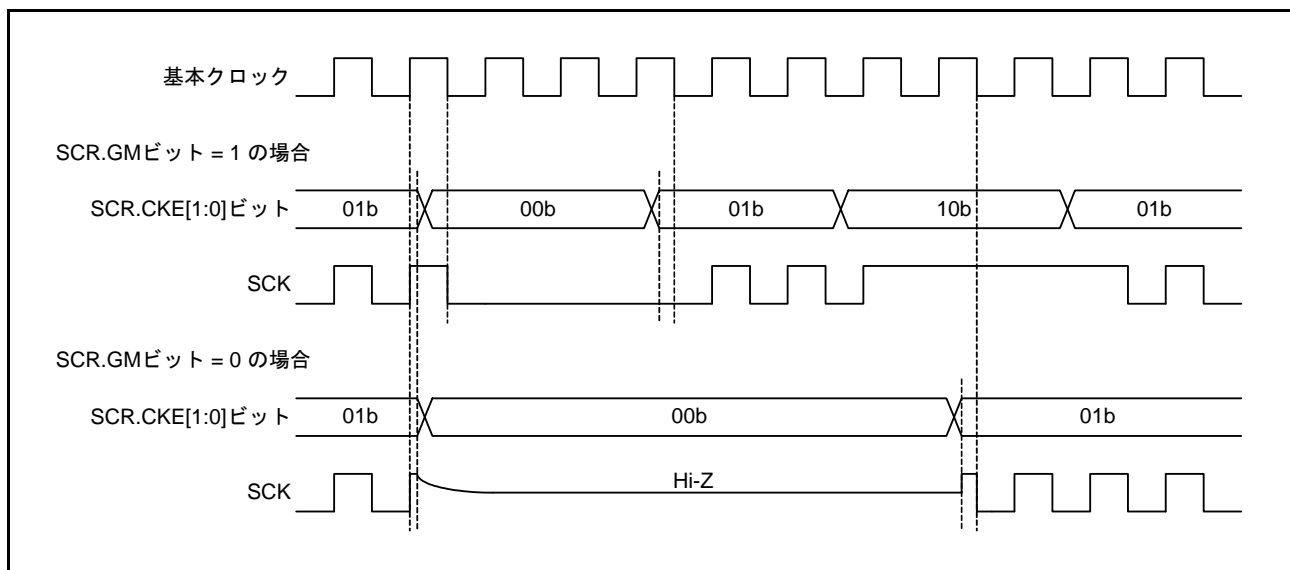


図 30.51 クロック出力制御

30.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、**MSB** から順に送信されます。

図 30.52 に I²C バスフォーマットを、図 30.53 に I²C バスタイミングを示します。

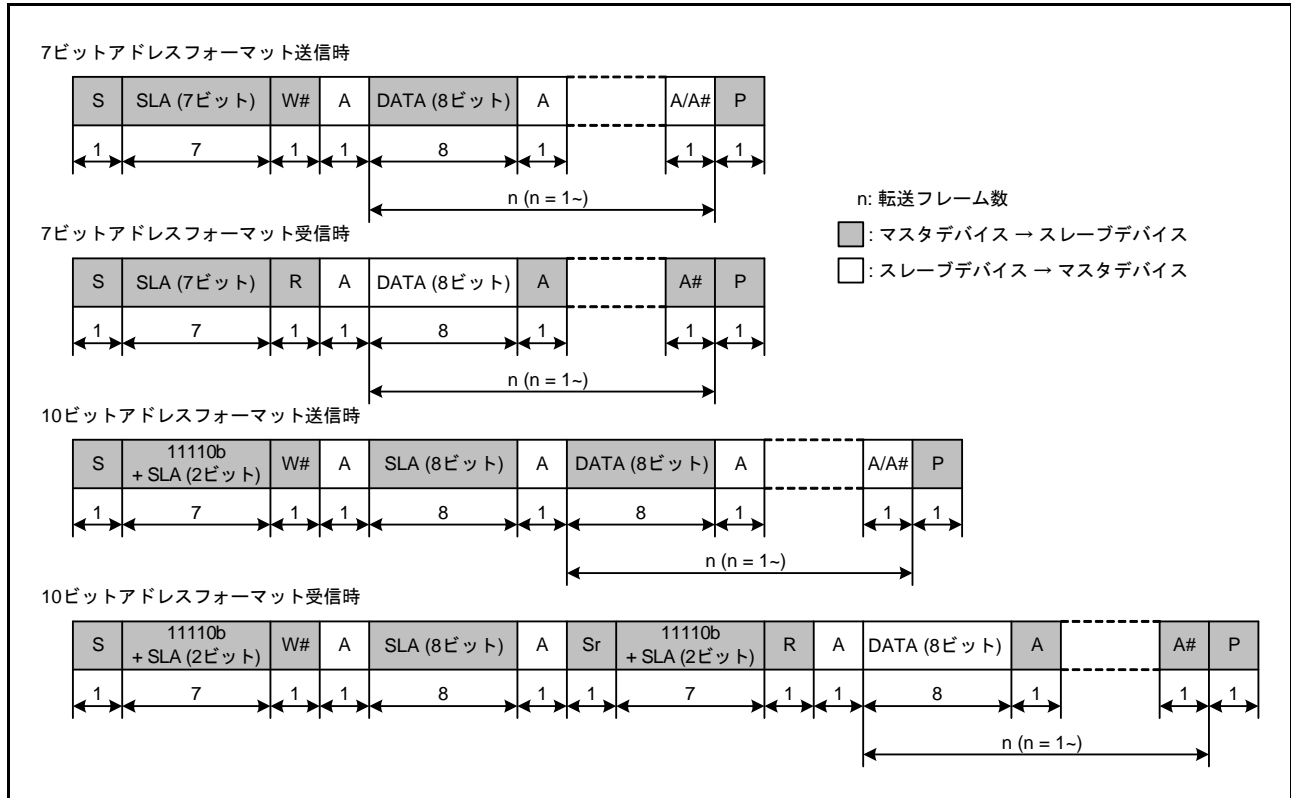


図 30.52 I²C バスフォーマット

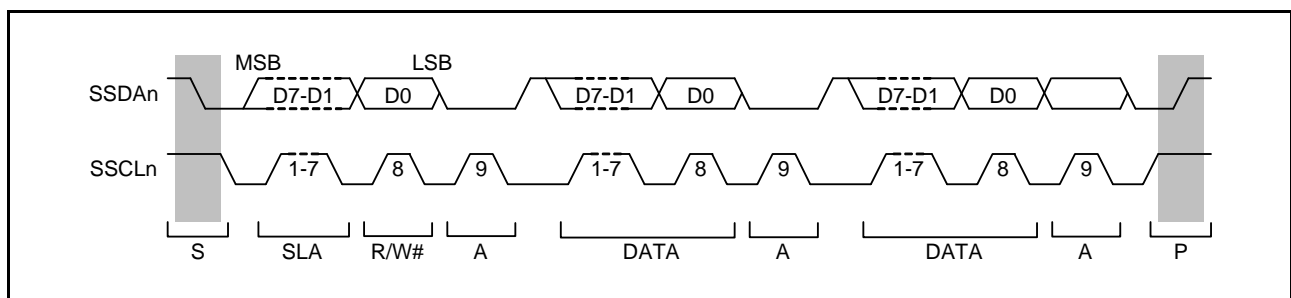


図 30.53 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインが High から Low に変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Low を返すことを ACK、High を返すことを NACK と言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態でセットアップ時間経過後に SSDAn ラインが High から Low に遷移します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインが Low から High に変化します。

30.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 30.54 に開始条件、再開条件、停止条件生成の動作タイミングを示します。

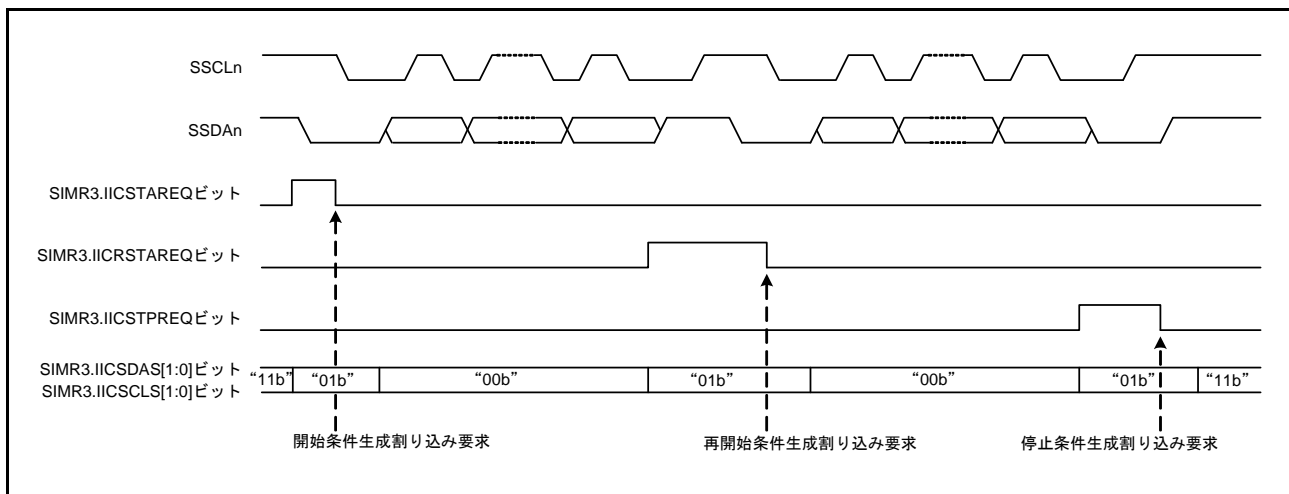


図 30.54 開始条件、再開条件、停止条件生成の動作タイミング

30.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 30.55 にクロック同期化の動作例を示します。

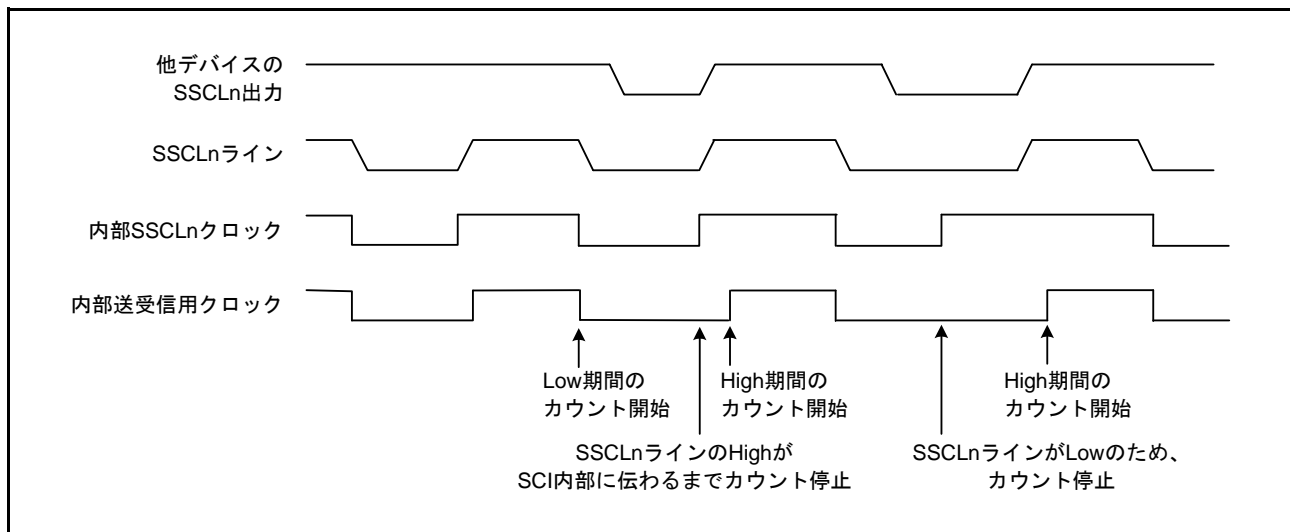


図 30.55 クロック同期化の動作例

30.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0～31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 30.56 に SSDA 出力遅延のタイミングを示します。

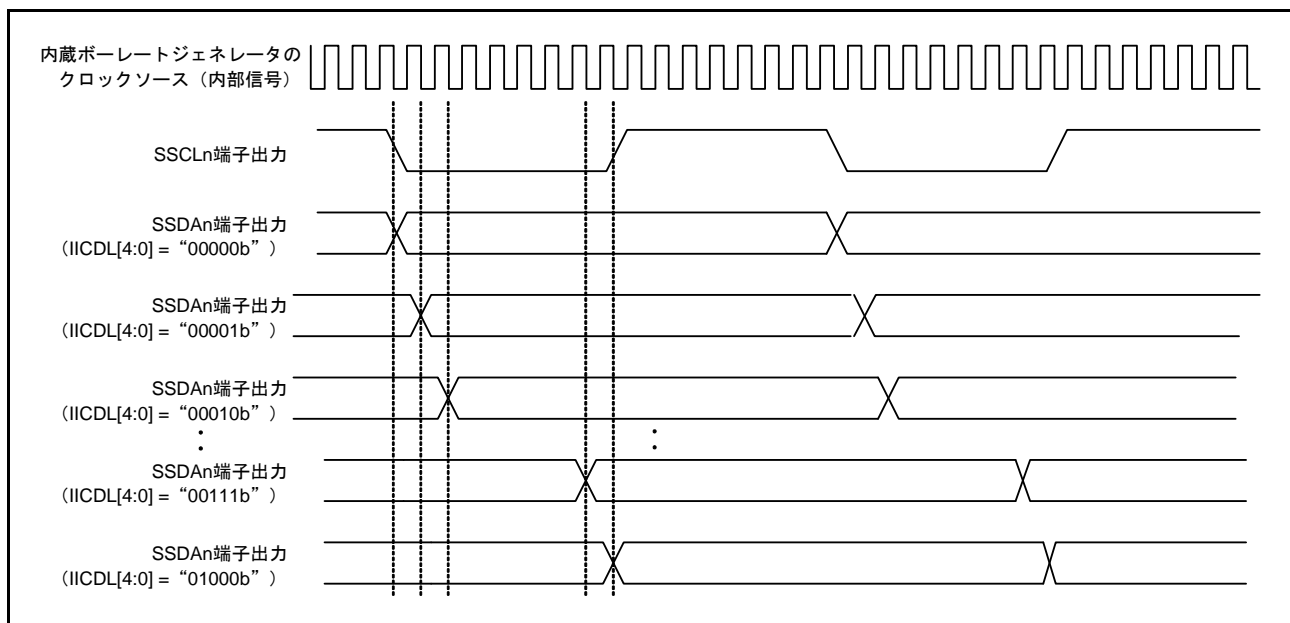


図 30.56 SSDA 出力遅延のタイミング

30.7.4 SCIの初期化(簡易I²Cモード)

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図30.57のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易I²Cモード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

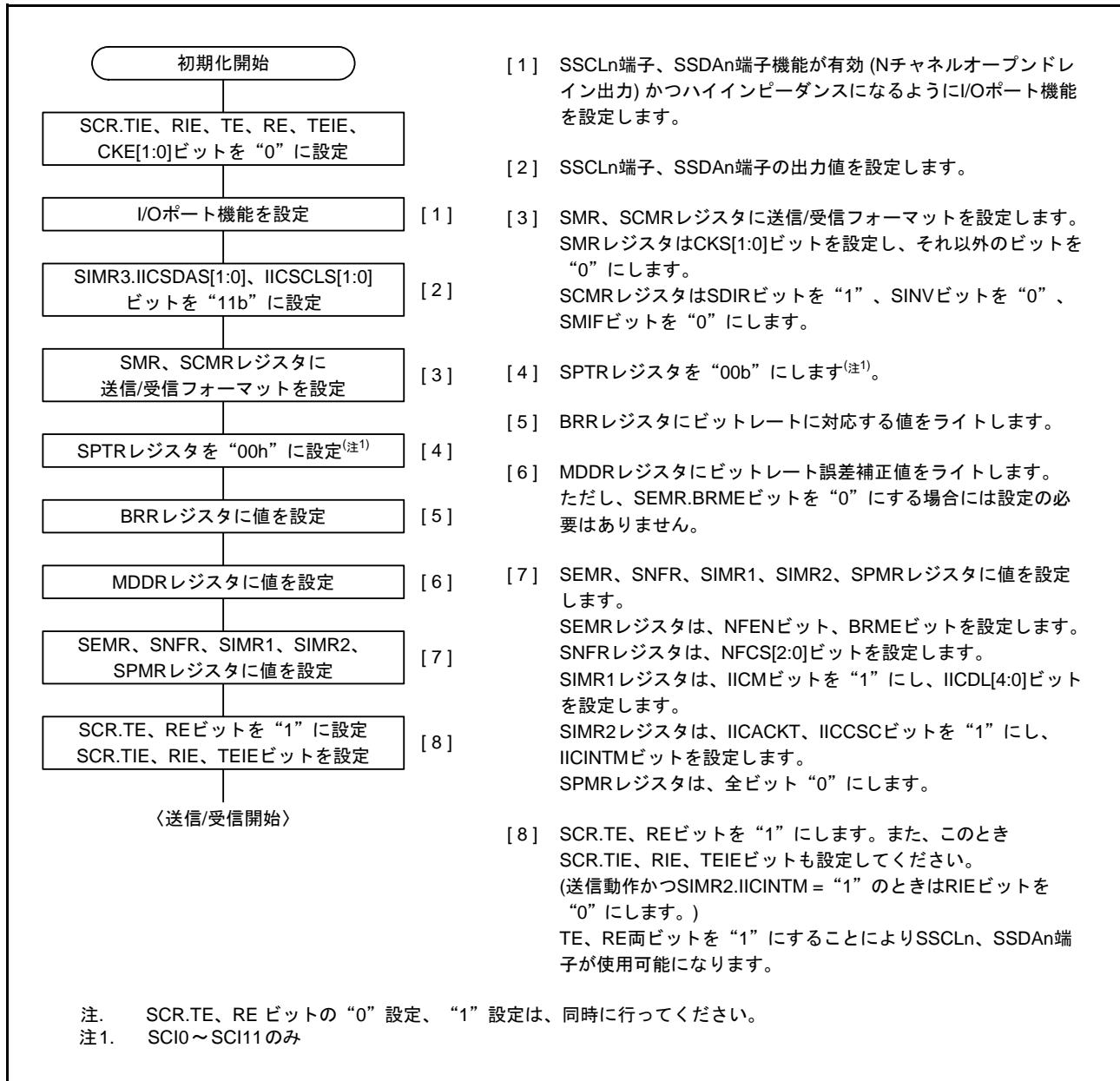


図30.57 SCIの初期化フローチャート例(簡易I²Cモード)

30.7.5 マスタ送信動作 (簡易 I²C モード)

図 30.58、図 30.59 に簡易 I²C モードのマスタ送信の動作例を、図 30.60 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 30.41 を参照してください。

10 ビットスレーブアドレス時は、図 30.60 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

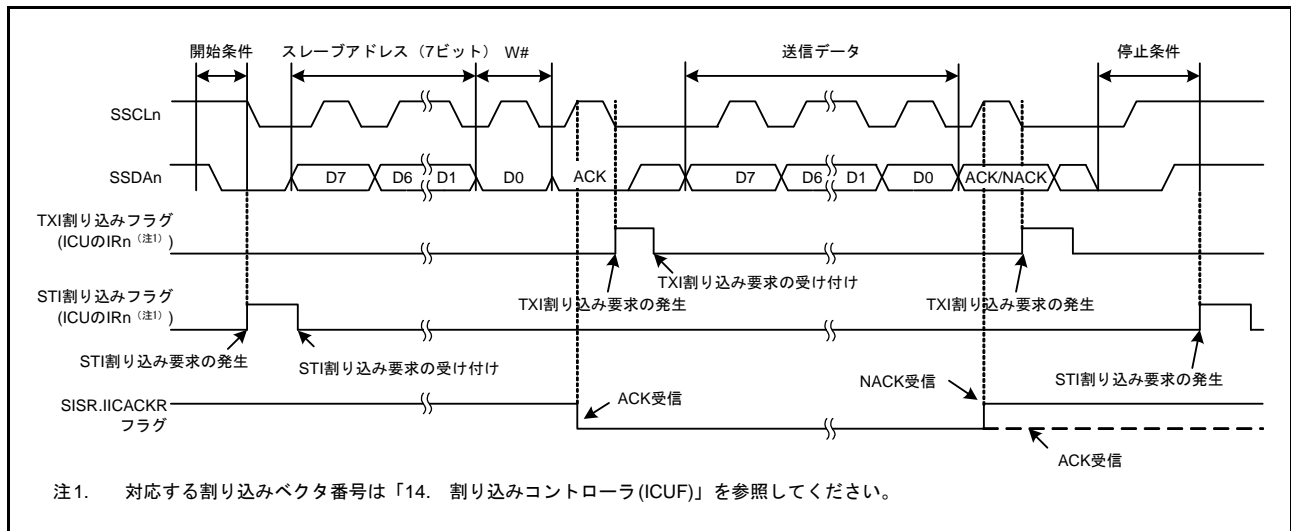


図 30.58 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

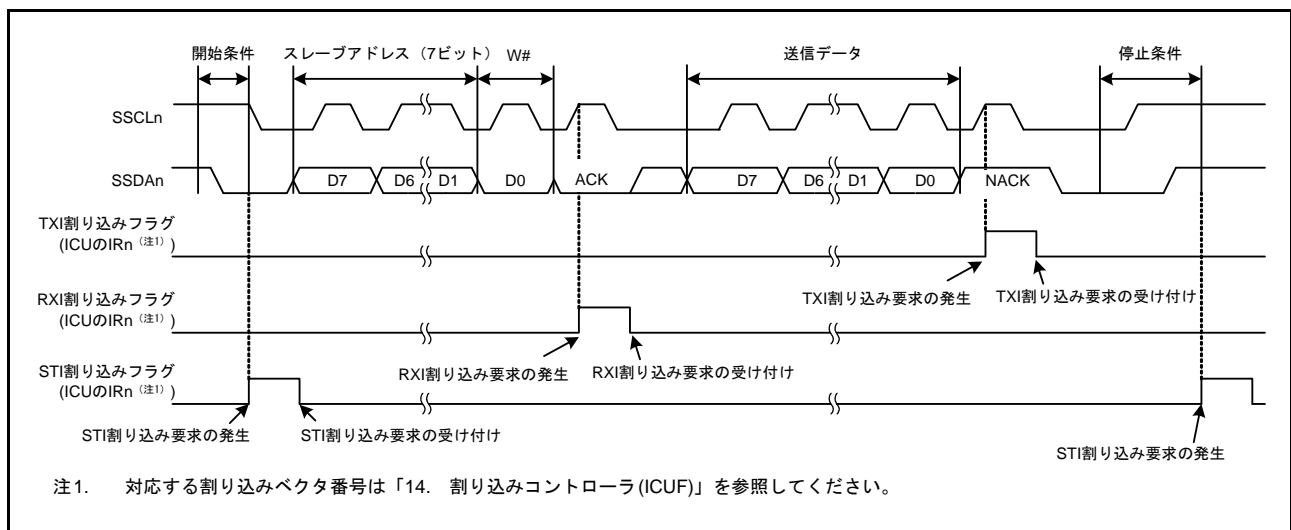
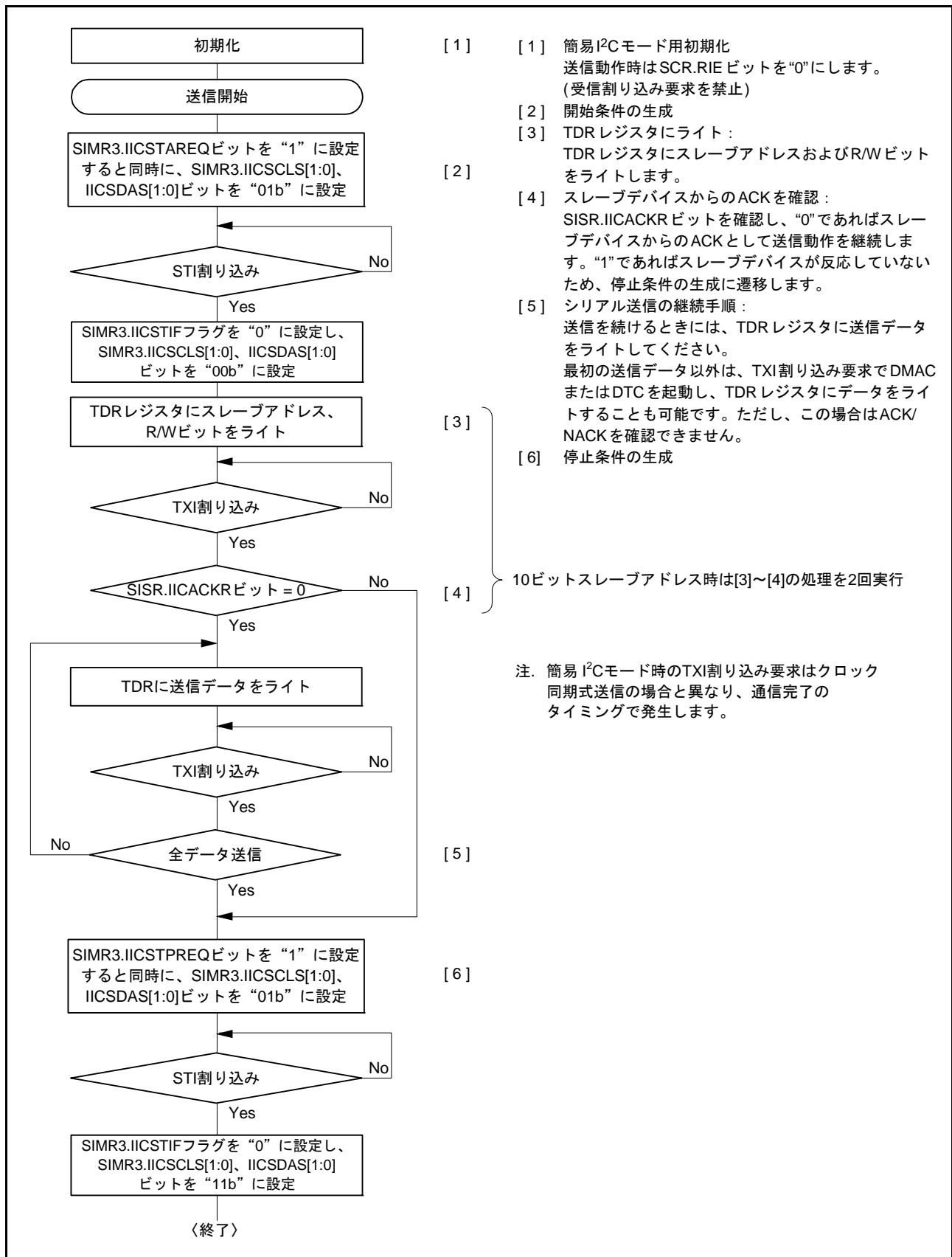


図 30.59 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)



- [1] [1] 簡易I²Cモード用初期化
送信動作時はSCR.RIEビットを“0”にします。
(受信割り込み要求を禁止)
- [2] [2] 開始条件の生成
- [3] [3] TDRレジスタにライト：
TDRレジスタにスレーブアドレスおよびR/Wビット
をライトします。
- [4] [4] スレーブデバイスからのACKを確認：
SISR.IICACKRビットを確認し、“0”であればスレー
ブデバイスからのACKとして送信動作を継続しま
す。“1”であればスレーブデバイスが反応していな
いため、停止条件の生成に遷移します。
- [5] [5] シリアル送信の継続手順：
送信を続けるときには、TDRレジスタに送信データ
をライトしてください。
最初の送信データ以外は、TXI割り込み要求でDMAC
またはDTCを起動し、TDRレジスタにデータをライ
トすることも可能です。ただし、この場合はACK/
NACKを確認できません。
- [6] [6] 停止条件の生成

[4] } 10ビットスレーブアドレス時は[3]~[4]の処理を2回実行

注. 簡易I²Cモード時のTXI割り込み要求はクロック同期式送信の場合と異なり、通信完了のタイミングで発生します。

図 30.60 簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

30.7.6 マスタ受信動作 (簡易 I²C モード)

図 30.61 に簡易 I²C モードのマスタ受信の動作例を、図 30.62 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

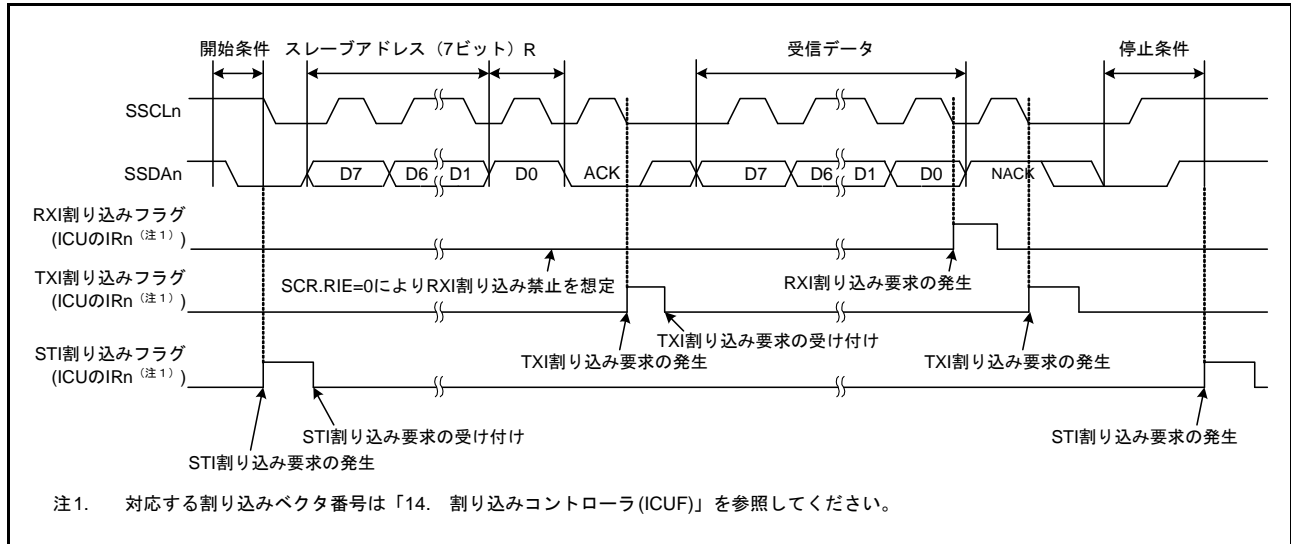


図 30.61 簡易 I²C バスモードのマスタ受信の動作例
(7ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

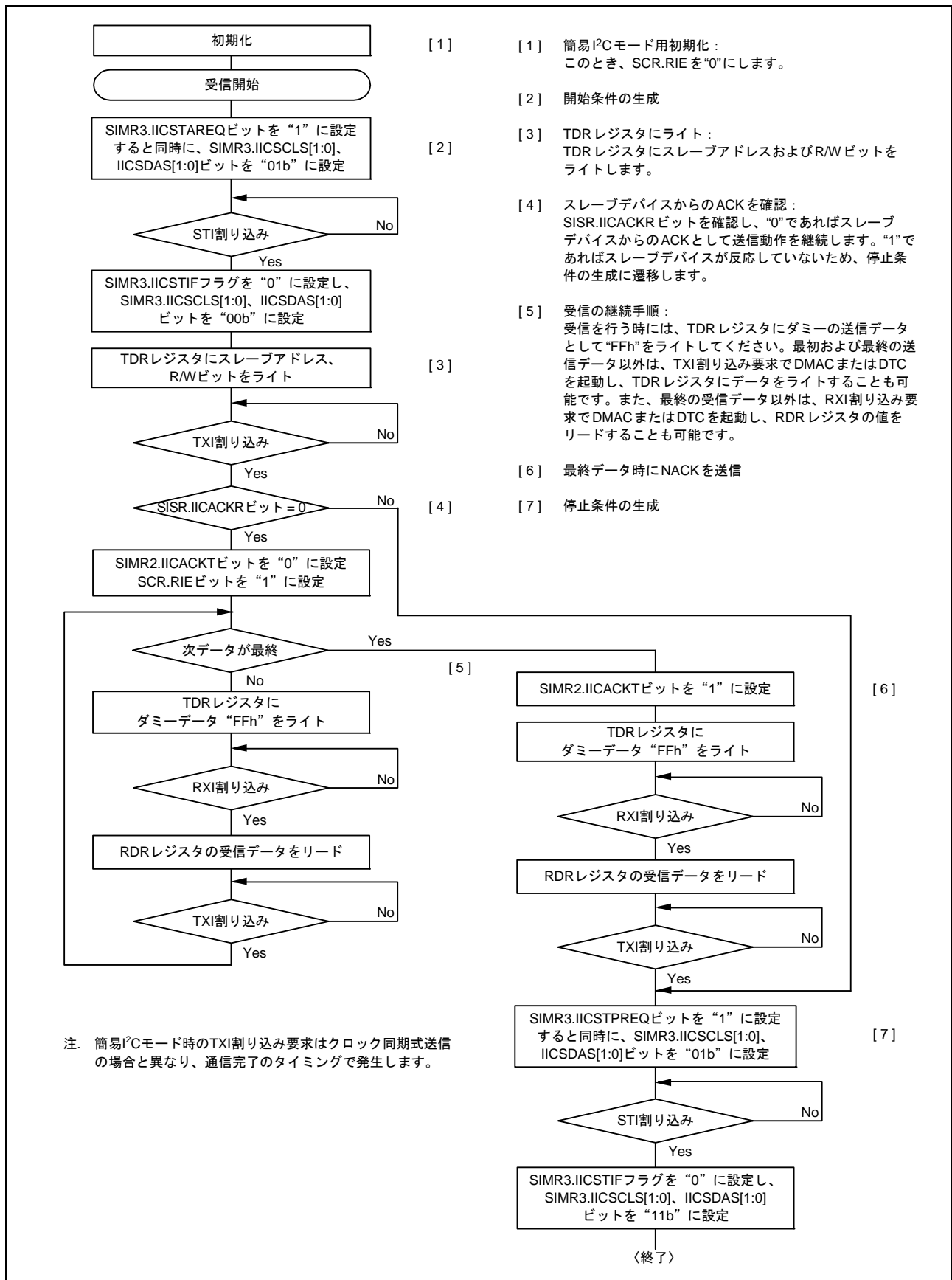


図 30.62 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

30.7.7 バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

- (1) SCR.TE ビットと RE ビットを同時に “0” にして、SCI をリセットする。
- (2) SIMR3 レジスタを “F0h” にして、バスを解放する。
- (3) SSR.RDRF フラグが “1” の場合は、RDR レジスタをダミーリードして RDRF フラグをクリアする。
- (4) SCR.TE ビットと RE ビットを同時に “1” にする。

30.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット = 0、SIMR1.IICM ビット = 0、SMR.CM ビット = 1)、かつ、SPMR.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを“0”にします。

図 30.63 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを“1”にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

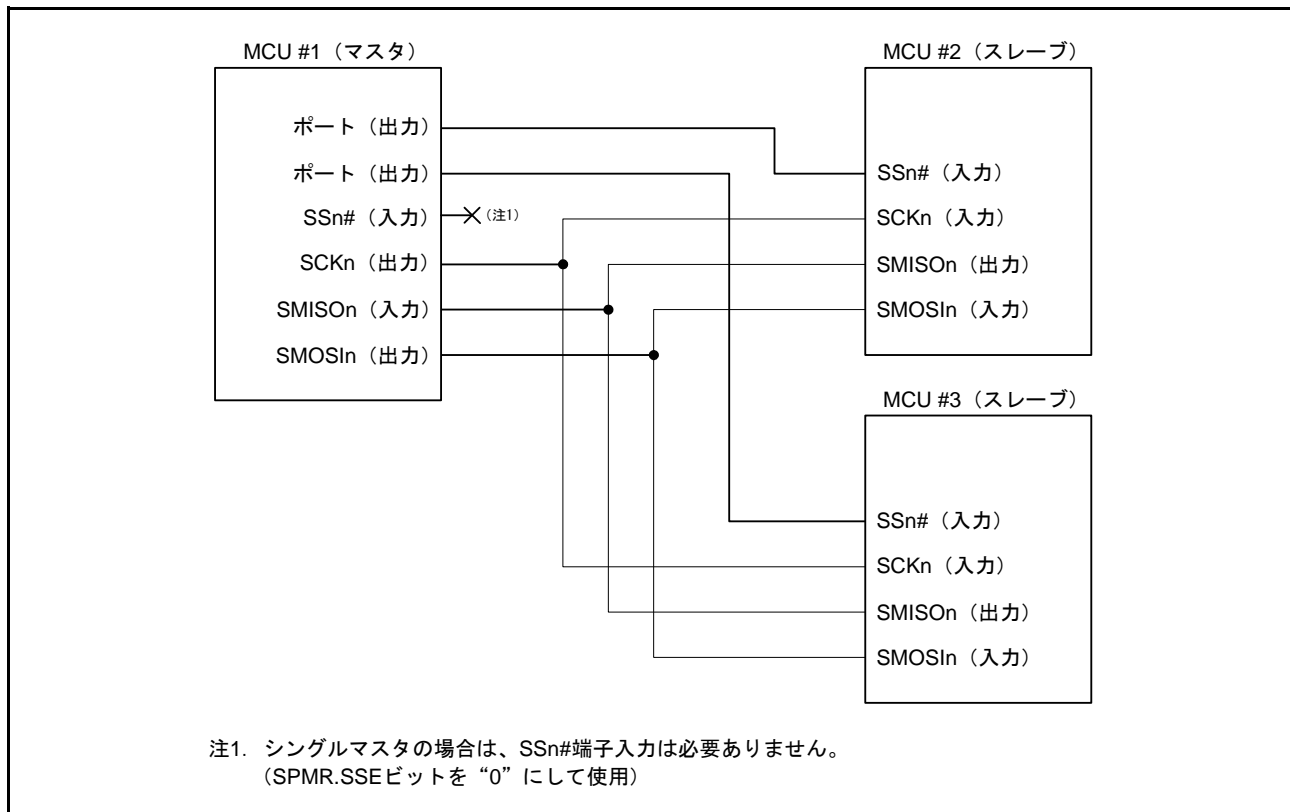


図 30.63 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

30.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 30.36 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 30.36 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOOn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

30.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

30.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

30.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 30.64 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

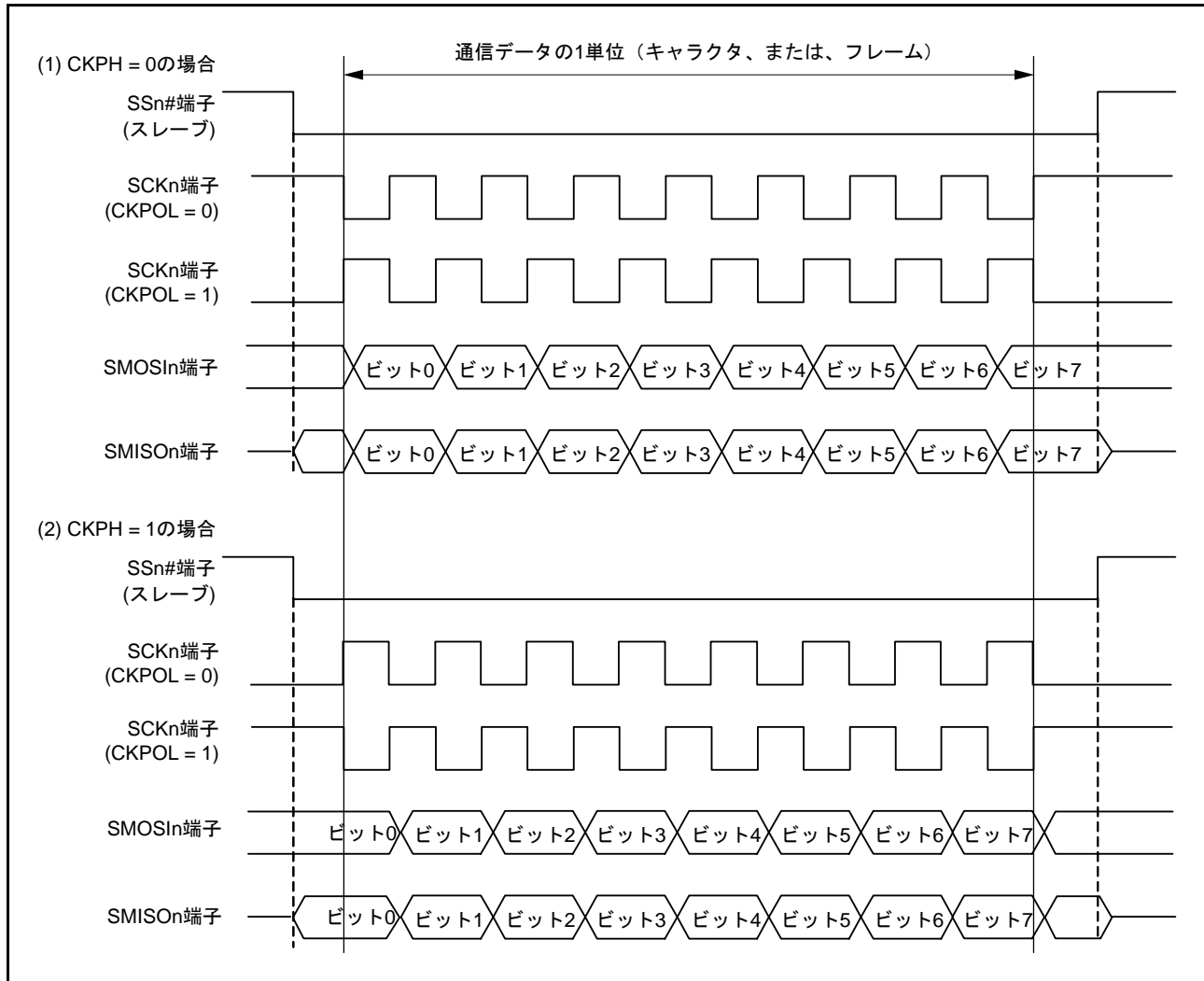


図 30.64 簡易 SPI モードのクロックと送受信データの関係

30.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 30.30 の SCI の初期化フローチャート例) と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

30.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

30.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが“1”のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが“00b”で、BRR レジスタが“00h”、MDDR レジスタが“160”のときの例を、図 30.65 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注． クロック同期式モードおよび簡易 SPI モードでは、最高速設定 (SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0) で本機能を使用しないでください。

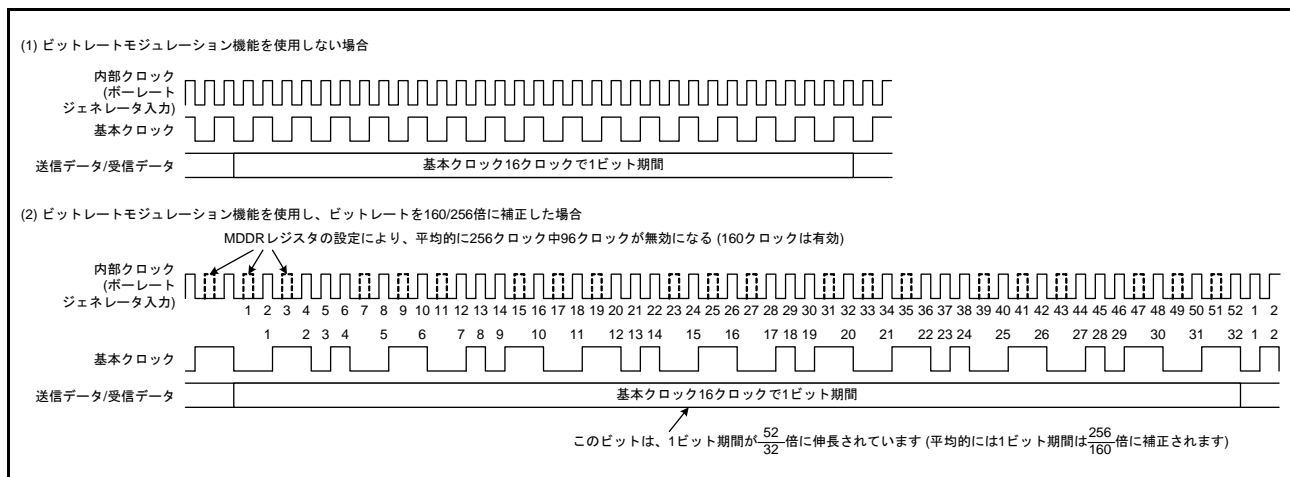


図 30.65 ビットレートモジュレーション機能使用時の基本クロックの例

なお、ボーレートジェネレータに入力されるクロックの周期が短いほど、生成される基本クロックの周期の差が小さくなり、また、ボーレートジェネレータの分周比も大きくなるため、結果として 1 ビット期間の長さの差も小さくなります。

30.10 拡張シリアルモード制御部の動作説明

30.10.1 シリアル通信プロトコル

SCI12 の拡張シリアルモード制御部は、図 30.66 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

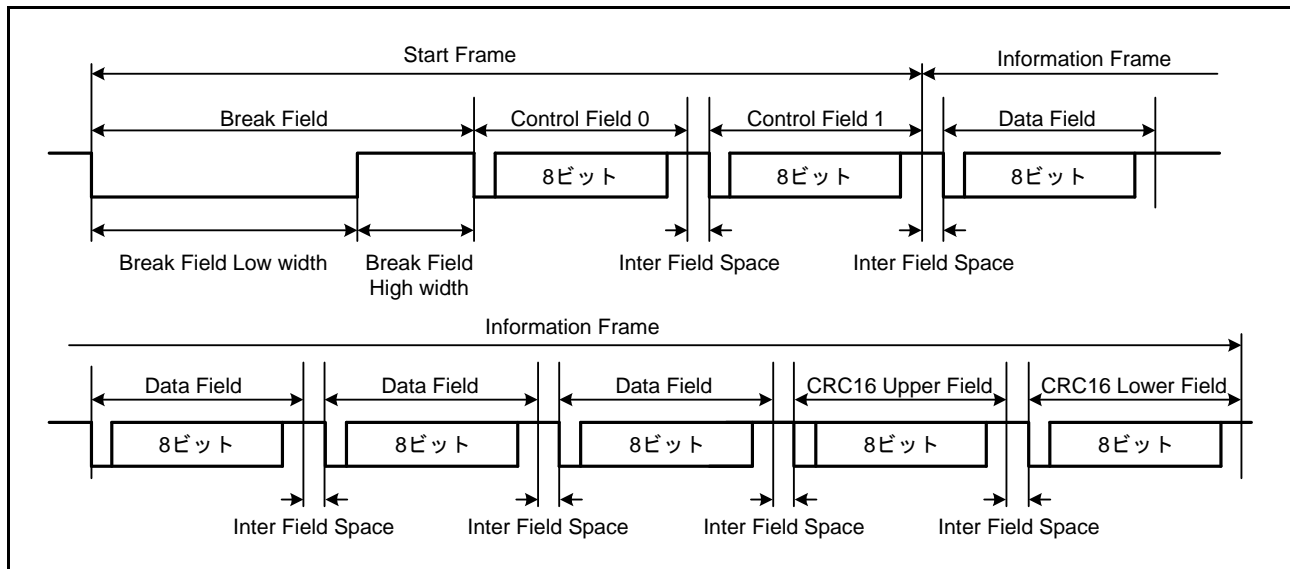


図 30.66 拡張シリアルモード制御部シリアル通信プロトコル

30.10.2 Start Frame 送信

図 30.67 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します。また、図 30.68、図 30.69 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR.TCST ビットに“1”を書き込むと、タイマがカウントを開始し、TCNT、TPRE レジスタに設定した期間、TXDX12 端子から Low が出力されます。
- (2) タイマがアンダフローすると TXDX12 端子の出力が反転し、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) TCR.TCST ビットに“0”を書き込んでタイマのカウントを停止させた後、Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダフローするまでにカウントを停止してください。
- (4) Control Field 0 のデータの送信が完了した後、Control Field 1 のデータを送信します。
- (5) Control Field 1 のデータの送信が完了した後、Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。

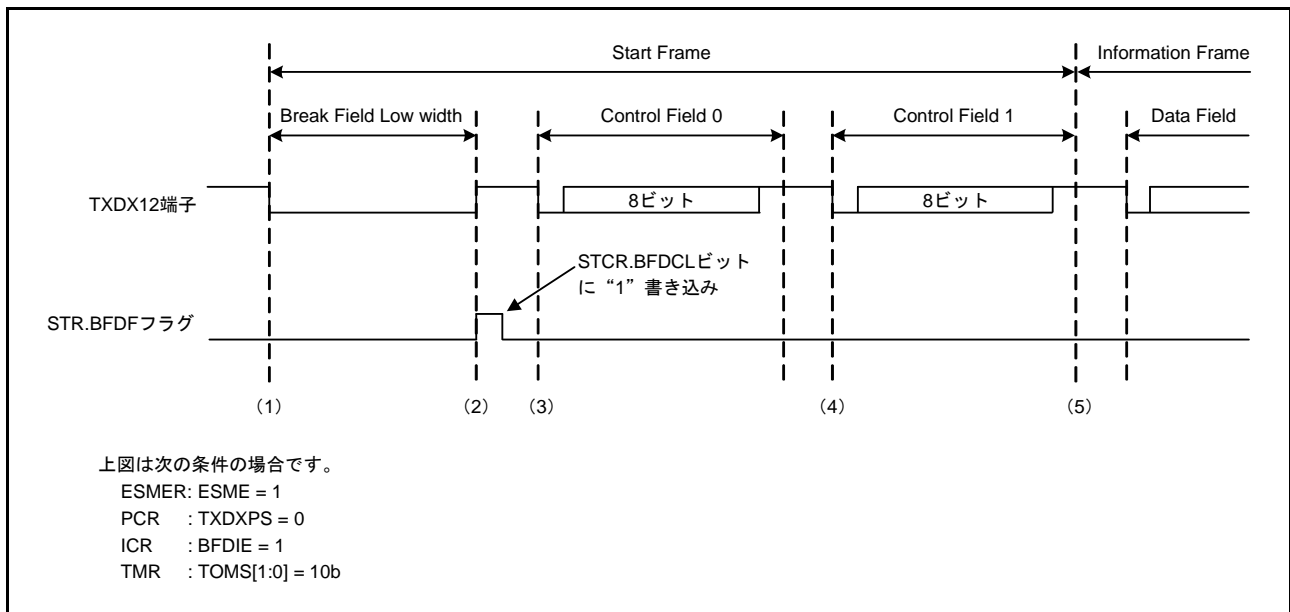


図 30.67 Start Frame 送信時の動作例

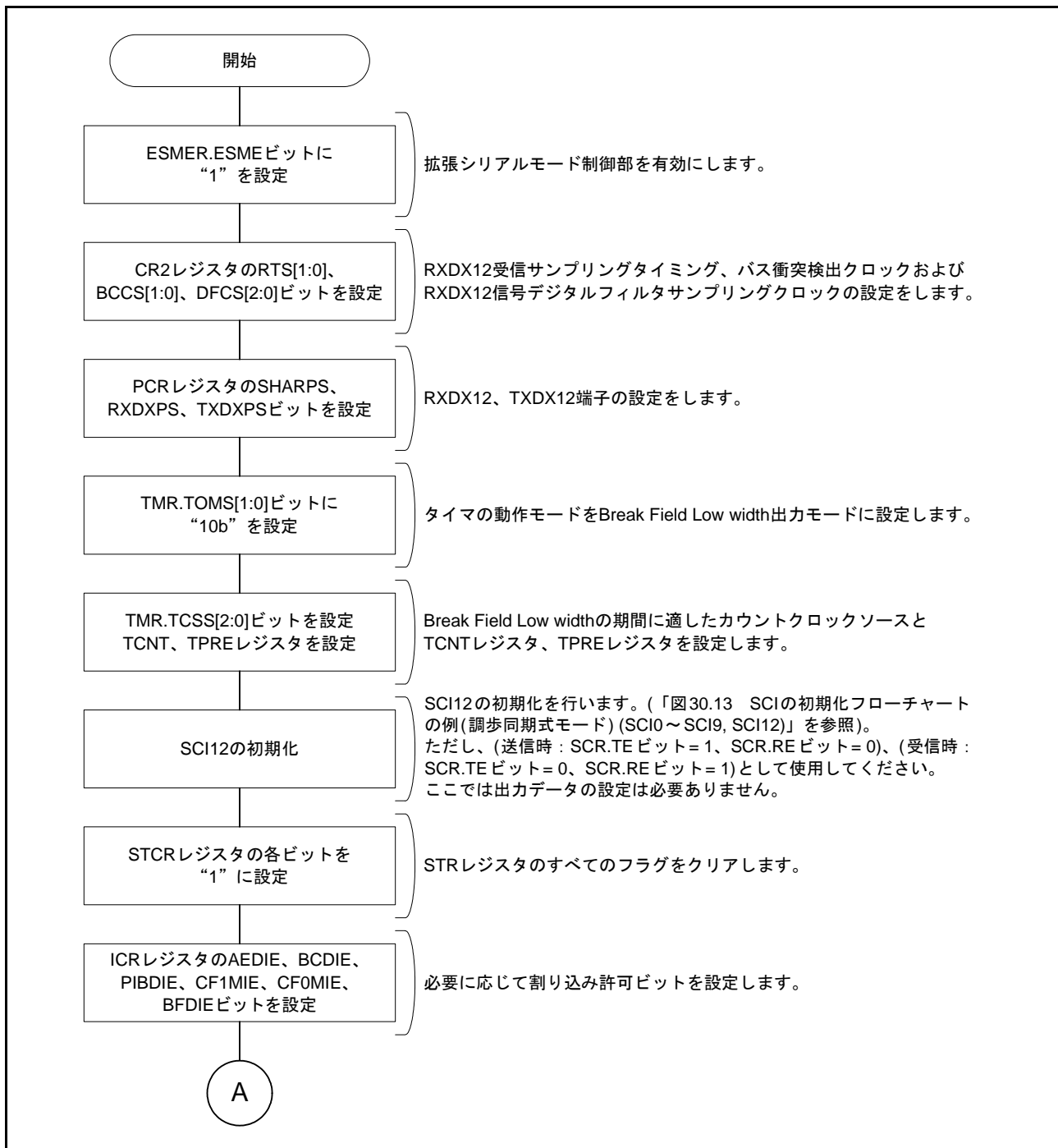


図 30.68 Start Frame 送信フローチャート例 (1)

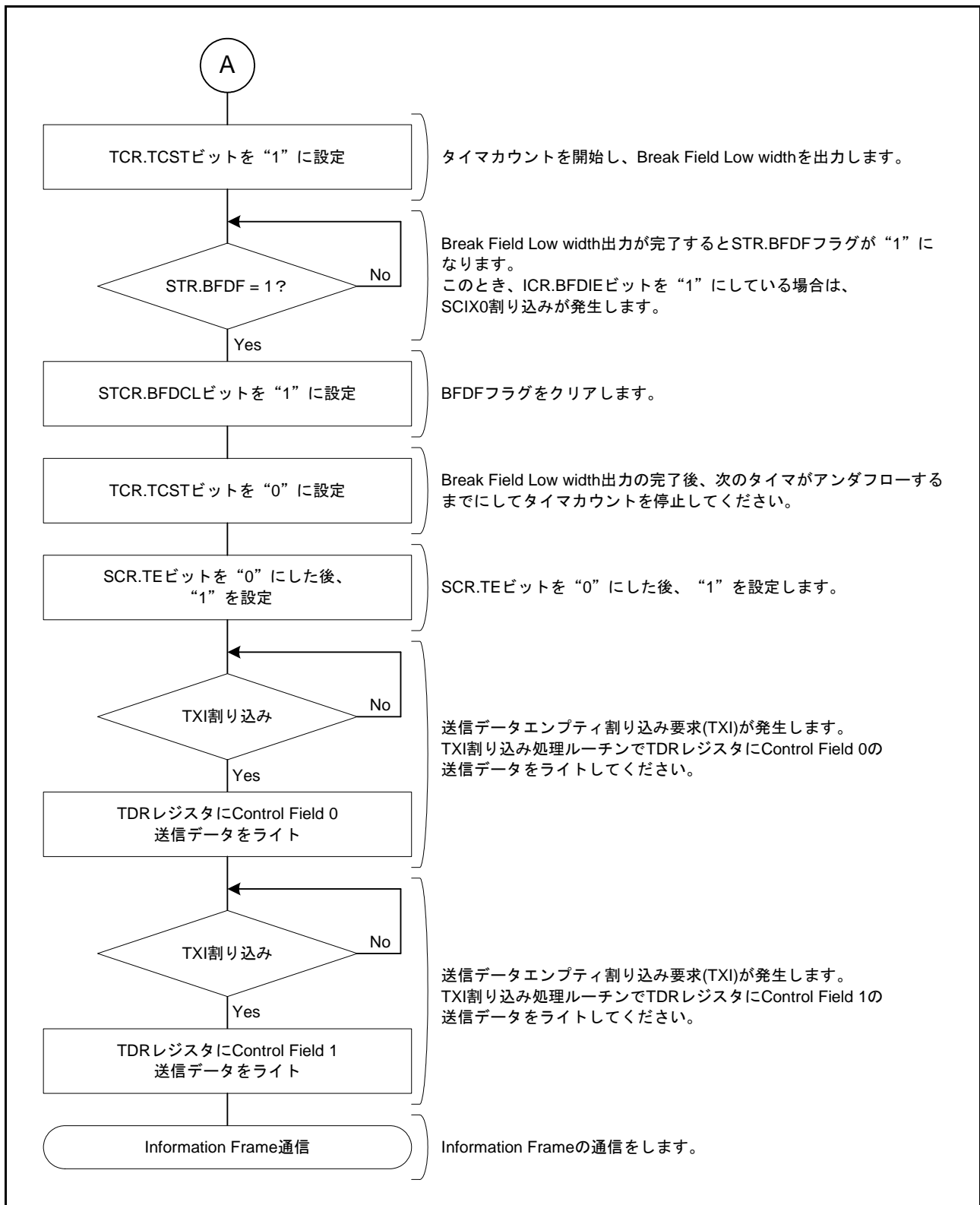


図 30.69 Start Frame 送信フローチャート例 (2)

30.10.3 Start Frame 受信

拡張シリアルモード制御部では、表 30.37 のような構成の Start Frame を検出することができます。

表 30.37 Start Frameの構成

ビットの設定		Start Frameの構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 30.70 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 30.71、図 30.72 に Start Frame の受信を行うためのフローチャート、図 30.73 に Start Frame 受信時の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに“1”を書き込むと、Break Field Low width 検出が可能になります。
- (2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが“0”になり、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが“1”になります。また、ICR.CF0MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが“1”になります。また、ICR.CF1MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

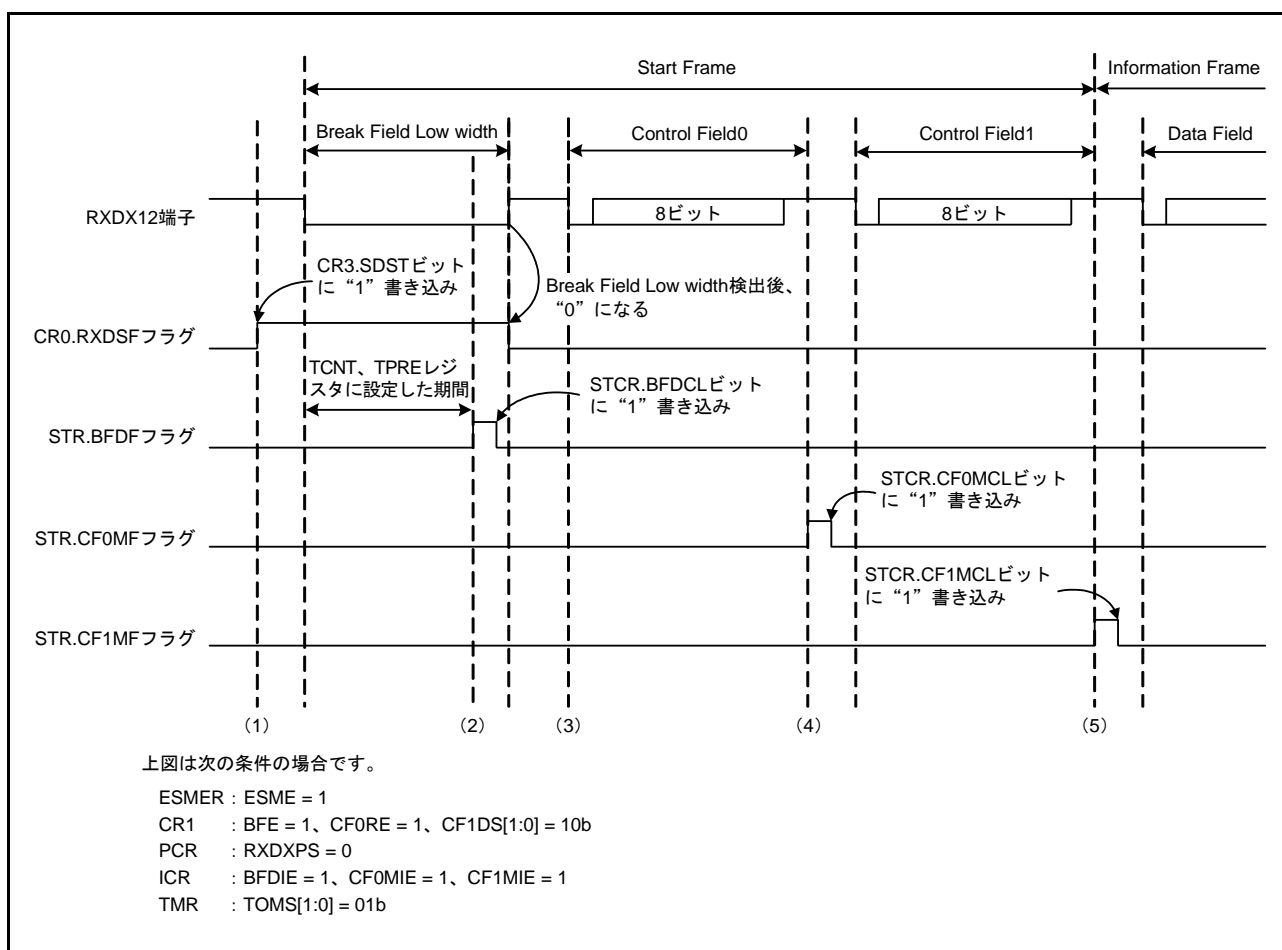


図 30.70 Start Frame 受信時の動作例

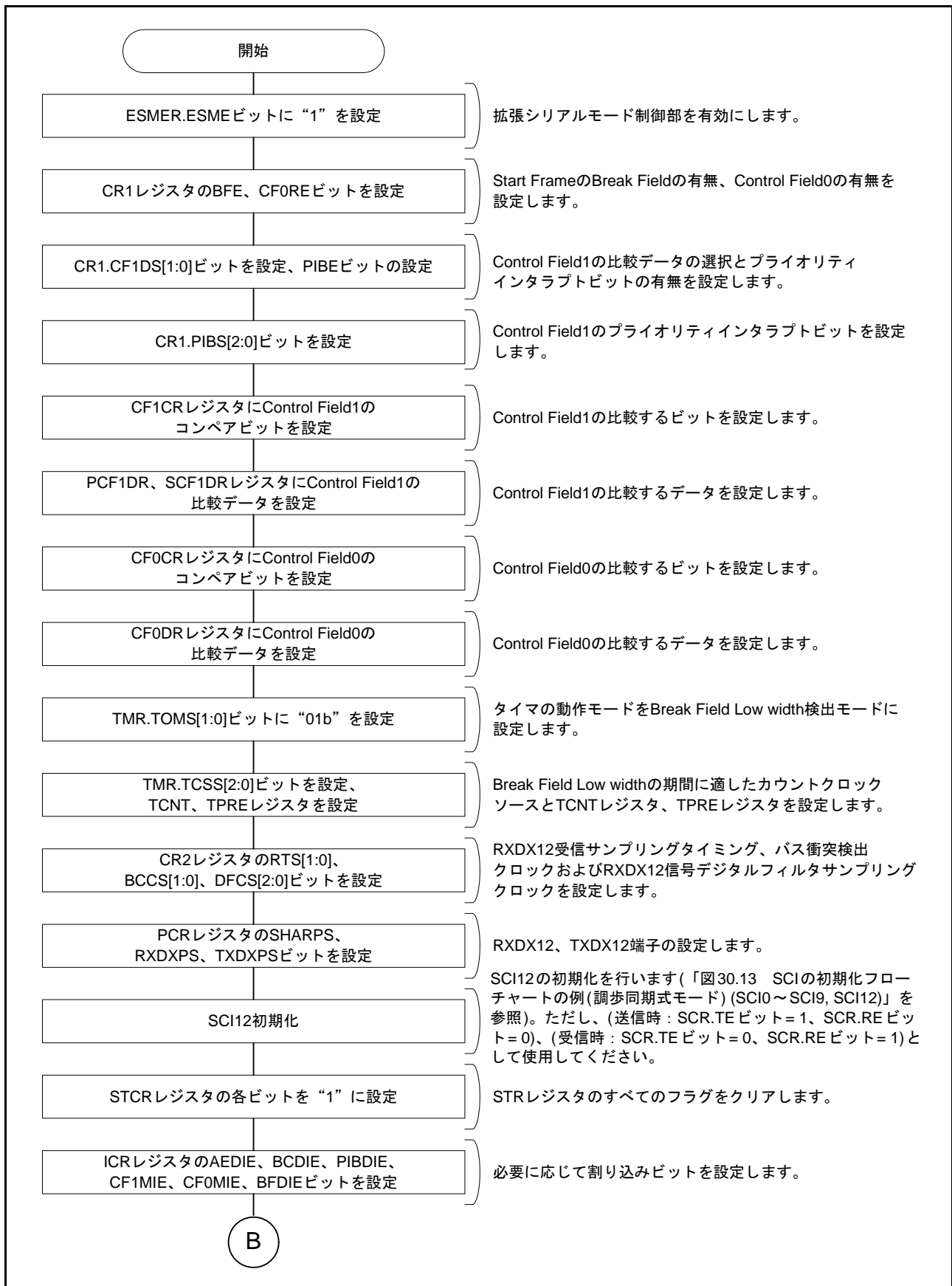


図 30.71 Start Frame 受信フローチャート例 (1)

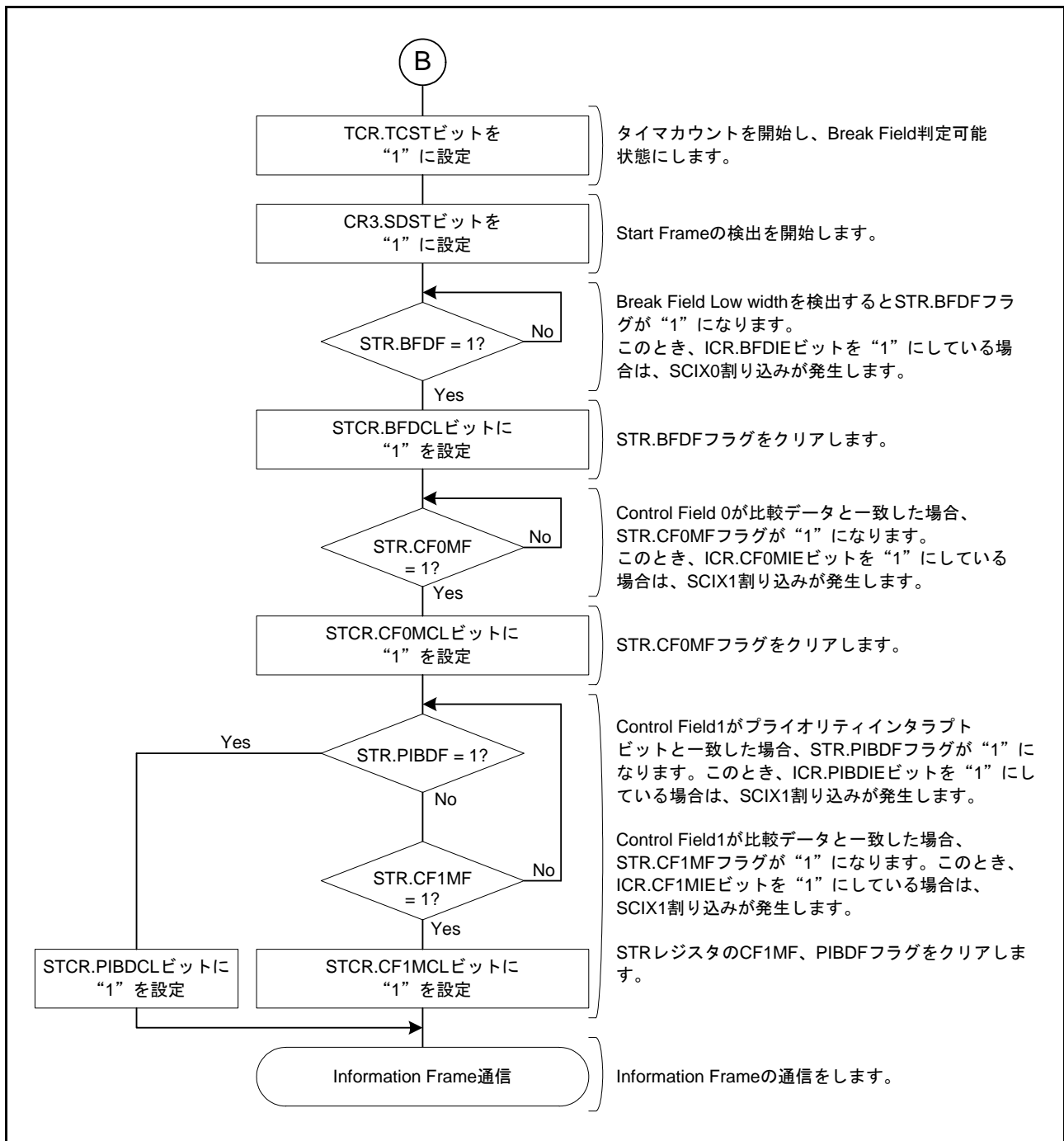


図 30.72 Start Frame 受信フローチャート例 (2)

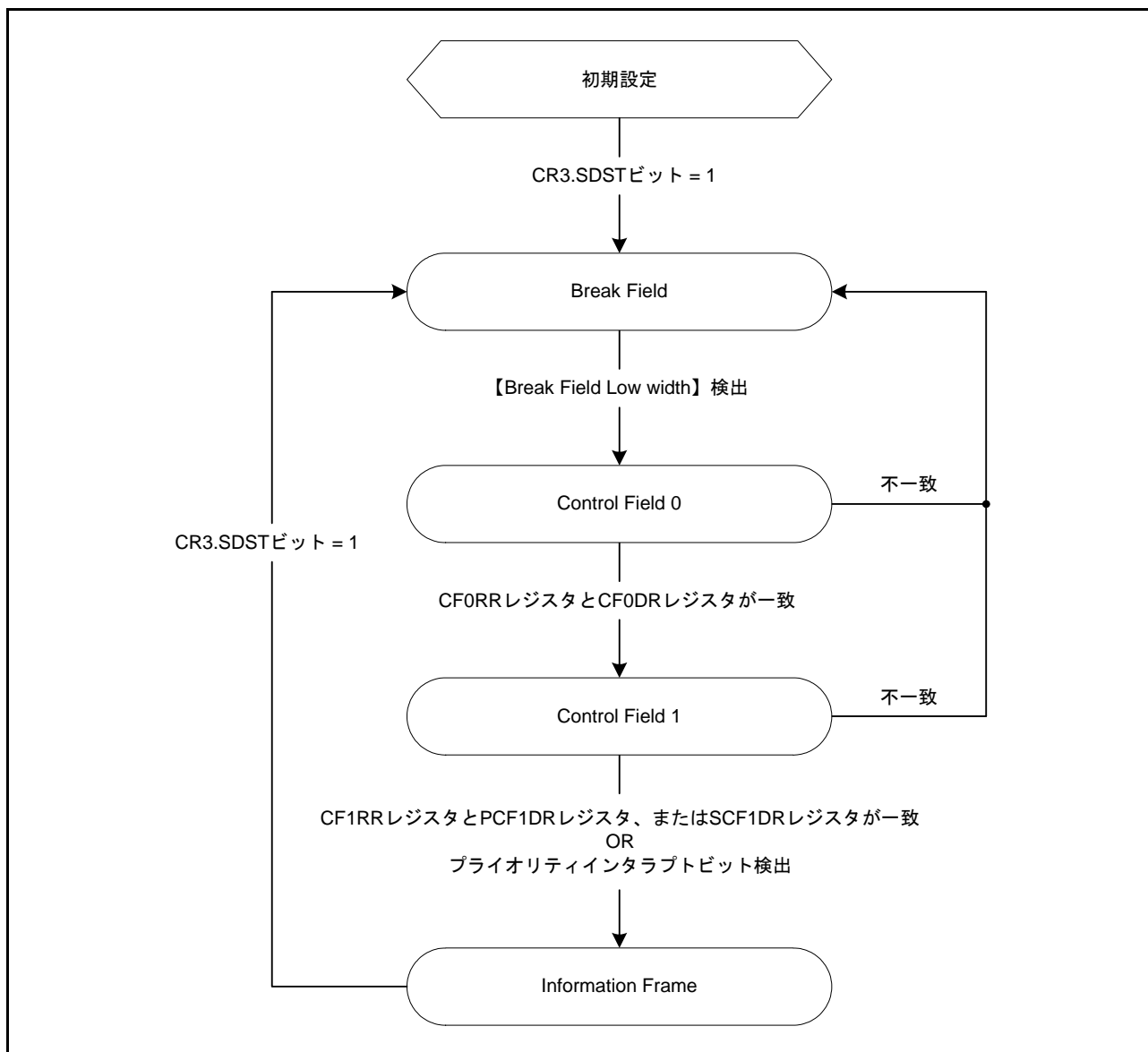


図 30.73 Start Frame 受信時の状態遷移図

30.10.3.1 プライオリティインタラプトビット

図 30.74 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを“1”にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1)～(4) は図 30.70 の Start Frame 受信時の動作例 (1)～(4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが“1”になります。また、ICR.PIBDIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

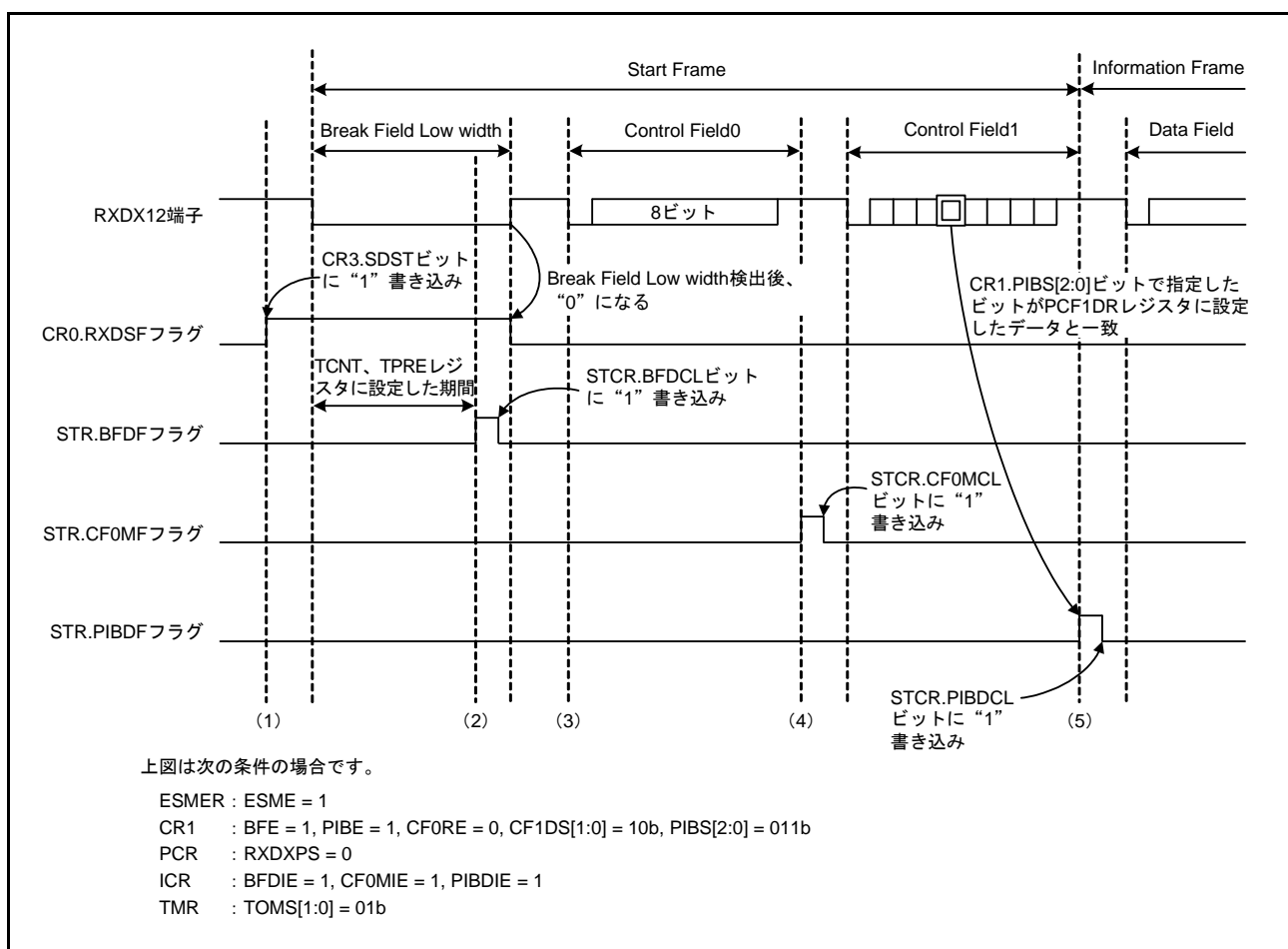


図 30.74 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

30.10.4 バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCR.TE ビット = 1 の状態で、Break Field Low width 出力中およびデータ送信中にバス衝突検出機能が働きます。

図 30.75 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが“1”になります。また、ICR.BCDIE ビットを“1”にしている場合は、SCIX2 割り込みが発生します。

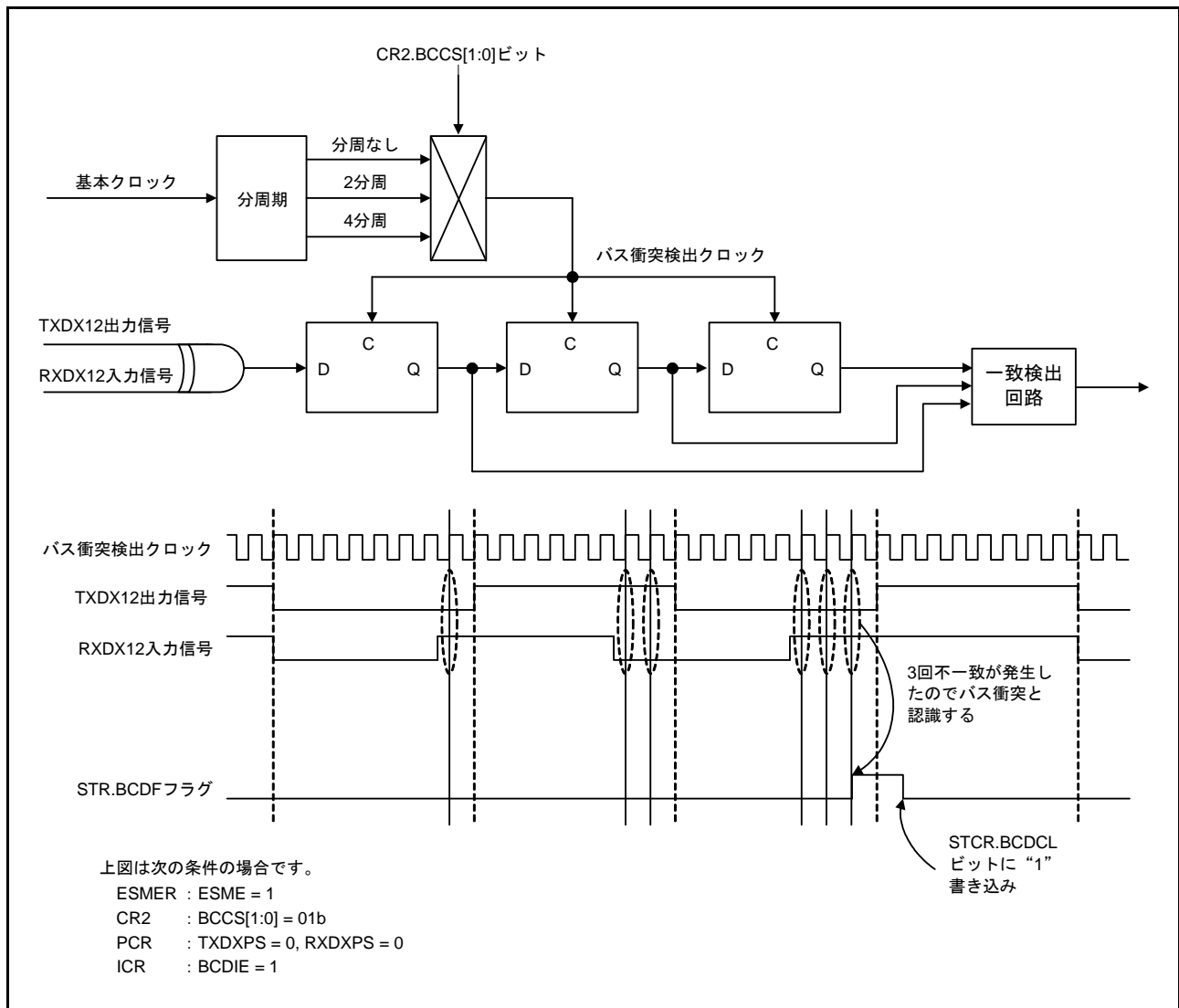


図 30.75 バス衝突検出機能の動作例

30.10.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号はCR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 30.76 にデジタルフィルタ機能の動作例を示します。

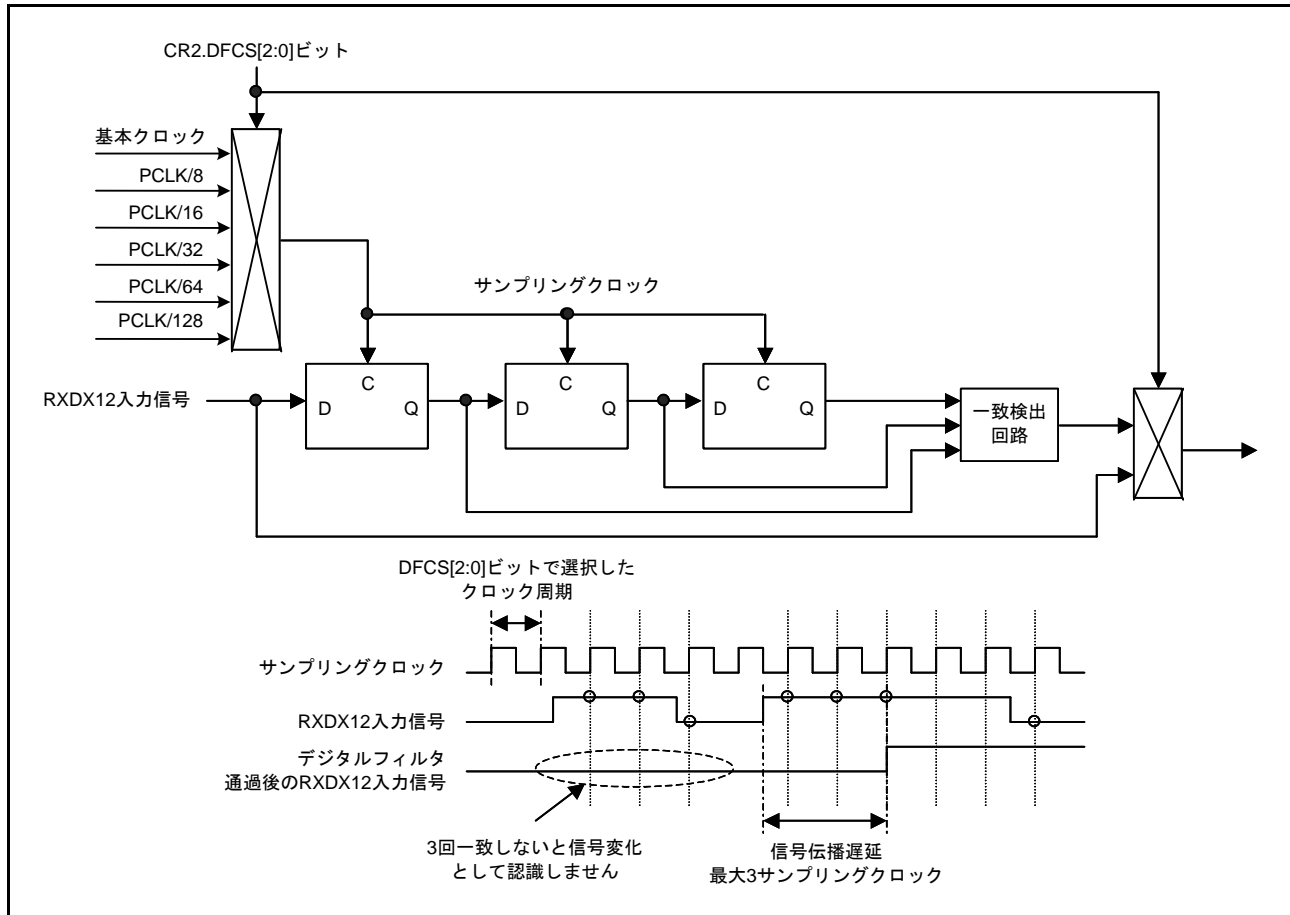


図 30.76 デジタルフィルタ機能の動作例

30.10.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 30.77 にビットレート測定機能の動作例を示します。

- (1) CR0.BRME ビットに“1”を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ“1”を設定してください。また、BRME ビットを“1”にしても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ(立ち上がりエッジおよび立ち下がりエッジ)が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを“1”にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、BRR レジスタの設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに“0”を書き込んでください。

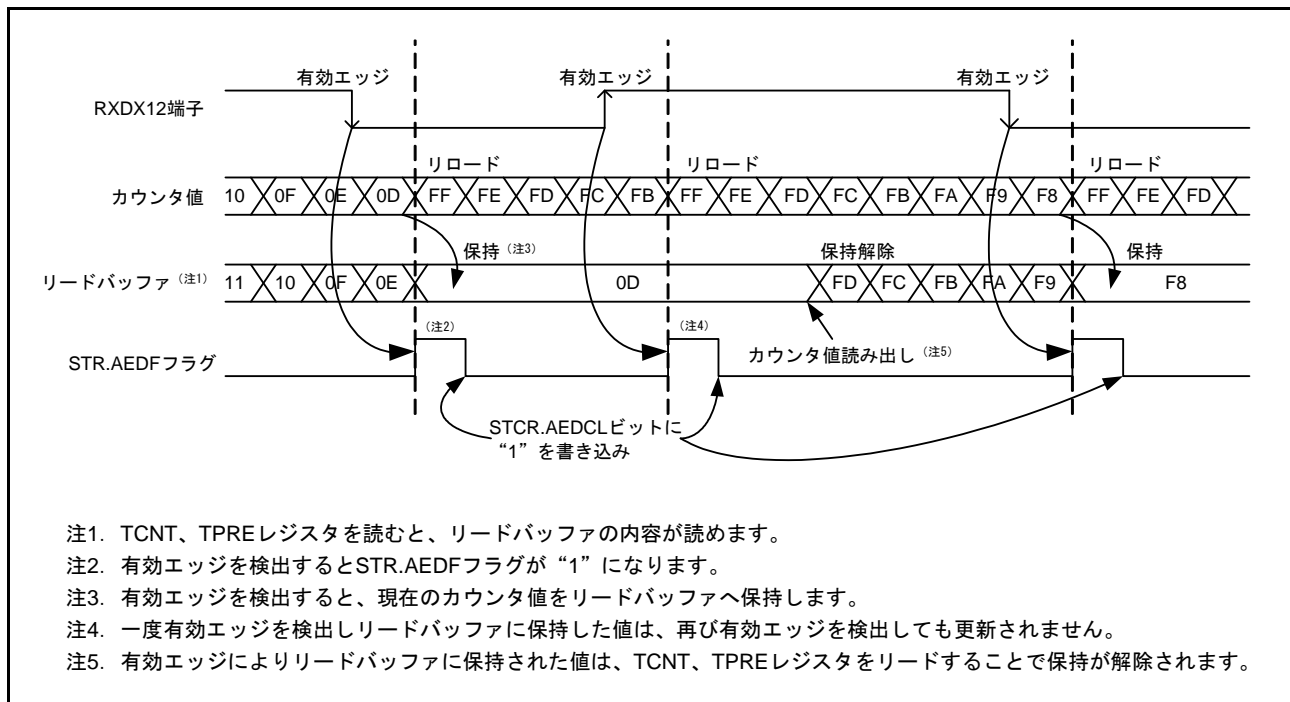


図 30.77 ビットレート測定機能動作例

30.10.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、RXDX12 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、基本クロックの 8 クロック目の立ち上がり、10 クロック目の立ち上がり、12 クロック目の立ち上がりおよび 14 クロック目の立ち上がりから選択することができます。SEMR.ABCS ビットが“1”の場合は基本クロックの 4 クロック目の立ち上がり、5 クロック目の立ち上がり、6 クロック目の立ち上がりおよび 7 クロック目の立ち上がりから選択することができます。図 30.78 に RXDX12 受信データサンプリングタイミングを示します。

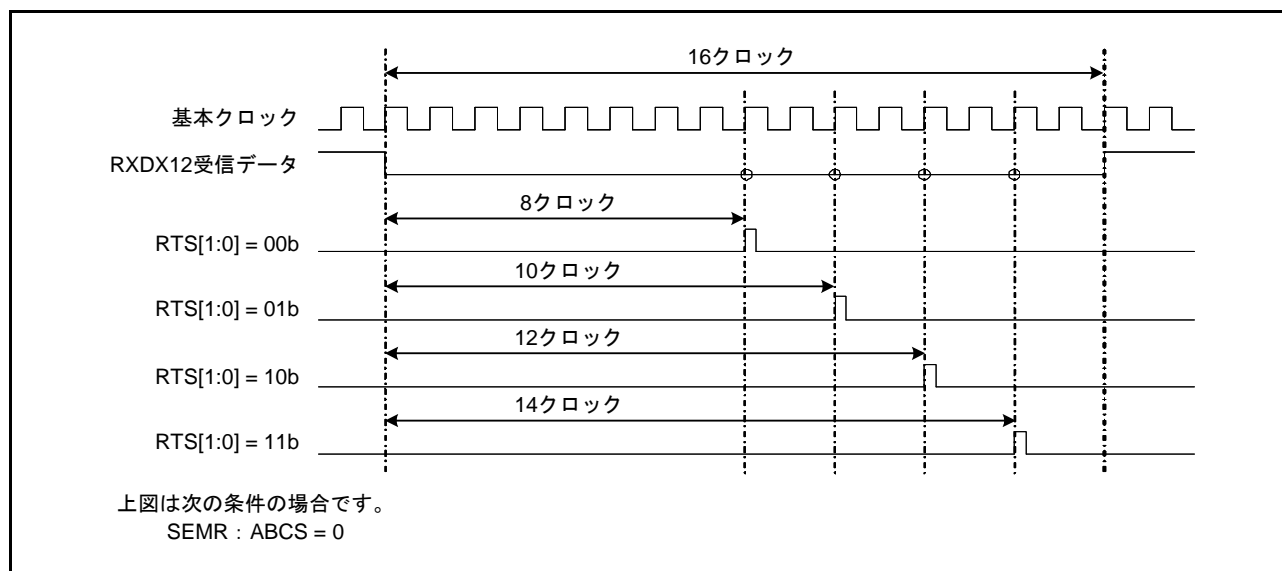


図 30.78 RXDX12 受信データサンプリングタイミング

30.10.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを“10b”に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに“0”を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 30.79 に Break Field Low width 出力モードの動作例を示します。

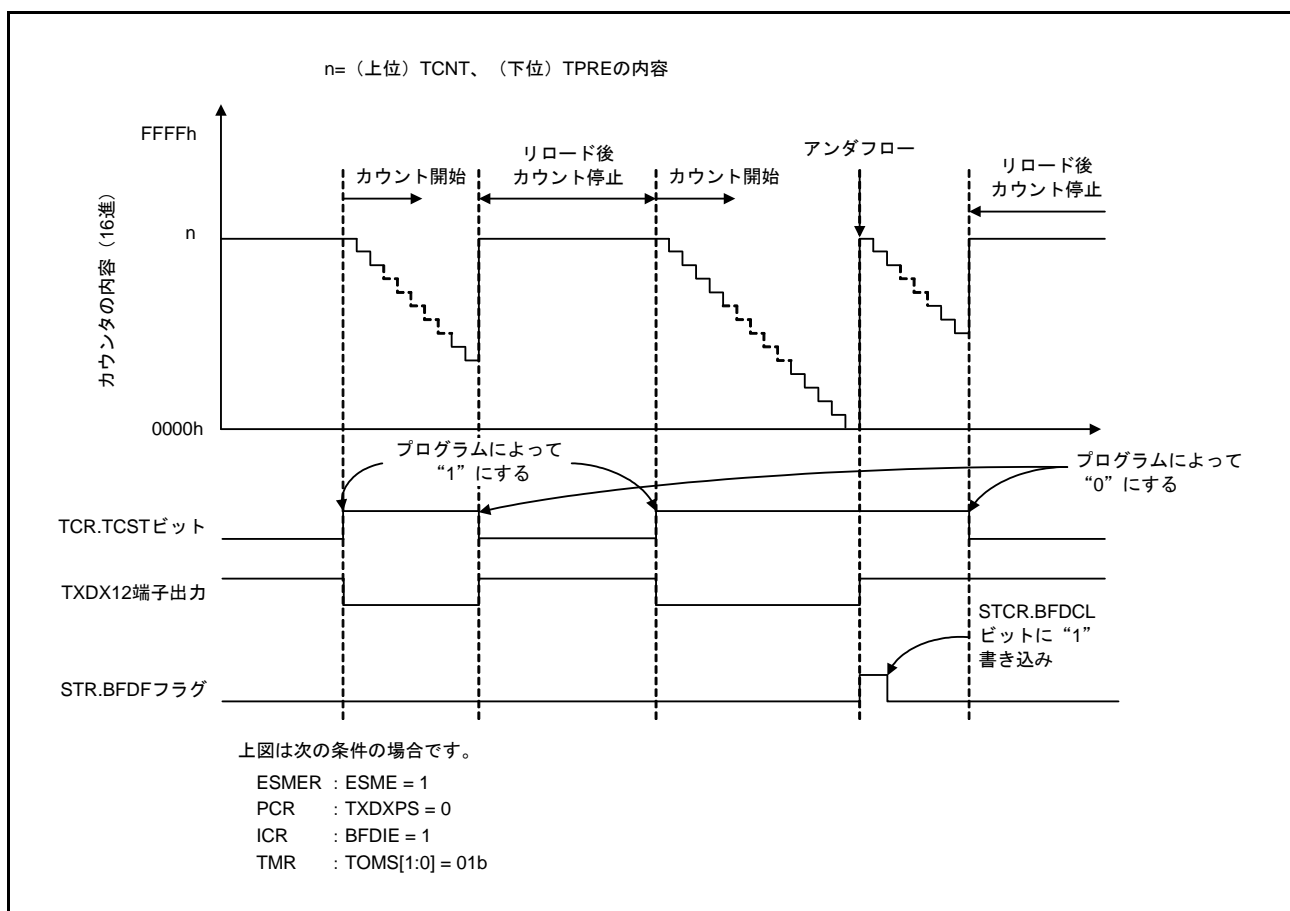


図 30.79 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを“01b”に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRES レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 30.80 に Break Field Low width 判定モードの動作例を示します。

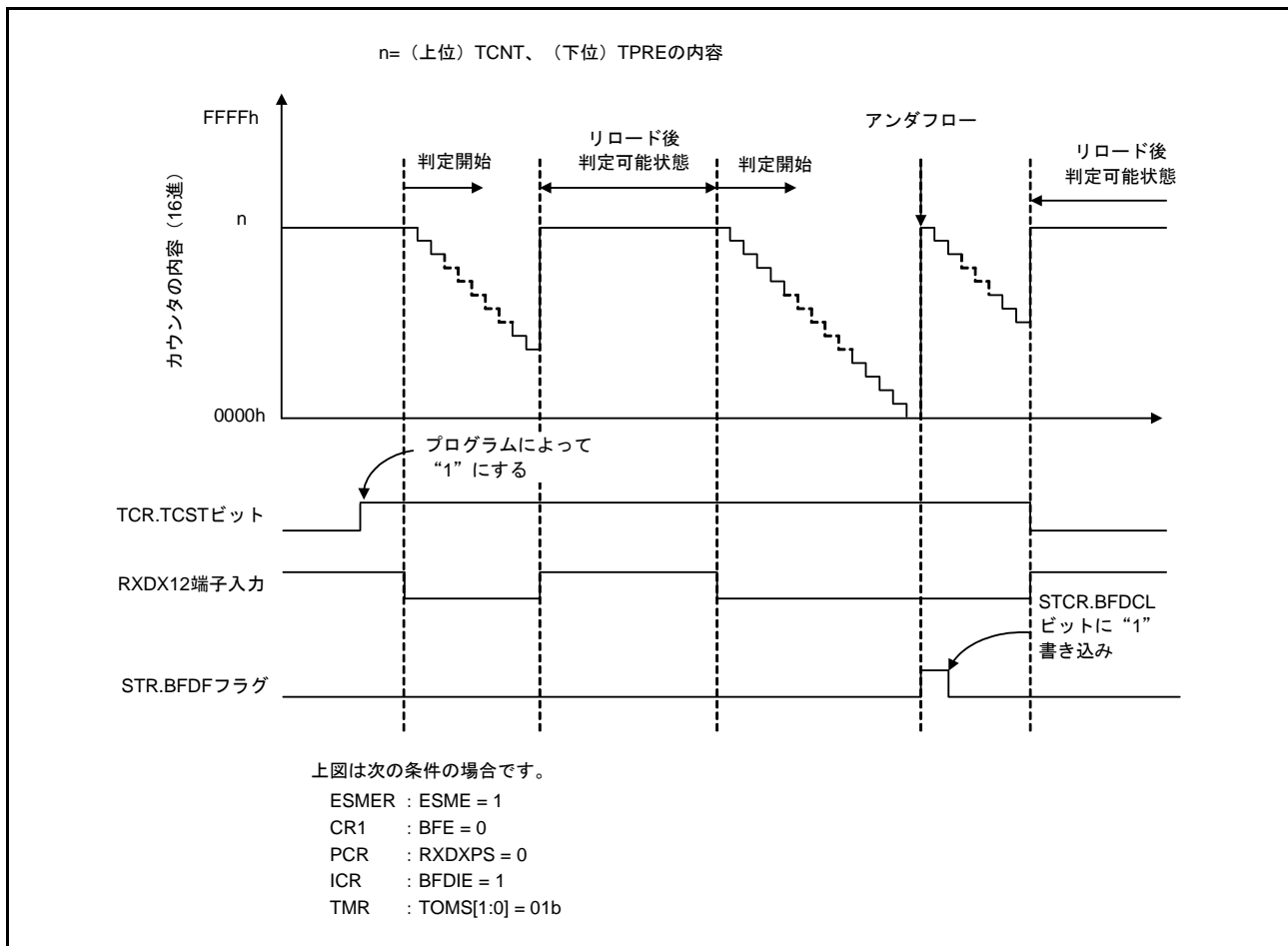


図 30.80 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを“00b”に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、カウントを開始し、TCST ビットに“0”を書き込むとカウントを停止します。TPRES レジスタに入力するカウントクロックソースの周期で TPRES レジスタがダウンカウントします。TPRES レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウンカウントします。タイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。

30.11 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 30.81 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCSE = 0 かつ SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCSE = 0 かつ SEMR.ABCS = 1 のとき1ビット期間の1/8、SEMR.ABCSE = 1 のとき1ビット期間の1/6) となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの1/2/4/8分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

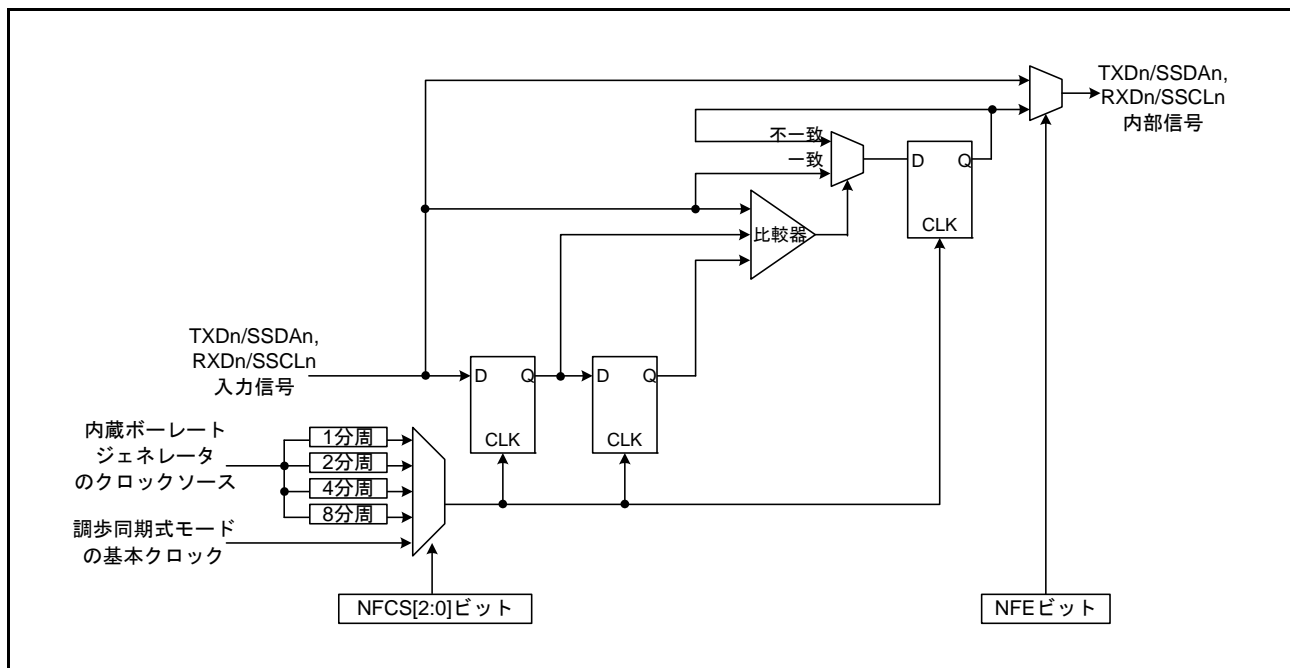


図 30.81 デジタルノイズフィルタのブロック図

30.12 割り込み要因

30.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアできます。

(2) FIFO 有効の SCI10、SCI11 の場合

FCR.FM ビットが“1”の場合は、割り込み要求の内部保持は行われません。割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立した場合、ステータスフラグの更新は行われますが、割り込み要求は生成されません。

30.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

表 30.38 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタ、または TDRL レジスタ（注1）から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態でも SCR.TIE ビットを“1”にした場合には発生しません。（注2）

ただし、SCR.TIE ビットが“1”の状態でも SCR.TE ビットを“0”にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ（注1）に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタ、または TDRL レジスタ（注1）に送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ（注1）にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタ、または RDRL レジスタ（注1）に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 調歩同期モードかつデータ長 9 ビットを選択した場合

注 2. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 30.38 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー	ORER, FER, PER, DFER (注1), DPER (注1)	不可能	不可能
RXI	受信データフル	RDRF	可能	可能
	データ一致 (注1)	DCMF (注1)		
TXI	送信データエンプティ	TDRE	可能	可能
TEI	送信終了	TEND	不可能	不可能

注 1. SCI0 ~ SCI11 にのみ存在します。

(2) FIFO 有効の SCI10、SCI11 の場合

表 30.39 に FIFO 有効時の調歩同期モード、クロック同期モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信 FIFO 内の未送信データの数がしきい値 (FCR.TTRG[3:0]) 以下になると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TE ビットを“1”にした後で SCR.TIE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを同時に“1”にすることも発生します。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合や、SCR.TIE ビットが“1”の状態でも SCR.TE ビットを“1”にした場合には発生しません。

ただし、SCR.TE ビットが“0”の状態でも SCR.TIE ビットを“1”にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに FTDR レジスタに次のデータをライトしていないと、SSRFIFO.TEND フラグが“1”になり、TEI 割り込み要求が発生します。

SCR.RIE ビットが“1”のとき、受信 FIFO に格納されたデータの数がしきい値 (FCR.RTRG[3:0]) 以上になると、RXI 割り込み要求が発生します。

SCR.RIE ビットが“1”のとき、SSRFIFO.ORER フラグが“1”になるか、フレーミングエラーまたはパリティエラーの発生したデータが受信 FIFO に格納されると、ERI 割り込み要求が発生します。このとき受信 FIFO に格納されたデータの数がしきい値 (FCR.RTRG[3:0]) 以上であると、RXI 割り込み要求も発生します。SSRFIFO レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

表 30.39 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー	ORER, FER, PER, DFER, DPER	不可能	不可能
		DR (FCR.DRES = 1 の場合)		
RXI	受信 FIFO フル	RDF	可能	可能
	受信データレディ	DR (FCR.DRES = 0 の場合)		
	データ一致	DCMF		
TXI	送信 FIFO エンプティ	TDRE	可能	可能
TEI	送信終了	TEND	不可能	不可能

30.12.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 30.40 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 30.40 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	不可能
RXI	受信データフル	—	可能	可能
TXI	送信データエンプティ	TEND	可能	可能

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「17. DMA コントローラ (DMACAa)」、「18. データトランスファコントローラ (DTCb)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

30.12.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 30.41 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がり、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がり、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がり、SSDAn 端子入力が Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 30.41 SCI 割り込み要因

名称	割り込み要因		割り込みフラグ	DTC の起動	DMAC の起動
	IICINTM ビット=0	IICINTM ビット=1			
RXI	ACK 検出	受信	—	可能	可能
TXI	NACK 検出	送信	—	可能 (注 1)	可能 (注 1)
STI	開始条件、再開条件、停止条件生成終了		IICSTIF	不可能	不可能

注 1. SIMR2.IICINTM ビット=1 (受信割り込み、送信割り込みを選択) の場合のみ DTC、DMAC の起動が可能です。

30.12.5 拡張シリアルモード制御部の割り込み要求

SCIh の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 30.42 に各割り込み要求の内容を示します。

表 30.42 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0 割り込み (Break Field Low width 検出)	BFDF	<ul style="list-style-type: none"> • タイマに設定した期間より長い Break Field Low width を検出したとき • タイマに設定した期間、Break Field Low width 出力が完了したとき • タイマがアンダフローしたとき
SCIX1 割り込み (Control Field 0 一致)	CF0MF	Control Field 0 の受信データが CF0DR に設定したデータと一致したとき
SCIX1 割り込み (Control Field 1 一致)	CF1MF	Control Field 1 の受信データが PCF1DR または SCF1DR に設定したデータと一致したとき
SCIX1 割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータが PCF1DR に設定したデータと一致したとき
SCIX2 割り込み (バス衝突検出)	BCDF	TXDX12 端子の出力と RXDX12 端子の入力をバス衝突検出クロックでサンプリングし、3 回連続不一致が発生するとき
SCIX3 割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

30.13 イベントリンク機能

SCI5は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが“1”の状態でもイベントは出力可能です。

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。

(2) 受信データフルイベント出力

- 受信データがレシーブデータレジスタ (RDR レジスタ、または RDRL レジスタ) にセットされたことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、ACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCL5 端子立ち下がりを検出したことを示します。
- 簡易 I²C モードのマスタ送信かつ SIMR2.IICINTM ビットが“1”のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンptyイベント出力

- SCR.TE ビットが“0”から“1”に変化したことを示します。
- トランスミットデータレジスタ (TDR レジスタ、または TDRL レジスタ) からトランスミットシフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、NACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、9 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

(4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I²C モードで開始条件、再開条件、停止条件の生成が完了したことを示します。

30.14 使用上の注意事項

30.14.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) とモジュールストップコントロールレジスタ C (MSTPCRC) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

30.14.2 ブレークの検出と処理について

(1) SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すか、SCI0 ~ SCI11 では SPTR.RXDMON フラグの値を読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.FER フラグが“1” (フレーミングエラーの発生あり) になり、また SSR.PER フラグも“1” (パリティエラーの発生あり) になる可能性があります。SEMR.RXDESEL ビットが“0” のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを“0” (フレーミングエラーの発生なし) にしても、再び FER フラグが“1” になりますので注意してください。SEMR.RXDESEL ビットが“1” のとき、SCI は、SSR.FER フラグを“1” にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを“0” にすれば、ブレーク中は SSR.FER フラグの“0” を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりによってスタートビットの始まりを検出し、受信動作を開始します。

(2) FIFO 有効の SCI10、SCI11 の場合

フレーミングエラーを検出した後、さらに 1 フレーム分の受信データがすべて“0” であると、受信動作を停止します。フレーミングエラー検出時に、SPTR.RXDMON フラグの値をリードすることでブレークを検出できます。なお、RXDn 端子が High になりブレークが終了した後は、受信動作が再開します。

30.14.3 マーク状態とブレークの送出

SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき、TXDn 端子はハイインピーダンスになります。このとき TXDn 端子を強制的にマーク / スペース状態にするには、I/O ポート関連のレジスタを設定して TXDn 端子を汎用出力ポートに切り替えてください。

SCR.TE ビットを“1” (シリアル送信動作を許可) にするまで、通信回線をマーク状態 (“1” の状態) にするためには、対応する PODR レジスタのビットを“1” にして、汎用出力ポートから High を出力します。通信を開始する場合、TE ビットを“1” にしてから PMR レジスタの対応するビットを“1” にしてください。

データ送信時にブレーク (一定期間以上連続したスペース) を送出したいときは、対応する PODR レジスタのビットを“0” (Low 出力) にした後、PMR レジスタの対応するビットを“0” (汎用入出力ポート) にします。TE ビットを“0” にする場合、この後実施してください。TE ビットを“0” にすると現在の送信状態とは無関係に送信部は初期化されます。

SPTR レジスタがある場合、汎用出力ポートに切り替えることなくマーク / スペースを出力できます。SPTR.SPB2IO ビットを“1” (出力)、SPB2DT ビットを“1” (マーク) または“0” (スペース) にした後、TE ビットを“0” にしてください。

30.14.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が“1”になった状態では、TDR レジスタ (FTDR レジスタ) にデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0”にしておいてください。また、SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても受信エラーフラグは“0”になりませんので注意してください。

30.14.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

30.14.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易SPIモード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 30.82 参照)。

(2) 連続送信時

- ビット7の送信クロックの立ち下がり以前に、TDR レジスタまたは TDRL レジスタに次の送信データを書き込んでください (図 30.82 参照)。
- ビット7送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR レジスタを更新し、かつビット7の送信クロックの High 幅を、4 PCLK 以上にしてください (図 30.82 参照)。

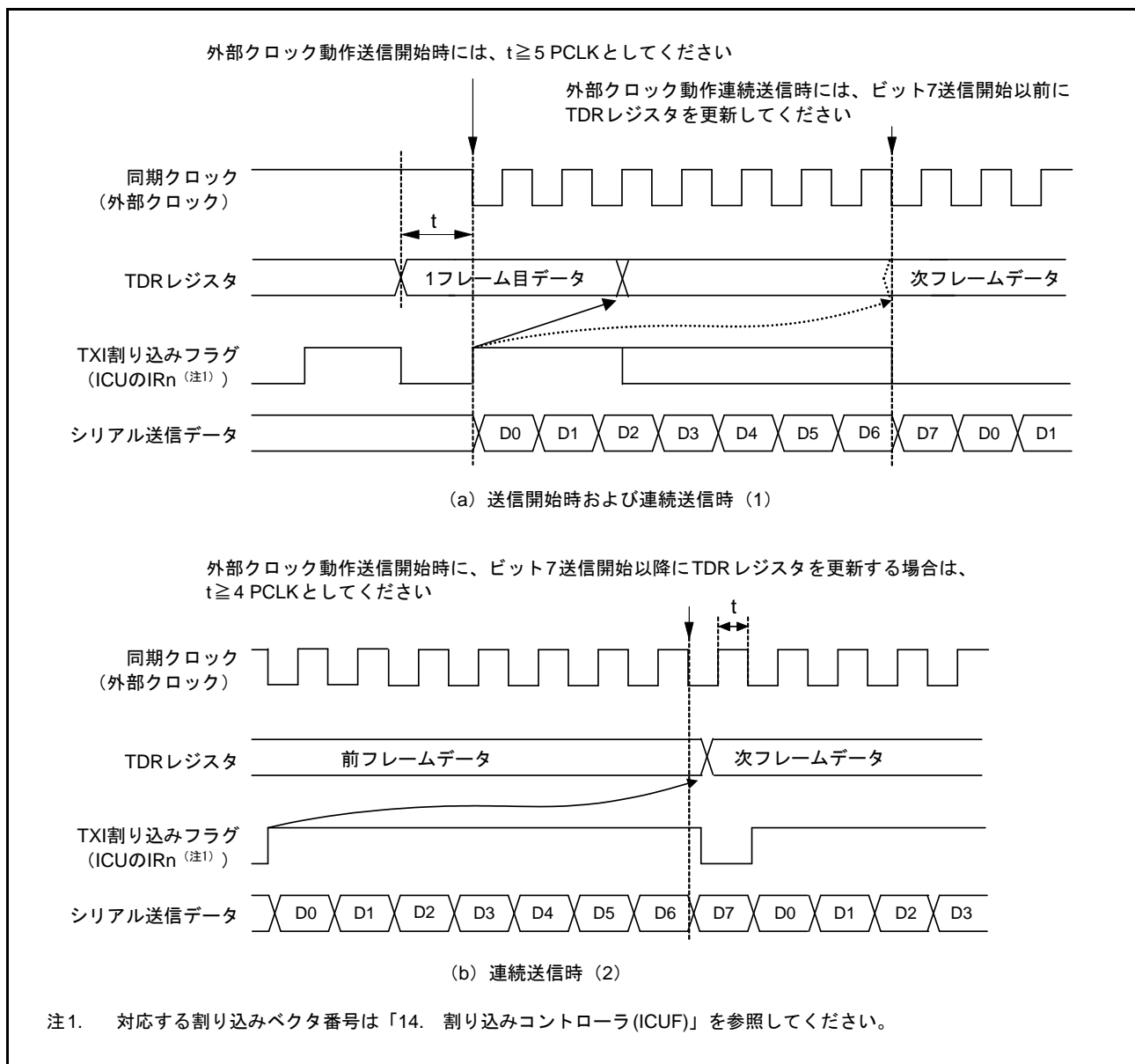


図 30.82 クロック同期式モード送信での外部クロック使用の制約事項

30.14.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR、RDRH、RDRL レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

30.14.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUF)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

30.14.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えるか、SPTR レジスタで出力レベルを固定 (SCI0 ~ SCI11) した後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。なお、SCI10、SCI11 の SSRFIFO.TEND フラグは初期化されません。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定または SPTR レジスタの設定 (SCI0 ~ SCI11) に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 30.83 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 30.84、図 30.85 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC/DMA 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後、DTC/DMAC による送信を再開する場合は、TE ビット=1、TIE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC/DMAC による送信が始まります。

(2) 受信

(a) 低消費電力状態の解除に、データ一致機能を使用しない場合

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 30.86 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

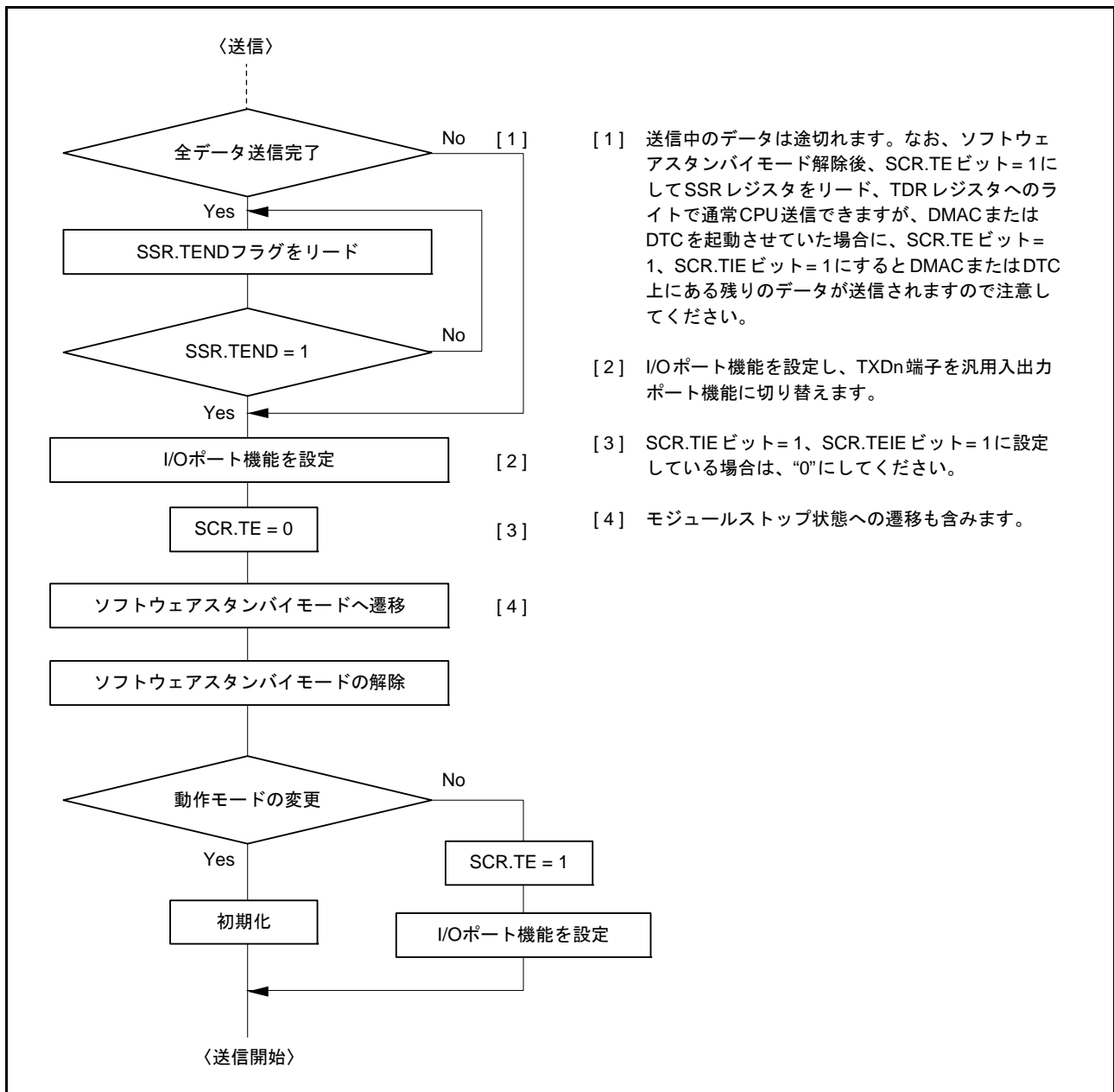


図 30.83 送信時のソフトウェアスタンバイモード遷移フローチャートの例

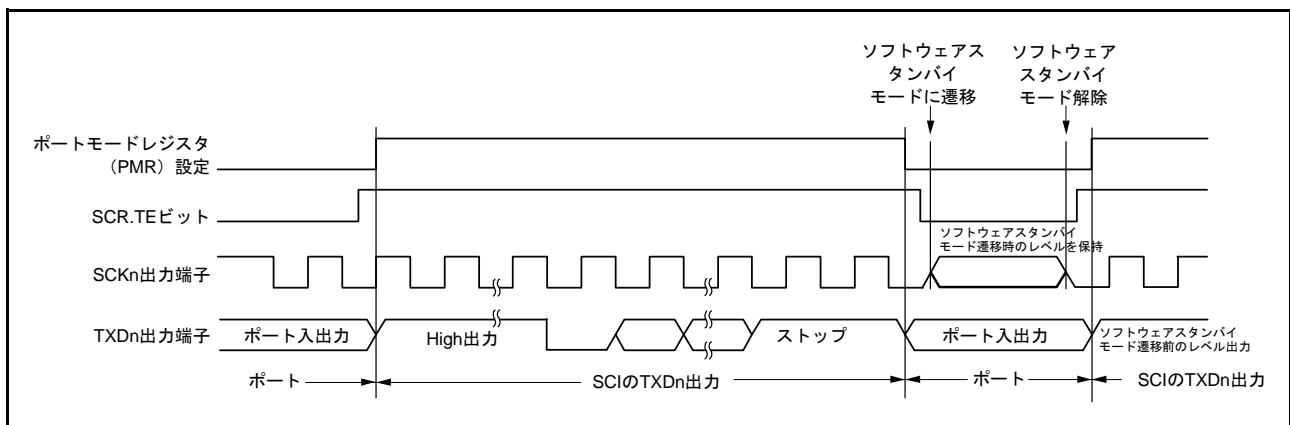


図 30.84 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

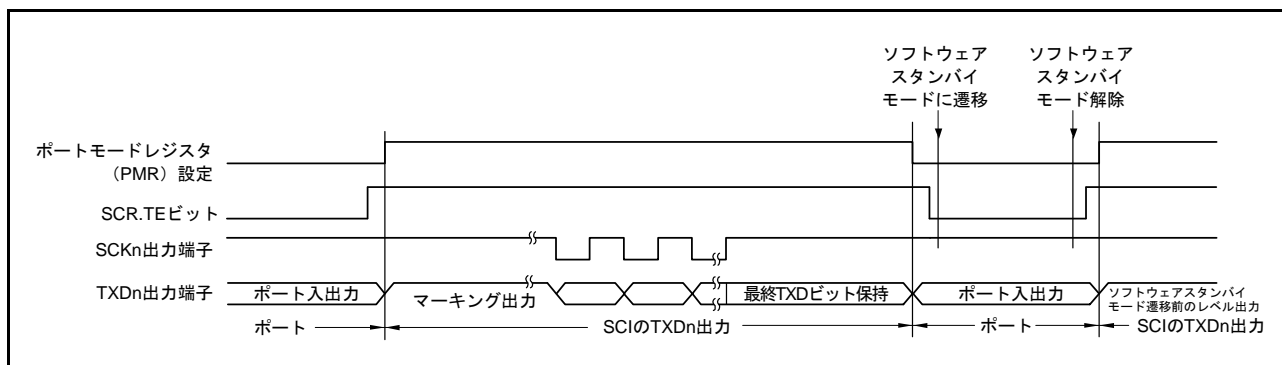


図 30.85 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

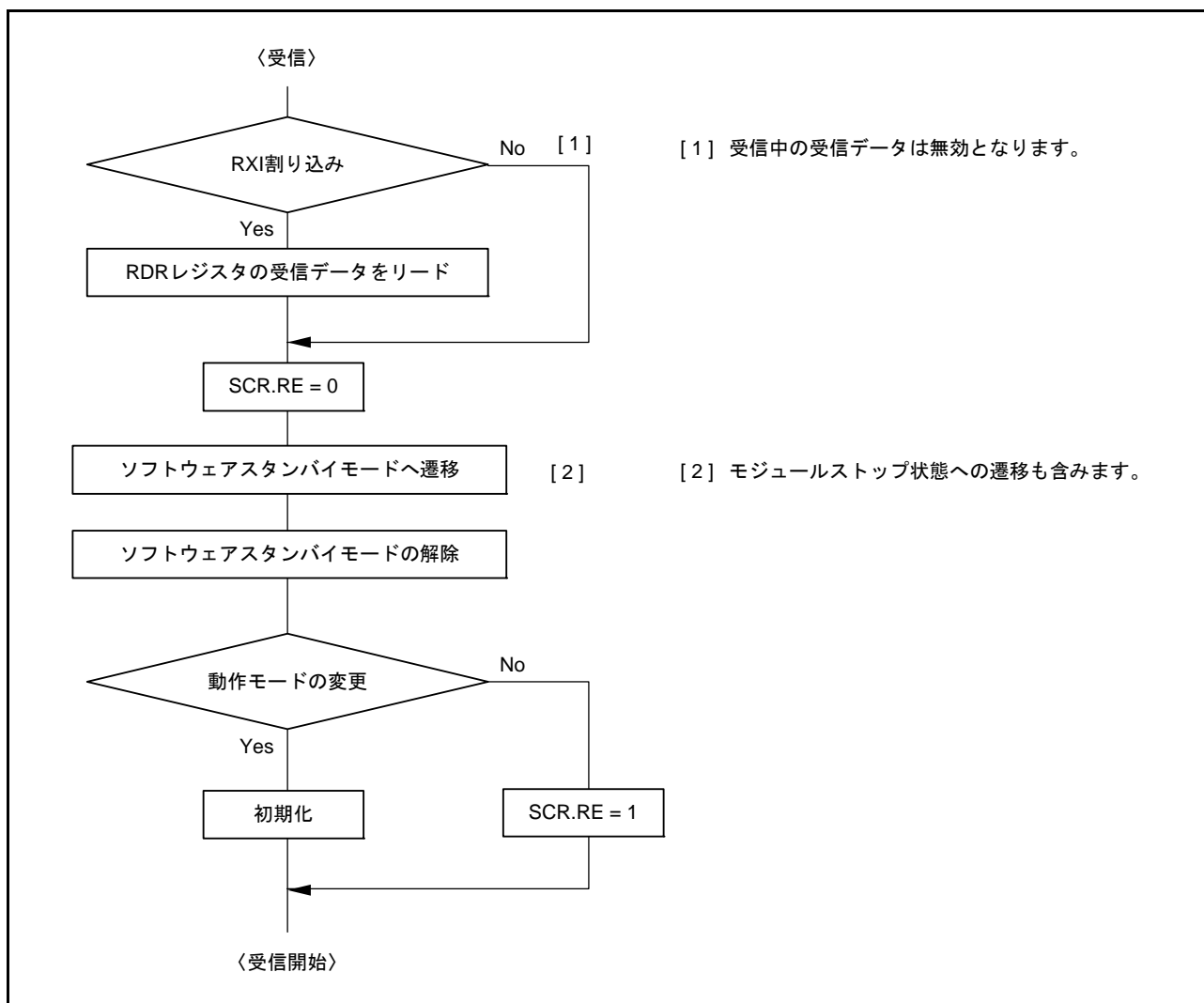


図 30.86 受信時のソフトウェアスタンバイモード遷移フローチャートの例

(b) 低消費電力状態の解除に、データ一致機能を使用する場合

消費電力低減機能を使用し、SCIの消費電力を低減する前に、消費電力解除後の動作モードを設定してください。その後、CDR.CMPD[8:0] ビットに比較データを設定し、DCCR.DCME ビットを“1”にしてから、SCR.RE ビットを“1”にしたままで、低消費電力状態に遷移してください。

RXDn 端子が Low のときに低消費電力状態に遷移する可能性があるときは SEMR.RXDESEL ビットを“0”に設定してください。SEMR.RXDESEL ビットが“1”の場合、低消費電力状態解除時にスタートビットを検出できないことがあります。

30.14.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

30.14.11 簡易 SPI モードの制約事項**(1) マスタモード**

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット=1) の場合、図 30.87 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

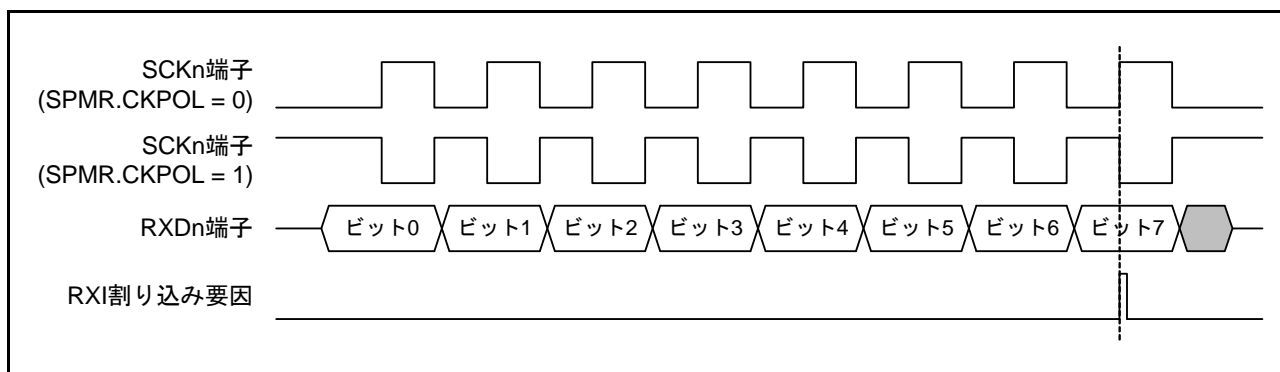


図 30.87 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5 PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力を送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

30.14.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを“1”にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- タイマを Break Field Low width 出力モードで TCR.TCST ビットを“1”にしたとき (TCR.TCST ビットを“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCR.TE ビットが“1”のとき

30.14.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、TXI、RXI、ERI、TEI 割り込み要求は生成されます。Start Frame 受信中は拡張シリアルモード制御部が受信データフル信号を使用するため、RXI 割り込みを許可しないでください。Information Frame 受信時に RXI 割り込みを使用する場合、以下のいずれかの手順で使用してください。なお、受信エラーを検出したときは、[図 30.88](#) のフローチャートの例に従って受信エラーフラグのクリアと拡張シリアルモード制御部の初期化を実施してください。

- (1) SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、Start Frame の受信終了タイミングで、SSR レジスタのエラーフラグを確認してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、SCR.RIE ビットを“1”に切り替えてください。
- (2) SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

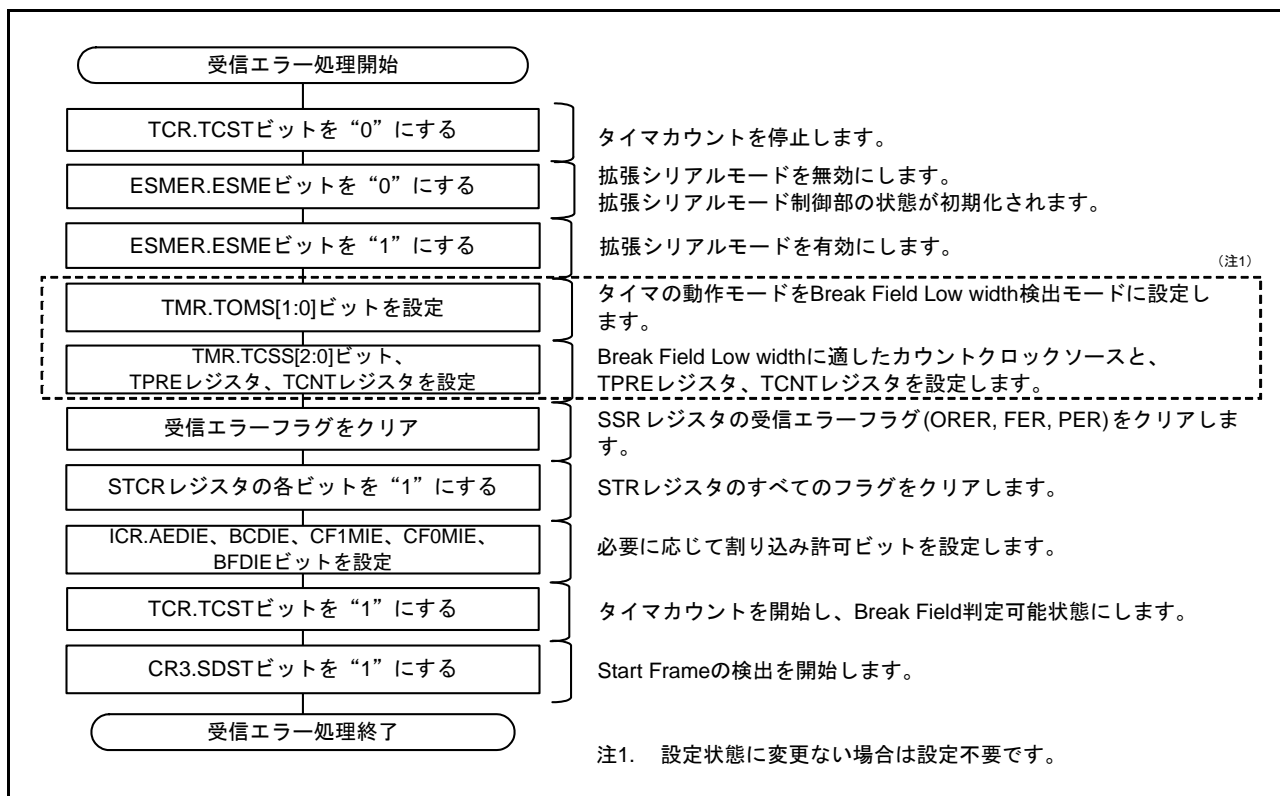


図 30.88 受信エラー処理のフローチャートの例 (Start Frame 受信中)

30.14.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

SCR.TE ビットが“0” (シリアル送信動作を禁止) のときに端子の機能を「TXDn」にしたり、端子の機能が「TXDn」になっているときに TE ビットを“0”にしたりすると、TXDn 端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) TE ビットを“1”にしてから、端子の機能を「TXDn」にする (注1)。また、TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」にする。
- (3) SPTR.SPB2IO ビットを“1”にしてから、端子の機能を「TXDn」にする。また、その後も SPB2IO ビットを“1”にしたままにする (SCI0 ~ SCI11)。

注1. TXI 割り込みが許可されているときに TE ビットを“1”にすると、割り込みが発生します (SCI0 ~ SCI9、SCI12、および FIFO 無効の SCI10、SCI11 の場合)。このことが問題になる場合は、端子の機能を「TXDn」にした後に、対応する ICU.IERm.IENj ビットを“1”にしてください。

30.14.15 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを“0”にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

31. シリアルコミュニケーションインタフェース (RSCI)

31.1 概要

RSCIは、調歩同期式とクロック同期式のシリアル通信が可能です。また送信/受信部に32段のFIFOバッファ構成を選択可能で、効率的な連続通信が可能です。

調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。

このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェース、マンチェスタコードによる通信、拡張シリアル通信をサポートしています。また、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。さらに、調歩同期式では、ホームバスシステム (HBS) 通信で使用する 50% デューティ負論理 AMI 符号を生成するためのサポート機能があります。

表 31.1 に RSCI の仕様を示します。

表31.1 RSCIの仕様 (1/3)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> ● 調歩同期式 ● マンチェスタ ● クロック同期式 ● スマートカードインタフェース ● 簡易 I²C ● 簡易 SPI (4線式シリアルバス) ● 拡張シリアル
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
半二重通信	TXDn端子を用いた半二重通信が可能
データ転送	LSBファースト/MSBファースト選択可能
入出力信号レベル反転	入力信号、出力信号のレベルをそれぞれ独立して反転可能
割り込み要因	送信完了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、受信データ一致 Break Field検出/送出、バス衝突検出、有効エッジ検出 スタートコンディション/リスタートコンディション/ストップコンディション生成終了
RS-485ドライバ制御機能	外部トランシーバーの送信モードを有効にするDE信号を出力
ループバック機能	IP内部でTXDとRXDを接続することで通信機能の自己診断が可能
消費電力低減機能	チャンネルごとにモジュールストップ状態への遷移が可能

表31.1 RSCIの仕様 (2/3)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送信部/受信部	1段レジスタ/32段FIFOバッファ構成を選択可能
	データ一致検出機能	受信データと比較データ内容との一致を検出して割り込み要求を出力可能
	スタートビットの検出	RXDn端子のLowレベル/立ち下がリエッジ検出を選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がリエッジまたは立ち上がリエッジのいずれかを遅延させる
	ブレイク検出	フレーミングエラー発生時、レジスタをリードすることでブレイクを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
HBSサポートモード	反転RZI (Return to Zero, Inverted) 符号による送受信が可能	
マンチェスタモード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー、マンチェスタコードエラー、プリフェースエラー、スタートビットエラー、受信 Syncエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	クロックソース	内部クロックを使用(マンチェスタモード時、外部クロックは、動作保証対象外のため、設定禁止です)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
	マンチェスタ符号化/復号化機能	送受信データをマンチェスタ符号化/復号化し、マンチェスタコードを用いて通信する機能
	プリフェース設定/検出機能	プリフェースパターンからフレーム先頭を検出する機能。プリフェースパターンは4種から選択が可能。長さも0~15bitで可変可能
	スタートビット設定/検出機能	スタートビット長を1bitか3bitに設定可能。3bit長の場合は2種類のパターンで後続のデータの種類の判定することが可能
受信リタイミング機能	マンチェスタコードがビット中央にエッジを持つことを利用して、ビット中央エッジごとにタイミング補正を行う機能	
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
拡張シリアルモード	Start Frame 送信	Break Field 送出可能、Break Field 送出完了割り込み出力可能、バス衝突検出可能、バス衝突検出割り込み出力可能
	Start Frame 受信	Break Field 検出可能、Break Field 検出割り込み出力可能 Control Field 0/1 データの比較機能 Control Field 1にはプライマリ/セカンダリの2種類の比較データの設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 ビットレート測定機能あり

表31.1 RSCIの仕様 (3/3)

項目		内容
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ (マルチマスタ動作は不可)
	転送速度	最大400kbps
	ノイズ除去	SCL、SDA入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅は調整可能
クロック同期式モード	データ長	8ビット
	受信サンプリングタイミング調整機能	内部クロック使用時のみ、受信サンプリングタイミングをデフォルトタイミングの後方に調整可能
	受信エラーの検出	オーバランエラー
	クロックソース	内部クロック (マスタ)/外部クロック (スレーブ)の選択が可能
	倍速モード	ポーレートジェネレータの倍速モードを選択可能
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送信部/受信部	1段レジスタ/32段FIFOバッファ構成を選択可能
簡易SPI (4線式シリアルバス)モード	データ長	8ビット
	エラーの検出	オーバランエラー
	クロックソース	内部クロック (マスタ)/外部クロック (スレーブ)の選択が可能
	倍速モード	ポーレートジェネレータの倍速モードを選択可能
	受信サンプリングタイミング調整機能	内部クロック使用時のみ、受信サンプリングタイミングをデフォルトタイミングの後方に調整可能
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
	送信部/受信部	1段レジスタ/32段FIFOバッファ構成を選択可能
ビットレートモジュレーション機能		内蔵ポーレートジェネレータの出力補正により誤差を低減可能

図 31.1 に RSCI のブロック図を示します。

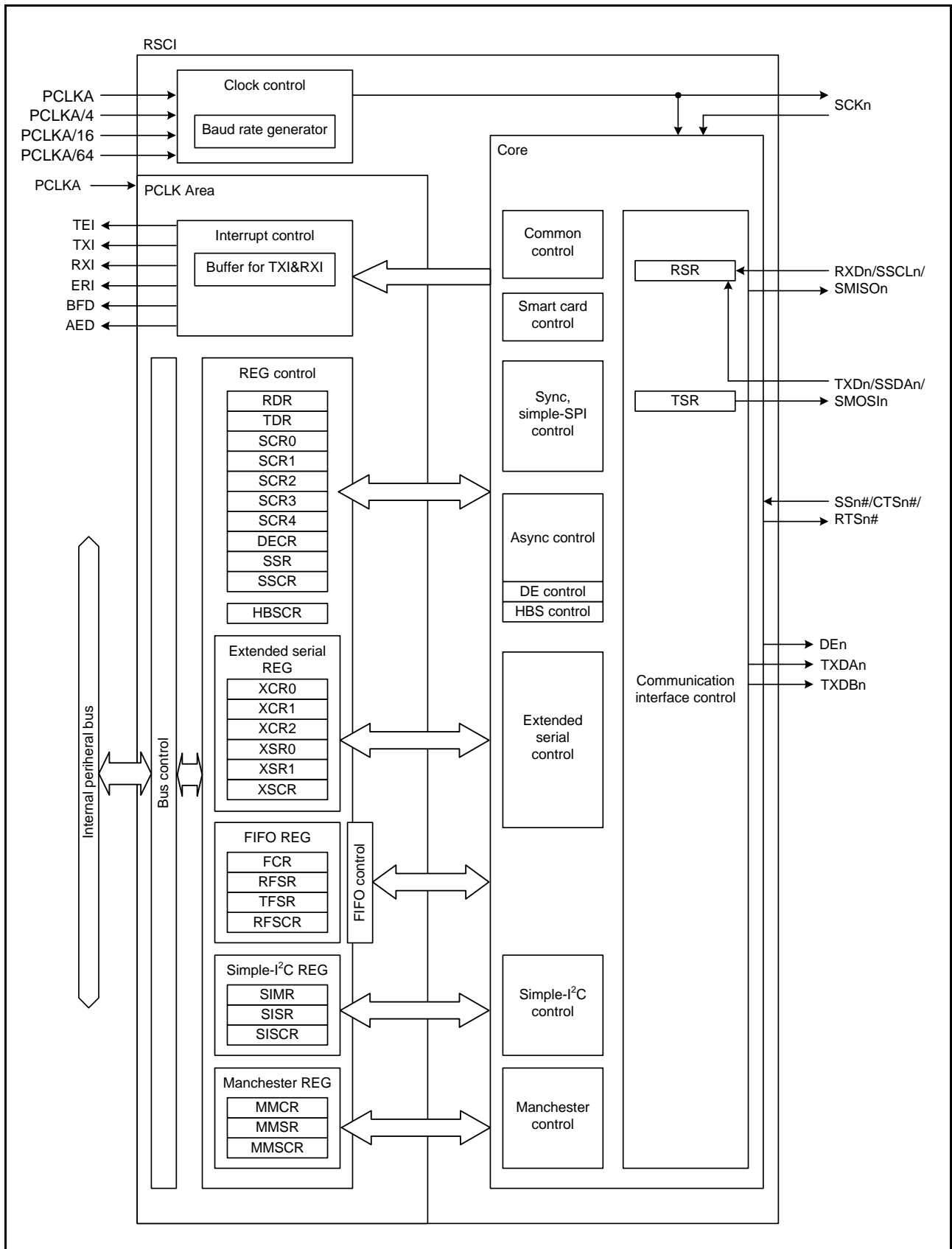


図 31.1 RSCI のブロック図 (n = 010, 011)

表 31.2 ～表 31.5 に RSCI で使用する入出力端子を示します。

表31.2 RSCIの入出力端子(調歩同期式モード/クロック同期式モード/マンチェスタモード/拡張シリアルモード)

チャンネル	端子名	入出力	機能
RSCI10	SCK010	入出力	RSCI10のクロック入出力端子
	RXD010	入力	RSCI10の受信データ入力端子
	TXD010	出力	RSCI10の送信データ出力端子
	RTS010#	出力	RSCI10の送信要求信号出力端子
	CTS010#	入力	RSCI10の送信開始制御用入力端子
	DE010	出力	RSCI10のRS-485ドライバ制御用出力端子
RSCI11	SCK011	入出力	RSCI11のクロック入出力端子
	RXD011	入力	RSCI11の受信データ入力端子
	TXD011	出力	RSCI11の送信データ出力端子
	RTS011#	出力	RSCI11の送信要求信号出力端子
	CTS011#	入力	RSCI11の送信開始制御用入力端子
	DE011	出力	RSCI11のRS-485ドライバ制御用出力端子

表31.3 RSCIの入出力端子(簡易I²Cモード)

チャンネル	端子名	入出力	機能
RSCI10	SSCL010	入出力	RSCI10のI ² Cクロック入出力端子
	SSDA010	入出力	RSCI10のI ² Cデータ入出力端子
RSCI11	SSCL011	入出力	RSCI11のI ² Cクロック入出力端子
	SSDA011	入出力	RSCI11のI ² Cデータ入出力端子

表31.4 RSCIの入出力端子(簡易SPIモード)

チャンネル	端子名	入出力	機能
RSCI10	SCK010	入出力	RSCI10のクロック入出力端子
	SMISO010	入出力	RSCI10のスレーブ送出データ入出力端子
	SMOSI010	入出力	RSCI10のマスタ送出データ入出力端子
	SS010#	入力	RSCI10のスレーブセレクト入力端子
RSCI11	SCK011	入出力	RSCI11のクロック入出力端子
	SMISO011	入出力	RSCI11のスレーブ送出データ入出力端子
	SMOSI011	入出力	RSCI11のマスタ送出データ入出力端子
	SS011#	入力	RSCI11のスレーブセレクト入力端子

表31.5 RSCIの入出力端子(HBSサポートモード)

チャンネル	端子名	入出力	機能
RSCI10	RXD010	入力	RSCI10の受信データ入力端子
	TXD010	出力	RSCI10の送信データ出力端子
RSCI11	RXD011	入力	RSCI11の受信データ入力端子
	TXD011	出力	RSCI11の送信データ出力端子
	TXDA011/TXDB011	出力	RSCI11の送信データ出力端子(交互出力時)

31.2 レジスタの説明

この章は RSCI が持つレジスタの説明と機能仕様、動作仕様について説明します。

31.2.1 受信シフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。CPU から直接アクセスすることはできません。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

31.2.2 受信データレジスタ (RDR)

アドレス RSCI10.RDR 000E 2000h, RSCI11.RDR 000E 2080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	AFER	APER	—	—	ORER	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FER	PER	DR	MPB	RDAT[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	受信データビット	受信データを格納するための9ビットの領域です。 受信データは、7ビットデータ長選択時はRDAT[6:0]ビットに、8ビットデータ長選択時はRDAT[7:0]ビットに、9ビットデータ長選択時はRDAT[8:0]ビットに格納され、未使用のビットには"0"が格納されます	R
b9	MPB	マルチプロセッサビットモニタフラグ	0: データ送信サイクル 1: ID送信サイクル	R
b10	DR	受信データレディフラグ	RFSR.DR値が読み出せます	R
b11	PER	パリティエラーフラグ	(調歩同期モードのみ有効) 0: 受信FIFO (RDRレジスタ)から読み出したデータにパリティエラーがない 1: 受信FIFO (RDRレジスタ)から読み出したデータにパリティエラーがある	R
b12	FER	フレーミングエラーフラグ	(調歩同期モードのみ有効) 0: 受信FIFO (RDRレジスタ)から読み出したデータにフレーミングエラーがない 1: 受信FIFO (RDRレジスタ)から読み出したデータにフレーミングエラーがある	R
b23-b13	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R
b24	ORER	オーバランエラーフラグ	SSR.ORER値が読み出せます	R
b26-b25	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R
b27	APER	総合パリティエラーフラグ	SSR.APER値が読み出せます	R
b28	AFER	総合フレーミングエラーフラグ	SSR.AFER値が読み出せます	R
b31-b29	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R

本レジスタは、FIFOモード (SCR3.FM ビット = 1) 時は、32 段の FIFO バッファ構成となります。

RDAT[8:0] ビット (受信データビット)

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

非 FIFO モード時、RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

また、FIFO モード時、32 段の FIFO バッファがいっぱいになるまで連続で受信できます。受信 FIFO (RDR レジスタ) に受信データがないときに受信 FIFO (RDR レジスタ) を読み出すと不定値が読めます。受信 FIFO (RDR レジスタ) が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

RDR レジスタへは CPU から書き込みできません。

また、調歩同期式、マンチェスタモードの 7 ビットおよび 8 ビット通信時は、受信されないビット位置 (RDAT[8] や RDAT[7]) には“0”が格納されます。

MPB フラグ (マルチプロセッサビットモニタフラグ)

調歩同期式モードおよびマンチェスタモードで、マルチプロセッサ通信 (SCR3.MP ビット = 1) 時、受信データ (RDAT[8:0]) に対応するマルチプロセッサビットの値が読み出せます。

PER フラグ (パリティエラーフラグ)

受信 FIFO から読み出したデータのパリティエラー有無を示します。

また、FER フラグと PER フラグは FIFO モード時のみ受信データのエラー情報が格納されます。非 FIFO モード時は、“0”が格納されます。

FER フラグ (フレーミングエラーフラグ)

受信 FIFO から読み出したデータのフレーミングエラー有無を示します。

また、FER フラグと PER フラグは FIFO モード時のみ受信データのエラー情報が格納されます。非 FIFO モード時は、“0”が格納されます。

31.2.3 送信データレジスタ (TDR)

アドレス RSCI10.TDR 000E 2004h, RSCI11.TDR 000E 2084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SYNC	—	—	MPBT	TDAT[8:0]								
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	送信データビット	送信データを設定するための9ビットの領域です。 送信データは、7ビットデータ長選択時はTDAT[6:0]ビットに、8ビットデータ長選択時はTDAT[7:0]ビットに、9ビットデータ長選択時はTDAT[8:0]ビットに書き込んでください。 バイトアクセス時は、TDR.LHを書いた後にTDR.LLを書いてください	R/W
b9	MPBT	送信マルチプロセッサビット	送信フレームに付加するマルチプロセッサビットの値の設定ビットです。本ビットは、調歩同期式モード、マンチェスタモード時に使用します。未使用時に書き込む場合は初期値を書いてください。 0：データ送信サイクル 1：ID送信サイクル	R/W
b11-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b12	SYNC	Syncパルス選択ビット	マンチェスタモードでMMCR.SBLENビット=1かつMMCR.SYNCEビット=1の場合有効となります。未使用時に書き込む場合は初期値を書いてください 0：スタートビットはデータSyncを出力 1：スタートビットはコマンドSyncを出力	R/W
b31-b13	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R

本レジスタは、FIFOモード (SCR3.FM ビット = 1) 時は、32 段の FIFO バッファ構成となります。

TDAT[8:0] ビット (送信データビット)

TDR レジスタは、送信データを格納するための9ビットの領域です。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

非 FIFO モード時、TDR レジスタは CPU から常にリード/ライト可能です。TDR レジスタへの送信データの書き込みは、SCR0.TE ビット = 1 の状態で、送信データエンプティ割り込み (TXI) 要求が発生したときに1回だけ行ってください。

また、FIFO モード時は、32 段の FIFO バッファが空になるまで連続で送信できます。FIFO が送信データでいっぱいになると、次の送信データを書き込むことはできません。書き込みを試みても、書き込んだデータは無視されます。

また、バイトアクセス時は、TDR.LH を書いた後に TDR.LL を書いてください。

MPBT ビット (送信マルチプロセッサビット)

送信フレームに付加するマルチプロセッサビットの値を設定します。

SYNC ビット (Sync パルス選択ビット)

本ビットはマンチェスタモード (SCR3.MOD[2:0] ビット = 101b) かつ MMCR.SYNCE ビット、MMCR.SBLEN ビットを“1”にした場合に有効になります。

送信フレームスタートビット領域の Sync 種別をデータ Sync かコマンド Sync に設定することができます。

31.2.4 送信シフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。CPU からは直接アクセスすることはできません。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

31.2.5 制御レジスタ 0 (SCR0)

アドレス RSCI10.SCR0 000E 2008h, RSCI11.SCR0 000E 2088h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	SSE	—	—	TEIE	TIE	—	—	—	RIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	IDSEL	DCME	MPIE	—	—	—	TE	—	—	—	RE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RE	受信許可ビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注1、注3)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	TE	送信許可ビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	MPIE	マルチプロセッサ割り込み許可ビット	(調歩同期モードおよびマンチェスタモードで、SCR3.MPビット=1のとき有効) 本ビットはスマートカードインタフェースモード時、“0”としてください 0: マルチプロセッサ機能を用いない受信動作 1: マルチプロセッサビットが“0”の受信データは読み飛ばし、各ステータスフラグのセット(“1”)を禁止します マルチプロセッサビットが“1”のデータを受信すると、このビットは自動的にクリア(“0”)され、マルチプロセッサ機能を用いない受信動作に戻ります。続けてマルチプロセッサ機能を用いた受信動作を行う場合は、次のフレームのSTOPビット受信より前に本ビットを“1”にしてください	R/W (注2)
b9	DCME	データ一致検出機能許可ビット	(調歩同期モードで有効) 0: データ一致検出機能無効 1: データ一致検出機能有効	R/W (注2)
b10	IDSEL	IDフレーム選択ビット	(調歩同期モードかつマルチプロセッサモードで有効) 0: マルチプロセッサビットの値によらず常に比較する 1: マルチプロセッサビットが“1”のデータ(IDデータ)のみ比較する	R/W (注4)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RIE	受信割り込み許可ビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TIE	送信割り込み許可ビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W
b21	TEIE	送信完了割り込み許可ビット	本ビットはスマートカードインタフェースモード時、“0”としてください 0: TEI割り込み要求を禁止 1: TEI割り込み要求を許可	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	SSE	SSn#端子機能許可ビット	(簡易SPIモードで有効) スレーブモード(SCR3.CKE[1:0]ビット=1xb)時は“1”を設定してください 0: SS端子機能禁止 1: SS端子機能許可	R/W (注4)
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

- 注1. クロック同期式モード(SCR3.MOD[2:0]ビット=010b)と簡易SPIモード(SCR3.MOD[2:0]ビット=011b)、および簡易I²Cモード(SCR3.MOD[2:0]ビット=100b)のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。いったん、TE、REビットのいずれかを“1”にした後はTEビット=0、REビット=0の書き込みのみ可能になります。それ以外のモードのときは任意のタイミングで書き込み可能です。
- 注2. 本ビットはハードウェアクリアされるビットです。本ビット以外のビットにビット操作命令で書き込むと、リードモディファイライト動作により、本ビットを意図せず“1”にしてしまう場合があります。
- 注3. クロック同期式モード、簡易SPIモードでは、内部クロック(マスターモード)時の受信オンリー設定は禁止です(TE=0かつRE=1設定は禁止)。
- 注4. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

RE ビット (受信許可ビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、受信可能状態になります。調歩同期式モードの場合はスタートビットを、マンチェスタモード時はRXD 入力の立ち下がり、クロック同期式モードの場合は同期クロック入力を、スマートカードインタフェースモード時はスタートビットをそれぞれ検出するとシリアル受信を開始します。

なお、RE ビットを“1”にする前にSCR0、SCR3 レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、非FIFOモード時のSSR.RDRF、AFER、APER、ORER、およびMMSR.MCER、SBER、SYER、PFERの各フラグ、FIFOモード時のRFSR.DRフラグ、スマートカードインタフェースモード時のSSR.AFER、APER、ORERの各フラグは影響を受けず、状態を保持します。

TE ビット (送信許可ビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、送信可能状態になります。TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前にSCR0、SCR3 レジスタの設定を行い、送信フォーマットを決定してください。

MPIE ビット (マルチプロセッサ割り込み許可ビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、AFER、ORER、RFSR.DR およびMMSR.MCER、SBER、SYER、PFERの各ステータスフラグは“1”にセットされません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、マルチプロセッサ機能を用いない受信動作に戻ります。詳細は「31.4 マルチプロセッサ通信機能」を参照してください。続けてマルチプロセッサ機能を用いて受信動作をしたい場合は、次の受信フレームのSTOP ビット受信より十分早く、本ビットを“1”にしてください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタからRDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、AFER およびMMSR.MCER、SBER、SYER、PFERの各フラグのセット(“1”)は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、MPB フラグを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求(SCR0.RIE ビットが“1”に設定されている場合)と、AFER、ORER およびMCER、SBER、SYER、PFER フラグのセット(“1”)が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”をライトして使用して下さい。

DCME ビット (データ一致検出機能許可ビット)

データ一致検出機能を選択します。

DCME ビット=1のとき、受信したデータとSCR4.CMPD[8:0] ビットに設定された値との一致を検出すると、DCME ビットは自動的にクリアされ、データ一致検出機能を用いない受信動作に戻ります。

詳細は「31.3.6 データ一致検出機能」を参照してください。

調歩同期式モード以外では“0”を設定してください。

IDSEL ビット (ID フレーム選択ビット)

データ一致検出機能を選択時に、マルチプロセッサビットの値によらず比較するか、マルチプロセッサビットが“1”のデータ (ID フレーム) のみを比較するか選択します。どちらを選択するか、データ一致検出機能選択時に同時に設定してください。

RIE ビット (受信割り込み許可ビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI および ERI 割り込み要求の禁止は、RIE ビットを“0”にクリアすることで行うことができます。

ERI 割り込み要求の解除は、SSR.AFER、APER、ORER の各フラグをクリアすることでも行うことができます。

マンチェスタモードの場合は MMSR.MCER、SBER、SYER、PFER の各フラグもエラー割り込み要求の要因となるため同様の処置が必要です。これらのフラグの詳細は「31.2.12 マンチェスタモード制御レジスタ (MMCR)」、「31.2.21 マンチェスタモードステータスレジスタ (MMSR)」を参照してください。

TIE ビット (送信割り込み許可ビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”クリアすることで行うことができます。

送信開始時は TE と TIE を同時に“1”にしてください、TXI 割り込みが発生します。

TEIE ビット (送信完了割り込み許可ビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にクリアすることで行うことができます。

簡易 I²C モードでは、スタートコンディション/リスタートコンディション/ストップコンディション生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も同様に本ビットにより STI 割り込み要求を許可、また禁止することができます。

SSE ビット (SSn# 端子機能許可ビット)

簡易 SPI モード時に使用するビットです。それ以外の通信モードでは“0”を設定してください。CTSE ビットと両方を有効にしないでください (設定した場合、両ビットともに“0”を設定したときと同じ動作となります)。

スレーブモード (SCR3.CKE[1:0] ビット = 10b または 11b) 時は SSE ビットは“1”を設定してください。

マスタモード (SCR3.CKE[1:0] ビット = 00b または 01b) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であるため、SSE ビットは“0”を設定します。

31.2.6 制御レジスタ 1 (SCR1)

アドレス RSCI10.SCR1 000E 200Ch, RSCI11.SCR1 000E 208Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	NFEN	—	NFCS[2:0]		—	—	—	HDSEL	—	—	—	—	LOOP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RINV	TINV	—	—	PM	PE	—	—	SPB2IO	SPB2DT	—	—	CRSEP	CTSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSE	CTS機能許可ビット	0 : CTS機能禁止 (RTS出力機能有効) 1 : CTS機能許可	R/W (注1)
b1	CRSEP	CTS/RTS分離ビット (注2)	0 : CTS機能、RTS機能のいずれかを使用 1 : CTS機能、RTS機能の両方を同時に使用	R/W (注1)
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SPB2DT	シリアルポートブ레이크データビット	SCR0.TEビット=0かつSPB2IOビット=1のときにTXDn (TXDAn/TXDBn (注5))端子に出力するレベルを選択します (注3) TINVビット=0のとき 0 : TXDn (TXDAn/TXDBn (注5))端子にLowレベルを出力 1 : TXDn (TXDAn/TXDBn (注5))端子にHighレベルを出力 TINVビット=1のとき 0 : TXDn (TXDAn/TXDBn (注5))端子にHighレベルを出力 1 : TXDn (TXDAn/TXDBn (注5))端子にLowレベルを出力	R/W
b5	SPB2IO	シリアルポートブ레이크入出力ビット	SCR0.TEビット=0のときのTXDn (TXDAn/TXDBn (注5))端子への出力有無を選択します (注3) 0 : TXDn (TXDAn/TXDBn (注5))端子にSPB2DTビットの値を出力しない 1 : TXDn (TXDAn/TXDBn (注5))端子にSPB2DTビットの値を出力する	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	PE	パリティイネーブルビット	(調歩同期モードおよびマンチェスタモードで有効、スマートカードインタフェース時は“1”にしてください) 送信時 0 : パリティビットなし 1 : パリティビットを付加 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注1)
b9	PM	パリティモードビット	(PEビット=1のとき有効なビットです) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	TINV	送信出力反転ビット (注4)	0 : TXDn (TXDAn/TXDBn (注5))端子からの出力を反転しない 1 : TXDn (TXDAn/TXDBn (注5))端子から出力を反転する	R/W (注1)
b13	RINV	受信入力反転ビット (注4)	0 : RXDn端子からの入力を反転しない 1 : RXDn端子からの入力を反転する	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	LOOP	ループバックモード設定ビット	調歩同期モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期モード内部クロック動作時に使用可能です 0 : 通常モード 1 : ループバックモード	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	HDSEL	半二重通信モード選択ビット	本ビットはスマートカードインタフェースモード時、簡易I ² Cモード時、および簡易SPIモード時は使用しないでください (設定値“0”で使用してください) 0: TXDn端子、RXDn端子独立 1: TXDn/RXDn端子兼用(TXDn端子を用いた半二重通信が可能)	R/W (注1)
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26-b24	NFCS[2:0]	ノイズフィルタクロック選択ビット	(調歩同期式モード、マンチェスタモード、拡張シリアルモード、および簡易I ² Cモード時のみ有効) ノイズフィルタのクロックソースを選択します b ₂₆ b ₂₄ 0 0 0: 基本クロック1分周 0 0 1: 内蔵ポーレートジェネレータソースクロック (注6) 1分周 0 1 0: 内蔵ポーレートジェネレータソースクロック (注6) 2分周 0 1 1: 内蔵ポーレートジェネレータソースクロック (注6) 4分周 1 0 0: 内蔵ポーレートジェネレータソースクロック (注6) 8分周 上記以外: 設定禁止 簡易I ² Cモードでは“000b”を選択しないでください	R/W (注1)
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	NFEN	デジタルノイズフィルタ許可ビット	(調歩同期式モード、マンチェスタモード、拡張シリアルモード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効	R/W (注1)
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. 調歩同期式モード、マンチェスタモードでのみ有効です。その他のモードでは“0”にしてください。

注3. 本ビットでTXDn端子状態を制御するのは調歩同期式モードおよびマンチェスタモードのみとしてください。他のモードの動作は保証しません。

注4. スマートカードインタフェースモードと簡易I²CモードではRINVビット=TINVビット=0としてください。

注5. HBSサポートモードで交互出力時

注6. SCR2.CKS[1:0]ビットで選択したクロック

CTSE ビット (CTS 機能許可ビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTS 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード、拡張シリアルモード時は“0”を設定してください。

SSE ビットと両方を有効にしないでください (設定した場合、両ビットともに無効となります)。

CRSEP ビット (CTS/RTS 分離ビット)

CTSE ビットが“1”のとき、CTS/RTS 機能使用時の端子使用方法を選択します。

CTS 機能と RTS 機能のいずれかを使用する場合は“0”にしてください。

CTS 機能と RTS 機能の両方を同時に使用する場合は“1”にしてください。

CTSE ビットが“0”のとき、このビットは“0”にしてください。

CRSEP ビット、CTSE ビットの設定値と端子の機能の関係については表 31.6 を参照してください。

表31.6 CRSEPビット、CTSEビットの設定と端子の機能

CTSEビット	CRSEPビット	CTS# / RTS# 兼用端子	CTS# 専用端子	RTS# 専用端子
0	0	RTS# 信号出力	無効	RTS# 信号出力
1	0	CTS# 信号入力	CTS# 信号入力	無効
1	1	RTS# 信号出力	CTS# 信号入力	RTS# 信号出力

SPB2DT ビット (シリアルポートブレイクデータビット)、 SPB2IO ビット (シリアルポートブレイク入出力ビット)

SCR0.TE ビット、SCR1.SPB2IO ビット、SCR1.SPB2DT ビットの組み合わせで決まる TXDn (TXDAn / TXDBn) 端子の状態を表 31.7 に示します。

表31.7 TXDn (TXDAn/TXDBn) 端子の制御

SCR0.TE ビット	SPB2IO ビット	SPB2DT ビット	TINV ビット	TXDn (TXDAn/TXDBn) 端子の状態
0 (送信禁止)	0 (入力)	任意	任意	Hi-Z
			0	Low を出力
	1 (出力)	0	0	High を出力
			1	High を出力
1 (送信許可)	任意	任意	0	Low を出力
			1	送信データ出力端子

PE ビット (パリティイネーブルビット)

このビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、このビットの設定にかかわらずパリティビットの付加、チェックは行いません。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。マルチプロセッサモードでは、このビットの設定は無効です。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「31.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

TINV ビット (送信出力反転ビット)、RINV ビット (受信入力反転ビット)

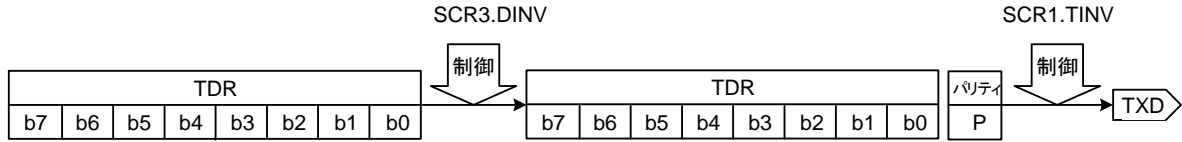
RDR レジスタに格納する値は、RINV ビットと SCR3.DINV ビットの組合せで決まります。また、TXDn 端子からの出力レベルは、TINV ビットと SCR3.DINV ビットの組合せで決まります。RINV/TINV ビットによる制御は、RXDn/TXDn 端子に対して行うため、全ての通信データを制御します (データビットだけでなく、スタートビット、ストップビット、パリティビット等を含みます)。詳細説明は、図 31.2 を参照してください。TXDAn/TXDBn 端子使用時は、同様に TINV 値によってデータ反転します。

半二重通信時、および簡易 SPI モードでスレーブ動作時は、受信時に TXDn 端子を用いるため、受信データの反転制御は TINV ビットで設定してください。

注. 本書内の説明文、タイミングチャートは、TINV/RINV 設定値を明記してない場合は、通信端子反転機能が OFF の条件 (SCR1.TINV ビット = 0、SCR1.RINV ビット = 0) で記載しています。

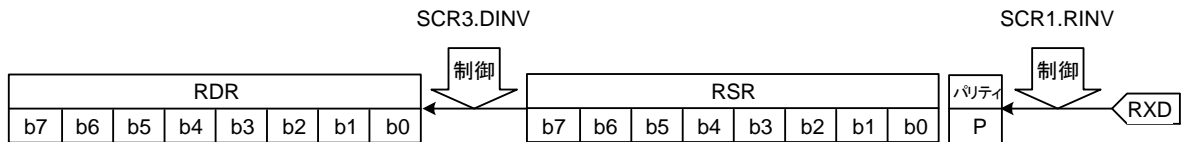
送信/受信データ制御説明(データ長8ビット、パリティチェック有効、MSBファースト送受信時)

送信データはSCR1.TINVとSCR3.DINVビットの組合せで制御します。



SCR3.DINV	SCR1.TINV	TDR格納値	TSR格納値	パリティ(偶数)	TXDn端子波形												
					1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	BEh	BEh	0	[Waveform showing MSB b7 first, then b6 to b0, followed by parity bit P]												
0	1	BEh	BEh	0	[Waveform showing MSB b7 first, then b6 to b0, followed by parity bit P]												
1	0	BEh	41h	0	[Waveform showing MSB b7 first, then b6 to b0, followed by parity bit P]												
1	1	BEh	41h	0	[Waveform showing MSB b7 first, then b6 to b0, followed by parity bit P]												

受信データはSCR1.RINVとSCR3.DINVビットの組合せで制御します。



SCR3.DINV	SCR1.RINV	RDR格納値	RSR格納値	パリティ(偶数)	RXDn端子波形												
					1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	BEh	BEh	0	[Waveform showing MSB b7 first, then b6 to b0, followed by parity bit P]												
1	0	41h	BEh	0	[Waveform showing MSB b7 first, then b6 to b0, followed by parity bit P]												
0	1	BEh	BEh	0	[Waveform showing MSB b7 first, then b6 to b0, followed by parity bit P]												
1	1	41h	BEh	0	[Waveform showing MSB b7 first, then b6 to b0, followed by parity bit P]												

図 31.2 送信 / 受信データ値制御説明

LOOP ビット (ループバックモード設定ビット)

本ビットを“1”にすると、RSCIはRXDからの入力経路を遮断し、TXDへの出力経路を受信データレジスタへ接続します(ループバックモード)。

TINV ビットと組み合わせることで、送信データを反転して受信することが可能です。

クロック同期式モードスレーブ動作時と調歩同期式モード外部クロック使用時、および拡張シリアルモード時は“0”を設定してください。

HDSEL ビット (半二重通信モード選択ビット)

本ビットを“1”にするとTXDn端子を用いて半二重通信ができます。ただし、簡易SPIモード、簡易I²Cモードおよびスマートカードインタフェースモードでは使用できません。

本ビットが“1”の設定のときに、SCR0.TE ビット=1、SCR0.RE ビット=0 とするとTXDn端子が通信出力になり、SCR0.TE ビット=0、SCR0.RE ビット=1 とするとTXDn端子が通信入力になります。詳細については「31.16 半二重通信機能」を参照してください。

NFCS[2:0] ビット (ノイズフィルタクロック選択ビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード、マンチェスタモード、および拡張シリアルモード時にノイズフィルタを使用する場合、“000b”～“100b”を設定してください。

簡易I²Cモード時は、“001b”～“100b”の中から選択してください。

NFEN ビット (デジタルノイズフィルタ許可ビット)

デジタルノイズフィルタ機能の有効、無効を選択します。有効にすると、調歩同期式モード、マンチェスタモード、および拡張シリアルモードの場合は、受信RXDn入力端子、簡易I²Cモードの場合はSSCLn/SSDAn入力端子のノイズ除去を行います。それ以外のモードではNFENビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

31.2.7 制御レジスタ 2 (SCR2)

アドレス RSCI10.SCR2 000E 2010h, RSCI11.SCR2 000E 2090h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
MDDR[7:0]								—	—	CKS[1:0]	—	—	—	BRME	
リセット後の値	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BRR[7:0]								—	ABCSE	ABCS	BGDM	—	BCP[2:0]		
リセット後の値	1	1	1	1	1	1	1	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BCP[2:0]	基本クロックパルスビット	スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロックパルス数を選択します b2 b0 0 0 0 : 93クロック (S = 93) (注2) 0 0 1 : 128クロック (S = 128) (注2) 0 1 0 : 186クロック (S = 186) (注2) 0 1 1 : 512クロック (S = 512) (注2) 1 0 0 : 32クロック (S = 32) (注2) (初期値) 1 0 1 : 64クロック (S = 64) (注2) 1 1 0 : 372クロック (S = 372) (注2) 1 1 1 : 256クロック (S = 256) (注2)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	BGDM	ポーレートジェネレータ倍速モード 選択ビット	ポーレートジェネレータの出力クロックの周期を選択します。 本ビットは、調歩同期式/マンチェスタ/クロック同期式/簡易SPIモードで、SCR3.CKE[1]ビット=0のとき有効です 0 : ポーレートジェネレータから1倍の周波数のクロックを出力 1 : ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b5	ABCS	調歩同期基本クロック選択ビット	(調歩同期モード、マンチェスタモードおよび拡張シリアルモードのみ有効) 0 : 基本クロック 16サイクルの期間が1ビット期間の転送レートになります 1 : 基本クロック 8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b6	ABCSE	調歩同期基本クロック選択拡張ビット	(調歩同期モードで、SCR3.CKE[1]ビット=0のときのみ有効) 0 : 1ビット期間あたりの基本クロック数はSCR2.BGDMビットおよびSCR2.ABCSビットの組み合わせで決まります 1 : 基本クロック 6サイクルの期間が1ビット期間の転送レートになり、かつポーレートジェネレータから2倍の周波数のクロックを出力します	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15-b8	BRR[7:0]	ビットレート設定ビット	ビットレートを調整するための8ビットの領域です	R/W (注1)
b16	BRME	ビットレートモジュレーション許可 ビット	0 : ビットレートモジュレーション機能無効 1 : ビットレートモジュレーション機能有効	R/W (注1)
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b21-b20	CKS[1:0]	クロック選択ビット	b21 b20 0 0 : PCLKA (n = 0) (注3) 0 1 : PCLKA/4 (n = 1) (注3) 1 0 : PCLKA/16 (n = 2) (注3) 1 1 : PCLKA/64 (n = 3) (注3)	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b31-b24	MDDR[7:0]	モジュレーションデューティ設定ビット	BBR[7:0]ビットにより調整されたビットレートを補正するためのビットです	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. SはBRR[7:0]ビット説明中のSの値を表します。

注3. nは設定値の10進表示で、BRR[7:0]ビット説明中のnの値を表します。

BCP[2:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロックパルス数を選択します。

詳細は、「31.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。

BGDM ビット (ポーレートジェネレータ倍速モード選択ビット)

調歩同期式モード (SCR3.MOD[2:0] ビット = 000b)、マンチェスタモード (SCR3.MOD[2:0] ビット = 101b)、クロック同期式モード (SCR3.MOD[2:0] ビット = 010b)、および簡易 SPI (SCR3.MOD[2:0] ビット = 011b) で、クロックソースに内蔵ポーレートジェネレータを選択 (SCR3.CKE[1] ビット = 0) のときに有効です。外部クロック選択時 (SCR3.CKE[1] ビット = 1) のときは、“0”を設定してください。内蔵ポーレートジェネレータから1倍の周波数のクロックを出力するか、2倍の周波数のクロックを出力するかを選択できます。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット = 1 を設定すると基本クロックの周期が1/2倍になり、ビットレートが2倍になります。

調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI 以外では“0”を設定してください。

ABCS ビット (調歩同期基本クロック選択ビット)

1ビット期間の基本クロックのパルス数を選択します。

調歩同期式モードとマンチェスタモードと拡張シリアルモード以外では、“0”にしてください。

ABCSE ビット (調歩同期基本クロック選択拡張ビット)

1ビット期間の基本クロックのパルス数6、かつ、ポーレートジェネレータから2倍の周波数のクロック出力を選択します。

SCR2.CKS[1:0] ビット = 00b かつ BRR[7:0] ビット = 0 にしてビットレートをバスクロックの6分周に設定するときのみ使用してください。

調歩同期式モード以外では、“0”にしてください。調歩同期式モードで外部クロック選択時も“0”にしてください。

表31.8 1bitあたりの基本クロックサイクル数早見表

ABCSE ビット	ABCS ビット	BGDM ビット	1ビット期間の基本クロック数	ポーレートジェネレータの出力周波数
0	0	0	16	1倍
0	0	1	16	2倍
0	1	0	8	1倍
1	1	1	8	2倍
1	—	—	6	2倍

—: 任意

BRR[7:0] ビット (ビットレート設定ビット)

BRR[7:0] ビットはビットレートを調整するための8ビットの領域です。

RSCIはチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。調歩同期式モード、マンチェスタモード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易SPIモード、簡易I²CモードにおけるBRR[7:0]ビットの設定値NとビットレートBの関係を表31.9に示します。

表31.9 BRR[7:0]ビットの設定値NとビットレートBの関係

モード	SCR2レジスタの設定			BRR[7:0]ビットの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、 マルチプロ セッサ通信、 マンチェス タモード、 拡張シリアル (注3)モー ド	0	0	0	$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLKA \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKA \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLKA \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLKA \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLKA \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1 (注2)	$N = \frac{PCLKA \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLKA \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同 期式、 簡易SPI	0	0 (Initial value)	0 (Initial value)	$N = \frac{PCLKA \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
	1	0 (Initial value)	0 (Initial value)	$N = \frac{PCLKA \times 10^6}{4 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLKA \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLKA \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注1)				$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR[7:0] ビットの設定値 ($0 \leq N \leq 255$)

PCLKA: 動作周波数 (MHz)

nとS: 「表31.11 クロックソースの設定」と「表31.12 スマートカードインタフェースモード時の基本クロックの設定」のとおりにSCR2レジスタの設定値によって決まります。

スマートカードインタフェース時のみ、分母は 2^{2n+1} です。他は 2^{2n-1} であることに注意してください。

注1. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

注2. マンチェスタモード時、ABCSEビット=1は設定禁止です。

注3. 拡張シリアルモード時、BGDMビット=0かつABCSEビット=0を設定してください。

表31.10 SCL High/Low幅算出式

モード	SCL	算出式 (s)
I ² C	High幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLKA \times 10^6}$
	Low幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLKA \times 10^6}$

表31.11 クロックソースの設定

SCR2レジスタの設定値 CKS[1:0]ビット	クロックソース	n
00	PCLKA	0
01	PCLKA/4	1
10	PCLKA/16	2
11	PCLKA/64	3

表31.12 スマートカードインタフェースモード時の基本クロックの設定

SCR2レジスタの設定値 BCP[2:0]ビット	1ビット期間中の 基本クロックパルス数	S
000	93クロック	93
001	128クロック	128
010	186クロック	186
011	512クロック	512
100	32クロック	32
101	64クロック	64
110	372クロック	372
111	256クロック	256

調歩同期式モードおよびマンチェスタモードにおける BRR[7:0] ビットの値 N の設定例を表 31.13、表 31.14 に、各動作周波数における設定可能な最大ビットレートを表 31.15 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR[7:0] ビットの値 N の設定例を表 31.17 に、スマートカードインタフェースモードにおける BRR[7:0] ビットの値 N の設定例を表 31.19 に、簡易 I²C モードにおける BRR[7:0] ビットの値 N の設定例を表 31.21 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「31.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 31.16、表 31.18 に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードおよびマンチェスタモードで SCR2 レジスタの調歩同期基本クロックセレクトビット (ABCS ビット) またはポーレートジェネレータ倍速モードセレクトビット (BGDM ビット) のいずれか一方のビットを“1”にしたときのビットレートは表 31.13、表 31.14 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表31.13 ビットレートに対するBRR[7:0]ビットの設定例(調歩同期式モードおよびマンチェスタモード) (1)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLKA (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. SCR2.ABCSビット=0、SCR2.BGDMビット=0、SCR2.ABCSEビット=0のときの例です。
 ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
 ABCSビット=1かつBGDMビット=1にしたときは、ビットレートが4倍になります。

表31.14 ビットレートに対するBRR[7:0]ビットの設定例(調歩同期式モードおよびマンチェスタモード)(2)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	20			25			30			33			40		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

ビット レート (bps)	動作周波数PCLKA (MHz)											
	50			60			100			120		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	221	-0.02	—	—	—	—	—	—	—	—	—
150	3	162	-0.15	3	194	0.16	—	—	—	—	—	—
300	3	80	0.47	3	97	-0.35	3	162	-0.15	3	194	0.16
600	2	162	-0.15	2	194	0.16	3	80	0.47	3	97	-0.35
1200	2	80	0.47	2	97	-0.35	2	162	-0.15	2	194	0.16
2400	1	162	-0.15	1	194	0.16	2	80	0.47	2	97	-0.35
4800	1	80	0.47	1	97	-0.35	1	162	-0.15	1	194	0.16
9600	0	162	-0.15	0	194	0.16	1	80	0.47	1	97	-0.35
19200	0	80	0.47	0	97	-0.35	0	162	-0.15	0	194	0.16
31250	0	49	0.00	0	59	0.00	1	24	0.00	0	119	0.00
38400	0	40	-0.76	0	48	-0.35	0	80	0.47	0	97	-0.35

注. SCR2.ABCS ビット = 0、SCR2.BGDM ビット = 0、SCR2.ABCSE ビット = 0 のときの例です。

ABCS ビットまたは BGDM ビット = 1 のいずれか一方のビットを“1”にしたときは、ビットレートが 2 倍になります。

ABCS ビット = 1 かつ BGDM ビット = 1 にしたときは、ビットレートが 4 倍になります。

表31.15 各動作周波数における最大ビットレート(調歩同期式モードおよびマンチェスタモード)(1/2)

PCLKA (MHz)	SCR2レジスタの設定値					最高ビット レート(bps)	PCLKA (MHz)	SCR2レジスタの設定値					最高ビット レート(bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	18	0	0	0	0	0	562500
		1	0	0	0	500000			1	0	0	0	1125000
	1	0	0	0	0	1000000		1	0	0	0	0	2250000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	1333333		任意	任意	1	0	0	3000000
9.8304	0	0	0	0	0	307200	19.6608	0	0	0	0	0	614400
		1	0	0	0	614400			1	0	0	0	1228800
	1	0	0	0	0	1228800		1	0	0	0	0	2457600
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	1638400		任意	任意	1	0	0	3276800
10	0	0	0	0	0	312500	20	0	0	0	0	0	625000
		1	0	0	0	625000			1	0	0	0	1250000
	1	0	0	0	0	1250000		1	0	0	0	0	2500000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	1666667		任意	任意	1	0	0	3333333
12	0	0	0	0	0	375000	25	0	0	0	0	0	781250
		1	0	0	0	750000			1	0	0	0	1562500
	1	0	0	0	0	1500000		1	0	0	0	0	3125000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	2000000		任意	任意	1	0	0	4166667
12.288	0	0	0	0	0	384000	30	0	0	0	0	0	937500
		1	0	0	0	768000			1	0	0	0	1875000
	1	0	0	0	0	1536000		1	0	0	0	0	3750000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	2048000		任意	任意	1	0	0	5000000
14	0	0	0	0	0	437500	33	0	0	0	0	0	1031250
		1	0	0	0	875000			1	0	0	0	2062500
	1	0	0	0	0	1750000		1	0	0	0	0	4125000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	2333333		任意	任意	1	0	0	5500000
16	0	0	0	0	0	500000	40	0	0	0	0	0	1250000
		1	0	0	0	1000000			1	0	0	0	2500000
	1	0	0	0	0	2000000		1	0	0	0	0	5000000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	2666667		任意	任意	1	0	0	6666667
17.2032	0	0	0	0	0	537600	50	0	0	0	0	0	1562500
		1	0	0	0	1075200			1	0	0	0	3125000
	1	0	0	0	0	2150400		1	0	0	0	0	6250000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	2867200		任意	任意	1	0	0	8333333

表31.15 各動作周波数における最大ビットレート(調歩同期式モードおよびマンチェスタモード) (2/2)

PCLKA (MHz)	SCR2レジスタの設定値					最高ビットレート (bps)	PCLKA (MHz)	SCR2レジスタの設定値					最高ビットレート (bps)
	BGDMビット	ABCSビット	ABCSEビット	n	N			BGDMビット	ABCSビット	ABCSEビット	n	N	
60	0	0	0	0	0	1875000	120	0	0	0	0	0	3750000
		1	0	0	0	3750000			1	0	0	0	7500000
	1	0	0	0	0	7500000		1	0	0	0	0	
		1	0	0	0				15000000				
	任意	任意	1	0	0	10000000		任意	任意	1	0	0	20000000

表31.16 外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLKA (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SCR2.ABCSビット=0	SCR2.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000
50	12.5000	781250	1562500
60	15.0000	937500	1875000
120	30.0000	1875000	3750000

表31.17 ビットレートに対するBRR[7:0]ビットの設定例(クロック同期式モード、簡易SPIモード)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	8			10			30			60			120		
	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N	BGDM	n	N
250	0	3	124	0	3	177	—	—	—	—	—	—	—	—	—
500	0	2	249	0	3	77	0	3	233	—	—	—	—	—	—
1k	0	2	124	0	3	38	0	3	116	0	3	233	—	—	—
2.5k	0	2	49	0	1	249	0	3	46	0	3	93	0	3	187
5k	0	2	24	0	1	124	0	2	93	0	3	46	0	3	93
10k	0	1	49	0	0	249	0	2	46	0	2	93	0	3	46
25k	0	2	4	0	1	24	0	1	74	0	1	149	0	2	74
50k	0	1	9	0	0	49	0	0	149	0	1	74	0	1	149
100k	0	1	4	0	0	24	0	0	74	0	0	149	0	1	74
250k	0	1	1	0	0	9	0	0	29	0	1	14	0	1	29
500k	0	1	0	0	0	4	0	0	14	0	0	29	0	1	14
1M	0	0	1	1	0	4	1	0	14	0	0	14	0	0	29
2.5M	—	—	—	0	0	0	0	0	2	0	0	5	0	1	2
5M	—	—	—	1	0	0	1	0	2	0	0	2	0	0	5
7.5M	—	—	—	—	—	—	0	0	0	0	0	1	1	1	0
60M	—	—	—	—	—	—	—	—	—	—	—	—	1	0	0

— : 設定可能ですが10%以上の誤差がでます。

表31.18 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLKA (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8		4
10		5
12		6
14		7
16		8
18		9
20		10
25		12.5
30		15
33		16.5
40		20
50		25
60		30
120		60

表31.19 ビットレートに対するBRR[7:0]ビットの設定例(スマートカードインタフェースモードでS = 372のとき)

ビットレート (bps)	PCLKA (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01
	33.00	0	4	-7.59
	40.00	0	5	-6.66
	50.00	0	6	0.01
	60.00	0	7	5.01
120.00	0	16	-1.17	

表31.20 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS = 32のとき)

PCLKA (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0
120.00	1875000	0	0

表31.21 ビットレートに対するBRR[7:0]ビットの設定例 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6
400k										0	1	-21.9	0	1	-2.3

ビット レート (bps)	動作周波数PCLKA (MHz)														
	30			33			40			50			60		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	23	-2.3	1	25	-0.8	0	124	0.00	2	9	-2.3	1	46	-0.27
25k	1	9	-6.3	1	10	-6.3	0	40	0.00	2	3	-2.3	0	74	0.00
50k	1	4	-6.3	1	5	-14.1	0	24	0.00	2	1	-2.3	0	37	-1.32
100k	1	2	-21.9	1	2	-14.1	0	12	-3.85	1	3	-2.3	0	18	-1.32
250k	0	3	-6.3	0	4	-17.5	0	4	0.00	0	6	-10.7	0	7	-6.25
350k	0	2	-10.7	0	2	-1.8	0	3	-10.71	0	4	-10.7	0	4	7.14
400k	0	1	17.2	0	2	-14.1	0	2	4.17	0	3	-2.34	0	4	-6.25

ビット レート (bps)	動作周波数PCLKA (MHz)		
	120		
	n	N	誤差 (%)
10k	1	93	-0.27
25k	0	149	0.00
50k	0	74	0.00
100k	0	37	-1.31
250k	0	14	0.00
350k	0	10	-2.60
400k	0	8	4.17

表31.22 各ビットレート設定でのSCL High/Low幅最小値(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLKA (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値(μs)	n	N	SCL High/Low幅 min値(μs)	n	N	SCL High/Low幅 min値(μs)	n	N	SCL High/Low幅 min値(μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.50/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60
400k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLKA (MHz)											
	25			30			33			40		
	n	N	SCL High/Low幅 min値(μs)	n	N	SCL High/Low幅 min値(μs)	n	N	SCL High/Low幅 min値(μs)	n	N	SCL High/Low幅 min値(μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	1	32	46.20/52.80
25k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	1	12	18.20/20.80
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	1	6	9.80/11.20
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	0	13	4.90/5.60
250k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60
400k	0	1	1.12/1.28	0	1	0.93/1.07	0	2	1.27/1.45	0	2	1.05/1.20

ビット レート (bps)	動作周波数PCLKA (MHz)								
	50			60			120		
	n	N	SCL High/Low幅 min値(μs)	n	N	SCL High/Low幅 min値(μs)	n	N	SCL High/Low幅 min値(μs)
10k	2	9	44.80/51.20	1	47	44.80/51.20	1	93	43.87/50.13
25k	2	3	17.92/20.48	0	74	17.50/20.00	0	149	17.50/20.00
50k	2	1	8.96/10.24	0	37	8.87/10.13	0	74	8.75/10.00
100k	1	3	4.48/5.12	0	18	4.43/5.07	0	37	4.43/5.07
250k	0	6	1.96/2.24	0	7	1.87/2.13	0	15	1.87/2.13
350k	0	4	1.40/1.60	0	5	1.40/1.60	0	10	1.28/1.47
400k	0	3	1.12/1.28	0	4	1.17/1.33	0	9	1.17/1.33

BRME ビット (ビットレートモジュレーション許可ビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ポーレートジェネレータにより生成されるビットレートを平均的に補正します。

調歩同期式モード、簡易 I²C モードでのみ“1”にできます。クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、拡張シリアルモードでは、“0”にしてください。

CKS[1:0] ビット (クロック選択ビット)

内蔵ポーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とポーレートの関係については、本章の BRR[7:0] ビット説明を参照してください。

MDDR[7:0] ビット (モジュレーションデューティ設定ビット)

BRME ビットが“1”のとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR[7:0] ビットの設定値 M とビットレート B の関係を表 31.23 に示します。

MDDR[7:0] ビットの初期値は“FFh”です。ビット7は“1”に固定されています。

表 31.23 ビットレートモジュレーション機能使用時のMDDR[7:0]ビット設定値MとビットレートBの関係

モード(注1)	SCR2レジスタの設定			BRR[7:0]ビットの設定値	誤差(%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	0	$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLKA \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLKA \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLKA \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLKA \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLKA \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLKA \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLKA \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	$N = \frac{PCLKA \times 10^6}{12 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLKA \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C(注2)				$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR[7:0] ビットの設定値 ($128 \leq M \leq 255$)

N: BRR[7:0] ビットの設定値 ($0 \leq N \leq 255$)

PCLKA: 動作周波数 (MHz)

n: 「表 31.11 クロックソースの設定」のとおり SCR2.CKS[1:0] ビットの設定値によって決まります。

注1. クロック同期式モード、簡易SPIモード、スマートカードインタフェースモード、マンチェスタモード、および拡張シリアルモードでは、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

調歩同期式モードにおける BRR[7:0] ビットの値 N と MDDR[7:0] ビットの値 M の設定例を表 31.24、表 31.25 に示します。

表31.24 ビットレートに対するBRR[7:0]ビット、MDDR[7:0]ビットの設定例(調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビット レート (bps)	動作周波数PCLKA (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	0.26	0	0	135	1	0.14

ビット レート (bps)	動作周波数PCLKA (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注. SCR2.ABCSビット=0、SCR2.ABCSEビット=0のときの例です。

注1. ビットレートモジュレーション機能無効(SCR2.BRMEビット=0)設定(M=256に相当)を意味します。

表31.25 ビットレートに対するBRR[7:0]ビット、MDDR[7:0]ビットの設定例(調歩同期式モード) (2)

ビット レート (bps)	動作周波数PCLKA (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビット レート (bps)	動作周波数PCLKA (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460800	0	3	252	1	0.14	0	1	229	0	0.10	0	4	236	1	0.03

ビット レート (bps)	動作周波数PCLKA (MHz)														
	50					60					120				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	23	151	0	0.00	0	36	194	0	0.01	0	73	194	0	0.01
57600	0	15	151	0	0.00	0	21	173	0	-0.01	0	58	232	0	0.00
115200	0	7	151	0	0.00	0	10	173	0	-0.01	0	21	173	0	-0.01
230400	0	3	151	0	0.00	0	10	173	1	-0.01	0	10	173	0	-0.01
460800	0	1	151	0	0.00	0	6	220	1	-0.09	0	10	173	1	-0.01

注. SCR2.ABCSビット=0、SCR2.ABCSEビット=0のときの例です。

注1. ビットレートモジュレーション機能無効(SCR2.BRMEビット=0)設定(M=256に相当)を意味します。

31.2.8 制御レジスタ 3 (SCR3)

アドレス RSCI10.SCR3 000E 2014h, RSCI11.SCR3 000E 2094h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	BLK	GM	—	—	CKE[1:0]	—	—	DEEN	FM	MP	MOD[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	STOP	DINV	DDIR	—	—	CHR[1:0]	—	—	—	—	—	—	—	CPOL	CPHA
リセット後の値	0	0	0	1	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	クロック位相セレクトビット	(簡易SPIモードおよびクロック同期モードのみ有効です。SCR0.TEビット=0かつREビット=0のとき、設定してください) 0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 (クロック遅れあり) 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル (クロック遅れなし)	R/W (注1)
b1	CPOL	クロック極性セレクトビット	(簡易SPIモードおよびクロック同期モードのみ有効です。SCR0.TEビット=0かつREビット=0のとき、設定してください) 0: アイドル時のSCKnが“0” 1: アイドル時のSCKnが“1”	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b9-b8	CHR[1:0]	キャラクタ長選択ビット	送受信データのデータ長を選択します (調歩同期モードおよびマンチェスタモードのみ有効 (注2)) b9 b8 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	DDIR	転送データ方向選択ビット	0: MSBファーストで送受信 1: LSBファーストで送受信 簡易I ² Cモードで動作させる場合は“0”、拡張シリアルモードで動作させる場合は“1”にしてください	R/W (注1)
b13	DINV	転送データ反転ビット	0: TDRレジスタ格納データをそのままTSRレジスタへ転送、RSRレジスタ格納データをそのままRDRレジスタに格納 1: TDRレジスタ格納データを反転してTSRレジスタへ転送、RSRレジスタ格納データを反転してRDRレジスタに格納 簡易I ² Cモードで動作させる場合は、“0”にしてください。 通信端子(TXDn/RXDn)データの最終的な信号レベルは、本ビットとSCR1.TINV/RINVビットの組合せで決まります。詳細は図31.2を参照してください	R/W (注1)
b14	STOP	ストップビット長選択ビット	(調歩同期モードおよびマンチェスタモード、拡張シリアルモードのみ有効) 0: 1ストップビット/Break delimiter長=1ビット長 1: 2ストップビット/Break delimiter長=2ビット長	R/W (注1)
b15	RXDESEL	調歩同期スタートビットエッジ検出選択ビット	(調歩同期モードのみ有効) 拡張シリアルモードで動作させる場合は、“1”にしてください 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b18-b16	MOD[2:0]	通信モード選択ビット	RSCIの通信モードを選択します b18 b16 0 0 0: 調歩同期式モード 0 0 1: スマートカードインタフェースモード 0 1 0: クロック同期式モード 0 1 1: 簡易SPIモード 1 0 0: 簡易I ² Cモード 1 0 1: マンチェスタモード 1 1 0: 拡張シリアル 1 1 1: 設定禁止	R/W (注1)
b19	MP	マルチプロセッサモードビット	(調歩同期式モードおよびマンチェスタモードのみ有効) 0: マルチプロセッサ通信禁止 1: マルチプロセッサ通信許可	R/W (注1)
b20	FM	FIFOモード選択ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで有効) 0: TDRレジスタ、RDRレジスタが非FIFOバッファ構成 1: TDRレジスタ、RDRレジスタがFIFOバッファ構成	R/W (注1)
b21	DEEN	ドライバ制御機能有効ビット	(調歩同期式モードで有効) 0: RS-485ドライバ制御機能は無効です 1: RS-485ドライバ制御機能は有効です	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b25-b24	CKE[1:0]	クロックイネーブルビット	調歩同期式モードの場合 b25 b24 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によりSCKn端子は入出力ポートとして使用できます 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロック • 外部クロック使用時は、SCKn端子からビットレートの16倍(SCR2.ABCSビット=0のとき)または8倍(SCR2.ABCSビット=1のとき)の周波数のクロックを入力してください マンチェスタ/拡張シリアルモードの場合 b25 b24 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によりSCKn端子は入出力ポートとして使用できます 上記以外: 禁止設定(未サポート)で使用できません クロック同期式/簡易SPIモードの場合 b25 b24 0 x: 内部クロック(マスタモード) SCKn端子はクロック出力端子となります 1 x: 外部クロック(スレーブモード) SCKn端子はクロック入力端子となります スマートカードインタフェースモードの場合 SCR3.GMビット=0の場合 b25 b24 0 0: 出力ディスエーブル(I/Oポートの設定によりSCKn端子は入出力ポートとして使用可) 0 1: クロック出力 1 x: (設定禁止) SCR3.GMビット=1の場合 b25 b24 0 0: Lowレベル出力固定 0 1: クロック出力 1 0: Highレベル出力固定 1 1: クロック出力	R/W (注1)
b26	—	予約ビット	“0”にしてください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	GM	GSMモードビット	(スマートカードインタフェースモードのみ有効) 0: 非GSMモードで動作します 1: GSMモードで動作します	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b29	BLK	ブロック転送モードビット	(スマートカードインタフェースモードのみ有効) 0: 非ブロック転送モードで動作します 1: ブロック転送モードで動作します	R/W (注1)
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TE ビット=0、SCR0.RE ビット=0 のとき、書き込み可能です。

注2. 調歩同期式モードおよびマンチェスタモード以外では、設定は無効でデータ長は8ビット固定です。拡張シリアルモードでは“10b” (8ビット) にしてください。

注3. LSB ファースト固定となり、送信では TDR レジスタの MSB (b7) は送信されません。

CPHA ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。

詳細は、図 31.108 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“1”を設定して下さい。

CPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。

詳細は、図 31.108 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“1”を設定して下さい。

CHR[1:0] ビット (キャラクタ長選択ビット)

送受信データのデータ長を選択します。

調歩同期式モードおよびマンチェスタモード以外では、データ長は8ビット固定です。

DDIR ビット (転送データ方向選択ビット)

送受信データのデータを MSB ファーストで送受信するか LSB ファーストで送受信するか選択します。

DINV ビット (転送データ反転ビット)

送信データを TDR レジスタから TSR レジスタへ転送するタイミングでビット反転制御します。また、受信データを RSR レジスタから RDR レジスタへ転送するタイミングでビット反転制御します。DINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SCR1.PM ビットを反転してください。

STOP ビット (ストップビット長選択ビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

また、拡張シリアルモードで Start Frame 送信時、Break delimiter 長設定として使用します。

RXDESEL ビット (調歩同期スタートビットエッジ検出選択ビット)

調歩同期式モード受信動作における、スタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を1フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

拡張シリアルモード時は、“1”を設定してください。調歩同期式モード、拡張シリアルモード以外では“0”を設定してください。

MOD[2:0] ビット (通信モード選択ビット)

RSCI の通信モードを選択します。

表 31.26 通信モード選択ビット (MOD[2:0]) とその他動作モード設定ビット

通信モード	調歩同期				SMIF	クロック	簡易 SPI		簡易 I ² C	マン チエス タ	拡張 シリアル
SCR3.MOD[2:0]	000b				001b	010b	011b		100b	101b	110b
SCR3.MP	0		1		—	—	—		—	0 1	—
SCR3.FM	0	1	0	1	—	0 1	0	1	—	—	—
SCR3.DEEN	0	1	0	1	0	1	0	1	—	—	—
SCR3.SSE	—				—	—	0	1	0	1	—

— : 設定禁止

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

FM ビット (FIFO モード選択ビット)

FM ビットを“1”にすると、TDR レジスタ / RDR レジスタが FIFO 構成に切り替わり、シリアル送信 / 受信に送信 FIFO (TDR レジスタ) / 受信 FIFO (RDR レジスタ) を使用できます。

DEEN ビット (ドライバ制御機能有効ビット)

RS-485 ドライバ制御機能の有効 / 無効を選択します。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

スマートカードインタフェースモード時、SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「31.7.8 クロック出力制御」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu : elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「31.7.6 シリアルデータの送信 (ブロック転送モードを除く)」、「31.7.8 クロック出力制御」を参照してください。

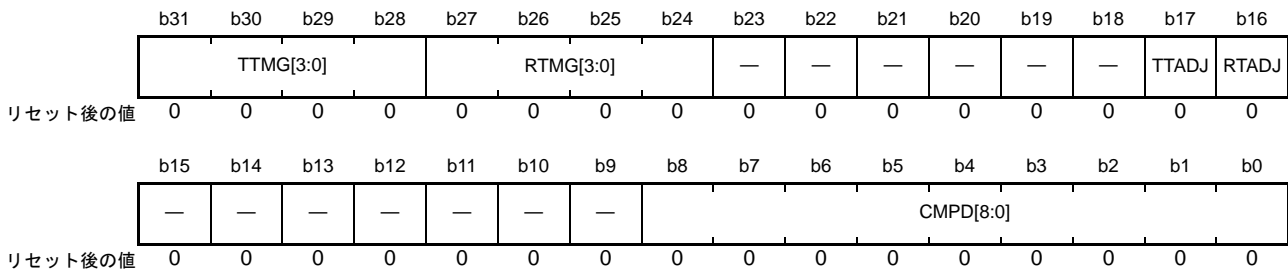
BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「31.7.3 ブロック転送モード」を参照してください。

31.2.9 制御レジスタ 4 (SCR4)

アドレス RSCI10.SCR4 000E 2018h, RSCI11.SCR4 000E 2098h



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	比較データビット	(調歩同期モード時のみ有効なビットです) データ一致検出機能を使用する場合の比較元データを設定します	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RTADJ	受信データサンプリングタイミング変更ビット	(調歩同期モード内部クロック選択時、拡張シリアルモード内部クロック選択時、クロック同期モードマスタ動作時、簡易SPIモードマスタ動作時に有効なビットです) 0: 受信サンプリングタイミング調整機能無効 1: 受信サンプリングタイミング調整機能有効	R/W (注1)
b17	TTADJ	送信信号変化タイミング変更ビット	(調歩同期モードで内部クロック選択時のみ有効なビットです) 0: 送信タイミング調整機能無効 1: 送信タイミング調整機能有効	R/W (注1)
b23-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b27-b24	RTMG[3:0]	受信データサンプリングタイミング選択ビット	調歩同期式/拡張シリアルモードの場合 b27 b24 1111: デフォルト位置から7クロック前でサンプリング 1110: デフォルト位置から6クロック前でサンプリング 1101: デフォルト位置から5クロック前でサンプリング 1100: デフォルト位置から4クロック前でサンプリング 1011: デフォルト位置から3クロック前でサンプリング 1010: デフォルト位置から2クロック前でサンプリング 1001: デフォルト位置から1クロック前でサンプリング x000: デフォルト位置でサンプリング 0001: デフォルト位置から1クロック後でサンプリング 0010: デフォルト位置から2クロック後でサンプリング 0011: デフォルト位置から3クロック後でサンプリング 0100: デフォルト位置から4クロック後でサンプリング 0101: デフォルト位置から5クロック後でサンプリング 0110: デフォルト位置から6クロック後でサンプリング 0111: デフォルト位置から7クロック後でサンプリング クロック同期式/簡易SPIモードの場合 b27 b24 0000: 1PCLKA遅延 0001: 2PCLKA遅延 0010: 3PCLKA遅延 0011: 4PCLKA遅延 上記以外: 設定禁止	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b31-b28	TTMG[3:0]	送信信号変化タイミング選択ビット	b31 b28 1111: “1”から“0”への変化を7クロック遅らせる 1110: “1”から“0”への変化を6クロック遅らせる 1101: “1”から“0”への変化を5クロック遅らせる 1100: “1”から“0”への変化を4クロック遅らせる 1011: “1”から“0”への変化を3クロック遅らせる 1010: “1”から“0”への変化を2クロック遅らせる 1001: “1”から“0”への変化を1クロック遅らせる x000: 波形を変化させない 0001: “0”から“1”への変化を1クロック遅らせる 0010: “0”から“1”への変化を2クロック遅らせる 0011: “0”から“1”への変化を3クロック遅らせる 0100: “0”から“1”への変化を4クロック遅らせる 0101: “0”から“1”への変化を5クロック遅らせる 0110: “0”から“1”への変化を6クロック遅らせる 0111: “0”から“1”への変化を7クロック遅らせる	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

CMPD[8:0] ビット (比較データビット)

データ一致検出機能有効 (SCR0.DCME ビット=1) 時に、受信データと比較するデータを設定します。SCR0.DCME ビット=0のときに書き換えを行ってください。

比較するデータには、7ビットデータ長選択時は CMPD[6:0] ビット、8ビットデータ長選択時は CMPD[7:0] ビット、9ビットデータ長選択時は CMPD[8:0] ビットを使用します。

RTADJ ビット (受信データサンプリングタイミング変更ビット)

本ビットが“1”のとき、受信サンプリングタイミング調整機能が有効になります。調歩同期式、拡張シリアルモードとクロック同期式、簡易 SPI モードではそれぞれ制御が異なります。

調歩同期式モード内部クロック選択時の動作説明は「31.3.10 調歩同期式モードの受信サンプリングタイミング調整機能」を参照してください。

拡張シリアルモード内部クロック選択時の動作は調歩同期式モード内部クロック選択時と同じです。

クロック同期式モードマスタ動作時、および簡易 SPI モードマスタ動作時の動作説明は「31.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能」を参照してください。本ビットで制御できるのは、マスタモード受信サンプリングクロック (MRCLK) のデジタル遅延のみです。MRCLK のアナログ遅延は制御できません。

TTADJ ビット (送信信号変化タイミング変更ビット)

本ビットが“1”のとき、送信信号変化タイミング調整機能が有効になります。送信信号変化タイミング調整機能は、TXDn 端子から出力する波形のエッジタイミングを調整することができます。詳細は、「31.3.11 調歩同期式モードの送信タイミング調整機能」を参照してください。

RTMG[3:0] ビット (受信データサンプリングタイミング選択ビット)

RTADJ ビットが“1”のとき、本ビット設定値に応じて受信サンプリングタイミングを調整することができます。調歩同期式モード、拡張シリアルモード時の調整値は、基本クロック × RTMG[2:0] 設定値です。

TTMG[3:0] ビット (送信信号変化タイミング選択ビット)

TTMG[3:0] ビットで指定した TXDn 端子のエッジタイミングを、基本クロック × TTMG[2:0] 設定値で調整します。TTMG[2:0] ビットの設定値が1ビット期間の基本クロック数以上にならないようにしてください。

31.2.10 I²C モードレジスタ (SIMR)

アドレス RSCI10.SIMR 000E 2020h, RSCI11.SIMR 000E 20A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	IICSCLS[1:0]	IICSDAS[1:0]	—	IICSTP REQ	IICRST AREQ	IICSTA REQ		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCS C	IICINT M	—	—	—	IICDL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IICDL[4:0]	SDA出力遅延セレクトビット	内蔵ポーレートジェネレータのクロックソース基準で b4 b0 0 0 0 0 : 出力遅延なし 0 0 0 1 : 0~1サイクル 0 0 1 0 : 1~2サイクル 0 0 1 1 : 2~3サイクル 0 1 0 0 : 3~4サイクル 0 1 0 1 : 4~5サイクル : : 1 1 1 1 0 : 29~30サイクル 1 1 1 1 1 : 30~31サイクル	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	IICINTM	I ² C割り込みモード選択ビット	0 : ACK/NACK割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b9	IICCS C	クロック同期化ビット	0 : クロック同期を実施しない 1 : クロック同期を実施する	R/W (注1)
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b13	IICACK T	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	IICSTAREQ	スタートコンディション生成ビット	0 : スタートコンディションを生成しない 1 : スタートコンディションを生成する(注2、注4、注5、注6)	R/W
b17	IICRSTAREQ	リスタートコンディション生成ビット	0 : リスタートコンディションを生成しない 1 : リスタートコンディションを生成する(注3、注4、注5、注6)	R/W
b18	IICSTPREQ	ストップコンディション生成ビット	0 : ストップコンディションを生成しない 1 : ストップコンディションを生成する(注3、注4、注5、注6)	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b21-b20	IICSDAS[1:0]	SDA出力セレクトビット	b21 b20 0 0 : シリアルデータ出力 0 1 : スタートコンディション、リスタートコンディション、ストップコンディションの生成 1 0 : SSdAn端子はLowレベルを出力 1 1 : SSdAn端子はHighレベルを出力	R/W
b23-b22	IICSCLS[1:0]	SCL出力セレクトビット	b23 b22 0 0 : シリアルクロック出力 0 1 : スタートコンディション、リスタートコンディション、ストップコンディションの生成 1 0 : SSCLn端子はLowレベルを出力 1 1 : SSCLn端子はHighレベルを出力	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. パスフリー状態のときに、スタートコンディション生成を行ってください。

注3. パスビジー状態のときに、図31.78、図31.79で説明しているアクノリッジ後のSSCLn端子がLowレベルのときにリスタート

コンディション生成またはストップコンディション生成を行ってください。

注4. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注5. コンディション生成完了フラグ(IICSTIFフラグ)を“0”にしてから各コンディション生成を行ってください。

注6. “1”の状態では“0”を書き込まないでください。“1”の状態では“0”を書き込むとコンディション生成が中断します。

IICDL[4:0] ビット (SDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。

内蔵ポーレートジェネレータのクロックソース基準で、遅延なし～31 サイクルの中から選択可能です。内蔵ポーレートジェネレータのクロックソースとして、PCLKA に対して SCR2.CKS[1:0] ビットの設定により選択された分周比のクロックが供給されます。

簡易 I²C モード以外では“00000b”を設定してください。

簡易 I²C モード時は、“00001b”～“11111b”のいずれかを設定してください。

IICINTM ビット (I²C 割り込みモード選択ビット)

簡易 I²C モード時の割り込み要求要因を選択します。

IICGSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で SSCLn 端子を Low レベルにした時、内部で生成する SCL を同期化する場合は IICGSC ビットに“1”を設定します。

IICGSC ビットに“0”を設定すると内部 SCL の同期化は行いません。SSCLn 端子入力のレベルに関わらず、BRR[7:0] ビットで設定したビットレートに従って SCL を生成します。

デバッグ時を除いて IICGSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

IICSTAREQ ビット (スタートコンディション生成ビット)

スタートコンディションの生成を行う時は、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

ストップコンディション生成後にスタートコンディション生成を行う場合は、ストップコンディション生成割り込み要求出力から、ビットレートの半周期期間において、スタートコンディション生成を開始してください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- スタートコンディションの生成が完了したとき

IICRSTAREQ ビット (リスタートコンディション生成ビット)

リスタートコンディションの生成を行う時は、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- リスタートコンディションの生成が完了したとき

IICSTPREQ ビット (ストップコンディション生成ビット)

ストップコンディションの生成を行う時は、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- ストップコンディションの生成が完了したとき

IICSDAS[1:0] ビット (SDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

IICSCLS[1:0] ビット (SCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

31.2.11 FIFO 制御レジスタ (FCR)

アドレス RSCI10.FCR 000E 2024h, RSCI11.FCR 000E 20A4h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	RSTRG[4:0]				RFRST	—	—	RTRG[4:0]				—	—
リセット後の値	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TFRST	—	—	TTRG[4:0]				—	—	—	—	—	—	—	—	DRES
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRES	受信データレディ割り込み選択ビット	(調歩同期式モードのみで有効) 受信データレディを検出したときに発生させる割り込み要求を選択します 0: 受信データフル割り込み (RXI) 1: 受信エラー割り込み (ERI)	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	TTRG[4:0]	送信FIFOしきい値設定ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで有効) b12 b8 00000: しきい値0 : : 11111: しきい値31	R/W (注1)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	TFRST	送信FIFOリセットビット	(SCR3.FMビット=1のときのみ有効) 0: 無効、動作に影響しない 1: 送信FIFO (TDRレジスタ)に格納されたデータ数を“0”にする 読み出し時は、常に“0”となります	W (注1)
b20-b16	RTRG[4:0]	受信FIFOしきい値設定ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで有効) b20 b16 00000: しきい値0 : : 11111: しきい値31	R/W (注1)
b22-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b23	RFRST	受信FIFOリセットビット	(SCR3.FMビット=1のときのみ有効) 0: 無効、動作に影響しない 1: 送信FIFO (RDRレジスタ)に格納されたデータ数を“0”にする 読み出し時は、常に“0”となります	W (注1)
b28-b24	RSTRG[4:0]	RTS#出力しきい値設定ビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モードで、SCR3.FMビット=1、SCR1.CTSEビット=0、かつSCR0.SSEビット=0のときのみ有効) b28 b24 00000: しきい値0 : : 11111: しきい値31	R/W (注1)
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

DRES ビット (受信データレディ割り込み選択ビット)

受信データレディを検出 (RFSR.DR フラグ = 1) したことを、RXI 割り込み要求の要因とするか、ERI 割り込み要求の要因とするかを選択します。

TTRG[4:0] ビット (送信 FIFO しきい値設定ビット)

送信 FIFO (TDR レジスタ) に格納されたデータ数が送信 FIFO しきい値以下になったとき、SSR.TDRE フラグが“1”になります。その際、SCR0.TIE ビットが“1”であれば、送信 FIFO データエンプティ割り込み (TXI) 要求が発生します。

TFRST ビット (送信 FIFO リセットビット)

TFRST ビットを“1”にすると、送信 FIFO (TDR レジスタ) に格納された送信データの数を“0”にします。

RTRG[4:0] ビット (受信 FIFO しきい値設定ビット)

受信 FIFO (RDR レジスタ) に格納されたデータ数が受信 FIFO しきい値以上になったとき、SSR.RDRF フラグが“1”になります。その際、SCR0.RIE ビットが“1”であれば、受信 FIFO データフル割り込み (RXI) 要求が発生します。受信 FIFO しきい値を“0”にした場合は、1つ以上のデータを受信しなければ RDRF フラグはセットされません。

RFRST ビット (受信 FIFO リセットビット)

RFRST ビットを“1”にすると、受信 FIFO (RDR レジスタ) に格納された受信データの数を“0”にします。

RSTRG[4:0] ビット (RTS# 出力しきい値設定ビット)

受信 FIFO (RDR レジスタ) に格納された受信データ数が RTS# 出力しきい値以上になったとき、RTSn# 信号が High になります。RTS# 出力しきい値を“0”にした場合は、1つ以上のデータを受信しなければ RTSn# 信号は High になりません。

31.2.12 マンチェスタモード制御レジスタ (MMCR)

アドレス RSCI10.MMCR 000E 202Ch, RSCI11.MMCR 000E 20ACh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	SBERI E	SYERI E	PFERI E	—	—	RPPAT[1:0]	RPLEN[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	TPPAT[1:0]	TPLEN[3:0]			—	SBLEN	SYNCE	SBPTN	—	SADJE	ENCS	DECS		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DECS	デコード規則選択ビット	受信マンチェスタコードの極性設定 0: Low→Highの信号変化を“0”、High→Lowの信号変化を“1”に変換します 1: High→Lowの信号変化を“0”、Low→Highの信号変化を“1”に変換します	R/W (注1)
b1	ENCS	エンコード規則選択ビット	送信マンチェスタコードの極性設定 0: “0”をLow→Highの信号変化に、“1”をHigh→Lowの信号変化に変換します 1: “0”をHigh→Lowの信号変化に、“1”をLow→Highの信号変化に変換します	R/W (注1)
b2	SADJE	受信タイミング自己調整許可ビット	受信リタイミング機能の設定 0: 受信リタイミング機能をディセーブルとします 1: 受信リタイミング機能をイネーブルとします	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SBPTN	スタートビットパターン選択ビット	マンチェスタコード中のスタートビットのSync種別を設定します <スタートビットが1bitの場合 (SBLEN = 0)> • 送信時 0: スタートビットは0→1遷移として付加します 1: スタートビットは1→0遷移として付加します • 受信時 0: スタートビットは0→1遷移のみ受信、それ以外はエラーと判定 1: スタートビットは1→0遷移のみ受信、それ以外はエラーと判定 <スタートビットが3bitの場合 (SBLEN = 1)> • 送信時 0: スタートビットは0→1遷移として付加 1: スタートビットは1→0遷移として付加 • 受信時 本ビットの値によらず、スタートビットが3bitの場合、受信します	R/W (注1)
b5	SYNCE	Sync許可ビット	0: スタートビットのパターンはSBPTNビットで設定 1: スタートビットのパターンはSYNCビットで設定	R/W (注1)
b6	SBLEN	スタートビット長選択ビット	0: スタートビットは1bit 1: スタートビットはコマンド Sync/データ Sync (3bit)	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b11-b8	TPLEN[3:0]	送信プリフェース長設定ビット	マンチェスタモード時、送信データのプリフェース長(ビット長)を設定します。“0000b”の場合、送信プリフェースの生成は行いません	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b13-b12	TPPAT[1:0]	送信プリフェースパターン選択ビット	送信データのプリフェースパターン設定です b13 b12 0 0 : ALL ZERO 0 1 : ZERO ONE 1 0 : ONE ZERO 1 1 : ALL ONE	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b19-b16	RPLEN[3:0]	受信プリフェース長設定ビット	マンチェスタモードイネーブル時、受信フレームのプリフェース長(ビット長)を設定します。“0000b”の場合、受信プリフェースの確認は行いません	R/W (注1)
b21-b20	RPPAT[1:0]	受信プリフェースパターン選択ビット	受信フレームのプリフェースパターン設定です b21 b20 0 0 : ALL ZERO 0 1 : ZERO ONE 1 0 : ONE ZERO 1 1 : ALL ONE	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	PFERIE	プリフェースエラー割り込み許可ビット	プリフェースエラーを割り込み要因として扱うかどうかを設定するビットです 0 : プリフェースエラーは割り込みとして扱わない 1 : プリフェースエラーを割り込みとして扱う	R/W (注1)
b25	SYERIE	Syncエラー割り込み許可ビット	受信Syncエラーを割り込み要因として扱うかどうかを設定するビットです 0 : 受信Syncエラーは割り込みとして扱わない 1 : 受信Syncエラーを割り込みとして扱う	R/W (注1)
b26	SBERIE	スタートビットエラー割り込み許可ビット	スタートビットエラーを割り込み要因として扱うかどうかを設定するビットです 0 : スタートビットエラーは割り込みとして扱わない 1 : スタートビットエラーを割り込みとして扱う	R/W (注1)
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

DECS ビット (デコード規則選択ビット)

受信マンチェスタコードの極性を設定できます。データ受信に関する詳細は「31.5.7 マンチェスタデータ受信」を参照してください。

ENCS ビット (エンコード規則選択ビット)

送信マンチェスタコード極性を設定できます。データ送信に関する詳細は「31.5.6 マンチェスタデータ送信」を参照してください。

SADJE ビット (受信タイミング自己調整許可ビット)

マンチェスタモード受信リタイミング機能の設定ができます。受信リタイミング機能については、「31.5.9 受信リタイミング」を参照してください。

SBPTN ビット (スタートビットパターン選択ビット)

本ビットの設定は、本レジスタのSYNCEビット=0に設定された場合有効になります。

また、本ビットとSBLENビットの組み合わせでSync種別を設定することが可能です。

本ビットとSBLENビットの組み合わせで決定されるスタートビット領域については、図 31.36、図 31.37を参照してください。

SYNCE ビット (Sync 許可ビット)

本ビットは本レジスタ SBLEN ビット = 1 に設定された場合のみ、有効になります。
マンチェスタフレームに付加するスタートビット領域の Sync 種別の設定参照先を決定します。
本ビットが “0” に設定された場合、本レジスタ SBPTN ビットを参照します。
“1” に設定された場合、TDR.SYNC ビットを参照します。

SBLEN ビット (スタートビット長選択ビット)

本ビットはマンチェスタフレームのスタートビット領域に対する設定となります。
“1” に設定された場合、フレームに付加されるスタートビット領域が 3bit になり、本レジスタ SYNCE/
SBPTN ビットの設定が有効になります。
“0” に設定された場合、フレームに付加されるスタートビット領域が 1bit になります。

TPLEN[3:0] ビット (送信プリフェース長設定ビット)

本ビットでマンチェスタモード時の送信プリフェースビット長を設定します。
“0h” ~ “Fh” (0 ~ 15) で設定が可能で、“0h” で設定した場合、送信プリフェースはディセーブルとなり付
加されません。

TPPAT[1:0] ビット (送信プリフェースパターン選択ビット)

本ビットでマンチェスタモード時のプリフェースパターンを 4 種から設定できます。本ビット設定時の動
作イメージについて、図 31.35 を参照ください。

“00b” 設定時、ALL ZERO パターン→プリフェース領域を ALL0 で設定します。

“01b” 設定時、ZERO ONE パターン→プリフェース領域を 0 → 1 → 0 → 1... と繰り返すパターンとして設
定します。

“10b” 設定時、ONE ZERO パターン→プリフェース領域を 1 → 0 → 1 → 0... と繰り返すパターンとして設
定します。

“11b” 設定時、ALL ONE パターン→プリフェース領域を ALL1 で設定します。

RPLEN[3:0] ビット (受信プリフェース長設定ビット)

本ビットでマンチェスタモード時の受信プリフェースビット長を設定します。
“0h” ~ “Fh” (0 ~ 15) で設定が可能で、“0h” で設定した場合、受信プリフェースはディセーブルとなり付
加されていないものとして処理します。“1h” ~ “Fh” を設定した場合、設定値をそのまま受信プリフェース
ビット長として処理します。

RPPAT[1:0] ビット (受信プリフェースパターン選択ビット)

本ビットでマンチェスタモード時のプリフェースパターンを 4 種から設定できます。本ビット設定時の動
作イメージについて、図 31.35 を参照ください。

“00b” 設定時、ALL ZERO パターン→プリフェース領域を ALL0 として処理します。

“01b” 設定時、ZERO ONE パターン→プリフェース領域を 0 → 1 → 0 → 1... と繰り返すパターンとして処
理します。

“10b” 設定時、ONE ZERO パターン→プリフェース領域を 1 → 0 → 1 → 0... と繰り返すパターンとして処
理します。

“11b” 設定時、ALL ONE パターン→プリフェース領域を ALL1 で処理します。

PFERIE ビット (プリフェースエラー割り込み許可ビット)

本ビットはプリフェースエラーを割り込みとして扱うかどうかを設定するビットです。

“0”の場合は、プリフェースエラーは割り込みとして扱いません。“1”の場合はプリフェースエラーを割り込みとして扱います。

SYERIE ビット (Sync エラー割り込み許可ビット)

本ビットは受信 Sync エラーを割り込みとして扱うかどうかを設定するビットです。

“0”の場合は、受信 Sync エラーは割り込みとして扱いません。“1”の場合は受信 Sync エラーを割り込みとして扱います。

SBERIE ビット (スタートビットエラー割り込み許可ビット)

本ビットはスタートビットエラーを割り込みとして扱うかどうかを設定するビットです。

“0”の場合は、スタートビットエラーは割り込みとして扱いません。“1”の場合はスタートビットエラーを割り込みとして扱います。

31.2.13 DE 信号制御レジスタ (DECR)

アドレス RSCI10.DECR 000E 2030h, RSCI11.DECR 000E 20B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	DEHLD[4:0]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DESU[4:0]				—	—	—	—	—	—	—	—	DELVL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DELVL	DE 信号アクティブレベル選択ビット	(調歩同期式モードのみ有効) 0 : DE 信号は、アクティブ High 1 : DE 信号は、アクティブ Low	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	DESU[4:0]	DE 信号セットアップ時間設定ビット	(調歩同期式モードのみ有効) DE 信号セットアップ時間を基本クロックのサイクル数で設定します。SCR3.DEENビットが“1”のとき有効です。 “0000b”は設定しないでください。	R/W (注1)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20-b16	DEHLD[4:0]	DE 信号ホールド時間設定ビット	(調歩同期式モードのみ有効) DE 信号ホールド時間を基本クロックのサイクル数で設定します。SCR3.DEENビットが“1”のとき有効です。 “0000b”は設定しないでください。	R/W (注1)
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

DELVL ビット (DE 信号アクティブレベル選択ビット)

DE (Driver Enable) 信号のアクティブレベルを選択します。

DESU[4:0] ビット (DE 信号セットアップ時間設定ビット)

DE 信号セットアップ時間 (DE 信号のアサートからスタートビット送出開始までの時間) を設定します。基本クロック (1/8 または 1/16 ビット時間) のサイクル数で指定します。なお、実際のスタートビットの送出は、ここで設定したセットアップ時間と送信待ち時間が経過した後に開始されます。

DEHLD[4:0] ビット (DE 信号ホールド時間設定ビット)

DE 信号ホールド時間 (最終送信メッセージのストップビット送出完了から DE 信号のネゲートまでの時間) を設定します。基本クロック (1/8 または 1/16 ビット時間) のサイクル数で指定します。ホールド時間中に送信データを書き込んだ場合、そのタイミングによって送信開始動作が異なります (DE 信号をネゲートせずに、送信待ち時間経過後にスタートビットの送出が開始される場合と、DE 信号が一旦ネゲートされて、セットアップ時間 + 送信待ち時間経過後に、スタートビットの送出が開始される場合があります)。

31.2.14 拡張シリアルモード制御レジスタ 0 (XCR0)

アドレス RSCI10.XCR0 000E 2034h, RSCI11.XCR0 000E 20B4h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	BCCS[1:0]	—	AEDIE	COFIE	BFDIE	—	—	BCDIE	BFOIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PIBS[2:0]		PIBE	CF1DS[1:0]	CF0RE	BFE	—	—	—	—	—	—	—	—	TCSS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TCSS[1:0]	タイマカウントクロックソース選択ビット	拡張シリアルモジュール内のタイマカウントのクロックソースを選択します b1 b0 0 0 : PCLKA 0 1 : PCLKA/4 1 0 : PCLKA/16 1 1 : PCLKA/64	R/W (注1、注2)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	BFE	Break Field検出許可ビット	Start FrameのBreak Field有無を設定します 0 : Break Fieldなし 1 : Break Fieldあり	R/W (注1、注4)
b9	CF0RE	Control Field 0受信許可ビット	Start FrameのControl Field 0有無を設定します 0 : Control Field 0なし 1 : Control Field 0あり	R/W (注1、注4)
b11-b10	CF1DS[1:0]	Control Field 1比較データ選択ビット	Control Field 1の比較データを選択します b11 b10 0 0 : XCR1.PCF1D[7:0]ビットを比較データに選択 0 1 : XCR1.SCF1D[7:0]ビットを比較データに選択 1 0 : XCR1.PCF1D[7:0]ビットおよびXCR1.SCF1D[7:0]ビットを比較データに選択 1 1 : 設定禁止	R/W (注1、注4)
b12	PIBE	プライオリティインタラプトビット許可ビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W (注1、注4)
b15-b13	PIBS[2:0]	プライオリティインタラプトビット選択ビット	Control Field 1の0~7ビット目のいずれかをプライオリティインタラプトビットに指定します b15 b13 0 0 0 : Control Field 1、0ビット目 0 0 1 : Control Field 1、1ビット目 0 1 0 : Control Field 1、2ビット目 0 1 1 : Control Field 1、3ビット目 1 0 0 : Control Field 1、4ビット目 1 0 1 : Control Field 1、5ビット目 1 1 0 : Control Field 1、6ビット目 1 1 1 : Control Field 1、7ビット目	R/W (注1、注4)
b16	BFOIE	Break Field Low width送出完了割り込み許可ビット	Break Field送出完了をTXI割り込み要因に入れるかどうかを選択します 0 : Break Field送出完了を割り込み要因に入れない 1 : Break Field送出完了をTXI割り込み要因に入れる	R/W (注1)
b17	BCDIE	バス衝突検出割り込み許可ビット	バス衝突検出時、ERI割り込みを出力するかどうかを選択します 0 : バス衝突検出をERIに割り込み要因に入れない 1 : バス衝突検出をERI割り込み要因に入れる	R/W (注1)
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b20	BFDIE	Break Field Low width検出割り込み許可ビット	Break Field検出時、BFD割り込みを出力するかどうかを選択します 0 : Break Field検出割り込み禁止 1 : Break Field検出割り込み許可	R/W (注1)
b21	COFIE	カウントオーバーフロー割り込み許可ビット	カウントオーバーフローをERI割り込み要因に入れるかどうかを選択します 0 : カウントオーバーフローをERI割り込み要因に入れない 1 : カウントオーバーフローをERI割り込み要因に入れる	R/W (注1)
b22	AEDIE	有効エッジ検出割り込み許可ビット	有効エッジ検出時、AED割り込みを出力するかどうかを選択します 0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W (注1)
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b25-b24	BCCS[1:0]	バス衝突検出クロック選択ビット	バス衝突検出回路のサンプリングクロックを選択します。 SCR2.ABCSビット=1設定時は、本ビットBCCS[1:0]ビット=1x設定は禁止です b25 b24 0 0 : 基本クロック (注3) 0 1 : 基本クロックの2分周 1 0 : 基本クロックの4分周 1 1 : 設定禁止	R/W (注1)
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. TCSS[1:0]ビットの書き替えはタイマ停止時(XCR1.TCSTビット=0、XCR1.SDSTビット=0、かつXCR1.BRMEビット=0)に行ってください。

注3. RSCI基本クロック : SCR2.ABCSビット=0の場合、1ビット期間の1/16の周期、SCR2.ABCSビット=1の場合、1ビット期間の1/8の周期。

注4. 本ビットは、Start Frame受信動作に必要な設定ビットです。Start Frame受信動作、送信動作していない時(XCR1.SDSTビット=0かつXCR1.TCSTビット=0)に書き換えてください。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

拡張シリアルモジュール内のタイマカウントのクロックソースを選択します。

BFE ビット (Break Field 検出許可ビット)

Start Frame の Break Field 有無を選択します。

CF0RE ビット (Control Field 0 受信許可ビット)

Start Frame の Control Field 0 有無を選択します。

CF1DS[1:0] ビット (Control Field 1 比較データ選択ビット)

Control Field 1 の比較データを選択します。

PIBE ビット (プライオリティインタラプトビット許可ビット)

Control Field 1 のプライオリティインタラプトビット比較を有効にするかどうかを選択します。本ビットが“1”のとき、XCR1.CF1CE[7:0] ビット設定値によらず、PIBS[2:0] ビットで指定したビットの値を Control Field 1 のプライマリ比較データ (XCR1.PCF1D[7:0] ビット) の該当ビット値と比較します。

PIBS[2:0] ビット (プライオリティインタラプトビット選択ビット)

Control Field 1 のビット N (N=0~7) をプライオリティインタラプトビットに指定します。

BFOIE ビット (Break Field Low width 送出完了割り込み許可ビット)

Break Field 送出完了を TXI 割り込み要因に入れるかどうかを選択します。Break Field 送出完了で TXI を出力するためには、SCR0.TIE ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

BCDIE ビット (バス衝突検出割り込み許可ビット)

バス衝突検出時、ERI 割り込みを出力するかどうかを選択します。拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) 時、かつ BCDIE = 1 時は、SCR0.RIE ビット = 0 であってもバス衝突検出時に、ERI 割り込みが出ます。

COFIE ビット (カウントオーバーフロー割り込み許可ビット)

カウントオーバーフローを ERI 割り込み要因に入れるかどうかを選択します。カウントオーバーフローで ERI 割り込みを出力するためには、SCR0.RIE ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

AEDIE ビット (有効エッジ検出割り込み許可ビット)

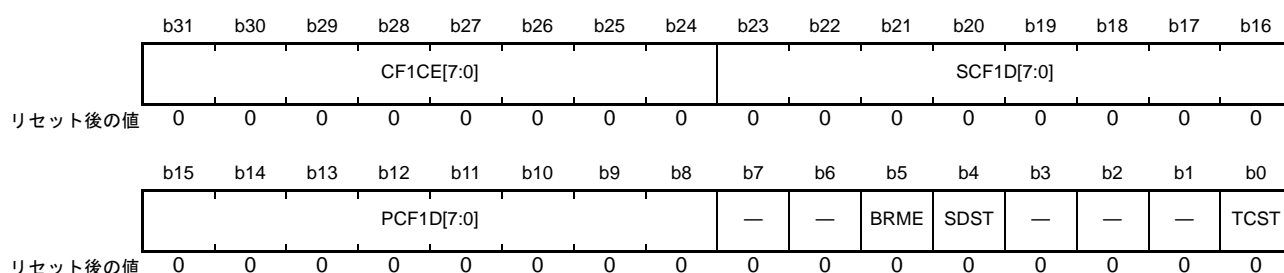
有効エッジ検出時、AED 割り込みを出力するかどうかを選択します。有効エッジ検出で AED 割り込みを出力するためには、XCR1.BRME ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

BCCS[1:0] ビット (バス衝突検出クロック選択ビット)

バス衝突検出回路のサンプリングクロックを選択します。

31.2.15 拡張シリアルモード制御レジスタ 1 (XCR1)

アドレス RSCI10.XCR1 000E 2038h, RSCI11.XCR1 000E 20B8h



ビット	シンボル	ビット名	機能	R/W
b0	TCST	Break Field Low width 出力タイマカウンタ開始ビット	0 : Break Field 送出タイマカウンタ停止 1 : Break Field 送出タイマカウンタ開始 本ビットとSDSTビットを同時に“1”にしないでください	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SDST	Start Frame 検出開始ビット	0 : Start Frame/Break Field の検出無効 1 : Start Frame/Break Field の検出有効 本ビットとTCSTビットを同時に“1”にしないでください	R/W (注1)
b5	BRME	ビットレート測定許可ビット	0 : ビットレート測定無効 1 : ビットレート測定有効 本ビットを“1”にする時はSDSTビットと同時に“1”にしてください。本ビットを“0”にする時は任意のタイミングで“0”にできます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15-b8	PCF1D[7:0]	プライマリ Control Field 1 比較データビット	Control Field 1 のプライマリ比較データ	R/W (注1)
b23-b16	SCF1D[7:0]	セカンダリ Control Field 1 比較データビット	Control Field 1 のセカンダリ比較データ	R/W (注1)
b31-b24	CF1CE[7:0]	Control Field 1 比較許可ビット	Control Field 1 の bit N をコンペアするかどうかを選択します (N = 0~7) 0 : Control Field 1 bit N コンペア無効 1 : Control Field 1 bit N コンペア有効	R/W (注1)

注1. SCR0.TE ビット=0、SCR0.RE ビット=0 のとき、書き込み可能です。

TCST ビット (Break Field Low width 出力タイマカウンタ開始ビット)

[0 になる条件]

- TCST ビットに“0”を書き込んだとき。Break Field 送出タイマカウンタを停止し、TXDn 端子の出力はアイドルレベルになります。
- XCR2.BFLW[15:0] ビットに設定した期間の Break Field 送出が完了したとき。

[1 になる条件]

- TCST ビットに“1”を書き込んだとき。TXDn 端子から Break Field 送出を開始します。Break Field 送出中“1”を保持します。

SDST ビット (Start Frame 検出開始ビット)

このビットに“1”を書くと Start Frame の検出を開始します。XCR0.BFE ビット = 1 設定時は、Start Frame 検出中および、Start Frame 検出後も本ビットが“1”の間、Break Field を検出できます。XCR0.BFE ビット = 0 設定時は、Break Field を検出しません。

このビットに“0”を書くと Start Frame 検出および、Break Field 検出を停止します。ただし、停止時に XSR0.RXDSF フラグ = 0 であった場合、本ビットでデータ受信を停止することはできません。SCR0.RE ビットを“0”にし、受信動作を停止するか、受信完了後に受信完了処理 (SSR.RDRF フラグのクリア、もしくは RDR レジスタの読み出し) をしてください。

BRME ビット (ビットレート測定許可ビット)

本ビットを“1”にする場合は SDST ビットと同時に“1”にしてください。本ビットを“1”にすると、Control Field 0、Control Field 1 データの有効エッジ間隔を測定します。

PCF1D[7:0] ビット (プライマリ Control Field 1 比較データビット)

Control Field 1 のプライマリ比較データを設定します。

SCF1D[7:0] ビット (セカンダリ Control Field 1 比較データビット)

Control Field 1 のセカンダリ比較データを設定します。

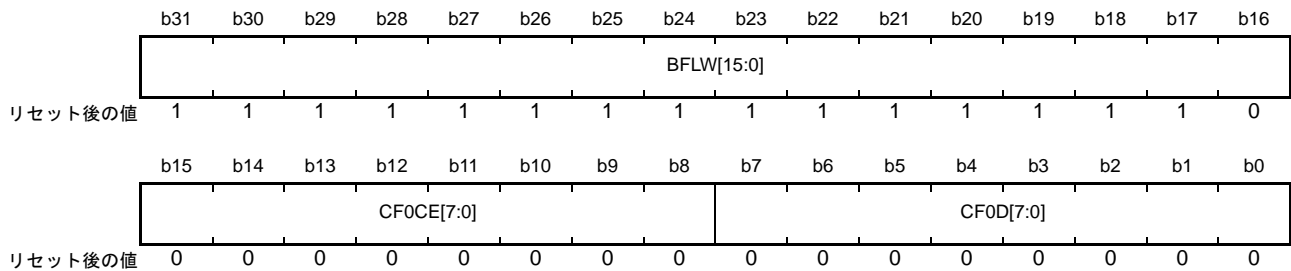
CF1CE[7:0] ビット (Control Field 1 比較許可ビット)

Control Field 1 のビット N (N = 0 ~ 7) を比較するかどうかを設定します。

本ビットを全て“0”設定した場合 (CF1CE[7:0] ビット = 00h)、受信完了時に Control Field 1 一致と判定し、XSR0.CF1MF フラグをセットします。本ビットは PCF1D[7:0] ビットもしくは SCF1D[7:0] ビットとの比較イネーブルであり、プライオリティインタラプトビットの比較イネーブルではありません。

31.2.16 拡張シリアルモード制御レジスタ 2 (XCR2)

アドレス RSCI10.XCR2 000E 203Ch, RSCI11.XCR2 000E 20BCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CF0D[7:0]	Control Field 0比較データビット	Control Field 0の比較データ	R/W (注1)
b15-b8	CF0CE[7:0]	Control Field 0比較許可ビット	Control Field 0のbit Nをコンペアするかどうかを選択します (N = 0 ~ 7) 0 : Control Field 0 bit Nコンペア無効 1 : Control Field 0 bit Nコンペア有効	R/W (注1)
b31-b16	BFLW[15:0]	Break Field Low width設定ビット	Break Field長を設定するビットです。 Break Field長は、(BFLW[15:0]設定値+1) × タイマカウンタクロックとなります。 本レジスタの設定許可上限値は、“FFFEh”です(“FFFFh”は設定禁止)	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

CF0D[7:0] ビット (Control Field 0 比較データビット)

Control Field 0 の比較データを設定します。

CF0CE[7:0] ビット (Control Field 0 比較許可ビット)

Control Field 0 のビット N (N = 0 ~ 7) を比較するかどうかを設定します。本ビットを全て“0”設定した場合 (CF0CE[7:0] ビット = 00h)、受信完了時に Control Field 0 一致と判定し、XSR0.CF0MF フラグをセットします。

BFLW[15:0] ビット (Break Field Low width 設定ビット)

BFLW[15:0] ビットは、16 ビットの Break Field 長設定ビットで、初期値は“FFFEh”です。

Break Field 長は 1 フレーム長以上を設定してください。LIN 規格では Break Field 長は 13bit 長以上と規定されています。

Break Field 送出時、TCST ビットに“1”を書き込むと、TXDn 端子から Break Field 送出を開始すると同時に、XCR0.TCSS[1:0] ビットで選択されたタイマカウンタクロックでアップカウントを行います。カウント値が本レジスタ設定値と一致すると、アップカウントを停止し、TXDn 端子からの Break Field 送出も停止します。

Break Field 検出時、SDST ビットに“1”を書き込むことにより、Start Frame 検出が可能になります。RXDn 信号の立ち上がりエッジを起点に、XCR0.TCSS[1:0] ビットで選択されたタイマカウンタクロックでアップカウントを行います。カウント値が本レジスタ設定値と一致すると、Break Field 検出と判定します。アップカウントは、次の有効エッジもしくは、カウンタがオーバーフローするまで続きます。

31.2.17 ステータスレジスタ (SSR)

アドレス RSCI10.SSR 000E 2048h, RSCI11.SSR 000E 20C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDRF	TEND	TDRE	AFER	APER	MFF	—	ORER	—	—	—	—	—	DFER	DPER	DCMF
リセット後の値	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXDMON	—	—	—	—	—	—	—	—	—	ERS	—	—	—	—	
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	ERS	エラーシグナルステータスフラグ	本ビットは、スマートカードインタフェースモード時のみ有効です 0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R
b14-b5	—	予約ビット	読むと“0”が読めます	R
b15	RXDMON	RXDラインモニタフラグ	RxDn端子の状態を示します RINVビット=0のとき 0：RxDn端子状態はLowレベル 1：RxDn端子状態はHighレベル RINVビット=1のとき 0：RxDn端子状態はHighレベル 1：RxDn端子状態はLowレベル	R
b16	DCMF	データ一致フラグ	(調歩同期モードのみ有効) 0：データ的一致検出なし 1：データ的一致検出あり	R
b17	DPER	一致データパリティエラーフラグ	(調歩同期モードのみ有効) 0：パリティエラーの発生なし 1：パリティエラーの発生あり	R
b18	DFER	一致データフレーミングエラーフラグ	(調歩同期モードのみ有効) 0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R
b23-b19	—	予約ビット	読むと“0”が読めます	R
b24	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R
b25	—	予約ビット	読むと“0”が読めます	R
b26	MFF	モードフォルトフラグ	本ビットは、簡易SPIモード時のみ有効です 0：モードフォルトエラーなし 1：モードフォルトエラーあり	R
b27	APER	総合パリティエラーフラグ	[非FIFOモード(SCR3.FMビット=0)時] 0：パリティエラーなし 1：パリティエラーあり [FIFOモード(SCR3.FMビット=1)時] 0：FIFO内の全受信データにパリティエラーの発生なし 1：FIFO内の1つ以上の受信データにパリティエラーの発生あり	R
b28	AFER	総合フレーミングエラーフラグ	[非FIFOモード(SCR3.FMビット=0)時] 0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり [FIFOモード(SCR3.FMビット=1)時] 0：FIFO内の全受信データにフレーミングエラーの発生なし 1：FIFO内の1つ以上の受信データにフレーミングエラーの発生あり	R

ビット	シンボル	ビット名	機能	R/W
b29	TDRE	送信データエンプティフラグ	[非FIFOモード(SCR3.FMビット=0)時] 0: TDRレジスタに書き込みデータあり 1: TDRレジスタに書き込みデータなし [FIFOモード(SCR3.FMビット=1)時] 0: 送信FIFOに書き込んだ送信データの数が、送信FIFOしきい値より多い 1: 送信FIFOに書き込んだ送信データの数が、送信FIFOしきい値以下	R
b30	TEND	送信完了フラグ	0: キャラクタを送信待機中または送信中 1: キャラクタを送信完了またはBreak Field送出中	R
b31	RDRF	受信データフルフラグ	[非FIFOモード(SCR3.FMビット=0)時] 0: RDRレジスタに受信データなし 1: RDRレジスタに受信データあり [FIFOモード(SCR3.FMビット=1)時] 0: 受信FIFO (RDRレジスタ)に格納された受信データ数が、受信FIFOしきい値より少ない 1: 受信FIFO (RDRレジスタ)に格納された受信データ数が、受信FIFOしきい値以上	R

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- SSCR.ERSC ビットに "1" を書き込んだとき

DCMF フラグ (データ一致フラグ)

受信したデータと SCR4.CMPD[8:0] ビットの一致を検出したことを示します。

SCR0.RE ビットをクリアしても、DCMF フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- SCR0.DCME ビットが "1" (データ一致検出機能有効) の状態で、受信完了したデータと SCR4.CMPD[8:0] ビットの値が一致したとき

["0"になる条件]

- SSCR.DCMFC ビットに "1" を書き込んだとき

DPER フラグ (一致データパリティエラーフラグ)

データ一致検出時にパリティエラーが発生したことを表示します。

SCR0.RE ビットをクリアしても、DPER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- データ一致を検出したフレームでパリティエラーを検出したとき

["0"になる条件]

- SSCR.DPERC ビットに "1" を書き込んだとき

DPER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

DFER フラグ (一致データフレーミングエラーフラグ)

データ一致検出時にフレーミングエラーが発生したことを表示します。

SCR0.RE ビットをクリアしても、DFER フラグは影響を受けず以前の状態を保持します。

["1" になる条件]

- データ一致を検出したフレームのストップビットが“0”のとき
2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。

["0" になる条件]

- SSCR.DFERC ビットに“1”を書き込んだとき
DFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、ORER フラグは影響を受けず以前の状態を保持します。簡易 I²C モードでは本ビットは使用しません。

["1" になる条件：非 FIFO モード (SCR3.FM ビット = 0) 時]

- 有効な受信エラーがない受信データが RDR レジスタに格納された状態で、RDR レジスタをリードしない
で次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに“1”がセットされた状態では、以降の受信データは RDR レジスタに転送されません。なお、クロック同期式モード、簡易 SPI モードでは、シリアル受信動作が停止します。

["1" になる条件：FIFO モード (SCR3.FM ビット = 1) 時]

- 受信 FIFO (RDR レジスタ) に 32 個のデータが格納されているときに、次のシリアルデータの受信を完了したとき

["0" になる条件]

- SSCR.ORERC ビットに“1”を書き込んだとき
ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は本ビットの読み出しによりモードフォルトエラー判定を行ってください。

["1" になる条件]

- 簡易 SPI モードのマスタモード設定時 (SCR3.CKE[1:0] ビット = 00b または 01b) に、SSn# 端子入力が Low レベルになったとき

["0" になる条件]

- SSCR.MFFC ビットに“1”を書き込んだとき

APER フラグ (総合パリティエラーフラグ)

受信時にパリティエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、APER フラグは影響を受けず以前の状態を保持します。

クロック同期式モード、簡易 SPI モードおよび簡易 I²C モードでは本ビットは使用しません。

["1"になる条件]

- 受信時にパリティエラーを検出したとき (非 FIFO モード時)
- 受信 FIFO (RDR レジスタ)内の一つ以上の受信データにパリティエラーを検出したとき (FIFO モード時)
非 FIFO モード時にパリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、APER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- SSCR.APERC ビットに“1”を書き込んだとき
APER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

AFER フラグ (総合フレーミングエラーフラグ)

受信時にフレーミングエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、AFER フラグは影響を受けず以前の状態を保持します。

クロック同期式モード、簡易 SPI モードおよび簡易 I²C モードでは本ビットは使用しません。

["1"になる条件]

- 受信時にストップビットに“0”をサンプリングしたとき (非 FIFO モード時)
- 受信 FIFO (RDR レジスタ)内の一つ以上の受信データにフレーミングエラーを検出したとき (FIFO モード時)
- ストップビット1ビットに対して1/4と3/4のサンプリングポイントの2回のサンプリング結果が両方とも“1”でない場合 (マンチェスタモード時)

2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。

なお、非 FIFO モード時にフレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、AFER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

拡張シリアルモードで XCR1.SDST ビット = 1 時、“1”になる条件が発生しても、Break Field である可能性があるため、最長で Break Field 判定タイミングまで AFER セットタイミングが遅れます。Break Field 判定タイミング前に RXD 信号にエッジを検出した場合は、AFER 検出となります。Break Field 判定タイミングまでに RXD 信号にエッジを検出なかった場合は、Break Field 検出となります。

["0"になる条件]

- SSCR.AFERC ビットに“1”を書き込んだとき
AFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

TDRE フラグ (送信データエンptyフラグ)

(1) 非 FIFO モード (SCR3.FM ビット = 0) 時

TDR レジスタ内の送信データの有無を示します。

SCR0.TE ビット = 0 の条件は、“0”になる条件より優先されます。

これ以外の“1”になる条件と“0”になる条件が同時に成立した場合、TDRE フラグは“0”になります。

["1"になる条件]

- SCR0.TE ビットが“0”のとき
- TDR レジスタから TSR レジスタにデータが転送されたとき

["0"になる条件]

- SSCR.TDREC ビットに“1”を書き込んだとき
- SCR0.TE ビットが“1”の状態、TDR レジスタにデータを書き込んだとき

(2) FIFO モード (SCR3.FM ビット = 1) 時

送信 FIFO から TSR レジスタにデータが転送され、送信 FIFO のデータ数が送信 FIFO しきい値以下になったことを示します。

“1”になる条件と“0”になる条件が同時に成立した場合、TDRE フラグは“0”になります。その後、送信 FIFO に格納されたデータ数を再判定し、しきい値以上であれば 1PCLKA 後に再度“1”になります。

["1"になる条件]

- 送信 FIFO に書き込んだ送信データの数が送信 FIFO しきい値以下のとき (注 1)

["0"になる条件]

- SSCR.TDREC ビットに“1”を書き込んだとき
- DTC/DMA 転送 (ブロック転送時は、ブロックの最終転送) により、TDR レジスタに送信データを書き込んだとき

注 1. 送信 FIFO (TDR レジスタ) は 32 段の FIFO レジスタであるため、TDRE フラグが“1”のときに書き込むことができるデータの最大数は、「32 - TFSR.T[5:0]」になります。それ以上のデータを書き込もうとしてもデータは無視されます。

TEND フラグ (送信完了フラグ)

(1) 非 FIFO モード (SCR3.FM ビット = 0)、かつ非スマートカードインタフェースモード (SCR3.MOD[2:0] ビット ≠ 001b) 時

送信が終了したことを表示します

["1"になる条件]

- SCR0.TE ビットが“0”のとき
- SCR0.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき
- DE 制御機能有効時 (SCR3.DEEN ビット = 1) は、DE 信号ホールド時間終了時、TDR レジスタが更新されていないとき
- Break Field 送出中

["0"になる条件]

- SCR0.TE ビットが“1”の状態、TDR レジスタへ送信データを書き込んだとき
- SCR0.TE ビットが“1”の状態、SSCR.TDREC ビットに“1”を書き込んだとき

TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

(2) 非 FIFO モード (SCR3.FM ビット = 0)、かつスマートカードインタフェースモード (SCR3.MOD[2:0] ビット = 001b) 時

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったときセットされます。

["1" になる条件]

- SCR0.TE ビット = 0 のとき
- SCR0.TE ビットを "0" から "1" にするときは、TEND フラグは影響を受けず "1" の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないときセットされるタイミングは、レジスタの設定により以下のように異なります。
GM = 0、BLK = 0 のとき、送信開始から 12.5 etu 後
GM = 0、BLK = 1 のとき、送信開始から 11.5 etu 後
GM = 1、BLK = 0 のとき、送信開始から 11.0 etu 後
GM = 1、BLK = 1 のとき、送信開始から 11.0 etu 後

["0" になる条件]

- SCR0.TE ビットが "1" の状態で TDR レジスタへの送信データ書き込み後
- SCR0.TE ビットが "1" の状態で、SSCR.TDREC ビットに "1" を書き込んだとき

(3) FIFO モード (SCR3.FM ビット = 1) 時

送信待機中または送信フレームの最後尾ビットの送信時に送信 FIFO (TDR レジスタ) に有効なデータがなく、送信を終了したことを示します。

["1" になる条件]

- 1 フレームの送信時、最後尾ビットを送信したときに送信 FIFO (TDR レジスタ) に送信データがないとき
- DE 制御機能有効時 (SCR3.DEEN ビット = 1) は、DE 信号ホールド時間終了時、TDR レジスタが更新されていないとき

["0" になる条件]

- SCR0.TE ビットが "1" の状態で、TDR.TDAT[7:0] ビットへの送信データ書き込み後

RDRF フラグ (受信データフルフラグ)

(1) 非 FIFO モード (SCR3.FM ビット = 0) 時

RDR レジスタ内の受信データの有無を示します。

["1" になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタに受信データが転送されたとき

["0" になる条件]

- SSCR.RDRFC ビットに "1" を書き込んだとき
- RDR レジスタからデータを読み出したとき

(2) FIFO モード (SCR3.FM ビット = 1) 時

受信データが受信 FIFO (RDR レジスタ) に転送されたときに、受信 FIFO (RDR レジスタ) に格納されたデータの数が、受信 FIFO しきい値以上になったことを示します。受信 FIFO しきい値を "0" にした場合は、1 つ以上のデータを受信しなければフラグはセットされません。

["1" になる条件]

- 受信 FIFO しきい値以上の受信データが受信 FIFO (RDR レジスタ) に格納されたとき (注 2)

["0" になる条件]

- SSCR.RDRFC ビットに "1" を書き込んだとき
- DTC/DMA 転送 (ブロック転送時は、ブロックの最終転送) により、受信 FIFO (RDR レジスタ) から受信データを読み出したとき

"1" になる条件と "0" になる条件が同時に成立した場合、RDRF フラグは "0" になります。その後、受信 FIFO (RDR レジスタ) に格納されたデータ数を再判定し、しきい値以上であれば 1clk 後に再度 "1" になり

ます。

- 注2. 受信 FIFO は 32 段の FIFO レジスタであるため、RDRF フラグが“1”のときに読み出すことができるデータの最大数は、RFSR.R[5:0] ビットで示されます。受信 FIFO のすべてのデータを読み出した後、さらに読み出しを続けると不定が読めます。
- 注. 非 FIFO モード時、通信を中断する場合以外は、SSCR レジスタによって RDRF フラグと TDRE フラグをクリアしないでください。

31.2.18 I²C ステータスレジスタ (SISR)

アドレス RSCI10.SISR 000E 204Ch, RSCI11.SISR 000E 20CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF	—	—	IICACKR
リセット後の値	0	0	0	0	0	0	0	0	0	0	x	x	0	x	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0: ACK受信 1: NACK受信	R
b1	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと不定値が読めます	R
b3	IICSTIF	コンディション生成完了フラグ	0: 各コンディション生成要求がない状態、または生成中の状態 1: 各コンディション生成が完了した状態	R
b5-b4	—	予約ビット	読むと不定値が読めます	R
b31-b6	—	予約ビット	読むと“0”が読めます	R

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出せます。

本フラグの更新は、ACK/NACK を受信するビットの SSCLn の立ち上がりタイミングで行われます。

IICSTIF フラグ (コンディション生成完了フラグ)

各コンディション生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各コンディションの生成を行うときは、本フラグをクリアしてから生成を実行してください。

SCR0.TEIE ビットで割り込み要求が許可された状態で、本フラグが“1”の場合にスタートコンディション / リスタートコンディション / ストップコンディション生成完了 (STI) 割り込み要求が出力されます。

[“1”になる条件]

- スタート/リスタート/ストップの各コンディションの生成が完了したとき(ただし“0”になる条件と競合した場合は“0”になる条件が優先されます)

[“0”になる条件]

- SSCR.IICSTIFC ビットに“1”を書き込んだとき
- 簡易 I²C モード以外するとき
- TE ビットが“0”のとき

31.2.19 受信 FIFO ステータスレジスタ (RFSR)

アドレス RSCI10.RFSR 000E 2050h, RSCI11.RFSR 000E 20D0h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	FEC[5:0]						—	—	PEC[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	R[5:0]						—	—	—	—	—	—	—	—	DR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0: 受信中、または正常に受信を完了した後受信FIFO (RDRレジスタ)の受信データをすべて読み出した(受信FIFOが空) 1: しきい値未満のデータを受信FIFO (RDRレジスタ)に格納した後、次の受信データが一定期間来ない	R
b1	—	予約ビット	読み出し値は不定です	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b13-b8	R[5:0]	受信FIFOデータカウントビット	(調歩同期式モード(マルチプロセッサモードを含む)、クロック同期式モード、簡易SPIモードで、SCR3.FMビット=1のときのみ有効) 受信FIFO (RDRレジスタ)に格納された受信データの数を示します	R
b15-b14	—	予約ビット	読むと“0”が読めます	R
b21-b16	PEC[5:0]	パリティエラーカウントビット	(調歩同期式モードで有効です) 受信FIFO (RDRレジスタ)に格納されている受信データのうち、パリティエラーが発生したデータの数を示します	R
b23-b22	—	予約ビット	読むと“0”が読めます	R
b29-b24	FEC[5:0]	フレーミングエラーカウントビット	(調歩同期式モードで有効です) 受信FIFO (RDRレジスタ)に格納されている受信データのうち、フレーミングエラーが発生したデータの数を示します	R
b31-b30	—	予約ビット	読むと“0”が読めます	R

DR フラグ (受信データレディフラグ)

受信後に受信FIFOに格納されたデータの数が受信FIFOしきい値より少ない状態で15 etu経過したことを示します。このフラグは調歩同期式モード(マルチプロセッサモードを含む)でFIFOバッファを有効にしたときのみ“1”になり、他の動作モードでは“1”になりません。

["1"]になる条件]

SSR.AFER、APERフラグが“0”でかつ受信FIFOしきい値未満のデータが受信FIFO (RDRレジスタ)に格納されたときに、最後のストップビットの検出から15 etu(注1)の時間が経過した後も次のデータが受信されないとき

["0"]になる条件]

- SCR3.FMビットが“0”のとき
- 受信FIFO (RDRレジスタ)内の受信データをすべて読み出し、RFSCR.DRCビットに“1”を書き込んだとき
FCR.DRESビットを“1”にしてDRフラグを受信エラー割り込み要因に設定した場合、DRフラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

注1. 8ビット、1ストップビットのフォーマットの1.5フレーム分に相当します (etu : Element Time Unit : 要素時間単位)。

R[5:0] ビット (受信 FIFO データカウントビット)

受信 FIFO (RDR レジスタ) に格納された受信データの数を示します。

“00h” は受信データがないことを、“20h” は受信 FIFO (RDR レジスタ) がいっぱいであることを示します。

PEC[5:0] ビット (パリティエラーカウントビット)

受信 FIFO (RDR レジスタ) に格納されている受信データのうち、パリティエラーが発生したデータの数を示します。

FEC[5:0] ビット (フレーミングエラーカウントビット)

受信 FIFO (RDR レジスタ) に格納されている受信データのうち、フレーミングエラーが発生したデータの数を示します。

31.2.20 送信 FIFO ステータスレジスタ (TFSR)

アドレス RSCI10.TFSR 000E 2054h, RSCI11.TFSR 000E 20D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	T[5:0]					—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	T[5:0]	送信 FIFO データカウントビット	(調歩同期式モード(マルチプロセッサモードを含む)またはクロック同期式モード、簡易SPIモードで、SCR3.FMビット=1のときのみ有効) 送信 FIFO (TDR レジスタ) に格納された未送信データの数を示します	R
b31-b6	—	予約ビット	読むと“0”が読めます	R

T[5:0] ビット (送信 FIFO データカウントビット)

送信 FIFO (TDR レジスタ) に格納された未送信データの数を示します。

“00h” は未送信データがないことを示します。“20h” は送信 FIFO (TDR レジスタ) がいっぱいであることを示します。

31.2.21 マンチェスタモードステータスレジスタ (MMSR)

アドレス RSCI10.MMSR 000E 2058h, RSCI11.MMSR 000E 20D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	RSYNC	0	MCER	0	SBER	0	PFER

ビット	シンボル	ビット名	機能	R/W
b0	PFER	プリフェースエラーフラグ	プリフェース検出で、パターン不一致を検出した場合にセットされます 0: プリフェースエラー検出なし 1: プリフェースエラー検出あり	R
b1	SYER	Syncエラーフラグ	受信リタイミング動作時に、補正可能範囲にエッジを検出できなかった場合にセットされます 0: 受信Syncエラー検出なし 1: 受信Syncエラー検出あり	R
b2	SBER	スタートビットエラーフラグ	スタートビット検出時に、パターン不一致を検出した場合にセットされます 0: スタートビットエラー検出なし 1: スタートビットエラー検出あり	R
b3	—	予約ビット	読むと“0”が読めます	R
b4	MCER	マンチェスタコードエラーフラグ	マンチェスタモード時のみ有効 0: マンチェスタコードエラー発生なし 1: マンチェスタコードエラー発生あり	R
b5	—	予約ビット	読むと“0”が読めます	R
b6	RSYNC	受信Syncデータビット	マンチェスタモードで、MMCR.SBLENビット=1の場合有効となり、それ以外の場合読み出し値としては“0”となります 0: スタートビットはデータSyncを受信 1: スタートビットはコマンドSyncを受信	R
b31-b7	—	予約ビット	読むと“0”が読めます	R

PFER フラグ (プリフェースエラーフラグ)

マンチェスタモードでフレーム受信時にプリフェースエラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、PFER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- マンチェスタモードで受信を行い、プリフェースエラーを検出したとき
プリフェースエラーが発生したとき、以下の動作をします。

<MMCR.PFERIE ビット = 1 の場合 >

受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生せず、ERI 割り込み要求が発生しません。なお、PFER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

<MMCR.PFERIE ビット = 0 の場合 >

受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。PFER フラグが“1”にセットされた状態でも、以降の受信動作に影響ありません。

["0"になる条件]

- MMSCR.PFERC ビットに“1”を書き込んだとき
PFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

SYER フラグ (Sync エラーフラグ)

マンチェスタモードで、かつマンチェスタエッジリタイミングイネーブル設定時 (MMCR.SADJE ビット = 1) の場合、フレーム受信時に受信 Sync エラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、SYER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- マンチェスタモードで受信を行い、受信 Sync エラーを検出したとき
受信 Sync エラーが発生したとき、以下の動作をします。
<MMCR.SYERIE ビット = 1 の場合>
受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生せず、ERI 割り込み要求が発生します。なお、SYER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。
<MMCR.SYERIE ビット = 0 の場合>
受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SYER フラグが“1”にセットされた状態でも、以降の受信動作に影響ありません。

["0"になる条件]

- MMSCR.SYERC ビットに“1”を書き込んだとき
SYER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

SBER フラグ (スタートビットエラーフラグ)

マンチェスタモードでフレーム受信時にスタートビットエラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、SBER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- マンチェスタモードで受信を行い、スタートビットエラーを検出したとき
スタートビットエラーが発生したとき、以下の動作をします。
<MMCR.SBERIE ビット = 1 の場合>
受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生せず、ERI 割り込み要求が発生します。なお、SBER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。
<MMCR.SBERIE ビット = 0 の場合>
受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SBER フラグが“1”にセットされた状態でも、以降の受信動作に影響ありません。

["0"になる条件]

- MMSCR.SBERC ビットに“1”を書き込んだとき
SBER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

MCER フラグ (マンチェスタコードエラーフラグ)

マンチェスタモードでデータ受信時にマンチェスタコードのエラーを検出して異常終了したことを表示します。

SCR0.RE ビットをクリアしても、MCER フラグは影響を受けず以前の状態を保持します。

[“1”になる条件]

- マンチェスタモードで受信を行い、受信フレームのデータ領域 (パリティ/マルチプロセッサビットを含む) でマンチェスタコードエラーを検出した場合

エラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なおマンチェスタコードエラーフラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

マンチェスタコードエラーについて、詳細は「31.5.11 マンチェスタモードにおけるエラー」を参照してください。

[“0”になる条件]

- MMSCR.MCERC ビットに“1”を書き込んだとき

MCER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.5.2 レベル検出割り込み」の手順を参照してください。

RSYNC ビット (受信 Sync データビット)

マンチェスタモード選択時 (SCR3.MOD[2:0] ビット = 101b) で MMCR.SBLEN ビット = 1 に設定されている場合、有効となり受信データ中のスタートビットの Sync モード (データ Sync/ コマンド Sync) を示します。それ以外の場合、読み出し値は“0”となります。

31.2.22 拡張シリアルモードステータスレジスタ 0 (XSR0)

アドレス RSCI10.XSR0 000E 205Ch, RSCI11.XSR0 000E 20DCh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CF1RD[7:0]								CF0RD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AEDF	COF	PIBDF	CF1MF	CF0MF	BFDF	BCDF	BFOF	—	—	—	—	—	—	RXDSF	SFSF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFSF	Start Frame ステータスフラグ	0 : Start Frame 検出機能無効状態、または Start Frame 検出完了 1 : Start Frame 検出前、または検出中	R (注1)
b1	RXDSF	RXD 入力ステータスフラグ	0 : RSCI コア部への RXD 入力許可状態 1 : RSCI コア部への RXD 入力禁止状態 (RSCI コア部へ RXD は入力されない)	R (注1)
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	BFOF	Break Field Low width 送出完了フラグ	0 : Break Field 送出中または送出していない 1 : Break Field の送出を完了した	R
b9	BCDF	バス衝突検出フラグ	0 : バス衝突を検出していない 1 : バス衝突を検出した	R
b10	BFDF	Break Field Low width 検出フラグ	0 : Break Field を検出していない 1 : Break Field を検出した	R
b11	CF0MF	Control Field 0 一致フラグ	0 : Control Field 0 受信データが設定データと不一致 1 : Control Field 0 受信データが設定データと一致	R
b12	CF1MF	Control Field 1 一致フラグ	0 : Control Field 1 受信データが設定データと不一致 1 : Control Field 1 受信データが設定データと一致	R
b13	PIBDF	プライオリティインタラプトビット検出フラグ	0 : プライオリティインタラプトビットを検出していない 1 : プライオリティインタラプトビットを検出した	R
b14	COF	カウントオーバーフローフラグ	0 : Break Field 検出用カウンタがオーバーフローしていない 1 : Break Field 検出用カウンタがオーバーフローした	R
b15	AEDF	有効エッジ検出フラグ	0 : 有効エッジを検出していない 1 : 有効エッジを検出した	R
b23-b16	CF0RD[7:0]	Control Field 0 受信データビット	Control Field 0 の受信データ	R
b31-b24	CF1RD[7:0]	Control Field 1 受信データビット	Control Field 1 の受信データ	R

注1. 受信データフル割り込み (RXI) から 1PCLKA サイクル以上待ってから本レジスタを読み出してください。

SFSF フラグ (Start Frame ステータスフラグ)

Start Frame 検出中かどうかを示します。

[“1”になる条件]

- XCR1.SDST ビットに“1”を書いたとき
- Control Field 0、Control Field 1、Information Field フェーズで Break Field を検出し、Control Field 0 または Control Field 1 の受信ステータスに遷移したとき

[“0”になる条件]

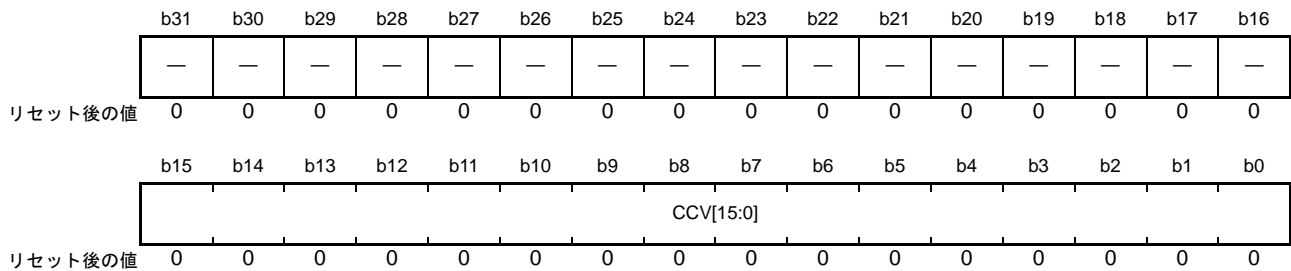
- XCR1.SDST ビットが“0”のとき
- Start Frame 検出完了したとき

RXDSF フラグ (RXD 入力ステータスフラグ)

RSCI コア部への RXD 入力ステータスを示します。本ビットが“1”のとき、RXD 入力は拡張シリアルモジュールでのみ受信して Break Field を検出しており、RSCI コア部へは入力されません。

31.2.23 拡張シリアルモードステータスレジスタ 1 (XSR1)

アドレス RSCI10.XSR1 000E 2060h, RSCI11.XSR1 000E 20E0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CCV[15:0]	取得カウント値ビット	16ビットのカウンタキャプチャ値を格納します	R
b31-b16	—	予約ビット	読むと“0”が読めます	R

CCV[15:0] ビット (取得カウント値ビット)

拡張シリアルモジュール内の 16 ビットカウンタのキャプチャ値を格納します。

Start Frame 送信時

本レジスタは、前値を保持します。

Start Frame 受信 (ビットレート測定無効時)

Break Field 検出状態 (図 31.73) で Break Field を検出した場合は、Break Field 長をキャプチャし、保持します (RXD 立ち上がりエッジでカウント値をキャプチャ)。

Break Field 検出状態以外で Break Field を検出した場合は、前値を保持します。

カウンタがオーバフローした場合は、キャプチャしません。

Start Frame 受信 (ビットレート測定有効時)

有効エッジ (RXD 両エッジ) でカウント値をキャプチャし保持します。ただし、Break Field 検出状態では有効エッジが発生してもカウント値をキャプチャしません。なお、カウンタキャプチャ値の保持は、本レジスタを読み出すことにより解除されます。読む前に有効エッジが発生しても、カウント値はキャプチャされません。

31.2.24 ステータスクリアレジスタ (SSCR)

アドレス RSCI10.SSCR 000E 2068h, RSCI11.SSCR 000E 20E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDRFC	—	TDREC	AFERC	APERC	MFFC	—	ORERC	—	—	—	—	—	DFERC	DPERC	DCMFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ERSC	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	ERSC	ERSクリアビット	本ビットを“1”にすると、SSR.ERSフラグをクリアします。読み出し値は常に0です	W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	DCMFC	DCMFクリアビット	本ビットを“1”にすると、SSR.DCMFフラグをクリアします。読み出し値は常に0です	W
b17	DPERC	DPERクリアビット	本ビットを“1”にすると、SSR.DPERフラグをクリアします。読み出し値は常に0です	W
b18	DFERC	DFERクリアビット	本ビットを“1”にすると、SSR.DFERフラグをクリアします。読み出し値は常に0です	W
b23-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	ORERC	ORERクリアビット	本ビットを“1”にすると、SSR.ORERフラグをクリアします。読み出し値は常に0です	W
b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26	MFFC	MFFクリアビット	本ビットを“1”にすると、SSR.MFFフラグをクリアします。読み出し値は常に0です	W
b27	APERC	APERクリアビット	本ビットを“1”にすると、SSR.APERフラグをクリアします。読み出し値は常に0です	W
b28	AFERC	AFERクリアビット	本ビットを“1”にすると、SSR.AFERフラグをクリアします。読み出し値は常に0です	W
b29	TDREC	TDREクリアビット	本ビットを“1”にすると、SSR.TDREフラグをクリアします。読み出し値は常に0です	W
b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31	RDRFC	RDRFクリアビット	本ビットを“1”にすると、SSR.RDRFフラグをクリアします。読み出し値は常に0です	W

31.2.25 I²C ステータスクリアレジスタ (SISCR)

アドレス RSCI10.SISCR 000E 206Ch, RSCI11.SISCR 000E 20ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF C	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	—	予約ビット	読むと“0”が読めます	R
b3	IICSTIFC	IICSTIFクリアビット	本ビットを“1”にすると、SISR.IICSTIFフラグをクリアします。読み出し値は常に“0”です	W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

31.2.26 受信 FIFO ステータスクリアレジスタ (RFSCR)

アドレス RSCI10.RFSCR 000E 2070h, RSCI11.RFSCR 000E 20F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRC	DRクリアビット	本ビットを“1”にすると、RFSR.DRフラグをクリアします。読み出し値は常に“0”です	W
b1	—	予約ビット	読むと“0”が読めます	R
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

31.2.27 マンチェスタモードステータスクリアレジスタ (MMSCR)

アドレス RSCI10.MMSCR 000E 2074h, RSCI11.MMSCR 000E 20F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MCERC	—	SBERC	SYERC	PFERC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PFERC	PFERクリアビット	本ビットを“1”にすると、MMSR.PFERフラグをクリアします。 読み出し値は常に“0”です	W
b1	SYERC	SYERクリアビット	本ビットを“1”にすると、MMSR.SYERフラグをクリアします。 読み出し値は常に“0”です	W
b2	SBERC	SBERクリアビット	本ビットを“1”にすると、MMSR.SBERフラグをクリアします。 読み出し値は常に“0”です	W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	MCERC	MCERクリアビット	本ビットを“1”にすると、MMSR.MCERフラグをクリアします。 読み出し値は常に“0”です	W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

31.2.28 拡張シリアルモードステータスクリアレジスタ (XSCR)

アドレス RSCI10.XSCR 000E 2078h, RSCI11.XSCR 000E 20F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AEDCL	COFC	PIBDC L	CF1MC L	CF0MC L	BFDCL	BCDCL	BFOC	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	BFOC	BFOFクリアビット	本ビットを“1”にすると、XSR0.BFOFフラグをクリアします。読み出し値は常に“0”です	W
b9	BCDCL	BCDFクリアビット	本ビットを“1”にすると、XSR0.BCDFフラグをクリアします。読み出し値は常に“0”です	W
b10	BFDCL	BFDLクリアビット	本ビットを“1”にすると、XSR0.BFDLフラグをクリアします。読み出し値は常に“0”です	W
b11	CF0MCL	CF0MFクリアビット	本ビットを“1”にすると、XSR0.CF0MFフラグをクリアします。読み出し値は常に“0”です	W
b12	CF1MCL	CF1MFクリアビット	本ビットを“1”にすると、XSR0.CF1MFフラグをクリアします。読み出し値は常に“0”です	W
b13	PIBDC	PIBDFクリアビット	本ビットを“1”にすると、XSR0.PIBDFフラグをクリアします。読み出し値は常に“0”です	W
b14	COFC	COFクリアビット	本ビットを“1”にすると、XSR0.COFフラグをクリアします。読み出し値は常に“0”です	W
b15	AEDCL	AEDFクリアビット	本ビットを“1”にすると、XSR0.AEDFフラグをクリアし、XSR1レジスタ保持を解除します。読み出し値は常に“0”です	W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

31.2.29 HBS サポートモード制御レジスタ (HBSCR)

アドレス RSCI10.HBSCR 000E 201Eh, RSCI11.HBSCR 000E 209Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LPS	AOE	—	HBSE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HBSE	HBSサポートモード許可ビット	0: データ“0”のパルス幅を100%にする(NRZ符号) 1: データ“0”のパルス幅を50%にする(RZI符号化してさらに論理反転)	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	AOE	交互出力許可ビット	0: TXDn 端子から出力 1: TXDAn 端子と TXDBn 端子からデータ“0”を交互に出力	R/W (注1)
b3	LPS	先行出力端子選択ビット	0: HBSE = 1かつAOEビット= 1時、TXDAn 端子から通信開始 1: HBSE = 1かつAOEビット= 1時、TXDBn 端子から通信開始	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TE ビット=0、SCR0.RE ビット=0のとき、書き込み可能です。

HBSE ビット (HBS サポートモード許可ビット)

本ビットが“1”のとき送信データを負論理 RZI 符号にエンコードして送信し、受信信号を NRZ 符号にデコードして受信します。また TXDAn/TXDBn 端子から送信データを出力することもできます。調歩同期式モード時でのみ使用してください。

AOE ビット (交互出力許可ビット)

HBS サポートモード時に、TXDn 端子から出力するか、データ“0”を TXDAn 端子と TXDBn 端子に交互に出力するかを選択するビットです。

LPS ビット (先行出力端子選択ビット)

HBS サポートモード時で、AOE ビット=1のときに使用するビットです。

“0”にした場合、TXDAn 端子からスタートビットを送信し、TXDBn 端子 /TXDAn 端子交互にデータ“0”を出力します。

“1”にした場合、TXDBn 端子からスタートビットを送信し、TXDAn 端子 /TXDBn 端子交互にデータ“0”を出力します。

詳細は、「31.6 HBS サポートモード」の動作説明を参照ください。

31.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 31.3 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

RSCI は通信回線を監視し、SCR3.RXDESEL ビットが“0” のときはスペース (Low) を、SCR3.RXDESEL ビットが“1” のときはスペース (Low) への立ち下がりエッジを検出するとスタートビットとみなしてシリアル通信を開始します。

RSCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造 (FIFO バッファ構成も選択可能) になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

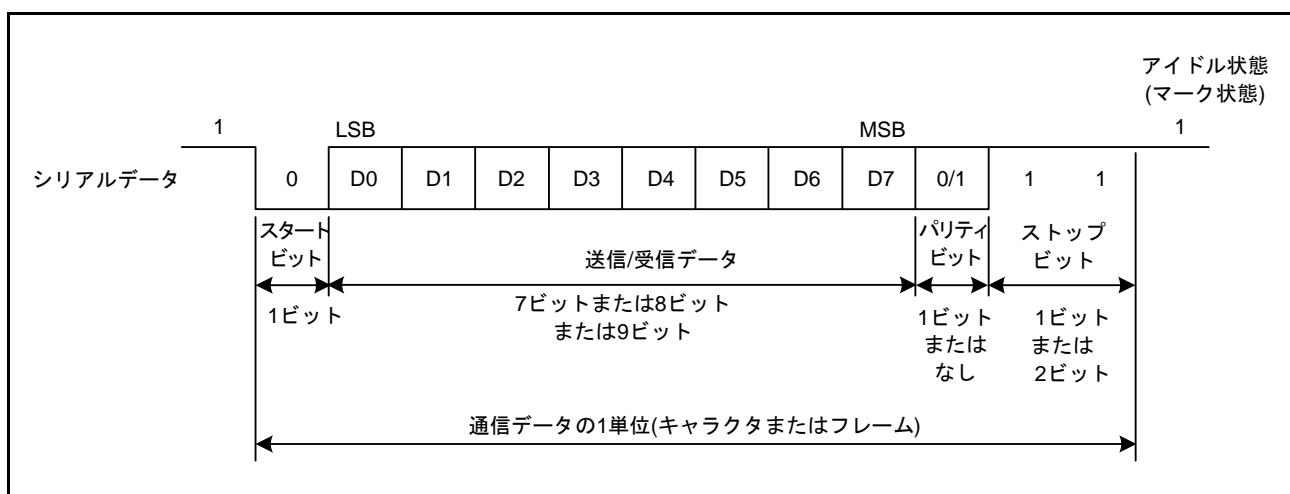


図 31.3 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

31.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 31.27 に示します。

フォーマットは 18 種類あり、SCR1 レジスタおよび SCR3 レジスタの設定により選択できます。マルチプロセッサ機能の詳細については「31.4 マルチプロセッサ通信機能」を参照してください。

表31.27 シリアル送信/受信フォーマット(調歩同期式モード)

SCR3の設定		SCR1 の設定	SCR3の設定		シリアル送信/受信フォーマットとフレーム長																			
CHR[1]	CHR[0]	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13							
0	0	0	0	0	S	9ビットデータ									STOP									
0	0	0	0	1	S	9ビットデータ									STOP	STOP								
0	0	1	0	0	S	9ビットデータ									P	STOP								
0	0	1	0	1	S	9ビットデータ									P	STOP	STOP							
1	0	0	0	0	S	8ビットデータ								STOP										
1	0	0	0	1	S	8ビットデータ								STOP	STOP									
1	0	1	0	0	S	8ビットデータ								P	STOP									
1	0	1	0	1	S	8ビットデータ								P	STOP	STOP								
1	1	0	0	0	S	7ビットデータ							STOP											
1	1	0	0	1	S	7ビットデータ							STOP	STOP										
1	1	1	0	0	S	7ビットデータ							P	STOP										
1	1	1	0	1	S	7ビットデータ							P	STOP	STOP									
0	0	—	1	0	S	9ビットデータ									MPB	STOP								
0	0	—	1	1	S	9ビットデータ									MPB	STOP	STOP							
1	0	—	1	0	S	8ビットデータ								MPB	STOP									
1	0	—	1	1	S	8ビットデータ								MPB	STOP	STOP								
1	1	—	1	0	S	7ビットデータ							MPB	STOP										
1	1	—	1	1	S	7ビットデータ							MPB	STOP	STOP									

S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

31.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、RSCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します(注2)。また、サンプリング調整未実施時(SCR4.RTADJビット=0、あるいは、SCR4.RTADJビット=1かつSCR4.RTMG[2:0]ビット=000b)は、図31.4に示すように受信データを基本クロックの8サイクル目(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%) \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SCR2.ABCSEビットが“0”、かつSCR2.ABCSビットが“0”のときN = 16
- SCR2.ABCSEビットが“0”、かつSCR2.ABCSビットが“1”のときN = 8
- SCR2.ABCSEビットが“1”のときN = 6

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値) = 0、D(クロックのデューティ) = 0.5 とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

注1. SCR2.ABCSEビットが“0”、かつSCR2.ABCSビットが“0”のときの例です。ABCSEビットが“0”、かつABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。また、ABCSEビットが“1”のときは、ビットレートの6倍の周波数が基本クロックとなり、受信データは基本クロックの3番目の立ち上がりエッジでサンプリングします。

注2. スタートビット判定条件を以下に示す。

受信サンプリングタイミング調整機能 OFF (RTADJビット = 0) 時:

スタートビット判定条件は、Lowレベル検出から、半ビット長のLowが継続していることであり、データのサンプリングタイミングと一致しています。

図31.4の例の場合、1ビット長が16クロックなので、Lowレベルを検出してから、半ビット長(8クロック)のLowが継続する必要があります。半ビット長のLowが継続しなかった場合、立ち下がり検出はノイズであったと判断し、受信を開始せず次のスタートビットを待ちます。

受信サンプリングタイミング調整機能 ON (RTADJビット = 1) 時:

スタートビット判定条件は、Lowレベル検出からデータサンプリングタイミングまで、Lowが継続していることです。

そのため、サンプリングタイミングを前(RTMG[3]ビット = 1)に調整した場合は、ノイズをスタートビットと誤判定する可能性が高くなります。

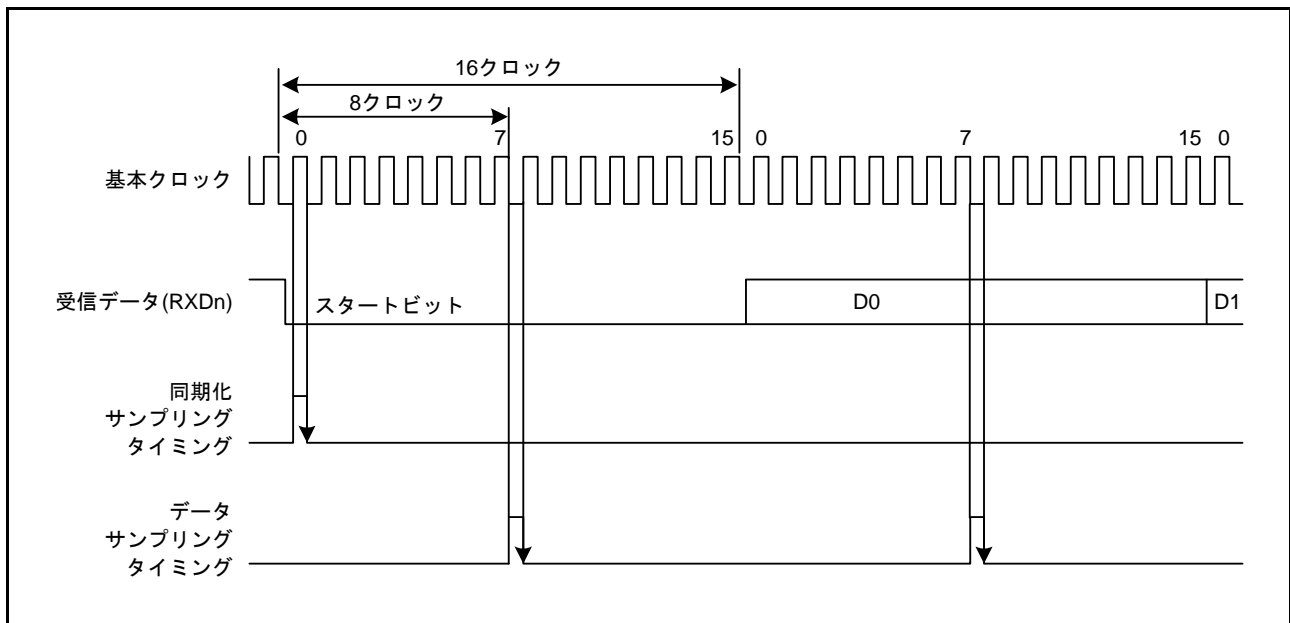


図 31.4 調歩同期式モードの受信データサンプリングタイミング

31.3.3 クロック

RSCIの送受信クロックは、SCR3.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍(SCR2.ABCSビット=0のとき)、8倍(SCR2.ABCSビット=1のとき)の周波数のクロックを入力してください。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図31.5に示すように送信データの中央でクロックが立ち上がります。クロック出力を選択した場合は、SCR0.TEビット=1もしくはSCR0.REビット=1に設定した後でクロック出力が行われます。

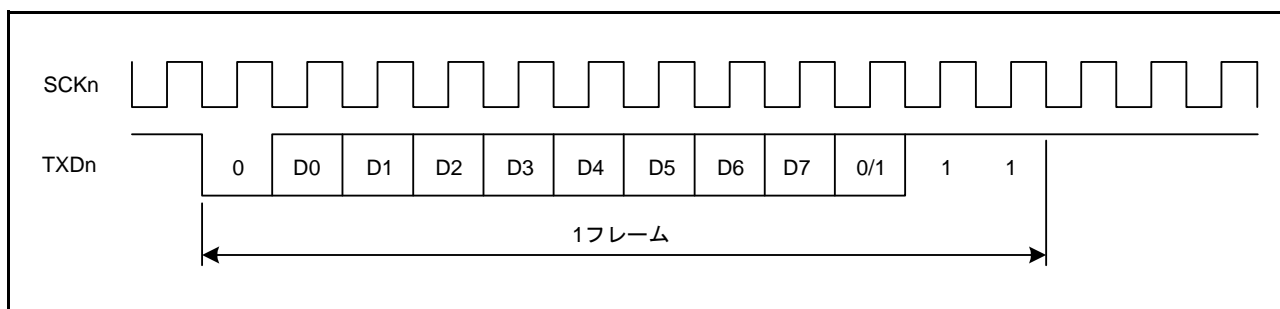


図 31.5 出カクロックと送信データの位相関係
(調歩同期式モード: SCR1.PE ビット = 1、SCR3.CHR[1:0] ビット = 10b、MP ビット = 0、STOP ビット = 1)

31.3.4 倍速モードと6分周モード

SCR2.ABCSビットを“1”にすると、SCR2.ABCSビットを“0”に設定した場合の2倍のビットレートで動作します。また、SCR2.BGDMビットを“1”に設定すると、基本クロックの周期が1/2倍になり、SCR2.BGDMビットを“0”に設定した場合の2倍のビットレートで動作します。SCR3.CKE[1]ビットを“0”に設定し内蔵ボーレートジェネレータを選択した時は、SCR2.ABCSビットを“1”かつSCR2.BGDMビットを“1”に設定することで、SCR2.ABCSビットを“0”かつSCR2.BGDMビットを“0”の場合の4倍のビットレートで動作することができます。

また、SCR2.ABCSEビットを“1”にすると、1ビット期間中の基本クロックパルス数が6、かつ基本クロックの周期が1/2になり、SCR2レジスタのABCSビット、BGDMビット、ABCSEビットがすべて“0”の場合に比べ16/3倍のビットレートで動作します。

なお、「31.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SCR2.ABCSビットまたはSCR2.ABCSEビットを“1”にすると受信マージンが減少します。SCR2.ABCSビットを“0”、SCR2.ABCSEビットを“0”にしても所望のビットレートが得られるのであれば、SCR2.ABCSビットを“0”、SCR2.ABCSEビットを“0”で使用することを推奨します。

31.3.5 CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。

SCR1.CTSE ビットを“1”にすると CTS 機能が有効になります。また、CTSn#/RTSn# 端子は、1 端子でどちらかの機能を使用する兼用設定と、2 端子でそれぞれの機能を同時に使用する専用の設定が可能です。SCR1.CRSEP ビットでその設定を行います。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信開始後に CTSn# 端子が High になっても、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTSn# 端子出力を使用して送信要求を行う機能で、受信可能状態になると RTSn# 端子に Low を出力します。Low、High を出力する条件は以下の通りです。

[Low になる条件]

(a) 非FIFOモード時は、以下の条件を全て満たす場合

- SCR0.RE ビットが“1”
- 読み出し前の受信データがない、かつ受信中でない
- SSR.ORER、AFER、APER フラグがすべて“0”

(b) FIFOモード時は、以下の条件を全て満たす場合

- SCR0.RE ビットが“1”
- FIFO に格納された受信データの数が、FCR.RSTRG[4:0] 設定値より少ない
- SSR.ORER (RDR.ORER) フラグが“0”

[High になる条件]

- Low になる条件を満たさない場合

31.3.6 データ一致検出機能

データ一致検出機能は調歩同期式モードのみ使用できます。

SCR0.DCME ビットを“1”に設定(注1)すると、1 フレームごとの受信完了時に、受信したデータと SCR4.CMPD[8:0] ビットに設定した値との比較を行い、一致を検出したときに RXI 割り込み要求を出力することができます。

SCR3.MP ビットを“0”に設定した場合、受信したデータにおけるデータビットのみを SCR4.CMPD[8:0] ビット(注2)と比較します。SCR3.MP ビットを“1”(マルチプロセッサモード)に設定した場合、SCR0.IDSEL ビットを“1”に設定すると、マルチプロセッサビット(MPB)が“1”の受信データでは一致/不一致の検出を行い、MPB が“0”の受信データについては不一致を検出します。SCR0.IDSEL ビットを“0”に設定すると、受信データの MPB の値によらず、受信完了の度に一致/不一致の検出を行います。

RSCI は、受信したデータと SCR4.CMPD[8:0] ビットとの不一致を検出したときは、SSR.DFER、DPER フラグはセットしません。

受信したデータと SCR4.CMPD[8:0] ビットとの一致を検出すると、SCR0.DCME ビットが“0”になり、SSR.DCMF フラグが“1”になります。SCR0.IDSEL ビットを“1”に設定している場合、SCR0.MPIE ビットが“0”になり、SCR0.IDSEL ビットを“0”に設定している場合、SCR0.MPIE ビットの値は保持されます。このとき SCR0.RIE ビットが“1”であれば RXI 割り込み要求を発生します。一致を検出したフレームでフレーミングエラーを検出した場合は SSR.DFER フラグが“1”になり、パリティエラーを検出した場合は SSR.DPER フラグが“1”になります。なお、一致を検出した受信データと MPB は RDR レジスタには格納せず、SSR.RDRF フラグは“0”を保持します。

受信したデータと SCR4.CMPD[8:0] ビットとの一致を検出し SCR0.DCME ビットが“0”になった後は、その時点のレジスタ設定に従い受信動作を継続します。

SSR.DFER、SSR.DPER フラグがセットされた状態ではデータの一致を検出しません。データ一致検出機

能を有効にする前に、SSR.DFER、および SSR.DPER フラグを“0”にしてください。

図 31.6、図 31.7 にデータ一致検出の例を示します。

- 注 1. データ一致検出を行う受信フレームの、スタートビット受信前に SCR0.DCME ビットを“1”にしてください。
- 注 2. 7ビット長選択時は CMPD[6:0] ビットを、8ビット長選択時は CMPD[7:0] ビットを、9ビット長選択時は CMPD[8:0] ビットと比較します。

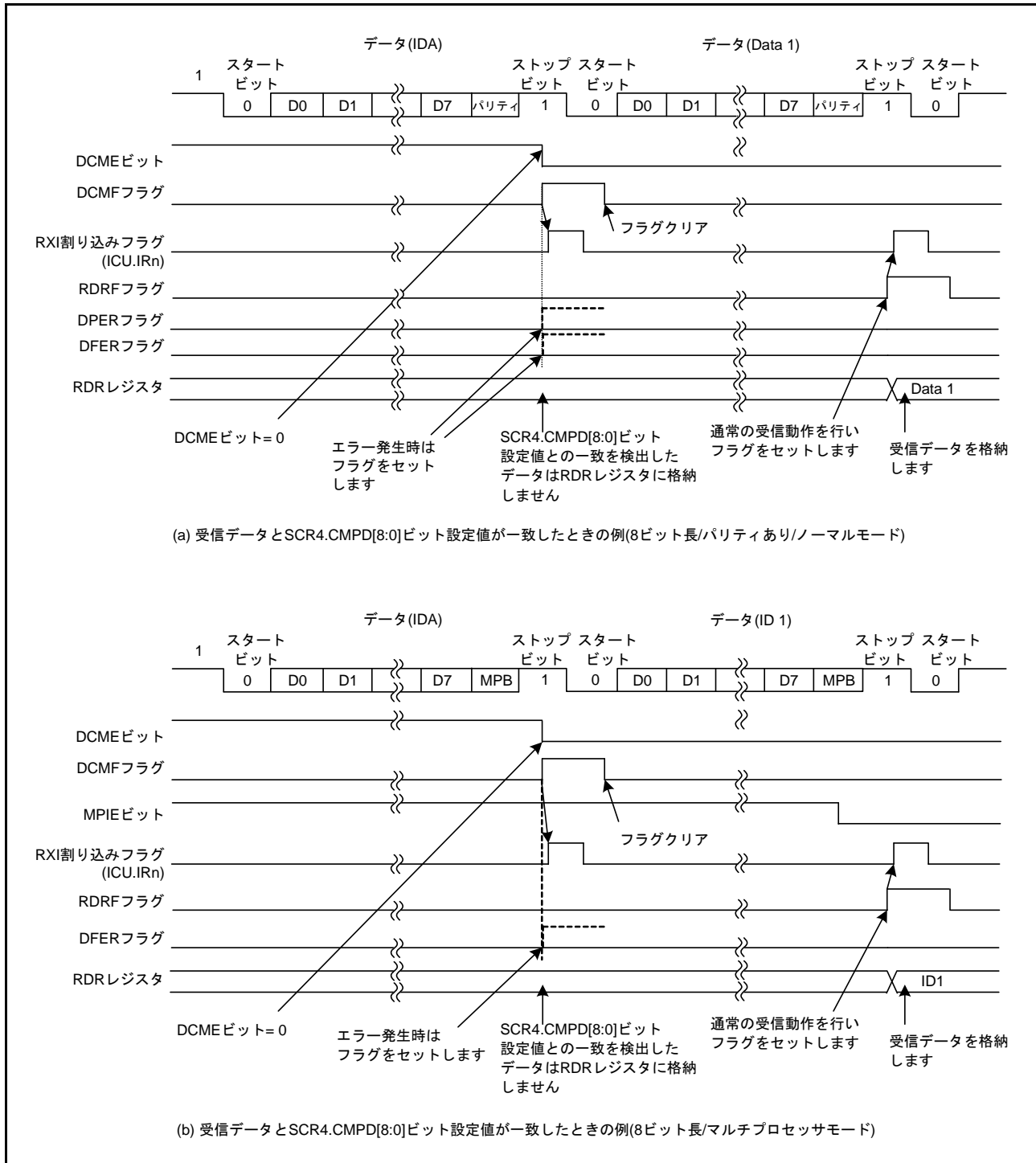


図 31.6 データ一致検出の例 (1) (8 ビットデータ)

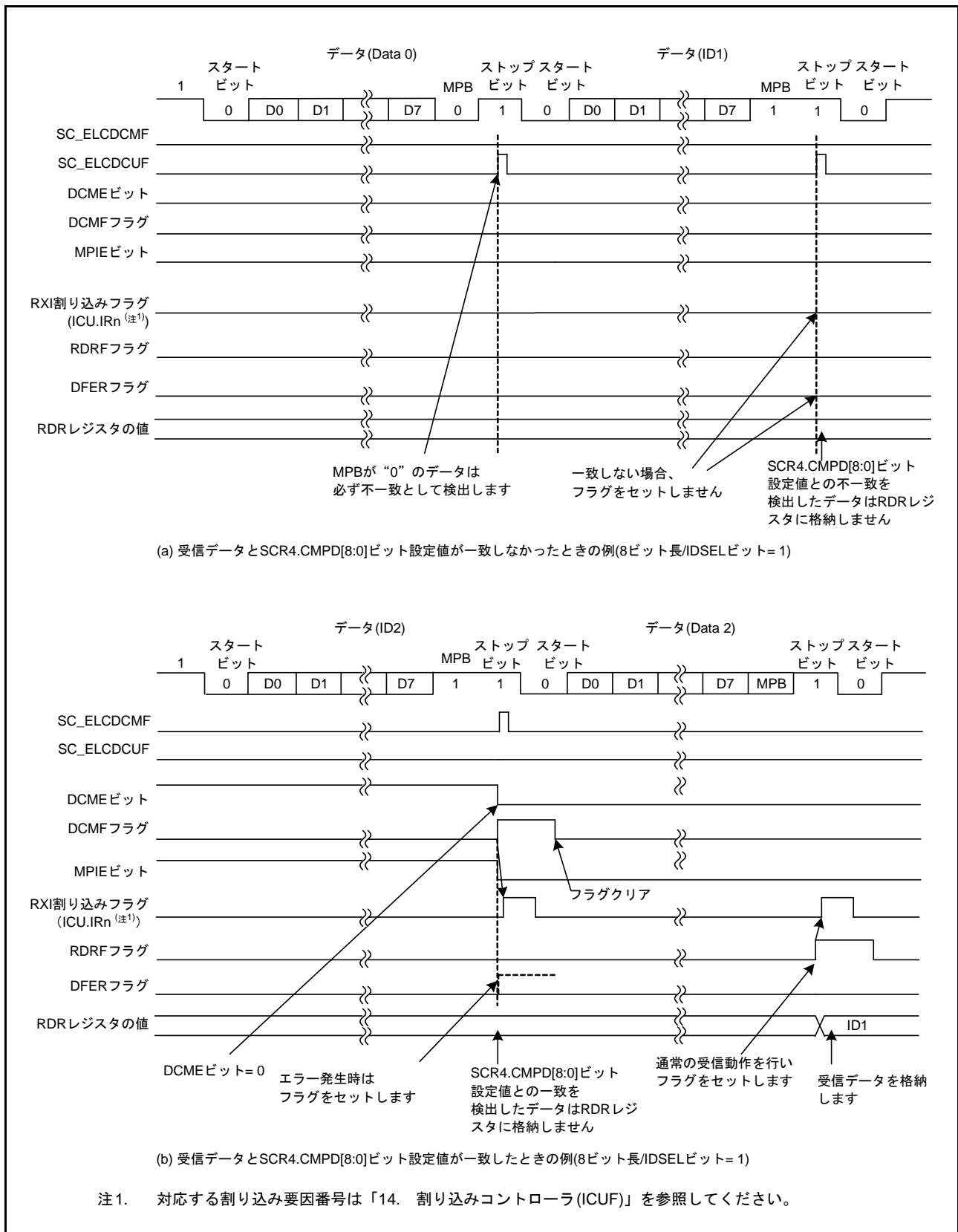


図 31.7 データ一致検出の例 (2) (8 ビットデータ / マルチプロセッサモード)

31.3.7 RSCIの初期化(調歩同期式モード)

データの送受信前に、SCR0.TEビットとSCR0.REビットに“0”を書き込み(SCR0レジスタに初期値を書き込むでも可)、非FIFOモード時は図31.8、FIFOモード時は図31.9のフローチャート例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合もSCR0.TEビットとSCR0.REビットに“0”を書き込んでから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、REビットを“0”に設定しても、ORER、AFER、APER、RDRF、DRの各フラグ、およびRDRレジスタは初期化されませんので注意してください。また、TEビットを“0”に設定してもFIFOモード時のTENDフラグは初期化されませんので注意してください。動作モードの変更時にも注意してください。

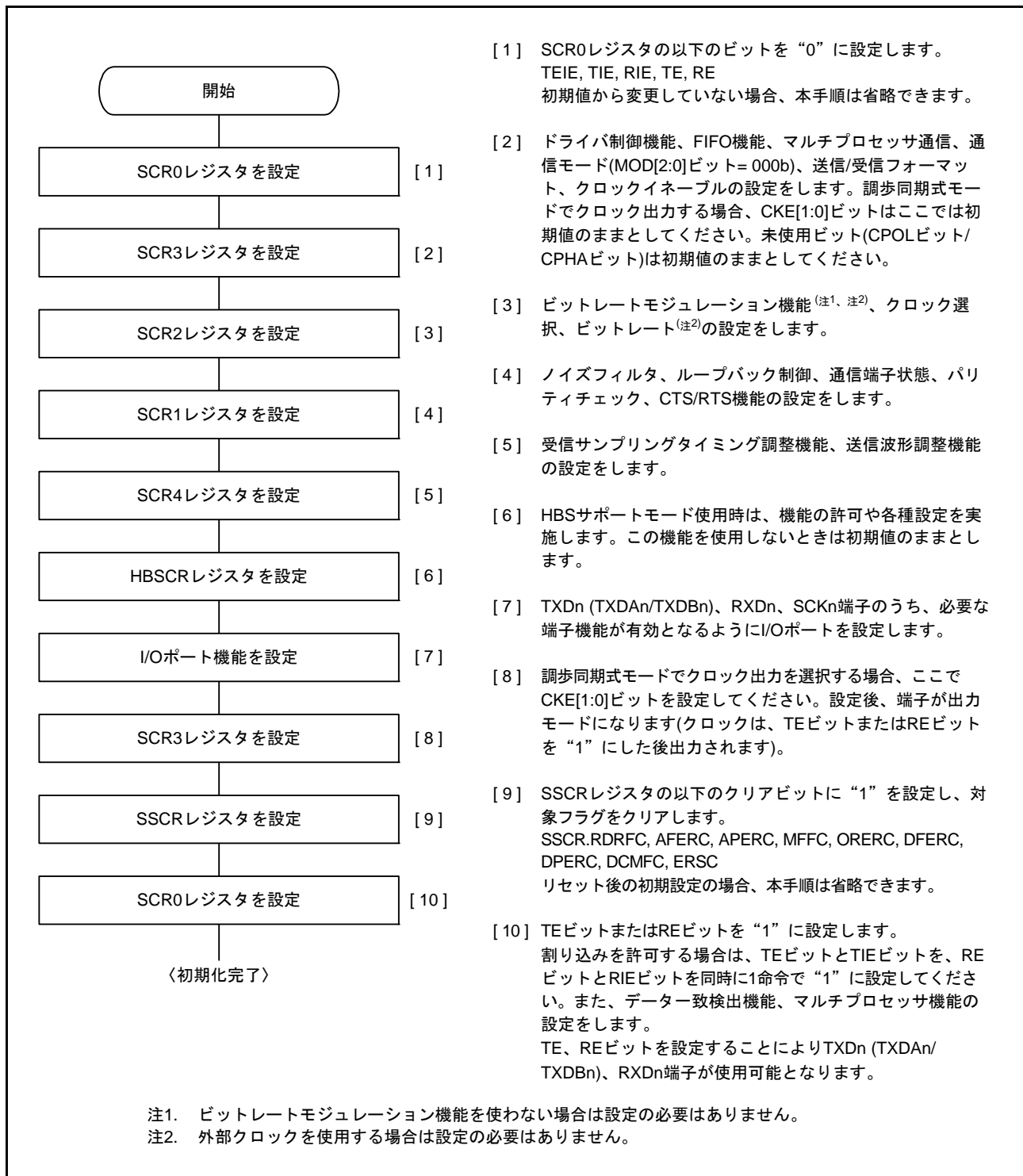


図 31.8 RSCI の初期化フローチャート例 (調歩同期式モード / 非 FIFO モード時)

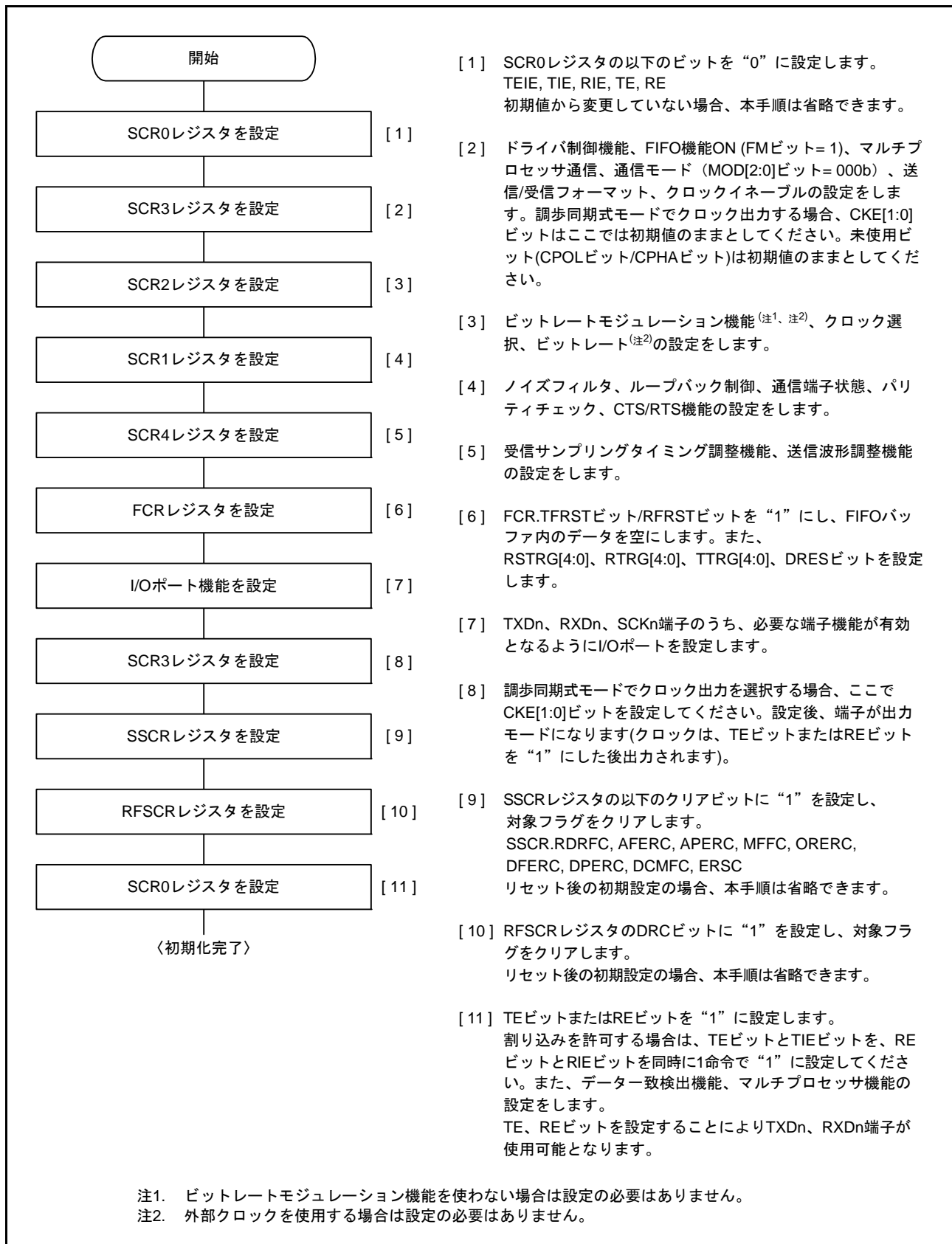


図 31.9 RSCI の初期化フローチャート例 (調歩同期式モード/FIFO モード時)

図 31.10 は、リセット解除後に図 31.8 もしくは図 31.9 に従って RSCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXDn 端子に設定した時点では、SCR0.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にしてから送信データを書くと、データ送信が開始されます。TDR レジスタに送信データをライトしてからデータ送信が開始されるまでの送信待ち時間があります。調歩同期式モードでは、この期間 TXDn 端子は High になります。

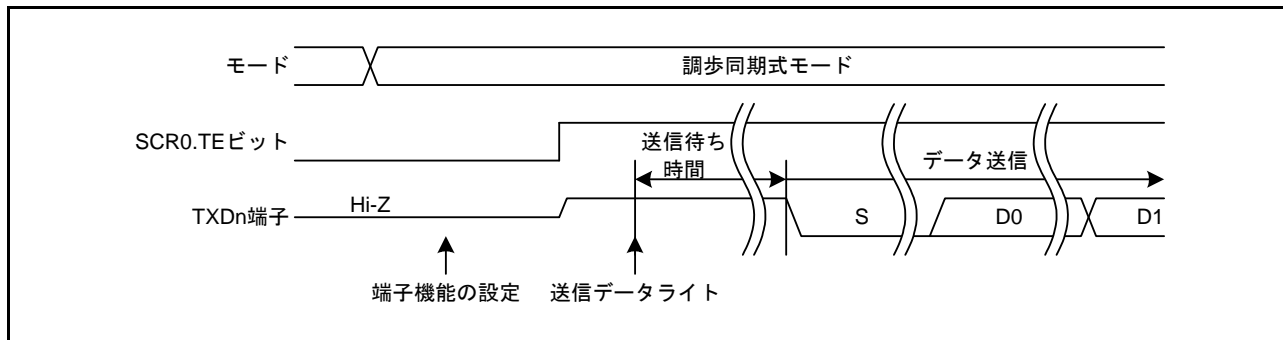


図 31.10 調歩同期式モード時のデータ送信タイミング例

31.3.8 シリアルデータの送信 (調歩同期式モード)

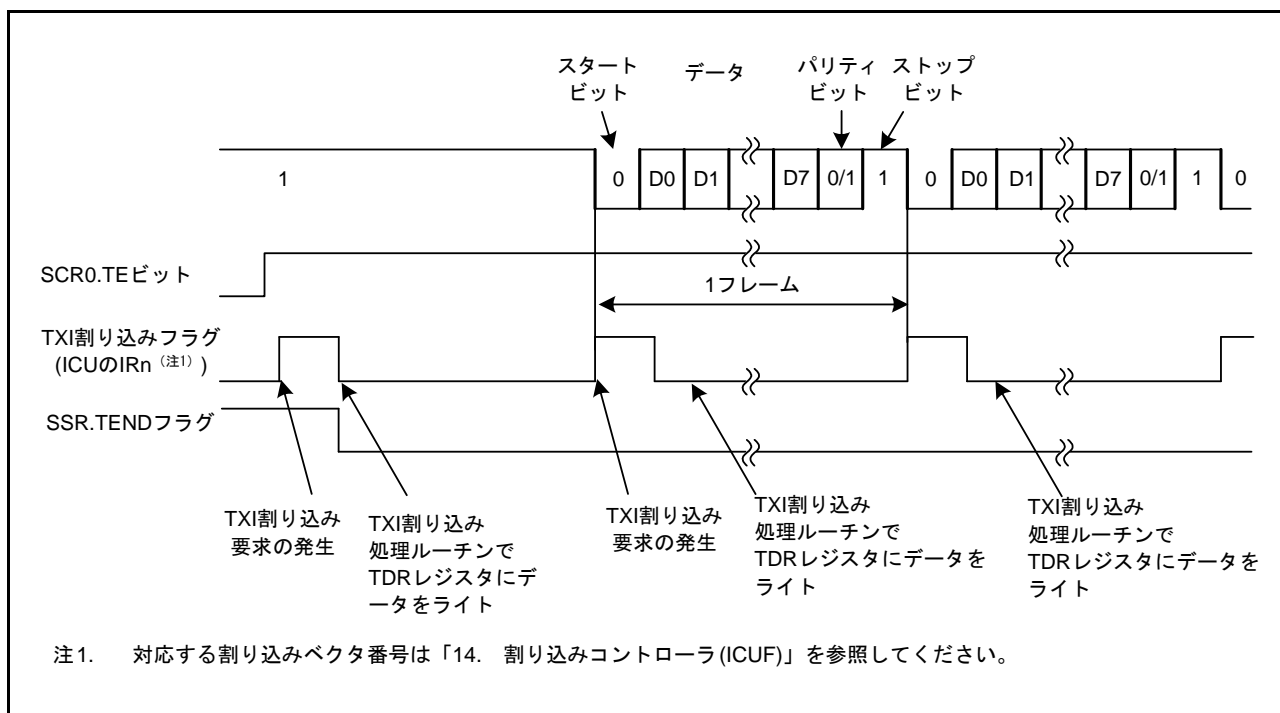
(1) 非 FIFO モード時

図 31.11 ~ 図 31.13 に調歩同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、RSCI は以下のように動作します。

1. RSCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にしてください。すると TXI 割り込み要求が発生します。
2. SCR1.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力 が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR0.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを TDR レジスタに書き込み、送信が開始した後 (TXI 割り込み要求出力後) に、SCR0.TIE ビットを“0”に、SCR0.TEIE ビットを“1”にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていると、SCR1.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力 が Low で、次の送信データを TDR レジスタから TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このとき、SCR0.TEIE ビットが“1”であると TEI 割り込み要求が発生します。

図 31.15 にデータ送信のフローチャートの例を示します。



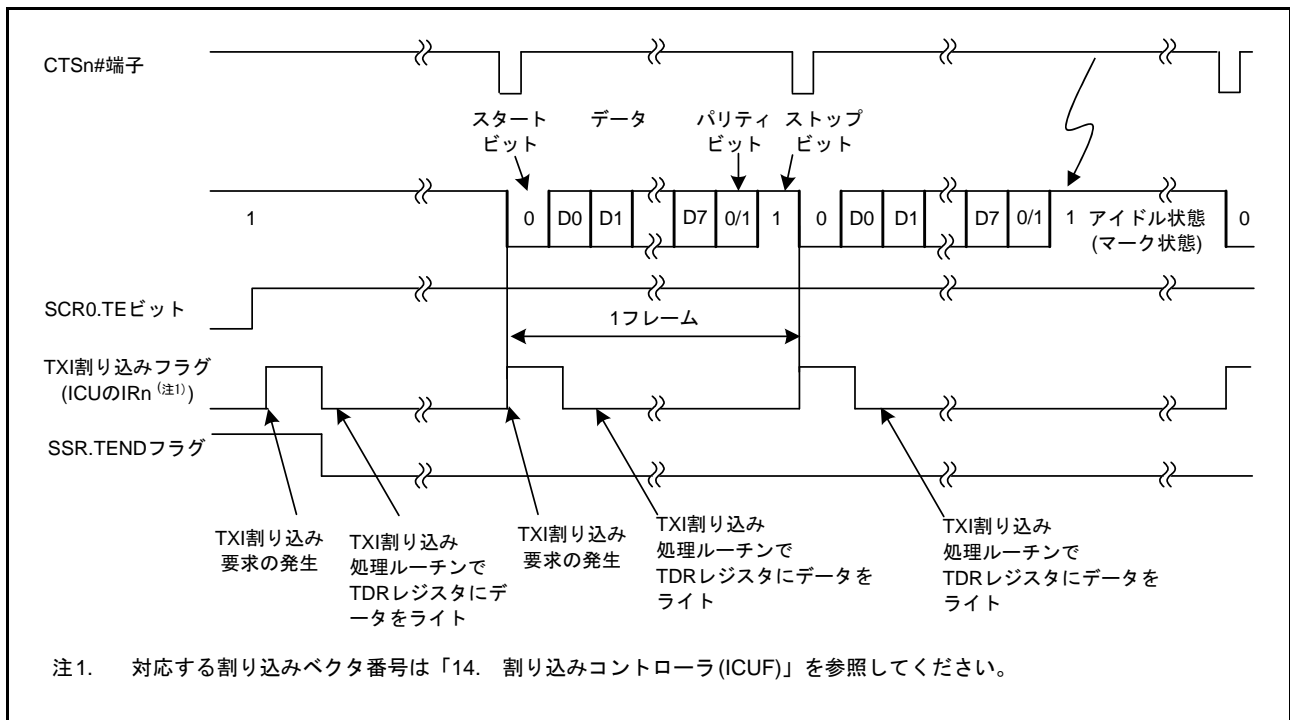


図 31.12 調歩同期式モードのシリアル送信の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

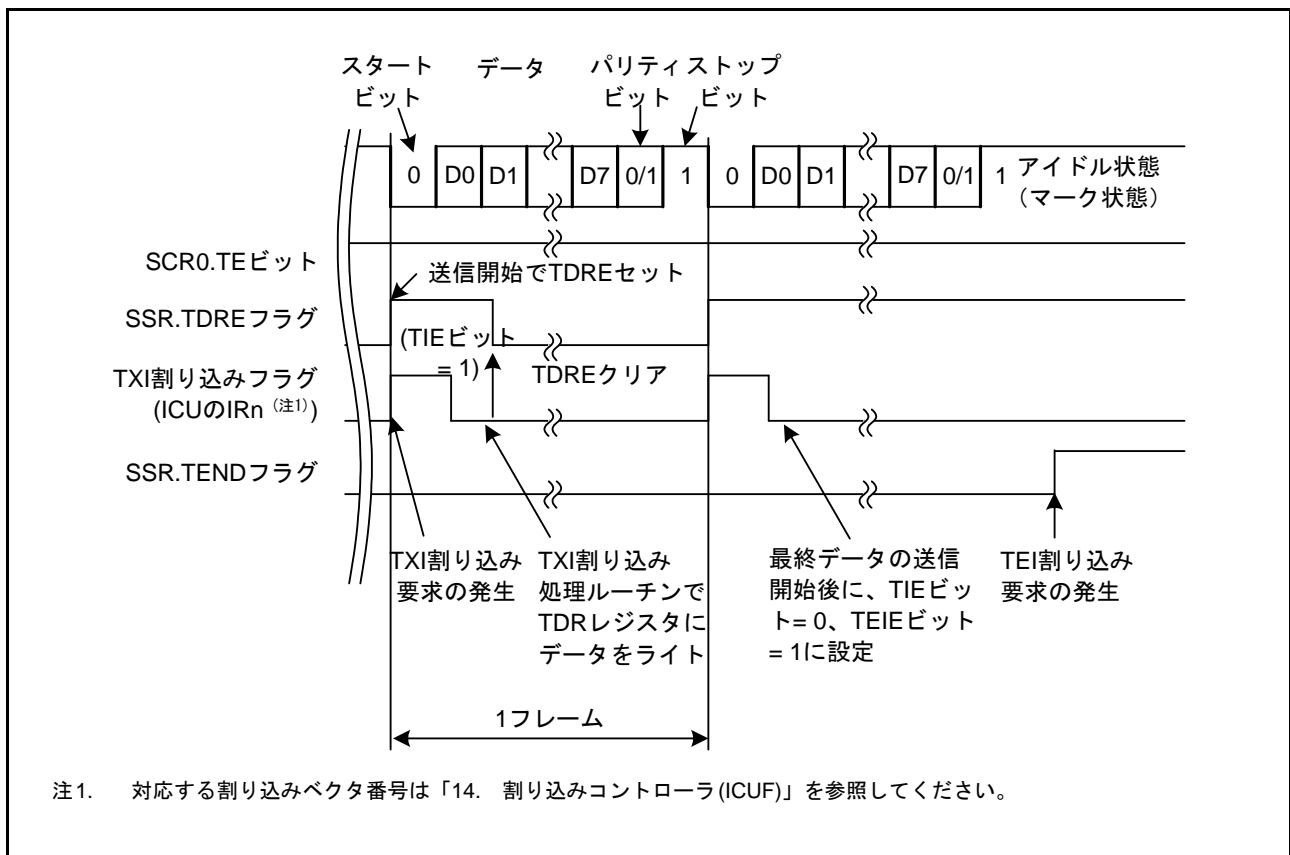


図 31.13 調歩同期式モードのシリアル送信の動作例 (3)
(8ビットデータ / パリティあり / 1ストップビット / 送信中～送信完了時)

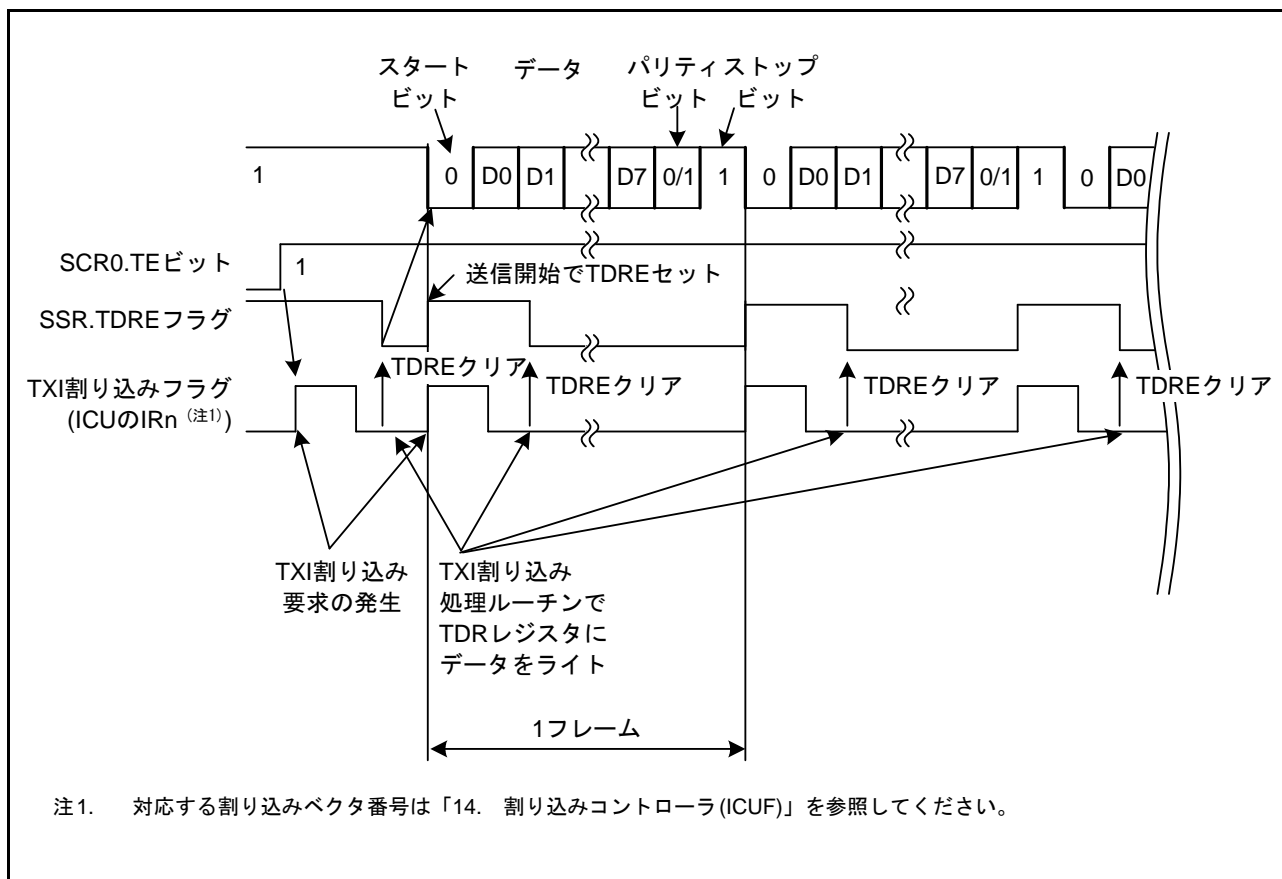


図 31.14 調歩同期式モードのシリアル送信の動作例 (4)
(8ビットデータ / パリティあり / 1ストップビット / 送信中)

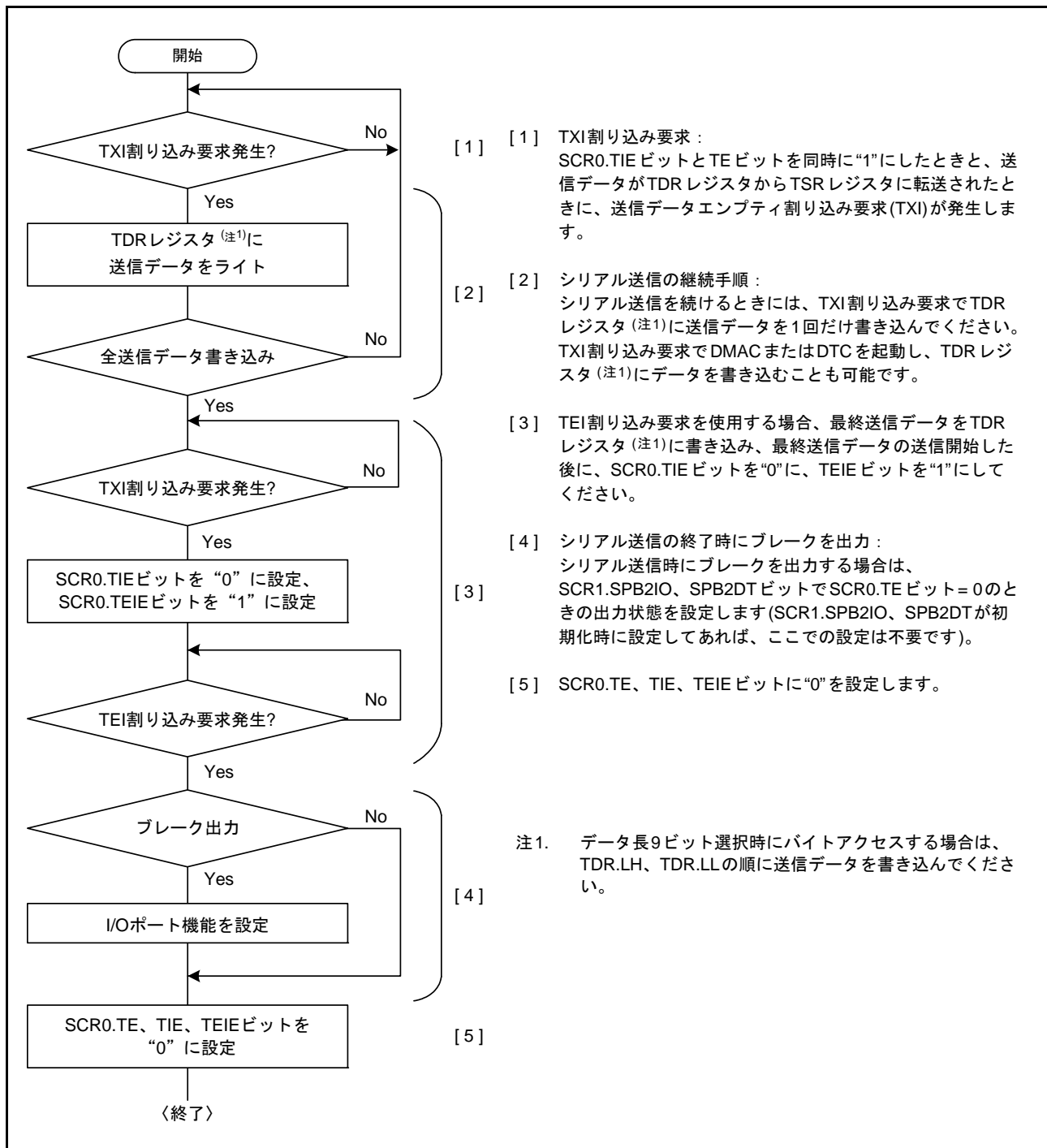


図 31.15 調歩同期式モードのシリアル送信のフローチャート例 (非 FIFO モード時)

(2) FIFO モード時

表 31.28 に調歩同期式モードで FIFO バッファを選択したときの、送信 FIFO (TDR レジスタ) への書き込みデータフォーマットを示します。

MPBT ビットは送信 FIFO (TDR レジスタ) のビット 9 に書き込んでください。データについては、7 ビットデータ長選択時は TDR.TDAT[6:0] ビットに、8 ビットデータ長選択時は TDR.TDAT[7:0] ビットに、9 ビットデータ長選択時は TDR.TDAT[8:0] ビットに書き込みます。未使用のビットには“0”を書き込んでください。なお、バイトアクセス時の書き込みは、TDR.LH、TDR.LL の順に行ってください。

表31.28 シリアル送信データの送信FIFO (TDRレジスタ)書き込みデータフォーマット(FIFOモード時)

データ長	レジスタの設定		TDR.Lレジスタの送信データ														
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1
7ビット	1	1	—	—	—	—	—	—	MPBT	—	—	TDAT[6:0]					
8ビット	1	0	—	—	—	—	—	—	MPBT	—	TDAT[7:0]						
9ビット	0	任意	—	—	—	—	—	—	MPBT	TDAT[8:0]							

—: 使用しません。“0”にしてください。

シリアルデータの送信時、RSCI は以下のように動作します。

- RSCI は TXI 割り込み処理ルーチンで送信 FIFO (TDR レジスタ) にデータが書き込まれると、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送します。書き込み可能な送信データバイト数は (32 - 送信 FIFO (TDR レジスタ) に格納された未送信データ数) です。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にしてください。すると TXI 割り込み要求を発生します。
- SCR1.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low レベルで、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送し、送信を開始します。送信 FIFO (TDR レジスタ) に格納されたデータの数が送信 FIFO しきい値以下になると、SSR.TDRE フラグが“1”になります。このとき、SCR0.TIE ビットが“1”にセットされていると TXI 割り込み要求を発生します。TXI 割り込み処理ルーチンで、送信 FIFO (TDR レジスタ) に書き込んだデータの送信が終了するまでに送信 FIFO (TDR レジスタ) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを送信 FIFO (TDR レジスタ) に書き込んだ後、SCR0.TIE ビットを“0”に、TEIE ビットを“1”にします。
- TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
- RSCI は、ストップビットを送り出すタイミングで送信 FIFO (TDR レジスタ) に未送信のデータがあるかどうかをチェックします。
- 送信 FIFO (TDR レジスタ) にデータがある場合、SCR1.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low レベルで、次の送信データを送信 FIFO (TDR レジスタ) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
- 送信 FIFO (TDR レジスタ) にデータがない場合、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このとき SCR0.TEIE ビットが“1”にセットされていると TEI 割り込み要求を発生します。

図 31.16 に FIFO バッファを選択したときのデータ送信のフローチャートの例を示します。

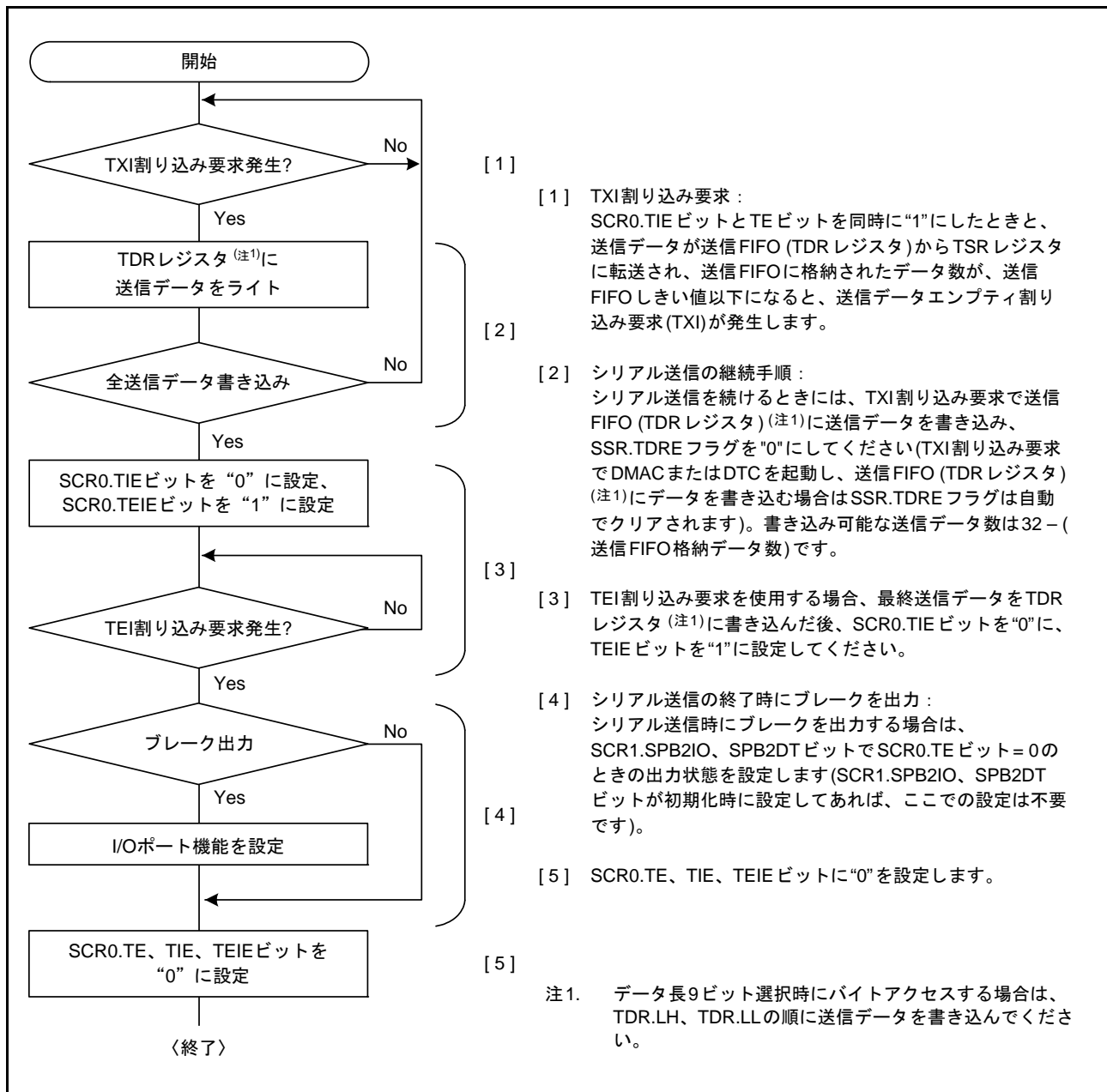


図 31.16 調歩同期式モードのシリアル送信のフローチャート例 (FIFO モード時)

31.3.9 シリアルデータの受信 (調歩同期式モード)

(1) 非 FIFO モード時

図 31.17、図 31.18 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、RSCI は以下のように動作します。

1. SCR0.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.APER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は SSR.AFER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします (RTS 機能使用時)。最終データの受信後、RTSn# 端子出力を Low にしたくない場合は、RDR レジスタをリードする前に、SCR0.RE ビットを“0”にしてください。

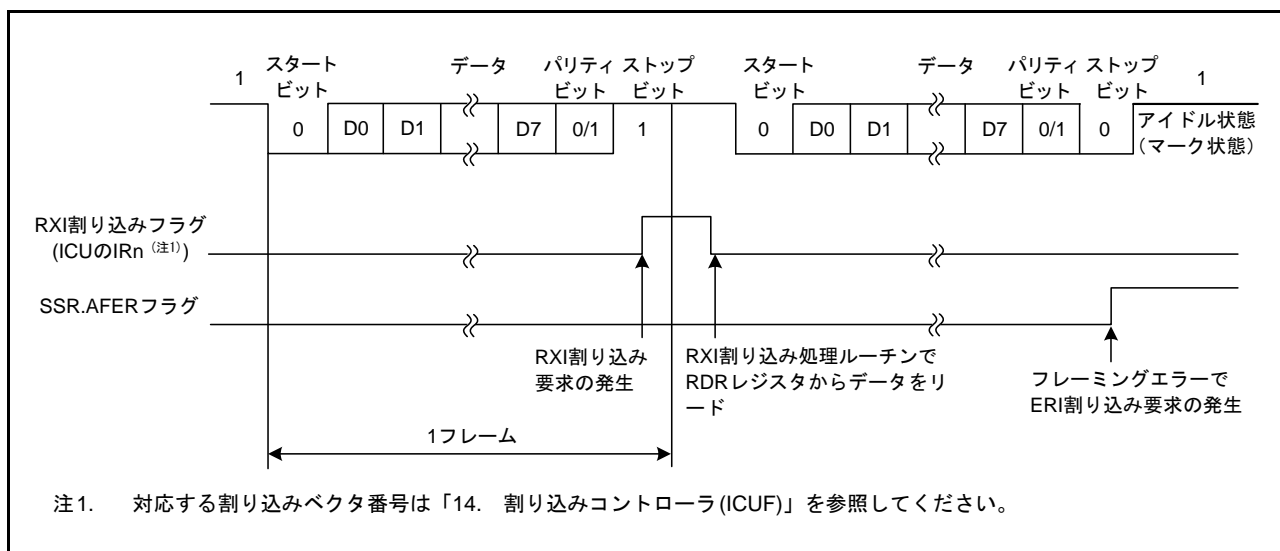


図 31.17 調歩同期式モードのシリアル受信時の動作例 (1)
(8 ビットデータ / パリティあり / 1 ストップビット / RTS 機能使用しない)

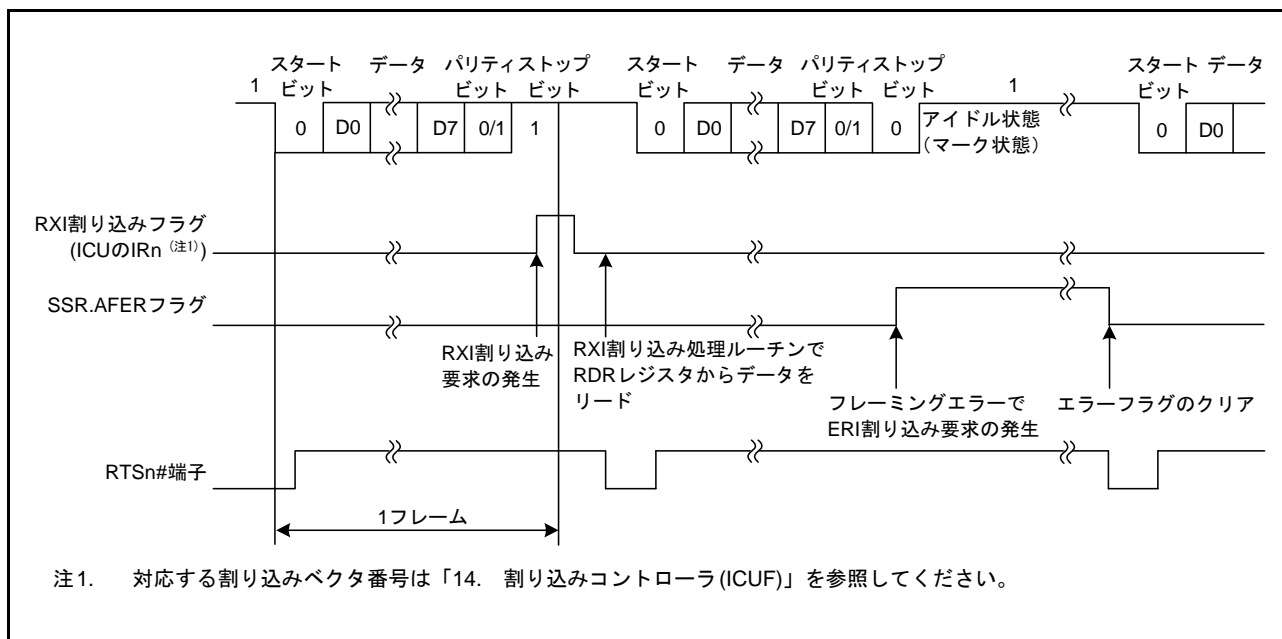


図 31.18 調歩同期式モードのシリアル受信時の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / RTS 機能使用する)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 31.29 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、AFER、および APER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCRO.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 31.19、図 31.20 にシリアル受信のフローチャートの例を示します。

表 31.29 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	AFER	APER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー + フレーミングエラー
1	0	1	消失	オーバランエラー + パリティエラー
0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

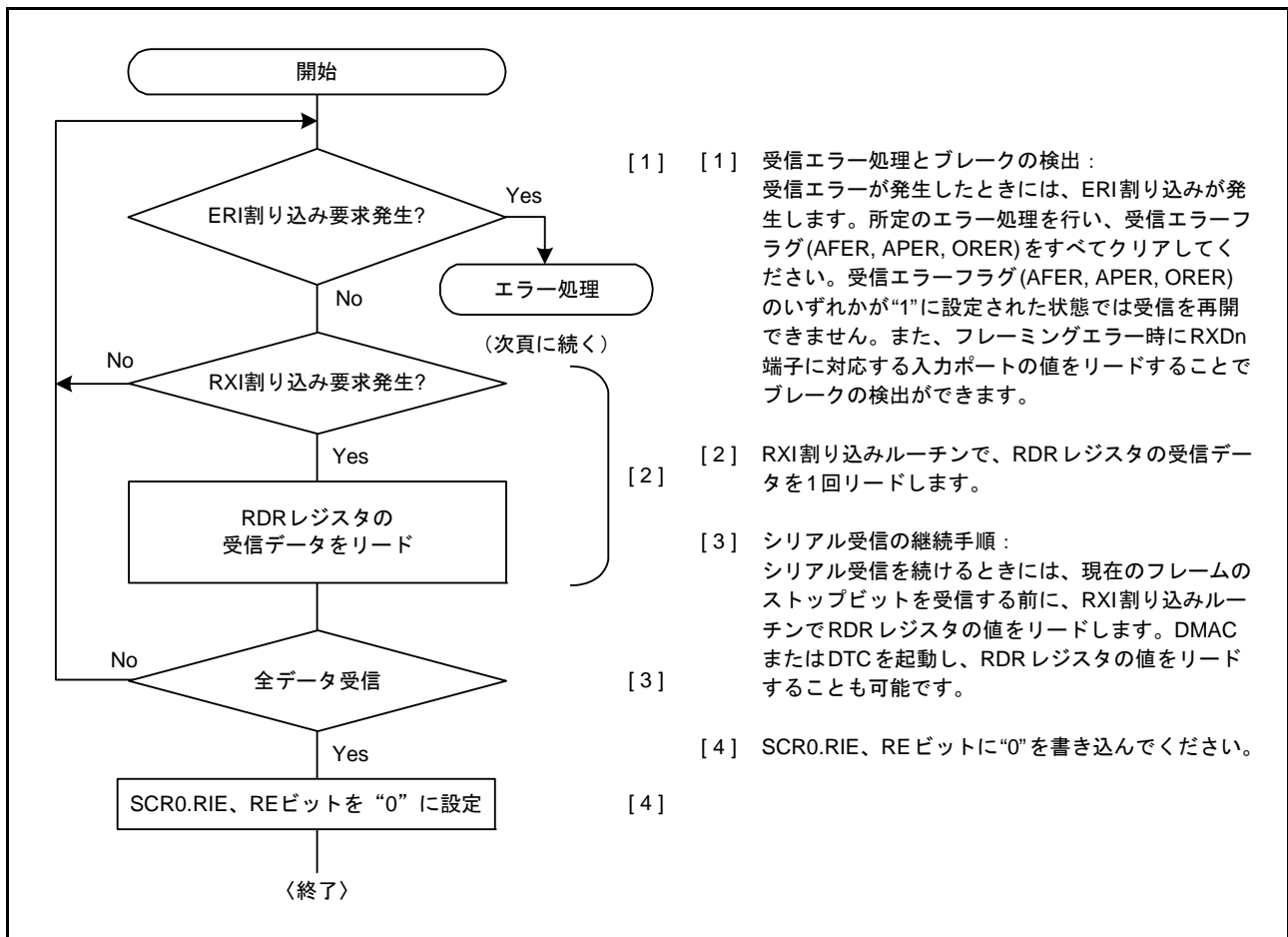


図 31.19 調歩同期式モードのシリアル受信のフローチャート例 (1) (非 FIFO モード時)

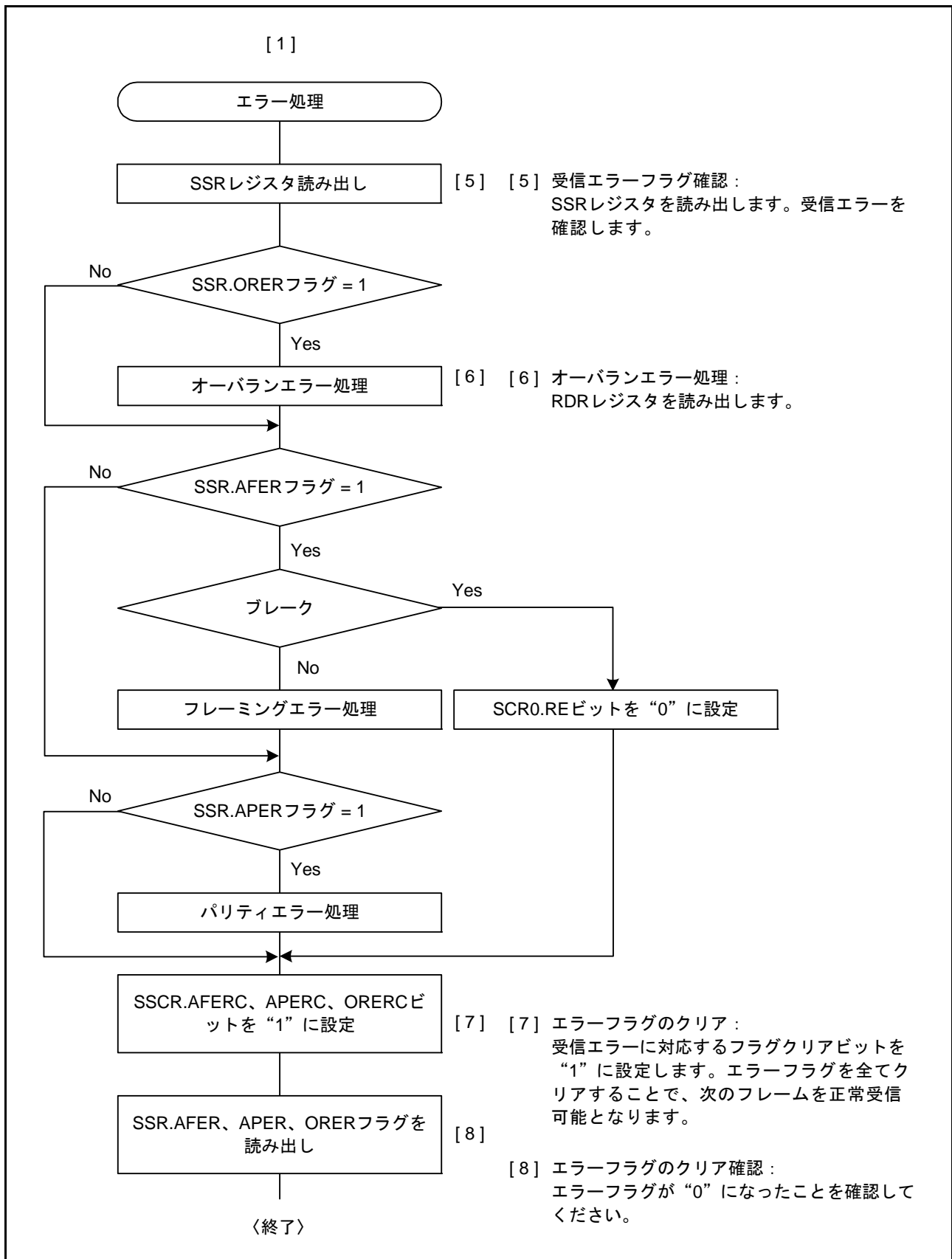


図 31.20 調歩同期式モードのシリアル受信のフローチャート例 (2) (非 FIFO モード時)

(2) FIFO モード時

表 31.30 に調歩同期式モードで FIFO バッファを選択したときの、受信 FIFO (RDR レジスタ) に格納される受信データフォーマットを示します。

MPB フラグ (受信 FIFO (RDR レジスタ) のビット 9) には“0”が格納されます。受信データは、7 ビットデータ長選択時は RDR.RDAT[6:0] ビットに、8 ビットデータ長選択時は RDR.RDAT[7:0] ビットに、9 ビットデータ長選択時は RDR.RDAT[8:0] ビットに格納され、未使用のビットには“0”が格納されます。受信 FIFO (RDR レジスタ) を読み出すと FER、PER フラグおよび受信データ (RDAT[8:0] ビット) が、次のデータに更新されます。受信 FIFO (RDR レジスタ) の AFER、APER、ORER、DR フラグには、SSR レジスタ、RFSR レジスタの対応するフラグの状態が常に反映されます。

表31.30 シリアル受信データの受信FIFO (RDRレジスタ)格納フォーマット(FIFOモード時)

データ長	レジスタの設定		RDRレジスタ内の受信フラグ、MPBフラグおよび受信データの配置															
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	—	—	FER	PER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	—	—	—	FER	PER	DR	MPB	0	RDAT[7:0]							
9ビット	0	任意	—	—	—	FER	PER	DR	MPB	RDAT[8:0]								
データ長	SCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	—	—	—	AFER	APER	—	—	ORE	—	—	—	—	—	—	—	—
8ビット	1	0	—	—	—	AFER	APER	—	—	ORE	—	—	—	—	—	—	—	—
9ビット	0	任意	—	—	—	AFER	APER	—	—	ORE	—	—	—	—	—	—	—	—

注. MPBフラグ(RDRレジスタのビット9)からは常に“0”が読み出されます。
7ビットデータ長選択時、RDAT[8:7]ビットからは“0”が読み出されます。
8ビットデータ長選択時、RDAT[8]ビットからは“0”が読み出されます。

FIFO モード時に受信エラーを検出した場合の、各ステータスフラグの状態と受信データの処理を表 31.31 に示します。図 31.21、図 31.22 に FIFO モード時のシリアル受信のフローチャートの例を示します。

シリアルデータ受信時 RSCI は以下のように動作します。

1. SCR0.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. 受信 FIFO (RDR レジスタ) に空きがない場合は、オーバランエラーが発生します。オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR0.RIE ビットが“1”であると、ERI 割り込み要求を生成します。受信データは受信 FIFO (RDR レジスタ) に転送しません。
4. パリティエラーを検出した場合は、エラーフラグおよび受信データを受信 FIFO (RDR レジスタ) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求を生成します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は、エラーフラグおよび受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求を生成します。
6. フレーミングエラーを検出した後、1 フレーム分の受信データすべてに“0”をサンプリングすると、受信動作が停止します。
7. 受信 FIFO (RDR レジスタ) に格納した受信データの数が受信 FIFO しきい値未満のとき、最後に受信したデータのストップビットから 15 etu の期間が経過しても次のデータが受信されない (FIFO にデータが格納されない) と、RFSR.DR フラグを“1”にします。このとき、SCR0.RIE ビットが“1”であると、

FCR.DRES ビットが“0”のときはRXI 割り込み要求を発生し、FCR.DRES ビットが“1”のときはERI 割り込み要求を発生します。

- 正常に受信したときは、受信データを受信 FIFO (RDR レジスタ) に転送します。受信 FIFO (RDR レジスタ) に格納したデータの数がしきい値以上になると、SSR.RDRF フラグを“1”にします。このとき、RIE ビットが“1”であると、RXI 割り込み要求を生成します。このRXI 割り込み処理ルーチンで、受信 FIFO (RDR レジスタ) に転送された受信データをオーバーランエラーが発生するまでにリードすることで連続受信が可能です。受信 FIFO (RDR レジスタ) に転送された受信データが読み出され、RTS# 出力しきい値より少なくなると、RTSn# 端子出力を Low にします (RTS 機能使用時)。

表 31.31 FIFOモード時受信エラー検出時のステータスフラグの状態と受信データの処理

SSRレジスタ			受信データ	受信エラーの状態
ORER	AFER (注1)	APER (注1)		
1	0	0	消失	オーバーランエラー
0	1	0	RDRへ転送	フレーミングエラー
0	0	1	RDRへ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	0	0	消失	オーバーランエラー+フレーミングエラー+パリティエラー

注1. 受信完了時に受信データ内にエラーがあるかどうかを示すフラグです。

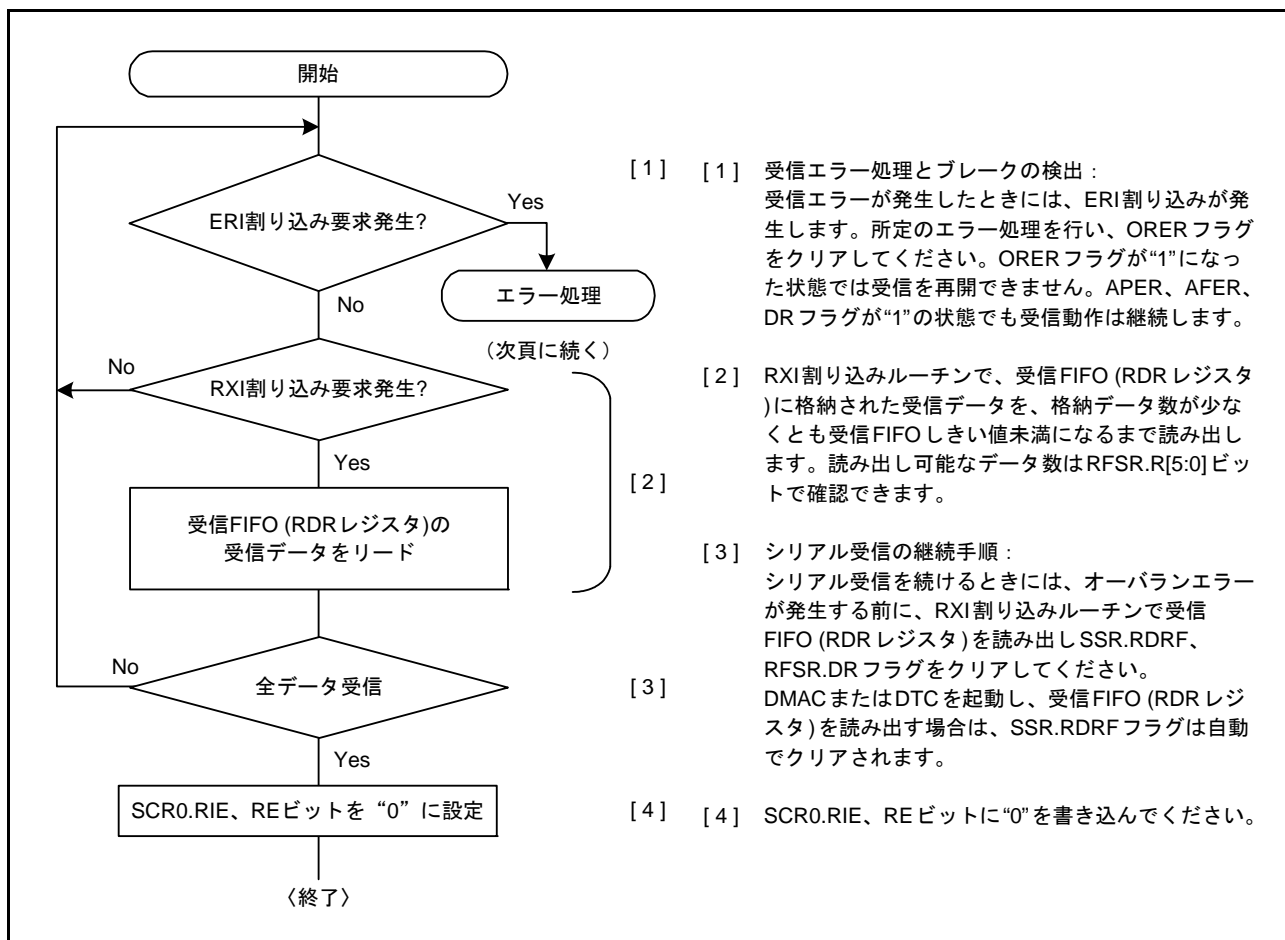


図 31.21 調歩同期式モードのシリアル受信のフローチャート例 (1) (FIFO モード時)

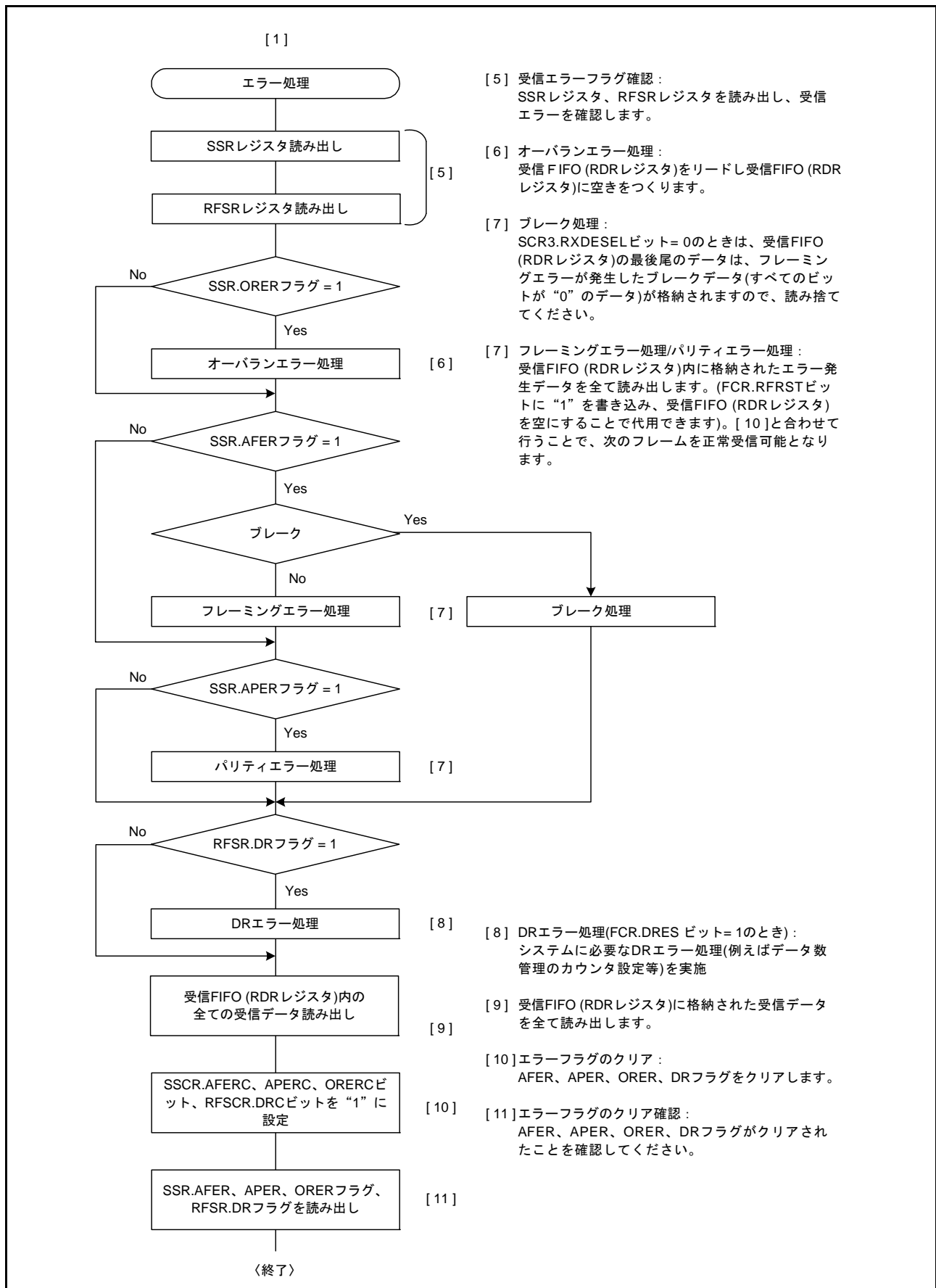


図 31.22 調歩同期式モードのシリアル受信のフローチャート例 (2) (FIFO モード時)

31.3.10 調歩同期式モードの受信サンプリングタイミング調整機能

立ち上がり時間と立ち下がり時間の差が大きく、High幅とLow幅に差ができてしまった波形を受信した場合、短い方のパルスの中央でデータをサンプリングするようにタイミングを調整します。Low幅が短い場合はサンプリングタイミングを早め、High幅が短い場合はサンプリングタイミングを遅らせます。

SCR4.RTMG[3:0] ビットにデフォルトのサンプリングポイントに対するオフセットを設定し、SCR4.RTADJ ビットを“1”にすると、設定した位置で受信データをサンプリングします。

図 31.23 にサンプリングタイミングの調整例を示します。

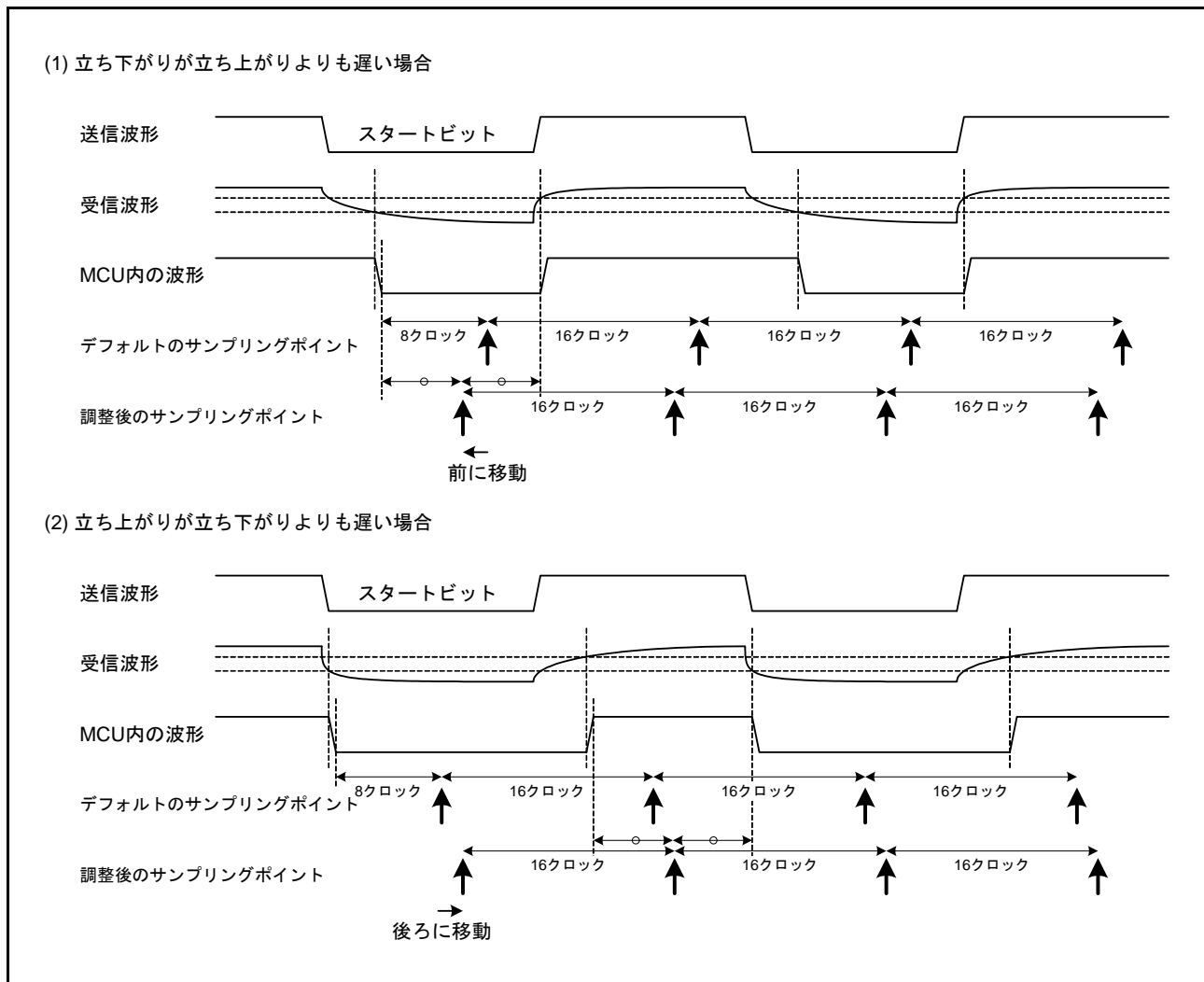


図 31.23 サンプリングタイミングの調整例 (SCR2.ABCSE ビット = 0、SCR2.ABCS ビット = 0)

31.3.11 調歩同期式モードの送信タイミング調整機能

本MCUが送信した波形が受信側のデバイスでHigh幅とLow幅に差ができてしまうような場合に、送信時に前もってHigh幅とLow幅に差を持たせて、受信側で差がなくなるように調整することができます。受信側でHigh幅が短くなる場合は立ち下がりエッジを遅らせることで送信時のHigh幅を拡げ、Low幅が短くなる場合は立ち上がりエッジを遅らせることで送信時のLow幅を拡げます。

SCR4.TTMG[3:0]ビットに変化させるエッジとその遅延量を設定し、SCR4.TTADJビットを“1”にすると、設定した位置で送信データが変化します。

図 31.24 に変化タイミングの調整例を示します。

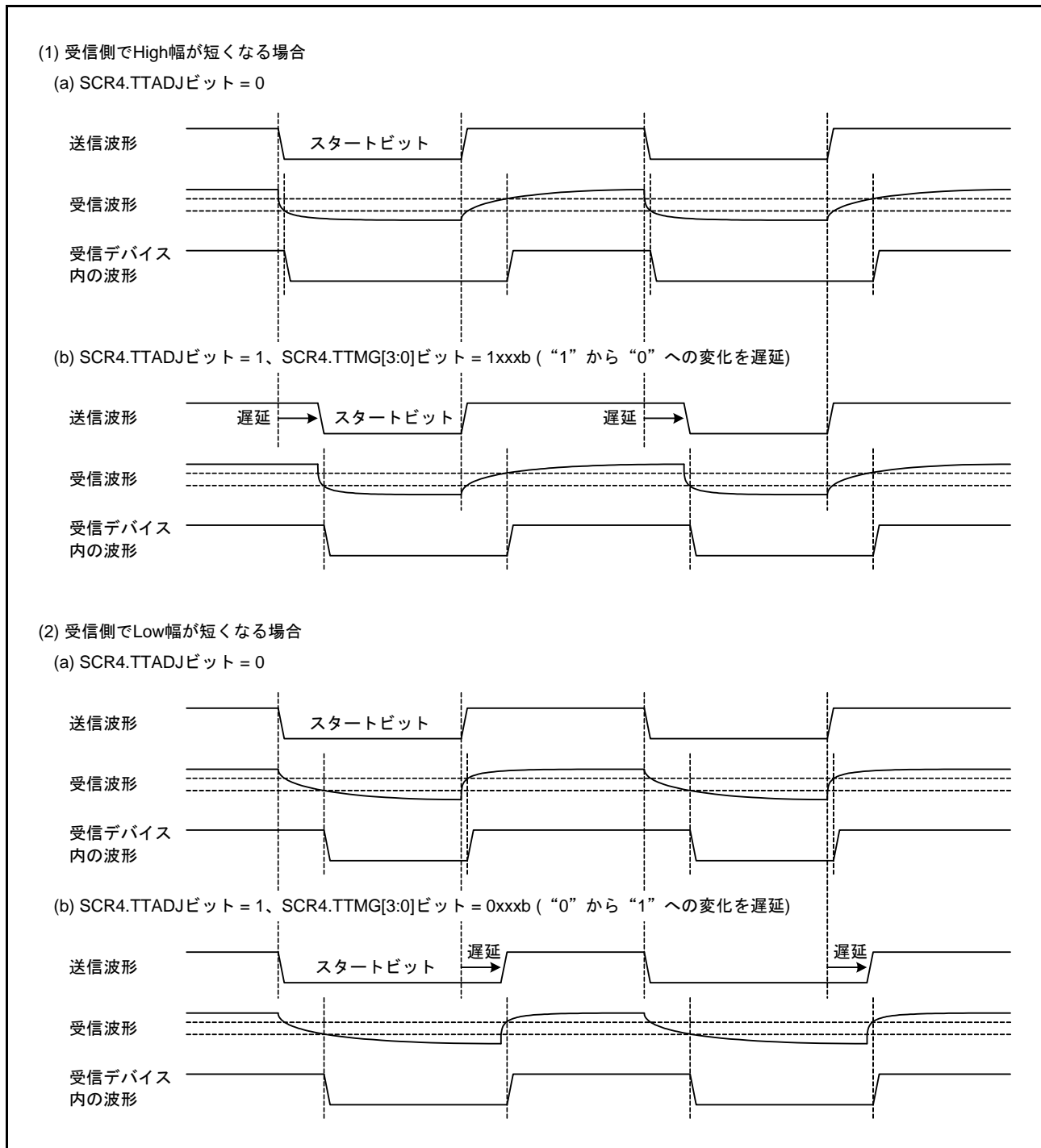


図 31.24 変化タイミングの調整例

31.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 31.25 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

このように 1 対多通信対応の機能なので、マルチプロセッサ通信機能の使用時は、RTS 制御は使えません。

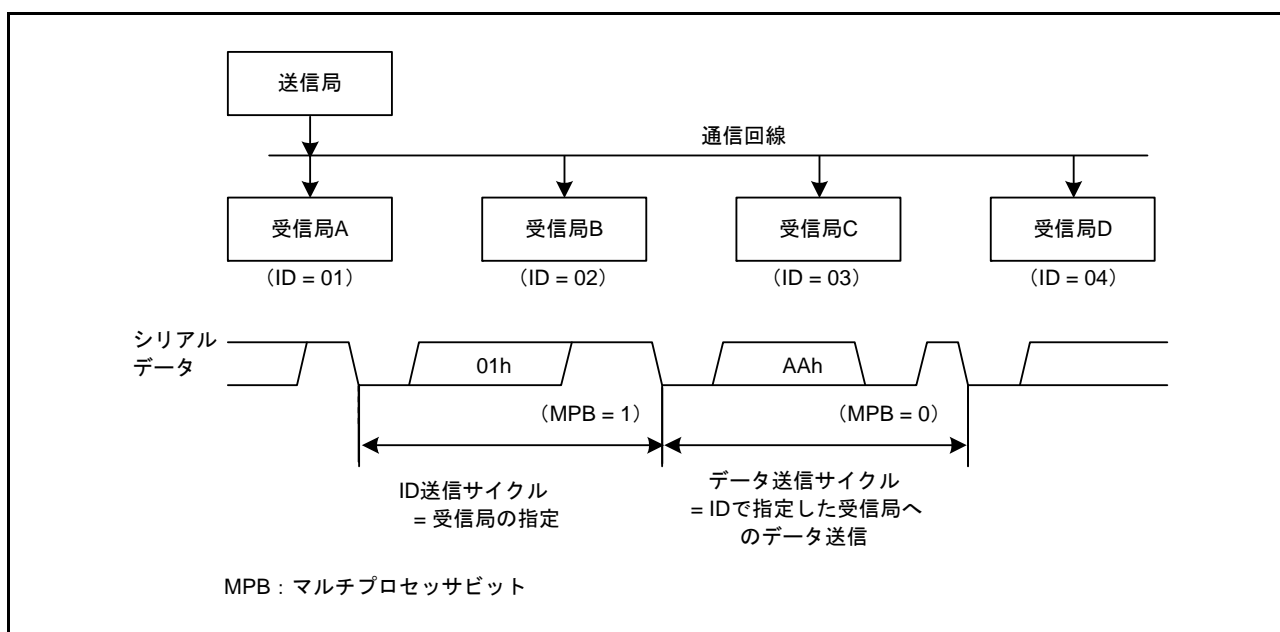


図 31.25 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ“AAh”の送信の例)

(1) 非 FIFO モード時

RSCIはこの機能をサポートするため、SCR0.MPIE ビットを設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.RDRF、ORER、AFER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、RDR.MPB フラグが“1”にセットされるとともに SCR0.MPIE ビットが自動的にクリアされて非マルチプロセッサの受信動作に戻ります。このとき SCR0.RIE ビットがセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は非マルチプロセッサの調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも非マルチプロセッサの調歩同期式モードと同一です。

(2) FIFO モード時

送信時には、送信フレームに付加するマルチプロセッサトランスファビットを、送信 FIFO (TDR レジスタ) の MPBT ビットに、TDAT[8:0] ビットへの送信データの書き込み時にいっしょに書き込んでください。受信時には、受信データに付加されたマルチプロセッサビットの値は、受信 FIFO (RDR レジスタ) の RDAT[8:0] ビットへの受信データの格納と同時に RDR.MPB フラグに格納されます。

SCR0.MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR.RDAT[8:0] ビットへの受信データの転送、DR の検出、および受信エラーの検出と SSR.RDRF、AFER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクターを受け取ると、マルチプロセッサビットの値を RDR.MPB フラグに反映するとともに受信 FIFO (RDR レジスタ) に受信データを格納し、SCR0.MPIE ビットが自動的にクリアされて非マルチプロセッサの受信動作に戻ります。このとき SCR0.RIE ビットがセットされていると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は非マルチプロセッサの調歩同期式モードで FIFO バッファを選択したときの動作と変わりません。

31.4.1 マルチプロセッサシリアルデータ送信

(1) 非 FIFO モード時

図 31.26 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは TDR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは TDR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

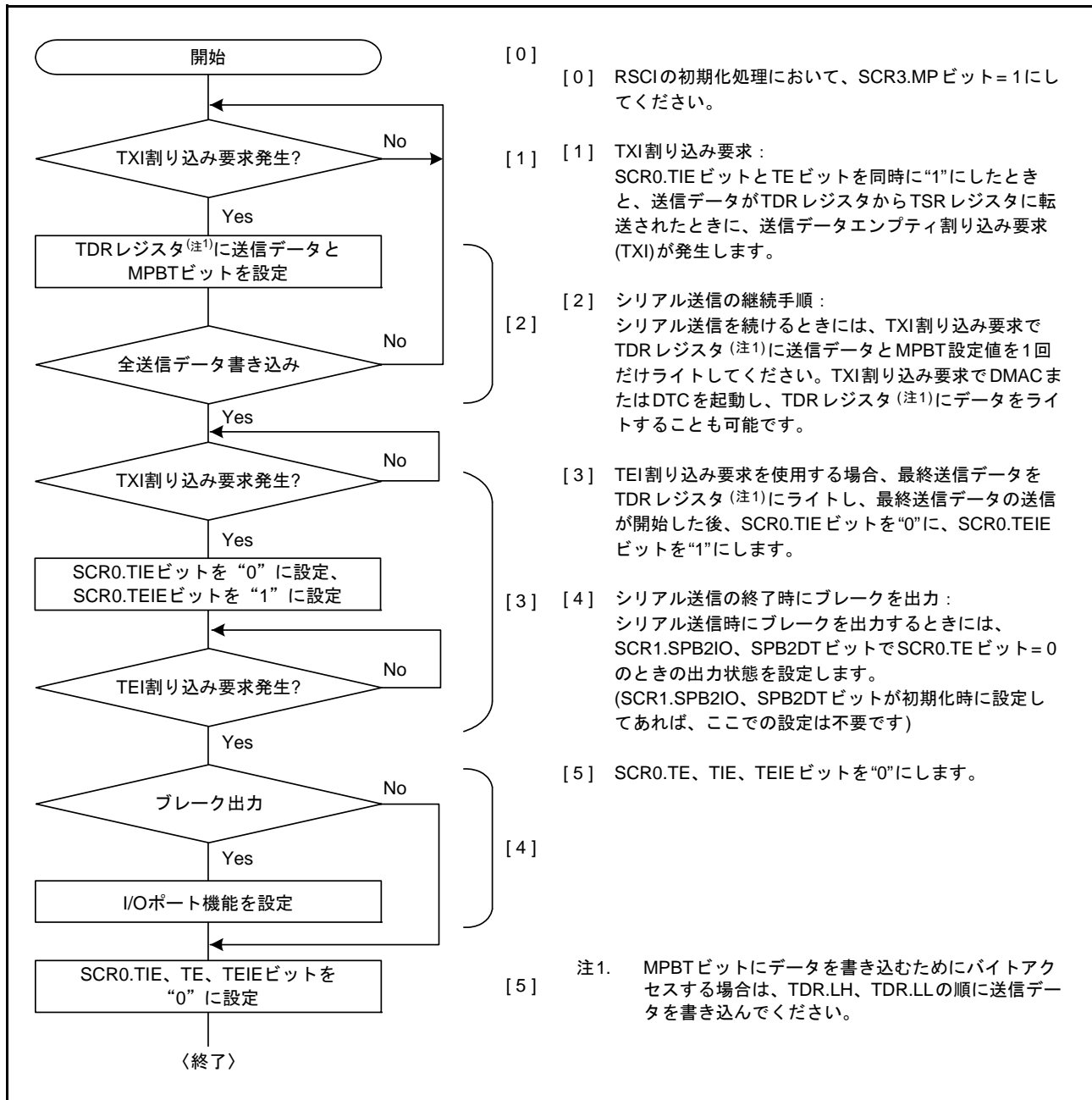


図 31.26 マルチプロセッサシリアル送信のフローチャートの例 (非 FIFO モード時)

(2) FIFO モード時

表 31.32 にマルチプロセッサデータ送信で FIFO バッファを選択したときの、送信 FIFO (TDR レジスタ) への書き込みデータフォーマットを示します。

MPBT ビットは送信 FIFO (TDR レジスタ) のビット 9 に書き込んでください。データについては、7 ビットデータ長選択時は TDR.TDAT[6:0] ビットに、8 ビットデータ長選択時は TDR.TDAT[7:0] ビットに、9 ビットデータ長選択時は TDR.TDAT[8:0] ビットに書き込みます。未使用のビットには“0”を書き込んでください。

表31.32 マルチプロセッサシリアル送信データの送信FIFO (TDRレジスタ)書き込みデータフォーマット(FIFOモード時)

データ長	レジスタの設定		TDR.Lレジスタの送信データ															
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	—	—	—	—	—	—	MPBT	—	—	TDAT[6:0]						
8ビット	1	0	—	—	—	—	—	—	MPBT	—	TDAT[7:0]							
9ビット	0	任意	—	—	—	—	—	—	MPBT	TDAT[8:0]								

— : 使用しません。“0”にしてください。

図 31.27 にマルチプロセッサデータ送信で FIFO バッファを選択したときのフローチャートの例を示します。ID 送信サイクルでは TDR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードで FIFO バッファを選択したときの動作と同じです。

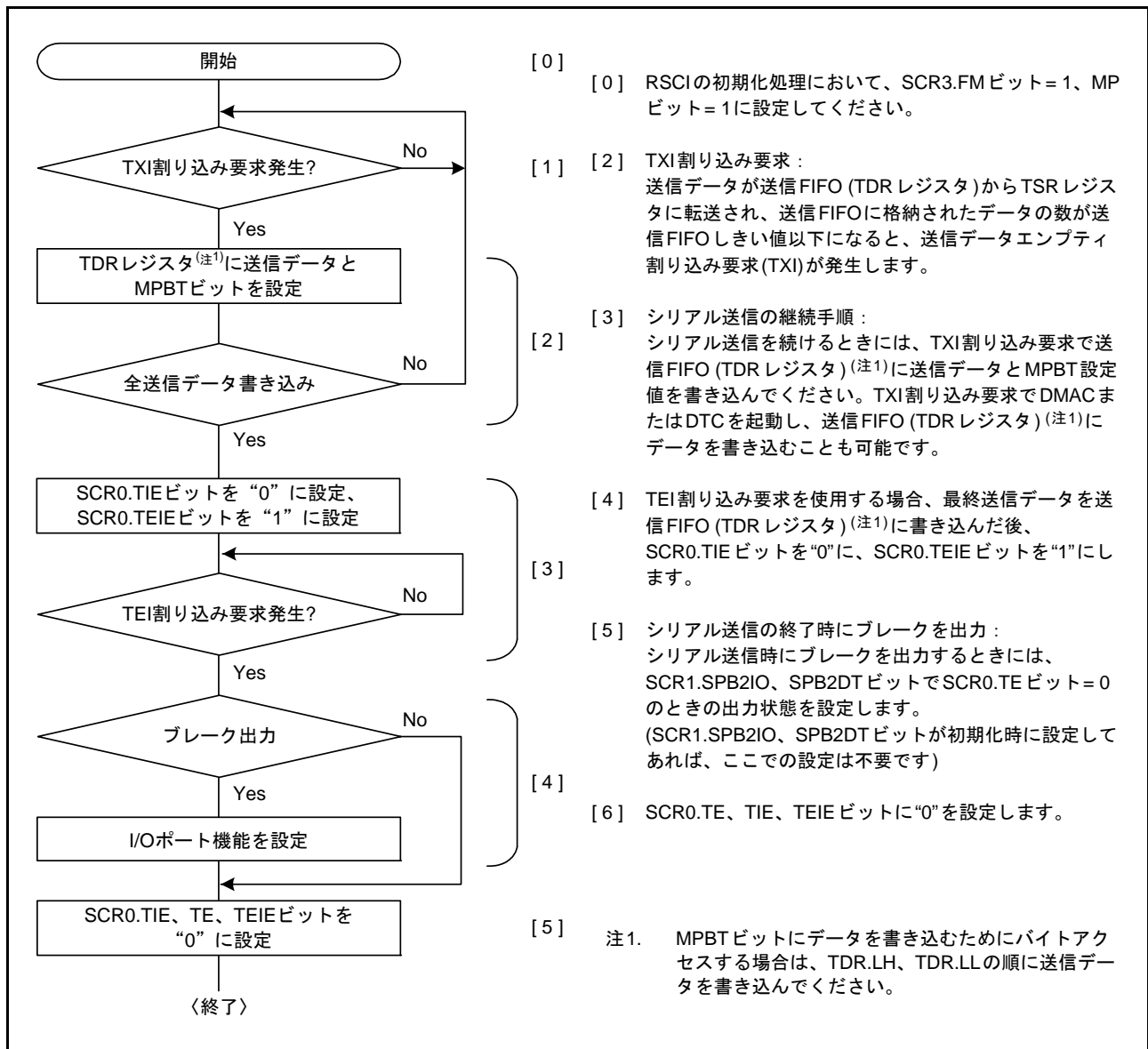


図 31.27 マルチプロセッサシリアル送信のフローチャートの例 (FIFO モード時)

31.4.2 マルチプロセッサシリアルデータ受信

(1) 非 FIFO モード時

図 31.29、図 31.30 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR0.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 31.28 に受信時の動作例を示します。

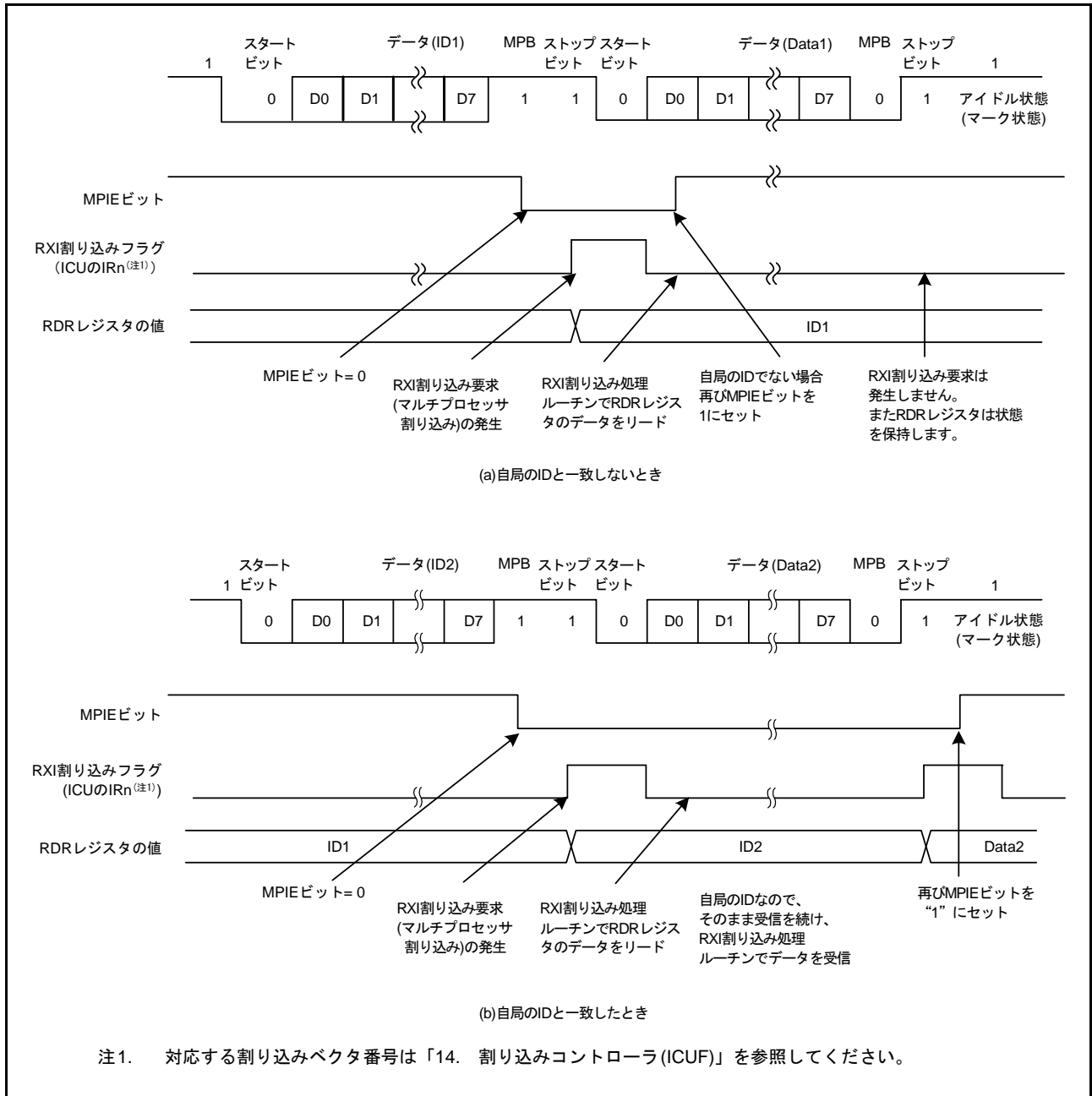


図 31.28 RSCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

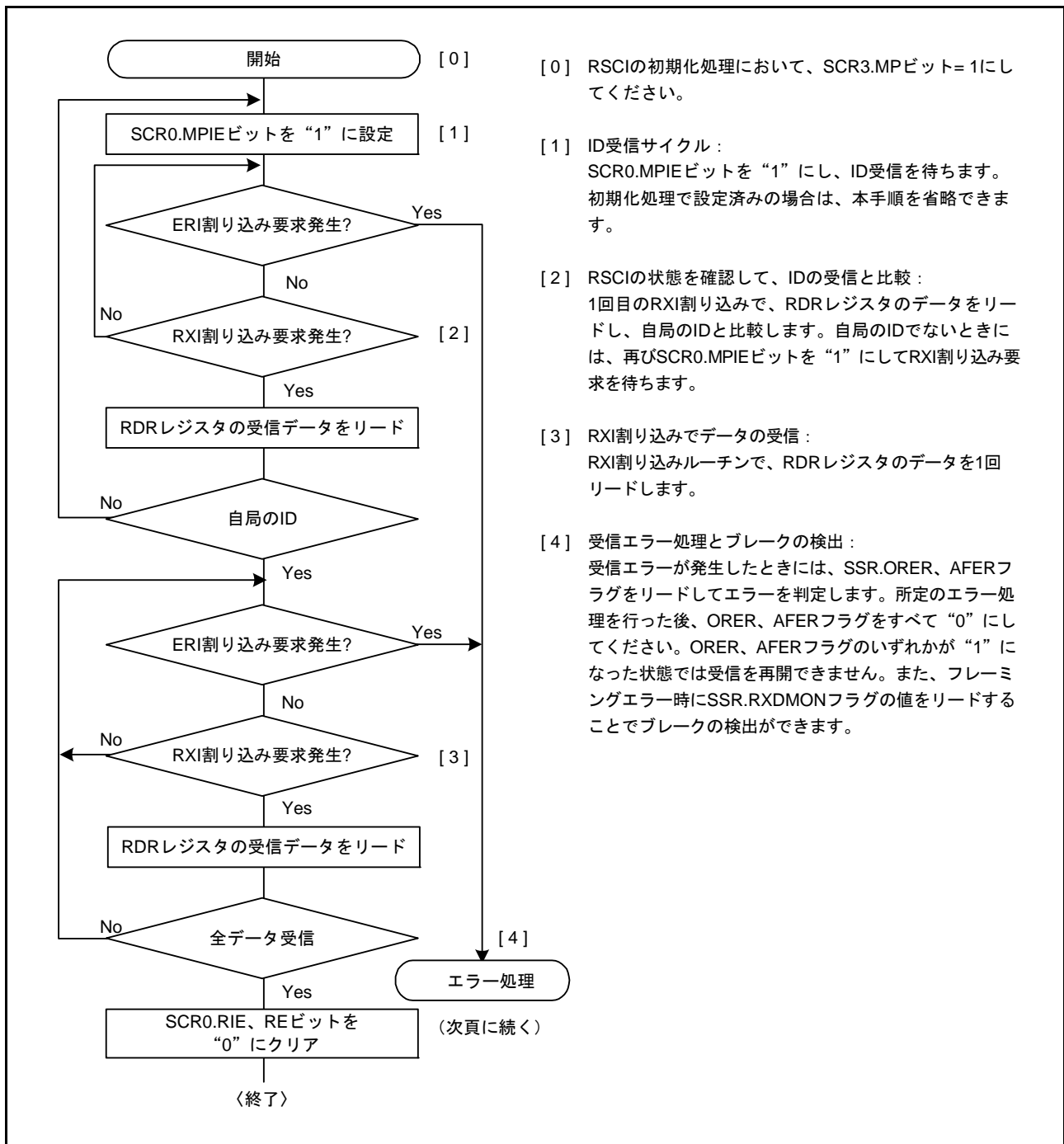


図 31.29 マルチプロセッサシリアル受信のフローチャートの例 (1) (非 FIFO モード時)

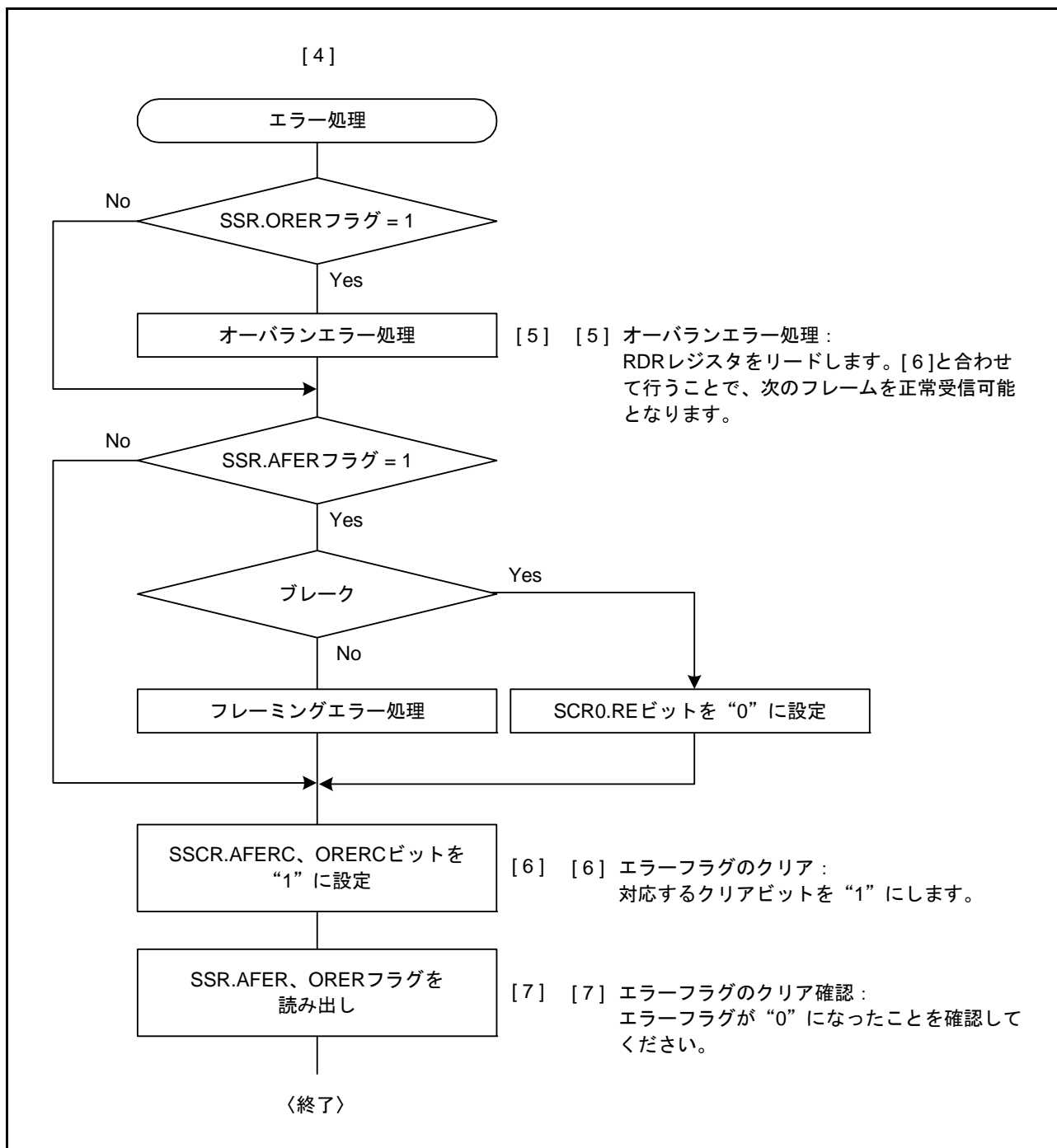


図 31.30 マルチプロセッサシリアル受信のフローチャートの例 (2) (非 FIFO モード時)

(2) FIFO モード時

表 31.33 にマルチプロセッサデータ受信で FIFO バッファを選択したときの、受信 FIFO (RDR レジスタ) に格納される受信データフォーマットを示します。

MPB フラグは RDR レジスタのビット 9 に格納され APER フラグ、PER フラグには“0”が格納されます。受信データは、7 ビットデータ長選択時は RDR.RDAT[6:0] ビットに、8 ビットデータ長選択時は RDR.RDAT[7:0] ビットに、9 ビットデータ長選択時は RDR.RDAT[8:0] ビットに格納され、未使用のビットには“0”が格納されます。受信 FIFO (RDR レジスタ) を読み出すと受信 FIFO (RDR レジスタ) 内の FER、PER、MPB フラグおよび受信データ (RDAT[8:0] ビット) が、次のデータに更新されます。受信 FIFO (RDR レジスタ) の AFER、APER、ORER フラグには、SSR レジスタ、RFSR レジスタの対応するフラグの状態が常に反映されます。

表31.33 マルチプロセッサシリアル受信データの受信FIFO (RDRレジスタ)格納フォーマット(FIFOモード時)

データ長	レジスタの設定		RDR レジスタの受信データ															
	SCR3.CHR[1:0]		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	1	0	0	0	FER	PER	DR	MPB	0	0	RDAT[6:0]						
8ビット	1	0	0	0	0	FER	PER	DR	MBT	0	RDAT[7:0]							
9ビット	0	任意	0	0	0	FER	PER	DR	MPB	RDAT[8:0]								
データ長	SCR3.CHR[1:0]		b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
7ビット	1	1	0	0	0	AFER	APER	0	0	ORER	0	0	0	0	0	0	0	0
8ビット	1	0	0	0	0	AFER	APER	0	0	ORER	0	0	0	0	0	0	0	0
9ビット	0	任意	0	0	0	AFER	APER	0	0	ORER	0	0	0	0	0	0	0	0

注. 7ビットデータ長選択時、RDAT[8:7]ビットからは“0”が読み出されます。
8ビットデータ長選択時、RDAT[8]ビットからは“0”が読み出されます。

図 31.31 にマルチプロセッサデータ受信で FIFO バッファを選択したときのフローチャートの例を示します。SCR0.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると、MPIE ビットが“0”になり、受信フレーム中の MPB フラグと受信データ、および受信時に検出したフレーミングエラーの有無を、受信 FIFO (RDR レジスタ) に転送します。フレーミングエラーが発生し SSR.AFER フラグが“1”になった後、SSR.AFER フラグが“1”の状態でも受信動作は継続します。その他の動作は調歩同期式モードで FIFO バッファを選択したときの動作と同じです。

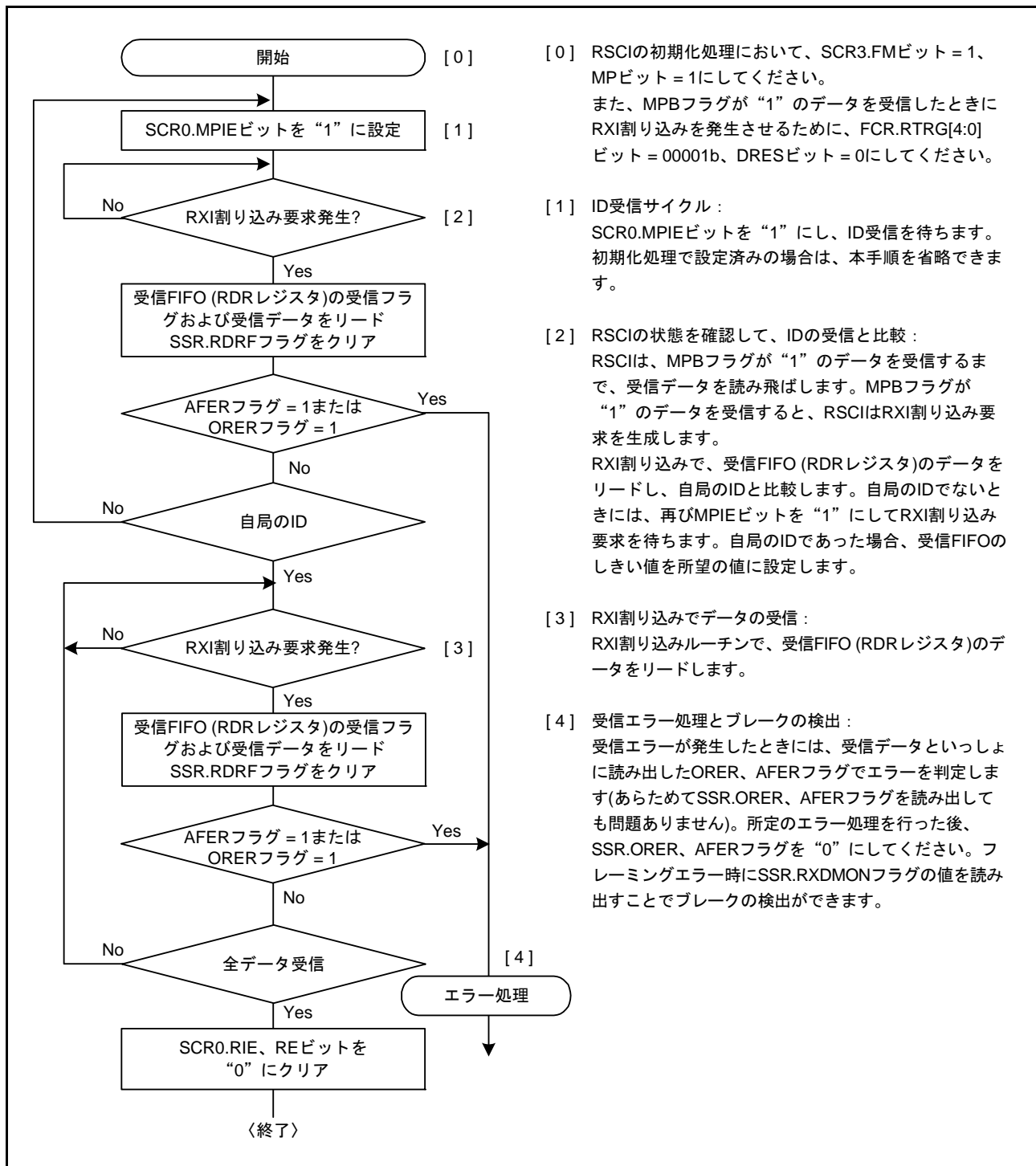


図 31.31 マルチプロセッサシリアル受信のフローチャートの例 (1) (FIFO モード時)

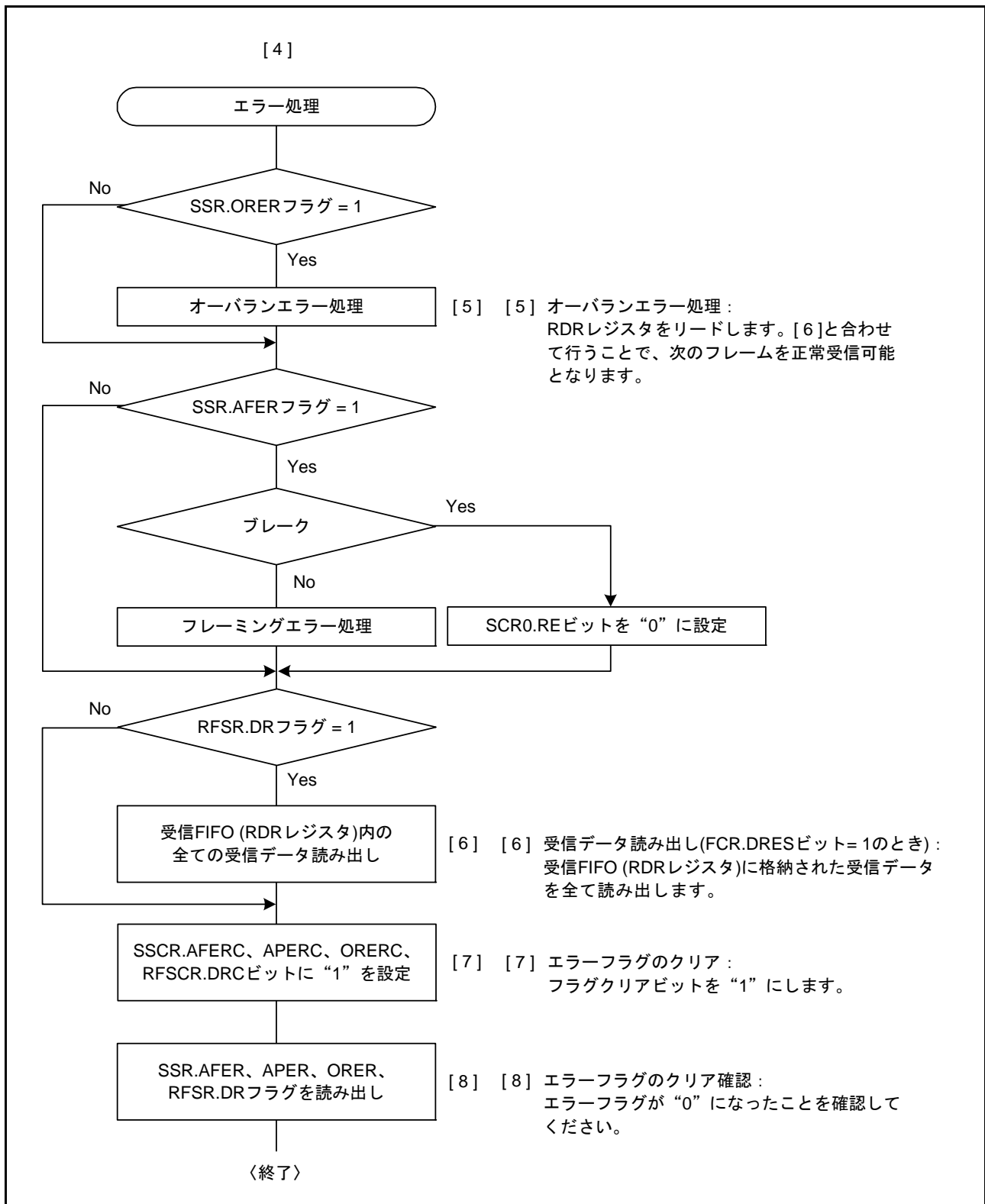


図 31.32 マルチプロセッサシリアル受信のフローチャートの例 (2) (FIFO モード時)

31.5 マンチェスタモード

マンチェスタモードを使用すると、送受信シリアルデータをマンチェスタコードで扱います。マンチェスタ符号化のイメージを図 31.33 に示します。

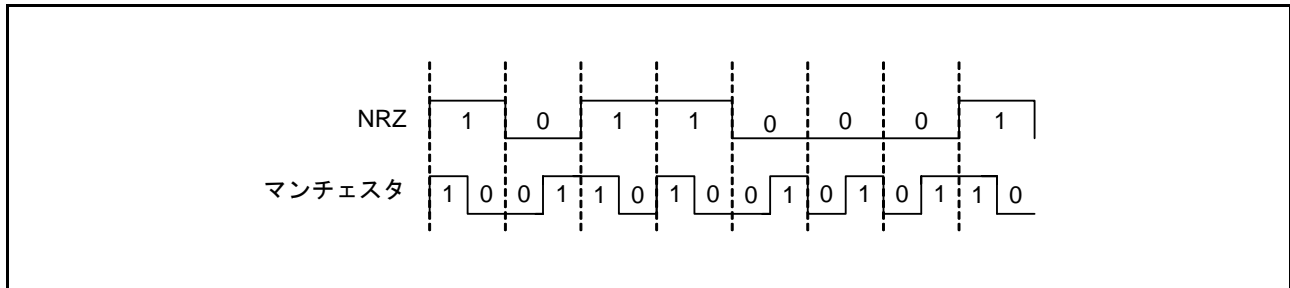


図 31.33 マンチェスタ符号化の例

マンチェスタモード時はレジスタに設定した送信データに対してプリフェースとスタートビット領域を付加し送信フレームを構築します。送信時はマンチェスタ符号化し、受信時は送信と同じフォーマットのフレームを検出し、NRZ 符号化してデータを受信します。

フレームフォーマットの詳細については「31.5.1 フレームフォーマット」を参照ください。

31.5.1 フレームフォーマット

図 31.34 がマンチェスタモードを使用した場合のフレームフォーマットです。

図の上部に記載しているのは、関連する設定レジスタです。

マンチェスタ符号化する領域は、プリフェース領域とデータ領域となります。

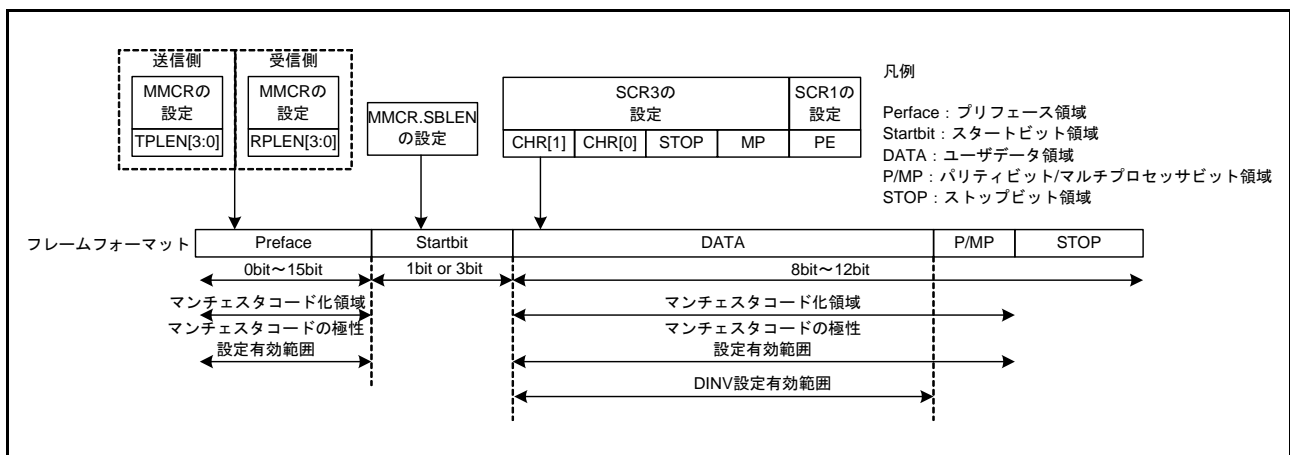


図 31.34 マンチェスタモード時のフレームフォーマット

(1) プリフェース領域

フレームの先頭を示す固定パターン領域です。

プリフェース領域は送信と受信で設定レジスタが異なります。送信時は MMCR.TPLEN[3:0] ビットの設定、受信時は MMCR.RPLEN[3:0] ビットの設定でプリフェース長が決定されます。

“0”にした場合、プリフェースはディセーブルとなり付加されません。1d ~ 15d に設定した場合、プリフェースはその設定に従った長さが付加されます（例えば 1d なら 1 ビット、15d なら 15 ビットになります）。

また、プリフェースパターンは設定で可変することが可能で、送信時は MMCR.TPPAT[1:0] ビット、受信

時は MMCR.RPPAT[1:0] ビットを設定することで4種類のパターンから選択できます。

プリフェースパターンの設定イメージを図 31.35 に示します。このプリフェース/スタートビット領域は毎通信に付加されます。

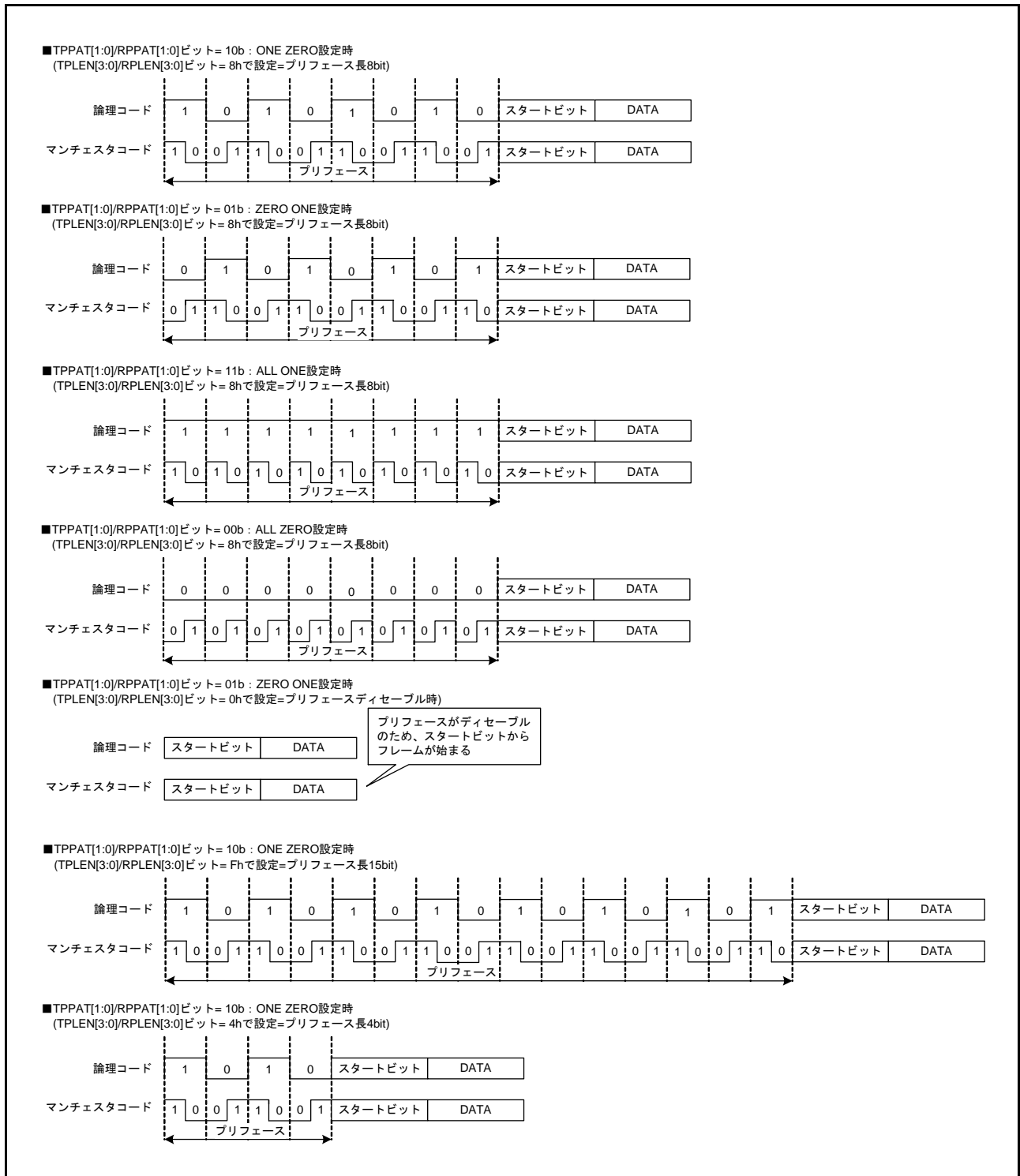


図 31.35 プリフェースパターン設定例

(2) スタートビット領域

フレームの有効データ先頭を示す領域です。プリフェース領域の後にアサインされています。

MMCR.SBLEN ビットの設定でスタートビット長が決定されます。MMCR.SBLEN ビット=0のときは、スタートビットは1ビットとなります。MMCR.SBLEN ビット=1のときは、スタートビットは3ビットとなります。

MMCR.SBLEN ビットを“1”にすると、Sync 種別を<コマンド Sync>と<データ Sync>の2種の中から設定することが可能です。

<コマンド Sync>とは、スタートビットが3bitであるときに、1→0遷移を行うパターンです。

また、<データ Sync>とは、スタートビットが3bitであるときに、0→1遷移を行うパターンです。

Sync 種別に関しては、MMCR.SYNCE と MMCR.SBPTN 設定および TDR.SYNC ビットの設定によって決定されます(受信時は MMSR.RSYNC ビットに受信結果が反映されます)。

MMCR.SBLEN ビットを“0”にすると、0→1遷移または1→0遷移を設定することが可能です。この選択は MMCR.SBPTN 設定によって決定されます。

MMCR.SYNCE ビットで、送信時の設定の参照先を指定します。“1”にした場合は MMCR.SBPTN ビットの設定を参照し、“0”にした場合は TDR.SYNC ビットの設定を参照します。

上記のスタートビット関連レジスタ (MMCR.SYNCE, MMCR.SBPTN, TDR.SYNC) を設定した場合のスタートビット領域の状態を、送信と受信に分けてそれぞれ図 31.36、図 31.37 に示します。

スタートビットは MMCR.ENCS/DECS ビットの設定の影響は受けません。

レジスタ設定				信号出力				スタートビット出力
MMCR			TDR	TXD出力波形				
SBLLEN	SYNCE	SBPTN	SYNC					
0	d.c.	0	d.c.					1bit 0 → 1遷移
0	d.c.	1	d.c.					1bit 1 → 0遷移
1	0	0	d.c.					3bit 0 → 1遷移
1	0	1	d.c.					3bit 1 → 0遷移
1	1	d.c.	0					3bit 0 → 1遷移
1	1	d.c.	1					3bit 1 → 0遷移

d.c. : 任意
 Preface : プリフェース領域
 START : スタートビット領域
 DATA : データ領域
 P : パリティビット領域
 MP : マルチプロセスサビット領域
 STOP : ストップビット領域

図 31.36 送信時のスタートビット関連設定とフォーマット

レジスタ設定				信号入力	スタートビット検出結果 ^(注1)	レジスタ表示
MMCR			TDR	RXD入力波形		MMSR.RSYNC
SBLN	SYNCE	SBPTN	SYNC			
0	d.c.	0	d.c.		スタートビット正常 (1bit 0 → 1遷移)	0
					スタートビットエラー	0
					スタートビットエラー	0
					スタートビットエラー	0
0	d.c.	1	d.c.		スタートビットエラー	0
					スタートビット正常 (1bit 1 → 0遷移)	0
					スタートビットエラー	0
					スタートビットエラー	0
1	d.c.	d.c.	d.c.		スタートビットエラー	0
					スタートビットエラー	0
					データSync	0
					コマンドSync	1

d.c. : 任意
 Preface : プリフェース領域
 START : スタートビット領域
 DATA : データ領域
 P : パリティビット領域
 MP : マルチプロセスビット領域
 STOP : ストップビット領域
 注1. スタートビット以外は正常と仮定。

図 31.37 受信時のスタートビット関連設定と判定

(3) DATA

DATA 部分のフォーマットは調歩同期式モードと同じ設定になるので、「31.3.1 シリアル送信 / 受信フォーマット」を参照ください。

図 31.34 マンチェスタモード時のフレームフォーマットにも記載していますが、マンチェスタ符号化範囲にストップビットは含まれていませんので注意してください。

31.5.2 クロック

マンチェスタモードの送受信クロックは、SCR2.CKS[1:0] ビットを設定し、内蔵ボーレートジェネレータで生成するクロックを使用します。

また、SCR2.ABCS ビットでオーバサンプリング (1 ビット期間の転送レート) を設定することが可能です。SCR2.ABCS ビット = 0 に設定すると基本クロック 16 サイクルの期間を 1 ビット期間の転送レートとするオーバサンプリング 16 倍が選択され、SCR2.ABCS ビット = 1 にすると基本クロック 8 サイクルの期間を 1 ビット期間の転送レートとするオーバサンプリング 8 倍を選択できます。

31.5.3 マンチェスタモード時の RSCI 初期化

マンチェスタモードの初期化処理は、データの送受信前に、SCR0.TE ビットと SCR0.RE ビットに“0”を書き込み (SCR0 レジスタに初期値を書き込むでも可)、図 31.38 のフローチャート例に従って初期化してください。

動作モードの変更、通信フォーマットの変更の場合も SCR0.TE ビットと SCR0.RE ビットに“0”を書き込んでから変更してください。

なお SCR0.RE ビットを“0”にしても、SSR.ORER、AFER、APER、RDRF および MMSR.MCER、SYER、PFER、SBER の各フラグ、および RDR レジスタは初期化されませんので注意してください。

また SCR0.TIE ビットが“1”の場合、SCR0.TE ビットを“0”から“1”にすると、TXI 割り込み要求が発生します。

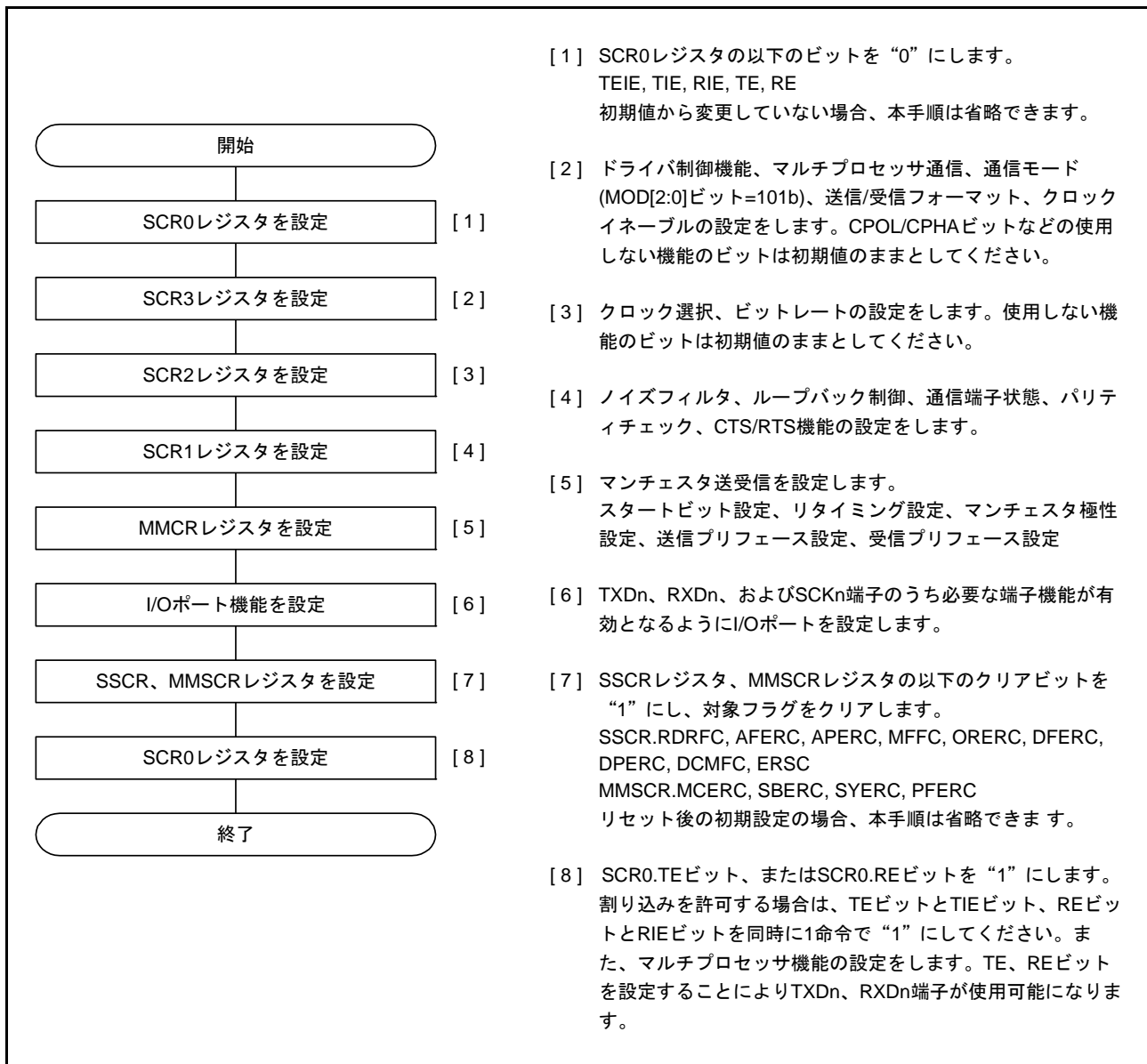


図 31.38 マンチェスタモード時の RSCI 初期化フロー

31.5.4 倍速動作

SCR2.ABCS ビットを“1”にし1ビット期間中の基本クロックパルス数8を選択すると、SCR2.ABCS ビットを“0”にした場合の2倍のビットレートで動作します。

また、SCR2.BGDM ビットを“1”にすると、基本クロックの周期が1/2倍になり、SCR2.BGDM ビットを“0”にした場合の2倍のビットレートで動作します。

SCR2.ABCS ビット=1かつSCR2.BGDM ビット=1にすることで、SCR2.ABCS ビット=0かつSCR2.BGDM ビット=0の場合の4倍のビットレートで動作することができます。

31.5.5 CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。SCR1.CTSE ビットを“1”にすると CTS 機能が有効になります。また、CTSn#/RTSn# 端子は、1 端子でどちらかの機能を使用する兼用設定と、2 端子でそれぞれの機能を同時に使用する専用の設定が可能です。SCR1.CRSEP ビットでその設定を行います。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信開始後に CTSn# 端子が High になっても、送信中のフレームは影響を受けず送信を続けます。

RTS 機能は、RTSn# 端子出力を使用して送信要求を行う機能です。受信可能状態になると RTSn# 端子に Low を出力します。Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件を全て満たす場合

- SCR0.RE ビットが“1”
- 読み出し前の受信データがない、かつ受信中でない
- SSR.ORER、AFER、APER フラグおよび MMSR.MCER、SBER (SBERIE = 1 の場合)、SYER (SYERIE = 1 の場合)、PFER (PFERIE = 1 の場合) フラグが全て“0”

[High になる条件]

Low になる条件を満たさない場合

31.5.6 マンチェスタデータ送信

データをマンチェスタ符号化して送信します。

極性設定 (MMCR.ENC5 ビット) が“0”に設定されている場合、論理コード 0 をマンチェスタコード 0 → 1 遷移に、論理コード 1 をマンチェスタコード 1 → 0 遷移に符号化します。

極性設定 (MMCR.ENC5 ビット) が“1”に設定されている場合、論理コード 0 をマンチェスタコード 1 → 0 遷移に、論理コード 1 をマンチェスタコード 0 → 1 遷移に符号化します。

そのため個々の論理データの間でマンチェスタ符号化したデータはレベル遷移が発生します (図 31.33 参照)。

送信部では、データに対してプリフェース領域の付加、スタートビット領域の設定を極性設定に従って、送信フレームのフォーマットを構築してシリアルデータの送信を行います。

フレームフォーマットについては「31.5.1 フレームフォーマット」を参照してください。

送信時のフローチャートは、図 31.39 に示します。送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にしてください。すると TXI 割り込み要求が発生します。

また、図 31.40 ~ 図 31.42 にマンチェスタモードのシリアル送信の動作例を示します。

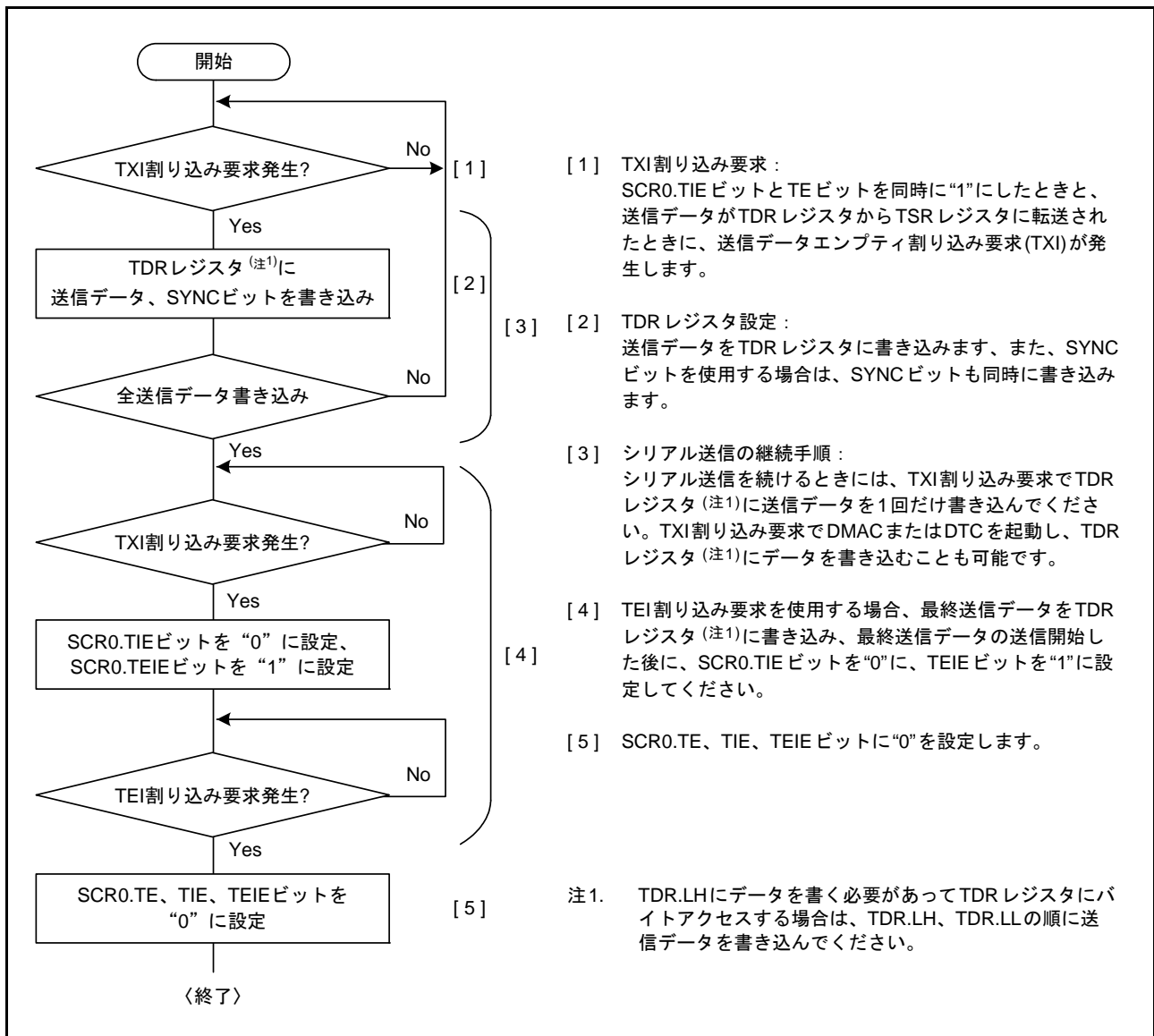


図 31.39 マンチェスタ送信フローチャート

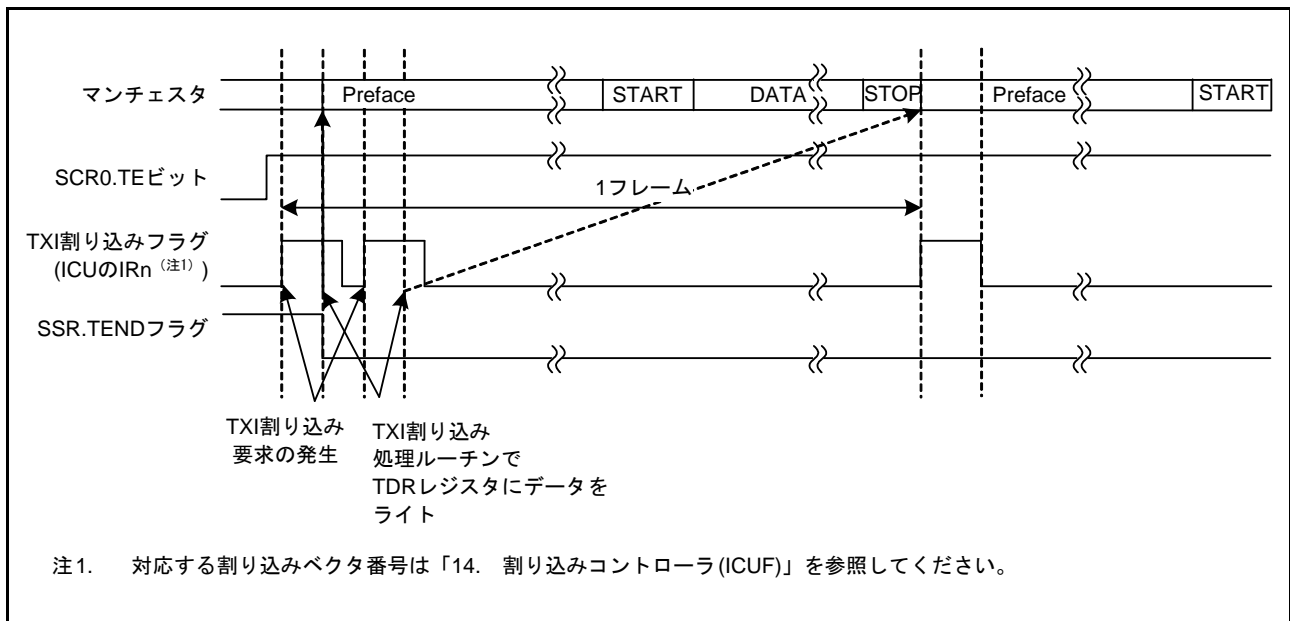


図 31.40 マンチェスタデータ送信例 (プリフェースあり /CTS 機能 OFF/ 送信開始)

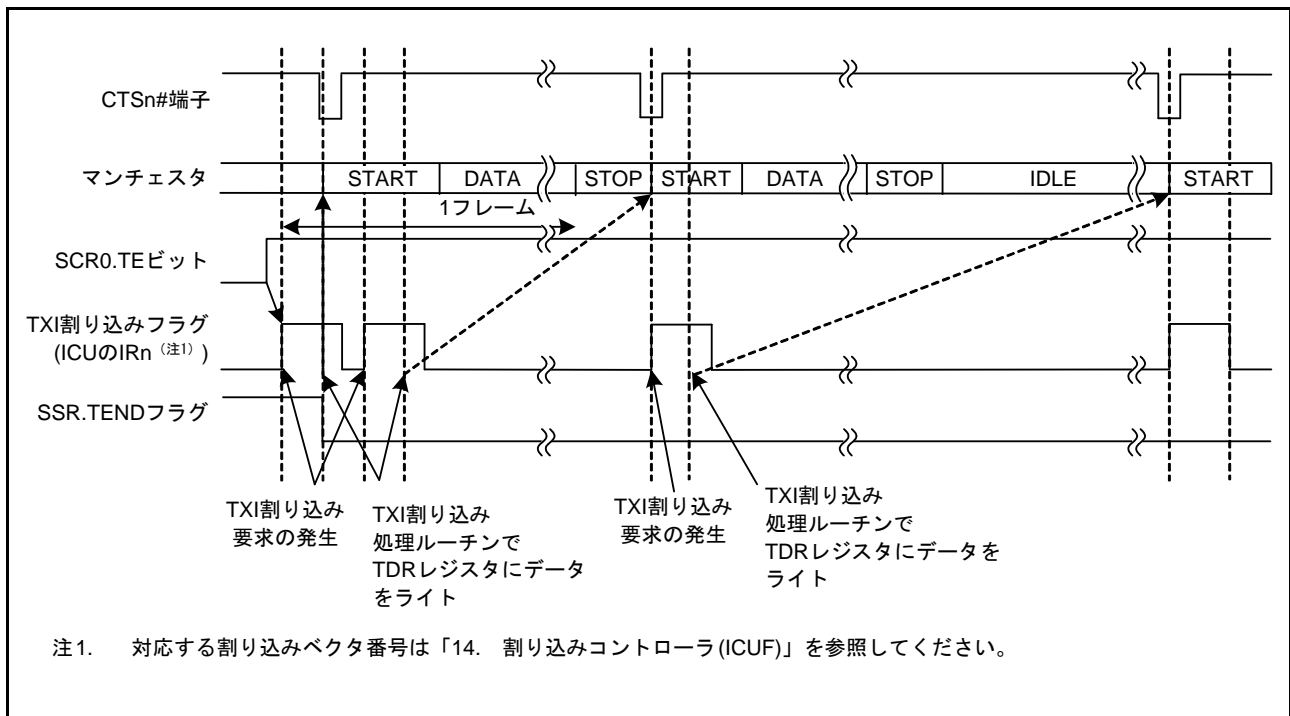


図 31.41 マンチェスタデータ送信例 (プリフェース無 /CTS 機能 ON/ 送信開始)

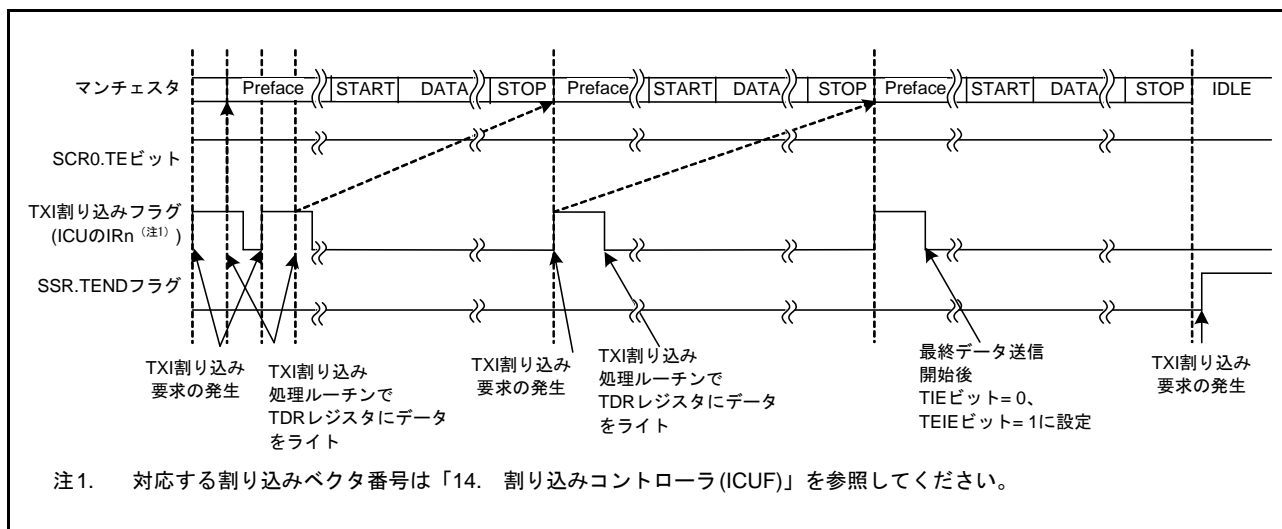


図 31.42 マンチェスタデータ送信例 (プリフェースあり /CTS 機能 OFF/ 送信完了)

31.5.7 マンチェスタデータ受信

マンチェスタモードでは、RSCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。受信時は受信データの立ち下がり基本クロックでサンプリングして受信を開始します。図31.43に示すように、受信データの立ち下がりから受信を開始し、1/4ビットまで受信データがLowを維持すればその後の受信を続けます。1/4ビット以前に受信データがHighに戻った場合は、再度立ち下がりエッジを待ちます。

ビット前半がHighを期待する受信データの場合は、基本クロック1サイクル分のLowであればノイズと判断し、そのLowへの変化を無視します。

注1. SCR2.ABCSビット=0の場合です。SCR2.ABCSビット=1の場合は、ビットレートの8倍の周波数の基本クロックで動作します。

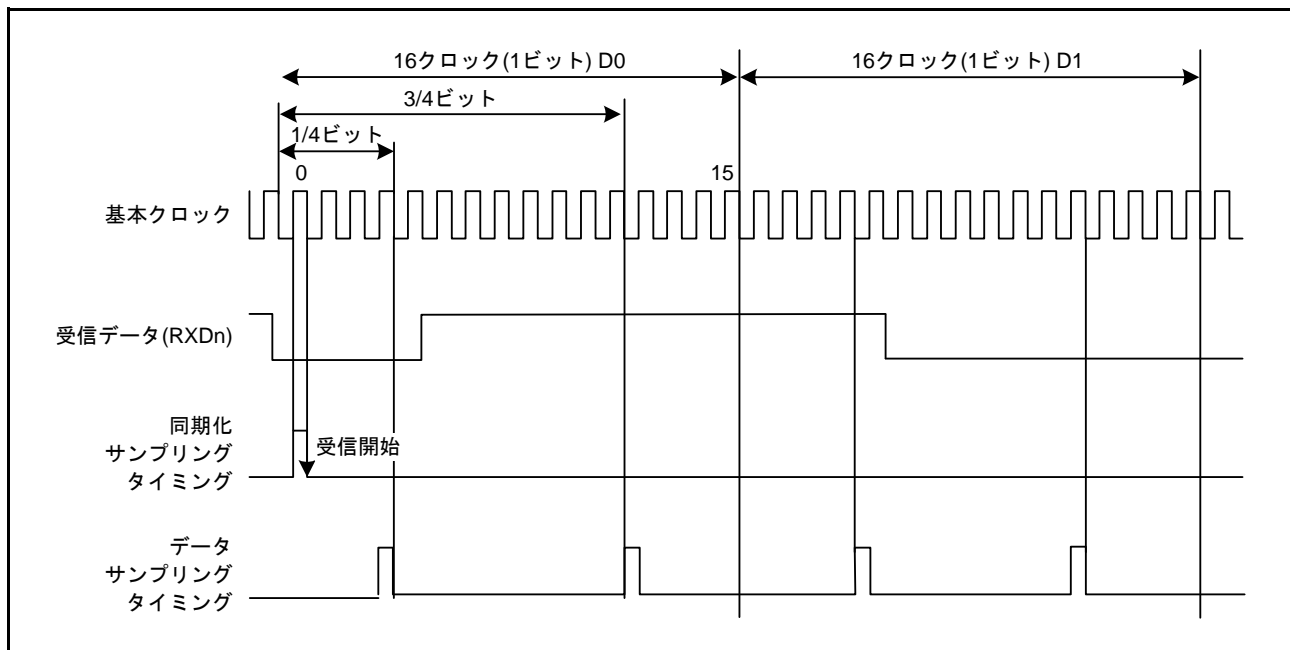


図 31.43 マンチェスタモードのデータ受信サンプリングタイミング

マンチェスタデータ受信では、まずプリフェースとスタートビットの検出を行います。

RXDn 端子からの入力に対して、MMCR.RPLEN[3:0] ビットの設定値からプリフェースが付加されているか判定します。

プリフェース無効 (MMCR.RPLEN[3:0] ビット = 0) 設定時は、プリフェース検出を行わずにスタートビット検出に移行します。

プリフェース有効時は、MMCR.RPPAT[1:0] ビットの設定値からプリフェースパターンを認識し、RXD 入力とパターン一致比較を行いプリフェースパターンの検出を行います。

プリフェースパターン一致を検出した時点で、正常プリフェースと判定し、スタートビット検出に遷移します。

プリフェースパターン不一致を検出した場合もしくはプリフェース領域でマンチェスタコードエラーを検出した場合は、プリフェースエラーと判定し、プリフェースエラーフラグ (PFER) をアサートします。

スタートビット検出はレジスタ設定 (MMCR.SBLEN ビット、SBPTN ビット) から期待値を選択し、RXD 入力に対してパターン一致比較を行い、スタートビットを検出します。スタートビットパターン一致を検出した時点で、正常スタートビットと判定しデータ処理に遷移します。

プリフェース検出とスタートビット検出が正常の場合のみ、続くデータ受信を行います。

スタートビットパターン不一致を検出した時点で、スタートビットエラーフラグ (SBER) をアサートします。

データ処理ではレジスタ設定 (SCR3.CHR[1:0] ビット) から受信データ長の期待値分のデータを、RSR レ

ジスタを通してシフトしていきます。受信データの1ビット内で2点のサンプリング点が同一である場合、マンチェスタコードエラーとして判断します。詳しくは、「31.5.11 マンチェスタモードにおけるエラー」(4)を参照して下さい。

パリティ機能がディセーブル (SCR1.PE ビット=0) の場合、ストップビット検出に移行します。パリティ機能がイネーブル (SCR1.PE ビット=1) の場合、パリティチェックを行います。パリティエラーを検出した場合、パリティエラーフラグ (APER) をアサートしその後、ストップビット検出に移行します。

ストップビット検出では受信フレームのストップビット領域で以下をチェックします。

1ビット内に2点のサンプリング点を持ち、2点とも High であれば正常なストップビットと認識し RDR レジスタへデータを格納します。1点でも Low であれば、異常なストップビットと判定しフレーミングエラーフラグ (AFER) をセットします。エラー検出時も異常データとして受信データは RDR レジスタへ格納します。

図 31.44 にマンチェスタモードの受信の動作例を示します。

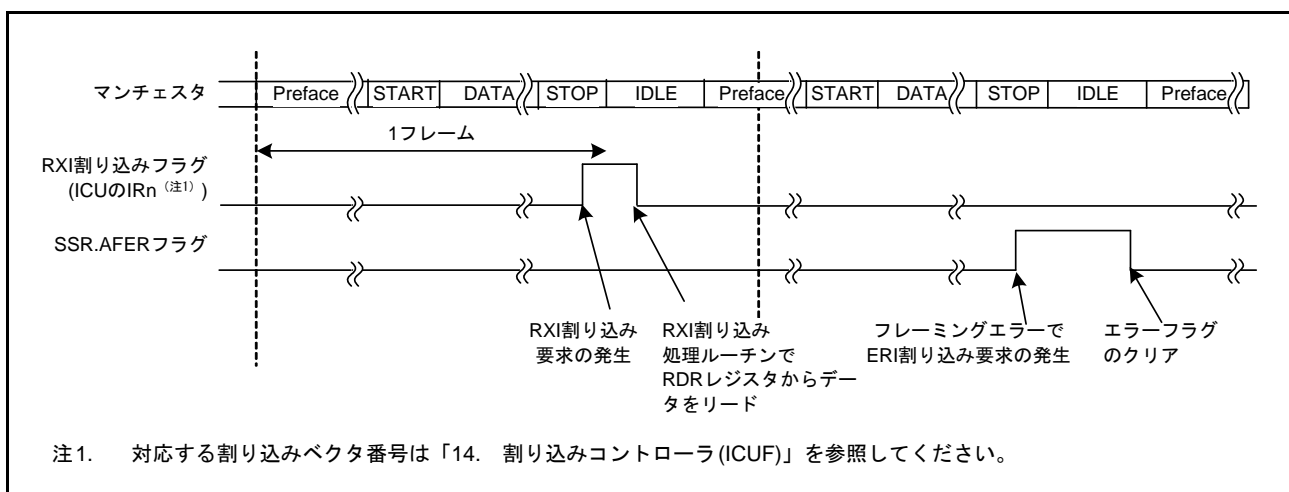


図 31.44 マンチェスタデータ受信 (プリフェースあり)

受信エラーを検出した場合の、SSR レジスタおよび MMSR レジスタの各ステータスフラグの状態と RXD 入力の処理に関しては、「31.5.11 マンチェスタモードにおけるエラー」を参照してください。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、AFER、APER、MCER、SYER (注2)、PFER (注2)、SBER (注2) フラグをクリアしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 31.45、図 31.46 にシリアル受信のフローチャートの例を示します。

注2. 対応するイネーブルビットが“1”の場合有効となります

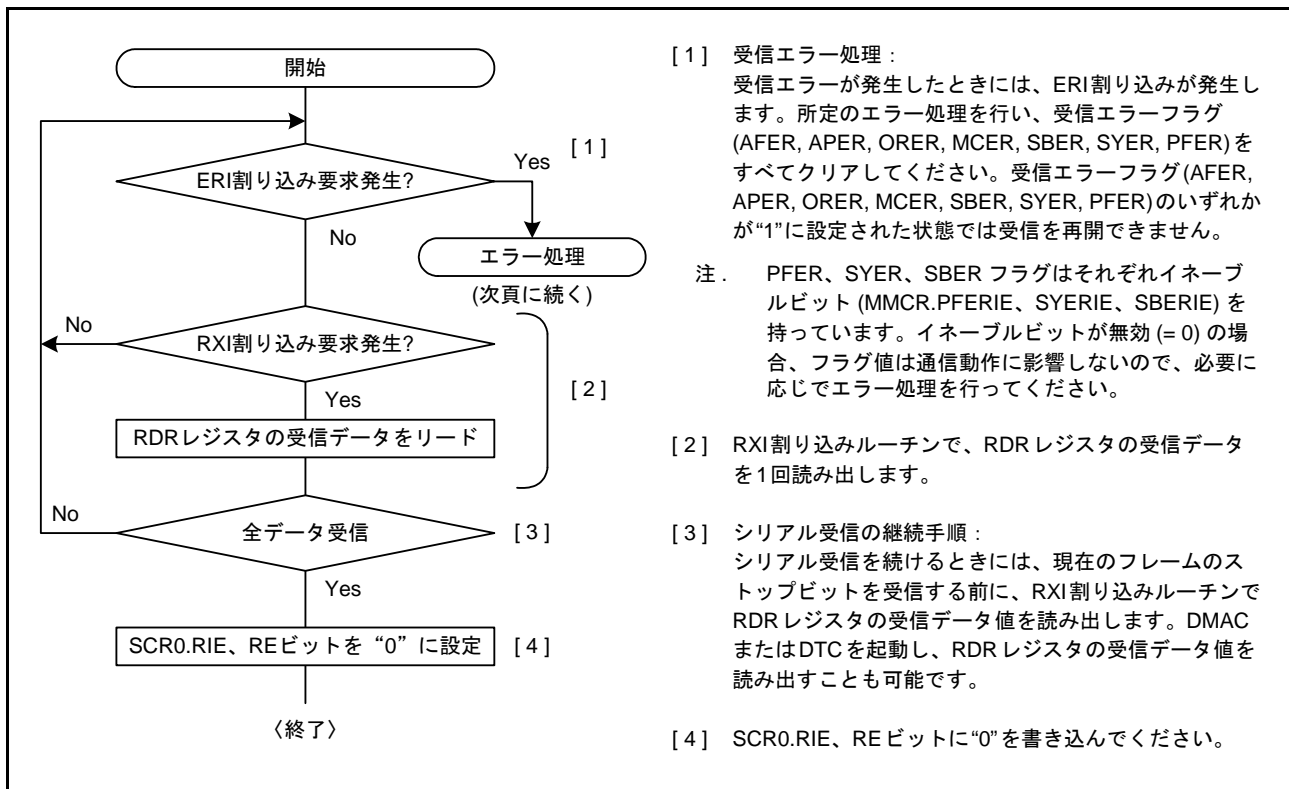


図 31.45 マンチェスタ受信フローチャート例 (通常)

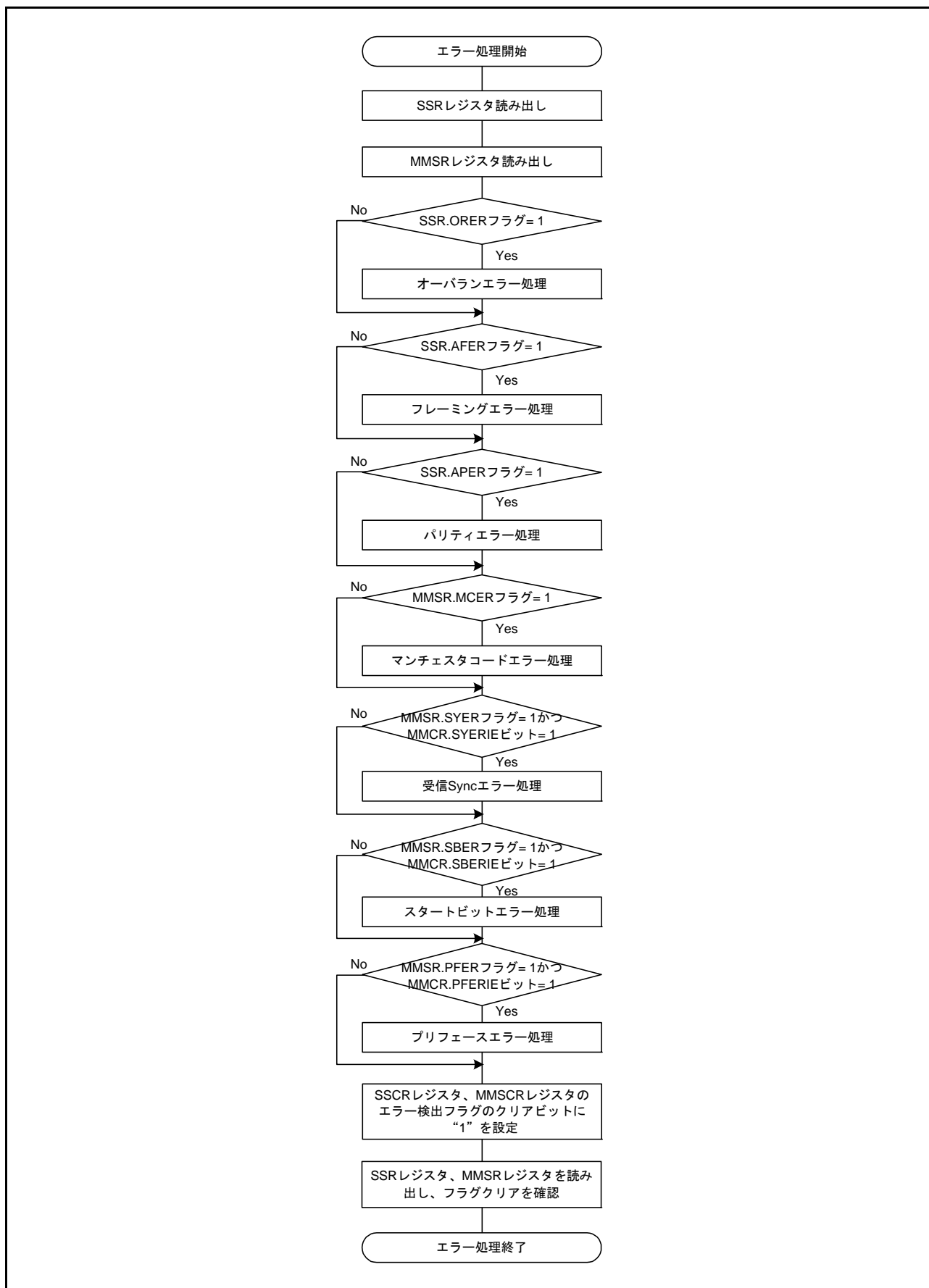


図 31.46 マンチェスタデータ受信フローチャート例 (エラー時)

31.5.8 マルチプロセッサビット使用時の動作

マルチプロセッサモード使用時のマンチェスタモードの動作については、「31.4 マルチプロセッサ通信機能」(1)と同じ動作になるので、そちらを参照してください。

マンチェスタモード時はフレームフォーマットにプリフェース、スタートビットを付加した形で読み替えてください。受信時のフローチャート(図 31.29)のエラー時処理については、マンチェスタモード時は図 31.46 を参照してください。各種エラー検出時の動作状態は、表 31.36 を参照してください。

31.5.9 受信リタイミング

マンチェスタコードがビット中央にエッジを持つことを利用して、そのビット中央エッジごとにタイミング補正を行う機能です。

受信リタイミング機能はレジスタ MMCR.SADJE ビットの設定によって、ON/OFF 設定が可能です。

受信リタイミング機能 OFF 時 (MMCR.SADJE ビット = 0) はリタイミングが行われないため、内部クロックと RXD 入力のずれが蓄積され、受信マージンが低下します

受信リタイミング機能 ON 時 (MMCR.SADJE ビット = 1) はプリフェース領域、スタートビット領域(注 1)およびデータ領域(ストップビットを除く)でタイミング補正を行います。

注 1. スタートビット領域に関して「プリフェース長 = 0」かつ「スタートビット 3 ビット」設定時はリタイミング対象外です。

例としてオーバサンプリング 16 倍設定時の受信リタイミングを示します。

RXD 入力のエッジを予定受信サイクルの 2 ~ 4 サイクル前に検出した場合、Sampling CLK で 1 サイクル受信処理を短縮します。

RXD 入力のエッジを予定受信サイクルの 2 ~ 3 サイクル後で検出した場合、Sampling CLK で 1 サイクル受信処理を伸ばします(クロックとデータのずれが 2 サイクル以上あっても、1 ビットあたりの補正幅としては 1 サイクルずつ補正します)。

図 31.47 に受信リタイミング範囲のイメージを示します。

図中の Tolerance 領域でエッジを検出した場合、補正は行わず、データを受け取ります。

図中の SyncJump 領域でエッジを検出した場合、補正を行い、データを受け取ります。

図中の SyncError 領域でエッジを検出した場合、補正は行わず、異常データとしてデータを受け取ります。

また、マンチェスタコードエラー(1/4 位相と 3/4 位相のサンプリングポイントでデータが一致した場合)はコードエラーとして値を受け取ります。

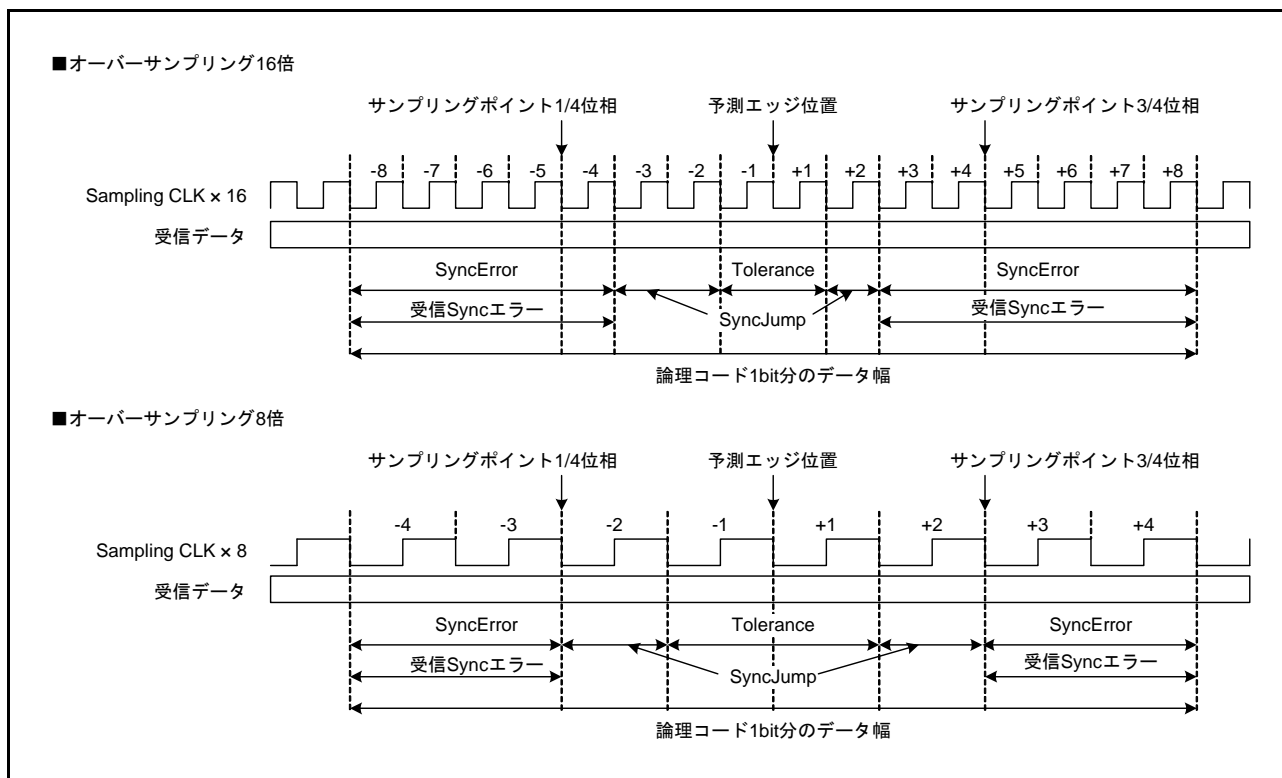


図 31.47 受信リタイミング範囲イメージ

31.5.10 マンチェスタコードの極性設定

マンチェスタモード制御レジスタ (MMCR) で、マンチェスタコードの極性設定が可能です。

送受信で別々に設定することが可能で、送信は MMCR.ENC5 ビット、受信は MMCR.DECS ビットにて設定することができます。

マンチェスタコードの極性設定の有効範囲はプリフェース領域、データ領域、パリティ/マルチプロセッサ領域となります。

マンチェスタコードの極性を初期設定 (ENC5/DECS ビット = 0) で処理した場合、論理コード 0 をマンチェスタコードで 0 → 1 遷移、論理コード 1 をマンチェスタコードで 1 → 0 遷移となりますが、設定を変更すると (ENC5/DECS ビット = 1)、論理コード 0 をマンチェスタコードで 1 → 0 遷移、論理コード 1 をマンチェスタコードで 0 → 1 遷移となります。設定と動作イメージを図 31.48 に示します。

また、データ領域に関しては上記機能とは別に送受信データインバート機能 (SCR3.DINV ビット) で送受信データを反転することができます。マンチェスタコードの極性設定 (MMCR.ENC5/DECS ビット) と送受信データインバート機能 (SCR3.DINV ビット) は、各々設定可能なので両方を反転 (MMCR.ENC5/DECS ビット = 1、SCR3.DINV ビット = 1) にした場合、両方の設定の有効範囲になっている送受信データは初期状態 (反転 + 反転 → 正転) となります。

スタートビット領域は、上記とは別なレジスタで極性を設定することが可能です。

設定レジスタが異なるため、上記のマンチェスタコードの極性設定の影響は受けません。

スタートビット領域の設定については、「31.5.1 フレームフォーマット」(2) を参照してください。

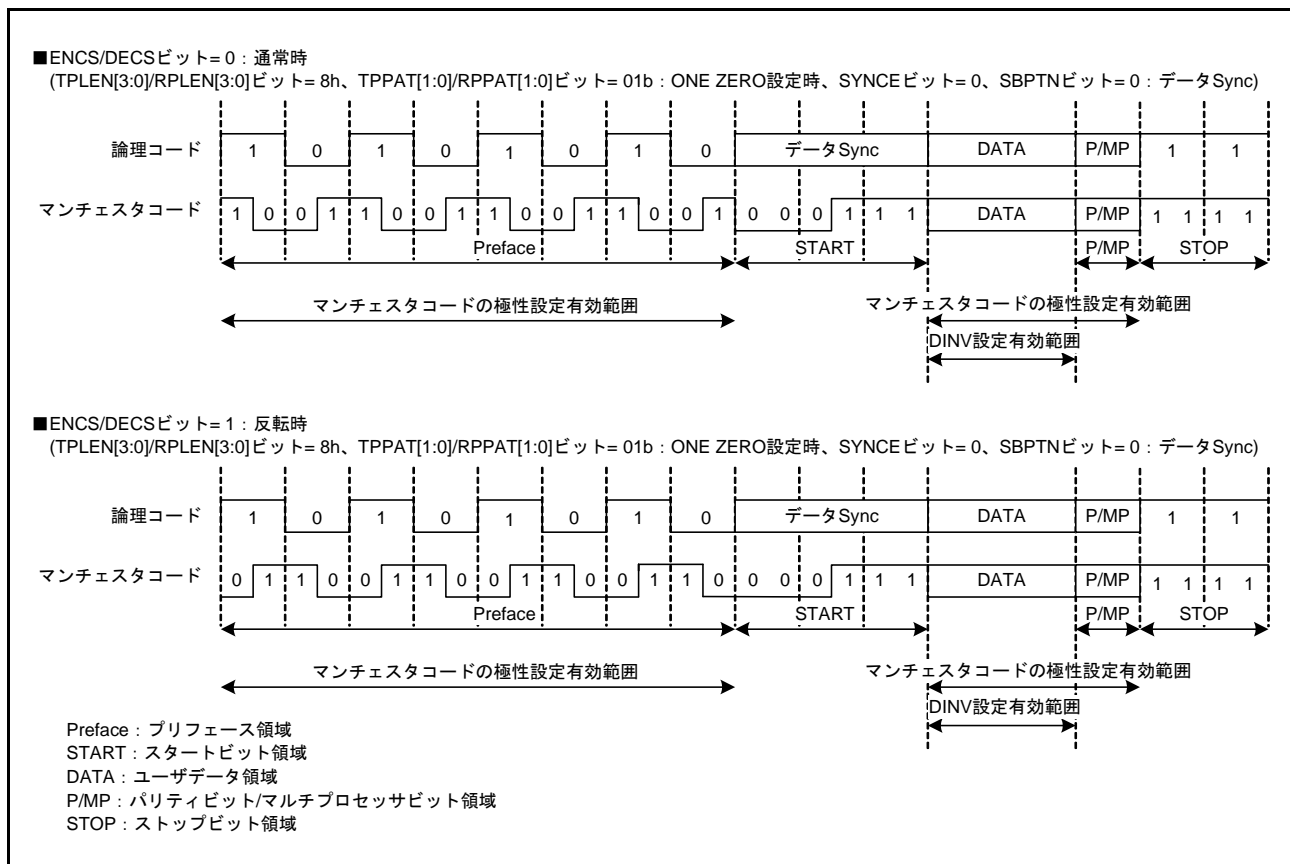


図 31.48 マンチェスタコードの極性設定有効範囲

31.5.11 マンチェスタモードにおけるエラー

マンチェスタモードでは、エラーに以下の種類があります。

- (1) パリティエラー
- (2) オーバランエラー
- (3) フレーミングエラー
- (4) マンチェスタコードエラー
- (5) プリフェースエラー
- (6) スタートビットエラー
- (7) 受信 Sync エラー

(1)～(3)のエラーに関しては、調歩同期式モードと同内容なので、「31.3.9 シリアルデータの受信 (調歩同期式モード)」(1)を参照してください。

各種エラーは各領域でその判定を行います。フラグや動作への反映は、STOP ビットの 3/4 ビットサンプリングのタイミングで行います。プリフェースエラーかスタートビットエラーを検出した場合は、以降のデータを受信しません。したがって、その他のエラー検出も行われず、エラーフラグは以前の情報を保持します。

エラーを検出した場合のシリアルステータスレジスタの状態と RDR レジスタへデータセットするかどうかの判定を表 31.34 に示します。また、マンチェスタフレームの各領域で検出可能なエラーを表 31.35 に示します。また、以前のフレームにエラーが検出されていた場合は、データを受信しませんが、プリフェース領域とスタートビット領域のエラーはそのフラグを更新します。この場合のフラグと動作を表したものを表 31.36 に示します。

(4) マンチェスタコードエラー

マンチェスタコードエラーは、マンチェスタコードのエラーを検出した場合にセットするエラーです。マンチェスタコードではビットの中央にエッジ (遷移) がないことはありません。

受信フレームのデータ領域 (パリティ / マルチプロセッサビットを含む) で受信した 1 ビットごとのデータに対して、1/4 と 3/4 のサンプリングポイントの値をチェックし、この 2 点の値が一致した場合マンチェスタコードエラーと判定します。

マンチェスタコードエラーを検出した場合、マンチェスタコードエラーフラグ (MMSR.MCER) をアサートします。

マンチェスタコードエラーが発生した場合、割り込み要因になります。エラーを検出した場合、フラグをクリアするまで次の受信を行いません。

(5) プリフェースエラー

プリフェースエラーは、プリフェースパターン不一致または、プリフェース領域でマンチェスタコードエラーを検出した場合にセットするエラーです。プリフェースエラーを検出した場合、プリフェースエラーフラグ (MMSR.PFER フラグ) をアサートします。

また MMCR レジスタの設定でプリフェースエラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.PFERIE ビット = 1 の場合、プリフェースエラーは、割り込み要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.PFERIE ビット = 0 の場合、プリフェースエラーが発生しても割り込み要因にはならず、次の受信を停止することはありません。ただしプリフェースエラーとして、MMSR.PFER フラグに通知は行われません。

(6) スタートビットエラー

スタートビットエラーは、受信フレームのスタートビット領域に対して設定されたスタートビットパターンと比較し、不一致した場合にセットするエラーです。スタートビットエラーを検出した場合、スタート

ビットエラーフラグ (MMSR.SBER) をアサートします。

また MMCR レジスタの設定でスタートビットエラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.SBERIE ビット=1 の場合、スタートビットエラーは、割り込み要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.SBERIE ビット=0 の場合、スタートビットエラーが発生しても割り込み要因にはならず、次の受信を停止することはありません。ただしスタートビットエラーとして、MMSR.SBER フラグに通知は行われます。

(7) 受信 Sync エラー (SyncError)

「31.5.9 受信リタイミング」で記載した受信リタイミングイネーブルを ON とすると受信リタイミング動作を行います。

受信リタイミング動作が行われている時に、受信リタイミングの範囲内 (図 31.47 内 SyncroError の領域) でエッジ検出しなかった場合にセットするエラーです。受信 Sync エラーを検出した場合、受信 Sync エラーフラグ (MMSR.SYER) をアサートします。受信リタイミング対象外の領域では受信 Sync エラーは検出されません。

受信リタイミング動作が行われる、プリフェース領域 (注1)、スタートビット領域 (注1、注2) およびデータ領域 (ストップビットを除く) でチェックを行います

また、MMCR レジスタの設定で受信 Sync エラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.SYERIE ビット=1 の場合、受信 Sync エラーは、割り込み要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.SYERIE ビット=0 の場合、受信 Sync エラーが発生しても割り込み要因にはならず、次の受信を停止することはありません。ただし、受信 Sync エラーとして、MMSR.SYER フラグに通知は行われます。

- 注1. ビットの前半が High を期待するパターンで開始するフレームの場合は、リタイミング対象外です (プリフェース、およびスタートビット領域)。
- 注2. スタートビット領域において、「プリフェース長=0」かつ「スタートビット3ビット」設定時はリタイミング対象外です。また、スタートビット3ビット設定時のスタートビット領域の1ビット目と2ビット目もリタイミング対象外です。

表31.34 ステータスフラグの状態と受信データの処理(マンチェスタモード)

SSRレジスタのステータスフラグ			MMSRレジスタのステータスフラグ				受信データ	受信エラーの状態(ERI割り込み生成)
ORER	AFER	APER	MCE R	SBER (注1)	PFER (注1)	SYER		
0	0	0	0	0	0	0	RDRへ転送	エラーなし
0	1	0	0	0	0	0	RDRへ転送	フレーミングエラー
0	0	1	0	0	0	0	RDRへ転送	パリティエラー
0	1	1	0	0	0	0	RDRへ転送	フレーミングエラー+パリティエラー
0	0	0	1	0	0	0	RDRへ転送	マンチェスタコードエラー
0	1	0	1	0	0	0	RDRへ転送	フレーミングエラー+マンチェスタコードエラー
0	0	1	1	0	0	0	RDRへ転送	パリティエラー+マンチェスタコードエラー
0	1	1	1	0	0	0	RDRへ転送	フレーミングエラー+パリティエラー+マンチェスタコードエラー
1	0	0	0	0	0	0	消失	オーバランエラー
1	1	0	0	0	0	0	消失	オーバランエラー+フレーミングエラー
1	0	1	0	0	0	0	消失	オーバランエラー+パリティエラー
1	1	1	0	0	0	0	消失	オーバランエラー+フレーミングエラー+パリティエラー
1	0	0	1	0	0	0	消失	オーバランエラー+マンチェスタコードエラー
1	1	0	1	0	0	0	消失	オーバランエラー+フレーミングエラー+マンチェスタコードエラー
1	0	1	1	0	0	0	消失	オーバランエラー+パリティエラー+マンチェスタコードエラー
1	1	1	1	0	0	0	消失	オーバランエラー+フレーミングエラー+パリティエラー+マンチェスタコードエラー
0	上記エラー組み合わせ			0	0	1	RDRへ転送	上記エラー+受信Syncエラー(注2)
1	上記エラー組み合わせ			0	0	1	消失	上記エラー+受信Syncエラー(注2)
保持	保持	保持	保持	0	1	0	消失	プリフェースエラー(注3)
保持	保持	保持	保持	1	0	0	消失	スタートビットエラー(注3)
保持	保持	保持	保持	0	1	1	消失	プリフェースエラー(注3)+受信Syncエラー(注2)
保持	保持	保持	保持	1	0	1	消失	スタートビットエラー(注3)+受信Syncエラー(注2)

注1. プリフェースエラーとスタートビットエラーは、同時に“1”にセットされません。

注2. MMCR.SYERIE = 1の場合、SYER要因でERI割り込みが生成されます。

注3. MMCR.PFERIE = 1およびMMCR.SBERIE = 1の場合に、対応するフラグセットされるとERI割り込みが生成されます。

表31.35 各領域で検出可能なエラー

	プリフェースエラー (PFER)	スタートビットエラー (SBER)	マンチェスタコードエラー (MCE R)	受信Syncエラー (SYER)	パリティエラー (APER)	フレーミングエラー (AFER)
プリフェース領域	○	—	—(注1)	○(注2)	—	—
スタートビット領域	—	○	—	○(注2)	—	—
データ領域	—	—	○	○	—	—
パリティビット領域	—	—	○	○	○	—
マルチプロセッサビット領域	—	—	○	○	—	—
ストップビット領域	—	—	—	—	—	○

○：検出、—：未検出

注1. プリフェース領域でマンチェスタコードエラーが発生した場合、プリフェースエラーになります。

注2. 受信Syncエラー検出の対象外の場合があります。詳細は「31.5.11 マンチェスタモードにおけるエラー」(7)の注記を参照してください。

表 31.36 以前のフレームのエラー有無による動作状態およびマルチプロセッサモード時の動作状態一覧(SCR0.MPIEビット=0の場合)

以前のフレーム	当該フレームの各領域					PFE RIE	SBE RIE	SYE RIE	受信データ	エラーフラグ	割り込み
	プリフェース	スタートビット	データ	パリティビット	ストップビット						
エラーなし	PFERあり、SYERなし(注1)	エラーなし	—	—	—	0	—	—	消失	PFERセット(注1)	出力しない
						1					出力する
	エラーなし	SBERあり、SYERなし(注1)	—	—	—	—	0	—	消失	SBERセット(注1)	出力しない
							1				出力する
	SYERあり、PFERなし	エラーなし	—	—	—	—	—	0	RDRへ転送	SYERセット	出力しない
								1	消失		出力する
	エラーなし	SYERあり、SBERなし	—	—	—	—	—	0	RDRへ転送	SYERセット	出力しない
								1	消失		出力する
	エラーなし	エラーなし	SYERあり		エラーなし	—	—	0	RDRへ転送	SYERセット	出力しない
			1	消失				出力する			
エラーなし	エラーなし	MCERあり		エラーなし	—	—	—	RDRへ転送	MCERセット	出力する	
		消失									
エラーなし	エラーなし	—	APERあり	エラーなし	—	—	—	RDRへ転送	APERセット	出力する	
								消失			
エラーなし	エラーなし	—	—	AFERあり	—	—	—	RDRへ転送	AFERセット	出力する	
								消失			
エラー含む					—	—	—	消失	セットする(注2)	出力する	
ORERあり											
エラーなし	エラーなし	エラーなし	エラーなし	エラーなし、ORERあり	—	—	—	消失	ORERセット	出力する	
											消失
エラーあり(注3、注5)	PFERあり、SYERなし(注1)	エラーなし	—	—	—	0	—	—	消失	PFERセット(注1)	出力する(注4)
						1					
	エラーなし	SBERあり、SYERなし(注1)	—	—	—	—	0	—	消失	SBERセット(注1)	
							1				
	SYERあり、PFERなし	エラーなし	—	—	—	—	—	0	消失	SYERセット	
								1			
	エラーなし	SYERあり、SBERなし	—	—	—	—	—	0	消失	SYERセット	
								1			
	エラーなし	エラーなし	SYERあり		エラーなし	—	—	0	消失	セットしない	
			1								
エラーなし	エラーなし	MCERあり		エラーなし	—	—	—	消失	セットしない		
		消失									
エラーなし	エラーなし	—	APERあり	エラーなし	—	—	—	消失	セットしない		
										消失	
エラーなし	エラーなし	—	—	AFERあり	—	—	—	消失	セットしない		
										消失	
エラー含む					—	—	—	消失	セットしない		
ORERあり											
エラーなし	エラーなし	エラーなし	エラーなし	エラーなし、ORERあり	—	—	—	消失	ORERセット	出力する	
											消失

注1. SYERもあった場合は、SYERフラグもセットされ、他の動作は表のとおりです。

注2. ORER含む、その他のエラーフラグをセットします。

- 注3. STOPビット判定前にエラー要因が取り除かれ、フラグがクリアされた場合は、上記の以前のフレームにエラーなしと同じ動作となります。
- 注4. ERIエラーはレベル出力のため、当該フレームのエラー有無にかかわらず、以前のフレームのエラーによりアクティブのままとなります。
- 注5. MMSR.PFER、SBER、SYERフラグについては、各ENビットがディセーブル設定時はエラーなしとして扱います。

表31.37 マルチプロセッサモード時の動作状態一覧(SCR0.MPIEビット=1の場合)

MPB (注1)	当該フレームの各領域					PFE RIE	SBE RIE	SYE RIE	受信 データ	エラー フラグ	割り込み
	プリ フェース	スタート ビット	データ	パリティ ビット	ストップ ビット						
1	エラーなし	エラーなし	—	—	—	—	—	—	RDRへ 転送	エラーあればそれを反映	出力する (注2)
	PFERなし、SYERあり(注3)	SBERなし、SYERあり(注3)	—	—	—	—	—	0			
	PFERあり	エラーなし	—	—	—	—	—	—	消失	セットしない	出力しない
	エラーなし	SBERあり	—	—	—	—	—	1			

- 注1. 受信したMPBフラグ=0なら受信せず、表の受信データ消失と同じ動作となります。
- 注2. エラーがない場合はRXIの割り込みを出力、エラー検出の場合はERIの割り込みを出力します。
- 注3. SYERがプリフェース領域かスタートビット領域で検出された場合、MMCR.SYERIEビットによってエラーとして扱うかの動作が変わります。

31.6 HBS サポートモード

HBSR.HBSE ビットを“1”にすると、ホームバスシステムが要求する信号波形 (AMI、50% デューティ、負論理) を生成するための負論理 RZI 符号に対応します。本機能は調歩同期式モードでのみ動作するため、設定や送信、受信フローは調歩同期式モードを参照してください。

31.6.1 HBS サポートモードの受信

HBS サポートモードの受信では、RXDn 端子からの入力の立ち下がりエッジを検出し、スタートビットと認識した以降の信号を受信します。設定したビットレートに従って1フレーム分のサンプリングを行い、STOP ビットまでエラー無く正しく受信できた場合、受信データレジスタ RDR にデータ値を格納します。

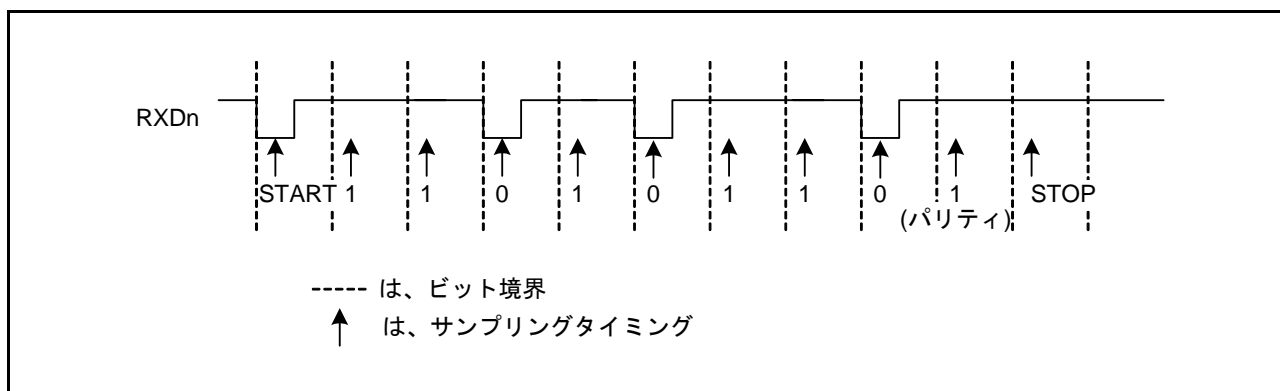


図 31.49 HBS サポートモードの受信タイミング図

HBS サポートモードの受信は、1ビット期間の前半のパルスを取り込むために、1ビットの1/4のタイミングでサンプリングする必要があります。サンプリングは、調歩同期式と同じくビットレートの16倍(注1)の周波数を基本クロックとして動作します。スタートビットの検出はRXDの立ち下がりからLowを基本クロックで連続4回検出することで行います。途中でHighを検出した場合、ノイズとみなし次の立ち下がりを待ちます。

サンプリングタイミングを1ビット期間の1/4の位置にするため、SCR4.RTADJビットで受信サンプリングタイミング調整機能を有効にし、SCR4.RTMG[3:0]ビットを“1100b”にして、調整前のサンプリングタイミングであるビット中央から基本クロックの4クロック分前方に調整します。

受信サンプリングタイミング調整機能を使ってサンプリングタイミングを前後に調整することができるため、受信状態に応じてこのタイミングを調整することが可能になります。RTMG[3:0]ビット値を“1100b”から大きくするとサンプリングタイミングを前に、小さくすると後ろに移動させることができます。調整の詳細は「31.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」を参照してください。

スタートビットの認識後は、設定したビットレートに従ったタイミングのサンプリングを行いますが、波形のLow幅やHigh幅のチェックは行いません。したがって、通常の調歩同期式波形でも受信可能です。

注1. HBS サポートモードではSCR2.ABCSビット=0かつSCR2.ABCSEビット=0のみサポートします。

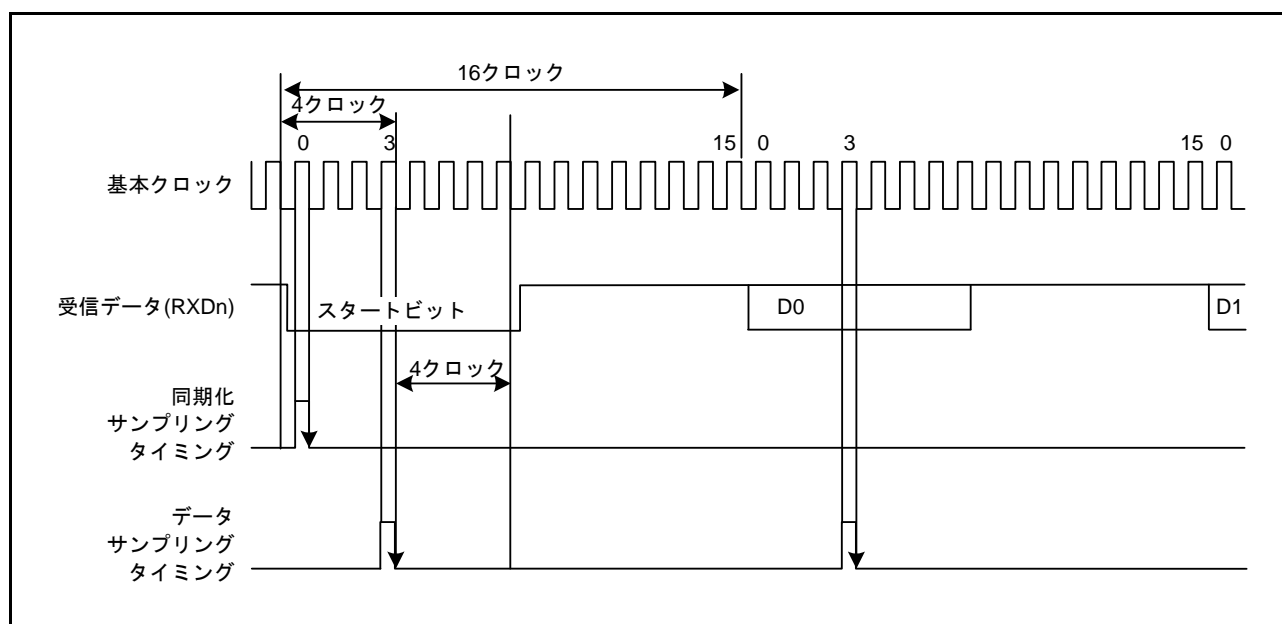


図 31.50 HBS サポートモードの受信サンプリングタイミング詳細

31.6.2 HBS サポートモードの送信

HBS サポートモードの送信は、データ“0”を1ビット期間の前半だけ Low パルスとして出力します。

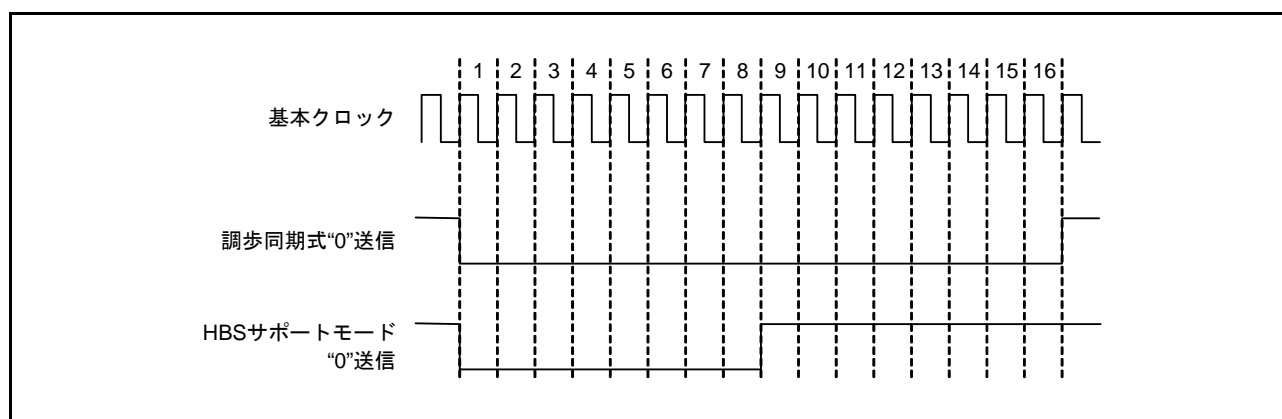


図 31.51 HBS サポートモードの送信波形

HBSCR.AOE ビット = 0 の場合はすべてのビットを TXDn 端子から出力し、HBSCR.AOE ビット = 1 の場合はデータ“0”を TXDAn 端子と TXDBn 端子から交互に出力します。どちらの送信端子からスタートビットの出力を開始するかを HBSCR.LPS ビットで選択します。

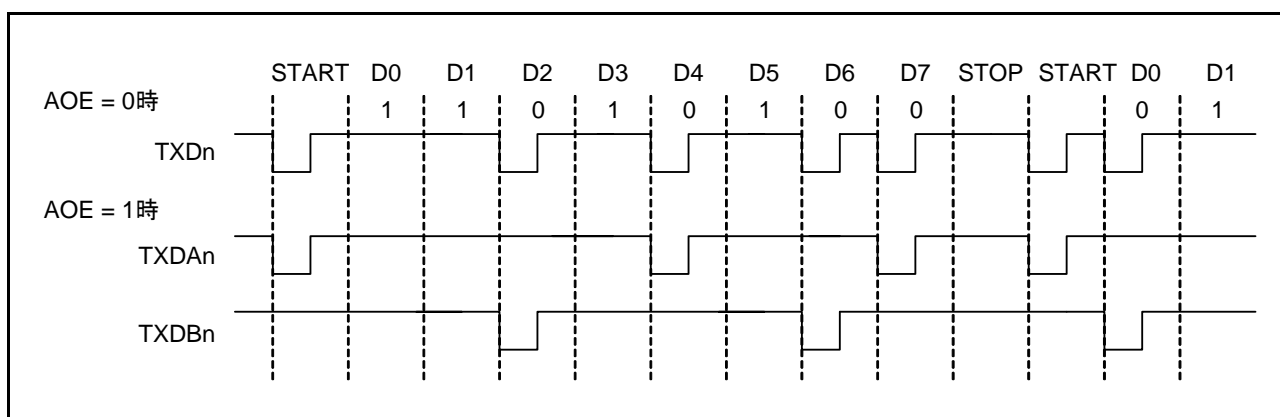


図 31.52 AOE ビットによる送信波形の違い (LPS ビット = 0 時)

図 31.52 は、HBSCR.AOE ビットの値による送信波形の違いの例です。AOE ビット = 0 のときは、TXDn 端子から波形が出力されますが、AOE ビット = 1 のときは、スタートビットを含むデータ “0” が TXDAn 端子と TXDBn 端子から交互に出力されます。

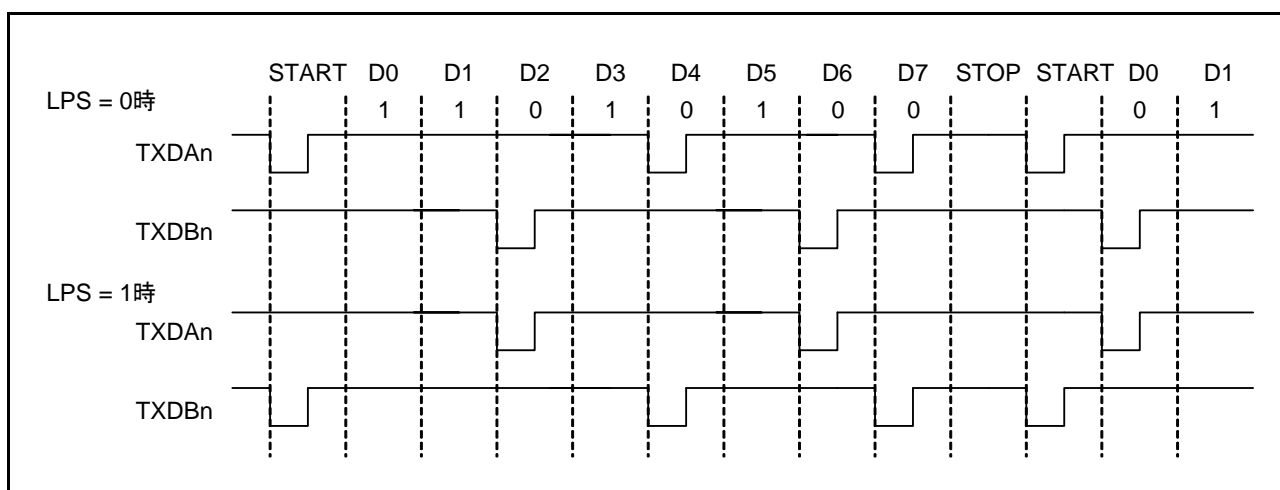


図 31.53 LPS ビットによる送信波形の違い (AOE ビット = 1 時)

図 31.53 は、HBSCR.LPS ビットの値による送信波形の違いの例です。LPS ビット = 0 のときは TXDAn 端子から、LPS ビット = 1 のときは TXDBn 端子からスタートビットの出力を開始し、データ “0” をそれぞれの端子から交互に出力します。次のフレームのスタートビットは、再び LPS ビットで指定した端子から出力開始します。

他のビットの設定に関わらず、HBSCR.HBSE ビット = 0 の場合は、TXDBn 端子は High になります。SCR0.TE ビット = 0 の場合は TXDn/TXDAn/TXDBn 端子ともハイインピーダンスになりますが、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットによって制御することができます。このとき、TXDn/TXDAn/TXDBn 端子とも同じ出力になります。

31.6.3 HBS サポートモードのレジスタ設定

HBS サポートモードは調歩同期式の1機能ですが、本機能ではサポートしていない設定があります。制御レジスタの各ビットを表 31.38 のように設定して使用してください。未記載のレジスタ、ビットは調歩同期式と同様の設定が可能です。

表31.38 HBSサポートモードの制御レジスタ設定値

レジスタビット	設定値	備考
SCR0.DCME	0	データ一致検出機能無効で使用してください
SCR1.NFCS[2:0]	000b	ノイズフィルタ使用時はこの設定としてください
SCR1.HDSEL	0	TXDn端子での半二重通信は使用できません
SCR1.CTSE	0	CTS機能禁止で使用してください
SCR2.BRME	0	モジュレーション機能は使用できません
SCR2.ABCSE	0	基本クロック6サイクルで1ビットの設定は使用できません
SCR2.ABCS	0	基本クロック16サイクルで1ビットの設定のみ使用可能です
SCR3.CKE[1:0]	00b	内部クロック、出力なしで使用してください
SCR3.DEEN	0	RS-485ドライバ機能は無効で使用してください
SCR3.FM	0	FIFOモードは無効で使用してください
SCR3.MOD[2:0]	000b	調歩同期式モードに設定してください
SCR3.RXDESEL	1	RXDn端子入力の立ち下がりエッジでスタートビットを検出して通信してください
SCR3.STOP	0	1ストップビットで使用してください
SCR3.DINV	0	データ反転せずに使用してください
SCR3.DDIR	1	LSBファーストで通信してください
SCR3.CHR[1:0]	10b	8ビット長で通信してください
SCR4.RTMG[3:0]	1100b	HBSサポートモードの受信時はこの設定にしてください 注. 有効パルスの中央タイミングです。必要な場合は調整可能です
SCR4.TTADJ	0	送信タイミング調整機能は無効で使用してください
SCR4.RTADJ	1	HBSサポートモードの受信時はこの設定にしてください

31.7 スマートカードインタフェースモードの動作

RSCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

31.7.1 接続例

図 31.54 にスマートカード (IC カード) との接続例を示します。

IC カードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR0.TE ビット = 1、SCR0.RE ビット = 1 にすると、閉じた送信 / 受信が可能となり自己診断をすることができます。

RSCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

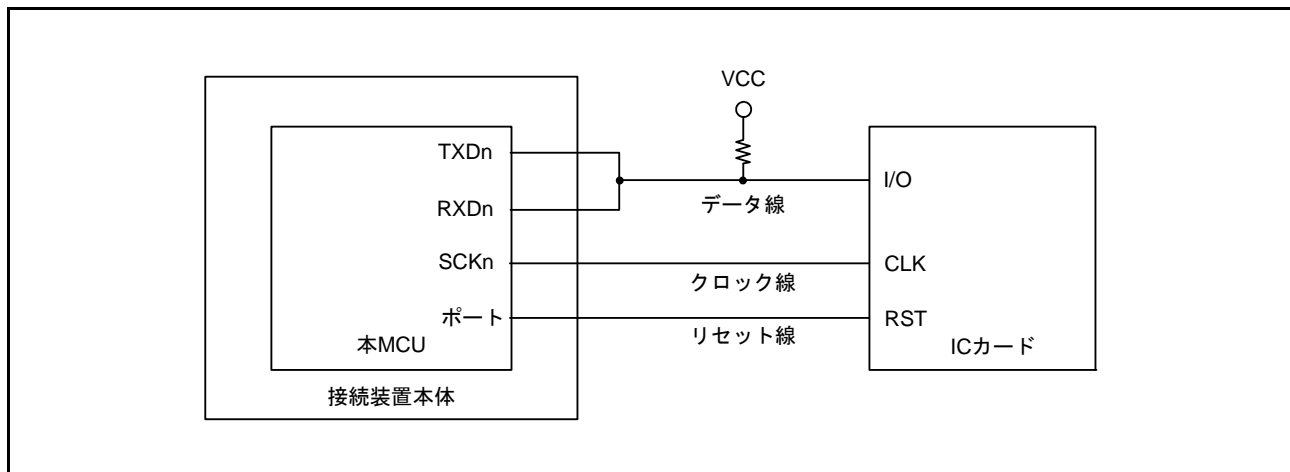


図 31.54 スマートカード (IC カード) との接続例

31.7.2 データフォーマット (ブロック転送モード時を除く)

図 31.55 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

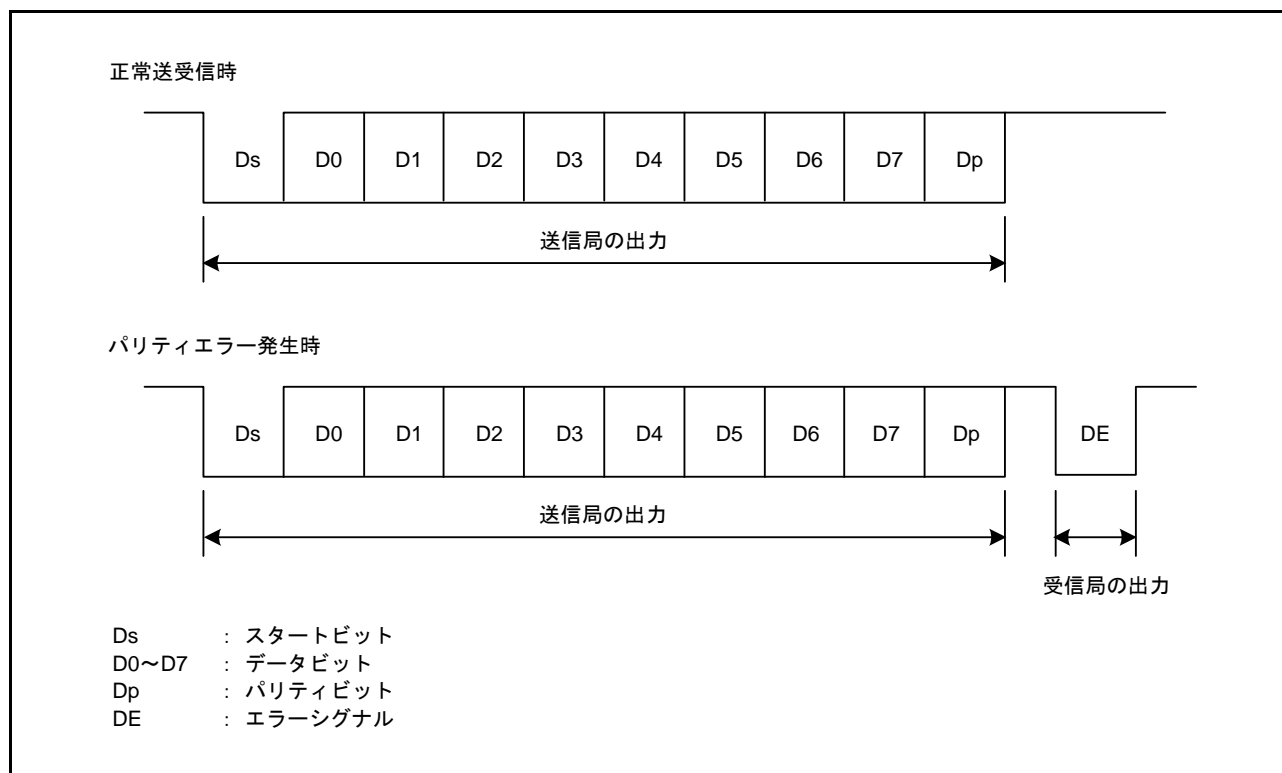


図 31.55 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 31.56** に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。**図 31.56** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCR3.DDIR ビットを“1”に SCR3.DINV ビットを“0”にしてください。また、スマートカードの規定により偶数パリティとなるよう SCR1.PM ビットを“0”にしてください。

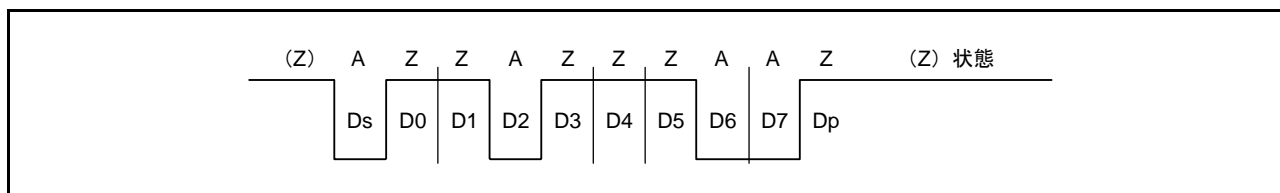


図 31.56 ダイレクトコンベンション
(SCR3.DDIR ビット = 1、SCR3.DINV ビット = 0、SCR1.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。**図 31.57** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCR3.DDIR ビットを“0”に SCR3.DINV ビットを“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、DINV ビットはデータビット D7 ~ D0 のみ反転させます。このため、送受信とも SCR1.PM ビットを“1”にしてパリティビットを反転させてください。

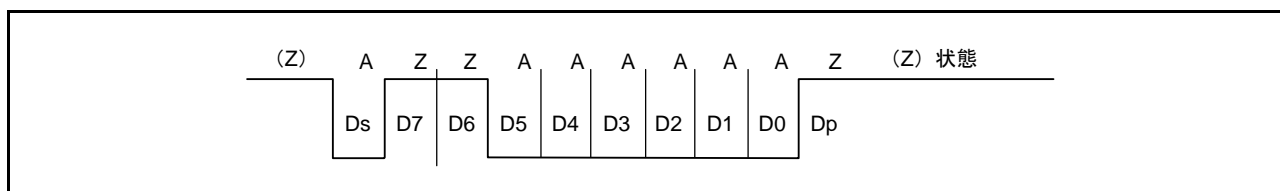


図 31.57 インバースコンベンション
(SCR3.DDIR ビット = 0、SCR3.DINV ビット = 1、SCR1.PM ビット = 1)

31.7.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSR.APER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

31.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCR2.BCP[2:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして同期化します。図 31.58 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%)$$

M: 受信マージン(%)

N: クロックに対するビットレートの比(N = 32, 64, 372, 256)

D: クロックデューティ(D = 0~1.0)

L: フレーム長(L = 10)

F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 (\%) = 49.866 (\%)$$

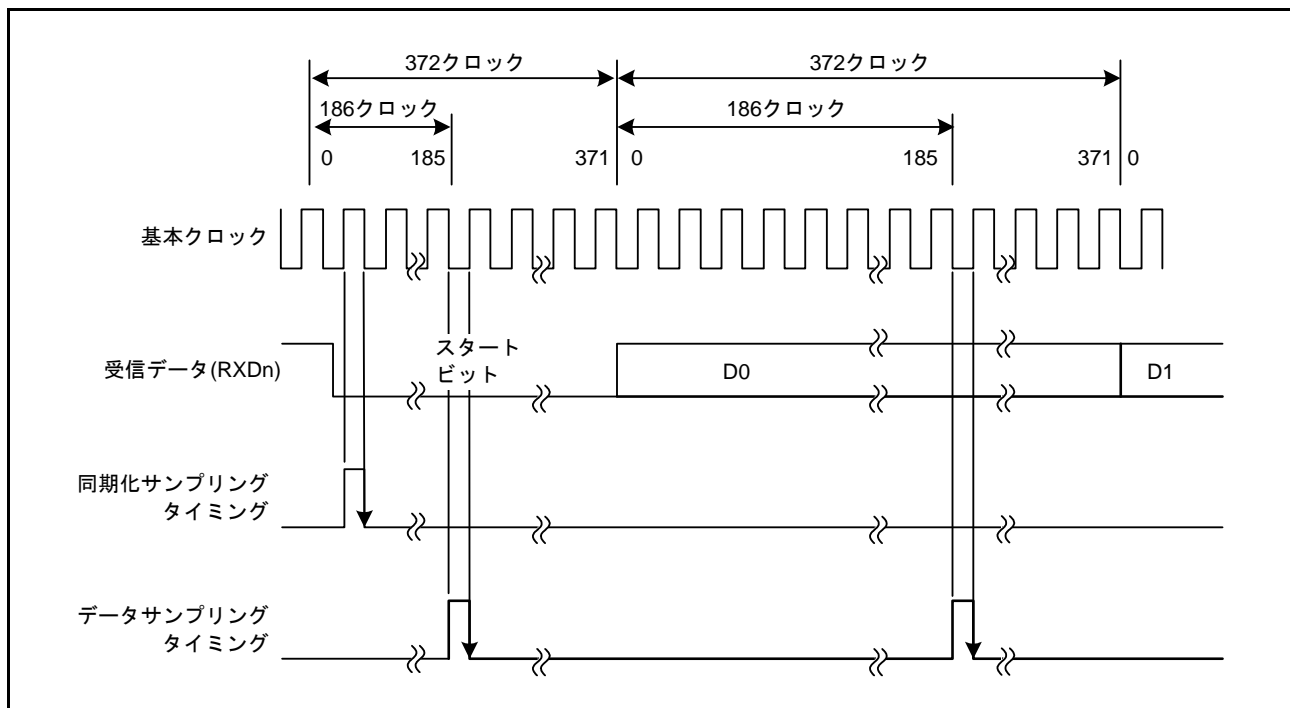


図 31.58 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

31.7.5 RSCI の初期化 (スマートカードインタフェースモード)

データの送受信の前に、SCR0.TE ビットと SCR0.RE ビットに“0”を書き込み (SCR0 レジスタに初期値を書き込むでも可)、**図 31.59** のフローチャート例に従って初期化してください。

送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいては、SCR0.TIE、RIE、TE、RE、TEIE ビットを初期値にしてから変更してください。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。また、送信モード時、TIE ビットは TE ビットと同時に“1”にしてください。すると TXI 割り込み要求が発生します。受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット = 1、RE ビット = 0 にしてください。受信動作の完了は、RXI 割り込み要求、SSR.ORER、あるいは APER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット = 0、RE ビット = 1 にしてください。送信動作の完了は SSR.TEND フラグで確認できます。

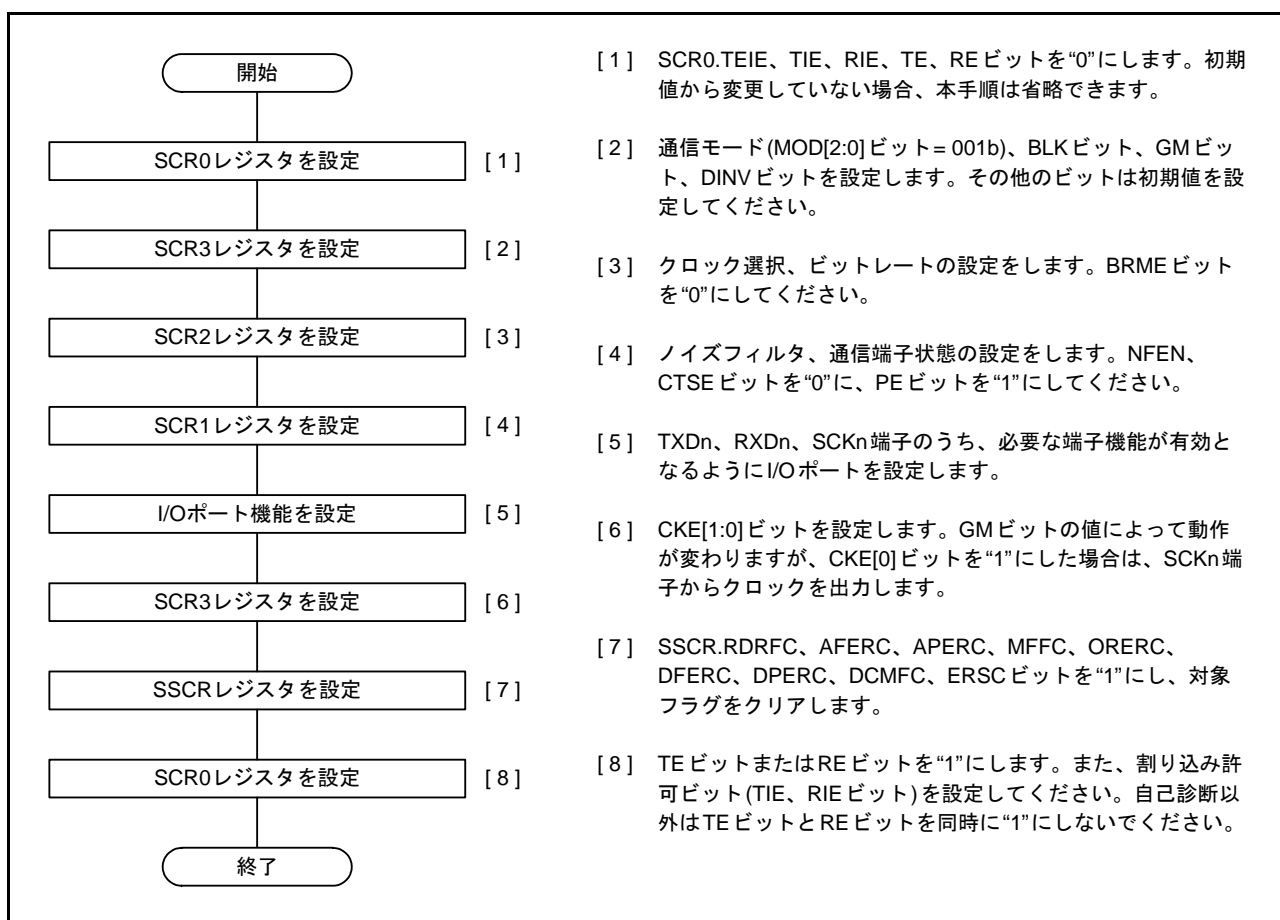


図 31.59 RSCI の初期化フローチャートの例 (スマートカードインタフェースモード)

図 31.60 は、前記フローチャートに従って、スマートカードインタフェースモードへ遷移させて、データ送信を行った場合のタイミング図です。図は SCR3.GM ビット = 0 の場合を示します。図に示すように、端子機能を SCKn 端子に設定した時点では、SCR3.CKE[0] ビットが“0”であるため SCKn 端子はハイインピーダンスです。また、TXDn 端子に設定した時点では SCR0.TE ビットが“0”であるため TXDn 端子はハイインピーダンスです。SCR3.CKE[0] ビット = 1 のクロック出力設定で SCKn 端子にクロック出力を開始し、SCR0.TE ビット = 1 の後、送信データのライトによって、データ送信を開始します。

スマートカードインタフェースモードでは、SCR0.TE ビット = 0 および SCR0.RE ビット = 0 の通信をしていない場合でも、クロック出力設定としていればクロックを出力し続けます。

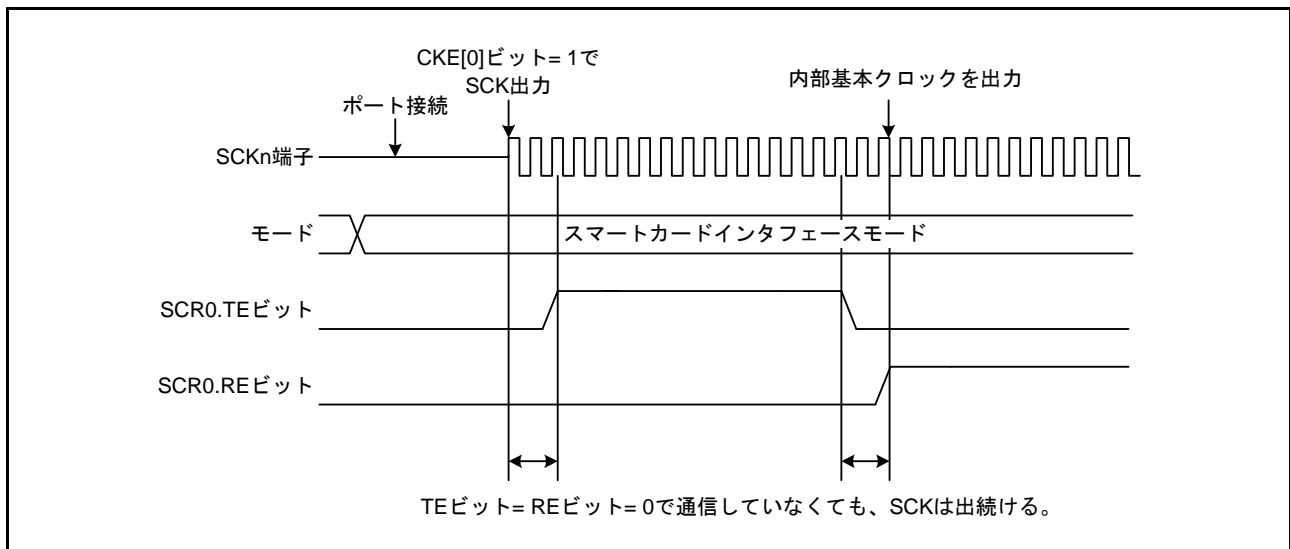


図 31.60 スマートカードインタフェースモード時のデータ送信タイミング例

31.7.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 31.61 に示します。

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”になります。このとき SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR0.TIE ビットが“1”であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

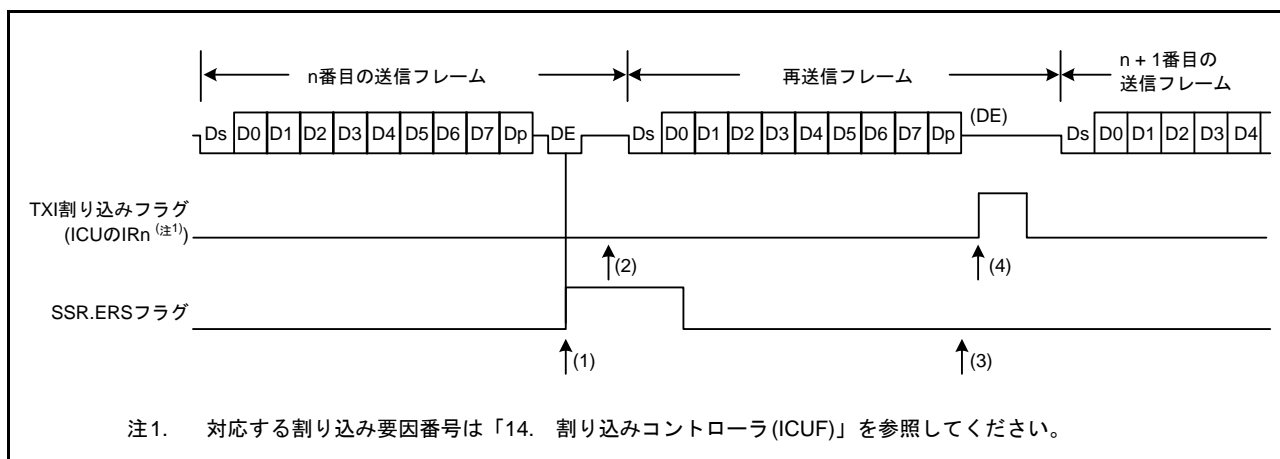


図 31.61 RSCI 送信モードの場合の再送信動作 (送信時の再送信動作)

送信処理フローの例を図 31.63 に示します。これら一連の処理は TXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。

送信動作では、TEND フラグが“1”にセットされると、SCR0.TIE ビットを“1”に設定しておくことで TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的にクリアされます。

エラーが発生した場合は RSCI が自動的に同じデータを再送信します。この間 TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、RSCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを“1”にし、エラー発生時に ERI 割り込み要求が発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSCI の設定を行ってください。

DTC または DMAC の設定方法は「17. DMA コントローラ (DMACAa)」、「18. データトランスファコントローラ (DTCb)」を参照してください。

なお、SCR3.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 31.62 に

TEND フラグ発生タイミングを示します。

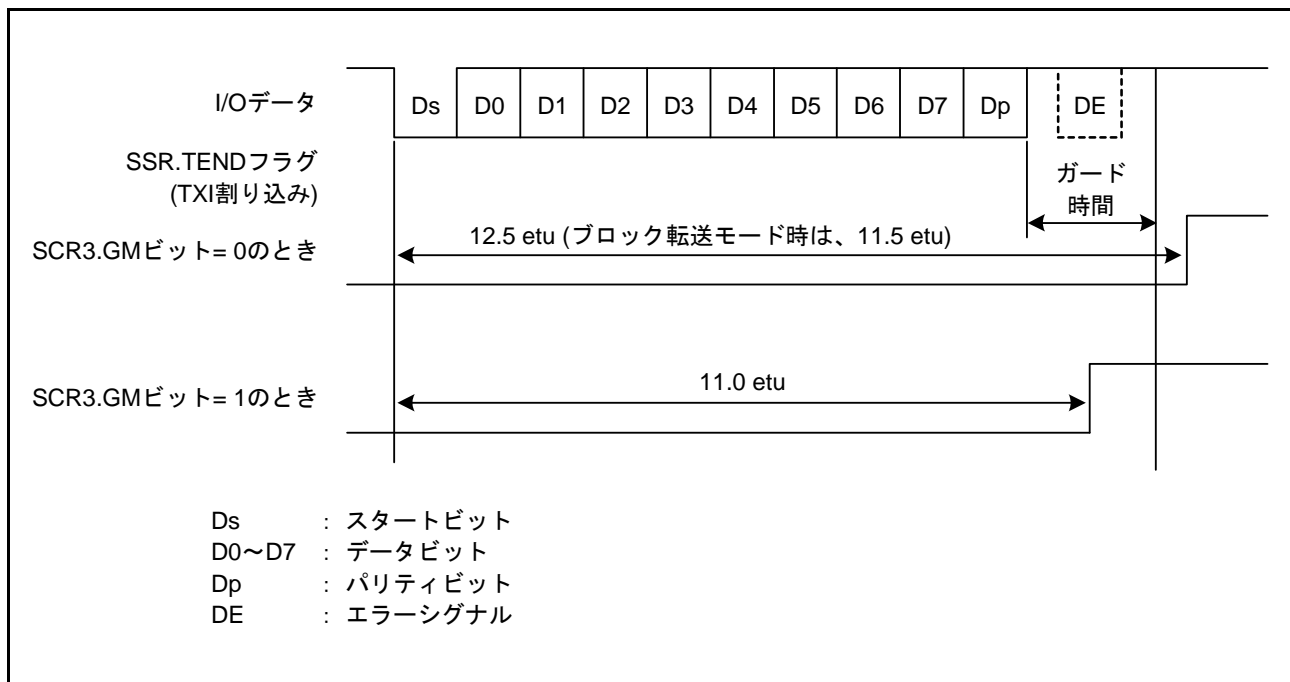


図 31.62 送信時の SSR.TEND フラグの発生タイミング

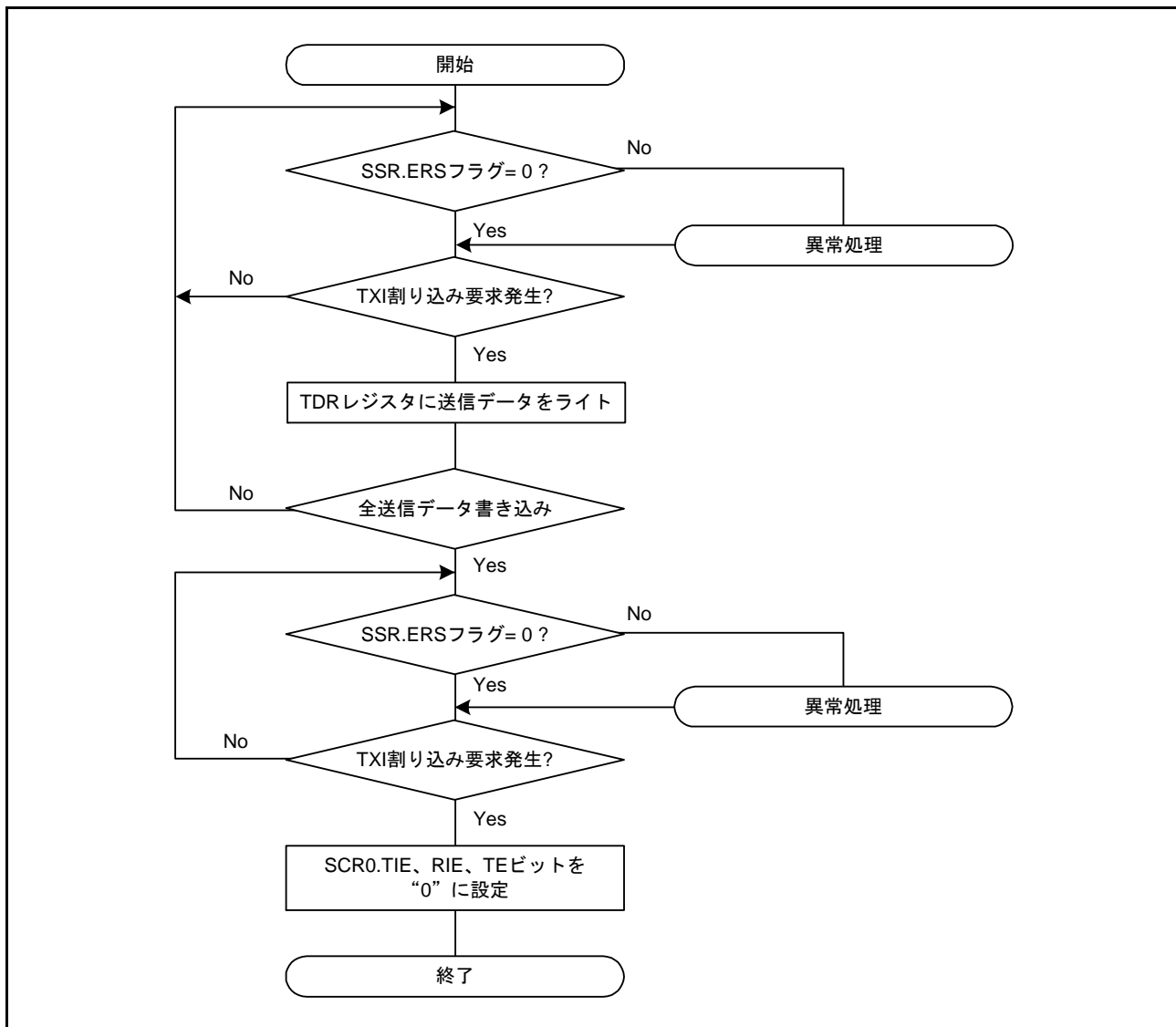


図 31.63 スマートカードインタフェース送信のフローチャート例

31.7.7 シリアル受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 31.64 に示します。

- (1) 受信データにパリティエラーを検出すると **SSR.APER** フラグが“1”になります。このとき、**SCR0.RIE** ビットが“1”であると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに **APER** フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、**SSR.APER** フラグはセットされません。
- (4) 正常に受信を完了したと判断して、**RIE** ビットが“1”であれば、**RXI** 割り込み要求を生成します。

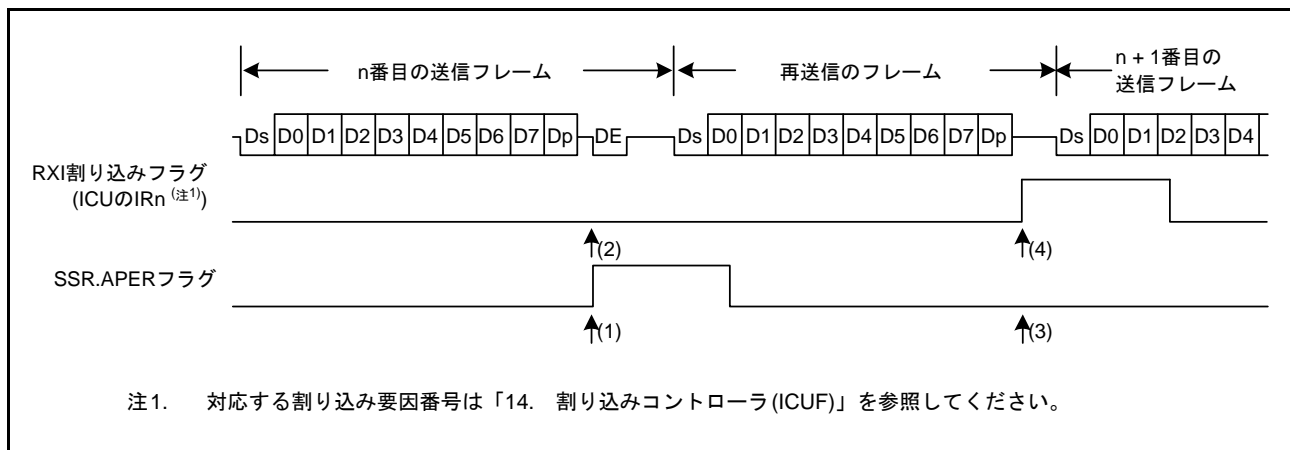


図 31.64 RSCI 受信モードの場合の再送信動作 (受信時の再送信動作)

受信フローチャートの例を図 31.65 に示します。

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくこと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、APER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し APER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注. ブロック転送モードの場合は、「31.3 調歩同期式モードの動作」を参照してください。

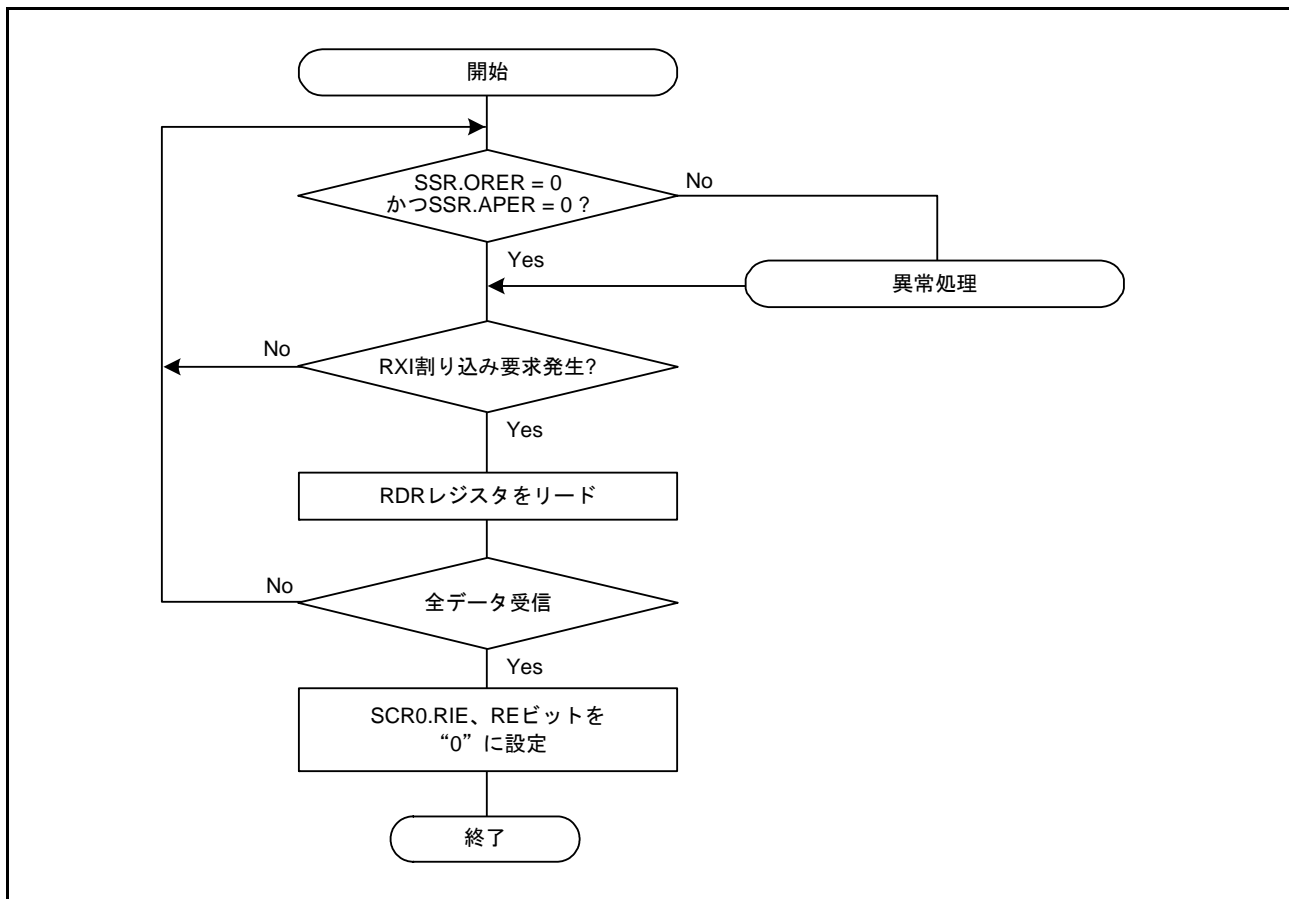


図 31.65 スマートカードインタフェース受信のフローチャート例

31.7.8 クロック出力制御

SCR3.GM ビットが“1”であるとき、SCR3.CKE[1:0] ビットによってクロック出力を制御することができます。制御の内容は、「31.2.8 制御レジスタ 3 (SCR3)」の SCR3.CKE[1:0] ビットの説明を参照してください。クロック出力の設定を行うと、「31.7.4 受信データサンプリングタイミングと受信マージン」に記載の基本クロックが出力されるため、クロックパルスの幅をビットレートの設定で指定した幅に保つことができます。ビットレートは、「31.2.7 制御レジスタ 2 (SCR2)」に記載しているように、SCR2.CKS[1:0] ビット、SCR2.BCP[2:0] ビット、BRR[7:0] ビットにより設定されます。

図 31.66 にクロック出力制御を説明したタイミングチャートを示します。SCR3.CKE[1] ビット = 0 とし、SCR3.CKE[0] ビットを制御した場合の例です。

SCR3.GM ビットが“0”の場合は、SCR3.CKE[0] ビットによる出力制御がすぐに SCKn 端子に反映されるため、SCKn 端子から意図しない幅のパルスが出力される可能性があります。

SCR3.GM ビットが“1”の場合は、SCR3.CKE[0] ビットによる出力制御は基本クロックの状態を元に制御するため、設定されたパルス幅を保ちます。

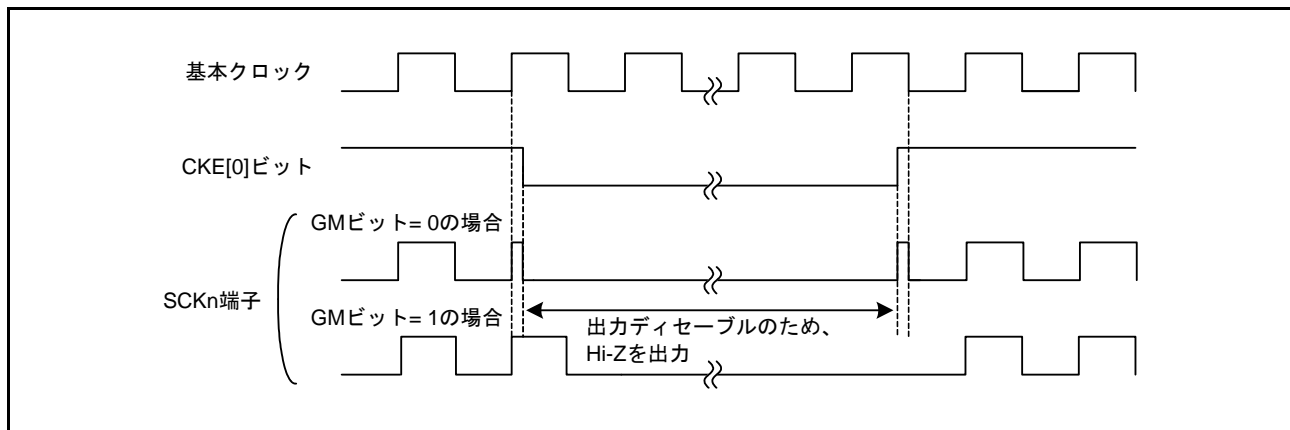


図 31.66 SCR3.GM ビットによるクロック制御の違いを表すタイミング図

31.8 拡張シリアルモードの動作

31.8.1 シリアル通信プロトコル

RSCI は、Start Frame、Information Frame から構成されるシリアル通信プロトコル (図 31.67) に対応することができます。SCR3.MOD[2:0] ビット = 110b にすることにより拡張シリアルモードになります。拡張シリアルモードは、Break Field 以外の送信 / 受信の制御は調歩同期式モードと同じ回路を使用しますので、通信の基本設定は調歩同期式モードと同様 (ただし SCR3.RXDESEL ビットは “1”) にしてください。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

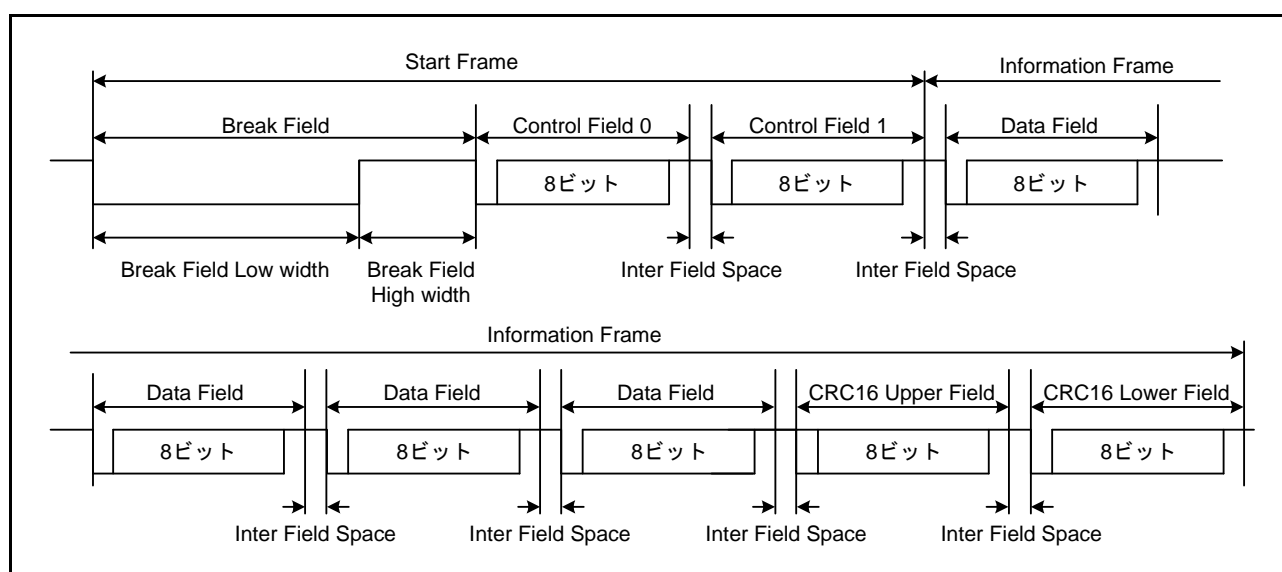


図 31.67 拡張シリアルモードのシリアル通信プロトコル

以降に拡張シリアルモード時の動作を説明します。本章の動作説明は、通信端子 (RXDn/TXDn) レベル反転機能を OFF (RINV ビット = TINV ビット = 0) の条件で記載しています。通信端子 (RXDn/TXDn) レベル反転機能 ON で使用する際は、RXD/TXD 信号レベルを反転して読み替えてください。

31.8.2 Start Frame 送信

図 31.68 に Break Field、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します (Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください)。

また、図 31.69 に Start Frame の送信を行うためのフローチャートを示します。

RSCI は、Start Frame 送信時、以下のように動作します。

- (1) 調歩同期式モードの RSCI 初期化フロー (図 31.8) を参照して RSCI の初期設定をします。ただし、拡張シリアルモード時には、Break Field 前に TXI が出力することを避けるため、SCR0.TE ビットと TIE ビットを同時に“1”に設定しないでください。そのため、調歩同期式モードの RSCI 初期化フロー手順 [10] は以下の通り 2 段階に分けて設定してください。
 - SCR0.TIE ビット以外の設定ビットを設定する (SCR0.TIE ビット = 0、SCR0.TE ビット = 1、かつ SCR0.RE ビット = 0)
 - SCR0.TIE ビットを“1”にする
- (2) TCST に“1”を書き込むと、拡張シリアルモジュール内のタイマがカウントを開始し、XCR2.BFLW[15:0] ビットに設定した期間、TXDn 端子から Low (Break Field) を出力します。タイマカウントクロックソースは XCR0.TCSS[1:0] ビットで選択します。
なお、XCR1.TCST ビットに“0”を書き込むことで、Break Field の送出を中断できます。中断後は SCR0.TE ビット = 0 として送信状態も OFF にしてください。
- (3) タイマカウント値が XCR2.BFLW[15:0] ビット設定値と一致するとカウントを停止し、TXDn 端子の出力を反転し、XSR0.BFOF フラグを“1”にします (注 1)。また、XCR0.BFOIE ビットが“1”の場合は、TXI 割り込みが発生します。
- (4) BFOF フラグが“1”になっていることを確認した後、Control Field 0 のデータを送信します (注 2)。
- (5) Control Field 0 のデータの送信が完了後、Control Field 1 データを TDR レジスタに書き込み、送信します。
- (6) Control Field 1 のデータの送信が完了後、Information Frame の通信を行います。
 - 注 1. XSR0.BFOF セット後、クリアしないまま XCR1.TCST ビットに“1”を書き込んだ場合、Break Field 送出完了タイミングで TXI 割り込みは出力されません。XCR1.TCST ビット書き込み前に XSR0.BFOF フラグをクリアしてください。
 - 注 2. LIN 通信は Break Field 送出完了から次のデータ送信開始まで、1bit 長以上の Break delimiter (IDLE 期間) が必要です。そのため、Break Field 送出完了後、Break delimiter 長をカウントします。Break delimiter 長カウント中に送信データを書き込んだ場合、Break delimiter 長カウント完了まで送信開始しません。Break delimiter 長カウント完了後にデータ書き込んだ場合、通常のデータ送信と同じタイミングで送信開始します。
Break Field 送出後の Break delimiter 長カウント時間 : SCR3.STOP ビット = 0 時、1 ~ 2bit 長
SCR3.STOP ビット = 1 時、2 ~ 3bit 長

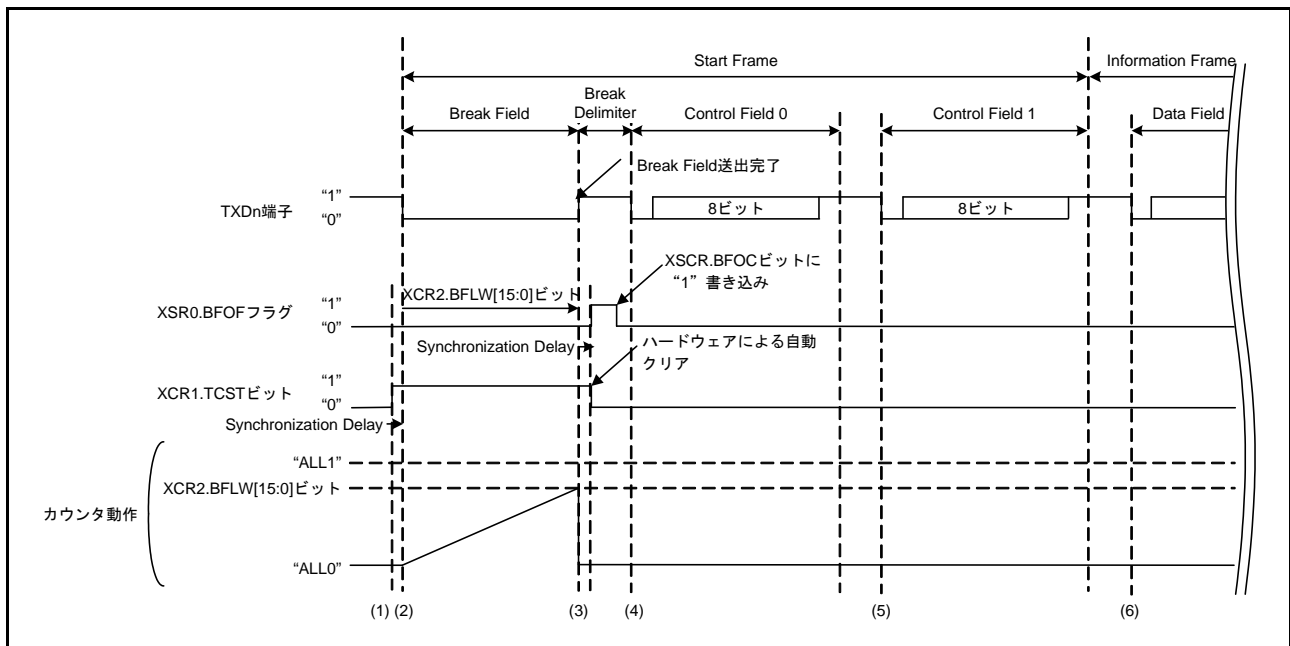


図 31.68 Start Frame 送信時の動作例

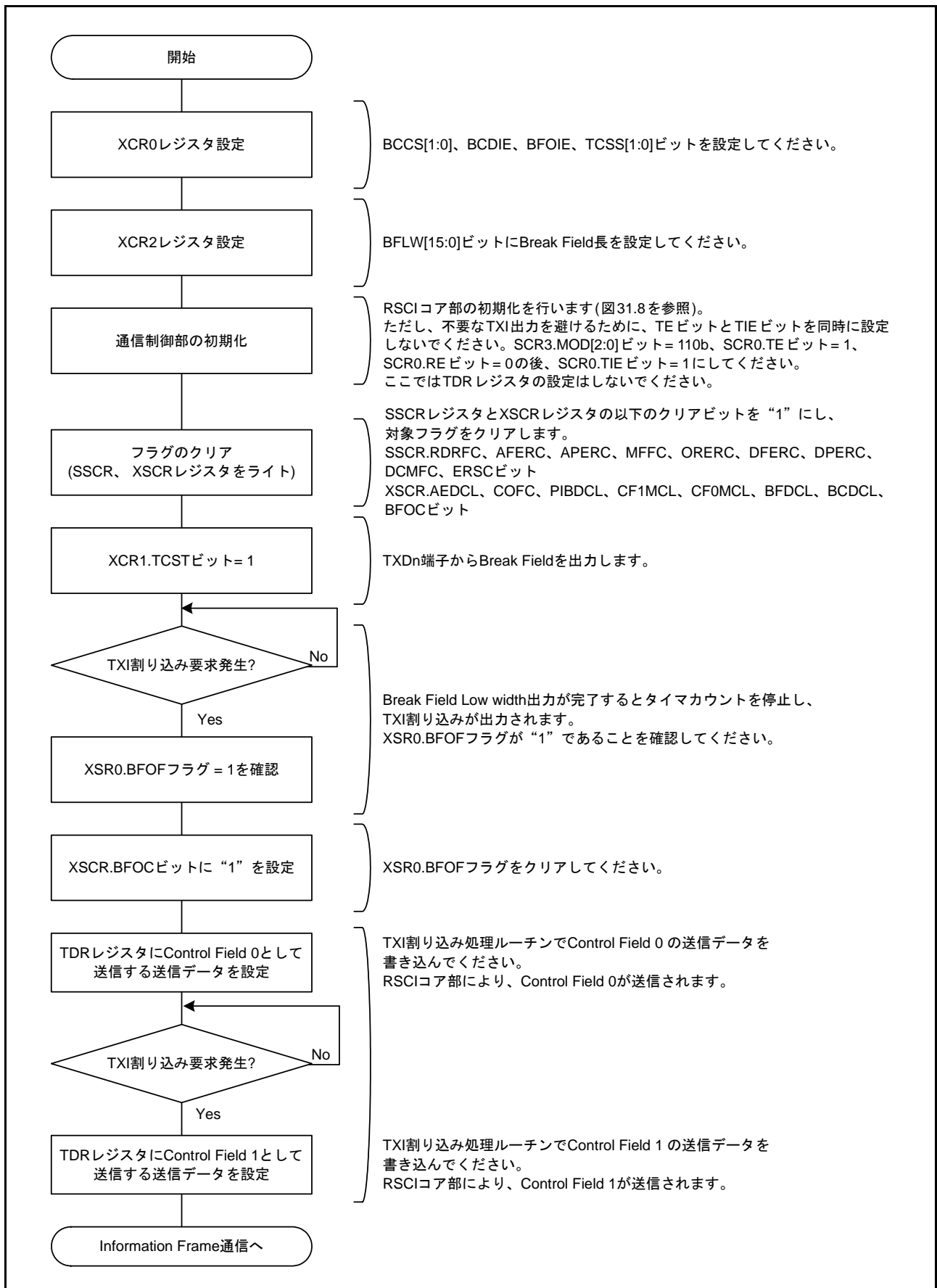
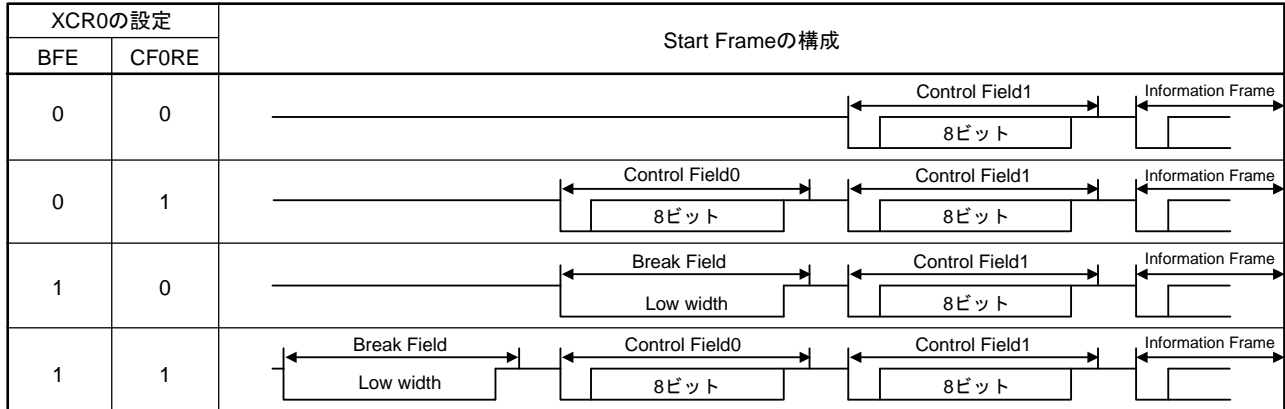


図 31.69 Start Frame 送信フローチャート例

31.8.3 Start Frame 受信

RSCI では、表 31.39 のような構成の Start Frame を検出することができます。

表 31.39 Start Frameの構成



31.8.3.1 PIB 未使用時、ノーマル受信

図 31.70 に Break Field、Control Field 0 および Control Field 1 で構成される Start Frame 受信時の動作例を示します。図 31.71 に、Control Field 1 途中で Break Field 検出を行う受信動作例を示します。また、図 31.72 に Start Frame の受信を行うためのフローチャート、図 31.73 に状態遷移図を示します。

RSCI は、Start Frame 受信時、以下のように動作します。Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

- (1) XCR1.SDST ビットに“1”を書き込むと、Start Frame の検出が可能になります。XCR0.BFE ビット=1 のとき、Break Field を検出するまで、RSCI コア部への RXD 入力は禁止となります (XSR0.RXDSF フラグが“1”にセットされます)。一度 Break Field 検出されると、RSCI コア部で RXD 入力の受信が可能になります (XSR0.RXDSF フラグ=0)。
- (2) RXDn 端子から Low が入力されると、Break Field 検出カウントを開始します。タイマカウントクロックソースは XCR0.TCSS[1:0] ビットで選択します。
- (3) XCR2.BFLW[15:0] ビットに設定した期間以上の Low が RXDn 端子から入力されると、Break Field と判定します。このとき、XSR0.BFDF フラグが“1”にセットされます。また、XCR0.BFDIE ビットを“1”にしている場合は、BFD 割り込みが発生します。
タイマカウントは、RXD 立ち上がりエッジもしくはカウントオーバーフローまで続きます。
- (4) Break Field 検出後、RXDn 端子からの入力が High になると、XCR1.BRME ビット=0 の場合は、XSR1.CCV[15:0] ビットにカウント値をキャプチャします。このとき、XSR0.RXDSF フラグが“0”になり、RSCI コア部で RXD 入力の受信を開始します。
- (5) RSCI コア部で Control Field 0 の受信を開始しますが、拡張シリアル制御部で継続してエッジ間隔をカウントしており、XCR2.BFLW[15:0] ビットに設定した期間以上の Low を Break Field 検出と判定します。Control Field 0 フェーズで Break Field を検出すると、再度、Control Field 0 の受信を待ちます (図 31.71)。
- (6) Control Field 0 の受信が完了すると、RXI 割り込みが発生します。XSR0.CF0RD[7:0] ビットに Control Field 0 データが格納されます。受信したデータが XCR2.CF0D[7:0] ビットに設定したデータと一致した場合、XSR0.CF0MF フラグが“1”にセットされます。受信したデータが XCR2.CF0D[7:0] ビットに設定したデータと一致しなかった場合、Break Field 検出前の状態に遷移します。

- (7) RSCI コア部で Control Field 1 の受信を開始します。BFE ビット = 1 の場合、Control Field 0 と同様に、SDST ビット = 1 の間、Break Field 検出機能は常に有効であり、Control Field 1 フェーズで Break Field を検出すると、再度、Control Field 0 の受信を待ちます。
- (8) Control Field 1 の受信が完了すると、RXI 割り込みが発生します。XSR0.CF1RD[7:0] ビットに Control Field 1 データが格納されます。受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータと一致した場合、XSR0.CF1MF フラグが“1”にセットされます。Control Field 1 で受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータのどちらとも一致しない場合は、Break Field 検出前の状態に遷移します。
- (9) RSCI コア部で Information Frame の通信を行います。
- (10) 通信が終了したら、XCR1.SDST ビットに“0”を書き込み、SCR0.RE ビットに“0”を書き込んで受信を停止させます。

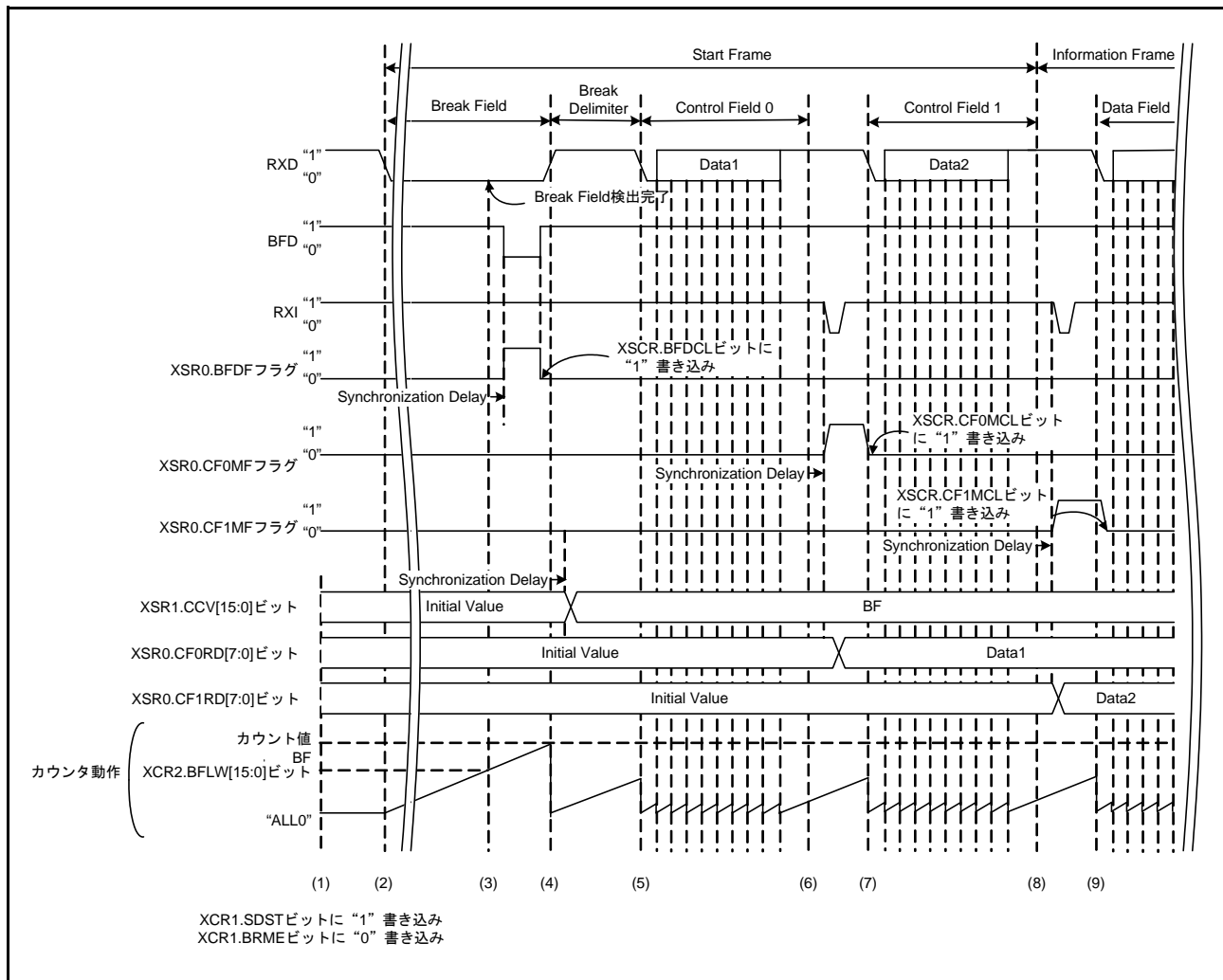


図 31.70 Start Frame 受信時の動作例 (PIB 未使用時) ノーマル受信

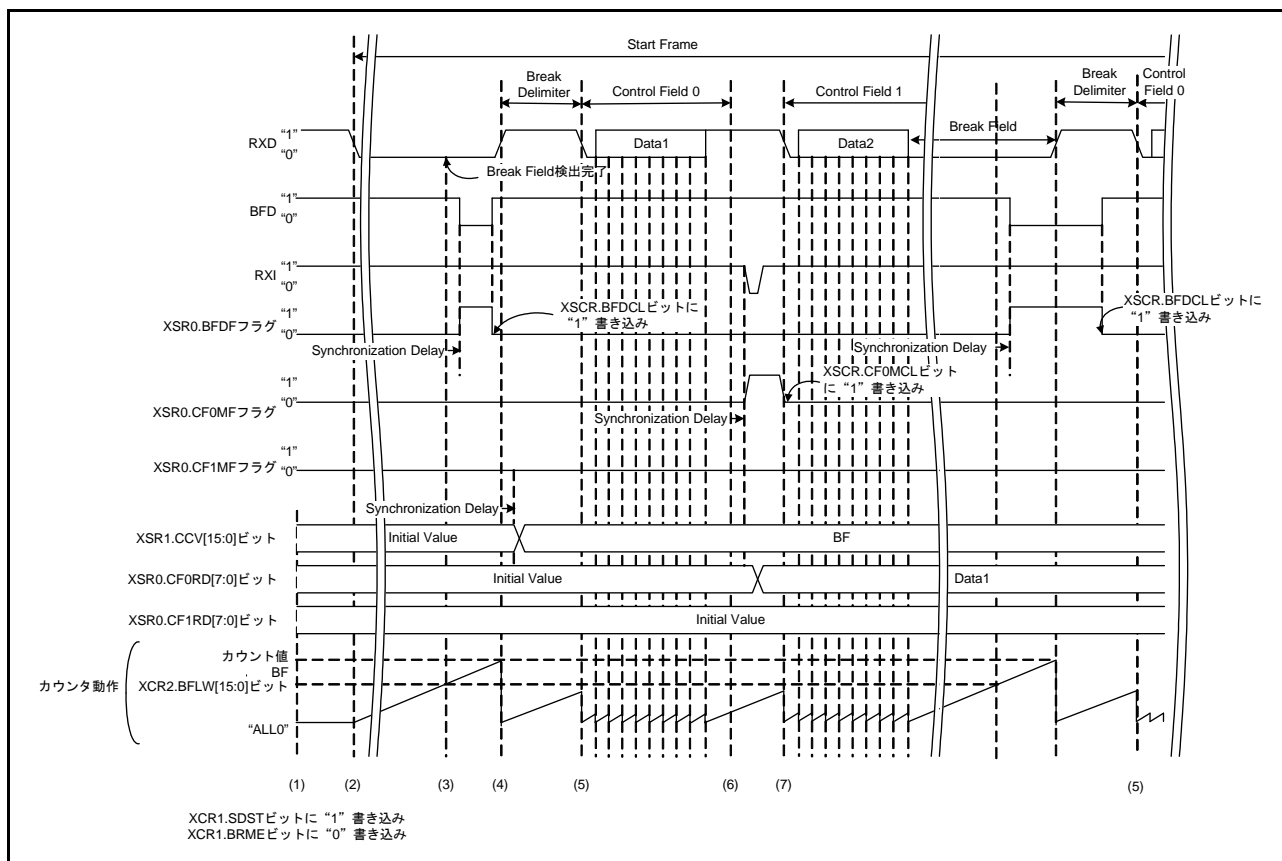


図 31.71 Start Frame 受信時の動作例 (PIB 未使用時) Control Field 1 で Break Field 検出

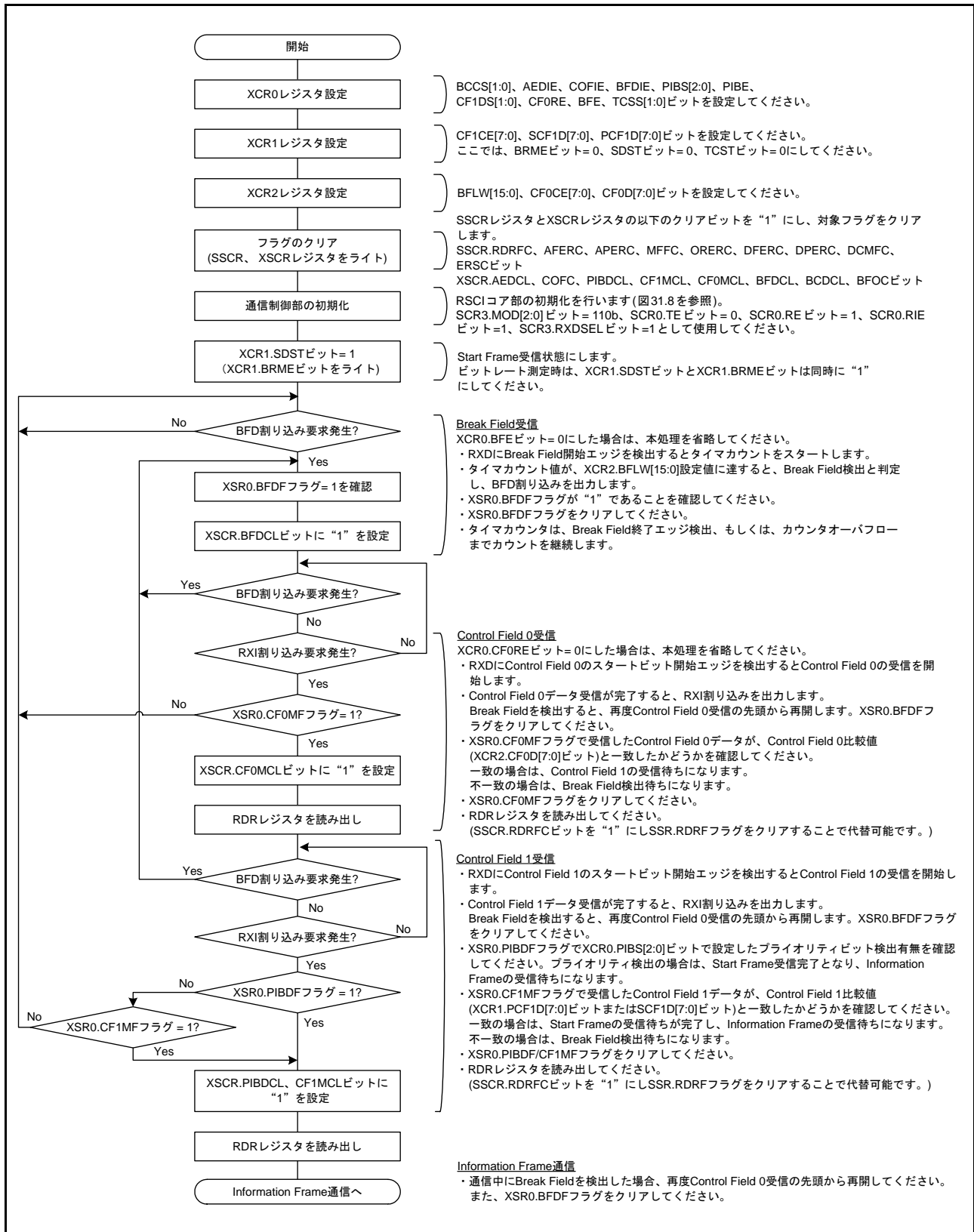


図 31.72 Start Frame 受信フローチャート例

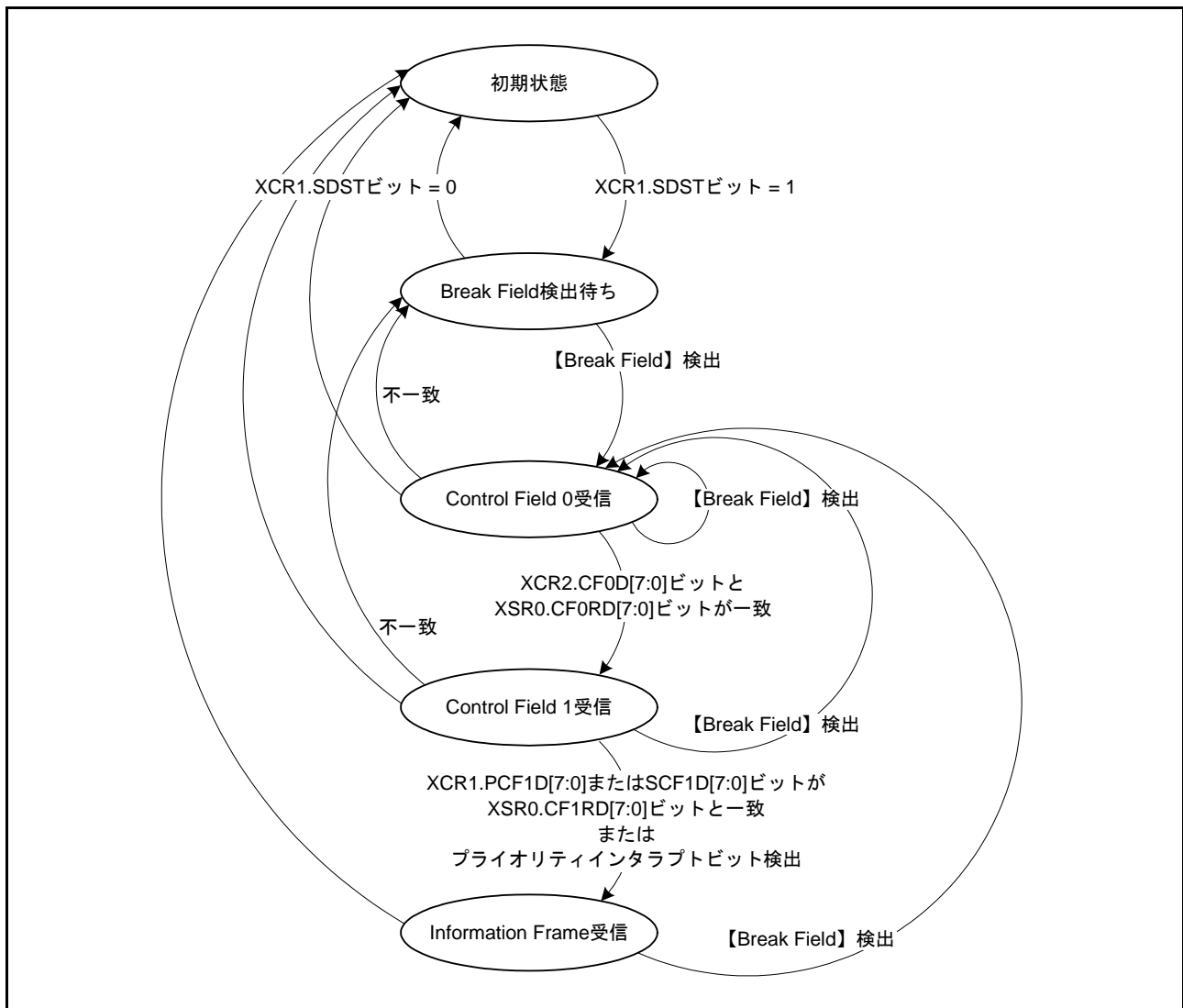


図 31.73 Start Frame 受信時の状態遷移図

31.8.3.2 プライオリティインタラプトビット

図 31.74 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは XCR0.PIBE ビットを“1”にすることで有効となります。

RSCI は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のように動作します。

- (1) ~ (7) は図 31.70 の Start Frame 受信時の動作例 (1) ~ (7) と同様になります。
- (8) XCR0.PIBS[2:0] ビットで指定したビットの値が XCR1.PCF1D[7:0] ビットに設定した値と一致した場合、XSR0.PIBDF フラグが“1”になります。そして、RSCI コア部により、Information Frame の通信を行います。Control Field 1 で受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しな場合は、Break Field 検出前の状態に遷移します。
- (9) RSCI コア部で Information Frame の通信を行います。

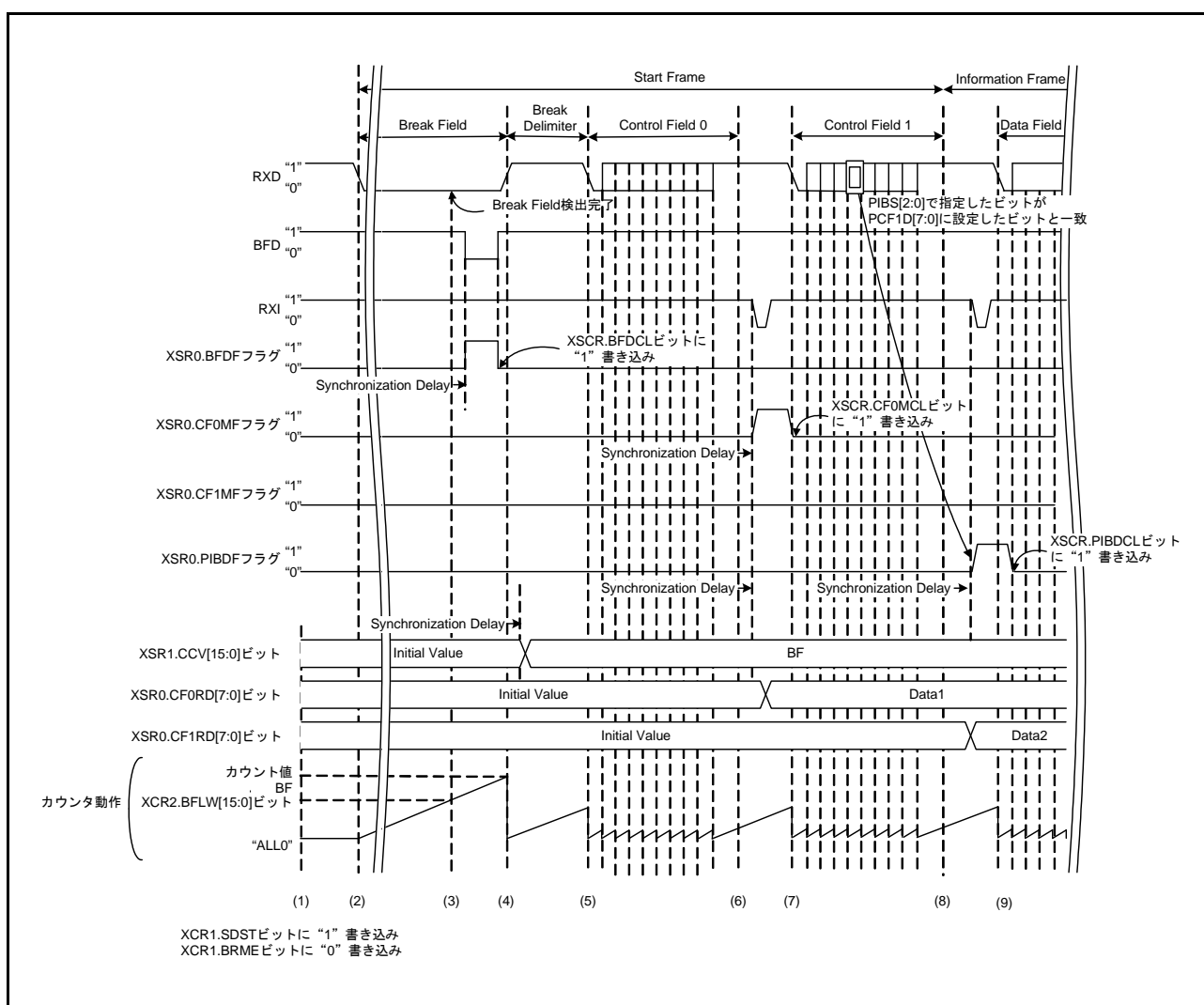


図 31.74 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

31.8.4 バス衝突検出機能

拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) で、TE ビット = 1 の場合、Break Field 送出中およびデータ送信中にバス衝突検出機能が動作します。

図 31.75 にバス衝突検出機能の動作例を示します。TXDn 端子の出力と RXDn 端子の入力を XCR0.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると XSR0.BCDF フラグが“1”になります。また、XCR0.BCDIE ビットを“1”にしている場合は、ERI 割り込みが発生します。

ERI 割り込みが発生した場合、図 31.76 に従って、送信動作を停止させてください。送信動作の再開は、バスの状態を確認して判断してください。

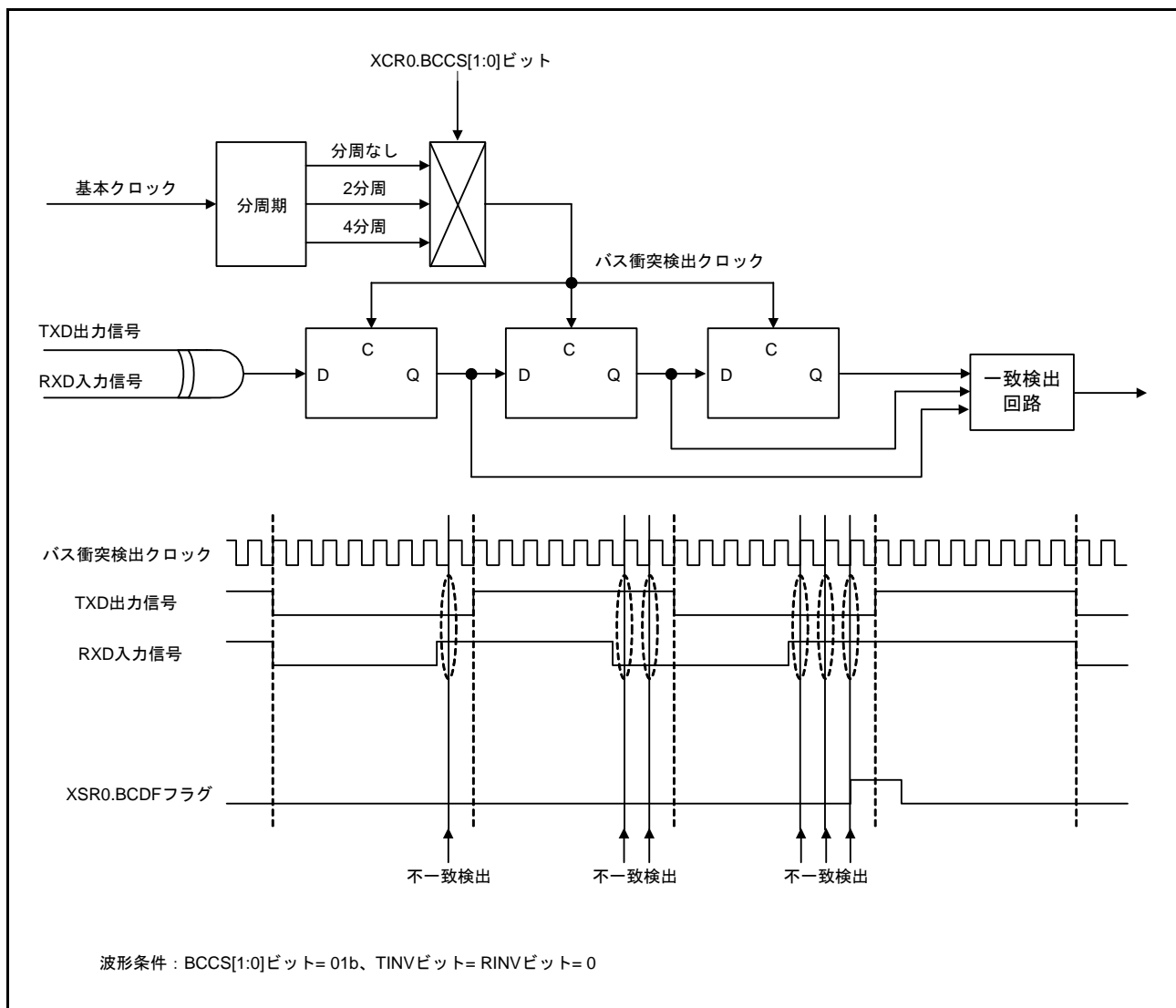


図 31.75 バス衝突検出機能の動作例

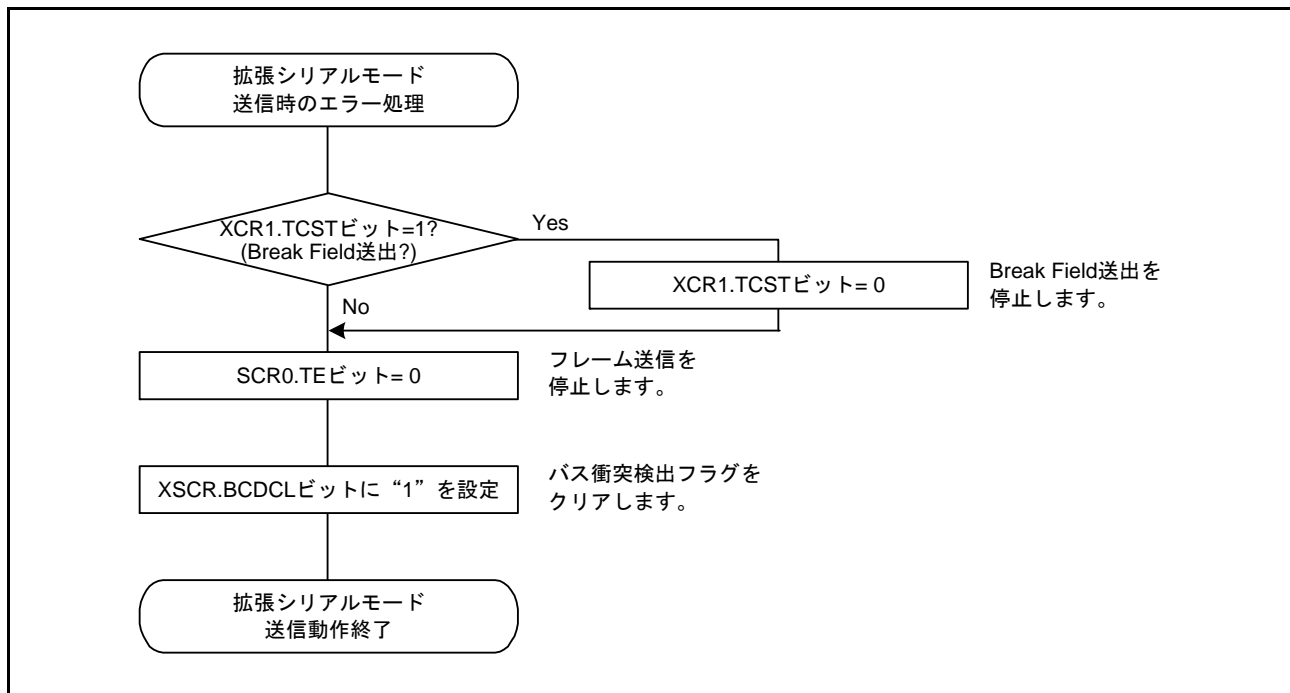


図 31.76 拡張シリアルモード送信動作時の ERI 割り込み処理フロー

31.8.5 ビットレート測定機能

RXDn 端子から入力される信号の有効エッジ間を測定する機能です。図 31.77 にビットレート測定機能の動作例を示します。

- (1) XCR1.SDST ビットと XCR1.BRME ビットに“1”を書き込むとビットレート測定が有効となり、Control Field 0 と Control Field 1 の有効エッジ間を測定します。Break Field と Break Delimiter の間は、ビットレートの測定動作を行いません。
XCR1.BRME ビットは、測定を行いたいときのみ、XCR1.SDST ビットと同時に“1”にしてください。
- (2) Break Field 中はビットレート測定動作を行わないため、Break Field 終了の立ち上がりエッジでは、有効エッジ検出フラグはセットされません。また、XSR1.CCV[15:0] ビットにカウンタのキャプチャ値は格納されません。
- (3) Control Field 0 のスタートビットの立ち下がりからカウントスタートします。Break Delimiter のカウント値は XSR1.CCV[15:0] ビットにキャプチャされません。
- (4) スタートビットの立ち上がりエッジを有効エッジとして検出し、XSR0.AEDF フラグをセットします。このとき、XCR0.AEDIE ビット = 1 の場合は、AED 割り込みが出力されます。また、スタートビットのカウント値が XSR1.CCV[15:0] ビットに保持されます。XSR1.CCV[15:0] ビットは、有効キャプチャ値が読み出されるまで保持します。
- (5) RXD 入力端子から有効エッジが入ってきても、XSR1.CCV[15:0] ビットが読み出されておらず、保持が解除されていないため、この有効エッジタイミングのカウント値はキャプチャされません。この場合、AED 割り込みは出力しません。
- (6) XSR1.CCV[15:0] ビットを読み出します。これにより、XSR1.CCV[15:0] ビットの保持が解除され、ハードウェアにより、XSR0.AEDF フラグがクリアされます。
- (7) XSR1.CCV[15:0] ビット保持が解除されたため、有効エッジでカウント値がキャプチャされ保持します。同時に XSR0.AEDF フラグがセットされ、XCR0.AEDIE ビット = 1 の場合は、AED 割り込みが出力されます。有効エッジ間のカウント値からビットレートをソフトウェアにて算出し、RSCI の設定を変更することで、ビットレートを調整することができます。
- (8) ビットレート測定動作を無効にする場合は、XCR1.BRME ビットに“0”を書き込んでください。
- (9) ビットレート測定機能が無効であるため、有効エッジタイミングで XSR0.AEDF フラグ、XSR1.CCV[15:0] ビットは変化しません。

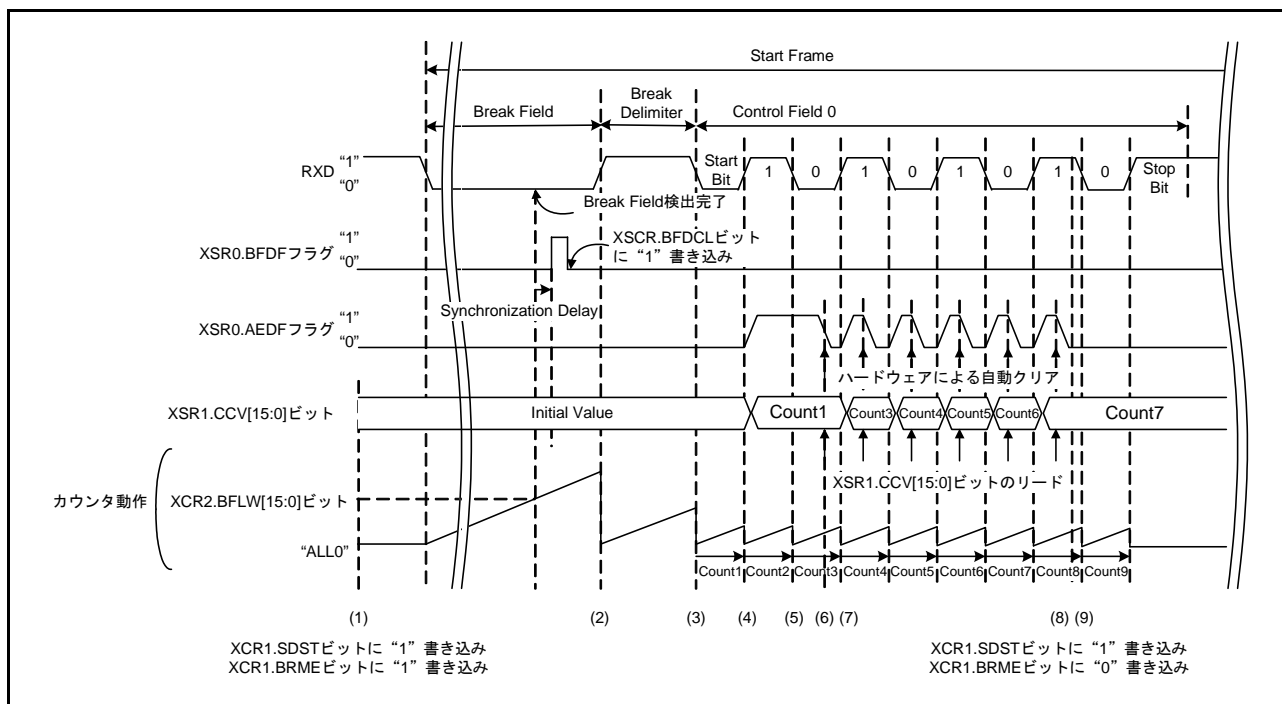


図 31.77 ビットレート測定機能動作例

31.9 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。スタートコンディション/リスタートコンディションに続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、ストップコンディションまで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 31.78 に I²C バスフォーマットを、図 31.79 に I²C バスタイミングを示します。

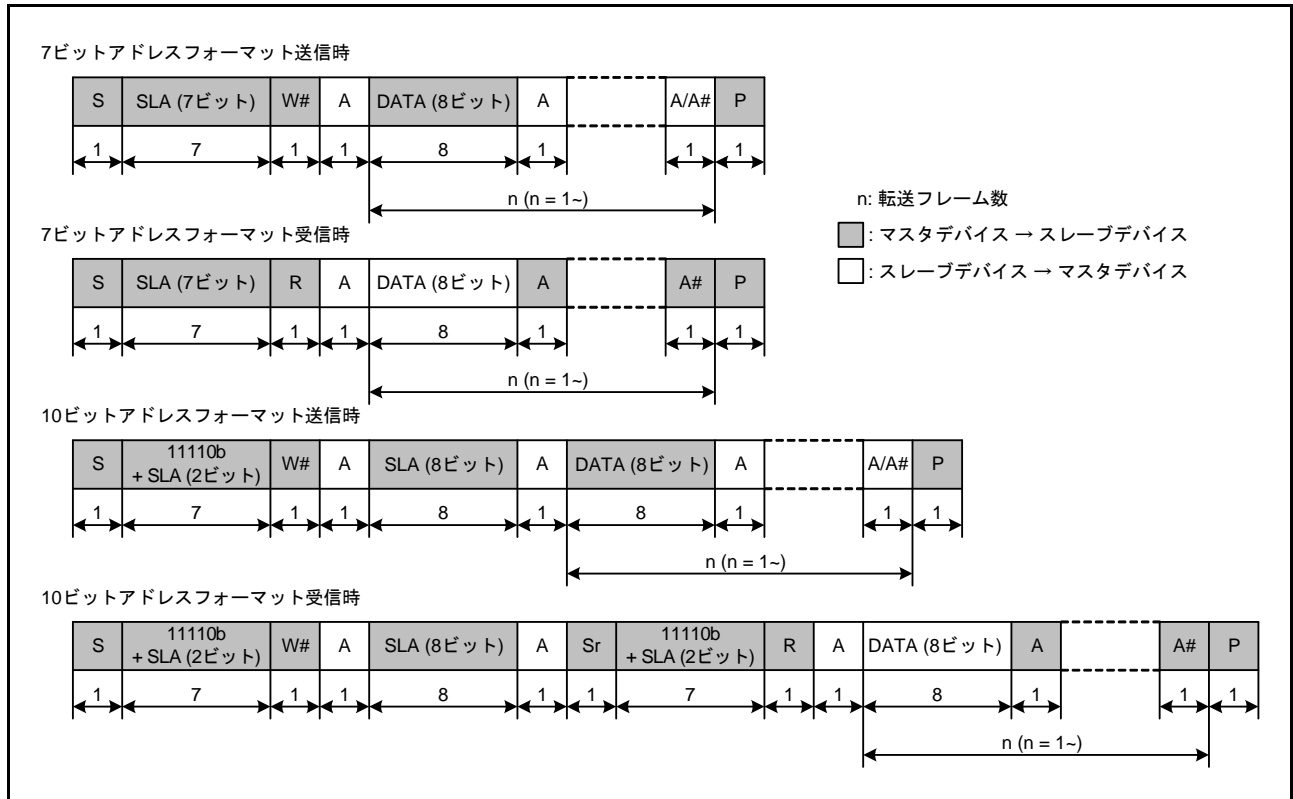


図 31.78 I²C バスフォーマット

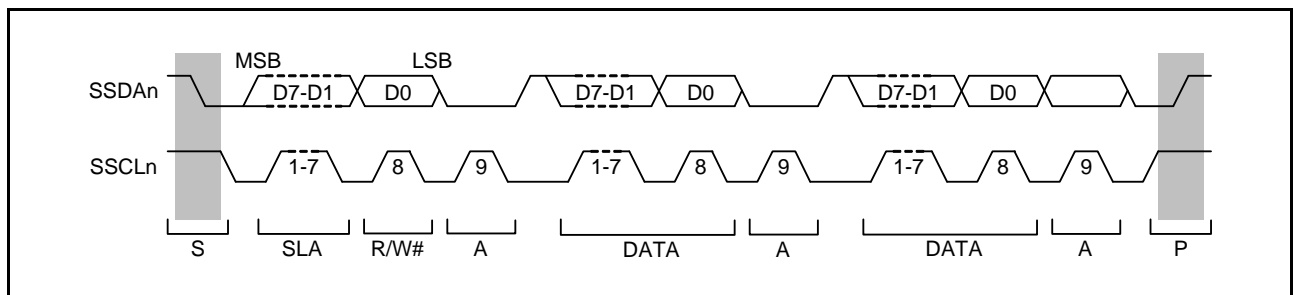


図 31.79 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態、SSDAnラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。Highのときスレーブデバイスからマスタデバイスへ、Lowのときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態、セットアップ時間経過後にSSDAnラインをHighからLowに遷移させます。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態、SSDAnラインをLowからHighに遷移させます。

31.9.1 スタートコンディション、リスタートコンディション、ストップコンディションの生成

SIMR.IICSTAREQ ビットに“1”を書き込むことにより、スタートコンディションの生成を行います。スタートコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、スタートコンディションのホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR.IICSTAREQ ビットを“0”にし、スタートコンディション生成割り込み要求を出力

SIMR.IICRSTAREQ ビットに“1”を書き込むことにより、リスタートコンディションの生成を行います。リスタートコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR[7:0] ビットで設定したビットレートの半分の時間、リスタートコンディションのセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR[7:0] ビットで設定したビットレートの半分の時間、リスタートコンディションのホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR.IICRSTAREQ ビットを“0”にし、リスタートコンディション生成割り込み要求を出力

SIMR.IICSTPREQ ビットに“1”を書き込むことにより、ストップコンディションの生成を行います。ストップコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR[7:0] ビットで設定したビットレートの半分の時間、ストップコンディションのセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR.IICSTPREQ ビットを“0”にし、ストップコンディション生成割り込み要求を出力

図 31.80 にスタートコンディション、リスタートコンディション、ストップコンディション生成の動作タイミングを示します。

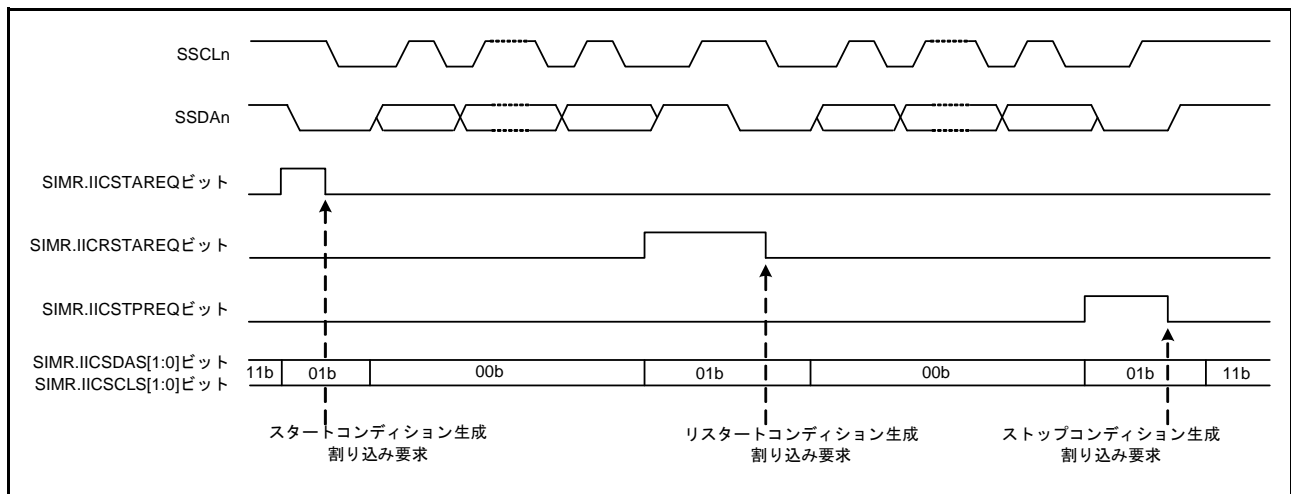


図 31.80 スタートコンディション、リスタートコンディション、ストップコンディション生成の動作タイミング

31.9.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR.IICCSC ビットを“1”にすると、内部 SCL が SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR.IICCSC ビットが“1”の場合、内部 SCL が Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLKA で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SCL の High 期間は延長されます。

SIMR.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SCL の論理積に同期して行われます。SIMR.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SCL に同期して行われます。

スタートコンディション、リスタートコンディションおよびストップコンディション生成要求発行後、内部 SCL が Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SCL が High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 31.81 にクロック同期化の動作例を示します。

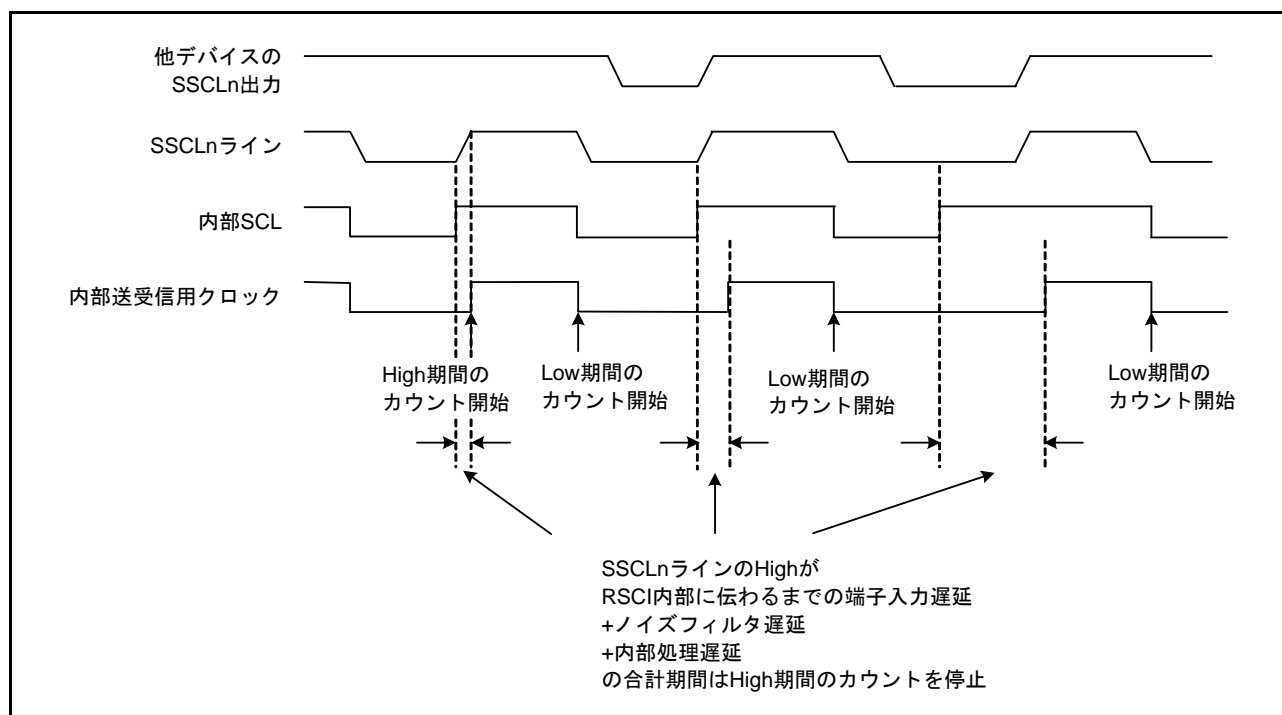


図 31.81 クロック同期化の動作例

31.9.3 SDA 出力遅延

SIMR.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準 (PCLKA ベースに SCR2.CKS[1:0] ビットで選択された分周クロック) で 0 ~ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、スタートコンディション/リスタートコンディション/ストップコンディション信号と 8 ビットの送信データおよびアクノリッジです。

SDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値 (I²C の標準モード、ファストモードでは 300 ns) より大きくなるように設定してください。

図 31.82 に SDA 出力遅延のタイミングを示します。

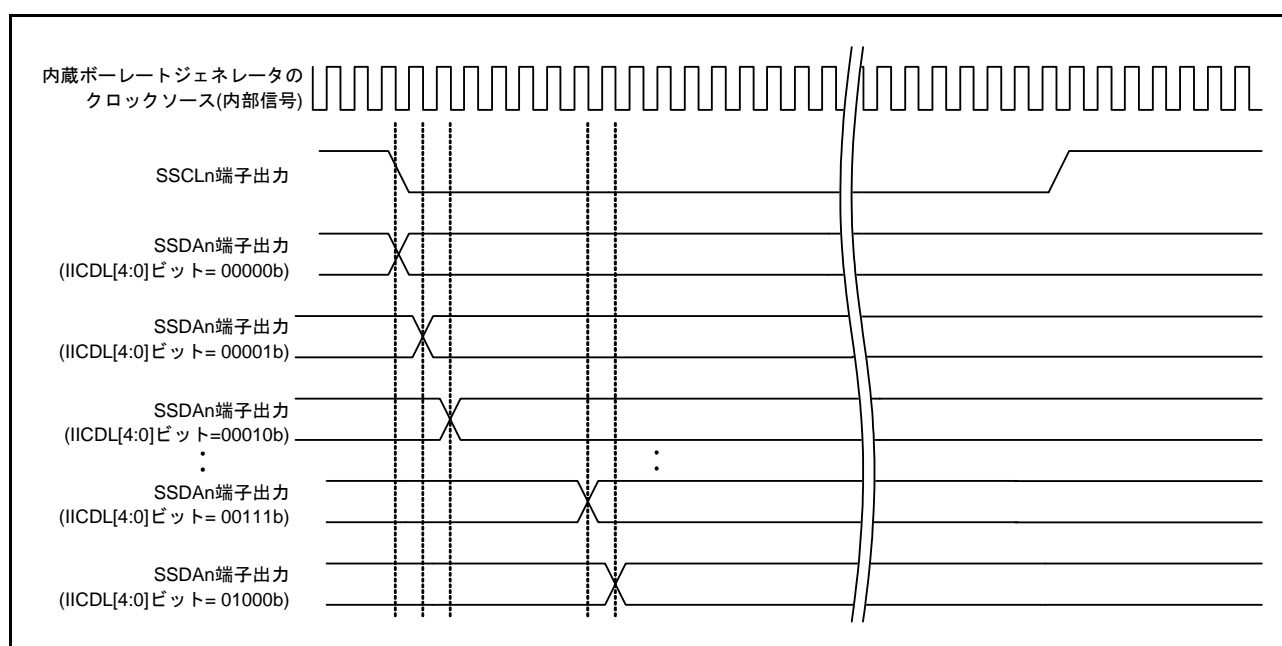


図 31.82 SDA 出力遅延のタイミング

31.9.4 RSCIの初期化 (簡易 I²C モード)

データの送受信前に、SCR0レジスタに初期値“0000 0000h”を書き込み、図 31.83 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCR0.TE ビットと SCR0.RE ビットに“0”を書き込んで (SCR0レジスタに初期値を書き込むでも可) から変更してください。また、簡易 I²C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

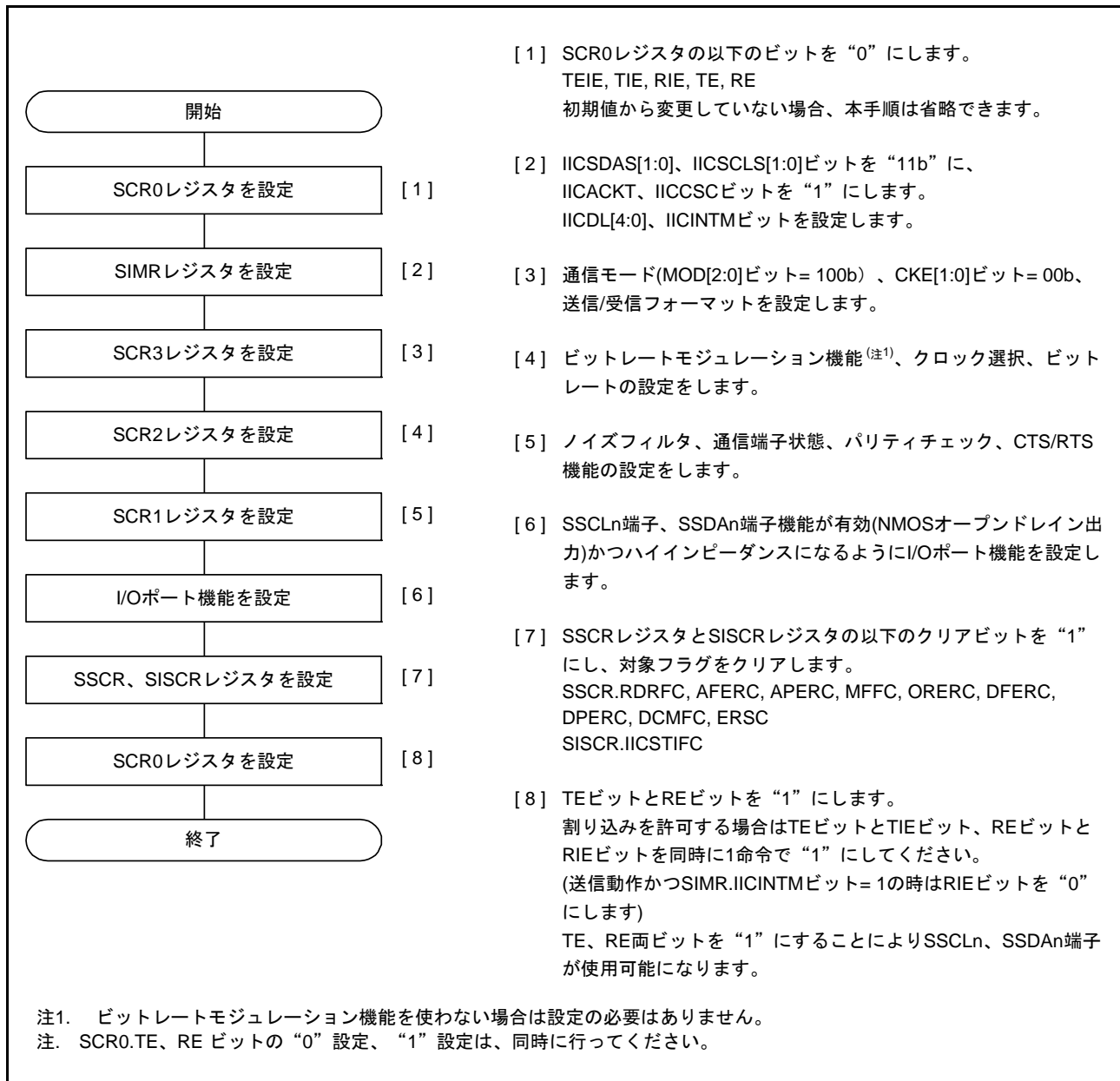


図 31.83 RSCIの初期化フローチャート例 (簡易 I²C モード)

31.9.5 マスタ送信動作 (簡易 I²C モード)

図 31.84、図 31.85 に簡易 I²C モードのマスタ送信の動作例を、図 31.86 ~ 図 31.88 にマスタ送信のフローチャートの例を示します。STI 割り込みについては、表 31.46 を参照してください。

図 31.84 は、SIMR.IICINTM ビットを“1”(受信割り込み、送信割り込みを使用)にした場合の動作例を示します。この場合、TXI 割り込みをトリガに DTC または DMAC を起動することができますが、DTC または DMAC を使うと ACK/NACK の確認ができませんので、ACK/NACK の確認が必要な場合は CPU による送信データの準備を行って下さい。簡易 I²C モードでの送信完了 (TXI) 割り込みは、1 フレームの通信を完了した時点で発生します。また、マスタ送信動作では受信割り込みを使用しないので、SCR0.RIE ビットを“0”にしてください。

図 31.86 に SIMR.IICINTM ビット = 1 でアドレス送信に CPU、データ送信に DTC または DMAC を使用した場合を、図 31.87 にアドレス送信とデータ送信に CPU を使用した場合のフローチャートを示します。いずれも、10 ビットスレーブアドレス時は、図 31.86 の [3] ~ [4] の手順を 2 回繰り返します。

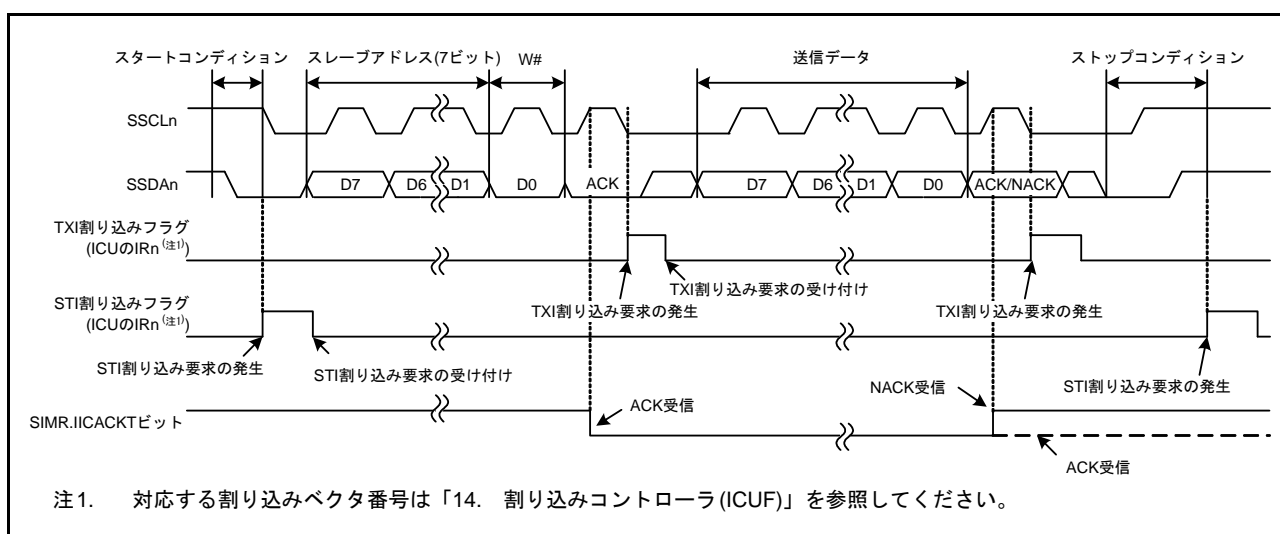


図 31.84 簡易 I²C モードのマスタ送信の動作例 (1)
(7 ビットスレーブアドレス、送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

図 31.85 は、SIMR.IICINTM ビットを“0”(ACK 割り込み、NACK 割り込みを使用)にした場合の動作例を示します。この場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

図 31.88 に SIMR.IICINTM ビット = 0 の場合のフローチャートを示します。

TDR に送信データを書いた後に、何らかの都合で通信を中断したあと再開する場合は、以下の手順を行ってください。

1. SCR0.TE ビットと SCR0.RE ビットを“0”に設定し、通信を停止する。
2. SIMR.IICSDAS[1:0] ビットと SIMR.IICSDAS[1:0] ビットを“11b”にし、I²C バスを解放し、各種条件生成要求をクリアする。
3. SSR.RDRF フラグが“1”の場合は、RDR レジスタをダミーリードして RDRF ビットを“0”にする。
4. SCR0.TE ビットと SCR0.RE ビットを“1”にし、通信を再開する。

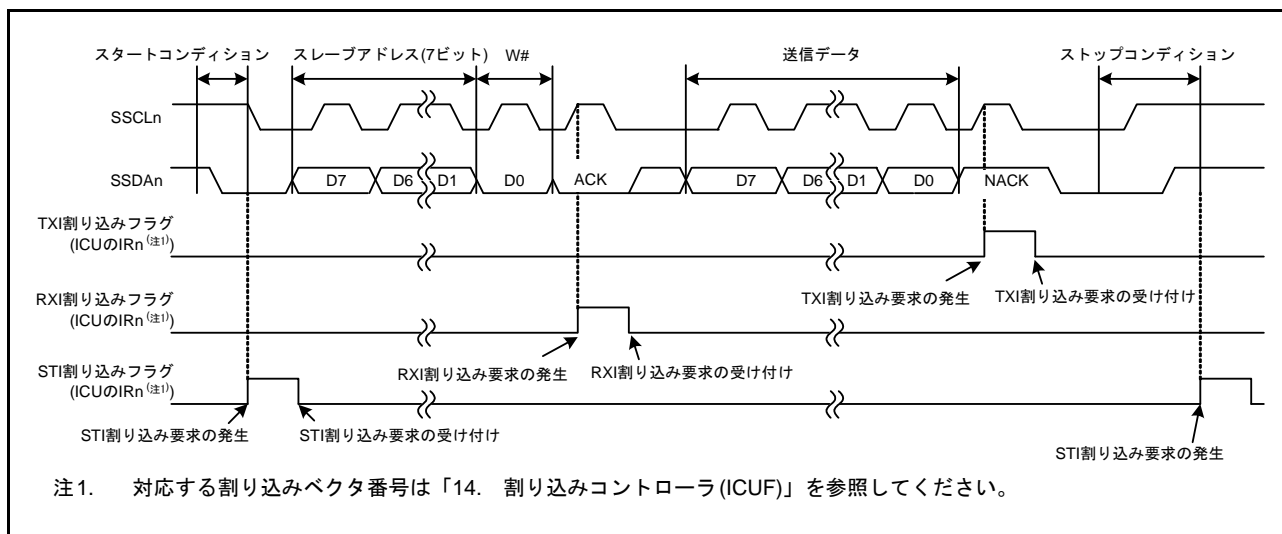


図 31.85 簡易 I²C モードのマスター送信の動作例 (2)
 (7ビットスレーブアドレス、ACK 割り込み /NACK 割り込み使用 (SIMR.IICINTM ビット = 0 時))

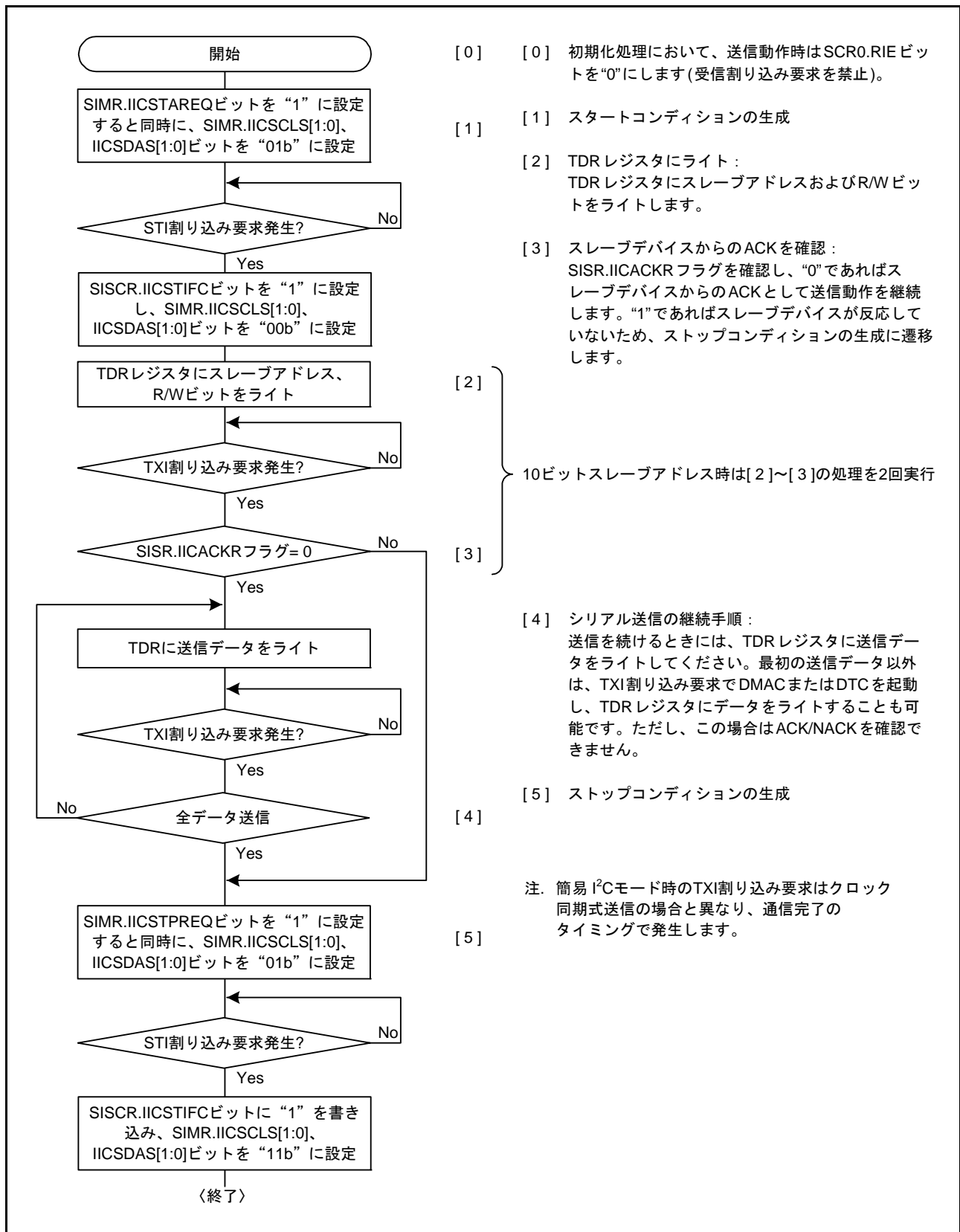


図 31.86 簡易 I²C モードのマスター送信動作のフローチャート例 (SIMR.IICINTM ビット = 1 設定時、アドレス送信のみで ACK/NACK を確認する場合)

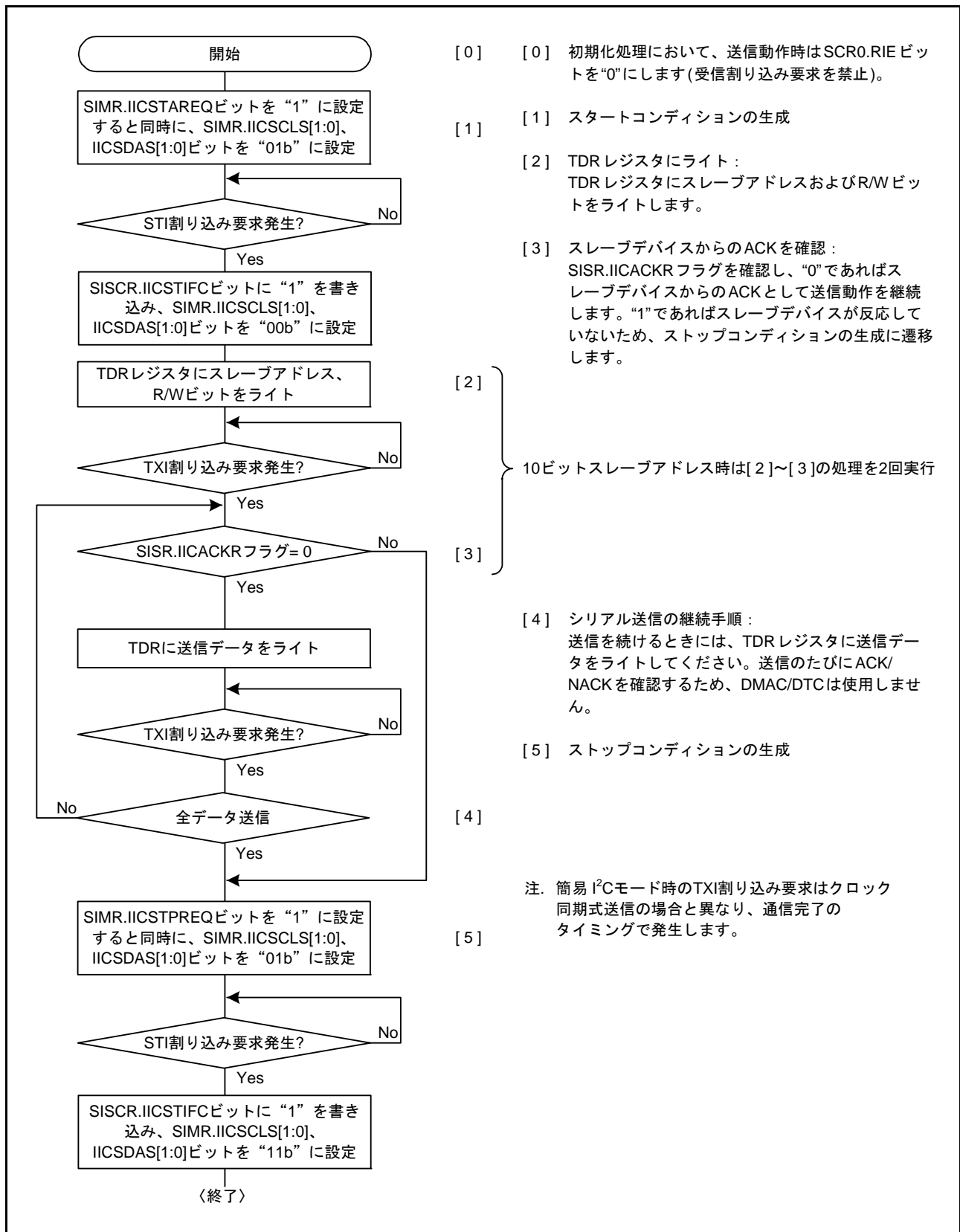


図 31.87 簡易 I²C モードのマスター送信動作のフローチャート例
(SIMR.IICINTM ビット = 1 設定時、全ての送信で ACK/NACK を確認する場合)

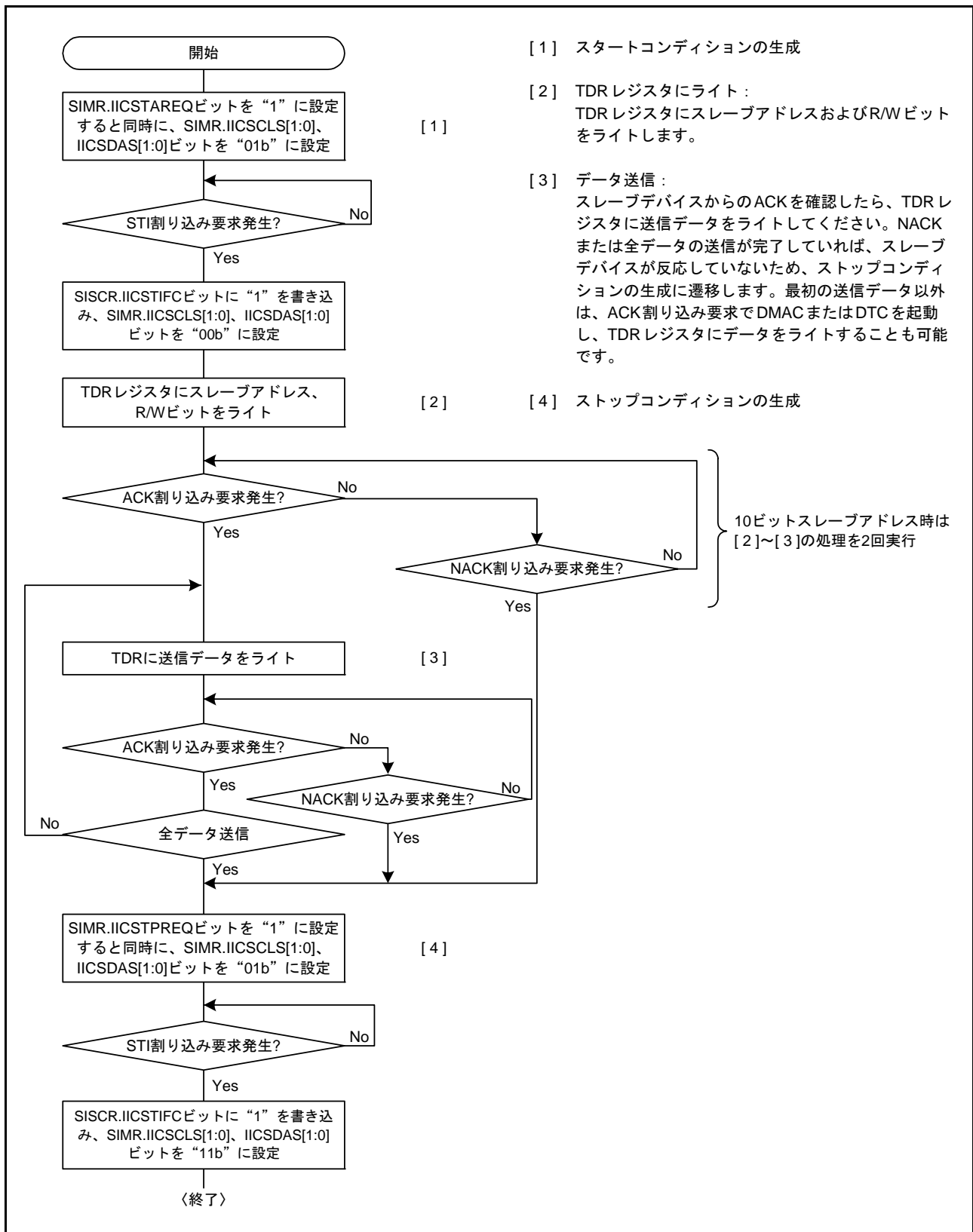


図 31.88 簡易 I2C モードのマスタ送信動作のフローチャート例 (SIMR.IICINTM ビット = 0 設定時)

31.9.6 マスタ受信動作 (簡易 I²C モード)

図 31.89、図 31.90 に簡易 I²C モードのマスタ受信の動作例を、図 31.91、図 31.92 にマスタ受信のフローチャートの例を示します。ともに SIMR.IICINTM ビットを“1”(受信割り込み、送信割り込みを使用)にした場合と SIMR.IICINTM ビットを“0”(ACK 割り込み、NACK 割り込みを使用)にした場合を想定しています。

簡易 I²C モードでの送信完了 (TXI) 割り込みは、1 フレームの通信を完了した時点で発生します。

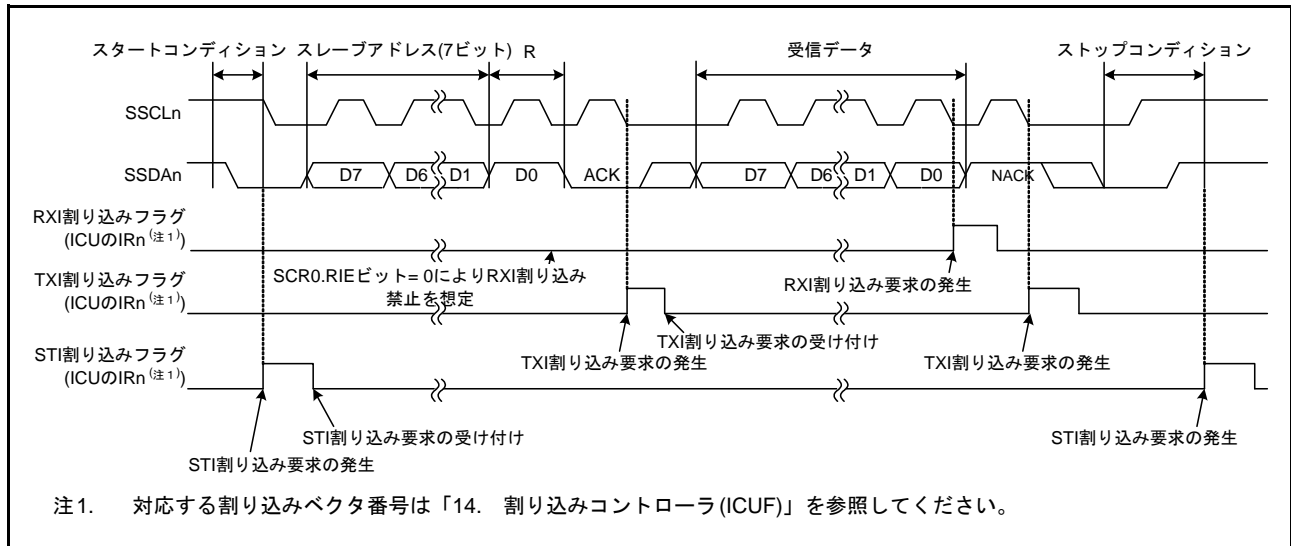


図 31.89 簡易 I²C モードのマスタ受信の動作例 (7 ビットスレーブアドレス、送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

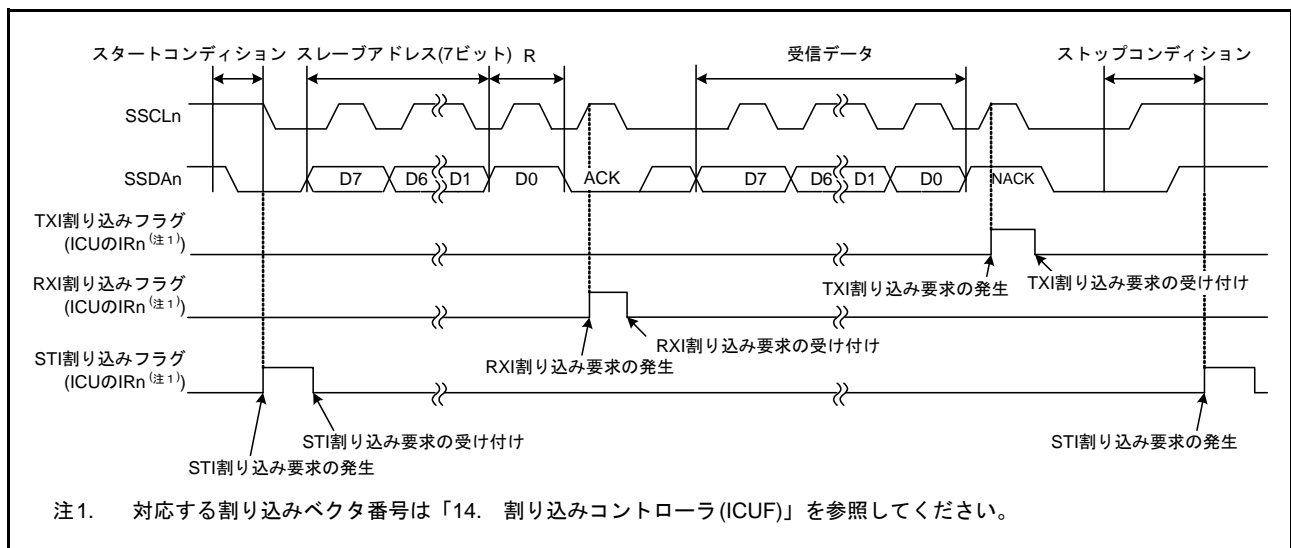


図 31.90 簡易 I²C モードのマスタ受信の動作例 (7 ビットスレーブアドレス、ACK 割り込み / NACK 割り込み使用 (SIMR.IICINTM ビット = 0) 時)

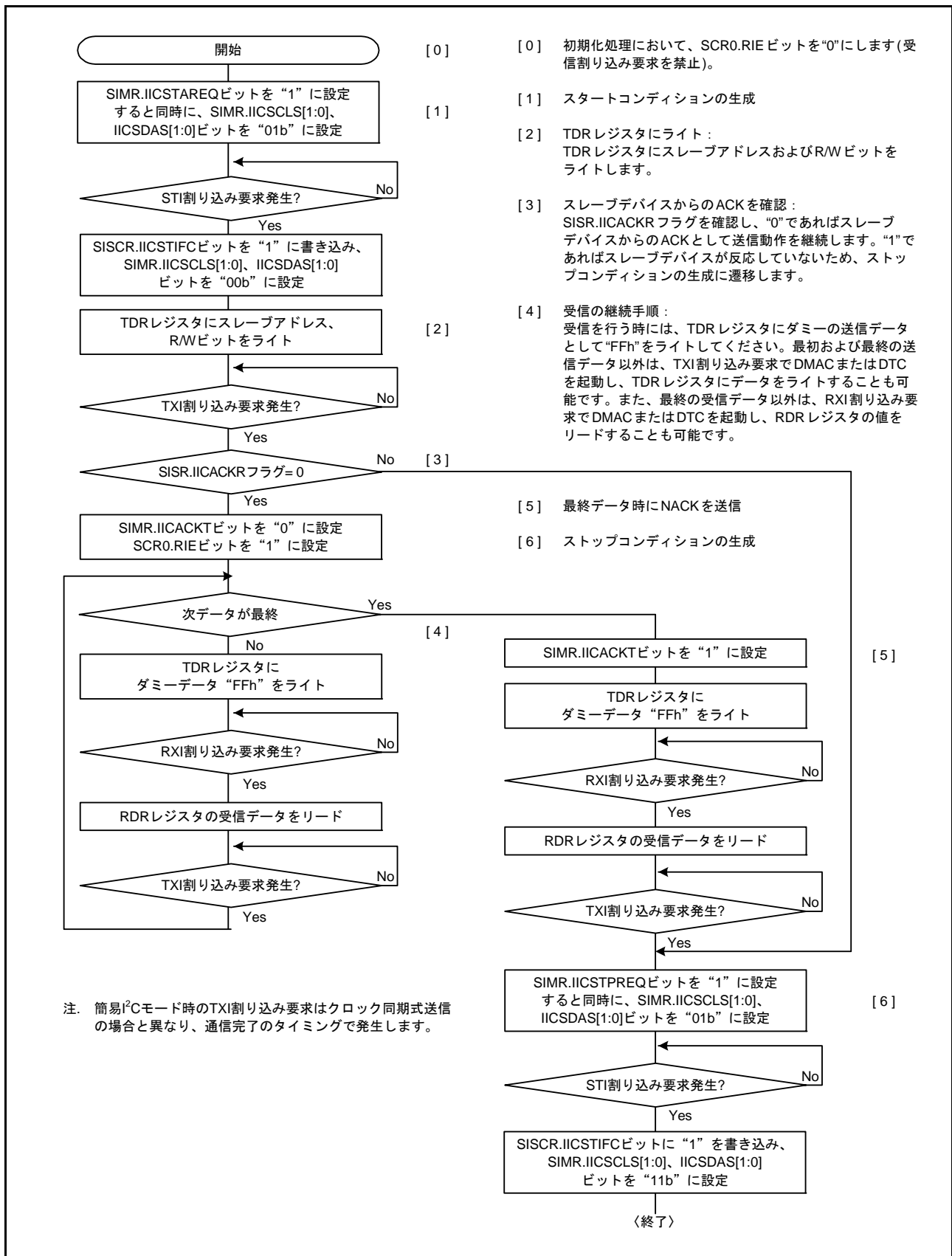


図 31.91 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

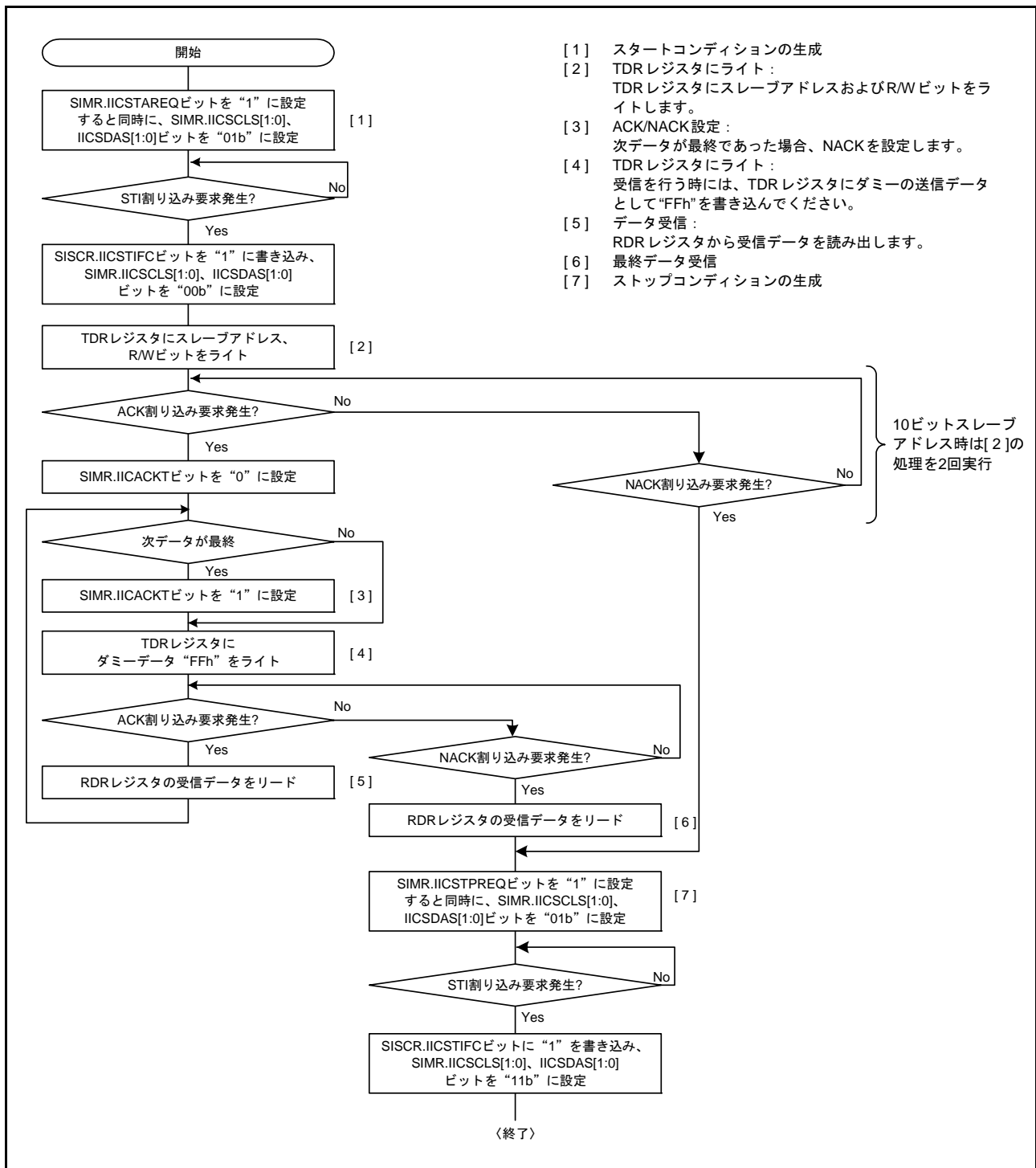


図 31.92 簡易 I2C モードのマスター受信動作のフローチャート例
 (ACK 割り込み / NACK 割り込み使用 (SIMR.IICINTM ビット = 0) 時)

31.10 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 31.93 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

RSCIは、CPHAビット=1かつCPOLビット=1のとき、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりで同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。ただし、CPHAビット=0かつスレーブ通信時は先頭ビット値に戻って保持されます。

RSCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

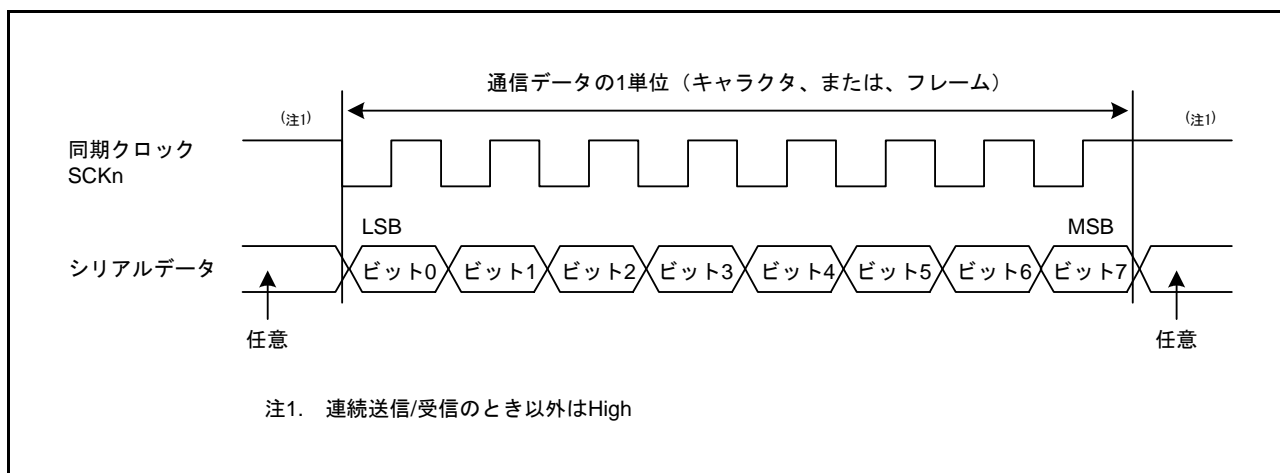


図 31.93 クロック同期式シリアル通信のデータフォーマット (LSB ファースト、CPHA ビット = 1、CPOL ビット = 1 の場合)

31.10.1 クロック

(1) 内部クロック選択時

SCR3.CKE[1:0] ビット = “00b” または “01b” 設定時 (マスタモード)、内蔵ボーレートジェネレータが生成する内部クロックを選択でき、SCKn 端子から同期クロックを出力します。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High (注1) に固定されます。また、送信のみおよび送受信時、送信データを準備しないと同期クロックを出力しません。

また、内部クロック選択時は受信サンプリングクロックに SCKn から遅延をつけたクロックを使用します。これにより高速通信時のデータセットアップホールド時間を確保します。

注1. SCR3.CPHA ビット = 0 かつ SCR3.CPOL ビット = 1、または SCR3.CPHA ビット = 1 かつ SCR3.CPOL ビット = 1 のときは High で停止します。また、SCR3.CPHA ビット = 0 かつ SCR3.CPOL ビット = 0、または SCR3.CPHA ビット = 1 かつ SCR3.CPOL ビット = 0 のときは Low で停止します。

(2) 外部クロック選択時

SCR3.CKE[1:0] ビット = “10b” または “11b” 設定時 (スレーブモード)、SCKn 端子から入力される外部クロックを使用して送受信を行います。

31.10.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SCR1.CTSE ビットを“1”にすると、CTS 機能が有効になります。クロック同期通信では内部クロック時に CTS 機能、外部クロック時に RTS 機能が使用可能ですので、CTS 機能と RTS 機能を同時に使うことはできません。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作および送信動作を開始します。

FIFO 使用時は、送信前から CTSn# 信号が High を維持した場合、送信開始しませんが、“TDR レジスタへ書き込んだ数 - 1”がデータ格納数となります (調歩同期式 FIFO 使用時と異なります)。これは、TDR レジスタ書き込み後に TSR レジスタへデータが転送されるためですが、CTSn# 信号を Low レベルにすると、TSR レジスタから送信が開始されるので、問題ありません。

送受信および送信動作中に CTSn# 端子を High にした場合、送受信および送信中のフレームは影響を受けず送受信および送信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用してシリアル通信開始要求を行う機能で、シリアル通信が可能な状態になると RTSn# 端子に Low を出力します。Low、High を出力する条件は以下のとおりです。

(a) SCR3.FM ビットが“0” (非 FIFO モード) の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR0.RE ビットまたは SCR0.TE ビットが“1”
- 読み出し前の受信データがない、かつ受信中でない (SCR0.RE ビットが“1”のとき)
- TDR レジスタに書いたデータが送信可能な状態になっている (SCR0.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

受信完了後 RDR レジスタを読み出さずに SCR0.RE ビット = 0 にして受信を終了させる場合は High のままです。この時は SCR0.RE ビット = 0 を書き込んでください。

(b) SCR3.FM ビットが“1” (FIFO モード) の場合

[Low になる条件]

以下の条件をすべて満たす場合

- SCR0.RE ビットまたは SCR0.TE ビットが“1”
- 受信 FIFO (RDR レジスタ) 内に格納されているデータ数がしきい値 (FCR.RSTRG[4:0] ビット) 未満 (SCR0.RE ビットが“1”のとき)
- 送信 FIFO (TDR レジスタ) に書いた送信データが送信可能な状態になっている (SCR0.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

31.10.3 RSCIの初期化(クロック同期式モード)

データの送受信前に SCR0.TE ビットと SCR0.RE ビットに“0”を書き込み(SCR0レジスタに初期値を書き込むでも可)、図 31.94 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、TE ビットと RE ビットに“0”を書き込んでから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、AFER、APER、RDRF フラグおよび RDR レジスタは初期化されませんので注意してください。また、TE ビットを“0”にしても FIFO モード時の SSR.TEND フラグは初期化されませんので注意してください。動作モードの変更時にも注意してください。

TE ビットを“0”から“1”にすると、SCR0.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

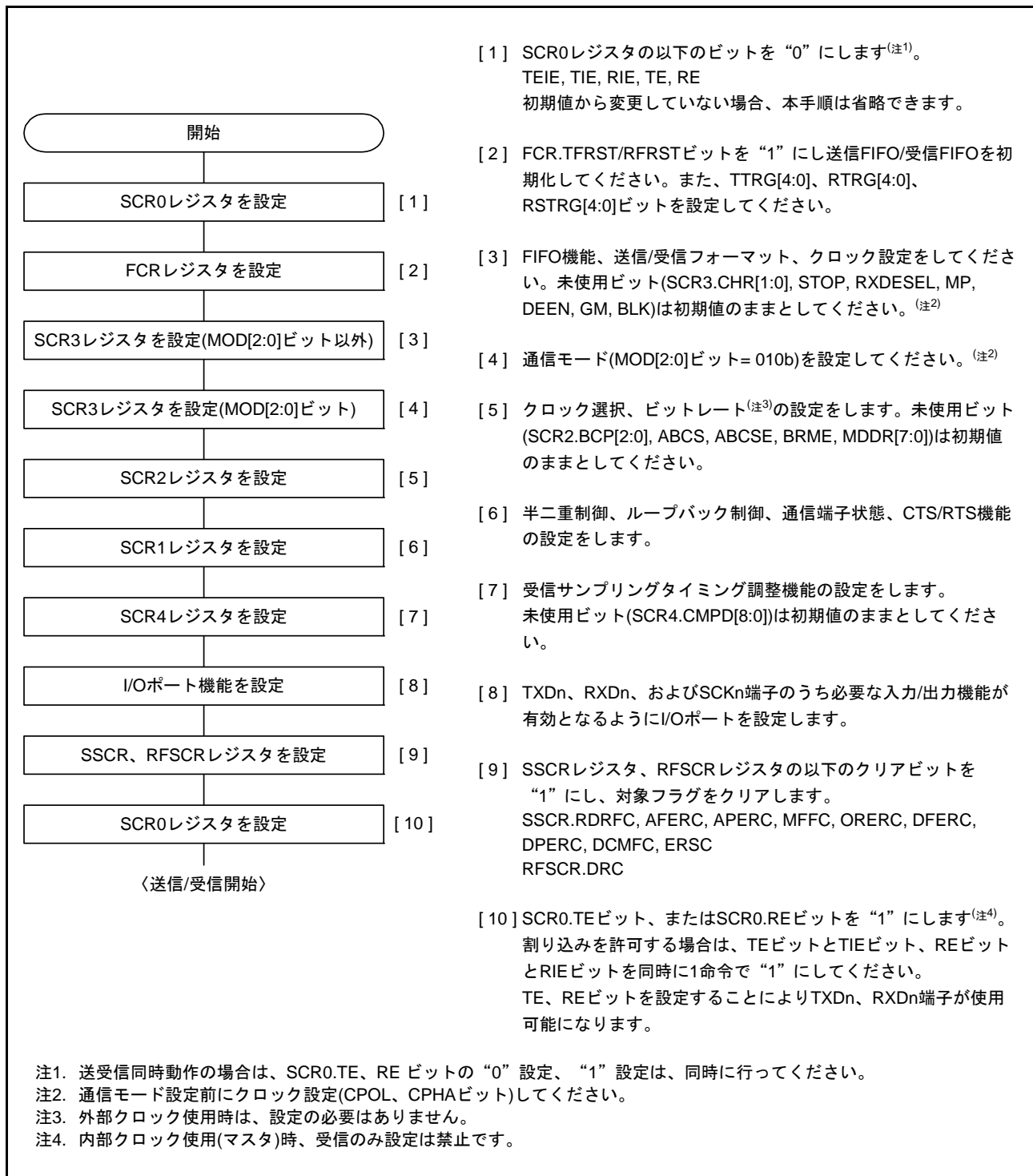


図 31.94 RSCI の初期化フローチャートの例 (クロック同期式モード)

31.10.4 シリアルデータの送信 (クロック同期式モード)

(1) 非 FIFO モード時

図 31.95 ～図 31.97 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、RSCI は以下のように動作します。

1. RSCI は TXI 割り込みルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にしてください。すると TXI 割り込み要求が発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR0.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR0.TIE ビットを“0”(TXI 割り込み要求を禁止)に、SCR0.TEIE ビットを“1”(TEI 割り込み要求を許可)にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SCR1.CTSE ビットが“1”(CTS 機能許可)のとき、CTS 信号入力 Low になるまで待つてから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新(書き込み)をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR0.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 31.98 にデータ送信のフローチャートの例を示します。

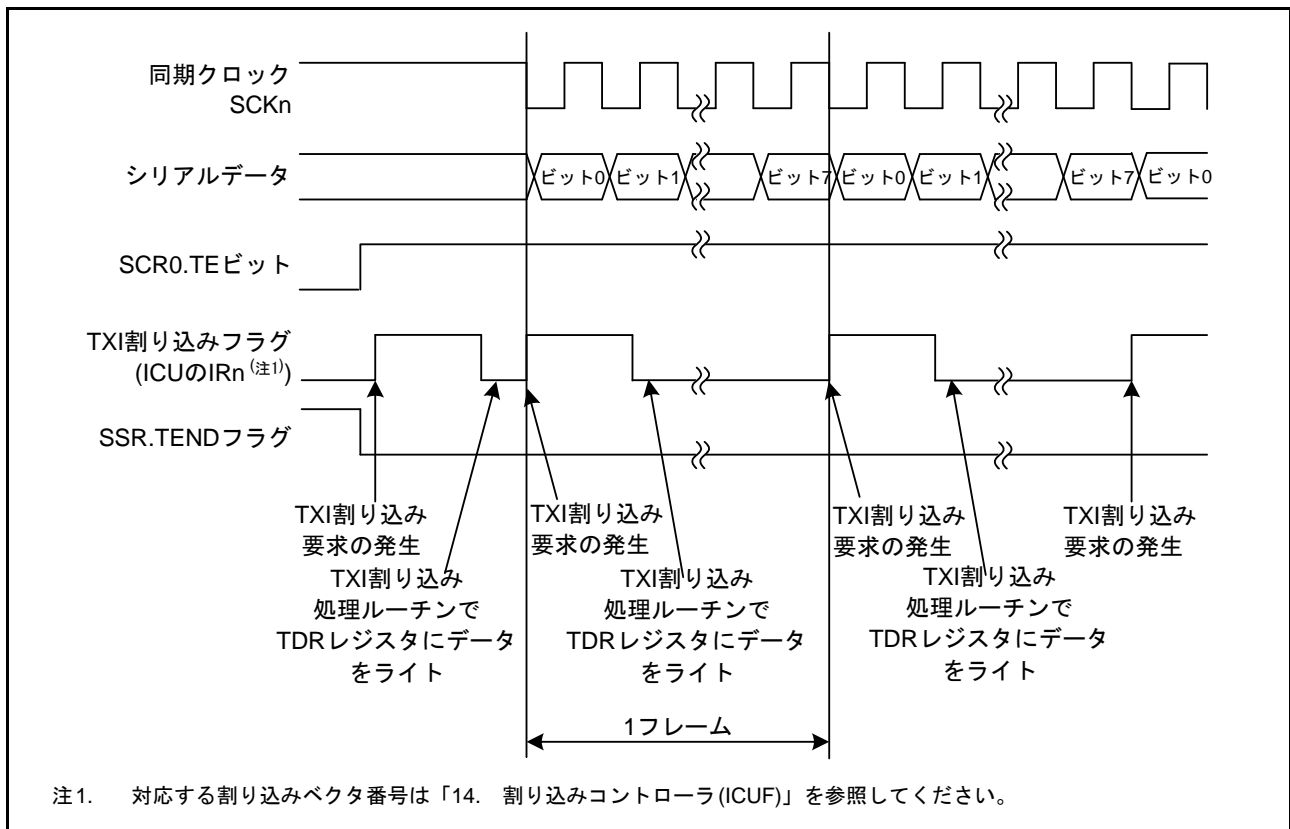


図 31.95 クロック同期式モードのシリアル送信の動作例 (1) (CTS 機能未使用時 / 送信開始時 / CPHA ビット = 1、CPOL ビット = 1)

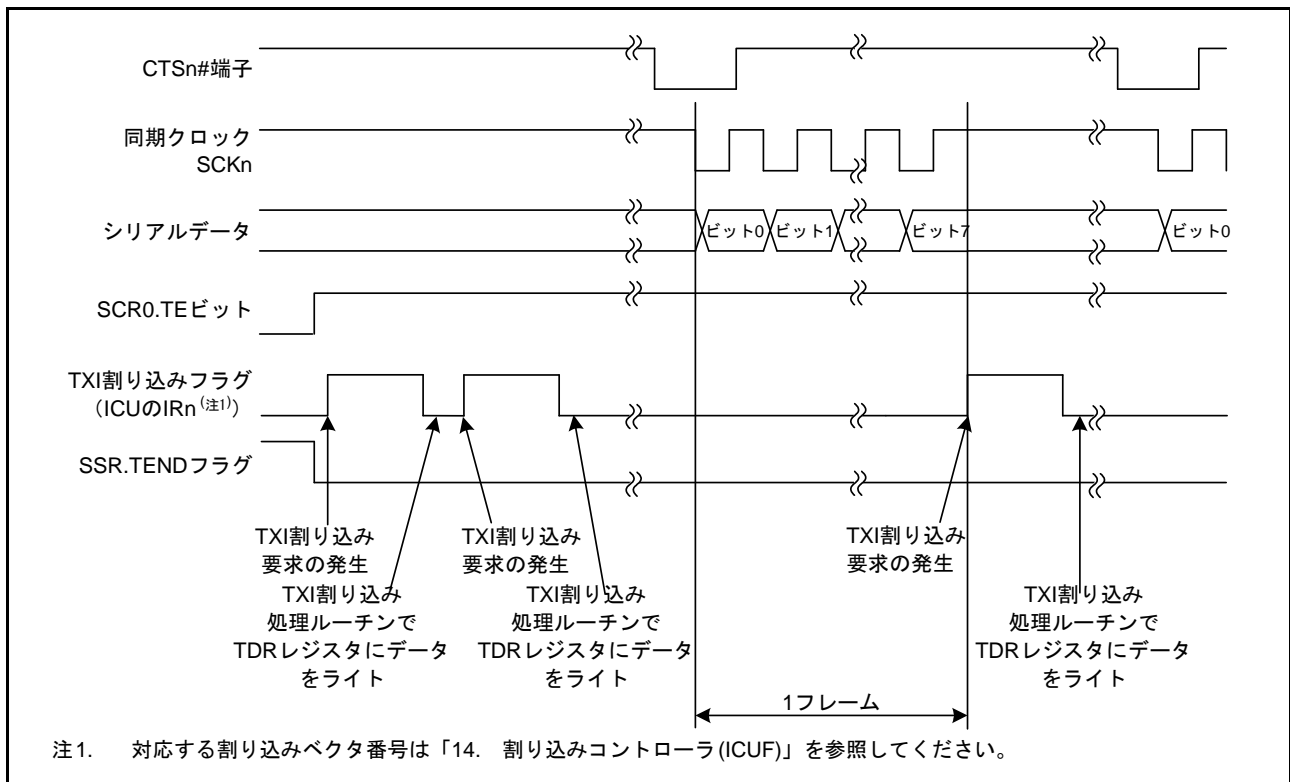


図 31.96 クロック同期式モードのシリアル送信の動作例 (2) (CTS 機能使用時 / 送信開始時 / CPHA ビット = 1、CPOL ビット = 1)

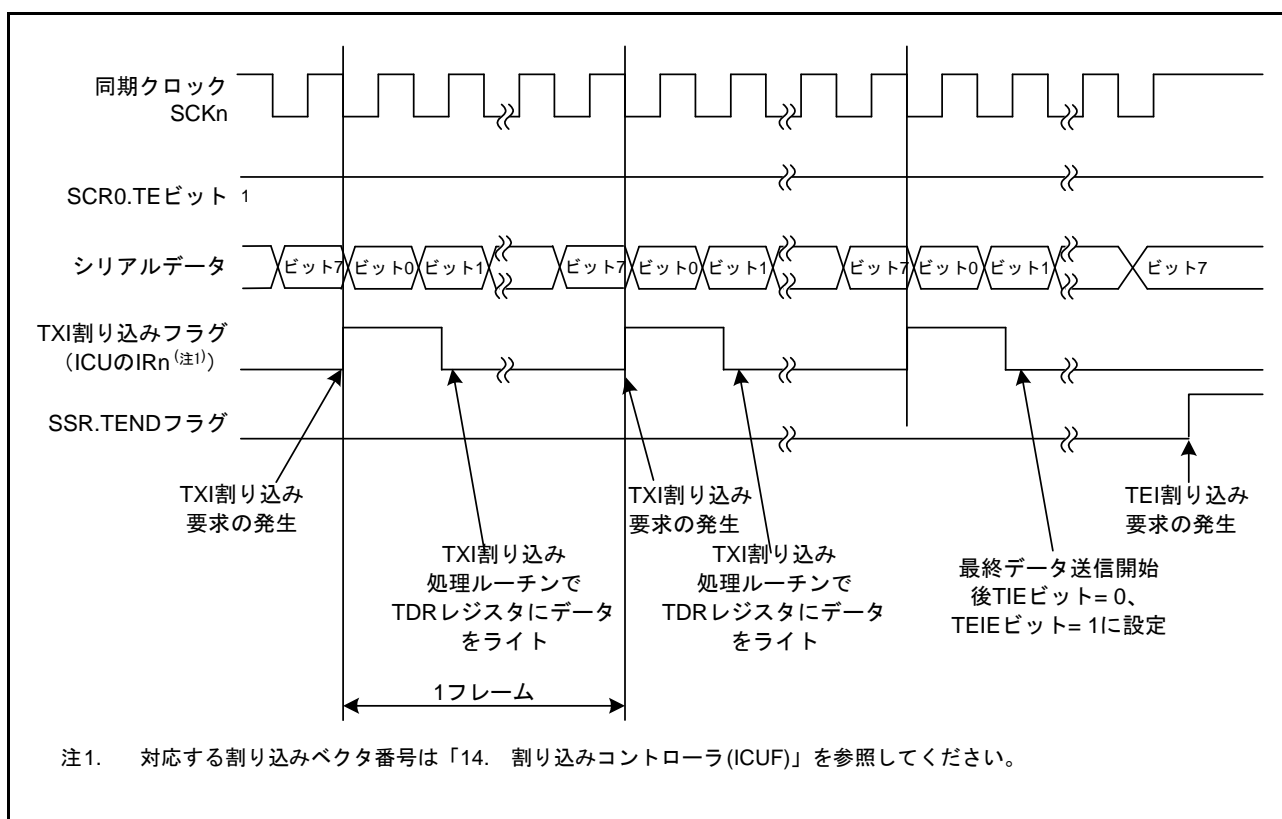


図 31.97 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信完了時 /CPHA ビット = 1、CPOL ビット = 1)

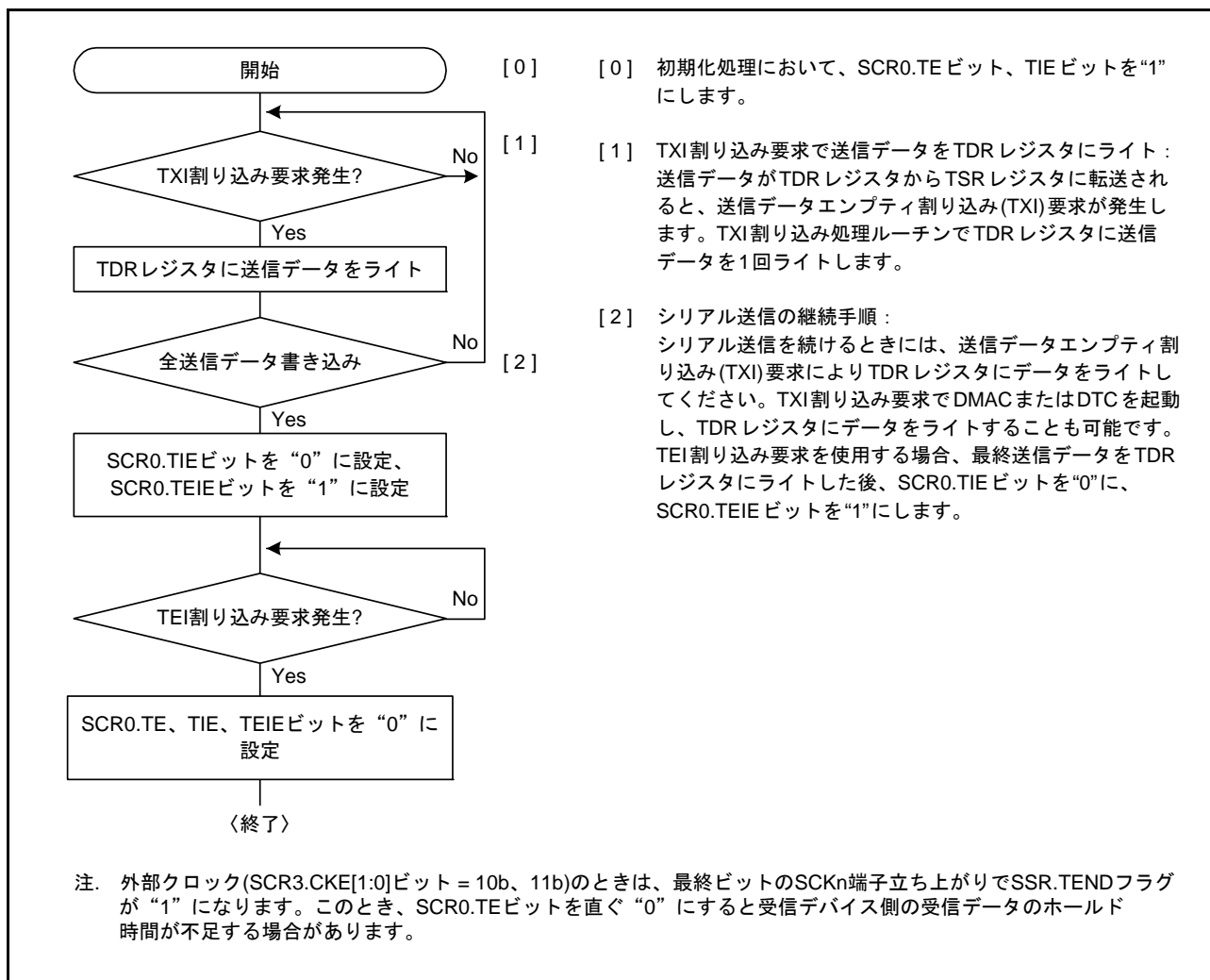


図 31.98 クロック同期式モードのシリアル送信のフローチャート例 (非 FIFO モード時)

(2) FIFO モード時

図 31.99 に FIFO モード時のクロック同期式モードのシリアル送信時のフローチャートの例を示します。シリアルデータの送信時、RSCI は以下のように動作します。

1. RSCI は TXI 割り込みルーチンで送信 FIFO (TDR レジスタ) にデータが書き込まれると、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送します。書き込み可能な送信データバイト数は“32 – 送信 FIFO (TDR レジスタ) に格納された未送信データ数”です。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを同時に“1”にすると、TXI 割り込み要求が生成されます。
2. 送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送し、送信を開始します。送信 FIFO (TDR レジスタ) に格納されたデータの数が送信 FIFO しきい値以下になると、SSR.TDRE フラグが“1”になります。このとき、SCR0.TIE ビットが“1”にセットされていると TXI 割り込み要求を発生します。TXI 割り込みルーチンで、送信 FIFO (TDR レジスタ) に書き込んだデータの送信が終了するまでに送信 FIFO (TDR レジスタ) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを送信 FIFO (TDR レジスタ) に書き込んだ後、SCR0.TIE ビットを“0”に、TEIE ビットを“1”にします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入

カクロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SCR1.CTSE ビットが“1”(CTS 機能許可)の場合、CTS# 端子に Low が入力されるまで待って送信を開始します。

4. RSCI は、最終ビットを送り出すタイミングで送信 FIFO (TDR レジスタ) (注 1) に未送信データが残っているかどうかを確認します。
5. 送信 FIFO (TDR レジスタ) に未送信データがあった場合、送信 FIFO (TDR レジスタ) から TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. 送信 FIFO (TDR レジスタ) に未送信データがなかった場合、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR0.TEIE ビットが“1”であると、TEI 割り込み要求を生成します。SCKn 端子は High に固定されます。

注 1. 送信 FIFO (TDR レジスタ) に格納された未送信データの数は TFSR.T[5:0] ビットで確認できます。

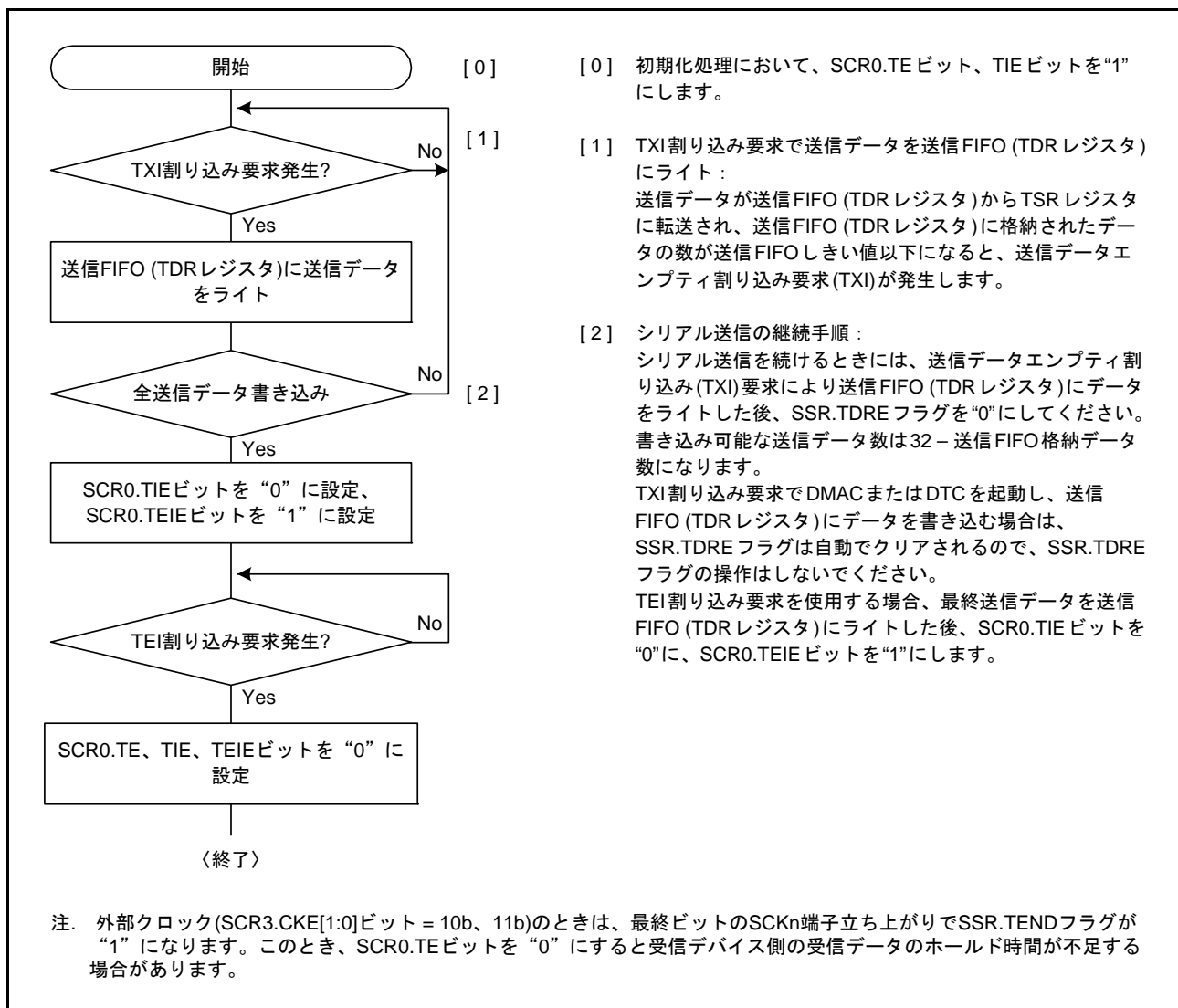


図 31.99 クロック同期式モードのシリアル送信のフローチャート例 (FIFO モード時)

31.10.5 シリアルデータの受信 (クロック同期式モード)

(1) 非 FIFO モード時

図 31.100、図 31.101 にクロック同期式モードのシリアル受信時の動作例を示します。

シリアルデータの受信時、RSCI は以下のように動作します。また、受信のみ動作はスレープモード時のみ可能です (マスタモード時は受信のみ動作は禁止です)。

1. SCR0.RE ビットが“1”になると、RTSn# 端子の出力を Low にします (RTS 機能使用時)。
2. RSCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子の出力を Low にします (RTS 機能使用時)。最終データの受信後、RTSn# 端子出力を Low にしたくない場合は、RDR レジスタを読み出す前に、SCR0.RE ビットを“0”にしてください。

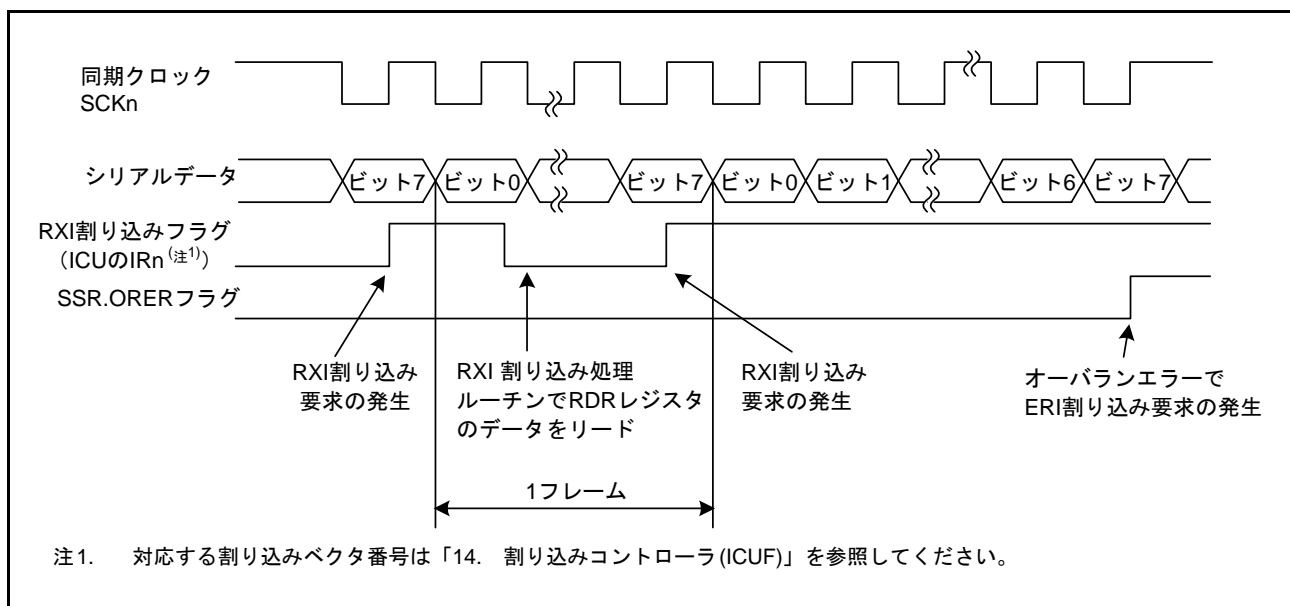


図 31.100 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時 /CPHA ビット = 1、CPOL ビット = 1)

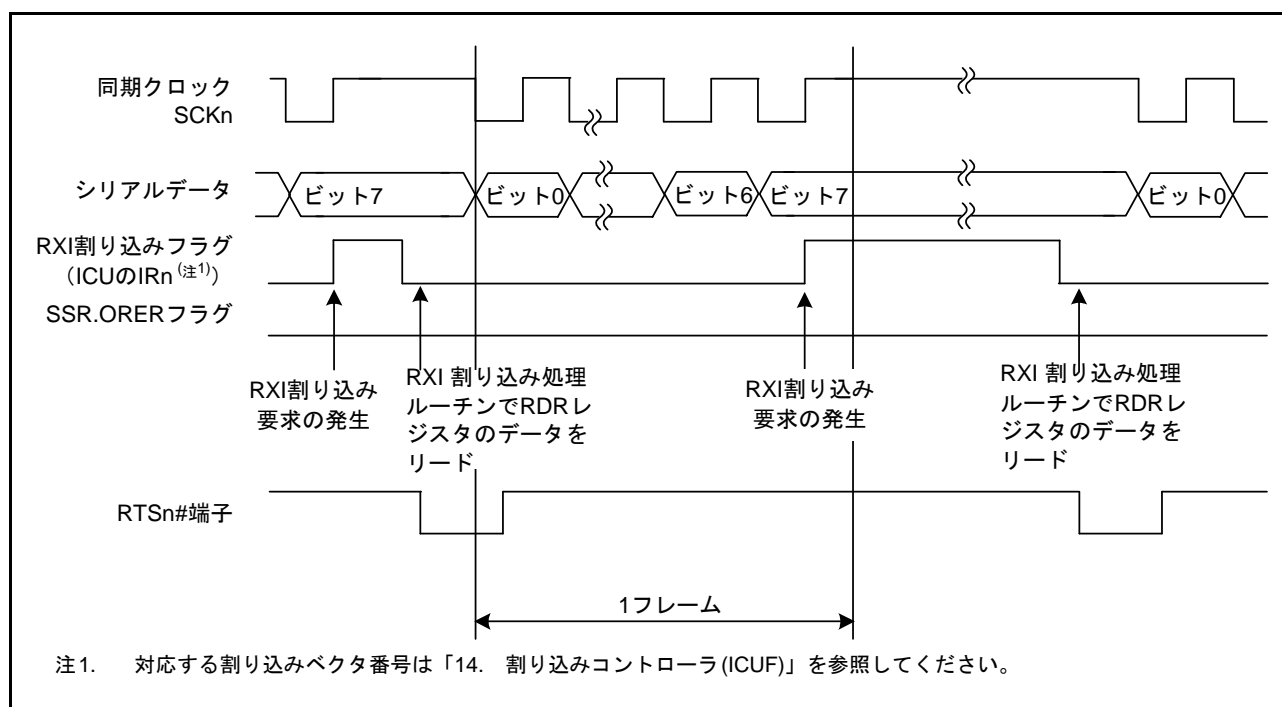


図 31.101 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時 /CPHA ビット = 1、CPOL ビット = 1)

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、AFER、APER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCRO.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 31.102 にシリアル受信のフローチャートの例を示します。

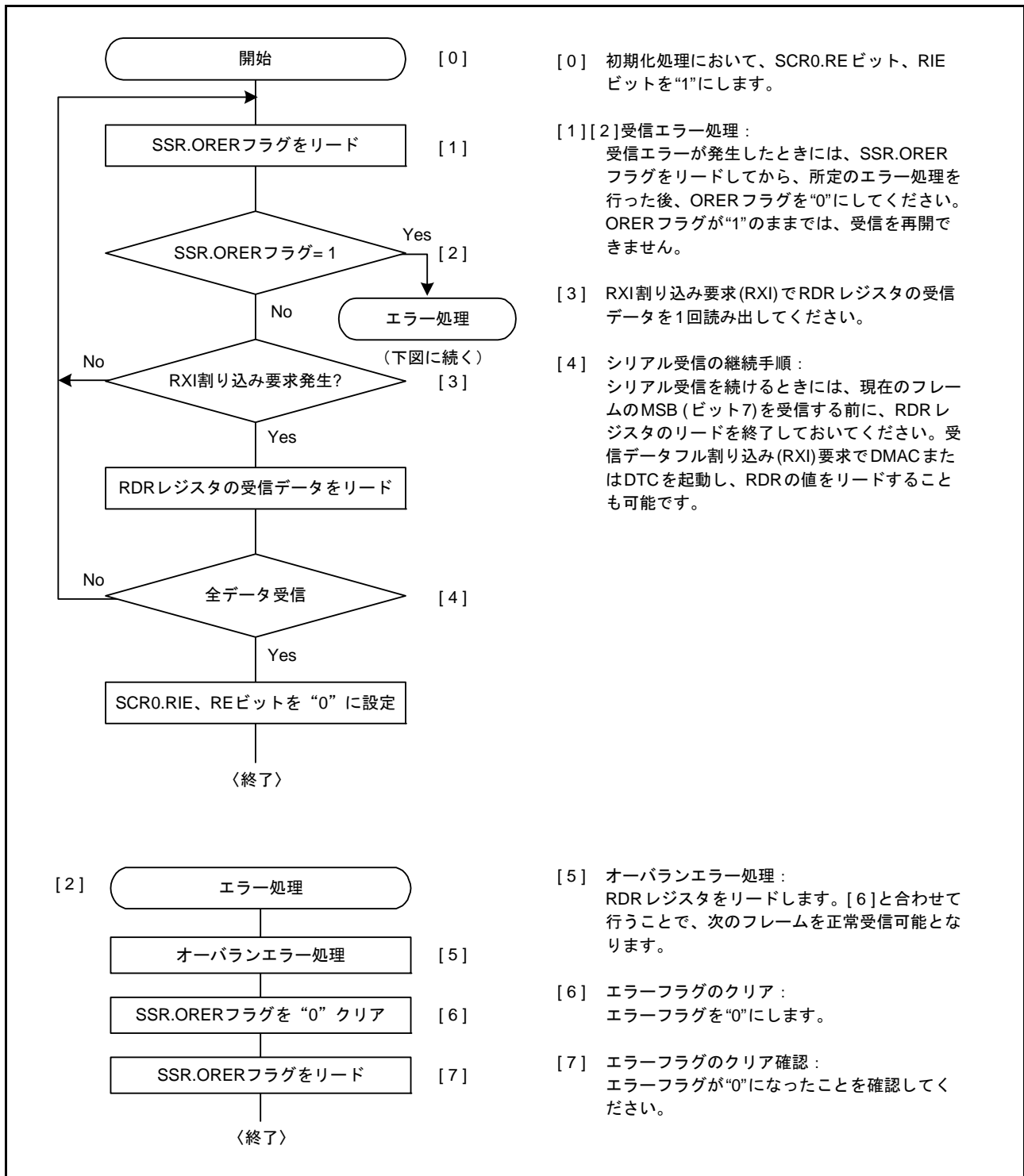


図 31.102 クロック同期式モードのシリアル受信のフローチャート例 (非 FIFO モード時)

(2) FIFO モード時

図 31.103 に FIFO モード時のクロック同期式モードのシリアル受信時のフローチャートの例を示します。シリアルデータの受信時、RSCI は以下のように動作します。また、受信のみ動作はスレーブモード時のみ可能です (マスタモード時は受信のみ動作は禁止です)。

1. SCR0.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. RSCI は同期クロックの入力、または出力に同期して受信を開始し、受信データを受信 FIFO (RDR レジスタ) に取り込みます。
3. オーバランエラーが発生したときは SSR.ORER フラグをセットします。このとき、SCR0.RIE ビットが“1”であると、ERI 割り込み要求を生成します。受信データは受信 FIFO (RDR レジスタ) (注 1) に転送しません。
4. 正常に受信したときは、受信データを受信 FIFO (RDR レジスタ) (注 1) に転送します。受信 FIFO (RDR レジスタ) に格納した受信データの数が受信 FIFO しきい値以上になると、SSR.RDRF フラグが“1”になります。このとき RIE ビットが“1”にセットされていると RXI 割り込み要求が発生します。RXI 割り込み処理ルーチンで受信 FIFO (RDR レジスタ) に転送された受信データをオーバランエラーが発生するまでに読み出すことで連続受信が可能です。受信 FIFO (RDR レジスタ) に転送された受信データが読み出され、RTS# 出力しきい値より少なくなると、RTSn# 端子出力を Low にします (RTS 機能使用時)。

注 1. RDR.RDAT[8] ビットは使用しません。

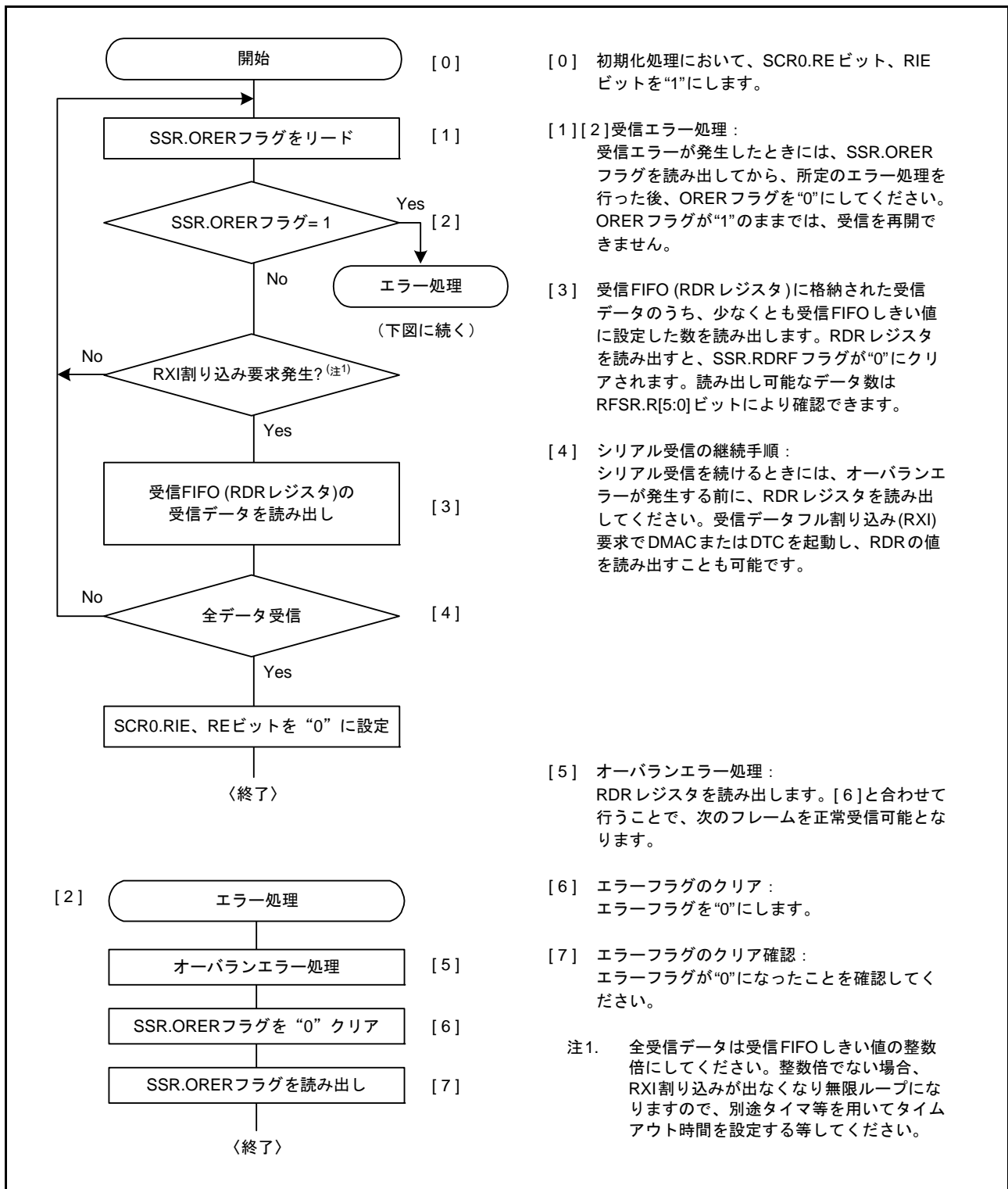


図 31.103 クロック同期式モードのシリアル受信のフローチャート例 (FIFO モード時)

31.10.6 シリアルデータの送受信同時動作 (クロック同期式モード)

クロック同期式モードでは送受信が同時に行われるため、送信データの数と受信データの数は同じです。

(1) 非 FIFO モード時

図 31.104 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、RSCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、RSCI が送信完了状態であることを SSR.TEND フラグが“1”であることで確認してください。その後、SCR0 レジスタの TE、RE ビットを“0”にしてから SCR0 レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、RSCI が受信完了状態であることを確認した後、SCR0 レジスタの TE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER、AFER、APER) が“0”であることを確認した後、SCR0 レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

送受信同時動作での RTS 機能使用時に、受信時と同様に最終データ受信後の RTSn# 端子出力を Low にしたくない場合は、RDR レジスタをリードする前に、SCR0.RE と TE ビットを同時に“0”にしてください。

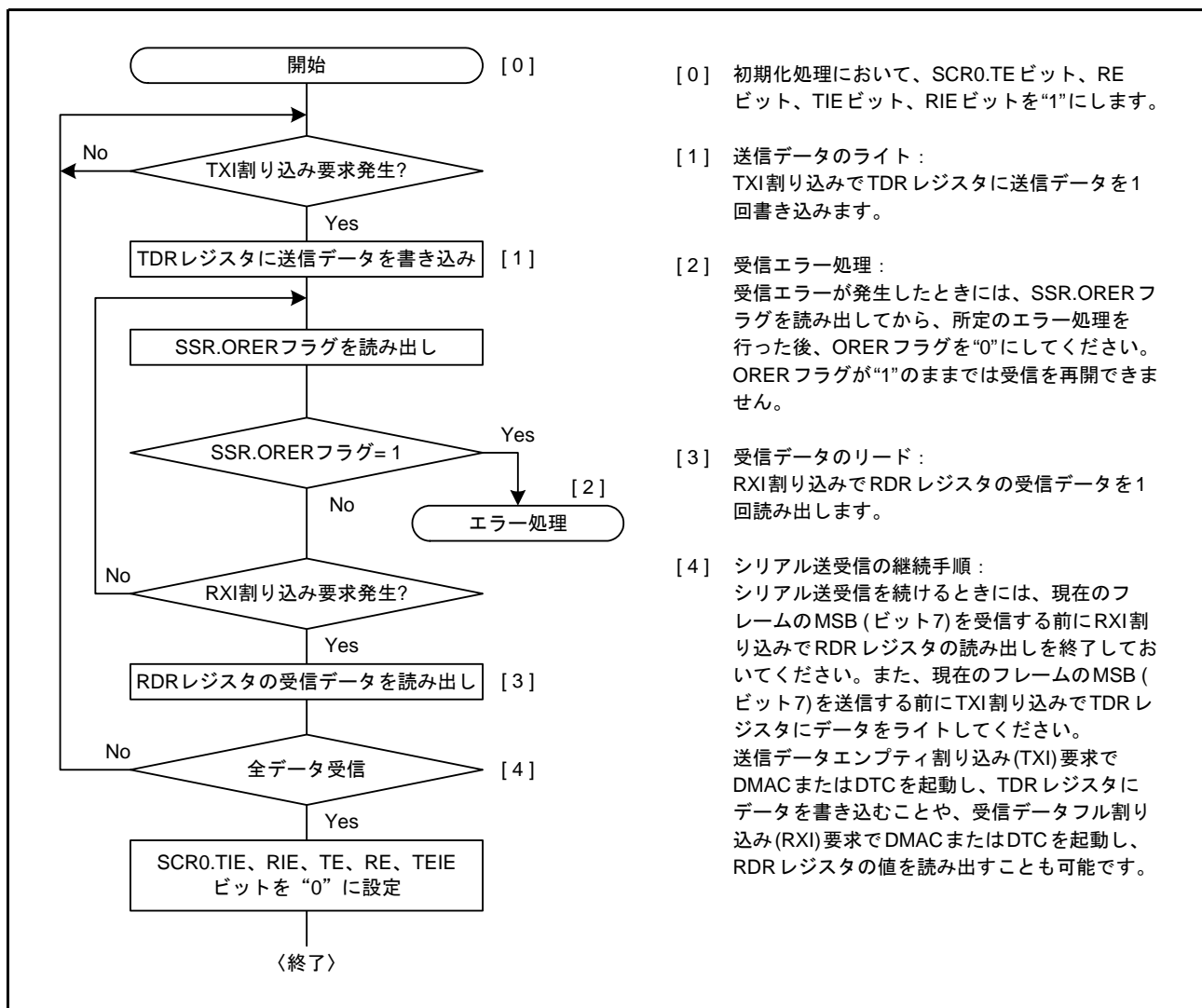


図 31.104 クロック同期式モードのシリアル送受信同時動作のフローチャート例 (非 FIFO モード時)

(2) FIFO モード時

図 31.105 に FIFO モード時のクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は RSCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、RSCI が送信完了状態であることを、SSR.TEND フラグが“1”であることで確認してください。その後、SCR0.TE ビット = 0 かつ RE ビット = 0 にしてから、SCR0.TE、および RE、TIE、RIE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、RSCI が受信完了状態であることを確認した後、SCR0.TE ビット = 0 かつ RE ビット = 0 にしてから、エラーフラグ (SSR.ORER, AFER, APER) が“0”であることを確認した後、SCR0.TE、および RE、TIE、RIE ビットを 1 命令で同時に“1”にしてください。

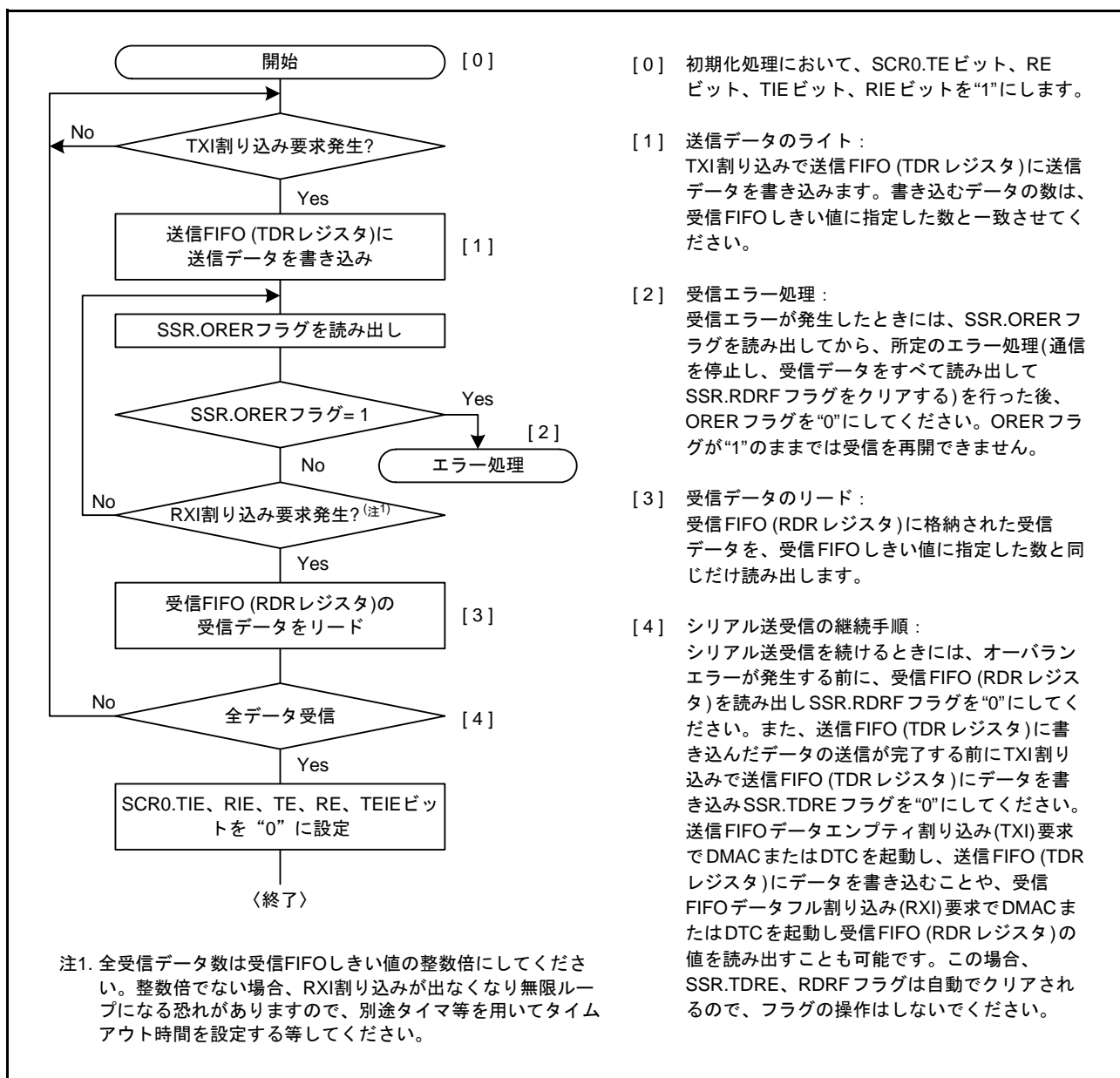


図 31.105 クロック同期式モードのシリアル送受信同時動作のフローチャート例 (FIFO モード時)

31.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能

クロック同期式モード内部クロック使用 (マスタモード) 時、受信サンプリングクロックに、MRCLK を使用します。

本機能は、MRCLK を 1PCLKA ~ 4PCLKA 遅延させデジタル遅延を付加することで、受信サンプリングタイミングを調整する機能です。MRCLK のアナログ遅延は調整できません。

本機能は、SCR4.RTADJ ビット = 1 とすることで使用可能です、遅延値は、SCR4.RTMG[3:0] ビットで設定します。

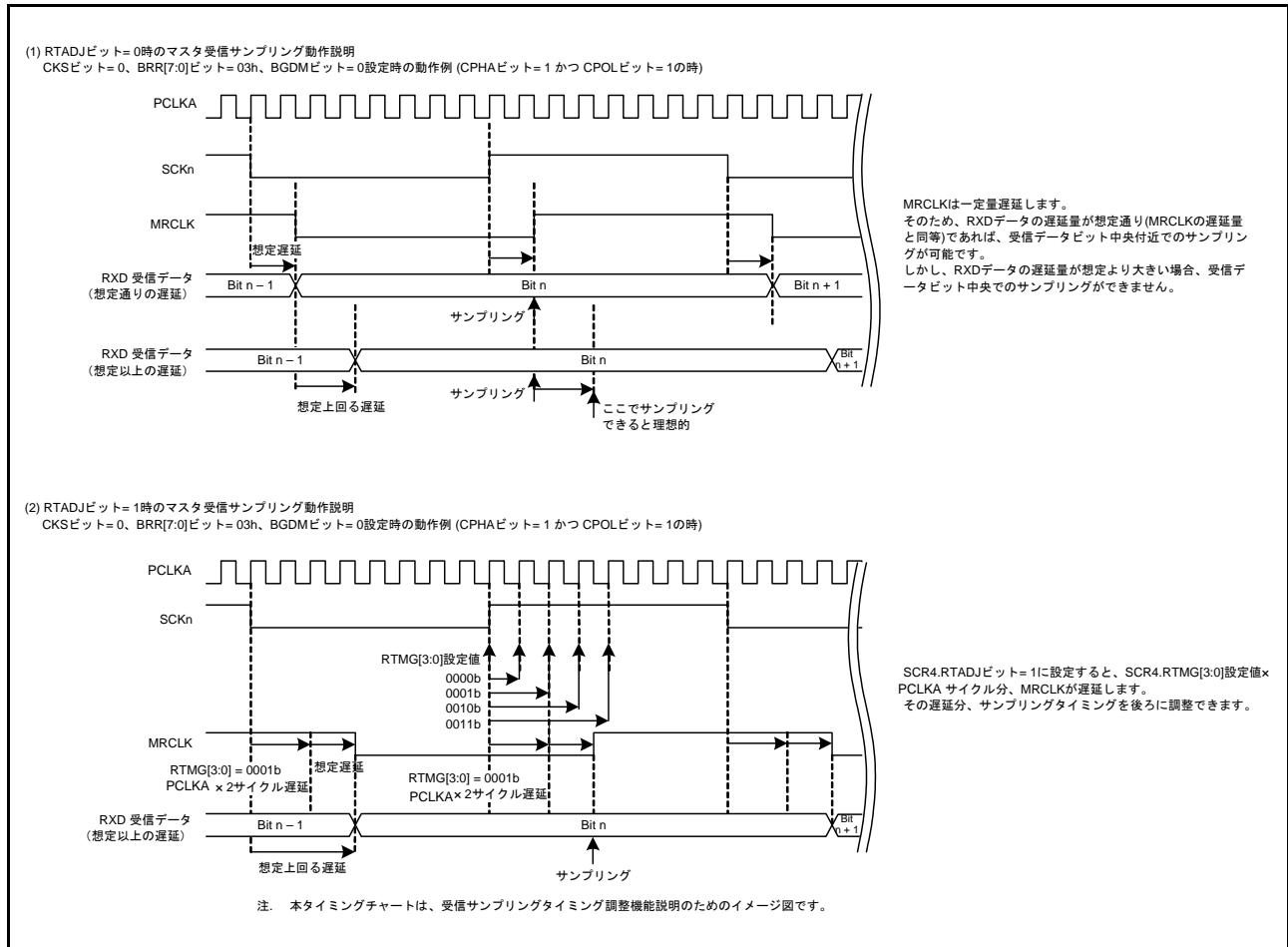


図 31.106 クロック同期式モードマスタ動作時、および簡易 SPI モードマスタ動作時の受信サンプリングタイミング調整動作説明

31.11 簡易 SPI モードの動作

RSCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

簡易 SPI モードの設定 (SCR3.MOD[2:0] ビット = 011b)、かつ、SCR0.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SCR0.SSE ビットを“0”にします。

図 31.107 に簡易 SPI モードの接続例を示します。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。

RSCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

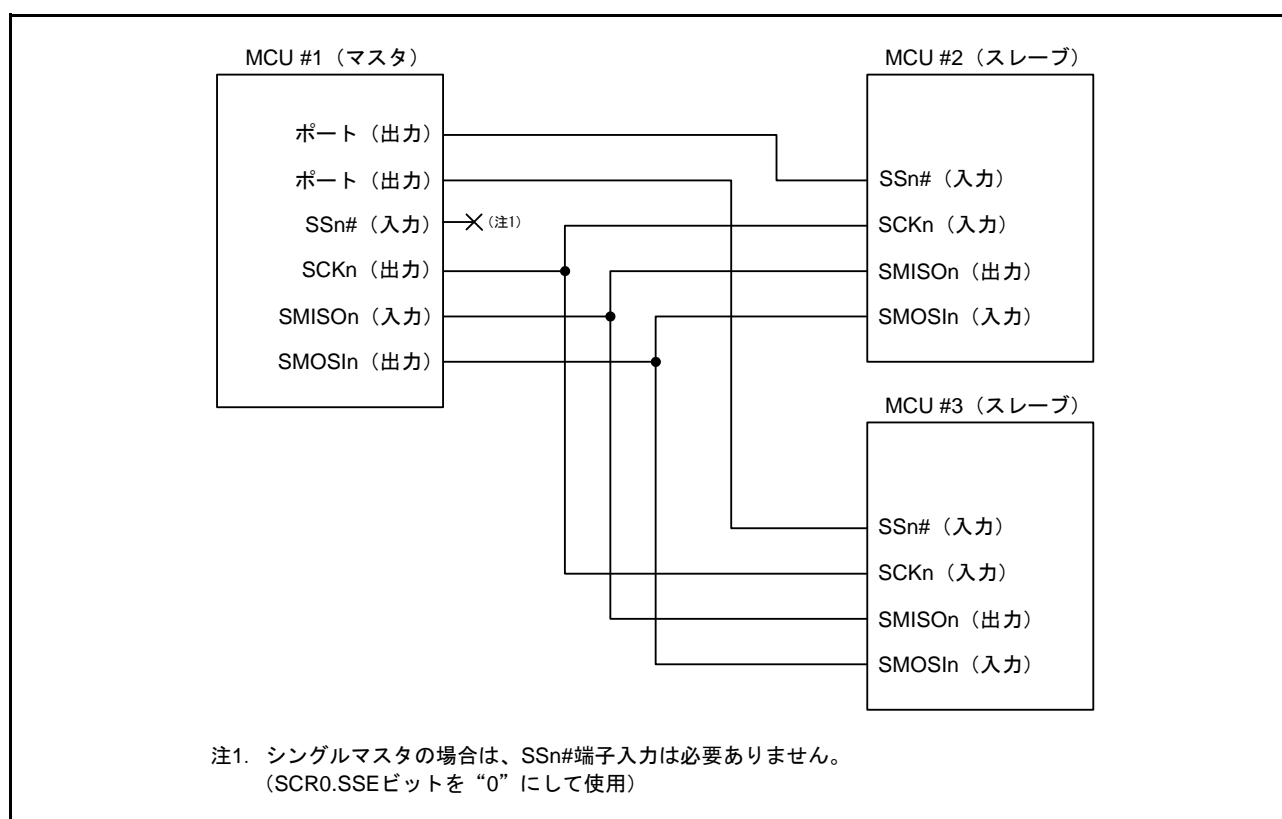


図 31.107 簡易 SPI モードの接続例

31.11.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR3.CKE[1:0] ビット = “00b” または “01b”) とスレーブモード (SCR3.CKE[1:0] ビット = “10b” または “11b”) で各端子の入出力方向が変わります。

表 31.40 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 31.40 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOIn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力 (注2)	クロック入力

注1. シングルマスタ時 (SCR0.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR0.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SCR0.SSE ビット = 1) かつ送受信禁止時 (SCR0.TE ビット = 0、RE ビット = 0) はハイインピーダンスです。

31.11.2 マスタモード時の SS 機能

SCR3.CKE[1:0] ビット = “00b” または “01b” を設定することで、マスタモードになります。

シングルマスタ時 (SCR0.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。SSn# 端子は別の用途で使用可能です。

マルチマスタ時 (SCR0.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SCR0.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき RSCI は TXDn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SSR.MFF フラグが “1” になります。マルチマスタ時は SSR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生した場合、SSn# 端子入力が Low の期間中は SCKn 端子、TXDn 端子出力をハイインピーダンスにします。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

マスタモード時の SS 信号出力については、汎用ポートで制御してください。

31.11.3 スレーブモード時の SS 機能

SCR3.CKE[1:0] ビット = “10b” または “11b” を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、RXDn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、RXDn 端子出力をハイインピーダンスにし、即座に送受信動作を停止します。送信動作中であった場合、SSR.TEND フラグはセットせず、送信完了割り込みも出力しない、異常停止状態となりますので、スレーブ送受信動作中に SSn# 端子をネグートしないでください。異常停止状態となった場合、SCR0.RE ビットかつ SCR0.TE ビットを “0” にし送受信動作を停止させてください。送受信動作を再開する場合は、PCLKA × 3 サイクル以上空けてから SCR0.RE、TE ビットを “1” にしてください。

31.11.4 クロックと送受信データの関係

SCR3.CPOL、CPHA ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 31.108 に示します。マスターモード、スレーブモードともクロックと送受信データの関係は同じです。

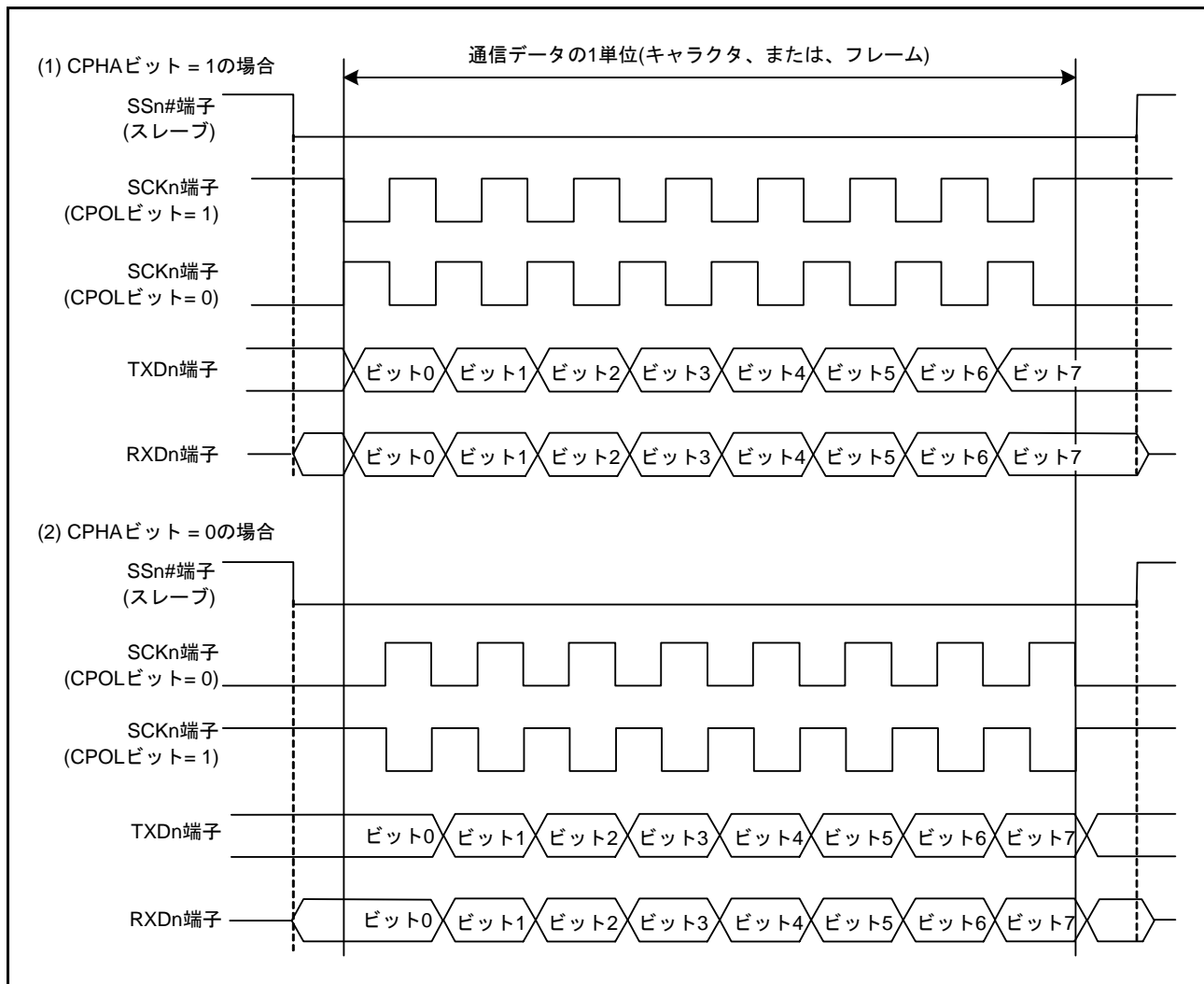


図 31.108 簡易 SPI モードのクロックと送受信データの関係

31.11.5 RSCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 31.94 の RSCI の初期化フローチャート例) と同様です。SCR3 レジスタの CPOL、CPHA ビットにより選択されるクロックの種類は、マスターデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、通信を停止 (SCR0.RE ビット = 0 かつ SCR0.TE ビット = 0) してから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、AFER、APER フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを“0”から“1”にすると、SCR0.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

31.11.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にしてください。送受信が終了したら、送受信先のスレーブデバイスの SSn# 端子を High にしてください。マスタモード時でも SCR0.SSE ビット=1 としたマルチマスタ動作の場合、SSn# 端子が Low ではモードフォルトエラーとなります。そのため、通信開始前にモードフォルトエラーでないことを確認して通信を開始し、通信終了後にもモードフォルトエラーでないことを確認してください。モードフォルトエラーが発生していたら、通信が不完全な可能性があるため、再送などの対策が必要になります。これ以外の手順はクロック同期式モードと同様です。

スレーブモード時は、SSn# 端子入力レベルに応じて動作します。それ以外の手順はクロック同期式モードと同様です。

31.11.7 簡易 SPI モード内部クロック使用時の受信サンプリングタイミング調整機能

簡易 SPI モードの受信サンプリングタイミング調整機能は、クロック同期式モードの受信サンプリングタイミング調整機能と同じです。動作説明は、「31.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能」を参照してください。

31.12 ビットレートモジュレーション機能

ビットレートモジュレーション機能は、SCR2.CKS[1:0] ビットで指定された内部クロックを、その 256 クロック中で SCR2.MDDR[7:0] ビットで指定した個数のクロックを平均的にイネーブルにすることによってビットレートを補正します。

調歩同期式モードで SCR2.CKS[1:0] ビットで PCLKA を選択し、BRR[7:0] ビットが “00h”、MDDR[7:0] ビットが “160” のときの例を、図 31.109 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックのイネーブルには偏りがあり、内部基本クロックのパルス幅は、選択した内部クロック分の伸縮が生じますので注意して下さい。

注． クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および拡張シリアルモードでは、本機能を使用しないでください。

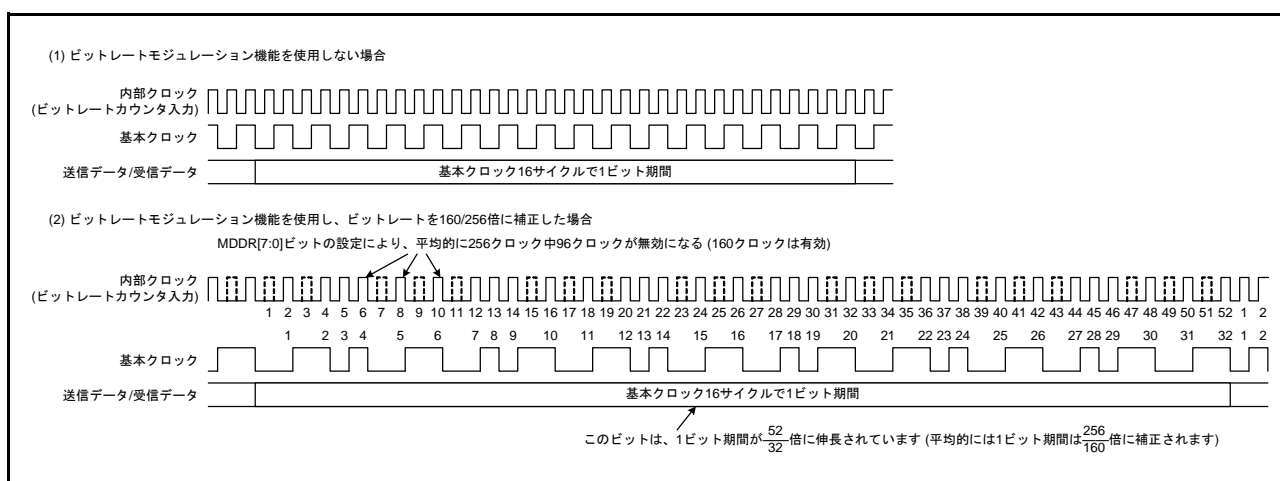


図 31.109 ビットレートモジュレーション機能使用時の基本クロックの例

31.13 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 31.110 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード、マンチェスタモード、および拡張シリアルモード時は、RXDn の入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SCR2.ABCSE ビット = 0 かつ SCR2.ABCS ビット = 0 のとき 1 ビット期間の 1/16、SCR2.ABCSE ビット = 0 かつ SCR2.ABCS ビット = 1 のとき 1 ビット期間の 1/8、SCR2.ABCSE ビット = 1 のとき 1 ビット期間の 1/6)、および内蔵ポーレートジェネレータのクロックソースの 1/2/4/8 分周クロックから SCR1.NFCS[2:0] ビットの設定により選択します。

簡易 I²C モード時は TXDn/SSDAn 端子、RXDn/SSCLn 端子からの各入力に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ポーレートジェネレータのクロックソースの 1/2/4/8 分周クロックから SCR1.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR0.TE ビット = 0、SCR0.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

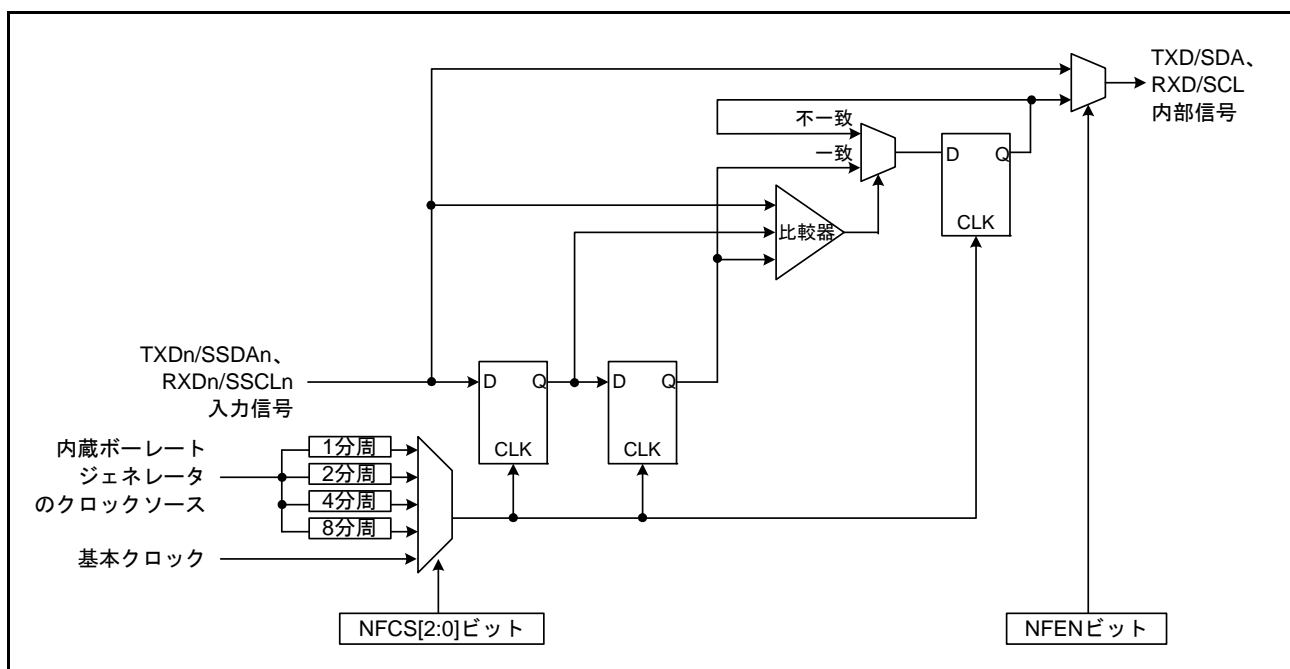


図 31.110 デジタルノイズフィルタのブロック図

31.14 RS-485 ドライバ制御機能

RSCI 制御レジスタ 3 (SCR3) の DEEN ビットを“1”にすることで、RS-485 ドライバ制御機能が有効になり、外部トランシーバの送信モードを有効にする DE (Driver Enable) 信号を生成します。

DE 信号は、データ送信前後にセットアップ時間とホールド時間を付加した期間、有効レベルを出力します。DE 信号の有効レベルは、DE 信号制御レジスタ (DECR) の DELVL ビットで設定します。

セットアップ時間とは、DE 信号の有効からスタートビットの開始までの時間です。DE 信号制御レジスタ (DECR) の DESU[4:0] ビットで設定します。

ホールド時間とは、送信メッセージの最後のストップビットの終了から DE 信号の無効化までの時間です。DE 信号制御レジスタ (DECR) の DEHLD[4:0] ビットで設定します。

DESU[4:0] ビットおよび DEHLD[4:0] ビットは RSCI 基本クロック単位 (1/8 または 1/16 ビット時間) で表されます。詳細は、「31.2.13 DE 信号制御レジスタ (DECR)」を参照してください。

また、本機能使用時 (DEEN ビット = 1)、TEND セットタイミングと TEI 割り込み出力タイミングは DE 信号ホールド時間終了時になります。

送信が終了し、DE 信号がネゲートされるまでに次の送信データが書き込まれない場合、一度 DE 信号はネゲートされます。次の送信データを書き込むタイミングが上記に間に合わなかった場合、DE 信号はネゲート後再びアサートされ、設定したセットアップ時間を挿入して次のデータを送信します。DE 信号をアサートしたまま、次の送信を行いたい場合は、十分早く次の送信データを TDR へ書き込んでください。

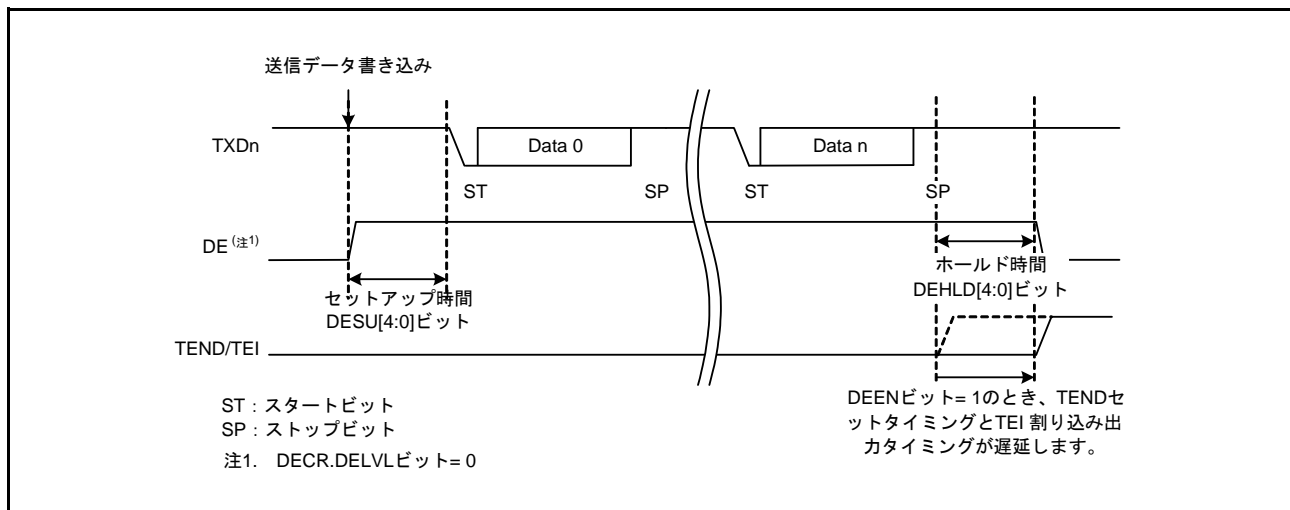


図 31.111 RS-485 ドライバ制御 DE 信号出力イメージ波形

31.15 ループバック機能

ループバック機能は、調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時に使用可能です。

SCR1レジスタのLOOPビットに“1”を書き込むと、RSCIは、外部入力(RXD)の経路を遮断し、送信データレジスタの出力経路と受信データレジスタの入力経路を接続します。

また、TINVビット=1で本機能を利用すると、RSCIの送信データの反転がRSCIの受信データになります。ただし、TINVビット=1で本機能を使用できるのは、クロック同期式モード内部クロック動作時のみです。

TINVビット、LOOPビットの設定と受信データの関係を表31.41に示します。

表31.41 TINVビット、LOOPビットの設定と受信データ

TINV	LOOP	受信データ	使用許可モード		
			調歩同期式 内部クロック動作	マンチェスタ 内部クロック動作	クロック同期式 内部クロック動作
—	0	RXDn端子からの入力データ	可	可	可
0	1	送信データ	可	可	可
1	1	送信データの反転	不可	不可	可

—：任意

図31.112に、ループバックモードのシフトレジスタ入出力経路の構成を示します。

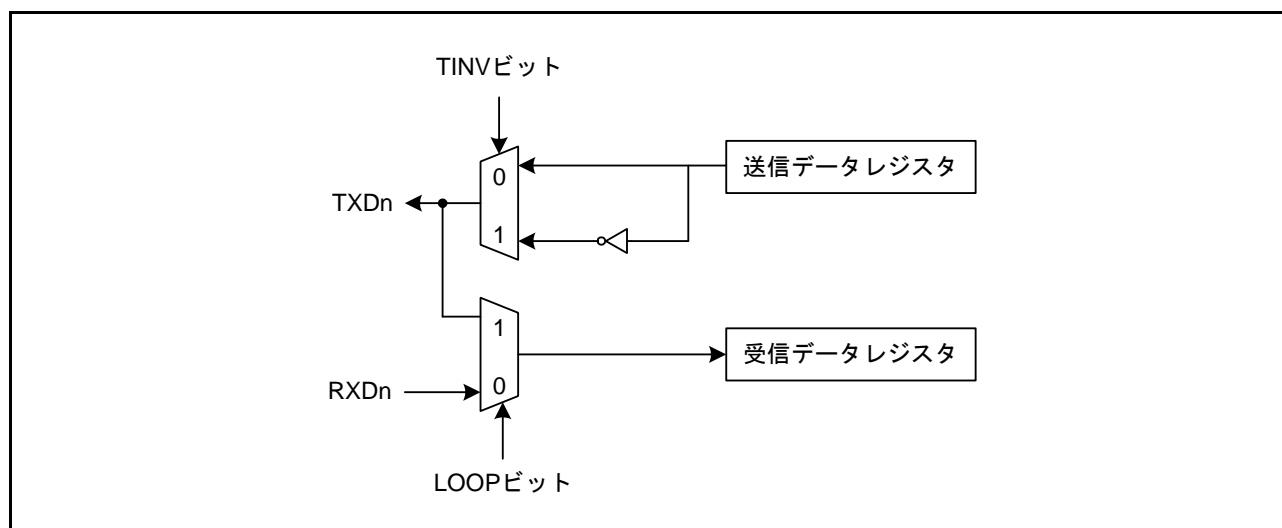


図31.112 ループバックモード時のシフトレジスタ入出力構成イメージ図

31.16 半二重通信機能

半二重通信機能は、簡易 I²C モード時、および簡易 SPI モード時、スマートカードインタフェースモード時は使用しないでください。

その他の通信モード時、SCR1.HDSEL ビットを“1”にした場合、TXD_n 端子を用いて半二重通信が可能になります。半二重通信を行う場合、送信と受信は排他的に行ってください、送受信設定 (SCR0.TE ビット = 1 かつ SCR0.RE ビット = 1) は禁止です。

ただし、クロック同期式モード時にマスタとして半二重通信の受信を行う場合は、送受信設定 (SCR0.TE ビット = 1 かつ SCR0.RE ビット = 1) をし、ダミー送信を行ってください。ダミー送信 (任意の送信データを TDR に書き込む) により、SCK_n が出力され、受信動作が可能になります。なお、ダミー送信データは、IP 内部で破棄され実際に送信されることはありません。

半二重通信時、使用する通信ポート端子は TXD_n 端子のみです。SCR0.TE ビット = 1 のとき出力、SCR0.TE ビット = 0 のとき入力となります。

31.17 割り込み信号

RSCIが有する割り込み信号を表31.42に示します。

各動作モードに応じた割り込み説明を31.17.2～31.17.5に記載しています。また、TXIとRXIには割り込みバッファ機能があります。「31.17.1 TXI割り込みおよびRXI割り込みバッファ動作」を参照してください。

なお、DTCまたはDMACを使って送受信を行う場合は、先にDTCまたはDMACを設定し、許可状態にしてからRSCIの設定を行ってください。DTCまたはDMACの設定方法は、「18. データトランスファコントローラ (DTCb)」、「17. DMAコントローラ (DMACAa)」を参照してください。

表31.42 RSCI割り込み一覧表

割り込みシンボル	割り込みの種類	パルス/レベル	パルス幅	アクティブレベル	同期クロック	備考
ERI	エラー割り込み バス衝突検出割り込み	レベル	—	Low	PCLKA	
RXI	簡易I ² C：受信完了割り込み その他：受信データフル割り込み	パルス	1cycle	Low	PCLKA	
TXI	簡易I ² C、スマートカードインタフェース：送信完了割り込み その他：送信データエンプティ割り込み、Break Field送出完了割り込み	パルス	1cycle	Low	PCLKA	
TEI	簡易I ² C：スタートコンディション、リスタートコンディション、ストップコンディション生成終了 (STI割り込み) その他：送信完了割り込み	レベル	—	Low	PCLKA	
AED	有効エッジ検出割り込み	パルス	1cycle	Low	PCLKA	拡張シリアルモード時のみ
BFD	Break Field検出割り込み	レベル	—	Low	PCLKA	

31.17.1 TXI割り込みおよびRXI割り込みバッファ動作

TXI割り込みとRXI割り込みには、割り込みバッファ機能があり、最初の割り込み要求が発生し、その割り込み処理中(割り込みコントローラ(ICU)のステータスフラグが“1”のとき)に次の割り込み要求が発生した場合、RSCIは割り込み要求を出力せず、内部で保持します。保持できる割り込みは、1要求までです。

31.17.2 調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

各割り込み要因には異なる割り込みベクタが割り当てられており、SCR0 レジスタのイネーブルビットにより独立にイネーブルにすることができます。

(1) 非 FIFO モード時

表 31.43 に調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

SCR0.TIE ビットが“1”のとき、TDR レジスタから TSR レジスタに送信データが転送されると TXI 割り込み要求が発生します。また送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを 1 命令で同時に“1”にします。すると TXI 割り込み要求が発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、TE ビットが“1”の状態では発生しません(注1)。

SCR0.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR0.TE ビットを“1”にしてから TDR レジスタに送信データをライトするまでの間は、TEND フラグは“1”を保持しており、TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR0.RIE ビットが“1”のとき、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR0.RIE ビットが“1”のとき、SSR.ORER、AFER、APER、および MMSR.MCER、SYER (SYERIE = 1 の場合)(注2)、PFER (PFERIE = 1 の場合)(注2)、SBER (SBERIE = 1 の場合)(注2) フラグのいずれかが“1”にセットされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER、AFER、APER、および MMSR.MCER、SYER (SYERIE = 1 の場合)(注2)、PFER (PFERIE = 1 の場合)(注2)、SBER(SBERIE = 1 の場合)(注2) のすべてのフラグをクリアすることにより ERI 割り込み要求を取り下げることができます。

注1. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信完了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止/許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

注2. マンチェスタモード時のみ、ERI 割り込みの要因に MMSR.SYER (SYERIE = 1 の場合)、PFER (PFERIE = 1 の場合)、SBER (SBERIE = 1 の場合) フラグが追加となります。

(2) FIFO モード時

表 31.44 に FIFO モード時の割り込み要因を示します。

SCR0.TIE ビットが“1”のとき、送信 FIFO (TDR レジスタ) に格納されたデータ数がしきい値以下になると TXI 割り込み要求が発生します。また送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にします。すると TXI 割り込み要求が発生します。

TXI 割り込み要求は、SCR0.TIE ビットが“0”の状態では TE ビットを“1”にした場合、および TE ビットが“1”の状態では TIE ビットを“1”にした場合には発生しません。

SCR0.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに送信 FIFO (TDR レジスタ) に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。

SCR0.RIE ビットが“1”のとき、受信 FIFO (RDR レジスタ) に格納されたデータ数がしきい値以上になると RXI 割り込み要求が発生します。しきい値を“0”にした場合は、1 つ以上のデータを受信しなければ

RXI 割り込み要求は発生しません。

SCR0.RIE ビットが“1”のとき、SSR.ORER フラグが“1”にセットされるか、フレーミングエラーまたはパリティエラーの発生したデータが受信 FIFO (RDR レジスタ) に格納されると ERI 割り込み要求が発生します。このとき受信 FIFO (RDR レジスタ) に格納したデータ数がしきい値以上であれば RXI 割り込み要求も発生します。SSR.ORER、AFER、APER のすべてのフラグをクリアすることにより ERI 割り込み要求を取り下げることができます。

表31.43 RSCI割り込み要因(非FIFOモード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	受信エラー	ORER, AFER, APER, DFER, DPER, MCER, SYER (SYERIE = 1の場合), PFER (PFERIE = 1の場合), SBER (SBERIE = 1の場合)	RIE	不可
RXI	受信データフル	RDRF	RIE	可
	受信データ一致	DCMF		
TXI	送信データエンプティ	TDRE	TIE	可
	TE = 0 → 1検出時			
TEI	送信完了	TEND	TEIE	不可

表31.44 RSCI割り込み要因(FIFOモード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	受信エラー	ORER, AFER, APER, DFER, DPER, DR (FCR.DRESビット=1のとき)	RIE	不可
RXI	受信FIFOデータフル	RDRF	RIE	可
	受信データレディ	DR (FCR.DRESビット=0のとき)		
	受信データ一致	DCMF		
TXI	送信FIFOデータエンプティ	TDRE	TIE	可
	TE = 0 → 1検出時			
TEI	送信完了	TEND	TEIE	不可

31.17.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 31.45 の割り込み要因があります。送信完了割り込み (TEI) 要求は使用できません。

表31.45 RSCI割り込み要因(スマートカードインタフェースモード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	受信エラー、エラーシグナル検出	ORER, APER, ERS	RIE	不可
RXI	受信データフル	RDRF	RIE	可
TXI	送信完了	TEND	TIE	可
	TE = 0 → 1検出時			

スマートカードインタフェースモードの場合も DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”にセットされると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”にクリアされます。

エラーが発生した場合は RSCI が自動的に同じデータを再送信します。この間 TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、RSCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR0.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、かわりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

送受信動作時に、DTC または DMAC を使用する場合は、RSCI 設定を行う前に、DTC または DMAC を有効にする設定を行ってください。DTC または DMAC の設定方法は「18. データトランスファコントローラ (DTCb)」、「17. DMA コントローラ (DMACAa)」を参照してください。

31.17.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 31.46 の割り込み要因があります。

STI 割り込みは TEI 割り込み要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送が行えます (この場合は ACK/NACK を確認することができません)。

SIMR.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がりで、SSDAn 端子入力が Low レベルだと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High レベルだと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。また、送受信動作時に、DTC または DMAC を使用する場合は、RSCI 設定を行う前に、DTC または DMAC を有効にする設定を行ってください。

SIMR.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いてスタートコンディション、リスタートコンディション、ストップコンディションを生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 31.46 RSCI 割り込み要因 (簡易 I²C モード時)

名称	割り込み要因		割り込みフラグ	割り込み許可ビット	DTC/DMAC の起動
	IICINTM = 1	IICINTM = 0			
RXI	受信完了	—	—	RIE	可 (注1)
	—	ACK 検出	—		可
TXI	送信完了	—	—	TIE	可 (注1)
	—	NACK 検出	—		可
STI	スタートコンディション、リスタートコンディション、ストップコンディション生成終了		IICSTIF	TEIE	不可

注1. DTC、DMAC 使用時は、ACK/NACK の確認はできません。

31.17.5 拡張シリアルモードにおける割り込み

拡張シリアルモードでは、表 31.47 の割り込み要因があります。

表31.47 RSCI割り込み要因(拡張シリアルモード時)

名称	割り込み要因	割り込み要因フラグ	割り込み要因ではないが確認が必要なフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	エラー	ORER, AFER, APER	—	RIE	不可
		BCDF		BCDIE	
		COF		RIE, COFIE	
RXI	受信データフル	RDRF	CF0MF, CF1MF, PIBDF	RIE	XSR0.SFSF フラグ=0 : 可 XSR0.SFSF フラグ=1 : 不可
AED	有効エッジ検出	AEDF	—	AEDIE	可
TXI	送信データエンpty	TDRE	—	TIE	可
	TE = 0 → 1 検出時				
	Break Field 送出完了	BFOF	—	TIE, BFOIE	
TEI	送信完了	TEND	—	TEIE	不可
BFD	Break Field 検出	BFDF	—	BFDIE	不可(不要)

拡張シリアルモード時、受信エラー(オーバランエラー、フレーミングエラー、パリティエラー)に加え、送信時のバス衝突検出時、拡張シリアルモジュールのカウンタオーバーフロー発生時にも ERI 割り込み要求が出力されます。このとき、RXI 割り込み要求は出力しません。全てのフラグをクリアすることにより、ERI 割り込み要求を取り下げることができます。

Start Frame 送信時、SCR0.TIE ビット=1 かつ XCR0.BFOIE ビット=1 のとき、Break Field 送出が完了すると TXI 割り込み要求が出力されます。Control Field 0 データを TDR レジスタに書き込むとデータ送信を開始します。そのため、DTC または DMAC を用いた送信が可能です。

最後の送信データを TDR レジスタに書き込み、送信が開始した後(TXI 出力後)、SCR0.TEIE ビット=1 にしてください。

Start Frame 受信時(XSR0.SFSF フラグ=1)は、RXI 割り込みによる DTC または DMAC を用いた受信はできません。SSR レジスタと XSR0 レジスタを確認し、受信状態(図 31.72)を確認後、フラグをクリアしてください。また、データを受信した場合はオーバランエラーにならないように RDR レジスタを読み出してください(受信データ値の確認が不要であれば、RDR レジスタを読み出さずに RDRF フラグクリアしてください)。Control Field 1 の受信が完了(XSR0.CF1MF フラグ=1)すると、Start Frame 検出無効状態(XSR0.SFSF フラグ=0)となり、DTC または DMAC を用いた受信が可能です。前記と同様に RDR レジスタを読み出してください。

Start Frame/Break Field 検出有効(XCR1.SDST ビット=1)時、XCR2.BFLW[15:0] ビットで設定した期間以上の Break Field を受信すると、BFDF フラグをセットし、BFD 割り込み要求を出力し、RSCI は Start Frame 受信状態になります。BFDF フラグをクリアしてください。

Start Frame/Break Field 検出有効時(XCR1.SDST ビット=1)かつビットレート測定機能有効(XCR1.BRME ビット=1)時、有効エッジを検出すると AED 割り込み要因を出力します。タイマカウントキャプチャ値(XSR1.CCV[15:0] ビット)を読み出してください。

31.18 使用上の注意事項

31.18.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、RSCI の動作を禁止 / 許可することができます。リセット後の値では、RSCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

31.18.2 消費電力低減機能の注意事項

(1) 送信

消費電力低減機能を使用し、RSCI の消費電力を低減する場合、送信動作停止後 (SSR.TEND フラグ = 1) に低消費電力状態へ遷移させてください。このとき、SCR1.SPB2DT、SCR1.SPB2IO ビットに送信動作停止後の出力端子状態を設定したあと、動作を停止 (SCR0.TIE ビット = 0、TE ビット = 0、TEIE ビット = 0) してください。送信中に遷移させると、送信中のデータは不確定になります。

低消費電力状態からの解除のあと、動作モードを変えないで送信する場合は、TE ビット = 1 にし、SSR レジスタリード → TDR レジスタライトで送信開始できます。動作モードを変えて送信する場合は、初期設定から行ってください。

また、解除後に DMAC または DTC による送信を継続する場合は、TE ビット = 1、TIE ビット = 1 を同時に設定すると TXI 割り込みが発生し、その割り込みによって DMAC または DTC が送信データを書き込むことで送信が始まります。

図 31.113 に送信時のモード遷移フローチャートの例を示します。図 31.114、図 31.115 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

(2) 受信

消費電力低減機能を使用し、RSCI の消費電力を低減する場合、受信動作を停止 (SCR0.RE ビット = 0) してから行ってください。受信中に遷移させると、受信中のデータは無効になります。

図 31.116 に受信時のモード遷移フローチャートの例を示します。

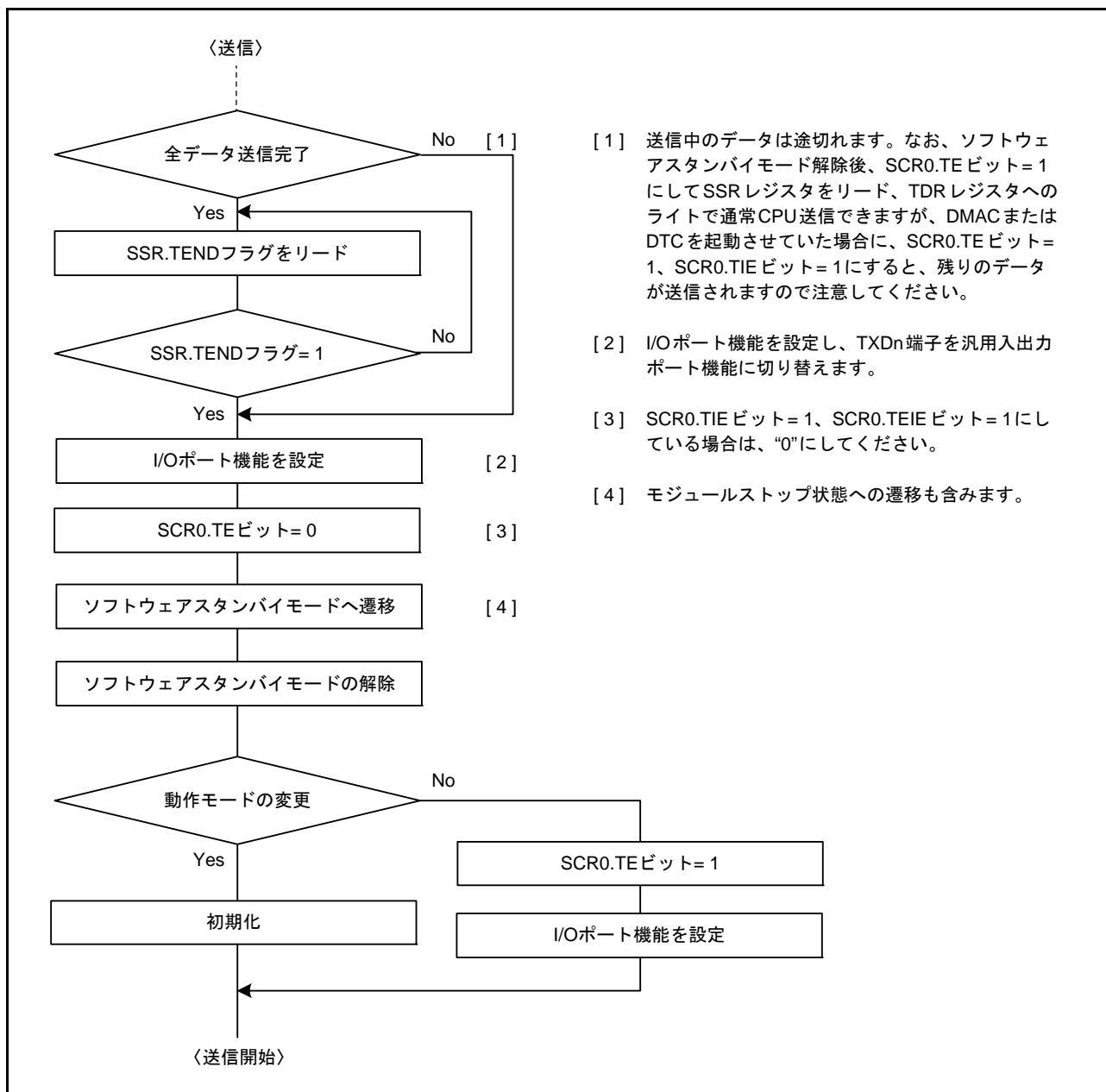


図 31.113 送信時のソフトウェアスタンバイモード遷移フローチャートの例

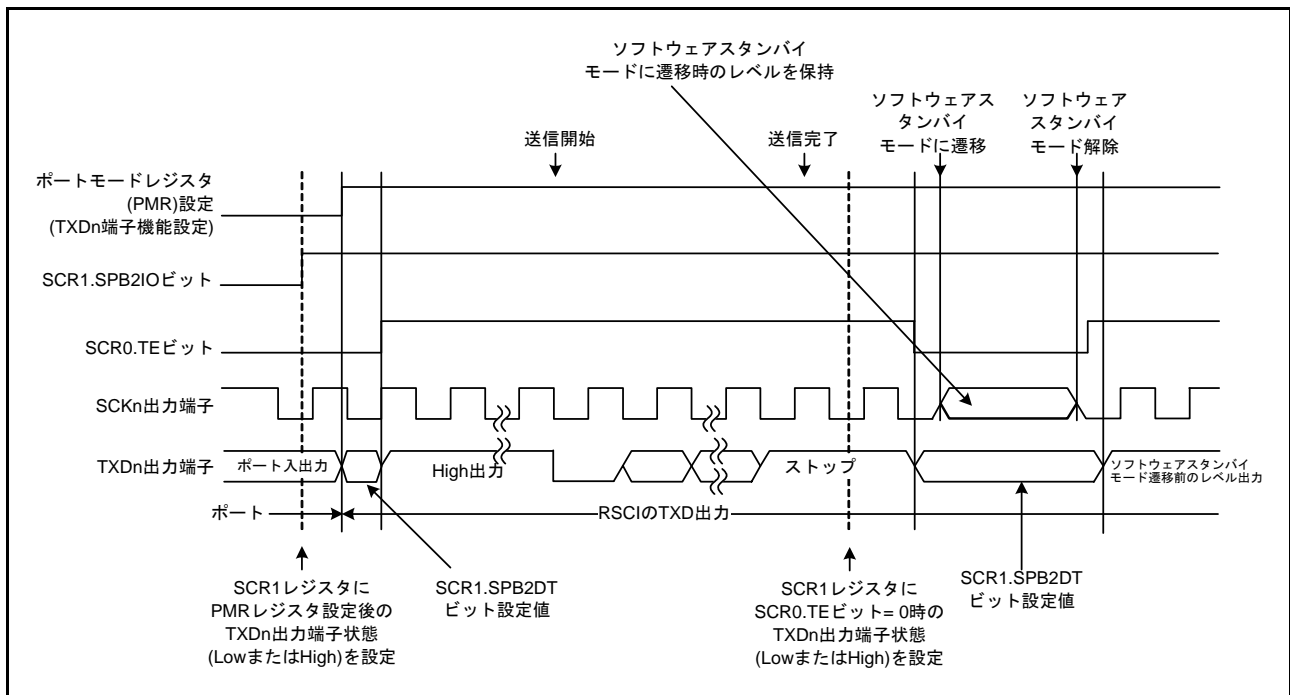


図 31.114 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

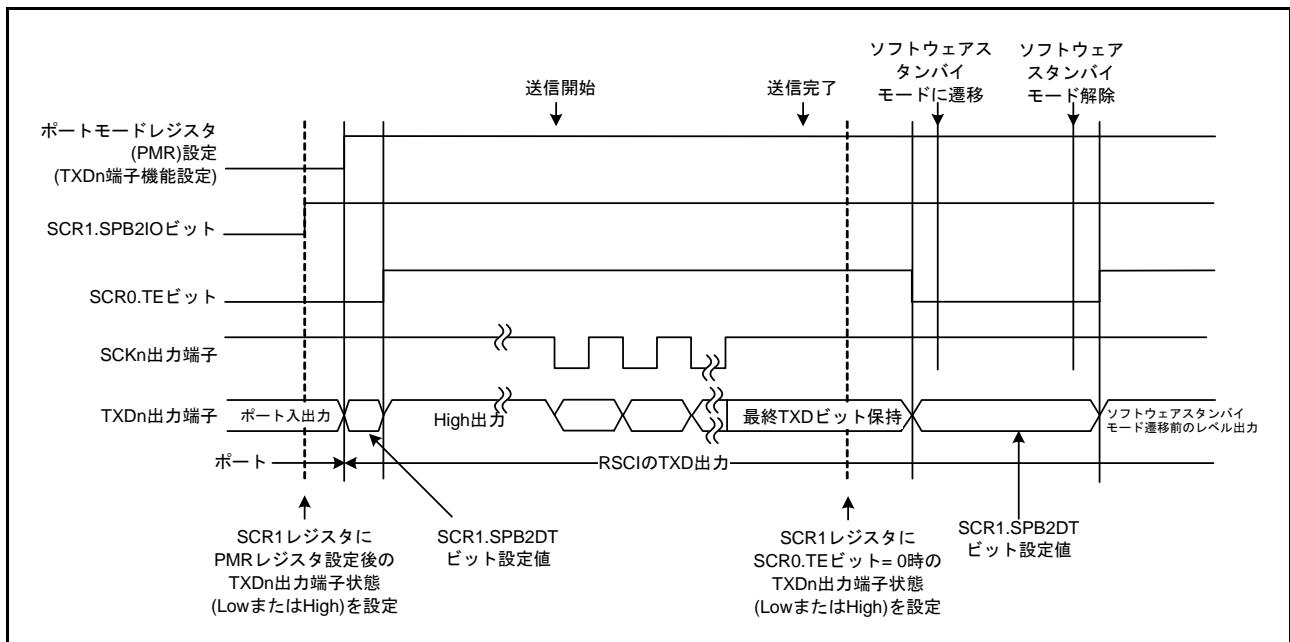


図 31.115 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

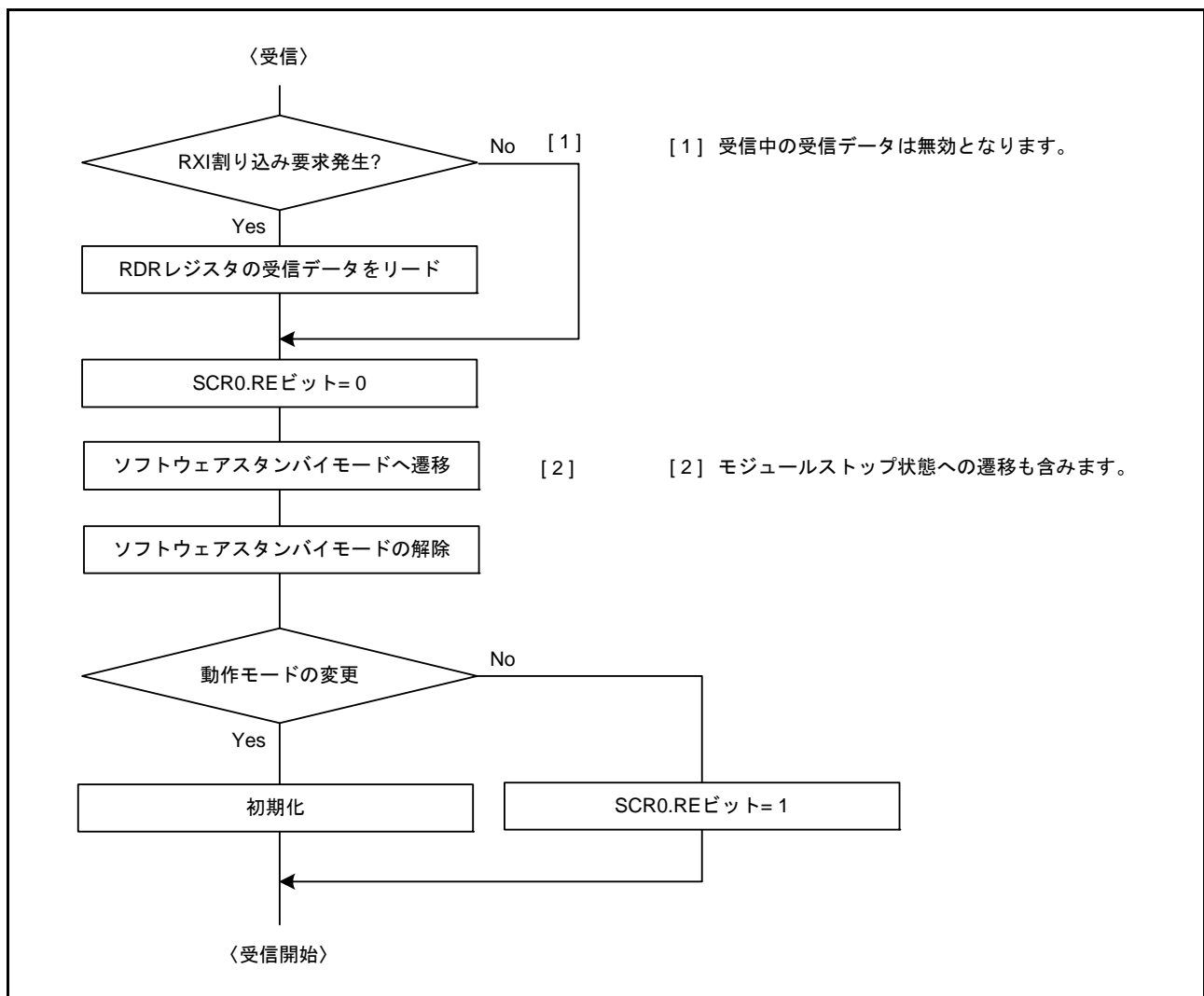


図 31.116 受信時のソフトウェアスタンバイモード遷移フローチャートの例

31.18.3 ブレークの検出と処理について

(1) 非 FIFO モード時

フレーミングエラー検出時に、SSR.RXDMON フラグの値を読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.AFER フラグが“1”(フレーミングエラーの発生あり)になり、また SSR.APER フラグも“1”(パリティエラーの発生あり)になる可能性があります。SCR3.RXDESEL ビットが“0”のとき、RSCI は、ブレークを受信した後も受信動作を続けます。したがって AFER フラグを“0”(フレーミングエラーの発生なし)にしても、再び AFER フラグが“1”になりますので注意してください。SCR3.RXDESEL ビットが“1”のとき、RSCI は、SSR.AFER フラグを“1”にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.AFER フラグを“0”にすれば、ブレーク中は SSR.AFER フラグの“0”を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりでスタートビットを検出し、受信動作を開始します。

(2) FIFO モード時

フレーミングエラーを検出した時点から、引き続き 1 フレーム以上のスペース (Low) を受信すると受信 FIFO (RDR レジスタ) へそのデータを格納した後を受信動作が停止します。フレーミングエラー検出時に、SSR.RXDMON フラグの値を読み出すことでブレークを検出できます。なお、RXD 信号がマーク状態になりブレークが終了したあとは受信 FIFO (RDR レジスタ) への受信データの格納が再開します。

31.18.4 マーク状態とブレークの送出

SCR0.TE ビットが“0”(シリアル送信動作を禁止)のときの TXDn 端子の状態とレベルは SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで設定できます。これを利用して TXDn 端子をマーク状態にしたりブレークを送出したりすることができます。

SCR0.TE ビットを“1”(シリアル送信動作を許可)にするまで、通信回線をマーク状態(“1”の状態)にするためには、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで High を出力したあと、I/O ポート機能により TXDn 端子に切り替えます。一方、データ送信時にブレークを送出したいときは、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで Low を出力したあと、SCR0.TE ビットを“0”にします。TE ビットを“0”にすると現在の送信状態とは無関係に送信部は初期化されます。

31.18.5 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が“1”になった状態でも、TDR レジスタにデータをライトすると送信動作可能です。ただし、受信動作はできません。また、SCR0.RE ビットを“0”(シリアル受信動作を禁止)にしても受信エラーフラグは“0”になりませんので注意してください。

31.18.6 TDR レジスタへのライト

(1) 非 FIFO モード時

TDR レジスタへのデータのライトは、TE ビット=1 のとき、行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータをライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。DTC または DMAC を使用する場合は、TDR レジスタへの送信データの書き込みは、TXI 割り込み要求によって行ってください。

(2) FIFO モード時

送信 FIFO (TDR レジスタ) へのデータのライトは、TE ビット=1 のとき、行うことができます。TFSR.T[5:0] ビットで書き込み可能なデータ数を確認してください。

31.18.7 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、本製品の SMISO 端子の出力 AC 特性とマスタ受信の入力 AC 特性を勘案した時間 + 1 PCLKA 以上経過した後に送信クロックを入力してください (図 31.117 参照)。

(2) 連続送信時

ビット 7 の送信クロックの立ち下がり (注 1) 以前に、TSR レジスタに次の送信データが転送されている必要があります。これを考慮して TDR レジスタに次の送信データを書き込んでください (図 31.117 参照)。送信データの書き込みが間に合わなかった場合、前フレームデータを再送します (図 31.117 参照)。

注 1. SCR3.CPOL ビット = 1 かつ SCR3.CPHA ビット = 0 または、SCR3.CPOL ビット = 0 かつ SCR3.CPHA ビット = 1 の場合です。SCR3.CPOL ビット = 0 かつ SCR3.CPHA ビット = 0 または、SCR3.CPOL ビット = 1 かつ SCR3.CPHA ビット = 1 の場合は、立ち上がりになります。

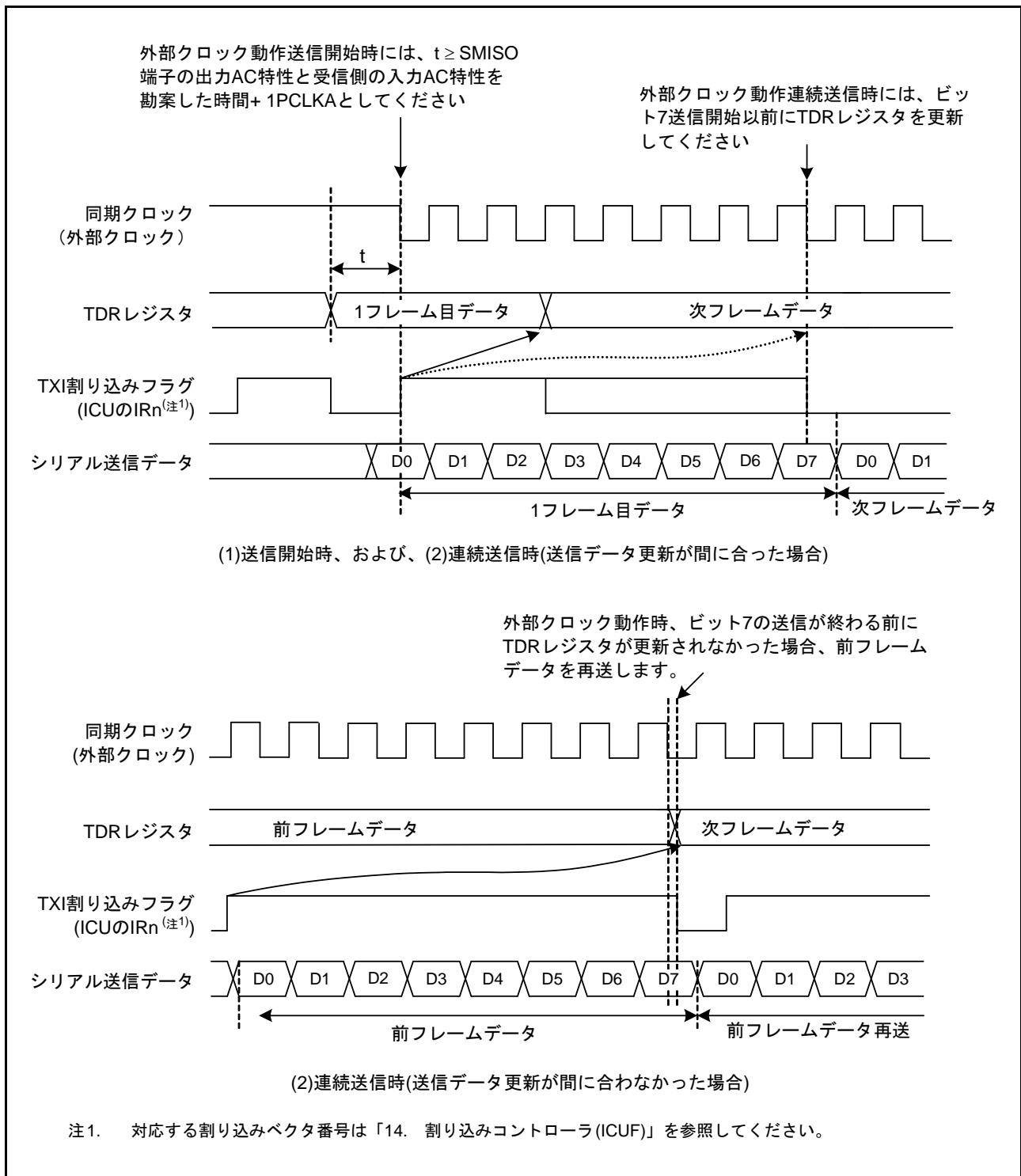


図 31.117 クロック同期式モード送信での外部クロック使用の制約事項

31.18.8 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR レジスタのリードを行うときは起動要因を当該 RSCI の受信データフル割り込み (RXI) に設定してください。

DMAC または DTC によるシリアル送信中 / 受信中に、DMAC/DTC の転送情報を再設定しないでください。

31.18.9 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が “1” のときは、動作許可 (SCR0.TE ビットを “1” に設定、または SCR0.RE ビットを “1” に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUF)」を参照してください。

- 通信が停止していること (SCR0.TE ビットまたは SCR0.RE ビットが “0” となっていること) を確認
- 対応する割り込みイネーブルビット (SCR0.TIE ビットまたは SCR0.RIE ビット) を “0” に設定
- 対応する割り込みイネーブルビット (SCR0.TIE ビットまたは SCR0.RIE ビット) を読み出し、“0” を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に “0” を設定

31.18.10 簡易 SPI モードの制約事項

(1) マスタモード

- SCR0.SSE ビットが “1” のとき、SCR3.CPOL、CPHA ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ (プルダウン) してください。
SCR0.TE ビットを “0” にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR0.TE ビットを “0” から “1” にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SCR0.SSE ビットが “0” のときは、SCR0.TE ビットを “0” にしてもクロック線はハイインピーダンスになりませんのでプルアップ (プルダウン) は不要です。
- クロック遅れあり設定 (SCR3.CPHA ビット = 0) の場合、図 31.118 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR0 レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に “0” にすると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

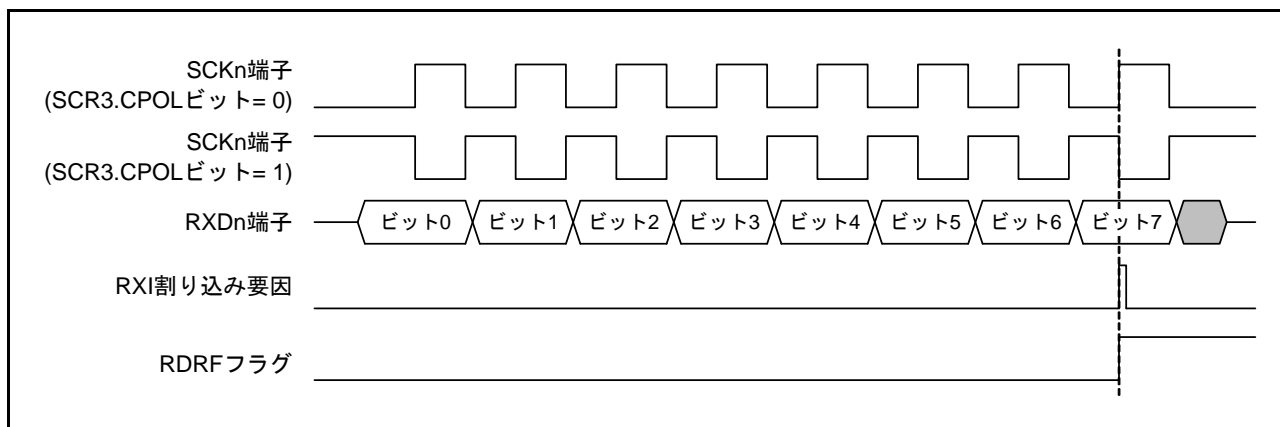


図 31.118 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから RXDn 端子にデータが出力されるまで、「 $1PCLKA +$ データ出力遅延時間 (AC 特性)」かかります。これらを考慮して外部クロック入力開始を行ってください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn#端子へのLowレベル入力から外部クロック入力開始まではSS入力セットアップ時間(AC特性)を確保してください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR0 レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

31.18.11 トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR0.TE ビットを“0”(シリアル送信動作を禁止)にすると、端子の出力がハイインピーダンスになります(レジスタ初期値)。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- TXDn ラインにプルアップ抵抗を接続。
- SCR0.TE ビットを“0”にする前に、端子の機能を「汎用入力ポートまたは出力ポート」に変更。また、SCR0.TE ビットを“1”にしてから、端子の機能を「TXDn」に変更。
- SCR1 レジスタを設定して、TE ビット=0時のTXDn端子のレベルを決定(調歩同期式モード時およびマンチェスタモード時のみ)。

簡易 SPI モードのスレーブ動作時は「RXDn」端子が上記「TXDn」端子と同等の動作をするので、同様に (a) か (b) で対処してください ((c) は使用できません)。

31.18.12 拡張シリアルモードに関する注意事項

- 拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) 時、CTS、RTS 機能、マルチプロセッサ通信機能、ビットモジュレーション機能、ループバック機能は使用できません。また、FIFO バッファ構成を選択できません。

31.18.13 RS-485 ドライバ制御機能に関する注意事項

- RS-485 ドライバ制御機能は、調歩同期式モード時のみ、使用可能です。
- RS-485 ドライバ制御機能使用時(SCR3.DEENビット=1)、TENDセットタイミング/TEI出力タイミングが以下の通り変わります。RS-485 ドライバ制御機能使用時は、TEI 割り込みを待って、TE ビットを“0”にしてください。
RS-485 ドライバ制御機能未使用時 (DEEN ビット=0) の
TENDセットタイミング/TEI 出力タイミング：STOP ビット出力完了時
RS-485 ドライバ制御機能使用時 (DEEN ビット=1) の
TENDセットタイミング/TEI 出力タイミング：DE 信号ホールド時間終了時

31.18.14 ループバック機能に関する注意事項

ループバック機能は、調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時にのみ、使用可能です。

調歩同期式の HBS サポートモード時も動作可能であり、HBSCR.AOE ビット=1 時は TXDAn/TXDBn 端子出力の論理積をとった信号をループバックします (TINV ビット=RINV ビット=0 で使用してください)。

31.18.15 動作中断時の注意事項

データ受信中に SCR0.RE ビットに“0”を書き込み、受信動作を中断した場合、タイミングによっては不正な状態になる可能性があるため、受信データ (RDR レジスタ格納値)、および各ステータスレジスタのフラグ値は使用しないでください。受信動作を中断する場合は、受信関連の割り込みを禁止してから SCR0.RE ビットに“0”を書いてください。

32. I²Cバスインタフェース (RIICa)

本MCUは、2チャンネルのI²Cバスインタフェース (RIIC0, RIIC2) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載しているPCLKとはPCLKBを指します。

32.1 概要

表 32.1 に RIIC の仕様を、図 32.1 に RIIC のブロック図を、表 32.2 に RIIC で使用する入出力端子を示します。

表 32.1 RIICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400 kbps)
シリアルクロック (SCL)	マスタ時、SCLのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを3種類まで設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジ応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLラインのLowホールドによるウェイトが可能 8クロック目と9クロック目の間でウェイト 9クロック目と1クロック目の間でウェイト
SDA出力遅延機能	アクノリッジ送信を含むデータ送信出力の変化タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCL衝突時、SCLの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4種類 <ul style="list-style-type: none"> 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出(リスタートコンディション含む) ストップコンディション検出 受信データフル(スレーブアドレス一致時含む) 送信データエンプティ(スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表 32.1 RIICの仕様 (2/2)

項目	内容
RIICの動作モード	<ul style="list-style-type: none"> 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
イベントリンク機能 (出力)	<p>4種類 (RIIC0)</p> <ul style="list-style-type: none"> 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンpty (スレーブアドレス一致時含む) 送信終了

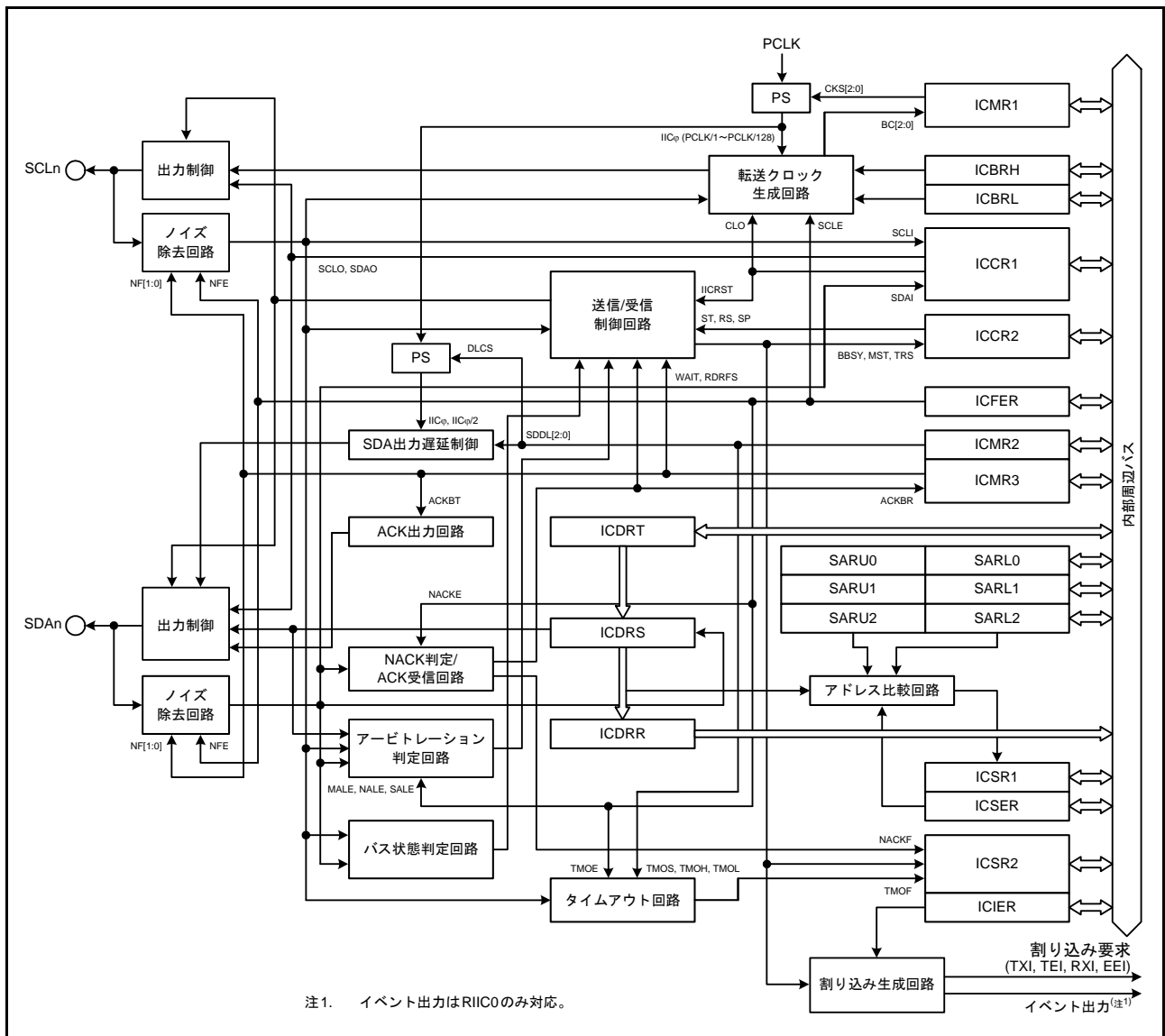


図 32.1 RIICのブロック図 (n = 0, 2)

RIICの各信号の入力レベルは、I²Cバス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表 32.2 RIIcの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子
RIIC2	SCL2	入出力	RIIC2シリアルクロック入出力端子
	SDA2	入出力	RIIC2シリアルデータ入出力端子

32.2 レジスタの説明

32.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h, RIIC2.ICCR1 0008 8340h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA _n ラインはLow 1 : SDA _n ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL _n ラインはLow 1 : SCL _n ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> • リード時 0 : SDA_n端子をLowにしている 1 : SDA_n端子を解放している • ライト時 0 : SDA_n端子をLowにする 1 : SDA_n端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> • リード時 0 : SCL_n端子をLowにしている 1 : SCL_n端子を解放している • ライト時 0 : SCL_n端子をLowにする 1 : SCL_n端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCL追加出力ビット	0 : SCLを追加で出力しない(通常状態) 1 : SCLを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIICリセット、内部リセット解除 1 : RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL _n /SDA _n 出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止(SCL _n 、SDA _n 端子非駆動状態) 1 : 許可(SCL _n 、SDA _n 端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIICが出力するSDA_n信号、SCL_n信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時にSOWPビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介してRIICに入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないうでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのときRIICが出力している信号の状態が読めます。

CLO ビット (SCL 追加出力ビット)

SCL を 1 クロックずつ追加で出力する機能で、デバッグ時または異常処理時に使用します。通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。本機能の詳細については、「32.11.2 SCL 追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 32.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、「32.14 リセット時/コンディション検出時のレジスタおよび機能の初期化」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCLn 端子 / SDAn 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、スレーブモード時に内部リセットを行う場合は、バスフリー中に実施してください。なお、RIIC がスレーブモード時に SCLn ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 32.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCLn、SDAn 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 32.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときには、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCLn、SDAn 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCLn、SDAn 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCLn、SDAn 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

32.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h, RIIC2.ICCR2 0008 8341h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態(バスフリー状態) 1: I ² Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット(スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0”(バスフリー)のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「32.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき(スタートコンディションを検出したとき)
- ICSR2.ALフラグが“1”になったとき(アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0”(バスフリー)のとき、“1”(スタートコンディション発行要求)にしてください。

BBSYフラグが“1”(バスビジー)のとき、STビットを“1”(スタートコンディション発行要求)にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RSビット(リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RSビットが“1”になるとリスタートコンディションの発行を要求し、BBSYフラグが“1”(バスビジー)でかつMSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「32.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. スレーブモードでは RS ビットに“1”(リスタートコンディション発行要求)を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”(バスビジー)でかつ MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「32.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが“0”(バスフリー)のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットの値で“1”または“0”になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが“1”の状態、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが IC_{SER} レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- IC_{SR2}.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが IC_{SER} レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (IC_{CR2}.BBSY フラグ = 1、IC_{CR2}.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- IC_{CR1}.ICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態に、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- IC_{SR2}.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- IC_{CR1}.ICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCL_n ラインが High の状態で SDA_n ラインが High から Low に変化すると、スタートコンディションが発行されると認識して“1”になります。

SCL_n ラインが High の状態で SDA_n ラインが Low から High に変化すると、ストップコンディションが発行されると認識し、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでスタートコンディションを検出しなかったとき“0”になります。

["1"になる条件]

- スタートコンディションを検出したとき

["0"になる条件]

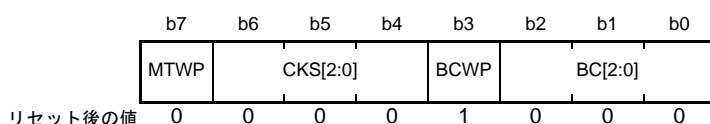
- ストップコンディションを検出後、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでス

ターゲットコンディションを検出しなかったとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

32.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h, RIIC2.ICMR1 0008 8342h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック (IICφ) ソースを選択します b6 b4 0 0 0 : PCLK/1 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

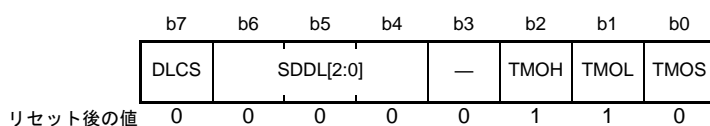
SCL_n ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し(データにアクリッジ1ビットが付加されて転送される)、転送バイト間にかつ SCL_n ラインが Low の状態で行ってください。

BC[2:0] ビットはアクリッジを含むデータ転送終了時、またはスタートコンディション検出(リスタートコンディション含む)で自動的に“000b”に戻ります。

32.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h, RIIC2.ICMR2 0008 8343h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0 : ロングモードを選択 1 : ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0 : SCLnラインがLow期間中のカウントアップを禁止 1 : SCLnラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0 : SCLnラインがHigh期間中のカウントアップを禁止 1 : SCLnラインがHigh期間中のカウントアップを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> • ICMR2.DLCSビット=0 (IICφ)のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφの1サイクル 0 1 0 : IICφの2サイクル 0 1 1 : IICφの3サイクル 1 0 0 : IICφの4サイクル 1 0 1 : IICφの5サイクル 1 1 0 : IICφの6サイクル 1 1 1 : IICφの7サイクル • ICMR2.DLCSビット=1 (IICφ/2)のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφの1~2サイクル 0 1 0 : IICφの3~4サイクル 0 1 1 : IICφの5~6サイクル 1 0 0 : IICφの7~8サイクル 1 0 1 : IICφの9~10サイクル 1 1 0 : IICφの11~12サイクル 1 1 1 : IICφの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0 : SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1 : SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. SCL端子がLowのときのみDLCSビット=1 (IICφ/2)の設定が有効になります。SCL端子がHighのときDLCSビット=1の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCLnラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「32.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にSCLnラインがLow期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCLn ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス仕様 (データ有効時間/アクノリッジ有効時間 (注1) 以内) または SMBus 仕様 (データホールド時間 (300 ns) 以上、かつ「クロックの Low 幅 - データセットアップ時間 (250 ns)」以下) を満たすようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「32.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間 / アクノリッジ有効時間

3,450 ns (~ 100 kbps : スタンダードモード (Sm))

900 ns (~ 400 kbps : ファストモード (Fm))

32.2.5 I²Cバスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h, RIIC2.ICMR3 0008 8344h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IICφ以下のノイズを除去(フィルタは1段) 0 1 : 2 IICφ以下のノイズを除去(フィルタは2段) 1 0 : 3 IICφ以下のノイズを除去(フィルタは3段) 1 1 : 4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : 9個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりりでSCLnラインをLowにホールドしない) 1 : 8個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりりでSCLnラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「32.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCLnラインのHigh/Low幅よりも狭くしてください。ノイズフィルタ幅を、[SCLのHigh幅またはLow幅のいずれか短い方] - 1.5 × t_{IICcyc} (内部基準クロック (IICφ)の周期)と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりシリアルクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アノリッジビット)

受信モード時にアノリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび 8 個目の SCL の立ち下がりでは SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりでは SCLn ラインの Low ホールドは行わず、9 クロック目の立ち上がりでは RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりでは“1”にし、8 クロック目の立ち下がりでは SCLn ラインを Low にホールドします。この SCLn ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アノリッジビット送出前に SCLn ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL の 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL の 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCLn ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

32.2.6 I²Cバスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h, RIIC2.ICFER 0008 8345h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ有効ビット	0: デジタルノイズフィルタを使用しない 1: デジタルノイズフィルタを使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「32.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK送信アービトレーションロスト検出許可ビット)

受信モード時、NACK送出中にACKが検出された場合(同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など)にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合(同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など)にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「32.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、クロック同期を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL_n ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度のクロックを出力します。そのため、I²C バスラインの負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL 出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL 追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

32.2.7 I²C バスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h, RIIC2.ICSER 0008 8346h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「32.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつHOAEビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”またはHOAEビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

32.2.8 I²Cバス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h, RIIC2.ICIER 0008 8347h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0: NACK受信割り込み (NAKI) 要求の禁止 1: NACK受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可/禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可/禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可/禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可/禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

32.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h, RIIC2.ICSR1 0008 8348h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス (1111 100b) + 0 (write) と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス(0001 000b)と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの9個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの9個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの9個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの9個目の SCL の立ち上がり

- ICSE.SARyEビットが“1”(スレーブアドレスy検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの9個目の SCL の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- ICSE.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1" になる条件]

- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICSE.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1" になる条件]

- ICSE.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

32.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h, RIIC2.ICSR2 0008 8349h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)SCL_n ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOEビットが“1”(タイムアウト検出機能有効)で、かつマスターモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL_n ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失(アービトレーションロスト)したことを示します。RIICは送信中にSDA_nラインのレベルを監視し、出力データとSDA_nラインのレベルが一致しない場合ALフラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、受信モード時のNACK送信中や、スレーブモード時のデータ送信中もアービトレーションロストの検出が可能です。

[“1”になる条件]

【マスターアービトレーションロスト検出有効時: ICFER.MALEビット=1】

- マスター送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK期間を除くSCLの立ち上がり時に、出力したSDA信号とSDA_nライン上の信号の状態が不一致であったとき(内部SDA出力が

High 出力 (SDAn 端子はハイインピーダンス) で、SDAn ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求)の状態ですタートコンディションを検出したとき、出力した SDA 信号と SDAn ライン上の信号の状態が不一致であったとき
- ICCR2.BBSY フラグが“1”の状態ですICCR2.ST ビットが“1”(スタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時 : ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL の立ち上がり時に、出力した SDA 信号と SDAn ライン上の信号の状態が不一致であったとき

【スレーブアービトレーションロスト検出有効時 : ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDAn ライン上の信号の状態が不一致であったとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 32.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態ですタートコンディション検出時に出力した SDA 信号と SDAn ライン上の信号の状態が不一致のとき ICCR2.BBSY フラグが“1”の状態ですICCR2.ST ビットを“1”にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション (リスタートコンディション含む) を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

【“1”になる条件】

- ICFER.NACKC ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1” になると RIIC は通信動作を中断します。NACKF フラグが“1” の場合、送信モード時に ICDRT レジスタへの書き込みを行ったり、受信モード時に ICDRR レジスタの読み出しを行ったりしても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0” にしてください。

RDRF フラグ (受信データフルフラグ)

[“1” になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により 8 または 9 個目の SCL の立ち上がりで“1” になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0” のとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1” になる条件]

- TDRE フラグが“1” の状態で、9 個目の SCL の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1” になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1” になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1” のとき

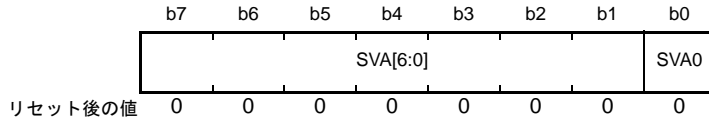
[“0” になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0” になったとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKC ビットが“1” の状態で NACKF フラグが“1” になると RIIC は通信動作を中断します。このときすでに、ICDRT レジスタに次の送信データが書き込まれていても (TDRE フラグが“0”)、ICDRS レジスタへのデータ転送は行われず ICDRT レジスタのデータが保持されるため、TDRE フラグは“1” になりません。

32.2.11 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC2.SARL0 0008 834Ah, RIIC0.SARL1 0008 830Ch, RIIC2.SARL1 0008 834Ch,
RIIC0.SARL2 0008 830Eh, RIIC2.SARL2 0008 834Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

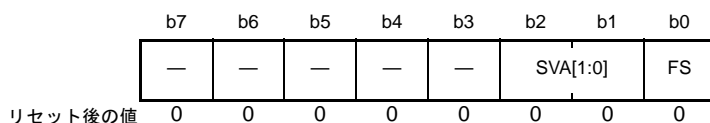
SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

32.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC2.SARU0 0008 834Bh, RIIC0.SARU1 0008 830Dh, RIIC2.SARU1 0008 834Dh,
RIIC0.SARU2 0008 830Fh, RIIC2.SARU2 0008 834Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy、SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) であつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) であつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy、SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

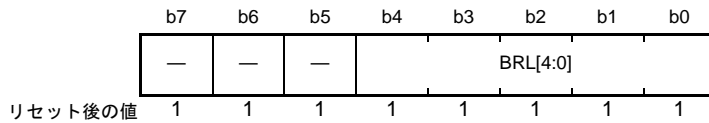
SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) であつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

32.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h, RIIC2.ICBRL 0008 8350h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL の Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時(「32.8 SCL の自動 Low ホールド機能」参照)のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間(注1)以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IIC_φ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

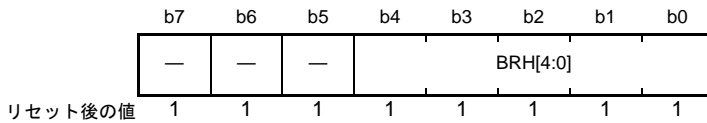
注 1. データセットアップ時間 (t_{SU:DAT})

250 ns (~ 100 kbps : スタンダードモード (Sm))

100 ns (~ 400 kbps : ファストモード (Fm))

32.2.14 I²Cバスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h, RIIC2.ICBRH 0008 8351h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRH レジスタは SCL の High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I²C 転送速度および SCL のデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi (\text{注1}) + \text{SCLn ライン立ち上がり時間 (tr)} \\ + \text{SCLn ライン立ち下がり時間 (tf)} \}$$

$$\text{デューティ比} = \{ \text{SCLn ライン立ち上がり時間 (tr)} (\text{注2}) + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCLn ライン立ち下がり時間 (tf)} (\text{注2}) \\ + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注 1. IICφ = PCLK × 分周比

注 2. SCLn ライン立ち上がり時間 (tr)、SCLn ライン立ち下がり時間 (tf) は、バスライン総容量 (Cb) とプルアップ抵抗 (Rp) に依存します。詳細については NXP 社の I²C バス仕様書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 32.5 に示します。

表 32.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

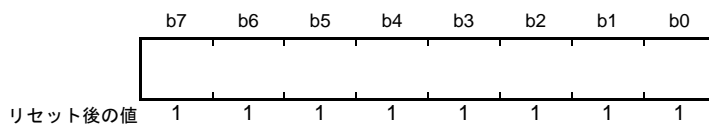
転送速度 (kbps)	動作周波数 PCLK (MHz)								
	30			32			33		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)	110b	22 (F6h)	26 (FAh)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)	100b	17 (F1h)	20 (F4h)
100	011b	14 (EEh)	17 (F1h)	011b	15 (EFh)	18 (F2h)	011b	16 (F0h)	19 (F3h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)	001b	9 (E9h)	21 (F5h)

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	40			50			60		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	111b	13 (EDh)	15 (EFh)	111b	16 (F0h)	20 (F4h)	111b	20 (F4h)	24 (F8h)
50	100b	21 (F5h)	24 (F8h)	100b	26 (FAh)	31 (FFh)	101b	15 (EFh)	18 (F2h)
100	011b	19 (F3h)	23 (F7h)	011b	24 (F8h)	29 (FDh)	100b	14 (EEh)	17 (F1h)
400	001b	11 (EBh)	25 (F9h)	010b	7 (E7h)	16 (F0h)	010b	8 (E8h)	19 (F3h)

注. SCLn ラインの立ち上がり時間 (tr) を 100 kbps 以下 (Sm) は 1000 ns、400 kbps 以下 (Fm) は 300 ns、SCLn ラインの立ち下がり時間 (tf) を 400 kbps 以下 (Sm/Fm) は 300 ns として計算した場合の設定例です。
SCLn ライン立ち上がり時間 (tr)、SCLn ライン立ち下がり時間 (tf) の値については NXP 社の I²C バス仕様書を参照してください。

32.2.15 I²Cバス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h, RIIC2.ICDRT 0008 8352h



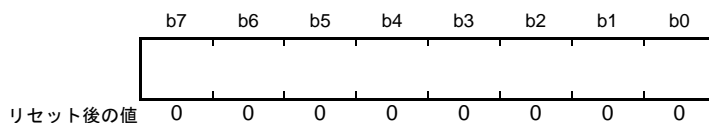
I²Cバスシフトレジスタ (ICDRS)の空きを検出すると、ICDRTレジスタに書き込まれた送信データがICDRSレジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRTレジスタとICDRSレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ送信中に、次に送信するデータをICDRTレジスタに書いておくと連続送信動作が可能です。

ICDRTレジスタは常に読み出し/書き込み可能です。ICDRTレジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに1回だけ行ってください。

32.2.16 I²Cバス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h, RIIC2.ICDRR 0008 8353h



1バイトのデータの受信が終了すると、受信したデータはI²Cバスシフトレジスタ (ICDRS)からICDRRレジスタへ転送され、次のデータを受信可能にします。

ICDRSレジスタとICDRRレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ受信中に、すでに受信したデータをICDRRレジスタから読んでおくと連続受信動作が可能です。

ICDRRレジスタに書き込みはできません。ICDRRレジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに1回だけ行ってください。

受信データをICDRRレジスタから読み出さないまま (ICSR2.RDRFフラグが“1”の状態のまま) 次の受信データを受け取ると、RIICはRDRFフラグが次に“1”になるタイミングの1つ手前のSCL_nの立ち下がりでSCL_nラインをLowにホールドします。

32.2.17 I²Cバスシフトレジスタ (ICDRS)

ICDRSレジスタは、データを送信/受信するためのシフトレジスタです。

送信時はICDRTレジスタから送信データがICDRSレジスタに転送され、SDA_n端子からデータが送信されます。受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。

ICDRSレジスタは直接アクセスすることはできません。

32.3 動作説明

32.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 32.2 に I²C バスフォーマットを、図 32.3 に I²C バスタイミングを示します。

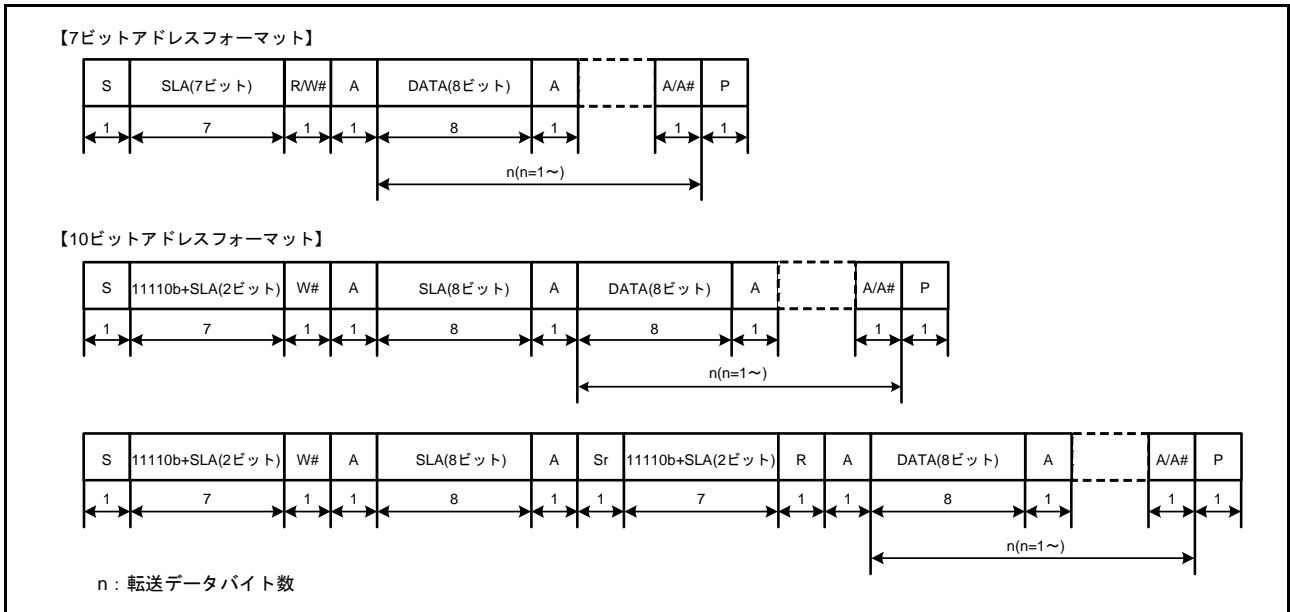


図 32.2 I²C バスフォーマット

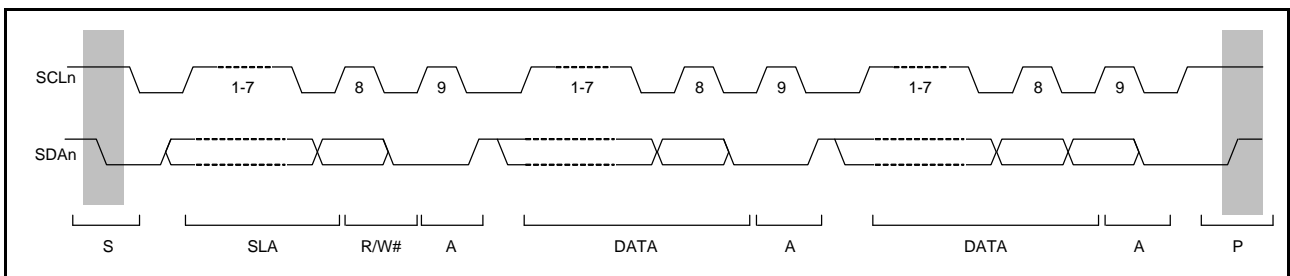


図 32.3 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SCLn ラインが High の状態で SDA n ラインが High から Low に変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A: アクノリッジを示します。受信デバイスが SDA n ラインを Low にします (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A#: ノットアクノリッジを示します。受信デバイスが SDA n ラインを High にします。
- Sr: リスタートコンディションを示します。マスタデバイスが、SCLn ラインが High の状態でセットアップ時間経過後に SDA n ラインが High から Low に変化します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SCLn ラインが High の状態で SDA n ラインが Low から High に変化します。

32.3.2 初期設定

データの送信/受信を開始する場合、**図 32.4** に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCLn、SDAn 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y = 0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 32.4** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

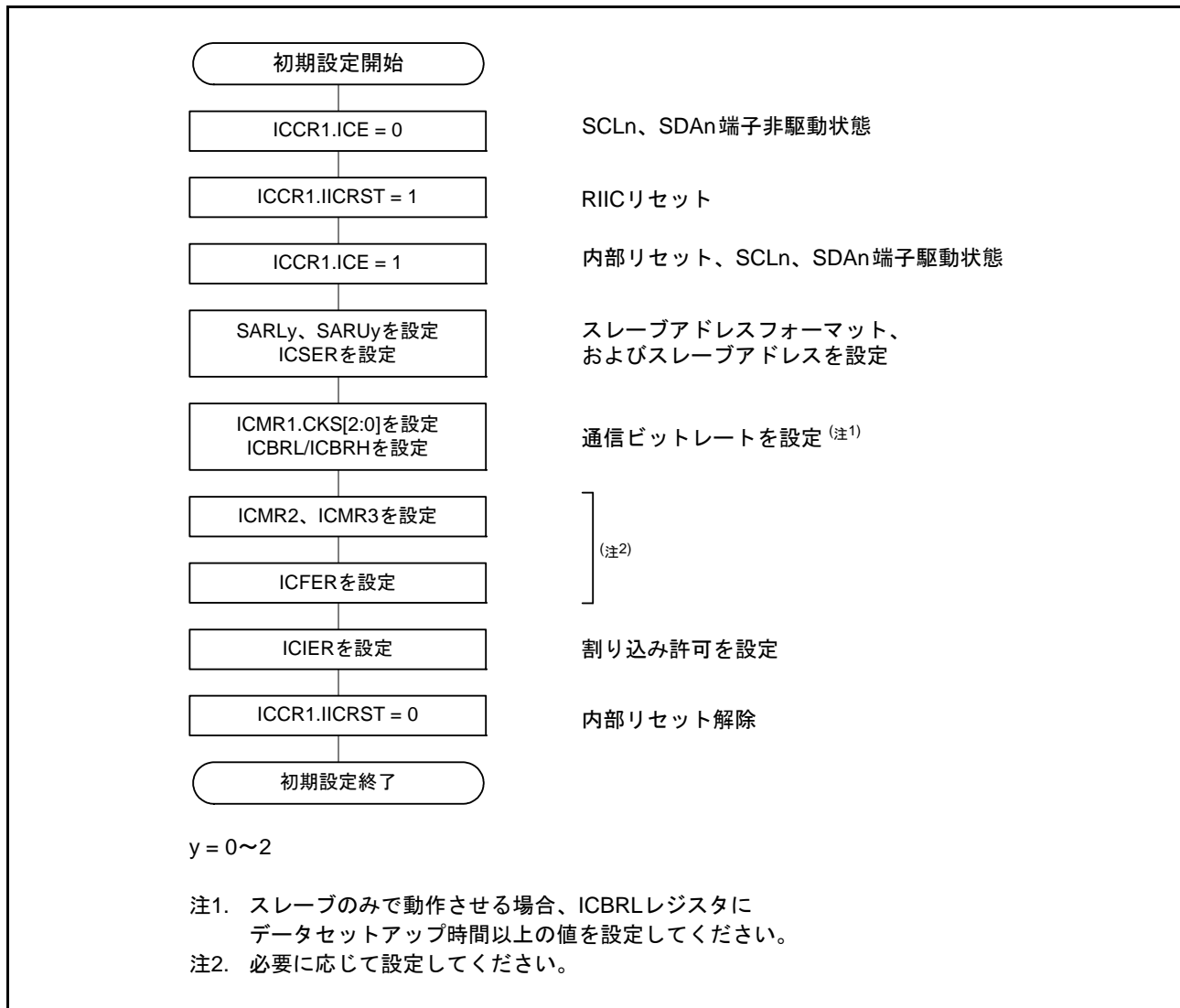


図 32.4 RIIC の初期化フローチャート例

32.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC がクロックを生成し、データを送信して、スレーブデバイスがアクノリッジを返します。図 32.5 にマスタ送信の使用例を、図 32.6 ~ 図 32.8 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「32.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL_n ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.NACKF フラグが“1”になるか、ICSR2.TEND フラグが“1”になるまで待ってから ICCR2.SP ビットに“1”を書いてください(ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

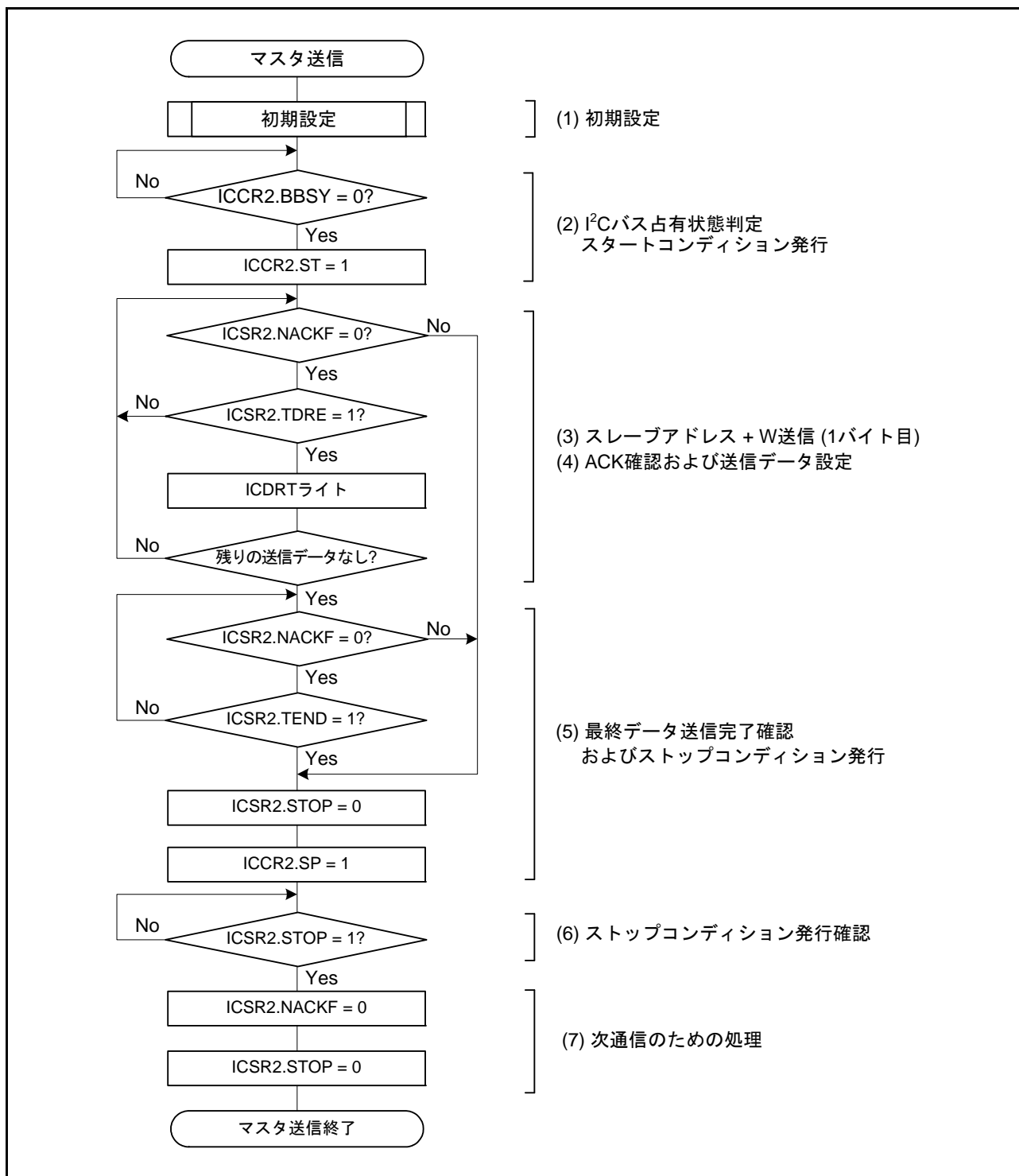


図 32.5 マスタ送信のフローチャート例

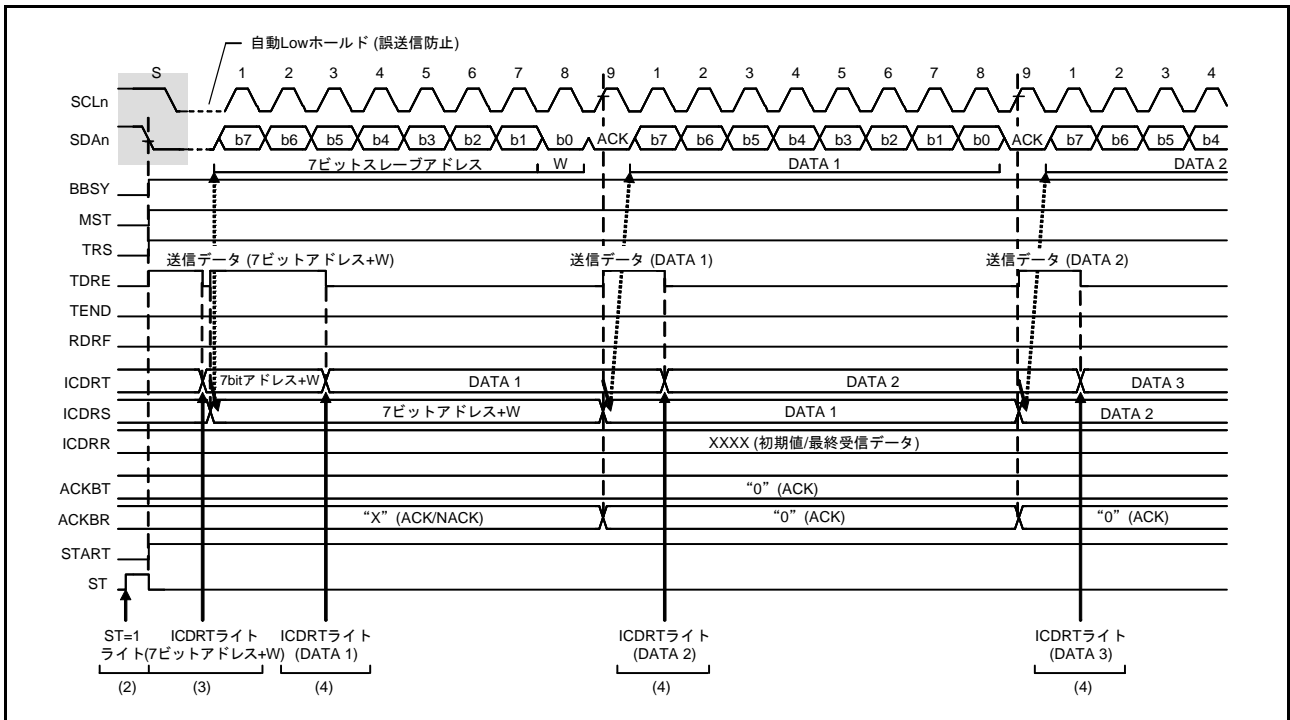


図 32.6 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

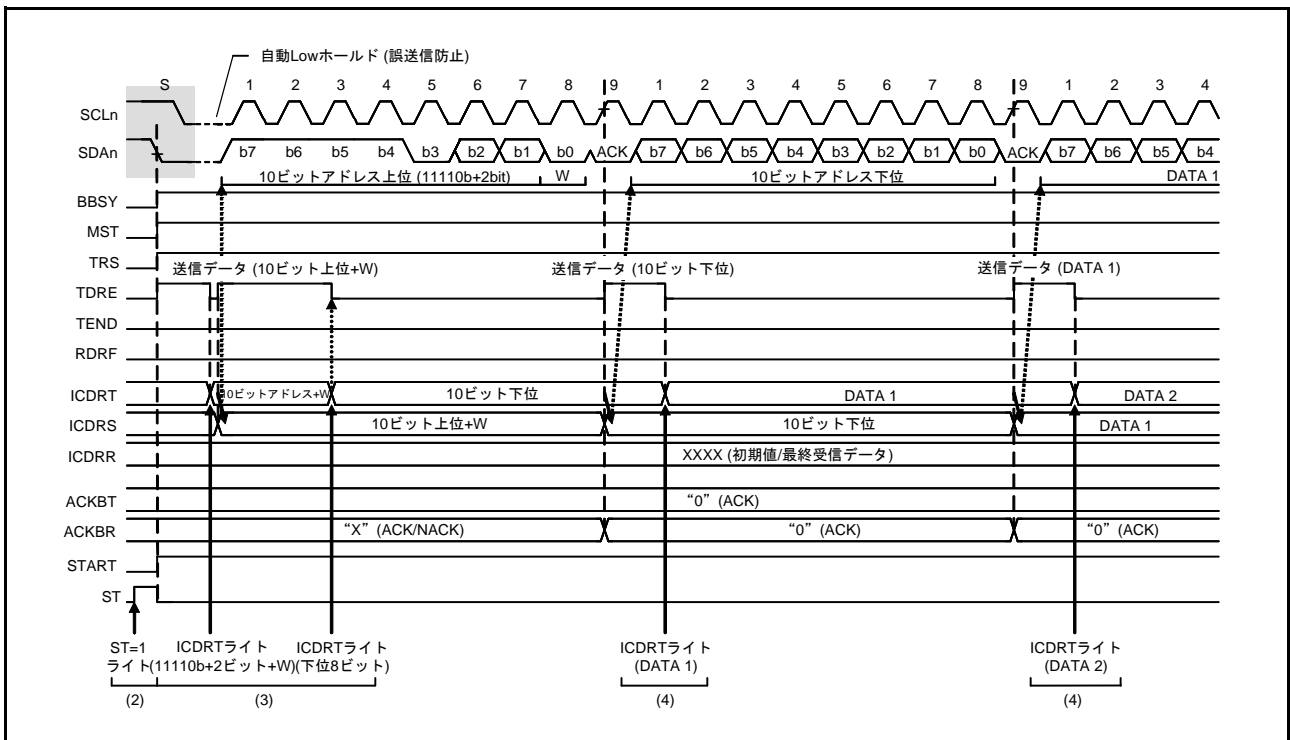


図 32.7 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットの時)

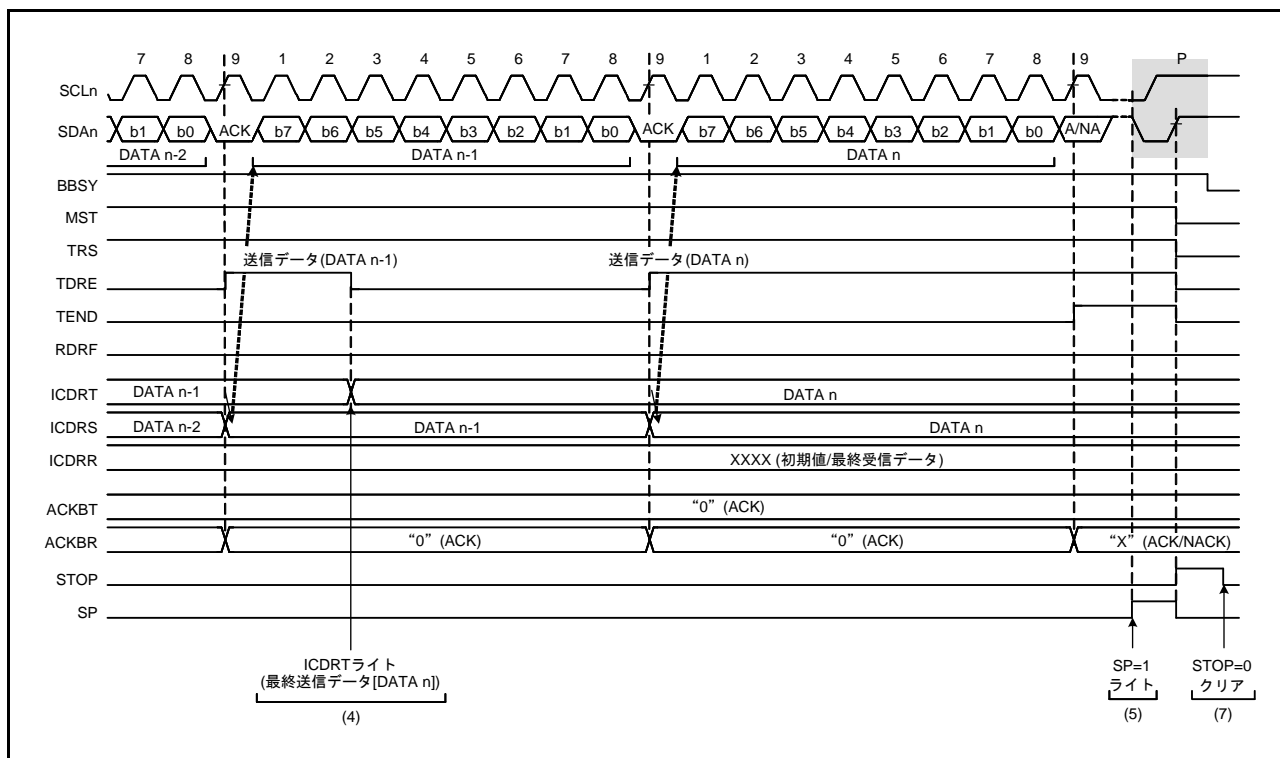


図 32.8 マスタ送信の動作タイミング (3)

32.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC がクロックを生成し、スレーブデバイスからデータを受信して、アックノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 32.9、図 32.10 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 32.11 ~ 図 32.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「32.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信

モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL を出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した 8 または 9 個目の SCL の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また 9 個目の SCL のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするるとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCL_n ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL_n ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

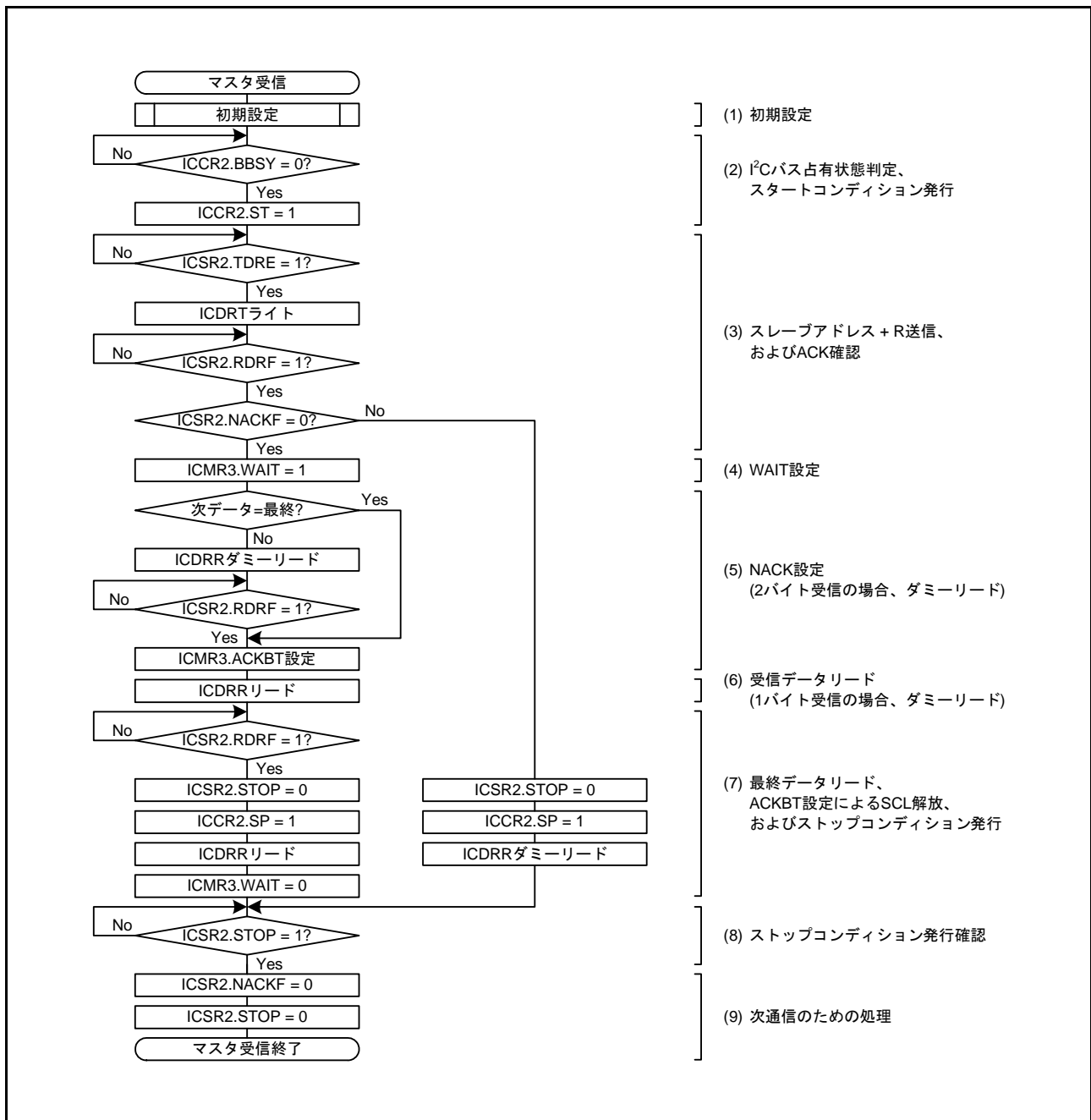


図 32.9 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合)

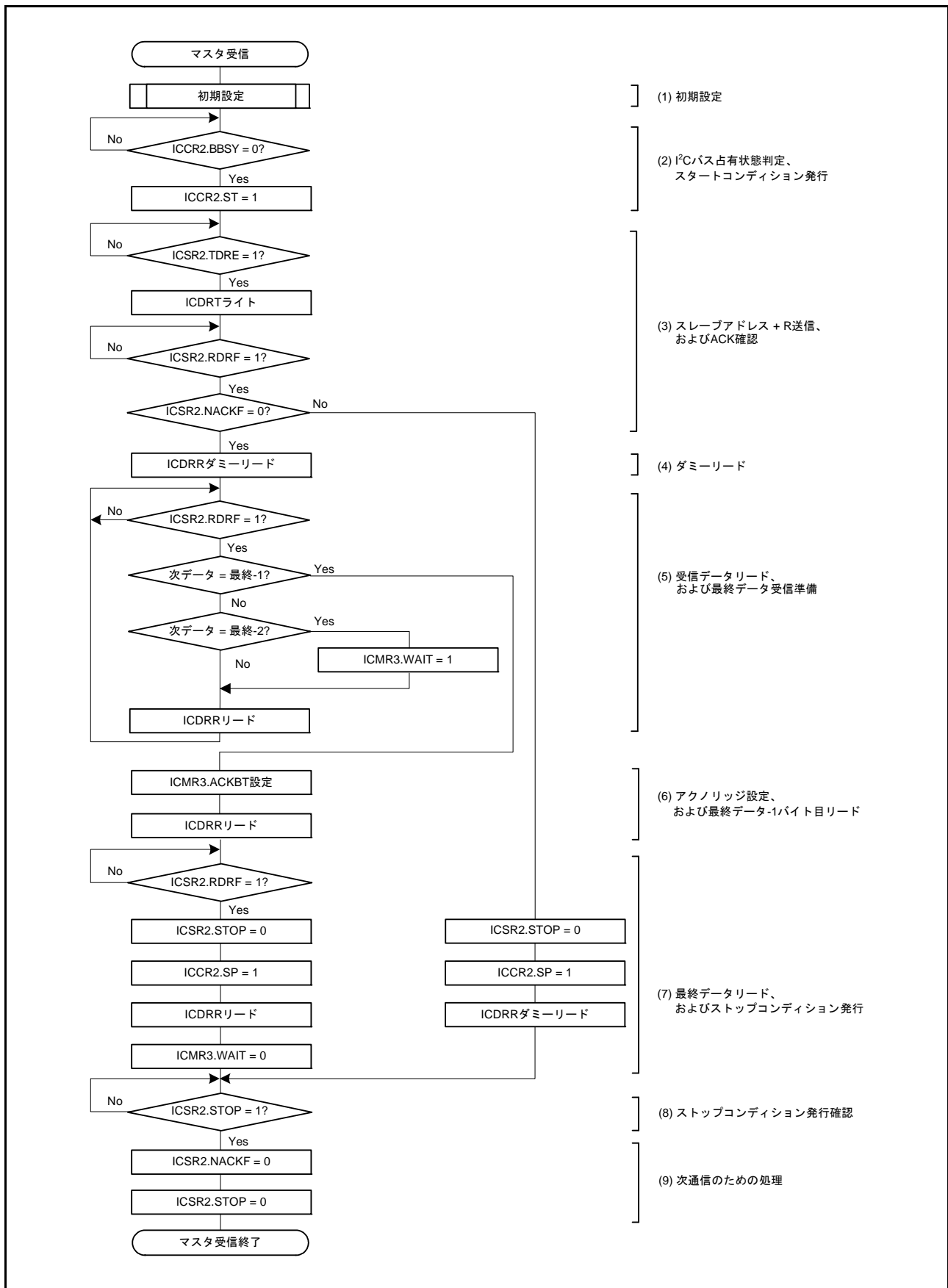


図 32.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

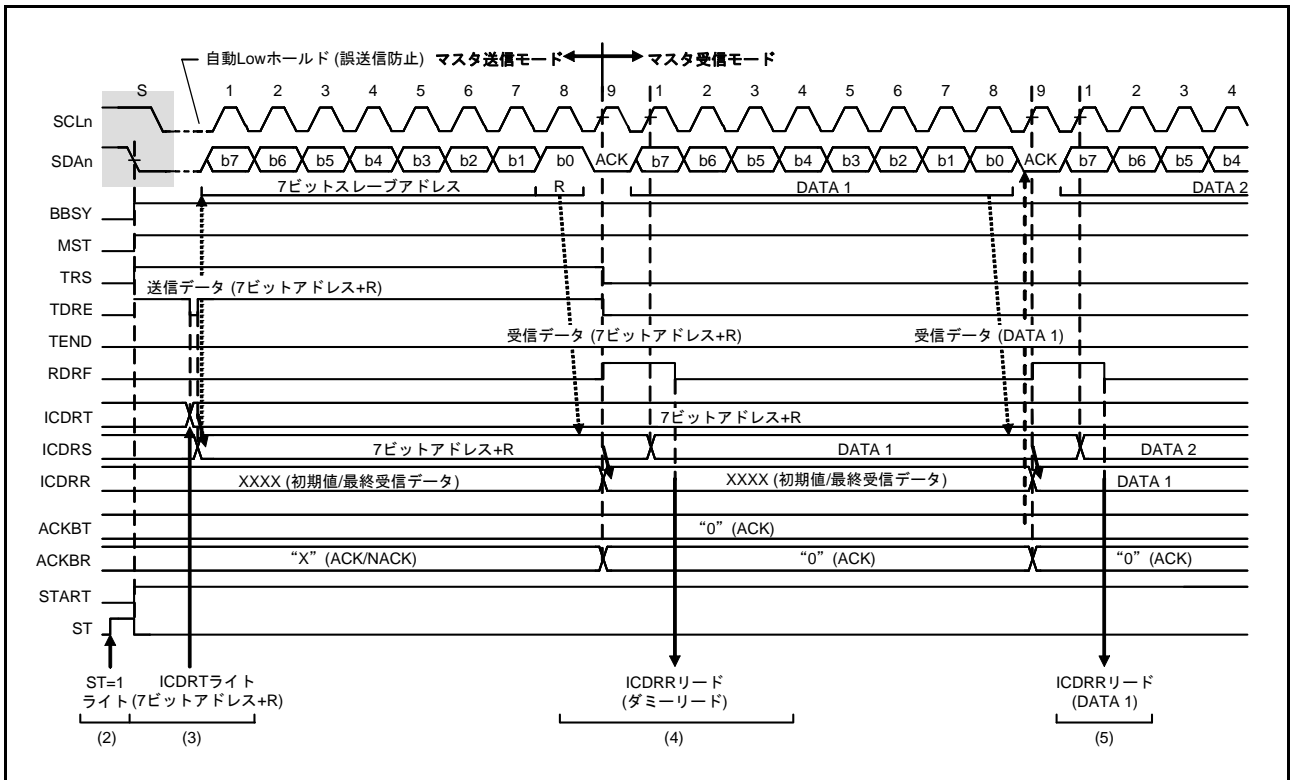


図 32.11 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFSビット=0のとき)

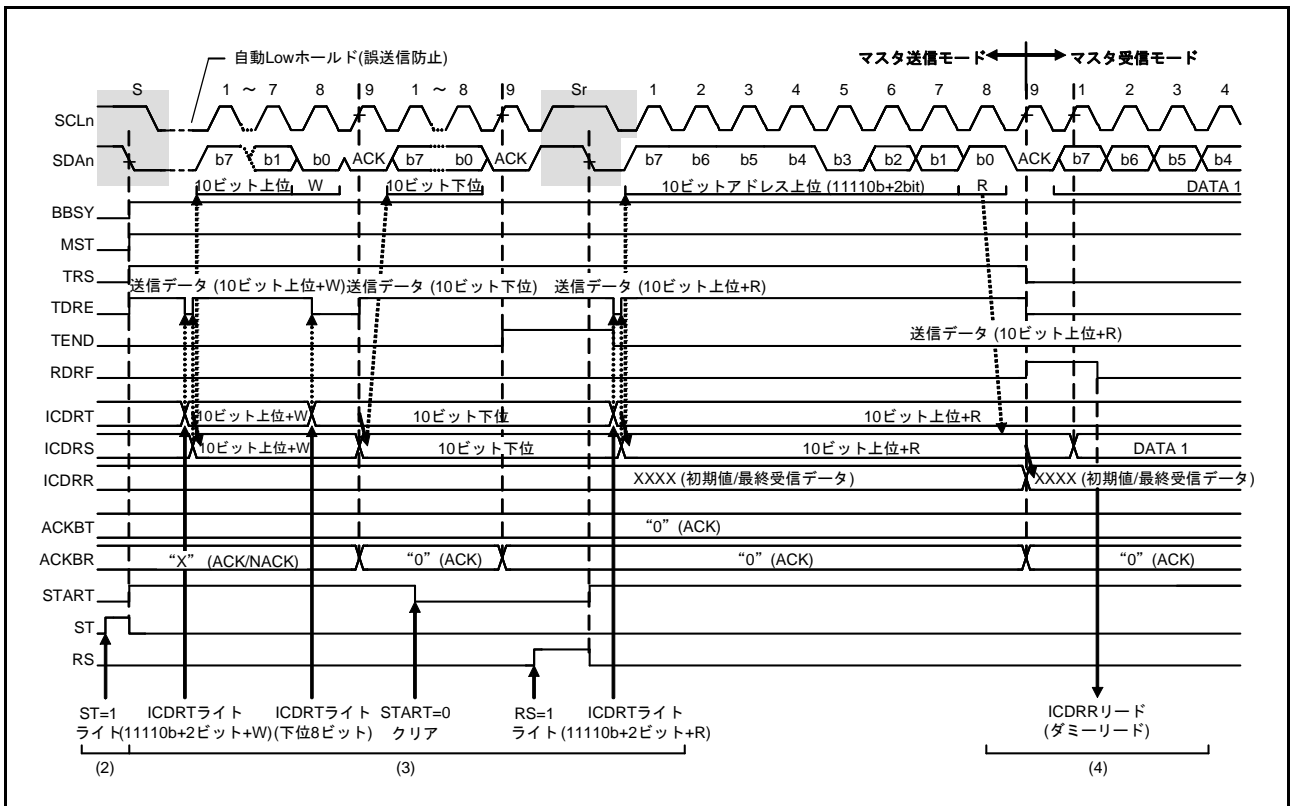


図 32.12 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFSビット=0のとき)

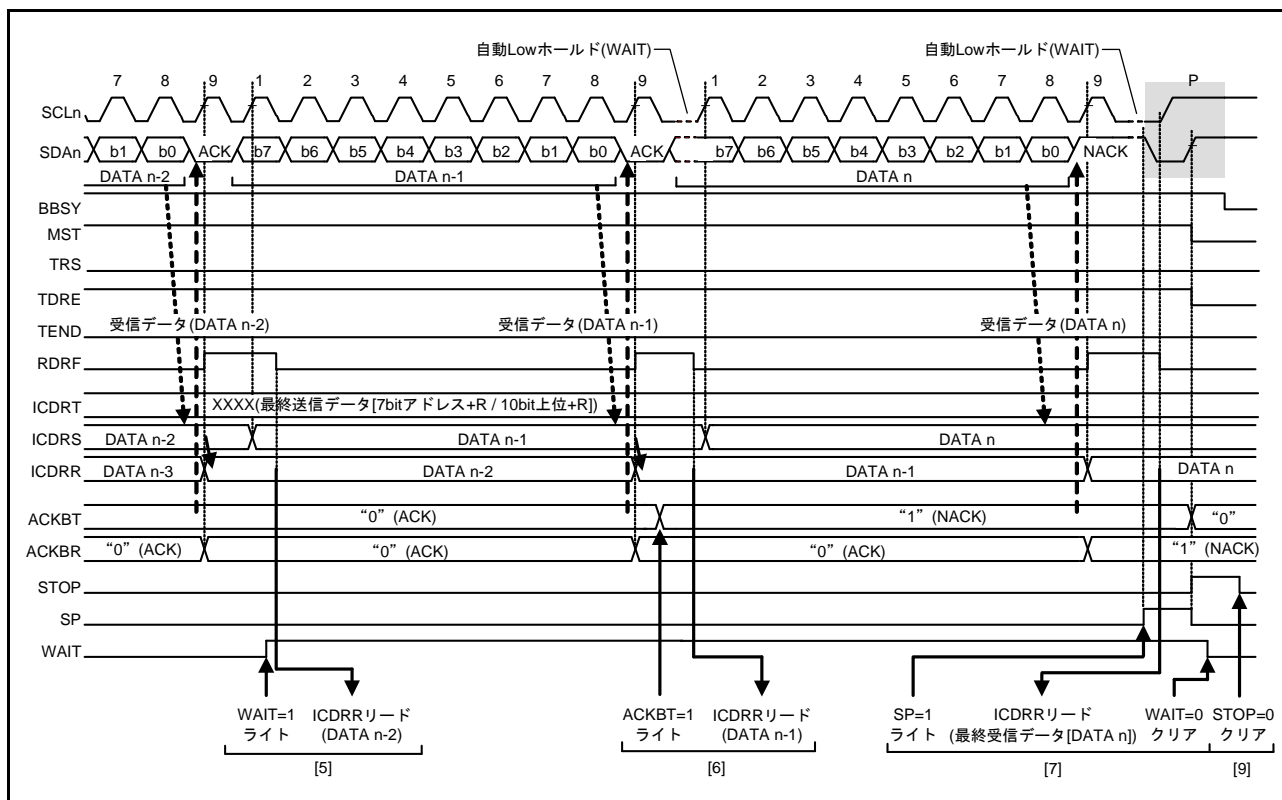


図 32.13 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

32.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL を出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 32.14 にスレーブ送信の使用例を示します。図 32.15、図 32.16 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「32.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) のいずれかを “1” にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが “1” の状態でマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCLn ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

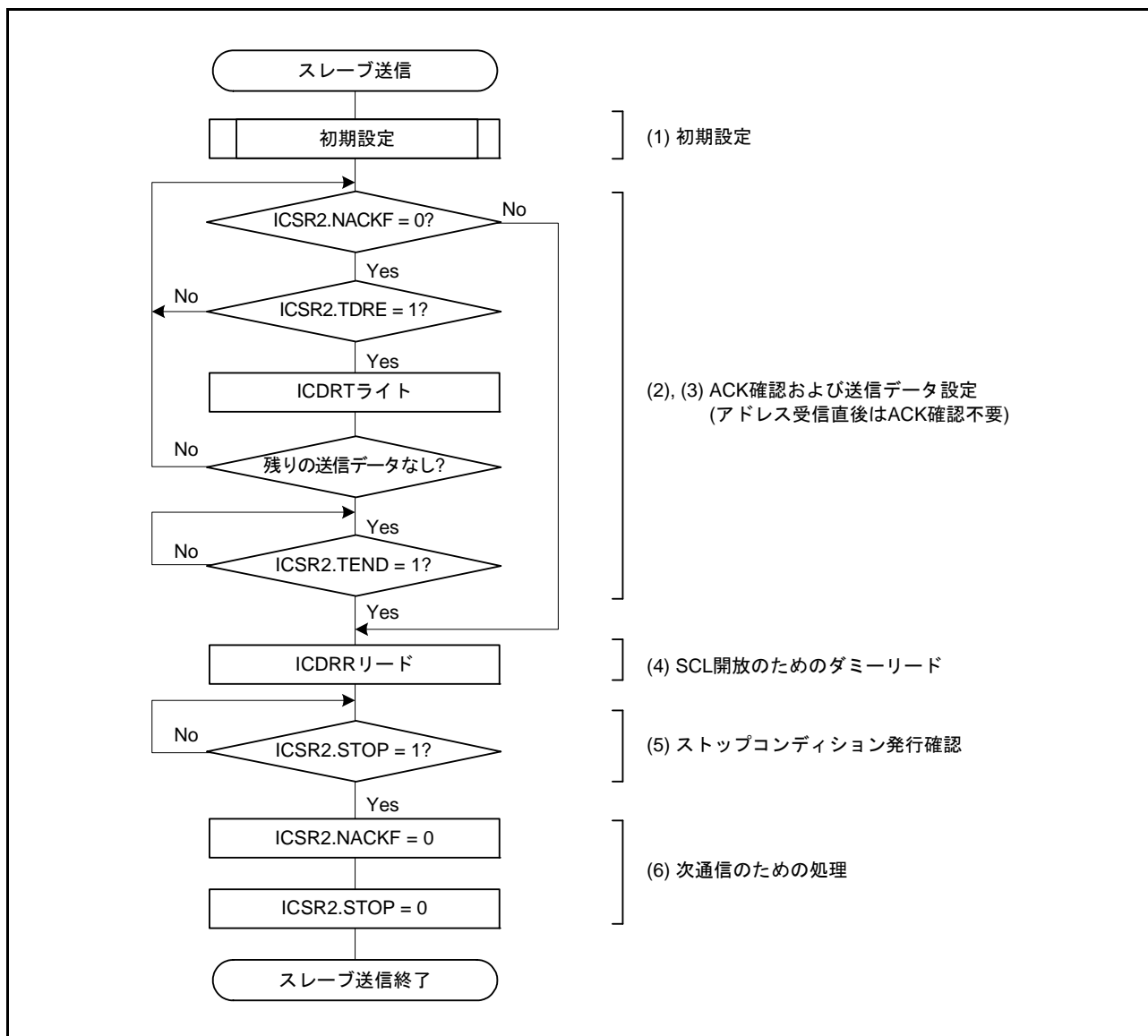


図 32.14 スレーブ送信のフローチャート例

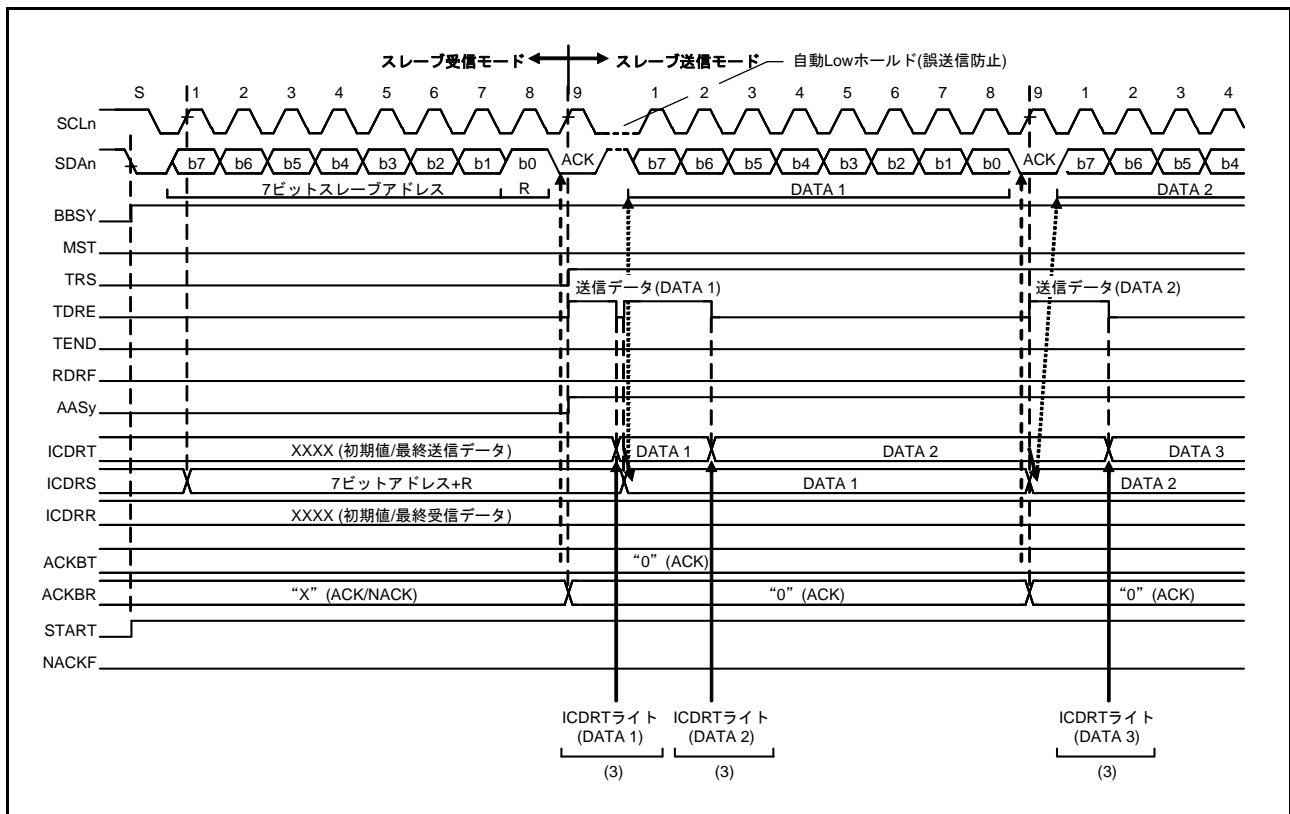


図 32.15 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

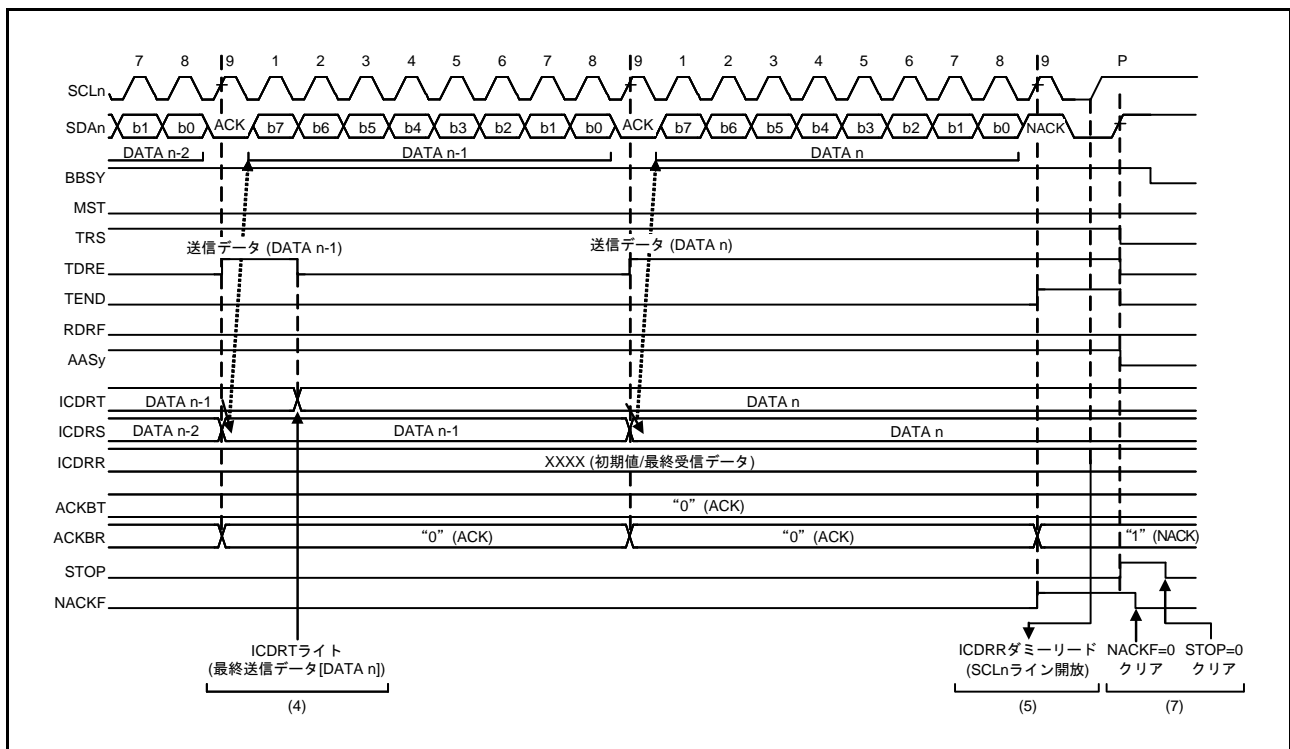


図 32.16 スレーブ送信の動作タイミング (2)

32.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL と送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 32.17 にスレーブ受信の使用例を図 32.18、図 32.19 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「32.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は 9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) のいずれかを“1”にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL 立ち下がり SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCLn ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

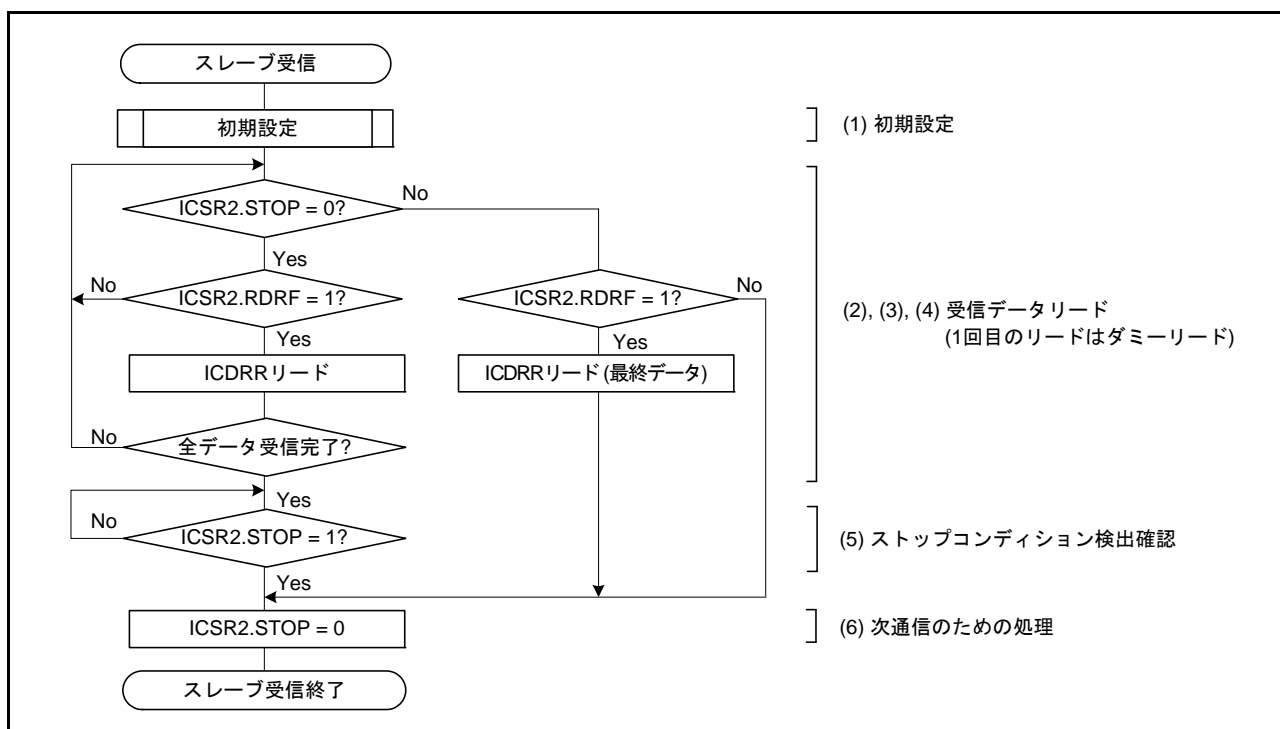


図 32.17 スレーブ受信のフローチャート例

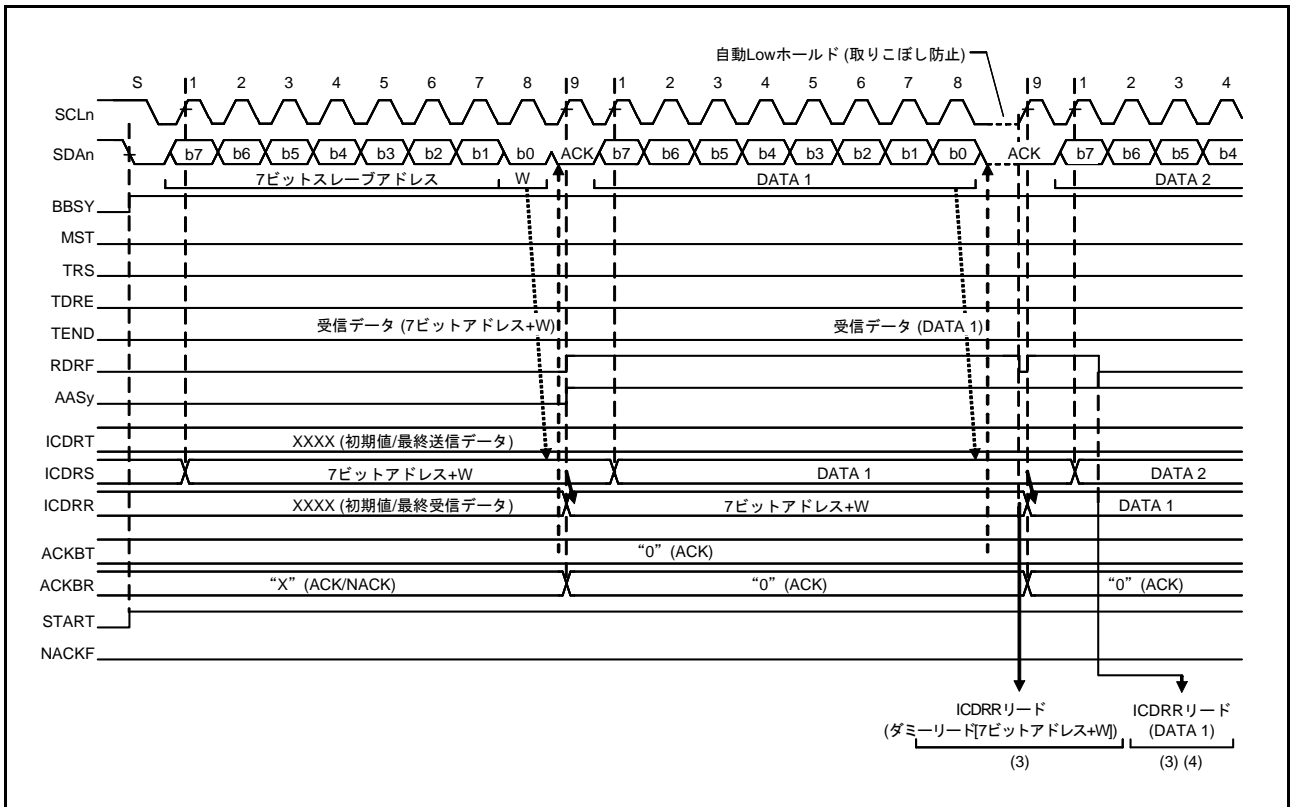


図 32.18 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

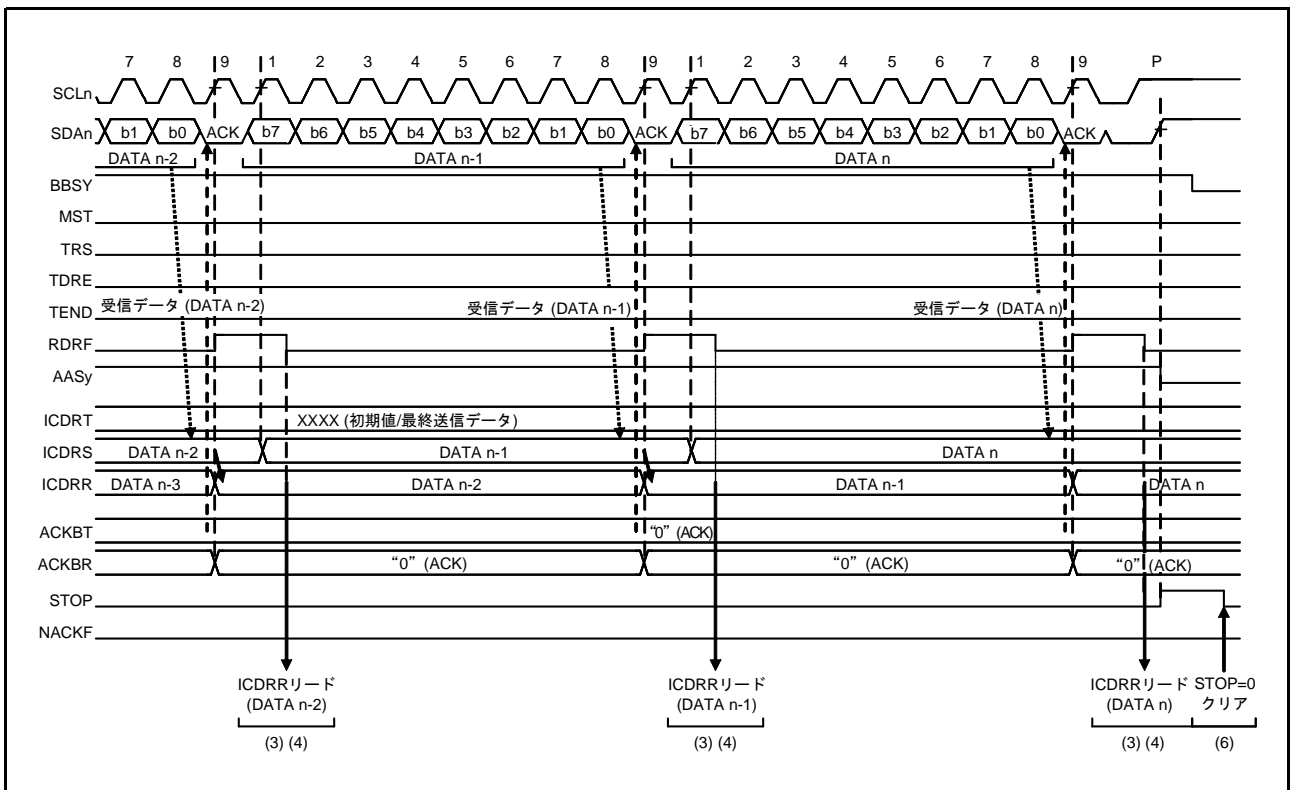


図 32.19 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

32.4 SCL 同期回路

RIIC の SCL 生成は SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCLn ラインを Low にドライブして立ち下げます。また SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。これにより SCL を生成します。

I²C バスをマルチマスタで使用する場合、SCL は他のマスタデバイスとの競合により SCL 同士が衝突する場合があります。SCL が衝突した場合、マスタデバイスは SCL の同期化を行う必要があります。この SCL の同期はビットごとに行う必要があり、RIIC はマスタモード時に SCLn ラインを監視してビットごとに同期を取りながら SCL を生成する機能 (SCL 同期回路) を備えています。

RIIC が SCLn ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL 出力により SCLn ラインが立ち下げられた場合、RIIC は SCLn ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCLn ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。このとき他のマスタデバイスの SCL の Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL の Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインが開放され SCL が立ち上がります。そのため SCL 出力衝突時の SCL の High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

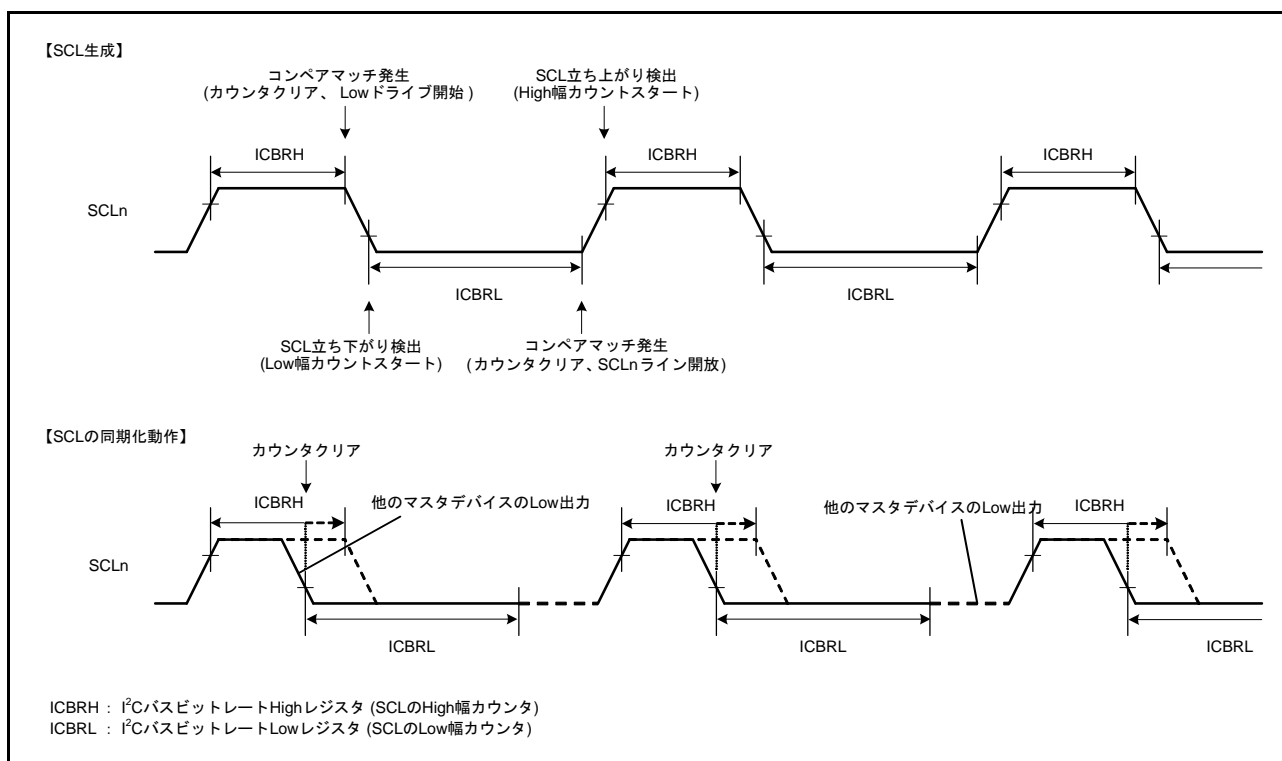


図 32.20 RIIC の SCL 生成および SCL 同期化動作

32.5 SDA出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を遅延させることができます。

SDA出力遅延機能は、SCLの立ち下がり検出からSDA出力を遅延させ、確実にSCLのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用します。また、SMBusのデータホールド時間: 300 ns (min)の仕様を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行います。遅延サイクル分のカウントが終了した時点でRIICはSDA出力(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を行います。

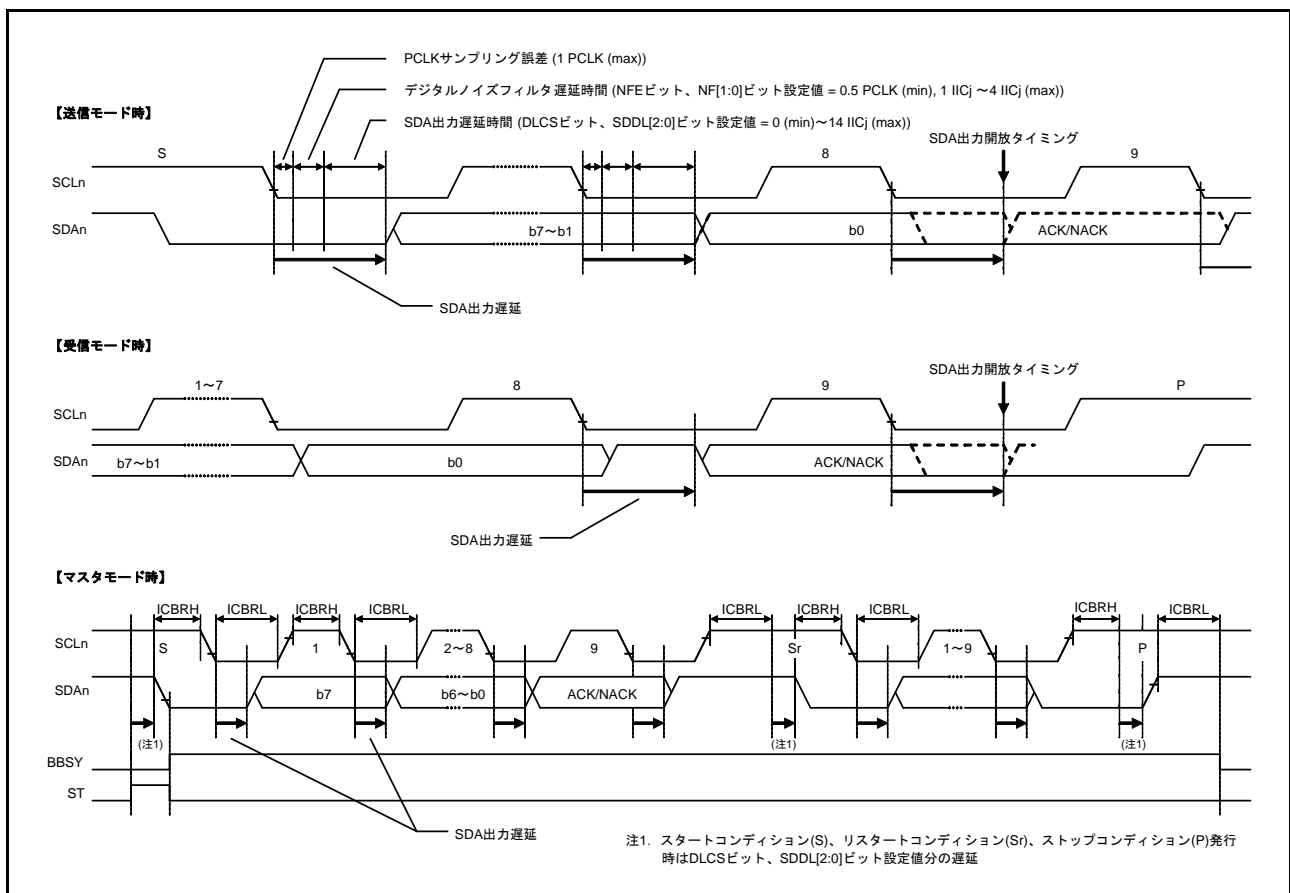


図 32.21 SDA出力遅延タイミング

32.6 デジタルノイズフィルタ回路

SCLn 端子および SDAn 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。

図 32.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて $1 IIC\phi \sim 4 IIC\phi$ サイクル分となります。

SCLn 端子入力信号 (または SDAn 端子入力信号) は $IIC\phi$ の立ち下がりでもサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、 $PCLK = 4 \text{ MHz}$ 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合がありますので注意してください。

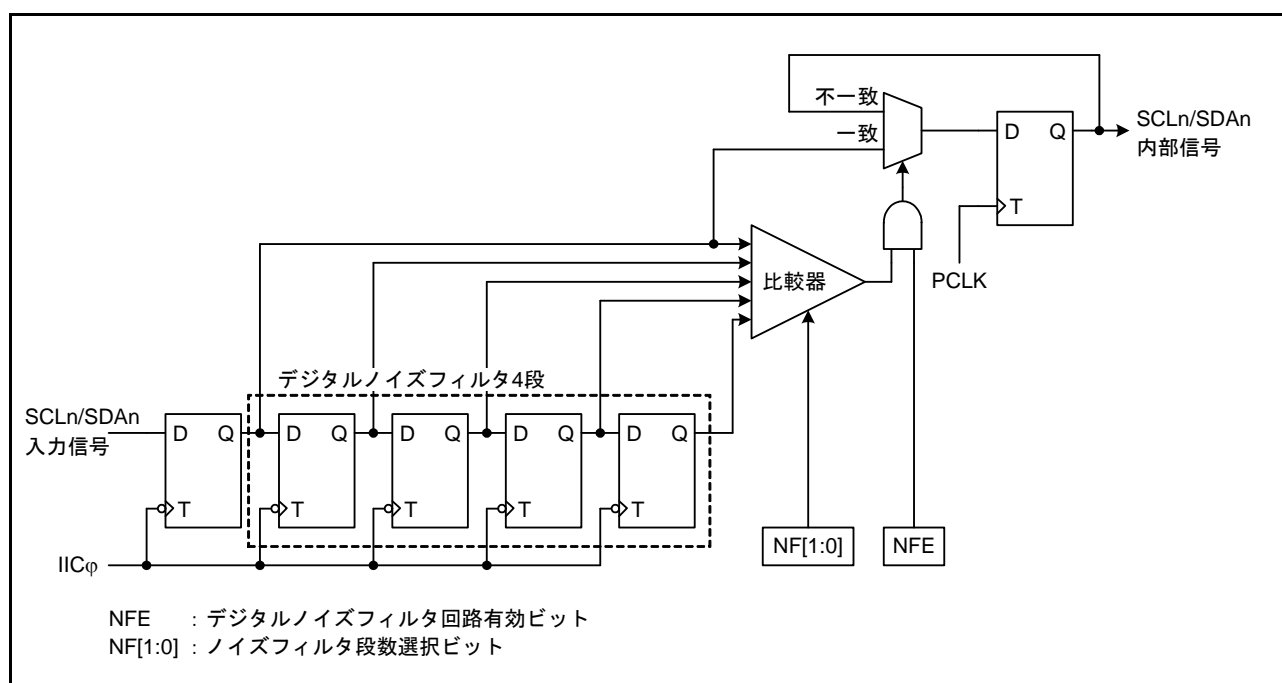


図 32.22 デジタルノイズフィルタ回路のブロック図

32.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

32.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、9個目のSCLの立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、このとき受信したR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンピ割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図32.23～図32.25にAASyフラグが“1”になるタイミングを示します。

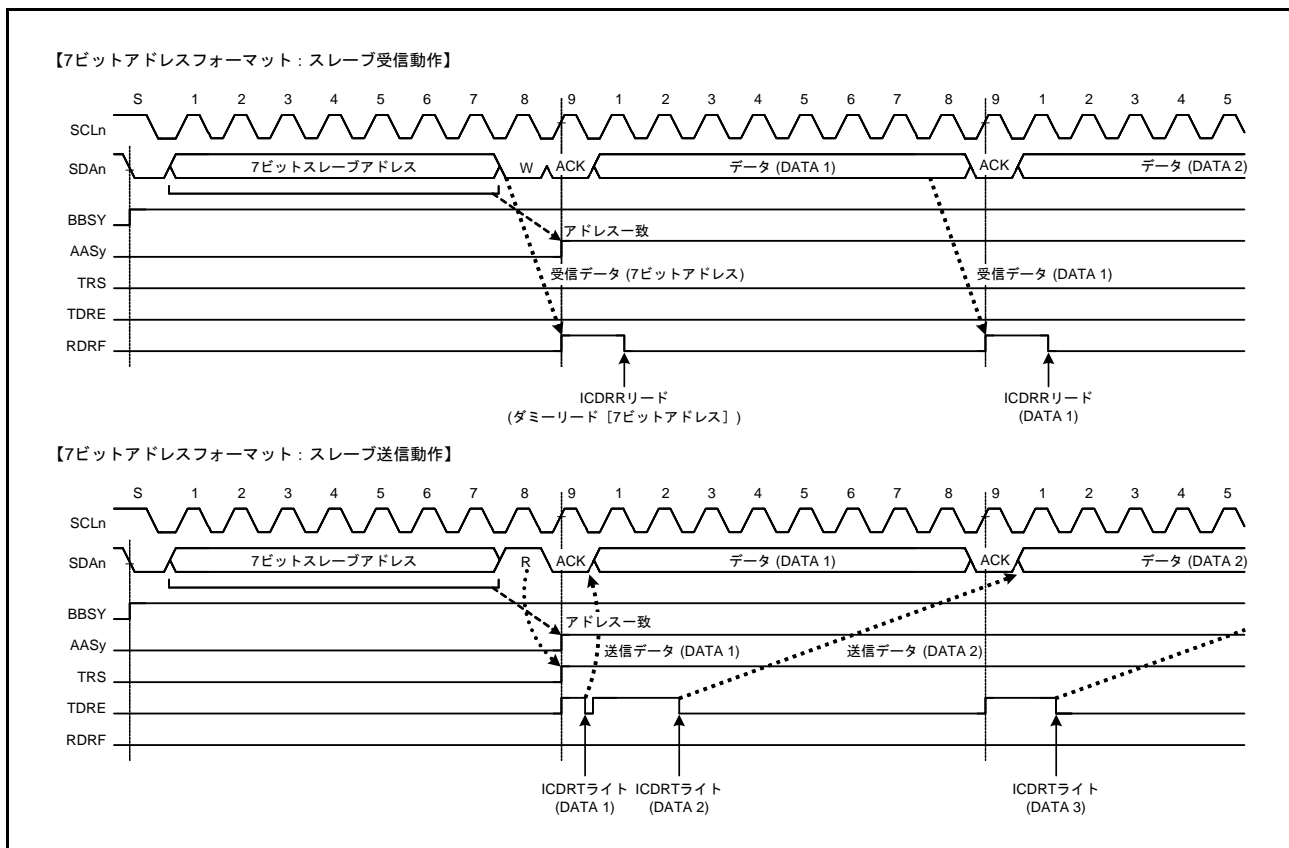


図 32.23 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

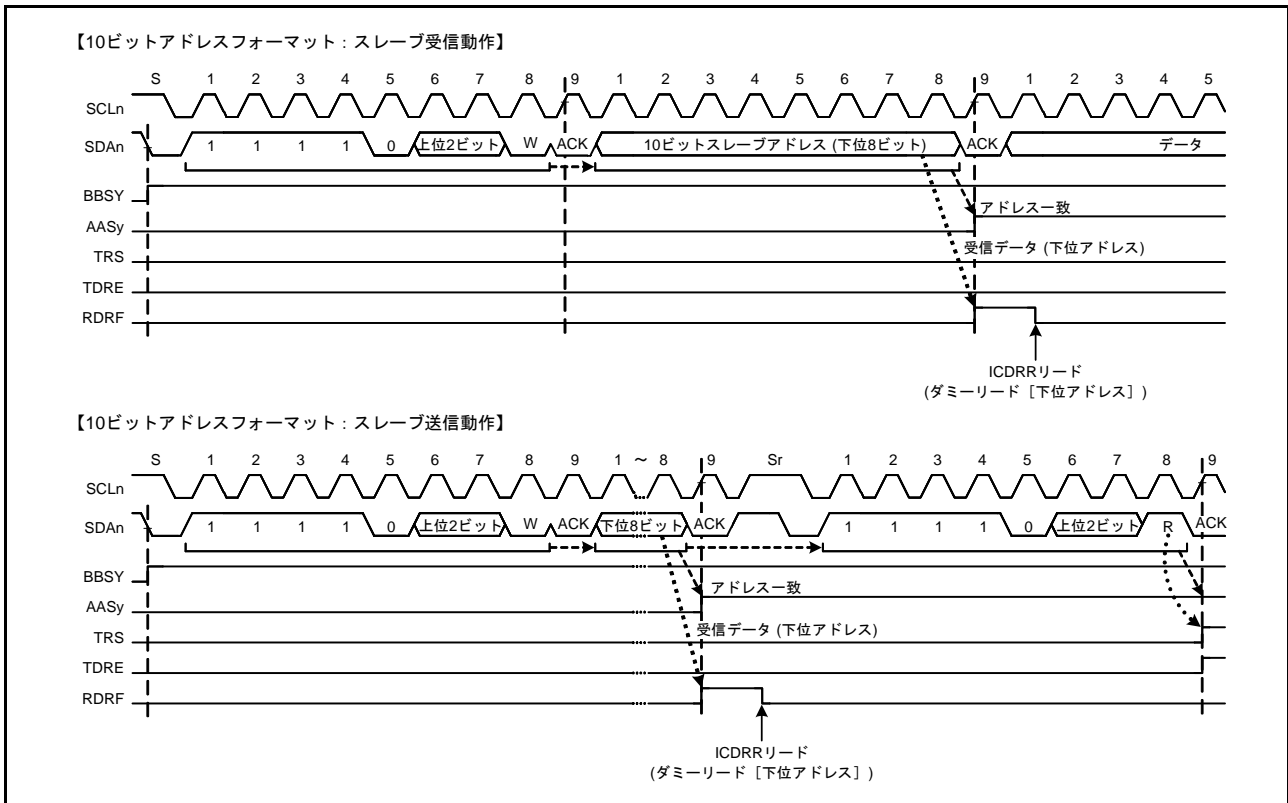


図 32.24 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

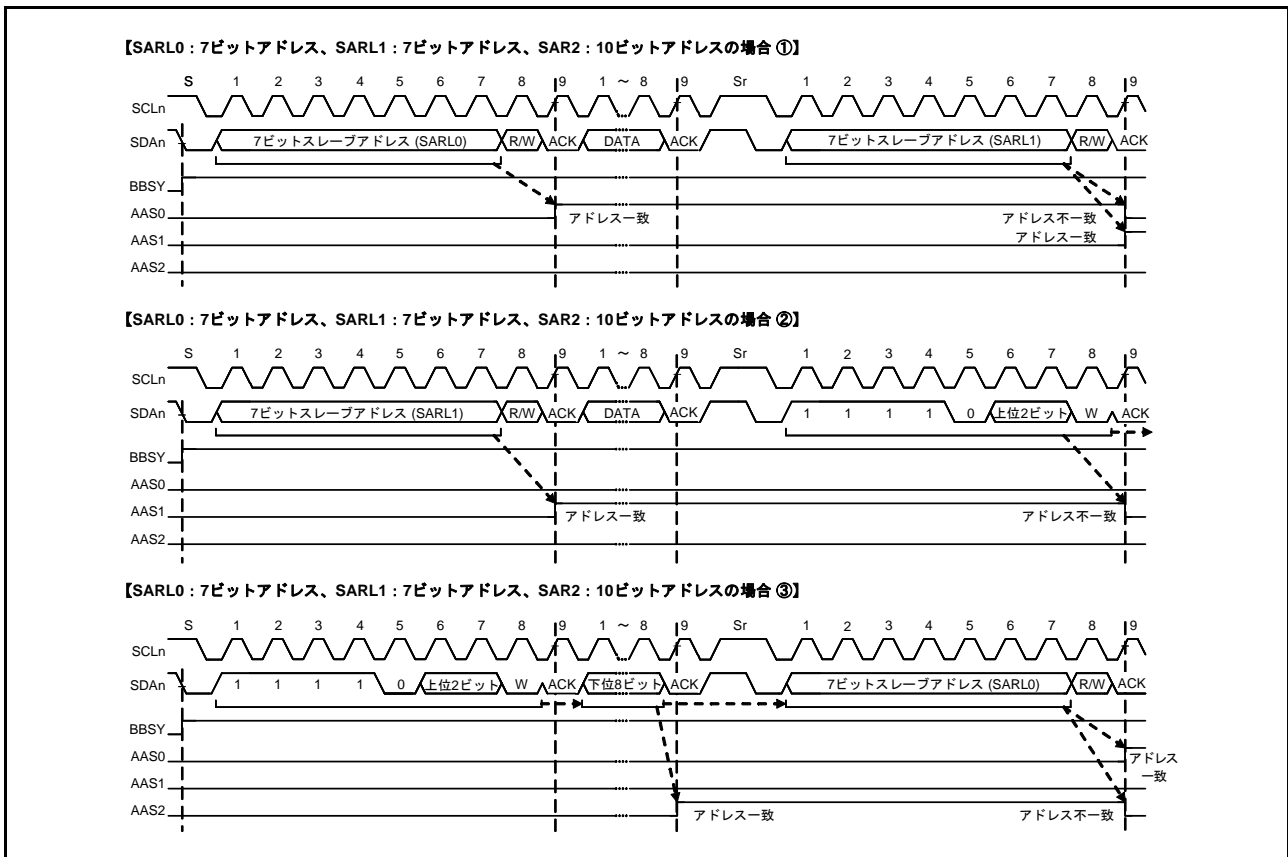


図 32.25 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

32.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSER.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIICはこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、9個目のSCLの立ち上がりでICSR1.GCAフラグを“1”にし、同時にICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCAフラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

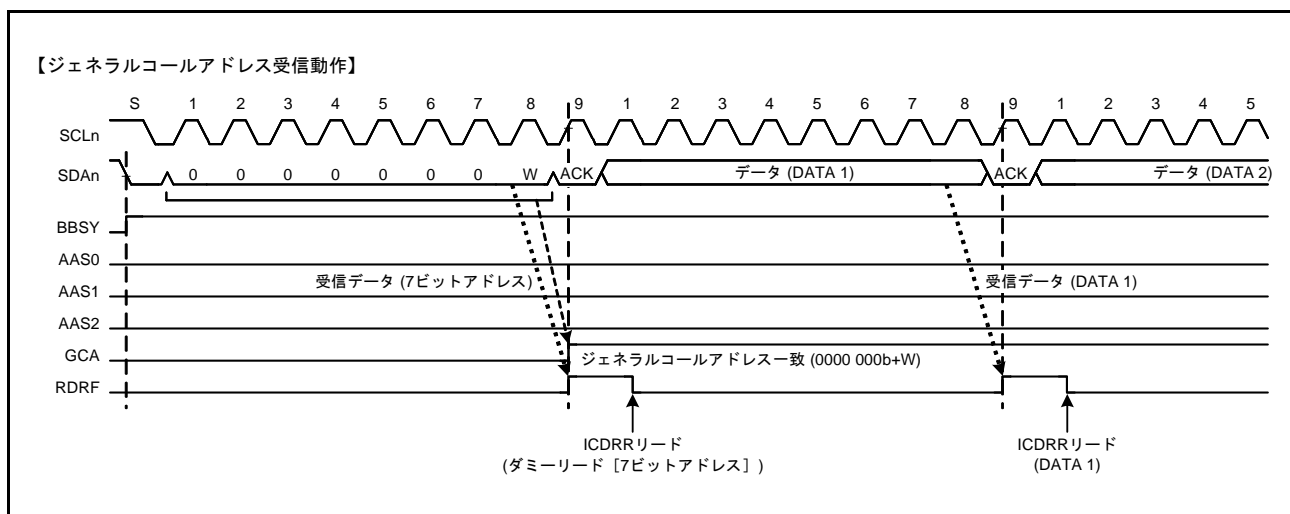


図 32.26 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

32.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス仕様に準拠したデバイスIDアドレスの検出機能を備えています。ICSR.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のとき9個目のSCLの立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AAS_yフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDREフラグが“1”であることを確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

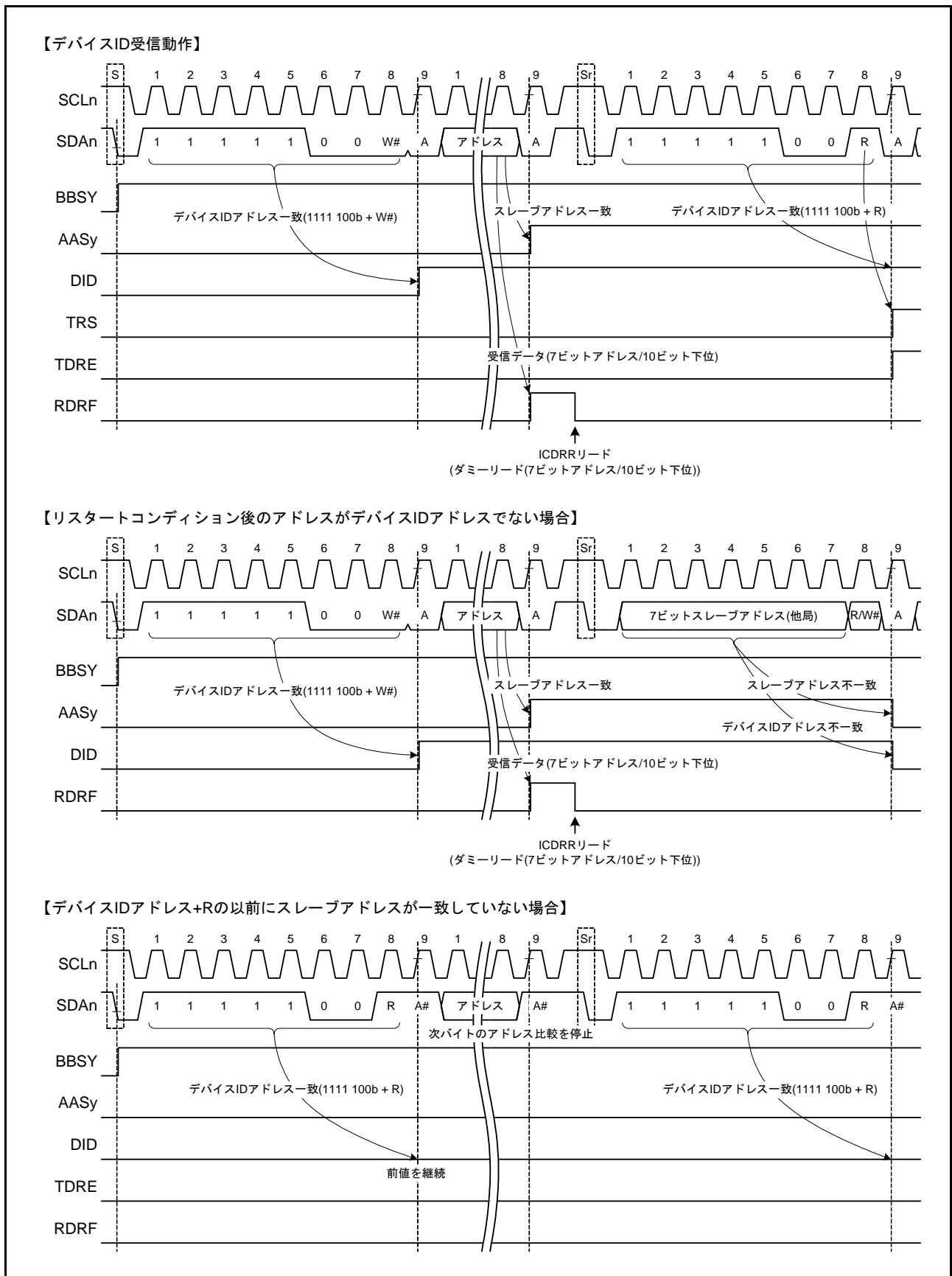


図 32.27 デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

32.7.4 ホストアドレス検出機能

RIICにはSMBus動作時にホストアドレス検出機能を備えています。ICMR3.SMBSビットが“1”のときICSER.HOAEビットを“1”にすると、スレーブ受信モード(ICCR2.MST, TRSビット=00b)にホストアドレス(0001 000b)を検出することが可能です。

RIICはホストアドレスを検出すると、9個目のSCLの立ち上がりでICSR1.HOAフラグを“1”にし、Wrビット(R/W#ビットに“0”を受信)のときICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み(RXI)を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス(0001 000b)に続くビットがRdビット(R/W#ビットに“1”を受信)の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

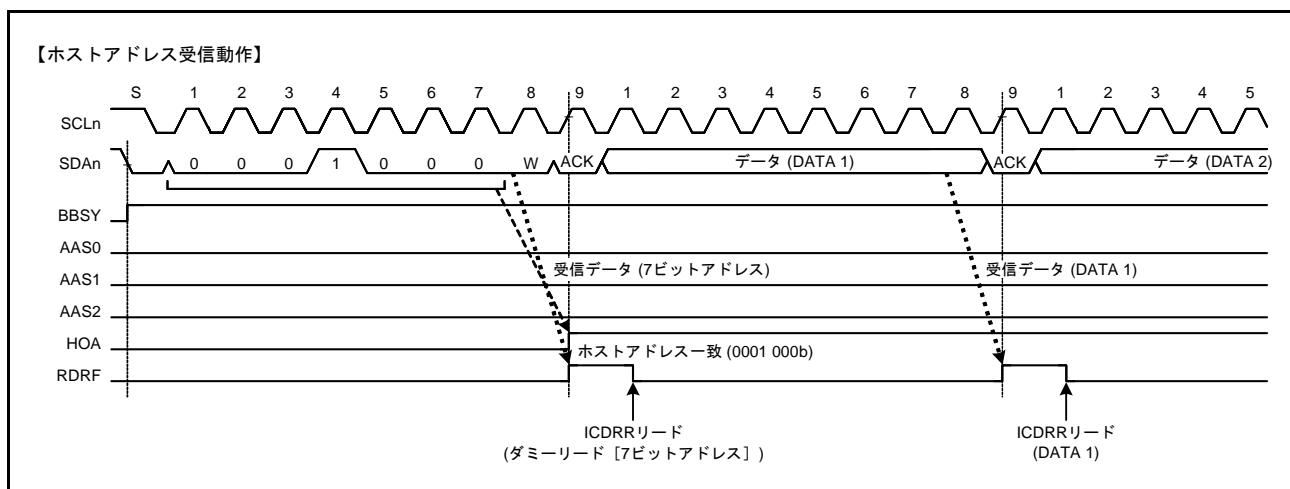


図 32.28 ホストアドレス受信時に HOA フラグが“1”になるタイミング

32.8 SCLの自動Lowホールド機能

32.8.1 送信データ誤送信防止機能

RIICは送信モード時 (ICCR2.TRS ビット=1)、シフトレジスタ (ICDRS レジスタ) が空の状態かつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の間の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の間の Low 区間

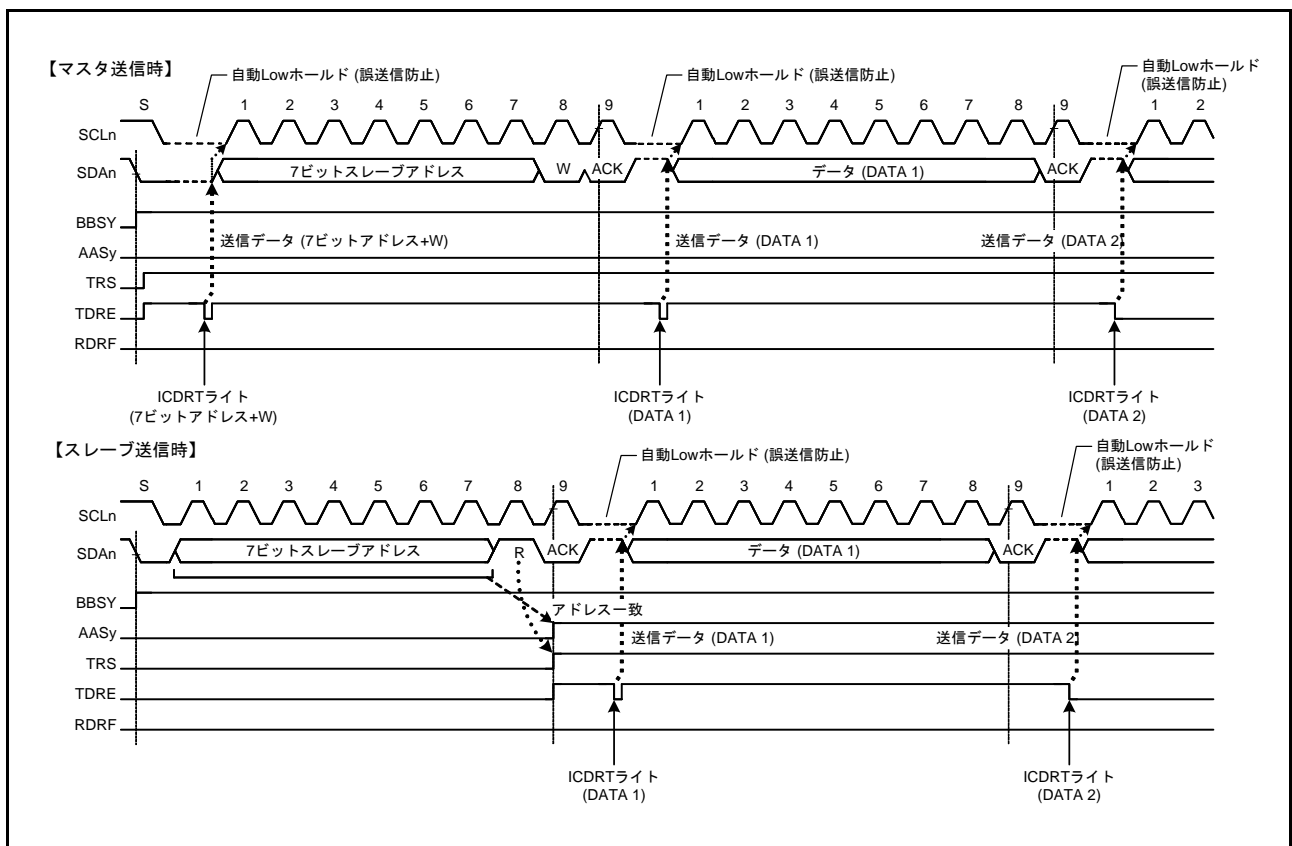


図 32.29 送信モードの自動 Low ホールド動作

32.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKF ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、9 個目の SCL の立ち上がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA_n ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。マスタ送信モードの場合には、リスタートコンディション発行後に NACKF フラグを “0” にして動作をやり直すか、ストップコンディション発行後に NACKF フラグを “0” にし、その後スタートコンディションの発行からやり直してください。

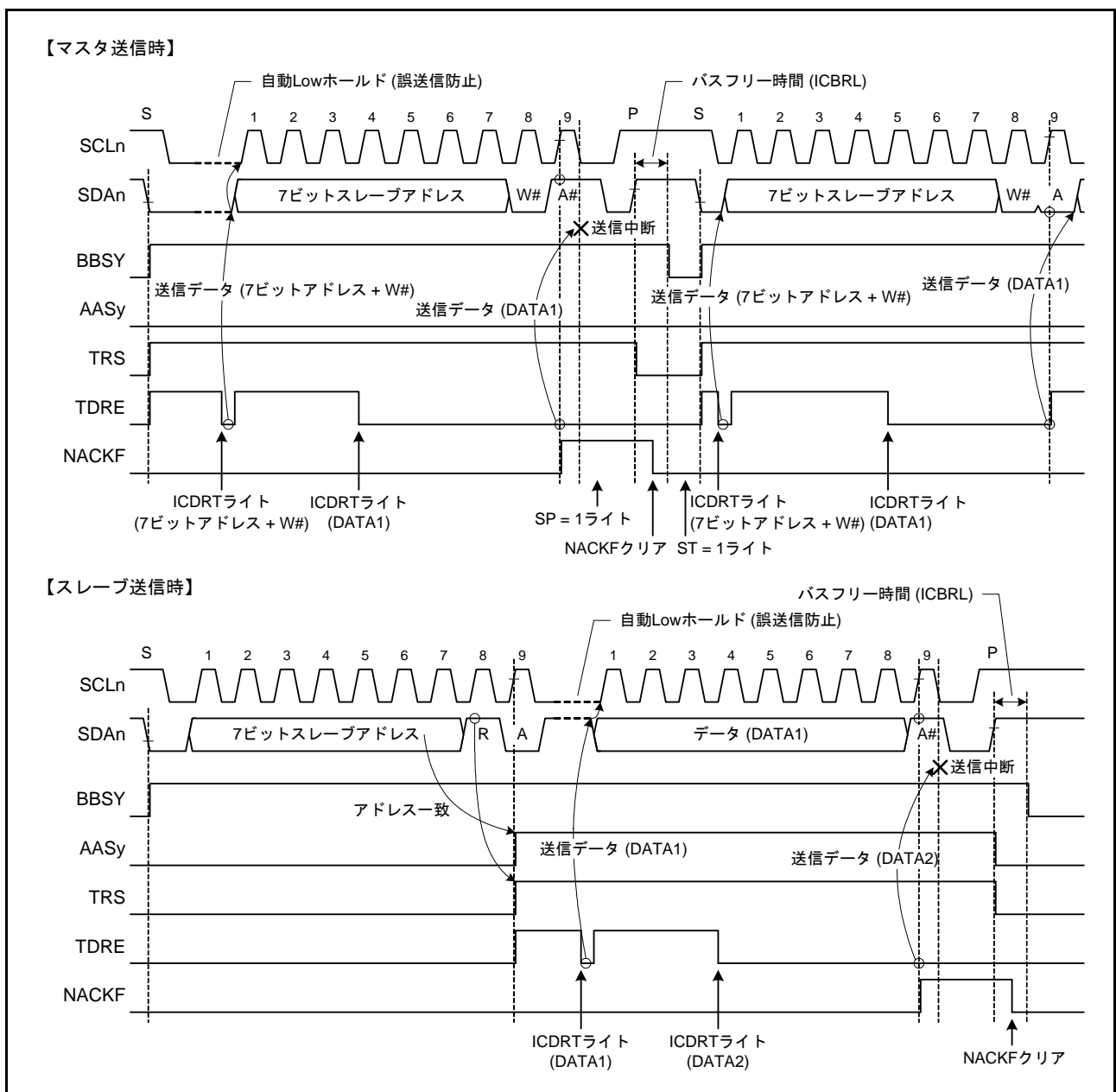


図 32.30 NACK 受信時の転送中断動作 (NACKF ビット = 1 のとき)

32.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが1転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIICでは ICMR3.WAIT ビットと RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICは WAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICは SCL の8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICは RDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが8個目の SCL の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

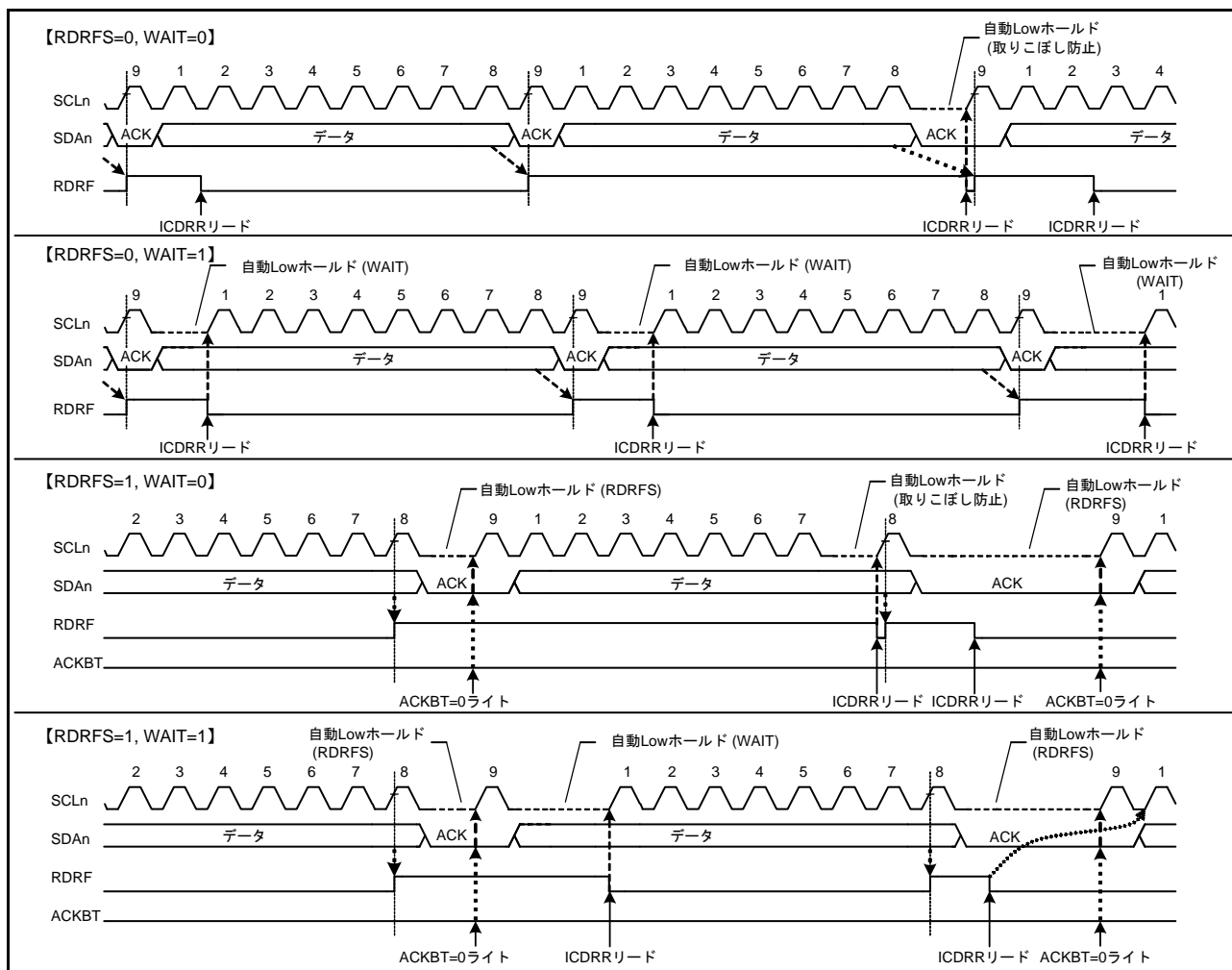


図 32.31 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

32.9 アービトレーションロスト検出機能

RIICにはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

32.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDAnラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDAnラインに不一致が生じた場合(SDA出力がHigh(SDAn端子はハイインピーダンス)で、SDAnラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおRIICは、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、マスタアービトレーションロストを検出します。

マスタアービトレーションロスト検出条件

- ICCR2.BBSYフラグが“0”の状態(ICCR2.STビットを“1”)にしてスタートコンディションを発行したときに、SDA信号とSDAnライン上の信号の状態が不一致のとき(スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”の状態(ICCR2.STビットを“1”)にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDAnライン上の信号の状態が不一致のとき

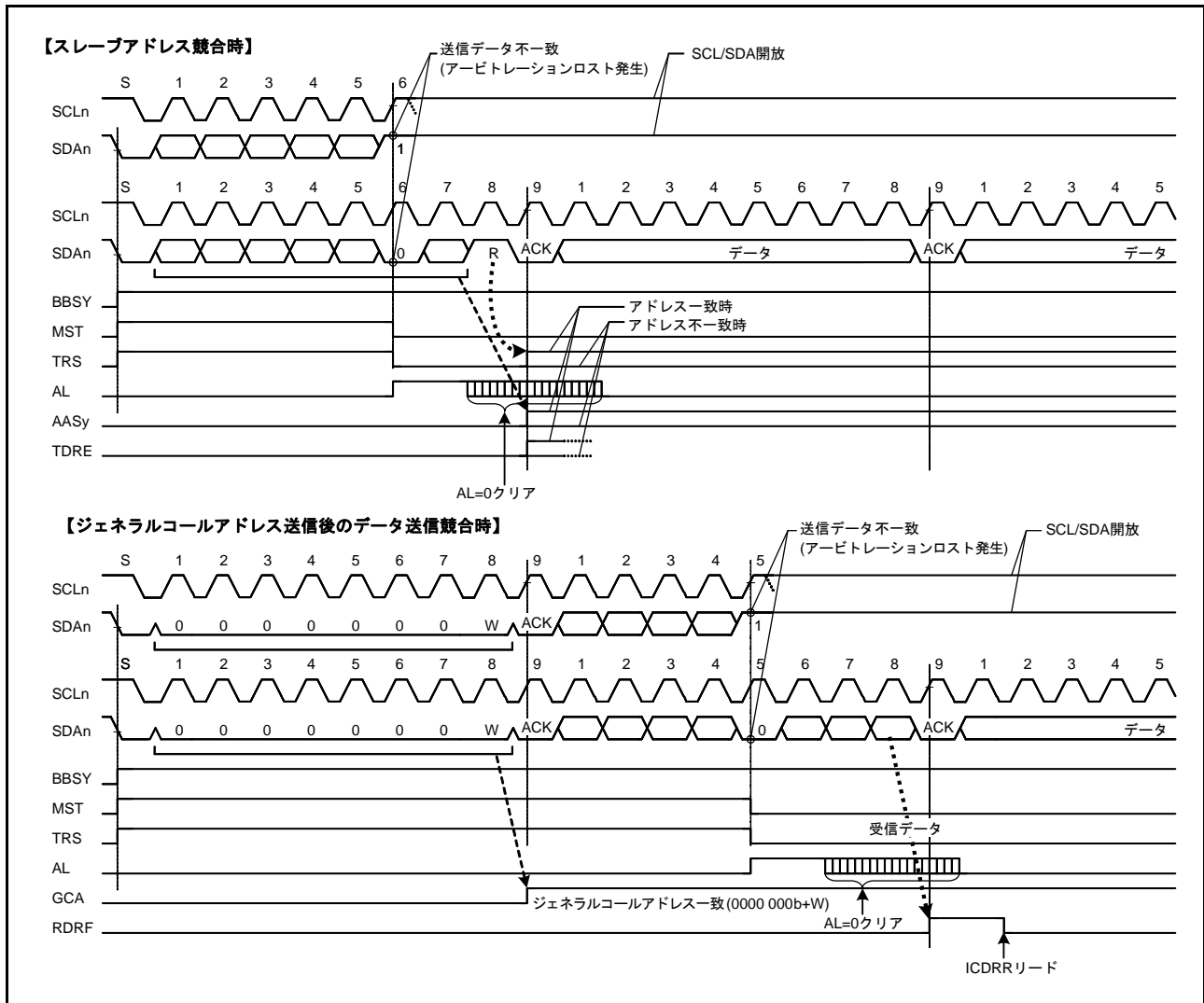


図 32.32 マスターアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

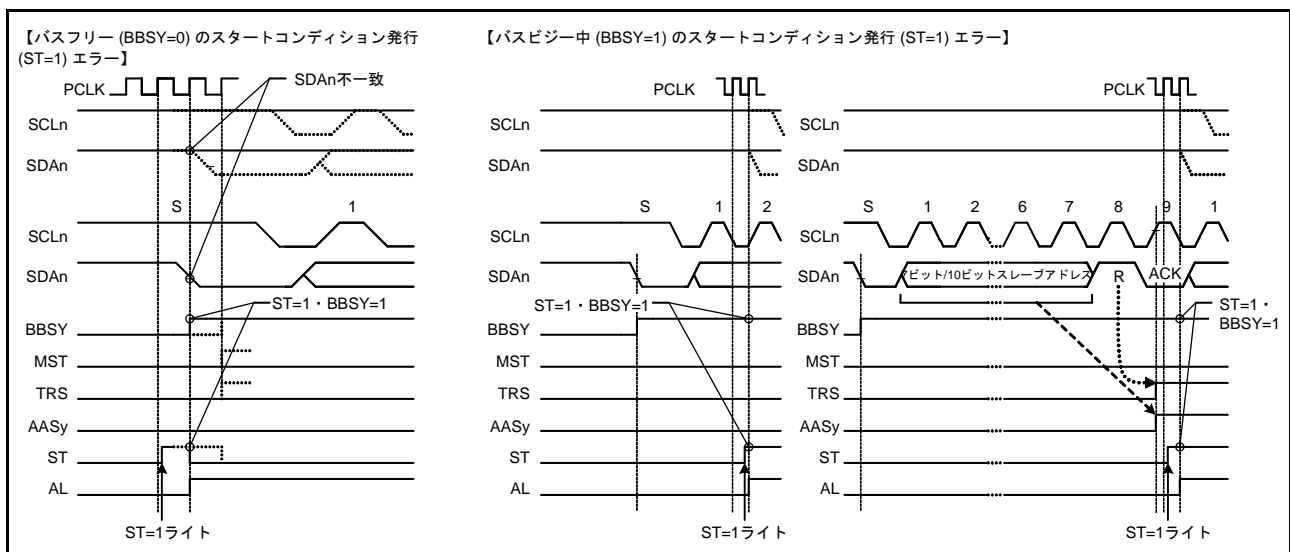


図 32.33 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

32.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に出力したSDA信号とSDAnライン上の信号の状態が不一致の場合(SDA出力がHigh(SDAn端子はハイインピーダンス)で、SDAnラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。NACK送信アービトレーションロストは、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図32.34にNACK送信アービトレーションロスト検出動作例を示します。

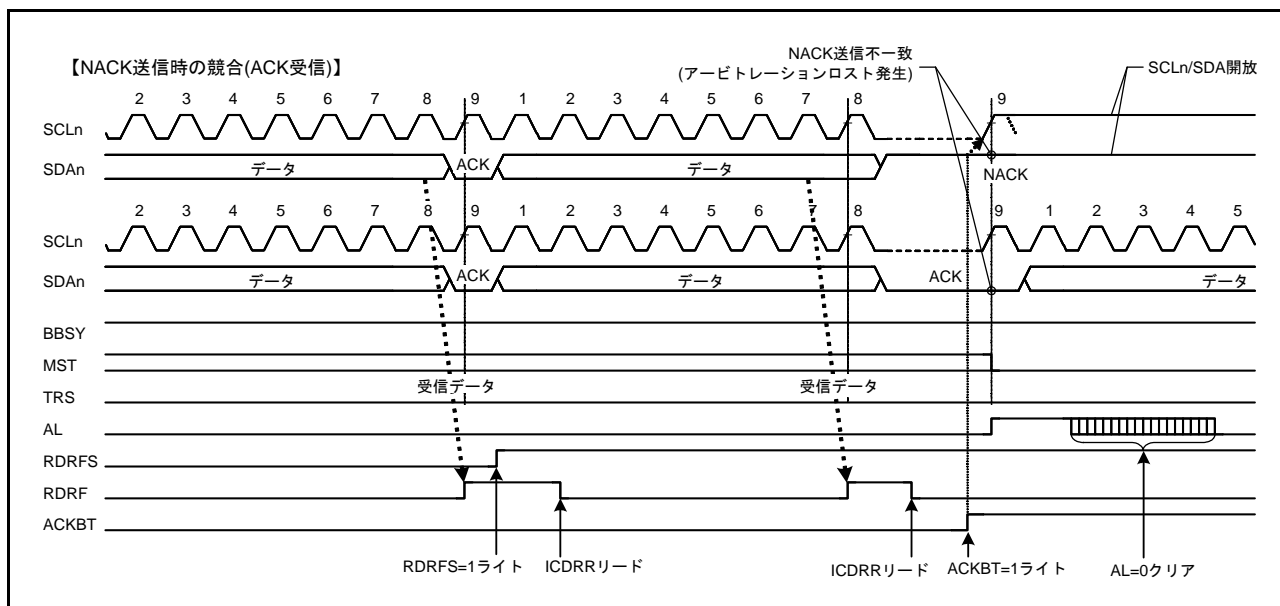


図 32.34 NACK 送信アービトレーションロスト検出動作例 (NALE ビット = 1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタA、マスタBともどちらもバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト目の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタAのNACK送信とマスタBのACK送信の衝突が発生します。このような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCL出力と競合し通信を阻害します。

RIICはこのようなNACK送信時にACKを受信した場合、アービトレーションロストを発生させることができます。

NACK送信アービトレーションロストが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

またSMBusのARPコマンド処理において、Assign AddressのUDID(Unique Device Identifier)不一致時のNACK送信以降、およびAssign Address確定後のGet UDID(General)のNACK送信以降の余剰処理("FFh"送信処理)を省くことができます。

なお RIIC は、ICFER.NALE ビットが“1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、NACK 送信アービトレーションロストを検出します。

NACK 送信アービトレーションロスト検出条件

- NACK 送信時(ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき (ACK を受信したとき)

32.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA_n ライン上の信号の状態に不一致が生じた場合 (SDA 出力が High (SDA_n 端子はハイインピーダンス) で、SDA_n ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (Unique Device Identifier) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、スレーブアービトレーションロストを検出します。

スレーブアービトレーションロスト検出条件

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA_n ライン上の信号の状態が不一致のとき

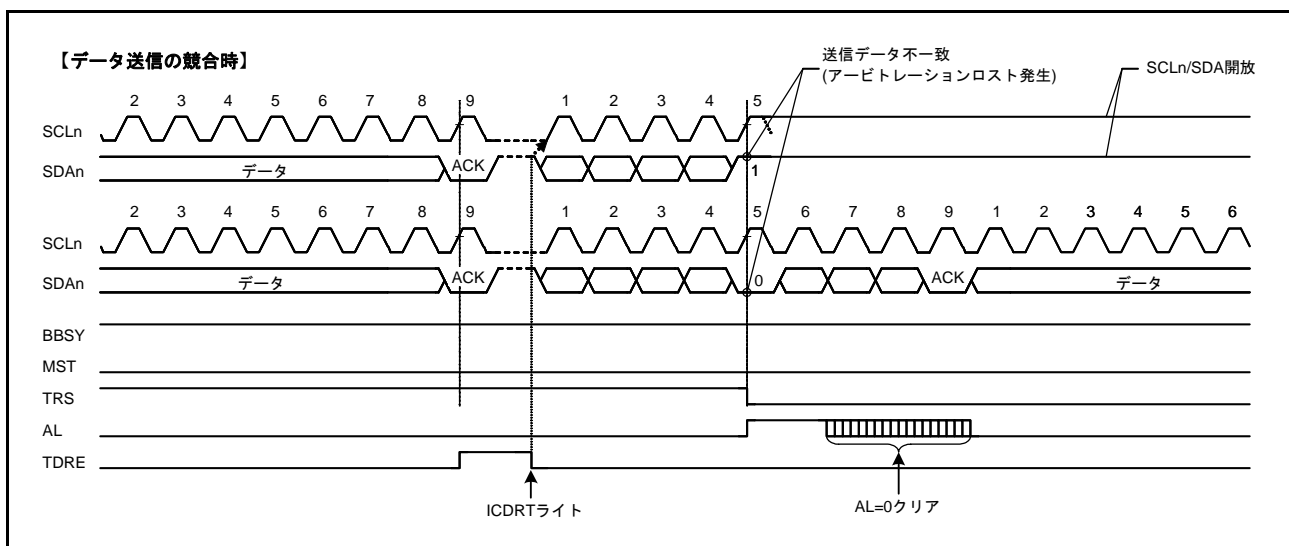


図 32.35 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

32.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

32.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

- (1) SDA_nラインを立ち下げ (High から Low に遷移)
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL_nラインを立ち下げ (High から Low に遷移)
- (4) SCL_nラインのLowを検出後、ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保

32.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態であつICCR2.MSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

- (1) SDA_nラインを開放
- (2) ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保
- (3) SCL_nラインを開放 (Low から High に遷移)
- (4) SCL_nラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA_nラインを立ち下げ (High から Low に遷移)
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL_nラインを立ち下げ (High から Low に遷移)
- (8) SCL_nラインのLowを検出後、ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保

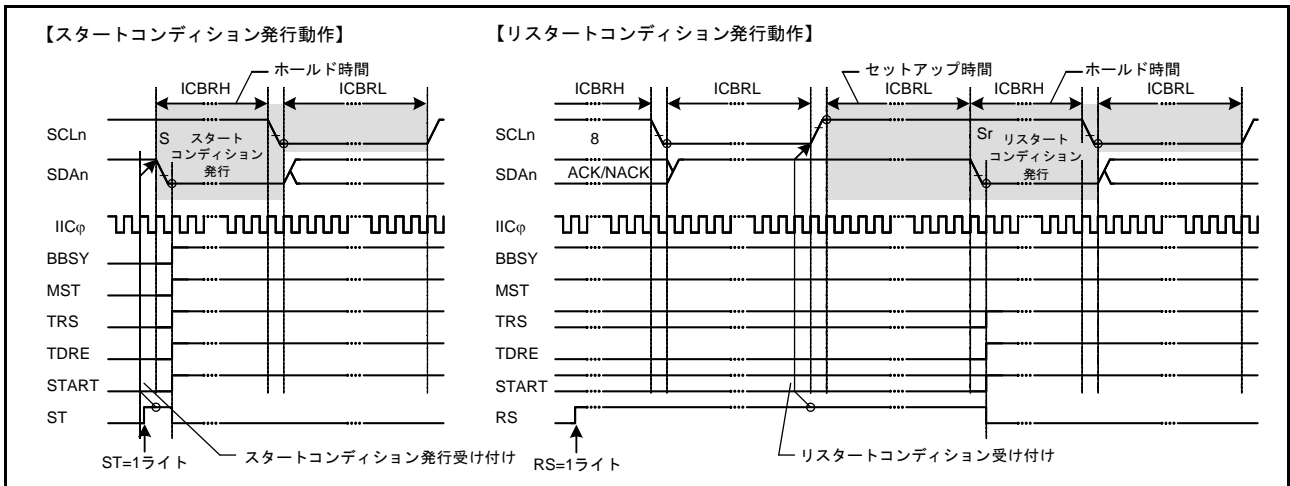


図 32.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

32.10.3 ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1” (バスビジー) の状態であつ ICCR2.MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

- (1) SDA_n ラインを立ち下げ (High から Low に遷移)
- (2) ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保
- (3) SCL_n ラインを開放 (Low から High に遷移)
- (4) SCL_n ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- (5) SDA_n ラインを開放 (Low から High に遷移)
- (6) ICBRL レジスタで設定した時間、バスフリー時間を確保
- (7) BBSY フラグクリア (バス権解放)

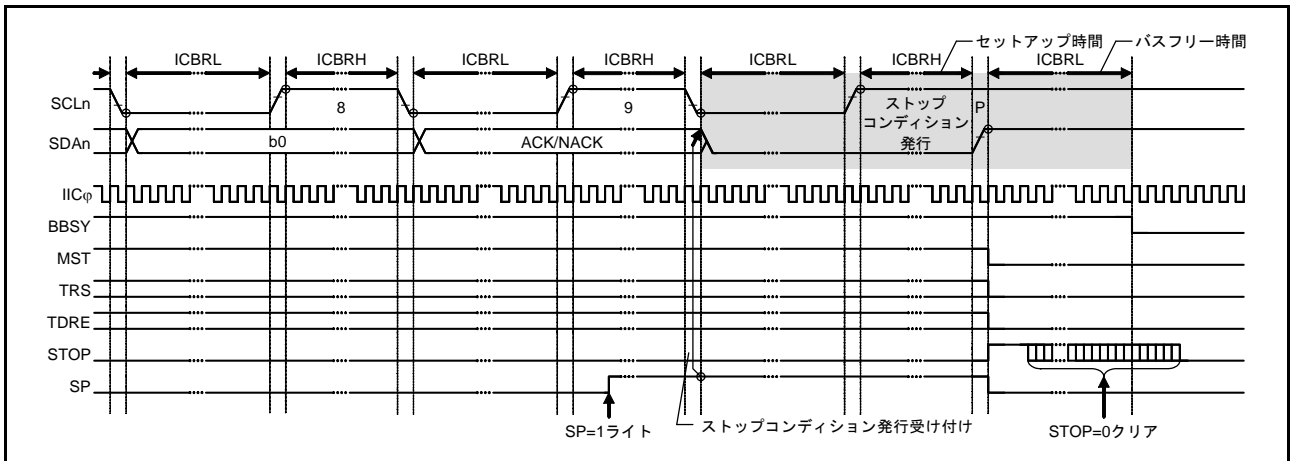


図 32.37 ストップコンディション発行動作タイミング (SP ビット)

32.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCLnラインやSDAnラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCLnラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するためのSCL追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCLnライン/SDAnラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

32.11.1 タイムアウト検出機能

RIICにはSCLnラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCLnラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLnラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCLnラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLnラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCLnラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLnラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

止)にして使用してください。

ICCR1.CLO ビットの使用条件

- バスフリー状態 (ICCR2.BBSY フラグ=0) またはマスタモード (ICCR2.MST ビット=1、BBSY フラグ=1 の状態) のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 32.39 に SCL 追加出力機能 (CLO ビット) を示します。

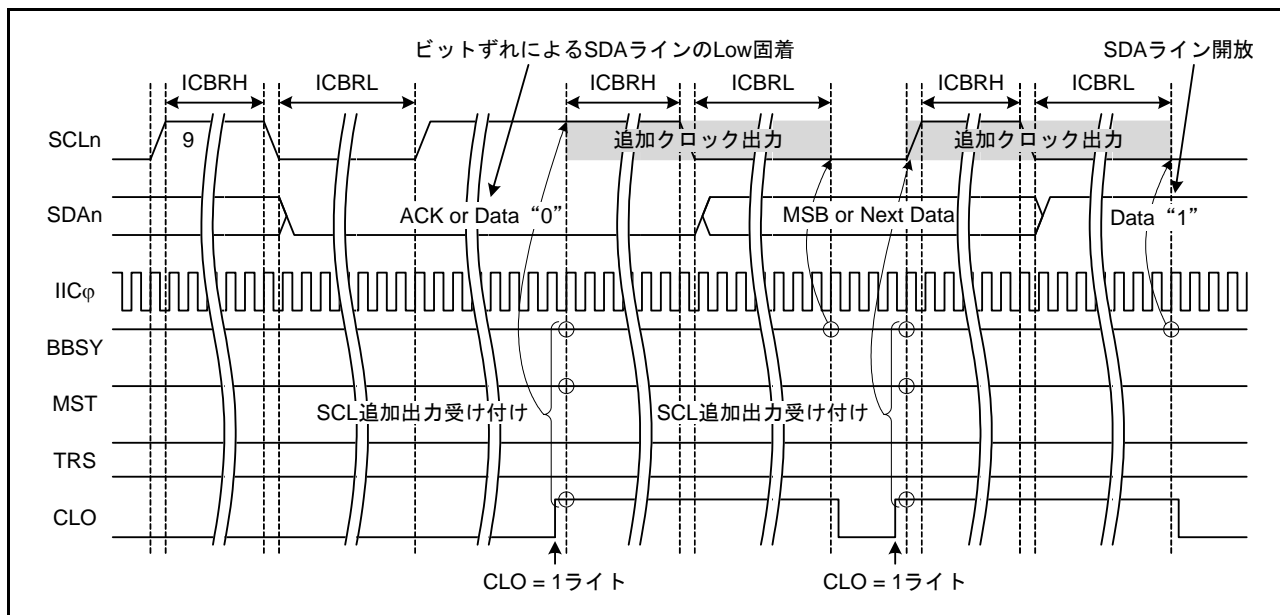


図 32.39 SCL 追加出力機能 (CLO ビット)

32.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCLn 端子 /SDAn 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「32.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

32.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 仕様の 10 kbps ~ 100 kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間：300 ns (min) の仕様を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARU_y.FS ビット (y = 0 ~ 2) (7 ビット / 10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (Unique Device Identifier) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトレーションロスト検出機能を有効にしてください。

32.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔：T_{LOW:SEXT}) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) T_{LOW:SEXT} : 25 ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL_n 端子 /SDAn 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔：T_{LOW:MEXT}) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) T_{LOW:MEXT} : 10 ms (max) 以内である必要があります、スタートコンディションからストップコンディションまでのすべての T_{LOW:MEXT} を加算した結果が T_{LOW:SEXT} : 25 ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見ることがあります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{LOW:MEXT} : 10 \text{ ms (max)}$ または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $T_{TIMEOUT} : 25 \text{ ms (min)}$ を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

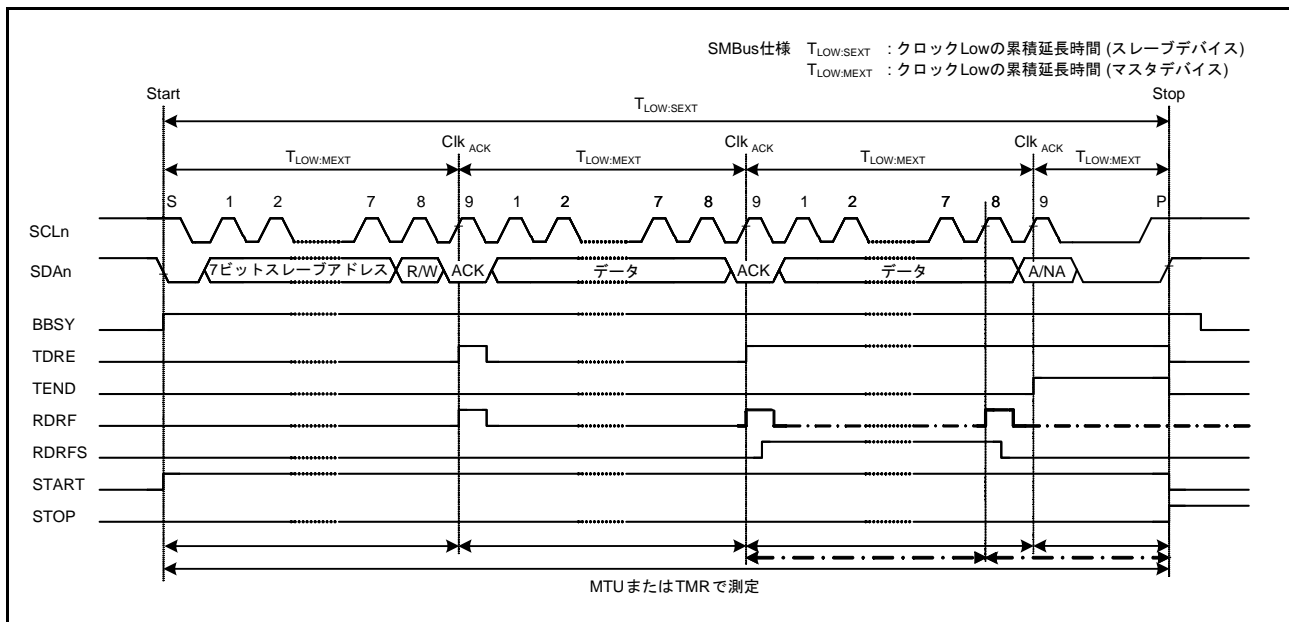


図 32.40 SMBus タイムアウト測定

32.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「35. CRC 演算器 (CRCA)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCLn ラインを Low にホールドしてください。

32.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

32.13 割り込み要因

RIICの割り込み要因には、通信エラー/通信イベント(アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があります。

表 32.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTCまたはDMACを起動してデータ転送を行うことができます。

表 32.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC/DMACの起動	割り込み条件
EEI	通信エラー/通信イベント	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
RXI (注2)	受信データフル	RDRF	可能	RDRF = 1かつRIE = 1
TXI (注1)	送信データエンプティ	TDRE	可能	TDRE = 1かつTIE = 1
TEI (注3)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

32.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した ICURn.IRn フラグが“1”のときに割り込み発生条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

32.14 リセット時/コンディション検出時のレジスタおよび機能の初期化

RIICはMCUリセット、RIICリセットおよび内部リセットによってリセットできます。表32.7にリセット時/コンディション検出時のレジスタおよび機能のリセット状況を示します。

表32.7 リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出
ICCR1	SDAO, SCLO	リセット	リセット	リセット	保持	保持
	IICRST, ICE		保持	保持		
	その他		リセット			
ICCR2	ST, RS	リセット	リセット	リセット	リセット	保持
	SP				(注1)	リセット
	TRS					
	MST					
	BBSY					
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	START	リセット	リセット	リセット	"1"になる	リセット
	STOP				保持	"1"になる
	TEND				(注1)	リセット
	TDRE					
	その他					
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

注1. リセットされません。条件に応じて"0"または"1"になります。

32.15 イベントリンク機能 (出力)

RIIC0は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 通信エラー/通信イベント
- 受信データフル
- 送信データエンプティ
- 送信終了

32.15.1 割り込み処理とイベントリンクの関係

RIICの割り込みには、通信エラー/通信イベント (アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があり、それぞれに割り込み許可/禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合にICUに対して割り込み要求信号を出力します。

これに対してイベント信号は、割り込み許可ビットに依存せず、割り込み要因が発生すると出力され、ELCを介して他のモジュールに伝達されます。

割り込み要因については、表 32.6 を参照してください。

32.16 使用上の注意事項

32.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) またはモジュールストップコントロールレジスタ C (MSTPCRC) により、モジュールストップ状態への遷移/解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B および C の詳細は、「11. 消費電力低減機能」を参照してください。

32.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが “0” であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0”を確認
- (4) IR フラグを “0” にする

33. CAN FD モジュール (CANFD-Lite)

33.1 概要

本 MCU は、ISO 11898-1:2015 仕様に準拠した CAN FD (Controller Area Network with Flexible Data Rate) モジュールを 1 チャンネル搭載しています。

表 33.1 に CAN FD モジュールの仕様、図 33.1 に CAN FD モジュールのブロック図を示します。

表 33.1 CAN FDモジュールの仕様

項目	内容
プロトコル	ISO 11898-1:2015仕様に準拠
データ転送レート	アービトレーションフェーズ：最高1 Mbps データフェーズ：最高8 Mbps (注1)
動作周波数 (注2)	レジスタ部：最高60 MHz (PCLKB) メッセージバッファ RAM：最高120 MHz (PCLKA)
データリンク層動作クロック (DLLクロック)	最高60 MHz (CANFDMCLKとCANFDCLKのいずれかを選択可能)
フレームタイプ	Classic CAN (CAN 2.0) <ul style="list-style-type: none"> 標準フォーマット(11ビットID)データフレーム 拡張フォーマット(29ビットID)データフレーム 標準フォーマット(11ビットID)リモートフレーム 拡張フォーマット(29ビットID)リモートフレーム CAN FD (注1) <ul style="list-style-type: none"> 標準フォーマット(11ビットID)データフレーム 拡張フォーマット(29ビットID)データフレーム
データ長	Classic CAN：0～8バイト CAN FD：0～8、12、16、20、24、32、48、64バイト (注1)
メッセージバッファ	<ul style="list-style-type: none"> 受信メッセージバッファ：32個 送信メッセージバッファ：4個 送信キュー：1個 送信キューへのメッセージ自動転送をサポート
FIFO	FIFOサイズはプログラマブル <ul style="list-style-type: none"> 受信FIFO：2個 共通FIFO：1個(受信FIFOとして使用するか送信FIFOとして使用するかを選択可能)
送信間隔自動調整	共通FIFOを送信FIFOとして使用しているときに有効 FIFOから送信されるメッセージの送信間隔を調整可能
アクセプタンスフィルタ	以下のフィールドでフィルタリング可能 <ul style="list-style-type: none"> IDEビット(標準フォーマット/拡張フォーマット/両方) IDフィールド RTRビット(データフレーム/リモートフレーム) (Classic CANのみ) DLCフィールド(データ長) ペイロードサイズ超過時の保護機能あり 通信中にアクセプタンスフィルタリスト(AFL)のエントリを更新可能
ソフトウェアサポート	受信メッセージにラベル情報を自動付加
タイマ	送信時、受信時のタイムスタンプ機能
パワーダウン機能	CANノードのモジュール起動停止機能(CH_SLEEPモードとGL_SLEEPモード) モジュールストップ状態への遷移が可能
RAM	RAM ECC保護

注1. CAN FDプロトコル対応製品のみ

注2. PCLKAとPCLKBの周波数比は2対1にしてください。また、PCLKBの周波数はDLLクロックの周波数以上にしてください。

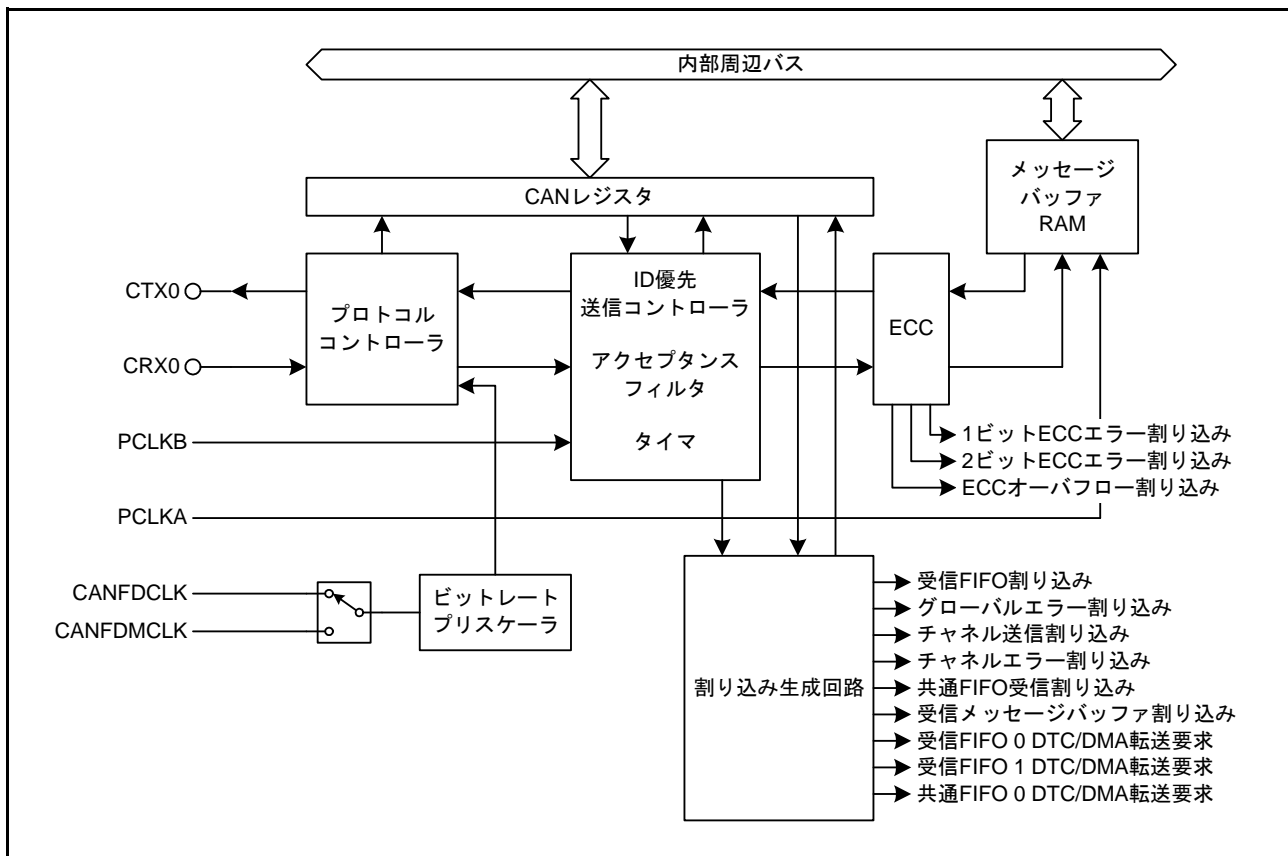


図 33.1 CAN FD モジュールブロック図

- **CRX0, CTX0**
CAN FD モジュールの入出力端子です。
- **プロトコルコントローラ**
バスアービトラージョンや送受信時のビットタイミング、スタッフィング、エラー処理などのCAN FD プロトコル処理を行います。
- **メッセージバッファ RAM**
送受信メッセージのためのメッセージバッファや FIFO バッファとして使用されます。各メッセージには、ID、データ長コード、データ、上位層アプリケーションのためのメッセージポインタ、およびタイムスタンプが含まれています。
- **アクセプタンスフィルタ**
受信メッセージのフィルタリングを行います。フィルタリング処理には、アクセプタンスフィルタリストに設定されたエントリが使用されます。
- **タイマ**
受信タイムスタンプ機能に使用するタイマと、送信 FIFO からのメッセージ送信間隔を調整するタイマの2つあります。

表 33.2 に CAN FD モジュールで使用する端子を示します。

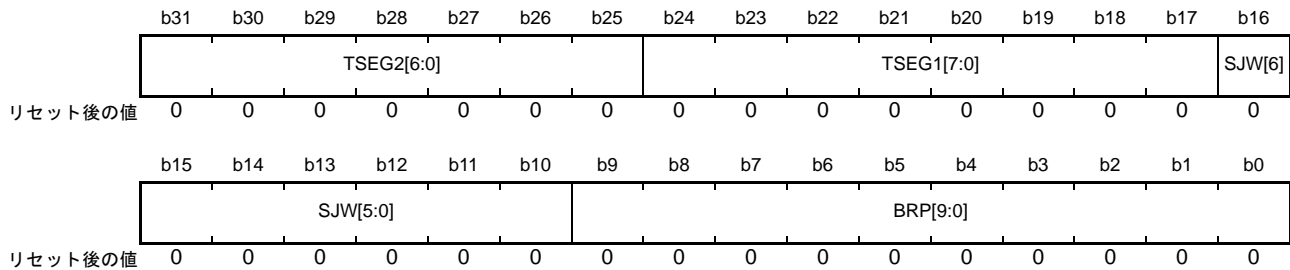
表 33.2 CAN FDモジュールの端子構成

端子名	入出力	機能
CRX0	入力	データ受信用端子
CTX0	出力	データ送信用端子

33.2 レジスタの説明

33.2.1 公称ビットレート設定レジスタ (NBCR)

アドレス CANFD0.NBCR 000A 8000h



ビット	シンボル	ビット名	機能	R/W
b9-b0	BRP[9:0]	ビットレートプリスケアラ設定ビット	000h : 分周なし 001h : 2分周 : : 3FEh : 1023分周 3FFh : 1024分周	R/W
b16-b10	SJW[6:0]	再同期ジャンプ幅制御ビット	00h : 1 Tq 01h : 2 Tq : : 7Eh : 127 Tq 7Fh : 128 Tq	R/W
b24-b17	TSEG1[7:0]	タイムセグメント1制御ビット	00h : 設定禁止 01h : 2 Tq 02h : 3 Tq 03h : 4 Tq : : FEh : 255 Tq FFh : 256 Tq	R/W
b31-b25	TSEG2[6:0]	タイムセグメント2制御ビット	00h : 設定禁止 01h : 2 Tq : : 7Eh : 127 Tq 7Fh : 128 Tq	R/W

このレジスタは、送受信時の公称ビットレートを設定するレジスタです。

CH_OPERATION モード、CH_SLEEP モードでは値を変更できません。CH_RESET モードまたはCH_HALT モード時に変更してください。

設定値に関する詳細は、「33.4.1.2 ビットタイミング」を参照してください。

BRP[9:0] ビット (ビットレートプリスケアラ設定ビット)

CAN 通信の基準となる 1 Tq (Time Quantum) の周期を定義するために使用します。GCFG.DLLCS ビットで選択したデータリンク層動作クロック (DLL クロック) に対する分周比を設定してください。設定値を n とすると、 $n + 1$ 分周になります。

SJW[6:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization Jump Width) を Tq 値で指定します。1 ~ 128 Tq の値が設定可能です。TSEG2[6:0] ビット以下の値を設定してください。

TSEG1[7:0] ビット (タイムセグメント 1 制御ビット)

PROP_SEG (Propagation Time Segment) と PHASE_SEG1 (Phase Buffer Segment 1) の合計値 (TSEG1) を Tq 値で設定します。2 ~ 256 Tq の値が設定可能です。

TSEG2[6:0] ビット (タイムセグメント 2 制御ビット)

PHASE_SEG2 (Phase Buffer Segment 2) の値 (TSEG2) を Tq 値で設定します。2 ~ 128 Tq の値が設定可能です。TSEG1[7:0] ビットより小さな値を設定してください。

33.2.2 チャネル制御レジスタ (CHCR)

アドレス CANFD0.CHCR 000A 8004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ROME	BFT	—	—	—	CTMS[1:0]	CTME	EDM	BOM[1:0]	—	TDCVIE	SCOVIE	ECOVIE	TAIE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	SLPRQ	MDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MDC[1:0]	チャネルモード制御ビット	b1 b0 0 0 : CH_OPERATIONモードへの遷移を要求 0 1 : CH_RESETモードへの遷移を要求 1 0 : CH_HALTモードへの遷移を要求 1 1 : 現在のモードを維持	R/W
b2	SLPRQ	CH_SLEEPモード要求ビット	0 : CH_SLEEPモードの解除を要求 1 : CH_SLEEPモードへの遷移を要求	R/W
b3	RTBO	バスオフ強制復帰ビット (注1)	0 : バスオフから強制復帰させない 1 : バスオフから強制復帰させる	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BEIE	バスエラー割り込み許可ビット (注2)	0 : バスエラー割り込み禁止 1 : バスエラー割り込み許可	R/W
b9	EWIE	エラーワーニング割り込み許可ビット (注2)	0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可	R/W
b10	EPIE	エラーパッシブ割り込み許可ビット (注2)	0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可	R/W
b11	BOEIE	バスオフ開始割り込み許可ビット (注2)	0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可	R/W
b12	BORIE	バスオフ復帰割り込み許可ビット (注2)	0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可	R/W
b13	OLIE	オーバロード割り込み許可ビット (注2)	0 : オーバロード割り込み禁止 1 : オーバロード割り込み許可	R/W
b14	BLIE	バスロック割り込み許可ビット (注2)	0 : バスロック割り込み禁止 1 : バスロック割り込み許可	R/W
b15	ALIE	アービトレーションロスト割り込み許可ビット (注2)	0 : アービトレーションロスト割り込み禁止 1 : アービトレーションロスト割り込み許可	R/W
b16	TAIE	送信アボート割り込み許可ビット (注2)	0 : 送信アボート割り込み禁止 1 : 送信アボート割り込み許可	R/W
b17	ECOVIE	エラー発生カウンタオーバフロー割り込み許可ビット (注2)	0 : エラー発生カウンタオーバフロー割り込み禁止 1 : エラー発生カウンタオーバフロー割り込み許可	R/W
b18	SCOVIE	成功発生カウンタオーバフロー割り込み許可ビット (注2)	0 : 成功発生カウンタオーバフロー割り込み禁止 1 : 成功発生カウンタオーバフロー割り込み許可	R/W
b19	TDCVIE	トランシーバ遅延補償違反割り込み許可ビット (注2、注3)	0 : トランシーバ遅延補償違反割り込み禁止 1 : トランシーバ遅延補償違反割り込み許可	R/W
b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b21	BOM[1:0]	バスオフ復帰モード選択ビット (注2)	b22 b21 0 0: ノーマルモード (ISO 11898-1 準拠) 0 1: バスオフ開始時に自動的に CH_HALT モードに入ります。 1 0: バスオフ終了時に自動的に CH_HALT モードに入ります。 1 1: ソフトウェアにより CH_HALT モード (バスオフリカバリ期間中) に入ります。	R/W
b23	EDM	エラー表示モード選択ビット (注4)	0: 最初に検出されたエラーのみ表示 1: 検出されたすべてのエラーを表示	R/W
b24	CTME	チャンネルテストモード許可ビット	0: チャンネルテストモード無効 1: チャンネルテストモード有効	R/W
b26-b25	CTMS[1:0]	チャンネルテストモード選択ビット (注5)	b26 b25 0 0: 基本テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード0 (外部ループバックモード) 1 1: セルフテストモード1 (内部ループバックモード)	R/W
b29-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	BFT	ビットフリップテストビット (注5)	0: 受信データストリームの最初のビットを反転しない 1: 受信データストリームの最初のビットを反転する	R/W
b31	ROME	制限付き動作モード許可ビット (注3、注5)	0: 制限付き動作モード無効 1: 制限付き動作モード有効	R/W

- 注1. CH_OPERATION モード時に設定してください。
注2. CH_RESET モード時に変更してください。
注3. Classic Only モードでは“1”にしないでください。
注4. CH_RESET モード、CH_HALT モード時に設定してください。
注5. CH_HALT モード時に設定してください。

チャンネル制御レジスタは、対応するチャンネルのモードを制御します。CAN バス上でエラーが検出された場合の割り込み生成を許可するためや、テストモードを設定するためにも使用されます。

MDC[1:0] ビット (チャンネルモード制御ビット)

MDC[1:0] ビットは、CAN チャンネルのモードを指定するために使用します。CAN のモード遷移については、「33.3.2 チャンネルモード」を参照してください。

CH_SLEEP モードでは値を変更できません。また、CANFD モジュールが GL_HALT モードの場合、“10b” (CH_HALT モード) または “01b” (CH_RESET モード) にしか設定できません。

CHCR.BOM[1:0] ビットの設定により CH_HALT モードに移行したときは、このビットは自動的に “10b” になります。このビットへの書き込みと、CH_HALT モードへの遷移 (BOM[1:0] ビット = 01b の場合はバスオフ開始時、BOM[1:0] ビット = 10b の場合はバスオフ終了時) が同時に起こった場合、CPU からの書き込みが優先されます。このビットの値が自動的に更新されるのは、このビットが “00b” (CH_OPERATION モード) のときに上記の事象が発生した場合のみです。

SLPRQ ビット (CH_SLEEP モード要求ビット)

CH_SLEEP モードへの遷移、CH_SLEEP モードからの復帰を制御するビットです。

CH_RESET モード時にこのビットを “1” にすると、CH_SLEEP モードに遷移します。CH_SLEEP モード時にこのビットを “0” にすると、CH_RESET モードに遷移します。その他のモードでは、値を変更できません。

RTBO ビット (バスオフ強制復帰ビット)

バスオフ状態から強制的に復帰させるために使用します。CHCR.BOM[1:0] ビットが “00b” のときのみ使用してください。

このビットは、“1” にした後、自動的に “0” に戻ります。読んだ場合、“0” が読めます。

バスオフ時にこのビットを“1”にすると、1ビットタイム以内にバスオフ状態から統合状態(Integrating state)に遷移します。また、CHSR.REC[7:0]ビット、TEC[7:0]ビットが“00h”になり、BOSTフラグが“0”になります。これ以外のレジスタ、ビットは変化しません。また、割り込みが許可されていても、バスオフ復帰割り込みは発生しません。

バスオフ時以外にこのビットを“1”にしても何も起こりません。

BEIE ビット (バスエラー割り込み許可ビット)

このビットが“1”のときに CHSR.BEDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み許可ビット)

このビットが“1”のときに CHSR.EWDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

EPIE ビット (エラーパッシブ割り込み許可ビット)

このビットが“1”のときに CHSR.EPDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可ビット)

このビットが“1”のときに CHSR.BOEDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可ビット)

このビットが“1”のときに CHSR.BORDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

OLIE ビット (オーバロード割り込み許可ビット)

このビットが“1”のときに CHSR.OLDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

BLIE ビット (バスロック割り込み許可ビット)

このビットが“1”のときに CHSR.BLDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

ALIE ビット (アービトラクションロスト割り込み許可ビット)

このビットが“1”のときに CHSR.ALDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

TAIE ビット (送信アボート割り込み許可ビット)

このビットが“1”のときに、送信メッセージバッファからの送信が正常に中断されると、チャンネル送信割り込み要求が発生します。

ECOVIE ビット (エラー発生カウンタオーバフロー割り込み許可ビット)

このビットが“1”のときに FDSTS.ECOV フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

SCOVIE ビット (成功発生カウンタオーバフロー割り込み許可ビット)

このビットが“1”のときに FDSTS.SCOV フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

TDCVIE ビット (トランシーバ遅延補償違反割り込み許可ビット)

このビットが“1”のときに FDSTS.TDCVVF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。Classic Only モードでは“1”にしないでください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

バスオフ状態からの復帰タイミングを制御します。

EDM ビット (エラー表示モード選択ビット)

CHESR レジスタのエラーフラグ (b14 ~ b8) の表示モードを制御します。

このビットが“0”の場合、最初に検出されたエラーに対応するフラグのみ“1”になります。同時に複数のエラーが検出された場合は、該当するすべてのフラグが“1”になります。b14 ~ b8 のフラグがすべてクリアされるまで、それ以外のフラグは“1”になりません。

このビットが“1”の場合、エラーを検出するごとにエラーフラグが更新されます。

CTME ビット (チャンネルテストモード許可ビット)

テストモードを有効にするビットです。

CH_SLEEP モードでは値を変更できません。CH_HALT モード時にのみ書き込み可能です。CH_RESET モードに遷移すると、このビットは“0”になります。

CTMS[1:0] ビット (チャンネルテストモード選択ビット)

テストモードを選択するビットです。

CH_SLEEP モード、CH_RESET モードでは値を変更できません。CH_RESET モードに遷移すると、このビットは“0”になります。

BFT ビット (ビットフリップテストビット)

プロトコルコントローラ内部の CRC 生成回路をチェックするために使用します。

このビットを“1”にすると、受信中のメッセージデータストリームの最初のビット (ID ビット) を反転させ、内部で生成された CRC の結果が受信した CRC 値と一致しないようにします。なお、ビット反転の結果、CRC エラーではなくスタッフエラーを検出する可能性があるため、この機能を使用する場合はビットスタッフィングルールも参照してください。

内部で生成された CRC 値は、以下のビットで確認できます。

CHESR.CRC15[14:0] ビット (Classical CAN フレーム)

FDCRC.CRC21[20:0] ビット (CAN FD フレーム)

BFT ビットを使用する場合、他の CAN ノードに基準となるメッセージを送信してもらう必要があります。

注. 送信モードと受信モードで同じ CRC 生成回路を共有しているため、送信モードの CRC エラーを個別にテストする必要はありません。

ビットフリップテストモードは、BFT ビットと CTME ビットが両方とも“1”で CTMS[1:0] ビットが“00b” (基本テストモード) の場合に有効になります。

送信ノードでこの機能を使用した場合、ビットエラーまたはアービトレーションロストが発生します。

CH_RESET モードに遷移すると、このビットは“0”になります。

ROME ビット (制限付き動作モード許可ビット)

ROME ビットと CTME ビットが共に “1” のとき、制限付き動作モードが有効になります。このモードは基本テストモード (CTMS[1:0] ビット = 00b) でのみ使用してください。また、Classic Only モードでは “1” にしないでください。

CH_RESET モードに遷移すると、このビットは “0” になります。

33.2.3 チャネルステータスレジスタ (CHSR)

アドレス CANFD0.CHSR 000A 8008h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	RESI	CRDY	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSTST	CH_RESETステータスフラグ	0: CH_RESETモード中ではない 1: CH_RESETモード中	R
b1	HLTST	CH_HALTステータスフラグ	0: CH_HALTモード中ではない 1: CH_HALTモード中	R
b2	SLPST	CH_SLEEPステータスフラグ	0: CH_SLEEPモード中ではない 1: CH_SLEEPモード中	R
b3	EPST	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b4	BOST	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b5	TRMST	送信ステータスフラグ	0: 送信中ではない 1: 送信中	R
b6	RECST	受信ステータスフラグ	0: 受信中ではない 1: 受信中	R
b7	CRDY	通信可能フラグ	0: 通信の準備ができていない 1: 通信の準備ができています	R
b8	RESI	受信ESIフラグ (注1)	0: ESIフラグが“1”になっているメッセージを1つも受信していない 1: ESIフラグが“1”になっているメッセージを1つ以上受信	R/(W) (注2)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	REC[7:0]	受信エラーカウンタビット	受信時のCANチャネルのエラー状態に応じて、カウンタの値をインクリメントまたはデクリメントします。	R
b31-b24	TEC[7:0]	送信エラーカウンタビット	送信時のCANチャネルのエラー状態に応じて、カウンタの値をインクリメントまたはデクリメントします。	R

注1. CH_OPERATIONモード、CH_HALTモード時のみ“0”にできます。

注2. “1”を書いてもフラグの値は変化しません。“0”を書くくとフラグの値は“0”になります。

CHSR レジスタは、チャネルのモード、エラー状態、送信または受信の状態を、その受信および送信エラーカウンタ値とともに表示します。

RSTST フラグ (CH_RESET ステータスフラグ)

RSTST フラグは、CAN チャネルが CH_RESET モードにあるかどうかを示します。

このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に“1”になり、CAN チャネルが CH_RESET モードから抜けると自動的に“0”になります。ただし、CH_RESET モードから CH_SLEEP モードに遷移した場合、RSTST フラグは“1”のままになります。

HLTST フラグ (CH_HALT ステータスフラグ)

HLTST フラグは、CAN チャンネルが CH_HALT モードであるかどうかを示します。

このフラグは、CAN チャンネルが CH_HALT モードに入ると自動的に“1”になり、CAN チャンネルが CH_HALT モードを抜けると自動的に“0”になります。

SLPST フラグ (CH_SLEEP ステータスフラグ)

SLPST フラグは、CAN チャンネルが CH_SLEEP モードであるかどうかを示します。

このフラグは、CAN チャンネルが CH_SLEEP モードに入ると自動的に“1”になり、CAN チャンネルが CH_SLEEP モードを抜けると自動的に“0”になります。

EPST フラグ (エラーパッシブステータスフラグ)

EPST フラグは、CAN チャンネルがエラーパッシブ状態になったかどうかを示します。

このフラグは、REC[7:0] ビットまたは TEC[7:0] ビットの値が 127 を超えると自動的に“1”になります。

このフラグは、CAN チャンネルがエラーパッシブ状態を抜けるか、CH_RESET モードに入ると自動的に“0”になります。

BOST フラグ (バスオフステータスフラグ)

BOST フラグは、CAN チャンネルがバスオフ状態になったかどうかを示します。

このフラグは、TEC[7:0] ビットの値が 255 を超え、CAN チャンネルがバスオフ状態になると自動的に“1”になります。

このフラグは、CAN チャンネルがバスオフ状態を抜けると自動的に“0”になります。

TRMST フラグ (送信ステータスフラグ)

TRMST フラグは、CAN チャンネルがメッセージを送信しているかどうかを示します。

このフラグは、CAN チャンネルが送信ノードとして動作しているとき、またはバスオフ状態にあるときに自動的に“1”になり、CAN チャンネルがアイドル状態になるか、受信ノードとして動作を開始すると、自動的に“0”になります。

RECST フラグ (受信ステータスフラグ)

RECST フラグは、CAN チャンネルがメッセージを受信しているかどうかを示します。

このフラグは、CAN チャンネルが受信ノードとして動作している場合に自動的に“1”になり、CAN チャンネルがアイドル状態になるか、送信ノードとして動作を開始すると、自動的に“0”になります。

CRDY フラグ (通信可能フラグ)

CRDY フラグは、CAN チャンネルが通信可能かどうかを示します。

このフラグは、CAN チャンネルが CH_RESET モードまたは CH_HALT モードを抜けた後、11 個の連続したレセプビットを検出し、通信可能な状態になると自動的に“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードまたは CH_HALT モードになると、自動的に“0”になります。

注． バスオフ状態では、本フラグは“1”です。

RESI フラグ (受信 ESI フラグ)

RESI フラグは、受信したメッセージの ESI フラグがレセプであった場合に“1”になります。ループバックモードまたはミラーモードの場合、自身が送信したメッセージが受信メッセージとみなされます。

このフラグは、“0”を書くとクリアされます。このフラグは、CAN チャンネルが CH_RESET モードに入ると自動的に“0”になります。このフラグをクリアすると同時に CAN チャンネルから“1”に設定された場合、

このフラグは“1”になります。

このフラグをクリアする場合、ビットクリア命令を使用しないでください。MOV 命令を使用して、このフラグのみ“0”、その他のフラグを“1”にして 32 ビット単位で書いてください。

REC[7:0] ビット (受信エラーカウントビット)

REC[7:0] ビットは、受信エラーカウンタの値を表示します。

バスオフ状態での値は不定です。

このビットは、CANFD モジュールが GL_RESET モードに入るか、CAN チャンネルが CH_RESET モードになると自動的に“00h”になります。

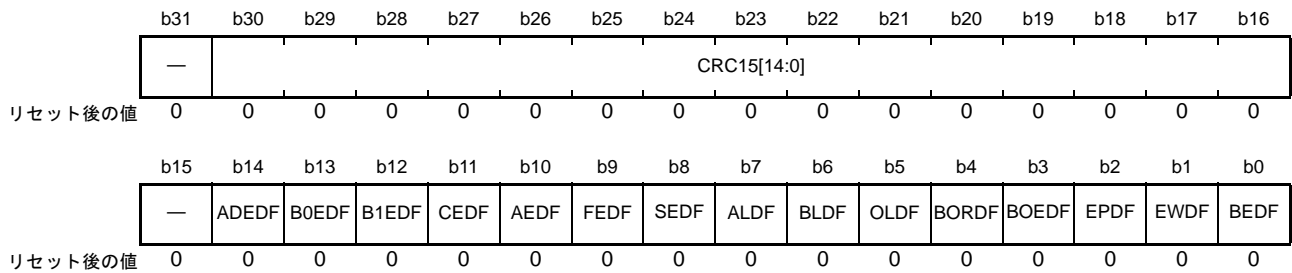
TEC[7:0] ビット (送信エラーカウントビット)

TEC[7:0] ビットは、送信エラーカウンタの値を表示します。

このビットは、CANFD モジュールが GL_RESET モードに入るか、CAN チャンネルが CH_RESET モードになると自動的に“00h”になります。

33.2.4 チャネルエラーステータスレジスタ (CHESR)

アドレス CANFD0.CHESR 000A 800Ch



ビット	シンボル	ビット名	機能	R/W
b0	BEDF	バスエラー検出フラグ (注1)	0: バスエラー未検出 1: バスエラー検出	R/(W) (注2)
b1	EWDF	エラーワーニング検出フラグ (注1)	0: エラーワーニング未検出 1: エラーワーニング検出	R/(W) (注2)
b2	EPDF	エラーパッシブ検出フラグ (注1)	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/(W) (注2)
b3	BOEDF	バスオフ開始検出フラグ (注1)	0: バスオフ開始未検出 1: バスオフ開始検出	R/(W) (注2)
b4	BORDF	バスオフ復帰検出フラグ (注1)	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/(W) (注2)
b5	OLDF	オーバロード検出フラグ (注1)	0: オーバロード未検出 1: オーバロード検出	R/(W) (注2)
b6	BLDF	バスロック検出フラグ (注1)	0: バスロック未検出 1: バスロック検出	R/(W) (注2)
b7	ALDF	アービトレーションロスト検出フラグ (注1)	0: アービトレーションロスト未検出 1: アービトレーションロスト検出	R/(W) (注2)
b8	SEDF	スタッフエラー検出フラグ (注1)	0: スタッフエラー未検出 1: スタッフエラー検出	R/(W) (注2)
b9	FEDF	フォームエラー検出フラグ (注1)	0: フォームエラー未検出 1: フォームエラー検出	R/(W) (注2)
b10	AEDF	アクノリッジエラー検出フラグ (注1)	0: アクノリッジエラー未検出 1: アクノリッジエラー検出	R/(W) (注2)
b11	CEDF	CRCエラー検出フラグ (注1)	0: CRCエラー未検出 1: CRCエラー検出	R/(W) (注2)
b12	B1EDF	ビット1エラー検出フラグ (注1)	0: ビット1エラー未検出 1: ビット1エラー検出	R/(W) (注2)
b13	B0EDF	ビット0エラー検出フラグ (注1)	0: ビット0エラー未検出 1: ビット0エラー検出	R/(W) (注2)
b14	ADEDF	ACKデリミタエラー検出フラグ (注1)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/(W) (注2)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b16	CRC15[14:0]	CRC_15テストビット	これらのビットは、CAN2.0のCANフレーム用に計算されたCRC_15値を示します。	R
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CH_OPERATIONモード、CH_HALTモード時のみ“0”にできます。

注2. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

CHESR レジスタは、チャネル制御レジスタ (CHCR) での割り込み許可 / 禁止の設定に関わらず、検出可能な各種エラーの状態を示します。また、CAN チャネルで検出可能な各種バスエラーの状態を示します。各

エラーの発生条件については、CAN仕様(ISO 11898-1)を参照してください。

一度にクリアできるのは1ビットのみです。ビットクリア命令を使用してフラグをクリアしないでください。MOV命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして32ビット単位で書いてください。

BEDF フラグ (バスエラー検出フラグ)

BEDFフラグは、このレジスタのb14～b8のいずれかのエラーが検出されたことを示します。

このフラグはバスエラーが検出されると自動的に“1”になり、CANチャンネルがCH_RESETモードになると自動的に“0”になります。

書き込みアクセスによるクリアと同時にCANチャンネルからのセットが発生した場合、本フラグは“1”になります。

EWDF フラグ (エラーワーニング検出フラグ)

EWDFフラグは、CANチャンネルのエラーワーニング状態が検出されたかどうかを示します。

このフラグは、CHSR.TEC[7:0]ビットまたはCHSR.REC[7:0]ビットのいずれかが95を超えると自動的に“1”になります。

本フラグは、TEC[7:0]ビットまたはREC[7:0]ビットが最初に95を超えた場合にのみ“1”になります。したがって、TEC[7:0]ビットまたはREC[7:0]ビットが95を超えたままでソフトウェアによってEWDFフラグがクリアされた場合、TEC[7:0]ビットとREC[7:0]ビットの両方が96を下回り、TEC[7:0]ビットまたはREC[7:0]ビットのいずれかが95以下の値から95を超えた値に再びクロスオーバーするまで、再び“1”になることはありません。

セット条件とクリア条件が同時に発生した場合は、フラグが“1”になります。本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。

EPDF フラグ (エラーパッシブ検出フラグ)

EPDFフラグは、CANチャンネルのエラーパッシブ状態の検出を示します。

CANエラー状態がエラーパッシブ状態になると自動的に“1”になります。

本フラグは、CHSR.TEC[7:0]ビットまたはCHSR.REC[7:0]ビットが最初に127を超えた場合にのみ“1”になります。したがって、TEC[7:0]ビットまたはREC[7:0]ビットが127を超えたままでソフトウェアによってフラグがクリアされた場合、TEC[7:0]ビットとREC[7:0]ビットの両方が128を下回り、TEC[7:0]ビットまたはREC[7:0]ビットのいずれかが再び127以下の値から127を超える値にクロスオーバーするまで、再び“1”になることはありません。

セット条件とクリア条件が同時に発生した場合は、フラグが“1”になります。本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。

BOEDF フラグ (バスオフ開始検出フラグ)

BOEDFフラグは、CANチャンネルのバスオフ開始状態の検出を示します。

CANエラー状態がバスオフ状態になると自動的に“1”になります。

本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。クリアと同時にセット条件が発生した場合は、フラグは“1”になります。

BORDF フラグ (バスオフ復帰検出フラグ)

BORDFフラグは、CANチャンネルのバスオフ復帰状態を検出したことを示します。

以下の条件でCANチャンネルがバスオフ状態から復帰した場合、本フラグは自動的に“1”になります。

- CHCR.BOM[1:0]が“00b”で通常復帰(11個の連続レセプティブビットを128回検出)した場合

- CHCR.BOM[1:0]が“10b”で通常復帰(11個の連続レセシブビットを128回検出)した場合
 - CHCR.BOM[1:0]が“11b”で通常復帰(11個の連続レセシブビットを128回検出)した場合以下の条件でCANチャンネルがバスオフ状態から復帰した場合、本フラグは“1”になりません。
 - CH_RESETモードが要求された場合
 - CHCR.RTBOを“1”にした場合(CANチャンネルはエラーアクティブに戻ります)
 - CHCR.BOM[1:0]が“01b”の場合
 - CHCR.BOM[1:0]が“11b”で、CANチャンネルがバスオフ状態終了に達する前にCH_HALTモードへの遷移が要求されたとき
- 本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。クリアと同時にセット条件が発生した場合、フラグは“1”になります。

OLDF フラグ(オーバロード検出フラグ)

OLDFフラグは、CANチャンネルのオーバロード状態を検出したことを示します。

本フラグはオーバロード状態を検出すると自動的に“1”になります。クリア状態と同時にセット状態が発生した場合、フラグは“1”になります。

本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。

BLDF フラグ(バスロック検出フラグ)

BLDFフラグは、CANチャンネルのバスロック状態を検出したことを示します。

本フラグは、CANチャンネルが動作モードのときに、CANバス上に32ビット連続してドミナントビットが検出された場合に自動的に“1”になります。

セット条件とクリア条件が同時に発生した場合は、フラグは“1”になります。本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。

ALDF フラグ(アービトレーションロスト検出フラグ)

ALDFフラグは、CANチャンネルバスでアービトレーションロストを検出したことを示します。

CANチャンネルが動作モードのときに、CANバス上でアービトレーションロストが検出された場合に自動的に“1”になります。

セット条件とクリア条件が同時に発生した場合は、フラグは“1”になります。本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。

SEDF フラグ(スタッフエラー検出フラグ)

SEDFフラグは、スタッフエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグはスタッフエラーが検出された場合に自動的に“1”になります。CHCR.EDMビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。CHCR.EDMビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESRレジスタのエラーフラグ(b14～b8)のうち一つでもビットがすでに“1”の場合、本フラグは“0”になります。CHESRレジスタのエラーフラグ(b14～b8)が“0000000b”の場合は、本フラグが“1”になります。

FEDF フラグ(フォームエラー検出フラグ)

FEDFフラグは、フォームエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください

い。

本フラグはフォームエラー検出時に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CANチャネルがCH_RESETモードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESRレジスタのエラーフラグ(b14～b8)のうち一つでもビットがすでに“1”の場合、本フラグは“0”になります。CHESRレジスタのエラーフラグ(b14～b8)が“0000000b”の場合は、本フラグが“1”になります。

AEDF フラグ (アクノリッジエラー検出フラグ)

AEDFフラグは、アクノリッジエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、アクノリッジエラーが検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CANチャネルがCH_RESETモードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESRレジスタのエラーフラグ(b14～b8)のうち1ビットでも“1”であった場合、本フラグは“0”になります。CHESRレジスタのエラーフラグ(b14～b8)が“0000000b”の場合は、本フラグが“1”になります。

CEDF フラグ (CRC エラー検出フラグ)

CEDFフラグは、CRCエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、CRCエラーが検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CANチャネルがCH_RESETモードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESRレジスタのエラーフラグ(b14～b8)のうち1ビットでも“1”であった場合、本フラグは“0”になります。CHESRレジスタのエラーフラグ(b14～b8)が“0000000b”の場合は、本フラグが“1”になります。

B1EDF フラグ (ビット1エラー検出フラグ)

B1EDFフラグは、レセシブビットエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、レセシブビットエラー(期待されたレセシブビットがドミナントビットとしてサンプリングされた)が検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CANチャネルがCH_RESETモードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESRレジスタのエラーフラグ(b14～b8)のうち1ビットでも“1”であった場合、本フラグは“0”になります。CHESRレジスタのエラーフラグ(b14～b8)が“0000000b”の場合は、本フラグが“1”になります。

B0EDF フラグ (ビット0エラー検出フラグ)

B0EDFフラグは、ドミナントビットエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、ドミナントビットエラー（期待されたドミナントビットがレセプティブビットとしてサンプリングされた）が検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ~ b8) のうち 1 ビットでも“1”であった場合、本フラグは“0”になります。CHESR レジスタのエラーフラグ (b14 ~ b8) が“0000000b”の場合は、本フラグが“1”になります。

ADEDG フラグ (ACK デリミタエラー検出フラグ)

ADEDG フラグは、アクノリッジデリミタビットエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、フレーム送信のアクノリッジデリミタ状態でフォームエラーが検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ~ b8) のうち 1 ビットでも“1”であった場合、本フラグは“0”になります。CHESR レジスタのエラーフラグ (b14 ~ b8) が“0000000b”の場合は、本フラグが“1”になります。

CRC15[14:0] ビット (CRC_15 テストビット)

CHCR.CTME ビットが“1”（チャンネルテストモード）の場合、計算された CRC_15 値がこのビットから読み出せます。CHCR.CTME ビットが“0”の場合、このビットは常に“0000h”として読み出されます。

読み出せる CRC_15 値は、CAN チャンネルロジックによって計算された CAN2.0 の CRC 値を示します。

CRC15[14:0] ビットの値は、Classical CAN フレームの CRC フィールドの最初のビットで更新されます。

このビットは、CAN チャンネルが CH_RESET モードのときに自動的に“0000h”になります。

33.2.5 データビットレート設定レジスタ (DBCR)

アドレス CANFD0.DBCR 000A 8100h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	SJW[3:0]				—	—	—	—	TSEG2[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TSEG1[4:0]				BRP[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	BRP[7:0]	ビットレートプリスケアラ設定ビット	00h : 分周なし 01h : 2分周 : : FEh : 255分周 FFh : 256分周	R/W
b12-b8	TSEG1[4:0]	タイムセグメント1制御ビット	00h : 設定禁止 01h : 2 Tq 02h : 3 Tq 03h : 4 Tq : : 1Eh : 31 Tq 1Fh : 32 Tq	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b19-b16	TSEG2[3:0]	タイムセグメント2制御ビット	0h : 設定禁止 1h : 2 Tq : : Eh : 15 Tq Fh : 16 Tq	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	SJW[3:0]	再同期ジャンプ幅制御ビット	0h : 1 Tq 1h : 2 Tq : : Fh : 16 Tq	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、CH_RESETモード、CH_HALTモード時に設定してください。

DBCR レジスタは、チャンネルの送受信データのビットレートパラメータを設定します。

Classic Only モードでは、このレジスタの設定を行う必要はありません。

BRP[7:0] ビット (ビットレートプリスケアラ設定ビット)

BRP[7:0] ビットは、1 Tq (Time Quantum) に含まれる DLL クロックの数を定義します。

TSEG1[4:0] ビット (タイムセグメント1制御ビット)

TSEG1[4:0] ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。2 ~ 32 Tq の値を設定することができます。

TSEG1[4:0] ビットは伝播時間セグメントを設定するのにも使用されます。

本ビットに上記以外の値は書き込まないでください。詳細は、「33.4.1.2 ビットタイミング」を参照してください。

TSEG2[3:0] ビット (タイムセグメント 2 制御ビット)

TSEG2[3:0] ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。2 ~ 16 Tq の値を設定することができます。

本ビットに上記以外の値は書き込まないでください。

SJW[3:0] ビット (再同期ジャンプ幅制御ビット)

SJW[3:0] ビットは再同期ジャンプ幅を設定します。1 ~ 16 Tq の値を設定することができます。

33.2.6 CAN FD 設定レジスタ (FDCFG)

アドレス CANFD0.FDCFG 000A 8104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CLOE	REFE	FDOE	—	—	—	—	TDCO[7:0]							
リセット後の値	0	0/1 (注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TESI	TDCE	SSPC	—	—	—	—	—	ECC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ECC[2:0]	エラー発生カウンタ設定ビット (注2)	b2 b0 0 0 0 : すべてのCAN送受信フレーム 0 0 1 : すべてのCAN送信フレーム 0 1 0 : すべてのCAN受信フレーム 0 1 1 : 設定禁止 1 0 0 : 送受信時のCAN FDデータフェーズのみ 1 0 1 : 送信時のCAN FDデータフェーズのみ 1 1 0 : 受信時のCAN FDデータフェーズのみ 1 1 1 : 設定禁止	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SSPC	第二サンプルポイント設定ビット (注2)	0 : 測定値+オフセット 1 : オフセットのみ	R/W
b9	TDCE	トランシーバ遅延補償許可ビット (注2)	0 : トランシーバ遅延補償禁止 1 : トランシーバ遅延補償許可	R/W
b10	TESI	送信ESI設定ビット (注2)	0 : 送信フレームのESIフラグには自ノードのエラー状態が反映されます 1 : 送信フレームのESIフラグには、自ノードがエラーパッシブでないときはメッセージバッファのESIビットの値が、自ノードがエラーパッシブ状態であるときは自ノードのエラー状態が反映されます	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	TDCO[7:0]	トランシーバ遅延補償オフセット設定ビット (注2)	トランシーバ遅延補償のためのオフセット値を設定します	R/W
b27-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	FDOE	FD Onlyモード許可ビット (注3)	0 : FD onlyモード禁止 1 : FD onlyモード許可	R/W
b29	REFE	受信エッジフィルタ許可ビット (注3)	0 : 受信エッジフィルタ無効 1 : 受信エッジフィルタ有効	R/W
b30	CLOE	Classic Onlyモード許可ビット (注3、注4)	0 : Classic Onlyモード禁止 1 : Classic Onlyモード許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CAN FDプロトコル対応製品では“0”、CAN 2.0プロトコルにのみ対応している製品では“1”です。

注2. CH_RESETモード、CH_HALTモード時に設定してください。

注3. CH_RESETモード時に設定してください。

注4. CAN FDプロトコル対応製品のみ書き込み可能なビットです。CAN 2.0プロトコルにのみ対応している製品の場合、このビットは“1”固定の予約ビットです。

FDCFG レジスタは、どの通信方向 (送信 / 受信) のエラーをカウントするかを設定します。

ECC[2:0] ビット (エラー発生カウンタ設定ビット)

ECC[2:0] ビットは、どのタイプの CAN フレームに対してプロトコルエラーをカウントするかを選択するビットです。

SSPC ビット (第二サンプルポイント設定ビット)

SSPC ビットは、CAN チャネルの第二サンプルポイント (SSP) の位置を定義する際に使用するオフセットを選択します。本ビットが“0”の場合、SSP の位置は、測定されたトランシーバ遅延に固定オフセットを加えたものになります。本ビットが“1”の場合、SSP の位置はオフセットによってのみ定義されます。

Classic Only モードでは、本ビットを“1”にしないでください。

TDCE ビット (トランシーバ遅延補償許可ビット)

TDCE ビットは、CAN チャネルのトランシーバ遅延補償を有効にします。

Classic Only モードでは、本ビットを“1”に設定しないでください。

TESI ビット (送信 ESI 設定ビット)

TESI ビットは、送信メッセージの ESI フラグに、自ノードのエラー状態を反映させるか、メッセージバッファの ESI ビット (CFB0.HF2.ESI ビットまたは TMBn.HF2.ESI ビット) の値を反映させるかを選択します。

Classic Only モードでは、本ビットを“1”に設定しないでください。

TDCO[7:0] ビット (トランシーバ遅延補償オフセット設定ビット)

TDCO[7:0] ビットは第二サンプルポイントのオフセットを設定します。この値がどのように使用されるかは、SSPC ビットの設定に依存します。

SSPC ビットが“0”の場合、トランシーバ遅延補償結果は、Trv_Delay(測定された遅延) + TDCO[7:0] ビット (T_q の最も近い整数に切り捨て) です。SSPC ビットが“1”の場合、結果は TDCO[7:0] ビットの値と等しくなります。詳細については、「33.4.1.5 トランシーバ遅延補償」を参照してください。

実際のオフセット値は TDCO[7:0] ビット + 1 と判断されます。例えば TDCO[7:0] ビットに 4 を設定した場合、オフセットは 5 クロックサイクルとなります。クロックサイクルは CAN チャネル DLL クロックの 1 サイクルです。

Classic Only モードでは、本ビットを設定しないでください。

FDOE ビット (FD Only モード許可ビット)

FDOE ビットは、CAN FD フレームのみの送受信を有効にします。有効にすると、Classical CAN フレームフォーマットでの通信はできなくなります。Classical CAN フレームの送信はできませんので、メッセージバッファの FDF ビット (CFB0.HF2.FDF ビット、TMBn.HF2.FDF ビット) の値は任意です。

Classical CAN フレームフォーマットのメッセージを受信した場合、プロトコルコントローラは無効なフレームとして扱い、エラーフレームで応答します。Classical CAN フレームが送信用に設定されている場合、FDF ビットはレセシブとして送信されるため、CAN FD フレームが送信されます。データ長コード (DLC) が 9 バイト以上に設定されている場合、残りのデータバイトは“CCh”でパディングされます。

FDOE ビットと CLOE ビットを同時に“1”に設定しないでください。

REFE ビット (受信エッジフィルタ許可ビット)

REFE ビットは、統合状態 (Integrating state) 中の受信エッジフィルタを有効にします。本ビットを“1”にした場合、ハード同期のためのエッジを検出するには、 $2 T_q$ 以上の連続したドミナントが必要です。

Classic only モードでは、このビットを“1”に設定しないでください。

CLOE ビット (Classic Only モード許可ビット)

CLOE ビットは、Classic only モードを有効にします。このビットが“1”の場合、プロトコルコントローラは Classical CAN フレームのみを送信し、CAN FD フレームに対してはフォーマットエラーまたは CRC エラーで応答します。

CLOE ビットと FDOE ビットを同時に“1”にしないでください。

表33.3 動作モードの変更

CLOEビット	FDOEビット	動作モード
0	0	CAN FDモード
0	1	FD onlyモード
1	0	Classic onlyモード
1	1	設定しないでください

33.2.7 CAN FD 制御レジスタ (FDCTR)

アドレス CANFD0.FDCTR 000A 8108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SCCL	ECCL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECCL	エラー発生カウンタクリアビット	このビットを“1”にすると、エラー発生カウンタがクリアされます。読むと“0”が読めます	R/W
b1	SCCL	成功発生カウンタクリアビット	このビットを“1”にすると、成功発生カウンタがクリアされます。読むと“0”が読めます	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FDCTR レジスタは、エラー発生カウンタと成功発生カウンタを制御します。

ECCL ビット (エラー発生カウンタクリアビット)

ECCL ビットは、エラー発生カウンタをクリアするために使用します。

CH_SLEEP モードまたは CH_RESET モードでは、値を変更できません。

このビットは、自動的に“0”になります。また、CAN チャンネルが CH_RESET モードに入ったときも“0”になります。

SCCL ビット (成功発生カウンタクリアビット)

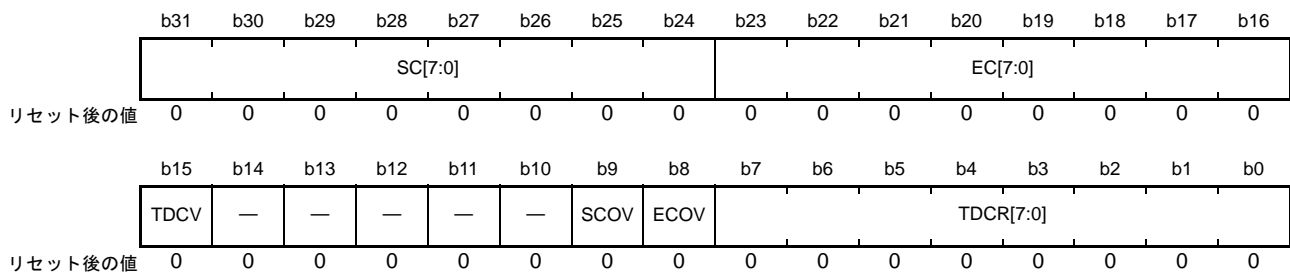
SCCL ビットは、成功発生カウンタをクリアするために使用します。

CH_SLEEP モード、CH_RESET モードでは、値を変更できません。

このビットは、自動的に“0”になります。また、CAN チャンネルが CH_RESET モードに入ったときも“0”になります。

33.2.8 CAN FD ステータスレジスタ (FDSTS)

アドレス CANFD0.FDSTS 000A 810Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	TDCR[7:0]	トランシーバ遅延補償結果ビット	トランシーバの遅延量が測定されたときに、遅延補償の結果を示します。	R
b8	ECOV	エラー発生カウンタオーバーフローフラグ (注1)	0: エラー発生カウンタがオーバーフローしていない 1: エラー発生カウンタがオーバーフローした	R/(W) (注2)
b9	SCOV	成功発生カウンタオーバーフローフラグ (注1)	0: 成功発生カウンタがオーバーフローしていない 1: 成功発生カウンタがオーバーフローした	R/(W) (注2)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	TDCV	トランシーバ遅延補償違反フラグ (注1)	0: トランシーバ遅延補償違反が発生していない 1: トランシーバ遅延補償違反が発生した	R/(W) (注2)
b23-b16	EC[7:0]	エラー発生カウンタ	エラー発生カウンタの値を示します。	R
b31-b24	SC[7:0]	成功発生カウンタ	成功発生カウンタの値を示します。	R

注1. CH_OPERATIONモード、CH_HALTモード時のみ“0”にできます。

注2. “1”を書いてもフラグの値は変化しません。“0”を書くときフラグの値は“0”になります。

FDSTS レジスタは、トランシーバ遅延補償の結果とそれに関連する FIFO メッセージロスステータスを示します。

TDCR[7:0] ビット (トランシーバ遅延補償結果ビット)

TDCR[7:0] ビットは、トランシーバ遅延の測定が完了したときに設定されます。

測定された遅延量は、DLL クロックのサイクル数です。結果は、FDCFG.SSPC ビットの設定値と FDCFG.TDCO[7:0] ビットのオフセット値に依存します。詳細は、「33.4.1.5 トランシーバ遅延補償」を参照してください。

TDCR[7:0] ビットは、FDCFG.SSPC ビットが“0”で、FDCFG.TDCE ビットが“1”(トランシーバ遅延補償が有効)の場合、FDF ビットと res ビットの間で立ち下がりエッジで更新されます。

これらのビットは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

ECOV フラグ (エラー発生カウンタオーバーフローフラグ)

ECOV フラグは、CAN チャネルのエラー発生カウンタがオーバーフローしたかどうかを示します。

本フラグは、EC[7:0] ビットが“FFh”のときに、FDCFG.ECC[2:0] ビットで指定された CAN バスエラーが検出されると、“1”になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは“1”になります。

本フラグは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

SCOV フラグ (成功発生カウンタオーバーフローフラグ)

SCOV フラグは、CAN チャネル成功発生カウンタがオーバーフローしたかどうかを示します。

本フラグは、SC[7:0] ビットが“FFh”のときに、メッセージ受信またはメッセージ送信が成功すると、“1”になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは“1”になります。

本フラグは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

TDCV フラグ (トランシーバ遅延補償違反フラグ)

CANFD モジュールは、送信したデータを内部でビット単位でキャプチャしています。このデータが、トランシーバのループ遅延によって遅延している CAN バスから受信したレベルと比較されます。

トランシーバの遅延量は、温度などの物理パラメータに応じて多少の変動があります。TDCR[7:0] ビットはメッセージごとに更新されますが、一時的な最大遅延違反は見逃される場合があります。TDCV フラグはこの違反をキャプチャします。

このフラグは、トランシーバ遅延補償が最大遅延補償 (6 データビットタイム - 2 DLL クロック) よりも大きく、内部ビットがオーバーランした場合に“1”になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは“1”になります。

本フラグは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

EC[7:0] ビット (エラー発生カウンタ)

EC[7:0] ビットは、SC[7:0] ビットと共に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合に、ホスト制御により、アービトレーションビットレートと同じペイロードビットレートまでフォールバックするオプションをサポートします。

この高いエラー率は、FDCFG.ECC[2:0] ビットの設定によって検出させることができます。

EC[7:0] ビットは、CANFD モジュールのロジックによってのみ設定されます。これらのビットは、FDCTR.ECCL ビットに“1”を書き込むことでクリアされます。

これらのビットは、FDCFG.ECC[2:0] ビットの設定に従って、エラー発生時に更新されます。カウンタ値が“FFh”に達すると更新を停止します。

これらのビットは、CAN チャネルが CH_RESET モードになると自動的に“0”になります。

SC[7:0] ビット (成功発生カウンタ)

SC[7:0] ビットは、EC[7:0] ビットと共に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合に、ホスト制御により、アービトレーションビットレートと同じペイロードビットレートまでフォールバックするオプションをサポートします。

SC[7:0] ビットは、CANFD モジュールのロジックによってのみ設定されます。これらのビットは、FDCTR.SCCL ビットに“1”を書き込むことでクリアされます。

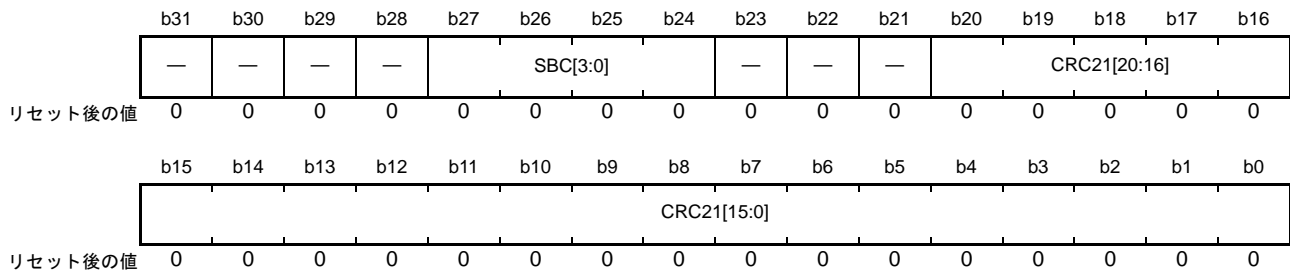
これらのビットは、送受信においてバス上にエラーのないメッセージの発生が検出されると更新されません。カウンタ値が“FFh”に達すると更新を停止します。

これらのビットは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

注. ループバックモードでは、カウンタは 2 回インクリメントされます。

33.2.9 CAN FD CRC レジスタ (FDCRC)

アドレス CANFD0.FDCRC 000A 8110h



ビット	シンボル	ビット名	機能	R/W
b20-b0	CRC21[20:0]	CRC_21テストビット	CAN FDフレームに対して計算されたCRC_17値またはCRC_21値を示します	R
b23-b21	—	予約ビット	読むと“0”が読めます	R
b27-b24	SBC[3:0]	スタッフビットカウンタ	CAN FDフレームのスタッフビット数(Mod 8)を示します	R
b31-b28	—	予約ビット	読むと“0”が読めます	R

FDCRC レジスタは、CAN FD フレームについて計算された CRC 値を保持します。

CRC21[20:0] ビット (CRC_21 テストビット)

CHCR.CTME ビットが“1”(チャンネルテストモード有効)の場合、計算されたCRC_17値またはCRC_21値がこのビットから読み出せます。

CHCR.CTME ビットが“0”の場合、CRC21[20:0] ビットからは“000000h”が読めます。

CRC21[20:0] ビットの値は、CAN FD フレームのCRCフィールドの最初のビットで更新されます。

CRC_17を使用する場合、CRC21[20:17] ビットからは“0”が読めます。

これらのビットは、CANチャンネルがCH_RESETモードになると自動的に“000000h”になります。

SBC[3:0] ビット (スタッフビットカウンタ)

SBC[3:0] ビットは、CAN FD フレームのスタッフカウント値を示します。CHCR.CTME ビットが“1”になっているとき、SBC[3:1] ビットにはCAN FD フレームに挿入されるスタッフビットの数(モジュロ8、グレイコード化)が、SBC[0] ビットにはそれに対するパリティが表示されます。

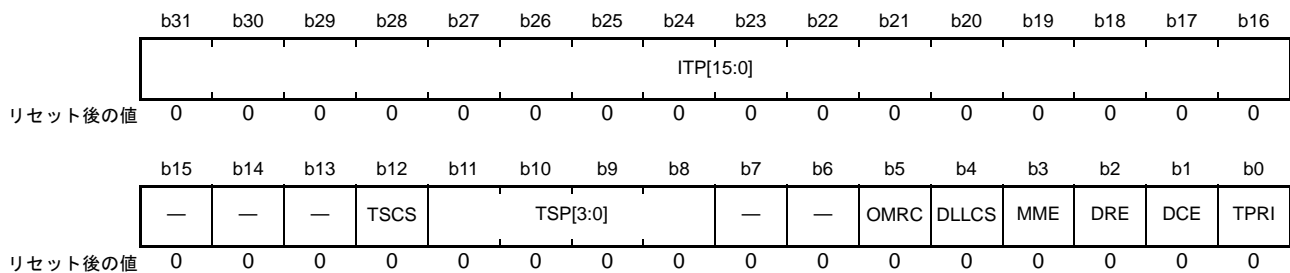
CHCR.CTME ビットが“0”の場合、SBC[3:0] ビットからは“0000b”が読めます。

SBC[3:0] ビットの値は、CAN FD フレームのCRCフィールドの最初のビットで更新されます。

これらのビットは、CANチャンネルがCH_RESETモードになると自動的に“0000b”になります。

33.2.10 グローバル設定レジスタ (GCFG)

アドレス CANFD.GCFG 000A 8014h



ビット	シンボル	ビット名	機能	R/W
b0	TPRI	送信優先順位設定ビット	0: ID優先 1: メッセージバッファ番号優先	R/W
b1	DCE	DLCチェック許可ビット	0: DLCチェック無効 1: DLCチェック有効	R/W
b2	DRE	DLC置換許可ビット	0: DLC置換無効 1: DLC置換有効	R/W
b3	MME	ミラーモード許可ビット	0: ミラーモード無効 1: ミラーモード有効	R/W
b4	DLLCS	DLLクロック選択ビット	0: CANFDCLK 1: CANFDMCLK	R/W
b5	OMRC	ペイロードオーバーフローメッセージ受信設定ビット	0: メッセージを破棄 1: メッセージのペイロードを指定したサイズにカット	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TSP[3:0]	タイムスタンプカウンタプリスケアラ設定ビット	b11 b8 0 0 0 0: 分周なし 0 0 0 1: 2分周 (= 2 ¹) 0 0 1 0: 4分周 (= 2 ²) 0 0 1 1: 8分周 (= 2 ³) : 1 1 0 1: 8192分周 (= 2 ¹³) 1 1 1 0: 16384分周 (= 2 ¹⁴) 1 1 1 1: 32768分周 (= 2 ¹⁵)	R/W
b12	TSCS	タイムスタンプカウンタソース選択ビット	0: タイムスタンプカウンタのカウンタソースは周辺モジュールクロック (PCLKB) 1: タイムスタンプカウンタのカウンタソースはビットタイムクロック	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	ITP[15:0]	インターバルタイマプリスケアラ設定ビット	FIFOインターバルタイマプリスケアラ値。周辺モジュールクロック (PCLKB)の分周値を設定します	R/W

GCFG レジスタは、すべての送信メッセージバッファに使用する送信優先順位と、CAN プロトコルエンジンのクロックソースを選択するのに使用されます。また、GCFG レジスタは、タイムスタンプクロックのカウンタソースを選択し、タイムスタンプクロックとインターバルタイマ基準クロックの周波数を設定するためにも使用されます。

TPRI ビット (送信優先順位設定ビット)

TPRI ビットは、CAN チャネルの送信優先順位を選択します。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

送信キューを使用する場合、メッセージバッファ番号優先にしないでください。

DCE ビット (DLC チェック許可ビット)

DCE ビットは、CAN チャンルのデータ長コード (DLC) チェックを有効にします。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

DRE ビット (DLC 置換許可ビット)

DRE ビットが“1”でDCEが“1”のとき、CANFDモジュールはDLCチェックにパスした場合、DLCの設定値 (AFLn.PTR0.DLC[3:0]) を受信メッセージの宛先バッファまたはFIFOバッファに格納します。それ以外の場合、受信メッセージの宛先バッファまたはFIFOバッファのDLC値は変更されません。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

MME ビット (ミラーモード許可ビット)

MME ビットは、CAN チャンルのミラーモードを有効にします。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

DLLCS ビット (DLL クロック選択ビット)

DLLCS ビットは、CAN 通信のクロックソースを選択します。

GL_SLEEP モードまたはGL_OPERATION モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

OMRC ビット (ペイロードオーバーフローメッセージ受信設定ビット)

OMRC ビットは、受信したペイロードがメッセージバッファのペイロードサイズ (RMCR.PLS[2:0] ビット、RFCRn.PLS[2:0] ビット、およびCFCR0.PLS[2:0] ビット) よりも大きい場合に、メッセージのペイロードを受け入れるメカニズムを制御します。受信したメッセージペイロードは、常にメッセージバッファ内の利用可能なメッセージペイロードサイズと比較されます。

GL_SLEEP モードまたはGL_OPERATION モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

本ビットが“1”のとき、ペイロードオーバーフローが発生すると、DLC 値は変更されずに受信メッセージバッファまたはFIFOバッファに格納されます。

TSP[3:0] ビット (タイムスタンプカウンタプリスケアラ設定ビット)

TSP[3:0] ビットで設定された値は、タイムスタンプカウンタに使用されるカウントソースの周期を定義します。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

TSCS ビット (タイムスタンプカウンタソース選択ビット)

TSCS ビットは、タイムスタンプカウンタのカウントソースを選択することができます。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。また、CAN FD 通信を使用する場合は、このビットを“1”にしないでください。

注. ビットタイムクロックは、公称ビットレートとデータビットレートの設定によって変化します。

ITP[15:0] ビット (インターバルタイマプリスケアラ設定ビット)

ITP[15:0] ビットでは、FIFO インターバルタイマのカウントソースの基準クロックを定義できます。

これらのビットが“0000h”の場合、タイマは無効になります。

GL_SLEEPモードでは、値を変更できません。本ビットへの書き込みは、GL_RESETモードでのみ行ってください。

33.2.11 グローバル制御レジスタ (GCR)

アドレス CANFD.GCR 000A 8018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSCR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	POIE	THLIE	MLIE	DEIE	—	—	—	—	—	SLPRQ	MDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MDC[1:0]	グローバルモード制御ビット	b1 b0 0 0 : GL_OPERATIONモードへの遷移を要求 0 1 : GL_RESETモードへの遷移を要求 1 0 : GL_HALTモードへの遷移を要求 1 1 : 現在のモードを維持	R/W
b2	SLPRQ	GL_SLEEPモード要求ビット	0 : GL_SLEEPの解除を要求 1 : GL_SLEEPへの遷移を要求	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DEIE	DLCエラー割り込み許可ビット	0 : DLCエラー割り込み禁止 1 : DLCエラー割り込み許可	R/W
b9	MLIE	メッセージロスト割り込み許可ビット	0 : メッセージロスト割り込み禁止 1 : メッセージロスト割り込み許可	R/W
b10	THLIE	送信履歴エントリロスト割り込み許可ビット	0 : 送信履歴エントリロスト割り込み禁止 1 : 送信履歴エントリロスト割り込み許可	R/W
b11	POIE	ペイロードオーバーフロー割り込み許可ビット	0 : ペイロードオーバーフロー割り込み禁止 1 : ペイロードオーバーフロー割り込み許可	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	TSCR	タイムスタンプカウンタリセットビット	このビットを“1”にすると、タイムスタンプカウンタがリセットされます。読むと“0”が読めます	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GCR レジスタは、CANFD モジュールのグローバルモードとタイムスタンプ機能を制御します。また、グローバルエラー割り込みの許可、禁止も行います。

MDC[1:0] ビット (グローバルモード制御ビット)

MDC[1:0] ビットは、CANFD モジュールのモードを指定するために使用します。CANFD モジュールのモード遷移については、「33.3.1 グローバルモード」を参照してください。

GL_SLEEP モードでは値を変更できません。

CANFD モジュールを GL_SLEEP モードに遷移させるときは、先にこのビットを“01b”にして GL_RESET モードに遷移させてから、GCR.SLPRQ ビットを“1”にしてください。

SLPRQ ビット (GL_SLEEP モード要求ビット)

SLPRQ ビットは、GL_SLEEP モードへの遷移、GL_SLEEP モードからの復帰を制御するビットです。

このビットを“1”にすると、CAN チャネルに対して CH_SLEEP モードへの遷移も要求されます。

GL_RESET モードまたは GL_SLEEP モードでのみ、このビットに書き込めます。

DEIE ビット (DLC エラー割り込み許可ビット)

DEIE ビットが“1”のとき、受信フレームにDLCエラーが検出されると割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

MLIE ビット (メッセージロスト割り込み許可ビット)

MLIE ビットが“1”のとき、メッセージロストが発生した場合に割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

THLIE ビット (送信履歴エントリロスト割り込み許可ビット)

THLIE ビットが“1”のとき、送信履歴エントリのロストが発生した場合に割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

POIE ビット (ペイロードオーバーフロー割り込み許可ビット)

POIE ビットが“1”のとき、メッセージのペイロードがオーバーフローしたときに割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

TSCR ビット (タイムスタンプカウンタリセットビット)

TSCR ビットが“1”のとき、タイムスタンプカウンタレジスタ (TSCR) は“00000000h”にリセットされます。

GL_SLEEP モードでは、値を変更できません。GL_RESET モードでは、本ビットへの書き込みを行わないでください。

このビットは自動的に“0”になります。

33.2.12 グローバルステータスレジスタ (GSR)

アドレス CANFD.GSR 000A 801Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	RAMST	SLPST	HLTST	RSTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSTST	GL_RESETステータスフラグ	0 : GL_RESETモードではない 1 : GL_RESETモード	R
b1	HLTST	GL_HALTステータスフラグ	0 : GL_HALTモードではない 1 : GL_HALTモード	R
b2	SLPST	GL_SLEEPステータスフラグ	0 : GL_SLEEPモードではない 1 : GL_SLEEPモード	R
b3	RAMST	RAM初期化ステータスフラグ	0 : RAM初期化完了 1 : RAM初期化中	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

GSR レジスタは、CANFD モジュールのグローバルステータスを示します。

RSTST フラグ (GL_RESET ステータスフラグ)

RSTST フラグは、CANFD モジュールの GL_RESET モードの状態を示します。

このフラグは、CANFD モジュールが GL_RESET モードに入ると自動的に“1”になります。GL_RESET モードから GL_SLEEP モードに遷移しても、本フラグは“1”のままです。GL_HALT モードまたは GL_OPERATION モードに遷移すると自動的に“0”になります。

HLTST フラグ (GL_HALT ステータスフラグ)

HLTST フラグは、CANFD モジュールの GL_HALT モードの状態を示します。

このフラグは、CANFD モジュールが GL_HALT モードに入ると自動的に“1”になります。GL_HALT モードを抜けると、自動的に“0”になります。

SLPST フラグ (GL_SLEEP ステータスフラグ)

SLPST フラグは、CANFD モジュールの GL_SLEEP モードの状態を示します。

本フラグは、CANFD モジュールが GL_SLEEP モードに入ると自動的に“1”になります。GL_SLEEP モードを抜けると、自動的に“0”になります。

RAMST フラグ (RAM 初期化ステータスフラグ)

RAMST フラグは、CANFD モジュールの RAM 初期化の状態を示します。

本フラグは、MCU のリセットを解除した後、GL_SLEEP モードになると自動的に“1”になります。RAM の初期化が完了すると、自動的に“0”になります。

33.2.13 グローバルエラーステータスレジスタ (GESR)

アドレス CANFD.GESR 000A 8020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PODF	THLDF	MLDF	DEDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DEDF	DLCエラー検出フラグ	0: DLCエラー未検出 1: DLCエラー検出	R/(W) (注1)
b1	MLDF	メッセージロスト検出フラグ	0: メッセージロスト未検出 1: メッセージロスト検出	R
b2	THLDF	送信履歴エントリロスト検出フラグ	0: 送信履歴エントリロスト未検出 1: 送信履歴エントリロスト検出	R
b3	PODF	ペイロードオーバーフロー検出フラグ	0: ペイロードオーバーフロー未検出 1: ペイロードオーバーフロー検出	R/(W) (注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	EEDF0	チャンネル0 ECCエラー検出フラグ	0: 送信スキャン中にECCエラー未検出 1: 送信スキャン中にECCエラー検出	R/(W) (注1)
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

GESR レジスタは、グローバルエラーの検出を示します。

DEDF フラグ (DLC エラー検出フラグ)

DEDF フラグは、データ長コード (DLC) のエラー状態を示します。

GL_SLEEP モードまたは GL_RESET モードでは、値を変更できません。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして32ビット単位で書いてください。

本フラグは、受信フレームでDLCエラーが検出された場合に自動的に“1”になります。

書き込みアクセスによるクリアとCANチャンネルからのセットが同時に発生した場合、本フラグは“1”になります。

本フラグは、“0”を書き込むことでクリアされます。GL_RESET モードでは自動的に“0”になります。

MLDF フラグ (メッセージロスト検出フラグ)

MLDF フラグは、メッセージロストエラーのステータスを示します。

このフラグは、FIFO メッセージロストエラーが検出されたときに自動的に“1”になります。

このフラグは、以下の場合に自動的に“0”になります。

- すべてのFIFOのメッセージロストフラグ (RFSRn.LOST, CFSR0.LOST) がクリアされた場合
- CANFD モジュールが GL_RESET モードの場合

THLDF フラグ (送信履歴エントリロスト検出フラグ)

THLDF フラグは、送信履歴エントリのロストエラーの状態を示します。

本フラグは、送信履歴エントリのロストエラーを検出した場合に自動的に“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 送信履歴ロストフラグ (THSR.LOST) がクリアされた場合
- CANFD モジュールが GL_RESET モードの場合

PODF フラグ (ペイロードオーバーフロー検出フラグ)

PODF フラグは、チャンネルでメッセージのペイロードオーバーフローが検出された場合、自動的に“1”になります。

GL_SLEEP モードまたは GL_RESET モードでは、値を変更できません。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合、本フラグは“1”になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

GL_RESET モードでは自動的に“0”になります。

EEDF0 フラグ (チャンネル 0 ECC エラー検出フラグ)

EEDF0 フラグは、ECC エラーが発生したかどうかを指定します。

GL_SLEEP モードまたは GL_RESET モードでは、値を変更できません。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合、本フラグは“1”になります。

GL_RESET モードでは自動的に“0”になります。

33.2.14 送信割り込みステータスレジスタ (TISR)

アドレス CANFD.TISR 000A 80A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSIF0	チャンネル0送信成功割り込みフラグ	0: チャンネル0送信成功割り込みなし 1: チャンネル0送信成功割り込み発生	R
b1	TAIF0	チャンネル0送信アポート割り込みフラグ	0: チャンネル0送信アポート割り込みなし 1: チャンネル0送信アポート割り込み発生	R
b2	TQIF0	チャンネル0送信キュー割り込みフラグ	0: チャンネル0送信キュー割り込みなし 1: チャンネル0送信キュー割り込み発生	R
b3	CFTIF0	チャンネル0共通FIFO送信割り込みフラグ	0: チャンネル0共通FIFO送信モード割り込みなし 1: チャンネル0共通FIFO送信モード割り込み発生	R
b4	THIF0	チャンネル0送信履歴割り込みフラグ	0: チャンネル0送信履歴割り込みなし 1: チャンネル0送信履歴割り込み発生	R
b31-b5	—	予約ビット	読むと“0”が読めます	R

TISR レジスタは、送信固有の割り込みの検出を示します。

TSIF0 フラグ (チャンネル0 送信成功割り込みフラグ)

TSIF0 フラグは、送信メッセージバッファ n 割り込みが許可されているときに、チャンネル0の送信メッセージバッファ n からの送信が成功すると“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 割り込みが禁止されたとき (TMIER0.TMIEn ビット = 0)
- 送信メッセージバッファ n の送信結果フラグ (TMSRn.TXRF[1:0]) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TAIF0 フラグ (チャンネル0 送信アポート割り込みフラグ)

TAIF0 フラグは、送信アポート割り込みが許可されているときに、チャンネル0の送信メッセージバッファ n からの送信がアポートされると“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 割り込みが禁止されたとき (CHCR.TAIE ビット = 0)
- 送信メッセージバッファ n の送信結果フラグ (TMSRn.TXRF[1:0]) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TQIF0 フラグ (チャンネル0 送信キュー割り込みフラグ)

TQIF0 フラグは、送信キュー割り込みが許可されているときに、チャンネル0の送信キュー割り込みフラグが“1”になると“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 割り込みが禁止されたとき (TQCR0.TQIE ビット = 0)
- 送信キュー割り込みフラグ (TQSR0.TQIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

CFTIF0 フラグ (チャンネル 0 共通 FIFO 送信割り込みフラグ)

CFTIF0 フラグは、共通 FIFO 送信割り込みが許可されているときに、チャンネル 0 の共通 FIFO 送信割り込みフラグ (CFSR0.CFTIF) が “1” になると “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- 割り込みが禁止されたとき (CFCR0.CFTIE ビット = 0)
- 共通 FIFO 送信割り込みフラグ (CFSR0.CFTIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

THIF0 フラグ (チャンネル 0 送信履歴割り込みフラグ)

THIF0 フラグは、送信履歴割り込みが許可されているときに、チャンネル 0 の送信履歴割り込みフラグ (THSR.THIF) が “1” になると “1” になります。

本フラグは、以下の場合に自動的に “0” になります。

- 割り込みが禁止されたとき (THCR.THIE ビット = 0)
- 送信履歴割り込みフラグ (THSR.THIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

33.2.15 タイムスタンプカウンタレジスタ (TSCR)

アドレス CANFD.TSCR 000A 8024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TSCR レジスタは、選択された設定に基づくタイムスタンプを格納します。

タイムスタンプ値は、GCFG.TSCS ビット、TSP[3:0] ビットの設定に基づき、TSCR レジスタに格納されます。GL_HALT モードに遷移したときのタイムスタンプカウンタの精度は保証されません。

GL_RESET モードでは自動的に“00000000h”になります。

33.2.16 アクセプタンスフィルタリスト制御レジスタ (AFCR)

アドレス CANFD.AFCR 000A 8028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	AFLWE	—	—	—	—	—	—	—	PAGE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PAGE	アクセスページ設定ビット	アクセプタンスフィルタリストのページ番号を設定します	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	AFLWE	AFL書き込み許可ビット	0：アクセプタンスフィルタリストへのデータ書き込み禁止 1：アクセプタンスフィルタリストへのデータ書き込み許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

AFCR レジスタは、アクセプタンスフィルタリストにエントリを読み書きするためのアクセプタンスフィルタリストのページを選択するために使用されます。

PAGE ビット (アクセスページ設定ビット)

PAGE ビットは、アクセプタンスフィルタリストの希望する RAM 領域にアクセスするためのページ番号を設定するビットです。1 ページは、16 個のアクセプタンスフィルタリストエントリで構成されています。

アクセプタンスフィルタリストへの読み出しおよび書き込みは、固定ウィンドウを通してのみ実行できません。

GL_SLEEP モードでは、値を変更できません。

AFLWE ビット (AFL 書き込み許可ビット)

アクセプタンスフィルタリストの設定後に AFLWE ビットを“0”にすると、アクセプタンスフィルタリストへの書き込みを防止できます。

本ビットの状態に関係なく、アクセプタンスフィルタリストからデータを読み出すことができます。

GL_SLEEP モードでは、値を変更できません。

本ビットを“1”に設定すると、アクセプタンスフィルタリストへの書き込みアクセスが可能になります。

33.2.17 アクセプタンスフィルタリスト設定レジスタ (AFCFG)

アドレス CANFD.AFCFG 000A 802Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	RN0[5:0]					—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b21-b16	RN0[5:0]	チャンネル0ルール数設定ビット	アクセプタンスフィルタリストのルール数を設定	R/W
b31-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

AFCFG レジスタは、アクセプタンスフィルタリストのエントリ用ルールの数を定義するために使用されます。

アクセプタンスフィルタの最大数は 32 です。

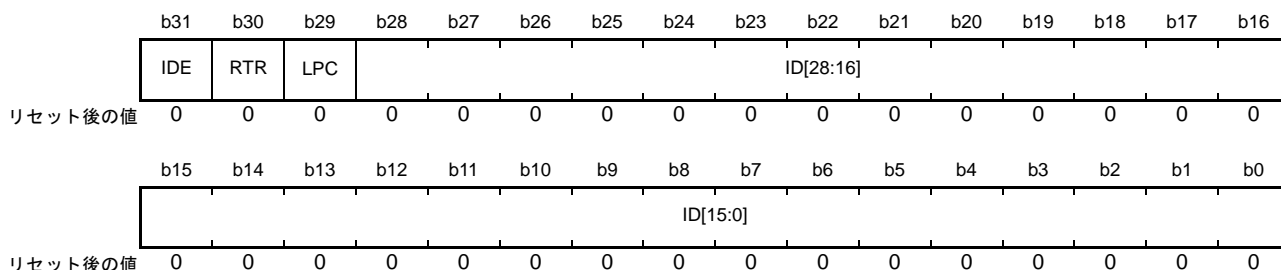
RN0[5:0] ビット (チャンネル0ルール数設定ビット)

RN0[5:0] ビットは、アクセプタンスフィルタリストのルール数を定義します。32 以下の値を設定してください。

GL_RESET モードでのみ、書き込み可能です。

33.2.18 アクセプタンスフィルタリスト n ID レジスタ (AFLn.IDR) (n = 0 ~ 15)

アドレス CANFD.AFL0.IDR 000A 8120h, CANFD.AFL1.IDR 000A 8130h, CANFD.AFL2.IDR 000A 8140h,
CANFD.AFL3.IDR 000A 8150h, CANFD.AFL4.IDR 000A 8160h, CANFD.AFL5.IDR 000A 8170h,
CANFD.AFL6.IDR 000A 8180h, CANFD.AFL7.IDR 000A 8190h, CANFD.AFL8.IDR 000A 81A0h,
CANFD.AFL9.IDR 000A 81B0h, CANFD.AFL10.IDR 000A 81C0h, CANFD.AFL11.IDR 000A 81D0h,
CANFD.AFL12.IDR 000A 81E0h, CANFD.AFL13.IDR 000A 81F0h, CANFD.AFL14.IDR 000A 8200h,
CANFD.AFL15.IDR 000A 8210h



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	アクセプタンスフィルタリストエントリのID部分	R/W
b29	LPC	ループバック設定ビット	0: 受信属性のメッセージ 1: 送信属性のメッセージ	R/W
b30	RTR	RTRビット	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	IDEビット	0: 標準ID 1: 拡張ID	R/W

AFLn.IDR レジスタは、アクセプタンスフィルタリストのルールエントリにおける ID フィールドを設定するために使用します。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを“1”にしてください。AFLWE ビットが“0”のときは、書き換えられません。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットは、アクセプタンスフィルタリストの各エントリの CAN ID フィールドを表します。

アクセプタンスフィルタ処理は、このフィールドと受信したメッセージの ID とを比較します。標準フレームフォーマットおよび拡張フレームフォーマットにおけるビットの配置については、「33.2.60 ID ビットの配置」を参照してください。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

LPC ビット (ループバック設定ビット)

LPC ビットは、アクセプタンスフィルタリスト (AFL) のエントリの属性が、受信か送信かを選択します。

この属性は、ミラーモード、ループバックモード、通常 (非ループバック) 受信の際に、AFL エントリが有効かどうかを決定します。送信 / 受信の別、ループバックモードのタイプ、受信 / 送信属性ごとの AFL エントリの有効性についての詳細は、「33.5.8 ループバックモード」を参照してください。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

RTR ビット (RTR ビット)

RTR ビットは、アクセプタンスフィルタリストの各エントリに対して、特定のフレームフォーマット (データフレームまたはリモートフレーム) を設定することができます。CAN チャネル内の各ルールエントリについて、アクセプタンスフィルタ処理は、受信したメッセージの RTR ビットと本ビットを比較します。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

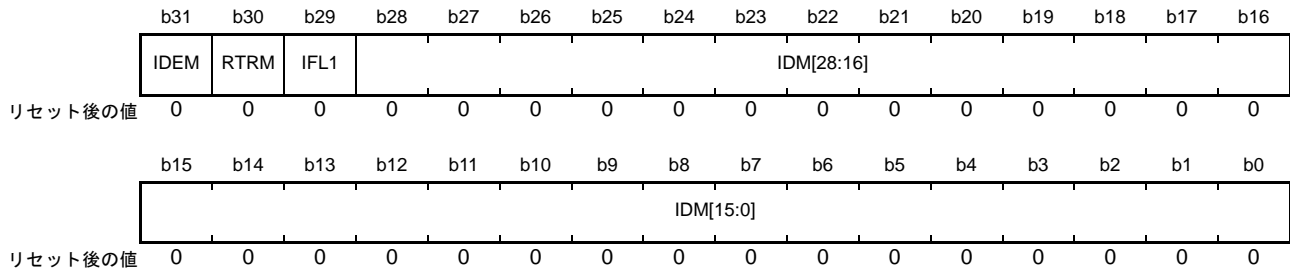
IDE ビット (IDE ビット)

IDE ビットは、アクセプタンスフィルタリストの各エントリに対して、ID フォーマット (標準 ID または拡張 ID) を設定することができます。CAN チャンネル内の各ルールエントリについて、アクセプタンスフィルタ処理は、受信したメッセージの IDE ビットと本ビットを比較します。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

33.2.19 アクセプタンスフィルタリスト n マスクレジスタ (AFLn.MASK) (n = 0 ~ 15)

アドレス CANFD.AFL0.MASK 000A 8124h, CANFD.AFL1.MASK 000A 8134h, CANFD.AFL2.MASK 000A 8144h,
CANFD.AFL3.MASK 000A 8154h, CANFD.AFL4.MASK 000A 8164h, CANFD.AFL5.MASK 000A 8174h,
CANFD.AFL6.MASK 000A 8184h, CANFD.AFL7.MASK 000A 8194h, CANFD.AFL8.MASK 000A 81A4h,
CANFD.AFL9.MASK 000A 81B4h, CANFD.AFL10.MASK 000A 81C4h, CANFD.AFL11.MASK 000A 81D4h,
CANFD.AFL12.MASK 000A 81E4h, CANFD.AFL13.MASK 000A 81F4h, CANFD.AFL14.MASK 000A 8204h,
CANFD.AFL15.MASK 000A 8214h



ビット	シンボル	ビット名	機能	R/W
b28-b0	IDM[28:0]	IDマスクフィールド	0: 対応するIDビットをID照合に使用しない 1: 対応するIDビットをID照合に使用する	R/W
b29	IFL1	情報ラベル1ビット	受信したメッセージに付ける情報ラベル1を設定してください	R/W
b30	RTRM	RTRマスクビット	0: RTRビットをID照合に使用しない 1: RTRビットをID照合に使用する	R/W
b31	IDEM	IDEマスクビット	0: IDEビットをID照合に使用しない 1: IDEビットをID照合に使用する	R/W

AFLn.MASK レジスタは、アクセプタンスフィルタリストの各エントリルールのマスクフィールドを設定するために使用されます。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを“1”にしてください。AFLWE ビットが“0”のときは、書き換えられません。

IDM[28:0] ビット (ID マスクフィールド)

IDM[28:0] ビットは、各アクセプタンスフィルタリストエントリの CAN ID フィールド内の関連ビットのフィルタマスクビットです。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

IFL1 ビット (情報ラベル1 ビット)

IFL1 ビットは、アクセプタンスフィルタリストのエントリにより受け付けられた受信メッセージに付けられる2ビットの情報ラベルの上位ビットです。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

このビットは、受信したメッセージが格納された場所の情報ラベルフィールドの上位ビット (RMBn.HF2.IFL[1]、RFBn.HF2.IFL[1]、CFB0.HF2.IFL[1]) に格納されます。

RTRM ビット (RTR マスクビット)

RTRM ビットは、アクセプタンスフィルタリストの各エントリに対する RTR マスクビットです。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

IDEM ビット (IDE マスクビット)

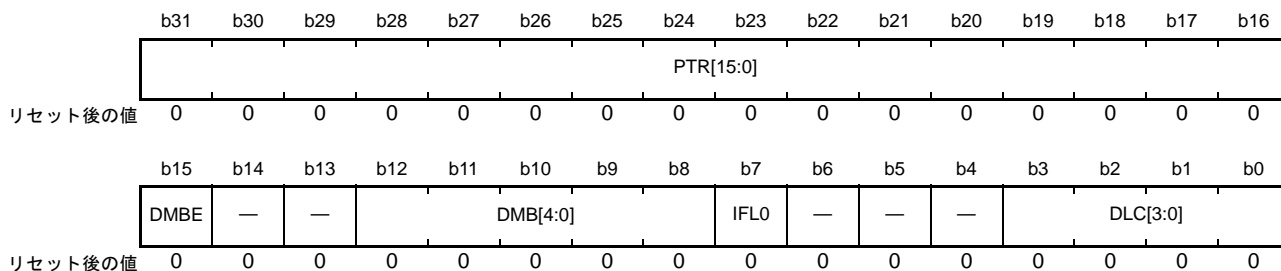
IDEM ビットは、アクセプタンスフィルタリストの各エントリに対する IDE マスクビットです。

IDE マスクビットが“0”の場合、ID 比較は受信したメッセージの IDE ビットに依存します。

- 受信したメッセージの IDE ビットが“0”の場合、標準 ID 部分のみ比較を行います。
 - 受信したメッセージの IDE ビットが“1”の場合、拡張 ID の比較を行います。
- 本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

33.2.20 アクセプタンスフィルタリスト n ポインタレジスタ 0 (AFLn.PTR0) (n = 0 ~ 15)

アドレス CANFD.AFL0.PTR0 000A 8128h, CANFD.AFL1.PTR0 000A 8138h, CANFD.AFL2.PTR0 000A 8148h, CANFD.AFL3.PTR0 000A 8158h, CANFD.AFL4.PTR0 000A 8168h, CANFD.AFL5.PTR0 000A 8178h, CANFD.AFL6.PTR0 000A 8188h, CANFD.AFL7.PTR0 000A 8198h, CANFD.AFL8.PTR0 000A 81A8h, CANFD.AFL9.PTR0 000A 81B8h, CANFD.AFL10.PTR0 000A 81C8h, CANFD.AFL11.PTR0 000A 81D8h, CANFD.AFL12.PTR0 000A 81E8h, CANFD.AFL13.PTR0 000A 81F8h, CANFD.AFL14.PTR0 000A 8208h, CANFD.AFL15.PTR0 000A 8218h



ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	DLCフィールド	受信するメッセージの最小DLC値を設定してください	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	IFLO	情報ラベル0ビット	受信したメッセージに付ける情報ラベル0を設定してください	R/W
b12-b8	DMB[4:0]	格納先メッセージバッファ指定ビット	受信したメッセージを格納する受信メッセージバッファ番号を設定してください	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DMBE	格納先メッセージバッファ指定許可ビット	0：格納先メッセージバッファ指定ビットは無効 1：格納先メッセージバッファ指定ビットは有効	R/W
b31-b16	PTR[15:0]	ポインタビット	受信したメッセージに付ける16ビットのポインタを設定してください	R/W

AFLn.PTR0 レジスタは、アクセプタンスフィルタリストの各ルールエンタリに対して、データ長コード (DLC)、ソフトウェアポインタ、格納先メッセージバッファを設定するために使用されます。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを“1”にしてください。AFLWE ビットが“0”のときは、書き換えられません。

DLC[3:0] ビット (DLC フィールド)

DLC[3:0] ビットは、アクセプタンスフィルタリスト (AFL) の関連エンタリ (DLC フィルタ機能) により受け付けられるメッセージの最小データ長コード (DLC) 値を設定するビットです。

AFL エンタリにより受け付けられたメッセージの DLC 値が、この AFL エンタリに対して設定された DLC 値以上である場合にのみ、DLC フィルタ処理をパスします。このフィールドが“0000b”の場合、DLC フィルタ機能は無効になります。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

IFLO ビット (情報ラベル0ビット)

IFLO ビットは、アクセプタンスフィルタリストのエンタリにより受け入れられた受信メッセージに付けられる2ビットの情報ラベルの下位ビットです。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

このビットは、受信したメッセージが格納された場所の情報ラベルフィールドの下位ビット

(RMBn.HF2.IFL[0]、RFBn.HF2.IFL[0]、CFB0.HF2.IFL[0]) に格納されます。

DMB[4:0] ビット (格納先メッセージバッファ指定ビット)

DMB[4:0] ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信メッセージバッファを指定することができます。格納先メッセージバッファ番号を設定してください。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

RMCR.NMB[5:0] ビットで、受信メッセージバッファの数を設定します。DMB[4:0] ビットに設定する値は、“00000b” ~ “NMB[5:0] - 1” の値にしてください。NMB[5:0] ビットが “000000b” の場合、DMB[4:0] ビットは “00000b” に設定してください。

DMBE ビット (格納先メッセージバッファ指定許可ビット)

DMBE ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信メッセージバッファを選択することができます。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

PTR[15:0] ビット (ポインタビット)

PTR[15:0] ビットは、アクセプタンスフィルタリストエントリによって受け付けられた受信メッセージに付けられる 16 ビットのポインタです。ポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用することができます。ポインタ情報は、例えば、AUTOSAR システムにおいて受信メッセージの PDU ID 割り当てをサポートするために使用することができます。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

33.2.21 アクセプタンスフィルタリスト n ポインタレジスタ 1 (AFLn.PTR1) (n = 0 ~ 15)

アドレス CANFD.AFL0.PTR1 000A 812Ch, CANFD.AFL1.PTR1 000A 813Ch, CANFD.AFL2.PTR1 000A 814Ch, CANFD.AFL3.PTR1 000A 815Ch, CANFD.AFL4.PTR1 000A 816Ch, CANFD.AFL5.PTR1 000A 817Ch, CANFD.AFL6.PTR1 000A 818Ch, CANFD.AFL7.PTR1 000A 819Ch, CANFD.AFL8.PTR1 000A 81ACh, CANFD.AFL9.PTR1 000A 81BCh, CANFD.AFL10.PTR1 000A 81CCh, CANFD.AFL11.PTR1 000A 81DCh, CANFD.AFL12.PTR1 000A 81ECh, CANFD.AFL13.PTR1 000A 81FCh, CANFD.AFL14.PTR1 000A 820Ch, CANFD.AFL15.PTR1 000A 821Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CF0E	—	—	—	—	—	—	RF1E	RF0E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0E	受信 FIFO 0 格納先許可ビット	0 : 受信 FIFO 0 をメッセージの格納先に指定しない 1 : 受信 FIFO 0 をメッセージの格納先に指定する	R/W
b1	RF1E	受信 FIFO 1 格納先許可ビット	0 : 受信 FIFO 1 をメッセージの格納先に指定しない 1 : 受信 FIFO 1 をメッセージの格納先に指定する	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CF0E	共通 FIFO 0 格納先許可ビット	0 : 共通 FIFO 0 をメッセージの格納先に指定しない 1 : 共通 FIFO 0 をメッセージの格納先に指定する	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

AFLn.PTR1 レジスタは、アクセプタンスフィルタリストの各ルールエントリに対して、格納先 FIFO バッファを設定するために使用されます。

受信メッセージの格納先は、最大 2 つまで指定できます。FIFO バッファ 2 つ、または FIFO バッファ 1 つと受信メッセージバッファ 1 つの設定が有効です。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを“1”にしてください。AFLWE ビットが“0”のときは、書き換えられません。

本レジスタへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

RF0E ビット (受信 FIFO 0 格納先許可ビット)

RF0E ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信 FIFO 0 を指定することができます。

RF1E ビット (受信 FIFO 1 格納先許可ビット)

RF1E ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信 FIFO 1 を指定することができます。

CF0E ビット (共通 FIFO 0 格納先許可ビット)

CF0E ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、共通 FIFO 0 を指定することができます。

共通 FIFO 0 は、受信 FIFO として設定されている必要があります。

33.2.22 受信メッセージバッファ設定レジスタ (RMCR)

アドレス CANFD.RMCR 000A 8030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PLS[2:0]		—	—	NMB[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	NMB[5:0]	メッセージバッファ数設定ビット	受信メッセージバッファ数を設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	PLS[2:0]	ペイロードサイズ設定ビット	b10 b8 0 0 0 : 8バイト 0 0 1 : 12バイト 0 1 0 : 16バイト 0 1 1 : 20バイト 1 0 0 : 24バイト 1 0 1 : 32バイト 1 1 0 : 48バイト 1 1 1 : 64バイト	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMCR レジスタは、チャンネルに割り当てられた受信メッセージバッファの総数を設定するために使用されます。

NMB[5:0] ビット (メッセージバッファ数設定ビット)

NMB[5:0] ビットは、受信メッセージバッファの数を設定するために使用されます。

GL_RESET モードでのみ、書き込み可能です。

0 ~ 32 の範囲で設定してください。0 は、受信メッセージバッファが割り当てられていないことを示します。

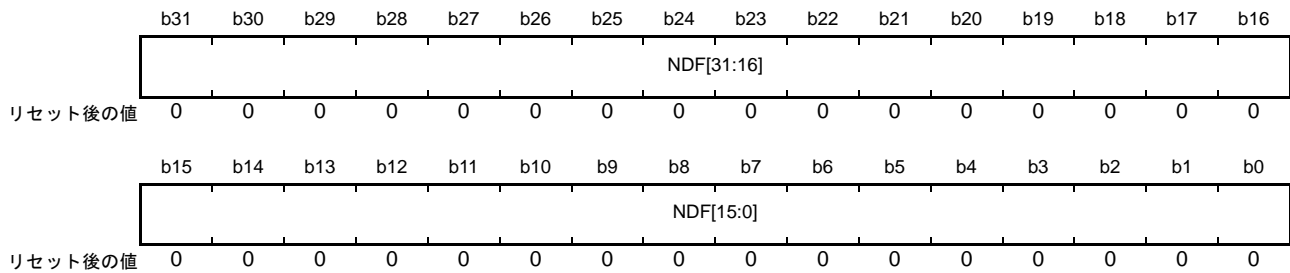
PLS[2:0] ビット (ペイロードサイズ設定ビット)

PLS[2:0] ビットは、メッセージバッファのペイロードサイズを設定するために使用されます。

GL_RESET モードでのみ、書き込み可能です。

33.2.23 受信メッセージバッファ新データレジスタ (RMNDR)

アドレス CANFD.RMNDR 000A 8034h



ビット	シンボル	ビット名	機能	R/W
b31-b0	NDF[31:0]	新データフラグ	0: 対応する受信メッセージバッファに新しいメッセージは格納されていない 1: 対応する受信メッセージバッファに新しいメッセージが格納されている	R/(W) (注1)

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

RMNDR レジスタは、受信メッセージバッファの新規データ格納状態を指定します。
本レジスタのビット位置は受信メッセージバッファのバッファ番号に対応します。

NDF[31:0] フラグ (新データフラグ)

NDF[31:0] フラグは、対応する受信メッセージバッファに新しいデータが格納されていることを示します。
NDF[0] フラグは、受信メッセージバッファ 0 に対応します。

これらのフラグは、対応する受信メッセージバッファに新しいメッセージの格納が始まると自動的に“1”になります。RMCR.PLS[2:0] = 000b (ペイロードサイズが 8 バイト) の場合、メッセージを保存するのに要する時間は 6 PCLKB サイクルです。RMCR.PLS[2:0] > 000b の場合、メッセージ保存期間は 4 バイト増えるごとに 1 PCLKB サイクル増加します (64 バイトの場合、20 PCLKB サイクル) となります。

GL_RESET モードまたは GL_SLEEP モードでは、本フラグへの書き込みはできません。

CANFD モジュールが GL_RESET モードの場合、自動的に“0”になります。

対応する受信メッセージバッファへのメッセージ格納中は、本フラグをクリアできません。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

33.2.24 受信 FIFO n 設定レジスタ (RFCRn) (n = 0, 1)

アドレス CANFD.RFCR0 000A 803Ch, CANFD.RFCR1 000A 8040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFITH[2:0]		RFIM	—	FDS[2:0]		—	PLS[2:0]		—	—	RFIE	RFE			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可ビット	0 : FIFO 禁止 1 : FIFO 許可	R/W
b1	RFIE	受信 FIFO 割り込み許可ビット	0 : FIFO 割り込み発生禁止 1 : FIFO 割り込み発生許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	PLS[2:0]	ペイロードサイズ設定ビット	b6 b4 0 0 0 : 8バイト 0 0 1 : 12バイト 0 1 0 : 16バイト 0 1 1 : 20バイト 1 0 0 : 24バイト 1 0 1 : 32バイト 1 1 0 : 48バイト 1 1 1 : 64バイト	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	FDS[2:0]	FIFO 段数設定ビット	b10 b8 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 32メッセージ 1 0 1 : 48メッセージ 上記以外 : 設定禁止	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	RFIM	受信 FIFO 割り込みモード設定ビット	0 : 受信 FIFO の格納メッセージ数が RFITH[2:0] ビットより小さい値から RFITH[2:0] ビットの値に達すると割り込み発生 1 : 受信メッセージの保存が終了すると割り込み発生	R/W
b15-b13	RFITH[2:0]	受信 FIFO 割り込みしきい値設定ビット	b15 b13 0 0 0 : FIFO 全体の 1/8 で割り込み発生 0 0 1 : FIFO 全体の 1/4 で割り込み発生 0 1 0 : FIFO 全体の 3/8 で割り込み発生 0 1 1 : FIFO 全体の 1/2 で割り込み発生 1 0 0 : FIFO 全体の 5/8 で割り込み発生 1 0 1 : FIFO 全体の 3/4 で割り込み発生 1 1 0 : FIFO 全体の 7/8 で割り込み発生 1 1 1 : FIFO フルで割り込み発生	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFRCRn レジスタを使用して、2つの受信 FIFO の動作を設定します。

RFE ビット (受信 FIFO 許可ビット)

RFE ビットは FIFO を有効にします。本ビットを“0”にすると、受信 FIFO はクリアされます。
GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。
このビットは、FIFO 段数が 4 ~ 48 ($001b \leq FDS[2:0] \leq 101b$) の場合にのみ“1”にできます。
RFE ビットは、RFCRn レジスタの他のすべてのビットを設定した後、個別に“1”にしてください。
本ビットは、CANFD モジュールが GL_RESET モードのときに自動的に“0”になります。

RFIE ビット (受信 FIFO 割り込み許可ビット)

RFIE ビットは FIFO 割り込みの生成を許可します。
GL_SLEEP モードでは、値を変更できません。

PLS[2:0] ビット (ペイロードサイズ設定ビット)

PLS[2:0] ビットは、RAM 内のメッセージデータのペイロードサイズを定義します。
これは、この FIFO で受信可能な最大バイト数です。
GL_RESET モードでのみ、書き込み可能です。

FDS[2:0] ビット (FIFO 段数設定ビット)

FDS[2:0] ビットは、FIFO 段数をメッセージ数単位で選択します。FIFO 段数が 0 に設定されている場合、FIFO は使用できません。
GL_RESET モードでのみ、書き込み可能です。

RFIM ビット (受信 FIFO 割り込みモード設定ビット)

RFIM ビットは FIFO の割り込み発生条件を選択します。
GL_SLEEP モードでは、値を変更できません。
このビットへの書き込みは、GL_RESET モードでのみ行ってください。

RFITH[2:0] ビット (受信 FIFO 割り込みしきい値設定ビット)

RFITH[2:0] ビットは、受信 FIFO 割り込みを発生させるための FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する格納数を FIFO 段数に対する分数値で表しています。
GL_SLEEP モードでは、値を変更できません。
RFITH[2:0] ビットの設定には、FDS[2:0] ビットの値による制限があります。詳細は「33.6.2.1 FIFO バッファの設定」を参照してください。
このビットへの書き込みは、GL_RESET モードでのみ行ってください。

33.2.25 受信 FIFO n ステータスレジスタ (RFSRn) (n = 0, 1)

アドレス CANFD.RFSR0 000A 8044h, CANFD.RFSR1 000A 8048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FLVL[5:0]					—	—	—	—	RFIF	LOST	FULL	EMPTY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	受信 FIFO エンプティフラグ	0: 受信 FIFO にメッセージあり 1: 受信 FIFO にメッセージなし(空)	R
b1	FULL	受信 FIFO フルフラグ	0: 受信 FIFO はフルではない 1: 受信 FIFO はフル	R
b2	LOST	メッセージロストフラグ	0: 受信 FIFO メッセージロスト未発生 1: 受信 FIFO メッセージロスト発生	R/(W) (注1)
b3	RFIF	受信 FIFO 割り込みフラグ	0: 受信 FIFO 割り込み条件が不成立 1: 受信 FIFO 割り込み条件が成立	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	FLVL[5:0]	受信 FIFO 格納メッセージ数	受信 FIFO に格納されているメッセージ数を示します	R
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

RFSRn レジスタは、対応する FIFO バッファに保存されているメッセージの状態を表示します。

EMPTY フラグ (受信 FIFO エンプティフラグ)

EMPTY フラグは、以下の場合に自動的に“1”になります。

- FLVL[5:0] ビットが“00000b”のとき
- RFSRn.RFE ビットが“0”のとき (受信 FIFO は無効になります)
- CANFD モジュールが GL_RESET モードのとき

EMPTY フラグは、最初のメッセージが受信 FIFO に保存されると自動的に“0”になります。

FULL フラグ (受信 FIFO フルフラグ)

FULL フラグは、FIFO バッファに格納されたメッセージの数が設定した FIFO 段数と一致した場合に自動的に“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- FIFO バッファに格納されているメッセージの数が設定した FIFO 段数よりも少ない場合
- RFSRn.RFE ビットが“0”のとき (受信 FIFO は無効になります)
- CANFD モジュールが GL_RESET モードのとき

LOST フラグ (メッセージロストフラグ)

LOST フラグは、すでに FIFO バッファがフルのときにメッセージを格納しようとしたことによりメッセージが失われた場合に、自動的に“1”になります。CAN チャネルからのセットと書き込みアクセスによるクリアが同時に発生した場合は、“1”になります。

本フラグは、以下の場合に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき

LOST フラグへの書き込みは、GL_HALT モードまたは GL_OPERATION モードでのみ行います。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

RFIF フラグ (受信 FIFO 割り込みフラグ)

RFIF フラグは設定されている割り込み条件が満たされると自動的に“1”になります。受信 FIFO が無効の場合は自動的にクリアされません。

本フラグは、以下の場合に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき

本フラグへの書き込みは、GL_HALT モードまたは GL_OPERATION モードでのみ行ってください。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合、このフラグは“1”になります。

FLVL[5:0] ビット (受信 FIFO 格納メッセージ数)

FLVL[5:0] ビットは、受信 FIFO に格納されている CPU が読み出し可能なメッセージの数を示します。

これらのビットは、FIFO が無効になっているとき、および CANFD モジュールが GL_RESET モードになっているときに自動的に“000000b”になります。

33.2.26 受信 FIFO n ポインタ制御レジスタ (RFPCRn) (n = 0, 1)

アドレス CANFD.RFPCR0 000A 804Ch, CANFD.RFPCR1 000A 8050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RFPCRn レジスタを使用して、対応する受信 FIFO の読み出しポインタをインクリメントすることができます。

このレジスタに“000000FFh”を書き込むと、対応する受信 FIFO のポインタが次の FIFO エントリに移動します。この書き込みは、対応する受信 FIFO が有効でかつ空でない場合にのみ行ってください。

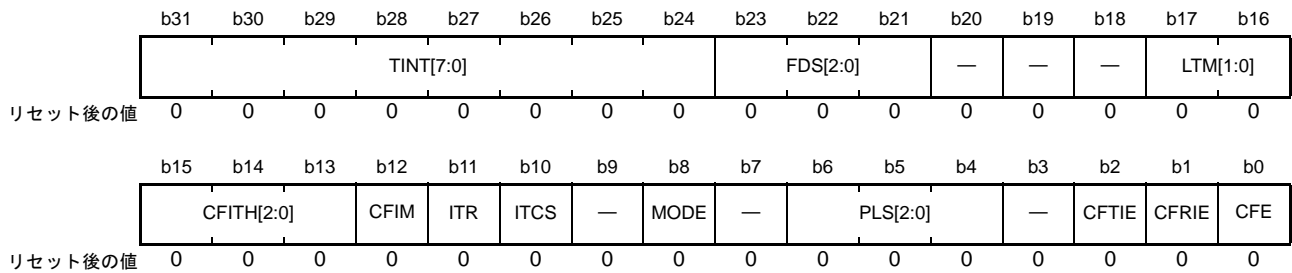
このレジスタの読み出し値は“00000000h”です。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込めます。

DTC/DMA 転送が許可されている (DTCR.RFDTE_n ビット = 1) 場合、RFPCRn レジスタへの書き込みは行わないでください。

33.2.27 共通 FIFO 0 設定レジスタ (CFCR0)

アドレス CANFD.CFCR0 000A 8054h



ビット	シンボル	ビット名	機能	R/W
b0	CFE	共通 FIFO 許可ビット	0 : FIFO 禁止 1 : FIFO 許可	R/W
b1	CFRIE	共通 FIFO 受信割り込み許可ビット	0 : FIFO 受信割り込み発生禁止 1 : FIFO 受信割り込み発生許可	R/W
b2	CFTIE	共通 FIFO 送信割り込み許可ビット	0 : FIFO 送信割り込み発生禁止 1 : FIFO 送信割り込み発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	PLS[2:0]	ペイロードサイズ設定ビット	b6 b4 0 0 0 : 8バイト 0 0 1 : 12バイト 0 1 0 : 16バイト 0 1 1 : 20バイト 1 0 0 : 24バイト 1 0 1 : 32バイト 1 1 0 : 48バイト 1 1 1 : 64バイト	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MODE	動作モード設定ビット	0 : 受信 FIFO モード 1 : 送信 FIFO モード	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	ITCS	インターバルタイマカウンタソース 選択ビット	0 : 基準クロック (x 1/x 10 周期) 1 : ビットタイムクロック	R/W
b11	ITR	インターバルタイマ分解能選択ビッ ト	0 : 基準クロック周期 x 1 1 : 基準クロック周期 x 10	R/W
b12	CFIM	共通 FIFO 割り込みモード設定ビッ ト	受信 FIFO モード : 0 : 共通 FIFO の格納メッセージ数が CFITH[2:0] ビット より小さい値から CFITH[2:0] ビットの値に達する と受信割り込み発生 1 : 受信メッセージの保存が終了すると受信割り込み 発生 送信 FIFO モード : 0 : 共通 FIFO 内の最終メッセージの送信に成功したと きに送信割り込み発生 1 : メッセージ送信が成功するたびに送信割り込み発 生	R/W
b15-b13	CFITH[2:0]	共通 FIFO 受信割り込みしきい値設 定ビット	b15 b13 0 0 0 : FIFO 全体の 1/8 で割り込み発生 0 0 1 : FIFO 全体の 1/4 で割り込み発生 0 1 0 : FIFO 全体の 3/8 で割り込み発生 0 1 1 : FIFO 全体の 1/2 で割り込み発生 1 0 0 : FIFO 全体の 5/8 で割り込み発生 1 0 1 : FIFO 全体の 3/4 で割り込み発生 1 1 0 : FIFO 全体の 7/8 で割り込み発生 1 1 1 : FIFO フルで割り込み発生	R/W

ビット	シンボル	ビット名	機能	R/W
b17-b16	LTM[1:0]	リンク先送信メッセージバッファ指定ビット	対応するチャンネルの送信スキャンリンク位置	R/W
b20-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b21	FDS[2:0]	FIFO 段数設定ビット	b23 b21 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 32メッセージ 1 0 1 : 48メッセージ 上記以外 : 設定禁止	R/W
b31-b24	TINT[7:0]	送信インターバル設定ビット	送信 FIFO モード時、FIFO からの送信開始を遅延させます。遅延量はインターバルタイムカウンタソースの整数倍です	R/W

CFE ビット (共通 FIFO 許可ビット)

CFE ビットは FIFO を有効にします。このビットを“0”にすると、FIFO は無効になります。

また、このビットを“0”にすると、送信 FIFO モード時には共通 FIFO からの送信を中止でき、受信 FIFO モード時には共通 FIFO への受信を停止できます。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードでないときのみ書き込み可能です。

このビットは、FIFO 段数が 4 ~ 48 ($001b \leq FDS[2:0] \leq 101b$) の場合にのみ“1”にできます。

CFE ビットは、CFCR0 レジスタの他のすべてのビットを設定した後に、個別に“1”にしてください。

CANFD モジュールが GL_RESET モードの場合、このビットは自動的に“0”になります。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードになると、このビットは自動的に“0”になります。

CFRIE ビット (共通 FIFO 受信割り込み許可ビット)

共通 FIFO 受信割り込みを許可/禁止します。このビットが“1”の場合、対応する FIFO バッファにフレームを受信後、共通 FIFO 受信割り込みフラグが“1”になると、共通 FIFO 受信割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

CFTIE ビット (共通 FIFO 送信割り込み許可ビット)

共通 FIFO 送信割り込みを許可/禁止します。このビットが“1”の場合、対応する FIFO バッファのフレームを送信後、共通 FIFO 送信割り込みフラグが“1”になると、共通 FIFO 送信割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

PLS[2:0] ビット (ペイロードサイズ設定ビット)

PLS[2:0] ビットは、RAM 内のメッセージデータのペイロードサイズを定義します。これは、この FIFO バッファが送受信可能な最大バイト数です。

詳細は、「33.6 FIFO バッファとメッセージバッファの構成」を参照してください。

GL_RESET モードでのみ、書き込み可能です。

MODE ビット (動作モード設定ビット)

MODE ビットは、共通 FIFO の動作モードを選択するビットです。MCU リセットが適用されると、共通 FIFO はすべて受信 FIFO モードに設定されます。

GL_OPERATION モード、GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、

GL_RESET モードでのみ行ってください。

ITCS ビット (インターバルタイマカウントソース選択ビット)

ITCS ビットは、送信インターバルタイマのカウントソースを選択します。

GL_SLEEP モードでは、値を変更できません。また、CFE ビットが“1”の場合は、本ビットへの書き込みを行わないでください。

CAN FD 通信を使用する場合は、本ビットを“1”にしないでください。

注． ビットタイムクロックは、公称ビットレートとデータビットレートの設定に応じて変化します。

ITR ビット (インターバルタイマ分解能選択ビット)

ITR ビットは、送信インターバルタイマのカウントソースに選択できる基準クロックの分解能を選択します。

GL_SLEEP モードでは、値を変更できません。また、CFE ビットを“1”にしている場合は、本ビットへの書き込みを行わないでください。

CFIM ビット (共通 FIFO 割り込みモード設定ビット)

CFIM ビットは、共通 FIFO 割り込みの発生条件を選択します。

GL_SLEEP モードでは、値を変更できません。

本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

CFITH[2:0] ビット (共通 FIFO 受信割り込みしきい値設定ビット)

CFITH[2:0] ビットは、共通 FIFO 受信割り込みを発生するための FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する格納数を FIFO 段数に対する分数値で表しています。

GL_SLEEP モードでは、値を変更できません。

CFITH[2:0] ビットの設定には、FDS[2:0] ビットの値による制限があります。詳細は「33.6.2.1 FIFO バッファの設定」を参照してください。

本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

LTM[1:0] ビット (リンク先送信メッセージバッファ指定ビット)

LTM[1:0] ビットは、送信スキャン用に、送信 FIFO モードに設定した共通 FIFO をリンクする送信メッセージバッファの番号を選択します。

GL_OPERATION モード、GL_SLEEP モードでは、値を変更できません。

本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

FDS[2:0] ビット (FIFO 段数設定ビット)

FDS[2:0] ビットは、FIFO 段数をメッセージ数単位で選択します。FIFO 段数が 0 に設定されている場合、FIFO は使用できません。

本ビットは、GL_RESET モードでのみ書き込み可能です。

TINT[7:0] ビット (送信インターバル設定ビット)

TINT[7:0] ビットは、送信 FIFO モードに設定された共通 FIFO から送信されるすべてのメッセージに対して、送信開始時の遅延量を設定します。遅延量は、インターバルタイマのカウントソース周期 (基準クロック周期×1、基準クロック周期×10、またはビットタイムクロックの周期) の整数倍です。

GL_SLEEP モードでは、値を変更できません。

CFE ビットが“1”の場合は、本ビットへの書き込みを行わないでください。

GCFG.ITP[15:0] ビットを“0000h”にした場合、TINT[7:0] ビットも“00h”にしてください。

33.2.28 共通 FIFO 0 ステータスレジスタ (CFSR0)

アドレス CANFD.CFSR0 000A 8058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FLVL[5:0]					—	—	—	CFTIF	CFRIF	LOST	FULL	EMPTY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	共通 FIFO エンプティフラグ	0: 共通 FIFO にメッセージあり 1: 共通 FIFO にメッセージなし(空)	R
b1	FULL	共通 FIFO フルフラグ	0: 共通 FIFO はフルではない 1: 共通 FIFO はフル	R
b2	LOST	メッセージロストフラグ	0: 共通 FIFO メッセージロスト未発生 1: 共通 FIFO メッセージロスト発生	R/(W) (注1)
b3	CFRIF	共通 FIFO 受信割り込みフラグ	0: 共通 FIFO 受信割り込み条件が不成立 1: 共通 FIFO 受信割り込み条件が成立	R/(W) (注1)
b4	CFTIF	共通 FIFO 送信割り込みフラグ	0: 共通 FIFO 送信割り込み条件が不成立 1: 共通 FIFO 送信割り込み条件が成立	R/(W) (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	FLVL[5:0]	共通 FIFO 格納メッセージ数	共通 FIFO に格納されているメッセージ数を示します	R
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

CFSR0 レジスタは、対応する FIFO バッファに保存されているメッセージのステータスを表示します。

EMPTY フラグ (共通 FIFO エンプティフラグ)

EMPTY フラグは、以下の場合に自動的に“1”になります。

- 受信 FIFO モード時、FIFO バッファから CPU がメッセージをすべて読み出したとき
- 送信 FIFO モード時、FIFO バッファからすべてのメッセージが送信されたとき
- CFCR0.CFE ビットを“0”にしたとき (共通 FIFO は無効になります)
- CANFD モジュールが GL_RESET モードのとき
- 送信 FIFO モード時、CAN チャンネルが CH_RESET モードになったとき

EMPTY フラグは、以下の場合に自動的に“0”になります。

- 受信 FIFO モード時、最初の受信メッセージが FIFO バッファに格納されたとき
- 送信 FIFO モード時、最初の送信メッセージが FIFO バッファに格納されたとき

FULL フラグ (共通 FIFO フルフラグ)

FULL フラグは、FIFO バッファに格納されたメッセージの数が、設定した FIFO 段数と一致した場合に自動的に“1”になります。

FULL フラグは、以下の場合に自動的に“0”になります。

- FIFO バッファに格納されているメッセージの数が、設定した FIFO 段数よりも少ない場合
- CFCR0.CFE ビットを“0”にしたとき (共通 FIFO は無効になります)

- CANFD モジュールが GL_RESET モードのとき
- 送信 FIFO モード時、CAN チャンネルが CH_RESET モードになった場合

LOST フラグ (メッセージロストフラグ)

LOST フラグは、受信 FIFO モード時に、すでに FIFO バッファがフルのときにメッセージを格納しようとしたことによりメッセージが失われた場合に、自動的に“1”になります。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合、本フラグは“1”になります。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードでないときのみ書き込み可能です。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

LOST フラグは、以下の場合に自動的に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき
- 送信 FIFO モード時、CAN チャンネルが CH_RESET モードになった場合

CFRIF フラグ (共通 FIFO 受信割り込みフラグ)

受信 FIFO モード時、設定されている割り込み条件が満たされると自動的に“1”になります。

CFRIF フラグは、共通 FIFO が無効の場合は自動的にクリアされません。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードでないときのみ書き込み可能です。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合は、本フラグは“1”になります。

CFRIF フラグは、以下の場合に自動的に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき

CFTIF フラグ (共通 FIFO 送信割り込みフラグ)

送信 FIFO モード時、設定されている割り込み条件が満たされると自動的に“1”になります。

CFTIF フラグは、共通 FIFO が無効の場合は自動的にクリアされません。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードでないときのみ書き込み可能です。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合は、本フラグは“1”になります。

CFTIF フラグは、以下の場合に自動的に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき
- CAN チャンネルが CH_RESET モードになった場合

FLVL[5:0] ビット (共通 FIFO 格納メッセージ数)

FLVL[5:0] ビットは、以下の内容を示します。

- 送信 FIFO モード時 : CPU により格納された送信待ちのメッセージの数
- 受信 FIFO モード時 : CANFD により格納された、CPU が読み出し可能なメッセージの数

FLVL[5:0] ビットは、以下の場合に自動的に“0”になります。

- FIFO が無効になっているとき
- CANFD モジュールが GL_RESET モードのとき
- 送信 FIFO モード時、CAN チャンネルが CH_RESET モードになった場合

33.2.29 共通 FIFO 0 ポインタ制御レジスタ (CFPCR0)

アドレス CANFD.CFPCR0 000A 805Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CFPCR0 レジスタを使用して、対応する共通 FIFO の読み出しポインタまたは書き込みポインタをインクリメントすることができます。

このレジスタに“000000FFh”を書き込むと、受信 FIFO モード時は対応する共通 FIFO の読み出しポインタが、送信 FIFO モード時は対応する共通 FIFO の書き込みポインタが、次の FIFO エントリに移動します。

このレジスタの読み出し値は常に“00000000h”です。

本レジスタへの書き込みは、GL_HALT モードまたは GL_OPERATION モードでのみ行えます。

本レジスタへの書き込みは、以下の場合にのみ行ってください。

- 受信 FIFO モード時：FIFO バッファが有効で、空でない
- 送信 FIFO モード時：FIFO バッファが有効で、フルでない

DTC/DMA 転送が許可されている (DTCR.CFDTE0 ビット = 1) 場合、CFPCR0 レジスタへの書き込みを行わないでください。

33.2.30 FIFO エンプティステータスレジスタ (FESR)

アドレス CANFD.FESR 000A 8060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFEMP 0	—	—	—	—	—	—	RFEMP 1	RFEMP 0
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RFEMP0	受信FIFO 0エンプティフラグ	0: 受信FIFO 0にメッセージあり 1: 受信FIFO 0にメッセージなし(空)	R
b1	RFEMP1	受信FIFO 1エンプティフラグ	0: 受信FIFO 1にメッセージあり 1: 受信FIFO 1にメッセージなし(空)	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFEMP0	共通FIFO 0エンプティフラグ	0: 共通FIFO 0にメッセージあり 1: 共通FIFO 0にメッセージなし(空)	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

FESR レジスタは、FIFO バッファのエンプティフラグの状態を表示します。

RFEMP0 フラグ (受信 FIFO 0 エンプティフラグ)

RFEMP0 フラグは、RFSR0.EMPTY フラグが“1”になると“1”になり、RFSR0.EMPTY フラグが“0”になると“0”になります。

RFEMP0 フラグは、CANFD モジュールが GL_RESET モードのときに“1”になります。

RFEMP1 フラグ (受信 FIFO 1 エンプティフラグ)

RFEMP1 フラグは、RFSR1.EMPTY フラグが“1”になると“1”になり、RFSR1.EMPTY フラグが“0”になると“0”になります。

RFEMP1 フラグは、CANFD モジュールが GL_RESET モードのときに“1”になります。

CFEMP0 フラグ (共通 FIFO 0 エンプティフラグ)

CFEMP0 フラグは、CFSR0.EMPTY フラグが“1”になると“1”になり、CFSR0.EMPTY フラグが“0”になると“0”になります。

CFEMP0 フラグは、CANFD モジュールが GL_RESET モードのときに“1”になります。

33.2.31 FIFO フルステータスレジスタ (FFSR)

アドレス CANFD.FFSR 000A 8064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFFUL 0	—	—	—	—	—	—	RFFUL 1	RFFUL 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFFUL0	受信 FIFO 0フルフラグ	0: 受信 FIFO 0はフルではない 1: 受信 FIFO 0はフル	R
b1	RFFUL1	受信 FIFO 1フルフラグ	0: 受信 FIFO 1はフルではない 1: 受信 FIFO 1はフル	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFFUL0	共通 FIFO 0フルフラグ	0: 共通 FIFO 0はフルではない 1: 共通 FIFO 0はフル	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

FFSR レジスタは、FIFO バッファのフルフラグの状態を示します。

RFFUL0 フラグ (受信 FIFO 0 フルフラグ)

RFFUL0 フラグは、RFSR0.FULL フラグが“1”になると“1”になり、RFSR0.FULL フラグが“0”になると“0”になります。

RFFUL0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

RFFUL1 フラグ (受信 FIFO 1 フルフラグ)

RFFUL1 フラグは、RFSR1.FULL フラグが“1”になると“1”になり、RFSR1.FULL フラグが“0”になると“0”になります。

RFFUL1 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

CFFUL0 フラグ (共通 FIFO 0 フルフラグ)

CFFUL0 フラグは、CFSR0.FULL フラグが“1”になると“1”になり、CFSR0.FULL フラグが“0”になると“0”になります。

CFFUL0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

33.2.32 FIFOメッセージロストステータスレジスタ (FMLSR)

アドレス CANFD.FMLSR 000A 8068h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFML0	—	—	—	—	—	—	RFML1	RFML0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFML0	受信FIFO 0メッセージロストフラグ	0: 受信FIFO 0でメッセージロスト未発生 1: 受信FIFO 0でメッセージロスト発生	R
b1	RFML1	受信FIFO 1メッセージロストフラグ	0: 受信FIFO 1でメッセージロスト未発生 1: 受信FIFO 1でメッセージロスト発生	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFML0	共通FIFO 0メッセージロストフラグ	0: 共通FIFO 0でメッセージロスト未発生 1: 共通FIFO 0でメッセージロスト発生	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

FMLSR レジスタには、FIFO バッファのメッセージロストフラグの状態を示します。

RFML0 フラグ (受信 FIFO 0 メッセージロストフラグ)

RFML0 フラグは、RFSR0.LOST フラグが“1”になると“1”になり、RFSR0.LOST フラグが“0”になると“0”になります。

RFML0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

RFML1 フラグ (受信 FIFO 1 メッセージロストフラグ)

RFML1 フラグは、RFSR1.LOST フラグが“1”になると“1”になり、RFSR1.LOST フラグが“0”になると“0”になります。

RFML1 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

CFML0 フラグ (共通 FIFO 0 メッセージロストフラグ)

CFML0 フラグは、CFSR0.LOST フラグが“1”になると“1”になり、CFSR0.LOST フラグが“0”になると“0”になります。

CFML0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

33.2.33 受信 FIFO 割り込みステータスレジスタ (RFISR)

アドレス CANFD.RFISR 000A 806Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFIF1	RFIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFIF0	受信 FIFO 0割り込みフラグ	0 : 受信 FIFO 0の割り込み発生条件は不成立 1 : 受信 FIFO 0の割り込み発生条件が成立	R
b1	RFIF1	受信 FIFO 1割り込みフラグ	0 : 受信 FIFO 1の割り込み発生条件は不成立 1 : 受信 FIFO 1の割り込み発生条件が成立	R
b31-b2	—	予約ビット	読むと“0”が読めます	R

RFISR レジスタは、受信 FIFO の割り込みフラグの状態を示します。

RFIF0 フラグ (受信 FIFO 0 割り込みフラグ)

RFIF0 フラグは、RFSR0.RFIF フラグが“1”になると“1”になり、RFSR0.RFIF フラグが“0”になると“0”になります。

RFIF0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

RFIF1 フラグ (受信 FIFO 1 割り込みフラグ)

RFIF1 フラグは、RFSR1.RFIF フラグが“1”になると“1”になり、RFSR1.RFIF フラグが“0”になると“0”になります。

RFIF1 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

33.2.34 DMA 転送制御レジスタ (DTCR)

アドレス CANFD.DTCR 000A 80C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFDTE 0	—	—	—	—	—	—	RFDTE 1	RFDTE 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFDTE0	受信 FIFO 0 DMA 転送許可ビット	0 : DTC/DMA 転送要求を禁止 1 : DTC/DMA 転送要求を許可	R/W
b1	RFDTE1	受信 FIFO 1 DMA 転送許可ビット	0 : DTC/DMA 転送要求を禁止 1 : DTC/DMA 転送要求を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CFDTE0	共通 FIFO 0 DMA 転送許可ビット	0 : DTC/DMA 転送要求を禁止 1 : DTC/DMA 転送要求を許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCR レジスタは、DTC/DMA 転送動作の開始と停止を制御します。

RFDTE0 ビット (受信 FIFO 0 DMA 転送許可ビット)

RFDTE0 ビットは、受信 FIFO 0 の DTC/DMA 転送要求を許可または禁止します。

RFDTE0 ビットは、GL_SLEEP モードまたは GL_RESET モードでは“1”にできません。

本ビットは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

RFDTE1 ビット (受信 FIFO 1 DMA 転送許可ビット)

RFDTE1 ビットは、受信 FIFO 0 の DTC/DMA 転送要求を許可または禁止します。

RFDTE1 ビットは、GL_SLEEP モードまたは GL_RESET モードでは“1”にできません。

本ビットは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

CFDTE0 ビット (共通 FIFO 0 DMA 転送許可ビット)

CFDTE0 ビットは、共通 FIFO の DTC/DMA 転送要求を許可または禁止します。

共通 FIFO を送信 FIFO モードに設定した場合、DTC/DMA 転送を許可しないでください。

CFDTE0 ビットは、GL_SLEEP モードまたは GL_RESET モードでは“1”にできません。

本ビットは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

33.2.35 DMA 転送ステータスレジスタ (DTSR)

アドレス CANFD.DTSR 000A 80CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFDTS	—	—	—	—	—	—	RFDTs	RFDTs
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RFDTs0	受信 FIFO 0 DMA 転送ステータスフラグ	0 : DTC/DMA 転送停止 1 : DTC/DMA 転送実行中	R
b1	RFDTs1	受信 FIFO 1 DMA 転送ステータスフラグ	0 : DTC/DMA 転送停止 1 : DTC/DMA 転送実行中	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFDTS0	共通 FIFO 0 DMA 転送ステータスフラグ	0 : DTC/DMA 転送停止 1 : DTC/DMA 転送実行中	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

DTSR レジスタは、DTC/DMA 転送の状態を示します。

RFDTs0 フラグ (受信 FIFO 0 DMA 転送ステータスフラグ)

RFDTs0 フラグは、DTCR.RFDTE0 ビットが“1”で、受信 FIFO 0 が空でない場合に自動的に“1”になります。

本フラグは、RFDTE0 ビットが“0”になるか受信 FIFO 0 が空になって、DTC/DMA 転送が停止すると、自動的に“0”になります。

受信 FIFO 0 の DTC/DMA 転送が実行されているときに RFDTE0 ビットを“0”にすると、DTC/DMA 転送完了時に RFDTs0 フラグが“0”になります。

このフラグは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

RFDTs1 フラグ (受信 FIFO 1 DMA 転送ステータスフラグ)

RFDTs1 フラグは、DTCR.RFDTE1 ビットが“1”で、受信 FIFO 1 が空でない場合に自動的に“1”になります。

本フラグは、RFDTE1 ビットが“0”になるか受信 FIFO 1 が空になって、DTC/DMA 転送が停止すると、自動的に“0”になります。

受信 FIFO 1 の DTC/DMA 転送が実行されているときに RFDTE1 ビットを“0”にすると、DTC/DMA 転送完了時に RFDTs1 フラグが“0”になります。

このフラグは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

CFDTS0 フラグ (共通 FIFO 0 DMA 転送ステータスフラグ)

CFDTS0 フラグは、DTCR.CFDTE0 ビットが“1”で、共通 FIFO 0 が空でない場合に自動的に“1”になります。

本フラグは、CFDTE0 ビットが“0”になるか共通 FIFO 0 が空になって、DTC/DMA 転送が停止すると、自動的に“0”になります。

共通 FIFO 0 の DTC/DMA 転送が実行されているときに CFDTE0 ビットを“0”にすると、DTC/DMA 転送完了時に CFDTS0 フラグが“0”になります。

このビットは、CANFD モジュールが GL_RESET モードのときに“0”になります。

33.2.36 送信メッセージバッファ n 制御レジスタ (TMCRn) (n = 0 ~ 3)

アドレス CANFD.TMCR0 000A 8070h, CANFD.TMCR1 000A 8071h, CANFD.TMCR2 000A 8072h, CANFD.TMCR3 000A 8073h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ONESHOT	TARQ	TXRQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXRQ	送信要求ビット	0 : メッセージ送信を要求しない 1 : メッセージ送信を要求する	R/W
b1	TARQ	送信アポート要求ビット	0 : メッセージ送信アポートを要求しない 1 : メッセージ送信アポートを要求する	R/W
b2	ONESHOT	ワンショット送信許可ビット	0 : ワンショット送信を行わない 1 : ワンショット送信を行う	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMCRn レジスタ (n = 0 ~ 3) は、送信メッセージバッファの機能を設定します。

TXRQ ビット (送信要求ビット)

TXRQ ビットを“1”にすると、CANFD モジュールは、対応するメッセージバッファに格納されているメッセージを送信しようとします。

このビットへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

対応する送信メッセージバッファが送信 FIFO モードに設定した共通 FIFO とリンクされている場合、または送信キューに使用している場合、このビットは“1”にできません。

本ビットは、TMSRn.TXRF[1:0] フラグが“00b”になっている場合のみ“1”にできます。

本ビットを、CPU 書き込みによって“0”にすることはできません。TXRQ ビットは以下の場合に自動的に“0”になります。

- 送信が正常に終了したとき
- TARQ ビットによる送信アポート要求により、送信アポートが終了したとき
- ONESHOT ビットが“1”の場合に、CAN バスエラーまたはアービトレーションロストが検出されたとき
- CANFD モジュールが GL_RESET モードに入るか、または CAN チャネルが CH_RESET モードに入ったとき

TARQ ビット (送信アポート要求ビット)

TARQ ビットを“1”にすると、CANFD モジュールは、対応するメッセージバッファに格納されているフレームの送信を中止しようとします。

送信のための内部スキャンが完了し、メッセージバッファが送信用に選択された後は、ほとんどの場合送信を中止することはできません。この場合、フレームはメッセージバッファから正常に送信されます。メッセージバッファの選択は、CH_HALT モードになると解除されます。

ただし、送信用に選択されたメッセージバッファから送信を開始する前に、CAN ノードがバス (受信端子) 上に新しいメッセージを検出した場合、アポート要求によって送信を中止することができます。

このビットへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。本ビットは、TXRQ ビットが“1”のときのみ“1”にできます。

本ビットを、CPU 書き込みによって“0”にすることはできません。CPU から“1”を書くのと CAN チャネルからのクリアが同時に発生した場合は、本ビットは“0”になります。

TARQ ビットは以下の場合に自動的に“0”になります。

- 送信が正常に終了したとき
- 送信アボートが終了したとき
- CAN バスエラー、アービトレーションロストを検出したとき
- CANFD モジュールが GL_RESET モードに入るか、または CAN チャンネルが CH_RESET モードに入ったとき

ONESHOT ビット (ワンショット送信許可ビット)

ONESHOT ビットを“1”にすると、CANFD モジュールは、メッセージの送信を 1 回だけ試みます。

送信が正常に終了すると、TMSRn.TXRF[1:0] フラグは“10b”または“11b”になります。バスエラーまたはアービトレーションロストの検出により送信に失敗した場合、送信は自動的に中止され、TMSRn.TXRF[1:0] フラグが“01b”になります。

送信が正常に終了した場合、または CAN バスエラーやアービトレーションロストの検出により送信が中止された場合、ONESHOT ビットは“1”のままになります。

このビットへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

本ビットは、TXRQ ビットと同時に“1”にしてください。また、本ビットのクリアは書き込みで行ってください。

すでに送信を要求している場合は、送信が成功するか、送信が中止されるまで、本ビットへの書き込みは行わないでください。

ONESHOT ビットは、CANFD モジュールが GL_RESET モードに入るか、または CAN チャンネルが CH_RESET モードに入ると、自動的に“0”になります。

33.2.37 送信メッセージバッファ n ステータスレジスタ (TMSRn) (n = 0 ~ 3)

アドレス CANFD.TMSR0 000A 8074h, CANFD.TMSR1 000A 8075h, CANFD.TMSR2 000A 8076h, CANFD.TMSR3 000A 8077h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TARQS	TXRQS	TXRF[1:0]	TXSF	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXSF	送信ステータスフラグ	0 : 送信中ではない 1 : 送信中	R
b2-b1	TXRF[1:0]	送信結果フラグ	b2 b1 0 0 : 結果なし(未送信または送信中) 0 1 : 送信は中止された 1 0 : 送信成功。送信アボート要求なし 1 1 : 送信成功。送信アボート要求あり	R/W
b3	TXRQS	送信要求ステータスフラグ	0 : 送信要求なし 1 : 送信要求あり	R
b4	TARQS	送信アボート要求ステータスフラグ	0 : 送信アボート要求なし 1 : 送信アボート要求あり	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMSRn レジスタ (n = 0 ~ 3) は、送信メッセージバッファの送信状態と送信中止の状態を表します。

TXSF フラグ (送信ステータスフラグ)

TXSF フラグは、対応する送信メッセージバッファからの送信が開始されると自動的に“1”になります。本フラグは、以下の場合に自動的に“0”になります。

- 送信停止時
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

TXRF[1:0] フラグ (送信結果フラグ)

TXRF[1:0] フラグは、対応する送信メッセージバッファの送信結果を示します。

このフラグへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、当該フラグは“1”になります。

本フラグは、CANFD モジュールが GL_RESET モードまたは、CAN チャネルが CH_RESET モードのときに自動的に“00b”になります。

TXRQS フラグ (送信要求ステータスフラグ)

TXRQS フラグには、TMCRn.TXRQ ビットの値が反映されます。

TXRQ ビットが“1”になると“1”になり、TXRQ ビットが“0”になると“0”になります。

TARQS フラグ (送信アボート要求ステータスフラグ)

TARQS フラグには、TMCRn.TARQ ビットの値が反映されます。

TARQ ビットが“1”になると“1”になり、TARQ ビットが“0”になると“0”になります。

33.2.38 送信メッセージバッファ送信要求ステータスレジスタ 0 (TMTRSR0)

アドレス CANFD.TMTRSR0 000A 8078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TXRQS	TXRQS	TXRQS	TXRQS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	3	2	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TXRQS0	送信メッセージバッファ 0 送信要求ステータスフラグ	0 : 送信メッセージバッファ 0 に対する送信要求なし 1 : 送信メッセージバッファ 0 に対する送信要求あり	R
b1	TXRQS1	送信メッセージバッファ 1 送信要求ステータスフラグ	0 : 送信メッセージバッファ 1 に対する送信要求なし 1 : 送信メッセージバッファ 1 に対する送信要求あり	R
b2	TXRQS2	送信メッセージバッファ 2 送信要求ステータスフラグ	0 : 送信メッセージバッファ 2 に対する送信要求なし 1 : 送信メッセージバッファ 2 に対する送信要求あり	R
b3	TXRQS3	送信メッセージバッファ 3 送信要求ステータスフラグ	0 : 送信メッセージバッファ 3 に対する送信要求なし 1 : 送信メッセージバッファ 3 に対する送信要求あり	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMTRSR0 レジスタは、各送信メッセージバッファの送信要求の状態を示します。

TXRQSn フラグ (送信メッセージバッファ n 送信要求ステータスフラグ) (n = 0 ~ 3)

TXRQSn フラグは、TMCRn.TXRQ ビットの状態を表します。

各フラグは、TMCRn.TXRQ ビットが“1”で、メッセージバッファが送信キューに属していない場合のみ、“1”になります。

各フラグは、以下の場合に自動的に“0”になります。

- TMCRn.TXRQ ビットが“0”になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

33.2.39 送信メッセージバッファ送信アポート要求ステータスレジスタ 0 (TMARSR0)

アドレス CANFD.TMARSR0 000A 807Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TARQS	TARQS	TARQS	TARQS
													3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TARQS0	送信メッセージバッファ0送信アポート要求ステータスフラグ	0: 送信メッセージバッファ0に対する送信アポート要求なし 1: 送信メッセージバッファ0に対する送信アポート要求あり	R
b1	TARQS1	送信メッセージバッファ1送信アポート要求ステータスフラグ	0: 送信メッセージバッファ1に対する送信アポート要求なし 1: 送信メッセージバッファ1に対する送信アポート要求あり	R
b2	TARQS2	送信メッセージバッファ2送信アポート要求ステータスフラグ	0: 送信メッセージバッファ2に対する送信アポート要求なし 1: 送信メッセージバッファ2に対する送信アポート要求あり	R
b3	TARQS3	送信メッセージバッファ3送信アポート要求ステータスフラグ	0: 送信メッセージバッファ3に対する送信アポート要求なし 1: 送信メッセージバッファ3に対する送信アポート要求あり	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMARSR0 レジスタは、各送信メッセージバッファの送信アポート要求の状態を示します。

TARQSn フラグ (送信メッセージバッファ n 送信アポート要求ステータフラグ) (n = 0 ~ 3)

TARQSn フラグは、TMCRn.TARQ ビットの状態を表します。

各フラグは、TMCRn.TARQ ビットが“1”になるか、メッセージバッファが送信キューに属している場合に、“1”になります。

各フラグは、以下の場合に自動的に“0”になります。

- TMCRn.TARQ ビットが“0”になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャンネルが CH_RESET モードに入ったとき

33.2.40 送信メッセージバッファ送信完了ステータスレジスタ 0 (TMTCSR0)

アドレス CANFD.TMTCSR0 000A 8080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TXCF3	TXCF2	TXCF1	TXCF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXCF0	送信メッセージバッファ 0 送信完了フラグ	0: 送信メッセージバッファ 0 の送信は完了していない 1: 送信メッセージバッファ 0 の送信が完了した	R
b1	TXCF1	送信メッセージバッファ 1 送信完了フラグ	0: 送信メッセージバッファ 1 の送信は完了していない 1: 送信メッセージバッファ 1 の送信が完了した	R
b2	TXCF2	送信メッセージバッファ 2 送信完了フラグ	0: 送信メッセージバッファ 2 の送信は完了していない 1: 送信メッセージバッファ 2 の送信が完了した	R
b3	TXCF3	送信メッセージバッファ 3 送信完了フラグ	0: 送信メッセージバッファ 3 の送信は完了していない 1: 送信メッセージバッファ 3 の送信が完了した	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMTCSR0 レジスタは、各送信メッセージバッファの送信完了の状態を示します。

TXCFn フラグ (送信メッセージバッファ n 送信完了フラグ) (n = 0 ~ 3)

TXCFn フラグは、送信メッセージバッファ n の送信完了の状態を表します。

本フラグは、TMSRn.TXRF[1] ビットが“1”になると自動的に“1”になります。

各フラグは、以下の場合に自動的に“0”になります。

- TMSRn.TXRF[1] ビットが“0”になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

33.2.41 送信メッセージバッファ送信アポートステータスレジスタ 0 (TMTASR0)

アドレス CANFD.TMTASR0 000A 8084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TAF3	TAF2	TAF1	TAF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TAF0	送信メッセージバッファ 0 送信アポートフラグ	0: 送信メッセージバッファ 0 の送信は中止されていない 1: 送信メッセージバッファ 0 の送信は中止された	R
b1	TAF1	送信メッセージバッファ 1 送信アポートフラグ	0: 送信メッセージバッファ 1 の送信は中止されていない 1: 送信メッセージバッファ 1 の送信は中止された	R
b2	TAF2	送信メッセージバッファ 2 送信アポートフラグ	0: 送信メッセージバッファ 2 の送信は中止されていない 1: 送信メッセージバッファ 2 の送信は中止された	R
b3	TAF3	送信メッセージバッファ 3 送信アポートフラグ	0: 送信メッセージバッファ 3 の送信は中止されていない 1: 送信メッセージバッファ 3 の送信は中止された	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMTASR0 レジスタは、各送信メッセージバッファの送信アポートの状態を示します。

TAFn フラグ (送信メッセージバッファ n 送信アポートフラグ) (n = 0 ~ 3)

TAFn フラグは、送信メッセージバッファ n の送信アポートの状態を表します。

各フラグは、TMSRn.TXRF[1:0] フラグが“01b”になると自動的に“1”になります。

各フラグは、以下の場合に自動的に“0”になります。

- TMSRn.TXRF[1:0] フラグが“00b”になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

33.2.42 送信メッセージバッファ割り込み許可レジスタ 0 (TMIER0)

アドレス CANFD.TMIER0 000A 8088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMIE3	TMIE2	TMIE1	TMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMIE0	送信メッセージバッファ 0 割り込み許可ビット	0: 送信メッセージバッファ 0 に対する割り込み禁止 1: 送信メッセージバッファ 0 に対する割り込み許可	R/W
b1	TMIE1	送信メッセージバッファ 1 割り込み許可ビット	0: 送信メッセージバッファ 1 に対する割り込み禁止 1: 送信メッセージバッファ 1 に対する割り込み許可	R/W
b2	TMIE2	送信メッセージバッファ 2 割り込み許可ビット	0: 送信メッセージバッファ 2 に対する割り込み禁止 1: 送信メッセージバッファ 2 に対する割り込み許可	R/W
b3	TMIE3	送信メッセージバッファ 3 割り込み許可ビット	0: 送信メッセージバッファ 3 に対する割り込み禁止 1: 送信メッセージバッファ 3 に対する割り込み許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMIER0 レジスタは、各送信メッセージバッファに対する割り込みの許可/禁止を設定します。

TMIE_n ビット (送信メッセージバッファ n 割り込み許可ビット) (n = 0 ~ 3)

TMIE_n ビットが“1”になっている場合、送信メッセージバッファ n からの送信が正常に終了した時点で割り込みが発生します。

送信メッセージバッファに関する割り込みの仕様については、「33.10 割り込みと DTC/DMA 転送要求」を参照してください。

CANFD モジュールが GL_SLEEP モードの場合、このビットに書き込みはできません。

以下の場合、TMIE_n ビットへの書き込みはしないでください。

- CAN チャンネルが CH_SLEEP モードの場合
- 送信メッセージバッファ n が送信キューの一部である場合
- 送信メッセージバッファ n が、CFCR0.LTM[1:0] ビットによって共通 FIFO とリンクされている場合

33.2.43 送信キュー 0 設定レジスタ (TQCR0)

アドレス CANFD0.TQCR0 000A 808Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	QDS[1:0]	TQIM	—	TQIE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TQE	送信キュー許可ビット	0 : 送信キュー禁止 1 : 送信キュー許可	R/W
b4-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TQIE	送信キュー割り込み許可ビット	0 : 送信キュー送信割り込み禁止 1 : 送信キュー送信割り込み許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TQIM	送信キュー割り込みモード設定ビット	0 : 最後のメッセージが正常に送信されたときに割り込み発生 1 : 送信成功時に毎回割り込み発生	R/W
b9-b8	QDS[1:0]	キュー段数設定ビット	b9 b8 0 0 : 0段(無効) 0 1 : 設定しないでください 1 0 : 3段(送信メッセージバッファ 0~2) 1 1 : 4段(送信メッセージバッファ 0~3)	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TQCR0 レジスタは、送信キュー 0 を設定するためのレジスタです。

TQE ビット (送信キュー許可ビット)

TQE ビットは送信キューを有効にします。TQE ビットを“1”にすると、送信メッセージバッファを使用して送信キューが構成されます。

送信キューの段数が 0 (QDS[1:0] = 00b) の場合、TQE ビットを“1”にできません。

GL_SLEEP モードでは、値を変更できません。

また、本ビットへの書き込みは、CH_RESET モードまたは CH_SLEEP モードではできません。

TQE ビットは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

TQIE ビット (送信キュー割り込み許可ビット)

TQIE ビットが“1”の場合、TQIM ビットの設定に基づいて割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

CH_SLEEP モードでは、本ビットへの書き込みを行わないでください。

TQIM ビット (送信キュー割り込みモード設定ビット)

TQIM ビットは送信キューの割り込み発生条件を選択します。

GL_SLEEP モードでは、値を変更できません。

CH_SLEEP モード、CH_HALT モードまたは CH_OPERATION モードでは、本ビットへの書き込みを行わないでください。

QDS[1:0] ビット (キュー段数設定ビット)

QDS[1:0] ビットは、送信キューの段数を選択します。

“10b”を選択した場合、送信メッセージバッファ0～送信メッセージバッファ2が使用され、“11b”を選択した場合、送信メッセージバッファ0～送信メッセージバッファ3が使用されます。

GL_SLEEPモードでは、値を変更できません。CH_HALTモード、CH_OPERATIONモードでも、値を変更できません。

CH_SLEEPモードでは、本ビットへの書き込みを行わないでください。

33.2.44 送信キュー 0 ステータスレジスタ (TQSR0)

アドレス CANFD0.TQSR0 000A 8090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	FLVL[2:0]	—	—	—	—	—	—	TQIF	FULL	EMPTY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	送信キューエンプティフラグ	0: 送信キューにメッセージあり 1: 送信キューにメッセージなし(空)	R
b1	FULL	送信キューフルフラグ	0: 送信キューがフルではない 1: 送信キューがフル	R
b2	TQIF	送信キュー割り込みフラグ	0: 送信キュー割り込み条件が不成立 1: 送信キュー割り込み条件が成立	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	FLVL[2:0]	送信キュー格納メッセージ数	送信キューに格納されているメッセージの数を示します	R
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

TQSR0 レジスタは、送信キュー 0 の状態を示します。

EMPTY フラグ (送信キューエンプティフラグ)

このフラグは、以下の場合に自動的に“1”になります。

- TQCR0.TQE ビットを“0”(送信キュー禁止)にしたとき
- 送信キューにメッセージが格納されていないとき
- 送信キューから最後のメッセージが送信されたとき
- CAN チャネルが CH_RESET モードに入ったとき

本フラグは、最初の送信メッセージが送信キューに格納されると自動的に“0”になります。

FULL フラグ (送信キューフルフラグ)

FULL フラグは、送信キューに格納されているメッセージの数が、設定した送信キューの段数と一致した場合、自動的に“1”になります。

FULL フラグは、以下の場合に自動的に“0”になります。

- 送信キューに格納されているメッセージの数が、設定した送信キューの段数よりも少ない場合
- CAN チャネルが CH_RESET モードに入ったとき

TQIF フラグ (送信キュー割り込みフラグ)

TQIF フラグは、送信キューが禁止になっていると、クリアされません。

送信キューを停止させる場合、TQCR0.TQE ビットを“0”にし、送信キューが空になったことを確認した後、本フラグをクリアしてから停止させてください。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフ

ラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

送信キューに設定された割り込み条件が成立した場合、本フラグは自動的に“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- “0”を書いたとき
- CAN チャネルが CH_RESET モードに入ったとき
書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは“1”になります。

CH_SLEEP モードまたは CH_RESET モードでは、本フラグへの書き込みはできません。

FLVL[2:0] ビット (送信キュー格納メッセージ数)

FLVL[2:0] ビットは、送信キュー内のメッセージ数を示します。

これらのビットは、CAN チャネルが CH_RESET モードになると自動的に“000b”になります。

33.2.45 送信キュー 0 ポインタ制御レジスタ (TQPCR0)

アドレス CANFD0.TQPCR0 000A 8094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TQPCR0 レジスタを使用して、送信キューの書き込みポインタをインクリメントすることができます。

このレジスタに“000000FFh”を書き込むと、送信キューの書き込みポインタが更新され、既存のメッセージに対する送信要求が出力されます。

このレジスタの読み出し値は常に“00000000h”です。

CH_SLEEP モードまたは CH_RESET モードでは、このレジスタへの書き込みはできません。

本レジスタへの書き込みは、以下の場合にのみ行ってください。

- 送信キューが許可されており、フルではない場合

33.2.46 送信履歴設定レジスタ (THCR)

アドレス CANFD0.THCR 000A 8098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THRC	THIM	THIE	—	—	—	—	—	—	—	THE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	THE	送信履歴許可ビット	0: 送信履歴バッファ無効 1: 送信履歴バッファ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	THIE	送信履歴割り込み許可ビット	0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可	R/W
b9	THIM	送信履歴割り込みモード設定ビット	0: 送信履歴が全体の3/4に達すると割り込み発生 1: 送信履歴を格納するたびに割り込み発生	R/W
b10	THRC	送信履歴記録条件設定ビット	0: 送信FIFO + 送信キュー 1: 送信メッセージバッファ + 送信FIFO + 送信キュー	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

THCR レジスタは、送信履歴の機能を設定します。

THE ビット (送信履歴許可ビット)

THE ビットを“1”に設定すると、送信履歴バッファが有効になります。

CH_RESET モードまたは CH_SLEEP モードでは、値を変更できません。

本ビットは、CAN チャネルが CH_RESET モードの場合、自動的に“0”になります。

THIE ビット (送信履歴割り込み許可ビット)

THIE ビットを“1”に設定すると、送信履歴割り込みの生成を許可します。

GL_SLEEP モードでは、値を変更できません。

THIM ビット (送信履歴割り込みモード設定ビット)

THIM ビットは、送信履歴割り込みの生成条件を選択します。

GL_SLEEP モードでは、値を変更できません。

GL_HALT モードまたは GL_OPERATION モードでは、本ビットへの書き込みを行わないでください。

THRC ビット (送信履歴記録条件設定ビット)

THRC ビットは、送信成功後に送信履歴バッファに記録するときの条件を選択します。

GL_SLEEP モードでは、値を変更できません。

GL_HALT モードまたは GL_OPERATION モードでは、本ビットへの書き込みを行わないでください。

33.2.47 送信履歴ステータスレジスタ (THSR)

アドレス CANFD0.THSR 000A 809Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	FLVL[3:0]			—	—	—	—	—	THIF	LOST	FULL	EMPTY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	送信履歴エンプティフラグ	0: 送信履歴バッファに送信履歴あり 1: 送信履歴バッファに送信履歴なし(空)	R
b1	FULL	送信履歴フルフラグ	0: 送信履歴バッファはフルではない 1: 送信履歴バッファはフル	R
b2	LOST	送信履歴ロストフラグ	0: 送信履歴のロストなし 1: 送信履歴のロストあり	R/(W) (注1)
b3	THIF	送信履歴割り込みフラグ	0: 送信履歴割り込み条件が不成立 1: 送信履歴割り込み条件が成立	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	FLVL[3:0]	送信履歴記録メッセージ数	送信履歴バッファに記録されている送信履歴の数を示します	R
b31-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くともフラグの値は“0”になります。

THSR レジスタは、送信履歴バッファに格納されているデータのステータスを示します。

EMPTY フラグ (送信履歴エンプティフラグ)

このフラグは、最初の送信履歴が送信履歴バッファに格納されると自動的に“0”になります。

このフラグは、以下の場合に自動的に“1”になります。

- CPU が送信履歴バッファからすべての送信履歴を読み出したとき
- THCR.THE ビットが“0”(送信履歴バッファ無効)のとき
- CAN チャンネルが CH_RESET モードに入ったとき

FULL フラグ (送信履歴フルフラグ)

FULL フラグは、送信履歴バッファに記録されている履歴の数が8になると、自動的に“1”になります。

このフラグは、以下の場合に自動的に“0”になります。

- 送信履歴バッファに記録されている履歴の数が8よりも少ないとき
- THCR.THE ビットが“0”(送信履歴バッファ無効)のとき
- CAN チャンネルが CH_RESET モードに入ったとき

LOST フラグ (送信履歴ロストフラグ)

LOST フラグは、すでに送信履歴バッファがフルで、新たな送信履歴を記録できなかったときに“1”になります。

このフラグへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして32ビット単位で書いてください。

書き込みアクセスによるクリアとCANチャネルからのセットが同時に発生した場合、本フラグは“1”になります。

このフラグは、以下の場合に“0”になります。

- “0”を書いたとき
- CANチャネルがCH_RESETモードの場合

THIFフラグ(送信履歴割り込みフラグ)

THIFフラグは、設定した割り込み条件が成立すると“1”になります。

このフラグへの書き込みは、CH_HALTモードまたはCH_OPERATIONモードでのみ行えます。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして32ビット単位で書いてください。

書き込みアクセスによるクリアとCANチャネルからのセットが同時に発生した場合、本フラグは“1”になります。

このフラグは、以下の場合に“0”になります。

- “0”を書いたとき
- CANチャネルがCH_RESETモードの場合

FLVL[3:0]ビット(送信履歴記録メッセージ数)

FLVL[3:0]ビットは、送信履歴バッファに記録されている送信履歴の数を示します。

これらのビットは、CANチャネルがCH_RESETモードのとき、自動的に“0000b”になります。

33.2.48 送信履歴アクセスレジスタ 0 (THACR0)

アドレス CANFD0.THACR0 000A 8740h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BT[2:0]	送信バッファタイプ	b2 b0 0 0 1 : 送信メッセージバッファ 0 1 0 : 共通FIFO 1 0 0 : 送信キュー	R
b4-b3	BN[1:0]	送信バッファ番号	メッセージバッファ番号を示します	R
b15-b5	—	予約ビット	読むと“0”が読めます	R
b31-b16	TS[15:0]	送信タイムスタンプ	送信タイムスタンプ値を示します	R

THACR0 レジスタを使用すると、読み出しポインタの値に基づいて送信履歴バッファ内の履歴にアクセスできます。

BT[2:0] ビット (送信バッファタイプ)

BT[2:0] ビットは、読み出した履歴が、どの種類のバッファから送信されたメッセージに対する送信履歴なのかを示します。

BN[1:0] ビット (送信バッファ番号)

BN[1:0] ビットは、読み出した履歴が、どの番号のバッファから送信されたメッセージに対する送信履歴なのかを示します。

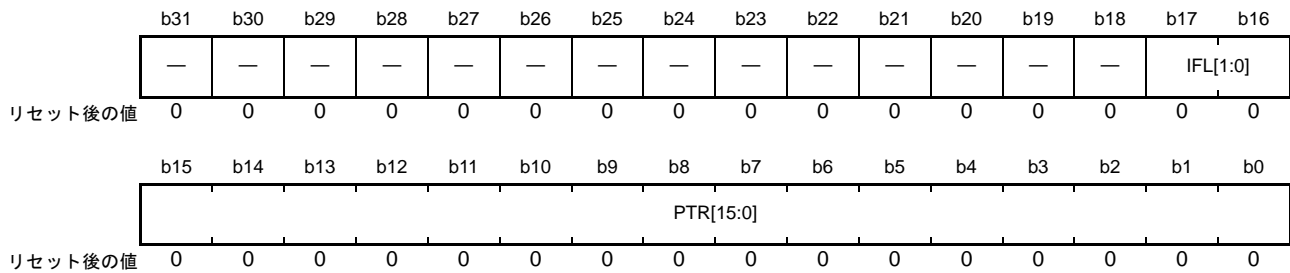
共通 FIFO の場合、リンクされている送信メッセージバッファの番号を示します。

TS[15:0] ビット (送信タイムスタンプ)

TS[15:0] ビットは、ソフトウェアドライバで使用するタイムスタンプを示します。

33.2.49 送信履歴アクセスレジスタ 1 (THACR1)

アドレス CANFD0.THACR1 000A 8744h



ビット	シンボル	ビット名	機能	R/W
b15-b0	PTR[15:0]	送信ポインタ	送信メッセージに付加したPTR[15:0]フィールドの値が格納されます	R
b17-b16	IFL[1:0]	送信情報ラベル	送信メッセージに付加したIFL[1:0]フィールドの値が格納されます	R
b31-b18	—	予約ビット	読むと“0”が読めます	R

THACR1 レジスタを使用すると、読み出しポインタの値に基づいて送信履歴バッファ内の履歴にアクセスできます。

PTR[15:0] ビット (送信ポインタ)

PTR[15:0] ビットには、送信メッセージに付加したポインタフィールド (TMBn.HF2.PTR[15:0] ビットまたはCFB0.HF2.PTR[15:0] ビット) の値が格納されています。

IFL[1:0] ビット (送信情報ラベル)

IFL[1:0] ビットには、送信メッセージに付加した情報ラベルフィールド (TMBn.HF2.IFL[1:0] ビットまたはCFB0.HF2.IFL[1:0] ビット) の値が格納されています。

33.2.50 送信履歴ポインタ制御レジスタ (THPCR)

アドレス CANFD0.THPCR 000A 80A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

THPCR レジスタは、送信履歴バッファの読み出しポインタをインクリメントするために使用します。

このレジスタに“000000FFh”を書き込むと、送信履歴バッファの読み出しポインタは次の履歴に移動します。

このレジスタの読み出し値は“00000000h”です。

本レジスタへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

送信履歴バッファが有効で、空ではない場合のみ、本レジスタに“000000FFh”を書き込んでください。

33.2.51 グローバルリセット制御レジスタ (GRCR)

アドレス CANFD.GRCR 000A 80D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	SRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SRST	ソフトウェアリセットビット	0: ソフトウェアリセット解除 1: ソフトウェアリセット状態	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	SRSTビットの書き換えを制御します。読むと“00h”が読めます	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SRST ビット (ソフトウェアリセットビット)

SRST ビットを“1”にすると、CANFD モジュールは MCU をリセットしたときと同じ状態になります。リセットが必要な場合は、本ビットに“1”を書き込んだ後、“0”を書き込みます。

ソフトウェアリセットを解除すると、CANFD モジュールは GL_SLEEP モードになります。

ソフトウェアリセット後、RAM の初期化シーケンスは動作しません。RAM の初期化はソフトウェアで行ってください。

同様に、RAM の初期化中にソフトウェアリセットを実行した場合、RAM は初期化されません。RAM の初期化はソフトウェアで行ってください。

KEY[7:0] ビット (キーコード)

SRST ビットの値を書き換える場合、このビットを“C4h”にして 32 ビット単位で同時に書いてください。

33.2.52 グローバルテストモード設定レジスタ (GTMCR)

アドレス CANFD.GTMCR 000A 80A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	RTPS[3:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b19-b16	RTPS[3:0]	RAMテストページ選択ビット	テストするRAMのページを選択します	R/W
b31-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTMCR レジスタは、RAM テストモード時にテストする RAM のページ番号を指定するのに使用されます。

RTPS[3:0] ビット (RAM テストページ選択ビット)

RTPS[3:0] ビットは、CANFD モジュールが RAM テストモードに設定されている場合に、CPU から読み書きする RAM ページの番号を指定します。ページ番号は 0 ~ 9 の範囲で指定してください。

RAM テストモードの仕様については、「33.9.2.1 RAM テストモード」を参照してください。

GL_RESET モードまたは GL_SLEEP モードでは、これらのビットへの書き込みはできません。本ビットへの書き込みは、GL_HALT モードでのみ行ってください。

CAN チャネルが GL_RESET モードのとき、本ビットは自動的に“0000b”になります。

33.2.53 グローバルテストモード許可レジスタ (GTMER)

アドレス CANFD.GTMER 000A 80ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	RTME	RAMテストモード許可ビット	0 : RAMテストモード禁止 1 : RAMテストモード許可	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTMER レジスタは、CANFD モジュールのグローバルテストモードを制御するために使用されます。

RTME ビット (RAM テストモード許可ビット)

RTME ビットを“1”にすると、CANFD モジュールはRAM テストモードになります。RAM テストモードの仕様については、「33.9.2.1 RAM テストモード」を参照してください。

このビットは、GL_HALT モードでのみ“1”にできます。RAM テストモードを終了する場合、GL_HALT モードでこのビットを“0”にしてください。

CANFD モジュールが GL_RESET モードに入ると、このビットは自動的に“0”になります。

33.2.54 グローバル CAN FD 設定レジスタ (GFDCFG)

アドレス CANFD.GFDCFG 000A 80B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TSCPS[1:0]	—	—	—	—	—	—	—	—	PXEDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PXEDIS	プロトコル例外イベント検出禁止ビット	0 : プロトコル例外イベント検出有効 1 : プロトコル例外イベント検出無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	TSCPS[1:0]	タイムスタンプ取得位置選択ビット	b9 b8 0 0 : SOF (Start Of Frame)のサンプルポイント 0 1 : フレームが有効であった場合のEOF (End Of Frame) 1 0 : SOFのサンプルポイント(Classical CANフレーム)、またはFDFビットに続くresビットのサンプルポイント(CAN FDフレーム) 1 1 : 設定しないでください	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PXEDIS ビット (プロトコル例外イベント検出禁止ビット)

PXEDIS ビットは、ISO 11898-1 に従ったプロトコル例外イベントの処理を設定します。

本ビットを“1”に設定すると、プロトコル例外イベントの検出は無効となり、プロトコル例外 (FDF ビットに続く res ビットがレセプブだった) を検出したときはエラーフレームを送信します。

本ビットへの書き込みは、GL_RESET モードでのみ行えます。

TSCPS[1:0] ビット (タイムスタンプ取得位置選択ビット)

TSCPS[1:0] ビットは、送受信時のタイムスタンプの取得位置を選択するビットです。

TSCPS[1:0] ビットが“10b”の場合、CAN FD フレームでは FDF ビット直後の res ビットで、Classical CAN フレームでは SOF で、タイムスタンプを取得します。

本ビットへの書き込みは、GL_RESET モードでのみ行えます。

33.2.55 グローバルテストモードロックキーレジスタ (GTMLKR)

アドレス CANFD.GTMLKR 000A 80B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTMLKR レジスタは、RAM テストモードの保護を解除するために使用するレジスタです。

ロックキーの仕様については「[33.9.2 グローバルテストモード](#)」を参照してください。

CANFD モジュールをRAM テストモードにするには、このレジスタに2つのロック解除キーを連続したバスサイクルで書き込む必要があります。

本レジスタからの読み出し値は“00000000h”です。

GL_SLEEP モードまたは GL_RESET モードでは、このレジスタへの書き込みはできません。

GL_OPERATION モードでは、このレジスタに書き込みを行わないでください。

33.2.56 RAM テストページアクセスレジスタ k (RTPARK) (k = 0 ~ 63)

アドレス CANFD.RTPAR0 000A 8280h~CANFD.RTPAR63 000A 837Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

このレジスタの読み書きは、CANFD モジュールがRAM テストモードに設定されている場合に可能です。

本レジスタへの書き込みは、GL_HALT モードでRAM テストモードが有効の場合にのみ行えます。

33.2.57 アクセプタンスフィルタ無効エントリ設定レジスタ (AFIGSR)

アドレス CANFD.AFIGSR 000A 80C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	IGES[4:0]				
	—	—	—	—	—	—	—	—	—	—	—					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IGES[4:0]	無効エントリ選択ビット	アクセプタンスフィルタ処理時に無視するルール番号を設定します。	R/W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IGES[4:0] ビット (無効エントリ選択ビット)

IGES[4:0] ビットは、アクセプタンスフィルタを更新する際に、更新するルール番号を設定します。

本ビットへの書き込みは、AFIGER.IGEE ビットが“0”のときのみ行ってください。

GL_SLEEP モードでは、値を変更できません。

33.2.58 アクセプタンスフィルタ無効エントリ許可レジスタ (AFIGER)

アドレス CANFD.AFIGER 000A 80C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	IGEE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGEE	無効エントリ許可ビット	0 : AFIGSR.IGES[4:0]ビットの設定は無効 1 : AFIGSR.IGES[4:0]ビットの設定は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	IGEEビットの書き換えの可否を制御します	W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IGEE ビット (無効エントリ許可ビット)

IGEE ビットが“1”の場合、AFIGSR.IGES[4:0] ビットで選択されているエントリは無視されます。
本ビットは CANFD モジュールが GL_RESET モードのとき自動的に“0”になります。

KEY[7:0] ビット (キーコード)

KEY[7:0] ビットに“C4h”が書き込まれると、IGEE ビットへの書き込みが有効になります。
本ビットからの読み出し値は“00h”です。
IGEE ビットと KEY[7:0] ビットは同時に書き込んでください。

33.2.59 受信メッセージバッファ割り込み許可レジスタ (RMIER)

アドレス CANFD.RMIE00A 8038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RMIE3	RMIE3	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE1	RMIE1	RMIE1	RMIE1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMIE1	RMIE1	RMIE1	RMIE1	RMIE11	RMIE1	RMIE9	RMIE8	RMIE7	RMIE6	RMIE5	RMIE4	RMIE3	RMIE2	RMIE1	RMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RMIE0	受信メッセージバッファ 0 割り込み許可ビット	0: 受信メッセージバッファ 0 に対する割り込み禁止 1: 受信メッセージバッファ 0 に対する割り込み許可	R/W
b1	RMIE1	受信メッセージバッファ 1 割り込み許可ビット	0: 受信メッセージバッファ 1 に対する割り込み禁止 1: 受信メッセージバッファ 1 に対する割り込み許可	R/W
b2	RMIE2	受信メッセージバッファ 2 割り込み許可ビット	0: 受信メッセージバッファ 2 に対する割り込み禁止 1: 受信メッセージバッファ 2 に対する割り込み許可	R/W
b3	RMIE3	受信メッセージバッファ 3 割り込み許可ビット	0: 受信メッセージバッファ 3 に対する割り込み禁止 1: 受信メッセージバッファ 3 に対する割り込み許可	R/W
b4	RMIE4	受信メッセージバッファ 4 割り込み許可ビット	0: 受信メッセージバッファ 4 に対する割り込み禁止 1: 受信メッセージバッファ 4 に対する割り込み許可	R/W
b5	RMIE5	受信メッセージバッファ 5 割り込み許可ビット	0: 受信メッセージバッファ 5 に対する割り込み禁止 1: 受信メッセージバッファ 5 に対する割り込み許可	R/W
b6	RMIE6	受信メッセージバッファ 6 割り込み許可ビット	0: 受信メッセージバッファ 6 に対する割り込み禁止 1: 受信メッセージバッファ 6 に対する割り込み許可	R/W
b7	RMIE7	受信メッセージバッファ 7 割り込み許可ビット	0: 受信メッセージバッファ 7 に対する割り込み禁止 1: 受信メッセージバッファ 7 に対する割り込み許可	R/W
b8	RMIE8	受信メッセージバッファ 8 割り込み許可ビット	0: 受信メッセージバッファ 8 に対する割り込み禁止 1: 受信メッセージバッファ 8 に対する割り込み許可	R/W
b9	RMIE9	受信メッセージバッファ 9 割り込み許可ビット	0: 受信メッセージバッファ 9 に対する割り込み禁止 1: 受信メッセージバッファ 9 に対する割り込み許可	R/W
b10	RMIE10	受信メッセージバッファ 10 割り込み許可ビット	0: 受信メッセージバッファ 10 に対する割り込み禁止 1: 受信メッセージバッファ 10 に対する割り込み許可	R/W
b11	RMIE11	受信メッセージバッファ 11 割り込み許可ビット	0: 受信メッセージバッファ 11 に対する割り込み禁止 1: 受信メッセージバッファ 11 に対する割り込み許可	R/W
b12	RMIE12	受信メッセージバッファ 12 割り込み許可ビット	0: 受信メッセージバッファ 12 に対する割り込み禁止 1: 受信メッセージバッファ 12 に対する割り込み許可	R/W
b13	RMIE13	受信メッセージバッファ 13 割り込み許可ビット	0: 受信メッセージバッファ 13 に対する割り込み禁止 1: 受信メッセージバッファ 13 に対する割り込み許可	R/W
b14	RMIE14	受信メッセージバッファ 14 割り込み許可ビット	0: 受信メッセージバッファ 14 に対する割り込み禁止 1: 受信メッセージバッファ 14 に対する割り込み許可	R/W
b15	RMIE15	受信メッセージバッファ 15 割り込み許可ビット	0: 受信メッセージバッファ 15 に対する割り込み禁止 1: 受信メッセージバッファ 15 に対する割り込み許可	R/W
b16	RMIE16	受信メッセージバッファ 16 割り込み許可ビット	0: 受信メッセージバッファ 16 に対する割り込み禁止 1: 受信メッセージバッファ 16 に対する割り込み許可	R/W
b17	RMIE17	受信メッセージバッファ 17 割り込み許可ビット	0: 受信メッセージバッファ 17 に対する割り込み禁止 1: 受信メッセージバッファ 17 に対する割り込み許可	R/W
b18	RMIE18	受信メッセージバッファ 18 割り込み許可ビット	0: 受信メッセージバッファ 18 に対する割り込み禁止 1: 受信メッセージバッファ 18 に対する割り込み許可	R/W
b19	RMIE19	受信メッセージバッファ 19 割り込み許可ビット	0: 受信メッセージバッファ 19 に対する割り込み禁止 1: 受信メッセージバッファ 19 に対する割り込み許可	R/W

ビット	シンボル	ビット名	機能	R/W
b20	RMIE20	受信メッセージバッファ 20 割り込み許可ビット	0: 受信メッセージバッファ 20 に対する割り込み禁止 1: 受信メッセージバッファ 20 に対する割り込み許可	R/W
b21	RMIE21	受信メッセージバッファ 21 割り込み許可ビット	0: 受信メッセージバッファ 21 に対する割り込み禁止 1: 受信メッセージバッファ 21 に対する割り込み許可	R/W
b22	RMIE22	受信メッセージバッファ 22 割り込み許可ビット	0: 受信メッセージバッファ 22 に対する割り込み禁止 1: 受信メッセージバッファ 22 に対する割り込み許可	R/W
b23	RMIE23	受信メッセージバッファ 23 割り込み許可ビット	0: 受信メッセージバッファ 23 に対する割り込み禁止 1: 受信メッセージバッファ 23 に対する割り込み許可	R/W
b24	RMIE24	受信メッセージバッファ 24 割り込み許可ビット	0: 受信メッセージバッファ 24 に対する割り込み禁止 1: 受信メッセージバッファ 24 に対する割り込み許可	R/W
b25	RMIE25	受信メッセージバッファ 25 割り込み許可ビット	0: 受信メッセージバッファ 25 に対する割り込み禁止 1: 受信メッセージバッファ 25 に対する割り込み許可	R/W
b26	RMIE26	受信メッセージバッファ 26 割り込み許可ビット	0: 受信メッセージバッファ 26 に対する割り込み禁止 1: 受信メッセージバッファ 26 に対する割り込み許可	R/W
b27	RMIE27	受信メッセージバッファ 27 割り込み許可ビット	0: 受信メッセージバッファ 27 に対する割り込み禁止 1: 受信メッセージバッファ 27 に対する割り込み許可	R/W
b28	RMIE28	受信メッセージバッファ 28 割り込み許可ビット	0: 受信メッセージバッファ 28 に対する割り込み禁止 1: 受信メッセージバッファ 28 に対する割り込み許可	R/W
b29	RMIE29	受信メッセージバッファ 29 割り込み許可ビット	0: 受信メッセージバッファ 29 に対する割り込み禁止 1: 受信メッセージバッファ 29 に対する割り込み許可	R/W
b30	RMIE30	受信メッセージバッファ 30 割り込み許可ビット	0: 受信メッセージバッファ 30 に対する割り込み禁止 1: 受信メッセージバッファ 30 に対する割り込み許可	R/W
b31	RMIE31	受信メッセージバッファ 31 割り込み許可ビット	0: 受信メッセージバッファ 31 に対する割り込み禁止 1: 受信メッセージバッファ 31 に対する割り込み許可	R/W

RMIER レジスタは、各受信メッセージバッファに対する割り込みの許可 / 禁止を設定します。

RMIE_n ビット (受信メッセージバッファ n 割り込み許可ビット) (n = 0 ~ 31)

RMIE_n ビットを“1”にすると、受信メッセージバッファ n への受信が成功したときに割り込みが発生します。

受信メッセージバッファ割り込みの仕様については「33.10 割り込みと DTC/DMA 転送要求」を参照してください。

GL_SLEEP モードでは、値を変更できません。

33.2.60 IDビットの配置

標準フォーマット (11 ビット ID) : ID-28 ~ ID-18 は b10 ~ b0 に配置され、b28 ~ b11 は “0” です。

拡張フォーマット (29 ビット ID) : ID-28 ~ ID-0 は b28 ~ b0 に配置されています。

表33.4 標準ID (11ビットフォーマット)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IDE = 0	RTR	—	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	ID-20	ID-19	ID-18

表33.5 拡張ID (29ビットフォーマット)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IDE = 1	RTR	—	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	ID-20	ID-19	ID-18	ID-17	ID-16

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0

33.2.61 メッセージバッファの構造

メッセージバッファは、4種類のメッセージバッファで構成されています。

- 受信メッセージバッファ (RMBn)
- 受信 FIFO (RFBn)
- 共通 FIFO (CFB0)
- 送信メッセージバッファ (TMBn)

n はメッセージバッファの種類により範囲が変わるメッセージバッファ番号です。

この構成の概要については、図 33.33 を参照してください。メッセージバッファの数や種類の詳細については、「33.6 FIFO バッファとメッセージバッファの構成」を参照してください。

33.2.61.1 開始アドレス

各メッセージバッファの開始アドレスは、メッセージバッファ番号を使って計算されます。

表 33.6 にメッセージバッファの各レジスタの開始アドレスを示します。

表 33.6 メッセージバッファの各レジスタの開始アドレス

メッセージバッファ	シンボル	n	レジスタ	p	開始アドレス
受信メッセージバッファ	RMBn	0~7	HF0	—	000A 8920h + n × 4Ch
			HF1	—	000A 8924h + n × 4Ch
			HF2	—	000A 8928h + n × 4Ch
			DFp	0~15	000A 892Ch + n × 4Ch + p × 4
	RMBn	8~15	HF0	—	000A 8D20h + (n - 8) × 4Ch
			HF1	—	000A 8D24h + (n - 8) × 4Ch
			HF2	—	000A 8D28h + (n - 8) × 4Ch
			DFp	0~15	000A 8D2Ch + (n - 8) × 4Ch + p × 4
	RMBn	16~23	HF0	—	000A 9120h + (n - 16) × 4Ch
			HF1	—	000A 9124h + (n - 16) × 4Ch
			HF2	—	000A 9128h + (n - 16) × 4Ch
			DFp	0~15	000A 912Ch + (n - 16) × 4Ch + p × 4
	RMBn	24~31	HF0	—	000A 9520h + (n - 24) × 4Ch
			HF1	—	000A 9524h + (n - 24) × 4Ch
			HF2	—	000A 9528h + (n - 24) × 4Ch
			DFp	0~15	000A 952Ch + (n - 24) × 4Ch + p × 4
受信 FIFO	RFBn	0, 1	HF0	—	000A 8520h + n × 4Ch
			HF1	—	000A 8524h + n × 4Ch
			HF2	—	000A 8528h + n × 4Ch
			DFp	0~15	000A 852Ch + n × 4Ch + p × 4
共通 FIFO	CFB0	0	HF0	—	000A 85B8h
			HF1	—	000A 85BCh
			HF2	—	000A 85C0h
			DFp	0~15	000A 85C4h + p × 4
送信メッセージバッファ	TMBn	0~3	HF0	—	000A 8604h + n × 4Ch
			HF1	—	000A 8608h + n × 4Ch
			HF2	—	000A 860Ch + n × 4Ch
			DFp	0~15	000A 8610h + n × 4Ch + p × 4

33.2.61.2 受信メッセージバッファ n (RMBn) (n = 0 ~ 31)

受信メッセージバッファ (RMB) の総数は、図 33.33 に示すように 32 個です。

受信メッセージバッファは、以下のレジスタで構成されています。

- RMBn.HF0
- RMBn.HF1
- RMBn.HF2
- RMBn.DF0 ~ RMBn.DF15

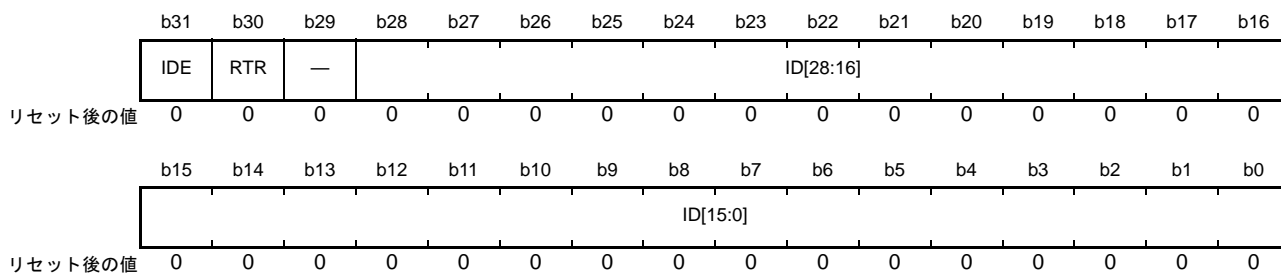
表 33.7 に、このバッファの構成を示します。

表33.7 受信メッセージバッファの構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	RMBn.HF0	受信メッセージバッファ n ヘッダフィールド0	IDE, RTR, ID
+04h	RMBn.HF1	受信メッセージバッファ n ヘッダフィールド1	DLC、タイムスタンプ
+08h	RMBn.HF2	受信メッセージバッファ n ヘッダフィールド2	ポインタ、情報ラベル、 FDF、BRS、ESI
+0Ch	RMBn.DF0	受信メッセージバッファ n データフィールド0	DATA0 ~ DATA3
+10h	RMBn.DF1	受信メッセージバッファ n データフィールド1	DATA4 ~ DATA7
+14h	RMBn.DF2	受信メッセージバッファ n データフィールド2	DATA8 ~ DATA11
+18h	RMBn.DF3	受信メッセージバッファ n データフィールド3	DATA12 ~ DATA15
+1Ch	RMBn.DF4	受信メッセージバッファ n データフィールド4	DATA16 ~ DATA19
+20h	RMBn.DF5	受信メッセージバッファ n データフィールド5	DATA20 ~ DATA23
+24h	RMBn.DF6	受信メッセージバッファ n データフィールド6	DATA24 ~ DATA27
+28h	RMBn.DF7	受信メッセージバッファ n データフィールド7	DATA28 ~ DATA31
+2Ch	RMBn.DF8	受信メッセージバッファ n データフィールド8	DATA32 ~ DATA35
+30h	RMBn.DF9	受信メッセージバッファ n データフィールド9	DATA36 ~ DATA39
+34h	RMBn.DF10	受信メッセージバッファ n データフィールド10	DATA40 ~ DATA43
+38h	RMBn.DF11	受信メッセージバッファ n データフィールド11	DATA44 ~ DATA47
+3Ch	RMBn.DF12	受信メッセージバッファ n データフィールド12	DATA48 ~ DATA51
+40h	RMBn.DF13	受信メッセージバッファ n データフィールド13	DATA52 ~ DATA55
+44h	RMBn.DF14	受信メッセージバッファ n データフィールド14	DATA56 ~ DATA59
+48h	RMBn.DF15	受信メッセージバッファ n データフィールド15	DATA60 ~ DATA63

33.2.61.3 受信メッセージバッファ n ヘッダフィールド 0 (RMBn.HF0) (n = 0 ~ 31)

アドレス CANFD.RMB0.HF0 000A 8920h, CANFD.RMB1.HF0 000A 896Ch, CANFD.RMB2.HF0 000A 89B8h,
CANFD.RMB3.HF0 000A 8A04h, CANFD.RMB4.HF0 000A 8A50h, CANFD.RMB5.HF0 000A 8A9Ch,
CANFD.RMB6.HF0 000A 8AE8h, CANFD.RMB7.HF0 000A 8B34h,
CANFD.RMB8.HF0 000A 8D20h, CANFD.RMB9.HF0 000A 8D6Ch, CANFD.RMB10.HF0 000A 8DB8h,
CANFD.RMB11.HF0 000A 8E04h, CANFD.RMB12.HF0 000A 8E50h, CANFD.RMB13.HF0 000A 8E9Ch,
CANFD.RMB14.HF0 000A 8EE8h, CANFD.RMB15.HF0 000A 8F34h,
CANFD.RMB16.HF0 000A 9120h, CANFD.RMB17.HF0 000A 916Ch, CANFD.RMB18.HF0 000A 91B8h,
CANFD.RMB19.HF0 000A 9204h, CANFD.RMB20.HF0 000A 9250h, CANFD.RMB21.HF0 000A 929Ch,
CANFD.RMB22.HF0 000A 92E8h, CANFD.RMB23.HF0 000A 9334h,
CANFD.RMB24.HF0 000A 9520h, CANFD.RMB25.HF0 000A 956Ch, CANFD.RMB26.HF0 000A 95B8h,
CANFD.RMB27.HF0 000A 9604h, CANFD.RMB28.HF0 000A 9650h, CANFD.RMB29.HF0 000A 969Ch,
CANFD.RMB30.HF0 000A 96E8h, CANFD.RMB31.HF0 000A 9734h



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R
b29	—	予約ビット	読むと“0”が読めます	R
b30	RTR	リモートフレーム要求ビット	0 : データフレーム 1 : リモートフレーム	R
b31	IDE	ID拡張ビット	0 : 標準ID 1 : 拡張ID	R

RMBn.HF0 レジスタ (n = 0 ~ 31) には、受信したメッセージの ID フィールド、IDE ビット、RTR ビットが格納されます。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットには、受信メッセージバッファに格納されているメッセージの標準 ID/ 拡張 ID フィールドが格納されます。

標準フォーマットと拡張フォーマットにおけるビット配置については、「33.2.60 ID ビットの配置」を参照してください。

RTR ビット (リモートフレーム要求ビット)

RTR ビットには、受信したメッセージの RTR ビット値が格納されます。

RTR ビットは、受信メッセージバッファにデータフレームとリモートフレームのどちらが格納されているかを示します。

注. CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを受信した場合、このビットには RRS ビットの値が反映されます。

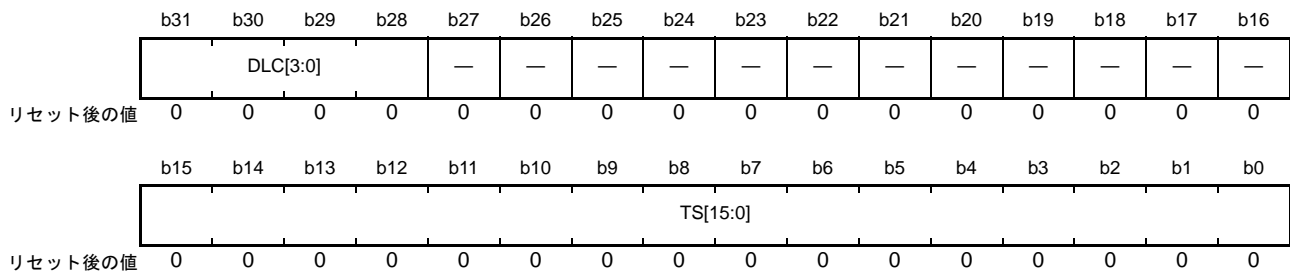
IDE ビット (ID 拡張ビット)

IDE ビットには、受信したメッセージの IDE ビット値が格納されます。

IDE ビットは、受信メッセージバッファに格納されているメッセージが標準 ID と拡張 ID のどちらを持っているかを示します。

33.2.61.4 受信メッセージバッファ n ヘッダフィールド 1 (RMBn.HF1) (n = 0 ~ 31)

アドレス CANFD.RMB0.HF1 000A 8924h, CANFD.RMB1.HF1 000A 8970h, CANFD.RMB2.HF1 000A 89BCh,
 CANFD.RMB3.HF1 000A 8A08h, CANFD.RMB4.HF1 000A 8A54h, CANFD.RMB5.HF1 000A 8AA0h,
 CANFD.RMB6.HF1 000A 8AECh, CANFD.RMB7.HF1 000A 8B38h,
 CANFD.RMB8.HF1 000A 8D24h, CANFD.RMB9.HF1 000A 8D70h, CANFD.RMB10.HF1 000A 8DBCh,
 CANFD.RMB11.HF1 000A 8E08h, CANFD.RMB12.HF1 000A 8E54h, CANFD.RMB13.HF1 000A 8EA0h,
 CANFD.RMB14.HF1 000A 8EECh, CANFD.RMB15.HF1 000A 8F38h,
 CANFD.RMB16.HF1 000A 9124h, CANFD.RMB17.HF1 000A 9170h, CANFD.RMB18.HF1 000A 91BCh,
 CANFD.RMB19.HF1 000A 9208h, CANFD.RMB20.HF1 000A 9254h, CANFD.RMB21.HF1 000A 92A0h,
 CANFD.RMB22.HF1 000A 92ECh, CANFD.RMB23.HF1 000A 9338h,
 CANFD.RMB24.HF1 000A 9524h, CANFD.RMB25.HF1 000A 9570h, CANFD.RMB26.HF1 000A 95BCh,
 CANFD.RMB27.HF1 000A 9608h, CANFD.RMB28.HF1 000A 9654h, CANFD.RMB29.HF1 000A 96A0h,
 CANFD.RMB30.HF1 000A 96ECh, CANFD.RMB31.HF1 000A 9738h



ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ	受信メッセージバッファに格納されているメッセージのタイムスタンプ値を示します	R
b27-b16	—	予約ビット	読むと“0”が読めます	R
b31-b28	DLC[3:0]	データ長コード	CANフレームで受信したデータバイト数を示します	R

RMBn.HF1 レジスタ (n = 0 ~ 31) には、受信したメッセージのデータ長コード (DLC) とタイムスタンプが格納されます。

TS[15:0] ビット (タイムスタンプ)

TS[15:0] ビットには、GFDCFG.TSCPS[1:0] ビットで指定したキャプチャポイントにおける受信メッセージのタイムスタンプ値が格納されます。

DLC[3:0] ビット (データ長コード)

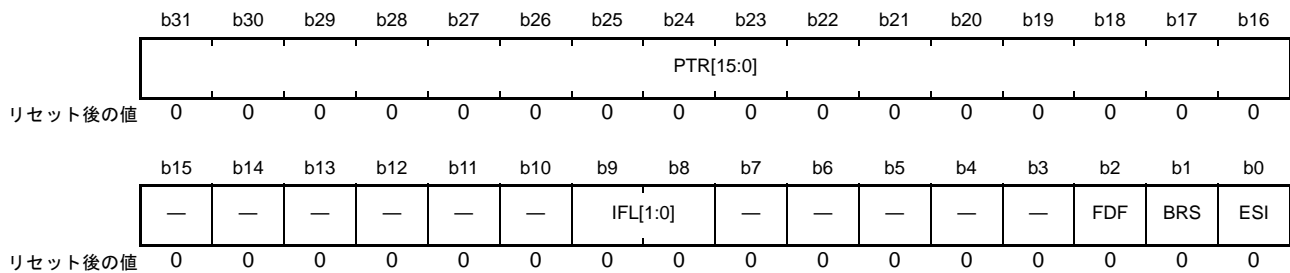
DLC[3:0] ビットには、受信したメッセージのデータバイト数が格納されます。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

注. バッファの最大データバイト数は、RMCR.PLS[2:0] ビットで指定します。

33.2.61.5 受信メッセージバッファ n ヘッダフィールド 2 (RMBn.HF2) (n = 0 ~ 31)

アドレス CANFD.RMB0.HF2 000A 8928h, CANFD.RMB1.HF2 000A 8974h, CANFD.RMB2.HF2 000A 89C0h,
CANFD.RMB3.HF2 000A 8A0Ch, CANFD.RMB4.HF2 000A 8A58h, CANFD.RMB5.HF2 000A 8AA4h,
CANFD.RMB6.HF2 000A 8AF0h, CANFD.RMB7.HF2 000A 8B3Ch,
CANFD.RMB8.HF2 000A 8D28h, CANFD.RMB9.HF2 000A 8D74h, CANFD.RMB10.HF2 000A 8DC0h,
CANFD.RMB11.HF2 000A 8E0Ch, CANFD.RMB12.HF2 000A 8E58h, CANFD.RMB13.HF2 000A 8EA4h,
CANFD.RMB14.HF2 000A 8EF0h, CANFD.RMB15.HF2 000A 8F3Ch,
CANFD.RMB16.HF2 000A 9128h, CANFD.RMB17.HF2 000A 9174h, CANFD.RMB18.HF2 000A 91C0h,
CANFD.RMB19.HF2 000A 920Ch, CANFD.RMB20.HF2 000A 9258h, CANFD.RMB21.HF2 000A 92A4h,
CANFD.RMB22.HF2 000A 92F0h, CANFD.RMB23.HF2 000A 933Ch,
CANFD.RMB24.HF2 000A 9528h, CANFD.RMB25.HF2 000A 9574h, CANFD.RMB26.HF2 000A 95C0h,
CANFD.RMB27.HF2 000A 960Ch, CANFD.RMB28.HF2 000A 9658h, CANFD.RMB29.HF2 000A 96A4h,
CANFD.RMB30.HF2 000A 96F0h, CANFD.RMB31.HF2 000A 973Ch



ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示フラグ	0 : エラーアクティブノードから受信したCAN FD フレーム 1 : エラーパッシブノードから受信したCAN FD フレーム	R
b1	BRS	ビットレートスイッチフラグ	0 : ビットレートスイッチなしで受信したCAN FD フレーム 1 : ビットレートスイッチ付きで受信したCAN FD フレーム	R
b2	FDf	FDフォーマット表示フラグ	0 : CAN FD フレーム以外を受信 1 : CAN FD フレームを受信	R
b7-b3	—	予約ビット	読むと“0”が読めます	R
b9-b8	IFL[1:0]	情報ラベル	アクセプタンスフィルタで付加された情報ラベルが格納されるフィールドです	R
b15-b10	—	予約ビット	読むと“0”が読めます	R
b31-b16	PTR[15:0]	ポインタ	アクセプタンスフィルタで付加されたポインタが格納されるフィールドです	R

RMBn.HF2 レジスタ (n=0 ~ 31) には、受信したメッセージの FDF ビット、BRS ビット、ESI フラグと、受信したメッセージに対するポインタが格納されます。

ESI フラグ (エラー状態表示フラグ)

ESI フラグには、受信した CAN FD フレームの ESI フラグ値が格納されます。

受信した FDF ビットが“0”の場合は、Classical CAN フレームを受信したことを意味し、このフラグに“0”が格納されます。

BRS フラグ (ビットレートスイッチフラグ)

BRS フラグには、受信した CAN FD フレームの BRS ビット値が格納されます。

受信した FDF ビットが“0”の場合は、Classical CAN フレームを受信したことを意味し、このフラグに“0”が格納されます。

FDF フラグ (FD フォーマット表示フラグ)

FDF フラグには、受信した CAN FD フレームの FDF ビット値が格納されます。

IFL[1:0] ビット (情報ラベル)

IFL[1:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定された情報ラベル値が格納されます。

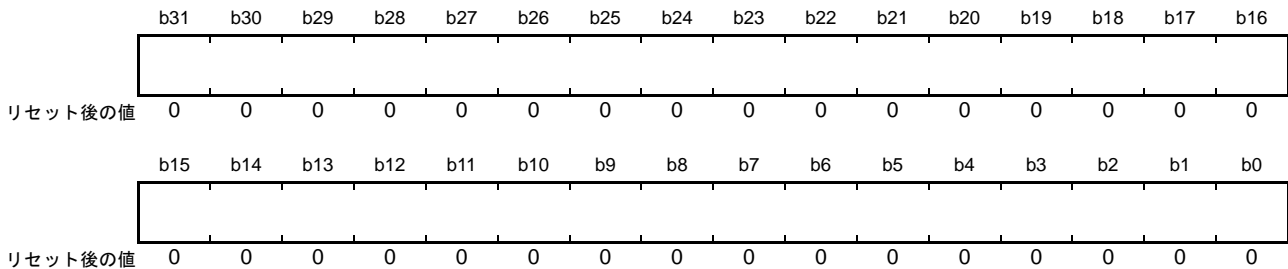
PTR[15:0] ビット (ポインタ)

PTR[15:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定されたポインタ値が格納されます。

33.2.61.6 受信メッセージバッファ n データフィールド p (RMBn.DFp) (n = 0 ~ 31、p = 0 ~ 15)

CANFD.RMB0.DF0 000A 892Ch ~ CANFD.RMB0.DF15 000A 8968h,
 CANFD.RMB1.DF0 000A 8978h ~ CANFD.RMB1.DF15 000A 89B4h,
 CANFD.RMB2.DF0 000A 89C4h ~ CANFD.RMB2.DF15 000A 8A00h,
 CANFD.RMB3.DF0 000A 8A10h ~ CANFD.RMB3.DF15 000A 8A4Ch,
 CANFD.RMB4.DF0 000A 8A5Ch ~ CANFD.RMB4.DF15 000A 8A98h,
 CANFD.RMB5.DF0 000A 8AA8h ~ CANFD.RMB5.DF15 000A 8AE4h,
 CANFD.RMB6.DF0 000A 8AF4h ~ CANFD.RMB6.DF15 000A 8B30h,
 CANFD.RMB7.DF0 000A 8B40h ~ CANFD.RMB7.DF15 000A 8B7Ch,
 CANFD.RMB8.DF0 000A 8D2Ch ~ CANFD.RMB8.DF15 000A 8D68h,
 CANFD.RMB9.DF0 000A 8D78h ~ CANFD.RMB9.DF15 000A 8DB4h,
 CANFD.RMB10.DF0 000A 8DC4h ~ CANFD.RMB10.DF15 000A 8E00h,
 CANFD.RMB11.DF0 000A 8E10h ~ CANFD.RMB11.DF15 000A 8E4Ch,
 CANFD.RMB12.DF0 000A 8E5Ch ~ CANFD.RMB12.DF15 000A 8E98h,
 CANFD.RMB13.DF0 000A 8EA8h ~ CANFD.RMB13.DF15 000A 8EE4h,
 CANFD.RMB14.DF0 000A 8EF4h ~ CANFD.RMB14.DF15 000A 8F30h,
 CANFD.RMB15.DF0 000A 8F40h ~ CANFD.RMB15.DF15 000A 8F7Ch,
 CANFD.RMB16.DF0 000A 912Ch ~ CANFD.RMB16.DF15 000A 9168h,
 CANFD.RMB17.DF0 000A 9178h ~ CANFD.RMB17.DF15 000A 91B4h,
 CANFD.RMB18.DF0 000A 91C4h ~ CANFD.RMB18.DF15 000A 9200h,
 CANFD.RMB19.DF0 000A 9210h ~ CANFD.RMB19.DF15 000A 924Ch,
 CANFD.RMB20.DF0 000A 925Ch ~ CANFD.RMB20.DF15 000A 9298h,
 CANFD.RMB21.DF0 000A 92A8h ~ CANFD.RMB21.DF15 000A 92E4h,
 CANFD.RMB22.DF0 000A 92F4h ~ CANFD.RMB22.DF15 000A 9330h,
 CANFD.RMB23.DF0 000A 9340h ~ CANFD.RMB23.DF15 000A 937Ch,
 CANFD.RMB24.DF0 000A 952Ch ~ CANFD.RMB24.DF15 000A 9568h,
 CANFD.RMB25.DF0 000A 9578h ~ CANFD.RMB25.DF15 000A 95B4h,
 CANFD.RMB26.DF0 000A 95C4h ~ CANFD.RMB26.DF15 000A 9600h,
 CANFD.RMB27.DF0 000A 9610h ~ CANFD.RMB27.DF15 000A 964Ch,
 CANFD.RMB28.DF0 000A 965Ch ~ CANFD.RMB28.DF15 000A 9698h,
 CANFD.RMB29.DF0 000A 96A8h ~ CANFD.RMB29.DF15 000A 96E4h,
 CANFD.RMB30.DF0 000A 96F4h ~ CANFD.RMB30.DF15 000A 9730h,
 CANFD.RMB31.DF0 000A 9740h ~ CANFD.RMB31.DF15 000A 977Ch

アドレス

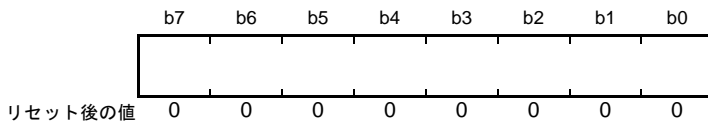


RMBn.DFp レジスタ (n = 0 ~ 31、p = 0 ~ 15) は、受信したメッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) が格納されているリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

33.2.61.7 受信メッセージバッファ n データ k (RMBn.DATAk) (n = 0 ~ 31、k = 0 ~ 63)

CANFD.RMB0.DATA0 000A 892Ch ~ CANFD.RMB0.DATA63 000A 896Bh,
 CANFD.RMB1.DATA0 000A 8978h ~ CANFD.RMB1.DATA63 000A 89B7h,
 CANFD.RMB2.DATA0 000A 89C4h ~ CANFD.RMB2.DATA63 000A 8A03h,
 CANFD.RMB3.DATA0 000A 8A10h ~ CANFD.RMB3.DATA63 000A 8A4Fh,
 CANFD.RMB4.DATA0 000A 8A5Ch ~ CANFD.RMB4.DATA63 000A 8A9Bh,
 CANFD.RMB5.DATA0 000A 8AA8h ~ CANFD.RMB5.DATA63 000A 8AE7h,
 CANFD.RMB6.DATA0 000A 8AF4h ~ CANFD.RMB6.DATA63 000A 8B33h,
 CANFD.RMB7.DATA0 000A 8B40h ~ CANFD.RMB7.DATA63 000A 8B7Fh,
 CANFD.RMB8.DATA0 000A 8D2Ch ~ CANFD.RMB8.DATA63 000A 8D6Bh,
 CANFD.RMB9.DATA0 000A 8D78h ~ CANFD.RMB9.DATA63 000A 8DB7h,
 CANFD.RMB10.DATA0 000A 8DC4h ~ CANFD.RMB10.DATA63 000A 8E03h,
 CANFD.RMB11.DATA0 000A 8E10h ~ CANFD.RMB11.DATA63 000A 8E4Fh,
 CANFD.RMB12.DATA0 000A 8E5Ch ~ CANFD.RMB12.DATA63 000A 8E9Bh,
 CANFD.RMB13.DATA0 000A 8EA8h ~ CANFD.RMB13.DATA63 000A 8EE7h,
 CANFD.RMB14.DATA0 000A 8EF4h ~ CANFD.RMB14.DATA63 000A 8F33h,
 アドレス CANFD.RMB15.DATA0 000A 8F40h ~ CANFD.RMB15.DATA63 000A 8F7Fh,
 CANFD.RMB16.DATA0 000A 912Ch ~ CANFD.RMB16.DATA63 000A 916Bh,
 CANFD.RMB17.DATA0 000A 9178h ~ CANFD.RMB17.DATA63 000A 91B7h,
 CANFD.RMB18.DATA0 000A 91C4h ~ CANFD.RMB18.DATA63 000A 9203h,
 CANFD.RMB19.DATA0 000A 9210h ~ CANFD.RMB19.DATA63 000A 924Fh,
 CANFD.RMB20.DATA0 000A 925Ch ~ CANFD.RMB20.DATA63 000A 929Bh,
 CANFD.RMB21.DATA0 000A 92A8h ~ CANFD.RMB21.DATA63 000A 92E7h,
 CANFD.RMB22.DATA0 000A 92F4h ~ CANFD.RMB22.DATA63 000A 9333h,
 CANFD.RMB23.DATA0 000A 9340h ~ CANFD.RMB23.DATA63 000A 937Fh,
 CANFD.RMB24.DATA0 000A 952Ch ~ CANFD.RMB24.DATA63 000A 956Bh,
 CANFD.RMB25.DATA0 000A 9578h ~ CANFD.RMB25.DATA63 000A 95B7h,
 CANFD.RMB26.DATA0 000A 95C4h ~ CANFD.RMB26.DATA63 000A 9603h,
 CANFD.RMB27.DATA0 000A 9610h ~ CANFD.RMB27.DATA63 000A 964Fh,
 CANFD.RMB28.DATA0 000A 965Ch ~ CANFD.RMB28.DATA63 000A 969Bh,
 CANFD.RMB29.DATA0 000A 96A8h ~ CANFD.RMB29.DATA63 000A 96E7h,
 CANFD.RMB30.DATA0 000A 96F4h ~ CANFD.RMB30.DATA63 000A 9733h,
 CANFD.RMB31.DATA0 000A 9740h ~ CANFD.RMB31.DATA63 000A 977Fh



RMBn.DATAk レジスタ (n = 0 ~ 31、k = 0 ~ 63) は、受信したメッセージのデータバイトが格納されているリードオンのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

33.2.61.8 受信 FIFO n (RFBn) (n = 0, 1)

受信 FIFO (RFB) の総数は、図 33.33 に示すように 2 個です。

受信 FIFO は、以下のレジスタで構成されています。

- RFBn.HF0
- RFBn.HF1
- RFBn.HF2
- RFBn.DF0 ~ RFBn.DF15

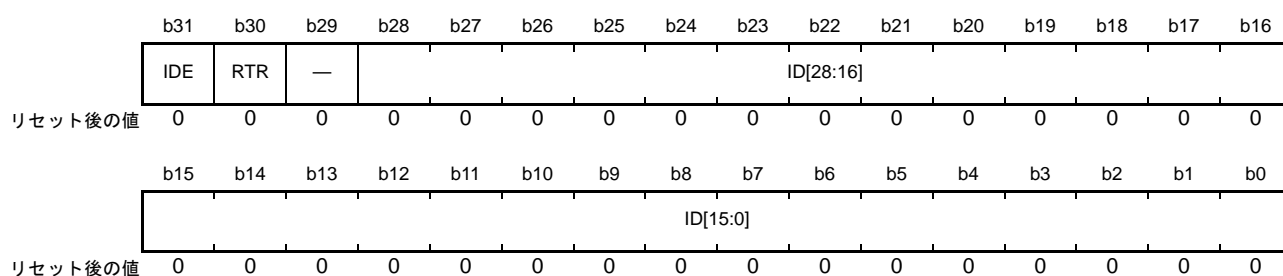
表 33.8 に、このバッファの構成を示します。

表 33.8 受信 FIFO の構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	RFBn.HF0	受信 FIFO n ヘッダフィールド 0	IDE, RTR, ID
+04h	RFBn.HF1	受信 FIFO n ヘッダフィールド 1	DLC、タイムスタンプ
+08h	RFBn.HF2	受信 FIFO n ヘッダフィールド 2	ポインタ、情報ラベル、 FDF、BRS、ESI
+0Ch	RFBn.DF0	受信 FIFO n データフィールド 0	DATA0 ~ DATA3
+10h	RFBn.DF1	受信 FIFO n データフィールド 1	DATA4 ~ DATA7
+14h	RFBn.DF2	受信 FIFO n データフィールド 2	DATA8 ~ DATA11
+18h	RFBn.DF3	受信 FIFO n データフィールド 3	DATA12 ~ DATA15
+1Ch	RFBn.DF4	受信 FIFO n データフィールド 4	DATA16 ~ DATA19
+20h	RFBn.DF5	受信 FIFO n データフィールド 5	DATA20 ~ DATA23
+24h	RFBn.DF6	受信 FIFO n データフィールド 6	DATA24 ~ DATA27
+28h	RFBn.DF7	受信 FIFO n データフィールド 7	DATA28 ~ DATA31
+2Ch	RFBn.DF8	受信 FIFO n データフィールド 8	DATA32 ~ DATA35
+30h	RFBn.DF9	受信 FIFO n データフィールド 9	DATA36 ~ DATA39
+34h	RFBn.DF10	受信 FIFO n データフィールド 10	DATA40 ~ DATA43
+38h	RFBn.DF11	受信 FIFO n データフィールド 11	DATA44 ~ DATA47
+3Ch	RFBn.DF12	受信 FIFO n データフィールド 12	DATA48 ~ DATA51
+40h	RFBn.DF13	受信 FIFO n データフィールド 13	DATA52 ~ DATA55
+44h	RFBn.DF14	受信 FIFO n データフィールド 14	DATA56 ~ DATA59
+48h	RFBn.DF15	受信 FIFO n データフィールド 15	DATA60 ~ DATA63

33.2.61.9 受信 FIFO n ヘッダフィールド 0 (RFBn.HF0) (n = 0, 1)

アドレス CANFD.RFB0.HF0 000A 8520h, CANFD.RFB1.HF0 000A 856Ch



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R
b29	—	予約ビット	読むと“0”が読めます	R
b30	RTR	リモートフレーム要求ビット	0 : データフレーム 1 : リモートフレーム	R
b31	IDE	ID拡張ビット	0 : 標準ID 1 : 拡張ID	R

RFBn.HF0 レジスタ (n = 0, 1) には、受信したメッセージの ID フィールド、IDE ビット、RTR ビットが格納されます。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットには、受信 FIFO に格納されているメッセージの標準 ID/ 拡張 ID フィールドが格納されます。

標準フォーマットと拡張フォーマットにおけるビット配置については、「33.2.60 ID ビットの配置」を参照してください。

RTR ビット (リモートフレーム要求ビット)

RTR ビットには、受信したメッセージの RTR ビット値が格納されます。

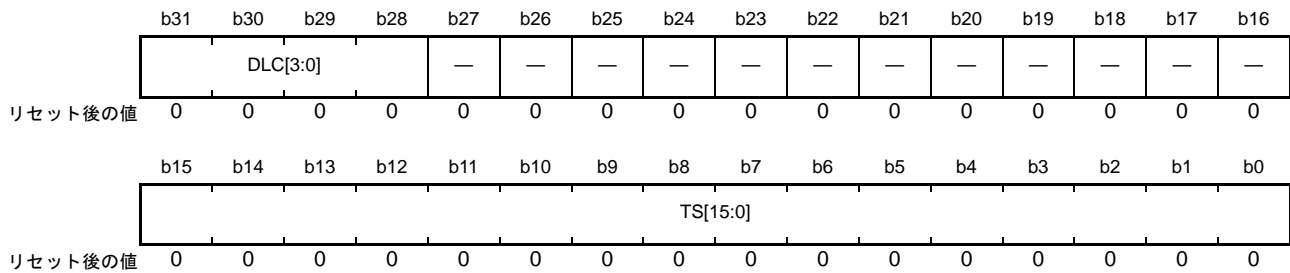
注． CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを受信した場合、このビットには RRS ビットの値が反映されます。

IDE ビット (ID 拡張ビット)

IDE ビットには、受信したメッセージの IDE ビット値が格納されます。

33.2.61.10 受信 FIFO n ヘッダフィールド 1 (RFBn.HF1) (n = 0, 1)

アドレス CANFD.RFB0.HF1 000A 8524h, CANFD.RFB1.HF1 000A 8570h



ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ	受信したCANフレームのタイムスタンプ値を示します	R
b27-b16	—	予約ビット	読むと“0”が読めます	R
b31-b28	DLC[3:0]	データ長コード	CANフレームで受信したデータバイト数を示します	R

RFBn.HF1 レジスタ (n = 0, 1) には、受信したメッセージのデータ長コード (DLC) とタイムスタンプが格納されます。

TS[15:0] ビット (タイムスタンプ)

TS[15:0] ビットには、GFDCFG.TSCPS[1:0] ビットで設定されたキャプチャポイントにおける受信メッセージのタイムスタンプ値が格納されます。

DLC[3:0] ビット (データ長コード)

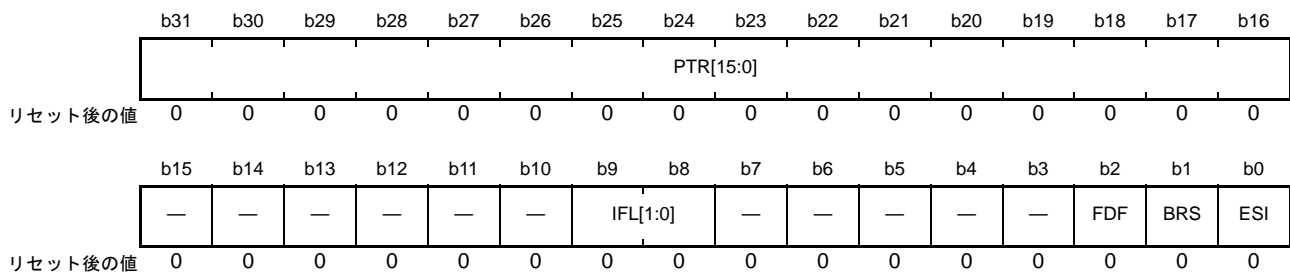
DLC[3:0] ビットには、受信したメッセージのデータバイト数が格納されます。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

注. バッファの最大データバイト数は、RFCRn.PLS[2:0] ビットで指定します。

33.2.61.11 受信 FIFO n ヘッダフィールド 2 (RFBn.HF2) (n = 0, 1)

アドレス CANFD.RFB0.HF2 000A 8528h, CANFD.RFB1.HF2 000A 8574h



ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示フラグ	0 : エラーアクティブノードから受信したCAN FDフレーム 1 : エラーパッシブノードから受信したCAN FDフレーム	R
b1	BRS	ビットレートスイッチフラグ	0 : ビットレートスイッチなしで受信したCAN FDフレーム 1 : ビットレートスイッチ付きで受信したCAN FDフレーム	R
b2	FDF	FDフォーマット表示フラグ	0 : CAN FDフレーム以外を受信 1 : CAN FDフレームを受信	R
b7-b3	—	予約ビット	読むと“0”が読めます	R
b9-b8	IFL[1:0]	情報ラベル	アクセプタンスフィルタで付加された情報ラベルが格納されるフィールドです	R
b15-b10	—	予約ビット	読むと“0”が読めます	R
b31-b16	PTR[15:0]	ポインタ	アクセプタンスフィルタで付加されたポインタが格納されるフィールドです	R

RFBn.HF2 レジスタ (n = 0, 1) には、受信したメッセージの FDF ビット、BRS ビット、ESI フラグと、受信したメッセージに対するポインタが格納されます。

ESI フラグ (エラー状態表示フラグ)

ESI フラグには、受信した CAN FD フレームの ESI フラグ値が格納されます。

受信した FDF ビットが“0”の場合は、Classical CAN フレームを受信したことを意味し、このフラグに“0”が格納されます。

BRS フラグ (ビットレートスイッチフラグ)

BRS フラグには、受信した CAN FD フレームの BRS ビット値が格納されます。

受信した FDF ビットが“0”の場合は、Classical CAN フレームを受信したことを意味し、このフラグに“0”が格納されます。

FDF フラグ (FD フォーマット表示フラグ)

FDF フラグには、受信した CAN FD フレームの FDF ビット値が格納されます。

IFL[1:0] ビット (情報ラベル)

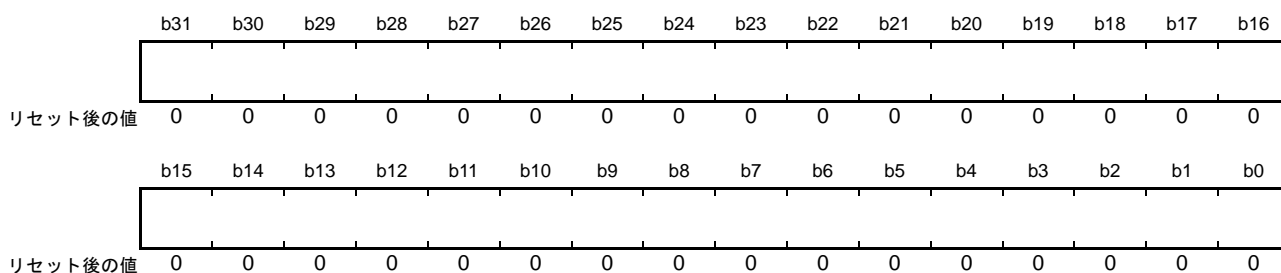
IFL[1:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定された情報ラベル値が格納されます。

PTR[15:0] ビット (ポインタ)

PTR[15:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定されたポインタ値が格納されます。

33.2.61.12 受信 FIFO n データフィールド p (RFBn.DFp) (n = 0, 1、p = 0 ~ 15)

アドレス CANFD.RFB0.DF0 000A 852Ch ~ CANFD.RFB0.DF15 000A 8568h,
CANFD.RFB1.DF0 000A 8578h ~ CANFD.RFB1.DF15 000A 85B4h

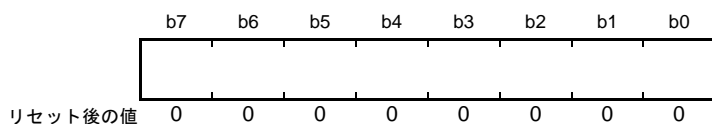


RFBn.DFp レジスタ (n = 0, 1、p = 0 ~ 15) は、受信したメッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) が格納されているリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

33.2.61.13 受信 FIFO n データ k (RFBn.DATAk) (n = 0, 1、k = 0 ~ 63)

アドレス CANFD.RFB0.DATA0 000A 852Ch ~ CANFD.RFB0.DATA63 000A 856Bh,
CANFD.RFB1.DATA0 000A 8578h ~ CANFD.RFB1.DATA63 000A 85B7h



RFBn.DATAk レジスタ (n = 0, 1、k = 0 ~ 63) は、受信したメッセージのデータバイトが格納されているリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

33.2.61.14 共通 FIFO 0 (CFB0)

共通 FIFO (CFB) の総数は、図 33.33 に示すように 1 個です。

CFB0 は、以下のレジスタで構成されています。

- CFB0.HF0
- CFB0.HF1
- CFB0.HF2
- CFB0.DF0 ~ CFB0.DF15

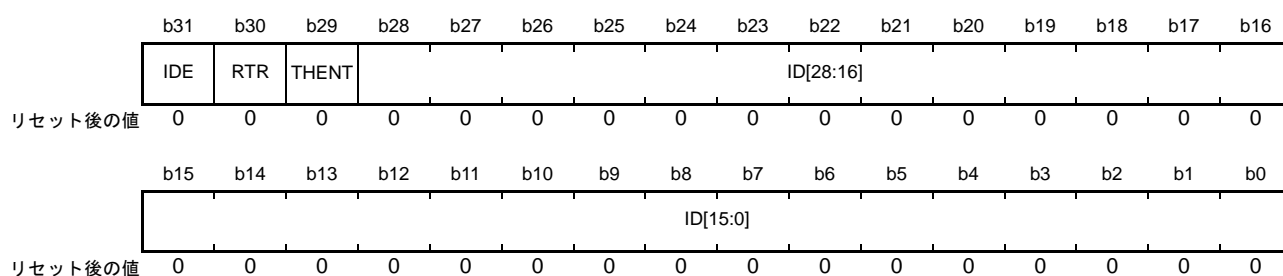
表 33.9 に、このバッファコンポーネントの構造を示します。

表 33.9 共通 FIFO の構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	CFB0.HF0	共通 FIFO 0 ヘッダフィールド 0	IDE, RTR, ID
+04h	CFB0.HF1	共通 FIFO 0 ヘッダフィールド 1	DLC、タイムスタンプ
+08h	CFB0.HF2	共通 FIFO 0 ヘッダフィールド 2	ポインタ、情報ラベル、 FDF、BRS、ESI
+0Ch	CFB0.DF0	共通 FIFO 0 データフィールド 0	DATA0 ~ DATA3
+10h	CFB0.DF1	共通 FIFO 0 データフィールド 1	DATA4 ~ DATA7
+14h	CFB0.DF2	共通 FIFO 0 データフィールド 2	DATA8 ~ DATA11
+18h	CFB0.DF3	共通 FIFO 0 データフィールド 3	DATA12 ~ DATA15
+1Ch	CFB0.DF4	共通 FIFO 0 データフィールド 4	DATA16 ~ DATA19
+20h	CFB0.DF5	共通 FIFO 0 データフィールド 5	DATA20 ~ DATA23
+24h	CFB0.DF6	共通 FIFO 0 データフィールド 6	DATA24 ~ DATA27
+28h	CFB0.DF7	共通 FIFO 0 データフィールド 7	DATA28 ~ DATA31
+2Ch	CFB0.DF8	共通 FIFO 0 データフィールド 8	DATA32 ~ DATA35
+30h	CFB0.DF9	共通 FIFO 0 データフィールド 9	DATA36 ~ DATA39
+34h	CFB0.DF10	共通 FIFO 0 データフィールド 10	DATA40 ~ DATA43
+38h	CFB0.DF11	共通 FIFO 0 データフィールド 11	DATA44 ~ DATA47
+3Ch	CFB0.DF12	共通 FIFO 0 データフィールド 12	DATA48 ~ DATA51
+40h	CFB0.DF13	共通 FIFO 0 データフィールド 13	DATA52 ~ DATA55
+44h	CFB0.DF14	共通 FIFO 0 データフィールド 14	DATA56 ~ DATA59
+48h	CFB0.DF15	共通 FIFO 0 データフィールド 15	DATA60 ~ DATA63

33.2.61.15 共通 FIFO 0 ヘッドフィールド 0 (CFB0.HF0)

アドレス CANFD.CFB0.HF0 000A 85B8h



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R/W
b29	THENT	送信履歴エントリビット	受信FIFOモード： 予約ビット。読むと“0”が読めます 送信FIFOモード： 0：送信成功後、エントリを送信履歴に格納しない 1：送信成功後、エントリを送信履歴に格納する	R/W
b30	RTR	リモートフレーム要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット	0：標準ID 1：拡張ID	R/W

受信 FIFO モードの場合、CFB0.HF0 レジスタは、FIFO バッファ先頭から受信メッセージの ID フィールド、IDE ビット、RTR ビットを読み出すためのリードオンリのレジスタです。

送信 FIFO モードの場合、CFB0.HF0 レジスタは、FIFO バッファ末尾に送信するメッセージの ID フィールド、IDE ビット、RTR ビットを書き込むためのリード/ライト可能なレジスタです。

ID[28:0] ビット (ID フィールド)

受信 FIFO モードでは、受信したメッセージの標準 ID/ 拡張 ID フィールドが格納されます。

送信 FIFO モードでは、送信するメッセージの標準 ID/ 拡張 ID フィールドの値を指定するビットです。

標準フォーマットと拡張フォーマットにおけるビット配置については、「33.2.60 ID ビットの配置」を参照してください。

THENT ビット (送信履歴エントリビット)

送信 FIFO モードの場合のみ有効です。

THENT ビットは、メッセージの送信が成功した後、対応するエントリを送信履歴に格納するかどうかを制御します。

RTR ビット (リモートフレーム要求ビット)

受信 FIFO モードでは、受信したメッセージの RTR ビット値が格納されます。

送信 FIFO モードでは、送信するメッセージの RTR ビット値を指定するビットです。

注． CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを受信した場合 (受信モード)、このビットには RRS ビットの値が反映されます。CAN FD フレームを送信する (CFB0.HF2.FDF = 1) 場合、このビットの値にかかわらずドミナントが送信されます。

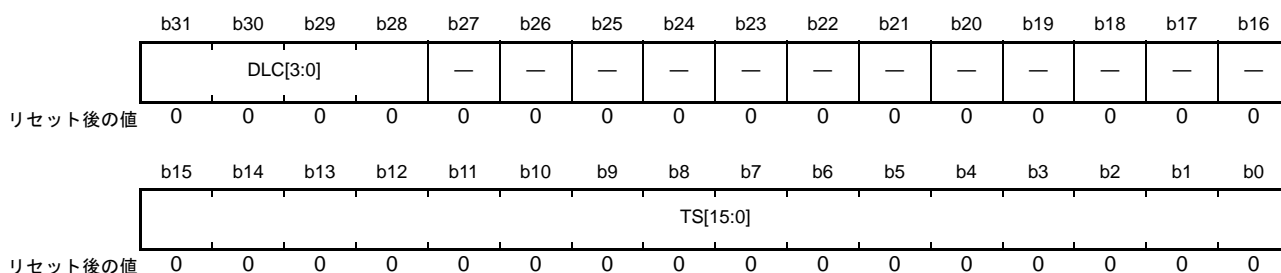
IDE ビット (ID 拡張ビット)

受信 FIFO モードでは、受信したメッセージの IDE ビット値が格納されます。

送信 FIFO モードでは、送信するメッセージの IDE ビット値を指定するビットです。

33.2.61.16 共通 FIFO 0 ヘッダフィールド 1 (CFB0.HF1)

アドレス CANFD.CFB0.HF1 000A 85BCh



ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ	受信したCANフレームのタイムスタンプ値を示します(受信FIFOモード時)	R/W
b27-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b28	DLC[3:0]	データ長コード	CANフレームで受信されたデータバイト数、またはCANフレームで送信されるデータバイト数を示します	R/W

受信 FIFO モードの場合、CFB0.HF1 レジスタは、FIFO バッファ先頭から受信メッセージのデータ長コード (DLC) とタイムスタンプを読み出すためのリードオンリのレジスタです。

送信 FIFO モードの場合、CFB0.HF1 レジスタは、FIFO バッファ末尾に送信メッセージのデータ長コード (DLC) を書き込むためのリード/ライト可能なレジスタです。

TS[15:0] ビット (タイムスタンプ)

受信 FIFO モードの場合のみ有効です。

TS[15:0] ビットには、GFDCFG.TSCPS[1:0] ビットで設定されたキャプチャポイントにおける受信メッセージのタイムスタンプ値が格納されます。

DLC[3:0] ビット (データ長コード)

受信 FIFO モードの場合、受信したメッセージのデータバイト数を示します。

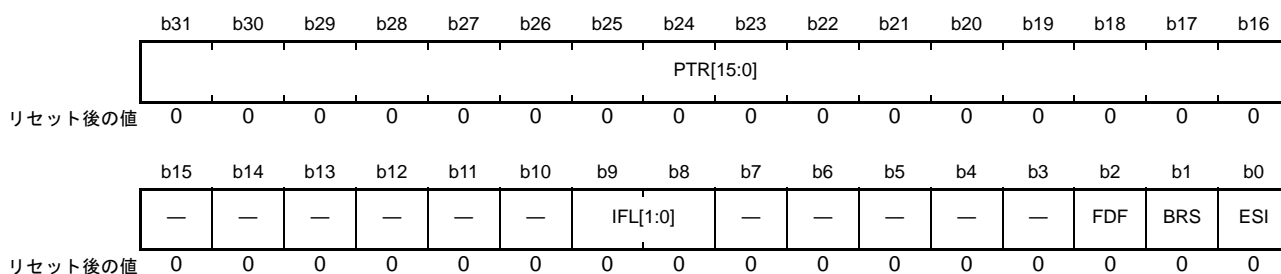
送信 FIFO モードの場合、送信するメッセージのデータバイト数を設定します。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

注. バッファの最大データバイト数は、CFCR0.PLS[2:0] ビットで指定します。

33.2.61.17 共通 FIFO 0 ヘッダフィールド 2 (CFB0.HF2)

アドレス CANFD.CFB0.HF2 000A 85C0h



ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示ビット	0: エラーアクティブノードにより受信または送信するCAN FD フレーム 1: エラーパッシブノードにより受信または送信するCAN FD フレーム	R/W
b1	BRS	ビットレートスイッチビット	0: ビットレートスイッチなしで受信または送信するCAN FD フレーム 1: ビットレートスイッチありで受信または送信するCAN FD フレーム	R/W
b2	FDL	FDフォーマット表示ビット	0: CAN FD フレーム以外を受信または送信 1: CAN FD フレームを受信または送信	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	IFL[1:0]	情報ラベル	アクセプタンスフィルタで付加された情報ラベルが格納される、または送信履歴に格納する情報ラベルを設定するフィールドです	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	PTR[15:0]	ポインタ	アクセプタンスフィルタで付加されたポインタが格納される、または送信履歴に格納するポインタを設定するフィールドです	R/W

受信 FIFO モードの場合、CFB0.HF2 レジスタは、FIFO バッファ先頭から受信メッセージの FDL ビット、BRS ビット、ESI フラグ、およびアクセプタンスフィルタで付加された情報ラベル、ポインタを読み出すためのリードオンのレジスタです。

送信 FIFO モードの場合、CFB0.HF2 レジスタは、FIFO バッファ末尾に送信メッセージの FDL ビット、BRS ビット、ESI フラグと、送信履歴に格納する情報ラベルとポインタを書き込むためのリード/ライト可能なレジスタです。

ESI ビット (エラー状態表示ビット)

受信 FIFO モードでは、受信した CAN FD フレームの ESI フラグ値が格納されます。受信した FDL ビットが“0” (Classical CAN フレーム) の場合、本ビットに“0”が格納されます。

送信 FIFO モードでは、送信する CAN FD フレームの ESI フラグ値を指定するビットです。チャンネルがエラーパッシブでない場合、送信されるメッセージの ESI フラグはこのビットの値と等しくなります。エラーパッシブの場合、このビットの値に関わらず、レセプブが送信されます。

BRS ビット (ビットレートスイッチビット)

受信 FIFO モードでは、受信した CAN FD フレームの BRS ビット値が格納されます。受信した FDF ビットが“0”(Classical CAN フレーム)の場合、本ビットに“0”が格納されます。

送信 FIFO モードでは、送信する CAN FD フレームの BRS ビット値を指定するビットです。

FDF ビット (FD フォーマット表示ビット)

受信 FIFO モードでは、受信した CAN FD フレームの FDF ビット値が格納されます。

送信 FIFO モードでは、送信する CAN FD フレームの FDF ビット値を指定するビットです。

IFL[1:0] ビット (情報ラベル)

受信 FIFO モードでは、アクセプタンスフィルタリストの対応するエントリに設定された情報ラベル値が格納されます。

送信 FIFO モードでは、メッセージの送信が成功した後、送信履歴に格納する情報ラベル値を指定するビットです。

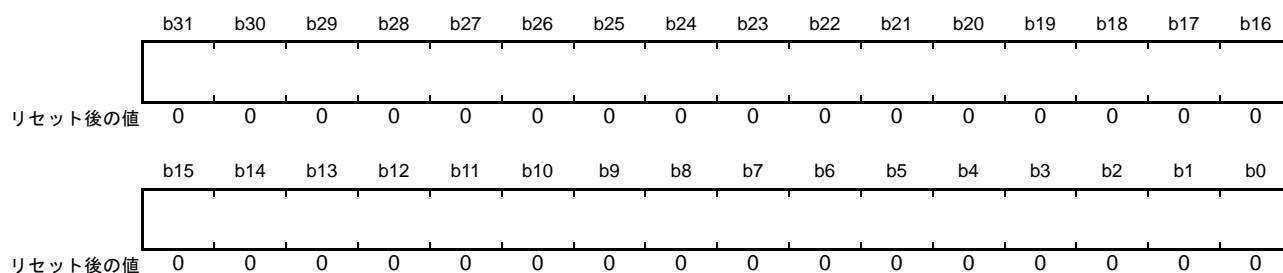
PTR[15:0] ビット (ポインタ)

受信 FIFO モードでは、アクセプタンスフィルタリストの対応するエントリに設定されたポインタ値が格納されます。

送信 FIFO モードでは、メッセージの送信が成功した後、送信履歴に格納するポインタ値を指定するビットです。

33.2.61.18 共通 FIFO 0 データフィールド p (CFB0.DFp) (p = 0 ~ 15)

アドレス CANFD.CFB0.DF0 000A 85C4h ~ CANFD.CFB0.DF15 000A 8600h



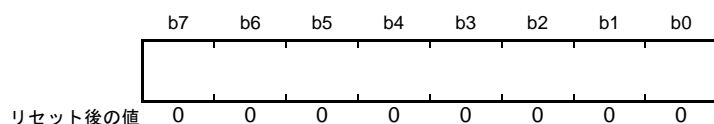
受信 FIFO モードの場合、CFB0.DFp レジスタ (p=0 ~ 15) は、FIFO バッファ先頭から受信メッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) を読み出すためのリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

送信 FIFO モードの場合、CFB0.DFp レジスタ (p=0 ~ 15) は、FIFO バッファ末尾に送信メッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) を格納するためのリード/ライト可能なレジスタです。

33.2.61.19 共通 FIFO 0 データ k (CFB0.DATAk) (k = 0 ~ 63)

アドレス CANFD.CFB0.DATA0 000A 85C4h ~ CANFD.CFB0.DATA63 000A 8603h



受信 FIFO モードの場合、CFB0.DATAk レジスタ (k=0 ~ 63) は、FIFO バッファ先頭から受信メッセージのデータバイトを読み出すためのリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

送信 FIFO モードの場合、CFB0.DATAk レジスタ (k=0 ~ 63) は、FIFO バッファ末尾に送信メッセージのデータバイトを格納するためのリード/ライト可能なレジスタです。

33.2.61.20 送信メッセージバッファ n (TMBn) (n = 0 ~ 3)

送信メッセージバッファ (TMB) の総数は、図 33.33 に示すように 4 個です。

送信メッセージバッファは、以下のレジスタで構成されています。

- TMBn.HF0
- TMBn.HF1
- TMBn.HF2
- TMBn.DF0 ~ TMBn.DF15

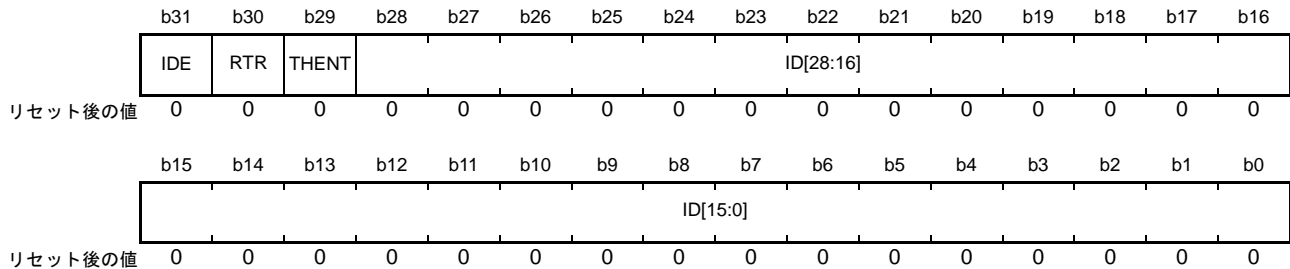
表 33.10 に、このバッファコンポーネントの構造を示します。

表33.10 送信メッセージバッファの構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	TMBn.HF0	送信メッセージバッファ n ヘッダフィールド 0	IDE, RTR, ID
+04h	TMBn.HF1	送信メッセージバッファ n ヘッダフィールド 1	DLC
+08h	TMBn.HF2	送信メッセージバッファ n ヘッダフィールド 2	ポインタ、情報ラベル、 FDF、BRS、ESI
+0Ch	TMBn.DF0	送信メッセージバッファ n データフィールド 0	DATA0 ~ DATA3
+10h	TMBn.DF1	送信メッセージバッファ n データフィールド 1	DATA4 ~ DATA7
+14h	TMBn.DF2	送信メッセージバッファ n データフィールド 2	DATA8 ~ DATA11
+18h	TMBn.DF3	送信メッセージバッファ n データフィールド 3	DATA12 ~ DATA15
+1Ch	TMBn.DF4	送信メッセージバッファ n データフィールド 4	DATA16 ~ DATA19
+20h	TMBn.DF5	送信メッセージバッファ n データフィールド 5	DATA20 ~ DATA23
+24h	TMBn.DF6	送信メッセージバッファ n データフィールド 6	DATA24 ~ DATA27
+28h	TMBn.DF7	送信メッセージバッファ n データフィールド 7	DATA28 ~ DATA31
+2Ch	TMBn.DF8	送信メッセージバッファ n データフィールド 8	DATA32 ~ DATA35
+30h	TMBn.DF9	送信メッセージバッファ n データフィールド 9	DATA36 ~ DATA39
+34h	TMBn.DF10	送信メッセージバッファ n データフィールド 10	DATA40 ~ DATA43
+38h	TMBn.DF11	送信メッセージバッファ n データフィールド 11	DATA44 ~ DATA47
+3Ch	TMBn.DF12	送信メッセージバッファ n データフィールド 12	DATA48 ~ DATA51
+40h	TMBn.DF13	送信メッセージバッファ n データフィールド 13	DATA52 ~ DATA55
+44h	TMBn.DF14	送信メッセージバッファ n データフィールド 14	DATA56 ~ DATA59
+48h	TMBn.DF15	送信メッセージバッファ n データフィールド 15	DATA60 ~ DATA63

33.2.61.21 送信メッセージバッファ n ヘッダフィールド 0 (TMBn.HF0) (n = 0 ~ 3)

アドレス CANFD.TMB0.HF0 000A 8604h, CANFD.TMB1.HF0 000A 8650h, CANFD.TMB2.HF0 000A 869Ch,
CANFD.TMB3.HF0 000A 86E8h



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R/W
b29	THENT	送信履歴エントリビット	0: 送信成功後、エントリを送信履歴に格納しない 1: 送信成功後、エントリを送信履歴に格納する	R/W
b30	RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張ビット	0: 標準ID 1: 拡張ID	R/W

TMBn.HF0 レジスタ (n = 0 ~ 3) は、送信するメッセージの ID フィールド、IDE ビット、RTR ビットを格納し、送信履歴に格納するかどうかを指定するために使用されます。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットは、送信するメッセージの標準 ID/ 拡張 ID フィールドの値を指定するビットです。

標準フォーマットと拡張フォーマットにおけるビット配置については、「33.2.60 ID ビットの配置」を参照してください。

THENT ビット (送信履歴エントリビット)

THENT ビットは、メッセージの送信が成功した後、対応するエントリを送信履歴に格納するかどうかを制御します。

RTR ビット (リモートフレーム要求ビット)

RTR ビットは、送信するメッセージの RTR ビット値を指定するビットです。

注. CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを送信する (TMBn.HF2.FDF = 1) 場合、このビットの値にかかわらずドミナントが送信されます。

IDE ビット (ID 拡張ビット)

IDE ビットは、送信するメッセージの IDE ビット値を指定するビットです。

33.2.61.22 送信メッセージバッファ n ヘッダフィールド 1 (TMBn.HF1) (n = 0 ~ 3)

アドレス CANFD.TMB0.HF1 000A 8608h, CANFD.TMB1.HF1 000A 8654h, CANFD.TMB2.HF1 000A 86A0h,
CANFD.TMB3.HF1 000A 86ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLC[3:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b28	DLC[3:0]	データ長コード	CANフレームで送信するデータバイト数を示します	R/W

TMBn.HF1 レジスタ (n = 0 ~ 3) は、送信するメッセージのデータ長コード (DLC) を格納するために使用されます。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

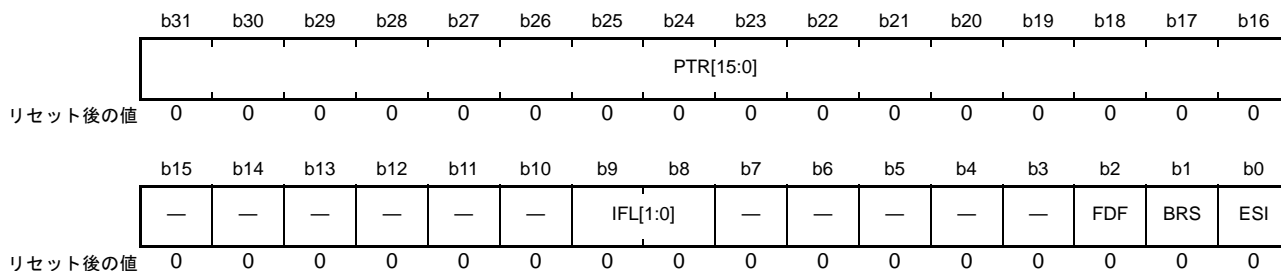
DLC[3:0] ビット (データ長コード)

DLC[3:0] ビットは、対応する TMBn.HF0.RTR ビットが“0”の場合に、送信するメッセージのデータバイト数を指定するビットです。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

33.2.61.23 送信メッセージバッファ n ヘッダフィールド 2 (TMBn.HF2) (n = 0 ~ 3)

アドレス CANFD.TMB0.HF2 000A 860Ch, CANFD.TMB1.HF2 000A 8658h, CANFD.TMB2.HF2 000A 86A4h,
CANFD.TMB3.HF2 000A 86F0h



ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示ビット	0 : CAN FD フレームをエラーアクティブノードで送信 1 : CAN FD フレームをエラーパッシブノードで送信	R/W
b1	BRS	ビットレートスイッチビット	0 : CAN FD フレームをビットレートスイッチなしで送信 1 : CAN FD フレームをビットレートスイッチで送信	R/W
b2	FDF	FD フォーマット表示ビット	0 : CAN FD フレーム以外で送信 1 : CAN FD フレームで送信	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	IFL[1:0]	情報ラベル	送信履歴に格納する情報ラベルを設定するフィールドです	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	PTR[15:0]	ポインタ	送信履歴に格納するポインタを設定するフィールドです	R/W

TMBn.HF2 レジスタ (n = 0 ~ 3) は、送信するメッセージの FDF ビット、BRS ビット、ESI フラグと、送信履歴に格納する情報ラベルとポインタを格納するために使用されます。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

ESI ビット (エラー状態表示ビット)

ESI ビットは、送信する CAN FD フレームの ESI フラグ値を指定するビットです。

チャンネルがエラーパッシブでない場合、送信されるメッセージの ESI フラグはこのビットの値と等しくなります。エラーパッシブの場合、このビットの値に関わらず、レセンプが送信されます。

BRS ビット (ビットレートスイッチビット)

BRS ビットは、送信する CAN FD フレームの BRS ビット値を指定するビットです。

FDF ビット (FD フォーマット表示ビット)

FDF ビットは、送信する CAN FD フレームの FDF ビット値を指定するビットです。

IFL[1:0] ビット (情報ラベル)

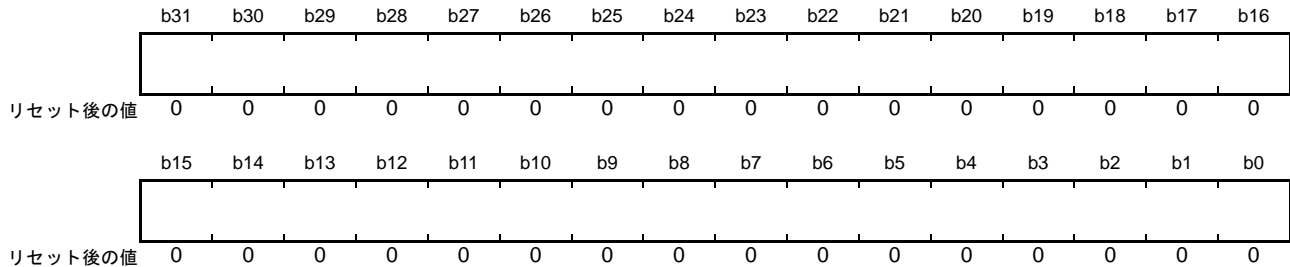
IFL[1:0] ビットは、メッセージの送信が成功した後、送信履歴に格納する情報ラベル値を指定するビットです。

PTR[15:0] ビット (ポインタ)

PTR[15:0] ビットは、メッセージの送信が成功した後、送信履歴に格納するポインタ値を指定するビットです。

33.2.61.24 送信メッセージバッファ n データフィールド p (TMBn.DFp) (n = 0 ~ 3、p = 0 ~ 15)

アドレス CANFD.TMB0.DF0 000A 8610h ~ CANFD.TMB0.DF15 000A 864Ch,
CANFD.TMB1.DF0 000A 865Ch ~ CANFD.TMB1.DF15 000A 8698h,
CANFD.TMB2.DF0 000A 86A8h ~ CANFD.TMB2.DF15 000A 86E4h,
CANFD.TMB3.DF0 000A 86F4h ~ CANFD.TMB3.DF15 000A 8730h

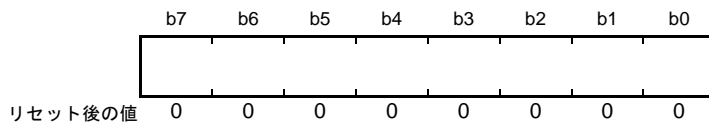


TMBn.DFp レジスタ (n = 0 ~ 3、p = 0 ~ 15) は、送信するメッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) を格納するためのリード/ライト可能なレジスタです。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

33.2.61.25 送信メッセージバッファ n データ k (TMBn.DATAk) (n = 0 ~ 3、k = 0 ~ 63)

アドレス CANFD.TMB0.DATA0 000A 8610h ~ CANFD.TMB0.DATA63 000A 864Fh,
CANFD.TMB1.DATA0 000A 865Ch ~ CANFD.TMB1.DATA63 000A 869Bh,
CANFD.TMB2.DATA0 000A 86A8h ~ CANFD.TMB2.DATA63 000A 86E7h,
CANFD.TMB3.DATA0 000A 86F4h ~ CANFD.TMB3.DATA63 000A 8733h



TMBn.DATAk レジスタ (n = 0 ~ 3、k = 0 ~ 63) は、送信するメッセージのデータバイトを格納するためのリード/ライト可能なレジスタです。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

33.2.62 ECC制御/ステータスレジスタ (ECCSR)

アドレス CANFD.ECCSR 000E D000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EC2EAS	EC1EAS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECEDWC[1:0]	—	—	ECOVF	EC2EC	EC1EC	—	—	ECEDE	EC1ECD	EC2EIE	EC1EIE	EC2EF	EC1EF	ECEF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	ECEF	ECCエラーフラグ	0:最後に読み出したRAMデータにECCエラーなし 1:最後に読み出したRAMデータにECCエラーあり	R
b1	EC1EF	1ビットECCエラー検出フラグ	0:1ビットECCエラー未検出 1:1ビットECCエラー検出	R
b2	EC2EF	2ビットECCエラー検出フラグ	0:2ビットECCエラー未検出 1:2ビットECCエラー検出	R
b3	EC1EIE	1ビットECCエラー検出割り込み許可ビット	0:1ビットECCエラー検出割り込み禁止 1:1ビットECCエラー検出割り込み許可	R/W
b4	EC2EIE	2ビットECCエラー検出割り込み許可ビット	0:2ビットECCエラー検出割り込み禁止 1:2ビットECCエラー検出割り込み許可	R/W
b5	EC1ECD	1ビットECCエラー訂正禁止ビット	0:1ビットECCエラー検出時、エラー訂正を実施する 1:1ビットECCエラー検出時、エラー訂正を実施しない	R/W
b6	ECEDE	ECCエラー検出許可ビット	0:ECCエラー検出禁止 1:ECCエラー検出許可	R/W
b8-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	EC1EC	EC1EFフラグクリアビット	このビットに“1”を書くと、EC1EFフラグがクリアされます。“0”を書いても無視されます。読むと“0”が読めます	R/W
b10	EC2EC	EC2EFフラグクリアビット	このビットに“1”を書くと、EC2EFフラグがクリアされます。“0”を書いても無視されます。読むと“0”が読めます	R/W
b11	ECOVF	ECCオーバフロー検出フラグ	0:ECEARレジスタのオーバフローは未発生 1:ECEARレジスタのオーバフローが発生	R
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ECEDWC[1:0]	ECEDEビット書き込み制御ビット	ECEDEビットへの書き込みアクセスを有効または無効にします	R/W
b16	EC1EAS	1ビットECCエラー検出アドレス格納フラグ	0:ECEARレジスタに有効なアドレスなし 1:ECEARレジスタに1ビットECCエラーが発生したアドレスが格納されている	R
b17	EC2EAS	2ビットECCエラー検出アドレス格納フラグ	0:ECEARレジスタに有効なアドレスなし 1:ECEARレジスタに2ビットECCエラーが発生したアドレスが格納されている	R
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECEFフラグ(ECCエラーフラグ)

ECEFフラグは、最後に読み出したRAMデータにECCエラーがあるかどうかを示します。このフラグはRAMを読み出すごとに更新されます。

RAM の初期化を行わずに ECEDE ビットを “1” にした場合、本フラグの値は意味を持ちません。

["1" になる条件]

- ECEDE ビットが “1” (ECC エラー検出許可) のときに、読み出した RAM データに ECC エラーがあったとき

["0" になる条件]

- 読み出した RAM データに ECC エラーがないとき
- ECEDE ビットが “0” (ECC エラー検出禁止) のとき

EC1EF フラグ (1 ビット ECC エラー検出フラグ)

EC1EF フラグは、RAM から読み出したデータに 1 ビット ECC エラーが検出されたことを示します。

割り込みが許可されているときにこのフラグが “1” になると、1 ビット ECC エラー割り込み (EC1EI) が発生します。

このフラグが “1” のときに再度 1 ビット ECC エラーを検出しても、割り込みは発生しません。

["1" になる条件]

- ECEDE ビットが “1” (ECC エラー検出許可) のときに、RAM から読み出したデータに 1 ビット ECC エラーがあったとき

["0" になる条件]

- EC1EC ビットに “1” を書いたとき
- ECEDE ビットが “0” (ECC エラー検出禁止) のとき

EC1EC ビットに “1” を書くのと 1 ビット ECC エラーの検出が同時に発生した場合、EC1EF フラグは “0” になります。

EC2EF フラグ (2 ビット ECC エラー検出フラグ)

EC2EF フラグは、RAM から読み出したデータに 2 ビット ECC エラーが検出されたことを示します。

割り込みが許可されているときにこのフラグが “1” になると、2 ビット ECC エラー割り込み (EC2EI) が発生します。

このフラグが “1” のときに再度 2 ビット ECC エラーを検出しても、割り込みは発生しません。

["1" になる条件]

- ECEDE ビットが “1” (ECC エラー検出許可) のときに、RAM から読み出したデータに 2 ビット ECC エラーがあったとき

["0" になる条件]

- EC2EC ビットに “1” を書いたとき
- ECEDE ビットが “0” (ECC エラー検出禁止) のとき

EC2EC ビットに “1” を書くのと 2 ビット ECC エラーの検出が同時に発生した場合、EC2EF フラグは “0” になります。

EC1EIE ビット (1 ビット ECC エラー検出割り込み許可ビット)

EC1EIE ビットは、1 ビット ECC エラー検出割り込み (EC1EI) を許可 / 禁止するビットです。

このビットが “1” のときに EC1EF フラグが “1” になると、1 ビット ECC エラー検出割り込み (EC1EI) が発生します。

EC2EIE ビット (2 ビット ECC エラー検出割り込み許可ビット)

EC2EIE ビットは、2 ビット ECC エラー検出割り込み (EC2EI) を許可 / 禁止するビットです。

このビットが “1” のときに EC2EF フラグが “1” になると、2 ビット ECC エラー検出割り込み (EC2EI) が発生します。

EC1ECD ビット (1 ビット ECC エラー訂正禁止ビット)

EC1ECD ビットは、ECEDE ビットが“1”(ECC エラー検出許可)のときに、1 ビット ECC エラーを訂正するか否かを設定します。

このビットを“1”にした場合、1 ビット ECC エラーが検出されても RAM の出力データは訂正されません。

ECEDE ビット (ECC エラー検出許可ビット)

このビットを“1”にすると、ECC エラー検出が有効になります。

このビットへの書き込みは、ECEDWC[1:0] ビットを“01b”にしているときのみ有効です。

EC1EC ビット (EC1EF フラグクリアビット)

本ビットは、EC1EF フラグをクリアするときに使用します。

EC1EF フラグが“1”のときに本ビットに“1”を書き込むと、EC1EF フラグはクリアされます。また、ECOVF フラグ、EC1EAS フラグ、EC2EAS フラグもクリアされます。

EC1EC ビットによる EC1EF フラグのクリアと、EC1EF フラグのセット要因が同時に発生した場合、EC1EF フラグは“0”になります。

EC2EC ビット (EC2EF フラグクリアビット)

本ビットは、EC2EF フラグをクリアするときに使用します。

EC2EF フラグが“1”のときに本ビットに“1”を書き込むと、EC2EF フラグはクリアされます。また、ECOVF フラグ、EC1EAS フラグ、EC2EAS フラグもクリアされます。

EC2EC ビットによる EC2EF フラグのクリアと、EC2EF フラグのセット要因が同時に発生した場合、EC2EF フラグは“0”になります。

ECOVF フラグ (ECC オーバフロー検出フラグ)

ECEAR レジスタにすでにアドレスが格納されているときに、新たな ECC エラーを検出してアドレスが上書きされると、本フラグが“1”になり、ECC オーバフロー割り込み (ECOVFI) が発生します。本フラグが“1”のときに、新たな ECC エラーが検出されると再度 ECC オーバフロー割り込みが発生します。

[“1”になる条件]

- ECEAR レジスタにすでにアドレスが格納されている状態で、新たなアドレスが格納されたとき

[“0”になる条件]

- EC1EC ビットに“1”を書いたとき
- EC2EC ビットに“1”を書いたとき
- ECEDE ビットが“0”(ECC エラー検出禁止)のとき

EC1EC ビットまたは EC2EC ビットによる ECOVF フラグのクリアと、ECOVF フラグのセット要因が同時に発生した場合、ECOVF フラグは“0”になります。

ECEDWC[1:0] ビット (ECEDE ビット書き込み制御ビット)

ECEDWC[1:0] ビットは、ECEDE ビットへの書き込みアクセスの有効/無効を制御するために使用します。本ビットの読み出し値は“00b”です。

本ビットの値を“01b”にしたときのみ、ECEDE ビットに値が書き込めます。本ビットの値を“01b”以外にして ECEDE ビットへの書き込みを行っても、そのアクセスは無視されて値は変化しません。

EC1EAS フラグ (1 ビット ECC エラー検出アドレス格納フラグ)

EC1EAS フラグは、ECEDE ビットが“1”(ECC エラー検出許可)のときに、ECEAR レジスタに 1 ビット

ECCエラーが発生したアドレスが格納されていることを示すフラグです。

ECEARレジスタにすでに2ビットECCエラーが発生したアドレスが格納されている状態で、1ビットECCエラーが検出された場合は、ECEARレジスタは更新されず、本フラグも更新されません。

["1"になる条件]

- ECEDEビットが“1”(ECCエラー検出許可)のときに、1ビットECCエラーを検出し、そのアドレスがECEARレジスタに格納されたとき

["0"になる条件]

- EC1ECビットに“1”を書いたとき
 - ECEDEビットが“0”(ECCエラー検出禁止)のとき
- EC1ECビットによるEC1EASフラグのクリアと、EC1EASフラグのセット要因が同時に発生した場合、EC1EASフラグは“0”になります。

EC2EASフラグ(2ビットECCエラー検出アドレス格納フラグ)

EC2EASフラグは、ECEDEビットが“1”(ECCエラー検出許可)のときに、ECEARレジスタに2ビットECCエラーが発生したアドレスが格納されていることを示すフラグです。

ECEARレジスタにすでに1ビットECCエラーが発生したアドレスが格納されている状態で、2ビットECCエラーが検出された場合は、ECEARレジスタが更新され、本フラグも“1”になります。

["1"になる条件]

- ECEDEビットが“1”(ECCエラー検出許可)のときに、2ビットECCエラーを検出し、そのアドレスがECEARレジスタに格納されたとき

["0"になる条件]

- EC2ECビットに“1”を書いたとき
 - ECEDEビットが“0”(ECCエラー検出禁止)のとき
- EC2ECビットによるEC2EASフラグのクリアと、EC2EASフラグのセット要因が同時に発生した場合、EC2EASフラグは“0”になります。

33.2.63 ECC テストモードレジスタ (ECTMR)

アドレス CANFD.ECTMR 000E D004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECTMWC[1:0]	—	—	—	—	—	—	ECTME	—	—	—	—	—	—	ECDIS	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ECDIS	ECCデコーダ入力選択ビット	0：デコード回路のデータ入力にRAM出力データを入力 1：デコード回路のデータ入力にECTDRレジスタを選択	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ECTME	ECCテストモード許可ビット	0：ECDISビットとECTDRレジスタへのアクセス禁止 1：ECDISビットとECTDRレジスタへのアクセス許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ECTMWC[1:0]	ECTMEビット書き込み制御ビット	ECTMEビットへの書き込みアクセスを有効または無効にします。	R/W

ECDIS ビット (ECC デコーダ入力選択ビット)

本ビットは、RAM から読み出したデータ値と ECTDR レジスタの値の、どちらを ECC デコーダへの入力データとして使用するかを選択するビットです。

このビットへの書き込みは、ECTME ビットが“1”のときのみ有効です。ECTME ビットを“1”にするのと同時に書いても構いません。

ECTME ビットを“0”にすると、本ビットも“0”になります。

ECTME ビット (ECC テストモード許可ビット)

ECTME ビットは、ECDIS ビットと ECTDR レジスタへのアクセスの有効 / 無効を制御するために使用します。

このビットへの書き込みは、ECTMWC[1:0] ビットを“10b”にしているときのみ有効です。

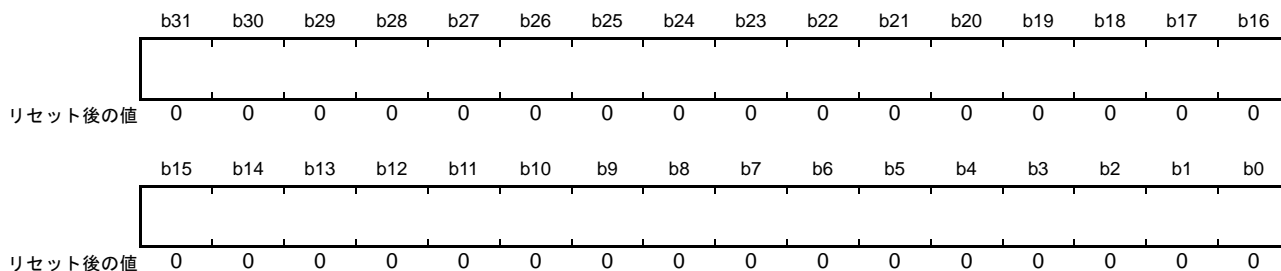
ECTMWC[1:0] ビット (ECTME ビット書き込み制御ビット)

ECTMWC[1:0] ビットは、ECTME ビットへの書き込みアクセスの有効 / 無効を制御するために使用します。本ビットの読み出し値は“00b”です。

本ビットの値を“10b”にしたときのみ、ECTME ビットに値が書き込みめます。本ビットの値を“10b”以外にして ECTME ビットへの書き込みを行っても、そのアクセスは無視されて値は変化しません。

33.2.64 ECC デコーダテストデータレジスタ (ECTDR)

アドレス CANFD.ECTDR 000E D00Ch



ECTDR レジスタは、ECC デコーダをテストするためのデータを設定するレジスタです。

ECTMR.ECTME ビットが“1”の場合、このレジスタの読み書きが可能です。

ECTMR.ECTME ビットが“0”の場合、このレジスタの値は“00000000h”になります。

ECTMR.ECDIS ビットを“1”にすると、RAM から読み出したデータの代わりに、本レジスタに設定した値が ECC デコーダの入力データとして使用されます。

33.2.65 ECC エラーアドレスレジスタ (ECEAR)

アドレス CANFD.ECEAR 000E D010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ECEAR レジスタは、ECC エラーが発生したアドレスを保持するレジスタです。

ECCSR.ECEDE ビットが“1”(ECC エラー検出許可)のときに、ECC エラーを検出すると、そのときの RAM アドレスの b12-b2 が本レジスタの b10-b0 に格納されます。

同じ要因のエラーが再発した場合、ECEAR レジスタは更新されません。

1 ビット ECC エラーが発生したアドレスがすでに格納されている状態で、2 ビット ECC エラーが検出された場合、ECEAR レジスタは新しいアドレスで上書きされ、ECCSR.EC2EAS フラグが“1”になります。

2 ビット ECC エラーが発生したアドレスがすでに格納されている状態で、1 ビット ECC エラーが検出された場合、ECEAR レジスタは更新されず、ECCSR.EC1EAS フラグも更新されません。

33.3 動作モード

CANFD モジュールの動作モードは、次の2つのグループに分けられます。

- グローバルモード
- チャンネルモード

33.3.1 グローバルモード

グローバルモードは、CANFD モジュール全体に適用されます。

CANFD モジュールのグローバルモードには、以下のものがあります。

- GL_SLEEP モード
- GL_RESET モード
- GL_HALT モード
- GL_OPERATION モード

図 33.2 に、グローバルモード間で行うことができる遷移を示します。

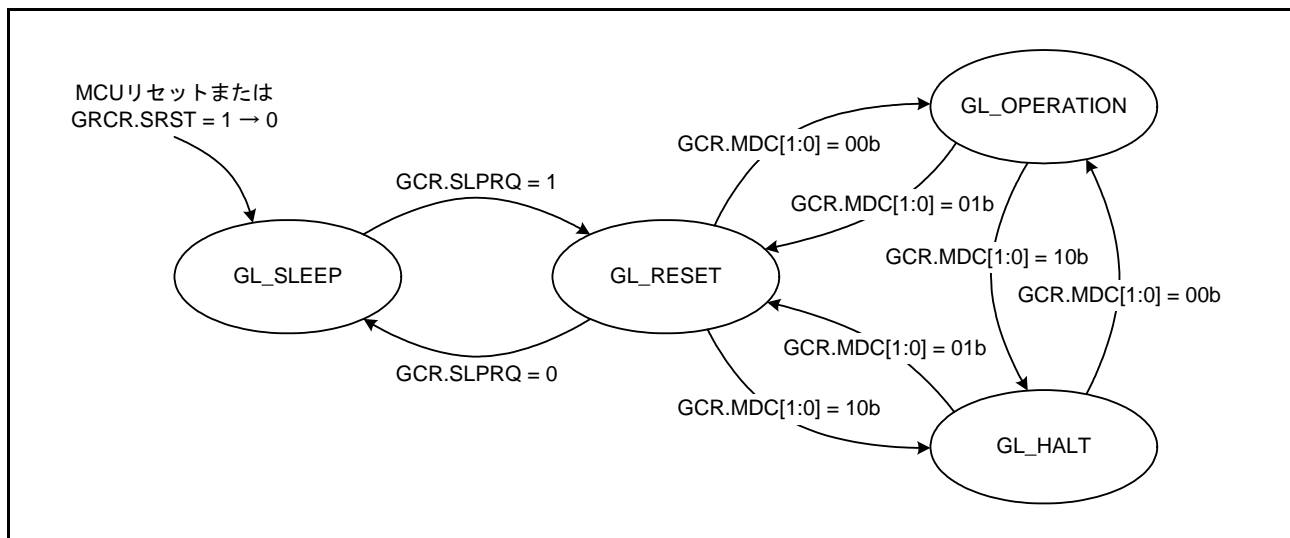


図 33.2 CANFD グローバルモード間の遷移

グローバルモードを変更すると、チャンネルモードに影響を与えることがあります。詳細は「33.3.3 グローバルモード遷移とチャンネルモード遷移の相互作用」を参照してください。

33.3.1.1 GL_SLEEP モード

MCU リセットが解除された後、またはソフトウェアリセットビット (GRCR.SRST) を“1”から“0”にした後、CANFD モジュールは自動的に GL_SLEEP モードになります。

また、GL_RESET モード中に GCR.SLPRQ ビットを“1”にした場合も GL_SLEEP モードになります。SLPRQ ビットは、GL_HALT モードおよび GL_OPERATION モードでは“1”にできません。

SLPRQ ビットを“1”にすると、CHCR.SLPRQ ビットが“1”になり、CAN チャンネルが強制的に CH_SLEEP モードになります。

GL_SLEEP モードは、消費電力を低減するために使用されます。CANFD モジュールが GL_SLEEP モードのとき、SLPRQ ビットへの書き込み用クロックのみがアクティブになります。その他のクロックはすべて停止し、CANFD モジュールのその他すべての機能はサスペンド状態になります。

すべてのレジスタの読み出しは可能で、すべてのレジスタ値は保持されます。

SLPRQ ビットを“1”にした後、再度 SLPRQ ビットを“0”にする前に、GSR.SLPST フラグで GL_SLEEP モードへの遷移が正常に行われたことを確認する必要があります。

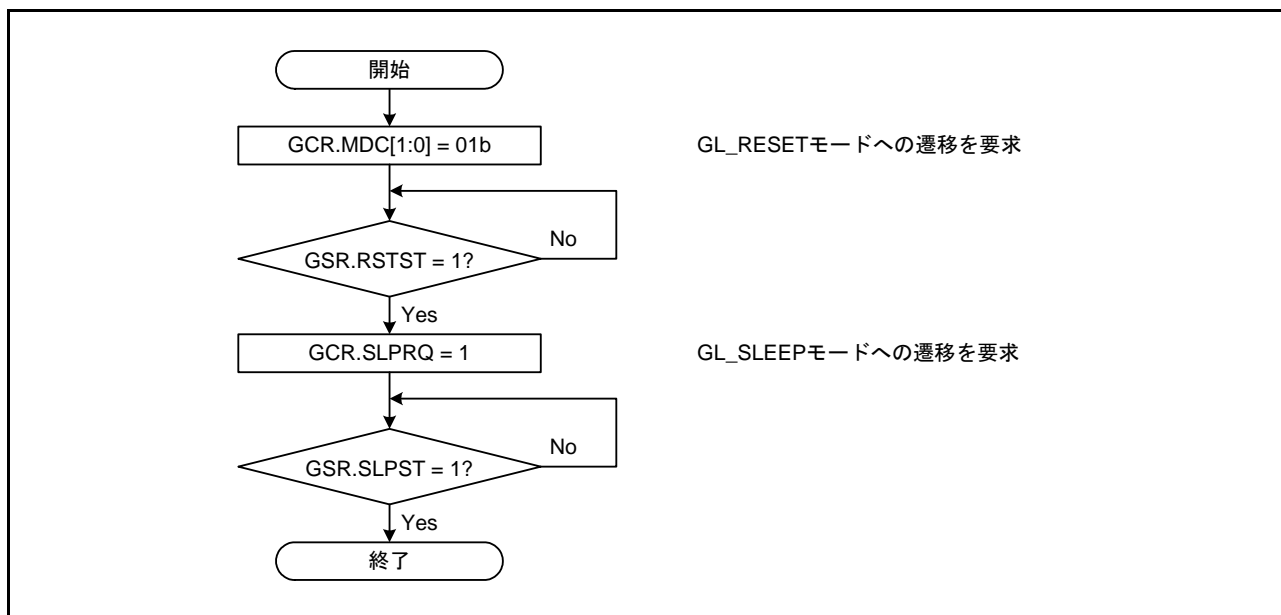


図 33.3 GL_SLEEP モードへの遷移手順

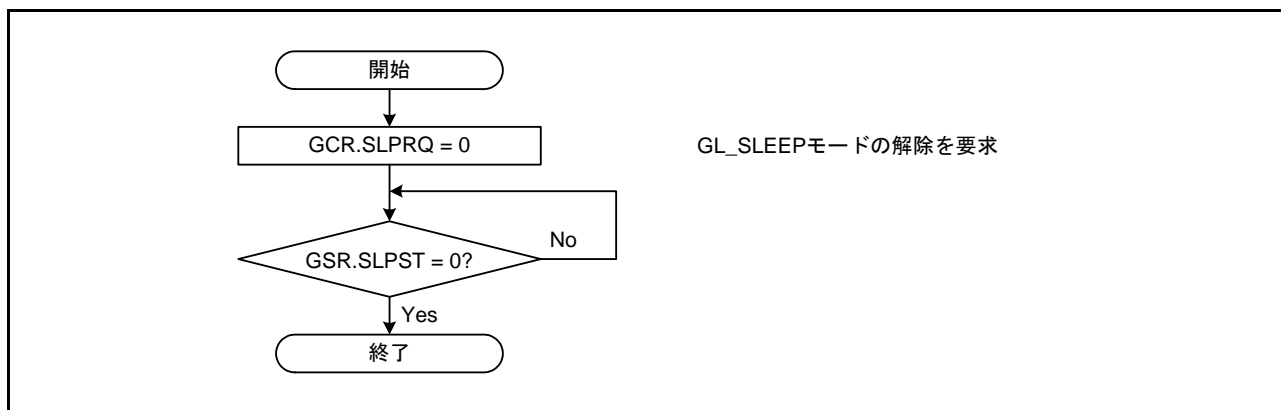


図 33.4 GL_SLEEP モードの解除手順

33.3.1.2 GL_RESET モード

CANFD モジュールは以下の方法でGL_RESET モードに入ります。

- CANFDモジュールがGL_HALTモードまたはGL_OPERATIONモードのときに、GCR.MDC[1:0] ビットを“01b”に設定
- CANFDモジュールがGL_SLEEPモードのとき、GCR.SLPRQ ビットを“0”に設定

GL_RESET モードでは、CANFD モジュールのすべての機能がサスペンド状態になり、すべてのステータスレジスタとフラグレジスタが初期化されます。

また、すべてのFIFOおよびすべての送信キューが無効になり、送信関連の制御ビットが“0”になります。

このモードでは、GTMCRCレジスタを除く設定レジスタ、割り込み許可レジスタは初期化されないため、CANFDモジュールの設定を行うことができます。

GCR.MDC[1:0] ビットを“01b”に設定してGL_RESETモードに設定すると、CHCR.MDC[1:0] ビットが“01b”になり、チャンネルが強制的にCH_RESETモードになります。

すでにCH_RESETモードまたはCH_SLEEPモードになっているチャンネルについては、チャンネルモードは変化しません。

GCR.MDC[1:0] ビットを“01b”(GL_RESETモード)にした後、GCR.MDC[1:0] ビットを再度変更する前に、GSR.RSTST フラグでGL_RESETモードへの遷移が正常に行われたことを確認する必要があります。

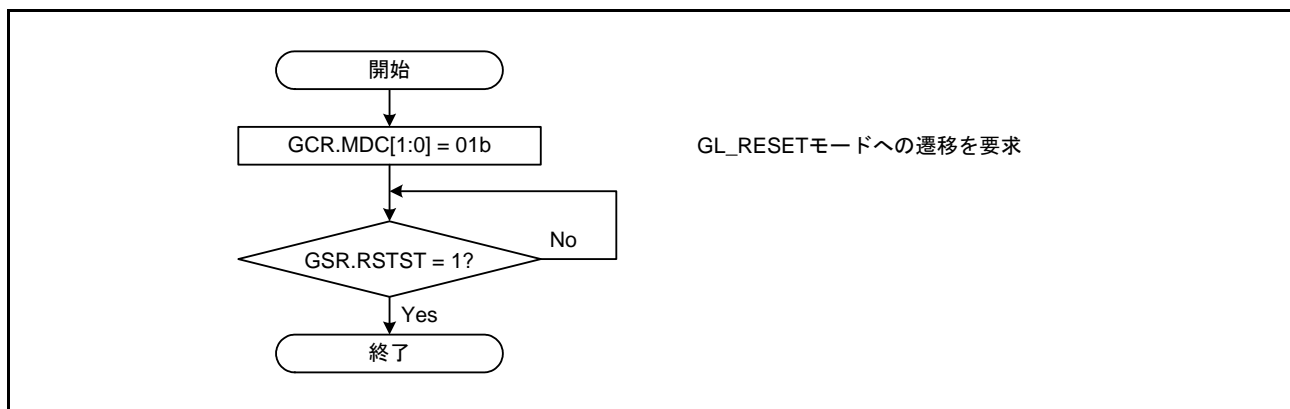


図 33.5 GL_RESETモードへの遷移手順

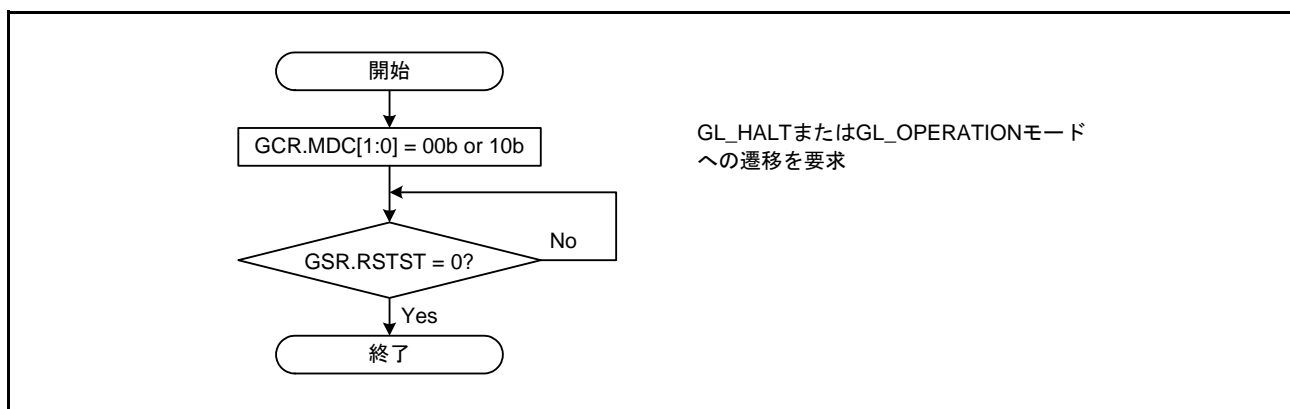


図 33.6 GL_RESETモードの解除手順

33.3.1.3 GL_HALT モード

CANFD モジュールは、以下の方法でこのGL_HALTモードに遷移します。

- CANFD モジュールが GL_RESET モードのとき、GCR.MDC[1:0] ビットを“10b”に設定
 - チャンネルは CH_RESET モードまたは CH_SLEEP モードで、そのモードが保持されます。
- CANFD モジュールが GL_OPERATION モードのとき、GCR.MDC[1:0] ビットを“10b”に設定
 - CH_RESET、CH_HALT、CH_SLEEP モードの CAN チャンネルは、そのモードが保持されます。
 - CH_OPERATION モードの CAN チャンネルは、CH_HALT モードに遷移します。
 - CAN チャンネルが CH_OPERATION モードを抜けると、HLTST フラグが“1”になります。

CAN チャンネルが送受信を実行中の場合、通信の終了を待って CH_HALT モードに遷移します。

同様に、CAN チャンネルがバスオフ状態の場合、チャンネルの設定によっては、バスオフ復帰シーケンスが完了するまで CH_HALT モードに遷移しないことがあります。

GL_HALT モードでは、すべての通信がサスペンド状態になり、ステータスレジスタおよびフラグレジスタは変化しません (チャンネルがバスオフ状態にある場合のみ CHSR.REC[7:0] ビット、TEC[7:0] ビットが“00h”になります)。

GL_HALT モードでは GTMCR レジスタと GTMER レジスタは初期化されません。GL_HALT モードは、グローバルテストモードを設定するために使用します。

GCR.MDC[1:0] ビットを“10b”に設定して GL_HALT モードにすると、CH_OPERATION モードになっているチャンネルの CHCR.MDC[1:0] ビットが“10b”になり、強制的に CH_HALT モードになります。

すでに CH_RESET、CH_HALT、または CH_SLEEP モードになっているチャンネルについては、チャンネルモードは変化しません。

したがって、GL_HALT モード要求は、メッセージロストや CAN バスの中断なしに、すべての CAN チャンネルの通信を遮断するために使用することができます (チャンネルの受信 / 送信プロセスを中断することはありません)。

GCR.MDC[1:0] ビットを“10b” (GL_HALT モード) にした後、GSR.HLTST フラグで GL_HALT モードへの遷移が正常に行われたことを確認する必要があります。GSR.HLTST フラグが設定されていることを確認するまでは、他のレジスタの設定を行わないでください。

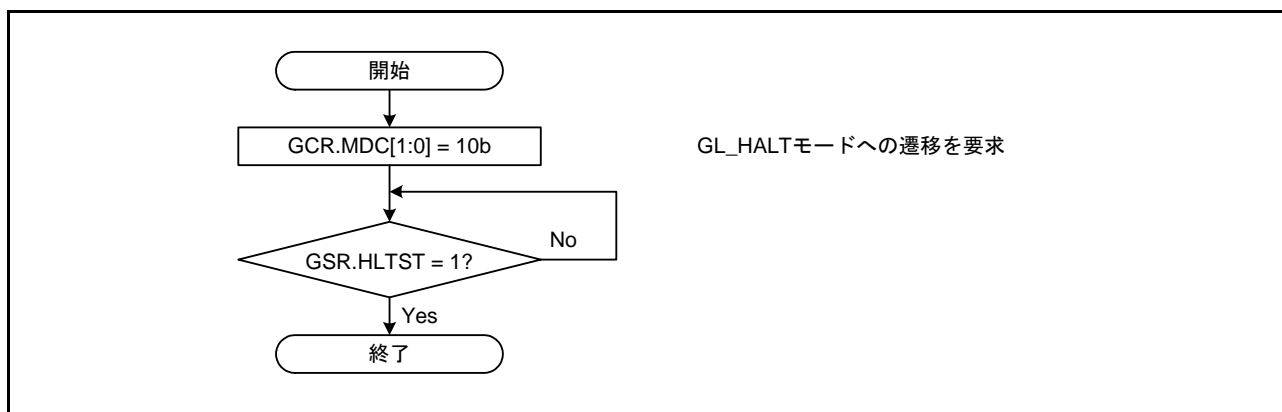


図 33.7 GL_HALT モードへの遷移手順

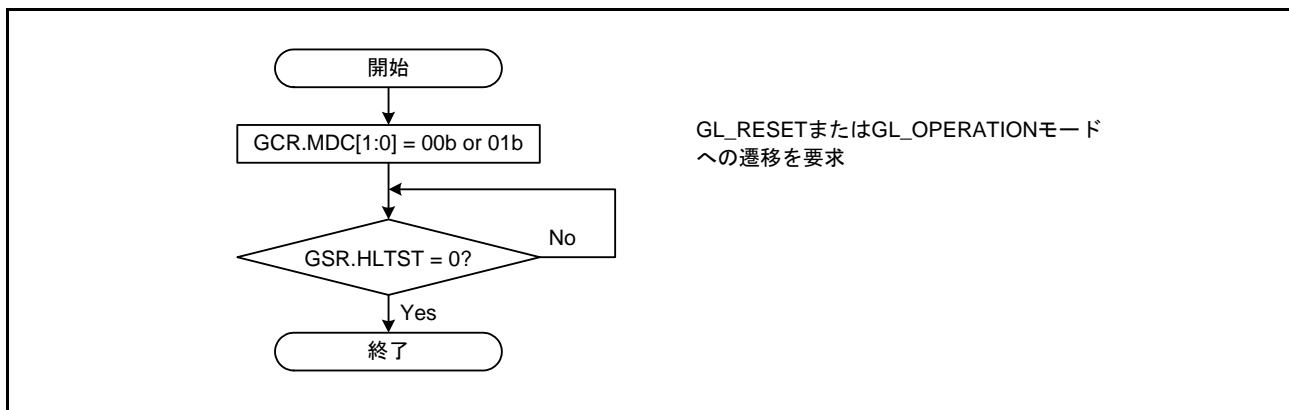


図 33.8 GL_HALT モードの解除手順

33.3.1.4 GL_OPERATION モード

CANFD モジュールは、GCR.MDC[1:0] ビットが“00b”に設定されているときに、このモードに遷移します。

CANFD のチャンネルは、CANFD が GL_OPERATION モードになっているときのみ CH_OPERATION モードに設定して CAN 通信を開始することができます。

GCR.MDC[1:0] ビットを“00b”(GL_OPERATION モード)に設定した後、GCR.MDC[1:0] ビットを再度変更する前に、GSR.RSTST フラグおよび GSR.HLTST フラグが“0”になっていること、つまり GL_OPERATION モードへの遷移が正常に行われたことを確認する必要があります。

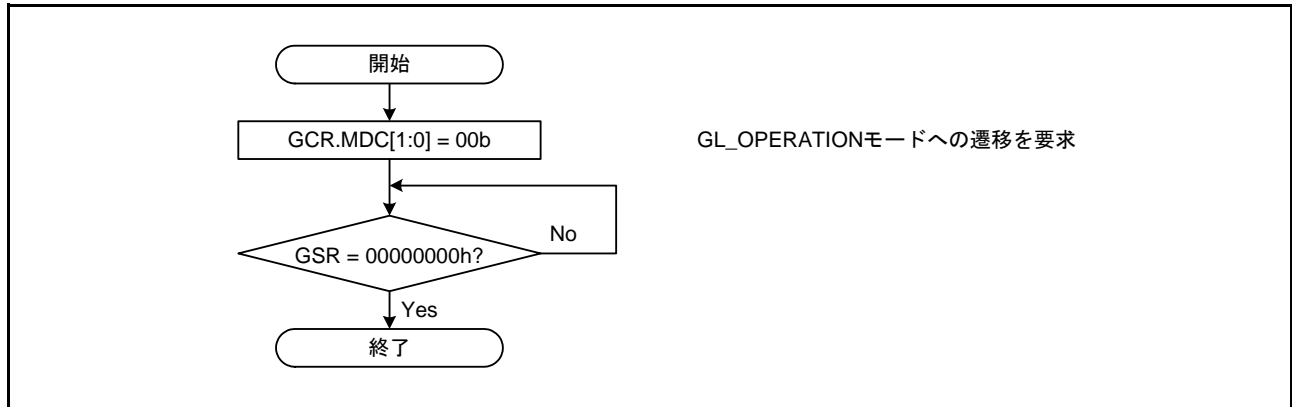


図 33.9 GL_OPERATION モードへの遷移手順

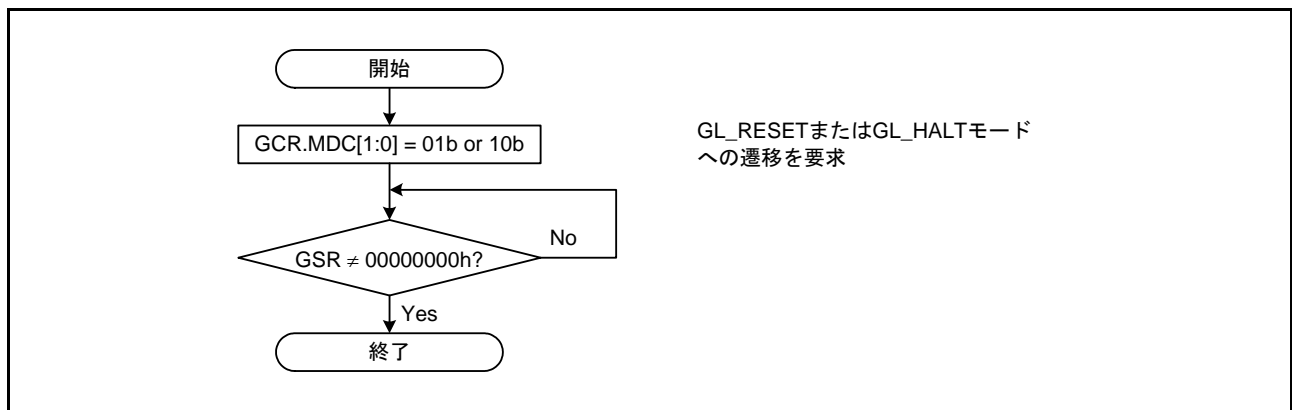


図 33.10 GL_OPERATION モードの解除手順

33.3.2 チャネルモード

CANFD モジュールのチャネルモードには、以下のものがあります。

- CH_SLEEP モード
- CH_RESET モード
- CH_HALT モード
- CH_OPERATION モード

図 33.11 は、チャネルモード間で行うことができる遷移を示します。

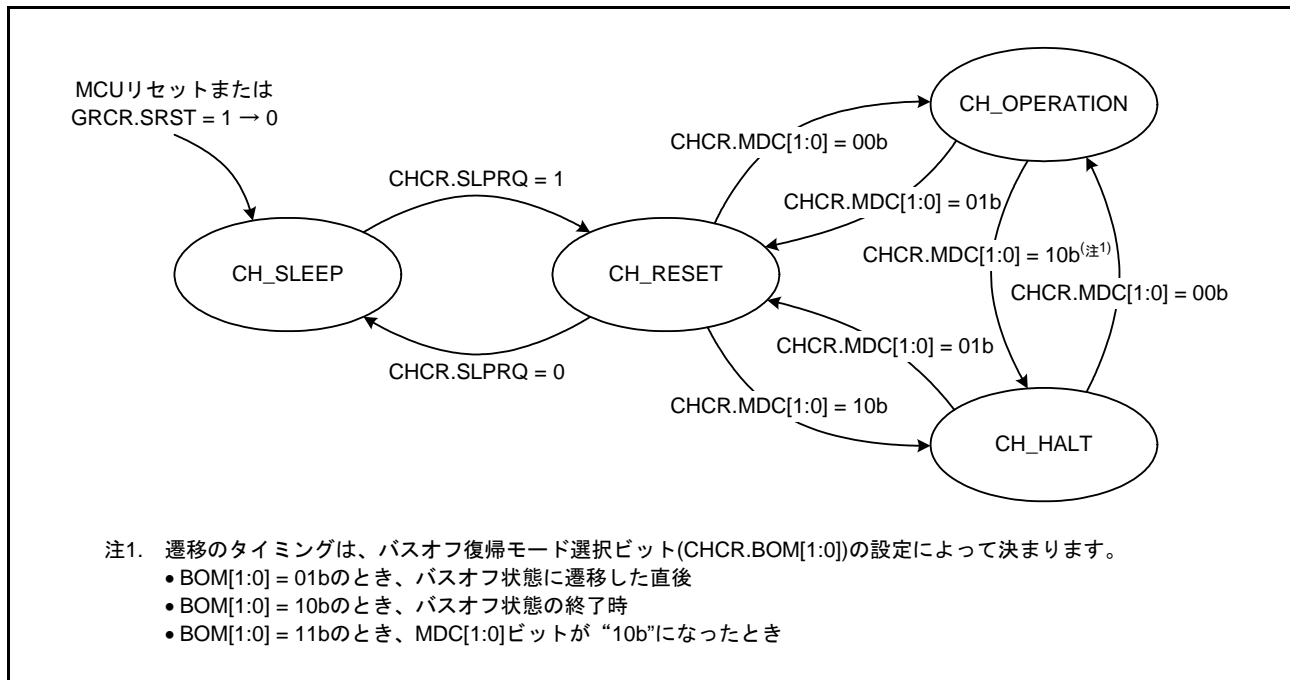


図 33.11 チャネルモード間の遷移

33.3.2.1 CH_SLEEP モード

MCU リセットが解除された後、またはソフトウェアリセットビット (GRCR.SRST) を“1” から“0”にした後、CANFD モジュールの CAN チャネルは自動的に CH_SLEEP モードになります。

CAN チャネルが CH_RESET モード中に、CHCR.SLPRQ ビットを“1”にすると、CAN チャネルは CH_SLEEP モードになります。CH_HALT モードまたは CH_OPERATION モードでは、SLPRQ ビットを“1”にしないでください。

CH_SLEEP モードに遷移すると、CAN チャネルユニットへのクロック供給が停止し、消費電力が低減されます。

CHCR.SLPRQ ビットを“1”にした後、再び“0”にする前に、CHSR.SLPST フラグを使用して CH_SLEEP モードへの遷移が正常に行われたことを確認する必要があります。

CH_SLEEP モード中は、当該チャネルのレジスタに書き込みを行わないでください。読み出し動作は可能です。

33.3.2.2 CH_RESET モード

CANFD モジュールの CAN チャンネルは、以下の方法で CH_RESET モードに入ります。

- CAN チャンネルが CH_HALT モードまたは CH_OPERATION モードのとき、CHCR.MDC[1:0] ビットを“01b”に設定
- CAN チャンネルが CH_SLEEP モードのとき、CHCR.SLPRQ ビットを“0”に設定
- CAN チャンネルが CH_SLEEP モードまたは CH_RESET モードではないときに、GCR.MDC[1:0] ビットを“01b”に設定

CH_RESET モードでは、CAN チャンネルのすべてのステータスとフラグが初期化されます。

また、当該チャンネルの送信関連の制御ビットはすべてクリアされ、当該チャンネルの送信キューも無効になります。

このモードでは、チャンネルテストモード関連のビットを除く設定レジスタは初期化されないため、CAN チャンネルを通信用に設定することができます。

CHCR.MDC[1:0] ビットを“01b”(CH_RESET モード)にした後、CHCR.MDC[1:0] ビットを再度変更する前に、CHSR.RSTST フラグで CH_RESET モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中の CH_RESET モードへの遷移動作については、表 33.11 を参照してください。

33.3.2.3 CH_HALT モード

CANFD モジュールの CAN チャンネルは、以下の方法で CH_HALT モードに入ります。

- CAN チャンネルが CH_RESET モードまたは CH_OPERATION モードのとき、CHCR.MDC[1:0] ビットを“10b”に設定
- CAN チャンネルが CH_OPERATION モードのとき、GCR.MDC[1:0] ビットを“10b”に設定

CH_HALT モードでは、当該チャンネルの CAN 通信はすべてサスペンド状態になりますが、すべてのステータスとフラグは CH_HALT モードの間変更されません(バスオフ状態の場合を除きます。バスオフ状態の場合、CHSR.REC[7:0] ビットと TEC[7:0] ビットが“00h”になります)。

また、このモードでは、チャンネルテストモード関連のビットは初期化されません。チャンネルテストモードの設定には、CH_HALT モードを使用します。

CHCR.MDC[1:0] ビットを“10b”(CH_HALT モード)にした後、CHCR.MDC[1:0] ビットを再度変更する前に、CHSR.HLTST フラグで CH_HALT モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中の CH_HALT モードへの遷移動作については、表 33.11 を参照してください。

表33.11 CH_RESETモードとCH_HALTモードの遷移動作

モード	状態		
	受信	送信	バスオフ
CH_RESETモード (CHCR.MDC[1:0] = 01b)	CANチャネルは、実行中の受信が完了するのを待たずにCH_RESETモードに遷移します。 (注1)	CANチャネルは、実行中の送信が完了するのを待たずにCH_RESETモードに遷移します。 (注1)	CANチャネルは、バスオフ復帰の完了を待たずにCH_RESETモードに遷移します。
CH_HALTモード (CHCR.MDC[1:0] = 10b)	CANチャネルは、実行中の受信の終了時またはエラー発生時に、CH_HALTモードに遷移します。 (注2)	CANチャネルは、実行中の送信の完了後に、CH_HALTモードに遷移します。	CHCR.BOM[1:0] = 00bのとき、CH_HALTモード要求は、バスオフ復帰シーケンスが完了した後のみ受け付けられます。 CHCR.BOM[1:0] = 10bのとき、CANチャネルはバスオフ復帰の完了を待ってから、自動的にCH_HALTモードに遷移します。 CHCR.BOM[1:0] = 01bのとき、CANチャネルはバスオフ復帰の完了を待たずに、自動的にCH_HALTモードに遷移します。 CHCR.BOM[1:0] = 11bのとき、CANチャネルはCH_HALTモードが要求されるとすぐに(バスオフ復帰の完了を待たずに)CH_HALTモードに遷移します。

注1. 現在実行中の通信の終了時にCH_RESETモードに遷移すればよい場合、先にCH_HALTモードを要求することで、CH_RESETモードに直接遷移してCAN通信が中断するのを防ぐことができます。CANチャネルがCH_HALTモードに遷移した後、CH_RESETモードを要求することができます。

注2. エラーフラグの後にCAN通信がドミナントレベルでロックされた場合、ソフトウェアでチャンネル関連のバスロックフラグを監視することでこの状況を検出し、CANチャネルをCH_RESETモードに設定してロック状態を解除できます。

33.3.2.4 CH_OPERATIONモード(バスオフ状態以外)

CHCR.MDC[1:0] ビットを“00b”にすることで、CH_OPERATIONモードに遷移します。CH_OPERATIONモードに入ってから11個の連続したレセシブビットが検出されると、CHSR.CRDYフラグが“1”になり、CANチャネルは、

- 当該チャネルをCANネットワーク上のアクティブノードにすることで、通信機能を有効にし、
- 受信および送信エラーカウンタを含む内部フォルト隔離ロジックを解除します。

この時点で、CANチャネルはメッセージの送受信を開始することができます。

チャネルは、実行している機能のタイプによって、CH_OPERATIONモード内でさらに4種類のサブモードに分けられます(図33.12参照)。

- アイドルモード：CANチャネルが受信も送信も行っていない
- 受信モード：チャネルは別のCANノードから送信されたメッセージを受信している
- 送信モード：チャネルはメッセージを送信している
(セルフテストモードが有効の場合、チャネルは同時に自メッセージを受信することがあります)
- バスオフ状態：CANチャネルがCANバス通信から切り離されている

CHCR.MDC[1:0] ビットを“00b”にした後、CHCR.MDC[1:0] ビットを再度変更する前に、CHSR.RSTSTフラグとCHSR.HLTSTフラグで、CH_OPERATIONモードへの遷移が正常に行われたことを確認する必要があります。

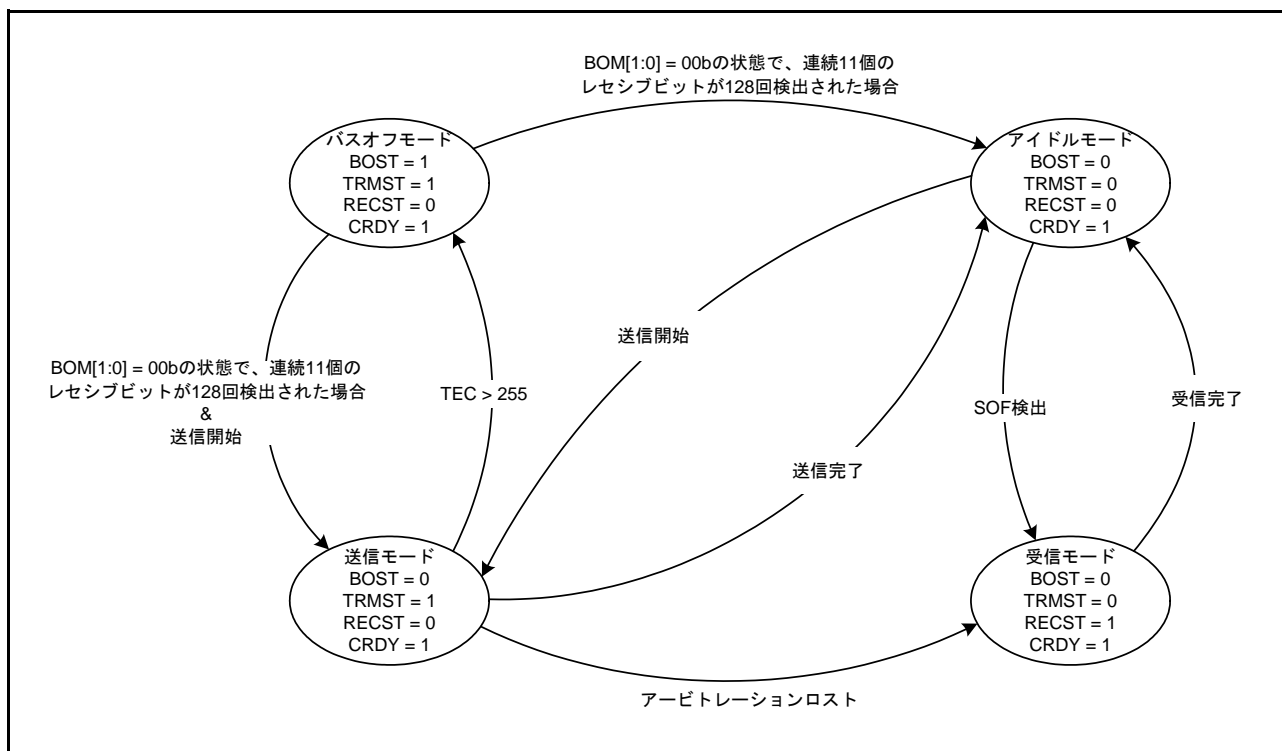


図 33.12 CH_OPERATION モードのサブモード (CHCR.BOM[1:0] = 00b のときのみ)

33.3.2.5 CH_OPERATION モード (バスオフ状態)

バスオフ状態へは、CAN 仕様のフォルト隔離規則に従って遷移します。バスオフ状態から CH_OPERATION モードに戻るには、以下のモードが選択できます。

- CHCR.BOM[1:0] = 00b :**
 バスオフからの復帰は ISO11898-1 に準拠します。CAN チャンネルは、11 個の連続したレセシブビットを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。CHSR.TEC[7:0] ビットと REC[7:0] ビットは "00h" に初期化され、CHESR.BORDF フラグが "1" になります。
- CHCR.BOM[1:0] = 01b :**
 CAN チャンネルは、バスオフ状態に遷移すると、CHCR.MDC[1:0] ビットの値を "10b" に変更した後、自動的に CH_HALT モードに遷移します。CHSR.TEC[7:0] ビットと REC[7:0] ビットは "00h" に初期化され、CHESR.BORDF フラグは "1" になりません。
- CHCR.BOM[1:0] = 10b :**
 CAN チャンネルは、バスオフ状態に遷移すると、CHCR.MDC[1:0] ビットの値を "10b" に変更し、CAN チャンネルがバスオフ復帰シーケンス (11 回の連続したレセシブビットを 128 回検出) を完了した後、自動的に CH_HALT モードに遷移します。CHSR.TEC[7:0] ビットと REC[7:0] ビットは "00h" に初期化され、CHESR.BORDF フラグが "1" になります。
- CHCR.BOM[1:0] = 11b :**
 バスオフ復帰が開始されますが、CH_HALT モードへの遷移が要求された場合、CAN チャンネルはバスオフ状態であっても即座に CH_HALT モードに遷移することができます。CHSR.TEC[7:0] ビットと REC[7:0] ビットは "00h" に初期化され、CHESR.BORDF フラグは "1" になりません。
 CHCR.MDC[1:0] = 10b に設定せずに、11 個のレセシブビットが 128 回連続で検出された場合、遷移条件は CHCR.BOM[1:0] = 00b と同じになります。

このモードでバスオフ復帰が正常に(連続する11個のレセシブビット128回のシーケンスを待機した後)行われた場合、かつ、その間にCH_HALT要求が発生しなかった場合、CHESR.BORDFフラグが“1”になります。

CANチャンネルがCH_HALTモードに遷移すると同時にソフトウェアがCHCR.MDC[1:0]ビットに書き込む場合(CHCR.BOM[1:0]=01bの場合はバスオフの開始時、CHCR.BOM[1:0]=10bの場合はバスオフの終了時)、ソフトウェア要求の優先度が最も高くなります。

注. 上記の場合、CHCR.MDC[1:0]ビットの値が以前に“00b”(CH_OPERATIONモード)であった場合に、CH_HALTモード要求に対するCHCR.MDC[1:0]ビットの自動設定が行われます。

また、CHCR.RTBOビットを“1”にすると、CANチャンネルをバスオフ状態から強制的に復帰させることができます。

最大で1ビットタイムの遅延時間でエラー状態がバスオフ状態から統合状態(Integrating state)に変わり、11個の連続するレセシブビットが検出された後に、CAN通信が再度可能になります。この場合、CHESR.BORDFフラグは“1”になりません。CHSR.TEC[7:0]ビットとREC[7:0]ビットは“00h”に初期化されます。

CHCR.RTBOビットを“1”にする前に、送信メッセージバッファ、送信キュー、送信FIFOモードの共通FIFOからの保留中の送信を無効にしなければなりません。

保留中の送信メッセージバッファ、送信キューまたは共通FIFOが無効化されたことを、それぞれTMSRn.TXRF[1:0]フラグ、TQSR0.EMPTYフラグ、CFSR0.EMPTYフラグで確認する必要があります。

CHCR.RTBOビットは、CHCR.BOM[1:0]ビットが“00b”に設定されているときに限り、バスオフ復帰に使用する必要があります。

このビットをバスオフ状態以外で設定しても無効で、即座にクリアされます。

表33.12に、CHCR.BOM[1:0]ビットの設定に対する、バスオフ開始検出フラグ(CHESR.BOEDF)とバスオフ復帰検出フラグ(CHESR.BORDF)の動作について示します。

表33.12 バスオフ開始フラグとバスオフ復帰フラグの動作

CHCR.BOM[1:0]	CHESR.BOEDFフラグ	CHESR.BORDFフラグ
00b	バスオフ開始時に“1”になる	バスオフ状態からの復帰時に“1”になる
00b CHCR.RTBOビットを“1”に設定		CHCR.RTBOビットを“1”にする前に、通常のバスオフ復帰が発生した場合のみ“1”になる
01b		“1”にならない
10b		バスオフ状態からの復帰時に“1”になる
11b		CH_HALTモードへの遷移要求をする前に、通常のバスオフ復帰が発生した場合のみ“1”になる

効率的なソフトウェアを作るには、バスオフ復帰シーケンスが終了するのを待つ必要はありません。

バスオフ復帰中に送信の再初期化を実行することができます。これを行うには、図33.13の推奨ソフトウェアフローに従ってください。

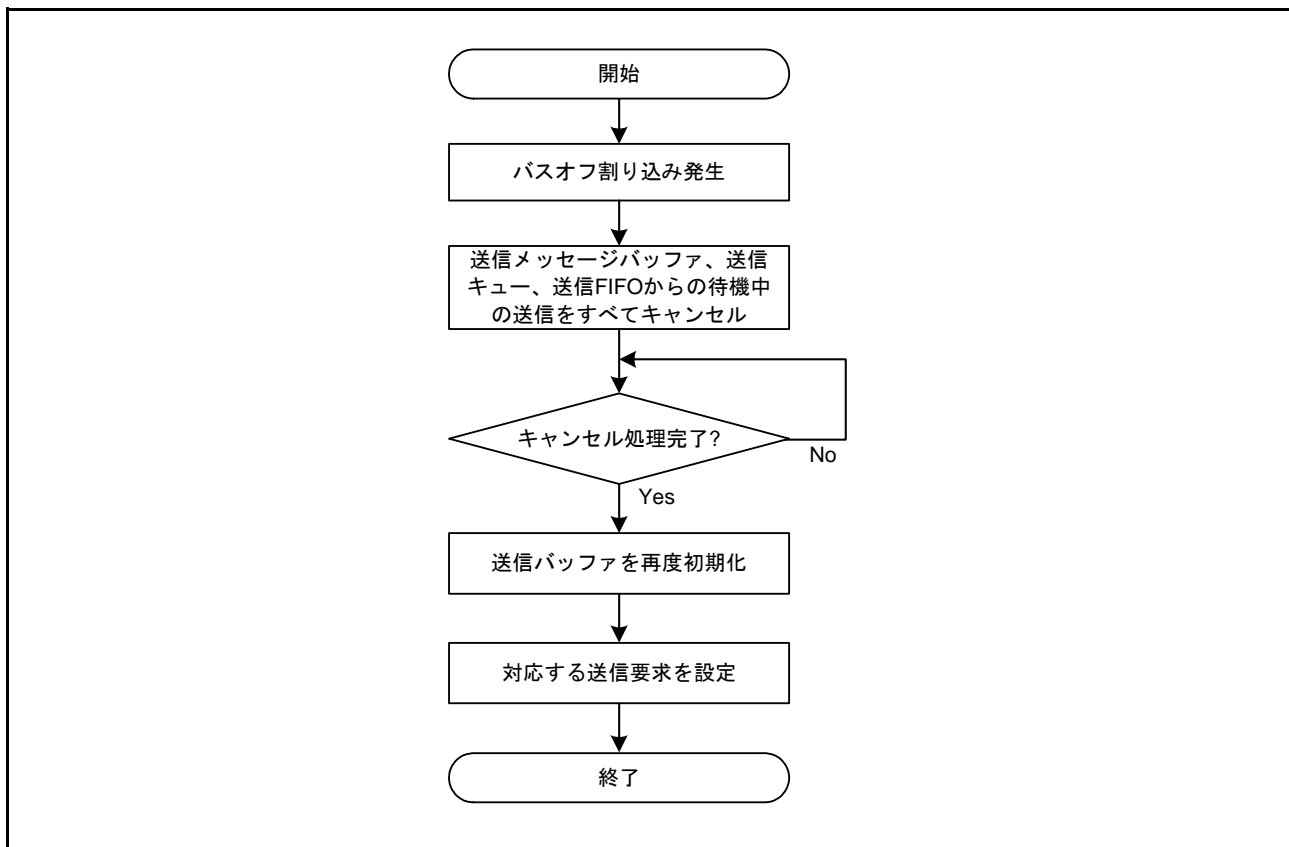


図 33.13 バスオフ中の送信の再初期化

33.3.3 グローバルモード遷移とチャンネルモード遷移の相互作用

グローバルモード設定とチャンネルモード設定の相互作用は以下の通りです。

- CHCR.MDC[1:0] ビットを変更しても、GCR.MDC[1:0] ビットは変化しない
- GCR.MDC[1:0] ビットを変更すると、表 33.13 に示すようにチャンネルモードが変化する

表 33.13 グローバルモード変更によるチャンネルモード遷移

グローバルモードの変更	グローバルモード変更前のチャンネルモード	グローバルモード変更後のチャンネルモード
GL_SLEEP → GL_RESET	CH_SLEEP	CH_SLEEP (変更なし)
GL_RESET → GL_SLEEP	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_SLEEP
GL_RESET → GL_HALT	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
GL_RESET → GL_OPERATION	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
GL_HALT → GL_RESET	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_RESET
GL_HALT → GL_OPERATION	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_HALT (変更なし)
GL_OPERATION → GL_RESET	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_RESET
	CH_OPERATION	CH_RESET
GL_OPERATION → GL_HALT	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_HALT (変更なし)
	CH_OPERATION	通信終了後、CH_HALT

33.3.3.1 グローバルモードの変更タイミング

表 33.14 に、グローバルモード変更時の遷移時間を示します。

表 33.14 グローバルモードの最大遷移時間

変更前	遷移先	最大遷移時間
GL_SLEEP	GL_RESET	3 × PCLKB (注2)
GL_RESET	GL_SLEEP	3 × PCLKB
GL_RESET	GL_HALT	10 × PCLKB
GL_RESET	GL_OPERATION	10 × PCLKB
GL_HALT	GL_RESET	2ビットタイム(1 Tq + 16 × PCLKB + 2 × DLLクロックサイクル)
GL_HALT	GL_OPERATION	3 × PCLKB
GL_OPERATION	GL_RESET	2ビットタイム(1 Tq + 16 × PCLKB + 2 × DLLクロックサイクル)
GL_OPERATION	GL_HALT	3 CANフレーム(1 CANフレーム + 3424 × PCLKB) (注1)(注3)

注1. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間が長くなり、計算されない結果になることがあります。遷移時間は、受信ラインのロックやエラー状態が続くとスタック状態になることがあります。

注2. GL_SLEEPモードからの遷移は、GSR.RAMSTフラグがクリアされているときのみ行ってください。

注3. Tq、CANフレーム、ビットタイムは、個々のチャンネルに関連しています。遷移時間を最大にするためには、ビットレートが最も低いチャンネルを使用する必要があります。

33.3.3.2 チャネルモードの変更タイミング

表 33.15 に、チャネルモード変更時の遷移時間を示します。

表 33.15 チャネルモードの最大遷移時間

変更前	遷移先	最大遷移時間
CH_SLEEP	CH_RESET	3 × PCLKB
CH_RESET	CH_SLEEP	3 × PCLKB
CH_RESET	CH_HALT	3ビットタイム(1 CANビット + 2 Tq + 8 × PCLKB + 2 × DLLクロックサイクル)
CH_RESET	CH_OPERATION	4ビットタイム(2 CANビット + 1 TSEG1 + 12 × PCLKB + 2 × DLLクロックサイクル)
CH_HALT	CH_RESET	2ビットタイム(1 Tq + 10 × PCLKB + 2 × DLLクロックサイクル)
CH_HALT	CH_OPERATION	4ビットタイム(< 4 CANビット) (注3)
CH_OPERATION	CH_RESET	2ビットタイム(1 Tq + 10 × PCLKB + 2 × DLLクロックサイクル)
CH_OPERATION	CH_HALT	2CANフレーム(1 CANフレーム + 13 CANビット) (注1) (注2)

- 注1. ここに示す遷移時間には、チャネルがバスオフ状態になる場合を含みません。バスオフの場合、タイミングは CHCR.BOM[1:0] ビットの設定に依存します。
- 注2. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間が長くなり、計算されない結果になることがあります。遷移時間は、受信ラインのロックやエラー状態が続くとスタック状態になることがあります。
- 注3. 一般的に、CH_HALTモードでビットレートプリスケラビット(NBCR.BRP[9:0])の値を変更すると遷移時間がずれることがあります。内部のプリスケラはTqクロックを生成するフリーランニングダウンカウンタで、カウンタが値0になると新しいBRP値がキャプチャされます。

33.4 CANFD モジュールの初期化

CAN 通信を開始する前に、以下の設定を行ってください。

- クロックの設定
- ビットタイミングの設定 (公称ビットレートとデータビットレート)
- ビットレートの設定 (公称ビットレートとデータビットレート)
- CANFD の設定
- アクセプタンスフィルタの設定 (アクセプタンスフィルタリストの設定)
- 受信 FIFO および送信 FIFO の設定
- CAN 動作モード設定

33.4.1 CAN クロック、ビットタイミング、ビットレートの初期化

33.4.1.1 ビットタイミング条件

各セグメントの設定と、セグメントの設定に適用される制約条件を以下に示します。

1. 各セグメントの設定

SS = 1 Tq に固定

TSEG1 = 2 Tq ~ 256 Tq (NBCR), 2 Tq ~ 32 Tq (DBCR)

TSEG2 = 2 Tq ~ 128 Tq (NBCR), 2 Tq ~ 16 Tq (DBCR)

SJW = 1 Tq ~ 128 Tq (NBCR), 1 Tq ~ 16 Tq (DBCR)

SS + TSEG1 + TSEG2 = 8 Tq ~ 385 Tq (NBCR), 5 Tq ~ 49 Tq (DBCR)

2. TSEG1、TSEG2、SJW の制約条件

NBCR レジスタ : TSEG1 > TSEG2 ≥ SJW

DBCR レジスタ : TSEG1 ≥ TSEG2 ≥ SJW

表 33.16 に、要求されるサンプルポイント設定を実現するためのビットタイミング設定の例を示します。

表33.16 ビットタイミング例

1ビット	設定値(Tq)				サンプルポイント(%)
	SS	TSEG1	TSEG2	SJW	
5 Tq	1	2	2	1	60.00
8 Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10 Tq	1	6	3	1	70.00
	1	7	2	1	80.00
12 Tq	1	8	3	1	75.00
	1	9	2	1	83.33
15 Tq	1	10	4	1	73.33
	1	11	3	1	80.00
16 Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20 Tq	1	12	7	1	65.00
	1	13	6	1	70.00
24 Tq	1	15	8	1	66.66
	1	16	7	1	70.83
50 Tq	1	39	10	4	80.00

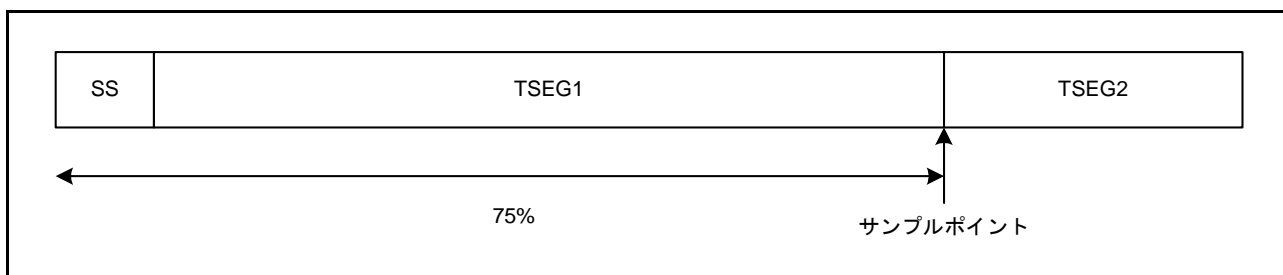


図 33.14 サンプルポイント (75% の場合)

33.4.1.2 ビットタイミング

CAN プロトコルでは、通信フレームの各ビットは、3つのセグメントで構成されています。各セグメントは、NBCR レジスタおよび DBCR レジスタを使用して設定できます。

図 33.15 に、1 ビットのセグメント構成と、ビット内のサンプルポイントを示します。

これらのセグメントのうち、タイムセグメント 1 (TSEG1) とタイムセグメント 2 (TSEG2) は、サンプルポイントの位置を指定するために使用されます。TSEG1 と TSEG2 の値を変更することで、CAN バス上の各ビットをサンプリングするタイミングを変更することができます。

このタイミングの最小単位を Tq (Time Quantum) と呼びます。Tq の長さは、CAN チャネルに供給されるクロック周波数とビットレートプリスケアラの N 分周値 (公称ビットレートとデータビットレート) によって決まります。

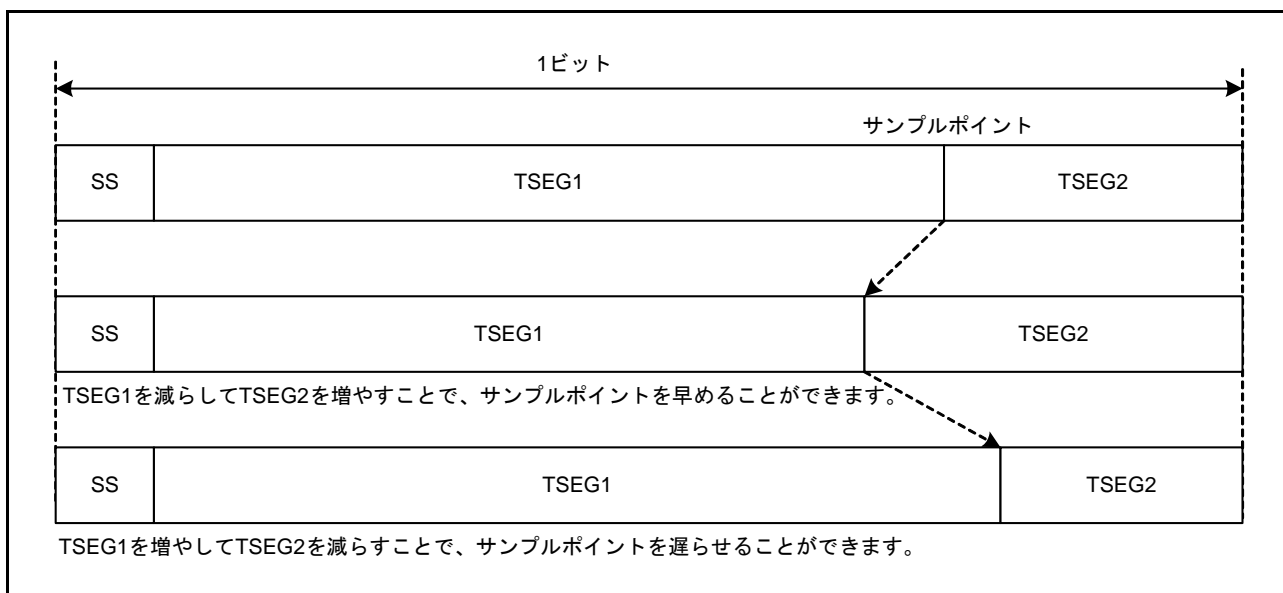


図 33.15 ビット内のセグメント構成とサンプルポイント

1. SS : 同期セグメント

インターフレームスペース中のレセプシブからドミナントへのエッジをモニタして、ビットを同期するセグメントです。インターフレームスペースは、インターミッション、サスペンド送信、バスアイドルで構成され、バスアイドル中に全ノードが送信を開始することができます。

2. TSEG1 : タイムセグメント 1

CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、バス上の遅延、入力コンパレータ上の遅延、出力ドライバの遅延の総和の 2 倍になります。SJW によっ

て伸ばすことができます。

3. TSEG2：タイムセグメント2

再同期を実行してフェーズエラーを補償するセグメントです。SJWによって短縮することができます。メッセージの送受信中、発振周波数のドリフトや伝送路の遅延などにより、一部のノード間で通信フレームが同期がずれる場合があります。これをフェーズエラーといいます。

4. SJW：再同期ジャンプ幅

フェーズエラーにより同期ずれしたビットを補償できる最大ビット幅です。

図 33.15 では、代表的なサンプルポイントの例を示しています。

33.4.1.3 ビットレート

CAN 通信クロックは、データリンク層の動作クロック (DLL クロック) を分周して生成します。

DLL クロックには、内部クロック (CANFDCLK) または外部クロック (CANFDMCLK) のいずれかを選択することができます。

図 33.16 に CAN 通信クロックを生成する回路のブロック図を示します。

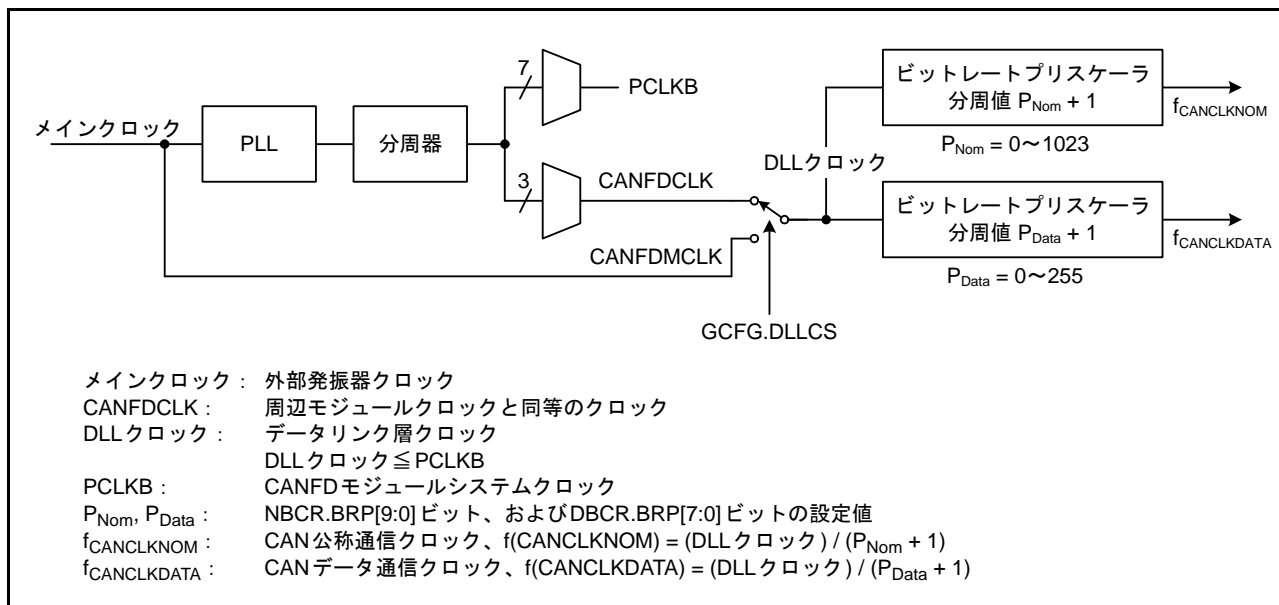


図 33.16 CAN 通信クロック生成回路ブロック図

ビットレートは、DLL クロック周波数、ビットレートプリスケーラの分周値 (P + 1)、1 ビットあたりの T_q 数によって決定されます。

$$\text{ビットレート} = \frac{\text{DLLクロック周波数}}{1 \text{ ビットあたりの } T_q \text{ 数} \times (P + 1)} = \frac{\text{CAN通信クロック周波数}}{1 \text{ ビットあたりの } T_q \text{ 数}}$$

表 33.17 に Classical CAN フレームのための公称ビットレートの設定例を示します。

表 33.17 Classical CAN フレームのための公称ビットレートの設定例

ビットレート	DLLクロック周波数																	
	60 MHz		40 MHz		32 MHz		30 MHz		24 MHz		20 MHz		16 MHz		10 MHz		8 MHz (注1)	
	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1
1 Mbps	10 Tq 15 Tq	6 4	8 Tq 20 Tq	5 2	8 Tq 16 Tq	4 2	10 Tq 15 Tq	3 2	8 Tq 12 Tq 24 Tq	3 2 1	10 Tq 20 Tq	2 1	8 Tq 16 Tq	2 1	10 Tq	1	8 Tq	1
500 kbps	10 Tq 15 Tq 20 Tq	12 8 6	8 Tq 20 Tq	10 4	8 Tq 16 Tq	8 4	10 Tq 15 Tq 20 Tq	6 4 3	8 Tq 12 Tq 24 Tq	6 4 2	10 Tq 20 Tq	4 2	8 Tq 16 Tq	4 2	10 Tq 20 Tq	2 1	8 Tq 16 Tq	2 1
250 kbps	10 Tq 15 Tq 20 Tq	24 16 12	8 Tq 20 Tq	20 8	8 Tq 16 Tq	16 8	10 Tq 15 Tq 20 Tq	12 8 6	8 Tq 12 Tq 24 Tq	12 8 4	10 Tq 20 Tq	8 4	8 Tq 16 Tq	8 4	10 Tq 20 Tq	4 2	8 Tq 16 Tq	4 2
125 kbps	10 Tq 15 Tq 20 Tq	48 32 24	8 Tq 20 Tq	40 16	8 Tq 16 Tq	32 16	10 Tq 15 Tq 20 Tq	24 16 12	8 Tq 12 Tq 24 Tq	24 16 8	10 Tq 20 Tq	16 8	8 Tq 16 Tq	16 8	10 Tq 20 Tq	8 4	8 Tq 16 Tq	8 4
83.3 kbps	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	90 72 60 48 36 30	8 Tq 12 Tq 16 Tq 24 Tq	60 40 30 20	8 Tq 12 Tq 16 Tq 24 Tq	48 32 24 16	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	45 36 30 24 18 15	8 Tq 12 Tq 16 Tq 24 Tq	36 24 18 12	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	30 24 20 16 15 12 10	8 Tq 12 Tq 16 Tq 24 Tq	24 16 12 8	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	15 12 10 8 6 5	8 Tq	12
33.3 kbps	10 Tq 12 Tq 15 Tq 20 Tq	180 150 120 90	8 Tq 12 Tq 16 Tq 24 Tq	150 100 75 60 50	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	120 96 80 64 60 48 40	10 Tq 12 Tq 15 Tq 20 Tq	90 75 60 45	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	90 72 60 48 45 36 30	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	75 60 50 40 30 25	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	60 48 40 30 24 20	10 Tq 12 Tq 15 Tq 20 Tq	30 25 20 15	8 Tq	30

注1. 公称ビットレート1 Mbpsを達成するための最低周波数です。

CAN FD フレームを使用するネットワークで、最適なクロックトレランスを実現するには、公称ビットタイムとデータビットタイムで Tq の長さを同じにしなければなりません。つまり、NBCR.BRP[9:0] = DBCR.BRP[7:0] にします。

また、トランシーバ遅延補償を使用する場合は、DBCR.BRP[7:0] ビットを 1 より大きい値に設定しないでください。

表 33.18 に CAN FD フレームのための公称ビットレート、データビットレートの設定例を示します。

表 33.18 CAN FD フレームのための公称ビットレート、データビットレートの設定例

ビットレート		DLLクロック周波数															
		60 MHz				40 MHz				30 MHz				20 MHz			
		Tq数		P+1	Tq数		P+1	Tq数		P+1	Tq数		P+1				
公称	データ	公称	データ		公称	データ		公称	データ								
1 Mbps	8 Mbps	—	—	—	40 Tq	5 Tq	1	—	—	—	—	—	—				
1 Mbps	5 Mbps	60 Tq	12 Tq	1	40 Tq	8 Tq	1	30 Tq	6 Tq	1	—	—	—				
1 Mbps	4 Mbps	60 Tq	15 Tq	1	40 Tq	10 Tq	1	—	—	—	20 Tq	5 Tq	1				
1 Mbps	2 Mbps	60 Tq	30 Tq	1	40 Tq	20 Tq	1	30 Tq	15 Tq	1	20 Tq	10 Tq	1				
500 kbps	2 Mbps	120 Tq	30 Tq	1	80 Tq	20 Tq	1	60 Tq	15 Tq	1	40 Tq	10 Tq	1				

33.4.1.4 CANクロック、ビットタイミング、ビットレートの設定

図 33.17 にビットタイミングとビットレートの設定手順を示します。

これらの設定は、CH_RESET モードで行ってください。

ビットレートは、チャンネル通信状態に入る前に設定しておかないと、正しくモードが切り替わりません。

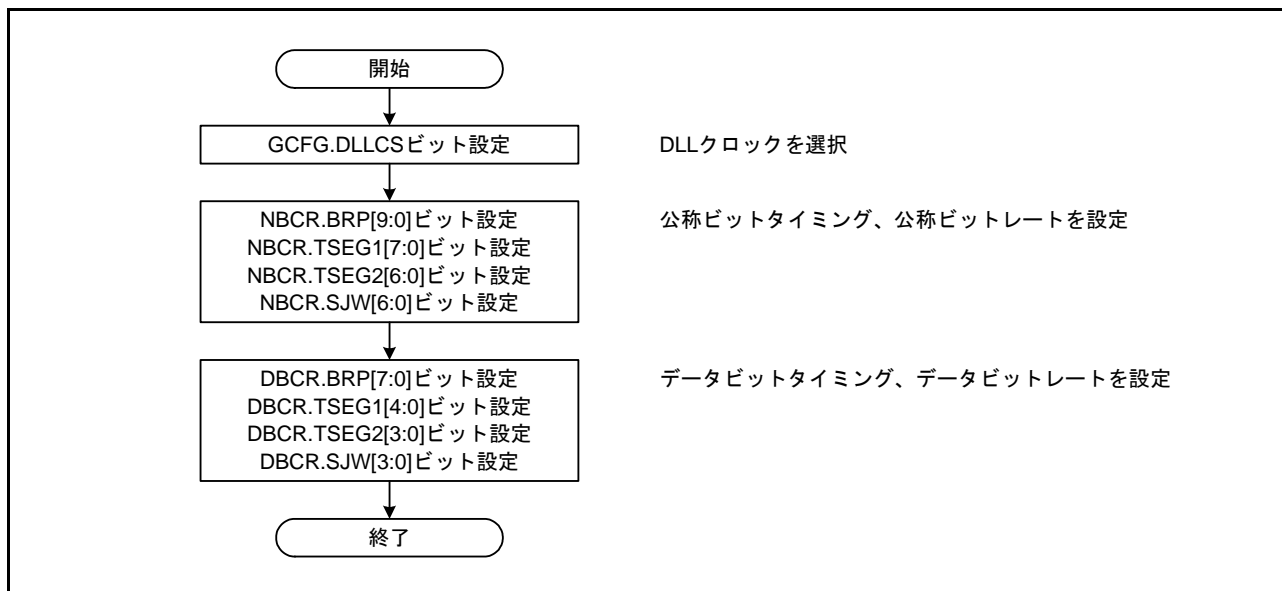


図 33.17 ビットタイミングとビットレートの設定手順

33.4.1.5 トランシーバ遅延補償

データフェーズに 5 ~ 8Mbps のような高いビットレートを使用した場合、トランシーバの内部遅延が TSEG1 よりも大きくなることがあります。その場合、送信回路は CAN FD フレームのデータフェーズでビットエラーを検出してしまいます。トランシーバ遅延補償機能は、送信回路自身が送信したビットを、そのビットのサンプルポイントで受信できない場合に補償します。

もう 1 つの象徴的なサンプルポイントとして、CAN FD フレームのデータフェーズでのみ使用される第二サンプルポイント (SSP) があります。図 33.18 に示すように、SSP はトランシーバ遅延補償結果ビット (FDSTS.TDCR[7:0]) から得られます。

設定の分解能、測定値、およびオフセット値は、DLL クロック基準です。

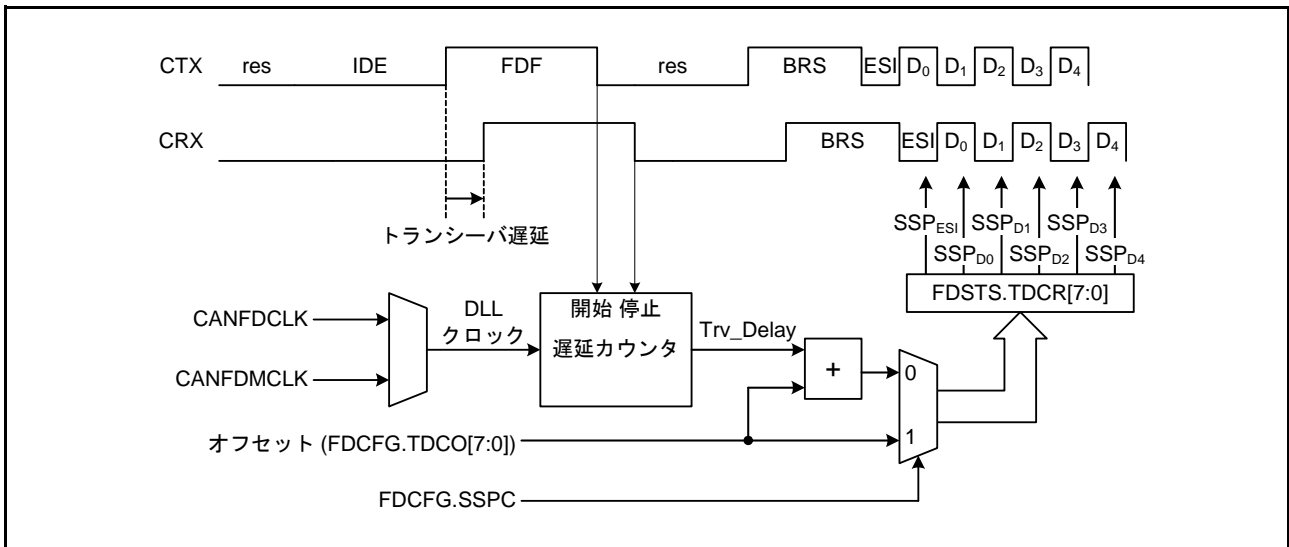


図 33.18 トランシーバ遅延補償

測定された遅延時間 Trv_Delay は、DLL クロックのサイクル数に基づいており、ドミナント値が CRX0 端子で観測できるまで、開始クロックごとに 1 ずつカウントアップされます。図 33.19 に Trv_Delay の測定例を示します。 Trv_Delay が各 DLL クロックで最大 127 までカウントされます。

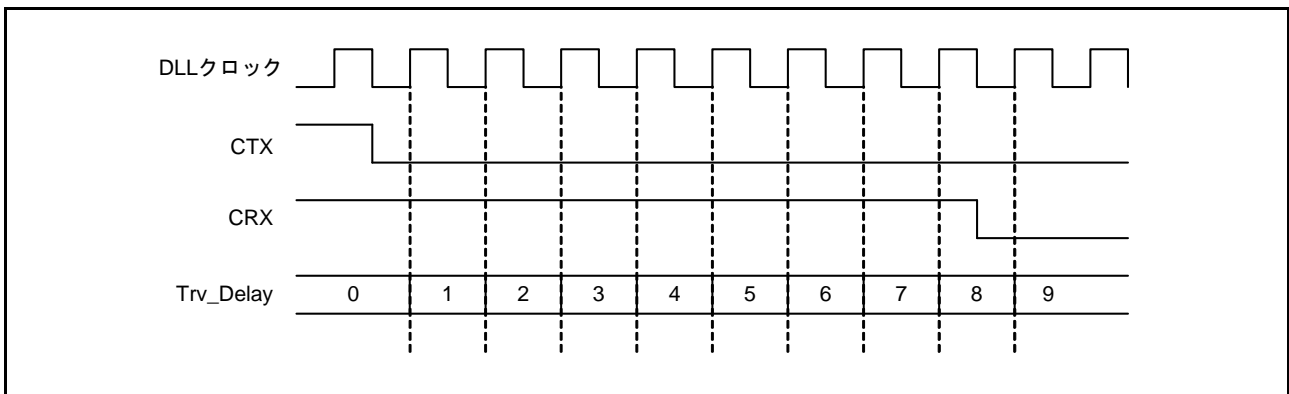


図 33.19 Trv_Delay の測定例

SSP は、FDSTS.TDCR[7:0] ビットからの結果を取り、その値をデータ Tq の最も近い整数値に切り捨てることで計算されます。

図 33.20 に、第二サンプルポイント (SSP) の決め方を示します。FDCFG.SSPC ビットが“0”のとき、SSP は Trv_Delay (測定された遅延時間) + FDCFG.TDCO[7:0] を、 Tq の最も近い整数値に切り捨てた値と等しくなります。通常、TDCO[7:0] の値は、SSP をサンプルポイントの理論上の位置に配置するため、データフェーズの $SS + TSEG1$ の大きさを持ちます。

FDCFG.SSPC ビットが“1”のとき、SSP は FDCFG.TDCO[7:0] ビットによって決まります。DBCR.BRP[7:0] ビットが“00h”より大きい場合、その値も Tq の最も近い整数値に切り捨てられます。

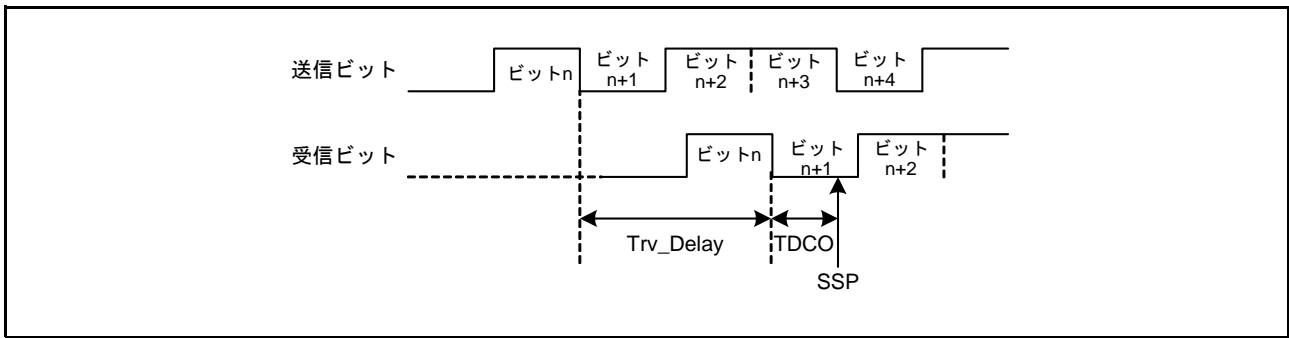


図 33.20 第二サンプルポイント (SSP) の決定

CANFD モジュールで補償できる最大遅延時間 ($Trv_Delay + TDCO[7:0]$) は、(6 データビット - 2 DLL クロック) です。

ISO 11898-1 では、BRP_data と BRP_nom に異なる値を設定することができます。

NBCR.BRP[9:0] ビットと DBCR.BRP[7:0] ビットの値が異なる場合、BRS ビットのサンプルポイントの後、ビットレートが公称ビットレートからデータビットレートに変化した時点で、2つのCANノードが同期がずれることがあります。この状況を図 33.21 に示します。

公称ビットタイムとデータビットタイムで、 Tq の長さを同じにする必要があります。つまり、NBCR.BRP[9:0] = DBCR.BRP[7:0] に設定します。

タイムセグメントの異なる設定値を選択することで、ビットレートを変えることができます。公称ビットレートは $8 \sim 385 Tq$ 、データビットレートは $5 \sim 49 Tq$ に設定できます。

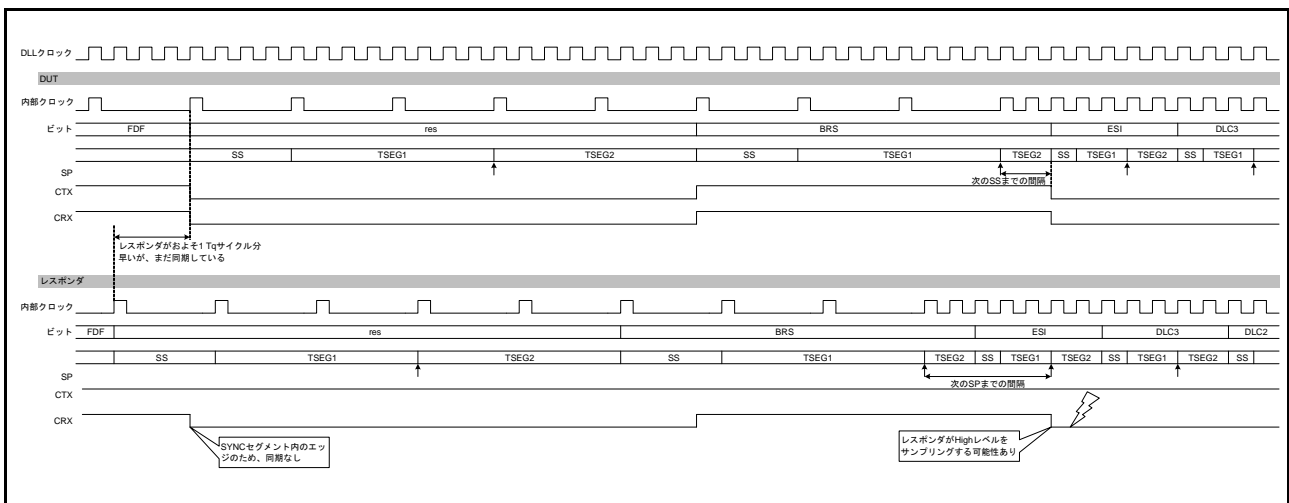


図 33.21 2つのCANノード間の同期ずれ

適切に設定 ($FDCFG.TDCE = 1, FDCFG.SSPC = 0$) すると、トランシーバ遅延補償の測定結果は、FDF ビットから res ビットへの立ち下がりエッジで更新されます。

図 33.22 に、トランシーバ遅延補償結果を取得するための読み出しフローを示します。

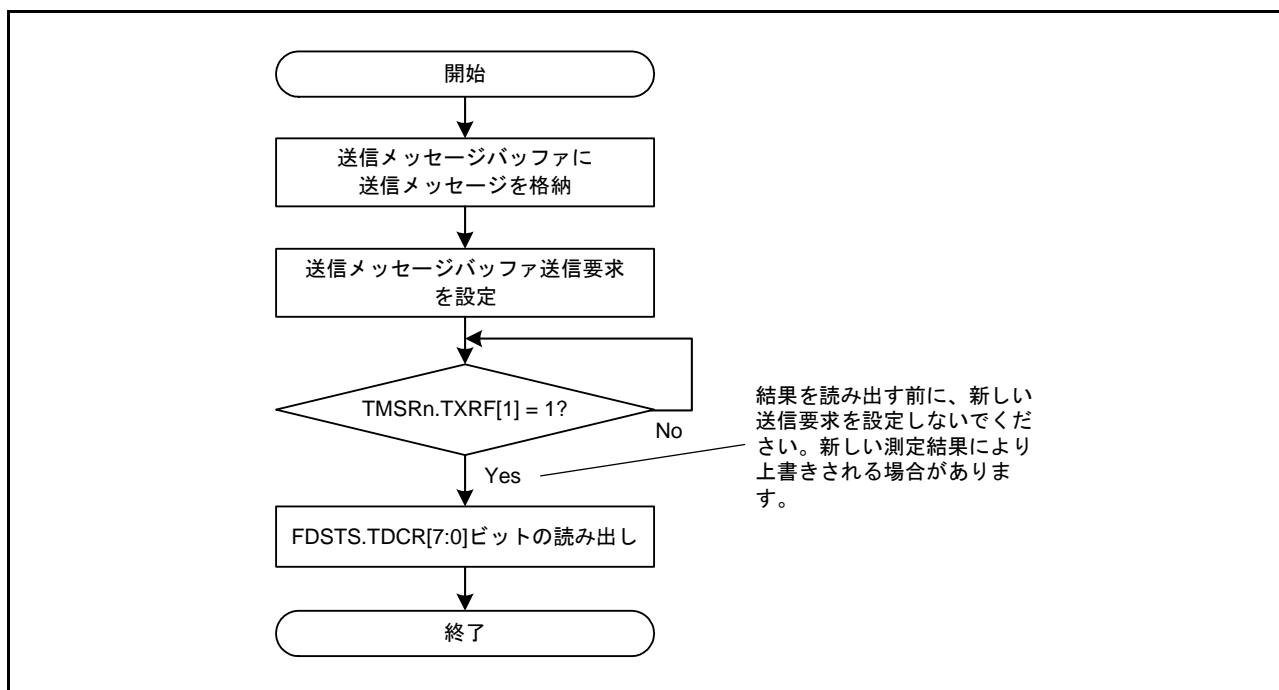


図 33.22 トランシーバ遅延補償結果読み出しフロー

33.4.2 リセット後の CANFD モジュール設定

MCU のリセットを解除した後、または GRCR.SRST ビットを “1” → “0” にした後、CANFD モジュールは自動的に GL_SLEEP モードに移移します。

CANFD モジュールの設定を行うには、GCR.SLPRQ ビットを “0” にして GL_SLEEP モードを解除する必要があります。

MCU のリセットを解除すると、CANFD モジュールは RAM の初期化を開始します。このとき、GSR.RAMST フラグが自動的に “1” になり、CANFD ロジックが RAM を初期化していることを示します。

RAM の初期化が完了すると、このビットは自動的に “0” になります。

RAM 初期化は、RAM 内の不定データによって、MCU のリセット解除後に間違った ECC エラーが検出されるのを防ぐために必要です。

RAM の初期化が完了し、GSR.RAMST フラグが “0” になるまでは、CANFD の他のレジスタへのアクセス（読み出し / 書き込み）を行わないでください。

通信モードに入る前に、アクセプタンスフィルタリストとメッセージ FIFO バッファを設定する必要があります。また、CAN ビットタイミングなどの CAN チャンネルの設定が必要です。この設定を行うには、CAN チャンネルにおいて CH_SLEEP モードを解除し、CH_RESET モード（設定モード）で通信できるように設定してください。

図 33.23 に設定手順を示します。各ステップの詳細については、「33.5 アクセプタンスフィルタリスト (AFL) を使用したフィルタ処理」「33.6 FIFO バッファとメッセージバッファの構成」「33.10 割り込みと DTC/DMA 転送要求」「33.4.1.3 ビットレート」を参照してください。

GRCR.SRST ビットを “1” にしてソフトウェアリセットを行った場合、CANFD モジュールは RAM の初期化シーケンスを実行しません。

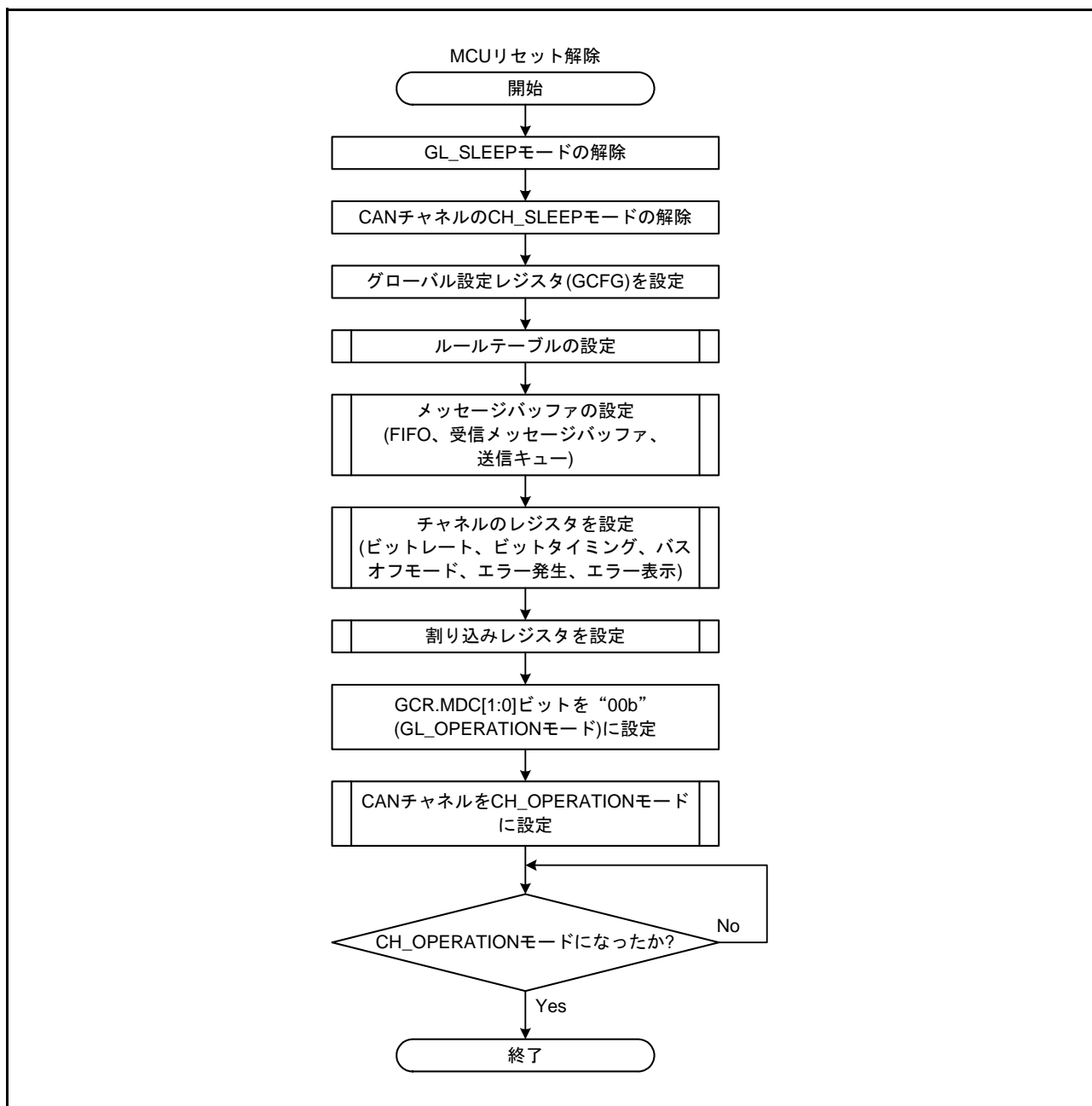


図 33.23 MCU リセット後の設定手順

33.5 アクセプタンスフィルタリスト (AFL) を使用したフィルタ処理

CANFD モジュールでは、アクセプタンスフィルタリスト (AFL) を使用して、チャンネルのメッセージ受付フィルタ処理を行うことができます。AFL の各エントリで、受信したメッセージに対するフィルタルールを定義します。

AFL エントリに基づいて以下の処理が実行されます。

- 受信メッセージの RTR 値、IDE 値、ID 値に基づくアクセプタンスフィルタ処理
- 受信メッセージの DLC 値に基づく DLC フィルタ処理
- GCFG.OMRC ビットに基づくペイロードオーバーフロー処理
- 受け入れたメッセージを指定したメッセージバッファ /FIFO バッファに格納
- 格納したメッセージに指定した16ビットのポインタを付与(AUTOSARアプリケーションをサポートするためなど)
- 格納したメッセージに指定した2ビットの情報ラベルを付与

CANFD モジュールでは、最大 32 個の AFL エントリが利用可能です。

33.5.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、各 AFL エントリが受信メッセージと照合されます。照合は、AFL エントリ番号が最も小さいものから開始されます。

受信メッセージの ID と指定した ID/マスクの組み合わせが一致したとき、または受信メッセージの ID が定義されたすべての AFL エントリと照合し終わったとき、AFL 検索は停止します。一致しなかった場合、受信メッセージは破棄されます。この場合、アプリケーションへの通知は行われません。

33.5.2 DLC フィルタ処理

DLC チェックが有効 (GCFG.DCE ビット = 1) であると、受け入れたメッセージに対して DLC フィルタ処理が実行されます。受信メッセージの DLC 値が、アクセプタンスフィルタ処理で ID が一致した AFL エントリ (以降、一致エントリ) に指定した DLC 値以上の場合、DLC チェックをパスします。

DLC 置換が有効 (GCFG.DRE ビット = 1) で、一致エントリに指定した DLC 値が “0000b” より大きいときに、DLC チェックをパスすると、一致エントリに指定した DLC 値が受信メッセージバッファ (RMBn) または FIFO バッファに格納されます。受信メッセージの DLC 値が一致エントリに指定した DLC 値よりも大きい場合、超過したデータバイトは RMBn/FIFO バッファに格納されません。超過したデータバイトの部分は、RMBn/FIFO バッファ上で “00h” になります。

DLC 置換が有効で、一致エントリに指定した DLC 値が “0000b” (DLC フィルタ無効) の場合、受信メッセージの DLC 値が RMBn/FIFO バッファに格納されます。

DLC 置換が無効 (GCFG.DRE ビット = 0) のときに DLC チェックをパスすると、受信メッセージの DLC 値が RMBn/FIFO バッファに格納されます。受信メッセージの DLC 値が、一致エントリに指定した DLC 値よりも大きい場合、超過したデータバイトも、RMBn/FIFO バッファに格納されます。

受信メッセージの DLC 値が、一致エントリに指定した DLC 値よりも小さい場合、DLC チェックは失敗します。その場合、受信メッセージは破棄され、どこにも格納されません。

また、DLC チェックに失敗すると、GESR.DEDF フラグが “1” になります。割り込みが許可されている場合、エラー割り込みも発生します。DLC チェックに失敗した場合、DLC 置換の設定は影響しません。

33.5.3 メッセージ格納

受信メッセージがアクセプタンスフィルタ処理と DLC フィルタ処理の両方をパスした場合、メッセージは受信メッセージバッファ 0～31、受信 FIFO 0, 1、受信 FIFO モードに設定された共通 FIFO 0 のいずれかに格納されます。

このメッセージ格納先情報も、AFL エントリに定義されています。未定義の AFL エントリに格納先を指定しないでください。

メッセージの格納先は、最大 2 箇所まで指定できます。3 箇所以上指定しないでください。

33.5.4 ペイロードオーバーフロー処理

受信メッセージに、格納先に保存可能なサイズ (RMCR.PLS[2:0], RFCR0.PLS[2:0], RFCR1.PLS[2:0], CFRCR0.PLS[2:0]) よりも長いペイロードサイズのデータが含まれている場合のために、保護機構があります。

GCFG.OMRC ビット=0 (メッセージを破棄) の場合、指定したペイロードサイズを超えるデータバイトを持つメッセージは破棄され、格納されません。この場合、FIFO がフルであっても、対応する FMLSR.RFML0、RFML1、CFML0 フラグは“1”になりません。

GCFG.OMRC ビット=1 (指定したサイズにカット) の場合、指定したペイロードサイズを超えるデータバイトのみが破棄されます。この場合、FIFO がフルであると、対応する FMLSR.RFML0、RFML1、CFML0 フラグが“1” (メッセージロスト発生) になります。

GCFG.DRE ビットの設定に応じて、受信メッセージの DLC 値か AFL エントリに指定した DLC 値のいずれかが格納されます。

GCFG.OMRC ビットの設定に関わらず、ペイロードオーバーフローが発生した場合は、GESR.PODF フラグが“1”になります。

DLC フィルタ処理は、ペイロードオーバーフロー処理より前に実行されます。そのため、1つの受信フレームに対しては、GESR.DEDF フラグまたは GESR.PODF フラグのいずれか1つのフラグのみ“1”になります。

33.5.5 AFL エントリの割り当て

AFL エントリの数 (ルール数) は、AFCFG.RN0[5:0] ビットで設定することができます (図 33.24 参照)。

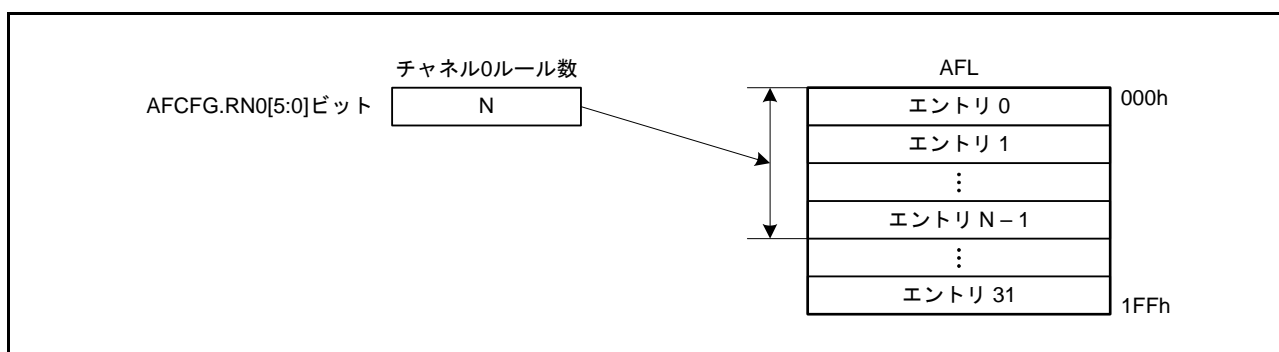


図 33.24 AFL の設定

1 チャンネルあたりのルール数は 0 (チャンネルにエントリが定義されていない状態) ～ 32 です。CANFD モジュールでは、AFL の設定に関連したエラーは通知されません。

33.5.6 AFL エントリの説明

AFL エントリはそれぞれ 16 バイトで構成されています。すべてのエントリでフィールドは同一です。

各エントリには、アクセプタンスフィルタ処理および DLC フィルタ処理に使用される以下の情報が含まれます。

- **ID フィールド** (標準フレームフォーマットでは 11 ビット、拡張フレームフォーマットでは 29 ビット):
アクセプタンスフィルタユニットは、受信したメッセージの ID フィールドとこのフィールドを照合します (ID フィールドの 29 ビットを個別にマスクできます。後述の「ID マスクフィールド」の説明を参照してください)。
- **IDE ビット** :
アクセプタンスフィルタユニットは、受信したメッセージの IDE ビットとこのビットを照合し、ID フィールドの該当部分を選択してアクセプタンスフィルタ処理を行います (IDE ビットのマスクが可能です。後述の「IDE マスクビット」の説明を参照してください)。
- **RTR ビット** :
アクセプタンスフィルタユニットは、このビットの設定に従って、データフレーム (RTR = 0) またはリモートフレーム (RTR = 1) のみを受け入れます (RTR ビットのマスクが可能です。後述の「RTR マスクビット」の説明を参照してください)。
- **ループバック設定ビット** :
ループバック設定やミラーモード設定によって、AFL エントリを有効 / 無効にできます。
- **ID マスクフィールド (29 ビット)** :
ID マスクフィールドの各ビットは、AFL エントリ内の対応する ID ビットをマスクすることができます (図 33.25 参照)。
- **IDE マスクビット** :
AFL エントリの IDE ビットをマスクした場合、当該 AFL エントリでは、標準 ID フォーマットと拡張 ID フォーマットの両方メッセージを受け入れることができます。標準 ID フォーマットのメッセージに対しては、AFL エントリの標準 ID 部分と、拡張 ID フォーマットのメッセージに対しては、AFL エントリの拡張 ID 部分と比較されます。
- **RTR マスクビット** :
AFL エントリの RTR ビットをマスクした場合、当該 AFL エントリでは、データフレームとリモートフレームの両方のフレームフォーマットを受け入れることができます。
- **ポインタ (16 ビット)** :
この 16 ビットのポインタは、当該 AFL エントリが受け入れたメッセージに付加されます。このポインタは、メッセージバッファ領域にメッセージを格納する際に付加され、アプリケーションにてサポート機能として使用できます。たとえば、ポインタ情報を使用して、AUTOSAR システムにおける受信メッセージへの PDU ID の割り当てをサポートすることができます。
- **情報ラベル (2 ビット)** :
この 2 ビットのラベルは、当該 AFL エントリが受け入れたメッセージに付加されます。このラベルは、メッセージバッファ領域にメッセージを格納する際に付加され、アプリケーションにてサポート機能として使用できます。
- **DLC フィールド** :
受信メッセージの DLC 値がこのフィールドに設定した値以上であれば、DLC チェックをパスします。AFL エントリの DLC 値が“0000b”の場合、当該エントリの DLC フィルタ処理は実質的に無効になります (受け入れられたすべてのメッセージが DLC フィルタ処理をパスします)。

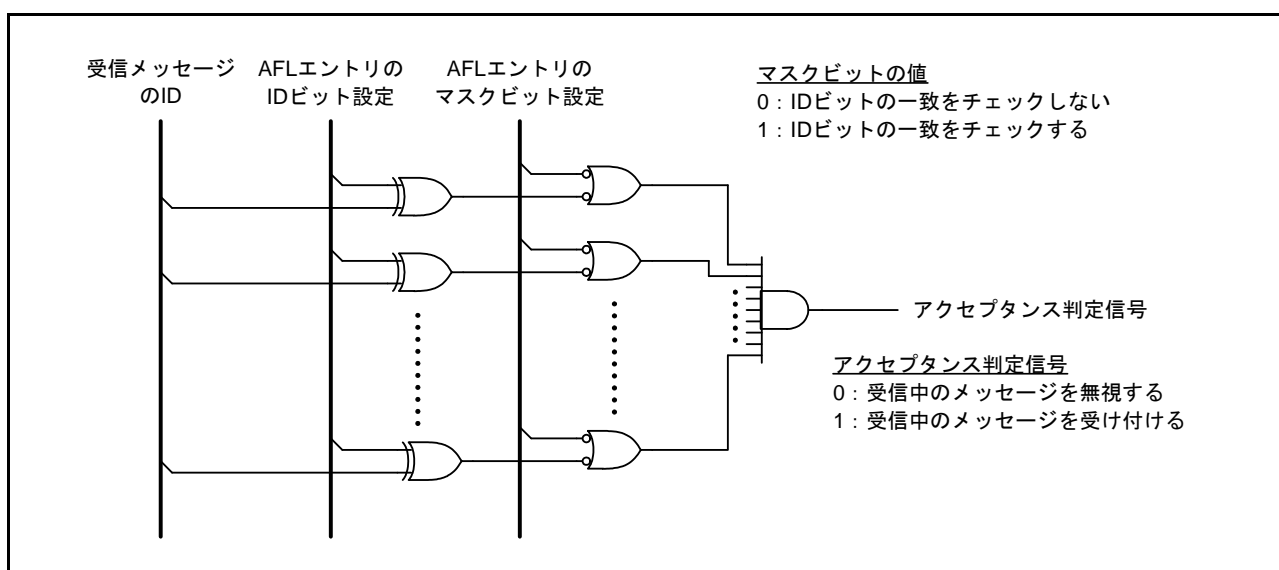


図 33.25 アクセプタンスフィルタ機能

各 AFL エントリには、受け入れたメッセージを処理するための以下の情報が含まれます。

- 受信メッセージの格納先として使用される、受信メッセージバッファのメッセージバッファ番号
- 受信メッセージの格納先として受信メッセージバッファを指定するための、格納先メッセージバッファ指定許可ビット
- 受信メッセージの格納先として FIFO を指定するための、FIFO 格納先許可ビット

メッセージの格納に関する保護機能はありません。そのため、FIFO 格納先許可ビットは慎重に設定する必要があります。

33.5.7 AFL へのエントリの入力

以下のレジスタを介して AFL 内にエントリを入力することができます。

- AFLn.IDR レジスタ：AFL エントリの第一部分
- AFLn.MASK レジスタ：AFL エントリの第二部分
- AFLn.PTR0 レジスタ：AFL エントリの第三部分
- AFLn.PTR1 レジスタ：AFL エントリの第四部分

これらのレジスタ 16 セットで AFL エントリの 1 ページを構成しています。CANFD モジュールには 32 個のエントリが存在し、AFCR.PAGE ビットでページを指定することにより、これらのエントリ全体にアクセスできます。AFL は CH_RESET モードまたは CH_HALT モードで設定してください。

表 33.19 に、ページと対応する AFL エントリを示します。

表 33.19 ページとアクセスできる AFL エントリ

ページ	アクセスできる AFL エントリ
ページ0	エントリ0～15
ページ1	エントリ16～31

AFL のアクセス制御は、AFCR レジスタを使用して行います (図 33.26 参照)。このレジスタには以下のビットがあります。

- AFL ページ番号を選択する PAGE ビット
- AFL への不要な書き込みを防止するために、書き込みを許可 / 禁止する AFLWE ビット

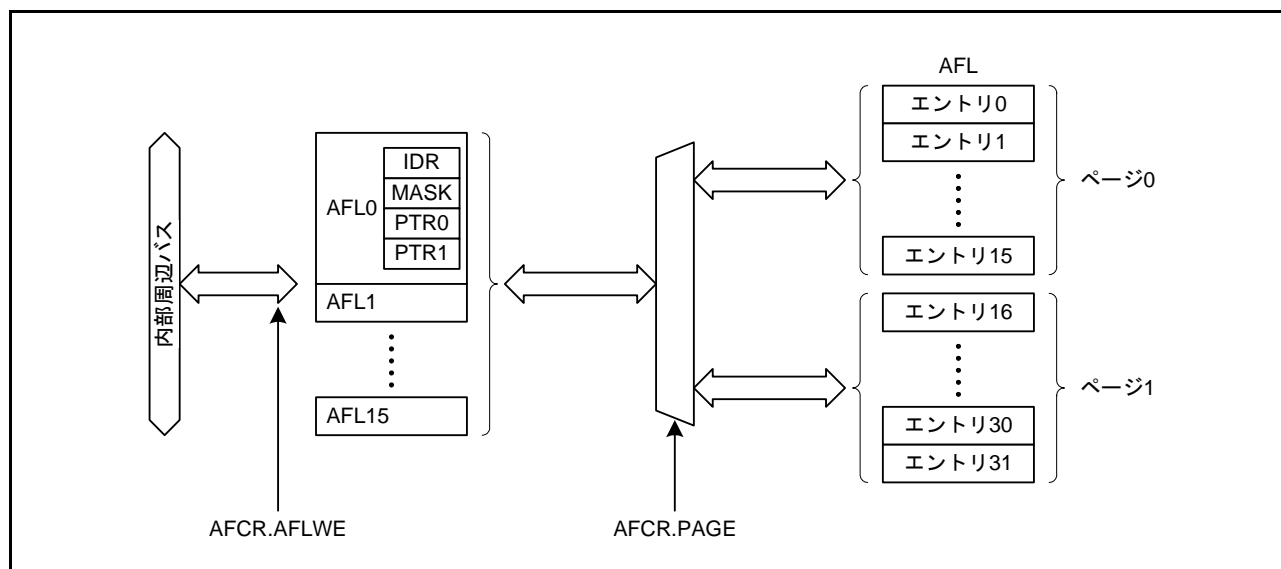


図 33.26 AFL のページアクセス

図 33.27 に示すフローに従って AFL を設定してください。

すべてのエントリを入力した後、AFL への不要な書き込みを防止するために AFL への書き込みを禁止する必要があります。

AFLWE ビットが“0”になっている場合、すべてのグローバルモード (GL_RESET、GL_HALT、GL_OPERATION) で書き込み保護が有効になります。

AFLWE ビットが“0”になっている場合でも、すべてのグローバルモードで AFL の読み出しが可能です (実行中に AFL の内容の整合性チェックが可能です)。

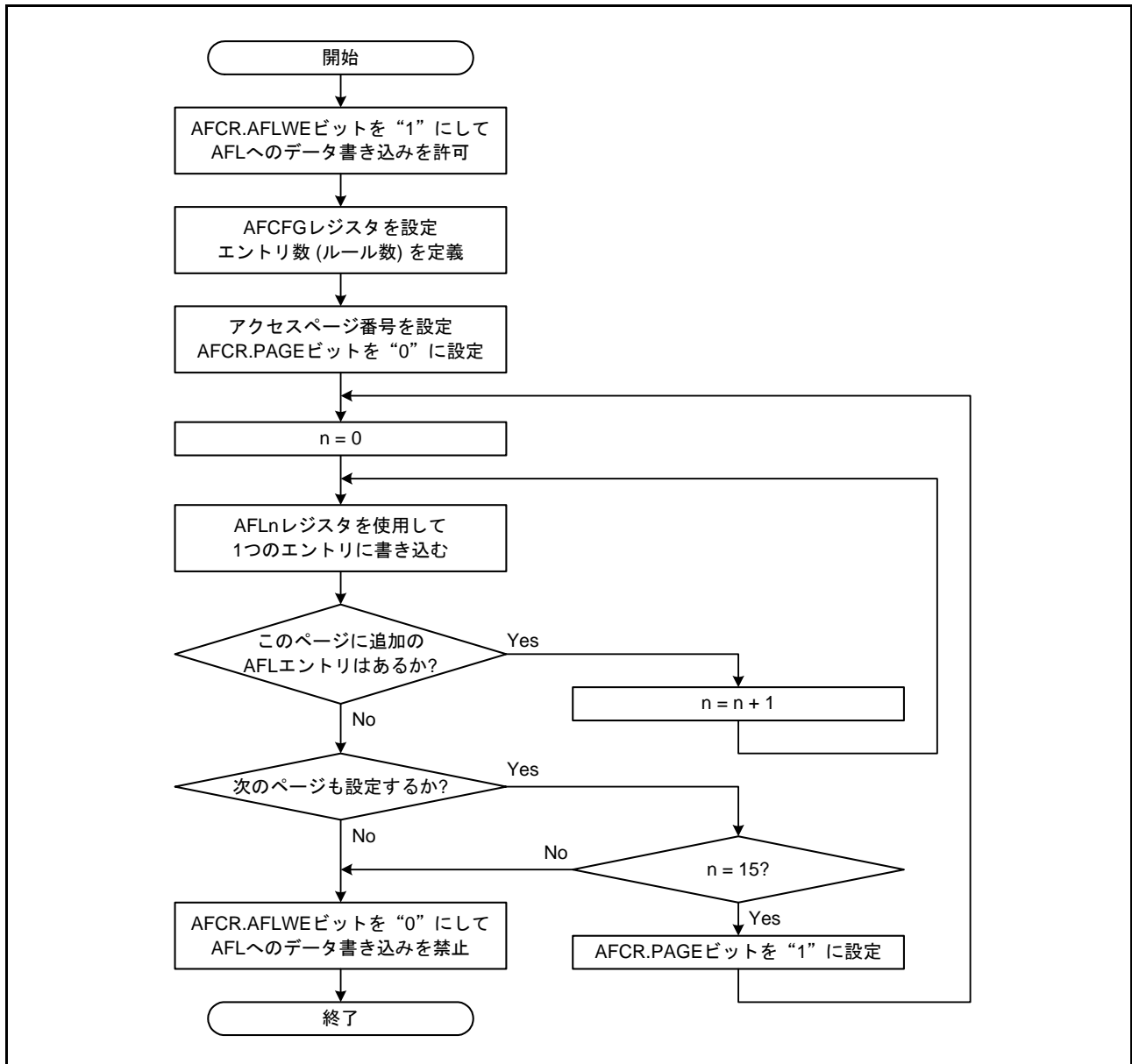


図 33.27 AFL 設定フロー

33.5.8 ループバックモード

AFLn.IDR.LPC ビットを“1”にした AFL エントリは、ループバックモード (セルフテストモード 0 またはセルフテストモード 1) またはミラーモードでのみ使用されます。ループバックモード中に CAN バス上の他ノードが送信したメッセージを受信した場合、当該 AFL エントリは使用されません。

AFLn.IDR.LPC ビットを“0”にした AFL エントリは、以下のメッセージに対してのみ使用されます。

- 通常モード (ループバック以外のモード) およびミラーモード中に受信した、他ノードが送信したメッセージ
- ループバックモード中に受信した、他ノードまたは自ノードが送信したメッセージ

ミラーモードは、GCFG.MME ビットで有効にすることができます。GCFG.MME ビットが“1”の場合にメッセージ送信に成功すると、AFL 内に一致するエントリがあれば、そのメッセージが受信メッセージバッファまたは FIFO バッファに格納されます。なお、このメッセージを格納するには、当該 AFL エントリの LPC ビットを“1”にする必要があります。

ミラーモードとループバックモードが同時に設定されている場合、ループバックモードの動作が適用されます。

表 33.20 に、入力信号の設定によるアクセプタンスフィルタユニットの動作を示します。

表 33.20 AFL エントリ内のループバック設定に基づくアクセプタンスフィルタの動作

ミラーモード (MME ビット)	ループバックモード (セルフテストモード 0 または セルフテストモード 1)	チャンネルモード	LPC ビット	AFL エントリ
0	0	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1	0	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

注. 関連エントリに対する有効または無効という表現は、この AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

33.5.9 IDE マスク処理

AFLn.MASK.IDEM ビットを“0”にした AFL エントリに設定されている IDE ビットは ID 照合に使用されません。この場合、受信した IDE ビットに基づいて、ID[10:0] または ID[28:0] マッチングの使用が選択されます。

以下に例を示します。

- AFL エントリ x の ID およびマスクフィールドが次のようにされている場合
 - AFLx.IDR = C0553A20h → IDE = 1, RTR = 1, LPC = 0, ID[10:0] = 220h / ID[28:0] = 00553A20h
 - AFLx.MASK = 0000FFFFh → IDEM = 0, RTRM = 0, IDM[10:0] = 7FFh / IDM[28:0] = 0000FFFFh
- AFL エントリ x での 4 つの異なる受信 ID の照合結果を以下に示します
 - IDE = 0 で ID = 220h のフレームを受信した場合、一致とみなされます
 - IDE = 0 で ID = 320h のフレームを受信した場合、不一致とみなされます
 - IDE = 1 で ID = 1FFF3A20h のフレームを受信した場合、一致とみなされます
 - IDE = 1 で ID = 08803220h のフレームを受信した場合、不一致とみなされます

33.5.10 通信中の AFL エントリの更新

CAN 通信を無効にすることなく、AFL エントリを更新することができます。

更新したい AFL エントリ番号を無効エントリ選択ビットに設定して、無効エントリ許可ビットを“1”にします。

このとき指定したエントリ番号は、エントリを更新している間、AFL 照合から無視されます。

図 33.28 に AFL エントリの更新フローを示します。

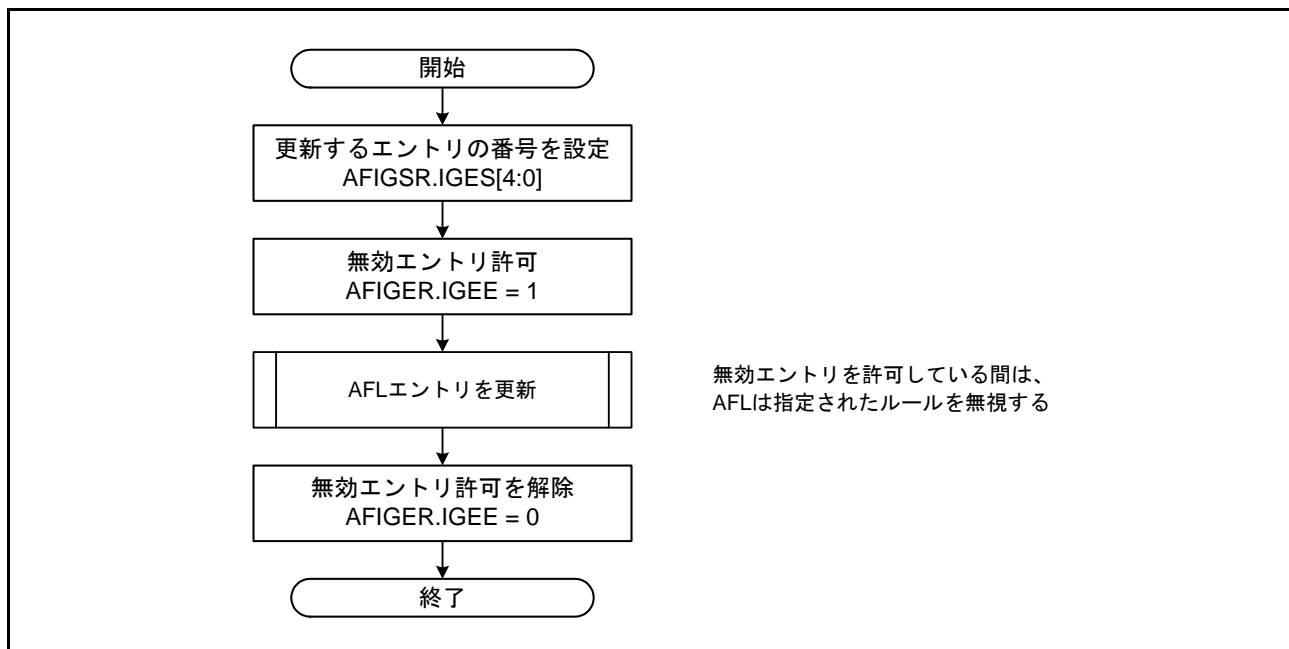


図 33.28 AFL エントリの更新フロー

AFL エントリの更新方法を以下に示します。

- (1) AFIGSR.IGES[4:0] ビットに更新するエントリのエントリ番号 (注1) を設定します。
- (2) AFIGER レジスタに値 “0000C401h” (キーコード、無効エントリ許可) を設定します。
- (3) AFCR.PAGE ビットに更新するエントリが含まれるページの番号を設定します。AFCR.AFLWE ビットを “1” にします。
- (4) 新しいルールを AFLn.IDR、AFLn.MASK、AFLn.PTR0、AFLn.PTR1 レジスタに設定します。
- (5) AFCR.AFLWE ビットを “0” にします。
- (6) AFIGER レジスタに値 “0000C400h” (キーコード、無効エントリ許可を解除) を設定します。

注1. このエントリ番号は、(2) から (5) までの間、アクセプタンスフィルタ処理に使用されません。

(1) 例 1 : エントリの削除

エントリの総数が 6 の場合に、エントリ 3 を削除する方法について説明します。

		エントリ番号	
有効エントリ総数 = 6	エントリ0	0	ID = 050h
	エントリ1	1	ID = 051h
	エントリ2	2	ID = 052h
	エントリ3	3	ID = 053h ← このルールを削除
	エントリ4	4	ID = 054h
	エントリ5	5	ID = 055h

図 33.29 エントリの削除例 (エントリ 3 の削除前)

[エントリの削除方法]

- (1) AFIGSR レジスタに “00000003h” を設定します。
- (2) AFIGER レジスタに “0000C401h” を設定します。
- (3) AFCR レジスタに “00000100h” を設定します。
- (4) AFL3.IDR、AFL3.MASK、AFL3.PTR0、AFL3.PTR1 レジスタにアクセスし、1 つ前のエントリと同じルールを設定します。
- (5) AFCR レジスタに “00000000h” を設定します。
- (6) AFIGER レジスタに “0000C400h” を設定します。

エントリ 3 が削除されます。

		エントリ番号	
有効エントリ総数 = 5 エントリ2 = エントリ3	エントリ0	0	ID = 050h
	エントリ1	1	ID = 051h
	エントリ2	2	ID = 052h
	エントリ3	3	ID = 052h ← 1つ前のエントリと同じルールを設定
	エントリ4	4	ID = 054h
	エントリ5	5	ID = 055h

図 33.30 エントリの削除例 (エントリ 3 の削除後)

(2) 例2：エントリの追加 (未使用エントリの更新)

エントリの総数が6の場合に、エントリ3に新規エントリを追加する方法について説明します。

		エントリ番号	
有効エントリ総数 = 5	エントリ0	0	ID = 050h
エントリ2 = エントリ3	エントリ1	1	ID = 051h
	エントリ2	2	ID = 052h
	エントリ3	3	ID = 052h
	エントリ4	4	ID = 054h
	エントリ5	5	ID = 055h

← ここに新しいルールを追加

図 33.31 エントリの追加例 (エントリ3の更新前)

[エントリの追加方法]

- (1) AFIGSR レジスタに “00000003h” を設定します。
 - (2) AFIGER レジスタに “0000C401h” を設定します。
 - (3) AFCR レジスタに “00000100h” を設定します。
 - (4) AFL3.IDR、AFL3.MASK、AFL3.PTR0、AFL3.PTR1 レジスタにアクセスして新しいルールを設定します。
 - (5) AFCR レジスタに “00000000h” を設定します。
 - (6) AFIGER レジスタに “0000C400h” を設定します。
- これで新しいエントリが追加されます。

		エントリ番号	
有効エントリ総数 = 6	エントリ0	0	ID = 050h
	エントリ1	1	ID = 051h
	エントリ2	2	ID = 052h
	エントリ3	3	ID = 056h
	エントリ4	4	ID = 054h
	エントリ5	5	ID = 055h

← 新ルール追加

図 33.32 エントリの追加例 (エントリ3の更新後)

アクセプタンスフィルタは、AFCFG レジスタに設定された値の範囲のエントリを使用することができ、その範囲内でエントリの追加/削除が可能です。そのため、AFCFG レジスタには使用するエントリの最大数を設定する必要があります。

33.6 FIFO バッファとメッセージバッファの構成

ここでは、CANFD モジュールの受信メッセージバッファ、FIFO バッファ、送信メッセージバッファの数を設定する手順を説明します。図 33.33 にメッセージバッファの構成を示します。

受信メッセージバッファは、RMBn レジスタ (n=0 ~ 31) でアクセスできます。

受信 FIFO は、RFBn レジスタ (n=0, 1) でアクセスできます。

共通 FIFO は、CFB0 レジスタでアクセスできます。

共通 FIFO が送信 FIFO モードに設定されている場合、CFB0 レジスタによる FIFO バッファへのデータ書き込みのみが可能です。

共通 FIFO が受信 FIFO モードに設定されている場合、CFB0 レジスタによるデータの読み出しのみが可能です。

送信メッセージバッファには、TMBn レジスタ (n=0 ~ 3) でアクセスできます。

未使用のメッセージバッファを読み出すと、不定値が読み出されます。

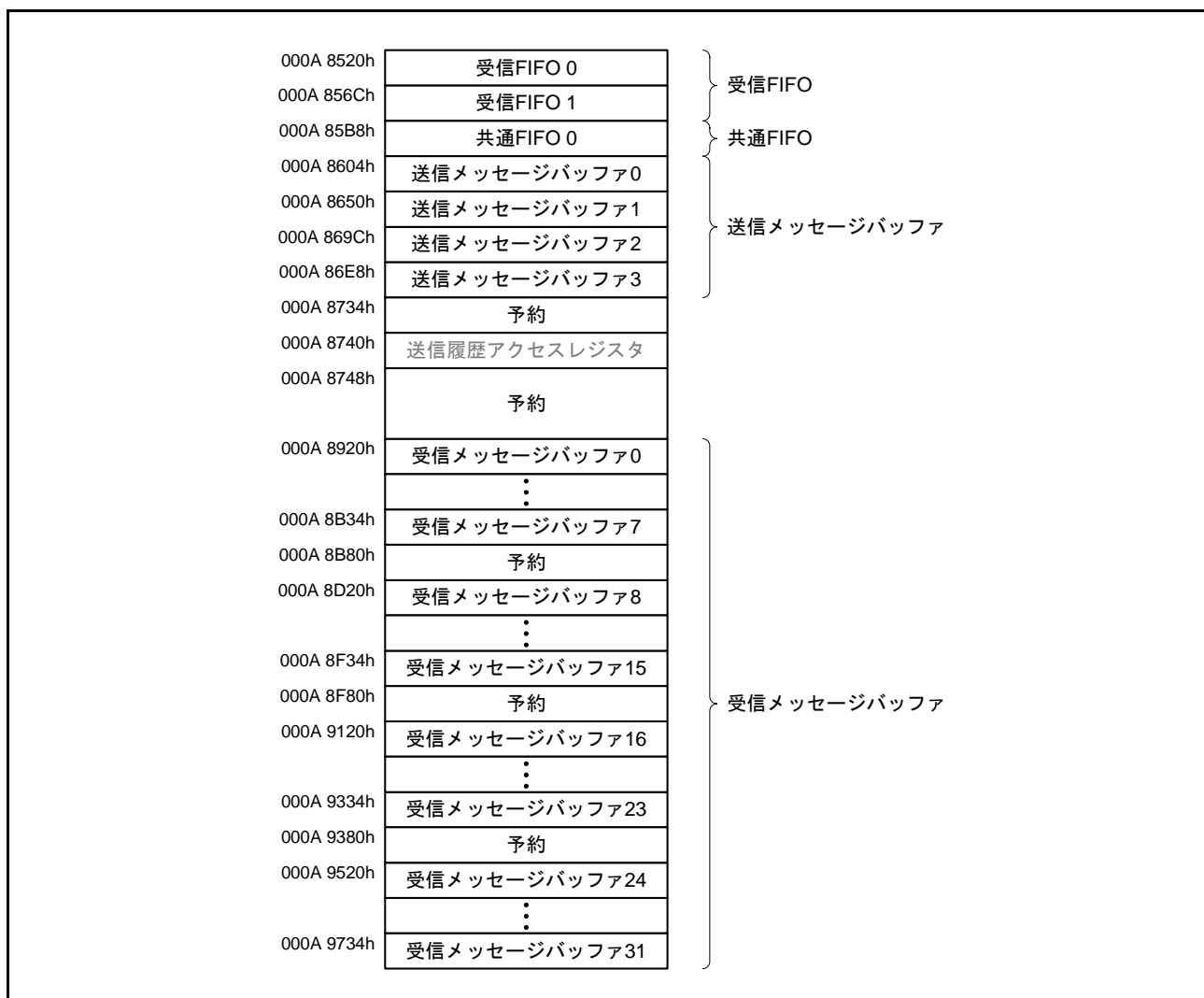


図 33.33 メッセージバッファの構成

33.6.1 受信メッセージバッファ

CANFD モジュールでは、AFL エントリの構成に基づいて、受信したフレームを受信メッセージバッファに格納することができます。

また、システムに必要な受信メッセージバッファの数は、0～32の範囲で選択することができます。

33.6.1.1 受信メッセージバッファの構成

CANFD モジュールの受信メッセージバッファの数は、RMCR.NMB[5:0] ビットに書き込むことで設定できます。

メッセージバッファの数は、0(受信メッセージバッファなし)～32の範囲内で設定します。これより大きな値を設定しないでください。

受信したメッセージを受信メッセージバッファにルーティングできるようにするため、AFL エントリは、システムの要件に合わせて設定する必要があります。

また、AFL エントリは正しく設定してください。受信メッセージバッファ用の AFL エントリは、NMB[5:0] ビットに設定されているメッセージバッファの数を超えないようにしてください。

注． CANFD モジュールには、AFL の設定ミスをチェックするための内部チェック機能はありません。

受信メッセージバッファのペイロードサイズは RMCR.PLS[2:0] ビットで設定できます。デフォルトは 8 バイトで、最大は 64 バイトです。

受信フレームのペイロードサイズが指定したペイロードサイズを超えた場合は、GCFG.OMRC ビットの設定に従って、メッセージが破棄またはペイロードがカットされます。

33.6.2 FIFO バッファ

CANFD モジュールは、受信 / 送信それぞれのフレームを格納するための FIFO バッファを用意しています。

受信専用の FIFO バッファの数は 2 個ですが、共通 FIFO を設定して、送信用または受信用のメッセージを格納することができます。

これらの FIFO バッファは有効 / 無効を切り替えることができ、システム要件に合わせて以下のパラメータを設定することができます。

- FIFO 段数
- 割り込み構造
- メッセージロスト機構
- FIFO バッファのメッセージ上書き機構
- 送信 FIFO の場所

受信フレームのペイロードサイズが指定したペイロードサイズを超えた場合は、GCFG.OMRC ビットの設定に従って、メッセージが破棄またはペイロードがカットされます。

33.6.2.1 FIFO バッファの設定

CANFD モジュールでは、システム要件に合わせて FIFO バッファを設定することができます。

FIFO バッファの総数 = 受信 FIFO 2 個 + 共通 FIFO 1 個 = 3 個となります。

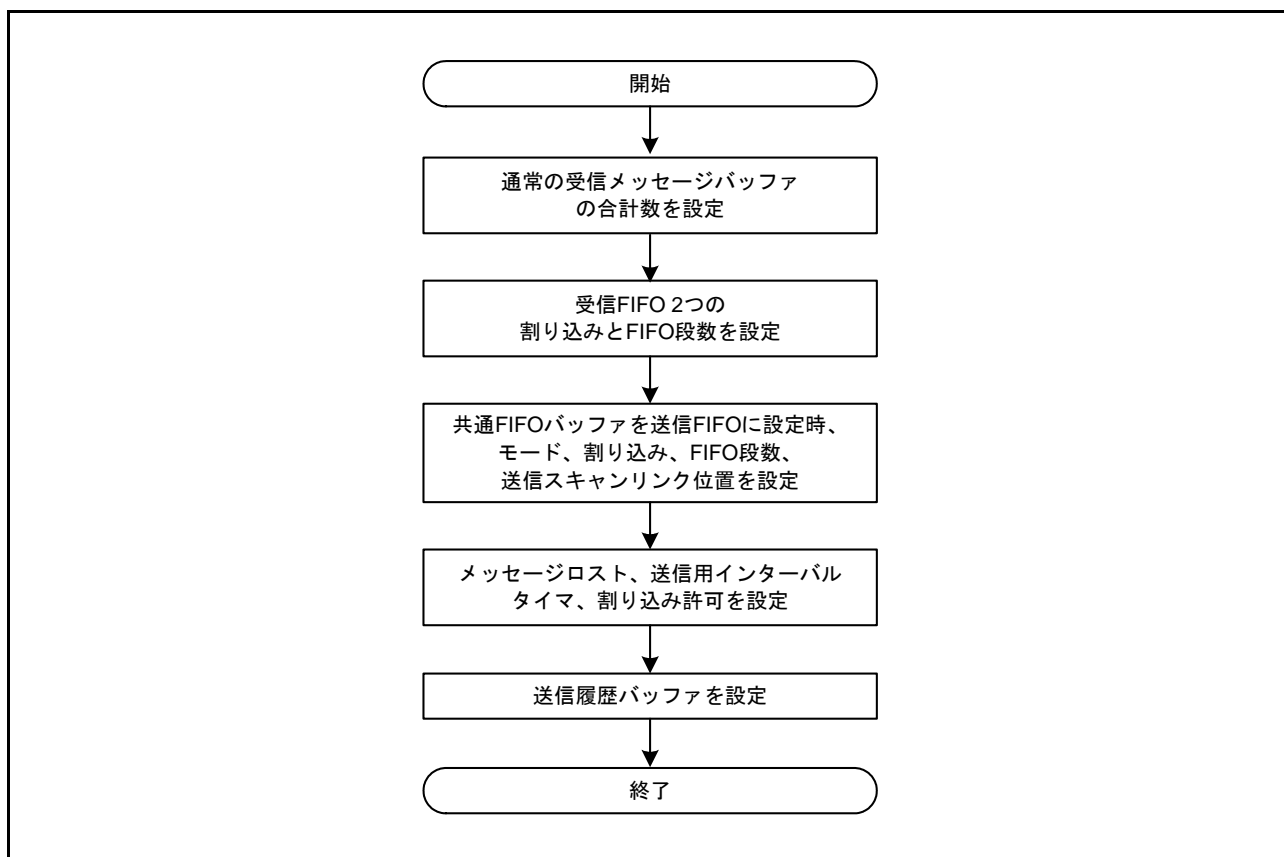


図 33.34 CANFD モジュールの FIFO バッファ設定フロー

図 33.34 に示すように、受信 FIFO コンフィギュレーション/制御レジスタと共通 FIFO コンフィギュレーション/制御レジスタに書き込むことで、各種 FIFO バッファを設定できます。

2つの受信 FIFO に対しては、以下のパラメータを設定できます。

- 割り込み
- FIFO 段数
- ペイロードサイズ

共通 FIFO に対しては、以下のパラメータを設定できます。

- モード
- 割り込み
- FIFO 段数
- ペイロードサイズ
- 送信スキャンリンク位置

(1) 共通 FIFO の FIFO モード構成

共通 FIFO のモードは、CFCR0.MODE ビットに書き込むことで設定できます。共通 FIFO に設定可能なモードは以下の通りです。

- 0: 受信 FIFO モード (MCU リセット後のデフォルトモード)
- 1: 送信 FIFO モード

受信 FIFO と受信 FIFO モードに設定された共通 FIFO からは、メッセージの読み出しのみが可能です。これらの FIFO バッファには、AFL エントリに基づいて CANFD モジュールによってメッセージが格納されません。

送信 FIFO モードに設定された共通 FIFO では、メッセージの読み出しと書き込みが可能です。

ポインタは、新しいメッセージが FIFO バッファに格納されたときのみインクリメントされ、CANFD モジュールによって、対応する CAN チャネル上にメッセージが送信されたときのみデクリメントされます。

MCU リセット後、すべての共通 FIFO はデフォルトで受信 FIFO モードに設定されています。共通 FIFO を必要なモードに設定してから、FIFO バッファを有効にしてください。

(2) FIFO 送信メッセージバッファのリンク構成

共通 FIFO が送信 FIFO として設定されている場合、送信スキャンが行われるようにするには、FIFO バッファを通常の送信メッセージバッファにリンクする必要があります。

共通 FIFO にリンクされている送信メッセージバッファにはデータを書き込まないでください。また、共通 FIFO にリンクされている送信メッセージバッファは、送信キューの構成要素にならないようにしてください。

共通 FIFO の送信メッセージバッファとのリンクは、CFCR0.LTM[1:0] ビットに書き込むことで設定できます。送信メッセージバッファのリンク設定に使用可能なオプションは以下の通りです。

- 00b: 送信メッセージバッファ 0
- 01b: 送信メッセージバッファ 1
- 10b: 送信メッセージバッファ 2
- 11b: 送信メッセージバッファ 3

(3) FIFO 段数の構成

各 FIFO バッファの段数は、RFCRn.FDS[2:0] ビットおよび CFCR0.FDS[2:0] ビットに書き込むことで設定できます。使用可能なオプションは、以下の 6 つです。

- 000b : 0 メッセージ (FIFO バッファは使用できません)
- 001b : 4 メッセージ
- 010b : 8 メッセージ
- 011b : 16 メッセージ
- 100b : 32 メッセージ
- 101b : 48 メッセージ

受信メッセージバッファと FIFO バッファに割り当てられる RAM は、ペイロードサイズを 64 バイトに設定した場合、最大 16 メッセージ (1216 バイト) に制限されています。この上限を超えるような、受信メッセージバッファと FIFO バッファの設定は行わないでください。CANFD モジュールには、設定が正しいかどうかをチェックする機能はありません。

注 . 共通 FIFO の段数が 4 メッセージ以上 (CFCR0.FDS[2:0] > 000b) の場合、この FIFO が無効であっても有効であっても、共通 FIFO と送信メッセージバッファのリンクは有効になります。FIFO 段数が 0 メッセージの場合、この FIFO が無効であっても有効であっても、共通 FIFO と送信メッセージバッファのリンクは無効になります。

(4) FIFO ペイロードサイズの設定

各 FIFO バッファのペイロードサイズは、RFCRn.PLS[2:0] ビットおよび CFCR0.PLS[2:0] ビットに書き込むことで設定できます。段数設定に使用できる 8 つのオプションは以下の通りです。

- 000b : 8 バイト
- 001b : 12 バイト
- 010b : 16 バイト
- 011b : 20 バイト
- 100b : 24 バイト
- 101b : 32 バイト
- 110b : 48 バイト
- 111b : 64 バイト

受信メッセージバッファと FIFO バッファに割り当てられる RAM は、ペイロードサイズを 64 バイトに設定した場合、最大 16 メッセージ (1216 バイト) に制限されています。この上限を超えるような、受信メッセージバッファと FIFO バッファの設定は行わないでください。CANFD モジュールには、設定が正しいかどうかをチェックする機能はありません。

(5) FIFO 割り込みの設定

FIFO バッファの割り込み発生条件は、RFCRn.RFIM ビットおよびCFCR0.CFIM ビットに書き込むことで設定できます。使用できる2つのオプションは以下の通りです。

- RFIM/CFIM = 0 :
 - 受信 FIFO モード : FIFO の格納メッセージ数が RFCRn.RFITH[2:0]、CFCR0.CFITH[2:0] の値に達すると、割り込みが発生します
 - 送信 FIFO モード : 共通 FIFO が最終メッセージを正常に送信すると、割り込みが発生します
- RFIM/CFIM = 1 :
 - 受信 FIFO モード : 受信メッセージの格納が終了するたびに、割り込みが発生します
 - 送信 FIFO モード : メッセージが正常に送信されるたびに、割り込みが発生します

受信 FIFO の RFCRn.RFIM ビットが“0”の場合、RFCRn.RFITH[2:0] ビットの設定に基づいて割り込みが発生します。

同様に、受信 FIFO モードに設定された共通 FIFO の CFCR0.CFIM ビットが“0”の場合、CFCR0.CFITH[2:0] ビットの設定に基づいて割り込みが発生します。

割り込みを発生させる FIFO 格納メッセージ数の設定には、以下の8つが使用できます。

- 000b : FIFO が 1/8 フルのときに割り込みを発生させます
- 001b : FIFO が 1/4 フルのときに割り込みを発生させます
- 010b : FIFO が 3/8 フルのときに割り込みを発生させます
- 011b : FIFO が 1/2 フルのときに割り込みを発生させます
- 100b : FIFO が 5/8 フルのときに割り込みを発生させます
- 101b : FIFO が 3/4 フルのときに割り込みを発生させます
- 110b : FIFO が 7/8 フルのときに割り込みを発生させます
- 111b : FIFO がフルのときに割り込みを発生させます

この場合、格納メッセージ数が設定した値と一致すると、割り込みが発生します。

ただし、RFITH[2:0] ビットと CFITH[2:0] ビットの設定には、各レジスタの FDS[2:0] ビット (FIFO 段数の設定) によって表 33.21 に示す制限があります。

表 33.21 FIFO 割り込みしきい値と FIFO 段数の設定

FDS[2:0]	RFITH[2:0] / CFITH[2:0]							
	111b (full)	110b (7/8)	101b (3/4)	100b (5/8)	011b (1/2)	010b (3/8)	001b (1/4)	000b (1/8)
000b (0メッセージ)	任意 (FIFO を有効にできません)							
001b (4メッセージ)	可能	設定禁止	可能	設定禁止	可能	設定禁止	可能	設定禁止
010b (8メッセージ)	可能							
011b (16メッセージ)	可能							
100b (32メッセージ)	可能							
101b (48メッセージ)	可能							

33.6.2.2 FIFO バッファの制御

受信 FIFO の割り込みを有効にするには、RFCRn レジスタ (n = 0, 1) の RFIE ビットを“1”にしてください。また、共通 FIFO の割り込みを有効にするには、CFCR0 レジスタの CFRIE ビットまたは CFTIE ビットのいずれかを“1”にしてください。

設定完了後、RFCRn.RFE と CFCR0.CFE ビットを“1”にして、各 FIFO を有効にすれば、メッセージの送受信ができるようになります。

33.7 受信 / 送信

33.7.1 受信

CANFD モジュールでは、チャンネルで受信したメッセージは、AFL エントリに従って、受信メッセージバッファ、受信 FIFO、または受信 FIFO モードに設定された共通 FIFO に格納されます。

- 最大 32 個の受信メッセージバッファが設定可能
- 2 個の受信 FIFO が使用可能
- 最大 1 つの共通 FIFO が受信モードに設定可能

33.7.1.1 受信メッセージバッファへのメッセージ格納

メッセージが正常に受信され、受信メッセージバッファに格納されると、RMNDR レジスタの対応する NDF[n] フラグが“1”になります。

格納されたメッセージは、対応する受信メッセージバッファから読み出すことができます。

受信メッセージバッファに格納されたメッセージが読み出される前に、その受信メッセージバッファに新しいメッセージが格納されると、元のメッセージは上書きされます。新しいメッセージによって受信メッセージバッファの現在のメッセージが上書きされるのを防止するための機能はありません。このようなメッセージの消失が許容できない場合は、受信 FIFO を使用して関連するメッセージを格納してください。

注． 使用されなかったデータバイトは、DLC 値に応じて“00h”で埋められます。

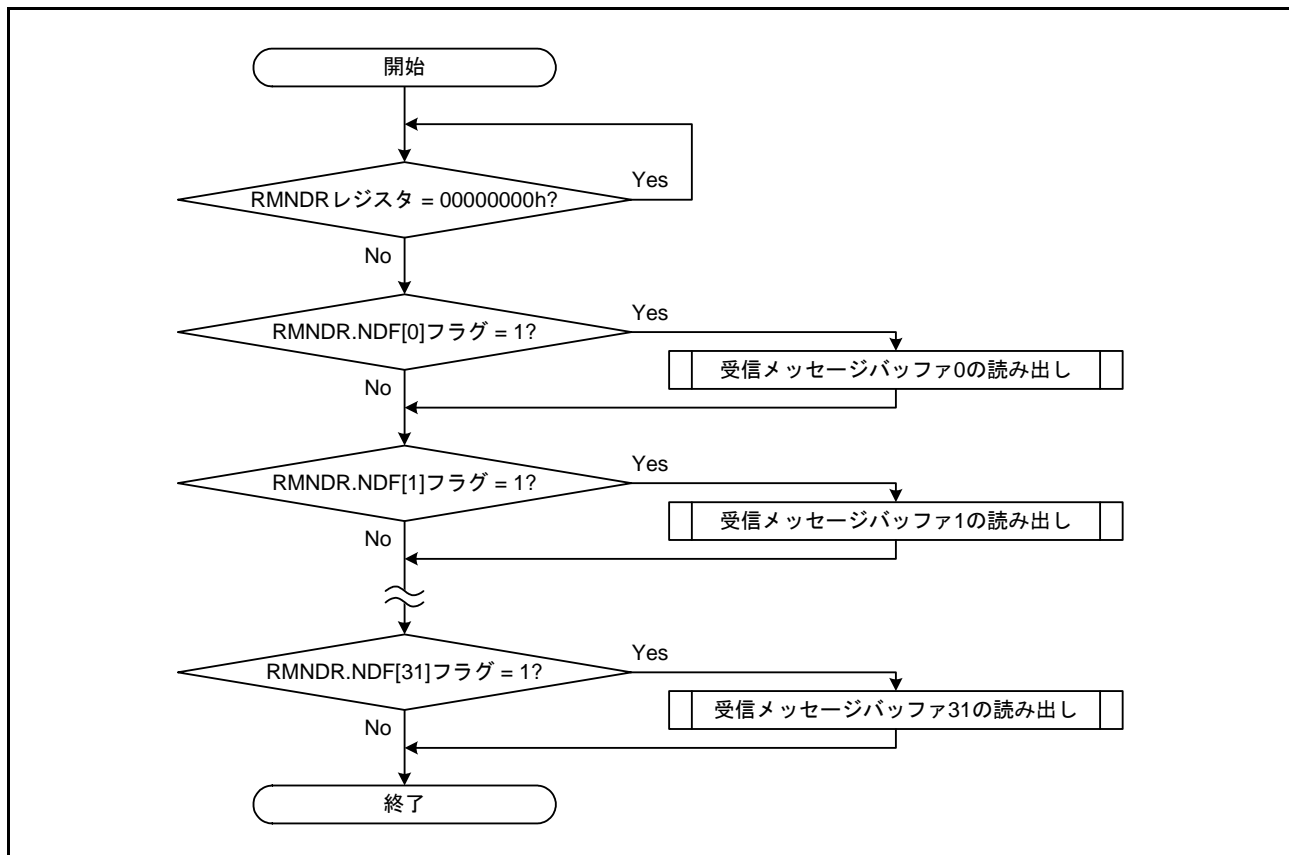


図 33.35 受信メッセージバッファのメッセージアクセスフロー例 (ポーリング)

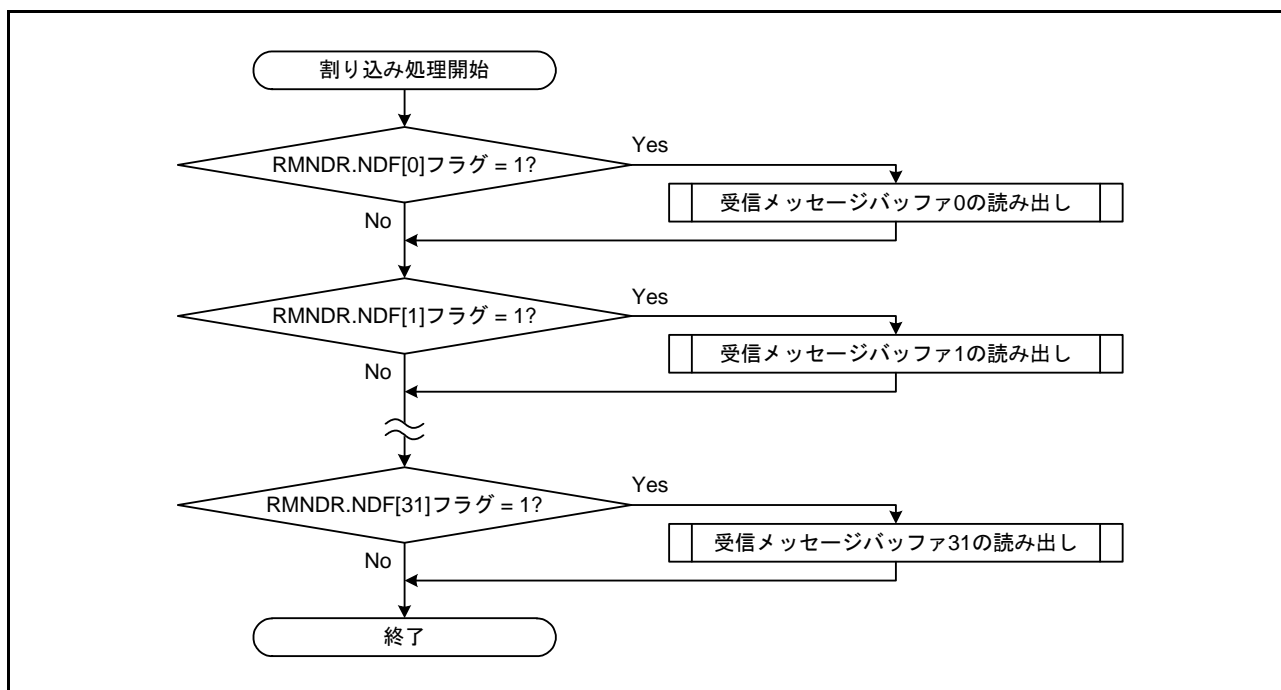


図 33.36 受信メッセージバッファのメッセージアクセスフロー例 (割り込み)

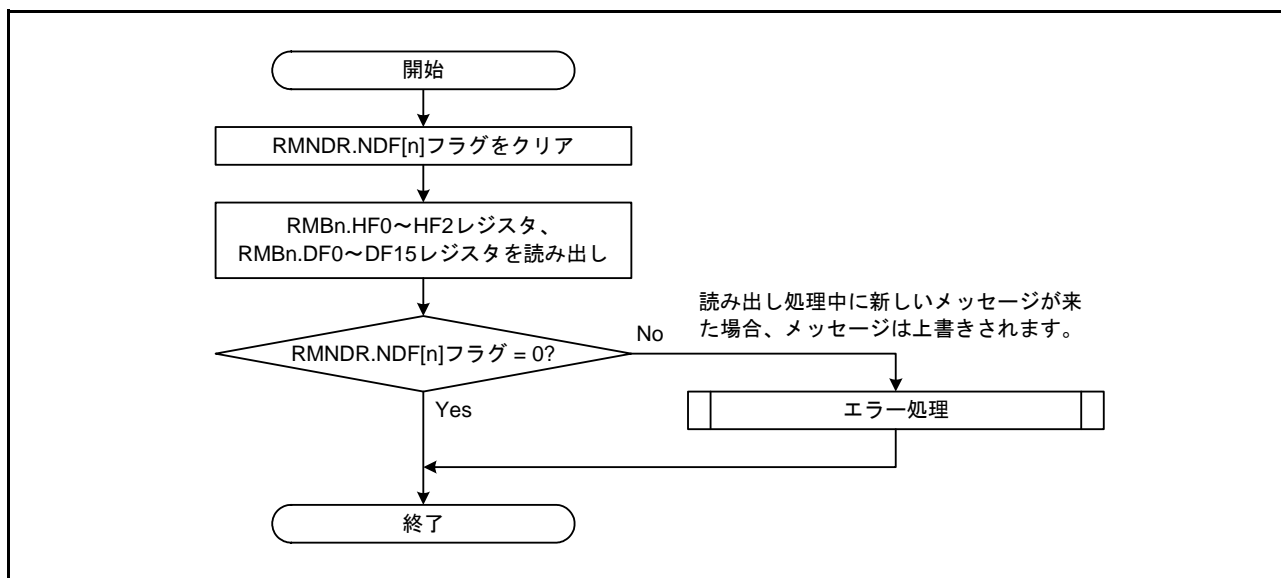


図 33.37 受信メッセージバッファ n の読み出しフロー例

33.7.1.2 FIFO バッファへのメッセージ格納

システム要件に合わせて AFL エントリを設定し、受信メッセージを、受信 FIFO または受信 FIFO モードに設定されている共通 FIFO にルーティングできるようにする必要があります。

一致した AFL エントリの AFLn.PTR1.RF0E、RF1E、CF0E ビットによって、受信メッセージを格納する FIFO バッファが選択されます。

1 つ以上の受信 FIFO または受信 FIFO モードに設定されている共通 FIFO に受信メッセージが格納されると、対応する受信 FIFO ステータスレジスタまたは共通 FIFO ステータスレジスタのメッセージカウンタの値がインクリメントされます。

FIFO バッファの設定によっては、割り込みが発生する場合があります。

メッセージは、対応する FIFO アクセスレジスタから読み出すことができます。

注． FIFO バッファには多くのメッセージが格納されているため、FIFO バッファに格納されている最新のメッセージを読み出すには、複数のメッセージの読み出しが必要になる場合があります。

メッセージ数が FIFO 段数と一致すると、FIFO フルフラグが設定されます。

対応する FIFO ポインタ制御レジスタに“000000FFh”が書き込まれると、メッセージ数は1デクリメントされます。

FIFO ポインタ制御レジスタに“000000FFh”を書き込むときは、対応する FIFO の FIFO アクセスレジスタからメッセージを完全に読み出した後に行ってください。

FIFO に格納されたすべてのメッセージが読み出されると、FIFO エンプティフラグがセットされます。

FIFO メッセージ数が FIFO 段数と一致 (FIFO フル状態) するときに新しいメッセージが FIFO に格納されると、FIFO メッセージロストフラグが設定され、新しいメッセージは失われます (すでに格納されているメッセージの上書きは行われません)。

オーバランによるメッセージの消失を防ぐには、割り込み発生のにしきい値として適切な値を設定し、FIFO フルになる前に割り込みを発生させさせてください。

受信 FIFO と、受信 FIFO モードに設定された共通 FIFO は、RFCRn.RFE ビットまたは CFCR0.CFE ビットをクリアすることで、いつでも無効にすることができます。

RFCRn.RFE ビットまたは CFCR0.CFE ビットがクリアされると、FIFO のメッセージの読み出しポインタおよび書き込みポインタはクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

受信 FIFO、または受信 FIFO モードに設定された共通 FIFO を DTC/DMA 転送で読み出す設定をした場合、CPU でその FIFO バッファを読み出したり、FIFO ポインタ制御レジスタ (RFPCR0、RFPCR1、または CFPCR0) に“000000FFh”を書き込まないでください。DTC/DMA 転送で読み出した場合、FIFO の読み出しポインタは自動的に更新されます。

注． 割り込みフラグがセットされている FIFO バッファを無効にした場合、割り込みフラグは自動的にクリアされません。FIFO を無効にする前に、割り込みフラグをクリアしてください。

注． また、受信割り込みフラグをクリアする前に次のフレームを受信した場合には、受信割り込みフラグは再度セットされません。

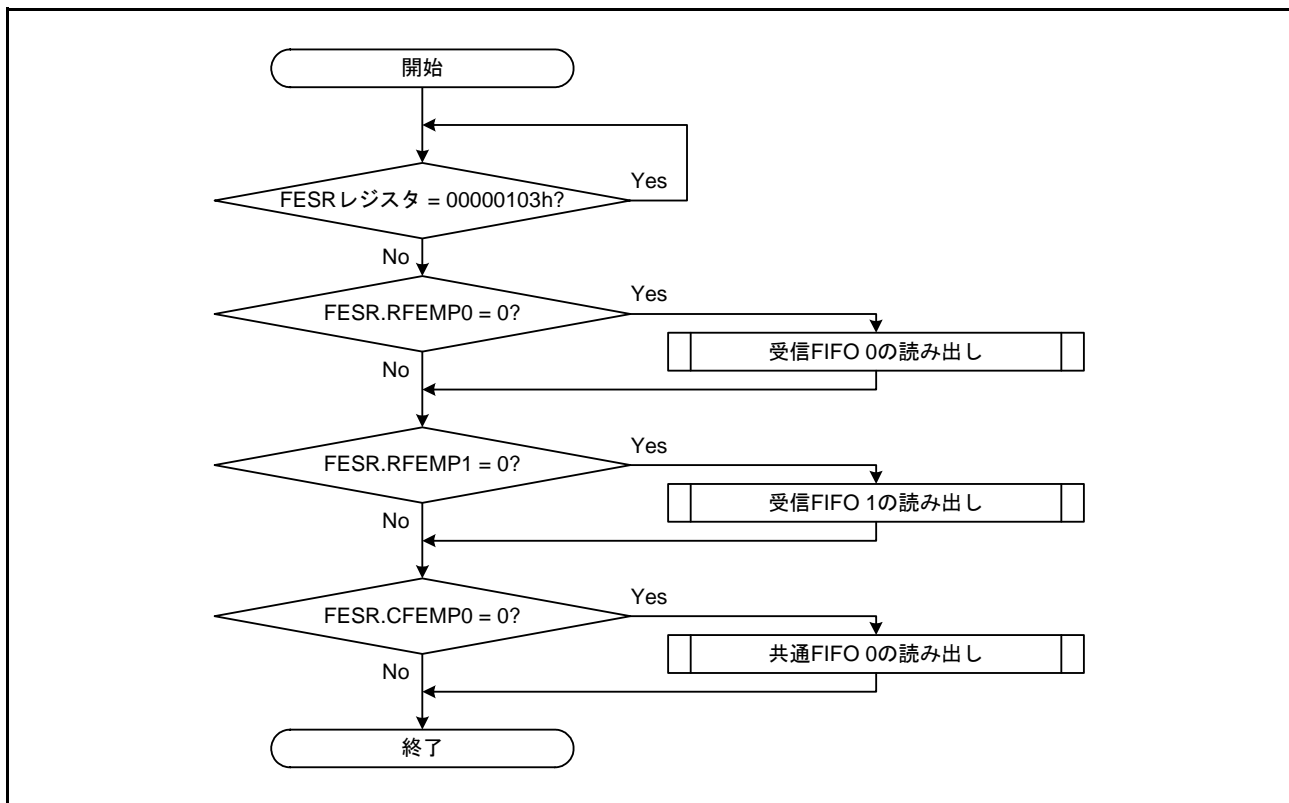


図 33.38 FIFOバッファのメッセージアクセスフロー例 (ポーリング)

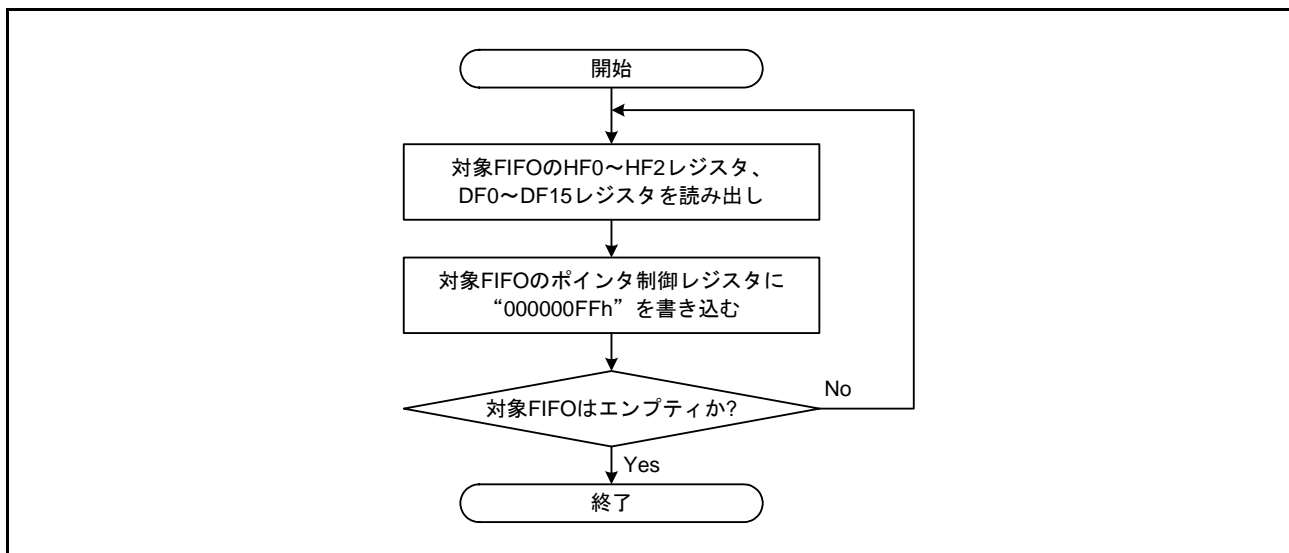


図 33.39 FIFOバッファの読み出しフロー例 (ポーリング)

FIFOの読み出し処理が終わった後に割り込みフラグをクリアした場合、そのときすでに次のフレームを受信済みであったとしても、割り込みフラグはセットされません。

FIFOの読み出し処理は、次のフレームの受信が完了する前に行い、割り込みフラグをクリアしておく必要があります。処理が間に合わない場合、FIFOが空であることを確認してから割り込みフラグをクリアし、再度FIFOが空であることを確認してください。

33.7.1.3 タイムスタンプ

タイムスタンプカウンタは、受信メッセージの受信時間や、正常に送信されたメッセージの送信時間をチェックするために使用可能なフリーランカウンタです。タイムスタンプカウンタの値は、GFDCFG.TSCPS[1:0] ビットの設定 (SOF のサンプルポイント、フレームが有効であった場合の EOF、または CAN FD フレームの場合は FDF ビットに続く res ビットのサンプルポイント) に基づいてキャプチャされます。受信時のタイムスタンプカウンタ値は、メッセージ ID およびデータと一緒に、格納先の受信メッセージバッファまたは受信 FIFO に格納されます。

送信メッセージの場合、タイムスタンプカウンタの値は、送信履歴エントリの一部として格納されます。

カウンタには、PCLKB または CAN チャネルのビットタイムクロックからクロックを供給できます。カウンタのカウントソースは、GCFG.TSCS ビットで設定できます。GCFG.TSCS ビットが“0”の場合、PCLKB が使用されます。“1”の場合は、CAN チャネルのビットタイムクロックが使用されます。

タイムスタンプカウンタのカウントソースは、GCFG.TSP[3:0] ビット (タイムスタンププリスケラ) で定義された係数で分周できます。

タイムスタンプカウンタは、GCR.TSCR ビット (タイムスタンプカウンタリセット) を使用して“0000h”にリセットすることができます。

33.7.2 送信

以下の複数の送信設定が可能です。

- 通常送信
- FIFO 送信
- 送信キュー送信

CANFD モジュールには 4 個の送信メッセージバッファがあります。これらのメッセージバッファは送信専用で、受信用に設定することはできません。

さらに、送信キューや送信 FIFO モードに設定された共通 FIFO からの送信は、以下の方法で設定することができます (図 33.40 参照)。

- 送信キュー

3 つまたは 4 つの送信メッセージバッファをグループ化して、1 つのアクセスウィンドウを共有する送信キューを形成することができます。

送信メッセージバッファ 0 が送信キュー 0 (TXQ0) のアクセスウィンドウとして動作します。

- 共通 FIFO (送信 FIFO モード)

CANFD モジュールには、1 個の共通 FIFO があります。送信 FIFO モードに設定された共通 FIFO を、送信メッセージバッファ 0 ~ 3 のいずれかにリンクできます。リンクされた送信メッセージバッファは、共通 FIFO に置き換わります。リンクされた送信メッセージバッファの TMCRn レジスタや TMSRn レジスタにはアクセスしないでください。

注. 共通 FIFO は、すでに送信キューの構成要素になっている送信メッセージバッファにリンクしないでください。

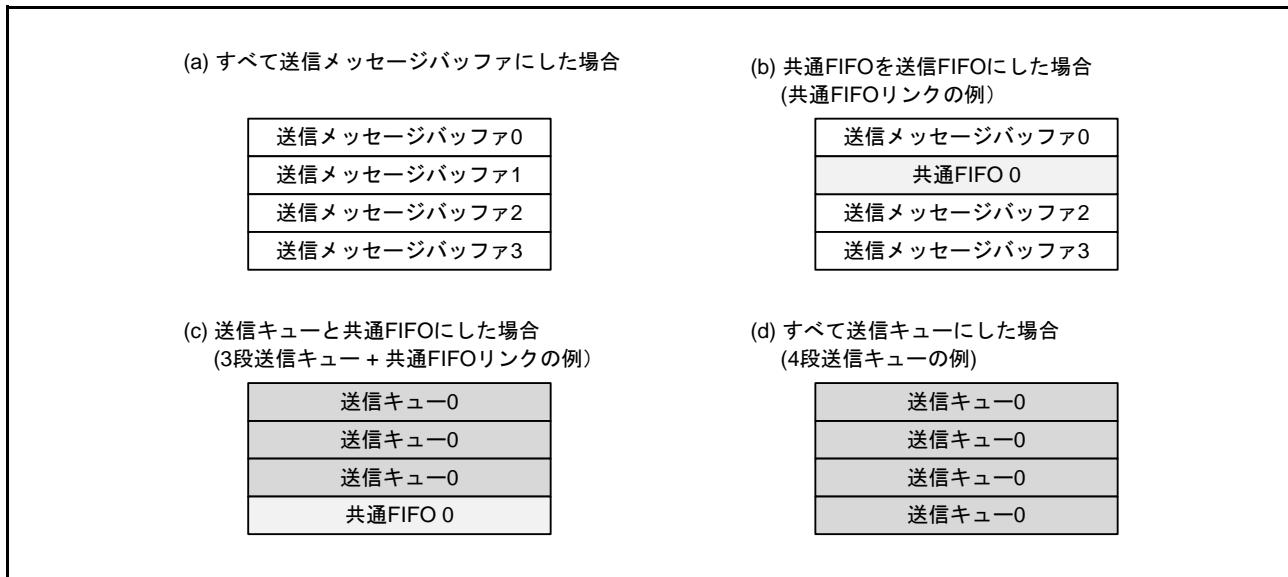


図 33.40 チャンネル送信メッセージバッファの構成例

33.7.2.1 送信優先順位

チャンネルで2つ以上の送信メッセージバッファが送信用に設定されている場合、CANFD モジュール内の送信優先順位は、以下の2つから選択されます。

- CAN ID 優先
- メッセージバッファ番号優先

送信優先順位は、すべてのメッセージバッファで共通です。GCFG.TPRI ビットを使用して設定できます。

メッセージバッファ番号優先送信では、送信要求のある中で最も小さいメッセージバッファ番号が、最も高い優先順位で送信されます。これには、送信モードに設定された共通 FIFO にリンクされた送信メッセージバッファも含まれます。

ただし、送信キューを使用する場合、メッセージバッファ番号優先にしないでください。

CAN ID 優先送信の場合、ID の優先順位は CAN バスアービトレーションルール (ISO 11898-1 仕様) に準拠します。すべての送信メッセージバッファは、送信用に設定されたメッセージバッファの ID 優先度比較対象に含めることができます。これには、送信 FIFO モードに設定された共通 FIFO にリンクされた送信メッセージバッファや、送信キューメッセージバッファも含まれます。

同じ ID を持つメッセージバッファが複数存在する場合は、メッセージバッファ番号が小さい方が優先的に送信されます。

- 注 . 送信 FIFO モードに設定された共通 FIFO の場合、現在 FIFO リードポインタが指しているメッセージのみを送信アービトレーションに含めることができます。その FIFO からメッセージが送信されている場合、その FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。これに対して、送信キューでは、送信キューのすべての送信メッセージバッファが内部送信アービトレーションの対象となります。

図 33.41 に、送信設定フローを示します。

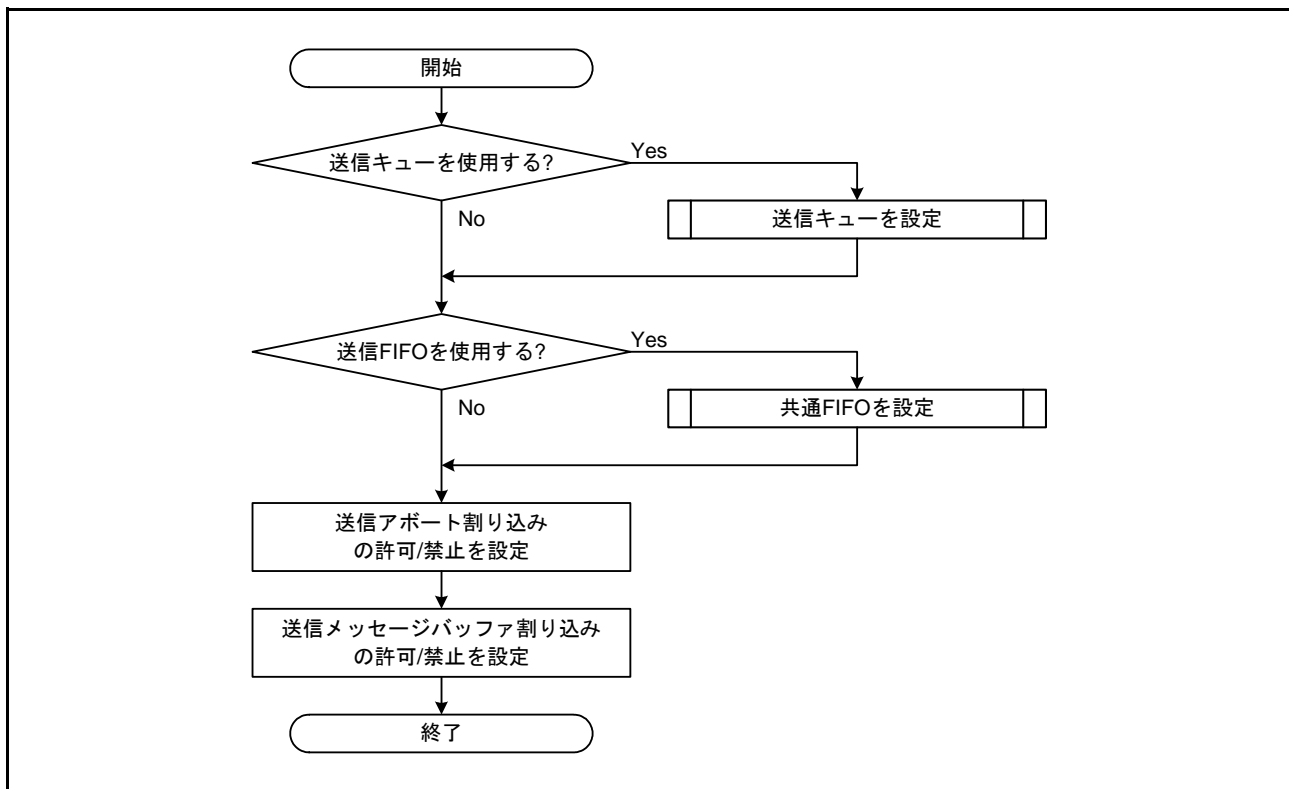


図 33.41 送信設定フロー

33.7.2.2 送信メッセージバッファからの送信

各送信メッセージバッファには、2つの送信モードがあります。

- 通常送信モード

メッセージバッファが通常送信モードに設定されている場合、メッセージバッファに設定されているデータフレームまたはリモートフレームを送信できます。

通常送信が完了したかどうかは、`TMSRn.TXRF[1:0]` フラグで確認できます。これらのフラグは、通常送信が正常に行われると“10b”または“11b”になります。

アービトレーションロストが発生した場合や送信中にエラーが発生した場合、この送信メッセージバッファに送信アボート要求が設定されていなければ、メッセージ送信が再試行されます。

送信要求があるすべてのメッセージバッファを対象に、新たに内部送信アービトレーションが行われます。

- ワンショット送信モード

`TMCRn.ONESHOT` ビットが“1”の場合、その送信メッセージバッファはワンショット送信モードになり、メッセージの送信を1回だけ試みます。

ワンショット送信が完了したかどうかは、`TMSRn.TXRF[1:0]` フラグで確認できます。ワンショット送信が正常に行われると、`TXRF[1:0]` フラグは“10b”または“11b”になります。

アービトレーションロストが発生した場合や送信中にエラーが発生した場合、`TXRF[1:0]` フラグは“01b”になります。この場合、メッセージ送信は再試行されません。

図 33.42 に、送信メッセージバッファからの送信要求手順を示します。

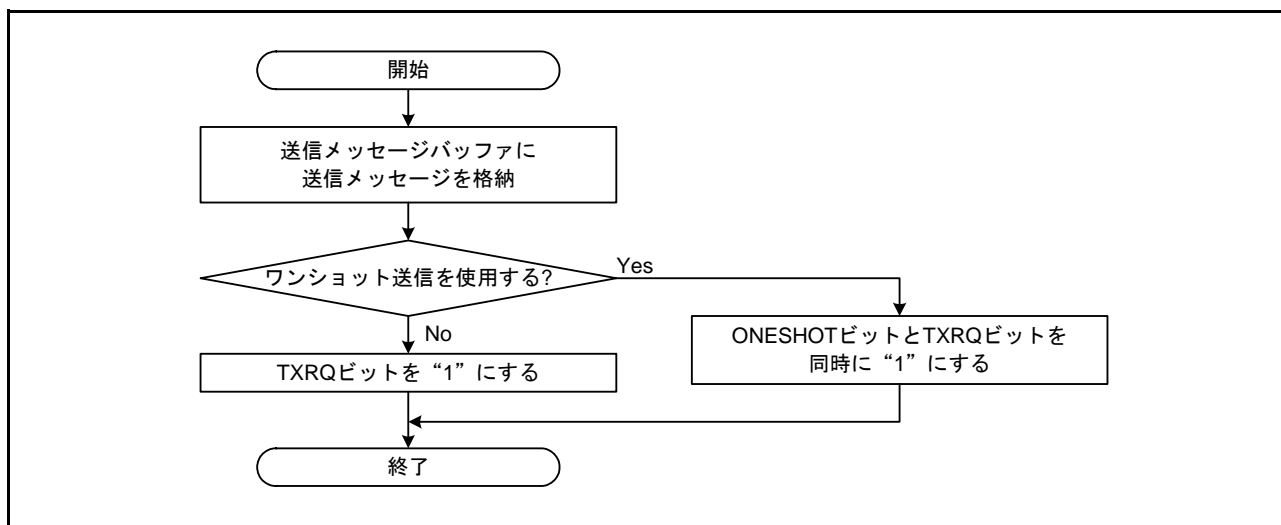


図 33.42 送信メッセージバッファからの送信要求手順

表 33.22 に、TMCRn レジスタの設定を示します。

表 33.22 TMCRn レジスタの設定

送信要求 TXRQビット	送信アボート要求 TARQビット	ワンショット送信許可 ONESHOTビット	メッセージバッファの状態
0	0	0	通常送信停止
0	0	1	ワンショット送信停止
1	0	0	データフレームまたはリモートフレームを通常送信
1	0	1	データフレームまたはリモートフレームをワンショット送信
1	1	0	送信アボートを要求
1	1	1	ワンショット送信アボートを要求

図 33.43 に、2つのメッセージバッファからの送信が成功したときのタイミングを示します。

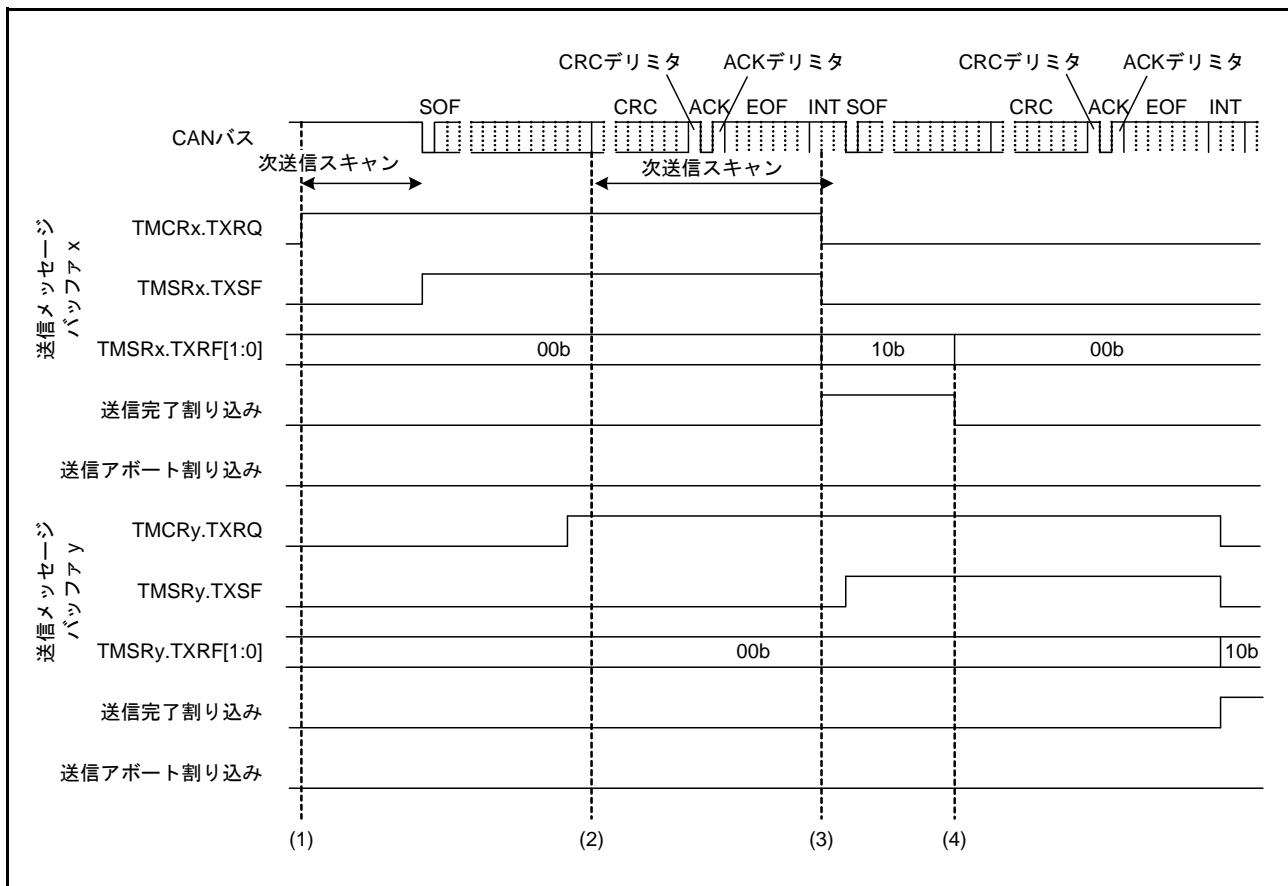


図 33.43 送信成功時の送信要求とフラグのタイミング

- (1) バスアイドル時に TMCRx.TXRQ ビットを“1”にすると、メッセージバッファスキャン処理が開始され、優先順位が最も高いメッセージバッファが決定されます。
送信用メッセージバッファが決定されると、TMSRx.TXSF フラグが“1”(送信中)になり、CAN チャンネルが送信を開始します(注1)。
- (2) 保留中の送信要求が存在する場合、CRC の 1 ビット目で、次の送信のための送信スキャン処理が開始されます。
- (3) メッセージが正常に送信されると、対応する TMSRx.TXRF[1:0] フラグが“10b”になり、TMSRx.TXSF フラグおよび TMCRx.TXRQ ビットがクリアされます。
TMIER0.TMIE_x ビットが“1”(送信メッセージバッファ割り込み許可)に設定されている場合、送信成功割り込み要求が発生します。割り込みをクリアするには、TMSRx.TXRF[1:0] フラグをクリアする必要があります。
- (4) 次の送信を開始する前に TMSRx.TXRF[1:0] フラグをクリアしてください。送信メッセージバッファに次のメッセージを書き込み、TMCRx.TXRQ ビットを再度“1”にしてください。
TMSRx.TXRF[1:0] フラグをクリアする前に TMCRx.TXRQ ビットを再度“1”にすることはできません。

注. TMSRx.TXSF フラグがセットされるポイントは、SOF の先頭になるとは限りません。最大で標準 ID の開始点まで遅れる場合があります。

注 1. CAN チャンネルの送信開始後にアービトレーションロストが発生した場合は、TMSRx.TXSF フラグがクリアされます。その後、CRC の 1 ビット目の始まりから、もう一度送信スキャン処理が行われ、優先順位が最も高い送信メッセージバッファが検索されます。
送信中またはアービトレーションロストに続くエラーが発生した場合は、エラーフレーム中に、優先順位が最も高い送信メッセージバッファを検索するために、送信スキャン手順が再度実行されます。

図 33.44 に、2つのメッセージバッファに対して送信アボートをを行った場合のタイミングを示します。

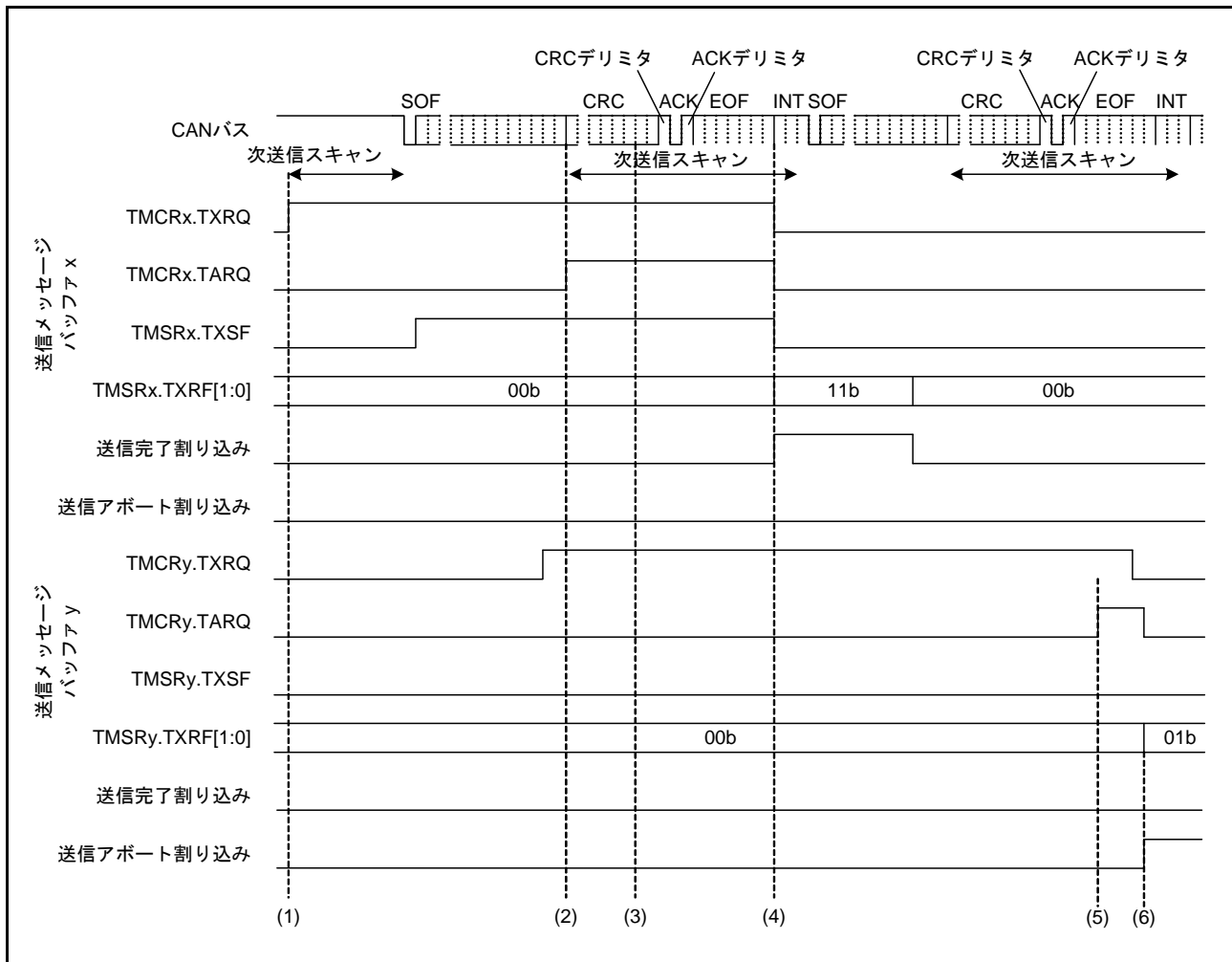


図 33.44 送信アボートの要求とフラグのタイミング

- (1) バスアイドル時に **TMCRx.TXRQ** ビットを“1”にすると、メッセージバッファスキャン処理が開始され、優先順位が最も高いメッセージバッファが決定されます。
送信メッセージバッファが決定されると、**TMSRx.TXSF** フラグが“1” (送信中) になり、CAN チャンネルが送信を開始します(注1)。
- (2) すでに送信用に選択されているか、現在送信中のメッセージバッファに対して、**TMCRx.TARQ** ビットを“1”にした場合、エラーが発生したりアービトラージロストが発生しない限り、メッセージはアボートされません。
- (3) CRC の 1 ビット目で、次の送信用の送信スキャン処理が開始されます。このタイミングチャート例では、メッセージバッファ y は次の送信メッセージバッファとして選択されていません。
- (4) メッセージが正常に送信されると、**TMSRx.TXRF[1:0]** フラグが“11b”になり、**TMSRx.TXSF** フラグおよび **TMCRx.TXRQ** ビットがクリアされます。
TMIE0.TMIEx ビットが“1” (送信メッセージバッファ割り込み許可) に設定されている場合、送信成功割り込み要求が発生します。
割り込みをクリアするには、**TMSRx.TXRF[1:0]** フラグをクリアする必要があります。
- (5) CAN バス上で、別の CAN ノードが送信中 (**TMSRy.TXSF** フラグが設定されていない) の場合、関連チャンネルが送信スキャン中に **TMCRy.TARQ** ビットを“1”にした場合、送信要求をクリアすることはできません。

(6) 内部処理時間が経過した後、送信はアボートされ、TMSRy.TXRF[1:0] フラグが“01b”になります。メッセージバッファが送信中でなく、次の送信メッセージバッファとして選択されておらず、送信スキャン中でもない場合、アボートは直ちに受け入れられ、対応する TMSRy.TXRF[1:0] フラグは“01b”になります。

また、TMCRy.TXRQ ビット、TMCRy.TARQ ビットは自動的にクリアされます。

CHCR.TAIE ビットが“1” (送信アボート割り込み許可) に設定されている場合、送信アボート成功時に割り込みが発生します。

割り込みをクリアするには、TMSRy.TXRF[1:0] フラグをクリアする必要があります。

注 1. CAN チャンネルが送信を開始した後にアービトレーションロストが発生した場合、TMSRx.TXSF フラグはクリアされます。その後、CRC の 1 ビット目の始まりから、もう一度送信スキャン処理が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合、エラーフレーム中に送信スキャン処理が再度行われ、優先順位が最も高い送信メッセージバッファが検索されます。

33.7.2.3 FIFO バッファからの送信

CANFD モジュールには共通 FIFO が 1 つあります。送信 FIFO モードに設定されている場合、CFPCR0.LTM[1:0] ビットを使用して、共通 FIFO を送信メッセージバッファにリンクすることができます。

送信スキャンが開始され、その送信メッセージバッファに対応する共通 FIFO が有効に設定されている場合、共通 FIFO 内の関連するメッセージが送信スキャンの対象になります。

送信 FIFO モードに設定された共通 FIFO にリンクされた送信メッセージバッファに対して、設定は行わないでください。

(1) 送信 FIFO の動作

送信 FIFO にメッセージを書き込むには、共通 FIFO バッファ 0 (CFB0) に書き込みます。

CFPCR0 レジスタに“00000FFh”を書き込むと、FIFO のメッセージ数が 1 インクリメントされます。

CFPCR0 レジスタに書き込むときは、CFB0 にメッセージを完全に書き終わってから行ってください。メッセージ数が FIFO 段数と一致すると、CFSR0.FULL フラグが“1”になります。

送信 FIFO 内の最も古いメッセージが、送信スキャンの対象になります。

送信 FIFO がメッセージを正常に送信すると、メッセージ数の値が 1 デクリメントされます。FIFO からすべてのメッセージが送信されると、CFSR0.EMPTY フラグが“1”になります。

送信 FIFO バッファの割り込み発生条件は、CFPCR0.CFIM ビットで設定できます。CFPCR0.CFIM ビットが“0”の場合、送信 FIFO バッファから最後のメッセージが正常に送信されたときに割り込みが発生します。CFPCR0.CFIM ビットが“1”の場合、送信 FIFO バッファから正常に送信されるたびに割り込みが発生します。

共通 FIFO は、CAN フレームの送信が完了したときに、割り込みを設定することができます。

送信 FIFO モードに設定された共通 FIFO は、CFPCR0.CFE ビットを“0”にすることで無効にできます。このビットを“0”にすると、以下のタイミングで CFSR0.EMPTY フラグが“1”になります。

- 即座に設定：送信 FIFO からの次の送信予定がなく、また送信中でもない場合
- 送信完了後、CAN バスエラー検出後、アービトレーションロスト後、CH_HALT モードまたは GL_HALT モードに遷移後：送信 FIFO からの次の送信予定があるか、現在送信中の場合

注. CFPCR0.CFE ビットを“0”にした後、CFSR0.EMPTY フラグが“1”になっている場合のみ、共通 FIFO は無効とみなされます。

送信 FIFO バッファにその他の送信保留中メッセージがある場合、そのメッセージは失われるため送信を再度要求する必要があります。CFPCR0.CFE ビットを再度“1”にする前に、CFSR0.EMPTY フラグが“1”になっており、送信 FIFO バッファからの保留中のアボート要求がないことを確認してください。

CFCR0.CFE ビットを“0”にすると、FIFO のメッセージの読み出しポインタおよび書き込みポインタはクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO バッファにメッセージを格納することはできなくなります。

図 33.45 に、設定後の FIFO 送信要求手順を示します。

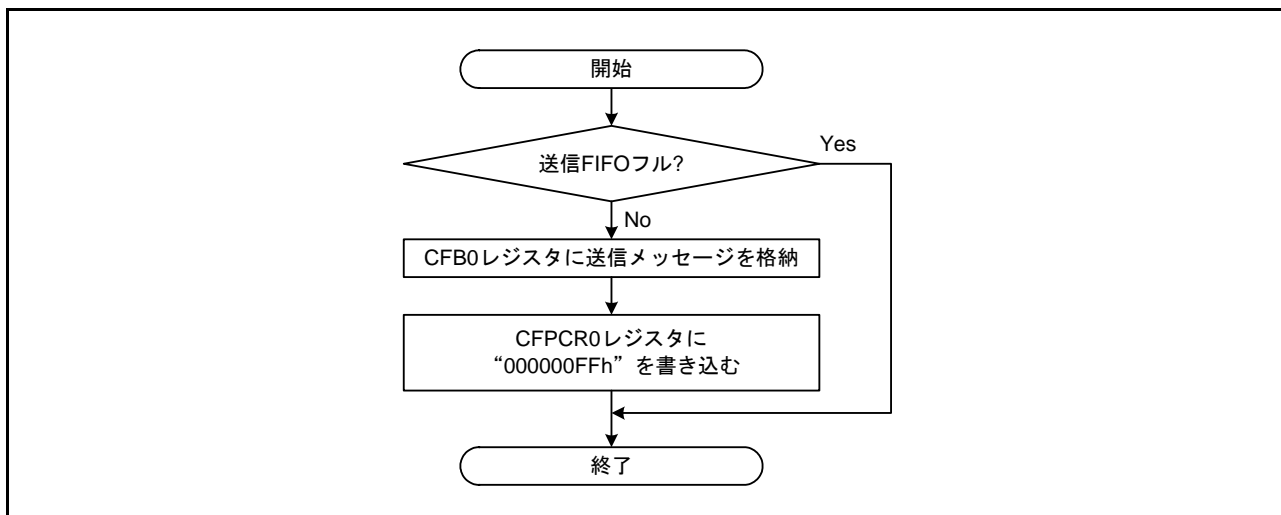


図 33.45 送信 FIFO 送信要求手順

(2) FIFO 送信用のインターバルタイマ

送信モードの各共通 FIFO に対して、同じ FIFO バッファから送信するように設定された 2 つの連続するメッセージ間の遅延時間を指定することができます。この遅延をインターバルタイムと呼びます。このインターバルタイムは、CFPCR0.CFE ビットを“1”にした後、FIFO バッファの最初のメッセージが正常に送信された後に開始されます。

送信モードの共通 FIFO が有効の場合は、このインターバルタイムを考慮せずに最初のメッセージが送信されます。

以下の場合に、インターバルタイムのカウンタが停止します。

- CFPCR0.CFE ビットを“0”にすることによって FIFO が無効になったとき
- CAN チャネルが CH_RESET モードのとき

インターバルタイムは、CFPCR0.TINT[7:0] ビットの値で指定され、0 ~ 255 のタイマ単位で指定できます。タイマ単位は、インターバルタイム用の 2 つの異なるカウンタソースに基づいて定義することができます。FIFO 送信用のインターバルタイムを無効にするには、値 0 を選択します。

カウンタソースは、CFPCR0.ITCS ビットで選択できます。カウンタソースには、当該チャネルの CAN ビットタイムクロックまたは基準クロックを選択できます。

カウンタソースとして CAN チャネルのビットタイムクロックを選択し、CAN チャネルが CH_HALT、CH_RESET、CH_SLEEP モードに遷移した場合、そのチャネルのインターバルタイムは停止します。

インターバルタイムのカウンタソースとして基準クロックを選択した場合、CAN チャネルが CH_RESET モードまたは CH_SLEEP モードに遷移したときのみインターバルタイムが停止します。

基準クロックを使用して、インターバルタイムを一定の時間単位で設定できます。これは、PCLKB に基づきます。GCFG.ITP[15:0] ビットは、PCLKB の周波数 / 周期と基準クロックの周期の関係を定義します。

PCLKB 周波数 / 周期に基づいて異なる基準クロック周期を実現するための GCFG.ITP[15:0] ビットの設定値については、表 33.23 を参照してください。

表33.23 インターバルタイマプリスケアラの設定例

PCLKB周波数(周期)	基準クロック周期		
	1 μ s	100 μ s	500 μ s
16 MHz (62.5 ns)	16	1600	8000
20 MHz (50 ns)	20	2000	10000
32 MHz (31.25 ns)	32	3200	16000
50 MHz (20 ns)	50	5000	25000

さらに、CFCR0.ITR ビットを使用して、基準クロックの分解能を設定することができます。

インターバルタイムは、基準クロック周期に設定値で通倍 ($\times 1$ または $\times 10$) した値に基づきます。基準クロックベースのインターバルタイムを使用すると、ISO 15765-2 の分離時間の要件に準拠させることができます。分離時間は 100 μ s ~ 127 ms の全範囲をカバーしています。

指定したインターバルタイムは、送信イベントが正常に終了した後 (CAN プロトコルの EOF7 状態の後) に開始します。

インターバルタイムが経過すると、送信 FIFO バッファから次の送信要求が発生します。したがって、インターバルタイムは、1 つの FIFO から送信される 2 つのメッセージ間の最小時間を定義します。

次のメッセージは、最も早くてもこのインターバルタイム後に送信されます。図 33.46 に、内部処理のタイミングの例を示します。

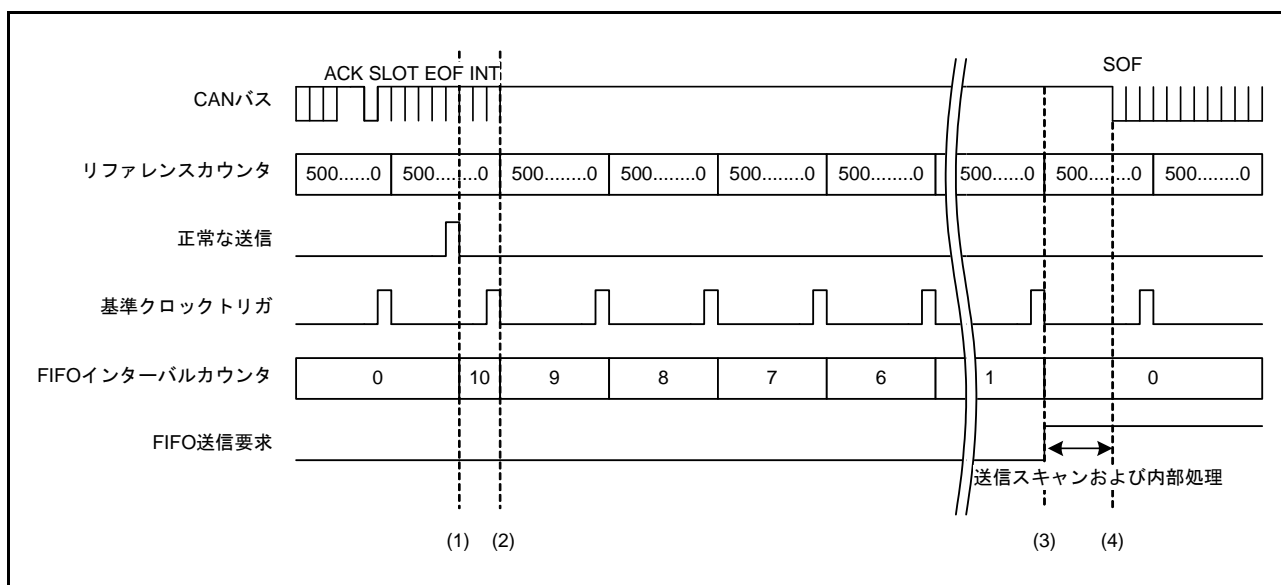


図 33.46 インターバル処理時間の例

図 33.46 のタイミングの設定は以下のようになります。

- PCLKB 周波数 = 50 MHz
- インターバルタイマプリスケアラ (GCFG.ITP[15:0]) = 500 分周
- 上記設定による基準クロック周期 = 10 μ s
- 共通 FIFO インターバルタイムカウントソース選択 (CFCR0.ITCS) = 0
- 共通 FIFO インターバルタイム分解能 (CFCR0.ITR) = 0
- 共通 FIFO 送信インターバル時間 (CFCR0.TINT[7:0]) = 10 カウント
- 理論上のメッセージ分離間隔 = 100 μ s

- (1) 送信が正常終了すると、内部 FIFO インターバルタイマはリスタートします。このリスタートは、基準クロックのトリガとは同期されません。そのため、最初のインターバルのカウントは、1 基準クロックインターバルと同じかそれ以下になります。
- (2) 次の基準クロックトリガで、FIFO インターバルタイマはデクリメントされます。
- (3) FIFO インターバルタイマが値 0 に達すると、FIFO 送信要求が設定されます。
- (4) FIFO が送信用に選択されている場合、すぐに送信が開始されます。内部処理のため、上記 3. で内部 FIFO 送信要求が設定されてから実際の送信までの時間は、通常 3 ビットタイム未満です。
受信スキャン、内部メッセージルーティング、送信スキャンなどの複数のイベントが同時に発生した場合、最大で 126 PCLKB サイクルかかる可能性があります。

図 33.46 に示すように、最小インターバルタイムが常に設定値と等くなる保証はありません。最小時間が絶対に破られてはならない場合、CFCR0.ITINT[7:0] ビットを必要な最小値 +1 に設定する必要があります。

送信メッセージバッファまたは送信 FIFO がチャネルの送信用に設定されている場合、これらの送信メッセージバッファまたは送信 FIFO から優先順位の高いメッセージが送信されるため、送信 FIFO から送信される 2 つのメッセージ間の実質的な遅延時間は、インターバルタイムで設定された時間よりも長くなる場合があります。

図 33.47 に、FIFO インターバルタイマのブロック図を示します。

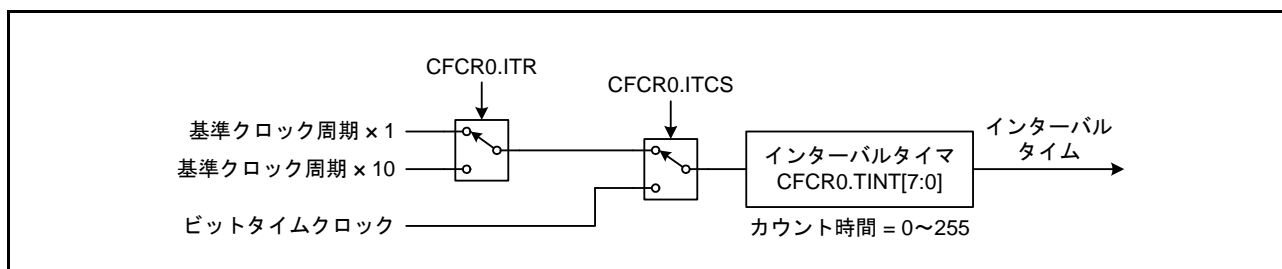


図 33.47 FIFO インターバルタイマのブロック図

33.7.2.4 送信キュー

有効な送信キューは、3～4個の送信メッセージバッファで構成されており、1つのアクセスウィンドウからアクセスできます。

送信キュー0(以降、TXQ0)は、バッファの段数を3または4に設定可能で、アクセスウィンドウとして送信メッセージバッファ0を使用しています。TXQ0の全メッセージは、送信優先順位比較の対象になります。ID優先(GCFG.TPRI=0)に設定して使用してください。

TXQ0のレジスタはTQCR0、TQSR0、TQPCR0です。

アクセスウィンドウとして送信メッセージバッファ0を使用します。TMB0.HF0、TMB0.HF1、TMB0.HF2、TMB0.DF0～TMB0.DF15レジスタを参照してください。

TXQ0バッファの段数は、TQCR0.QDS[1:0]ビットに書き込むことで設定できます。TXQ0は、最大でTMB0～TMB3を1つのキューバッファとして設定することができます。

TXQ0バッファの段数設定には、以下のいずれかが利用可能です。

- 10b : 3段
- 11b : 4段

送信キューを構成する送信メッセージバッファ0を除くすべての送信メッセージバッファには、アクセスしないでください。また、送信キューを構成するすべての送信メッセージバッファに対応するTMCRnレジスタにもアクセスしないでください。

TXQ0にデータを書き込む場合、TXQ0の状態を確認した上で送信データを書き込んでください。

送信キューアクセスウィンドウに保存されたメッセージは、内部的に送信キューの空きバッファに保存されます。

送信キューがフルになったら、それ以上キューにアクセスしないようにしてください。TXQ0のバッファがフルのときに送信データを書き込んだ場合、送信データは上書きされます。

送信キューは、TQCR0.TQEビットを“0”にすることで無効にすることができます。このビットが“0”になると、TQSR0.EMPTYフラグが以下のタイミングでセットされます。

- 送信キューからの次のメッセージ送信予定がなく、また送信中でもない場合
即座にセットされます。
- 送信キューからの送信がすでに予約されている場合、または送信中の場合
送信完了後、CANバスエラー検出後、アービトレーションロスト後、CH_HALTモードまたはGL_HALTモードに遷移後にセットされます。

注． 送信キューは、TQCR0.TQEビットを“0”にした後、TQSR0.EMPTYフラグが“1”になったときにのみ無効になります。

送信キューにその他の保留中のメッセージがある場合、そのメッセージは失われるため、再度送信を要求する必要があります。

TQEビットを再度“1”にする前に、TQSR0.EMPTYフラグが“1”で、送信キューに保留中のアボート要求がないことを確認してください。

TQEビットを“0”にすると、送信キューバッファ内のすべてのメッセージが失われ、以降その送信キューにメッセージは格納されなくなります。

送信キューにメッセージが格納されている状態で、TQPCR0レジスタに“000000FFh”を書き込んでください。これにより、送信要求が自動的に設定され、内部のメッセージバッファポインタが送信キューの次の空きメッセージバッファの位置に変更されます。

注． 同じIDを持つ2つのメッセージが送信キューに格納された場合、これらのメッセージの送信順序が送信キューに格納された順序とは変わる可能性があります。
この状態を避けるためには、同じIDを持つ新しいメッセージが送信キューに格納される前に、同じIDを持つメッセージが正常に送信されたことを確認することが重要です。

送信キューでは、TQCR0.TQIE ビットを設定することで、専用の割り込みを有効にすることができます。割り込みモードは、TQCR0.TQIM ビットによって、送信されたメッセージごとに割り込みを発生させるか、最後に送信されたメッセージに対して割り込みを発生させるかを設定できます。

図 33.48 に、送信キュー送信要求手順を示します。

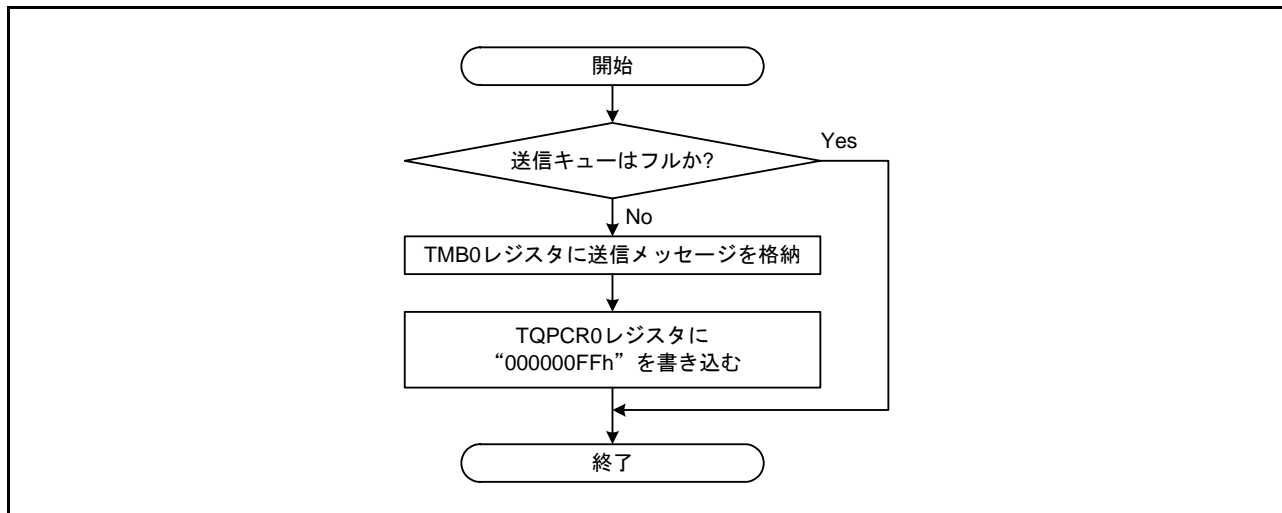


図 33.48 送信キュー送信要求

33.7.2.5 送信履歴

送信履歴機能は、正常に送信されたメッセージの情報を送信履歴バッファに記録する機能です。送信履歴バッファには最大 8 個の送信履歴エントリを格納することができます。

THCR.THRC ビットを使用して、送信 FIFO/送信キューから送信されたメッセージの情報のみを格納するか、送信メッセージバッファから送信されたメッセージの情報も格納するかを選択できます。

各送信メッセージは、CFB0.HF0.THENT ビットにより、送信履歴への格納を個別に設定することができます。

メッセージが正常に送信された後、メッセージ情報は CAN チャネルの送信履歴バッファに格納されます。

リストへの格納は、TMSRn.TXRF[1:0] フラグのステータスとは同期されせん。

内部処理のため、正常送信が通知された後、リストに格納されるまでに遅延が発生することがあります。

送信履歴バッファへのデータ格納は、THCR.THIE ビットが“1”になっている場合は THSR.THIF フラグが“1”になっていることによって、または送信履歴カウンタ THSR.FLVL[3:0] が増分されたことによって認識できます。

受信スキャンや内部メッセージルーティングなど複数のイベントが発生する場合があります。

TMSRn.TXRF[1:0] フラグが設定されてから送信履歴データの格納までの最大遅延時間は、76 PCLKB サイクルです。

送信履歴には、送信されたメッセージの以下の情報が記録されます。

- 送信バッファの種類
 - 001 : 送信メッセージバッファ
 - 010 : 送信 FIFO モードの共通 FIFO (以下、送信 FIFO と記載)
 - 100 : 送信キュー
- 送信バッファ番号

メッセージを送信した、送信メッセージバッファ、送信キューの送信メッセージバッファ、または共通 FIFO にリンクされた送信メッセージバッファ。この番号は、バッファの種類によって決まります。

表 33.24 を参照してください

- 送信ポインタ
送信メッセージのヘッダフィールド 2 に設定されたポインタ (HF2.PTR[15:0])
- 送信タイムスタンプ
GFDCFG.TSCPS[1:0] ビットで設定したキャプチャポイントでキャプチャされたメッセージのタイムスタンプ
- 送信情報ラベル
送信メッセージのヘッダフィールド 2 に設定された情報ラベル (HF2.IFL[1:0])

表 33.24 送信履歴バッファ番号エントリ

送信バッファ番号 (THACR0.BN[1:0])	送信バッファタイプ(THACR0.BT[2:0])		
	001b	010b	100b
	送信メッセージバッファ	送信FIFO	送信キュー
00b	TMB0	BN[1:0] ビットの値は、 CFCR0.LTM[1:0] ビットの値と同じになります	BN[1:0] ビットの値は、メッセー ジの送信に使用されたメッセージ バッファの番号を示します。
01b	TMB1		
10b	TMB2		
11b	TMB3		

送信 FIFO または送信キュー番号だけでは識別に不十分なため、送信ポインタを使用して、送信 FIFO または送信キューのどのメッセージが正常に送信されたかを識別します。

そのため、送信 FIFO または送信キューに格納された各送信メッセージに一意の番号 (ポインタ) を付けることができます。このポインタは、送信 FIFO の場合は CFB0.HF2.PTR[15:0] 部分に、また、送信キューの場合は TMB0.HF2.PTR[15:0] 部分に書き込みます。

メッセージが正常に送信されると、このポインタが他のメッセージ関連情報と共に送信履歴に格納され、送信履歴アクセスレジスタの送信ポインタフィールド (PTR[15:0]) を介して読み出すことができます。

通常の送信メッセージバッファについても、TMBn.HF2.PTR[15:0] 部分が送信履歴に格納されます。情報ラベルも同様です。

送信履歴アクセスレジスタの読み出しは、1 エントリごとに行ってください。

1 つのエントリを読み出した後、次のエントリにアクセスできるようにするために、THPCR レジスタに“000000FFh”を書き込む必要があります。これを、送信履歴が空になるまで続けます。

図 33.49 に、送信履歴の処理フローの例を示します。

送信履歴には専用の割り込みがあり、THCR.THIM ビットで設定し、THCR.THIE ビットで許可することで、送信履歴が全体の 75% に達したとき、または新しい送信履歴が格納されるごとに割り込みを発生させることができます。

送信履歴が失われると、THSR.LOST フラグに表示されます。このフラグのステータスは、GESR.THLDF フラグでも確認できます。

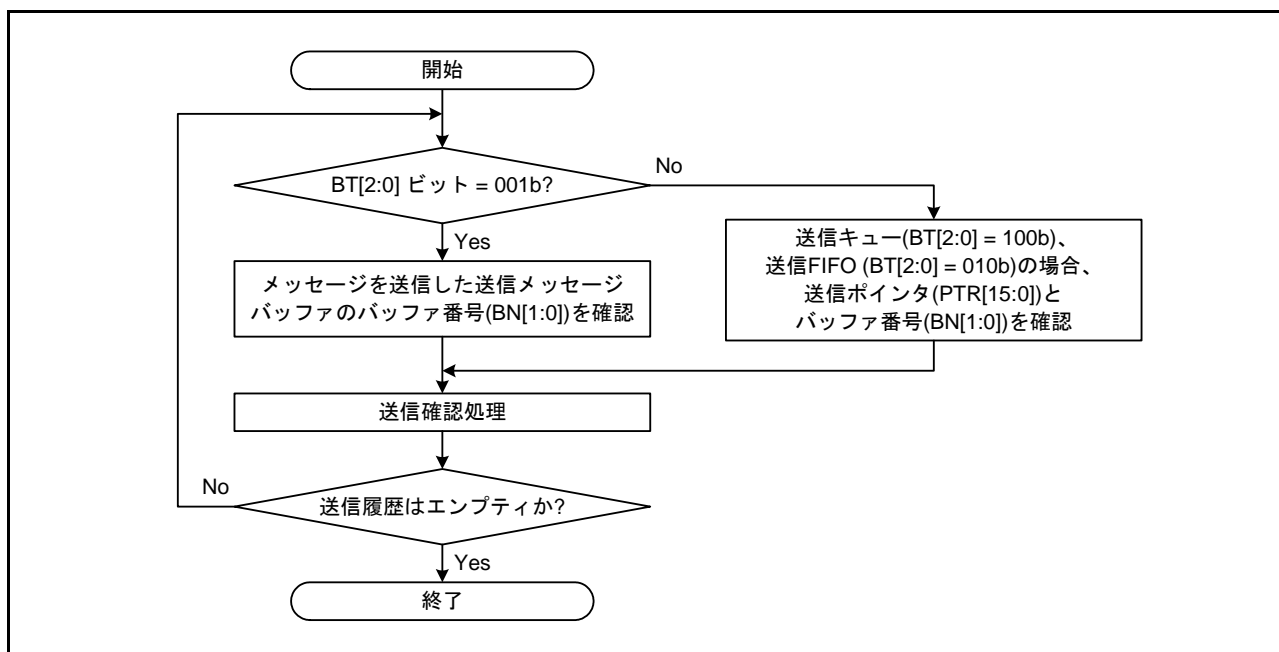


図 33.49 送信履歴の処理フロー例

33.7.2.6 送信データパディング

送信メッセージのデータ長コード (DLC) のデータバイト数がバッファサイズよりも多い場合、制限範囲を超えるデータバイトは“CCh”で置き換えられます。

これは、送信 FIFO モードに設定された共通 FIFO において、送信メッセージの DLC が CFCR0.PLS[2:0] ビットで設定されたペイロードサイズよりも大きいときに発生することがあります。

また、FD only モードでも、Classical CAN フレームの DLC 値が 8 より大きい場合に発生することがあります。

33.8 ECC チェック

メッセージバッファ RAM は、2 ビットの ECC エラー検出と 1 ビットの ECC エラー検出・訂正の ECC 機能を持っています(注1)。ECC モジュールは、32 ビットの RAM データに 7 ビットの ECC データを付加します。

注1. ECC モジュールは 3 ビット以上のエラーを検出できません。この場合、ECC モジュールは 1 ビットまたは 2 ビットのエラーを検出するか、エラーを検出しないか、または設定によりエラービットをエラーデータに修正します。すべての RAM データが "0" または "1" に固定されている場合は、2 ビットのエCC エラーとして検出されます。

33.8.1 ECC 機能設定

図 33.50 に ECC 機能の設定手順を示します。

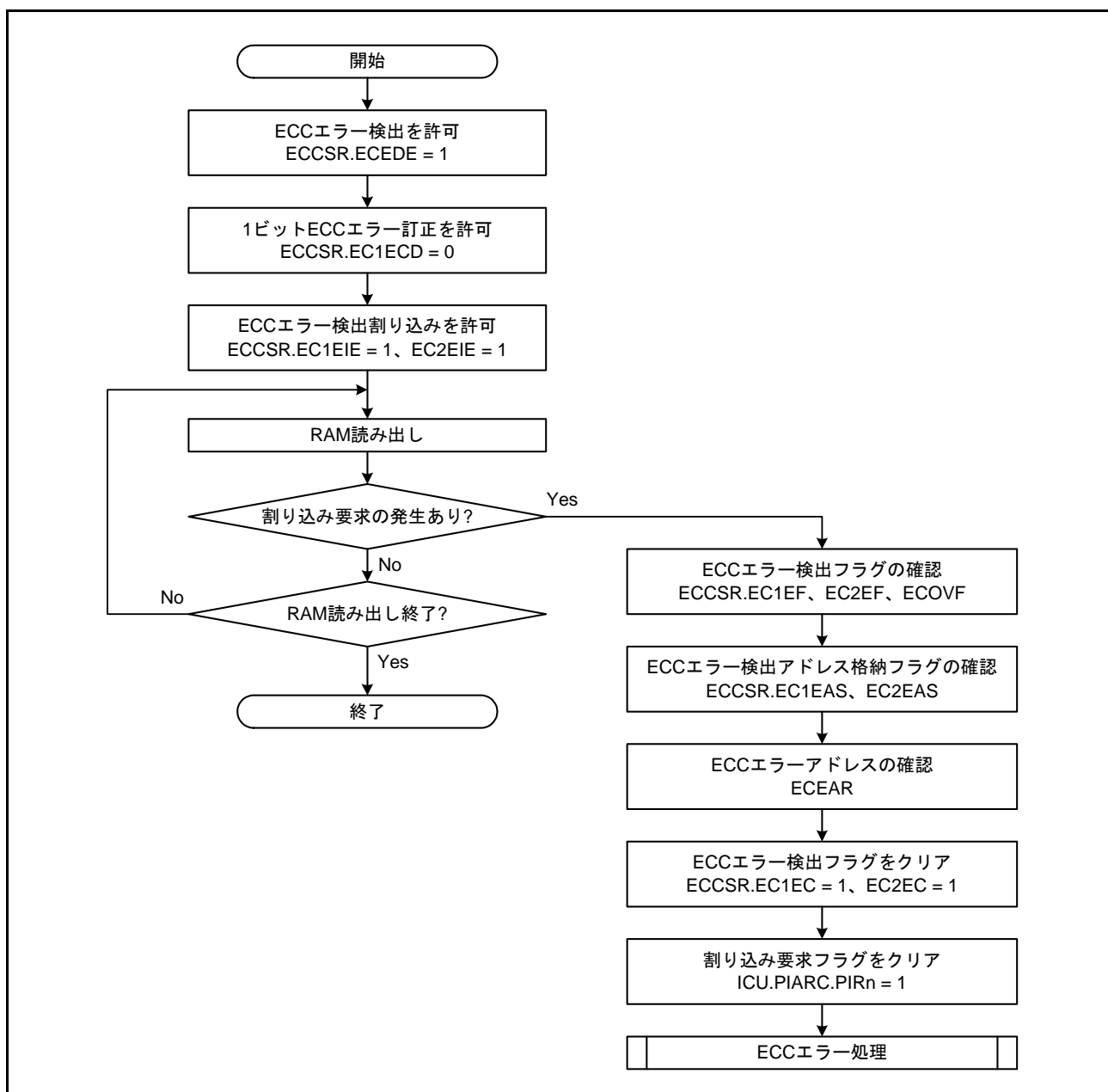


図 33.50 ECC 機能設定手順

33.8.2 ECC デコーダテスト

ECC 割り込みは、ECC テストモードにより意図的に発生させることができます。

図 33.51 に、ECC デコーダのテスト手順を示します。

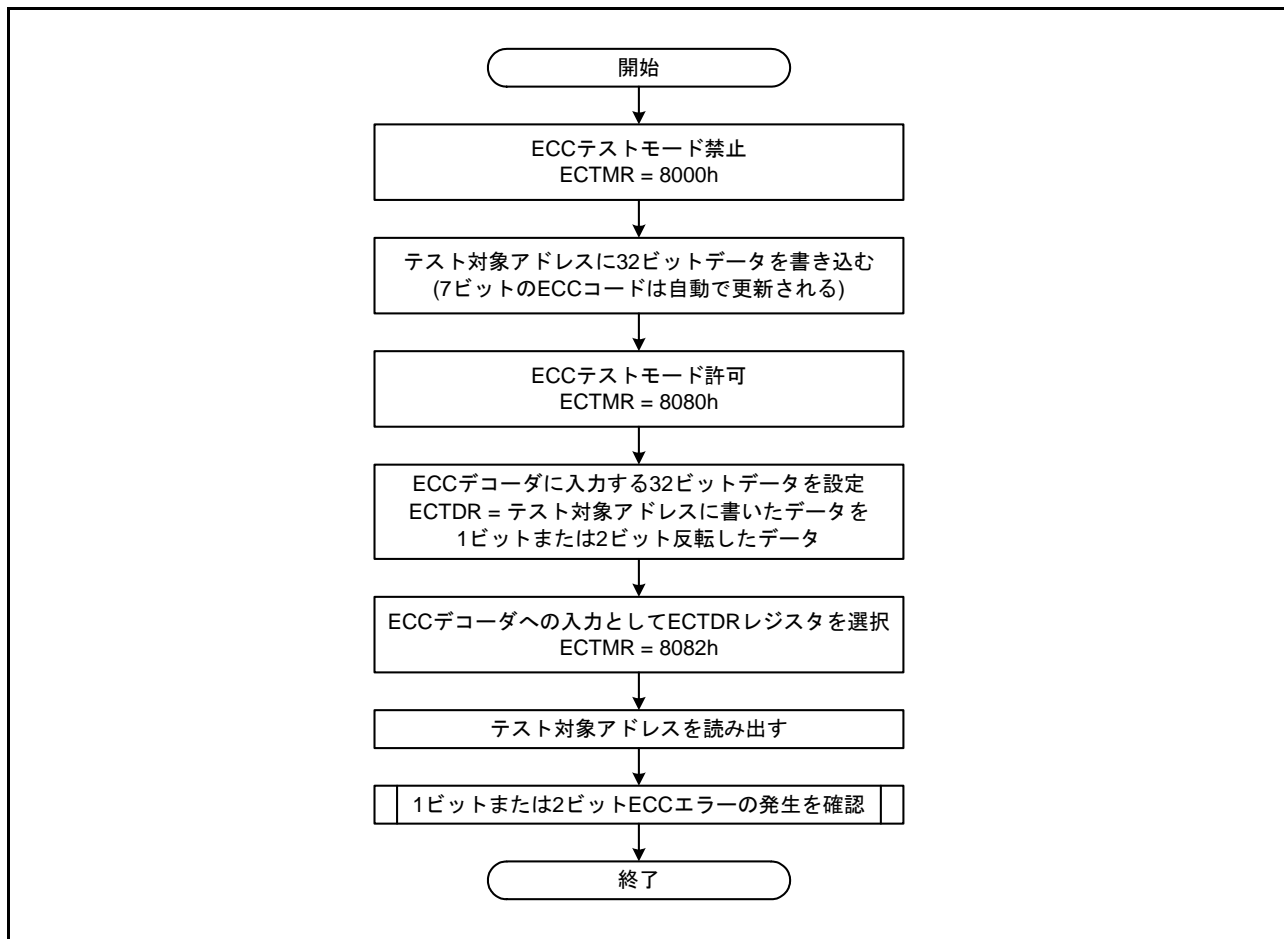


図 33.51 ECC デコーダのテスト手順

33.9 テストモード

特定の機能をテストできるように、CANFDモジュールをテストモードを設定することができます。これらの機能は、特別な目的のために提供されているものであり、CANFDモジュールをテストモードに設定する際には注意が必要です。

注. 一部の機能を他のテストモードでも有効にできることが明示されていない限り、すべてのテストモードは相互に排他的関係にあります。

本項に記載する複数のテストモードを同時に有効にしないでください。
テストモードは、大きく分けて2つのグループに分けられます。

- チャンネル固有のテストモード
- グローバルテストモード

33.9.1 チャンネル固有のテストモード

CANチャンネルは、以下のテストモードを設定することができます。

- 基本テストモード
- リッスンオンリモード
- セルフテストモード0(外部ループバックモード)
- セルフテストモード1(内部ループバックモード)
- 制限付き動作モード

33.9.1.1 基本テストモード

基本テストモードは、リッスンオンリモードやセルフテストモード以外の特定のテスト設定を有効にする必要がある場合に使用します。

33.9.1.2 リッスンオンリモード

ISO 11898-1では、オプションのバスモニタモードが推奨されています。このモードでは、CANチャンネルは有効なデータフレームおよび有効なリモートフレームを受信することができます。しかし、CANバス上にはレセシブビットを送信するのみで、データの送信は許可されません。

CANエンジンがドミナントビット(ACKビット、オーバーロードフラグ、アクティブエラーフラグ)を送信する必要がある場合、CANエンジンがそのドミナントビットをモニタできるように、CTX0端子をレセシブ状態にしたまま、そのビットを内部で再ルーティングします。

このモードは、ビットレート検出に使用することができます。このモードでは、バスエラーが発生し、かつ割り込みが許可されている場合、エラー割り込みが発生します。

このモードでは、送信メッセージバッファ、送信キュー、共通FIFOに送信を要求することはできません。

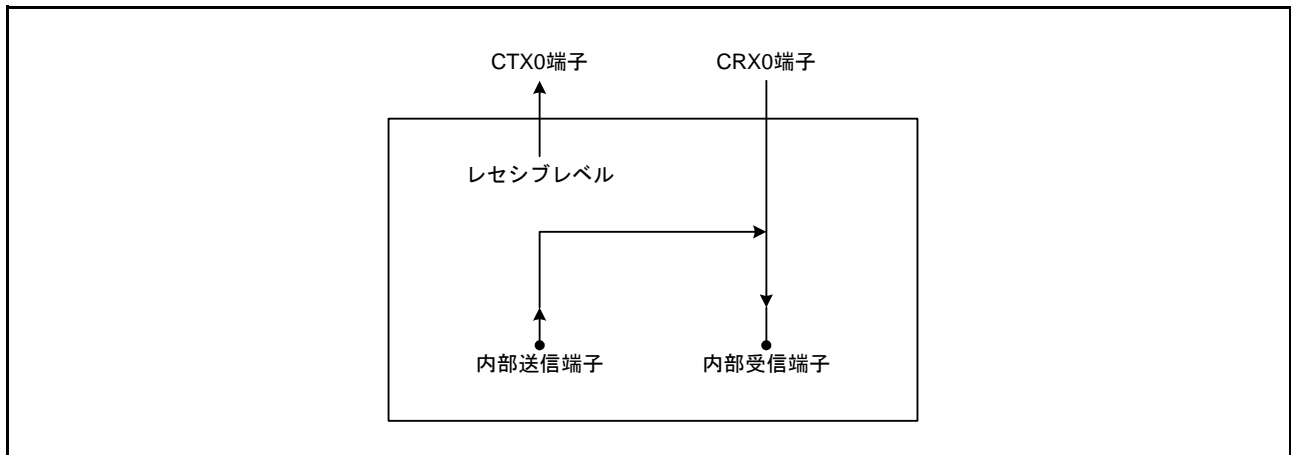


図 33.52 リスンオンリモードの構成

33.9.1.3 セルフテストモード0 (外部ループバックモード)

セルフテストモード0では、CANエンジンは自らが送信したメッセージをCANトランシーバを経由で受信したメッセージとして扱い、受信メッセージバッファに格納します。

外部の刺激に影響されないようにするため、CANエンジンは独自のアクノリッジビットを生成します。

このテストは、CANトランシーバのテストに使用できます。CRX0端子、CTX0端子はトランシーバに接続する必要があります。

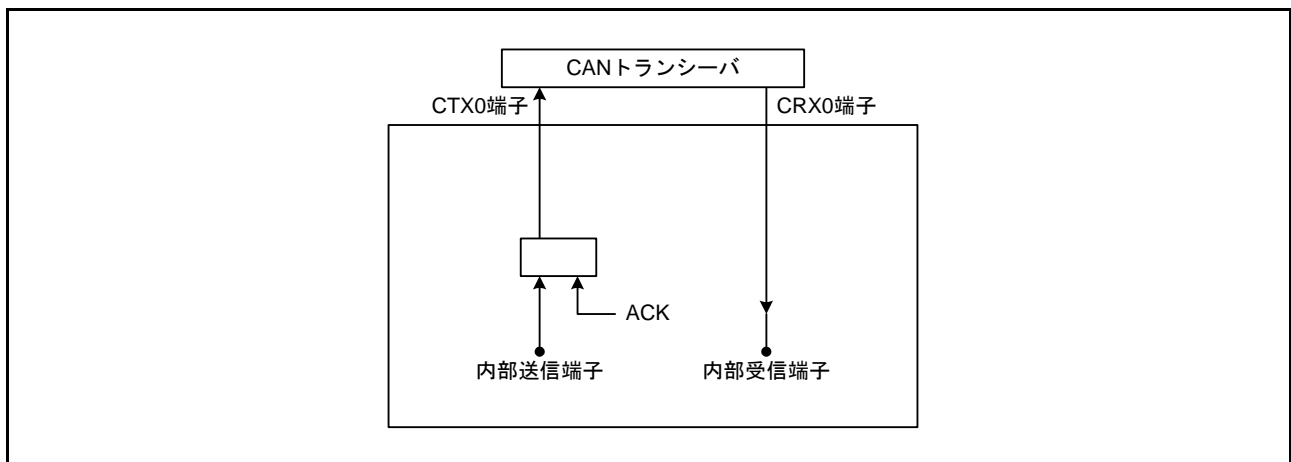


図 33.53 セルフテストモード0の構成

33.9.1.4 セルフテストモード1 (内部ループバックモード)

セルフテストモード1では、CANエンジンは自らが送信したメッセージを受信したメッセージとして扱い、受信バッファに格納します。このモードはセルフテスト機能用です。外部の刺激に影響されないようにするため、CANエンジンは独自のアクノリッジビットを生成します。このモードでは、CANエンジンは内部送信端子から内部受信端子への内部フィードバックを行います。CRX0端子の実際の入力レベルは、CANエンジンによって無視されます。

CTX0端子はレセシブビットのみを出力します。CRX0端子、CTX0端子をCANバスや外部デバイスに接続する必要はありません。

注． チャンネルの各端子は、内部CANバス通信ラインからも切り離されます。

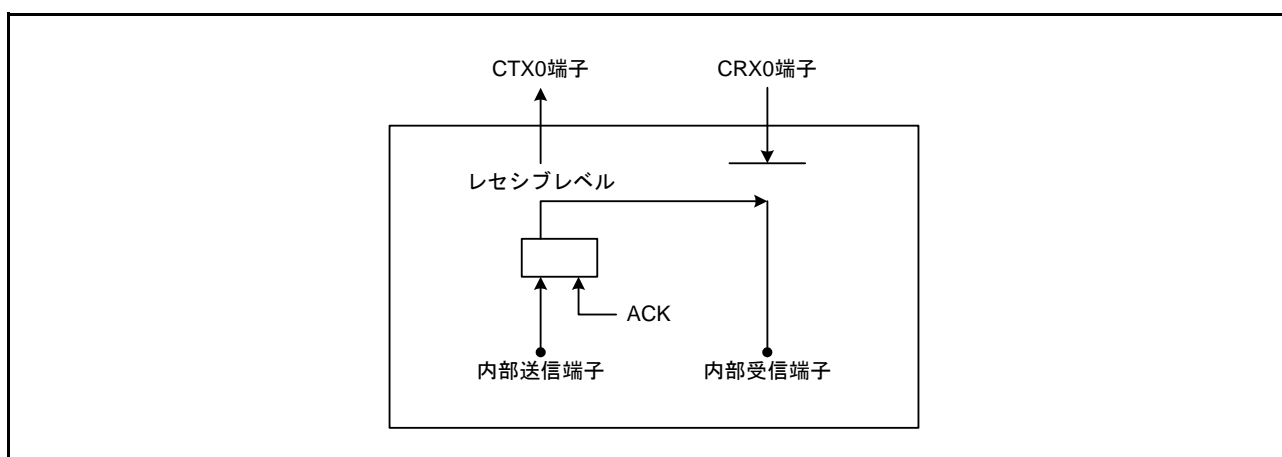


図 33.54 セルフテストモード1の構成

33.9.1.5 制限付き動作モード

制限付き動作モードでは、CAN ノードは有効なデータフレームとリモートフレームを受信して、アクノリッジビットを生成することができます。

アクティブエラーフレームおよびオーバーロードフレームを送信することはできませんが、その代わりに、エラー条件またはオーバーロード条件が発生した後、バスアイドル状態になるまで待機してから CAN 通信に再同期します。

さらに、受信エラーカウンタ (CHSR.REC[7:0]) と送信エラーカウンタ (CHSR.TEC[7:0]) は、エラーの発生に関係なくフリーズします。

このモードの仕様は ISO 11898-1 に準拠します。また、任意の送信要求を設定することができます。

33.9.2 グローバルテストモード

CANFD モジュールは、以下のテストモードに設定することができます。

- RAM テストモード
- ビットフリップテスト

表 33.25 に示すテストモードは、モードの有効化が特別なソフトウェア手順によって保護されています。このソフトウェア手順は、特定のロック解除キーによってテストモードへの書き込みを許可します。

表33.25 テストモードのロック解除キー

テストモード	ロック解除キー1	ロック解除キー2
RAMテストモード	00007575h	00008A8Ah

2つの連続するロック解除キー書き込みのソフトウェアシーケンスが、レジスタへのその他の書き込みによって中断された場合、またはグローバルロック解除キーレジスタに不正なデータが書き込まれた場合、対応するテストモードは設定できず、シーケンスを初めからやり直す必要があります。

2回のロック解除キーを書き込んだ後、続けて対応するテストモード許可ビットを設定する必要があります。これが守られない場合、ロック解除機構がリセットされ、テストモード許可ビットを設定できなくなり、ロック解除シーケンスを初めからやり直す必要があります。

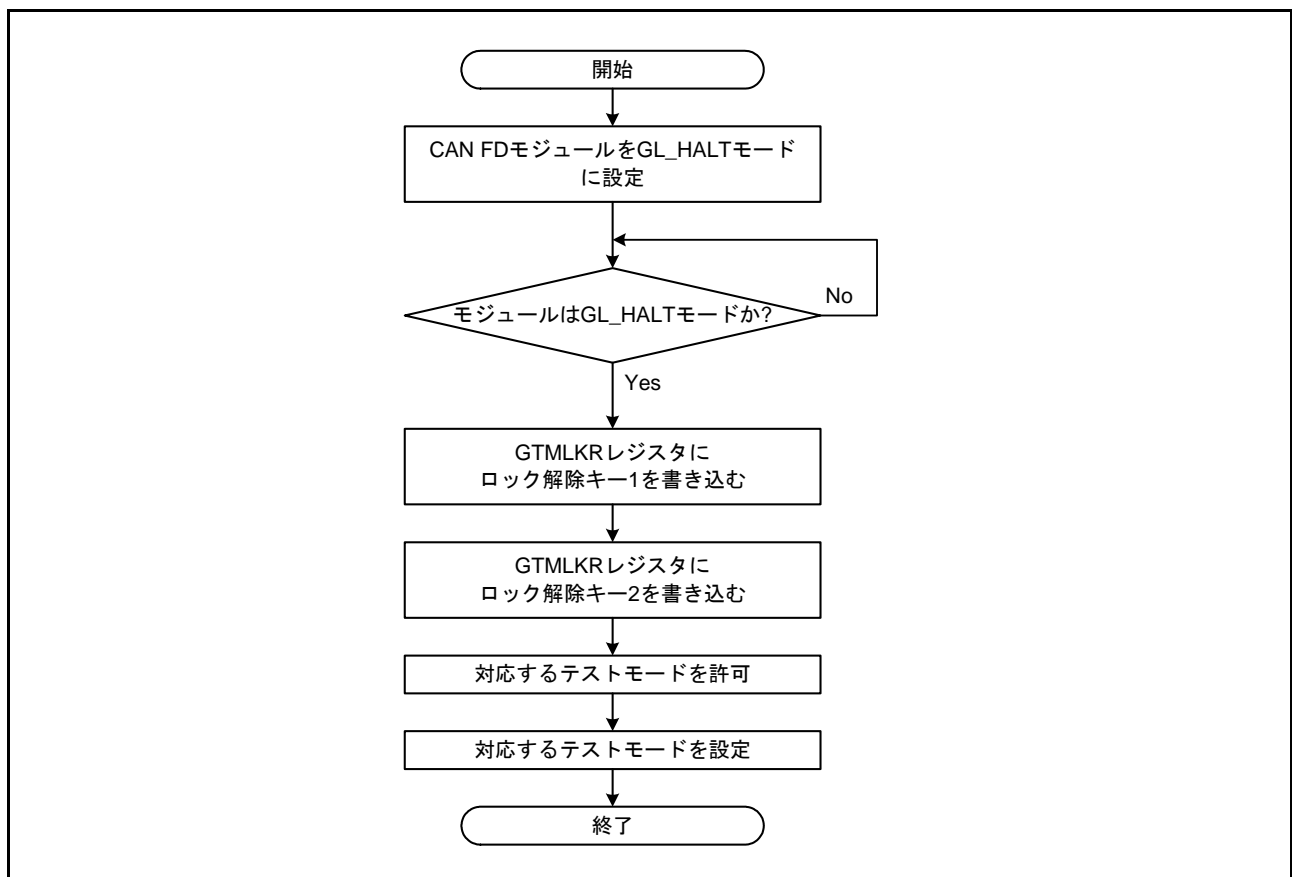


図 33.55 ソフトウェア保護のロック解除ルーチン

33.9.2.1 RAM テストモード

対応するロックキーを先に書き込んでから、GTMER.RTME ビットを設定することで、CANFD モジュールをRAM テストモードに設定することができます。これは、RAM 領域全体にアクセスできる特別なテストモードです。

注． 実際のRAMは、MCU リセット後に初期化されるRAM 領域よりも大きいサイズを持っています。そのため、CANFD モジュールをRAM テストモードにしたとき、CPU がこの初期化されていないRAM 領域からデータを読み出すことで、ECC マクロのECC エラーフラグが設定されることがあります。

このモードでは、RAM 領域は256 バイトずつの複数ページに分割されます。これはRTPARK レジスタ ($k=0 \sim 63$) でアクセスできます。

GTMC.RTPS[3:0] ビットに書き込むことで、ページの読み出し/書き込みアクセスを選択します。すると、RAM テストページアクセスレジスタからのデータ読み出し/書き込みが可能になります。

図 33.56 に、RAM テストモードを実行した場合のRAM 内のページの構成を示します。

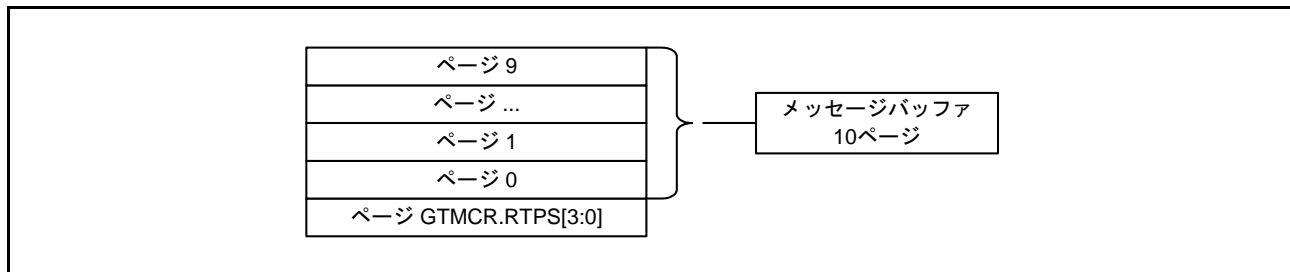


図 33.56 RAM のページ構成

使用可能なRAM の合計サイズは、メッセージバッファ RAM 用の2328 バイトです。

RAM の総ページ数およびGTMC.RTPS[3:0] ビットの値は以下のように計算されます。

$$\text{総ページ数} = \text{ceil}(\text{総RAM サイズ(バイト)} / \text{1 ページあたりのバイト数})$$

メッセージバッファ RAM の場合、以下のようになります。

$$\text{総ページ数} = \text{ceil}(2328 / 256) = 10 \text{ ページ}$$

$$\text{GTMC.RTPS[3:0]} = 0 \sim 9$$

図 33.57 に、RAM テストモードのソフトウェアフローを示します。

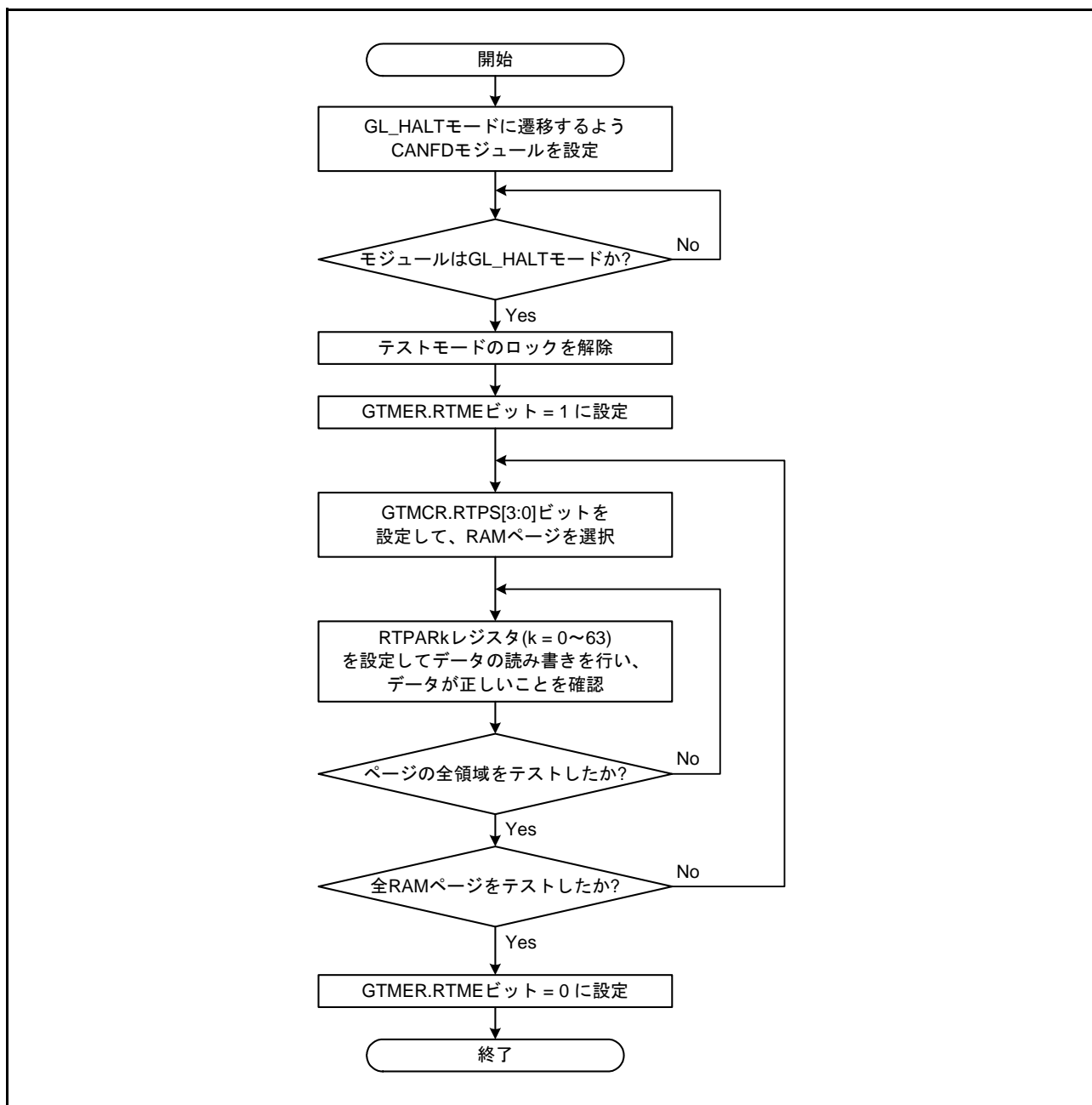


図 33.57 RAM テストモードのソフトウェアフロー

RAM テストモードを終了するには、GTMER.RTME ビットを“0”にしてください。

GTMER.RTME ビットは、CANFD モジュールがテストモードから GL_RESET モードに入ると自動的に“0”になります。

33.9.2.2 ビットフリップテスト

ビットフリップテストは、受信するビットストリームの先頭のビット (ID の 1 ビット目) を反転させることができます。

送信ノードがこの機能を使用した場合、ビットエラーやアービトレーションロストが発生します。

受信ノードでこの機能を使用した場合、CRC エラーまたはスタッフエラーが発生します。

CRC エラーではなく (反転による) スタッフエラーを受信する可能性があるため、この機能を使用する場合はビットスタッフィングルールを参照してください。

CRC エラーのテストは、以下のシーケンスで行う必要があります。以下のシーケンスでは、CANFD モジュールが受信機となります。

1. 送信ノードからの入力ビットストリームの最初のビットを反転させるために、CHCR.BFT ビットを“1”に設定します。
2. チャンネルエラー割り込みが“1”になるのを待ちます。
3. CHESR.CRC15[14:0] ビットまたは FDCRC.CRC21[20:0] ビットのいずれかを読み込みます (受信したフレームタイプによって異なります: Classical CAN または CAN FD)。この値は、送信ノードからの参照メッセージの受信 CRC 値とは異なる値でなければなりません。
4. CHESR.CEDF ビットが“1”であることを確認します。CRC ジェネレータロジックは受信と送信で共有されているため、別個の送信 CRC エラーテストを作成する必要はありません。

33.10 割り込みと DTC/DMA 転送要求

33.10.1 CANFD 割り込み

CANFD モジュールは、いくつかの割り込みを発生させます。割り込み出力は、割り込みコントローラに接続されており、対応する割り込み許可ビットによって制御できます。

ステータスフラグは、この許可ビットと無関係に設定されます。

チャンネル送信割り込みにはもう 1 つ別のステータスフラグレジスタがあり、そのステータスビットは対応する割り込み許可が設定されている場合のみ、設定されます。

この割り込みは複数のトリガ要因によって発生するため、このレジスタはチャンネル送信に対する割り込み要因の特定をサポートします。

CANFD モジュールの割り込みは、グローバル割り込みとチャンネル割り込みの 2 つのグループに分類できます。

(1) グローバル割り込み

CANFD モジュールは、3 つのグローバル割り込みを生成することができます。

1. 受信 FIFO 割り込み
2. グローバルエラー割り込み
3. 受信メッセージバッファ割り込み

(2) チャンネル割り込み

CANFD モジュールのチャンネルは、3 種類のチャンネル割り込みを発生させることができます。

1. チャンネル送信割り込み
 - (a) 送信成功割り込み
 - (b) 送信アボート割り込み
 - (c) 送信キュー割り込み
 - (d) 共通 FIFO 送信割り込み
 - (e) 送信履歴割り込み
2. チャンネルエラー割り込み
3. 共通 FIFO 受信割り込み

表 33.26 に、CANFD モジュールの割り込み要因を示します。

各割り込み要求をクリアするには、割り込みが許可されている要因の内、“1”になっているフラグをすべてクリアしてください。なお、対応する割り込み許可ビットを“0”にしても割り込み要求がクリアされません。

表 33.26 割り込み要因

割り込み名称		割り込み要因フラグ	割り込み許可ビット	割り込みステータスフラグ	
グローバル割り込み	受信FIFO割り込み(RFRI)	RFSRn.RFIF	RFCRn.RFIE	—	
	グローバルエラー割り込み(GLEI)	GESR.DEDF GESR.MLDF GESR.THLDF GESR.PODF	GCR.DEIE GCR.MLIE GCR.THLIE GCR.POIE	—	
	受信メッセージバッファ割り込み(RMRI)	RMNDR.NDF[n]	RMIER.RMIEn	—	
チャンネル割り込み	チャンネル送信割り込み(CHTI)	送信成功割り込み(注1)	TMSRn.TXRF[1]	TMIER0.TMIEn	TISR.TSIF0
		送信アボート割り込み(注1)	TMSRn.TXRF[1:0] (TXRF[1:0] = 01b)	CHCR.TAIE	TISR.TAIF0
		送信キュー割り込み	TQSR0.TQIF	TQCR0.TQIE	TISR.TQIF0
		共通FIFO送信割り込み	CFSR0.CFTIF	CFCR0.CFTIE	TISR.CFTIF0
		送信履歴割り込み	THSR.THIF	THCR.THIE	TISR.THIF0
	チャンネルエラー割り込み(CHEI)	CHESR.BEDF CHESR.EWDF CHESR.EPDF CHESR.BOEDF CHESR.BORDF CHESR.OLDF CHESR.BLDF CHESR.ALDF FDSTS.ECOV FDSTS.SCOV FDSTS.TDCV	CHCR.BEIE CHCR.EWIE CHCR.EPIE CHCR.BOEIE CHCR.BORIE CHCR.OLIE CHCR.BLIE CHCR.ALIE CHCR.ECOVIE CHCR.SCOVIE CHCR.TDCVIE	—	
	共通FIFO受信割り込み(CFRI)	CFSR0.CFRIF	CFCR0.CFRIE	—	

注1. これらの割り込みは、有効な送信キューに属しておらず、共通FIFOにもリンクされていない送信メッセージバッファでのみ発生します。共通FIFOと送信キューにはそれぞれ別の割り込みが用意されています。

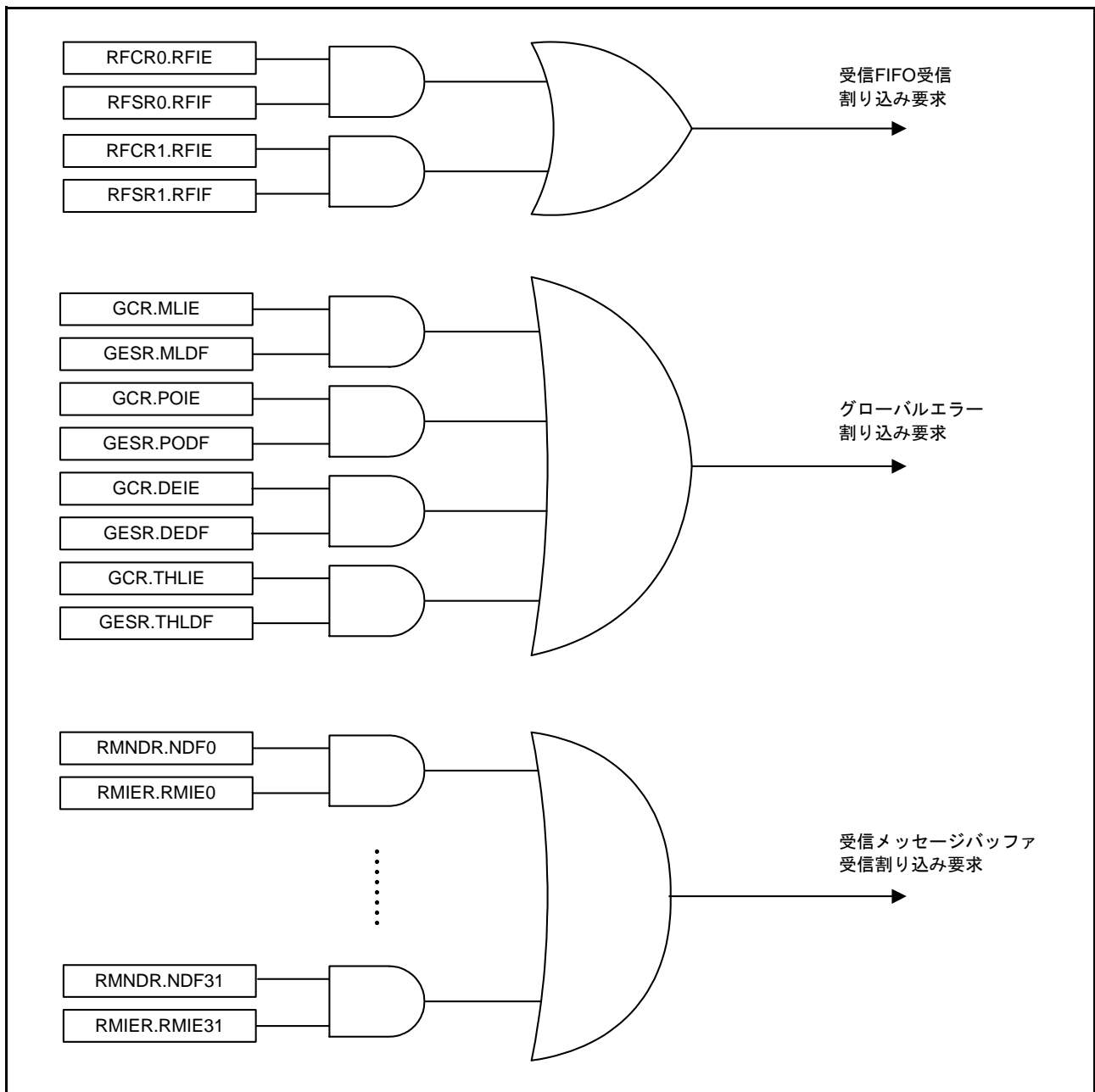


図 33.58 グローバル割り込みのブロック図

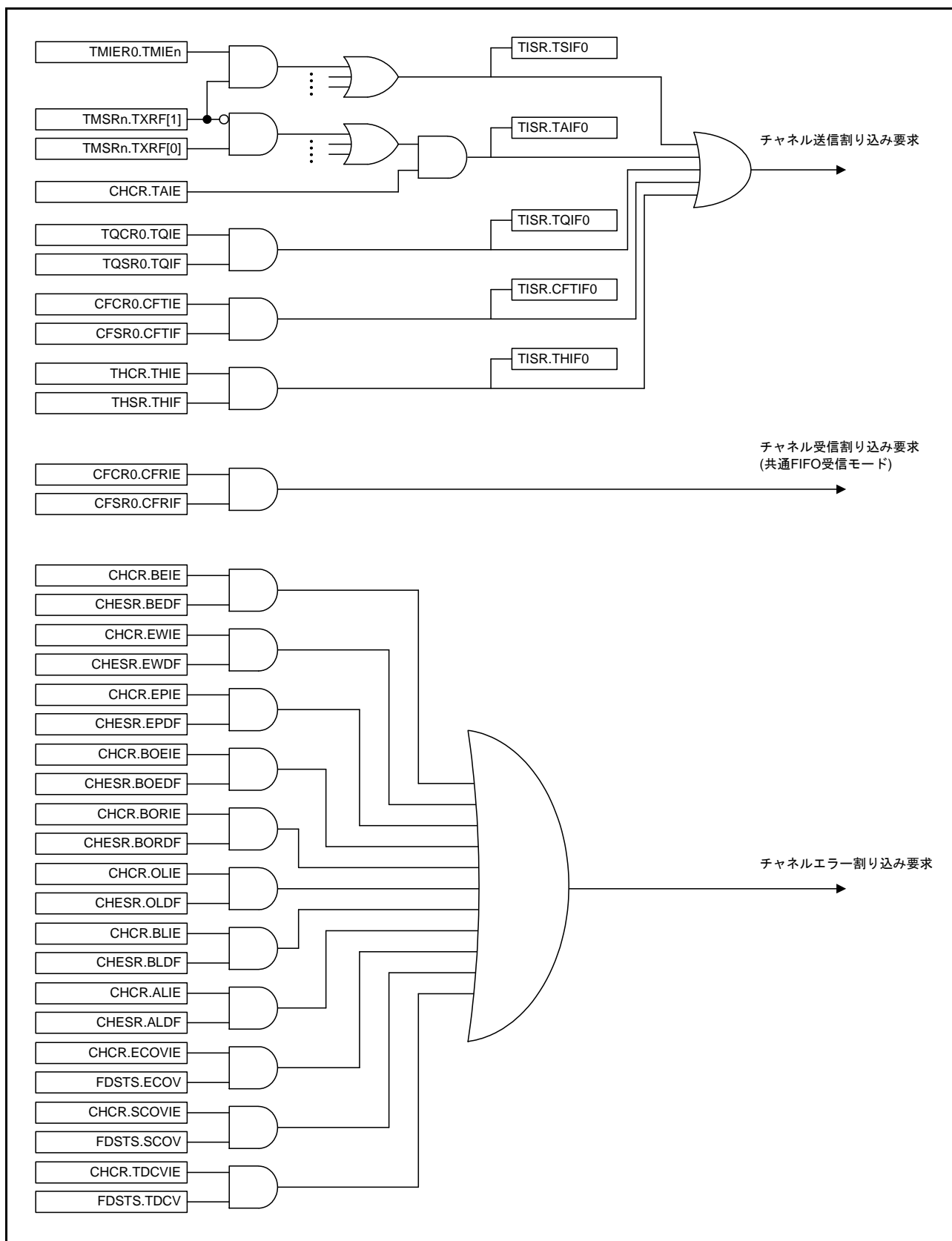


図 33.59 チャンネル割り込みのブロック図

33.10.2 ECC 割り込み

ECC デコーダが生成する割り込みは、以下の3つあります。

- 1ビット ECC エラー検出割り込み
- 2ビット ECC エラー検出割り込み
- ECC オーバフロー割り込み

33.10.3 DTC/DMA 転送要求

CANFD モジュールには、DTC/DMA 転送でデータを読み出せるメッセージバッファがあります。

- 2つの受信 FIFO メッセージバッファ
- 共通 FIFO メッセージバッファ

DTC/DMA 転送要求は、DTCR.RFDTE0、RFDTE1 または CFDTE0 ビットを“1”にした場合に、対応する FIFO が空でなくなると生成されます。

DTC/DMA 転送を有効にした FIFO については、受信 FIFO 割り込みを無効 (RFCR0.RFIE、RFCR1.RFIE または CFR0.CFRIE ビットを“0”)にしてください。

指定したペイロードサイズ (RFCR0.PLS[2:0]、RFCR1.PLS[2:0] または CFR0.PLS[2:0] ビット) のデータを読み出す(注1)と、FIFO 読み出しポインタが自動的に更新されます。

DTC/DMA 転送を許可したとき、FIFO ポインタ制御レジスタ (RFPCR0、RFPCR1、または CFPCR0) への書き込みは行わないでください。

注1. DTC/DMA は、RFCR0.PLS[2:0]、RFCR1.PLS[2:0] または CFR0.PLS[2:0] ビットで指定したデータ数を正確に読み出す必要があります。

DTC/DMA 転送の許可 (DTCR.RFDTE0、RFDTE1 または CFDTE0 ビット) はいつでも“1”にできます。図 33.60 に DTC/DMA 転送の設定フローを示します。

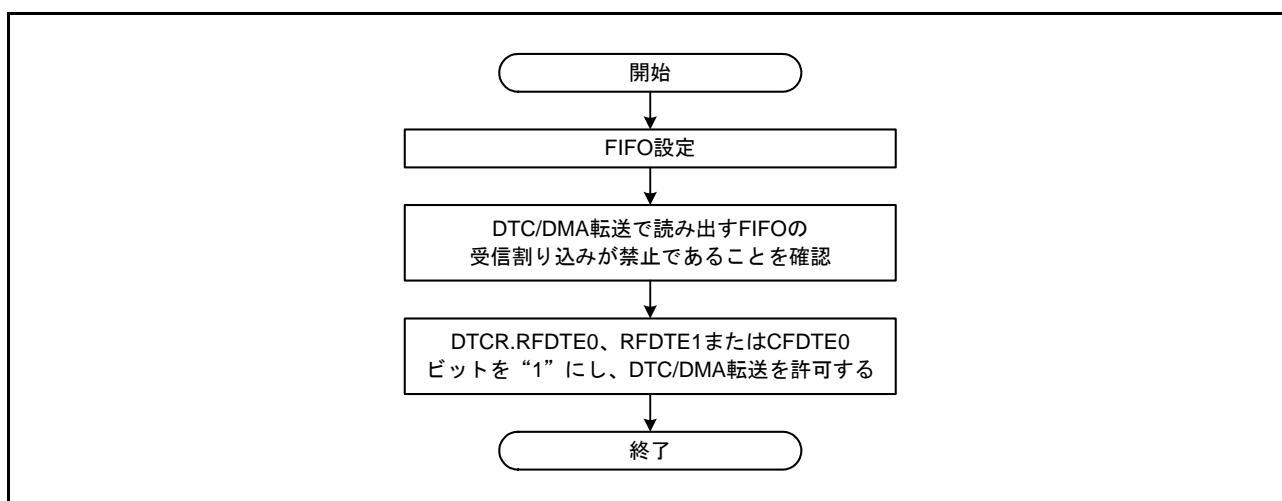


図 33.60 DTC/DMA 転送許可フロー

DTC/DMA 転送を禁止するには、対応する DMA 転送許可ビット (DTCR.RFDTE0、RFDTE1 または CFDTE0 ビット) を“0”にしてください。DTC/DMA 転送中に禁止した場合、実行中の転送が完了してから次の操作を行う必要があります。転送ステータスは、DTSR.RFDTS0、REDTS1 または CFDTS0 ビットで確

認できます。図 33.61 に、DTC/DMA 転送の禁止フローを示します。

DTC/DMA 転送を禁止した場合は、その FIFO に残っているメッセージや新たに受信するメッセージをどう処理するか検討してください。FIFO を無効にしていない場合、その FIFO への受信は続行されます。

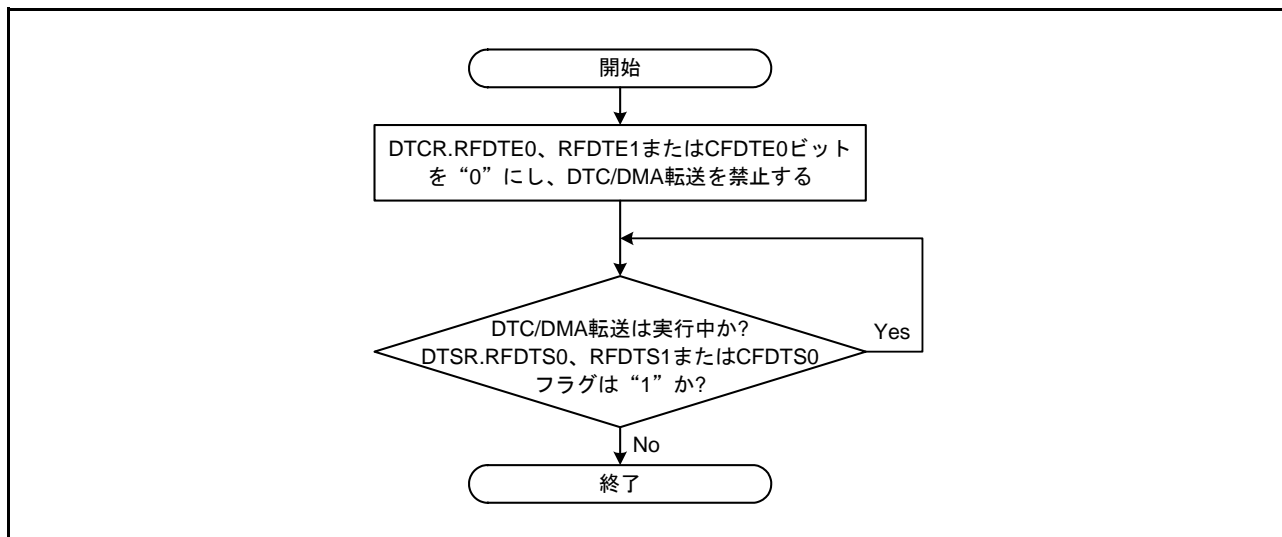


図 33.61 DTC/DMA 転送禁止フロー

33.11 使用上の注意事項

33.11.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、CANFD モジュールの動作禁止 / 許可を設定できます。リセット解除後、CANFD モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

33.11.2 受信メッセージバッファと FIFO バッファの設定に関する注意事項

受信メッセージバッファと FIFO バッファに使用できるメモリは、最大で 1216 バイトです。

たとえば、すべてのペイロードサイズを 8 バイトにした場合、メッセージサイズは 20 バイトになりますから、合計で 60 メッセージ以内に収める必要があります。受信メッセージバッファを 32 個確保した場合、FIFO は合計で 28 段までになります。

同様に、すべてのペイロードサイズを 64 バイトにした場合、メッセージサイズは 76 バイトになりますから、合計で 16 メッセージ以内に収める必要があります。すべての FIFO を 4 段に設定すると、受信メッセージバッファは 4 つしか確保できません。

なお、1216 バイトを超える設定を行った場合、動作は保証できません。

34. シリアルペリフェラルインタフェース (RSPId)

本章に記載している PCLK とは PCLKA を指します。

34.1 概要

本 MCU は、1 チャンネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重または単方向の同期式シリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 34.1 に RSPI の仕様を、図 34.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0～7 と規定しています。

表 34.1 RSPI の仕様 (1/2)

項目	内容
チャンネル数	1チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 通信モード：全二重または単方向 (送信のみ、受信のみ (スレーブモード時)) を選択可能 RSPCK の極性を変更可能 RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> MSB ファースト / LSB ファーストの切り替え可能 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 送信/受信バッファは 128 ビット 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) 送受信データをバイト単位でスワップ可能 送受信データのロジックレベルを反転可能
ビットレート	<ul style="list-style-type: none"> マスターモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2～4096 分周) スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLK の 4 分周) High 幅：PCLK の 2 サイクル、Low 幅：PCLK の 2 サイクル
バッファ構成	<ul style="list-style-type: none"> 送信および受信バッファはそれぞれダブルバッファ構造 送信および受信バッファは 128 ビット
エラー検出	<ul style="list-style-type: none"> モードフォルトエラー検出 オーバランエラー検出 (注1) パリティエラー検出 アンダランエラー検出
SSL 制御機能	<ul style="list-style-type: none"> 1 チャンネルあたり 4 本の SSL 端子 (SSLA0～SSLA3) シングルマスタ設定時には、SSLA0～SSLA3 端子を出力 マルチマスタ設定時：SSLA0 端子は入力、SSLA1～SSLA3 端子は出力または未使用 スレーブ設定時：SSLA0 端子は入力、SSLA1～SSLA3 端子は未使用 SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲：1～8 RSPCK 設定単位：1 RSPCK RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲：1～8 RSPCK 設定単位：1 RSPCK 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲：1～8 RSPCK 設定単位：1 RSPCK SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> 最大 8 コマンドで構成された転送を連続してループ実行可能 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能 バースト転送時のデータバイト間遅延を短縮可能

表 34.1 RSPIの仕様 (2/2)

項目	内容
割り込み要因	<ul style="list-style-type: none"> 割り込み要因 <ul style="list-style-type: none"> 受信バッファフル割り込み 送信バッファエンプティ割り込み エラー割り込み(モードフォルト、オーバラン、アンダラン、パリティエラー) アイドル割り込み 通信完了割り込み
イベントリンク機能 (出力)	<ul style="list-style-type: none"> 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) <ul style="list-style-type: none"> 受信バッファフルイベント 送信バッファエンプティイベント エラーイベント(モードフォルト、オーバラン、アンダラン、パリティエラー) アイドルイベント 通信完了イベント
その他の機能	<ul style="list-style-type: none"> RSPI初期化機能 ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

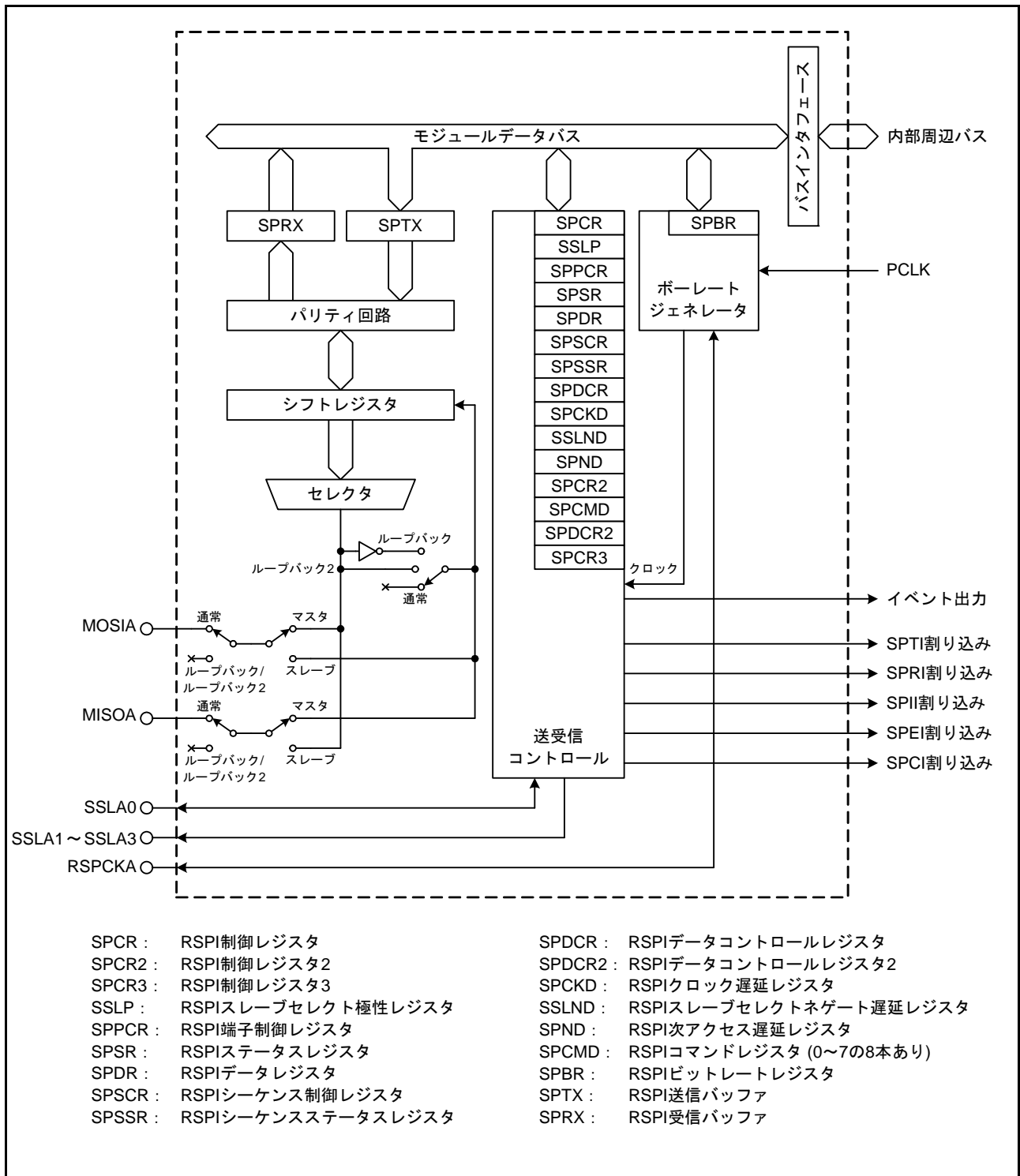


図 34.1 RSPIのブロック図

表 34.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ/スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「34.3.2 RSPI 端子の制御」を参照してください。

表 34.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

34.2 レジスタの説明

34.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 000D 0100h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODF EN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット(注1)	0: SPI動作(4線式) 1: クロック同期式動作(3線式)	R/W
b1	TXMD	通信動作モード選択ビット(注1)	0: 全二重通信(受信回路動作) 1: 送信のみの単方向通信(受信回路停止)	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット(注1)	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット(注1)	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	エラー割り込み許可ビット	0: エラー割り込み要求の生成を禁止 1: エラー割り込み要求の生成を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の生成を禁止 1: 送信バッファエンプティ割り込み要求の生成を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	受信バッファフル割り込み許可ビット	0: 受信バッファフル割り込み要求の生成を禁止 1: 受信バッファフル割り込み要求の生成を許可	R/W

注1. SPEビットが“1”の場合、MSTRビット、MODFENビット、TXMDビット、SPMSビットの値を変更しないでください。

SPMS ビット (RSPI モード選択ビット)

SPI動作(4線式)/クロック同期式動作(3線式)を選択するためのビットです。

クロック同期式動作を行う場合はSSLA0～SSLA3端子を使用せず、RSPCKA端子、MOSIA端子、MISOA端子の3端子を用いて通信を行います。また、マスタモード時(SPCR.MSTR=1)でクロック同期式動作を行う場合は、SPCMDm.CPHAビットを“0”、“1”どちらにも設定できます。スレーブモード時(SPCR.MSTR=0)でクロック同期式動作を行う場合はCPHAビットを“1”に設定してください。スレーブモード時(SPCR.MSTR=0)でクロック同期式動作を行う場合、CPHAビットを“0”にしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重通信、または送信のみの単方向通信を選択するためのビットです。

TXMDビットを“1”にして通信を行う場合、送信動作のみを行い、受信動作を行いません(「34.3.6 通信動作モード」参照)。

また、TXMDビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

SPCR3.RXMDビットが“1”(受信のみの単方向通信)の場合、TXMDビットの設定は無効です。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです(「34.3.10 エラー検出」を参照)。また、RSPIはMODFENビットとMSTRビットとの組み合わせに従って、SSLA0～SSLA3端子の入出力方向を決定します(「34.3.2 RSPI端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPIのマスタ/スレーブモードを選択するためのビットです。また、RSPIはMSTRビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0～SSLA3端子の方向を決定します。

SPEIE ビット (エラー割り込み許可ビット)

RSPIがモードフォルトエラーまたはアンダランエラーを検出してSPSR.MODFフラグを“1”にした場合、RSPIがオーバランエラーを検出してSPSR.OVRFフラグを“1”にした場合、またはパリティエラーを検出してSPSR.PERFフラグを“1”にした場合のエラー割り込み要求の生成を許可/禁止します。詳細については、「34.3.10 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPIが送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の生成を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIEビットと同時または後に、SPEビットを“1”にすることで発生します。

RSPI機能は無効(SPEビットが“0”)に遷移しても、SPTIEビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI機能の有効/無効を選択します。

SPSR.MODFフラグが“1”の場合には、SPEビットを“1”にすることはできません。詳細は「34.3.10 エラー検出」を参照してください。

SPEビットを“0”にすると、RSPI機能が無効化され、モジュール機能の一部が初期化されます。詳細は「34.3.11 RSPIの初期化」を参照してください。また、SPEビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (受信バッファフル割り込み許可ビット)

RSPIがシリアル転送完了後の受信バッファフルを検出し、受信バッファフル割り込み要求の生成を許可/禁止します。

34.2.2 RSPIスレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 000D 0101h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SSLPレジスタを書き換えないでください。

34.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 000D 0102h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0 : 通常モード 1 : ループバックモード(データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0 : 通常モード 1 : ループバックモード(データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0 : MOSIアイドル時のMOSIA端子の出力値はLow 1 : MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0 : MOSI出力値は前回転送の最終データ 1 : MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPE ビットが“1”の場合、SPPCRレジスタを書き換えしないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路(反転)を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間(バースト転送における SSL 保持期間を含む)の MOSIA 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間(バースト転送における SSL 保持期間を含む)に MOSIA 出力値を固定するために使用するビットです。MOIFE が“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

34.2.4 RSPi ステータスレジスタ (SPSR)

アドレス RSPi0.SPSR 000D 0103h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	SPCF	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF

リセット後の値 0 0 1 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R/(W) (注1)
b1	IDLNF	アイドルフラグ	0: RSPiがアイドル状態 1: RSPiが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし、アンダランエラーなし 1: モードフォルトエラーまたはアンダランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダランエラーフラグ	MODFフラグと組み合わせてモードフォルトエラーとアンダランエラーの発生状況が確認できます。 b4 b2 0 0: モードフォルトエラーなし、アンダランエラーなし 0 1: モードフォルトエラー発生 1 1: アンダランエラー発生	R/(W) (注1、 注2)
b5	SPTEF	送信バッファエンプティフラグ	0: 送信バッファに有効なデータあり 1: 送信バッファに有効なデータなし	R (注3)
b6	SPCF	通信完了フラグ	0: 通信を開始していない、または通信中 1: 通信完了	R/(W) (注1)
b7	SPRF	受信バッファフルフラグ	0: 受信バッファに有効なデータなし 1: 受信バッファに有効なデータあり	R (注3)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. UDRFフラグを“0”にするときは、同時にMODFフラグも“0”にしてください。

注3. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないため、“1”になりません。詳細は「34.3.10.1 オーバランエラー」を参照ください。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、かつ受信バッファがフルの状態での次の受信が終了したとき
- SPCR.MSTR ビットが“0”、SPCR3.RXMD ビットが“1”、かつ受信バッファがフルの状態での次の受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記["0" になる条件]のマスタモード時の条件がいずれも満たされないとき

【スレーブモード】

- SPCR.SPE ビットが "1" (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

- SPCR.SPE ビットが "0" (RSPI 初期化) のとき
- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)
 2. SPSSR.SPCP[2:0] ビットが "000b"
 3. 最終ビットの送出自体が完了し、SSLND.SLNDL[2:0] ビットと SPND.SPNDL[2:0] ビットで指定した時間が経過した

【スレーブモード】

- SPCR.SPE ビットが "0" (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーとアンダランエラーの発生を示します。モードフォルトエラーとアンダランエラーのどちらが発生したかは、UDRF フラグによって判別できます。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが "1" (マスタモード)、SPCR.MODFEN ビットが "1" (モードフォルトエラー検出を許可) の状態で、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが "0" (スレーブモード)、SPCR.MODFEN ビットが "1" (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが "1" (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが "1" の状態の SPSR レジスタを読んだ後、MODF フラグに "0" を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1"になる条件]

- SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態を受信が終了し、パリティエラーが検出されたとき
- SPCR.MSTR ビットが“0”、SPCR3.RXMD ビットが“1”、かつ SPCR2.SPPE ビットが“1”の状態を受信が終了し、パリティエラーが検出されたとき

["0"になる条件]

- PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書いたとき

UDRF フラグ (アンダランエラーフラグ)

アンダランエラーが発生したことを示すフラグです。このフラグが“1”になると、MODF フラグも“1”になります。MODF フラグが“1”のときにこのフラグが“0”であれば、発生したエラーはモードフォルトエラーです。

["1"になる条件]

- SPCR.MSTR ビットが“0”(スレーブモード)、SPCR3.RXMD ビットが“0”、SPCR.SPE ビットが“1”(RSPI機能は有効)で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

["0"になる条件]

- UDRF フラグが“1”の状態の SPSR レジスタを読んだ後、UDRF フラグに“0”を書いたとき

SPTEF フラグ (送信バッファエンプティフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

["1"になる条件]

- SPCR.SPE ビットが“0”(RSPI 初期化)のとき
- SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データが送信バッファからシフトレジスタに転送されたとき

["0"になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

SPCF フラグ (通信完了フラグ)

RSPI の通信が完了したことを示すフラグです。

["1"になる条件]

【マスタモード】

- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)
 2. SPSSR.SPCP[2:0] ビットが“000b”
 3. 最終ビットの送りが完了し、SSLND.SLNDL[2:0] ビットと SPND.SPNDL[2:0] ビットで指定した時間が経過した

【SPI 動作、スレーブモード時の全二重通信または送信のみの単方向通信】

- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)

2. 送信シフトレジスタが空
3. SSLA0 信号がネゲートされた

【クロック同期式動作、スレーブモード時の全二重通信または送信のみの単方向通信】

- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)
 2. 送信シフトレジスタが空
 3. 最終データの最終ビットを受信した (RSPCK 最終偶数エッジ)

【SPI 動作、スレーブモード時の受信のみの単方向通信】

- SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わった後、SSLA0 信号がネゲートされたとき

【クロック同期式動作、スレーブモード時の受信のみの単方向通信】

- SPDCR.SPFC[1:0] ビットに設定した数のフレームを受信し終わったとき (RSPCK 最終偶数エッジ)

["0" になる条件]

【全二重通信または送信のみの単方向通信】

- 次の送信データを送信バッファに書き込んだとき
- SPCF フラグが "1" の状態の SPSR レジスタを読んだ後、SPCF フラグに "0" を書いたとき

【SPI 動作、スレーブモード時の受信のみの単方向通信】

- 次データの SSLA0 信号のアサートを検出したとき
- SPCF フラグが "1" の状態の SPSR レジスタを読んだ後、SPCF フラグに "0" を書いたとき

【クロック同期式動作、スレーブモード時の受信のみの単方向通信】

- 次データの RSPCK 信号の最初のエッジを検出したとき
- SPCF フラグが "1" の状態の SPSR レジスタを読んだ後、SPCF フラグに "0" を書いたとき

SPRF フラグ (受信バッファフルフラグ)

RSPId データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

["1" になる条件]

- SPCR.TXMD ビットが "0" (全二重)、SPRF フラグが "0" のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが "1" のときは、"1" に変化しません。
- SPCR.MSTR ビットが "0"、SPCR3.RXMD ビットが "1"、SPRF フラグが "0" のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが "1" のときは、"1" に変化しません。

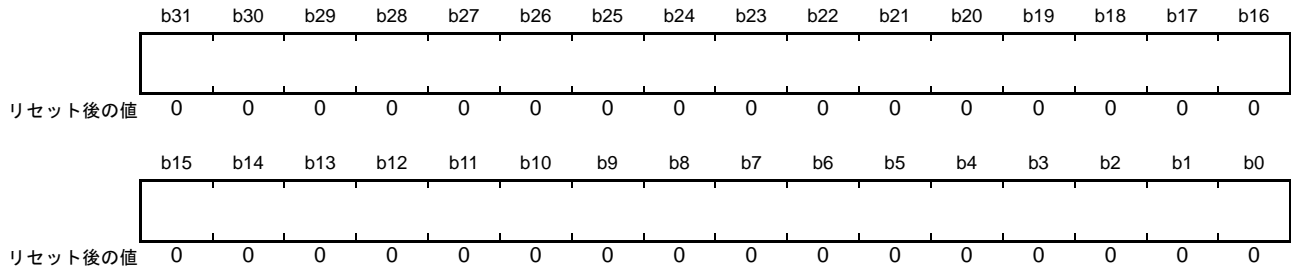
["0" になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

34.2.5 RSPi データレジスタ (SPDR)

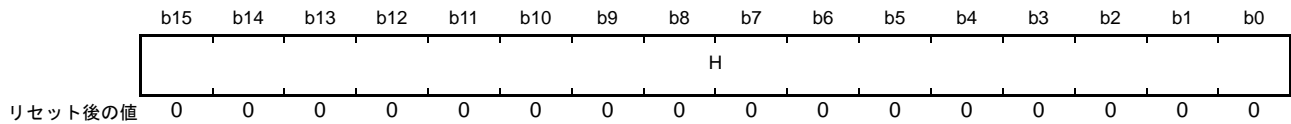
- ロングワードアクセス時

アドレス RSPi0.SPDR 000D 0104h



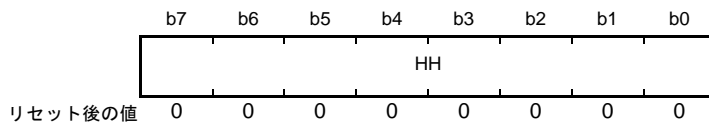
- ワードアクセス時

アドレス RSPi0.SPDR.H 000D 0104h



- バイトアクセス時

アドレス RSPi0.SPDR.HH 000D 0104h



SPDR レジスタは、RSPi 送受信用のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”、SPBYT ビットが“0”) のときは、SPDR を 32 ビット単位でアクセスしてください。

ワードアクセス (SPLW ビットが“0”、SPBYT ビットが“0”) のときは、SPDR.H を 16 ビット単位でアクセスしてください。

バイトアクセス (SPBYT ビットが“1”) のときは、SPDR.HH を 8 ビット単位でアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 34.2 に示します。

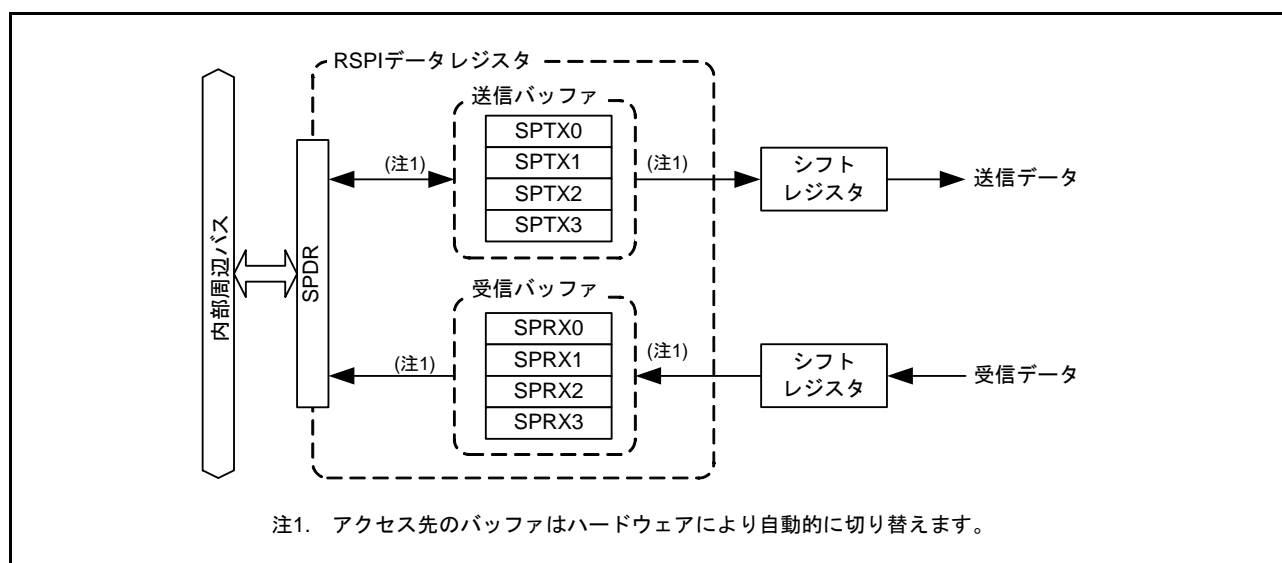


図 34.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ4バッファあります。使用するバッファ数は、RSPIデータコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計8バッファが1アドレスにマッピングされています。

送信バッファ SPTX n ($n=0\sim3$) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバーラン発生時は、受信バッファの値を更新しません。

また、データ長が32ビット以外の場合、SPRX n ($n=0\sim3$) の非参照ビットには、SPTX n ($n=0\sim3$) の非参照ビットが格納されます。

たとえば、データ長が9ビットのデータを受信した場合は SPRX n [8:0] には受信データが格納され、SPRX n [31:9] に SPTX n [31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、SPDCR.SPLW ビット、SPDCR.SPBYT ビットで設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書き込むことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポイントがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 34.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

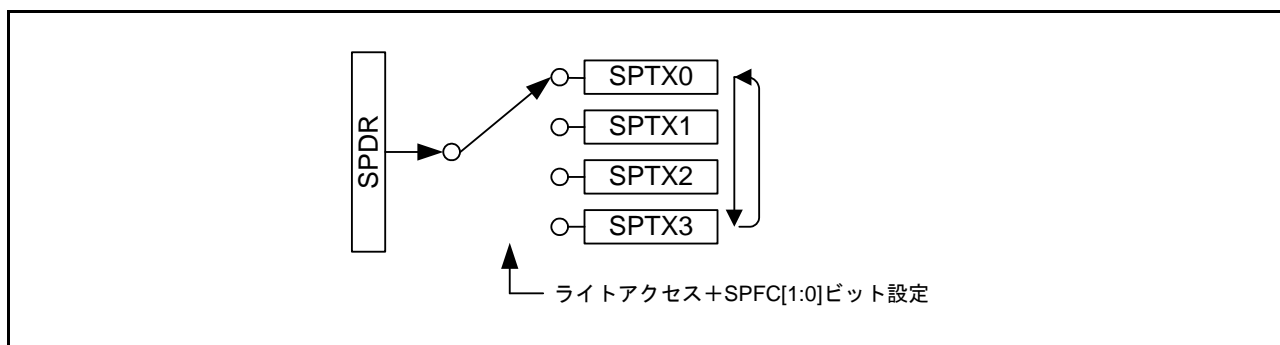


図 34.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポイントの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ SPTX3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット

(SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 34.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

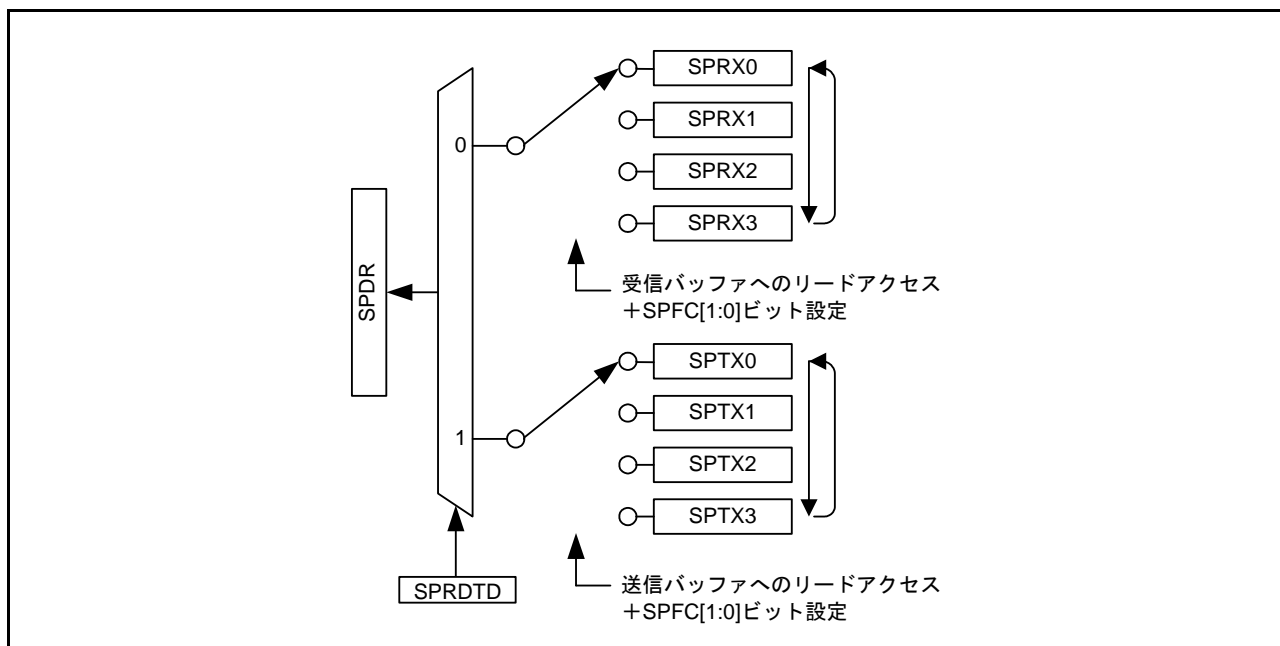


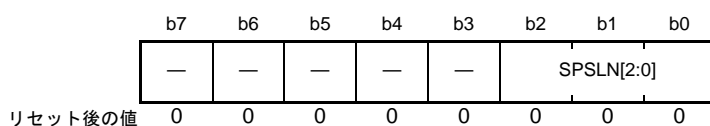
図 34.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファの読み出し値は、すべて “0” となります。

34.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 000D 0108h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0~7レジスタ(番号) 0 0 0 : 1 0→0→... 0 0 1 : 2 0→1→0→... 0 1 0 : 3 0→1→2→0→... 0 1 1 : 4 0→1→2→3→0→... 1 0 0 : 5 0→1→2→3→4→0→... 1 0 1 : 6 0→1→2→3→4→5→0→... 1 1 0 : 7 0→1→2→3→4→5→6→0→... 1 1 1 : 8 0→1→2→3→4→5→6→7→0→... 設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されません。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスタモードで動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

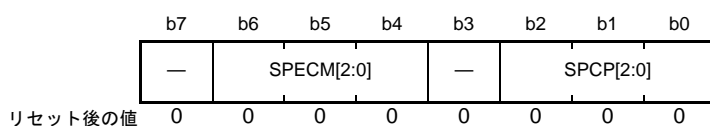
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、SPCMD0レジスタが参照されます。

34.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 000D 0109h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタモードで動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
なお、RSPI のシーケンス制御については、「34.3.12.1 マスタモード動作」を参照してください。

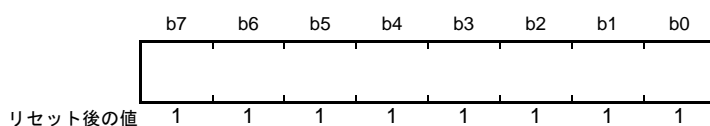
SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「34.3.10 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「34.3.12.1 マスタモード動作」を参照してください。

34.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 000D 010Ah



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに“1”の場合、SPBR レジスタを書き換えしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, …, 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 34.3 に示します。相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 34.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタ の設定値 (n)	BRDV[1:0] ビットの 設定値 (N)	分周比	ビットレート							
			PCLK = 32 MHz	PCLK = 36 MHz	PCLK = 40 MHz	PCLK = 50 MHz	PCLK = 60 MHz	PCLK = 80 MHz	PCLK = 100 MHz	PCLK = 120 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps	25.0 Mbps	30.0 Mbps	40.0 Mbps	—	—
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps	15.0 Mbps	20.0 Mbps	25.0 Mbps	30.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps	10.0 Mbps	13.3 Mbps	16.7 Mbps	20.0 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps	7.50 Mbps	10.0 Mbps	12.5 Mbps	15.0 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps	6.00 Mbps	8.00 Mbps	10.0 Mbps	12.0 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps	5.00 Mbps	6.67 Mbps	8.33 Mbps	10.0 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps	2.50 Mbps	3.33 Mbps	4.17 Mbps	5.00 Mbps
5	2	48	667 kbps	750 kbps	833 kbps	1.04 Mbps	1.25 Mbps	1.67 Mbps	2.08 Mbps	2.50 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps	625 kbps	833 kbps	1.04 Mbps	1.25 Mbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps	14.6 kbps	19.5 kbps	24.4 kbps	29.3 kbps

34.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPi0.SPDCR 000D 010Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	SPBYT	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット(注1)	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b6	SPBYT	RSPIバイトアクセス設定ビット	0 : SPDRレジスタへはワードアクセスまたはロングワードアクセス(SPLWビット有効) 1 : SPDRレジスタへはバイトアクセス(SPLWビット無効)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPDRレジスタにワードまたはロングワードでアクセスする場合は、SPBYTビットを“0”にしてください。

SPCMDm.SP[3:0] ビット、SPSCR.SP[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる(1回の転送起動)フレーム数を設定します。SPSCR.SP[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、受信バッファフル割り込みが発生したり、送信バッファエンpty割り込みが発生したり、送信が開始されたりするフレーム数も変更されます。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンpty割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり受信バッファフル割り込みが発生します。

表 34.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定はしないでください。

表 34.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	送信バッファ、受信バッファが 「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「34.2.5 RSPI データレジスタ (SPDR)」を参照してください。

SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが“0”のとき有効です。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットは選択しないでください。

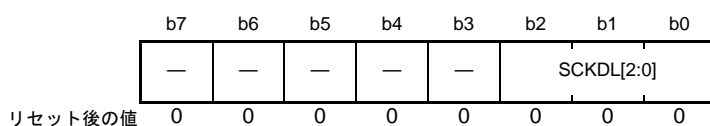
SPBYT ビット (RSPI バイトアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが“0”のときは、SPLW ビットの設定に従って SPDR レジスタにアクセスしてください。SPBYT ビットが“1”のときは、バイトアクセスで SPDR レジスタにアクセスしてください。

また、SPBYT ビットが“1”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ビットに設定してください。9 ~ 16、20、24、32 ビットは選択しないでください。

34.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 000D 010Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPCKD レジスタを書き換えしないでください。

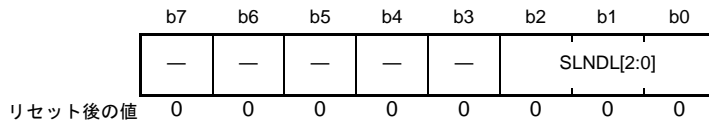
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

34.2.11 RSPi スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPi0.SSLND 000D 010Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPiがシリアル転送の最終RSPCKエッジを送出してからSSLAi信号をネゲートするまでの期間(SSLネゲート遅延)を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の場合、SSLNDレジスタを書き換えしないでください。

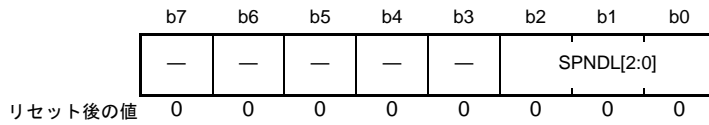
SLNDL[2:0] ビット (SSLネゲート遅延設定ビット)

SPCMDm.SLNDENビットが“1”の場合のSSLネゲート遅延値を設定します。

RSPiをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

34.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 000D 010Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLAi 信号の非アクティブ期間(次アクセス遅延)を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPND レジスタを書き換えしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

34.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 000D 010Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKAS E	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット(注1)	0: 送信データにパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加する 受信データのパリティチェックを行う	R/W
b1	SPOE	パリティモードビット(注1)	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	アイドル割り込み許可ビット	0: アイドル割り込み要求の生成を禁止 1: アイドル割り込み要求の生成を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット (注1)	0: RSPCK自動停止機能が無効 1: RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPCR.SPEビットが“1”の場合、SPPE、SPOE、SCKASEビットの設定値を変更しないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、アイドル割り込み要求の生成を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「34.3.10.1 オーバランエラー」を参照ください。

34.2.14 RSPi コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)

アドレス RSPi0.SPCMD0 000D 0110h, RSPi0.SPCMD1 000D 0112h, RSPi0.SPCMD2 000D 0114h,
RSPi0.SPCMD3 000D 0116h, RSPi0.SPCMD4 000D 0118h, RSPi0.SPCMD5 000D 011Ah,
RSPi0.SPCMD6 000D 011Ch, RSPi0.SPCMD7 000D 011Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA		
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持(バースト転送)	R/W
b11-b8	SPB[3:0]	RSPiデータ長設定ビット	b11 b8 0100~0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPi LSBファーストビット	0: MSBファースト 1: LSBファースト	R/W
b13	SPNDEN	RSPi次アクセス遅延許可ビット	0: 次アクセス遅延は1 RSPCK + 2 PCLK 1: 次アクセス遅延はRSPi次アクセス遅延レジスタ (SPND)の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1 RSPCK 1: SSLネゲート遅延はRSPiスレーブセレクトネゲート遅延レジスタ (SSLND)の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1 RSPCK 1: RSPCK遅延はRSPiクロック遅延レジスタ (SPCKD)の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の場合、SPCMDm レジスタを書き換えしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「34.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし /2 分周 /4 分周 /8 分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを“1”とすることによってバースト転送が可能となります。詳細は「34.3.12.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。SPDCR.SPBYT ビットが“1”のときは“0100b”(8ビット)に設定してください。SPDCR.SPBYT ビットが“0”、かつSPDCR.SPLW ビットが“0”のときは、“0100b”(8ビット)～“1111b”(16ビット)の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSB ファーストにするかLSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードのRSPIがシリアル転送を終了してSSLAi信号を非アクティブにしてから、次アクセスのSSLAi信号アサートを可能にするまでの期間(次アクセス遅延)を設定します。SPNDEN ビットが“0”のとき、RSPIは次アクセス遅延を $1 \text{ RSPCK} + 2 \text{ PCLK}$ にします。SPNDEN ビットが“1”のとき、RSPIはSPNDレジスタの設定に従った次アクセス遅延を挿入します。

RSPIをスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードのRSPIが、RSPCKを発振停止してからSSLAi信号を非アクティブにするまでの期間(SSLネゲート遅延)を設定します。SLNDEN ビットが“0”のとき、RSPIはSSLネゲート遅延を 1 RSPCK にします。SLNDEN ビットが“1”のとき、RSPIはSSLNDレジスタの設定に従ったRSPCK遅延でSSLをネゲートします。

RSPIをスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードのRSPIが、SSLAi信号をアクティブにしてからRSPCKを発振するまでの期間(RSPCK遅延)を設定します。SCKDEN ビットが“0”のとき、RSPIはRSPCK遅延を 1 RSPCK にします。SCKDEN ビットが“1”のとき、RSPIはSPCKDレジスタの設定に従ったRSPCK遅延でRSPCKの発振を開始します。

RSPIをスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

34.2.15 RSPi データコントロールレジスタ 2 (SPDCR2)

アドレス RSPi0.SPDCR2 000D 0120h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DINV	BYSW
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYSW	バイトスワップビット	0 : SPDRのデータをバイト単位でスワップしない 1 : SPDRのデータをバイト単位でスワップする	R/W
b1	DINV	転送データ反転ビット	0 : 送信バッファのデータをそのままシフトレジスタに転送、受信したデータをそのまま受信バッファに転送 1 : 送信バッファのデータを論理反転してシフトレジスタに転送、受信したデータを論理反転して受信バッファに転送	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPDCR2 レジスタは、送受信データのバイトの並び、データ論理を設定するためのレジスタです。SPCR.SPE ビットが“0”のときに書き換えてください。

BYSW ビット (バイトスワップビット)

送信時は SPDR レジスタに書かれたデータの送信順序を、受信時は受信したデータを SPDR レジスタに転送するときのバイト位置を、変更するためのビットです。SPDCR.SPBYT ビットが“0”のとき有効です。

バイトスワップを使用する場合は、SPCMD.SPB[3:0] ビットを“1111b”(16 ビット)、“0010b”(32 ビット) または“0011b”(32 ビット) のいずれかに設定してください。また、SPCR2.SPPE ビットは“0”(パリティビットを付加しない)にしてください。

詳細は、「34.3.4.3 バイトスワップ送信」、「34.3.4.4 バイトスワップ受信」を参照してください。

DINV ビット (転送データ反転ビット)

送受信バッファとシフトレジスタ間のデータ転送時に、各ビットの論理反転を行うビットです。

パリティビットはシフトレジスタに転送された後のデータに対して付加されます。また、パリティチェックもシフトレジスタ内のデータに対して行われます。

34.2.16 RSPI 制御レジスタ 3 (SPCR3)

アドレス RSPI0.SPCR3 000D 0121h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SPCIE	—	—	SCKDDIS	RXMD

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	RXMD	受信動作モード設定ビット (注1)	0: 全二重通信または送信のみの単方向通信(送信回路動作) 1: 受信のみの単方向通信(送信回路停止)	R/W
b1	SCKDDIS	データバイト間RSPCK遅延無効化ビット(注1)	0: バースト転送時のデータバイト間に遅延を入れる 1: バースト転送時のデータバイト間の遅延をなくす	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SPCIE	通信完了割り込み許可ビット	0: 通信完了割り込み要求の生成を禁止 1: 通信完了割り込み要求の生成を許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SPCR.SPEビットが“1”の場合、RXMD、SCKDDISビットの設定値を変更しないでください。

SPCR3 レジスタは、RSPI の動作モードを設定するレジスタです。

RXMD ビット (受信動作モード設定ビット)

送信回路を停止させ、受信回路のみを動作させるためのビットです。スレーブモード時のみ有効です。このビットが“1”のとき、SPCR.TXMD ビットの設定は無視されます。

SCKDDIS ビット (データバイト間RSPCK遅延無効化ビット)

バースト転送時に、各データバイト間の遅延を挿入するかしないかを選択するビットです。

マスタモード時かつSPCMDm.SSLKPビットが“1”の場合に有効です。スレーブモード時は“0”にしてください。

SPCIE ビット (通信完了割り込み許可ビット)

通信完了割り込み要求の生成を許可/禁止するビットです。

34.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

34.3.1 RSPi 動作の概要

RSPi は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPi のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 34.5 に RSPi のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 34.5 RSPi のモードと SPCR レジスタの設定の関係および各モードの概要

モード	SPI 動作			クロック同期式動作	
	スレーブ	シングルマスタ	マルチマスタ	スレーブ	マスタ
MSTR ビットの設定	0	1	1	0	1
MODFEN ビットの設定	0 or 1	0	1	0	0
SPMS ビットの設定	0	0	0	1	1
RSPCKA 信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MOSIA 信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MISOA 信号	出力 /Hi-Z(注2)	入力	入力	出力	入力
SSLA0 信号	入力	出力	入力	Hi-Z(注3)	Hi-Z(注3)
SSLA1 ~ SSLA3 信号	Hi-Z(注3)	出力	出力 /Hi-Z(注1)	Hi-Z(注3)	Hi-Z(注3)
SSL 極性変更機能	あり	あり	あり	—	—
転送レート	~ PCLK/4	~ PCLK/2	~ PCLK/2	~ PCLK/4	~ PCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8 ~ 16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブ または RSPCK 発振	送信バッファエンブティ割り込み要求、 または SPTEF = 1 で送信バッファ書き込み	送信バッファエンブティ割り込み要求、 または SPTEF = 1 で送信バッファ書き込み	RSPCK 発振	送信バッファエンブティ割り込み要求、 または SPTEF = 1 で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブティ検出	あり(注7)	あり	あり	あり(注7)	あり
受信バッファフル検出	あり(注4)				
オーバランエラー検出	あり(注4)	あり(注4、注6)	あり(注4、注6)	あり(注4)	あり(注4、注6)
アンダランエラー検出	あり(注7)	なし	なし	あり(注7)	なし
パリティエラー検出	あり(注4、注5)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. SSLA0が他のマスタによってアサートされると、端子がHi-Zになります。

注2. SSLA0がネゲートされているまたはSPCR.SPEビットが“0”の場合、端子がHi-Zになります。

注3. 本モードでは使用しません。

注4. SPCR.TXMDビットが“1”のときは、受信バッファフル、オーバランエラー、パリティエラーの検出を行いません。

注5. SPCR2.SPPEビットが“0”のときは、パリティエラーの検出を行いません。

注6. SPCR2.SCKASEビットが“1”のときは、オーバランエラーの検出を行いません。

注7. SPCR3.RXMDビットが“1”のときは、送信バッファエンプティとアンダランエラーの検出を行いません。

34.3.2 RSPI 端子の制御

シングルマスターモード(SPI動作)、マルチマスターモード(SPI動作)のRSPIは、SPPCR.MOIFE、MOIFVビットの設定に従って、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)のMOSI信号値を表34.6のように決定します。

表34.6 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSI信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

34.3.3 RSPi システム構成例

34.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 34.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPi システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

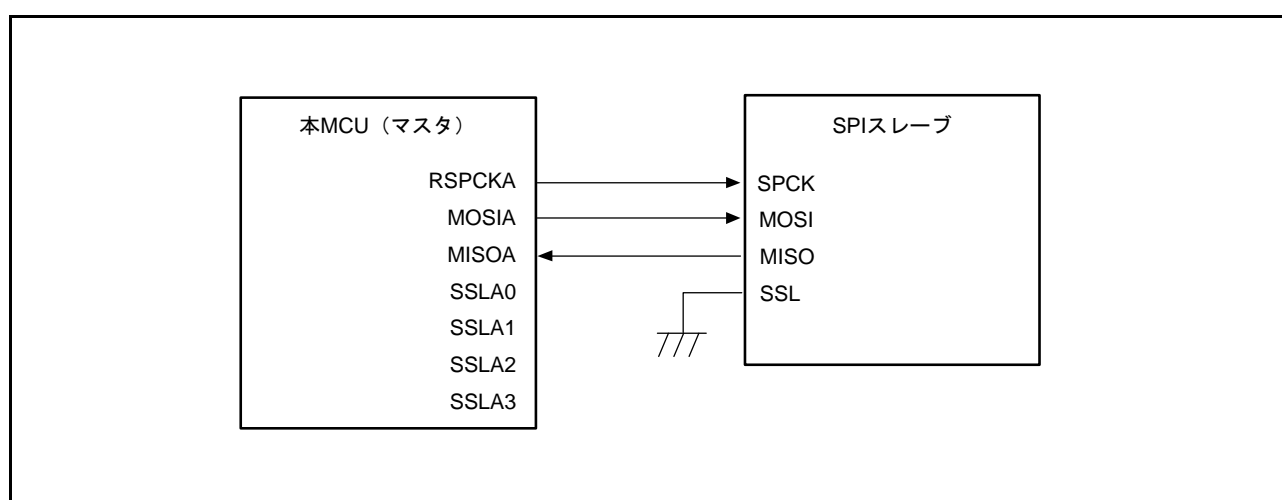


図 34.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

34.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 34.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です(図 34.7)。ただしこの場合、通信完了割り込みや通信完了イベントは発生しません。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

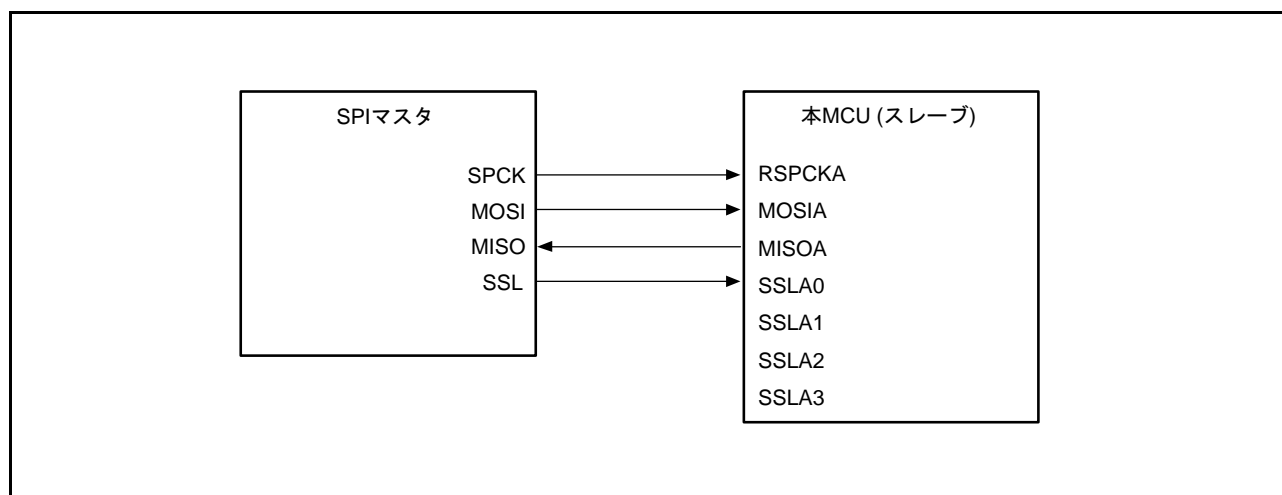


図 34.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

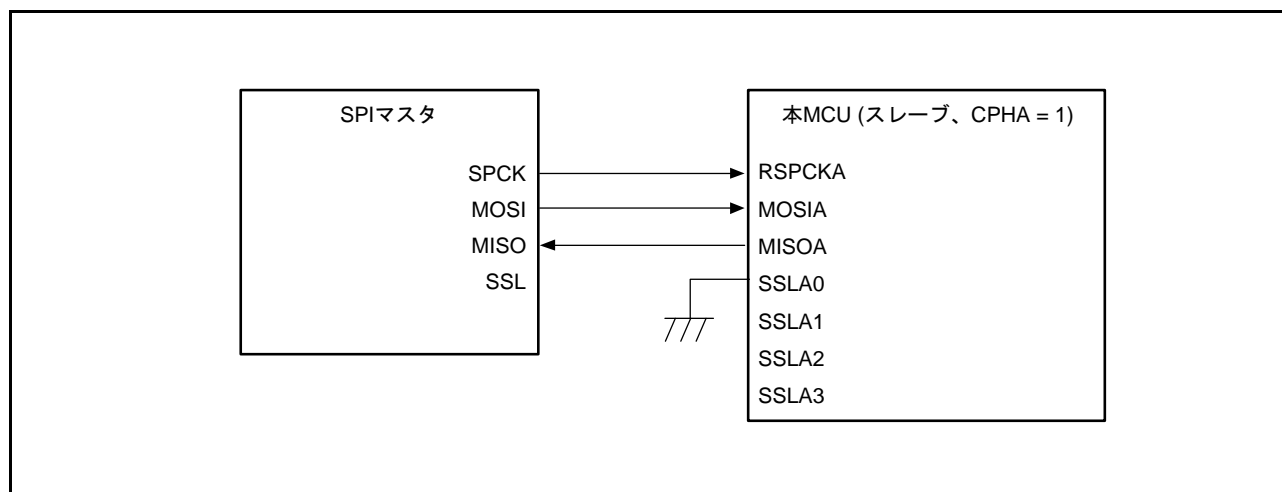


図 34.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

34.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 34.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPi システム構成例を示します。図 34.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPi システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入力に接続します。本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ~ SSLA3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

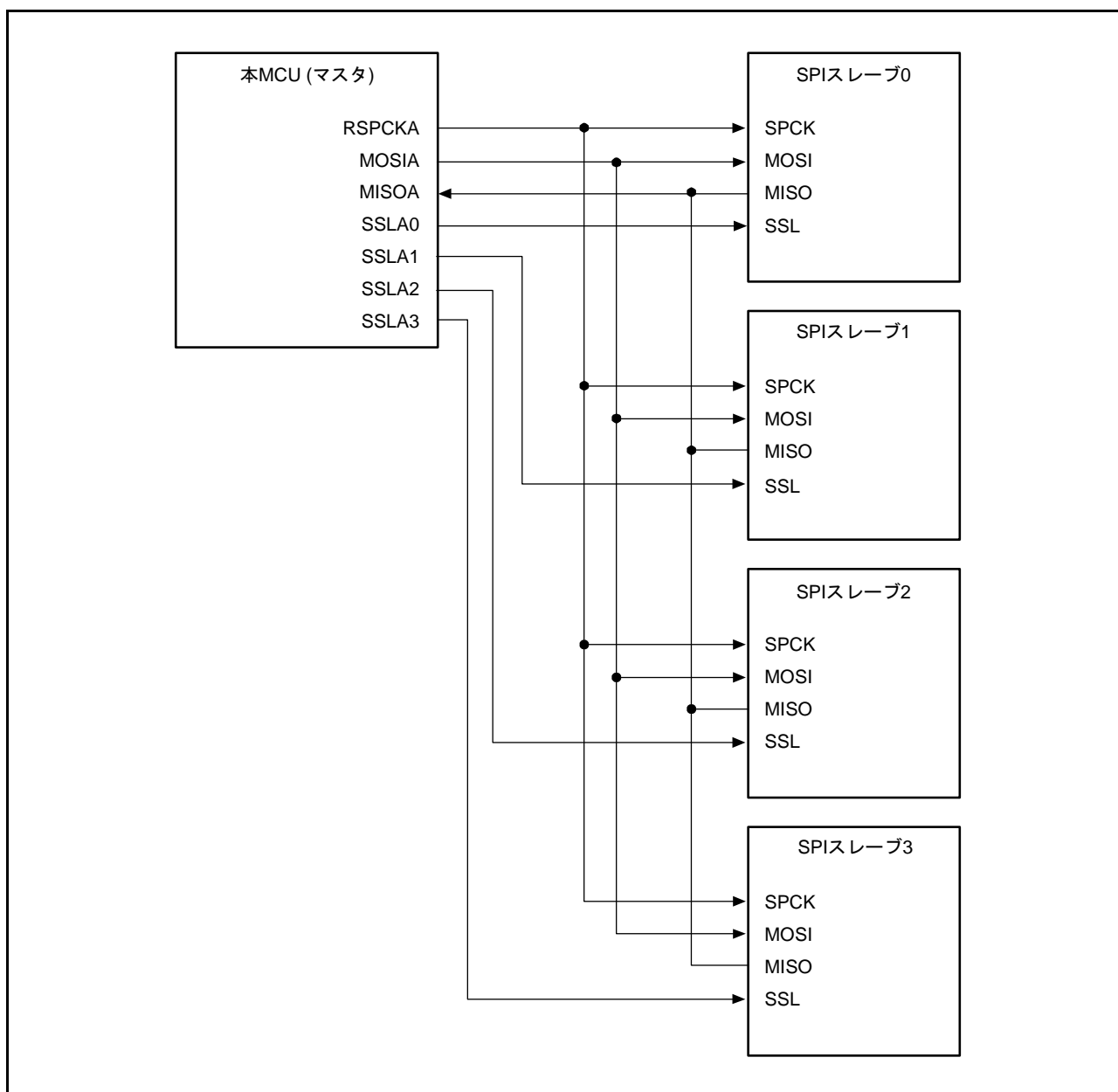


図 34.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

34.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 34.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 34.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入口に Low を入力されているスレーブが、MISOA をドライブします。

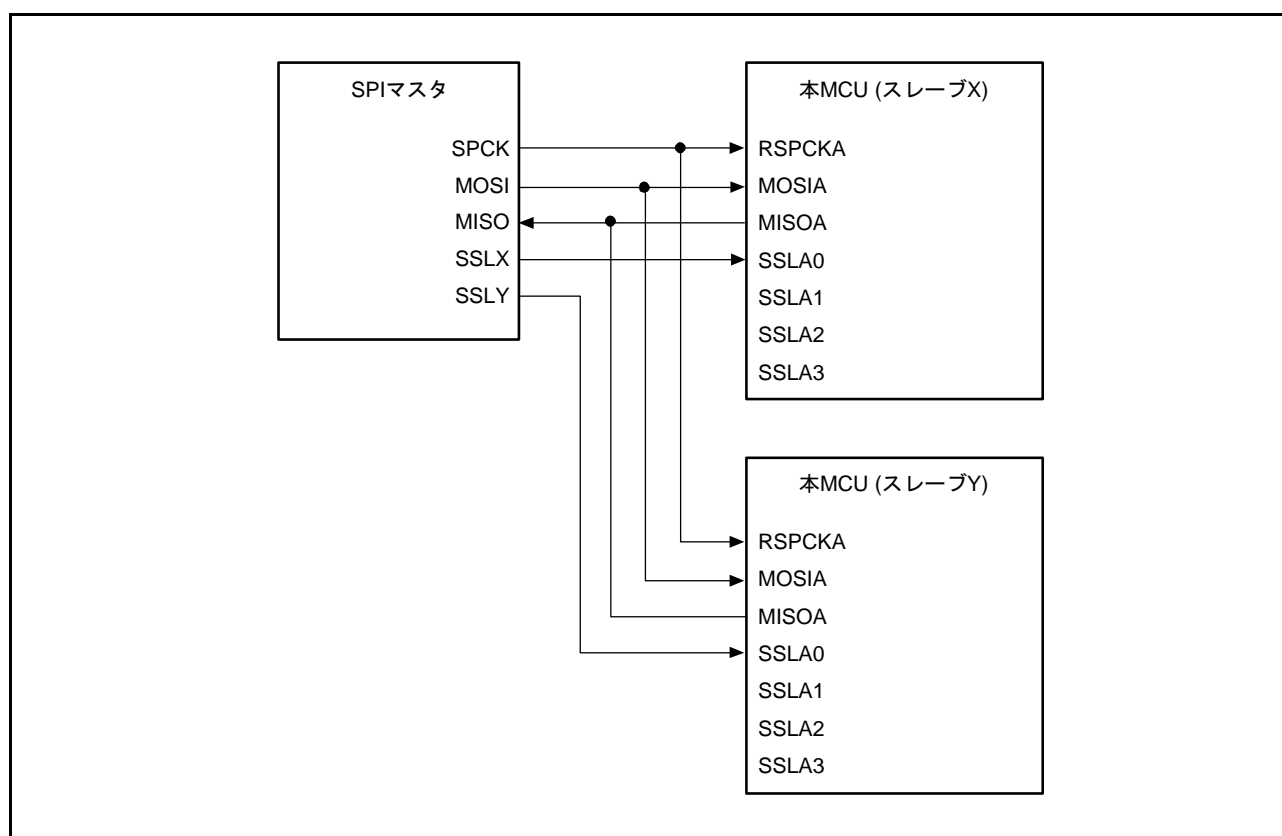


図 34.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

34.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 34.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 34.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と 2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

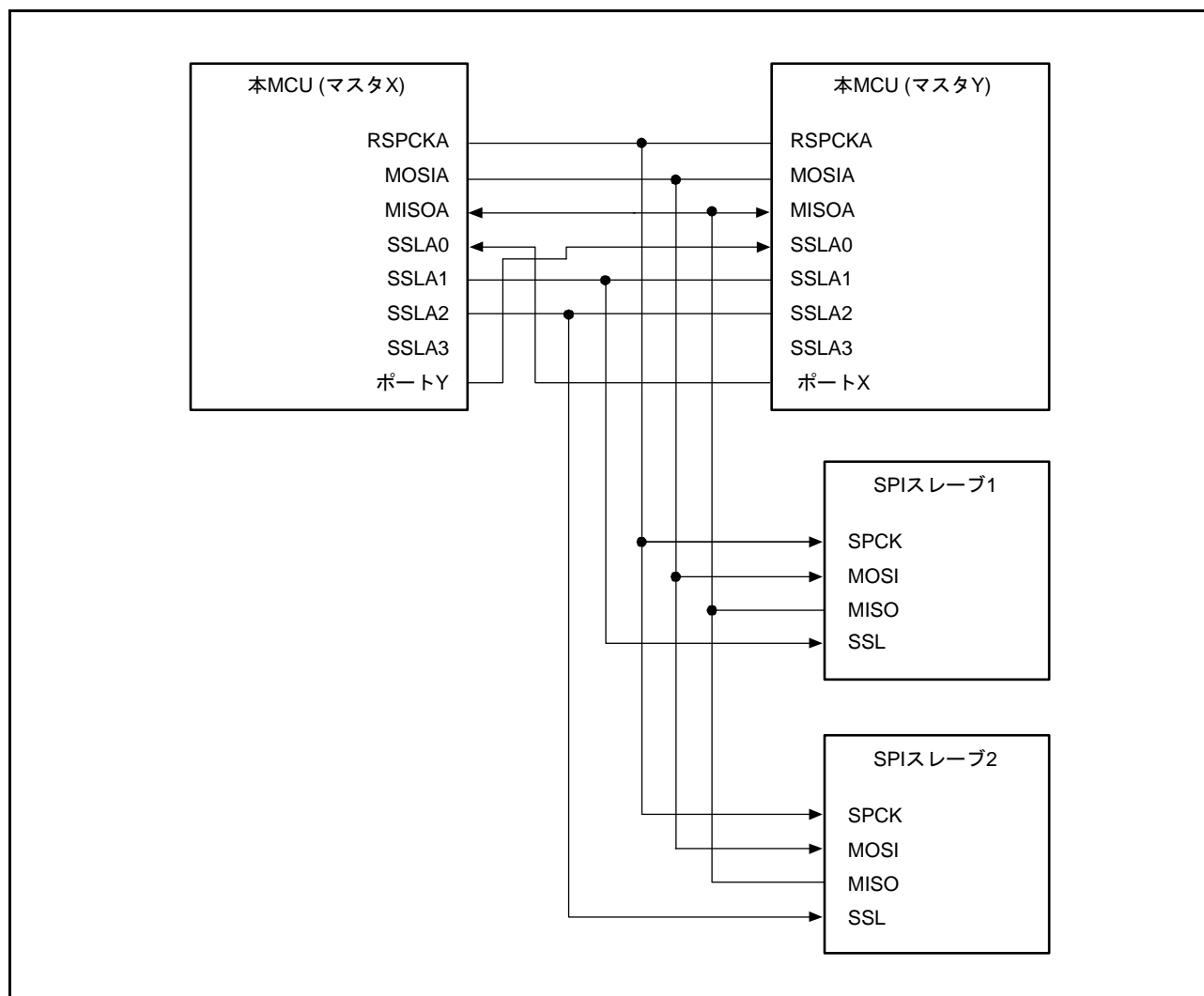


図 34.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

34.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 34.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPi システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

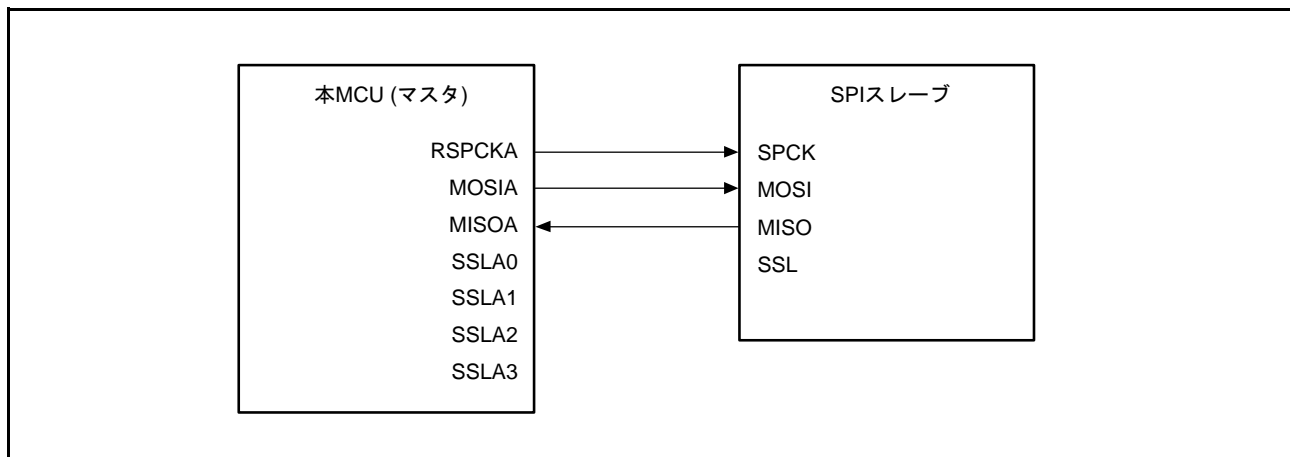


図 34.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

34.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 34.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPi システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ~ SSLA3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

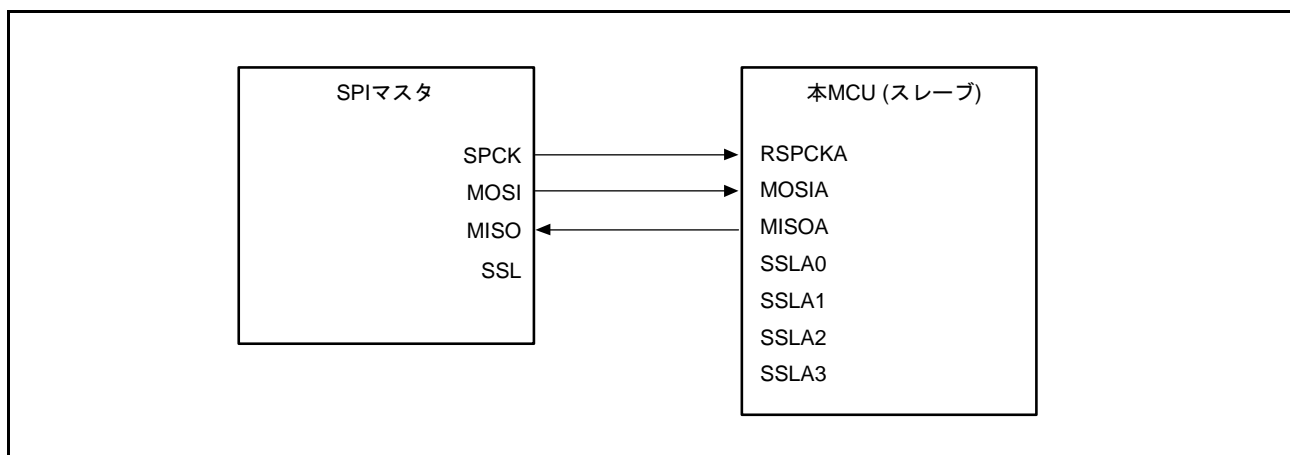


図 34.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

34.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE)、RSPI データコントロールレジスタ 2 (SPDCR2) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

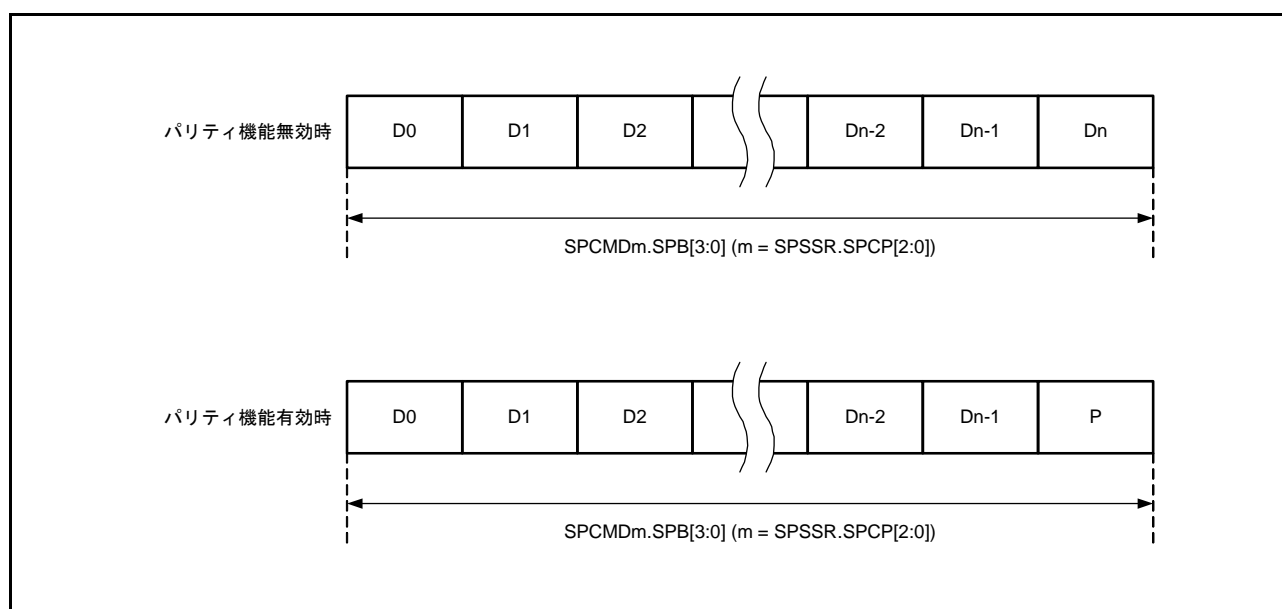


図 34.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

34.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下に RSPi データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 34.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

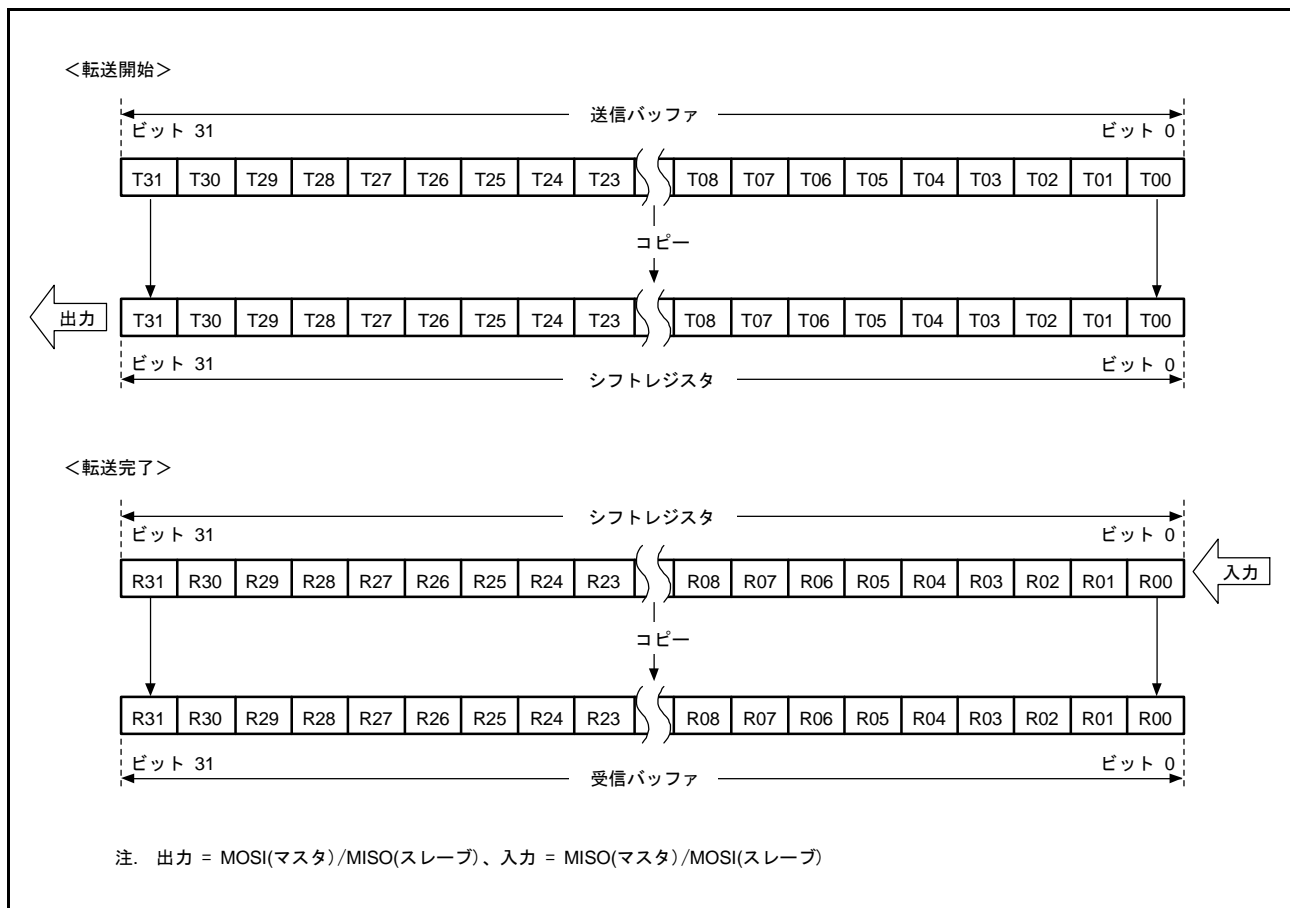


図 34.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 34.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、SPCR3.RXMD ビットが“0”であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。SPCR3.RXMD ビットが“1”であれば、受信バッファの上位 8 ビットには“00h”が格納されます。

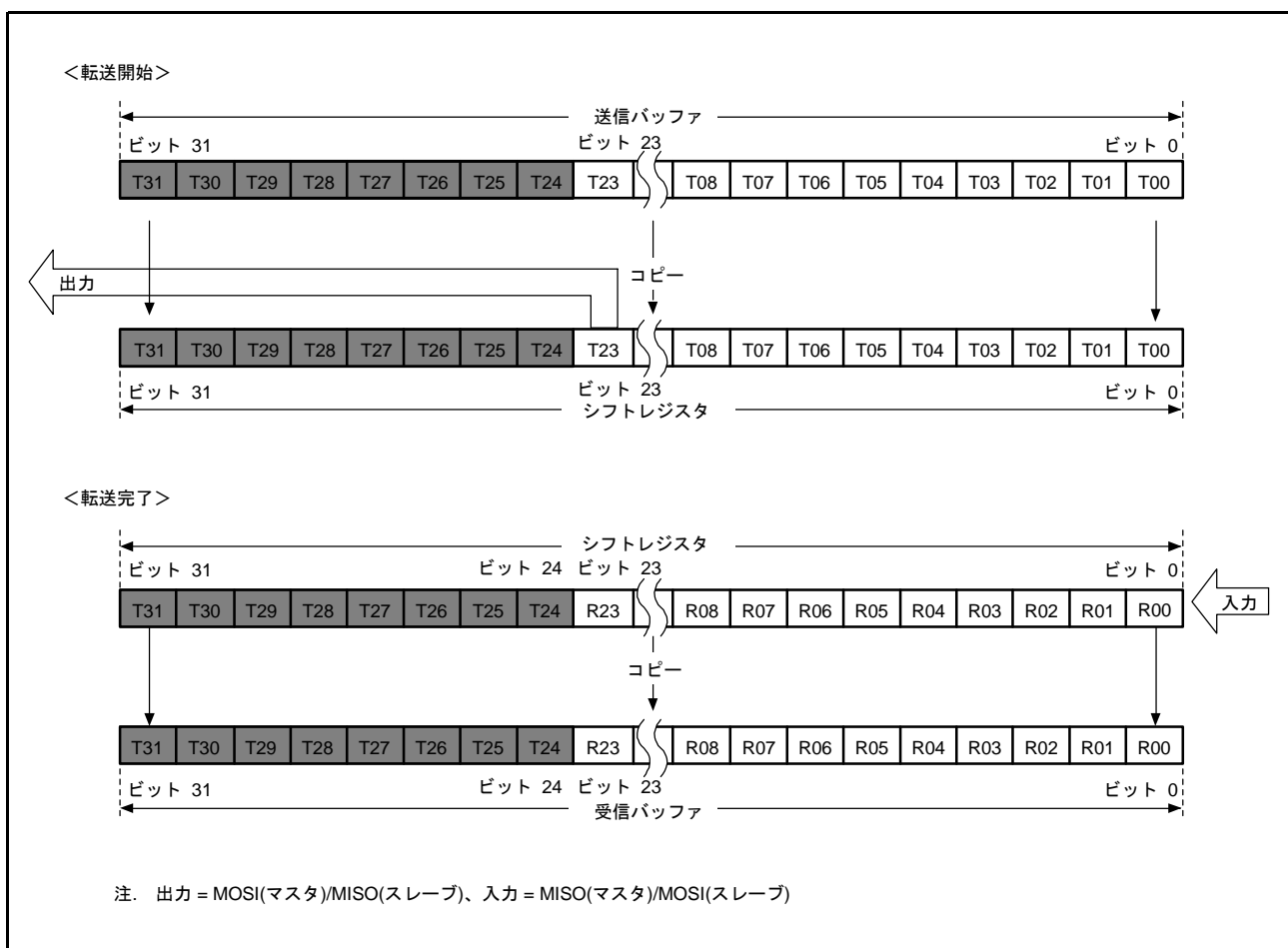


図 34.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 34.16 に、RSPi がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPi データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

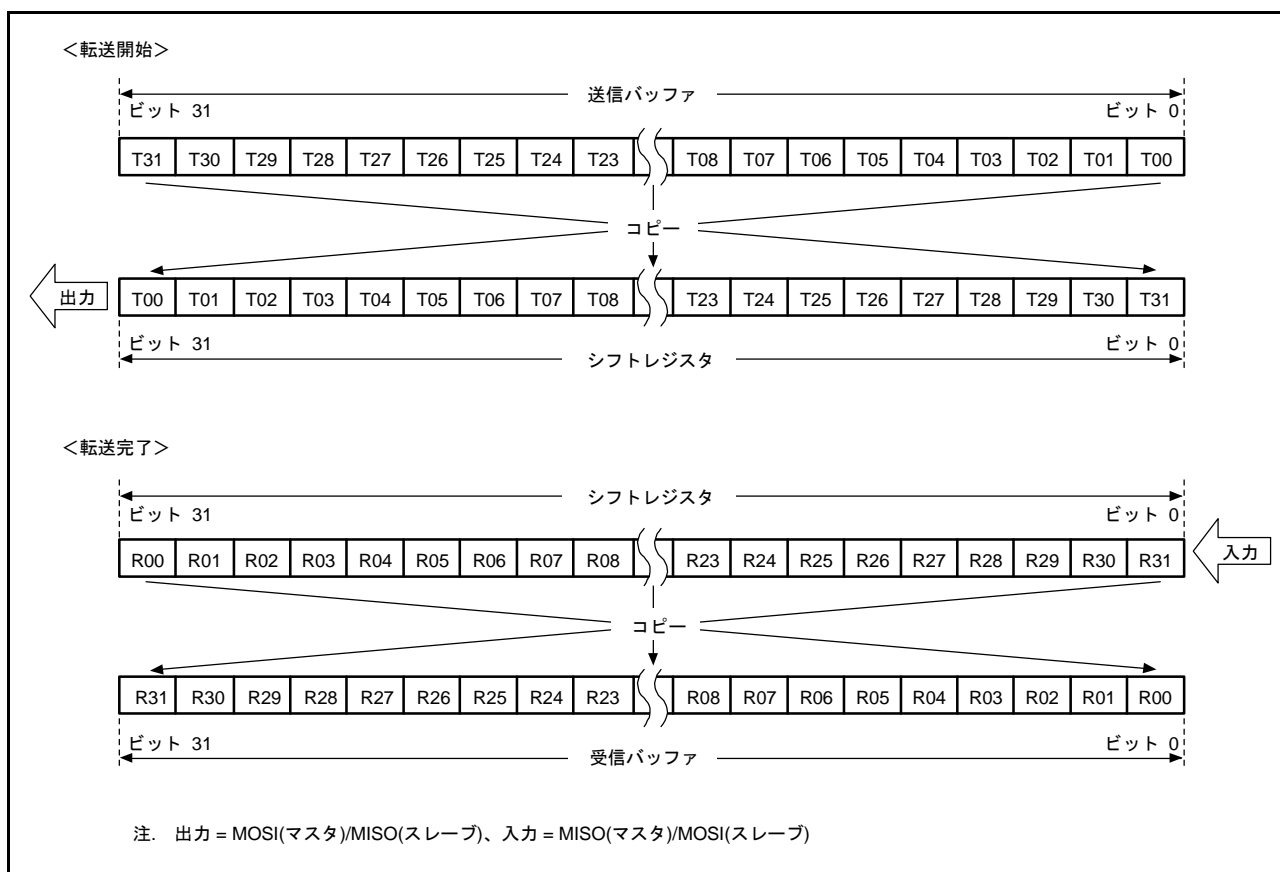


図 34.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 34.17 に、RSPId がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPId データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、SPCR3.RXMD ビットが “0” であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。SPCR3.RXMD ビットが “1” であれば、受信バッファの上位 8 ビットには “00h” が格納されます。

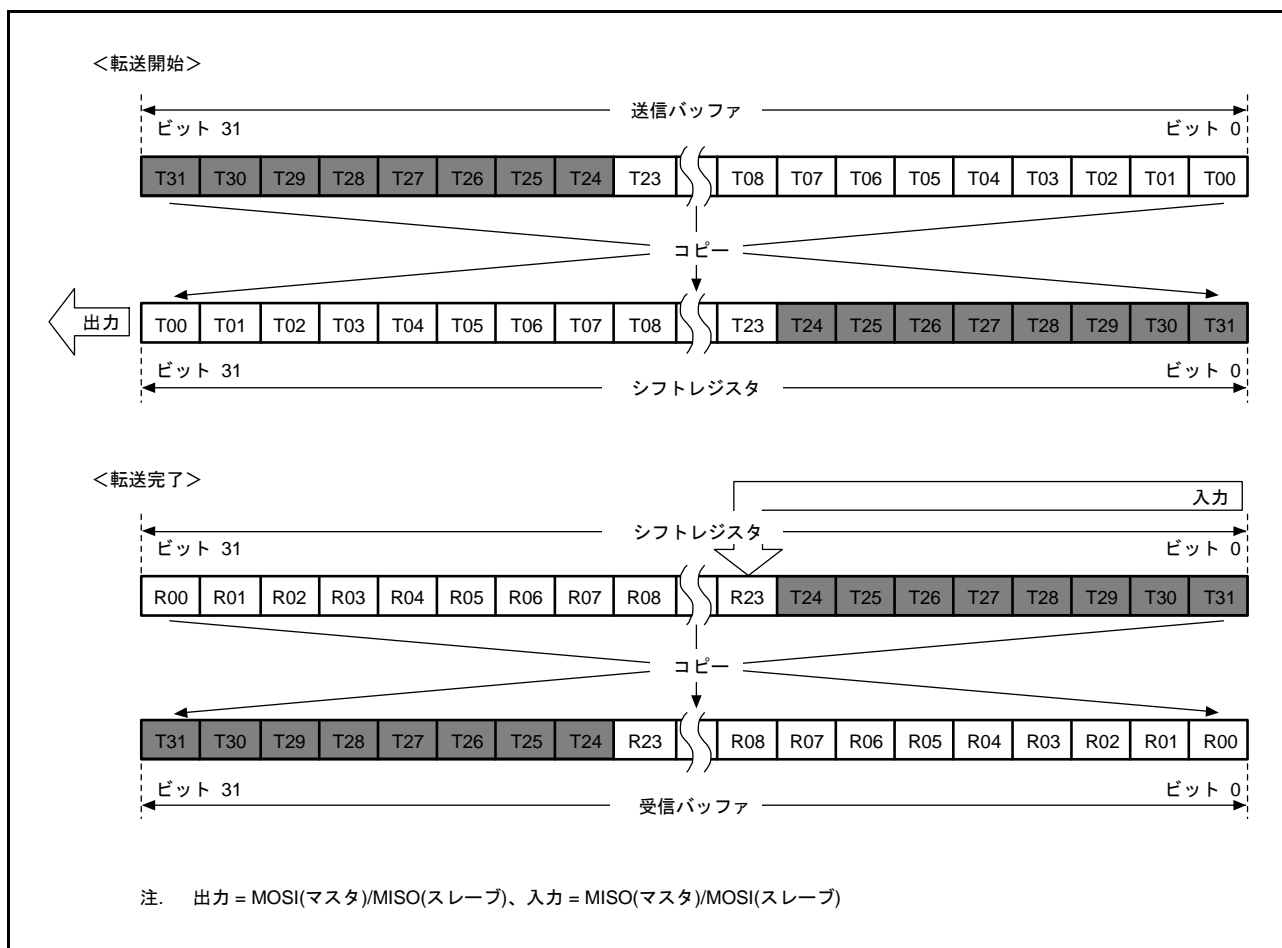


図 34.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

34.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 34.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

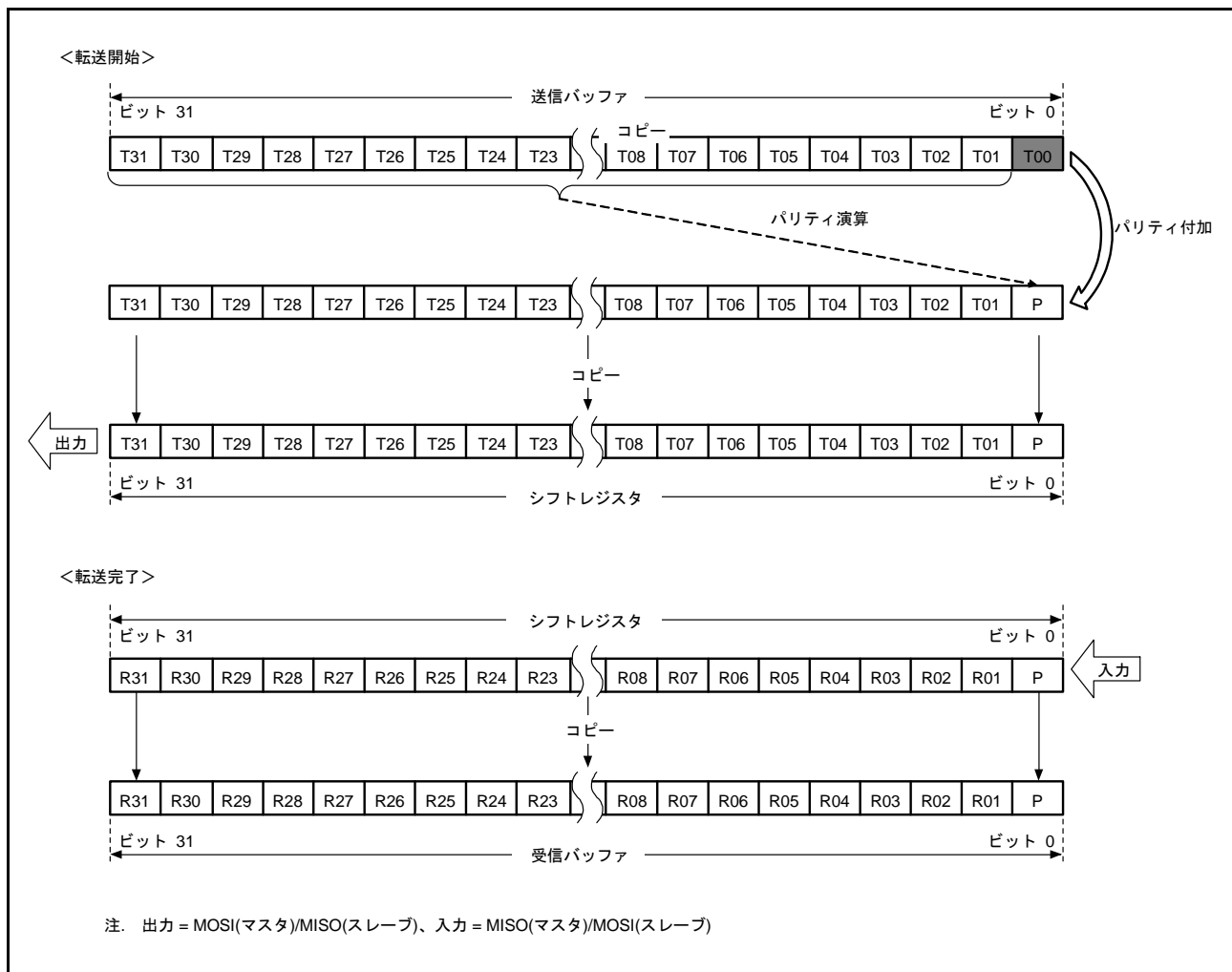


図 34.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 34.19 に、RSPId がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPId データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、SPCR3.RXMD ビットが“0”であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。SPCR3.RXMD ビットが“1”であれば、受信バッファの上位 8 ビットには“00h”が格納されます。

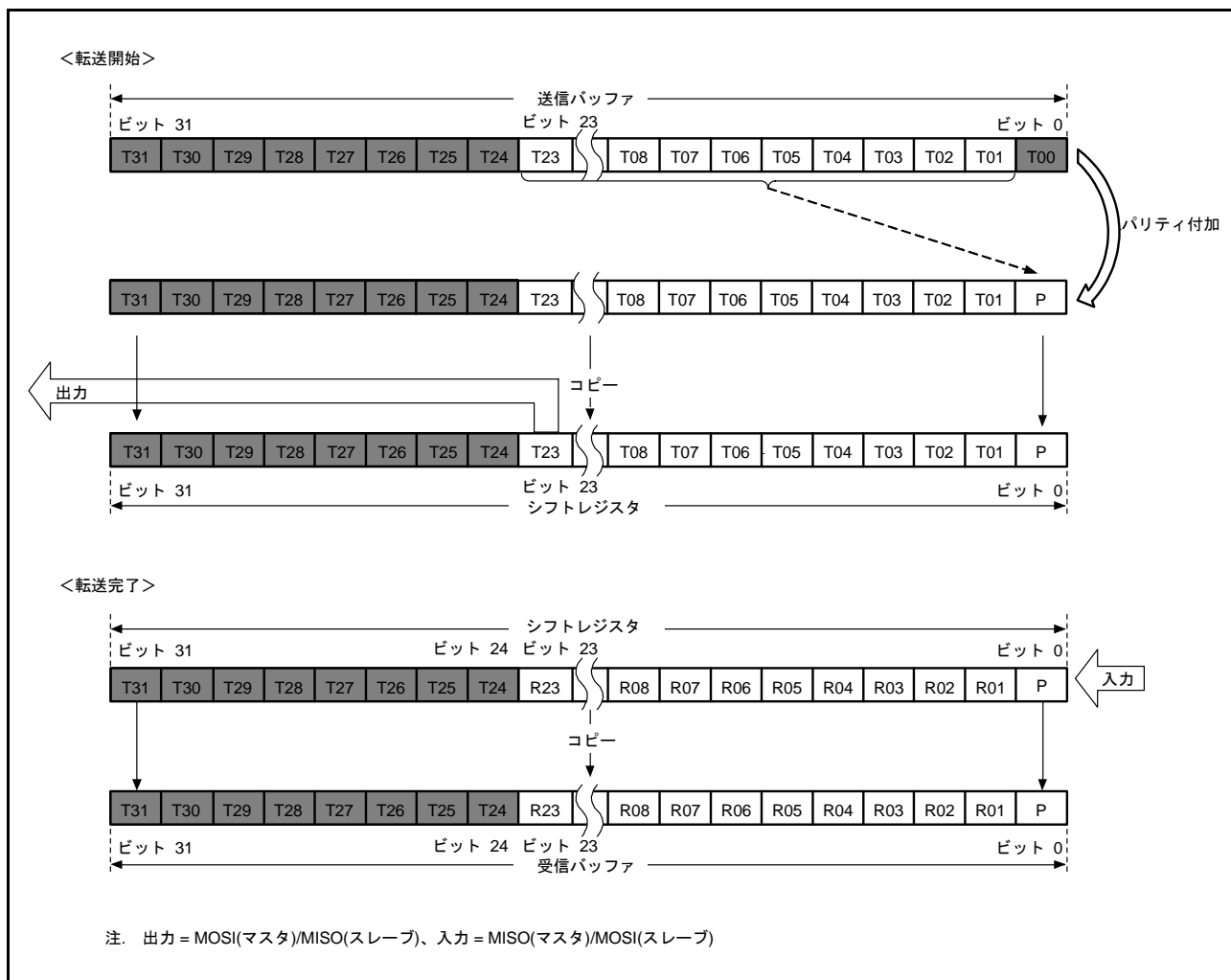


図 34.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 34.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまとると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

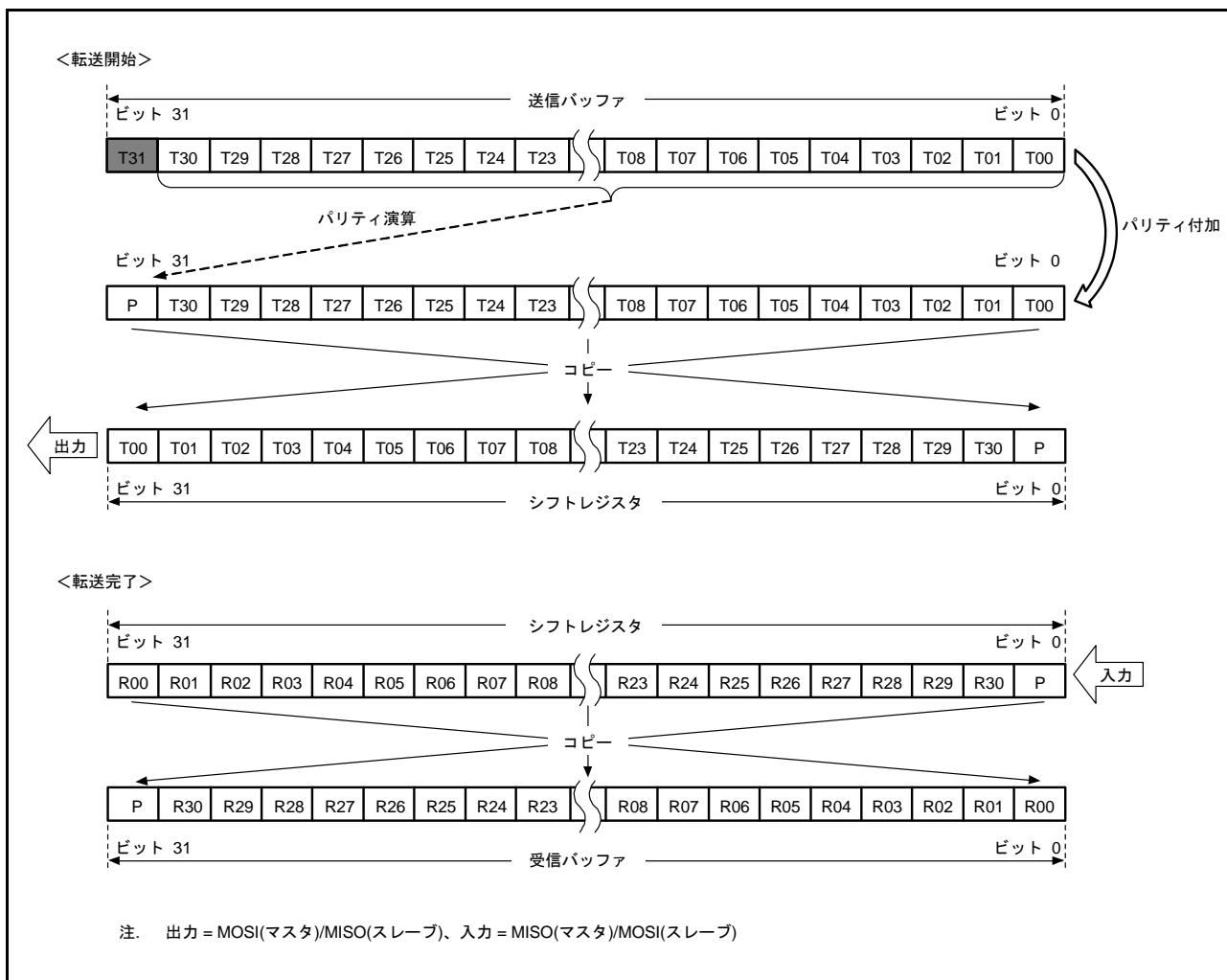


図 34.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 34.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、SPCR3.RXMD ビットが“0”であれば、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0h”を入れることができます。SPCR3.RXMD ビットが“1”であれば、受信バッファの上位 8 ビットには“00h”が格納されます。

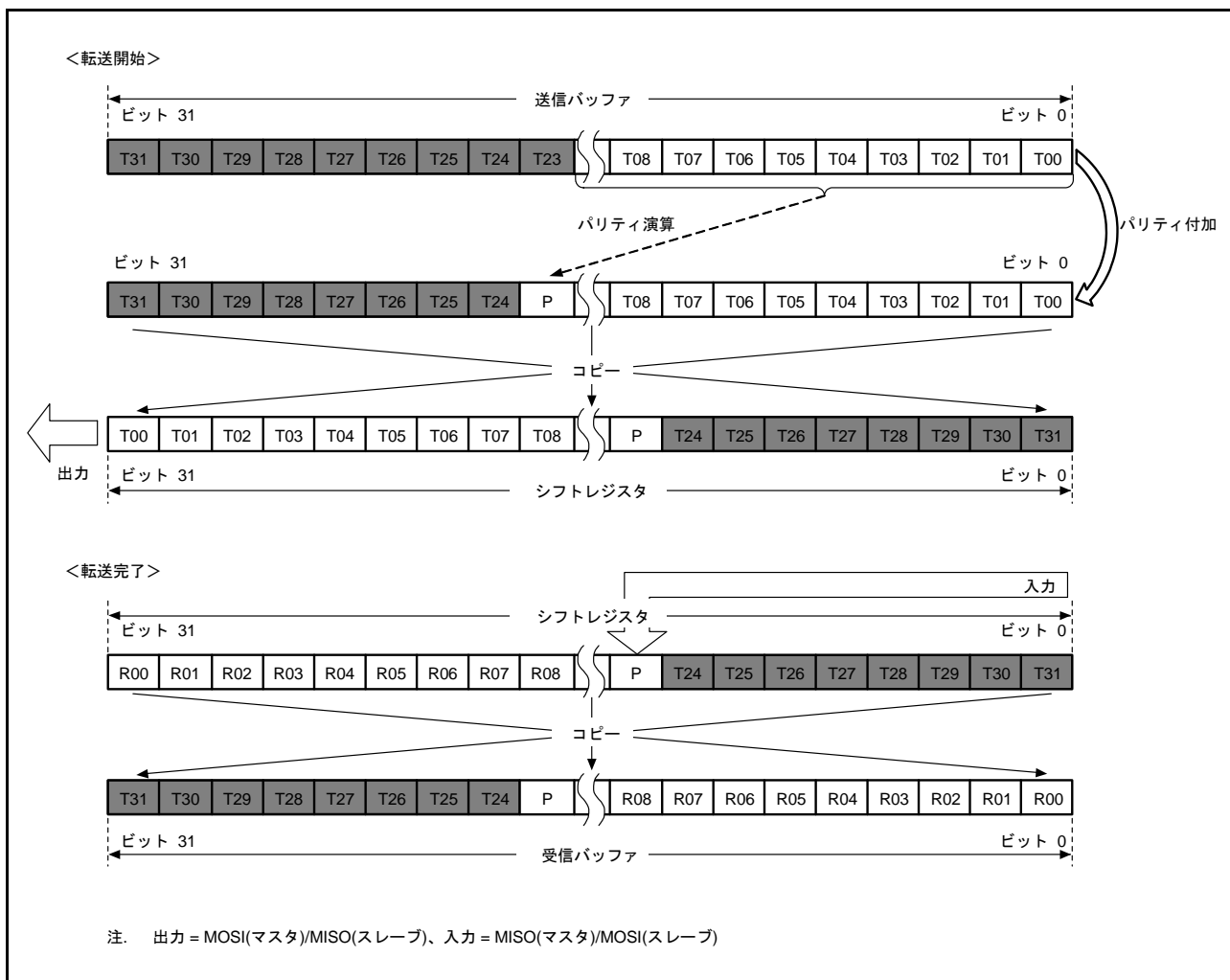


図 34.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

34.3.4.3 バイトスワップ送信

SPDCR2.BYSW ビットが“1”(SPDR のデータをバイト単位でスワップする) のときは、送信バッファ (SPDR) のデータを 8 ビット単位で入れ替えてシフトレジスタに転送します。図 34.22 にデータ長が 32 ビットの場合の SPDR レジスタとシフトレジスタ間のデータ転送の様子を示します。

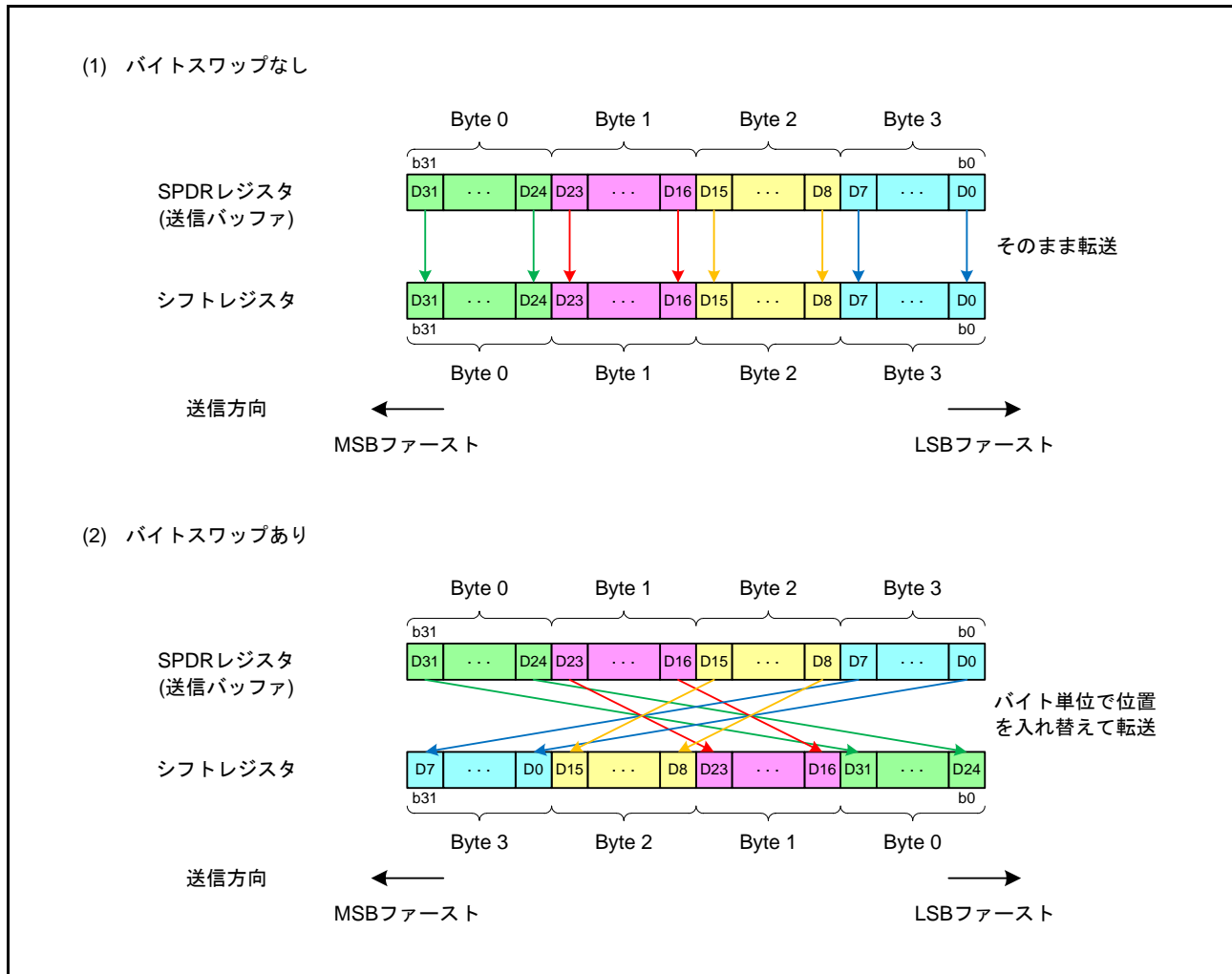


図 34.22 MSB/LSB ファーストとバイトスワップあり / なしの設定と送信データ変換

34.3.4.4 バイトスワップ受信

SPDCR2.BYSW ビットが“1”(SPDR のデータをバイト単位でスワップする) のときは、シフトレジスタのデータを8ビット単位で入れ替えて受信バッファ(SPDR)に転送します。図 34.23 にデータ長が32ビットの場合のシフトレジスタとSPDRレジスタ間のデータ転送の様子を示します。

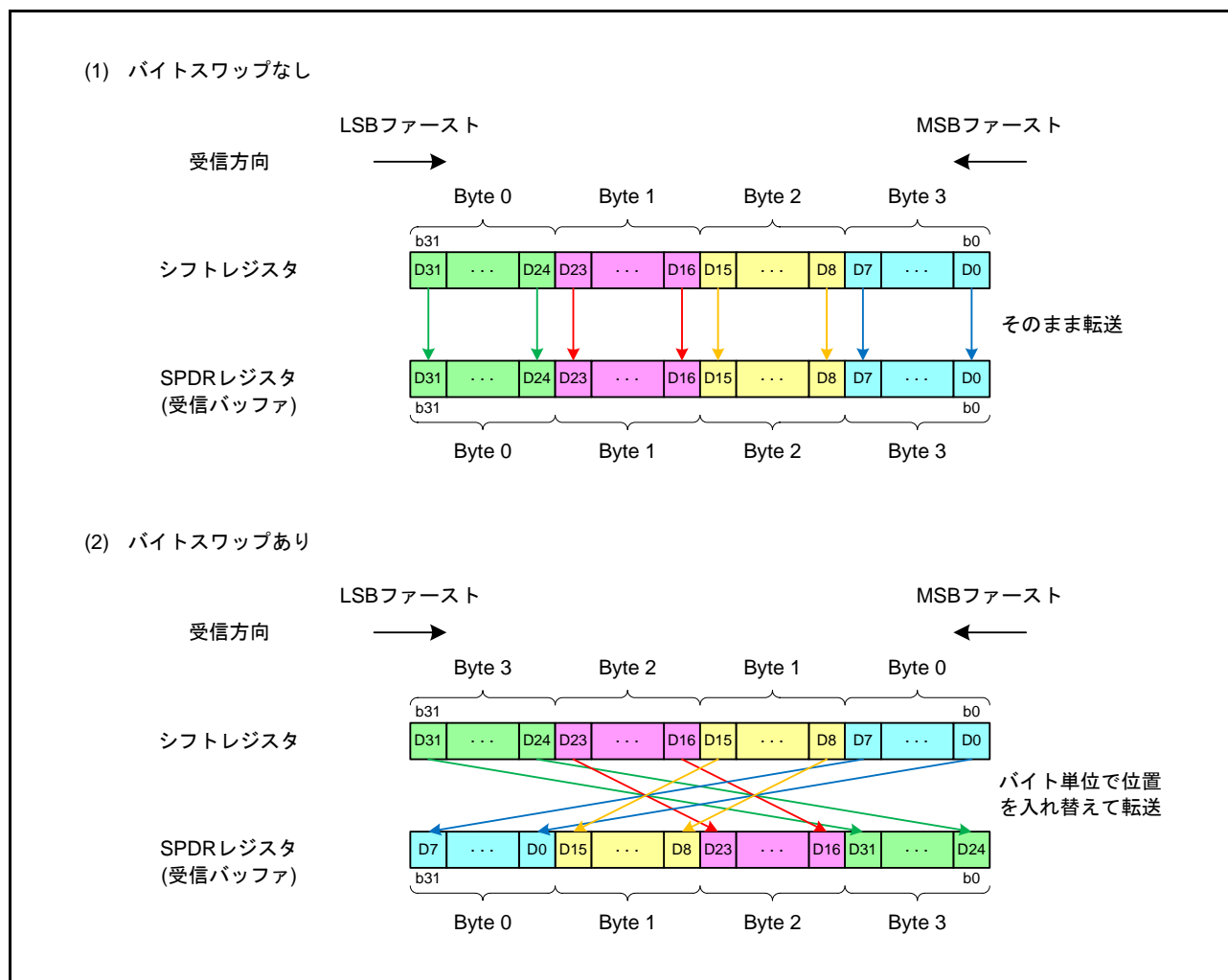


図 34.23 MSB/LSB ファーストとバイトスワップあり/なしの設定と受信データ変換

34.3.5 転送フォーマット

34.3.5.1 CPHA ビット = 0 の場合

図 34.24 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 34.24 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「34.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「34.3.12.1 マスタモード動作」を参照してください。

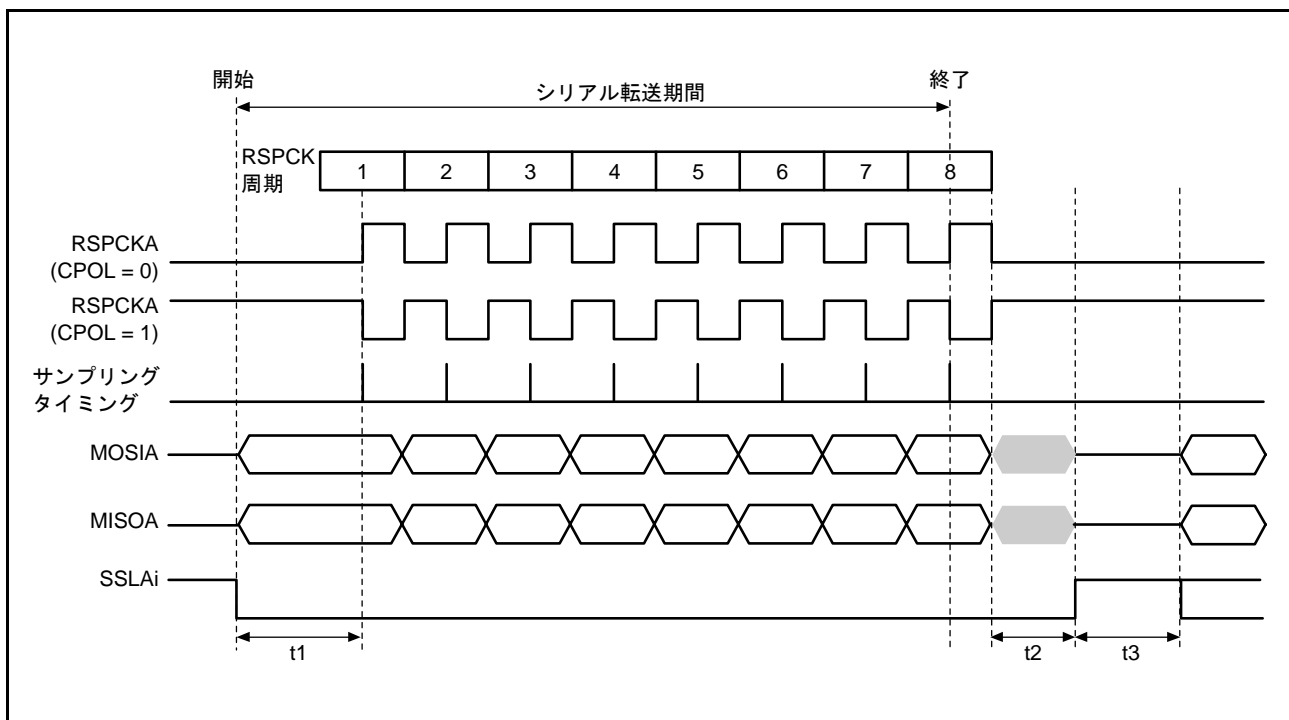


図 34.24 RSPI 転送フォーマット (CPHA ビット = 0)

34.3.5.2 CPHA ビット = 1 の場合

図 34.25 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 34.25 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード(マスタ/スレーブ)に依存します。詳細は「34.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「34.3.12.1 マスタモード動作」を参照してください。

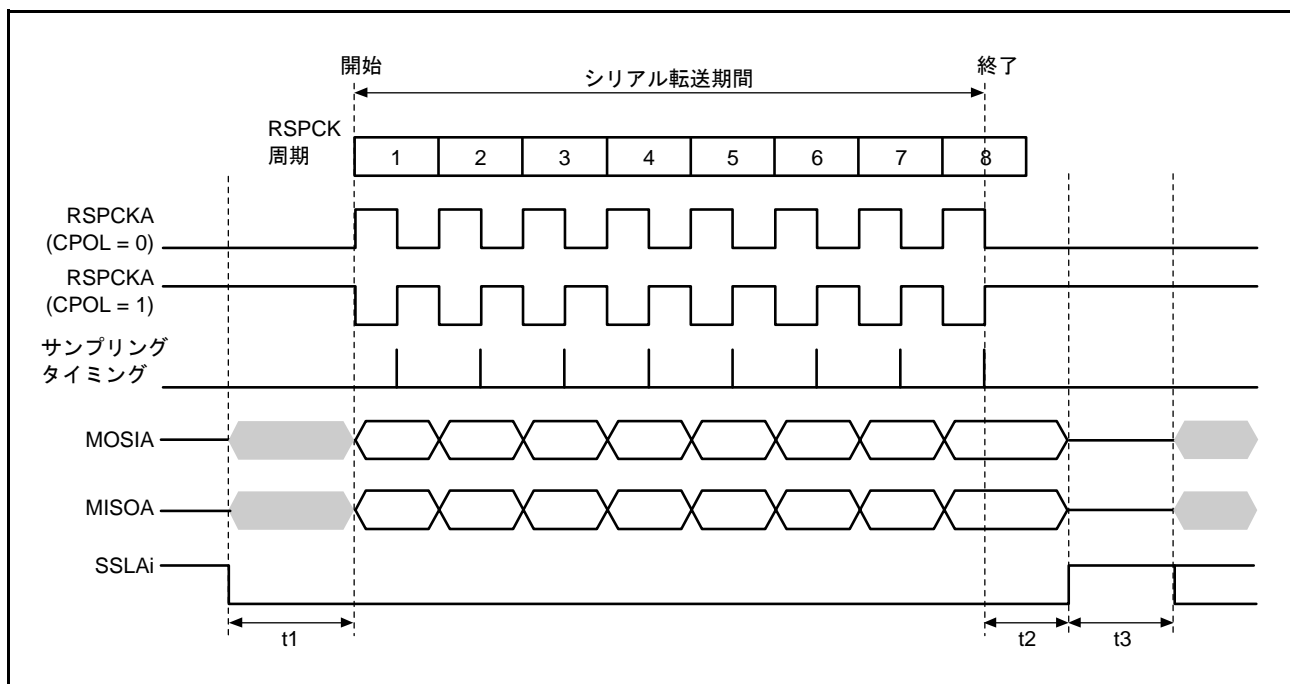


図 34.25 RSPI 転送フォーマット (CPHA ビット = 1)

34.3.6 通信動作モード

SPCR.TXMD ビット、SPCR3.RXMD ビットの設定により、全二重通信、送信のみの単方向通信、または受信のみの単方向通信を選択します。

図 34.26、図 34.27 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

34.3.6.1 全二重通信 (SPCR.TXMD = 0, SPCR3.RXMD = 0)

図 34.26 に、SPCR.TXMD ビットを“0”、SPCR3.RXMD ビットを“0”にした場合の動作例を示します。図 34.26 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

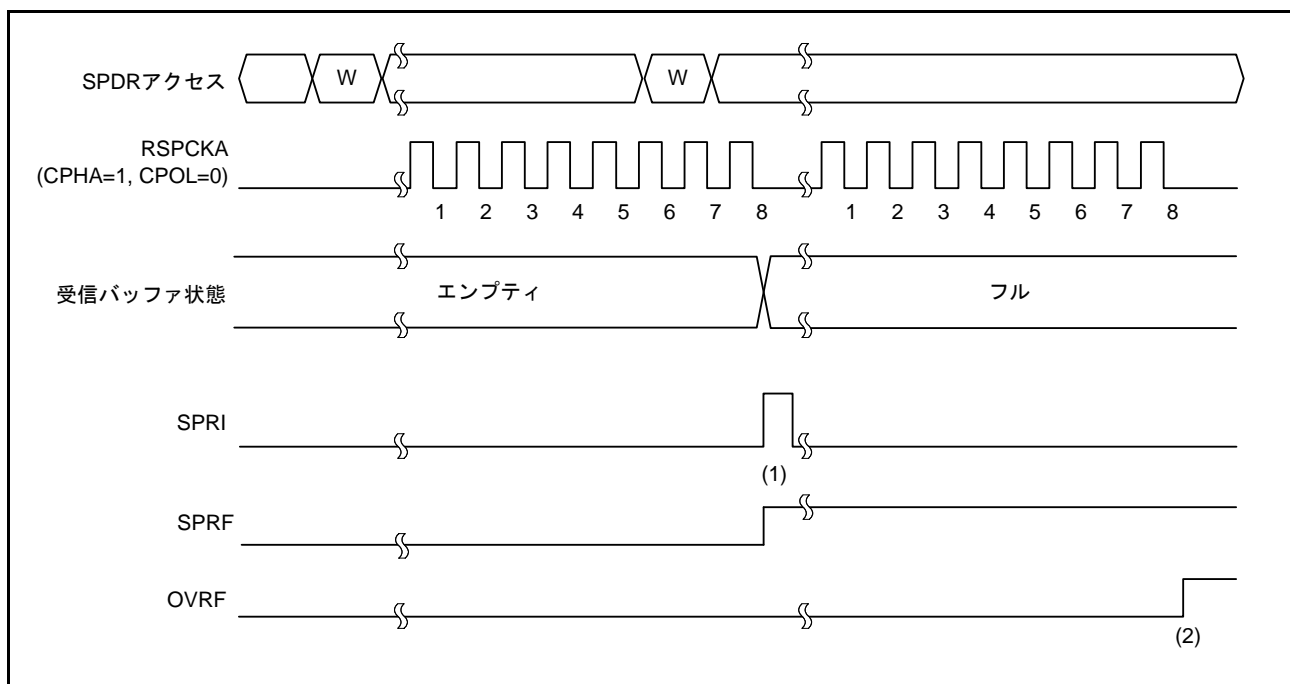


図 34.26 SPCR.TXMD = 0, SPCR3.RXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を生成 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重通信時 (SPCR.TXMD = 0, SPCR3.RXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF、OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで“1”になります。

34.3.6.2 送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0)

図 34.27 に、SPCR.TXMD ビットを“1”、SPCR3.RXMD ビットを“0”にした場合の動作例を示します。図 34.27 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

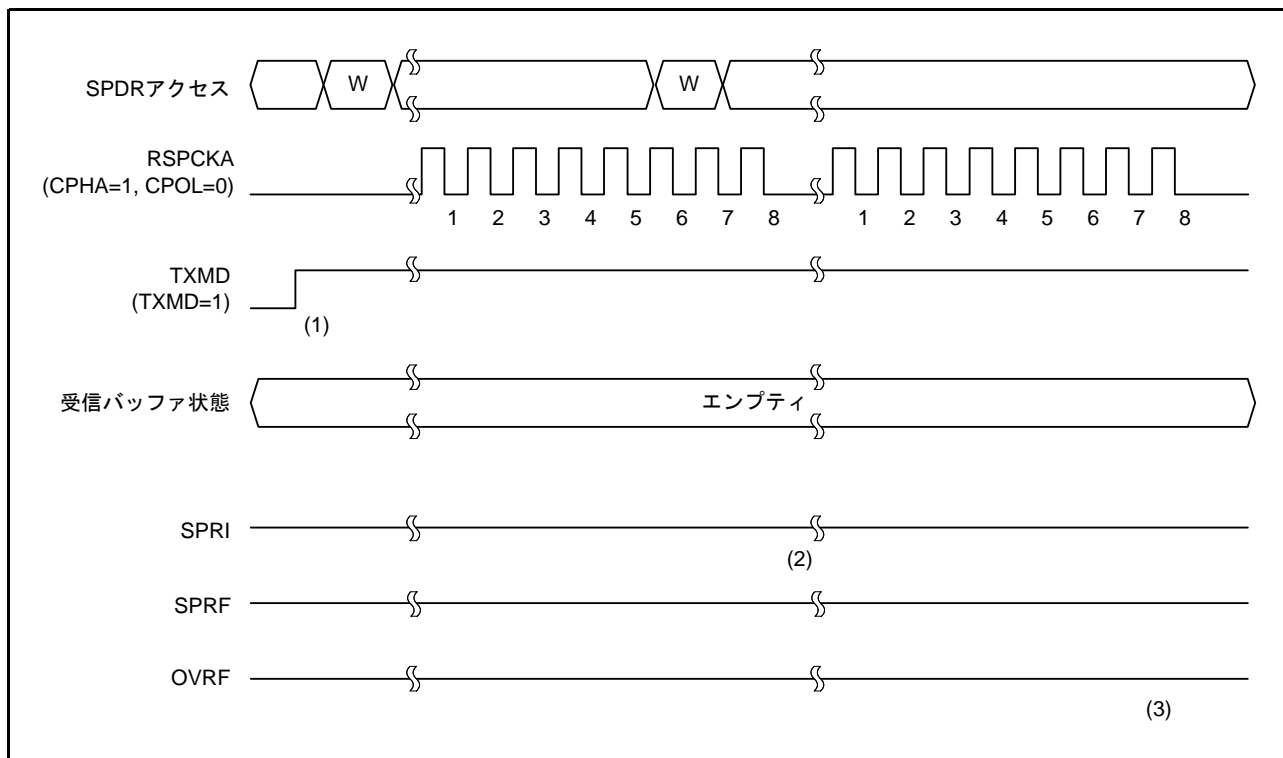


図 34.27 SPCR.TXMD = 1, SPCR3.RXMD = 0 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみの単方向通信 (SPCR.TXMD = 1, SPCR3.RXMD = 0) のときは、SPRF フラグは“0”を維持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみの単方向通信時 (SPCR.TXMD = 1, SPCR3.RXMD = 0) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF、OVRF フラグは (1)、(2)、(3) いずれのタイミングでも“0”を保持します。

34.3.6.3 受信のみの単方向通信 (SPCR3.RXMD = 0)

受信のみの単方向通信は、SPCR.MSTR ビットが“0”(スレーブモード)のときのみ有効です。

図 34.28 に、SPCR3.RXMD ビットを“1”にした場合の動作例を示します。図 34.28 の例では、SPDCR.SPFC[1:0] = 00b、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

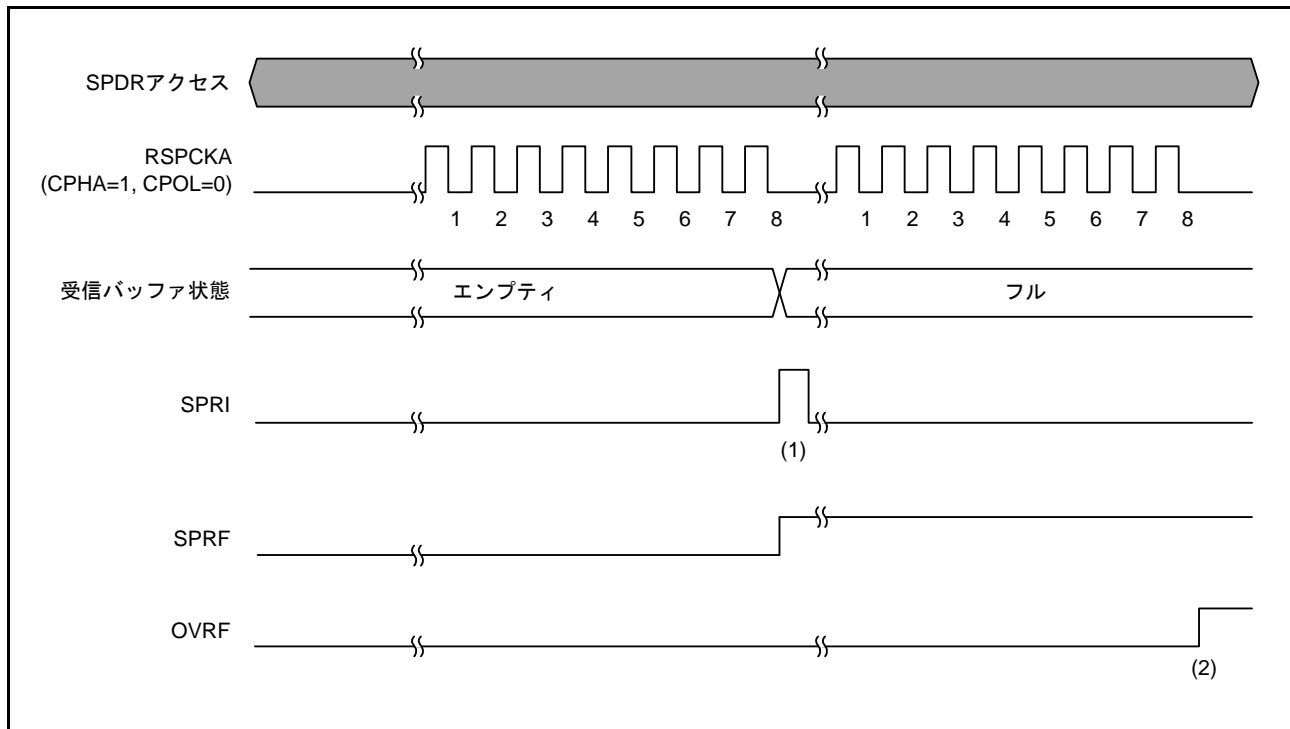


図 34.28 SPCR3.RXMD = 1 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を生成 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

34.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 34.29 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 34.29 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 34.29 の例では、SPCR.TXMD ビットが“0”、SPCR3.RXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

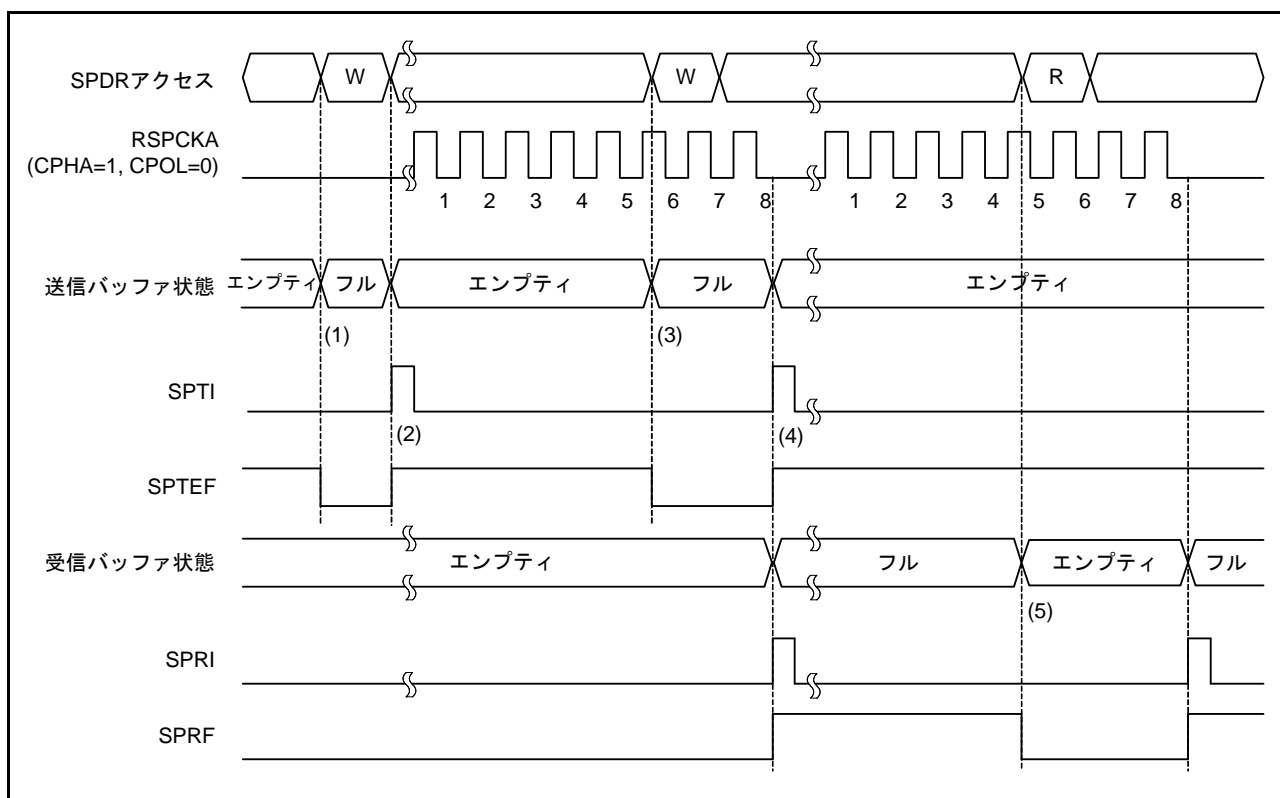


図 34.29 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を生成し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「34.3.12 SPI 動作」、「34.3.13 クロック同期式動作」参照)
- (3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態でもシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を生成し、SPSR.SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを“1”にして送信

バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとRSPIはシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込みルーチンまたはSPRFフラグによる受信バッファフル判定処理で、SPDRレジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRFフラグが“0”になります。

送信バッファに未送信のデータがある状態(SPTEFフラグが“0”)で、SPDRレジスタに送信データを書き込んだ場合には、RSPIは送信バッファのデータを更新しません。SPDRレジスタに送信データを書き込む場合には、送信バッファエンプティ割り込みルーチンまたはSPTEFフラグによる送信バッファエンプティ判定処理で行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCRのSPTIEビットを“1”にしてください。

SPCR.SPEビットを“0”(RSPI機能は無効)にするときは、SPCR.SPTIEビットも同時に“0”にしてください。SPCR.SPEビットが“0”のときにSPCR.SPTIEビットが“1”であると、送信バッファエンプティ割り込み要求が発生します。

受信バッファフル(SPRFフラグが“1”)の状態、シリアル転送が終了した場合には、RSPIはシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します(「34.3.10 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また受信バッファフル割り込みを利用する場合には、SPCR.SPRIEビットを“1”にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または対応するICUのIRn.IRフラグ(n=割り込みベクタ番号)によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ(ICUF)」を参照してください。また、SPTEFフラグ/SPRFフラグによって確認することもできます。

34.3.8 アイドル割り込み

SPCR2.SPIIEビットが“1”のときにSPSR.IDLNFフラグが“0”になると、アイドル割り込み要求(SPII)が発生します。

マスタモード時は送信開始前もIDLNFフラグが“0”なので、このときにアイドル割り込みが発生しないように、送信バッファにデータを書いてIDLNFフラグが“1”になった後にSPIIEビットを“1”にしてください。送信完了後SSLA0信号がネゲートされ、次アクセス遅延(t3)時間が経過するまで次のデータを供給しなければ、IDLNFフラグが“0”になります。

34.3.9 通信完了割り込み

SPCR3.SPCIEビットが“1”のときにSPSR.SPCFフラグが“1”になるか、SPCFフラグが“1”でSPCR.SPEビットが“1”のときにSPCIEビットを“1”にすると、通信完了割り込み要求(SPCI)が発生します。

SPCFフラグが“1”になる条件はRSPIの動作モードによって異なります。詳細は「34.2.4 RSPIステータスレジスタ(SPSR)」を参照してください。

34.3.9.1 マスタモード時

マスタモード時はSPI動作/クロック同期式動作、全二重通信/送信のみの単方向通信のいずれにおいても、SPSR.SPCFフラグが“1”になる条件は同じです。

SPSSR.SPCP[2:0]ビットが“000b”になったときに、次の送信データがない場合、SPSR.IDLNFフラグが

“0”になり、SPCFフラグが“1”になります。

SPCFフラグが“1”であることを確認した後、SPCFフラグに“0”を書くか、次のデータを送信バッファに書き込むと、SPCFフラグがクリアされます。

34.3.9.2 SPI動作、スレーブモード時の全二重通信または送信のみの単方向通信

送信バッファ、送信シフトレジスタが空になっているとき、SSLA0信号がネゲートされるとSPSR.SPCFフラグが“1”になります。

SPCFフラグが“1”であることを確認した後、SPCFフラグに“0”を書くか、次のデータを送信バッファに書き込むと、SPCFフラグがクリアされます。

34.3.9.3 SPI動作、スレーブモード時の受信のみの単方向通信

SPDCR.SPFC[1:0]ビットに設定した数のフレームを受信し終わったときに、SSLA0信号がネゲートされると、SPSR.SPCFフラグが“1”になります。

SPCFフラグが“1”であることを確認した後、SPCFフラグに“0”を書くか、次の通信が始まってSSLA0信号がアサートされると、SPCFフラグがクリアされます。

34.3.9.4 クロック同期式動作、スレーブモード時の全二重通信または送信のみの単方向通信

送信バッファ、送信シフトレジスタが空になっているとき、最終ビットのサンプリングタイミング(RSPCKの最終偶数エッジ)でSPSR.SPCFフラグが“1”になります。

SPCFフラグが“1”であることを確認した後、SPCFフラグに“0”を書くか、次のデータを送信バッファに書き込むと、SPCFフラグがクリアされます。

34.3.9.5 クロック同期式動作、スレーブモード時の受信のみの単方向通信

SPDCR.SPFC[1:0]ビットに設定した数のフレームを受信し終わったとき(RSPCKの最終偶数エッジ)、SPSR.SPCFフラグが“1”になります。

SPCFフラグが“1”であることを確認した後、SPCFフラグに“0”を書くか、次の通信が始まってRSPCK信号が変化すると、SPCFフラグがクリアされます。

34.3.10 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータが送信され、受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、アンダランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表34.7に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表34.7 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	受信バッファエンプティの状態ですPDRレジスタを読み出し	受信が完了していれば受信したデータ、完了していなければ前回受信したデータをパスに出カ	なし
3	スレープモード時の全二重通信または送信のみの単方向通信で、送信データがシフトレジスタに転送されていない状態でシリアル転送開始	シリアル転送を中断 送受信データ欠落 MISO端子のドライブ停止 RSPI機能を無効に設定	アンダランエラー検出
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重通信または受信のみの単方向通信時に、パリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのセット	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号がアサート	<ul style="list-style-type: none"> RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号がアサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレープモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISO出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表34.7の1に示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、またはSPSR.SPTEFフラグが“1”のときにSPDRレジスタへの書き込みを実施してください。

2に示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、受信バッファフル割り込み要求発生時、またはSPSR.SPRFフラグが“1”のときにSPDRレジスタの読み出しを実行するようにしてください。

3に示したアンダランエラーについては「34.3.10.4 アンダランエラー」で、4に示したオーバランエラーについては「34.3.10.1 オーバランエラー」で、5に示したパリティエラーについては「34.3.10.2 パリティエラー」で説明します。また、6～8に示したモードフォルトエラーについては「34.3.10.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「34.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

34.3.10.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 34.30 に、SPRF フラグと OVRF フラグの動作を示します。図 34.30 に記載した“SPSR アクセス”と“SPDR アクセス”は、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 34.30 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

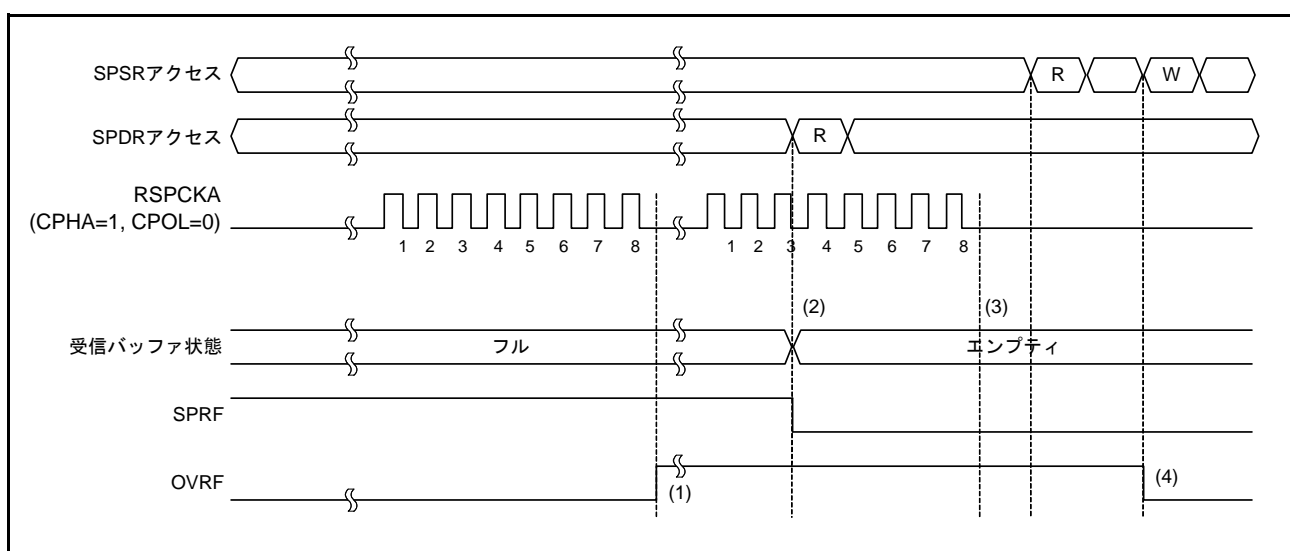


図 34.30 SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル (SPRF フラグが“1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは“0”になります。受信バッファが空になっても、OVRF フラグは“0”になりません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) OVRF フラグが“1”の状態で SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいはエラー割り込みと SPSR レジスタの読み出しに

よって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバランエラーが発生しません。図 34.31、図 34.32 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

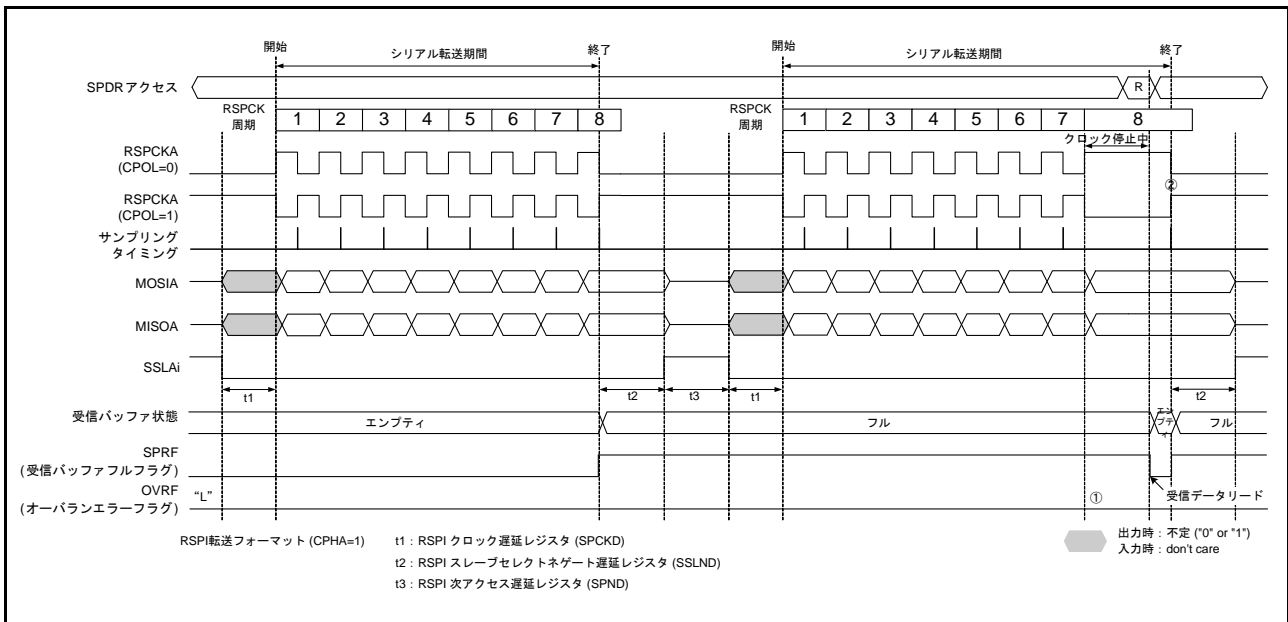


図 34.31 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

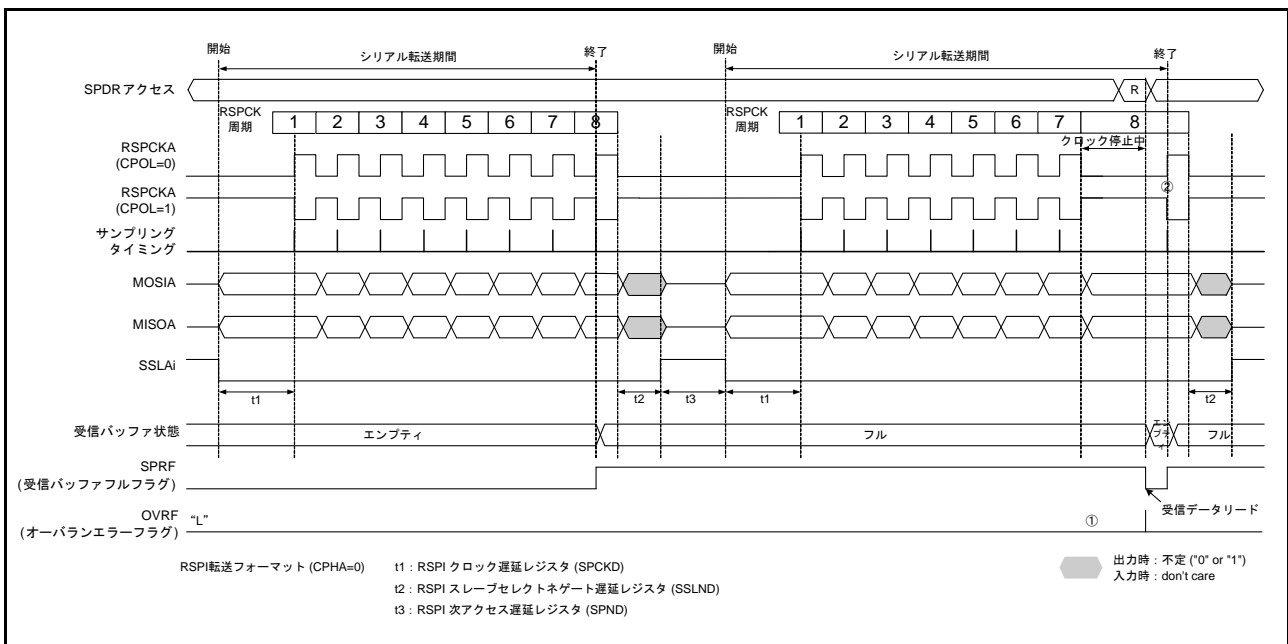


図 34.32 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPRF フラグが“0”になった後)、RSPCK クロックが再開します。

34.3.10.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重通信または受信のみの単方向通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態のSPSRレジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 34.33 に、OVRF フラグと PERF フラグの動作を示します。図 34.33 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 34.33 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態では全二重通信または受信のみの単方向通信を行っています。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

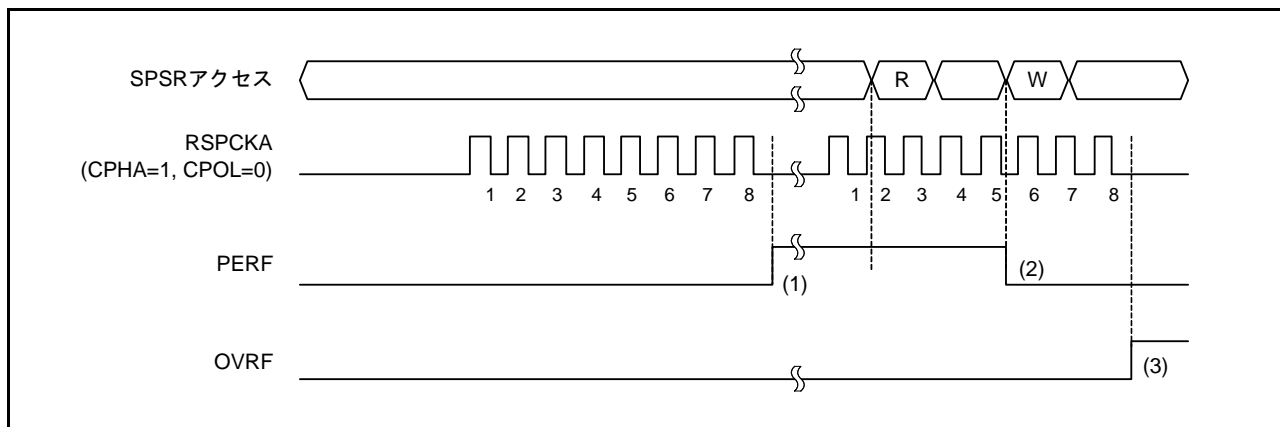


図 34.33 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバーランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) PERF フラグが“1”の状態では SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- (3) RSPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合は、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

34.3.10.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLA0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLA0信号のアクティブレベルは、SSLP.SSLOPビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間(有効データのドライブ開始から最終有効データの取り込みまで)にSSLA0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します(「34.3.11 RSPIの初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはエラー割り込みとSPSRレジスタの読み出しによって確認できます。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。MODFフラグを“0”にすると、SPEビットは“1”になります。

34.3.10.4 アンダランエラー

RSPIがスレーブモード(SPCR.MSTR ビットが“0”)で、送信回路が動作している(SPCR3.RXMD ビットが“0”)場合、SPCR.SPE ビットが“1”(RSPI機能は有効)、かつ送信データをシフトレジスタにセットしていない状態でシリアル転送が開始されると、RSPIはアンダランエラーを検出してSPSRレジスタのMODFフラグとUDRFフラグを“1”にします。

RSPIはアンダランエラーを検出すると、出力信号のドライブを停止しSPEビットを“0”にします。SPEビットが“0”になるとRSPI機能は無効となります(「34.3.11 RSPIの初期化」を参照)。

アンダランエラーの発生は、SPSRレジスタの読み出し、あるいはエラー割り込みとSPSRレジスタの読み出しによって確認できます。エラー割り込みを利用せずにアンダランエラーを検出する場合、SPSRレジスタをポーリングする必要があります。

MODFフラグが“1”のとき、RSPIはSPEビットへの“1”書き込みを無視します。アンダランエラー検出後にRSPI機能を有効にするには、MODFフラグを“0”にしてください。MODFフラグを“0”にすると、SPEビットは“1”になります。

34.3.11 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラーやアンダランエラー検出により RSPI が SPE ビットを“0”にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

34.3.11.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中の送受信を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステータスの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを“1”にする)

SPE ビットを“0”にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを“1”にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.SPRF、SPCF、UDRF、PERF、MODF、OVRF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、初期化前に実行されていた通信の状況、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが“1”) の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。

34.3.11.2 システムリセット

システムリセットによる初期化では、「34.3.11.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

34.3.12 SPI 動作

34.3.12.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「34.3.10 エラー検出」を参照)のみです。シングルマスタモードのRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI送信バッファが空(SPTEFフラグが“1”、次転送のデータがセットされていない)の状態、SPDRレジスタへデータを書き込むと、RSPIはSPDRレジスタの送信バッファ(SPTX)のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については「34.3.5 転送フォーマット」を参照してください。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ(SPRX)が空(SPRFフラグが“0”)の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。RSPIの転送フォーマットの詳細については「34.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPi で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPi クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPi 次アクセス遅延値が設定されています。

RSPi は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPi には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にして RSPi 機能を許可すると、RSPi はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPi は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPi はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

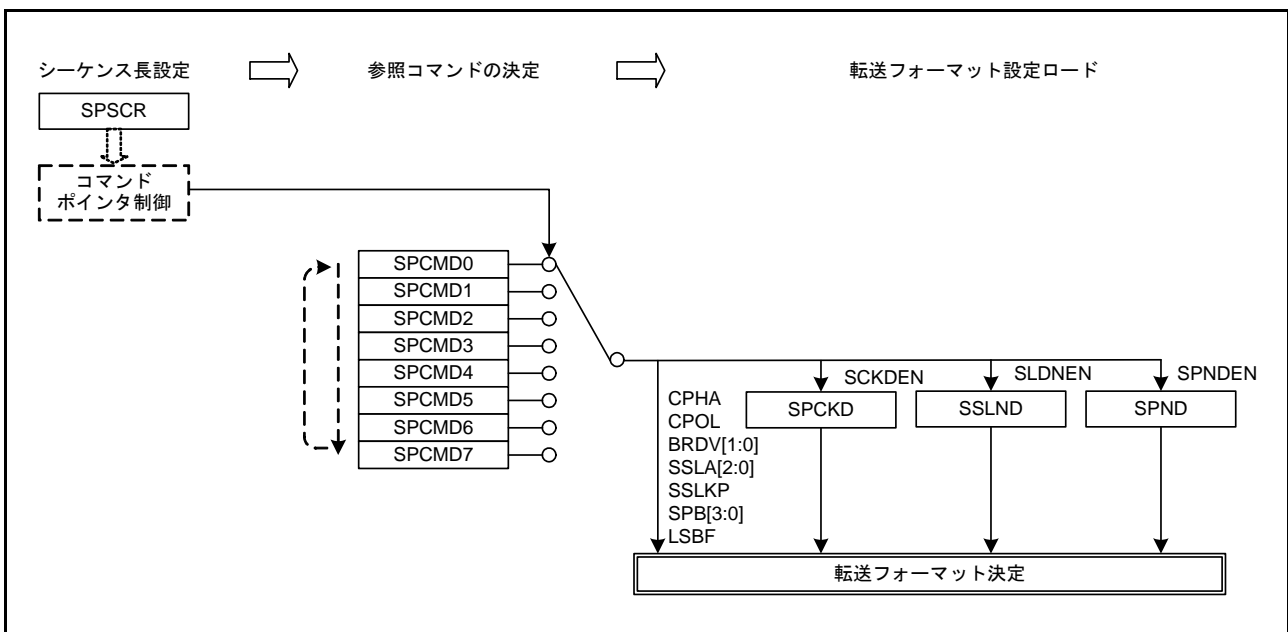


図 34.34 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

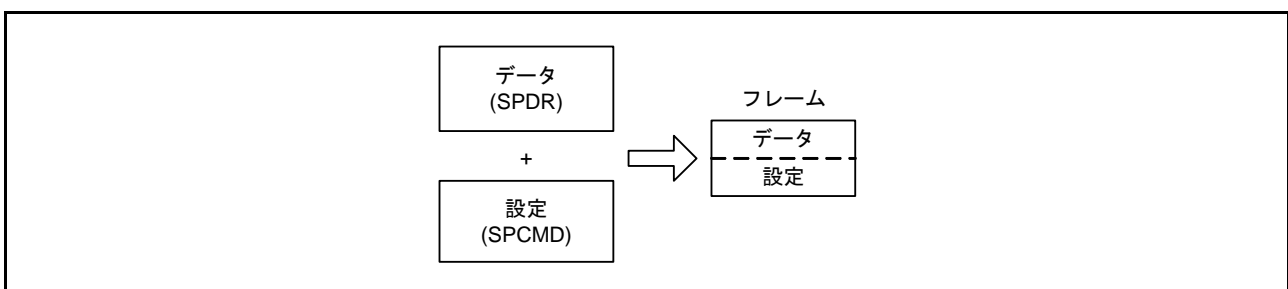


図 34.35 フレームの概念図

表 34.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 34.36 に示します。

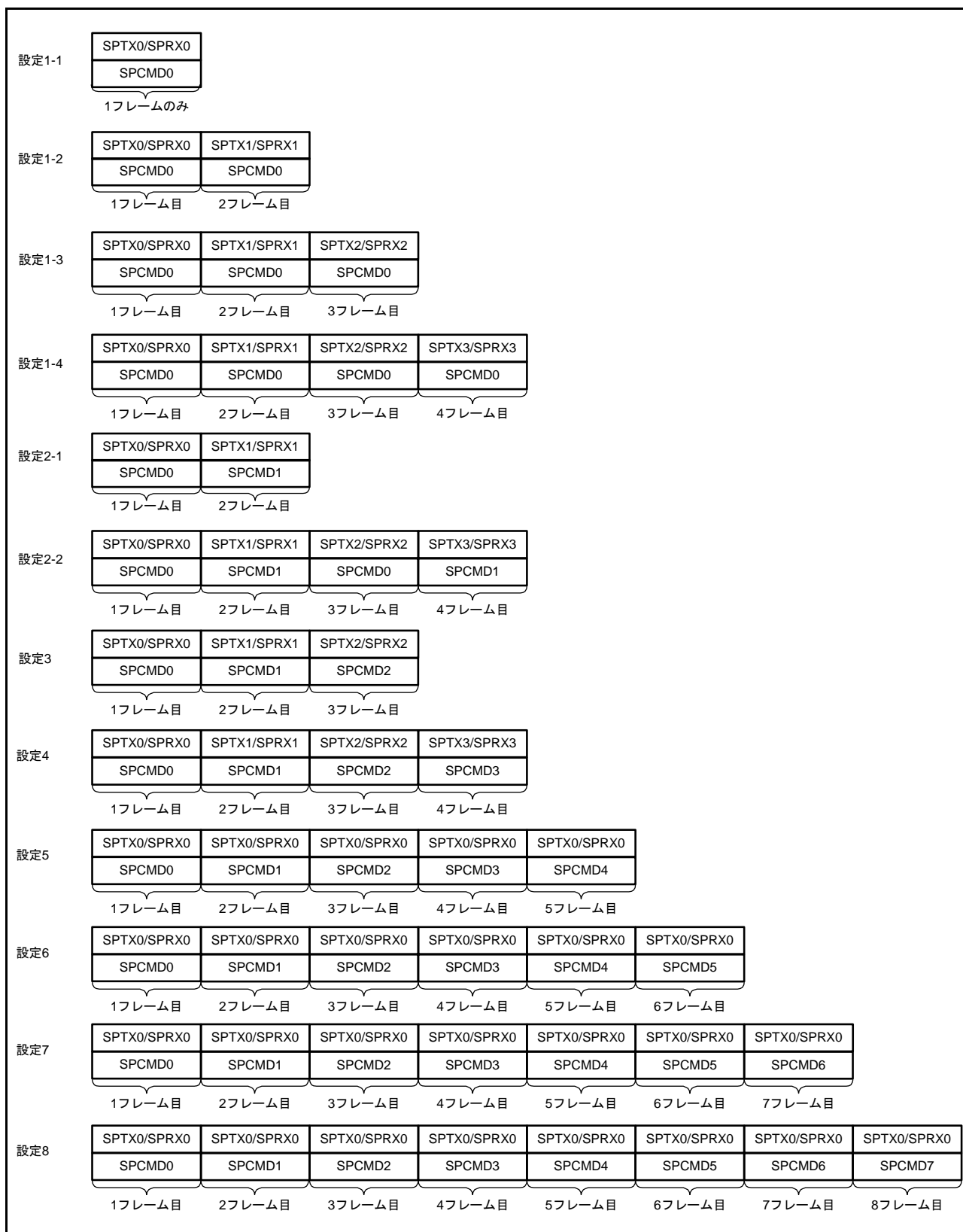


図 34.36 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPIが現在のシリアル転送で参照しているSPCMDm.SSLKPビットが“1”の場合には、RSPIはシリアル転送中のSSLAi信号レベルを次のシリアル転送のSSLAi信号アサート開始まで保持します。次のシリアル転送でのSSLAi信号レベルが、現在のシリアル転送でのSSLAi信号レベルと同じであれば、RSPIはSSLAi信号アサート状態を保持したまま連続的にシリアル転送を実行することができます(バースト転送)。

図34.37に、SPCMD0、SPCMD1レジスタの設定を使用してバースト転送を実現した場合のSSLAi信号動作例を示します。図34.37に記載した(1)～(8)のRSPI動作内容について、以下に説明します。なお、SSLAi出力信号の極性は、SSLPレジスタの設定値に依存します。

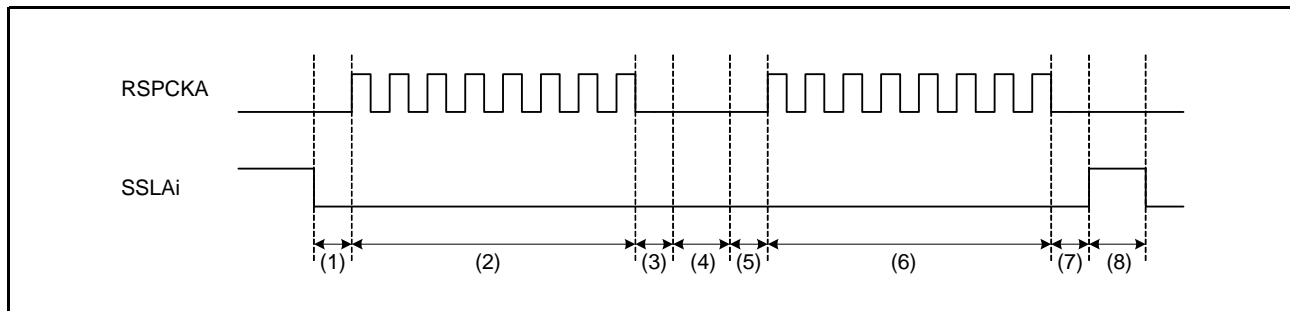


図 34.37 SSLKP ビットを利用したバースト転送動作の例 (CPHA = 1, CPOL = 0)

- (1) SPCMD0レジスタに従ったSSLAi信号のアサートとRSPCK遅延の挿入を実施します。
- (2) SPCMD0レジスタに従ったシリアル転送を実行します。
- (3) SSLネゲート遅延を挿入します。
- (4) SPCMD0.SSLKPビットが“1”であるため、SPCMD0レジスタでのSSLAi信号値を保持します。この期間は、最短の場合にはSPCMD0レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1レジスタに従ったRSPCK遅延の挿入を実施します。
- (6) SPCMD1レジスタに従ったシリアル転送を実行します。
- (7) SSLネゲート遅延を挿入します。
- (8) SPCMD1.SSLKPビットが“0”であるため、SSLAi信号をネゲートします。また、SPCMD1レジスタに従った次アクセス遅延が挿入されます。

SSLKPビットを“1”にしたSPCMDmレジスタでのSSLAi信号出力設定と、次転送で使用するSPCMDmレジスタでのSSLAi信号出力設定が異なる場合、RSPIは次転送のコマンドに対応したSSLAi信号のアサート時(図34.37の(5))にSSLAi信号状態を切り替えます。このようなSSLAi信号の切り替えが発生した場合、MISOAをドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードのRSPIは、SSLKPビットを使用しない場合のSSLAi信号動作をモジュール内部で参照しています。SPCMDm.CPHAビットが“0”の場合でも、RSPIは内部で検出した次転送のSSLAi信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHAビットの設定値にかかわらず実行できます。

SPCR3.SCKDDISビットが“1”(バースト転送時のデータバイト間の遅延をなくす)の場合、上記(3)～(5)に記載した遅延は挿入されず、RSPCKの0.5サイクル分の遅延だけが挿入されます。

(5) RSPCK 遅延 (t1)

マスタモード時の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 34.8 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「34.3.5 転送フォーマット」を参照してください。

SPCMDm.SSLKP ビットが“1”(バースト転送)で SPCR3.SCKDDIS ビットが“1”(バースト転送時のデータバイト間の遅延をなくす)の場合、RSPCK 遅延は先頭フレームでのみ挿入されます。

表 34.8 SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモード時の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、表 34.9 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「34.3.5 転送フォーマット」を参照してください。

SPCMDm.SSLKP ビットが“1”(バースト転送)で SPCR3.SCKDDIS ビットが“1”(バースト転送時のデータバイト間の遅延をなくす)の場合、SSL ネゲート遅延は最終フレームでのみ挿入されます。

表 34.9 SLNDEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモード時の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND レジスタを使用して、表 34.10 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「34.3.5 転送フォーマット」を参照してください。

SPCMDm.SSLKP ビットが“1”(バースト転送)で SPCR3.SCKDDIS ビットが“1”(バースト転送時のデータバイト間の遅延をなくす)の場合、次アクセス遅延は最終フレームでのみ挿入されます。

表34.10 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b ~ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8) 初期化フロー

図 34.38 に、SPI 動作時、RSPi をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

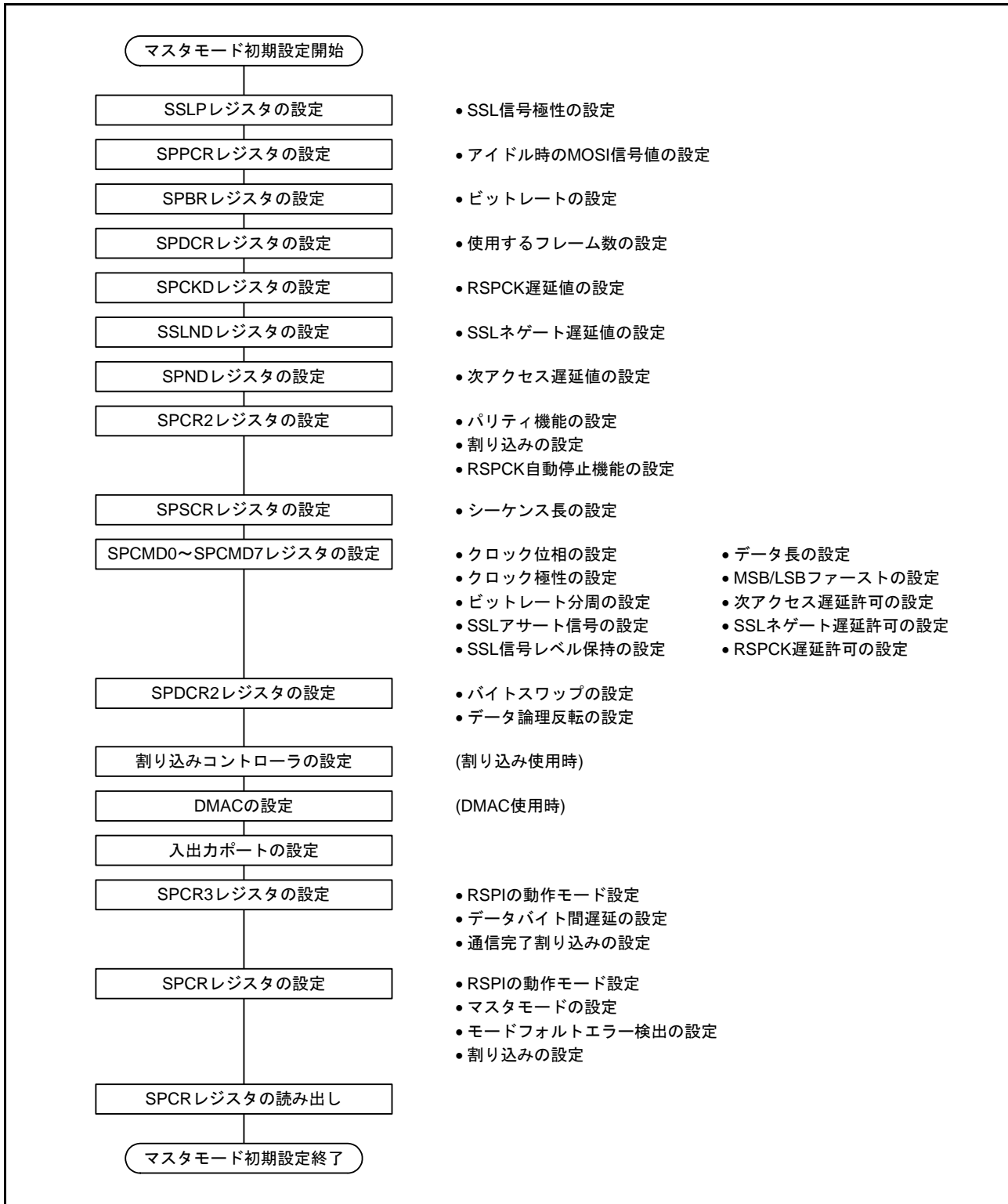


図 34.38 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 34.40 ～図 34.42 に示します。

(a) 通信開始前処理フロー

通信を開始する前に、エラーフラグをクリアし、アイドル割り込み、通信完了割り込みを禁止してください。その後、RSPId 機能を有効にするとともに、必要な割り込みを許可してください。

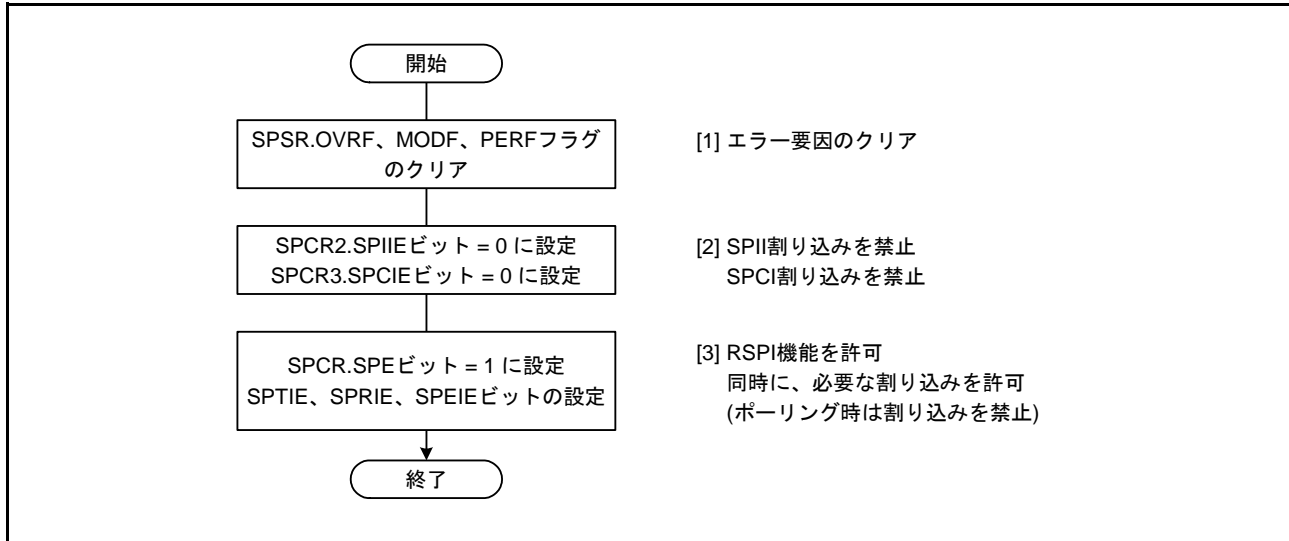


図 34.39 マスタモード時のフローチャート (通信開始前)

(b) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みまたは SPCI 割り込みを許可することによって、全データの送信完了を CPU に通知することが可能です。

SPII 割り込みや SPCI 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったか、あるいは SPCF フラグが“1”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書いた後から IDLNF フラグが“1”になる、または SPCF フラグが“0”になるまでには、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグや“0”になる前の SPCF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグまたは SPCF フラグの値から全データ送信完了の確認に使用してください。

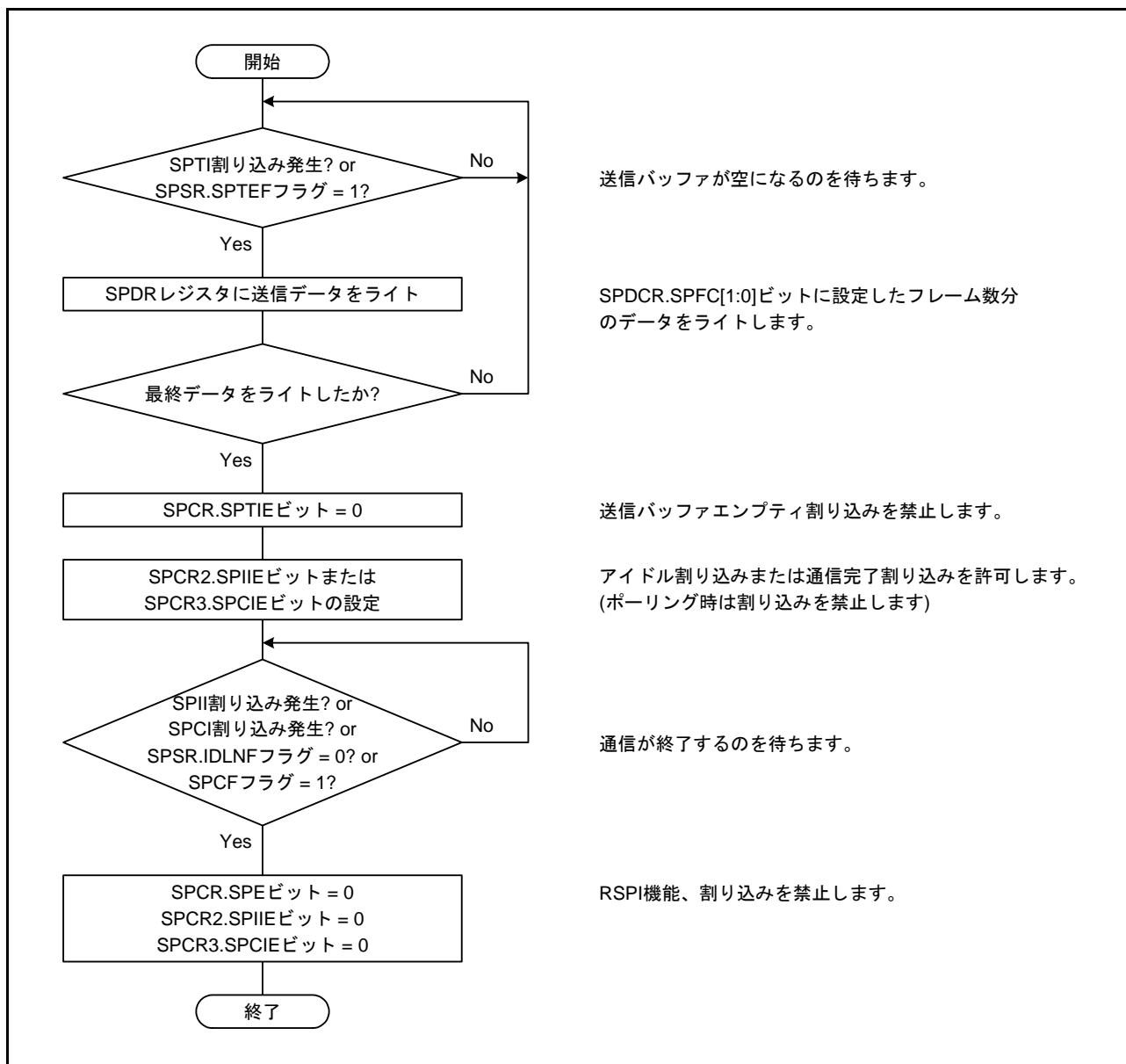


図 34.40 マスタモード時のフローチャート (送信)

(c) 受信処理フロー

RSPIはマスタモードでの受信のみの単方向通信をサポートしていないため、送信を必要とします。

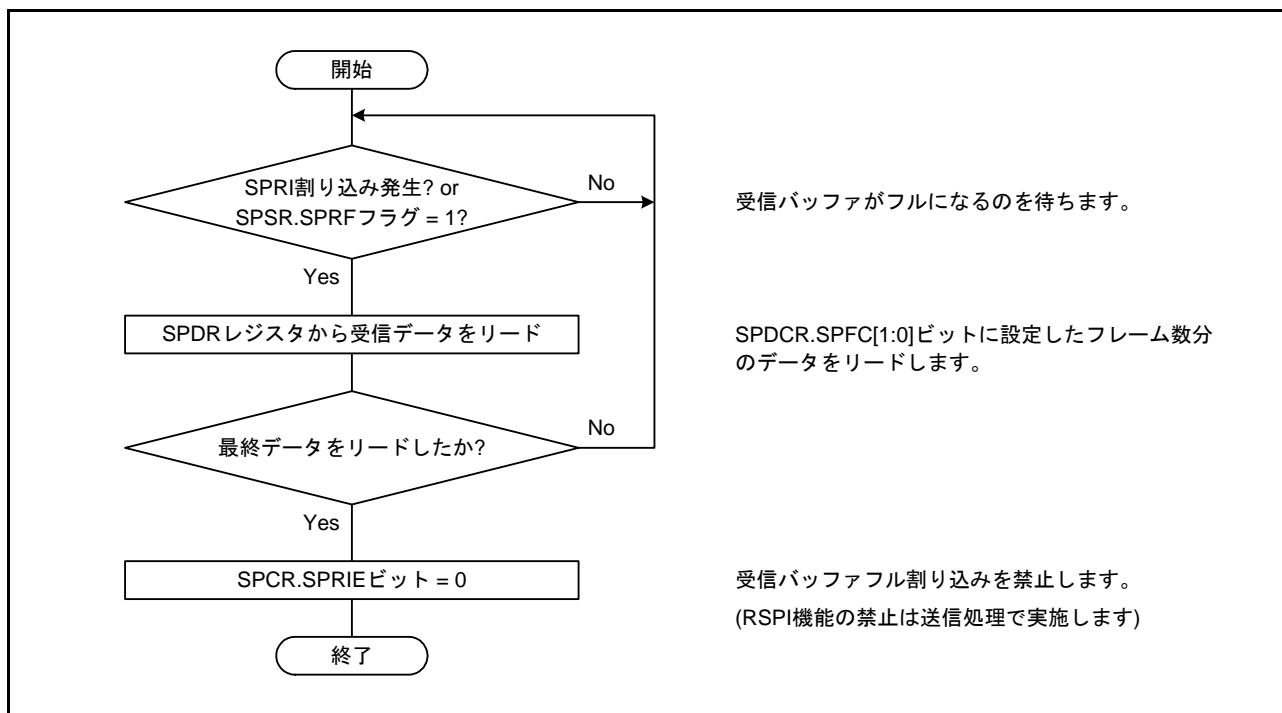


図 34.41 マスタモード時のフローチャート (受信)

(d) エラー処理フロー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信 / 受信動作を停止させます。しかし、その他のエラー要因では SPCR.SPE ビットはクリアされず送信 / 受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0] ビットが更新されてしまうため、SPCR.SPE ビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性がありますので、エラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

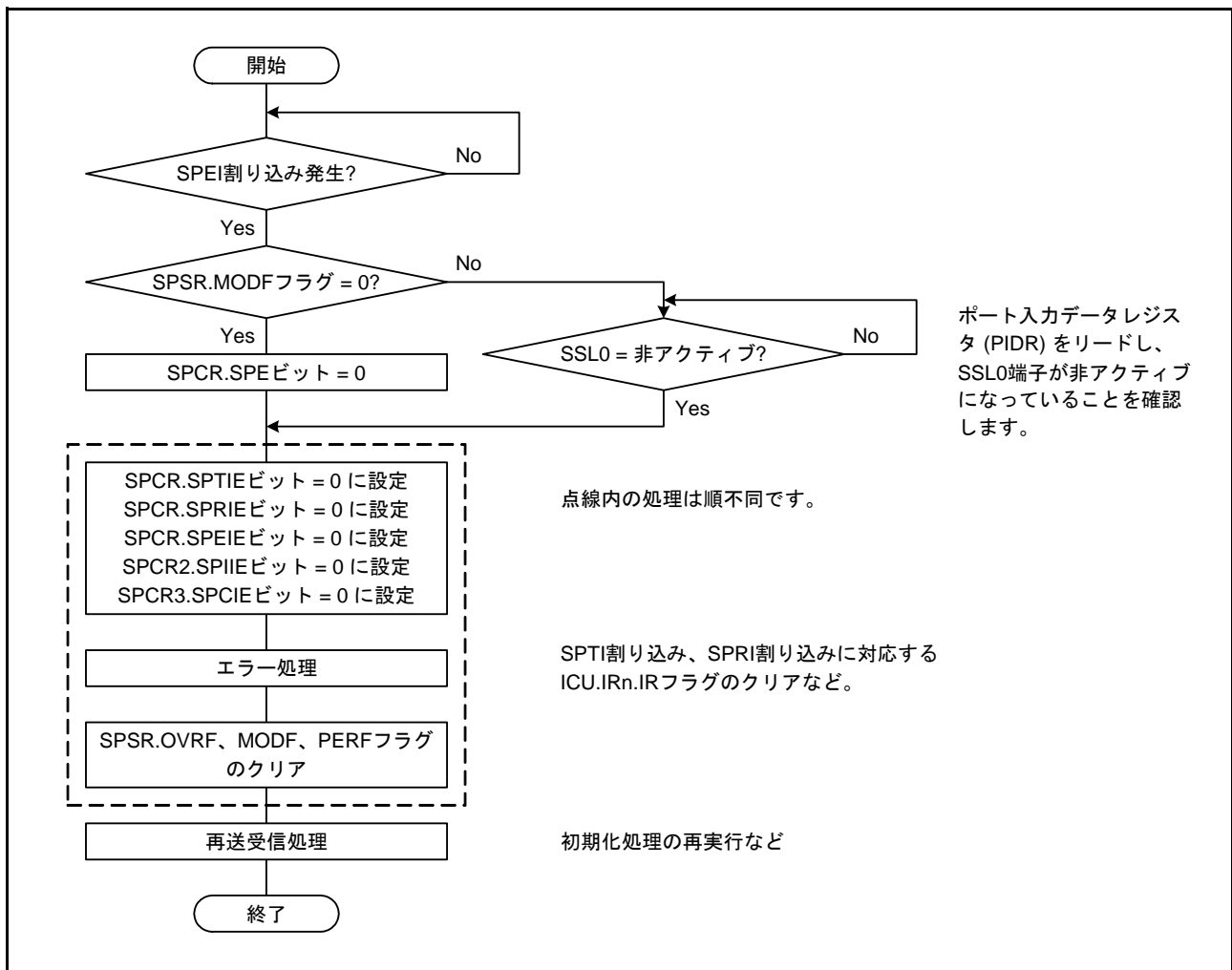


図 34.42 マスタモード時のフローチャート (エラー)

34.3.12.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLA0入力信号のアサートを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“0”の場合には、SSLA0入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが“1”の場合には、RSPIはSSLA0入力信号のアサート状態で最初のRSPCKAエッジを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが“1”の場合には、SSLA0信号アサート状態における最初のRSPCKAエッジがシリアル転送開始のトリガになります。

CPHA ビットの設定に依存せず、RSPIがMISOA出力信号のドライブを開始するタイミングは、SSLA0信号アサートタイミングです。CPHA ビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。SSLA0入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合(SPRFフラグが“0”の場合)には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLA0入力信号のネゲートを検出するとモードフォルトエラーが発生します(「34.3.10 エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLA0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHA ビットが“0”の場合には、RSPIはSSLA0入力信号のアサートエッジを検出するとシリアル転送を開始します。図34.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLA0入力信号がアクティブ状態に固定されるため、CPHA ビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLA0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHA ビットを“1”にしてください。CPHA ビットを“0”にする必要がある場合には、SSLA0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送(バースト転送)を実行できます。CPHA ビットが“1”の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 34.43 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

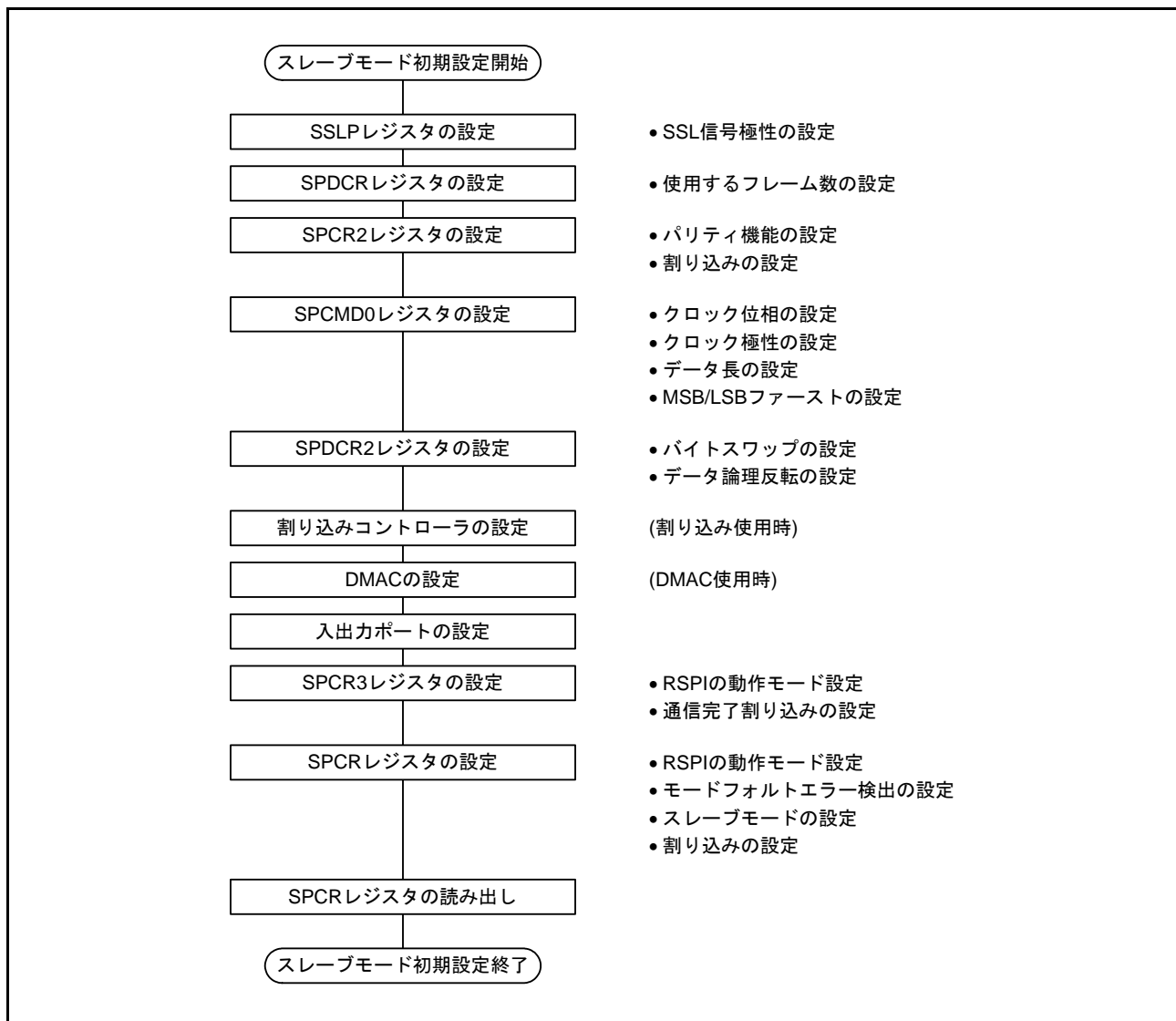


図 34.43 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 34.45 ～図 34.47 に示します。

(a) 通信開始前処理フロー

通信を開始する前に、エラーフラグをクリアし、アイドル割り込みを禁止してください。その後、RSPI機能を有効にするとともに、必要な割り込みを許可してください。

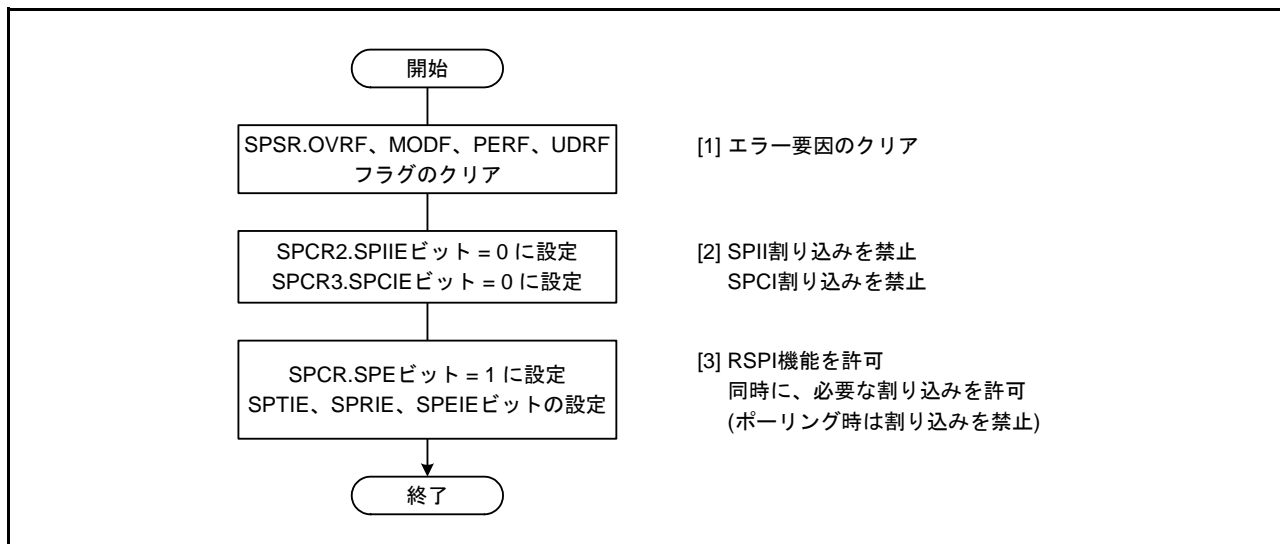


図 34.44 スレープモード時のフローチャート (通信開始前)

(b) 送信処理フロー

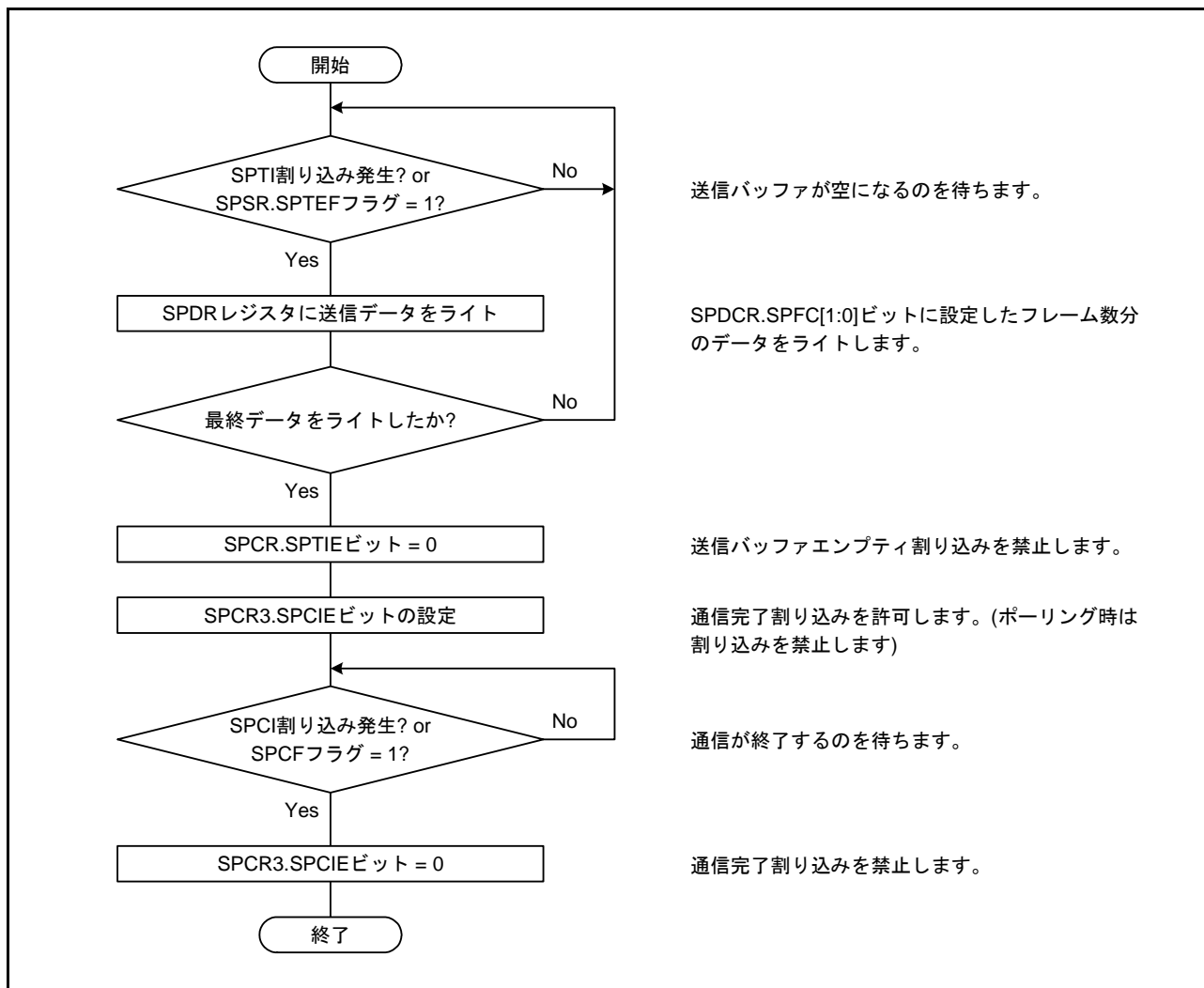


図 34.45 スレープモード時のフローチャート (送信)

(c) 受信処理フロー

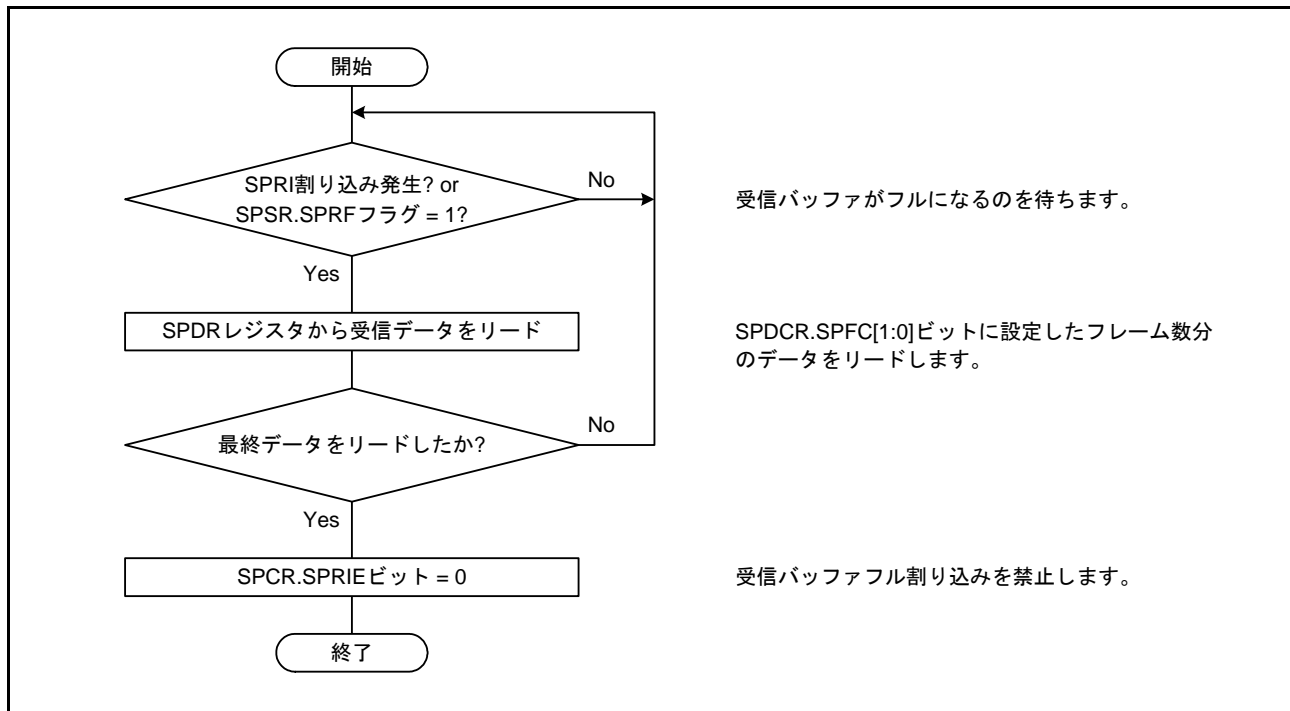


図 34.46 スレーブモード時のフローチャート (受信)

(d) エラー処理フロー

スレーブモード時は、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

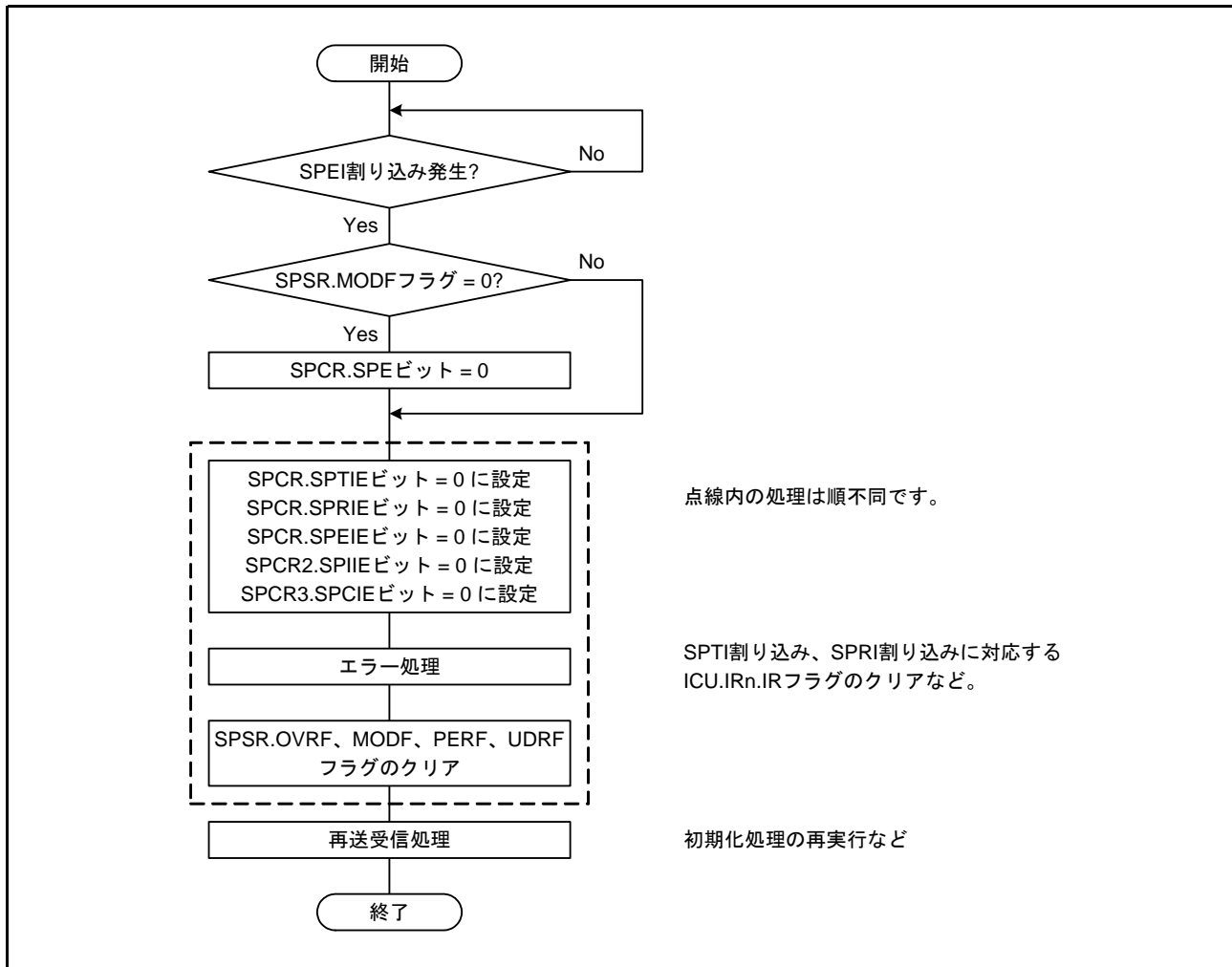


図 34.47 スレーブモード時のフローチャート (エラー処理)

34.3.13 クロック同期式動作

RSPI は、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の 3 本の端子を用いて通信を行い、SSLAi 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作を行います。マスタモード、スレーブモードにおいて、SPI 動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にしないでください。

34.3.13.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLAi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKA 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”で RSPI 動作が許可された状態にすると、RSPI はコマンドに対するポインタを SPCMD0 レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

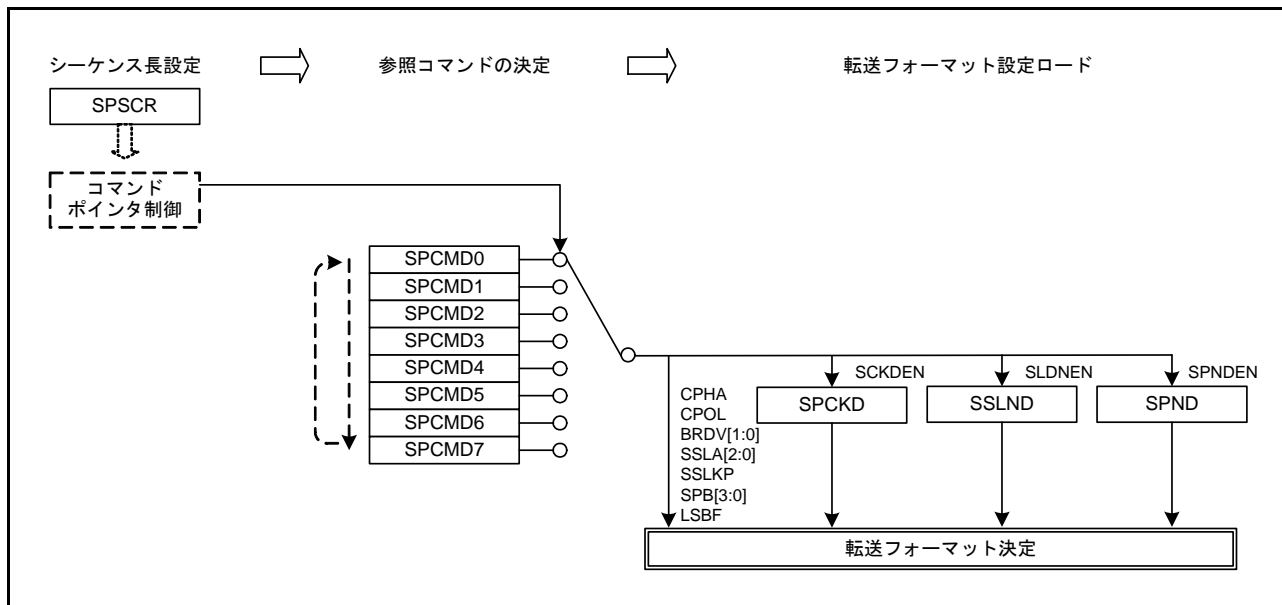


図 34.48 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

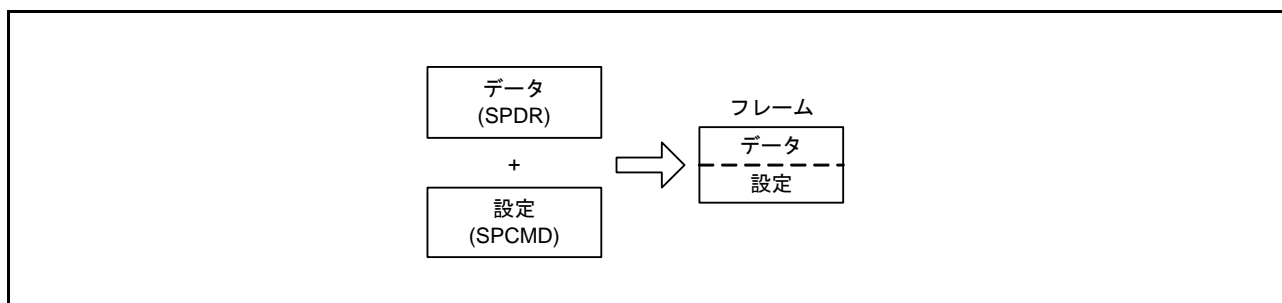


図 34.49 フレーム概念図

表 34.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 34.50 に示します。

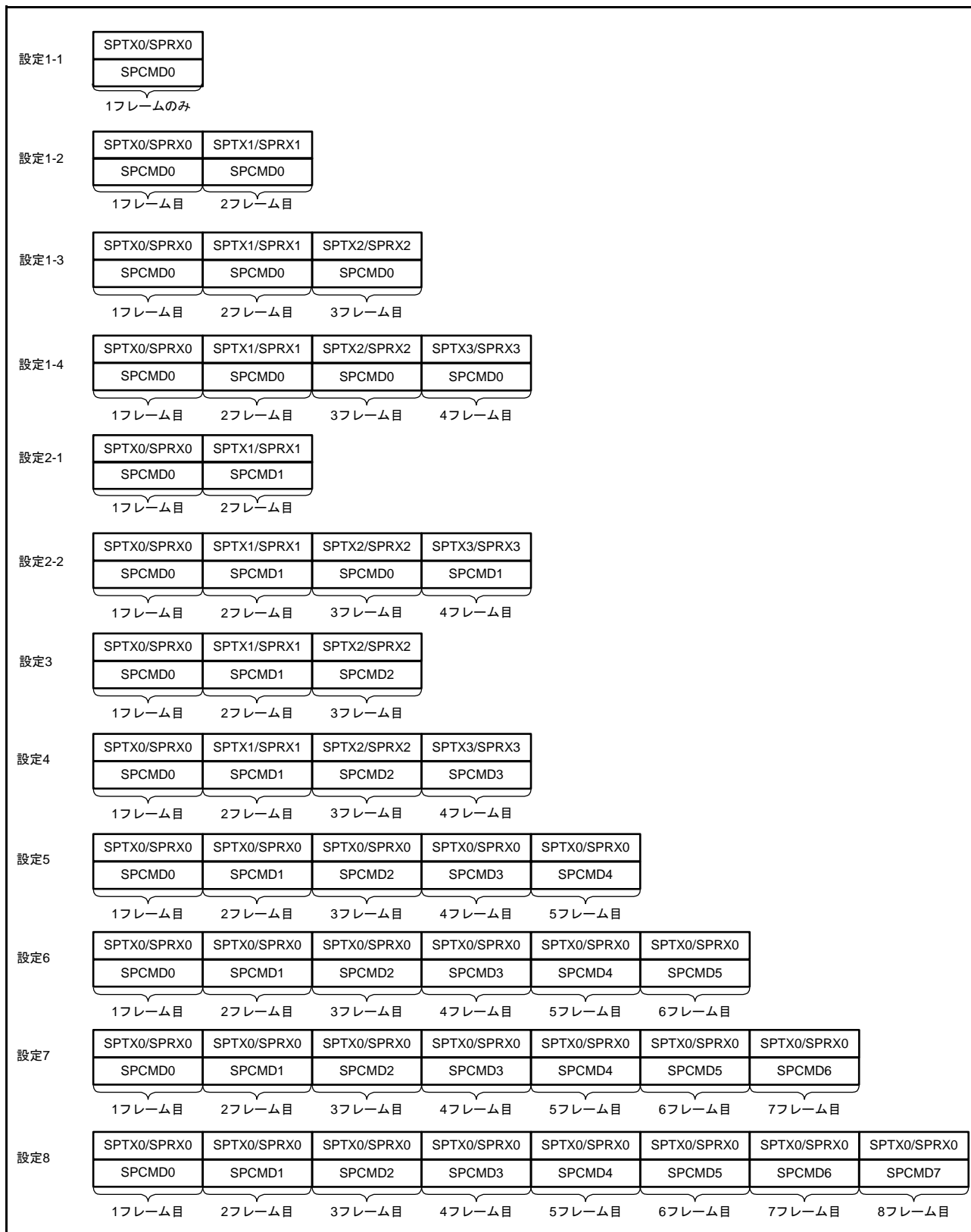


図 34.50 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 34.51 に、クロック同期式動作時の RSPi をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

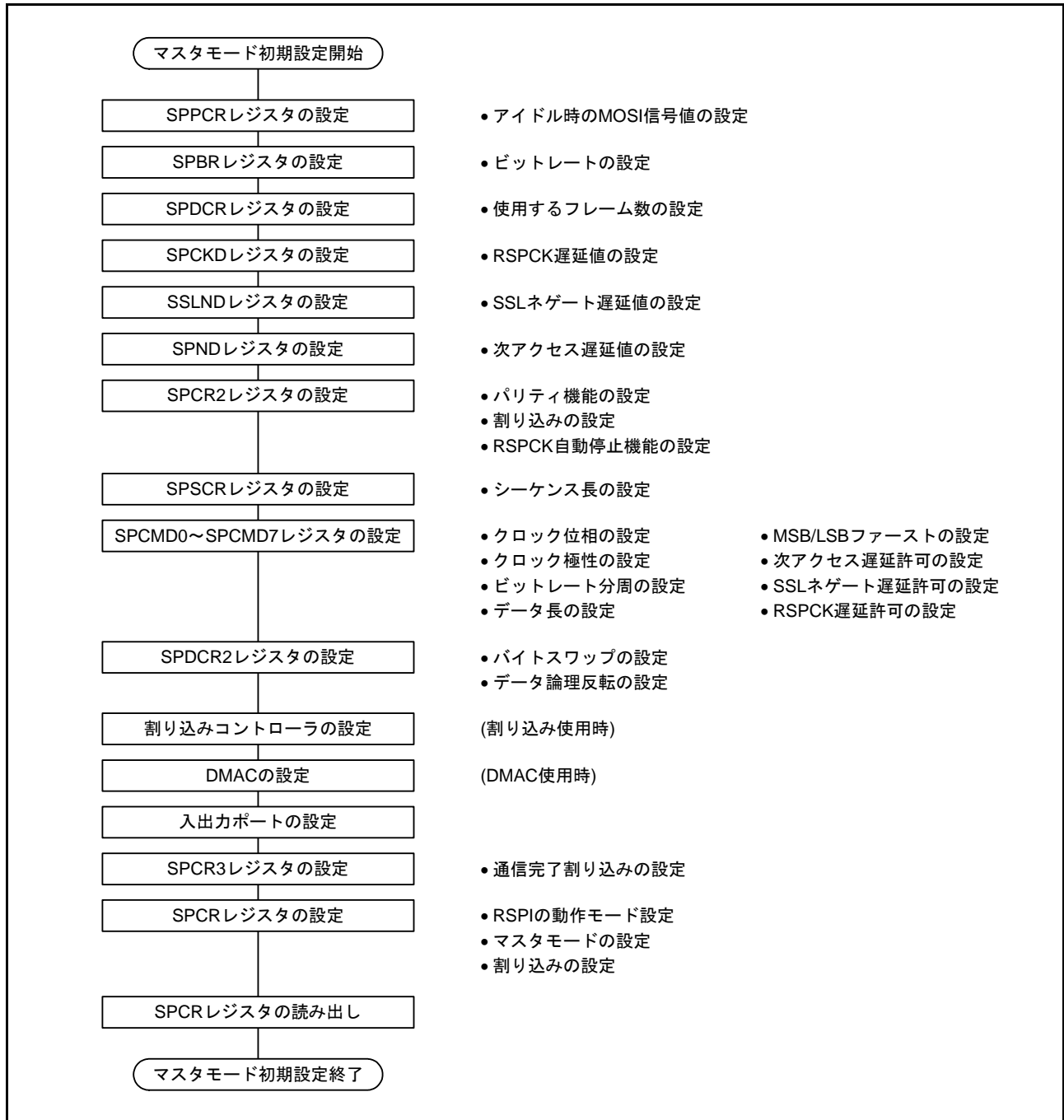


図 34.51 マスターモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「34.3.12.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

34.3.13.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCKAエッジがシリアル転送開始のトリガになります。

SPMSビットが“1”であるときは、RSPIはMISOA出力信号をドライブします。

なお、RSPIの転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLA0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファが空(SPSR.SPRFフラグが“0”)の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「34.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 34.52 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

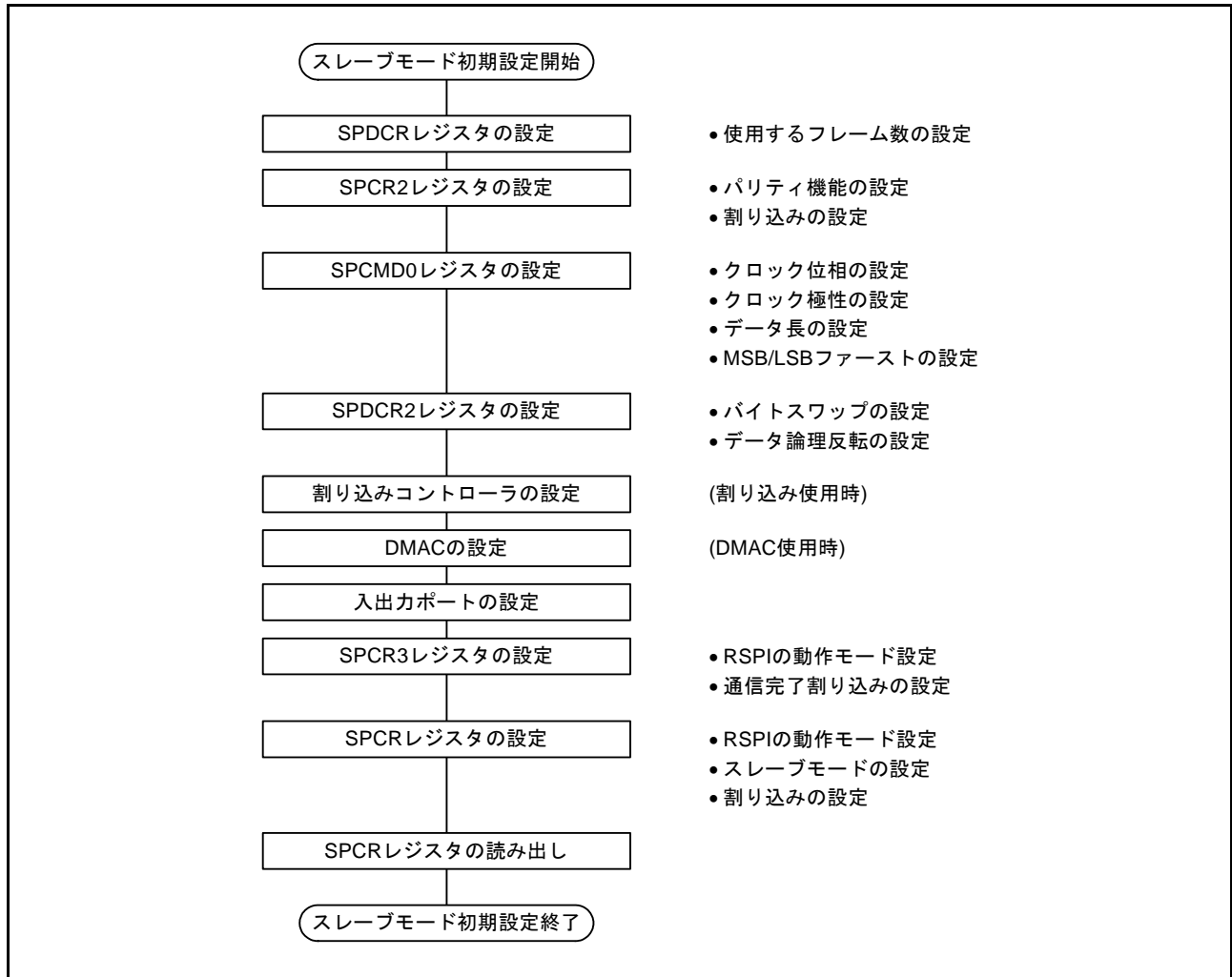


図 34.52 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「34.3.12.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

34.3.14 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 34.11 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 34.53 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 34.11 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIA 端子または MISOA 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

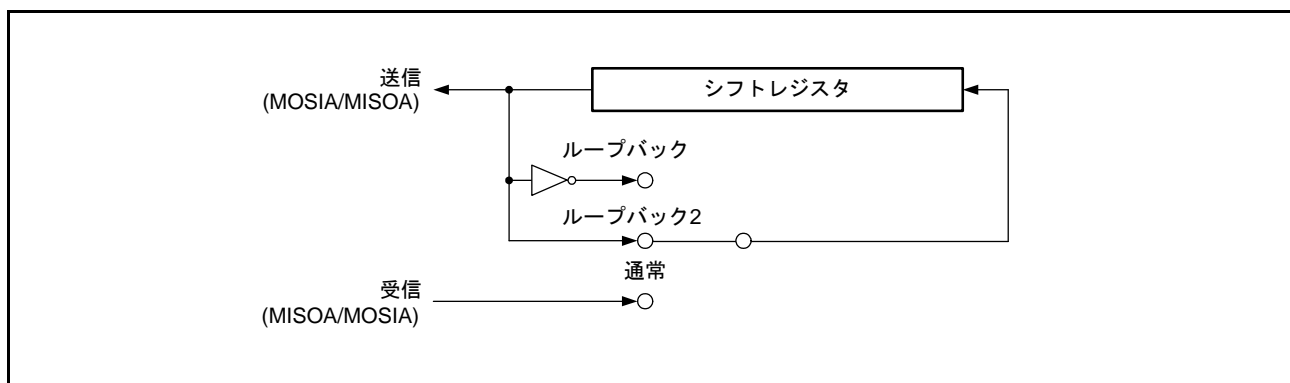


図 34.53 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

34.3.15 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 34.54 に示すのフローに従い、パリティ回路の自己診断を行います。

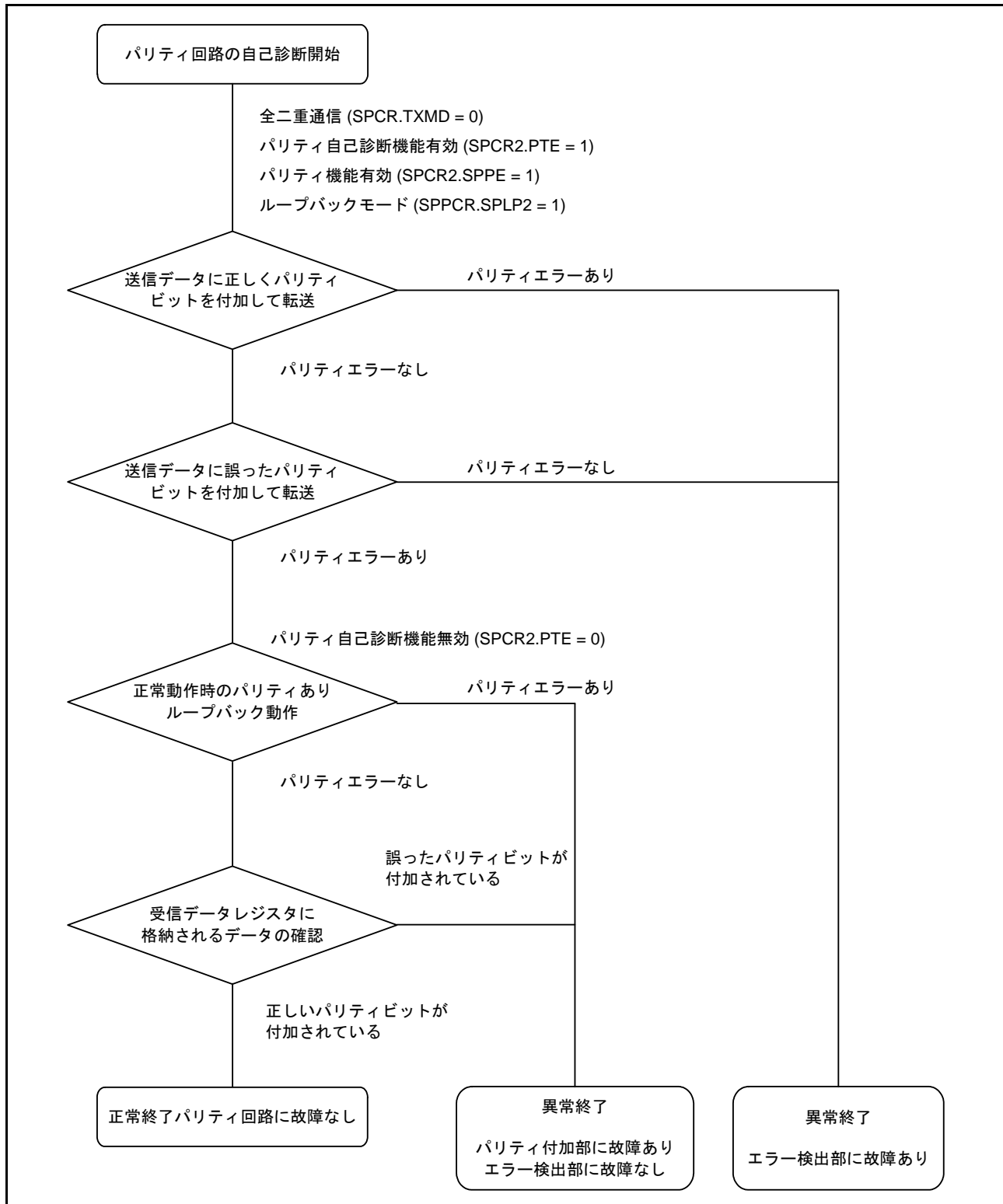


図 34.54 パリティ回路の自己判断フロー

34.3.16 割り込み要因

RSPIの割り込み要因には、受信バッファフル、送信バッファエンプティ、エラー(モードフォルト、アンダラン、オーバラン、パリティエラー)、アイドル、通信完了があります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDTC、DMACを起動し、データ転送を行うことができます。

モードフォルト、アンダラン、オーバラン、パリティエラーの割り込み要求がSPEIのベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表34.12にRSPIの割り込み要因を示します。表34.12の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTCまたはDMACを使って送受信を行う場合は、先にDTCまたはDMACを設定し、許可状態にしてからRSPIの設定を行ってください。DTCまたはDMACの設定方法は「17. DMAコントローラ(DMACAa)」、「18. データトランスファコントローラ(DTCb)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IRフラグが“1”のときに割り込み発生条件となっても、ICUに対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1要因ごとに1要求までです)。ICU.IRn.IRフラグが“0”になると、ICUに対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット(SPCR.SPTIEビットまたはSPCR.SPRIEビット)を“0”にすることでクリアが可能です。

表34.12 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC起動
受信バッファフル	SPRI	SPCR.SPRIEビットが“1”の状態を受信バッファフル(SPRFフラグが“1”)になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIEビットが“1”の状態を送信バッファエンプティ(SPTEFフラグが“1”)になったとき	可能
エラー(モードフォルト、アンダラン、オーバラン、パリティエラー)	SPEI	SPCR.SPEIEビットが“1”の状態でSPSR.MODF、UDRF、OVRF、またはPERFフラグが“1”)になったとき	不可能
アイドル	SPII	SPCR2.SPIIEビットが“1”の状態でSPSR.IDLNFフラグが“0”)になったとき	不可能
通信完了	SPCI	SPCR3.SPCIEビットが“1”の状態でSPSR.SPCFフラグが“1”)になったとき	不可能

34.4 イベントリンク機能によるリンク動作

RSPi0 はイベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

34.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

34.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを“0”から“1”に変化させたときにイベントを出力します。

34.4.3 モードフォルト/アンダラン/オーバラン/パリティエラーイベント出力

(1) モードフォルト

表 34.13 にモードフォルトイベント出力の発生条件を示します。

表 34.13 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLA0端子	備考
マスタ (SPCR.MSTR ビットが“1”)	1	アクティブ	MSTR ビットが“1”かつ SPCR.MODFEN ビットが“1”のとき、SPCR.SPMS ビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRn レジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTR ビットが“0”)	1	非アクティブ	通信動作中に SSLA0 端子が非アクティブになった場合のみイベント出力

(2) アンダラン

アンダランイベント出力の発生条件として、SPCR.MSTR ビットが“0”、かつ SPCR.SPE ビットが“1”で、送信バッファに送信データが書き込まれていないときにシリアル転送が開始されると、UDRF フラグと MODF フラグが“1”になり、イベントが出力されます。

(3) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが“1”となり、イベントを出力します。

(4) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが“0”、SPCR2 の SPPE ビットが“1”の状態でシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

34.4.4 アイドルイベント出力

(1) マスタモード時

マスタモード時は、IDLNF フラグ (アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモード時は、SPCR.SPE ビットが “0” (RSPI 初期化) のとき、イベントを出力します。

34.4.5 通信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。スレーブモード時は表 34.14、表 34.15 に示す条件でイベントを出力します。

表 34.14 通信完了イベント出力の発生条件(スレーブモード、全二重通信または送信のみの単方向通信)

RSPIモード	送信バッファ状態	シフトレジスタ状態	その他
SPI動作(SPMS = 0)	エンプティ	エンプティ	SSLA0入力ネゲート
クロック同期式動作(SPMS = 1)	エンプティ	エンプティ	最終データのRSPCKA最終偶数エッジ検出

表 34.15 通信完了イベント出力の発生条件(スレーブモード、受信のみの単方向通信)

RSPIモード	条件
SPI動作(SPMS = 0)	最終データ受信後、SSLA0入力ネゲート
クロック同期式動作(SPMS = 1)	最終データのRSPCKA最終偶数エッジ検出

マスタモード/スレーブモードに関わらず、通信動作中に SPCR.SPE ビットに “0” を書いたとき、またはモードフォルトエラーが発生して SPCR.SPE ビットがクリアされたときはイベントを出力しません。

34.5 使用上の注意事項

34.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止 / 許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

34.5.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

34.5.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること)を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット)を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット)を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

34.5.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF、SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE、SPTIE ビットを“0”にしてください。

35. CRC 演算器 (CRCA)

CRC (Cyclic Redundancy Check) 演算器は、CRC コード生成を行います。

35.1 概要

表 35.1 に CRC 演算器の仕様を示します。図 35.1 に CRC 演算器のブロック図を示します。

表 35.1 CRC 演算器の仕様

項目	内容	
データサイズ	8ビット	32ビット
CRC演算対象データ(注1)	8nビットのデータに対してCRCコードを生成(n = 自然数)	32nビットのデータに対してCRCコードを生成(n = 自然数)
CRC演算処理方式	8ビット並列実行	32ビット並列実行
CRC生成多項式	3つの多項式から選択可能 • 8ビットCRC $X^8 + X^2 + X + 1$ • 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$	2つの多項式から選択可能 • 32ビットCRC $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への遷移が可能	

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位または32ビット単位で書いてください。

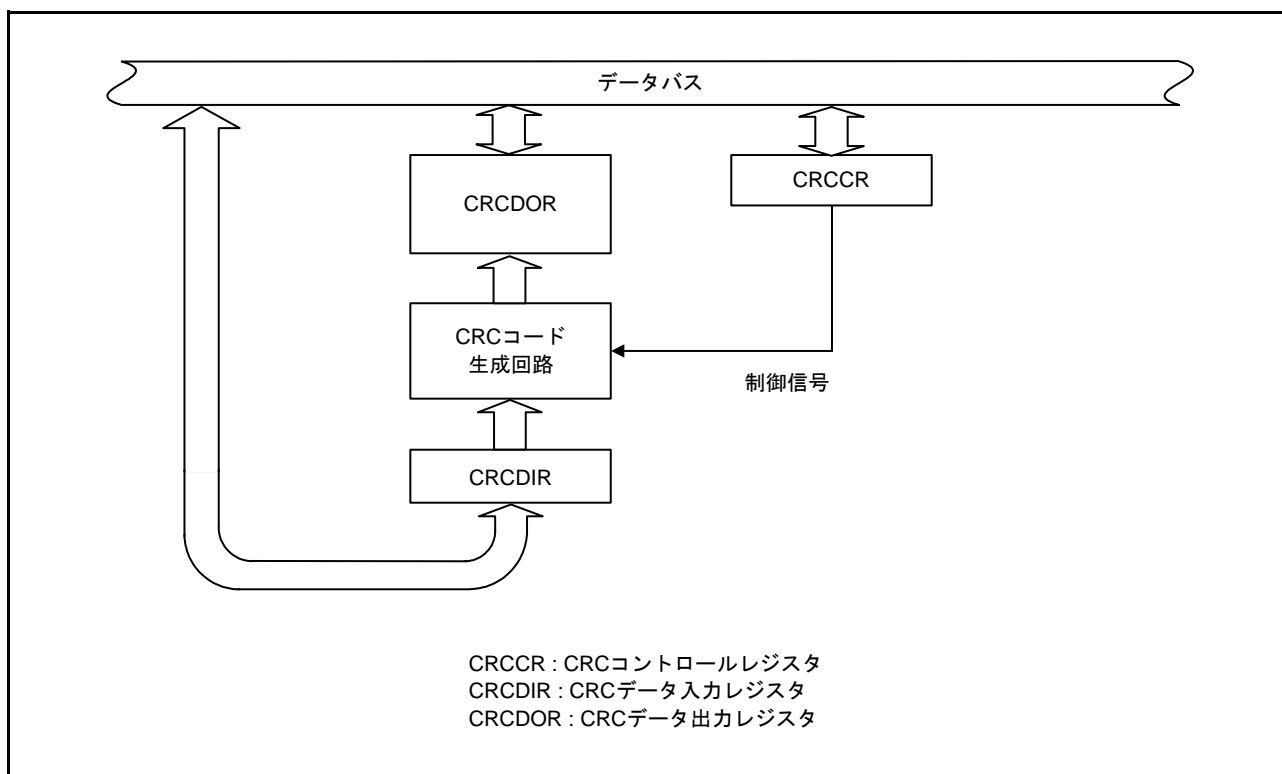


図 35.1 CRC 演算器のブロック図

35.2 レジスタの説明

35.2.1 CRC コントロールレジスタ (CRCCR)

アドレス CRC.CRCCR 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC生成多項式切り替えビット	b2 b0 0 0 0 : 計算しません 0 0 1 : 8ビットCRC ($X^8 + X^2 + X + 1$) 0 1 0 : 16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1 : 16ビットCRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0 : 32ビットCRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1 : 32ビットCRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0 : 計算しません 1 1 1 : 計算しません	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア 読むと“0”が読めます	W (注1)

注1. “1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成したCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイトから先に、MSBファーストで通信を行う場合はCRCコードの上位バイトから先に送信してください。

CRCコードの送信および受信については、「35.3 CRC演算器の動作説明」を参照してください。

DORCLR ビット (CRCDOR レジスタクリアビット)

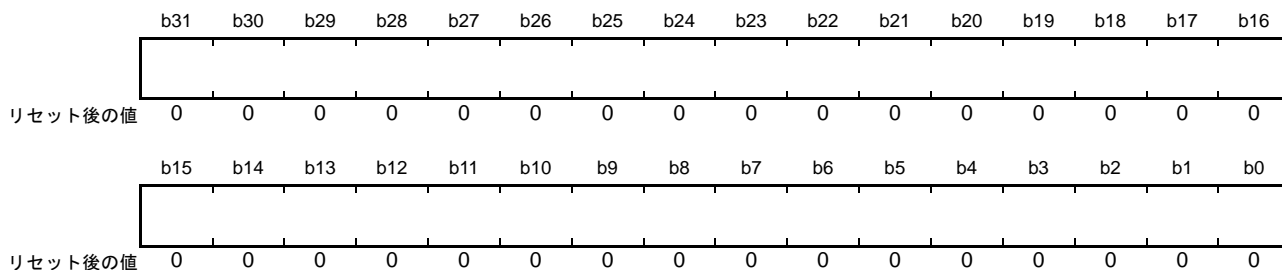
DORCLRビットに“1”を書くと、CRCDORレジスタが“0000 0000h”になります。

読むと“0”が読めます。“0”を書いても何も起こりません。

35.2.2 CRC データ入力レジスタ (CRCDIR)

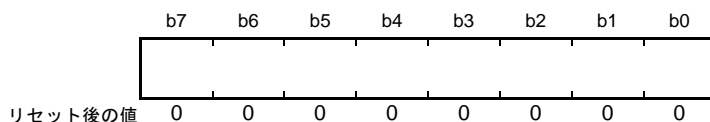
- 32 ビット CRC 生成時

アドレス CRC.CRCDIR 0008 8284h



- 16 ビット CRC、8 ビット CRC 生成時

アドレス CRC.CRCDIR 0008 8284h

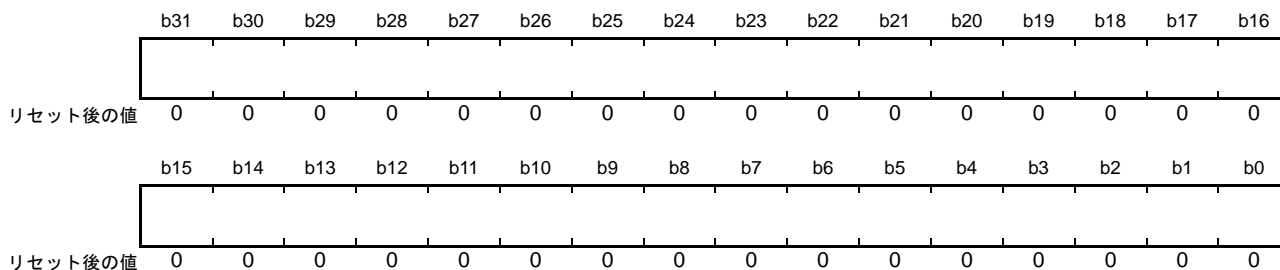


CRCDIR レジスタは、読み出し / 書き込み可能なレジスタです。CRC 演算の対象となるデータを書いてください。32 ビット CRC を生成する場合は、CRCDIR レジスタをロングワードアクセスしてください。8 ビット CRC または 16 ビット CRC を生成する場合は、CRCDIR レジスタをバイトアクセスしてください。

35.2.3 CRC データ出力レジスタ (CRCDOR)

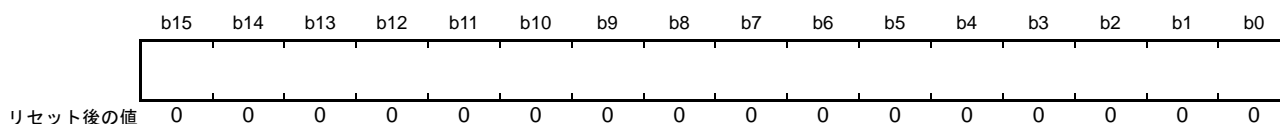
- 32 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h



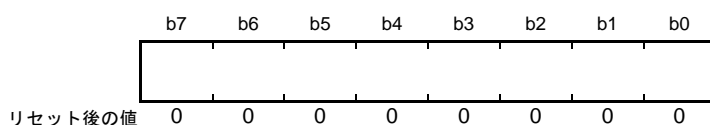
- 16 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h



- 8 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h



CRCDOR レジスタは、読み出し / 書き込み可能なレジスタです。

リセット後の値は“0000 0000h”ですので、初期値を“0000 0000h”以外にして演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRCDIR レジスタに書き、その演算結果が“0000 0000h”の場合、誤りがないと判断できます。

32 ビット CRC を選択した場合は、CRCDOR レジスタをロングワードアクセスしてください。16 ビット CRC を選択した場合は、CRCDOR レジスタをワードアクセスしてください。8 ビット CRC を選択した場合は、CRCDOR レジスタをバイトアクセスしてください。

35.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト /MSB ファースト通信用 CRC コードを生成します。

16 ビットの CRC 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) の CRC コードを生成する例を以下に示します。この例では CRC 演算の初期値を “0000 0000h” にするために、DORCLR ビットを “1” にして CRC データ出力レジスタ (CRCDOR) の値をクリアしています。

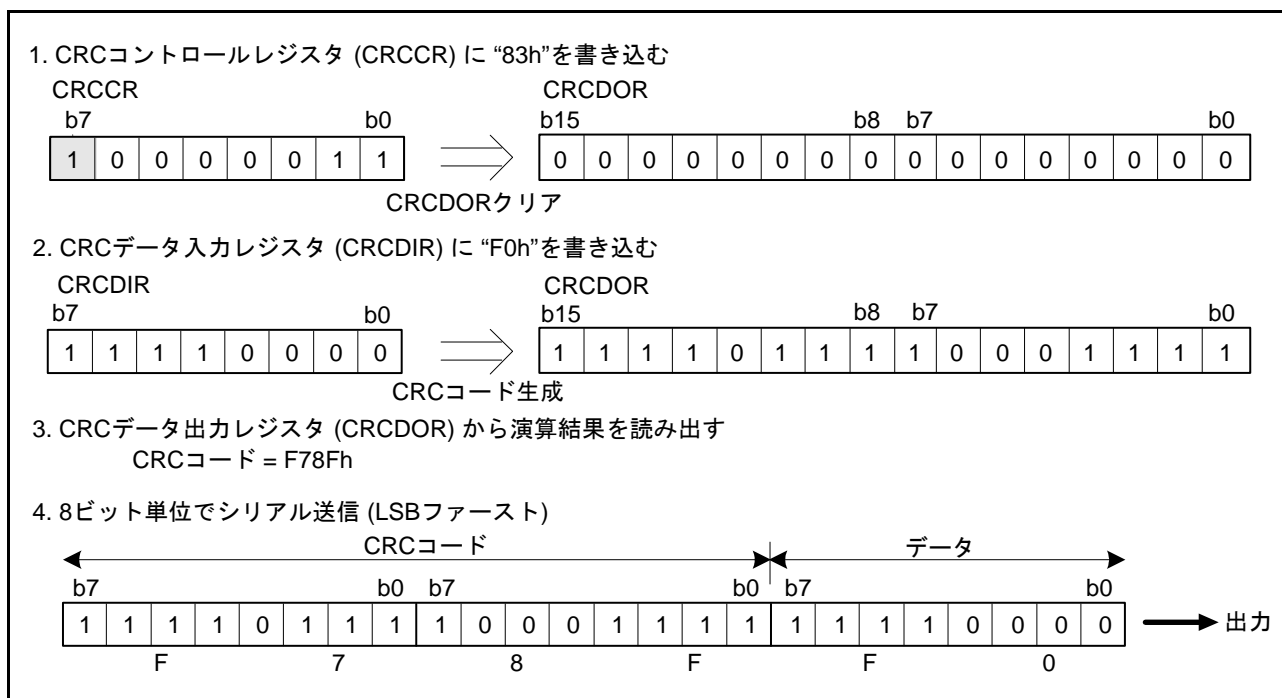


図 35.2 LSB ファーストでのデータ送信

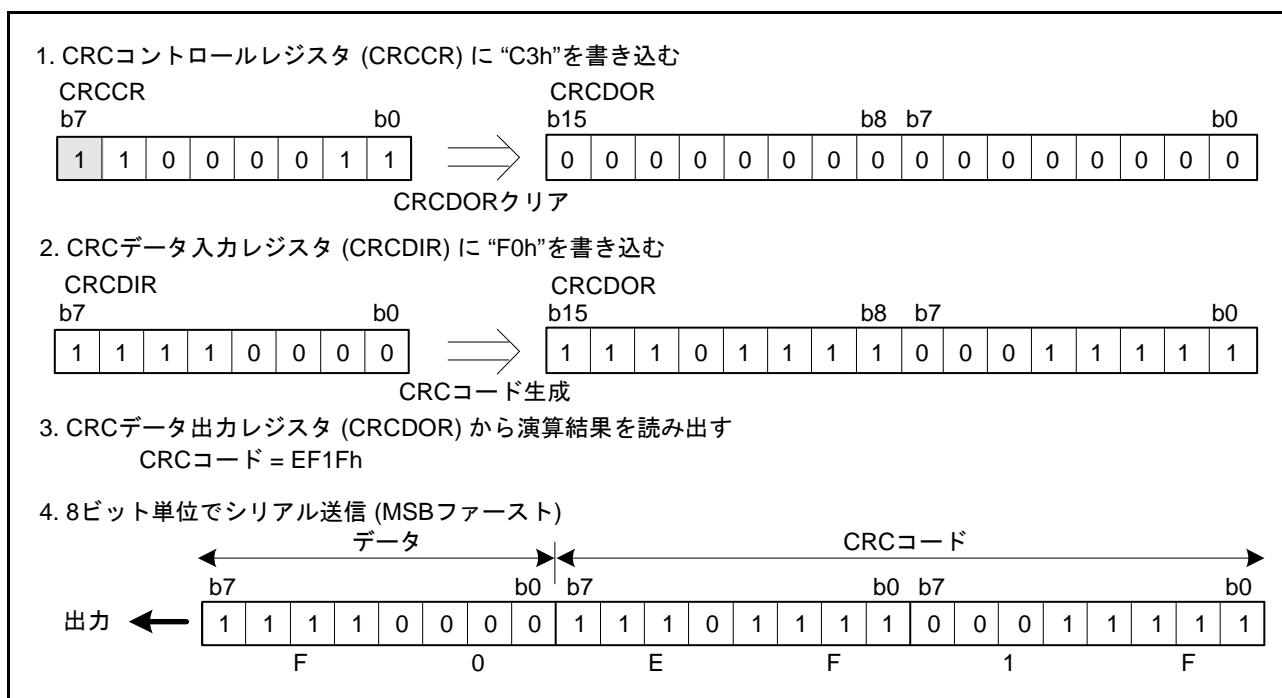


図 35.3 MSB ファーストでのデータ送信

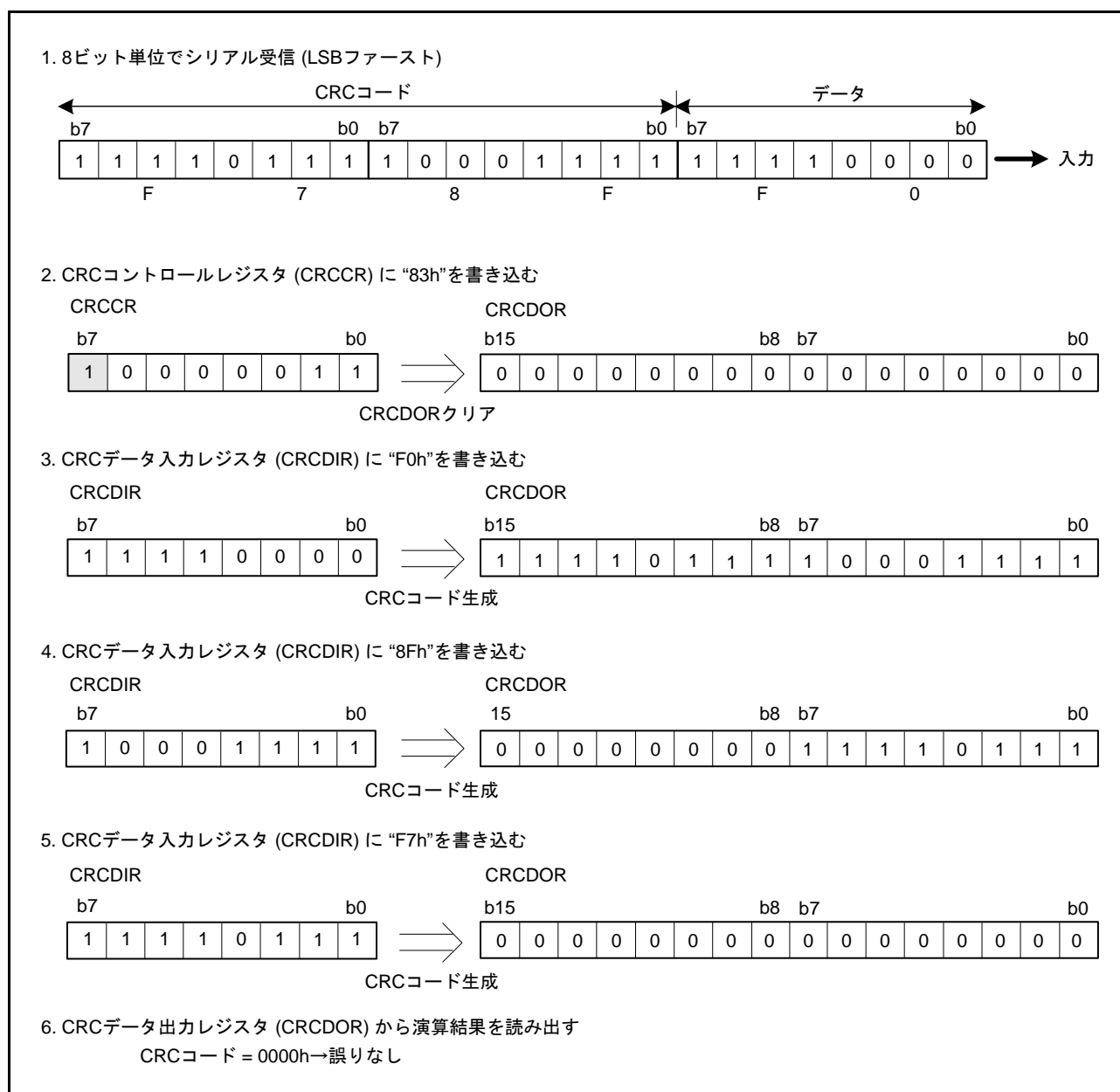


図 35.4 LSBファーストでのデータ受信

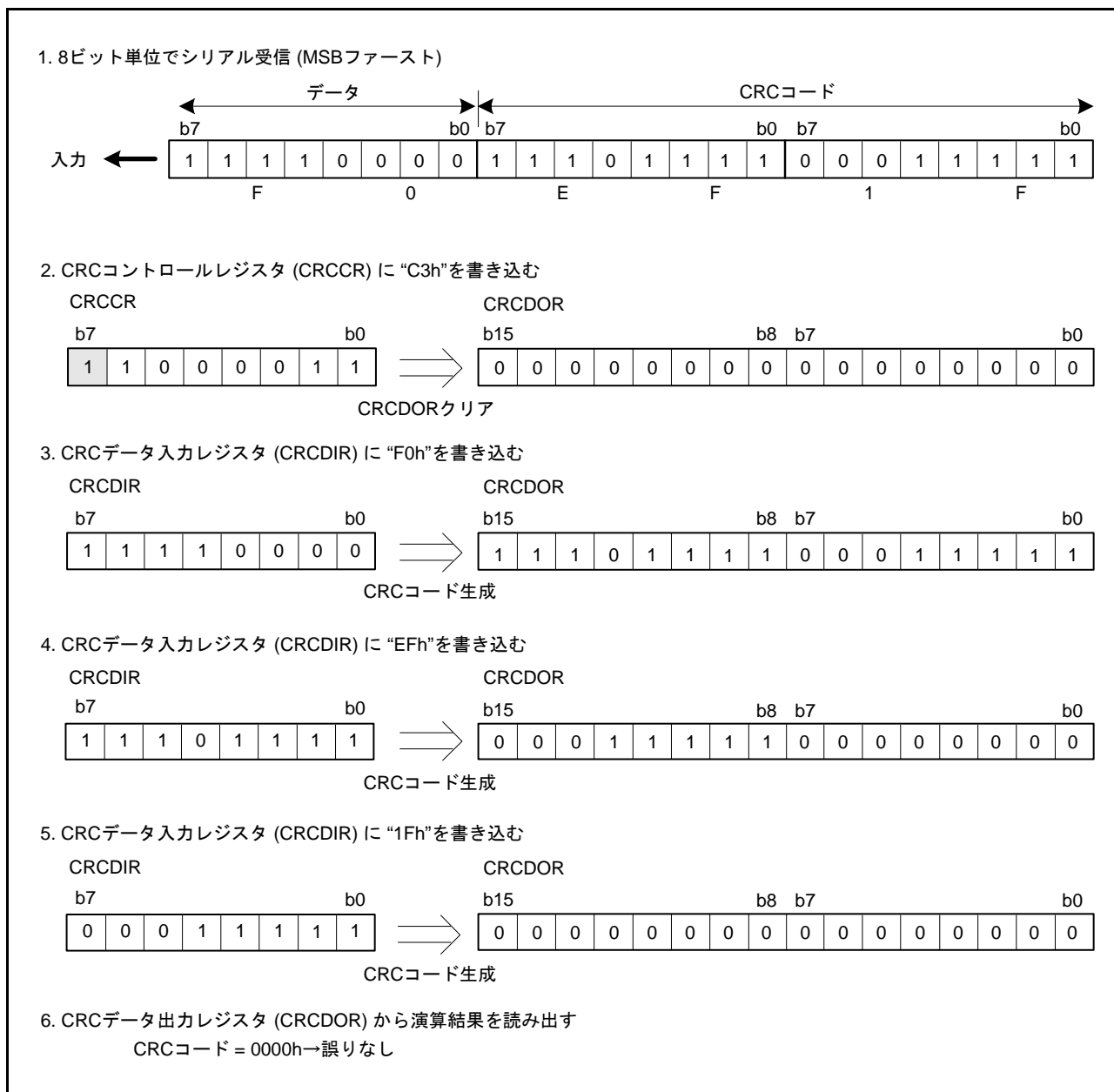


図 35.5 MSBファーストでのデータ受信

35.4 使用上の注意事項

35.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止 / 許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

35.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードを送る順序が異なりますので注意してください。

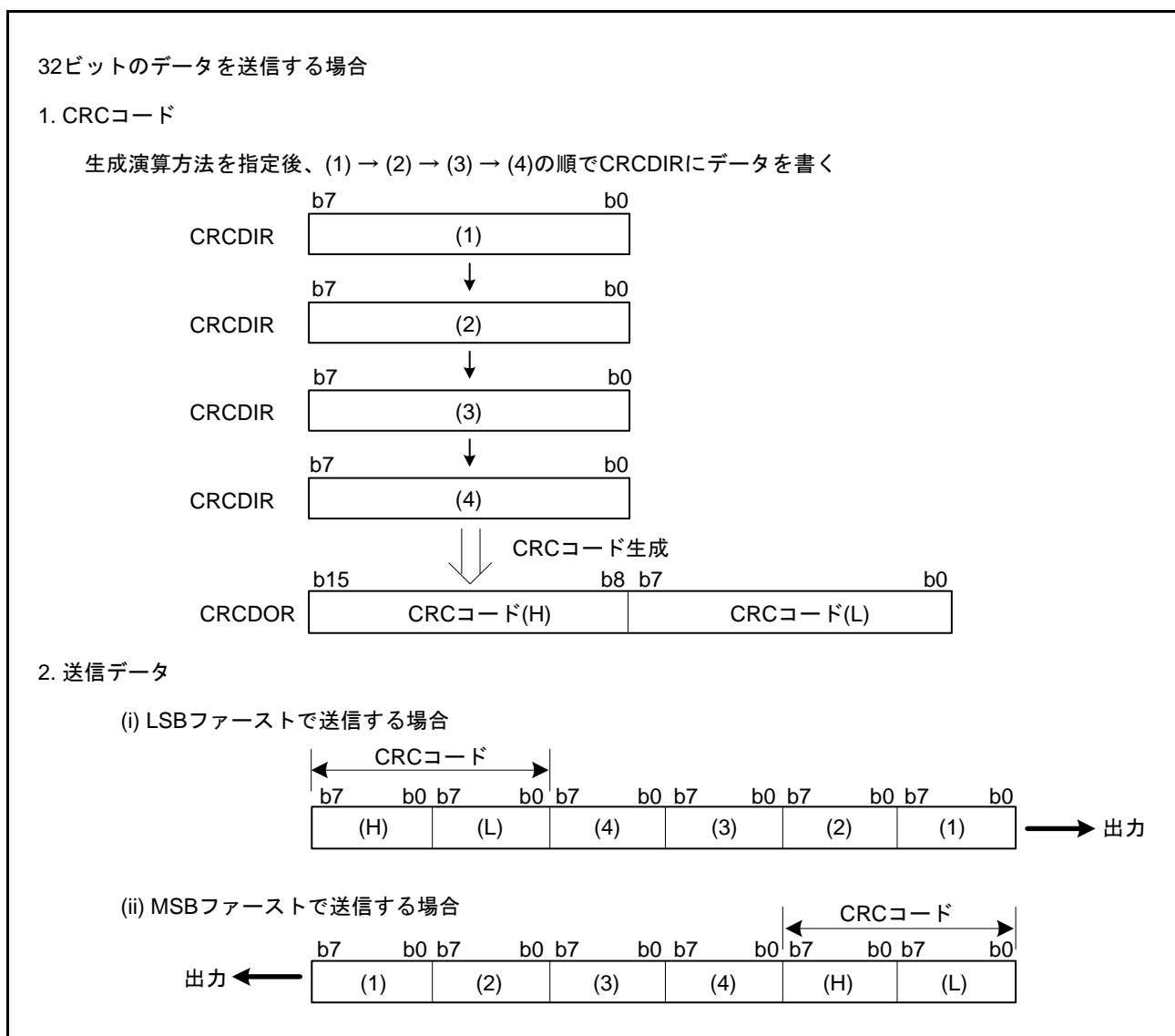


図 35.6 LSB ファーストと MSB ファーストの送信データ

36. リモコン信号受信機能 (REMCA)

本 MCU は、リモコン信号受信機能 (REMC0) を内蔵しています。REMC は、リモコン信号などの外部パルス入力信号のパルス幅や周期を検査し、データを受信することができます。

36.1 概要

表 36.1 に REMC の仕様、図 36.1 に REMC のブロック図を示します。

表 36.1 REMC の仕様

項目	内容
外部パルス入力	PMC0
動作クロック源 (注1)	<ul style="list-style-type: none"> サブクロック TMR コンペアマッチ出力 (TMO0) PCLKB
検査パターン	<ul style="list-style-type: none"> ヘッダパターン データ“0”パターン データ“1”パターン 特殊データパターン
受信バッファ	8バイト (64ビット)
割り込み要求信号	REMCIO
割り込み要因	<ul style="list-style-type: none"> コンペアー一致(比較ビット数: 1~16ビット) 受信エラー データ受信完了 受信バッファフル ヘッダパターン一致 データ“0”パターンまたはデータ“1”パターン一致 特殊データパターン一致
割り込みモード	<p>コンペアー一致、データ受信完了、ヘッダパターン一致、特殊データパターン一致の4つの割り込み要因に対し、以下の2つの割り込みモードのどちらかを選択可能</p> <ul style="list-style-type: none"> ノーマル割り込みモード いずれかの割り込み要求発生条件が成立したとき、割り込み要求が発生 シーケンシャル割り込みモード 許可されたすべての要因に対して割り込み要求発生条件が成立したとき、割り込み要求が発生
機能選択	<ul style="list-style-type: none"> 入力信号反転 デジタルフィルタ (3度または2度一致) (注2) パターンエンド設定
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への遷移が可能 低消費電力状態での信号受信、REMC割り込み要求による低消費電力状態からの復帰が可能

注1. 周辺モジュールクロック(PCLKB)周波数 > REMC動作クロック周波数となるようにしてください。

注2. デジタルフィルタのサンプリングクロックは、REMC0CON1.CSRC[3:0]ビットで選択した動作クロックです。

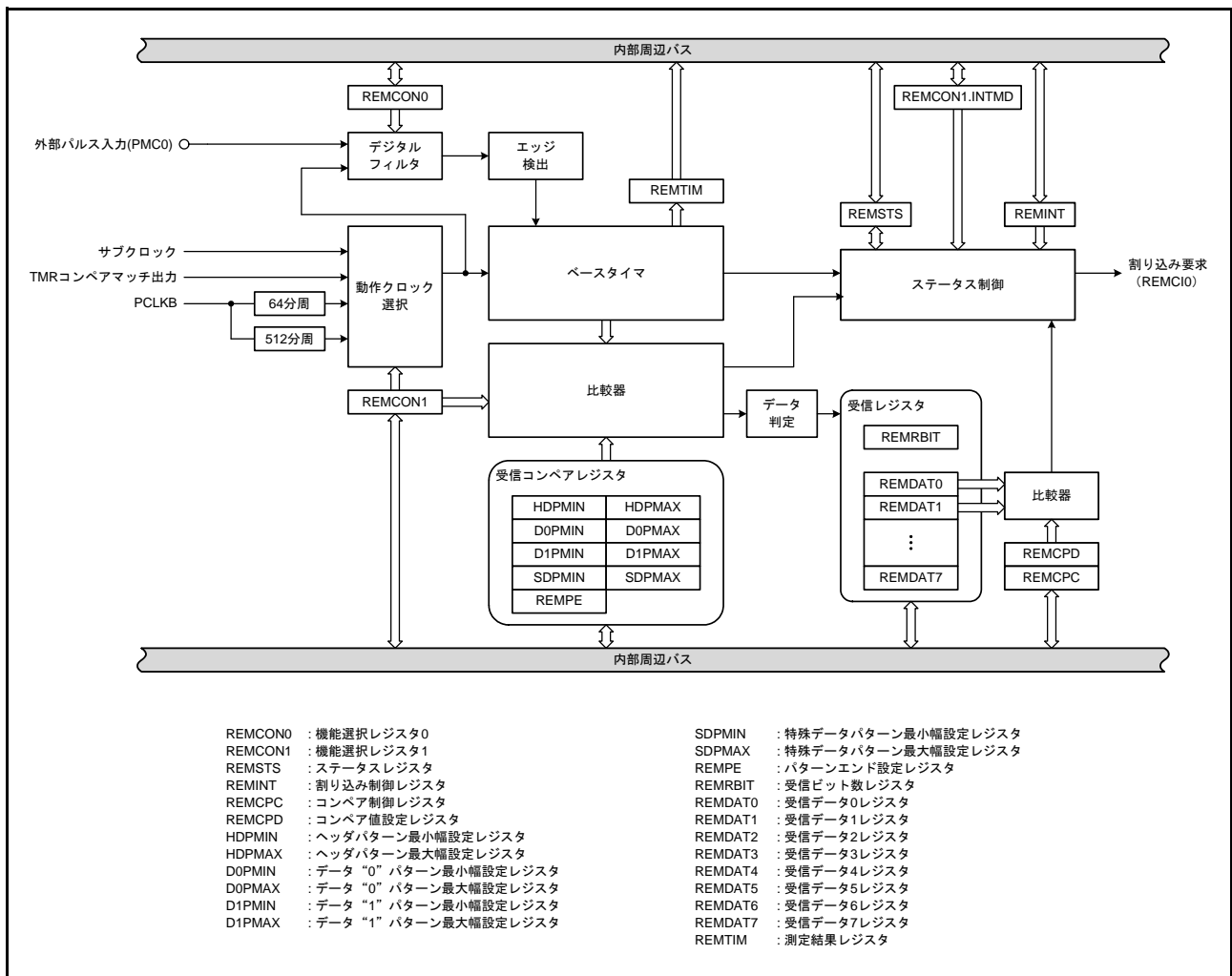


図 36.1 REMC のブロック図

表 36.2 に REMC で使用する入力端子を示します。

表 36.2 REMC の入出力端子

チャンネル	端子名	入出力	機能
REMC0	PMCO	入力	外部パルス信号入力

36.2 レジスタの説明

36.2.1 機能選択レジスタ 0 (REMC0)

アドレス REMC0.REMC0 000A 0B00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	FILSEL	—	EC	INFLG	FIL	INV	ENFLG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENFLG	リモコンステータスフラグ(注1)	0: 停止 1: 動作中	R
b1	INV	入力信号反転ビット(注2)	0: 反転なし 1: 反転あり	R/W
b2	FIL	デジタルフィルタ有効無効設定ビット(注2)	0: 3度または2度一致デジタルフィルタ無効 1: 3度または2度一致デジタルフィルタ有効	R/W
b3	INFLG	入力信号フラグ(注1)	0: リモコン信号受信機能の内部入力信号のレベルがLow 1: リモコン信号受信機能の内部入力信号のレベルがHigh	R
b4	EC	受信エラー取り込み動作選択ビット(注2)	0: エラーパターン受信後のデータを取り込む 1: エラーパターン受信後のデータを取り込まない	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	FILSEL	デジタルフィルタ機能選択ビット(注2)	0: 3度一致デジタルフィルタ 1: 2度一致デジタルフィルタ	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. REMCON1.ENビットを“0”にすると、“0”になります。

注2. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

ENFLG フラグ（リモコンステータスフラグ）

リモコン信号受信機能が動作停止中か動作中か確認できます。

ENFLG フラグはREMC0.ENビットへの書き込み後、動作クロック0～1クロック後に変化します。

FIL ビット（デジタルフィルタ有効無効設定ビット）

デジタルフィルタの有効/無効を選択します。

INFLG フラグ（入力信号フラグ）

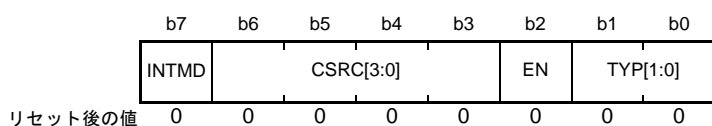
リモコン信号受信機能の内部入力信号のレベルが確認できます。リモコン信号受信機能の内部入力信号の確認できるレベルはINVビットおよびFILビットで設定した結果です。

EC ビット（受信エラー取り込み動作選択ビット）

エラーパターンを受信した後のREMRBIT、REMDATjレジスタ（j=0～7）への取り込み動作が設定できます。

36.2.2 機能選択レジスタ 1 (REMC0N1)

アドレス REMC0.REMC0N1 000A 0B01h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TYP[1:0]	受信モード選択ビット(注1)	リモコン信号波形を取り込むフォーマットが選択できます。 b1 b0 0 0 : 「36.3.3 パターン設定」に示すフォーマットA 0 1 : 「36.3.3 パターン設定」に示すフォーマットB 1 0 : 「36.3.3 パターン設定」に示すフォーマットC 1 1 : 設定しないでください	R/W
b2	EN	リモコン制御ビット	0 : 動作停止 1 : 動作許可	R/W
b6-b3	CSRC[3:0]	動作クロック選択ビット(注2)	b6 b3 x 0 1 0 : TMRコンペアマッチ出力 x 1 0 0 : サブクロック 0 1 1 0 : PCLKB/64 1 1 1 0 : PCLKB/512 上記以外は設定しないでください	R/W
b7	INTMD	割り込みモード選択ビット(注2)	0 : ノーマル割り込みモード 1 : シーケンシャル割り込みモード	R/W

x : Don't care

注1. REMC0N1.ENビット、またはREMC0N0.ENFLGフラグが“1” (REMC動作) のときにTYP[1:0]ビットを書き換える場合、1ビットずつ値を変更してください。

注2. ビットの書き換えはREMC0N1.ENビットと、REMC0N0.ENFLGフラグがともに“0” (REMC停止) のときに実施してください。

EN ビット (リモコン制御ビット)

REMCの動作許可、停止を制御するビットです。

動作が開始または停止したかどうかは、REMC0N0.ENFLGフラグで確認してください。

CSRC[3:0] ビット (動作クロック選択ビット)

REMCの動作クロックを選択するビットです。

動作クロック周波数 < PCLKB 周波数となるようにしてください。

INTMD ビット (割り込みモード選択ビット)

割り込みモードを選択するビットです。

ノーマル割り込みモードは、割り込み制御レジスタ (REMINT) で割り込み許可“1”に設定した要因の OR 条件で割り込みを発生します。

シーケンシャル割り込みモードは、REMINT レジスタで割り込み許可“1”に設定した要因の AND 条件の成立で割り込みを発生します。

各割り込みモードの割り込み発生要因については、「36.3.12 割り込み」を参照してください。

36.2.3 ステータスレジスタ (REMSTS)

アドレス REMC0.REMSTS 000A 0B02h

	b7	b6	b5	b4	b3	b2	b1	b0
	SDFLG	D1FLG	D0FLG	HDFLG	BFULFLG	DRFLG	REFLG	CPFLG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPFLG	コンペアー一致フラグ	0: 不一致 1: 一致	R
b1	REFLG	受信エラーフラグ	0: エラー発生なし 1: エラー発生あり	R
b2	DRFLG	データ受信フラグ	0: データ待ち 1: データ受信中	R
b3	BFULFLG	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信バッファフル (64ビット受信)	R/(W) (注1)
b4	HDFLG	ヘッダパターン一致フラグ	0: 不一致 1: 一致	R
b5	D0FLG	データ“0”パターン一致フラグ	0: 不一致 1: 一致	R
b6	D1FLG	データ“1”パターン一致フラグ	0: 不一致 1: 一致	R
b7	SDFLG	特殊データパターン一致フラグ	0: 不一致 1: 一致	R

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「36.4.7 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットを“0”にすると、このレジスタは“00h”になります。

注1. フラグをクリアするための“0”を書くことのみ可能です。ただし、書き込みタイミングがREMC0.INFLGフラグの切り替わり時の場合、不定となる場合があります。

CPFLG フラグ (コンペアー一致フラグ)

REMCPC.CPN[3:0] ビットで指定された REMCPD レジスタの値と REMDAT1、REMDAT0 レジスタに格納するデータの比較結果を示すフラグです。

[“1”になる条件]

- REMCPC.CPN[3:0] レジスタと REMDAT1、REMDAT0 レジスタに格納する値が一致するとき (REMCPC.CPN[3:0] ビットの設定値を n とすると、REMCPC.CPN[3:0] レジスタのビット n ~ ビット 0 と、REMDAT1、REMDAT0 レジスタのビット n ~ ビット 0 が一致)

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- HDFLG フラグが“0”から“1”になるとき

REFLG フラグ (受信エラーフラグ)

受信エラーが発生したことを示します。REMCN1.TYP[1:0] ビットの設定により“1”になる条件が異なります。

[“1”になる条件]

REMCN1.TYP[1:0] ビットが“00b” (フォーマット A) の場合

- ヘッダパターン受信前に、データ“0”パターン、データ“1”パターン、特殊データパターンを検出したとき
- 入力信号の立ち上がりから立ち上がりまでの幅が、ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのいずれでもなかったとき (REMCN0.INV ビットが“0”の場合)
- データ受信完了 (DRFLG フラグが“1”から“0”になるタイミング) と新しい入力信号の変化が競合したとき

REMCN1.TYP[1:0] ビットが“01b” (フォーマット B) の場合

- ヘッダパターン受信前に、データ“0”パターン、データ“1”パターン、特殊データパターンを検出したとき
- 入力信号の立ち下がりから立ち下がりまでの幅が、データ“0”パターン、データ“1”パターン、特殊データパターンのいずれでもなかったとき (REMCN0.INV ビットが“0”の場合)
- データ受信完了 (DRFLG フラグが“1”から“0”になるタイミング) と新しい入力信号の変化が競合したとき

REMCN1.TYP[1:0] ビットが“10b” (フォーマット C) の場合

- 入力信号の立ち上がりから立ち上がりまでの幅が、ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのいずれでもなかったとき (REMCN0.INV ビットが“0”の場合)
- データ受信完了 (DRFLG フラグが“1”から“0”になるタイミング) と新しい入力信号の変化が競合したとき

[“0”になる条件]

- ヘッダパターンを検出したとき
- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)

DRFLG フラグ (データ受信フラグ)

リモコン信号の受信状態を示します。

[“1”になる条件]

- REMC 内部入力信号の立ち上がりエッジ (REMCN0.INV ビットが“0”の場合)

[“0”になる条件]

- ベースタイマの値が HDPMAX、DOPMAX、D1PMAX、SDPMAX、REMPE レジスタのどの値よりも大きい (ベースタイマの値がこれらのレジスタの値よりも大きくなると、動作クロックの1サイクル後に“0”になる)

BFULFLG フラグ (受信バッファフルフラグ)

[“1”になる条件]

- REMRBIT レジスタの値が“64”になるとき

[“0”になる条件]

- HDFLG フラグが“0”から“1”になるとき
- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- BFULFLG フラグに“0”を書き込んだ後、動作クロックの1～2サイクル後に“0”になる

HDFLG フラグ（ヘッダパターン一致フラグ）

[“1”になる条件]

- 「表 36.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき（次のフレームの受信開始）
- REFLG フラグが“0”から“1”になるとき
- 「表 36.3 測定結果とフラグの関係」を参照

D0FLG フラグ（データ“0”パターン一致フラグ）

[“1”になる条件]

- 「表 36.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき（次のフレームの受信開始）
- REFLG フラグが“0”から“1”になるとき
- 「表 36.3 測定結果とフラグの関係」を参照

D1FLG フラグ（データ“1”パターン一致フラグ）

[“1”になる条件]

- 「表 36.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき（次のフレームの受信開始）
- REFLG フラグが“0”から“1”になるとき
- 「表 36.3 測定結果とフラグの関係」を参照

SDFLG フラグ（特殊データパターン一致フラグ）

[“1”になる条件]

- 「表 36.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき（次のフレームの受信開始）
- REFLG フラグが“0”から“1”になるとき
- 「表 36.3 測定結果とフラグの関係」を参照

表 36.3 測定結果とフラグの関係

REMTIMレジスタの内容（計測結果）と各レジスタとの比較結果	フラグの内容			
	HDFLG	D0FLG	D1FLG	SDFLG
HDPMIN以上 HDPMAX以下	1	0	0	0
D0PMIN以上 D0PMAX以下	0	1（注1）	0	0
D1PMIN以上 D1PMAX以下	0	0	1（注1）	0
SDPMIN以上 SDPMAX以下	0	0	0	1（注1）
上記以外	0	0	0	0

注1. REMCON1.TYP[1:0]ビットが“00b”または“01b”の場合、ヘッダパターン検出より前なら、D0FLG、D1FLG、SDFLGフラグは変化しません。

36.2.4 割り込み制御レジスタ (REMINT)

アドレス REMC0.REMINT 000A 0B03h

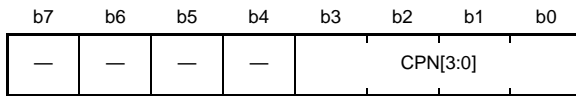
	b7	b6	b5	b4	b3	b2	b1	b0
	SDINT	—	DINT	HDINT	BFULINT	DRINT	REINT	CPINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPINT	コンペアー致割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	REINT	受信エラー割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b2	DRINT	データ受信完了割り込み許可ビット	0: 禁止 1: 許可	R/W
b3	BFULINT	受信バッファフル割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b4	HDINT	ヘッダパターン一致割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b5	DINT	データ“0”パターンまたはデータ“1”パターン一致割り込み許可ビット	0: 禁止 1: 許可	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b7	SDINT	特殊データパターン一致割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W

注1. ビットの書き換えはREMC0.REMINT0.ENビットと、REMC0.REMINT0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.5 コンペア制御レジスタ (REMCPD)

アドレス REMC0.REMCPD 000A 0B05h



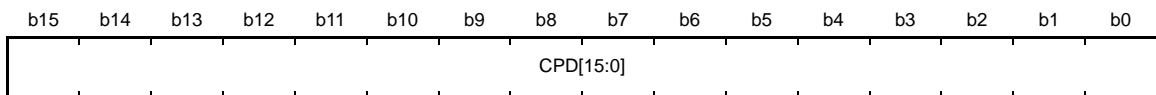
リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CPN[3:0]	コンペアビット数指定ビット(注1)	b3 b0 0 0 0 0 : REMCPD レジスタのビット0と、 REMDATA0 レジスタのビット0を比較 0 0 0 1 : REMCPD レジスタのビット1、ビット0と、 REMDATA0 レジスタのビット1、ビット0を比較 : : 0 1 1 1 : REMCPD レジスタのビット7~ビット0と、 REMDATA0 レジスタのビット7~ビット0を比較 : 1 0 0 1 : REMCPD レジスタのビット9~ビット0と、 REMDATA1 レジスタのビット1、ビット0、 REMDATA0 レジスタのビット7~ビット0を比較 : 1 1 1 1 : REMCPD レジスタのビット15~ビット0と、 REMDATA1 レジスタのビット7~ビット0、 REMDATA0 レジスタのビット7~ビット0を比較	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.6 コンペア値設定レジスタ (REMCPD)

アドレス REMC0.REMCPD 000A 0B06h



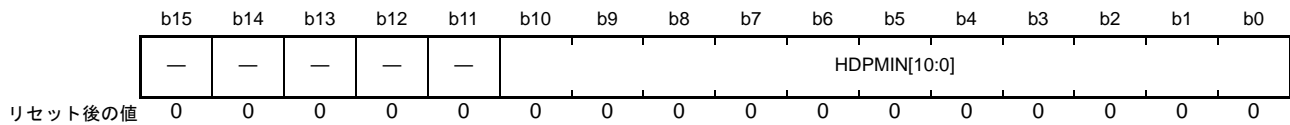
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CPD[15:0]	コンペア値設定ビット(注1)	コンペア機能使用時にREMDAT1、REMDAT0レジスタの内容と比較する値を設定してください。 REMCPC.CPN[3:0]ビットで、比較するビット数を設定できます	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.7 ヘッダパターン最小幅設定レジスタ (HDPMIN)

アドレス REMC0.HDPMIN 000A 0B08h

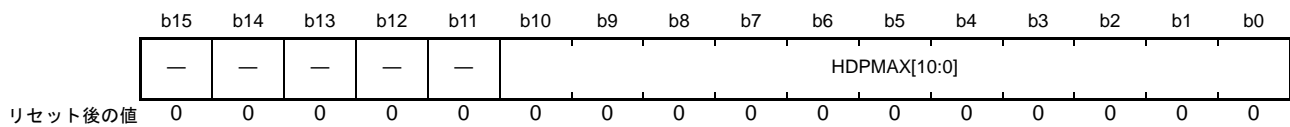


ビット	シンボル	ビット名	機能	R/W
b10-b0	HDPMIN[10:0]	ヘッダパターン最小幅設定ビット(注1)	ヘッダパターンの最小幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.8 ヘッダパターン最大幅設定レジスタ (HDPMAX)

アドレス REMC0.HDPMAX 000A 0B0Ah

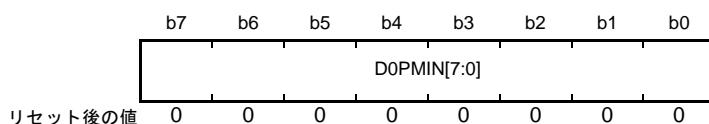


ビット	シンボル	ビット名	機能	R/W
b10-b0	HDPMAX[10:0]	ヘッダパターン最大幅設定ビット(注1)	ヘッダパターンの最大幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.9 データ“0”パターン最小幅設定レジスタ (DOPMIN)

アドレス REMC0.DOPMIN 000A 0B0Ch

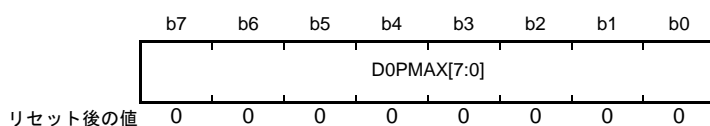


ビット	シンボル	ビット名	機能	R/W
b7-b0	DOPMIN[7:0]	データ“0”パターン最小幅設定ビット(注1)	データ“0”パターンの最小幅を設定してください 設定範囲“00h”~“FFh”	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.10 データ“0”パターン最大幅設定レジスタ (D0PMAX)

アドレス REMC0.D0PMAX 000A 0B0Dh

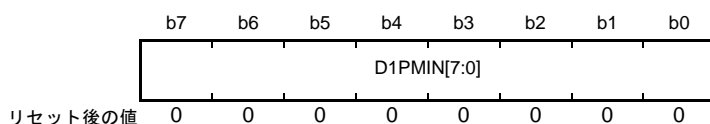


ビット	シンボル	ビット名	機能	R/W
b7-b0	D0PMAX[7:0]	データ“0”パターン最大幅設定ビット (注1)	データ“0”パターンの最大幅を設定してください 設定範囲“00h”～“FFh”	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.11 データ“1”パターン最小幅設定レジスタ (D1PMIN)

アドレス REMC0.D1PMIN 000A 0B0Eh

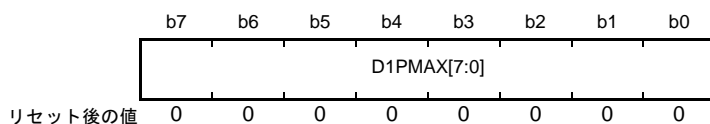


ビット	シンボル	ビット名	機能	R/W
b7-b0	D1PMIN[7:0]	データ“1”パターン最小幅設定ビット (注1)	データ“1”パターンの最小幅を設定してください 設定範囲“00h”～“FFh”	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.12 データ“1”パターン最大幅設定レジスタ (D1PMAX)

アドレス REMC0.D1PMAX 000A 0B0Fh

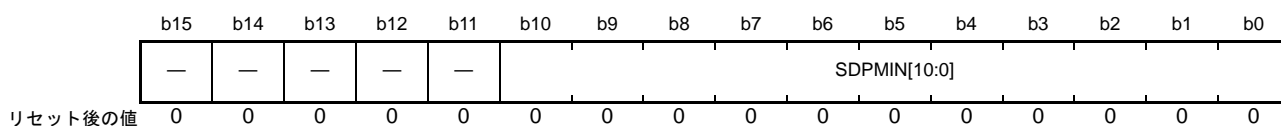


ビット	シンボル	ビット名	機能	R/W
b7-b0	D1PMAX[7:0]	データ“1”パターン最大幅設定ビット (注1)	データ“1”パターンの最大幅を設定してください 設定範囲“00h”～“FFh”	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.13 特殊データパターン最小幅設定レジスタ (SDPMIN)

アドレス REMC0.SDPMIN 000A 0B10h

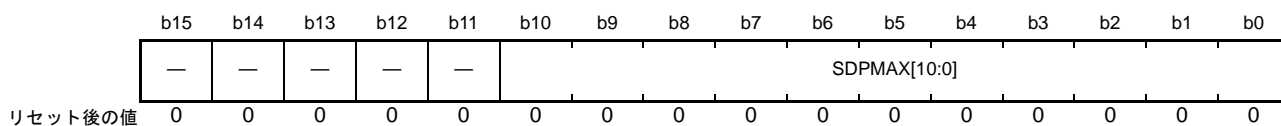


ビット	シンボル	ビット名	機能	R/W
b10-b0	SDPMIN[10:0]	特殊データパターン最小幅設定ビット (注1)	特殊データパターンの最小幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.14 特殊データパターン最大幅設定レジスタ (SDPMAX)

アドレス REMC0.SDPMAX 000A 0B12h

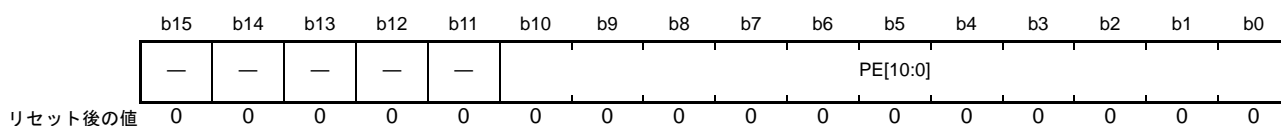


ビット	シンボル	ビット名	機能	R/W
b10-b0	SDPMAX[10:0]	特殊データパターン最大幅設定ビット (注1)	特殊データパターンの最大幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.15 パターンエンド設定レジスタ (REMPE)

アドレス REMC0.REMPE 000A 0B14h

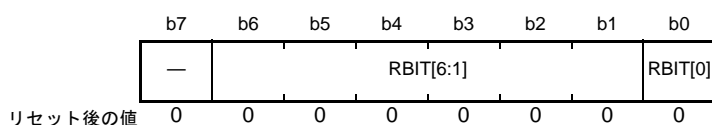


ビット	シンボル	ビット名	機能	R/W
b10-b0	PE[10:0]	パターンエンド幅設定ビット(注1)	パターンエンドの幅を設定してください 設定範囲“000h”~“7FFh” REMSTS.DRFLGフラグが、“1”から“0”になるタイミングを設定できます。	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”（REMC停止）のときに実施してください。

36.2.16 受信ビット数レジスタ (REMRBIT)

アドレス REMC0.REMRBIT 000A 0B17h



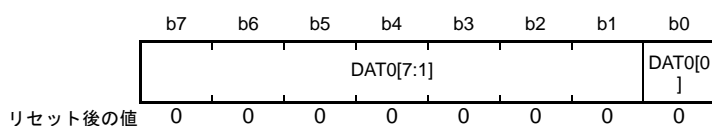
ビット	シンボル	ビット名	機能	R/W
b0	RBIT[0]	受信ビット数確認ビット0	受信ビット数が読めます。 検出したデータ“0”パターンまたはデータ“1”パターンの数をカウントし、格納するバッファのビット位置を示します。	R/W
b6-b1	RBIT[6:1]	受信ビット数確認ビット6~ビット1	<ul style="list-style-type: none"> “64” (“40h”)を超えると“1”に戻ります ヘッダパターン、特殊データパターンはカウントしません REMC0.ECビットが“1”でエラーを検出した場合、データ“0”パターンまたはデータ“1”パターンを検出してもカウントアップしません REMSTS.DRFLGフラグが“0”から“1”になるとき、REMRBITレジスタは“00h”になります REMSTS.HDFLGフラグが“0”から“1”になるとき、REMRBITレジスタは“00h”になります REMRBIT.RBIT[0]ビットに“0”を書き込んだ場合、動作クロックの1~2サイクル後にREMRBITレジスタの値が“00h”になります。	R
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「36.4.7 レジスタ読み出し手順」を参照してください。

注. REMC0.ENビットが“0”のときには、すべて初期化されます。

36.2.17 受信データ 0 レジスタ (REMDAT0)

アドレス REMC0.REMDAT0 000A 0B18h



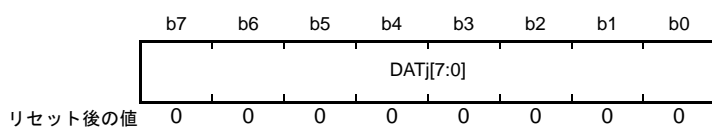
ビット	シンボル	ビット名	機能	R/W
b0	DAT0[0]	受信データ0格納ビット0	受信データを格納します。	R/W
b7-b1	DAT0[7:1]	受信データ0格納ビット7～ビット1	REMDAT0レジスタのビット0へ“0”書き込みした後の動作クロック1～2サイクル後に、REMDAT0～REMDAT7レジスタの値はすべて“00h”になります	R

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「36.4.7 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

36.2.18 受信データ j レジスタ (REMDATj) (j = 1 ~ 7)

アドレス REMC0.REMDAT1 000A 0B19h, REMC0.REMDAT2 000A 0B1Ah, REMC0.REMDAT3 000A 0B1Bh,
REMC0.REMDAT4 000A 0B1Ch, REMC0.REMDAT5 000A 0B1Dh, REMC0.REMDAT6 000A 0B1Eh,
REMC0.REMDAT7 000A 0B1Fh



ビット	シンボル	ビット名	機能	R/W
b7-b0	DATj[7:0]	受信データj格納ビット	受信データを格納します	R

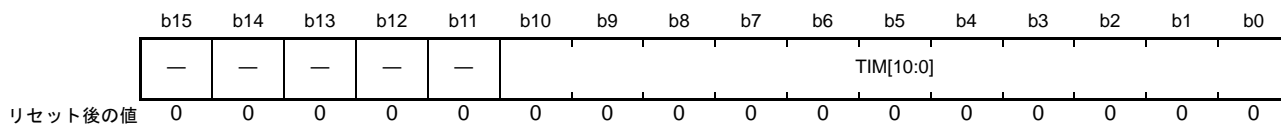
注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「36.4.7 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

データ“0”パターンまたはデータ“1”パターンを検出すると、検出結果を1ビットずつ受信データとして格納します。受信データの格納動作についての詳細は、「36.3.8 受信データバッファ」を参照してください。

36.2.19 測定結果レジスタ (REMTIM)

アドレス REMC0.REMTIM 000A 0B20h



ビット	シンボル	ビット名	機能	R/W
b10-b0	TIM[10:0]	測定結果ビット	各パターン幅の測定結果が読み出せます。 以下のパターンを検出すると、本ビットにベースタイムの値がキャプチャされます。 <ul style="list-style-type: none"> • ヘッダパターン • データ“0”パターン • データ“1”パターン • 特殊データパターン • 上記以外のデータパターン（受信エラー） 	R
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「36.4.7 レジスタ読み出し手順」を参照してください。
- 注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

36.3 動作説明

36.3.1 REMC 動作の概要

リモコン信号例を図 36.2 に示します。リモコン信号は、ヘッダから始まり、その後データが続きます。このヘッダは、その後に続くデータ部分とは波形が異なるため、ヘッダとデータとを区別することができます。データ部分には、カスタムコードやデータコードを含んでおり、ビットの長さで“0”、“1”を区別します。ストップビットの後は、信号変化の無いフレームスペース期間が続き、1フレームが形成されます。

REMC では、内蔵するベースタイマにより外部入力信号のエッジ-エッジ間の時間を計測し、その計測結果からリモコン信号のパターン検出、データの取り込みを行います。

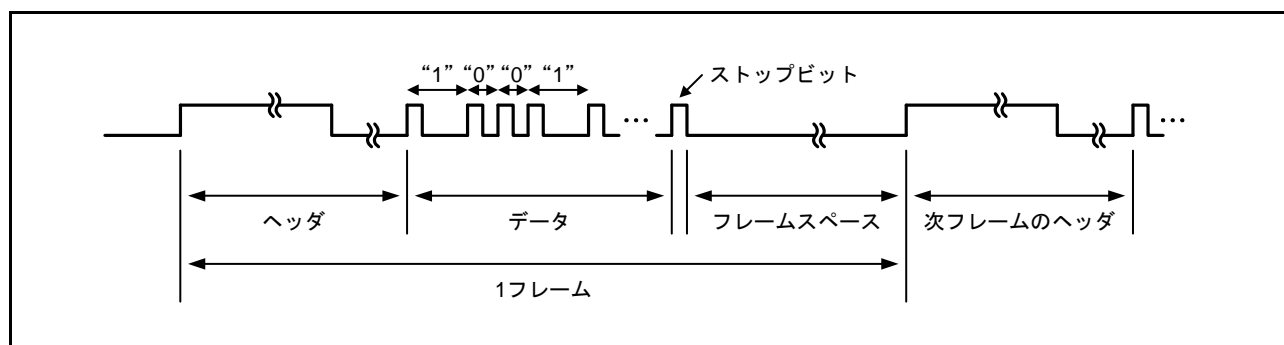


図 36.2 リモコン信号例

36.3.2 初期設定

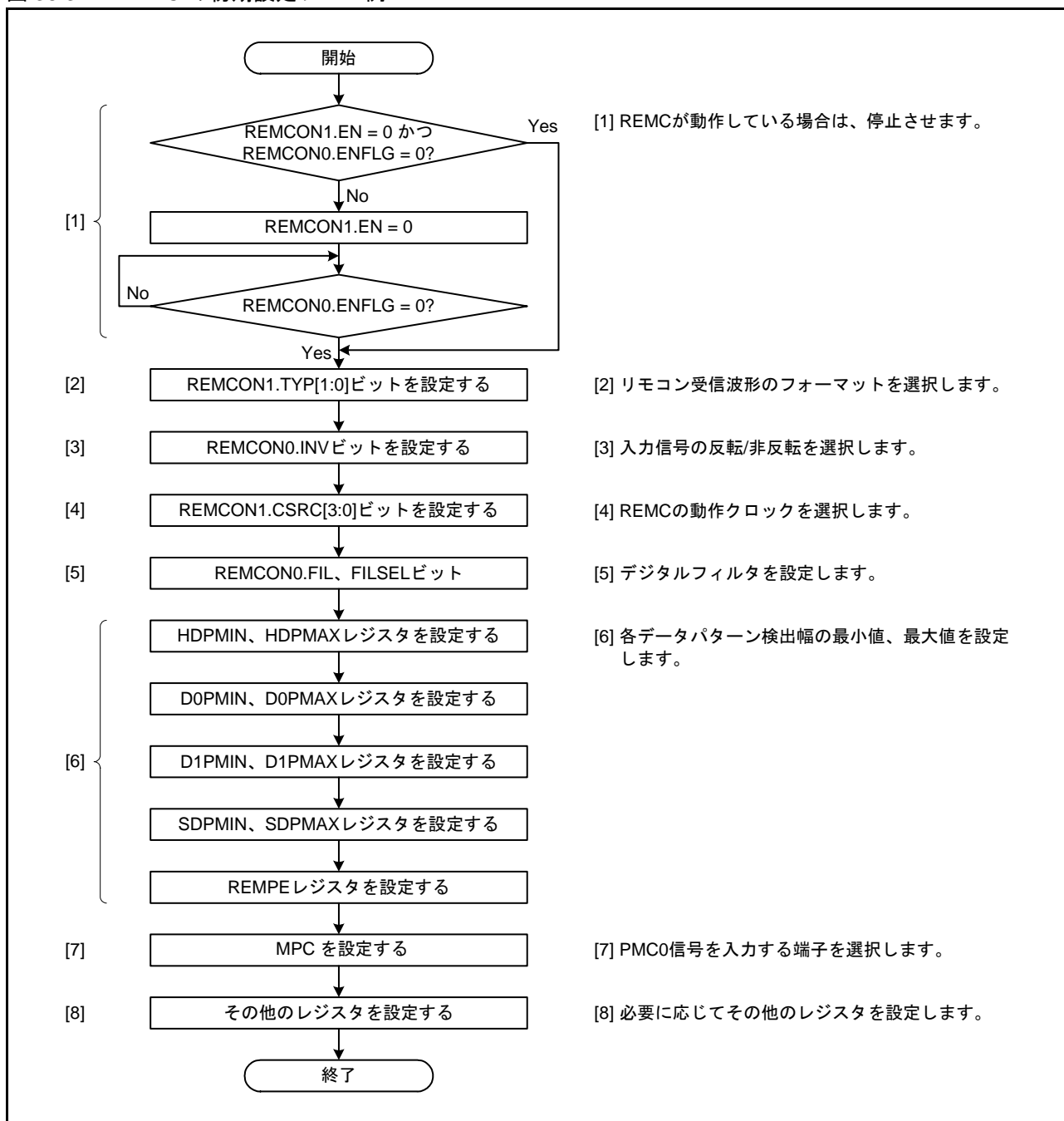
リモコン信号を受信するときは、図 36.3 の手順に従って REMC の初期設定をしてください。

REMC が動作中だった場合は、REMCN1.EN ビットを“0”にすると REMCON0.ENFLG フラグが“0”になり、REMC の動作が停止します。

REMCN0.ENFLG フラグが“0”の状態、REMCN1.TYP[1:0] ビットによるリモコン受信波形のフォーマット設定、REMCN0.INV ビットによる入力信号の反転制御、REMCN1.CSRC[3:0] ビットによる動作クロック選択、REMCN0.FIL、FILSEL ビットによるデジタルフィルタの設定を行います。また、HDPMIN、HDPMAX、D0PMIN、D0PMAX、D1PMIN、D1PMAX、SDPMIN、SDPMAX、REMPE レジスタに各データパターンの検出幅を設定します。REMINT レジスタによる割り込み許可や REMCPC、REMCPCD レジスタによるコンペア機能の設定など、その他の設定は必要に応じて実施してください。

必要なレジスタの設定が終了したら、REMCN1.EN ビットを“1”にして REMC を動作させてください。

図 36.3 REMC の初期設定フロー例



36.3.3 パターン設定

REMCN1.TYP[1:0] ビットを設定することでリモコン信号受信波形を取り込むフォーマットを設定できます。REMCN1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例を図 36.4、図 36.5 に示します。

REMCN1.TYP[1:0] ビットが“00b”（フォーマット A）の場合

内部入力信号の立ち上がり時にヘッダパターン設定値と測定結果を判定します。

ヘッダパターンを受信した場合、内部入力信号の立ち上がり時にデータ“0”パターン設定値、データ“1”パターン設定値、特殊データパターン設定値と計測結果を判定します。

REMCN1.TYP[1:0] ビットが“01b”（フォーマット B）の場合

内部入力信号の立ち下がり時にヘッダパターン設定値と測定結果を判定します。

ヘッダパターンを受信した場合、内部入力信号の立ち下がり時にデータ“0”パターン設定値、データ“1”パターン設定値、特殊データパターン設定値と計測結果を判定します。

ヘッダパターンは1フレームで1回検出します。

REMCN1.TYP[1:0] ビットが“10b”（フォーマット C）の場合

内部入力信号の立ち上がり時にヘッダパターン設定値、データ“0”パターン設定値、データ“1”パターン設定値、特殊データパターン設定値と計測結果を判定します。

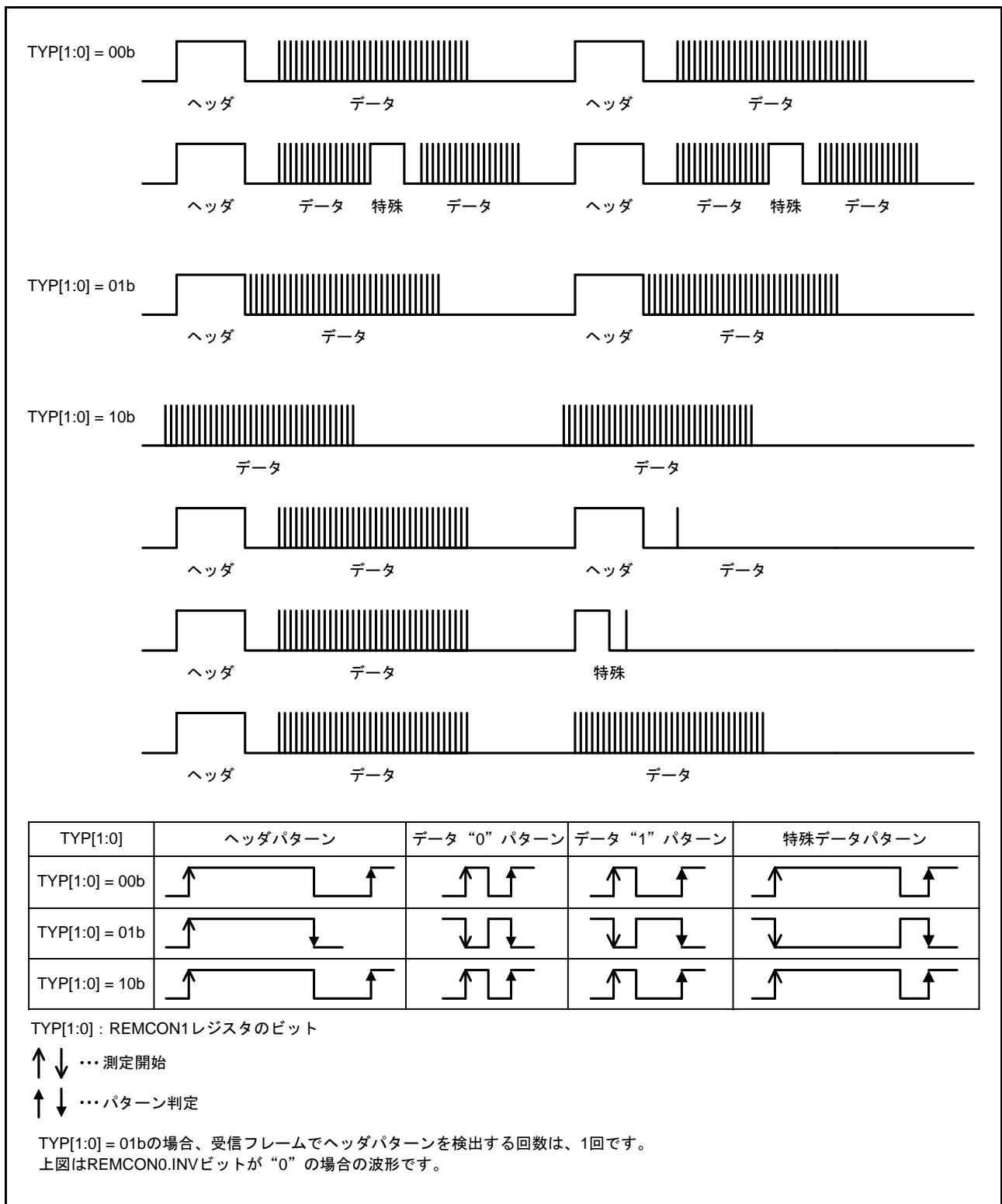


図 36.4 REMCON1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例 (REMCON0.INV = 0 の場合)

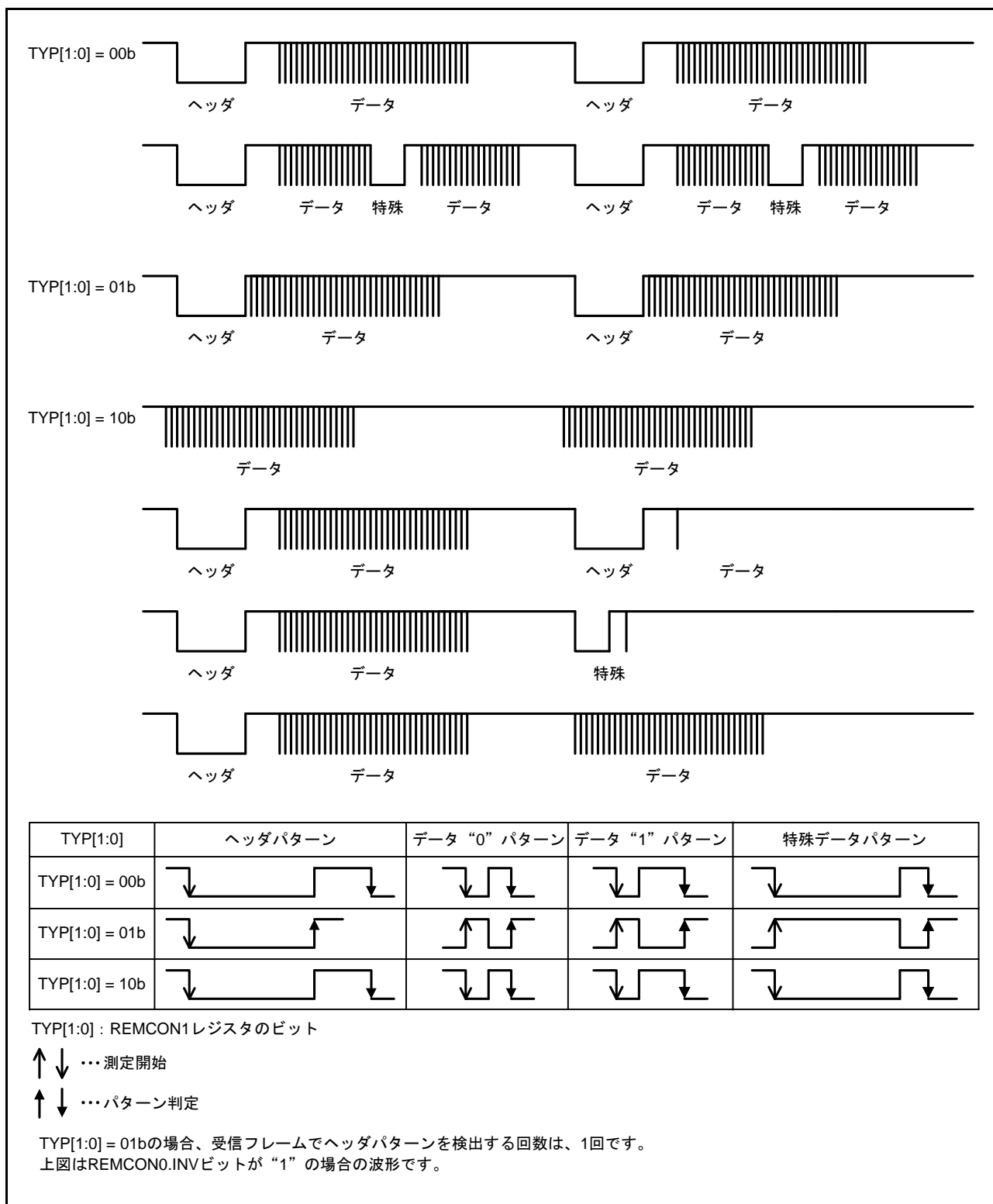


図 36.5 REMCON1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例 (REMC0.INV = 1 の場合)

36.3.4 動作クロック

REMCは動作クロックとして、周辺モジュールクロック(PCLKB)の分周クロック、サブクロック発振器から供給されるサブクロック、TMRコンペアマッチ出力のいずれかを選択して使用することができます。サブクロックをREMCに供給する場合は、クロック供給方法に注意が必要です。動作クロックの供給方法について説明します。

36.3.4.1 REMC動作クロックとしてサブクロックを使用する場合

REMC動作クロックとして、サブクロックを使用できます。サブクロックの発振手順については、「9. クロック発生回路」を参照してください。サブクロックの発振が安定した後、REMC0N1.CSRC[3:0]ビットを“x100b”(サブクロック)にしてください。

36.3.4.2 REMC動作クロックとしてTMRコンペアマッチ出力を使用する場合

REMC動作クロックとして、TMRコンペアマッチ出力を供給することができます。REMC0にはTMO0が供給可能です。TMRコンペアマッチ出力については、「24. 8ビットタイマ(TMRb)」を参照してください。

36.3.5 PMC0入力

PMC0入力では、以下の選択ができます。

- 入力極性
- デジタルフィルタ

図36.6にPMC0内部入力信号生成を示します。

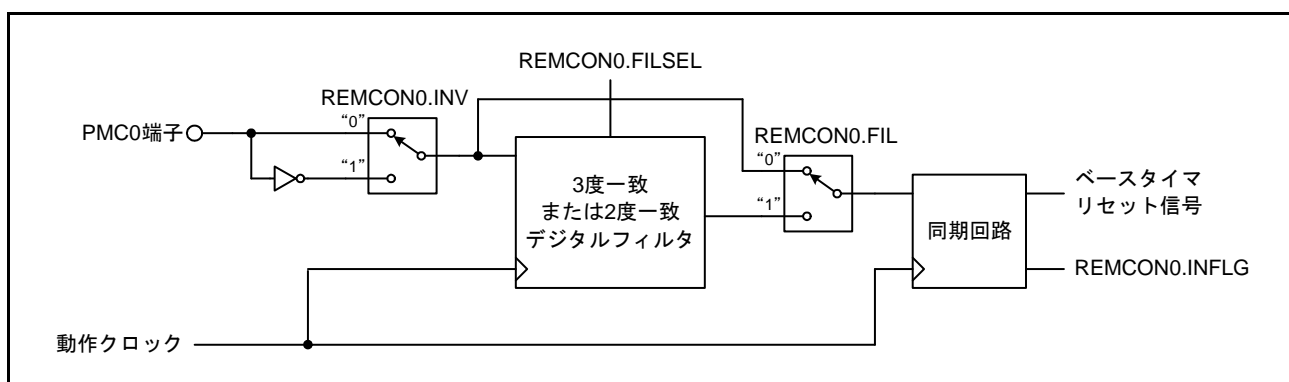


図 36.6 PMC0 内部入力信号生成

PMC0端子の入力極性を反転できます。REMCON0.INVビットで選択してください。

REMCON0.FILビットが“1”(デジタルフィルタ有効)の場合は、PMC0端子の入力がk度(k=3または2、REMCON0.FILSELビットでの選択値)続けて一致したとき、そのレベルを内部回路に伝えます。これにより、サンプリングクロックのkサイクル分までのノイズを除去できます。

なお、PMC0端子の入力は、動作クロックに同期して内部回路にREMCON0.INFLGフラグ(入力信号フラグ)とベースタイマリセット信号として伝わります。ベースタイマリセット信号とは内部ベースタイマをREMCON1.TYP[1:0]ビットの設定に応じたパターン検出にて初期化する信号です。PMC0端子入力に変化してからこれらの信号を生成するまでには、内部処理による遅延があります。図36.7にPMC0入力のデジタ

ルフィルタ動作を示します。

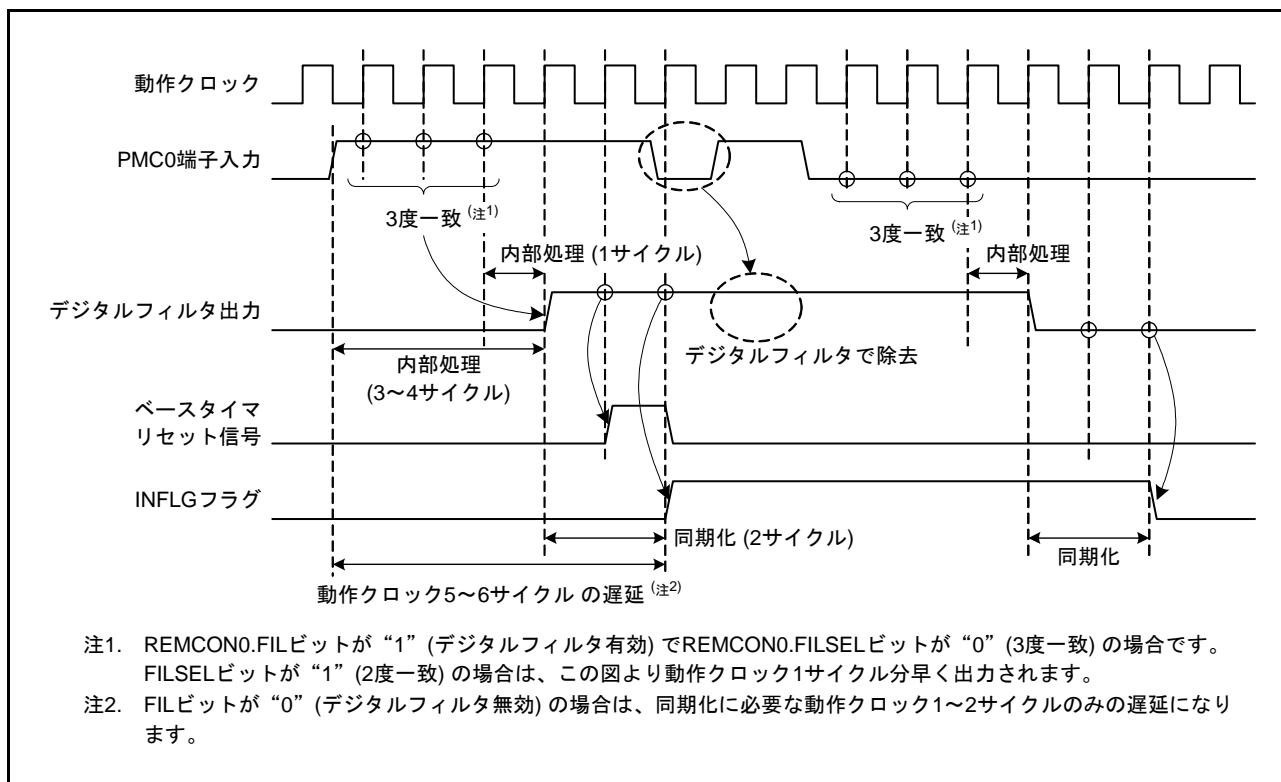


図 36.7 PMC0 入力のデジタルフィルタ動作

36.3.6 パターン検出

REMC は以下のパターンを検出する機能があります。

- ヘッダパターン
- データ “0” パターン
- データ “1” パターン
- 特殊データパターン

REMC が内蔵するベースタイマにより、外部入力信号のエッジ-エッジ間の時間を計測し、計測結果がどのパターンと一致するかを判定することで、リモコン信号の検出、データの取り込みを行います。各パターンの判定幅については、それぞれのパターン設定レジスタで任意に設定できます。図 36.8 に REMC の動作波形を示します。

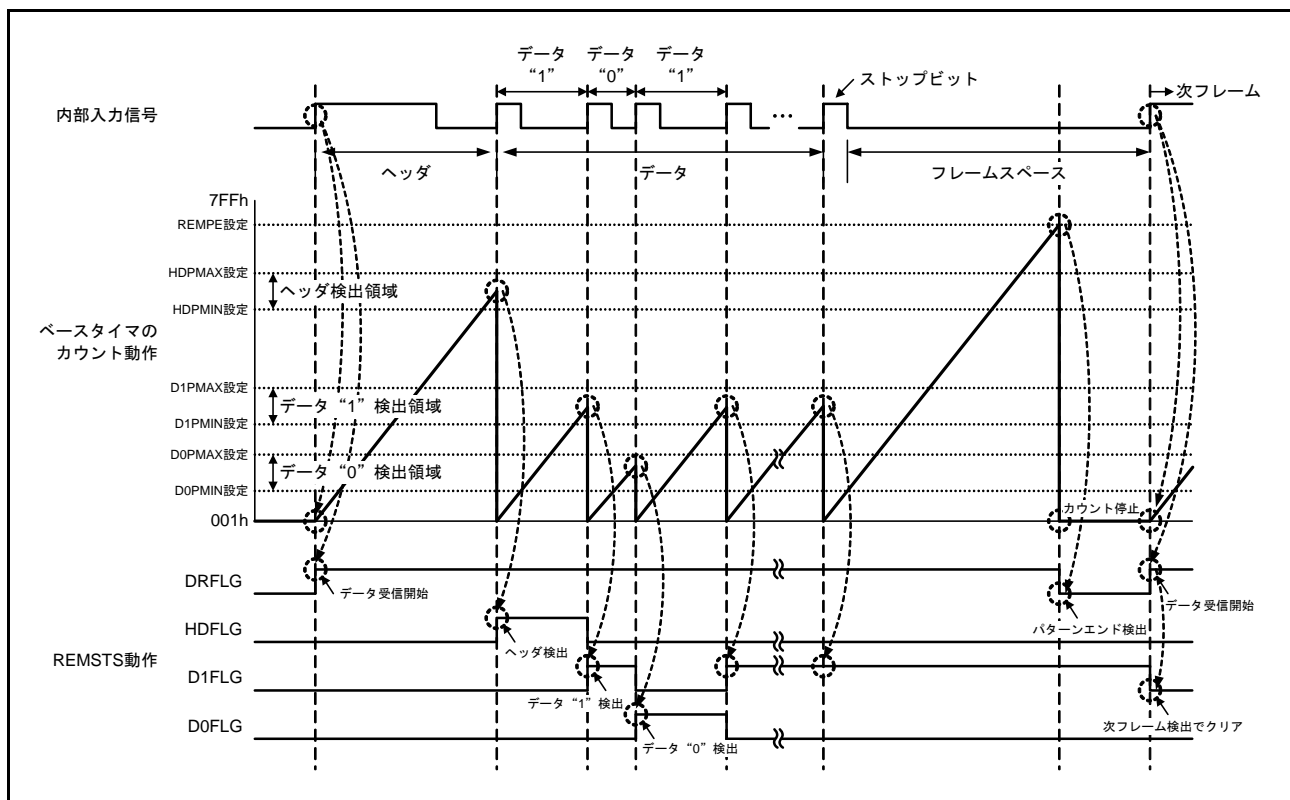


図 36.8 REMC の動作波形

36.3.6.1 ヘッダパターン検出

ヘッダパターンの最小幅を HDPMIN レジスタに、最大幅を HDPMAX レジスタに設定することで、ヘッダパターンが検出できます。

ヘッダパターンの最小幅、最大幅は、「 $1 < \text{HDPMIN レジスタの値} \leq \text{HDPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{ヘッダパターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

ヘッダパターンを使用しない場合、HDPMIN レジスタ、HDPMAX レジスタは“000h”にしてください。

ヘッダパターンの設定値は、データ“0”パターン、データ“1”パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ“0”パターン、データ“1”パターンまたは特殊データパターンを検出すると次のようになります。

- REMSTS.REFLG フラグが“1”（エラー発生）になる
- REMSTS.DOFLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

REMCON1.TYP[1:0] ビットが、“01b”の場合、

ヘッダパターンを検出する回数は、DRFLG フラグが“1”の間に1回になります。

36.3.6.2 データ“0”パターン検出

データ“0”パターンの最小幅を DOPMIN レジスタに、最大幅を DOPMAX レジスタに設定することで、データ“0”パターンが検出できます。

データ“0”パターンの最小幅、最大幅は、「 $1 < \text{DOPMIN レジスタの値} \leq \text{DOPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{データ“0”パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ“0”パターンを使用しない場合、DOPMIN、DOPMAX レジスタは“00h”にしてください。

データ“0”パターンの設定値は、ヘッダパターン、データ“1”パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ“0”パターンを検出すると次のようになります。

- REMSTS.REFLG フラグが“1”（エラー発生）になる
- REMSTS.DOFLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

36.3.6.3 データ“1”パターン検出

データ“1”パターンの最小幅を D1PMIN レジスタに、最大幅を D1PMAX レジスタに設定することで、データ“1”パターンが検出できます。

データ“1”パターンの最小幅、最大幅は、「 $1 < \text{D1PMIN}$ レジスタの値 $\leq \text{D1PMAX}$ レジスタの値」にしてください。

$$\text{設定値}n = \frac{\text{データ“1”パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ“1”パターンを使用しない場合、D1PMIN、D1PMAX レジスタは“00h”にしてください。

データ“1”パターンの設定値は、ヘッダパターン、データ“0”パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ“1”パターンを検出すると次のようになります。

- REMSTS.REFLG ビットが“1” (エラー発生) になる
- REMSTS.DOFLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

36.3.6.4 特殊データパターン検出

特殊データパターンの最小幅を SDPMIN レジスタに、最大幅を SDPMAX レジスタに設定することで特殊データパターンが検出できます。

特殊データパターンの最小幅、最大幅は、「 $1 < \text{SDPMIN}$ レジスタの値 $\leq \text{SDPMAX}$ レジスタの値」にしてください。

$$\text{設定値}n = \frac{\text{特殊データパターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

特殊データパターンを使用しない場合、SDPMIN、SDPMAX レジスタは“000h”にしてください。

特殊データパターンの設定値は、ヘッダパターン、データ“0”パターン、データ“1”パターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、特殊データパターンを検出すると次のようになります。

- REMSTS.REFLG フラグが“1” (エラー発生) になる
- REMSTS.DOFLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

36.3.6.5 パターン設定レジスタの設定例

ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのパターン設定レジスタについて、各パターンの最小値から最大値までの範囲は、図 36.9 に示すように、他のパターンの最小値から最大値までと重複しない値に設定してください。

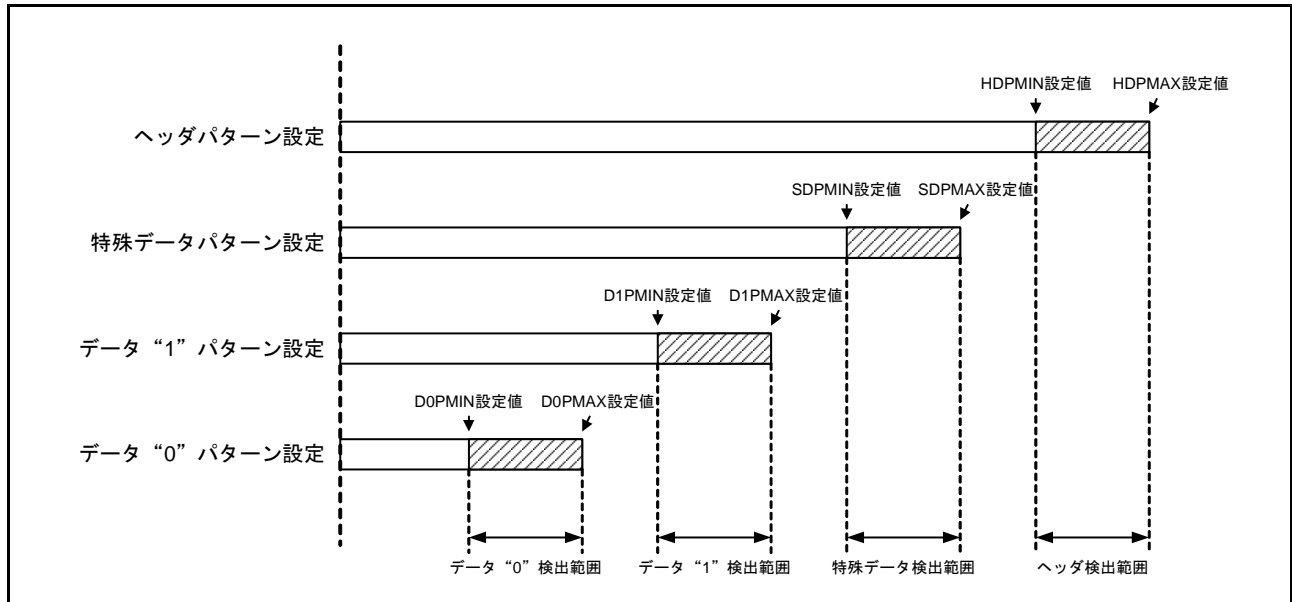


図 36.9 パターン設定レジスタの設定例

36.3.6.6 パターン検出によるステータスフラグ更新動作

検出したパターンについては、ヘッダパターン一致フラグ (REMSTS.HDFLG)、データ“0”パターン一致フラグ (REMSTS.D0FLG)、データ“1”パターン一致フラグ (REMSTS.D1FLG)、特殊データパターン一致フラグ (REMSTS.SDFLG) にて確認できます。これらのフラグは異なるパターンを検出したらネゲートされます。ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターン以外を検出した場合、エラーパターンとして検出されます。これは受信エラーフラグ (REMSTS.REFLG) にて確認できます。受信エラーフラグに関しては、次のフレーム受信時にネゲートされます。パターン検出、ならびにフラグ動作例を図 36.10 に示します。

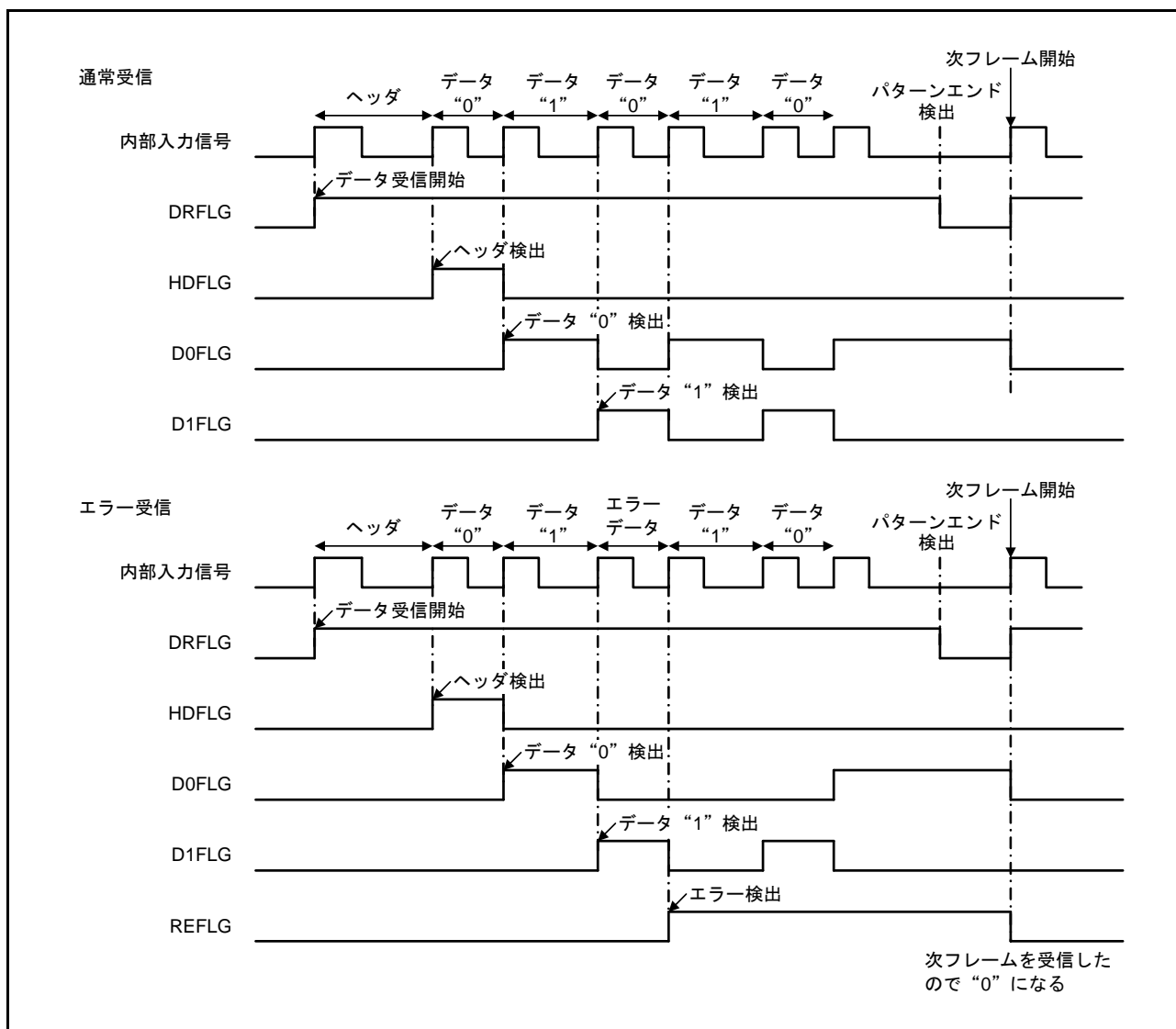


図 36.10 フラグ動作例

36.3.7 パターンエンド

REMSTS.DRFLG フラグが“0”になるタイミングを設定できます。

REMPE レジスタを設定する場合は、
REMPE の値 > HDPMAX、D0PMAX、D1PMAX、SDPMAX の値
となるようにしてください。

REMPE の値 \leq HDPMAX、D0PMAX、D1PMAX、SDPMAX の値
となる場合、REMPE レジスタで REMSTS.DRFLG フラグが“0”になるタイミングを設定できません。こ
の場合、HDPMAX、D0PMAX、D1PMAX、SDPMAX レジスタの内、最も大きい値に設定されたタイミング
でデータ受信完了となります。

図 36.11 に、それぞれのパターンエンド設定時のデータ受信完了フラグ動作について説明します。

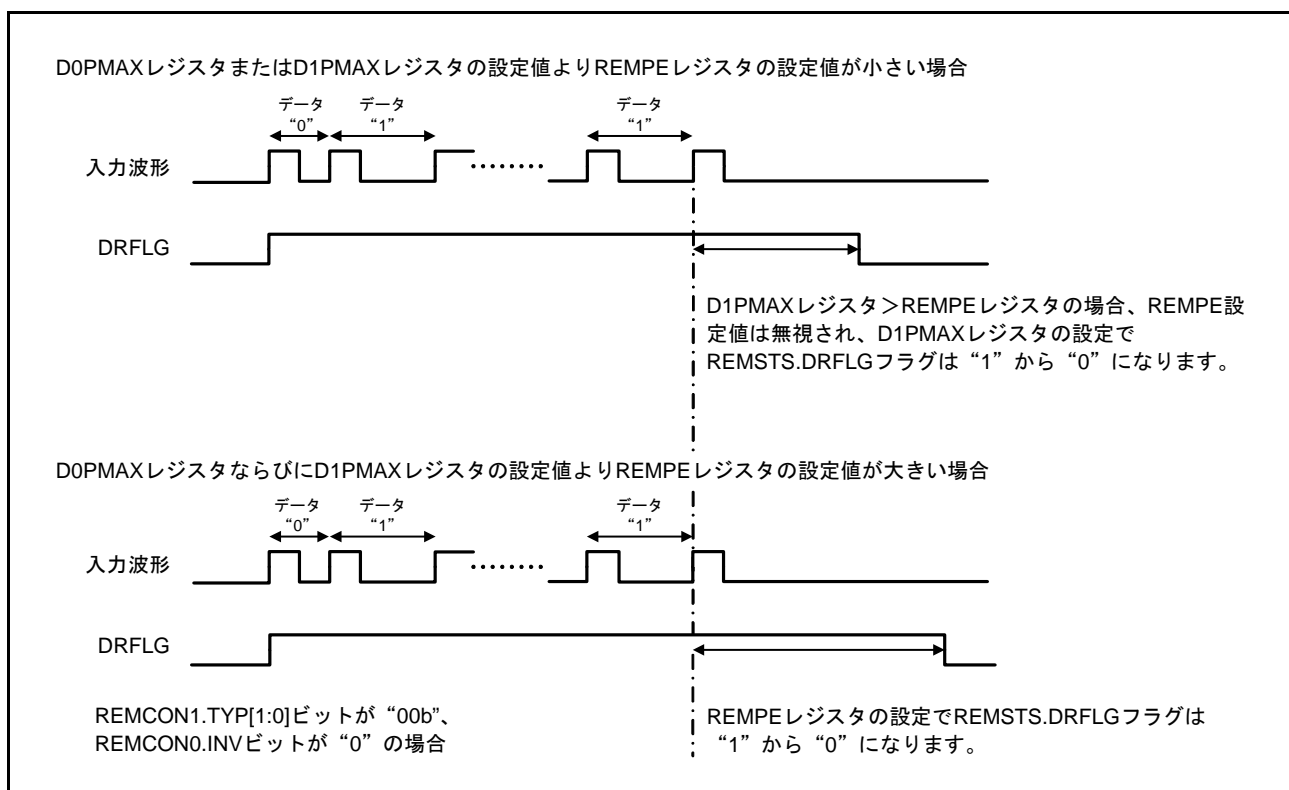


図 36.11 パターンエンド設定時のデータ受信完了フラグ動作説明

36.3.8 受信データバッファ

受信データ j レジスタ (REMDAT j) ($j=0\sim 7$) は、受信したデータを格納する8バイト (64ビット) のバッファです。データ“0”パターンまたはデータ“1”パターンを検出すると、図 36.12 に示すように REMDAT0.DAT0[0] ビットから順番に検出結果を格納します。同時に REMRBIT レジスタはカウントアップされるため、REMRBIT レジスタを読み出すことで現在の受信ビット数を知ることができます。受信ビット数とデータ格納場所の関係は表 36.4 を参照してください。なお、REMDAT j 、REMRBIT レジスタはヘッダパターン、特殊データパターンを受信しても変化しません。また、REMDAT j 、REMRBIT レジスタについては、データ更新と読み出しが重なった場合、不定値を読み出すことがあります。

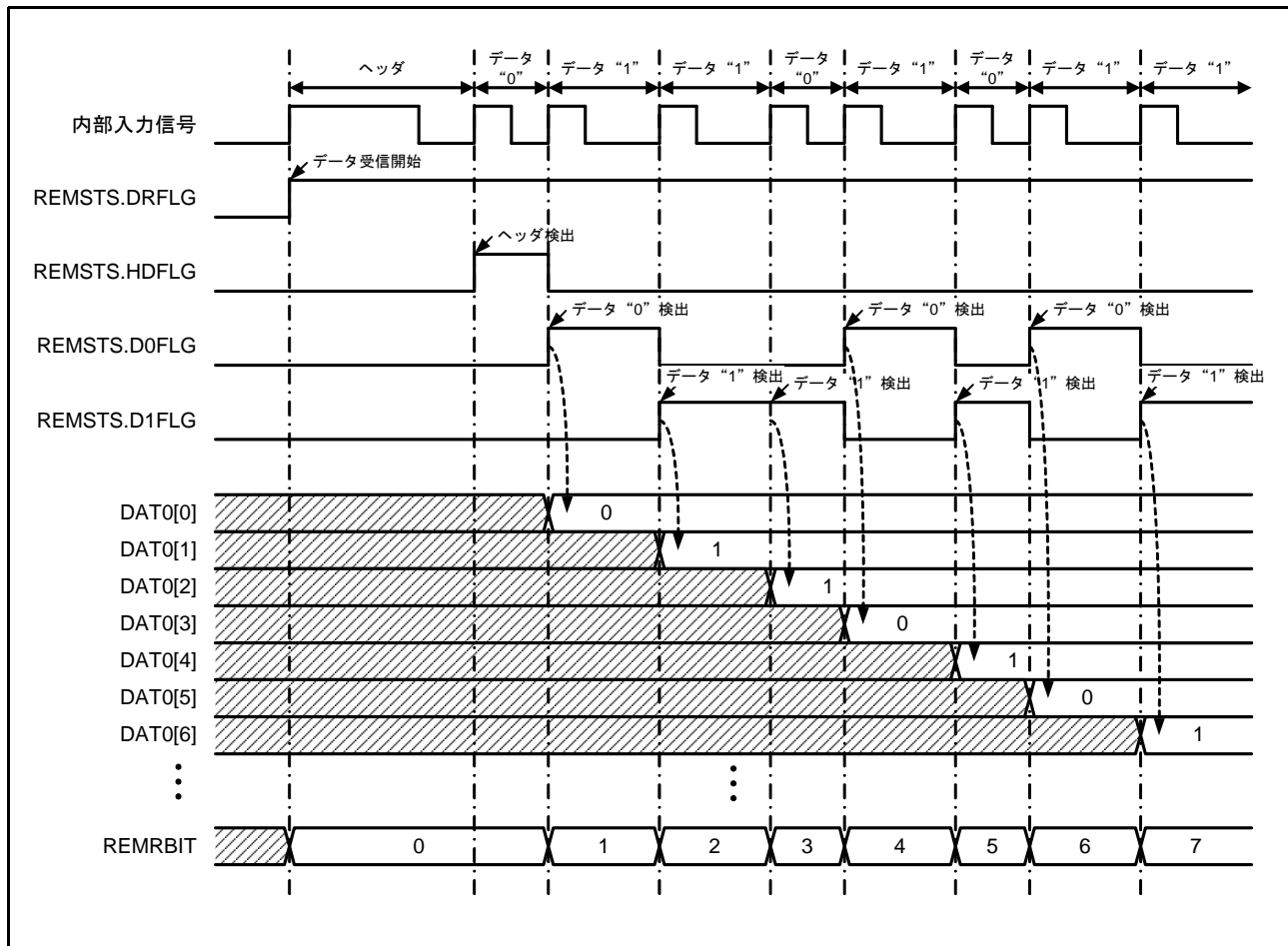


図 36.12 受信データバッファ動作

表36.4 受信ビット数とデータ格納場所の関係

受信ビット数	格納場所	
	レジスタ名	ビット名
1	REMDAT0	DAT0[0]
2		DAT0[1]
3		DAT0[2]
4		DAT0[3]
5		DAT0[4]
6		DAT0[5]
7		DAT0[6]
8		DAT0[7]
9	REMDAT1	DAT1[0]
10		DAT1[1]
11		DAT1[2]
12		DAT1[3]
13		DAT1[4]
14		DAT1[5]
15		DAT1[6]
16		DAT1[7]
17	REMDAT2	DAT2[0]
18		DAT2[1]
19		DAT2[2]
20		DAT2[3]
21		DAT2[4]
22		DAT2[5]
23		DAT2[6]
24		DAT2[7]
25	REMDAT3	DAT3[0]
26		DAT3[1]
27		DAT3[2]
28		DAT3[3]
29		DAT3[4]
30		DAT3[5]
31		DAT3[6]
32		DAT3[7]

受信ビット数	格納場所	
	レジスタ名	ビット名
33	REMDAT4	DAT4[0]
34		DAT4[1]
35		DAT4[2]
36		DAT4[3]
37		DAT4[4]
38		DAT4[5]
39		DAT4[6]
40		DAT4[7]
41	REMDAT5	DAT5[0]
42		DAT5[1]
43		DAT5[2]
44		DAT5[3]
45		DAT5[4]
46		DAT5[5]
47		DAT5[6]
48		DAT5[7]
49	REMDAT6	DAT6[0]
50		DAT6[1]
51		DAT6[2]
52		DAT6[3]
53		DAT6[4]
54		DAT6[5]
55		DAT6[6]
56		DAT6[7]
57	REMDAT7	DAT7[0]
58		DAT7[1]
59		DAT7[2]
60		DAT7[3]
61		DAT7[4]
62		DAT7[5]
63		DAT7[6]
64		DAT7[7]

注. 65ビット目以降は、1ビット目から順に上書きされます。

REMDAT0.DAT0[0] ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後に REMDAT0～REMDAT7 レジスタの値が“00h”になります。REMDAT0 レジスタに“00h”を書き込んだ際の REMDATj/REMRBIT レジスタの動作説明を図 36.13 に示します。

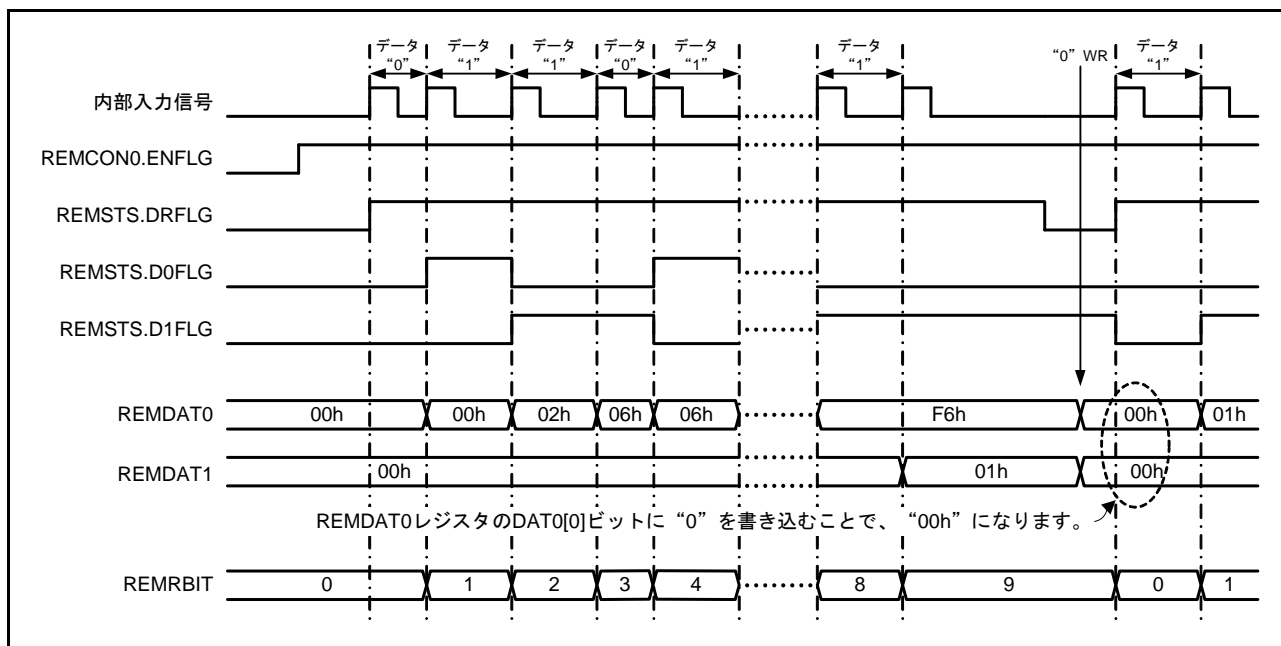


図 36.13 REMDATj/REMRBIT レジスタ動作説明 (REMDAT0 レジスタに“00h”書き込み)

REMRBIT.RBIT[0] ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後に REMRBIT レジスタの値が“00h”になります。また、REMCON1.TYP[1:0] ビットが“00b”、“10b”の場合、データ受信中にヘッダパターンを検出すると、REMRBIT レジスタは“00h”に初期化され、以降の受信データは REMDAT0.DAT0[0] ビットから順番に上書きされます。図 36.14 にデータ受信中のヘッダパターン検出動作を示します。

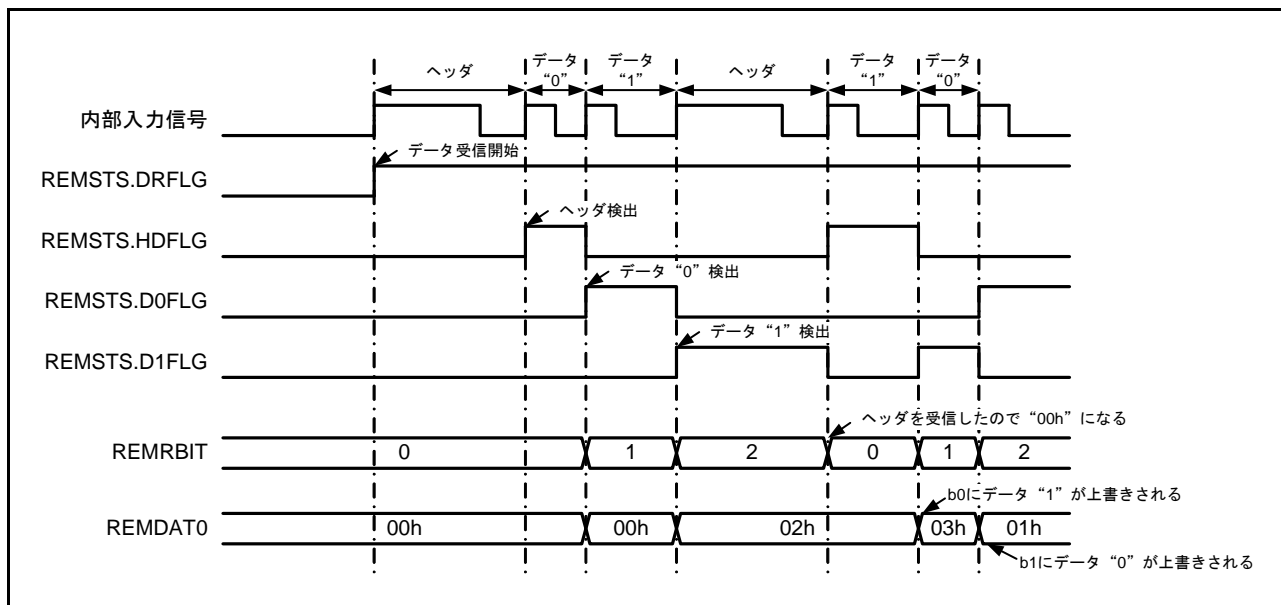


図 36.14 データ受信中のヘッダパターン検出動作

データが 64 ビットを超えると 1 ビット目のデータから順次上書きします。REMSTS.BFULFLG フラグが “1” となるときの REMRBIT レジスタの動作説明を図 36.15 に示します。

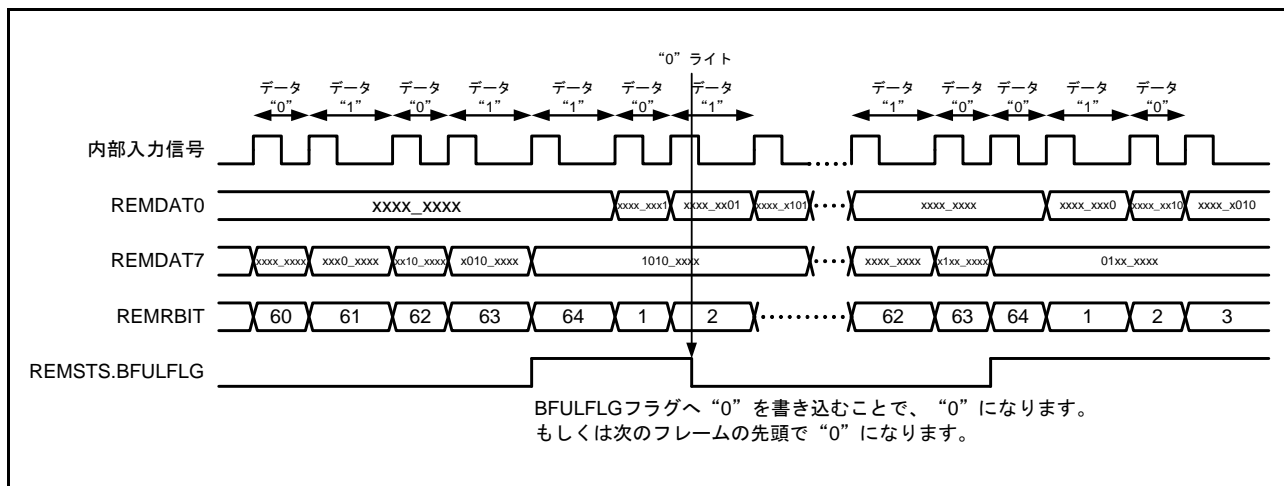


図 36.15 REMRBIT レジスタ動作説明 (REMSTS.BFULFLG フラグが “1” になるとき)

36.3.9 コンペア機能

REMCPCDレジスタとREMDAT1、REMDAT0レジスタの内容を比較します。その結果、リモコン信号の最初の1～16ビットが特定の値であることを検出できます。図36.16に受信バッファとコンペア機能の動作タイミングを示します。

コンペア機能を使用する場合は次のように設定してください。

- REMCPC.CPN[3:0]ビットで比較するビットを選択
(設定値をnとすると、ビットn～ビット0を比較。n:0～15)
- REMCPDレジスタに比較データを設定
REMRBITレジスタがREMCPC.CPN[3:0]ビットで設定したビットになるとき、REMCPCDレジスタとREMDAT1、REMDAT0レジスタの比較結果が一致するとREMSTS.CPFLGフラグが“1”(コンペア一致)になります。

64ビット以上の受信でREMRBITレジスタがREMCPC.CPN[3:0]ビットで設定したビットになるとき、REMCPCDレジスタとREMDAT1、REMDAT0レジスタの比較結果が一致してもREMSTS.CPFLGフラグは“1”(コンペア一致)になりません。

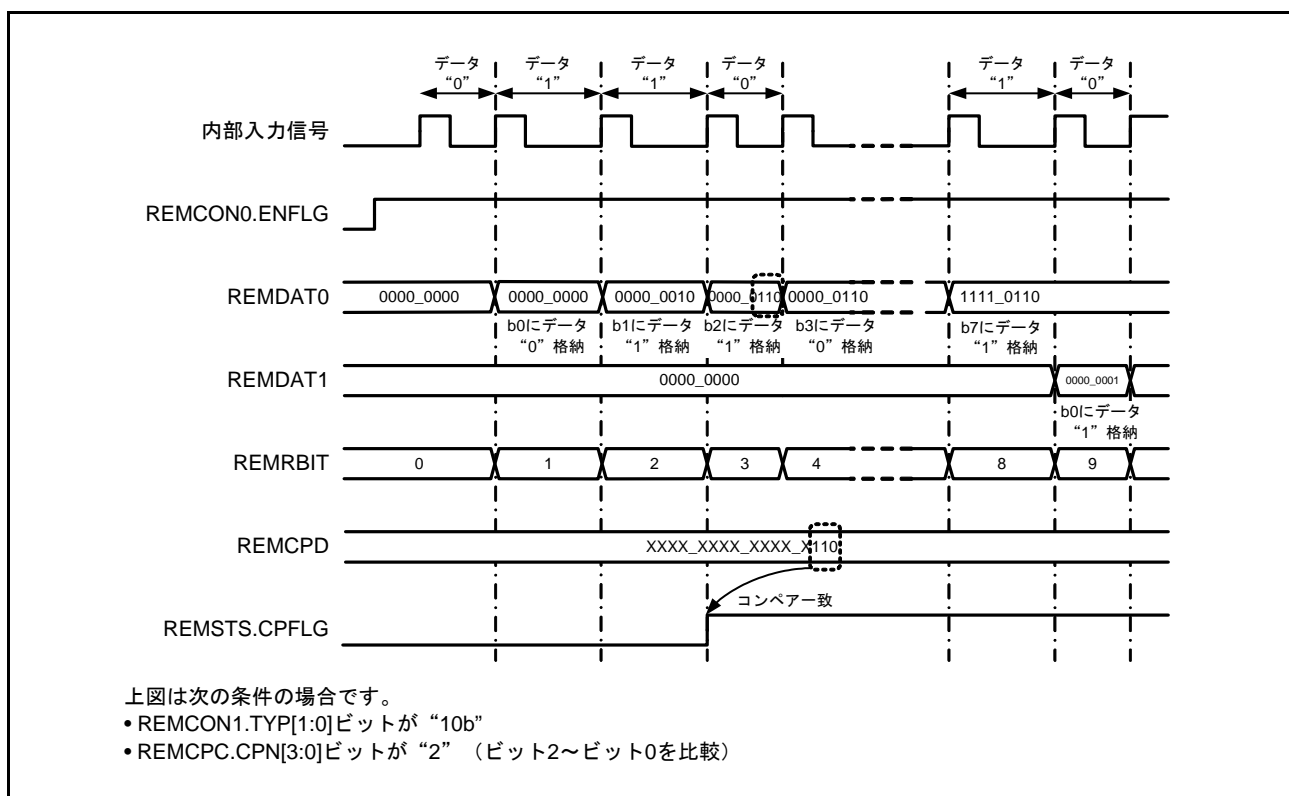


図 36.16 受信バッファとコンペア機能

36.3.10 エラーパターン受信

データ受信中にエラーパターンを検出した場合、REMCON0.EC ビットの設定により、以降の動作が異なります。

REMCON0.EC ビットを“0”にした場合の REMDAT0 レジスタ、REMRBIT レジスタの動作を図 36.17 に示します。REMCON0.EC ビットが“0”でエラーを検出した場合、エラー検出時のデータ取り込みは行いませんが、以降のデータ“0”パターンまたはデータ“1”パターン検出でデータを取り込みます。

REMCON0.EC ビットを“1”にした場合の REMDAT0 レジスタ、REMRBIT レジスタの動作を図 36.18 に示します。REMCON0.EC ビットが“1”でエラーを検出した場合、それ以降のデータ“0”パターンまたはデータ“1”パターンを検出しても、REMRBIT レジスタおよび REMDAT0 ~ REMDAT7 レジスタの値を更新しません。いったん REMSTS.DRFLG がクリアされ、データ受信が完了した後、再度データ受信が開始した場合、REMSTS.REFLG はクリアされ、データ取り込みが行われます。

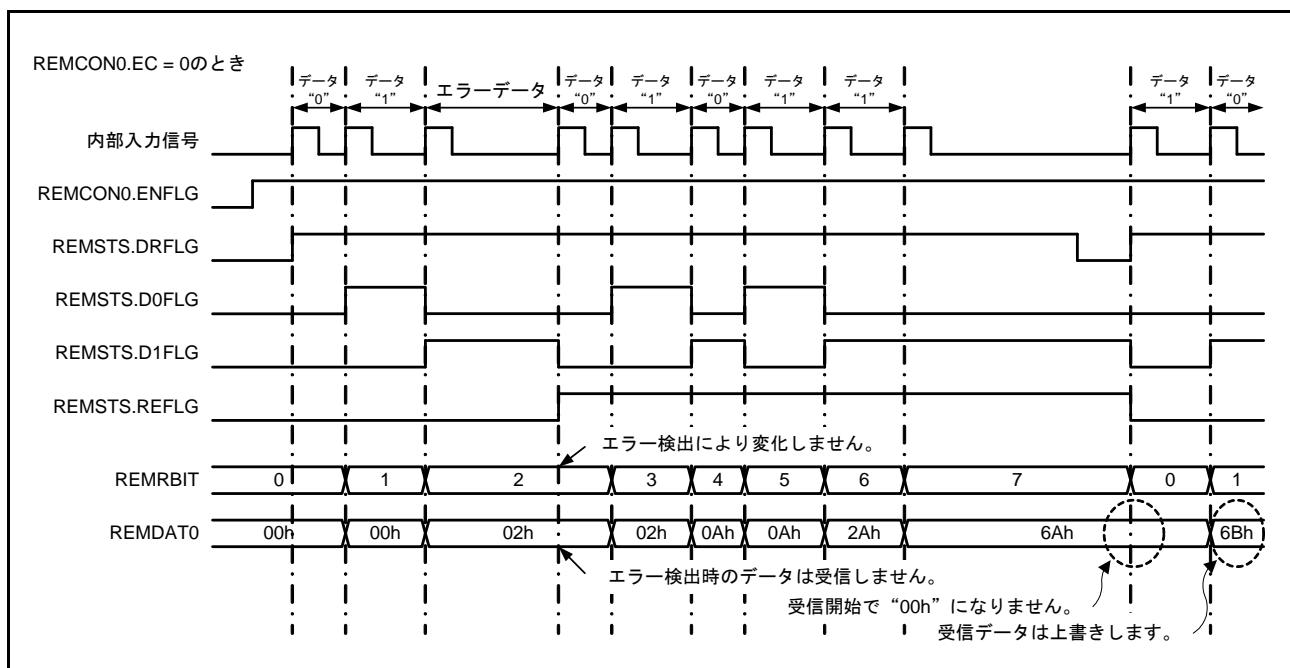


図 36.17 エラー検出時の REMDAT0、REMRBIT レジスタ動作説明 (REMCON0.EC ビット = 0)

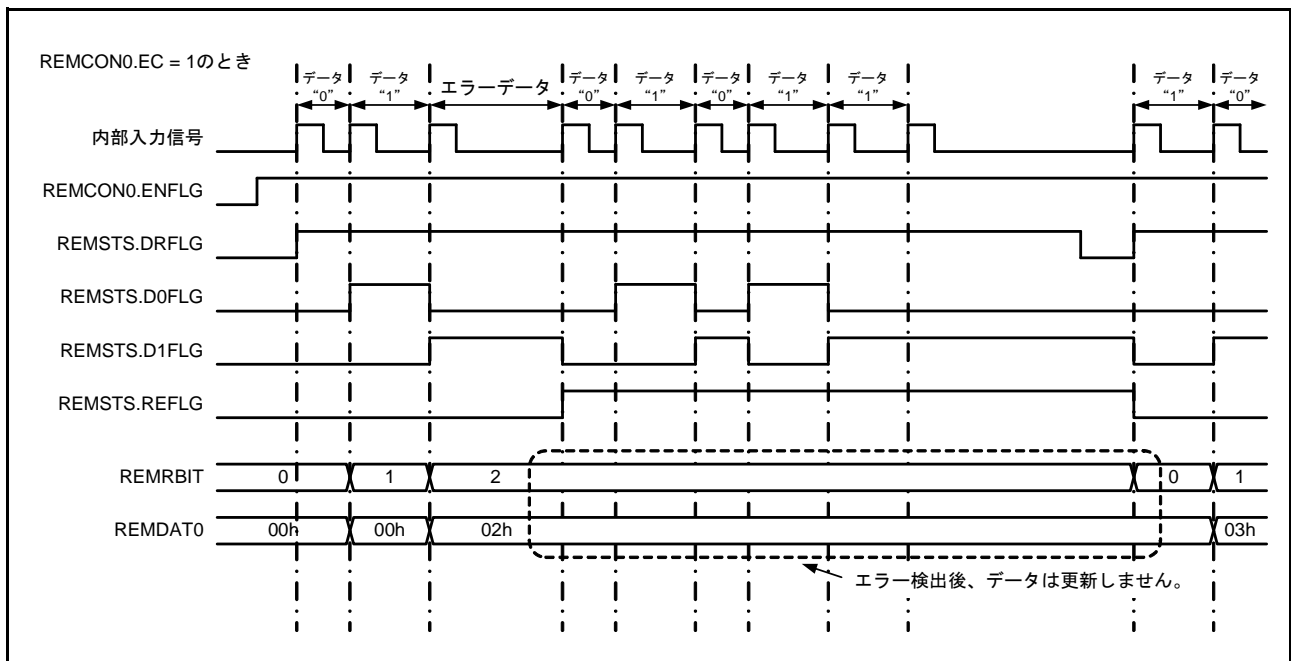


図 36.18 エラー検出時の REMDAT0、REMRBIT レジスタ動作説明 (REMCON0.EC ビット = 1)

36.3.11 パターン検出時のベースタイム値格納

測定結果レジスタ (REMTIM) には、以下のパターンを検出したときのベースタイムの値が格納されます。これにより、各パターン幅を測定することができます。測定機能の動作例を図 36.19 に示します。

- ヘッダパターン
- データ“0”パターン
- データ“1”パターン
- 特殊データパターン
- 上記以外のデータパターン (受信エラー)

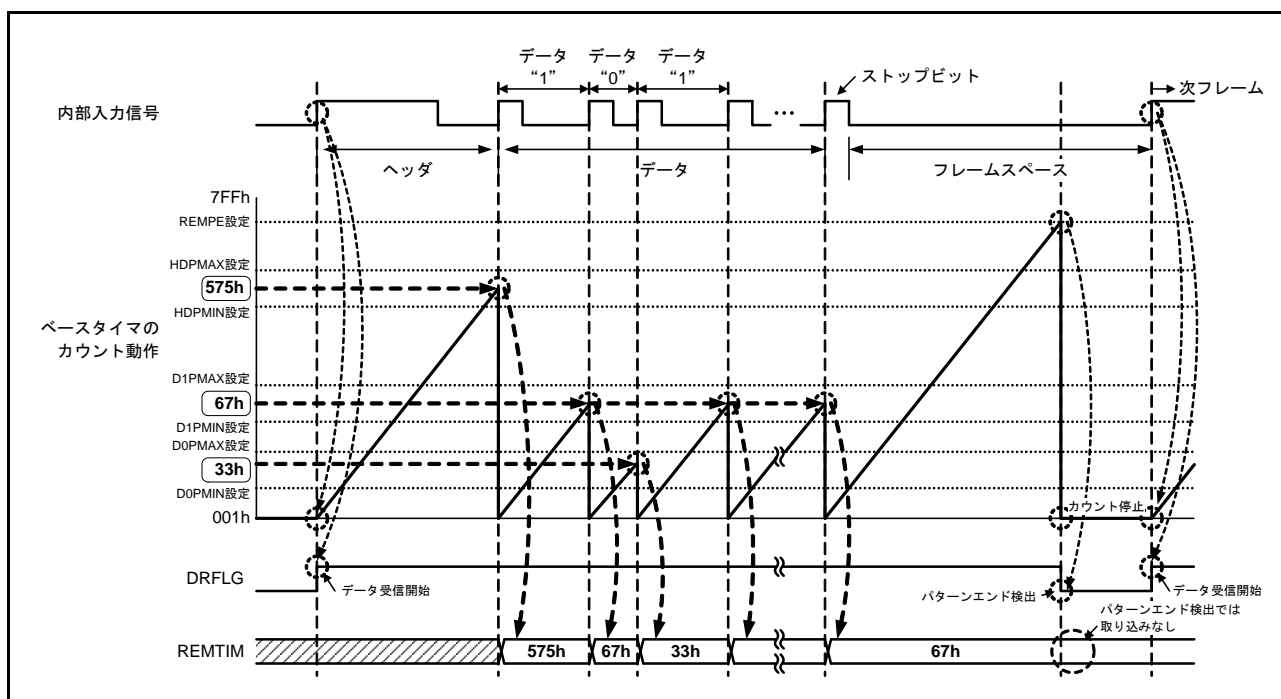


図 36.19 測定機能の動作例

36.3.12 割り込み

REMCの割り込み要因には、コンペアー一致、受信エラー、データ受信完了、受信バッファフル、ヘッダパターン一致、データ“0”パターンまたはデータ“1”パターン一致、特殊データパターン一致の7つあります。これらの割り込み要因は、すべて1つのベクタ番号に割り付けられています。

表 36.5 に REMC の割り込み要因を、表 36.6 に割り込みモードと REMC10 割り込み要求発生条件を示します。

ノーマル割り込みモードでは、REMINTレジスタの対応する割り込み許可ビットが“1”になっている割り込み要因の内、いずれかの割り込み要求発生条件が成立すると、REMC10 割り込み要求が出力されます。

シーケンシャル割り込みモードでは、コンペアー一致、データ受信完了、ヘッダパターン一致、特殊データパターン一致の4つの割り込み要因に対するREMC10 割り込み要求発生条件が異なります。これら4つの割り込み要因の内、REMINTレジスタの対応する割り込み許可ビットが“1”になっている要因すべての割り込み要求発生条件が成立するか、その他の割り込み要因の内、REMINTレジスタの対応する割り込み許可ビットが“1”になっている要因のいずれかの割り込み要求発生条件が成立すると、REMC10 割り込み要求が出力されます。

割り込み制御の詳細は「14. 割り込みコントローラ(ICUF)」を参照してください。

表 36.5 REMCの割り込み要因

割り込み要因	ステータスフラグ	割り込み許可ビット	各割り込み要求発生条件
コンペアー一致	REMSTS.CPFLG	REMINT.CPINT	REMSTS.CPFLGフラグが“0”から“1”になるとき
受信エラー	REMSTS.REFLG	REMINT.REINT	REMSTS.REFLGフラグが“0”から“1”になるとき (受信エラーを検出したとき)
データ受信完了	REMSTS.DRFLG	REMINT.DRINT	REMSTS.DRFLGフラグが“1”から“0”になるとき
受信バッファフル	REMSTS.BFULFLG	REMINT.BFULINT	REMSTS.BFULFLGフラグが“0”から“1”になるとき
ヘッダパターン一致	REMSTS.HDFLG	REMINT.HDINT	REMSTS.HDFLGフラグが“0”から“1”になるとき (ヘッダパターンを検出したとき)
データ“0”パターンまたはデータ“1”パターン一致	REMSTS.D0FLG, REMSTS.D1FLG	REMINT.DINT	<ul style="list-style-type: none"> REMSTS.D0FLGフラグが“0”から“1”になるとき (データ“0”パターンを検出したとき) REMSTS.D1FLGフラグが“0”から“1”になるとき (データ“1”パターンを検出したとき)
特殊データパターン一致	REMSTS.SDFLG	REMINT.SDINT	REMSTS.SDFLGフラグが“0”から“1”になるとき (特殊データパターンを検出したとき)

表 36.6 REMCの割り込みモードとREMC10 割り込み要求発生条件

項目	割り込みモード	
	ノーマル割り込みモード	シーケンシャル割り込みモード
ビット設定	REMCN1.INTMDビット=0	REMCN1.INTMDビット=1
REMC10 割り込み要求発生条件	下記の7つの割り込み要因の内、割り込みを許可した要因のいずれかに対し割り込み要求発生条件が成立 <ul style="list-style-type: none"> コンペアー一致 受信エラー データ受信完了 受信バッファフル ヘッダパターン一致 データ“0”またはデータ“1”パターン一致 特殊データパターン一致 	下記の4つの割り込み要因の内、割り込みを許可した要因のすべてに対し割り込み要求発生条件が成立 <ul style="list-style-type: none"> コンペアー一致 データ受信完了 ヘッダパターン一致 特殊データパターン一致 または、下記の3つの割り込み要因の内、割り込みを許可した要因のいずれかに対し割り込み要求発生条件が成立 <ul style="list-style-type: none"> 受信エラー 受信バッファフル データ“0”またはデータ“1”パターン一致

36.3.13 低消費電力状態でのデータ受信動作

REMCは、低消費電力状態（スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード）でデータ受信を行うことができます。

低消費電力状態でデータ受信を行う場合は、低消費電力状態に遷移する前にREMCの通信設定を行う必要があります。

36.3.13.1 REMC 割り込み要求による低消費電力状態からの復帰

データ受信時に生成されるREMC割り込み要求を低消費電力状態からの復帰要因として使用することで、データ受信待機時の消費電力を低減することができます（図36.20参照）。パターン検出、コンペア機能などにより、特定のデータを受信したときのみ低消費電力状態から復帰させることもできます。

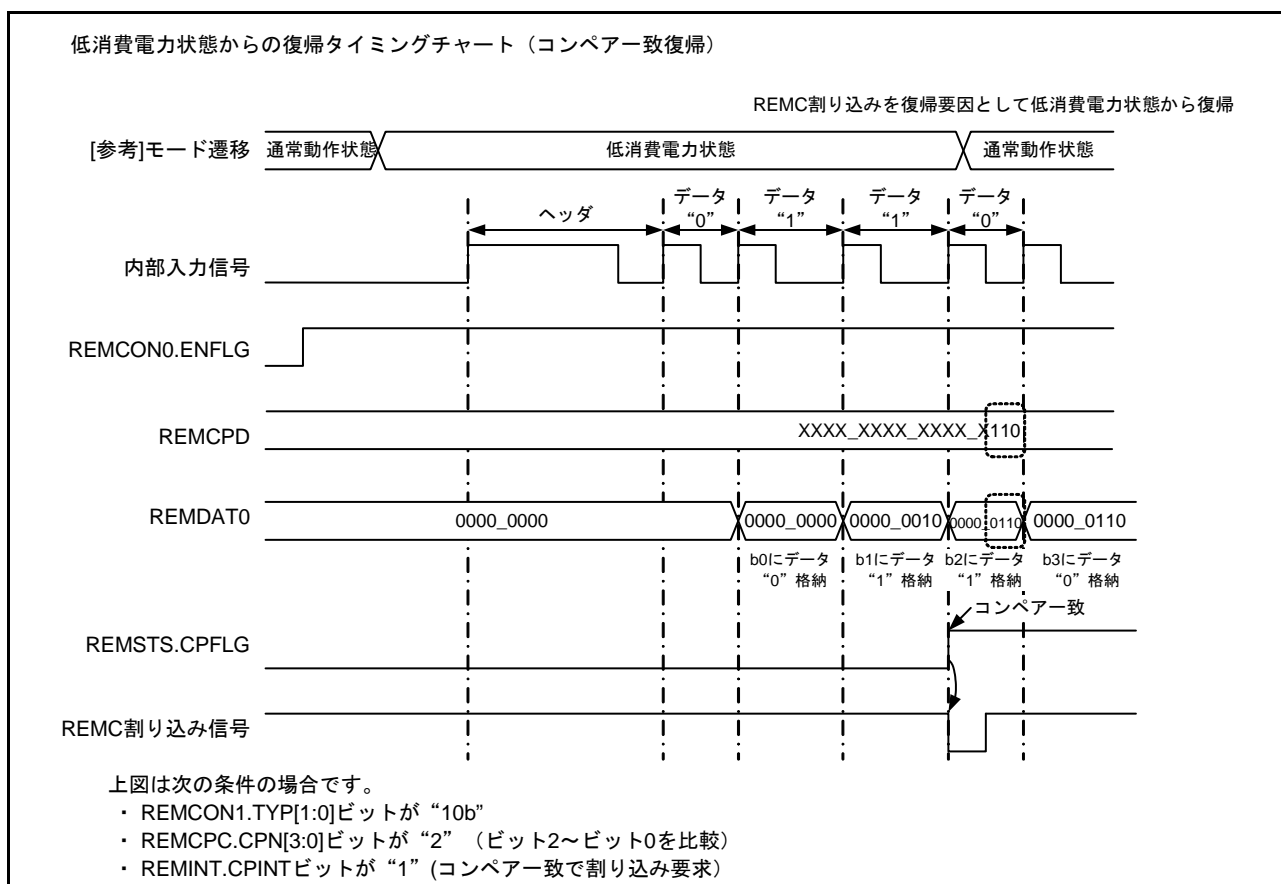


図 36.20 REMC 割り込みによる低消費電力状態からの復帰動作（ノーマル割り込みモードの場合）

36.3.13.2 ソフトウェアスタンバイモードでのデータ受信動作

REMC動作クロックにサブクロックを選択したときは、ソフトウェアスタンバイモードでデータ受信を行うことができます。

ソフトウェアスタンバイモードでデータ受信を行う場合、SOF_{CR}.SOFEビットを“1”に設定し、ソフトウェアスタンバイモード中も継続してREMC動作クロックにサブクロックを供給してください。REMC動作クロックの供給方法については、「36.3.4 動作クロック」を参照してください。

ソフトウェアスタンバイモードからの復帰には、データ受信時に生成されるREMC割り込み要求の発生条件と割り込みモードによる出力条件を選択してください。パターン検出、コンペア機能などにより、特定のデータを受信したときのみソフトウェアスタンバイモードから復帰させることができます。ソフトウェアスタンバイモードでのデータ受信設定フロー例を図36.21に示します。

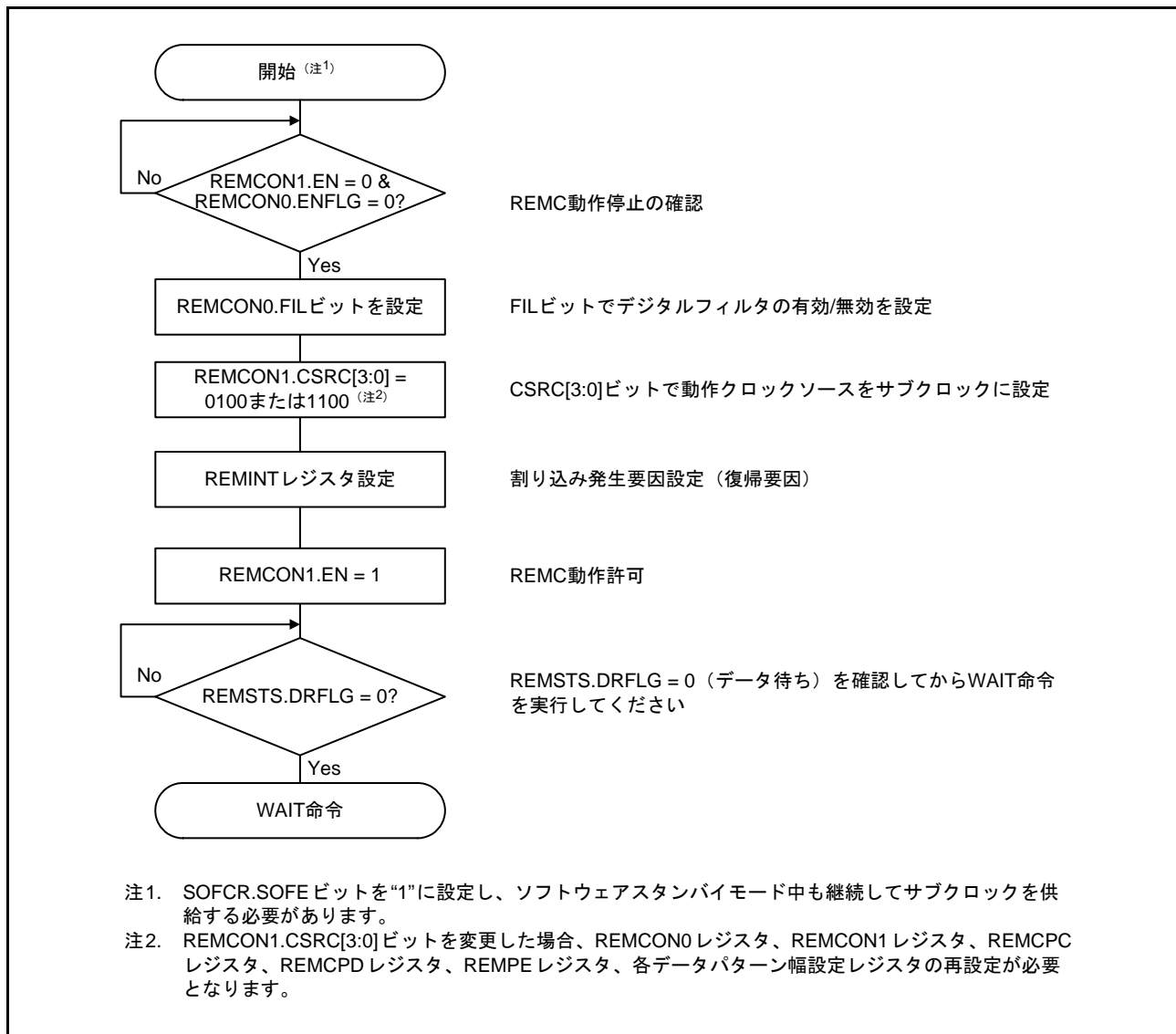


図 36.21 ソフトウェアスタンバイモードでのデータ受信設定フロー

36.4 使用上の注意事項

36.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、REMCの動作禁止/許可を設定することが可能です。リセット後、REMCの動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

36.4.2 周辺モジュールクロックとREMC動作クロックの設定

周辺モジュールクロック周波数(PCLKB) > REMC動作クロック周波数となるように設定してください。

36.4.3 リモコン信号受信機能の動作開始、停止

REMC0N1.ENビットは、リモコン信号受信機能の動作開始または停止を制御するビットです。REMC0N0.ENFLGフラグは動作の開始・停止したことを示すフラグです。REMC0N1.ENビットを“1”(動作許可)にするとREMC回路が動作を開始し、REMC0N0.ENFLGフラグが“1”になるまで、最大で動作クロックの0~1サイクルかかります。この間、REMC0N0.ENFLGフラグを除くREMC関連レジスタ(36.2.1~36.2.19に示したレジスタ)をアクセスしないでください。

36.4.4 レジスタアクセス

以下のレジスタはREMC0N1.ENビットと、REMC0N0.ENFLGフラグがともに“0”(REMC停止)のときに変更してください。

- REMC0N0レジスタ
- REMC0N1レジスタ(ビット0~2を除く)
- REMINTレジスタ(ビット2,5を除く)
- REMCPCレジスタ
- REMCPDレジスタ
- ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのパターン幅設定レジスタ
- パターンエンド設定レジスタ

REMC0N1.ENビット、またはREMC0N0.ENFLGフラグが“1”(REMC動作)のときにREMC0N1.TYP[1:0]ビットを書き換える場合、1ビットごとに値を変更してください。またREMC0N0.INFLGフラグの切り替わり時に本ビットを書き換えるとリモコン信号受信機能に取り込まれる信号は不定となる場合があります。

REMDAT0、REMRBITレジスタのビット0もしくはREMSTS.BFULFLGフラグに“0”を書き込んだ後に、再度同一ビットに“0”を書き込む際には動作クロック2サイクル間は書き込まないでください。REMC0N0.INFLGフラグの切り替わり時に“0”を書き込んだ場合は、REMDATj、REMRBITレジスタ、REMSTS.BFULFLGフラグは不定となる場合があります。

36.4.5 PMCO入力制御

REMC0N0.FILSEL、FIL、INVビットを書き換えた場合、デジタルフィルタのサンプリングクロックの3サイクルの間、リモコン信号受信機能に取り込まれる信号は不定です。

36.4.6 動作クロック変更時の注意事項

REMCON1.CSRC[3:0] ビットを書き換えた場合、REMCON0、REMCON1、REMINT、REMCPC、REMCPCD、REMPE レジスタ、ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターン幅設定レジスタを再度設定してください。

36.4.7 レジスタ読み出し手順

次のレジスタのデータが変化するタイミングで読み出すと、不定値を読み出すことがあります。

REMCON0、REMSTS レジスタの各フラグ (REMSTS.DRFLG フラグを除く)、REMTIM、REMDAT0 ~ REMDAT7、REMRBIT レジスタ

このタイミングを避けるため、これらのレジスタは以下に示す方法で読み出してください。

- 割り込みを使用する方法
REMINT.DRINT ビットを“1” (データ受信完了割り込み許可) にしておき、REMC 割り込みルーチン内で読み出す
- プログラムで監視する方法 1
REMINT.DRINT ビットを“1” (データ受信完了割り込み許可) にしておき、プログラムで ICU.IRn.IR フラグを監視し、“1” (割り込み要求発生) になったら読み出す
- プログラムで監視する方法 2
 - (1) REMSTS.DRFLG フラグを監視する
 - (2) REMSTS.DRFLG フラグが“1” になったら、“0” になるまで監視する
 - (3) REMSTS.DRFLG フラグが“0” になったら、必要な内容を読み出す

37. 三角関数演算器 (TFU)

本 MCU は、三角関数演算器 (TFU) を搭載しています。

TFU を使用することにより、`sinf` 関数、`cosf` 関数、`atan2f` 関数、`hypotf` 関数が高速に演算できるようになります。C/C++ コンパイラでコンパイルオプションを指定することにより、TFU を使用する命令コードが生成されます。詳細はコンパイラのマニュアルを参照してください。

TFU の動作クロックは ICLK です。

37.1 概要

表 37.1 に TFU の仕様を示します。

表 37.1 TFU の仕様

項目	内容				
演算処理	sin 演算、cos 演算、arctan 演算、 $\sqrt{x^2+y^2}$ 演算 • sin 演算と cos 演算は同時に演算できます。 • arctan 演算と $\sqrt{x^2+y^2}$ 演算は同時に演算できます。				
値の範囲および単位	演算処理	入出力	範囲	単位	
	sin 演算	入力	角度 θ	$-\text{float_max} \leq \theta \leq \text{float_max}$ (注1)	radian
		出力	$\sin(\theta)$	$-1.0 \leq \sin(\theta) \leq 1.0$	—
	cos 演算	入力	角度 θ	$-\text{float_max} \leq \theta \leq \text{float_max}$ (注1)	radian
		出力	$\cos(\theta)$	$-1.0 \leq \cos(\theta) \leq 1.0$	—
	arctan 演算	入力	x, y 座標	$-\text{float_max} \leq x \leq \text{float_max}$ (注1) $-\text{float_max} \leq y \leq \text{float_max}$ (注1)	—
		出力	$\arctan(y/x)$	$-\pi \leq \arctan(y/x) \leq \pi$	radian
	$\sqrt{x^2+y^2}$ 演算	入力	x, y 座標	$-\text{float_max} \leq x \leq \text{float_max}$ (注1) $-\text{float_max} \leq y \leq \text{float_max}$ (注1)	—
出力		$\sqrt{x^2+y^2}$	$0 \leq \sqrt{x^2+y^2} \leq \infty$	—	
処理可能なデータタイプ	単精度浮動小数点数				
演算実行サイクル数	sin 演算 : 14 サイクル cos 演算 : 14 サイクル arctan 演算 : 14 サイクル $\sqrt{x^2+y^2}$ 演算 : 14 サイクル + 2 サイクル (ソフトウェア処理)				

注 1. float_max は単精度浮動小数点数で表現可能な最大値。 $(2 - 2^{-23}) \times 2^{127}$ 。

38. 12ビットA/Dコンバータ (S12ADH)

38.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。変換対象として、最大24チャンネルのアナログ入力と温度センサ出力、内部基準電圧を選択できます。

12ビットA/Dコンバータは、選択した最大24チャンネルのアナログ入力、温度センサ出力または内部基準電圧を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、24チャンネルの内、任意に選択したアナログ入力を任意のチャンネル番号順に変換するシングルスキャンモードと、24チャンネルの内、任意に選択したアナログ入力を任意のチャンネル番号順に連続して変換する連続スキャンモードと、24チャンネルから任意に選択したアナログ入力を2つ(グループA、グループB)または3つのグループ(グループA、グループB、グループC)に分け、グループ単位で選択したチャンネルのアナログ入力を任意のチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードは、2つのグループ(グループA、B)か、3つのグループ(グループA、B、C)のどちらか一方を選択します。各グループ(A、B、C)のスキャン開始条件(同期トリガ)を個別に選択し、各グループ(A、B、C)のスキャンを異なるタイミングで開始することができます。

グループスキャンモードのグループ優先動作は、前述の動作に加え、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。グループ優先動作の優先順位は、グループA>グループB>グループCの順となります。グループ優先動作では、グループCのスキャン中にグループBのスキャン開始を受け付けるとグループCのスキャンを中断しグループBのスキャンを開始する、グループCのスキャン中にグループAのスキャン開始を受け付けるとグループCのスキャンを中断し、グループAのスキャンを開始する、同様にグループBのスキャン中にグループAのスキャン開始を受け付けるとグループBのスキャンを中断し、グループAのスキャンを開始する動作となります。

また中断したグループのスキャンを優先グループのスキャン終了後に再開することもできます。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード(グループA)で変換し、1回目の同期トリガで変換したデータと2回目の同期トリガで変換したデータを別々のレジスタに格納(A/D変換データの二重化)します。

自己診断は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

シングルスキャンモードとグループスキャンモードで温度センサ出力または内部基準電圧の選択が可能です。温度センサ出力と内部基準電圧を選択した場合は、温度センサ出力、内部基準電圧の順でA/D変換を行います。連続スキャンモードでは温度センサ出力または内部基準電圧を選択できません。

コンペア機能(ウィンドウA、ウィンドウB)を有しています。また、A/D変換値とLow側基準値を比較するコンパレータ動作も可能です。

表38.1に12ビットA/Dコンバータの仕様を、表38.2に12ビットA/Dコンバータの機能概要を示します。図38.1に12ビットA/Dコンバータのブロック図を示します。

表38.1 12ビットA/Dコンバータの仕様 (1/2)

項目	内容
ユニット数	1ユニット(S12AD)
入力チャンネル	24チャンネル
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネルあたり0.9 μs (A/D変換クロック ADCLK = 60 MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLKB(注1)とA/D変換クロックADCLK(注1)を以下の周波数比で設定可能 PCLKB : ADCLK周波数比 = 1 : 1、2 : 1、4 : 1、1 : 2 ADCLKの設定はクロック発生回路で行います。 A/D変換クロックADCLKは最大60 MHz、最低8 MHzまで動作可能
データレジスタ	<ul style="list-style-type: none"> アナログ入力用24本、ダブルトリガモードでのA/D変換データ二重化用1本、ダブルトリガモード拡張動作時のA/D変換データ二重化用2本 温度センサ用1本 内部基準電圧用1本 自己診断用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビット/4ビット(注2)でA/Dデータレジスタに保持 ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは二重化レジスタに保持 ダブルトリガモード拡張動作(特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データをトリガ種別毎に準備した二重化レジスタに保持
動作モード	<ul style="list-style-type: none"> シングルスキャンモード : 任意に選択したチャンネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 連続スキャンモード : 任意に選択したチャンネルのアナログ入力を繰り返しA/D変換 グループスキャンモード : 使用するグループの数は2つ(グループA、B)と3つ(グループA、B、C)が選択可能 (グループの数が2つの場合、グループA、グループBの組み合わせのみ選択可能) 任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧をグループAとグループBまたはグループA、B、Cに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBとグループCは、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 グループスキャンモード(グループ優先制御選択時) 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループA(高) > グループB > グループC(低)。優先グループのスキャン終了後、低優先グループのスキャンを再実行(再スキャン)する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D変換未終了のチャンネルからかを設定可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイムパルスユニット(MTU)、8ビットタイマ(TMR)、イベントリンクコントローラ(ELC)からのトリガ 非同期トリガ 外部トリガADTRG0# 端子によるA/D変換動作の開始が可能
機能	<ul style="list-style-type: none"> サンプリング時間可変機能(チャンネルごとに設定可能) 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モードと平均モードが選択可能 アナログ入力断線検出アシスト機能(ディスチャージ機能/プリチャージ機能) ダブルトリガモード(A/D変換データ二重化機能) A/Dデータレジスタオートクリア機能 コンペア機能(ウィンドウA、ウィンドウB) チャンネル変換順序を設定可能

表38.1 12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
割り込み要因	<ul style="list-style-type: none"> • ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI)が発生 • ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI)が発生 • グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求(S12ADI)が発生。グループBのスキャン終了でグループBスキャン終了割り込み要求(S12GBADI)が発生。グループCのスキャン終了でグループCスキャン終了割り込み要求(S12GCADI)が発生 • グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求(S12ADI)が発生。グループBとグループCのスキャン終了で、それぞれのスキャン終了割り込み要求(S12GBADI/S12GCADI)が発生 • デジタルコンペア機能の比較条件成立で、コンペア割り込み要求(S12CMPAI, S12CMPBI)が発生 • S12ADI、S12GBADI、S12GCADI割り込みでDMAコントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能
イベントリンク機能	<ul style="list-style-type: none"> • すべてのスキャン終了時にイベント出力 • シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント出力 • ELCからのトリガによりスキャン開始可能
消費電力低減機能	<ul style="list-style-type: none"> • モジュールストップ状態への遷移が可能(注3、注4)

注1. 周辺モジュールクロックPCLKBはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。

注2. 加算時の拡張ビット数は、加算回数により異なります。

2ビット拡張：1～4回変換(0～3回加算)

4ビット拡張：16回変換(15回加算)

注3. 詳細は、「11. 消費電力低減機能」を参照してください。

注4. モジュールストップ状態を解除した後は、1 μs以上待ってからA/D変換を開始してください。

表38.2 12ビットA/Dコンバータの機能概要

項目			端子名、略称等	
			ユニット0 (S12AD)	
アナログ入力チャンネル			AN000～AN023、内部基準電圧、温度センサ出力	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	
	非同期トリガ	トリガ入力端子	ADTRG0#	
	同期トリガ		MTU0.TGRAのコンペアマッチ/インプットキャプチャ	TRGA0N
			MTU1.TGRAのコンペアマッチ/インプットキャプチャ	TRGA1N
			MTU2.TGRAのコンペアマッチ/インプットキャプチャ	TRGA2N
			MTU3.TGRAのコンペアマッチ/インプットキャプチャ	TRGA3N
			MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	TRGA4N
			MTU6.TGRAのコンペアマッチ/インプットキャプチャ	TRGA6N
			MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	TRGA7N
			MTU0.TGREのコンペアマッチ	TRG0N
			MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	TRG4AN
			MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4BN
			MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、または、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4ANまたはTRG4BN
			MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	TRG4ABN
			MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	TRG7AN
			MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7BN
			MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、または、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7ANまたはTRG7BN
			MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	TRG7ABN
			MTU0.TGRAのコンペアマッチ/インプットキャプチャ、または、MTU0.TGREのコンペアマッチ	TRGA0NまたはTRG0N
			A/D変換開始条件	同期トリガ
TMR2.TCORAとTMR2.TCNTのコンペアマッチ	TMTRG0AN_1			
ELCトリガ	ELCTRG00N			
	ELCTRG01N			
			ELCTRG00NまたはELCTRG01N	
割り込み			S12ADI、S12GBADI、S12GCADI、S12CMPAI、S12CMPBI割り込み	
モジュールストップ機能の設定 (注1、注2)			MSTPCRA.MSTPA17ビット	

注. A/D変換を開始するトリガをADTRG0#に設定する場合は、該当する端子のポートモードレジスタの端子モード制御ビットを“1” (周辺機能)に、端子機能制御レジスタの端子機能選択ビットをADTRG0#に設定してください。詳細は「20. I/Oポート」を参照してください。

注1. 詳細は、「11. 消費電力低減機能」を参照してください。

注2. モジュールストップ状態を解除後は、1 μs以上待ってからA/D変換を開始してください。

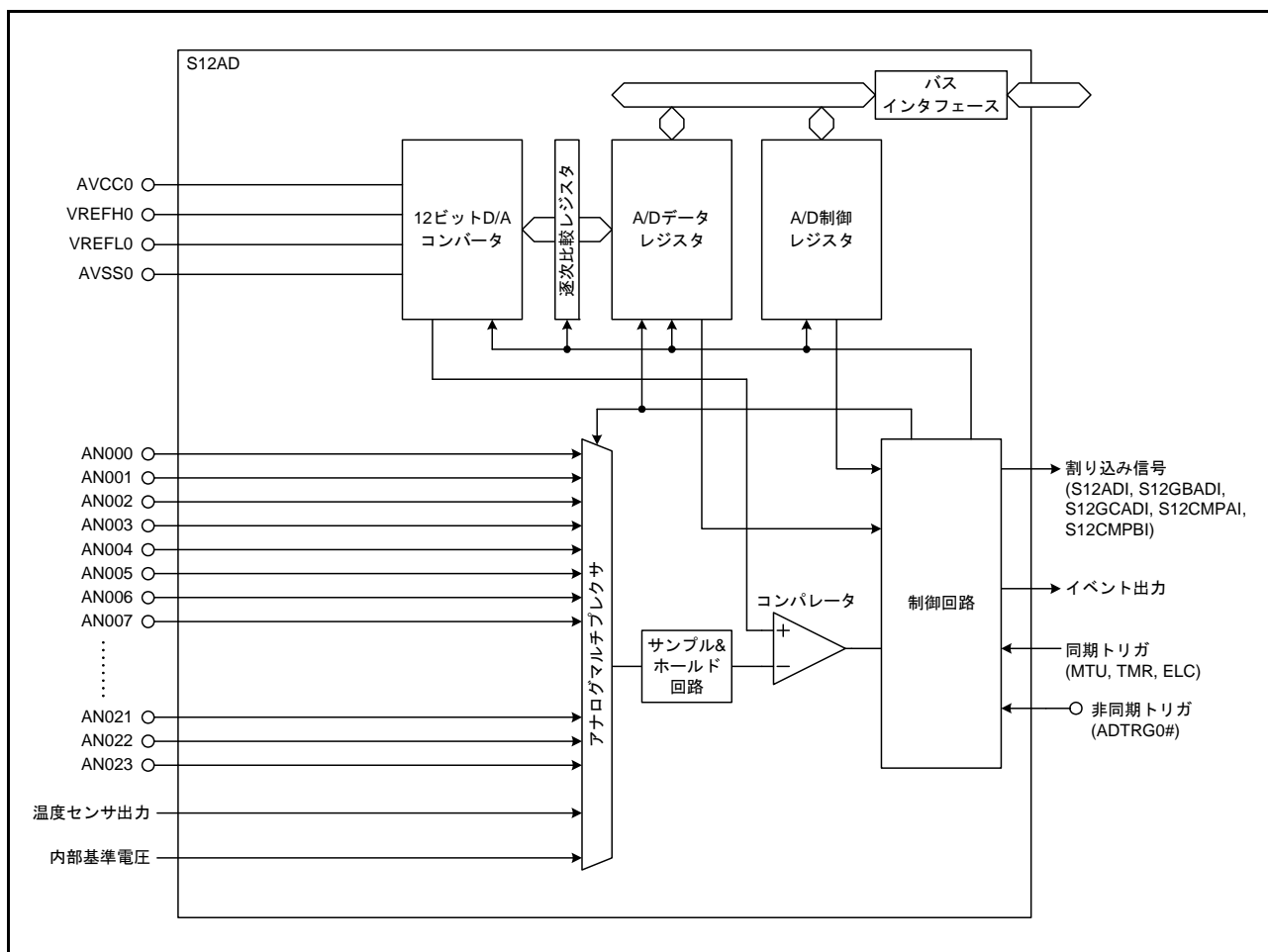


図 38.1 12ビットA/Dコンバータのブロック図

表 38.3 に 12ビットA/Dコンバータで使用する入出力端子を示します。

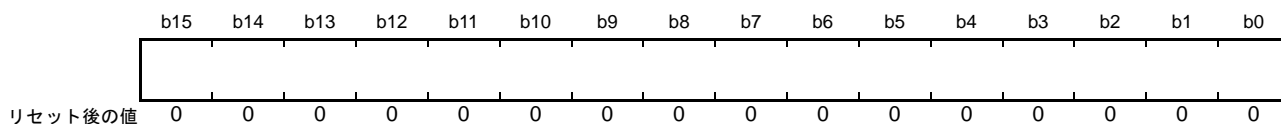
表 38.3 12ビットA/Dコンバータの入出力端子

ユニット	端子名	入出力	機能
ユニット0 (S12AD)	AVCC0	—	アナログ電源端子
	AVSS0	—	アナロググランド端子
	VREFH0	—	基準電源端子
	VREFL0	—	基準グランド端子
	AN000～AN023	入力	アナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
	ADST0	出力	ADSTビットの状態出力端子

38.2 レジスタの説明

38.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 23)、 A/D データ二重化レジスタ (ADDBLDR)、 A/D データ二重化レジスタ A (ADDBLDRA)、 A/D データ二重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)

アドレス S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h, S12AD.ADDR3 0008 9026h,
S12AD.ADDR4 0008 9028h, S12AD.ADDR5 0008 902Ah, S12AD.ADDR6 0008 902Ch, S12AD.ADDR7 0008 902Eh,
S12AD.ADDR8 0008 9030h, S12AD.ADDR9 0008 9032h, S12AD.ADDR10 0008 9034h, S12AD.ADDR11 0008 9036h,
S12AD.ADDR12 0008 9038h, S12AD.ADDR13 0008 903Ah, S12AD.ADDR14 0008 903Ch,
S12AD.ADDR15 0008 903Eh, S12AD.ADDR16 0008 9040h, S12AD.ADDR17 0008 9042h,
S12AD.ADDR18 0008 9044h, S12AD.ADDR19 0008 9046h, S12AD.ADDR20 0008 9048h,
S12AD.ADDR21 0008 904Ah, S12AD.ADDR22 0008 904Ch, S12AD.ADDR23 0008 904Eh,
S12AD.ADDBLDR 0008 9018h, S12AD.ADDBLDRA 0008 9084h, S12AD.ADDBLDRB 0008 9086h,
S12AD.ADTSDR 0008 901Ah, S12AD.ADOCDR 0008 901Ch



ADDRy レジスタ (y = 0 ~ 23) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作であるトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (2 回、3 回、4 回、16 回変換)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを無効にした場合

- 右詰めのフォーマット
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めのフォーマット
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマット
b11-b0 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めのフォーマット
b15-b4 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

A/D変換値加算モードを2回、4回変換に設定の場合のみ、A/D変換値平均モードを設定できます。

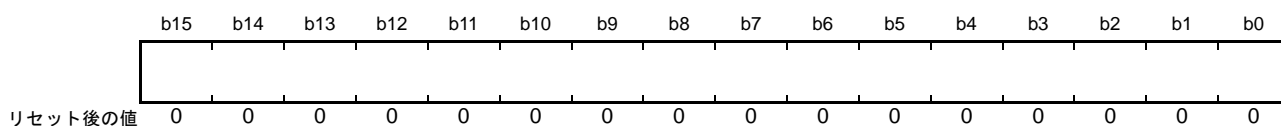
(3) A/D変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)
b13-b0に同一チャンネルのA/D変換値を加算した値を格納します。読み出し時、b15-b14は“0”が読み出されます。
- 右詰めのフォーマット (A/D変換値加算モード、変換回数16回選択時)
b15-b0に同一チャンネルのA/D変換値を加算した値を格納します。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数1回～4回選択時)
b15-b2に同一チャンネルのA/D変換値を加算した値を格納します。読み出し時、b1-b0は“0”が読み出されます。
- 左詰めのフォーマット (A/D変換値加算モード、変換回数16回選択時)
b15-b0に同一チャンネルのA/D変換値を加算した値を格納します。

A/D変換値加算モードを選択したとき、同一チャンネルのA/D変換値を加算した値を示します。A/D変換回数を1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、変換回数を1回～4回に設定した場合は、A/D変換結果の加算値を変換精度のビット数に2ビット分拡張したデータとして、変換回数を16回に設定した場合は、A/D変換結果の加算値を変換精度のビット数に4ビット分拡張したデータとして、A/Dデータレジスタに保持します。A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定に従い、A/Dデータレジスタに値が格納されます。

38.2.2 A/D 自己診断データレジスタ (ADRD)

アドレス S12AD.ADRD 0008 901Eh



ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値に加えて、自己診断のステータスが付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

AD自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。温度センサ出力または内部基準電圧を選択した場合、自己診断機能を選択できません。自己診断の詳細については「38.2.14 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマット
b11-b0にA/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b12は“0”が読み出されます。
- 左詰めフォーマット
b15-b4にA/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b3-b2は“0”が読み出されます。

表38.4 自己診断ステータス内容

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	1/2 × AVCCの電圧値の自己診断を実施したことを示します
11b	AVCCの電圧値の自己診断を実施したことを示します

注. 自己診断の詳細については、「38.2.14 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

38.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD.ADCSR 0008 9000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了割り込みを禁止 1: グループBのスキャン終了割り込みを許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット	0: 同期トリガによるA/D変換の開始を選択 1: 非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了割り込みを禁止 1: スキャン終了割り込みを許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D 変換の開始/停止を行うレジスタです。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択ビット)

ダブルトリガモードで A/D 変換データを二重化する 1 チャンネルを選択します。

DBLANS[4:0] ビットで選択したチャンネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ二重化レジスタに格納されます。表 38.5 にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを選択した場合は、ADANSA0、ADANSA1 レジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0] ビットで選択した 1 チャンネルが A/D 変換を行うチャンネルとなります。

グループスキャンモードでダブルトリガモードを選択した場合、グループ A のみダブルトリガモードの動作を行い、グループ B、C はダブルトリガモードの動作を行いません。また、ダブルトリガモード時は、グループ A に複数チャンネルのアナログ入力、温度センサ出力、内部基準電圧は選択できませんが、グループ B、C には複数チャンネルのアナログ入力、温度センサ出力、内部基準電圧が選択可能です。

また、DBLANS[4:0] ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

表 38.5 DBLANS[4:0] ビット設定値とダブルトリガ対象チャネルの関係

DBLANS[4:0]	二重化チャネル	DBLANS[4:0]	二重化チャネル
00000b	AN000	10000b	AN016
00001b	AN001	10001b	AN017
00010b	AN002	10010b	AN018
00011b	AN003	10011b	AN019
00100b	AN004	10100b	AN020
00101b	AN005	10101b	AN021
00110b	AN006	10110b	AN022
00111b	AN007	10111b	AN023
01000b	AN008	11000b	—
01001b	AN009	11001b	—
01010b	AN010	11010b	—
01011b	AN011	11011b	—
01100b	AN012	11100b	—
01101b	AN013	11101b	—
01110b	AN014	11110b	—
01111b	AN015	11111b	—

— : 設定しないでください。

注. 自己診断、温度センサ出力、内部基準電圧の A/D 変換データは、二重化を選択できません。

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込みの発生を許可 / 禁止します。グループ B のスキャン終了割り込みのシンボルは、S12GBADI です。

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、1 回目の同期トリガで変換された結果と 2 回目で変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSA0、ADANSA1 レジスタで指定したチャネルは無効となり、DBLANS[4:0] ビットで選択したチャネルが有効となります。ADSTRGR.TRSA[5:0] ビットで選択された同期トリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1 回目の同期トリガで変換した結果は、A/D データレジスタ y に格納され、2 回目の同期トリガで変換した結果は、A/D データ二重化レジスタに格納されます。このとき、ADIE ビットが“1”になっていると、1 回目の変換終了時は割り込み要求が発生せず、2 回目の変換終了時に割り込み要求が発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。さらに、自己診断機能、温度センサ出力の変換、および内部基準電圧の変換でも使用しないでください。また、グループスキャンモードでダブルトリガモードを使用する場合、グループ A で温度センサ出力、内部基準電圧の A/D 変換を選択しないでください。

DBLE ビットの設定は、あらかじめ ADST ビットを“0”にしてから行ってください。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

外部端子 (非同期トリガ) で A/D 変換を起動する場合、外部端子 (ADTRG0#) に High を入力した状態で、ADCSR.TRGE ビットを“1”、ADCSR.EXTRG ビットを“1”にします。その後、ADTRG0# 信号を Low に変化させると、ADTRG0# の立ち下がりエッジを検出し、スキャン変換を開始します。このときの Low 入力のパルス幅は、1.5 PCLKB 以上必要です。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B とグループ C を除く、A/D スキャン変換終了割り込みの発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが“1”に設定されていると、A/D スキャン変換終了割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガからのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”に設定されていると A/D スキャン変換終了割り込みが発生します。

ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADIE ビットが“1”に設定されていると A/D スキャン変換終了割り込みが発生します。A/D スキャン変換終了割り込みのシンボルは、S12ADI です。

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 24 チャンネルのアナログ入力を任意のチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。温度センサ出力または内部基準電圧の選択が可能です。チャンネルの入力と合わせて選択できません。温度センサ出力と内部基準電圧を同時に選択する場合は、温度センサ出力が先に変換されません。

連続スキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 24 チャンネルのアナログ入力を任意のチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。

連続スキャンモードでは、温度センサ出力と内部基準電圧は選択禁止です。

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを開始条件として、ADANSA0、ADANSA1 レジスタで選択した最大 24 チャンネルのアナログ入力 (グループ A) を任意のチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの A/D 変換が終了すると停止します。

また、同様に ADSTRGR.TRSA[5:0] ビット、ADGCTRGR.TRSC[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSB0、ADANSB1 レジスタ、ADANSC0、ADANSC1 レジスタで選択した最大 24 チャンネルのアナログ入力 (グループ B、グループ C) を任意のチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの A/D 変換が終了すると停止します。

温度センサ出力または内部基準電圧の選択が可能です。同じグループではチャンネルの入力と合わせて選択できません。温度センサ出力と内部基準電圧を同時に選択する場合は、温度センサ出力が先に変換されません。

グループスキャンモードを選択する場合は、グループ A とグループ B とグループ C で異なるチャンネルと異なるトリガを選択してください。

グループスキャンモード設定時に2つのグループを使用する場合、グループ A とグループ B を使用してください (ADGCTRGR.GRCE ビット = 0)。また、3つのグループを使用する場合、グループ A、グループ B とグループ C を使用してください (ADGCTRGR.GRCE ビット = 1)。

ADCS[1:0] ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時設定もしないでください)。

表 38.6 スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループ A 含む)	アナログ入力 (グループ B、グループ C)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	×	○	○
	DBLE = 1	×	○ (1ch のみ)	×	×	×
連続スキャン	DBLE = 0	○	○	×	×	×
	DBLE = 1	×	×	×	×	×
グループスキャン	DBLE = 0	○	○	○	○	○
	DBLE = 1	×	○ (1ch のみ)	○	○ (グループ B、 グループ C)	○ (グループ B、 グループ C)

○ : 選択可能、× : 選択不可能

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1”になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG ビットに“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[5:0]ビットで選択した同期トリガを検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[5:0] ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループ B またはグループ C のトリガを検出し、グループ B またはグループ C の A/D 変換を開始したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを“1”に設定し、最も優先度の低いグループの A/D 変換を開始したとき

[“0”になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループスキャンモードでグループ C のスキャンが終了したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、低優先グループのトリガによるスキャンが終了したとき

- 注． グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを “1” にしないでください。
- 注． グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを “0” にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。
- 注． グループ優先動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) にシングルスキャン連続機能を使用 (ADGSPCR.GBRP ビット = 1) した場合、ADST ビットは “1” を保持します。

38.2.4 A/D チャネル選択レジスタ A0 (ADANSA0)

(1) S12AD.ADANSA0

アドレス S12AD.ADANSA0 0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSA0 15	ANSA0 14	ANSA0 13	ANSA0 12	ANSA0 11	ANSA0 10	ANSA0 09	ANSA0 08	ANSA0 07	ANSA0 06	ANSA0 05	ANSA0 04	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	AN000～AN015を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b8	ANSA008			R/W
b9	ANSA009			R/W
b10	ANSA010			R/W
b11	ANSA011			R/W
b12	ANSA012			R/W
b13	ANSA013			R/W
b14	ANSA014			R/W
b15	ANSA015			R/W

S12AD.ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN000～AN015 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (A/D 変換チャネル選択ビット) (n = 00～15)

A/D 変換を行うチャネルのアナログ入力 AN000～AN015 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA000 ビットが AN000 に、ANSA015 ビットが AN015 に対応します。

シングルスキャンモードあるいはグループスキャンモードのグループ A で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください(本レジスタに“0000h”を設定してください)。

ダブルトリガモードを選択した場合は、S12AD.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

38.2.5 A/D チャンネル選択レジスタ A1 (ADANSA1)

アドレス S12AD.ADANSA1 0008 9006h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	ANSA1 07	ANSA1 06	ANSA1 05	ANSA1 04	ANSA1 03	ANSA1 02	ANSA1 01	ANSA1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA100	A/D変換チャンネル選択ビット	AN016～AN023を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSA101			R/W
b2	ANSA102			R/W
b3	ANSA103			R/W
b4	ANSA104			R/W
b5	ANSA105			R/W
b6	ANSA106			R/W
b7	ANSA107			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSA1 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN016～AN023 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA1n ビット (A/D 変換チャンネル選択ビット) (n = 00～07)

A/D 変換を行うチャンネルのアナログ入力 AN016～AN023 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA100 ビットが AN016 に、ANSA107 ビットが AN023 に対応します。

シングルスキャンモードあるいはグループスキャンモードのグループ A で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください(本レジスタに“0000h”を設定してください)。

ダブルトリガモードを選択した場合は、S12AD.ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA1n ビットの設定は無効になります。

ANSA1n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

38.2.6 A/D チャンネル選択レジスタ B0 (ADANSB0)

(1) S12AD.ADANSB0

アドレス S12AD.ADANSB0 0008 9014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSB015	ANSB014	ANSB013	ANSB012	ANSB011	ANSB010	ANSB009	ANSB008	ANSB007	ANSB006	ANSB005	ANSB004	ANSB003	ANSB002	ANSB001	ANSB000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャンネル選択ビット	AN000～AN015を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b8	ANSB008			R/W
b9	ANSB009			R/W
b10	ANSB010			R/W
b11	ANSB011			R/W
b12	ANSB012			R/W
b13	ANSB013			R/W
b14	ANSB014			R/W
b15	ANSB015			R/W

S12AD.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000～AN015 を選択するレジスタです。S12AD.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (A/D 変換チャンネル選択ビット) (n = 00～15)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000～AN015 の選択を行います。S12AD.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD.ADANSA0 レジスタ)、グループ C で指定したチャンネル (S12AD.ADANSC0 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル以外から設定します。

グループスキャンモードのグループ B で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタに“0000h”を設定してください)。

ANSB000 ビットが AN000 に、ANSB015 ビットが AN015 に対応します。

ANSB0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

38.2.7 A/D チャンネル選択レジスタ B1 (ADANSB1)

アドレス S12AD.ADANSB1 0008 9016h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	ANSB1 07	ANSB1 06	ANSB1 05	ANSB1 04	ANSB1 03	ANSB1 02	ANSB1 01	ANSB1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB100	A/D変換チャンネル選択ビット	AN016～AN023を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSB101			R/W
b2	ANSB102			R/W
b3	ANSB103			R/W
b4	ANSB104			R/W
b5	ANSB105			R/W
b6	ANSB106			R/W
b7	ANSB107			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN016～AN023 を選択するレジスタです。S12AD.ADANSB1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB1n ビット (A/D 変換チャンネル選択ビット) (n = 00～07)

ANSB1n ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN016～AN023 の選択を行います。S12AD.ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD.ADANSA0、S12AD.ADANSA1 レジスタ)、グループ C で指定したチャンネル (S12AD.ADANSC0、S12AD.ADANSC1 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル以外から設定します。

グループスキャンモードのグループ B で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタに“0000h”を設定してください)。

ANSB100 ビットが AN016 に、ANSB107 ビットが AN023 に対応します。

ANSB1n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

38.2.8 A/D チャンネル選択レジスタ C0 (ADANSC0)

(1) S12AD.ADANSC0

アドレス S12AD.ADANSC0 0008 90D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSC015	ANSC014	ANSC013	ANSC012	ANSC011	ANSC010	ANSC009	ANSC008	ANSC007	ANSC006	ANSC005	ANSC004	ANSC003	ANSC002	ANSC001	ANSC000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャンネル選択ビット	AN000～AN015を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC001			R/W
b2	ANSC002			R/W
b3	ANSC003			R/W
b4	ANSC004			R/W
b5	ANSC005			R/W
b6	ANSC006			R/W
b7	ANSC007			R/W
b8	ANSC008			R/W
b9	ANSC009			R/W
b10	ANSC010			R/W
b11	ANSC011			R/W
b12	ANSC012			R/W
b13	ANSC013			R/W
b14	ANSC014			R/W
b15	ANSC015			R/W

S12AD.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN000～AN015 を選択するレジスタです。S12AD.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (A/D 変換チャンネル選択ビット) (n = 00～15)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN000～AN015 の選択を行います。S12AD.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD.ADANSA0 レジスタ)、グループ B で指定したチャンネル (S12AD.ADANSB0 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル以外から設定します。

グループスキャンモードのグループ C で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタに“0000h”を設定してください)。

ANSC000 ビットが AN000 に、ANSC015 ビットが AN015 に対応します。

ANSC0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

38.2.9 A/D チャンネル選択レジスタ C1 (ADANSC1)

アドレス S12AD.ADANSC1 0008 90D6h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	ANSC1 07	ANSC1 06	ANSC1 05	ANSC1 04	ANSC1 03	ANSC1 02	ANSC1 01	ANSC1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC100	A/D変換チャンネル選択ビット	AN016～AN023を変換対象にするかしないかを設定します。 0：変換対象から外す 1：変換対象にする	R/W
b1	ANSC101			R/W
b2	ANSC102			R/W
b3	ANSC103			R/W
b4	ANSC104			R/W
b5	ANSC105			R/W
b6	ANSC106			R/W
b7	ANSC107			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSC1 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN016～AN023 を選択するレジスタです。S12AD.ADANSC1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC1n ビット (A/D 変換チャンネル選択ビット) (n = 00～07)

ANSC1n ビットは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネル AN016～AN023 の選択を行います。S12AD.ADANSC1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (S12AD.ADANSA0、S12AD.ADANSA1 レジスタ)、グループ B で指定したチャンネル (S12AD.ADANSB0、S12AD.ADANSB1 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル以外から設定します。

グループスキャンモードのグループ C で温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタに“0000h”を設定してください)。

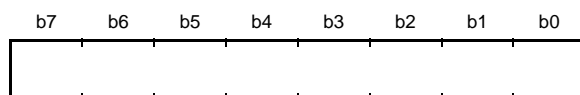
ANSC100 ビットが AN016 に、ANSC107 ビットが AN023 に対応します。

ANSC1n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

38.2.10 A/D チャネル変換順序設定レジスタ n (ADSCSn) (n = 0 ~ 23)

(1) S12AD.ADSCSn (n = 0 ~ 23)

アドレス S12AD.ADSCS0 0008 91C0h, S12AD.ADSCS1 0008 91C1h, S12AD.ADSCS2 0008 91C2h,
S12AD.ADSCS3 0008 91C3h, S12AD.ADSCS4 0008 91C4h, S12AD.ADSCS5 0008 91C5h,
S12AD.ADSCS6 0008 91C6h, S12AD.ADSCS7 0008 91C7h, S12AD.ADSCS8 0008 91C8h,
S12AD.ADSCS9 0008 91C9h, S12AD.ADSCS10 0008 91CAh, S12AD.ADSCS11 0008 91CBh,
S12AD.ADSCS12 0008 91CCh, S12AD.ADSCS13 0008 91CDh, S12AD.ADSCS14 0008 91CEh,
S12AD.ADSCS15 0008 91CFh, S12AD.ADSCS16 0008 91D0h, S12AD.ADSCS17 0008 91D1h,
S12AD.ADSCS18 0008 91D2h, S12AD.ADSCS19 0008 91D3h, S12AD.ADSCS20 0008 91D4h,
S12AD.ADSCS21 0008 91D5h, S12AD.ADSCS22 0008 91D6h, S12AD.ADSCS23 0008 91D7h



リセット後の値

(表 38.7 参照)

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	A/D 変換の順序を設定します。ADSCSnレジスタに設定したチャンネルをn+1 番目に変換します(表 38.7 参照)	R/W

ADSCSn レジスタは、12 ビット A/D コンバータのユニット 0 のチャンネル変換順序を設定するレジスタです。リセット後は、AN000 → AN001 → … → AN023 の順に変換する設定になっています。この順序を変更したいとき ADSCSn レジスタを書き換えてください。

設定したチャンネルが、A/D チャネル選択レジスタ (ADANSA0, ADANSB0, ADANSC0) にて変換対象から外されている場合は、当該チャンネルの A/D 変換は実行されません。A/D チャネル選択レジスタで変換対象にしたチャンネルを ADSCS0 レジスタから順に設定し、残りのレジスタにはその他のチャンネルをすべて設定してください。複数のレジスタに同じチャンネル番号を指定しないでください。

表 38.7 A/Dチャンネル変換順序設定レジスタn (ADSCSn)のリセット後の値と変換順序の関係

レジスタ	変換順序	リセット後の値	設定可能な値
ADSCS0	1 番目	00h	00h ~ 17h (AN000 ~ AN023)
ADSCS1	2 番目	01h	
ADSCS2	3 番目	02h	
ADSCS3	4 番目	03h	
ADSCS4	5 番目	04h	
ADSCS5	6 番目	05h	
ADSCS6	7 番目	06h	
ADSCS7	8 番目	07h	
ADSCS8	9 番目	08h	
ADSCS9	10 番目	09h	
ADSCS10	11 番目	0Ah	
ADSCS11	12 番目	0Bh	
ADSCS12	13 番目	0Ch	
ADSCS13	14 番目	0Dh	
ADSCS14	15 番目	0Eh	
ADSCS15	16 番目	0Fh	
ADSCS16	17 番目	10h	
ADSCS17	18 番目	11h	
ADSCS18	19 番目	12h	
ADSCS19	20 番目	13h	
ADSCS20	21 番目	14h	
ADSCS21	22 番目	15h	
ADSCS22	23 番目	16h	
ADSCS23	24 番目	17h	

38.2.11 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 0 (ADADS0)

(1) S12AD.ADADS0

アドレス S12AD.ADADS0 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADS01	ADS01	ADS01	ADS01	ADS01	ADS01	ADS00	ADS00	ADS00	ADS00	ADS00	ADS00	ADS00	ADS00	ADS00	ADS00
	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャンネル選択ビット	AN000～AN015のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b8	ADS008			R/W
b9	ADS009			R/W
b10	ADS010			R/W
b11	ADS011			R/W
b12	ADS012			R/W
b13	ADS013			R/W
b14	ADS014			R/W
b15	ADS015			R/W

S12AD.ADADS0 レジスタは、A/D 変換を連続 2～4、16 回実施して加算（積算）、または平均する A/D 変換チャンネル AN000～AN015 を選択します。

ADS0n ビット (A/D 変換値加算 / 平均チャンネル選択ビット) (n = 00～15)

S12AD.ADANSA0.ANSA0n ビット、または S12AD.ADCSR.DBLANS[4:0] ビットと S12AD.ADANSB0.ANSB0n ビットと S12AD.ADANSC0.ANSC0n ビットで選択した A/D 変換チャンネルと同一番号の ADS0n ビットを“1”にすると、S12AD.ADADC.ADC[2:0] ビットで設定した回数（2～4、16 回）分、選択したチャンネルのアナログ入力を連続して A/D 変換し、S12AD.ADADC.AVEE ビットが“0”の場合、加算（積算）した値を、S12AD.ADADC.AVEE ビットが“1”の場合、加算（積算）値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

図 38.2 に S12AD.ADADS0.ADS002 と S12AD.ADADS0.ADS006 ビットを“1”にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (S12AD.ADCSR.ADCS[1:0] ビット = 10b) で、加算モードを選択 (S12AD.ADADC.AVEE ビット = 0)、加算回数は 3 回に設定 (S12AD.ADADC.ADC[2:0] ビット = 011b)、AN000 ~ AN007 が選択 (S12AD.ADANSA0 レジスタ = 00FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換 (3 回加算) し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

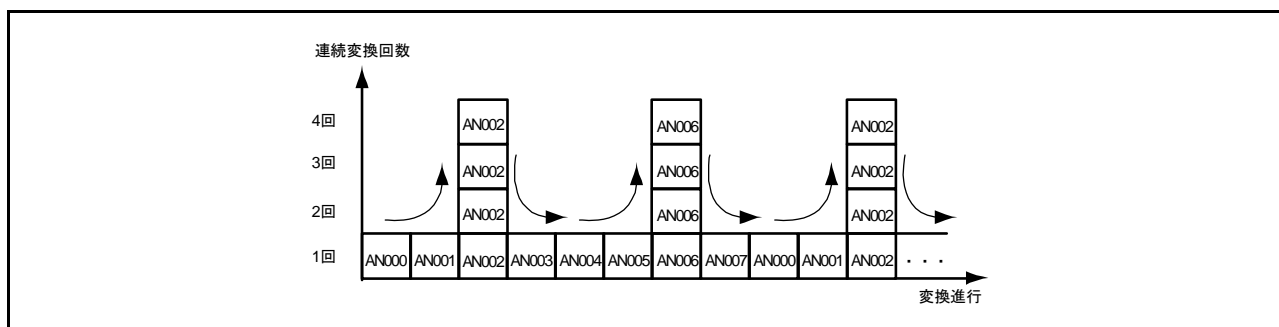


図 38.2 S12AD.ADADC.ADC[2:0] = 011b、S12AD.ADADC.AVEE = 0、S12AD.ADADS0.ADS002 = 1、S12AD.ADADS0.ADS006 = 1 選択時のスキャン変換シーケンス

38.2.12 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 1 (ADADS1)

アドレス S12AD.ADADS1 0008 900Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ADS107	ADS106	ADS105	ADS104	ADS103	ADS102	ADS101	ADS100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS100	A/D変換値加算/平均チャンネル選択ビット	AN016～AN023のA/D変換値加算/平均モードを設定します。 0：A/D変換値加算/平均モード無効 1：A/D変換値加算/平均モード有効	R/W
b1	ADS101			R/W
b2	ADS102			R/W
b3	ADS103			R/W
b4	ADS104			R/W
b5	ADS105			R/W
b6	ADS106			R/W
b7	ADS107			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADADS1 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算（積算）、または平均する A/D 変換チャンネル AN016 ～ AN023 を選択します。

ADS1n ビット (A/D 変換値加算 / 平均チャンネル選択ビット) (n = 00 ～ 07)

S12AD.ADANSA1.ANSA1n ビット、または S12AD.ADCSR.DBLANS[4:0] ビットと S12AD.ADANSB1.ANSB1n ビットと S12AD.ADANSC1.ANSC1n ビットで選択した A/D 変換チャンネルと同一番号の ADS1n ビットを“1”にすると、S12AD.ADADC.ADC[2:0] ビットで設定した回数（2 ～ 4、16 回）分、選択したチャンネルのアナログ入力を連続して A/D 変換し、S12AD.ADADC.AVEE ビットが“0”の場合、加算（積算）した値を、S12AD.ADADC.AVEE ビットが“1”の場合、加算（積算）値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが無効の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS1n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

38.2.13 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 000 : 1回変換(加算なし。通常変換と同じ) 001 : 2回変換(1回加算を行う) 010 : 3回変換(2回加算を行う)(注1) 011 : 4回変換(3回加算を行う) 101 : 16回変換(15回加算を行う)(注1) 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0 : 加算モードを選択 1 : 平均モードを選択	R/W

注1. AVEEビットは、2回変換、4回変換のときにのみ有効です。平均モードを選択した場合(AVEEビット=1)、3回変換(ADC[2:0]ビット=010b)および16回変換(ADC[2:0]ビット=101b)に設定しないでください。

ADADCレジスタは、A/D変換値加算/平均モードが有効のチャンネル、温度センサ出力、内部基準電圧のA/D変換に対して加算回数の設定と、加算モード/平均モードの選択を行います。

ADC[2:0]ビット(加算回数選択ビット)

ダブルトリガモードでの選択チャンネル(ADCSR.DBLANS[4:0]ビットでの選択チャンネル)を含むA/D変換および加算/平均モードが有効のチャンネル、温度センサ出力、内部基準電圧のA/D変換に対して共通の加算回数を設定します。

ADC[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

AVEEビット(平均モードイネーブルビット)

ダブルトリガモードでの選択チャンネル(DBLANS[4:0]ビットでの選択チャンネル)を含むA/D変換および加算/平均モードが有効のチャンネル、温度センサ出力、内部基準電圧のA/D変換に対して加算モード、または平均モードの選択を行います。

AVEEビットを“1”にして平均モードを選択する場合、1回変換(ADC[2:0]ビット=000b)、3回変換(ADC[2:0]ビット=010b)および16回変換(ADC[2:0]ビット=101b)に設定しないでください。1回、3回および16回変換の平均値を求めることはできません。

AVEEビットの設定は、ADSTビットが“0”のときに設定してください。

38.2.14 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD.ADCER 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断電圧固定モード時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : 1/2 × AVCCの電圧を使って自己診断を行う 1 1 : AVCCの電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU、DTC によって ADDRy、ADRD、ADDBLDR、ADDBLDRDRA、ADDBLDRB、ADTSDR、ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (All “0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は DIAGLD ビットの説明を参照してください。

DIAGVAL[1:0] ビットが “00b” の状態で DIAGLD ビットを “1” に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。DIAGLD ビットを “0” にすると 0V → 1/2 × AVCC → AVCC の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST が “0” のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビット A/D コンバータの故障を検出するための機能です。内部で生成する 0V、 $1/2 \times AVCC$ 、AVCC の 3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に 1回実施され、3つの電圧値のうち1つを A/D 変換します。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B とグループ C のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

自己診断を実施する場合、スキャングループに関わらず温度センサ出力または内部基準電圧の A/D 変換は禁止です。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

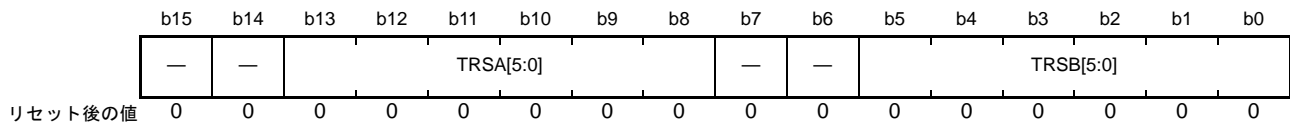
ADDR_y、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADRD、ADCMPDR0、ADCMPDR1、ADWINLLB、ADWINULB レジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

各データレジスタのフォーマットの詳細は、「38.2.1 A/D データレジスタ y (ADDR_y) (y = 0 ~ 23)、A/D データ二重化レジスタ (ADDBLDR)、A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCDR)」、「38.2.2 A/D 自己診断データレジスタ (ADRD)」、「38.2.30 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)」、「38.2.31 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)」、「38.2.37 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)」、「38.2.38 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)」を参照してください。

38.2.15 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD.ADSTRGR 0008 9010h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループ B A/D 変換開始トリガ選択ビット	グループ スキャンモードでグループ B の A/D 変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D 変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガを選択します。グループ スキャンモードではグループ A の A/D 変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループ B A/D 変換開始トリガ選択ビット)

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループ スキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループ スキャンモードでは、TRSB[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

グループ スキャンモードのグループ優先動作時に、2 グループを選択 (ADGCTRGR.GRCE ビット = 0) した場合、ADGSPCR.GBRP ビットを“1”に設定することで、グループ B をシングルスキャンモードで連続動作させることができます。GBRP ビットを“1”に設定する場合は、TRSB[5:0] ビットを“3Fh”に設定してください。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに PCLKA で動作する MTU からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「38.3.7 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 38.8 に TRSB[5:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループ スキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループ スキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ADCSR.TRGE ビットを“1”かつ ADCSR.EXTRG ビットを“0”に設定してください。

- 同期トリガの A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガを使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST ビット) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間(t_{SCAN})以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。A/D変換開始トリガにPCLKAで動作するMTUからのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「38.3.7 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。表38.9にTRSA[5:0]ビットでのA/D起動要因選択一覧を示します。

表38.8 TRSB[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4ANまたはTRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7ANまたはTRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	1	0	0	0	0	
TRGA0NまたはTRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	1	1	0	0	1	
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
ELC	ELCTR00N	ELCからのA/D起動要因0	1	1	0	0	1	0
	ELCTR01N	ELCからのA/D起動要因1	1	1	0	0	1	1
	ELCTR00NまたはELCTR01N	ELCからのA/D起動要因0、またはELCからのA/D起動要因1	1	1	1	0	1	0

表 38.9 TRSA[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRS A[5]	TRS A[4]	TRS A[3]	TRS A[2]	TRS A[1]	TRS A[0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRGn#	トリガ入力端子	0	0	0	0	0	0
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4ANまたは TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、ま たはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割 り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7ANまたは TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、ま たはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割 り込み間引き機能2を使用時)	0	1	0	0	0	0
TRGA0Nまたは TRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、 またはMTU0.TGREのコンペアマッチ	0	1	1	0	0	1	
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
ELC	ELCTRG00N	ELCからのA/D起動要因0	1	1	0	0	1	0
	ELCTRG01N	ELCからのA/D起動要因1	1	1	0	0	1	1
	ELCTRG00Nまたは ELCTRG01N	ELCからのA/D起動要因0、またはELCからのA/D起動 要因1	1	1	1	0	1	0

38.2.16 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス S12AD.ADEXICR 0008 9012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	OCSB	TSSB	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力 A/D 変換値加算/平均モード選択ビット	0 : 温度センサ出力 A/D 変換値加算/平均モード無効 1 : 温度センサ出力 A/D 変換値加算/平均モード有効	R/W
b1	OCSAD	内部基準電圧 A/D 変換値加算/平均モード選択ビット	0 : 内部基準電圧 A/D 変換値加算/平均モード無効 1 : 内部基準電圧 A/D 変換値加算/平均モード有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSSA	温度センサ出力 A/D 変換選択ビット	0 : 温度センサ出力を A/D 変換しない 1 : 温度センサ出力を A/D 変換する	R/W
b9	OCSA	内部基準電圧 A/D 変換選択ビット	0 : 内部基準電圧を A/D 変換しない 1 : 内部基準電圧を A/D 変換する	R/W
b10	TSSB	グループ B 温度センサ出力 A/D 変換選択ビット	0 : 温度センサ出力を A/D 変換しない 1 : 温度センサ出力を A/D 変換する	R/W
b11	OCSB	グループ B 内部基準電圧 A/D 変換選択ビット	0 : 内部基準電圧を A/D 変換しない 1 : 内部基準電圧を A/D 変換する	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADEXICR レジスタは、温度センサ出力、内部基準電圧の A/D 変換の設定をします。

TSSAD ビット (温度センサ出力 A/D 変換値加算/平均モード選択ビット)

温度センサ出力の A/D 変換を選択し、TSSAD ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2 ~ 4、16 回) 分、温度センサ出力を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。TSSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

OCSAD ビット (内部基準電圧 A/D 変換値加算/平均モード選択ビット)

内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、内部基準電圧を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に格納します。

OCSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

TSSA ビット (温度センサ出力 A/D 変換選択ビット)

シングルスキャンモードおよびグループスキャンモードのグループ A で温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを“0”にしてください。

TSSA ビットは、ADCSR.ADST ビットが“0”のときに設定してください。TSSB ビットまたは ADGCEXCR.TSSC ビットを“1”にする場合、このビットは“0”にしてください。

シングルスキャンモード、グループスキャンモードで温度センサ出力の選択が可能です。温度センサ出力の A/D 変換では、サンプリング時間は 4 μs 以上に設定してください。TSSA ビットを“1”にすると、温度センサが自動的に起動します。温度センサが起動した後は 200 μs の安定時間を待ってから A/D 変換を開始し

てください。A/D 変換を開始すると、サンプリング前に 15 ADCLK 期間のオートディスチャージが実行されます。

グループ B、グループ C で温度センサ出力の A/D 変換を行う場合も同様に動作させてください。

OCSA ビット (内部基準電圧 A/D 変換選択ビット)

シングルスキャンモードおよびグループスキャンモードのグループ A で内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換をする場合、ADCSR.DBLE ビットを“0”にしてください。

OCSA ビットは、ADCSR.ADST ビットが“0”のときに設定してください。OCSB ビットまたは ADGCEXCR.OCSC ビットを“1”にする場合、このビットは“0”にしてください。

内部基準電圧を A/D 変換する場合、OCSA ビットを“1”にしてから 400 ns 以上待つから A/D 変換を開始してください。A/D 変換を開始すると、サンプリング前に 15 ADCLK 期間のオートディスチャージが実行されます。なお、断線検出アシスト機能を併用した場合、ADNDIS[4:0] ビットの設定値は無視されます。

グループ B、グループ C で内部基準電圧を A/D 変換する場合も同様の動作をします。

TSSB ビット (グループ B 温度センサ出力 A/D 変換選択ビット)

グループスキャンモードのグループ B で温度センサ出力の A/D 変換を選択します。

TSSB ビットは、ADCSR.ADST ビットが“0”のときに設定してください。TSSA ビットまたは ADGCEXCR.TSSC ビットを“1”にする場合、このビットは“0”にしてください。

温度センサ出力の A/D 変換についての詳細は、TSSA ビットの説明を参照してください。

OCSB ビット (グループ B 内部基準電圧 A/D 変換選択ビット)

グループスキャンモードのグループ B で内部基準電圧の A/D 変換を選択します。

OCSB ビットは、ADCSR.ADST ビットが“0”のときに設定してください。OCSA ビットまたは ADGCEXCR.OCSC ビットを“1”にする場合、このビットは“0”にしてください。

内部基準電圧の A/D 変換についての詳細は、OCSA ビットの説明を参照してください。

38.2.17 A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR)

アドレス S12AD.ADGCEXCR 0008 90D8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSC	TSSC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSC	グループC温度センサ出力A/D変換選択ビット	0: 温度センサ出力をA/D変換しない 1: 温度センサ出力をA/D変換する	R/W
b1	OCSC	グループC内部基準電圧A/D変換選択ビット	0: 内部基準電圧をA/D変換しない 1: 内部基準電圧をA/D変換する	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADGCEXCR レジスタは、グループ C の拡張入力を設定するレジスタです。

TSSC ビット (グループ C 温度センサ出力 A/D 変換選択ビット)

グループスキャンモードのグループ C で温度センサ出力の A/D 変換を選択します。

TSSC ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットを“1”にする場合、このビットは“0”にしてください。

温度センサ出力の A/D 変換についての詳細は、ADEXICR.TSSA ビットの説明を参照してください。

OCSC ビット (グループ C 内部基準電圧 A/D 変換選択ビット)

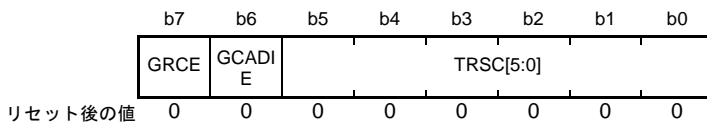
グループスキャンモードのグループ C で内部基準電圧の A/D 変換を選択します。

OCSC ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。ADEXICR.OCSA ビットまたは ADEXICR.OCSB ビットを“1”にする場合、このビットは“0”にしてください。

内部基準電圧の A/D 変換についての詳細は、ADEXICR.OCSA ビットの説明を参照してください。

38.2.18 A/D グループ C トリガ選択レジスタ (ADGCTRGR)

アドレス S12AD.ADGCTRGR 0008 90D9h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSC[5:0]	グループ C A/D 変換開始トリガ選択ビット	グループ スキャンモードでグループ C の A/D 変換開始トリガを選択します	R/W
b6	GCADIE	グループ C スキャン終了割り込み許可ビット	0 : グループ C のスキャン終了割り込みを禁止 1 : グループ C のスキャン終了割り込みを許可	R/W
b7	GRCE	グループ C A/D 変換動作許可ビット	グループ C の A/D 変換動作許可を設定します 0 : グループ C を使用しない 1 : グループ C を使用する	R/W

ADGCTRGR レジスタは、グループ C の動作許可設定と A/D 変換開始トリガを選択します。グループ優先動作の設定は、表 38.13、表 38.14 を参照してください。

TRSC[5:0] ビット (グループ C A/D 変換開始トリガ選択ビット)

グループ C で選択したアナログ入力のスキャンを開始するトリガの選択を行います。TRSC[5:0] ビットはグループ スキャンモードでのみ使用可能なビットで、他のスキャンモードでは使用しません。グループ C のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガは設定できません。グループ スキャンモードでグループ C を使用する場合は、TRSC[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”、GRCE ビットを“1”に設定してください。

グループ スキャンモードのグループ優先制御時にグループ C を使用し、ADGSPCR.GBRP ビットを“1”に設定することで、グループ C をシングル スキャンモードで連続動作させることができます。グループ C をシングル スキャンモードで連続動作させる場合は、TRSC[5:0] ビットを“3Fh”に設定し、トリガ選択を無効にしてください。

なお、AD 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに PCLKA で動作する MTU からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「38.3.7 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 38.10 に TRSC[5:0] ビット (グループ C) での A/D 起動要因選択一覧を示します。

表 38.10 TRSC[5:0] ビット (グループ C) での A/D 起動要因選択一覧

モジュール	要因	備考	TRSC[5]	TRSC[4]	TRSC[3]	TRSC[2]	TRSC[1]	TRSC[0]
トリガ要因非選択状態			1	1	1	1	1	1
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU7.TCNTのアンダフロー(谷)	0	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4ANまたはTRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	0
	TRG7ANまたはTRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	0	1	1	1	1
TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、MTU7.TADCORBとMTU7.TCNTのコンペアマッチ(割り込み間引き機能2を使用時)	0	1	0	0	0	0	
TRGA0NまたはTRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	0	1	1	0	0	1	
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	0	1	1	1	1	0
ELC	ELCTRG00N	ELCからのA/D起動要因0	1	1	0	0	1	0
	ELCTRG01N	ELCからのA/D起動要因1	1	1	0	0	1	1
	ELCTRG00NまたはELCTRG01N	ELCからのA/D起動要因0、またはELCからのA/D起動要因1	1	1	1	0	1	0

GCADIE ビット (グループ C スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ C のスキャン終了割り込みの発生を許可/禁止します。グループ C のスキャン終了割り込みのシンボルは、S12GCADI です。

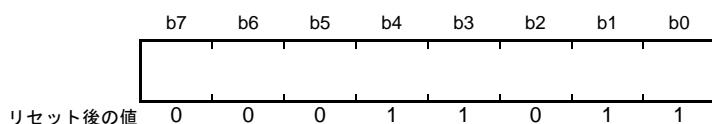
GRCE ビット (グループ C A/D 変換動作許可ビット)

グループスキャンモードでグループ C を使用する場合は、GRCE ビットを“1”にしてください。GRCE ビットが“0”の場合は、グループ C のトリガ入力が無効となります。グループ C を使用したグループ優先動作 (ADGSPCR.PGS ビットが“1”) で、ADGSPCR.GBRP ビットを“1”とすると、グループ C がシングルスキャンの連続動作を行います (GRCE ビットを“1”にするとグループ B はシングルスキャンの連続動作を行いません)。

GRCE ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

38.2.19 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 15, L, T, O)

アドレス S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h,
S12AD.ADSSTR3 0008 90E3h, S12AD.ADSSTR4 0008 90E4h, S12AD.ADSSTR5 0008 90E5h,
S12AD.ADSSTR6 0008 90E6h, S12AD.ADSSTR7 0008 90E7h, S12AD.ADSSTR8 0008 90E8h,
S12AD.ADSSTR9 0008 90E9h, S12AD.ADSSTR10 0008 90EAh, S12AD.ADSSTR11 0008 90EBh,
S12AD.ADSSTR12 0008 90ECh, S12AD.ADSSTR13 0008 90EDh, S12AD.ADSSTR14 0008 90EEh,
S12AD.ADSSTR15 0008 90EFh, S12AD.ADSSTR1L 0008 90DDh, S12AD.ADSSTR1T 0008 90DEh,
S12AD.ADSSTR1O 0008 90DFh



ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

サンプリング時間は ADCLK (A/D 変換クロック) のクロック数で設定し、初期値は 27 クロックです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。ADSSTRn レジスタは、ADCSR.ADST ビットが“0”のときに設定してください。

本レジスタの設定値は 12 ~ 252 クロックの間かつ 3 の倍数の値にしてください。

サンプリング時間は以下の式で求められます。

$$\text{サンプリング時間} = \text{ADSSTR} \times t_c(\text{ADCLK})$$

表 38.11 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

詳細は、「38.3.7 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表38.11 A/Dサンプリングステートレジスタと対象チャネルの関係

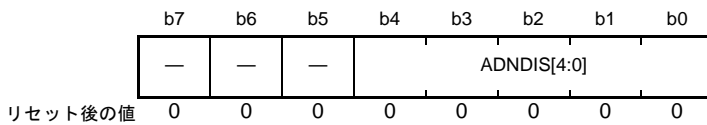
ユニット	レジスタ名	対象チャネル
S12AD	ADSSTR0レジスタ	AN000、自己診断
	ADSSTR1レジスタ	AN001
	ADSSTR2レジスタ	AN002
	ADSSTR3レジスタ	AN003
	ADSSTR4レジスタ	AN004
	ADSSTR5レジスタ	AN005
	ADSSTR6レジスタ	AN006
	ADSSTR7レジスタ	AN007
	ADSSTR8レジスタ	AN008
	ADSSTR9レジスタ	AN009
	ADSSTR10レジスタ	AN010
	ADSSTR11レジスタ	AN011
	ADSSTR12レジスタ	AN012
	ADSSTR13レジスタ	AN013
	ADSSTR14レジスタ	AN014
	ADSSTR15レジスタ	AN015
	ADSSTRLレジスタ	AN016～AN023
	ADSSTRTレジスタ	温度センサ出力(注1)
ADSSTROレジスタ	内部基準電圧(注2)	

注1. 温度センサ出力をA/D変換する場合、「45. 電気的特性」に記載された仕様を満たすようにサンプリング時間を設定する必要があります。

注2. 内部基準電圧をA/D変換する場合、サンプリング時間を4 μs以上に設定する必要があります。

38.2.20 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	ADNDIS[3:0]	A/D断線検出アシスト設定ビット	デイスチャージ/プリチャージ期間をADCLKのクロック数で指定します。 b3 b0 0000: チャージなし(断線検出アシスト機能無効) 0011: チャージ期間3クロック 0110: チャージ期間6クロック 1001: チャージ期間9クロック 1100: チャージ期間12クロック 1111: チャージ期間15クロック 上記以外は設定しないでください	R/W
b4	ADNDIS[4]		0: デイスチャージ 1: プリチャージ	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/デイスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でデイスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/デイスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0000b または 3 の倍数に設定してください。それ以外は設定禁止です。ADNDIS[3:0] ビットに設定した値が、プリチャージ/デイスチャージ期間のクロック数となります。

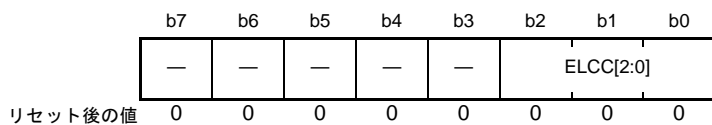
ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

温度センサ出力、または内部基準電圧を変換する場合や自己診断機能を使用する場合は、断線検出アシスト機能は使用できません。ADNDIS[3:0] ビットを“0000b”に設定してください。

温度センサ出力または内部基準電圧を A/D 変換する場合、オートデイスチャージを実施しますので、温度センサ出力または内部基準電圧を含むスキュングループの変換動作中は ADNDIS[4:0] ビットを自動的に“0Fh”に固定し、A/D コンバータ内部のアナログ入力経路をデイスチャージします。デイスチャージ完了後、サンプリングが開始されます。温度センサ出力または内部基準電圧の A/D 変換が完了後、ADNDIS[4:0] ビットは自動的に元の設定値に戻ります。

38.2.21 A/D イベントリンクコントロールレジスタ (ADELCCR)

アドレス S12AD.ADELCCR 0008 907Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	ELCC[2:0]	イベントリンクコントロールビット	b2 b0 000: グループAのスキャン終了時にイベント出力 001: グループBのスキャン終了時にイベント出力 010: グループA、グループB、またはグループCのスキャン終了時にイベント出力 100: グループCのスキャン終了時にイベント出力 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADELCCR レジスタは、スキャン終了イベントのイベント信号の出力条件を設定します。

ELCC[2:0] ビット (イベントリンクコントロールビット)

スキャン終了イベントの出力条件を選択するビットです。

38.2.22 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD.ADGSPCR 0008 9080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	LGRRS	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループ優先制御設定ビット (注1)	0 : グループの優先制御動作を行わない 1 : グループの優先制御動作を行う	R/W
b1	GBRSCN	低優先グループ再起動設定 ビット	(PGS = 1 のときのみ有効。PGS = 0 のときは予約ビット) 0 : グループ優先制御で中断されたグループの再起動をしない 1 : グループ優先制御で中断されたグループの再起動をする	R/W
b13-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	LGRRS	再開チャンネル選択ビット	(PGS = 1 かつ GBRSCN = 1 のときのみ有効。PGS = 0 または GBRSCN = 0 のときは予約ビット) 0 : スキャン先頭チャンネルから再スキャンを行う 1 : A/D変換未終了チャンネルから再スキャンを行う	R/W
b15	GBRP	シングルスキャン連続起動設 定ビット (注2)	(PGS = 1 のときのみ有効。PGS = 0 のときは予約ビット) 0 : シングルスキャン連続動作しない 1 : 最も優先度の低いグループのシングルスキャン連続動作開始	R/W

注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。それ以外
の設定をした場合、動作は保証されません。

注2. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、最も優先度の低いグループのシングルスキャン連続動作
を実行します。

ADGSPCR レジスタは、グループスキャンモードで低優先グループのスキャンを中断し、優先グループの
スキャンを実行する優先制御を設定するレジスタです。グループ優先動作の設定は、表 38.13、表 38.14
を参照してください。

PGS ビット (グループ優先制御設定ビット)

グループスキャンモードでの優先動作を制御します。グループ優先制御動作を行うときに“1”を設定して
ください。

PGS ビットを“1”に設定するときは、ADCSR.ADCS[1:0] ビットを“01b”(グループスキャンモード)に設
定してください。

グループ優先動作は、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グ
ループのスキャンを中断して優先グループのスキャンを開始します。優先順位は、グループ A > グループ B
> グループ C の順です。グループ C のスキャン中にグループ B のスキャン開始を受け付けると、グループ
C のスキャンを中断し、グループ B のスキャンを開始します。また、グループ C のスキャン中にグループ
A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始します。
同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けると、グループ B のスキャンを中
断し、グループ A のスキャンを開始します。

PGS ビットを“0”にする場合は、「38.6.2 A/D 変換停止時の注意事項」に従い、ソフトウェアでのクリア
を行ってください。PGS ビットを“1”にする場合は、「38.3.5.3 グループ優先制御動作」の手順に従い設定
を行ってください。

GBRSCN ビット (低優先グループ再起動設定ビット)

グループ優先制御時の、再スキャン動作を設定します。

GBRSCN ビットを“1”にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断

した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを“0”にした場合は、A/D 変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが“1”のときに有効となります。

LGRRS ビット (再開チャンネル選択ビット)

グループ優先動作時の、再スキャン開始チャンネルを設定します。LGRRS ビットの設定は、PGS ビットと GBRSCN ビットが“1”のときに有効となります。

LGRRS ビットが“0”のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後のスキャンを先頭チャンネルから再実行します。

LGRRS ビットが“1”のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後の再スキャンを A/D 変換未終了のチャンネルから再実行(注1)します。

LGRRS ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

注1. 中断時に加算設定チャンネルの A/D 変換が設定回数分終了していなければ、再実行時、加算設定チャンネルは再度 A/D 変換を設定回数分実行します。

GBRP ビット (シングルスキャン連続起動設定ビット)

グループ優先動作設定で最も優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。最も優先度の低いグループとは、グループ A、B、C を使用する場合はグループ C、グループ A、B のみを使用する場合は、グループ B になります。

GBRP ビットを“1”にすると、最も優先度の低いグループのシングルスキャンが起動します。スキャン終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前に最も優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを“1”に設定した場合、GBRSCN ビットが“0”でも、最も優先度の低いグループのみ再スキャンを行います。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

38.2.23 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス S12AD.ADCMPCR 0008 9090h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CMPAIE	WCMPPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	—	CMPAB[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウ A/B の複合条件設定ビット	b1 b0 0 0 : ウィンドウ A 比較条件一致 OR ウィンドウ B 比較条件一致 0 1 : ウィンドウ A 比較条件一致 XOR ウィンドウ B 比較条件一致 1 0 : ウィンドウ A 比較条件一致 AND ウィンドウ B 比較条件一致 1 1 : 設定しないでください	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMPBE	コンペアウィンドウ B 動作許可ビット	0 : コンペアウィンドウ B 停止 1 : コンペアウィンドウ B 動作	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	CMPAE	コンペアウィンドウ A 動作許可ビット	0 : コンペアウィンドウ A 停止 1 : コンペアウィンドウ A 動作	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	CMPBIE	コンペア B 割り込み許可ビット	0 : 比較条件 (ウィンドウ B) 一致によるコンペア割り込み禁止 1 : 比較条件 (ウィンドウ B) 一致によるコンペア割り込み許可	R/W
b14	WCMPPE	ウィンドウ機能設定ビット	0 : ウィンドウ機能無効 ウィンドウ A/B は下位側の 1 値と A/D 変換結果を比較するコンパレータとして動作します。 1 : ウィンドウ機能有効 ウィンドウ A/B は上位側、下位側の 2 値と A/D 変換結果を比較するウィンドウコンパレータとして動作します。	R/W
b15	CMPAIE	コンペア A 割り込み許可ビット	0 : 比較条件 (ウィンドウ A) 一致によるコンペア割り込み禁止 1 : 比較条件 (ウィンドウ A) 一致によるコンペア割り込み許可	R/W

ADCMPCR レジスタは、コンペアウィンドウ A/B 機能の設定を行います。

CMPAB[1:0] ビット (ウィンドウ A/B の複合条件設定ビット)

CMPAB[1:0] ビットは、シングルスキャン時、ウィンドウ A/B が共に有効である場合 (CMPAE ビット = 1 かつ CMPBE ビット = 1) に有効です。ADWINMON.MONCOMB フラグのモニタ条件を選択します。

CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPBE ビット (コンペアウィンドウ B 動作許可ビット)

コンペアウィンドウ B の停止 / 動作を選択します。CMPBE ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

以下のレジスタを設定する場合は、本ビットを“0”にしてください。

- A/Dチャネル選択レジスタ A0/A1/B0/B1/C0/C1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1, ADANSC0, ADANSC1)
- A/D 変換拡張入力コントロールレジスタの OCSB、TSSB、OCSA、TSSA ビット (ADEXICR.OCSB, TSSB, OCSA, TSSA)
- A/D グループ C 拡張入力コントロールレジスタの OCSC、TSSC ビット (ADGCEXCR.OCSC, TSSC)
- ウィンドウ B チャネル選択レジスタの CMPCHB[5:0] ビット (ADCMPBNSR.CMPCHB[5:0])

CMPAE ビット (コンペアウィンドウ A 動作許可ビット)

コンペアウィンドウ A の停止 / 動作を選択します。CMPAE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

以下のレジスタを設定する場合は、本ビットを “0” にしてください。

- A/Dチャンネル選択レジスタA0/A1/B0/B1/C0/C1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1, ADANSC0, ADANSC1)
- A/D変換拡張入力コントロールレジスタのOCSB, TSSB, OCSA, TSSA ビット (ADEXICR.OCSB, TSSB, OCSA, TSSA)
- A/DグループC拡張入力コントロールレジスタのOCSC, TSSC ビット (ADGCEXCR.OCSC, TSSC)
- ウィンドウ A チャンネル選択レジスタ 0/1 (ADCMPANSR0, ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット (コンペア B 割り込み許可ビット)

比較条件 (ウィンドウ B) 一致によるコンペア割り込みの発生を許可 / 禁止します。コンペア割り込みのシンボルは、S12CMPBI です。

WCMPE ビット (ウィンドウ機能設定ビット)

ウィンドウ機能の有効 / 無効を選択します。WCMPE ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

CMPAIE ビット (コンペア A 割り込み許可ビット)

比較条件 (ウィンドウ A) 一致によるコンペア割り込みの発生を許可 / 禁止します。コンペア割り込みのシンボルは、S12CMPAI です。

38.2.24 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0(ADCMPANSR0)

(1) S12AD.ADCMPANSR0

アドレス S12AD.ADCMPANSR0 0008 9094h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPCHA015	CMPCHA014	CMPCHA013	CMPCHA012	CMPCHA011	CMPCHA010	CMPCHA009	CMPCHA008	CMPCHA007	CMPCHA006	CMPCHA005	CMPCHA004	CMPCHA003	CMPCHA002	CMPCHA001	CMPCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウAチャンネル選択ビット	AN000～AN015をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b7	CMPCHA007			R/W
b8	CMPCHA008			R/W
b9	CMPCHA009			R/W
b10	CMPCHA010			R/W
b11	CMPCHA011			R/W
b12	CMPCHA012			R/W
b13	CMPCHA013			R/W
b14	CMPCHA014			R/W
b15	CMPCHA015			R/W

ADCMPANSR0レジスタは、コンペアウィンドウAの条件で比較を行うチャンネルのアナログ入力AN000～AN015を選択するレジスタです。

CMPCHA0nビット(コンペアウィンドウAチャンネル選択ビット)(n = 00～15)

ADANSA0.ANSA0nビット、ADANSB0.ANSB0nビットとADANSC0.ANSC0nビットで選択したA/D変換チャンネルと同一番号のCMPCHA0nビットを“1”にすると、コンペア機能が有効になります。

CMPCHA0nビットは、ADCSR.ADSTビットが“0”のときに設定してください。

38.2.25 A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCMPANSR1)

アドレス S12AD.ADCMPANSR1 0008 9096h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPC HA107	CMPC HA106	CMPC HA105	CMPC HA104	CMPC HA103	CMPC HA102	CMPC HA101	CMPC HA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA100	コンペアウィンドウAチャンネル選択ビット	AN016～AN023をコンペアウィンドウAの対象にするかどうかを設定します。 0：コンペアウィンドウAの対象から外す 1：コンペアウィンドウAの対象にする	R/W
b1	CMPCHA101			R/W
b2	CMPCHA102			R/W
b3	CMPCHA103			R/W
b4	CMPCHA104			R/W
b5	CMPCHA105			R/W
b6	CMPCHA106			R/W
b7	CMPCHA107			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR1 レジスタは、コンペアウィンドウ A の条件で比較を行うチャンネルのアナログ入力 AN016～AN023 を選択するレジスタです。

CMPCHA1n ビット (コンペアウィンドウ A チャンネル選択ビット) (n = 00～07)

ADANSA1.ANSA1n ビット、ADANSB1.ANSB1n ビットと ADANSC1.ANSC1n ビットで選択した A/D 変換チャンネルと同一番号の CMPCHA1n ビットを“1”にすると、コンペア機能が有効になります。

CMPCHA1n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

38.2.26 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

アドレス S12AD.ADCMPANSER 0008 9092h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMP S OC	CMP S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTS	温度センサ出力コンペア選択ビット	0 : 温度センサ出力をコンペアウィンドウAの対象から外す 1 : 温度センサ出力をコンペアウィンドウAの対象にする	R/W
b1	CMPSOC	内部基準電圧コンペア選択ビット	0 : 内部基準電圧をコンペアウィンドウAの対象から外す 1 : 内部基準電圧をコンペアウィンドウAの対象にする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSER レジスタは、温度センサ出力 / 内部基準電圧をコンペアウィンドウ A の条件で比較を行うかを選択するレジスタです。

CMPSTS ビット (温度センサ出力コンペア選択ビット)

ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットまたは ADGCEXCR.TSSC ビットが“1”のときに CMPSTS ビットを“1”にすると、コンペアウィンドウ A 機能が有効になります。CMPSTS ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPSOC ビット (内部基準電圧コンペア選択ビット)

ADEXICR.OCSA ビットまたは ADEXICR.OCSB または ADGCEXCR.OCSC ビットが“1”のときに CMPSOC ビットを“1”にすると、コンペアウィンドウ A 機能が有効になります。CMPSOC ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

38.2.27 A/Dコンペア機能ウィンドウA比較条件設定レジスタ0 (ADCMPLR0)

(1) S12AD.ADCMPLR0

アドレス S12AD.ADCMPLR0 0008 9098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLCHA015	CMPLCHA014	CMPLCHA013	CMPLCHA012	CMPLCHA011	CMPLCHA010	CMPLCHA009	CMPLCHA008	CMPLCHA007	CMPLCHA006	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時 (ADCMPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002		ウィンドウ機能有効時 (ADCMPCR.WCMPE ビットが“1”) 0 : AD 変換値 < ADCMPDR0 レジスタ値 または ADCMPDR1 レジスタ値 < AD 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b3	CMPLCHA003			R/W
b4	CMPLCHA004		R/W	
b5	CMPLCHA005		R/W	
b6	CMPLCHA006		R/W	
b7	CMPLCHA007		R/W	
b8	CMPLCHA008		R/W	
b9	CMPLCHA009		R/W	
b10	CMPLCHA010		R/W	
b11	CMPLCHA011		R/W	
b12	CMPLCHA012		R/W	
b13	CMPLCHA013		R/W	
b14	CMPLCHA014		R/W	
b15	CMPLCHA015		R/W	

S12AD.ADCMPLR0 レジスタは、S12AD.ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。S12AD.ADCMPLR0 レジスタの設定は、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

CMPLCHA0n ビット (コンペアウィンドウAコンペア条件選択ビット) (n = 00 ~ 15)

ウィンドウ A 比較条件の対象としたチャンネル (AN000 ~ AN015) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN000 に、CMPLCHA015 ビットが AN015 に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPSTR0.CMPSTCHA0n フラグ (n = 00 ~ 15) が“1”になり、コンペア割り込み (S12CMPAI) が発生します。

コンペア条件を図 38.3 に示します。

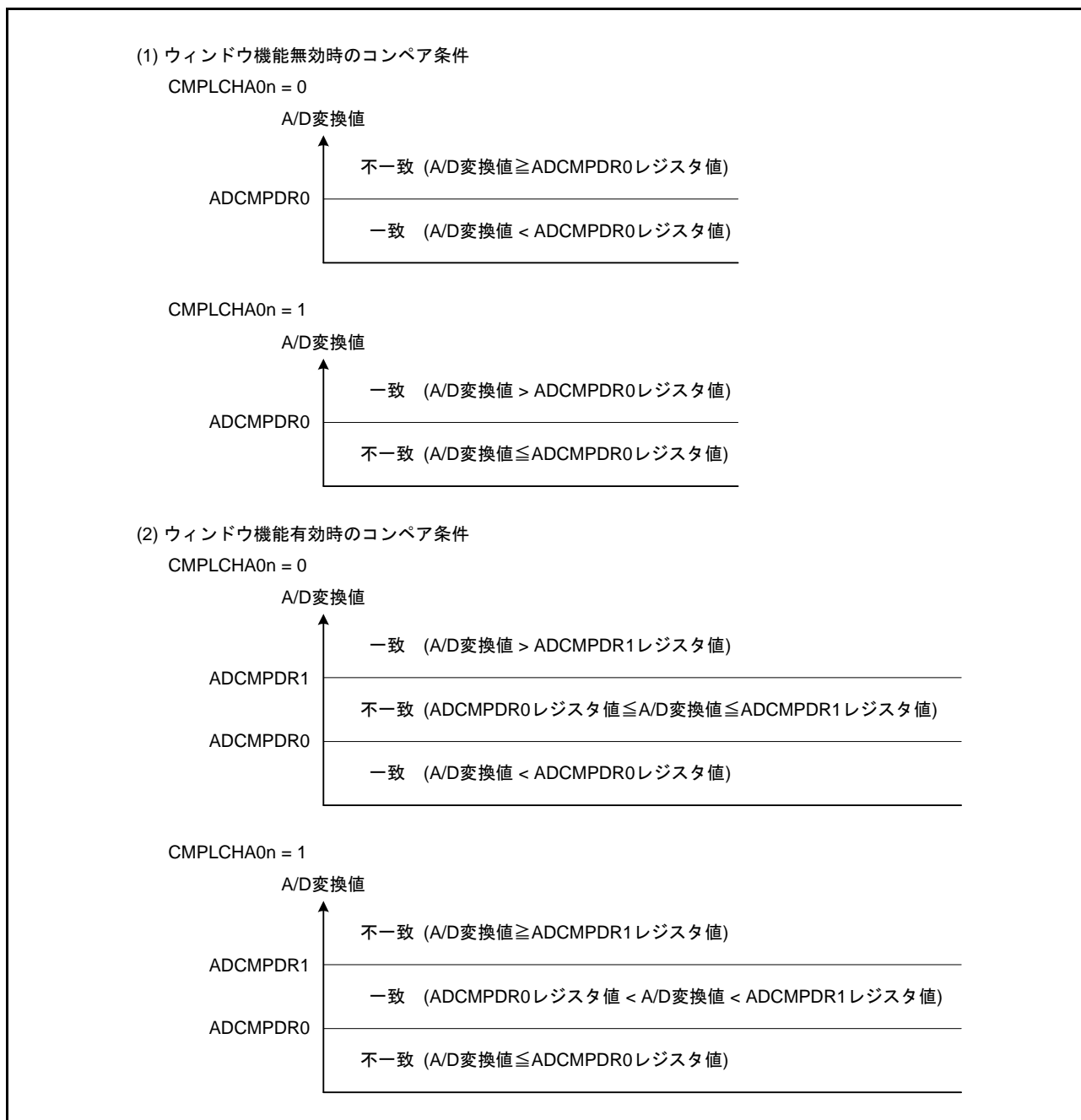


図 38.3 コンペア機能ウィンドウ A コンペア条件説明

38.2.28 A/Dコンペア機能ウィンドウA比較条件設定レジスタ1 (ADCMPPLR1)

アドレス S12AD.ADCMPPLR1 0008 909Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPLC HA107	CMPLC HA106	CMPLC HA105	CMPLC HA104	CMPLC HA103	CMPLC HA102	CMPLC HA101	CMPLC HA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA100	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時(ADCMPPCR.WCMPEビットが“0”) 0: ADCMPDR0レジスタ値 > A/D変換値 1: ADCMPDR0レジスタ値 < A/D変換値	R/W
b1	CMPLCHA101			R/W
b2	CMPLCHA102			R/W
b3	CMPLCHA103			R/W
b4	CMPLCHA104		ウィンドウ機能有効時(ADCMPPCR.WCMPEビットが“1”) 0: AD変換値 < ADCMPDR0レジスタ値または ADCMPDR1レジスタ値 < AD変換値 1: ADCMPDR0レジスタ値 < A/D変換値 < ADCMPDR1レジスタ値	R/W
b5	CMPLCHA105			R/W
b6	CMPLCHA106			R/W
b7	CMPLCHA107			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPPLR1レジスタは、ADCMPDR0/ADCMPDR1レジスタ値とA/D変換結果を比較する条件を設定します。ADCMPPLR1レジスタの設定は、ADCSR.ADSTビットが“0”のときに設定してください。

CMPLCHA1nビット(コンペアウィンドウAコンペア条件選択ビット)(n = 00 ~ 07)

ウィンドウA比較条件の対象としたチャンネル(AN016 ~ AN023)の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA100ビットがAN016に、CMPLCHA107ビットがAN023に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPDR1.CMPSTCHA1nフラグが“1”になり、コンペア割り込み(S12CMPAI)が発生します。

コンペア条件を図38.3に示します。

38.2.29 A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス S12AD.ADCMPLER 0008 9093h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPLO C	CMPLT S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTS	コンペアウィンドウ A 温度センサ出力コンペア条件選択ビット	ウィンドウ A 機能無効時 (ADCMPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 ウィンドウ A 機能有効時 (ADCMPCR.WCMPE ビットが“1”) 0 : AD 変換値 < ADCMPDR0 レジスタ値 または AD 変換値 > ADCMPDR1 レジスタ値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b1	CMPLOC	コンペアウィンドウ A 内部基準電圧コンペア条件選択ビット	ウィンドウ A 機能無効時 (ADCMPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 ウィンドウ A 機能有効時 (ADCMPCR.WCMPE ビットが“1”) 0 : AD 変換値 < ADCMPDR0 レジスタ値 または AD 変換値 > ADCMPDR1 レジスタ値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLER レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLER レジスタの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLTS ビット (コンペアウィンドウ A 温度センサ出力コンペア条件選択ビット)

温度センサ出力をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

温度センサ出力の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFTS フラグが“1”になり、コンペア割り込み (S12CMPAI) が発生します。コンペア条件を図 38.3 に示します。

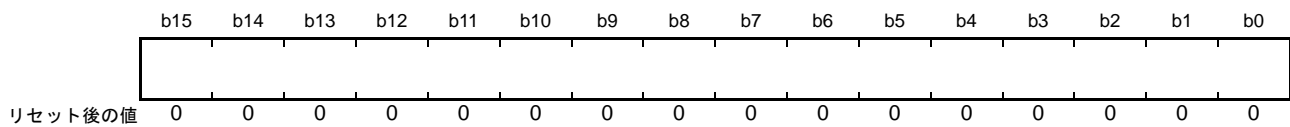
CMPLOC ビット (コンペアウィンドウ A 内部基準電圧コンペア条件選択ビット)

内部基準電圧をウィンドウ A 比較条件の対象とした場合の比較条件を設定します。

内部基準電圧の比較結果が設定した条件と一致したとき、ADCMPSER.CMPFOC フラグが“1”になり、コンペア割り込み (S12CMPAI) が発生します。コンペア条件を図 38.3 に示します。

38.2.30 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)

アドレス S12AD.ADCMPDR0 0008 909Ch



ADCMPDR0 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR0 は、ウィンドウ A の下位側レベルを設定します。

ADCMPDR0 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADCMPDR1 設定値 \geq ADCMPDR0 設定値) となるように設定してください。

ADCMPDR0 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算/平均機能チャンネル選択レジスタの設定値 (A/D 変換値加算/平均モード有効、または無効)
- A/D 変換値加算/平均回数選択レジスタの設定値 (加算/平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算/平均モードを無効にした場合

- 右詰めフォーマット
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めフォーマット
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマット
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めフォーマット
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時)
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時)
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 には “0” を書いてください。

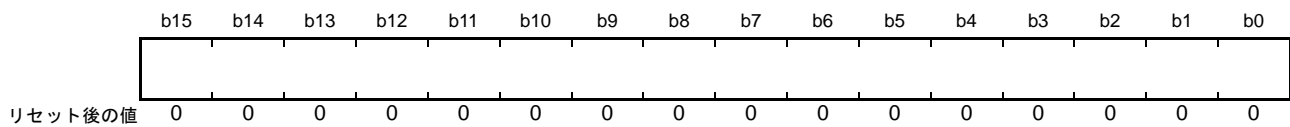
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR0 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR0 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

38.2.31 A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ(ADCMPDR1)

アドレス S12AD.ADCMPDR1 0008 909Eh



ADCMPDR1レジスタは、コンペアウィンドウA機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR1は、ウィンドウAの上位側レベルを設定します。

ADCMPDR1レジスタの書き込みはA/D変換中でも有効です。A/D変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル(ADCMPDR1設定値 \geq ADCMPDR0設定値)となるように設定してください。

ADCMPDR1レジスタはウィンドウ機能無効時には使用しません。

ADCMPDR1レジスタは、下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビットの設定値(右詰めまたは左詰め)
- A/D変換値加算/平均機能チャンネル選択レジスタの設定値(A/D変換値加算/平均モード有効、または無効)
- A/D変換値加算/平均回数選択レジスタの設定値(加算/平均モード選択、加算回数選択)

注. A/Dデータレジスタy(ADDRy)のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D変換値加算/平均モードを無効にした場合

- 右詰めのフォーマット
b11-b0にコンペアレベル(上位側)を設定します。b15-b12には“0”を書いてください。
- 左詰めのフォーマット
b15-b4にコンペアレベル(上位側)を設定します。b3-b0には“0”を書いてください。

(2) A/D変換値平均モードを選択した場合

- 右詰めのフォーマット
b11-b0に同一チャンネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。b15-b12には“0”を書いてください。
- 左詰めのフォーマット
b15-b4に同一チャンネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。b3-b0には“0”を書いてください。

A/D変換値加算モードを2回、4回変換に設定の場合のみ、A/D変換値平均モードを設定できます。

(3) A/D変換値加算モードを選択した場合

- 右詰めのフォーマット(A/D変換値加算モード、変換回数1回~4回選択時)
b13-b0に同一チャンネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。b15-b14には“0”を書いてください。
- 右詰めのフォーマット(A/D変換値加算モード、変換回数16回選択時)
b15-b0に同一チャンネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。
- 左詰めのフォーマット(A/D変換値加算モード、変換回数1回~4回選択時)
b15-b2に同一チャンネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。b1-b0には

“0”を書いてください。

- 左詰めフォーマット(A/D変換値加算モード、変換回数16回選択時)
b15-b0に同一チャネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。

A/D変換値加算モードを選択したとき、同一チャネルのA/D変換値を加算した値を設定します。A/D変換回数は1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回～4回設定時には、変換精度のビット数に2ビット分拡張してADCMPDR1レジスタに設定してください。A/D変換回数を16回設定時には、変換精度のビット数に4ビット分拡張してADCMPDR1レジスタに設定してください。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

38.2.32 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 (ADCMPSTR0)

(1) S12AD.ADCMPSTR0

アドレス S12AD.ADCMPSTR0 0008 90A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPST CHA015	CMPST CHA014	CMPST CHA013	CMPST CHA012	CMPST CHA011	CMPST CHA010	CMPST CHA009	CMPST CHA008	CMPST CHA007	CMPST CHA006	CMPST CHA005	CMPST CHA004	CMPST CHA003	CMPST CHA002	CMPST CHA001	CMPST CHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPSTR.CMPAE ビット=1)のとき、ウィンドウA比較条件の対象としたチャネル(AN000~AN015)の比較結果を示します。 0 : 比較条件不成立 1 : 比較条件成立	R/(W) (注1)
b1	CMPSTCHA001			R/(W) (注1)
b2	CMPSTCHA002			R/(W) (注1)
b3	CMPSTCHA003			R/(W) (注1)
b4	CMPSTCHA004			R/(W) (注1)
b5	CMPSTCHA005			R/(W) (注1)
b6	CMPSTCHA006			R/(W) (注1)
b7	CMPSTCHA007			R/(W) (注1)
b8	CMPSTCHA008			R/(W) (注1)
b9	CMPSTCHA009			R/(W) (注1)
b10	CMPSTCHA010			R/(W) (注1)
b11	CMPSTCHA011			R/(W) (注1)
b12	CMPSTCHA012			R/(W) (注1)
b13	CMPSTCHA013			R/(W) (注1)
b14	CMPSTCHA014			R/(W) (注1)
b15	CMPSTCHA015			R/(W) (注1)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSTR0 レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTCHA0n フラグ (コンペアウィンドウ A フラグ) (n = 00 ~ 15)

ウィンドウ A 比較条件の対象としたチャネル (AN000 ~ AN015) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPSTR0.CMPSTR0n ビットに設定された比較条件と一致した場合、“1”になります。ADCMPSTR0.CMPSTR0n ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI) 要求が発生します。CMPSTCHA000 フラグが AN000、CMPSTCHA015 フラグが AN015 に対応

します。

CMPSTCHA0n フラグに “1” を書き込むことはできません。

[“1” になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

[“0” になる条件]

- “1” の状態を読んだ後、“0” を書き込んだとき

38.2.33 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1(ADCMPSTR1)

アドレス S12AD.ADCMPSTR1 0008 90A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CMPST CHA107	CMPST CHA106	CMPST CHA105	CMPST CHA104	CMPST CHA103	CMPST CHA102	CMPST CHA101	CMPST CHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA100	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPSTR.CMPAEビット=1)のとき、ウィンドウA比較条件の対象としたチャネル(AN016～AN023)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/(W) (注1)
b1	CMPSTCHA101			R/(W) (注1)
b2	CMPSTCHA102			R/(W) (注1)
b3	CMPSTCHA103			R/(W) (注1)
b4	CMPSTCHA104			R/(W) (注1)
b5	CMPSTCHA105			R/(W) (注1)
b6	CMPSTCHA106			R/(W) (注1)
b7	CMPSTCHA107			R/(W) (注1)
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSTR1レジスタは、コンペアウィンドウA機能の比較結果を格納するレジスタです。

CMPSTCHA1nフラグ(コンペアウィンドウAフラグ)(n=00～07)

ウィンドウA比較条件の対象としたチャネル(AN016～AN023)の比較結果を示すステータスフラグです。A/D変換終了時にADCMPSTR1.CMPLCHA1nビットに設定された比較条件と一致した場合、“1”になります。ADCMPSTR.CMPAEビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み(S12CMPAI)要求が発生します。CMPSTCHA100フラグがAN016に、CMPSTCHA107フラグがAN023に対応します。

CMPSTCHA1nフラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPSTR.CMPAEビット=1の条件で、ADCMPSTR1.CMPLCHA1nビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

38.2.34 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス S12AD.ADCMPSER 0008 90A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPF OC	CMPFT S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPFTS	コンペアウィンドウA 温度センサ出力コンペアフラグ	ウィンドウA動作状態 (ADCMPPCR.CMPAE ビット= 1) のとき、温度センサ出力の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/(W) (注1)
b1	CMPFOC	コンペアウィンドウA 内部基準電圧コンペアフラグ	ウィンドウA動作状態 (ADCMPPCR.CMPAE ビット= 1) のとき、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/(W) (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPSER レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPFTS フラグ (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPPLER.CMPLTS ビットに設定された比較条件と一致した場合、“1”になります。ADCMPPCR.CMPAIE ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI) 要求が発生します。

CMPFTS フラグに“1”を書き込むことはできません。

["1"になる条件]

- ADCMPPCR.CMPAE ビット = 1 の条件で、ADCMPPLER.CMPLTS ビットに設定した条件が成立したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

CMPFOC フラグ (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPPLER.CMPLOC ビットに設定された比較条件と一致した場合、“1”になります。ADCMPPCR.CMPAIE ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPAI) 要求が発生します。

CMPFOC フラグに“1”を書き込むことはできません。

["1"になる条件]

- ADCMPPCR.CMPAE ビット = 1 の条件で、ADCMPPLER.CMPLOC ビットに設定した条件が成立したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

38.2.35 A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)

アドレス S12AD.ADWINMON 0008 908Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果モニタフラグ	組み合わせの結果を示します。 本ビットはウィンドウA/B共に動作状態のときに有効です。 0: ウィンドウA/Bの複合条件不成立 1: ウィンドウA/Bの複合条件成立	R
b3-b1	—	予約ビット	読むと“0”が読めます	R
b4	MONCMPA	比較結果モニタ A フラグ	0: ウィンドウA比較条件不成立 1: ウィンドウA比較条件成立	R
b5	MONCMPB	比較結果モニタ B フラグ	0: ウィンドウB比較条件不成立 1: ウィンドウB比較条件成立	R
b7-b6	—	予約ビット	読むと“0”が読めます	R

ADWINMON レジスタは比較結果と組み合わせ結果をモニタできます。

MONCOMB フラグ (組み合わせ結果モニタフラグ)

ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件で比較条件結果 A と比較結果条件 B を組み合わせた結果を示す読み出し専用のビットです。

["1"になる条件]

- ADCMPCR.CMPAE ビット = 1 かつ ADCMPCR.CMPBE ビット = 1 の条件で、ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致

["0"になる条件]

- ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致しない
- ADCMPCR.CMPAE ビット = 0 または ADCMPCR.CMPBE ビット = 0 のとき

MONCMPA フラグ (比較結果モニタ A フラグ)

ADCMPLR0、ADCMPLR1、ADCMPLER レジスタで設定した条件にウィンドウ A 対象チャネルの AD 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のビットです。

["1"になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

["0"になる条件]

- ADCMPCR.CMPAE ビット = 1 の条件で、ADCMPLR0.CMPLCHA0n ビットに設定した条件が不成立のとき
- ADCMPCR.CMPAE ビット = 0 のとき (ADCMPCR.CMPAE ビット = 1 → 0 で自動クリア)

MONCMPB フラグ (比較結果モニタ B フラグ)

ADCMPBNSR.CMPLB ビットで設定した条件にウィンドウ B 対象チャネルの AD 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のビットです。

["1"になる条件]

- ADCMPPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

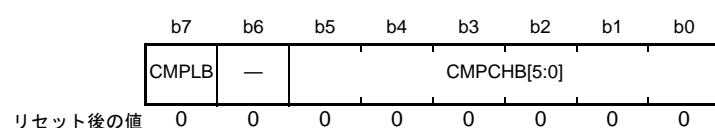
["0"になる条件]

- ADCMPPCR.CMPBE ビット = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が不成立のとき
- ADCMPPCR.CMPBE ビット = 0 のとき (ADCMPPCR.CMPBE ビット = 1 → 0 で自動クリア)

38.2.36 A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)

(1) S12AD.ADCMPBNSR

アドレス S12AD.ADCMPBNSR 0008 90A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウ B チャンネル選択ビット	コンペアウィンドウ B の条件で比較を行うチャンネルを選択します b5 b0 0 0 0 0 0 : AN000 0 0 0 0 1 : AN001 0 0 0 1 0 : AN002 : : 0 1 0 1 1 0 : AN022 0 1 0 1 1 1 : AN023 1 0 0 0 0 0 : 温度センサ 1 0 0 0 0 1 : 内部基準電圧 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウ B コンペア条件設定ビット	ウィンドウ機能無効時 (ADCMPPCR.WCMPE ビットが“0”) 0 : ADWINLLB レジスタ値 > A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADWINLLB レジスタ値 または ADWINULB レジスタ値 < A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 < ADWINULB レジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャンネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャンネルを AN000 ~ AN023、温度センサ、内部基準電圧から選択するビットです。

ADANSy.ANSAyn ビット (y=0, 1, n=00 ~ 15) と ADANSBy.ANSByn ビットで選択した A/D 変換チャンネルの番号を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャンネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と

一致したとき、ADCMPBSR.CMPSTB フラグが“1”になり、コンペア割り込み (S12CMPBI) が発生します。
 コンペア条件を図 38.4 に示します。

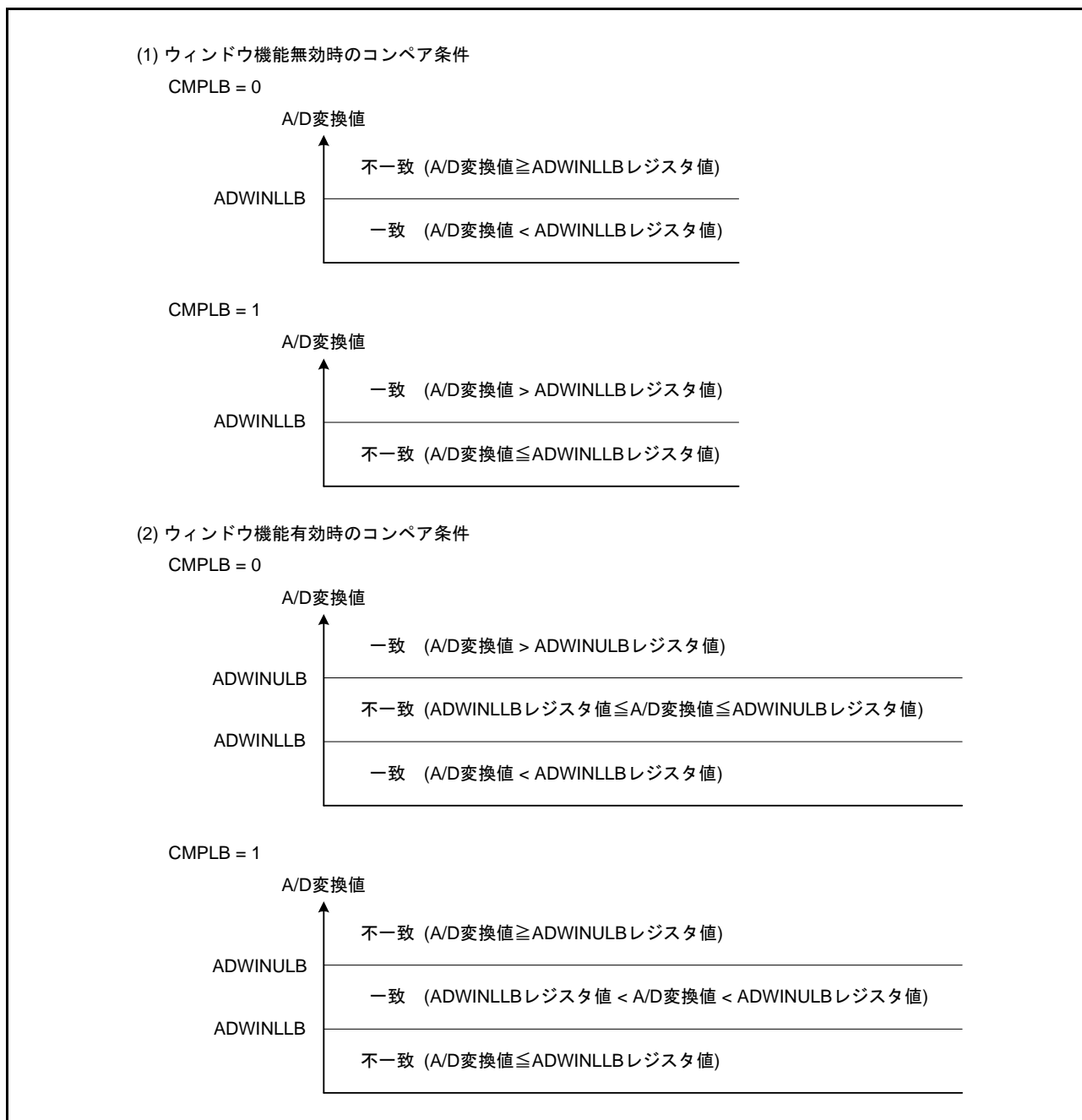
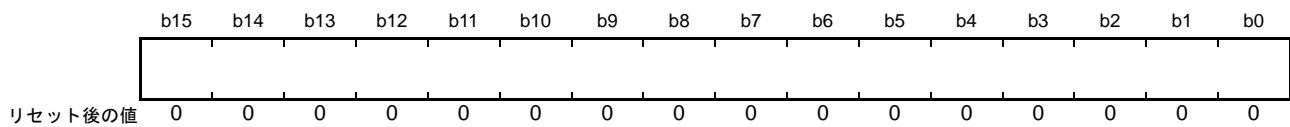


図 38.4 コンペア機能ウィンドウ B コンペア条件説明

38.2.37 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)

アドレス S12AD.ADWINLLB 0008 90A8h



ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINLLB レジスタは、ウィンドウ B の下位側レベルを設定します。

ADWINLLB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADWINULB レジスタ設定値 \geq ADWINLLB レジスタ設定値) となるように設定してください。

ADWINLLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算/平均機能チャンネル選択レジスタの設定値 (A/D 変換値加算/平均モード有効、または無効)
- A/D 変換値加算/平均回数選択レジスタの設定値 (加算/平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算/平均モードを無効にした場合

- 右詰めフォーマット
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めフォーマット
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマット
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めフォーマット
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 には “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時)
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時)
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 には “0” を書いてください。

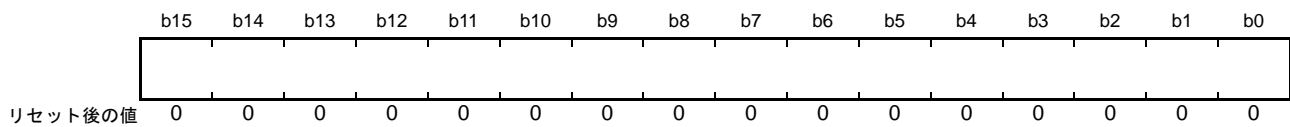
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～ 4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～ 4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINLLB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINLLB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

38.2.38 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)

アドレス S12AD.ADWINULB 0008 90AAh



ADWINULB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINULB レジスタは、ウィンドウ B の上位側レベルを設定します。

ADWINULB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADWINULB レジスタ設定値 \geq ADWINLLB レジスタ設定値) となるように設定してください。

ADWINULB レジスタはウィンドウ機能無効時には使用しません。

ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算/平均機能チャンネル選択レジスタの設定値 (A/D 変換値加算/平均モード有効、または無効)
- A/D 変換値加算/平均回数選択レジスタの設定値 (加算/平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算/平均モードを無効にした場合

- 右詰めのフォーマット
b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマット
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 には “0” を書いてください。
- 左詰めのフォーマット
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 には “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時)
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 には “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時)
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時)
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b1-b0 には

“0”を書いてください。

- 左詰めフォーマット(A/D変換値加算モード、変換回数16回選択時)
b15-b0に同一チャネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。

A/D変換値加算モードを選択したとき、同一チャネルのA/D変換値を加算した値を設定します。A/D変換回数は1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回～4回設定時には、変換精度のビット数に2ビット分拡張してADWINULBレジスタに設定してください。A/D変換回数を16回設定時には、変換精度のビット数に4ビット分拡張してADWINULBレジスタに設定してください。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

38.2.39 A/D コンペア機能ウィンドウ B チャンルステータスレジスタ (ADCMPBSR)

(1) S12AD.ADCMPBSR

アドレス S12AD.ADCMPBSR 0008 90ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	0 : 比較条件不成立 1 : 比較条件成立	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ADCMPBSR レジスタは、コンペアウィンドウ B 機能の比較結果を格納するレジスタです。

CMPSTB フラグ (コンペアウィンドウ B フラグ)

ウィンドウ B 比較条件の対象としたチャンネル (AN000 ~ AN023、温度センサ、内部基準電圧) の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPBSR.CMPLB ビットに設定された比較条件と一致した場合、“1”になります。ADCMPBSR.CMPSTB ビットが“1”のとき、フラグがセットされるタイミングでコンペア割り込み (S12CMPBI) 要求が発生します。

CMPSTB フラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPBSR.CMPLB ビット = 1 の条件で、ADCMPBSR.CMPLB ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

38.2.40 A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR)

アドレス S12AD.ADVMONCR 0008 91E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VDE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VDE	電圧モニタ回路許可ビット	0 : 内部基準電圧モニタ回路の動作を禁止 1 : 内部基準電圧モニタ回路の動作を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADVMONCR レジスタは、内部基準電圧の電圧モニタ回路の動作を許可するレジスタです。

このレジスタは、ADCSR.ADST ビットが“0”のときに設定してください。

38.2.41 A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO)

アドレス S12AD.ADVMONO 0008 91E4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VDO
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VDO	電圧モニタ回路電圧出力許可ビット	0 : 内部基準電圧モニタ回路の電圧出力を禁止 1 : 内部基準電圧モニタ回路の電圧出力を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADVMONO レジスタは、内部基準電圧の電圧モニタ回路の電圧出力を許可するレジスタです。
このレジスタは、ADCSR.ADST ビットが“0”のときに設定してください。

38.2.42 A/D 基準電圧コントロールレジスタ (ADVREFCR)

アドレス S12AD.ADVREFCR 0008 8084h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VREFSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VREFSEL	基準電圧選択ビット	0 : 基準電圧にAVCC0/AVSS0を選択 1 : 基準電圧にVREFH0/VREFL0を選択(注1)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. PJ6、PJ7端子を汎用入力ポート(PORTJ.PMR.B6 = 0, PORTJ.PMR.B7 = 0, PORTJ.PDR.B6 = 0, PORTJ.PDR.B7 = 0)に設定してください。

ADVREFCR レジスタは、基準電圧を選択するレジスタです。
このレジスタは、ADCSR.ADST ビットが“0”のときに設定してください。

VREFSEL ビット (基準電圧選択ビット)

基準電圧を選択するビットです。AVCC0/AVSS0 または VREFH0/VREFL0 のいずれかから選択できます。

VREFH0/VREFL0 端子は汎用入出力ポート PJ6/PJ7 と端子を共有しています。汎用入出力ポートを多く確保したい場合は AVCC0/AVSS0、A/D コンバータを電気的特性記載の精度で使用したい場合は VREFH0/VREFL0 を選択してください。

38.3 動作説明

38.3.1 A/Dコンバータの初期設定フロー

図 38.5 に A/D コンバータの初期設定フローを示します。

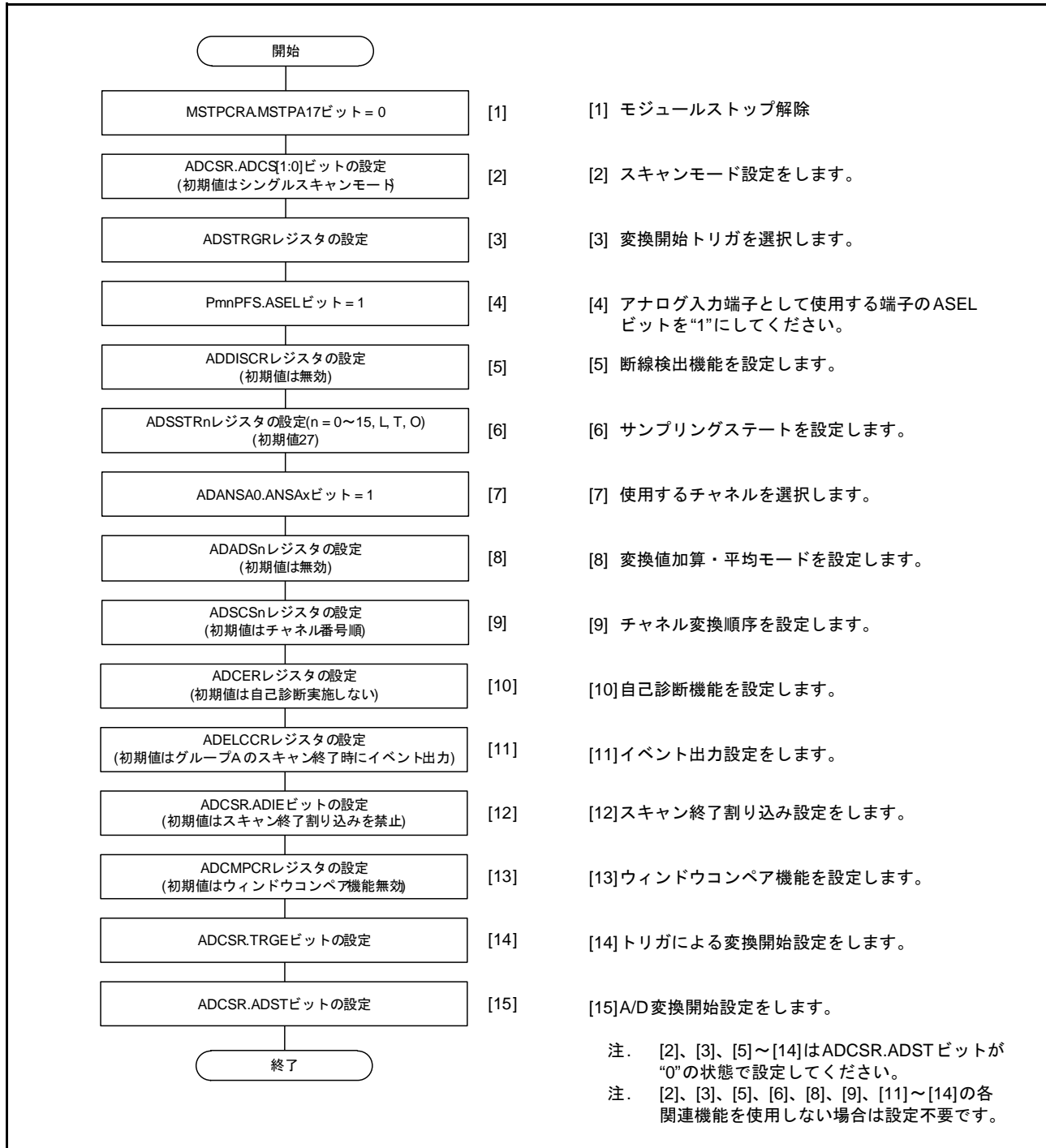


図 38.5 A/Dコンバータの初期設定フロー

38.3.2 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B とグループ C のスキャンをそれぞれ選択した同期トリガで開始し、グループ A とグループ B とグループ C で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0、ADANSA1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA0、ADANSA1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って、グループ B が ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って、グループ C が ADANSC0、ADANSC1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を行います。自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビット A/D コンバータ内部で生成する3つの電圧値のうち1つを A/D 変換します。

温度センサ出力または内部基準電圧の選択が可能です。同じグループにてチャンネルのアナログ入力と合わせて選択できません。

温度センサ出力と内部基準電圧を同時に選択する場合は、温度センサ出力が先に変換されます。

温度センサ出力または内部基準電圧を変換するときに、オートディスチャージが自動的に実施されます。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換データを二重化します。グループスキャンモードではグループ A のみダブルトリガ機能が使用できます。

ダブルトリガ拡張モードは、ダブルトリガモードで A/D 変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで以下の同期トリガ (2種類の同期トリガ要因許可) に選択した状態を示します。

- TRG4AN または TRG4BN (ADSTRGR.TRSA[5:0] ビットに “001011b” を設定)
- TRG7AN または TRG7BN (ADSTRGR.TRSA[5:0] ビットに “001111b” を設定)
- TRGA0N または TRG0N (ADSTRGR.TRSA[5:0] ビットに “011001b” を設定)
- ELCTRG00N または ELCTRG01N/ELCTRG10N または ELCTRG11N/ELCTRG20N または ELCTRG21N (ADSTRGR.TRSA[5:0] ビットに “111010b” を設定)

ダブルトリガ拡張モードでは、通常のダブルトリガモードの動作に加え、トリガの種別に応じて、A/D 変換データを A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB) に格納します。ダブルトリガ拡張モード時に、2種類のトリガ要因が同時に発生した場合は、トリガ要因による振り分けは実施せず、A/D 変換データは、データ二重化レジスタ B (ADDBLDRB) に格納されます。なお、一方のトリガで AD 変換を実施中に、他方のトリガが入力された場合、他方のトリガは無視されます。

38.3.3 シングルスキャンモード

38.3.3.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1レジスタで選択したアナログチャンネルをADSCSnレジスタで設定した変換順序に沿ってA/D変換を開始します。
(図38.6の変換順序設定：AN004 → AN005 → AN006)
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

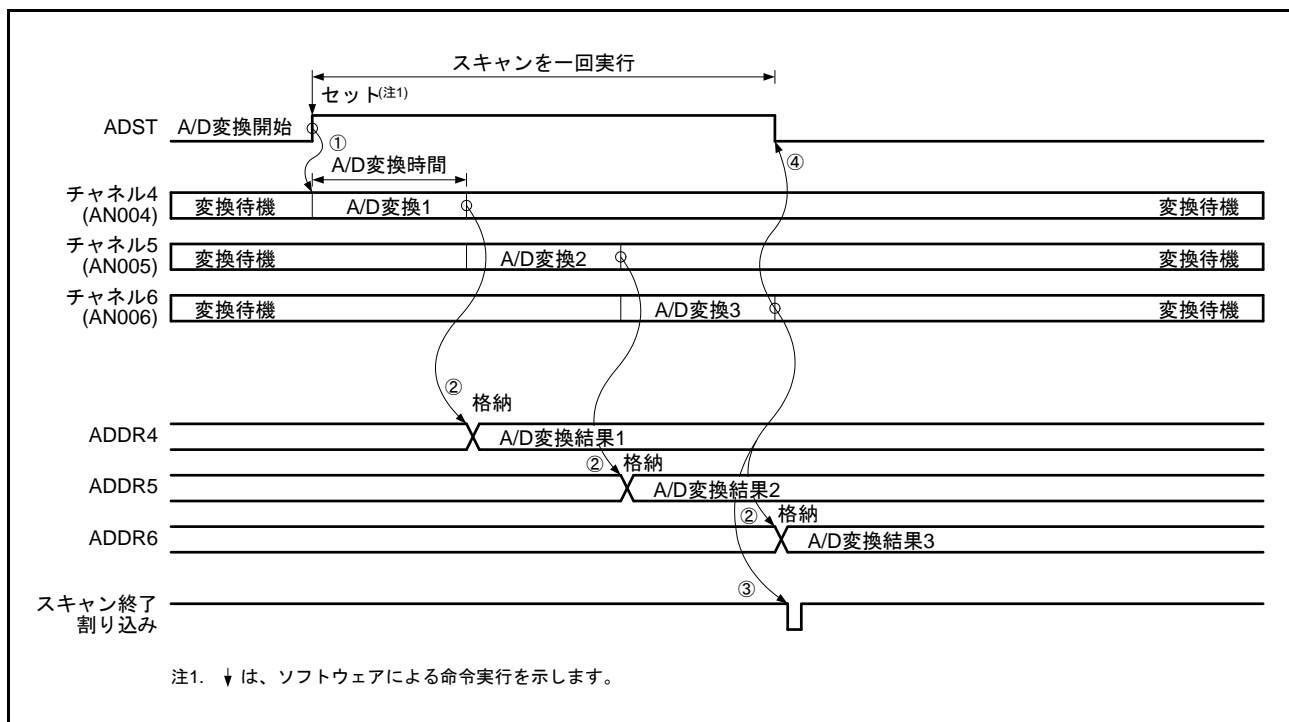


図 38.6 シングルスキャンモードの動作例 (基本動作：AN004、AN005、AN006 選択)

38.3.3.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADRD)に格納され、次にADANSA0、ADANSA1レジスタで選択したアナログチャンネルをADSCSnレジスタで設定した変換順序に沿ってA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。
- (5) ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

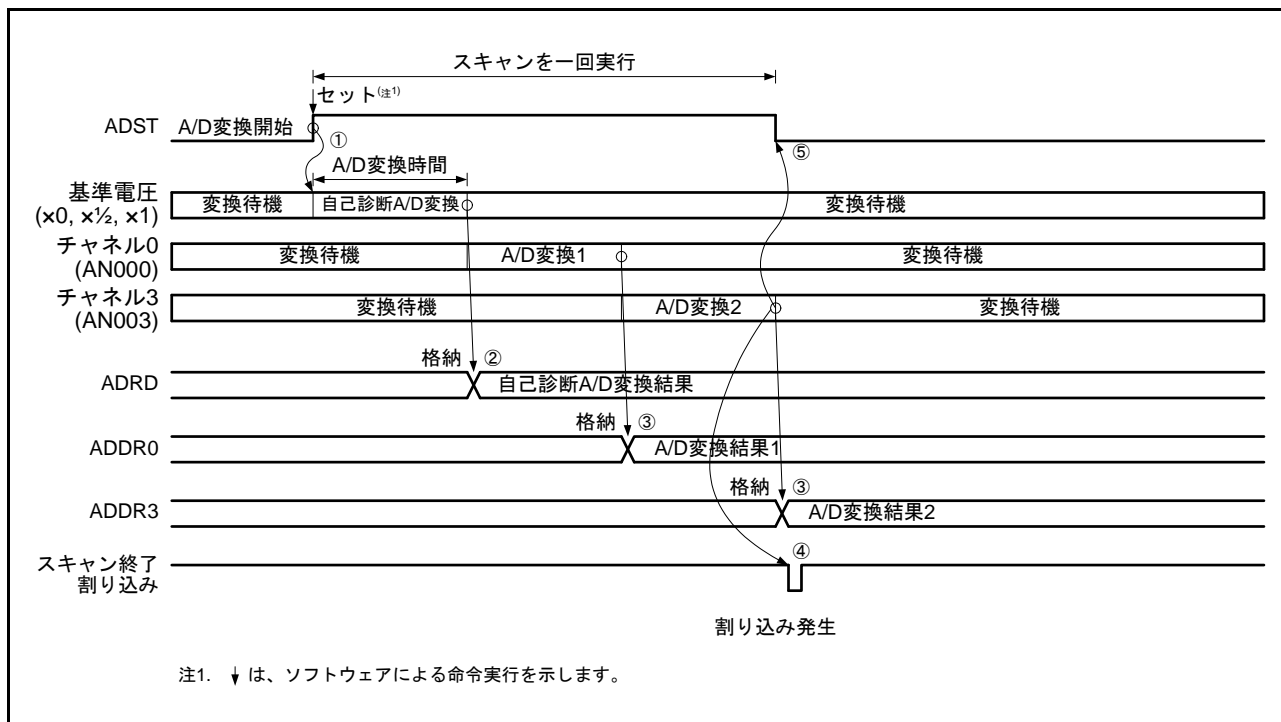


図 38.7 シングルスキャンモードの動作例 (基本動作 : AN000、AN003 選択 + 自己診断)

38.3.3.3 温度センサ出力 / 内部基準電圧選択時の A/D 変換動作

温度センサ出力または内部基準電圧を選択すると、以下のように温度センサ出力または内部基準電圧を 1 回のみ A/D 変換します。

温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ出力、内部基準電圧の順に A/D 変換します。

温度センサ出力または内部基準電圧とチャンネルのアナログ入力、同時選択禁止です。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、温度センサ出力のオートディスチャージを実施して、A/D 変換を開始します。
- (2) 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧のオートディスチャージを実施して、A/D 変換を開始します。
- (3) 内部基準電圧の A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADCSR.ADIE ビットが“1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (4) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

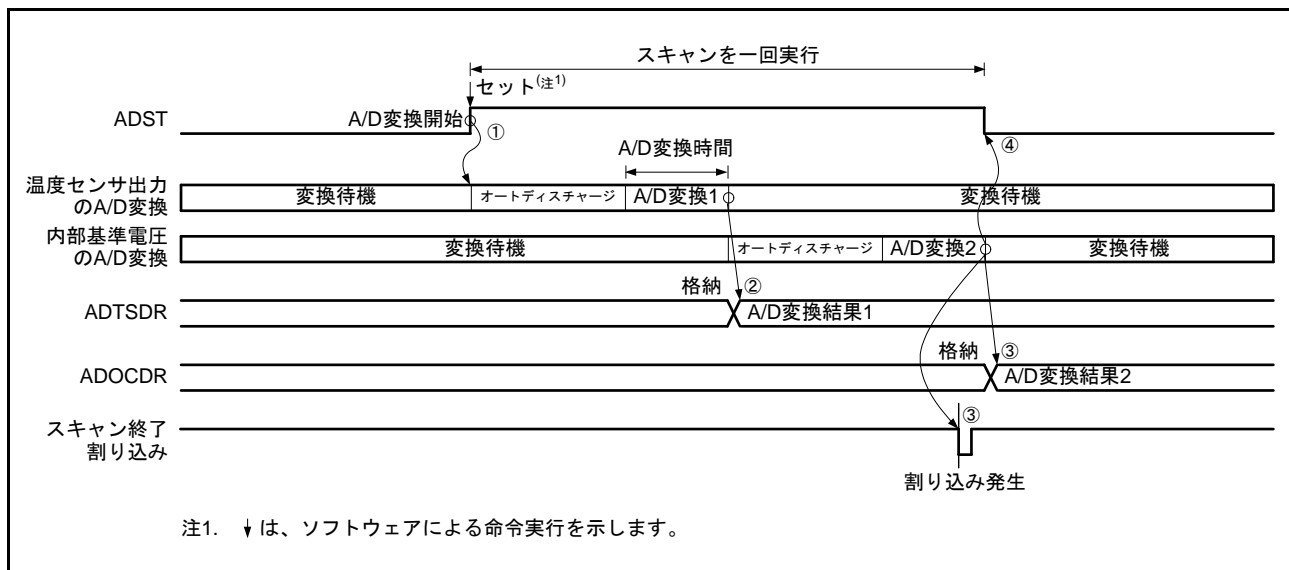


図 38.8 シングルスキャンモードの動作例 (基本動作：温度センサ出力、内部基準電圧選択)

38.3.3.4 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを 2 回行います。

自己診断は非選択とし、温度センサ A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB, ADGCEXCR.TSSC) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSB, ADGCEXCR.OCSC) は “0” に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを “1” にすると有効となります。ADCSR.DBLE を “1” にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを “0” に、ADCSR.TRGE ビットを “1” に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了割り込みを許可) の設定に関わらず、スキャン終了割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は “1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

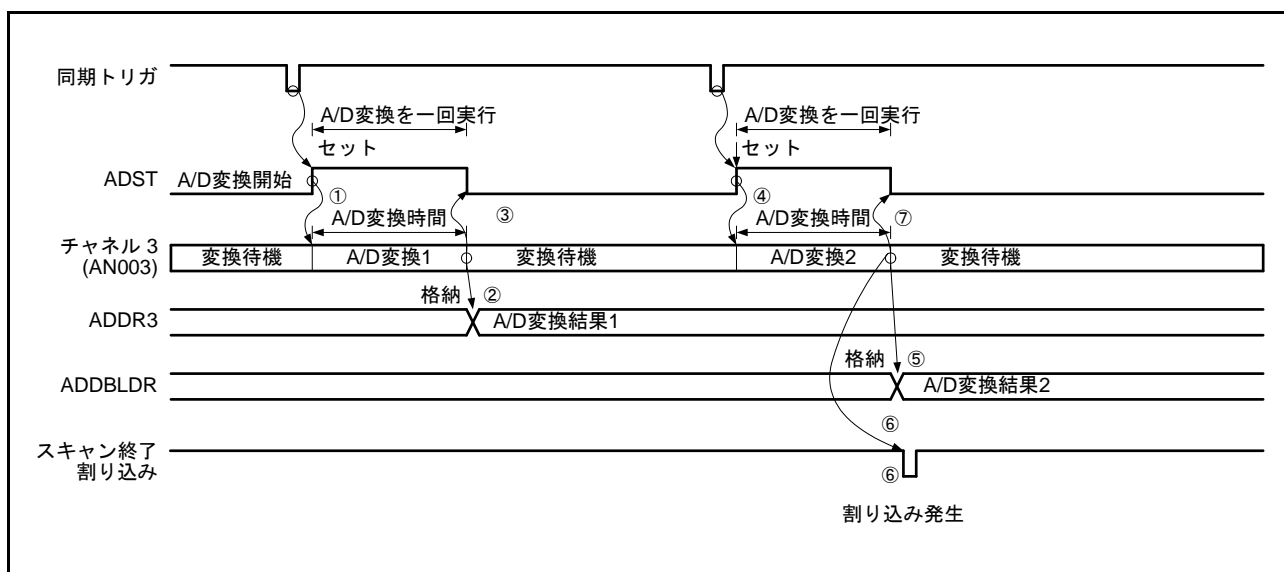


図 38.9 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

38.3.3.5 ダブルトリガ拡張モードの動作

シングルスキャンモードでダブルトリガモードを選択し、A/D 変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「TRGA0N または TRG0N」、「ELCTRG00N または ELCTRG01N/ELCTRG10N または ELCTRG11N/ELCTRG20N または ELCTRG21N」を選択した場合は、以下のようにシングルスキャンモードを 2 回行います。

自己診断は非選択とし、温度センサ A/D 変換選択ビット (ADEXICR.TSSA, ADEXICR.TSSB, ADGCEXCR.TSSC) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA, ADEXICR.OCSE, ADGCEXCR.OCSC) は“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE ビットを“1”にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。また、ダブルトリガ拡張モードを選択する場合は、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) TRG4AN 入力によって ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) と A/D データ二重化レジスタ A (ADDBLDRA) へ格納されます。
- (3) ADCSR.ADST ビットは自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了割り込みを許可) の設定に関わらず、スキャン終了割り込みは発生しません。
- (4) TRG4BN 入力によって ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果は A/D データ二重化レジスタ (ADDBLDR) と A/D データ二重化レジスタ B (ADDBLDRB) に格納されます。
- (6) ADCSR.ADIE ビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1”(A/D 変換開始)を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

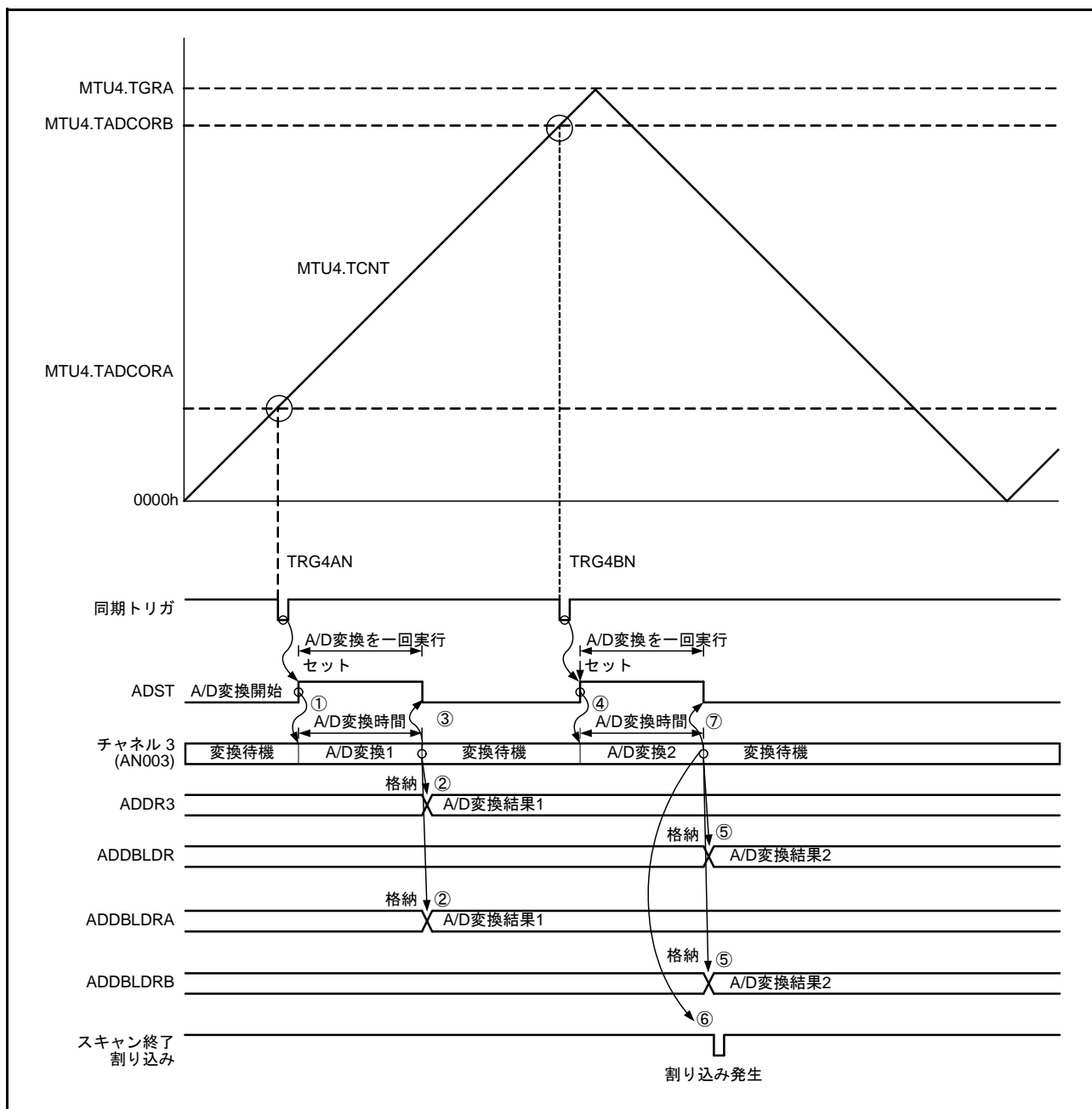


図 38.10 ダブルトリガモードの拡張動作例 (1)
 (AN003 を二重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4AN の場合)

38.3.4 連続スキャンモード

38.3.4.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、温度センサA/D変換選択ビットと内部基準電圧A/D変換選択ビットを非選択にしてください。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1レジスタで選択したアナログチャンネルをADSCSnレジスタで設定した変換順序に沿ってA/D変換を開始します。(図38.11の変換順序設定：AN000 → AN001 → AN002)
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。
また12ビットA/Dコンバータは、継続してADANSA0、ADANSA1レジスタで選択したアナログチャンネルをADSCSnレジスタで設定した変換順序に沿ってA/D変換を開始します。
- (4) ADCSR.ADSTビットは自動的にクリアされず、“1”(A/D変換開始)の間は(2)～(3)を繰り返します。ADCSR.ADSTビットを“0”(A/D変換停止)に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADSTビットを“1”(A/D変換開始)にセットすると再びADANSA0、ADANSA1レジスタで選択したアナログチャンネルをADSCSnレジスタで設定した変換順序に沿ってA/D変換を開始します。

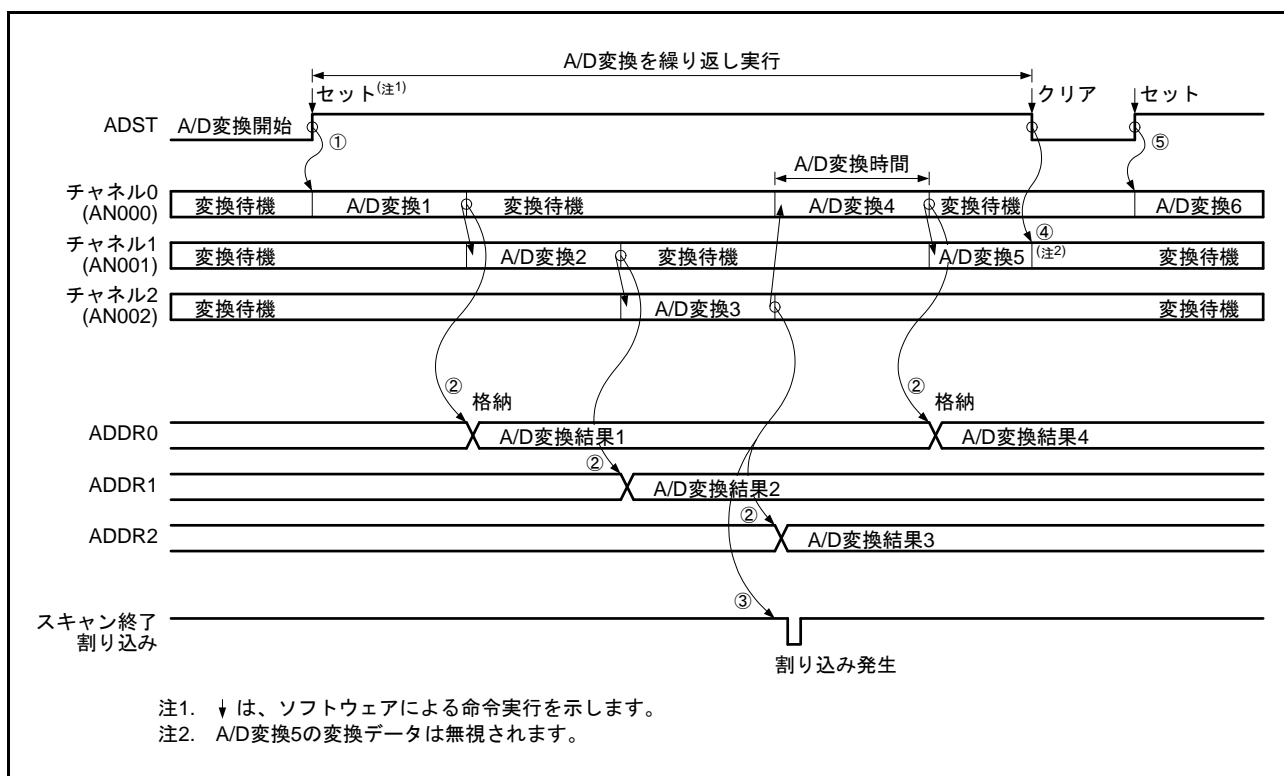


図 38.11 連続スキャンモードの動作例 (基本動作：AN000、AN001、AN002 選択)

38.3.4.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADRD)に格納され、次にADANSA0、ADANSA1レジスタで選択したアナログチャンネルをADSCSnレジスタで設定した変換順序に沿ってA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSA0、ADANSA1レジスタで選択したアナログチャンネルをADSCSnレジスタで設定した変換順序に沿ってA/D変換を開始します。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”になっている間は(2)～(4)を繰り返します。ADSTビットを“0”(A/D変換停止)にするとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1”(A/D変換開始)になると、再び自己診断でのA/D変換から開始します。

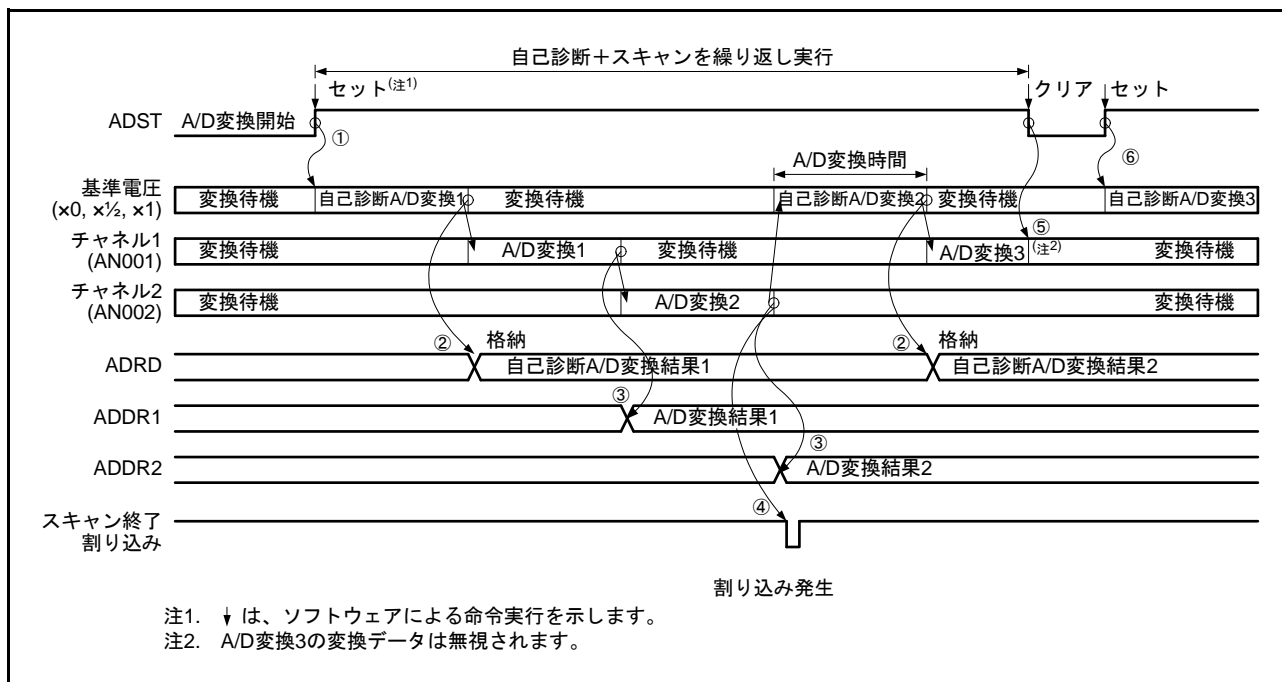


図 38.12 連続スキャンモードの動作例 (基本動作 : AN001、AN002 選択 + 自己診断)

38.3.5 グループスキャンモード

38.3.5.1 基本動作

グループスキャンモードで使用するグループの数は2つ(グループ A、B)と3つ(グループ A、B、C)のどちらか一方を選択することができます。グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A、B またはグループ A、B、C のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように1回のみ A/D 変換します。グループ A、B、C のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A とグループ B とグループ C のスキャンが同時に起こらないように、グループ A とグループ B とグループ C のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

スキャン対象は、ADANSA0、ADANSA1 レジスタ、ADEXICR.TSSA、OCSA ビットでグループ A のチャンネル、ADANSB0、ADANSB1 レジスタ、ADEXICR.TSSB、OCSB ビットでグループ B のチャンネル、ADANSC0、ADANSC1 レジスタ、ADGCEXCR.TSSC、OCSC ビットでグループ C のチャンネルを選択します。温度センサ出力をスキャン対象にする場合、TSSA、TSSB、TSSC ビットのいずれか1ビットのみ“1”にしてください。また、内部基準電圧をスキャン対象にする場合、OCSA、OCSB、OCSC ビットのいずれか1ビットのみ“1”にしてください。温度センサ出力または内部基準電圧を設定したスキヤングループのすべての変換チャンネルに対し、15 ADCLK 期間のディスチャージが実施されます。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B またはグループ A とグループ B とグループ C それぞれで自己診断を実施します。

以下に MTU からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は MTU からの TRG4AN トリガで変換開始し、グループ B は MTU からの TRG4BN トリガで変換開始し、グループ C は MTU からの TRG4ABN トリガで変換開始する設定です。

- (1) MTU からの TRG4AN トリガでグループ A のスキャンを開始します。
- (2) グループ A のスキャン終了時に ADCSR.ADIE ビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込みが発生します。
- (3) MTU からの TRG4BN トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1”(グループ B のスキャン終了割り込みを許可)に設定されていると、グループ B スキャン終了割り込みが発生します。
- (5) MTU からの TRG4ABN トリガでグループ C のスキャンを開始します。
- (6) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが“1”(グループ C のスキャン終了割り込みを許可)に設定されていると、グループ C スキャン終了割り込みが発生します。

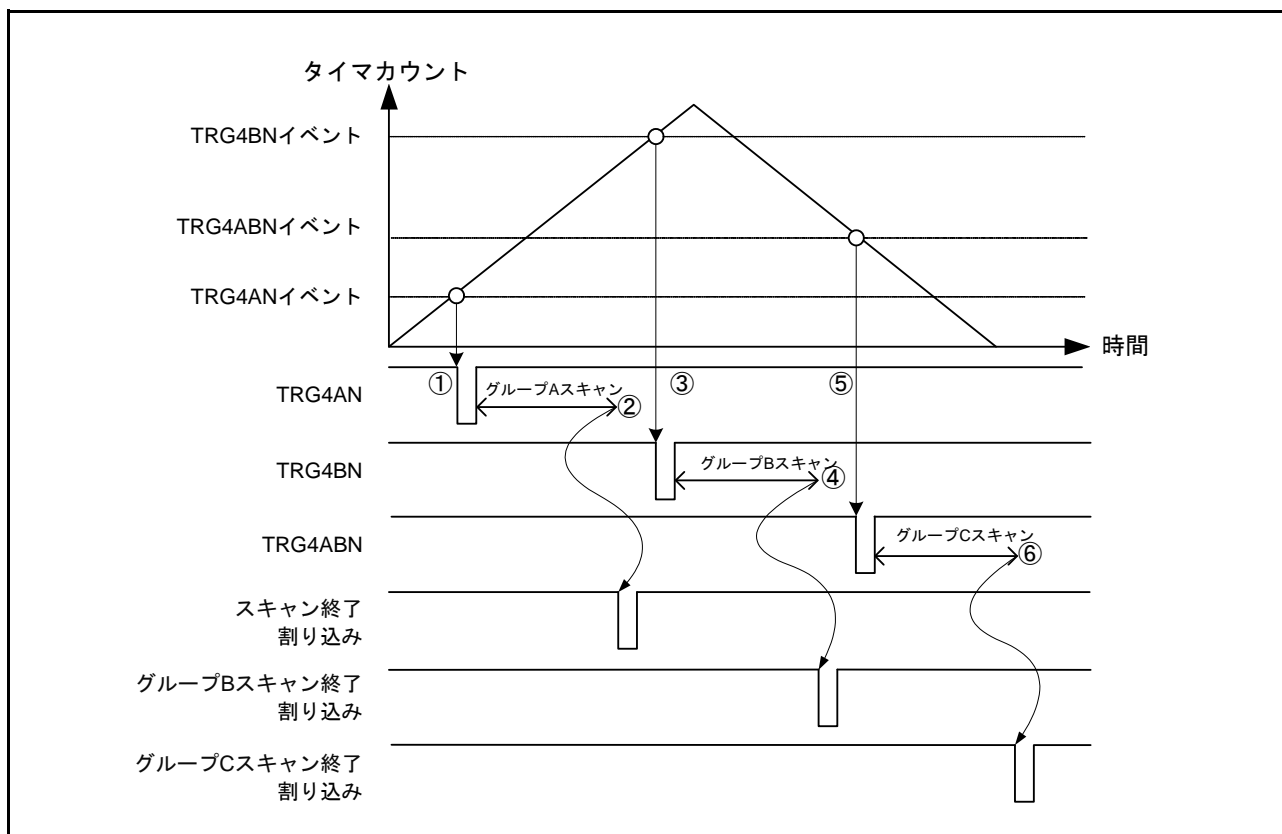


図 38.13 グループスキャンモードの動作例 (MTU からの同期トリガ発生による基本動作)

以下に温度センサ出力、内部基準電圧を使用する場合の動作例 (グループスキャンモードかつグループ優先動作を行わない) を示します。

グループ A にチャンネル 0 を、グループ B に温度センサ出力と内部基準電圧を、グループ C にチャンネル 1 を A/D 変換する設定です。

- (1) グループ A のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、グループ A のスキャンを開始します。
- (2) チャンネル 0 の A/D 変換を開始し、A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR0) へ格納されます。
- (3) ADCSR.ADIE ビットが“1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込みが発生します。
- (4) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。
- (5) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、グループ B のスキャンを開始します。
- (6) 温度センサ出力を A/D 変換する前に、ディスチャージ期間として 15 ADCLK が挿入されます。ディスチャージ期間終了後に A/D 変換を開始し、A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADTSR) へ格納されます。次に内部基準電圧を A/D 変換する前に、ディスチャージ期間として 15 ADCLK が挿入されます。ディスチャージ期間終了後に A/D 変換を開始し、A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADOCDR) へ格納されます。
- (7) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込みを出力します。

- (8) ADST ビットは、グループ B のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。
- (9) グループ C のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、グループ C のスキャンを開始します。
- (10) チャンネル 1 の A/D 変換を開始し、A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR1) へ格納されます。
- (11) ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込みを出力します。
- (12) ADST ビットは、グループ C のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

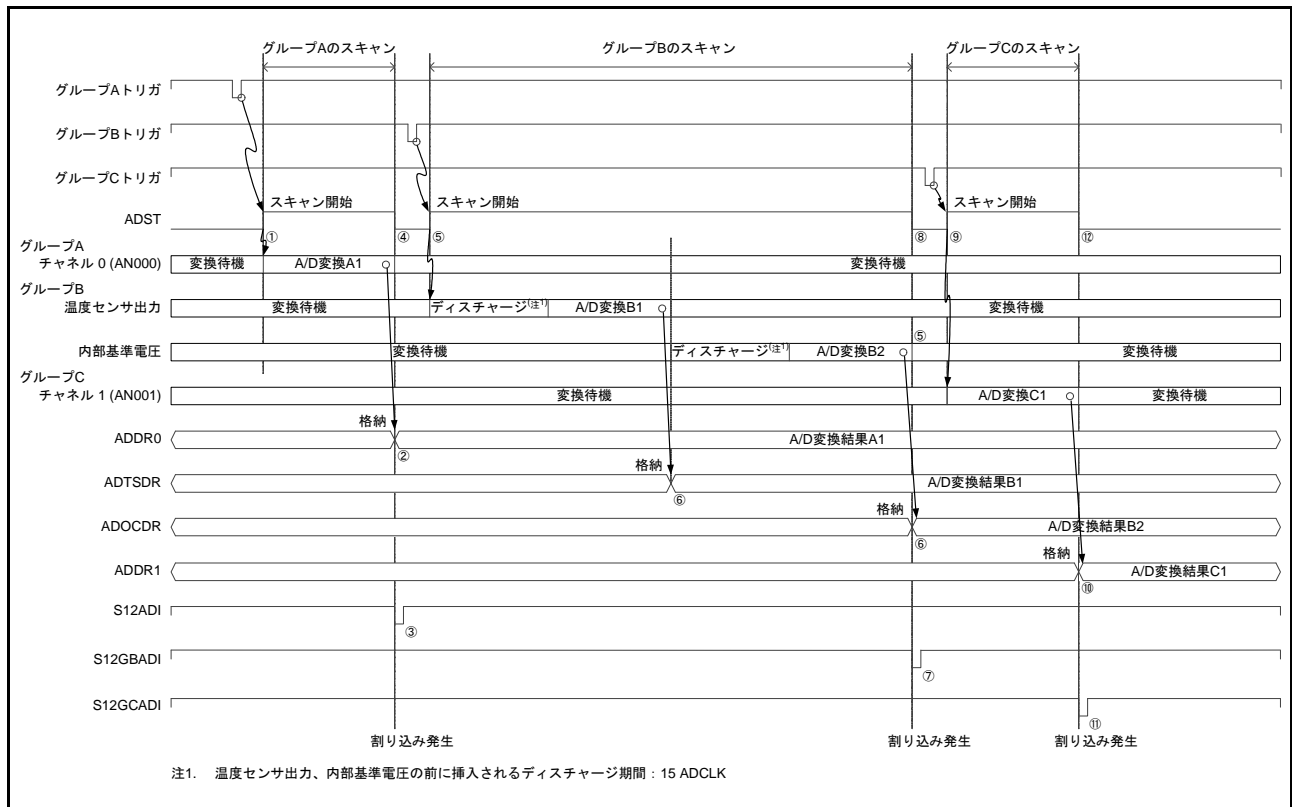


図 38.14 温度センサ出力、内部電圧を使用する場合の動作例 (グループスキャンモードかつグループ優先動作を行わない)

38.3.5.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガで開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B とグループ C は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A とグループ B とグループ C のスキャンが同時に起こらないように、グループ A とグループ B とグループ C のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガは使用しないでください。ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガに「TRG4AN または TRG4BN」、「TRG7AN または TRG7BN」、「TRGA0N または TRG0N」、「ELCTRG00N または ELCTRG01N/ELCTRG10N または ELCTRG11N/ELCTRG20N または ELCTRG21N」を選択した場合は、ダブルトリガ拡張モードで動作します。

スキャン対象は、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネル、ADANSB0、ADANSB1 レジスタでグループ B のチャンネル、ADANSC0、ADANSC1 レジスタでグループ C のチャンネルを選択します。グループスキャンモードでダブルトリガモードを選択した場合は、温度センサ A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は“0” (非選択) に設定します。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRGA0N トリガで変換開始し、グループ C は MTU からの TRGA1N トリガで変換開始する設定です。

- (1) MTU からの TRGA1N トリガでグループ C のスキャンを開始します。
- (2) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込みが発生します。
- (3) MTU からの TRGA0N トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込みが発生します。
- (5) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (6) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらずスキャン終了割り込み要求は発生しません。
- (7) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (8) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR レジスタに格納し、ADCSR.ADIE ビットが“1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (9) MTU からの 2 回目の TRGA0N トリガでグループ B の 2 回目のスキャンを開始します。
- (10) グループ B の 2 回目のスキャン終了時は、ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン割り込みが発生します。
- (11) MTU からの 2 回目の TRGA1N トリガでグループ C の 2 回目のスキャンを開始します。
- (12) グループ C の 2 回目のスキャン終了時は、ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン割り込みが発生します。

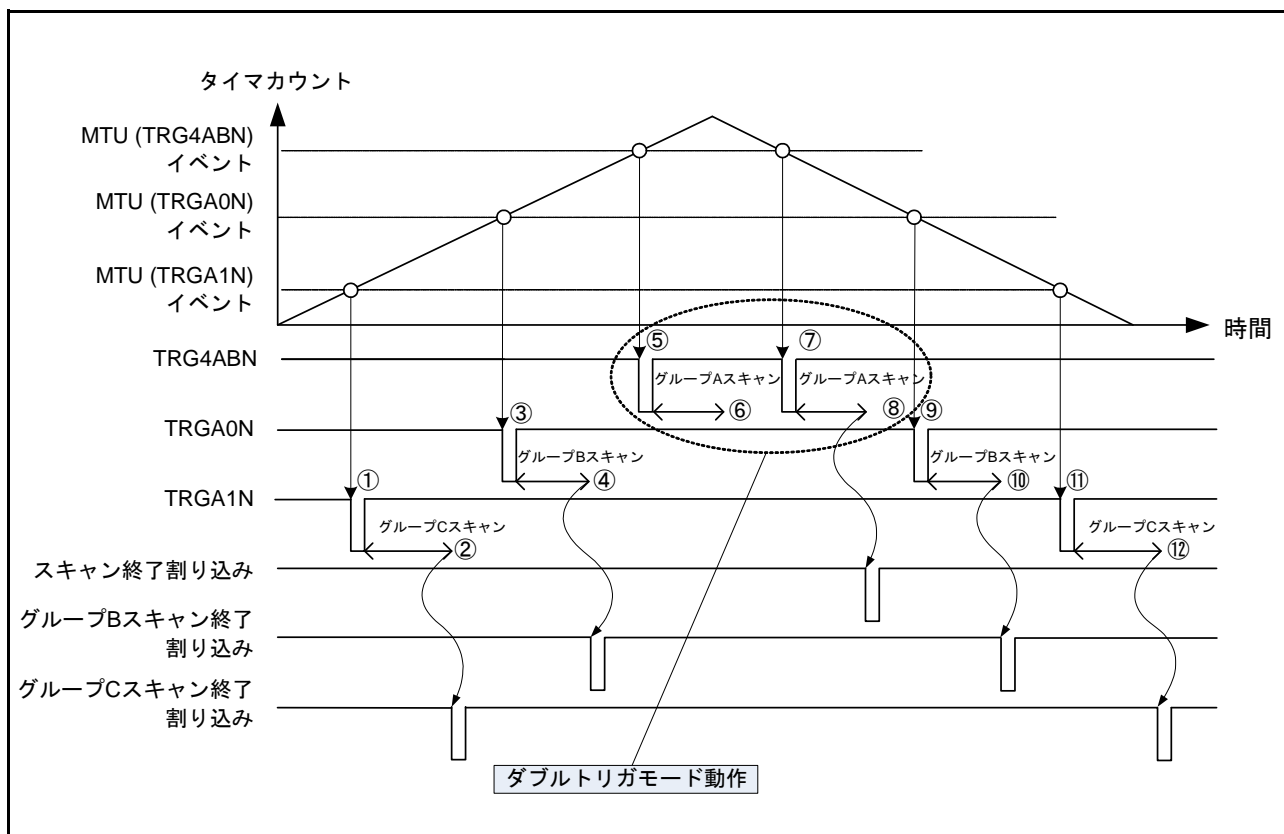


図 38.15 グループスキャンモードでダブルトリガモード選択時の動作例 (MTU からの同期トリガ発生による基本動作)

38.3.5.3 グループ優先制御動作

グループスキャンモードで ADGSPCR.PGS ビットを“1”にすると、グループ優先制御動作を行います。グループの優先度は、グループ A > グループ B > グループ C の順となります。グループスキャンモードで使用するグループの数は ADGCTRGR.GRCE ビットの設定により、2つ(グループ A、B)または3つ(グループ A、B、C)のいずれか一方を選択可能です。ADGSPCR.PGS ビットを“1”に設定する際は、**図 38.16**に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、スキャンの動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、グループ B、またはグループ C のスキャン動作中に他方のトリガ入力があっても無視されます。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループのスキャンを中断して、優先グループのスキャンを行います。

ADGSPCR.GBRSCN ビットが“0”のとき、優先グループのスキャン終了後、低優先グループは待機状態となります。またスキャン中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが“1”のとき、優先グループのスキャン終了後、自動的に低優先グループのスキャンを再実行します。また優先グループのスキャン中に発生した低優先グループのトリガ入力は有効となり、優先グループのスキャン終了後、自動的に低優先グループのスキャンを実行します。

ADGSPCR.GBRSCN ビットが“1”のときに ADGSPCR.LGRRS ビットが“0”のとき、低優先グループのスキャンは先頭から再実行します。また、ADGSPCR.LGRRS ビットが“1”のとき、低優先グループのスキャンは中断したチャンネルから再実行します。ただし自己診断機能を使用した場合は、自己診断後に中断したチャンネルから再実行します。

ADGSPCR.GBRSCN ビットの設定とスキャン動作中のトリガ入力時の動作を**表 38.12**に示します。

ADGSPCR.GBRP ビットに“1”を設定したとき、最も優先度の低いグループのスキャン動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードでは、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを、ADGCTRGR.TRSC[5:0] ビットでグループ A、B のトリガとは異なるグループ C の同期トリガを選択してください。

グループスキャンモードを 2 グループ (ADGCTRGR.GRCE ビットを“0”に設定) でかつ ADGSPCR.GBRP ビットに“1”を設定する場合、ADSTRGR.TRSB[5:0] ビットは“3Fh”を設定してください。

また、グループスキャンモードを 3 グループ (ADGCTRGR.GRCE ビットを“1”に設定) でかつ ADGSPCR.GBRP ビットに“1”を設定する場合は、ADGCTRGR.TRSC[5:0] ビットを“3Fh”に設定してください。

またスキャン対象は、ADANSA0、ADANSA1 レジスタ、ADEXICR.TSSA、OCSA ビットでグループ A のチャンネル、ADANSB0、ADANSB1 レジスタ、ADEXICR.TSSB、OCSB ビットでグループ B のチャンネル、ADANSC0、ADANSC1 レジスタ、ADGCEXCR.TSSC、OCSC ビットでグループ C のチャンネルを選択してください。

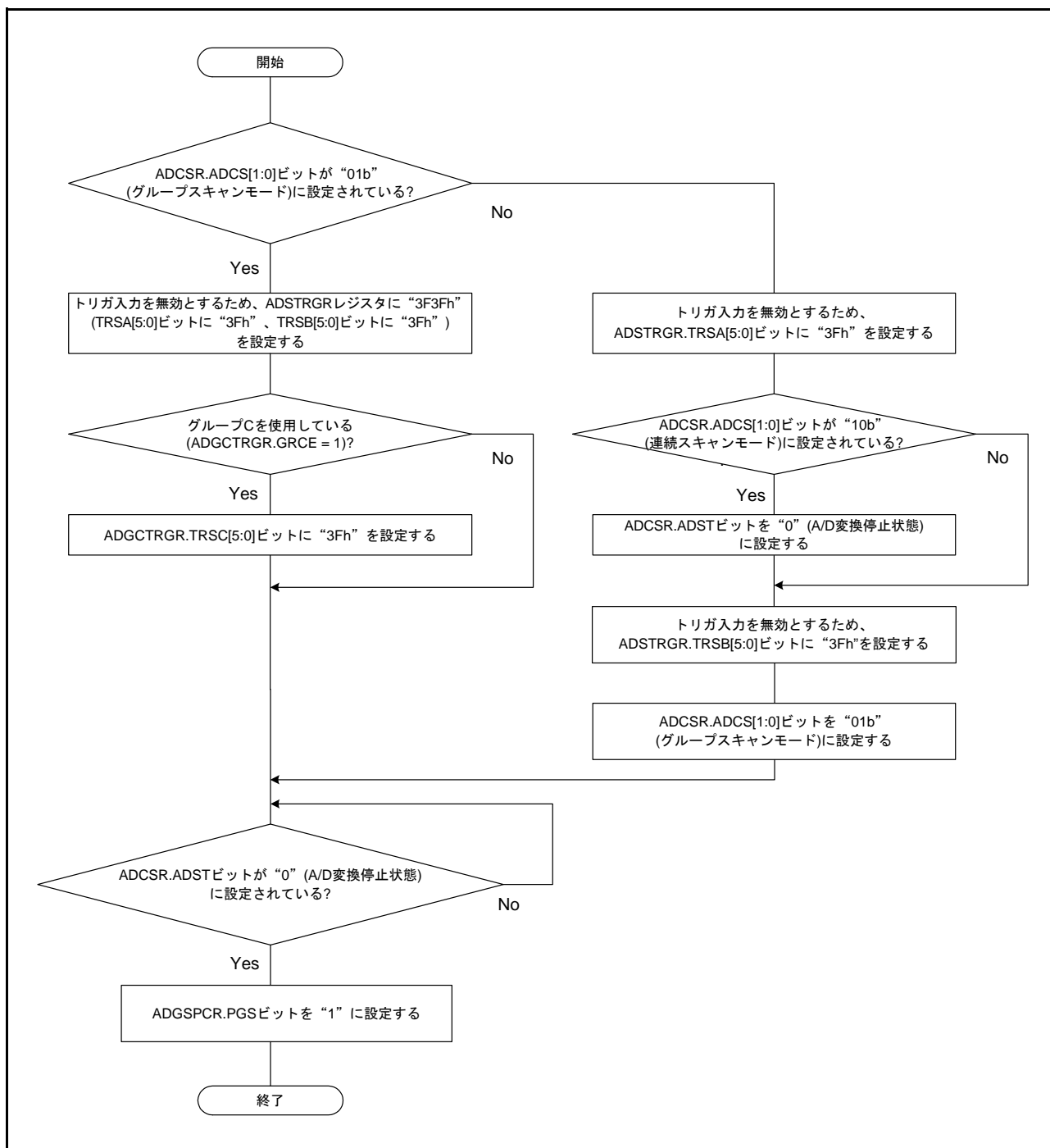


図 38.16 ADGSPCR.PGS ビット設定時のフローチャート

表38.12 ADGSPCR.GBRSCNビットの設定によるスキャン動作制御

スキャン動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループA のスキャン中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループBのスキャンを行います
	グループCトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループCのスキャンを行います
グループB のスキャン中	グループAトリガ入力	グループBのスキャンを中断し、グループAのスキャンを開始	<ul style="list-style-type: none"> グループBのスキャンを中断し、グループAのスキャン開始 グループAのスキャン終了後、グループBのスキャン動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効
	グループCトリガ入力	トリガ入力無効	グループBのスキャン終了後、グループCのスキャンを行います
グループC のスキャン中	グループAトリガ入力	グループCのスキャンを中断し、グループAのスキャンを開始	<ul style="list-style-type: none"> グループCのスキャンを中断し、グループAのスキャンを開始 グループAのスキャン終了後、グループCのスキャンを開始
	グループBトリガ入力	グループCのスキャンを中断し、グループBのスキャン動作を開始	<ul style="list-style-type: none"> グループCのスキャンを中断し、グループBのスキャン開始 グループBのスキャン終了後、グループCのスキャン開始
	グループCトリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合、下記の表を参考に実現したい動作モードを選択して、レジスタを設定してください。

表38.13 2グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	2グループ(グループA、B)のグループ優先動作 <ul style="list-style-type: none"> グループAのトリガが入力されたとき、グループBのスキャンは終了する(再実行しない)
1	0	0	2グループ(グループA、B)のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャンネルの先頭からスキャンを再開する
1	1	0	2グループ(グループA、B)のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からスキャンを再開する
x	0	1	2グループ(グループA、B)のグループ優先動作 <ul style="list-style-type: none"> グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルの先頭からシングルスキャンを再開する
1	1	1	2グループ(グループA、B)のグループ優先動作 <ul style="list-style-type: none"> グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からシングルスキャンを再開する

x = Don't care

注1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャンネルのA/D変換を開始します。

表 38.14 3グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	3グループ(グループA、B、C)のグループ優先動作 <ul style="list-style-type: none"> グループAのトリガが入力されたとき、グループBのスキャンは終了する(再実行しない) グループA、またはグループBのトリガが入力されたとき、グループCのスキャンは終了する(再実行しない)
0	x	1	3グループ(グループA、B、C)のグループ優先動作 <ul style="list-style-type: none"> グループAのトリガが入力されたとき、グループBのスキャンは終了する(再実行しない) グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャンネルの先頭からスキャンを再開する
1	0	0	3グループ(グループA、B、C)のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャンネルの先頭からスキャンを再開する グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャンネルの先頭からスキャンを再開する
1	1	0	3グループ(グループA、B、C)のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からスキャンを再開する グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からスキャンを再開する
1	0	1	3グループ(グループA、B、C)のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャンネルの先頭からスキャンを再開する グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャンネルの先頭からシングルスキャンを再開する
1	1	1	3グループ(グループA、B、C)のグループ優先動作 <ul style="list-style-type: none"> グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0、ADANSB1レジスタで指定したチャンネルのうち、中断したチャンネル(注1)から再開する グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0、ADANSC1レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からシングルスキャンを再開する

x = Don't care

注1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャンネルのA/D変換を開始します。

(1) 2 グループのグループ優先動作 (ADGSPCR.PGS = 1、ADGCTRGR.GRCE = 0 設定)

グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時) を動作例 1 ~ 5 に示します。

動作例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って A/D 変換を開始します。(図 38.15 のチャンネル変換順序設定: AN000 → AN001 → AN002 → AN003)
- (2) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。
- (4) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。
- (7) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- (9) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

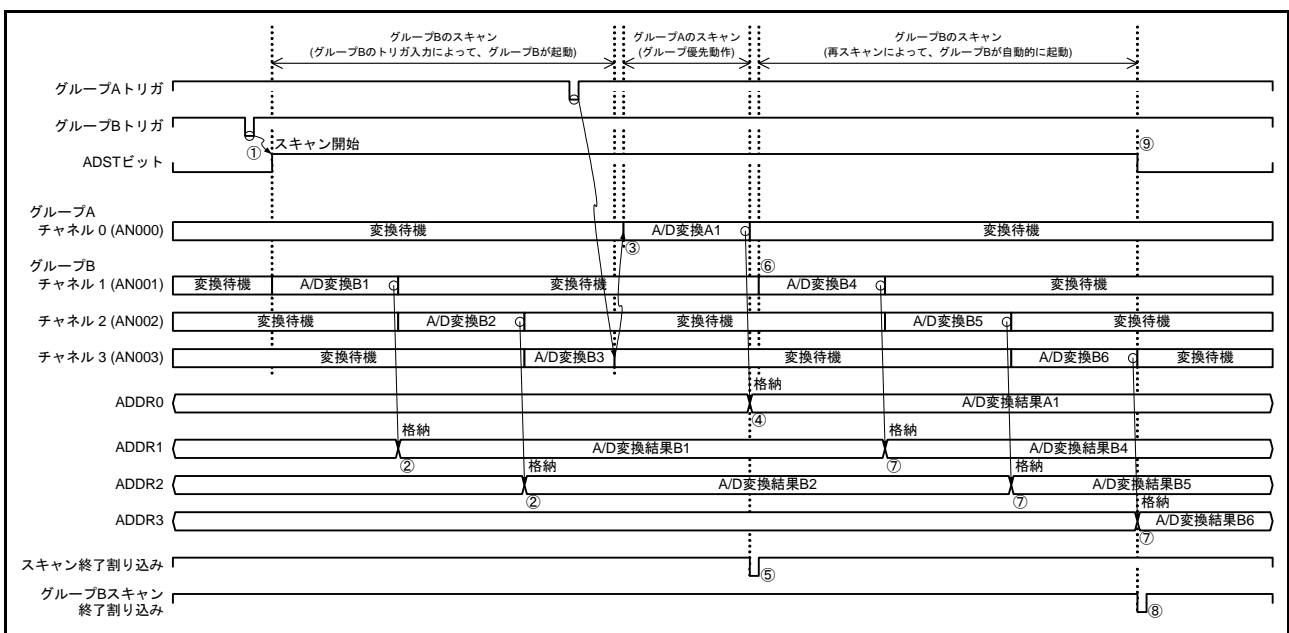


図 38.17 グループ優先動作の例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時)

動作例 2 「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 38.18 に示します。

再スキャン動作中であっても、グループ A のトリガが入力されれば、グループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。

ADCSR.ADST ビット、A/D 変換結果の A/D データレジスタ (ADDRy) への格納、割り込み要求は、例 1 と同じ動作になります。

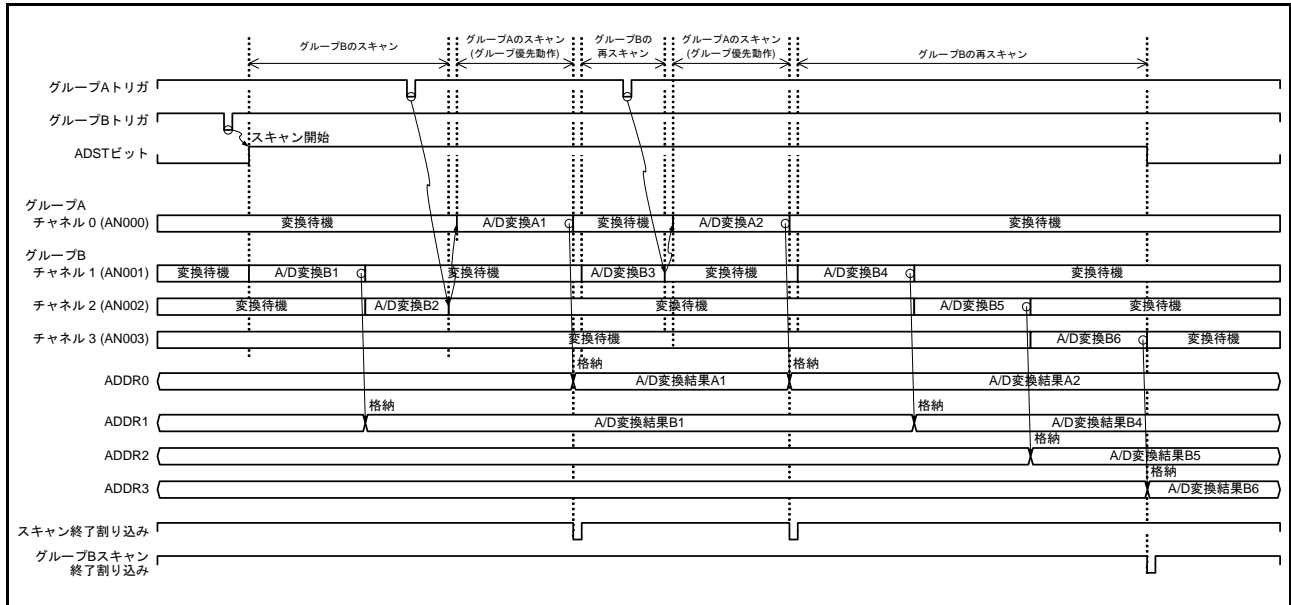


図 38.18 グループ優先動作の例 2 「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時)

動作例3 「グループA スキャン中のグループB トリガ入力」再スキャンあり

ADGSPSCR.GBRSCN ビットが“1”(グループ優先動作で中断されたグループの再スキャンをする)の設定で、グループAのスキャン動作中にグループBのトリガが入力された場合を説明します。

ADGSPSCR.GBRSCN ビットが“0”に設定されている場合は、グループAのスキャン動作中に入力されたグループBのトリガはすべて無効となります。

- (1) グループAのトリガ入力によって、ADCSR.ADST ビットが“1”(A/D変換開始)に設定されると、ADANSA0、ADANSA1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループAのスキャンを開始します。
- (2) グループAのスキャン中に、グループBのトリガ入力があると、グループBはスキャン実行可能状態になります。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- (4) グループAのスキャン終了後、ADCSR.ADIE ビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。
- (5) グループAのスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループBのスキャンを開始します。(グループBのスキャン中にグループAのトリガが入力されると、例1と同じくグループAのスキャンを開始し、グループAのスキャン終了後、グループBのスキャンを開始します。)
- (6) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- (7) グループBのスキャン終了後、ADCSR.GBADIE ビットが“1”(グループBのスキャン終了割り込みを許可)に設定されていると、グループBスキャン終了割り込み要求が発生します。
- (8) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

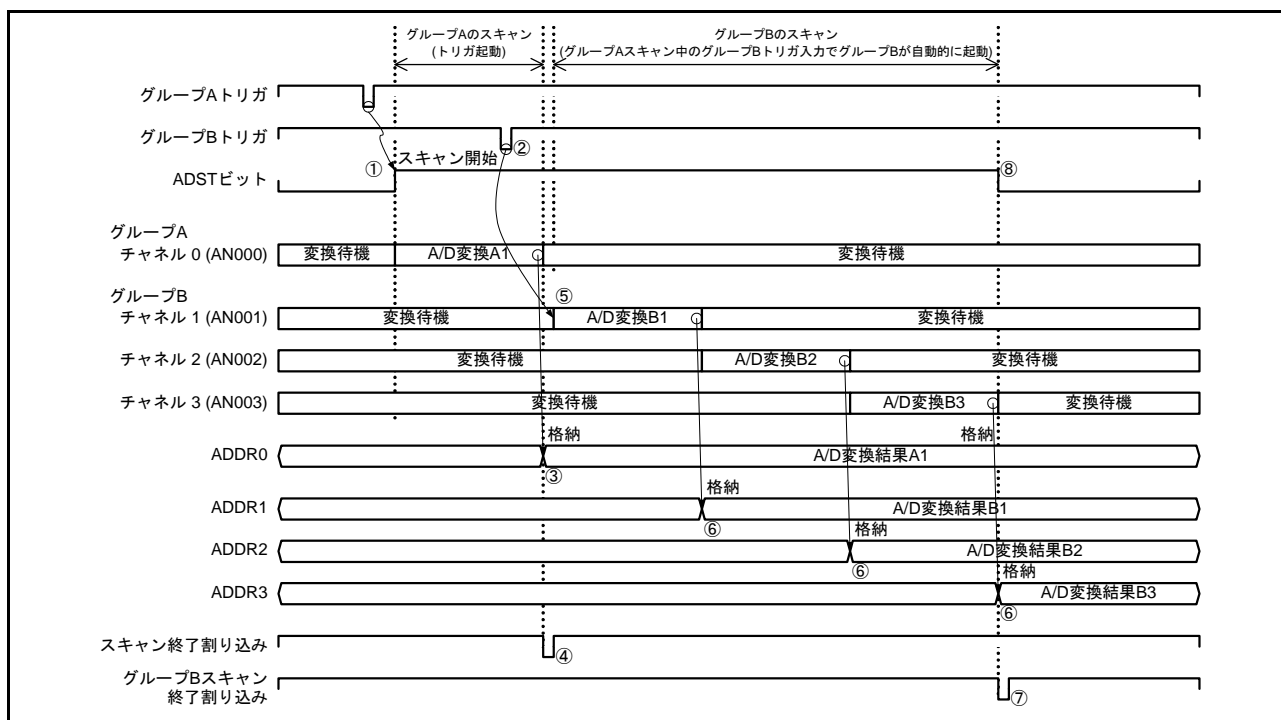


図 38.19 グループ優先動作の例3「グループA スキャン中のグループB トリガ入力」再スキャンあり (ADGSPSCR.GBRSCN = 1、ADGSPSCR.GBRP = 0、ADGSPSCR.LGRRS = 0 設定時)

グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。
- (2) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。
- (4) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ B は、以後のグループ B トリガ入力までスキャンを行いません。

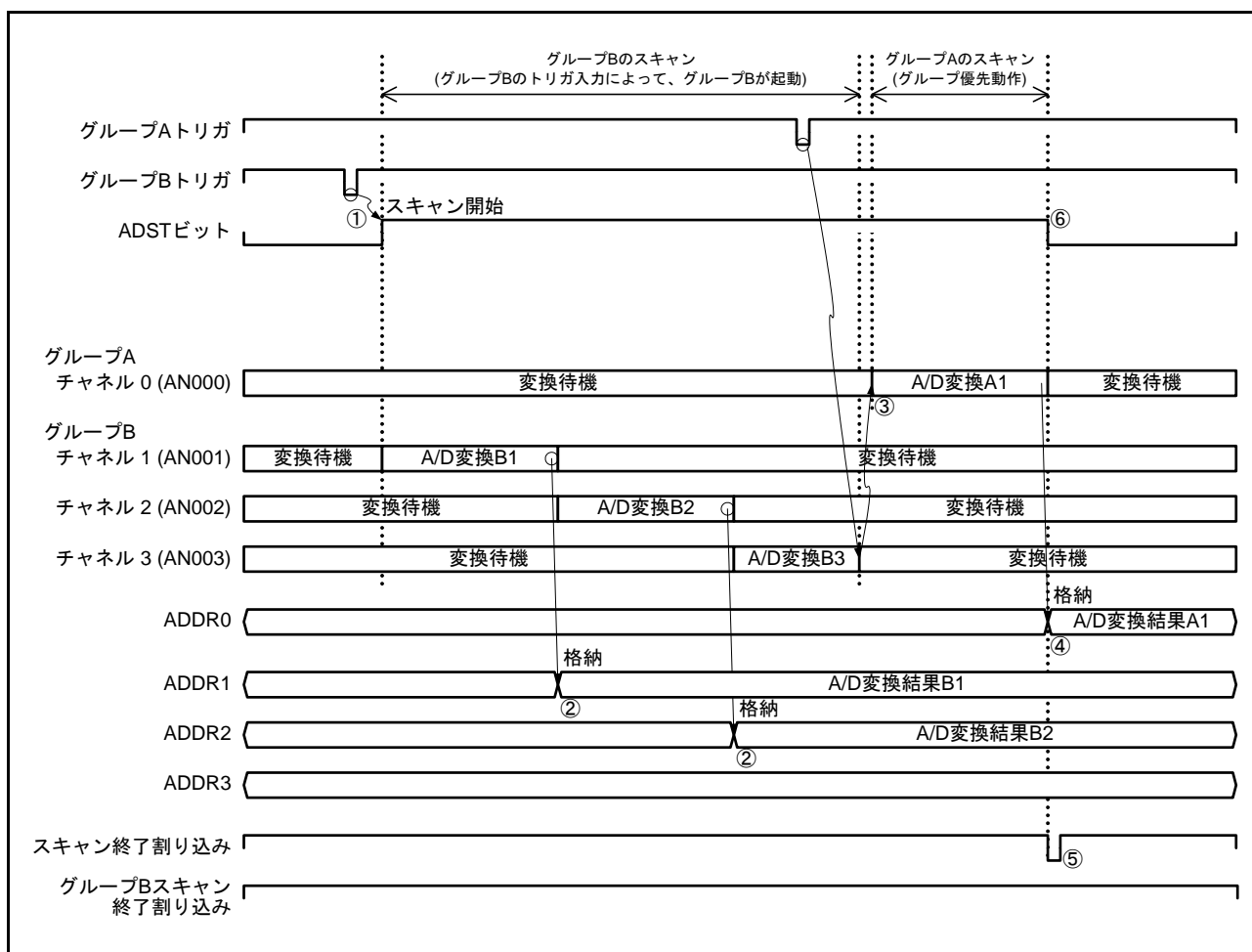


図 38.20 グループ優先動作の例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時)

グループ A にチャンネル 0 を、グループ B にチャンネル 1、2 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 0 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが“1”の設定では、グループ C がシングルスキャン連続動作を行い、グループ B はトリガ入力でのスキャン開始になります。

動作例 5 「グループ B のシングルスキャン連続動作」

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定され、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- (9) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。

グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが“1”に設定されている間は (6) ~ (9) の動作を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、「38.6.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

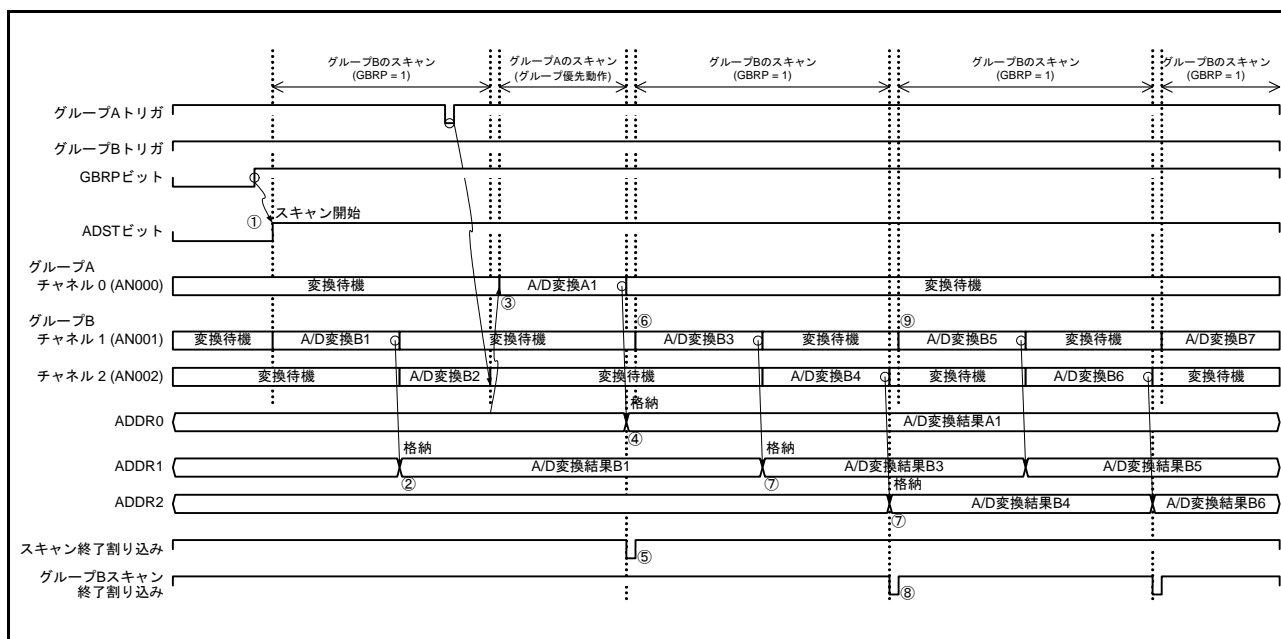


図 38.21 グループ優先動作の例 5「グループ B のシングルスキャン連続動作」
 (ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 1、ADGCTRGR.GRCE = 0 設定時)

(2) 3 グループのグループ優先動作 (ADGSPCR.PGS = 1、ADGCTRGR.GRCE = 1 設定)

グループ A にチャンネル 0 を、グループ B にチャンネル 1、2 を、グループ C にチャンネル 3、4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時) を動作例 1 ~ 例 5 に示します。優先グループとは、グループ C に対するグループ A とグループ B、グループ B に対するグループ A を意味します。

動作例 1 「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり

- (1) グループ C のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSC0、ADANSC1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ C のスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (6) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) ADCSR.ADIE ビットが“1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (8) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていると、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (9) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (10) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- (11) ADGSPCR.GBRSCN ビットが“1”に設定されていると、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0、ADANSC1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていると、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (12) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (13) ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込み要求が発生します。
- (14) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

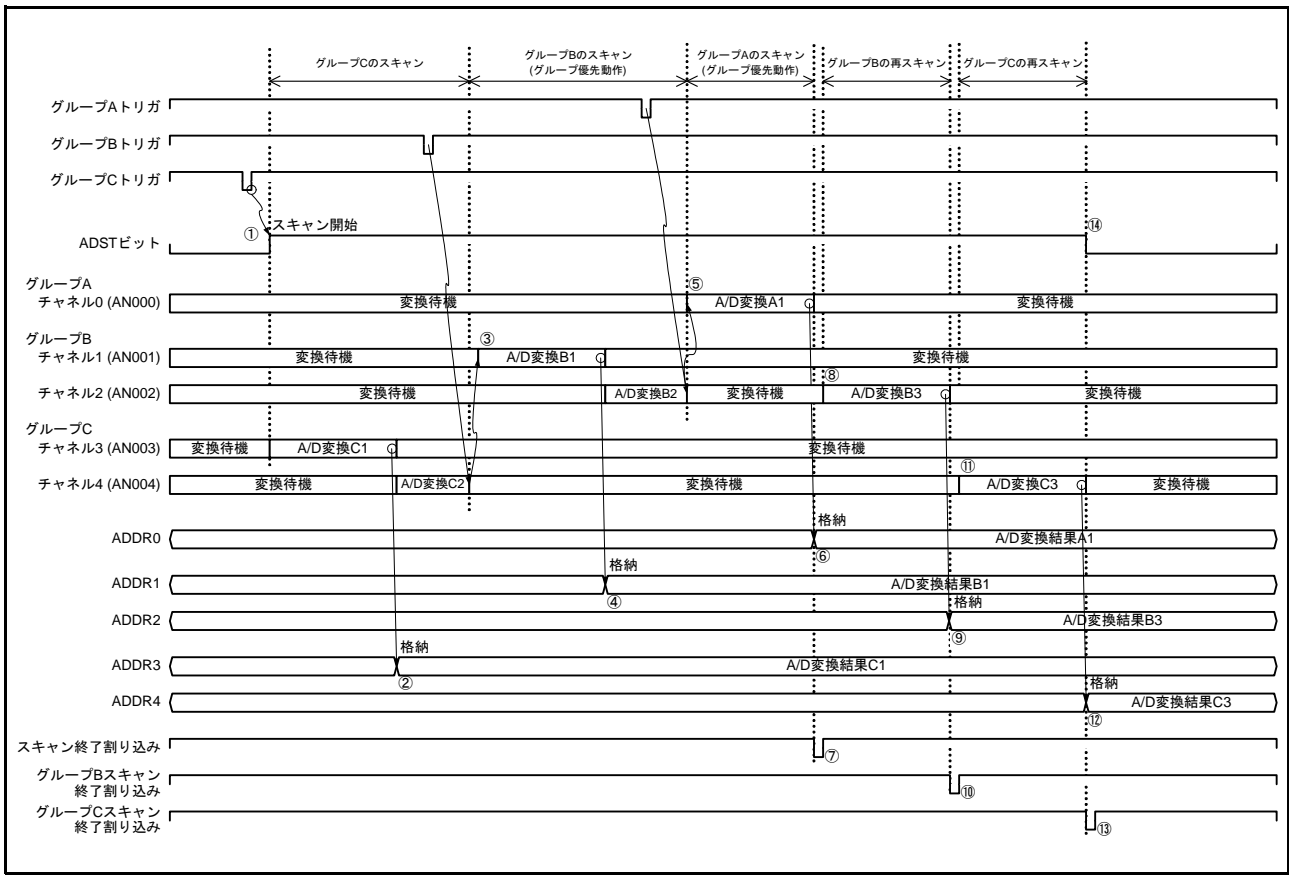


図 38.22 グループ優先動作の例 1 「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時)

動作例 2 「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 38.23 に示します。

低優先グループが再スキャン動作中であっても、優先グループ (グループ C に対する優先グループはグループ A とグループ B、グループ B に対する優先グループはグループ A) のトリガが入力されれば、優先グループのスキャンを開始し、優先グループのスキャン終了後、中断した低優先グループのスキャンを開始します。

ADCSR.ADST ビット、A/D 変換結果の A/D データレジスタ (ADDRy) への格納、割り込み要求は、例 1 と同じ動作になります。

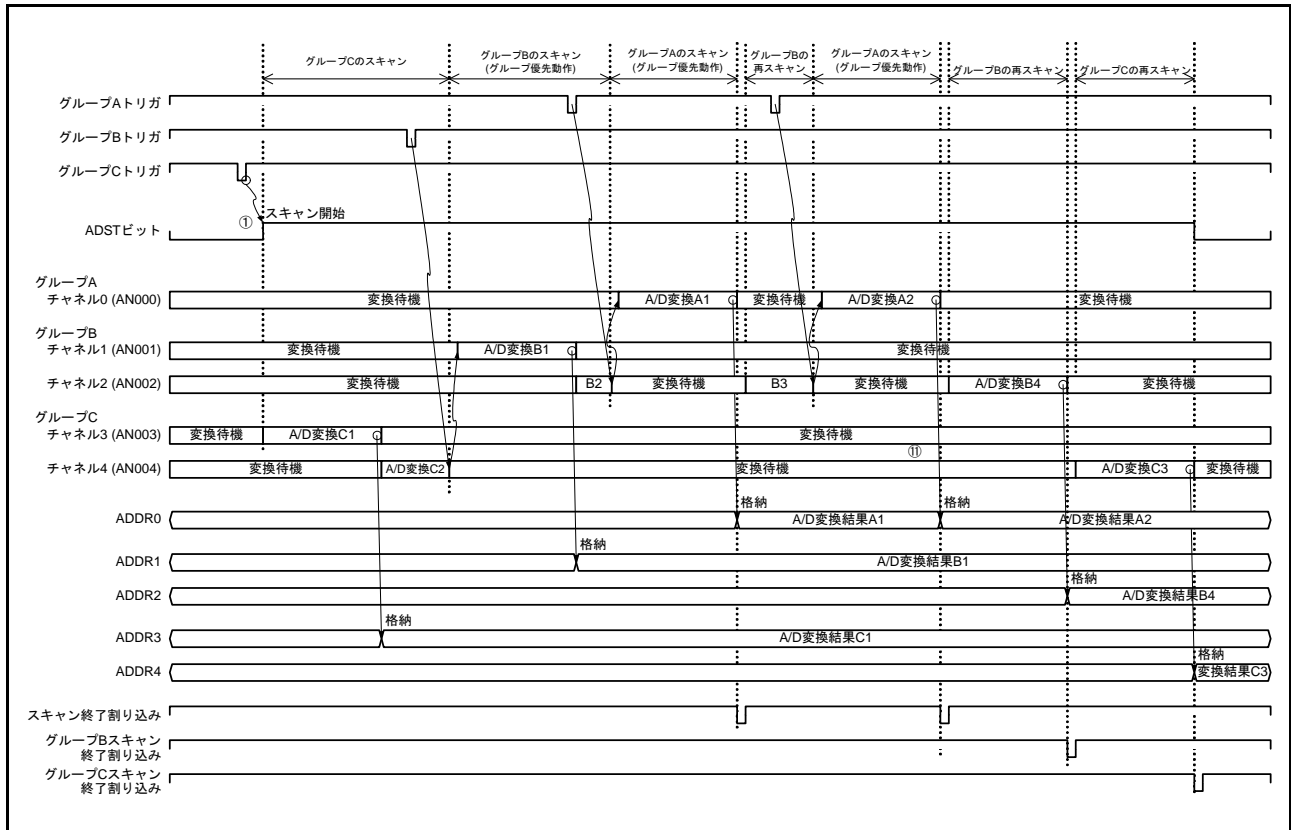


図 38.23 グループ優先動作の例 2 「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時)

動作例 3 「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが“1”(グループ優先動作で中断されたグループの再スキャンをする)の設定で、優先グループのスキャン動作中に低優先グループのトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが“0”に設定されている場合は、優先グループのスキャン動作中に入力された低優先グループのトリガはすべて無効となります。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1”(A/D 変換開始)に設定されると、ADANSA0、ADANSA1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。
- (2) グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。
- (3) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。
- (5) グループ A のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていると、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
(グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。)
- (6) グループ B のスキャン中に、グループ C のトリガ入力があると、グループ C はスキャン実行可能状態になります。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1”(グループ B のスキャン終了割り込みを許可)に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- (9) グループ B のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0、ADANSC1 レジスタで選択した、グループ C のチャンネル ANx の x が小さい番号順に、グループ C のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていると、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
(グループ C のスキャン中にグループ A またはグループ B のトリガが入力されると、例 1 と同じくグループ A またはグループ B のスキャンを開始し、スキャン終了後、グループ C のスキャンを開始します。)
- (10) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (11) グループ C のスキャン終了後、ADGCTRGR.GCADIE ビットが“1”(グループ C のスキャン終了割り込みを許可)に設定されていると、グループ C スキャン終了割り込み要求が発生します。
- (12) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

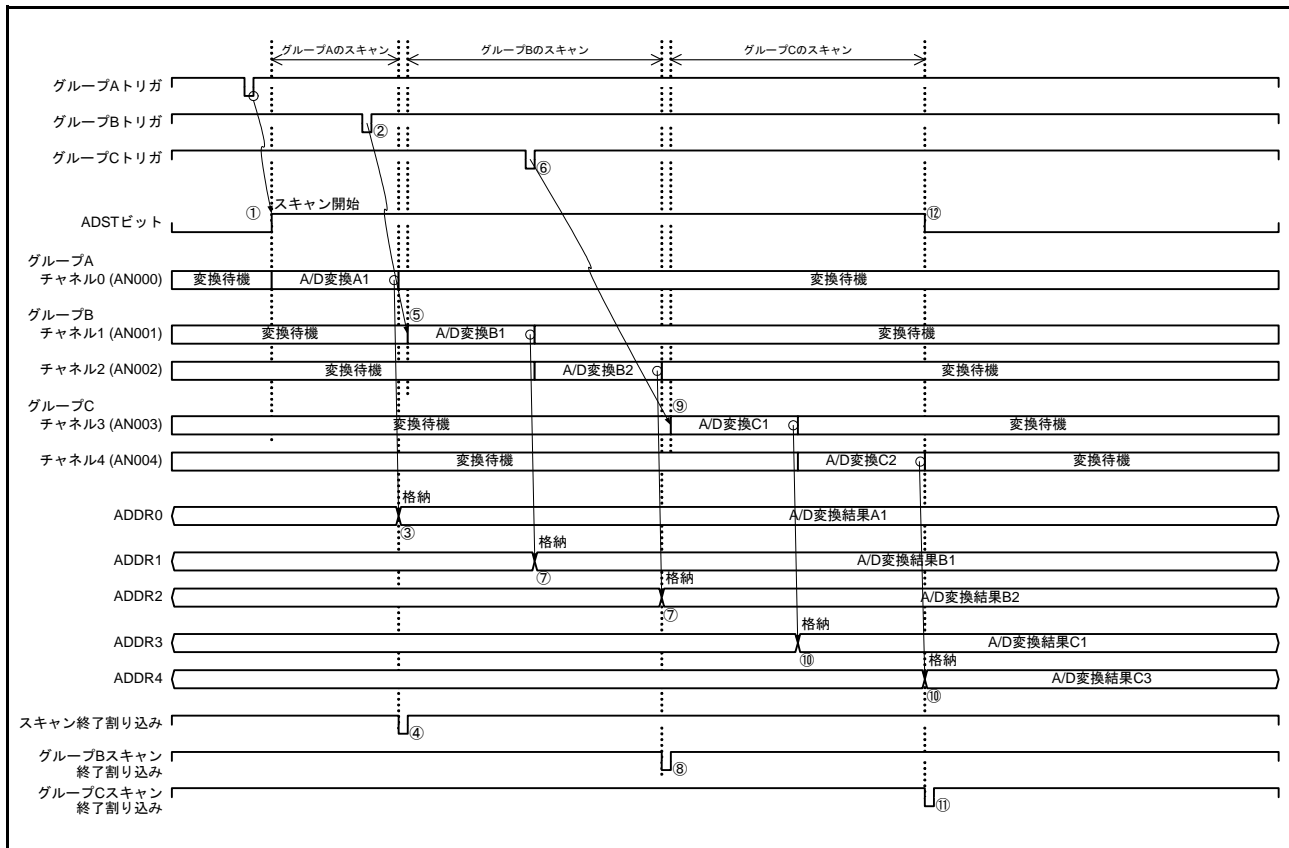


図 38.24 グループ優先動作の例 3「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1、ADGCTRGR.GRCE = 1 時の動作)

グループ A にチャンネル 0 を、グループ B にチャンネル 1、2 を、グループ C にチャンネル 3、4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4 「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし

- (1) グループ C のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSC0、ADANSC1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ C のスキャンを開始します。
- (2) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSB0、ADANSB1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャンネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

- (6) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”(スキャン終了割り込みを許可)に設定されていると、スキャン終了割り込み要求が発生します。
- (7) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12ビット A/D コンバータは待機状態になります。グループ C とグループ B は、以後のグループに対応したトリガ入力までスキャンを行いません。

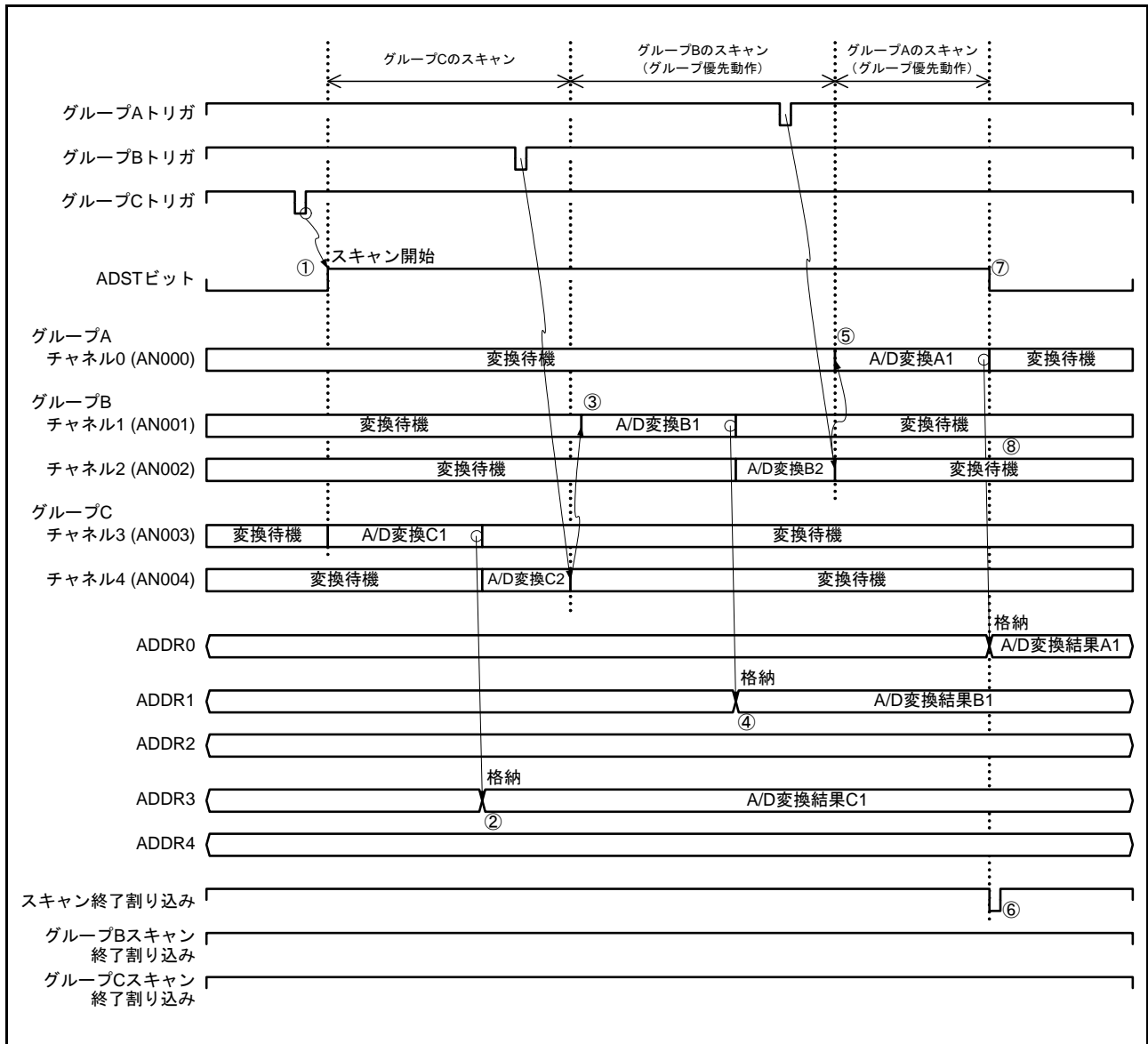


図 38.25 グループ優先動作の例 4「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし (ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、ADGSPCR.LGRRS = 1 設定時)

グループ A にチャンネル 0 を、グループ B にチャンネル 1 を、グループ C にチャンネル 2、3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 1 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが“0”の設定では、グループ B がシングルスキャン連続動作を行い、グループ C はトリガ入力が無効になります。

動作例 5 「グループ C のシングルスキャン連続動作」

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが “1” (A/D 変換開始) に設定され、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ C のスキャンを開始します。
- (2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ C のスキャンを中断し、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0、ADANSA1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿ってグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (5) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (6) ADCSR.ADIE ビットが “1” (スキャン終了割り込みを許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (7) ADGSPCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します。
- (8) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (9) ADCSR.GBADIE ビットが “1” (グループ B のスキャン終了割り込みを許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- (10) ADGSPCR.GBRSCN ビットが “1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが “1” に設定されていると、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します。
- (11) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (12) ADGCTRGR.GCADIE ビットが “1” (グループ C のスキャン終了割り込みを許可) に設定されていると、グループ C スキャン終了割り込み要求が発生します。
- (13) ADGSPCR.GBRP ビットが “1” (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを “1” に保持したまま、ADANSC0、ADANSC1 レジスタで選択したアナログチャネルを ADSCSn レジスタで設定した変換順序に沿って再度グループ C のスキャンを開始します。

グループ C をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。ADGSPCR.GBRP ビットが “1” に設定されている間は (13) → (11) → (12) → (13) の動作を繰り返します。ADGSPCR.GBRP ビットが “1” に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、「38.6.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

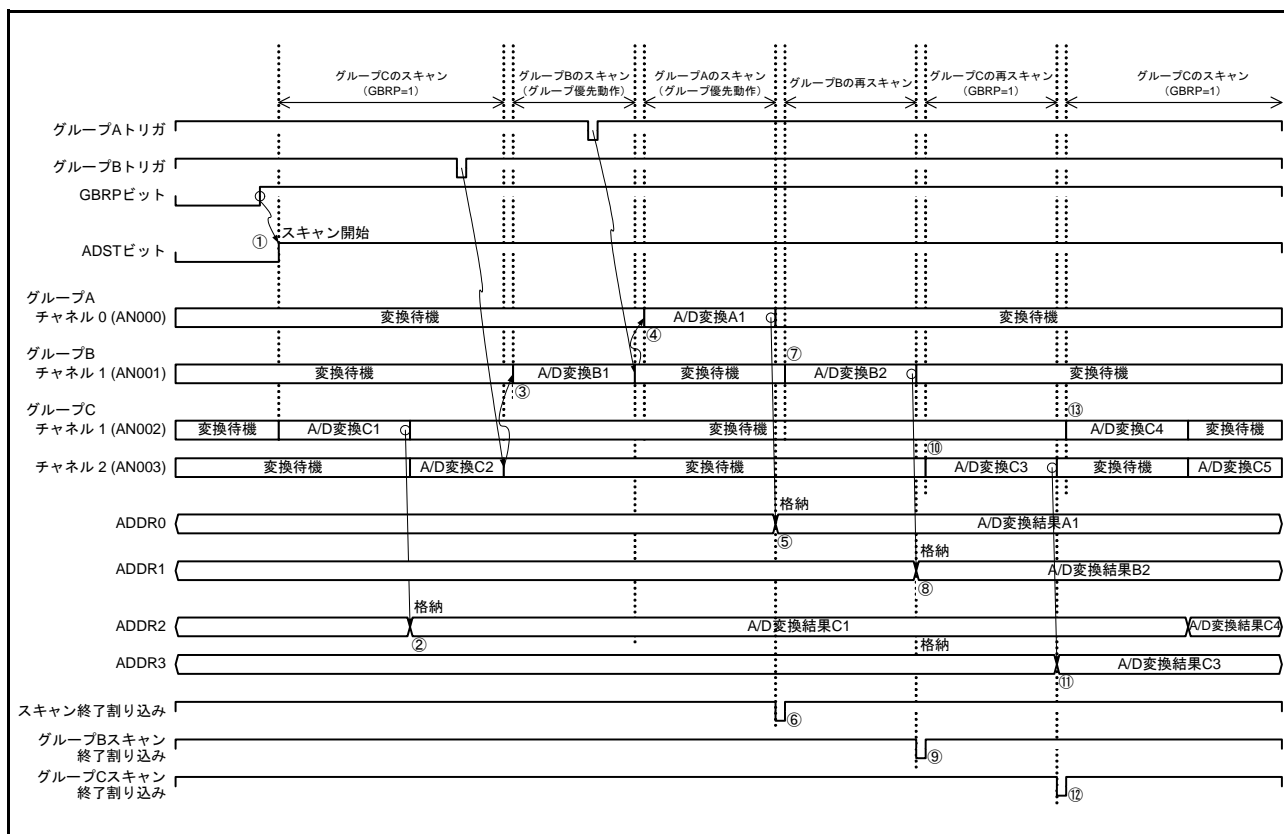


図 38.26 グループ優先動作の例 5「グループ C のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 1 設定時)

38.3.6 コンペア機能 (ウィンドウ A、ウィンドウ B)

38.3.6.1 コンペア機能ウィンドウ A/B

コンペア機能は、レジスタ (ADCMPDR0, ADCMPDR1, ADWINLLB, ADWINULB) に設定した基準値と A/D 変換結果を比較する機能です。コンペア機能使用時は、自己診断機能およびダブルトリガモードは使用できません。また、2 値と比較するウィンドウコンペア機能を有します (ADCMPCR.WCMPE = 1 設定時)。ウィンドウコンペア機能は、ウィンドウ A とウィンドウ B の 2 組の電圧レベル範囲を設定することが可能です。

連続スキャンモードにおいて、ウィンドウコンペア機能有効 (ADCMPCR.WCMPE = 1) とした場合の動作例を以下に示します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、選択されたチャンネル、温度センサ出力、内部基準電圧の順に A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y, ADTSDR, ADOCDR) に格納されます。ADCMPCR.CMPAE ビット = 1 のとき、ADCMPANSR_y レジスタ、ADCMPANSER レジスタでウィンドウ A 対象に設定されていると、ADCMPDR0、ADCMPDR1 レジスタ設定値と比較されます。ADCMPCR.CMPBE ビット = 1 のとき、ADCMPBNSR レジスタで、ウィンドウ B 対象に設定されていると、ADWINULB/ADWINLLB レジスタ設定値と比較されます。
- (3) 比較の結果、ウィンドウ A は、ADCMPPLR0、ADCMPPLR1、ADCMPPLER レジスタで設定した条件と一致したときコンペアウィンドウ A のフラグ (ADCMPSR0.CMPSTCHA0n, ADCMPSR1.CMPSTCHA1n, ADCMPSER.CMPFTS, ADCMPSER.CMPFOC) が“1”になります。このとき、ADCMPCR.CMPAIE ビットが“1”に設定されていると、S12CMPAI 割り込み要求が発生します。同様に、ウィンドウ B は、ADCMPBNSR.CMPPLB で設定した条件と一致したとき、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が“1”になります。このとき、ADCMPCR.CMPBIE ビットが“1”に設定されていると、S12CMPBI 割り込み要求が発生します。
- (4) 選択されたすべての A/D 変換と比較が終了すると、再びスキャンを行います。
- (5) ADCSR.ADST ビットを“0” (A/D 変換停止) に設定し、コンペアフラグが“1”になっているチャンネルに対する処理を実行します。
- (6) 処理終了後、すべてのコンペアフラグをクリアしてください。再度コンペアを実行する場合には、再度 A/D 変換を開始してください。

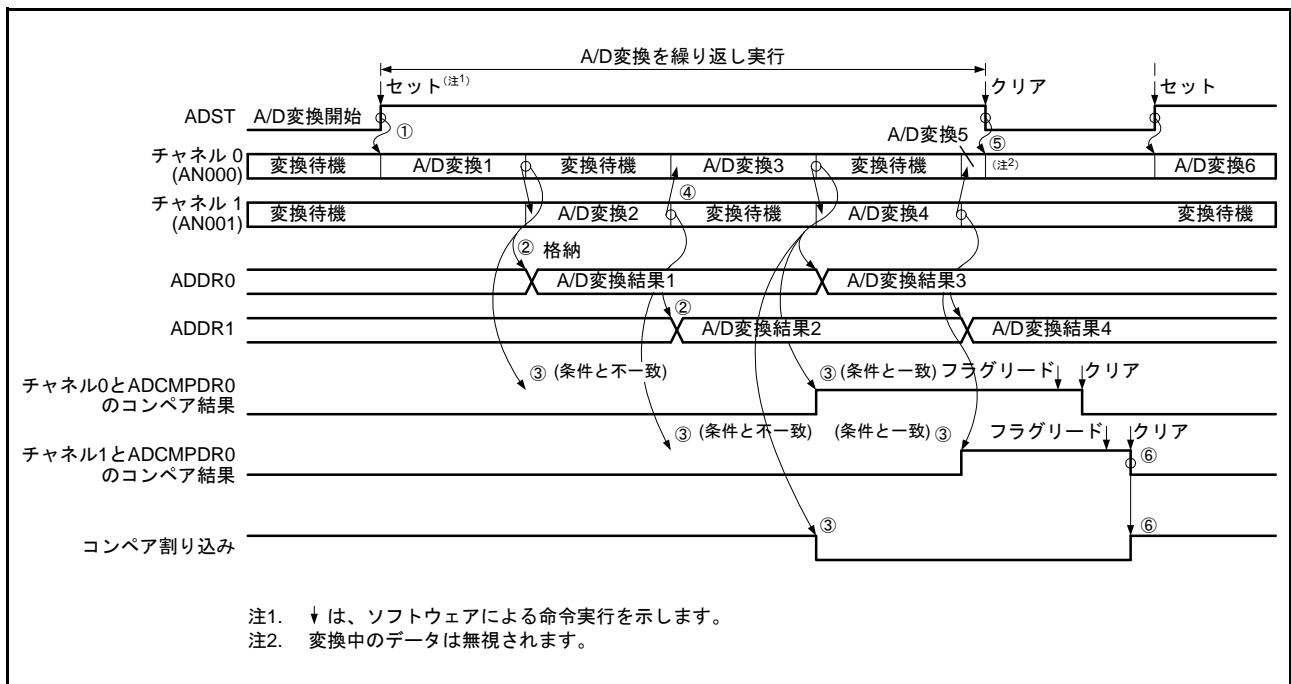


図 38.27 コンペア機能の動作例 (AN000、AN001 コンペア対象)

38.3.6.2 コンペア機能制約

コンペア機能には、以下の制約条件があります。

- 自己診断機能およびダブルトリガモードの使用は禁止です。
(ADRD、ADDBLDR、ADDBLDRB はコンペア機能対象外です。)
- マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
- ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
- ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
- ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
- High 側基準値 \geq Low 側基準値となるように設定してください。

38.3.7 アナログ入力のサンプリング時間とスキャン変換時間

図 38.28 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 38.29 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS})(注 1)、温度センサ出力と内部基準電圧を A/D 変換するときのオートディスタージ処理時間 (t_{ADIS})、自己診断変換時間 (t_{DIAG})(注 2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、24 クロック (ADCLK) です。スキャン変換時間を表 38.15 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n)(\text{注 3}) + t_{ED}$$

$$t_{SCAN} (\text{温度センサ出力、内部基準電圧変換時}) = t_D + (t_{ADIS} \times m) + (t_{CONV} \times m) + t_{ED} (\text{注 4、注 5、注 6})$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの 2 サイクル目以降は、($t_{DIS} \times n$) + t_{DIAG} + t_{DSD} + ($t_{CONV} \times n$)(注 3)

となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ です。温度センサ出力 / 内部基準電圧を A/D 変換時は、“0Fh” (15 ADCLK) に固定されます。

注 2. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$ です。

注 3. 選択チャンネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ ですが、チャンネルごとに異なる場合は、各チャンネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和となります。

注 4. 温度センサ出力と内部基準電圧の A/D 変換を両方とも実施する場合は $m = 2$ 、どちらか一方だけ実施する場合は $m = 1$ 。

注 5. 温度センサ出力または内部基準電圧の A/D 変換する場合、自己診断とアナログチャンネルの変換は選択できないため、 $t_{DIAG} = 0$ です。

注 6. グループスキャン時に温度センサ出力、内部基準電圧と別グループにて自己診断、アナログチャンネルの変換は実施可能です。

表 38.15 スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)

項目		記号	種別/条件			単位
			同期トリガ(注3)	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間(注1、注2)	グループ優先制御動作によるグループのA/D変換	低優先グループ中断あり(優先グループのA/D変換要因によって低優先グループB停止させた後、優先グループを起動)	2 PCLKB + 6 ADCLK (5 PCLKB + 3 ADCLK) (注4)			サイクル
			2 PCLKB + 4 ADCLK			
	自己診断有効時のA/D変換	自己診断変換開始時	2 PCLKB + 6 ADCLK			
	上記以外		2 PCLKB + 4 ADCLK			
断線検出アシスト処理時間		t_{DIS}	ADDISCR.ADNDIS[3:0]設定値(初期値00h) × ADCLK(注5)			
オートディスチャージ処理時間(温度センサ出力と内部基準電圧変換時に必要な時間)		t_{ADIS}	15 ADCLK			
自己診断変換処理時間(注1)	サンプリング時間	t_{DIAG}	t_{SPL}	ADSSTRO設定値(初期値1Bh) × ADCLK		
	逐次変換時間		t_{SAM}	24 ADCLK		
	自己診断変換終了後、通常のA/D変換開始時		t_{DED}	2 ADCLK		
	連続スキャン時の最終チャンネル変換終了後、自己診断変換開始時		t_{DED}	2 ADCLK		
A/D変換処理時間(注1)	サンプリング時間	t_{CONV}	t_{SPL}	ADSSTRn (n = 0 ~ 15, L, T, O) 設定値(初期値1Bh) × ADCLK		
	逐次変換時間		t_{SAM}	24 ADCLK		
スキャン終了時間(注1)		t_{ED}	1 PCLKB + 3 ADCLK (2 PCLKB + 2 ADCLK)(注4)			

- 注1. t_D 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図38.28、図38.29を参照してください。
- 注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
- 注3. タイマ出力からトリガ入力までの経路で消費する時間は含まれていません。
- 注4. ADCLKがPCLKBより高速な場合(PCLKB : ADCLK周波数比 = 1 : 2の設定)の最大時間。
- 注5. 温度センサ出力/内部基準電圧をA/D変換時は、“0Fh”(15 ADCLK)に固定されます。

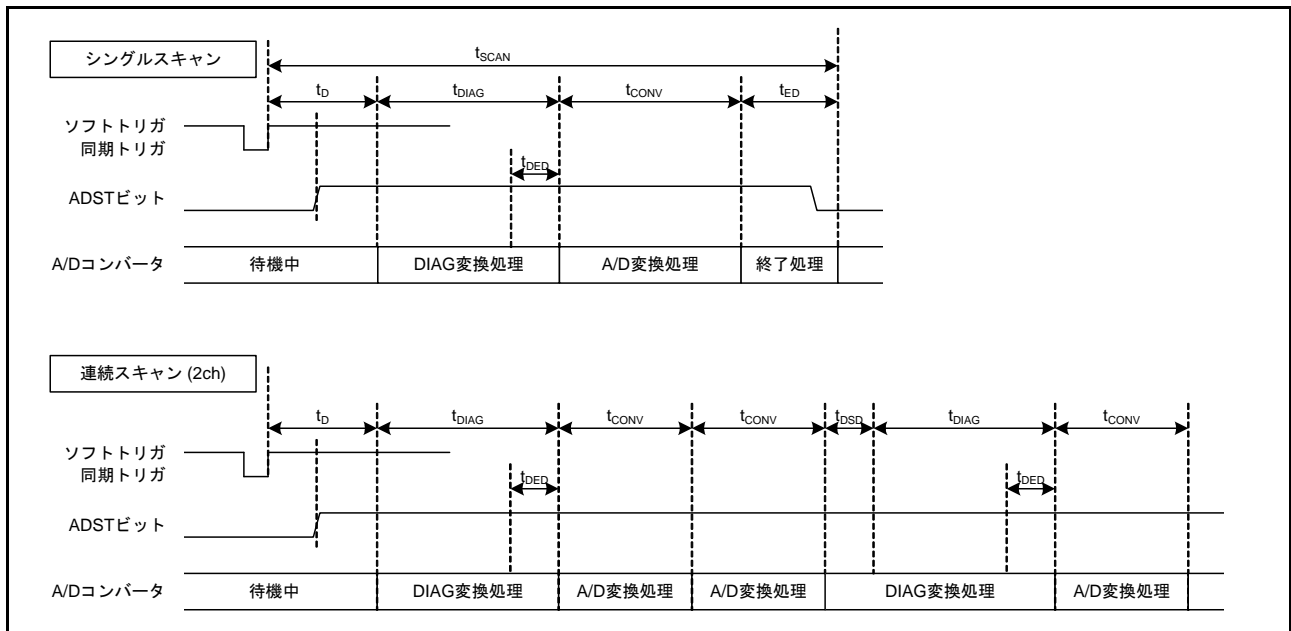


図 38.28 スキャン変換のタイミング(ソフトウェア起動、同期トリガ起動の場合)

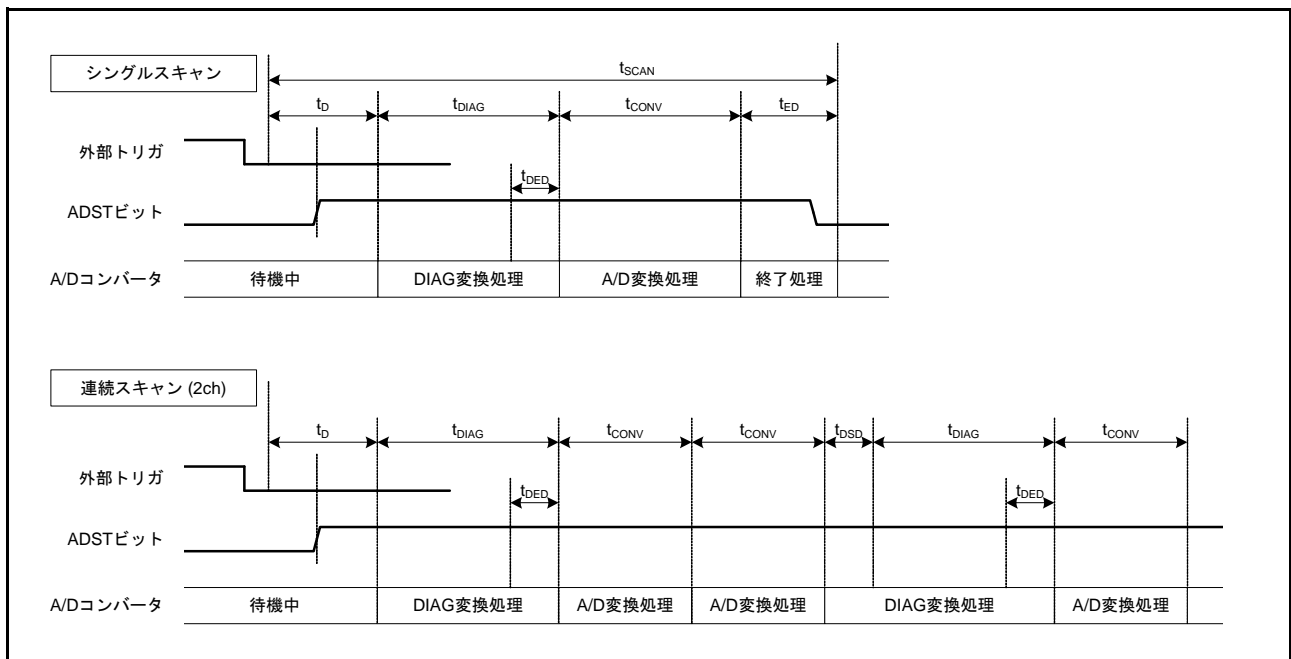


図 38.29 スキャン変換のタイミング (非同期トリガ起動の場合)

38.3.7.1 グループ優先動作でのスキャン中断 / 開始タイミング

グループ優先動作では、スキャンを中断 / 開始する下記のタイミングがあります。

1. 低優先グループのスキャンを中断し優先グループのスキャンを開始するタイミング
2. 中断した低優先グループのスキャンを再開するタイミングと、高優先グループのスキャン中に受け付けた低優先グループのトリガで、高優先グループのスキャン終了後に低優先グループのスキャンを開始するタイミング
3. 低優先グループがシングルスキャンを連続で行うタイミング

それぞれのタイミングを図 38.30 に示します。

グループ A とグループ C またはグループ B とグループ C によるスキャン中断 / 開始のタイミングは、図 38.30 に示すグループ A とグループ B によるスキャン中断 / 開始のタイミングと同じになります。シングルスキャンの連続は、グループ B とグループ C 共に同じタイミングになります。

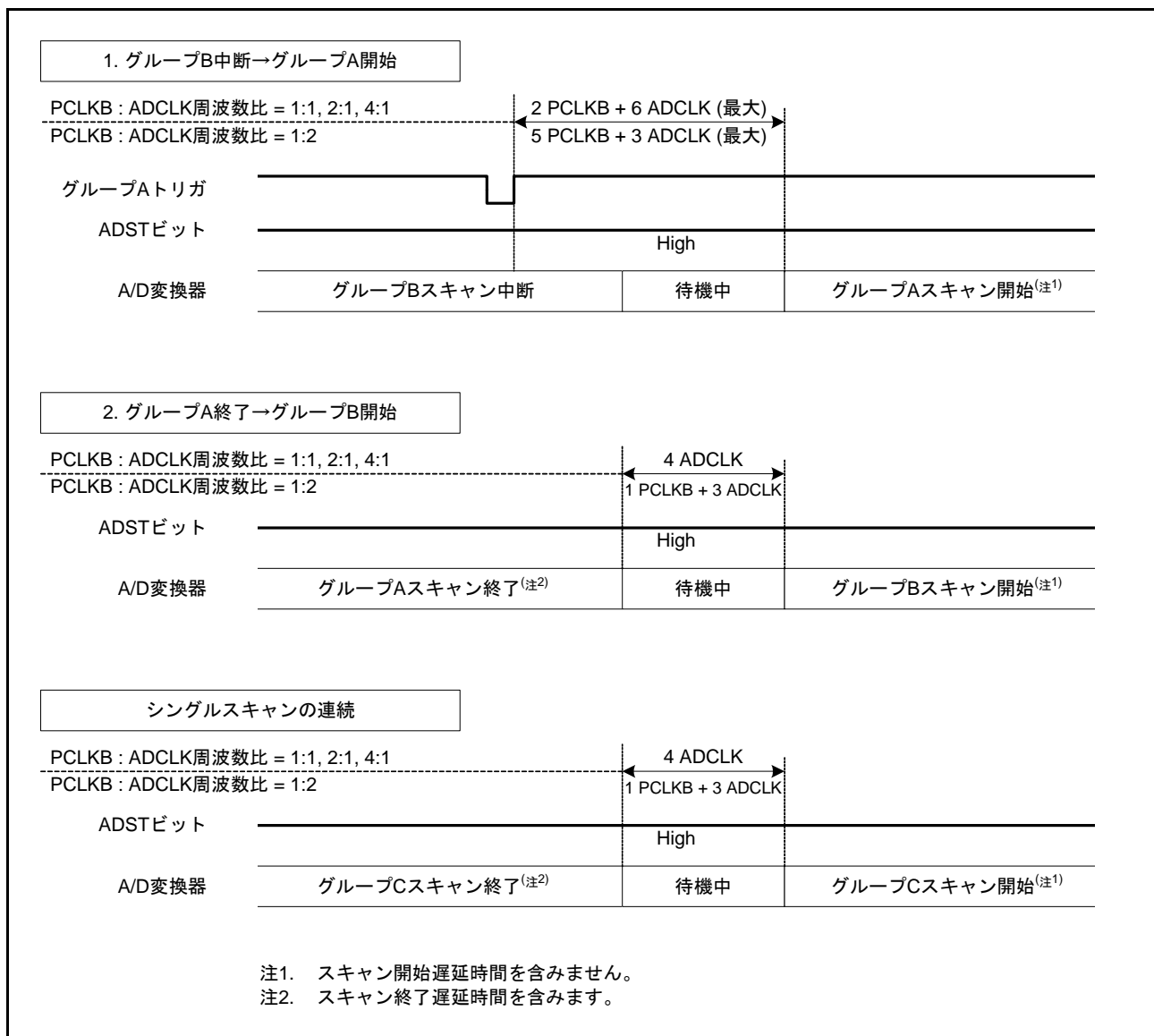


図 38.30 グループ優先でのスキャン停止 / 起動タイミング

38.3.8 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC および DMAC によって A/D データレジスタ (ADDRy, ADRD, ADTSDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB) を読み出す際、自動的に ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタを“0000h”にクリアできます。

この機能を使うことにより、ADDRy、ADRD、ADTSDR、ADOCDR、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効 / 有効時の例を示します。

ADCER.ACE ビットが“0”(自動クリア禁止)の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1”(自動クリア許可)の場合には、ADDRy = 0111h を CPU、DTC および DMAC により読み出す際、ADDRy レジスタは自動的に“0000h”にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

38.3.9 A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャネルを 2～4、16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャネルを 2 回、または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換 (S12AD2 のみ)、内部基準電圧 A/D 変換選択時 (S12AD2 のみ) に使用できます。

38.3.10 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 38.31 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 38.32 にプリチャージを選択した場合の断線検出例を、図 38.33 にディスチャージを選択した場合の断線検出例を示します。

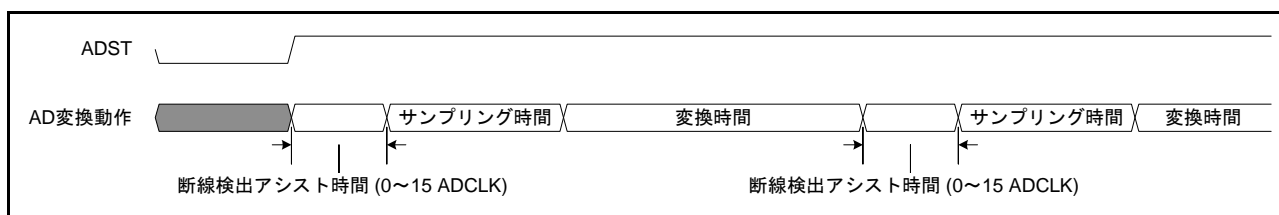


図 38.31 断線検出アシスト機能を使用した場合の A/D 変換動作図

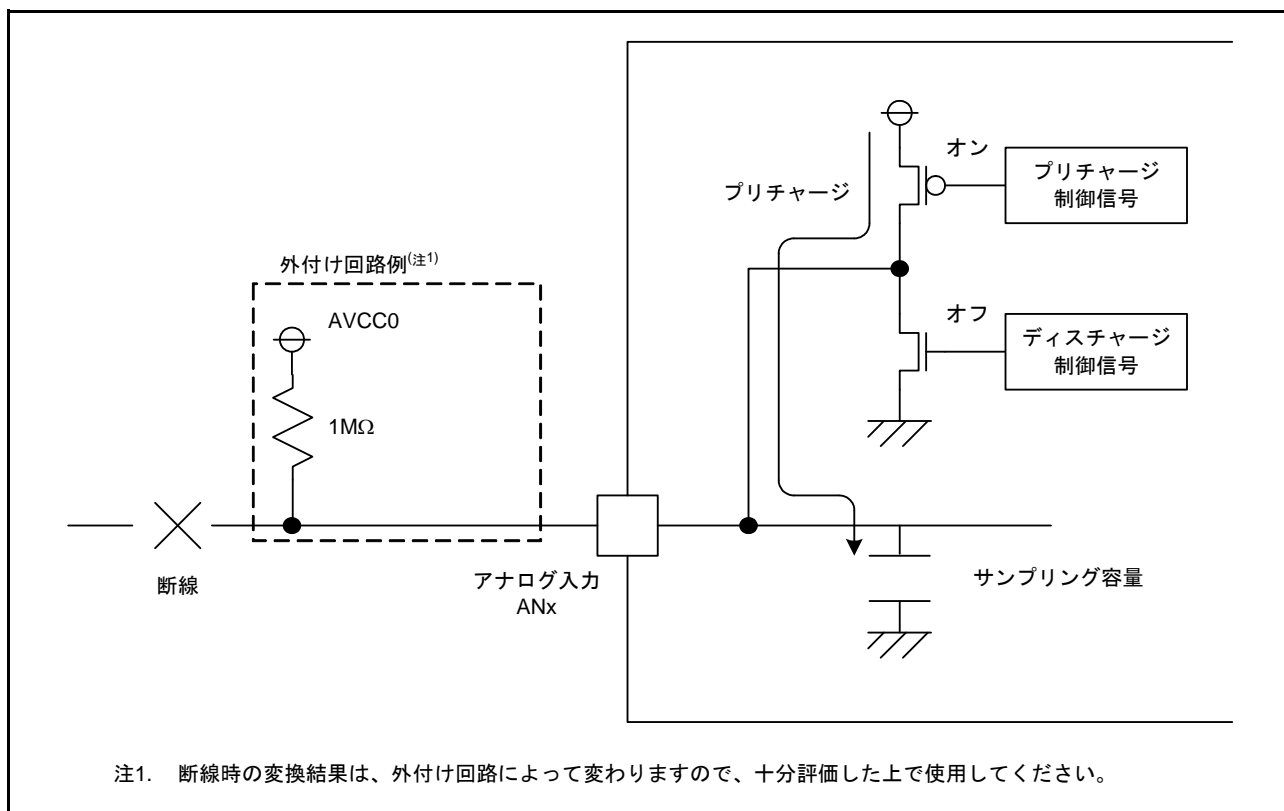


図 38.32 プリチャージを選択した場合の断線検出例

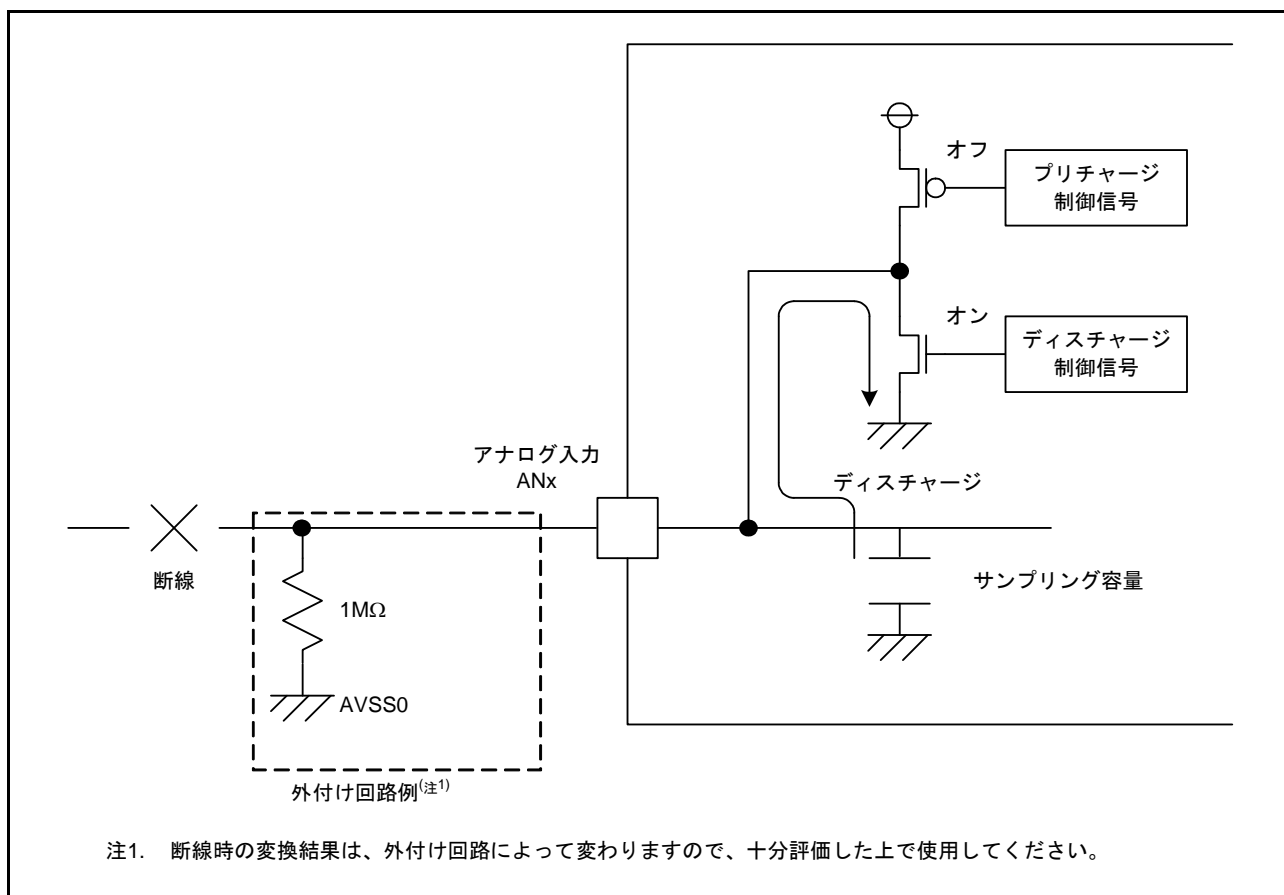


図 38.33 ディスチャージを選択した場合の断線検出例

38.3.11 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 38.34 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「38.6.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。グループスキャンモードで使用するグループ B とグループ C は、非同期トリガを選択できません。

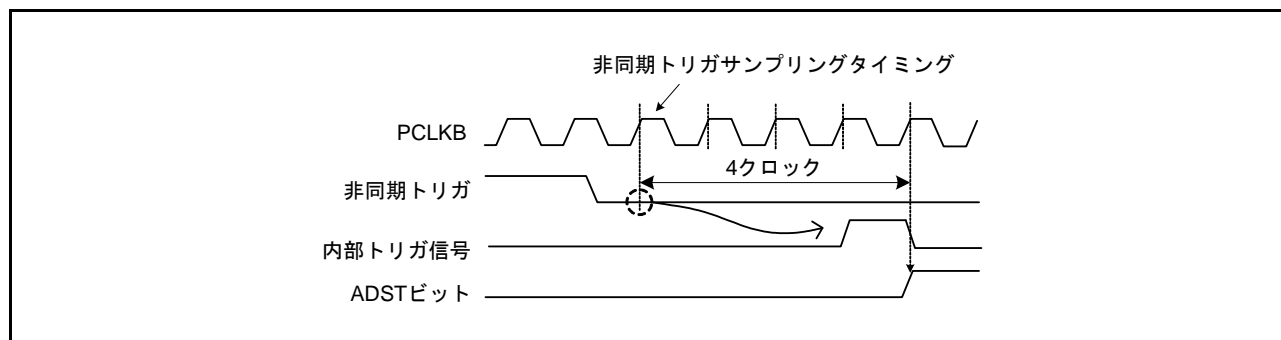


図 38.34 非同期トリガ入力タイミング

38.3.12 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

38.3.13 任意チャネル順変換機能

12ビットA/DコンバータのアナログチャネルをADSCSnレジスタで設定した変換順序に沿って変換する機能です。

ADSCSnレジスタ内へ同一チャネルを設定することは禁止です。本機能で順序設定可能なチャネルはアナログチャネルのみとなります。

自己診断、温度センサ、内部基準電圧に関する変換順序は変更できません。

表 38.16 スキャングループAでADSCSnレジスタ (n = 0~4) が初期値の場合の変換順序例

ADSCSn設定値		A/D変換順序			ADANSA0設定値
シンボル	初期値	物理チャネル	優先度	変換順序	チャネル選択ビット
ADSCS0	00h	AN000	高 ↓ 低	1	ANSA0[0] = 1
ADSCS1	01h	AN001		2	ANSA0[1] = 1
ADSCS2	02h	AN002		3	ANSA0[2] = 1
ADSCS3	03h	AN003		4	ANSA0[3] = 1
ADSCS4	04h	AN004		5	ANSA0[4] = 1

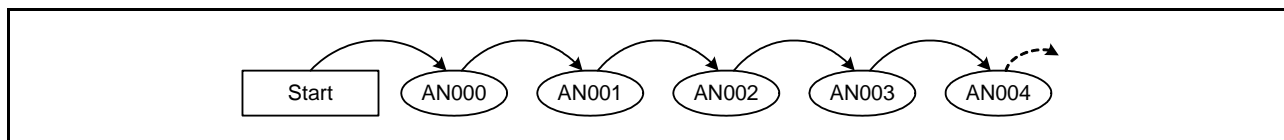


図 38.35 変換順序例 (表 38.16 の設定をした場合)

表 38.17 スキャングループAでADSCSnレジスタ (n = 0~4) を変更した場合の変換順序例

ADSCSn設定値		A/D変換順序			ADANSA0設定値
シンボル	ユーザ設定値	物理チャネル	優先度	変換順序	チャネル選択ビット
ADSCS0	04h	AN004	高 ↓ 低	1	ANSA0[4] = 1
ADSCS1	02h	AN002		2	ANSA0[2] = 1
ADSCS2	00h	AN000		3	ANSA0[0] = 1
ADSCS3	01h	AN001		4	ANSA0[1] = 1
ADSCS4	03h	AN003		5	ANSA0[3] = 1

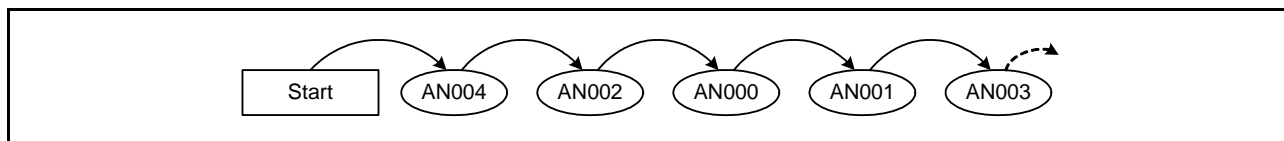


図 38.36 変換順序例 (表 38.17 の設定をした場合)

表 38.18 スキャングループAでADSCSnレジスタ (n = 0~4) を変更した場合の変換順序例 (ANSA0[1]ビットが非選択の場合)

ADSCSn設定値		A/D変換順序			ADANSA0設定値
シンボル	ユーザ設定値	物理チャネル	優先度	変換順序	チャネル選択ビット
ADSCS0	04h	AN004	高 ↓ 低	1	ANSA0[4] = 1
ADSCS1	02h	AN002		2	ANSA0[2] = 1
ADSCS2	00h	AN000		3	ANSA0[0] = 1
ADSCS3	01h	AN001		4	ANSA0[1] = 0
ADSCS4	03h	AN003		5	ANSA0[3] = 1

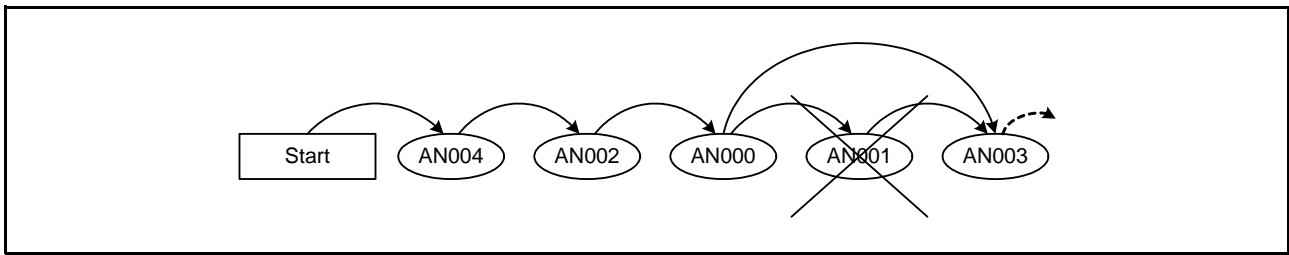


図 38.37 変換順序例 (表 38.18 の設定をした場合)

38.3.14 内部基準電圧モニタ機能

内部基準電圧モニタ機能は、内部基準電圧を A/D コンバータに出力する機能です。

A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) と A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) を設定し、内部基準電圧 A/D 選択ビット (OCSA/B/C) を有効にすると、内部基準電圧の A/D 変換が可能になります。

以下に動作例を示します。

- (1) A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) の VDE ビットを“1”に設定します。
- (2) A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) の VDO ビットを“1”に設定します。
- (3) A/D 変換拡張入力コントロールレジスタの内部基準電圧 A/D 変換選択ビット (OCSA)、グループ B 内部基準電圧 A/D 変換選択ビット (OCSB) または、A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR) のグループ C 内部基準電圧 A/D 変換選択ビット (OCSC) により内部基準電圧を選択します。
- (4) 500 ns のウェイト期間を入れた後、ソフトウェア、同期トリガ (MTU, TMR, ELC) または非同期トリガ入力によって、ADCSR.ADST ビットが“1” (A/D 変換開始) になると、内部基準電圧のオートディスタチャージを実施して、内部基準電圧の A/D 変換を開始します。
- (5) 内部基準電圧の A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了割り込みを許可) に設定されていると、S12ADI 割り込み要求 (パルス出力とレベル出力) が発生します。
- (7) ADCSR.ADST ビットは、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。
- (8) A/D 内部基準電圧モニタ回路出力許可レジスタ (ADVMONO) の VDO ビットを“0”に設定します。
- (9) A/D 内部基準電圧モニタ回路許可レジスタ (ADVMONCR) の VDE ビットを“0”に設定します。

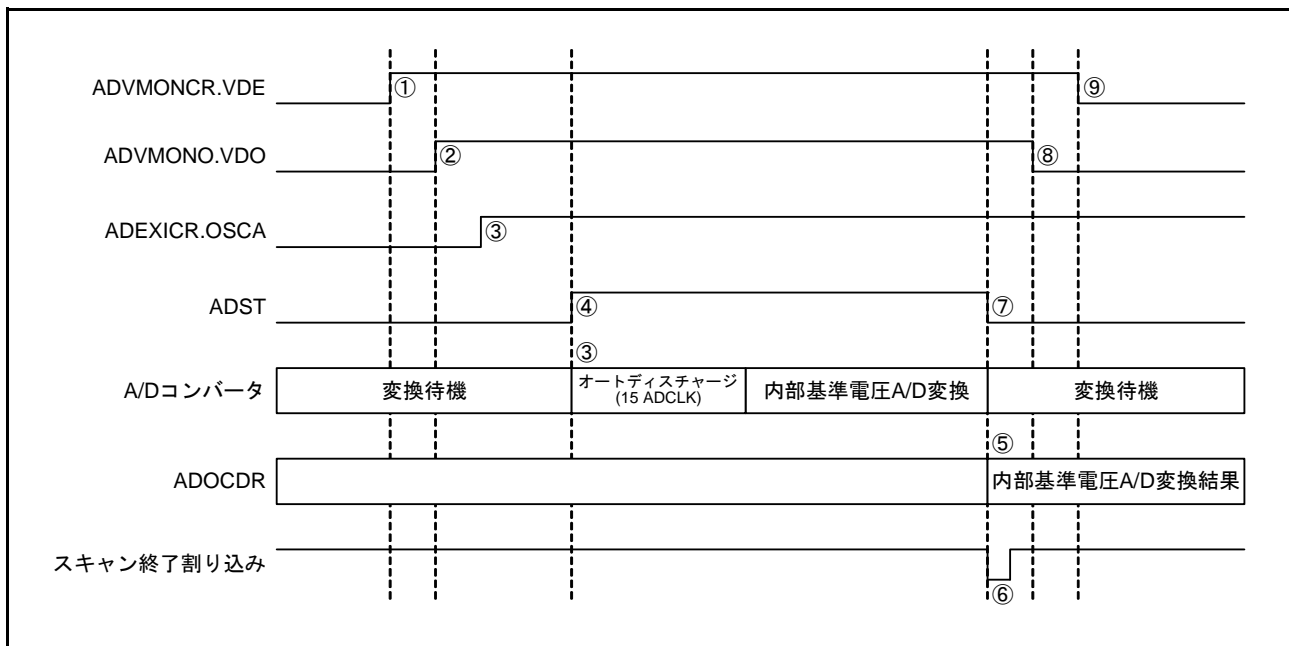


図 38.38 内部基準電圧モニタ出力 A/D 変換例

38.4 割り込み要因と DTC、DMA 転送要求

38.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI、S12GBADI、S12GCADI 割り込みを発生させることができます。

また、CPU へのコンペア条件成立割り込み要求である S12CMPAI/S12CMPBI 割り込みを発生させることができます。

ADCSR.ADIE ビットを“1”にすると S12ADI を許可、“0”にすると S12ADI を禁止できます。

ADCSR.GBADIE ビットを“1”にすると S12GBADI を許可、“0”にすると S12GBADI を禁止できます。

ADGCTRGR.GCADIE ビットを“1”にすると S12GCADI を許可、“0”にすると S12GCADI を禁止できます。

ADCMPCR.CMPAIE ビットを“1”にすると S12CMPAI を許可、“0”にすると S12CMPAI を禁止できます。

ADCMPCR.CMPBIE ビットを“1”にすると S12CMPBI を許可、“0”にすると S12CMPBI を禁止できます。

また、S12ADI、S12GBADI、S12GCADI 発生時に DTC または DMAC を起動できます。S12ADI、S12GBADI、S12GCADI 割り込みで変換されたデータの読み出しを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「18. データトランスファコントローラ (DTCb)」を、DMAC の設定は「17. DMA コントローラ (DMACAa)」を参照してください。

38.4.2 ELC へのスキャン終了イベント出力

ELC では、S12ADI 割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。S12GBADI 割り込み、S12CMPAI 割り込み、S12CMPBI 割り込み要求信号をイベント信号として使用することはできません。イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。12ビットA/Dコンバータは、A/D変換終了イベントを出力します。

38.5 許容信号源インピーダンスについて

図 38.39 にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、内部コンデンサ (C_s) への充電がサンプリング時間内に終了することが必要です。信号源インピーダンス (R_0) が大きく C_s への充電に時間がかかるときは、ADSSTRn レジスタでサンプリング時間を延長してください。逆に R_0 が小さいときは、サンプリング時間を短縮することができます。電気的特性に各種動作条件下での許容信号源インピーダンスを記載していますので、参考にしてください。

シングルスキャンモードで1端子のみの変換を行う場合、外部に大容量のコンデンサ (C) を接続することにより、入力の負荷が実質的に内部入力抵抗 (R_s) だけになり、 R_0 の影響を無視できるようになります。ただし、 R_0 と C でローパスフィルタが形成されますので、変化の速いアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

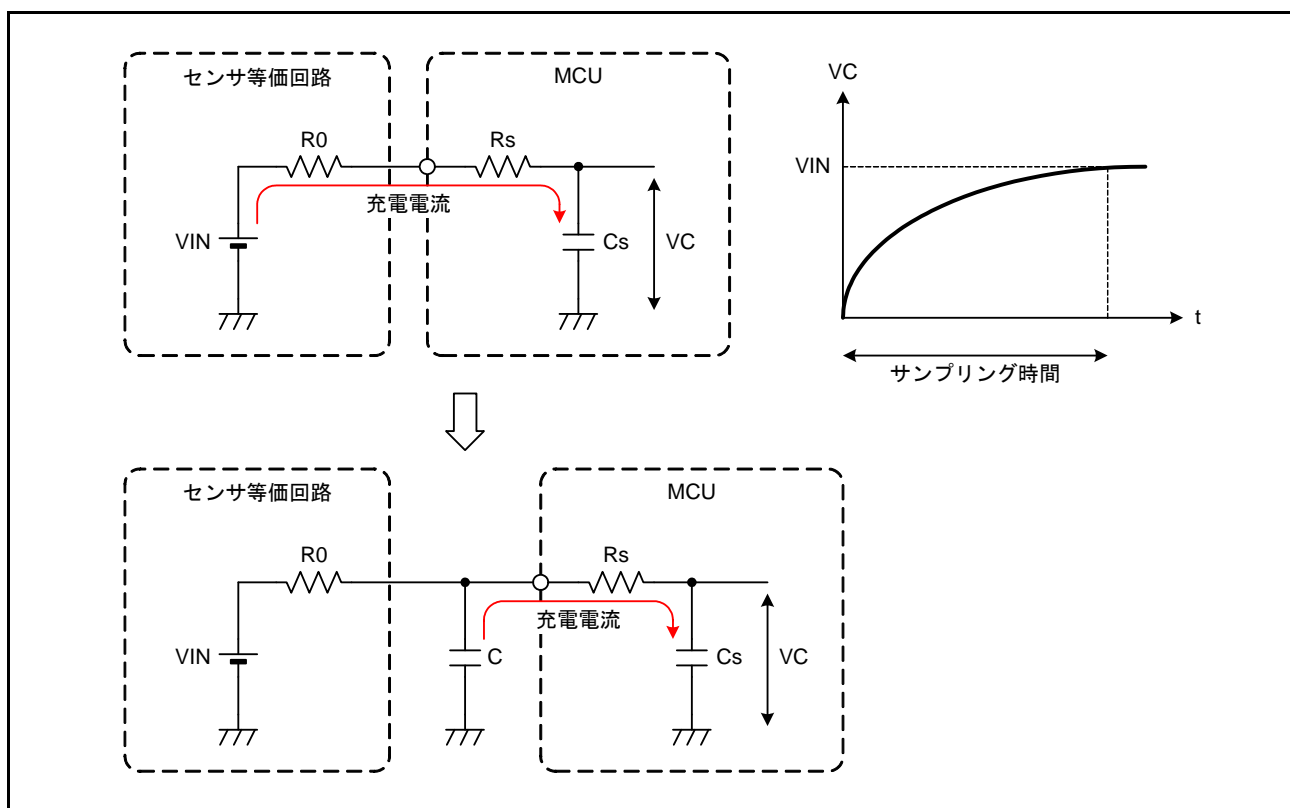


図 38.39 アナログ入力端子と外部センサの等価回路


38.6 使用上の注意事項

38.6.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D データ二重化レジスタ A、A/D データ二重化レジスタ B、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタ、および A/D 自己診断データレジスタの読み出しは、16 ビット単位で行ってください。8 ビット単位で上位バイト / 下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化することを避けるため、8 ビット単位の読み出しは行わないでください。

38.6.2 A/D 変換停止時の注意事項

38.6.2.1 A/D 変換停止手順

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、 38.40 のフローチャートの手順に従ってください。

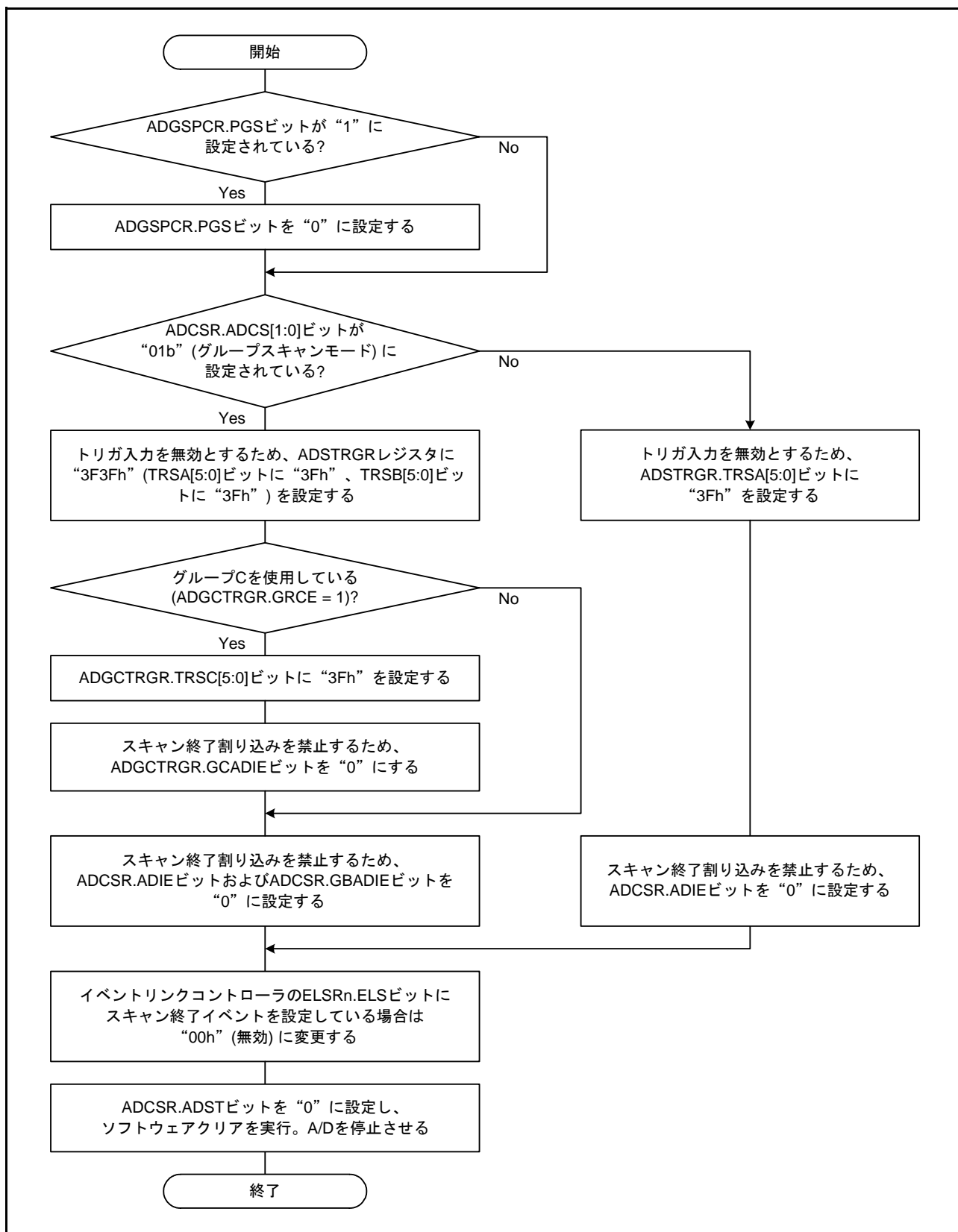


図 38.40 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

38.6.2.2 モード / ステータスフラグの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数 / 偶数判定、コンペア機能のモニタフラグは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定をするには、ADCER.DIAGLD ビットを“1”にし ADCER.DIAGVAL[1:0] ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを“0”から“1”にするとスキャン1回目の動作から開始します。
- コンペア機能のモニタフラグ (MONCMPA, MONCMPB, MONCOMB) を初期化するには、ADCMPCR.CMPAE ビットと ADCMPCR.CMPBE ビットを“0”にしてください。

38.6.3 A/D 変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態で、ADCSR.ADST ビットを“1”にしてから12ビットA/Dコンバータのアナログ部が動作を開始するまでに、ADCLKで最大6クロックの時間を必要とします。ADCSR.ADST ビットを“0”にしてA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLKで最大2クロックの時間を必要とします。

PCLKB : ADCLK 周波数比が 1 : 2 (ADCLK が高速) での強制停止からアナログ部停止までは、最大 $1 \text{ PCLKB} + 1 \text{ ADCLK}$ になります。

38.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

38.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットA/Dコンバータの動作禁止 / 許可を設定することが可能です。リセット解除後、12ビットA/Dコンバータの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 μs 待ってからA/D変換を開始してください。モジュールストップ機能を使用し12ビットA/Dコンバータの動作を停止させる場合は、ADVMONCR.VDE ビット、ADVMONO.VDO ビットを“0”にしてください。

詳細は「11. 消費電力低減機能」を参照してください。

38.6.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 38.40 に示す、ADCSR.ADSTビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADSTビットを“0”に設定してください。その後、ADCLKの2クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

38.6.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、メインクロックまたはPLLクロックの発振安定フラグが“1”になってからさらに1μs以上待って、A/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

38.6.8 外部バス使用時の注意事項

外部バスをアクセス中にA/D変換をすると、精度が悪化することがあります。

このような場合は、複数回の変換を実施し、最大値/最小値を除いたA/D変換値の平均をとるなどのソフト対策を実施してください。

38.6.9 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力され、A/Dコンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

38.6.10 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN000 ~ AN023 に印加する電圧は、AVSS0 ~ AVCC0 の範囲としてください。

- 各電源端子 (AVCC0 - AVSS0, VREFH0 - VREFL0, VCC - VSS) の関係

AVSS0、VREFL0 と VSS との関係は $AVSS0 = VREFL0 = VSS$ としてください。アナログ入力端子

AN016 ~ AN023 の A/D 変換を行う場合は、 $AVCC0 = VREFH0 = VCC$ としてください。また、**図 38.41** に示すように各々の電源間に最短で閉ループが形成できるように $0.1\mu\text{F}$ のコンデンサを接続し、供給元で $AVSS0 = VREFL0 = VSS$ になるように接続してください。

12ビットA/Dコンバータを使用しない場合は、 $AVCC0 = VCC$ 、 $AVSS0 = VSS$ としてください。

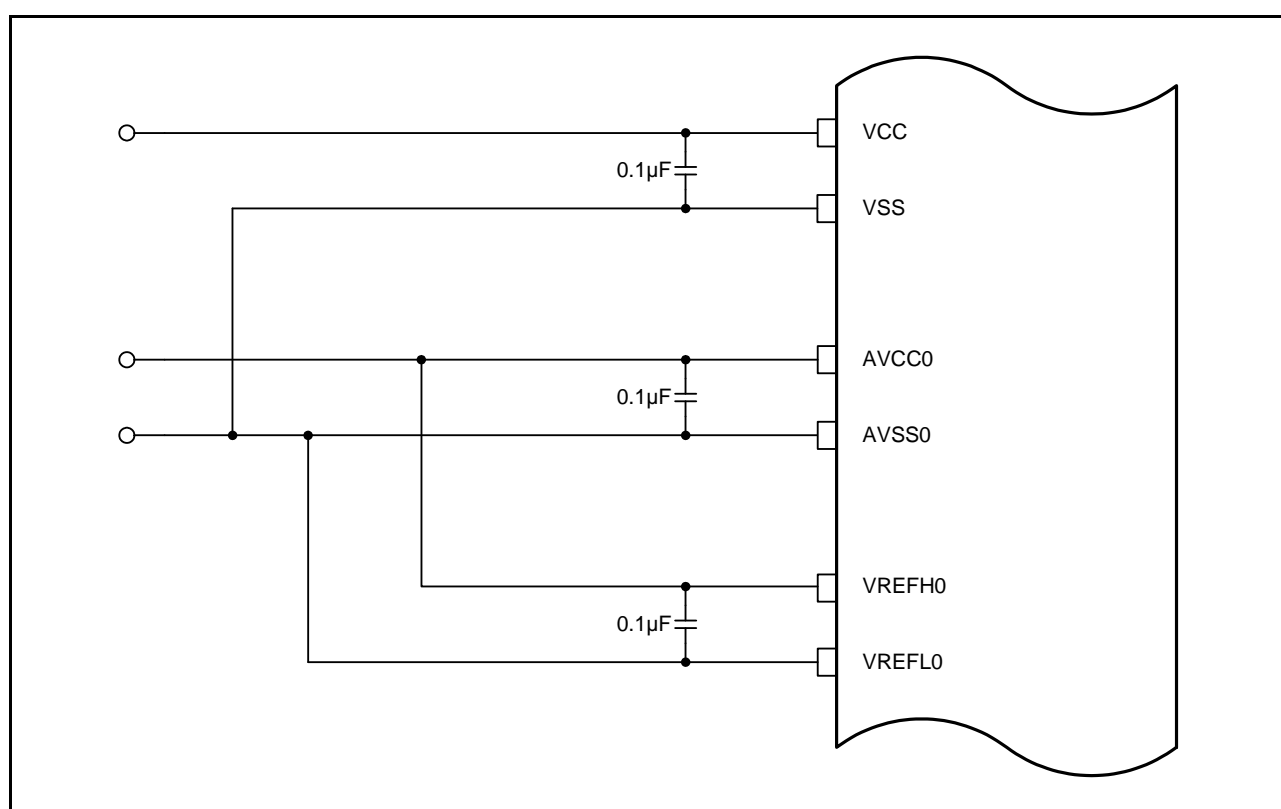


図 38.41 各電源端子の接続例

38.6.11 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN023)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

38.6.12 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN023) の破壊を防ぐために、**図 38.42** に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間にコンデンサを、またアナログ入力端子 (AN000 ~ AN023) を基準に保護回路を接続してください。

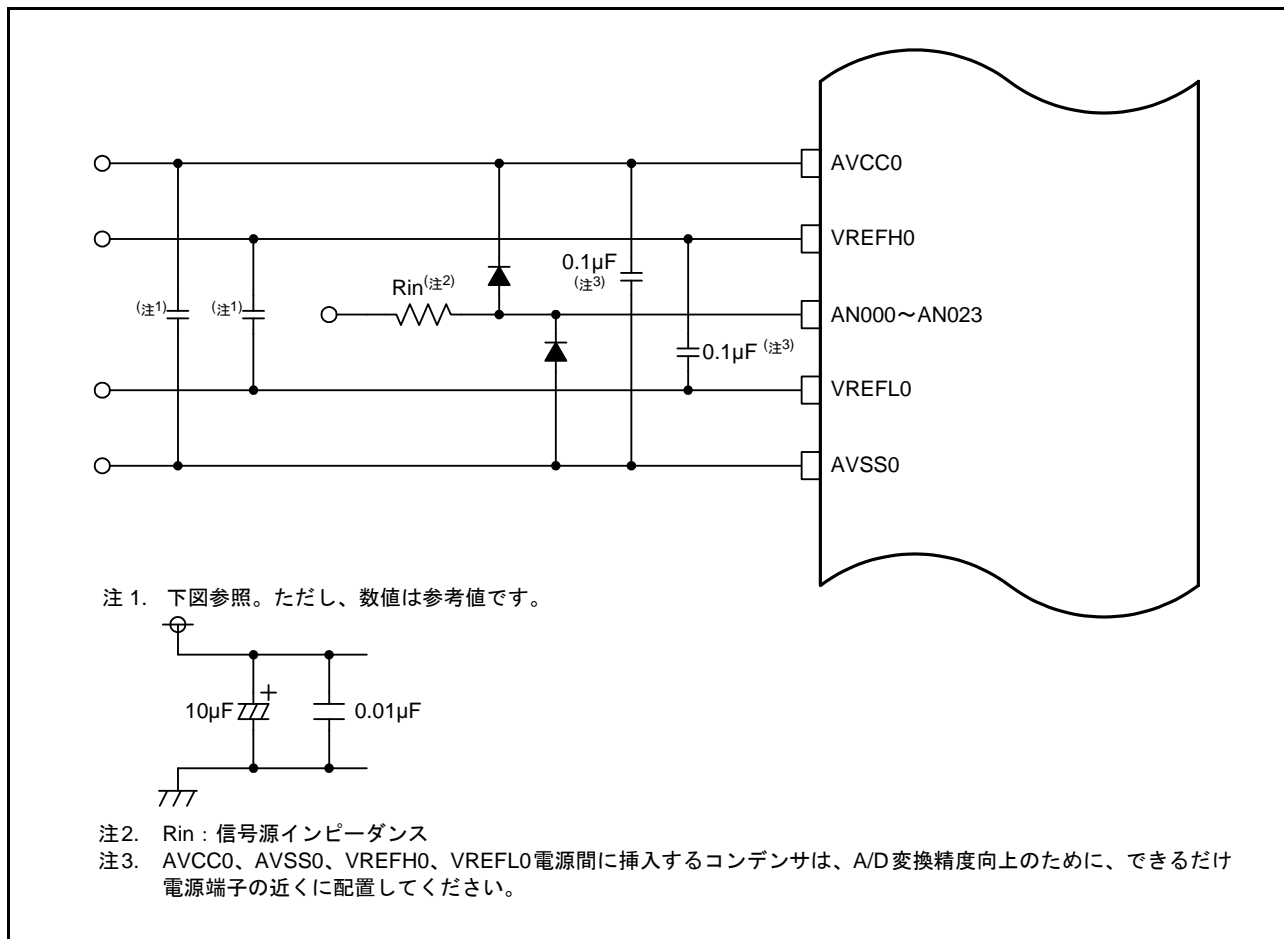


図 38.42 アナログ入力保護回路の例

39. 12ビットD/Aコンバータ (R12DAb)

39.1 概要

本MCUは、12ビットD/Aコンバータを2チャンネル内蔵しています。

表39.1に12ビットD/Aコンバータの仕様を示します。図39.1に12ビットD/Aコンバータのブロック図を示します。

表39.1 12ビットD/Aコンバータの仕様

項目	内容
分解能	12ビット
出力チャンネル	2チャンネル
アナログモジュールの干渉対策	<ul style="list-style-type: none"> D/A変換とA/D変換の干渉対策 12ビットA/Dコンバータが出力する12ビットD/A同期D/A変換許可信号により、D/A変換データの更新タイミングを制御する。これにより、12ビットD/Aコンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉によるA/D変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能
イベントリンク機能(入力)	イベント信号の入力により、チャンネル0のD/A変換を開始可能
出力先切り替え	外部端子への出力と、コンパレータCへの出力を独立して制御可能

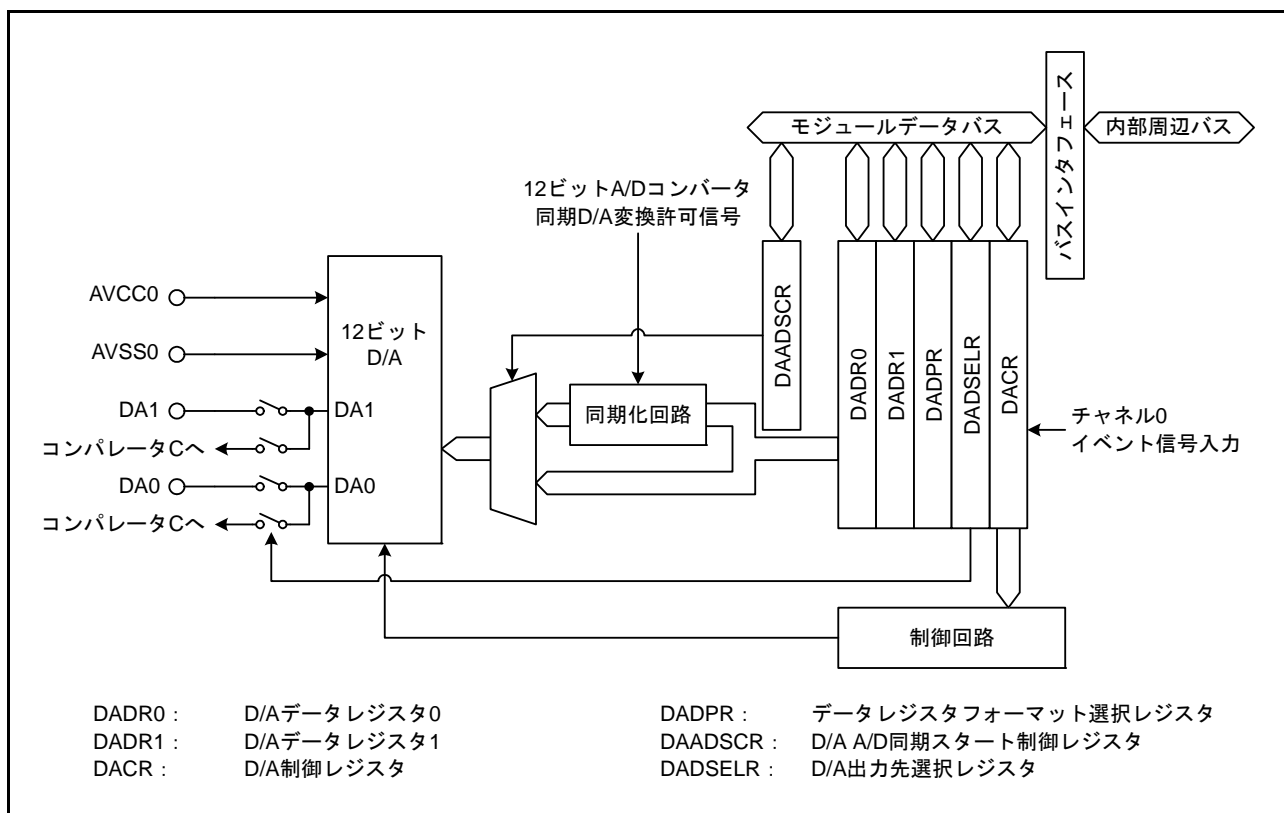


図 39.1 12ビットD/Aコンバータのブロック図

表 39.2 に 12 ビット D/A コンバータで使用する入出力端子を示します。

表 39.2 12ビットD/Aコンバータの入出力端子

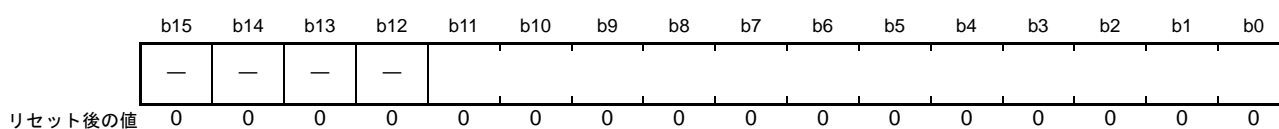
端子名	入出力	機能
AVCC0	入力	アナログ電源端子
AVSS0	入力	アナロググランド端子
DA0	出力	チャンネル0のアナログ出力
DA1	出力	チャンネル1のアナログ出力

39.2 レジスタの説明

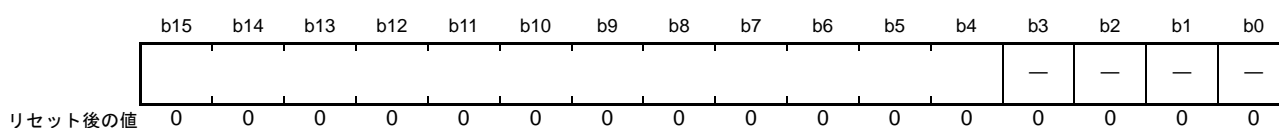
39.2.1 D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス DA.DADR0 0008 8040h, DA.DADR1 0008 8042h

- ・ DADPR.DPSEL ビット=0 (データは右詰め)



- ・ DADPR.DPSEL ビット=1 (データは左詰め)



DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換され D/A コンバータから出力されます。

DADPR.DPSEL ビットの設定によって 12 ビットのデータの配置を変更できます。“—”のビットは、読むと“0”が読めます。書く場合、“0”としてください。

39.2.2 D/A 制御レジスタ (DACR)

アドレス DA.DACR 0008 8044h

b7	b6	b5	b4	b3	b2	b1	b0
DAOE1	DAOE0	DAE	—	—	—	—	—

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	DAE	D/A許可ビット(注1)	0: チャンネル0, 1のD/A変換を個別制御 1: チャンネル0, 1のD/A変換を一括許可	R/W
b6	DAOE0	D/A出力許可0ビット	0: チャンネル0のアナログ出力(DA0)を禁止 1: チャンネル0のD/A変換を許可 チャンネル0のアナログ出力(DA0)を許可	R/W
b7	DAOE1	D/A出力許可1ビット	0: チャンネル1のアナログ出力(DA1)を禁止 1: チャンネル1のD/A変換を許可 チャンネル1のアナログ出力(DA1)を許可	R/W

注1. DAOEmビット(m = 0, 1)との組み合わせで、D/A変換を制御します。変換結果の出力は、DAOEmビットにより制御されません。表39.3を参照してください。

表39.3 D/A変換の制御

b5	b7	b6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A変換とアナログ出力(DA0, DA1)を禁止(注1)
		1	チャンネル0のD/A変換を許可、チャンネル1のD/A変換を禁止 チャンネル0のアナログ出力(DA0)を許可、チャンネル1のアナログ出力(DA1)を禁止(注1)
	1	0	チャンネル0のD/A変換を禁止、チャンネル1のD/A変換を許可 チャンネル0のアナログ出力(DA0)を禁止(注1)、チャンネル1のアナログ出力(DA1)を許可
		1	チャンネル0, 1のD/A変換を許可 チャンネル0, 1のアナログ出力(DA0, DA1)を許可
1	x	x	チャンネル0, 1のD/A変換を許可 チャンネル0, 1のアナログ出力(DA0, DA1)を一括して許可

x: Don't care

注1. アナログ出力禁止時、アナログ出力はHi-Zになります。

このレジスタは、DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、12ビットA/Dコンバータ停止中に設定してください(ADCSR.ADSTビットが“0”のときに設定してください)。このとき確実に12ビットA/Dコンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

このレジスタを設定する前に、各チャンネルの出力先をDADSELRレジスタで選択しておいてください。

DAEビット(D/A許可ビット)

DAEビット、DAOEmビット(m = 0, 1)の組み合わせで、D/A変換、およびアナログ出力を制御します。

D/A変換とA/D変換の干渉対策が有効時(DAADSCR.DAADSTビット=1)には、12ビットA/DコンバータのADCSR.ADSTビットが“0”のときに設定してください。このとき、確実に12ビットA/Dコンバータを停止させるため、12ビットA/Dコンバータのトリガ選択をソフトウェアトリガに設定してください。

DAOEm ビット (D/A 出力許可 m ビット) (m = 0, 1)

DAE ビット、DAOEm ビットの組み合わせで、D/A 変換、およびアナログ出力を制御します。

DAOEm ビットが“0”かつ DAE ビットが“0”のとき、チャンネル m の D/A 変換は行われず、変換結果も出力されません。

D/A 変換と A/D 変換の干渉対策が有効時 (DAADSCR.DAADST ビット=1) には、12 ビット A/D コンバータの ADCSR.ADST ビットが“0”のときに設定してください。このとき、確実に 12 ビット A/D コンバータを停止させるため、12 ビット A/D コンバータのトリガ選択をソフトウェアトリガに設定してください。

イベントリンク機能により、DAOE0 ビットを“1”にできます。ELC の ELSR16 レジスタで設定されたイベントが発生すると、DAOE0 ビットが“1”になり、D/A 変換出力を開始します。

39.2.3 データレジスタフォーマット選択レジスタ (DADPR)

アドレス DA.DADPR 0008 8045h

b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	フォーマット選択ビット	0 : D/A データレジスタは右詰め 1 : D/A データレジスタは左詰め	R/W

39.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR)

アドレス DA.DAADSCR 0008 8046h

	b7	b6	b5	b4	b3	b2	b1	b0
DAADST	—	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0: 12ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換しない(D/A変換とA/D変換の干渉対策の無効) 1: 12ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換する(D/A変換とA/D変換の干渉対策の有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉対策のために、12 ビット D/A コンバータの変換開始タイミングを 12 ビット A/D コンバータからの 12 ビット A/D コンバータ同期 D/A 変換許可信号に同期させるかさせないかを選択します。

このレジスタは、12 ビット A/D コンバータ停止中に設定してください (12 ビット A/D コンバータのトリガ選択をソフトウェアトリガに選択後、ADCSR.ADST ビットが“0”のときに設定してください)。

DAADST ビット (D/A A/D 同期変換ビット)

DAADST ビットを“0”にすると、随時 DADR_m レジスタ (m=0, 1) の値を D/A 変換します。DAADST ビットを“1”にすると、12 ビット A/D コンバータからの同期 D/A 変換許可信号に同期して D/A 変換が行われます。したがって、DADR_m レジスタの値を書き換えても、12 ビット A/D コンバータの A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は 12 ビット A/D コンバータの ADCSR.ADST ビットが“0”のときに設定してください。このとき確実に 12 ビット A/D コンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

なお、DAADST ビットを“1”にした場合は、イベント機能は使用できません。ELC の ELSR16 でイベントリンク機能を停止に設定してください。DAADST ビットは、12 ビット D/A コンバータのチャンネル 0, 1 の共通仕様です。

39.2.5 D/A 出力先選択レジスタ (DADSELR)

アドレス DA.DADSELR 0008 8049h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OUTRE F1	OUTRE F0	OUTDA 1	OUTDA 0
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	OUTDA0	DA0端子出力許可ビット	0: チャンネル0のアナログ出力をDA0端子から出力しない 1: チャンネル0のアナログ出力をDA0端子から出力する	R/W
b1	OUTDA1	DA1端子出力許可ビット	0: チャンネル1のアナログ出力をDA1端子から出力しない 1: チャンネル1のアナログ出力をDA1端子から出力する	R/W
b2	OUTREF0	基準電圧0出力許可ビット	0: チャンネル0のアナログ出力をコンパレータCの基準電圧として使用しない 1: チャンネル0のアナログ出力をコンパレータCの基準電圧として使用する	R/W
b3	OUTREF1	基準電圧1出力許可ビット	0: チャンネル1のアナログ出力をコンパレータCの基準電圧として使用しない 1: チャンネル1のアナログ出力をコンパレータCの基準電圧として使用する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

DADSELR レジスタは、D/A コンバータが生成するアナログ電圧をどこに出力するかを設定するレジスタです。DACR レジスタで出力を許可する前に、このレジスタで出力先を選択してください。

39.3 動作説明

2チャンネルの12ビットD/Aコンバータは、それぞれ独立して変換を行うことができます。

DACR.DA0Emビット(m=0,1)を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図39.2に示します。

- (1) DADPR.DPSELビットとDADR0レジスタにD/A変換を行うためのデータを設定します。
- (2) DADSELRレジスタでD/Aコンバータの出力先を選択します。
- (3) DACR.DA0E0ビットを“1”にすると、D/A変換が開始されます。変換時間 t_{DCONV} が経過すると、DA0出力が設定値に対応する電圧で安定します。DADR0レジスタを書き換えるか、DA0E0ビットを“0”にするまで、この電圧が出力され続けます。出力電圧(参考)は以下の式で計算します。

$$\frac{\text{DADRmレジスタ}}{4096} \times \text{AVCC0}$$

- (4) DADR0レジスタを書き換えると変換が開始されます。変換時間 t_{DCONV} が経過すると、DA0出力が変更した電圧で安定します。DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、D/A変換開始まで最大A/D変換1回分待たされます(ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
- (5) DA0E0ビットを“0”にするとアナログ出力が禁止されます。

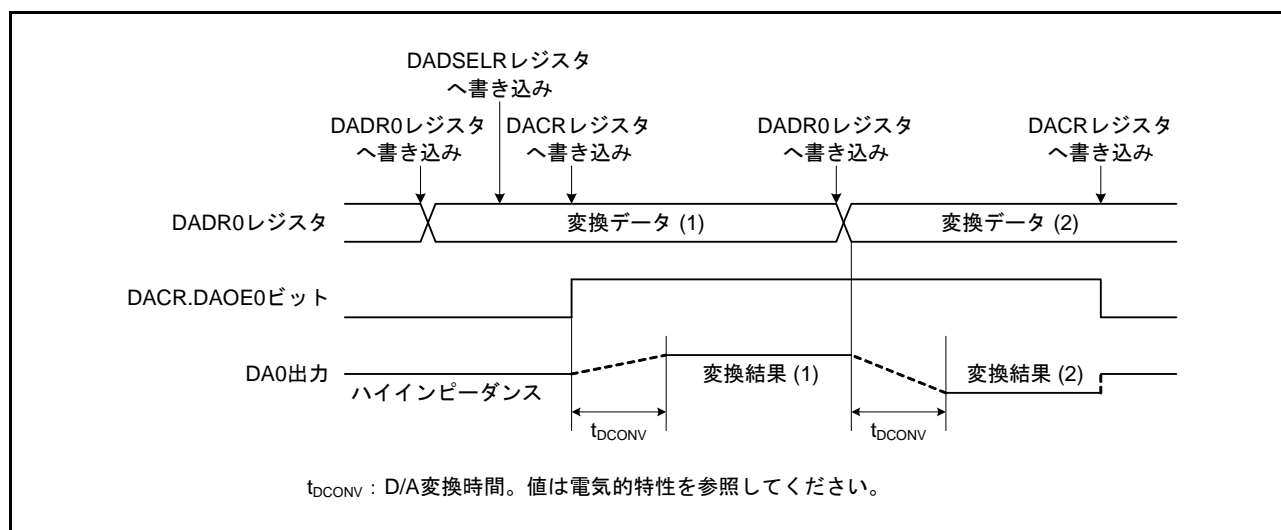


図 39.2 12ビットD/Aコンバータの動作例

39.3.1 D/A変換とA/D変換の干渉対策

D/A変換が始まると12ビットD/Aコンバータにはラッシュカレントが発生します。12ビットD/Aコンバータと12ビットA/Dコンバータのアナログ電源が共通のため、発生したラッシュカレントが12ビットA/Dコンバータの変換に干渉することがあります。

DAADSCR.DAADSTビットを“1”にしている場合、12ビットA/DコンバータがA/D変換中にDADR_mレジスタ ($m=0, 1$)にデータを書き換えても、すぐに変換されず、12ビットA/DコンバータのA/D変換終了タイミングに同期して変換を開始します。DADR_mレジスタへの書き込みからD/A変換回路の入力に反映するまで最大A/D変換1回分待たされます。その間DADR_mレジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADR_mレジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADSTビットを“1”にしている場合であっても、12ビットA/DコンバータがADCSR.ADSTビットを“0”にして停止中であればDADR_mレジスタにデータを書き換えると、1PCLKB後にD/A変換を開始します。

図39.3に12ビットD/Aコンバータを12ビットA/Dコンバータに同期変換させる場合のチャンネル0のD/A変換の動作例を示します。

- (1) 12ビットA/Dコンバータが停止中であることを確認し、DAADSCR.DAADSTビットを“1”にする。
- (2) 12ビットA/Dコンバータが停止中であることを確認し、DACR.DAOE0ビットを“1”にする。
- (3) DADR0レジスタを設定する (ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
 - DADR0レジスタを書き換えたとき、12ビットA/Dコンバータが停止していた場合 (ADCSR.ADSTビット=0)、1PCLKB後にD/A変換が開始されます。
 - DADR0レジスタを書き換えたとき、12ビットA/DコンバータがA/D変換中の場合 (ADCSR.ADSTビット=1)、A/D変換終了時にD/A変換が開始されます。A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

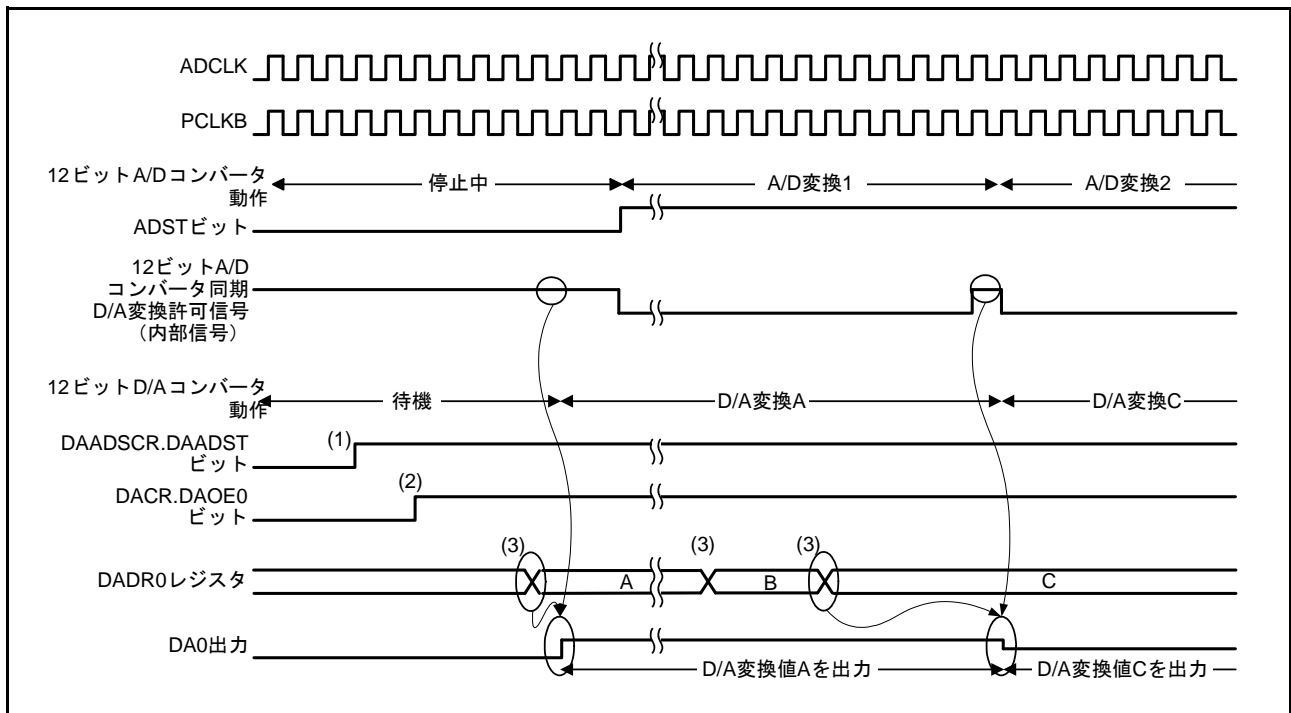


図 39.3 12ビットD/Aコンバータを12ビットA/Dコンバータに同期して変換する例

ADCLKがPCLKBよりも速い場合、A/D変換1とA/D変換2の間に出力されるADCLK1周期分の12ビットA/Dコンバータ同期D/A変換許可信号を12ビットD/Aコンバータが取り込めない可能性があります。図39.4に12ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例を示します。この場合、DA0出力はD/A変換値Aの出力を継続します。

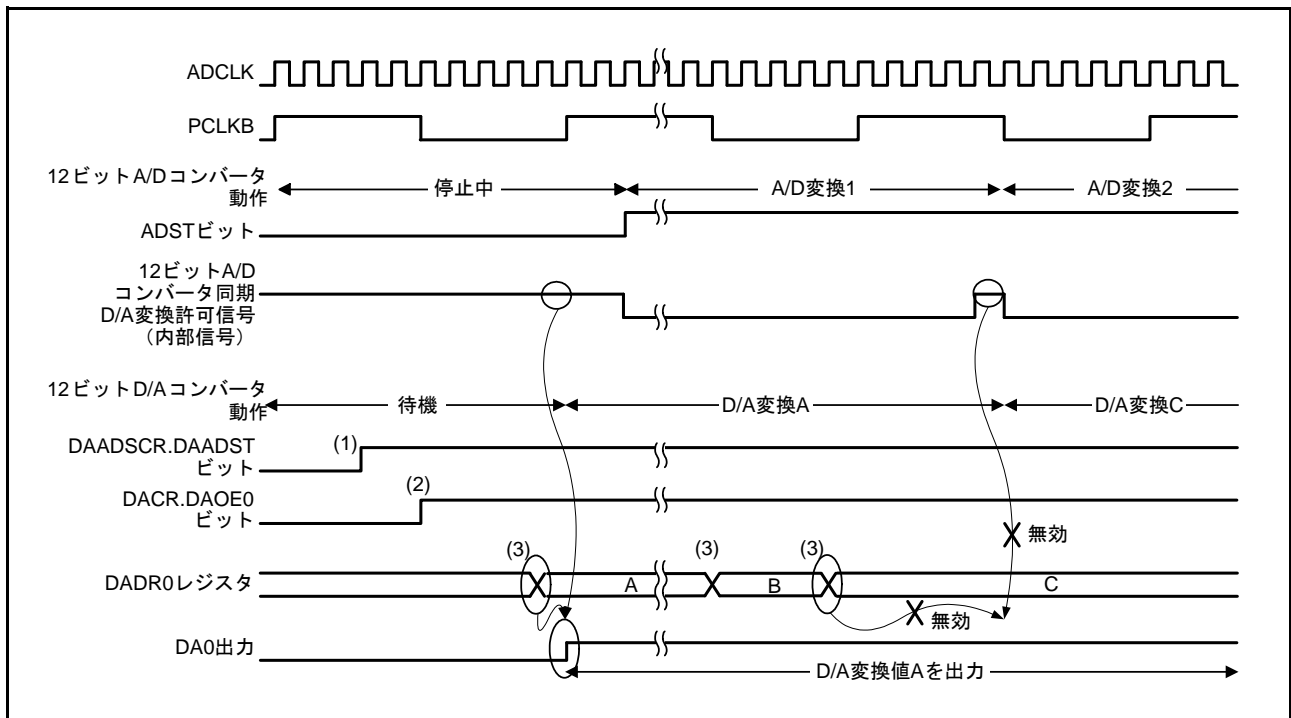


図 39.4 12ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例

39.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

- (1) DADPR.DPSEL ビットの設定と DADR0 レジスタに D/A 変換を行うためのデータを設定します。
- (2) DADSELR レジスタで D/A コンバータの出力先を選択します。
- (3) ELC の ELSR16 レジスタにリンクする ELSR16 設定イベント信号のビットの値を設定します。
- (4) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効となります。
- (5) イベント出力元のモジュールを設定し、起動します。モジュールから出力されるイベントにより、DACR.DAOE0 ビットが“1”になり、チャンネル0のD/A変換が開始されます。
- (6) 12ビットD/Aコンバータのチャンネル0のイベントリンク動作を停止するときは、ELSR16.ELS[7:0] ビットに“0000 0000b”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全モジュールのイベントリンク動作が停止します。

39.5 イベントリンク動作における注意事項

- (1) イベントリンク機能を使用する場合、DACR.DAE ビットは“0”に設定してください。
- (2) DACR.DAOE0 ビットへの書き込みサイクル中に ELSR16 レジスタで設定されたイベントが発生すると、DACR.DAOE0 ビットへの書き込みサイクルは行われず、イベント発生による“1”設定が優先されます。
- (3) D/A 変換と A/D 変換の干渉対策として、DAADSCR.DAADST ビットを“1”にする場合、イベントリンク機能は使用禁止です。

39.6 使用上の注意事項

39.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットD/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットD/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

39.6.2 モジュールストップ時のD/Aコンバータの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

39.6.3 ソフトウェアスタンバイモード時のD/Aコンバータの動作

D/A変換を許可した状態でソフトウェアスタンバイモードになるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

39.6.4 ディープソフトウェアスタンバイモード時の注意事項

D/A変換を許可した状態で本MCUがディープソフトウェアスタンバイモードに移行すると、D/Aコンバータの出力はハイインピーダンスとなります。

39.6.5 D/A変換とA/D変換の干渉対策有効時の注意事項

DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、12ビットA/Dコンバータをモジュールストップ状態にしないでください。A/D変換が停止するだけでなく、D/A変換が停止する可能性があります。

39.6.6 D/Aコンバータの出力をコンパレータCの基準電圧に使用するときの注意事項

DADSELR.OUTREF_nビット(n=0, 1)を“1”にする場合は、「41.4.4 D/Aコンバータの設定について」を参照してください。

39.6.7 DAn端子(n=0, 1)とコンパレータCへの同時出力に関する注意事項

DADSELR.OUTDAnビットとOUTREF_nビットを同時に“1”にした場合、DAn端子に接続された負荷の影響で、電気的特性に記載された特性が満たせないことがあります。両出力を有効にする場合は、十分に評価した上で使用してください。

40. 温度センサ (TEMPS)

40.1 概要

本 MCU は、温度センサを内蔵しています。温度センサは温度に比例した電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータ (ユニット 0) でデジタル値に変換し、温度に換算することで MCU の周囲温度を求めることができます。

表 40.1 に温度センサの仕様を示します。図 40.1 に温度センサのブロック図を示します。

表 40.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータ(ユニット0)へ出力
温度センサ校正データ	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納

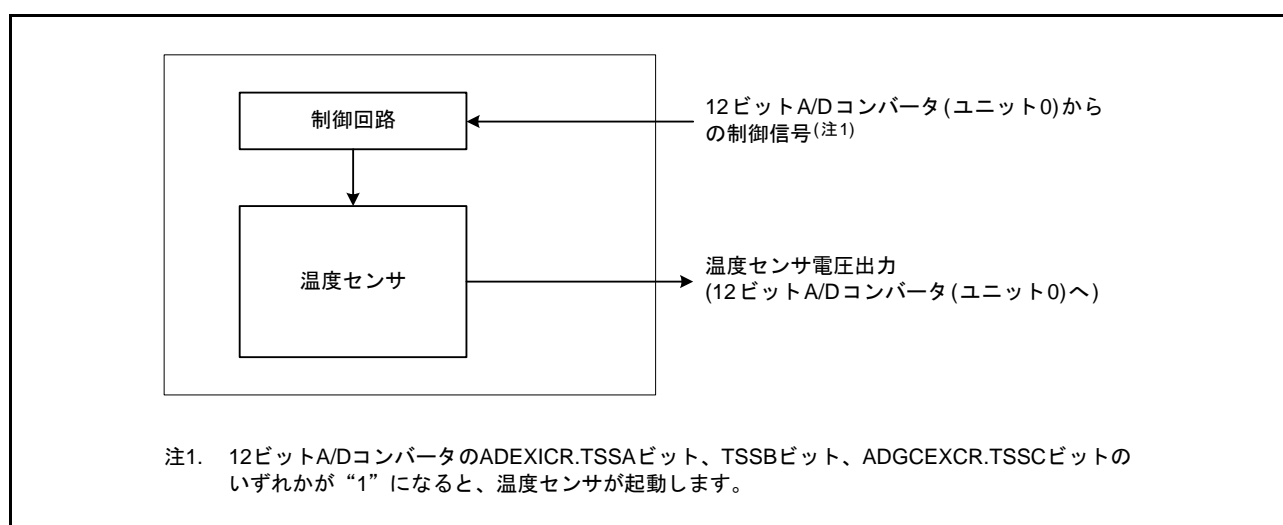


図 40.1 温度センサのブロック図

40.2 レジスタの説明

40.2.1 温度センサ校正データレジスタ (TSCDR)

アドレス TEMPS.TSCDR 007F B17Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	チップごとの固有値											

注. このレジスタは、SYSCR0.ROMEビットが“1”(内蔵ROM有効)のときのみ読み出せます。

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。TSCDR レジスタは読み出し専用の 32 ビットレジスタです。32 ビット単位で読み出してください。

温度センサ校正データは、 $T_a = T_j = 128^\circ\text{C}$ 、 $AVCC0 = 5\text{ V}$ の条件における温度センサの出力電圧を、12 ビット A/D コンバータ (ユニット 0) でデジタル変換した値です。

TSCDR レジスタの値から、 $T_a = T_j = 128^\circ\text{C}$ における温度センサの出力電圧 V_1 は、

$$V_1 = 5 \times \text{TSCDR レジスタ値} / 4096 [\text{V}]$$

と計算できます。なお、温度センサの出力電圧 V_1 は、 $AVCC0$ の電圧には依存しません。

40.3 温度センサの使用法

温度センサは、温度に比例する電圧を出力します。この電圧を 12 ビット A/D コンバータ (ユニット 0) を用いてデジタル変換し、温度に換算することで MCU の周囲温度を求めることができます。

40.3.1 使用前の準備

温度センサのキャリブレーションを実施します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

T₂ : 2 点目の試行測定時の温度 (°C)

V₂ : 2 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C) Slope = (V₂ - V₁) / (T₂ - T₁)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

まず、温度 T₁ のときの温度センサの出力電圧 V₁ を 12 ビット A/D コンバータ (ユニット 0) で試行測定することで求めます。

次に、温度 T₁ と異なる温度 T₂ のときの温度センサの出力電圧 V₂ を 12 ビット A/D コンバータ (ユニット 0) にて試行測定することで求めます。

両者の測定結果から、温度傾斜 (Slope = (V₂ - V₁) / (T₂ - T₁)) を求めます。

この Slope を温度特性の式に代入し、測定温度 T = (V_s - V₁) / Slope + T₁ を求めます。

また、「45. 電気的特性」の表 45.49 に記載の温度傾斜を使用すれば、温度 T₁ のときの温度センサの出力電圧 V₁ を、12 ビット A/D コンバータ (ユニット 0) で試行測定によって求めるだけで、下記式により測定温度が算出できます。なお、本測定温度精度は 2 点測定方法よりも劣ります。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 表 45.49 に記載の温度傾斜 ÷ 1000 (V/°C)

また、本 MCU は、TSCDR レジスタに、T_a = T_j = 128°C、AVCC0 = 5 V の条件における温度センサの温度測定値 (CAL₁₂₈) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

CAL₁₂₈ から V₁ を求めると、

$$V1 = 5 \times \text{CAL}_{128} / 4096 \text{ [V]}$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (V_s - V1) / \text{Slope} + 128 \text{ [}^\circ\text{C]}$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

V₁ : Ta = Tj = 128°C、AVCC0 = 5 V 時の温度センサの出力電圧 (V)

Slope : 表 45.49 に記載の温度傾斜 ÷ 1000 (V/°C)

なお、測定温度誤差 (ばらつき範囲は 3σ) は、図 40.2 のとおりです。

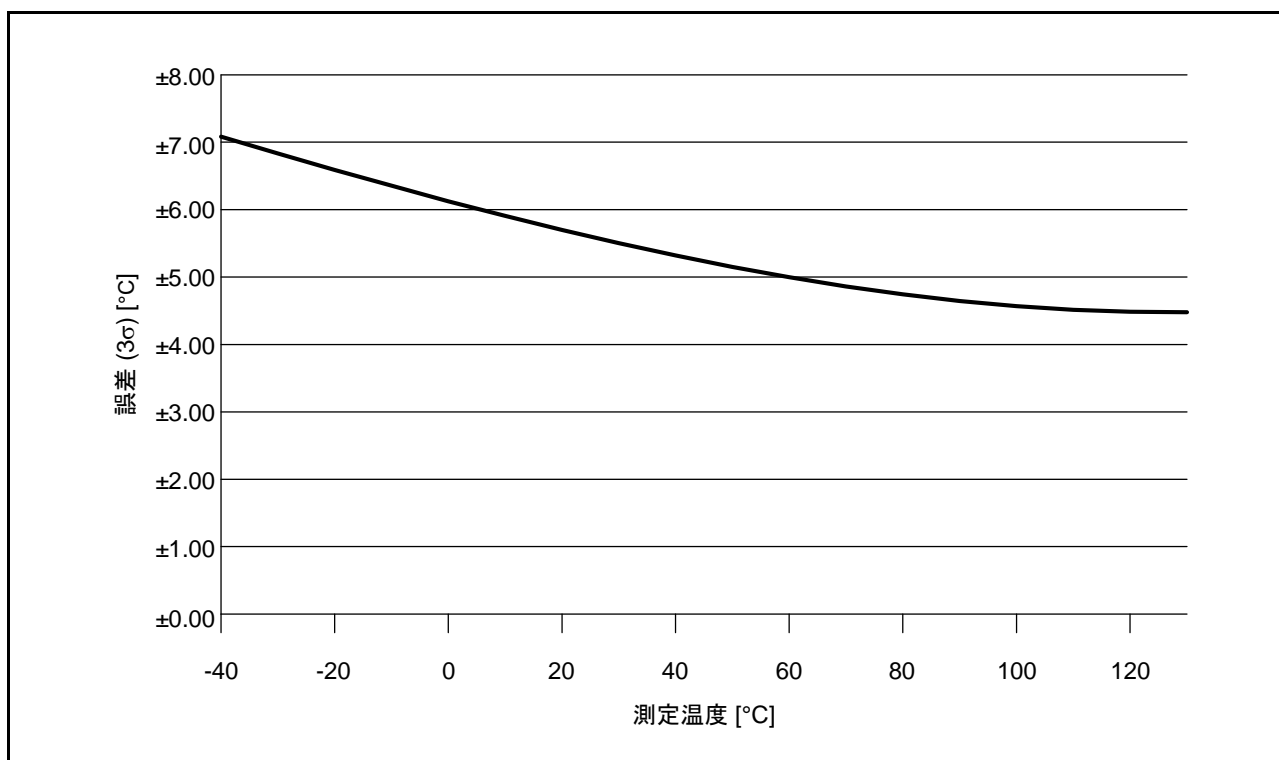


図 40.2 製品の測定温度誤差

40.3.2 12 ビット A/D コンバータ (ユニット 0) の設定

温度センサの出力を A/D 変換するために、12 ビット A/D コンバータ (ユニット 0) のレジスタを以下のよう
に設定する必要があります。

- 温度センサ出力の A/D 変換対象への選択

A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA、TSSB
または ADGCEXCR.TSSC) を “1” に設定し、温度センサ出力を A/D 変換対象に選択します。

- スキャンモードの設定

A/D コントロールレジスタのスキャンモード選択ビット (ADCSR.ADCS[1:0]) を設定し、スキャンモード
を選択します。シングルスキャンモードまたはグループスキャンモードに設定してください。

- 加算 / 平均モードの設定

温度センサの出力を A/D 変換する際、加算モードと平均モードの選択が可能です。加算モードと平均
モードいずれのモードを使用する場合でも、A/D 変換拡張入力コントロールレジスタの温度センサ出力 A/D
変換値加算モード選択ビット (ADEXICR.TSSAD) を “1” に設定し、A/D 変換値加算回数選択レジスタの加算
回数選択ビット (ADADC.ADC[1:0]) に加算回数を設定してください。

加算モードを選択する場合は、ADADC.AVEE ビットを “0” に、平均モードを選択する場合は、
ADADC.AVEE ビットを “1” にしてください。ただし、平均モードを選択する場合は、ADADC.ADC[1:0]
ビットを “10b” に設定しないでください。

- 12 ビット A/D コンバータ (ユニット 0) のサンプリング時間の設定

温度センサの出力を A/D 変換する際、サンプリング時間を変更することができます。初期値は 27 クロッ
クです。サンプリング時間を 27 クロックから変更する場合は、ADCSR.ADST ビットが “0” のときに A/D サ
ンプリングステートレジスタ T (ADSSTRT) を設定してください。サンプリング時間の設定範囲は
「38.2.19 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 15, L, T, O)」を参照してください。
サンプリング時間は「45. 電気的特性」に記載された仕様を満たすように設定してください。

A/D コントロールレジスタの A/D 変換スタートビット (ADCSR.ADST) を “1” にすると、A/D 変換を開始
し、A/D 温度センサデータレジスタ (ADTSDR) に A/D 変換結果が格納されます。温度センサの出力を A/D
変換する際は、「40.3.3 温度センサの使用手順」に従ってください。

40.3.3 温度センサの使用手順

図 40.3 に温度センサの使用手順フローを示します。

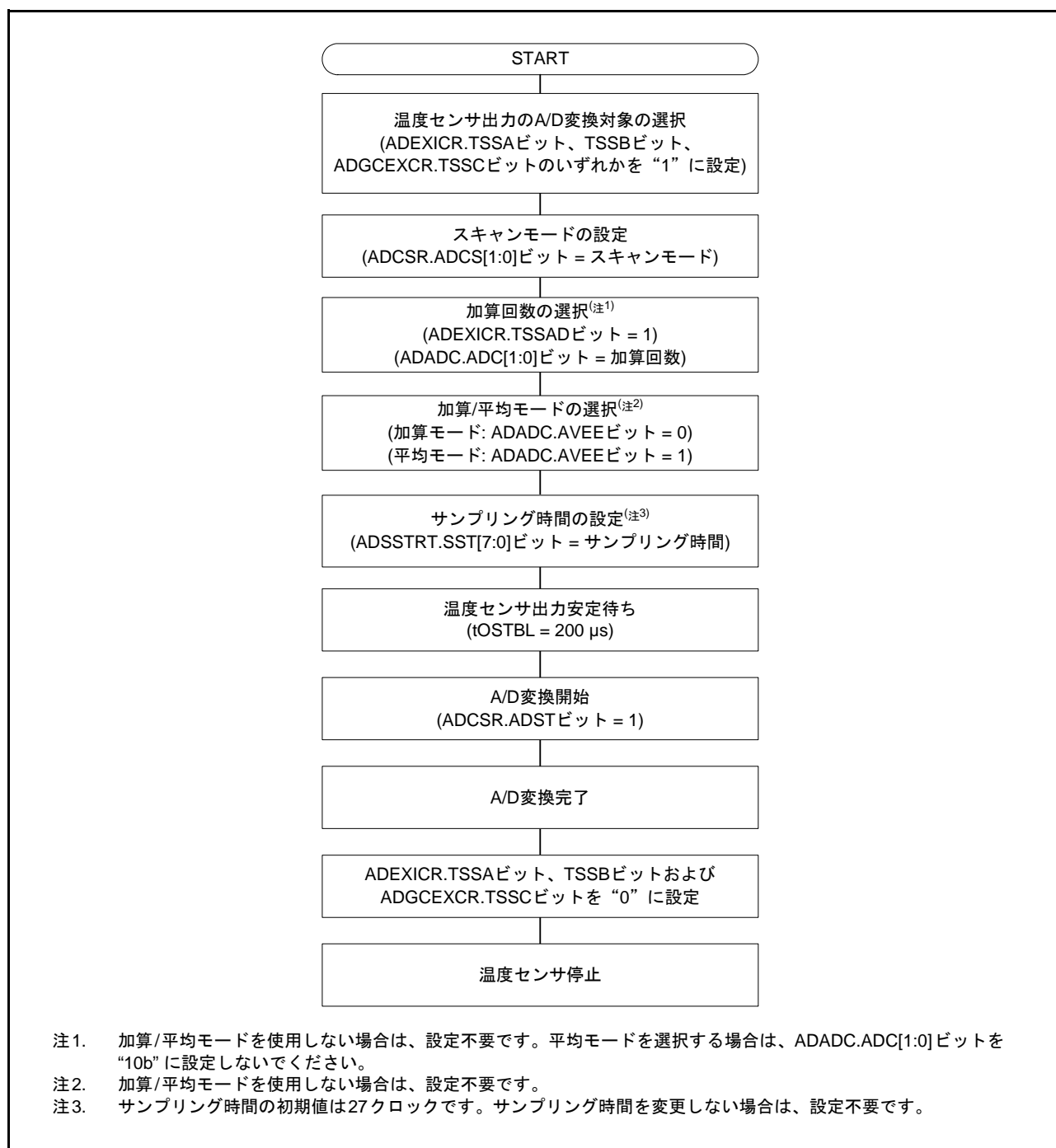


図 40.3 温度センサの使用手順フロー

40.3.4 温度センサ出力の A/D 変換タイミング

シングルスキャンモードで温度センサ出力のみを A/D 変換対象としたときの、温度センサの動作から A/D 変換完了までのタイミングを図 40.4 に、温度センサ動作から A/D 変換完了までの時間を表 40.2 に示します。

温度センサ出力を A/D 変換する場合、ASDT ビットを“1”にすると、サンプリングの前にオートディスチャージが行われます。温度センサの A/D 変換時間には、このオートディスチャージ時間が含まれます。

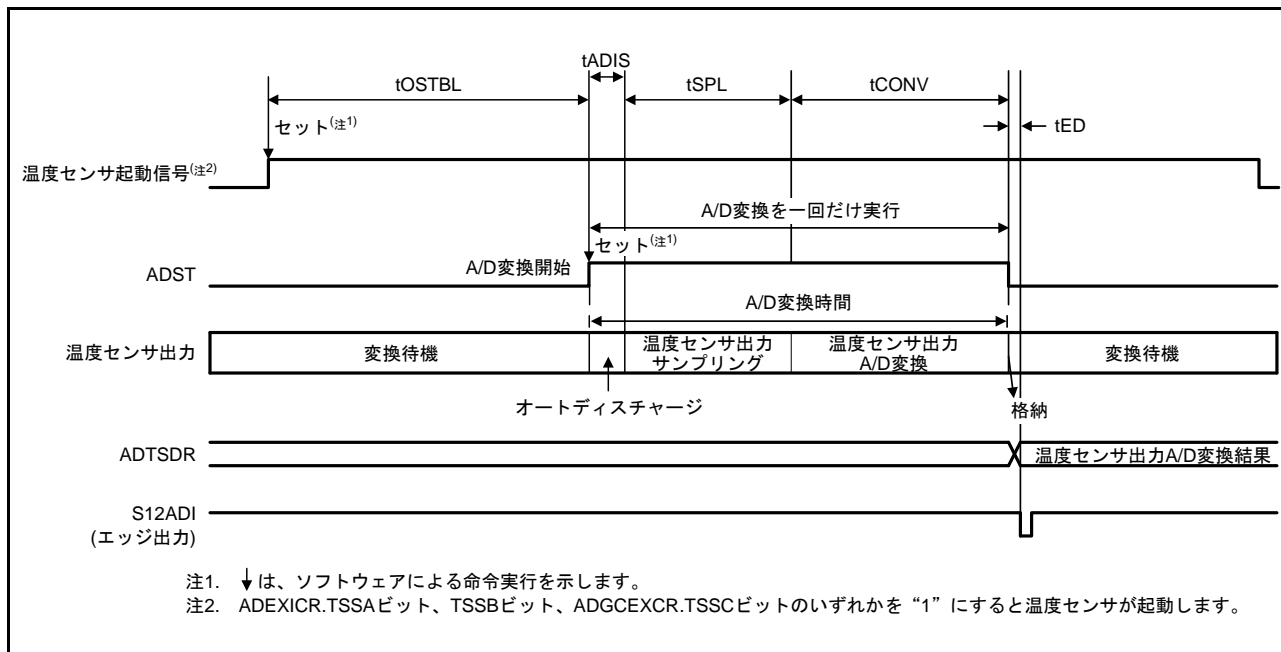


図 40.4 温度センサの動作から A/D 変換完了までのタイミング

表 40.2 温度センサの動作から A/D 変換完了までの時間

項目	記号	時間
温度センサ出力安定待ち時間	tOSTBL	200 μs (min)
オートディスチャージ時間	tADIS	15 × tC(ADCLK)
12ビットA/Dコンバータ(ユニット0)入力サンプリング時間	tSPL	ADSSTRTの設定値 × tC(ADCLK)
A/D変換処理時間	tCONV	「38.3.7 アナログ入力のサンプリング時間とスキャン変換時間」の「表38.15 スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)」を参照
スキャン変換終了遅延時間	tED	「38.3.7 アナログ入力のサンプリング時間とスキャン変換時間」の「表38.15 スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)」を参照

40.4 使用上の注意事項

40.4.1 温度センサの動作設定

温度センサは 12 ビット A/D コンバータのユニット 0 (S12AD) 内のレジスタで制御されます。温度センサを動作させる場合は、S12AD のモジュールストップ状態を解除した後に ADEXICR.TSSA ビット、TSSB ビットまたは ADGCEXCR.TSSC ビットを“1”にしてください。詳細は、「38. 12 ビット A/D コンバータ(S12ADH)」を参照してください。

41. コンパレータ C (CMPC)

41.1 概要

コンパレータ C はリファレンス入力電圧とアナログ入力電圧を比較します。リファレンス入力電圧とアナログ入力電圧の比較結果はソフトウェアで読むことも、外部端子に出力することもできます。また、比較結果の変化を検出して割り込み要求を発生させることもできます。

コンパレータ C のリファレンス入力電圧は、CVREFC0 ~ CVREFC3 端子からの入力、内蔵 D/A コンバータ 0 出力、または内蔵 D/A コンバータ 1 出力のいずれかから選択できます。

表 41.1 にコンパレータ C の仕様を、図 41.1 にコンパレータ C のブロック図を、表 41.2 にコンパレータ C の入出力端子を示します。

本章に記載している PCLK とは PCLKB を指します。

表41.1 コンパレータCの仕様

項目	内容
チャンネル数	4チャンネル(コンパレータC0~コンパレータC3)
アナログ入力電圧	CMPCn0端子(n = チャンネル番号)からの入力電圧
リファレンス入力電圧	CVREFC0 ~ CVREF3端子からの入力電圧、内蔵D/Aコンバータ0出力電圧、または内蔵D/Aコンバータ1出力電圧
比較結果	比較結果を外部出力可能
デジタルフィルタ機能	<ul style="list-style-type: none"> 3種類のサンプリング周期の選択可能 フィルタ未使用も可能 ノイズフィルタを通した信号から割り込み要求出力、ELCへのイベント出力の生成、およびレジスタを介して比較結果を読み出し可能
割り込み要求	<ul style="list-style-type: none"> 比較結果の有効エッジを検出して割り込み要求を発生 有効エッジは、比較結果の立ち上がりエッジ/立ち下がりエッジ/両エッジから選択可能
消費電力低減機能	モジュールストップ状態への遷移が可能

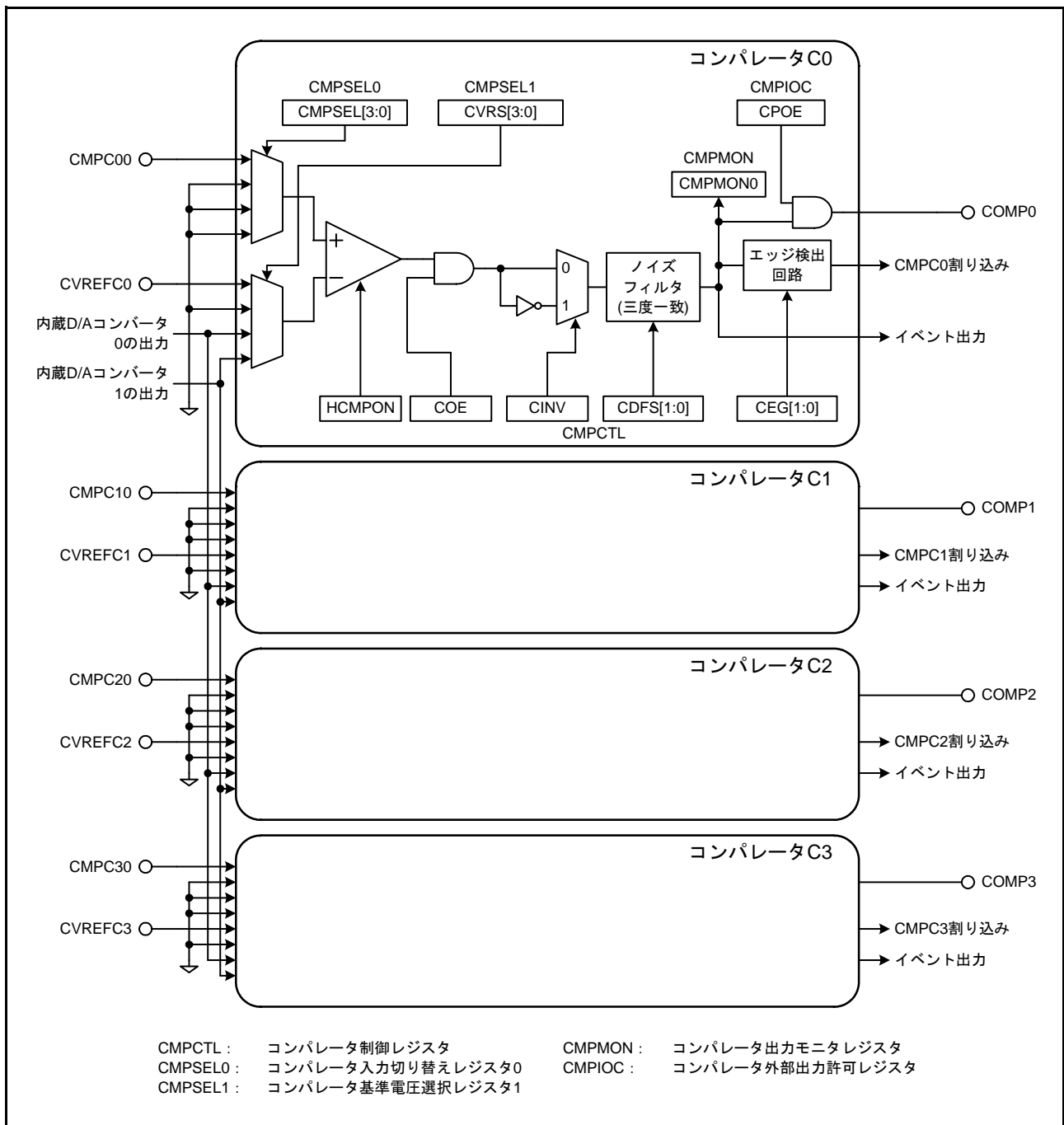


図 41.1 コンパレータCのブロック図

表41.2 コンパレータCの入出力端子

端子名	入出力	機能
CMPC00	入力	CMPC0用アナログ入力端子
CMPC10	入力	CMPC1用アナログ入力端子
CMPC20	入力	CMPC2用アナログ入力端子
CMPC30	入力	CMPC3用アナログ入力端子
CVREFC0	入力	CMPC0用リファレンス入力電圧端子
CVREFC1	入力	CMPC1用リファレンス入力電圧端子
CVREFC2	入力	CMPC2用リファレンス入力電圧端子
CVREFC3	入力	CMPC3用リファレンス入力電圧端子
COMP0	出力	CMPC0比較結果出力端子
COMP1	出力	CMPC1比較結果出力端子
COMP2	出力	CMPC2比較結果出力端子
COMP3	出力	CMPC3比較結果出力端子

41.2 レジスタの説明

41.2.1 コンパレータ制御レジスタ (CMPCTL)

アドレス CMPC0.CMPCTL 000A 0C80h, CMPC1.CMPCTL 000A 0CA0h, CMPC2.CMPCTL 000A 0CC0h, CMPC3.CMPCTL 000A 0CE0h

	b7	b6	b5	b4	b3	b2	b1	b0
	HCMP ON	CDFS[1:0]	CEG[1:0]	—	COE	CINV		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性切り替えビット (注1、注4)	0 : コンパレータ出力非反転 1 : コンパレータ出力反転	R/W
b1	COE	コンパレータ出力許可ビット	0 : コンパレータ出力禁止("0"出力に固定) 1 : コンパレータ出力許可	R/W
b2	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b4-b3	CEG[1:0]	コンパレータエッジ割り込み検出選択 ビット	b4 b3 0 0 : 割り込み要求を生成しない 0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 立ち上がり、立ち下がりの両エッジ	R/W
b6-b5	CDFS[1:0]	ノイズフィルタサンプリング選択ビッ ト(注1、注2、注4)	b6 b5 0 0 : ノイズフィルタ未使用 0 1 : PCLK/8でサンプリング 1 0 : PCLK/16でサンプリング 1 1 : PCLK/32でサンプリング	R/W
b7	HCMPON	コンパレータ動作許可ビット(注3)	0 : 動作停止(コンパレータの出力は"0") 1 : 動作許可(コンパレータの端子入力許可)	R/W

注. イベント出力を使用する場合、ELCのレジスタを設定する前に、このレジスタを設定してください。

注1. CINV、CDFS[1:0]ビットの書き換えは、コンパレータの出力を禁止(COEビット=0)した後で行ってください。

注2. CDFS[1:0]ビットを"00b"(ノイズフィルタ未使用)から"00b"以外(ノイズフィルタを使用)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、CMPCn割り込み要求出力やイベント出力を使用してください。

注3. コンパレータ動作を許可(HCMPONビット=1)に設定後、動作安定待ち時間が必要です。値は、「45. 電気的特性」を参照してください。

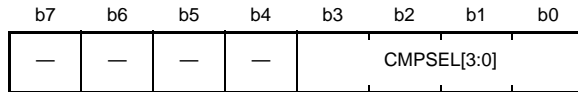
注4. CINVビット、CDFS[1:0]ビットを変更するとCMPCn割り込み要求およびイベント出力が発生することがあります。これらのビットは、ELCのレジスタ設定でコンパレータ出力をリンクさせない設定にしてから変更してください。また、変更後に対応する割り込み要求レジスタの割り込みステータスフラグ(IR)を"0"にしてください。

CEG[1:0] ビット (コンパレータエッジ割り込み検出選択ビット)

コンパレータ出力信号のどのエッジで割り込み要求を生成するかを選択するビットです。有効エッジの設定は、CINV ビットおよびCDFS[1:0] ビットにより、コンパレータ出力信号を反転/非反転処理、ノイズフィルタ未使用/使用処理した信号に対して設定されます。

41.2.2 コンパレータ入力切り替えレジスタ (CMPSEL0)

アドレス CMPC0.CMPSEL0 000A 0C84h, CMPC1.CMPSEL0 000A 0CA4h, CMPC2.CMPSEL0 000A 0CC4h,
CMPC3.CMPSEL0 000A 0CE4h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMPSEL[3:0]	コンパレータ入力切り替えビット (注1、注2)	<ul style="list-style-type: none"> コンパレータC0の場合 b3 b0 0000: 入力なし 0001: CMPC0を選択 上記以外は設定しないでください コンパレータC1の場合 b3 b0 0000: 入力なし 0001: CMPC10を選択 上記以外は設定しないでください コンパレータC2の場合 b3 b0 0000: 入力なし 0001: CMPC20を選択 上記以外は設定しないでください コンパレータC3の場合 b3 b0 0000: 入力なし 0001: CMPC30を選択 上記以外は設定しないでください 	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

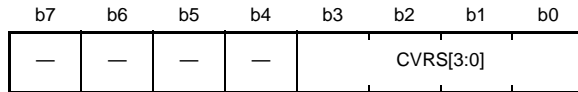
注1. CMPSEL[3:0]ビットの書き換えは、以下の手順で行ってください。CMPSEL[3:0]ビットが“0000b”でないときに、“0000b”以外の書き込みは無効です。2ビット以上“1”となる値を書いた場合も無効です。いずれの場合も前の値を保持します。

- (1) CMPCTL.COEビットを“0”にする
- (2) CMPSEL[3:0]ビットを“0000b”にする
- (3) CMPSEL[3:0]ビットを新しい設定値(いずれか1ビットのみ“1”)にする
- (4) 入力切り替えの安定時間を待つ。値は、「45. 電気的特性」を参照してください。
- (5) CMPCTL.COEビットを“1”にする
- (6) 対応する割り込み要求レジスタの割り込みステータスフラグ(IR)を“0”にする

注2. イベント出力を使用する場合、ELCのレジスタを設定した後に、このビットに書き込むとイベント信号が出力されることがあるので注意してください。

41.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス CMPC0.CMPSEL1 000A 0C88h, CMPC1.CMPSEL1 000A 0CA8h, CMPC2.CMPSEL1 000A 0CC8h, CMPC3.CMPSEL1 000A 0CE8h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CVRS[3:0]	リファレンス入力電圧選択ビット (注1、注2、注3)	b3 b0 0 0 0 0: 入力なし 0 0 0 1: リファレンス入力電圧に内蔵 D/A コンバータ 1 の出力を選択 0 0 1 0: リファレンス入力電圧に内蔵 D/A コンバータ 0 の出力を選択 1 0 0 0: リファレンス入力電圧に CVREFCn 入力 (n = 0~3) を選択 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. 内蔵 D/A コンバータの出力を使用する場合、コンパレータの動作を許可 (CMPCTL.HCMPON ビット = 1) する前に、D/A コンバータを設定してください。D/A コンバータの設定については「39. 12ビット D/A コンバータ (R12DAb)」を参照してください。
- 注2. CVRS[3:0] ビットの書き換えは、以下の手順で行ってください。設定値を変えるときは、CVRS[3:0] ビットを“0000b”にしてから設定値を変更してください。“0001b”から“0010b”、“0010b”から“0001b”などのように直接書き換えようとしても無視されます。
- (1) CMPCTL.COE ビットを“0”にする
 - (2) CVRS[3:0] ビットを“0000b”にする
 - (3) CVRS[3:0] ビットを新しい設定値(いずれか1ビットのみ“1”)にする
 - (4) 入力切り替えの安定時間を待つ。値は、「45. 電気的特性」を参照してください。
 - (5) CMPCTL.COE ビットを“1”にする
 - (6) 対応する割り込み要求レジスタの割り込みステータスフラグ (IR) を“0”にする
- 注3. イベント出力を使用する場合、ELCのレジスタを設定した後に、このビットに書き込むとイベント信号が出力される場合がありますので注意してください。

41.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス CMPC0.CMPMON 000A 0C8Ch, CMPC1.CMPMON 000A 0CACH, CMPC2.CMPMON 000A 0CCCh,
CMPC3.CMPMON 000A 0CECh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CMPM ON0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CMPMON0	コンパレータ出力モニタフラグ (注1)	0 : コンパレータ出力は“0” 1 : コンパレータ出力は“1”	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ノイズフィルタ未使用(CMPCTL.CDFS[1:0]ビット = 00b)の設定でコンパレータを動作(CMPCTL.HCMPON、COEビット = 1)させる場合は、CMPMON0ビットを2回リードし、一致したときのみその値を使用してください。

41.2.5 コンパレータ外部出力許可レジスタ (CMPIOC)

アドレス CMPC0.CMPIOC 000A 0C90h, CMPC1.CMPIOC 000A 0CB0h, CMPC2.CMPIOC 000A 0CD0h,
CMPC3.CMPIOC 000A 0CF0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CPOE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	外部端子出力許可ビット	コンパレータの比較結果を外部端子へ出力します。 0 : コンパレータ外部端子出力禁止 (Low出力に固定) 1 : コンパレータ外部端子出力許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

41.3 動作説明

41.3.1 コンパレータ動作例

図 41.2 にコンパレータの動作例を示します。リファレンス入力電圧よりアナログ入力電圧が高い場合に COMPn レベル検出信号 (n = 0 ~ 3) が High になり、リファレンス入力電圧よりアナログ入力電圧が低い場合に COMPn レベル検出信号が Low になります (CMPCTL.CINV ビットが “0” の場合)。COMPn レベル検出信号はイベント出力信号としても使われ、また CMPIOC.CPOE ビットが “1” の場合、COMPn 端子から出力されます。また、コンパレータ出力が変化すると割り込み要求を生成します。

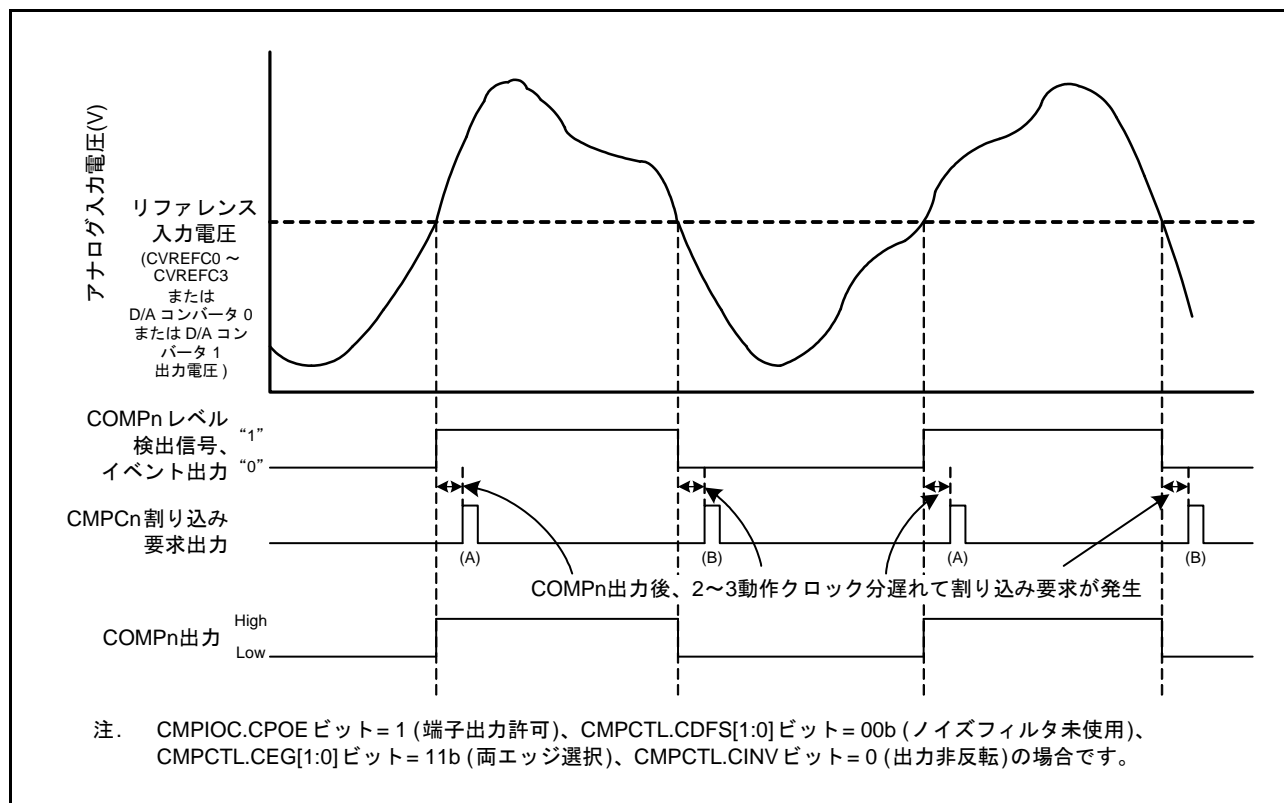


図 41.2 コンパレータの動作例 (n = 0 ~ 3)

41.3.2 ノイズフィルタ

コンパレータ C は、ノイズフィルタを内蔵しています。サンプリングクロックは CMPCTL.CDFS[1:0] ビットで選択できます。サンプリングクロックごとにコンパレータの出力信号をサンプリングし、レベルが 3 回一致した次のサンプリングクロックで、ノイズフィルタ出力がその値になります。

図 41.3 にノイズフィルタとエッジ検出回路の構成を、図 41.4 にノイズフィルタと割り込み動作例を示します。

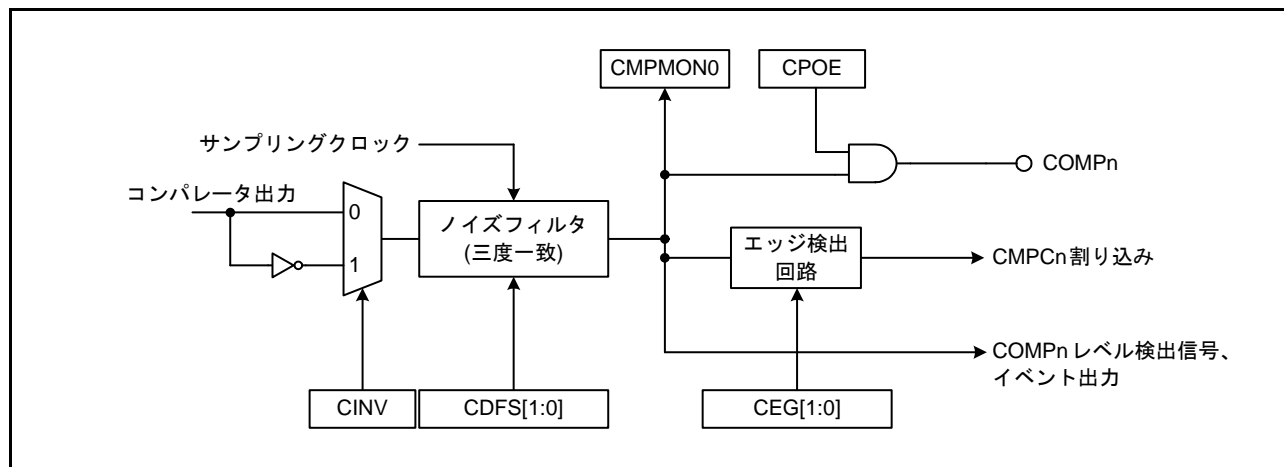


図 41.3 ノイズフィルタとエッジ検出回路の構成 (n = 0 ~ 3)

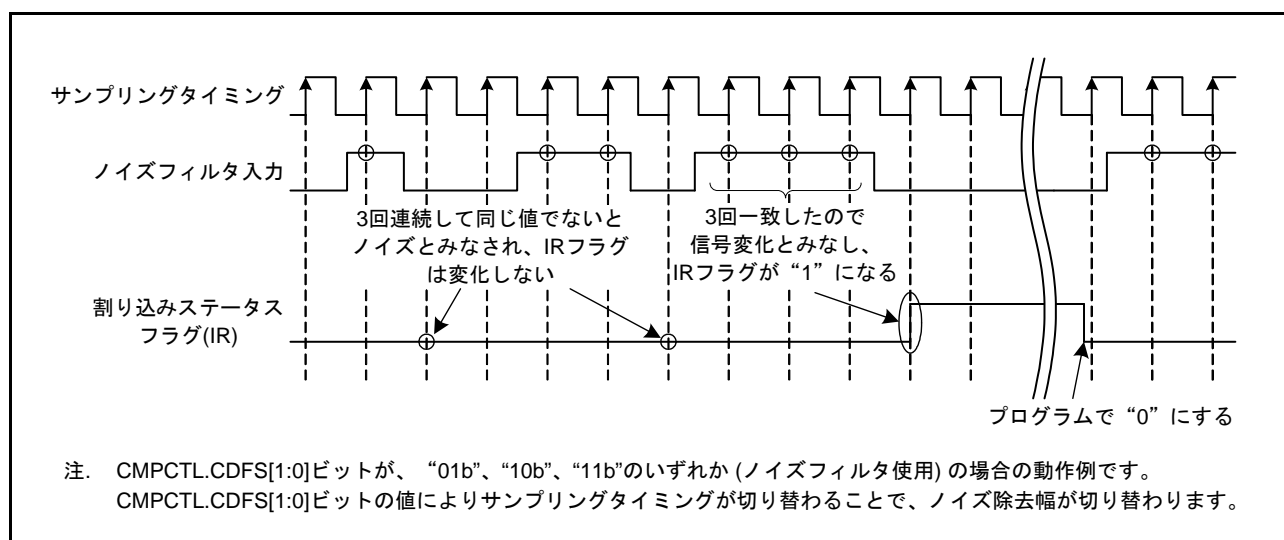


図 41.4 ノイズフィルタと割り込み動作例

41.3.3 割り込み

コンパレータ C は比較結果の変化を検出して割り込み要求を発生させます。

CMPCn 割り込みを使用するときは、CMPCTL.CEG[1:0] ビットの少なくとも 1 つを“1”(“00b”(割り込み要求を生成しない)以外の設定)にしてください。

CMPCn 割り込みを使用する場合は、以下の手順で設定してください。ただし、(1)、(2)、(3)は順不同です。

- (1) リファレンス入力電圧に内蔵 D/A コンバータの出力を使用する場合は、D/A コンバータを設定し、D/A 変換を許可する。
- (2) CMPSEL0、CMPSEL1 レジスタでコンパレータの入力を設定する。
- (3) CMPCTL.CINV、CDFFS[1:0] ビットを設定し、反転/非反転処理およびノイズフィルタのサンプリングタイミングを選択する。
- (4) コンパレータの割り込み検出エッジを有効 (CMPCTL.CEG[1:0] ビットを“00b”以外)にする。
- (5) コンパレータの入力を許可 (CMPCTL.HCMPON ビットを“1”)し、コンパレータの動作安定時間を待つ。値は、「45. 電気的特性」を参照してください。
- (6) コンパレータの出力を許可 (CMPCTL.COE ビットを“1”)する。

41.3.4 コンパレータの端子出力

コンパレータの比較結果を COMPn 端子 (n = 0 ~ 3) に出力することができます。CMPCTL.CINV ビットや CMPIOC.CPOE ビットにより、出力極性 (非反転出力/反転出力) や出力許可/禁止を設定できます。

コンパレータの比較結果を COMPn 端子に出力する場合は、以下の手順で設定してください (リセット後、ポートは入力設定になっています)。

- (1) 「41.3.3 割り込み」に示す手順の (1) ~ (3) および (5)、(6) を行う。
- (2) コンパレータの比較結果を外部端子へ出力 (CMPIOC.CPOE ビットを“1”)する。
- (3) 各コンパレータの出力端子に対応するポートモードレジスタ、端子機能制御レジスタの設定をする。

41.3.5 コンパレータの設定手順

図 41.5 にコンパレータの動作設定フローを示します。

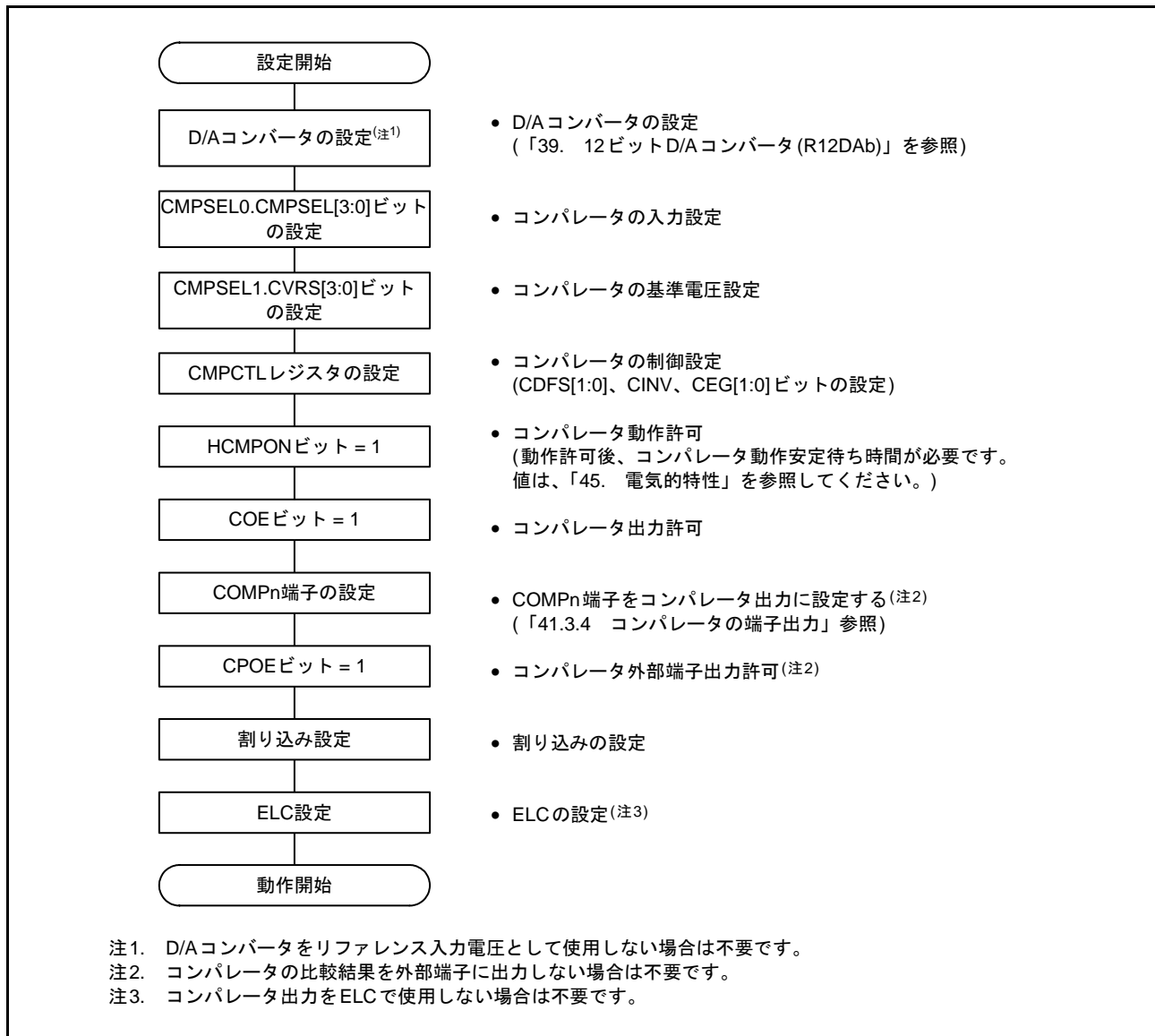


図 41.5 コンパレータ動作設定フローチャート (n = 0 ~ 3)

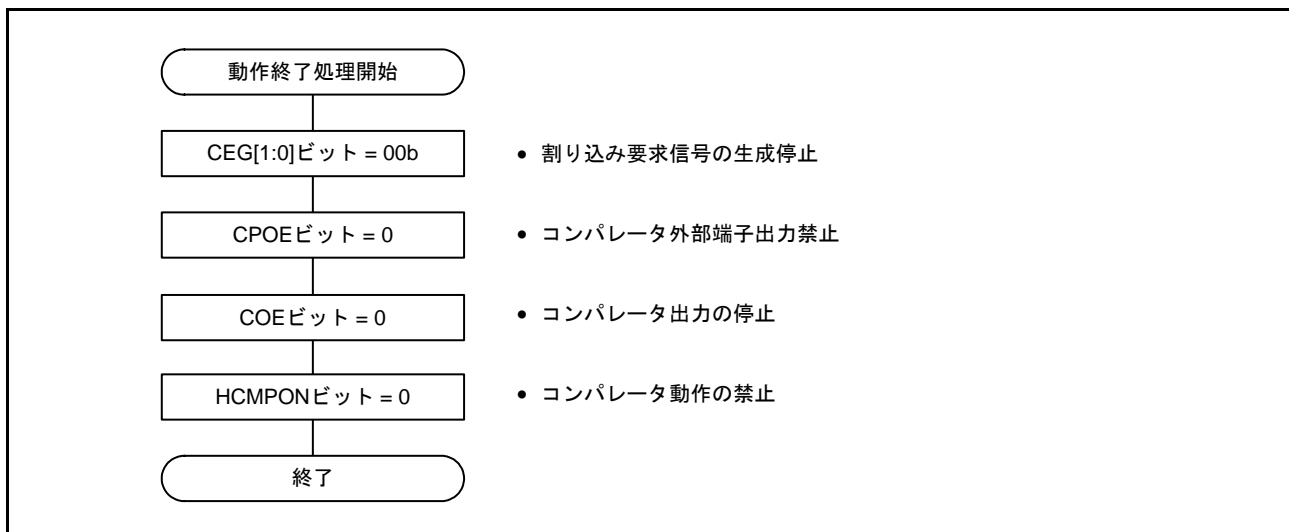


図 41.6 コンパレータ動作終了フローチャート

41.4 使用上の注意事項

41.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ C の動作禁止 / 許可を設定することが可能です。リセット解除後は、コンパレータ C の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

41.4.2 モジュールストップ時のコンパレータ C の動作

コンパレータ C を動作させたままモジュールストップ状態に遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

41.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作

コンパレータ C を動作させたままソフトウェアスタンバイモードに遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

41.4.4 D/A コンバータの設定について

D/A コンバータの設定は、D/A 出力先選択レジスタ (DADSELR) でコンパレータ C への出力設定を行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

42. データ演算回路 (DOCA)

42.1 概要

データ演算回路 (DOC) は、16 または 32 ビットのデータを比較、加算または減算する機能です。

表 42.1 にデータ演算回路 (DOC) の仕様を示します。DOC のブロック図を図 42.1 に示します。

16 または 32 ビットのデータを比較し、選択した条件に合致した場合、または加算 / 減算の結果がオーバーフロー / アンダフローした場合に割り込みを発生させることができます。

表 42.1 データ演算回路(DOC)の仕様

項目	内容
データ演算機能	<ul style="list-style-type: none"> 16 または 32 ビットデータの比較 (一致 / 不一致、大小、範囲内外) 16 または 32 ビットデータの加算、または減算
消費電力低減機能	モジュールストップ状態への遷移が可能
割り込み	<ul style="list-style-type: none"> データ比較の結果が検出条件に合致したとき データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0 の場合)、または“FFFF FFFFh” (DOCR.DOPSZ = 1 の場合) より大きくなったとき (オーバーフロー) データ減算の結果が“0000h” (DOCR.DOPSZ = 0 の場合)、または“0000 0000h” (DOCR.DOPSZ = 1 の場合) より小さくなったとき (アンダフロー)
イベントリンク機能 (出力)	<ul style="list-style-type: none"> データ比較の結果が検出条件に合致したとき データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0 の場合)、または“FFFF FFFFh” (DOCR.DOPSZ = 1 の場合) より大きくなったとき (オーバーフロー) データ減算の結果が“0000h” (DOCR.DOPSZ = 0 の場合)、または“0000 0000h” (DOCR.DOPSZ = 1 の場合) より小さくなったとき (アンダフロー)

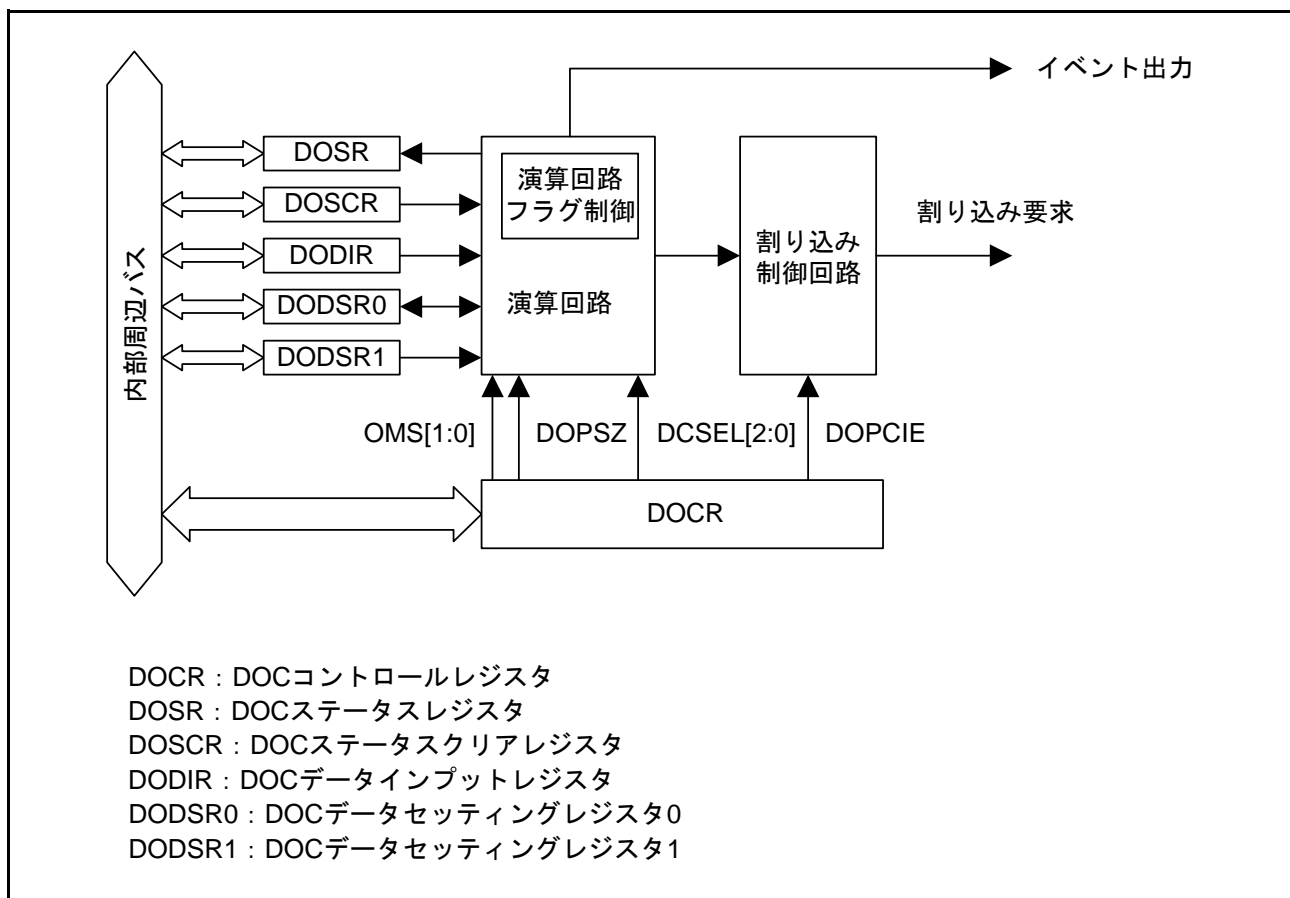


図 42.1 DOC のブロック図

42.2 レジスタの説明

42.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 000A 0580h

	b7	b6	b5	b4	b3	b2	b1	b0
	DOPCIE	DCSEL[2:0]		DOPSZ	—	OMS[1:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DOPSZ	データ演算サイズ選択ビット	0 : 16ビット幅 1 : 32ビット幅	R/W
b6-b4	DCSEL[2:0]	検出条件選択ビット(注1)	b6 b4 0 0 0 : 不一致(DODIR ≠ DODSR0) 0 0 1 : 一致(DODIR = DODSR0) 0 1 0 : 小さい(DODIR < DODSR0) 0 1 1 : 大きい(DODIR > DODSR0) 1 0 0 : 範囲内(DODSR0 < DODIR < DODSR1) 1 0 1 : 範囲外(DODIR < DODSR0, DODSR1 < DODIR) 上記以外 : 設定禁止	R/W
b7	DOPCIE	データ演算回路割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W

注1. データ比較モード選択時のみ有効

DOCR レジスタは、DOC の動作モードの設定や、割り込みの許可 / 禁止を設定するレジスタです。

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定により DOC の動作モードを選択します。

DOPSZ ビット (データ演算サイズ選択ビット)

本ビットの設定によりデータ演算サイズを選択します。

DCSEL[2:0] ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

42.2.2 DOC ステータスレジスタ (DOSR)

アドレス DOC.DOSR 000A 0584h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DOPCF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DOPCF	データ演算結果フラグ	演算結果を示します	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DOSR レジスタはデータ演算の結果を示すステータスレジスタです。

DOPCF フラグ (データ演算結果フラグ)

[“1”になる条件]

- DOCR.OMS[1:0] ビットが“00b”(データ比較モード)で、データ比較の結果がDOCR.DCSEL[2:0] ビットで選択した検出条件に合致したとき
- DOCR.OMS[1:0] ビットが“01b”(データ加算モード)で、データ加算の結果が“FFFFh”(DOCR.DOPSZ = 0の場合)または“FFFF FFFFh”(DOCR.DOPSZ = 1の場合)より大きくなったとき
- DOCR.OMS[1:0] ビットが“10b”(データ減算モード)で、データ減算の結果が“0000h”(DOCR.DOPSZ = 0の場合)または“0000 0000h”(DOCR.DOPSZ = 1の場合)より小さくなったとき

[“0”になる条件]

- DOSCR.DOPCFCL ビットに“1”を書き込んだとき

42.2.3 DOC ステータスクリアレジスタ (DOSCR)

アドレス DOC.DOSCR 000A 0588h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DOPCF CL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DOPCFCL	データ演算結果クリアビット	0 : DOPCFフラグの値を保持 1 : DOPCFフラグをクリア	W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

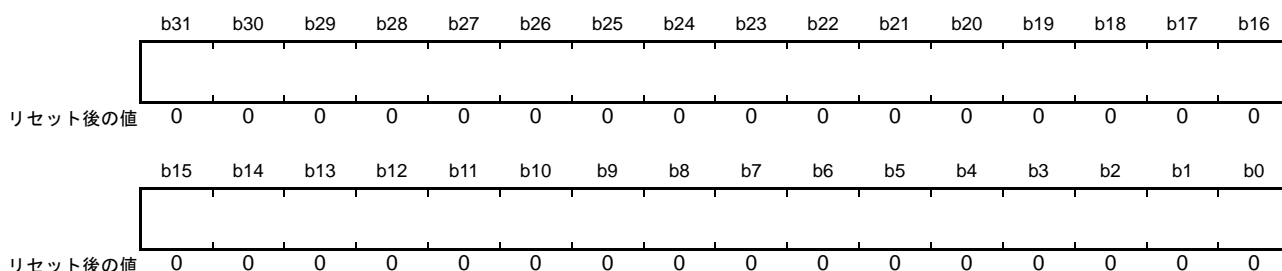
DOSCR レジスタはDOPCFフラグをクリアするためのレジスタです。読むと“00h”が読めます。

DOPCFCL フラグ (データ演算結果クリアビット)

本ビットに“1”を書くとDOSR.DOPCFフラグがクリアされます。

42.2.4 DOC データインプットレジスタ (DODIR)

アドレス DOC.DODIR 000A 058Ch

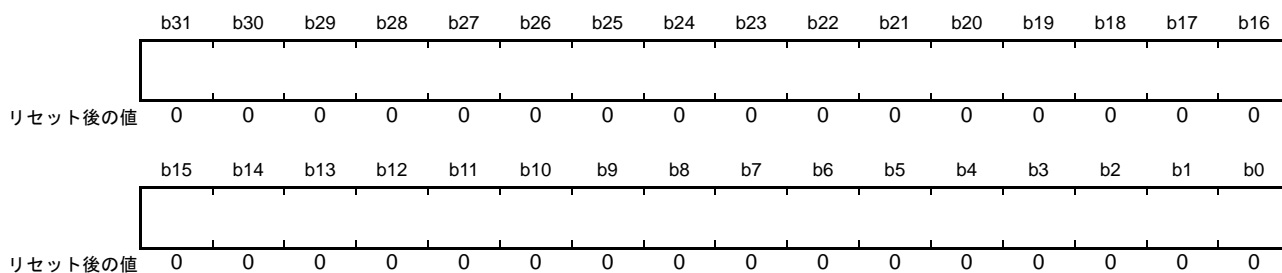


DODIR レジスタは、演算対象のデータを格納する読み書き可能なレジスタです。

DODIR レジスタには、DOCR.DOPSZ ビットで選択したデータ演算サイズでアクセスしてください。

42.2.5 DOC データセッティングレジスタ 0 (DODSR0)

アドレス DOC.DODSR0 000A 0590h



DODSR0 レジスタは、比較対象のデータを格納する、または演算結果が格納される読み書き可能なレジスタです。

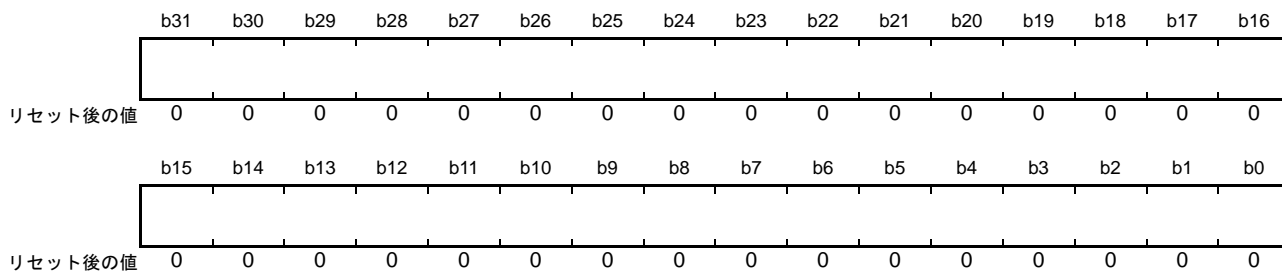
DODSR0 レジスタには、DOCR.DOPSZ ビットで選択したデータ演算サイズでアクセスしてください。

データ比較モードでは、比較の基準となるデータを格納してください。範囲内 (DOCR.DCSEL[2:0] = 100b) または範囲外 (DOCR.DCSEL[2:0] = 101b) を選択したときは、範囲の下限値を設定してください。

データ加算モードおよびデータ減算モードでは、演算結果が格納されます。

42.2.6 DOC データセッティングレジスタ 1 (DODSR1)

アドレス DOC.DODSR1 000A 0594h



DODSR1 レジスタは、比較対象のデータを格納する読み書き可能なレジスタです。

DODSR1 レジスタには、DOCR.DOPSZ ビットで選択したデータ演算サイズでアクセスしてください。

データ比較モードで範囲内 (DOCR.DCSEL[2:0] = 100b) または範囲外 (DOCR.DCSEL[2:0] = 101b) を選択したときに、範囲の上限値を設定してください。

本レジスタは、範囲内、範囲外を選択したとき以外は使用しません。

42.3 動作説明

42.3.1 データ比較モード

図 42.2 ~ 図 42.7 にデータ比較モード(注1)の動作例を示します。

DOC は、データ比較モード時、以下のように動作します。

以下は演算サイズが 32 ビット幅の場合の動作例です。

- (1) DOCR.OMS[1:0] ビットに“00b”を書き込むと、データ比較モードになります。また、同時に DOCR.DCSEL[2:0] ビットに書き込みを行い、検出条件を選択します。
- (2) DODSR0 レジスタと DODSR 1 レジスタに比較の基準となるデータを設定します。(注2)
- (3) DODIR レジスタに比較するデータを書き込みます。
- (4) DODIR レジスタに書き込まれたデータが DOCR.DCSEL[2:0] で設定した検出条件に合致したとき DOSR.DOPCF フラグが“1”になり、ELC イベントが発生します。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

注 1. 比較は DODIR レジスタへの書き込みと同時に行われます。DODSR0/DODSR1 レジスタへの書き込みでは行われません。

注 2. DODSR1 レジスタの設定は範囲内または範囲外を選択したときのみ必要です。DODSR1 レジスタ設定値 > DODSR0 レジスタ設定値となるように設定してください。

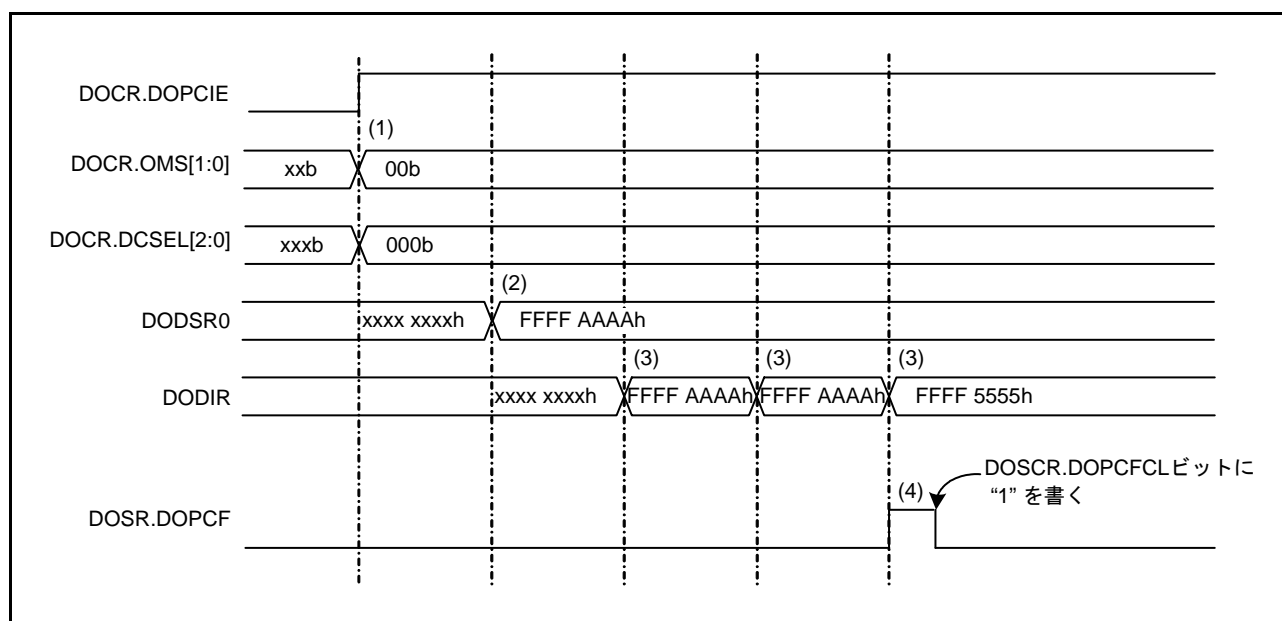


図 42.2 データ比較モードの動作例 (検出条件：不一致)

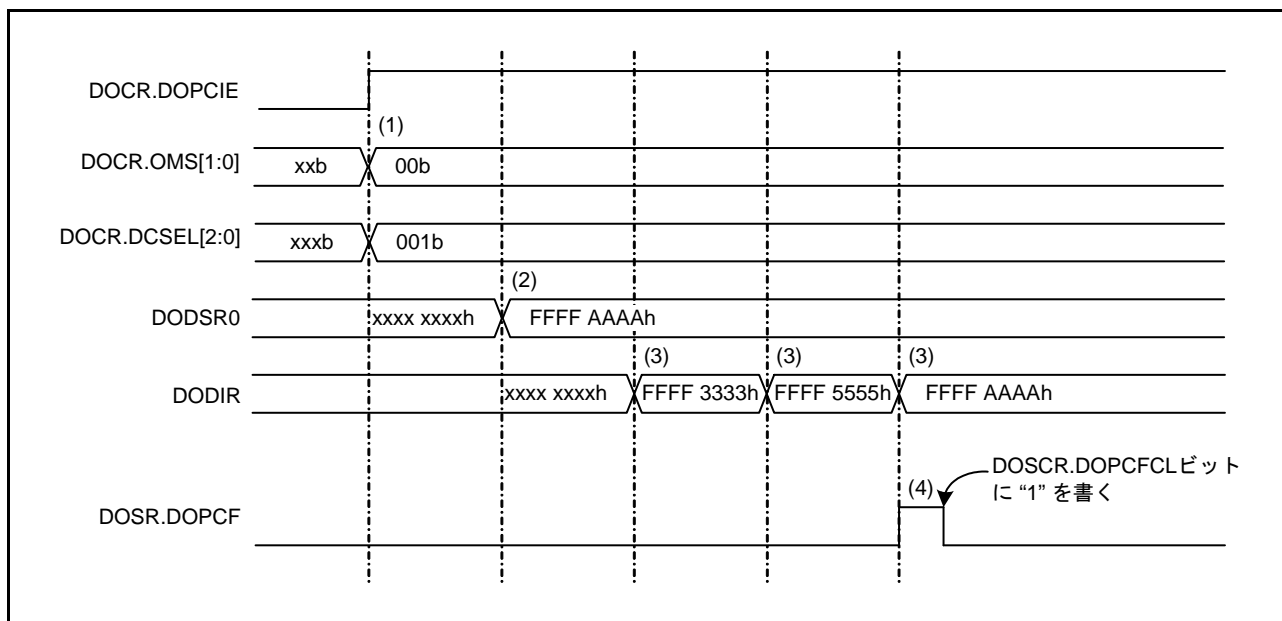


図 42.3 データ比較モードの動作例 (検出条件 : 一致)

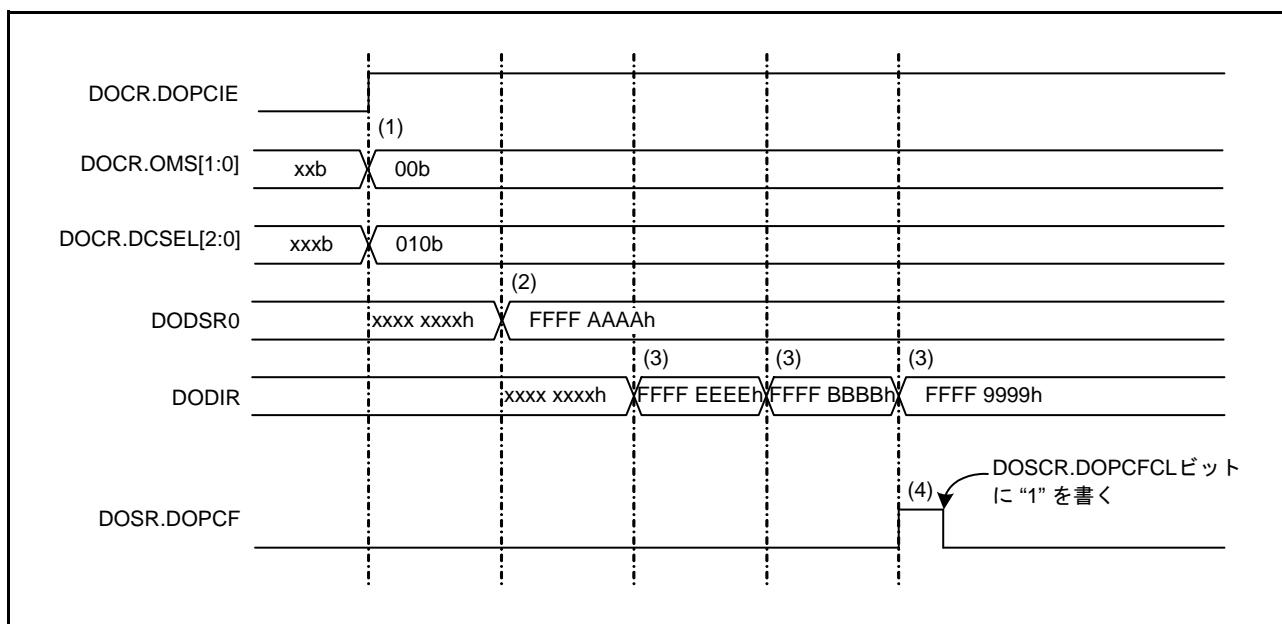


図 42.4 データ比較モードの動作例 (検出条件 : 小さい)

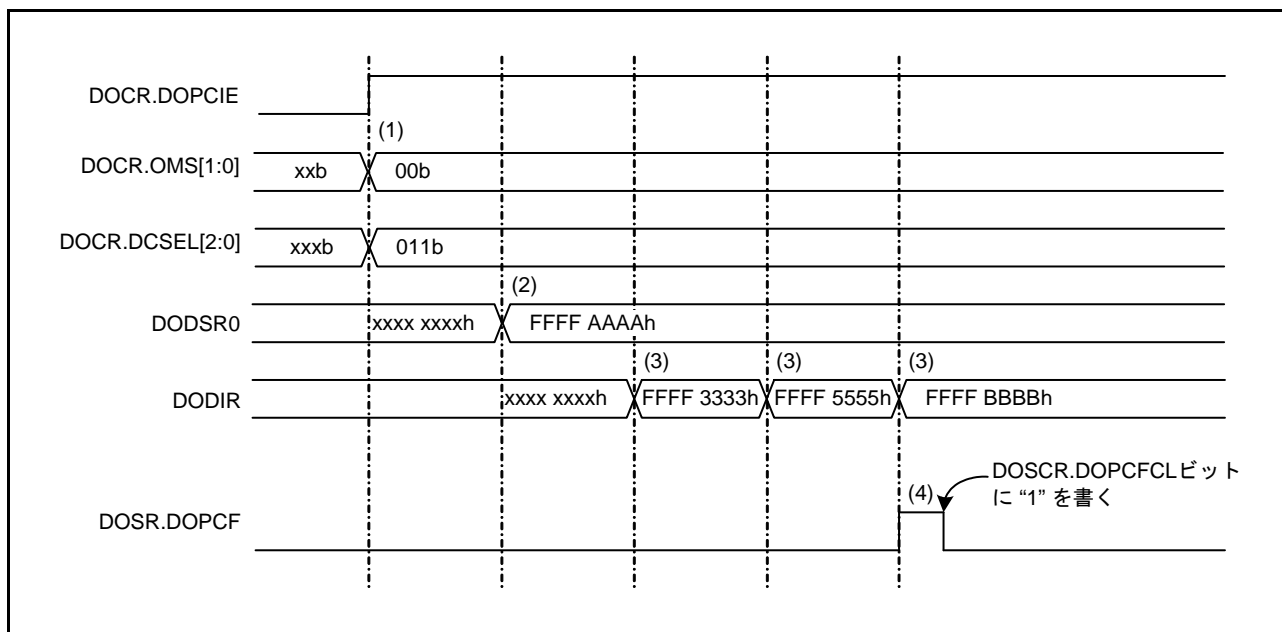


図 42.5 データ比較モードの動作例 (検出条件: 大きい)

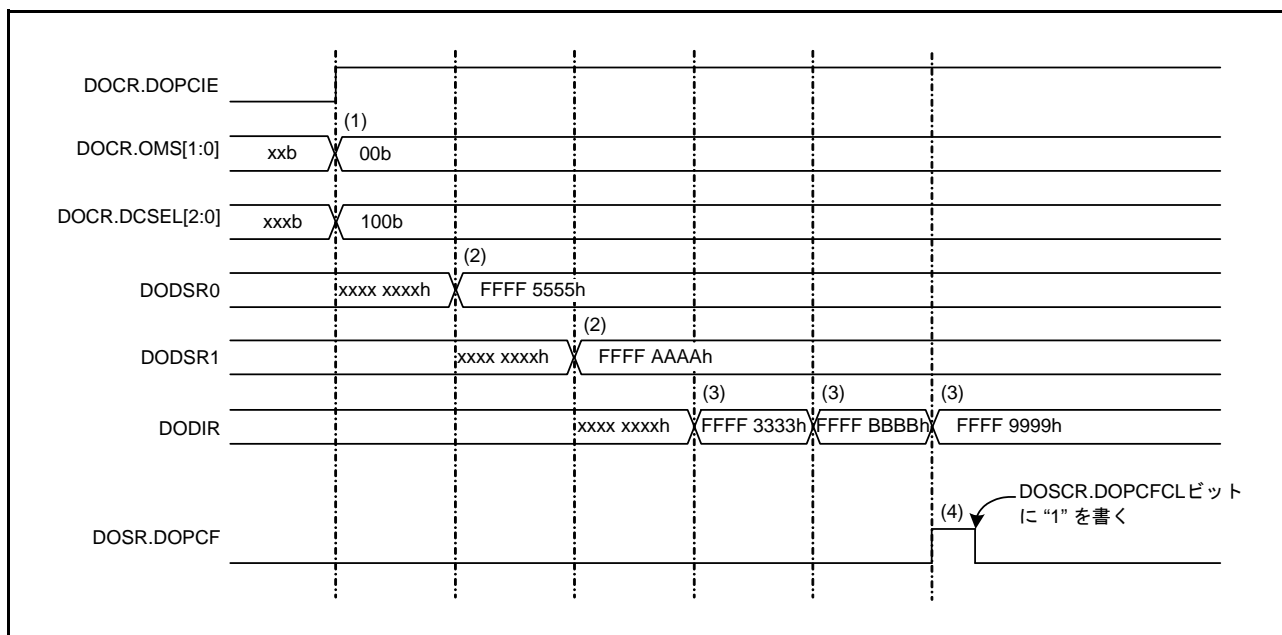


図 42.6 データ比較モードの動作例 (検出条件: 範囲内)

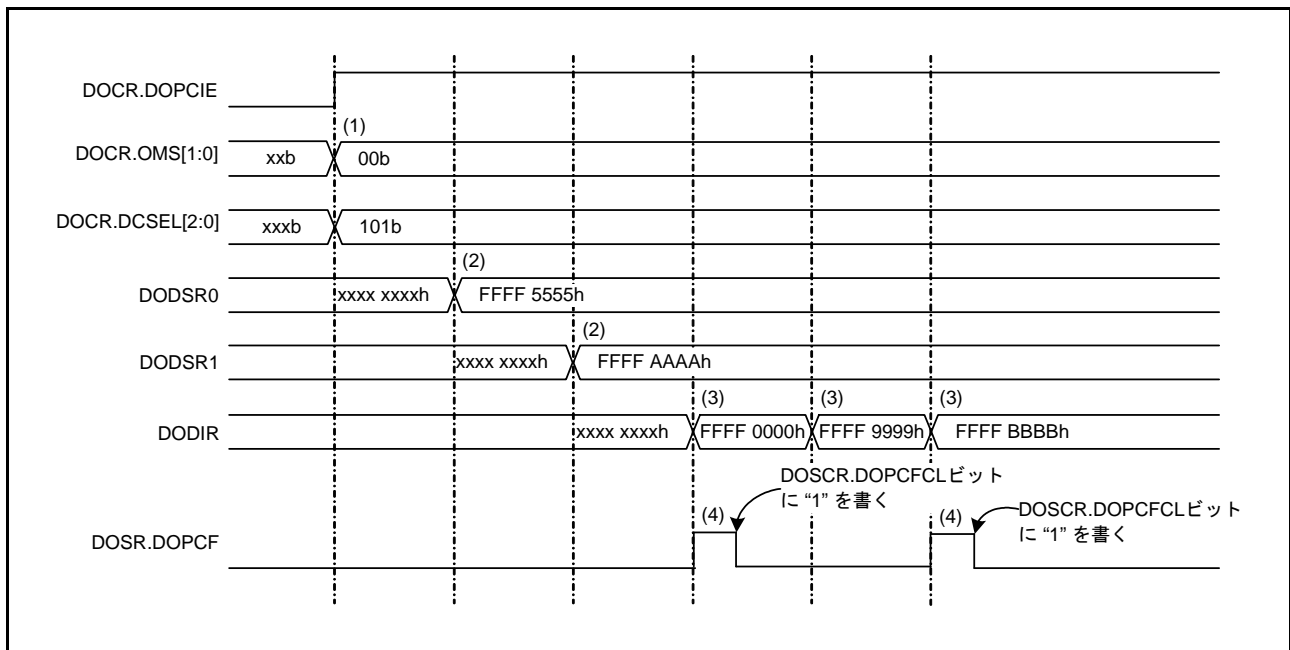


図 42.7 データ比較モードの動作例 (検出条件：範囲外)

42.3.2 データ加算モード

図 42.8 にデータ加算モード(注1)の動作例を示します。

DOCは、データ加算モード時、以下のように動作します。

以下はデータ演算サイズが32ビット幅の場合の動作例です。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR0 レジスタに初期値を設定します。
- (3) DODIR レジスタに加算するデータを書き込みます。演算結果はDODSR0 レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに加算するデータを書き込みます。
- (5) 演算結果が“FFFF FFFFh”よりも大きくなるとDOSR.DOPCF フラグが“1”になり、ELC イベントが発生します。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

注1. 加算はDODIR レジスタへの書き込みと同時にされます。DODSR0 レジスタへの書き込みでは行われません。

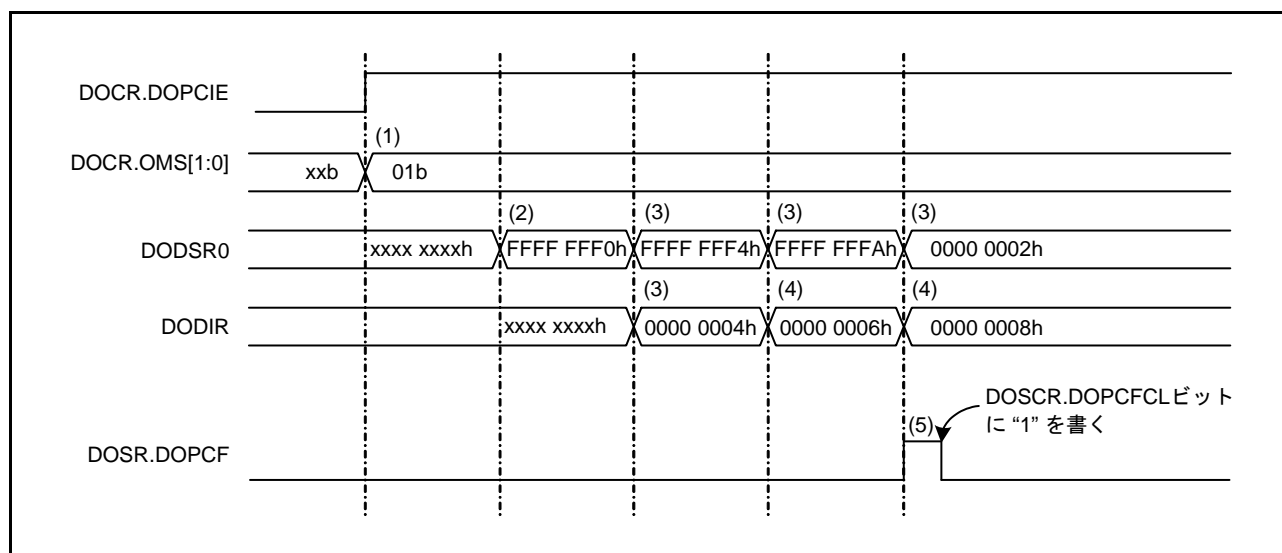


図 42.8 データ加算モードの動作例

42.3.3 データ減算モード

図 42.9 にデータ減算モード(注1)の動作例を示します。

DOC は、データ減算モード時、以下のように動作します。

以下はデータ演算サイズが 32 ビット幅の場合の動作例です。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR0 レジスタに初期値を設定します。
- (3) DODIR レジスタに減算するデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに減算するデータを書き込みます。
- (5) 演算結果が“0000 0000h”よりも小さくなると DOSR.DOPCF フラグが“1”になり、ELC イベントが発生します。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

注 1. 減算は DODIR レジスタへの書き込みと同時にされます。DODSR0 レジスタへの書き込みでは行われません。

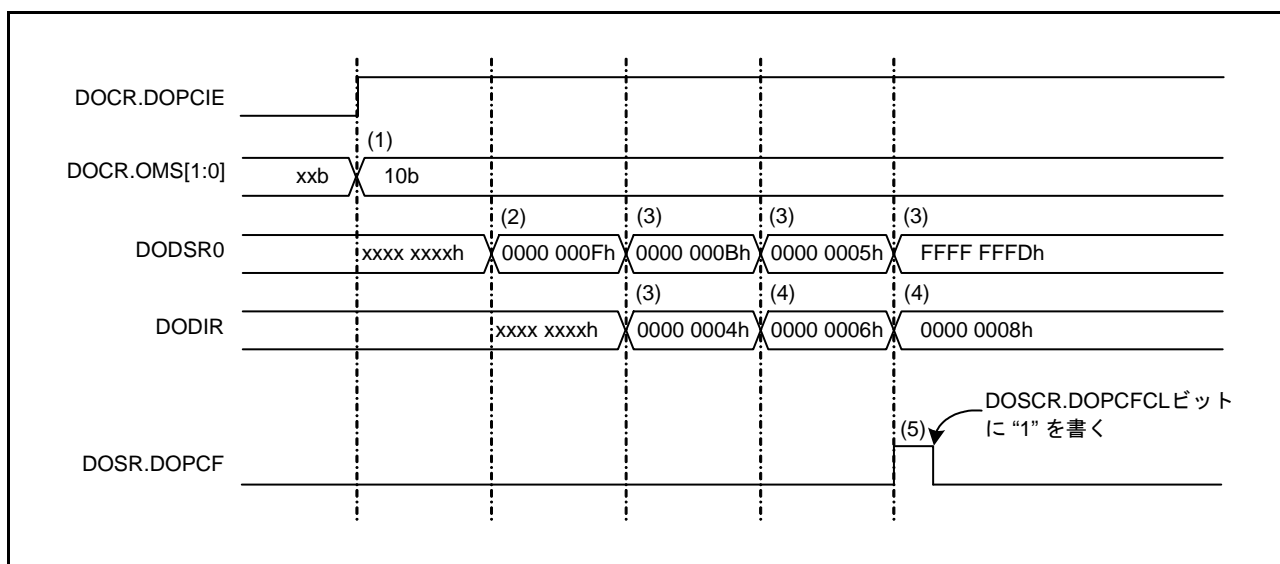


図 42.9 データ減算モードの動作例

42.4 割り込み要求

DOC が生成する割り込み要求には、データ演算回路割り込み (DOPCI) があります。割り込み要因が発生すると DOSR.DOPCF フラグが“1”になり、DOCR.DOPCIE ビットが“1”であれば、割り込み要求が発生します。表 42.2 に割り込み要求の内容を示します。

表 42.2 DOCの割り込み要求

割り込み要求	データ演算結果フラグ	割り込み発生タイミング
データ演算回路割り込み (DOPCI)	DOPCF	<ul style="list-style-type: none"> • データ比較の結果が検出条件に合致したとき • データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき • データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき

42.5 イベントリンク出力機能

DOC はイベントリンクコントローラ (ELC) へ以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が検出条件に合致したとき
- データ加算の結果が“FFFFh” (DOCR.DOPSZ = 0の場合)または“FFFF FFFFh” (DOCR.DOPSZ = 1の場合)より大きくなったとき
- データ減算の結果が“0000h” (DOCR.DOPSZ = 0の場合)または“0000 0000h” (DOCR.DOPSZ = 1の場合)より小さくなったとき

42.5.1 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可/禁止するビットがあります。割り込み要因が発生すると、割り込みが許可されている場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると、割り込み許可ビットの値にかかわらず、ELC を介して他のモジュールにイベント信号として出力します。

42.6 使用上の注意事項

42.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) の MSTPB6 ビットにより、DOC の動作を禁止または許可することができます。リセット後、DOC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

43. RAM

本 MCU は、120MHz、ノーウェイトで動作する 128K バイトの高速スタティック RAM (RAM) を内蔵しています。

43.1 概要

表 43.1 に RAM の仕様を示します。

表43.1 RAMの仕様

項目	RAM
容量	128Kバイト
アドレス	0000 0000h ~ 0001 FFFFh
メモリバス	メモリバス1
アクセス	<ul style="list-style-type: none">読み出し/書き込みともに1サイクルで動作(注1)RAM有効/無効選択可能(注2)
データ保持機能	ディープソフトウェアスタンバイモード時のデータ保持機能なし
消費電力低減機能	モジュールストップ状態への遷移が可能
エラーチェック機能	<ul style="list-style-type: none">パリティチェック: 1ビット誤り検出エラー発生時、ノンマスカブル割り込み、または割り込みを発生

注1. 8バイト境界をまたいだアクセス時は、サイクル数が2倍に増えます。

注2. SYSCR1.RAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.4 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

43.2 レジスタの説明

43.2.1 RAM 動作モード制御レジスタ (RAMMODE)

アドレス 0008 1200h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	RAMMODE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RAMMODE[1:0]	RAM動作モード選択ビット	b1 b0 0 0: パリティチェック無効 0 1: パリティチェック有効 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

RAMMODE レジスタへの書き込みはRAMプロテクトレジスタ (RAMPRCR) によって保護されています。まず、RAMPRCR.RAMPRCR ビットを書き込み許可にしてからRAMMODEレジスタへの書き込みを行ってください。本レジスタはRAMへのアクセスを開始する前に設定してください。RAMへアクセスした後に本レジスタを書き換えた場合、RAMの動作は保証できません。

43.2.2 RAM エラーステータスレジスタ (RAMSTS)

アドレス 0008 1201h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	RAMERR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RAMERR	RAMエラーステータスフラグ	0: パリティチェックエラー未発生 1: パリティチェックエラー発生	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. フラグをクリアするための“0”書き込みのみ可能です。

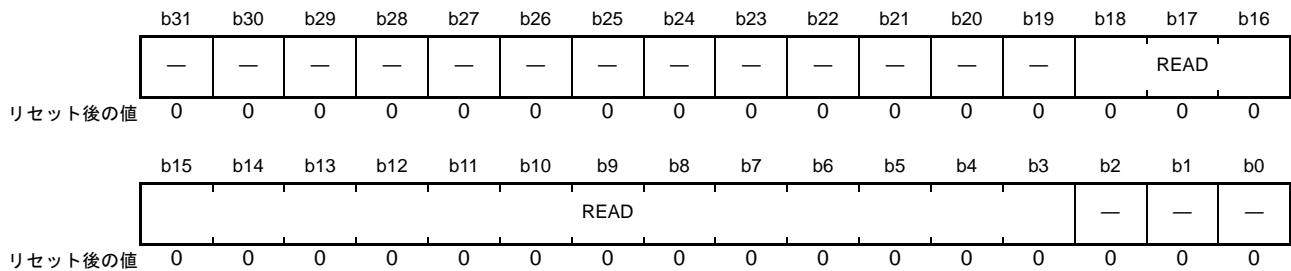
パリティチェックが有効のときパリティチェックエラーを検出すると、RAMERRフラグが“1”になります。RAMERRフラグが“1”になると、RAMエラー割り込み要求が発生します。

パリティチェックが無効のときはパリティチェックエラーを検出しないため、RAMERRフラグが“1”になりません。

RAMERRフラグに“0”を書き込むと、パリティチェックエラーに起因するRAMエラー割り込み要求はクリアされます。

43.2.3 RAM エラーアドレスキャプチャレジスタ (RAMECAD)

アドレス 0008 1208h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b3	READ	エラーアドレスビット	エラーアドレスが読み出されます	R
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

パリティチェックが有効のときパリティチェックエラーが発生したアドレスを保持します。

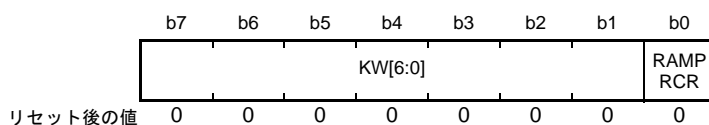
RAMSTS.RAMERR フラグが“1”になると同時に、エラーが発生した 8 バイト境界のアドレスがこのレジスタに格納されます。

RAMERR フラグが“1” (エラー発生) のときは、エラーアドレスは更新されません。パリティチェックが無効のとき、パリティチェックエラーを検出しないため、変化しません。

RAMECAD レジスタはリセットでのみ初期化されます。

43.2.4 RAM プロテクトレジスタ (RAMPRCR)

アドレス 0008 1204h



ビット	シンボル	ビット名	機能	R/W
b0	RAMPSCR	RAMMODE レジスタ書き込み制御ビット	0 : RAMMODE レジスタへの書き込み禁止 1 : RAMMODE レジスタへの書き込み許可	R/W
b7-b1	KW[6:0]	書き込みキーワードビット	RAMPSCR レジスタの書き換えの許可、禁止を制御します。RAMPSCR レジスタを書き換える場合、KW[6:0] ビットに“1111000b”を書いてください。	R/W

KW[6:0] = 1111000b のとき、RAMPSCR ビットへの“1”書き込みが可能になります。それ以外のデータ書き込み時、RAMPSCR ビットを“0”にします。KW[6:0] ビットは読むと“0000000b”が読み出されます。

本レジスタによる書き込み保護対象は、RAM 動作モード制御レジスタ (RAMMODE) です。一度 RAMPSCR ビットを“1”にすると、次に RAMPSCR ビットを“0”にするまで RAMMODE レジスタへの書き込みが可能です。RAMMODE レジスタへの書き込み後、RAMPSCR ビットをクリアしてください。

43.3 動作説明

43.3.1 パリティチェック機能

RAMMODE レジスタの設定によって、RAM のパリティチェックの有効、無効を選択することができます。

初期状態では、パリティチェックは無効です。パリティチェックの仕様は、偶数パリティです。

書き込み時 1 バイトデータ毎に 1 ビットのパリティチェックコードを付加し、読み出し時にパリティチェックを行います。

読み出し時に、パリティチェックで 1 バイト内に 1 ビットエラーを検出した場合、RAM エラー割り込みを発生させることが可能です。1 バイト内に 2 ビット以上のエラーがある場合は正しく検出することができません。

電源投入後、パリティチェックコードは書き込みを行うまで不定です。パリティチェック機能を使用する場合は、リセット直後 RAM へアクセスを行う前に、パリティチェックが有効の状態ですべての領域に対して初期値を書いてください。

初期値を書いていない領域にアクセスがあった場合の動作は保証できません。

43.3.2 RAM エラー割り込み機能

パリティチェック有効時はパリティチェックエラーを示す RAMSTS.RAMERR ビットが“1”に変化すると、RAM エラー割り込みが発生します。

上記ビットに“0”を書き込めば、RAM エラー割り込みはクリアされます。

43.3.3 割り込み要因

RAM の割り込み要因には、パリティチェックエラーによる RAM エラー割り込みがあり、ノンマスカブル割り込み、または割り込みの両方に対応しています。詳細は「14. 割り込みコントローラ (ICUF)」を参照してください。

表 43.2 RAM の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
RAMERR	RAM エラー	不可能	不可能

43.4 使用上の注意事項

43.4.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減することができます。

MSTPCRC.MSTPC0 ビットを“1”にすると RAM に供給されるクロックが停止します。

クロック供給の停止により、RAM はモジュールストップ状態になります。

リセット後は、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。

RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

モジュールストップ状態で RAM へのアクセスは禁止です。アクセスした場合の動作は保証できません。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

43.4.2 RAM のエラーチェック機能使用時の注意事項

電源投入時の RAM 内のデータは不定です。このため初期化を実施せずにデータを読むと、パリティチェックエラーが発生します。RAM のリード単位は 8 バイト (64 ビット) ですから、初期化は 8 バイト境界で実施してください。

パリティチェックを有効にして、RAM 上でプログラムを実行する場合は、CPU が命令プリフェッチを行うことも考慮して初期化を実施してください。命令プリフェッチは最大 32 バイトまで実行されますから、プログラムの最終アドレスから 24 ～ 31 バイト分を余分に初期化してください。

43.4.3 RAM の自己診断に関する注意事項

RAM にはライトバッファが搭載されているため、書き込みを行った後に同一アドレスから読み出しを行うと、RAM のメモリセルではなくライトバッファのデータが読み出されることがあります。RAM の自己診断を行う場合、ライトバッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のアドレスにデータを書く
- (2) (1) のアドレスから 4 番地以上離れたアドレスにデータを書く
- (3) (1) のアドレスからデータを読む

44. フラッシュメモリ (FLASH)

本MCUは、コードフラッシュメモリ、データフラッシュメモリ、オプション設定メモリを内蔵しています。

コードフラッシュメモリには命令とオペランドなど、データフラッシュメモリにはデータのみを格納できます。オプション設定メモリについては「7. オプション設定メモリ (OFSM)」を参照してください。

44.1 概要

表 44.1 にコードフラッシュメモリ/データフラッシュメモリの仕様を、図 44.1 にフラッシュメモリ関連のブロック図を示します。

ブートモードで使用する入出力端子については表 44.18 を参照してください。

FCU (Flash Control Unit) はフラッシュメモリのプログラム/イレーズの制御を行います。FACI (Flash Application Command Interface) は設定された FACI コマンドに従って、FCU を制御します。

コードフラッシュメモリのメモリ構成については図 44.2 を、データフラッシュメモリのメモリ構成については図 44.3 を参照してください。

表44.1 コードフラッシュメモリ/データフラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	<ul style="list-style-type: none"> ユーザ領域：最大1Mバイト ユーザブート領域：32Kバイト 	データ領域：32Kバイト
リードサイクル	1サイクル	16ビット、8ビットアクセス時にはFCLK 8サイクルでリード
イレーズ後の値	FFh	不定値
プログラム/イレーズ方式	<ul style="list-style-type: none"> FACIコマンド発行領域(007E 0000h)に設定したFACIコマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズが可能 フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング) 	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤書き換えを防止	
Trusted Memory (TM)機能	コードフラッシュメモリのブロック8、9に対する不正リードを防止	
バックグラウンドオペレーション (BGO)機能	データ領域プログラム/イレーズ中のユーザ領域リードが可能	
プログラム/イレーズ単位	<ul style="list-style-type: none"> ユーザ領域およびユーザブート領域へのプログラム：256バイト ユーザ領域のイレーズ：ブロック単位 	<ul style="list-style-type: none"> データ領域へのプログラム：4バイト データ領域のイレーズ：ブロック単位
その他の機能	セルフプログラミング中の割り込み受け付け可能	
オンボードプログラミング (シリアルプログラミング/セルフプログラミング)	ブートモード(SCIインタフェース)によるプログラム/イレーズ <ul style="list-style-type: none"> 調歩同期式シリアルインターフェース(SCI1)を使用 通信速度は自動調整 ユーザブート領域もプログラム/イレーズ可能 ブートモード(FINEインタフェース)によるプログラム/イレーズ <ul style="list-style-type: none"> FINEを使用 ユーザブートモードによるプログラム/イレーズ <ul style="list-style-type: none"> ユーザ独自のブートプログラムを作成可能 シングルチップモードによるプログラム/イレーズ <ul style="list-style-type: none"> ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム/イレーズが可能 	
オフボードプログラミング(パラレルプログラマによるプログラム/イレーズ)	パラレルプログラマを使用して、ユーザ領域/ユーザブート領域のプログラム/イレーズが可能	パラレルプログラマを使用したデータ領域のプログラム/イレーズはできません
ユニークID	本MCU個体ごとの12バイト長のIDコード	

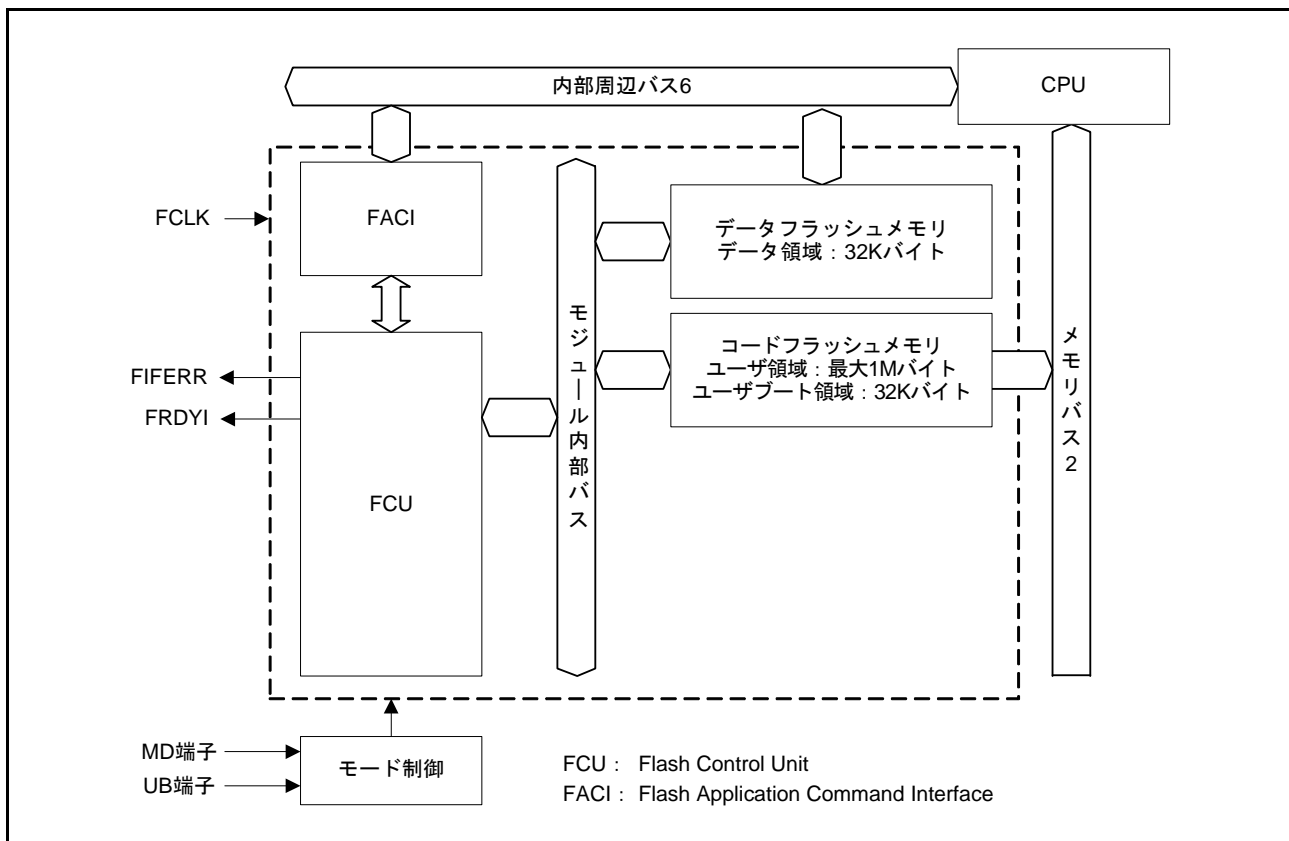


図 44.1 フラッシュメモリ関連のブロック図

44.2 ハードウェアインタフェース用領域

フラッシュメモリのハードウェアインタフェースを使用する場合には、各ハードウェアのレジスタ領域、FACI コマンド発行用の領域にアクセスする必要があります。各領域の情報を表 44.2 に記載します。

表44.2 ハードウェアインタフェース用領域の情報

領域	アドレス	サイズ
各ハードウェアのレジスタ領域	「44.4 レジスタの説明」を参照	「44.4 レジスタの説明」を参照
FACIコマンド発行領域	007E 0000h	4バイト
コンフィギュレーション設定領域	0012 0040h～0012 007Fh	64バイト

44.3 メモリ構成

図 44.2 にコードフラッシュメモリマッピングを示します。本MCUのコードフラッシュメモリのユーザ領域は8Kバイトまたは32Kバイトのブロックに分割されており、各ブロック単位でイレーズ可能です。TM機能有効時、ブロック8、9がTM対象領域となります。また、32Kバイトのユーザブート領域を1ブロック内蔵しています。ユーザ領域とユーザブート領域は、ユーザプログラムの格納領域として利用可能です。

セルフプログラミングでは書き換えられない保護領域として、32Kバイトのユーザブート領域を1ブロック内蔵しています。ユーザブート領域は、ユーザプログラム動作時の書き換えを禁止したいブートプログラム等の格納領域として利用可能です。

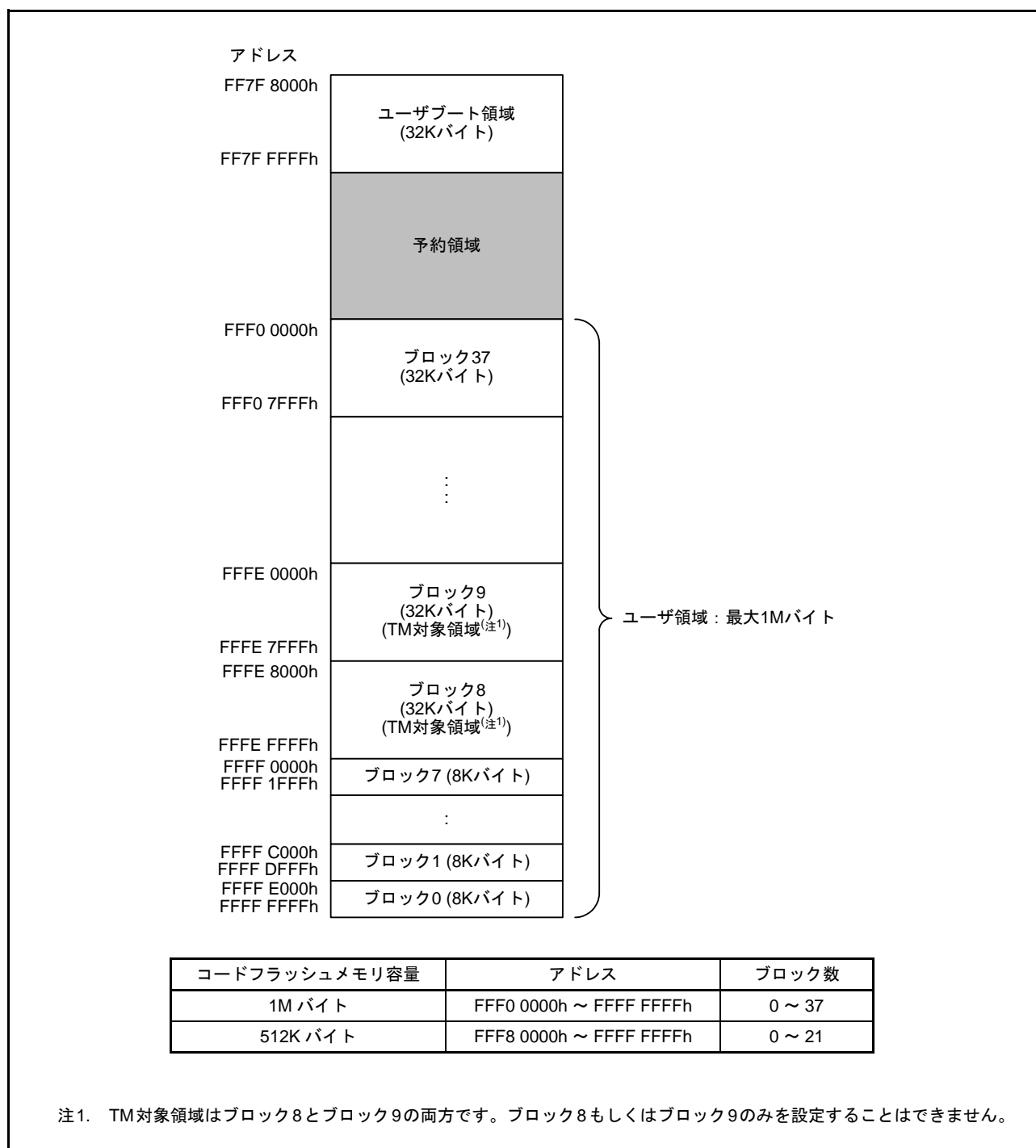


図 44.2 コードフラッシュメモリマッピング

本 MCU のデータフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位でイレーズ可能です。図 44.3 にデータフラッシュメモリマッピングを示します。

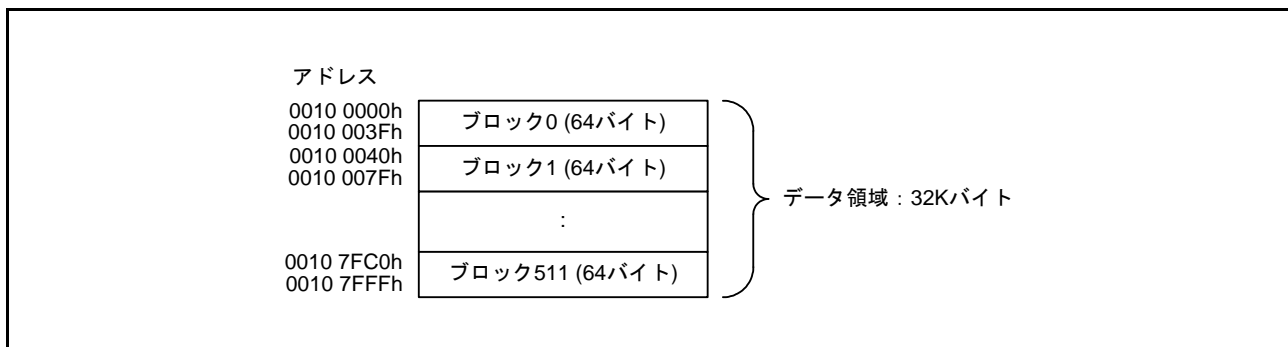


図 44.3 データフラッシュメモリマッピング

44.4 レジスタの説明

44.4.1 フラッシュ P/E プロテクトレジスタ (FWEPROR)

アドレス FLASH.FWEPROR 0008 C296h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュライトイレーズ許可ビット	b1 b0 0 0 : プログラム/イレーズ、ロックビットのプログラム/リード、ブランクチェックの禁止 0 1 : プログラム/イレーズ、ロックビットのプログラム/リード、ブランクチェックの許可 1 0 : プログラム/イレーズ、ロックビットのプログラム/リード、ブランクチェックの禁止 1 1 : プログラム/イレーズ、ロックビットのプログラム/リード、ブランクチェックの禁止	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

フラッシュメモリに対するプログラム/イレーズ、ロックビットのプログラム/リード、ブランクチェックをハードウェアによって許可/禁止します。

FWEPROR レジスタは、RES# 端子リセット、パワーオンリセット、電圧監視0リセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット、ソフトウェアリセット、およびディープソフトウェアスタンバイモード遷移時、ソフトウェアスタンバイモード遷移時に初期化されます。

44.4.2 フラッシュアクセスステータスレジスタ (FASTAT)

アドレス FLASH.FASTAT 007F E010h

	b7	b6	b5	b4	b3	b2	b1	b0
	CFAE	—	—	CMDLK	DFAE	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAE	データフラッシュメモリアクセス違反フラグ	0: データフラッシュメモリのアクセス違反なし 1: データフラッシュメモリのアクセス違反あり	R/W (注1)
b4	CMDLK	コマンドロックフラグ	0: フラッシュシーケンサはコマンドロック状態ではない 1: フラッシュシーケンサはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAE	コードフラッシュメモリアクセス違反フラグ	0: コードフラッシュメモリのアクセス違反なし 1: コードフラッシュメモリのアクセス違反あり	R/W (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTAT レジスタはコードフラッシュメモリ / データフラッシュメモリのアクセス違反有無を示すレジスタです。CFAE フラグ、DFAE フラグのいずれかが“1”の場合には、CMDLK フラグが“1”となり、フラッシュシーケンサはコマンドロック状態になります(「44.5.3.2 エラープロテクション」参照)。コマンドロック状態を解除するためには、FASTAT.CFAE フラグおよび DFAE フラグを“0”に設定後、FACI によりステータスクリアコマンドまたは強制終了コマンドを発行する必要があります。

DFAE フラグ (データフラッシュメモリアクセス違反フラグ)

データフラッシュメモリのアクセス違反の有無を示すフラグです。DFAE フラグが“1”の場合には、FSTATR.ILGLERR フラグが“1”になり、フラッシュシーケンサはコマンドロック状態になります。

["1"になる条件]

- 「表 44.10 エラープロテクト一覧」を参照してください。

["0"になる条件]

- “1”を読んだ後に、“0”を書いた場合

CMDLK フラグ (コマンドロックフラグ)

フラッシュシーケンサがコマンドロック状態であることを示すフラグです。

["1"になる条件]

- フラッシュシーケンサが「表 44.10 エラープロテクト一覧」のエラーを検出して、コマンドロック状態に遷移した後

["0"になる条件]

- FASTAT.CFAE フラグおよび DFAE フラグが“0”の状態、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

CFAE フラグ (コードフラッシュメモリアクセス違反フラグ)

コードフラッシュメモリのアクセス違反の有無を示すフラグです。CFAE フラグが“1”の場合には、FSTATR.ILGLERR フラグが“1”になり、フラッシュシーケンサはコマンドロック状態になります。

["1"になる条件]

- 「表 44.10 エラープロテクト一覧」を参照してください。

[“0”になる条件]

- “1”を読んだ後に、“0”を書いた場合

44.4.3 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

アドレス FLASH.FAEINT 007F E014h

	b7	b6	b5	b4	b3	b2	b1	b0
	CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	—
リセット後の値	1	0	0	1	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	リセット解除後、“0”を書き込んでください	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAEIE	データフラッシュメモリアクセス違反割り込み許可ビット	0 : FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を許可	R/W
b4	CMDLKIE	コマンドロック割り込み許可ビット	0 : FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAEIE	コードフラッシュメモリアクセス違反割り込み許可ビット	0 : FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を許可	R/W

FAEINT レジスタは、フラッシュアクセスエラー (FIFERR) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

DFAEIE ビット (データフラッシュメモリアクセス違反割り込み許可ビット)

データフラッシュメモリアクセス違反が発生し、FASTAT.DFAE フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

CMDLKIE ビット (コマンドロック割り込み許可ビット)

フラッシュシーケンサがコマンドロック状態に遷移し、FASTAT.CMDLK フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

CFAEIE ビット (コードフラッシュメモリアクセス違反割り込み許可ビット)

コードフラッシュメモリアクセス違反が発生し、FASTAT.CFAE フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

44.4.4 フラッシュレディ割り込み許可レジスタ (FRDYIE)

アドレス FLASH.FRDYIE 007F E018h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0 : FRDY割り込み要求の発生を禁止 1 : FRDY割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

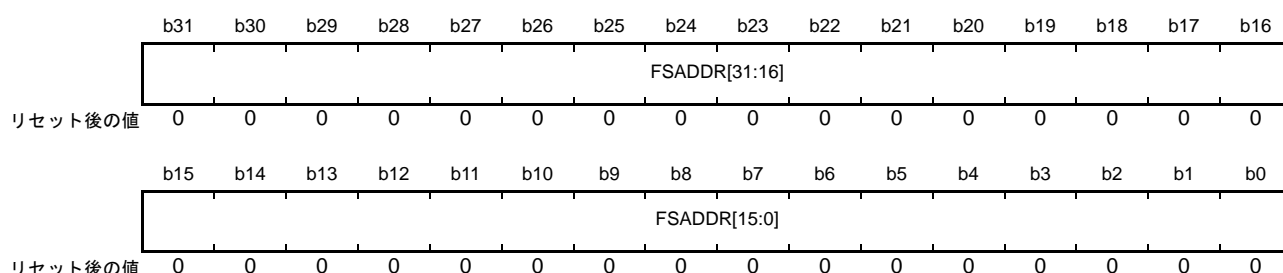
FRDYIE レジスタは、フラッシュレディ (FRDY) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

FRDYIE ビット (フラッシュレディ割り込み許可ビット)

フラッシュシーケンサがプログラム / イレーズ、ブランクチェックのコマンド処理を完了して、FASTAT.FRDY フラグが“0”から“1”に変化した場合のFRDY割り込み要求の発生を許可 / 禁止するためのビットです。

44.4.5 FACI コマンド処理開始アドレスレジスタ (FSADDR)

アドレス FLASH.FSADDR 007F E030h



ビット	シンボル	ビット名	機能	R/W
b31-b0	FSADDR[31:0]	FACIコマンド処理開始アドレスビット	FACIコマンド処理開始アドレス	R/W (注1)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。ただし、b0、b1は読み込みのみです。

FSADDR レジスタは、プログラム、ブロックイレーズ、ブランクチェック、コンフィギュレーション設定、ロックビットプログラム、ロックビットリードの FACI コマンド発行時に、コマンド処理の対象領域の開始アドレスを指定するためのレジスタです。

FSUINITR.SUINIT ビットを“1”にすると、FSADDR レジスタを初期化できます。リセットでも初期化可能です。

FSADDR[31:0] ビット (FACI コマンド処理開始アドレスビット)

FACI コマンド処理の開始アドレスを指定するためのビットです。コードフラッシュメモリに対する FACI コマンド処理では b31 ~ b24 は無視されます。データフラッシュメモリに対する FACI コマンド処理では、b31 ~ b19 は無視されます。下記のアドレス境界に満たないビットも無視されます。表 44.3 にコマンドごとのアドレス境界を示します。

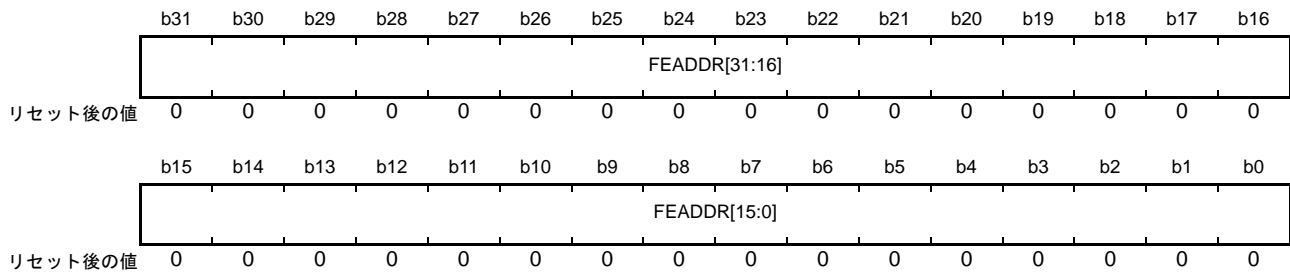
表44.3 コマンドごとのアドレス境界

コマンド	アドレス境界
プログラム(コードフラッシュメモリ)	256バイト
プログラム(データフラッシュメモリ)	4バイト
ブロックイレーズ(コードフラッシュメモリ)	8Kまたは32Kバイト
ブロックイレーズ(データフラッシュメモリ)	64バイト
ブランクチェック	4バイト
コンフィギュレーション設定	16バイト
ロックビットプログラム	8Kまたは32Kバイト
ロックビットリード	8Kまたは32Kバイト

コンフィギュレーション設定領域の開始アドレスは「表 44.17 コンフィギュレーション設定コマンドで使用するアドレス」を参照してください。

44.4.6 FACI コマンド処理終了アドレスレジスタ (FEADDR)

アドレス FLASH.FEADDR 007F E034h



ビット	シンボル	ビット名	機能	R/W
b31-b0	FEADDR [31:0]	FACIコマンド処理終了アドレスビット	FACIコマンド処理終了アドレス	R/W (注1)

注1. FSTAT.FRDYフラグが“1”の場合のみ書き込み可能です。FSTAT.FRDYフラグが“0”の場合の書き込みは無視されます。ただし、b0、b1は読み込みのみです。

FEADDR レジスタは、ブランクチェックコマンド処理の対象領域の終了アドレスを指定するためのレジスタです。FBCCNT.BCDIR ビットが“0”の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。FBCCNT.BCDIR ビットが“1”の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります(「44.5.3.2 エラープロテクション」参照)。

FSUINITR.SUINIT ビットを“1”にすると、FEADDR レジスタを初期化できます。リセットでも初期化可能です。

FEADDR[31:0] ビット (FACI コマンド処理終了アドレスビット)

ブランクチェックコマンド処理の終了アドレスを指定するためのビットです。コマンド処理では、b31～b19 および b1、b0 は無視されます。

44.4.7 フラッシュステータスレジスタ (FSTATR)

アドレス FLASH.FSTATR 007F E080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	FLWEERR	フラッシュライトイレーズプロテクトエラーフラグ	0: エラー未発生 1: エラー発生	R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRGSPD	プログラムサスペンドステータスフラグ	0: 下記以外の状態 1: フラッシュシーケンサはプログラムの中断処理中またはプログラムサスペンド中	R
b9	ERSSPD	イレーズサスペンドステータスフラグ	0: 下記以外の状態 1: フラッシュシーケンサはイレーズの中断処理中またはイレーズサスペンド中	R
b10	DBFULL	データバッファフルフラグ	0: データバッファは空 1: データバッファはフル	R
b11	SUSRDY	サスペンドレディフラグ	0: フラッシュシーケンサがP/Eサスペンドコマンドを受け付けられない 1: フラッシュシーケンサがP/Eサスペンドコマンドを受け付け可能	R
b12	PRGERR	プログラムエラーフラグ	0: プログラム処理は正常終了 1: プログラム処理中にエラー発生	R
b13	ERSERR	イレーズエラーフラグ	0: イレーズ処理は正常終了 1: イレーズ処理中にエラー発生	R
b14	ILGLERR	イリーガルコマンドエラーフラグ	0: フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアccessを検出していない 1: フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアccessを検出した	R
b15	FRDY	フラッシュレディフラグ	0: プログラム、ブロックイレーズ、P/Eサスペンド、P/Eレジューム、強制終了、ブランクチェック、コンフィギュレーション設定、ロックビットプログラム、ロックビットリードのコマンド処理中 1: 上記の処理を実行していない	R
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FSTATR レジスタは、フラッシュシーケンサの状態を示すレジスタです。

FLWEERR フラグ (フラッシュライトイレーズプロテクトエラーフラグ)

FWPEPROR レジスタによるフラッシュメモリの書き換え保護に違反したことを示すフラグです。

FLWEERR フラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1"になる条件]

- 「表 44.10 エラープロテクト一覧」を参照してください。

["0"になる条件]

- フラッシュシーケンサが強制終了コマンドの処理を開始した後

PRGSPD フラグ (プログラムサスペンドステータスフラグ)

フラッシュシーケンサがプログラムの中断処理中またはプログラムサスペンド状態に遷移したことを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがプログラムの中断処理を開始した後

["0" になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

ERSSPD フラグ (イレーズサスペンドステータスフラグ)

フラッシュシーケンサがイレーズの中断処理中またはイレーズサスペンド状態に遷移したことを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがイレーズの中断処理を開始した後

["0" になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

DBFULL フラグ (データバッファフルフラグ)

プログラムコマンド発行時のデータバッファ状態を示すフラグです。FACI にはプログラムデータ用のバッファ (データバッファ) が内蔵されています。データバッファがフルの状態、FACI コマンド発行領域にフラッシュメモリへのプログラムデータを発行すると、FACI は内部周辺バス 6 にウェイトを挿入します。

["1" になる条件]

- プログラムコマンド発行中にデータバッファがフルになった後

["0" になる条件]

- データバッファが空になった後

SUSRDY フラグ (サスペンドレディフラグ)

フラッシュシーケンサが P/E サスペンドコマンドを受け付け可能であるかどうかを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがプログラム / イレーズ処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した後

["0" になる条件]

- フラッシュシーケンサが P/E サスペンドコマンド、強制終了コマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)
- プログラム / イレーズ処理中にコマンドロック状態に遷移した後
- プログラム / イレーズ処理が完了した後

PRGERR フラグ (プログラムエラーフラグ)

フラッシュメモリのプログラム処理の結果を示すフラグです。PRGERR フラグが "1" の場合には、フラッ

シュシーケンサはコマンドロック状態になります。

["1" になる条件]

- 「表 44.10 エラープロテクト一覧」を参照してください。

["0" になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

ERSERR フラグ (イレズエラーフラグ)

フラッシュメモリのイレズ処理の結果を示すフラグです。ERSERR フラグが "1" の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1" になる条件]

- 「表 44.10 エラープロテクト一覧」を参照してください。

["0" になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

ILGLERR フラグ (イリーガルコマンドエラーフラグ)

フラッシュシーケンサが不正な FACI コマンドやフラッシュメモリアクセスを検出したことを示すフラグです。ILGLERR フラグが "1" の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1" になる条件]

- 「表 44.10 エラープロテクト一覧」を参照してください。

["0" になる条件]

- FASTAT.DFAE フラグおよび CFAE フラグが "0" の状態で、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

FASTAT.CFAE フラグまたは DFAE フラグが "1" の状態で、ステータスクリアまたは強制終了コマンドの処理を完了した場合には、ILGLERR フラグは "1" になります。強制終了コマンド処理中に、一時的に ILGLERR フラグが "0" になりますが、コマンド処理の完了時に CFAE フラグまたは DFAE フラグが "1" であることが検出され、ILGLERR フラグが "1" に再設定されます。

FRDY フラグ (フラッシュレディフラグ)

フラッシュシーケンサのコマンド処理状態を示すフラグです。

["1" になる条件]

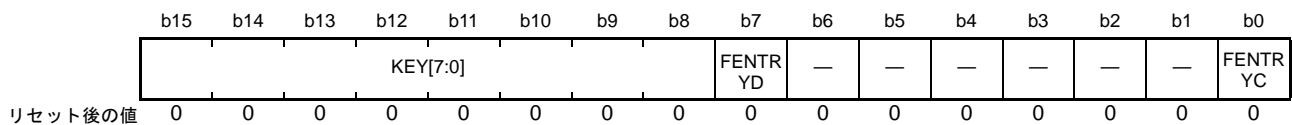
- フラッシュシーケンサがコマンド処理を完了した後
- フラッシュシーケンサが P/E サスペンドコマンドを受け付けて、フラッシュメモリのプログラム/イレズ処理を中断した後
- フラッシュシーケンサが強制終了コマンドを受け付けて、コマンド処理を終了した後

["0" になる条件]

- フラッシュシーケンサがプログラム、コンフィギュレーション設定の FACI コマンドを受け付け、FACI コマンド発行領域に対する最初のライトアクセスの後
- フラッシュシーケンサがプログラム、コンフィギュレーション設定以外の FACI コマンドを受け付け、FACI コマンド発行領域に対する最終のライトアクセスの後

44.4.8 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス FLASH.FENTRYR 007F E084h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRYC	コードフラッシュメモリ P/E モードエントリビット	0: コードフラッシュメモリはリードモード 1: コードフラッシュメモリはP/Eモード	R/W (注1、注2)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	データフラッシュメモリ P/E モードエントリビット	0: データフラッシュメモリはリードモード 1: データフラッシュメモリはP/Eモード	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDY フラグが“1”の場合のみ書き込み可能です。FSTATR.FRDY フラグが“0”の場合の書き込みは無視されます。

注2. 16ビットアクセスでKEY[7:0]ビットにAAhを書き込んだ場合のみ、書き込みが有効になります。

注3. 書き込んだ値は保持されません。読み込んだ場合、“0”が読めます。

FENTRYR レジスタはコードフラッシュメモリ P/E モード、データフラッシュメモリ P/E モードを設定するためのレジスタです。FACI コマンドを受け付け可能にするためには、FENTRYD ビットか FENTRYC ビットのいずれかのビットを“1”に設定して、フラッシュシーケンサを P/E モードにする必要があります。

FENTRYR レジスタに AA81h を書くと、FSTATR.ILGLERR フラグが“1”になり、フラッシュシーケンサはコマンドロック状態になります。

FSUINTR.SUINIT ビットを“1”にすると、FENTRYR レジスタを初期化できます。リセットでも初期化可能です。

FENTRYC ビット (コードフラッシュメモリ P/E モードエントリビット)

コードフラッシュメモリの P/E モードを設定するためのビットです。

["1"になる条件]

- FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000h の状態で、FENTRYC ビットに“1”を書き込んだ場合

["0"になる条件]

- FSTATR.FRDY フラグが“1”の状態で、FENTRYR レジスタを 8 ビットアクセスで書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態で、KEY[7:0] ビットに AAh 以外の値を指定して FENTRYR レジスタを 16 ビットアクセスで書き込んだ場合
- FENTRYR レジスタへの書き込みが有効な状態で、FENTRYC ビットに“0”を書き込んだ場合
- FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000h 以外の状態で FENTRYR レジスタを書き込んだ場合

FENTRYD ビット (データフラッシュメモリ P/E モードエントリビット)

データフラッシュメモリの P/E モードを設定するためのビットです。

["1"になる条件]

- FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000h の状態で、FENTRYR.FENTRYD ビットに“1”を書き込んだ場合

["0"になる条件]

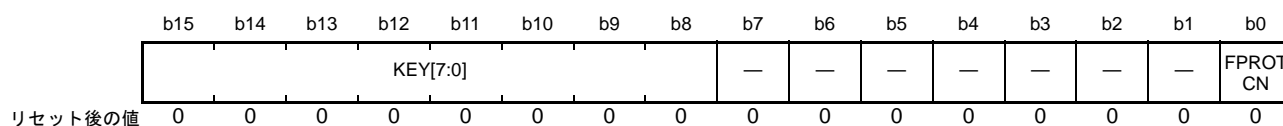
- FSTATR.FRDY フラグが“1”の状態、FENTRYR レジスタを 8 ビットアクセスで書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態、KEY[7:0] ビットに AAh 以外の値を指定して FENTRYR レジスタを 16 ビットアクセスで書き込んだ場合
- FENTRYR レジスタへの書き込みが有効な状態で、FENTRYD ビットに“0”を書き込んだ場合
- FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000h 以外の状態で FENTRYR レジスタを書き込んだ場合

KEY[7:0] ビット (キーコードビット)

FENTRYD ビットおよび FENTRYC ビットの書き換えの可否を制御します。

44.4.9 フラッシュプロテクトレジスタ (FPROTR)

アドレス FLASH.FPROTR 007F E088h



ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0: ロックビットによるプロテクトが有効 1: ロックビットによるプロテクトが無効	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注2)

注1. 16 ビットアクセスで KEY[7:0] ビットに 55h を書き込んだ場合のみ、書き込みが有効になります。

注2. 書き込んだ値は保持されません。読み込んだ場合、“0”が読めます。

FPROTR レジスタは、ロックビットによるコードフラッシュメモリに対する書き換えプロテクトを有効 / 無効にするためのレジスタです。FSUINITR.SUINIT ビットを“1”にすると、FPROTR レジスタを初期化できます。リセットでも初期化可能です。

FPROTCN ビット (ロックビットプロテクトキャンセルビット)

ロックビットによるコードフラッシュメモリに対する書き換えプロテクトを有効 / 無効にするためのビットです。

["1" になる条件]

- FPROTR レジスタの書き込みが有効な状態かつ FENTRYR レジスタが 0000h 以外の状態で、FPROTCN ビットに“1”を書き込んだ場合

["0" になる条件]

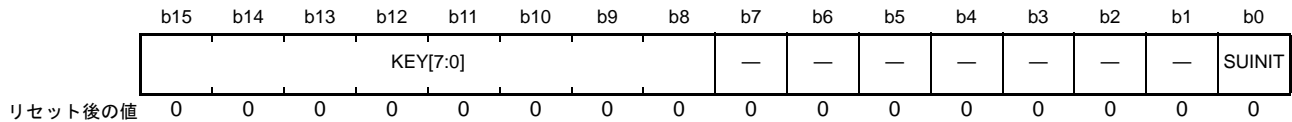
- FPROTR レジスタを 8 ビットアクセスで書き込んだ場合
- KEY[7:0] ビットに 55h 以外の値を指定して FPROTR レジスタを 16 ビットアクセスで書き込んだ場合
- FPROTR レジスタへの書き込みが有効な状態で、FPROTRCN ビットに“0”を書き込んだ場合
- FENTRYR レジスタの値が 0000h の場合

KEY[7:0] ビット (キーコードビット)

FPROTCN ビットの書き換えの可否を制御します。

44.4.10 フラッシュシーケンサ設定初期化レジスタ (FSUINITR)

アドレス FLASH.FSUINITR 007F E08Ch



ビット	シンボル	ビット名	機能	R/W
b0	SUINIT	設定初期化ビット	0 : FEADDR、FPROTR、FCPSR、FSADDR、FENTRYR、 FBCCNTのフラッシュシーケンサの設定レジスタ値は保持 1 : FEADDR、FPROTR、FCPSR、FSADDR、FENTRYR、 FBCCNTのフラッシュシーケンサの設定レジスタを初期化	R/W (注1、注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。

注2. 16ビットアクセスでKEY[7:0]ビットに2Dhを書き込んだ場合のみ、書き込みが有効になります。

注3. 書き込んだ値は保持されません。読み込んだ場合、“0”が読めます。

FSUINITR レジスタは、フラッシュシーケンサの設定を初期化するためのレジスタです。

SUINIT ビット (設定初期化ビット)

下記のフラッシュシーケンサの設定レジスタを初期化します。

- FEADDR
- FPROTR
- FCPSR
- FSADDR
- FENTRYR
- FBCCNT

KEY[7:0] ビット (キーコードビット)

SUINIT ビットの書き換えの可否を制御します。

44.4.11 ロックビットステータスレジスタ (FLKSTAT)

アドレス FLASH.FLKSTAT 007F E090h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FLOCKST
リセット後の値	0	0	0	0	0	0	0	0

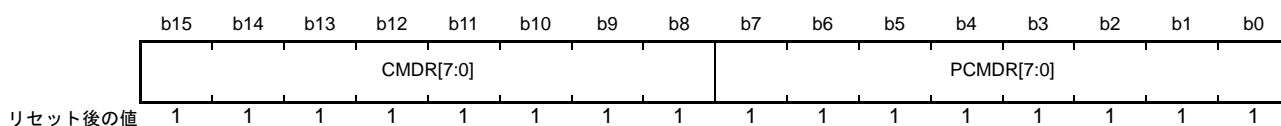
ビット	シンボル	ビット名	機能	R/W
b0	FLOCKST	ロックビットステータスフラグ	0: プロテクト状態 1: 非プロテクト状態	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FLOCKST フラグ (ロックビットステータスフラグ)

ロックビットリードコマンドで読み出したロックビットの値を示すフラグです。ロックビットリードコマンドを発行した後に、FSTATR.FRDY フラグが“1”になった時点で、FLOCKST フラグに有効なデータが格納されます。FLOCKST フラグの値は、次のロックビットコマンドの終了まで保持されます。

44.4.12 FACI コマンドレジスタ (FCMDR)

アドレス FLASH.FCMDR 007F E0A0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンドフラグ	1つ前のコマンド格納	R
b15-b8	CMDR[7:0]	コマンドフラグ	最新コマンド格納	R

FCMDR レジスタは、FACI が受け付けたコマンドを示すレジスタです。

PCMDR[7:0] フラグ (プレコマンドフラグ)

FACI が受け付けた 1 つ前のコマンドを格納します。

CMDR[7:0] フラグ (コマンドフラグ)

FACI が受け付けた最新のコマンドを格納します。

表 44.4 各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/E サスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスクリア	50h	前回コマンド
強制終了	B3h	前回コマンド
ブランクチェック	D0h	71h
コンフィギュレーション設定	40h	前回コマンド
ロックビットプログラム	D0h	77h
ロックビットリード	D0h	71h

44.4.13 フラッシュ P/E ステータスレジスタ (FPESTAT)

アドレス FLASH.FPESTAT 007F E0C0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	—	—	—	PEERRST[7:0]							—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST [7:0]	P/E エラーステータスフラグ	00h : エラーなし 01h : ロックビットでプロテクトされた領域に対するプログラムエラー 02h : ロックビット以外の原因によるプログラムエラー 11h : ロックビットでプロテクトされた領域に対するイレーズエラー 12h : ロックビット以外の原因によるイレーズエラー	R
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FPESTAT レジスタは、フラッシュメモリのプログラム/イレーズ結果を示すレジスタです。

PEERRST[7:0] フラグ (P/E エラーステータスフラグ)

コードフラッシュメモリ、データフラッシュメモリのプログラム/イレーズ処理中にエラーが発生した場合のエラー原因を示すフラグです。PEERRST フラグの値は、FSTATR.ERSERR フラグまたは PRGERR フラグが“1”の状態、かつ FSTATR.FRDIY フラグが“1”になった時点でのみ有効です。ERSERR フラグと PRGERR フラグが“0”の場合の PEERRST フラグには、過去に発生したエラー原因の値が保持されます。

44.4.14 データフラッシュブランクチェック制御レジスタ (FBCCNT)

アドレス FLASH.FBCCNT 007F E0D0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	BCDIR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCDIR	ブランクチェック方向ビット	0 : 小さいアドレスから大きいアドレスの方向にブランク チェック処理を実行します (加算モード) 1 : 大きいアドレスから小さいアドレスの方向にブランク チェック処理を実行します (減算モード)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCCNT レジスタは、ブランクチェックコマンド処理時のアドレッシングモードを指定するためのレジスタです。FSUINITR.SUINIT ビットを“1”にすると、FBCCNT レジスタを初期化できます。リセットでも初期化可能です。

BCDIR ビット (ブランクチェック方向ビット)

ブランクチェック動作時のアドレッシングモードを指定するためのビットです。

44.4.15 データフラッシュブランクチェックステータスレジスタ (FBCSTAT)

アドレス FLASH.FBCSTAT 007F E0D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスフラグ	0: ブランクチェック対象領域は未書き込み状態 (イレーズ後に書き込んでいない状態。ブランク) 1: ブランクチェック対象領域は“0”データか“1”データを書き込まれた状態	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCSTAT レジスタは、ブランクチェックコマンドの結果を格納するレジスタです。

BCST フラグ (ブランクチェックステータスフラグ)

ブランクチェックコマンドの結果を示すフラグです。

FSTATR.FRDY フラグが“1”になった時点で、BCST フラグに有効なデータが格納されます。

44.4.16 データフラッシュ書き込み開始アドレスレジスタ (FPSADDR)

アドレス FLASH.FPSADDR 007F E0D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PSADR[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSADR[15:0]															
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b18-b0	PSADR[18:0]	書き込み領域開始アドレスビット	書き込み済みアドレス値	R
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FPSADDR レジスタは、ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すレジスタです。

PSADR[18:0] ビット (書き込み領域開始アドレスビット)

ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すビットです。データフラッシュメモリ領域の先頭アドレスからのオフセット値が格納されます。PSADR[18:0] ビットの値は、FBCSTAT.BCST ビットが“1”の状態、かつ FSTATR.FRDY フラグが“1”になった時点でのみ有効です。FBCSTAT.BCST ビットが“0”の場合の PSADR[18:0] ビットには、過去に検出したアドレスが保持されます。

44.4.17 フラッシュシーケンサ処理切り替えレジスタ (FCPSR)

アドレス FLASH.FCPSR 007F E0E0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSP MD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	イレーズサスペンドモードビット	0: サスペンド優先モード 1: イレーズ優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

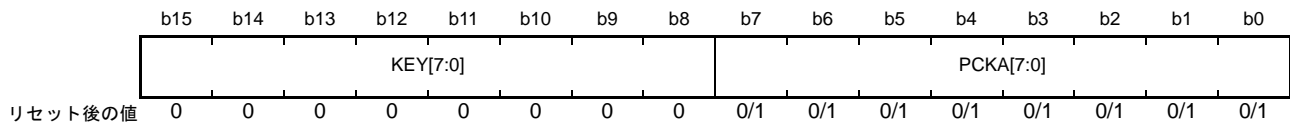
FCPSR レジスタはイレーズ中断処理モードを選択するためのレジスタです。FSUINTR.SUINIT ビットを“1”にすると、FCPSR レジスタを初期化できます。リセットでも初期化可能です。

ESUSPMD ビット (イレーズサスペンドモードビット)

フラッシュシーケンサがイレーズ処理を実行中に、P/E サスペンドコマンドが発行された場合のイレーズ中断処理モードを選択するためのビットです(「44.6.6.5 P/E サスペンドコマンド」参照)。ESUSPMD ビットは、ブロックイレーズコマンドを発行する前に設定する必要があります。

44.4.18 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)

アドレス FLASH.FPCKAR 007F E0E4h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	フラッシュシーケンサ処理クロック周波数通知ビット	FlashIFクロック (FCLK)の周波数を設定し、フラッシュシーケンサに使用周波数を通知	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。

注2. 16ビットアクセスでKEY[7:0]ビットに1Ehを書き込んだ場合のみ、書き込みが有効になります。

注3. 書き込んだ値は保持されません。読み込んだ場合、“0”が読めます。

FPCKAR レジスタは、クロック発生回路で生成した FlashIF クロック (FCLK) の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのレジスタです。フラッシュシーケンサは、FPCKAR レジスタで通知された周波数に基づいて FACI コマンド処理時間を決めます。また、初期値は、FCLK の最高動作周波数に設定されます。

PCKA[7:0] ビット (フラッシュシーケンサ処理クロック周波数通知ビット)

FCLK の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのビットです。FACI コマンドを発行する前に、PCKA[7:0] ビットに周波数を設定してください。MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0] ビットに設定してください。

例) 周波数が 35.9MHz の場合 (PCKA[7:0] = 24h)

35.9MHz の小数第 1 位を切り上げ

36 を 2 進数に変換

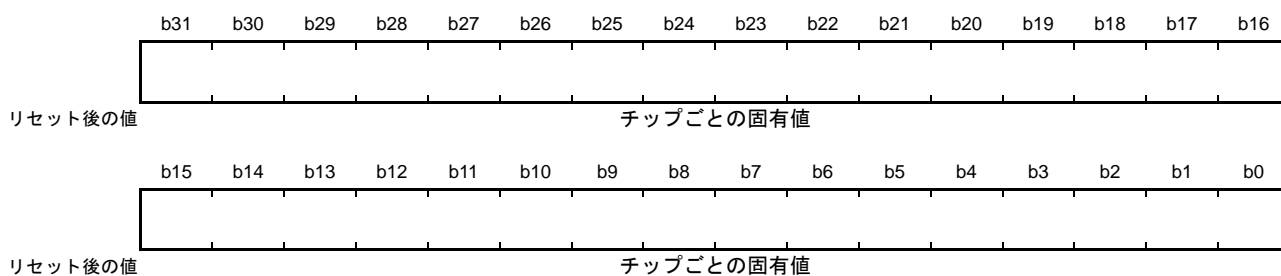
PCKA[7:0] ビットの設定値が FCLK の周波数よりも小さい場合には、フラッシュメモリの書き換え特性を保証できません。PCKA[7:0] ビットの設定値が FCLK の周波数よりも大きい場合には、書き換え時間などの FACI コマンド処理時間が長くなりますが、フラッシュメモリの書き換え特性は保証されます (FCLK の周波数と PCKA[7:0] ビットの設定値が同一の場合に、FACI コマンド処理時間が最短になります)。

KEY[7:0] ビット (キーコードビット)

PCKA[7:0] ビットを書き換えの可否を制御します。

44.4.19 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 2)

アドレス FLASH.UIDR0 007F B174h, FLASH.UIDR1 007F B1E4h, FLASH.UIDR2 007F B1E8h



注. このレジスタは、SYSCR0.ROMEビットが“1”(内蔵ROM有効)のときのみ読み出せます。

UIDRn レジスタは、MCU の個体を識別するための 12 バイトの ID コード (ユニーク ID) が格納されている読み出し専用のレジスタです。UIDRn レジスタは、32 ビット単位で読み出してください。

44.5 機能概要

44.5.1 プログラム / イレース方式

本 MCU のフラッシュメモリは、フラッシュメモリプログラマにより、ターゲットシステムへの実装前、実装後にかかわらず書き換えが可能です。

また、フラッシュメモリに書かれたユーザプログラムの書き換えやリードを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんや不正リード防止などに対応可能となっています。コードフラッシュメモリのブロック 8、9 については、TM 機能を使用することで常にリードを防止することができます。

ユーザプログラムによる書き換え (セルフプログラミング) は、ターゲットシステムの製造 / 出荷後のプログラムやデータの変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各書き換え方式の概要と対応する動作モードを表 44.5 に示します。

表 44.5 書き換え方式

書き換え方式	機能概要	動作モード
フラッシュメモリプログラマによる書き換え	シリアルプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。TM 機能を有効/無効にすることもできます。	ブートモード
	パラレルプログラマと専用プログラムアダプタボードを用いることにより、ターゲットシステムに実装する前に、フラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミング、またはオフボードプログラミングによりコードフラッシュメモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。TM 機能を有効にすることもできます。 データフラッシュメモリの書き換え時には、BGO 機能が利用できます。BGO 機能を利用できない場合は、内蔵 RAM または外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	シングルチップモード ユーザブートモード

各モードでプログラム / イレースが可能なフラッシュメモリの領域、リセット後の起動プログラムが異なります。各モードの相違点を表 44.6 にまとめます。

表 44.6 各モードの相違点

項目	シングルチップモード	ユーザブートモード	ブートモード (SCI インタフェース または FINE インタフェース)
プログラム / イレースが可能な領域	<ul style="list-style-type: none"> ユーザ領域 データフラッシュメモリ オプション設定メモリ (プログラムのみ可能) 	<ul style="list-style-type: none"> ユーザ領域 データフラッシュメモリ オプション設定メモリ (プログラムのみ可能) 	<ul style="list-style-type: none"> ユーザ領域 データフラッシュメモリ ユーザブート領域 オプション設定メモリ
リセット時の起動プログラム	ユーザ領域のプログラム	ユーザブート領域のプログラム	ブートプログラム

フラッシュメモリの機能一覧を表 44.7 に示します。シリアルプログラミングにおける各機能は、シリアルプログラマのコマンドで実現されます。セルフプログラミングにおける各機能は、FACI コマンドまたはユーザプログラムによるフラッシュメモリのリードで実現されます。

セキュリティ機能の設定は、「7. オプション設定メモリ (OFSM)」の「7.2.1 シリアルプログラマコマンド制御レジスタ (SPCC)」を参照してください。

表 44.7 基本機能一覧

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレーズ後にプログラムされていない状態のデータフラッシュメモリのリード結果は保証されません。イレーズ後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	○	○
ブロックイレーズ	指定したブロックをイレーズします。	○	○
プログラム	指定したアドレスをプログラムします。	○	○
ベリファイ/チェックサム	フラッシュメモリからリードしたデータと、フラッシュメモリプログラマから転送されたデータを比較します。	○	× (ユーザプログラムにて読み出しは可能)
リード	フラッシュメモリにプログラムしたデータをリードします。	○	○
制御コード、またはIDコードの設定	OSIS レジスタを設定します。	○	○
セキュリティ機能の設定	SPCCレジスタを設定し、以下の機能を有効にします。 <ul style="list-style-type: none"> ・ オンチップデバッグ接続禁止 ・ シリアルプログラマのIDコードプロテクト ・ シリアルプログラマ接続禁止 ・ ブロックイレーズコマンド禁止 ・ プログラムコマンド禁止 ・ リードコマンド禁止 	○	△ (設定を無効から有効にする場合のみ可能)
プロテクション設定	コードフラッシュメモリの各ブロックのロックビットを設定します。	○	○
コンフィギュレーションクリア	コンフィギュレーション設定領域をイレーズします。TM機能を無効にできます。	○	×
TM機能の設定	TM機能を設定します。	○	△ (設定を無効から有効にする場合のみ可能)

○ : サポート、△ : 条件付サポート、× : 未サポート

44.5.2 セキュリティ機能

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

セキュリティ機能は、オンチップデバッグの ID コードプロテクト、オンチップデバッグ接続禁止、シリアルプログラムの ID コードプロテクト、シリアルプログラマ接続禁止、コマンド禁止 (ブロックイレーズコマンド禁止 / プログラムコマンド禁止 / リードコマンド禁止)、ROM コードプロテクトがあります。

シリアルプログラミング時は、オンチップデバッグの ID コードプロテクト、オンチップデバッグ接続禁止、シリアルプログラムの ID コードプロテクト、シリアルプログラマ接続禁止、コマンド禁止 (ブロックイレーズコマンド禁止 / プログラムコマンド禁止 / リードコマンド禁止) が使用可能です。オフボードプログラミング時は ROM コードプロテクトが使用可能です。フラッシュメモリでサポートされるセキュリティ機能を表 44.8 に、セキュリティ機能設定時の動作を表 44.9 に示します。

表 44.8 セキュリティ機能一覧

機能	機能概要
オンチップデバッグの ID コードプロテクト	オンチップデバッグ接続を ID コードの判定結果で制御可能です。
オンチップデバッグ接続禁止	オンチップデバッグ接続を ID コードの設定にかかわらず禁止します。
シリアルプログラムの ID コードプロテクト	シリアルプログラマ接続を制御コード、および ID コードの判定結果で制御可能です。
シリアルプログラマ接続禁止	シリアルプログラミング時のシリアルプログラマ接続を禁止します。シリアルプログラマ接続を禁止すると、コンフィギュレーションクリアコマンドの実行が禁止されるため、セキュリティ機能の設定を禁止から許可に変更できなくなります。
ブロックイレーズコマンド禁止	シリアルプログラミング時のブロックイレーズコマンド、エリアイレーズコマンド、コンフィギュレーションクリアコマンドの実行を禁止します。コンフィギュレーションクリアコマンドの実行が禁止されるため、セキュリティ機能の設定を禁止から許可に変更できなくなります。
プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドの実行を禁止し、ブロックイレーズコマンドとエリアイレーズコマンドの実行に条件が付きます。コンフィギュレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。
リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィギュレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。
ROM コードプロテクト	パラレルプログラマを使用する場合にフラッシュメモリのリード、プログラム、イレーズを禁止する機能です。

表 44.9 セキュリティ機能設定時の動作

機能	各セキュリティ機能設定時の プログラム/イレーズ/リード動作		セキュリティ機能設定時の注意事項	
	シリアルプログラミング	セルフプログラミング	シリアルプログラミング	セルフプログラミング
オンチップデバッグ接続禁止	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドによる禁止設定の初期化が可能	コンフィギュレーションクリアコマンドがサポートされていないため、禁止設定の初期化が不可能
シリアルプログラムのIDコードプロテクト	(IDコードが不一致の場合) ブロックイレーズコマンド：x プログラムコマンド：x リードコマンド：x (IDコードが一致した場合) ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	(IDコードの判定は行わない) ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドによる禁止設定の初期化が可能 ブロックイレーズコマンド禁止の設定が不可能 プログラムコマンド禁止の設定が不可能 リードコマンド禁止の設定が不可能	(IDコードの判定は行わない)
シリアルプログラマ接続禁止	ブロックイレーズコマンド：x プログラムコマンド：x リードコマンド：x	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドの実行が禁止されるため、禁止設定の初期化が不可能	コンフィギュレーションクリアコマンドがサポートされていないため、禁止設定の初期化が不可能
ブロックイレーズコマンド禁止	ブロックイレーズコマンド：x プログラムコマンド：○ リードコマンド：○	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドの実行が禁止されるため、禁止設定の初期化が不可能 シリアルプログラミング用のIDコードプロテクト機能の有効設定が不可能	コンフィギュレーションクリアコマンドがサポートされていないため、禁止設定の初期化が不可能
プログラムコマンド禁止	ブロックイレーズコマンド：△ プログラムコマンド：x リードコマンド：○	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	コンフィギュレーションクリアコマンドによる禁止設定の初期化が可能	コンフィギュレーションクリアコマンドがサポートされていないため、禁止設定の初期化が不可能
リードコマンド禁止	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：x	ブロックイレーズコマンド：○ プログラムコマンド：○ リードコマンド：○	シリアルプログラミング用のIDコードプロテクト機能の有効設定が不可能	

○：サポート、△：条件付サポート（詳細は「44.9.45 プログラムコマンド禁止設定時のイレーズフロー」を参照）、
x：未サポート

44.5.3 プロテクション機能

44.5.3.1 ソフトウェアプロテクション

ソフトウェアプロテクトは、制御レジスタ設定やユーザ領域のロックビット設定によってユーザ領域に対するプログラム/イレーズが禁止された状態です。ソフトウェアプロテクトに違反して、FACI コマンドを発行した場合には、フラッシュシーケンサはコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR レジスタが 0000h の場合には、フラッシュシーケンサはリードモードになります。リードモードでは、FACI コマンドは受け付けられません。リードモードで FACI コマンドが発行された場合には、フラッシュシーケンサはコマンドロック状態になります。

(3) ロックビットによるプロテクト

ユーザ領域の各ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが“0”の場合には、ロックビットが“0”に設定されたブロックに対するプログラム/イレーズは禁止状態になります。ロックビットが“0”に設定されたブロックをプログラム/イレーズしたい場合には、FPROTR.FPROTCN ビットを“1”に設定してください。ロックビットによるプロテクトに違反して、ユーザ領域に対するプログラム、ブロックイレーズ、ロックビットプログラムコマンドを発行すると、フラッシュシーケンサはコマンドロック状態になります。

44.5.3.2 エラープロテクション

エラープロテクトは、FACI コマンドの誤発行/禁止アクセスの発生、フラッシュシーケンサの誤動作を検出して FACI コマンドの受け付けを禁止する状態 (コマンドロック状態) です。フラッシュシーケンサをコマンドロック状態にすることにより、フラッシュメモリのプログラム/イレーズが禁止されます。コマンドロック状態を解除するためには、FASTAT.CFAE フラグおよび DFAE フラグが“0”の状態でステータスクリアまたは強制終了コマンドを発行する必要があります。ステータスクリアコマンドは FSTATR.FRDY フラグが“1”の場合のみ使用できます。強制終了コマンドは、FRDY フラグの値に関わらず使用できます。

フラッシュアクセスエラー (FIFERR) 割り込みの発生により、誤動作を検出できます。FIFERR 割り込みは、以下の条件で発生します。

- FAEINT.DFAEIE ビットが“1”の場合に、データフラッシュメモリアccess違反が発生 (FASTAT.DFAE フラグが“1”) したとき
- FAEINT.CMDLKIE ビットが“1”の場合に、フラッシュシーケンサがコマンドロック状態 (FASTAT.CMDLK フラグが“1”) になったとき
- FAEINT.CFAEIE ビットが“1”の場合に、コードフラッシュメモリアccess違反が発生 (FASTAT.CFAE フラグが“1”) したとき

プログラム/イレーズ処理中に P/E サスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、フラッシュシーケンサはプログラム/イレーズ処理を継続します。この状態で P/E サスペンドコマンドを発行してプログラム/イレーズを中断することはできません。コマンドロック状態でコマンドが発行された場合には、FSTATR.ILGLERR フラグの値は“1”になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 44.10 にエラープロテクトの内容とエラー検出後のステータスビット値の関係を示します。

表44.10 エラープロテクト一覧

分類	内容	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
FENTRYR 設定エラー	FENTRYRレジスタにAA81hを設定	1	0	0	0	0	0
	サスペンド時とレジューム時でFENTRYRレジスタの値が不一致	1	0	0	0	0	0
不正コマンド エラー	FACIコマンドの最初のアクセスで未定義コードをライト	1	0	0	0	0	0
	複数アクセスのFACIコマンドで、最終アクセスでD0h以外を指定	1	0	0	0	0	0
	プログラム、コンフィギュレーション設定で、FACIコマンドの2回目のライトアクセスで指定される値(N) (表44.16参照)が不正	1	0	0	0	0	0
	ブランクチェックコマンドが以下のいずれかの設定で発行された後 <ul style="list-style-type: none"> FBCCNT.BCDIRビット=0、かつFSADDRレジスタ>FEADDRレジスタ FBCCNT.BCDIRビット=1、かつFEADDRレジスタ>FSADDRレジスタ FEADDRレジスタのb18~b0の設定値が0 8000h~7 FFFFhの範囲 	1	0	0	0	0	0
	各モードで使用できないFACIコマンドを発行(表44.13参照)	1	0	0	0	0	0
	コマンド受け付け条件を満たさない状態でFACIコマンドを発行(表44.14参照)	1	0/1	0/1	0/1	0/1	0/1
イレーズエラー	イレーズ処理中のエラー発生	0	1	0	0	0	0
	ロックビット設定に違反したブロックイレーズコマンドの発行	0	1	0	0	0	0
プログラム エラー	プログラム処理中のエラー発生	0	0	1	0	0	0
	ロックビット設定に違反したプログラム、ロックビットプログラムコマンドの発行	0	0	1	0	0	0
コード フラッシュ メモリ アクセス違反	コードフラッシュメモリP/Eモードのとき、プログラムコマンド、ブロックイレーズコマンド、ロックビットプログラムコマンド、ロックビットリードコマンドが下記の設定で発行された後 <ul style="list-style-type: none"> FSADDRレジスタのb23~b0の設定値が00 0000h~EF FFFFhの範囲 	1	0	0	0	1	0
データ フラッシュ メモリ アクセス違反	データフラッシュメモリP/Eモードのとき、プログラムコマンド、ブロックイレーズコマンドが下記の設定で発行された後 <ul style="list-style-type: none"> FSADDRレジスタのb18~b0の設定値が0 8000h~7 FFFFhの範囲 	1	0	0	0	0	1
	データフラッシュメモリP/Eモードのとき、コンフィギュレーション設定コマンドが下記の設定で発行された後 <ul style="list-style-type: none"> FSADDRレジスタのb18~b0の設定値が0 0000h~0 003Fh、または0 0100h~7 FFFFhの範囲 	1	0	0	0	0	1
その他	リードモードで、FACIコマンド発行領域をアクセス	1	0	0	0	0	0
	コードフラッシュメモリP/EモードまたはデータフラッシュメモリP/Eモードで、FACIコマンド発行領域を読み出し	1	0	0	0	0	0
フラッシュ ライトイレーズ プロテクト エラー	フラッシュシーケンサのコマンド処理中にFWEPRORレジスタ(注1)設定によるフラッシュメモリの書き換え保護違反を検出	0	0/1	0/1	1	0	0
コンフィギュ レーション設定 ECCエラー	コンフィギュレーション設定値の読み出し時に2ビットエラーを検出	0	0	0	0	0	0
書き換えパラ メータECC エラー	書き換えパラメータテーブル読み出し時に2ビットエラーを検出	0	0	0	0	0	0

注1. FWEPRORレジスタについては、「44.4.1 フラッシュ P/E プロテクトレジスタ(FWEPROR)」を参照してください。

44.5.3.3 ブートプログラムプロテクション

(1) ユーザブート保護

ユーザブート領域は、ブートモード (SCI インタフェース) でのみ書き換え可能です。通常動作モード、ユーザブートモードでは書き換え保護されている領域であるため、ブートプログラム等を安全に格納するための領域として利用できます。

44.5.4 サスペンド機能

プログラム/イレーズ処理中は、BGO 動作時以外のユーザ領域/データ領域のリードはできません。P/E サスペンドコマンドを発行し、ユーザ領域/データ領域へのプログラム/イレーズ処理を中断させることによって、ユーザ領域/データ領域のリードができるようになります。P/E サスペンドコマンドには、プログラムに対するサスペンドが 1 種類とイレーズに対するサスペンドが 2 種類 (サスペンド優先モード、イレーズ優先モード) 存在します。また、中断したプログラム/イレーズ処理を再開する P/E レジュームコマンドも用意しています。

44.5.5 Trusted Memory

本 MCU には、ユーザ領域上のブロック 8、9 に第三者によるソフトウェアのリード防止機能として、Trusted Memory (以後、TM と呼びます) があり、暗号アルゴリズムの処理ソフトウェア、ノウハウを伴う機器制御処理ソフトウェアや有償のミドルウェアなどを格納するのに適しています。

表 44.11 に TM 機能の仕様を、表 44.12 に TM 機能有効時の TM 対象領域内のアクセス制限を、TM 機能有効時、TM 対象領域で CPU が動作可能なケースを図 44.4 に示します。

表 44.11 TM機能の仕様

項目	内容
TM対象領域	ユーザ領域のブロック 8、9 (合計 64K/バイト)
TM機能有効時のアクセス制限	「表 44.12 TM機能有効時の TM 対象領域内のアクセス制限」を参照
TM機能有効時のプログラム実行方法	TM有効時、TM対象領域内のプログラムを実行するにはTM対象領域以外のプログラムから分岐命令による実行のみ可能
TM機能有効時、TM対象領域内のプログラム実行時の割り込み処理	割り込み処理の受付、割り込み処理からの復帰ともに可能
セキュリティ機能	TM機能有効時、TM対象領域内のプログラムのアクセス制限
プロテクション機能	<ul style="list-style-type: none"> TM機能有効時のTM対象領域のデータアクセスに対する制限 (注1) TM機能有効時、TM対象領域をイレーズするまで、TM機能無効化防止 TM機能有効時、TM対象領域に対する追加プログラム防止

注1. データアクセスはTM対象領域の境界を含んだ場合、実行できません。

表 44.12 TM機能有効時のTM対象領域内のアクセス制限

アクセス種別	CPU	DMAC/DTC
命令フェッチ	可能	—
データアクセス (注1)	不可能	不可能

注. オンチップデバッグ(OCD)使用時は、上記表のDMACと同じ制限となります。OCDのTM対象領域に対する動作は、ご使用になるOCDのマニュアルを参照してください。

注1. データ配置はTM対象領域以外にしてください。

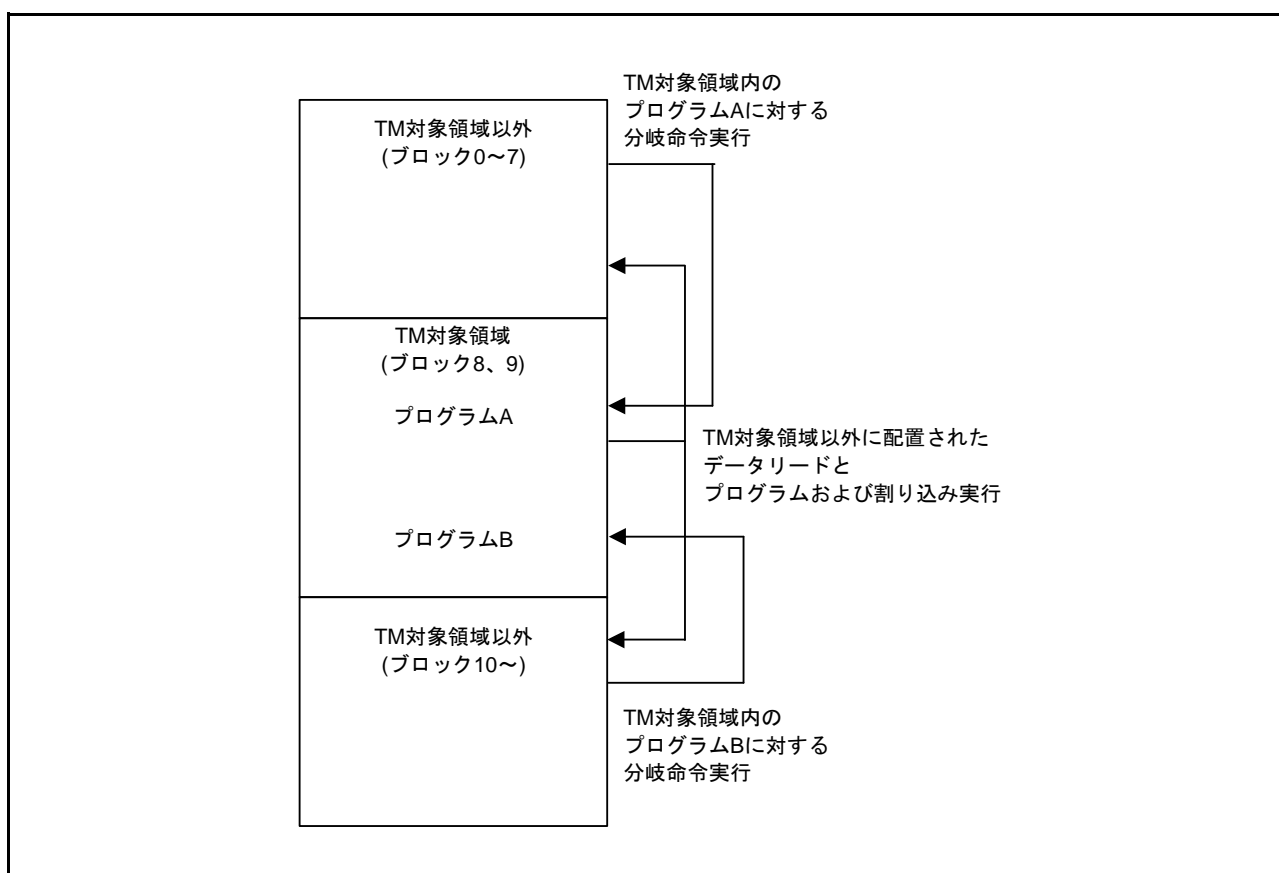


図 44.4 TM 機能有効時、TM 対象領域で CPU が動作可能なケース

44.5.5.1 TM 対象領域に配置するプログラム

TM 機能有効時、TM 対象領域以外から連続したアドレスの TM 対象領域内のプログラム実行を防止するため、必要に応じて TM 対象領域内のソフトウェアによる対策を実施してください。

44.5.5.2 TM 機能を有効にする方法

(1) セルフプログラミングによる方法

TM 対象領域である、ユーザ領域のブロック 8、9 に対するプログラム後、FACI のコンフィギュレーション設定コマンドで TM 機能を有効にします。

図 44.5 にセルフプログラミングによる TM 機能を有効にするためのフローを示します。

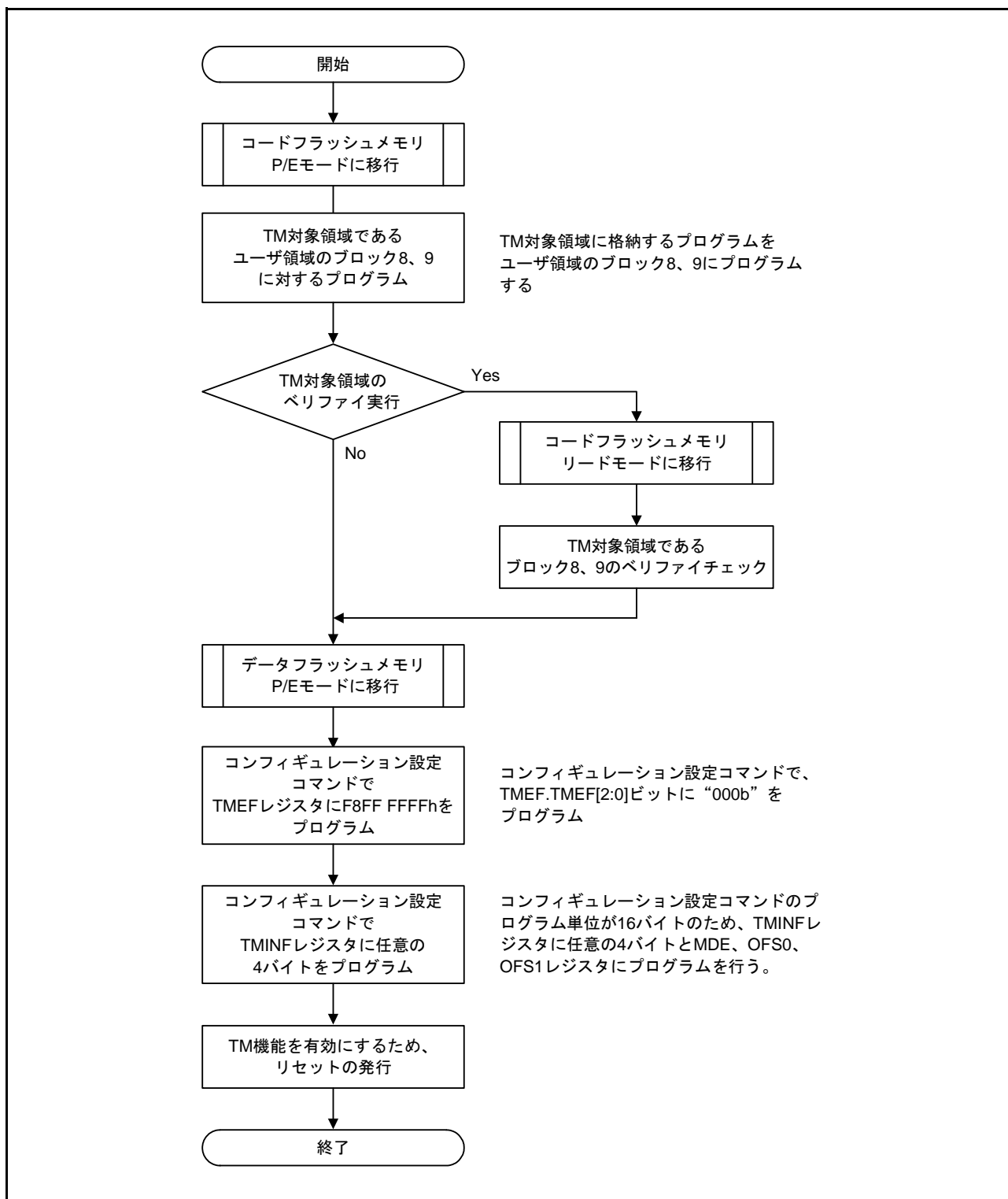


図 44.5 セルフプログラミングによる TM 機能を有効にするためのフロー

(2) ブートモードによる方法

ブートモードにおいて、ユーザ領域のブロック 8、9 に対するプログラム後、ブートコマンドの TM 設定コマンドで TM 機能を有効にします。

ブートコマンドの TM 設定コマンドは「44.9.38 TM 設定コマンド」を参照してください。

図 44.6 にブートモードで TM 機能を有効にするためのフローを示します。

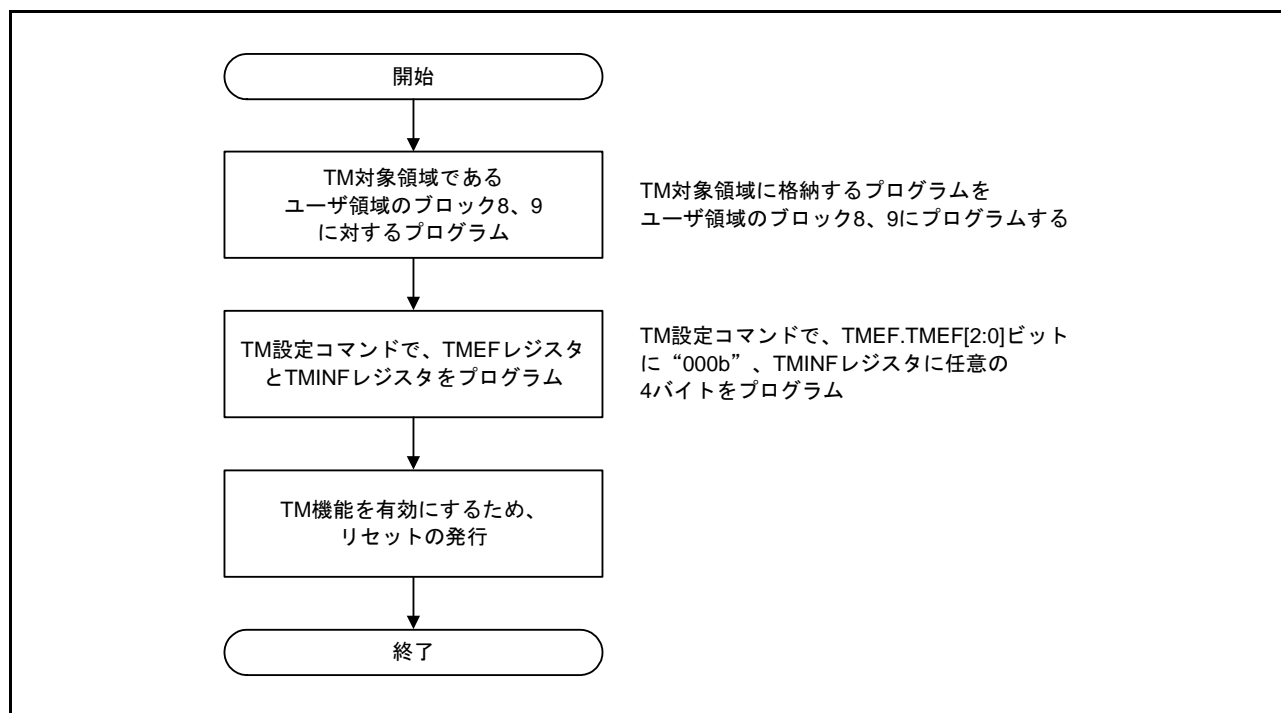


図 44.6 ブートモードで TM 機能を有効にするためのフロー

44.5.5.3 TM 機能を無効にする方法

TM 機能を無効にする場合、コンフィギュレーションクリアコマンドで TM 対象領域をイレーズする必要があります。TM 機能を無効にしない場合は、コンフィギュレーションクリアコマンドを使用しないでください。

図 44.7 にブートモードで TM 機能を無効にするためのフローを示します。

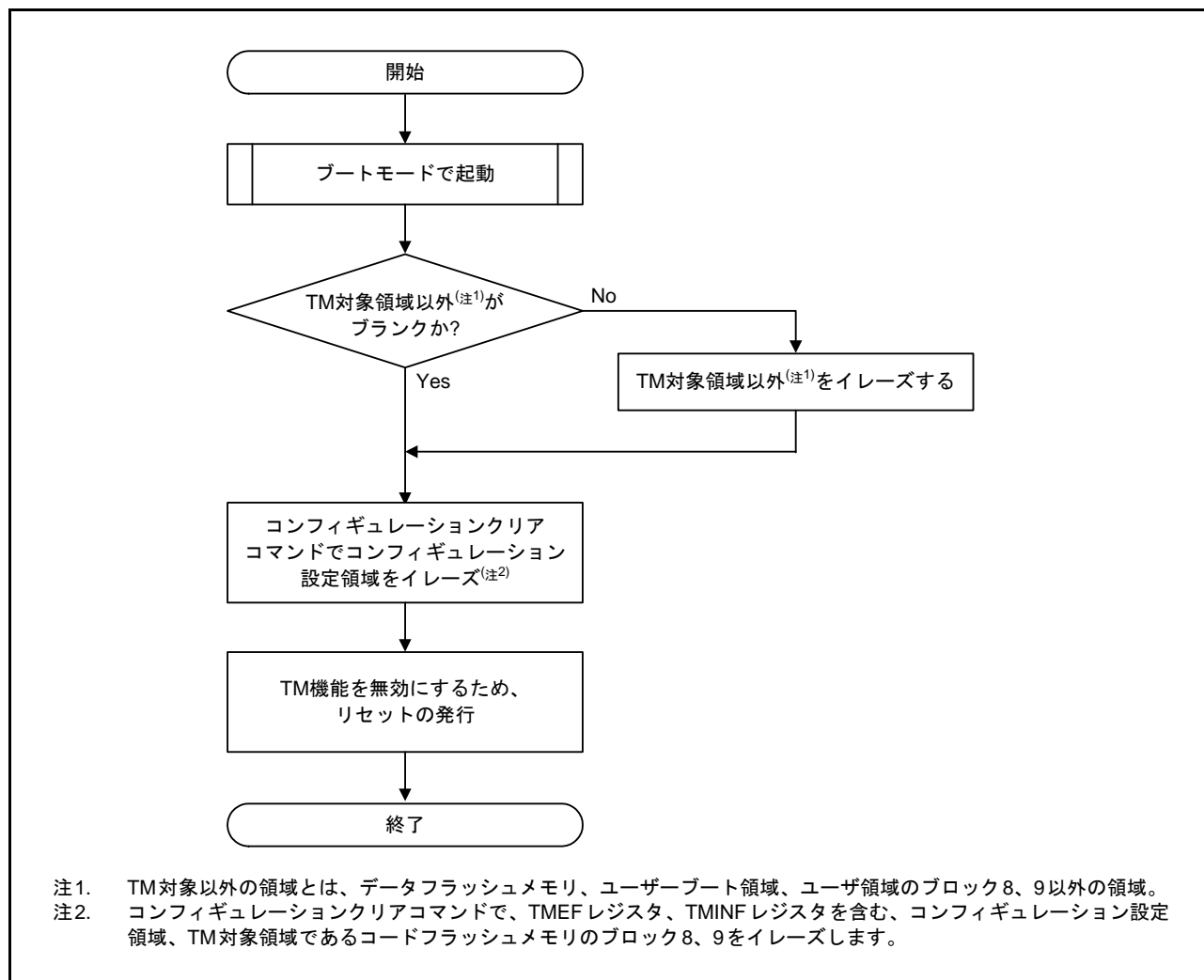


図 44.7 ブートモードで TM 機能を無効にするためのフロー

44.5.5.4 TM 機能有効時の注意事項

(1) TM 対象領域のアクセス防止

TM 機能有効時、TM 対象領域は CPU による命令フェッチのみ実行可能となりますので、TM 対象領域にはデータを配置しないでください。

TM 機能有効時、CPU/DMAC/DTC および OCD による TM 対象領域に対するデータアクセスを実行すると、プログラムされた値ではなく“0”がリードされます。

(2) TM 対象領域に対する追加プログラム

TM 機能有効時、TM 対象領域に対して追加プログラムはできません。

「44.5.5.3 TM 機能を無効にする方法」で TM 機能を無効にした後プログラムし、「44.5.5.2 TM 機能を有効にする方法」でコードフラッシュメモリのブロック 8、9 に対するプログラムと TM 機能を有効してください。

ユーザ領域、ユーザブート領域、データ領域をすべてイレーズする場合は、「44.9.45 プログラムコマンド禁止設定時のイレーズフロー」を参照してください。

(3) コンフィギュレーションクリアコマンド実行

「44.5.5.3 TM 機能を無効にする方法」でコンフィギュレーションクリアコマンドを実行してください。

(4) TM 対象領域に対する MPU 設定時

TM 機能有効時、TM 対象領域に対して MPU を設定しても、TM 機能が優先されます。

(5) TM 対象領域に対する FACI のブロックイレーズコマンドについて

FACI のブロックイレーズコマンドによる、TM 対象領域のブロックイレーズは特に制約はありません。ブロックイレーズコマンドの発行によりイレーズされます。

(6) コマンドプロテクションの設定について

TM 機能を無効にするときに実行するコンフィギュレーションクリアコマンドにより、同時にコマンドプロテクションの状態も初期化されます。

(7) TM 機能の動作条件

TM 機能は、「45. 電氣的特性」で規定された条件において正常に動作します。

44.6 フラッシュシーケンサ

44.6.1 フラッシュシーケンサの動作モード

フラッシュシーケンサには、図 44.8 に示す 3 種類のモードがあります。モードの移行は、FENTRYR レジスタの書き込みで行います。

FENTRYR レジスタが 0000h の場合には、フラッシュシーケンサはリードモードになります。このモードでは、FACI コマンドを受け付けません。コードフラッシュメモリ、データフラッシュメモリともにリードが可能です。

FENTRYR レジスタが 0001h の場合には、フラッシュシーケンサはコードフラッシュメモリ P/E モードになります。コードフラッシュメモリ P/E モードでは、FACI コマンドを使用してコードフラッシュメモリのプログラム/イレーズを実行可能です。このモードでは、コードフラッシュメモリ、データフラッシュメモリともにリードはできません。

FENTRYR レジスタが 0080h の場合には、フラッシュシーケンサはデータフラッシュメモリ P/E モードになります。データフラッシュメモリ P/E モードでは、FACI コマンドを使用してデータフラッシュメモリのプログラム/イレーズを実行可能です。このモードでは、データフラッシュメモリのリードはできません。コードフラッシュメモリのリードは可能です。

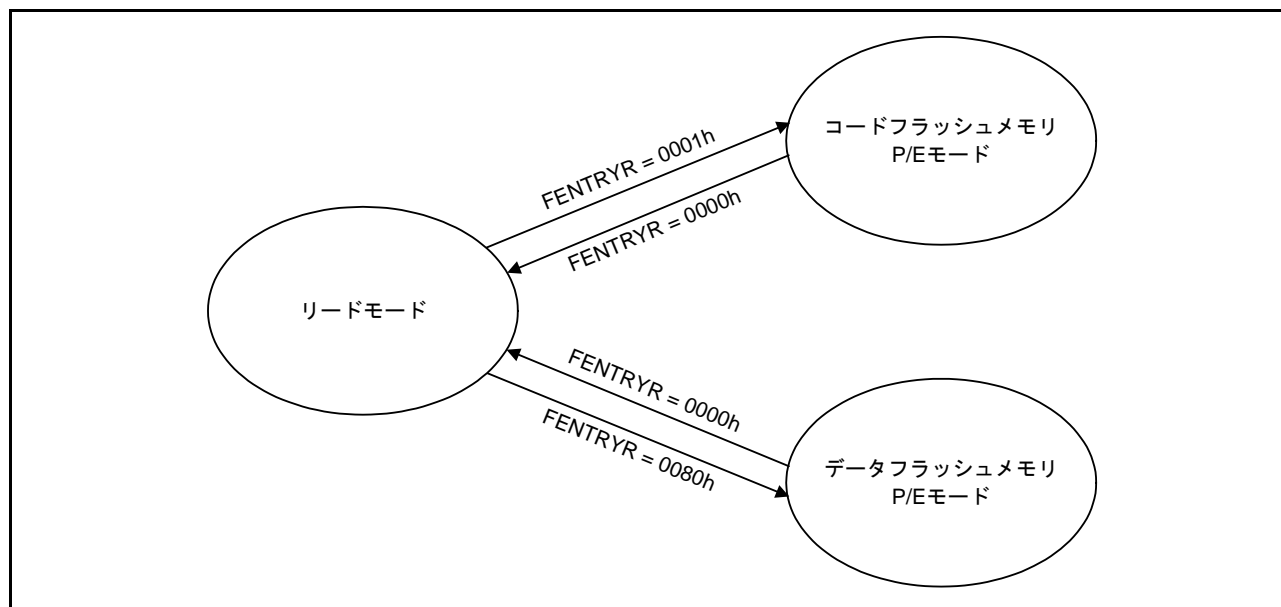


図 44.8 フラッシュシーケンサのモード

44.6.2 リードモード

リードモードは、コードフラッシュメモリまたはデータフラッシュメモリの高速読み出しを行うためのモードです。

(1) コードフラッシュメモリ

シングルチップモードおよびユーザブートモードのコードフラッシュメモリのリード時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データをリードすることが可能です。

イレーズ後にプログラムしていない状態 (未プログラム状態) のコードフラッシュメモリをリードすると、全ビット“1”がリードされます。

(2) データフラッシュメモリ

シングルチップモードおよびユーザブートモードのデータフラッシュメモリのリード時には、特別な設定は必要ありません。データフラッシュメモリのアドレスにアクセスすることで、データをリードすることが可能です。

イレーズ後にプログラムしていない状態 (未プログラム状態) のデータフラッシュメモリの値は不定です。未プログラム状態の確認には、ブランクチェック機能を使用してください。

44.6.3 P/E モード

P/E モードは、コードフラッシュメモリまたはデータフラッシュメモリのプログラム/イレーズを行うモードです。

(1) コードフラッシュメモリ P/E モード

コードフラッシュメモリがP/Eモード、データフラッシュメモリがリードモードになっているモードを、コードフラッシュメモリ P/Eモードと言います。FENTRYR.FENTRYD ビットを“0”、FENTRYR.FENTRYC ビットを“1”にした場合にこのモードに遷移します。

(2) データフラッシュメモリ P/E モード

コードフラッシュメモリがリードモード、データフラッシュメモリがP/Eモードになっているモードを、データフラッシュメモリ P/Eモードと言います。FENTRYR.FENTRYD ビットを“1”、FENTRYR.FENTRYC ビットを“0”にした場合にこのモードに遷移します。

44.6.4 モード遷移

フラッシュシーケンサの各モード/状態で受け付け可能な FSCI コマンドが決められています。FSCI コマンドの発行は、フラッシュシーケンサをコードフラッシュメモリ P/E モードまたはデータフラッシュメモリ P/E モードに移行させた後、フラッシュシーケンサの状態を確認してから実施する必要があります。フラッシュシーケンサの状態の確認には、FSTATR レジスタと FASTAT レジスタを使用してください。なお、FASTAT.CMDLK フラグは、FSTATR レジスタの ILGLERR、ERSERR、PRGERR、FLWEERR フラグと FASTAT レジスタの CFAE、DFAE フラグの値の論理和です。このため、FASTAT.CMDLK フラグの値によって、エラーの発生有無を確認することができます。

各モードで使用可能なコマンドを表 44.13 に示します。

表 44.13 各モードで使用可能なコマンド

モード	FENTRYR レジスタの値	使用可能なコマンド
リードモード	0000h	なし
コードフラッシュメモリ P/E モード	0001h	プログラム ブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 ロックビットプログラム ロックビットリード
データフラッシュメモリ P/E モード	0080h	プログラム ブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 ブランクチェック コンフィギュレーション設定

表 44.14 にフラッシュシーケンサの状態と受け付け可能な FACI コマンドの関係を示します。この表は、各コマンドの実行前に適切なモード設定にしていることを前提に記載しています。

表 44.14 フラッシュシーケンサの状態と受け付け可能なFACIコマンドの関係

	プログラム/イレーズ処理中 (注5)	コンフィギュレーション設定の処理中	プログラム/イレーズの中断処理中	ブランクチェック、ロックビットリードの処理中	プログラムサスペンド中	イレーズサスペンド中	イレーズサスペンド中のプログラム処理中	コマンドロック状態 (FRDY = 1)	コマンドロック状態 (FRDY = 0)	ロックビット、プログラムの処理中	強制終了のコマンド処理中	その他の状態
FRDY フラグ	0	0	0	0	1	1	0	1	0	0	0	1
SUSRDY フラグ	1	0	0	0	0	0	0	0	0	0	0	0
ERSSPD フラグ	0	0	0/1	0/1	0	1	1	0/1	0/1	0	0	0
PRGSPD フラグ	0	0	0/1	0/1	1	0	0	0/1	0/1	0	0	0
CMDLK フラグ	0	0	0	0	0	0	0	1	1	0	0	0
プログラム	×	×	×	×	×	○ (注3)	×	×	×	×	×	○
ブロックイレーズ	×	×	×	×	×	×	×	×	×	×	×	○
P/Eサスペンド	○	×	×	×	×	×	×	—	×	×	×	—
P/Eレジューム	×	×	×	×	○	○	×	×	×	×	×	×
ステータスクリア	×	×	×	×	○	○	×	○	×	×	×	○
強制終了	○	○	○	○	○	○	○	○	○	○	○	○
ブランクチェック	×	×	×	×	○ (注1)	○ (注1)	×	×	×	×	×	○ (注1)
コンフィギュレーション設定	×	×	×	×	×	×	×	×	×	×	×	○ (注1)
ロックビットプログラム	×	×	×	×	×	×	×	×	×	×	×	○ (注2)
ロックビットリード	×	×	×	×	○ (注2)	○ (注2、注4)	×	×	×	×	×	○ (注2)

○：受け付け可能、×：受け付け不可能（コマンドロック状態発生）、—：無視

注1. データフラッシュメモリ P/E モードでのみ受け付け可能

注2. コードフラッシュメモリ P/E モードでのみ受け付け可能

注3. イレーズ中断したブロック以外へのプログラムのみ受け付け可能。

注4. イレーズ中断したブロックのロックビットのリード結果は不定です。

注5. P/Eサスペンドコマンドが受け付けられるまでの間にプログラム/イレーズ処理が完了していた場合も含まれます。

44.6.4.1 コードフラッシュメモリ P/E モードへの遷移

コードフラッシュメモリ関連の FACI コマンドを使用するためには、コードフラッシュメモリ P/E モードに移行する必要があります。コードフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYC ビットを“1”にします。

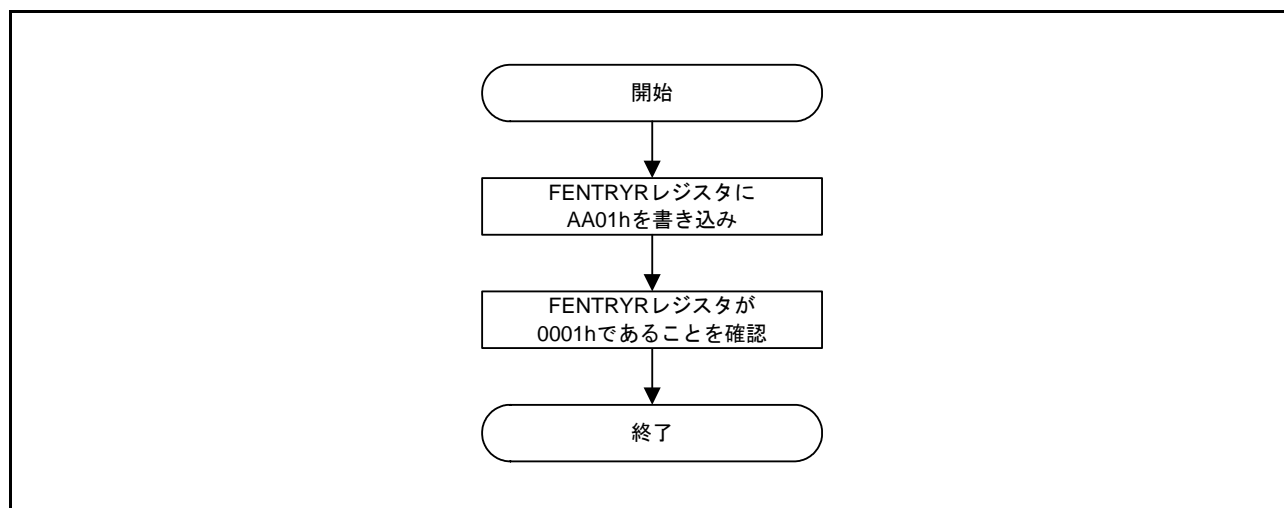


図 44.9 コードフラッシュメモリ P/E モード移行フロー

44.6.4.2 データフラッシュメモリ P/E モードへの遷移

データフラッシュメモリ関連の FACI コマンドを使用するためには、データフラッシュメモリ P/E モードに移行する必要があります。データフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYD ビットを“1”にします。

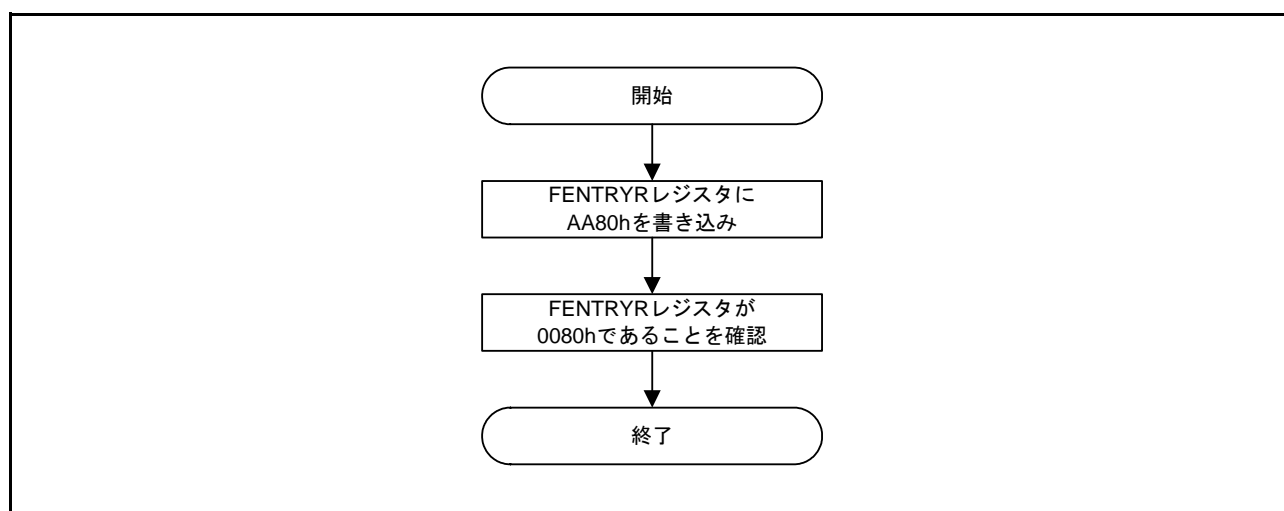


図 44.10 データフラッシュメモリ P/E モード移行フロー

44.6.4.3 リードモードへの遷移

BGO 動作以外でフラッシュメモリを読み出すためには、リードモードに移行する必要があります。リードモードに移行するためには、FENTRYRレジスタを0000hにします。リードモードへの移行は、フラッシュシーケンサの処理が完了し、かつコマンドロック以外の状態で実施してください。なお、リセット解除後はリードモードです。

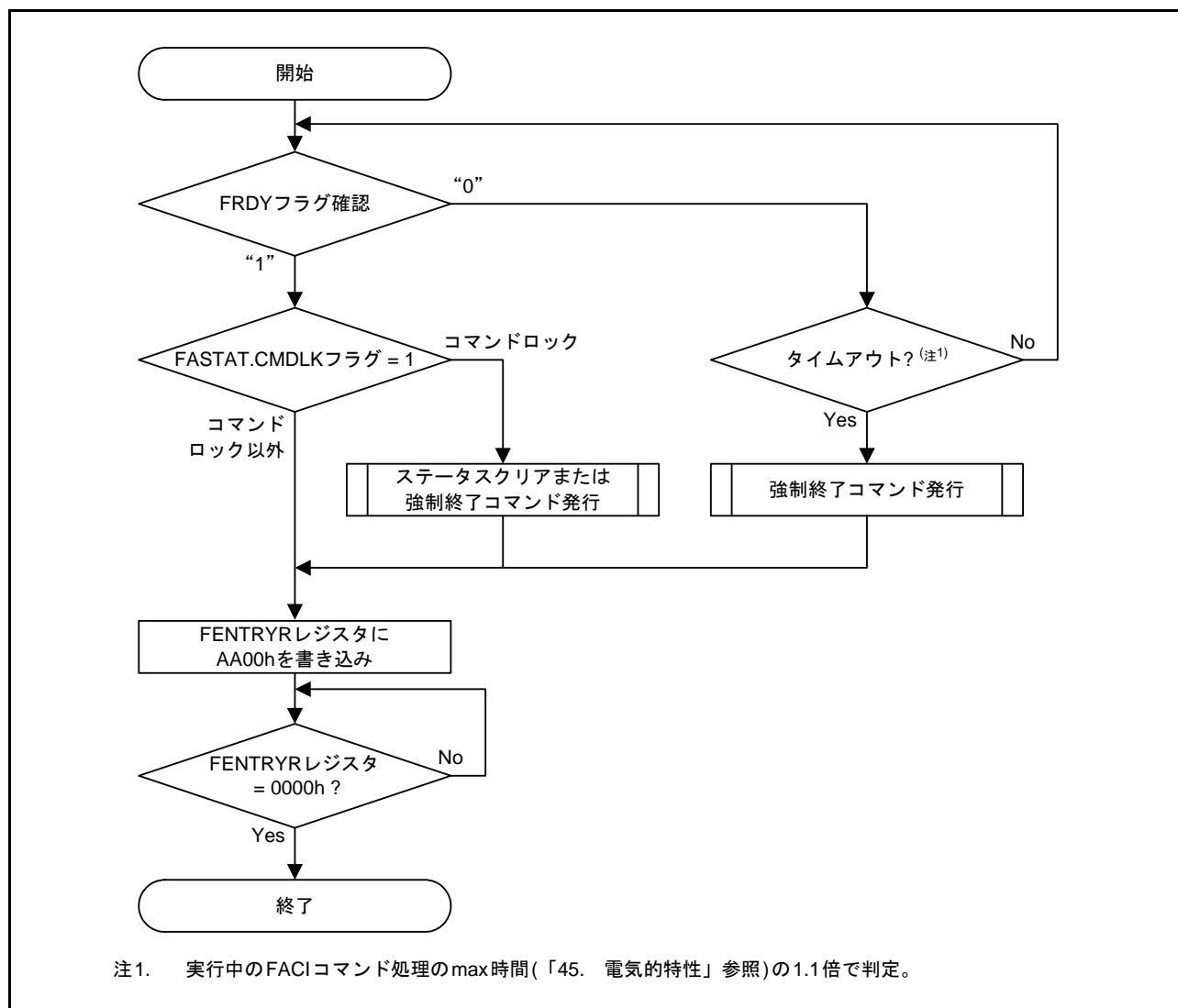


図 44.11 リードモード移行フロー

44.6.5 FACI コマンド一覧

表44.15 FACIコマンド一覧

FACIコマンド	機能
プログラム	ユーザ領域、データ領域をプログラムします。 ユーザ領域のプログラム単位：256バイト データ領域のプログラム単位：4バイト
ブロックイレーズ	ユーザ領域(ロックビットを含む)、データ領域をイレーズします。 イレーズ単位：1ブロック (ユーザ領域は8Kまたは32Kバイト、データ領域は64バイト)
P/Eサスペンド	プログラムまたはイレーズの処理を中断します。
P/Eレジューム	中断したプログラム/イレーズの処理を再開します。
ステータスクリア	FSTATR.ILGLERR、ERSERR、PRGERR フラグと FASTAT.CMDLK フラグを初期化して、フラッシュシーケンサのコマンドロック状態を解除します。
強制終了	FACIコマンド処理を強制的に終了し、FSTATRレジスタを初期化します。
ブランクチェック	データ領域をブランクチェックします。 チェック単位：4～32Kバイト(4バイト単位で指定)
コンフィギュレーション設定	コンフィギュレーション設定領域の設定を行います。 設定単位：16バイト
ロックビットプログラム	ユーザ領域のロックビットをプログラムします。 プログラム単位：1ビット(1ブロック分のロックビット)
ロックビットリード	ユーザ領域のロックビットをリードして、結果をFLKSTATレジスタに格納します。 リード単位：1ビット(1ブロック分のロックビット)

FACI コマンド発行領域 (表 44.2 参照) に対して、ライトアクセスを行うことで、FACI コマンドを発行できます。表 44.16 に示したライトアクセスを特定の状態で発行すると、フラッシュシーケンサが各コマンドに対応した処理を実行します(「44.6.4 モード遷移」参照)。

表44.16 FACIコマンドのフォーマット

FACIコマンド	ライト回数	FACIコマンド発行領域にライトするデータ			
		ライト1回目	ライト2回目	ライト 3～(N+2)回目	ライト (N+3)回目
プログラム(ユーザ領域) 256バイトプログラム：N = 128	131	E8h	80h (= N)	WD ₁ ~ WD ₁₂₈	D0h
プログラム(データ領域) 4バイトプログラム：N = 2	5	E8h	02h (= N)	WD ₁ ~ WD ₂	D0h
ブロックイレーズ	2	20h	D0h	—	—
P/Eサスペンド	1	B0h	—	—	—
P/Eレジューム	1	D0h	—	—	—
ステータスクリア	1	50h	—	—	—
強制終了	1	B3h	—	—	—
ブランクチェック	2	71h	D0h	—	—
コンフィギュレーション設定 N = 8	11	40h	08h (= N)	WD ₁ ~ WD ₈	D0h
ロックビットプログラム	2	77h	D0h	—	—
ロックビットリード	2	71h	D0h	—	—

注. WD_N (N = 1, 2, ...): N番目の16ビットプログラムデータ

フラッシュシーケンサは、ステータスクリア以外のコマンド処理を開始すると FSTATR.FRDY ビットを“0”にし、コマンド処理が完了すると FSTATR.FRDY ビットを“1”にします。

FRDYIE.FRDYIE ビットが“1”の場合、FSTATR.FRDY ビットが“1”になると、フラッシュレディ (FRDY) 割り込みが発生します。

44.6.6 FACI コマンドの使用方法

本項では、FACI コマンドの使用方法 / 使用例を記載します。

44.6.6.1 FACI コマンド使用時の概略フロー

FACI コマンドを使用する場合の概略フローを図 44.12 に示します。

BGO 動作では、コードフラッシュメモリ上の書き換えプログラムからデータフラッシュメモリへの FACI コマンドの発行も可能なため、内蔵 RAM または外部領域 (コードフラッシュメモリ以外) へのジャンプは不要です。

FCLK を変更した場合、FPCKAR レジスタを変更することで FACI コマンド処理時間の短縮が可能です。詳細は、「44.4.18 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)」を参照してください。

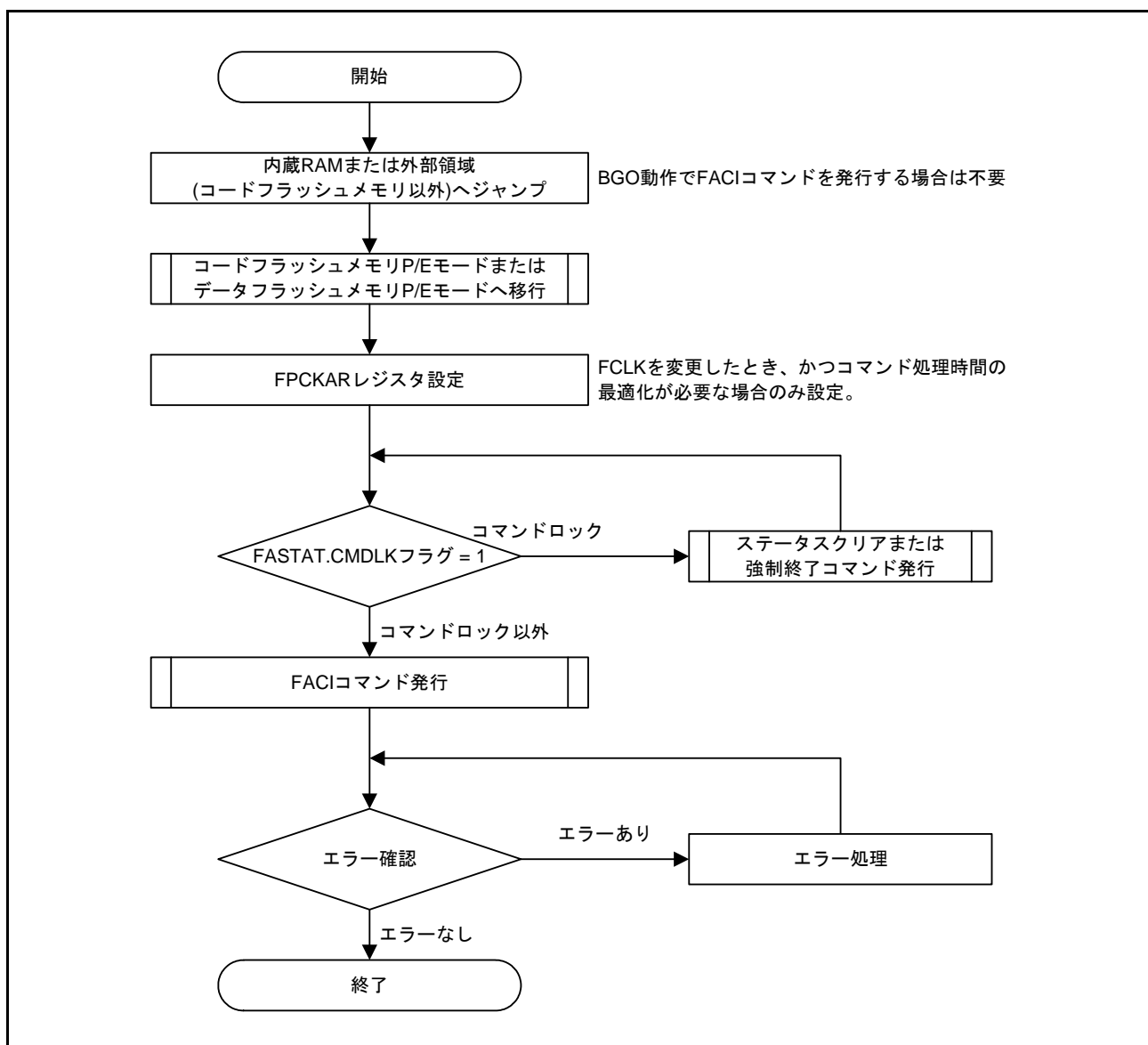


図 44.12 FACI コマンド使用時の概略フロー

44.6.6.2 コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になった場合には、FACI コマンドの受け付けができなくなります。コマンドロック状態を解除するためには、ステータスクリアコマンド、強制終了コマンド、または FASTAT レジスタを使用する必要があります。

P/E サスペンドコマンド発行前のエラー確認などでコマンドロック状態を検出した場合には、コマンド処理が完了しておらず FSTATR.FRDY フラグが“0”を保持している可能性があります。「45. 電気的特性」で規定された最大のプログラム/イレーズ時間の 1.1 倍を越えても処理が完了しない場合には、タイムアウトと判断して強制終了コマンドでフラッシュシーケンサを停止させてください。

FSTATR.ILGLERR フラグが“1”の場合には、FASTAT レジスタの値を確認してください。FASTAT.CFAE フラグまたは DFAE フラグが“1”の場合には、FASTAT レジスタの CFAE フラグまたは DFAE フラグを“0”にしてから、ステータスクリア/強制終了コマンドを発行してください。

FSTATR.FLWERR フラグは、ステータスクリアコマンドでは“1”から“0”に更新できません。これらのビットが“1”の場合には、強制終了コマンドを使用して、コマンドロックを解除してください。その他のコマンドロック要因となるビットは、ステータスクリアコマンドまたは強制終了コマンドで“1”から“0”に更新可能です。

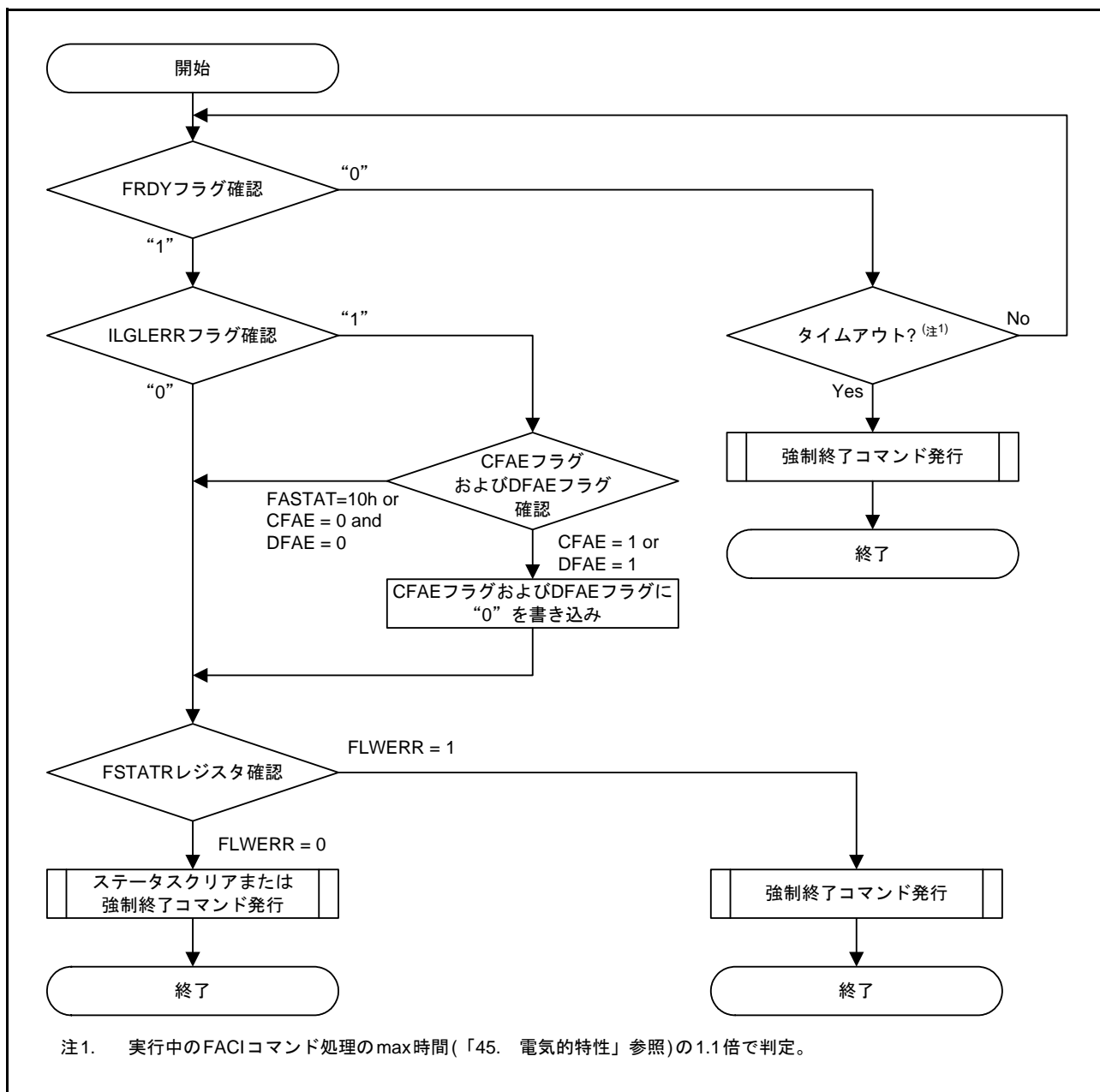


図 44.13 コマンドロック状態からの復帰方法

44.6.6.3 プログラムコマンド

ユーザ領域、データ領域のプログラムには、プログラムコマンドを使用します。

プログラムコマンドを発行する前に、書き込み先の先頭アドレスを **FSADDR** レジスタに設定してください。FACI コマンド発行時の最終アクセスで **D0h** を FACI コマンド発行領域に書き込むと、プログラムコマンドの処理が開始されます。コマンド処理の終了は、**FSTATR.FRDY** フラグで確認することができます。プログラムコマンドの処理対象領域に書き込み不要な領域が含まれる場合には、該当領域に対するプログラムデータを **FFFFh** にしてください。

FPROTR レジスタは、プログラムコマンドを発行する前に設定する必要があります。**FPROTR** レジスタは、ロックビットの有効/無効を切り替える場合に設定を変更する必要があります。

FACI 内部のデータバッファがフルの状態、プログラムコマンドを発行し続けると、内部周辺バス 6 にウェイトが発生し、他の周辺 IP のバスアクセスに影響を及ぼす可能性があります。ウェイト発生を回避する必要がある場合には、**FSTATR.DBFULL** フラグが“0”の状態、FACI コマンドを発行してください。

なお、データ領域のプログラム時には、データバッファがフルになることはありません。

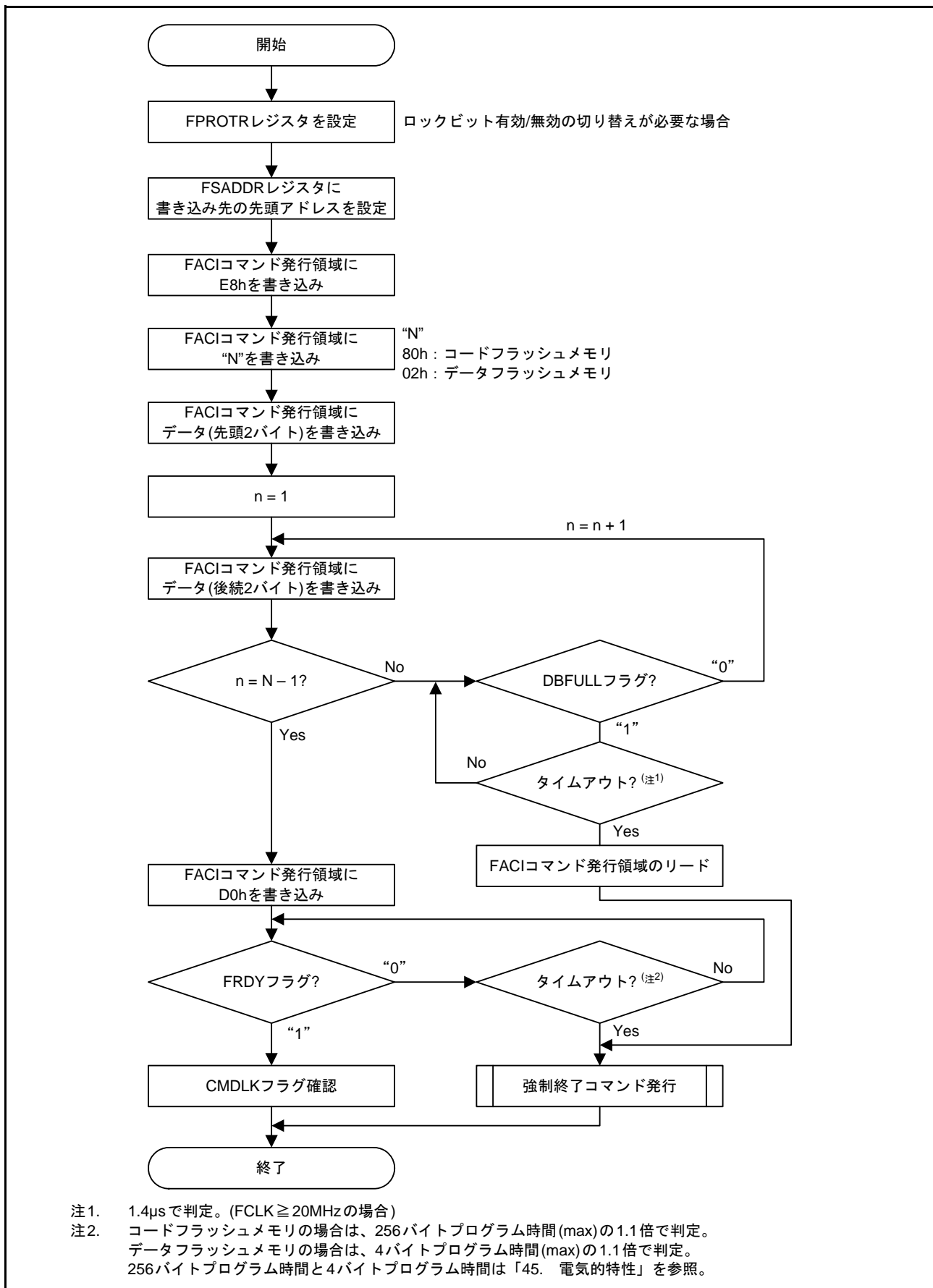


図 44.14 プログラムコマンドの使用方法

44.6.6.4 ブロックイレーズコマンド

ユーザ領域、ロックビット、データ領域のイレーズには、ブロックイレーズコマンドを使用します。イレーズ単位は1ブロックです。

ブロックイレーズコマンドを発行する前に、消去先の先頭アドレスをFSADDRレジスタに設定してください。FACIコマンド発行領域に20hとD0hを書き込むと、ブロックイレーズコマンドの処理が開始されます。コマンド処理の終了は、FSTATR.FRDYフラグで確認することができます。

FPROTRレジスタおよびFCPSRレジスタは、ブロックイレーズコマンドを発行する前に設定する必要があります。FPROTRレジスタは、ロックビットの有効/無効を切り替える場合に設定を変更する必要があります。ロックビットのイレーズを行う場合には、FPROTR.FPROTCNビットを“1”にした状態でブロックイレーズコマンドを発行してください。FCPSRレジスタは、P/Eサスペンドコマンドでイレーズ処理を中断する場合の中断方式(サスペンド優先モード/イレーズ優先モード)を切り替える場合に設定を変更する必要があります。

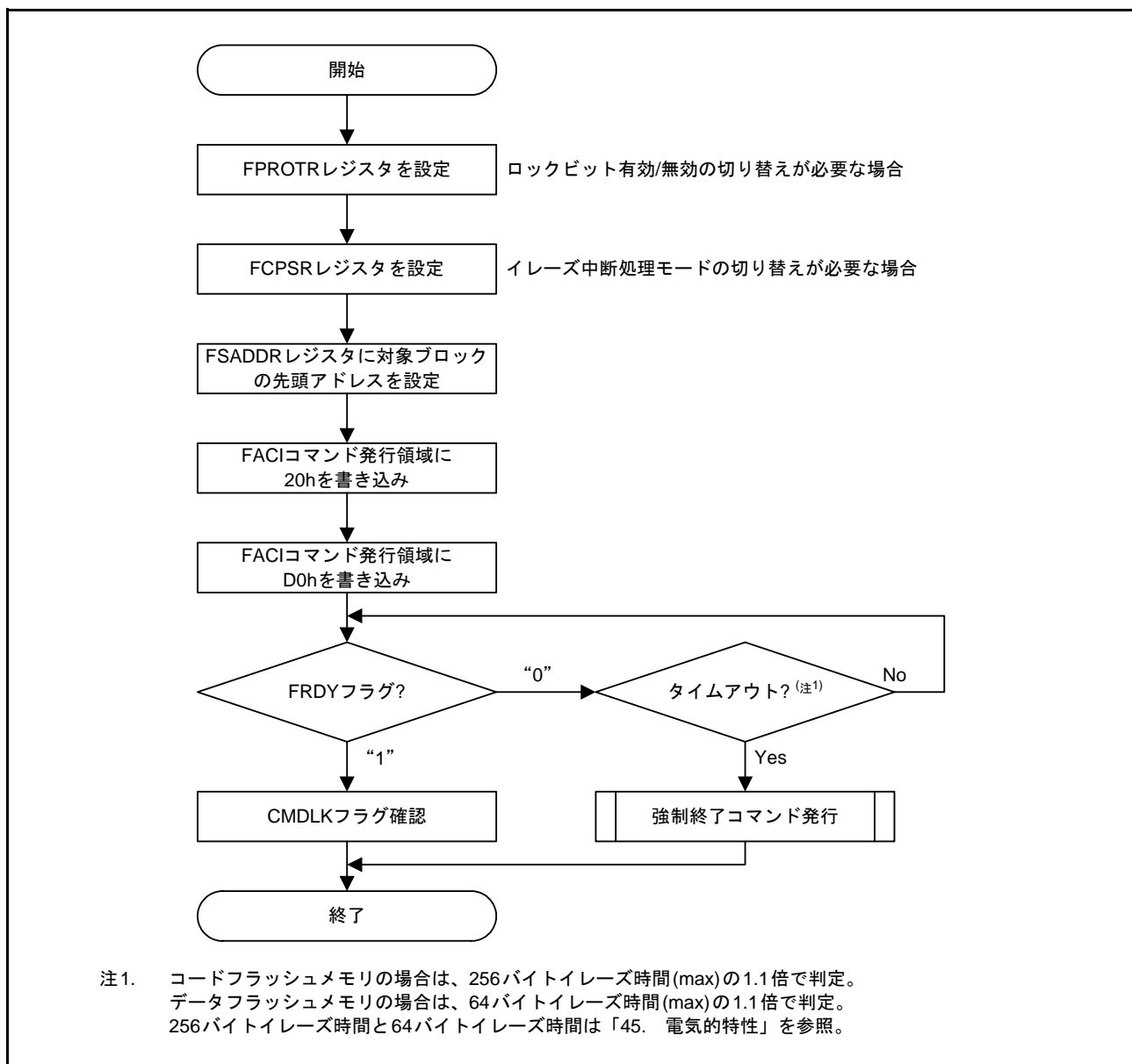


図 44.15 ブロックイレーズコマンドの使用法

44.6.6.5 P/E サスペンドコマンド

プログラム/イレーズ処理の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FASTAT.CMDLK フラグが“0”でプログラム/イレーズ処理が正常に実行されていることを確認してください。また、P/E サスペンドコマンドが受け付け可能であることを確認するために、FSTATR.SUSRDY フラグが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、FASTAT.CMDLK フラグを読み出して“1”(コマンドロック)でないことを確認してください。

プログラム/イレーズ処理中に異常が発生した場合には、FASTAT.CMDLK フラグが“1”になります。FSTATR.SUSRDY フラグが“1”であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間にプログラム/イレーズ処理が完了していた場合には、P/E サスペンドコマンドは無視され、サスペンド状態にも遷移しません (FSTATR.FR DY フラグが“1”、かつ FSTATR.ERSSPD フラグと PRGSPD フラグが“0”)。

P/E サスペンドコマンドが受け付けられて、プログラム/イレーズの中断処理が正常に終了した場合には、フラッシュシーケンサがサスペンド状態に遷移して FSTATR.FR DY フラグが“1”、かつ FSTATR.ERSSPD フラグまたは PRGSPD フラグが“1”になります。P/E サスペンドコマンド発行後には、FSTATR.ERSSPD フラグまたは PRGSPD フラグが“1”で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生しフラッシュシーケンサがコマンドロック状態に遷移します (「44.5.3.2 エラープロテクション」参照)。

イレーズサスペンド状態に遷移した場合には、イレーズ対象外のブロックに対するプログラムを実行することができます。また、プログラム/イレーズサスペンド状態ともに、FENTRYR レジスタをクリアすることにより、リードモードに移行することも可能です。

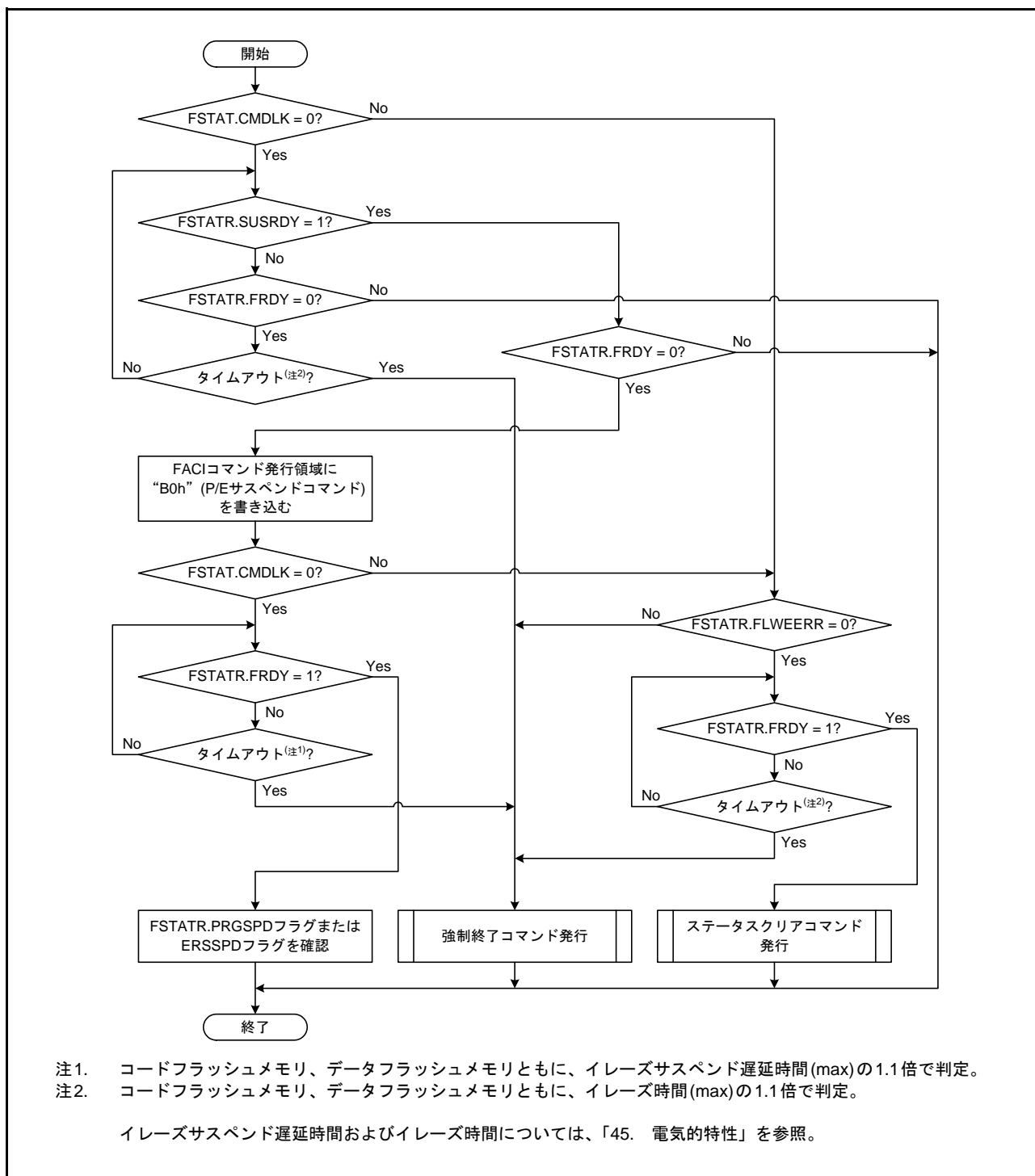


図 44.16 P/E サスペンドコマンドの使用方法

(1) プログラム中のサスペンド

フラッシュメモリへのプログラム処理中に P/E サスペンドコマンドを発行すると、フラッシュシーケンサはプログラム処理を中断します。図 44.17 にプログラム処理の中断動作を示します。フラッシュシーケンサはプログラム系のコマンドを受け付けると、FSTAT.FRDY フラグを“0”にしてプログラム処理を開始します。プログラム処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に移移すると、FSTAT.SUSRDY フラグが“1”になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受け付けて FSTAT.SUSRDY フラグを“0”にします。書き込みパルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサはパルスの印加を継続します。所定のパルス印加時間を経過するとフラッシュシーケンサはパルスの印加を完了し、プログラムの中断処理を開始して FSTAT.PRGSPPD フラグを“1”にします。

中断処理が完了すると、フラッシュシーケンサは FSTAT.FRDY フラグを“1”にしてプログラムサスペンド状態に移移します。プログラムサスペンド状態でフラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTAT.FRDY フラグと FSTAT.PRGSPPD フラグを“0”にしてプログラム処理を再開します。

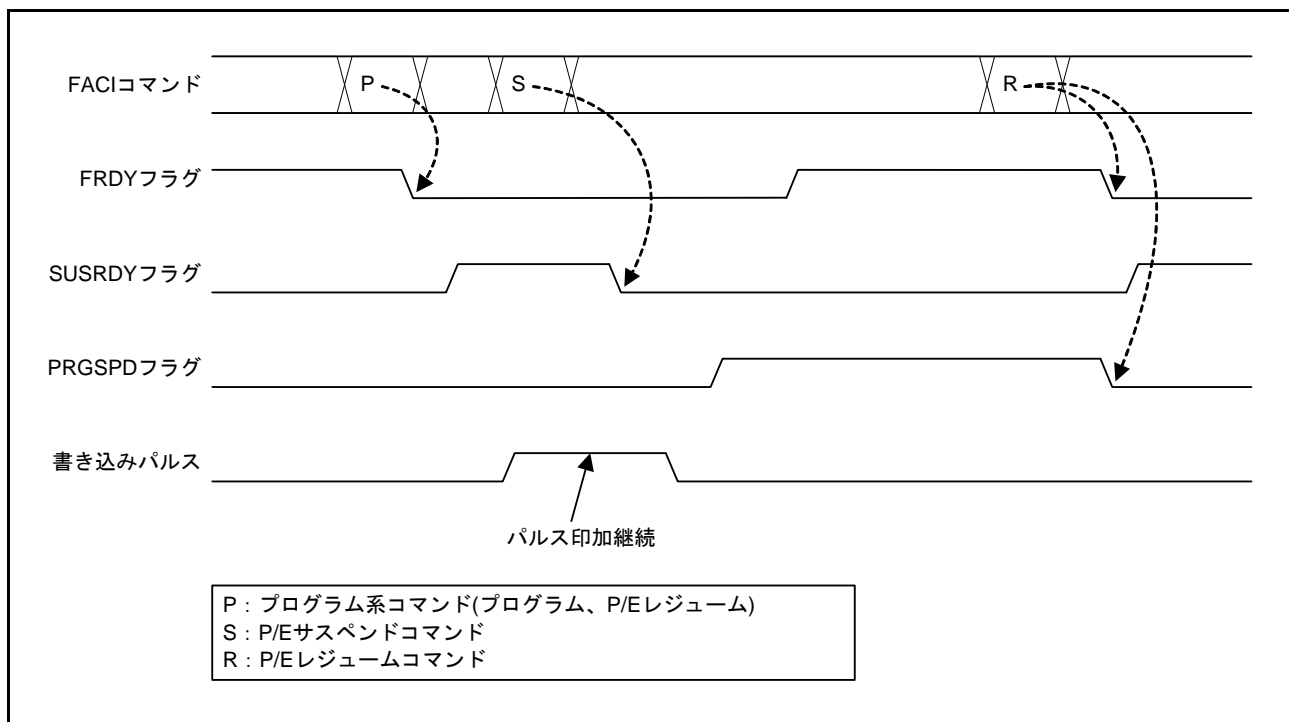


図 44.17 プログラム処理の中断動作

(2) イレーズ中のサスペンド (サスペンド優先モード)

イレーズ中のサスペンド方式として、サスペンド優先モードをサポートしています。図 44.18 にサスペンド優先モード (FCPSR.ESUSPMD ビットが“0”) の場合のイレーズ処理の中断動作を示します。フラッシュシーケンサはイレーズ系のコマンドを受け付けると、FSTATR.FRDY フラグを“0”にクリアしてイレーズ処理を開始します。イレーズ処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR.SUSRDY フラグが“1”になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサはサスペンドコマンドを受け付けて FSTATR.SUSRDY フラグを“0”にします。イレーズ処理中にサスペンドコマンドを受け付けた場合には、フラッシュシーケンサは消去パルス印加中でも中断処理を開始して FSTATR.ERSSPD フラグを“1”にします。中断処理が完了すると、フラッシュシーケンサは FSTATR.FRDY フラグを“1”にして、イレーズサスペンド状態に遷移します。イレーズサスペンド状態で、フラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTATR.FRDY フラグと ERSSPD フラグを“0”にして、イレーズ処理を再開します。イレーズ処理の中断 / 再開時の FSTATR.FRDY、SUSRDY、ERSSPD フラグの動作は、イレーズ中断処理モードに依存せず同様です。

イレーズ中断処理モードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を中断してイレーズサスペンド状態に遷移します。P/E レジュームコマンドによりイレーズが再開され、消去パルス A を再印加している期間に、P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、フラッシュシーケンサは消去パルスの印加を完了してイレーズサスペンド状態に遷移します。次にフラッシュシーケンサが P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

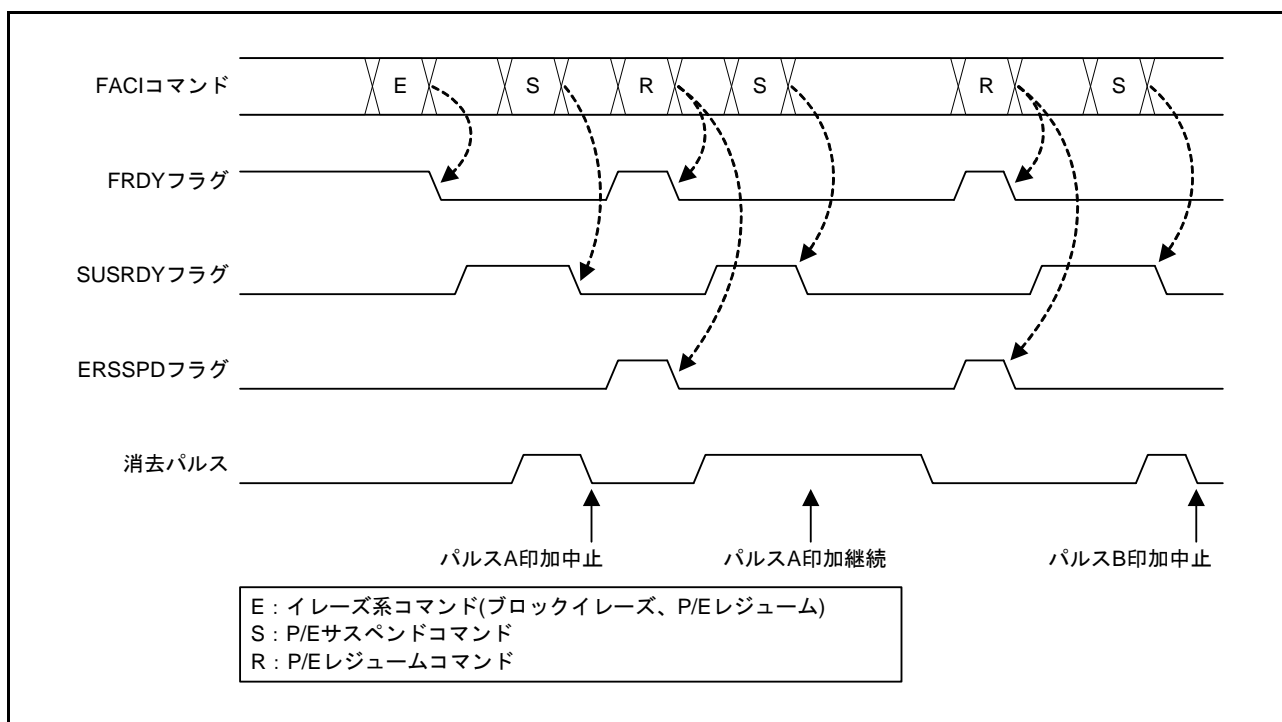


図 44.18 イレーズ処理の中断動作 (サスペンド優先モード)

(3) イレーズ中のサスペンド (イレーズ優先モード)

イレーズ中のサスペンドの方式として、イレーズ優先モードをサポートしています。図 44.19 にイレーズ優先モード (FCPSR.ESUSPMD ビットが“1”) の場合のイレーズ処理の中断動作を示します。イレーズ優先モードのイレーズパルス制御方式は、プログラム中断処理の書き込みパルス制御方式と同様です。

フラッシュシーケンサが消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較してイレーズ処理全体に必要な時間を短縮可能です。

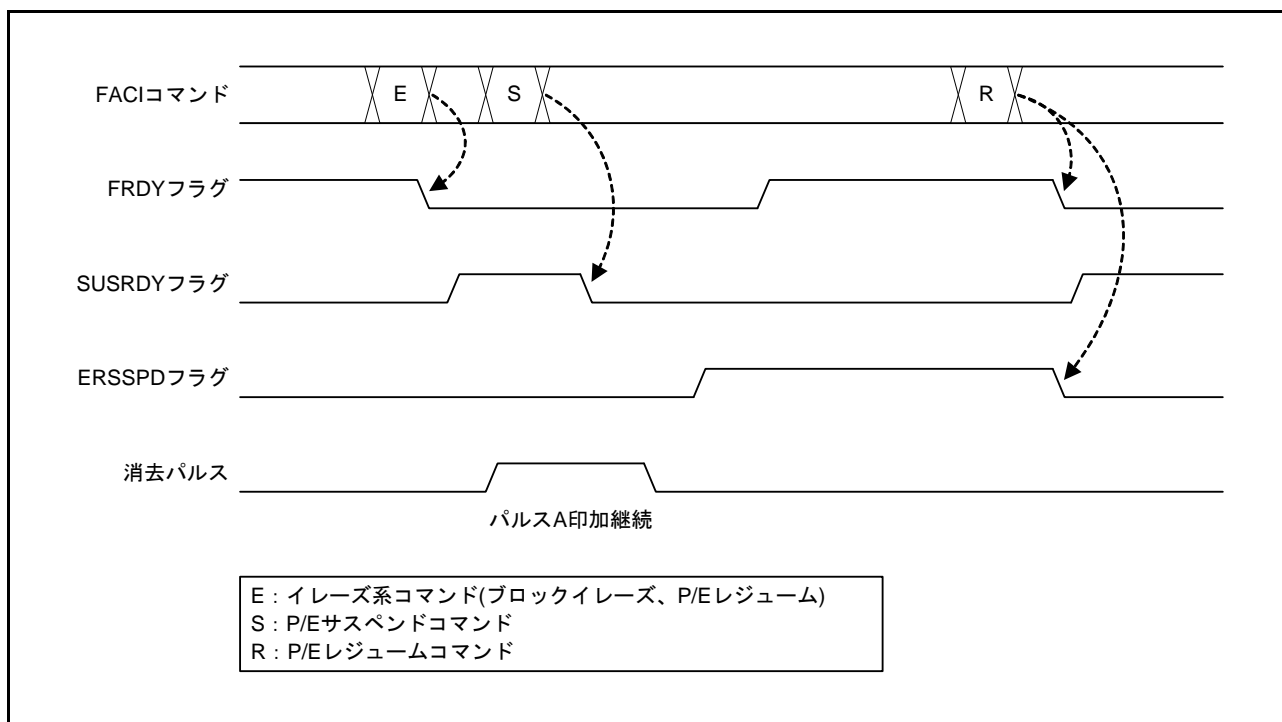


図 44.19 イレーズ処理の中断動作 (イレーズ優先モード)

44.6.6.6 P/E レジュームコマンド

サスペンドしたプログラム/イレーズ処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に、FENTRYR レジスタの値を P/E サスペンドコマンド発行直前の値に再設定してください。レジュームしたコマンドによる処理の終了は、FSTAT.FRDY フラグで確認することができます。

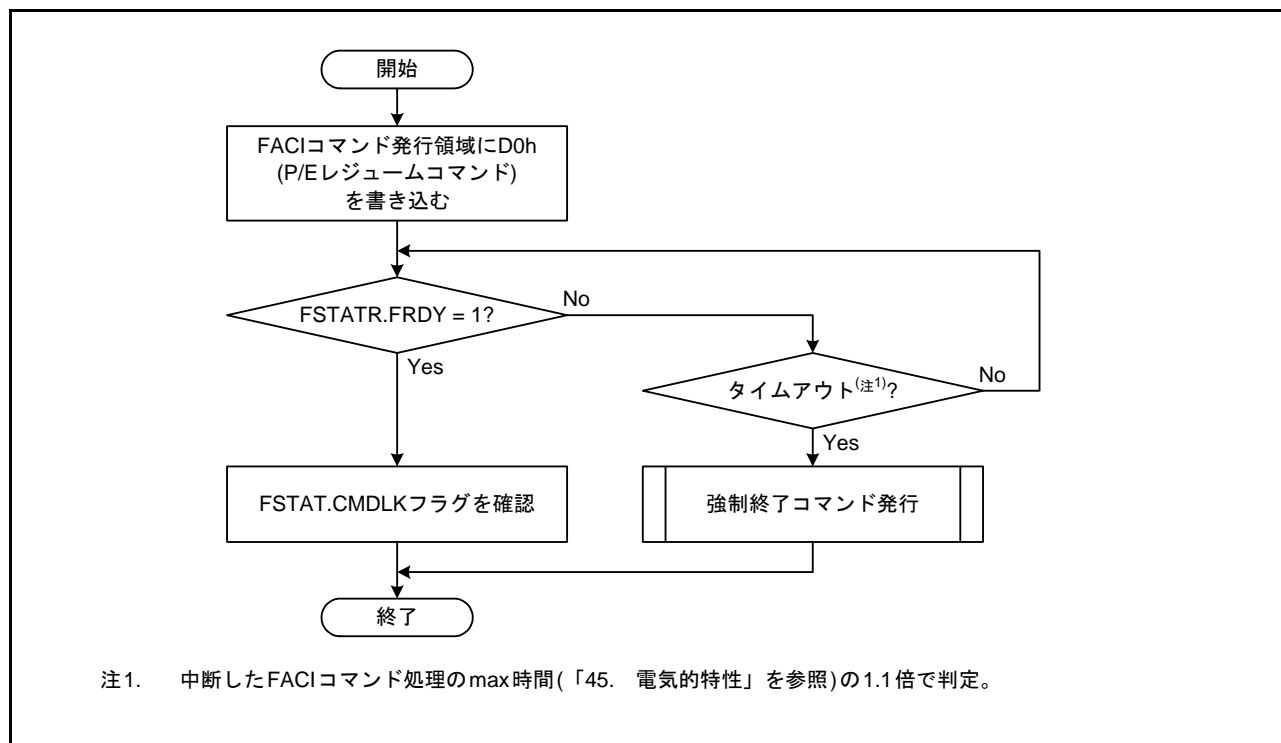


図 44.20 P/E レジュームコマンドの使用方法

44.6.6.7 ステータスクリアコマンド

FSTATR.ILGLERR、ERSERR、PRGERR、FLWEERR フラグのいずれかのビットが“1”になると、フラッシュシーケンサはコマンドロック状態になります。また、FASTAT.CFAE、DFAE フラグのいずれかのビットが“1”になる場合もコマンドロック状態になります。コマンドロック状態時、フラッシュシーケンサはステータスクリアコマンドまたは強制終了コマンドのみ受け付け可能です。

ステータスクリアコマンドは、コマンドロック状態を解除するために使用するコマンドです（「44.6.6.2 コマンドロック状態からの復帰」参照）。コマンドロック状態で、FASTAT.CMDLK フラグ、また FSTATR.ILGLERR、ERSERR、PRGERR フラグをクリアしたい場合に、ステータスクリアコマンドを使用可能です。

FSTATR.FLWEERR フラグはステータスクリアコマンドでクリアすることはできず、強制終了コマンドのみクリアすることが可能です。

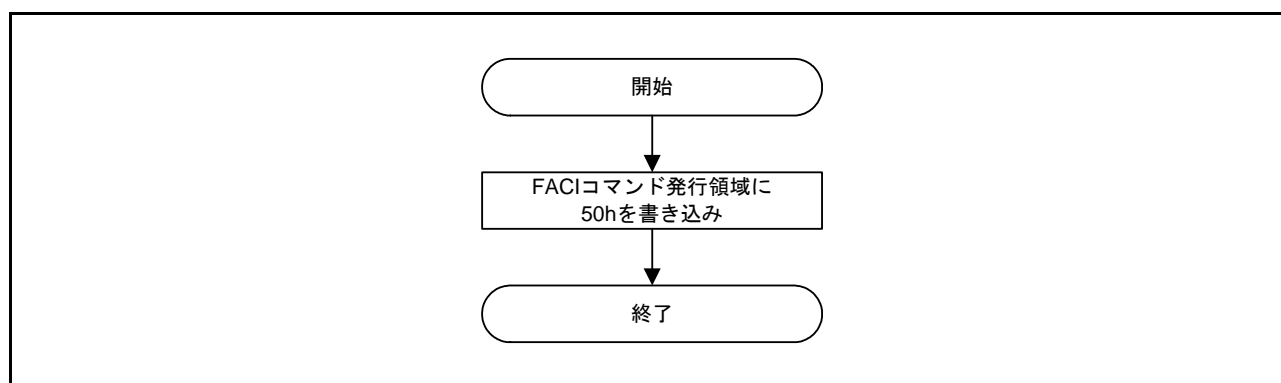


図 44.21 ステータスクリアコマンドの使用法

44.6.6.8 強制終了コマンド

強制終了コマンドは、フラッシュシーケンサのコマンド処理を強制的に終了させるコマンドです。P/E サスペンドコマンドよりも高速にコマンド処理を中断可能ですが、中断したプログラム/イレーズ領域のデータ値は保証されません。また、中断した処理を再開することもできません。強制終了コマンドで中断したプログラム/イレーズ処理は、書き換え回数としては1回分と定義されます。

強制終了コマンドを実行すると、FCU 全体および FOCI の一部が初期化されます。また、FASTAT.CMDLK フラグと FSTATR レジスタも初期化されます。このため、コマンドロック状態からの復帰手段や、フラッシュシーケンサ動作のタイムアウト処理でも、強制終了コマンドを利用することができます(「44.6.6.2 コマンドロック状態からの復帰」参照)。

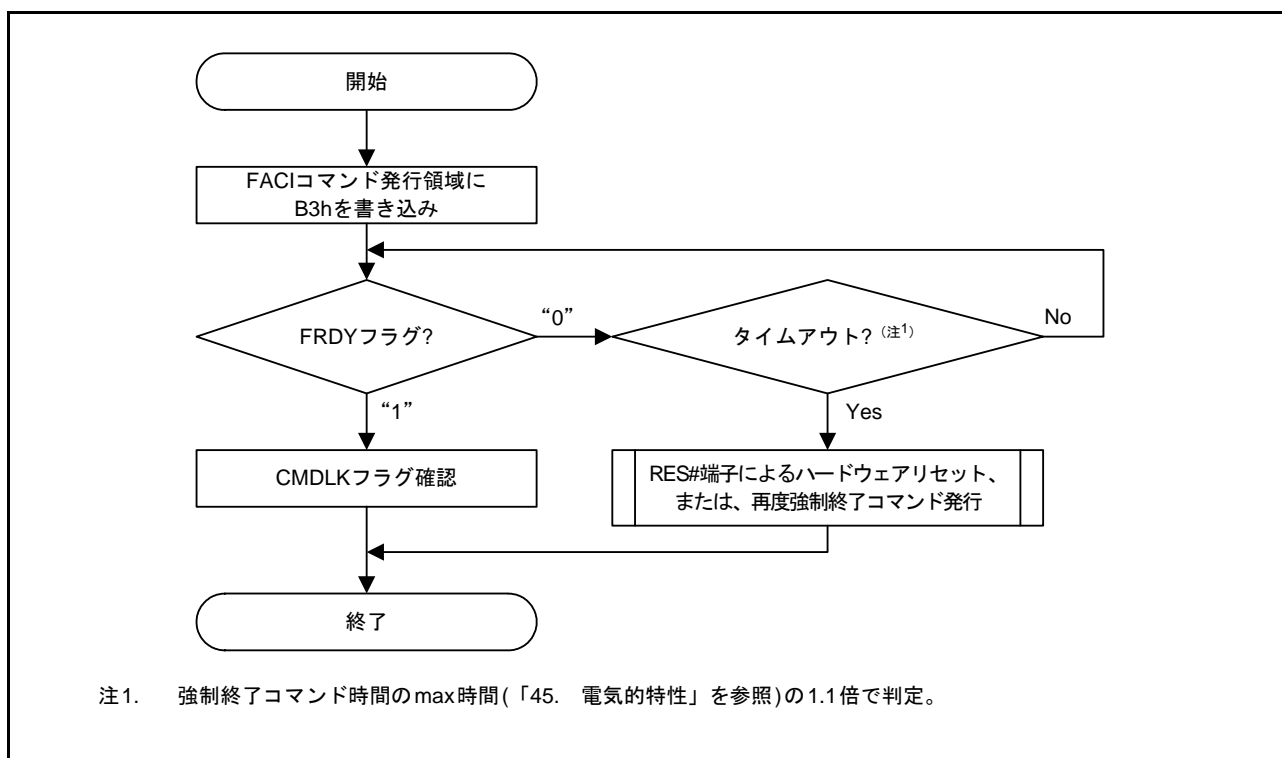


図 44.22 強制終了コマンドの使用方法

コマンド発行中の強制終了コマンドの使用方法について

プログラムコマンドの DBFULL ビット判定でのタイムアウト発生時に強制終了コマンドによる中断を行う場合、FACI コマンド発行領域への書き込みがプログラムコマンドの書き込みデータとして扱われる場合があります。この場合、FACI コマンド発行領域をリードして意図的にコマンドロックを発生させた後、コマンドロック状態からの復帰方法に従って強制終了コマンドを発行してください。なお、FACI コマンド発行領域のリードのアクセスサイズが 8 ビット /16 ビット /32 ビットのいずれの場合でも、コマンドロックを発生させることが可能です。

44.6.6.9 ブランクチェックコマンド

イレーズ後に書き込んでいない状態 (未書き込み状態) のデータフラッシュメモリの値は不定であるため、未書き込み状態の確認にはブランクチェックコマンドを使用する必要があります。

ブランクチェックコマンドを発行する前に、アドレッシングモード、ブランクチェック対象領域の先頭アドレス / 最終アドレスを FBCCNT レジスタ、FSADDR レジスタ、FEADDR レジスタに設定してください。

FBCCNT.BCDIR ビットが“1”の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。

FBCCNT.BCDIR ビットが“0”の場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。

FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック対象領域のサイズは4バイト～32K バイトの範囲で、4バイト単位に設定可能です。

FACI コマンド発行領域に 71h と D0h を書き込むと、ブランクチェックの処理が開始されます。処理の完了は、FSTAT.FRDY フラグで確認可能です。処理完了時に、FBCSTAT.BCST ビットにブランクチェックの結果が格納されます。書き込み済みの領域がブランクチェック対象の領域に含まれている場合、フラッシュシーケンサは最初に検出した書き込み済みデータのアドレスを FPSADDR レジスタに格納します。

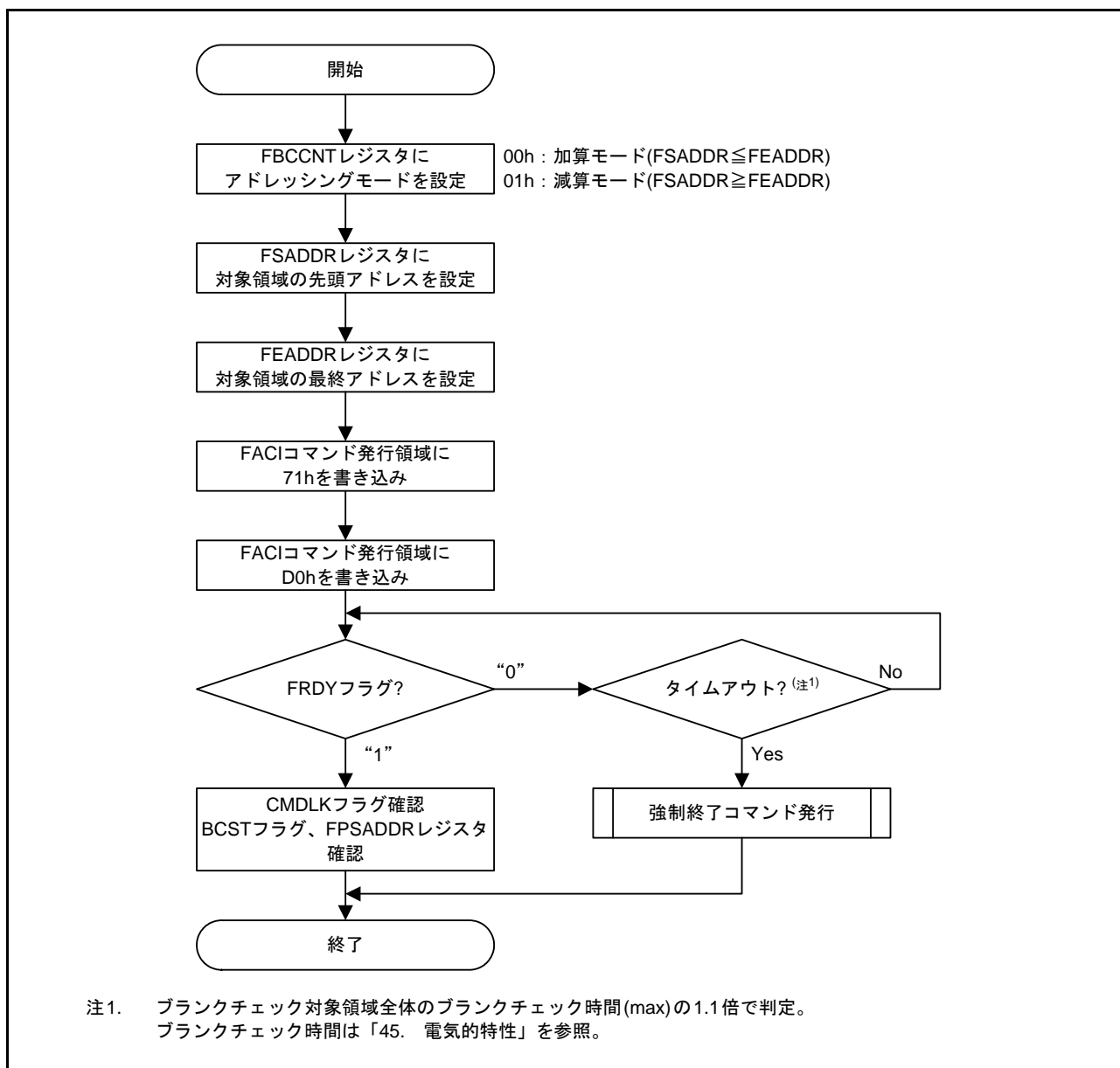


図 44.23 ブランクチェックコマンドの使用方法

44.6.6.10 コンフィギュレーション設定コマンド

コンフィギュレーション設定コマンドは、コンフィギュレーション設定領域の設定を行うためのコマンドです。コンフィギュレーション設定コマンドを発行する前に、設定データのアドレス(表 44.17 参照)を FSADDR レジスタに設定してください。FACI コマンド発行時の最終アクセスで D0h を FACI コマンド発行領域に書き込むと、コンフィギュレーション設定コマンドの処理が開始されます。

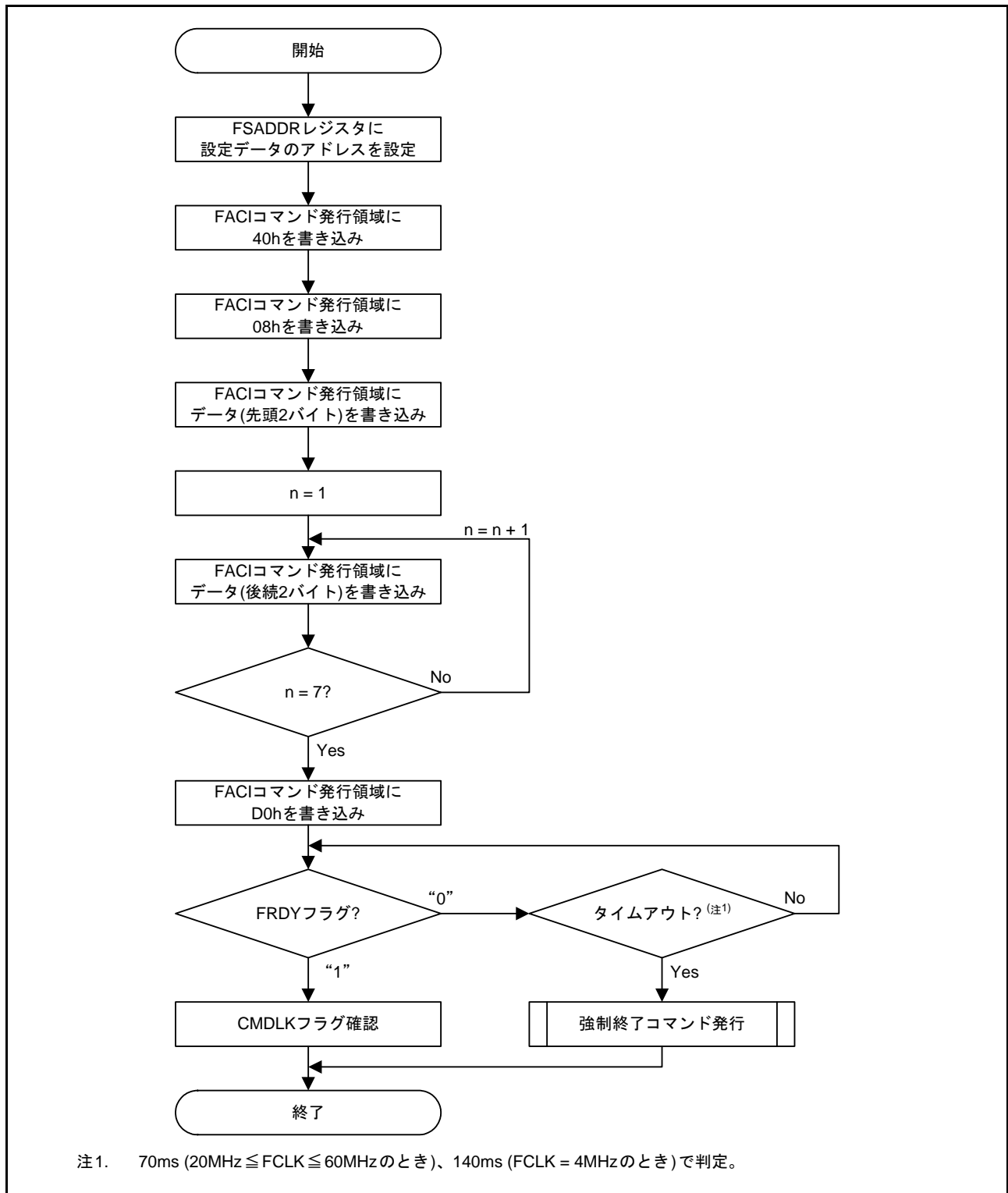


図 44.24 コンフィギュレーション設定コマンドの使用法

コンフィギュレーション設定が可能なデータと、FSADDR レジスタに設定するアドレス値の対応は表 44.17 のとおりです。FSADDR レジスタについての詳細は、「44.4.5 FACL コマンド処理開始アドレスレジスタ (FSADDR)」を参照してください。

表 44.17 コンフィギュレーション設定コマンドで使用するアドレス

アドレス	FSADDR レジスタ設定値	設定データ	設定が有効になる タイミング
0012 0040h	0000 0040h	シリアルプログラマコマンド制御レジスタ (SPCC)、 TMイネーブルフラグレジスタ (TMEF)	リセットとコマンド実行時 (注1)
0012 0050h	0000 0050h	OCD/シリアルプログラマID設定レジスタ (OSIS)	リセット
0012 0060h	0000 0060h	TM識別データレジスタ (TMINF)、オプション機能選択レジスタ 0 (OFS0)、オプション機能選択レジスタ1 (OFS1)、 エンディアン選択レジスタ (MDE)	リセット
0012 007Ch	0000 0070h	ROMコードプロテクトレジスタ (ROMCODE)	リセット

注1. シリアルプログラマコマンド制御レジスタ (SPCC) はリセット後に設定が有効になります。TMイネーブルフラグレジスタ (TMEF) はリセット後、およびコマンド実行時に設定が有効になります。

44.6.6.11 ロックビットプログラムコマンド

ロックビットのプログラムには、ロックビットプログラムコマンドを使用します。ロックビットのイレーズには、ブロックイレーズコマンドを使用します(「44.6.6.4 ブロックイレーズコマンド」参照)。

ロックビットプログラムコマンドを発行する前に、ロックビットを書き込みたいブロックの先頭アドレスをFSADDRレジスタに設定してください。FACIコマンド発行領域に77hとD0hを書き込むと、ロックビットプログラムコマンドの処理が開始されます。

FPROTRレジスタは、ロックビットプログラムコマンドを発行する前に設定する必要があります。FPROTRレジスタは、ロックビットの有効/無効を切り替える場合に設定を変更する必要があります。

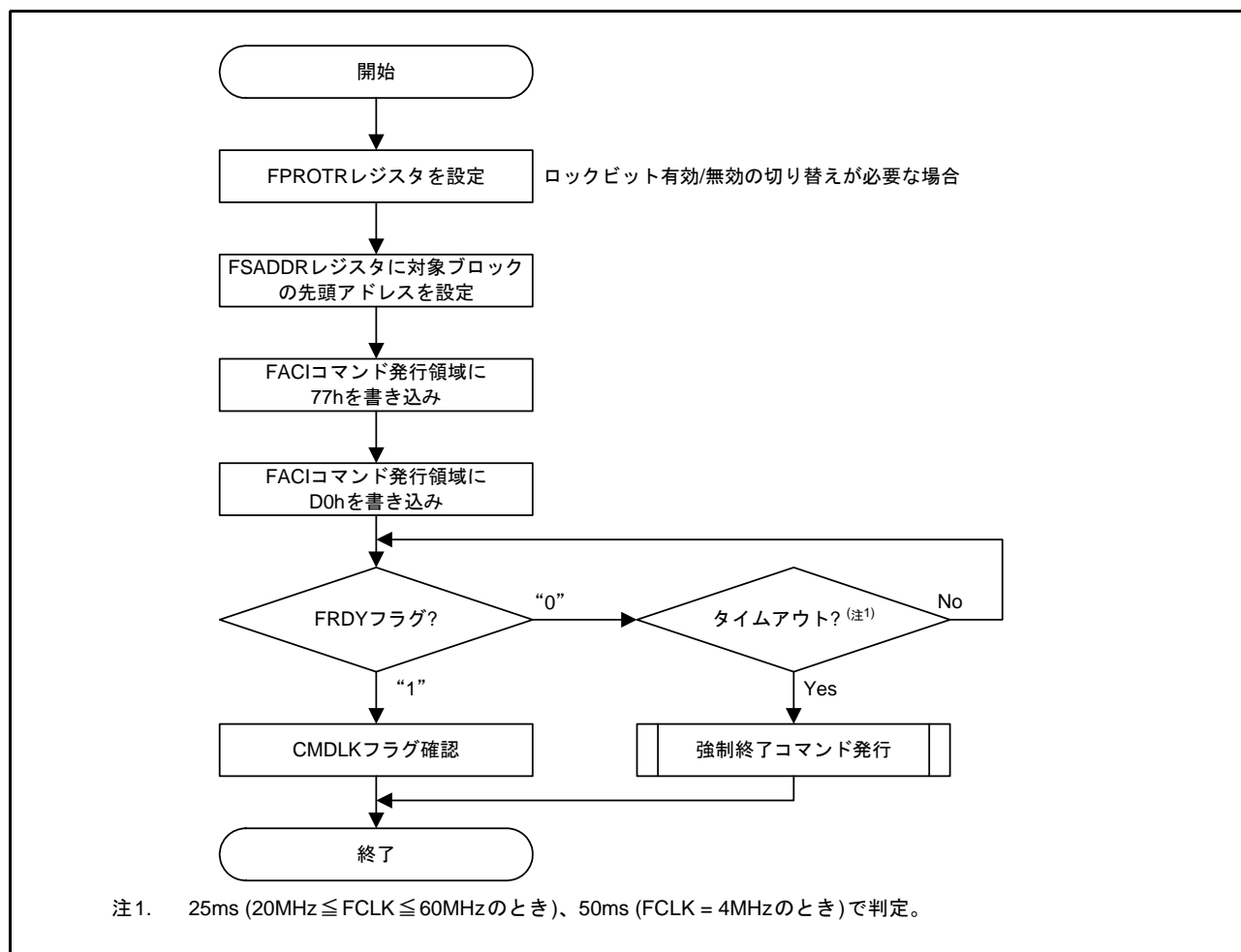


図 44.25 ロックビットプログラムコマンドの使用方法

44.6.6.12 ロックビットリードコマンド

ロックビットのリードには、ロックビットリードコマンドを使用します。

ロックビットリードコマンドを発行する前に、読み出したいブロックの先頭アドレスを FSADDR レジスタに設定してください。FACI コマンド発行領域に 71h と D0h を書き込むと、ロックビットリードコマンドの処理が開始されます。コマンド処理の完了は、FSTATR.FRDY フラグで確認可能です。処理完了時に、FLKSTAT.FLOCKST フラグにロックビットリードの結果が格納されます。

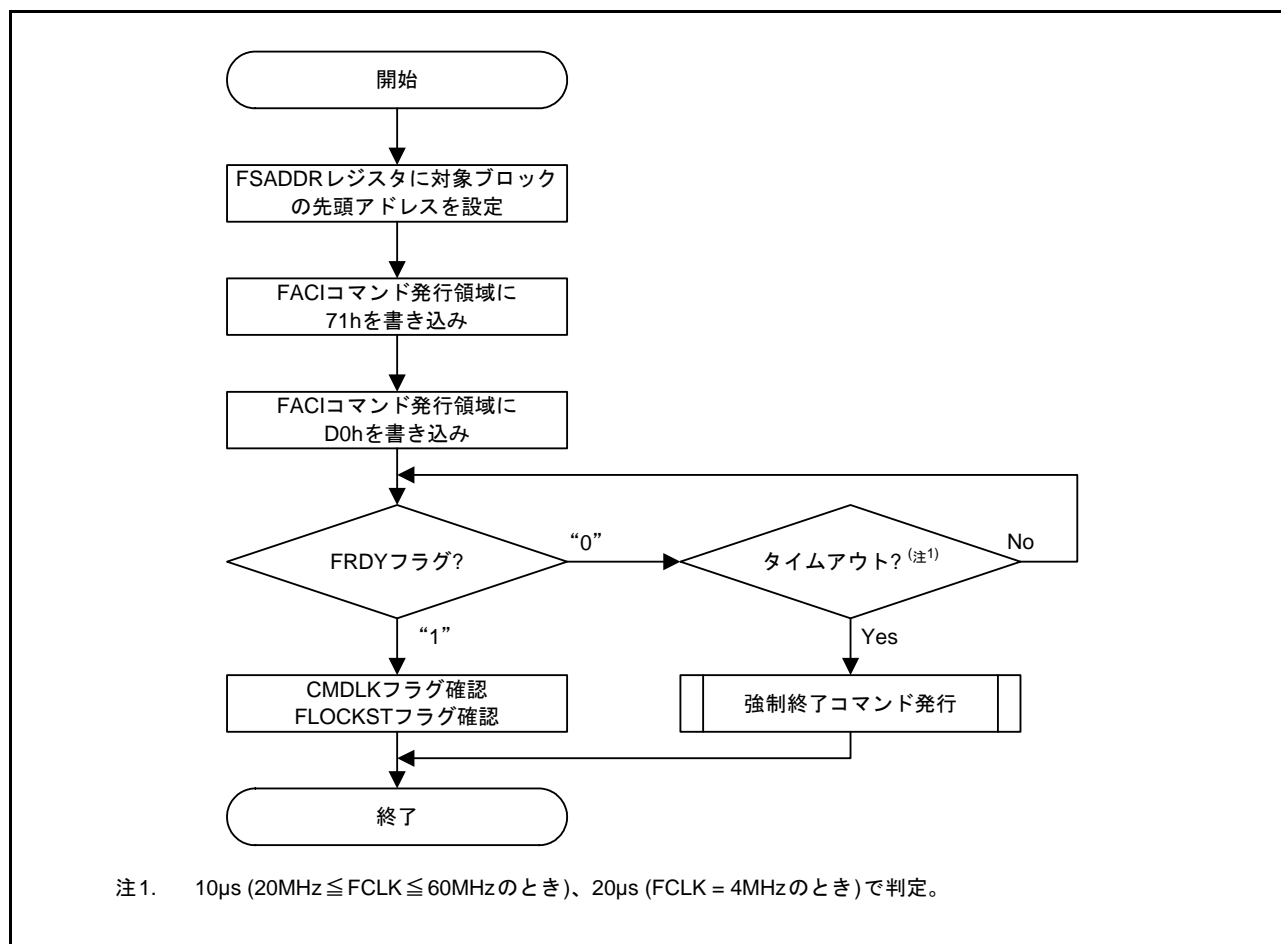


図 44.26 ロックビットリードコマンドの使用方法

44.7 ブートモード

ブートモードにはSCIを使用するブートモード (SCI インタフェース) と FINE を使用するブートモード (FINE インタフェース) があります。表 44.18 にブートモードで使用する入出力端子を示します。

ブートモードで使用しない入出力端子は、リセット後の状態です。

表 44.18 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
PN6/MD	入力	ブートモード (SCI インタフェース)	動作モードを選択
PC7/UB	入力	ブートモード (SCI インタフェース) ユーザブートモード	ブートモード (SCI インタフェース)、 ユーザブートモード (注1) を選択
P30/RXD1	入力	ブートモード (SCI インタフェース)	ホスト通信用 (SCI データ受信用)
P26/TXD1	出力	ブートモード (SCI インタフェース)	ホスト通信用 (SCI データ送信用)
PN6/MD/FINED	入出力	ブートモード (FINE インタフェース)	動作モードを選択、FINE データの入出力

注1. ユーザブートモードを使用する場合はUBコードAとUBコードBの設定が必要です。

44.7.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) では、ホストから制御コマンドやプログラムデータを送信してユーザ領域 / データフラッシュメモリ、ユーザブート領域へのプログラム / イレズが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモード (SCI インタフェース) で起動すると、MCU 内部の専用領域上のプログラム (ブートプログラム) が実行されます。ブートプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラム / イレズの制御をします。

図 44.27 にブートモード (SCI インタフェース) 時のシステム構成を示します。

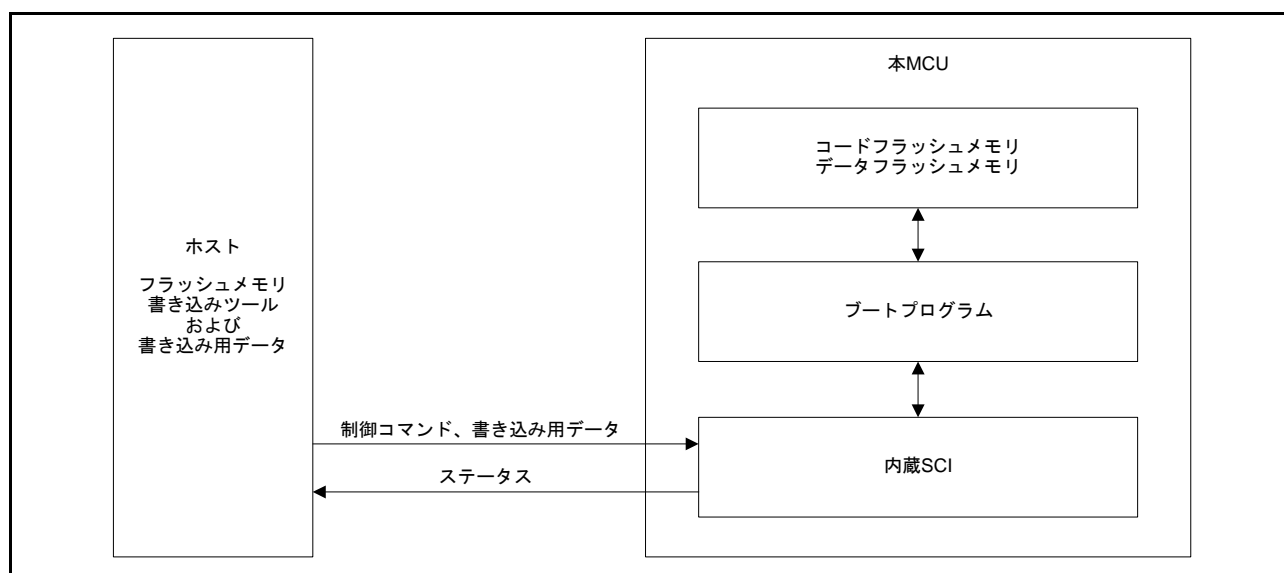


図 44.27 ブートモード (SCI インタフェース) 時のシステム構成

44.7.2 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。ユーザ領域 / データフラッシュメモリ、ユーザブート領域を書き換えることができます。

44.7.2.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。図 44.28 にブートモード (FINE インタフェース) 時の端子接続例を、表 44.19 にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、図 44.28 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

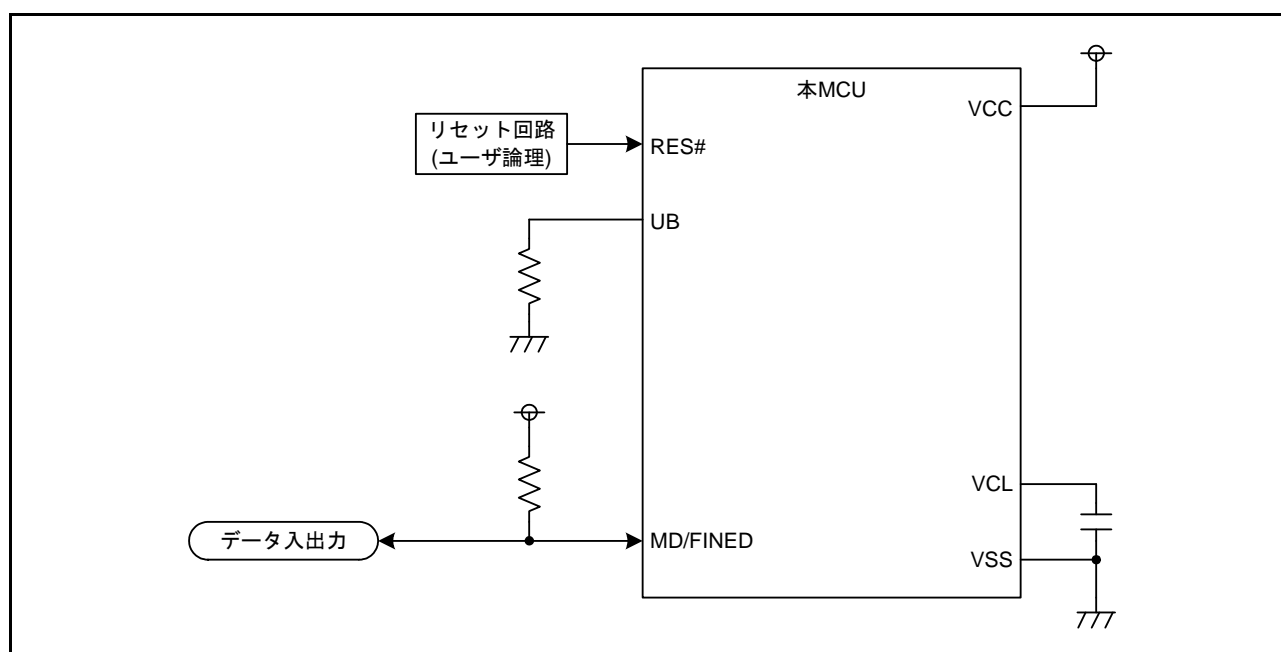


図 44.28 ブートモード (FINE インタフェース) 時のシステム構成

表 44.19 ブートモード (FINE インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源入力	入力	VCC 端子には 2.7V 以上の電圧を、VSS 端子には 0V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の 0.47 μ F の積層セラミックコンデンサを介して VSS に接続してください
MD	動作モードコントロール / データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
UB	動作モードコントロール	入力	抵抗を介して VSS に接続 (プルダウン) してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

44.8 フラッシュメモリプロテクト機能

フラッシュメモリプロテクト機能は、第三者によるフラッシュメモリの読み出し、書き換えから保護する機能です。

シリアルプログラマ接続時にはシリアルプログラマ ID コードプロテクト、オンチップデバッグ接続時にはオンチップデバッグ ID コードプロテクトがあります。また、パラレルプログラマ接続時には ROM コードプロテクトがあります。

44.8.1 ID コードプロテクト

ID コードプロテクトには、シリアルプログラマを接続したときのシリアルプログラマ ID コードプロテクト、オンチップデバッグを接続したときのオンチップデバッグ ID コードプロテクトの2つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

詳細は、「7.2.2 OCD/シリアルプログラマ ID 設定レジスタ (OSIS)」を参照してください。

44.8.1.1 オンチップデバッグ ID コードプロテクト

オンチップデバッグ (OCD) との接続を禁止するための機能です。

OCD から送られてくるコードと、OCD/シリアルプログラマ ID 設定レジスタ (OSIS) の ID コードの一致を判定し、一致した場合、OCD との接続を許可します。一致しない場合、OCD との接続はできません。

44.8.1.2 シリアルプログラマ ID コードプロテクト

シリアルプログラマとの接続を禁止するための機能です。シリアルプログラマを接続する場合、オプション設定メモリ上に書かれている OCD/シリアルプログラマ ID 設定レジスタ (OSIS) の ID コードを使い、ID コードプロテクトの判定を行います。

シリアルプログラマから送られてくるコードと、OCD/シリアルプログラマ ID 設定レジスタ (OSIS) の ID コードの一致を判定し、一致した場合、シリアルプログラマとの接続を許可します。一致しない場合、シリアルプログラマとの接続はできません。ただし、制御コードが“45h”の状態では3回連続して判定結果が一致しなかった場合、フラッシュメモリを全て消去します。

ユーザブートモードでは、ID コードプロテクト機能はありません。

44.8.2 ROM コードプロテクト

ROM コードプロテクトは、パラレルプログラマを使用する場合にフラッシュメモリのリード、プログラム/イレーズを禁止する機能です。

詳細は、「7.2.8 ROM コードプロテクトレジスタ (ROMCODE)」を参照してください。

44.9 ブートモード通信プロトコル

ブートモードで使用する通信プロトコルを説明します。プログラマを開発される場合には、この通信プロトコルで制御してください。

44.9.1 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low、UB 端子を Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。また、ブートモード (SCI インタフェース) で起動した後、本 MCU との通信が可能になるまでには、RES# 端子を High にしたまま、400ms 以上の待ち時間が必要です。

図 44.29 にブートモード (SCI インタフェース) で通信が可能になるまでの各端子の状態を示します。

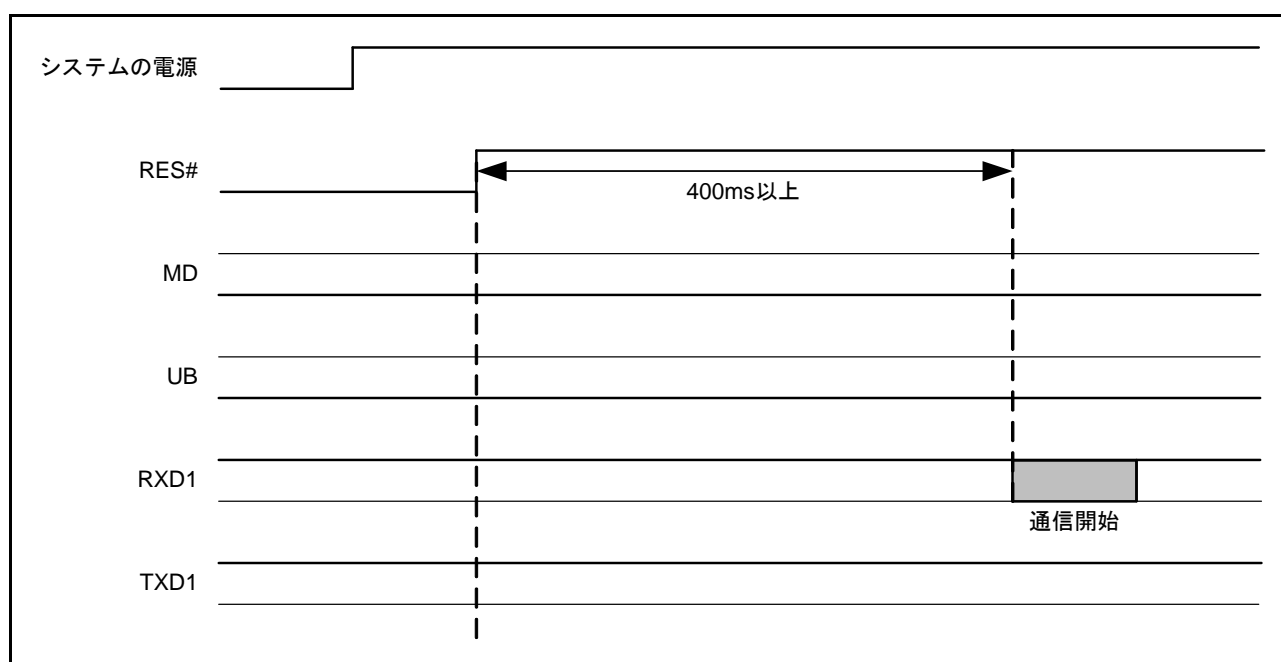


図 44.29 ブートモード (SCI インタフェース) で通信が可能になるまでの各端子の状態

44.9.2 ブートモードの状態遷移

44.9.2.1 ブートモード (SCI インタフェース) の状態遷移

図 44.30 にブートモード (SCI インタフェース) の状態遷移フローを示します。

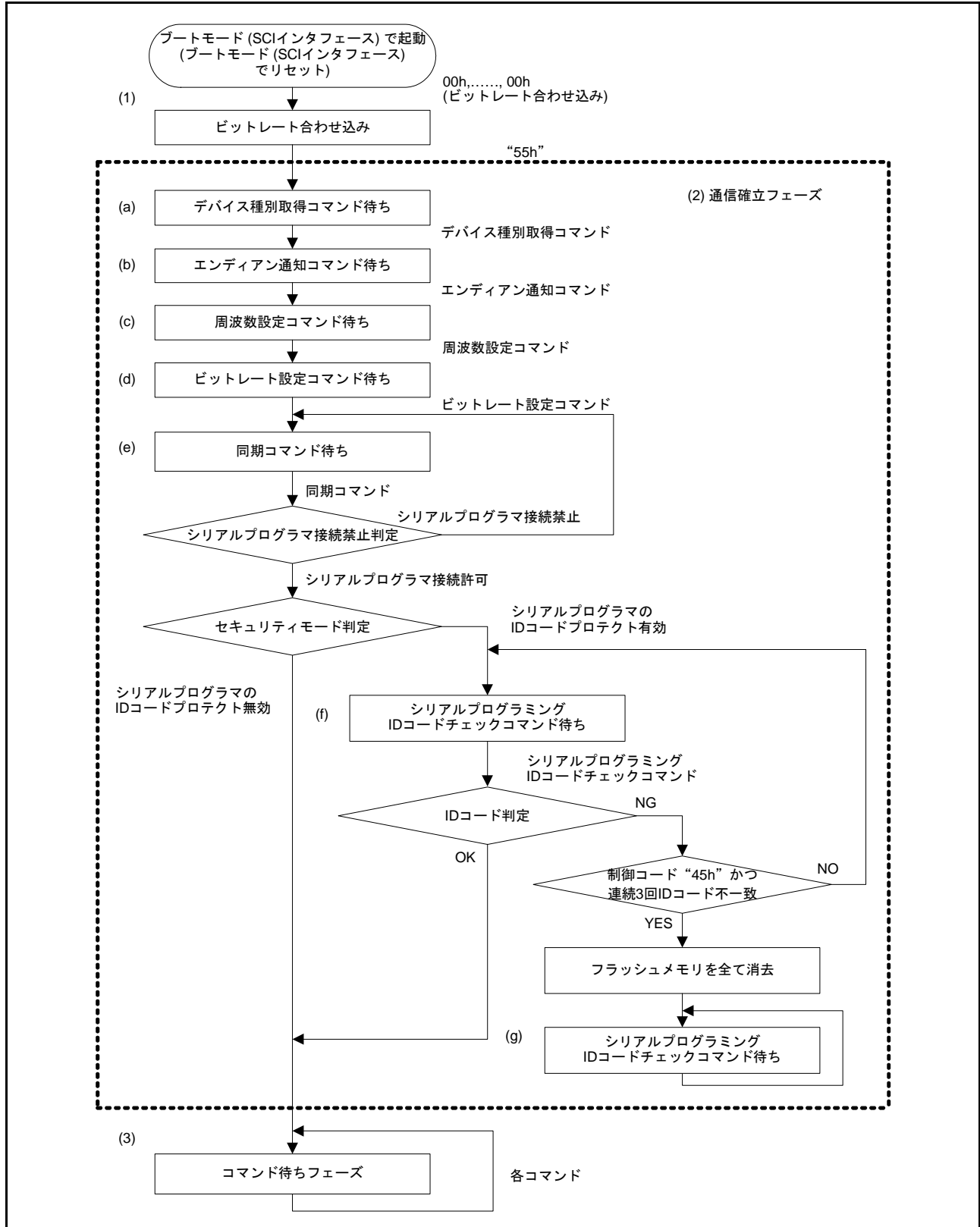


図 44.30 ブートモード (SCI インタフェース) の状態遷移フロー

(1) ビットレート合わせ込み

本 MCU をブートモードで起動すると、ホストと SCI 通信用のビットレートの自動調整を実行します。ビットレートの自動調整が終了すると、本 MCU からホストへ“00h”を送信します。その後、ホストから送信された“55h”を本 MCU が正しく受信すると通信確立フェーズに遷移します。ビットレート合わせ込みの詳細は「44.9.3 ビットレートの自動調整」を参照してください。

(2) 通信確立フェーズ

デバイス、エンディアン、周波数、ビットレートを選択するための状態です。また、シリアルプログラムの ID コードプロテクトが有効の場合は、ID コードプロテクトの判定を行います。通信確立フェーズで使用するコマンドの詳細は「44.9.5 通信確立フェーズ」を参照してください。

(a) デバイス種別取得コマンド待ち

ホストからデバイス種別取得コマンドが送られてくるのを待ちます。デバイス種別取得コマンドを受信した場合、エンディアン通知コマンド待ちに遷移します。デバイス種別取得コマンドの詳細は「44.9.9 デバイス種別取得コマンド」を参照してください。

(b) エンディアン通知コマンド待ち

ホストからエンディアン通知コマンドが送られてくるのを待ちます。エンディアン通知コマンドを受信した場合、周波数設定コマンド待ちに遷移します。エンディアン通知コマンドの詳細は「44.9.10 エンディアン通知コマンド」を参照してください。

(c) 周波数設定コマンド待ち

ホストから周波数設定コマンドが送られてくるのを待ちます。周波数設定コマンドを受信した場合、ボーレート設定コマンド待ちに遷移します。周波数設定コマンドの詳細は「44.9.11 周波数設定コマンド」を参照してください。

(d) ビットレート設定コマンド待ち

ホストからビットレート設定コマンドが送られてくるのを待ちます。ビットレート設定コマンドを受信した場合、同期コマンド待ちに遷移します。ビットレート設定コマンドの詳細は「44.9.12 ビットレート設定コマンド」を参照してください。

(e) 同期コマンド待ち

ホストから同期コマンドが送られてくるのを待ちます。同期コマンドを受信した場合、本 MCU はシリアルプログラムの ID コードプロテクトの有効/無効を判定します。ID コードプロテクトが無効の場合、コマンド待ちフェーズに遷移します。ID コードプロテクトが有効の場合、シリアルプログラミング ID コードチェックコマンド待ちに遷移します。また、シリアルプログラマ接続禁止が設定されている場合、本 MCU からホストへシリアルプログラマ接続禁止エラーを送信し、同期コマンド待ちのまま状態遷移を行いません。同期コマンドの詳細は「44.9.13 同期コマンド」を参照してください。

(f) シリアルプログラミング ID コードチェックコマンド待ち

ホストからシリアルプログラミング ID コードチェックコマンドが送られてくるのを待ちます。送られてくる ID コードと、オプションメモリ領域上に書かれている ID コードを比較し、一致していればコマンド待ちフェーズに遷移します。一致していなければ、シリアルプログラミング ID コードチェックコマンド待ちに戻ります。ただし、制御コードが“45h”の状態でも3回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去します。シリアルプログラミング ID コードチェックコマンドの詳細は、「44.9.15 シリアルプログラミング ID コードチェックコマンド」を参照してください。

(g) シリアルプログラミング ID コードチェックコマンド待ち (消去後)

フラッシュメモリを全て消去後は、ブートモードにて起動し直してください。

(3) コマンド待ちフェーズ

ホストからのコマンドに従って、プログラム/イレーズを実行する状態です。コマンド待ちフェーズで使用するコマンドの詳細は「44.9.6 コマンド待ちフェーズ」を参照してください。

44.9.3 ビットレートの自動調整

本 MCU をブートモード (SCI インタフェース) で起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ “00h” の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps に設定してください。本 MCU は測定した Low 期間を使用して SCI のビットレート調整を行い “00h” をホストへ送信します。

ホストが “00h” を正常に受信した場合には、ホストから本 MCU に “55h” を送信してください。“00h” を正常に受信できなかった場合には、本 MCU をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 MCU は “55h” を正常に受信すると “C1h” を送信し、“55h” を正常に受信できなかった場合には “FFh” を送信します。

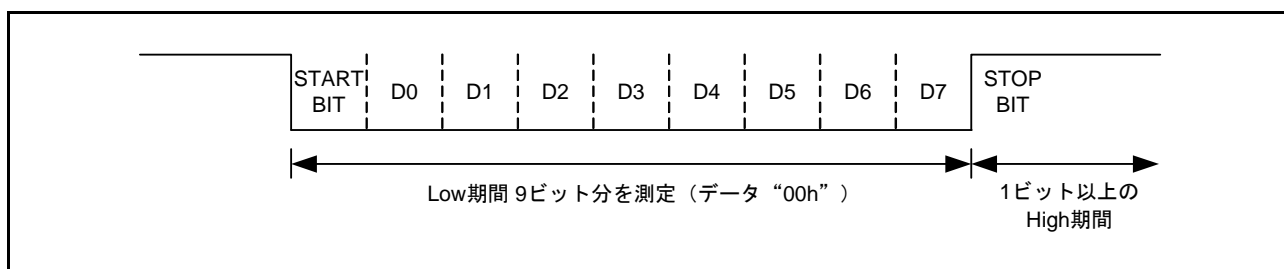


図 44.31 ビットレート自動調整時の SCI 送受信フォーマット

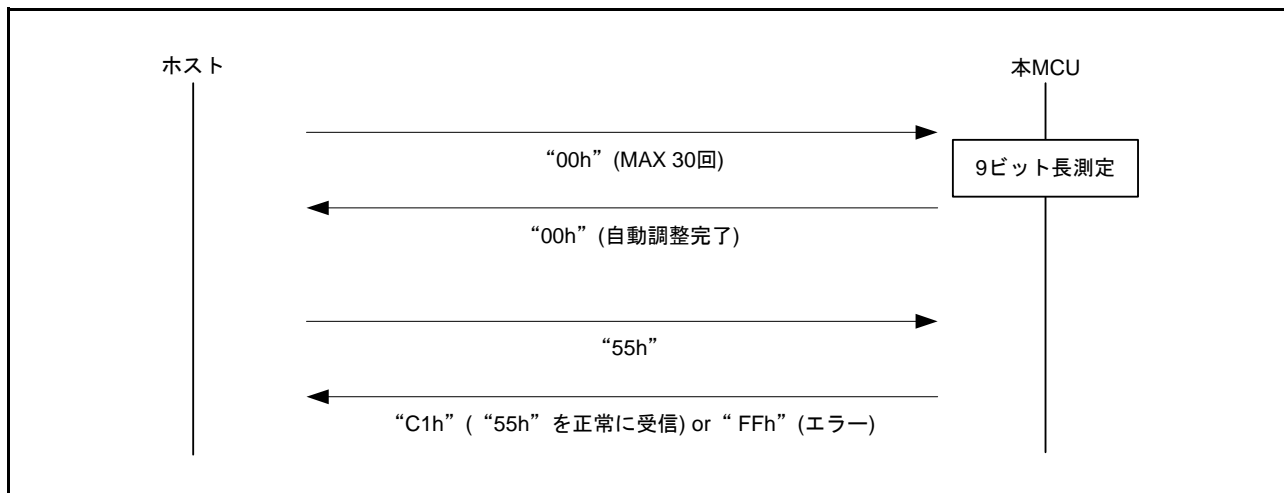


図 44.32 ホストと本 MCU 間の通信シーケンス

ホストの SCI のビットレートは、表 44.20 に示した条件で SCI の通信を行うようにしてください。

表 44.20 ビットレート自動調整が可能な条件

ホストの SCI のビットレート
9,600bps

44.9.4 パケットフォーマット

(1) コマンドパケット

以下のフォーマットで、ホストから本 MCU へのコマンド送信を行います。

S O H	L N H	L N L	C O M	コマンド情報 (可変長) (最大: 255 バイト)	S U M	E T X
-------------	-------------	-------------	-------------	----------------------------------	-------------	-------------

シンボル	コード	概要
SOH	01h	パケット開始(1バイト)
LNH	—	パケット長("COM + コマンド情報"の長さ) (8~15ビット) (1バイト)
LNL	—	パケット長("COM + コマンド情報"の長さ) (0~7ビット) (1バイト)
COM	—	コマンドコード(1バイト)
コマンド情報	—	コマンド情報(最大: 255バイト)
SUM(注1)	—	"LNH + LNL + COM + コマンド情報"のサムデータの2の補数(1バイト)
ETX	03h	パケット終了(1バイト)

注1. SUMは、"LNH + LNL + COM + コマンド情報 + SUM"の合計が"00h"になるように計算された1バイトデータを指します。

(2) ステータスパケット / データパケット

以下のフォーマットで、ホスト-本 MCU 間のデータ通信を行います。

S O D	L N H	L N L	R E S	データ (可変長) (最大: 1024 バイト)	S U M	E T B	E T X
-------------	-------------	-------------	-------------	--------------------------------	-------------	-------------	-------------

シンボル	コード	概要
SOD	81h	パケット開始(1バイト)
LNH	—	パケット長("RES + Data"の長さ) (8~15ビット) (1バイト)
LNL	—	パケット長("RES + Data"の長さ) (0~7ビット) (1バイト)
RES	—	レスポンスコード(1バイト)
Data	—	データ(最大: 1024バイト)
SUM(注1)	—	"LNH + LNL + RES + Data"のサムデータの2の補数(1バイト)
ETB	17h	パケット終了(1バイト)
ETX	03h	最終パケット終了(1バイト)

注1. SUMは、"LNH + LNL + RES + Data + SUM"の合計が"00h"になるように計算された1バイトデータを指します。

44.9.5 通信確立フェーズ

表 44.21 に通信確立フェーズで使用可能なコマンドの一覧を示します。

同期コマンドと ID 認証モード取得コマンドはコマンド待ちフェーズでも使用可能です。

表44.21 通信確立フェーズで使用可能なコマンド

コマンド名	機能
デバイス種別取得	ブートモードがサポートする発振周波数・CPU動作周波数(Hz単位)をホストへ送信します。
エンディアン通知	エンディアン(ビッグ/リトル)を通知します。
周波数設定	発振周波数・CPU動作周波数のデータ(Hz単位)を設定します。
ビットレート設定	ビットレートの変更を行います。
同期	通信同期処理に使用します。また、本MCUがコマンド受け付け可能な状態かどうかを確認する場合にも使用します。
ID認証モード取得	シリアルプログラマのIDコードプロテクトの有効/無効をホストへ送信します。
シリアルプログラミングIDコードチェック	オプション設定メモリに設定されている制御コード、およびIDコードと、ホストが送信した制御コード、およびIDコードとの一致判定を行います。

通信確立フェーズでは、コマンドのレスポンスを参考にして、デバイス種別取得 → エンディアン通知 → 周波数設定 → ビットレート設定 → 同期コマンドの順にホストからコマンドを送信してください。シリアルプログラマの ID コードプロテクトが有効な場合は、同期コマンドに続いて ID 認証モード取得、またはシリアルプログラミング ID コードチェックコマンドを送信してください。

誤った順番でコマンドを送信した場合や、上記以外のコマンドを送信した場合は、本MCUがフローエラーを送信します。

44.9.6 コマンド待ちフェーズ

表 44.22 にコマンド待ちフェーズで使用可能なコマンドの一覧を示します。
同期コマンドと ID 認証モード取得コマンドは通信確立フェーズでも使用可能です。

表44.22 コマンド待ちフェーズで使用可能なコマンド

コマンド名	機能
同期	表44.21を参照してください。
ブランクチェック	指定した領域がブランクであることをチェックします。
ブロックイレーズ	指定した1ブロックをイレーズします。
エリアイレーズ	指定された領域をイレーズします。
プログラム	指定した領域へプログラムします。
リード	指定した領域からデータをリードします。
ロックビット設定	ロックビットを設定します。
ロックビット取得	ロックビット設定を取得します。
ロックビット有効化	設定したロックビットを有効にします。
ロックビット無効化	設定したロックビットを無効にします。
ID 認証モード取得	表44.21を参照してください。
コマンドプロテクション設定	ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止を有効にします。
コマンドプロテクション取得	ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止の設定を取得します。
シリアルプログラミングIDコード設定	OSISレジスタを設定します。また、SPCCレジスタを設定してシリアルプログラムのIDコードプロテクトを有効にします。
IDコード設定	OSISレジスタを設定します。
IDコード取得	OSISレジスタ設定を取得します。
シリアルプログラマ接続禁止	SPCC.SPEビットを設定し、シリアルプログラマ接続禁止を有効にします。
オンチップデバッグ接続禁止	SPCC.OCDEビットを設定し、オンチップデバッグ接続禁止を有効にします。
OCDE取得	SPCC.OCDEビットの設定を取得します。
OFS設定	OFS0レジスタ、OFS1レジスタを設定します。
OFS取得	OFS0レジスタ、OFS1レジスタの設定を取得します。
エンディアン設定	MDEレジスタを設定します。
エンディアン取得	MDEレジスタの設定を取得します。
コンフィギュレーションクリア	コンフィギュレーション設定領域の設定値およびTM対象領域をイレーズします。
TM設定	TMEFレジスタ、TMINFレジスタの設定を行い、TM機能を有効にします。
TM取得	TM機能の有効/無効、TMINFレジスタの内容、TM対象領域の開始/終了アドレスを取得します。
単純加算サムチェック	指定した領域の加算サムを計算します。
シグネチャ取得	フラッシュメモリの構成情報を取得します。
ROMコード設定	ROMコードプロテクトレジスタを設定します。
ROMコード取得	ROMコードプロテクトレジスタの設定を取得します。

ホストが未定義のコマンドを送信した場合は、本MCUが未サポートエラーのレスポンスを送信します。

44.9.7 コマンドの通信シーケンス

コマンドごとに通信シーケンスが異なりますが、本MCUへの設定のみを行うコマンドと、本MCUの設定情報を取得するコマンドは、それぞれ共通の通信シーケンスとなります。ただし、コマンドパケット、ステータスパケット、データパケットの内容はコマンドごとに異なりますので、詳細は各コマンドの章を参照してください。

(1) 設定のみを行うコマンドの共通通信シーケンス

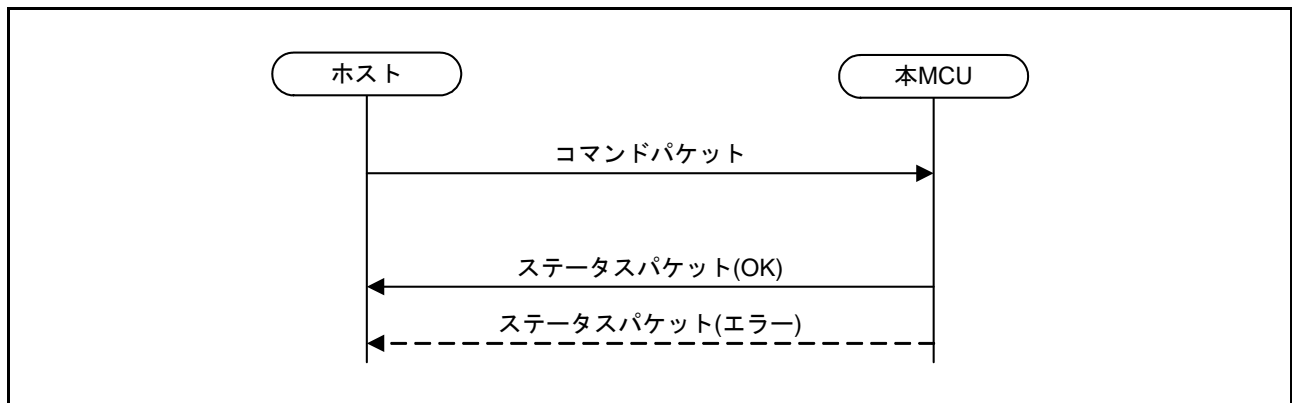


図 44.33 設定のみを行うコマンドの共通通信シーケンス

(2) 設定情報を取得するコマンドの共通通信シーケンス

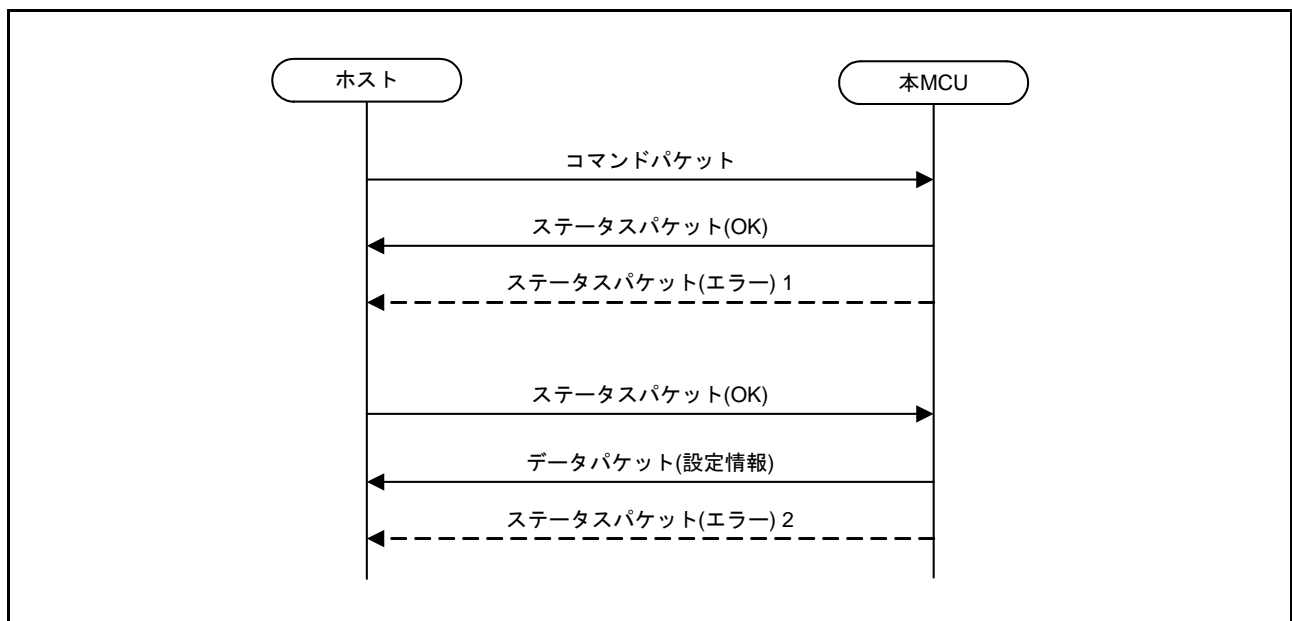


図 44.34 設定情報を取得するコマンドの共通通信シーケンス

表44.23 共通通信シーケンス

コマンド名	共通通信シーケンス種別
デバイス種別取得	設定情報を取得するコマンド
エンディアン通知	設定のみを行うコマンド
周波数設定	設定情報を取得するコマンド
ビットレート設定	共通通信シーケンスではありません。
同期	設定のみを行うコマンド
ID認証モード取得	設定情報を取得するコマンド
シリアルプログラミングIDコードチェック	設定のみを行うコマンド
ブランクチェック	設定のみを行うコマンド
ブロックイレース	設定のみを行うコマンド
エリアイレース	設定のみを行うコマンド
プログラム	共通通信シーケンスではありません。
リード	共通通信シーケンスではありません。
ロックビット設定	設定のみを行うコマンド
ロックビット取得	設定情報を取得するコマンド
ロックビット有効化	設定のみを行うコマンド
ロックビット無効化	設定のみを行うコマンド
コマンドプロテクション設定	設定のみを行うコマンド
コマンドプロテクション取得	設定情報を取得するコマンド
シリアルプログラミングIDコード設定	設定のみを行うコマンド
IDコード設定	設定のみを行うコマンド
IDコード取得	設定情報を取得するコマンド
シリアルプログラマ接続禁止	設定のみを行うコマンド
オンチップデバッグ接続禁止	設定のみを行うコマンド
OCDE取得	設定情報を取得するコマンド
OFS設定	設定のみを行うコマンド
OFS取得	設定情報を取得するコマンド
エンディアン設定	設定のみを行うコマンド
エンディアン取得	設定情報を取得するコマンド
コンフィギュレーションクリア	設定のみを行うコマンド
TM設定	設定のみを行うコマンド
TM取得	設定情報を取得するコマンド
単純加算サムチェック	設定情報を取得するコマンド
シグネチャ取得	設定情報を取得するコマンド
ROMコード設定	設定のみを行うコマンド
ROMコード取得	設定情報を取得するコマンド

共通通信シーケンスではないコマンドの通信シーケンスは、各コマンドの章を参照してください。

44.9.8 未サポートコマンド

本 MCU が未定義のコマンドパケットを受信した場合、未サポートエラー (C0h) を返信して、コマンド待ち状態に戻ります。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
 LNH : パケット長(8~15ビット)
 LNL : パケット長(0~7ビット)
 COM : コマンドコード(注1)
 SUM : サムデータ
 ETX : 03h

注1. 表44.22で規定してあるコマンドコード以外のコマンドコード

(2) ステータスパケット構造

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 80h | COM(コマンドコード)
 ERR : エラーコード
 C0h (未サポートエラー)
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 SUM : サムデータ
 ETX : 03h

44.9.9 デバイス種別取得コマンド

本コマンドでブートモード (SCI インタフェース) がサポートする入力周波数・システムクロック周波数 (Hz 単位) をホストへ送信します。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 38h
SUM : C7h
ETX : 03h

(2) データパケット構造

S	L	L	R	T	O	O	C	C	S	E
O	N	N	E	Y	S	S	P	P	U	T
D	H	L	S	P	A	I	A	I	M	X

SOD : 81h
LNH : 00h
LNL : 19h
RES : 38h (OK)
TYP : タイプコード(8バイト)(注1)
OSA : 最大入力周波数(4バイト)
OSI : 最小入力周波数(4バイト)
CPA : 最大システムクロック周波数(4バイト)
CPI : 最小システムクロック周波数(4バイト)
SUM : サムデータ
ETX : 03h

以下のようなデータが送信されます。

最大入力周波数 = 16000000Hz

OSA (1st byte) : 00h
OSA (2nd byte) : F4h
OSA (3rd byte) : 24h
OSA (4th byte) : 00h

最小入力周波数 = 16000000Hz

OSI (1st byte) : 00h
OSI (2nd byte) : F4h
OSI (3rd byte) : 24h
OSI (4th byte) : 00h

最大システムクロック (ICLK) = 120000000Hz

CPA (1st byte) : 07h
CPA (2nd byte) : 27h
CPA (3rd byte) : 0Eh
CPA (4th byte) : 00h

最小システムクロック (ICLK) = 120000000Hz

CPI (1st byte) : 07h
CPI (2nd byte) : 27h
CPI (3rd byte) : 0Eh
CPI (4th byte) : 00h

注1. 予約データ

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 38h (OK)
 SUM : C7h
 ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : B8h (エラー)
 ERR : エラーコード
 C1h (バケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : B8h (エラー)
 ERR : エラーコード
 C1h (バケットエラー)
 C2h (チェックサムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.10 エンディアン通知コマンド

本コマンドでエンディアン (ビッグ/リトル) を通知します。

プログラムするデータに応じて、いずれかのエンディアンをエンディアン情報に設定してください。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	E	S	E
O	N	N	O	N	U	T
H	H	L	M	D	M	X

SOH : 01h
 LNH : 00h
 LNL : 02h
 COM : 36h
 END : エンディアン情報
 00h (ビッグエンディアン)
 01h (リトルエンディアン)
 SUM : サムデータ
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 36h (OK)
 SUM : C9h
 ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : B6h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D7h (エンディアンエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.11 周波数設定コマンド

本コマンドで発振周波数・CPU動作周波数のデータ (Hz 単位) を設定します。

ブートモード (SCI インタフェース) またはブートモード (FINE インタフェース) 中は HOCO = 16MHz、ICLK = 120MHz で動作するため、入力周波数を 16MHz、システムクロック周波数を 120MHz に設定してください。また、ブートモード (SCI インタフェース) またはブートモード (FINE インタフェース) 中は FCLK = PCLKB = 60MHz で動作するため、周辺モジュールクロック周波数は 60MHz を返信します。

通信確立フェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	O	O	O	O	C	C	C	C	S	E	SOH : 01h
O	N	N	O	C	C	C	C	C	C	C	C	U	T	LNH : 00h
H	H	L	M	1	2	3	4	1	2	3	4	M	X	LNL : 09h

COM : 32h

入力周波数 = 16000000Hz
システムクロック周波数 = 120000000Hz
の場合、以下のようなデータを送信してください。

OC1 : 00h	CC1 : 07h	OC4 : 入力周波数
OC2 : F4h	CC2 : 27h	OC1 : システムクロック周波数
OC3 : 24h	CC3 : 0Eh	OC2 : システムクロック周波数
OC4 : 00h	CC4 : 00h	OC3 : システムクロック周波数
		OC4 : システムクロック周波数

SUM : サムデータ
ETX : 03h

(2) データパケット構造

S	L	L	R	F	F	F	F	P	P	P	P	S	E	SOD : 81h
O	N	N	E	Q	Q	Q	Q	F	F	F	F	U	T	LNH : 00h
D	H	L	S	1	2	3	4	1	2	3	4	M	X	LNL : 09h

RES : 32h

以下のようなデータが送信されます。
システムクロック周波数 = 120000000Hz
周辺モジュールクロック周波数 = 60000000Hz

FQ1 : 07h	PF1 : 03h	FQ1 : システムクロック周波数
FQ2 : 27h	PF2 : 93h	FQ2 : システムクロック周波数
FQ3 : 0Eh	PF3 : 87h	FQ3 : システムクロック周波数
FQ4 : 00h	PF4 : 00h	FQ4 : システムクロック周波数
		PF1 : 周辺モジュールクロック周波数
		PF2 : 周辺モジュールクロック周波数
		PF3 : 周辺モジュールクロック周波数
		PF4 : 周辺モジュールクロック周波数

SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E	SOD : 81h
O	N	N	E	U	T	LNH : 00h
D	H	L	S	M	X	LNL : 01h

RES : 32h (OK)
SUM : CDh
ETX : 03h

(4) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : B2h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D1h (入力周波数エラー)
 D2h (システムクロック (ICLK) 周波数エラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.12 ビットレート設定コマンド

本コマンドでビットレート設定のデータ (bps 単位) を受信し、ビットレートの変更を行います。

エラーが発生した場合、ビットレートの切り替えは行いません。

通信確立フェーズでのみ受け付け可能なコマンドです。

ブートモード (FINE インタフェース) 時は、ビットレートの切り替えは行いません。ビットレートは任意の値を設定してください。

(1) 処理手順

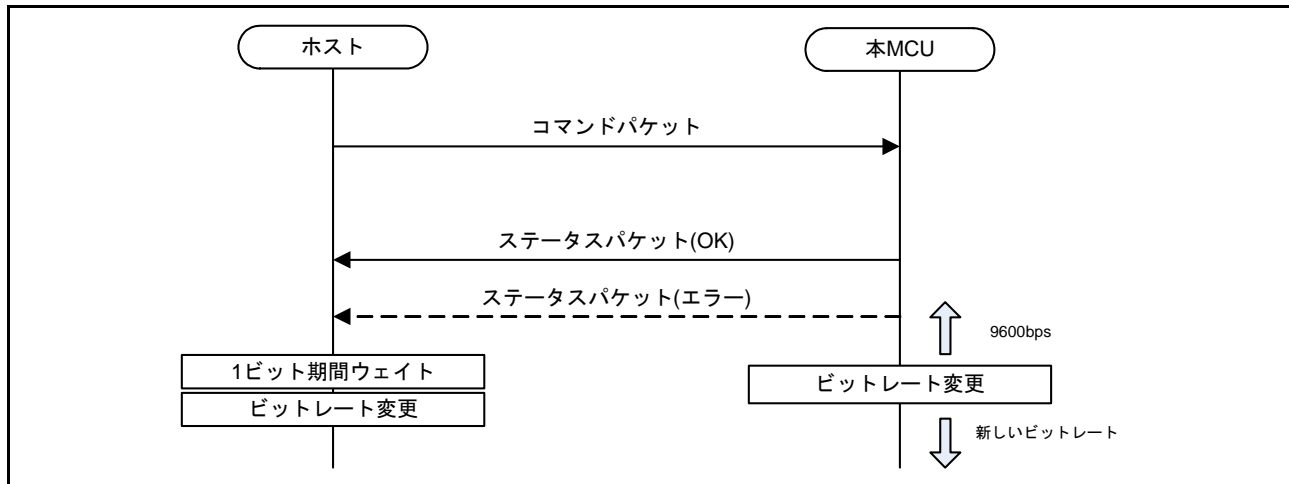


図 44.35 ビットレート設定コマンドの通信シーケンス

(2) コマンドパケット構造

S	L	L	C	B	B	B	B	S	E
O	N	N	O	R	R	R	R	U	T
H	H	L	M	1	2	3	4	M	X

ビットレート = 2000000bps
の場合、以下のようなデータを送信してください。

BR1 : 00h
BR2 : 1Eh
BR3 : 84h
BR4 : 80h

SOH : 01h
LNH : 00h
LNL : 05h
COM : 34h
BR1 : ビットレート
BR2 : ビットレート
BR3 : ビットレート
BR4 : ビットレート
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 34h (OK)
SUM : CBh
ETX : 03h

(4) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : B4h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D4h (ビットレート誤差エラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.13 同期コマンド

本コマンドは通信同期処理に使用します。

また、本MCUがコマンド受け付け可能な状態かどうかを確認する場合にも使用します。シリアルプログラマ接続禁止が有効な場合は、シリアルプログラマ接続禁止エラーが返信されます。

通信確立フェーズ/コマンド待ちフェーズ双方で受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
 LNH : 00h
 LNL : 01h
 COM : 00h
 SUM : FFh
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 00h (OK)
 SUM : FFh
 ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 80h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 DCh (シリアルプログラマ接続禁止エラー)
 SUM : サムデータ
 ETX : 03h

44.9.14 ID 認証モード取得コマンド

本コマンドでシリアルプログラムのIDコードプロテクトの有効/無効をホストへ送信します。
通信確立フェーズ/コマンド待ちフェーズ双方で受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 2Ch
SUM : D3h
ETX : 03h

(2) データパケット構造

S	L	L	R	M	S	E
O	N	N	E	O	U	T
D	H	L	S	D	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : 2Ch (OK)
MOD : ID 認証情報 (1バイト)
00h (シリアルプログラムのIDコードプロテクト有効)
FFh (シリアルプログラムのIDコードプロテクト無効)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 2Ch (OK)
SUM : D3h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : ACh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : ACh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.15 シリアルプログラミング ID コードチェックコマンド

本コマンドで OSIS レジスタに設定されている ID コードと、ホストから受信した ID コードとの一致判定を行い、結果をホストへ送信します。

通信確立フェーズで受け付け可能なコマンドです。シリアルプログラマの ID コードプロテクトが有効の場合、このコマンドが正常終了しない限り、コマンド待ちフェーズへ移行しません。

制御コードが“45h”の状態、3回連続して判定結果が一致ではなかった場合、フラッシュメモリを全て消去します。

(1) コマンドパケット構造

S	L	L	C	I	S	E
O	N	N	O	D	U	T
H	H	L	M	C	M	X

SOH : 01h
LNH : 00h
LNL : 11h
COM : 30h
IDC : 制御コードと ID コード(16バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。

<IDコード>

ID = 128'h0F0E0D0C0B0A09080706050403020100

(制御コード:00h, IDコード2:01h, IDコード3:02h, ..., IDコード16:0Fh)

<送信データ>

1st	2nd	3rd	4th	5th	6th	7th	8th	...
バイト	バイト	バイト	バイト	バイト	バイト	バイト	バイト	...
00h	01h	02h	03h	04h	05h	06h	07h	...

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 30h (OK)
SUM : CFh
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	R	M

SOD : 81h
LNH : 00h
LNL : 02h
RES : B0h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DBh (IDコード不一致エラー)
E1h (消去エラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.16 ブランクチェックコマンド

本コマンドで指定された領域がブランクであることをチェックできます。

ユーザ領域、またはユーザブート領域の場合 256 バイトライン、データ領域の場合 16 バイトラインのアドレスで指定してください。TM 機能有効時、TM 対象領域であるコードフラッシュメモリのブロック 8、9 を含むブランクチェックを行うと、エラーとなります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	S	S	S	E	E	E	E	S	E	SOH : 01h
O	N	N	O	H	H	L	L	H	H	L	L	U	T	LNH : 00h
H	H	L	M	H	L	H	L	H	L	H	L	M	X	LNL : 09h

COM : 10h
 SHH : ブランクチェック開始アドレス(24~31ビット)
 SHL : ブランクチェック開始アドレス(16~23ビット)
 SLH : ブランクチェック開始アドレス(8~15ビット)
 SLL : ブランクチェック開始アドレス(0~7ビット)
 EHH : ブランクチェック終了アドレス(24~31ビット)
 EHL : ブランクチェック終了アドレス(16~23ビット)
 ELH : ブランクチェック終了アドレス(8~15ビット)
 ELL : ブランクチェック終了アドレス(0~7ビット)
 SUM : サムデータ
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E	SOD : 81h
O	N	N	E	U	T	LNH : 00h
D	H	L	S	M	X	LNL : 01h

RES : 10h (OK)
 SUM : EFh
 ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	S	E	SOD : 81h	
O	N	N	E	U	T	LNH : 00h	
D	H	L	S	R	M	X	LNL : 02h

RES : 90h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D0h (アドレスエラー)
 E0h (非ブランクエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.17 ブロックイレーズコマンド

本コマンドで指定された1ブロックをイレーズできます。

イレーズするブロックをブロックの先頭アドレスで指定してください。

ロックビット機能が無効、かつロックビットを設定しているブロックに対してイレーズを行った場合、ロックビットの設定は解除されます。TM機能有効時、TM対象領域であるユーザ領域のブロック8、9のイレーズはできません。TM対象領域をイレーズするには、「44.9.37 コンフィギュレーションクリアコマンド」を使用してください。

プログラムコマンド禁止が有効な場合、イレーズを行うには規定の手順に従う必要があります。

詳細は「44.9.45 プログラムコマンド禁止設定時のイレーズフロー」を参照してください。

ブロックイレーズコマンド禁止が有効な場合、本コマンドは使用できません。

イレーズ中、リセットなどにより、強制停止した場合、ロックビットが設定される可能性がありますので、「44.12 使用上の注意事項」の「(6) プログラム/イレーズ中またはブランクチェック中の異常終了」を参照してください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	S	S	S	S	E
O	N	N	O	H	H	L	L	U	T
H	H	L	M	H	L	H	L	M	X

SOH : 01h

LNH : 00h

LNL : 05h

COM : 12h

SHH : イレーズするブロックの先頭アドレス(24~31ビット)

SHL : イレーズするブロックの先頭アドレス(16~23ビット)

SLH : イレーズするブロックの先頭アドレス(8~15ビット)

SLL : イレーズするブロックの先頭アドレス(0~7ビット)

SUM : サムデータ

ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h

LNH : 00h

LNL : 01h

RES : 12h (OK)

SUM : EDh

ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h

LNH : 00h

LNL : 02h

RES : 92h (エラー)

ERR : エラーコード

C1h (パケットエラー)

C2h (チェックサムエラー)

C3h (フローエラー)

D0h (アドレスエラー)

DAh (プロテクションエラー)

E1h (イレーズエラー)

SUM : サムデータ

ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.18 エリアイレーズコマンド

エリアイレーズコマンドは、指定された領域をアドレスの小さい順に1ブロックずつ、連続してイレーズします。対象領域はユーザ領域もしくはユーザブート領域、データ領域から選択することができます。

ロックビット機能が無効、かつロックビットを設定しているブロックがある領域に対してイレーズを行った場合、ロックビットの設定は解除されます。

TM機能有効の場合は、TM対象領域のブロック以外をイレーズします。

プログラムコマンド禁止が有効な場合、イレーズを行うには規定の手順に従う必要があります。詳細は「44.9.45 プログラムコマンド禁止設定時のイレーズフロー」を参照してください。

ブロックイレーズコマンド禁止が有効な場合、本コマンドは使用できません。

イレーズ中、リセットなどにより強制停止した場合は、ロックビットが設定されている可能性がありますので、「44.12 使用上の注意事項」の「(6) プログラム/イレーズ中またはブランクチェック中の異常終了」を参照してください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	A	S	E
O	N	N	O	R	U	T
H	H	L	M	E	M	X

SOH : 01h
 LNH : 00h
 LNL : 02h
 COM : 50h
 ARE : Area
 00h (ユーザ領域)
 10h (ユーザブート領域)
 20h (データ領域)
 SUM : サムデータ
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 50h (OK)
 SUM : AFh
 ETX : 03h

(3) ステータスパケット構造・エラー発生 1

S	L	L	R	S	E	S	E
O	N	N	E	U	R	U	T
D	H	L	S	M	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : D0h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D5h (エリアエラー)
 DAh (プロテクションエラー)
 E1h (イレーズエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.19 プログラムコマンド

本コマンドでフラッシュメモリへプログラムするデータを受信し、指定された領域へプログラムします。データ長はユーザ領域、またはユーザブート領域の場合 256 バイト単位、データ領域の場合 16 バイト単位で指定してください。また、プログラム開始アドレスは、ユーザ領域、またはユーザブート領域の場合 256 バイトアライン、データ領域の場合 16 バイトアラインのアドレスで指定してください。TM 機能有効時、TM 対象領域であるユーザ領域のブロック 8、9 に対するプログラムはできません。

プログラムコマンド禁止が有効な場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) 処理手順

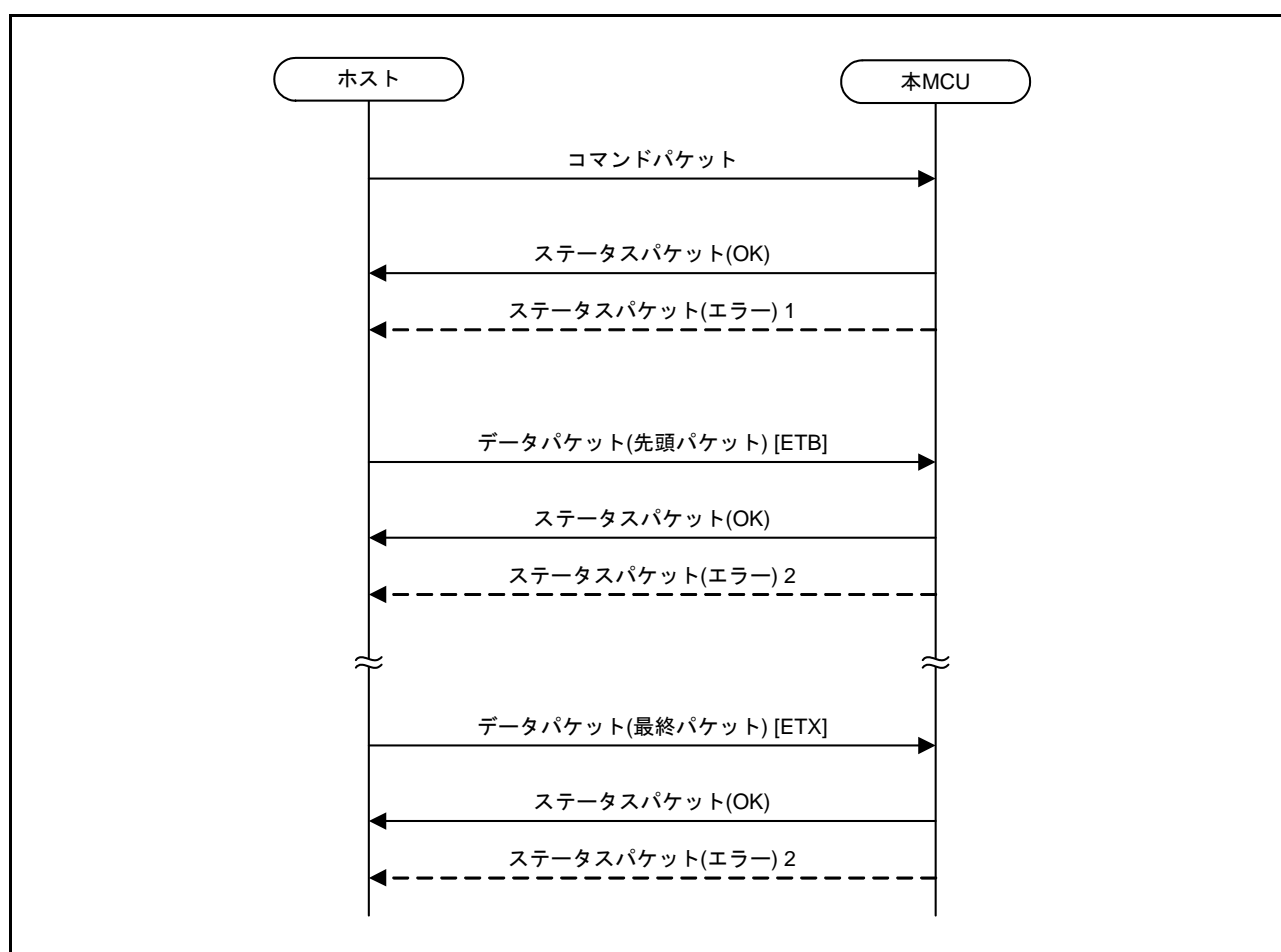


図 44.36 プログラムコマンドの通信シーケンス

(2) コマンドパケット構造

S	L	L	C	S	S	S	S	E	E	E	E	S	E
O	N	N	O	H	H	L	L	H	H	L	L	U	T
H	H	L	M	H	L	H	L	H	L	H	L	M	X

SOH : 01h
 LNH : 00h
 LNL : 09h
 COM : 13h
 SHH : プログラム開始アドレス (24~31ビット)
 SHL : プログラム開始アドレス (16~23ビット)
 SLH : プログラム開始アドレス (8~15ビット)
 SLL : プログラム開始アドレス (0~7ビット)
 EHH : プログラム終了アドレス (24~31ビット)
 EHL : プログラム終了アドレス (16~23ビット)
 ELH : プログラム終了アドレス (8~15ビット)
 ELL : プログラム終了アドレス (0~7ビット)
 SUM : サムデータ
 ETX : 03h

(3) データパケット構造

S	L	L	R		S	E	E
O	N	N	E	Data	U	T	T
D	H	L	S		M	B	X

SOD : 81h
 LNH : データ長+1 (8~15ビット)
 LNL : データ長+1 (0~7ビット)
 RES : 13h (OK)
 Data : プログラムデータ
 SUM : サムデータ
 ETB : 17h
 ETX : 03h

(4) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 13h (OK)
 SUM : ECh
 ETX : 03h

(5) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 93h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D0h (アドレスエラー)
 DAh (プロテクションエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 93h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 E2h (プログラムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.20 リードコマンド

本コマンドでフラッシュメモリの指定した領域からデータをリードし、ホストへ送信します。

データ長はユーザ領域、またはユーザブート領域の場合 256 バイト単位、データ領域の場合 16 バイト単位で指定してください。また、リード開始アドレスは、ユーザ領域、またはユーザブート領域の場合 256 バイトアライメント、データ領域の場合 16 バイトアライメントしたアドレスで指定してください。TM 機能有効時、TM 対象領域であるユーザ領域のブロック 8、9 をリードすると、“0” がリードされます。

リードコマンド禁止が有効な場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) 処理手順

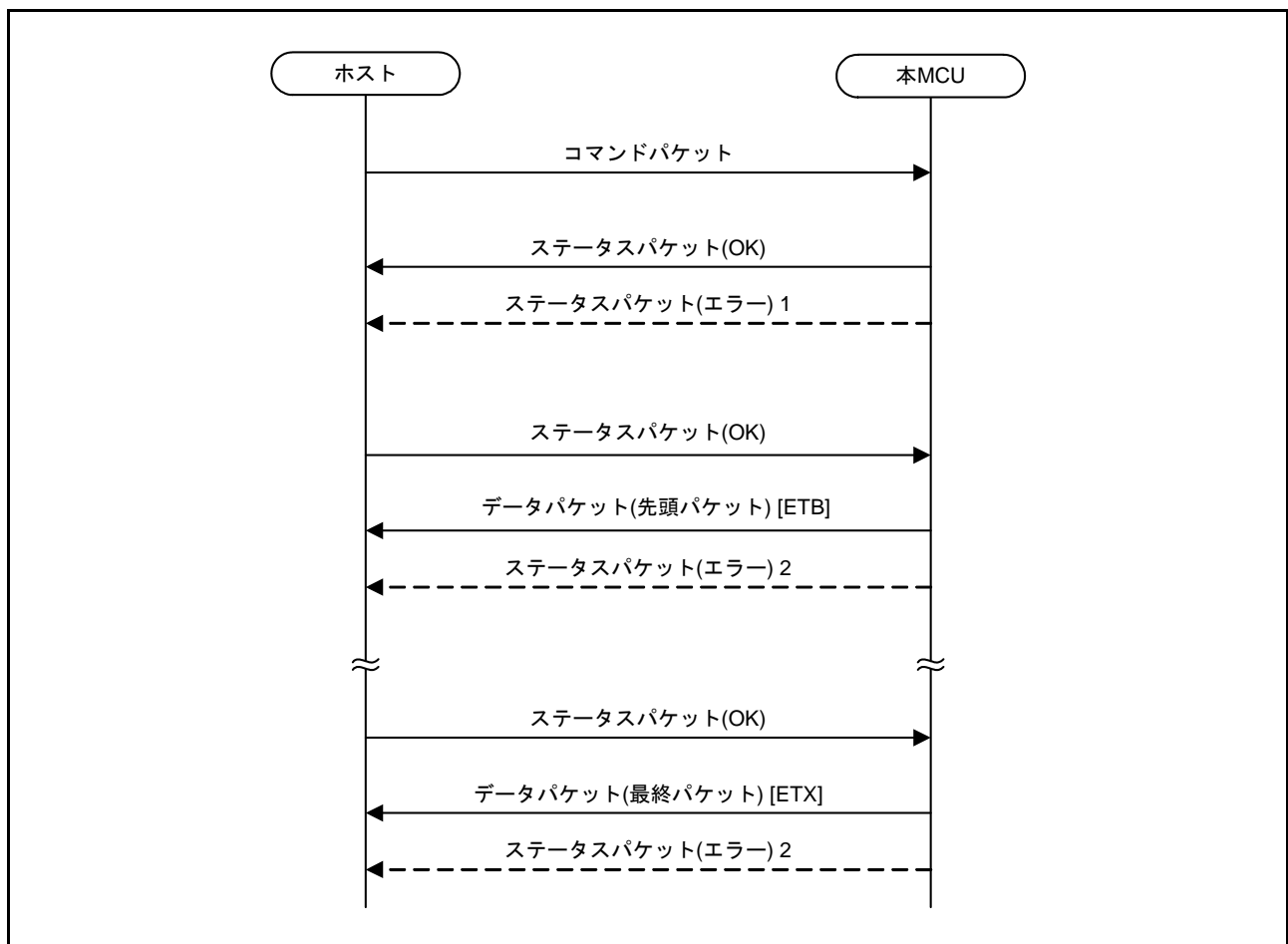


図 44.37 リードコマンドの通信シーケンス

(2) コマンドパケット構造

S	L	L	C	S	S	S	S	E	E	E	E	S	E
O	N	N	O	H	H	L	L	H	H	L	L	U	T
H	H	L	M	H	L	H	L	H	L	H	L	M	X

SOH : 01h
 LNH : 00h
 LNL : 09h
 COM : 15h
 SHH : リード開始アドレス (24~31ビット)
 SHL : リード開始アドレス (16~23ビット)
 SLH : リード開始アドレス (8~15ビット)
 SLL : リード開始アドレス (0~7ビット)
 EHH : リード終了アドレス (24~31ビット)
 EHL : リード終了アドレス (16~23ビット)
 ELH : リード終了アドレス (8~15ビット)
 ELL : リード終了アドレス (0~7ビット)
 SUM : サムデータ
 ETX : 03h

(3) データパケット構造

S	L	L	R	Data				S	E	E
O	N	N	E					U	T	T
D	H	L	S					M	B	X

SOD : 81h
 LNH : データ長+1 (8~15ビット)
 LNL : データ長+1 (0~7ビット)
 RES : 15h (OK)
 Data : リードデータ
 SUM : サムデータ
 ETB : 17h
 ETX : 03h

(4) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 15h (OK)
 SUM : EAh
 ETX : 03h

(5) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 95h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D0h (アドレスエラー)
 DAh (プロテクションエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(6) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : 95h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.21 ロックビット設定コマンド

本コマンドでユーザ領域のロックビットを設定します。

ブートモード起動した場合、ロックビット機能を無効にしているためロックビットを設定したブロックに対してプログラム/イレーズが可能です。ブートモードで動作中にロックビット機能を有効にする場合は、ロックビット有効化コマンドを使って有効にする必要があります。

本コマンドで、既に設定済みのロックビットを解除することはできません。ロックビットの設定を解除するには、対象ブロックをイレーズする必要があります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	L	L	L	S	E
O	N	N	O	B	B	B	U	T
H	H	L	M	1	2	U	M	X

SOH : 01h
 LNH : 00h
 LNL : 63h
 COM : 22h
 LB1 : ユーザ領域 (65バイト)
 LB2 : 予約データ (32バイト)
 LBU : 予約データ (1バイト)
 SUM : サムデータ
 ETX : 03h

[ロックビット設定]

(ロックビットを設定する : 0、ロックビットを設定しない : 1)

	b7	b6	b5	b4	b3	b2	b1	b0
1バイト	ブロック 7	ブロック 6	ブロック 5	ブロック 4	ブロック 3	ブロック 2	ブロック 1	ブロック 0
	⋮							
65バイト	1 固定	1 固定	ブロック 517	ブロック 516	ブロック 515	ブロック 514	ブロック 513	ブロック 512
66バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定
	⋮							
97バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定
98バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定

存在しないブロックには、“1”を設定してください。

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 22h (OK)
 SUM : DDh
 ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : A2h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 E2h (プログラムエラー)
 DDh (ロックビット設定済みエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.22 ロックビット取得コマンド

本コマンドでユーザ領域のロックビット情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 23h
SUM : DCh
ETX : 03h

(2) データパケット構造

S	L	L	R	L	L	L	S	E
O	N	N	E	B	B	B	U	T
D	H	L	S	1	2	U	M	X

SOD : 81h
LNH : 00h
LNL : 63h
RES : 23h (OK)
LB1 : ユーザ領域 (65バイト)
LB2 : 予約データ (32バイト)
LBU : 予約データ (1バイト)
SUM : サムデータ
ETX : 03h

[ロックビット設定]

(ロックビットが設定されている : 0、ロックビットが設定されていない : 1)

	b7	b6	b5	b4	b3	b2	b1	b0
1バイト	ブロック 7	ブロック 6	ブロック 5	ブロック 4	ブロック 3	ブロック 2	ブロック 1	ブロック 0
	⋮							
65バイト	1 固定	1 固定	ブロック 517	ブロック 516	ブロック 515	ブロック 514	ブロック 513	ブロック 512
66バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定
	⋮							
97バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定
98バイト	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定	1 固定

存在しないブロックには“1”が設定されます。

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 23h (OK)
 SUM : DCh
 ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : A3h (エラー)
 ERR : エラーコード
 C1h (バケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : A3h (エラー)
 ERR : エラーコード
 C1h (バケットエラー)
 C2h (チェックサムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.23 ロックビット有効化コマンド

本コマンドでロックビット機能を有効にできます。

ロックビット機能を有効にすると、ロックビットを設定しているブロックのプログラム/イレーズできません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 24h
SUM : DBh
ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 24h (OK)
SUM : DBh
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : A4h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.24 ロックビット無効化コマンド

本コマンドでロックビット機能を無効にできます。

ロックビット機能を無効にすると、ロックビットを設定しているブロックに対しプログラム/イレーズが可能です。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 25h
SUM : DAh
ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 25h (OK)
SUM : DAh
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : A5h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.25 コマンドプロテクション設定コマンド

本コマンドでブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止を有効にできます。

すでにコマンドプロテクションを有効にしている場合は無効にできません。シリアルプログラムのIDコードプロテクトが有効の場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	S	E
O	N	N	O	E	U	T
H	H	L	M	C	M	X

SOH : 01h
 LNH : 00h
 LNL : 02h
 COM : 20h
 SEC : セキュリティデータ(1バイト)
 Bit7 : リードコマンド禁止(1:無効 0:有効)
 Bit6 : プログラムコマンド禁止(1:無効 0:有効)
 Bit5 : ブロックイレーズコマンド禁止(1:無効 0:有効)
 Bit4 : 予約ビット(1固定)
 Bit3 : 予約ビット(1固定)
 Bit2 : 予約ビット(1固定)
 Bit1 : 予約ビット(1固定)
 Bit0 : 予約ビット(1固定)
 SUM : サムデータ
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	S	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 20h (OK)
 SUM : DFh
 ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	S	E
O	N	N	E	R	U
D	H	L	S	R	M
					X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : A0h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 DAh (プロテクションエラー)
 E1h (イレーズエラー)
 E2h (プログラムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.26 コマンドプロテクション取得コマンド

本コマンドは、ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止の設定情報をホストへ送信します。シリアルプログラムのIDコードプロテクトが有効の場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 21h
SUM : DEh
ETX : 03h

(2) データパケット構造

S	L	L	R	S	S	E
O	N	N	E	E	U	T
D	H	L	S	C	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : 21h (OK)
SEC : セキュリティデータ (1バイト)
Bit7 : リードコマンド禁止 (1:無効 0:有効)
Bit6 : プログラムコマンド禁止 (1:無効 0:有効)
Bit5 : ブロックイレーズコマンド禁止 (1:無効 0:有効)
Bit4 : 予約ビット (1 固定)
Bit3 : 予約ビット (1 固定)
Bit2 : 予約ビット (1 固定)
Bit1 : 予約ビット (1 固定)
Bit0 : 予約ビット (1 固定)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 21h (OK)
SUM : DEh
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : A1h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : A1h(エラー)
ERR : エラーコード
 C1h(パケットエラー)
 C2h(チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.27 シリアルプログラミング ID コード設定コマンド

本コマンドで OSIS レジスタに ID コードを設定します。また、SPCC.IDE ビット、SPCC.SEPR ビット、SPCC.ERPR ビット、SPCC.RDPR ビットに“0”を設定して、シリアルプログラムの ID コードプロテクトを有効にします。

本コマンドを使用した場合、再接続時にシリアルプログラムの ID コードプロテクトが有効となります。

ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止の何れかが有効な場合、本コマンドは使用できません。

本コマンド実行後はリセットを実行してください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	I	S	E
O	N	N	O	D	U	T
H	H	L	M	C	M	X

SOH : 01h
LNH : 00h
LNL : 11h
COM : 28h
IDC : 制御コードと ID コード(16バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。

<IDコード>

ID = 128'h0F0E0D0C0B0A09080706050403020100

(制御コード:00h, IDコード2:01h, IDコード3:02h, ..., IDコード16:0Fh)

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト	...
00h	01h	02h	03h	04h	05h	06h	07h	...

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 28h (OK)
SUM : D7h
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : A8h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
E3h (ペリファイエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.28 IDコード設定コマンド

本コマンドで OSIS レジスタに ID コードを設定します。

本コマンドを使用して ID コードを設定した場合、シリアルプログラマの ID コードプロテクトは有効になりません。

また、シリアルプログラマの ID コードプロテクトが有効の場合、本コマンドは使用できません。

ブロックイレーズコマンド禁止、プログラムコマンド禁止、リードコマンド禁止の何れかが有効な場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	I	S	E
O	N	N	O	D	U	T
H	H	L	M	C	M	X

SOH : 01h
LNH : 00h
LNL : 11h
COM : 2Ah
IDC : IDコード(16バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。

<IDコード>

ID = 128'h0F0E0D0C0B0A09080706050403020100

(IDコード1:00h, IDコード2:01h, IDコード3:02h, ..., IDコード16:0Fh)

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト	...
00h	01h	02h	03h	04h	05h	06h	07h	...

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 2Ah (OK)
SUM : D5h
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : AAh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.29 IDコード取得コマンド

本コマンドで OSIS レジスタに設定されている値をホストへ送信します。

シリアルプログラマの ID コードプロテクトが有効な場合、本コマンドは使用できません。

リードコマンド禁止が有効な場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 2Bh
SUM : D4h
ETX : 03h

(2) データパケット構造

S	L	L	R	I	S	E
O	N	N	E	D	U	T
D	H	L	S	C	M	X

SOD : 81h
LNH : 00h
LNL : 11h
RES : 2Bh (OK)
IDC : IDコード(16バイト)(注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信されます。

<IDコード>

ID = 128'h0F0E0D0C0B0A09080706050403020100

(IDコード1:00h, IDコード2:01h, IDコード3:02h, ..., IDコード16:0Fh)

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト	...
00h	01h	02h	03h	04h	05h	06h	07h	...

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 2Bh (OK)
SUM : D4h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : ABh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : ABh (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 DAh (プロテクションエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.30 シリアルプログラマ接続禁止コマンド

本コマンドで SPCC.SPE ビットに“0”を設定してシリアルプログラマ接続禁止を有効にします。
 本コマンド実行後にリセットを行うと、シリアルプログラマの接続ができなくなります。
 コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
 LNH : 00h
 LNL : 01h
 COM : 29h
 SUM : D6h
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 29h (OK)
 SUM : D6h
 ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : A9h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 E1h (イレーズエラー)
 E2h (プログラムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.31 オンチップデバッグ接続禁止コマンド

本コマンドで SPCC.OCDE ビットに “0” を設定してオンチップデバッグ接続禁止を有効にします。

本コマンド実行後にリセットを行うと、オンチップデバッグの接続ができなくなります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 56h
SUM : A9h
ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 56h (OK)
SUM : A9h
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : D6h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.32 OCDE 取得コマンド

本コマンドで SPCC.OCDE ビットの設定情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 57h
SUM : A8h
ETX : 03h

(2) データパケット構造

S	L	L	R	O	S	E
O	N	N	E	C	U	T
D	H	L	S	D	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : 57h (OK)
OCD : OCDE 情報
00h (オンチップデバッグ接続禁止)
FFh (オンチップデバッグ接続許可)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 57h (OK)
SUM : A8h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : D7h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : D7h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.33 OFS 設定コマンド

本コマンドでOFS0レジスタ、OFS1レジスタを設定できます。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	O	S	E
O	N	N	O	F	U	T
H	H	L	M	S	M	X

SOH : 01h
LNH : 00h
LNL : 09h
COM : 48h
OFS : OFS (8バイト) (注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。
<OFS>
OFS0レジスタ = 01234567h
OFS1レジスタ = 89ABCDEFh
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト
67h	45h	23h	01h	EFh	CDh	ABh	89h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 48h (OK)
SUM : B7h
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : C8h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.34 OFS 取得コマンド

本コマンドでOFS0レジスタ、OFS1レジスタの設定情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 49h
SUM : B6h
ETX : 03h

(2) データパケット構造 (Data packet)

S	L	L	R	O	S	E
O	N	N	E	F	U	T
D	H	L	S	S	M	X

SOD : 81h
LNH : 00h
LNL : 09h
RES : 49h (OK)
OFS : OFS (8バイト) (注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信されます。

<OFS>

OFS0レジスタ = 01234567h

OFS1レジスタ = 89ABCDEFh

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト	5th バイト	6th バイト	7th バイト	8th バイト
67h	45h	23h	01h	EFh	CDh	ABh	89h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 49h (OK)
SUM : B6h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : C9h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : C9h (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.35 エンディアン設定コマンド

本コマンドで MDE レジスタを設定できます。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	O	S	E
O	N	N	O	F	U	T
H	H	L	M	S	M	X

SOH : 01h
 LNH : 00h
 LNL : 02h
 COM : 4Ah
 END : エンディアン情報
 00h (ビッグエンディアン)
 上記以外(リトルエンディアン)
 SUM : サムデータ
 ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 4Ah (OK)
 SUM : B5h
 ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : CAh (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 E1h (イレーズエラー)
 E2h (プログラムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.36 エンディアン取得コマンド

本コマンドでMDEレジスタの設定情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 4Bh
SUM : B4h
ETX : 03h

(2) データパケット構造

S	L	L	R	E	S	E
O	N	N	E	N	U	T
D	H	L	S	D	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : 4Bh (OK)
END : エンディアン情報
00h (ビッグエンディアン)
FFh (リトルエンディアン)
SUM : サムデータ
ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 4Bh (OK)
SUM : B4h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : CBh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : CBh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.37 コンフィギュレーションクリアコマンド

本コマンドは、コンフィギュレーション設定領域をイレーズします。TM 機能有効時、TM 対象領域であるユーザ領域のブロック 8、9 のイレーズもできます。

本コマンド実行後の状態は、「(4) クリア後のコンフィギュレーションデータ」を参照ください。

ユーザ領域、ユーザブート領域、データ領域がブランクではない場合、本コマンドは使用できません。

何れかのブロックにロックビットが設定されている場合、本コマンドは使用できません。

ブロックイレーズコマンド禁止が有効の場合、本コマンドは使用できません。

シリアルプログラマの ID コードプロテクトが有効の場合、無効にするには、リセットが必要です。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 1Ch
SUM : E3h
ETX : 03h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 1Ch (OK)
SUM : E3h
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	R	M
					X

SOD : 81h
LNH : 00h
LNL : 02h
RES : 9Ch (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E0h (非ブランクエラー)
E1h (イレーズエラー)
E2h (プログラムエラー)
SUM : サムエラー
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(4) クリア後のコンフィギュレーションデータ

データ	設定
ブロックイレーズコマンド禁止	無効
プログラムコマンド禁止	無効
リードコマンド禁止	無効
シリアルプログラマの ID コードプロテクト	無効
シリアルプログラマ接続禁止	無効
オンチップデバッグ接続禁止	無効
ID コード	全て FFh
MDE	リトルエンディアン
OFS0, OFS1	全て FFh
TM 機能	無効
ROM コードプロテクト	無効

44.9.38 TM 設定コマンド

TM 設定コマンドは TM 機能を有効にするため TMEF.TMEF[2:0] ビットに“000b”、TMINF レジスタに任意の4バイトの値をプログラムします。TMINF レジスタには TM 対象領域に格納しているプログラムを識別できるコード格納などにご使用いただけます。TM 機能はリセット後に有効になります。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	T	S	E
O	N	N	O	M	U	T
H	H	L	M	I	M	X

SOH : 01h
LNH : 00h
LNL : 05h
COM : 4Eh
TMI : TMINF (4バイト) (注1)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信してください。

<TMINF>
TMINF = 01234567h

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト
67h	45h	23h	01h

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 4Eh (OK)
SUM : B1h
ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : CEh (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
DAh (プロテクションエラー)
E1h (イレーズエラー)
E2h (ライトエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.39 TM 取得コマンド

TM 取得コマンドは、TM 機能の有効/無効のチェック、TMINF レジスタの設定値、TM 対象領域の開始アドレス/終了アドレスをホストへ送信します。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 4Fh
SUM : B0h
ETX : 03h

(2) データパケット構造

S	L	L	R	T	T	S	S	S	S
O	N	N	E	M	M	H	H	L	L
D	H	L	S	I	H	H	L	H	L
E	E	E	E	S	E				
H	H	L	L	U	X				
H	L	H	L	M	T				

SOD : 81h
LNH : 00h
LNL : 0Eh
RES : 4Fh (OK)
TME : TM機能有効/無効
00h (TM機能有効)
FFh (TM機能無効)
TMI : TMINF (4バイト)(注1)
SHH : TM対象領域開始アドレス (High-High)
SHL : TM対象領域開始アドレス (High-Low)
SLH : TM対象領域開始アドレス (Low-High)
SLL : TM対象領域開始アドレス (Low-Low)
EHH : TM対象領域終了アドレス (High-High)
EHL : TM対象領域終了アドレス (High-Low)
ELH : TM対象領域終了アドレス (Low-High)
ELL : TM対象領域終了アドレス (Low-Low)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信されます。

<TMINF>
TMINF = 01234567h

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト
67h	45h	23h	01h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 4Fh (OK)
SUM : B0h
ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : CEh (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : CEh (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.40 単純加算サムチェックコマンド

本コマンドで指定された領域のサムを計算し、結果をホストへ送信します。ただし、TM機能有効時、TM対象領域は加算されません。

本コマンドの対象領域はユーザ領域、ユーザブート領域、データ領域から選択することができます。算出方法は単純加算方式です。初期値は“0”で、指定領域のデータを1バイトずつ加算します。

イレーズ状態を含むデータ領域に対して本コマンドを使用すると結果は不定値になります。データ領域に対する単純加算サムチェックを実行する場合は、指定領域にはデータを書き込んでください。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	A	S	E
O	N	N	O	R	U	T
H	H	L	M	E	M	X

SOH : 01h
 LNH : 00h
 LNL : 02h
 COM : 4Dh
 ARE : 領域情報
 00h (ユーザ領域)
 10h (ユーザブート領域)
 20h (データ領域)
 SUM : サムデータ
 ETX : 03h

(2) データパケット構造

S	L	L	R	S	S	S	S	S	E
O	N	N	E	D	D	D	D	U	T
D	H	L	S	1	2	3	4	M	X

SOD : 81h
 LNH : 00h
 LNL : 05h
 RES : 4Dh (OK)
 SD1 : サム結果
 SD2 : サム結果
 SD3 : サム結果
 SD4 : サム結果
 サム結果 = 01234567hの場合、以下のようになります。
 SD1 = 01h
 SD2 = 23h
 SD3 = 45h
 SD4 = 67h
 SUM : サムデータ
 ETX : 03h

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 4Dh (OK)
 SUM : B2h
 ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : CDh (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 D5h (領域エラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : CDh (エラー)
 ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.41 シグネチャ取得コマンド

本コマンドでフラッシュメモリ構成情報をホストへ送信します。
 コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
 LNH : 00h
 LNL : 01h
 COM : 3Ah
 SUM : C5h
 ETX : 03h

(2) データパケット構造

S	L	L	R	D	C	C	C	C	C
O	N	N	E	E	F	S	N	F	S
D	H	L	S	V	1	1	1	2	2
			S	S	S	C	C	U	U
			P	S	N	F	S	N	U
			1	1	1	3	S	1	1
							D	D	S
							F	S	U
							1	1	M
									X

SOD : 81h
 LNH : 00h
 LNL : 3Bh
 RES : 3Ah (OK)
 DEV : 予約データ (16バイト)
 CF1 : 00h (ユーザ領域8Kバイトブロック)
 CS1 : ユーザ領域8Kバイトブロックサイズ [Byte] (4バイト)
 CN1 : ユーザ領域8Kバイトブロック数(2バイト)
 CF2 : 00h (ユーザ領域32Kバイトブロック)
 CS2 : ユーザ領域32Kバイトブロックサイズ [Byte] (4バイト)
 CN2 : ユーザ領域32Kバイトブロック数(2バイト)
 SP1 : 予約データ (1バイト)
 SS1 : 予約データ (4バイト)
 SN1 : 予約データ (2バイト)
 CF3 : 予約データ (1バイト)
 CS3 : 予約データ (4バイト)
 CN3 : 予約データ (2バイト)
 UF1 : 02h (ユーザブート領域)
 US1 : ユーザブート領域ブロックサイズ [Byte] (4バイト)
 UN1 : ユーザブート領域ブロック数(2バイト)
 DF1 : 03h (データ領域)
 DS1 : データ領域ブロックサイズ [Byte] (4バイト)
 DN1 : データ領域ブロック数(2バイト)
 SUM : サムデータ
 ETX : 03h

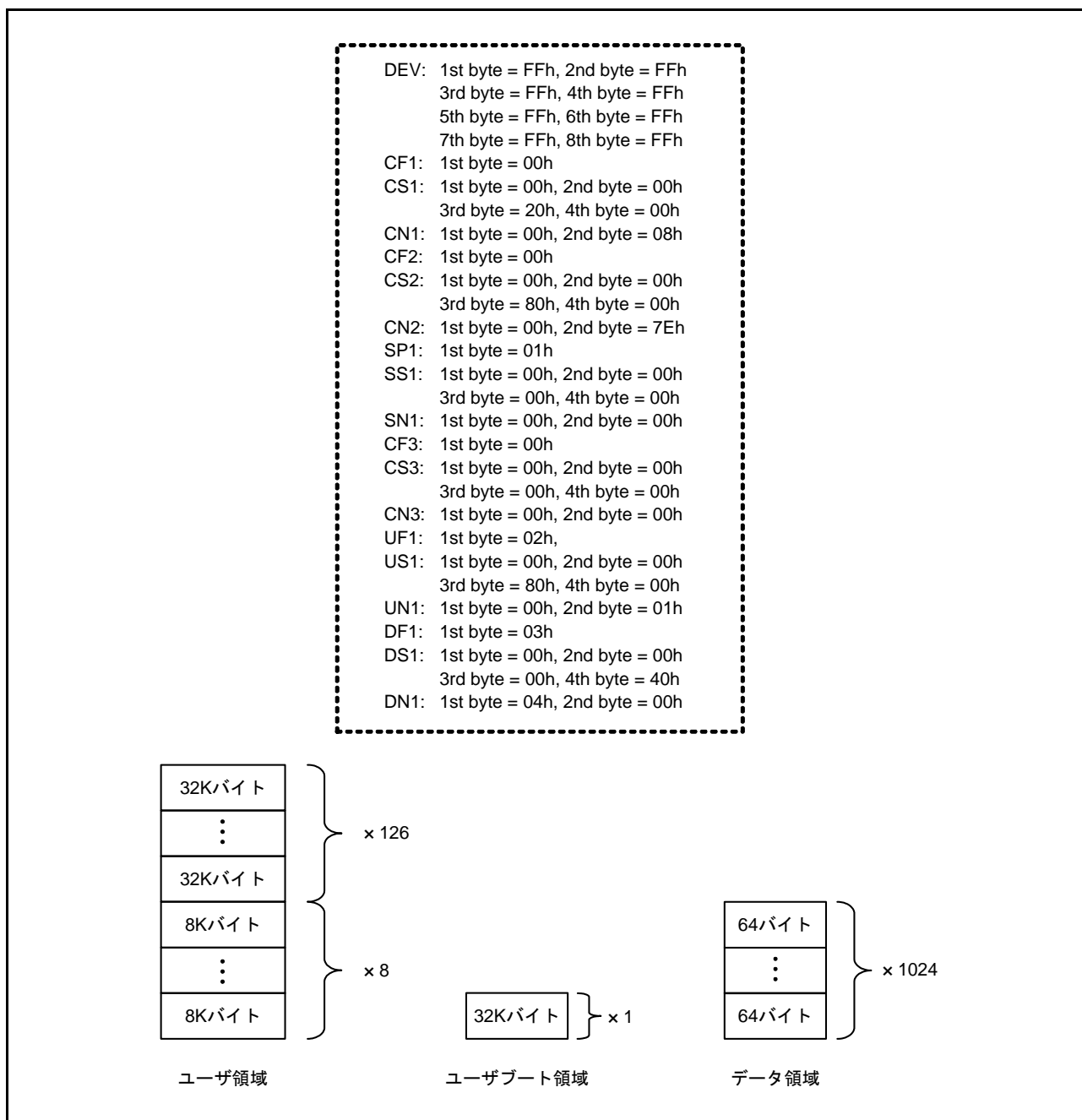


図 44.38 フラッシュメモリ構成情報の例

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
 LNH : 00h
 LNL : 01h
 RES : 3Ah (OK)
 SUM : C5h
 ETX : 03h

(4) ステータスパケット構造・エラー発生 1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : BAh (エラー)
 ERR : エラーコード
 C1h (バケットエラー)
 C2h (チェックサムエラー)
 C3h (フローエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
 LNH : 00h
 LNL : 02h
 RES : BAh (エラー)
 ERR : エラーコード
 C1h (バケットエラー)
 C2h (チェックサムエラー)
 SUM : サムデータ
 ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.42 ROMコード設定コマンド

本コマンドでROMコードプロテクトレジスタを設定できます。

プログラムコマンド禁止が有効、またはブロックイレーズコマンド禁止が有効な場合、本コマンドは使用できません。

コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	R	R	R	S	E
O	N	N	O	S	O	S	U	T
H	H	L	M	1	M	2	M	X

SOH : 01h

LNH : 00h

LNL : 21h

COM : 26h

RS1 : コンフィギュレーション設定領域の0012 0070h~0012 007Bhの
設定値(12バイト)(注1)

ROM : ROMコードプロテクトレジスタ設定値(4バイト)(注2)

RS2 : 予約データ(16バイト)(注3)

SUM : サムデータ

ETX : 03h

注1. コンフィギュレーション設定領域の0012 0070h~0012 007Bhへ書き込むデータです。コンフィギュレーション設定領域の0012 0070h~0012 007Bhは予約領域のため、FFhを送信してください。

注2. 以下のように送信してください。

<ROMコード>

ROMコードプロテクトレジスタ = 00000001h

<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト
01h	00h	00h	00h

注3. FFhを送信してください。

(2) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h

LNH : 00h

LNL : 01h

RES : 26h (OK)

SUM : D9h

ETX : 03h

(3) ステータスパケット構造・エラー発生

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h

LNH : 00h

LNL : 02h

RES : A6h (エラー)

ERR : エラーコード

C1h (パケットエラー)

C2h (チェックサムエラー)

C3h (フローエラー)

DAh (プロテクションエラー)

E1h (イレーズエラー)

E2h (プログラムエラー)

SUM : サムデータ

ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.43 ROMコード取得コマンド

本コマンドでROMコードプロテクトレジスタの設定情報をホストへ送信します。
コマンド待ちフェーズでのみ受け付け可能なコマンドです。

(1) コマンドパケット構造

S	L	L	C	S	E
O	N	N	O	U	T
H	H	L	M	M	X

SOH : 01h
LNH : 00h
LNL : 01h
COM : 27h
SUM : D8h
ETX : 03h

(2) データパケット構造

S	L	L	R	R	R	R	S	E
O	N	N	E	S	O	S	U	T
D	H	L	S	1	M	2	M	X

SOD : 81h
LNH : 00h
LNL : 21h
RES : 27h (OK)
RS1 : コンフィギュレーション設定領域の0012 0070h～0012 007Bhの
設定値(12バイト)
ROM : ROMコードプロテクトレジスタ設定値(4バイト)(注1)
RS2 : 予約データ(16バイト)(注2)
SUM : サムデータ
ETX : 03h

注1. 以下のように送信されます。

<ROMコード>
ROMコードプロテクトレジスタ = 00000001h
<送信データ>

1st バイト	2nd バイト	3rd バイト	4th バイト
01h	00h	00h	00h

注2. FFhが送信されます。

(3) ステータスパケット構造・正常終了

S	L	L	R	S	E
O	N	N	E	U	T
D	H	L	S	M	X

SOD : 81h
LNH : 00h
LNL : 01h
RES : 27h (OK)
SUM : D8h
ETX : 03h

(4) ステータスパケット構造・エラー発生1

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : A7h (エラー)
ERR : エラーコード
C1h (パケットエラー)
C2h (チェックサムエラー)
C3h (フローエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

(5) ステータスパケット構造・エラー発生 2

S	L	L	R	E	S	E
O	N	N	E	R	U	T
D	H	L	S	R	M	X

SOD : 81h
LNH : 00h
LNL : 02h
RES : A7h (エラー)
ERR : エラーコード
 C1h (パケットエラー)
 C2h (チェックサムエラー)
SUM : サムデータ
ETX : 03h

エラーコードを返信した後、コマンド待ち状態に戻ります。

44.9.44 使用例

(1) 書き換え方法の例

書き換え方法の例を図 44.39 に示します。

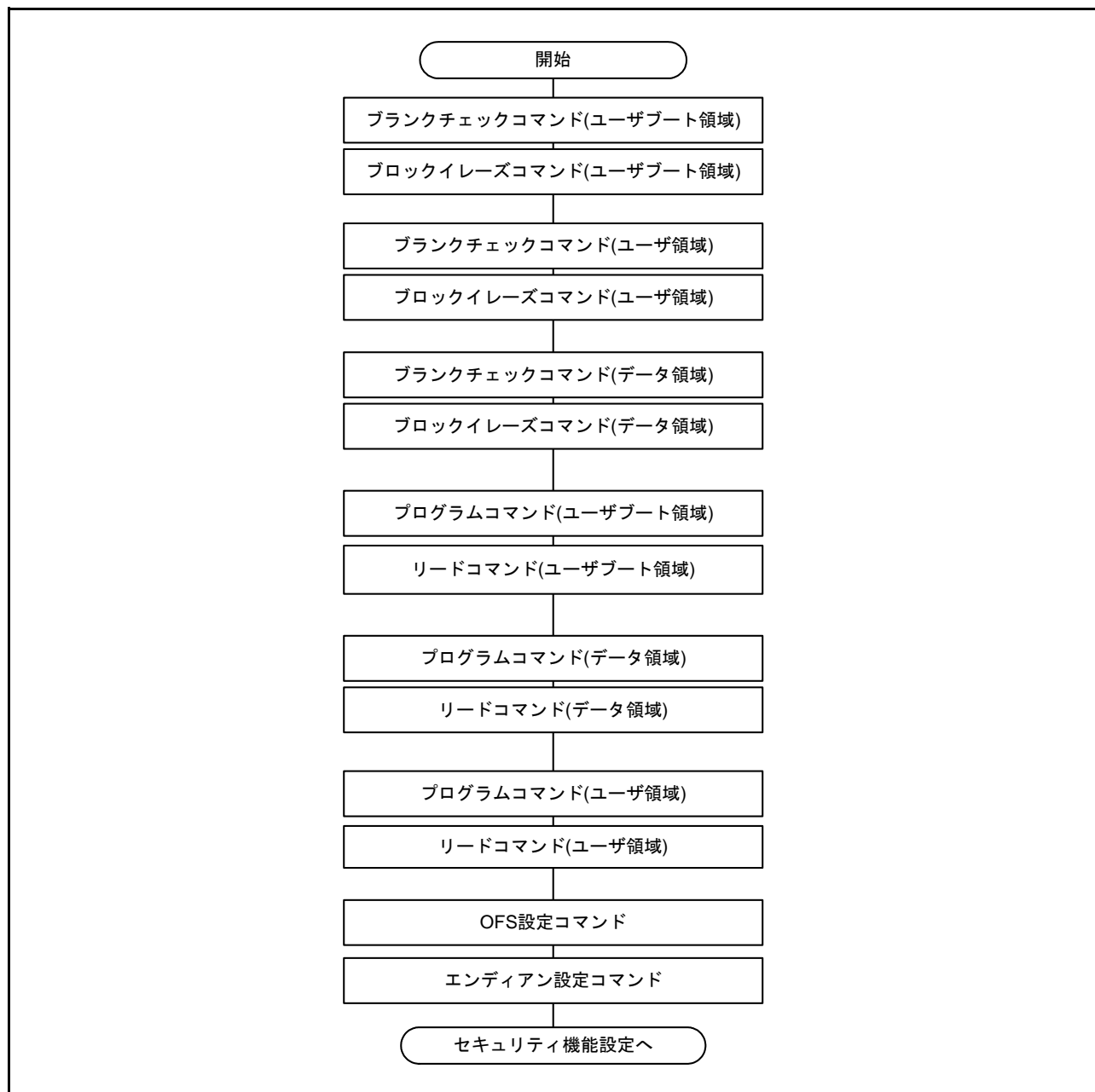


図 44.39 書き換え方法の例

(2) セキュリティ機能設定

セキュリティ機能を使用する場合は、以下の方法でセキュリティ機能を設定します。

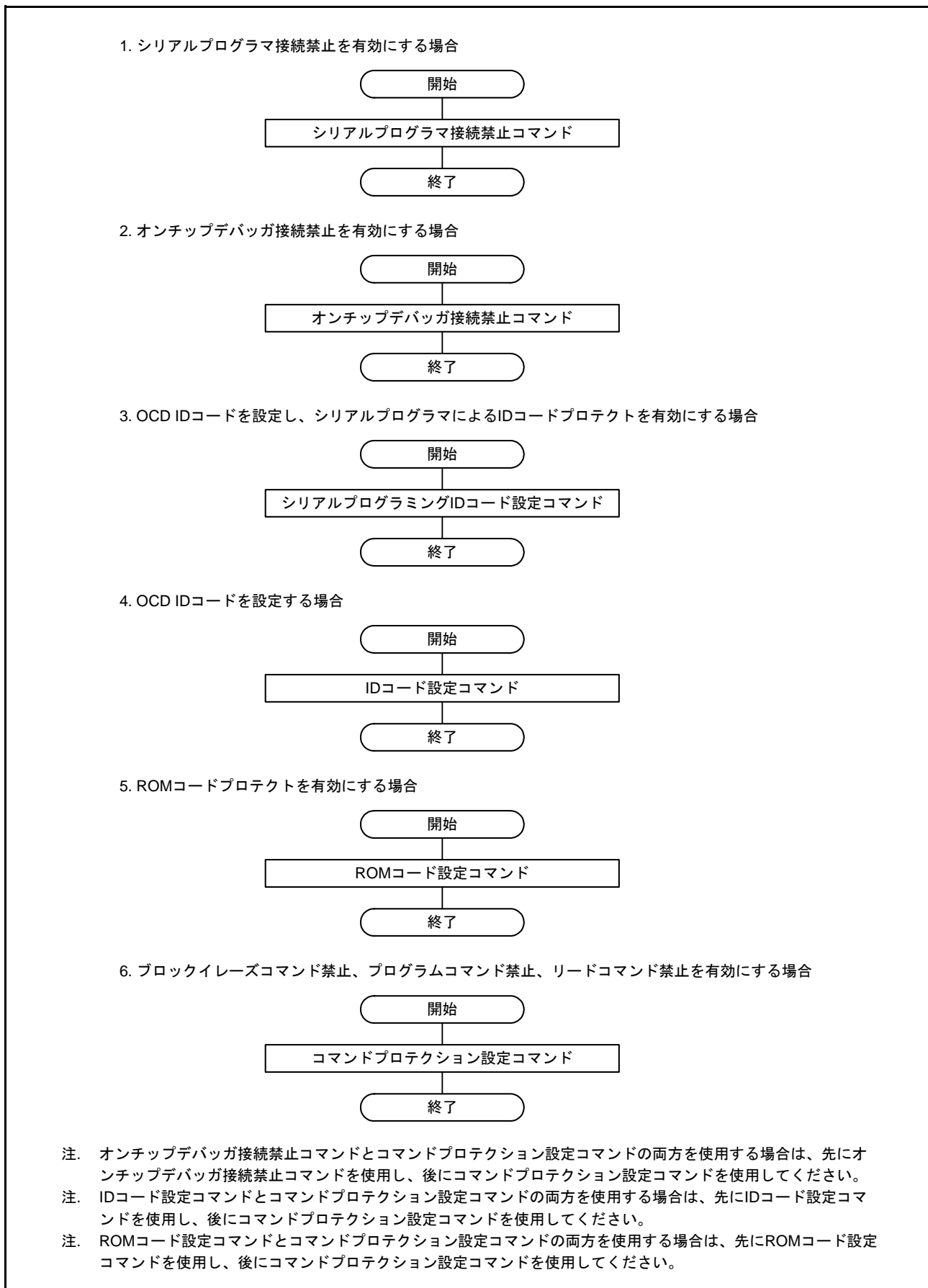


図 44.40 セキュリティ機能を使用する場合の設定

44.9.45 プログラムコマンド禁止設定時のイレーズフロー

プログラムコマンド禁止が設定されている場合、以下の順でイレーズを実施してください。

1. ユーザブート領域をイレーズ
2. データ領域を先頭ブロックから順番にイレーズ
3. ユーザ領域の最終ブロックから順番にイレーズ

なお、ユーザブート領域からユーザ領域のイレーズを行う間、リセット、NMIを含む割り込みを実行しないでください。

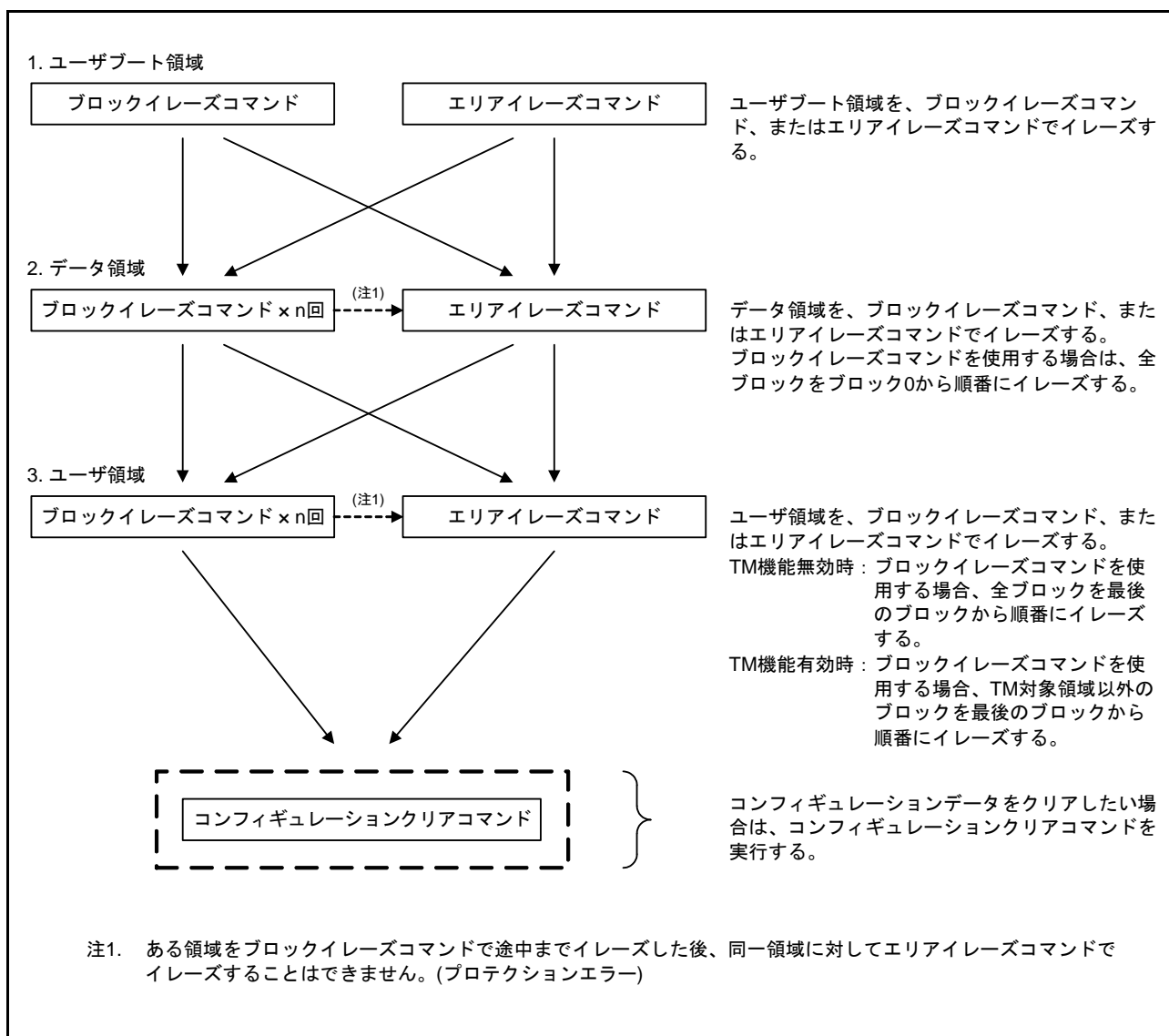


図 44.41 プログラムコマンド禁止設定時のイレーズフロー

44.10 シリアルプログラマでの書き換え

シリアルプログラマを使用して、ブートモードでフラッシュメモリの書き換えを行うことができます。

(1) シリアルプログラミング

シリアルプログラミング時に、本MCUはボードに装着されています。ボードにコネクタを備えることにより、シリアルプログラマは本MCUの書き換えを行うことができます。

44.10.1 シリアルプログラム環境

本MCUのフラッシュメモリを書き換えるための推奨される環境を次に示します。

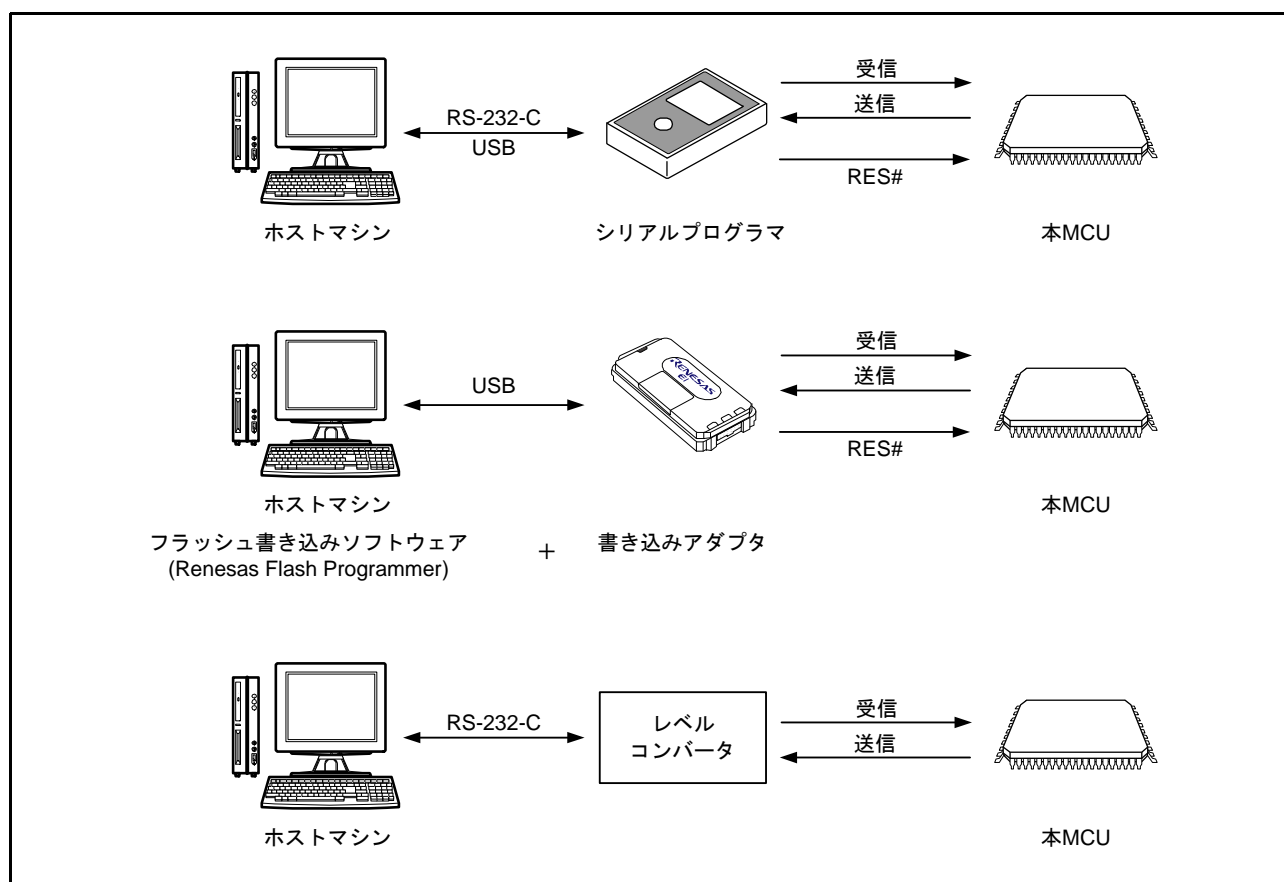


図 44.42 フラッシュメモリを書き換えるための環境

注． シリアルプログラマの詳細は、各シリアルプログラマのマニュアルを、フラッシュ書き込みソフトウェア Renesas Flash Programmerの詳細は、「Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザーズマニュアル」を参照してください。

44.11 セルフプログラミングでの書き換え

44.11.1 概要

本MCUは、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。FACIコマンドをユーザプログラムで使用するにより、ユーザ領域とデータ領域を書き換えることができます。したがって、ユーザプログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

データ領域の書き換え時には、BGO機能が利用できます。BGO機能を利用できない場合は、内蔵RAMまたは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。

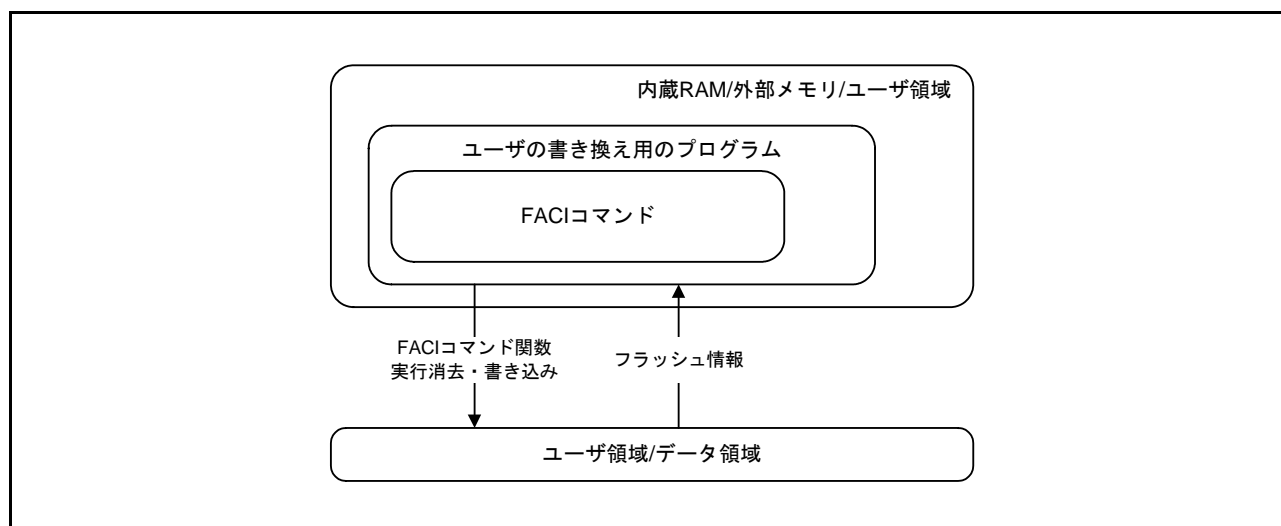


図 44.43 セルフプログラミングの概念

44.12 使用上の注意事項

(1) プログラム/イレーズを中断した領域およびサスペンド対象領域の読み出し

プログラム/イレーズを中断した領域およびサスペンドコマンドを使用してプログラム/イレーズを中断した領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、プログラム/イレーズを中断した領域およびサスペンドコマンドを使用してプログラム/イレーズを中断した領域の命令フェッチやデータリードが発生しないように注意してください。

(2) プログラム/イレーズの中断

P/E サスペンドコマンドを発行してプログラム/イレーズ処理を中断した場合、P/E レジュームコマンドを発行してプログラム/イレーズ処理を再開することができます。中断処理が正常に終了して ERSSPD フラグまたは PRGSPD フラグが“1”になったあと、何らかの理由でフラッシュシーケンサがコマンドロック状態になり強制停止コマンドを発行した場合は、中断した処理を再開することはできません。また処理を中断した領域のデータ値は保証されませんので、当該領域をイレーズしてください。

(3) 追加プログラムの禁止

ユーザ領域/データ領域/ユーザブート領域では同一領域に2回以上のプログラムを行うことはできません。プログラム済みのユーザ領域/データ領域/ユーザブート領域をプログラムしたい場合には、当該領域をイレーズしてください。

(4) プログラム/イレーズ中またはブランクチェック中のリセット

プログラム/イレーズ中またはブランクチェック中に RES# 端子によるリセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、 t_{RESWF} (「45. 電気的特性」を参照) 以上のリセット入力期間の後にリセット解除してください。

(5) プログラム/イレーズ中の割り込み/例外ベクタの配置

プログラム/イレーズ中に割り込み/例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタのアドレスをコードフラッシュメモリ以外に設定してください。

(6) プログラム/イレーズ中またはブランクチェック中の異常終了

RES# 端子によるリセット発生などでプログラム/イレーズが異常終了したことにより、データが不定状態となったフラッシュメモリ領域のプログラム/イレーズ状態を確認するベリファイ手段はありません。プログラム/イレーズが異常終了した領域に対しては、ブランクチェック機能では正しくイレーズ状態の判定をできません。再度イレーズ処理を行って、該当領域を完全なイレーズ状態にした後にご使用ください。

ユーザ領域のプログラム/イレーズ中またはブランクチェック中に動作電圧範囲を超える電圧変動、RES# 端子によるリセット、エラー検出によるコマンドロック状態、および次項 (7) の禁止事項によって、プログラム/イレーズまたはブランクチェックが正常に終了しなかった場合、ロックビットが有効になることがあります。

この場合には、ロックビットを無効化した状態で、該当ブロックのイレーズを実施して、ロックビットをイレーズしてください。

(7) プログラム/イレーズ中またはブランクチェック中の禁止事項

プログラム/イレーズ中またはブランクチェック中は、フラッシュメモリ内に高電圧が印加されています。フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする
- FWEPROR.FLWE[1:0] ビットの変更

- SYSCR0.ROME ビットの変更
- SCKCR.FCK[3:0] と PCLKB[3:0] ビットの変更
- SCKCR3.CKSEL[2:0] ビットの変更
- RSTCKCR.RSTCKEN ビットの変更
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへの移行

45. 電気的特性

45.1 絶対最大定格

表 45.1 絶対最大定格

条件：VSS = AVSS0 = 0V

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +6.5	V
アナログ電源電圧	AVCC0 (注1)	-0.3 ~ +6.5	V
リファレンス電源電圧	VREFH0	-0.3 ~ AVCC0 + 0.3 (最大 6.5)	V
入力電圧	P12, P13, P16, P17	V _{in}	V
	P03, P05 ~ P07, P40 ~ P47, PJ6, PJ7		
	上記以外		
ジャンクション温度	T _j	-40 ~ +125	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注1. AVCC0とAVSS0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

45.2 推奨動作条件

表 45.2 推奨動作条件(1)

項目	記号	min	typ	max	単位
電源電圧 (注1)	VCC	2.7	—	5.5	V
	VSS	—	0	—	
アナログ電源電圧 (注1、注2)	AVCC0	3.0	—	5.5	V
	AVSS0	—	0	—	
	VREFH0	AVCC0 - 1.0	—	AVCC0	
	VREFL0	—	0	—	
入力電圧	P12, P13, P16, P17	V _{in}	—	5.8	V
	P03, P05 ~ P07, P40 ~ P47, PJ6, PJ7				
	上記以外				
動作温度	Dバージョン	T _{opr}	—	85	°C
	Gバージョン				
ジャンクション温度	Dバージョン	T _j	—	105	°C
	Gバージョン				

注1. 電位関係は以下を守ってください。

$$VCC \leq AVCC0$$

注2. 詳細は「38.6.10 アナログ電源端子他の設定範囲」を参照してください。

表 45.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C _{VCL}	0.47μF ± 30% (注1)

注1. 静電容量の公称値が0.47μF、静電容量許容差が±30%以内の積層セラミックコンデンサを使用してください。

45.3 DC 特性

表 45.4 DC 特性(1)

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = 3.0 ~ 5.5V,
VSS = AVSS0 = 0V, T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	IRQ入力端子	V _{IH}	0.8 × VCC	—	—	V	
	MTU入力端子	V _{IL}	—	—	0.2 × VCC		
	POE入力端子	ΔV _T	0.06 × VCC	—	—		
	TMR入力端子						
	CMTW入力端子						
	RTC入力端子						
	SCI入力端子						
	CANFD入力端子						
	REMC入力端子						
	ADTRG#入力端子						
	RES#, NMI						
	RIIC入力端子 (SMBusを除く)	V _{IH}	0.7 × VCC	—	—		
V _{IL}		—	—	0.3 × VCC			
ΔV _T		0.05 × VCC	—	—			
5Vトレラント対応ポート (P12, P13, P16, P17)	V _{IH}	0.8 × VCC	—	—			
	V _{IL}	—	—	0.2 × VCC			
5Vトレラント対応ポート以外 その他の入力端子	V _{IH}	0.8 × VCC	—	—			
	V _{IL}	—	—	0.2 × VCC			
Highレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V _{IH}	0.9 × VCC	—	—	V	
	EXTAL, RSPI入力端子、 WAIT#		0.8 × VCC	—	—		
	D0 ~ D15		0.7 × VCC	—	—		
	RIIC (SMBus)		2.1	—	—		
Lowレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V _{IL}	—	—	0.1 × VCC	V	
	EXTAL, RSPI入力端子、 WAIT#		—	—	0.2 × VCC		
	D0 ~ D15		—	—	0.3 × VCC		
	RIIC (SMBus)		—	—	0.8		

表 45.5 DC 特性(2)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件	
High レベル出力電圧	P03, P05 ~ P07, P40 ~ P47, PJ6, PJ7	$AV_{CC0} - 0.5$	—	—	V	$I_{OH} = -1mA$	
	上記以外	$V_{CC} - 0.5$	—	—			
Low レベル出力電圧	RIIC 端子	—	—	0.4	V	$I_{OL} = 3.0mA$	
		—	—	0.6		$I_{OL} = 6.0mA$	
	上記以外	—	—	0.5		$I_{OL} = 1.0mA$	
入力リーク電流	RES#, EMLE	$ I_{in} $	—	1.0	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$	
スリーステートリーク電流(オフ状態)	RIIC 端子	$ I_{TSL} $	—	5.0	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$	
	上記以外	—	—	1.0			
入力プルアップ抵抗	P03, P05 ~ P07, P40 ~ P47, PJ6, PJ7	R_{PU}	10	—	100	k Ω	$AV_{CC0} = 3.0 \sim 5.5V$ $V_{in} = 0V$
	上記以外の端子		10	—	100		$V_{CC} = 2.7 \sim 5.5V$ $V_{in} = 0V$
入力プルダウン抵抗	EMLE	R_{PD}	5	—	50	k Ω	$V_{in} = V_{CC} = AV_{CC0}$
入力端子容量	RIIC 端子	C_{in}	—	—	16	pF	$V_{bias} = 0V$ $V_{amp} = 20mV$ $f = 1MHz$ $T_a = 25^\circ C$
	PJ6, PJ7		—	—	12		
	上記以外		—	—	8		
VCL 端子出力電圧		V_{CL}	—	1.25	—	V	

表 45.6 DC特性(3)
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, Ta = Topr

項目	記号	Dバージョン		Gバージョン		単位	測定条件				
		typ	max	typ	max						
消費電流 (注1)	I _{CC} (注2)	最大動作		—	68	—	76	mA	ICLK = 120MHz、 PCLKA = 120MHz、 PCLKB = 60MHz、 PCLKD = 60MHz、 FCLK = 60MHz、 BCLK = 60MHz、 BCLK端子 = 30MHz		
		通常動作	周辺機能クロック供給状態		21	—	21			—	
			周辺機能クロック停止状態		12	—	12			—	
		CoreMark動作		周辺機能クロック停止状態		19	—			19	—
		スリープモード時		周辺機能クロック供給状態		16	36			16	44
		全モジュールクロックストップモード時		7.8	24	7.8	32				
		BGO動作時の増加分(注3)		データフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し		12	—			12	—
	ソフトウェアスタンバイモード		0.9	9	0.9	14	mA				
	ディープソフトウェアスタンバイモード		15	23	15	32	μA				
	RTC動作時の増分		2.6	—	2.6	—		標準CL水晶振動子 使用時			

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. I_{CC}は、以下の式のとおりICLK周波数f (MHz)に依存します。

- Dバージョン製品

$$I_{CC\ max} = 0.500 \times f + 8 \text{ (通常動作モード、最大動作時)}$$

$$I_{CC\ typ} = 0.144 \times f + 4 \text{ (通常動作モード、通常動作時)}$$

$$I_{CC\ max} = 0.234 \times f + 8 \text{ (スリープモード時)}$$

- Gバージョン製品

$$I_{CC\ max} = 0.534 \times f + 12 \text{ (通常動作モード、最大動作時)}$$

$$I_{CC\ typ} = 0.144 \times f + 4 \text{ (通常動作モード、通常動作時)}$$

$$I_{CC\ max} = 0.267 \times f + 12 \text{ (スリープモード時)}$$

注3. コードフラッシュメモリでのプログラム実行中に、データフラッシュメモリをプログラム/イレーズ実行した場合の増加分です。

表 45.7 DC特性(4)
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, Ta = Topr

項目	項目				記号	typ	max	単位
	A/D	D/A (2ch)	CMPC (4ch)	TEMPS				
アナログ電源 電流	変換中	待機	待機	待機	A _I CC	0.9	1.4	mA
	待機	変換中	待機	待機		0.6	0.8	
	待機	待機	動作	待機		0.4	0.5	
	変換中	待機	待機	動作		1.0	1.5	
	待機時					0.4	7.7	
	モジュールストップ時				0.4	6.5		

表 45.8 DC特性(5)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V_{RAM}	2.7	—	—	V	
電源投入時VCC立ち上がり勾配	通常起動時	0.02	—	8	ms/V	図45.1
	起動時電圧監視0リセット有効時(注1、注2)	0.02	—	20		
許容電源変動立ち上がり/立ち下がり勾配	dt/dV_{CC}	1.0	—	—		VCC変動が $V_{CC} \pm 10\%$ を超える場合

注1. OFS1.LVDAS = 0を設定した場合です。

注2. ブートモード、ユーザブートモード時はOFS1レジスタにて設定した値は読み込まれませんので、通常起動時の立ち上がり勾配にて電源電圧を立ち上げてください。

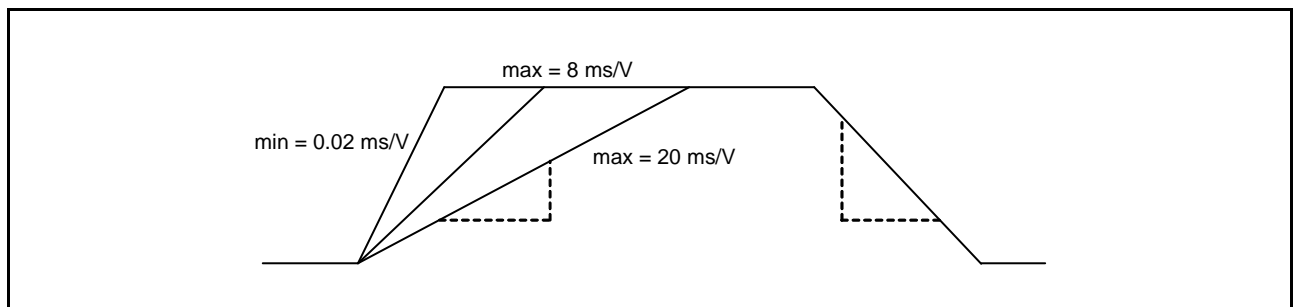


図 45.1 電源投入時 VCC 立ち上がり勾配

表 45.9 出力許容電流

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位
Lowレベル出力許容電流 (1端子あたりの平均値)	全出力端子(注1) 通常駆動	—	—	2.0	mA
	全出力端子(注2) 高駆動	—	—	3.8	
Lowレベル出力許容電流 (1端子あたりの最大値)	全出力端子(注1) 通常駆動	—	—	4.0	mA
	全出力端子(注2) 高駆動	—	—	7.6	
Lowレベル出力許容電流(総和)	全出力端子の総和	—	—	80	mA
Highレベル出力許容電流 (1端子あたりの平均値)	全出力端子(注1) 通常駆動	—	—	-2.0	mA
	全出力端子(注2) 高駆動	—	—	-3.8	
Highレベル出力許容電流 (1端子あたりの最大値)	全出力端子(注1) 通常駆動	—	—	-4.0	mA
	全出力端子(注2) 高駆動	—	—	-7.6	
Highレベル出力許容電流(総和)	全出力端子の総和	—	—	-80	mA

【使用上の注意】 LSIの信頼性を確保するため、出力電流値は表 45.9の値を超えないようにしてください。

注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値

注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

表 45.10 標準出力特性(1)

条件 : VCC = AVCC0 = 5.0V,
VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力電圧	通常出力時	V _{OH}	—	4.97	—	V	I _{OH} = -0.5mA
			—	4.94	—		I _{OH} = -1.0mA
			—	4.87	—		I _{OH} = -2.0mA
			—	4.74	—		I _{OH} = -4.0mA
	高駆動出力時		—	4.98	—		I _{OH} = -0.5mA
			—	4.97	—		I _{OH} = -1.0mA
			—	4.94	—		I _{OH} = -2.0mA
			—	4.87	—		I _{OH} = -4.0mA
Low レベル出力電圧	通常出力時	V _{OL}	—	0.02	—	V	I _{OL} = 0.5mA
			—	0.04	—		I _{OL} = 1.0mA
			—	0.09	—		I _{OL} = 2.0mA
			—	0.18	—		I _{OL} = 4.0mA
	高駆動出力時		—	0.01	—		I _{OL} = 0.5mA
			—	0.03	—		I _{OL} = 1.0mA
			—	0.05	—		I _{OL} = 2.0mA
			—	0.10	—		I _{OL} = 4.0mA

表 45.11 標準出力特性(2)

条件 : VCC = AVCC0 = 3.3V,
VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力電圧	通常出力時	V _{OH}	—	3.26	—	V	I _{OH} = -0.5mA
			—	3.22	—		I _{OH} = -1.0mA
			—	3.13	—		I _{OH} = -2.0mA
			—	2.94	—		I _{OH} = -4.0mA
	高駆動出力時		—	3.28	—		I _{OH} = -0.5mA
			—	3.26	—		I _{OH} = -1.0mA
			—	3.22	—		I _{OH} = -2.0mA
			—	3.13	—		I _{OH} = -4.0mA
Low レベル出力電圧	通常出力時	V _{OL}	—	0.03	—	V	I _{OL} = 0.5mA
			—	0.06	—		I _{OL} = 1.0mA
			—	0.12	—		I _{OL} = 2.0mA
			—	0.25	—		I _{OL} = 4.0mA
	高駆動出力時		—	0.02	—		I _{OL} = 0.5mA
			—	0.03	—		I _{OL} = 1.0mA
			—	0.07	—		I _{OL} = 2.0mA
			—	0.13	—		I _{OL} = 4.0mA

表 45.12 熱抵抗値(参考値)

項目	パッケージ	記号	max	単位	測定条件
熱抵抗	144ピンLFQFP (PLQP0144KA-B)	θ_{ja}	52.1	°C/W	JESD51-2および JESD51-7準拠 $T_a = 105^\circ\text{C}$
	100ピンLFQFP (PLQP0100KB-B)		51.3		
	80ピンLFQFP (PLQP0080KB-B)		52.0		
	64ピンLFQFP (PLQP0064KB-C)		50.8		
	48ピンLFQFP (PLQP0048KB-B)		58.4		
	144ピンLFQFP (PLQP0144KA-B)	Ψ_{jt}	1.3	°C/W	JESD51-2および JESD51-7準拠
	100ピンLFQFP (PLQP0100KB-B)		1.3		
	80ピンLFQFP (PLQP0080KB-B)		1.3		
	64ピンLFQFP (PLQP0064KB-C)		1.3		
	48ピンLFQFP (PLQP0048KB-B)		1.8		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

45.4 AC 特性

表 45.13 動作周波数

条件 : $VCC = 2.7 \sim 5.5V$, $AVCC0 = 3.0 \sim 5.5V$,
 $VSS = AVSS0 = 0V$, $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
動作周波数	システムクロック (ICLK)	f	—	—	120	MHz	
	周辺モジュールクロック (PCLKA)		—	—	120		
	周辺モジュールクロック (PCLKB)		—	—	60		
	周辺モジュールクロック (PCLKD)		— (注1)	—	60		
	FlashIFクロック (FCLK)		— (注2)	—	60		
	外部バスクロック (BCLK)		—	—	60		
	BCLK端子出力		—	—	40		
	—	—	32	VCC < 4.5V、駆動能力選択制御レジスタで高駆動出力を選択			

注1. 12ビットA/Dコンバータを使用する場合は、PCLKDを8MHz以上としてください。

注2. フラッシュメモリの書き換えを行う場合は、FCLKを4MHz以上としてください。

45.4.1 リセットタイミング

表45.14 リセットタイミング

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V, T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	2.0	—	—	ms	図 45.2
	ディープソフトウェアスタンバイモード	t _{RESWD}	0.6	—	—	ms	図 45.3
	ソフトウェアスタンバイモード	t _{RESWS}	0.3	—	—	ms	
	コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中	t _{RESWF}	200	—	—	μs	
	上記以外	t _{RESW}	200	—	—	μs	
RES#解除後待機時間	t _{RESWT}	62	—	63	t _{Lcyc}	図 45.2	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)	t _{RESW2}	108	—	116	t _{Lcyc}		

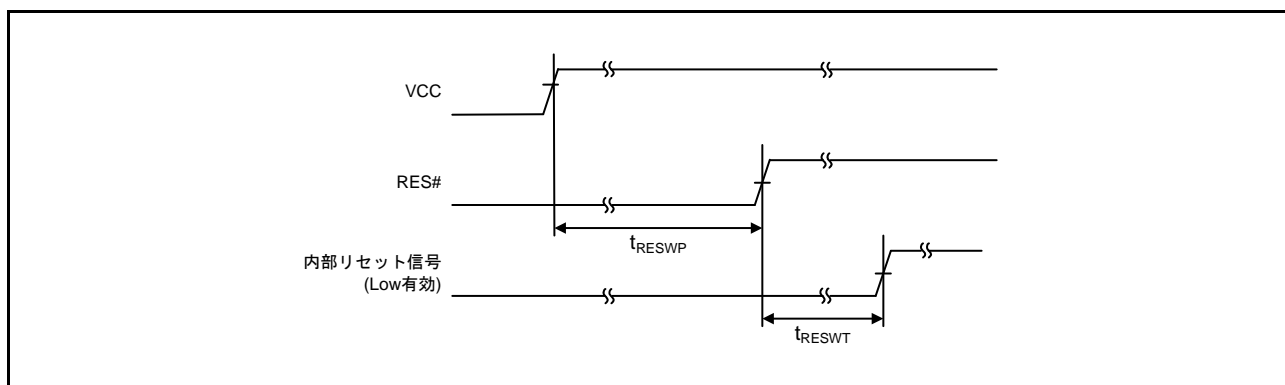


図 45.2 電源投入時リセット入力タイミング

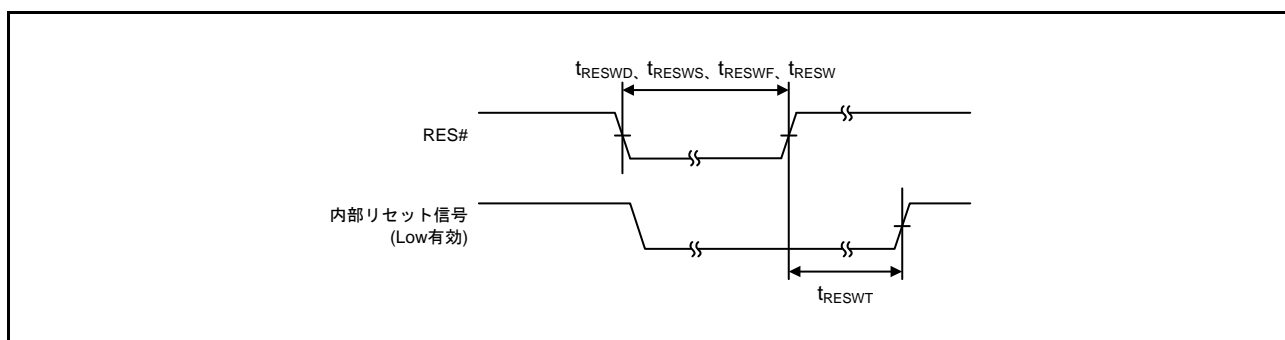


図 45.3 リセット入力タイミング

45.4.2 クロックタイミング

表 45.15 BCLK端子出カクックタイミング
 条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出カサイクル時間	t_{Bcyc}	25	—	—	ns	$V_{CC} \geq 4.5V$
		31.25	—	—		$V_{CC} < 4.5V$
BCLK端子出カHighパルス幅	t_{CH}	7.5	—	—	ns	$V_{CC} \geq 4.5V$
		10.625	—	—		$V_{CC} < 4.5V$
BCLK端子出カLowパルス幅	t_{CL}	7.5	—	—	ns	$V_{CC} \geq 4.5V$
		10.625	—	—		$V_{CC} < 4.5V$
BCLK端子出カ立ち上がり時間	t_{Cr}	—	—	5	ns	図 45.4
BCLK端子出カ立ち下がり時間	t_{Cr}	—	—	5	ns	

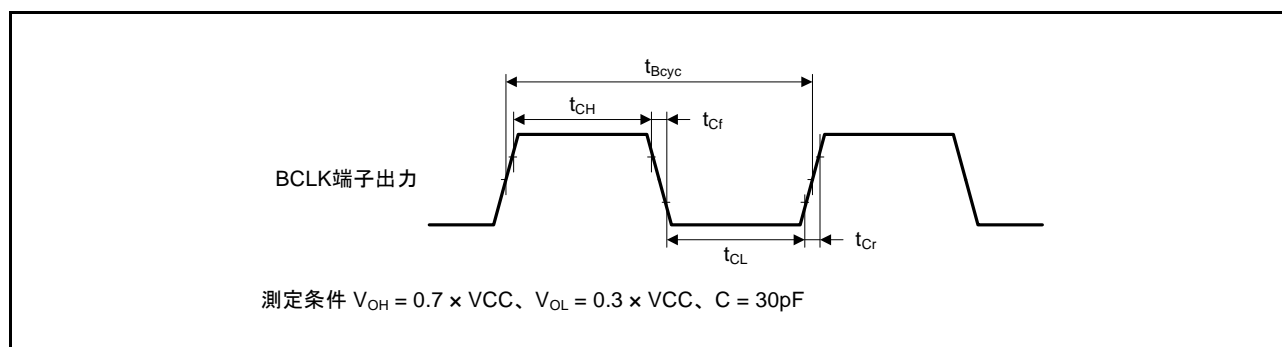


図 45.4 BCLK 端子出カタイミング

表 45.16 EXTALクロックタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	ns	図 45.5
EXTAL外部クロック入力周波数	f_{EXMAIN}	—	—	24	MHz	
EXTAL外部クロック入力Highパルス幅	t_{EXH}	15.83	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	t_{EXL}	15.83	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	—	5	ns	

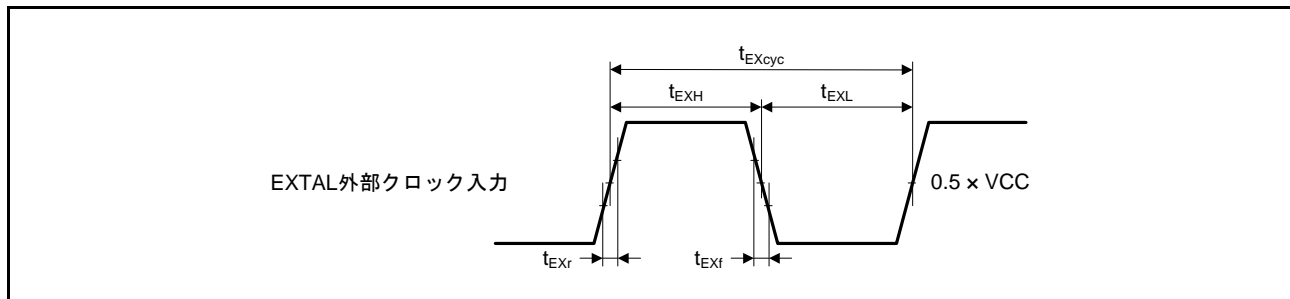


図 45.5 EXTAL 外部クロック入力タイミング

表 45.17 メインクロックタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	24	MHz	図 45.6
メインクロック発振安定時間(水晶)	$t_{MAINOSC}$	—	—	—(注1)	ms	
メインクロック発振安定待機時間(水晶)	$t_{MAINOSCWT}$	—	—	—(注2)	ms	

注1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. メインクロック発振安定待機時間は、MOSCCR.MOSTP[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{MAINOSCWT} = [(MSTP[7:0] \text{ビット} \times 32) + 10] / f_{L0CO}$$

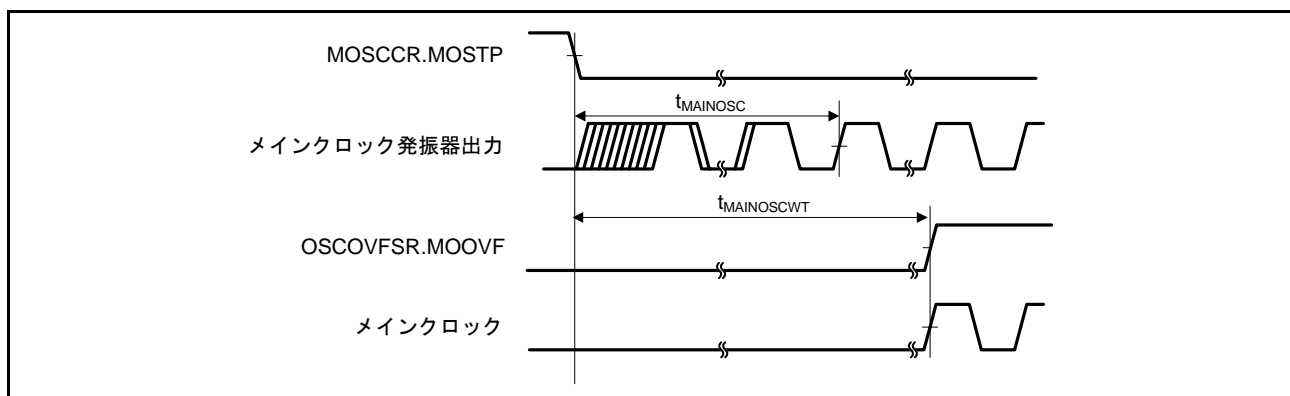


図 45.6 メインクロック発振開始タイミング

表 45.18 LOCO, IWDT 専用低速クロックタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCOクロック発振周波数	f_{LOCO}	216 (-10%)	240	264 (+10%)	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	44	μs	図 45.7
IWDT専用低速クロックサイクル時間	t_{iLcyc}	7.57	8.33	9.26	μs	
IWDT専用低速クロック発振周波数	f_{iLOCO}	108 (-10%)	120	132 (+10%)	kHz	
IWDT専用低速クロック発振安定待機時間	$t_{iLOCOWT}$	—	142	190	μs	図 45.8

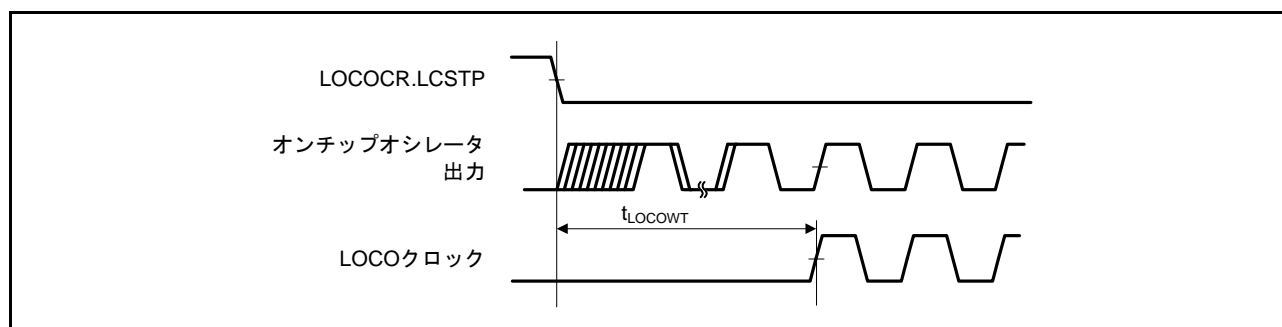


図 45.7 LOCO クロック発振開始タイミング

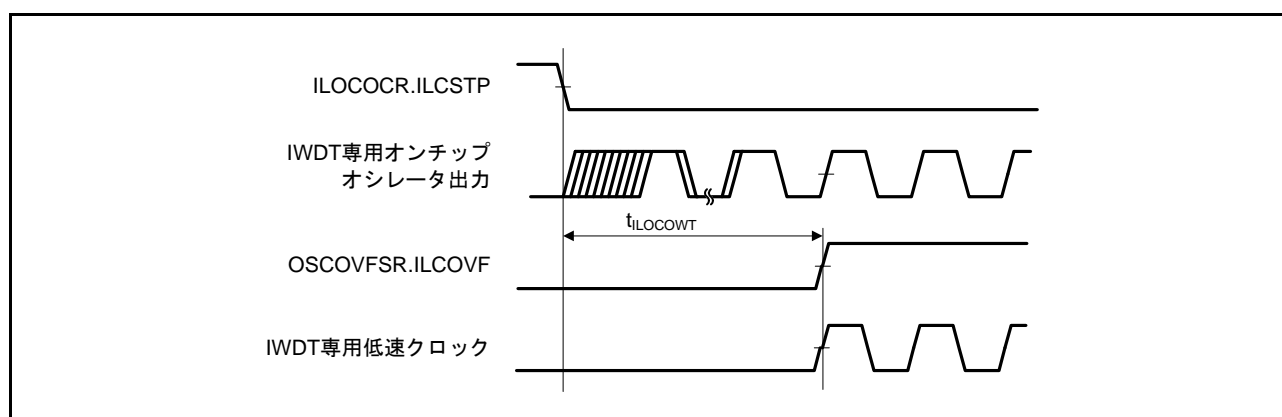


図 45.8 IWDT 専用低速クロック発振開始タイミング

表 45.19 HOCOクロックタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件	
HOCOクロック発振周波数	FLLなし	f_{HOCO}	15.84 (-1.0%)	16	16.16 (+1.0%)	MHz	$-20^{\circ}C \leq T_a$	
			17.82 (-1.0%)	18	18.18 (+1.0%)			
			19.80 (-1.0%)	20	20.20 (+1.0%)			
	FLLあり	f_{HOCO}	15.68 (-2.0%)	16	16.16 (+1.0%)		MHz	$T_a < -20^{\circ}C$
			17.64 (-2.0%)	18	18.18 (+1.0%)			
			19.60 (-2.0%)	20	20.20 (+1.0%)			
			15.960 (-0.25%)	16	16.040 (+0.25%)		サブクロック周波数精度 : $\pm 50ppm$	
			17.955 (-0.25%)	18	18.045 (+0.25%)			
			19.950 (-0.25%)	20	20.050 (+0.25%)			
HOCOクロック発振安定待機時間		t_{HOCOWT}	—	105	149	μs	図 45.9	
HOCOクロック電源安定時間		t_{HOCOP}	—	—	150	μs	図 45.10	
FLL安定待機時間		t_{FLLWT}	—	—	1.8	ms		

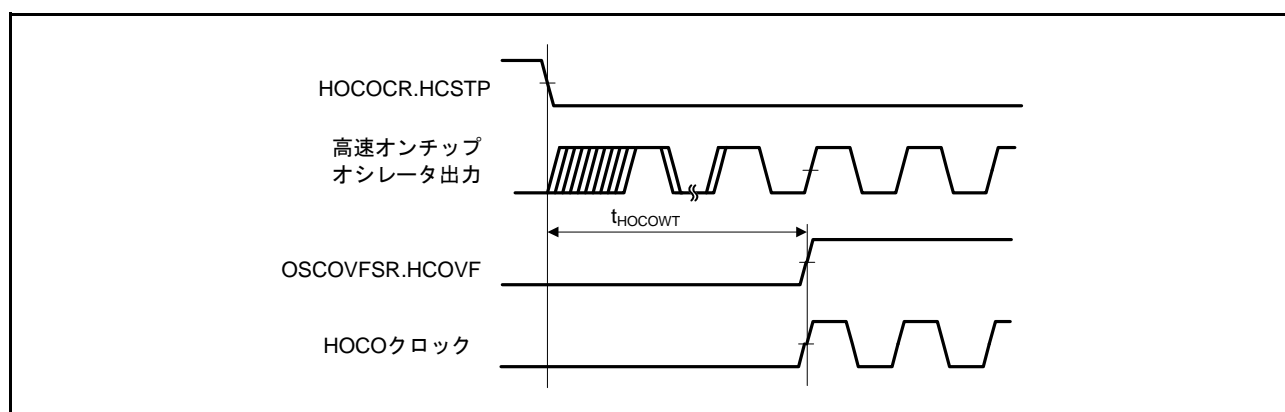


図 45.9 HOCO クロック発振開始タイミング (HOCO CR.HCSTP 設定による発振開始)

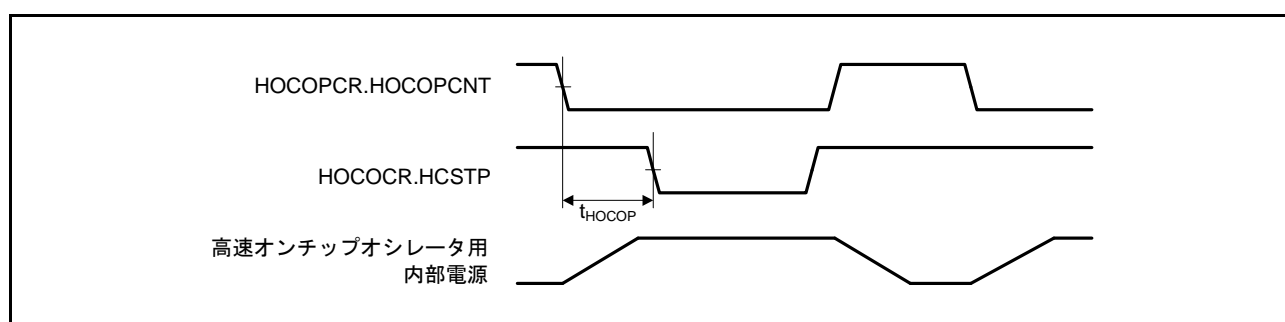


図 45.10 高速オンチップオシレータ電源制御タイミング

表 45.20 PLLクロックタイミング
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
PLLクロック発振周波数	f _{PLL}	120	—	240	MHz	
PLLクロック発振安定待機時間	t _{PLLWT}	—	259	320	μs	図 45.11

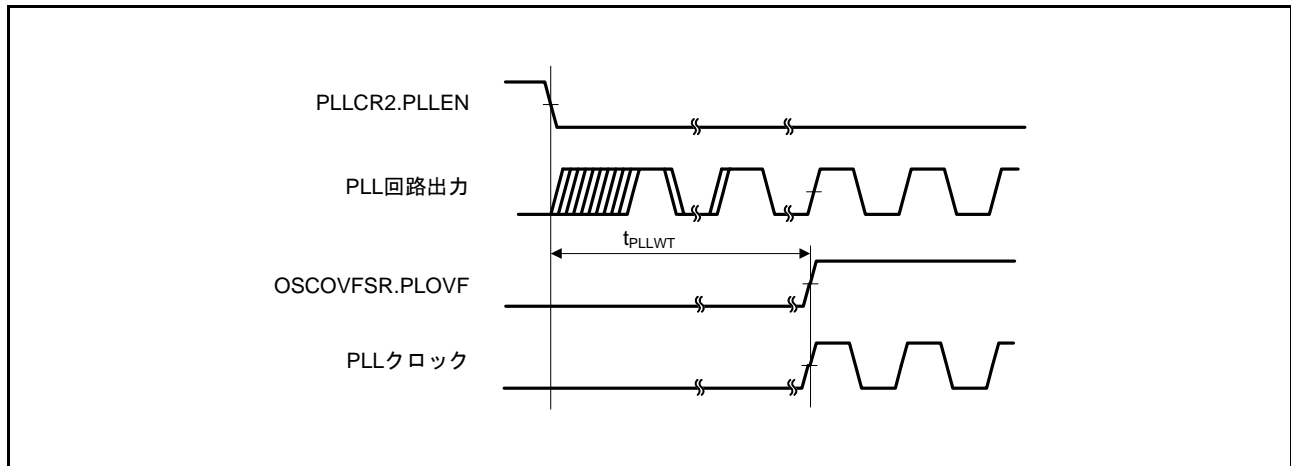


図 45.11 PLL クロック発振開始タイミング

表 45.21 サブクロックタイミング
 条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
サブクロック発振器発振周波数	f _{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間	t _{SUBOSC}	—	—	(注 1)	s	図 45.12
サブクロック発振安定待機時間	t _{SUBOSCWT}	—	—	(注 2)	s	

注 1. サブクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注 2. サブクロック発振安定待機時間は、SOSCWTCR.SSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{SUBOSCWT} = [(SSTS[7:0] \text{ ビット} \times 16384) + 10] / f_{Loco}$$

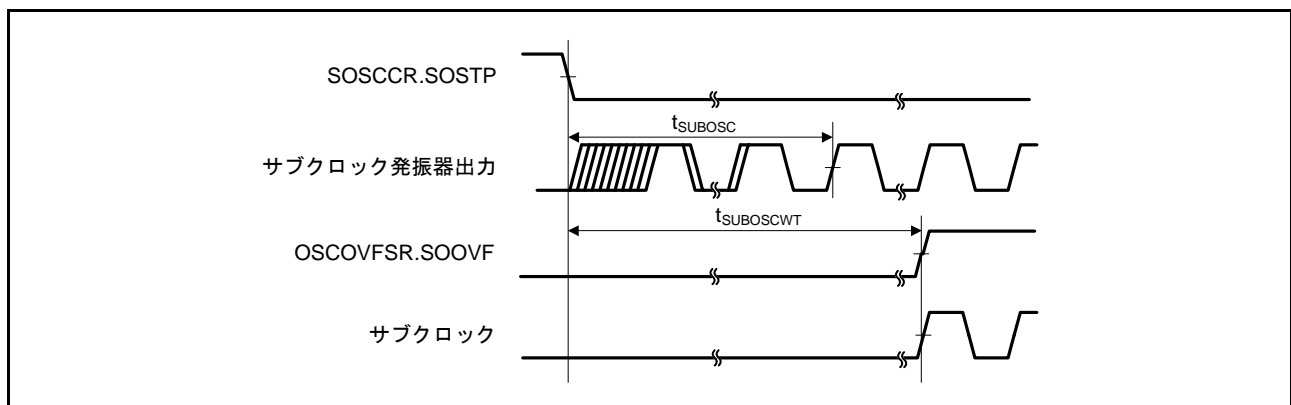


図 45.12 サブクロック発振開始タイミング

45.4.3 低消費電力状態からの復帰タイミング

表45.22 低消費電力状態からの復帰タイミング(1)

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V, T_a = T_{opr}

項目			記号	min	typ	max		単位	測定条件
						t _{SBYOSCWT} (注2)	t _{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間 (注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t _{SBYMC}	—	—	$\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{MAIN}$	μs	図45.13
		メインクロック発振器、PLL回路動作	t _{SBYPC}			$\{(MSTS[7:0] \text{ ビット} \times 32) + 138\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}			352	$100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}$		
		メインクロック発振器、PLL回路動作	t _{SBYPE}			639	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	サブクロック発振器動作		t _{SBYSC}			$\{(SSTS[7:0] \text{ ビット} \times 16384) + 13\} / 0.216 + 10 / f_{FCLK}$	$100 + 4 / f_{ICLK} + 2n / f_{SUE}$		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t _{SBYHO}			454	$100 + 7 / f_{ICLK} + 2n / f_{HOCO}$		
		高速オンチップオシレータ動作、PLL回路動作	t _{SBYPH}			741	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	低速オンチップオシレータ動作 (注4)		t _{SBYLO}			338	$100 + 7 / f_{ICLK} + 2n / f_{LOCO}$		

- 注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SBYOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
- 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SBYOSCWT}の内、最も大きな値が選択されます。
- 注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。
- 注4. 本条件は、f_{ICLK}:f_{FCLK} = 1:1、2:1、4:1の場合に適用されます。

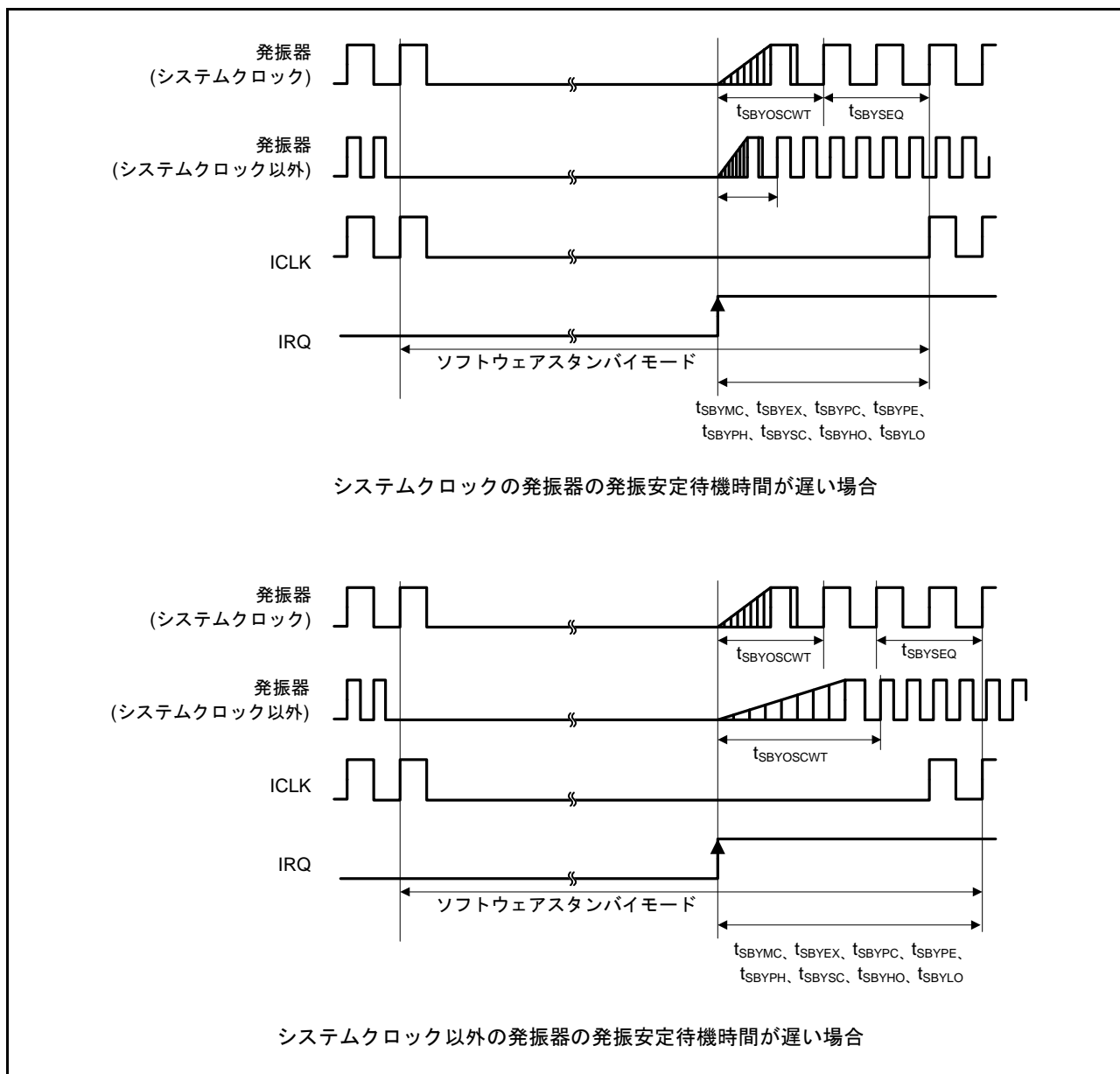


図 45.13 ソフトウェアスタンバイモード解除タイミング

表 45.23 低消費電力状態からの復帰タイミング(2)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
ディープソフトウェアスタンバイモード解除後復帰時間	t_{DSBY}	—	—	0.9	ms	図 45.14
ディープソフトウェアスタンバイモード解除後待機時間	t_{DSBYWT}	31	—	32	t_{Lcyc}	

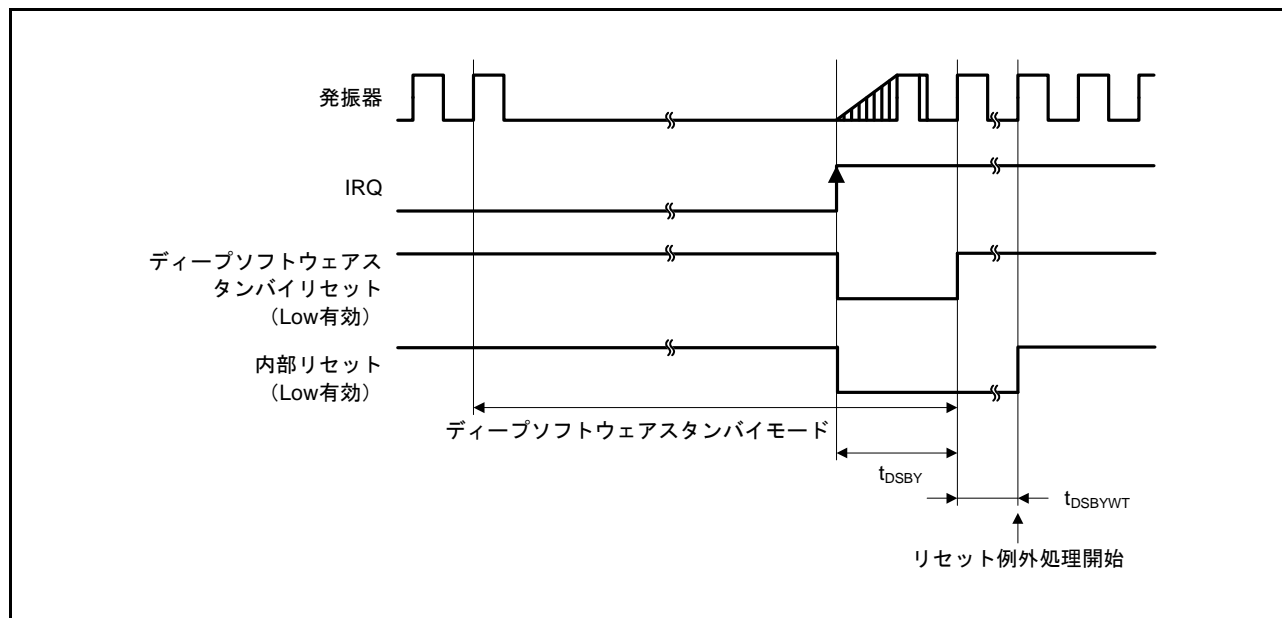


図 45.14 ディープソフトウェアスタンバイモード解除タイミング

45.4.4 制御信号タイミング

表 45.24 制御信号タイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$2 \times t_{PBcyc} \leq 200ns$ 、図 45.15
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 45.15
IRQパルス幅	t_{IRQW}	200	—	—	ns	$2 \times t_{PBcyc} \leq 200ns$ 、図 45.16
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 45.16

注1. t_{PBcyc} : PCLKBの周期

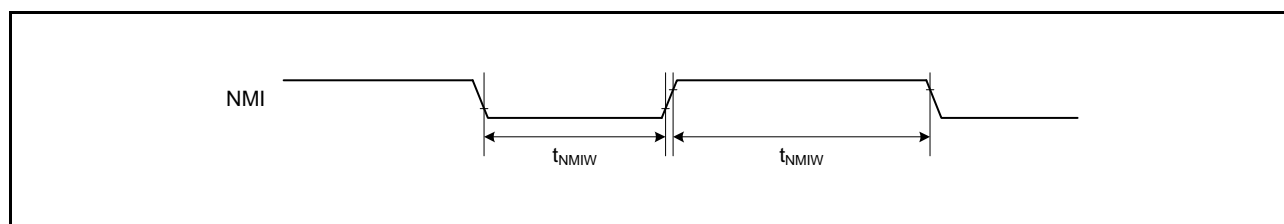


図 45.15 NMI 割り込み入カタイミング

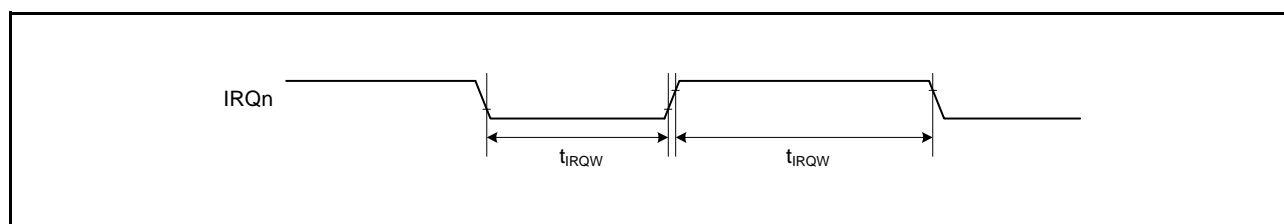


図 45.16 IRQ 割り込み入カタイミング

45.4.5 バスタイミング

表45.25 バスタイミング(1)

条件 : $4.5 \leq VCC \leq 5.5V$, $AVCC0 = 3.0 \sim 5.5V$,
 $VSS = AVSS0 = 0V$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	12.5	ns	図45.17～ 図45.22
バイトコントロール遅延時間	t_{BCD}	—	12.5	ns	
CS#遅延時間	t_{CSD}	—	12.5	ns	
ALE遅延時間	t_{ALED}	—	12.5	ns	
RD#遅延時間	t_{RSD}	—	12.5	ns	
リードデータセットアップ時間	t_{RDS}	12.5	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	12.5	ns	
ライトデータ遅延時間	t_{WDD}	—	12.5	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	12.5	—	ns	図45.23
WAIT#ホールド時間	t_{WTH}	0	—	ns	

表45.26 バスタイミング(2)

条件 : $2.7 \leq VCC < 4.5V$, $AVCC0 = 3.0 \sim 5.5V$,
 $VSS = AVSS0 = 0V$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	25	ns	図45.17～ 図45.22
バイトコントロール遅延時間	t_{BCD}	—	25	ns	
CS#遅延時間	t_{CSD}	—	25	ns	
ALE遅延時間	t_{ALED}	—	25	ns	
RD#遅延時間	t_{RSD}	—	25	ns	
リードデータセットアップ時間	t_{RDS}	25	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	25	ns	
ライトデータ遅延時間	t_{WDD}	—	25	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	25	—	ns	図45.23
WAIT#ホールド時間	t_{WTH}	0	—	ns	

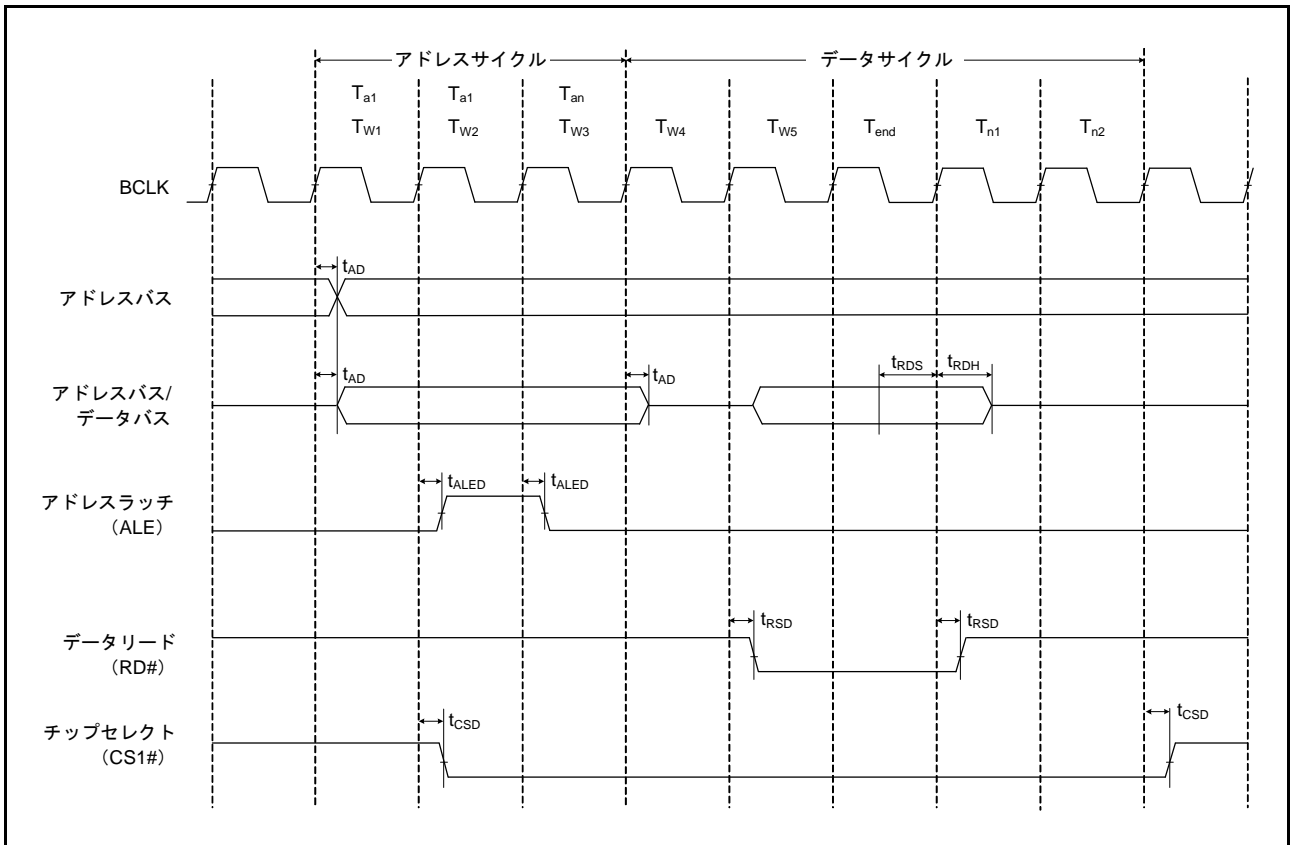


図 45.17 アドレス/データマルチプレクスバスのリードアクセスタイミング

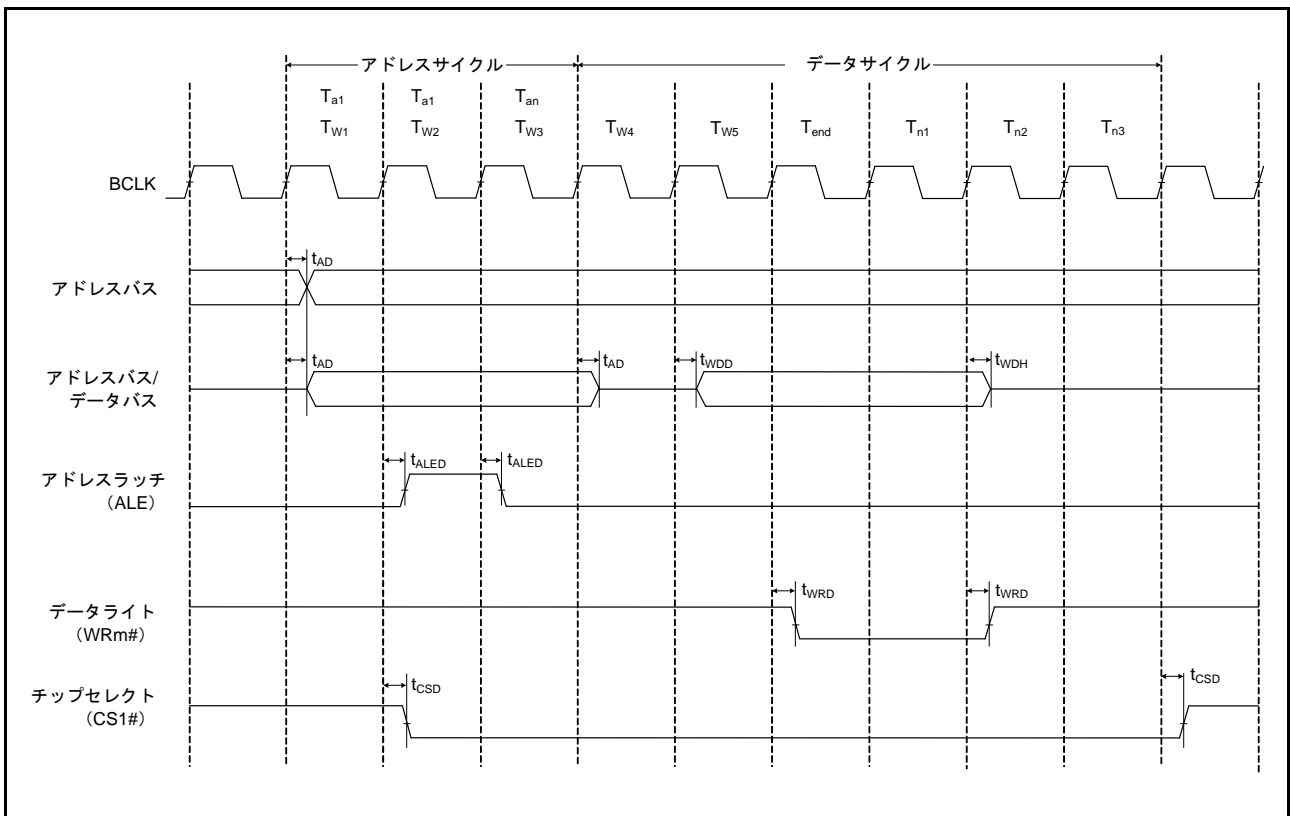


図 45.18 アドレス/データマルチプレクスバスのライトアクセスタイミング

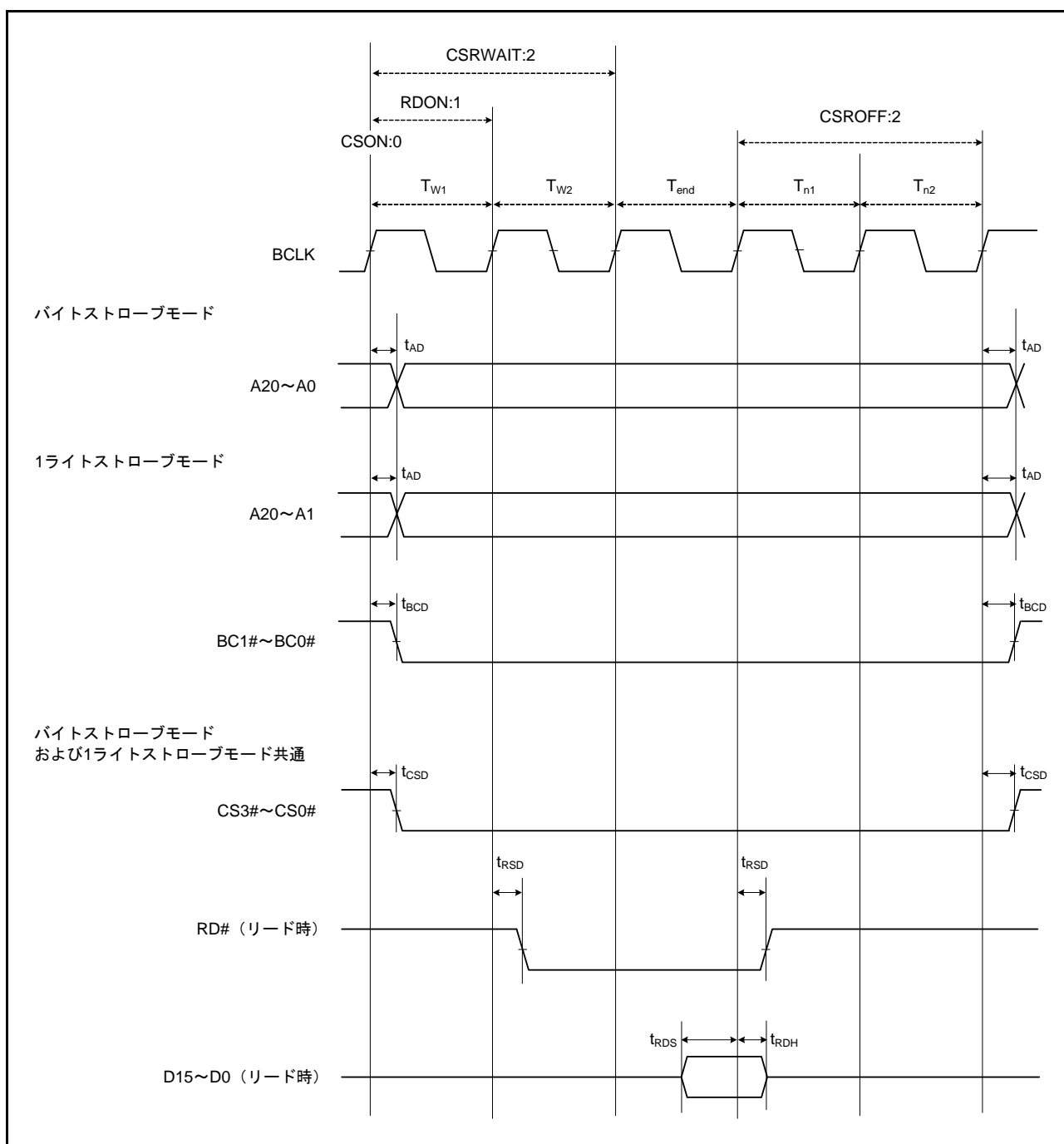


図 45.19 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

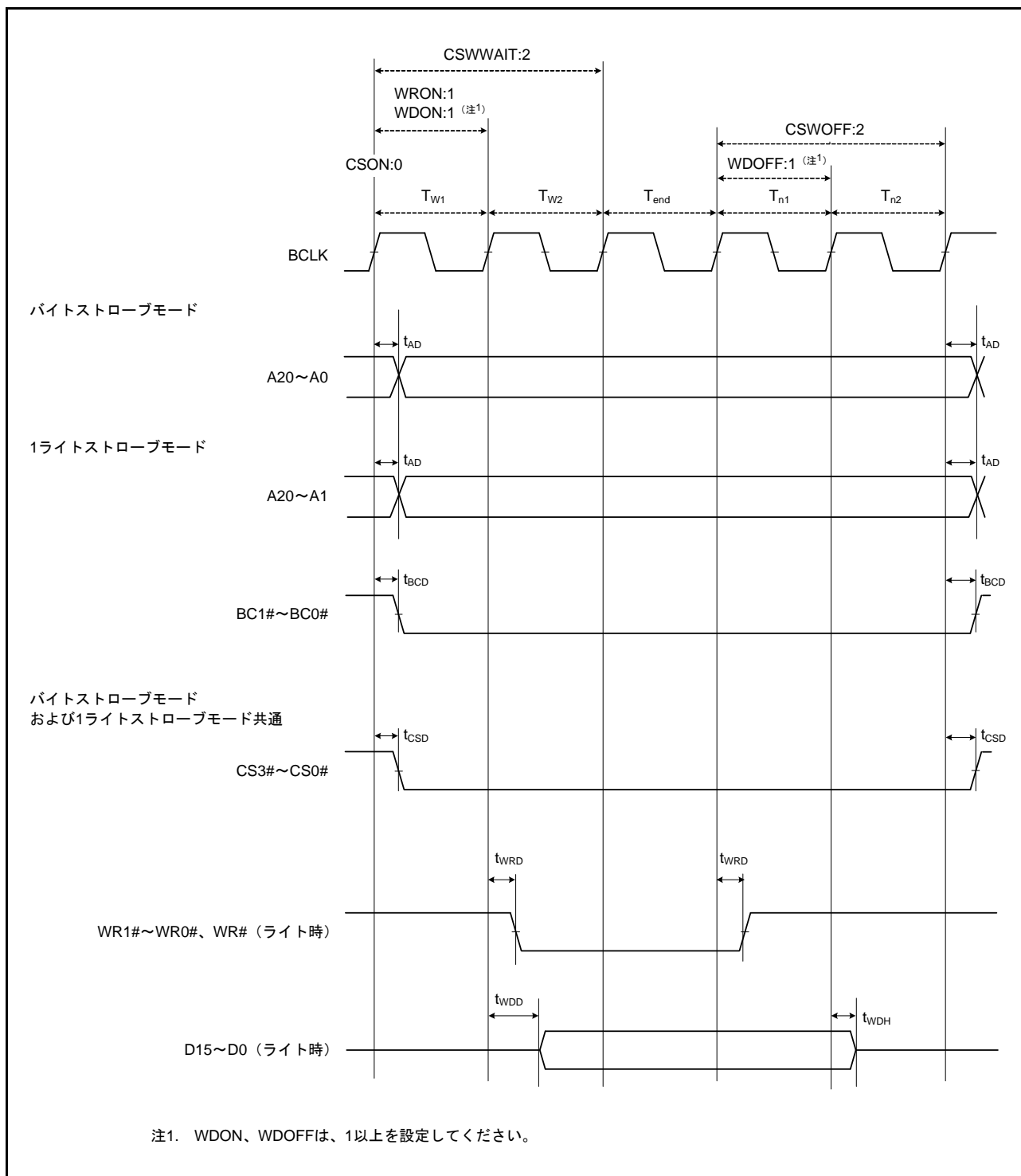


図 45.20 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

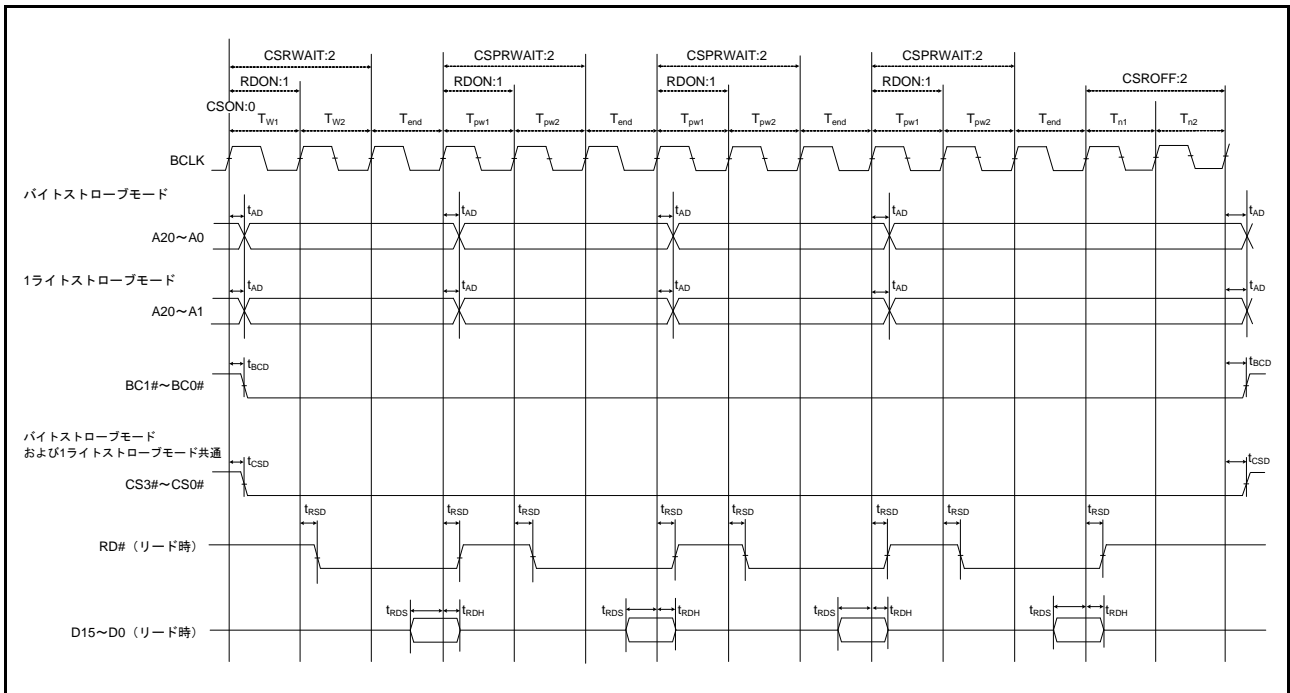


図 45.21 外部バスタイミング / ページリードサイクル (バスクロック同期)

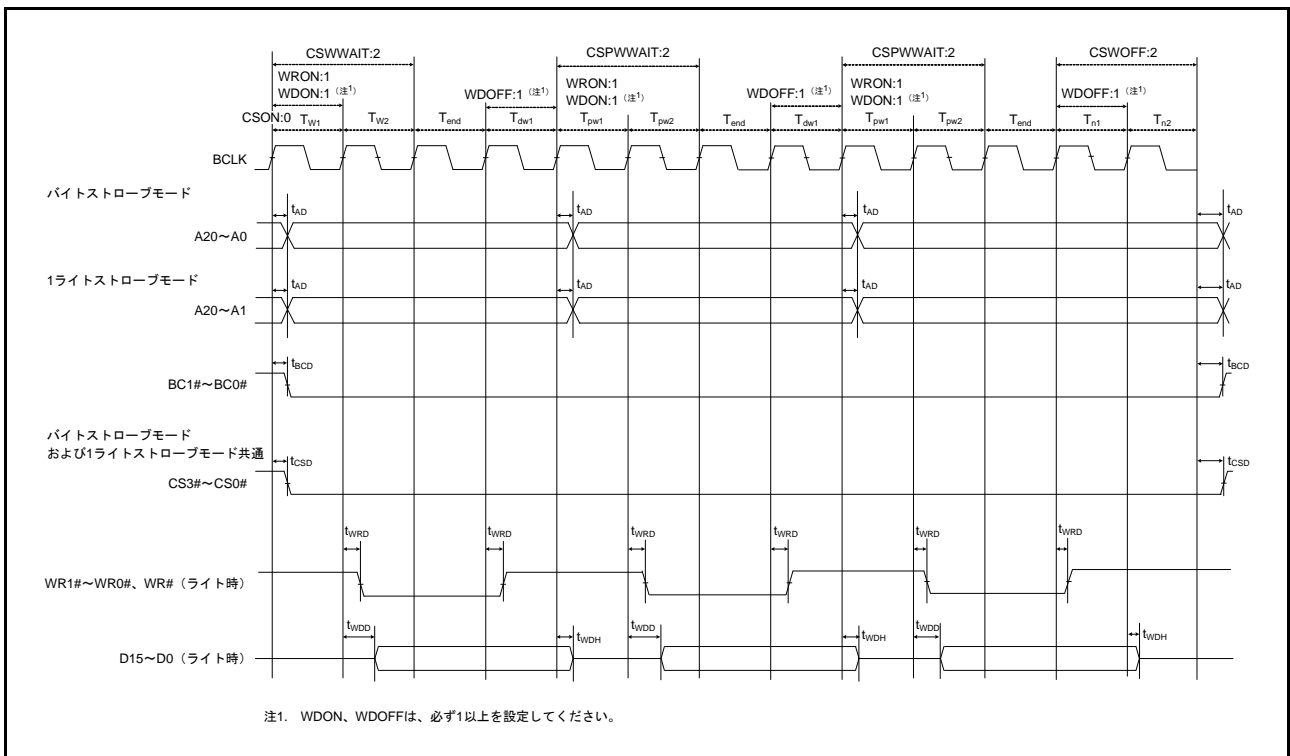


図 45.22 外部バスタイミング / ページライトサイクル (バスクロック同期)

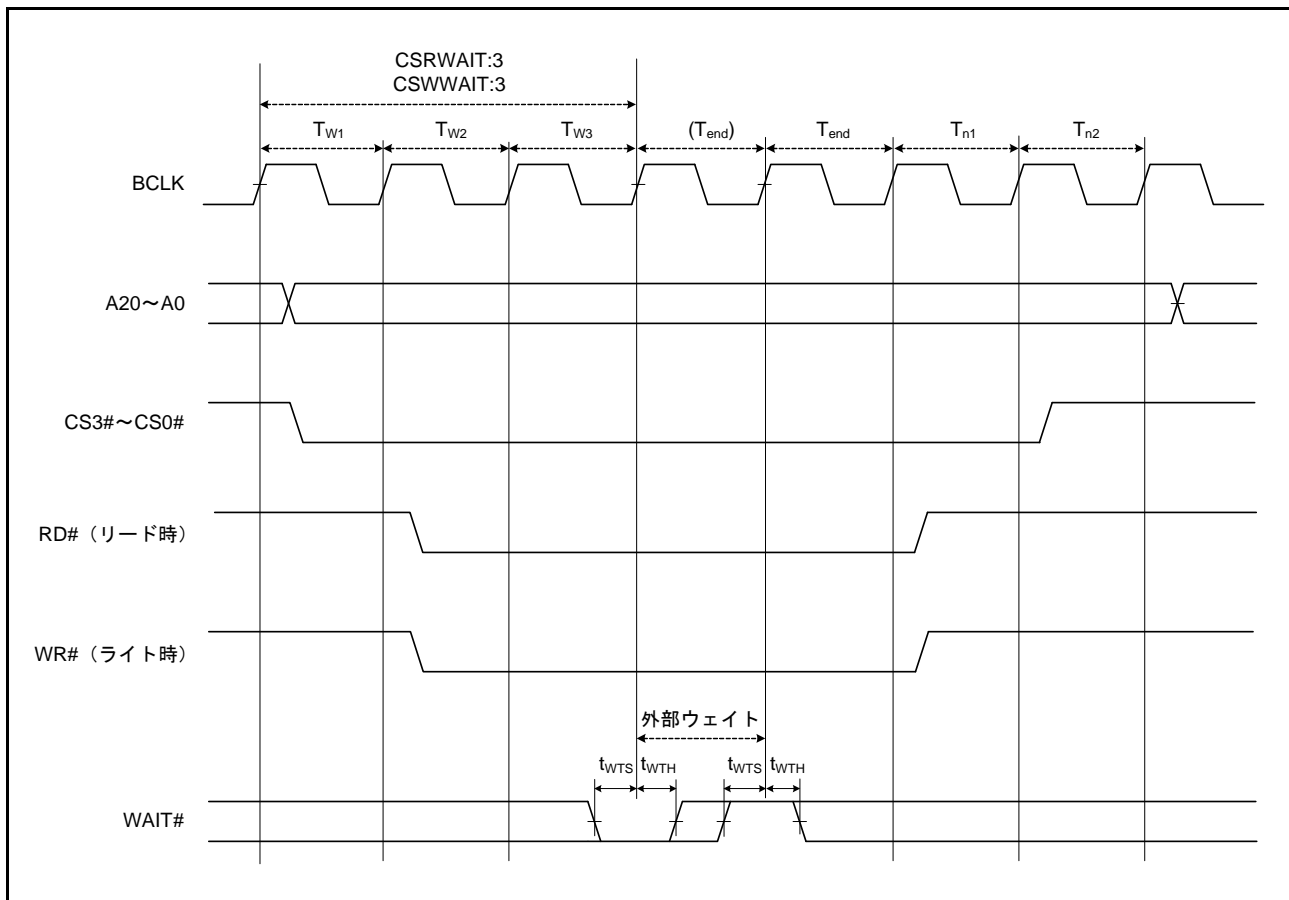


図 45.23 外部バスタイミング / 外部ウェイト制御

45.4.6 内蔵周辺モジュールタイミング

45.4.6.1 I/Oポート

表 45.27 I/Oポートタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$, $V_{SS} = AV_{SS0} = 0V$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位 (注1)	測定条件
I/Oポート 入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図 45.24

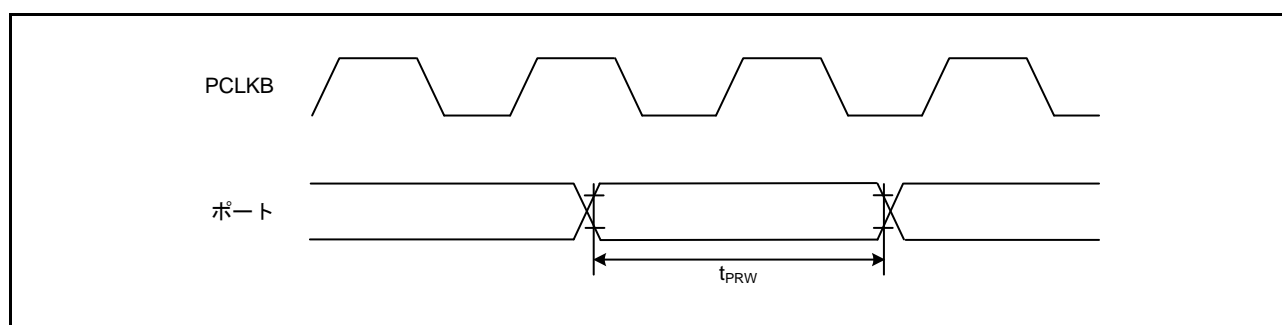
注1. t_{PBcyc} : PCLKBの周期

図 45.24 I/Oポート入力タイミング

45.4.6.2 TMR

表 45.28 TMR タイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	1.5	—	t_{PBcyc}	図 45.25
		両エッジ指定	2.5	—		

注1. t_{PBcyc} : PCLKBの周期

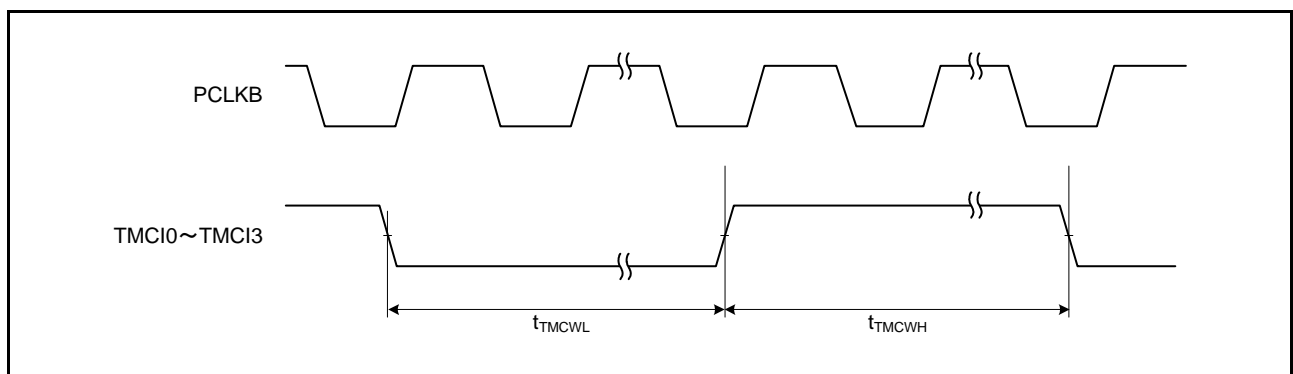


図 45.25 TMR クロック入力タイミング

45.4.6.3 CMTW

表 45.29 CMTW タイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
CMTW	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{PBcyc}	図 45.26
		両エッジ指定	2.5	—		

注1. t_{PBcyc} : PCLKBの周期

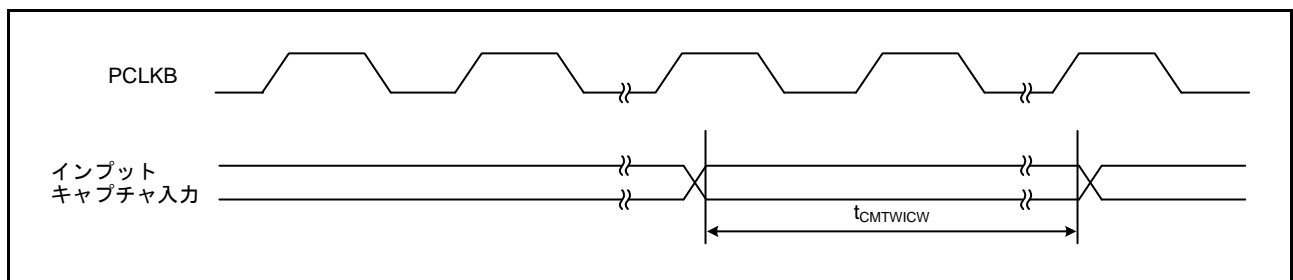


図 45.26 CMTW インプットキャプチャ入力タイミング

45.4.6.4 MTU

表 45.30 MTU タイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{PAcyc}	図 45.27	
		両エッジ指定					
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH} , t_{MTCKWL}	1.5	—	t_{PAcyc}	図 45.28
		両エッジ指定					
		位相計数モード					

注1. t_{PAcyc} : PCLKAの周期

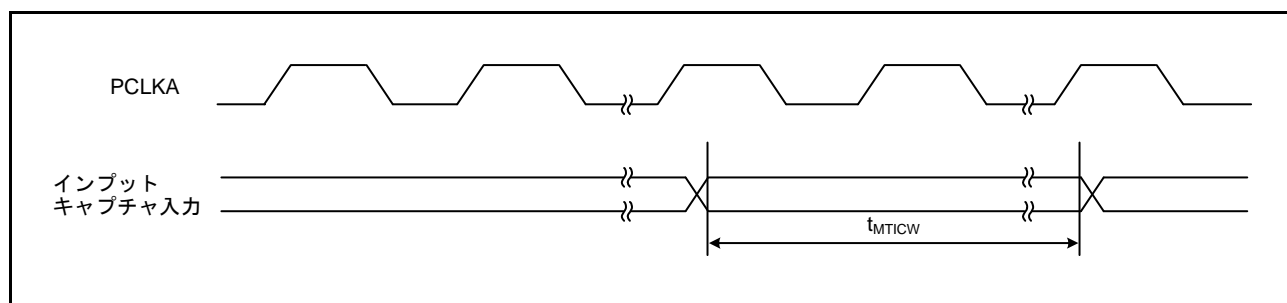


図 45.27 MTU インプットキャプチャ入力タイミング

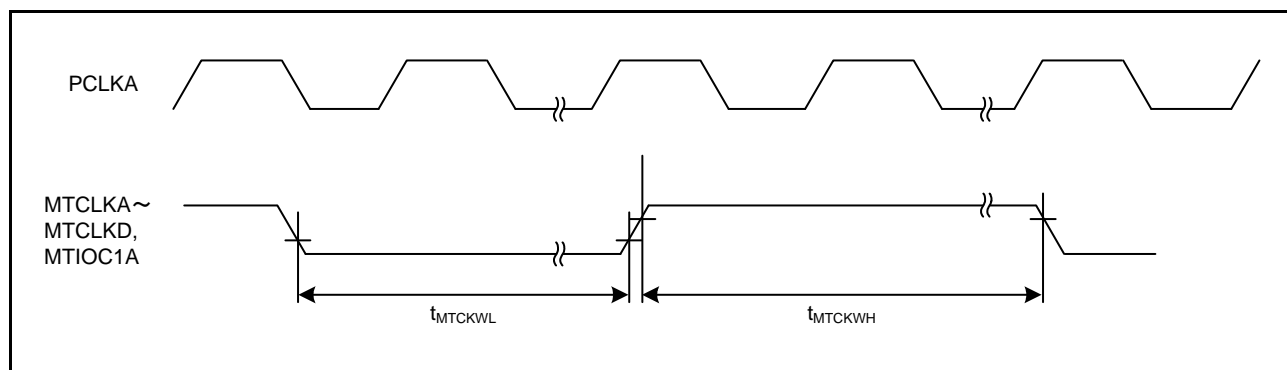


図 45.28 MTU クロック入力タイミング

45.4.6.5 POE3

表 45.31 POE3 タイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	typ	max	単位 (注1)	測定条件	
POE	POEn# 入力パルス幅 (n = 0, 4, 8, 10, 11)	t_{POEW}	1.5	—	—	t_{PBcyc}	図 45.29	
	出力ディセーブル時間	POEn# 端子の変化	t_{POEDI}	—	—	$5 PCLKB + 0.24$	μs	図 45.30 立ち下がりエッジ検出時 (ICSRm.POEnM[3:0] = 0000b (m = 1~5, n = 0, 4, 8, 10, 11))
		出力端子の短絡	t_{POEDO}	—	—	$3 PCLKB + 0.2$	μs	図 45.31
		レジスタ設定	t_{POEDS}	—	—	$1 PCLKB + 0.2$	μs	図 45.32 レジスタアクセス時間は除く
		発振停止検出	t_{POEDOS}	—	—	21	μs	図 45.33

注1. t_{PBcyc} : PCLKBの周期

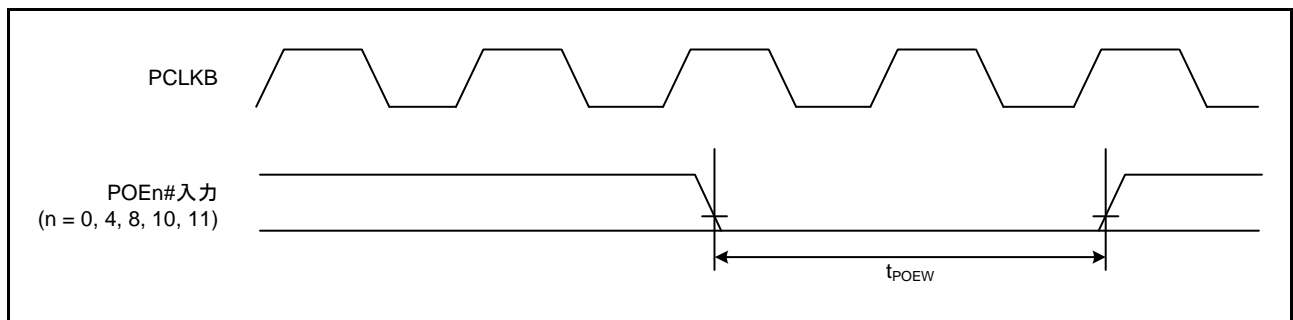


図 45.29 POE# 端子入力タイミング

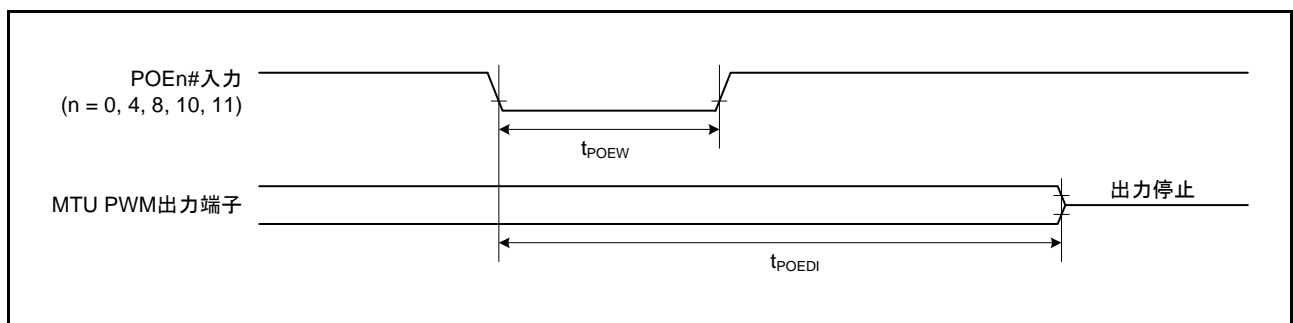


図 45.30 POE 出力ディセーブル時間 (POEn# 端子の変化)

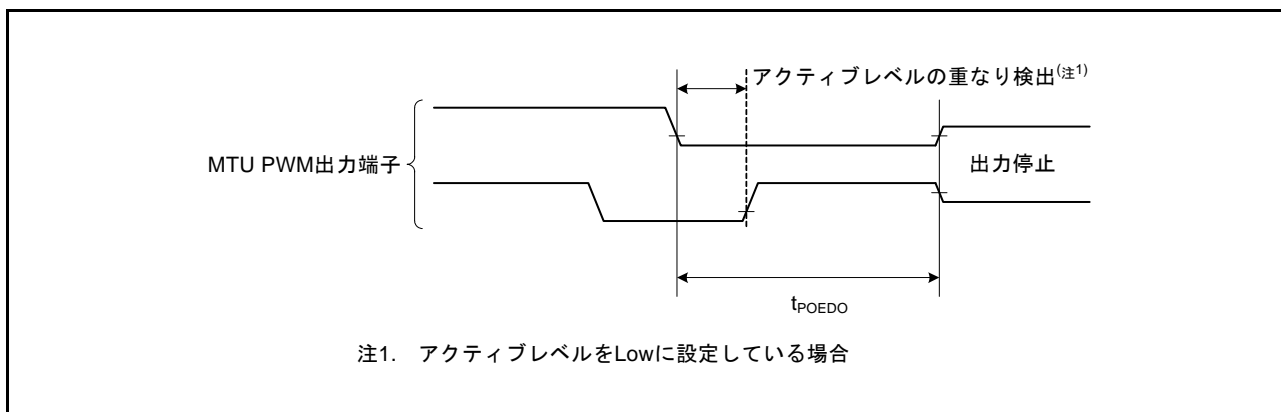


図 45.31 POE 出力ディセーブル時間 (出力端子の短絡)

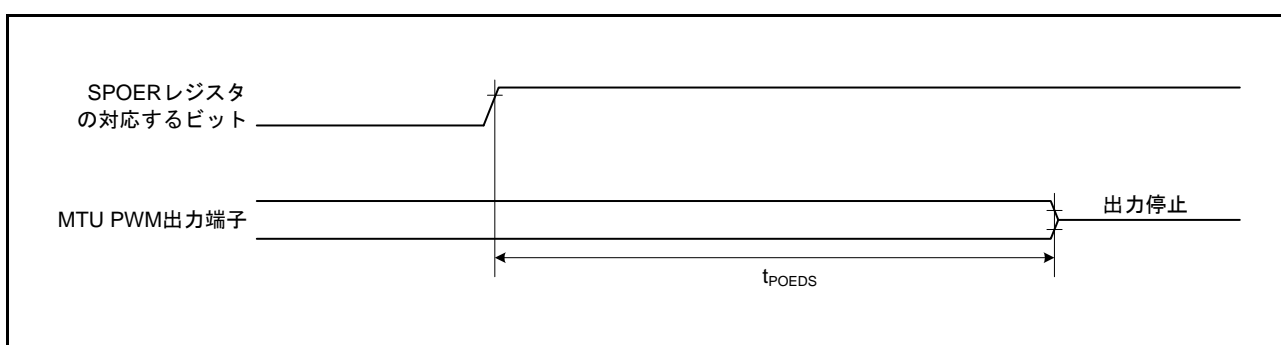


図 45.32 POE 出力ディセーブル時間 (レジスタ設定)

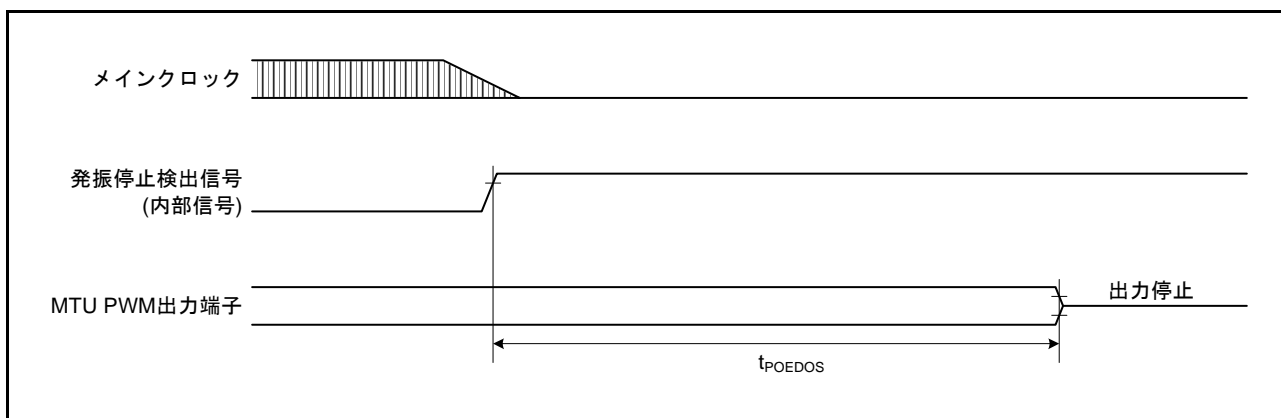


図 45.33 POE 出力ディセーブル時間 (発振停止検出)

45.4.6.6 A/Dコンバータトリガ

表 45.32 A/Dコンバータトリガタイミング

条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V,
PCLKA = 8~120MHz, PCLKB = 8~60MHz, $T_a = T_{opr}$,
出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図 45.34

注1. t_{PBcyc} : PCLKBの周期

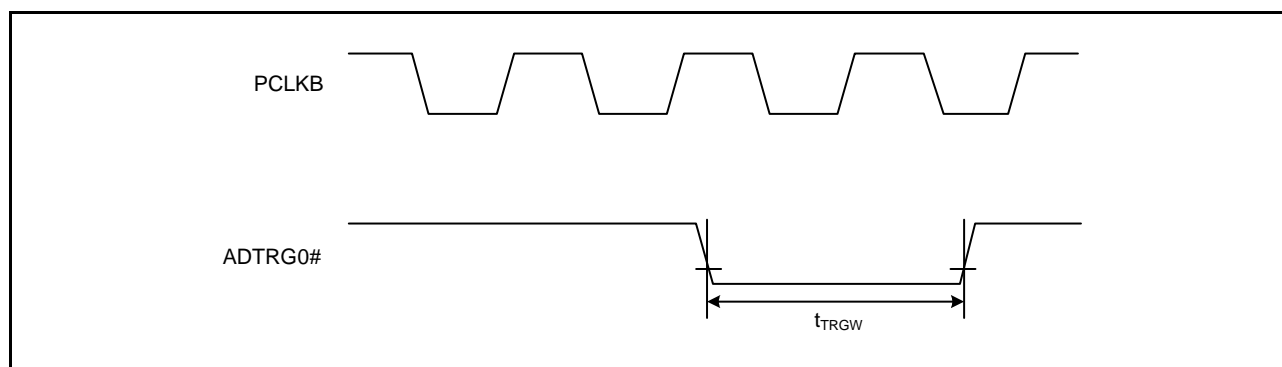


図 45.34 A/Dコンバータトリガ入力タイミング

45.4.6.7 CAC

表 45.33 CACタイミング

条件：VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V,
PCLKA = 8~120MHz, PCLKB = 8~60MHz, $T_a = T_{opr}$,
出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目 (注1、注2)		記号	min (注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	t_{CACREF}	$t_{PBcyc} \leq t_{cac}$	$4.5t_{cac} + 3t_{PBcyc}$	—	ns
			$t_{PBcyc} > t_{cac}$	$5t_{cac} + 6.5t_{PBcyc}$	—	

注1. t_{PBcyc} : PCLKBの周期

注2. t_{CAC} : CACカウントクロックソースの周期

45.4.6.8 SCI

表 45.34 SCIk, SCIlh, SCIm タイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = 3.0 ~ 5.5V,

VSS = AVSS0 = 0V,

PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件			
SCIk, SCIlh	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PBcyc}	図 45.35		
		クロック同期		6	—				
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	入力クロック立ち上がり時間		t _{SCKr}	—	5	ns			
	入力クロック立ち下がり時間		t _{SCKf}	—	5	ns			
	出力クロックサイクル	調歩同期 (SCIk)	t _{Scyc}	6	—	t _{PBcyc}			
		調歩同期 (SCIlh)		8	—				
		クロック同期		4	—				
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	出力クロック立ち上がり時間		t _{SCKr}	—	5	ns			
	出力クロック立ち下がり時間		t _{SCKf}	—	5	ns			
	送信データ遅延時間	クロック同期	t _{TXD}	—	28	ns		VCC ≥ 4.5V	図 45.36
—				33	VCC < 4.5V				
受信データセットアップ時間	クロック同期	t _{RXS}	15	—	ns	図 45.36			
受信データホールド時間	クロック同期	t _{RXH}	5	—	ns				
SCIm	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PAcyc}	図 45.35		
		クロック同期		6	—				
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	入力クロック立ち上がり時間		t _{SCKr}	—	5	ns			
	入力クロック立ち下がり時間		t _{SCKf}	—	5	ns			
	出力クロックサイクル	調歩同期	t _{Scyc}	6	—	t _{PAcyc}			
		クロック同期		4	—				
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	出力クロック立ち上がり時間		t _{SCKr}	—	5	ns			
	出力クロック立ち下がり時間		t _{SCKf}	—	5	ns			
	送信データ遅延時間	マスタ	t _{TXD}	—	15	ns		VCC ≥ 4.5V	図 45.36
				—	20			VCC < 4.5V	
スレーブ		—		28	VCC ≥ 4.5V				
		—		33	VCC < 4.5V				
受信データセットアップ時間	クロック同期	t _{RXS}	20	—	ns	図 45.36			
受信データホールド時間	クロック同期	t _{RXH}	5	—	ns				

注1. t_{PBcyc} : PCLKBの周期、t_{PAcyc} : PCLKAの周期

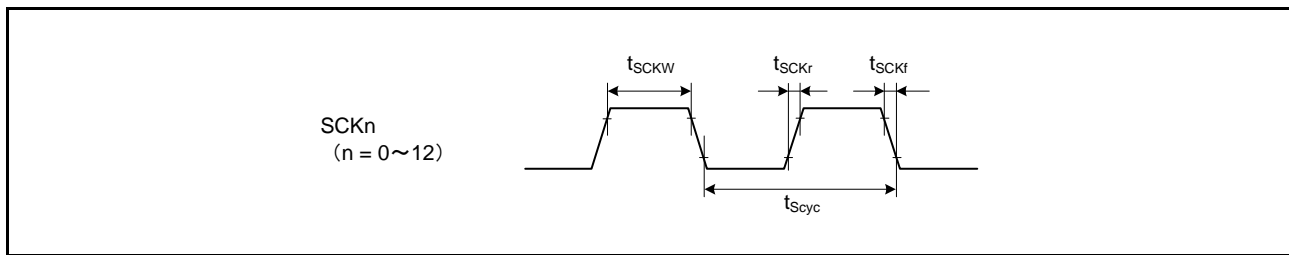


図 45.35 SCK クロック入力タイミング

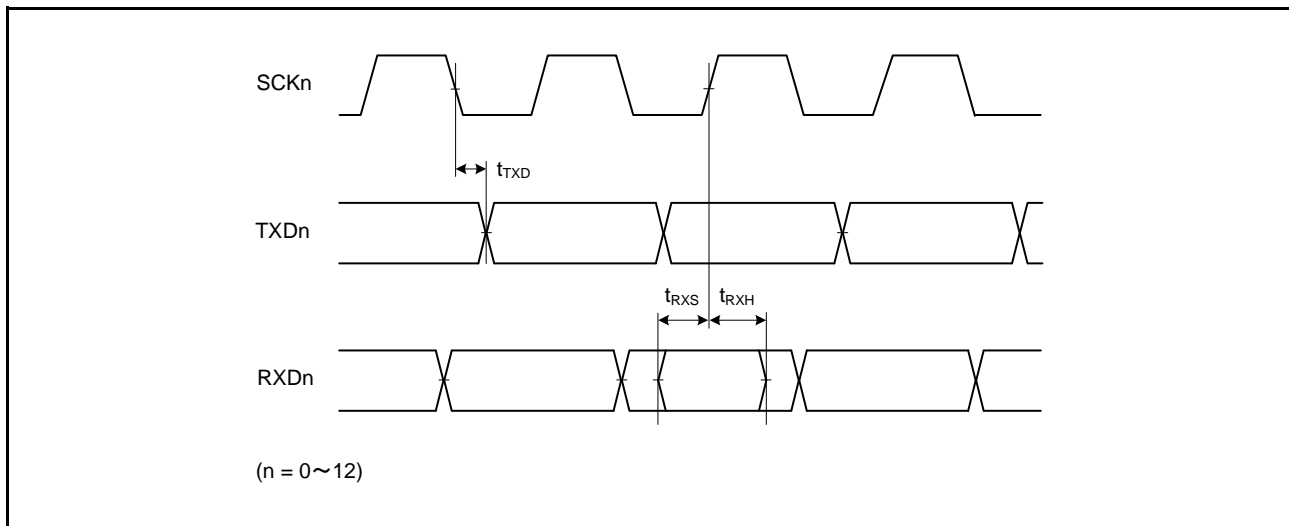


図 45.36 SCI 入出力タイミング/クロック同期式モード

表 45.35 簡易IIC タイミング

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz, T_a = T_{opr},
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件	
簡易IIC (Standard-mode)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	1000	ns	図 45.37
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データ入カセットアップ時間	t _{SDAS}	250	—	ns	
	データ入カホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C _b (注1)	—	400	pF	
簡易IIC (Fast-mode)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	300	ns	
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データ入カセットアップ時間	t _{SDAS}	100	—	ns	
	データ入カホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C _b (注1)	—	400	pF	

注. t_{Pcyc} : SCI10、SCI11 ではPCLKAの周期を示します。SCI0 ~ SCI9、SCI12 ではPCLKBの周期を示します。
 注1. C_bはバスラインの容量総計です。

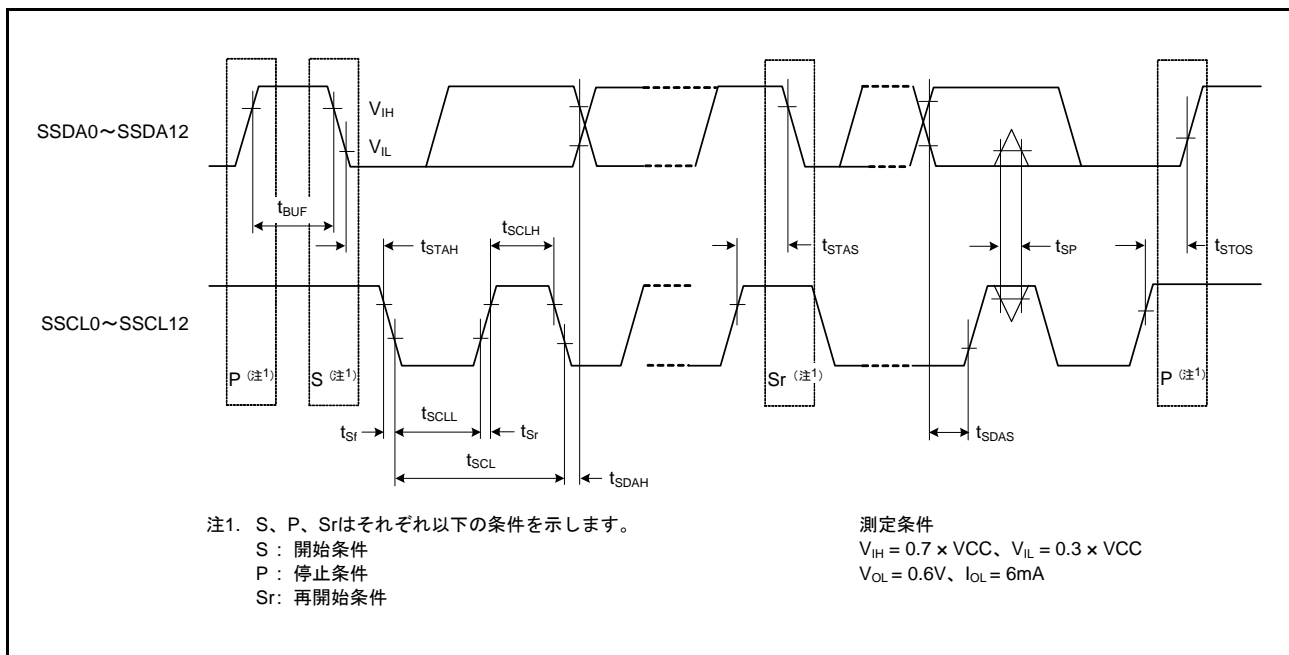


図 45.37 簡易IIC バスインタフェース入出力タイミング

表 45.36 簡易SPIタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
簡易SPI	SCKクロックサイクル出力(マスタ)	t_{SPCyc}	4	—	t_{PCyc}	図 45.38 図 45.39 ~ 図 45.42
	SCKクロックサイクル入力(スレーブ)		6	—		
	SCKクロック Highパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}	
	SCKクロック Lowパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPCyc}	
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS入力セットアップ時間	t_{LEAD}	1	—	t_{SPCyc}	
	SS入力ホールド時間	t_{LAG}	1	—	t_{SPCyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	16.6	ns	
	SS入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{PCyc}	
スレーブ出力開放時間	t_{REL}	—	5	t_{PCyc}		

注. t_{PCyc} : SCI10、SCI11 ではPCLKAの周期を示します。SCI0 ~ SCI9、SCI12 ではPCLKBの周期を示します。

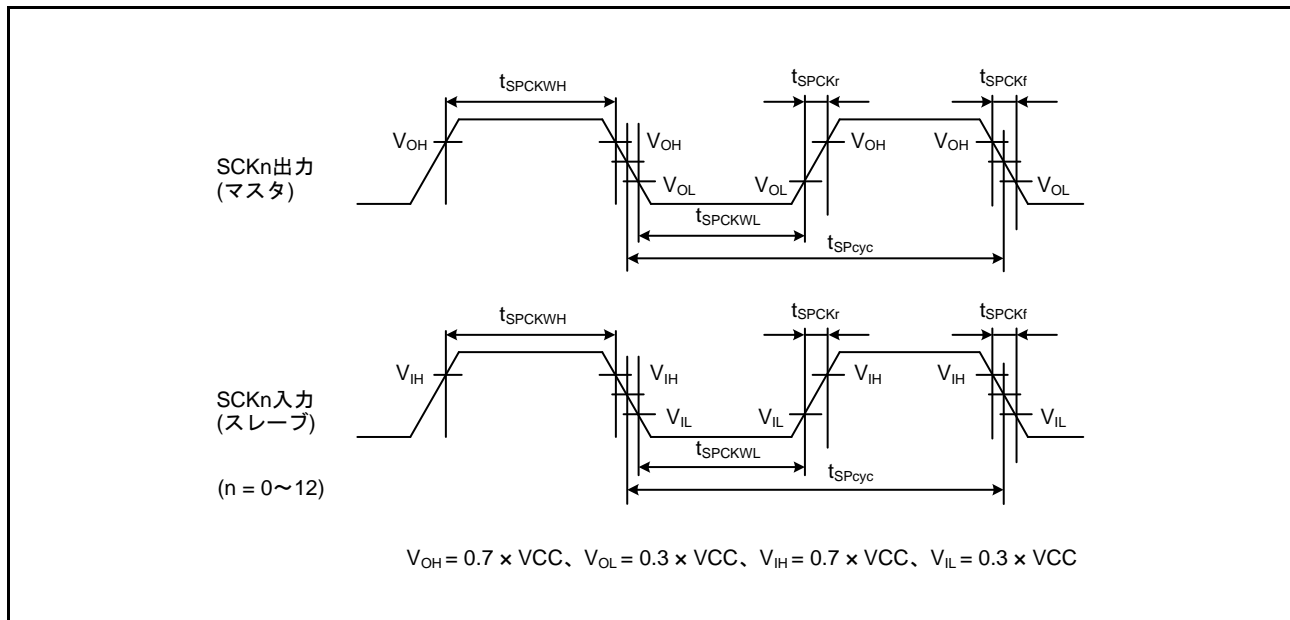


図 45.38 簡易SPIクロックタイミング

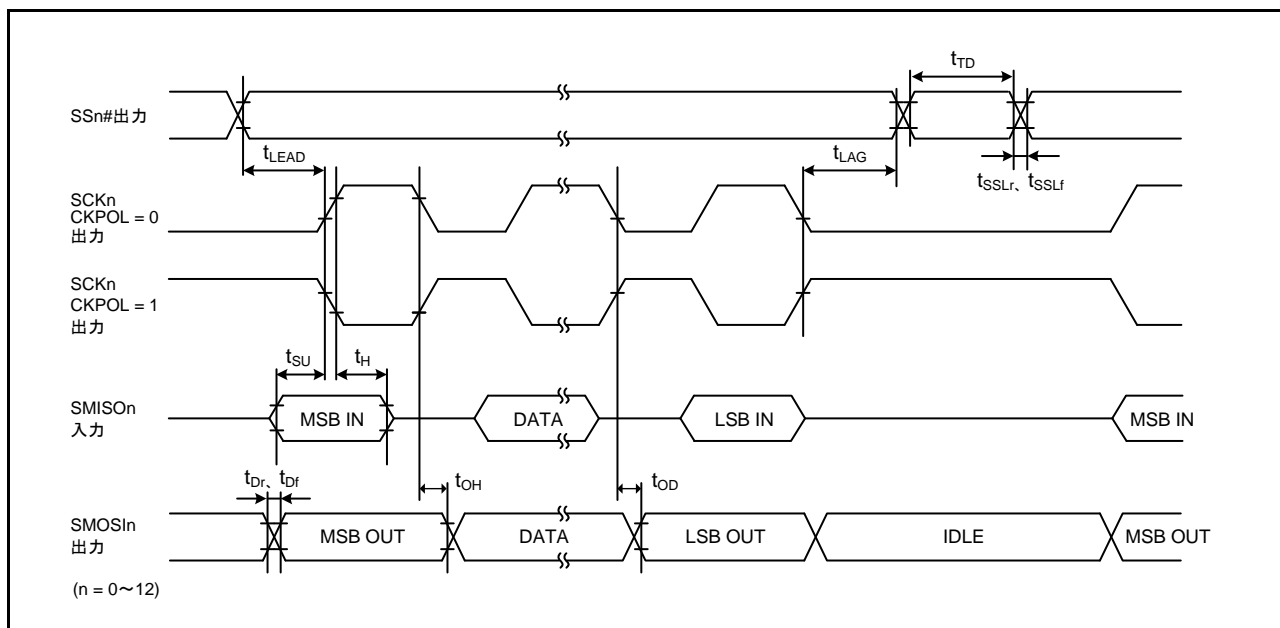


図 45.39 簡易 SPI タイミング (マスタ、CKPH = 1)

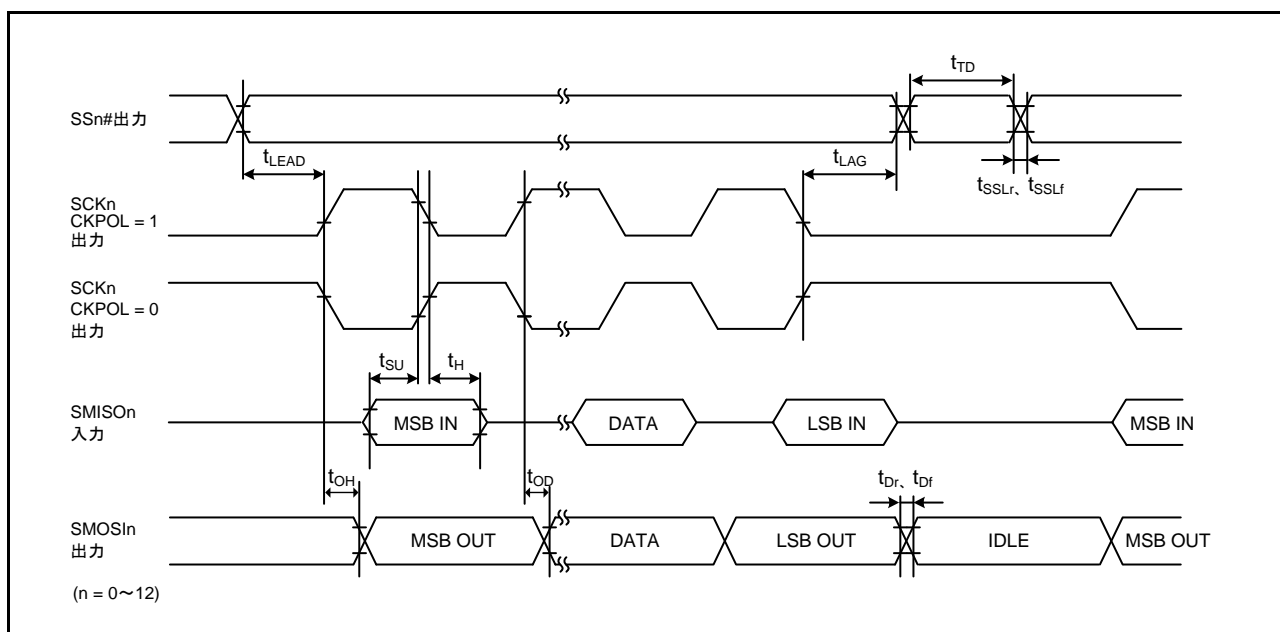


図 45.40 簡易 SPI タイミング (マスタ、CKPH = 0)

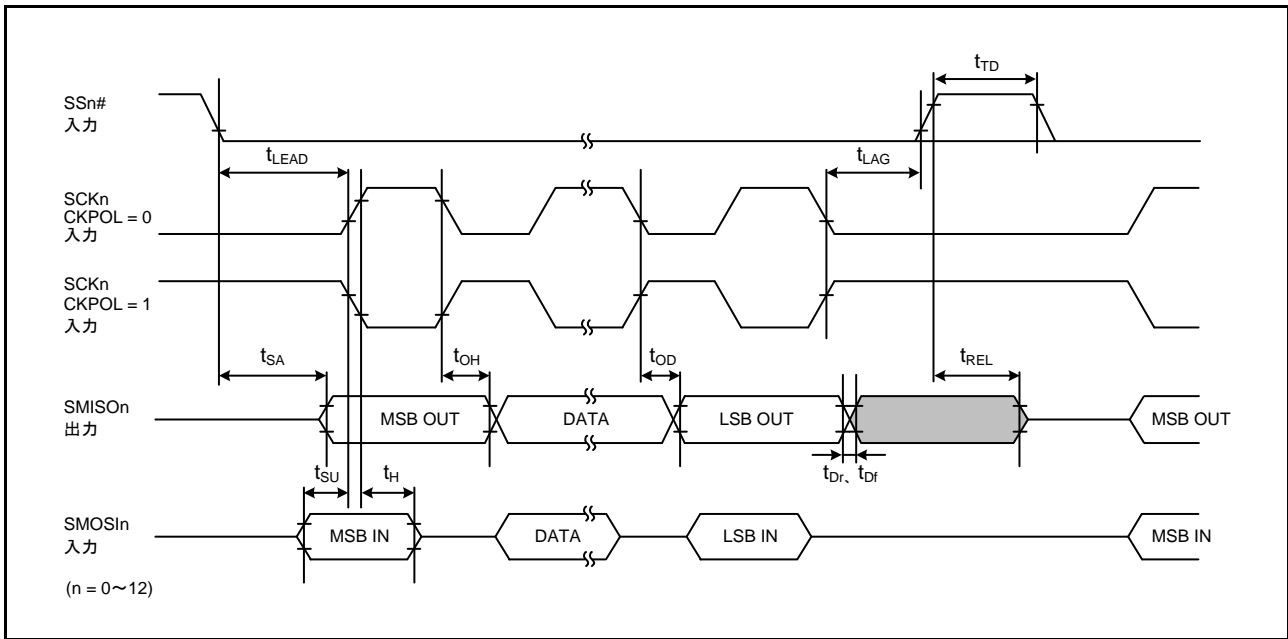


図 45.41 簡易 SPI タイミング (スレーブ、CKPH = 1)

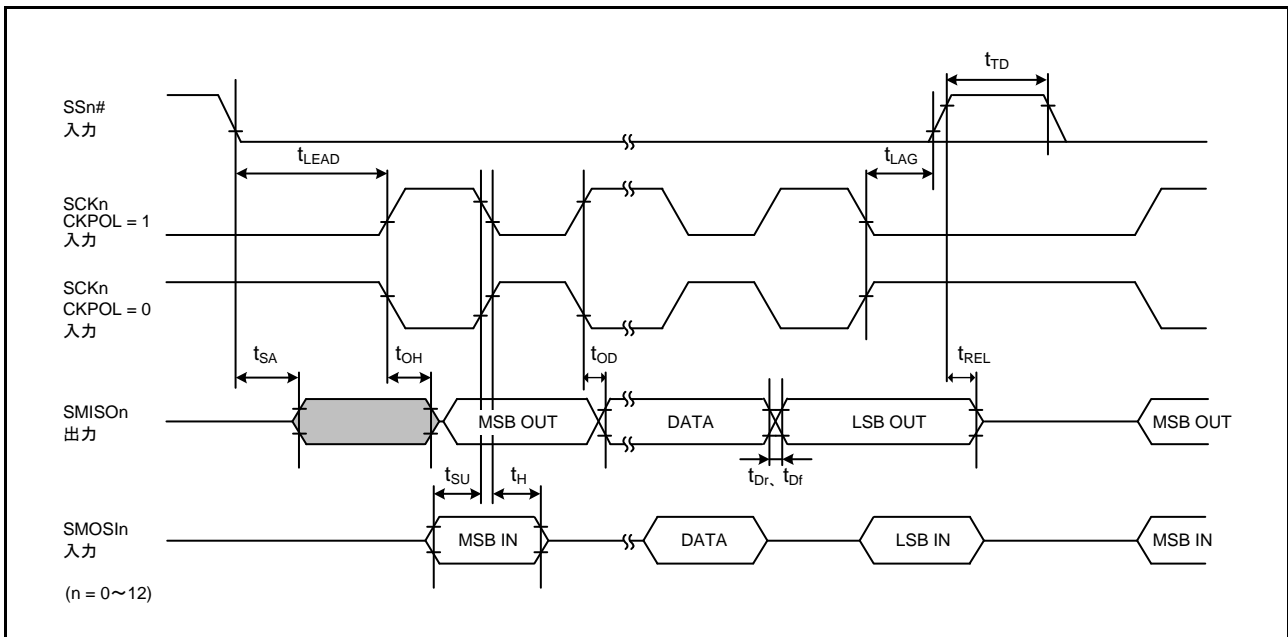


図 45.42 簡易 SPI タイミング (スレーブ、CKPH = 0)

45.4.6.9 RSCI

表 45.37 RSCI タイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = 3.0 ~ 5.5V,
 VSS = AVSS0 = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件			
RSCI	入カクロックサイクル	調歩同期	t _{Sycy}	4	—	t _{pAcyc}	図 45.43		
		クロック同期		2	—				
	入カクロックパルス幅		t _{SCKW}	0.4	0.6	t _{Sycy}			
	入カクロック立ち上がり時間		t _{SCKr}	—	5	ns			
	入カクロック立ち下がり時間		t _{SCKf}	—	5	ns			
	出カクロックサイクル	調歩同期	t _{Sycy}	6	—	t _{pAcyc}			
		クロック同期		2	—				
	出カクロックパルス幅		t _{SCKW}	0.4	0.6	t _{Sycy}			
	出カクロック立ち上がり時間		t _{SCKr}	—	5	ns			
	出カクロック立ち下がり時間		t _{SCKf}	—	5	ns			
	受信データセットアップ時間	マスタ	t _{RXS}	-1.5	—	ns		VCC ≥ 4.5V	図 45.44
		スレーブ		3.5	—			VCC < 4.5V	
受信データホールド時間	マスタ	t _{RXH}	11	—	ns	図 45.44			
	スレーブ		2.5	—					
送信データ遅延時間	マスタ	t _{TXD}	—	4	ns	図 45.44			
			—	17					
			—	22					

注1. t_{pAcyc} : PCLKAの周期、t_{Sycy} : SCKの周期

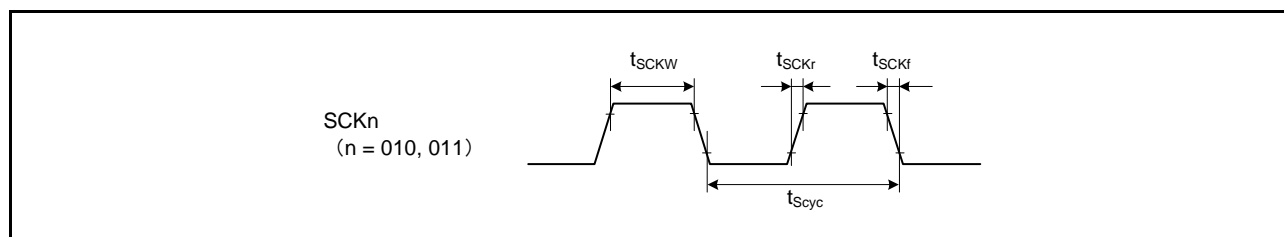


図 45.43 SCK クロック入カタイミング

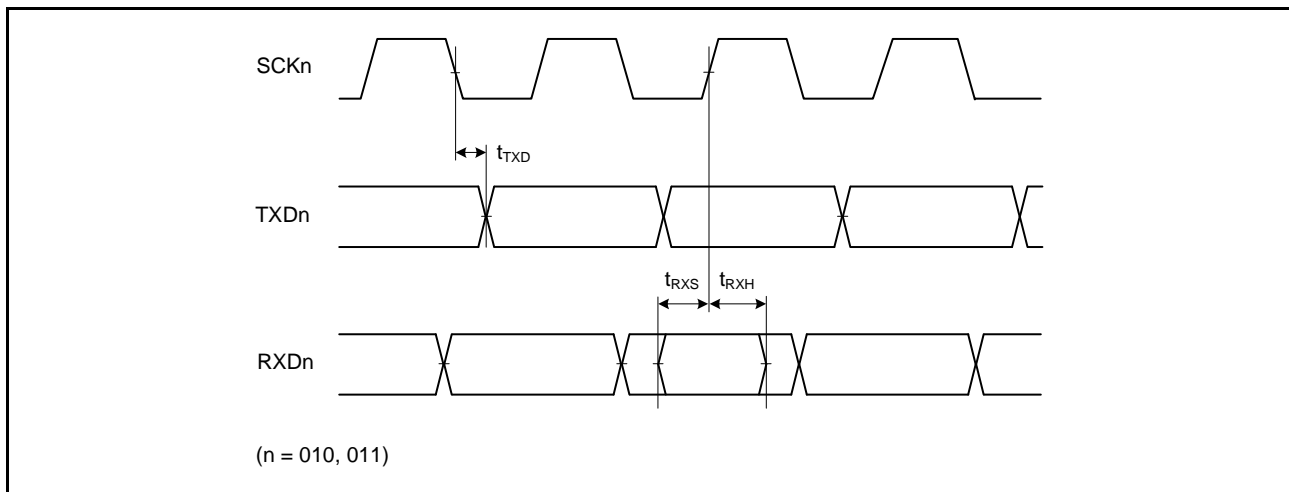


図 45.44 RSCI 入出力タイミング/クロック同期式モード

表 45.38 簡易IICタイミング

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
 VSS = AVSS0 = 0V,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz, T_a = T_{opr},
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件	
簡易IIC (Standard-mode)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	1000	ns	図 45.45
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{PAcyc}	ns	
	データ入力セットアップ時間	t _{SDAS}	250	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C _b (注1)	—	400	pF	
簡易IIC (Fast-mode)	SSCL、SSDA入力立ち上がり時間	t _{Sr}	—	300	ns	図 45.45
	SSCL、SSDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{PAcyc}	ns	
	データ入力セットアップ時間	t _{SDAS}	100	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C _b (注1)	—	400	pF	

注. t_{PAcyc} : PCLKAの周期
 注1. C_bはバスラインの容量総計です。

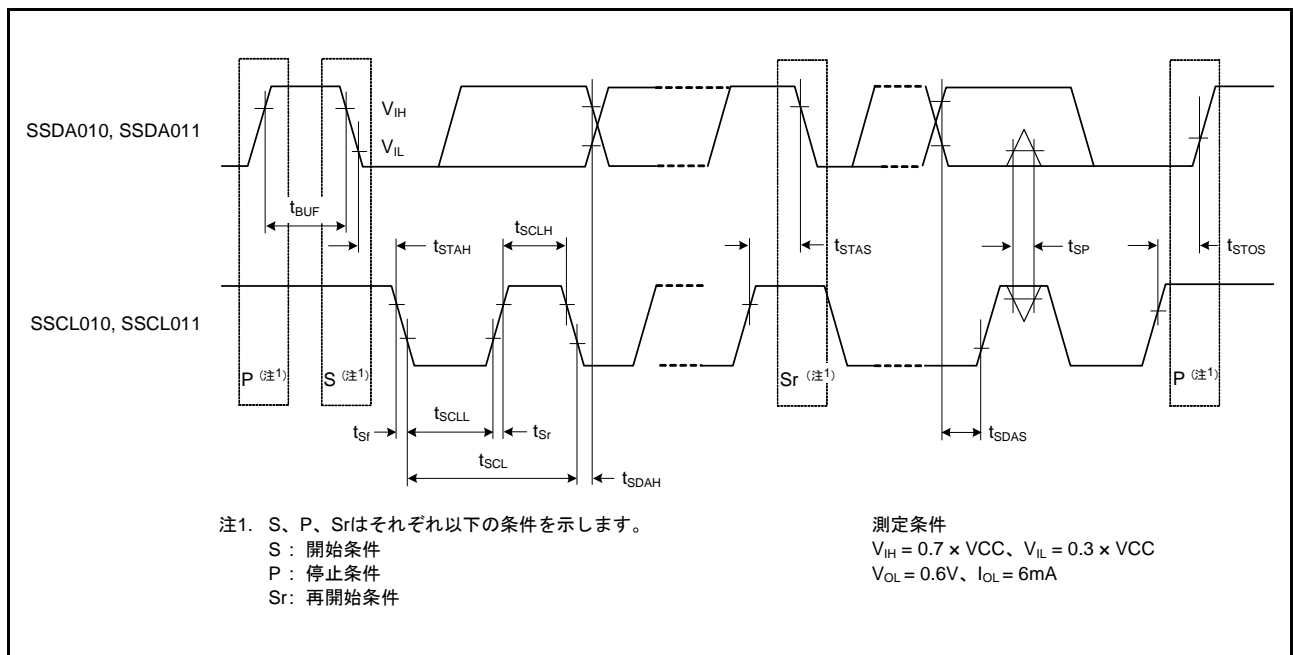


図 45.45 簡易 IIC バスインタフェース入出力タイミング

表 45.39 簡易SPIタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
簡易SPI	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	2	—	t_{PAcyc}	図 45.46		
	SCKクロックサイクル入力(スレーブ)		2	—				
	SCKクロックHighパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}			
	SCKクロックLowパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}			
	SCKクロック立ち上がり/ 立ち下がり時間	出力	t_{SPCKr} , t_{SPCKf}	—	5		ns	
		入力		—	1		μs	
	データ入力セットアップ時間	マスタ	t_{SU}	0.5	—		ns	図 45.47 ~ 図 45.50
		スレーブ		2.5	—			
	データ入力ホールド時間	マスタ	t_H	11	—		ns	—
		スレーブ		2.5	—			
	データ出力遅延時間	マスタ	t_{OD}	—	4		ns	図 45.47 ~ 図 45.50
				—	17			$V_{CC} \geq 4.5V$ 図 45.47 ~ 図 45.50
—				22	$V_{CC} < 4.5V$			
データ出力ホールド時間	マスタ	t_{OH}	-1	—	ns	図 45.47 ~ 図 45.50		
	スレーブ		0	—				
データ立ち上がり/立ち下がり時間	出力	t_{Dr} , t_{Df}	—	5	ns	—		
	入力		—	1			μs	
スレーブアクセス時間		t_{SA}	—	5	t_{PAcyc}	図 45.49、図 45.50		
スレーブ出力開放時間		t_{REL}	—	5	t_{PAcyc}	—		
SS入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}	図 45.47 ~ 図 45.50		
SS入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}	—		
SS入力立ち上がり/立ち下がり時間		t_{SSLr} , t_{SSLf}	—	1	μs	—		

注1. t_{PAcyc} : PCLKAの周期

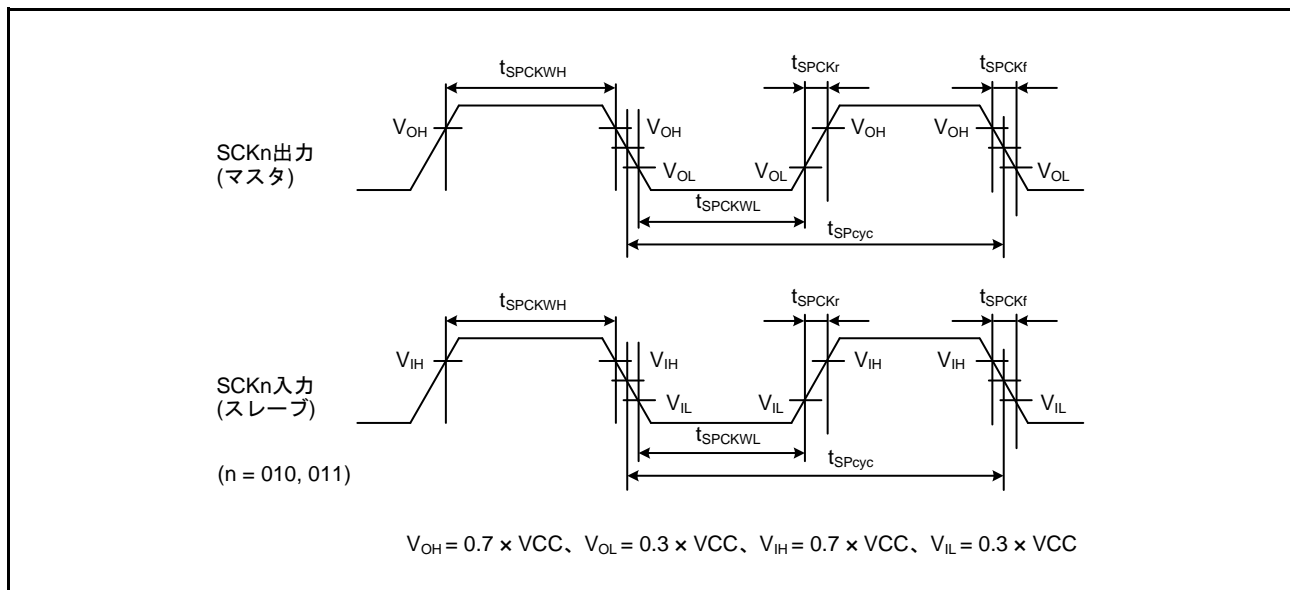


図 45.46 簡易SPIクロックタイミング

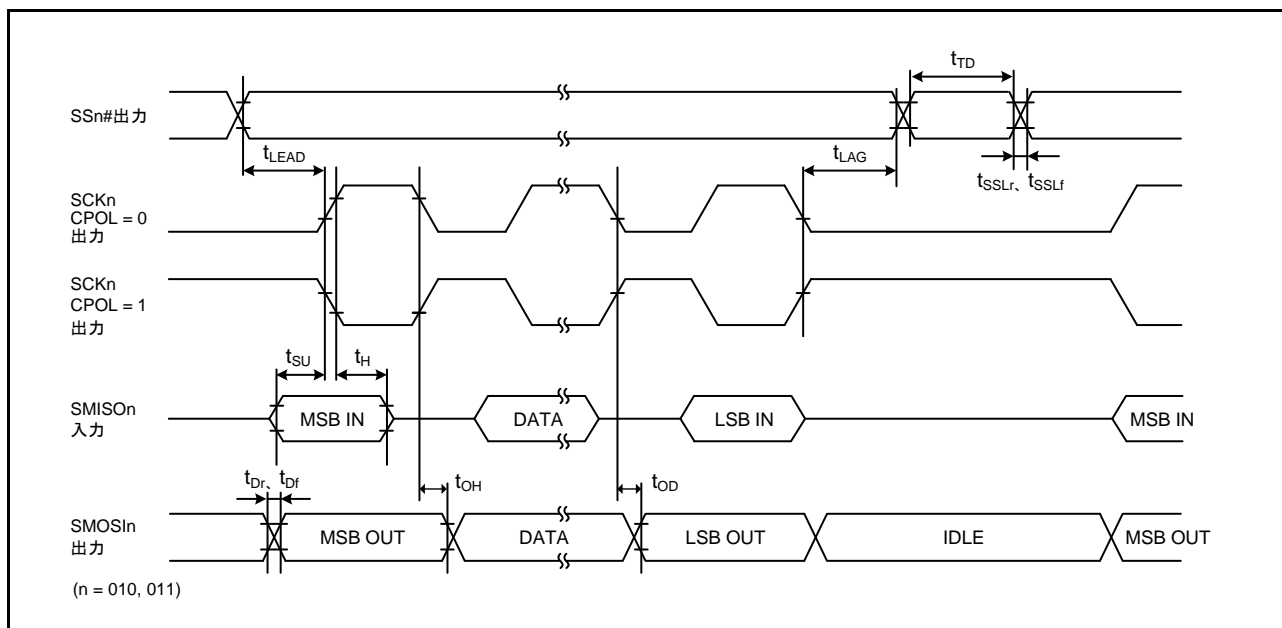


図 45.47 簡易 SPI タイミング (マスタ、CPHA = 0)

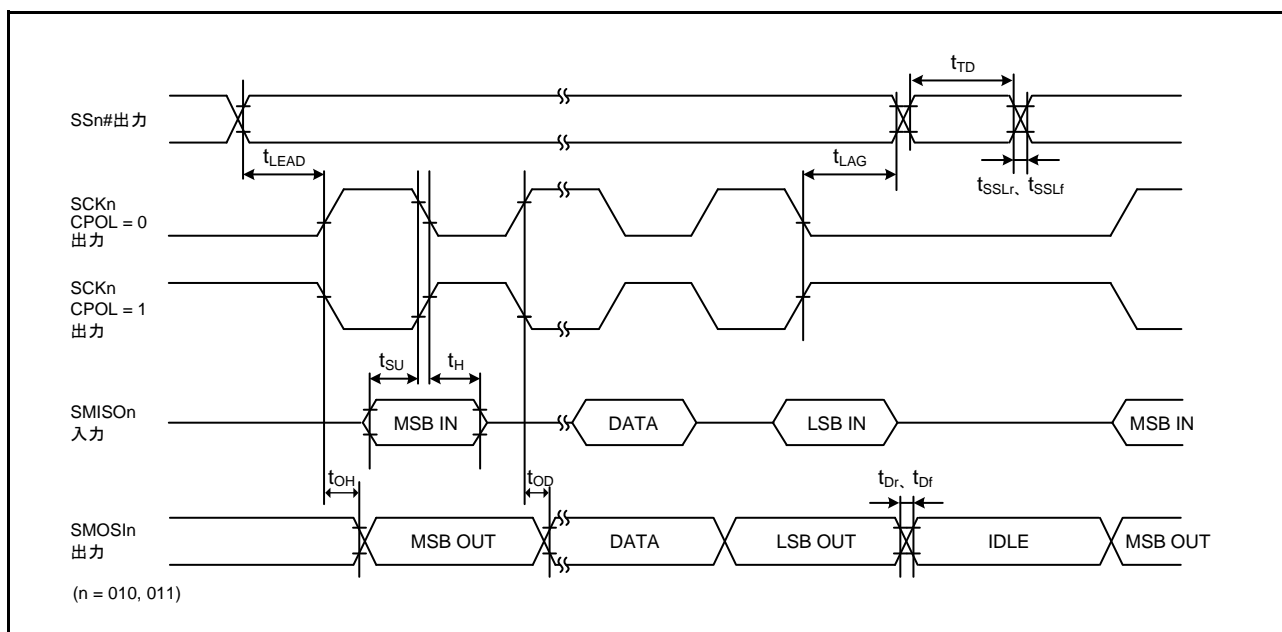


図 45.48 簡易 SPI タイミング (マスタ、CPHA = 1)

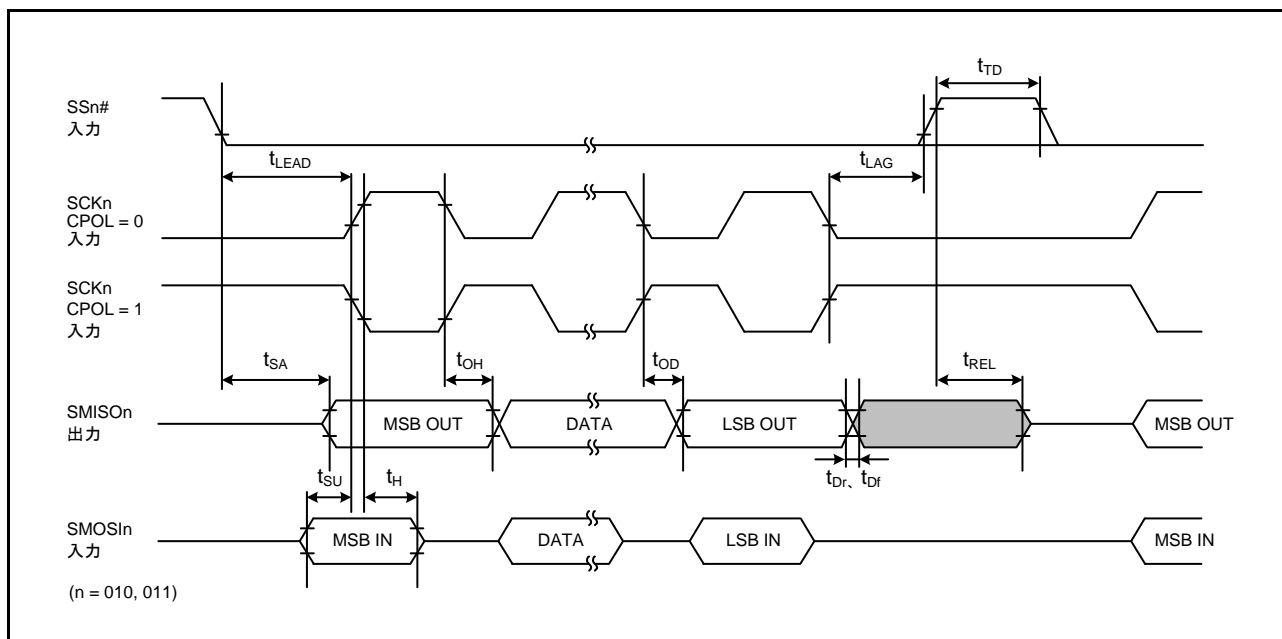


図 45.49 簡易 SPI タイミング (スレーブ、CPHA = 0)

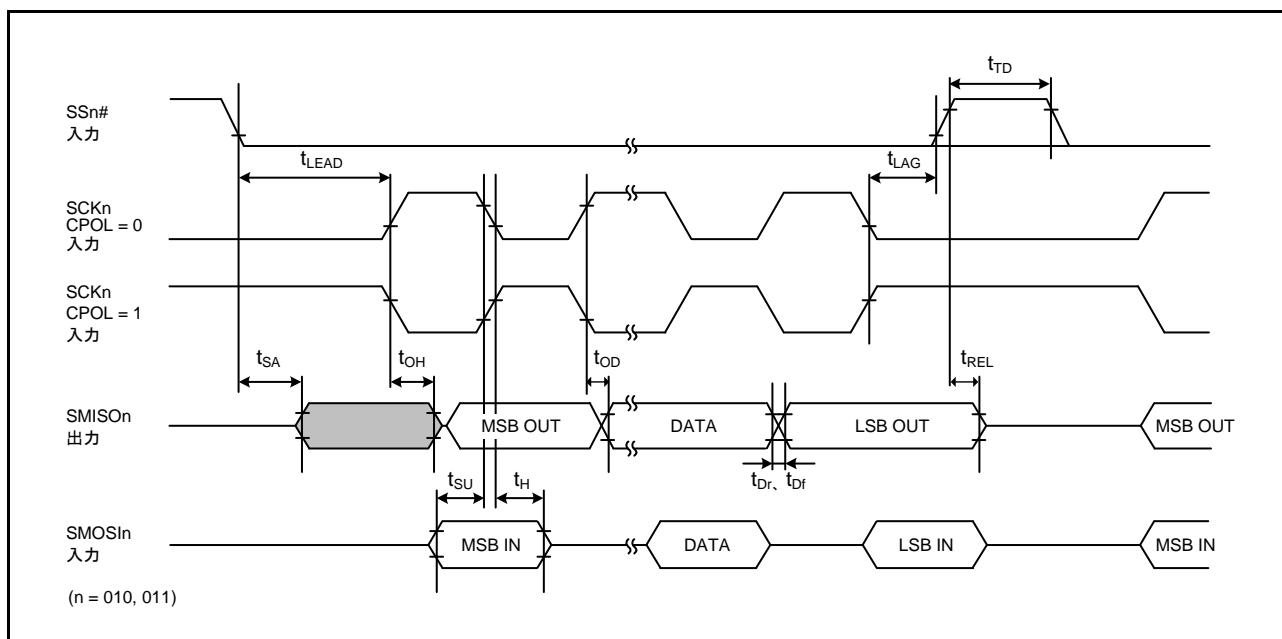


図 45.50 簡易 SPI タイミング (スレーブ、CPHA = 1)

45.4.6.10 RSPI

表 45.40 RSPI タイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = 3.0 ~ 5.5V,
VSS = AVSS0 = 0V,

PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr},

出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件 (注2)						
RSPI	RSPCK クロック サイクル	マスタ	t _{SPcyc}	2	—	t _{PAcyc}	図 45.51					
		スレーブ		4	—							
	RSPCK クロック Highパルス幅	マスタ	t _{SPCKWH}	(t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3	—	ns		VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57				
		スレーブ		0.4	0.6	t _{SPcyc}						
	RSPCK クロック Lowパルス幅	マスタ	t _{SPCKWL}	(t _{SPcyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3	—	ns			図 45.52 ~ 図 45.57			
		スレーブ		0.4	0.6	t _{SPcyc}						
	RSPCK クロック立ち 上がり/立ち下がり時 間	出力	t _{SPCKr}	—	5	ns				VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57		
		入力	t _{SPCKf}	—	1	μs						
	データ入力セット アップ時間	マスタ	t _{SU}	6	—	ns					VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57	
		スレーブ		11	—							
	データ入力ホールド 時間	マ ス タ	PCLKAを2 分周に設定	t _{HF}	0	—	ns					VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57
			PCLKAを2 分周以外に 設定	t _H	t _{PAcyc}	—						
		スレーブ		8.3	—							
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}	VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57					
		スレーブ		4	—	t _{PAcyc}						
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}		VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57				
		スレーブ		4	—	t _{PAcyc}						
	データ出力遅延時間	マスタ		t _{OD}	—	6.3			ns	VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57		
					—	11.3						
		スレーブ		—	28							
データ出力ホールド 時間	マスタ		t _{OH}	—	33	ns			VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57			
				0	—							
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{PAcyc}	8 × t _{SPcyc} + 2 × t _{PAcyc}	ns	VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57						
	スレーブ		4 × t _{PAcyc}	—								
MOSI, MISO立ち上 がり/立ち下がり時 間	出力	t _{Dr} , t _{Df}	—	5	ns		VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57					
	入力		—	1	μs							
SSL立ち上がり/立ち 下がり時間	出力	t _{SSLr}	—	5	ns			VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57				
	入力	t _{SSLf}	—	1	μs							
スレーブアクセス時間		t _{SA}	—	28	ns					VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57		
			—	33								
スレーブ出力開放時間		t _{REL}	—	28	ns				VCC ≥ 4.5V 図 45.52 ~ VCC < 4.5V 図 45.57			
			—	33								

- 注1. t_{PACyc} : PCLKAの周期
 注2. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせ使用することを推奨します。RSPIのAC特性は、各グループ内の端子間で測定しています。

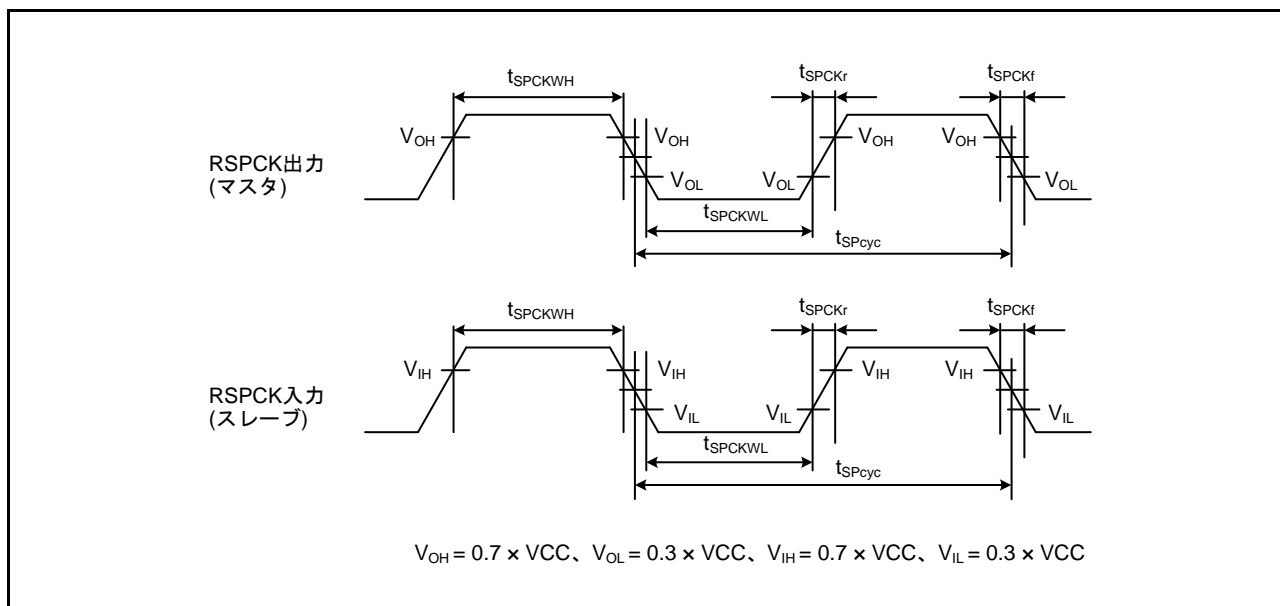


図 45.51 RSPI クロックタイミング

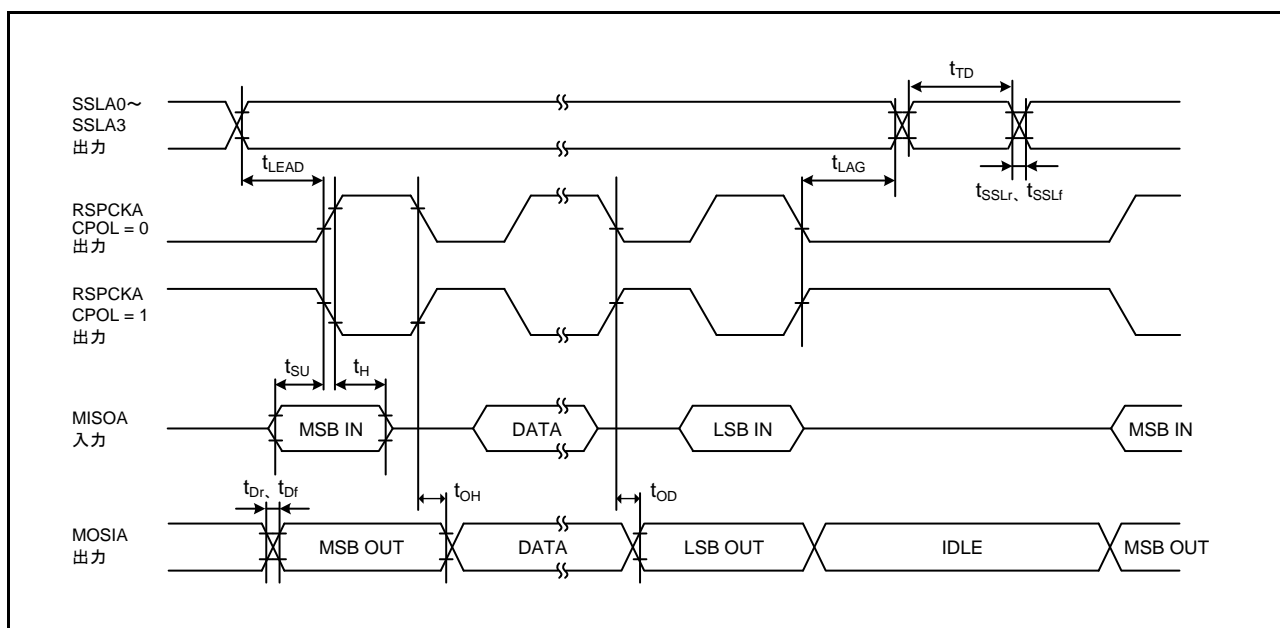


図 45.52 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

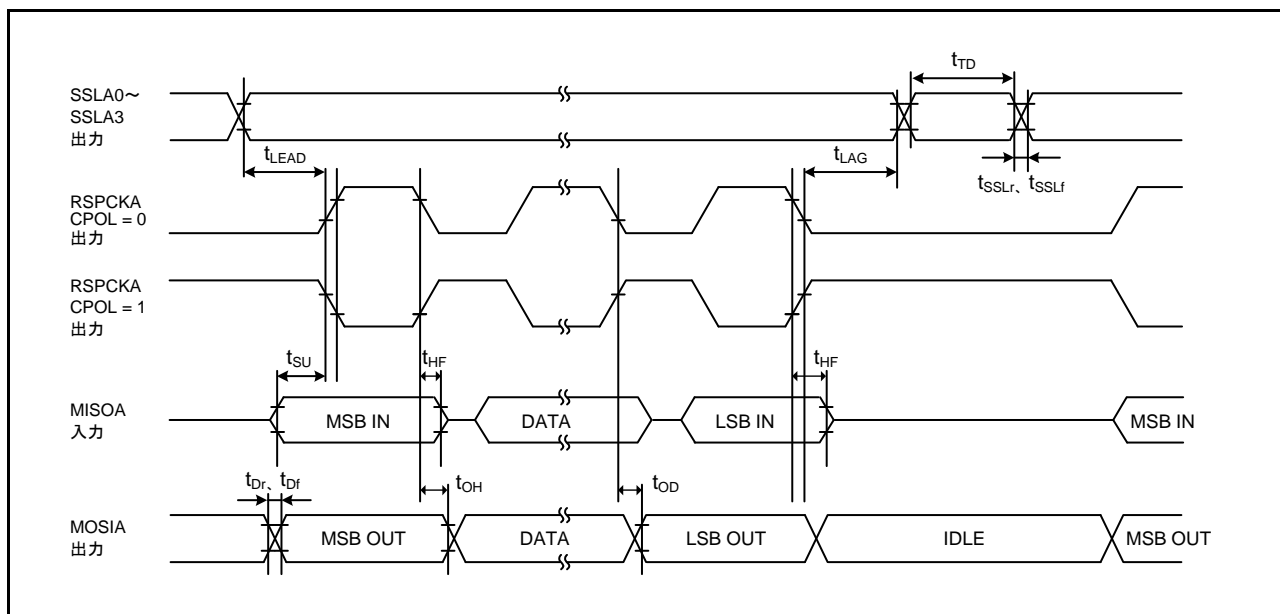


図 45.53 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

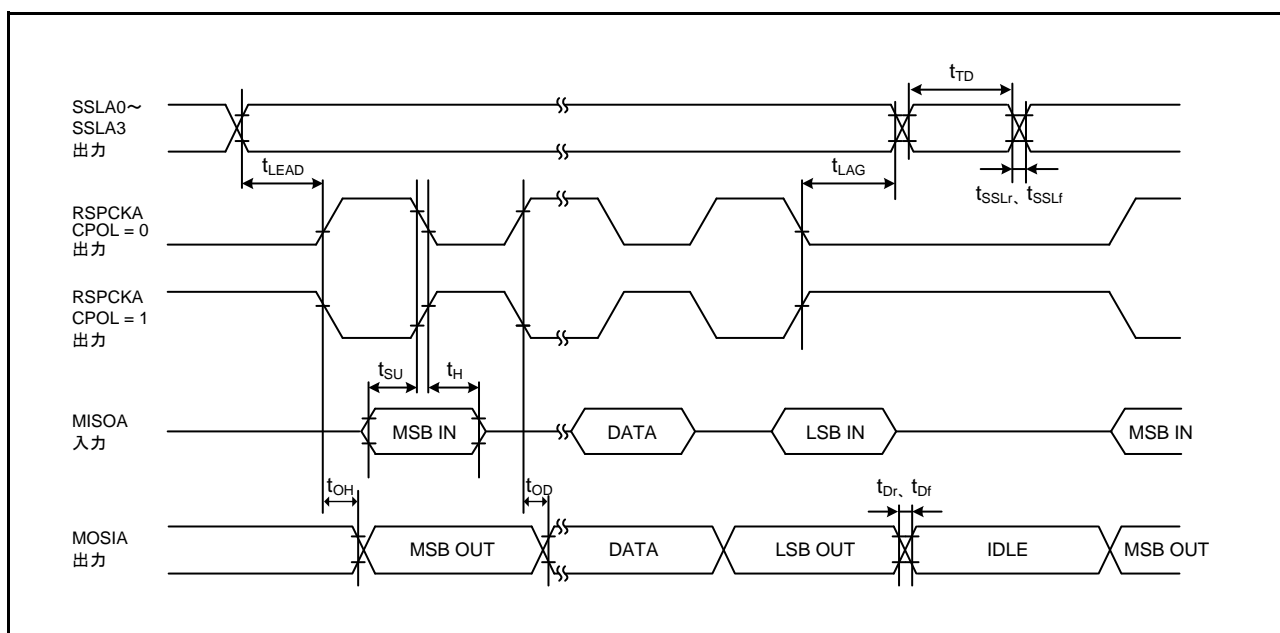


図 45.54 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

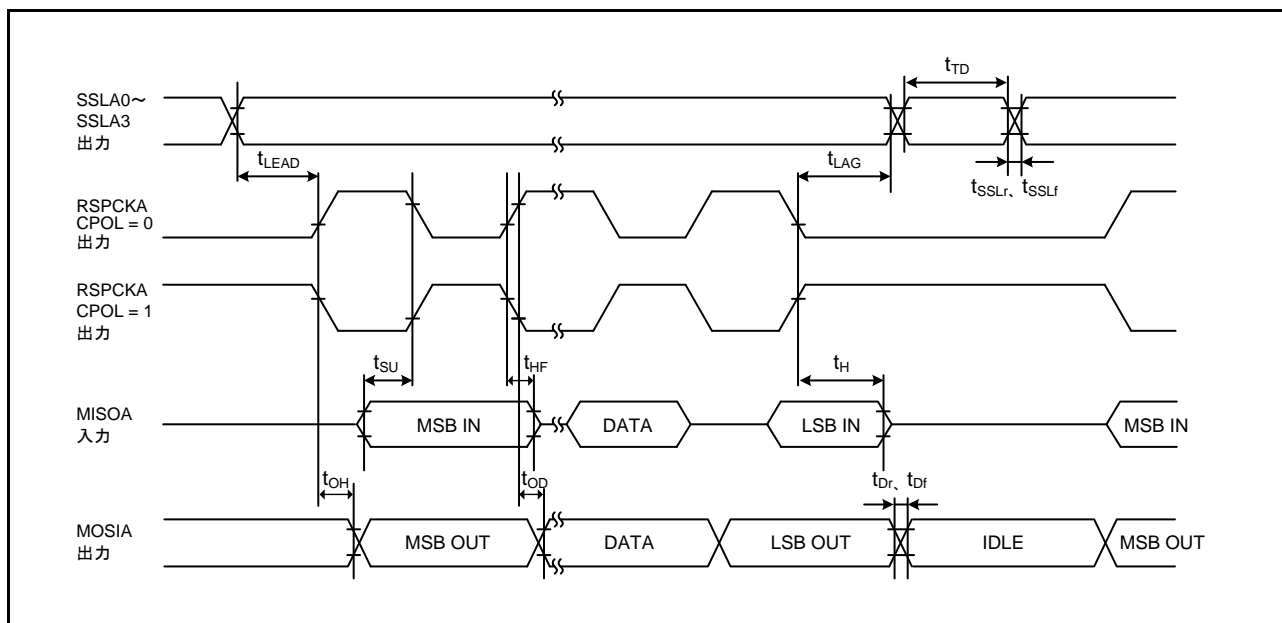


図 45.55 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

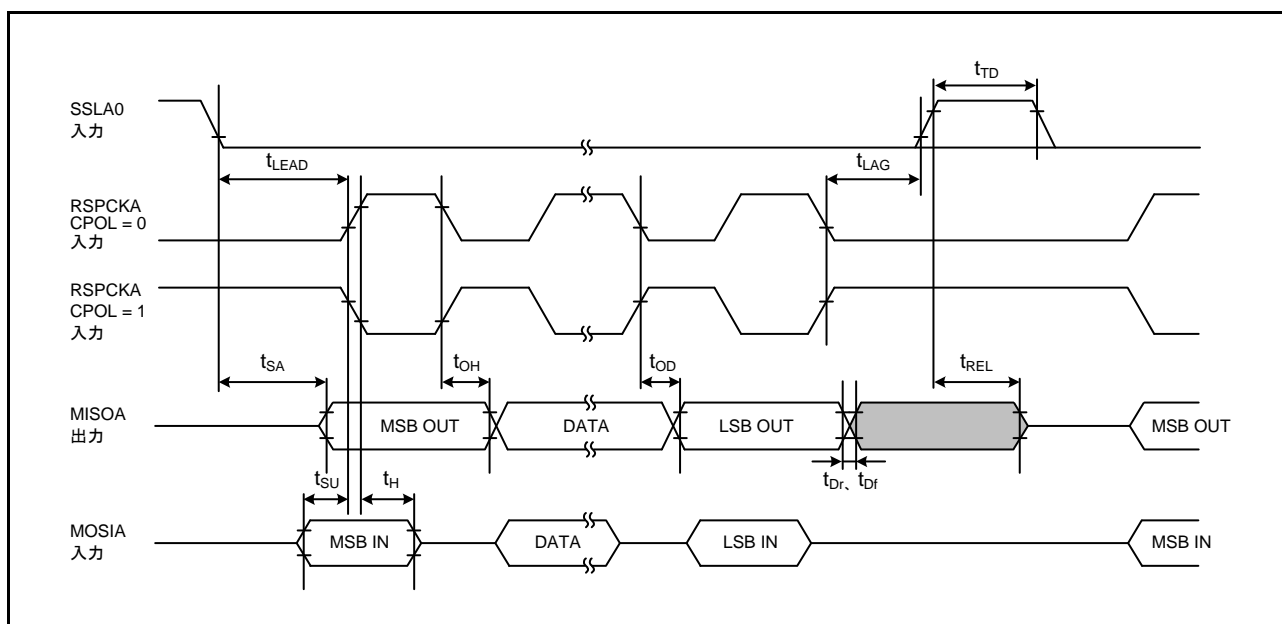


図 45.56 RSPI タイミング (スレーブ、CPHA = 0)

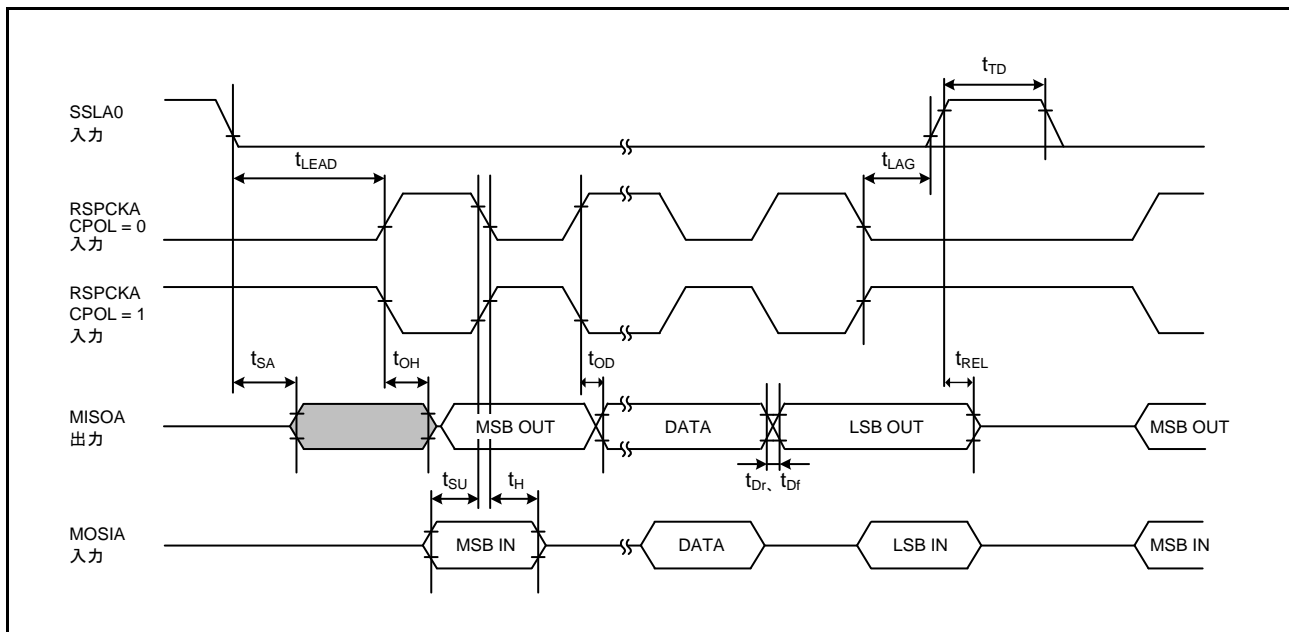


図 45.57 RSPi タイミング (スレーブ、CPHA = 1)

45.4.6.11 RIIC

表 45.41 RIIC タイミング

条件 : $VCC = 2.7 \sim 5.5V$, $AVCC0 = 3.0 \sim 5.5V$, $VSS = AVSS0 = 0V$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目		記号	min (注1)	max	単位	測定条件 (注3)
RIIC (Standard-mode, SMBus)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IIcCyc} + 1300$	—	ns	図 45.58
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IIcCyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b (注2)	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IIcCyc} + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 \times$ (外付け プルアップ電圧 /5.5V)	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 \times$ (外付け プルアップ電圧 /5.5V)	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IIcCyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b (注2)	—	400	pF	

注. t_{IIcCyc} : RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。注3. $VCC \geq 4.5V$ のとき、VOLSR.RICVLS = 0 $VCC < 4.5V$ のとき、VOLSR.RICVLS = 1

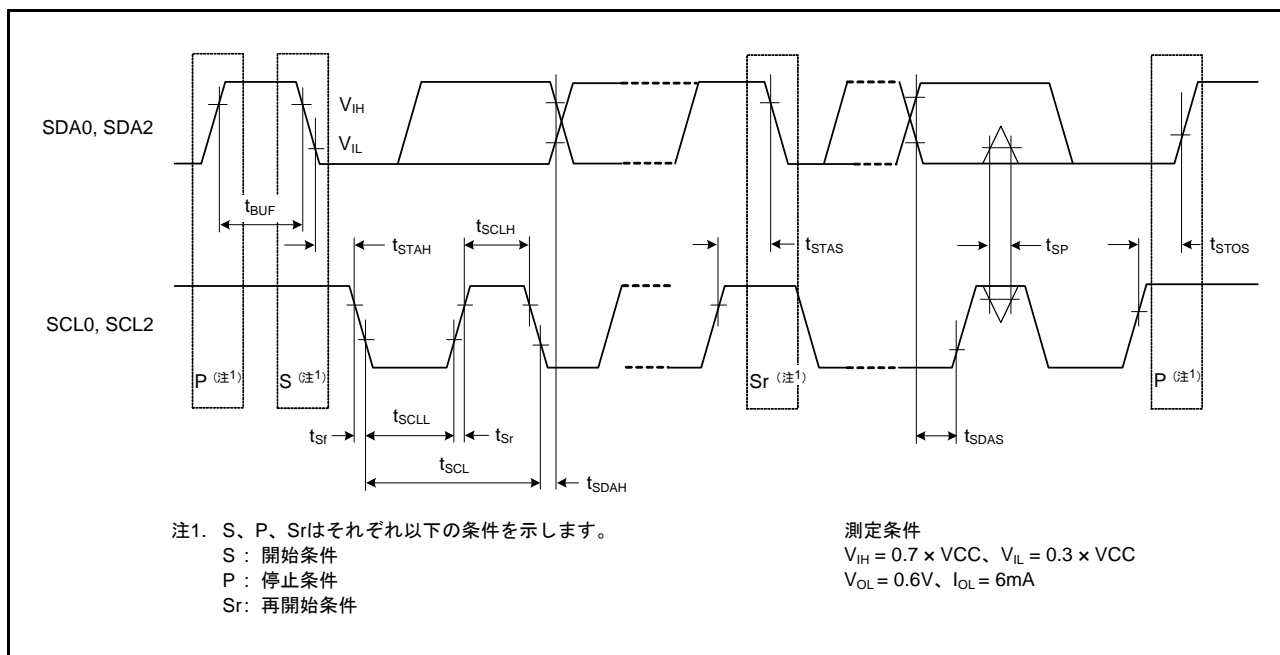


図 45.58 RIIC バスインタフェース入出力タイミング

45.4.6.12 CANFD

表 45.42 CANFD タイミング
 条件 : $VCC = 2.7 \sim 5.5V$ 、 $AVCC0 = 3.0 \sim 5.5V$ 、
 $VSS = AVSS0 = 0V$ 、 $T_a = T_{opr}$

項目		記号	min	max	単位
Classic CANモード	通信レート		—	1	Mbps
	CAN FDモード	通信レート	—	1	
	通信レート(データのみ)		—	5	

45.5 A/D 変換特性

表 45.43 12ビット A/D 変換特性 (1)

条件 : $VCC = 2.7 \sim 5.5V$, $3.0V \leq AVCC0 \leq 5.5V$, $AVCC0 - 1.0 \leq VREFH0 \leq AVCC0$, $3.0V \leq VREFH0$,
 $VSS = AVSS0 = VREFL0 = 0V$, $T_a = T_{opr}$, 信号源インピーダンス = $1.0k\Omega$,
 基準電圧として VREFH0/VREFL0 端子を選択 (ADVREFCR.VREFSEL = 1)

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
アナログ入力容量		—	—	30	pF	
変換時間 (注1) (PCLKD = 60MHz時)	AN000 ~ AN007	0.90 (0.50) (注2)	—	—	μs	サンプリング 30 ステート
	AN008 ~ AN015	0.95 (0.55) (注2)	—	—		サンプリング 33 ステート
	AN017, AN019, AN021, AN023	0.95 (0.55) (注2)	—	—		サンプリング 33 ステート
	AN016, AN018, AN020, AN022	1.05 (0.65) (注2)	—	—		サンプリング 39 ステート
オフセット誤差		—	±1.5	±5.0	LSB	
フルスケール誤差		—	±1.5	±4.5		
量子化誤差		—	±0.5	—		
絶対精度		—	±2.5	±5.5		
DNL 微分非直線性誤差		—	±1.0	±1.5		
INL 積分非直線性誤差		—	±1.5	±2.5		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 45.44 12ビットA/D変換特性(2) (144ピンの製品)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $3.0V \leq AV_{CC0} \leq 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$, 信号源インピーダンス = $1.0k\Omega$,
 基準電圧として AV_{CC0}/AV_{SS0} 端子を選択 ($ADVREFCR.VREFSEL = 0$)

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
アナログ入力容量		—	—	30	pF	
変換時間(注1) (PCLKD = 60MHz時)	AN000 ~ AN007	0.90 (0.50) (注2)	—	—	μs	サンプリング30ステート
	AN008 ~ AN015	0.95 (0.55) (注2)	—	—		サンプリング33ステート
	AN017, AN019, AN021, AN023	0.95 (0.55) (注2)	—	—		サンプリング33ステート
	AN016, AN018, AN020, AN022	1.05 (0.65) (注2)	—	—		サンプリング39ステート
変換時間(注1) (PCLKD = 30MHz時)	AN000 ~ AN007	1.30 (0.50) (注2)	—	—	μs	サンプリング15ステート
	AN008 ~ AN015	1.39 (0.60) (注2)	—	—		サンプリング18ステート
	AN017, AN019, AN021, AN023	1.39 (0.60) (注2)	—	—		サンプリング18ステート
	AN016, AN018, AN020, AN022	1.49 (0.70) (注2)	—	—		サンプリング21ステート
オフセット誤差	PCLKD = 60MHz時	—	±4.0	—	LSB	
	PCLKD = 30MHz時	—	±1.5	—		
フルスケール誤差	PCLKD = 60MHz時	—	±2.5	—		
	PCLKD = 30MHz時	—	±1.5	—		
量子化誤差		—	±0.5	—		
絶対精度	PCLKD = 60MHz時	—	±7.0	—		
	PCLKD = 30MHz時	—	±4.0	—		
DNL 微分非直線性誤差	PCLKD = 60MHz時	—	±4.0	—		
	PCLKD = 30MHz時	—	±1.0	—		
INL 積分非直線性誤差	PCLKD = 60MHz時	—	±4.0	—		
	PCLKD = 30MHz時	—	±1.5	—		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 45.45 12ビットA/D変換特性(2) (100ピン、80ピン、64ピンの製品)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $3.0V \leq AV_{CC0} \leq 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$, 信号源インピーダンス = $1.0k\Omega$,
 基準電圧として AV_{CC0}/AV_{SS0} 端子を選択 ($ADVREFCR.VREFSEL = 0$)

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
アナログ入力容量		—	—	30	pF	
変換時間(注1) (PCLKD = 60MHz時)	AN000 ~ AN007	0.90 (0.50) (注2)	—	—	μs	サンプリング30ステート
	AN008 ~ AN015	0.95 (0.55) (注2)	—	—		サンプリング33ステート
	AN017, AN019, AN021, AN023	0.95 (0.55) (注2)	—	—		サンプリング33ステート
	AN016, AN018, AN020, AN022	1.05 (0.65) (注2)	—	—		サンプリング39ステート
変換時間(注1) (PCLKD = 30MHz時)	AN000 ~ AN007	1.30 (0.50) (注2)	—	—	μs	サンプリング15ステート
	AN008 ~ AN015	1.39 (0.60) (注2)	—	—		サンプリング18ステート
	AN017, AN019, AN021, AN023	1.39 (0.60) (注2)	—	—		サンプリング18ステート
	AN016, AN018, AN020, AN022	1.49 (0.70) (注2)	—	—		サンプリング21ステート
オフセット誤差	PCLKD = 60MHz時	—	±2.5	—	LSB	
	PCLKD = 30MHz時	—	±1.5	—		
フルスケール誤差	PCLKD = 60MHz時	—	±2.5	—		
	PCLKD = 30MHz時	—	±1.5	—		
量子化誤差		—	±0.5	—		
絶対精度	PCLKD = 60MHz時	—	±4.5	—		
	PCLKD = 30MHz時	—	±2.5	—		
DNL 微分非直線性誤差	PCLKD = 60MHz時	—	±1.5	—		
	PCLKD = 30MHz時	—	±1.0	—		
INL 積分非直線性誤差	PCLKD = 60MHz時	—	±2.5	—		
	PCLKD = 30MHz時	—	±1.5	—		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 45.46 12ビットA/D変換特性(2) (48ピンの製品)

条件 : $VCC = 2.7 \sim 5.5V$, $3.0V \leq AVCC0 \leq 5.5V$,
 $VSS = AVSS0 = 0V$, $T_a = T_{opr}$, 信号源インピーダンス = $1.0k\Omega$,
 基準電圧として $AVCC0/AVSS0$ 端子を選択 ($ADVREFCR.VREFSEL = 0$)

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
アナログ入力容量		—	—	30	pF	
変換時間(注1) (PCLKD = 60MHz時)	AN000 ~ AN002, AN005 ~ AN007	0.90 (0.50) (注2)	—	—	μs	サンプリング30ステート
	AN009 ~ AN012	0.95 (0.55) (注2)	—	—		サンプリング33ステート
オフセット誤差		—	±1.5	—	LSB	
フルスケール誤差		—	±1.5	—		
量子化誤差		—	±0.5	—		
絶対精度		—	±2.5	—		
DNL 微分非直線性誤差		—	±1.0	—		
INL 積分非直線性誤差		—	±1.5	—		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 45.47 A/D内部基準電圧特性

条件 : $VCC = 2.7 \sim 5.5V$, $3.0V \leq AVCC0 \leq 5.5V$, $AVCC0 - 1.0 \leq VREFH0 \leq AVCC0$, $3.0V \leq VREFH0$,
 $VSS = AVSS0 = VREFL0 = 0V$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	

注. 上記規格値は、通常動作時の値です。

45.6 D/A 変換特性

表 45.48 D/A変換特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
分解能	12	12	12	ビット	
絶対精度	—	—	± 6.0	LSB	負荷抵抗2M Ω 、10ビット換算
微分非直線性誤差(DNL)	—	± 1.0	± 2.0	LSB	負荷抵抗2M Ω
出力抵抗(R_O)	—	5.7	—	k Ω	
変換時間	—	—	3	μs	負荷容量20pF

45.7 温度センサ特性

表 45.49 温度センサ特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
相対精度	—	± 1	—	$^{\circ}C$	
温度傾斜	—	-2.0	—	mV/ $^{\circ}C$	
出力電位	—	0.63	—	V	$T_a = 25^{\circ}C$
温度センサ起動時間	—	—	200	μs	
サンプリング時間(注1)	3	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD.ADSSTRTレジスタを設定してください。

45.8 コンパレータ特性

表45.50 コンパレータ特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	8	40	mV	
リファレンス入力電圧範囲	V_{ref}	0	—	VCC	V	
アナログ入力電圧範囲	V_{ain}	0	—	VCC	V	
応答時間	$t_{tot(r)}$	—	—	200	ns	VOD = 100mV CMPCTL.CDFS[1:0] = 00b 図 45.59
	$t_{tot(f)}$	—	—	200	ns	
入力切り替え時の安定待ち時間	t_{cwait}	300	—	—	ns	
動作安定時間	t_{cmp}	—	—	1	μs	

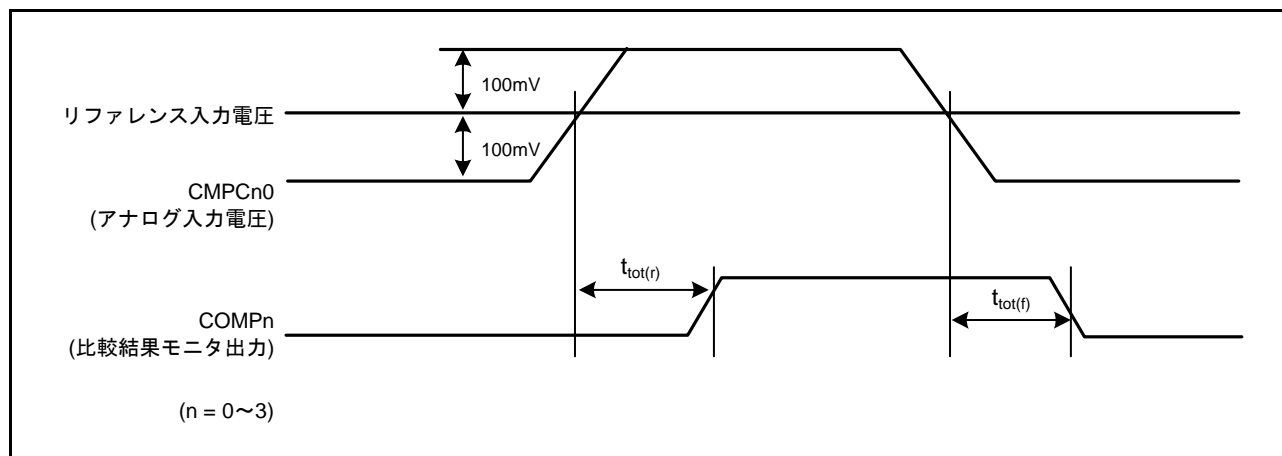


図 45.59 コンパレータ応答時間

45.9 パワーオンリセット回路、電圧検出回路特性

表 45.51 パワーオンリセット回路、電圧検出回路特性

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	2.46	2.58	2.70	V	図 45.60
	電圧検出回路 (LVD0)	V _{det0_1}	4.04	4.22	4.40		図 45.61
		V _{det0_2}	2.71	2.83	2.95		
	電圧検出回路 (LVD1)	V _{det1_0}	4.39	4.57	4.75		図 45.62
		V _{det1_1}	4.29	4.47	4.65		
		V _{det1_2}	4.14	4.32	4.50		
		V _{det1_3}	2.81	2.93	3.05		
		V _{det1_4}	2.76	2.88	3.00		
	電圧検出回路 (LVD2)	V _{det2_0}	4.39	4.57	4.75		図 45.63
		V _{det2_1}	4.29	4.47	4.65		
		V _{det2_2}	4.14	4.32	4.50		
		V _{det2_3}	2.81	2.93	3.05		
		V _{det2_4}	2.76	2.88	3.00		
	内部リセット時間	パワーオンリセット時間	t _{POR}	—	15.5		ms
LVD0 リセット時間		t _{LVD0}	—	0.70	図 45.61		
LVD1 リセット時間		t _{LVD1}	—	0.57	図 45.62		
LVD2 リセット時間		t _{LVD2}	—	0.57	図 45.63		
最小 VCC 低下時間	t _{VOFF}	200	—	—	μs	図 45.60、 図 45.61	
応答遅延時間	t _{det}	—	—	200	μs	図 45.60 ~ 図 45.63	
LVD 動作安定時間 (LVD 有効切り替え時)	t _{d(E-A)}	—	—	20	μs	図 45.62、 図 45.63	
ヒステリシス幅 (LVD1, LVD2)	V _{LVH}	—	80	—	mV		

注. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR}, V_{det1}, V_{det2} の min 値を下回っている時間です。

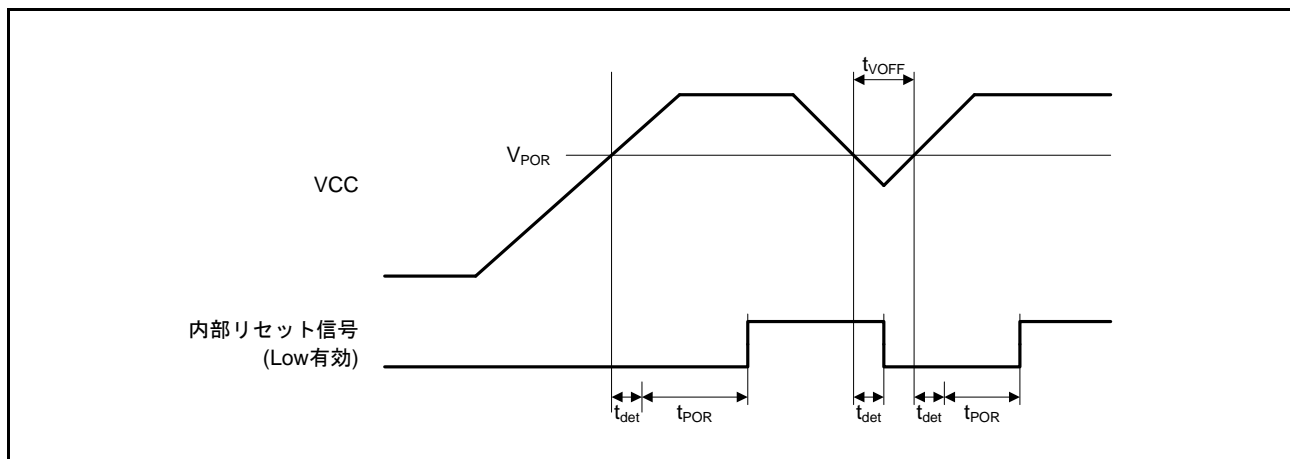


図 45.60 パワーオンリセットタイミング

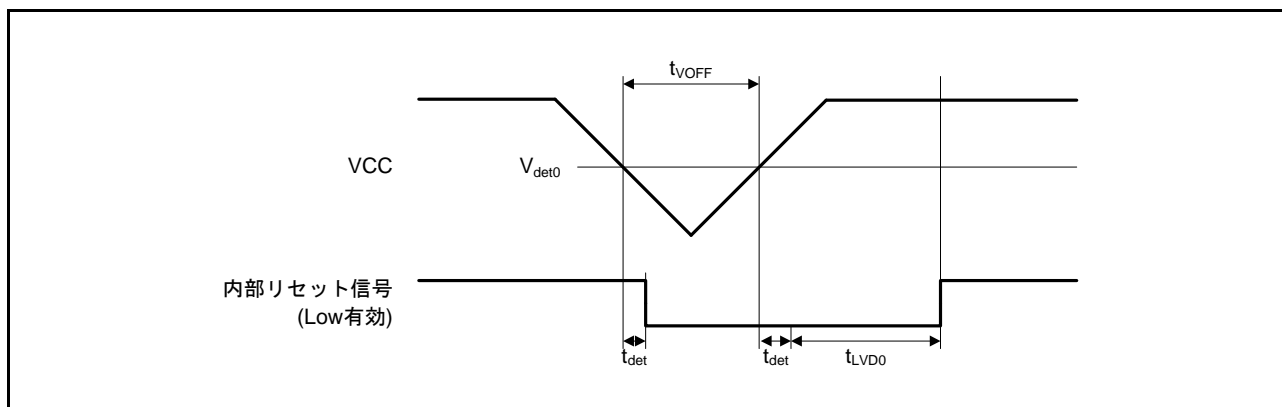


図 45.61 電圧検出回路タイミング (V_{det0})

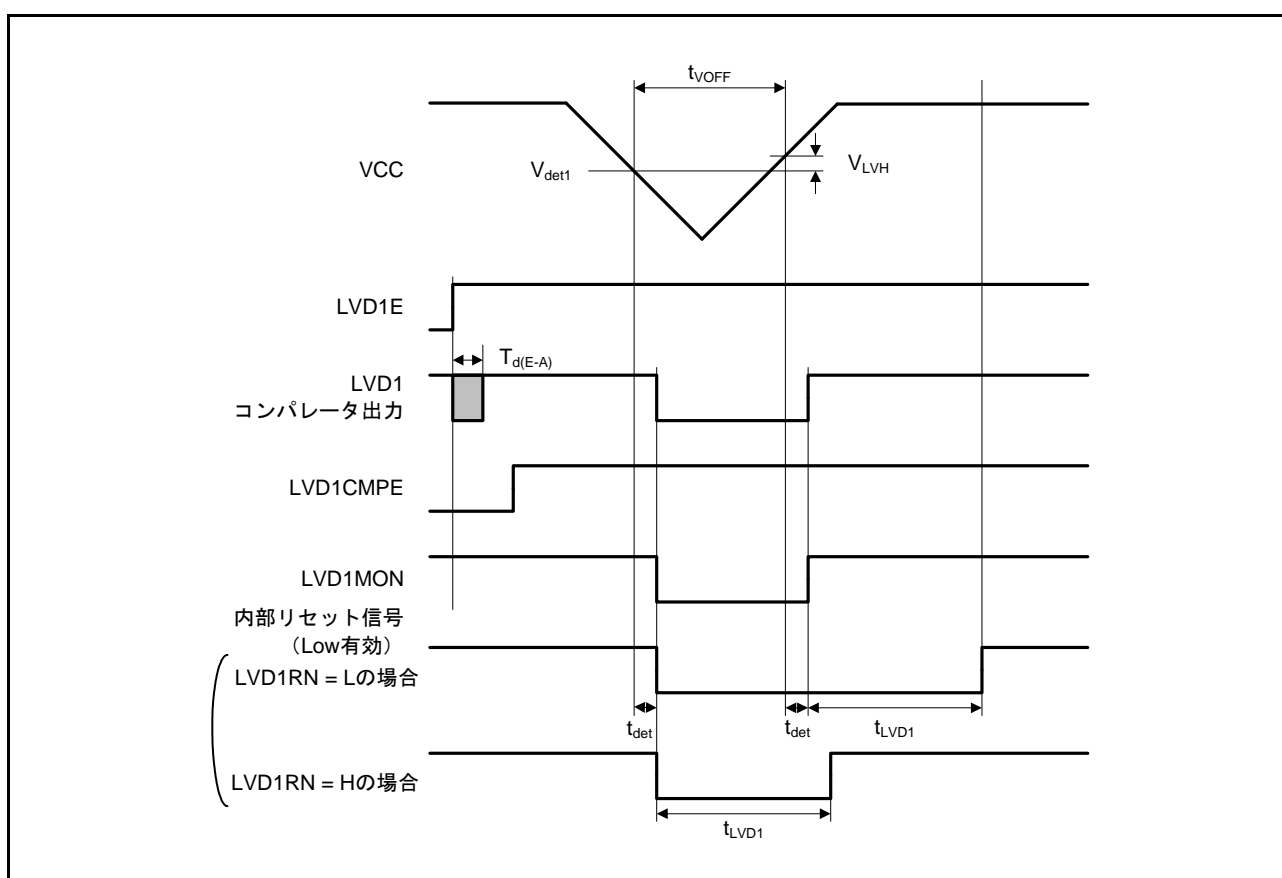
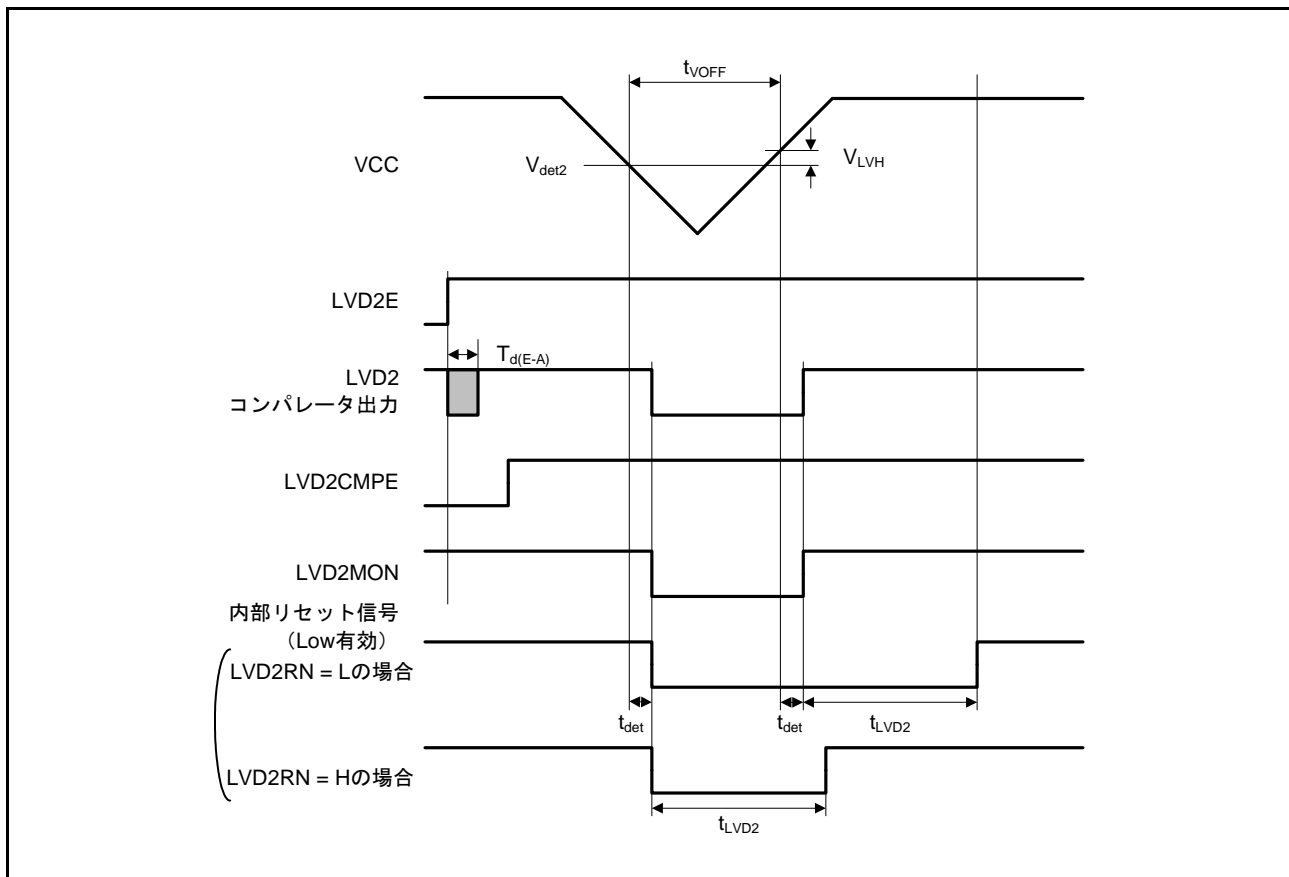


図 45.62 電圧検出回路タイミング (V_{det1})

図 45.63 電圧検出回路タイミング (V_{det2})

45.10 発振停止検出タイミング

表 45.52 発振停止検出回路特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 45.64

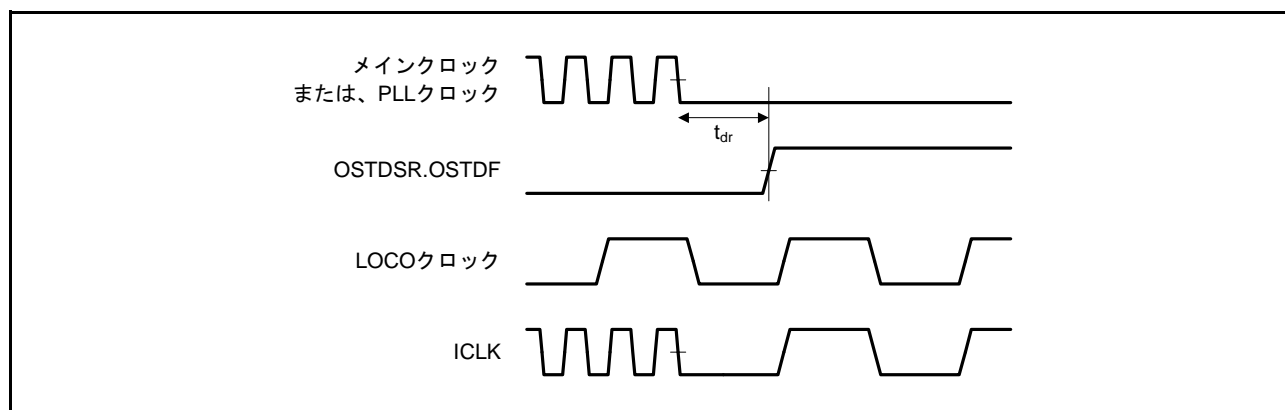


図 45.64 発振停止検出タイミング

45.11 フラッシュメモリ特性

表45.53 コードフラッシュメモリ特性

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V,

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件
		min	typ	max	min	typ	max		
プログラム時間 ($N_{PEC} \leq 100$)	256バイト	t_{P256}	—	0.9	13.2	—	0.4	6	ms
	8Kバイト	t_{P8K}	—	29	176	—	13	80	
	32Kバイト	t_{P32K}	—	116	704	—	52	320	
プログラム時間 ($N_{PEC} > 100$)	256バイト	t_{P256}	—	1.1	15.8	—	0.5	7.2	
	8Kバイト	t_{P8K}	—	35	212	—	16	96	
	32Kバイト	t_{P32K}	—	140	848	—	64	384	
イレーズ時間 ($N_{PEC} \leq 100$)	8Kバイト	t_{E8K}	—	71	216	—	39	120	
	32Kバイト	t_{E32K}	—	254	864	—	141	480	
イレーズ時間 ($N_{PEC} > 100$)	8Kバイト	t_{E8K}	—	85	260	—	47	144	
	32Kバイト	t_{E32K}	—	304	1040	—	169	576	
プログラム/イレーズ回数 (注1)	N_{PEC}	1000 (注2)	—	—	1000 (注2)	—	—	回	
プログラムサスペンド遅延時間	t_{SPD}	—	—	264	—	—	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD1}	—	—	216	—	—	120	ms	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD2}	—	—	1.7	—	—	1.7		
イレーズサスペンド遅延時間 (イレーズ優先モード時)	t_{SEED}	—	—	1.7	—	—	1.7		
強制終了コマンド	t_{FD}	—	—	32	—	—	20	μs	
データ保持時間 (注3、注4)	t_{DRP}	20	—	—	20	—	—	年	$T_a \leq 85^\circ\text{C}$
		10	—	—	10	—	—		$T_a \leq 105^\circ\text{C}$

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、8Kバイトのブロックについて、それぞれ異なる番地に256バイトプログラムを32回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

注4. 信頼性試験から得られた結果です。

表 45.54 データフラッシュメモリ特性

条件 : VCC = 2.7~5.5V, AVCC0 = 3.0~5.5V,
VSS = AVSS0 = 0V,

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	測定条件	
		min	typ	max	min	typ	max			
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
イレーズ時間	64バイト	t_{DE64}	—	3.1	18	—	1.7	10		
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	30	μs	
	64バイト	t_{DBC64}	—	—	280	—	—	100		
	2Kバイト	t_{DBC2K}	—	—	6160	—	—	2200		
プログラム/イレーズ回数 (注1)	N_{DPEC}	100000 (注2)	—	—	—	100000 (注2)	—	—	回	
プログラムサスペンド遅延時間	t_{DSPD}	—	—	264	—	—	—	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{DSESD1}	—	—	216	—	—	—	120		
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{DSESD2}	—	—	300	—	—	—	300		
イレーズサスペンド遅延時間 (イレーズ優先モード時)	t_{DSEED}	—	—	300	—	—	—	300		
強制終了コマンド	t_{FD}	—	—	32	—	—	—	20		
データ保持時間 (注3、注4)	t_{DDRP}	20	—	—	20	—	—	—	年	$T_a \leq 85^\circ\text{C}$
		10	—	—	10	—	—	—		$T_a \leq 105^\circ\text{C}$

- 注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

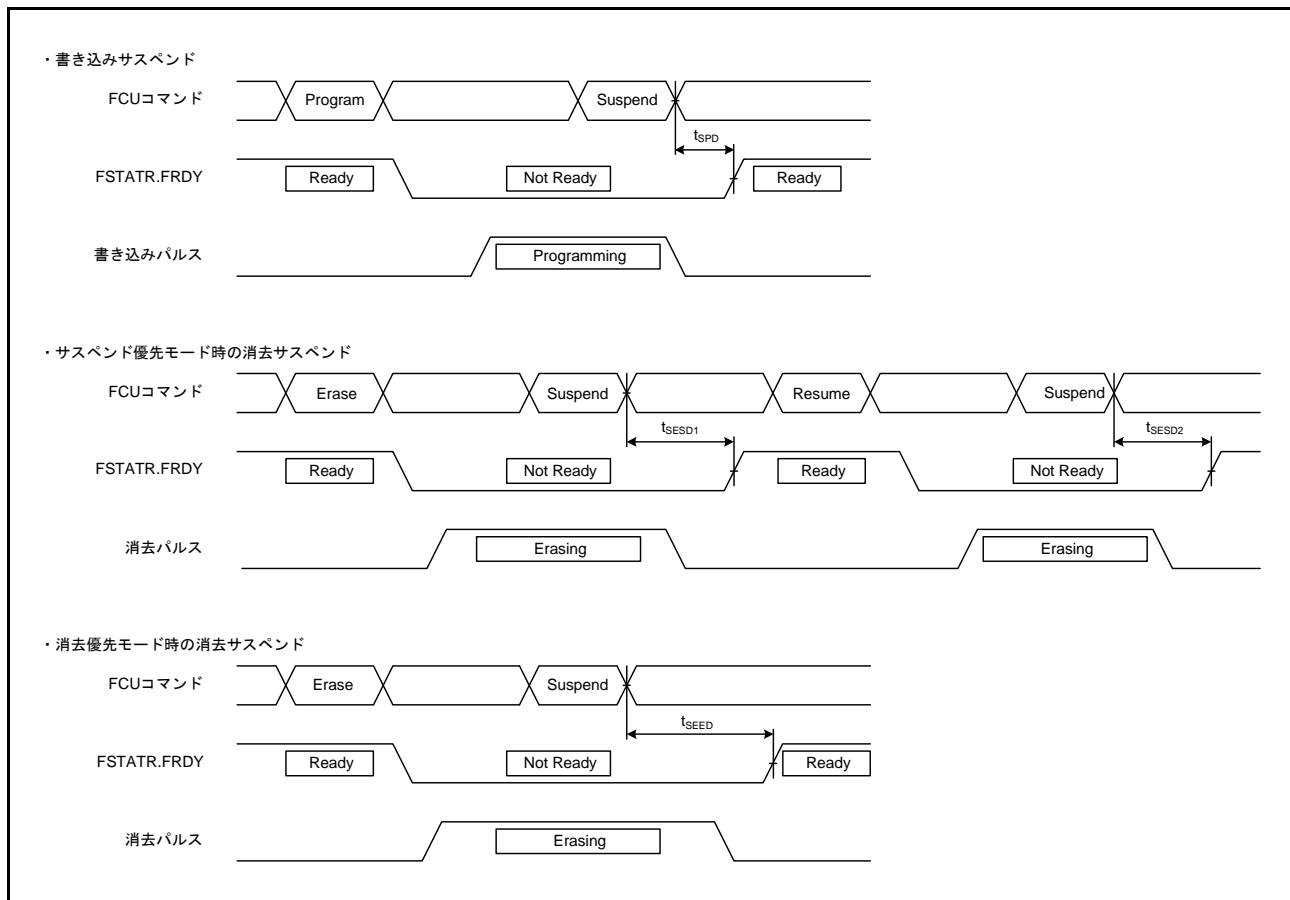


図 45.65 フラッシュメモリプログラム/イレーズサスペンドタイミング

付録 1. 各動作モードにおけるポートの状態

表 1.1 各動作モードにおけるポートの状態 (1 / 4)

ポート名 端子名	レジスタ設定による 動作モード	レ ジ ス タ	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P00/IRQ8, P01/IRQ9, P02/IRQ10, P03/IRQ11, P04, P05/IRQ13, P06, P07/IRQ15	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P12/IRQ2, P13/IRQ3, P14/IRQ4, P15/IRQ5, P16/IRQ6, P17/IRQ7	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P20/IRQ8, P21/IRQ9, P22/IRQ15, P23/IRQ3	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P24/IRQ12/CS0#, P25/IRQ5/CS1#, P26/IRQ6/CS2#, P27/IRQ7/CS3#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CSn# 出力時] H [上記以外] Keep-O	[CSn# 出力時] Hi-Z [上記以外] Keep-O			
P30/IRQ0-DS/ RTCIC0, P31/IRQ1-DS/ RTCIC1, P32/IRQ2-DS/ RTCIC2, P33/IRQ3-DS, P34/IRQ4, P35/NMI, P36/IRQ5, P37/IRQ4	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P40/IRQ8-DS, P41/IRQ9-DS, P42/IRQ10-DS, P43/IRQ11-DS, P44/IRQ12-DS, P45/IRQ13-DS, P46/IRQ14-DS, P47/IRQ15-DS	全モード	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P50/IRQ0/WR0#/ WR#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[WR0#/WR# 出力時] H [上記以外] Keep-O	[WR0#/WR# 出力時] Hi-Z [上記以外] Keep-O			
P51/IRQ1/WR1#/ BC1#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[WR1#/BC1# 出力時] H [上記以外] Keep-O	[WR1#/BC1# 出力時] Hi-Z [上記以外] Keep-O			
P52/IRQ2/RD#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[RD# 出力時] H [上記以外] Keep-O	[RD# 出力時] Hi-Z [上記以外] Keep-O			
P53/IRQ3/BCLK	全モード	Hi-Z	[クロック出力時] H [上記以外] Keep-O (注2)		Keep	Keep	Hi-Z

表 1.1 各動作モードにおけるポートの状態 (2 / 4)

ポート名 端子名	レジスタ設定による 動作モード	L H Z	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P54/IRQ4/ALE	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[ALE 出力時] L [データ出力時] Hi-Z [上記以外] Keep-O	[ALE 出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O			
P55/IRQ10	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O				
P56/IRQ6	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P60/IRQ0/CS0#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS0# 出力時] H [上記以外] Keep-O	[CS0# 出力時] Hi-Z [上記以外] Keep-O			
P61/IRQ1/CS1#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS1# 出力時] H [データ出力時] Hi-Z [上記以外] Keep-O	[CS1# 出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O			
P62/IRQ2/CS2#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS2# 出力時] H [データ出力時] Hi-Z [上記以外] Keep-O	[CS2# 出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O			
P63/IRQ3/CS3#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS3# 出力時] H [データ出力時] Hi-Z [上記以外] Keep-O	[CS3# 出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O			
P64/IRQ4	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O				
P65/IRQ13, P66/IRQ14, P67/IRQ15	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P70/IRQ0	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P71/IRQ1/CS1#, P72/IRQ10/CS2#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CSn# 出力時] H [アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[CSn# 出力時] Hi-Z [アドレス出力時] Hi-Z [上記以外] Keep-O			
P73/IRQ8/CS3#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS3# 出力時] H [上記以外] Keep-O	[CS3# 出力時] Hi-Z [上記以外] Keep-O			

表 1.1 各動作モードにおけるポートの状態 (3 / 4)

ポート名 端子名	レジスタ設定による 動作モード	L H Z	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P74/IRQ12	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
P75/IRQ13, P76/IRQ14, P77/IRQ7	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P80/IRQ8, P81/IRQ9, P82/IRQ2, P83/IRQ3, P86/IRQ14, P87/IRQ15	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P90/IRQ0, P91/IRQ9, P92/IRQ10, P93/IRQ11	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PA0/IRQ0/BC0#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [BC0# 出力時] H [上記以外] Keep-O	[アドレス出力時] Hi-Z [BC0# 出力時] Hi-Z [上記以外] Keep-O			
PA1/IRQ11, PA2/IRQ10, PA3/IRQ6-DS, PA4/IRQ5-DS, PA5/IRQ5, PA6/IRQ14, PA7/IRQ7	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PB0/IRQ12, PB1/IRQ4-DS, PB2/IRQ2, PB3/IRQ3, PB4/IRQ4, PB5/IRQ13, PB6/IRQ6, PB7/IRQ15	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PC0/IRQ14, PC1/IRQ12, PC2/IRQ10, PC3/IRQ11	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [上記以外] Keep-O (注2)			
PC4/IRQ12/CS3#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [CS3# 出力時] H [上記以外] Keep-O (注2)	[アドレス出力時] Hi-Z [CS3# 出力時] Hi-Z [上記以外] Keep-O (注2)			
PC5/IRQ5/CS2#, PC6/IRQ13/CS1#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CSn# 出力時] H [データ出力時] Hi-Z [上記以外] Keep-O (注2)	[CSn# 出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O (注2)			
PC7/IRQ14/CS0#	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[CS0# 出力時] H [上記以外] Keep-O (注2)	[CS0# 出力時] Hi-Z [上記以外] Keep-O (注2)			

表 1.1 各動作モードにおけるポートの状態 (4 / 4)

ポート名 端子名	レジスタ設定による 動作モード	L H Z	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)		
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0	
PD0/IRQ0, PD1/IRQ1, PD2/IRQ2, PD3/IRQ3, PD4/IRQ4, PD5/IRQ5, PD6/IRQ6, PD7/IRQ7	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z	
	内蔵 ROM 有効/ 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O (注2)					
PE0/IRQ8, PE1/IRQ9, PE2/IRQ7-DS, PE3/IRQ11, PE4/IRQ12, PE5/IRQ5, PE6/IRQ6, PE7/IRQ7	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z	
	内蔵 ROM 有効/ 無効拡張 モード (EXBE=1)		バス幅 8 ビット	[データ出力時] Hi-Z [上記以外] Keep-O (注2)				
			バス幅 16 ビット	[データ出力時] Hi-Z				
PF5/IRQ4, PF6, PF7	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z	
PH0, PH1/IRQ0, PH2/IRQ1, PH3, PH6, PH7	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z	
PJ1, PJ3/IRQ11, PJ4, PJ5/IRQ13, PJ6, PJ7	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z	
PK2, PK3, PK4, PK5	全モード	Hi-Z	Keep		Keep	Keep	Hi-Z	
PL0, PL1	全モード	Hi-Z	Keep		Keep	Keep	Hi-Z	
PN6, PN7	全モード	Hi-Z	Keep		Keep	Keep	Hi-Z	

H : High レベル

L : Low レベル

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイでの端子状態を保持

Hi-Z : ハイインピーダンス

注1. DPSBYCR.IOKEEPビットを“0”にするまで、I/Oポートの状態を保持します。

注2. 外部割り込み端子として使用時は、ソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。(IRQ*端子)

注3. ディープソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。(IRQ*-DS端子)

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

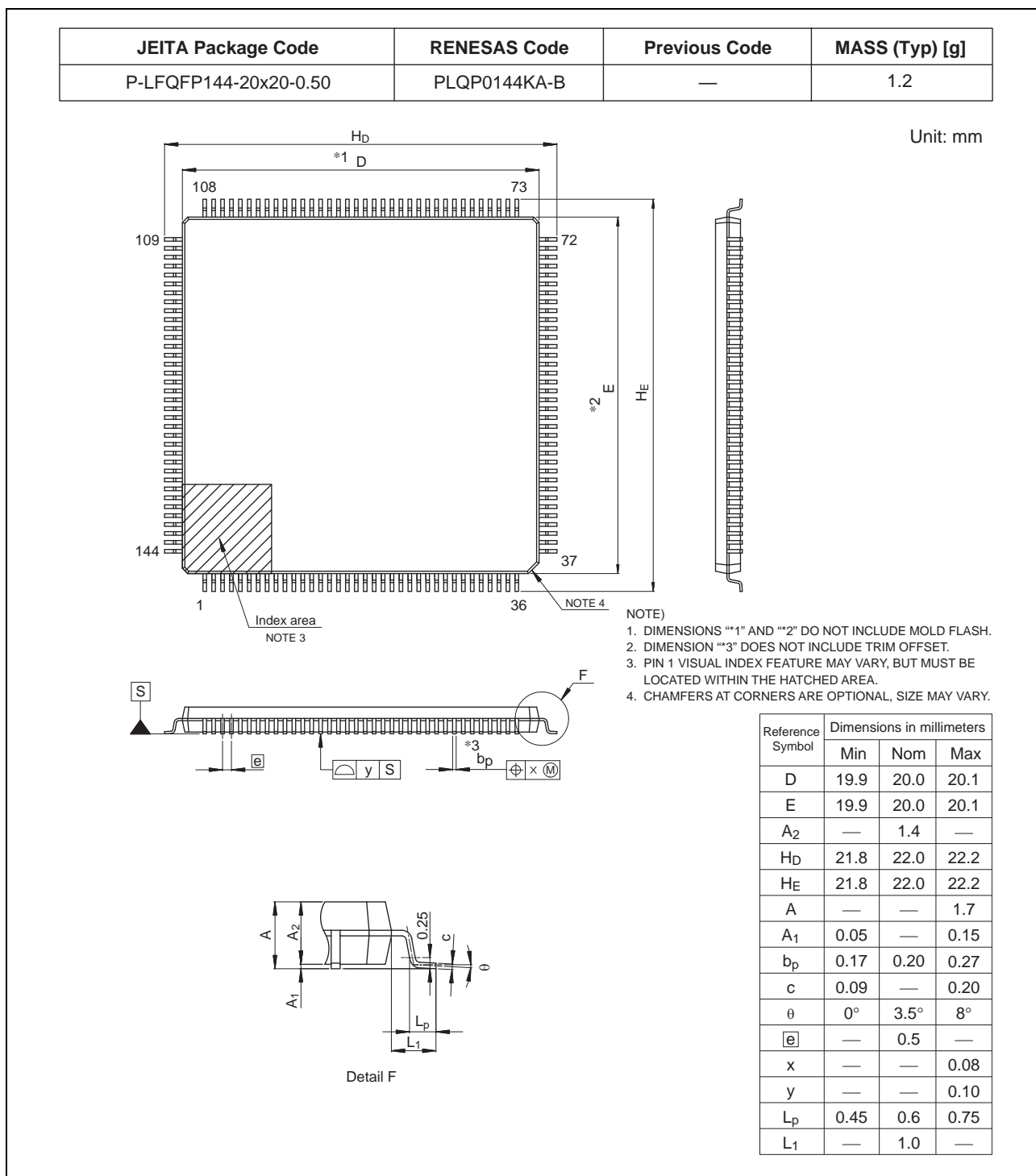
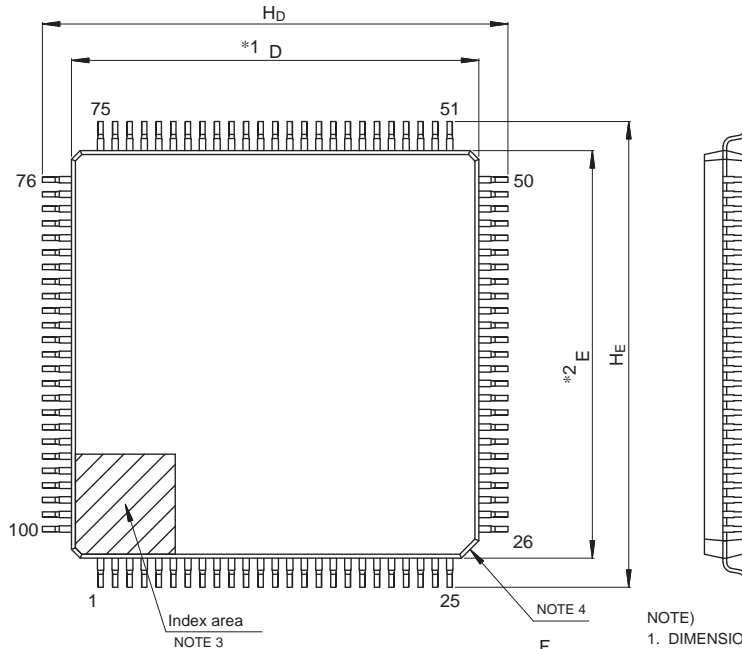


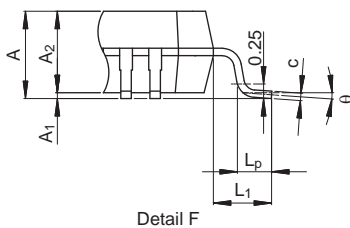
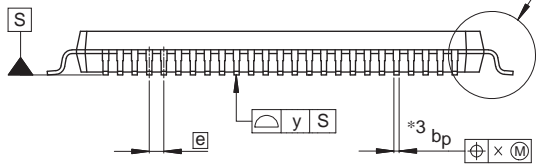
図 A. 144 ピン LFQFP (PLQP0144KA-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6

Unit: mm



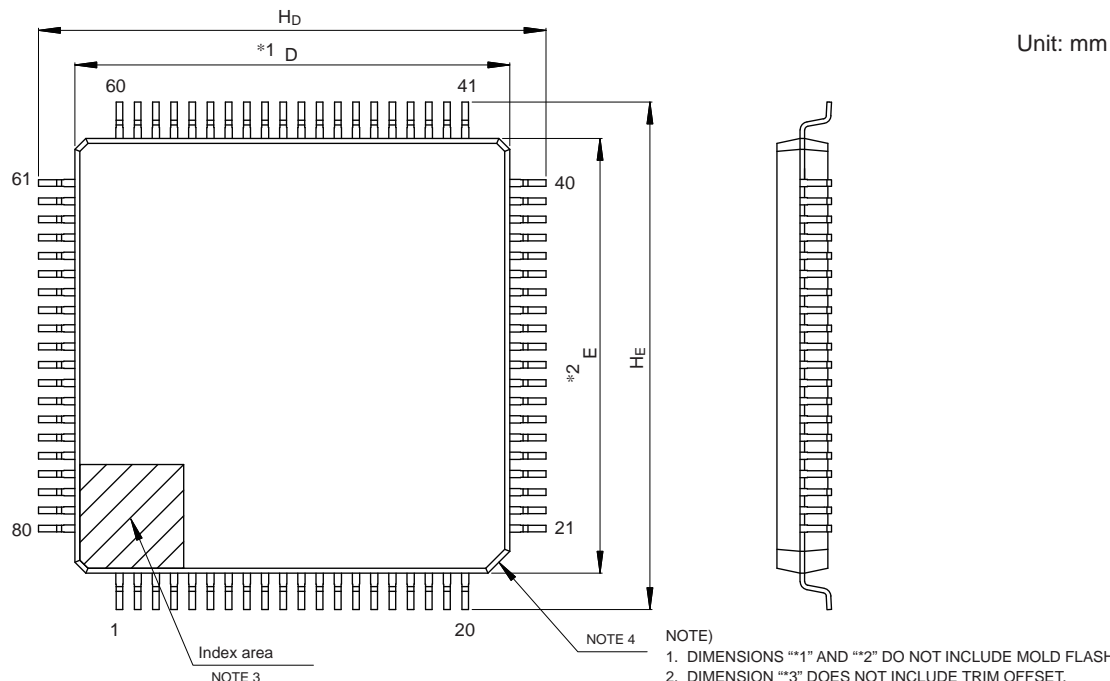
- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



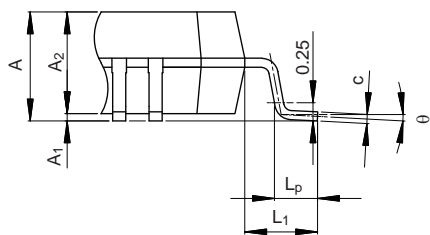
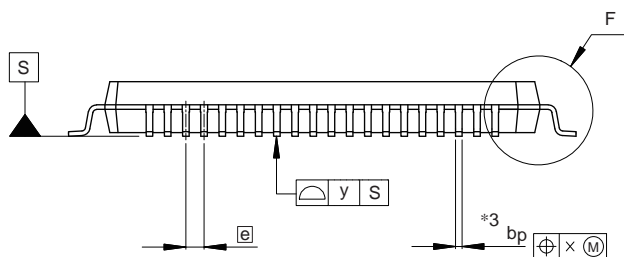
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

☒ B. 100ピンLFQFP (PLQP0100KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



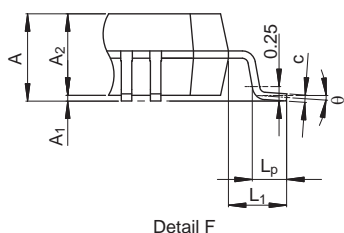
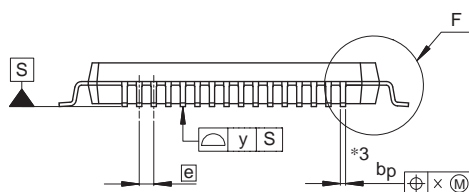
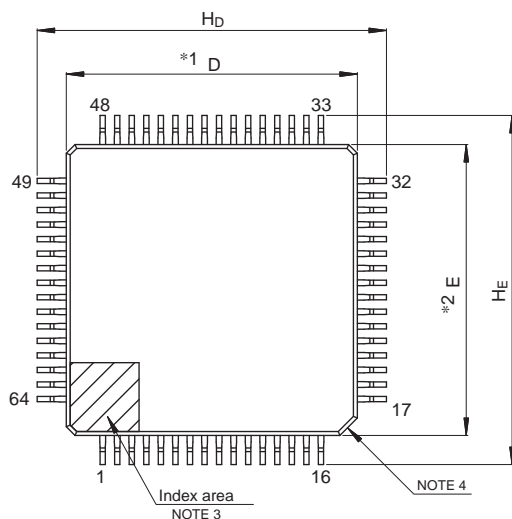
Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 C. 80ピン LFQFP (PLQP0080KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



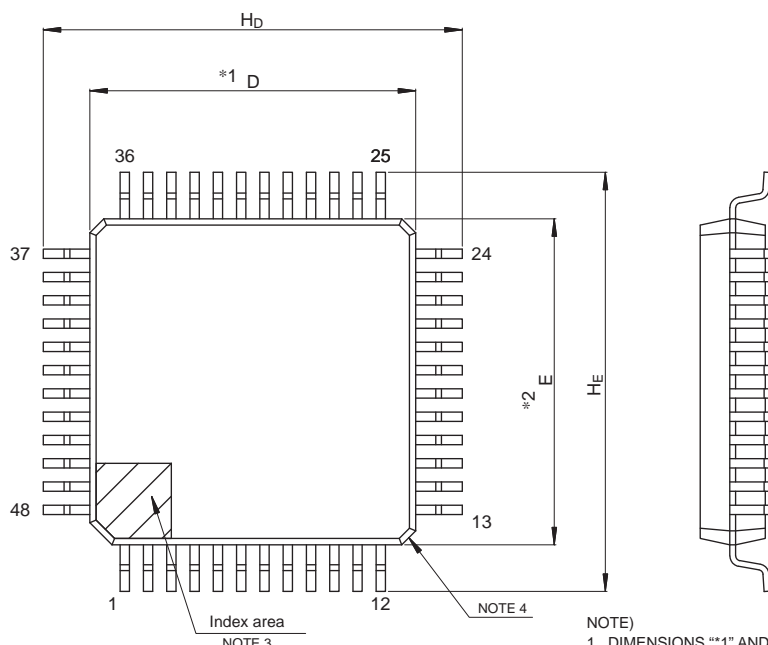
- NOTE)
- DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 - DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 - PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 - CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

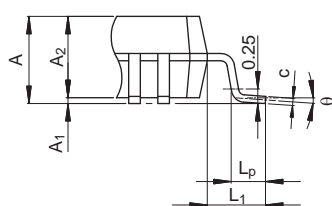
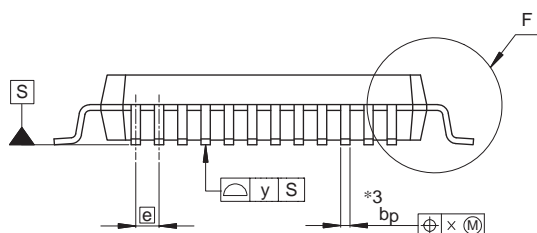
図 D. 64ピン LFQFP (PLQP0064KB-C)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 E. 48ピン LFQFP (PLQP0048KB-B)

改訂記録	RX660 グループ ユーザーズマニュアル ハードウェア編
------	-------------------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2022.03.18	—	初版発行	

RX660グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2022年3月18日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RX660 グループ