User's Manual

16

RL78/G10

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev3.20　2023.03

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2023 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対 象 者　このマニュアルはRL78/G10の機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。

対象製品は，次に示す各製品です。

・10ピン：R5F10Y1x（x = 4, 6, 7）　・16ピン：R5F10Y4x（x = 4, 6, 7）

目　　的　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　RL78/G10のマニュアルは，このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/G10 ユーザーズ・マニュアル ハードウェア編	RL78ファミリ ユーザーズ・マニュアル ソフトウェア編
●端子機能	●CPU機能
●内部ブロック機能	●命令セット
●割り込み	●命令の説明
●その他の内蔵周辺機能	
●電気的特性	

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この"★"をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。

□RL78/G10マイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編（R01US0015J）を参照してください。

凡　　例

データ表記の重み	：左が上位桁，右が下位桁
アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
注	：本文中につけた注の説明
注意	：気をつけて読んでいただきたい内容
備考	：本文の補足説明
数の表記	：2進数…××××または××××B 10進数…×××× 16進数…××××H

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和　　文	英　　文
RL78/G10　ユーザーズ・マニュアル　ハードウェア編	このマニュアル	R01UH0384E
RL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資　料　名		資料番号	
		和　　文	英　　文
PG-FP5　フラッシュメモリプログラマ　ユーザーズマニュアル		—	—
	RL78，78K，V850，RX100，RX200，RX600（RX64x除く），R8C，SH編	R20UT2923J	R20UT2923E
	共通編	R20UT2922J	R20UT2922E
	セットアップマニュアル	R20UT0930J	R20UT0930E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資　料　名	資料番号	
	和　　文	英　　文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。
Windows，Windows NTおよびWindows XPは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。
PC/ATは，米国IBM社の商標です。
SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章　概　　説 1

1. 1　特　　徴 1
1. 2　型名一覧 3
1. 3　端子接続図（Top View） 5
1. 3. 1　10ピン製品 5
1. 3. 2　16ピン製品 6
1. 4　端子名称 7
1. 5　ブロック図 8
1. 5. 1　10ピン製品 8
1. 5. 2　16ピン製品 9
1. 6　機能概要 10

第2章　端子機能 11

2. 1　ポート機能 11
2. 1. 1　10ピン製品 11
2. 1. 2　16ピン製品 12
2. 2　ポート以外の機能 13
2. 2. 1　製品別の搭載機能 13
2. 2. 2　機能説明 14
2. 3　未使用端子の処理 15
2. 4　端子ブロック図 16

第3章　CPUアーキテクチャ 24

3. 1　メモリ空間 25
3. 1. 1　内部プログラム・メモリ空間 28
3. 1. 2　ミラー領域 30
3. 1. 3　内部データ・メモリ空間 31
3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域 31
3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 31
3. 1. 6　データ・メモリ・アドレッシング 32
3. 2　プロセッサ・レジスタ 33
3. 2. 1　制御レジスタ 33
3. 2. 2　汎用レジスタ 35
3. 2. 3　ES, CSレジスタ 36
3. 2. 4　特殊機能レジスタ（SFR：Special Function Register） 37
3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） 40
3. 3　命令アドレスのアドレッシング 43
3. 3. 1　レラティブ・アドレッシング 43
3. 3. 2　イミーディエト・アドレッシング 43
3. 3. 3　テーブル・インダイレクト・アドレッシング 44
3. 3. 4　レジスタ・インダイレクト・アドレッシング 44
3. 4　処理データ・アドレスに対するアドレッシング 45
3. 4. 1　インプライド・アドレッシング 45
3. 4. 2　レジスタ・アドレッシング 45
3. 4. 3　ダイレクト・アドレッシング 45

3.4.4　ショート・ダイレクト・アドレッシング 47
3.4.5　SFRアドレッシング 48
3.4.6　レジスタ・インダイレクト・アドレッシング 49
3.4.7　ベースト・アドレッシング 50
3.4.8　ベースト・インデクスト・アドレッシング 53
3.4.9　スタック・アドレッシング 54

第4章　ポート機能 57

4.1　ポートの機能 57
4.2　ポートの構成 57
4.2.1　ポート0 58
4.2.2　ポート4 58
4.2.3　ポート12 58
4.2.4　ポート13 58
4.3　ポート機能を制御するレジスタ 59
4.3.1　ポート・モード・レジスタ0, 4（PM0, PM4） 60
4.3.2　ポート・レジスタ0, 4, 12, 13（P0, P4, P12, P13） 61
4.3.3　プルアップ抵抗オプション・レジスタ0, 4, 12（PU0, PU4, PU12） 62
4.3.4　ポート出力モード・レジスタ0（POM0） 63
4.3.5　ポート・モード・コントロール・レジスタ0（PMC0） 64
4.3.6　周辺I/Oリダイレクション・レジスタ（PIOR） 65
4.4　ポート機能の動作 66
4.4.1　入出力ポートへの書き込み 66
4.4.2　入出力ポートからの読み出し 66
4.4.3　入出力ポートでの演算 66
4.5　兼用機能使用時のレジスタ設定 67
4.5.1　兼用機能使用時の基本的な考え方 67
4.5.2　出力機能を使用しない兼用機能のレジスタ設定 68
4.5.3　使用するポート機能および兼用機能のレジスタ設定例 68
4.6　ポート機能使用時の注意事項 72
4.6.1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項 72
4.6.2　端子設定に関する注意事項 73

第5章　クロック発生回路 74

5.1　クロック発生回路の機能 74
5.2　クロック発生回路の構成 75
5.3　クロック発生回路を制御するレジスタ 77
5.3.1　クロック動作モード制御レジスタ（CMC） 78
5.3.2　システム・クロック制御レジスタ（CKC） 79
5.3.3　クロック動作ステータス制御レジスタ（CSC） 80
5.3.4　発振安定時間カウンタ状態レジスタ（OSTC） 81
5.3.5　発振安定時間選択レジスタ（OSTS） 82
5.3.6　周辺イネーブル・レジスタ0（PER0） 83
5.3.7　動作スピード・モード制御レジスタ（OSMC） 84
5.3.8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 85
5.4　システム・クロック発振回路 86
5.4.1　X1発振回路（16ピン製品のみ） 86
5.4.2　高速オンチップ・オシレータ 89
5.4.3　低速オンチップ・オシレータ 89
5.5　クロック発生回路の動作 89

5.6　クロックの制御 91
5.6.1　高速オンチップ・オシレータの設定例 91
5.6.2　X1発振回路の設定例 92
5.6.3　CPUクロック状態移行図 93
5.6.4　CPUクロックの移行前の条件と移行後の処理 96
5.6.5　CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 97
5.6.6　クロック発振停止前の条件 97
5.7　発振子と発振回路定数 98

第6章　タイマ・アレイ・ユニット 100

6.1　タイマ・アレイ・ユニットの機能 102
6.1.1　単独チャネル動作機能 102
6.1.2　複数チャネル連動動作機能 104
6.1.3　8ビット・タイマ動作機能（チャネル1, 3のみ） 106
6.2　タイマ・アレイ・ユニットの構成 107
6.2.1　タイマ・カウンタ・レジスタ0n（TCR0n） 111
6.2.2　タイマ・データ・レジスタ0n（TDR0n） 113
6.3　タイマ・アレイ・ユニットを制御するレジスタ 115
6.3.1　周辺イネーブル・レジスタ0（PER0） 116
6.3.2　タイマ・クロック選択レジスタ0（TPS0） 117
6.3.3　タイマ・モード・レジスタ0n（TMR0n） 118
6.3.4　タイマ・ステータス・レジスタ0n（TSR0n） 122
6.3.5　タイマ・チャネル許可ステータス・レジスタ（TE0, TEH0（8ビットモード）） 123
6.3.6　タイマ・チャネル開始レジスタ0（TS0, TSH0（8ビットモード）） 124
6.3.7　タイマ・チャネル停止レジスタ0（TT0, TTH0（8ビットモード）） 125
6.3.8　タイマ出力許可レジスタ0（TOE0） 126
6.3.9　タイマ出力レジスタ0（TO0） 127
6.3.10　タイマ出力レベル・レジスタ0（TOL0） 128
6.3.11　タイマ出力モード・レジスタ0（TOM0） 129
6.3.12　ノイズ・フィルタ許可レジスタ1（NFEN1） 130
6.3.13　入力切り替え制御レジスタ（ISC） 131
6.3.14　タイマ入出力端子のポート機能を制御するレジスタ 132
6.4　タイマ・アレイ・ユニットの基本ルール 133
6.4.1　複数チャネル連動動作機能の基本ルール 133
6.4.2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ） 135
6.5　カウンタの動作 136
6.5.1　カウント・クロック（f_{TCLK}） 136
6.5.2　カウンタのスタート・タイミング 138
6.5.3　カウンタの動作 139
6.6　チャネル出力（TO0n端子）の制御 144
6.6.1　TO0n端子の出力回路の構成 144
6.6.2　TO0n端子の出力設定 145
6.6.3　チャネル出力操作時の注意事項 146
6.6.4　TO0nビットの一括操作 150
6.6.5　カウント動作開始時のタイマ割り込みとTO0n端子出力について 151
6.7　タイマ入力（TI0n）の制御 152
6.7.1　TI0nの入力回路構成 152
6.7.2　ノイズ・フィルタ 152
6.7.3　チャネル入力操作時の注意事項 153

6.8　タイマ・アレイ・ユニットの単独チャネル動作機能 154
6.8.1　インターバル・タイマ／方形波出力としての動作 154
6.8.2　外部イベント・カウンタとしての動作 158
6.8.3　分周器としての動作（チャネル0, 3のみ） 162
6.8.4　入力パルス間隔測定としての動作 166
6.8.5　入力信号のハイ／ロウ・レベル幅測定としての動作 170
6.8.6　ディレイ・カウンタとしての動作 174
6.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能 178
6.9.1　ワンショット・パルス出力としての動作 178
6.9.2　2入力式ワンショット・パルス出力としての動作 185
6.9.3　PWM出力機能としての動作 192
6.9.4　多重PWM出力機能としての動作 199
6.10　タイマ・アレイ・ユニット使用時の注意事項 206
6.10.1　タイマ出力使用時の注意事項 206

第7章　12ビット・インターバル・タイマ 207

7.1　12ビット・インターバル・タイマの機能 207
7.2　12ビット・インターバル・タイマの構成 207
7.3　12ビット・インターバル・タイマを制御するレジスタ 208
7.3.1　周辺イネーブル・レジスタ0（PER0） 208
7.3.2　動作スピード・モード制御レジスタ（OSMC） 209
7.3.3　インターバル・タイマ・コントロール・レジスタ（ITMCH，ITMCL） 210
7.4　12ビット・インターバル・タイマの動作 211
7.4.1　12ビット・インターバル・タイマの動作タイミング 211
7.4.2　HALT/STOPモードから復帰後にカウンタ動作開始し，
再度HALT/STOP モードに移行する設定手順 212

第8章　クロック出力／ブザー出力制御回路 213

8.1　クロック出力／ブザー出力制御回路の機能 213
8.2　クロック出力／ブザー出力制御回路の構成 214
8.3　クロック出力／ブザー出力制御回路を制御するレジスタ 214
8.3.1　クロック出力選択レジスタ0（CKS0） 215
8.3.2　クロック出力／ブザー出力端子のポート機能を制御するレジスタ 216
8.4　クロック出力／ブザー出力制御回路の動作 217
8.4.1　出力端子の動作 217

第9章　ウォッチドッグ・タイマ 218

9.1　ウォッチドッグ・タイマの機能 218
9.2　ウォッチドッグ・タイマの構成 219
9.3　ウォッチドッグ・タイマを制御するレジスタ 220
9.3.1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） 220
9.4　ウォッチドッグ・タイマの動作 221
9.4.1　ウォッチドッグ・タイマの動作制御 221
9.4.2　ウォッチドッグ・タイマの時間設定 222

第10章　A/Dコンバータ 223

10.1　A/Dコンバータの機能 223

10. 2　A/Dコンバータの構成 225
10. 3　A/Dコンバータで使用するレジスタ 226
10. 3. 1　周辺イネーブル・レジスタ0（PER0） 227
10. 3. 2　A/Dコンバータ・モード・レジスタ0（ADM0） 228
10. 3. 3　A/Dコンバータ・モード・レジスタ2（ADM2） 232
10. 3. 4　A/D変換結果上位ビット格納レジスタ（ADCRH） 232
10. 3. 5　A/D変換結果下位ビット格納レジスタ（ADCRL） 233
10. 3. 6　アナログ入力チャネル指定レジスタ（ADS） 234
10. 3. 7　A/Dテスト・レジスタ（ADTES） 235
10. 3. 8　アナログ入力端子のポート機能を制御するレジスタ 235
10. 4　A/Dコンバータの変換動作 236
10. 5　入力電圧と変換結果 238
10. 6　A/Dコンバータの動作モード 239
10. 7　A/Dコンバータの設定フロー・チャート 240
10. 7. 1　A/D変換対象：ANI0-ANI6 の設定 240
10. 7. 2　A/D変換対象：内部基準電圧の設定（16ピン製品のみ） 241
10. 8　A/Dコンバータ特性表の読み方 242
10. 8. 1　分解能 242
10. 8. 2　総合誤差 242
10. 8. 3　量子化誤差 242
10. 8. 4　ゼロスケール誤差 243
10. 8. 5　フルスケール誤差 243
10. 8. 6　積分直線性誤差 243
10. 8. 7　微分直線性誤差 243
10. 8. 8　変換時間 244
10. 8. 9　サンプリング時間 244
10. 9　A/Dコンバータの注意事項 245
10. 9. 1　STOPモード時の動作電流について 245
10. 9. 2　ANI0-ANI6端子の入力電圧について 245
10. 9. 3　競合動作について 245
10. 9. 4　ノイズ対策について 245
10. 9. 5　アナログ入力（ANIn）端子 246
10. 9. 6　アナログ入力（ANIn）端子の入力インピーダンスについて 246
10. 9. 7　割り込み要求フラグ（ADIF）について 246
10. 9. 8　A/D変換スタート直後の変換結果について 247
10. 9. 9　A/D変換結果レジスタ（ADCRH, ADCRL）の読み出しについて 247
10. 9. 10　内部等価回路について 247
10. 9. 11　A/Dコンバータの動作開始について 247

第11章　コンパレータ 248

11. 1　コンパレータの機能 248
11. 2　コンパレータの構成 248
11. 3　コンパレータを制御するレジスタ 250
11. 3. 1　周辺イネーブル・レジスタ0（PER0） 250
11. 3. 2　コンパレータモード設定レジスタ（COMPMDR） 251
11. 3. 3　コンパレータフィルタ制御レジスタ（COMPFIR） 252
11. 3. 4　コンパレータ出力制御レジスタ（COMPOCR） 253
11. 3. 5　コンパレータの入出力端子のポート機能を制御するレジスタ 253
11. 4　コンパレータの動作説明 254
11. 4. 1　コンパレータ0 のデジタル・フィルタ動作 255
11. 4. 2　コンパレータ0 の割り込み動作 255

11. 4. 3　コンパレータ0 出力 255
11. 5　コンパレータの設定フロー・チャート 255
11. 5. 1　コンパレータの動作許可 256
11. 5. 2　コンパレータの動作禁止 257

第12章　シリアル・アレイ・ユニット 258

12. 1　シリアル・アレイ・ユニットの機能 259
12. 1. 1　簡易SPI（CSI00, CSI01） 259
12. 1. 2　UART（UART0） 260
12. 1. 3　簡易I²C（IIC00） 261
12. 2　シリアル・アレイ・ユニットの構成 262
12. 2. 1　シフト･レジスタ 264
12. 2. 2　シリアル・データ・レジスタ0nL（SDR0nL） 264
12. 3　シリアル・アレイ・ユニットを制御するレジスタ 265
12. 3. 1　周辺イネーブル・レジスタ0（PER0） 266
12. 3. 2　シリアル・クロック選択レジスタ0（SPS0） 267
12. 3. 3　シリアル・モード・レジスタ0n（SMR0nH, SMR0nL） 268
12. 3. 4　シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL） 270
12. 3. 5　シリアル・データ・レジスタ0n（SDR0nH, SDR0nL） 272
12. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n） 273
12. 3. 7　シリアル・ステータス・レジスタ0n（SSR0n） 274
12. 3. 8　シリアル・チャネル開始レジスタ0（SS0） 276
12. 3. 9　シリアル・チャネル停止レジスタ0（ST0） 277
12. 3. 10　シリアル・チャネル許可ステータス・レジスタ0（SE0） 278
12. 3. 11　シリアル出力許可レジスタ0（SOE0） 279
12. 3. 12　シリアル出力レジスタ0（SO0） 280
12. 3. 13　シリアル・クロック出力レジスタ0（CKO0） 281
12. 3. 14　シリアル出力レベル・レジスタ0（SOL0） 282
12. 3. 15　ノイズ・フィルタ許可レジスタ0（NFEN0） 283
12. 3. 16　入力切り替え制御レジスタ（ISC） 284
12. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ 285
12. 4　動作停止モード 286
12. 4. 1　ユニット単位で動作停止とする場合 286
12. 4. 2　チャネルごとに動作停止とする場合 287
12. 5　簡易SPI（CSI00, CSI01）通信の動作 288
12. 5. 1　マスタ送信 289
12. 5. 2　マスタ受信 298
12. 5. 3　マスタ送受信 307
12. 5. 4　スレーブ送信 316
12. 5. 5　スレーブ受信 325
12. 5. 6　スレーブ送受信 332
12. 5. 7　転送クロック周波数の算出 341
12. 5. 8　簡易SPI（CSI00, CSI01）通信時におけるエラー発生時の処理手順 343
12. 6　UART（UART0）通信の動作 344
12. 6. 1　UART送信 345
12. 6. 2　UART受信 353
12. 6. 3　ボー・レートの算出 359
12. 6. 4　UART（UART0）通信時におけるエラー発生時の処理手順 363
12. 7　簡易I²C（IIC00）通信の動作 364
12. 7. 1　アドレス・フィールド送信 365
12. 7. 2　データ送信 370

12. 7. 3　データ受信 374
12. 7. 4　ストップ・コンディション発生 379
12. 7. 5　転送レートの算出 380
12. 7. 6　簡易I²C（IIC00）通信時におけるエラー発生時の処理手順 382

第13章　シリアル・インタフェースIICA 383

13. 1　シリアル・インタフェースIICAの機能 383
13. 2　シリアル・インタフェースIICAの構成 386
13. 3　シリアル・インタフェースIICAを制御するレジスタ 389
13. 3. 1　周辺イネーブル・レジスタ0（PER0） 390
13. 3. 2　IICAコントロール・レジスタ00（IICCTL00） 390
13. 3. 3　IICAステータス・レジスタ0（IICS0） 395
13. 3. 4　IICAフラグ・レジスタ0（IICF0） 397
13. 3. 5　IICAコントロール・レジスタ01（IICCTL01） 399
13. 3. 6　IICAロウ・レベル幅設定レジスタ0（IICWL0） 401
13. 3. 7　IICAハイ・レベル幅設定レジスタ0（IICWH0） 401
13. 3. 8　IICAシリアル入出力端子のポート機能を制御するレジスタ 402
13. 4　I²Cバス・モードの機能 403
13. 4. 1　端子構成 403
13. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法 404
13. 5　I²Cバスの定義および制御方法 405
13. 5. 1　スタート・コンディション 405
13. 5. 2　アドレス 406
13. 5. 3　転送方向指定 406
13. 5. 4　アクノリッジ（$\overline{\text{ACK}}$） 407
13. 5. 5　ストップ・コンディション 408
13. 5. 6　クロック・ストレッチ 409
13. 5. 7　クロック・ストレッチ解除方法 411
13. 5. 8　割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御 412
13. 5. 9　アドレスの一致検出方法 413
13. 5. 10　エラーの検出 413
13. 5. 11　拡張コード 414
13. 5. 12　アービトレーション 415
13. 5. 13　ウエイク・アップ機能 417
13. 5. 14　通信予約 420
13. 5. 15　その他の注意事項 424
13. 5. 16　通信動作 425
13. 5. 17　I²C割り込み要求（INTIICA0）の発生タイミング 436
13. 6　タイミング・チャート 457

第14章　割り込み機能 472

14. 1　割り込み機能の種類 472
14. 2　割り込み要因と構成 472
14. 3　割り込み機能を制御するレジスタ 477
14. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L） 479
14. 3. 2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L） 481
14. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR10L, PR10H, PR01L, PR11L） 482
14. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ0（EGP0），外部割り込み立ち下がりエッジ許可レジスタ0（EGN0） 484

14. 3. 5　プログラム・ステータス・ワード（PSW） 485
14. 4　割り込み処理動作 486
14. 4. 1　マスカブル割り込み要求の受け付け動作 486
14. 4. 2　ソフトウエア割り込み要求の受け付け動作 488
14. 4. 3　多重割り込み処理 488
14. 4. 4　割り込み要求の保留 493

第15章　キー割り込み機能 494

15. 1　キー割り込みの機能 494
15. 2　キー割り込みの構成 494
15. 3　キー割り込みを制御するレジスタ 496
15. 3. 1　キー・リターン・コントロール・レジスタ（KRCTL） 496
15. 3. 2　キー・リターン・モード・レジスタ（KRM0） 497
15. 3. 3　キー・リターン・フラグ・レジスタ（KRF） 498
15. 3. 4　キー割り込み入力端子のポート機能を制御するレジスタ 498
15. 4　キー割り込み機能の動作 499
15. 4. 1　キー割り込みフラグを使用しない場合（KRMD = 0） 499
15. 4. 2　キー割り込みフラグを使用する場合（KRMD = 1） 500

第16章　スタンバイ機能 502

16. 1　概　　要 502
16. 2　スタンバイ機能を制御するレジスタ 503
16. 3　スタンバイ機能の動作 503
16. 3. 1　HALTモード 503
16. 3. 2　STOPモード 507

第17章　リセット機能 511

17. 1　リセット動作のタイミング 513
17. 2　リセット期間中の動作状態 515
17. 3　リセット要因を確認するレジスタ 517
17. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF） 517

第18章　セレクタブル・パワーオン・リセット回路 519

18. 1　セレクタブル・パワーオン・リセット回路の機能 519
18. 2　セレクタブル・パワーオン・リセット回路の構成 520
18. 3　セレクタブル・パワーオン・リセット回路の動作 521
18. 4　セレクタブル・パワーオン・リセット回路の注意事項 522

第19章　オプション・バイト 523

19. 1　オプション・バイトの機能 523
19. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H） 523
19. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H） 523
19. 2　ユーザ・オプション・バイトのフォーマット 524
19. 3　オンチップ・デバッグ・オプション・バイトのフォーマット 526
19. 4　オプション・バイトの設定 527

第20章　フラッシュ・メモリ 528

20. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング 529
20. 1. 1　プログラミング環境 530
20. 1. 2　通信方式 530
20. 2　外部デバイス（UART内蔵）による書き込み方法 531
20. 2. 1　プログラミング環境 531
20. 2. 2　通信方式 531
20. 3　オンボード上の端子処理 532
20. 3. 1　P40/TOOL0端子 532
20. 3. 2　$\overline{\text{RESET}}$端子 533
20. 3. 3　ポート端子 533
20. 3. 4　X1, X2端子（16ピン製品のみ） 533
20. 3. 5　電　　源 533
20. 4　シリアル・プログラミング方法 534
20. 4. 1　シリアル・プログラミング手順 534
20. 4. 2　フラッシュ・メモリ・プログラミング・モード 535
20. 4. 3　通信方式 536
20. 4. 4　通信コマンド 536
20. 5　専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間　（参考値） 536

第21章　オンチップ・デバッグ機能 538

21. 1　E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータとの接続 538
21. 2　オンチップ・デバッグ・セキュリティID 539
21. 3　ユーザ資源の確保 540

第22章　10進補正（BCD）回路 541

22. 1　10進補正回路の機能 541
22. 2　10進補正回路で使用するレジスタ 541
22. 2. 1　BCD補正結果レジスタ（BCDADJ） 541
22. 3　10進補正回路の動作 542

第23章　命令セットの概要 544

23. 1　凡　　例 545
23. 1. 1　オペランドの表現形式と記述方法 545
23. 1. 2　オペレーション欄の説明 546
23. 1. 3　フラグ動作欄の説明 547
23. 1. 4　PREFIX命令 547
23. 2　オペレーション一覧 548

第24章　電気的特性 565

24. 1　絶対最大定格 566
24. 2　発振回路特性 567
24. 2. 1　X1発振回路特性 567
24. 2. 2　オンチップ・オシレータ特性 567
24. 3　DC特性 568
24. 3. 1　端子特性 568

24. 3. 2　電源電流特性 569
24. 4　AC特性 573
24. 5　シリアル・インタフェース特性 575
24. 5. 1　シリアル・アレイ・ユニット 575
24. 5. 2　シリアル・インターフェースIICA 579
24. 6　アナログ特性 580
24. 6. 1　A/Dコンバータ特性 580
24. 6. 2　コンパレータ特性 581
24. 6. 3　内部基準電圧特性 581
24. 6. 4　SPOR回路特性 582
24. 6. 5　電源電圧立ち上がり傾き特性 582
24. 7　RAMデータ保持特性 583
24. 8　フラッシュ・メモリ・プログラミング特性 583
24. 9　専用フラッシュ・メモリ・プログラマ通信（UART） 583
24. 10　フラッシュ・メモリ・プログラミング・モード引き込み タイミング 584

第25章　外形図 585

25. 1　10ピン製品 585
25. 2　16ピン製品 586

付録A　改版履歴 587

A. 1　本版で修正した箇所 587
A. 2　前版までの改版履歴 588

第1章　概　　説

1. 1　特　　徴

低消費電力テクノロジー

- V_{DD} = 2.0～5.5Vの単一電源
  （セレクタブル・パワーオン・リセット（SPOR）回路の検出電圧（V_{SPOR}）が含まれるため，2.25～5.5Vの電圧範囲で使用してください）
- HALTモード
- STOPモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.05 μs：高速オンチップ・オシレータ・クロック20MHz動作時）から低速（1.0 μs：1MHz動作時）までを変更可能
- アドレス空間：1Mバイト
- 汎用レジスタ：8ビット・レジスタ×8
- 内蔵RAM：128B～512B

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：1KB～4KB
- オンチップ・デバッグ機能内蔵

高速オンチップ・オシレータ

- 20 MHz／10 MHz／5 MHz／2.5 MHz／1.25 MHzから選択
- 高精度±2.0 %（V_{DD} = 2.0～5.5 V，T_A = －20～＋85 ℃）

動作周囲温度

- T_A = －40～＋85 ℃

電源管理とリセット機能

- セレクタブル・パワーオン・リセット（SPOR）回路内蔵

シリアル・インタフェース

- 簡易SPI（CSI[注1]） ：1/2[注2]チャネル
- UART ：1チャネル
- 簡易I^2C ：1チャネル
- I^2C ：1チャネル[注2]

タイマ

- 8/16ビット・タイマ ：2/4[注2]チャネル
- 12ビット・インターバル・タイマ[注2] ：1チャネル
- ウォッチドッグ・タイマ ：1チャネル（専用の低速オンチップ・オシレータ・クロックで動作可能）

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ（V_{DD} = 2.4～5.5 V）
- アナログ入力：4/7[注2]チャネル
- 内部基準電圧（0.815 V (TYP.)）[注2]

コンパレータ[注2]

- 1チャネル
- 動作モード：コンパレータ高速モード，コンパレータ低速モード
- 基準電圧は外部基準電圧と内部基準電圧の選択が可能

入出力ポート

- I/Oポート：8/14[注2]本（N-chオープン・ドレイン出力[V_{DD}耐圧]：2/4[注2]本）
- N-chオープン・ドレイン，内蔵プルアップの切り替え可能
- キー割り込み機能内蔵
- クロック出力／ブザー出力制御回路内蔵

その他

- 10進補正（BCD）回路内蔵

ROM, RAM容量

フラッシュROM	RAM	10ピン	16ピン
4KB	512B	R5F10Y17	R5F10Y47
2KB	256B	R5F10Y16	R5F10Y46
1KB	128B	R5F10Y14	R5F10Y44

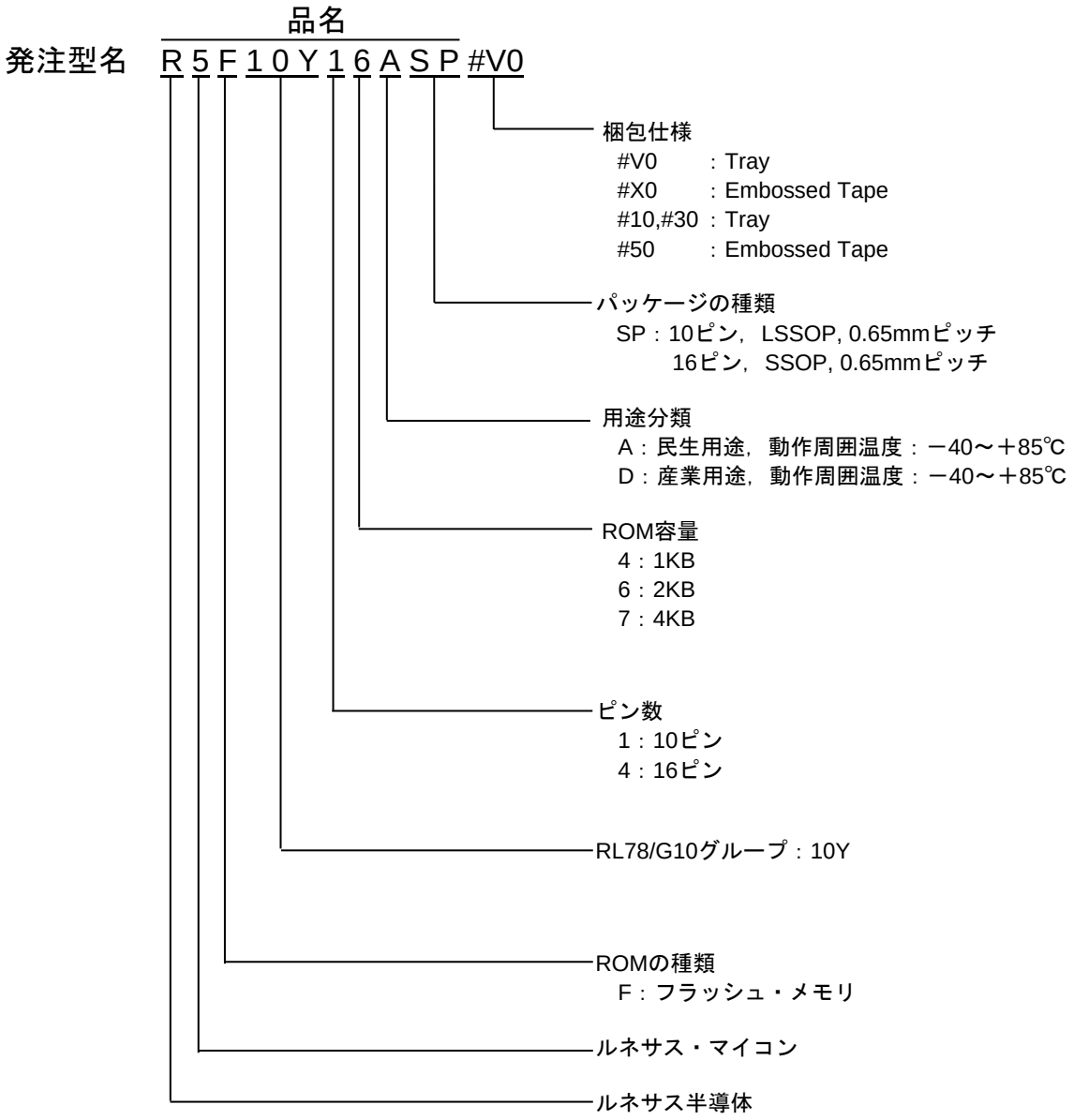
★ 注1. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

注2. 16ピン製品のみ

備考 製品によって，搭載している機能が異なります。**1. 6 機能概要**を参照してください。

1. 2　型名一覧

★ **図1－1　RL78/G10の型名とメモリ・サイズ，パッケージ**



★ 表1－1　発注型名一覧

ピン数	パッケージ	用途・区分注	発注型名		ルネサス・コード
			発注型名	梱包仕様	
10ピン	10ピン・プラスチックLSSOP （4.4×3.6 mm, 0.65 mmピッチ）	A	R5F10Y14ASP, R5F10Y14ASP R5F10Y16ASP, R5F10Y16ASP	#V0,#X0	PLSP0010JA-A
			R5F10Y17ASP, R5F10Y17ASP	#10,#30,#50	
		D	R5F10Y14DSP, R5F10Y14DSP R5F10Y16DSP, R5F10Y16DSP R5F10Y17DSP, R5F10Y17DSP	#10,#30,#50	
16ピン	16ピン・プラスチックSSOP （4.4×5.0 mm, 0.65 mmピッチ）	A	R5F10Y44ASP, R5F10Y44ASP R5F10Y46ASP, R5F10Y46ASP R5F10Y47ASP, R5F10Y47ASP	#10,#30,#50	PRSP0016JC-B
		D	R5F10Y44DSP, R5F10Y44DSP R5F10Y46DSP, R5F10Y46DSP R5F10Y47DSP, R5F10Y47DSP		

注　用途・区分は，図1－1　RL78/G10の型名とメモリ・サイズ，パッケージを参照してください。

注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は弊社ホームページの対象製品のページを必ず参照してください。

1. 3　端子接続図（Top View）

1. 3. 1　10ピン製品

・10ピン・プラスチックLSSOP（4.4×3.6mm, 0.65mmピッチ）

★ 表1－2　10ピン製品の兼用機能

ピン番号	I/O	電源、システムクロック、デバッグ	アナログ		HMI		タイマ	通信インタフェース	
10LSSOP	デジタル・ポート		A/Dコンバータ	コンパレータ	割り込み機能	キー割り込み機能(KR)	タイマ・アレイ・ユニット	シリアル・アレイ・ユニット	シリアル・インタフェースIICA
1	P40	TOOL0 (PCLBUZ0)				KR0	(TI01/TO01)		
2	P125	$\overline{\text{RESET}}$				KR1			
3	P137				INTP0		TI00		
4		V_{SS}							
5		V_{DD}							
6	P00				INTP1			SO00/TxD0	
7	P01		ANI0			KR2		SI00/RxD0/SDA00	
8	P02	PCLBUZ0	ANI1			KR3		SCK00/SCL00	
9	P03		ANI2		(INTP1)	KR4	TO00		
10	P04		ANI3			KR5	TI01/TO01		

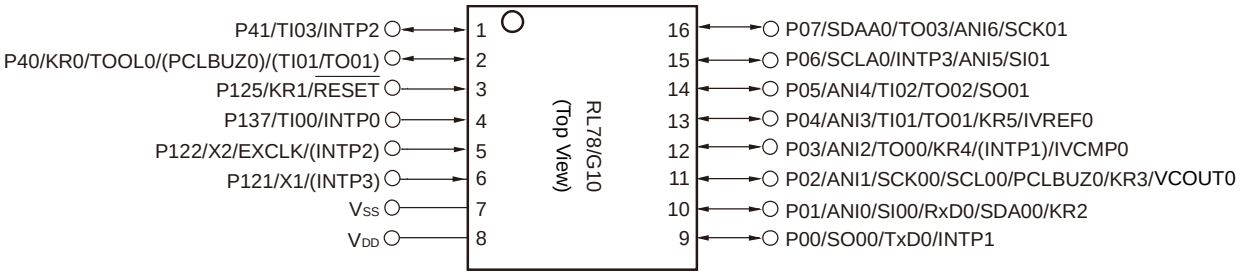
備考1.　端子名称は，**1. 4　端子名称**を参照してください。

2.　（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

図4－6　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 3. 2　16ピン製品

・16ピン・プラスチックSSOP（4.4×5.0mm, 0.65mmピッチ）



★ 表1－3　16ピン製品の兼用機能

ピン番号	I/O	電源、システムクロック、デバッグ	アナログ		HMI		タイマ	通信インタフェース	
16SSOP	デジタル・ポート		A/Dコンバータ	コンパレータ	割り込み機能	キー割り込み機能	タイマ・アレイ・ユニット	シリアル・アレイ・ユニット	シリアル・インタフェースIICA
1	P41				INTP2		TI03		
2	P40	TOOL0 (PCLBUZ0)				KR0	(TI01/TO01)		
3	P125	$\overline{\text{RESET}}$				KR1			
4	P137				INTP0		TI00		
5	P122	X2 EXCLK			(INTP2)				
6	P121	X1			(INTP3)				
7		V_{SS}							
8		V_{DD}							
9	P00				INTP1			SO00/TxD0	
10	P01		ANI0			KR2		SI00/RxD0/SDA00	
11	P02	PCLBUZ0	ANI1	VCOUT0		KR3		SCK00/SCL00	
12	P03		ANI2	IVCMP0	(INTP1)	KR4	TO00		
13	P04		ANI3	IVREF0		KR5	TI01/TO01		
14	P05		ANI4				TI02/TO02	SO01	
15	P06		ANI5		INTP3			SI01	SCLA0
16	P07		ANI6				TO03	SCK01	SDAA0

備考1.　端子名称は，**1. 4　端子名称**を参照してください。

2.　（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

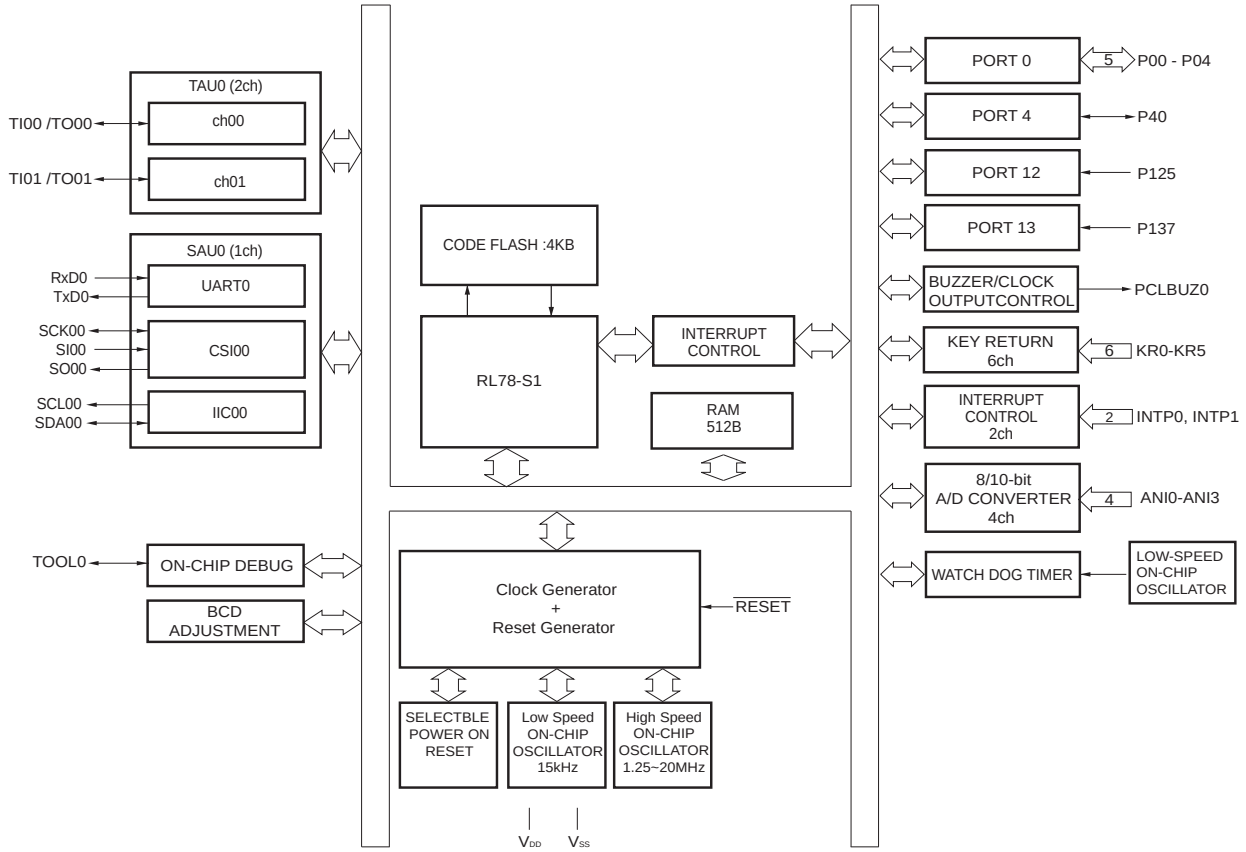
図4－6　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 4 端子名称

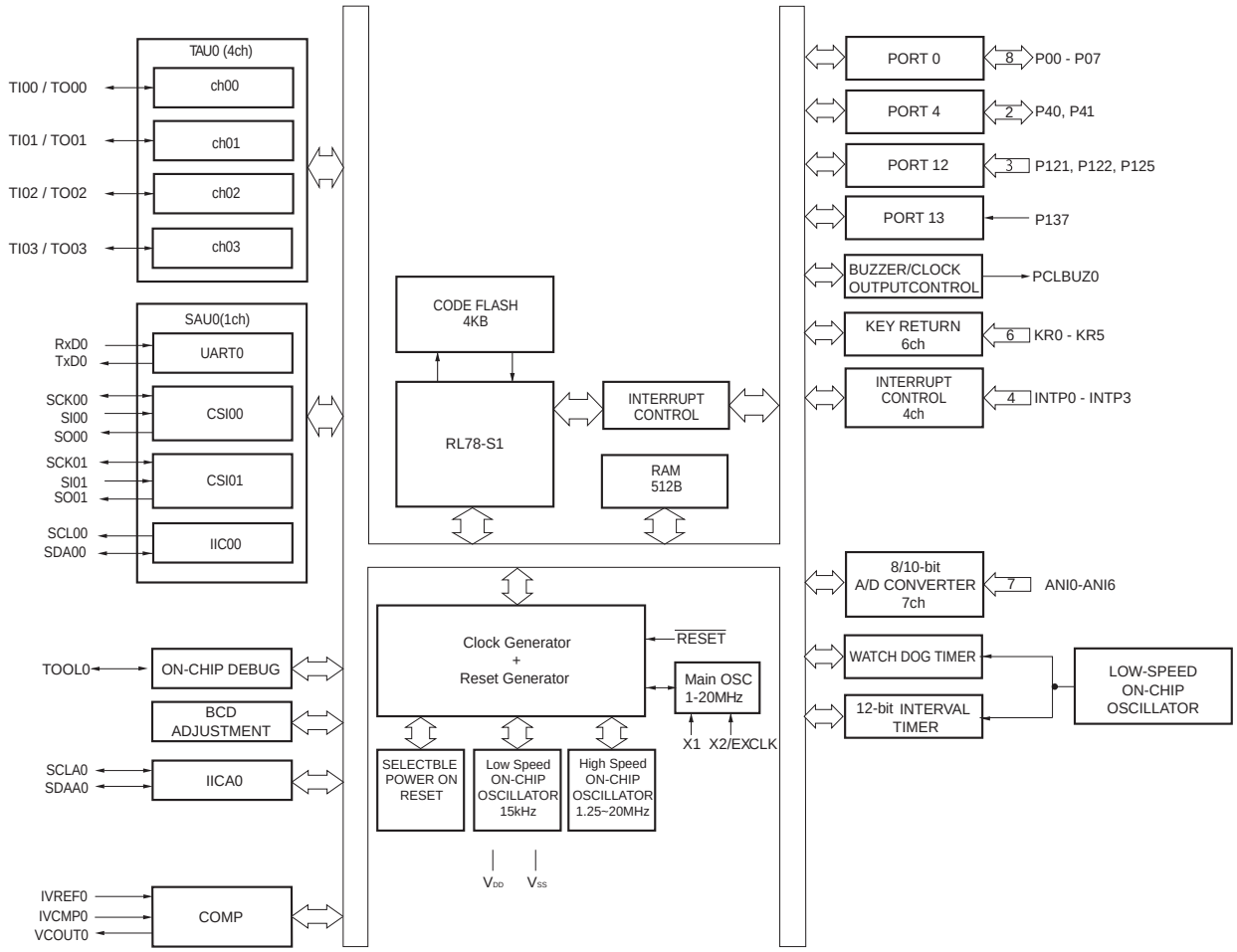
ANI0-ANI6	: Analog Input
INTP0-INTP3	: Interrupt Request From Peripherals
KR0-KR5	: Key Return
P00-P07	: Port 0
P40, P41	: Port 4
P121, P122, P125	: Port 12
P137	: Port 13
PCLBUZ0	: Programmable Clock Output/ Buzzer Output
EXCLK	: External Clock Input
X1, X2	: Crystal Oscillator (Main System Clock)
IVCMP0	: Comparator Input
VCOUT0	: Comparator Output
IVREF0	: Comparator Reference Input
$\overline{\text{RESET}}$	: Reset
RxD0	: Receive Data
SCK00, SCK01	: Serial Clock Input/Output
SCL00, SCLA0	: Serial Clock Output
SDA00, SDAA0	: Serial Data Input/Output
SI00, SI01	: Serial Data Input
SO00, SO01	: Serial Data Output
TI00 - TI03	: Timer Input
TO00 - TO03	: Timer Output
TOOL0	: Data Input/Output for Tool
TxD0	: Transmit Data
V_{DD}	: Power Supply
V_{SS}	: Ground

1. 5 ブロック図

1. 5. 1 10ピン製品



1. 5. 2 16ピン製品


TAU0 (4ch)
TI00 / TO00
ch00
TI01 / TO01
ch01
TI02 / TO02
ch02
TI03 / TO03
ch03
SAU0(1ch)
RxD0
TxD0
UART0
SCK00
SI00
SO00
CSI00
SCK01
SI01
SO01
CSI01
SCL00
SDA00
IIC00
TOOL0
ON-CHIP DEBUG
BCD ADJUSTMENT
SCLA0
SDAA0
IICA0
IVREF0
IVCMP0
VCOUT0
COMP
CODE FLASH 4KB
RL78-S1
INTERRUPT CONTROL
RAM 512B
Clock Generator + Reset Generator
RESET
Main OSC 1-20MHz
X1 X2/EXCLK
SELECTBLE POWER ON RESET
Low Speed ON-CHIP OSCILLATOR 15kHz
High Speed ON-CHIP OSCILLATOR 1.25~20MHz
VDD VSS
PORT 0
8
P00 - P07
PORT 4
2
P40, P41
PORT 12
3
P121, P122, P125
PORT 13
P137
BUZZER/CLOCK OUTPUTCONTROL
PCLBUZ0
KEY RETURN 6ch
6
KR0 - KR5
INTERRUPT CONTROL 4ch
4
INTP0 - INTP3
8/10-bit A/D CONVERTER 7ch
7
ANI0-ANI6
WATCH DOG TIMER
12-bit INTERVAL TIMER
LOW-SPEED ON-CHIP OSCILLATOR

1. 6 機能概要

周辺I/Oリダイレクション・レジスタ（PIOR）を00Hに設定したときの機能概要を示します。

項 目		10 ピン			16 ピン		
		R5F10Y14	R5F10Y16	R5F10Y17	R5F10Y44	R5F10Y46	R5F10Y47
コード・フラッシュ・メモリ		1KB	2KB	4KB	1KB	2KB	4KB
RAM		128B	256B	512B	128B	256B	512B
メイン・システム・クロック	高速システム・クロック	―			X1, X2（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK）： 1～20 MHz:V_{DD} = 2.7～5.5 V, 1~5MHz:V_{DD}= 2.0~5.5V注3		
	高速オンチップ・オシレータ・クロック	・1.25～20 MHz（V_{DD} = 2.7～5.5 V） ・1.25～5MHz（V_{DD} = 2.0～5.5V注3）					
低速オンチップ・オシレータ・クロック		15 kHz（TYP.）					
汎用レジスタ		8 ビット・レジスタ×8					
最小命令実行時間		0.05 μs（20 MHz 動作時）					
命令セット		・データ転送（8 ビット） ・加減/論理演算（8 ビット） ・乗算（8 ビット× 8 ビット） ・ローテート，バレル・シフト，ビット操作（セット，リセット，テスト，ブール演算）など					
I/O ポート	合計	8			14		
	CMOS 入出力	6（N-ch O.D.出力（V_{DD} 耐圧）：2）			10（N-ch O.D.出力（V_{DD} 耐圧）：4）		
	CMOS 入力	2			4		
タイマ	16 ビット・タイマ	2 チャネル			4 チャネル		
	ウォッチドッグ・タイマ	1 チャネル					
	12 ビット・インターバル・タイマ	―			1 チャネル		
	タイマ出力	2 本 （PWM 出力：1 本）			4 本 （PWM 出力：3 本注1）		
クロック出力／ブザー出力		1 本					
		2.44 kHz ～ 10 MHz（周辺ハードウエア・クロック：f_{MAIN} = 20 MHz 動作時）					
コンパレータ		―			1		
8/10 ビット分解能 A/D コンバータ		4 チャネル			7 チャネル		
シリアル・インタフェース		【10 ピン製品】簡易 SPI（CSI）：1 チャネル /簡易 I^2C： 1 チャネル/ UART：1 チャネル 【16 ピン製品】簡易 SPI（CSI）：2 チャネル /簡易 I^2C： 1 チャネル/ UART：1 チャネル					
	I^2C バス	―			1 チャネル		
ベクタ割り込み要因数	内部	8			14		
	外部	3			5		
キー割り込み		6					
リセット		・$\overline{\text{RESET}}$ 端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・セレクタブル・パワーオン・リセットによる内部リセット ・不正命令の実行による内部リセット注2 ・データ保持下限電圧による内部リセット					
セレクタブル・パワーオン・リセット回路		・検出電圧 立ち上がり（V_{SPOR}）：2.25 V/2.68 V/3.02 V/4.45 V（MAX.） 立ち下がり（V_{SPDR}）：2.20 V/2.62 V/2.96 V/4.37 V（MAX.）					
オンチップ・デバッグ機能		あり					
電源電圧		V_{DD} = 2.0～5.5V 注3					
動作周囲温度		T_A = －40～＋85 ℃					

注1. マスタの数と使用チャネルの設定によって，出力数は変わります（**6. 9. 4 多重PWM出力機能としての動作**参照）

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは，オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

3. セレクタブル・パワーオン・リセット（SPOR）回路の検出電圧（V_{SPOR}）が含まれるため，2.25～5.5Vの電圧範囲で使用してください。

第2章　端子機能

2. 1　ポート機能

各ポートで設定した入出力やバッファ，プルアップ抵抗は，兼用機能に対しても有効です。

2. 1. 1　10ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	SO00/TxD0/INTP1	ポート0。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P00，P01の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P01-P04はアナログ入力に設定可能[注]。
P01	7-3-2		アナログ入力	ANI0/SI00/RxD0/SDA00/KR2	
P02	7-3-1			ANI1/SCK00/SCL00/PCLBUZ0/KR3	
P03				ANI2/TO00/KR4/(INTP1)	
P04				ANI3/TI01/TO01/KR5	
P40	7-1-1	入出力	入力ポート	KR0/TOOL0/(PCLBUZ0)/(TI01/TO01)	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P125	3-1-1	入力	入力ポート	KR1/$\overline{\text{RESET}}$	ポート12。 1ビット入力専用ポート。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しています。 外部リセットとして使用する場合は，オプション・バイト（000C1H）のPORTSELBビットに”1”を設定してください。
P137	2-1-2	入力	入力ポート	TI00/INTP0	ポート13。 1ビット入力専用ポート。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタ0（PMC0）で設定します（1ビット単位で設定可能）。

備考　（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，**図4－6　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

2. 1. 2　16ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P00	7-1-2	入出力	入力ポート	SO00/TxD0/INTP1	ポート0。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P00，P01，P06，P07の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。 P01-P07はアナログ入力に設定可能注。
P01	7-3-2		アナログ入力	ANI0/SI00/RxD0/SDA00/KR2	
P02	7-3-1			ANI1/SCK00/SCL00/PCLBUZ0/KR3/VCOUT0	
P03	7-9-1			ANI2/TO00/KR4/(INTP1)/IVCMP0	
P04				ANI3/TI01/TO01/KR5/IVREF0	
P05	7-3-1			ANI4/TI02/TO02/SO01	
P06	7-3-2			ANI5/SCLA0/INTP3/SI01	
P07				ANI6/SDAA0/TO03/SCK01	
P40	7-1-1	入出力	入力ポート	KR0/TOOL0/(PCLBUZ0)/(TI01/TO01)	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P41				TI03/INTP2	
P121	2-2-1	入力	入力ポート	X1/(INTP3)	ポート12。 3ビット入力専用ポート。 P125はソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P125は外部リセット用の入力端子（$\overline{\text{RESET}}$）と兼用しています。 外部リセットとして使用する場合は，オプション・バイト（000C1H）のPORTSELBビットに"1"を設定してください。
P122				X2/EXCLK/(INTP2)	
P125	3-1-1			KR1/$\overline{\text{RESET}}$	
P137	2-1-2	入力	入力ポート	TI00/INTP0	ポート13。 1ビット入力専用ポート。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタ0（PMC0）で設定します（1ビット単位で設定可能）。

備考　（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，**図4－6　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット**を参照してください。

2. 2　ポート以外の機能

2. 2. 1　製品別の搭載機能

機能名称	16ピン製品	10ピン製品
ANI0	○	○
ANI1	○	○
ANI2	○	○
ANI3	○	○
ANI4	○	—
ANI5	○	—
ANI6	○	—
IVCMP0	○	—
IVREF0	○	—
VCOUT0	○	—
INTP0	○	○
INTP1	○	○
INTP2	○	—
INTP3	○	—
KR0	○	○
KR1	○	○
KR2	○	○
KR3	○	○
KR4	○	○
KR5	○	○
PCLBUZ0	○	○
TOOL0	○	○
$\overline{\text{RESET}}$	○	○
X1	○	—
X2	○	—
EXCLK	○	—
V_{DD}	○	○
V_{SS}	○	○

機能名称	16ピン製品	10ピン製品
RxD0	○	○
TxD0	○	○
SCL00	○	○
SDA00	○	○
SCK00	○	○
SCK01	○	—
SI00	○	○
SI01	○	—
SO00	○	○
SO01	○	—
SCLA0	○	—
SDAA0	○	—
TI00	○	○
TO00	○	○
TI01	○	○
TO01	○	○
TI02	○	—
TO02	○	—
TI03	○	—
TO03	○	—

2. 2. 2　機能説明

機能名称	入出力	機　　能
ANI0-ANI6	入力	A/Dコンバータのアナログ入力（**図10－23　アナログ入力端子の処理**参照）
IVCOUT0	出力	コンパレータ出力
IVCMP0	入力	コンパレータのアナログ入力
IVREF0	入力	コンパレータの基準電圧入力
INTP0-INTP3	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり，立ち下がり，立ち上がりと立ち下がりの両エッジ
KR0-KR5	入力	キー割り込み入力 有効エッジ指定：立ち上がり，立ち下がり
PCLBUZ0	出力	クロック出力／ブザー出力
$\overline{\text{RESET}}$	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。
RxD0	入力	シリアル・インタフェースUART0のシリアル・データ入力
TxD0	出力	シリアル・インタフェースUART0のシリアル・データ出力
SCK00，SCK01	入出力	シリアル・インタフェースCSI00，CSI01のシリアル・クロック入力／出力
SI00，SI01	入力	シリアル・インタフェースCSI00，CSI01のシリアル・データ入力
SO00，SO01	出力	シリアル・インタフェースCSI00，CSI01のシリアル・データ出力
SCL00	出力	シリアル・インタフェース簡易I^2C（IIC00）のシリアル・クロック出力
SDA00	入出力	シリアル・インタフェース簡易I^2C（IIC00）のシリアル・データ入出力
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
TI00-TI03	入力	16ビット・タイマ00-03への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO03	出力	16 ビット・タイマ00-03のタイマ出力
X1，X2	－	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
V_{DD}	－	正電源
V_{SS}	－	グランド電位
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力

注意　リセット解除時のP40/TOOL0と動作モードとの関係は，次のようになります。

表2－1　リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
V_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は，20. 4. 2　フラッシュ・メモリ・プログラミング・モードを参照してください。

備考　ノイズ対策およびラッチアップ対策として，V_{DD} - V_{SS}ライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ，比較的太い配線を使って接続してください。

2. 3　未使用端子の処理

各端子の未使用端子の処理を**表2－2**に示します。

備考　製品により，搭載している端子が異なります。**1. 3　端子接続図（Top View）**，**2. 1　ポート機能**を参照してください。

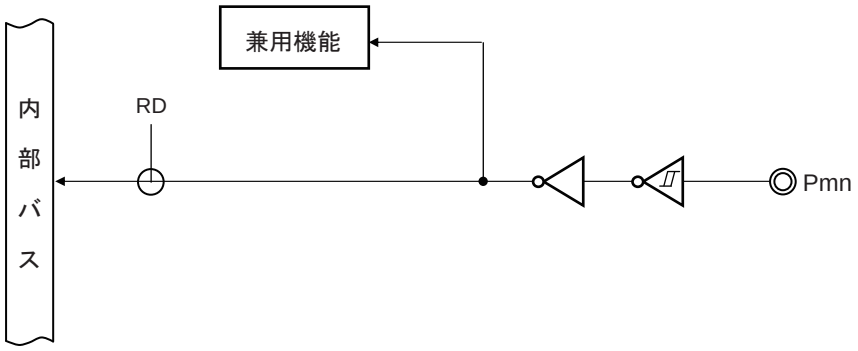
表2－2　各端子の未使用処理

端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して，V_{DD}に接続にしてください。 出力時：オープンにしてください。
P41		入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P121，P122	入力	個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。
P125/$\overline{\text{RESET}}$	入力	PORTSELB = 1の状態で，オープンまたはV_{DD}に接続してください。
P137	入力	個別に抵抗を介して，V_{DD}またはV_{SS}に接続してください。

2. 4　端子ブロック図

2. 1. 1　10ピン製品，**2. 1. 2　16**ピン製品に記載した端子タイプについて、端子ブロック図を**図2－1～図2－8**に示します。

図2－1　端子タイプ2-1-2の端子ブロック図



備考　兼用機能は，**2. 1　ポート機能**を参照してください。

図2－2　端子タイプ2-2-1の端子ブロック図

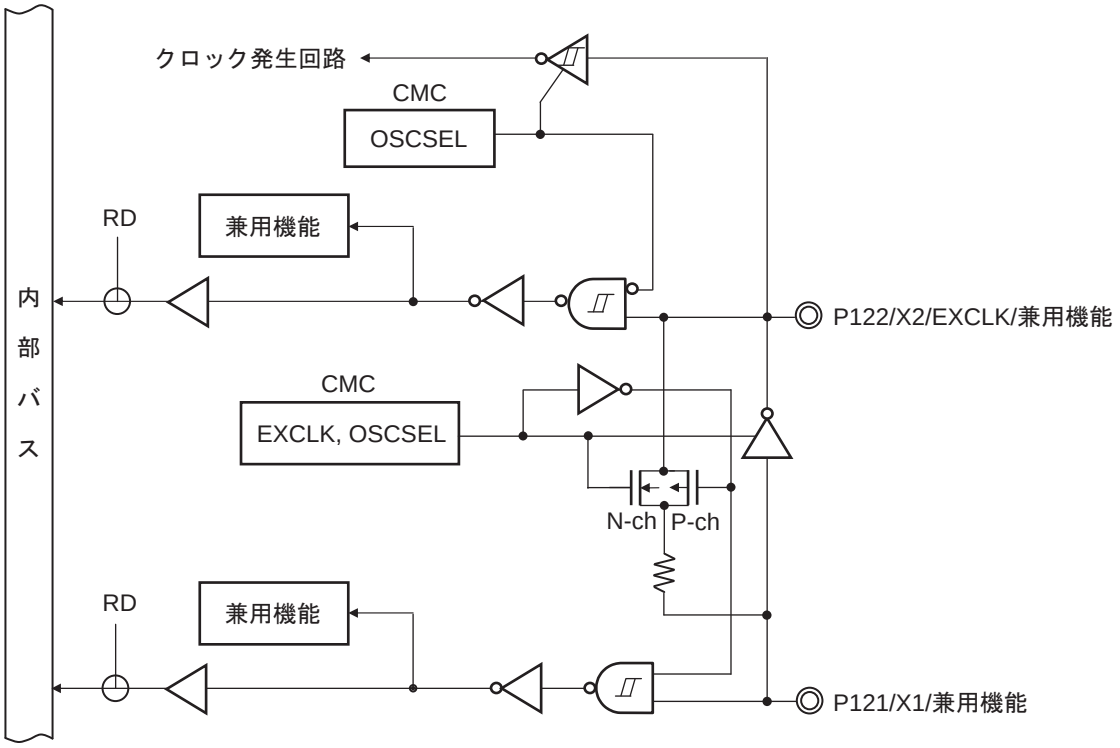
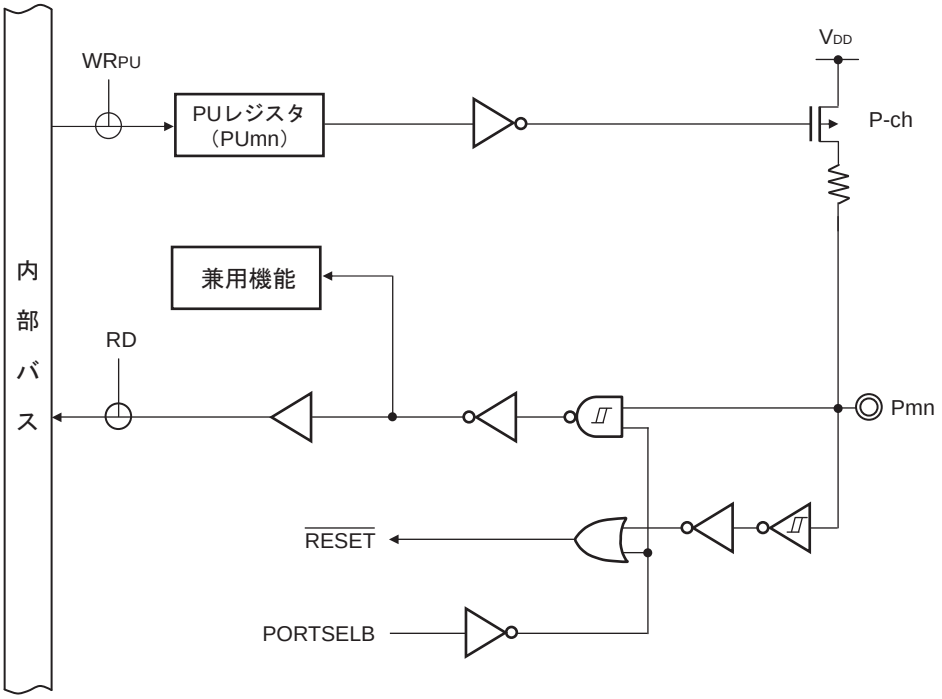
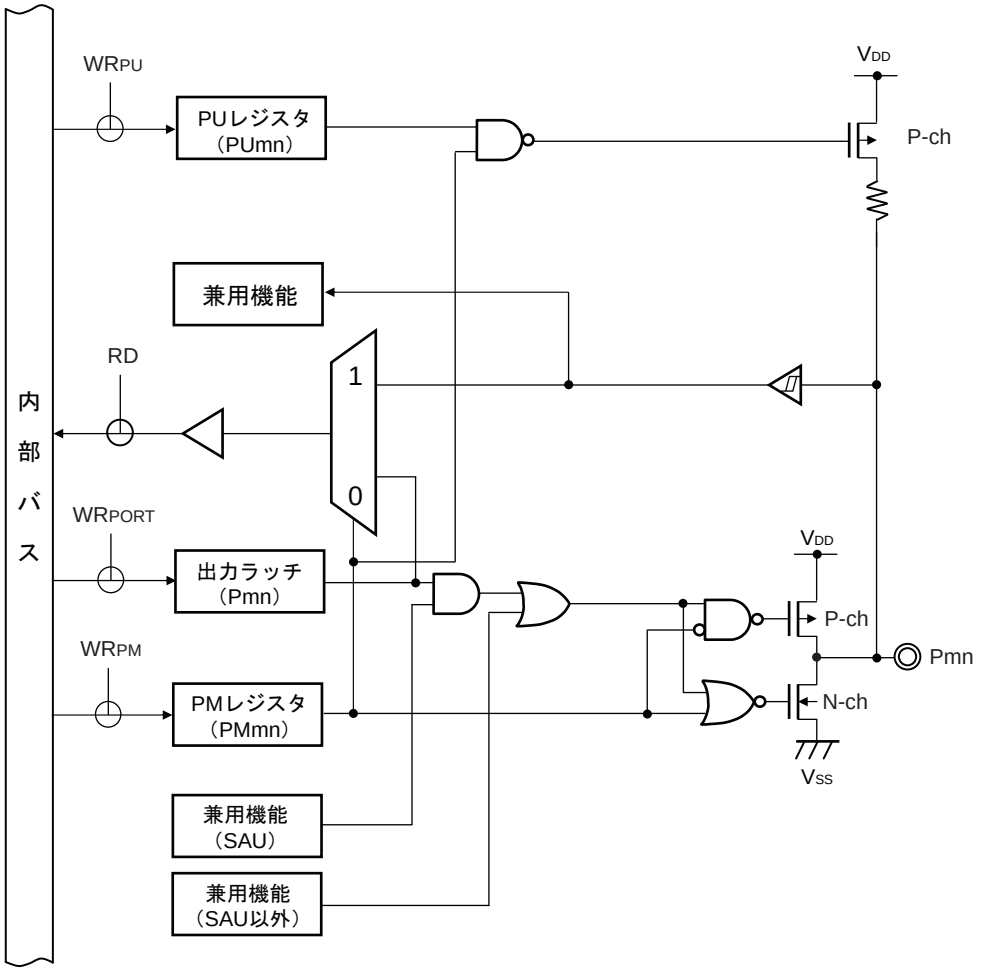


図2－3　端子タイプ3-1-1の端子ブロック図



備考　兼用機能は，**2. 1　ポート機能**を参照してください。

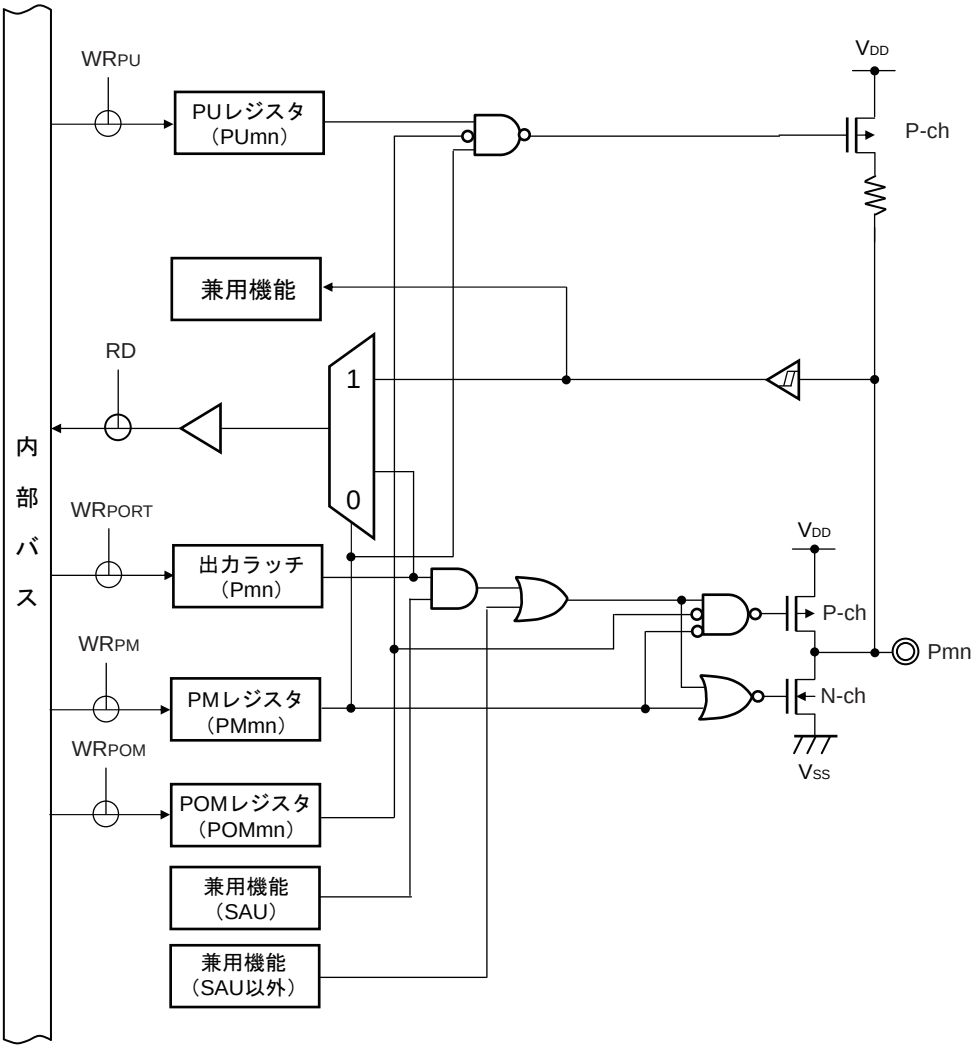
図2－4　端子タイプ7-1-1の端子ブロック図



備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－5　端子タイプ7-1-2の端子ブロック図

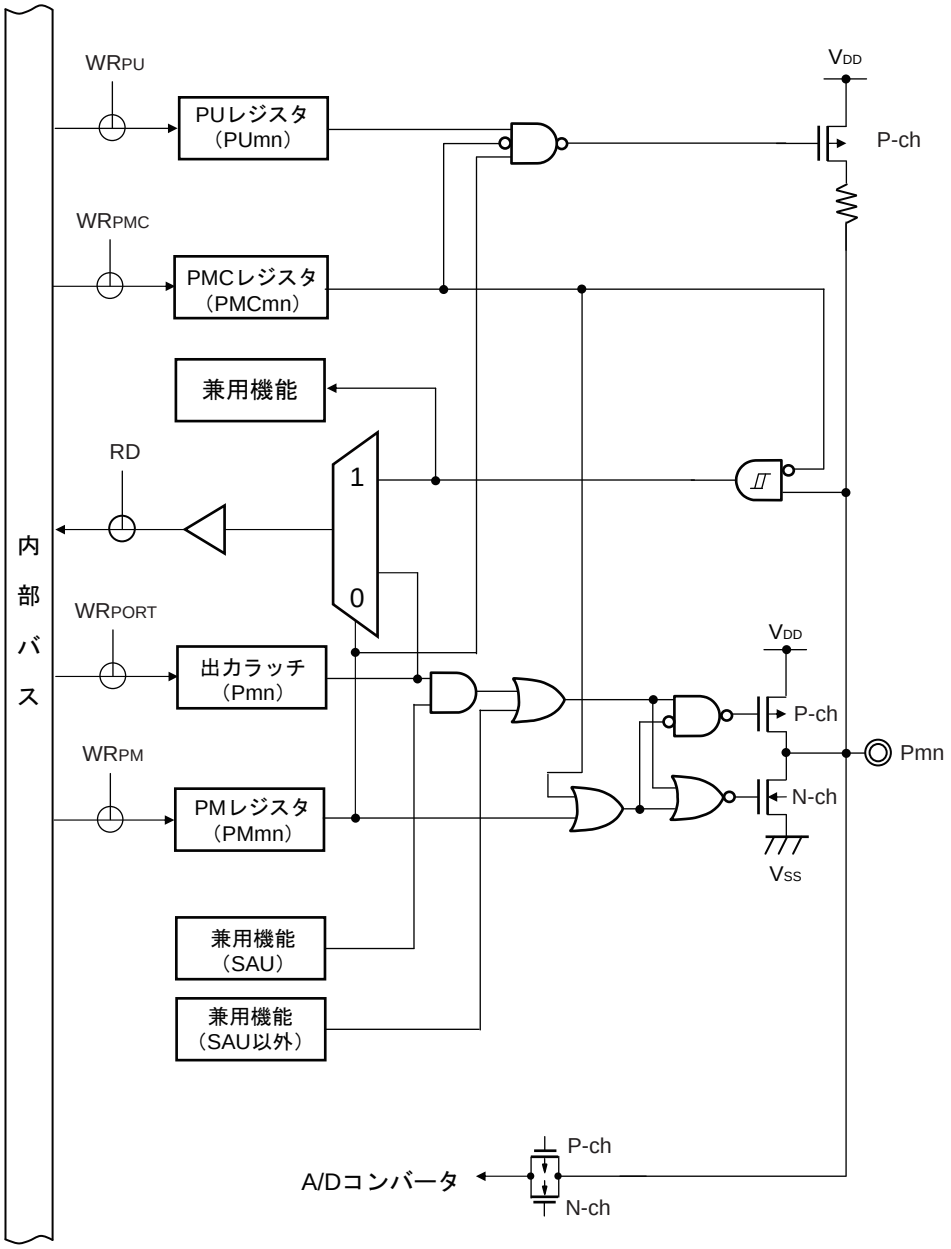


注意　ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。また, N-chオープン・ドレイン出力モード設定時は，出力レベルを切り替えるとグリッチ(V_{DD}レベル)が発生することがあります。

備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

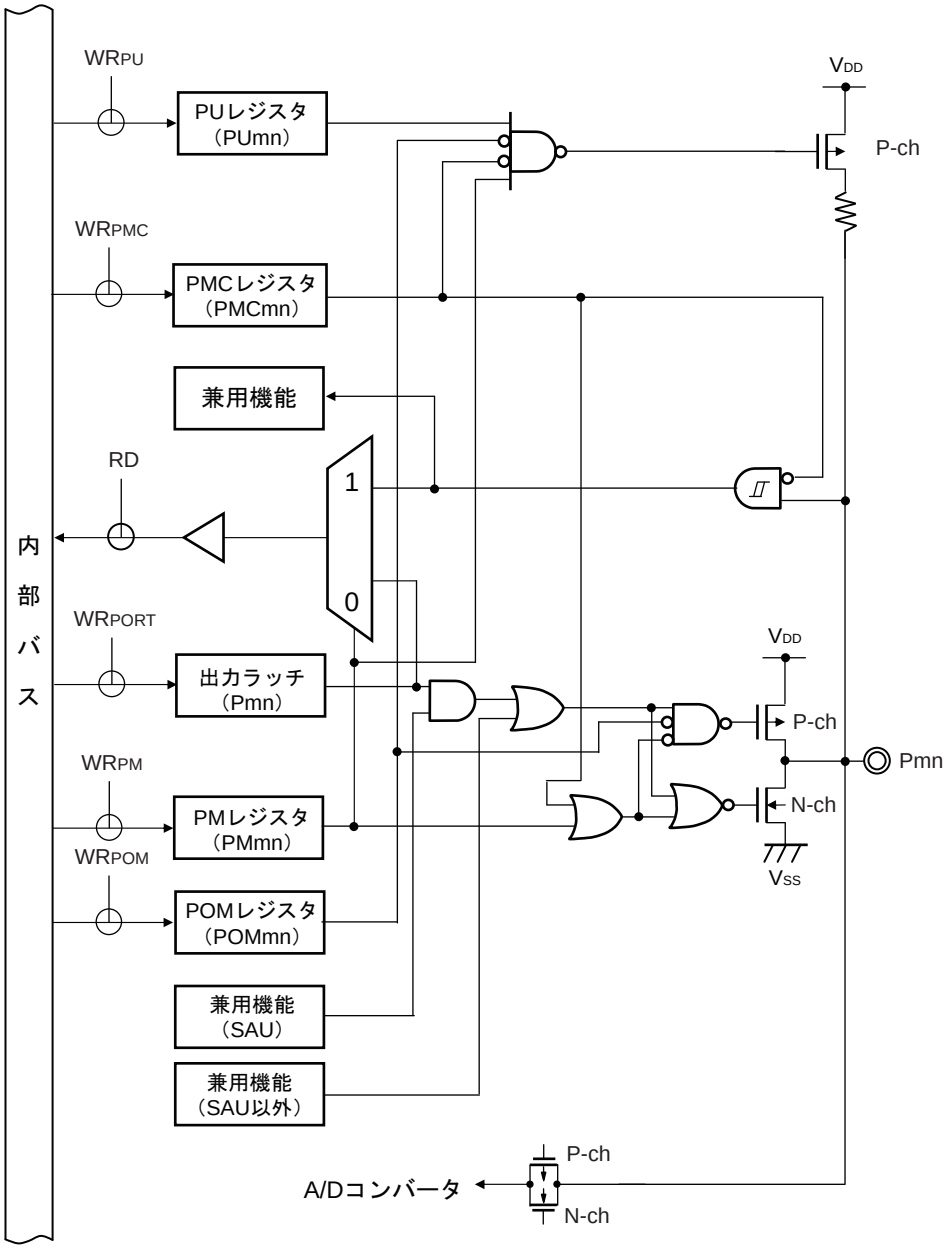
図2－6　端子タイプ7-3-1の端子ブロック図



備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－7　端子タイプ7-3-2の端子ブロック図

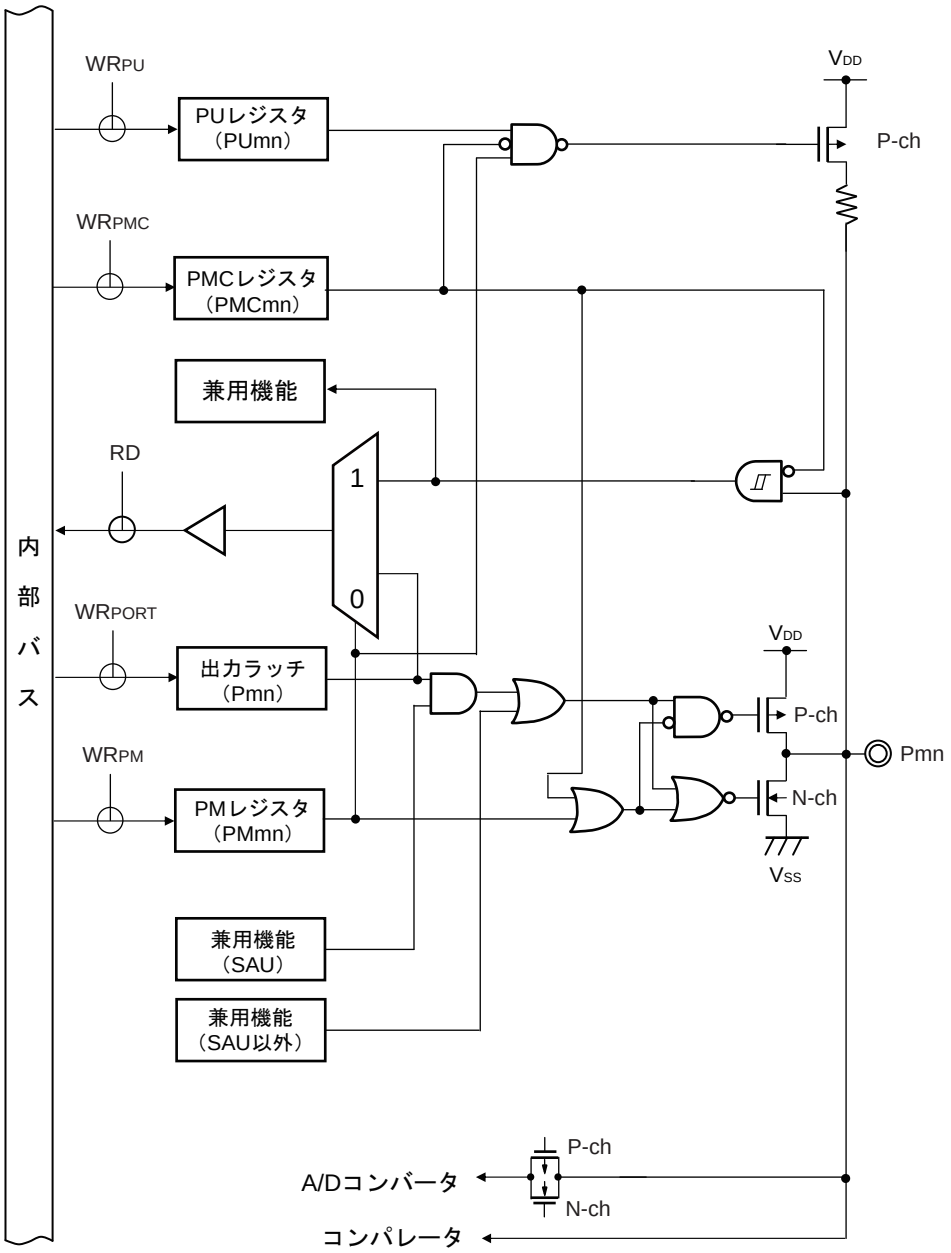


注意　ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。また, N-chオープン・ドレイン出力モード設定時は，出力レベルを切り替えるとグリッチ(V_{DD}レベル)が発生することがあります。

備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－8　端子タイプ7-9-1の端子ブロック図



備考1.　兼用機能は，**2. 1　ポート機能**を参照してください。

2.　SAU：シリアル・アレイ・ユニット

第3章　CPUアーキテクチャ

RL78/G10は，RL78-S1コアを搭載しています。

RL78-S1コアの特徴を以下に示します。

・3段パイプラインのCISCアーキテクチャ

・アドレス空間：1Mバイト

・汎用レジスタ：8ビット・レジスタ×8

・命令は，RL78-S2コアと共通です。ただし，以下の命令のクロック数は，RL78-S1コアとRL78-S2コアで異なります。詳細は，**第23章　命令セットの概要**を参照してください。

－16ビット・データ転送（MOVW，XCHW，ONEW，CLRW）

－16ビット演算（ADDW，SUBW，CMPW）

－乗算（MULU）

－16ビット増減（INCW，DECW）

－16ビット・シフト（SHRW，SHLW，SARW）

－16ビット・ローテート（ROLWC）

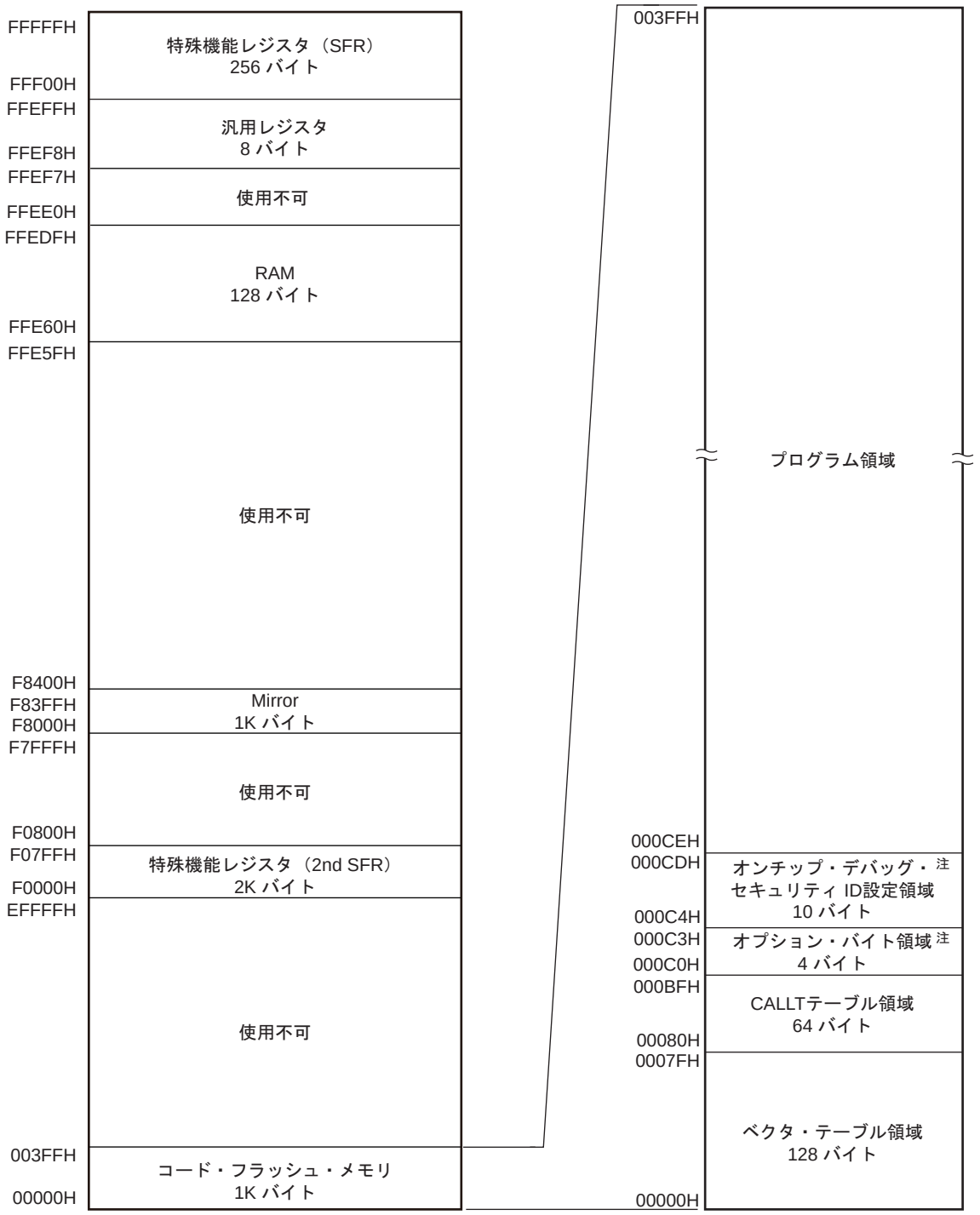
－コール・リターン（CALL，CALLT，BRK，RET，RETI，RETB）

－スタック操作（PUSH，POP，MOVW，ADDW，SUBW）

3. 1　メモリ空間

RL78/G10は，1 Mバイトのアドレス空間をアクセスできます。図3－1～図3－3に，メモリ・マップを示します。

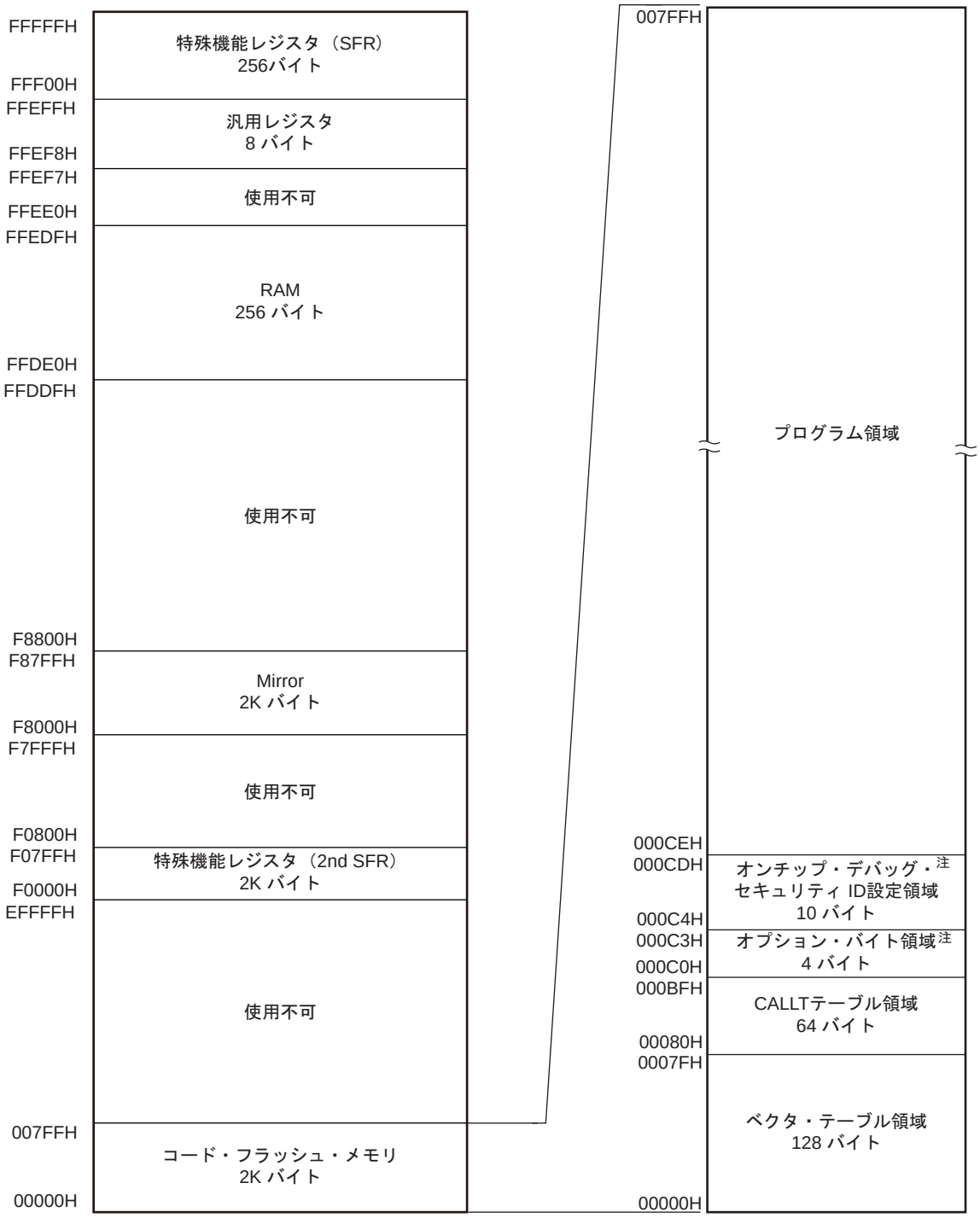
図3－1　メモリ・マップ（R5F10Y14, R5F10Y44）



注　000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意　使用不可領域へのアクセスは禁止です。

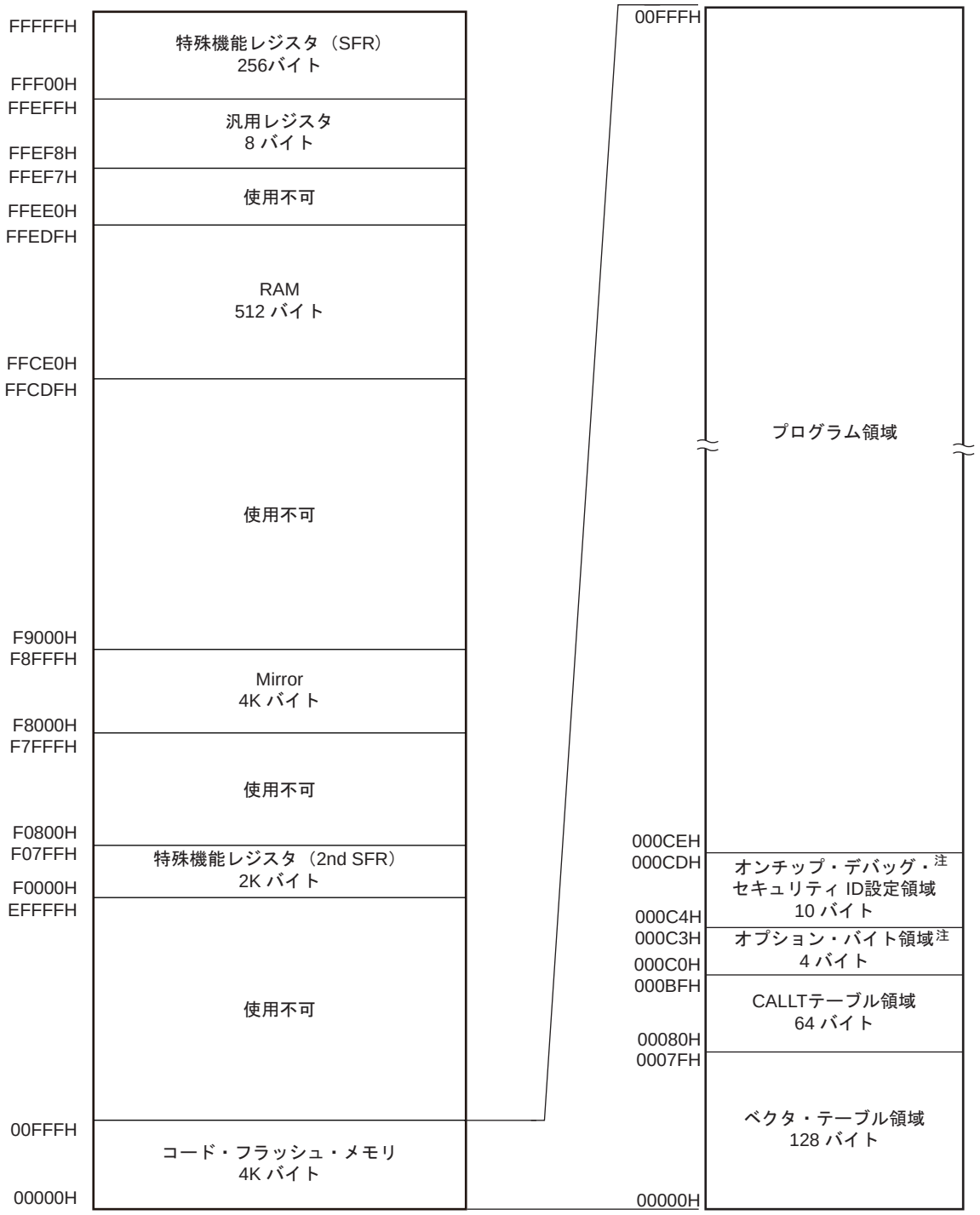
図3－2　メモリ・マップ（R5F10Y16, R5F10Y46）



注　000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意　使用不可領域へのアクセスは禁止です。

図3－3　メモリ・マップ（R5F10Y17, R5F10Y47）



注　000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

注意　使用不可領域へのアクセスは禁止です。

3. 1. 1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G10は，次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3－1　内部ROM容量

製品	内蔵 ROM	
	構造	容量
R5F10Y14, R5F10Y44	フラッシュ・メモリ	1024×8 ビット（00000H-003FFH）
R5F10Y16, R5F10Y46		2048×8 ビット（00000H-007FFH）
R5F10Y17, R5F10Y47		4048×8 ビット（00000H-00FFFH）

内部プログラム・アドレス空間には，次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また，ベクタ・コードは2バイトとしているため，割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット･アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

表3－2　ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	16 ピン	10 ピン
00000H	RESET, SPOR, WDT, TRAP	○	○
00004H	INTWDTI	○	○
00006H	INTP0	○	○
00008H	INTP1	○	○
0000AH	INTST0, INTCSI00, INTIIC00	○	○
0000CH	INTSR0, INTCSI01	○	注
0000EH	INTSRE0	○	○
00010H	INTTM01H	○	○
00012H	INTTM00	○	○
00014H	INTTM01	○	○
00016H	INTAD	○	○
00018H	INTKR	○	○
0001AH	INTP2	○	—
0001CH	INTP3	○	—
0001EH	INTTM03H	○	—
00020H	INTIICA0	○	—
00022H	INTTM02	○	—
00024H	INTTM03	○	—
00026H	INTIT	○	—
00028H	INTCMP0	○	—
0007EH	BRK	○	○

注　INTSR0のみ

（2）CALLT命令テーブル領域

00080H-000BFHの64バイト領域には，2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

（3）オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。詳細は**第19章　オプション・バイト**を参照してください。

（4）オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。詳細は**第21章　オンチップ・デバッグ機能**を参照してください。

3. 1. 2　ミラー領域

フラッシュ・メモリが1/2/4Kバイトの製品では，00000H-003FFH/007FFH/00FFFHのコード・フラッシュ・エリアをF8000H-F83FFH/F87FFH/F8FFFHへミラーさせています。

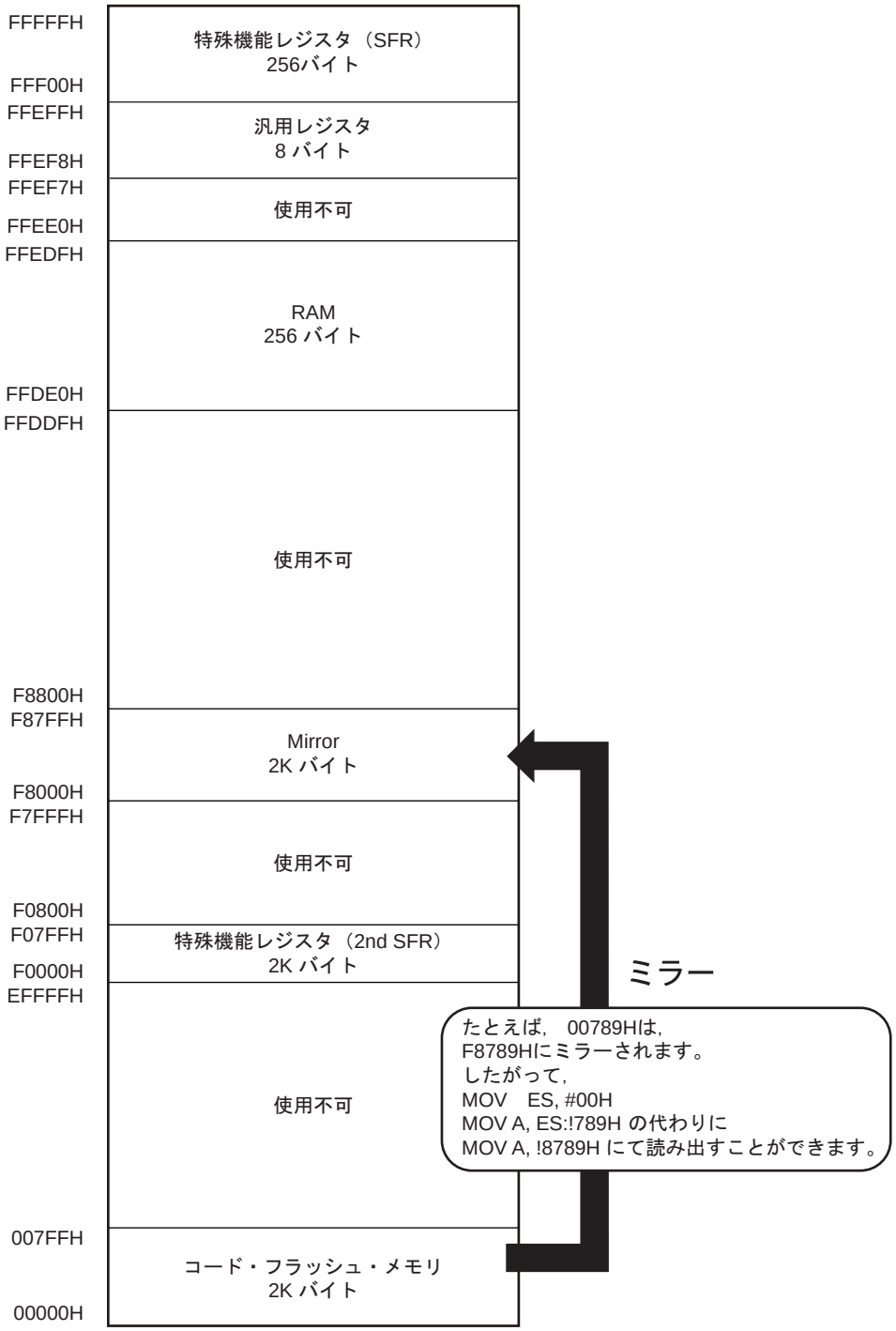
ミラー先のF8000H-F83FFH/F87FFH/F8FFFHからデータを読み出すことにより，オペランドにESレジスタを持たない命令を使用することができるため，短いコードでコード・フラッシュ内容の読み出しを行うことができます。

各製品のミラー領域は，**3. 1　アドレス空間**を参照してください。

ミラー領域は読み出しのみ可能で，命令フェッチはできません。

次に例を示します。

例　R5F10Y16（フラッシュ・メモリ 2 Kバイト）の場合



3. 1. 3　内部データ・メモリ空間

RL78/G10は，次に示すRAMを内蔵しています。

表3－3　内部RAM容量

製　　品	内部RAM
R5F10Y14, R5F10Y44	128バイト（FFE60H-FFEDFH）
R5F10Y16, R5F10Y46	256バイト（FFDE0H-FFEDFH）
R5F10Y17, R5F10Y47	512バイト（FFCE0H-FFEDFH）

内部RAMは，データ領域として使用できるほか，プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。

また，スタック・メモリは内部RAMを使用します。

注意　汎用レジスタが割り当てられている空間（FFEF8H－FFEFFH）は，命令フェッチやスタックの領域に使用できません。

3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFHの領域には，オン・チップ周辺ハードウエアの特殊機能レジスタ（SFR）が割り付けられています（**3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）**の表3－4参照）。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFHの領域には，オン・チップ周辺ハードウエアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（**3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）**の表3－5参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意　拡張SFRが割り付けられていないアドレスにアクセスしないでください。

3. 1. 6　データ・メモリ・アドレッシング

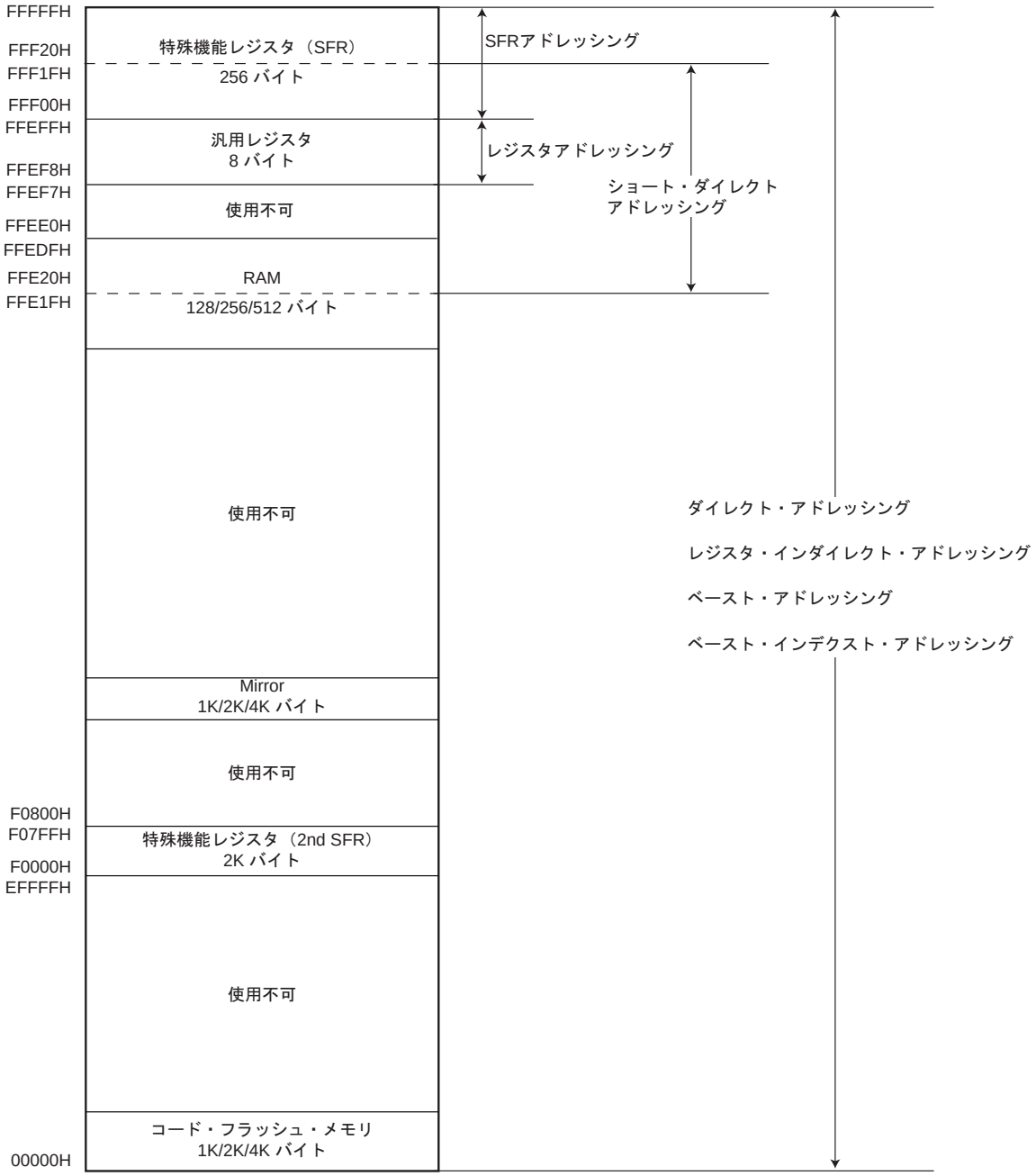
次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて，RL78/G10では，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレッシングが可能です。

図3－4にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については，**「3. 4　処理データ・アドレスに対するアドレッシング」**を参照してください。

図3－4　データ・メモリとアドレッシングの対応



3. 2　プロセッサ・レジスタ

RL78/G10は，次のプロセッサ・レジスタを内蔵しています。

3. 2. 1　制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

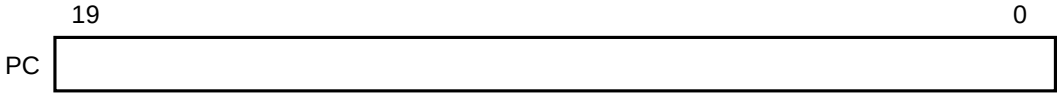
（1）プログラム・カウンタ（PC）

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により，0000Hと0001H番地のリセット・ベクタ・テーブルの値が，下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3－5　プログラム・カウンタの構成



（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により，06Hになります。

図3－6　プログラム・ステータス・ワードの構成

	7							0
PSW	**IE**	**Z**	**0**	**AC**	**0**	**ISP1**	**ISP0**	**CY**

（a）割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP1，ISP0），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット（0）され，EI命令の実行によりセット（1）されます。

（b）ゼロ・フラグ（Z）

演算や比較で結果がゼロまたは等しいときセット（1）され，それ以外のときにリセット（0）され

るフラグです。

（c）補助キャリー・フラグ（AC）

演算結果で，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット（1）され，それ以外のときリセット（0）されるフラグです。

（d）インサービス・プライオリティ・フラグ（ISP1, ISP0）

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PR00L，PR00H，PR10L，PR10H, PR01L, PR11L）（**14. 3. 3**を参照）でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際にベクタ割り込み要求が受け付けられるかどうかは，割り込み許可フラグ（IE）の状態により制御されます。

（e）キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

（3）スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3－7　スタック・ポインタの構成

	15															0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは，スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ，スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

注意1.　SPの内容はリセット信号の発生により，不定になりますので，必ずスタック使用前にイニシャライズしてください。

2.　汎用レジスタ（FFEF8H－FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。

3. 2. 2　汎用レジスタ

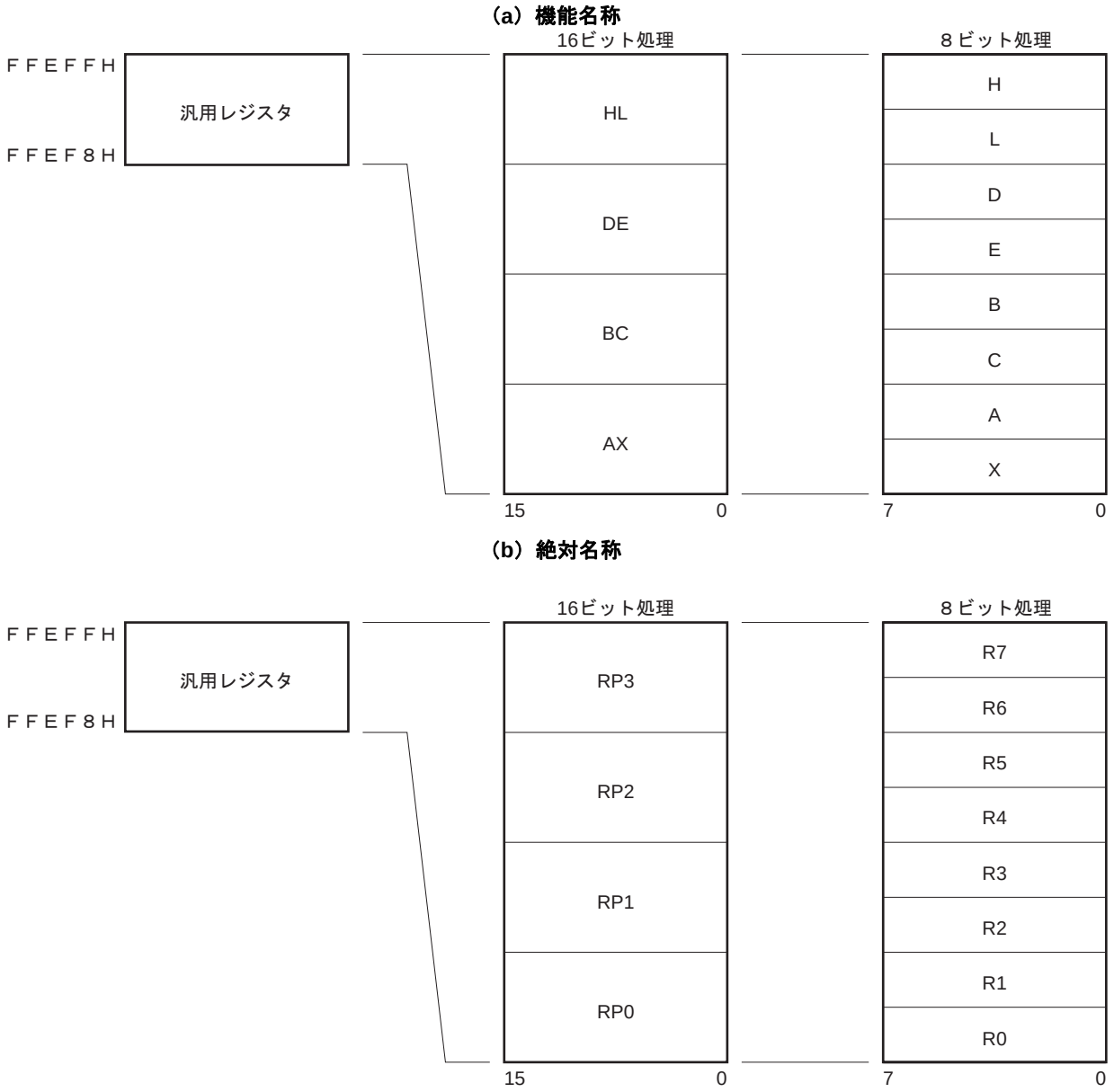
汎用レジスタは，データ・メモリの特定番地（FFEF8H-FFEFFH）にマッピングされており，8ビット・レジスタ8個（X, A, C, B, E, D, L, H）のバンクレジスタで構成されています。

各レジスタは，それぞれ8ビット・レジスタとして使用できるほか，2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また，機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか，絶対名称（R0-R7, RP0-RP3）ででも記述できます。

注意　汎用レジスタ（FFEF8H-FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。

図3－8　汎用レジスタの構成



3. 2. 3　ES, CSレジスタ

ESレジスタでデータ・アクセス，CSレジスタで(レジスタ・ダイレクト・アドレシング）分岐命令実行時の，それぞれ上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

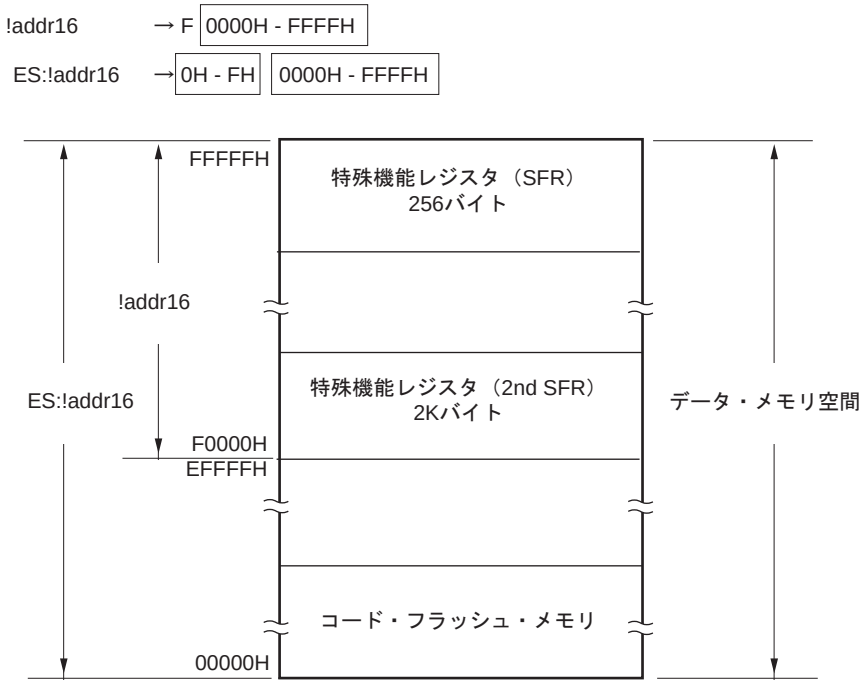
図3－9　ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16ビット・アドレスでアクセスできるデータ領域は，F0000H-FFFFFHの64 Kバイト空間ですが，ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3－10　データ・アクセス領域の拡張



3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）

SFRは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

SFR空間は，FFF00H-FFFFFHの領域に割り付けられています。

SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8）は，各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド（sfr.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

表3－4にSFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W：読み出し／書き込みがともに可能

R：読み出しのみ可能

W：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位（1, 8）を○で示します。－は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

備考　拡張SFR（2nd SFR）については，**3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）**を参照してください。

表3－4　SFR一覧（1/2）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲		リセット時
					1ビット	8ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	00H
FFF0CH	ポート・レジスタ12	P12		R	○	○	不定
FFF0DH	ポート・レジスタ13	P13		R	○	○	不定
FFF10H	シリアル・データ・レジスタ00L	TXD0/ SIO00	SDR00L	R/W	－	○	00H
FFF11H	シリアル・データ・レジスタ00H	－	SDR00H	R/W	－	○	00H
FFF12H	シリアル・データ・レジスタ01L	RXD0/ SIO01注	SDR01L	R/W	－	○	00H
FFF13H	シリアル・データ・レジスタ01H	－	SDR01H	R/W	－	○	00H
FFF18H	タイマ・データ・レジスタ00L	TDR00L		R/W	－	○	00H
FFF19H	タイマ・データ・レジスタ00H	TDR00H		R/W	－	○	00H
FFF1AH	タイマ・データ・レジスタ01L	TDR01L		R/W	－	○	00H
FFF1BH	タイマ・データ・レジスタ01H	TDR01H		R/W	－	○	00H
FFF1EH	A/D変換結果下位ビットレジスタ	ADCRL		R	－	○	00H
FFF1FH	A/D変換結果上位ビットレジスタ	ADCRH		R	－	○	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	00H
FFF34H	キー割り込み制御レジスタ	KRCTL		R/W	○	○	00H
FFF35H	キー割り込みフラグ・レジスタ	KRF		R/W	－	○	00H
FFF37H	キー割り込みモード制御レジスタ0	KRM0		R/W	○	○	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	00H
FFF50H	IICAシフト・レジスタ0注	IICA0		R/W	－	○	00H
FFF51H	IICAステータス・レジスタ0注	IICS0		R	○	○	00H
FFF52H	IICAフラグ・レジスタ0注	IICF0		R/W	○	○	00H
FFF60H	コンパレータモード設定レジスタ注	COMPMDR		R/W	○	○	00H
FFF61H	コンパレータフィルタ制御レジスタ注	COMPFIR		R/W	○	○	00H
FFF62H	コンパレータ出力制御レジスタ注	COMPOCR		R/W	○	○	00H
FFF64H	タイマ・データ・レジスタ02L注	TDR02L		R/W	－	○	00H
FFF65H	タイマ・データ・レジスタ02H注	TDR02H		R/W	－	○	00H
FFF66H	タイマ・データ・レジスタ03L注	TDR03L		R/W	－	○	00H
FFF67H	タイマ・データ・レジスタ03H注	TDR03H		R/W	－	○	00H
FFF90H	インターバル・タイマ・コントロール・レジスタL注	ITMCL		R/W	－	○	FFH
FFF91H	インターバル・タイマ・コントロール・レジスタH注	ITMCH		R/W	－	○	0FH
FFFA0H	クロック動作モード制御レジスタ注	CMC		R/W	－	○	00H
FFFA1H	クロック動作ステータス制御レジスタ注	CSC		R/W	○	○	80H

注　16ピン製品のみ

表3－4　SFR一覧（2/2）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲		リセット時
				1ビット	8ビット	
FFFA2H	発振安定時間カウンタ状態レジスタ注1	OSTC	R	○	○	00H
FFFA3H	発振安定時間選択レジスタ注1	OSTS	R/W	－	○	07H
FFFA4H	システム・クロック制御レジスタ注1	CKC	R/W	○	○	00H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W	○	○	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	－	○	不定注2
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	－	○	1AH/9AH注3
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	R/W	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H	R/W	○	○	00H
FFFE2H	割り込み要求フラグ・レジスタ1L注1	IF1L	R/W	○	○	00H
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	R/W	○	○	FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H	R/W	○	○	FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L注1	MK1L	R/W	○	○	FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	R/W	○	○	FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H	R/W	○	○	FFH
FFFEAH	優先順位指定フラグ・レジスタ01L注1	PR01L	R/W	○	○	FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	R/W	○	○	FFH
FFFEDH	優先順位指定フラグ・レジスタ10H	PR10H	R/W	○	○	FFH
FFFEEH	優先順位指定フラグ・レジスタ11L注1	PR11L	R/W	○	○	FFH

注1.　16ピン製品のみ

2.　リセット要因により，次のように異なります。

レジスタ ＼ リセット要因		$\overline{\text{RESET}}$入力	不正命令の実行によるリセット	WDTによるリセット	SPORによるリセット	データ保持下限電圧によるリセット
RESF	TRAP	クリア（0）	セット（1）	保持	保持	クリア（0）
	WDTRF		保持	セット（1）	保持	
	SPORF		保持	保持	セット（1）	

3.　WDTEレジスタのリセット値は，オプション・バイトの設定で決定します。

備考　拡張SFR（2nd SFR）については，**表3－5　拡張SFR（2nd SFR）一覧**を参照してください。

3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張SFR（2nd SFR）は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

拡張SFR空間は，F0000H-F07FFHの領域です。SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8）は，各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド（!addr16.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド（!addr16）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

表3－5に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する拡張SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W：読み出し／書き込みがともに可能

R：読み出しのみ可能

W：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位（1, 8）を○で示します。－は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意　2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考　SFR領域のSFRについては，**3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）**を参照してください。

表3－5　拡張SFR（2nd SFR）一覧（1/2）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲		リセット時
				1ビット	8ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	00H
F0013H	A/Dテスト・レジスタ注1	ADTES	R/W	－	○	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	01H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	20H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	－	○	00H
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	－	○	不定注2
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	00H
F00F3H	動作スピード・モード制御レジスタ注1	OSMC	R/W	－	○	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	－	○	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00	R	－	○	00H
F0102H	シリアル・ステータス・レジスタ01	SSR01	R	－	○	00H
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00	R/W	－	○	00H
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01	R/W	－	○	00H
F0110H	シリアル・モード・レジスタ00L	SMR00L	R/W	－	○	20H
F0111H	シリアル・モード・レジスタ00H	SMR00H	R/W	－	○	00H
F0112H	シリアル・モード・レジスタ01L	SMR01L	R/W	－	○	20H
F0113H	シリアル・モード・レジスタ01H	SMR01H	R/W	－	○	00H
F0118H	シリアル通信動作設定レジスタ00L	SCR00L	R/W	－	○	87H
F0119H	シリアル通信動作設定レジスタ00H	SCR00H	R/W	－	○	00H
F011AH	シリアル通信動作設定レジスタ01L	SCR01L	R/W	－	○	87H
F011BH	シリアル通信動作設定レジスタ01H	SCR01H	R/W	－	○	00H
F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0	R	○	○	00H
F0122H	シリアル・チャネル開始レジスタ0	SS0	R/W	○	○	00H
F0124H	シリアル・チャネル停止レジスタ0	ST0	R/W	○	○	00H
F0126H	シリアル・クロック選択レジスタ0	SPS0	R/W	－	○	00H
F0128H	シリアル出力レジスタ0	SO0	R/W	－	○	03H
F0129H	シリアル・クロック出力レジスタ0	CKO0	R/W	－	○	03H
F012AH	シリアル出力許可レジスタ0	SOE0	R/W	○	○	00H

注1.　16ピン製品のみ

2.　オプション・バイト000C2HのFRQSEL2-FRQSEL0で設定した値になります。

表3－5　拡張SFR（2nd SFR）一覧（2/2）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲		リセット時
				1ビット	8ビット	
F0134H	シリアル出力レベル・レジスタ0	SOL0	R/W	－	○	00H
F0180H	タイマ・カウンタ・レジスタ00L	TCR00L	R	－	○	FFH
F0181H	タイマ・カウンタ・レジスタ00H	TCR00H	R	－	○	FFH
F0182H	タイマ・カウンタ・レジスタ01L	TCR01L	R	－	○	FFH
F0183H	タイマ・カウンタ・レジスタ01H	TCR01H	R	－	○	FFH
F0184H	タイマ・カウンタ・レジスタ02L注	TCR02L	R	－	○	FFH
F0185H	タイマ・カウンタ・レジスタ02H注	TCR02H	R	－	○	FFH
F0186H	タイマ・カウンタ・レジスタ03L注	TCR03L	R	－	○	FFH
F0187H	タイマ・カウンタ・レジスタ03H注	TCR03H	R	－	○	FFH
F0190H	タイマ・モード・レジスタ00L	TMR00L	R/W	－	○	00H
F0191H	タイマ・モード・レジスタ00H	TMR00H	R/W	－	○	00H
F0192H	タイマ・モード・レジスタ01L	TMR01L	R/W	－	○	00H
F0193H	タイマ・モード・レジスタ01H	TMR01H	R/W	－	○	00H
F0194H	タイマ・モード・レジスタ02L注	TMR02L	R/W	－	○	00H
F0195H	タイマ・モード・レジスタ02H注	TMR02H	R/W	－	○	00H
F0196H	タイマ・モード・レジスタ03L注	TMR03L	R/W	－	○	00H
F0197H	タイマ・モード・レジスタ03H注	TMR03H	R/W	－	○	00H
F01A0H	タイマ・ステータス・レジスタ00	TSR00	R	－	○	00H
F01A2H	タイマ・ステータス・レジスタ01	TSR01	R	－	○	00H
F01A4H	タイマ・ステータス・レジスタ02注	TSR02	R	－	○	00H
F01A6H	タイマ・ステータス・レジスタ03注	TSR03	R	－	○	00H
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0	R	○	○	00H
F01B1H	タイマ・チャネル許可ステータス・レジスタ0（8ビットモード）	TEH0	R	○	○	00H
F01B2H	タイマ・チャネル開始レジスタ0	TS0	R/W	○	○	00H
F01B3H	タイマ・チャネル開始レジスタ0（8ビットモード）	TSH0	R/W	○	○	00H
F01B4H	タイマ・チャネル停止レジスタ0	TT0	R/W	○	○	00H
F01B5H	タイマ・チャネル停止レジスタ0（8ビットモード）	TTH0	R/W	○	○	00H
F01B6H	タイマ・クロック選択レジスタ0	TPS0	R/W	－	○	00H
F01B8H	タイマ出力レジスタ0	TO0	R/W	－	○	00H
F01BAH	タイマ出力許可レジスタ0	TOE0	R/W	○	○	00H
F01BCH	タイマ出力レベル・レジスタ0	TOL0	R/W	－	○	00H
F01BEH	タイマ出力モード・レジスタ0	TOM0	R/W	－	○	00H
F0230H	IICAコントロール・レジスタ00注	IICCTL00	R/W	○	○	00H
F0231H	IICAコントロール・レジスタ01注	IICCTL01	R/W	○	○	00H
F0232H	IICAロウ･レベル幅設定レジスタ0注	IICWL0	R/W	－	○	FFH
F0233H	IICAハイ･レベル幅設定レジスタ0注	IICWH0	R/W	－	○	FFH
F0234H	スレーブ・アドレス・レジスタ0注	SVA0	R/W	－	○	00H

注　16ピン製品のみ

備考　SFR領域のSFRについては，**表3－4　SFR一覧**を参照してください。

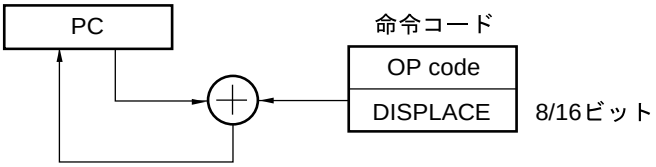
3. 3　命令アドレスのアドレッシング

3. 3. 1　レラティブ・アドレッシング

【機　　能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し，命令語に含まれるディスプレースメント値（符号付きの補数データ：－128～＋127または－32768～＋32767）を加算した結果を，プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3－11　レラティブ・アドレッシングの概略



3. 3. 2　イミーディエト・アドレッシング

【機　　能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し，分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と，16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3－12　CALL !!addr20/BR !!addr20の例

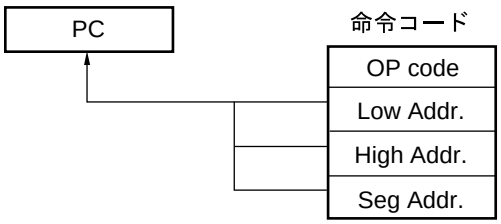
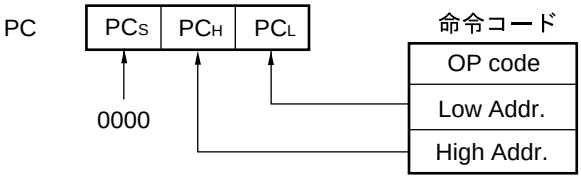


図3－13　CALL !addr16/BR !addr16の例



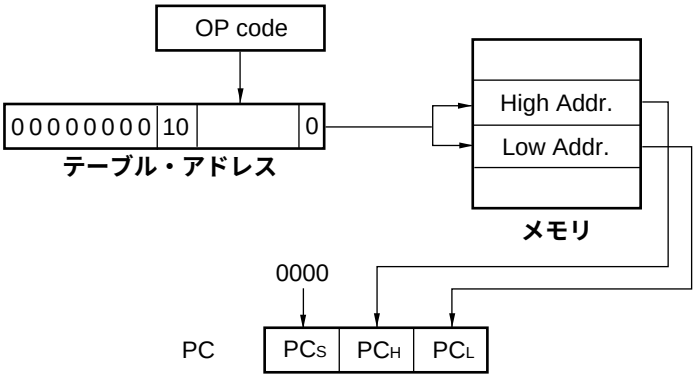
3. 3. 3　テーブル・インダイレクト・アドレッシング

【機　　能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し，その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは，00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3－14　テーブル・インダイレクト・アドレッシングの概略



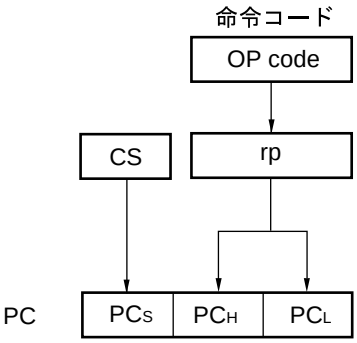
★

3. 3. 4　レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3－15　レジスタ・インダイレクト・アドレッシングの概略



3. 4　処理データ・アドレスに対するアドレッシング

3. 4. 1　インプライド・アドレッシング

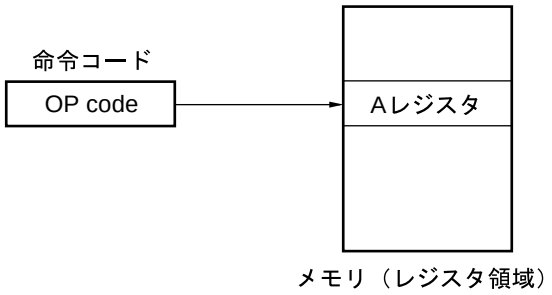
【機　　能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は，命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3－16　インプライド・アドレッシングの概略



3. 4. 2　レジスタ・アドレッシング

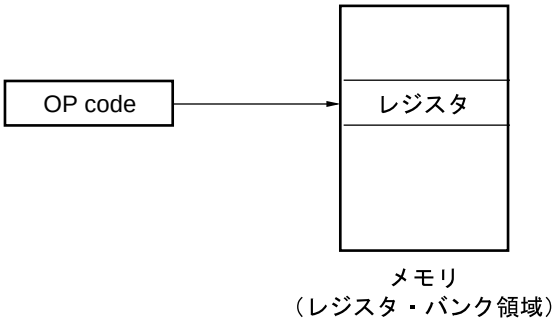
【機　　能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット, 16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X，A，C，B，E，D，L，H
rp	AX，BC，DE，HL

図3－17　レジスタ・アドレッシングの概略



3. 4. 3　ダイレクト・アドレッシング

【機　　能】

命令語中のイミーディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミーディエト・データ （F0000H-FFFFFH空間のみ指定可能）
ES:!addr16	ラベルまたは16ビット・イミーディエト・データ （ESレジスタにて上位4ビット・アドレス指定）

図3－18　!addr16の例

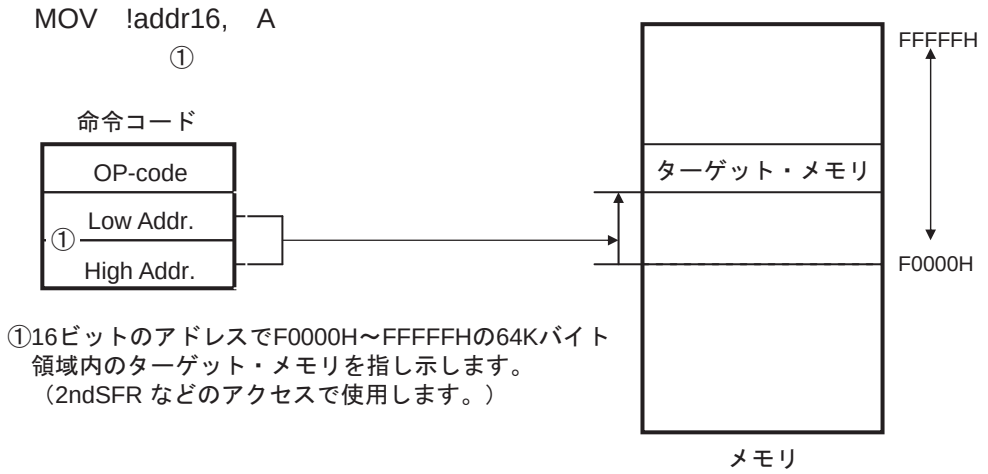
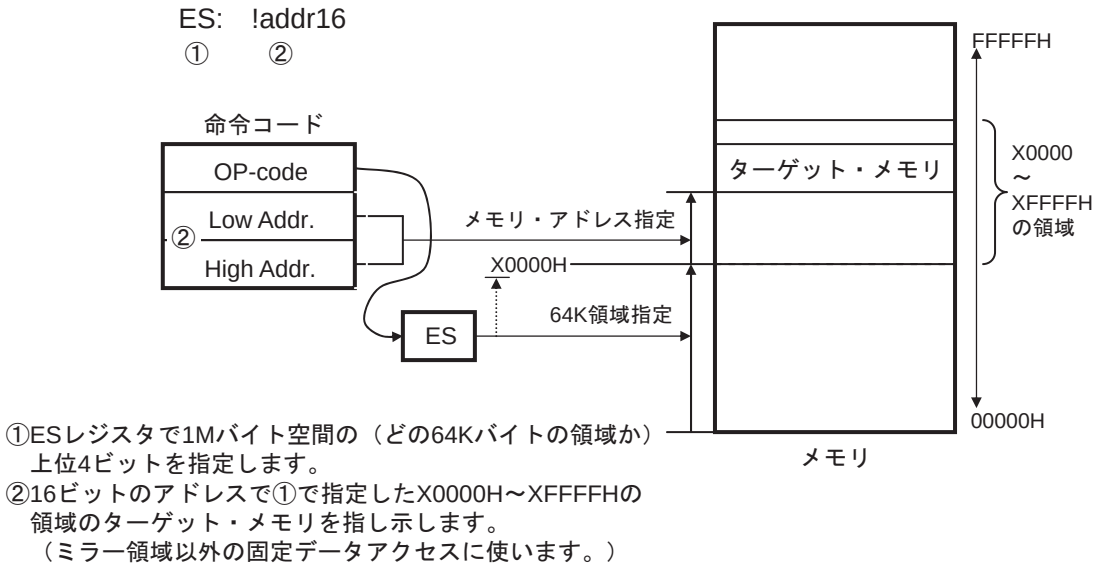


図3－19　ES:!addr16の例



3. 4. 4　ショート・ダイレクト・アドレッシング

【機　　能】

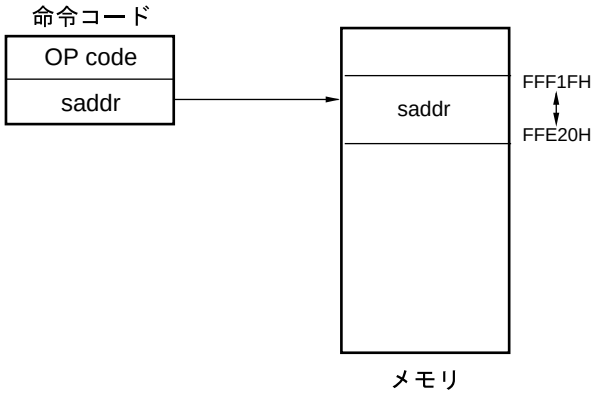
命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

ただし，FFEE0H-FFEF7Hの領域は使用禁止になります。RAM128B製品では，FFE20H-FFE5FHの領域も使用禁止です。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データ
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データ（偶数アドレスのみ）

図3－20　ショート・ダイレクト・アドレッシングの概略



備考　SADDR, SADDRPは，（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また，20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし，どちらの形式で書いても，メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3. 4. 5　SFRアドレッシング

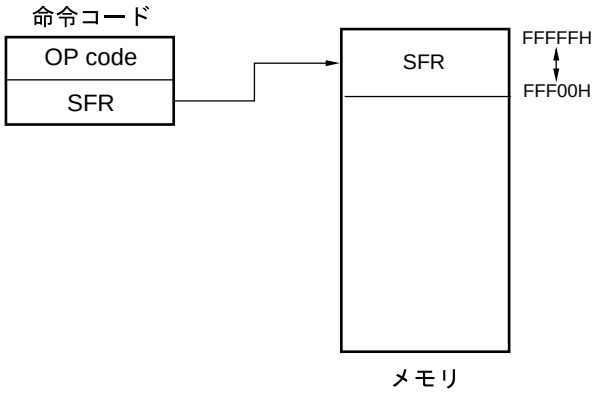
【機　　能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレスのみ）

図3－21　SFRアドレッシングの概略



3. 4. 6　レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[DE]，[HL] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[DE]，ES:[HL] （ESレジスタにて上位4ビット・アドレス指定）

図3－22　[DE]，[HL]の例

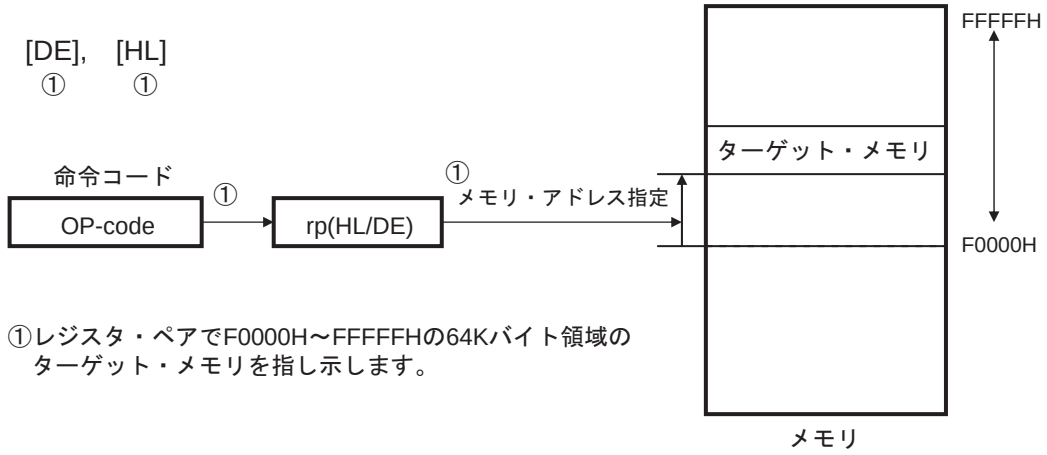
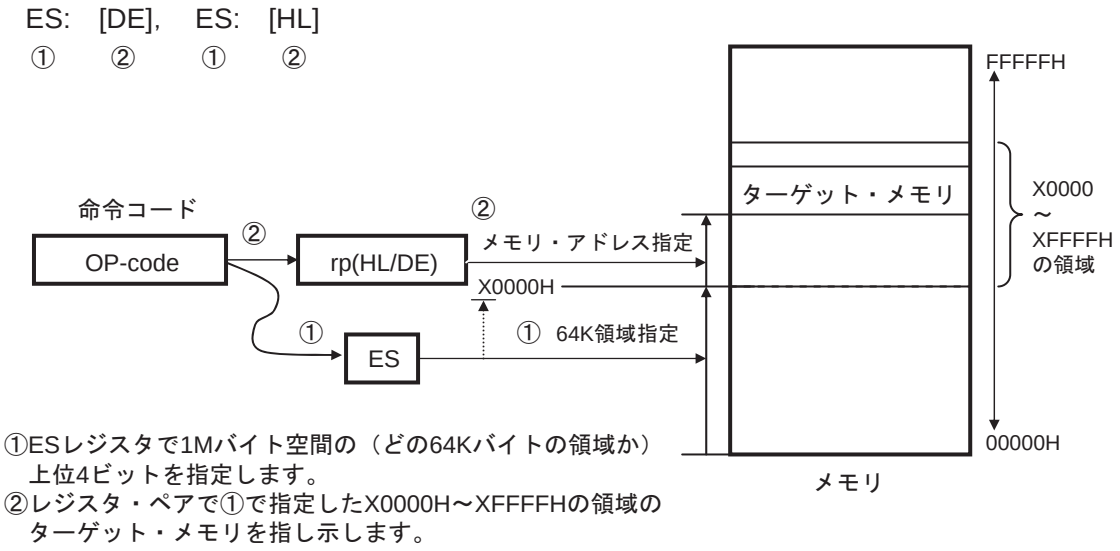


図3－23　ES:[DE]，ES:[HL]の例



3. 4. 7　ベースト・アドレッシング

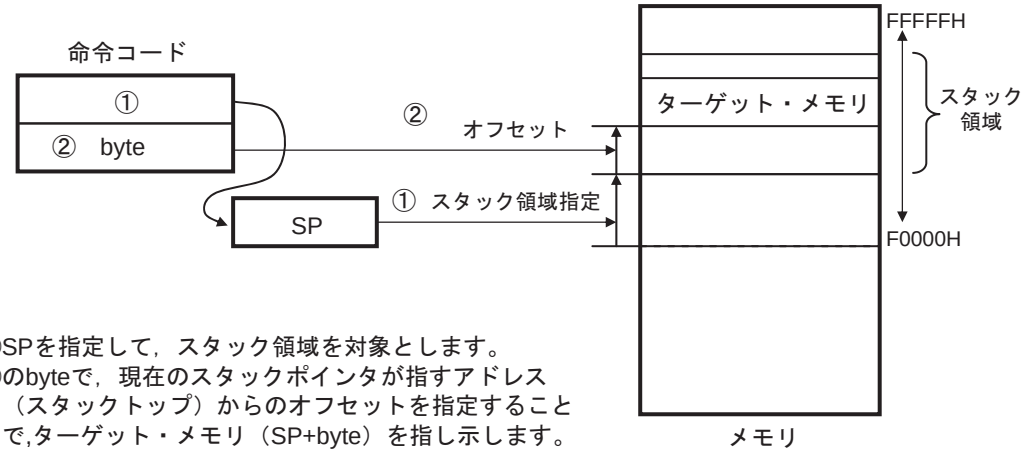
【機　　能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミーディエト・データをベース・アドレスとし，8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋byte]，[DE + byte]，[SP + byte] （F0000H-FFFFFH空間のみ指定可能）
－	word[B]，word[C] （F0000H-FFFFFH空間のみ指定可能）
－	word[BC] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋byte]，ES:[DE + byte] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[B]，ES:word[C] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[BC] （ESレジスタにて上位4ビット・アドレス指定）

図3－24　[SP+byte]の例



①SPを指定して，スタック領域を対象とします。
②のbyteで，現在のスタックポインタが指すアドレス（スタックトップ）からのオフセットを指定することで,ターゲット・メモリ（SP+byte）を指し示します。

図3－25　[HL+byte]，[DE+byte]の例

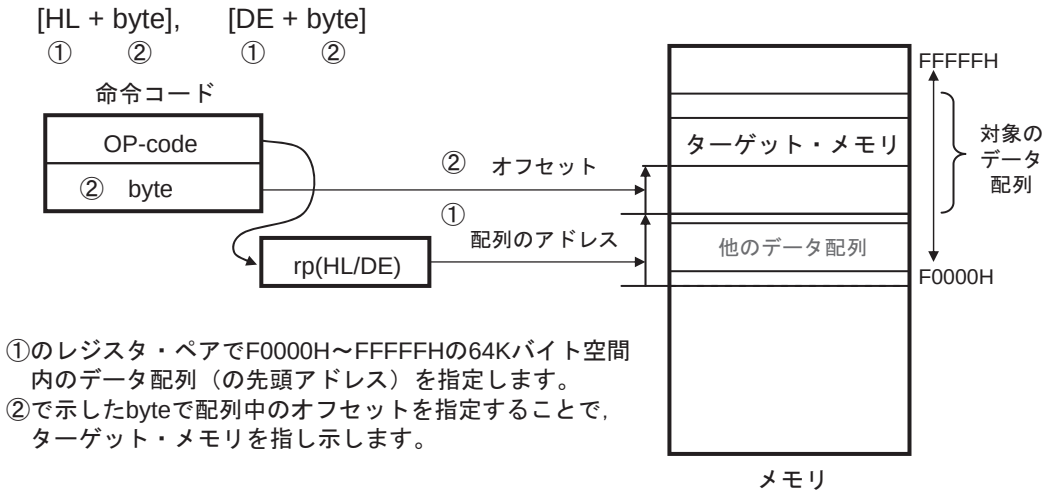


図3－26　word[B]，word[C]の例

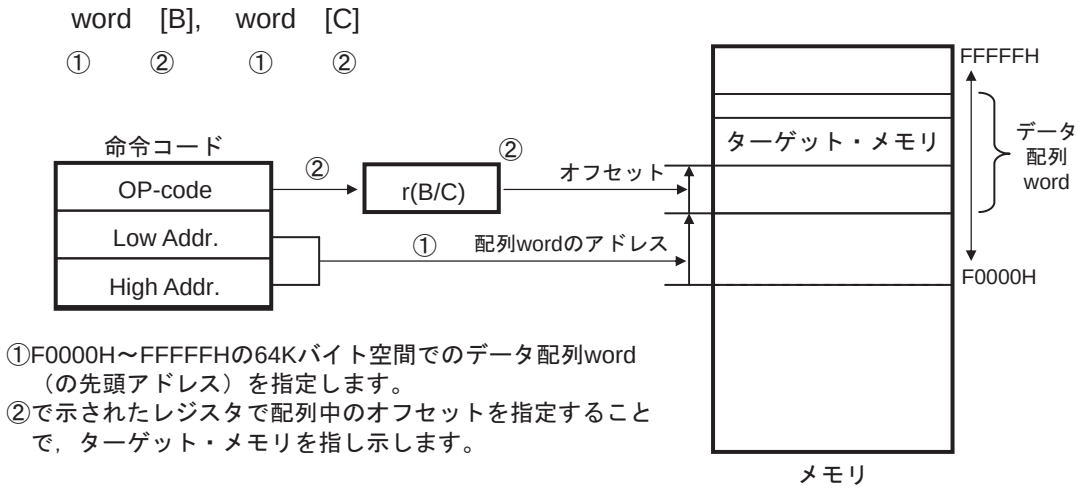


図3－27　word[BC]の例

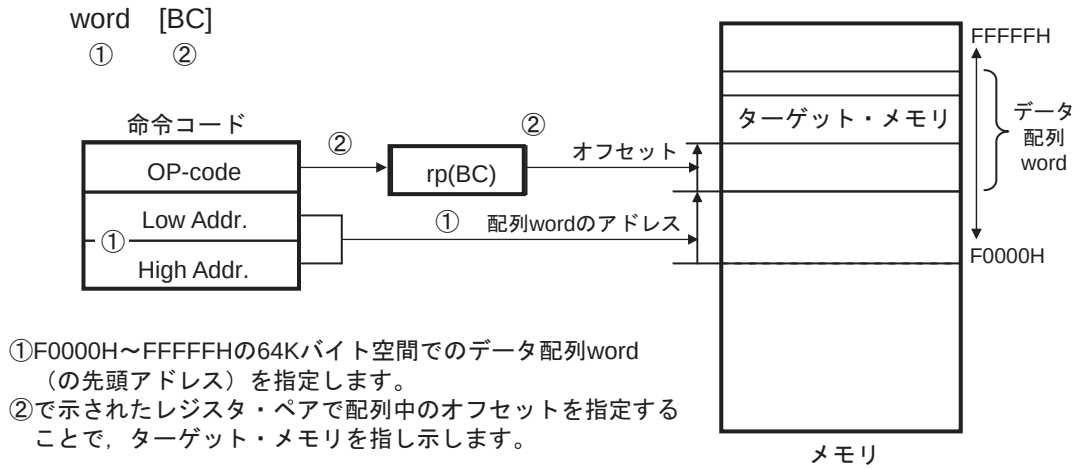
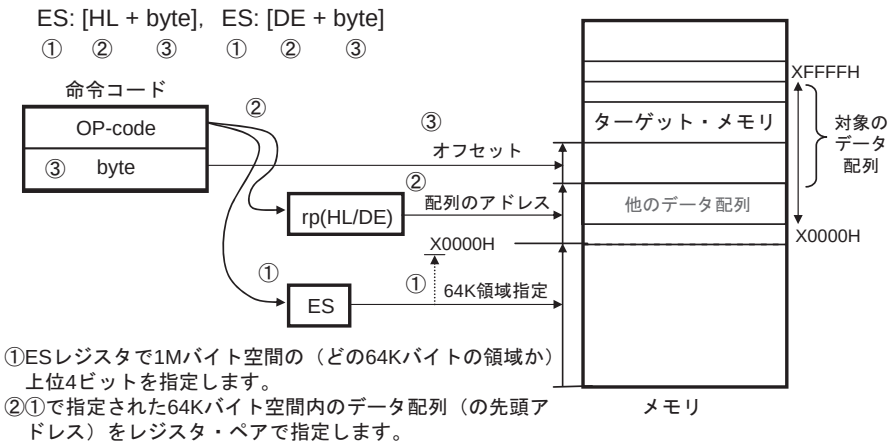
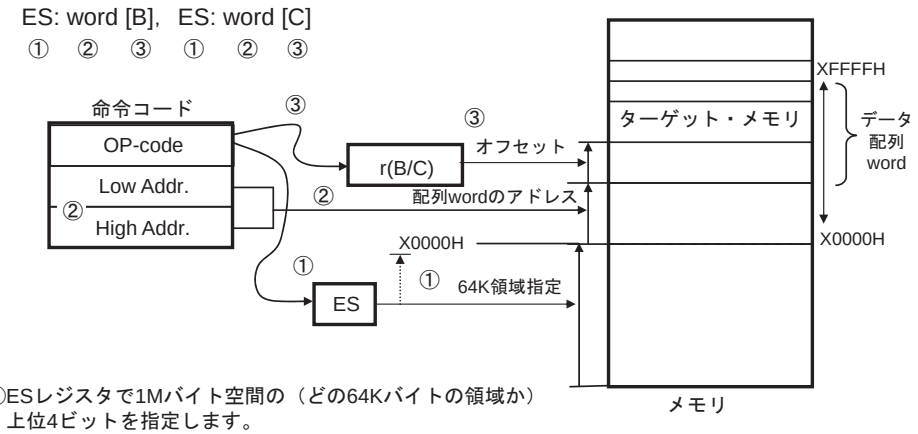


図3－28　ES:[HL+byte]，ES:[DE+byte]の例



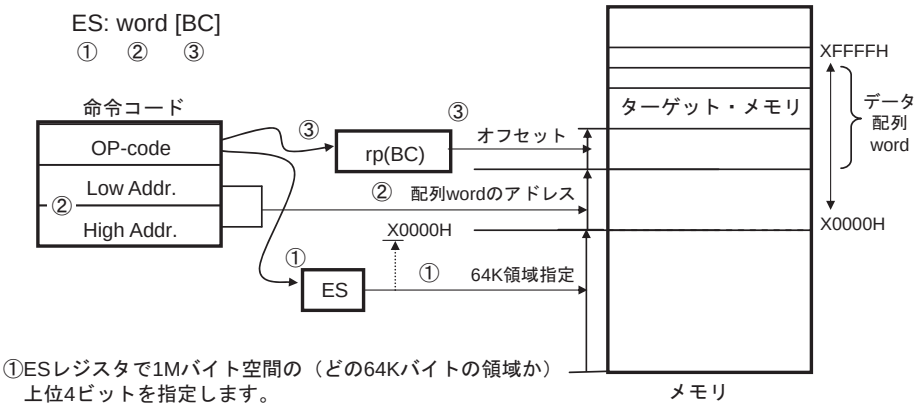
①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭アドレス）をレジスタ・ペアで指定します。
③で示したbyteで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－29　ES:word[B]，ES:word[C]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－30　ES:word[BC]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタ・ペアで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3. 4. 8　ベースト・インデクスト・アドレッシング

【機　　能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋B]，[HL＋C] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋B]，ES:[HL＋C] （ESレジスタにて上位4ビット・アドレス指定）

図3－31　[HL+B]，[HL+C]の例

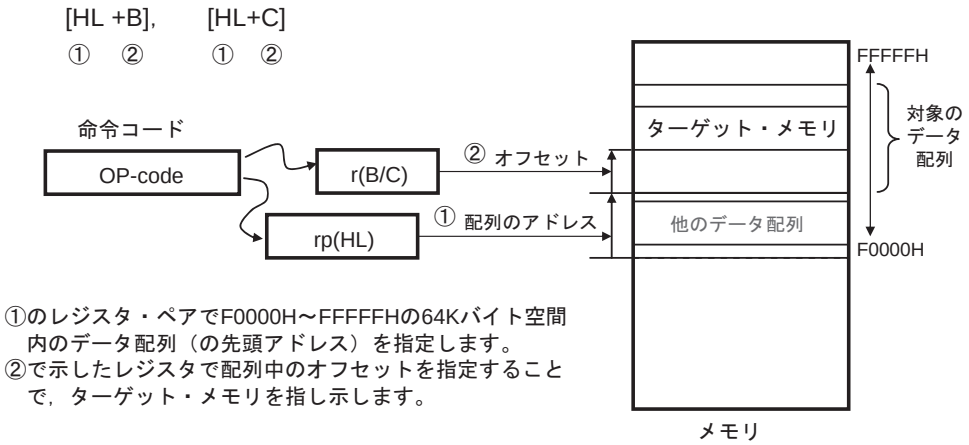
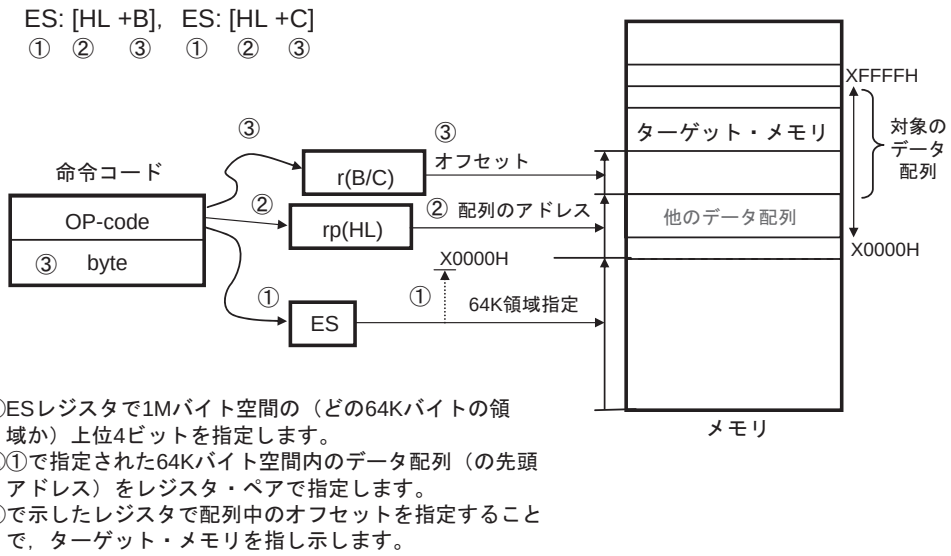


図3－32　ES:[HL+B]，ES:[HL+C]の例



3. 4. 9　スタック・アドレッシング

【機　　能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール，リターン命令の実行時，および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

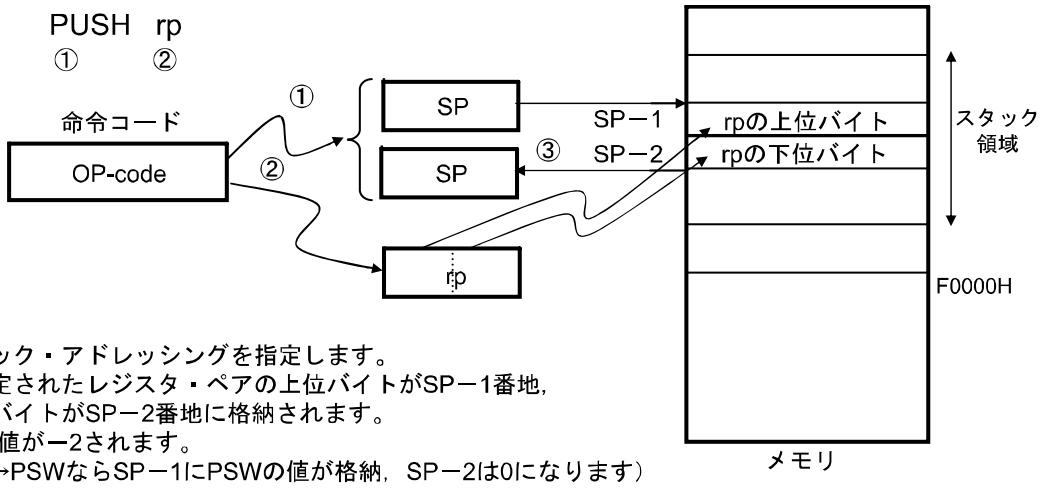
スタック領域は内部RAM上にだけ設定できます。

【オペランド形式】

表現形式	記述方法
－	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB （割り込み要求発生） RETI

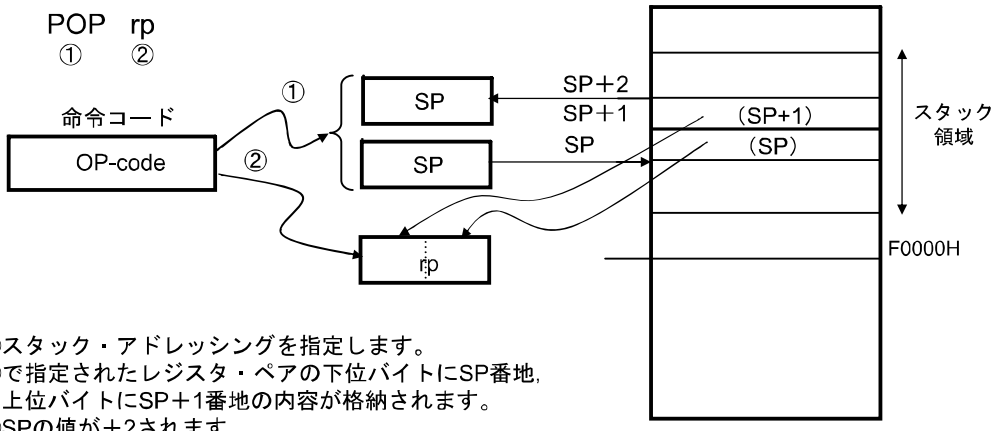
各スタック動作によって退避／復帰されるデータは**図3－33～図3－38**のようになります。

図3－33　PUSH rpの例



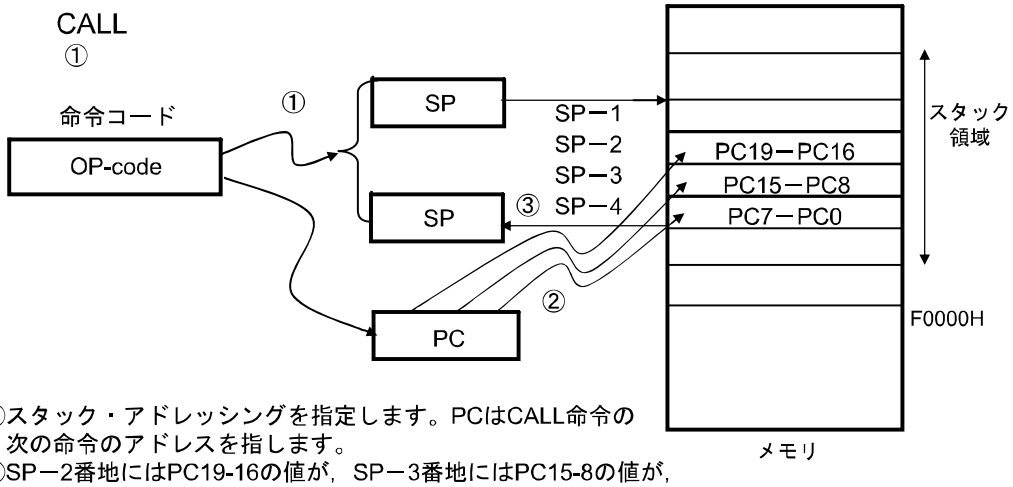
①スタック・アドレッシングを指定します。
②で指定されたレジスタ・ペアの上位バイトがSP－1番地，
　下位バイトがSP－2番地に格納されます。
③SPの値が－2されます。
　（rp→PSWならSP－1にPSWの値が格納，SP－2は0になります）

図3－34　POPの例



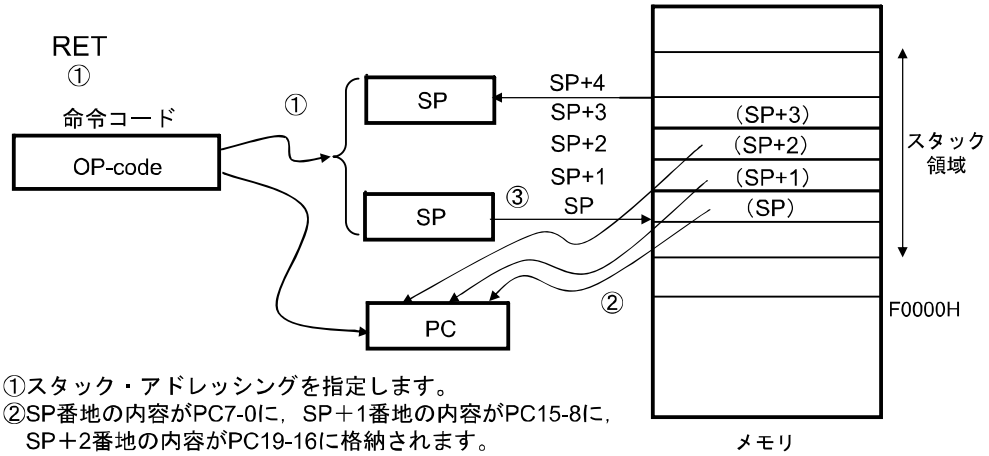
①スタック・アドレッシングを指定します。
②で指定されたレジスタ・ペアの下位バイトにSP番地，
　上位バイトにSP＋1番地の内容が格納されます。
③SPの値が＋2されます。
　（rp→PSWならSP＋1番地の内容がPSWに格納されます）

図3－35　CALL，CALLTの例



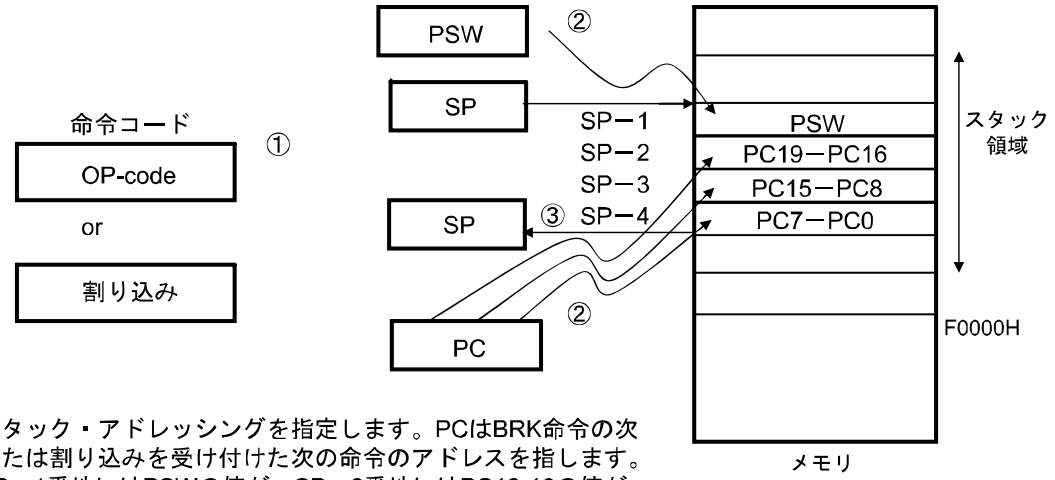
①スタック・アドレッシングを指定します。PCはCALL命令の
　次の命令のアドレスを指します。
②SP－2番地にはPC19-16の値が，SP－3番地にはPC15-8の値が，
　SP－4番地にはPC7-0の値が格納されます。
③SPの値が－4されます。

図3－36　RETの例



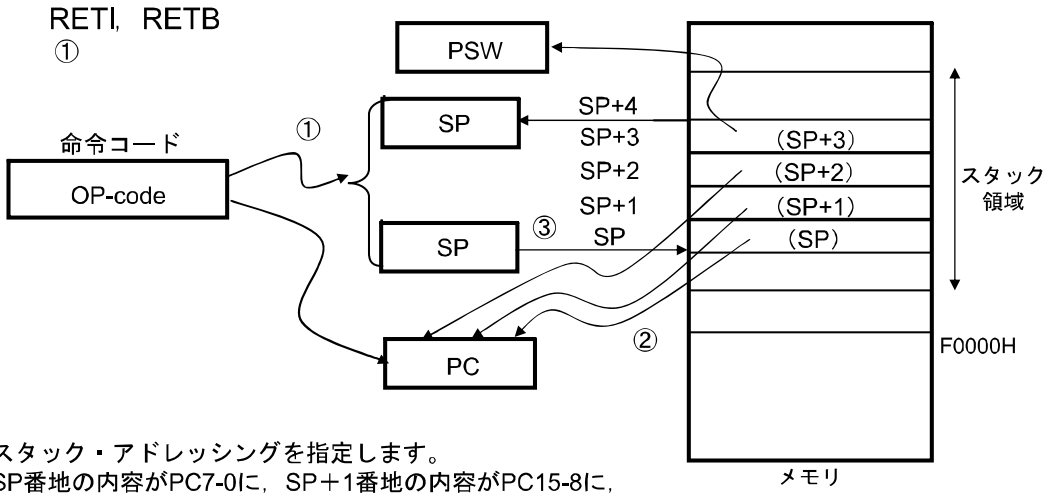
①スタック・アドレッシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に格納されます。
③SPの値が＋4されます。

図3－37　割り込み，BRKの例



①スタック・アドレッシングを指定します。PCはBRK命令の次または割り込みを受け付けた次の命令のアドレスを指します。
②SP－1番地にはPSWの値が，SP－2番地にはPC19-16の値が，SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の値が格納されます。
③SPの値が－4されます。

図3－38　RETI，RETBの例



①スタック・アドレッシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，SP＋2番地の内容がPC19-16に，SP＋3番地の内容がPSW格納されます。
③SPの値が＋4されます。

第4章　ポート機能

4. 1　ポートの機能

RL78マイクロコントローラは，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，**第2章 端子機能**を参照してください。

4. 2　ポートの構成

ポートは，次のハードウエアで構成しています。

表4－1　ポートの構成

項　　目	構　　成
制御レジスタ	ポート・モード・レジスタ0, 4（PM0, PM4） ポート・レジスタ0, 4, 12, 13（P0, P4, P12, P13） プルアップ抵抗オプション・レジスタ0, 4, 12（PU0, PU4, PU12） ポート出力モード・レジスタ0（POM0） ポート・モード・コントロール・レジスタ0（PMC0） 周辺I/Oリダイレクション・レジスタ（PIOR）
ポート	・10ピン製品： 合計：8本（CMOS入出力：6本（N-ch O.D.出力（V_{DD}耐圧）：2本），CMOS入力：2本） ・16ピン製品： 合計：14本（CMOS入出力：10本（N-ch O.D.出力（V_{DD}耐圧）：4本），CMOS入力：4本）
内蔵プルアップ抵抗	・10ピン製品　　：合計：7本 ・16ピン製品　　：合計：11本

4. 2. 1　ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P07[注]端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

★ P00, P01, P06, P07端子の出力は，ポート出力モード・レジスタ0（POM0）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

また，兼用機能としてシリアル・インタフェースのデータ入出力とクロック入出力，アナログ入力，キー・リターン入力，クロック/ブザー出力，タイマの入出力，外部割り込み要求入力があります。

リセット信号の発生により，P00は入力モードに，P01-P07はアナログ入力モードになります。

注　10ピン製品はP00-P04，16ピン製品はP00-P07です。

4. 2. 2　ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40，P41端子[注]を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてフラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力，キー・リターン入力，クロック/ブザー出力，タイマの入出力，外部割り込み要求入力があります。

注　10ピン製品はP40，16ピン製品はP40, P41です。

4. 2. 3　ポート12

入力専用ポートです。P125端子はプルアップ抵抗オプション・レジスタ12（PU12）により，内蔵プルアップ抵抗を使用できます（$\overline{\text{RESET}}$入力（PORTSELB = 1）設定時は，内蔵プルアップ抵抗が常時有効になります）。

また兼用機能としてキー・リターン入力，外部割り込み要求入力，メイン・システム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，リセット入力があります。

注意　電源投入後，P125は$\overline{\text{RESET}}$入力として機能します。オプション・バイト（000C1H）のPORTSELBビットにより，このポートをP125/KR1または，$\overline{\text{RESET}}$に定義します。P125/KR1に設定する場合，セレクタブル・パワーオン・リセット（SPOR）回路によるリセット期間中およびSPOR回路によるリセット解除から通常動作を開始するまでの期間は，この端子にロウ・レベルを入力しないでください。この期間にロウ・レベルを入力し続けると，外部リセット状態が継続します。なお，この端子の内蔵プルアップ抵抗は，電源投入後から有効になります。

4. 2. 4　ポート13

入力専用ポートです。また兼用機能としてタイマ入力，外部割り込み要求入力があります。

4. 3　ポート機能を制御するレジスタ

ポートは，次のレジスタで制御します。

・ポート・モード・レジスタ0，4（PM0，PM4）
・ポート・レジスタ0，4，12，13（P0，P4，P12，P13）
・プルアップ抵抗オプション・レジスタ0，4，12（PU0，PU4，PU12）
・ポート出力モード・レジスタ0（POM0）
・ポート・モード・コントロール・レジスタ0（PMC0）
・周辺I/Oリダイレクション・レジスタ（PIOR）

注意　製品によって，搭載しているレジスタとビットは異なります。各製品に搭載してるレジスタとビットについては，表4－2，表4－3を参照してください。また，搭載していないビットには必ず初期値を設定してください。

表4－2　Pm, PMn, PUy, POM0, PMC0レジスタとそのビット（10ピン製品）

ポート		ビット名				
		Pmレジスタ	PMnレジスタ	PUyレジスタ	POM0レジスタ	PMC0レジスタ
PORT0	0	P00	PM00	PU00	POM00	－
	1	P01	PM01	PU01	POM01	PMC01
	2	P02	PM02	PU02	－	PMC02
	3	P03	PM03	PU03	－	PMC03
	4	P04	PM04	PU04	－	PMC04
PORT4	0	P40	PM40	PU40	－	－
PORT12	5	P125	－	PU125	－	－
PORT13	7	P137	－	－	－	－

表4－3　Pm, PMn, PUy, POM0, PMC0レジスタとそのビット（16ピン製品）

ポート		ビット名				
		Pmレジスタ	PMnレジスタ	PUyレジスタ	POM0レジスタ	PMC0レジスタ
PORT0	0	P00	PM00	PU00	POM00	－
	1	P01	PM01	PU01	POM01	PMC01
	2	P02	PM02	PU02	－	PMC02
	3	P03	PM03	PU03	－	PMC03
	4	P04	PM04	PU04	－	PMC04
	5	P05	PM05	PU05	－	PMC05
	6	P06	PM06	PU06	POM06	PMC06
	7	P07	PM07	PU07	POM07	PMC07
PORT4	0	P40	PM40	PU40	－	－
	1	P41	PM41	PU41	－	－
PORT12	1	P121	－	－	－	－
	2	P122	－	－	－	－
	5	P125	－	PU125	－	－
PORT13	7	P137	－	－	－	－

備考　m = 0, 4, 12, 13
n = 0, 4
y = 0, 4, 12

各レジスタのフォーマットの説明を次に示します。

4. 3. 1　ポート・モード・レジスタ0, 4（PM0, PM4）

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，**4. 5　兼用機能使用時のレジスタ設定**を参照し，設定してください。

図4－1　ポート・モード・レジスタ0, 4（PM0, PM4）のフォーマット

10ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FFF24H	FFH	R/W

16ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

m = 0, 4; n = 0-7

注意 搭載していないビットには必ず初期値を設定してください。

4. 3. 2　ポート・レジスタ0, 4, 12, 13（P0, P4, P12, P13）

ポートの出力ラッチの値を設定するレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます注。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，P12, P13は不定，その他は00Hになります。

注　アナログ入力ポート（PMC0x = 1, PM0x = 1）に設定したポートをリードすると端子入力レベルに関係なく，常に0が読み出されます。
P125/KR1/$\overline{\text{RESET}}$端子を$\overline{\text{RESET}}$入力（PORTSELB = 1）に設定した場合，P125をリードすると，常に1が読み出されます。

図4－2　ポート・レジスタ0, 4, 12, 13（P0, P4, P12, P13）のフォーマット

10ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	P04	P03	P02	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P4	0	0	0	0	0	0	0	P40	FFF04H	00H（出力ラッチ）	R/W
P12	0	0	P125	0	0	0	0	0	FFF0CH	不定	R
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R

16ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H（出力ラッチ）	R/W
P12	0	0	P125	0	0	P122	P121	0	FFF0CH	不定	R
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R

Pmn	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

m = 0, 4, 12, 13; n = 0-7

注意 搭載していないビットには必ず初期値を設定してください。

4. 3. 3　プルアップ抵抗オプション・レジスタ0, 4, 12（PU0, PU4, PU12）

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，次の使用条件を満たしたビットにのみ，ビット単位で内蔵プルアップ抵抗が使用できます。

内蔵プルアップ抵抗の使用条件：

・PMmn = 1　（入力モード）

★ ・PMCmn = 0（デジタル入出力）

・POM0n = 0（通常出力モード）

出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PU4は01H，PU12は20H，PU0は00Hになります。

図4－3　プルアップ抵抗オプション・レジスタ0, 4, 12（PU0, PU4, PU12）のフォーマット

10ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W
PU12	0	0	PU125注	0	0	0	0	0	F003CH	20H	R/W

16ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	01H	R/W
PU12	0	0	PU125注	0	0	0	0	0	F003CH	20H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

m = 0, 4, 12; n = 0-7

注　P125/KR1端子（PORTSELB = 0）設定時のみ操作することができます
（$\overline{\text{RESET}}$入力（PORTSELB = 1）設定時は，常時有効（PU125 = 1）になります）。

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 4　ポート出力モード・レジスタ0（POM0）

CMOS出力／N-chオープン・ドレイン出力を1ビット単位で設定するレジスタです。

外部デバイスとの簡易I^2C通信時のSDA00端子にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択できます。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意　N-chオープン・ドレイン出力（V_{DD}耐圧）モード（POM0n = 1）を設定したビットは，内蔵プルアップ抵抗が接続されません。

図4－4　ポート出力モード・レジスタ0（POM0）のフォーマット

10ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	POM01	POM00	F0050H	00H	R/W

16ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	0	0	0	0	POM01	POM00	F0050H	00H	R/W

POM0n	P0n端子の出力モードの選択
0	通常出力モード
1	N-chオープン・ドレイン出力（V_{DD}耐圧）モード

n = 0, 1, 6, 7

注意 搭載していないビットには必ず初期値を設定してください。

4. 3. 5　ポート・モード・コントロール・レジスタ0（PMC0）

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図4－5　ポート・モード・コントロール・レジスタ0（PMC0）のフォーマット

10ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	PMC04	PMC03	PMC02	PMC01	1	F0060H	FFH	R/W

16ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	1	F0060H	FFH	R/W

PMC0n	P0n端子のデジタル入出力／アナログ入力の選択
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

n = 1-7

注意1.　PMC0レジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0（PM0）で入力モードに選択してください。

2.　搭載していないビットには必ず初期値を設定してください。

4. 3. 6　周辺I/Oリダイレクション・レジスタ（PIOR）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は，兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は，PIORレジスタでポートを割り当ててから，動作許可にしてください。

なお，リダイレクトの設定を変更できるのは，その機能を動作許可にするまでです。

PIORレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－6　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット

10ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIOR	0	0	0	0	0	PIOR2	PIOR1	PIOR0	F0077H	00H	R/W

16ピン製品

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIOR	0	0	0	PIOR4	PIOR3	PIOR2	PIOR1	PIOR0	F0077H	00H	R/W

ビット	機能	設定値	
		0	1
PIOR4注	INTP3	P06	P121
PIOR3注	INTP2	P41	P122
PIOR2	INTP1	P00	P03
PIOR1	TI01/TO01	P04	P40
PIOR0	PCLBUZ0	P02	P40

注　16ピン製品のみ

注意1.　PIOR0=1，PIOR1=1の同時設定は禁止です。

2.　搭載していないビットには必ず初期値を設定してください。

4.4　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

4.4.1　入出力ポートへの書き込み

（1）出力モードの場合

転送命令で，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

（2）入力モードの場合

転送命令で，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.2　入出力ポートからの読み出し

（1）出力モードの場合

転送命令で，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

（2）入力モードの場合

転送命令で，端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3　入出力ポートでの演算

（1）出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

（2）入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。ただし，出力バッファがオフしているので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

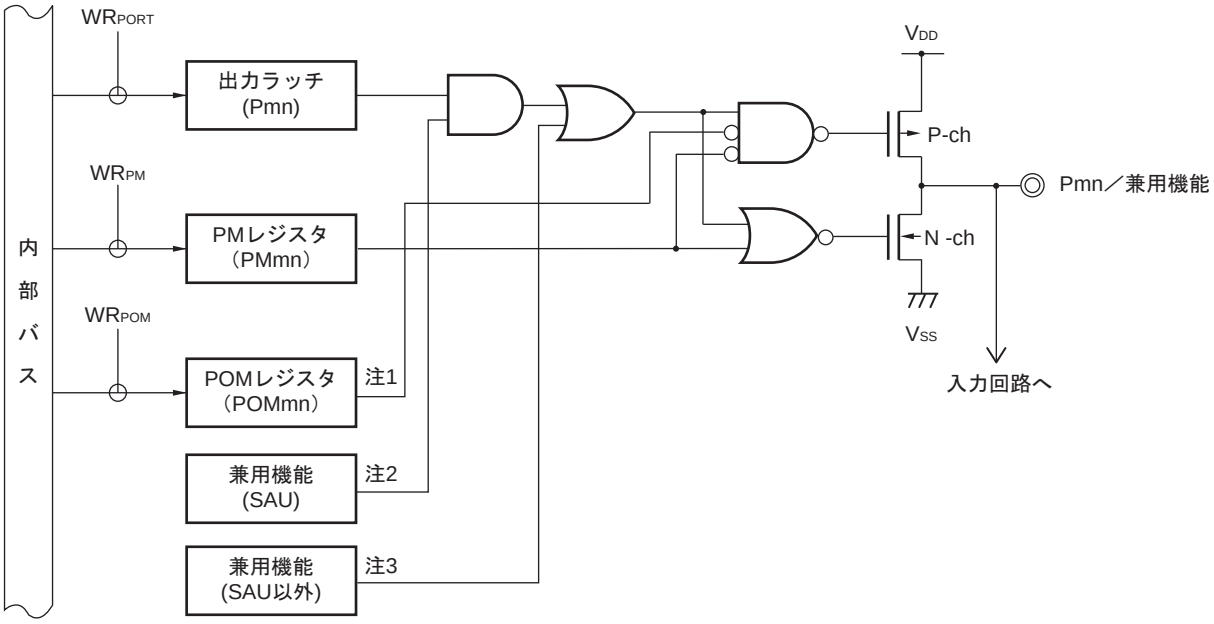
4. 5　兼用機能使用時のレジスタ設定

4. 5. 1　兼用機能使用時の基本的な考え方

最初に，アナログ入力と兼用している端子については，アナログ入力で使用するかデジタル入出力で使用するかをポート・モード・コントロール・レジスタ0（PMC0）で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を**図4－7**に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には，兼用しているSAU以外の機能（TAU，クロック／ブザー出力，IICA等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には，使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を**表4－4**に示します。

図4－7　端子の出力回路の基本的な構成



注1.　POMレジスタがない場合には，この信号はLow（0）と考えてください。
2.　兼用機能がない場合には，この信号はHigh（1）と考えてください。
3.　兼用機能がない場合には，この信号はLow（0）と考えてください。

備考　m：ポート番号（m = 0, 4, 12, 13），n：ビット番号（n = 0-7）

表4－4　基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	－	出力はHigh（1）	出力はLow（0）
SAUの出力機能	High（1）	－	出力はLow（0）
SAU以外の出力機能	Low（0）	出力はHigh（1）	出力はLow（0）注

注　1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので，使用しない兼用機能の出力はLow（0）にしておく必要があります。具体的な設定方法については，**4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定**を参照してください。

4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には，次に示す設定を行ってください。なお，周辺I/Oリダイレクト機能の対象になっている場合には，周辺I/Oリダイレクション・レジスタ（PIOR）を設定することで，出力を他の端子に切り替えることもできます。これにより，対象の端子に割り当てられたポート機能または他の兼用機能を使用することが可能となります

(1) SOp＝1／TxDq＝1（SAUのシリアル出力（SOp／TxDq）を使用しない場合の設定）

SAUをシリアル入力のみで使用するなど，シリアル出力（SOp／TxDq）を使用しない場合は，使用しない出力に対応したシリアル出力許可レジスタ0（SOE0）のビットを0（出力禁止）に設定し，シリアル出力レジスタ0（SO0）のSO0nビットを1（High）に設定してください。これは初期状態と同じ設定です。

(2) SCKp＝1／SDAr＝1／SCLr＝1（SAUのチャネルnを使用しない場合の設定）

SAUを使用しない場合は，シリアル・チャネル許可ステータス・レジスタ0（SE0）のビットn（SE0n）を0（動作停止状態）に設定し，使用しない出力に対応したシリアル出力許可レジスタ0（SOE0）のビットを0（出力禁止）に設定し，シリアル出力レジスタ0（SO0）のSO0nビットとCKO0nビットを1（High）に設定してください。これは初期状態と同じ設定です。

(3) TO0n＝0（TAUのチャネルnの出力を使用しない場合の設定）

TAUのTO0n出力を使用しない場合は，使用しない出力に対応したタイマ出力許可レジスタ0（TOE0）のビットを0（出力禁止），タイマ出力レジスタ0（TO0）のビットを0（Low）に設定してください。これは初期状態と同じ設定です。

(4) SDAA0＝0／SCLA0＝0（IICAを使用しない場合の設定）

IICAを使用しない場合は，IICAコントロール・レジスタ00（IICCTL00）のIICE0ビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

(5) PCLBUZ0＝0（クロック出力／ブザー出力を使用しない場合の設定）

クロック出力／ブザー出力を使用しない場合は，クロック出力選択レジスタ0（CKS0）のPCLOE0ビットを0（出力禁止）にしてください。これは初期状態と同じ設定です。

★ 備考　p：CSI番号（p = 00, 01）q：UART番号（q = 0）　r：IIC番号（r = 00）

4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4－5に示します。ポート機能を制御するレジスタを表4－5のように設定してください。なお，表4－5の表記については次の備考を参照してください。

備考　－：対象外

×：don't care

PIOR：周辺I/Oリダイレクション・レジスタ

POM0：ポート出力モード・レジスタ0

PMC0：ポート・モード・コントロール・レジスタ0

PMn：ポート・モード・レジスタn（n = 0, 4）

Pm：ポートの出力ラッチ（m = 0, 4, 12, 13）

（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（1/4）

端子名称	使用機能		PIOR	POM0	PMC0	PMn	Pm	兼用機能出力		16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外		
P00	P00	入力	－	×	－	1	×	×	－	○	○
		出力	－	0	－	0	0/1	TxD0／SO00 = 1	－		
		N-chOD出力	－	1	－	0	0/1				
	SO00	出力	－	0	－	0	1	×	－	○	○
	TxD0	出力	－	0/1	－	0	1	×	－	○	○
	INTP1	入力	PIOR2=0	×	－	1	×	×	－	○	○
P01	P01	入力	－	×	0	1	×	×	－	○	○
		出力	－	0	0	0	0/1	SDA00 = 1	－		
		N-chOD出力	－	1	0	0	0/1				
	ANI0	アナログ入力	－	×	1	1	×	×	－	○	○
	SI00	入力	－	×	0	1	×	×	－	○	○
	RxD0	入力	－	×	0	1	×	×	－	○	○
	SDA00	入出力	－	1	0	0	1	×	－	○	○
	KR2	入力	－	×	0	1	×	×	－	○	○
P02	P02	入力	－	－	0	1	×	×	×	○	○
		出力	－	－	0	0	0/1	SCK00／SCL00 = 1	PCLBUZ0 = 0 VCOUT0= 0注		
	ANI1	アナログ入力	－	－	1	1	×	×	×	○	○
	SCK00	入力	－	－	0	1	×	×	×	○	○
		出力	－	－	0	0	1	×	PCLBUZ0 = 0 VCOUT0= 0注		
	SCL00	出力	－	－	0	0	1	×	PCLBUZ0 = 0 VCOUT0= 0注	○	○
	PCLBUZ0	出力	PIOR0=0	－	0	0	0	SCK00／SCL00 = 1	VCOUT0= 0注	○	○
	KR3	入力	－	－	0	1	×	×	×	○	○
	VCOUT0	出力	－	－	0	0	0	SCK00／SCL00 = 1	PCLBUZ0 = 0	○	－
P03	P03	入力	－	－	0	1	×	－	×	○	○
		出力	－	－	0	0	0/1	－	TO00 = 0		
	ANI2	アナログ入力	－	－	1	1	×	－	×	○	○
	TO00	出力	－	－	0	0	0	－	×	○	○
	KR4	入力	－	－	0	1	×	－	×	○	○
	(INTP1)	入力	PIOR2=1	－	0	1	×	－	×	○	○
	IVCMP0	入力	－	－	1	1	×	－	×	○	－
P04	P04	入力	－	－	0	1	×	－	×	○	○
		出力	－	－	0	0	0/1	－	TO01 = 0		
	ANI3	アナログ入力	－	－	1	1	×	－	×	○	○
	TI01	入力	PIOR1=0	－	0	1	×	－	×	○	○
	TO01	出力	PIOR1=0	－	0	0	0	－	×	○	○
	KR5	入力	－	－	0	1	×	－	×	○	○
	IVREF0	入力	－	－	1	1	×	－	×	○	－

注　16ピン製品のみ

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（2/4）

端子名称	使用機能		PIOR	POM0	PMC0	PMn	Pm	兼用機能出力		16ピン	10ピン
	機能名称	入出力						SAUの出力機能	SAU以外		
P05	P05	入力	－	－	0	1	×	×	×	○	－
		出力	－	－	0	0	0/1	SO01= 1	TO02 = 0		
	ANI4	アナログ入力	－	－	1	1	×	×	×	○	－
	TI02	入力	－	－	0	1	×	×	×	○	－
	TO02	出力	－	－	0	0	0	SO01= 1	×	○	－
	SO01	出力	－	－	0	0	1	×	TO02 = 0	○	－
P06	P06	入力	－	×	0	1	×	－	×	○	－
		出力	－	0	0	0	0/1	－	SCLA0 = 0		
		N-chOD出力	－	1	0	0	0/1				
	ANI5	アナログ入力	－	×	1	1	×	－	×	○	－
	SI01	入力	－	×	0	1	×	－	×	○	－
★	SCLA0	入出力	－	1	0	0	0	－	×	○	－
	INTP3	入力	PIOR4=0	×	0	1	×	－	×	○	－
P07	P07	入力	－	×	0	1	×	×	×	○	－
		出力	－	0	0	0	0/1	SCK01= 1	TO03 = 0 SDAA0 = 0		
		N-chOD出力	－	1	0	0	0/1				
	ANI6	アナログ入力	－	×	1	1	×	×	×	○	－
	TO03	出力	－	0/1	0	0	0	SCK01= 1	SDAA0 = 0	○	－
	SCK01	入力	－	×	0	1	×	×	×	○	－
		出力	－	0	0	0	1	×	TO03 = 0 SDAA0 = 0		
★	SDAA0	入出力	－	1	0	0	0	SCK01= 1	TO03 = 0	○	－
P40	P40	入力	－	－	－	1	×	－	×	○	○
		出力	－	－	－	0	0/1	－	(PCLBUZ0) = 0 (TO01) = 0		
	KR0	入力	－	－	－	1	×	－	×	○	○
	(PCLBUZ0)	出力	PIOR0=1	－	－	0	0	－	(TO01) = 0	○	○
	(TI01)	入力	PIOR1=1	－	－	1	×	－	×	○	○
	(TO01)	出力	PIOR1=1	－	－	0	0	－	(PCLBUZ0) = 0	○	○
P41	P41	入力	－	－	－	1	×	－	－	○	－
		出力	－	－	－	0	0/1	－	－		
	TI03	入力	－	－	－	1	×	－	－	○	－
	INTP2	入力	PIOR3=0	－	－	1	×	－	－	○	－

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（3/4）

端子名称	使用機能		PIOR	POM0	PMC0	PMn	Pm	CMC (EXCLK,OSCSEL)	16ピン	10ピン
	機能名称	入出力								
P121	P121	入力	－	－	－	－	×	00／10／11	○	－
	X1	入力	－	－	－	－	×	01	○	－
	(INTP3)	入力	PIOR4=1	－	－	－	×	00／10／11	○	－
P122	P122	入力	－	－	－	－	×	00／10	○	－
	X2	入力	－	－	－	－	×	01	○	－
	EXCLK	入力	－	－	－	－	×	11	○	－
	(INTP2)	入力	PIOR3=1	－	－	－	×	00／10	○	－

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（4/4）

端子名称	使用機能		PIOR	POM0	PMC0	PMn	Pm	備考	16ピン	10ピン
	機能名称	入出力								
P125	P125	入力	－	－	－	－	×	オプション・バイト000C1H PORTSELB = 0	○	○
	KR1	入力	－	－	－	－	×		○	○
	$\overline{\text{RESET}}$	入力	－	－	－	－	×	オプション・バイト000C1H PORTSELB = 1	○	○
P137	P137	入力	－	－	－	－	×	－	○	○
	TI00	入力	－	－	－	－	×	－	○	○
	INTP0	入力	－	－	－	－	×	－	○	○

4. 6　ポート機能使用時の注意事項

4. 6. 1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

例 P00は出力ポート，P01-P07は入力ポート（端子状態はすべてハイ・レベル）で，かつポート0の出力ラッチの値が“00H”のとき，出力ポートP00の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート0の出力ラッチの値は，“FFH”になります。

説明：PMmnビット ＝ 1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78マイクロコントローラ内部で，次の順序で行われます。

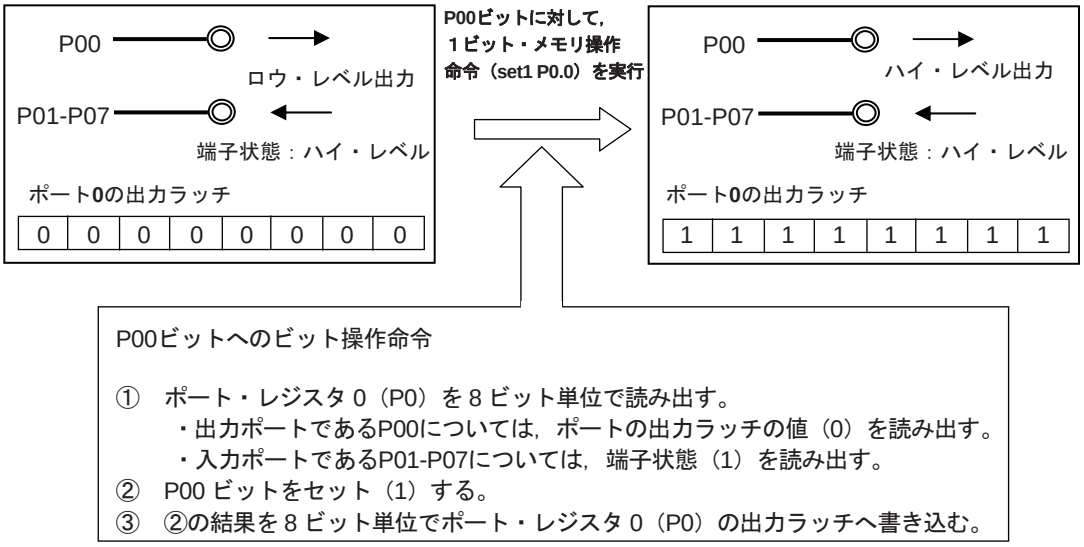
① Pnレジスタを8ビット単位で読み出し
② 対象の1ビットを操作
③ Pnレジスタへ8ビット単位で書き込み

①のとき，出力ポートであるP00は出力ラッチの値（0）を読み出し，入力ポートであるP01-P07は端子状態を読み出します。このときP01-P07の端子状態が“ハイ・レベル”とすると，読み出し値は“FEH”となります。

②の操作で，値は“FFH”となります。

③の操作で，出力ラッチに“FFH”が書き込まれます。

図4－8　1ビット・メモリ操作命令（P00の場合）



4. 6. 2　端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については，使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当てられた機能も同様です。兼用出力については，**4. 5　兼用機能使用時のレジスタ設定**を参照してください。

入力として使用する端子では，兼用機能の出力が無効（バッファ出力がHi-Z）となるので，処理不要です。

なお，入力だけや入出力のないブロックを含めて，低消費電力化のために，使用しない機能は停止させることをおすすめします。

第5章　クロック発生回路

5.1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の種類があります。

（1）メイン・システム・クロック

① X1発振回路（16ピン製品のみ）

X1端子，X2端子に発振子を接続することにより，f_X = 1～20 MHzのクロックを発振させることができます。

また，EXCLK/X2/P122端子から外部メイン・システム・クロック（f_{EX} = 1~20 MHz）を供給することもできます。

STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により，発振子の発振を停止，または外部メイン・システム・クロック入力を無効にすることができます。

② 高速オンチップ・オシレータ

オプションバイト（000C2H）により，f_{IH} = 20/10/5/2.5/1.25 MHz（TYP.）から周波数を選択し，発振させることができます。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行または，HIOSTOPビット（CSCレジスタのビット0）の設定により，発振を停止することができます。

オプションバイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は，**図5－9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット**を参照してください。

次に，高速オンチップ・オシレータで設定できる発振周波数を示します（オプションバイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数[MHz]				
	1.25	2.5	5	10	20
2.7 V≦V_{DD}≦5.5 V	○	○	○	○	○
2.0 V≦V_{DD}≦5.5 V注	○	○	○	－	－

備考　○：動作可能，－：動作不可

メイン・システム・クロックは，MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により，高速システム・クロック（X1クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

注　セレクタブル・パワーオン・リセット（SPOR）回路の検出電圧（V_{SPOR}）が含まれるため，2.25～5.5Vの電圧範囲で使用してください。

（2）低速オンチップ・オシレータ・クロック

f_{IL} = 15 kHz（TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは，次の周辺ハードウエアのみです。

・ウォッチドッグ・タイマ

・12ビット・インターバル・タイマ注

オプション・バイト（000C0H）のビット4（WDTON）または，動作スピード・モード制御レジスタ（OSMC）注のビット4（WUTMMCK0）のどちらか，または両方が1のときに動作します。

ただし，WDTON = 1，　WUTMMCK0 = 0かつオプション・バイト（000C0H）のビット0（WDSTBYON）が0のときに，HALT命令またはSTOP命令を実行した場合，低速オンチップ・オシレータは発振を停止します。

注　16ピン製品のみ

備考　f_X　：X1クロック発振周波数

f_{IH}　：高速オンチップ・オシレータ・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック周波数

5. 2　クロック発生回路の構成

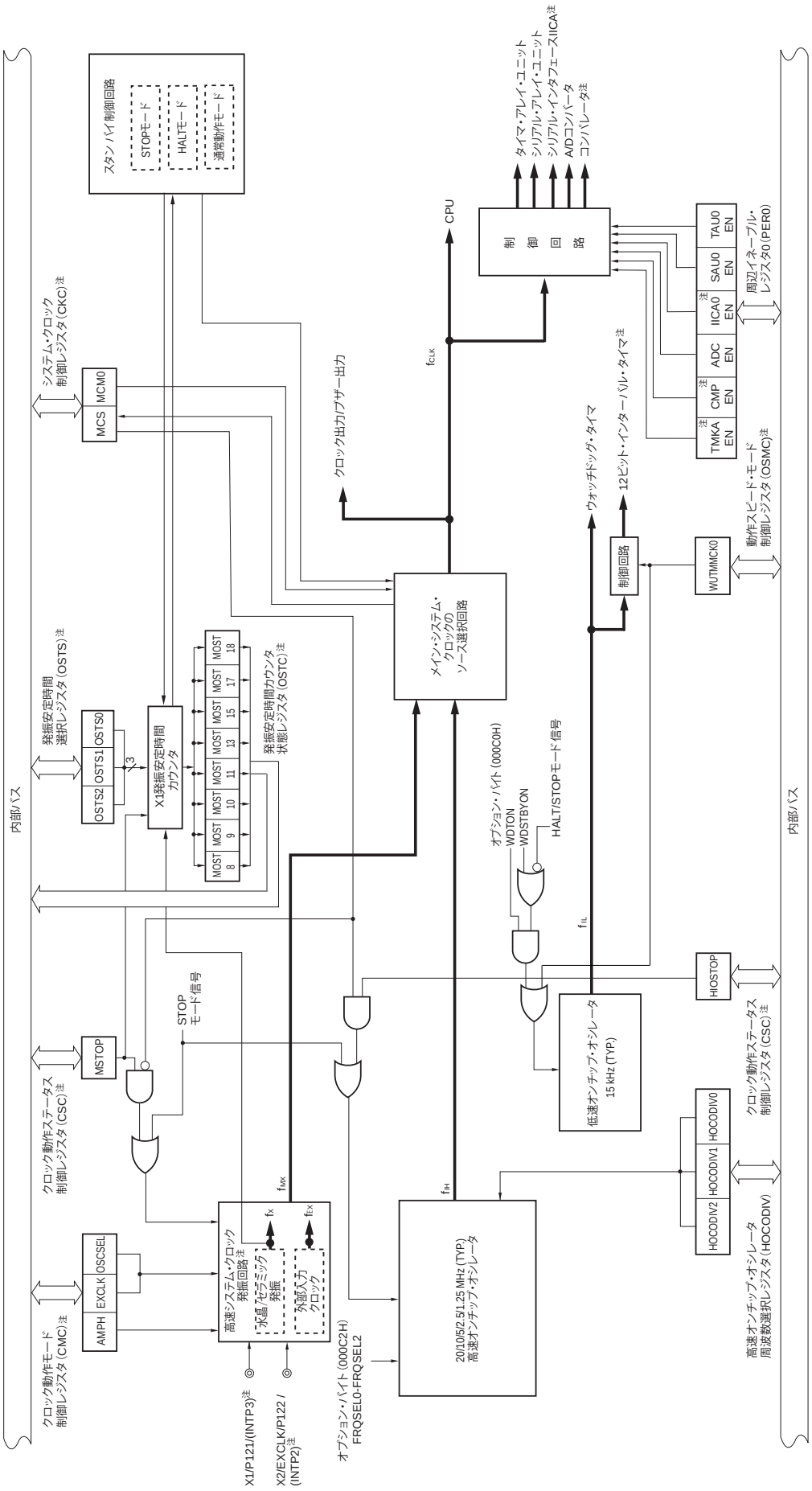
クロック発生回路は，次のハードウエアで構成しています。

表5－1　クロック発生回路の構成

項　　目	構　　成	10ピン製品	16ピン製品
制御レジスタ	クロック動作モード制御レジスタ（CMC）	–	○
	システム・クロック制御レジスタ（CKC）	–	○
	クロック動作ステータス制御レジスタ（CSC）	–	○
	発振安定時間カウンタ状態レジスタ（OSTC）	–	○
	発振安定時間選択レジスタ（OSTS）	–	○
	周辺イネーブル・レジスタ0（PER0）	○	○
	動作スピード・モード制御レジスタ（OSMC）	–	○
	高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）	○	○
発振回路	X1発振回路	–	○
	高速オンチップ・オシレータ	○	○
	低速オンチップ・オシレータ	○	○

備考　○：あり，–：なし

図5−1　クロック発生回路のブロック図



注　16ピン製品のみ

備考 f_X ：X1クロック発振周波数

f_{IH} ：高速オンチップ・オシレータ・クロック周波数

f_{EX} ：外部メイン・システム・クロック周波数

f_{MX} ：高速システム・クロック周波数

f_{MAIN} ：メイン・システム・クロック周波数

f_{CLK} ：CPU／周辺ハードウエア・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

5.3　クロック発生回路を制御するレジスタ

クロック発生回路は，製品ごとに次のレジスタで制御します。

（1）10ピン製品

・周辺イネーブル・レジスタ0（PER0）

・高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

（2）16ピン製品

・クロック動作モード制御レジスタ（CMC）

・システム・クロック制御レジスタ（CKC）

・クロック動作ステータス制御レジスタ（CSC）

・発振安定時間カウンタ状態レジスタ（OSTC）

・発振安定時間選択レジスタ（OSTS）

・周辺イネーブル・レジスタ0（PER0）

・動作スピード・モード制御レジスタ（OSMC）

・高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

注意　製品によって搭載するレジスタとビットは異なります。搭載していないレジスタとビットには必ず初期値を設定してください。

5. 3. 1　クロック動作モード制御レジスタ（CMC）

X1/P121/(INTP3), X2/EXCLK/P122/(INTP2)端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により，00Hになります。

図5－2　クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121/(INTP3)端子	X2/EXCLK/P122/(INTP2)端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	X1クロック発振周波数の制御
0	1 MHz≦f_X≦10 MHz
1	10 MHz＜f_X≦20 MHz

注意1.　CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合，暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために，リセット解除後は必ず00Hに設定してください。

2.　リセット解除後，クロック動作ステータス制御レジスタ（CSC）の設定でX1発振を開始する前に，CMCレジスタを設定してください。

3.　X1クロック発振周波数が10MHzを越える場合は，必ずAMPHビットに1を設定してください。AMPHビットは，リセット解除後f_{CLK}にf_{IH}を選択した状態（f_{CLK}をf_{MX}に切り替える前の状態）で設定してください。

4.　X1/X2 端子の動作モードを切り換える場合，MSTOP = 1の状態で行ってください。

備考　f_X：X1クロック発振周波数

5. 3. 2　システム・クロック制御レジスタ（CKC）

メイン・システム・クロックを選択するレジスタです。

CKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－3　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H　　リセット時：00H　　R/W注

略号	7	6	5	4	3	2	1	0
CKC	0	0	MCS	MCM0	0	0	0	0

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	高速オンチップ・オシレータ・クロック（f_{IH}）
1	高速システム・クロック（f_{MX}）

MCM0	メイン・システム・クロック（f_{MAIN}）の動作制御
0	メイン・システム・クロック（f_{MAIN}）に高速オンチップ・オシレータ・クロック（f_{IH}）を選択
1	メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択

注　ビット5はRead Onlyです。

注意1.　ビット0-3, 6, 7には，必ず0を設定してください。

2.　メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択する場合は，f_{MX}の発振動作を開始させ，発振安定時間を経過後に切り替えしてください。

3.　メイン・システム・クロック周波数（f_{MAIN}）を変更すると，周辺ハードウエア・クロックも同時に変更されます。f_{MAIN}を変更する場合は，各周辺機能を停止させてからMCM0ビットの設定を行ってください。

5. 3. 3　クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック，高速オンチップ・オシレータ・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，80Hになります。

図5－4　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H　　リセット時：80H　　R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	0	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ・クロック動作
1	高速オンチップ・オシレータ・クロック停止

注意1.　リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。

2.　X1/X2端子の動作モードを切り換える場合，MSTOP = 1の状態で行ってください。

3.　MSTOP = 0を設定する場合，先にX1/X2端子をfx動作モードに切り換えてください。入力ポート・モードでは，MSTOPフラグの設定は無効です。

4.　リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

5.　MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

6.　fx動作モード中にMSTOP = 1とする場合，先にCKCレジスタのMCS = 0であるかを確認してください。

7.　fx動作中，MSTOPフラグの書き込みは有効ですが，停止制御は行いません。

8.　CPU／周辺ハードウエア・クロック（f_{CLK}）に選択しているクロックは，CSCレジスタで停止させないでください。

9.　クロック発振停止するためのレジスタのフラグ設定と停止前の条件は，表5－2のようになります。

クロックを停止する場合は、クロック停止前の条件を確認してから実行してください。

表5－2　クロック発振停止前の条件とフラグ設定

クロック	クロック停止前条件	CSCレジスタのフラグ設定
X1クロック	CPU／周辺ハードウエア・クロックが高速オンチップ・オシレータ・クロックで動作（MCS = 0）	MSTOP = 1
外部メイン・システム・クロック		
高速オンチップ・オシレータ・クロック	CPU／周辺ハードウエア・クロックが高速システム・クロックで動作（MCS = 1）	HIOSTOP = 1

5. 3. 4　発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。
次のときに，X1クロックの発振安定時間を確認することができます。

・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックの発振を開始した場合
・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。
リセット信号の発生，STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

備考　発振安定時間カウンタは，次の場合にカウントを開始します。
・X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
・STOPモードを解除したとき

図5－5　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　　リセット時：00H　　R

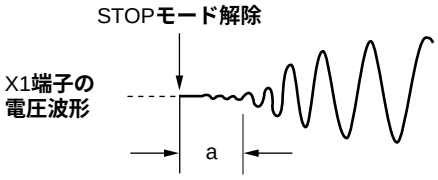
略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									f_X = 10 MHz 時	f_X = 20 MHz 時
0	0	0	0	0	0	0	0	$(2^8+16)/f_X$未満	27.2 μs未満	13.6 μ　s未満
1	0	0	0	0	0	0	0	$(2^8+16)/f_X$以上	27.2 μs以上	13.6 μs以上
1	1	0	0	0	0	0	0	$(2^9+16)/f_X$以上	52.8 μs以上	26.4 μs以上
1	1	1	0	0	0	0	0	$(2^{10}+16)/f_X$以上	104 μs以上	52.0 μs以上
1	1	1	1	0	0	0	0	$(2^{11}+16)/f_X$以上	206 μs以上	103 μs以上
1	1	1	1	1	0	0	0	$(2^{13}/+16)/f_X$以上	820 μs以上	410 μs以上
1	1	1	1	1	1	0	0	$(2^{15}+16)/f_X$以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	$(2^{17}+16)/f_X$以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$(2^{18}+16)/f_X$以上	26.2 ms以上	13.1 ms以上

注意1.　上記時間経過後，MOST8ビットから順番に“1”となっていき，そのまま“1”を保持します。
2.　発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。
次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックの発振を開始したい場合
・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合
（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3. X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

5. 3. 5　発振安定時間選択レジスタ（OSTS）

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合，STOPモード解除後は，OSTSレジスタで設定した時間を自動でウエイトします。

OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，07Hになります。

図5－6　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　　リセット時：07H　　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	$(2^8+16)/f_X$	27.2 μs	13.6 μs
0	0	1	$(2^9+16)/f_X$	52.8 μs	26.4 μs
0	1	0	$(2^{10}+16)/f_X$	104 μs	52.0 μs
0	1	1	$(2^{11}+16)/f_X$	206 μs	103 μs
1	0	0	$(2^{13}+16)/f_X$	820 μs	410 μs
1	0	1	$(2^{15}+16)/f_X$	3.27 ms	1.63 ms
1	1	0	$(2^{17}+16)/f_X$	13.1 ms	6.55 ms
1	1	1	$(2^{18}+16)/f_X$	26.2 ms	13.1 ms

注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は，STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

2. OSTSレジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ（CSC）のMSTOPビットを0に設定する前に行ってください。

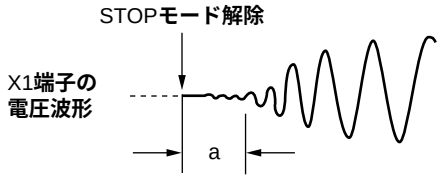
3. X1クロックの発振安定時間中は，OSTSレジスタを変更しないでください。

4. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- **CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックの発振を開始したい場合**
- **CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）**

5. X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　f_X：X1クロック発振周波数

5. 3. 6　周辺イネーブル・レジスタ0（PER0）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

・12ビット･インターバル・タイマ
・A/Dコンバータ
・コンパレータ
・シリアル・インタフェースIICA
・シリアル・アレイ・ユニット
・タイマ・アレイ・ユニット

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（1/2）

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN注	CMPEN注	ADCEN	IICA0EN注	0	SAU0EN	0	TAU0EN

TMKAEN	12ビット･インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・12ビット･インターバル・タイマで使用するSFRへのライト不可 ・12ビット･インターバル・タイマはリセット状態
1	入力クロック供給 ・12ビット･インターバル・タイマで使用するSFRへのリード／ライト可

CMPEN	コンパレータの入力クロック供給の制御
0	入力クロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータはリセット状態
1	入力クロック供給 ・コンパレータで使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

注　16ピン製品のみ

注意　次のビットには必ず0を設定してください。

10ピン製品：ビット1, 3, 4, 6, 7

16ピン製品：ビット1, 3

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（2/2）

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN注	CMPEN注	ADCEN	IICA0EN注	0	SAU0EN	0	TAU0EN

SAU0EN	シリアル・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットはリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニットで使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注　16ピン製品のみ

注意　次のビットには必ず0を設定してください。

10ピン製品：ビット1, 3, 4, 6, 7

16ピン製品：ビット1, 3

5. 3. 7　動作スピード・モード制御レジスタ（OSMC）

OSMCレジスタでは，12ビット･インターバル・タイマの動作クロックの供給を制御します。12ビット･インターバル・タイマを動作させるときは，先にWUTMMCK0 ＝ 1に設定し，停止させるまでWUTMMCK0 = 0に設定しないでください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－8　動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット･インターバル・タイマの動作クロックの供給
0	クロック供給停止
1	低速オンチップ・オシレータ・クロック（f_{IL}）供給

5. 3. 8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

オプション・バイト（000C2H）で設定した高速オンチップ・オシレータ・クロックの周波数を変更するレジスタです。

HOCODIVは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，オプション・バイト（000C2H）FRQSEL2 - FRQSEL0で設定した値になります。

図5－9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H　リセット時：オプション・バイト（000C2H）FRQSEL2 - FRQSEL0の設定値　R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV 2	HOCODIV 1	HOCODIV 0

HOCODIV 2	HOCODIV 1	HOCODIV 0	高速オンチップ・オシレータ・クロック周波数の選択
0	0	1	20 MHz
0	1	0	10 MHz
0	1	1	5 MHz
1	0	0	2.5 MHz
1	0	1	1.25 MHz
上記以外			設定禁止

注意1. HOCODIVレジスタの設定は周波数の変更前，変更後ともに動作可能な電圧範囲で行ってください。

2. HOCODIVレジスタの設定は，高速オンチップ・オシレータ・クロック（f_{IH}）をCPU／周辺ハードウエア・クロック（f_{CLK}）に選択している状態で行ってください。

3. HOCODIVレジスタで周波数を変更後，次の遷移時間を経過して周波数が切り替わります。

★ **なお、HOCODIVレジスタに同じ値を設定した場合でも、最大3クロックのCPU／周辺ハードウエア・クロックウエイトが発生します。**

・変更前の周波数で最大3クロック動作

・変更後の周波数で最大3クロックのCPU／周辺ハードウエア・クロックウエイト

5.4　システム・クロック発振回路

5.4.1　X1発振回路（16ピン製品のみ）

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。また，外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

・水晶，セラミック発振：EXCLK, OSCSEL = 0, 1

・外部クロック入力：EXCLK，OSCSEL = 1, 1

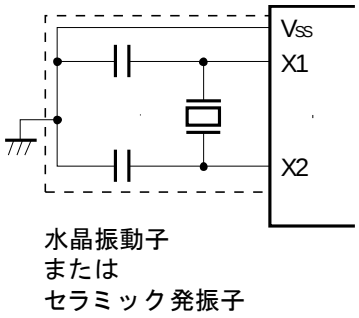
X1発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表**2－2　各端子の未使用処理**を参照してください。

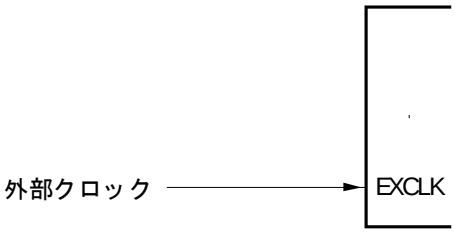
図5－10にX1発振回路の外付け回路例を示します。

図5－10　X1発振回路の外付け回路例

（a）水晶，セラミック発振



（b）外部クロック入力



注意　X1発振回路を使用する場合は，配線容量などの影響を避けるために，図5－10の破線の部分を次のように配線してください。

・配線は極力短くしてください。

・他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。

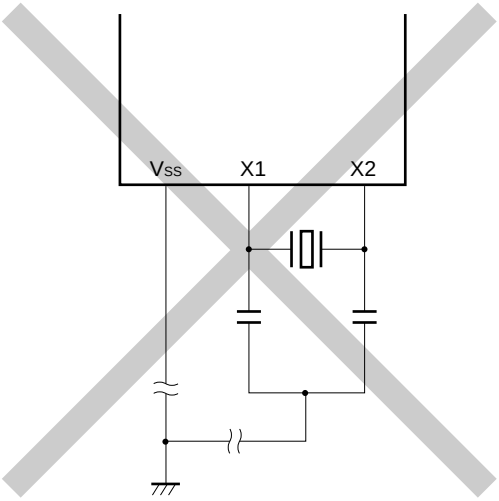
・発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。

・発振回路から信号を取り出さないでください。

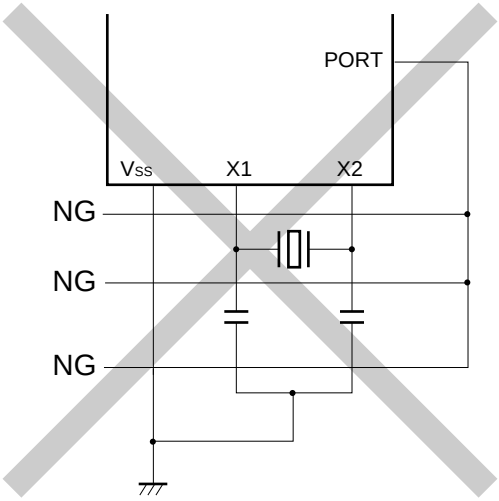
図5－11に発振子の接続の悪い例を示します。

図5－11　発振子の接続の悪い例（1/2）

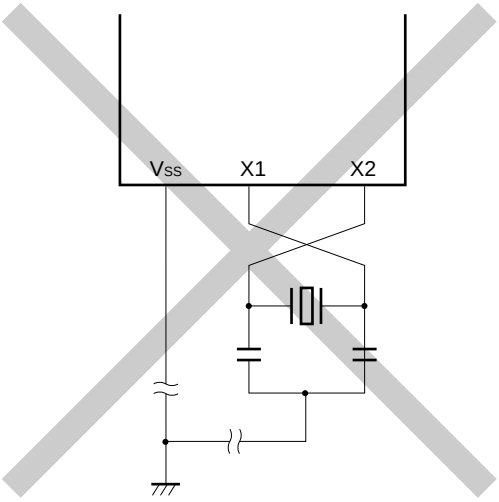
（a）接続回路の配線が長い



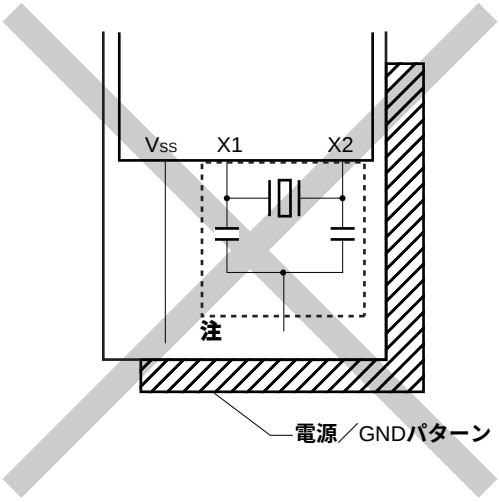
（b）信号線が交差している



（c）X1, X2の信号線の配線が交差している



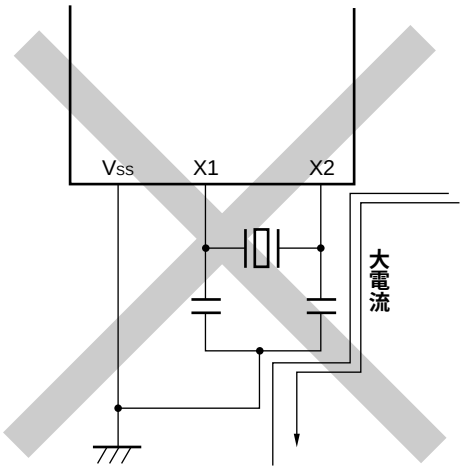
（d）X1, X2配線の下に電源／GNDパターンがある



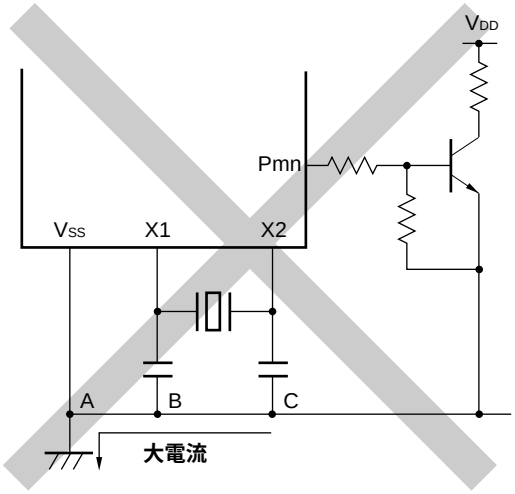
注　多層基板や両面基板において，X1，X2端子と発振子の配線部（図中の点線部分）の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

図5－11　発振子の接続の悪い例（2/2）

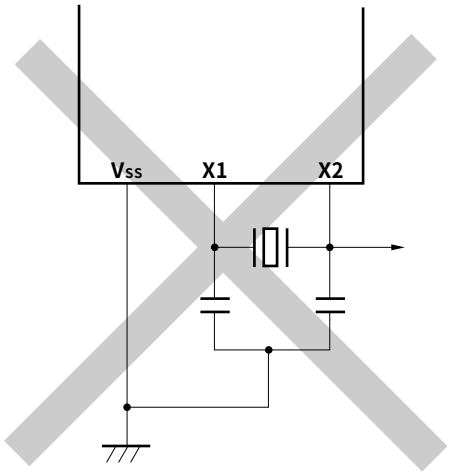
（e）変化する大電流が信号線に近接している



（f）発振回路部のグランド・ライン上に電流が流れる（A点，B点，C点の電位が変動する）



（g）信号を取り出している



5. 4. 2　高速オンチップ・オシレータ

RL78/G10は，高速オンチップ・オシレータを内蔵しています。オプションバイト（000C2H）により20 MHz, 10 MHz, 5 MHz, 2.5 MHz, 1.25 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ（CSC）注のビット0（HIOSTOP）にて発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

注　16ピン製品のみ

5. 4. 3　低速オンチップ・オシレータ

RL78/G10は，低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは，ウォッチドッグ・タイマ，12ビット・インターバル・タイマ注のクロックとして使用します。CPUクロックとして使用できません。

ウォッチドッグ・タイマ動作時，または動作スピード・モード制御レジスタ（OSMC）注のビット4（WUTMMCK0）が1のときに，低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ，WUTMMCK0 = 0のとき，低速オンチップ・オシレータは停止します。

注　16ピン製品のみ

5. 5　クロック発生回路の動作

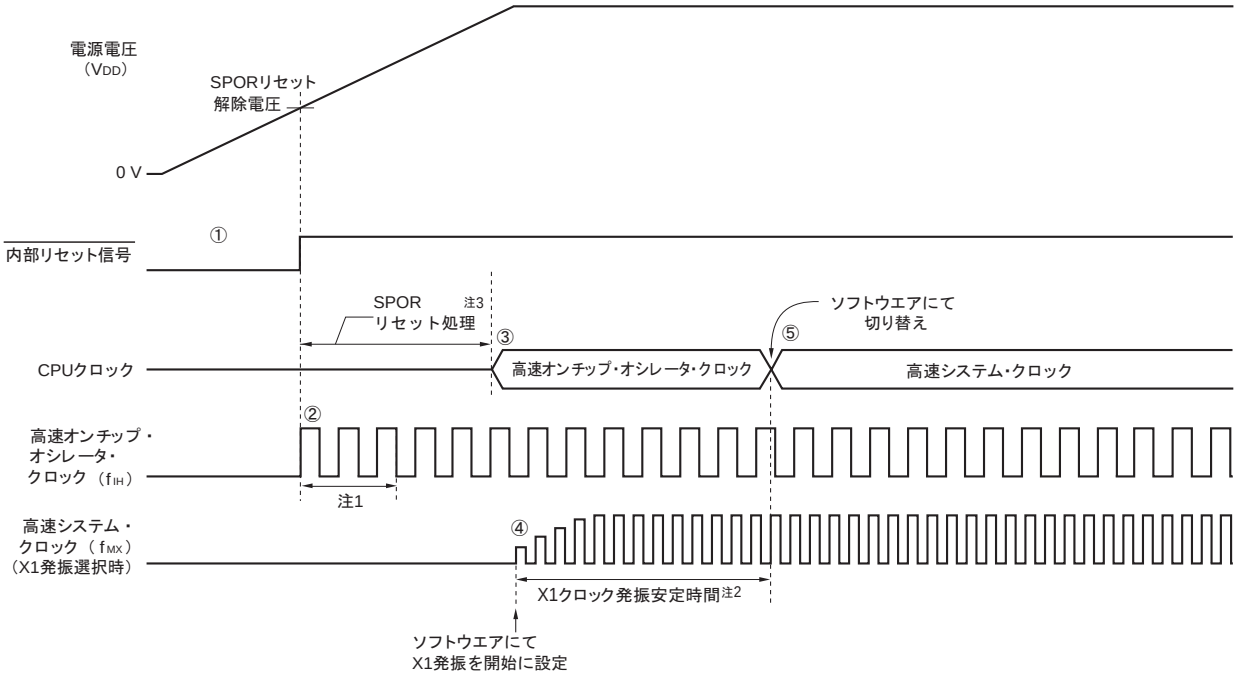
クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（図5－1を参照）。

○メイン・システム・クロック　f_{MAIN}
　・高速システム・クロック注　f_{MX}
　　X1クロック注　f_X
　　外部メイン・システム・クロック注　f_{EX}
　・高速オンチップ・オシレータ・クロック　f_{IH}
○低速オンチップ・オシレータ・クロック　f_{IL}
○CPU／周辺ハードウエア・クロック　f_{CLK}

RL78/G10では，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。
電源電圧投入時のクロック発生回路の動作を，図5－12に示します。

注　16ピン製品のみ

図5－12　電源電圧投入時のクロック発生回路の動作



① 電源投入後，セレクタブル・パワーオン・リセット（SPOR）回路による内部リセット信号が発生します。

② 電源電圧がSPOR回路の検出電圧を越えると，リセットが解除され，高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとSPORリセット処理が行われたのちに，CPUが高速オンチップ・オシレータ・クロックで動作開始します。

④ X1クロックは，ソフトウエアにて発振開始を設定してください（**5. 6. 2　X1発振回路の設定例**を参照）。

⑤ CPUをX1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウエアにて切り替えを設定してください。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，リセット処理時間に含まれます。

2. リセット解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

3. SPORリセット処理時間は，**第18章　セレクタブル・パワーオン・リセット回路**を参照してください。

注意　EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

5. 6　クロックの制御

5. 6. 1　高速オンチップ・オシレータの設定例

リセット解除後，CPU／周辺ハードウエア・クロック（f_{CLK}）として高速オンチップ・オシレータ・クロックが供給されます。高速オンチップ・オシレータの周波数は，オプション・バイト（000C2H）のFRQSEL0-FRQSEL2で選択できます。この周波数は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。

【オプション・バイト設定】

アドレス：000C2H

オプション・バイト（000C2H）	7	6	5	4	3	2	1	0
	1	1	1	1	1	FRQSEL2	FRQSEL1	FRQSEL0

FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	1	20 MHz
0	1	0	10 MHz
0	1	1	5 MHz
1	0	0	2.5 MHz
1	0	1	1.25 MHz
上記以外			設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV 2	HOCODIV 1	HOCODIV 0

HOCODIV 2	HOCODIV 1	HOCODIV 0	選択周波数
0	0	1	20 MHz
0	1	0	10 MHz
0	1	1	5 MHz
1	0	0	2.5 MHz
1	0	1	1.25 MHz
上記以外			設定禁止

注意1.　HOCODIVレジスタの設定は，周波数の変更前，変更後ともに動作可能な電圧範囲で行ってください。

2.　HOCODIVレジスタの設定は，高速オンチップ・オシレータ・クロック（f_{IH}）をCPU／周辺ハードウエア・クロック（f_{CLK}）に選択している状態で行ってください。

3.　HOCODIVレジスタで周波数を変更後，次の遷移時間を経過して周波数が切り替わります。

・変更前の周波数で最大3クロック動作

・変更後の周波数で最大3クロックのCPU／周辺ハードウエア・クロックウエイト

5. 6. 2　X1発振回路の設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，X1クロックに変更する場合，発振安定時間選択レジスタ（OSTS），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと，システム・クロック制御レジスタ（CKC）でX1クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① CMCレジスタのOSCSELビットをセット（1），f_X＞10 MHzの場合はAMPHビットをセット（1）してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	0	0	0	0	0	AMPH 0/1

AMPHビット：X1クロックが10 MHz以下の場合は0を設定してください。

② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。

例　10 MHzの発振子で104 μs以上までウエイトする場合は，以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS 1 1	OSTS 0 0

③ CSCレジスタのMSTOPビットをクリア（0）してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	0	0	0	0	0	0	HIOSTOP 0

④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例　10 MHzの発振子で104 μs以上までウエイトする場合は，以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

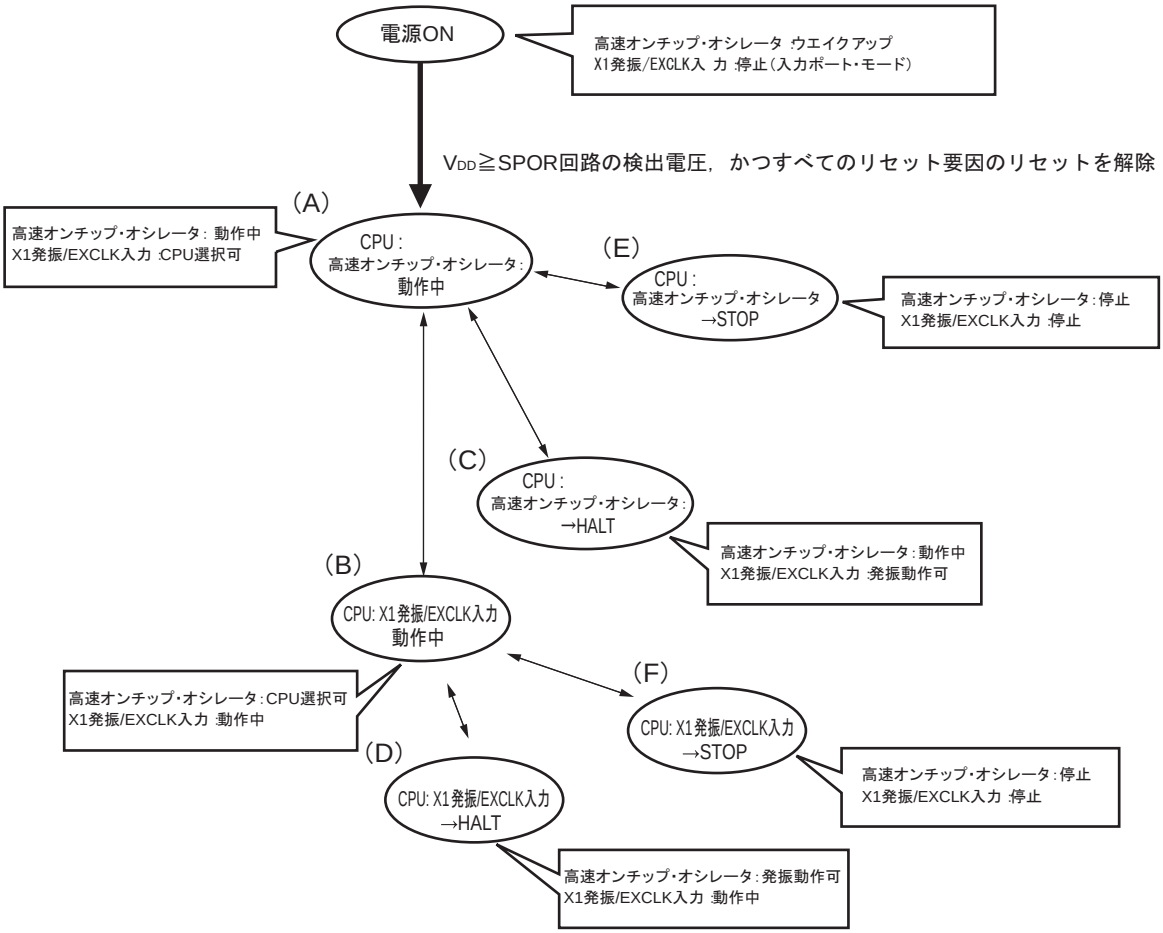
⑤ CKCレジスタのMCM0ビットでX1クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	0	0	MCS 0	MCM0 1	0	0	0	0

5. 6. 3　CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5－13に示します。

図5－13　CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5－3に示します。

表5－3　CPUクロックの移行とSFRレジスタの設定例（1/2）

（1）CPUを高速オンチップ・オシレータ・クロック動作（A）から高速システム・クロック動作（B）へ移行
（リセット解除直後，CPUは高速オンチップ・オシレータ・クロックで動作（A））

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 状態遷移	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
（A）→（B） （X1クロック：1 MHz ≦ fx ≦ 10 MHz）	0	1	0	**注2**	0	確認必要	1
（A）→（B） （X1クロック：10 MHz ＜ fx ≦ 20 MHz）	0	1	1	**注2**	0	確認必要	1
（A）→（B） （外部メイン・システム・クロック）	1	1	×	**注2**	0	確認不要	1

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回だけ設定可能です。

2.　発振安定時間選択レジスタ（OSTS）で，発振安定時間を次のように設定してください。
期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間 ≦ OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第24章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。

備考1.　×：don’t care

2.　表5－3の（A）–（F）は，図5－13の（A）–（F）に対応しています。

表5－3　CPUクロックの移行とSFRレジスタの設定例（2/2）

（2）CPUを高速システム・クロック動作（B）から，高速オンチップ・オシレータ・クロック動作（A）へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ／状態遷移	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
（B）→（A）	0	27 μs（TYP.）	0

高速システム・クロック動作中，高速オンチップ・オシレータを動作させていた場合は設定不要

（3）・CPUが高速オンチップ・オシレータ・クロック動作中（A）にHALTモード（C）へ移行
・CPUが高速システム・クロック動作中（B）にHALTモード（D）へ移行

状態遷移	設定内容
（A）→（C） （B）→（D）	HALT命令を実行する

（4）・CPUが高速オンチップ・オシレータ・クロック動作中（A）にSTOPモード（E）へ移行
・CPUが高速システム・クロック動作中（B）にSTOPモード（F）へ移行

（設定順序）→

状態遷移		設定内容		
（A）→（E）		STOPモード中に動作できない周辺機能を停止する	－	STOP命令を実行する
（B）→（F）	X1発振		OSTSレジスタを設定する	
	外部クロック		－	

備考　表5－3の（A）–（F）は，図5－13の（A）–（F）に対応しています。

5. 6. 4　CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について，次に示します。

表5－4　CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと，高速オンチップ・オシレータを停止（HIOSTOP = 1）すると，動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと，X1を発振停止可能（MSTOP = 1）
	外部メイン・システム・クロック	移行不可	－
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと，外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	X1クロック	移行不可	－

5. 6. 5　CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4（MCM0）の設定により，メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔高速システム・クロック）をすることができます。

実際の切り替え動作は，CKCレジスタを書き換えた直後ではなく，CKCレジスタを変更したのち，数クロックは切り替え前のクロックで動作します（表5－5参照）。

メイン・システム・クロックが高速システム・クロックで動作しているか，高速オンチップ・オシレータ・クロックで動作しているかは，CKCレジスタのビット5（MCS）で判定できます。

CPUクロックを切り替えると，周辺ハードウエアのクロックも同時に切り替わります。

表5－5　メイン・システム・クロックの切り替え（f_{IH} ↔ f_{MX}）に要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 （f_{MAIN} ＝ f_{IH}）	1 （f_{MAIN} ＝ f_{MX}）
0 （f_{MAIN} ＝ f_{IH}）	f_{MX}≧f_{IH}		1 + f_{IH} / f_{MX}
	f_{MX}＜f_{IH}		2f_{IH}/f_{MX}クロック
1 （f_{MAIN} ＝ f_{MX}）	f_{MX}≧f_{IH}	2f_{MX}/f_{IH}クロック	
	f_{MX}＜f_{IH}	1 + f_{MX} / f_{IH}	

備考1.　切り替え前のCPUクロックのクロック数です。

2.　小数点以下を切り上げてください。

例　メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合（f_{IH} = 5 MHz選択, f_{MX} = 10 MHz発振時）

2f_{MX}/f_{IH} = 2（10/5）　= 4→ 4クロック

5. 6. 6　クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。クロックを停止する場合は、クロック停止前の条件を確認してから実行してください。

表5－6　クロック発振停止前の条件とフラグ設定

クロック	クロック停止前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1（CPUが高速システム・クロックで動作）	HIOSTOP = 1
X1クロック	MCS = 0（CPUが高速オンチップ・オシレータ・クロックで動作）	MSTOP = 1
外部メイン・システム・クロック		

5.7　発振子と発振回路定数

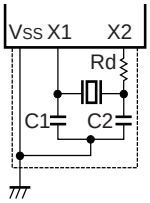
動作確認済みの発振子と，その発振回路定数（参考）を示します。

注意1.　この発振回路定数は，発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションでは，実装回路上での評価を発振子メーカに依頼してください。
また，別製品からのマイコンの変更、基板の変更の際には，再度，実装回路上での評価を発振子メーカに依頼してください。

2.　発振電圧，発振周波数は，あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については，DC, AC特性の規格内で使用してください。

図5－14　外付け発振回路例

X1発振



（1）X1発振　　2013年12月現在

メーカ	発振子	品　名	SMD/リード	周波数 (MHz)	発振回路定数注1（参考）			電圧範囲 (V)	
					C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社村田製作所注2	水晶振動子	CSTCC2M00G56-R0	SMD	2.0	(47)	(47)	0	2.25	5.5
		CSTCR4M00G55-R0	SMD	4.0	(39)	(39)	0		
		CSTLS4M00G53-B0	リード		(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0	(10)	(10)	0		
		CSTLS8M00G53-B0	リード		(15)	(15)	0		
		CSTCE16M0V53-R0	SMD	16	(15)	(15)	0		
		CSTLS16M0X51-B0	リード		(5)	(5)	0		
		CSTCE20M0V51-R0	SMD	20	(5)	(5)	0		
		CSTCE8M00G52-R0	SMD	8.0	(10)	(10)	0	2.7	5.5
		CSTCE16M0V53-R0	SMD	16.0	(15)	(15)	0		
		CSTLS16M0X51-B0	リード		(5)	(5)	0		
		CSTCE20M0V51-R0	SMD	20.0	(5)	(5)	0		
京セラクリスタルデバイス株式会社注3	水晶振動子	CX8045GB	SMD	4.0	10	10	0	2.5	5.5
		CX5032SA	SMD	8.0	9	9	0		
		CX3225SB	SMD	12.0	9	9	0		
		CX2016DB	SMD	20.0	4	4	0		

注 1. C1, C2の欄の（ ）内は，内蔵容量値を示しています。

2. この振動子を使用する場合， マッチングの詳細については，株式会社 村田製作所（http://www.murata.co.jp）にお問い合わせください。

3. この振動子を使用する場合，マッチングの詳細については，京セラクリスタルデバイス株式会社（http://www.kyocera-crystal.jp，http://www.kyocera.co.jp）にお問い合わせください。

第6章　タイマ・アレイ・ユニット

タイマ・アレイ・ユニットのチャネル数は，製品によって異なります。

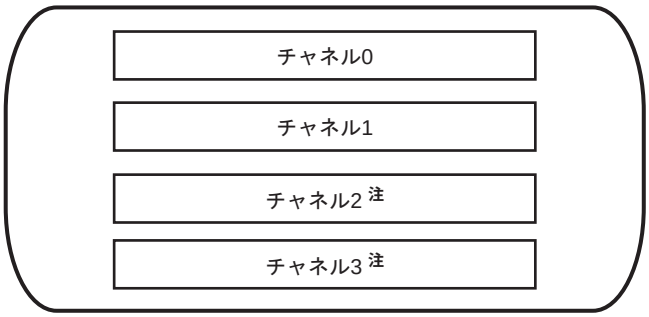
チャネル	10ピン製品	16ピン製品
チャネル0	○	○
チャネル1	○	○
チャネル2	―	○
チャネル3	―	○

備考　○：チャネル搭載
　　―：チャネル非搭載

タイマ・アレイ・ユニットは最大4つの16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。

タイマ・アレイ・ユニット



注　16ピン製品のみ

各機能の詳細は，下記を参照してください。

単独チャネル動作機能	複数チャネル連動動作機能
・インターバル・タイマ　（→**6. 8. 1**参照） ・方形波出力　（→**6. 8. 1**参照） ・外部イベント・カウンタ　（→**6. 8. 2**参照） ・分周器機能[注2]　（→**6. 8. 3**参照） ・入力パルス間隔測定　（→**6. 8. 4**参照） ・入力信号のハイ／ロウ・レベル幅測定（→**6. 8. 5**参照） ・ディレイ・カウンタ　（→**6. 8. 6**参照）	・ワンショット・パルス出力　（→**6. 9. 1**参照） ・2入力式ワンショット・パルス出力[注1](→**6. 9. 2**参照) ・PWM出力機能　（→**6. 9. 3**参照） ・多重PWM出力機能[注1]　（→**6. 9. 4**参照）

チャネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャネル1, 3が8ビット・タイマとして使用できる機能は，次の機能です。

・インターバル・タイマ　（上位8ビット・タイマ，下位8ビット・タイマ）
・方形波出力　（下位8ビット・タイマのみ）
・外部イベント・カウンタ　（下位8ビット・タイマのみ）
・ディレイ・カウンタ　（下位8ビット・タイマのみ）
・PWM出力機能　（下位8ビット・タイマのみ）
・多重PWM出力機能[注1]　（下位8ビット・タイマのみ）

また，チャネル1は，ISCレジスタを設定することで，シリアル・アレイ・ユニットのUART0と連携することができます。入力パルス間隔測定モードを利用して通信相手のボー・レート幅を測定することができ，UART0のボー・レート補正を実現することが可能です。

注1. 16ピン製品のみ
2. チャネル0，チャネル3のみ

6. 1　タイマ・アレイ・ユニットの機能

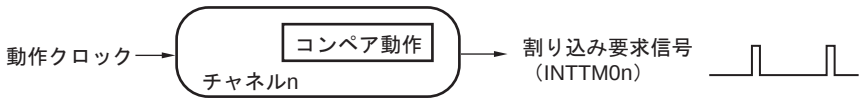
タイマ・アレイ・ユニットには，次のような機能があります。

6. 1. 1　単独チャネル動作機能

単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

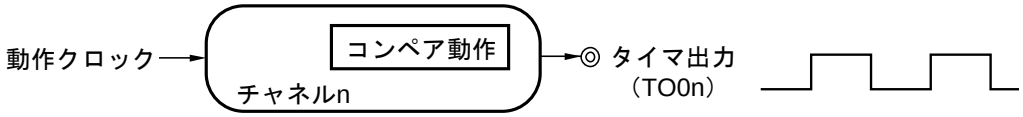
（1）インターバル・タイマ

一定間隔で割り込み（INTTM0n）を発生する基準タイマとして利用できます。



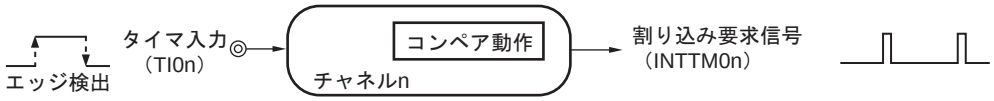
（2）方形波出力

INTTM0n割り込みの発生ごとにトグル動作を行い，デューティ50%の方形波をタイマ出力端子（TO0n）より出力します。



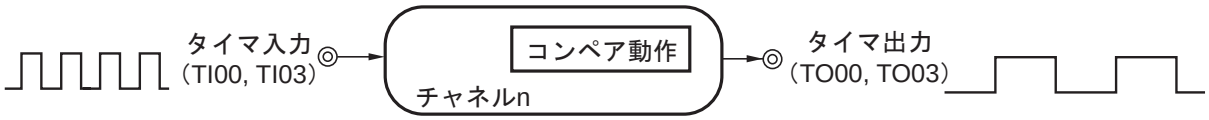
（3）外部イベント・カウンタ

タイマ入力端子（TI0n）に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



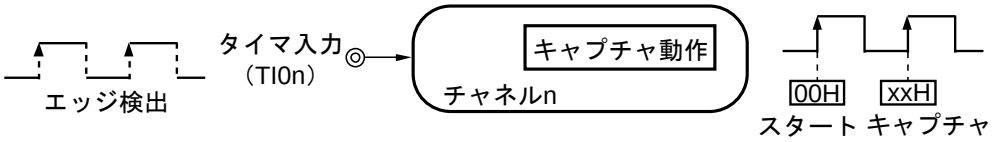
（4）分周器機能（チャネル0, 3のみ）

タイマ入力端子（TI00, TI03）から入力されたクロックを分周して出力端子（TO00, TO03）より出力します。



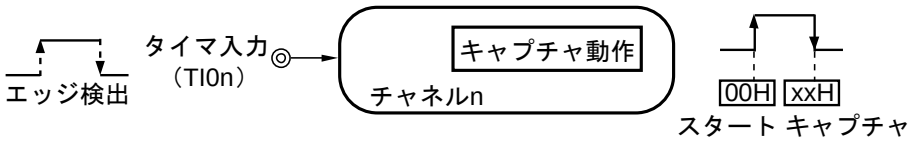
（5）入力パルス間隔測定

タイマ入力端子（TI0n）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



（6）入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TI0n）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



（7）ディレイ・カウンタ

タイマ入力端子（TI0n）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

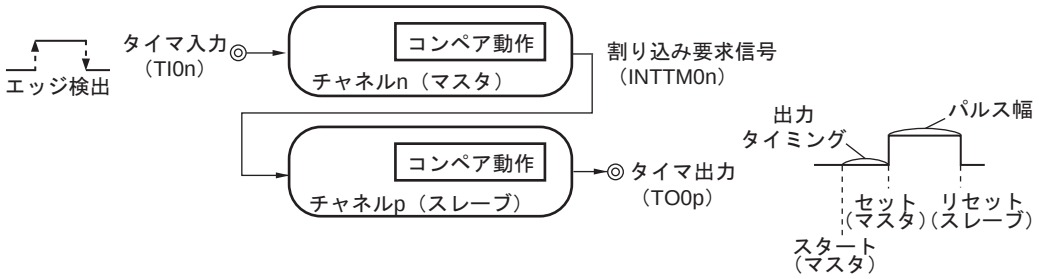
6. 1. 2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

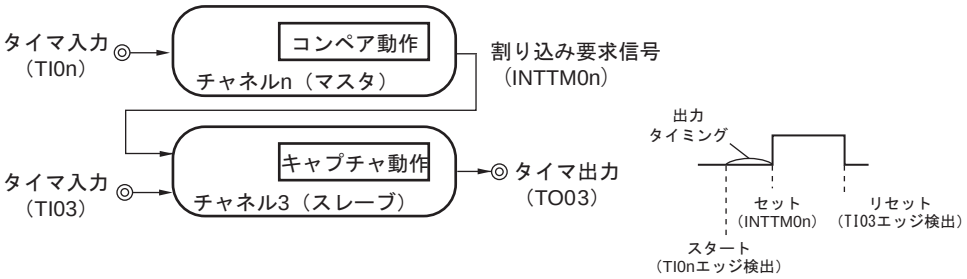
（1）ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



（2）2入力式ワンショット・パルス出力（16ピン製品のみ）

2チャネルをセットで使用し，タイマ入力端子（TI0n，TI03）に入力される有効エッジで，タイマ出力端子（TO03）をセット／リセットして任意のワンショット・パルスを生成します。

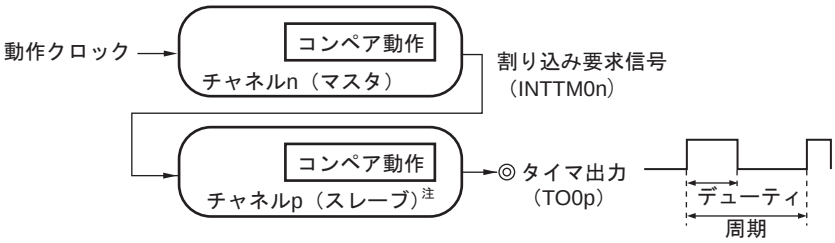


注意　複数チャネル連動動作機能の使用にあたっては，いくつかのルールがあります。
詳細は，6. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　n：チャネル番号。n = 0（10ピン製品），n = 0, 2（16ピン製品）
p：スレーブ・チャネル番号（0＜p≦3）

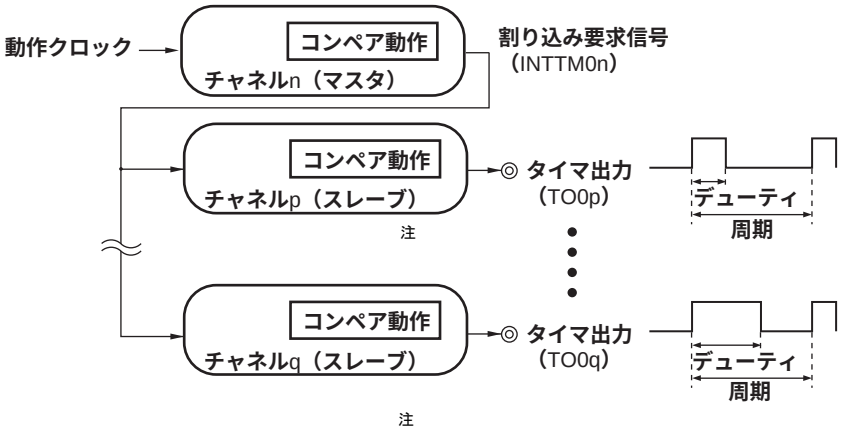
（3）PWM（Pulse Width Modulation）出力機能

2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



（4）多重PWM（Pulse Width Modulation）出力機能（16ピン製品のみ）

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大3種類生成することができます。



注　チャネル1，3の下位8ビット・タイマでも，動作可能です。

注意　複数チャネル連動動作機能の使用にあたっては，いくつかのルールがあります。
詳細は，6. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　n：チャネル番号。n = 0（10ピン製品），n = 0, 2（16ピン製品）
p, q：スレーブ・チャネル番号（0＜p＜q≦3）

6. 1. 3　8ビット・タイマ動作機能（チャネル1, 3のみ）

8ビット・タイマ動作機能は，チャネル1, 3の16ビット・タイマを8ビット・タイマ（上位／下位）の2チャネル構成として使用する機能です。チャネル1, 3の8ビット・タイマが使用できる機能は，次の機能です。

- ・インターバル・タイマ　（上位8ビット・タイマ，下位8ビット・タイマ）
- ・方形波出力　（下位8ビット・タイマのみ）
- ・外部イベント・カウンタ　（下位8ビット・タイマのみ）
- ・ディレイ・カウンタ　（下位8ビット・タイマのみ）
- ・PWM出力機能　（下位8ビット・タイマのみ）
- ・多重PWM出力機能[注]　（下位8ビット・タイマのみ）

注　16ピン製品のみ

注意　8ビット・タイマ動作機能の使用にあたっては，いくつかのルールがあります。
詳細は，6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）を参照してください。

6. 2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウエアで構成されています。

表6－1　タイマ・アレイ・ユニットの構成

項　　目	構　　成
タイマ／カウンタ	タイマ・カウンタ・レジスタ0n（TCR0nH, TCR0nL）
レジスタ	タイマ・データ・レジスタ0n（TDR0nH, TDR0nL）
タイマ入力	TI00-TI03
タイマ出力	TO00-TO03，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・タイマ・クロック選択レジスタ0（TPS0） ・タイマ・チャネル許可ステータス・レジスタ0（TE0, TEH0） ・タイマ・チャネル開始レジスタ0（TS0, TSH0） ・タイマ・チャネル停止レジスタ0（TT0, TTH0） ・タイマ出力許可レジスタ0（TOE0） ・タイマ出力レジスタ0（TO0） ・タイマ出力レベル・レジスタ0（TOL0） ・タイマ出力モード・レジスタ0（TOM0）
	＜各チャネル部のレジスタ＞ ・タイマ・モード・レジスタ0n（TMR0nH, TMR0nL） ・タイマ・ステータス・レジスタ0n（TSR0n） ・ノイズ・フィルタ許可レジスタ1（NFEN1） ・入力切り替え制御レジスタ（ISC） ・ポート・モード・コントロール・レジスタ0（PMC0） ・ポート・モード・レジスタ0, 4（PM0, PM4） ・ポート・レジスタ0, 4（P0, P4）

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

タイマ・アレイ・ユニットの各チャネルのタイマ入出力の兼用ポートは，製品によって異なります。

表6－2　各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャネル	10ピン製品	16ピン製品
チャネル0	P03/TO00, P137/TI00	P03/TO00, P137/TI00
チャネル1	P04/TI01/TO01，（P40/TI01/TO01）	P04/TI01/TO01，（P40/TI01/TO01）
チャネル2	－	P05/TI02/TO02
チャネル3	－	P41/TI03, P07/TO03

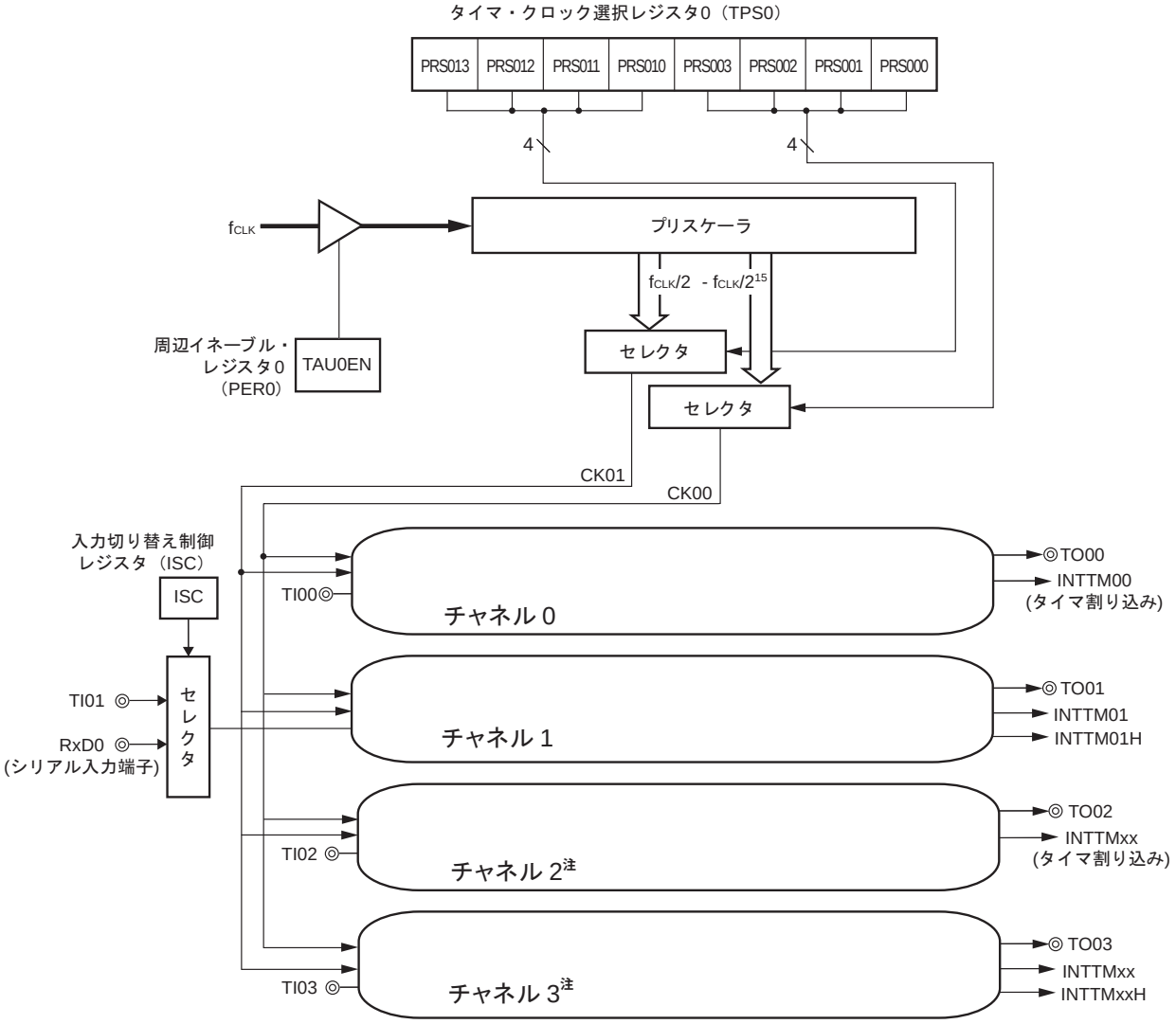
備考1.　タイマの入力と出力が同一端子で兼用されている場合は，どちらか一方のみ使用可能です。

2.　**－：チャネル非搭載**

3.　（ ）内は，周辺I/Oリダイレクション・レジスタのPIOR0ビットを“1”に設定したときの兼用ポート

図6－1，図6－2にタイマ・アレイ・ユニットのブロック図を示します。

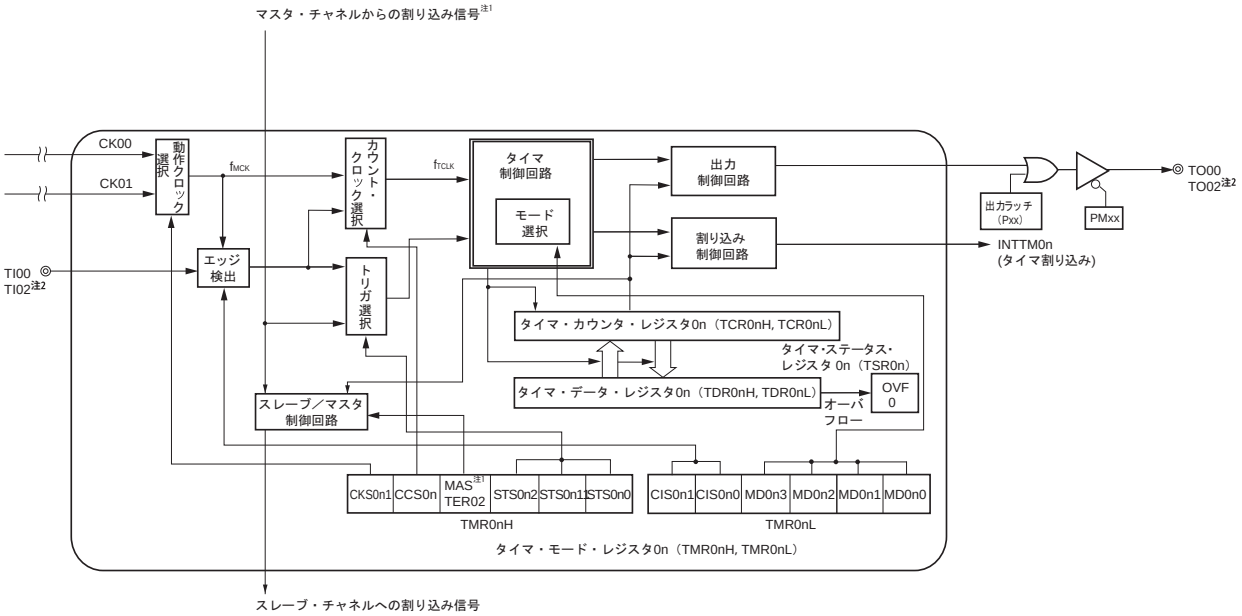
図6－1　タイマ・アレイ・ユニットの全体ブロック図



注　16ピン製品のみ

図6－2　タイマ・アレイ・ユニットのチャネル内部ブロック図

（a）チャネル0, 2

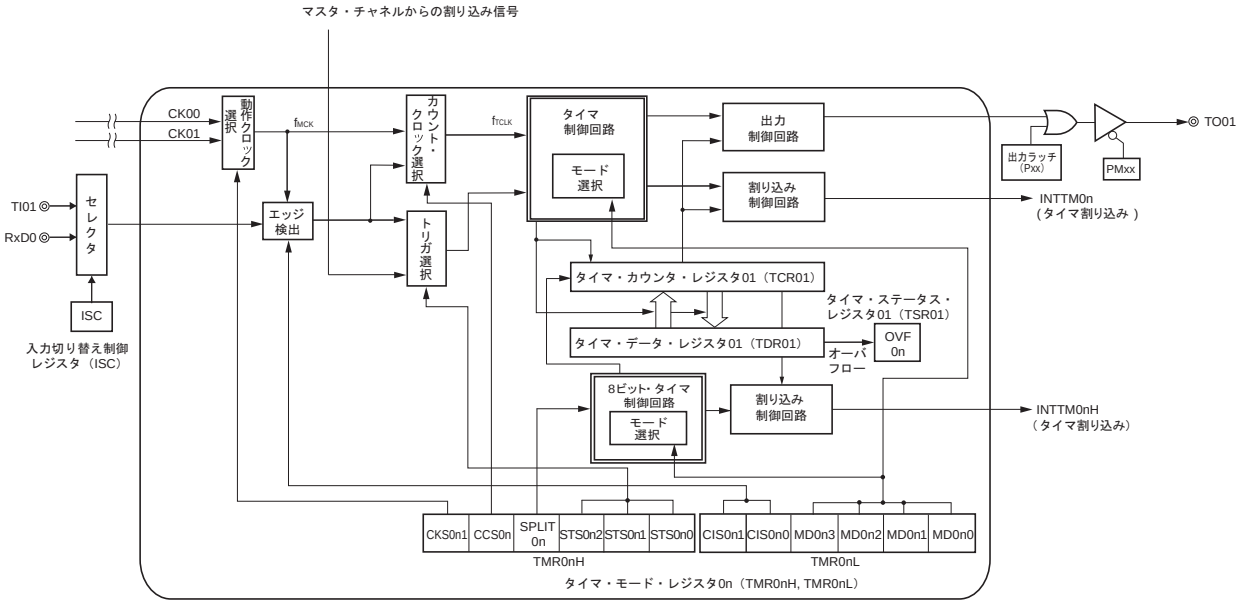


注1.　チャネル2のみ

2.　16ピン製品のみ

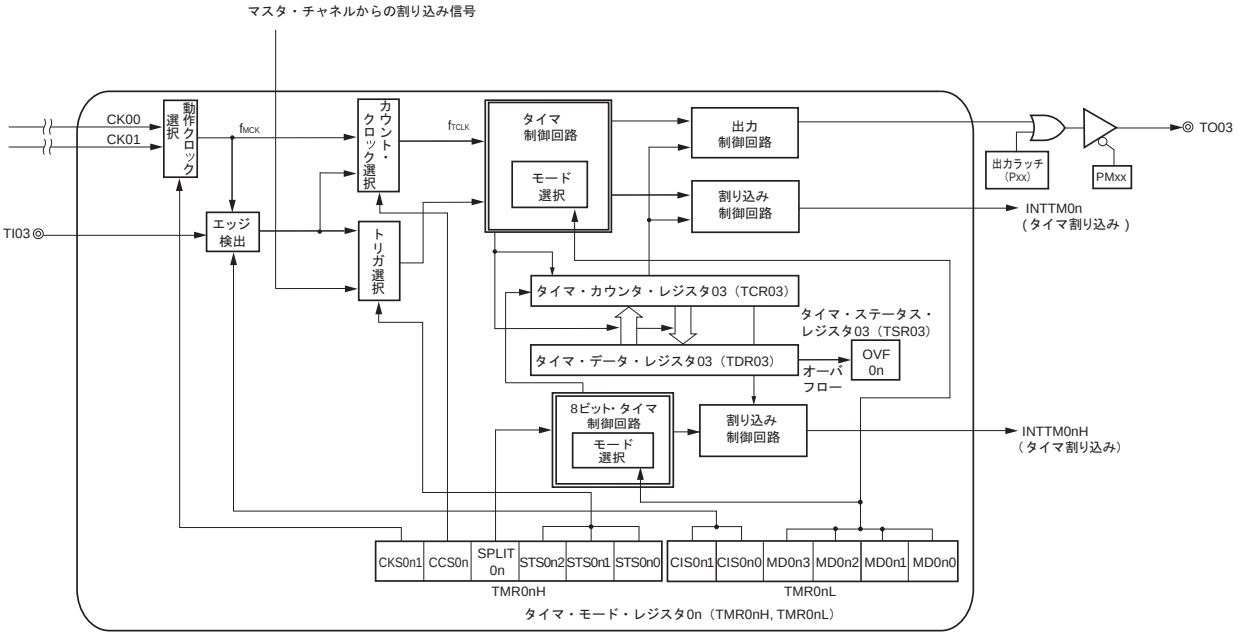
備考　n = 0, 2

（b）チャネル1



備考　n = 1

（c）チャネル3注



注　16ピン製品のみ

備考　n = 3

6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）

TCR0nレジスタは，カウント・クロック（f_{TCLK}）をカウントする2つの8ビットのリード専用レジスタ（TCR0nH, TCR0nL）で構成されています。

TCR0nレジスタを読み出す場合，TCR0nH, TCR0nLレジスタに連続アクセスしてください。

カウント・クロック（f_{TCLK}）の立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタ0n（TMR0n）のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります（**6. 3. 3　タイマ・モード・レジスタ0n（TMR0n）**参照）。

図6－3　タイマ・カウンタ・レジスタ0n（TCR0n）のフォーマット（n = 0-3）

アドレス：F0180H（TCR00L），F0181H（TCR00H）　リセット時：FFH　R
F0182H（TCR01L），F0183H（TCR01H）
F0184H（TCR02L），F0185H（TCR02H）
F0186H（TCR03L），F0187H（TCR03H）

	TCR0nH								TCR0nL							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCR0n																

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

TCR0nH, TCR0nLレジスタを読み出すときは，TCR0nLレジスタ→TCR0nHレジスタの順で，連続して読み出しを行ってください。連続読み出しの間に，TCR0nLの読み出しなどを挿入した場合，読み出しが正常に行われません。

注意　TCR0nH, TCR0nLレジスタの連続読み出しは，DI命令を実行して割り込み禁止の状態で行ってください。

タイマ・カウンタ・レジスタ0n（TCR0n）をリードすることにより，カウント値をリードできます。

次の場合，カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺イネーブル・レジスタ0（PER0）のTAU0ENビットをクリアしたとき
- PWM出力モードで，スレーブ・チャネルのカウント完了時
- ディレイ・カウント・モードでカウント完了時
- ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで，スレーブ・チャネルのカウント完了時[注]

また，次の場合には，カウント値は0000Hになります。

- キャプチャ・モード時に，スタート・トリガが入力されたとき
- キャプチャ・モード時で，キャプチャ完了したとき

注　16ピン製品のみ

注意1.　TCR0nレジスタをリードしても，タイマ・データ・レジスタ0n（TDR0n）にはキャプチャしません。

2.　チャネル1, 3を8ビット・タイマ・モード（SPLIT=1）で使用する場合は，TCR01H, TDR01HレジスタまたはTCR03H, TDR03Hレジスタの読み出しは禁止です。

TCR0nレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表6－3　各動作モード時のタイマ・カウンタ・レジスタ0n（TCR0n）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ（TCR0n）の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TT0n = 1）した場合の値	カウント動作を一時停止（TT0n = 1）後，動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	－
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	－
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	－
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDR0nレジスタのキャプチャ値＋1

注　チャネルnがタイマ動作停止状態（TE0n = 0）からカウント動作許可状態（TS0n = 1）にした時点の，TCR0nレジスタの読み出し値を示します。カウント動作開始までこの値がTCR0nレジスタに保持されます。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

注意　チャネル1, 3を8ビット・タイマ・モード（SPLIT=1）で使用する場合は，TCR01H, TDR01Hレジスタまたはは TCR03H, TDR03Hレジスタの読み出しは禁止です。

6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）

TDR0nレジスタは，キャプチャ機能とコンペア機能を切り替えて使用できる2つの8ビットのレジスタ（TDR0nH, TDR0nL）で構成されています。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタ0n（TMR0n）のMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

コンペア・レジスタとして使用する場合，TDR0nH, TDR0nLレジスタは任意のタイミングで書き換えることができます。

TDR0nレジスタへアクセスする場合，TDR0nH，TDR0nLレジスタに連続アクセスしてください。

また，TDR0nレジスタは，8ビット・タイマ・モード時（タイマ・モード・レジスタ0n（TMR0n）のSPLIT0nビットが1）に，上位8ビットをTDR0nH，下位8ビットをTDR0nLとして，8ビット単位で書き換えができます。

TDR0nH, TDR0nLレジスタへ読み出し，書き込むときは，以下の注意が必要です。

・16ビット・タイマ・モード時（チャネル0, 2またはチャネル1, 3のTMR0nHレジスタのビット3（SPLIT0n）が"0"）

TDR0nH, TDR0nLレジスタへ書き込むときは，TDR0nHレジスタ→TDR0nLレジスタの順で，連続して書き込みを行ってください。TDR0nLレジスタを書き換えたタイミングで，TDR0nH，TDR0nLレジスタの値が更新されます。

また，TDR0nH, TDR0nLレジスタを読み出すときは，TDR0nLレジスタ→TDR0nHレジスタの順で，連続して読み出しを行ってください。TDR0nLレジスタを読み出したタイミングで，TDR0nHレジスタの値が更新されます。

連続読み出しまたは連続書き込みの間に，TDR0nHの書き込み，TDR0nLの読み出しやTCR0nの読み出しなどを挿入した場合，読み出しや書き込みが正常に行われません。

TDR0nH, TDR0nLレジスタの連続読み出し、およびTDR0nH, TDR0nLレジスタの連続書き込みは，DI命令を実行して割り込み禁止の状態で行ってください。

・8ビット・タイマ・モード時（チャネル1, 3のTMR0nHレジスタのビット3（SPLIT0n）が"1"）

8ビット・タイマ・モードのとき，8ビット単位でTDR0nH, TDR0nLレジスタへ書き込みができます。

TDR0nHレジスタを読み出すときは，TDR0nLレジスタ→TDR0nHレジスタの順で連続して読み出しを行ってください。TDR0nLレジスタを読み出したタイミングで，TDR0nHレジスタの値が更新されます。

連続読み出しの間に，TDR0nHレジスタの書き込み，TDR0nLの読み出しやTCR0nの読み出しなどを挿入した場合，読み出しが正常に行われません。

TDR0nH, TDR0nLレジスタの連続読み出しは，DI命令を実行して割り込み禁止の状態で行ってください。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

注意　チャネル1, 3を8ビット・タイマ・モード（SPLIT=1）で使用する場合は，TCR01H, TDR01HレジスタまたはTCR03H, TDR03Hレジスタの読み出しは禁止です。

図6－4　タイマ・データ・レジスタ0n（TDR0nH, TDR0nL）のフォーマット（n = 0, 2）

アドレス：FFF18H （TDR00L）, FFF19H（TDR00H）　リセット時：00H　R/W
FFF64H （TDR02L）, FFF65H（TDR02H）

	FFF19H（TDR00Hの場合）								FFF18H（TDR00Lの場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDR0n																

図6－5　タイマ・データ・レジスタ0n（TDR0n）のフォーマット（n = 1, 3）

アドレス：FFF1AH （TDR01L）, FFF1BH （TDR01H）　リセット時：00H　R/W
FFF66H （TDR03L）, FFF67H （TDR03H）

	FFF1BH（TDR01Hの場合）								FFF1AH（TDR01Lの場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDR0n																

(i) タイマ・データ・レジスタ0n（TDR0nH, TDR0nL）をコンペア・レジスタとして使用するとき

TDR0nH, TDR0nLレジスタに設定した値からダウン・カウントをスタートして，0000Hになったときに割り込み要求信号（INTTM0n）を発生します。TDR0nレジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTDR0nレジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ0n（TDR0nH, TDR0nL）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタ0n（TCR0n）のカウント値をTDR0nH, TDR0nLレジスタにキャプチャします。

キャプチャ・トリガとして，TI0n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタ0n（TMR0n）で設定します。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6.3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・タイマ・クロック選択レジスタ0（TPS0）
・タイマ・チャネル許可ステータス・レジスタ0（TE0, TEH0）
・タイマ・チャネル開始レジスタ0（TS0, TSH0）
・タイマ・チャネル停止レジスタ0（TT0, TTH0）
・タイマ出力許可レジスタ0（TOE0）
・タイマ出力レジスタ0（TO0）
・タイマ出力レベル・レジスタ0（TOL0）
・タイマ出力モード・レジスタ0（TOM0）
・タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）
・タイマ・ステータス・レジスタ0n（TSR0n）
・ノイズ・フィルタ許可レジスタ1（NFEN1）
・入力切り替え制御レジスタ（ISC）
・ポート・モード・コントロール・レジスタ0（PMC0）
・ポート・モード・レジスタ0, 4（PM0, PM4）
・ポート・レジスタ0, 4（P0, P4）

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は，必ずビット0（TAU0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図6－6　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN注	CMPEN注	ADCEN	IICA0EN注	0	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注　16ピン製品のみ

注意1.　タイマ・アレイ・ユニットの設定をする際には，必ず最初にTAU0EN = 1の状態で，下記のレジスタの設定を行ってください。TAU0EN = 0の場合は，タイマ・アレイ・ユニットの制御レジスタは初期値となり，書き込みは無視されます（ノイズ・フィルタ許可レジスタ1（NFEN1），入力切り替え制御レジスタ（ISC），ポート・モード・レジスタ0, 4（PM0, PM4），ポート・レジスタ0, 4（P0, P4），ポート・モード・コントロール・レジスタ0（PMC0）は除く）。

・タイマ・カウンタ・レジスタ0n（TCR0nH, TCR0nL）
・タイマ・データ・レジスタ0n（TDR0nH, TDR0nL）
・タイマ・クロック選択レジスタ0（TPS0）
・タイマ・チャネル許可ステータス・レジスタ0（TE0, TEH0）
・タイマ・チャネル開始レジスタ0（TS0, TSH0）
・タイマ・チャネル停止レジスタ0（TT0, TTH0）
・タイマ出力許可レジスタ0（TOE0）
・タイマ出力レジスタ0（TO0）
・タイマ出力レベル・レジスタ0（TOL0）
・タイマ出力モード・レジスタ0（TOM0）
・タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）
・タイマ・ステータス・レジスタ0n（TSR0n）

2.　次のビットには必ず“0”を設定してください。

10ピン製品　　：ビット1, 3, 4, 6, 7

16ピン製品　　：ビット1, 3

6. 3. 2　タイマ・クロック選択レジスタ0（TPS0）

TPS0レジスタは，プリスケーラから各チャネルに共通して供給される2種類の動作クロック（CK00, CK01）を選択する8ビット・レジスタです。

タイマ動作中のTPS0レジスタの書き換えは，次の場合のみ可能です。

PRS000-PRS003ビットが書き換え可能な場合（n = 0-3）：

動作クロックにCK00を選択（CKS0n1 = 0）しているチャネルがすべて停止状態（TE0n = 0）

PRS010-PRS013ビットが書き換え可能な場合（n = 0-3）：

動作クロックにCK01を選択（CKS0n1 = 1）しているチャネルがすべて停止状態（TE0n = 0）

TPS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPS0レジスタは00Hになります。

図6－7　タイマ・クロック選択レジスタ0（TPS0）のフォーマット

アドレス：F01B6H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TPS0	PRS013	PRS012	PRS011	PRS010	PRS003	PRS002	PRS001	PRS000

PRS 0k3	PRS 0k2	PRS 0k1	PRS 0k0	動作クロック（CK0k）の選択注（k = 0, 1）					
					f_{CLK} = 1.25 MHz	f_{CLK} = 2.5 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz
0	0	0	0	f_{CLK}	1.25 MHz	2.5 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	$f_{CLK}/2$	625 kHz	1.25 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	$f_{CLK}/2^2$	313 kHz	625 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	$f_{CLK}/2^3$	156 kHz	313 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	$f_{CLK}/2^4$	78.1 kHz	156 kHz	313 kHz	625 kHz	1.25 MHz
0	1	0	1	$f_{CLK}/2^5$	39.1 kHz	78.1 kHz	156 kHz	313 kHz	625 kHz
0	1	1	0	$f_{CLK}/2^6$	19.5 kHz	39.1 kHz	78.1 kHz	156 kHz	313 kHz
0	1	1	1	$f_{CLK}/2^7$	9.77 kHz	19.5 kHz	39.1 kHz	78.1 kHz	156 kHz
1	0	0	0	$f_{CLK}/2^8$	4.88 kHz	9.77 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	$f_{CLK}/2^9$	2.44 kHz	4.88 kHz	9.77 kHz	19.5 kHz	39.1 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.22 kHz	2.44 kHz	4.88 kHz	9.77 kHz	19.5 kHz
1	0	1	1	$f_{CLK}/2^{11}$	610 Hz	1.22 kHz	2.44 kHz	4.88 kHz	9.77 kHz
1	1	0	0	$f_{CLK}/2^{12}$	305 Hz	610 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	0	1	$f_{CLK}/2^{13}$	153 Hz	305 Hz	610 Hz	1.22 kHz	2.44 kHz
1	1	1	0	$f_{CLK}/2^{14}$	76.3 Hz	153 Hz	305 Hz	610 Hz	1.22 kHz
1	1	1	1	$f_{CLK}/2^{15}$	38.1 Hz	76.3 Hz	153 Hz	305 Hz	610 Hz

注　f_{CLK} を変更（システム・クロック制御レジスタ（CKC）を変更）する場合は，タイマ・アレイ・ユニットを停止（TT0 = 0FH，TTH0 = 0AH）させてください。

注意　動作クロック（CK0k）にf_{CLK}（分周なし）を選択し，TDR0nH = 00H，TDR0nL = 00H（n = 0-3）を設定すると，タイマ・アレイ・ユニットからの割り込み要求信号（INTTM0n）は使用できません。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　TPS0レジスタで選択するクロックは，立ち上がりからf_{CLK}の 1 周期分だけハイ・レベルになる信号となります。詳しくは，**6. 5. 1　カウント・クロック（f_{TCLK}）**を参照してください。

6. 3. 3　タイマ・モード・レジスタ0n（TMR0n）

TMR0nレジスタは，チャネルnの動作モードを設定する2つの8ビットのレジスタ（TMR0nH, TMR0nL）で構成されています。動作クロック（f_{MCK}）の選択，カウント・クロック（f_{TCLK}）の選択，マスタ／スレーブの選択，16ビット／8ビット・タイマの選択（チャネル1, 3のみ），スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TMR0nH, TMR0nLレジスタは，動作中（TE0n = 1のとき）の書き換えは禁止です。

TMR0nH, TMR0nLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TMR0nH, TMR0nLレジスタは00Hになります。

注意　TMR0nHレジスタのビット3は，チャネルによって搭載するビットが異なります。

TMR02H	**：MASTER02ビット**
TMR01H, TMR03H	**：SPLIT0nビット（n = 1, 3）**
TMR00H	**：0固定**

図6－8　タイマ・モード・レジスタ0n（TMR0n）のフォーマット（1/3）

アドレス：F0190H (TMR00L), F0191H (TMR00H)　　リセット時：00H　　R/W
：F0192H (TMR01L), F0193H (TMR01H)
：F0194H (TMR02L), F0195H (TMR02H)
：F0196H (TMR03L), F0197H (TMR03H)

略号	7	6	5	4	3	2	1	0
TMR00H	CKS001	0	0	CCS00	0	STS002	STS001	STS000

略号	7	6	5	4	3	2	1	0
TMR02H	CKS021	0	0	CCS02	MASTER02	STS022	STS021	STS020

略号	7	6	5	4	3	2	1	0
TMR0nH（n = 1, 3）	CKS0n1	0	0	CCS0n	SPLIT0n	STS0n2	STS0n1	STS0n0

略号	7	6	5	4	3	2	1	0
TMR0nL（n = 0–3）	CIS0n1	CIS0n0	0	0	MD0n3	MD0n2	MD0n1	MD0n0

CKS0n1	チャネルnの動作クロック（f_{MCK}）の選択
0	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK00
1	タイマ・クロック選択レジスタ0（TPS0）で設定した動作クロックCK01
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCS0nビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。	

CCS0n	チャネルnのカウント・クロック（f_{TCLK}）の選択
0	CKS0n1ビットで指定した動作クロック（f_{MCK}）
1	TI0n端子からの入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は，カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注意1.　次のビットには必ず“0”を設定してください。

TMR00Hレジスタ　　：ビット3,5,6

TMR01H-TMR03Hレジスタ　：ビット5,6

TMR00L-TMR03Lレジスタ　：ビット4,5

2.　カウント・クロック（f_{TCLK}）に，CKS0n1ビットで指定した動作クロック（f_{MCK}），TI0n端子からの入力信号の有効エッジのどれを選択していても，f_{CLK}を変更（システム・クロック制御レジスタ（CKC）を変更）する場合は，タイマ・アレイ・ユニットを停止（TT0 = 0FH，TTH0 = 0AH）させてください。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－8　タイマ・モード・レジスタ0n（TMR0n）のフォーマット（2/3）

略号	7	6	5	4	3	2	1	0
TMR00H	CKS001	0	0	CCS00	0	STS002	STS001	STS000

略号	7	6	5	4	3	2	1	0
TMR02H	CKS021	0	0	CCS02	MASTER02	STS022	STS021	STS020

略号	7	6	5	4	3	2	1	0
TMR0nH（n = 1, 3）	CKS0n1	0	0	CCS0n	SPLIT0n	STS0n2	STS0n1	STS0n0

（TMR02Hのビット3）

MASTER02	チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
チャネル0, 2は，マスタ・チャネルとして動作できます。 チャネル2をマスタ・チャネルとして使用するときは，TMR02Hのビット3（MASTER02）に1を設定します。 チャネル0は最上位チャネルのため，TMR00Hのビット3注の設定によらずマスタとして動作します。 また，単独チャネル動作機能として使用するチャネルは，MASTER02 = 0 にします。	

（TMR01H, TMR03Hのビット3）

SPLIT0n	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択（n = 1, 3）
0	16ビット・タイマとして動作
1	8ビット・タイマとして動作

STS 0n2	STS 0n1	STS 0n0	チャネルnのスタート・トリガ，キャプチャ・トリガの設定 （n = 0,1（10ピン製品），n = 0-3（16ピン製品）） （n = 0,1（10ピン製品），n = 0-3（16ピン製品）） （n = 0,1（10ピン製品），n = 0-3（16ピン製品）） （n = 0,1（10ピン製品），n = 0-3（16ピン製品）） （n = 0,1（10ピン製品），n = 0-3（16ピン製品）） （n = 0,1（10ピン製品），n = 0-3（16ピン製品））
0	0	0	ソフトウエア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TI0n端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガに使用
0	1	0	TI0n端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	ワンショット・パルス出力，PWM出力機能，多重PWM出力機能のスレーブ・チャネル時：マスタ・チャネルの割り込み要求信号（INTTM0n）をスタート・トリガとして使用
1	1	0	2入力式ワンショット・パルス出力のスレーブ・チャネル時： マスタ・チャネルの割り込み要求信号（INTTM0n）をスタート・トリガとして使用 スレーブ・チャネルのTI03端子入力の有効エッジをエンド・トリガとして使用
上記以外			設定禁止

注　TMR00Hレジスタのビット3はRead onlyの0固定で，書き込みは無視されます。

注意．次のビットには必ず“0”を設定してください。

TMR00Hレジスタ　：ビット3,5,6

TMR01H-TMR03Hレジスタ　：ビット5,6

図6－8　タイマ・モード・レジスタ0n（TMR0n）のフォーマット（3/3）

略号	7	6	5	4	3	2	1	0
TMR0nL（n = 0-3）	CIS0n1	CIS0n0	0	0	MD0n3	MD0n2	MD0n1	MD0n0

CIS 0n1	CIS 0n0	TI0n端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ
STS0n2-STS0n0ビット ＝ 010B時以外で両エッジ指定を使用する場合は，CIS0n1-CIS0n0ビット ＝ 10Bに設定してください。		

MD 0n3	MD 0n2	MD 0n1	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力（マスタ）	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定／2入力式ワンショット・パルス出力（スレーブ）	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／2入力式ワンショット・パルス出力（マスタ）／PWM出力（スレーブ）	ダウン・カウント
1	1	0	キャプチャ＆ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は，MD0n0ビットによって変わります（下表を参照）。					

動作モード（MD0n3-MD0n1で設定）	MD0n0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード[注2]（0, 0, 0） ・キャプチャ・モード（0, 1, 0）	0	カウント開始時にタイマ割り込みを発生させない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生させる（タイマ出力も変化させる）。
・イベント・カウンタ・モード[注2]（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生させない（タイマ出力も変化しない）。
・ワンカウント・モード[注1]（1, 0, 0）	0	カウント動作中のスタート・トリガを無効とする。 その際にタイマ割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする[注2]。 その際にタイマ割り込みは発生しない。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生させない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガを無効とする。 その際にタイマ割り込みは発生しない。
上記以外		設定禁止

注1. ワンカウント・モードでは，カウント動作開始時の割り込み要求信号（INTTM0n），TO0n出力は制御しません。

2. 動作中にスタート・トリガ（TS0n = 1）が掛かると，カウンタを初期化し，再カウント・スタートします（割り込み要求信号（INTTM0n）は発生しません）。

注意　TMR00L-TMR03Lレジスタのビット4,5には必ず“0”を設定してください。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 3. 4　タイマ・ステータス・レジスタ0n（TSR0n）

TSR0nレジスタは，チャネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSR0nレジスタは，キャプチャ・モード（MD0n3-MD0n1 = 010B）とキャプチャ＆ワンカウント・モード（MD0n3-MD0n1 = 110B）のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット／クリア条件は表6－4を参照してください。

TSR0nレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，TSR0nレジスタは00Hになります。

図6－9　タイマ・ステータス・レジスタ0n（TSR0n）のフォーマット

アドレス：F01A0H（TSR00），F01A2H（TSR01）　リセット時：00H　R
F01A4H（TSR02），F01A6H（TSR03）

略号	7	6	5	4	3	2	1	0
TSR0n	0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

表6－4　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード ・キャプチャ＆ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア	－（使用不可）
	セット	

備考　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

6. 3. 5　タイマ・チャネル許可ステータス・レジスタ（TE0, TEH0（8ビットモード））

TE0, TEH0レジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TE0, TEH0レジスタの各ビットは，タイマ・チャネル開始レジスタ0（TS0, TSH0）とタイマ・チャネル停止レジスタ0（TT0, TTH0）の各ビットに対応しています。TS0, TSH0レジスタの各ビットが1にセットされると，TE0, TEH0レジスタの対応ビットが1にセットされます。TT0, TTH0レジスタの各ビットが1にセットされると，その対応ビットが0にクリアされます。

TE0, TEH0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，TE0, TEH0レジスタは00Hになります。

図6－10　タイマ・チャネル許可ステータス・レジスタ0（TE0）のフォーマット

アドレス：F01B0H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
TE0	0	0	0	0	TE03注	TE02注	TE01	TE00

TE0n	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
16ビット・タイマの動作許可／停止状態を表示します。 チャネル1, 3が8ビット・タイマ・モード時は，下位側8ビット・タイマの動作許可／停止状態をTE01, TE03レジスタで表示します。	

注　16ピン製品のみ

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－11　タイマ・チャネル許可ステータス・レジスタ0（TEH0）のフォーマット

アドレス：F01B1H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
TEH0	0	0	0	0	TEH03注	0	TEH01	0

TEH0n	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1, 3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態を表示します。	

注　16ピン製品のみ

6. 3. 6　タイマ・チャネル開始レジスタ0（TS0, TSH0（8ビットモード））

TS0, TSH0レジスタは，タイマ・カウンタ・レジスタ0n（TCR0n）を初期化し，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

TS0, TSH0レジスタの各ビットを1にセットすると，タイマ・チャネル許可ステータス・レジスタ0（TE0, TEH0）の対応ビットが1にセットされます。TS0, TSH0レジスタのTS0n, TSH0nビットはトリガ・ビットなので，動作許可状態（TE0n = 1）になると，すぐTS0n, TSH0nビットは0にクリアされます。

TS0, TSH0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TS0, TSH0レジスタは00Hになります。

図6－12　タイマ・チャネル開始レジスタ0（TS0）のフォーマット

アドレス：F01B2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TS0	0	0	0	0	TS03注	TS02注	TS01	TS00

TS0n	チャネルnの動作許可（スタート）トリガ（n = 0-3）
0	トリガ動作しない
1	TE0nビットが1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nレジスタのカウント動作開始は，各動作モードにより異なります（**6. 5. 2　カウンタのスタート・タイミング**の表6－5参照）。 チャネル1, 3が8ビット・タイマ・モード時は，TS01, TS03が下位側8ビット・タイマの動作許可（スタート）トリガになります。

図6－13　タイマ・チャネル開始レジスタ0（TSH0）のフォーマット

アドレス：F01B3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TSH0	0	0	0	0	TSH03注	0	TSH01	0

TSH0n	チャネルnの動作許可（スタート）トリガ（n = 1, 3）
0	トリガ動作しない
1	TEH0nビットが1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nレジスタのカウント動作開始は，インターバル・タイマ・モードになります（**6. 5. 2　カウンタのスタート・タイミング**の表6－5参照）。
チャネル1，3を8ビット・タイマ・モードとして使用時，上位側8ビット・タイマの動作許可（スタート）トリガになります。	

注　16ピン製品のみ

注意1.　次のビットには必ず“0”を設定してください。

TS0　　：10ピン製品のビット2-7，16ピン製品のビット4-7

TSH0　　：10ピン製品のビット0,2-7，16ピン製品のビット0,2,4-7

2.　TI0n端子入力を使用しない機能から，TI0n端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタ0n（TMR0n）を設定してから，TS0nビットをセット（1）するまでに，次の期間ウエイトが必要になります。

TI0n端子のノイズ・フィルタ有効時（TNFEN = 1）：動作クロック（f_{MCK}）の4クロック

TI0n端子のノイズ・フィルタ無効時（TNFEN = 0）：動作クロック（f_{MCK}）の2クロック

備考　TS0, TSH0レジスタの読み出し値は常に0となります。

6. 3. 7　タイマ・チャネル停止レジスタ0（TT0, TTH0（8ビットモード））

TT0, TTH0レジスタは，タイマ・カウンタ・レジスタ0n（TCR0n）カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

TT0, TTH0レジスタの各ビットを1にセットすると，タイマ・チャネル許可ステータス・レジスタ0（TE0, TEH0）の対応ビットが0にクリアされます。TT0n, TTH0nビットはトリガ・ビットなので，動作停止状態（TE0n, TEH0n = 0）になるとすぐTT0n, TTH0nビットは0にクリアされます。

TT0, TTH0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TT0, TTH0レジスタは00Hになります。

図6－14　タイマ・チャネル停止レジスタ0（TT0）のフォーマット

アドレス：F01B4H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TT0	0	0	0	0	TT03注	TT02注	TT01	TT00

TT0n	チャネルnの動作停止トリガ（n = 0-3）
0	トリガ動作しない
1	TE0nビットを0にクリアし，カウント動作停止状態になる。 チャネル1, 3が8ビット・タイマ・モード時は，TT01, TT03が下位側8ビット・タイマの動作停止（ストップ）トリガになります。

図6－15　タイマ・チャネル停止レジスタ0（TTH0）のフォーマット

アドレス：F01B5H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TTH0	0	0	0	0	TTH03注	0	TTH01	0

TTH0n	チャネルnの動作停止トリガ（n = 1, 3）
0	トリガ動作しない
1	TEH0nビットを0にクリアし，カウント動作停止状態いになる。
チャネル1, 3を8ビット・タイマ・モードとして使用時，上位側8ビット・タイマの動作停止（ストップ）トリガになります。	

注　16ピン製品のみ

注意　次のビットには必ず“0”を設定してください。

TT0　　：10ピン製品のビット2-7，16ピン製品のビット4-7

TTH0　　：10ピン製品のビット0,2-7，16ピン製品のビット0,2,4-7

備考　TT0, TTH0レジスタの読み出し値は常に0となります。

6. 3. 8　タイマ出力許可レジスタ0（TOE0）

TOE0レジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは，後述のタイマ出力レジスタ0（TO0）のTO0nビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TO0n）から出力されます。

TOE0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOE0レジスタは00Hになります。

図6－16　タイマ出力許可レジスタ0（TOE0）のフォーマット

アドレス：F01BAH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	TOE03[注]	TOE02[注]	TOE01	TOE00

TOE0n	チャネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTO0nビットに反映せず，出力を固定します。 TO0nビットへの書き込みが可能となり，TO0nビットに設定したレベルがTO0n端子から出力されます。
1	タイマの出力を許可 タイマ動作をTO0nビットに反映し，出力波形を生成します。 TO0nビットへの書き込みは無視されます。

注　16ピン製品のみ

注意　10ピン製品のビット2-7，16ピン製品のビット4-7には必ず“0”を設定してください。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 3. 9　タイマ出力レジスタ0（TO0）

TO0レジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TO0n）から出力されます。

このレジスタのTO0nビットのソフトウエアによる書き換えは，タイマ出力禁止時（TOE0n = 0）のみ可能です。タイマ出力許可時（TOE0n = 1）は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

また，TO0n兼用端子をポート機能として使用する場合は，該当するTO0nビットに“0”を設定してください。

TO0レジスタは，8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TO0レジスタは00Hになります。

図6－17　タイマ出力レジスタ0（TO0）のフォーマット

アドレス：F01B8H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TO0	0	0	0	0	TO03注	TO02注	TO01	TO00

TO0n	チャネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注　16ピン製品のみ

注意　10ピン製品のビット2-7，16ピン製品のビット4-7には必ず“0”を設定してください。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 3. 10 タイマ出力レベル・レジスタ0（TOL0）

TOL0レジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は，タイマ出力許可（TOE0n = 1），複数チャネル連動動作機能（TOM0n = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOM0n = 0）時には，このレジスタの設定は無効となります。

TOL0レジスタは，8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOL0レジスタは00Hになります。

図6－18　タイマ出力レベル・レジスタ0（TOL0）のフォーマット

アドレス：F01BCH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	TOL03注	TOL02注	TOL01	0

TOL0n	チャネルnのタイマ出力レベルの制御
0	正論理出力（アクティブ・ハイ）
1	負論理出力（アクティブ・ロウ）

注　16ピン製品のみ

注意　10ピン製品のビット0,2-7，16ピン製品のビット0,4-7には必ず“0”を設定してください。

備考1.　TOL0レジスタを書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力の論理が反転します。

2.　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 3. 11 タイマ出力モード・レジスタ0（TOM0）

TOM0レジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能（ワンショット・パルス出力, 2入力式ワンショット・パルス出力[注], PWM出力, 多重PWM出力[注]）として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルnの設定は，タイマ出力許可（TOE0n = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOM0レジスタは，8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOM0レジスタは00Hになります。

図6－19　タイマ出力モード・レジスタ0（TOM0）のフォーマット

アドレス：F01BEH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	TOM03[注]	TOM02[注]	TOM01	0

TOM0n	チャネルnのタイマ出力モードの制御
0	単独チャネル動作機能として使用する （割り込み要求信号（INTTM0n）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルの割り込み要求信号（INTTM00, 02）で出力がセット，スレーブ・チャネルの割り込み要求信号（INTTM0p）で出力がリセットされる）

注　16ピン製品のみ

注意　10ピン製品のビット0,2-7，16ピン製品のビット0,4-7には必ず“0”を設定してください。

備考　n：マスタ・チャネル番号。n = 0（10ピン製品），n = 0,2（16ピン製品）

p：スレーブ・チャネル番号。p = 1（10ピン製品），n＜p≦3（16ピン製品）

（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は，**6. 4. 1　複数チャネル連動動作機能の基本ルール**を参照してください）

6. 3. 12 ノイズ・フィルタ許可レジスタ1（NFEN1）

NFEN1レジスタは，タイマ入力（TI0n）端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。タイマ入力（TI0n）動作については，**6. 5. 1（2）TI0n端子からの入力信号の有効エッジを選択した場合（CCS0n = 1）, 6. 5. 2　カウンタのスタート・タイミング，6. 7　タイマ入力（TI0n）の制御**を参照してください。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN1レジスタは00Hになります。

図6－20　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット

アドレス：F0071H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03注	TNFEN02注	TNFEN01	TNFEN00

TNFEN0n	TI0n端子入力信号のノイズ・フィルタ使用可否（n = 0-3）
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注　16ピン製品のみ

注意　TNFEN01ビットのノイズ・フィルタは，入力切り替え制御レジスタ（ISC）のISC1ビットの設定によって，適用する入力端子が下記のように切り替わります。

ISC1 = 0のとき：TI01端子の入力信号に対してノイズ・フィルタ使用可否を選択します。

ISC1 = 1のとき：RxD0端子のの入力信号に対してノイズ・フィルタ使用可否を選択します。

6. 3. 13 入力切り替え制御レジスタ（ISC）

ISCレジスタは，チャネル1をシリアル・アレイ・ユニットと連携してUART0のボー・レート補正を実現するときに使用します。

ISC1ビットに1を設定すると，シリアル・データ入力（RxD0）端子の入力信号がタイマ入力（TI01）として選択されます。

タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して，スタート・ビットの入力エッジ信号をトリガに通信相手のボー・レート（転送レート）幅を測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図6－21　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル1の入力切り替え
0	TI01端子の入力信号をタイマ入力とする（通常動作）
1	RxD0端子の入力信号をタイマ入力とする （ウエイクアップ信号検出とボー・レート補正用のパルス幅測定）

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD0端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出）

注意　ビット2-7には必ず“0”を設定してください。

6. 3. 14 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート・モード・コントロール・レジスタ（PMCxx））を設定してください。詳細は，**4. 3. 1　ポート・モード・レジスタ0, 4(PM0, PM4)**，**4. 3. 2　ポート・レジスタ0, 4, 12, 13 (P0, P4, P12, P13)**，**4. 3. 5　ポート・モード・コントロール・レジスタ0(PMC0)**を参照してください。

また，タイマ入出力として使用するときの設定例は，**4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

タイマ出力端子を兼用するポート（P04/ANI3/TI01/TO01/KR5など）をタイマ出力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビット，ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。

例 P04/ANI3/TI01/TO01/KR5をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC04ビットを0に設定

ポート・モード・レジスタ0のPM04ビットを0に設定

ポート・レジスタ0のP04ビットを0に設定

タイマ入力端子を兼用するポート（P04/ANI3/TI01/TO01/KR5など）をタイマ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例 P04/ANI3/TI01/TO01/KR5をタイマ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC04ビットを0に設定

ポート・モード・レジスタ0のPM04ビットを1に設定

6.4　タイマ・アレイ・ユニットの基本ルール

6.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

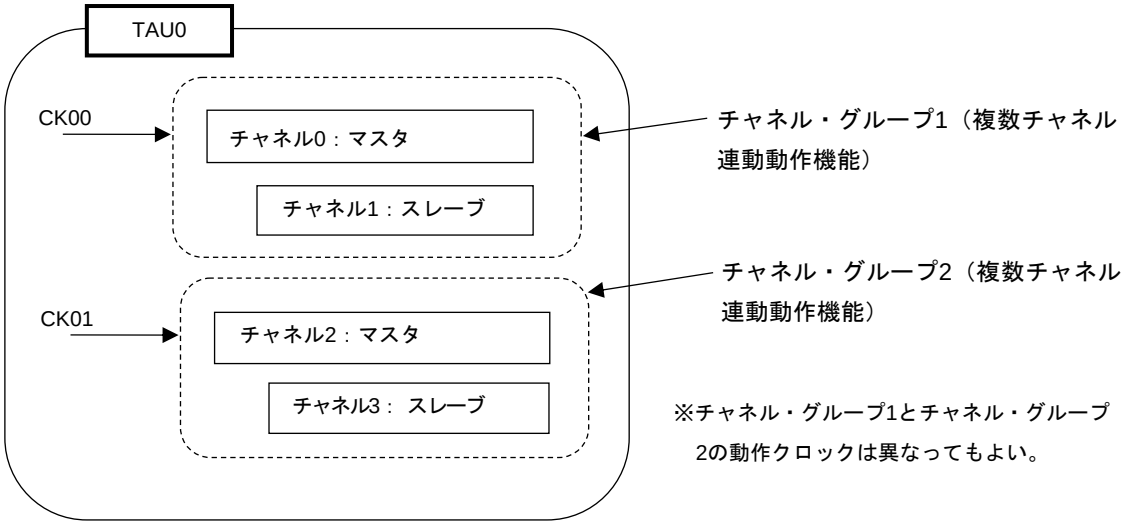
（1）マスタ・チャネルには偶数チャネル（チャネル0, 2）のみ設定できます。
（2）チャネル0を除くすべてのチャネルをスレーブ・チャネルに設定できます注。
（3）スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。
　例 チャネル2をマスタ・チャネルにした場合，チャネル3をスレーブ・チャネルに設定できます。
（4）1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。
（5）マスタ・チャネルを複数使用する場合，マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
　例 チャネル0，チャネル2をマスタ・チャネルにした場合，マスタ・チャネル0は，チャネル1のみをスレーブ・チャネルとして設定できます。マスタ・チャネル0は，チャネル3をスレーブ・チャネルとして設定できません。
（6）マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。 マスタ・チャネルと連動するスレーブ・チャネルのCKS0n1ビット（タイマ・モード・レジスタ0nH（TMR0nH））のビット7）が同じ設定値になっている必要があります。
（7）マスタ・チャネルは割り込み要求信号（INTTM0n）／スタート・ソフトウエア・トリガ／カウント・クロック（f_{TCLK}）を下位チャネルに伝えることができます。
（8）スレーブ・チャネルはマスタ・チャネルの割り込み要求信号（INTTM0n）／スタート・ソフトウエア・トリガ／カウント・クロック（f_{TCLK}）をソース・クロックとして使用できますが，下位チャネルに自身のINTTM0n／スタート・ソフトウエア・トリガ／カウント・クロック（f_{TCLK}）を伝えることはできません。
（9）マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTM0n／スタート・ソフトウエア・トリガ／カウント・クロック（f_{TCLK}）をソース・クロックとして使用することはできません。
（10）連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TS0n）を同時に設定する必要があります。
（11）カウント動作中のTS0ビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTS0ビットのみの設定では使用できません。
（12）連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TT0n）を同時に設定する必要があります。

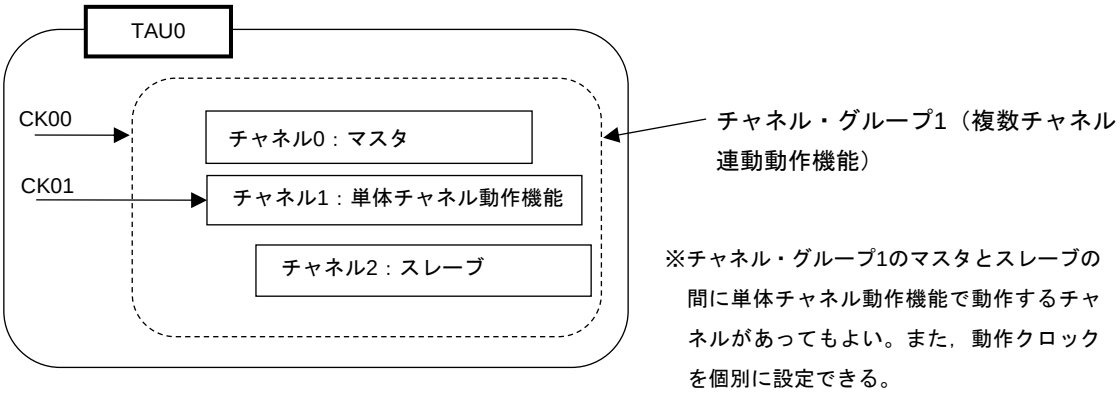
注　チャネル1, 3を8ビット・タイマとして使用する場合，下位8ビットを連動動作機能のスレーブ・チャネルとして選択できます。このとき，チャネル1, 3の上位8ビットは，インターバル・タイマとして使用できます。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。連動しない2つ以上のチャネル・グループを設定した場合，チャネル・グループ間には上記の基本ルールは適用されません。

例





6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。

8ビットタイマ動作機能は，チャネル1, 3のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

（1）8ビット・タイマ動作機能が適用されるチャネルは，チャネル1, 3のみです。

（2）8ビット・タイマとして使用する場合には，タイマ・モード・レジスタ0nH（TMR0nH）のSPLITビットを“1”に設定します。

（3）上位8ビットは，インターバル・タイマ機能として動作することができます。

（4）上位8ビットは，動作開始時に割り込み要求信号（INTTM01H, INTTM03H）を出力します（MD0n0 =1 設定と同じ動作）。

（5）上位8ビットの動作クロック選択は，下位ビットのTMR0nHレジスタのCKS0n1ビットにしたがって動作します。

（6）上位8ビットは，TSH0nビットを操作することでチャネル動作を開始し，TTH0n ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEH0nビットで確認できます。

（7）下位8ビットは，TMR0nH，TMR0nLレジスタの設定にしたがって動作します。下位8ビット・タイマは，次のタイマ機能をサポートしています。

- **インターバル・タイマ**
- **方形波出力**
- **外部イベント・カウンタ**
- **ディレイ・カウンタ**
- **PWM出力機能**
- **多重PWM出力機能（16ピン製品のみ）**

（8）下位8ビットは，TS0n ビットを操作することでチャネル動作を開始し，TT0nビットを操作することでチャネル動作を停止します。チャネルのステータスは，TE0nビットで確認できます。

（9）16ビットで動作させる場合には，TSH0n/TTH0nビットの操作は無効となります。TS0n，TT0nビットを操作することでチャネルnが動作します。TEH0nビットは変化しません。

（10）8ビット・タイマ機能で，連動動作機能（ワンショット・パルス，PWM，多重PWM（16ピンのみ））を使用することはできません。

備考　n：チャネル番号（n = 1, 3）

注意　チャネル1, 3を8ビット・タイマ・モード（SPLIT=1）で使用する場合は，TCR01H, TDR01Hレジスタまたは TCR03H, TDR03Hレジスタの読み出しは禁止です。

6. 5　カウンタの動作

6. 5. 1　カウント・クロック（f_{TCLK}）

タイマ・アレイ・ユニットのカウント・クロック（f_{TCLK}）は，タイマ・モード・レジスタ0n（TMR0n）のCCS0nビットにより，以下のどちらかを選択することができます。

・CKS0n1ビットで指定した動作クロック（f_{MCK}）
・TI0n端子からの入力信号の有効エッジ

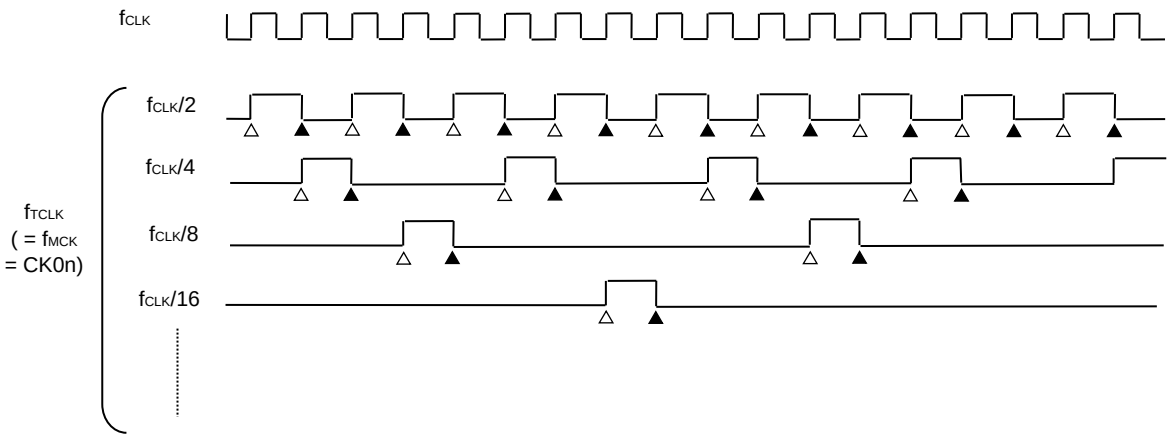
タイマ・アレイ・ユニットは，f_{CLK}との同期をとって動作するよう設計されているため，カウント・クロック（f_{TCLK}）のタイミングは次のようになります。

（1）CKS0n1ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCS0n = 0）

カウント・クロック（f_{TCLK}）は，タイマ・クロック選択レジスタ0（TPS0）の設定により，f_{CLK} ～ $f_{CLK}/2^{15}$となります。ただし，f_{CLK}の分周を選んだ場合，TPS0レジスタで選択するクロックは，立ち上がりからf_{CLK}の１周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は，ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ0n（TCR0n）は，f_{CLK}との同期をとるため，カウント・クロック（f_{TCLK}）の立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“カウント・クロック（f_{TCLK}）の立ち上がりでカウントする”と表現します。

図6－22　f_{CLK}とカウント・クロック（f_{TCLK}）のタイミング（CCS0n = 0時）



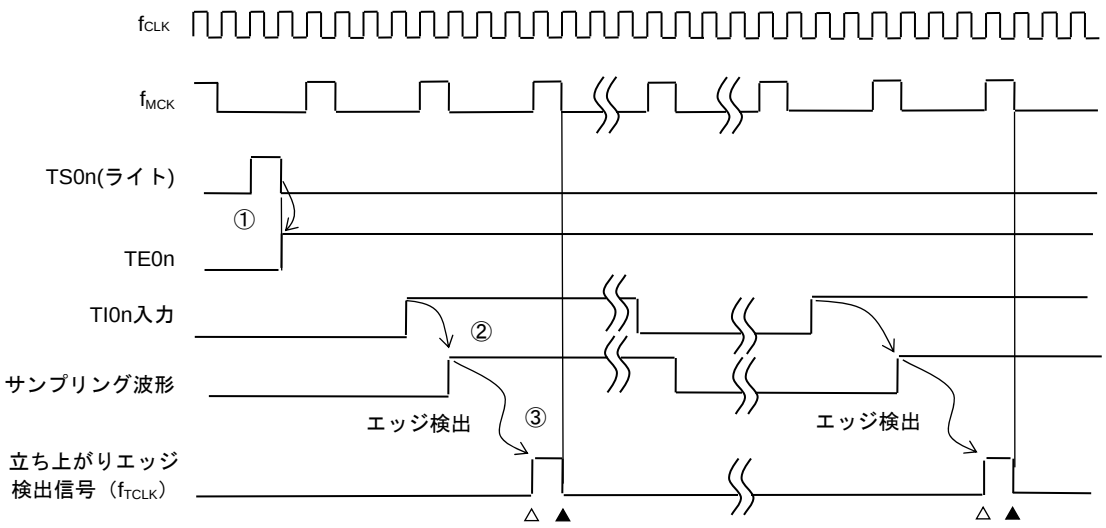
備考1. △：カウント･クロック（f_{TCLK}）の立ち上がり
▲：同期化，カウンタのインクリメント／デクリメント
2. f_{CLK}：CPU／周辺ハードウエア・クロック

（2）TI0n端子からの入力信号の有効エッジを選択した場合（CCS0n = 1）

カウント・クロック（f_{TCLK}）は，TI0n端子からの入力信号の有効エッジを検出し，次のf_{MCK}の立ち上がりに同期した信号になります。これは，実際のTI0n端子からの入力信号よりf_{MCK}の1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は，f_{MCK}の3～4クロック分遅れます）。

また，タイマ・カウンタ・レジスタ0n（TCR0n）は，f_{CLK}との同期をとるためにカウント・クロック（f_{TCLK}）の立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“TI0n端子からの入力信号の有効エッジでカウントする”と表現します。

図6－23　カウント・クロック（f_{TCLK}）のタイミング（CCS0n = 1，ノイズ・フィルタ未使用時）



①TS0nビットをセットすることでタイマが動作を開始し，TI0n入力の有効エッジ待ちになります。

②TI0n入力の立ち上がりがf_{MCK}でサンプリングされます。

③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ，検出信号（カウント・クロック（f_{TCLK}））が出力されます。

備考1.　△：カウント･クロック（f_{TCLK}）の立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

2.　f_{CLK}：CPU／周辺ハードウエア・クロック

f_{MCK}：チャネルnの動作クロック

3.　入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタ，ワンショット・パルス出力機能のTI0n入力も同様の波形になります。

6. 5. 2　カウンタのスタート・タイミング

タイマ・カウント・レジスタ0n（TCR0n）は，タイマ・チャネル開始レジスタ0（TS0）のTS0nビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ0n（TCR0n）のカウント・スタートまでの動作を，表6－5に示します。

表6－5　カウント動作許可状態からタイマ・カウンタ・レジスタ0n（TCR0n）のカウント・スタートまでの動作

タイマの動作モード	TS0n = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出（TS0n = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（**6. 5. 3（1）インターバル・タイマ・モードの動作**参照）。
・イベント・カウンタ・モード	TS0nビットに1を書き込むことにより，TDR0nレジスタの値をTCR0nレジスタにロードします。 TI0n入力のエッジを検出すると，以降のカウント・クロックでダウン・カウント動作を行います（**6. 5. 3（2）イベント・カウンタ・モードの動作**参照）。
・キャプチャ・モード	スタート・トリガ検出（TS0n = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（**6. 5. 3（3）キャプチャ・モードの動作（入力パルス間隔測定）**参照）。
・ワンカウント・モード	タイマ動作停止（TE0n = 0）の状態で，TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nレジスタの値をTCR0nレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（**6. 5. 3（4）ワンカウント・モードの動作**参照）。
・キャプチャ＆ワンカウント・モード	タイマ動作停止（TE0n = 0）の状態で，TS0nビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（**6. 5. 3（5）キャプチャ＆ワンカウント・モードの動作（ハイ・レベル幅測定）**参照）。

6. 5. 3　カウンタの動作

各モードでの，カウンタの動作を説明します。

（1）インターバル・タイマ・モードの動作

① TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。タイマ・カウンタ・レジスタ0n（TCR0n）は，カウント・クロック（f_{TCLK}）発生まで初期値を保持しています。

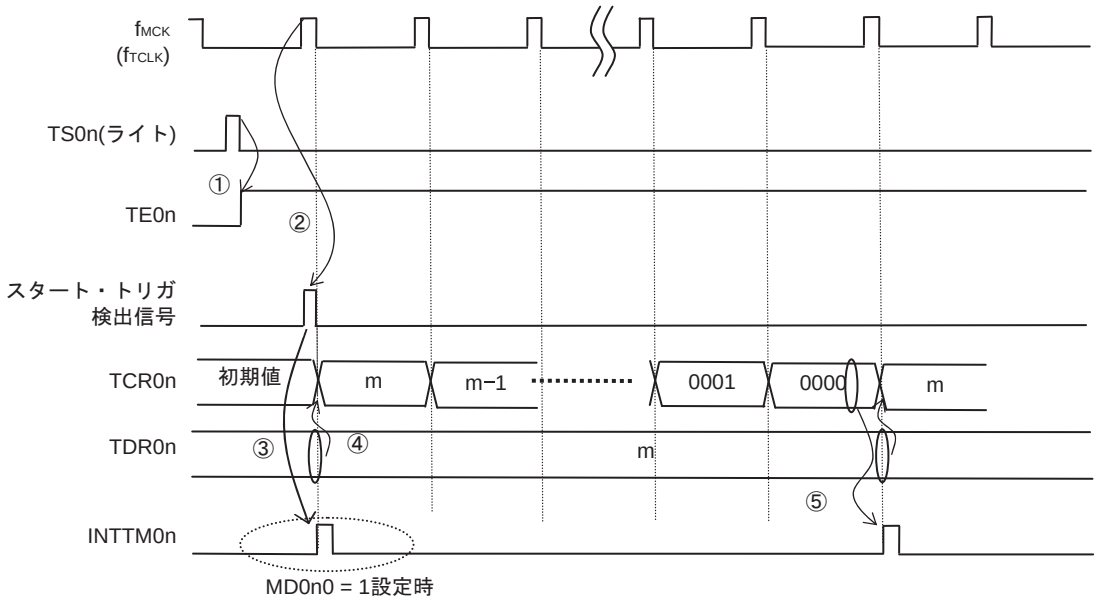
② 動作許可後の最初のカウント・クロックで，スタート・トリガが発生します。

③ MD0n0ビットが1に設定されている場合には，スタート・トリガにより，INTTM0nが発生します。

④ 動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタ0n（TDR0n）の値をTCR0nレジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。

⑤ TCR0nレジスタがカウント・ダウンしてカウント値が0000Hになると，次のカウント・クロックでINTTM0nを発生し，タイマ・データ・レジスタ0n（TDR0n）の値をTCR0nレジスタにロードしてカウントを継続します。

図6－24　動作タイミング（インターバル・タイマ・モード）



注意　カウント・クロック（f_{TCLK}）の1周期目の動作はTS0nビット書き込み後，カウント・クロック（f_{TCLK}）が発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック（f_{TCLK}）の1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MD0n0 = 1に設定することで，カウント開始時に割り込み要求信号（INTTM0n）**を発生させることができます。**

備考　f_{MCK}，スタート・トリガ検出信号，INTTM0nは，f_{CLK}に同期して1クロック間アクティブとなります。

（2）イベント・カウンタ・モードの動作

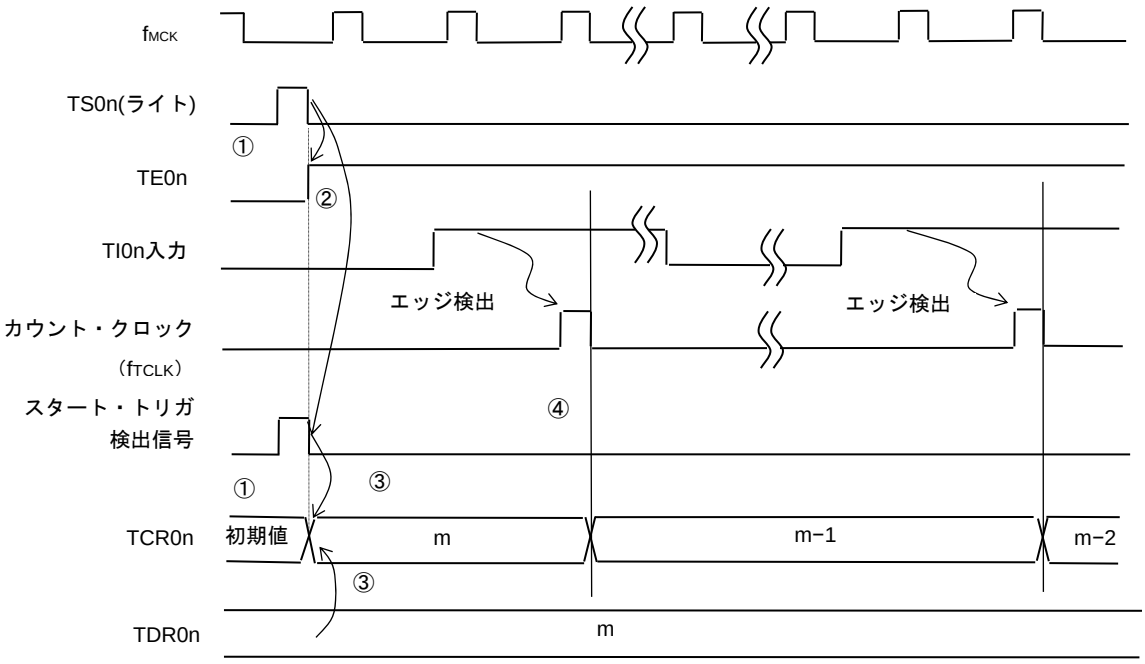
① 動作停止状態（TE0n = 0）の期間，タイマ・カウンタ・レジスタ0n（TCR0n）は，初期値を保持します。

② TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。

③ TS0n = 1→TE0n = 1と同時に， TCR0nレジスタにタイマ・データ・レジスタ0n（TDR0n）の値をロードし，カウントを開始します。

④ 以降はTI0n入力の有効エッジでのカウント・クロック（f_{TCLK}）に従い， TCR0nレジスタの値をダウン・カウントします。

図6－25　動作タイミング（イベント・カウンタ・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTI0n入力からさらに動作クロック（f_{MCK}）の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差は，TI0n入力と動作クロック（f_{MCK}）が非同期なためです。

（3）キャプチャ・モードの動作（入力パルス間隔測定）

① TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。

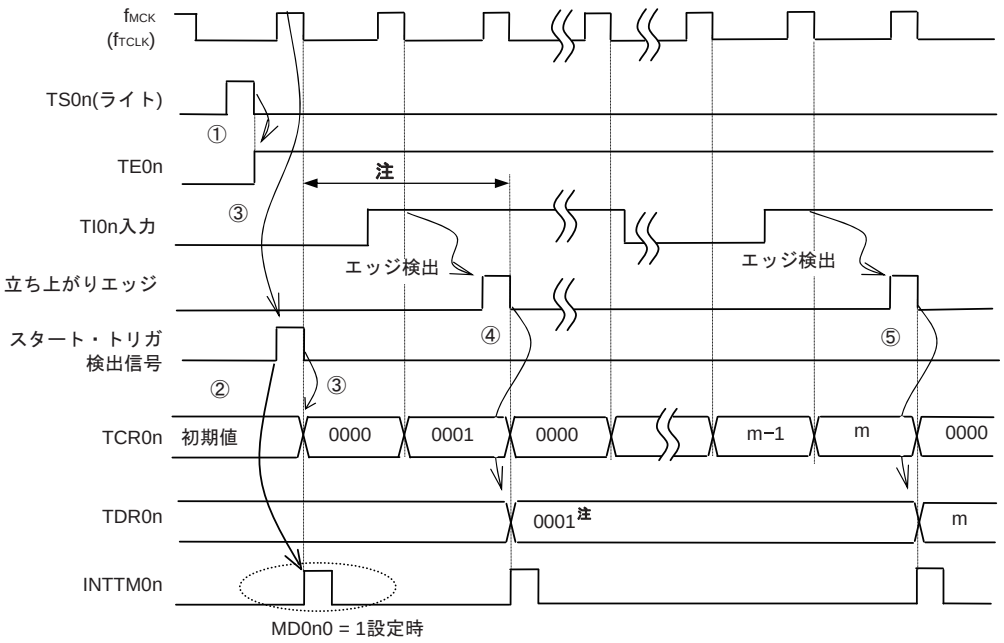
② タイマ・カウンタ・レジスタ0n（TCR0n）は，カウント・クロック（f_{TCLK}）発生まで初期値を保持しています。

③ 動作許可後の最初のカウント・クロックで，スタート・トリガが発生します。そして0000Hの値をTCR0nレジスタにロードし，キャプチャ・モードでのカウントを開始します。（MD0n0ビットが1に設定されている場合には，スタート・トリガにより，INTTM0nが発生します。）

④ TI0n入力の有効エッジを検出すると，TCR0nレジスタの値をTDR0nレジスタにキャプチャし，割り込み要求信号（INTTM0n）が発生しますが，このときのキャプチャ値は意味をもちません。TCR0nレジスタは0000Hからカウントを継続します。

⑤ 次のTI0n入力の有効エッジを検出すると，TCR0nレジスタの値をTDR0nレジスタにキャプチャし，割り込み要求信号（INTTM0n）が発生します。

図6－26　動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注　スタート前からTI0nにクロックが入力されている（トリガがある）場合，エッジ検出をしなくても，TS0nのライト(①)によるスタート・トリガ発生（③）でカウントを開始するため，最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので，無視してください。

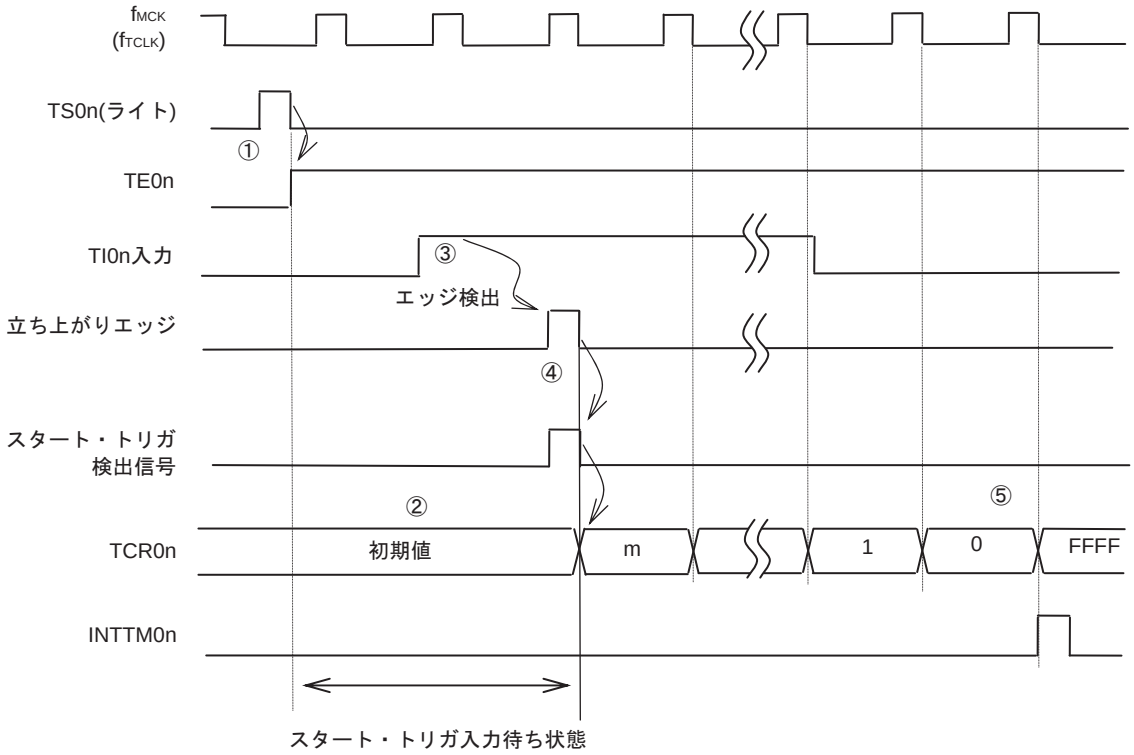
注意　**カウント・クロック（f_{TCLK}）の1周期目の動作はTS0nビット書き込み後，カウント・クロック（f_{TCLK}）が発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック（f_{TCLK}）の1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MD0n0 = 1に設定することで，カウント開始時に**割り込み要求信号（INTTM0n）**を発生させることができます。**

備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTI0n入力からさらに動作クロック（f_{MCK}）の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差は，TI0n入力と動作クロック（f_{MCK}）が非同期なためです。

（4）ワンカウント・モードの動作

① TS0nビットへ1を書き込むことにより，動作許可状態（TE0n = 1）となります。
② タイマ・カウンタ・レジスタ0n（TCR0n）は，スタート・トリガ発生まで初期値を保持しています。
③ TI0n入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，TDR0nレジスタの値（m）をTCR0nレジスタにロードし，カウントを開始します。
⑤ TCR0nレジスタがカウント・ダウンしてカウント値が0000Hになると，割り込み要求信号（INTTM0n）を発生し，TCR0nレジスタはFFFFHで停止します。

図6－27　動作タイミング（ワンカウント・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると，エッジ検出はTI0n入力からさらに動作クロック（f_{MCK}）の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差は，TI0n入力と動作クロック（f_{MCK}）が非同期なためです。

（5）キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）

① タイマ・チャネル開始レジスタ0（TS0）のTS0nビットに1を書き込むことにより，動作許可状態（TE0n = 1）となります。

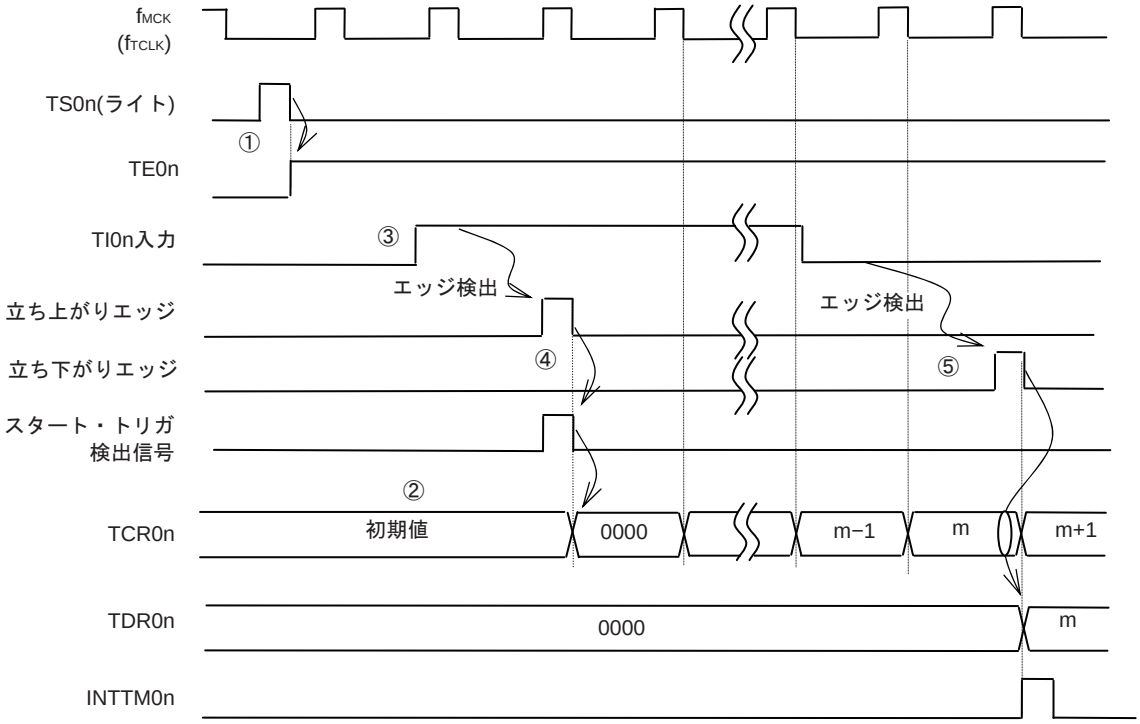
② タイマ・カウンタ・レジスタ0n（TCR0n）は，スタート・トリガ発生まで初期値を保持します。

③ TI0n入力の立ち上がりエッジを検出します。

④ スタート・トリガが発生して，0000HをTCR0nレジスタにロードし，カウントを開始します。

⑤ TI0n入力の立ち下がりエッジを検出すると，TCR0nレジスタの値をTDR0nレジスタにキャプチャし，割り込み要求信号（INTTM0n）が発生します。

図6－28　動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）

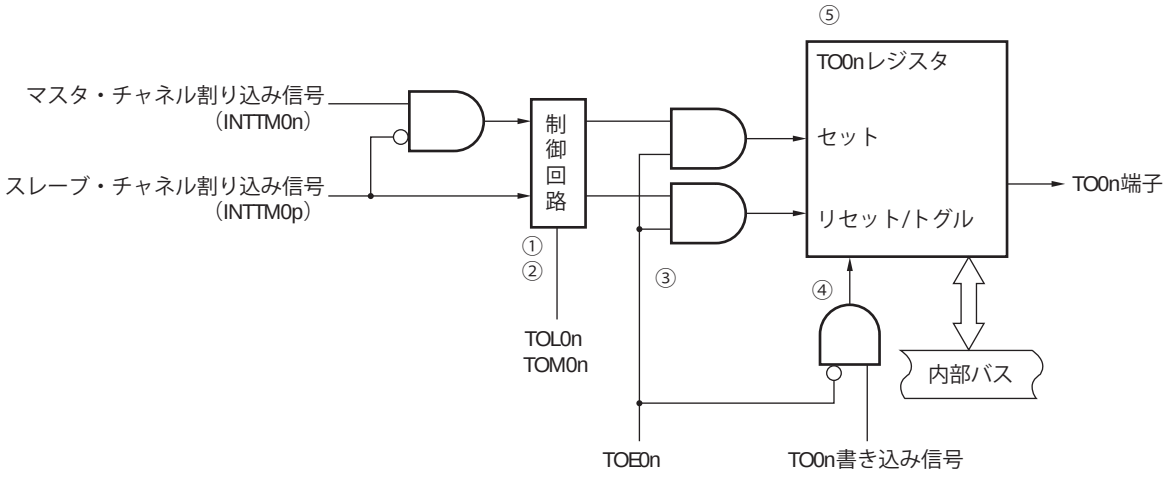


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTI0n入力からさらに動作クロック（fMCK）の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差は，TI0n入力と動作クロック（fMCK）が非同期なためです。

6. 6　チャネル出力（TO0n端子）の制御

6. 6. 1　TO0n端子の出力回路の構成

図6－29　出力回路構成図



TO0n端子の出力回路の説明を次に示します。

① TOM0n = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタ0（TOL0）の設定値は無視され，INTTM0p（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタ0（TO0）に伝えられます。

② TOM0n = 1（スレーブ・チャネル出力モード）のときは，INTTM0n（マスタ・チャネル・タイマ割り込み）とINTTM0p（スレーブ・チャネル・タイマ割り込み）がTO0レジスタに伝えられます。
このとき，TOL0レジスタが有効となり，次のように信号を制御します。

TOL0n = 0の場合　：正論理出力（INTTM0n→セット，INTTM0p→リセット）
TOL0n = 1の場合　：負論理出力（INTTM0n→リセット，INTTM0p→セット）

また，INTTM0nとINTTM0pが同時に発生した場合（PWM出力の0%出力時）は，INTTM0p（リセット信号）が優先され，INTTM0n（セット信号）はマスクされます。

③ タイマ出力許可状態（TOE0n = 1）で，INTTM0n（マスタ・チャネル・タイマ割り込み）とINTTM0p（スレーブ・チャネル・タイマ割り込み）がTO0レジスタに伝えられます。TO0レジスタへの書き込み（TO0n書き込み信号）は無効となります。
また，TOE0n = 1のとき，割り込み信号以外でTO0n端子の出力が変化することはありません。
TO0n端子の出力レベルを初期化する場合は，タイマ動作停止（TOE0n = 0）に設定しTO0レジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOE0n = 0）で，対象チャネルのTO0nビットへの書き込み（TO0n書き込み信号）が有効となります。 タイマ出力禁止状態（TOE0n = 0）のとき，INTTM0n（マスタ・チャネル・タイマ割り込み）とINTTM0p（スレーブ・チャネル・タイマ割り込み）はTO0レジスタに伝えられません。

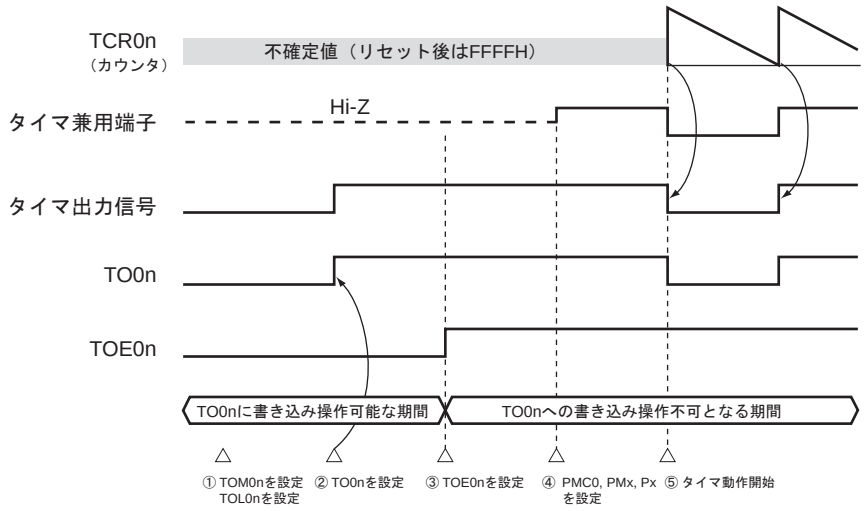
⑤ TO0レジスタは常に読み出し可能であり，TO0n端子の出力レベルを確認することができます。

備考　n：マスタ・チャネル番号。10ピン製品はn=0，16ピン製品はn=0, 2です。
p：スレーブ・チャネル番号　n < p ≦3

6. 6. 2　TO0n端子の出力設定

TO0n出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6－30　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

・TOM0nビット（0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード）
・TOL0nビット（0：正論理出力，1：負論理出力）

②タイマ出力レジスタ0（TO0）を設定することにより，タイマ出力信号が初期状態に設定されます。

③ TOE0nビットに1を書き込み，タイマ出力動作を許可します（TO0レジスタへの書き込みは不可となります）。

④ ポート・モード・コントロール・レジスタ(PMC0)でポートをデジタル入出力に設定します。ポート・モード・レジスタ（PM0）でポートを出力モードに設定します。ポート・レジスタ（P0）でポートの出力ラッチを0に設定します。（**6. 3. 14　タイマ入出力端子のポート機能を制御するレジスタ参照**）。

⑤タイマを動作許可にします（TS0n=1）。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 6. 3　チャネル出力操作時の注意事項

（1）タイマ動作中のTO0, TOE0, TOL0, TOM0レジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタ0n（TCR0n），タイマ・データ・レジスタ0n（TDR0n）の動作）は，TO0n出力回路とは独立しています。よって，タイマ出力レジスタ0（TO0），タイマ出力許可レジスタ0（TOE0），タイマ出力レベル・レジスタ0（TOL0），タイマ出力モード・レジスタ0（TOM0）の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形をTO0n端子から出力するためには，各動作のレジスタ設定内容例の値に設定してください。

各チャネルの割り込み要求信号（INTTM0n）近辺で，TO0レジスタを除く TOE0レジスタ，TOL0レジスタ，TOM0レジスタの設定値変更を行うと，INTTM0n発生タイミング直前に設定値変更が実施された場合と，INTTM0n発生タイミング直後に設定値変更が実施された場合とでは，TO0n端子に出力される波形が異なる場合があります。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

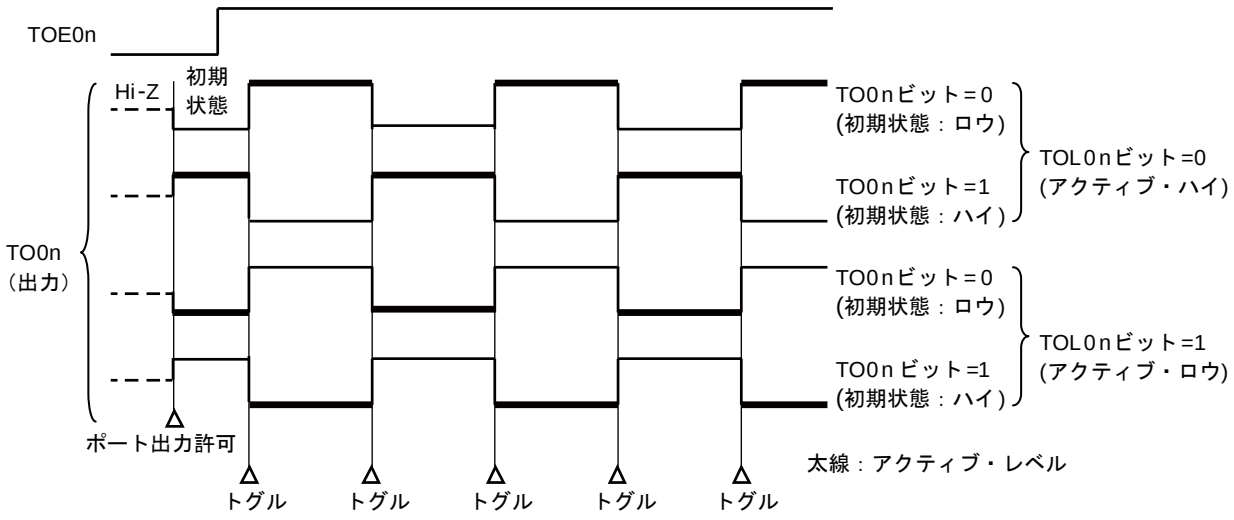
（2）TO0n端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止（TOE0n = 0）の状態でタイマ出力レジスタ0（TO0）に書き込みを行い，初期レベル変更後，タイマ出力許可状態（TOE0n = 1）に設定した場合のTO0n端子出力レベルの変化を次に示します。

（a）マスタ・チャネル出力モード（TOM0n = 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOM0n = 0）の時，タイマ出力レベル・レジスタ0（TOL0）の設定は無効となります。初期レベル設定後，タイマ動作を開始すると，トグル信号発生によりTO0n端子の出力レベルを反転します。

図6－31　トグル出力時（TOM0n = 0）のTO0n端子出力状態



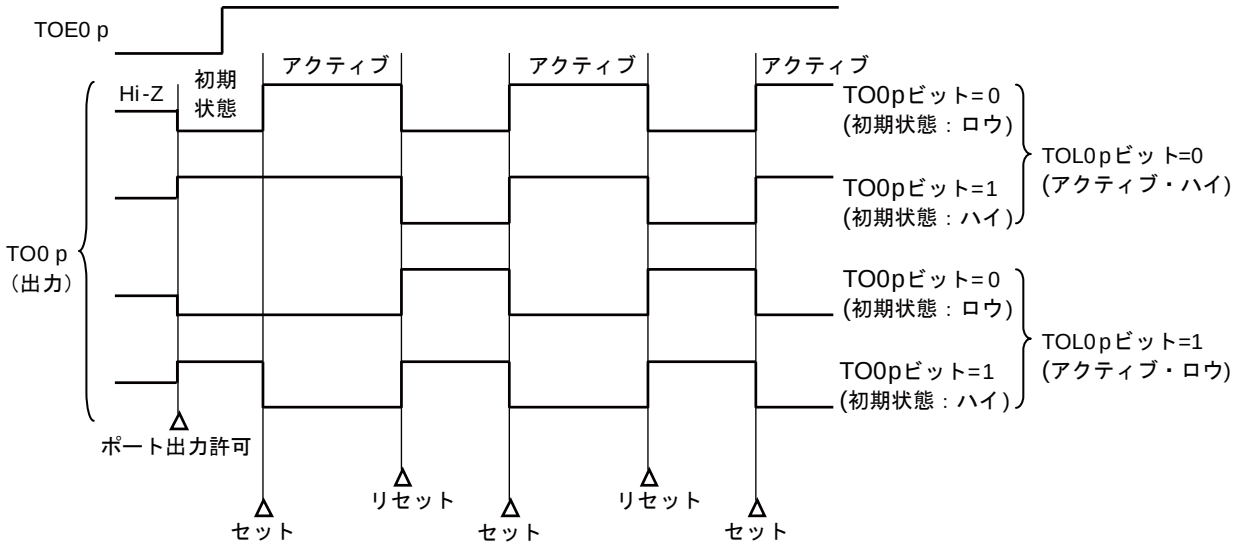
備考1.　トグル：TO0n端子の出力状態を反転

2.　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

（b）スレーブ・チャネル出力モード（TOM0p = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOM0p = 1）のとき，タイマ出力レベル・レジスタ0（TOL0p）の設定によりアクティブ・レベルを決定します。

図6－32　PWM出力時（TOM0p = 1）のTO0p端子出力状態



備考1.　セット　　：TO0p端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TO0p端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　p：チャネル番号(n < p ≦3)

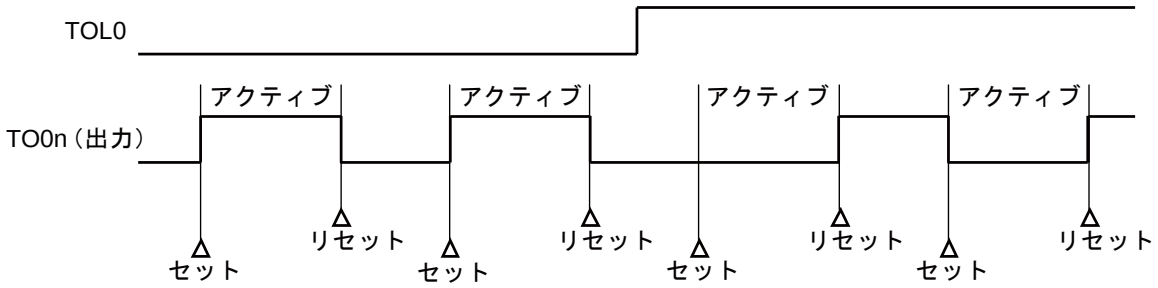
（3）TO0n端子のスレーブ・チャネル出力モード（TOM0n = 1）での動作について

（a）タイマ動作中にタイマ出力レベル・レジスタ0（TOL0）の設定を変更した場合

タイマ動作中にTOL0レジスタの設定を変更した場合，設定が有効となるのはTO0n端子変化条件の発生タイミングです。TOL0レジスタの書き換えでは，TO0n端子の出力レベルは変化しません。

TOM0n = 1で，タイマ動作中（TE0n = 1）にTOL0レジスタの値を変更した場合の動作を次に示します。

図6－33　タイマ動作中にTOL0レジスタをの内容変更したときの動作



備考1.　セット　　：TO0n端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TO0n端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

（b）セット／リセット・タイミング

PWM出力時に，0%／100%出力を実現するため，マスタ・チャネルの割り込み要求信号（INTTM0n）発生時のTO0n端子/TO0nビットのセット・タイミングをスレーブ・チャネルでカウント・クロック（f_{TCLK}）の1クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

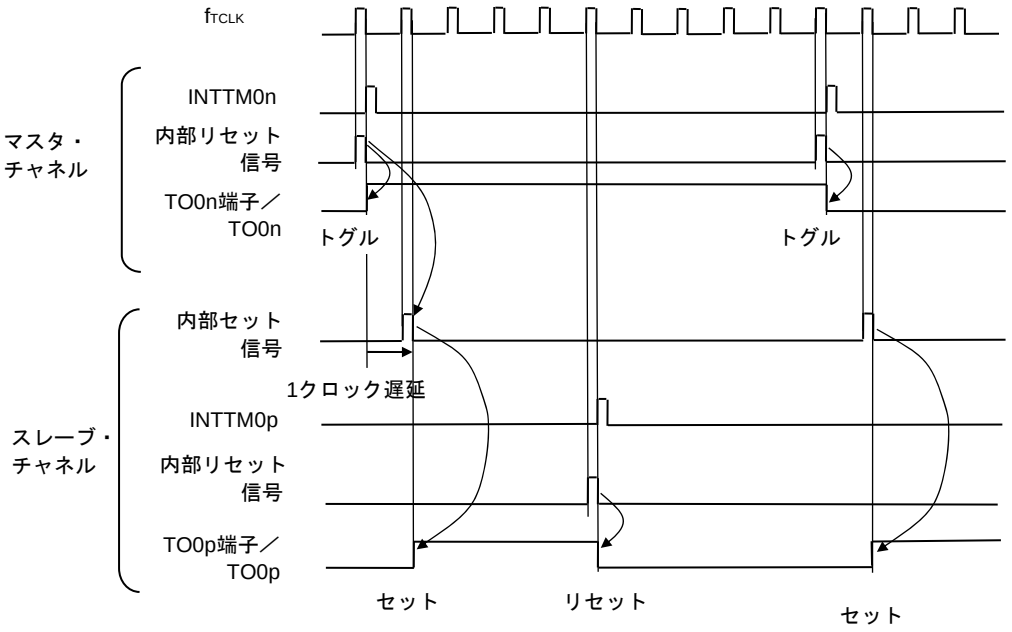
マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を図6－34に示します。

マスタ・チャネル　：TOE0n = 1, TOM0n = 0, TOL0n = 0

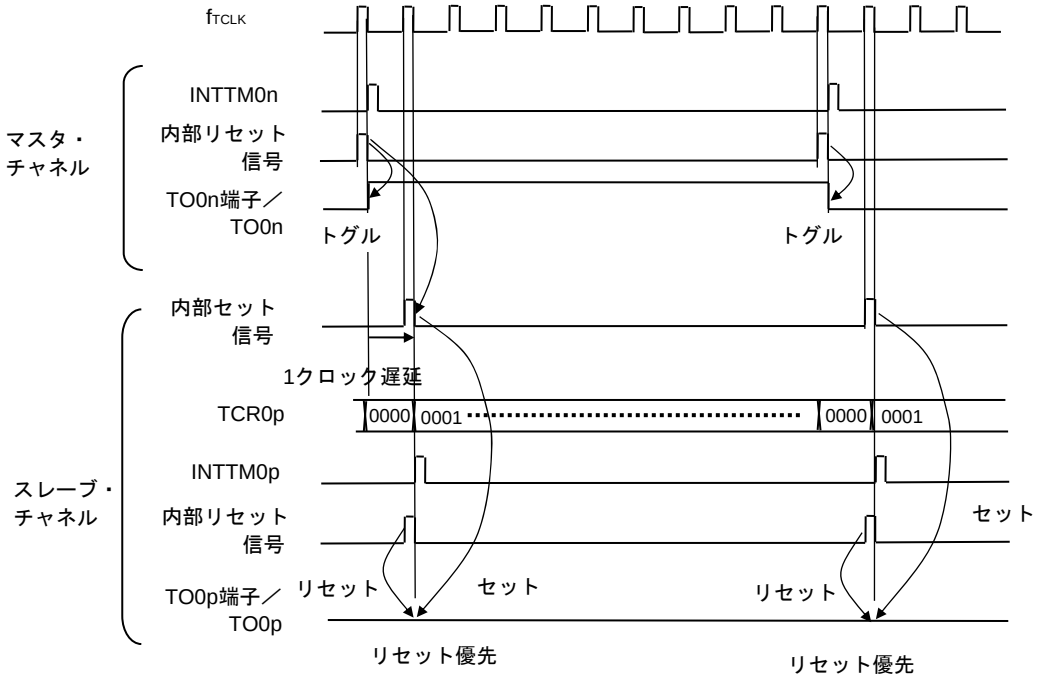
スレーブ・チャネル：TOE0p = 1, TOM0p = 1, TOL0p = 0

図6－34　セット／リセット・タイミング動作状態

（a）基本動作タイミング



（b）0 %デューティ時の動作タイミング



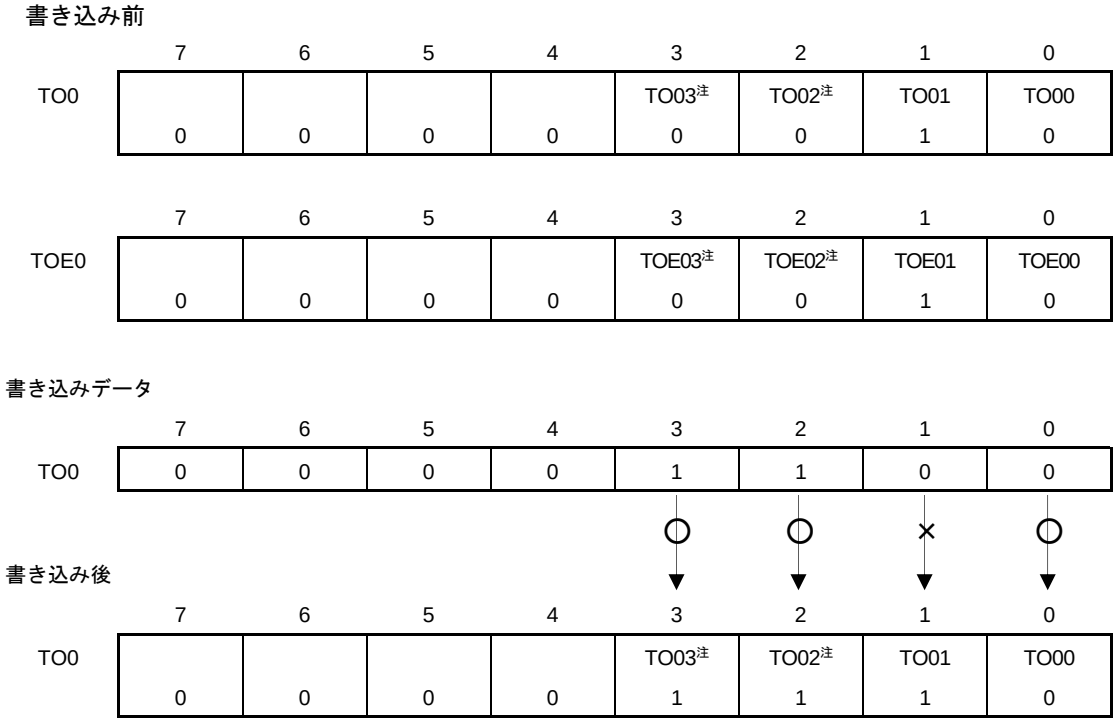
備考1.　内部リセット信号：TO0n端子のリセット／トグル信号
　　内部セット信号　：TO0n端子のセット信号

2.　n：マスタ・チャネル番号。(10ピン製品はn = 0，16ピン製品はn = 0, 2)
　　p：スレーブ・チャネル番号(n < p ≦3)

6. 6. 4　TO0nビットの一括操作

タイマ出力レジスタ0（TO0）には，タイマ・チャネル開始レジスタ0（TS0）と同様に，1レジスタに全チャネル分の設定ビット（TO0n）が配置されています。よって，全チャネルのTO0nビットを一括で操作することが可能です。また，操作対象としたいチャネル出力（TO0n）だけTO0nビットへの書き込み可能（TOE0n = 0）にすることで，任意のビットだけ操作できます。

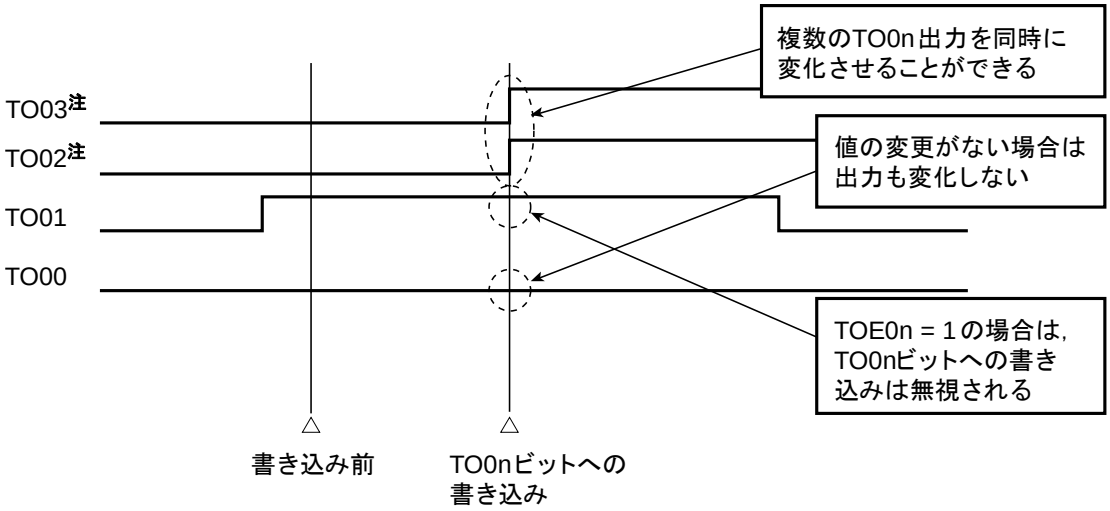
図6－35　TO0nビットの一括操作例



TOE0n = 0のTO0nビットだけ書き込みが行われます。TOE0n = 1のTO0nビットへの書き込みは無視されます。

TOE0n = 1に設定されているTO0n（チャネル出力）は，書き込み操作による影響は受けません。TO0nビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

図6－36　TO0nビットの一括操作によるTO0nの端子状態



注　16ピン製品のみ

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 6. 5　カウント動作開始時のタイマ割り込みとTO0n端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタ0n（TMR0n）のMD0n0ビットは，「カウント開始時にタイマ割り込み要求を発生する／しない」を設定するビットとなります。

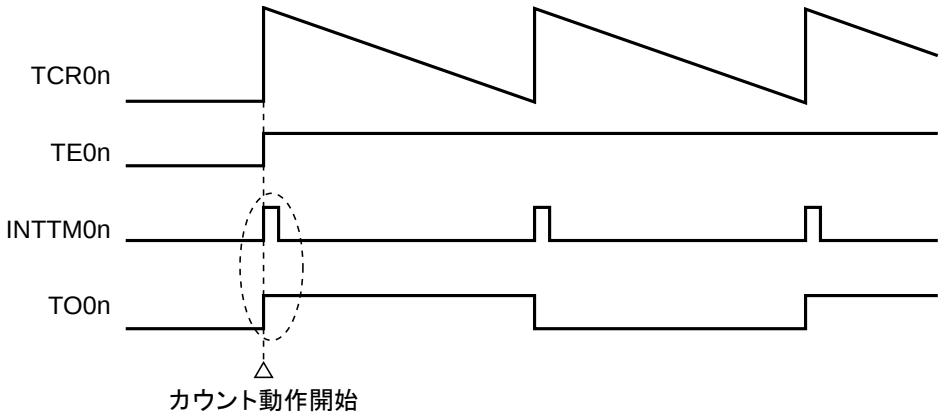
MD0n0 = 1に設定すると，割り込み要求信号（INTTM0n）の発生で，カウント動作開始タイミングを知ることができます。

その他の動作モードでは，カウント動作開始時のINTTM0n，TO0n出力は制御しません。

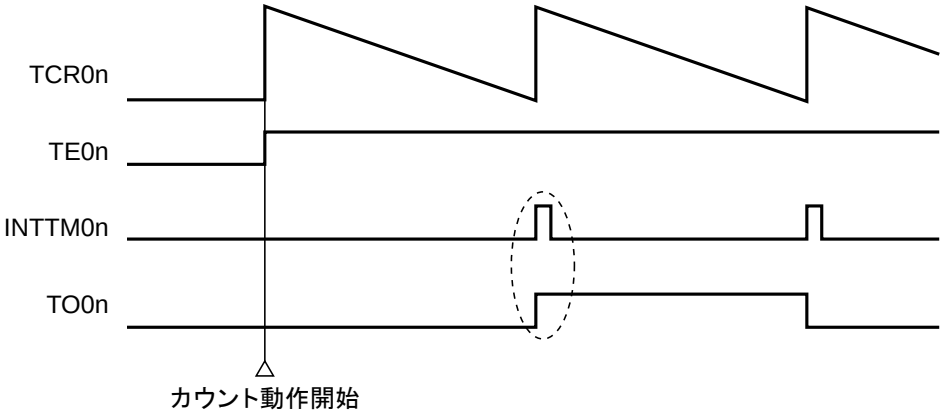
インターバル・タイマ・モード（TOE0n = 1, TOM0n = 0）に設定した場合の動作例を次に示します。

図6－37　カウント動作開始時のタイマ割り込み，TO0n出力の動作例

（a）MD0n0 = 1に設定した場合



（b）MD0n0 = 0に設定した場合



MD0n0 = 1に設定した場合，カウント動作開始時にタイマ割り込み要求信号（INTTM0n）が出力され，TO0nがトグル動作します。

MD0n0 = 0に設定した場合，カウント動作開始時にタイマ割り込み要求信号（INTTM0n）を出力しません。TO0nも変化しません。1周期をカウント後，INTTM0nを出力し，TO0nがトグル動作します。

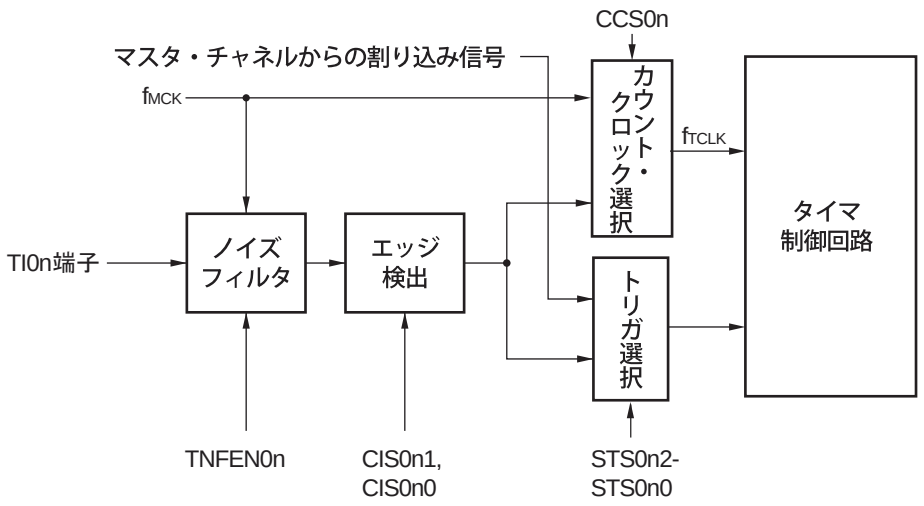
備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 7　タイマ入力（TI0n）の制御

6. 7. 1　TI0nの入力回路構成

タイマ入力端子から信号は，ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は，対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

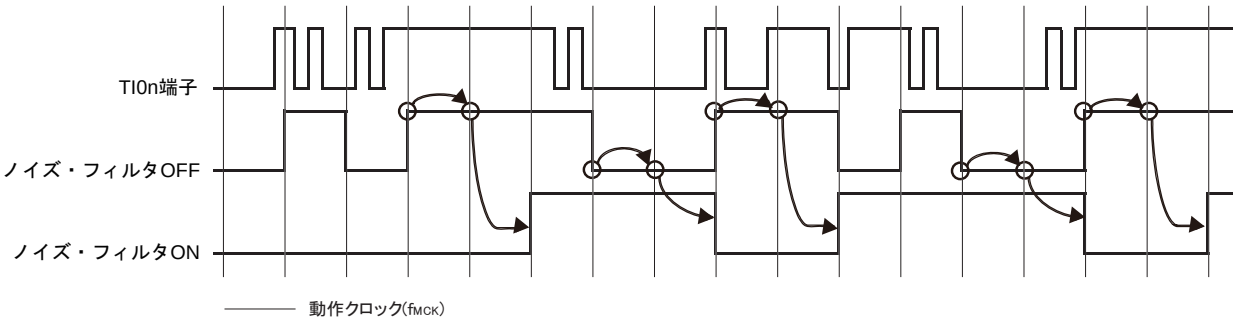
図6－38　入力回路構成図



6. 7. 2　ノイズ・フィルタ

ノイズ・フィルタ無効時は，チャネルnの動作クロック（f_{MCK}）で同期化だけ行います。ノイズ・フィルタ有効時は，チャネルnの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。以下に，TI0n入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6－39　TI0n入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



6. 7. 3　チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において，ノイズ・フィルタ回路へ動作クロックは供給されません。そのため，タイマ入力端子を使用する設定をしてから，タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで，以下の待ち時間が必要になります。

（1）ノイズ・フィルタOFFの場合

タイマ・モード・レジスタ0n（TMR0n）のビット12（CCS0n），ビット9（STS0n1），ビット8（STS0n0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の2サイクル以上経過してから，タイマ・チャネル開始レジスタ（TS0）の動作許可トリガをセットしてください。

（2）ノイズ・フィルタONの場合

タイマ・モード・レジスタ0n（TMR0n）のビット12（CCS0n），ビット9（STS0n1），ビット8（STS0n0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の4サイクル以上経過してから，タイマ・チャネル開始レジスタ（TS0）の動作許可トリガをセットしてください。

6.8　タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1　インターバル・タイマ／方形波出力としての動作

（1）インターバル・タイマ

一定間隔で割り込み要求信号（INTTM0n）を発生する基準タイマに利用できます。

INTTM0nの発生周期は，次の式で求められます。

INTTM0nの発生周期 ＝ カウント・クロックの周期×（TDR0nの設定値＋1）

チャネル1,3を8ビット・タイマ動作機能として使用する（SPLIT0n=1）ときは，上位／下位8ビット・タイマのどちらもインターバル・タイマとして使用できます。

（2）方形波出力としての動作

TO0n端子は，INTTM0nの発生と同時にトグル動作を行い，デューティ50%の方形波を出力します。

TO0n出力波形の周期と周波数は，次の式で求められます。

・TO0n端子の出力方形波の周期 ＝ カウント・クロックの周期×（TDR0nの設定値＋1）×2
・TO0n端子の出力方形波の周波数 ＝ カウント・クロックの周波数／｛（TDR0nの設定値＋1）×2｝

チャネル1,3を8ビット・タイマ動作機能として使用する（SPLIT0n=1）ときは，下位8ビット・タイマのみが方形波出力として使用できます。

タイマ・カウンタ・レジスタ0n（TCR0n）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0 TSH0）のチャネル・スタート・トリガ・ビット（TS0n, TSH01, TSH03）に1を設定後，最初のカウント・クロックでTCR0nレジスタはタイマ・データ・レジスタ0n（TDR0n）の値をロードします。このときタイマ・モード・レジスタ0n（TMR0n）のMD0n0 ＝ 0ならば，INTTM0nを出力せず，TO0nはトグルしません。TMR0nレジスタのMD0n0 = 1ならば，INTTM0nを出力して，TO0nをトグルします。

その後，　TCR0nレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCR0n ＝ 0000Hとなったら，次のカウント・クロックでINTTM0nを出力しTO0nをトグルします。また，同タイミングで再びTCR0nレジスタはTDR0nレジスタの値をロードします。以降，同様の動作を継続します。

TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は，次の周期から有効となります。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－40　インターバル・タイマ／方形波出力としての動作のブロック図

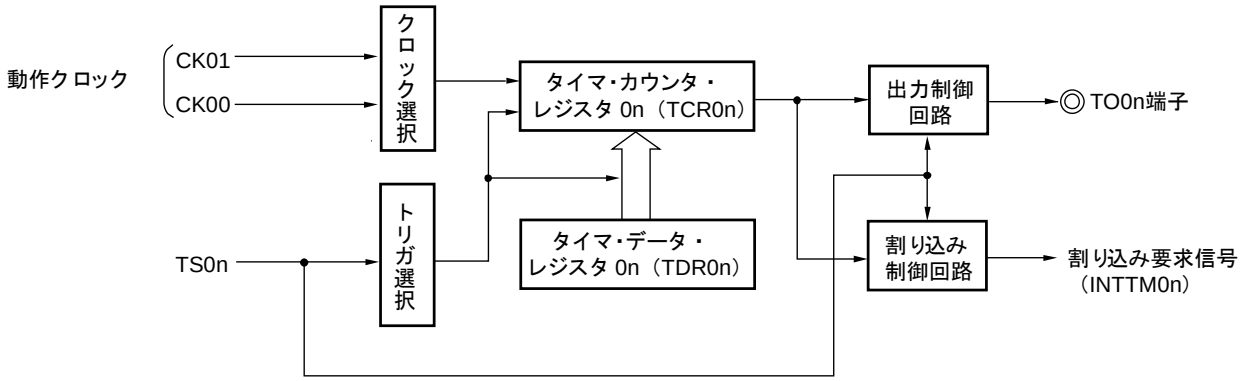
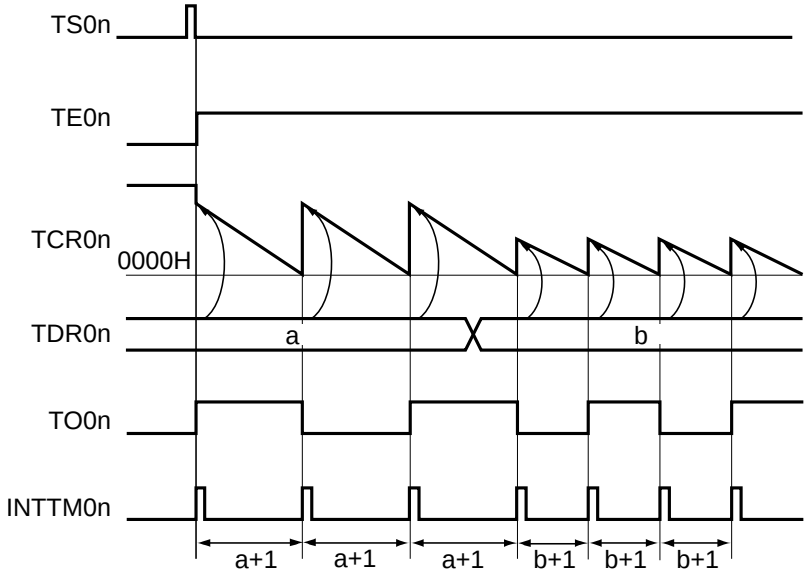


図6－41　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MD0n0 = 1）



備考1.　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

2.　TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

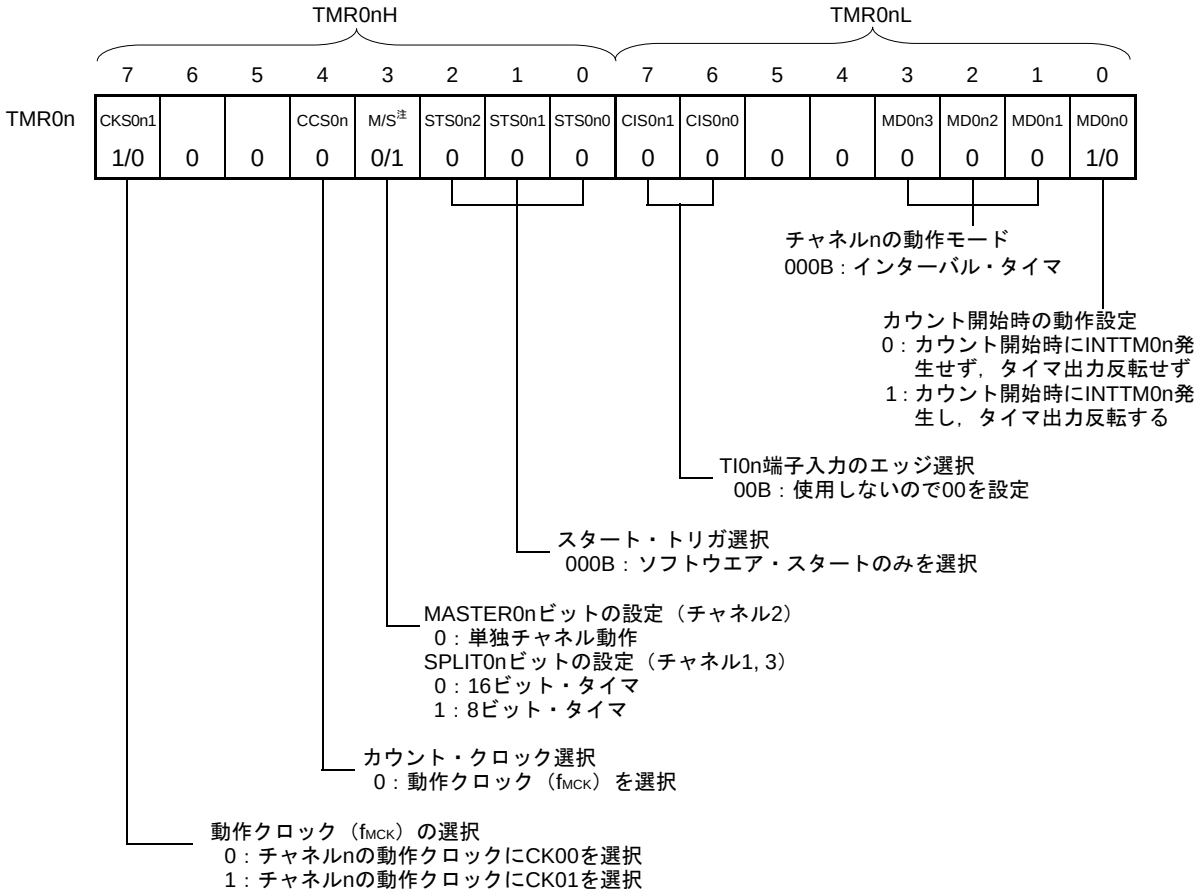
TCR0n　：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n　：タイマ・データ・レジスタ0n（TDR0n）

TO0n　：TO0n端子出力信号

図6－42　インターバル・タイマ／方形波出力のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）



（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 1/0	0：TO0nより0を出力する 1：TO0nより1を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 1/0	0：カウント動作によるTO0n出力動作停止（TO0nビットに設定したレベルをTO0n端子から出力） 1：カウント動作によるTO0n出力動作許可（TO0n端子からトグル出力）

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn	
TOL0	TOL0n 0	0：マスタ・チャネル出力モード（TOM0n = 0）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

注　TMR02の場合：MASTER0nビット

TMR01, TMR03の場合：SPLIT0nビット

TMR00：0固定

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－43　インターバル・タイマ／方形波出力の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する（TAU0ENビットが0のときは，読み出し／書き込み不可）→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00，CK01）を確定する	
チャネル初期設定	タイマ・モード・レジスタ0n（TMR0n）を設定する （各チャネルの動作モードを確定する） タイマ・データ・レジスタ0n（TDR0n）にインターバル（周期）値を設定する（TDR0nH, TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照）	チャネルは動作停止状態
	タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する 方形波出力として使用する場合， TO0nビットを設定し，TO0n出力の初期レベルを確定する TOE0nビットに1を設定し，TO0nの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する（出力モード設定）→	TO0n端子はHi-Z状態 （ポート・モード・レジスタは入力モード） チャネルは動作停止状態なので，TO0nは変化しない（TO0pビットを書き換えてもTO0p端子に反映されない） TO0nビットに設定したレベルをTO0n端子から出力
動作開始	TOE0nビットに1を設定し，TO0nの動作を許可（方形波出力の動作再開時のみ） TS0／TSH0レジスタの対象ビットに1を設定する → TS0／TSH0レジスタの対象ビットはトリガ･ビットなので，自動的に0に戻る	TE0／TEH0レジスタの対象ビットが1になり，カウント動作開始 次のカウント・クロックでタイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードする。TMR0nLレジスタのMD0n0ビットが1の場合は，INTTM0nを発生し，TO0nもトグル動作する。
動作中	TDR0nレジスタは，任意に設定値変更が可能 TCR0nレジスタは，常に読み出し可能（TCR0nH, TCR0nLレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TO0, TOE0レジスタの対象ビットは，設定値変更可能 TMR0n, TOM0, TOL0レジスタの対象ビットは，設定値変更禁止	カウンタ（TCR0n）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCR0nレジスタはTDR0nレジスタの値をロードし，カウント動作を継続する。TCR0n = 0000H検出でINTTM0nを発生し，TO0nはトグル動作する。 以降，この動作を繰り返す。
動作停止	TT0／TTH0レジスタの対象ビットに1を設定する → TT0／TTH0レジスタの対象ビットはトリガ･ビットなので，自動的に0に戻る	TE0／TEH0レジスタの対象ビットが0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TO0n出力は初期化されず，状態保持
	TOE0nビットに0を設定し，TO0nビットに値を設定する →	TO0nビットに設定したレベルをTO0n端子から出力
TAU停止	TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出力ラッチ）を設定後，TO0nビットに0を設定する →	TO0n端子出力レベルはポート機能で保持される。
	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

動作再開

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

注意　**チャネル1, 3を8ビット・タイマ・モード（SPLIT=1）で使用する場合は，TCR01H, TDR01Hレジスタまたは TCR03H, TDR03Hレジスタの読み出しは禁止です。**

6. 8. 2　外部イベント・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）をカウントし，規定カウント数に達したら割り込み要求信号（INTTM0n）を発生するイベント・カウンタに利用できます。規定カウント数は次の式で求められます。

規定カウント数 ＝TDR0nの設定値＋1

チャネル1,3を8ビット・タイマ動作機能として使用する（SPLIT0n=1）ときは，下位8ビット・タイマのみが外部イベント・カウンタとして使用できます。

タイマ・カウンタ・レジスタ0n（TCR0n）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）の任意のチャネル・スタート・トリガ・ビット（TS0n）に1を設定することで，TCR0nレジスタはタイマ・データ・レジスタ0n（TDR0n）の値をロードします。

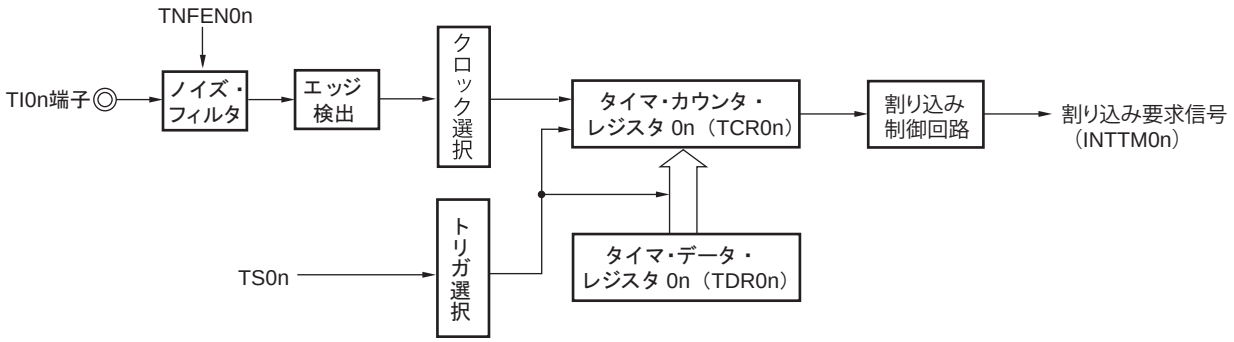
TCR0nレジスタはTI0n端子入力の有効エッジ検出に合わせてダウン・カウントを行い， TCR0n ＝ 0000Hとなったら，再びTDR0nレジスタの値をロードして，INTTM0nを出力します。

以降，同様の動作を継続します。

TO0n端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタ0（TOE0）のTOE0nビットに0を設定して出力動作を停止するようにしてください。

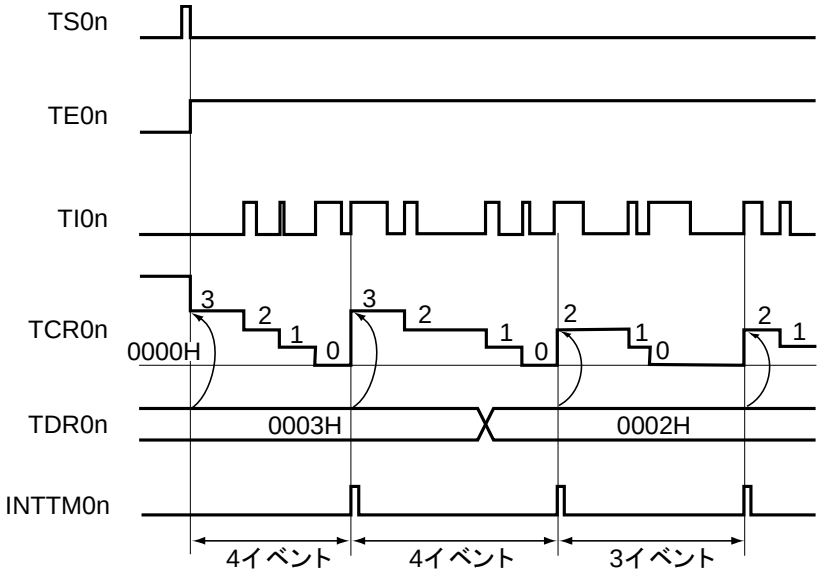
TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は次のカウント期間で有効になります。

図6－44　外部イベント・カウンタとしての動作のブロック図



備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－45　外部イベント・カウンタとしての動作の基本タイミング例



備考1. n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

2. TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

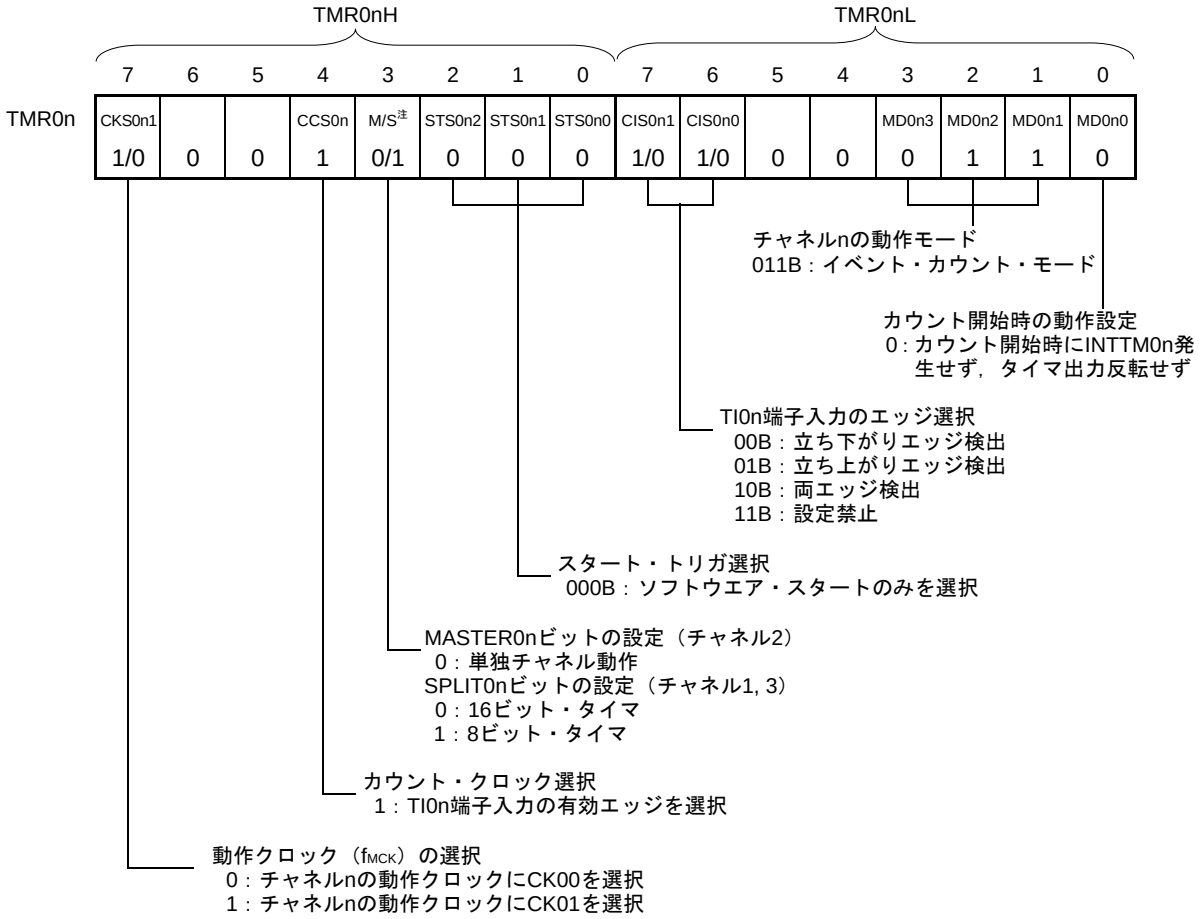
TI0n　：TI0n端子入力信号

TCR0n　：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n　：タイマ・データ・レジスタ0n（TDR0n）

図6－46　外部イベント・カウンタ・モードのレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）



（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 0	0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 0	0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn	
TOL0	TOL0n 0	0：マスタ・チャネル出力モード（TOM0n = 0）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

注　TMR02の場合　　：MASTER0nビット

TMR01, TMR03の場合：SPLIT0nビット

TMR00　　：0固定

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－47　外部イベント・カウンタの操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する（TAU0ENビットが0のときは，読み出し／書き込み不可）→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00，CK01）を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）を設定する タイマ・モード・レジスタ0n（TMR0n）を設定する （各チャネルの動作モードを確定，検出エッジの選択） タイマ・データ・レジスタ0n（TDR0n）にカウント数を設定する（TDR0nH, TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照） タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0（TOE0）の対象ビットに0を設定する	チャネルは動作停止状態
動作開始	TS0レジスタの対象ビットに1を設定する → TS0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが1になり，カウント動作開始 タイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし，TI0n端子入力のエッジ検出待ち状態になる
動作中	TDR0nレジスタは，任意に設定値変更が可能 TCR0nレジスタは，常に読み出し可能（TCR0nH, TCR0nLレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TMR0n, TO0, TOE0, TOM0, TOL0 レジスタ の対象ビットは，設定値変更禁止	TI0n端子入力のエッジが検出されるごとに，カウンタ（TCR0n）はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTCR0nレジスタはTDR0nレジスタの値をロードし，カウント動作を継続する。TCR0n = 0000H検出でINTTM0nを発生する。 以降，この動作を繰り返す。
動作停止	TT0レジスタの対象ビットに1を設定する → TT0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

動作再開

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 8. 3　分周器としての動作（チャネル0, 3のみ）

TI0n端子に入力したクロックを分周して，TO0n端子からクロック出力する分周器に利用できます。

TO0n出力の分周クロック周波数は次の式で求めることができます。

・立ち上がりエッジ／立ち下がりエッジ選択時：

分周クロック周波数 ＝ 入力クロック周波数／{（TDR0n の設定値＋1）×2}

・両エッジ選択時：

分周クロック周波数 ≒ 入力クロック周波数／（TDR0nの設定値＋1）

タイマ・カウンタ・レジスタ0n（TCR0n）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n）に1を設定後，TI0nの有効エッジ検出でTCR0nレジスタはタイマ・データ・レジスタ0n（TDR0n）の値をロードします。このときタイマ・モード・レジスタ0n（TMR0n）のMD0n0 = 0ならば，INTTM0nを出力せず，TO0nはトグルしません。TMR0nレジスタのMD0n0 = 1ならば，INTTM0nを出力して，TO0nをトグルします。

その後，TI0n端子入力の有効エッジに合わせてダウン・カウントを行い， TCR0n = 0000Hとなったら，TO0nをトグルします。同時にTCR0nレジスタはTDR0nレジスタの値をロードして，カウントを継続します。

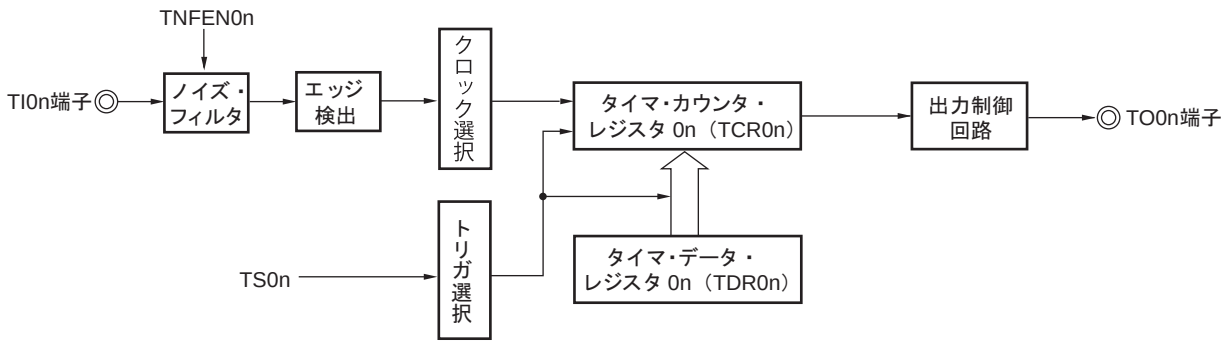
TI0n端子入力の両エッジ検出を選択すると，入力クロックのデューティ誤差がTO0n出力の分周クロック周期に影響します。

TO0nの出力クロックの周期には，最大で動作クロック（f_{MCK}）の1周期分のサンプリング誤差が含まれます。

TO0n出力のクロック周期 ＝ 理想のTO0n出力クロック周期±動作クロック周期（誤差）

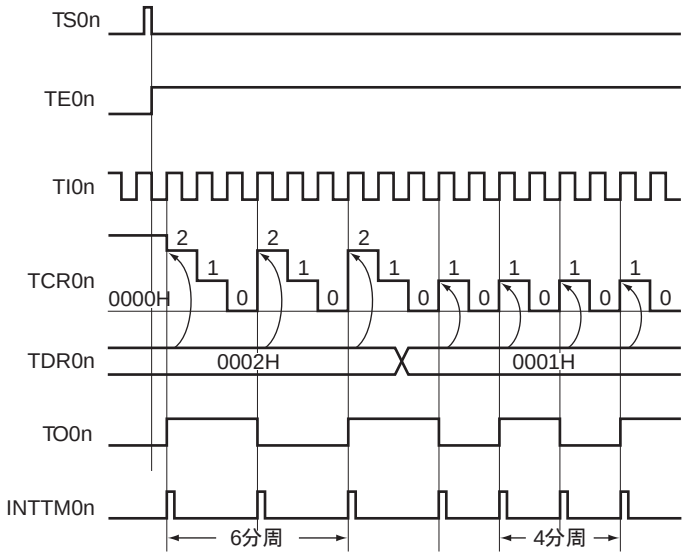
TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は次のカウント期間で有効となります。

図6－48　分周器としての動作のブロック図



備考　n = 0, 3

図6－49　分周器としての動作の基本タイミング例（MD0n0 = 1）



備考　n：チャネル番号。n = 0（10ピン製品），n = 0,3（16ピン製品）

TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

TI0n　：TI0n端子入力信号

TCR0n：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n：タイマ・データ・レジスタ0n（TDR0n）

TO0n　：TO0n端子出力信号

図6－50　分周器として動作時のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）

	TMR0nH								TMR0nL							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
TMR0n	CKS0n1			CCS0n	S注	STS0n2	STS0n1	STS0n0	CIS0n1	CIS0n0			MD0n3	MD0n2	MD0n1	MD0n0
	1/0	0	0	1	0	0	0	0	1/0	1/0	0	0	0	0	0	1/0

チャネル0の動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTM0n発生せず，タイマ出力反転せず
1：カウント開始時にINTTM0n発生し，タイマ出力反転する

TI00端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

SPLIT0nビットの設定（チャネル3）
0：16ビット・タイマ

カウント・クロック選択
1：TI00端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
0：チャネル0の動作クロックにCK00を選択
1：チャネル0の動作クロックにCK01を選択

（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 1/0	0：TO0nより0を出力する 1：TO0nより1を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 1/0	0：カウント動作によるTO0n出力動作停止（TO0nビットに設定したレベルをTO0n端子から出力） 1：カウント動作によるTO0n出力動作許可（TO0n端子からトグル出力）

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn	
TOL0	TOL0n 0	0：マスタ・チャネル出力モード（TOM0n = 0）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

注　TMR03の場合　：SPLIT03ビット
　　TMR00　　：0固定

備考　n：チャネル番号。n = 0（10ピン製品），n = 0,3（16ピン製品）

図6－51　分周器機能の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する（TAU0ENビットが0のときは，読み出し／書き込み不可）→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00, CK01）を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）を設定する タイマ・モード・レジスタ0n（TMR0n）を設定する （各チャネルの動作モードを確定，検出エッジの選択） タイマ・データ・レジスタ0n（TDR0n）にインターバル（周期）値を設定する（TDR0nH, TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照）	チャネルは動作停止状態
	タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する TO0nビットを設定し，TO0n出力の初期レベルを確定する TOE0nビットに1を設定し，TO0nの動作を許可 →	TO0n端子はHi-Z状態 （ポート・モード・レジスタは入力モード） チャネルは動作停止状態なので，TO0nは変化しない（TO0pビットを書き換えてもTO0p端子に反映されない）
	ポート・レジスタとポート・モード・レジスタに0を設定する（出力モード設定）→	TO0nビットに設定したレベルをTO0n端子から出力
動作開始	TOE0nビットに1を設定し，TO0nの動作を許可（動作再開時のみ） TS0レジスタの対象ビットに1を設定する →	TE0レジスタの対象ビットが1になり，カウント動作開始 次のカウント・クロックでタイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードする。 TMR0nLレジスタのMD0n0ビットが1の場合は，INTTM0nを発生し，TO0nもトグル動作する。
動作中	TDR0nレジスタは，任意に設定値変更が可能 TCR0nレジスタは，常に読み出し可能（TCR0nH, TCR0nLレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TO0, TOE0レジスタの対象ビットは，設定値変更可能 TMR0n，TOM0，TOL0レジスタの対象ビットは，設定値変更禁止	カウンタ（TCR0n）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCR0nレジスタはTDR0nレジスタの値をロードし，カウント動作を継続する。TCR0n = 0000H検出でINTTM0nを発生し，TO0nはトグル動作する。以降，この動作を繰り返す。
動作停止	TT0レジスタの対象ビットに1を設定する →	TE0レジスタの対象ビットが0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TO0n出力は初期化されず，状態保持
	TOE0nビットに0を設定し，TO0nビットに値を設定する →	TO0nビットに設定したレベルをTO0n端子から出力
TAU停止	TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出力ラッチ）を設定後，TO0nビットに0を設定する →	TO0n端子出力レベルはポート機能で保持される。
	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

動作再開

備考　n：チャネル番号。n = 0（10ピン製品），n = 0,3（16ピン製品）

6. 8. 4　入力パルス間隔測定としての動作

TI0n端子入力の有効エッジ検出でカウント値をキャプチャし，TI0n端子の入力パルス間隔を測定できます。また，TE0n = 1の期間中，ソフトウエアによりTS0n = 1を設定することで，カウント値をキャプチャすることもできます。

UART0のボー・レート補正を行う場合は，入力切り替え制御レジスタ（ISC）のビット1（ISC1）に1を設定してください。

また，以降の説明では「TI0n」を「RXD0」と読み替えてください。ISC1ビットに1を設定すると，シリアル・データ入力（RXD0）端子の入力信号がタイマ入力（TI01）として選択されます。入力パルス間隔測定モードを利用して，スタート・ビットの入力エッジ信号をトリガに通信相手のボー・レート（転送レート）幅を測定できます。

入力パルス間隔は次の式で求められます。

TI0n入力パルス間隔 = カウント・クロックの周期×（（10000H×TSR0n : OVF）＋（TDR0nのキャプチャ値＋1））

注意　TI0n端子入力は，タイマ・モード・レジスタ0n（TMR0n）のCKS0n1ビットで選択した動作クロック（f_{MCK}）**でサンプリングされるため，**動作クロック（f_{MCK}）**の1クロック分の誤差が発生します。**

タイマ・カウンタ·レジスタ0n（TCR0n）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n）に1を設定するとTCR0nレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TI0n端子入力の有効エッジを検出すると，TCR0nレジスタのカウント値をタイマ・データ・レジスタ0n（TDR0n）に転送（キャプチャ）すると同時に，TCR0nレジスタを0000Hにクリアして，INTTM0nを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタ0n（TSR0n）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

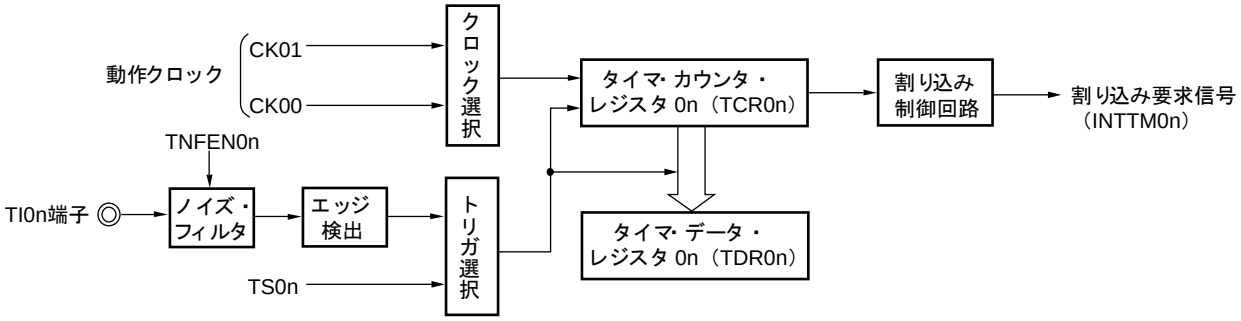
カウント値がTDR0nレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TSR0nレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ， TSR0nレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMR0nレジスタのSTS0n2-STS0n0 = 001Bに設定して，TI0n有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

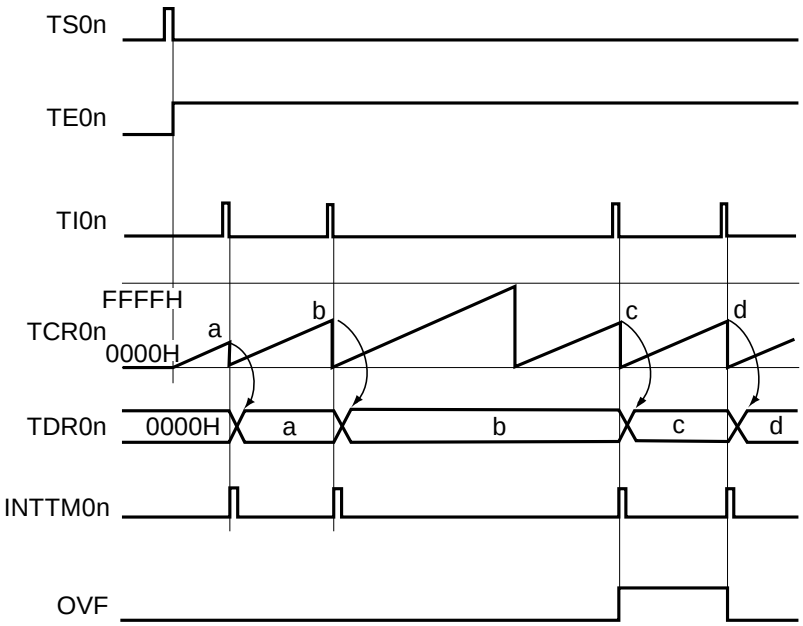
また，TI0n端子入力を使用せずに，ソフトウエア操作（TS0n = 1）をキャプチャ・トリガにすることもできます。TE0n = 1の期間中に，TS0nビットに1をセットして動作クロック（f_{MCK}）と同期化するタイミングでカウント値をキャプチャします。

図6－52　入力パルス間隔測定としての動作のブロック図



備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

★ **図6－53　入力パルス間隔測定としての動作の基本タイミング例（MD0n0 = 0）**



備考1.　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

2.　TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

TI0n　：TI0n端子入力信号

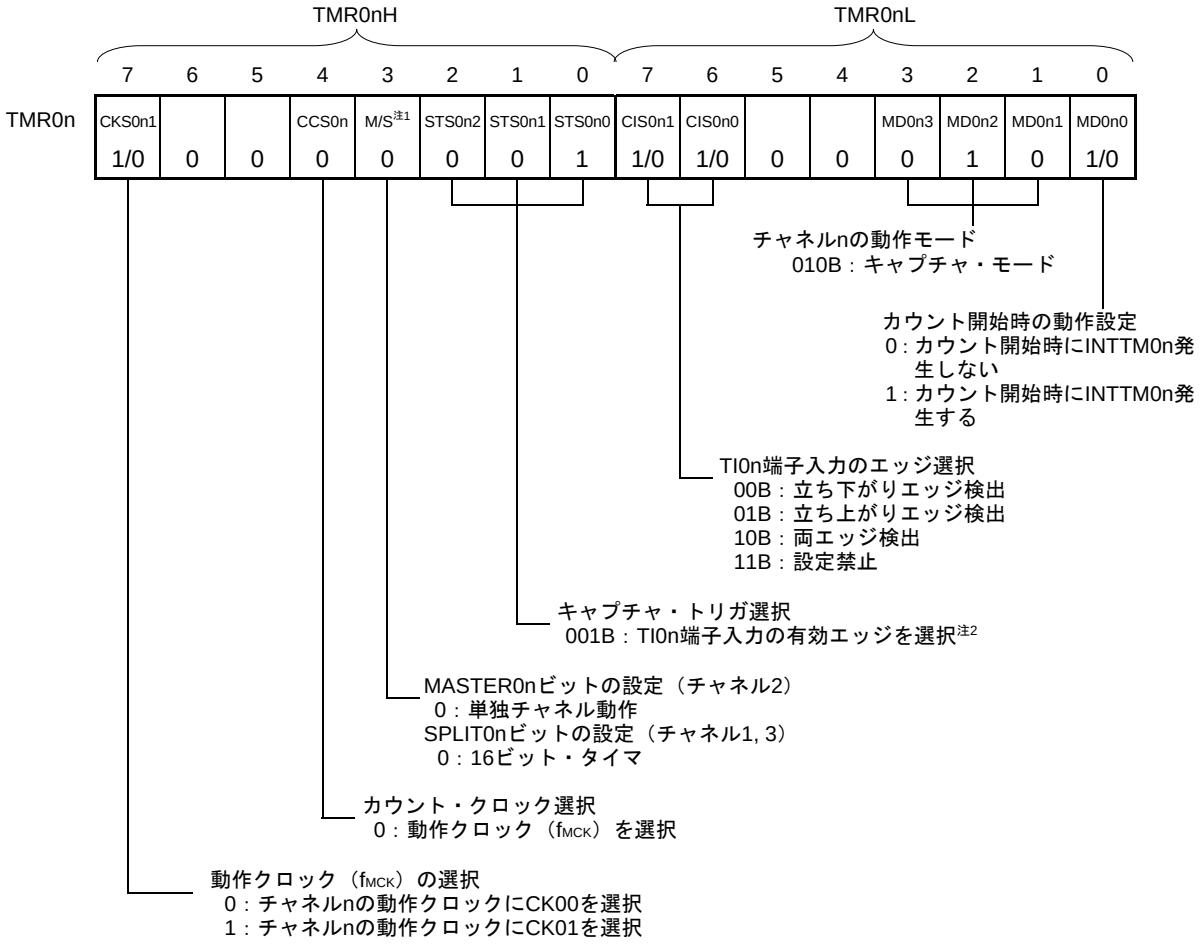
TCR0n　：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n　：タイマ・データ・レジスタ0n（TDR0n）

OVF　：タイマ・ステータス・レジスタ0n（TSR0n）のビット0

図6－54　入力パルス間隔測定のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）



（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 0	0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 0	0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn	
TOL0	TOL0n 0	0：マスタ・チャネル出力モード（TOM0n = 0）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

注1.　TMR02の場合　　：MASTER0nビット
　　TMR01, TMR03の場合　：SPLIT0nビット
　　TMR00　　：0固定

2.　TI0n端子入力を使用せず，ソフトウエア操作（TS0n = 1）をスタート・トリガにすることもできます。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－55　入力パルス間隔測定の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0のTAU0ENビットに1を設定する（TAU0ENビットが0のときは，読み出し／書き込み不可）→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00，CK01）を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）を設定する タイマ・モード・レジスタ0n（TMR0n）を設定する （各チャネルの動作モードを確定，検出エッジの選択） タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0（TOE0）の対象ビットに0を設定する	チャネルは動作停止状態
動作開始	TS0レジスタの対象ビットに1を設定する → TS0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが1になり，カウント動作開始 次のカウント・クロックでタイマ・カウンタ・レジスタ0n（TCR0n）を0000Hにクリアする。TMR0nレジスタのMD0n0ビットが1の場合は，INTTM0nを発生する。
動作中	TMR0nレジスタは，CIS0n1, CIS0n0ビットのみ設定値変更可能 TDR0nレジスタは，常に読み出し可能（TDR0nH, TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照） TCR0nレジスタは，常に読み出し可能（TCR0nH, TCR0nLレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TSR0nレジスタは，常に読み出し可能 TO0, TOE0, TOM0n, TOL0レジスタの対象ビットは，設定値変更禁止	カウンタ（TCR0n）は0000Hからアップ・カウント動作を行い，TI0n端子入力の有効エッジが検出または，TS0nビットに1を設定すると，カウント値をタイマ・データ・レジスタ0n（TDR0n）に転送（キャプチャ）する。同時に，TCR0nレジスタを0000Hにクリアし，INTTM0nを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタ0n（TSR0n）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。 以降，この動作を繰り返す。
動作停止	TT0レジスタの対象ビットに1を設定する → TT0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

動作再開

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 8. 5　入力信号のハイ／ロウ・レベル幅測定としての動作

TI0n端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TI0nの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定できます。TI0nの信号幅は次の式で求められます。

TI0n入力の信号幅 =
カウント・クロックの周期×（（10000H×TSR0n : OVF）＋（TDR0nのキャプチャ値＋1））

注意　TI0n端子入力は，タイマ・モード・レジスタ0n（TMR0n）のCKS0n1ビットで選択した動作クロック（f_{MCK}）**でサンプリングされるため，**動作クロック（f_{MCK}）**の1クロック分の誤差が発生します。**

タイマ・カウンタ・レジスタ0n（TCR0n）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n）に1を設定すると，TE0n = 1となりTI0n端子のスタート・エッジ検出待ち状態となります。

TI0n端子入力のスタート・エッジ（ハイ・レベル幅測定ならTI0n端子入力の立ち上がりエッジ）を検出すると，カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後，キャプチャ有効エッジ（ハイ・レベル幅測定ならTI0n端子入力の立ち下がりエッジ）を検出すると，カウンタ値をタイマ・データ・レジスタ0n（TDR0n）に転送すると同時にINTTM0nを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタ0n（TSR0n）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。TCR0nレジスタは，「TDR0nレジスタに転送した値＋1」の値で停止し，TI0n端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDR0nレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて， TSR0nレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ， TSR0nレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TI0n端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは， TMR0nレジスタのCIS0n1, CIS0n0ビットで設定できます。

この機能は，TI0n端子入力の信号幅測定を目的とするため，TE0n = 1期間中のTS0nビットのセット（1）は使用できません。

TMR0nレジスタのCIS0n1, CIS0n0 = 10B：ロウ・レベル幅を測定する
TMR0nレジスタのCIS0n1, CIS0n0 = 11B：ハイ・レベル幅を測定する

図6－56　入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図

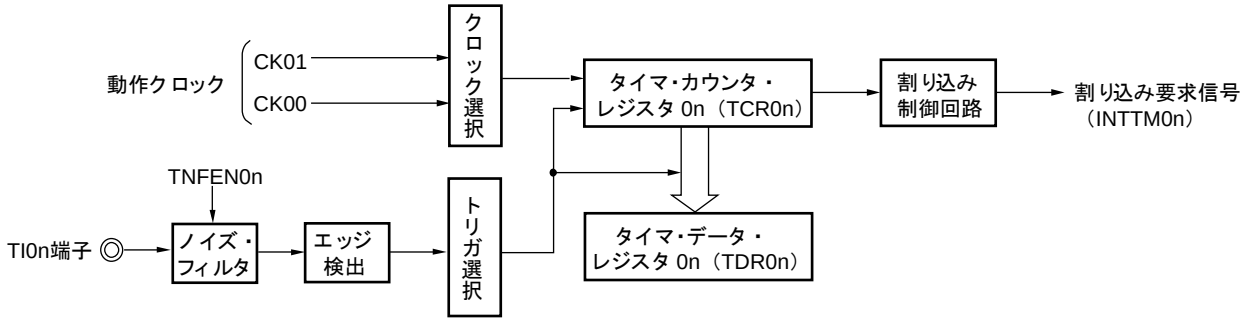
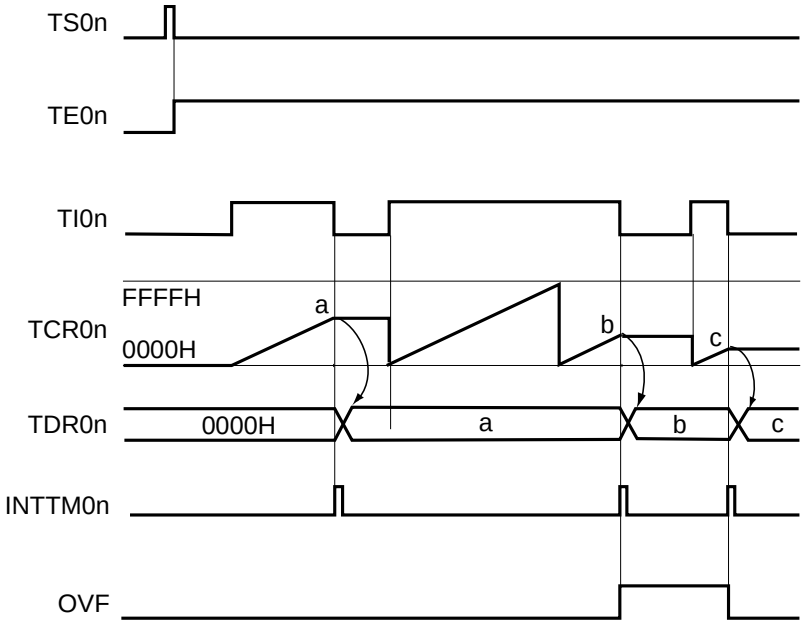


図6－57　入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例



備考1. n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

2. TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

TI0n　：TI0n端子入力信号

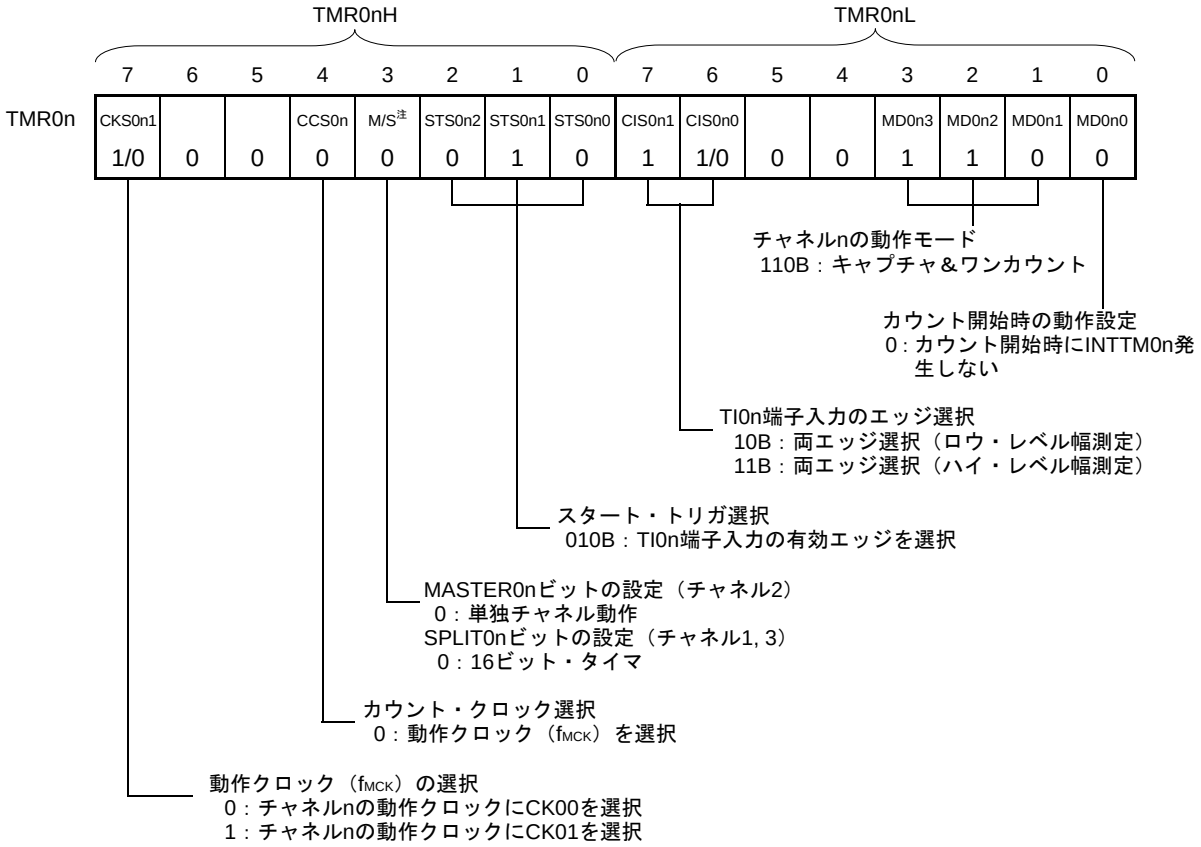
TCR0n　：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n　：タイマ・データ・レジスタ0n（TDR0n）

OVF　：タイマ・ステータス・レジスタ0n（TSR0n）のビット0

図6－58　入力信号のハイ／ロウ・レベル幅測定のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）



（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 0	0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 0	0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOL0	TOL0n 0	0：マスタ・チャネル出力モード（TOM0n = 0）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

注　TMR02の場合　　：MASTER0nビット

TMR01, TMR03の場合：SPLIT0nビット

TMR00　　：0固定

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－59　入力信号のハイ／ロウ・レベル幅測定の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する（TAU0ENのビットが0のときは，読み出し／書き込み不可） →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00, CK01）を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）を設定する タイマ・モード・レジスタ0n（TMR0n）を設定する （各チャネルの動作モードを確定，検出エッジの選択） タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0（TOE0）の対象ビットに0を設定する	チャネルは動作停止状態
動作開始	TS0レジスタの対象ビットに1を設定する →	TE0レジスタの対象ビットが1になり，TI0n端子のスタート・エッジ検出待ち状態になる
	TS0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	
	TI0n端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタ0n（TCR0n）を0000Hにクリアし，カウント・アップ動作を開始する
動作中	TDR0nレジスタは，常に読み出し可能（TDR0nH, TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照） TCR0nレジスタは，常に読み出し可能（TCR0nH, TCR0nLレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TSR0nレジスタは，常に読み出し可能 TMR0n, TO0, TOE0, TOM0, TOL0 レジスタ の対象ビットは，設定値変更禁止	TI0n端子のスタート・エッジ検出後，カウンタ（TCR0n）は0000Hからアップ・カウント動作を行う。TI0n端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタ0n（TDR0n）に転送し，INTTM0nを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタ0n（TSR0n）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。TCR0nレジスタは，次のTI0n端子のスタート・エッジ検出までカウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TT0レジスタの対象ビットに1を設定する →	TE0レジスタの対象ビットが0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

動作再開

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6. 8. 6　ディレイ・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし，任意の設定間隔で割り込み要求信号（INTTM0n）を発生できます。

また，TE0n = 1の期間中，ソフトウエアによりTS0n = 1に設定することで，ダウン・カウントをスタートさせ，任意の設定間隔でINTTM0nを発生することもできます。

割り込み要求信号（INTTM0n）の発生周期は，次の式で求められます。

割り込み要求信号（INTTM0n）の発生周期 = カウント・クロックの周期×（TDR0nの設定値＋1）

注意　TI0n端子入力は，タイマ・モード・レジスタ0n（TMR0n）のCKS0n1ビットで選択した動作クロック（f_{MCK}）**でサンプリングされるため，**動作クロック（f_{MCK}）**の1クロック分の誤差が発生します。**

チャネル1,3を8ビット・タイマ動作機能として使用する（SPLIT0n=1）ときは，下位8ビット・タイマのみがディレイ・カウンタとして使用できます。

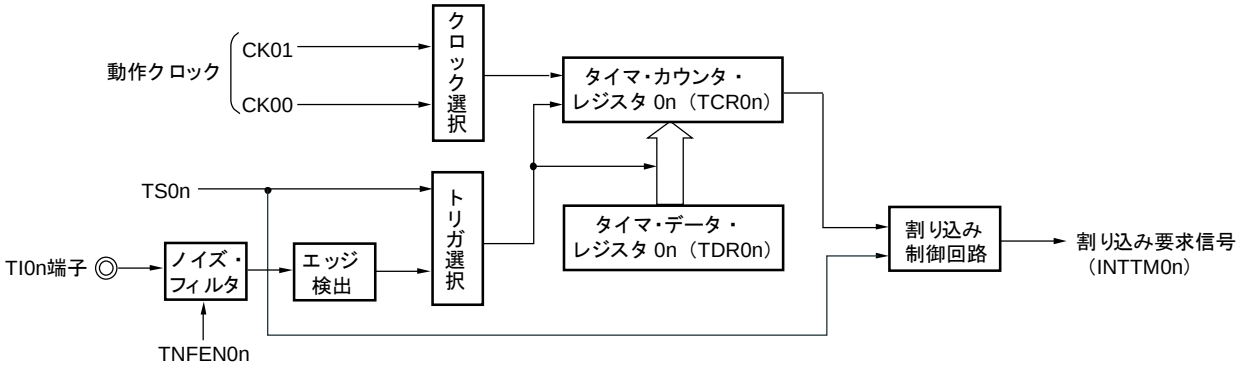
タイマ・カウンタ・レジスタ0n（TCR0n）はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n）に1を設定すると，TE0n = 1となりTI0n端子の有効エッジ検出待ち状態となります。

TCR0nレジスタは，TI0n端子入力の有効エッジ検出で動作を開始し，タイマ・データ・レジスタ0n（TDR0n）から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，　TCR0n = 0000Hとなったら INTTM0nを出力し，次のTI0n端子入力の有効エッジがあるまで，TCR0n = FFFFHでカウント動作を停止します。

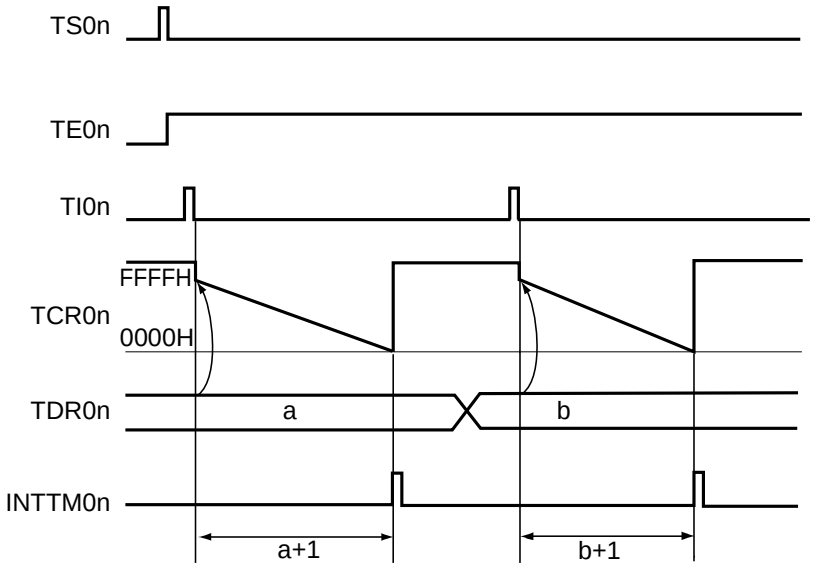
TDR0nレジスタは任意のタイミングで書き換えることができます。書き換えたTDR0nレジスタの値は，次の周期から有効となります。

図6－60　ディレイ・カウンタとしての動作のブロック図



備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－61　ディレイ・カウンタとしての動作の基本タイミング例



備考1. n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

2. TS0n　：タイマ・チャネル開始レジスタ0（TS0）のビットn

TE0n　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn

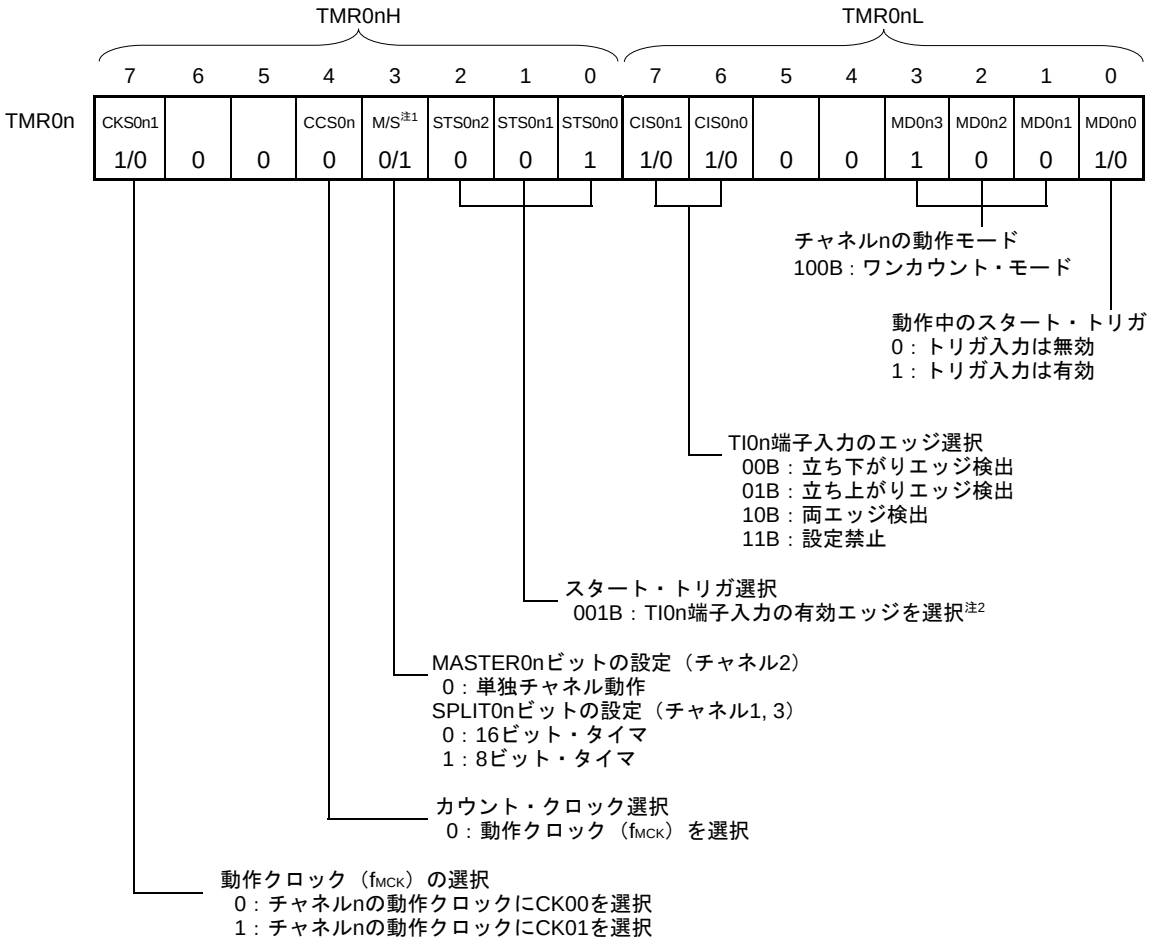
TI0n　：TI0n端子入力信号

TCR0n：タイマ・カウンタ・レジスタ0n（TCR0n）

TDR0n：タイマ・データ・レジスタ0n（TDR0n）

図6－62　ディレイ・カウンタのレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）



（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 0	0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 0	0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn	
TOL0	TOL0n 0	0：マスタ・チャネル出力モード（TOM0n = 0）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

注1.　TMR02の場合　　：MASTER0nビット
　　TMR01, TMR03の場合　：SPLIT0nビット
　　TMR00　　：0固定
　2.　TI0n端子入力を使用せず，ソフトウエア操作（TS0n = 1）をスタート・トリガにすることもできます。

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

図6－63　ディレイ・カウンタの操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する（TAU0ENビットが0のときは，読み出し／書き込み不可）→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00, CK01）を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）を設定する タイマ・モード・レジスタ0n（TMR0n）を設定する （各チャネルの動作モードを確定，検出エッジの選択） タイマ・データ・レジスタ0n（TDR0n）に遅延時間を設定する（TDR0nH，TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照） タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0（TOE0）の対象ビットに0を設定する	チャネルは動作停止状態
動作開始	TS0レジスタの対象ビットに1を設定する → TS0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが1になり，スタート・トリガ検出（TI0n端子入力の有効エッジ検出または，TS0nビットに1を設定）待ち状態になる
	次のスタート・トリガ検出によって，カウント動作開始 ・TI0n端子入力の有効エッジ検出 → ・ソフトウエアによりTS0nビットに1を設定	タイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし，ダウン・カウント動作を開始する。
動作中	TDR0nレジスタは，任意に設定値変更が可能 TCR0nレジスタは，常に読み出し可能（TCR0nH，TCR0nLレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TMR0n，TO0，TOE0，TOM0，TOL0レジスタの対象ビットは，設定値変更禁止	カウンタ（TCR0n）はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生し，次のスタート・トリガ検出（TI0n端子入力の有効エッジ検出または，TS0nビットに1を設定）までTCR0n = FFFFHでカウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TT0レジスタの対象ビットに1を設定する → TT0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが0になり，カウント動作停止 TCR0nレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

動作再開

備考　n：チャネル番号。n = 0,1（10ピン製品），n = 0-3（16ピン製品）

6.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1　ワンショット・パルス出力としての動作

2チャネルをセットで使用します。TI0n端子入力により任意のディレイ（出力遅延時間）を持ったワンショット・パルスを生成できます。

また，TE0n = 1の期間中，ソフトウエアによりTS0n = 1に設定することで，ダウン・カウントをスタートさせることもできます。

ディレイとワンショット・パルス幅は，次の式で求められます。

ディレイ ＝｛TDR0n（マスタ）の設定値＋2｝×カウント・クロック周期
ワンショット・パルス幅 ＝｛TDR0p（スレーブ）の設定値｝×カウント・クロック周期

注意　TI0n端子入力は，タイマ・モード・レジスタ0n（TMR0n）のCKS0n1ビットで選択した動作クロック（f_{MCK}）**でサンプリングされるため，**動作クロック（f_{MCK}）**の1クロック分の誤差が発生します。**

マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ0n（TCR0n）は，スタート・トリガ検出で動作を開始し，タイマ・データ・レジスタ0n（TDR0n）から値をロードします。TCR0nレジスタはロードしたTDR0nレジスタの値からカウント・クロック（f_{TCLK}）に合わせてダウン・カウントを行い，　TCR0n ＝ 0000HとなったらINTTM0nを出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

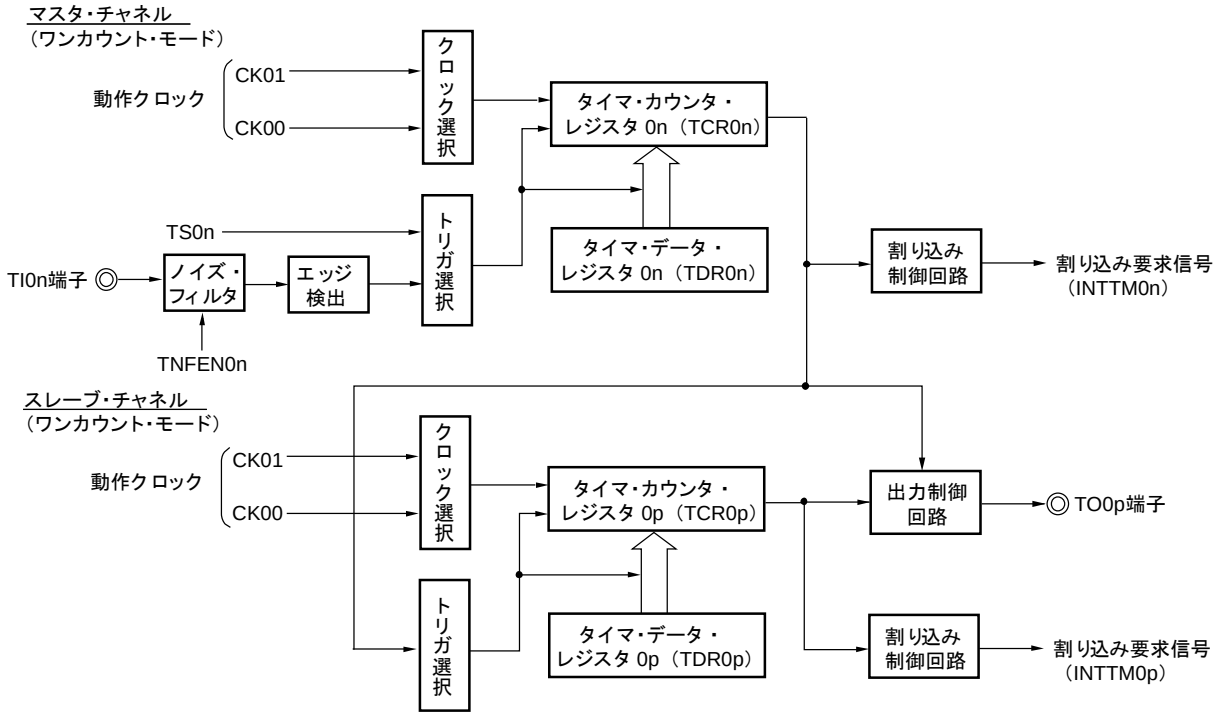
スレーブ・チャネルは，ワンカウント・モードで動作し，ワンショット・パルス幅をカウントします。スレーブ・チャネルのTCR0pレジスタは，マスタ・チャネルのINTTM0nをスタート・トリガとして動作を開始し，TDR0pレジスタから値をロードします。TCR0pレジスタはロードした値からカウント・クロック（f_{TCLK}）に合わせてダウン・カウントを行います。そしてTCR0p = 0000HとなったらINTTM0pを出力して，次のスタート・トリガ（マスタ・チャネルのINTTM0n）検出があるまで，TCR0p = FFFFHでカウント動作を停止します。TO0pの出力レベルは，マスタ・チャネルのINTTM0n発生からカウント・クロック（f_{TCLK}）の1クロック後にアクティブ・レベルとなり，　TCR0p = 0000Hとなったらインアクティブ・レベルとなります。

注意　マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0n）とスレーブ・チャネルのTDR0pレジスタでは，ロード・タイミングが異なるため，動作中にTDR0nレジスタ，TDR0pレジスタを書き換えると不正波形が出力される可能性があります。TDR0nレジスタはINTTM0n発生後に，TDR0pレジスタはINTTM0p発生後に書き換えてください。

備考　n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n< p≦3）

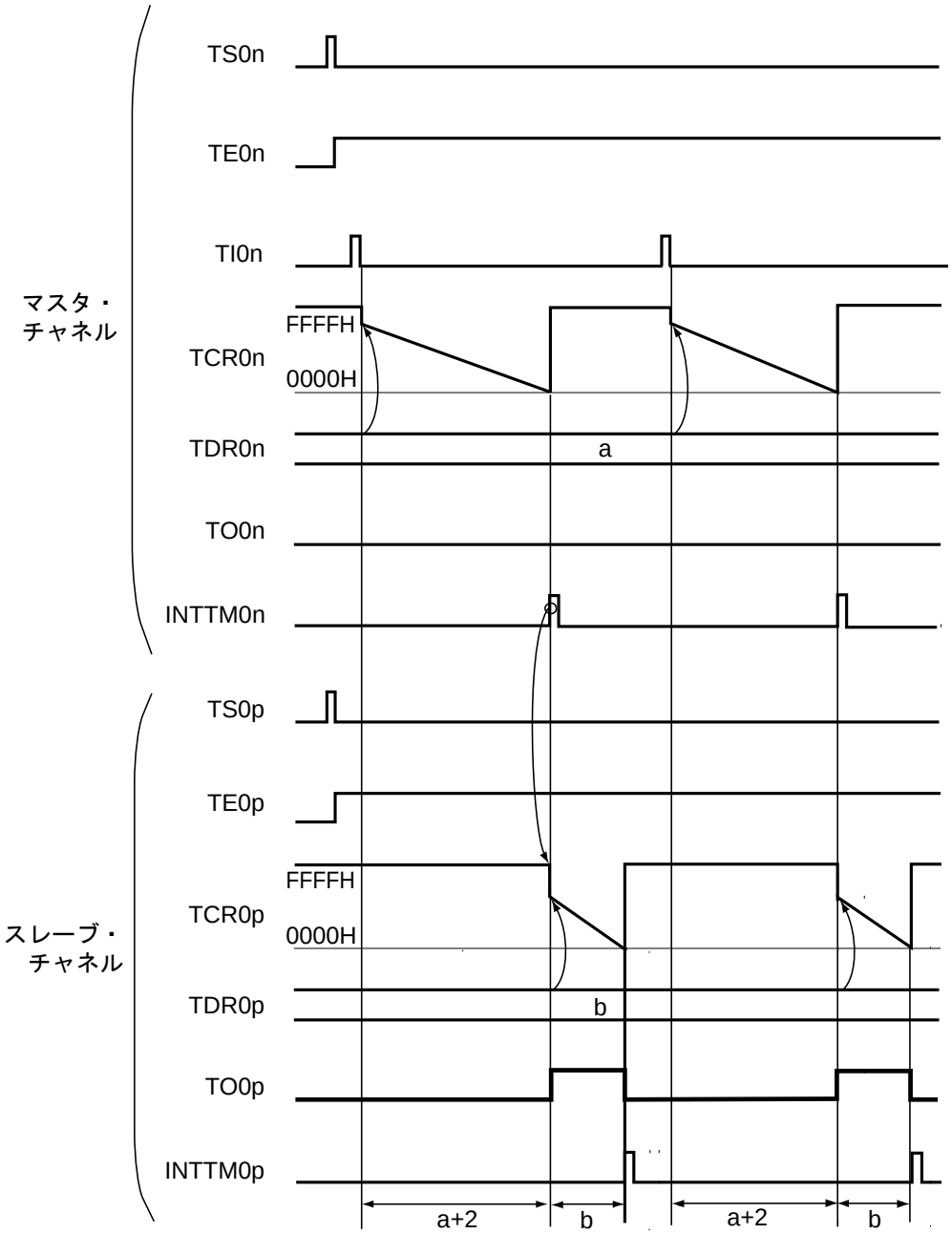
図6－64　ワンショット・パルス出力としての動作のブロック図



備考　n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n< p ≦3）

図6－65　ワンショット・パルス出力としての動作の基本タイミング例



備考1. n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n< p ≦3）

2. TS0n, TS0p　：タイマ・チャネル開始レジスタ0（TS0）のビットn, p

TE0n, TE0p　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn, p

TI0n, TI0p　：TI0n, TI0p端子入力信号

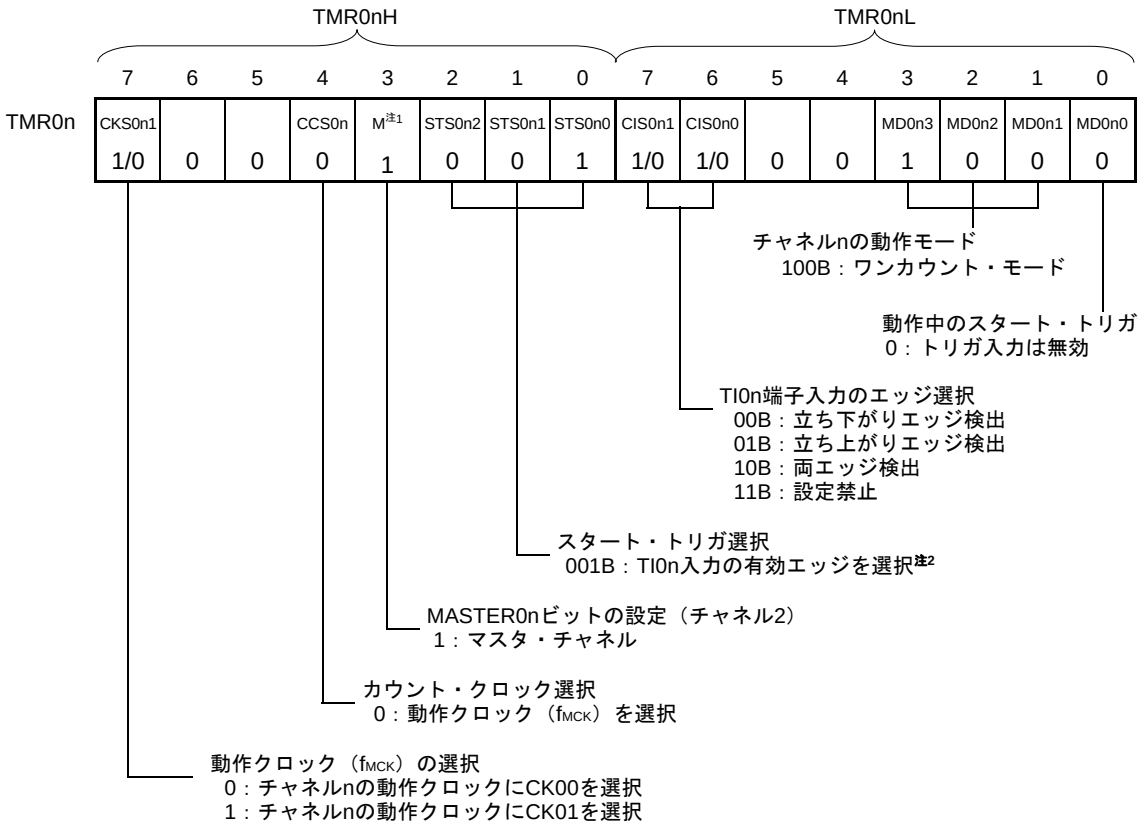
TCR0n, TCR0p ：タイマ・カウンタ・レジスタ0n, 0p（TCR0n, TCR0p）

TDR0n, TDR0p ：タイマ・データ・レジスタ0n, 0p（TDR0n, TDR0p）

TO0n, TO0p　：TO0n, TO0p端子出力信号

図6－66　ワンショット・パルス出力（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）



（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 0	0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 0	0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn	
TOL0	TOL0n 0	0：TOM0n = 0（マスタ・チャネル出力モード）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

注1.　TMR02の場合　：MASTER02ビット

TMR00　：0固定

2.　TI0n端子入力を使用せず，ソフトウエア操作（TS0n = 1）をスタート・トリガにすることもできます。

備考　n：マスタ・チャネル番号（n = 0, 2）

図6－67　ワンショット・パルス出力（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0p（TMR0pH, TMR0pL）

	TMR0pH								TMR0pL							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
TMR0p	CKS0p1			CCS0p	M/S注	STS0p2	STS0p1	STS0p0	CIS0p1	CIS0p0			MD0p3	MD0p2	MD0p1	MD0p0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TI0p端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTM0nを選択

MASTER0pビットの設定（チャネル2）
0：スレーブ・チャネル
SPLIT0pビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（fMCK）の選択
0：チャネルpの動作クロックにCK00を選択
1：チャネルpの動作クロックにCK01を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタ0（TO0）

	ビットp	
TO0	TO0p 1/0	0：TO0pより0を出力する 1：TO0pより1を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットp	
TOE0	TOE0p 1/0	0：カウント動作によるTO0p出力動作停止（TO0pビットに設定したレベルをTO0p端子から出力） 1：カウント動作によるTO0p出力動作許可（TO0p端子からトグル出力）

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットp	
TOL0	TOL0p 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットp	
TOM0	TOM0p 1	1：スレーブ・チャネル出力モードを設定

注　TMR02の場合　　：MASTER0nビット
　　TMR01, TMR03の場合：SPLIT0pビット

備考　n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n < p ≦3）

図6－68　ワンショット・パルス出力の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する（TAU0ENビットが0のときは，読み出し／書き込み不可）→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00, CK01）を確定する	
チャネル初期設定	タイマ・モード・レジスタ0n, p（TMR0n, TMR0p）を設定する（各チャネルの動作モードを確定，マスタ・チャネルの検出エッジの選択） タイマ・データ・レジスタ0n, p（TDR0n, TDR0p）にマスタ・チャネルの出力遅延時間，スレーブ・チャネルのワンショット・パルス幅を設定する（TDR0nH, TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照）	チャネルは動作停止状態
	マスタ・チャネルの設定 ノイズ・フィルタ許可レジスタ1（NFEN1）を設定する タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0（TOE0）の対象ビットに0を設定する スレーブ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）の対象ビットに1（スレーブ・チャネル出力モード）を設定する TOL0レジスタの対象ビットを設定する TO0pビットを設定し，TO0p出力の初期レベルを確定する TOE0pビットに1を設定し，TO0pの動作を許可 →	TO0p端子はHi-Z状態 （ポート・モード・レジスタは入力モード） チャネルは動作停止状態なので，TO0pは変化しない（TO0pビットを書き換えてもTO0p端子に反映されない）
	ポート・レジスタとポート・モード・レジスタに0を設定する （出力モード設定）→	TO0pビットに設定したレベルをTO0p端子から出力

備考　n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n < p ≦3）

図6－68　ワンショット・パルス出力の操作手順（2/2）

		ソフトウエア操作	ハードウエアの状態
動作再開	動作開始	スレーブ・チャネルのTOE0pビットに1を設定し，TO0pの動作を許可（動作再開時のみ） TS0レジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する TS0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが1となり，マスタ・チャネルはTI0n端子入力の有効エッジ検出待ち状態になる
		次のスタート・トリガ検出によって，カウント動作開始 ・TI0n端子入力の有効エッジ検出 ・ソフトウエアによりTS0nビットに1を設定	マスタ・チャネルのタイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし，ダウン・カウント動作を開始する。
	動作中	マスタ・チャネルの設定変更 TCR0nレジスタは，常に読み出し可能（TCR0nH，TCR0nLレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TMR0nレジスタは，CIS0n1，CIS0n0ビットのみ設定値変更可能 TDR0n，TO0，TOE0，TOM0，TOL0レジスタの対象ビットは，設定値変更禁止 スレーブ・チャネルの設定変更 TCR0pレジスタは，常に読み出し可能 TO0p，TOE0p，TOM0，TOL0レジスタの対象ビットは，設定値変更可能 TMR0p，TDR0pレジスタは，設定値変更禁止	マスタ・チャネルのカウンタ（TCR0n）はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生し，次のスタート・トリガ検出（TI0n端子入力の有効エッジ検出または，TS0nビットに1を設定）までTCR0n = FFFFHでカウント動作を停止する。 スレーブ・チャネルは，マスタ・チャネルのINTTM0nをスタート・トリガとして，TCR0pレジスタはTDR0pレジスタの値をロードし，ダウン・カウント動作を開始する。マスタ・チャネルのINTTM0n発生からカウント・クロック（f_{TCLK}）の1クロック後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして，TCR0p = FFFFHでカウント動作を停止する。 以降，この動作を繰り返す。
	動作停止	TT0レジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する TT0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが0になり，カウント動作停止 TCR0n，TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず，状態保持
		スレーブ・チャネルのTOE0pビットに0を設定し，TO0pビットに値を設定する	TO0pビットに設定したレベルをTO0p端子から出力
	TAU停止	TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出力ラッチ）を設定後，TO0pビットに0を設定する	TO0p端子出力レベルはポート機能で保持される。
		PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

備考　n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n < p ≦3）

6. 9. 2　2入力式ワンショット・パルス出力としての動作

2端子入力（TI0n，TI0p端子入力）により任意のディレイ（出力遅延時間）を持ったワンショット・パルスを生成できます。2入力式ワンショット・パルス出力は，16ピン製品のみ利用できます。

ディレイ（出力遅延時間）とワンショット・パルス幅は，次の式で求められます。

ディレイ ＝｛TDR0n（マスタ）の設定値＋2｝×カウント・クロック周期
ワンショット・パルスのアクティブ・レベル幅 ＝
カウント・クロックの周期×（（10000H×TSR0p : OVF）＋（TDR0p（スレーブ）のキャプチャ値＋1））

注意　TI0n, TI0p端子入力は，タイマ・モード・レジスタ0n（TMR0n）のCKS0n1ビットで選択した動作クロック（f_{MCK}）**でサンプリングされるため，**動作クロック（f_{MCK}）**の1クロック分の誤差が発生します。**

マスタ・チャネルは，ワンカウント・モードとして動作させます。マスタ・チャネルのTI0n端子入力の有効エッジ検出をスタート・トリガにしてディレイ（出力遅延時間）をカウントします。TI0n端子入力によりスタート・トリガ検出すると，タイマ・データ・レジスタ0n（TDR0n）に設定した値をタイマ・カウンタ・レジスタ0n（TCR0n）にロードし，カウント・クロック（f_{TCLK}）に合わせてダウン・カウントを行います。TCR0n = 0000Hとなったら INTTM0nを出力し，TO0p端子からアクティブ・レベルを出力します。次のスタート・トリガ検出があるまで，マスタ・チャネルはカウント動作を停止します。

スレーブ・チャネルは，キャプチャ・モードとして動作させます。スレーブ・チャネルのTI0p端子入力の有効エッジ検出をエンド・トリガとしてワンショット・パルスをインアクティブ・レベルにします。

TI0p端子入力によりエンド・トリガ検出すると，TCR0pレジスタのカウント値をTDR0pレジスタに転送（キャプチャ）して，TCR0pレジスタを0000Hにクリアします。それと同時に，INTTM0pを出力し，TO0p端子からインアクティブ・レベルを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタ0p（TSR0p）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

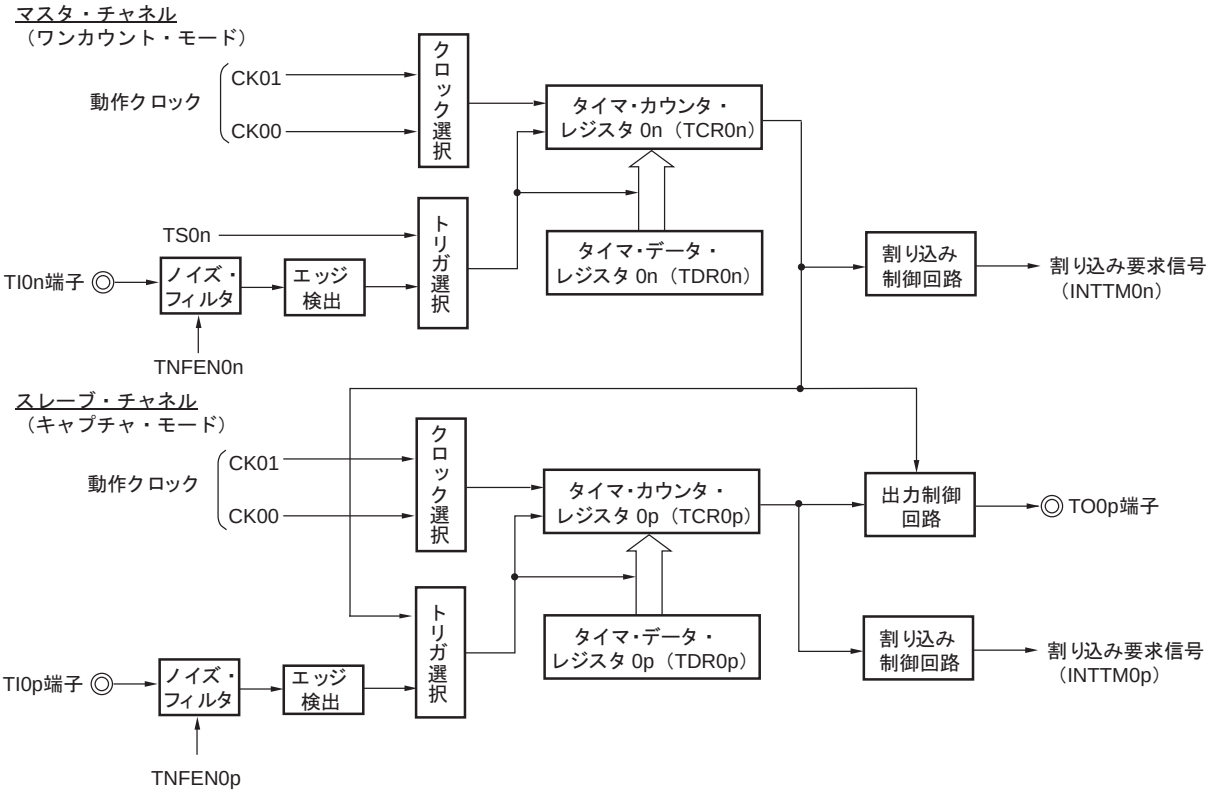
カウント値がTDR0pレジスタにキャプチャされると同時に，アクティブ・レベル期間のオーバフロー有無に応じて，TSR0pレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ， TSR0pレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

マスタ・チャネルのスタート・アップ検出は，TI0n端子入力を使用せず，ソフトウエア操作（TS0n = 1）をスタート・トリガにすることもできます。

備考　n：マスタ・チャネル番号（n = 0, 2），p：スレーブ・チャネル番号（p =3）

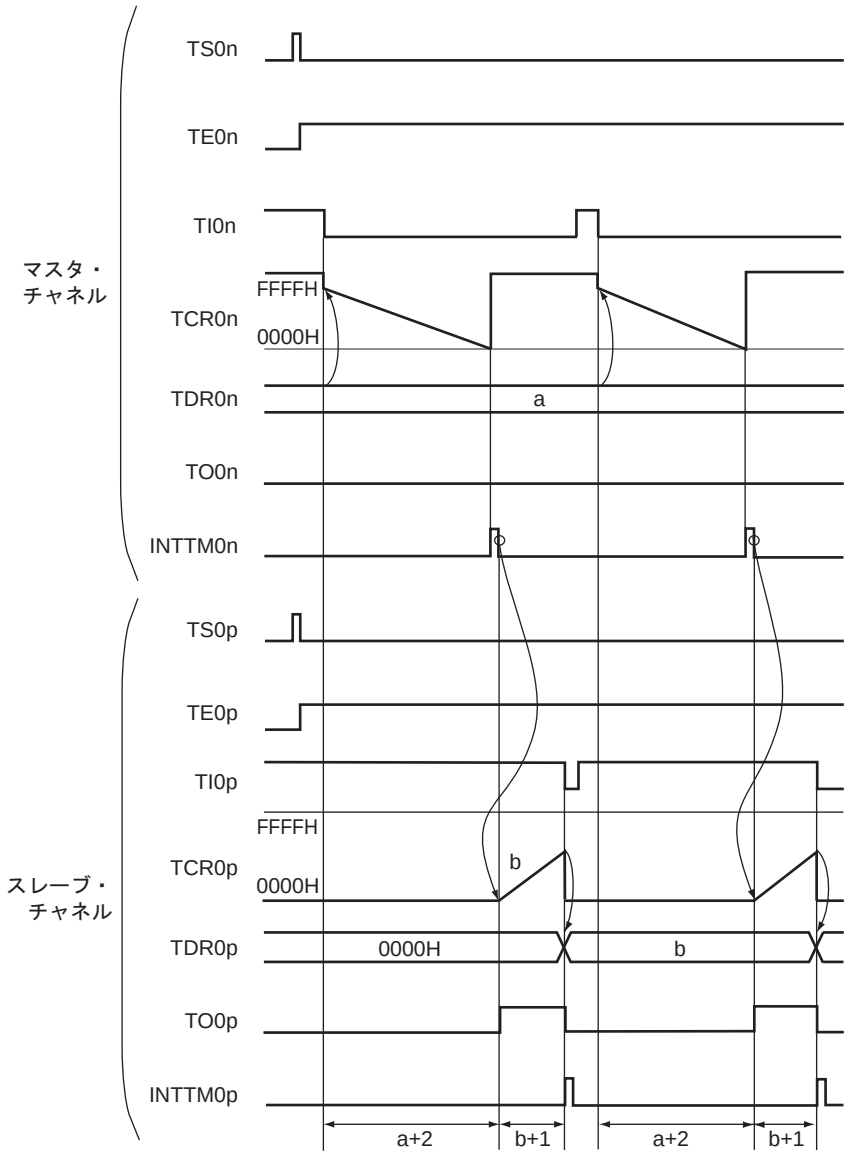
図6－69　2入力式ワンショット・パルス出力としての動作のブロック図



備考　n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（p = 3）

図6－70　2入力式ワンショット・パルス出力としての動作の基本タイミング例



備考1.　n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（p = 3）

2.　TS0n, TS0p　：タイマ・チャネル開始レジスタ0（TS0）のビットn, p

TE0n, TE0p　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn, p

TI0n, TI0p　：TI0n, TI0p端子入力信号

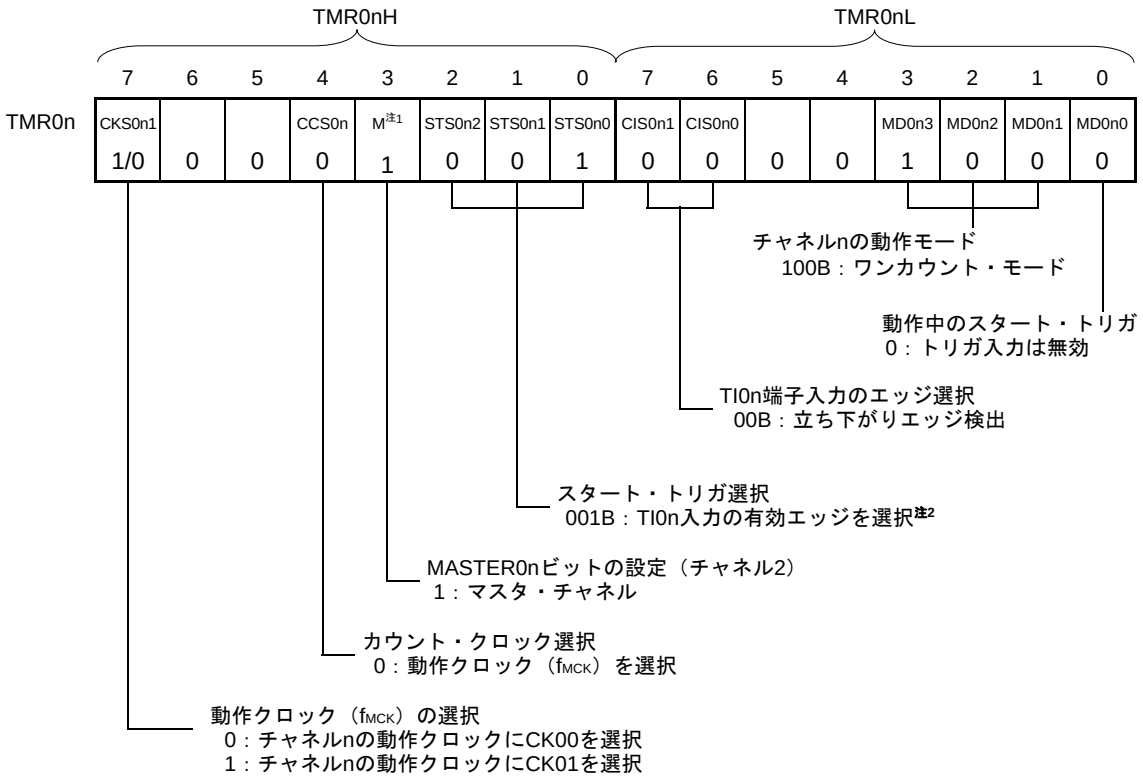
TCR0n, TCR0p　：タイマ・カウンタ・レジスタ0n, 0p（TCR0n, TCR0p）

TDR0n, TDR0p　：タイマ・データ・レジスタ0n, 0p（TDR0n, TDR0p）

TO0n, TO0p　：TO0n, TO0p端子出力信号

図6－71　2入力式ワンショット・パルス出力（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）



（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 0	0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 0	0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn	
TOL0	TOL0n 0	0：TOM0n = 0（マスタ・チャネル出力モード）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

注1.　TMR02の場合　：MASTER02ビット

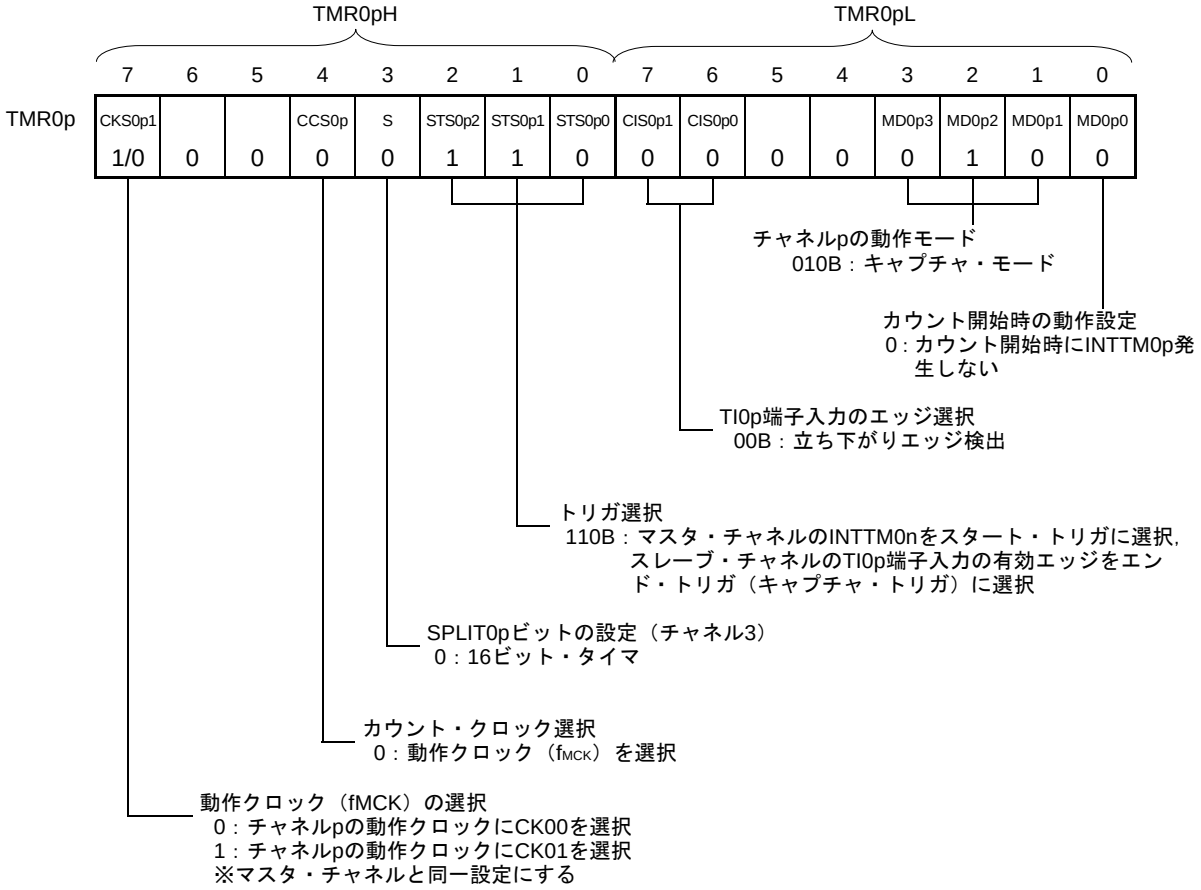
TMR00　：0固定

2.　TI0n端子入力を使用せず，ソフトウエア操作（TS0n = 1）をスタート・トリガにすることもできます。

備考　n：マスタ・チャネル番号（n = 0, 2）

図6－72　2入力式ワンショット・パルス出力（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0p（TMR0pH, TMR0pL）



（b）タイマ出力レジスタ0（TO0）

	ビットp	
TO0	TO0p 1/0	0：TO0pより0を出力する 1：TO0pより1を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットp	
TOE0	TOE0p 1/0	0：カウント動作によるTO0p出力動作停止（TO0pビットに設定したレベルをTO0p端子から出力） 1：カウント動作によるTO0p出力動作許可（TO0p端子からトグル出力）

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットp	
TOL0	TOL0p 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットp	
TOM0	TOM0p 1	1：スレーブ・チャネル出力モードを設定

備考　n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（p = 3）

図6－73　2入力式ワンショット・パルス出力の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する（TAU0ENビットが0のときは，読み出し／書き込み不可）→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00, CK01）を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）を設定する タイマ・モード・レジスタ0n, p（TMR0n, TMR0p）を設定する（各チャネルの動作モードを確定，検出エッジの選択）	チャネルは動作停止状態
	マスタ・チャネルの設定 タイマ・データ・レジスタ0n（TDR0n）にディレイ（出力遅延時間）を設定する（TDR0nH，TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照）タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0（TOE0）の対象ビットに0を設定する スレーブ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）の対象ビットに1（スレーブ・チャネル出力モード）を設定する TOL0レジスタの対象ビットを設定する TO0pビットを設定し，TO0p出力の初期レベルを確定する TOE0pビットに1を設定し，TO0pの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する（出力モード設定）→	TO0p端子はHi-Z状態 （ポート・モード・レジスタは入力モード） チャネルは動作停止状態なので，TO0pは変化しない（TO0pビットを書き換えてもTO0p端子に反映されない） TO0pビットに設定したレベルをTO0p端子から出力

備考　n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（p = 3）

図6－73　2入力式ワンショット・パルス出力の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	スレーブ・チャネルのTOE0pビットに1を設定し，TO0pの動作を許可（動作再開時のみ） TS0レジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する TS0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが1となり，マスタ・チャネルはTI0n端子入力の有効エッジ検出待ち状態になる
	次のスタート・トリガ検出によって，カウント動作開始 ・TI0n端子入力の有効エッジ検出 ・ソフトウエアによりTS0nビットに1を設定	マスタ・チャネルのタイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし，ダウン・カウント動作を開始する。
動作中	マスタ・チャネルの設定変更 TCR0nレジスタは，常に読み出し可能（TCR0nH，TCR0nLレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TMR0nレジスタは，CIS0n1，CIS0n0ビットのみ設定値変更可能 TDR0n，TO0，TOE0，TOM0，TOL0レジスタの対象ビットは，設定値変更禁止 スレーブ・チャネルの設定変更 TDR0pレジスタは，常に読み出し可能 TCR0pレジスタは，常に読み出し可能 TSR0pレジスタは，常に読み出し可能 TMR0pレジスタは，CIS0p1，CIS0p0ビットのみ設定値変更可能 TO0p，TOE0p，TOM0，TOL0レジスタの対象ビットは，設定値変更可能	マスタ・チャネルのカウンタ（TCR0n）はダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生し，次のスタート・トリガ検出（TI0n端子入力の有効エッジ検出または，TS0nビットに1を設定）までTCR0n = FFFFHでカウント動作を停止する。 スレーブ・チャネルは，マスタ・チャネルのINTTM0nをスタート・トリガとして，タイマ・カウンタ・レジスタ0p（TCR0p）を0000Hにクリアする。カウンタ（TCR0p）は0000Hからアップ・カウント動作を行い，TI0n端子入力の有効エッジが検出すると，カウント値をタイマ・データ・レジスタ0p（TDR0p）に転送（キャプチャ）し，TCR0pレジスタを0000Hにクリアする。同時に，INTTM0pを発生してTO0p出力レベルをインアクティブ・レベルとする。 以降，この動作を繰り返す。
動作停止	TT0レジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する TT0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが0になり，カウント動作停止 TCR0n，TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず，状態保持
	スレーブ・チャネルのTOE0pビットに0を設定し，TO0pビットに値を設定する	TO0pビットに設定したレベルをTO0p端子から出力
TAU停止	TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出力ラッチ）を設定後，TO0pビットに0を設定する	TO0p端子出力レベルはポート機能で保持される。
	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

動作再開

備考　n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n = 3）

6. 9. 3　PWM出力機能としての動作

2チャネルをセットで使用します。任意の周期とデューティのパルスを生成できます。

チャネル1,3を8ビット・タイマ動作機能として使用する（SPLIT0n=1）ときは，下位8ビット・タイマのみがPWM出力機能のスレーブ・チャネルとして使用できます。

出力パルスの周期とデューティは，次の式で求められます。

パルス周期 ＝｛TDR0n（マスタ）の設定値＋1｝×カウント・クロック周期
デューティ [%] ＝｛TDR0p（スレーブ）の設定値｝／｛TDR0n（マスタ）の設定値＋1｝×100
0 %出力　　：TDR0p（スレーブ）の設定値 ＝0000H（8ビット・タイマ動作時は00H）
100 %出力　：TDR0p（スレーブ）の設定値≧｛TDR0n（マスタ）の設定値＋1｝

備考　次の場合は，デューティ計算値が100 %を越えますが，PWM出力の動作上は100 %出力となります。
TDR0p（スレーブ）の設定値＞｛TDR0n（マスタ）の設定値＋1｝

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS0n）に1を設定すると，割り込み要求信号（INTTM0n）を出力して，タイマ・データ・レジスタ0n（TDR0n）に設定した値をタイマ・カウンタ・レジスタ0n（TCR0n）にロードし，カウント・クロック（f_{TCLK}）に合わせてダウン・カウントを行います。TCR0n = 0000Hになったら，INTTM0nを出力して，再びTDR0nレジスタからTCR0nレジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタ0（TT0）のチャネル・ストップ・トリガ・ビット（TT0n）に1を設定するまでこの動作を繰り返します。

PWM出力機能としての動作では，マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TO0p）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからのINTTM0nをスタート・トリガとして，TDR0pレジスタからTCR0pレジスタに値をロードし，TCR0p = 0000Hになるまでダウン・カウントを行います。TCR0p = 0000Hになったら，INTTM0pを出力して，次のスタート・トリガ（マスタ・チャネルからのINTTM0n）があるまで，TCR0p = FFFFHでカウント動作を停止します。

PWM出力機能としての動作では，スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TO0p）のデューティとなります。

PWM出力（TO0p）は，マスタ・チャネルのINTTM0n発生からカウント・クロック（f_{TCLK}）の1クロック後にアクティブ・レベルとなり，スレーブ・チャネルのTCR0pレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

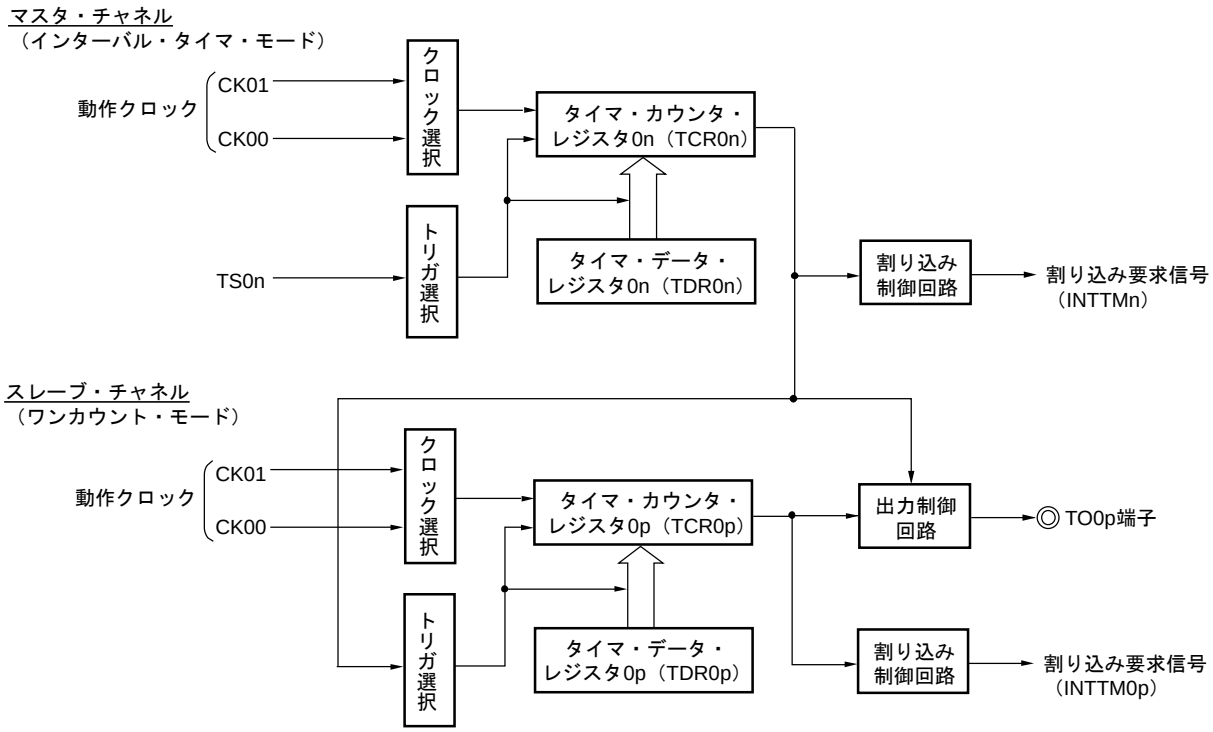
注意1.　マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0nH, TDR0nL）とスレーブ・チャネルのTDR0pH, TDR0pLレジスタを両方とも書き換える場合，最低4回のライト・アクセスが必要となります。TCR0nH, TCR0nL, TCR0pH, TCR0pLレジスタにTDR0nH, TDR0nL, TDR0pH, TDR0pLレジスタの値をロードするのは，マスタ・チャネルのINTTM0nが発生した後となるため，書き換えがマスタ・チャネルのINTTM0n発生前と発生後に分かれて行われると，TO0p端子は，期待通りの波形を出力できません。したがって，TDR0nH, TDR0nL, TDR0pH, TDR0pLレジスタすべてを書き換える場合は，必ずマスタ・チャネルのINTTM0nが発生した直後に4つのレジスタを連続で書き換えてください。

2.　8ビット・タイマ動作機能としてPWM出力機能を使用する場合は，マスタ・チャネルのTDR0nHを00Hに設定し，8ビット・タイマとしてパルス周期を設定してください。マスタ・チャネルのTDR0nLレジスタの設定値は00H～FEH（0%出力～100%出力）の範囲から設定してください。

備考　n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n < p ≦3）

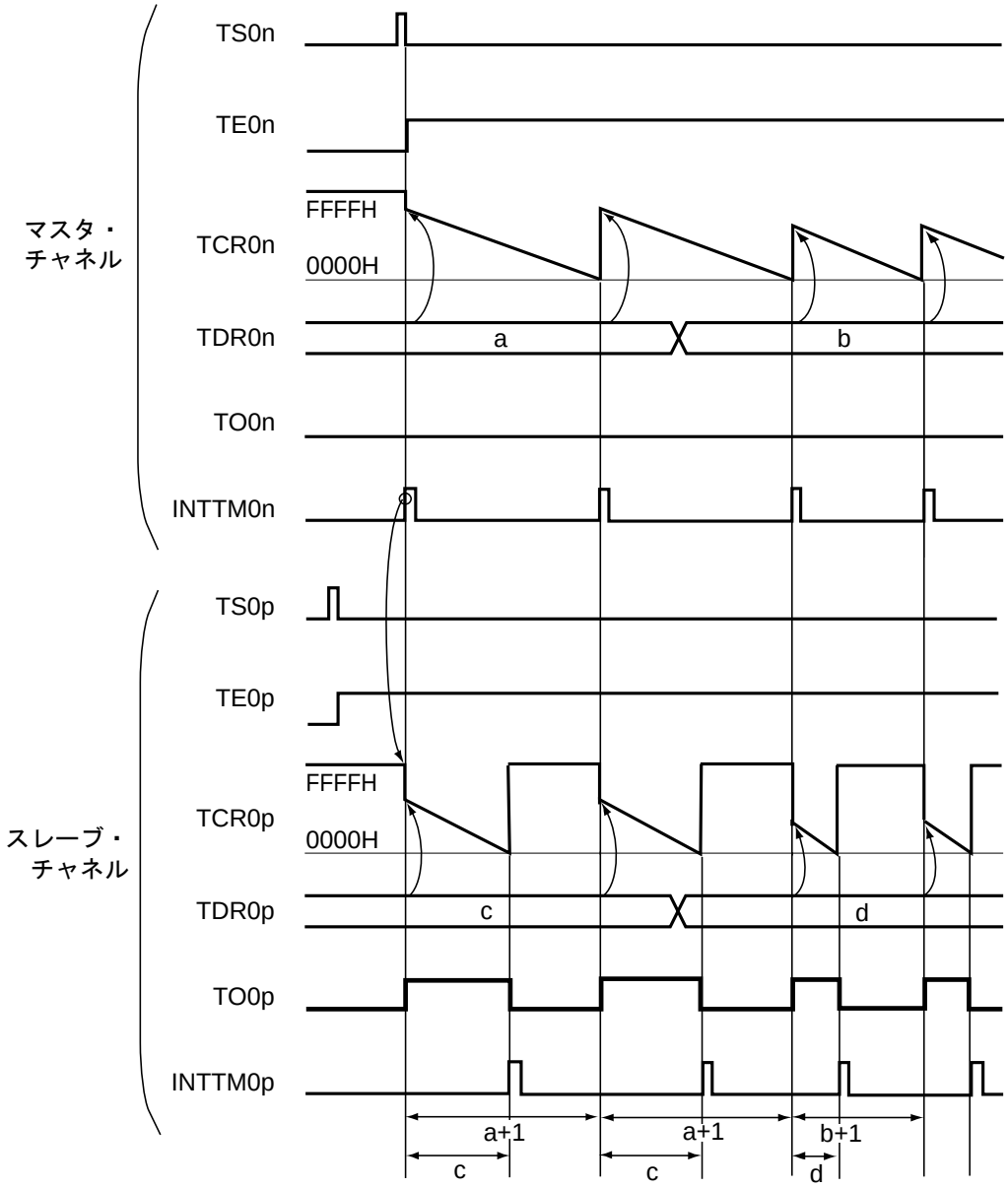
図6－74　PWM出力機能としての動作のブロック図



備考　n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n < p ≦3）

図6－75　PWM出力機能としての動作の基本タイミング例



備考1.　n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n < p ≦3）

2.　TS0n, TS0p　：タイマ・チャネル開始レジスタ0（TS0）のビットn, p

TE0n, TE0p　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn, p

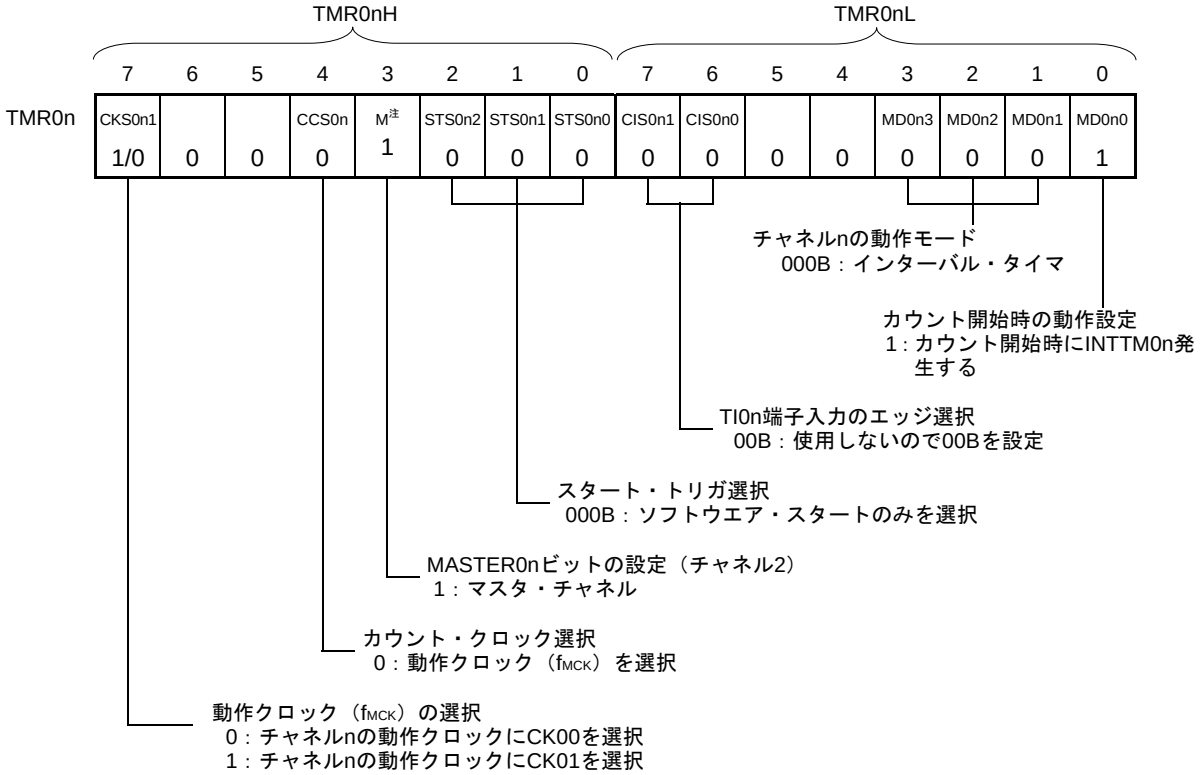
TCR0n, TCR0p　：タイマ・カウンタ・レジスタ0n, 0p（TCR0n, TCR0p）

TDR0n, TDR0p　：タイマ・データ・レジスタ0n, 0p（TDR0n, TDR0p）

TO0n, TO0p　：TO0n, TO0p端子出力信号

図6－76　PWM出力機能（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0n（TMR0nH, TMR0nL）



（b）タイマ出力レジスタ0（TO0）

	ビットn	
TO0	TO0n 0	0：TO0nより0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットn	
TOE0	TOE0n 0	0：カウント動作によるTO0n出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットn	
TOL0	TOL0n 0	0：TOM0n = 0（マスタ・チャネル出力モード）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットn	
TOM0	TOM0n 0	0：マスタ・チャネル出力モードを設定

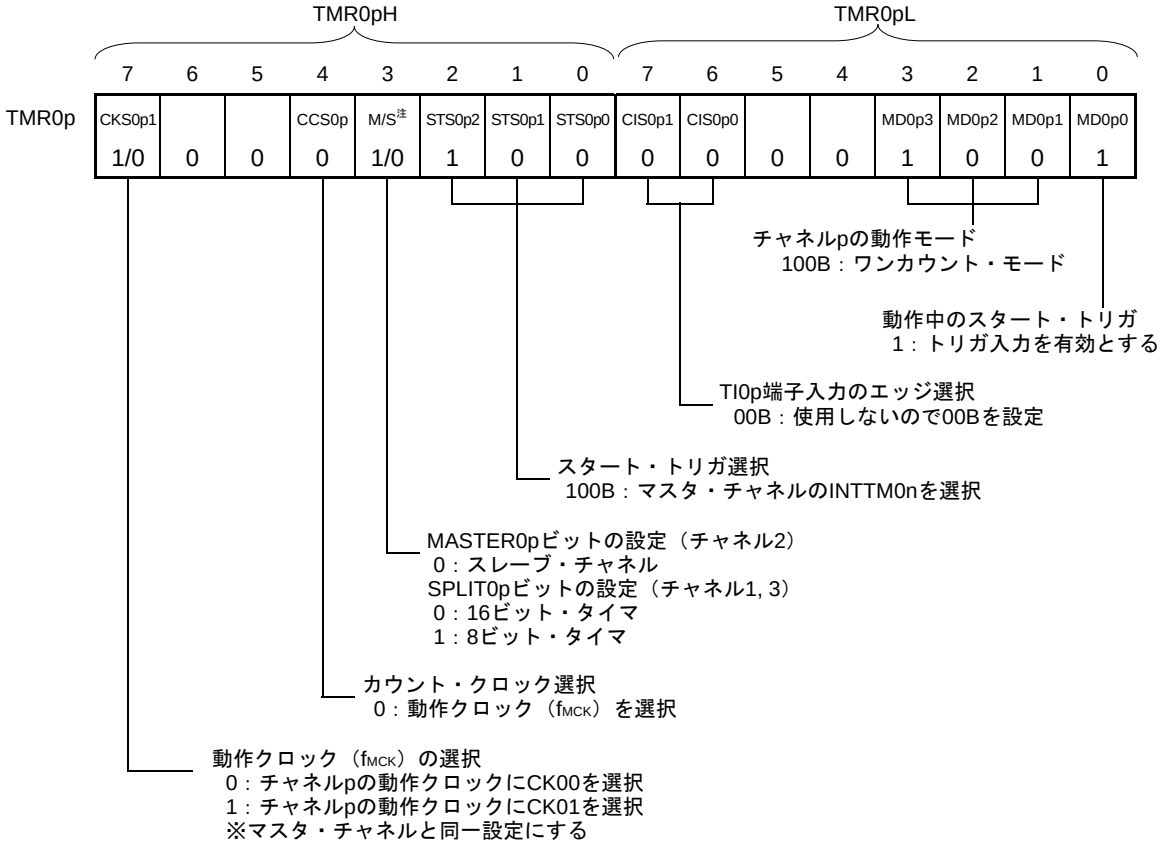
注　TMR02の場合：MASTER02ビット

TMR00　：0固定

備考　n：マスタ・チャネル番号（n = 0, 2）

図6－77　PWM出力機能（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ0p（TMR0pH, TMR0pL）



（b）タイマ出力レジスタ0（TO0）

	ビットp	
TO0	TO0p 1/0	0：TO0pより0を出力 1：TO0pより1を出力

（c）タイマ出力許可レジスタ0（TOE0）

	ビットp	
TOE0	TOE0p 1/0	0：カウント動作によるTO0p出力動作停止（TO0pビットに設定したレベルをTO0p端子から出力） 1：カウント動作によるTO0p出力動作許可（TO0p端子からトグル出力）

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットp	
TOL0	TOL0p 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットp	
TOM0	TOM0p 1	1：スレーブ・チャネル出力モードを設定

注　TMR02の場合：MASTER0pビット

TMR01, TMR03の場合：SPLIT0pビット

備考　n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n < p ≦3）

図6－78　PWM出力機能の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する（TAU0ENビットが0のときは，読み出し／書き込み不可） →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00, CK01）を確定する	
チャネル初期設定	タイマ・モード・レジスタ0n，0p（TMR0n，TMR0p）を設定する（各チャネルの動作モードを確定） タイマ・データ・レジスタ0n, 0p（TDR0n, TDR0p）にマスタ・チャネルのインターバル（周期）値，スレーブ・チャネルのデューティ値を設定する（TDR0nH, TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照）	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	マスタ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0（TOE0）の対象ビットに0を設定する スレーブ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）の対象ビットに1（スレーブ・チャネル出力モード）を設定する TOL0レジスタの対象ビットを設定する TO0pビットを設定し，TO0p出力の初期レベルを確定する TOE0pビットに1を設定し，TO0pの動作を許可 →	TO0p端子はHi-Z状態 （ポート・モード・レジスタは入力モード） チャネルは動作停止状態なので，TO0pは変化しない（TO0pビットを書き換えてもTO0p端子に反映されない）
	ポート・レジスタとポート・モード・レジスタに0を設定する （出力モード設定） →	TO0pビットに設定したレベルをTO0p端子から出力

備考　n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n < p ≦3）

図6－78　PWM出力機能の操作手順（2/2）

		ソフトウエア操作	ハードウエアの状態
動作再開	動作開始	スレーブ・レジスタのTOE0pビットに1を設定し，TO0pの動作を許可（動作再開時のみ） TS0レジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する TS0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが1となり，マスタ・チャネルのタイマ・カウンタ・レジスタ0n（TCR0n）はTDR0nレジスタの値をロードし，ダウン・カウント動作を開始する。
	動作中	マスタ・チャネルの設定変更 TDR0nレジスタは，マスタ・チャネルのINTTM0n発生後に設定値変更可能 TCR0n レジスタは，常に読み出し可能（TCR0nH, TCR0nLレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TMR0n, TO0, TOE0, TOM0, TOL0レジスタの対象ビットは，設定値変更禁止 スレーブ・チャネルの設定変更 TDR0pレジスタは，マスタ・チャネルのINTTM0n発生後に設定値変更可能 TCR0pレジスタは，常に読み出し可能 TO0, TOE0, TOL0レジスタの対象ビットは，設定値変更可能 TMR0p, TOM0レジスタの対象ビットは，設定値変更禁止	マスタ・チャネルは，タイマ・カウンタ・レジスタ0n（TCR0n）はダウン・カウント動作を行う。TCR0n = 0000Hまでカウントしたら INTTM0nを発生する。同時に，TCR0nレジスタはTDR0nレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルは，マスタ・チャネルのINTTM0nをスタート・トリガとして，TCR0pレジスタはTDR0pレジスタの値をロードし，ダウン・カウント動作を開始する。マスタ・チャネルのINTTM0n発生からカウント・クロック（f_{TCLK}）の1クロック後にTO0p出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000Hまでカウントしたら TO0p出力レベルをインアクティブ・レベルにして，TCR0p = FFFFHでカウント動作を停止する。 以降，この動作を繰り返す。
	動作停止	TT0レジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する TT0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが0になり，カウント動作停止 TCR0n, TCR0pレジスタはカウント値を保持して停止 TO0p出力は初期化されず，状態保持
		スレーブ・チャネルのTOE0pビットに0を設定し，TO0pビットに値を設定する	TO0pビットに設定したレベルをTO0p端子から出力
	TAU停止	TO0p端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出力ラッチ）を設定後，TO0pビットに0を設定する	TO0p端子出力レベルはポート機能で保持される。
		PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

備考　n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n < p ≦3）

6. 9. 4　多重PWM出力機能としての動作

PWM出力機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数のPWM出力を行う機能です。多重PWM出力機能は，16ピン製品のみ利用できます。

チャネル1,3を8ビット・タイマ動作機能として使用する（SPLIT0n=1）ときは，下位8ビット・タイマのみがPWM出力機能のスレーブ・チャネルとして使用できます。

たとえばスレーブを2チャネル使う場合は，出力パルスの周期，デューティは次の式で求められます。

パルス周期 ＝｛TDR0n（マスタ）の設定値＋1｝×カウント・クロック周期
デューティ1 [%] ＝｛TDR0p（スレーブ1）の設定値｝／｛TDR0n（マスタ）の設定値＋1｝×100
デューティ2 [%] ＝｛TDR0q（スレーブ2）の設定値｝／｛TDR0n（マスタ）の設定値＋1｝×100

備考　次の場合は，デューティ計算値が100 %を越えますが，PWMの動作上は100 %出力となります。
・TDR0p（スレーブ1）の設定値＞｛TDR0n（マスタ）の設定値＋1｝
・TDR0q（スレーブ2）の設定値＞｛TDR0n（マスタ）の設定値＋1｝

マスタ・チャネルは，パルス周期をカウントします。インターバル・タイマ・モードとして動作させ，TDR0nレジスタからTCR0nレジスタに値をロードしてダウン・カウントを行います。

スレーブ・チャネル1はデューティをカウントし，TO0p端子より任意のPWM波形を出力します。ワンカウント・モードとして動作させ，マスタ・チャネルからのINTTM0nをスタート・トリガとして，TDR0pレジスタからTCR0pレジスタに値をロードし，TCR0p = 0000Hになるまでダウン・カウントを行います。TCR0p = 0000Hになったら，INTTM0pを出力して，次のスタート・トリガ（マスタ・チャネルからのINTTM0n）があるまで，TCR0p = FFFFHでカウント動作を停止します。

スレーブ・チャネル2もスレーブ・チャネル1と同様に，デューティをカウントし，TO0q端子より任意のPWM波形を出力します。ワンカウント・モードとして動作させ，マスタ・チャネルからのINTTM0nをスタート・トリガとして，TDR0qレジスタからTCR0qレジスタに値をロードし，TCR0q = 0000Hになるまでダウン・カウントを行います。TCR0q = 0000Hになったら，INTTM0qを出力して，次のスタート・トリガ（マスタ・チャネルからのINTTM0n）があるまで，TCR0q = FFFFHでカウント動作を停止します。

PWM出力（TO0p, TO0q）は，マスタ・チャネルのINTTM0n発生からカウント・クロック（f_{TCLK}）の1クロック後にアクティブ・レベルとなり，TCR0p = 0000H, TCR0q = 0000Hになったタイミングでインアクティブ・レベルとなります。

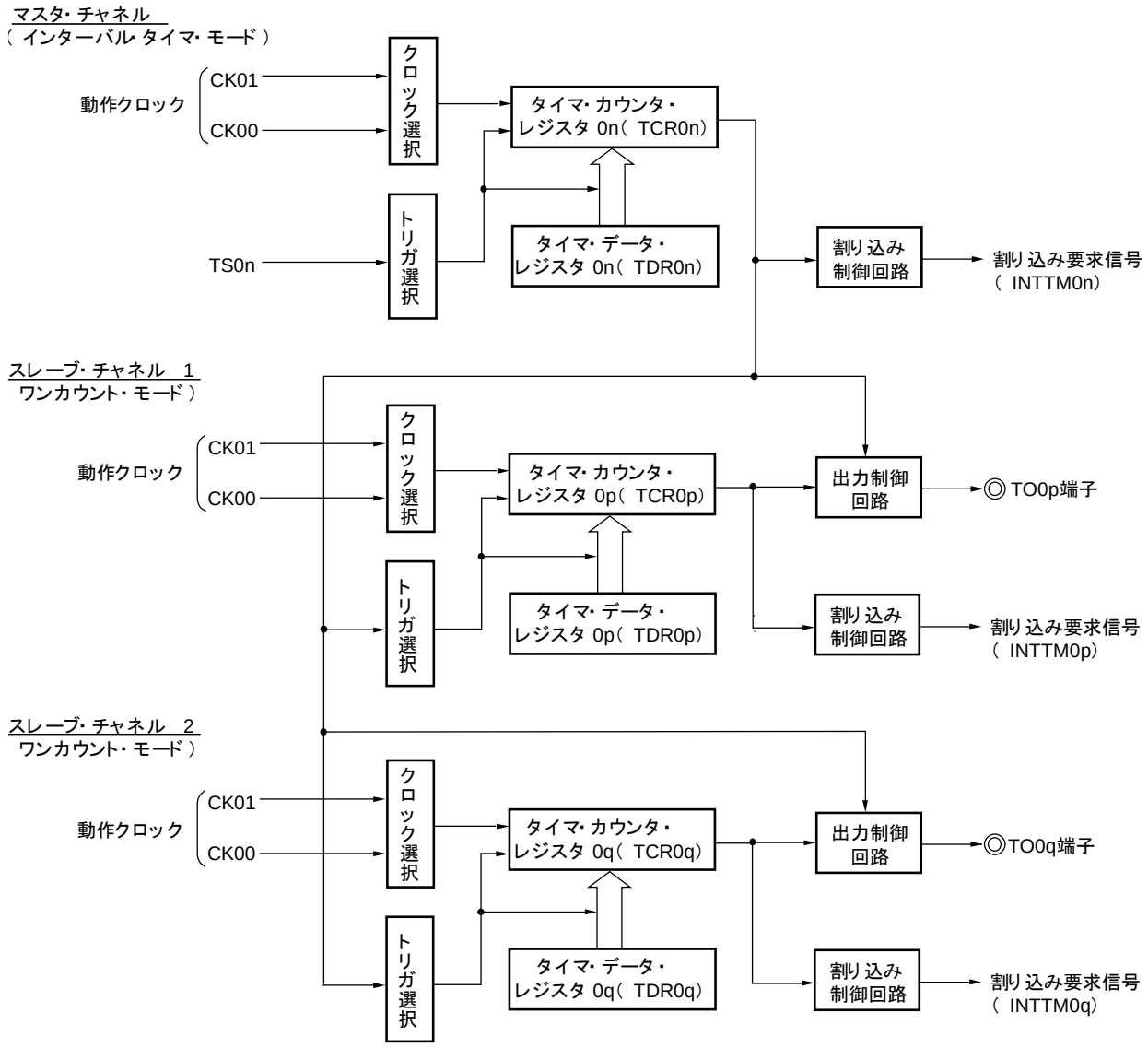
このようにして，チャネル0をマスタ・チャネルとした場合は，最大3種類のPWM出力を同時に出力できます。

注意1.　マスタ・チャネルのタイマ・データ・レジスタ0n（TDR0nH, TDR0nL）とスレーブ・チャネルのTDR0pH, TDR0pLレジスタを両方とも書き換える場合，最低4回のライト・アクセスが必要となります。TCR0nH, TCR0nL, TCR0pH, TCR0pLレジスタにTDR0nH, TDR0nL, TDR0pH, TDR0pLレジスタの値をロードするのは，マスタ・チャネルのINTTM0nが発生した後となるため，書き換えがマスタ・チャネルのINTTM0n発生前と発生後に分かれて行われると，TO0p端子は，期待通りの波形を出力できません。したがって，TDR0nH, TDR0nL, TDR0pH, TDR0pLレジスタすべてを書き換える場合は，必ずマスタ・チャネルのINTTM0nが発生した直後に4つのレジスタを連続で書き換えてください。

2.　8ビット・タイマ動作機能としてPWM出力機能を使用する場合は，マスタ・チャネルのTDR0nHを00Hに設定し，8ビット・タイマとしてパルス周期を設定してください。マスタ・チャネルのTDR0nLレジスタの設定値は00H～FEH（0%出力～100%出力）の範囲から設定してください。

備考　n：マスタ・チャネル番号（n = 0）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦3（ただしp, qは，n以降の整数）

図6－79　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）

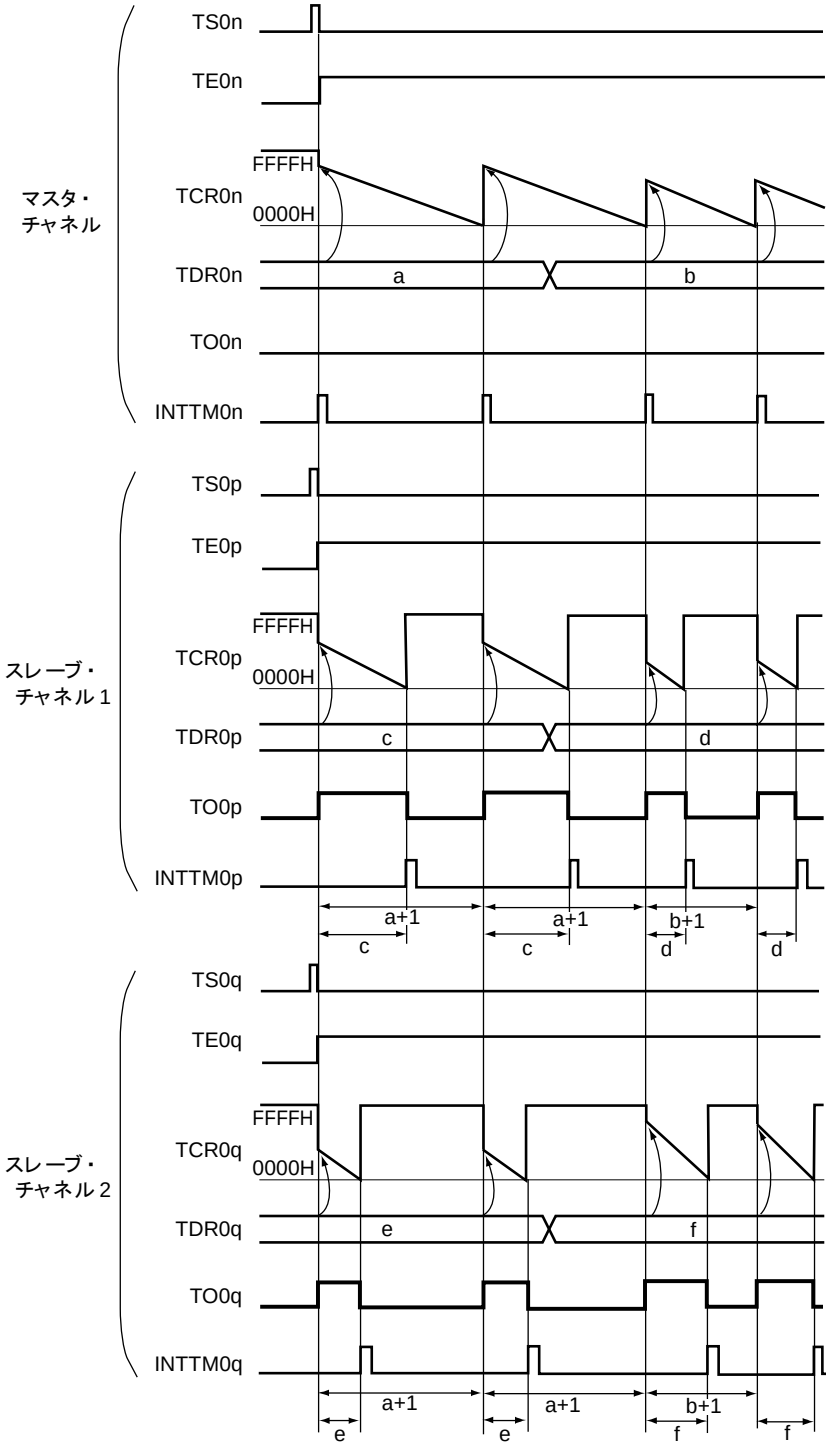


備考　n：マスタ・チャネル番号（n = 0）

p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n＜p＜q≦3（ただしp, qは，n以降の整数）

図6－80　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）



備考1. n：マスタ・チャネル番号（n = 0）

p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n＜p＜q≦3（ただしp, qは，n以降の整数）

2. TS0n, TS0p, TS0q　：タイマ・チャネル開始レジスタ0（TS0）のビットn, p, q

TE0n, TE0p, TE0q　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビットn, p, q

TCR0n, TCR0p, TCR0q：タイマ・カウンタ・レジスタ0n, 0p, 0q（TCR0n, TCR0p, TCR0q）

TDR0n, TDR0p, TDR0q：タイマ・データ・レジスタ0n, 0p, 0q（TDR0n, TDR0p, TDR0q）

TO0n, TO0p, TO0q　：TO0n, TO0p, TO0q端子出力信号

図6－81　多重PWM出力機能（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタ00（TMR00）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR00	CKS001			CCS00		STS002	STS001	STS000	CIS001	CIS000			MD003	MD002	MD001	MD000
	1/0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

チャネル0の動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
1：カウント開始時にINTTM00発生する

TI00端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
0：チャネル0の動作クロックにCK00を選択
1：チャネル0の動作クロックにCK01を選択

（b）タイマ出力レジスタ0（TO0）

	ビット0
TO0	TO00 0

0：TO00より0を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビット0
TOE0	TOE00 0

0：カウント動作によるTO00出力動作停止

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビット0
TOL0	TOL00 0

0：TOM00 = 0（マスタ・チャネル出力モード）のため，設定無効

（e）タイマ出力モード・レジスタ0（TOM0）

	ビット0
TOM0	TOM00 0

0：マスタ・チャネル出力モードを設定

図6－82　多重PWM出力機能（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

（a）タイマ・モード・レジスタ0p, 0q（TMR0p, TMR0q）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0p	CKS0p1			CCS0p	M/S注	STS0p2	STS0p1	STS0p0	CIS0p1	CIS0p0			MD0p3	MD0p2	MD0p1	MD0p0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
TMR0q	CKS0q1			CCS0q	M/S注	STS0q2	STS0q1	STS0q0	CIS0q1	CIS0q0			MD0q3	MD0q2	MD0q1	MD0q0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルp, qの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TI0p, TI0q端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTM00を選択

MASTER0p, MASTER0qビットの設定（チャネル2）
0：スレーブ・チャネル
SPLIT0p, SPLIT0qビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
0：チャネルp, qの動作クロックにCK00を選択
1：チャネルp, qの動作クロックにCK01を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタ0（TO0）

	ビットq	ビットp	
TO0	TO0q	TO0p	0：TO0p, TO0qより0を出力する
	1/0	1/0	1：TO0p, TO0qより1を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビットq	ビットp	
TOE0	TOE0q	TOE0p	0：カウント動作によるTO0p, TO0q出力動作停止 （TO0p, TO0qビットに設定したレベルをTO0p, TO0q端子から出力）
	1/0	1/0	1：カウント動作によるTO0p, TO0q出力動作許可（TO0p, TO0q端子からトグル出力）

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビットq	ビットp	
TOL0	TOL0q	TOL0p	0：正論理出力（アクティブ・ハイ）
	1/0	1/0	1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタ0（TOM0）

	ビットq	ビットp	
TOM0	TOM0q	TOM0p	1：スレーブ・チャネル出力モードを設定
	1	1	

注　TMR02の場合　　：MASTER0p, MASTER0qビット

TMR01, TMR03の場合：SPLIT0p, SPLIT0qビット

備考　p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

0＜p＜q≦3（ただしp, qは，0以降の整数）

図6－83　多重PWM出力機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，TAUのSFRへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する（TAU0ENビットが0のときは，読み出し／書き込み不可）→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，TAUのSFRへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する 各チャネルの動作クロック（CK00, CK01）を確定する	
チャネル初期設定	タイマ・モード・レジスタ00, 0p, 0q（TMR00, TMR0p, TMR0q）を設定する（各チャネルの動作モードを確定） タイマ・データ・レジスタ00, 0p, 0q（TDR00, TDR0p, TDR0q）にマスタ・チャネルのインターバル（周期）値，スレーブ・チャネルのデューティ値を設定する（TDR0nH, TDR0nLレジスタへのアクセス手順は，**6. 2. 2　タイマ・データ・レジスタ0n（TDR0n）**を参照）	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	マスタ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）の対象ビットに0（マスタ・チャネル出力モード）を設定する TOL0レジスタの対象ビットに0を設定する タイマ出力許可レジスタ0（TOE0）の対象ビットに0を設定する スレーブ・チャネルの設定 タイマ出力モード・レジスタ0（TOM0）の対象ビットに1（スレーブ・チャネル出力モード）を設定する TOL0レジスタの対象ビットを設定する TO0p, TO0qビットを設定し，TO0p, TO0q出力の初期レベルを確定する TOE0p，TOE0qビットに1を設定し，カウント動作によるTO0p, TO0q出力を許可 →	TO0p, TO0q端子はHi-Z状態 （ポート・モード・レジスタは入力モード） チャネルは動作停止状態なので，TO0p，TO0qは変化しない （TO0p，TO0qビットを書き換えてもTO0p端子に反映されない）
	ポート・レジスタとポート・モード・レジスタに0を設定する （出力モード設定） →	TO0p，TO0qビットに設定したレベルをTO0p，TO0q端子から出力

備考　p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
0＜p＜q≦3（ただしp, qは，0以降の整数）

図6－83　多重PWM出力機能時の操作手順（2種類のPWMを出力する場合）（2/2）

		ソフトウエア操作	ハードウエアの状態
動作再開	動作開始	スレーブ・レジスタのTOE0p, TOE0qビットに1を設定し，カウント動作によるTO0p, TO0q出力を許可（動作再開時のみ） TS0レジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する → TS0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが1となり，マスタ・チャネルのタイマ・カウンタ・レジスタ00（TCR00）はTDR00レジスタの値をロードし，ダウン・カウント動作を開始する。
	動作中	マスタ・チャネルの設定変更 TDR00レジスタは，マスタ・チャネルのINTTM00発生後に設定値変更可能 TCR00レジスタは，常に読み出し可能（TCR00H, TCR00Lレジスタへのアクセス手順は，**6. 2. 1　タイマ・カウンタ・レジスタ0n（TCR0n）**を参照） TMR00, TO0, TOE0, TOM0, TOL0レジスタの対象ビットは，設定値変更禁止 スレーブ・チャネルの設定変更 TDR0p，TDR0qレジスタは，マスタ・チャネルのINTTM00発生後に設定値変更可能 TCR0p, TCR0qレジスタは，常に読み出し可能 TO0，TOE0，TOL0レジスタの対象ビットは，設定値変更可能 TMR0p, TMR0q, TOM0レジスタの対象ビットは，設定値変更禁止	マスタ・チャネルは，タイマ・カウンタ・レジスタ00（TCR00）ダウン・カウント動作を行う。TCR00 = 0000Hまでカウントしたら INTTM00を発生する。同時に，TCR00レジスタはTDR00レジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルは，マスタ・チャネルのINTTM00信号をスタート・トリガとして，TCR0p, TCR0qレジスタはTDR0p, TDR0qレジスタの値をロードし，ダウン・カウント動作を開始する。マスタ・チャネルのINTTM00出力からカウント・クロック（f_{TCLK}）の1クロック後にTO0p, TO0q出力レベルをアクティブ・レベルとする。そしてTCR0p = 0000H, TCR0q = 0000Hまでカウントしたら TO0p，TO0q出力レベルをインアクティブ・レベルにして，TCR0p = FFFFH, TCR0q = FFFFHでカウント動作を停止する。 以降，この動作を繰り返す。
	動作停止	TT0レジスタの対象ビット（マスタ，スレーブ）に1を同時に設定する → TT0レジスタの対象ビットはトリガ・ビットなので，自動的に0に戻る	TE0レジスタの対象ビットが0になり，カウント動作停止 TCR00，TCR0p，TCR0qレジスタはカウント値を保持して停止 TO0p, TO0q出力は初期化されず，状態保持
		スレーブ・チャネルのTOE0p，TOE0qビットに0を設定し，TO0p, TO0qビットに値を設定する →	TO0p，TO0qビットに設定したレベルをTO0p，TO0q端子から出力
	TAU停止	TO0p, TO0q端子の出力レベルを保持する場合 ポート・レジスタに保持したい値（出力ラッチ）を設定後，TO0p, TO0qビットに0を設定する →	TO0p, TO0q端子出力レベルはポート機能で保持される。
		PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 （クロック供給停止，TAUのSFRが初期化される）

備考　p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
　　0＜p＜q≦3（ただしp, qは，0以降の整数）

6. 10　タイマ・アレイ・ユニット使用時の注意事項

6. 10. 1　タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に，他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには，他方の兼用機能の出力を初期状態にする必要があります。

詳細は，**4. 5　兼用機能使用時のレジスタ設定**を参照してください。

第7章　12ビット・インターバル・タイマ

注意．16ピン製品には，12ビット・インターバル・タイマを1チャネル搭載しています。

7.1　12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み要求信号（INTIT）を発生します。STOPモード，HALTモードからのウエイク･アップのトリガに使えます。

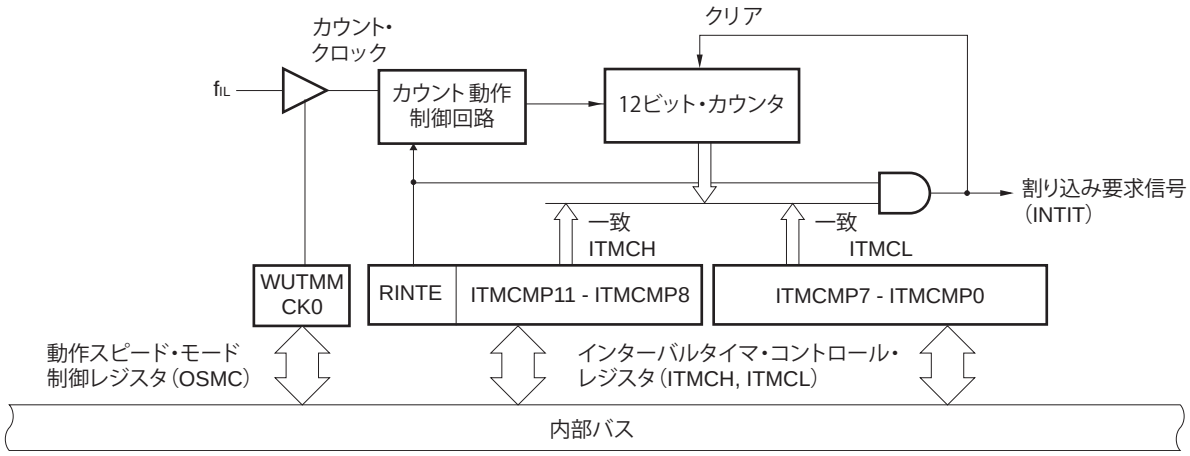
7.2　12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは，次のハードウエアで構成されています。

表7－1　12ビット・インターバル・タイマの構成

項　　目	構　　成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	動作スピード・モード制御レジスタ（OSMC）
	インターバル・タイマ・コントロール・レジスタH（ITMCH） インターバル・タイマ・コントロール・レジスタL（ITMCL）

図7－1　12ビット・インターバル・タイマのブロック図



7.3　12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは，次のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・動作スピード・モード制御レジスタ（OSMC）
・インターバル・タイマ・コントロール・レジスタH（ITMCH）
・インターバル・タイマ・コントロール・レジスタL（ITMCL）

7.3.1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用する場合は，必ず最初にビット7（TMKAEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図7－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN注	CMPEN注	ADCEN	IICA0EN注	0	SAU0EN	0	TAU0EN

TMKAEN	12ビット･インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態
1	入力クロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注　16ピン製品のみ

注意1.　12ビット・インターバル・タイマへ入力クロック供給（TMKAEN = 1）する前に，OSMCレジスタのWUTMMCK0ビットをセット（1）して，カウント・クロックを確定させてください。

2.　12ビット・インターバル・タイマの設定をする際には，カウント・クロックが発振安定した状態で，必ず最初にTMKAEN = 1に設定してから下記のレジスタの設定を行ってください。
TMKAEN = 0の場合は，12ビット・インターバル・タイマへの書き込みは無視され，読み出し値は初期値となります（動作スピード・モード制御レジスタ（OSMC）は除く）。
・インターバル・タイマ・コントロール・レジスタH（ITMCH）
・インターバル・タイマ・コントロール・レジスタL（ITMCL）

3.　次のビットには必ず“0”を設定してください。
10ピン製品：ビット1, 3, 4, 6, 7
16ピン製品：ビット1, 3

7. 3. 2　動作スピード・モード制御レジスタ（OSMC）

WUTMMCK0ビットで12ビット・インターバル・タイマのカウント・クロックの供給を制御します。

12ビット・インターバル・タイマを動作させるときは，先にWUTMMCK0 = 1に設定してください。

また，カウンタ動作を停止させるまでWUTMMCK0 = 0に設定しないでください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－3　動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	12ビット・インターバル・タイマのカウント・クロックの供給
0	クロック供給停止
1	低速オンチップ・オシレータ・クロック（f_{IL}）供給

7.3.3　インターバル・タイマ・コントロール・レジスタ（ITMCH，ITMCL）

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

先にITMCLレジスタでコンペア値の下位8ビット（ITCMP7 – ITCMP0）を設定してから，ITMCHレジスタでコンペア値の上位4ビット（ITCMP11 - ITCMP8）とカウンタ動作の停止／開始を設定してください。

ITMCH，ITMCLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ITMCHレジスタは0FH，ITMCLレジスタはFFHになります。

図7－4　インターバル・タイマ・コントロール・レジスタ（ITMCH，ITMCL）のフォーマット

アドレス：FFF91H　リセット時：0FH　R/W

略号	7	6	5	4	3	2	1	0
ITMCH	RINTE	0	0	0	ITCMP11 - ITCMP8			

アドレス：FFF90H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
ITMCL	ITCMP7 – ITCMP0							

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止（カウント・クリア）
1	カウンタ動作開始

ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期×（ITCMP設定値＋1）」の定周期割り込みを発生します。
・・・	
FFFH	
000H	設定禁止
ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例 ・ITCMP11-ITCMP0 = 001H，カウント・クロック：f_{IL} = 15 kHz時 1/15 [kHz]×（1＋1）≒0.1333 [ms] = 133.3 [μs] ・ITCMP11-ITCMP0 = FFFH，カウント・クロック：f_{IL} = 15 kHz時 1/15 [kHz]×（4095＋1）≒273 [ms]	

注意1.　カウンタ動作停止（RINTEビットをクリア（0））する場合は，TMKAMKフラグをセット（1）して INTIT の割り込み処理禁止にしてから書き換えてください。再度カウンタ動作開始（RINTEビットをセット（1））する場合は，TMKAIFフラグをクリア（0）してからTMKAMKフラグをクリア（0）して INTIT の割り込み処理許可にしてください。

2.　RINTEビットの読み出し値は，RINTEビットをセット（1）した後，カウント・クロックの1クロック後に反映されます。

3.　スタンバイ・モードから復帰後にRINTEビット設定して，再度スタンバイ･モードに移行する場合は，RINTEビットの書き込み値が反映されたことを確認するか，スタンバイ・モードの復帰からカウント・クロックの1クロック分以上の時間経過後に移行してください。

4.　ITCMP11-ITCMP0ビットの値を変更する場合は，必ずカウンタ動作停止（RINTE = 0）のときに行ってください。ただし，RINTEビットを0→1または1→0に変更すると同時にITCMP11-ITCMP8ビットの値を変更することは可能です。

7.4　12ビット・インターバル・タイマの動作

7.4.1　12ビット・インターバル・タイマの動作タイミング

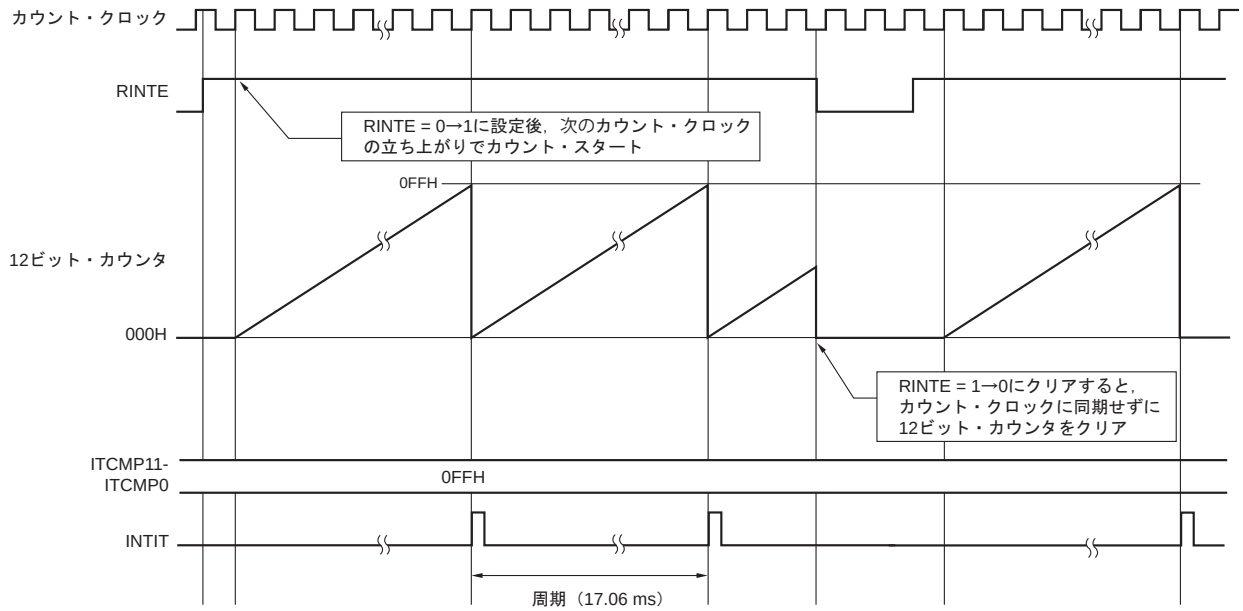
ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし，繰り返し割り込み要求信号（INTIT）を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットをセット（1）すると，12ビット・カウンタがカウントを開始します。

12ビット・カウンタの値がITCMP11-ITCMP0ビットに設定した値と一致したとき，12ビット・カウンタの値をクリア（0）してカウントを継続すると同時に，割り込み要求信号（INTIT）を発生します。

12ビット・インターバル・タイマの基本動作を図7－5に示します。

図7－5　12ビット・インターバル・タイマ動作のタイミング
（ITCMP11-ITCMP0 = 0FFH，カウント・クロック：f_{IL} = 15 kHz）

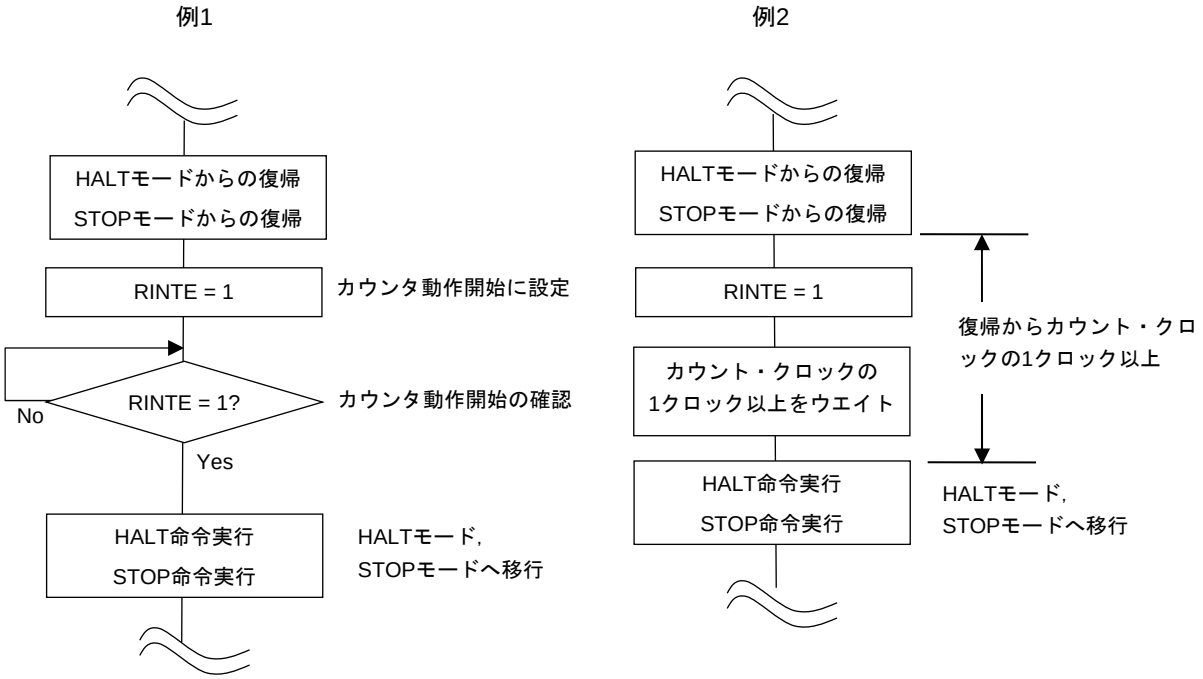


7. 4. 2　HALT/STOPモードから復帰後にカウンタ動作開始し，再度HALT/STOPモードに移行する設定手順

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し，再度HALTモード，STOPモードへ移行する場合は，RINTE = 1に設定してから，RINTEビットの書き込み値が反映されたことを確認するか，復帰からカウント・クロックの1クロック分以上経過後に移行してください。

・RINTE = 1に設定後，RINTEビットが1になるのをポーリングで確認後にHALTモード，STOPモードへ移行する（図7－6　例1参照）。
・RINTE = 1に設定してから，カウント・クロックの1クロック分以上経過後にHALTモード，STOPモードへ移行する（図7－6　例2参照）。

図7－6　RINTE = 1に設定後のHALTモード，STOPモードへの移行手順



第8章　クロック出力／ブザー出力制御回路

8.1　クロック出力／ブザー出力制御回路の機能

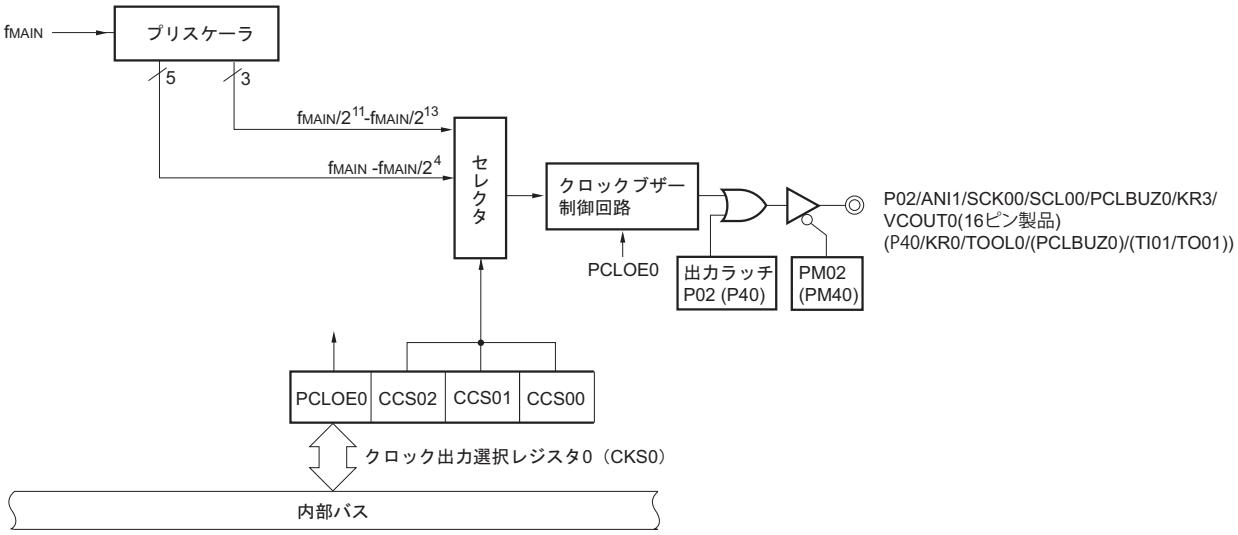
クロック出力は周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0（CKS0）で選択したクロックを出力します。

図8－1にクロック出力／ブザー出力制御回路のブロック図を示します。

図8－1　クロック出力／ブザー出力制御回路のブロック図



注意　PCLBUZ0端子から出力可能な周波数は，**24.4　AC特性**を参照してください。

備考　[ ] 内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

8. 2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

表8－1　クロック出力／ブザー出力制御回路の構成

項　　目	構　　成
制御レジスタ	クロック出力選択レジスタ0（CKS0） ポート・モード・レジスタ0（PM0）［ポート・モード・レジスタ4　（PM4）］ ポート・レジスタ0（P0）［ポート・レジスタ4　（P4）］ ポート・モード・コントロール・レジスタ0（PMC0） 周辺I/Oリダイレクション・レジスタ（PIOR）

備考　［ ］内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

8. 3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次のレジスタで制御します。

- クロック出力選択レジスタ0（CKS0）
- ポート・モード・レジスタ0（PM0）［ポート・モード・レジスタ4　（PM4）］
- ポート・モード・コントロール・レジスタ0（PMC0）
- 周辺I/Oリダイレクション・レジスタ（PIOR）

備考　［ ］内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

8. 3. 1　クロック出力選択レジスタ0（CKS0）

クロック出力またはブザー周波数出力の端子（PCLBUZ0）の出力許可／禁止，および出力クロックを設定するレジスタです。

CKS0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－2　クロック出力選択レジスタ0（CKS0）のフォーマット

アドレス：FFFA5H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKS0	PCLOE0	0	0	0	0	CCS02	CCS01	CCS00

PCLOE0	PCLBUZ0端子の出力許可／禁止の指定
0	出力禁止（デフォルト）
1	出力許可

CCS02	CCS01	CCS00	PCLBUZ0端子の出力クロックの選択					
				f_{MAIN}（MHz）				
				1.25	2.5	5	10	20
0	0	0	f_{MAIN}	1.25 MHz	2.5 MHz	5 MHz注	10 MHz注	設定禁止注
0	0	1	$f_{MAIN}/2$	625 kHz	1.25 MHz	2.5MHz	5 MHz注	10 MHz注
0	1	0	$f_{MAIN}/2^2$	312.5 kHz	625 kHz	1.25 MHz	2.5 MHz	5 MHz注
0	1	1	$f_{MAIN}/2^3$	156.3 kHz	312.5 kHz	625 kHz	1.25 MHz	2.5 MHz
1	0	0	$f_{MAIN}/2^4$	78.1 kHz	156.3 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	1	$f_{MAIN}/2^{11}$	610 Hz	1.22 kHz	2.44 kHz	4.88 kHz	9.77 kHz
1	1	0	$f_{MAIN}/2^{12}$	305 Hz	610 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	1	$f_{MAIN}/2^{13}$	153 Hz	305 Hz	610 Hz	1.22 kHz	2.44 kHz

注　動作電圧範囲によって選択できる出力クロックは異なります。詳しくは，**24. 4　AC特性**を参照してください。

注意1.　出力クロックの切り替えは，PCLBUZ0端子の出力禁止（PCLOE0 = 0）に設定してから行ってください。

2.　STOPモードに移行する場合は，PCLBUZ0端子を出力禁止（PCLOE0 = 0）に設定後，PCLBUZ0端子の出力クロックの1.5クロック以上の時間が経過してから，STOP命令を実行してください。

備考　f_{MAIN}：メイン・システム・クロック周波数

8. 3. 2　クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力制御回路使用時は，クロック出力／ブザー出力端子（PCLBUZ0端子）と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PM0/PM4），ポート・レジスタ（P0/P4），ポート・モード・コントロール・レジスタ0（PMC0），周辺I/Oリダイレクション・レジスタ（PIOR））を設定してください。

ポート機能を制御するレジスタの詳細は，4. 3. 1　ポート・モード・レジスタ0, 4（PM0, PM4），4. 3. 2　ポート・レジスタ0, 4, 12, 13（P0, P4, P12, P13），4. 3. 5　ポート・モード・コントロール・レジスタ0（PMC0），4. 3. 6　周辺I/Oリダイレクション・レジスタ（PIOR）を参照してください。

PCLBUZ0端子として使用するときは，対応するポート・モード・レジスタ（PM0）とポート・モード・コントロール・レジスタ0（PMC0）のビットに0を，ポート・レジスタ（P0）とポート・出力モード・レジスタ（POM0）のビットに1を設定してください。

詳細は，4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例を参照してください。

なお，周辺I/Oリダイレクション・レジスタ（PIOR）のPIOR0ビットをセット（1）して，P40端子にPCLBUZ0端子出力を割り当てることもできます。

8.4　クロック出力／ブザー出力制御回路の動作

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0（CKS0）で選択したクロック／ブザーを出力します。

8.4.1　出力端子の動作

PCLBUZ0端子は，次の手順で出力します。

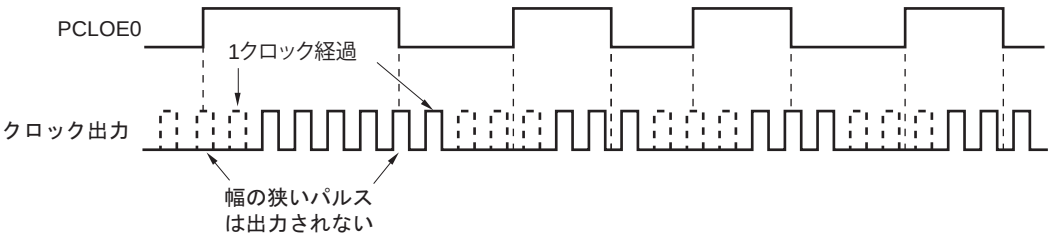
① PCLBUZ0端子兼用ポートのポート・モード・レジスタ（PM0/PM4），ポート・レジスタ（P0/P4），およびポート・モード・コントロール・レジスタ0（PMC0）の対応ビットに0を設定する。

② PCLBUZ0端子のクロック出力選択レジスタ（CKS0）のビット0-2（CCS00-CCS02）で出力周波数を選択する（出力は禁止の状態）。

③ CKS0レジスタのビット7（PCLOE0）に1を設定し，クロック出力／ブザー出力を許可する。

備考　クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止（PCLOE0ビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOE0ビットによる出力の許可／停止とクロック出力のタイミングを図8－3に示します。

図8－3　PCLBUZ0端子からのクロック出力のタイミング



注意　PCLBUZ0端子を出力禁止（PCLOE0 = 0）に設定してからPCLBUZ0端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると，PCLBUZ0端子のクロック出力幅が短くなります。STOP命令は，PCLBUZ0端子を出力禁止に設定後，PCLBUZ0端子の出力クロックの1.5クロック以上の時間が経過してから実行してください。

第9章　ウォッチドッグ・タイマ

9.1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは，ユーザ・オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

・ウォッチドッグ・タイマ・カウンタがオーバフローした場合

・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合

・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFレジスタの詳細については**第17章　リセット機能**を参照してください。

また，インターバル割り込みは，オーバフロー時間の約75%到達時に発生します。

9. 2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表9－1　ウォッチドッグ・タイマの構成

項　　目	構　　成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

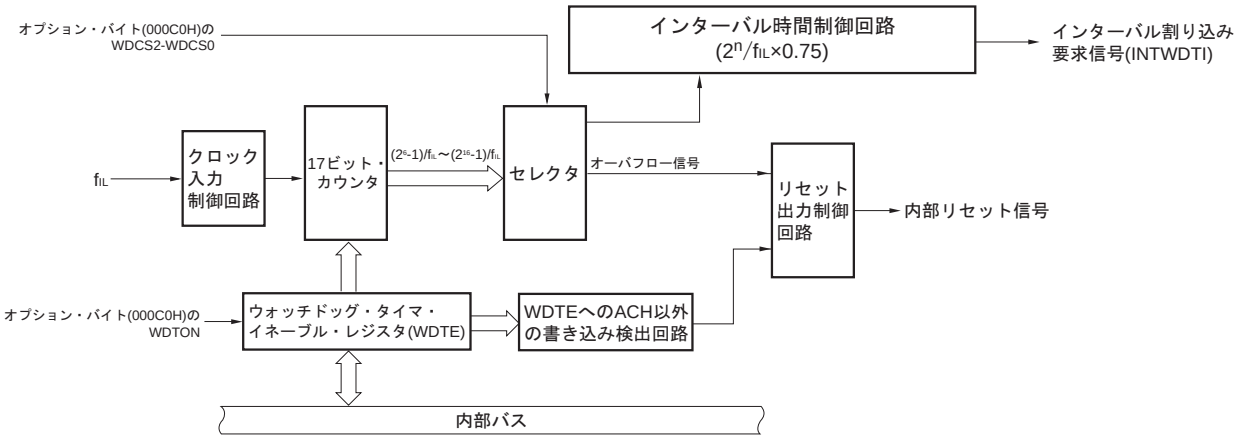
また，オプション・バイトで，カウンタの動作制御，オーバフロー時間の設定を行います。

表9－2　オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト（000C0H）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2- WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOP時）	ビット0（WDSTBYON）

備考　オプション・バイトについては，**第19章　オプション・バイト**を参照してください。

図9－1　ウォッチドッグ・タイマのブロック図



9.3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

9.3.1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，1AHまたは9AH注になります。

図9－2　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH　リセット時：1AH／9AH注　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注　WDTEレジスタのリセット値は，オプション･バイト（000C0H）のWDTONビットの設定値によって異なります。ウォッチドッグ･タイマを動作する場合は，WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意1.　WDTEレジスタに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

2.　WDTEレジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

3.　WDTEレジスタのリード値は，“1AH／9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

9.4　ウォッチドッグ・タイマの動作

9.4.1　ウォッチドッグ・タイマの動作制御

①ウォッチドッグ・タイマを使用する場合，オプション・バイト（000C0H）で次の内容を設定します。

・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は，**第19章**を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後，カウント停止）
1	カウント動作許可（リセット解除後，カウント開始）

・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で，オーバフロー時間を設定してください（詳細は，**9.4.2**および**第19章**を参照）。

②リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。

③カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

④WDTEレジスタに“ACH”を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
また，次の場合も，内部リセット信号を発生します。

・WDTEレジスタに1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1.　WDTEレジスタに“ACH”を書き込んで，ウォッチドッグ・タイマをクリアしたとき，実際のオーバフロー時間は，オプション・バイトで設定したオーバフロー時間より最大f_{IL}の1クロック短くなる場合があります。

2.　ウォッチドッグ・タイマのクリアは，カウント値がオーバフローする直前まで有効です。

3.　オプション・バイト（000C0H）のビット0（WDSTBYON）の設定値により，　HALTおよびSTOモード時に，ウォッチドッグ・タイマの動作は，次のように異なります。

WDSTBYON = 0：ウォッチドッグ・タイマ動作停止
WDSTBYON = 1：ウォッチドッグ・タイマ動作継続

WDSTBYON = 0の場合，HALTおよびSTOPモード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア（0）して，カウント開始します。
STOPモード解除後にX1クロック注で動作する場合は，CPUは発振安定時間経過後に動作を開始します。そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。よって，インターバル割り込みによるSTOPモード解除後にX1クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

4.　WDTON = 0, WDSTBON = 1の設定は禁止です。

注　16ピン製品のみ

9. 4. 2　ウォッチドッグ・タイマの時間設定

ウォッチドッグ・タイマのオーバフロー時間とインターバル割り込み時間は，オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前に，“ACH”をウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。インターバル割り込みは，オーバフロー時間の約75%到達時に発生します。

設定可能なオーバフロー時間とインターバル割り込み時間を次に示します。

表9－3　オーバフロー時間とインターバル割り込み時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f_{IL} = 17.25 kHz (MAX.) の場合)	ウォッチドッグ・タイマのインターバル割り込み時間 (f_{IL} =17.25 kHz (MAX.) の場合)
0	0	0	$(2^6-1)/f_{IL}$（3.65 ms）	$2^6/f_{IL}\times0.75$（2.78 ms）
0	0	1	$(2^7-1)/f_{IL}$（7.36 ms）	$2^7/f_{IL}\times0.75$（5.56 ms）
0	1	0	$(2^8-1)/f_{IL}$（14.7 ms）	$2^8/f_{IL}\times0.75$（11.1 ms）
0	1	1	$(2^9-1)/f_{IL}$（29.6 ms）	$2^9/f_{IL}\times0.75$（22.2 ms）
1	0	0	$(2^{11}-1)/f_{IL}$（118 ms）	$2^{11}/f_{IL}\times0.75$（89.0 ms）
1	0	1	$(2^{13}-1)/f_{IL}$（474 ms）	$2^{13}/f_{IL}\times0.75$（356 ms）
1	1	0	$(2^{14}-1)/f_{IL}$（949 ms）	$2^{14}/f_{IL}\times0.75$（712 ms）
1	1	1	$(2^{16}-1)/f_{IL}$（3799 ms）	$2^{16}/f_{IL}\times0.75$（2849 ms）

注意1.　STOPモード解除後にX1クロック注で動作する場合は，CPUは発振安定時間経過後に動作を開始します。
そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
従って，インターバル割り込みによるSTOPモード解除後にX1クロック注で動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間を考慮してオーバフロー時間を設定してください。

2.　INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

3.　ウォッチドッグ・タイマのインターバル割り込みは常に発生します。ウォッチドッグ・タイマのインターバル割り込みを使用しない場合は，必ずWDTIMKビットを1に設定して，割り込み処理を禁止してください。

注　16ピン製品のみ

備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

第10章　A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は，製品によって異なります。

・10ピン製品 ：4チャネル（ANI0－ANI3）

・16ピン製品 ：7チャネル（ANI0－ANI6），内部基準電圧注（0.815V（TYP.））

注　内部基準電圧は，A/Dコンバータとコンパレータの両方同時に使用できません。A/Dコンバータの変換対象に内部基準電圧を選択したときは，コンパレータの基準電圧に内部基準電圧を設定しないでください。

10. 1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をデジタル値に変換するコンバータで，最大7チャネルのアナログ入力を制御できる構成になっています。A/Dコンバータの分解能は，A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより，10ビット分解能と8ビット分解能を選択できます。

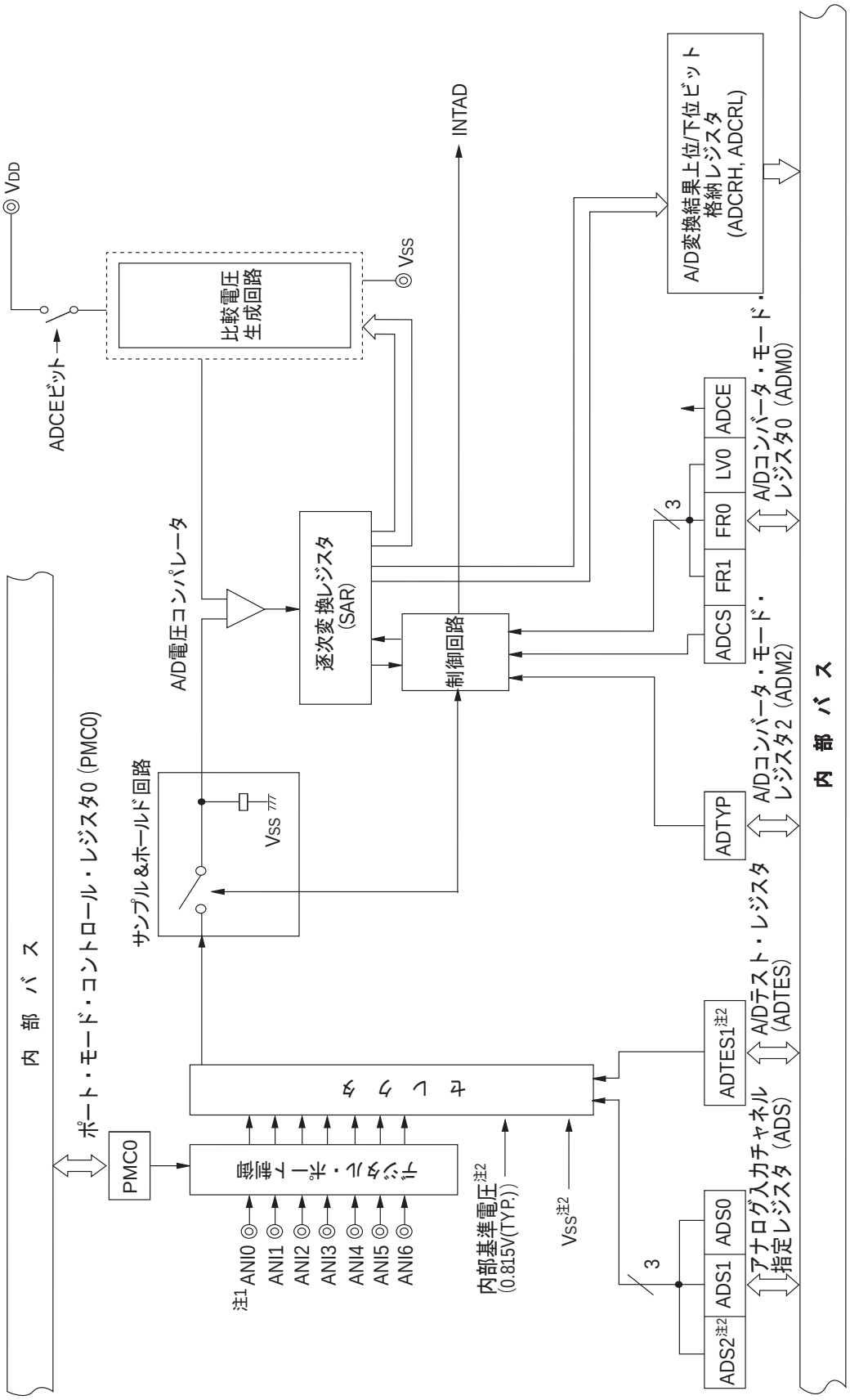
A/Dコンバータには，次のような機能があります。

・10ビット／8ビット分解能 A/D変換

ANI0－ANI6からアナログ入力を1チャネル選択し，ソフトウェア操作により10ビット／8ビット分解能のA/D変換動作を開始します。A/D変換終了時には，A/D変換終了割り込み要求信号（INTAD）を発生します。

A/Dコンバータの動作電圧は，2.4V～5.5Vです。

図10−1 A/Dコンバータのブロック図



注1. 10ピン製品の場合，ANI0～ANI3
2. 16ピン製品のみ

10. 2　A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

(1)　ANI0－ANI6注

A/Dコンバータの7チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

A/Dコンバータの変換対象は，ANI0－ANI6のアナログ入力の他に内部基準電圧（0.815V（TYP.））を選択することができます。

注　10ピン製品の場合，ANI0～ANI3

(2)　サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

(3)　A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と，アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果，アナログ入力電圧がリファレンス電圧（1/2 V_{DD}）より大きい場合には，逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 V_{DD}）より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0：（1/4 V_{DD}）
ビット9 = 1：（3/4 V_{DD}）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1
アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

(4)　比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5)　逐次変換レジスタ（SAR：Successive Approximation Register）

SARレジスタは, 比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを, 最上位ビット（MSB）から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARレジスタの内容（変換結果）は，A/D変換結果上位ビット格納レジスタ（ADCRH）とA/D変換結果下位ビット格納レジスタ（ADCRL）に保持されます。また，A/D変換が終了すると，A/D変換終了割り込み要求信号（INTAD）が発生します。

(6)　A/D変換結果上位ビット格納レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。逐次変換レジスタから変換結果がロードされ，A/D変換結果の上位8ビットを格納します。10ビット分解能の場合，A/D変換結果の下位2ビットは ADCRLレジスタに格納されます。

(7)　A/D変換結果下位ビット格納レジスタ（ADCRL）

10ビット分解能の場合の下位2ビットの変換結果（ADCR1, ADCR0）を格納する8ビットのレジスタです。本レジスタの下位6ビットは0に固定です。

(8)　制御回路

A/D変換するアナログ入力の変換時間, 変換動作の開始／停止などを制御します。A/D変換が終了した場合, A/D変換終了割り込み要求信号（INTAD）を発生します。

10. 3　A/Dコンバータで使用するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・A/Dコンバータ・モード・レジスタ0（ADM0）
・A/Dコンバータ・モード・レジスタ2（ADM2）
・A/D変換結果上位ビット格納レジスタ（ADCRH）
・A/D変換結果下位ビット格納レジスタ（ADCRL）
・アナログ入力チャネル指定レジスタ（ADS）
・A/Dテスト・レジスタ（ADTES）
・ポート・モード・レジスタ0（PM0）
・ポート・モード・コントロール・レジスタ0（PMC0）

10. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは，必ずビット5（ADCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN注	CMPEN注	ADCEN	IICA0EN注	0	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注　16ピン製品のみ

注意1.　A/Dコンバータの設定をする際には，必ず最初にADCEN = 1の状態で，下記のレジスタを設定してください。ADCEN = 0の場合は，A/Dコンバータの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ0（PM0），ポート・モード・コントロール・レジスタ0（PMC0）は除く）。

- **A/Dコンバータ・モード・レジスタ0（ADM0）**
- **A/Dコンバータ・モード・レジスタ2（ADM2）**
- **A/D変換結果上位ビット格納レジスタ（ADCRH）**
- **A/D変換結果下位ビット格納レジスタ（ADCRL）**
- **アナログ入力チャネル指定レジスタ（ADS）**
- **A/Dテスト・レジスタ（ADTES）**

2.　次のビットには必ず“0”を設定してください。

10ピン製品　：ビット1, 3, 4, 6, 7

16ピン製品　：ビット1, 3

10. 3. 2 A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－3 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	0	0	FR1注1	FR0注1	0	LV0注1	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止（変換停止状態／変換待機状態）
1	変換動作許可（変換動作状態）

<クリア条件>

・ADCS = 0 ライトした場合

・A/D変換終了時に自動的に“0”にクリア

<セット条件>

・ADCE = 1 のときに，ADCS = 1 ライトした場合

ADCE	A/D電圧コンパレータの動作制御注2
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR1, FR0, LV0ビットおよびA/D変換に関する詳細は，表10－2 10ビット分解能A/D変換時間の選択または表10－3 8ビット分解能A/D変換時間の選択を参照してください。

2. A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，0.1 μsかかります。このため，ADCEビットをセット（1）してから0.1 μs以上経過したあとに，ADCSビットをセット（1）することで，最初の変換データより有効となります。0.1 μs以上ウエイトしないでADCSビットをセット（1）してA/D変換した場合は，変換データを無視してください。

注意1. FR1, FR0, LV0ビットを書き換える場合は，変換待機状態（ADCS = 0，ADCE = 1）もしくは変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。また，FR1, FR0, LV0ビットとADCSビットの書き換えを8ビット操作命令で同時に行うことは禁止します。

2. ADCS = 1, ADCE = 0の設定は禁止です。変換停止状態（ADCS = 0, ADCE = 0）のときに，ADCSビットに”1”を書き込んでもセット（1）されません。

3. ADCS = 0, ADCE = 0の設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず10. 7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

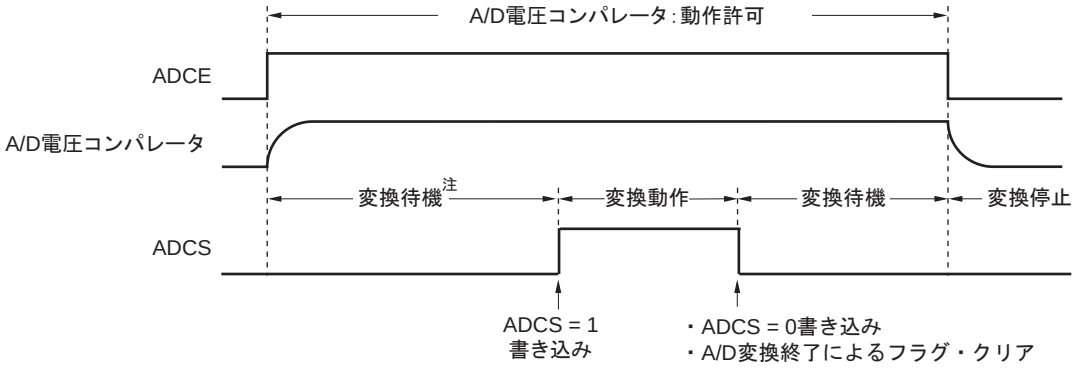
4. ビット2, 5, 6 には必ず“0”を設定してください。

5. 変換動作状態（ADCS = 1）で，ADCSを再びセット（1）することは禁止です。変換動作状態（ADCS = 1）で，同じチャネルの再変換が必要な場合は，いったん変換動作を停止（ADCS = 0）してから，再度A/D変換動作を開始（ADCS = 1）してください。

表10－1　ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

図10－4　A/D電圧コンパレータ使用時のタイミング・チャート



注　A/D電圧コンパレータの動作を許可（ADCE = 1）してからA/D変換の動作を開始（ADCS = 1）するまで，内部回路安定のため，0.1 μs以上のウエイトが必要です。0.1 μs以上ウエイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

表10－2 10ビット分解能A/D変換時間の選択

A/Dコンバータ・モード・レジスタ0（ADM0）			変換クロック	変換クロック数	変換時間	変換時間の選択例（μs）				
FR1	FR0	LV0[注2]				f_{CLK} = 1.25 MHz	f_{CLK} = 2.5 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz[注1]
0	0	0	$f_{CLK}/8$	23 f_{AD}（サンプリング・クロック数：9 f_{AD}）	184/f_{CLK}	設定禁止	設定禁止	設定禁止	18.4	9.2
0	1		$f_{CLK}/4$		92/f_{CLK}			18.4	9.2	4.6
1	0		$f_{CLK}/2$		46/f_{CLK}		18.4	9.2	4.6	設定禁止
1	1		f_{CLK}		23/f_{CLK}	18.4	9.2	4.6	設定禁止	
0	0	1[注1]	$f_{CLK}/8$	17 f_{AD}（サンプリング・クロック数：3 f_{AD}）	136/f_{CLK}	設定禁止	設定禁止	設定禁止	13.6	6.8
0	1		$f_{CLK}/4$		68/f_{CLK}			13.6	6.8	3.4
1	0		$f_{CLK}/2$		34/f_{CLK}		13.6	6.8	3.4	設定禁止
1	1		f_{CLK}		17/f_{CLK}	13.6	6.8	3.4	設定禁止	

注1. 2.4 V≦V_{DD}＜2.7 Vでは設定禁止です。2.7 V≦V_{DD}≦5.5 Vの場合に選択できます。

2. A/Dコンバータの変換対象に内部基準電圧を選択するときは，必ずLV0ビットに0を設定してください。

表10－3 8ビット分解能A/D変換時間の選択

A/Dコンバータ・モードレジスタ0（ADM0）			変換クロック	変換クロック数	変換時間	変換時間の選択例（μs）				
FR1	FR0	LV0[注2]				f_{CLK} = 1.25 MHz	f_{CLK} = 2.5 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz[注1]
0	0	0	$f_{CLK}/8$	21 f_{AD}（サンプリング・クロック数：9 f_{AD}）	168/f_{CLK}	設定禁止	設定禁止	設定禁止	16.8	8.4
0	1		$f_{CLK}/4$		84/f_{CLK}			16.8	8.4	4.2
1	0		$f_{CLK}/2$		42/f_{CLK}		16.8	8.4	4.2	設定禁止
1	1		f_{CLK}		21/f_{CLK}	16.8	8.4	4.2	設定禁止	
0	0	1[注1]	$f_{CLK}/8$	15 f_{AD}（サンプリング・クロック数：3 f_{AD}）	120/f_{CLK}	設定禁止	設定禁止	設定禁止	12.0	6.0
0	1		$f_{CLK}/4$		60/f_{CLK}			12.0	6.0	3.0
1	0		$f_{CLK}/2$		30/f_{CLK}		12.0	6.0	3.0	設定禁止
1	1		f_{CLK}		15/f_{CLK}	12.0	6.0	3.0	設定禁止	

注1. 2.4 V≦V_{DD}＜2.7 Vでは設定禁止です。2.7 V≦V_{DD}≦5.5 Vの場合に選択できます。

2. A/Dコンバータの変換対象に内部基準電圧を選択するときは，必ずLV0ビットに0を設定してください。

注意1. A/D変換時間は，24. 6. 1 A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内で使用してください。

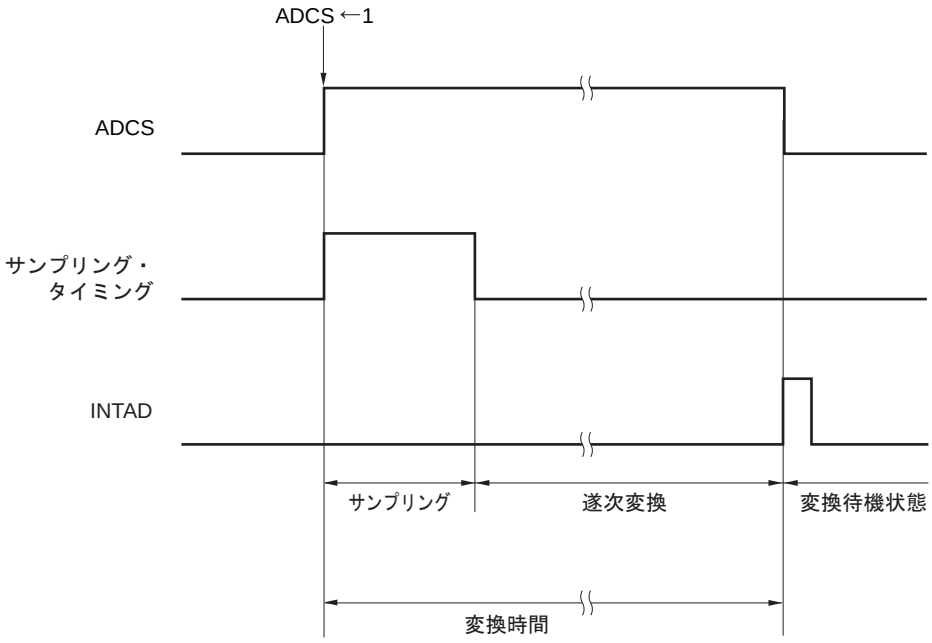
2. A/Dコンバータの変換対象に内部基準電圧を選択した場合は，コンパレータの基準電圧には内部基準電圧を使用できません。

3. FR1, FR0, LV0ビットを同一データ以外に書き換える場合は，変換待機状態（ADCS = 0，ADCE = 1）もしくは変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。また，FR1, FR0, LV0ビットとADCSビットの書き換えを8ビット操作命令で同時に行うことは禁止します。

4. 変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

図10－5　A/Dコンバータのサンプリングと A/D変換のタイミング



10. 3. 3　A/Dコンバータ・モード・レジスタ2（ADM2）

A/Dコンバータの分解能を設定するレジスタです。

ADM2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－6　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット

アドレス：F0010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM2	0	0	0	0	0	0	0	ADTYP

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注意　ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS=0, ADCE=0）のときに行ってください。

10. 3. 4　A/D変換結果上位ビット格納レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。A/D変換が終了すると，逐次変換レジスタ（SAR）から変換結果がロードされます。10ビット分解能の場合は，上位8ビットを格納します。下位2ビットは，ADCRLレジスタに格納されます。

ADCRHレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

図10－7　A/D変換結果上位ビット格納レジスタ（ADCRH）のフォーマット

アドレス：FFF1FH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
ADCRH	ADCR9	ADCR8	ADCR7	ADCR6	ADCR5	ADCR4	ADCR3	ADCR2

注意　A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS）に対して書き込み動作を行ったとき，ADCRH/ADCRLレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0，ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

10. 3. 5　A/D変換結果下位ビット格納レジスタ（ADCRL）

10ビット分解能の場合の下位2ビットの変換結果を格納する8ビットのレジスタです。本レジスタの下位6ビットは“0”固定です。

ADCRLレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

図10－8　A/D変換結果下位ビット格納レジスタ（ADCRL）のフォーマット

アドレス：FFF1EH　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
ADCRL	ADCR1	ADCR0	0	0	0	0	0	0

図10－9に10ビット分解能の場合のA/D変換結果の格納を示します。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位8ビットがADCRHレジスタに，下位2ビットがADCRLレジスタの上位2ビットに格納されます。

図10－9　10ビット分解能の場合のA/D変換結果の格納

ADCRH								ADCRL							
ADCR9	ADCR8	ADCR7	ADCR6	ADCR5	ADCR4	ADCR3	ADCR2	ADCR1	ADCR0	0	0	0	0	0	0

注意1.　A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS）に対して書き込み動作を行ったとき，ADCRH/ADCRL レジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0，ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

2.　8ビット分解能A/D変換を選択時（A/Dコンバータ・モード・レジスタ2（ADM2）のADTYP = 1）にADCRLレジスタを読み出すと，上位2ビット（ADCR1, ADCR0）は0が読み出されます。ただし，8ビット分解能A/D変換を選択直後，A/D変換を完了せずにADCRLレジスタを読み出した場合，上位2ビット（ADCR1, ADCR0）は0が読み出されない場合があります。

10. 3. 6　アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－10　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2[注1]	ADS1	ADS0

10ピン製品の場合

ADS1	ADS0	A/D変換対象	アナログ入力端子
0	0	ANI0	P01/ANI0端子
0	1	ANI1	P02/ANI1端子
1	0	ANI2	P03/ANI2端子
1	1	ANI3	P04/ANI3端子

16ピン製品の場合

ADS2	ADS1	ADS0	A/D変換対象	アナログ入力端子
0	0	0	ANI0	P01/ANI0端子
0	0	1	ANI1	P02/ANI1端子
0	1	0	ANI2	P03/ANI2端子
0	1	1	ANI3	P04/ANI3端子
1	0	0	ANI4	P05/ANI4端子
1	0	1	ANI5	P06/ANI5端子
1	1	0	ANI6	P07/ANI6端子
1	1	1	内部基準電圧（0.815V（TYP.））[注2]	－

注1.　16ピン製品のみ

2.　A/Dコンバータの変換対象に内部基準電圧を選択するときは，A/Dコンバータ・モード・レジスタ0（ADM0）のLV0ビットを必ず0にしてください。

注意1.　ADSレジスタを書き換える場合は，変換待機状態（ADCS = 0，ADCE = 1）もしくは変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

2.　アナログ入力ポートとして使用するポートは，ポート・モード・レジスタ0（PM0）で入力モードに，ポート・モード・コントロール・レジスタ0（PMC0）でアナログ入力に選択してください。ポート・モード・コントロール・レジスタ0（PMC0）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

3.　内部基準電圧は，A/Dコンバータとコンパレータの両方同時に使用できません。A/Dコンバータの変換対象に内部基準電圧を選択（ADS2-ADS0 = 111B）時は，コンパレータの基準電圧に内部基準電圧を設定できません。

4.　次のビットには必ず“0”を設定してください。

10ピン製品：ビット2-7

16ピン製品：ビット3-7

10. 3. 7　A/Dテスト・レジスタ（ADTES）

A/D変換するアナログ入力にVSSを選択するレジスタです。A/D変換対象に内部基準電圧（0.815 V（TYP.））を選択する場合，内部基準電圧のA/D変換前にサンプリング・コンデンサをディスチャージ変換する必要があります。ADTESレジスタのADTES1ビットをセット（1）して，1回A/D変換を行ってください。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－11　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	0

ADTES1	A/D変換対象の選択
0	ANIx／内部基準電圧（0.815 V（TYP.）） （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	V_{SS}（サンプリング・コンデンサのディスチャージ変換）

注意　内部基準電圧（0.815 V（TYP.））をA/D変換する場合，10. 7. 2　A/D変換対象：内部基準電圧の設定（16ピン製品のみ）の手順に従ってサンプリング・コンデンサのディスチャージ変換を1回行ってください。

備考　ビット0, 2-7 には必ず“0”を設定してください。

10. 3. 8　アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ0（PM0），ポート・モード・コントロール・レジスタ0（PMC0））を設定してください。詳細は，**4. 3. 1　ポート・モード・レジスタ0, 4（PM0, PM4）**，**4. 3. 5　ポート・モード・コントロール・レジスタ0（PMC0）**を参照してください。

また，A/Dコンバータのアナログ入力端子として使用するときの設定例は，**4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

ANI0-ANI6端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ0（PM0）とポート・モード・コントロール・レジスタ0（PMC0）のビットに1を設定してください。

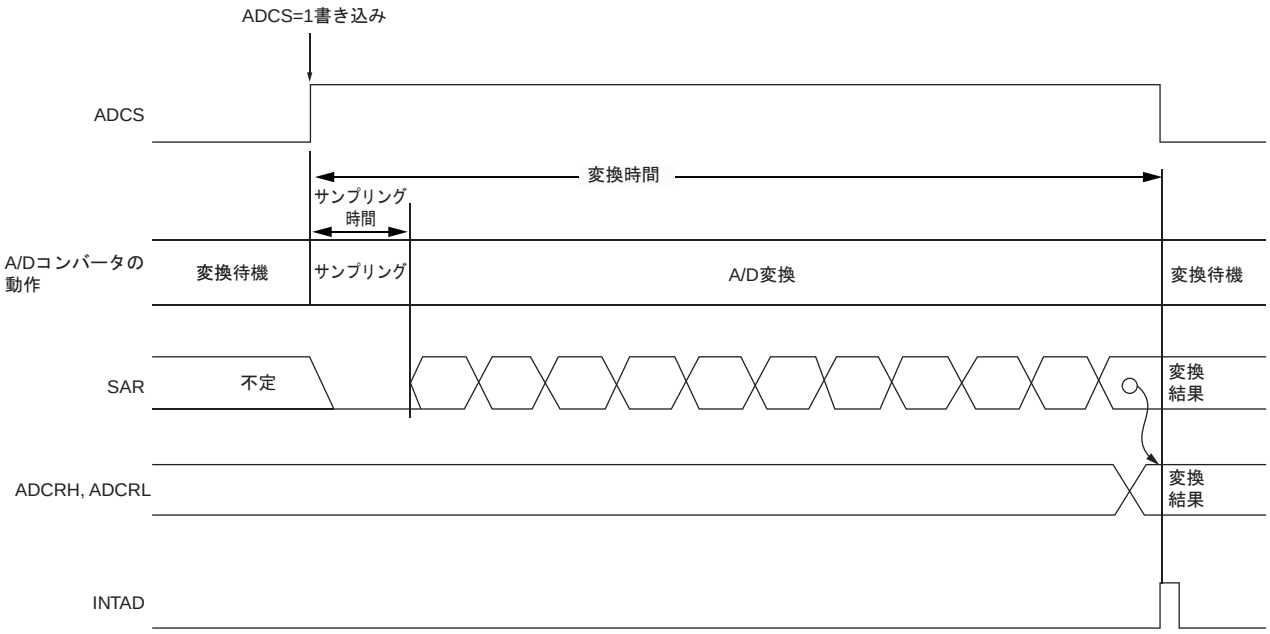
10. 4　A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。
② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。
③ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）V_{DD}にします。
④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし，アナログ入力が（1/2）V_{DD}よりも大きければ，SARレジスタのMSBビットをセットしたままです。また，（1/2）V_{DD}よりも小さければ，MSBビットはリセットします。
⑤ 次にSARレジスタのビット8が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。
　・ビット9 = 1：（3/4）V_{DD}
　・ビット9 = 0：（1/4）V_{DD}
この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。
　・サンプリングされた電圧≧電圧タップ：ビット8 = 1
　・サンプリングされた電圧＜電圧タップ：ビット8 = 0
⑥ このような比較をSARレジスタのビット0まで続けます。
⑦ 10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ（ADCRH, ADCRL）に転送され，ラッチします。
同時に，A/D変換終了割り込み要求信号（INTAD）が発生します。
A/D変換終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態になります。

備考　A/D変換結果レジスタは2種類あります。
　・ADCRHレジスタ（8ビット）　：10ビット分解能A/D変換結果の上位8ビット，または 8ビット分解能A/D変換値を格納します。
　・ADCRLレジスタ（2ビット）　：10ビット分解能A/D変換結果の下位2ビットを格納します。

図10－12　A/Dコンバータの変換動作



A/D変換動作は，ソフトウエア操作によりA/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）をセット（1）して，1回変換動作が行われます。A/D変換終了後にADCSビットが自動的にクリア（0）されます。

A/D変換結果レジスタ（ADCRH, ADCRL）は，リセット信号の発生により00Hとなります。

10. 5　入力電圧と変換結果

アナログ入力（ANI0-ANI6[注]，内部基準電圧）に入力されたアナログ入力電圧と理論上のA/D変換結果（A/D変換結果レジスタ（ADCR =ADCRH + ADCRL））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{V_{DD}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

または，

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{V_{DD}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{V_{DD}}{1024}$$

INT（　）　：（　）内の値の整数部を返す関数

V_{AIN}　：アナログ入力電圧

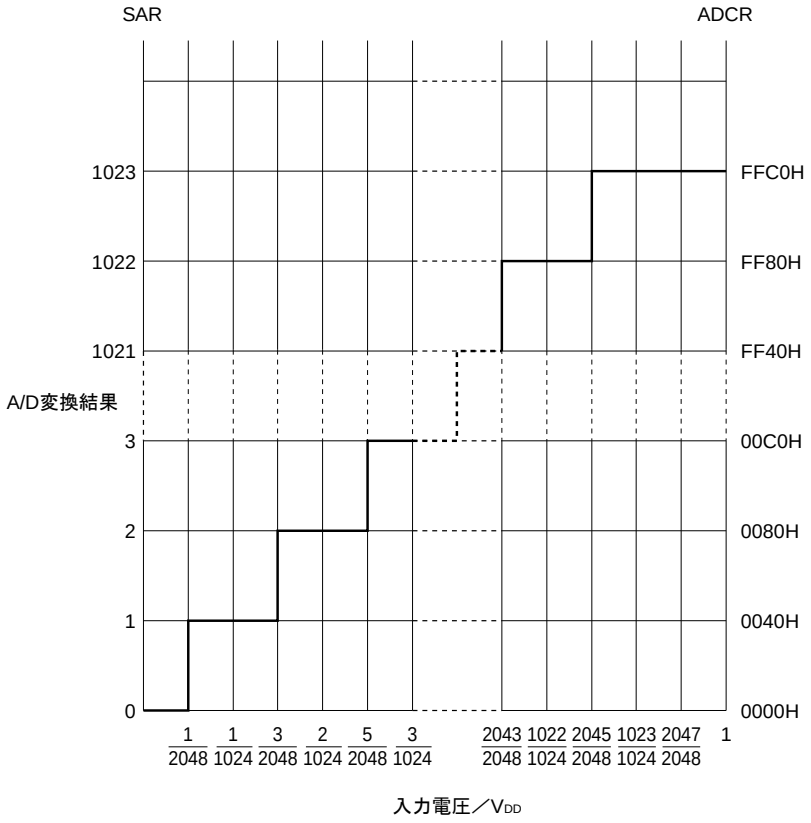
ADCR　：A/D変換結果レジスタ（ADCRH + ADCRL）の値

SAR　：逐次変換レジスタ

注　10ピン製品の場合，ANI0-ANI3

図10－13にアナログ入力電圧とA/D変換結果の関係を示します。

図10－13　アナログ入力電圧とA/D変換結果の関係



10. 6　A/Dコンバータの動作モード

A/Dコンバータの動作を次に示します。また，設定手順を**10. 7　A/Dコンバータの設定フロー・チャート**に示します。

① 変換停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定して，変換待機状態になります。

② ソフトウエアで安定待ち時間（0.1μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換が開始されます。

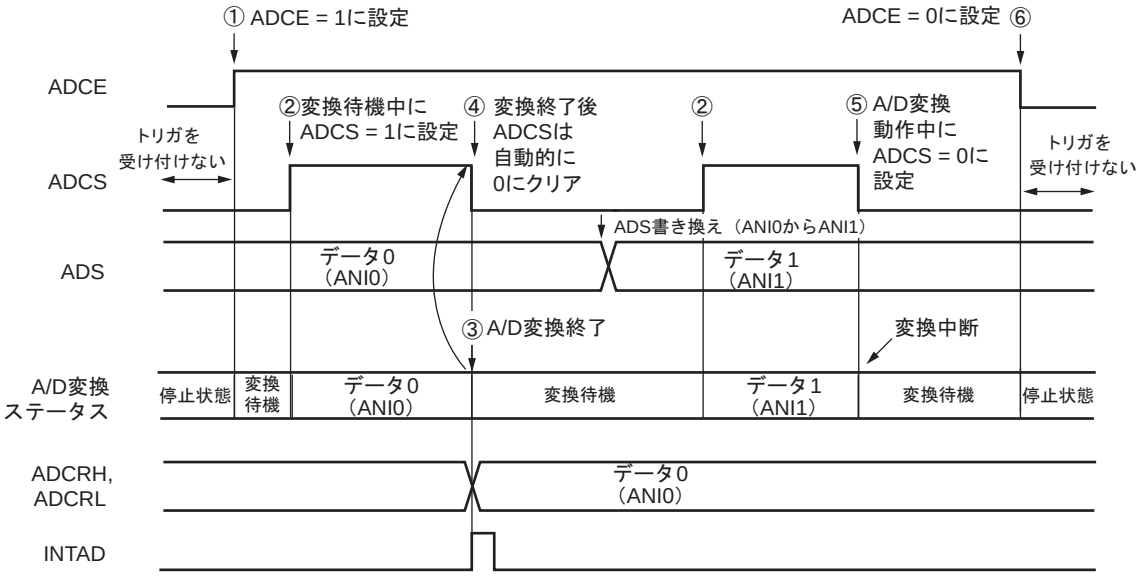
③ A/D変換が終了すると，変換結果がA/D変換結果レジスタ（ADCRH, ADCRL）に格納され，A/D変換終了割り込み要求信号（INTAD）が発生します。

④ A/D変換終了後，ADCSビットは自動的に0にクリアされ，変換待機状態となります。

⑤ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，変換待機状態となります。

⑥ 変換待機中にADCE = 0に設定すると，A/Dコンバータは変換停止状態になります。
ADCS = 1, ADCE = 0の設定は禁止です。変換停止状態（ADCS = 0, ADCE = 0）のときに，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図10－14　動作タイミング例

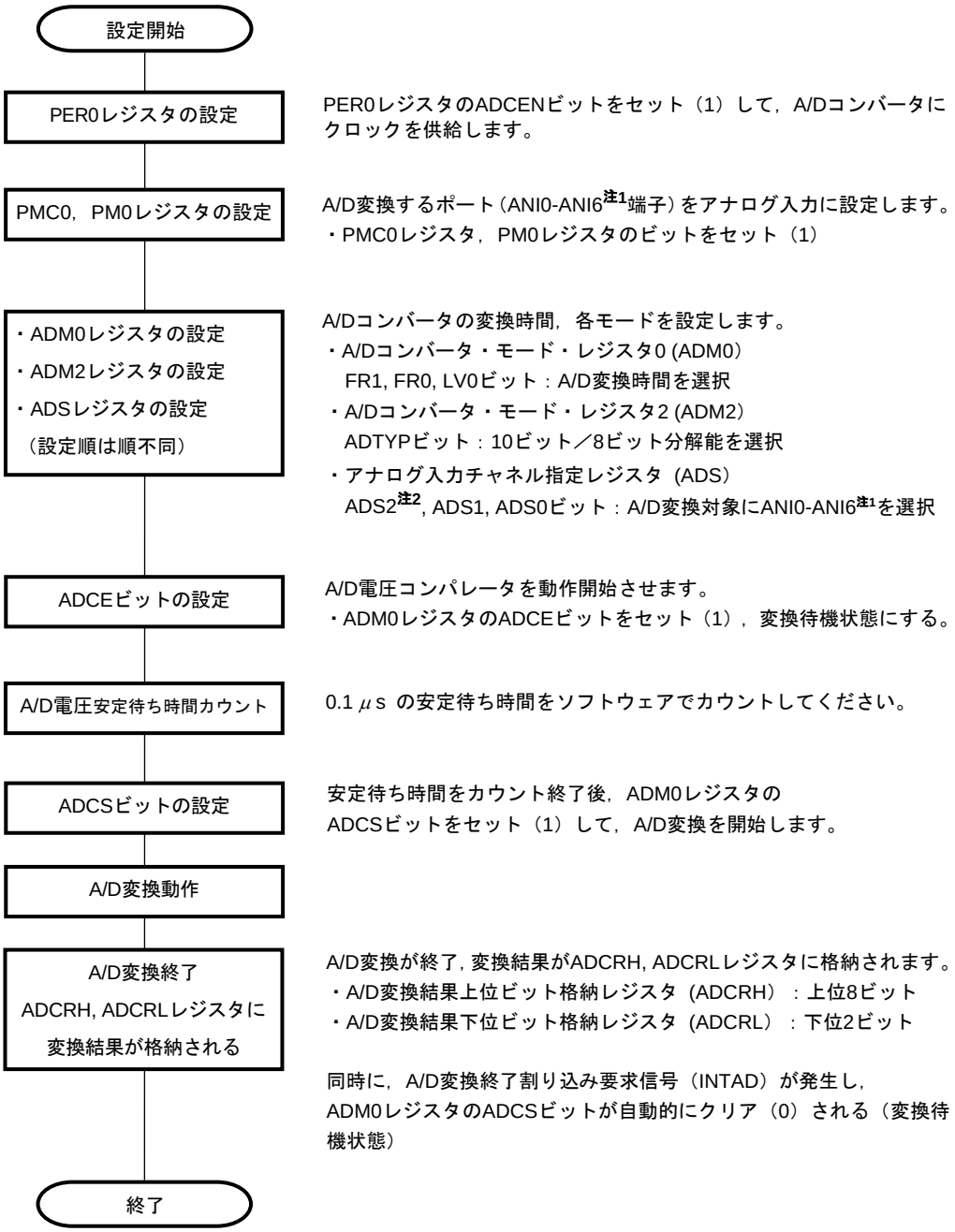


10. 7　A/Dコンバータの設定フロー・チャート

A/Dコンバータの設定フロー・チャートを次に示します。

10. 7. 1　A/D変換対象：ANI0-ANI6 の設定

図10－15　A/D変換対象：ANI0-ANI6 の設定

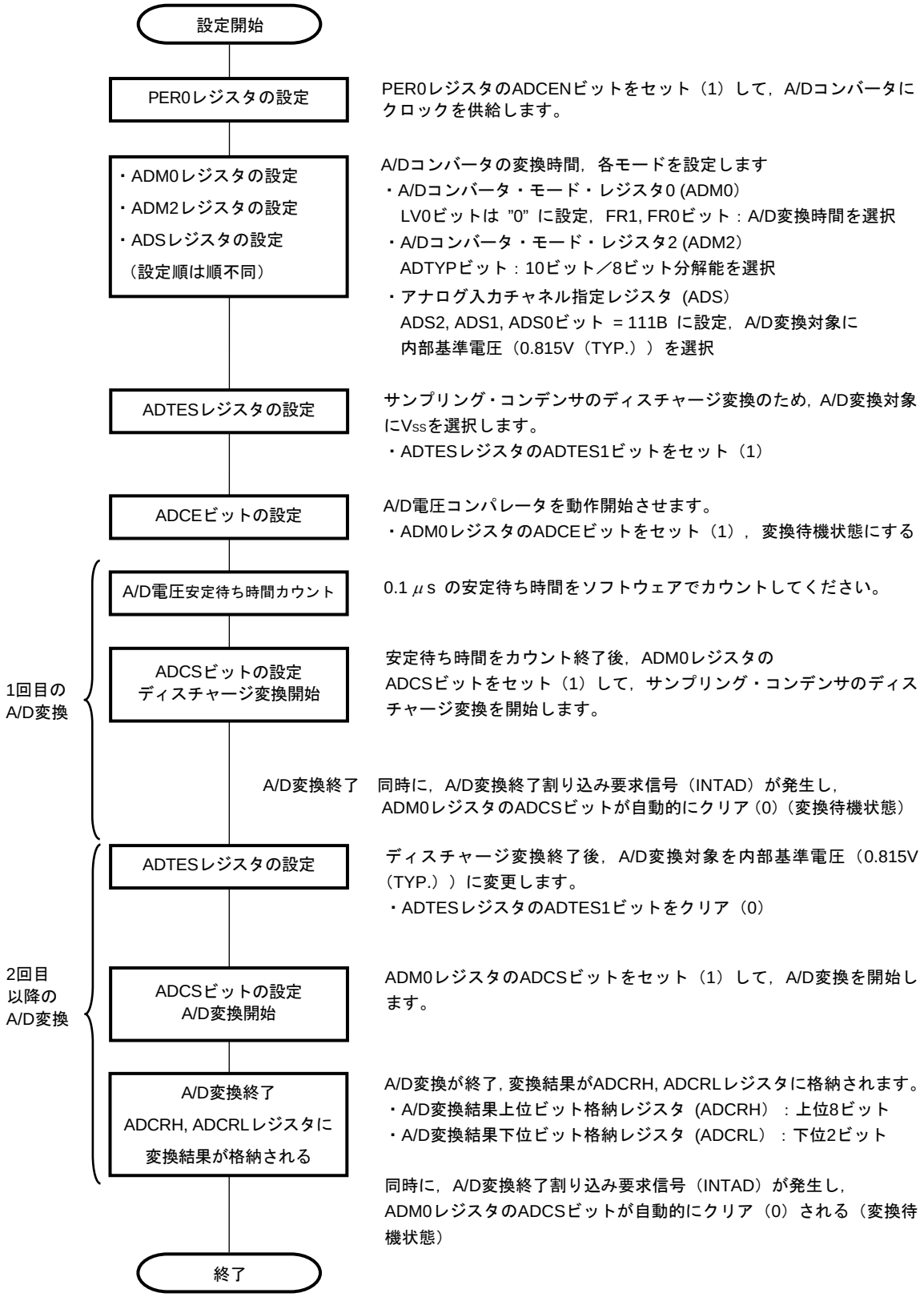


注1.　10ピン製品は，ANI0-ANI3

2.　16ピン製品のみ

10. 7. 2 A/D変換対象：内部基準電圧の設定（16ピン製品のみ）

図10－16 A/D変換対象：内部基準電圧の設定



10. 8　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

10. 8. 1　分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1\ \mathrm{LSB} = 1/2^{10} = 1/1024$$
$$= 0.098\ \%\mathrm{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

10. 8. 2　総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

10. 8. 3　量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図10－17　総合誤差

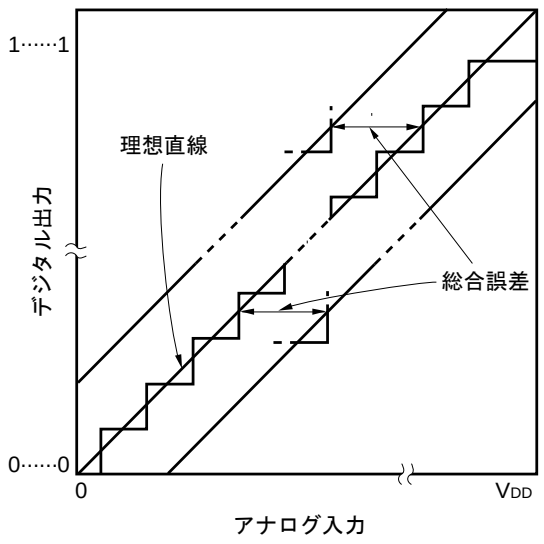
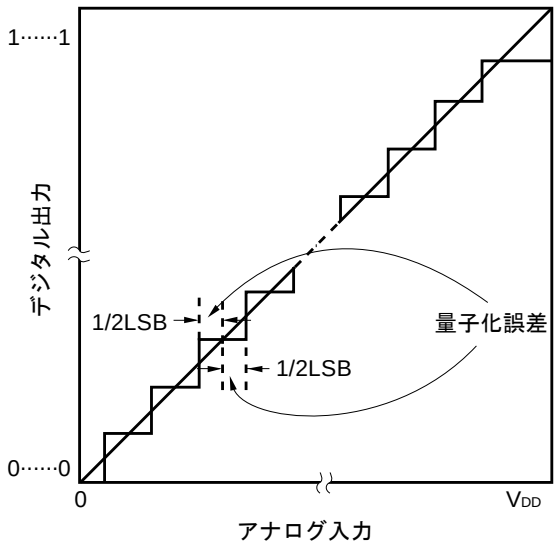


図10－18　量子化誤差



10. 8. 4　ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

10. 8. 5　フルスケール誤差

デジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

10. 8. 6　積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

10. 8. 7　微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図10－19　ゼロスケール誤差

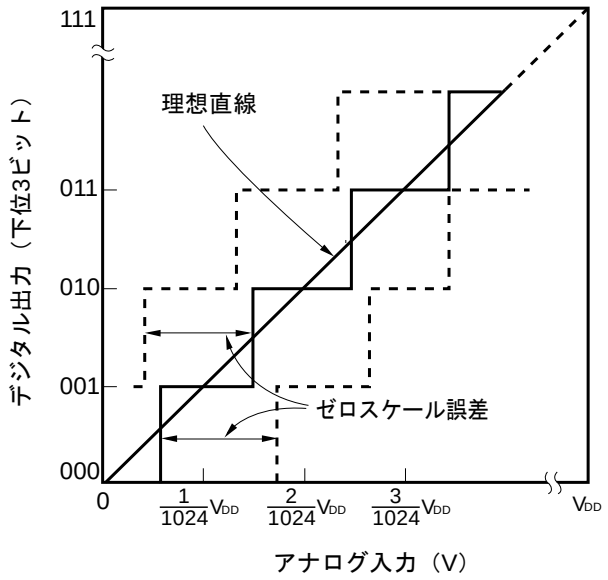


図10－20　フルスケール誤差

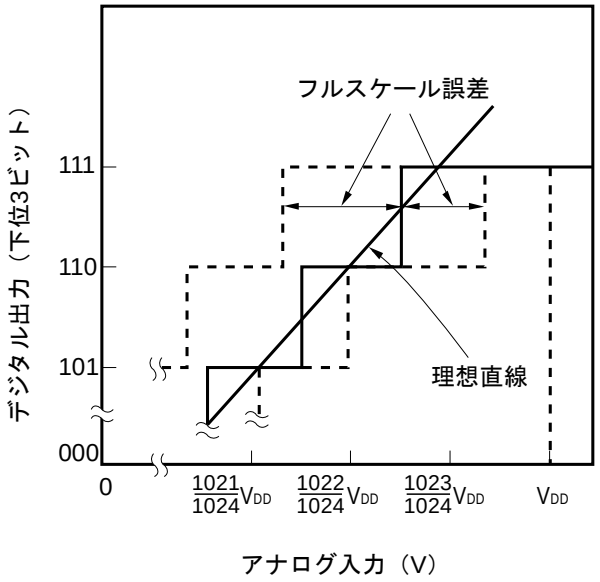


図10－21　積分直線性誤差

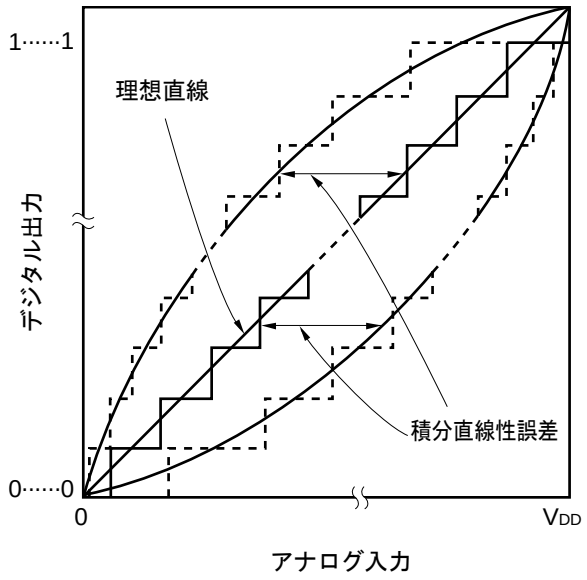
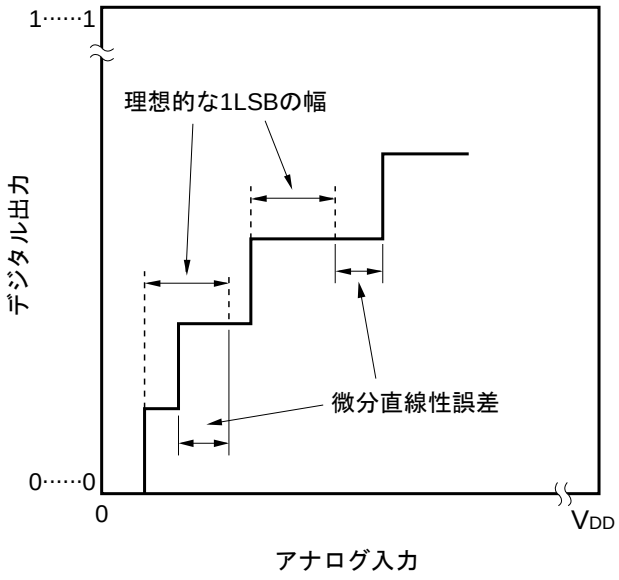


図10－22　微分直線性誤差



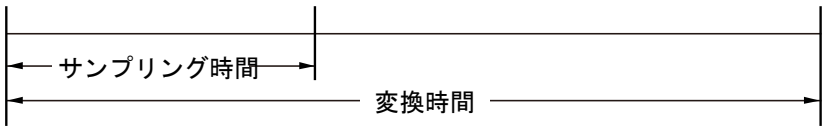
10. 8. 8　変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

10. 8. 9　サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



10. 9　A/Dコンバータの注意事項

10. 9. 1　STOPモード時の動作電流について

STOPモードに移行する場合は，A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより，動作電流を低減できます。

10. 9. 2　ANI0-ANI6端子の入力電圧について

ANI0-ANI6[注]端子の入力電圧は，規格の範囲内でご使用ください。特にV_{DD}を超えたり，V_{SS}未満（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

10. 9. 3　競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCRH, ADCRL）へのライトと，ソフトウェア操作によるADCRH, ADCRLレジスタのリードが競合した場合は，ADCRH, ADCRLレジスタのリードが優先されます。
リードしたあと，新しい変換結果がADCRH, ADCRLレジスタにライトされます。

② 変換終了時のADCRH, ADCRLレジスタへのライトと，A/Dコンバータ・モード・レジスタ0（ADM0）へのライトが競合した場合は，ADM0レジスタへのライトが優先されます。ADCRH, ADCRLレジスタへのライトはされません。また，A/D変換終了割り込み要求信号（INTAD）も発生しません。

10. 9. 4　ノイズ対策について

10ビット分解能を保つためには，V_{DD}, ANI0-ANI6[注]端子へのノイズに注意する必要があります。

① 電源には等価抵抗が小さく，周波数応答のよいコンデンサを接続してください。

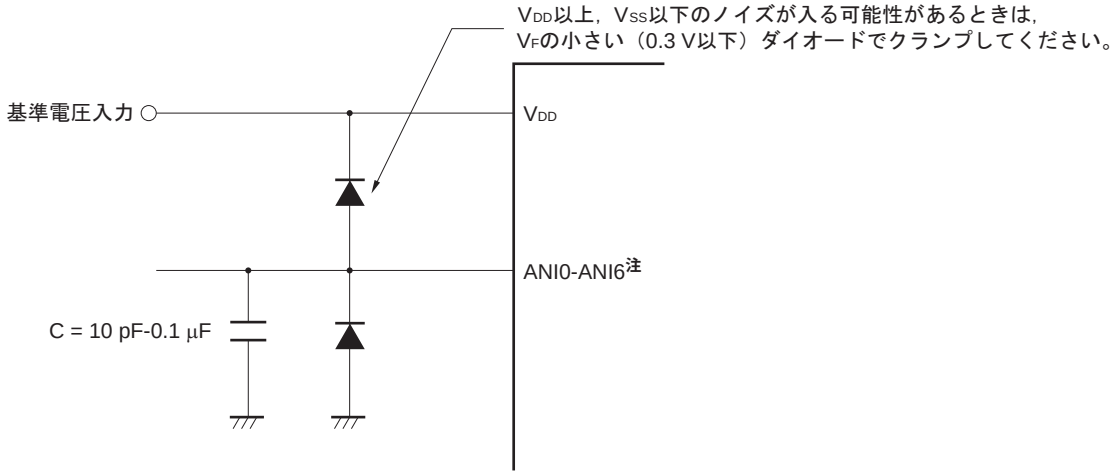
② アナログ入力源の出力インピーダンスが高いほど影響が大きくなるので，ノイズを低減するために**図10－23**のように，Cを外付けすることを推奨します。

③ 変換中においては，他の端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると，精度が向上します。

注　10ピン製品の場合，ANI0～ANI3

図10－23　アナログ入力端子の処理



注　10ピン製品の場合，ANI0～ANI3

10. 9. 5　アナログ入力（ANIn）端子

① アナログ入力（ANI0-ANI6[注1]）端子は，入力ポート（P01-P07[注2]）端子と兼用になっています。ANI0-ANI6端子のいずれかを選択してA/D変換をする場合，変換中にP01-P07[注2]の兼用ポートへの出力値を変更しないでください。変換精度が低下することがあります。

② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると，カップリング・ノイズによってA/D変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

注1.　10ピン製品の場合，ANI0～ANI3

2.　P05-P07は16ピン製品のみあります。

10. 9. 6　アナログ入力（ANIn）端子の入力インピーダンスについて

このA/Dコンバータでは，サンプリング時間内に内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけ流れ，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを1 kΩ以下にし，出力インピーダンスが高いときは，ANI0-ANI6[注]端子とグランドの間に0.1 μF程度のコンデンサを付けることを推奨します（図10－23参照）。

注　10ピン製品の場合，ANI0～ANI3

10. 9. 7　割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても，割り込み要求フラグ（ADIF）はクリア（0）されません。A/D変換を一度停止させて再開する場合は，再開する前にADIFフラグをクリア（0）してください。

10. 9. 8　A/D変換スタート直後の変換結果について

ADCEビット ＝1にしてから，0.1 μs以内にADCSビット ＝1にした場合，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

10. 9. 9　A/D変換結果レジスタ（ADCRH, ADCRL）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），ポート・モード・コントロール・レジスタ（PMC0）に書き込みを行うと，ADCRH，ADCRLレジスタの内容が不定となって，正しい変換結果が読み出されないことがあります。変換動作終了後， ADM0，ADS，PMC0レジスタに書き込みをする前に，変換結果を読み出してください。

10. 9. 10　内部等価回路について

アナログ入力部の等価回路を次に示します。

図10－24　ANIn端子内部等価回路

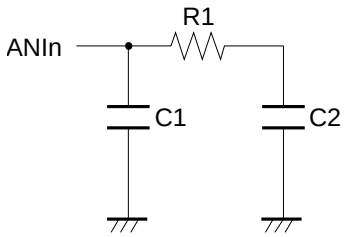


表10－4　等価回路の各抵抗と容量値

V_{DD}	端子	R1（kΩ）	C1（pF）	C2（pF）
2.7 V≦V_{DD}≦5.5 V	ANI0 – ANI6注	40	8	1.7
2.4 V≦V_{DD}＜2.7 V	ANI0 – ANI6注	200		

注　10ピン製品の場合，ANI0-ANI3

備考　各抵抗と容量値は保証値ではありません。

10. 9. 11　A/Dコンバータの動作開始について

A/Dコンバータの動作電圧は，2.4V～5.5Vです。A/Dコンバータの動作は，V_{DD}の電圧が安定してから開始してください。

第11章　コンパレータ

注意．16ピン製品には，コンパレータを1チャネル搭載しています。

11. 1　コンパレータの機能

コンパレータには，次のような機能があります。

- コンパレータ応答速度を選択できます。
  コンパレータ高速モード ：応答遅延時間が短くなりますが，消費電力は大きくなります。
  コンパレータ低速モード ：応答遅延時間が長くなりますが，消費電力は小さくなります。
- コンパレータの基準電圧は，外部基準電圧入力／内部基準電圧[注]（0.815V（TYP.））を選択できます。
- ノイズ除去用にデジタル・フィルタを搭載，ノイズの除去幅を選択できます。
- コンパレータ出力を反転／非反転して，VCOUT0端子から出力できます。
- コンパレータ出力の有効エッジを検出して，割り込み（INTCMP0）を発生できます。

注　内部基準電圧は，A/Dコンバータとコンパレータの両方同時には使用できません。コンパレータの基準電圧に内部基準電圧を選択したときは，A/Dコンバータの変換対象に内部基準電圧を設定しないでください。

11. 2　コンパレータの構成

コンパレータは，次のハードウエアで構成しています。

(1) IVCMP0端子

コンパレータのアナログ入力端子です。コンパレータで比較するアナログ信号を入力します。

(2) IVREF0端子

基準電圧を外部から供給する入力端子です。コンパレータの基準電圧とIVCMP0端子に入力されるアナログ入力を比較します。

コンパレータの基準電圧には，外部からIVREF0端子に供給するほかに，内部基準電圧（0.815V（TYP.））を選択することもできます。

コンパレータの基準電圧の設定は，**11. 3. 2　コンパレータモード設定レジスタ(COMPMDR)**を参照してください。

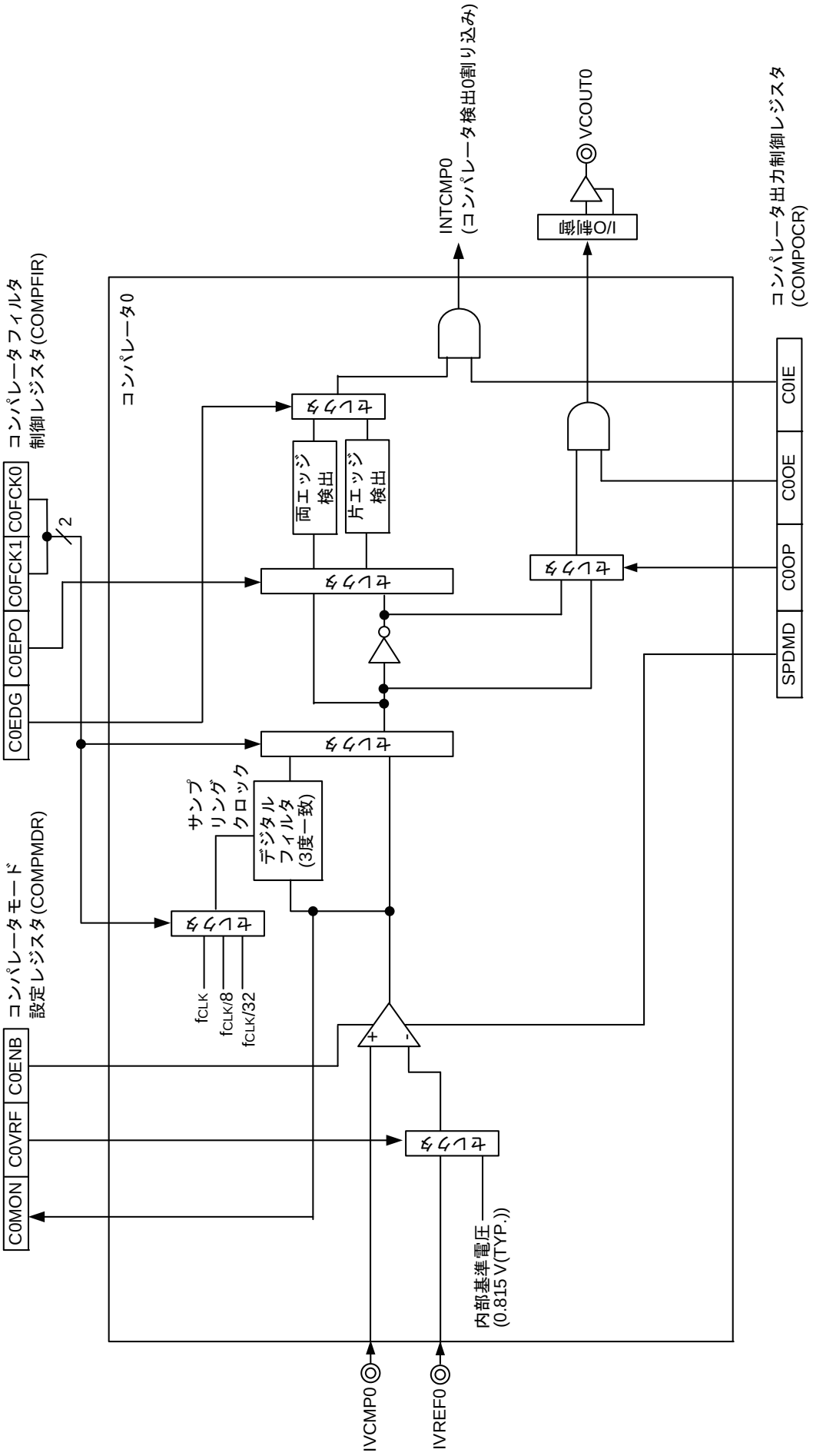
(3) VCOUT0端子

コンパレータの比較結果を出力する端子です。コンパレータ出力を反転／非反転して，VCOUT0端子から出力できます。

VCOUT0端子からコンパレータ出力する場合は，**11. 4. 3　コンパレータ0出力**を参照してください。

図11－1にコンパレータのブロック図を示します。

図11−1　コンパレータのブロック図



11. 3　コンパレータを制御するレジスタ

コンパレータを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・コンパレータモード設定レジスタ（COMPMDR）
・コンパレータフィルタ制御レジスタ（COMPFIR）
・コンパレータ出力制御レジスタ（COMPOCR）
・ポート・モード・コントロール・レジスタ0（PMC0）
・ポート・モード・レジスタ0（PM0）
・ポート・レジスタ0（P0）

11. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは，必ずビット6（CMPEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN注	CMPEN注	ADCEN	IICA0EN注	0	SAU0EN	0	TAU0EN

CMPEN	コンパレータの入力クロックの制御
0	入力クロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータはリセット状態
1	入力クロック供給 ・コンパレータで使用するSFRへのリード／ライト可

注　16ピン製品のみ

注意1. コンパレータの設定をする際には，必ず最初にCMPEN = 1の状態で，下記のレジスタを設定してください。CMPEN = 0の場合は，コンパレータの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ0（PM0），ポート・レジスタ0（P0），ポート・モード・コントロール・レジスタ0（PMC0）は除く）。

・コンパレータモード設定レジスタ（COMPMDR）
・コンパレータフィルタ制御レジスタ（COMPFIR）
・コンパレータ出力制御レジスタ（COMPOCR）

2. 次のビットには必ず0を設定してください。

10ピン製品 ：ビット1, 3, 4, 6, 7
16ピン製品 ：ビット1, 3

11. 3. 2　コンパレータモード設定レジスタ（COMPMDR）

コンパレータの基準電圧の選択，比較動作の開始／停止の設定，比較結果の状態を表すレジスタです。

COMPMDRレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，C0MONビットは読み出しのみ可能です。

リセット信号の発生により，00Hになります。

（2）コンパレータモード設定レジスタ（COMPMDR）

図11－3　コンパレータモード設定レジスタ（COMPMDR）のフォーマット

アドレス：FFF60H　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
COMPMDR	0	0	0	0	C0MON	C0VRF	0	C0ENB

C0MON[注2]	コンパレータ0モニタフラグ
0	IVCMP0 ＜ コンパレータ0の基準電圧
1	IVCMP0 ＞ コンパレータ0の基準電圧

C0VRF	コンパレータ0の基準電圧の選択
0	IVREF0端子から供給
1	内部基準電圧（0.815 V（TYP.））から供給[注3]

C0ENB	コンパレータ0動作の制御
0	コンパレータ0動作禁止
1	コンパレータ0動作許可

注1.　ビット3はRead onlyです。

2.　コンパレータ0動作許可（C0ENB = 1）に設定してから，C0MONビットでIVREF0端子の状態が確認できます。その後，コンパレータ0動作禁止（C0ENB = 0）に設定するとC0MONビットの値は不定となります。

3.　コンパレータ0の基準電圧に内部基準電圧（0.815 V（TYP.））を選択した場合は，A/Dコンバータでは内部基準電圧を選択できません。

11. 3. 3　コンパレータフィルタ制御レジスタ（COMPFIR）

コンパレータ割り込み信号の有効エッジの選択，デジタル・フィルタの使用可否を設定するレジスタです。

ノイズ除去が必要な場合は，C0FCK1，C0FCK0ビットを設定して，デジタル・フィルタを有効にしてください。デジタル・フィルタ有効時は，デジタル・フィルタのサンプリング・クロックで3クロックの一致検出を行います。

COMPFIRレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－4　コンパレータフィルタ制御レジスタ（COMPFIR）のフォーマット

アドレス：FFF61H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	0	0	0	0	C0EDG	C0EPO	C0FCK1	C0FCK0

C0EDG	C0EPO	コンパレータ0割り込み信号の有効エッジの選択[注1]
0	0	立ち上がりエッジ
0	1	立ち下がりエッジ
1	×	立ち上がり，立ち下がりの両エッジ

C0FCK1	C0FCK0	コンパレータ0のデジタル・フィルタ使用可否[注1, 2, 3]
0	0	デジタル・フィルタOFF
0	1	デジタル・フィルタON，サンプリング・クロック： f_{CLK}
1	0	デジタル・フィルタON，サンプリング・クロック： $f_{CLK}/8$
1	1	デジタル・フィルタON，サンプリング・クロック： $f_{CLK}/32$

注1.　コンパレータ0の動作許可中に，C0EDG，C0EPOビットおよびC0FCK1，C0FCK0ビットを変更するとコンパレータ0 割り込み（INTCMP0）が発生することがあります。C0EDG，C0EPOビットおよびC0FCK1，C0FCK0ビットを変更する場合は，事前にCOMPOCRレジスタのC0IE ビットをクリア（0）して割り込み要求禁止にしてください。
また，変更後に割り込み要求フラグ・レジスタ1L（IF1L）のビット2（CMPIF0）をクリア（0）してください。

2.　C0FCK1，C0FCK0ビットの値を変更した場合，デジタル・フィルタの更新に，サンプリング・クロックの4クロック分のウエイトが必要になります。コンパレータ0 割り込み（INTCMP0）を使用する場合は，このウエイト経過後にCOMPOCRレジスタのC0IE ビットをセット（1）してください。

3.　STOPモード中にコンパレータを使用する場合は，デジタル・フィルタOFF（C0FCK1，C0FCK0 = 00B）に設定してください。

備考 ×：Don't care

11. 3. 4　コンパレータ出力制御レジスタ（COMPOCR）

コンパレータの応答速度の選択，VCOUT0出力の制御，割り込み要求信号の許可／禁止を設定するレジスタです。

COMPOCRレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－5　コンパレータ出力制御レジスタ（COMPOCR）のフォーマット

アドレス：FFF62H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	0	0	0	0	C0OP	C0OE	C0IE

SPDMD注1	コンパレータ速度の選択
0	コンパレータ低速モード
1	コンパレータ高速モード

C0OP	VCOUT0出力極性の選択
0	コンパレータ0出力をそのままVCOUT0端子から出力する
1	コンパレータ0出力を反転してVCOUT0端子から出力する

C0OE	VCOUT0端子出力許可／禁止
0	コンパレータ0のVCOUT0端子出力禁止
1	コンパレータ0のVCOUT0端子出力許可

C0IE	コンパレータ0割り込み要求許可／禁止
0	コンパレータ0割り込み要求禁止
1	コンパレータ0割り込み要求許可

注．SPDMDビットを書き換える場合は，必ずCOMPMDRレジスタのC0ENBビットを0にしてから書き換えてください。

11. 3. 5　コンパレータの入出力端子のポート機能を制御するレジスタ

コンパレータの入出力端子と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ0（PM0），ポート・レジスタ0（P0），ポート・モード・コントロール・レジスタ0（PMC0））を設定してください。詳細は，**4. 3. 1　ポート・モード・レジスタ0, 4（PM0, PM4）**，**4. 3. 2　ポート・レジスタ0, 4, 12, 13（P0, P4, P12, P13）**，**4. 3. 5　ポート・モード・コントロール・レジスタ0（PMC0）**を参照してください。また，コンパレータの入出力端子として使用するときの設定例は，**4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

IVCMP0端子，IVREF0端子をコンパレータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PM0）とポート・モード・コントロール・レジスタ（PMC0）のビットに1を設定してください。

VCOUT0端子をコンパレータの出力として使用するときは，ポート・モード・レジスタ（PM0），ポート・レジスタ（P0），ポート・モード・コントロール・レジスタ（PMC0）のビットに0を設定してください。なお，VCOUT0端子の出力設定は 11. 4. 3　コンパレータ0出力 の設定手順に従ってポート設定してください。

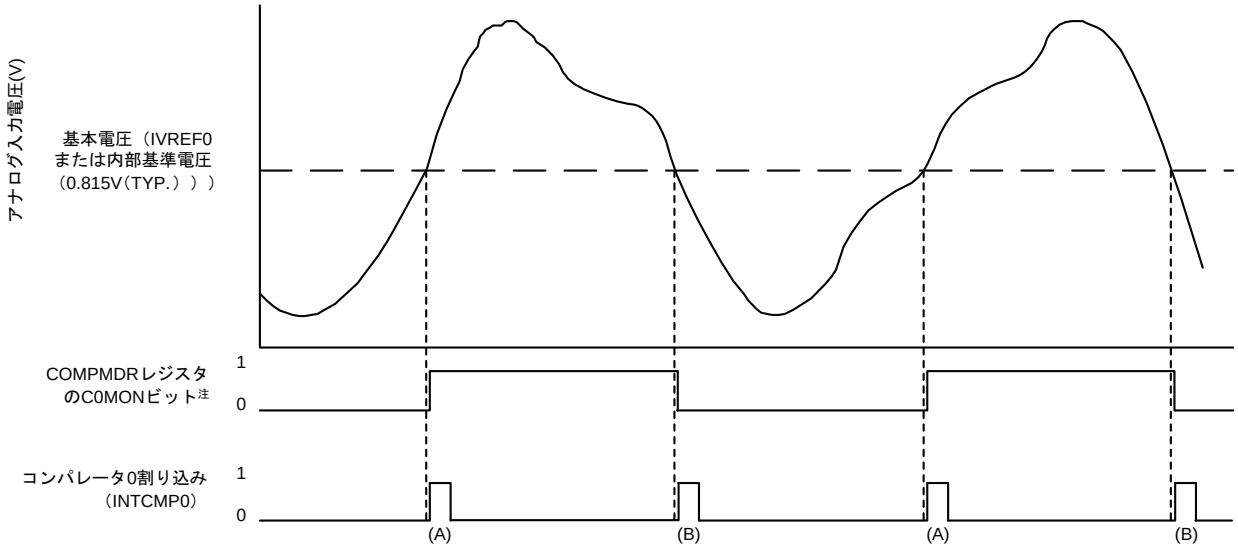
11. 4　コンパレータの動作説明

IVCMP0端子のアナログ入力電圧が基準電圧より高いときに，COMPMDRレジスタのC0MONビットが1になります。一方，IVCMP0端子のアナログ入力電圧が基準電圧より低いときに，C0MONビットが0になります。

コンパレータ0割り込み（INTCMP0）を使用する場合は，COMPOCRレジスタのC0IEを1（割り込み要求許可）にしてください。このとき比較結果が変化すれば，コンパレータ0割り込み要求信号が発生します。コンパレータ0割り込みの詳細は**11. 4. 2　コンパレータ0の割り込み動作**を参照してください。

コンパレータ0動作例（デジタル・フィルタなし（COMPFIRレジスタのC0FCK1，C0FCK0 = 00B），割り込み両エッジ検出（C0EDG = 1））を図11－6に示します。

図11－6　コンパレータ0の動作例（デジタル・フィルタなし，割り込み両エッジ検出）



注　出力遅延の時間は，コンパレータ動作モードに依って異なります。詳細は，**24. 6. 2　コンパレータ特性**を参照してください。

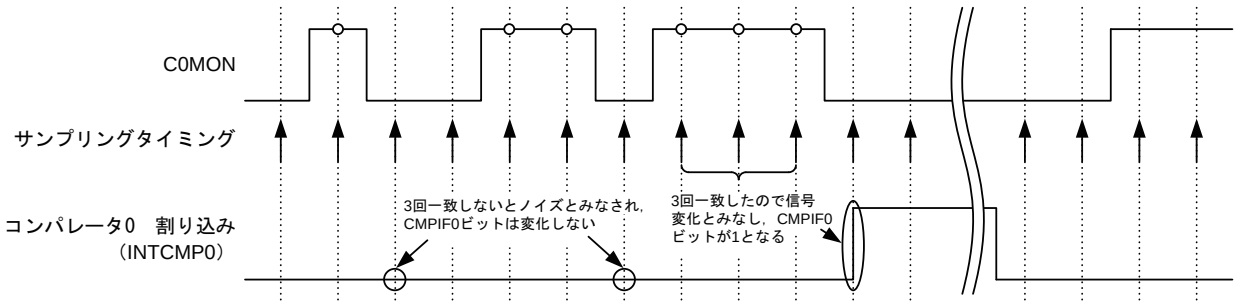
注意　割り込み有効エッジを立ち上がりエッジ（C0EDG = 0，C0EPO = 0）に設定したときのINTCMP0は（A）の変化のみになります。
割り込み有効エッジを立ち下がりエッジ（C0EDG = 0，C0EPO = 1）に設定したときのINTCMP0は（B）の変化のみになります。

11. 4. 1　コンパレータ0 のデジタル・フィルタ動作

コンパレータ0は，デジタル・フィルタを内蔵しています。サンプリング・クロックはCOMPFIRレジスタのC0FCK1，C0FCK0 ビットで選択します。サンプリング・クロックごとにコンパレータ0 の出力信号をサンプリングして，出力信号のレベルが3回一致した次のサンプリング・クロックで，デジタル・フィルタ出力が変化します。

図11－7にコンパレータ0 デジタル・フィルタと割り込み動作例を示します。

図11－7　コンパレータ0 デジタル・フィルタと割り込み動作例



備考　図11－7は，デジタル・フィルタあり（COMPFIRレジスタのC0FCK1，C0FCK0ビット＝01B, 10B, 11Bのいずれか）の場合の動作例です。

11. 4. 2　コンパレータ0 の割り込み動作

コンパレータ0 割り込みを使用するときは，COMPOCRレジスタのC0IE ビットを1（割り込み要求許可）にしてください。割り込み要求が発生する条件は，COMPFIRレジスタにより設定します。また，コンパレータ出力にはデジタル・フィルタを付けることが可能です。

レジスタ設定の詳細は，「**11. 3. 3　コンパレータフィルタ制御レジスタ（COMPFIR）**」および「**11. 3. 4　コンパレータ出力制御レジスタ（COMPOCR）**」を参照してください。

11. 4. 3　コンパレータ0 出力

コンパレータの比較結果をVCOUT0端子から出力することができます。COMPOCRレジスタのC0OPビットでVCOUT0端子出力極性（反転／非反転）を，C0OEビットでVCOUT0端子出力許可／禁止を設定します。レジスタ設定の詳細は，「**11. 3. 4　コンパレータ出力制御レジスタ（COMPOCR）**」を参照してください。

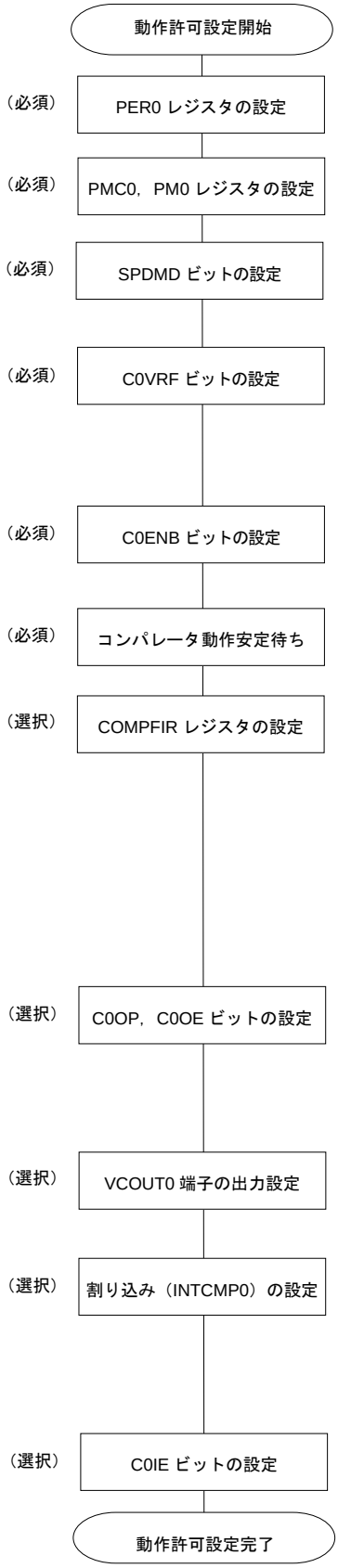
VCOUT0端子からコンパレータ比較結果を出力する場合は，図11－8　コンパレータの動作許可手順 に従って設定してください。

11. 5　コンパレータの設定フロー・チャート

コンパレータの設定フロー・チャートを次に示します。

11. 5. 1　コンパレータの動作許可

図11－8　コンパレータの動作許可手順



PER0レジスタのCMPENビットをセット（1）して，コンパレータにクロックを供給します。

IVCMP0端子，IVREF0端子のポートをアナログ入力に設定します。
・PMC0レジスタ，PM0レジスタのビットをセット（1）します。

コンパレータの応答速度を設定します。
・COMPOCRレジスタのSPDMDビットをセット（1）：高速モード
・COMPOCRレジスタのSPDMDビットをクリア（0）：低速モード

コンパレータの基準電圧を設定します。
・COMPMDRレジスタのC0VRFビットをセット（1）：内部基準電圧（0.815V（TYP.））から供給
・COMPMDRレジスタのC0VRFビットをクリア（0）：IVREF0端子から供給

コンパレータを動作許可します。
・COMPMDRレジスタのC0ENBビットをセット（1）して，コンパレータ0の動作許可にする

コンパレータ出力の動作安定待ち（t_{CMP}）をカウントします。
t_{CMP} は**24. 6. 2　コンパレータ特性を参照**してください。

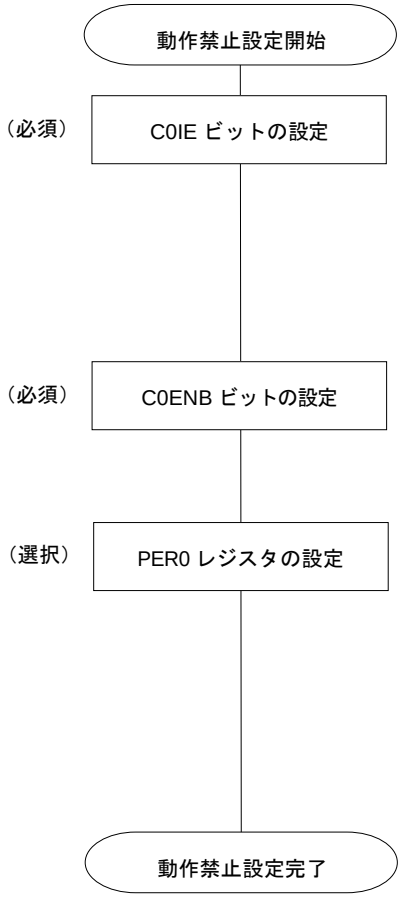
コンパレータのデジタル・フィルタと割り込み有効エッジを設定します。
・COMPFIRレジスタのC0FCK1，C0FCK0ビットを設定：
　00B　デジタル・フィルタOFF
　01B　デジタル・フィルタON，サンプリング・クロック：f_{CLK}
　10B　デジタル・フィルタON，サンプリング・クロック：f_{CLK} / 8
　11B　デジタル・フィルタON，サンプリング・クロック：f_{CLK} / 32
・COMPFIRレジスタのC0EPO，C0EDGビットを設定：
　00B　立ち上がりエッジ
　01B　立ち下がりエッジ
　1xB　立ち上がり，立ち下がりの両エッジ

コンパレータの比較結果をVCOUT0端子から出力します。
・COMPOCRレジスタのC0OPビットを設定：
　0B　コンパレータ出力をそのままVCOUT0端子から出力
　1B　コンパレータ出力を反転してVCOUT0端子から出力
・COMPOCRレジスタのC0OEビットをセット（1）して出力許可に設定する。
・VCOUT0端子のポートを出力に設定します。
　PMC0レジスタ，PM0レジスタのビットをセット（1）します。
　P0レジスタのビットをセット（1）します。

コンパレータの割り込みを設定します。
・PR1LレジスタのCMPPR00，CMPPR10ビットで割り込み優先レベルを設定します。
・IF1LレジスタのCMPIF0ビットをクリア（0）して，割り込み要求を初期化する。
・MK1LレジスタのCMPMK0ビットをクリア（0）して，ベクタ割り込み許可する。
・COMPOCRレジスタのC0IEビットをセット（1）して，割り込み要求許可にします。

11. 5. 2　コンパレータの動作禁止

図11－9　コンパレータの動作禁止手順



コンパレータの割り込み要求を禁止します。
・COMPOCRレジスタのC0IEビットをクリア（0）して，割り込み要求禁止にします。

コンパレータの割り込み要求フラグをクリアします。
・IF1Lレジスタの CMPIF0ビットをクリア（0）して，割り込み要求を初期化する（不要な割り込み要求をクリア）。

コンパレータを動作禁止にします。
・COMPMDRレジスタのC0ENBビットをクリア（0）して，コンパレータ0の動作を停止する。

PER0レジスタのCMPENビットをクリア（0）して，コンパレータへのクロック供給を停止する。

ただし，PER0レジスタの設定によりクロック供給を停止すると，コンパレータの制御レジスタはすべて初期化されます（ポート・モード・レジスタ0（PM0），ポート・レジスタ0（P0），ポート・モード・コントロール・レジスタ（PMC0）は除く）。コンパレータを再度使用する場合は，図11－8　コンパレータの動作許可手順 に従って制御レジスタを設定してください。

第12章　シリアル・アレイ・ユニット

シリアル・アレイ・ユニット0は，最大2つのシリアル・チャネルを持ちます。各チャネルは，簡易SPI（CSI注），UART，簡易I²Cの通信機能を実現できます。

RL78/G10で対応している各チャネルの機能割り当ては，次のようになっています。

★ 注　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

○ 10ピン製品

ユニット	チャネル	簡易 SPI（CSI）として使用	UART として使用	簡易 I²C として使用
0	0	CSI00	UART0	IIC00
	1	-		-

○ 16ピン製品

ユニット	チャネル	簡易 SPI（CSI）として使用	UART として使用	簡易 I²C として使用
0	0	CSI00	UART0	IIC00
	1	CSI01		-

１つのチャネルを複数の通信方式で同時に使用することはできません。異なる通信方式を設定するには，別のチャネルを使用してください。

12. 1　シリアル・アレイ・ユニットの機能

RL78/G10で対応している各シリアル・インタフェースの特徴を示します。

12. 1. 1　簡易SPI（CSI00, CSI01）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，**12. 5　簡易SPI（CSI00, CSI01）通信の動作**を参照してください。

［データ送受信］

・7, 8ビットのデータ長

・送受信データの位相制御

・MSB／LSBファーストの選択

［クロック制御］

・マスタ／スレーブの選択

・入出力クロックの位相制御

・プリスケーラとチャネル内カウンタによる転送周期の設定

・最大転送レート[注]　マスタ通信時　：Max. $f_{CLK}/4$

スレーブ通信時　：Max. $f_{MCK}/6$

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，**第24章　電気的特性**を参照してください。

12. 1. 2　UART（UART0）

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。

具体的な設定例は，**12. 6　UART（UART0）通信の動作**を参照してください。

［データ送受信］

・7, 8ビットのデータ長

・MSB／LSBファーストの選択

・送受信データのレベル設定，反転の選択

・パリティ・ビット付加，パリティ・チェック機能

・ストップ・ビット付加

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

・フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

・フレーミング・エラー，パリティ・エラー，オーバラン・エラー

ISCレジスタを設定することで，UART0のRxD0端子の入力信号を外部割込み入力やタイマ・アレイ・ユニットのタイマ入力とすることができます。また，タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して通信相手のボー・レート幅を測定することができ，UART0のボー・レート補正が可能になります。

12. 1. 3　簡易I²C（IIC00）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

具体的な設定例は，**12. 7　簡易I²C（IIC00）通信の動作**を参照してください。

［データ送受信］

・マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）

・ACK出力機能[注1]，ACK検出機能

・8ビットのデータ長

（アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）

・スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

・転送完了割り込み

［エラー検出フラグ］

・オーバラン・エラー

・ACKエラー

※［簡易I²Cでサポートしていない機能[注2]］

・スレーブ送信，スレーブ受信

・マルチ・マスタ機能（アービトレーション負け検出機能）

・クロック・ストレッチ検出機能

注1. 最終データの受信時は，SOE00ビット（シリアル出力許可レジスタ0（SOE0））ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，**12. 7. 3 (2)　処理フロー**を参照してください。

2. フル機能I²Cは，第13章 シリアル・インタフェースIICAでサポートしています（16ピン製品のみ）。

12. 2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

表12－1　シリアル・アレイ・ユニットの構成

項　　目	構　　成
シフト・レジスタ	8ビット
バッファ・レジスタ	シリアル・データ・レジスタ0nL（SDR0nL注2）
シリアル･クロック入出力	SCK00, SCK01注1端子（簡易SPI用），SCL00端子（簡易I^{2}C用）
シリアル・データ入力	SI00, SI01注1端子（簡易SPI用），RxD0端子（UART用）
シリアル・データ出力	SO00, SO01注1端子（簡易SPI用），TxD0端子（UART用）
シリアル・データ入出力	SDA00端子（簡易I^{2}C用）
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・シリアル・クロック選択レジスタ0（SPS0） ・シリアル・チャネル許可レジスタ0（SE0） ・シリアル・チャネル開始レジスタ0（SS0） ・シリアル・チャネル停止レジスタ0（ST0） ・シリアル出力許可レジスタ0（SOE0） ・シリアル出力レジスタ0（SO0） ・シリアル・クロック出力レジスタ0（CKO0） ・シリアル出力レベル・レジスタ0（SOL0） ・ノイズ・フィルタ許可レジスタ0（NFEN0） ・入力切り替え制御レジスタ（ISC）
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタ0n（SDR0nH, SDR0nL注2） ・シリアル・モード・レジスタ0n（SMR0nH, SMR0nL） ・シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL） ・シリアル・ステータス・レジスタ0n（SSR0n） ・シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）
	＜ポート機能部のレジスタ＞ ・ポート出力モード・レジスタ0（POM0） ・ポート・モード・コントロール･レジスタ0（PMC0） ・ポート・モード・レジスタ0（PM0） ・ポート・レジスタ0（P0）

注1.　CSI01通信は16ピン製品のみ

2.　シリアル・データ・レジスタ0nL（SDR0nL）は，通信方式により，次のSFR名称でリード／ライト可能です。

・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）

・UART0受信時・・・RXD0（UART0受信データ・レジスタ）

・UART0送信時・・・TXD0（UART0送信データ・レジスタ）

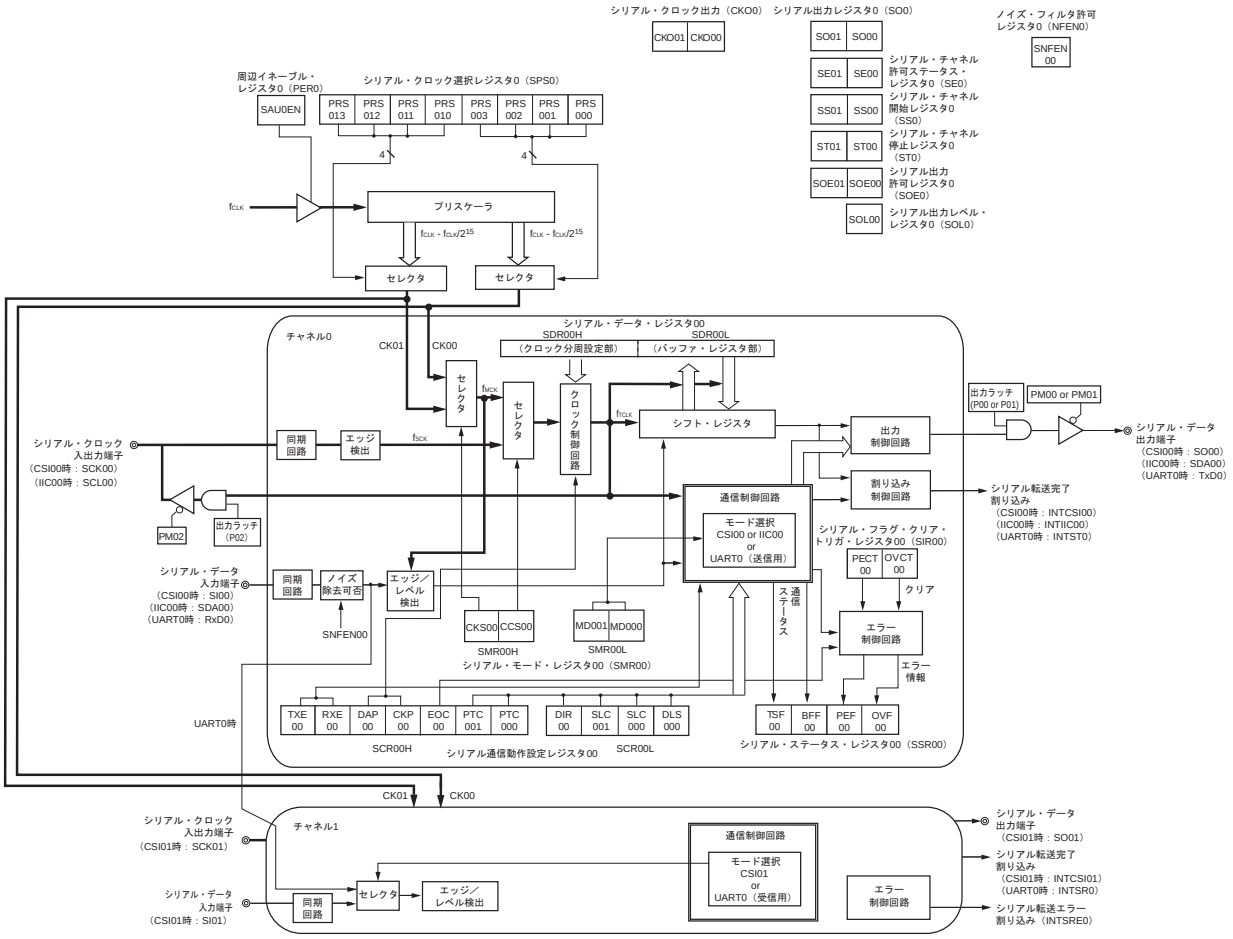
・IIC0通信時・・・SIO0（IIC0データ・レジスタ）

備考　n：チャネル番号（n = 0, 1）

p：CSI番号（p = 00, 01）

図12－1にシリアル・アレイ・ユニット0のブロック図を示します。

図12－1　シリアル・アレイ・ユニット 0 のブロック図



注　CSI01通信は、16ピン製品のみ

12. 2. 1　シフト･レジスタ

パラレル⇔シリアルの変換を行う8ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタ0nL(SDR0nL)を使用します。

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

12. 2. 2　シリアル・データ・レジスタ0nL（SDR0nL）

SDR0nLレジスタは，チャネルnの送受信バッファ・レジスタとして使用します。

受信時は，シフト・レジスタで変換したパラレル・データをSDR0nLレジスタに格納します。

送信時は，シフト・レジスタに転送する送信データをSDR0nLレジスタに設定します。

SDR0nLレジスタに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタ0n（SCR0nL）のビット0（DLS0n0）の設定によって，次のようになります。

・7ビット・データ長（SDR0nLレジスタのビット0-6に格納）

・8ビット・データ長（SDR0nLレジスタのビット0-7に格納）

SDR0nLレジスタは動作許可（SE0n = 1）時に，8ビット・メモリ操作命令で設定します。動作停止（SE0n = 0）時は，SDR0nLレジスタへの書き込みは禁止です。

リセット信号の発生により，SDR0nLレジスタは00Hになります。

またSDR0nLレジスタは，通信方式により，次のSFR名称で8ビット・メモリ操作命令が可能です。

・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）

・UART0受信時・・・RXD0（UART0受信データ・レジスタ）

・UART0送信時・・・TXD0（UART0送信データ・レジスタ）

・IIC00通信時・・・SIO00（IIC00データ・レジスタ）

備考　n：チャネル番号（n = 0, 1）

p：CSI番号（p = 00, 01）

図12－2　シリアル・データ・レジスタ0nL（SDR0nL）（n = 0, 1）のフォーマット

アドレス：FFF10H（SDR00L），FFF12H（SDR01L）　　リセット時：00H　　R/W

	7	6	5	4	3	2	1	0
SDR0nL								

備考　SDR0nHレジスタの機能については，**12. 3　シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

12. 3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・シリアル・クロック選択レジスタ0（SPS0）
・シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）
・シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）
・シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）
・シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）
・シリアル・ステータス・レジスタ0n（SSR0n）
・シリアル・チャネル開始レジスタ0（SS0）
・シリアル・チャネル停止レジスタ0（ST0）
・シリアル・チャネル許可ステータス・レジスタ0（SE0）
・シリアル出力許可レジスタ0（SOE0）
・シリアル出力レベル・レジスタ0（SOL0）
・シリアル出力レジスタ0（SO0）
・シリアル・クロック出力レジスタ0（CKO0）
・ノイズ・フィルタ許可レジスタ0（NFEN0）
・入力切り替え制御レジスタ（ISC）
・ポート出力モード・レジスタ0（POM0）
・ポート・モード・コントロール･レジスタ0（PMC0）
・ポート・モード・レジスタ0（PM0）
・ポート・レジスタ0（P0）

備考　n：チャネル番号（n = 0, 1）

12. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは，必ずビット2（SAU0EN）に1を設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図12－3　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN注	CMPEN注	ADCEN	IICA0EN注	0	SAU0EN	0	TAU0EN

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

注　16ピン製品のみ

注意1.　シリアル・アレイ・ユニット0の設定をする際には，必ず最初にSAU0EN = 1の状態で，下記のレジスタを設定してください。SAU0EN = 0の場合は，シリアル・アレイ・ユニット0の制御レジスタは初期値となり，書き込みは無視されます（ノイズ・フィルタ許可レジスタ0（NFEN0），入力切り替え制御レジスタ（ISC）,ポート出力モード・レジスタ0（POM0），ポート・モード・レジスタ0（PM0），ポート・モード・コントロール・レジスタ0（PMC0），ポート・レジスタ0（P0）は除く）。

・シリアル・クロック選択レジスタ0（SPS0）
・シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）
・シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）
・シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）
・シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）
・シリアル・ステータス・レジス0n（SSR0n）
・シリアル・チャネル開始レジスタ0（SS0）
・シリアル・チャネル停止レジスタ0（ST0）
・シリアル・チャネル許可ステータス・レジスタ0（SE0）
・シリアル出力許可レジスタ0（SOE0）
・シリアル出力レベル・レジスタ0（SOL0）
・シリアル出力レジスタ0（SO0）
・シリアル・クロック出力レジスタ0（CKO0）

2.　次のビットには必ず“0”を設定してください。

10ピン製品　：ビット1, 3, 4, 6, 7

16ピン製品　：ビット1, 3

12. 3. 2　シリアル・クロック選択レジスタ0（SPS0）

SPS0レジスタは，各チャネルに共通して供給される2種類の動作クロック（CK00, CK01）を選択する8ビット・レジスタです。SPS0レジスタのビット7-4でCK01を，ビット3-0でCK00を選択します。

SPS0レジスタは，動作許可状態（SE0n = 1）での書き換えは禁止です。

SPS0レジスタは，8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SPS0レジスタは00Hになります。

図12－4　シリアル・クロック選択レジスタ0（SPS0）のフォーマット

アドレス：F0126H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SPS0	PRS013	PRS012	PRS011	PRS010	PRS003	PRS002	PRS001	PRS000

PRS0 n3	PRS0 n2	PRS0 n1	PRS0 n0	動作クロック（CK n）の選択注					
					f_{CLK} = 1.25 MHz	f_{CLK} = 2.5 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz
0	0	0	0	f_{CLK}	1.25MHz	2.5MHz	5MHz	10MHz	20MHz
0	0	0	1	$f_{CLK}/2$	625kHz	1.25MHz	2.5MHz	5MHz	10MHz
0	0	1	0	$f_{CLK}/2^2$	313kHz	625kHz	1.25MHz	2.5MHz	5MHz
0	0	1	1	$f_{CLK}/2^3$	156kHz	313kHz	625kHz	1.25MHz	2.5MHz
0	1	0	0	$f_{CLK}/2^4$	78kHz	156kHz	313kHz	625kHz	1.25MHz
0	1	0	1	$f_{CLK}/2^5$	39kHz	78kHz	156kHz	313kHz	625kHz
0	1	1	0	$f_{CLK}/2^6$	19.5kHz	39kHz	78kHz	156kHz	313kHz
0	1	1	1	$f_{CLK}/2^7$	9.8kHz	19.5kHz	39kHz	78kHz	156kHz
1	0	0	0	$f_{CLK}/2^8$	4.9kHz	9.8kHz	19.5kHz	39kHz	78kHz
1	0	0	1	$f_{CLK}/2^9$	2.5kHz	4.9kHz	9.8kHz	19.5kHz	39kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.22kHz	2.5kHz	4.9kHz	9.8kHz	19.5kHz
1	0	1	1	$f_{CLK}/2^{11}$	625Hz	1.22kHz	2.5kHz	4.9kHz	9.8kHz
1	1	0	0	$f_{CLK}/2^{12}$	313Hz	625Hz	1.22kHz	2.5kHz	4.9kHz
1	1	0	1	$f_{CLK}/2^{13}$	152Hz	313Hz	625Hz	1.22kHz	2.5kHz
1	1	1	0	$f_{CLK}/2^{14}$	78Hz	152Hz	313Hz	625Hz	1.22kHz
1	1	1	1	$f_{CLK}/2^{15}$	39Hz	78Hz	152Hz	313Hz	625Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ0（ST0）=03H）させてから変更してください。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　n：チャネル番号（n = 0, 1）

12. 3. 3　シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）

SMR0nH, SMR0nLレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，シリアル・クロック（f_{SCK}）入力の使用可否，スタート・トリガ設定，動作モード（簡易SPI（CSI），UART，I^2C）設定，割り込み要因の選択を行います。またUARTモード時のみ，受信データのレベル反転の設定を行います。

SMR0nH, SMR0nLレジスタは，動作許可状態（SE0n = 1）での書き換えは禁止です。ただし，MD0n0ビットは動作許可状態（SE0n = 1）でも書き換えることができます。

SMR0nH, SMR0nLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，SMR0nH, SMR0nLレジスタはそれぞれ，00H, 20Hになります。

図12－5　シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）のフォーマット（1/2）

アドレス：F0111H（SMR00H），F0113H（SMR01H）
リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SMR0nH	CKS 0n	CCS 0n	0	0	0	0	0	STS 0n注1

アドレス：F0110H（SMR00L），F0112H（SMR01L）
リセット時：20H　R/W

略号	7	6	5	4	3	2	1	0
SMR0nL	0	SIS 0n0注2	1	0	0	MD 0n2	MD 0n1	MD 0n0

CKS0n	チャネルnの動作クロック（f_{MCK}）の選択
0	SPS0レジスタで設定した動作クロックCK00
1	SPS0レジスタで設定した動作クロックCK01
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCS0nビットとSDR0nHレジスタの設定により，転送クロック（f_{TCLK}）を生成します。	

CCS0n	チャネルnの転送クロック（f_{TCLK}）の選択
0	CKS0nビットで指定した動作クロックf_{MCK}の分周クロック
1	SCKp端子からの入力クロックf_{SCK}（簡易SPI（CSI）モードのスレーブ転送）
転送クロックf_{TCLK}は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCS0n = 0の場合は，SDR0nHレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STS0n注1	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（簡易SPI（CSI），UART送信，簡易I^2C時に選択）
1	RxD0端子の有効エッジ（UART受信時に選択）
SS0レジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

注1.　SMR01Hレジスタのみ
2.　SMR01Lレジスタのみ

注意　次のビットには必ず初期値から変更しないでください。

SMR00H　：ビット0-5 には必ず“0”を設定してください。
SMR01H　：ビット1-5 には必ず“0”を設定してください。
SMR00L　：ビット3,4,6,7 には必ず“0”を，ビット5 には必ず“1”を設定してください。
SMR01L　：ビット3,4,7 には必ず“0”を，ビット5 には必ず“1”を設定してください。

備考　n：チャネル番号（n = 0, 1）

図12－5　シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）のフォーマット（2/2）

アドレス：F0111H（SMR00H）, F0113H（SMR01H）
リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SMR0nH	CKS 0n	CCS 0n	0	0	0	0	0	STS 0n注1

アドレス：F0110H（SMR00L）, F0112H（SMR01L）
リセット時：20H　R/W

略号	7	6	5	4	3	2	1	0
SMR0nL	0	SIS 0n0注2	1	0	0	MD 0n2	MD 0n1	MD 0n0

SIS0n0注2	UART0の受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MD 0n2	MD 0n1	チャネルnの動作モードの設定
0	0	簡易SPI（CSI）モード
0	1	UARTモード
1	0	簡易I^2Cモード
1	1	設定禁止

MD 0n0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDR0nLレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMD0n0 = 1として，SDR0nLデータが空になったら次送信データの書き込みを行う。	

注1.　SMR01Hレジスタのみ

2.　SMR01Lレジスタのみ

注意　次のビットには必ず初期値から変更しないでください。

SMR00H　：ビット0-5 には必ず“0”を設定してください。

SMR01H　：ビット1-5 には必ず“0”を設定してください。

SMR00L　：ビット3,4,6,7 には必ず“0”を，ビット5 には必ず“1”を設定してください。

SMR01L　：ビット3,4,7 には必ず“0”を，ビット5 には必ず“1”を設定してください。

備考　n：チャネル番号（n = 0, 1）

12. 3. 4　シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）

チャネルnの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCR0nH, SCR0nLレジスタは，動作許可状態（SE0n = 1）での書き換えは禁止です。

SCR0nH, SCR0nLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，SCR0nH, SCR0nLレジスタはそれぞれ00H, 87Hになります。

図12－6　シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）のフォーマット（1/2）

アドレス：F0119H（SCR00H），F011BH（SCR01H）
リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SCR0nH	TXE0n	RXE0n	DAP0n	CKP0n	0	EOC0n	PTC0n1	PTC0n0

アドレス：F0118H（SCR00L），F011AH（SCR01L）
リセット時：87H　R/W

略号	7	6	5	4	3	2	1	0
SCR0nL	DIR0n	0	SLC0n1[注1]	SLC0n0	0	1	1	DLS0n0

TXE0n	RXE0n	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP0n	CKP0n	簡易SPI（CSI）モードでのデータとクロックの位相選択	タイプ
0	0	SCK00 SO00 D7 D6 D5 D4 D3 D2 D1 D0 SI00入力タイミング	1
0	1	SCK00 SO00 D7 D6 D5 D4 D3 D2 D1 D0 SI00入力タイミング	2
1	0	SCK00 SO00 D7 D6 D5 D4 D3 D2 D1 D0 SI00入力タイミング	3
1	1	SCK00 SO00 D7 D6 D5 D4 D3 D2 D1 D0 SI00入力タイミング	4
UARTモード，簡易I^{2}Cモード時には，必ずDAP0n, CKP0n = 0, 0に設定してください。			

EOC0n	エラー割り込み信号（INTSREx（x = 0-1））のマスク可否の選択
0	エラー割り込みINTSRExの発生を禁止する（INTSRxが発生する）
1	エラー割り込みINTSRExの発生を許可する（エラー発生時，INTSRxは発生しない）
簡易SPI（CSI）モード，簡易I^{2}Cモード，UART送信時には，EOC0n = 0に設定してください[注2]。	

注 1.　SCR00Lレジスタのみ

2.　CSI0nをEOC0n = 0で使用しない場合，エラー割り込みINTSREnが発生する場合があります。

（注意，備考は，次ページにあります。）

図12－6　シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）のフォーマット（2/2）

アドレス：F0119H（SCR00H），F011BH（SCR01H）
リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
SCR0nH	TXE0n	RXE0n	DAP0n	CKP0n	0	EOC0n	PTC0n1	PTC0n0

アドレス：F0118H（SCR00L），F011AH（SCR01L）
リセット時：87H　　R/W

略号	7	6	5	4	3	2	1	0
SCR0nL	DIR0n	0	SLC0n1注1	SLC0n0	0	1	1	DLS0n0

PTC0n1	PTC0n0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力注2	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易SPI（CSI）モード，簡易I²Cモード時には，必ずPTC0n1, PTC0n0 = 0, 0に設定してください。			

DIR0n	簡易SPI（CSI），UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う
簡易I²Cモード時には，必ずDIR0n = 0に設定してください。	

SLC0n1注1	SLC0n0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット（n = 0のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時，簡易I²Cモード時には，1ビット（SLC0n1, SLC0n0 = 0, 1）に設定してください。 簡易SPI（CSI）モード時には，ストップ・ビットなし（SLC0n1, SLC0n0 = 0, 0）に設定してください。 UART送信時は，1ビット（SLC0n1, SLC0n0 = 0, 1）又は2ビット（SLC0n1, SLC0n0 = 1, 0）に設定してください。		

DLS0n0	簡易SPI（CSI），UARTモードでのデータ長の設定
0	7ビット・データ長（SDR0nLレジスタのビット0-6に格納）
1	8ビット・データ長（SDR0nLレジスタのビット0-7に格納）
簡易I²Cモード時には，必ずDLS0n0 = 1に設定してください。	

注1.　SCR00Lレジスタのみ
　2.　データの内容にかかわらず必ず0が付加されます。

注意　次のビットには必ず初期値から変更しないでください。

SCR0nH　　：ビット3 には必ず“0”を設定してください。
SCR00L　　：ビット3,6 には必ず“0”を，ビット1,2 には必ず“1”を設定してください。
SCR01L　　：ビット3,5,6 には必ず“0”を，ビット1,2 には必ず“1”を設定してください。

備考　n：チャネル番号（n = 0, 1）

12. 3. 5　シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

SDR0nH, SDR0nLレジスタは，チャネルnの送受信データ・レジスタです。

SDR0nH, SDR0nLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，SDR0nH, SDR0nLレジスタはそれぞれ00Hになります。

SDR0nHレジスタは動作クロック（f_{MCK}）の分周設定レジスタとして使用します。

SMR0nHレジスタのCCS0nビットに0を設定した場合，動作クロックをSDR0nHレジスタで分周設定したクロックが転送クロックとして使用されます。

また，CCS0nビットに1を設定した場合は，SDR0nHレジスタに”00000000B”を設定してください。SCKp端子からの入力クロックf_{SCK}（簡易SPI（CSI）モードのスレーブ転送）が転送クロックとなります。

SDR0nHレジスタは動作停止（SE0n = 0）時に，8ビット・メモリ操作命令で設定します。動作許可（SE0n = 1）時は，SDR0nHレジスタへの書き込みが無効になり，SDR0nHレジスタの読み出しは常に”0”が読み出されます。

SDR0nLレジスタは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データをSDR0nLレジスタに格納します。送信時には，シフト・レジスタに転送する送信データをSDR0nLレジスタに設定します。

SDR0nLレジスタは動作許可（SE0n = 1）時に，8ビット・メモリ操作命令で設定します。動作停止（SE0n = 0）時は，SDR0nLレジスタへの書き込みは禁止です。

図12－7　シリアル・データ・レジスタ0n（SDR0n）のフォーマット

アドレス：FFF11H（SDR00H），FFF13H（SDR01H）
リセット時：00H　　R/W

分周設定レジスタ

略号	7	6	5	4	3	2	1	0
SDR0nH								0

アドレス：FFF10H（SDR00L），FFF12H（SDR01L）
リセット時：00H　　R/W

送受信バッファ・レジスタ

略号	7	6	5	4	3	2	1	0
SDR0nL								

SDR0nH[7:1]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	$f_{MCK}/2$
0	0	0	0	0	0	1	$f_{MCK}/4$
0	0	0	0	0	1	0	$f_{MCK}/6$
0	0	0	0	0	1	1	$f_{MCK}/8$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/254$
1	1	1	1	1	1	1	$f_{MCK}/256$

注意1.　UART使用時は，SDR0nH[7:1] **=（0000000B, 0000001B）は設定禁止です。**

2.　簡易I²C使用時は，SDR0nH[7:1] **= 0000000Bは設定禁止です。**

備考1.　SDR0nLレジスタの機能については，12. 2　シリアル・アレイ・ユニットの構成を参照してください。

2.　n：チャネル番号（n = 0, 1）

12. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）

チャネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECT0n，PECT0n，OVCT0n）を1にセットすると，シリアル・ステータス・レジスタ0n（SSR0n）の対応ビット（FEF0n, PEF0n, OVF0n）が0にクリアされます。SIR0nレジスタはトリガ・レジスタなので，SSR0nレジスタの対応ビットをクリアするとすぐSIR0nレジスタもクリアされます。

SIR0nレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，SIR0nレジスタは00Hになります。

図12－8　シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）のフォーマット

アドレス：F0108H（SIR00）, F010AH（SIR01），　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SIR0n	0	0	0	0	0	FECT0n注	PECT0n	OVCT0n

FECT0n注	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSR0nレジスタのFEF0nビットを0にクリアする

PECT0n	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSR0nレジスタのPEF0nビットを0にクリアする

OVCT0n	チャネルnのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSR0nレジスタのOVF0nビットを0にクリアする

注　SIR01レジスタのみ

注意　次のビットには必ず“0”を設定してください。

SIR00レジスタ　　：ビット2-7

SIR01レジスタ　　：ビット3-7

備考1.　n：チャネル番号（n = 0, 1）

2.　SIR0nレジスタの読み出し値は常に00Hとなります。

12. 3. 7　シリアル・ステータス・レジスタ0n（SSR0n）

SSR0nレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSR0nレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，SSR0nレジスタは00Hになります。

図12－9　シリアル・ステータス・レジスタ0n（SSR0n）のフォーマット（1/2）

アドレス：F0100H（SSR00），F0102H（SSR01），　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
SSR0n	0	TSF0n	BFF0n	0	0	FEF0n注	PEF0n	OVF0n

TSF0n	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

＜クリア条件＞
- ST0レジスタのST0nビットに1を設定時（通信停止状態），もしくはSS0レジスタのSS0nビットに1を設定時（通信待機状態）
- 通信動作が終了時

＜セット条件＞
- 通信動作を開始時

BFF0n	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDR0nLレジスタに格納されていない
1	有効なデータがSDR0nLレジスタに格納されている

＜クリア条件＞
- 送信時においてSDR0nLレジスタからシフト・レジスタへ送信データの転送が終了したとき
- 受信時においてSDR0nLレジスタから受信データの読み出しが終了したとき
- ST0レジスタのST0nビットに1を設定時（通信停止状態），SS0レジスタのSS0nビットに1を設定時（通信許可状態）

＜セット条件＞
- SCR0nHレジスタのTXE0nビット ＝ 1（各通信モードでの送信，送受信モード時）の状態でSDR0nLレジスタに送信データを書き込んだとき
- SCR0nHレジスタのRXE0nビット ＝ 1（各通信モードでの受信，送受信モード時）の状態でSDR0nLレジスタに受信データが格納されたとき
- 受信エラー時

注　SSR01レジスタのみ

注意　BFF0n = 1のときにSDR0nLレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー（OVF0n = 1）と検出されます。

備考　n：チャネル番号（n = 0, 1）

図12－9　シリアル・ステータス・レジスタ0n（SSR0n）のフォーマット（2/2）

アドレス：F0100H（SSR00），F0102H（SSR01），　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
SSR0n	0	TSF0n	BFF0n	0	0	FEF0n注	PEF0n	OVF0n

FEF0n注	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）
＜クリア条件＞ ・SIR0nレジスタのFECT0nビットに1を書き込んだとき ＜セット条件＞ ・UART受信完了時に，ストップ・ビットが検出されないとき	

PEF0n	チャネルnのパリティ／ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生（UART受信時），またはACK未検出発生（I^2C送信時）
＜クリア条件＞ ・SIR0nレジスタのPECT0nビットに1を書き込んだとき ＜セット条件＞ ・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー） ・I^2C送信時に，ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき（ACK未検出）	

OVF0n	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
＜クリア条件＞ ・SIR0nレジスタのOVCT0nビットに1を書き込んだとき ＜セット条件＞ ・SCR0nHレジスタのRXE0nビット ＝ 1（各通信モードでの受信，送受信モード時）の状態で，受信データがSDR0nLレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・簡易SPI（CSI）モードのスレーブ送信／送受信で，送信データが準備できていないとき	

注　SSR01レジスタのみ

備考　n：チャネル番号（n = 0, 1）

12. 3. 8　シリアル・チャネル開始レジスタ0（SS0）

SS0レジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SS0n）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタ0（SE0）の対応ビット（SE0n）が1にセット（動作許可状態）されます。SS0nビットはトリガ・ビットなので，SE0n = 1になるとすぐSS0nビットはクリアされます。

SS0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SS0レジスタは00Hになります。

図12－10　シリアル・チャネル開始レジスタ0（SS0）のフォーマット

アドレス：F0122H（SS0）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01	SS00

SS0n	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SE0nビットに1をセットし，通信待機状態に遷移する注

注　通信動作中にSS0n = 1を設定すると，通信を停止して待機状態になります。このとき，制御レジスタ，シフト・レジスタの値，SCK0n，SO0n端子とFEF0n，PEF0n，OVF0nフラグは状態を保持します。

注意1.　ビット2-7には必ず“0”を設定してください。

2.　UART受信の場合は，SCR0nHレジスタのRXE0nビットを“1”に設定後に，f_{MCK}の4クロック以上間隔をあけてからSS0n = 1を設定してください。

備考1.　n：チャネル番号（n = 0, 1）

2.　SS0レジスタの読み出し値は常に00Hとなります。

12. 3. 9　シリアル・チャネル停止レジスタ0（ST0）

ST0レジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（ST0n）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタ0（SE0）の対応ビット（SE0n）が0にクリア（動作停止状態）されます。ST0nビットはトリガ・ビットなので，SE0n = 0になるとすぐST0nビットはクリアされます。

ST0レジスタは，１ビットメモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，ST0レジスタは00Hになります。

図12－11　シリアル・チャネル停止レジスタ0（ST0）のフォーマット

アドレス：F0124H（ST0）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	ST01	ST00

ST0n	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SE0nビットを0にクリアし，通信動作を停止する注

注　制御レジスタ，シフト・レジスタの値，SCK0n, SO0n端子とFEF0n, PEF0n, OVF0nフラグは状態を保持します。

注意　ビット2-7には必ず“0”を設定してください。

備考1.　n：チャネル番号（n = 0, 1）

2.　ST0レジスタの読み出し値は常に00Hとなります。

12. 3. 10　シリアル・チャネル許可ステータス・レジスタ0（SE0）

SE0レジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタ0（SS0）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタ0（ST0）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルnは，後述のシリアル出力レジスタ0（SO0）のCKO0nビット（チャネルnのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは，SO0レジスタのCKO0nビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SE0レジスタは，　1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SE0レジスタは00Hになります。

図12－12　シリアル・チャネル許可ステータス・レジスタ0（SE0）のフォーマット

アドレス：F0120H（SE0）　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	SE01	SE00

SE0n	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

注意　ビット2-7には必ず“0”を設定してください。

備考　n：チャネル番号（n = 0, 1）

12. 3. 11　シリアル出力許可レジスタ0（SOE0）

SOE0レジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは，後述のシリアル出力レジスタ0（SO0）のSO0nビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは，SO0レジスタのSO0nビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SOE0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOE0レジスタは00Hになります。

図12－13　シリアル出力許可レジスタ0（SOE0）のフォーマット

アドレス：F012AH（SOE0）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01[注]	SOE00

SOE0n	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注　16ピン製品のみ。

注意　次のビットには必ず“0”を設定してください。

10ピン製品　　：ビット1-7

16ピン製品　　：ビット2-7

備考　n：チャネル番号（n = 0, 1）

12. 3. 12　シリアル出力レジスタ0（SO0）

SO0レジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSO0nビットの値が，チャネルnのシリアル・データ出力端子から出力されます。

このレジスタのSO0nビットのソフトウエアによる書き換えは，シリアル出力禁止（SOE0n = 0）時のみ可能です。シリアル出力許可（SOE0n ＝ 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース機能を兼用している端子をポート機能として使用する場合は，該当する，SO0nビットに“1”を設定してください。

SO0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，SO0レジスタは03Hになります。

図12－14　シリアル出力レジスタ0（SO0）のフォーマット

アドレス：F0128H（SO0）　リセット時：03H　R/W

略号	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	SO01[注]	SO00

SO0n	チャネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注　16ピン製品のみ。

注意　**10ピン製品のビット1には1を、ビット2-7には0を必ず設定してください。**
16ピン製品のビット2-7には0を必ず設定してください。

備考　n：チャネル番号（n = 0, 1）

12. 3. 13　シリアル・クロック出力レジスタ0（CKO0）

CKO0レジスタは，各チャネルのシリアル・クロック出力のバッファ・レジスタです。

このレジスタのCKO0nビットの値が，チャネルnのシリアル・クロック出力端子から出力されます。

このレジスタのCKO0nビットのソフトウエアによる書き換えは，チャネル動作停止（SE0n = 0）時のみ可能です。チャネル動作許可（SE0n = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース機能を兼用している端子をポート機能として使用する場合は，該当するCKO0nビットに“1”を設定してください。

CKO0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，CKO0レジスタは03Hになります。

図12－15　シリアル・クロック出力レジスタ0（CKO0）のフォーマット

アドレス：F0129H（CKO0）　リセット時：03H　R/W

略号	7	6	5	4	3	2	1	0
CKO0	0	0	0	0	0	0	CKO01注	CKO00

CKO0n	チャネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

注　16ピン製品のみ。

注意　10ピン製品のビット1には1を、ビット2-7には0を必ず設定してください。
16ピン製品のビット2-7には0を必ず設定してください。

備考　n：チャネル番号（n = 0, 1）

12. 3. 14　シリアル出力レベル・レジスタ0（SOL0）

SOL0レジスタは，チャネル0のデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI（CSI）モード，簡易I^2Cモード時は，必ず対応するビットに0を設定してください。

このレジスタによるチャネル0の反転設定は，シリアル出力許可（SOE00 = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOE00 = 0）時はSO00ビットの値がそのまま出力されます。

SOL0レジスタは，動作許可状態（SE00 = 1）での書き換えは禁止です。

SOL0レジスタは，8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOL0レジスタは00Hになります。

図12－16　シリアル出力レベル・レジスタ0（SOL0）のフォーマット

アドレス：F0134H（SOL0）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	SOL00

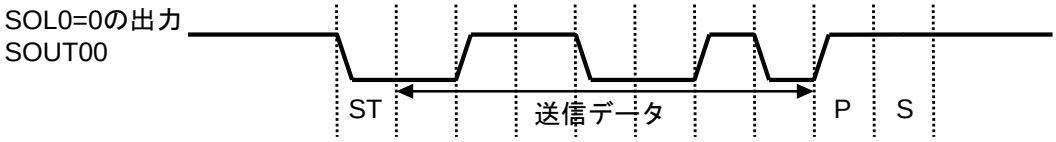
SOL00	UARTモードでのチャネル0の送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

注意　ビット1-7には必ず“0”を設定してください。

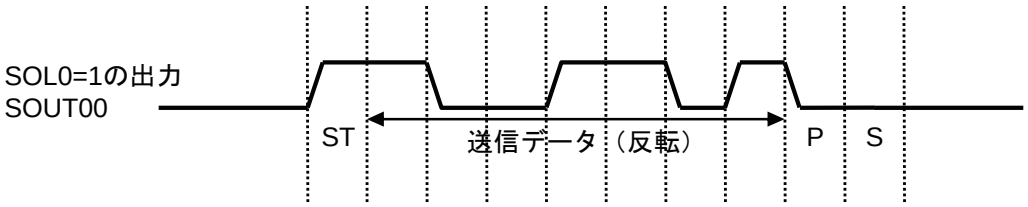
UART送信時，送信データのレベル反転例を図12－17に示します。

図12－17　送信データのレベル反転例

（a）非反転出力（SOL00 = 0）



（b）反転出力（SOL00 = 1）



12. 3. 15　ノイズ・フィルタ許可レジスタ0（NFEN0）

NFEN0レジスタは，UARTのシリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否を設定するレジスタです。

簡易SPI（CSI），簡易I²C通信に使用する端子は，対応するビットに0を設定して，ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN0レジスタは00Hになります。

図12－18　ノイズ・フィルタ許可レジスタ0（NFEN0）のフォーマット

アドレス：F0070H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	0	0	SNFEN00

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは，SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは，SNFEN00 = 0に設定してください。	

注意　ビット1-7には必ず“0”を設定してください。

12. 3. 16　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC1，ISC0ビットは，UART0のボー・レート補正を行うときに，外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると，シリアル・データ入力（RxD0）端子の入力信号が外部割り込み入力（INTP0）に入力されます。これによって，スタート・ビットの入力エッジ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると，シリアル・データ入力（RXD0）端子の入力信号がタイマ入力（TI01）に入力されます。タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して，スタート・ビットの入力エッジ信号をトリガに通信相手のボー・レート（転送レート）幅を測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，ISCレジスタは00Hになります。

図12－19　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル1の入力切り替え
0	TI01端子の入力信号をタイマ入力とする（通常動作）
1	RxD0端子の入力信号をタイマ入力とする （ウエイクアップ信号検出とボー・レート補正用のパルス幅測定）

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD0端子の入力信号を外部割り込み入力とする（ウエイクアップ信号検出）

注意　ビット2-7には必ず“0”を設定してください。

12. 3. 17　シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は，対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PM0），ポート・レジスタ（P0），ポート出力モード・レジスタ（POM0），ポート・モード・コントロール・レジスタ（PMC0）を設定してください。

詳細は，**4. 3. 1　ポート・モード・レジスタ0, 4（PM0, PM4）**，**4. 3. 2　ポート・レジスタ0, 4, 12, 13（P0, P4, P12, P13）**，**4. 3. 4　ポート出力モード・レジスタ0（POM0）**，**4. 3. 5　ポート・モード・コントロール・レジスタ0（PMC0）**を参照してください。

また，シリアル入出力端子として使用するときの設定例は，**4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P00/SO00/TxD0/INTP1など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき，各ポートに対応するポート・モード・コントロール・レジスタ（PMC0）のビットおよびポート・モード・レジスタ（PM0）のビットに0を，ポート・レジスタ（P0）のビットに1を設定してください。

なお，N-chオープン・ドレイン出力（V_{DD}耐圧）モードで使用する場合は，各ポートに対応するポート出力モード・レジスタ（POM0）のビットに1を設定してください。

例）P00/SO00/TxD0/INTP1 をシリアル・データ出力として使用する場合
ポート・モード・コントロール・レジスタ0のPMC00ビットを0に設定
ポート・モード・レジスタ0のPM00ビットを0に設定
ポート・レジスタ0のP00ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P01/ANI0/SI00/RxD0/SDA00/KR2など）をシリアル・データ入力またはシリアル・クロック入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PM0）のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ（PMC0）のビットに0を設定してください。このときポート・レジスタ（P0）のビットは，0または1のどちらでもかまいません。

例）P01/ANI0/SI00/RxD0/SDA00/KR2 をシリアル・データ入力として使用する場合
ポート・モード・コントロール・レジスタ0のPMC01ビットを0に設定
ポート・モード・レジスタ0のPM01ビットを1に設定

12. 4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。

動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。

また動作停止モードでは，シリアル・インタフェース機能を兼用している端子をポート機能として使用できます。

12. 4. 1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0（PER0）で行います。

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは，ビット2（SAU0EN）に0を設定してください。

図12－20　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定

（a）　周辺イネーブル・レジスタ0（PER0）　・・・停止するSAU0のビットを0に設定する

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN注 ×	CMPEN注 ×	ADCEN ×	IICA0EN注 ×	0	SAU0EN 0/1	0	TAU0EN ×

SAU0の入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注　16ピン製品のみ

注意1.　シリアル・アレイ・ユニット0の設定をする際には，必ず最初にSAU0EN = 1の状態で，シリアル・アレイ・ユニット0の制御レジスタを設定してください。SAU0EN = 0の場合は，シリアル・アレイ・ユニット0の制御レジスタは初期値となり，書き込みは無視されます（ノイズ・フィルタ許可レジスタ0（NFEN0），入力切り替え制御レジスタ（ISC），ポート出力モード・レジスタ0（POM0），ポート・モード・レジスタ0（PM0），ポート・モード・コントロール・レジスタ0（PMC0），ポート・レジスタ0（P0）は除く）。

2.　次のビットには必ず“0”を設定してください。

10ピン製品　：ビット1, 3, 4, 6, 7

16ピン製品　：ビット1, 3

備考　□：設定不可（初期値を設定）

×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）

0/1：ユーザの用途に応じて0または1に設定

12. 4. 2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図12－21　チャネルごとに動作停止とする場合の各レジスタの設定

（a）シリアル・チャネル停止レジスタ0（ST0）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

略号	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	ST01 0/1	ST00 0/1

1：SE0nビットを0にクリアし，通信動作を停止

※ ST0nビットはトリガ・ビットなので，SE0n = 0になるとすぐST0nビットはクリアされます。

（b）シリアル・チャネル許可ステータス・レジスタ0（SE0）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

略号	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	SE01 0/1	SE00 0/1

0：動作停止状態

※SE0レジスタはRead Onlyのステータス・レジスタであり，ST0レジスタにて動作停止にします。
動作を停止したチャネルは，SO0レジスタのCKO0nビットの値をソフトウエアで設定できます。

（c）シリアル出力許可レジスタ0（SOE0）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01注 0/1	SOE00 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SO0レジスタのSO0nビットの値をソフトウエアで設定できます。

（d）シリアル・クロック出力レジスタ0（CKO0）

・・・各チャネルのシリアル出力のバッファ・レジスタ

略号	7	6	5	4	3	2	1	0
CKO0	0	0	0	0	0	0	CKO01注 0/1	CKO00 0/1

1：シリアル・クロック出力値が“1”

※　各チャネルに対応した端子をポート機能として使用する場合は，該当するCKO0nビットに“1”を設定してください。

（e）シリアル出力レジスタ0（SO0）

・・・各チャネルのシリアル出力の値を設定するレジスタ

略号	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	SO01注 0/1	SO00 0/1

1：シリアル・データ出力値が“1”

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するSO0nビットに“1”を設定してください。

注　16ピン製品のみ

備考1.　n：チャネル番号（n = 0, 1）

2.　□：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

12. 5　簡易SPI（CSI00, CSI01[注1]）通信の動作

シリアル・クロック（SCK）とシリアル・データ（SI, SO）の3本のラインによる，クロック同期式通信機能です。

［データ送受信］

・7, 8ビットのデータ長
・送受信データの位相制御
・MSB／LSBファーストの選択

［クロック制御］

・入出力クロックの位相制御
・プリスケーラとチャネル内カウンタによる転送周期の設定
・最大転送レート[注2]　マスタ通信時　：Max. $f_{CLK}/4$
　　スレーブ通信時　：Max. $f_{MCK}/6$

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

注1　16ピン製品のみ

注2　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，**第24章　電気的特性を参照してください。**

ユニット	チャネル	簡易 SPI（CSI）として使用	UART として使用	簡易 I²C として使用
0	0	CSI00	UART0	IIC00
	1	CSI01 [注]		-

簡易SPI（CSI00, CSI01[注]）の通信動作は，以下の6種類があります。

・マスタ送信　　（**12. 5. 1**項を参照）
・マスタ受信　　（**12. 5. 2**項を参照）
・マスタ送受信　　（**12. 5. 3**項を参照）
・スレーブ送信　　（**12. 5. 4**項を参照）
・スレーブ受信　　（**12. 5. 5**項を参照）
・スレーブ送受信　（**12. 5. 6**項を参照）

注　16ピン製品のみ

12. 5. 1　マスタ送信

マスタ送信とは，このRL78/G10が転送クロックを出力し，RL78/G10から他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01[注1]
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	7ビットまたは8ビット	
転送レート[注2]	Max. f_{CLK}/4 [Hz] (SDR0nH [7:1] = 1以上) Min. f_{CLK}/（2×2^{15}×128）[Hz]	
データ位相	SCR0nHレジスタのDAP0nビットにより選択可能 ・DAP0n = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始	
クロック位相	SCR0nHレジスタのCKP0nビットにより選択可能 ・CKP0n = 0の場合：非反転（SCKの立ち下がりでデータ出力，立ち上がりでデータ入力） ・CKP0n = 1の場合：反転（SCKの立ち上がりでデータ出力，立ち下がりでデータ入力）	
データ方向	MSBファーストまたはLSBファースト	

注1.　16ピン製品のみ

2.　この条件を満たし，かつ電気的特性の周辺機能特性（**第24章　電気的特性参照**）を満たす範囲内で使用してください。

備考1.　f_{CLK}：システム・クロック周波数

2.　n = 0, 1

（1）レジスタ設定

図12－22　簡易SPI（CSI00, CSI01注）のマスタ送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						STS0n
0/1	0	0	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPS0レジスタで設定したプリスケーラ出力クロック“CK00”
1：SPS0レジスタで設定したプリスケーラ出力クロック“CK01”

略号：SMR0nL

7	6	5	4	3	2	1	0
	SIS0n0					MD0n1	MD0n0
0	0	1	0	0	0	0	0/1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
1	0	0/1	0/1	0	0	0	0

データとクロックの位相選択
（設定内容詳細は「**12. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0/1	0	0	0	0	1	1	0/1

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

略号：SDR0nH

15	14	13	12	11	10	9	8
ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0

略号：SDR0nL

7	6	5	4	3	2	1	0
送信データ（送信データを設定）							

SIOp

（d）シリアル・クロック出力レジスタ0（CKO0）・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
CKO0							CKO01注	CKO00
	0	0	0	0	0	0	0/1	0/1

クロック位相が”非反転”（SCR0nレジスタのCKP0nビット＝0）のときは”1”で通信開始し，クロック位相が”反転”（CKP0nビット ＝1）のときは”0”で通信開始する。

（e）シリアル出力レジスタ0（SO0）・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
SO0							SO01注	SO00
	0	0	0	0	0	0	0/1	0/1

（注，備考は次ページにあります。）

図12－22　簡易SPI（CSI00, CSI01注）のマスタ送信時のレジスタ設定内容例（2/2）

（f）シリアル出力許可レジスタ0（SOE0）・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01注 0/1	SOE00 0/1

（g）シリアル・チャネル開始レジスタ0（SS0）　・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 0/1	SS00 0/1

注　16ピン製品のみ

備考1.　n = 0, 1　p：CSI番号（p = 00, 01）

2.　□：簡易SPI（CSI）マスタ送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－23　マスタ送信の初期設定手順

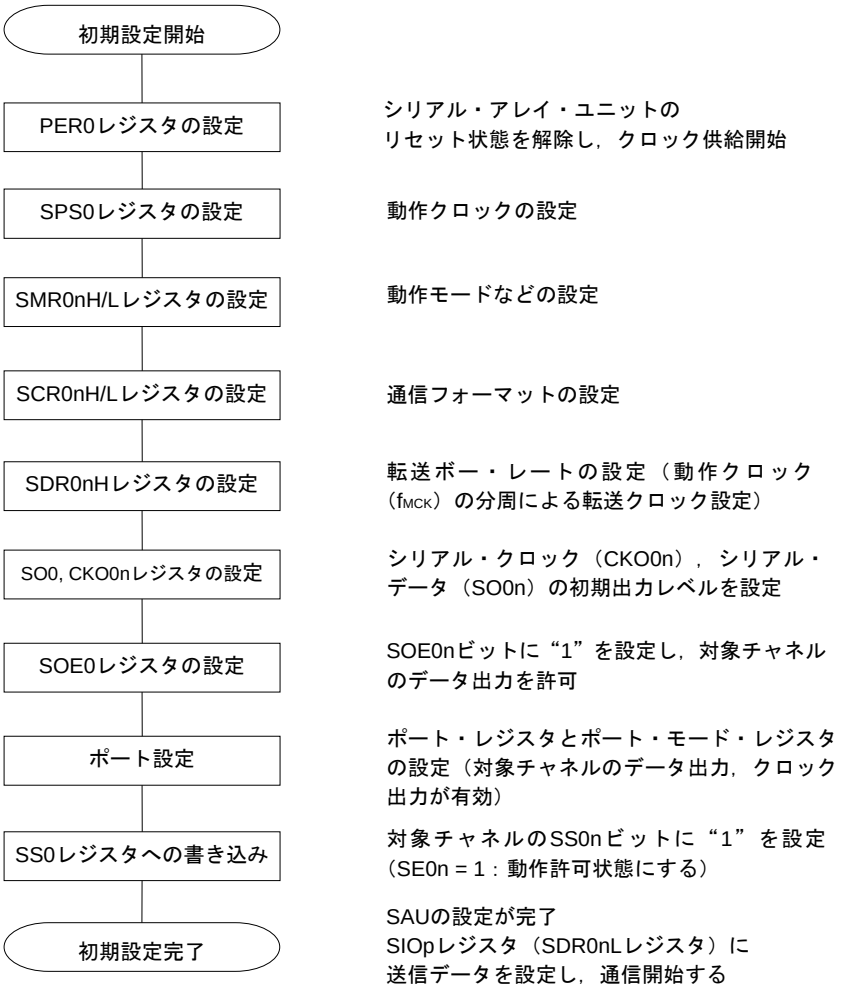


図12－24　マスタ送信の中断手順

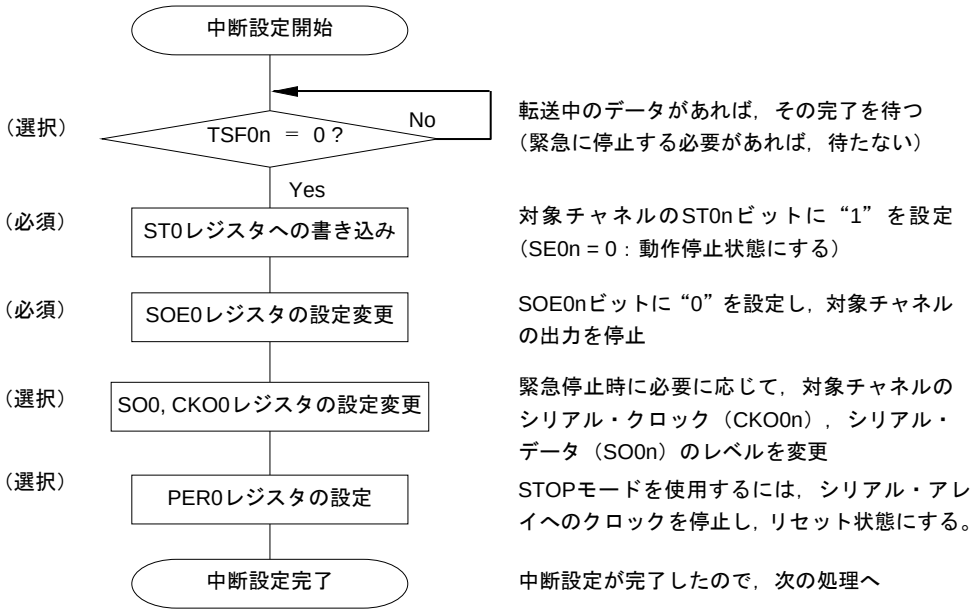
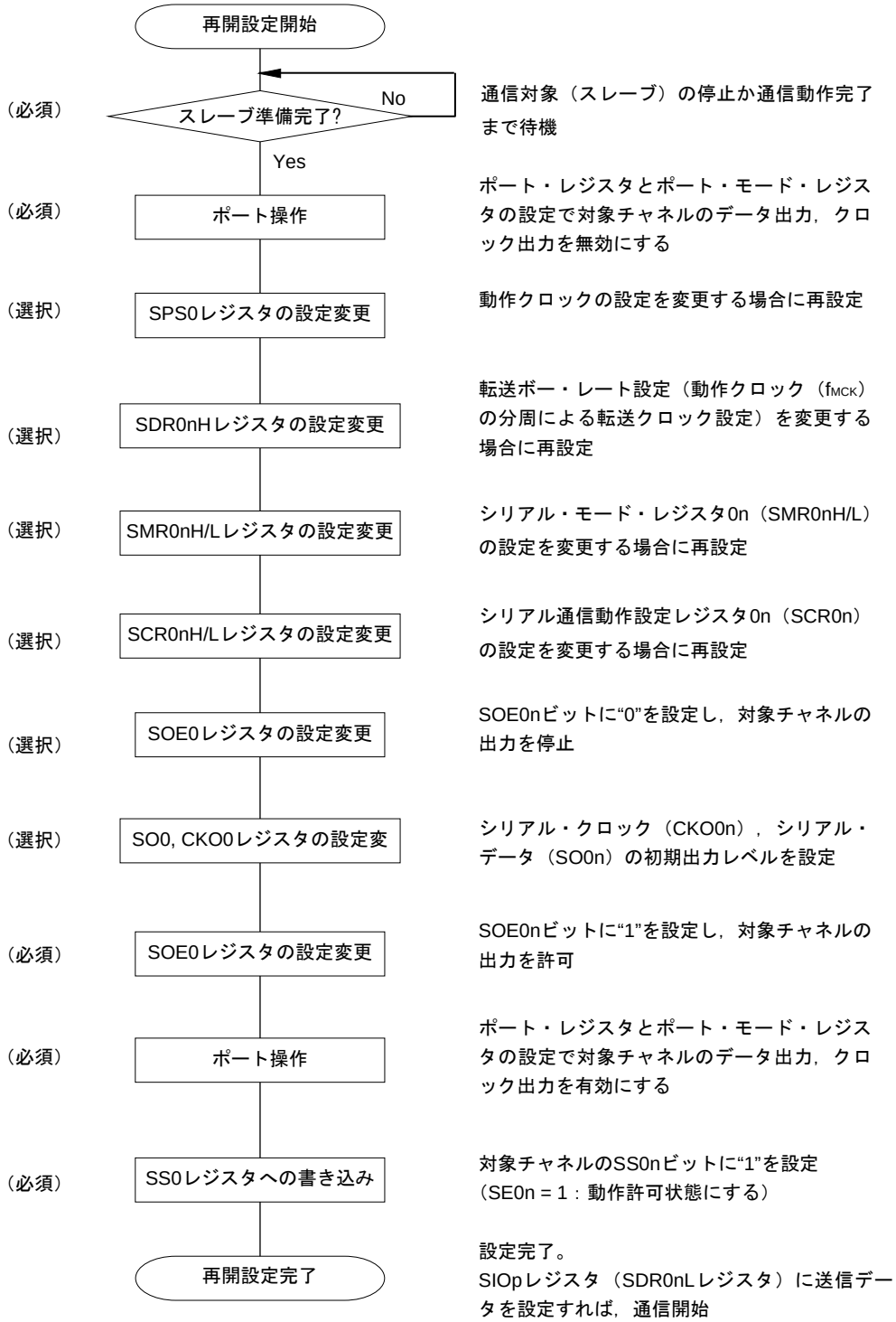


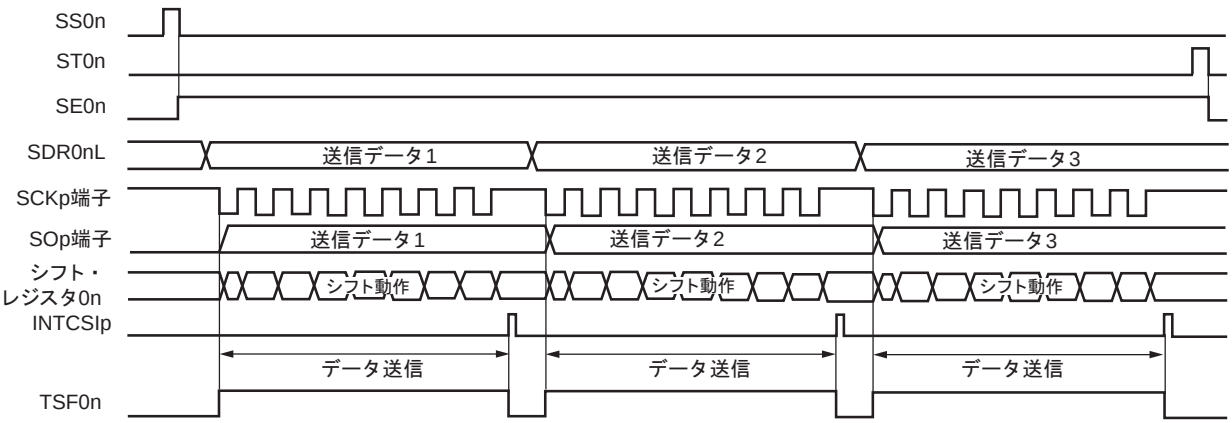
図12－25　マスタ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

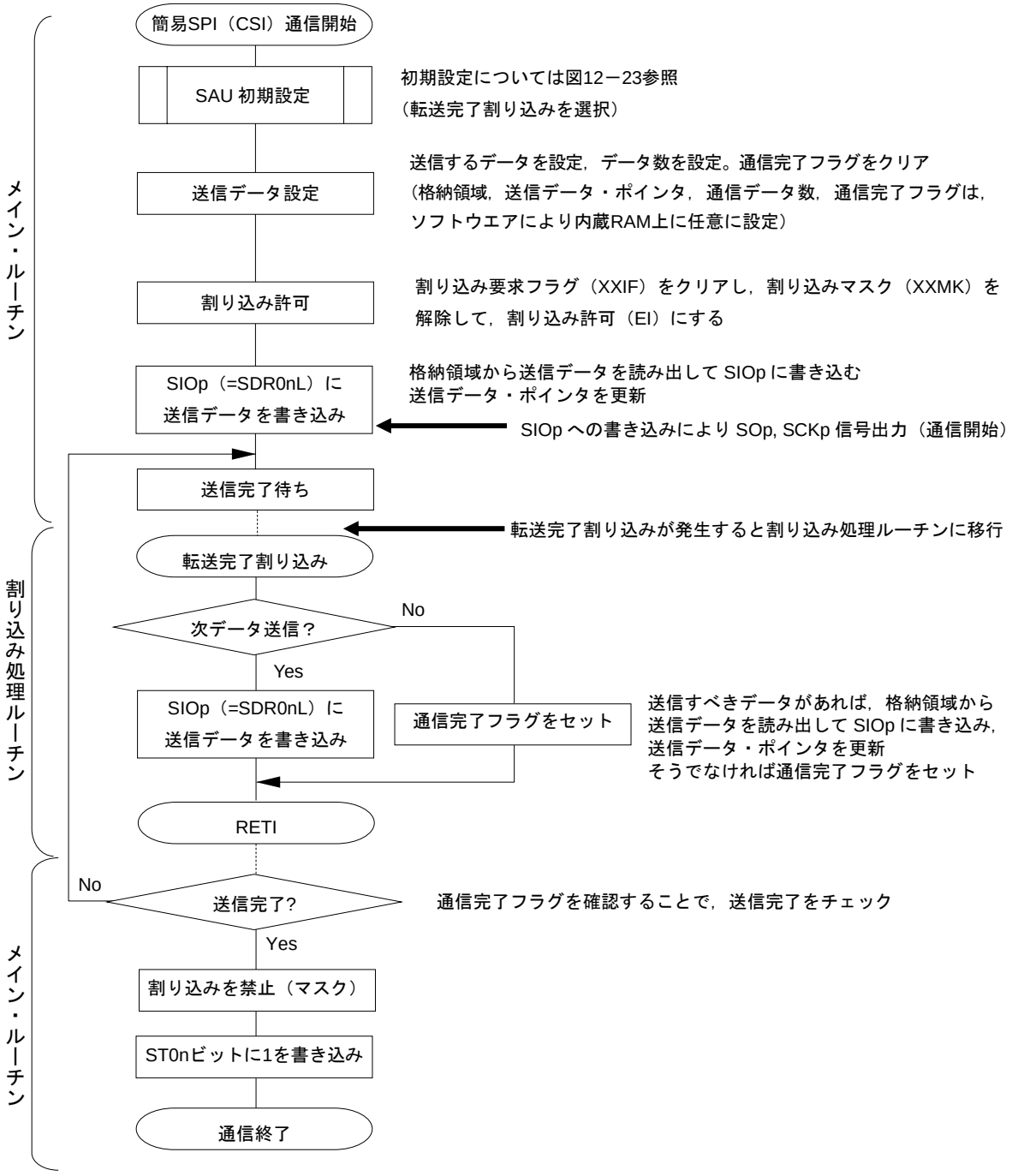
（3）処理フロー（シングル送信モード時）

図12－26　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）



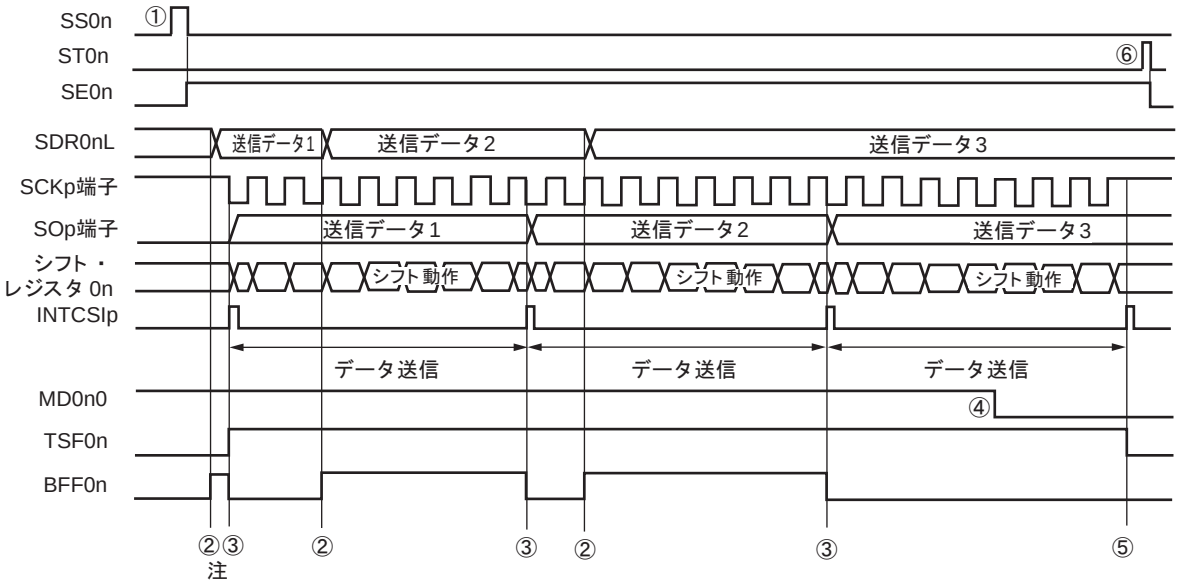
備考　n = 0, 1　p：CSI番号（p = 00, 01）

図12－27　マスタ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図12－28　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）

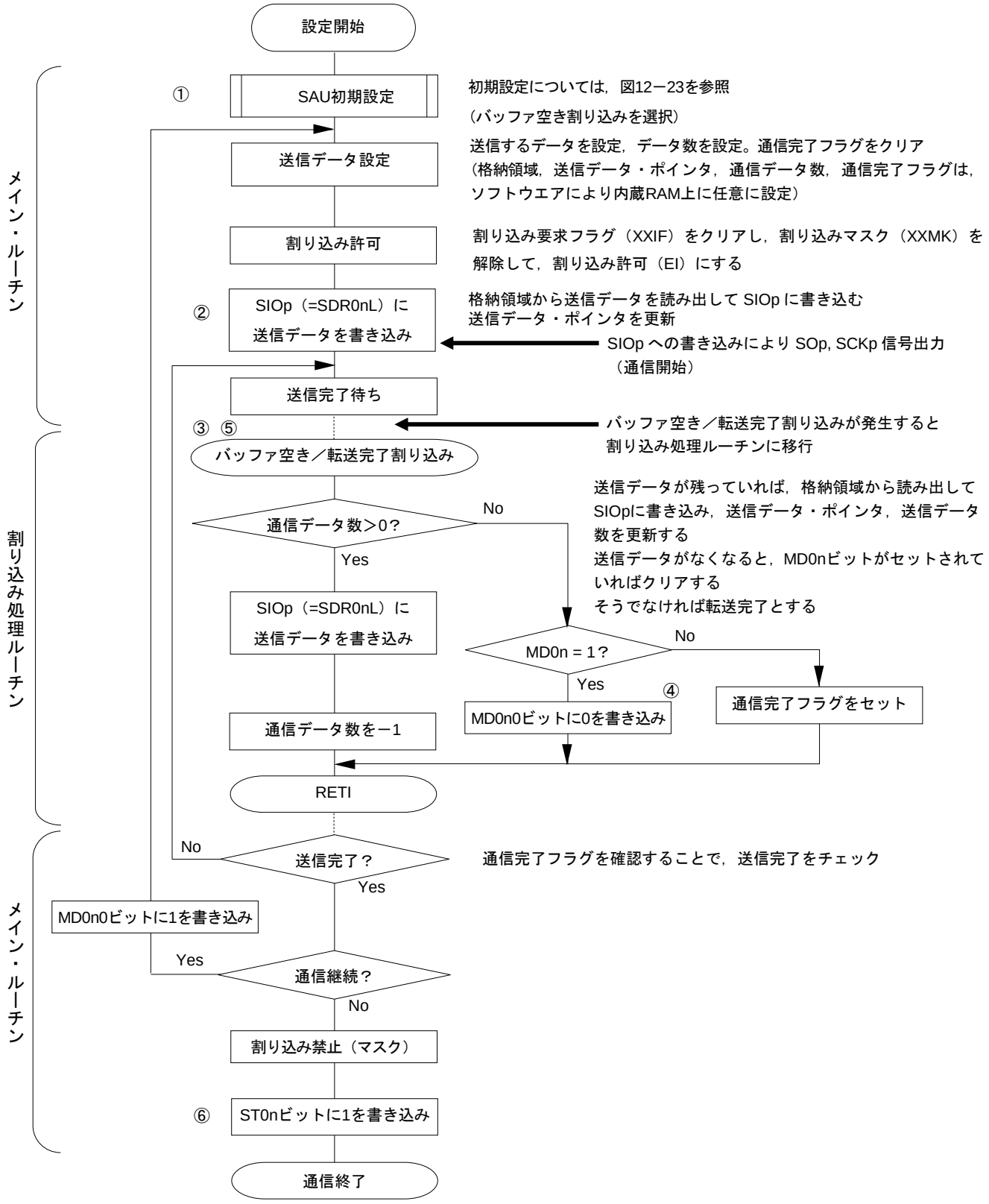


注　シリアル・ステータス・レジスタ0n（SSR0n）のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n（SDR0ｎL）に格納されているとき）にSDR0ｎLレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタ0n（SMR0nH/L）のMD0n0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　n = 0, 1　p：CSI番号（p = 00, 01）

図12－29　マスタ送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，**図12－28　マスタ送信（連続送信モード時）のタイミング・チャート**の①~⑥に対応しています。

12. 5. 2　マスタ受信

マスタ受信とは，このRL78/G10が転送クロックを出力し，RL78/G10が他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01[注1]
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ	
転送データ長	7ビットまたは8ビット	
転送レート[注2]	Max. f_{CLK}/4 [Hz] (SDR0nH [7:1] = 1以上) Min. f_{CLK}/（2×2^{15}×128）[Hz]	
データ位相	SCR0nHレジスタのDAP0nビットにより選択可能 ・DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始	
クロック位相	SCR0nHレジスタのCKP0nビットにより選択可能 ・CKP0n = 0の場合：非反転 ・CKP0n = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注1.　16ピン製品のみ

2.　この条件を満たし，かつ電気的特性のAC特性（**第24章　電気的特性参照**）を満たす範囲内で使用してください。

備考1.　f_{CLK}：システム・クロック周波数

2.　n = 0, 1

（1）レジスタ設定

図12－30　簡易SPI（CSI00, CSI01注）のマスタ受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						STS0n
0/1	0	0	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPS0レジスタで設定したプリスケーラ出力クロック“CK00”
1：SPS0レジスタで設定したプリスケーラ出力クロック“CK01”

略号：SMR0nL

7	6	5	4	3	2	1	0
	SIS0n0					MD0n1	MD0n0
0	0	1	0	0	0	0	0/1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
0	1	0/1	0/1	0	0	0	0

データとクロックの位相選択
（設定内容詳細は「**12. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0/1	0	0	0	0	1	1	0/1

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

略号：SDR0nH

15	14	13	12	11	10	9	8
ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0

略号：SDR0nL

7	6	5	4	3	2	1	0
受信データ（ダミー・データとしてFFHを書き込む）							

SIOp

（d）シリアル・クロック出力レジスタ0（CKO0）・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
CKO0							CKO01注	CKO00
	0	0	0	0	0	0	0/1	0/1

クロック位相が”非反転”（SCR0nHレジスタのCKP0nビット＝0）のときは”1”で通信開始し，クロック位相が”反転”（CKP0nビット ＝1）のときは”0”で通信開始する。

（e）シリアル出力レジスタ0（SO0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
SO0							SO01注	SO00
	0	0	0	0	0	0	×	×

（注，備考は次ページにあります。）

図12－30　簡易SPI（CSI00, CSI01注）のマスタ受信時のレジスタ設定内容例（2/2）

（f）シリアル出力許可レジスタ0（SOE0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01注 ×	SOE00 ×

（g）シリアル・チャネル開始レジスタ0（SS0）　・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	1	1	SS01 0/1	SS00 0/1

注　16ピン製品のみ

備考1.　n = 0, 1　p : CSI番号（p = 00, 01）

2.　□ : 簡易SPI（CSI）マスタ受信モードでは設定固定　■: 設定不可（初期値を設定）

× : このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1 : ユーザの用途に応じて0または1に設定

（2）操作手順

図12－31　マスタ受信の初期設定手順

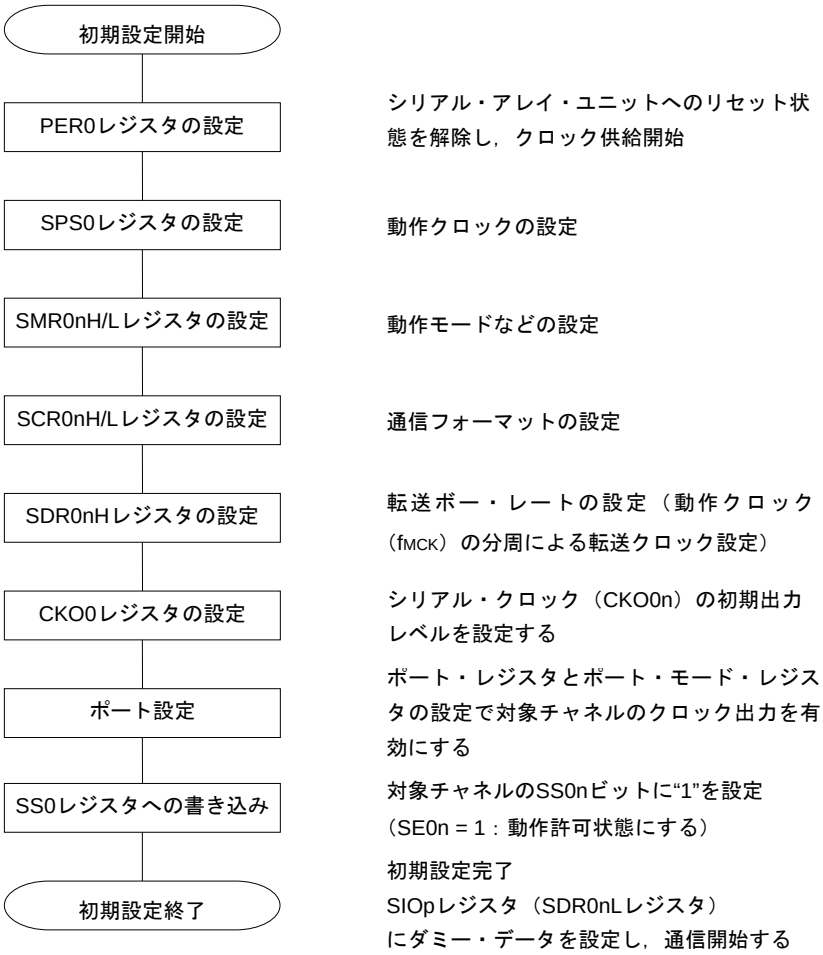


図12－32　マスタ受信の中断手順

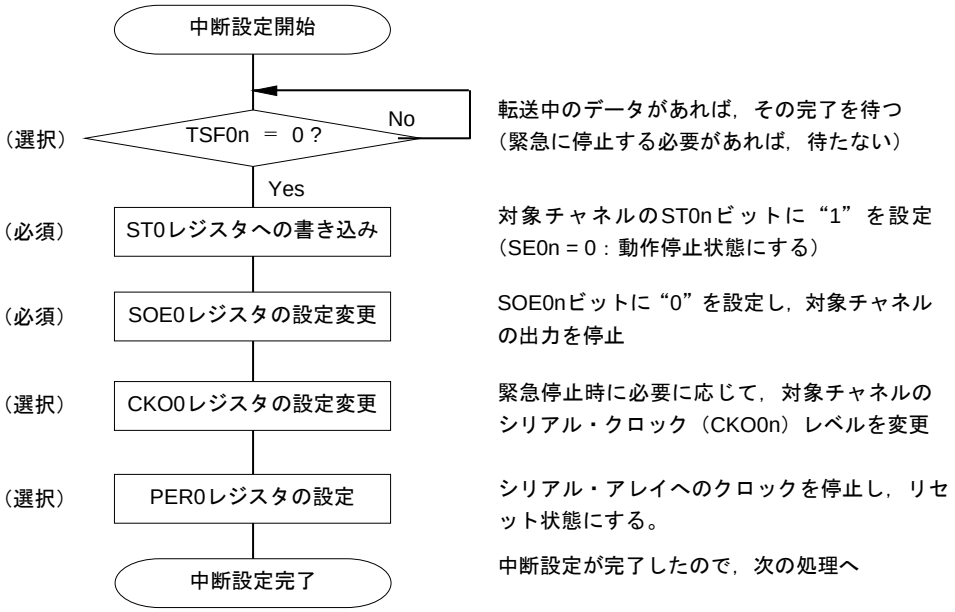
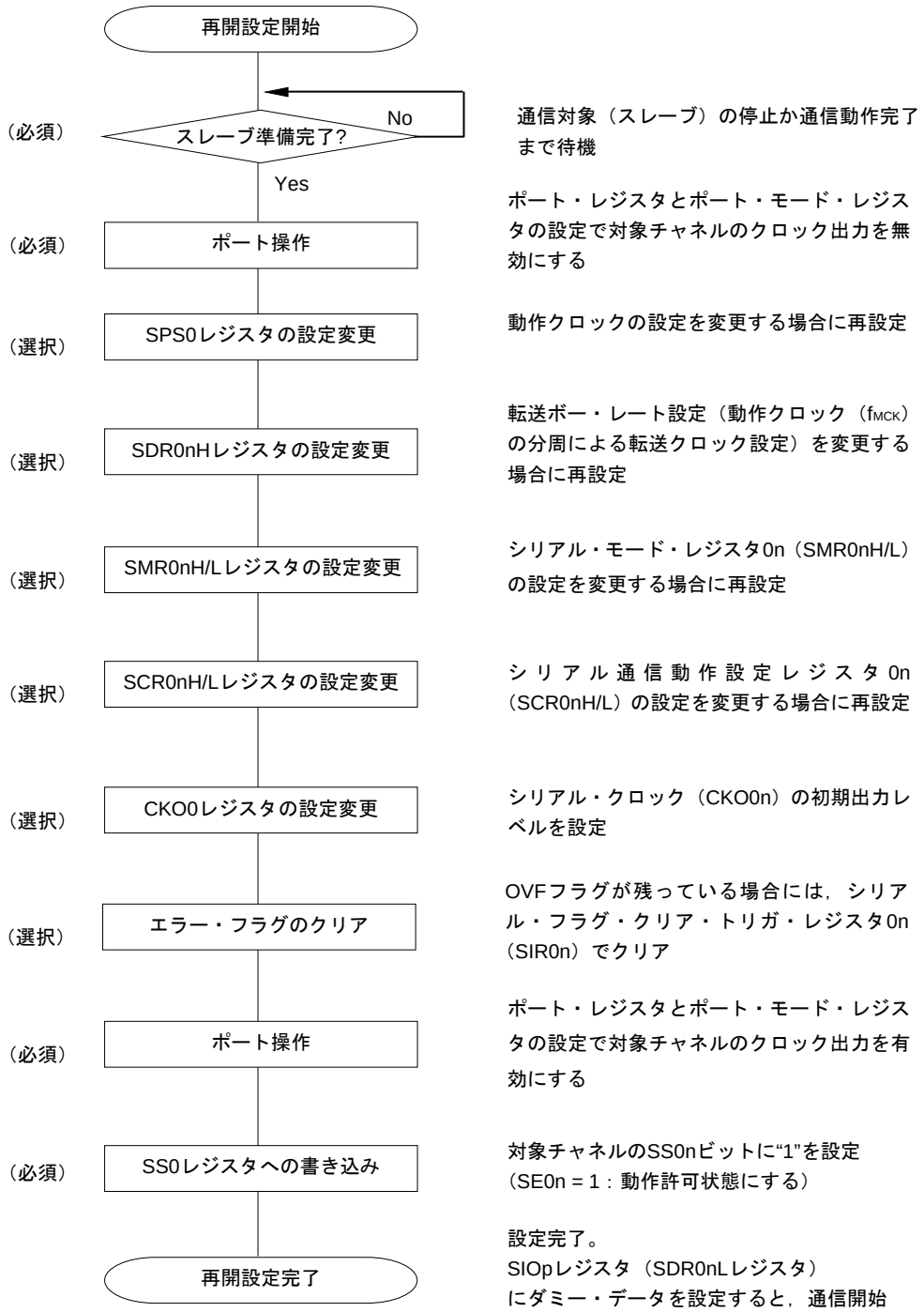


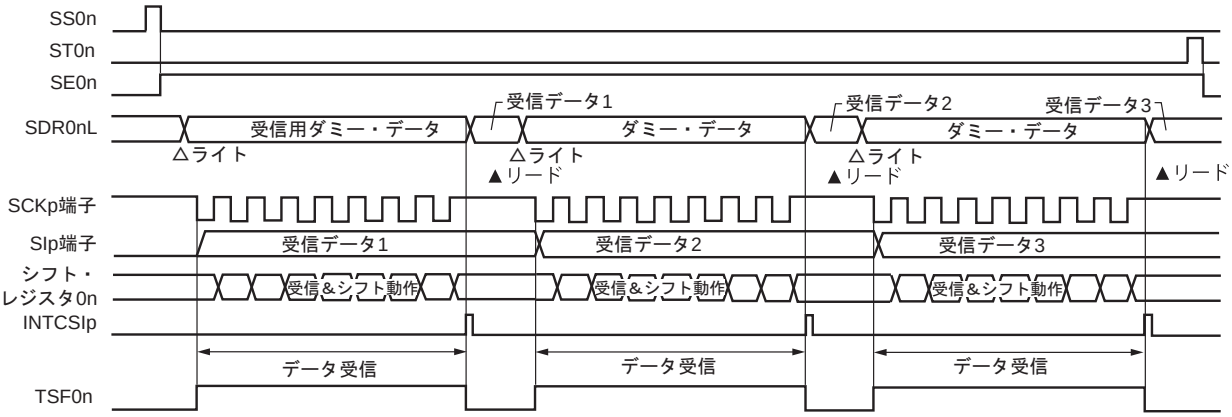
図12－33　マスタ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

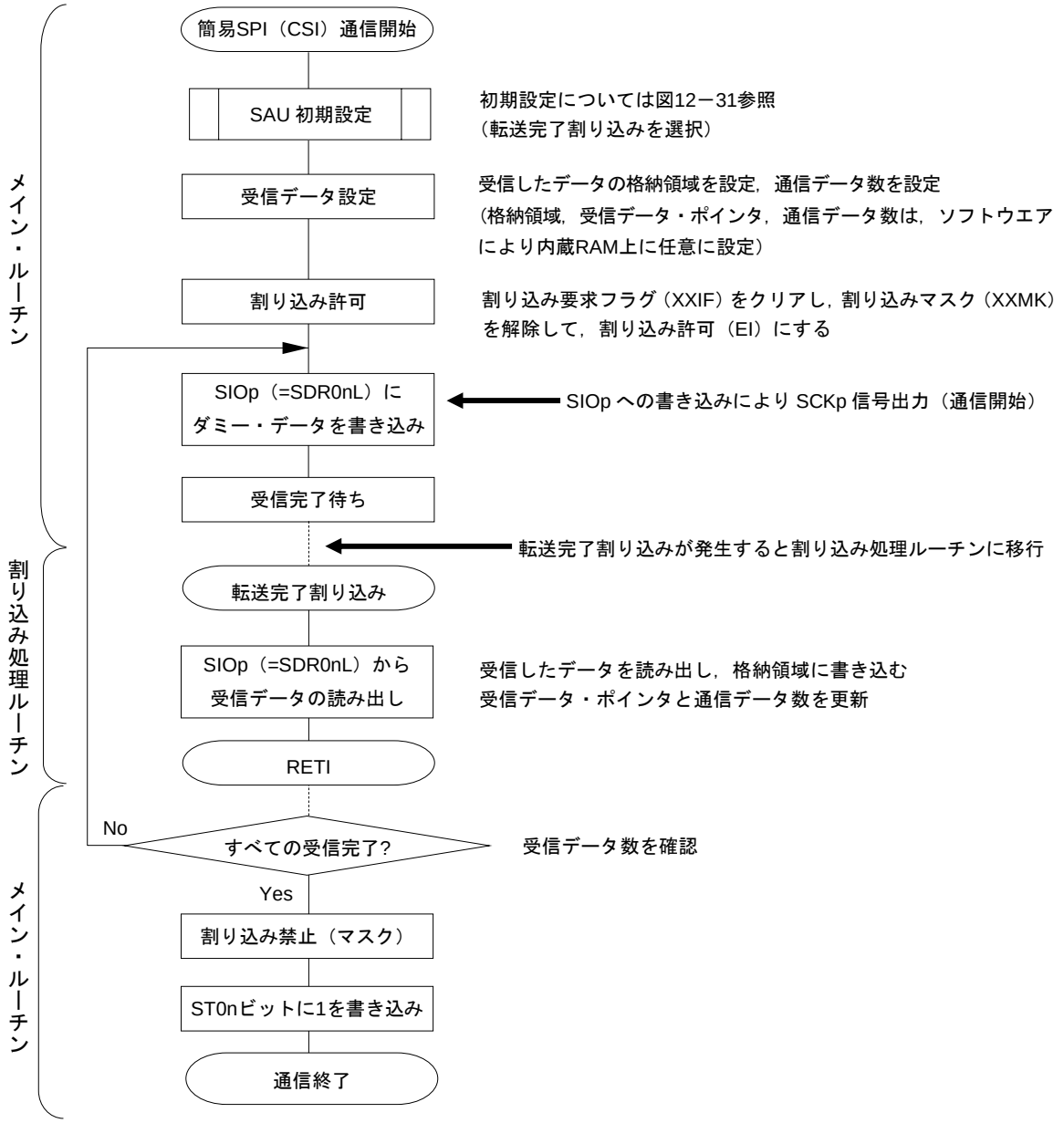
（3）処理フロー（シングル受信モード時）

図12－34　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）



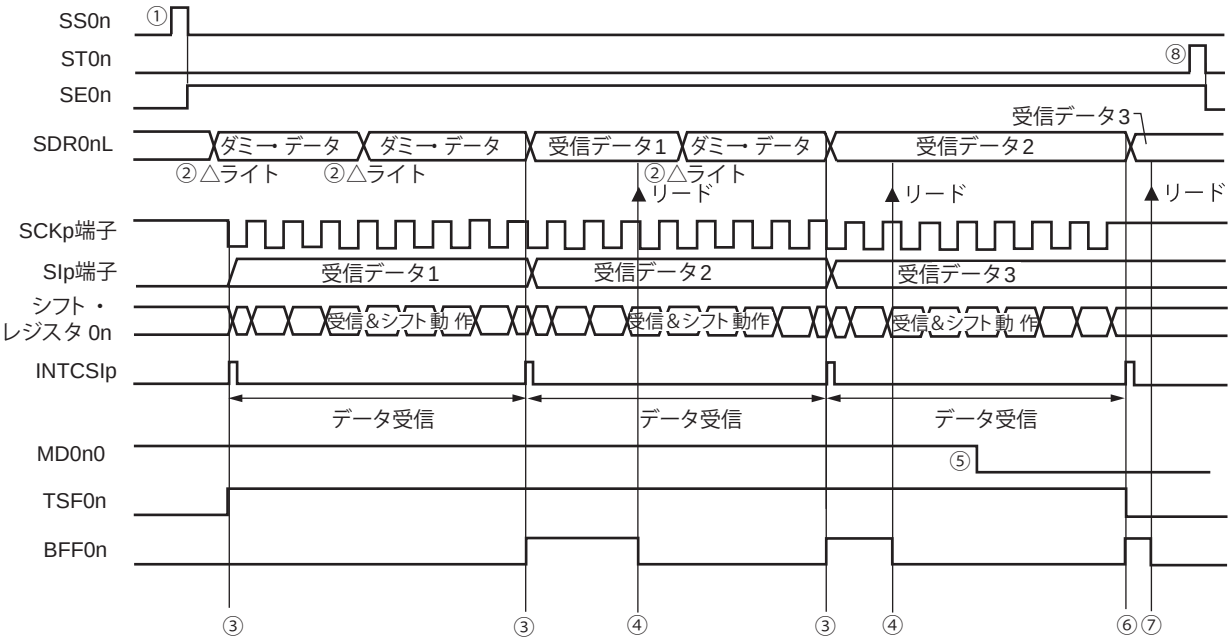
備考　n = 0, 1　p：CSI番号（p = 00, 01）

図12－35　マスタ受信（シングル受信モード時）のフロー・チャート



（4）処理フロー（連続受信モード時）

図12－36　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）

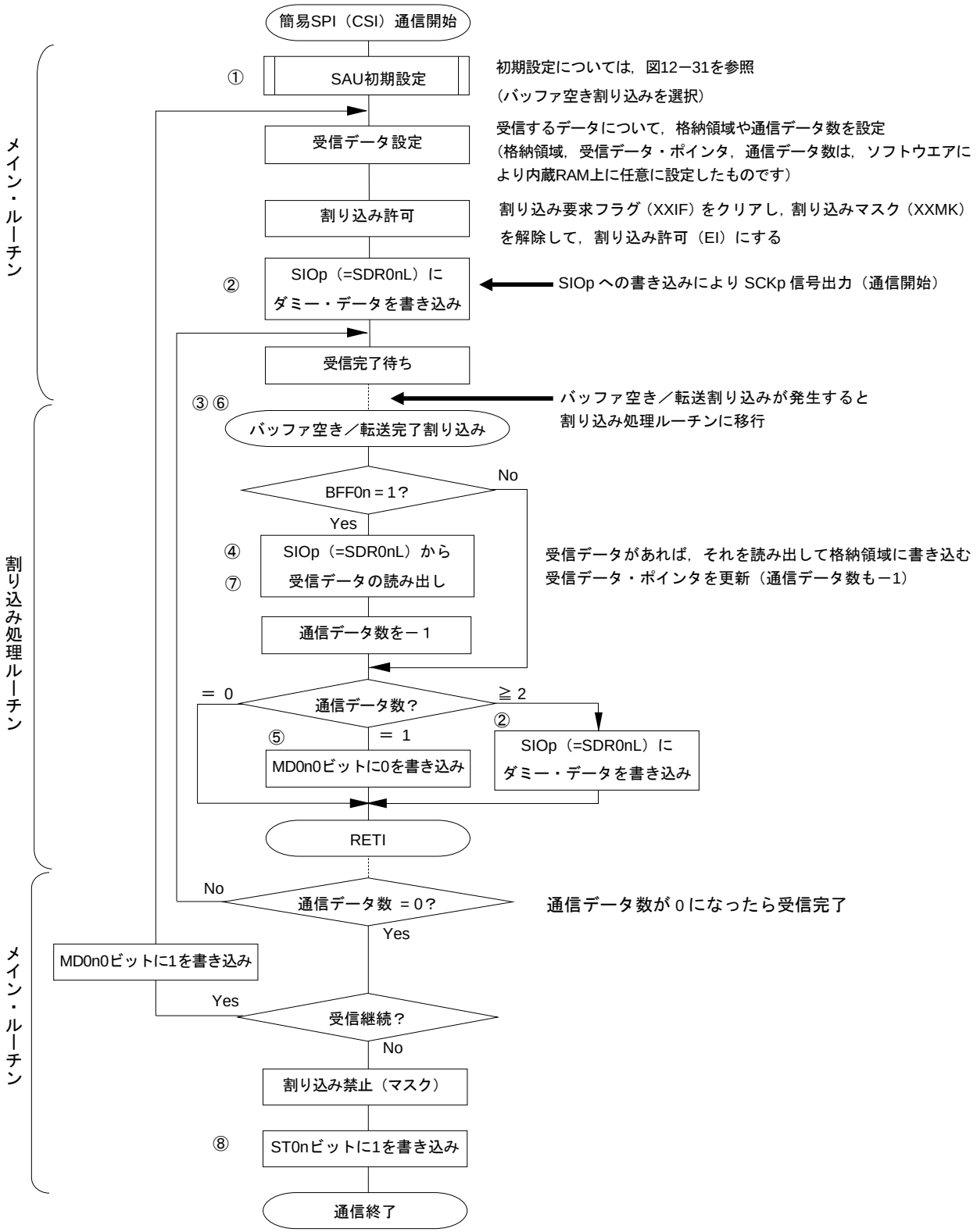


注意　MD0n0ビットは，動作中でも書き換えることができます。
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1.　図中の①~⑧は，**図12－37　マスタ受信（連続受信モード時）のフロー・チャート**の①~⑧に対応しています。

2.　n = 0, 1　p：CSI番号（p = 00, 01）

図12－37　マスタ受信（連続受信モード時）のフロー・チャート



備考　図中の①~⑧は，**図12－36　マスタ受信（連続受信モード時）のタイミング・チャート**の①~⑧に対応しています。

12. 5. 3　マスタ送受信

マスタ送受信とは，このRL78/G10が転送クロックを出力し，RL78/G10と他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01[注1]
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ	
転送データ長	7ビットまたは8ビット	
転送レート[注2]	Max. f_{CLK}/4 [Hz] (SDR0nH [7:1] = 1以上) Min. f_{CLK}/（2×2^{15}×128）[Hz]	
データ位相	SCR0nHレジスタのDAP0nビットにより選択可能 ・DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始	
クロック位相	SCR0nHレジスタのCKP0nビットにより選択可能 ・CKP0n = 0の場合：非反転 ・CKP0n = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注1.　16ピン製品のみ

2.　この条件を満たし，かつ電気的特性のAC特性（**第24章　電気的特性**参照）を満たす範囲内で使用してください。

備考1.　f_{CLK}：システム・クロック周波数

2.　n = 0, 1

（1）レジスタ設定

図12－38　簡易SPI（CSI00, CSI01[注]）のマスタ送受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						STS0n
0/1	0	0	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPS0レジスタで設定したプリスケーラ出力クロック“CK00”
1：SPS0レジスタで設定したプリスケーラ出力クロック“CK01”

略号：SMR0nL

7	6	5	4	3	2	1	0
	SIS0n0					MD0n1	MD0n0
0	0	1	0	0	0	0	0/1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
1	1	0/1	0/1	0	0	0	0

データとクロックの位相選択
（設定内容詳細は「**12. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0/1	0	0	0	0	1	1	0/1

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

略号：SDR0nH

15	14	13	12	11	10	9	8
ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0

略号：SDR0nL

7	6	5	4	3	2	1	0
送信データ設定／受信データ・レジスタ							

SIOp

（d）シリアル・クロック出力レジスタ0（CKO0）・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
CKO0							CKO01[注]	CKO00
	0	0	0	0	0	0	0/1	0/1

クロック位相が”非反転”（SCR0nHレジスタのCKP0nビット＝0）のときは”1”で通信開始し，クロック位相が”反転”（CKP0nビット ＝1）のときは”0”で通信開始する。

（e）シリアル出力レジスタ0（SO0）・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
SO0							SO01[注]	SO00
	0	0	0	0	0	0	0/1	0/1

（注，備考は次ページにあります。）

図12－38　簡易SPI（CSI00, CSI01[注]）のマスタ送受信時のレジスタ設定内容例（2/2）

（f）シリアル出力許可レジスタ0（SOE0）・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01[注] 0/1	SOE00 0/1

（g）シリアル・チャネル開始レジスタ0（SS0）　・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 0/1	SS00 0/1

注　16ピン製品のみ

備考1.　n = 0, 1　p : CSI番号（p = 00, 01）

2.　□：簡易SPI（CSI）マスタ送受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－39　マスタ送受信の初期設定手順

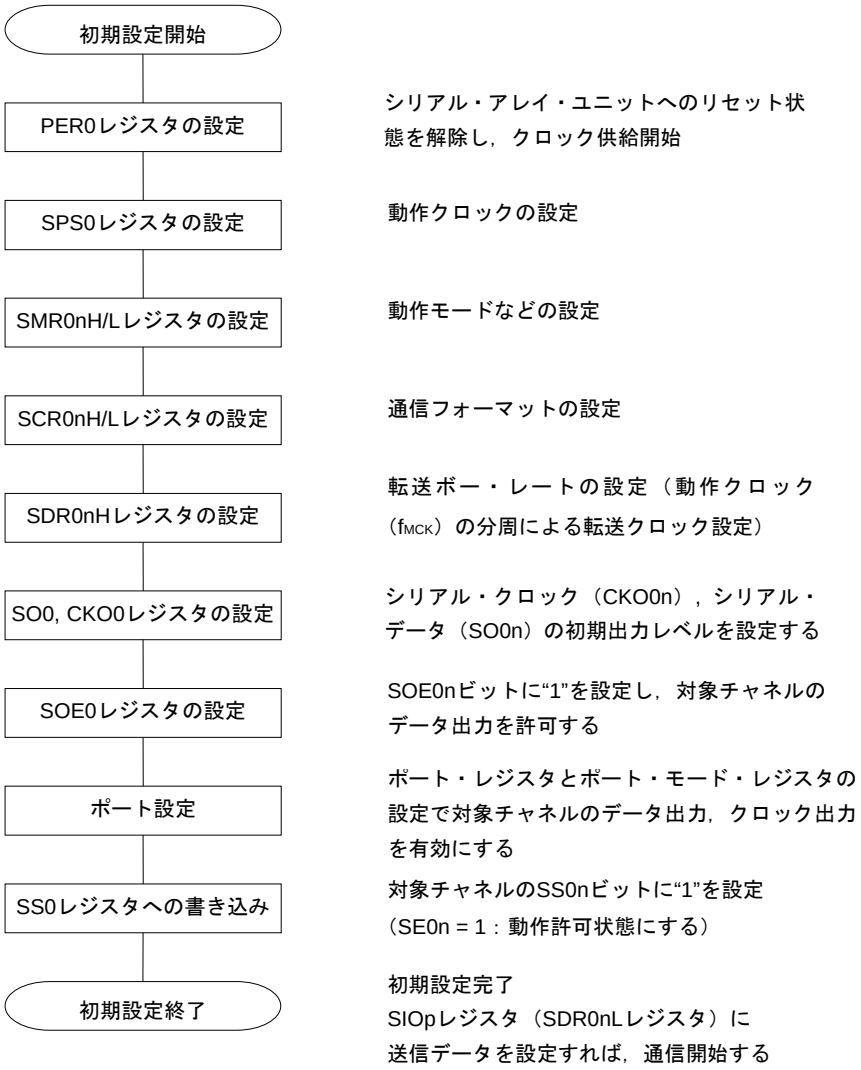


図12－40　マスタ送受信の中断手順

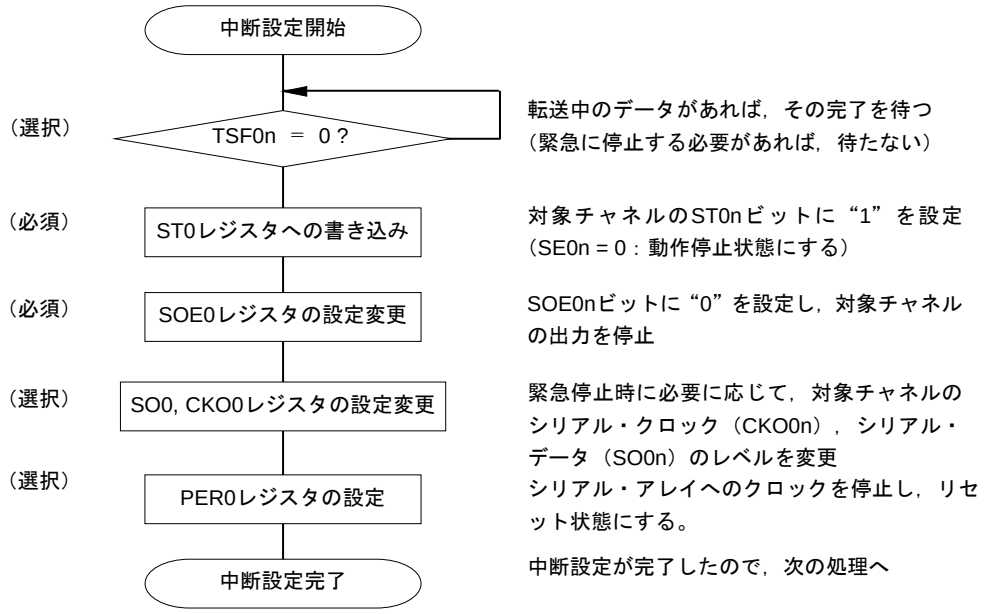
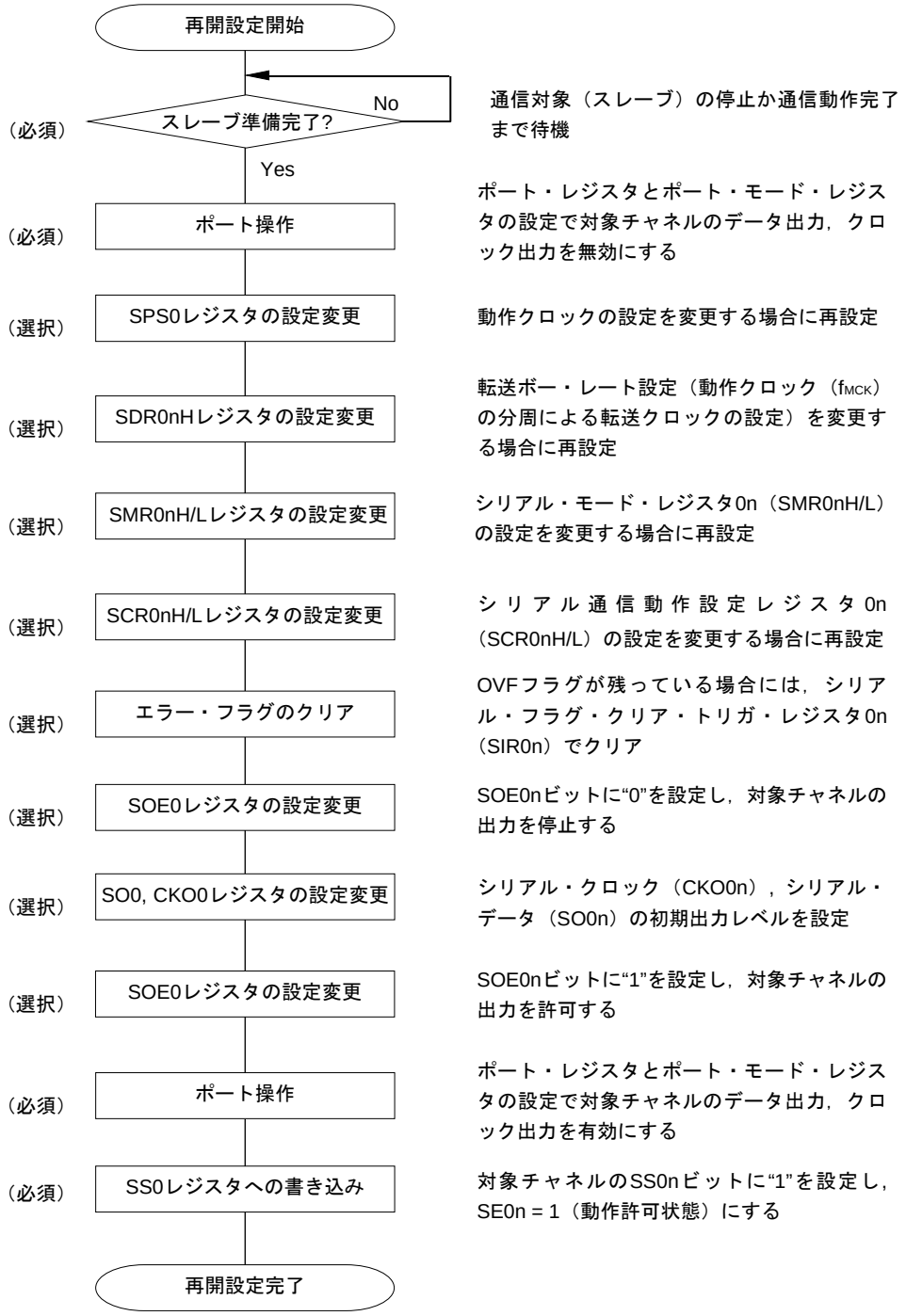


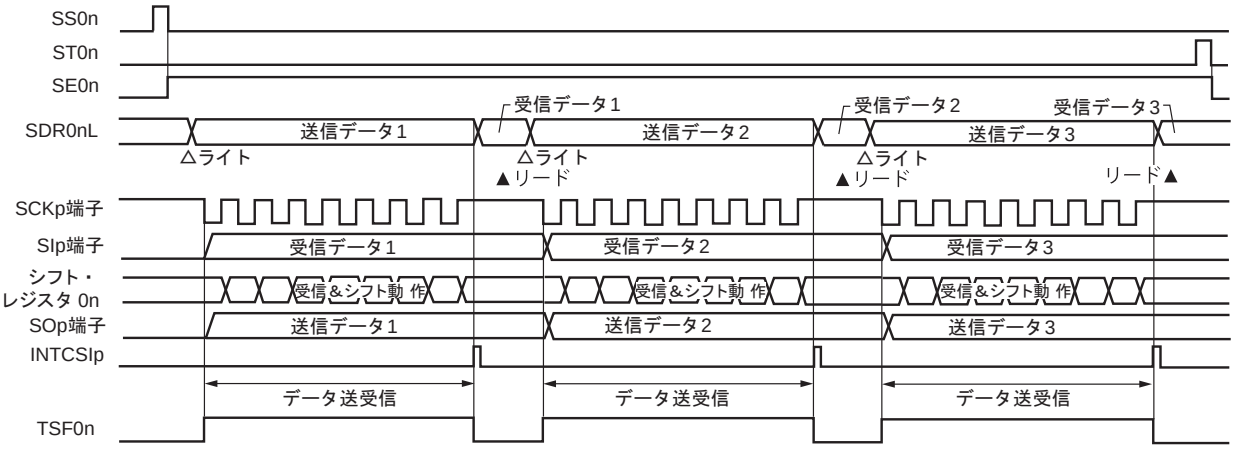
図12－41　マスタ送受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

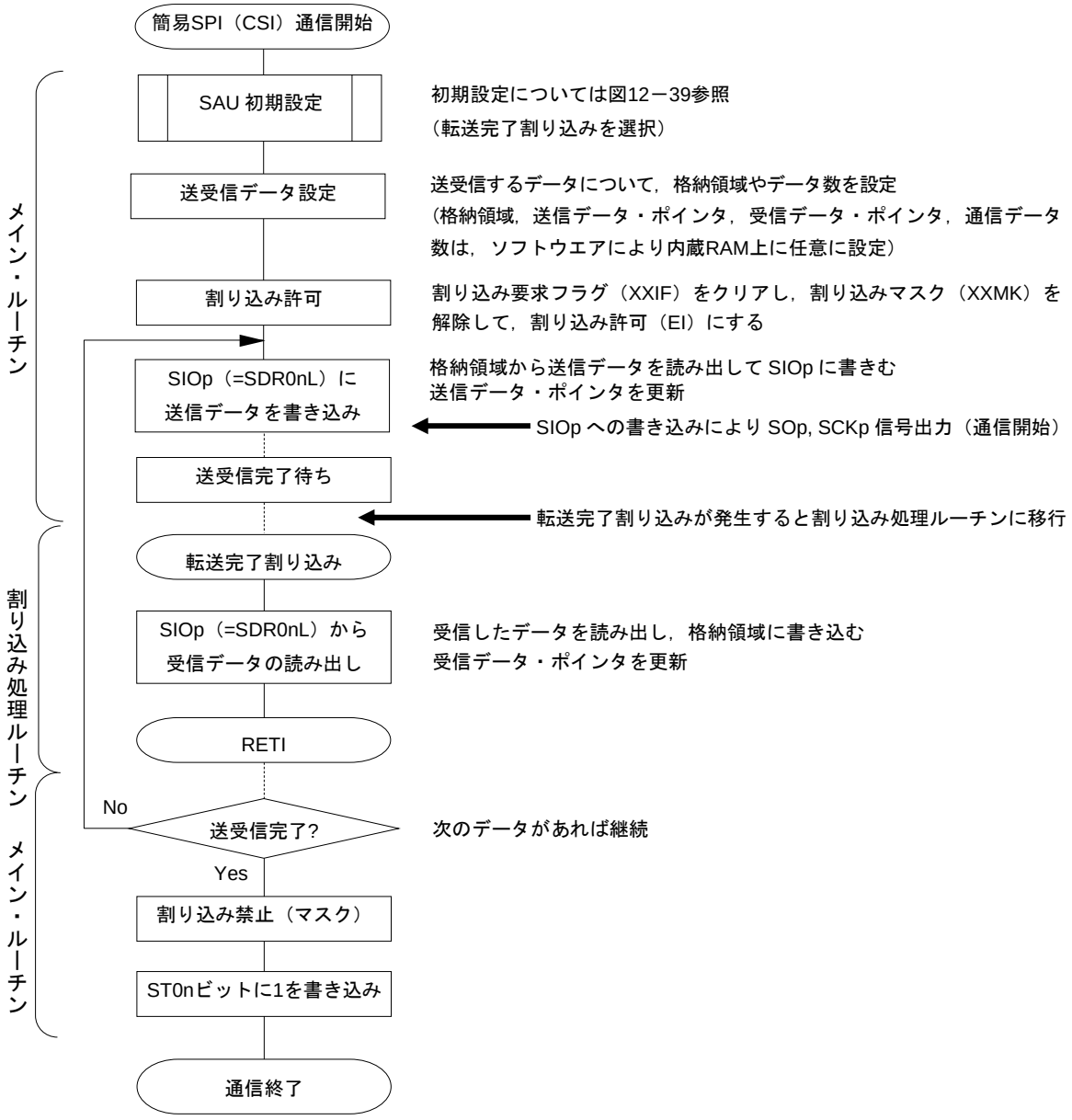
（3）処理フロー（シングル送受信モード時）

図12－42　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）



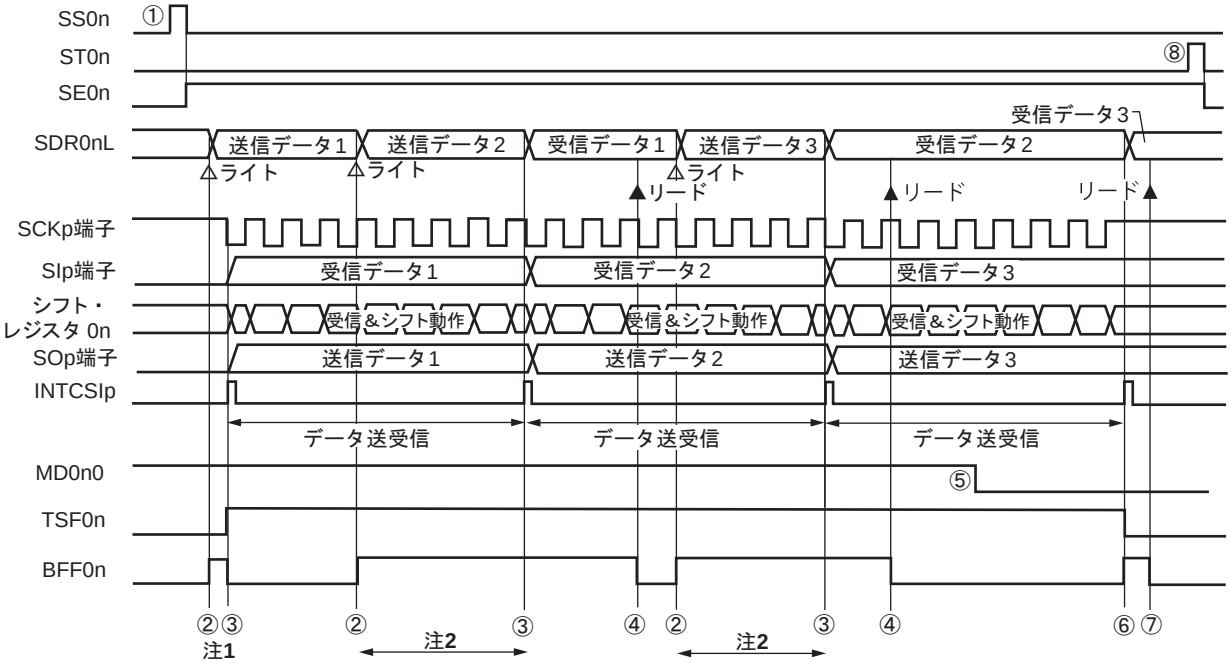
備考　n = 0, 1　p：CSI番号（p = 00, 01）

図12－43　マスタ送受信（シングル送受信モード時）のフロー・チャート



（4）処理フロー（連続送受信モード時）

図12－44　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）



注1.　シリアル・ステータス・レジスタ0n（SSR0n）のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n（SDR0ｎL）に格納されている時）にSDR0ｎLレジスタに送信データを書き込むと，送信データが上書きされます。

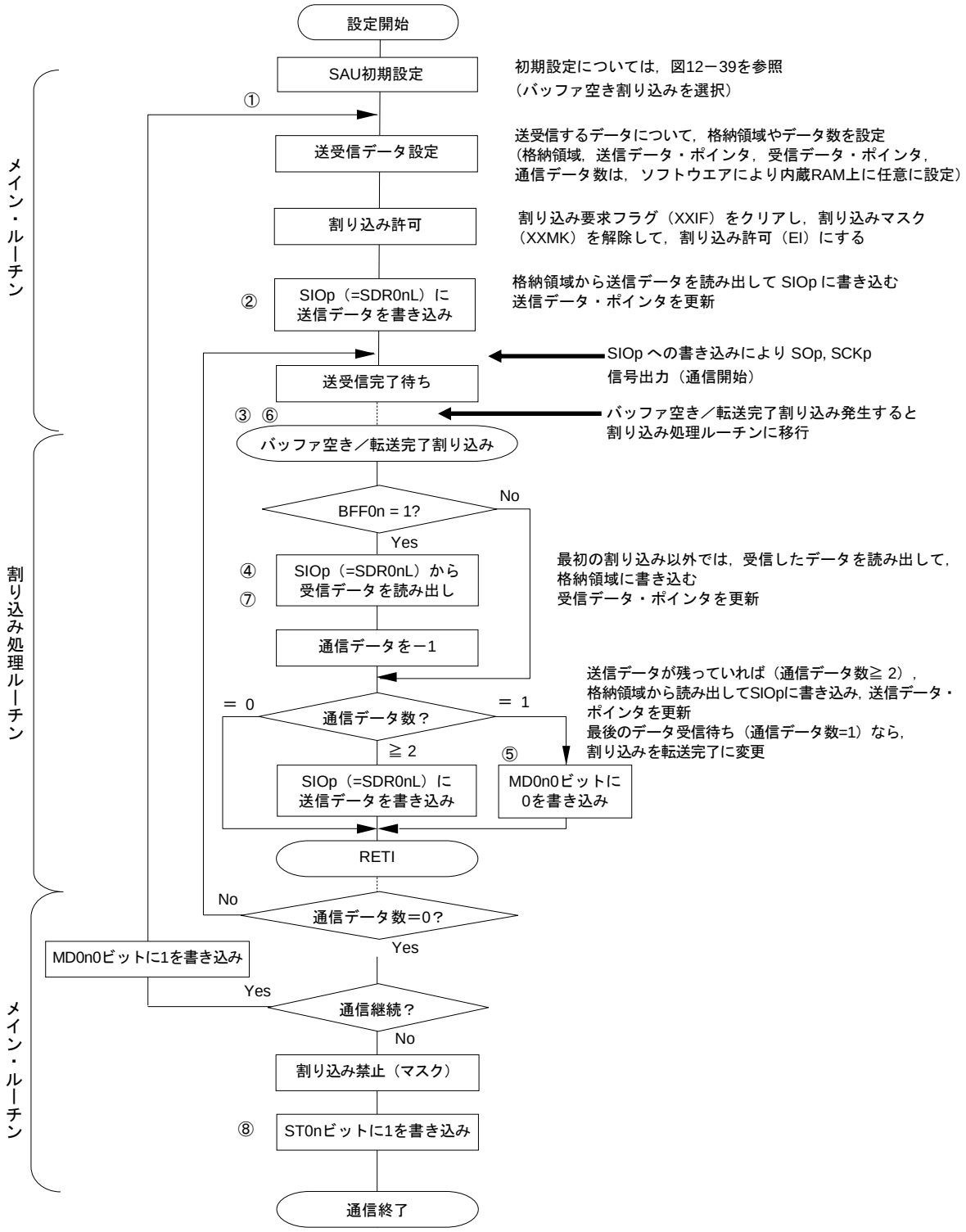
2.　この期間にSDR0ｎLレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタ0n（SMR0nL）のMD0n0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，**図12－45　マスタ送受信（連続送受信モード時）のフロー・チャート**の①~⑧に対応しています。

2.　n = 0, 1　p：CSI番号（p = 00, 01）

図12－45　マスタ送受信（連続送受信モード時）のフロー・チャート



備考　図中の①~⑧は，**図12－44　マスタ送受信（連続送受信モード時）のタイミング・チャート**の①~⑧に対応しています。

12. 5. 4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，RL78/G10から他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01[注1]
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. f_{MCK}/6[Hz][注2, 3]	
データ位相	SCR0nHレジスタのDAP0nビットにより選択可能 ・DAP0n = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始	
クロック位相	SCR0nHレジスタのCKP0nビットにより選択可能 ・CKP0n = 0の場合：非反転 ・CKP0n = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注1. 16ピン製品のみ

2. SCK00, SCK01端子に入力された外部シリアル･クロックは, 内部でサンプリングして使用されるため, 最大転送レートはf_{MCK}/6 [Hz]となります。

3. この条件を満たし，かつ電気的特性のAC特性（**第24章　電気的特性参照**）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. n = 0, 1

（1）レジスタ設定

図12－46　簡易SPI（CSI00, CSI01注）のスレーブ送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						STS0n
0/1	1	0	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPS0レジスタで設定したプリスケーラ出力クロック“CK00”
1：SPS0レジスタで設定したプリスケーラ出力クロック“CK01”

略号：SMR0nL

7	6	5	4	3	2	1	0
	SIS0n0					MD0n1	MD0n0
0	0	1	0	0	0	0	0/1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
1	0	0/1	0/1	0	0	0	0

データとクロックの位相選択
（設定内容詳細は「**12. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0/1	0	0	0	0	1	1	0/1

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

略号：SDR0nH

15	14	13	12	10	9	8	7
0000000 ボー・レート設定							0

略号：SDR0nL

7	6	5	4	3	2	1	0
送信データ設定							

SIOp

（d）シリアル・クロック出力レジスタ0（CKO0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
CKO0	0	0	0	0	0	0	CKO01注 ×	CKO00 ×

（e）シリアル出力レジスタ0（SO0）・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	SO01注 0/1	SO00 0/1

（注，備考は次ページにあります。）

図12－46　簡易SPI（CSI00, CSI01注）のスレーブ送信時のレジスタ設定内容例（2/2）

（f）シリアル出力許可レジスタ0（SOE0）・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01注 0/1	SOE00 0/1

（g）シリアル・チャネル開始レジスタ0（SS0）　・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 0/1	SS00 0/1

注　16ピン製品のみ

備考1.　n = 0, 1　p : CSI番号（p = 00, 01）

2.　□ : 簡易SPI（CSI）スレーブ送信モードでは設定固定　■ : 設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－47　スレーブ送信の初期設定手順

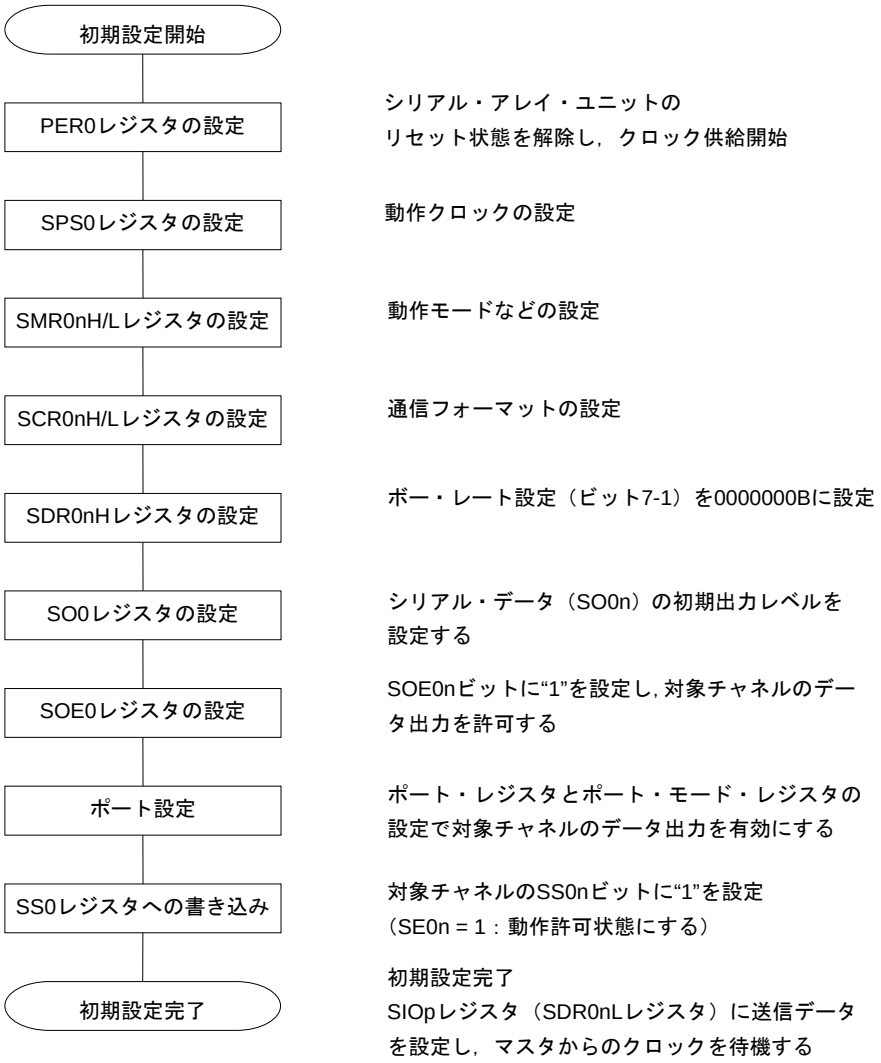


図12－48　スレーブ送信の中断手順

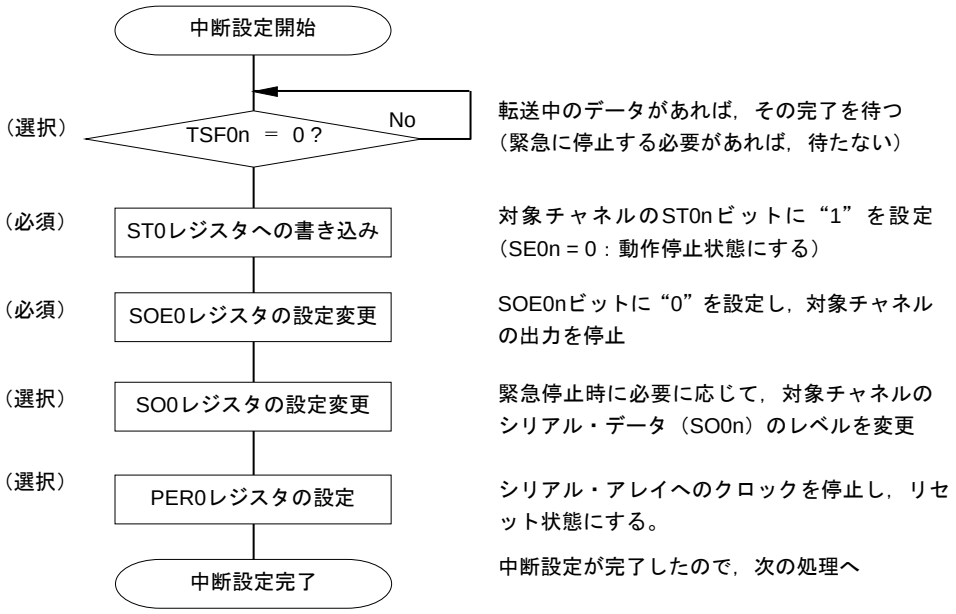
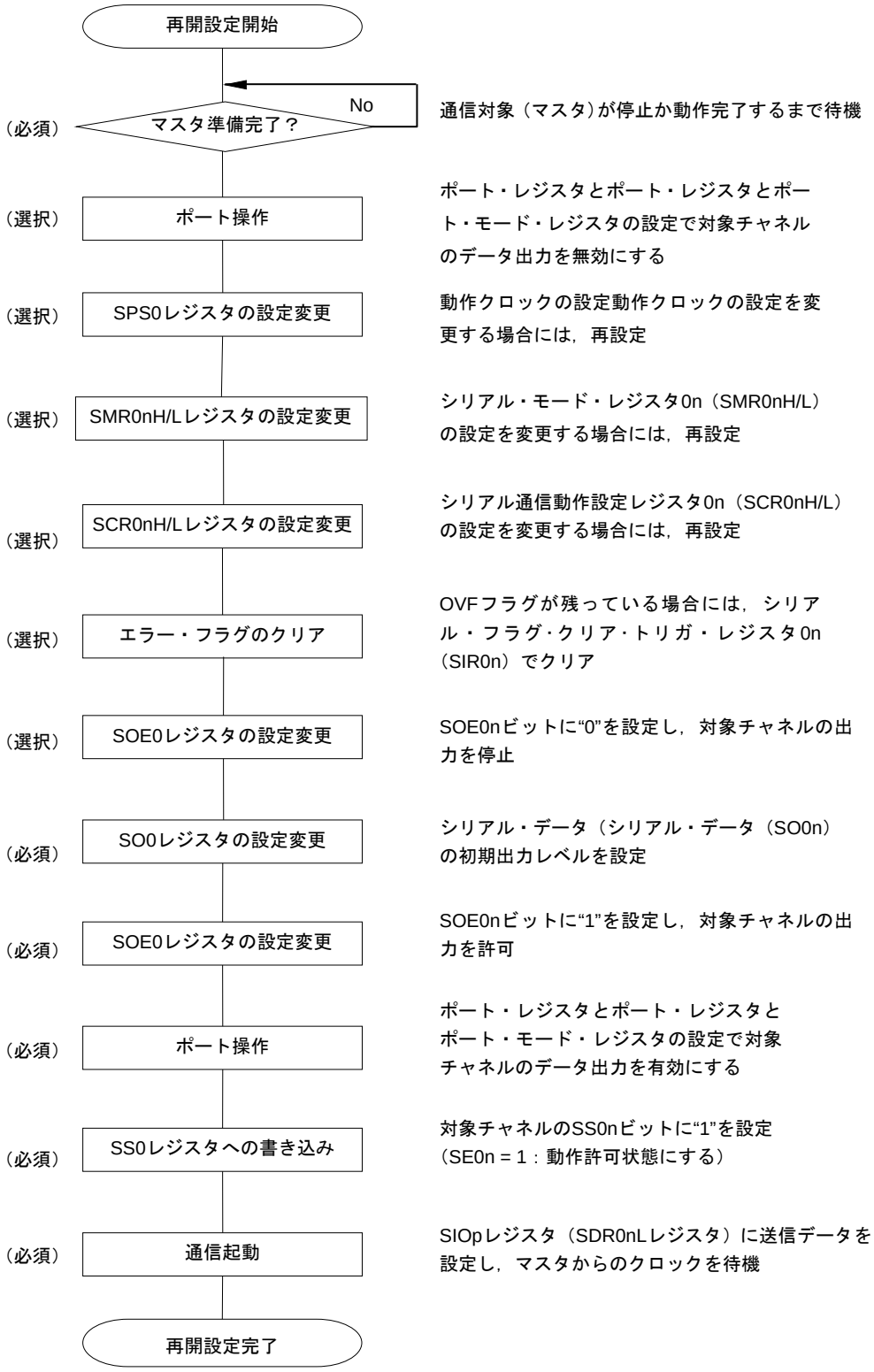


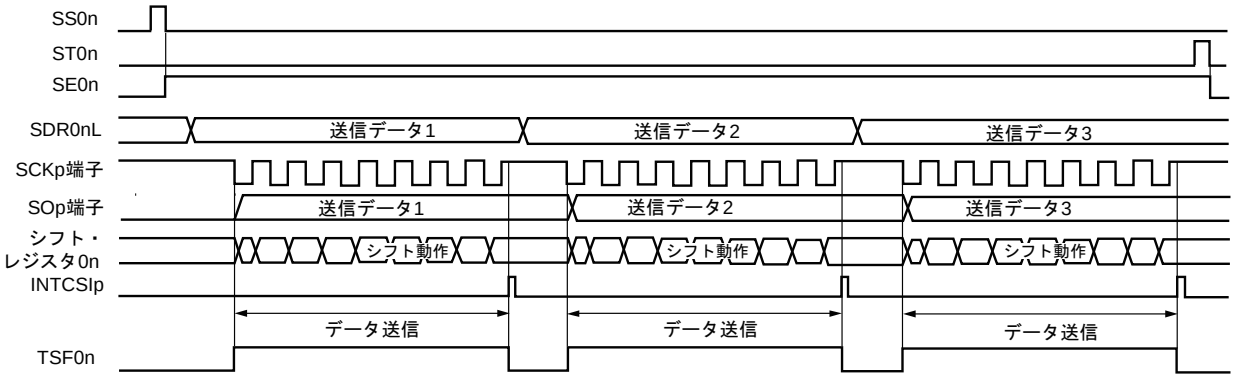
図12－49　スレーブ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

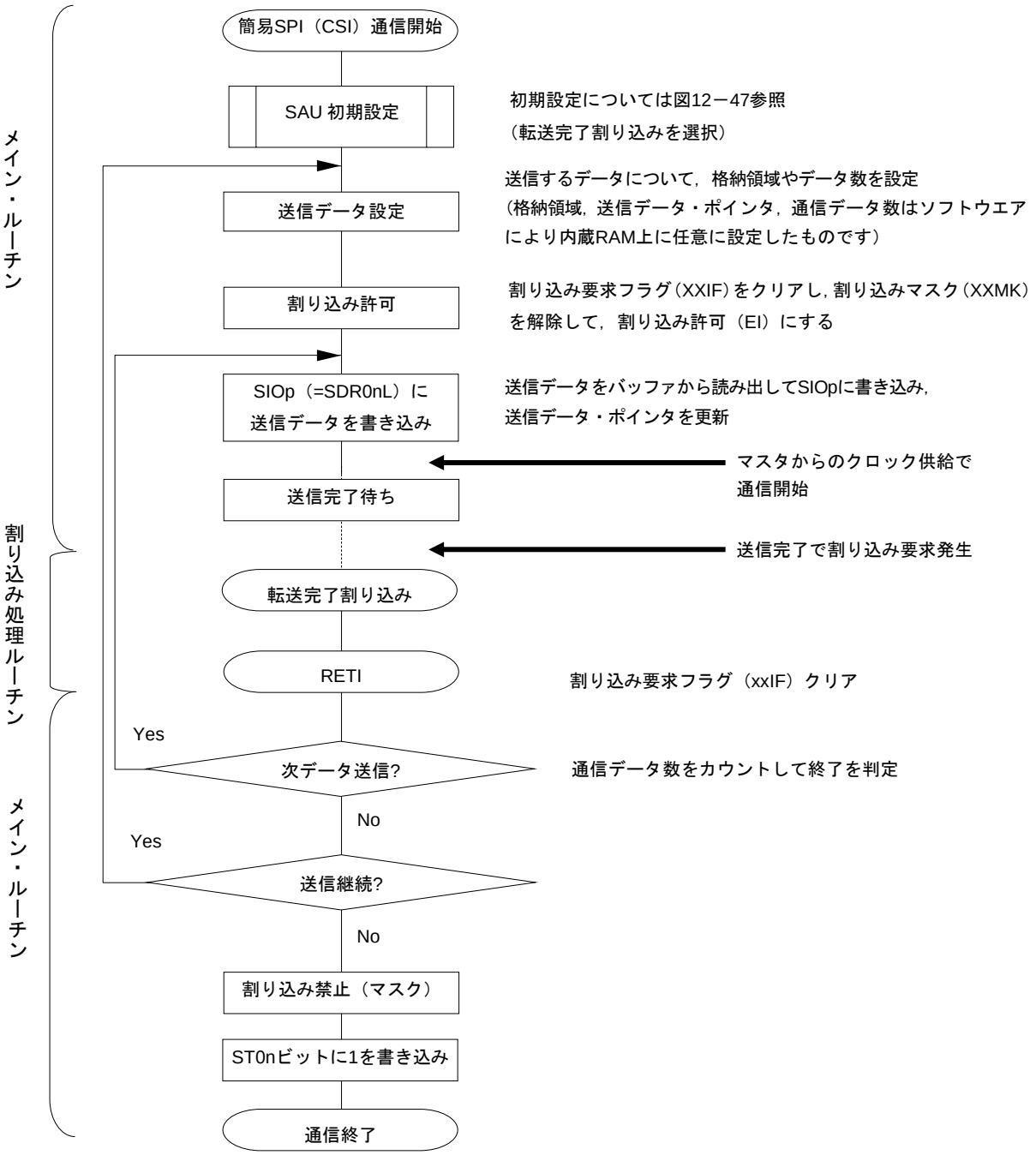
（3）処理フロー（シングル送信モード時）

図12－50　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）



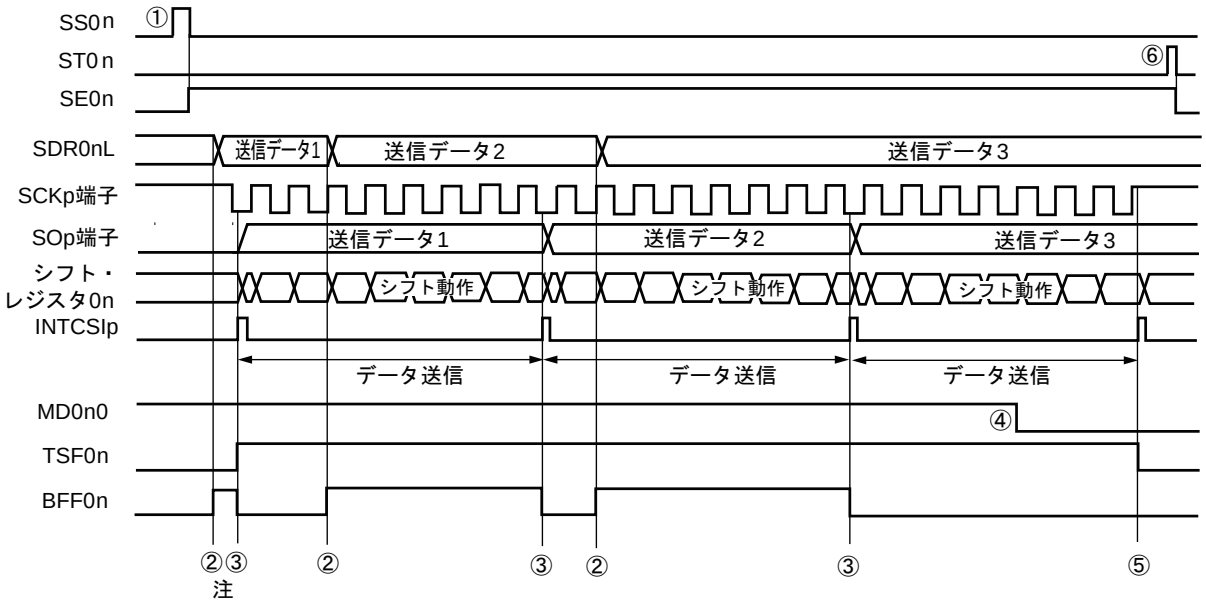
備考　n = 0, 1　p：CSI番号（p = 00, 01）

図12－51　スレーブ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図12－52　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）

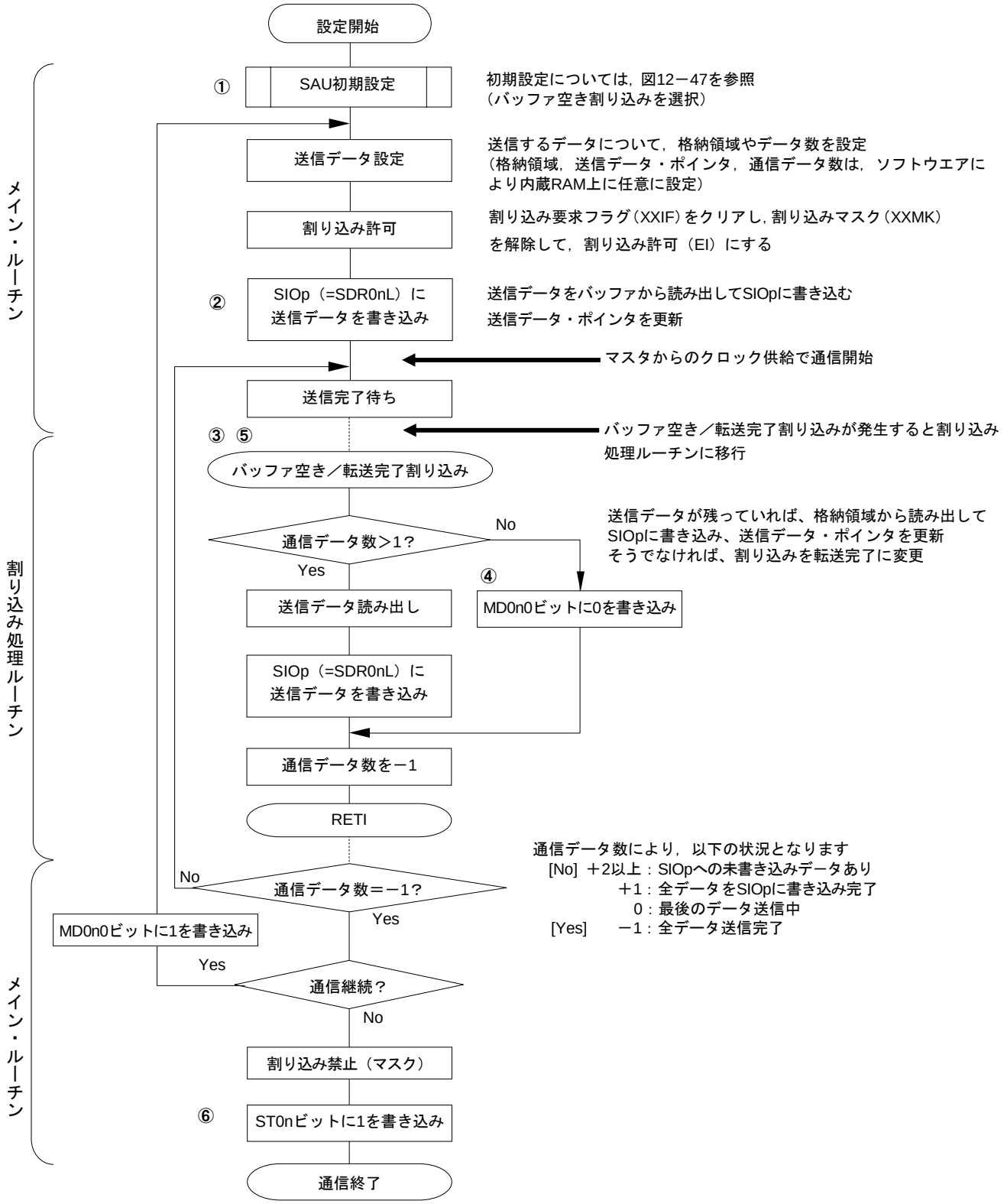


注　シリアル・ステータス・レジスタ0n（SSR0n）のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n（SDR0nL）に格納されているとき）にSDR0nLレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタ0n（SMR0nL）のMD0n0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考　n = 0, 1　p：CSI番号（p = 00, 01）

図12－53　スレーブ送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，**図12－52　スレーブ送信（連続送信モード時）のタイミング・チャート**の①~⑥に対応しています。

12. 5. 5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，RL78/G10が他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01[注1]
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. f_{MCK}/6 [Hz][注2, 3]	
データ位相	SCR0nHレジスタのDAP0nビットにより選択可能 ・DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始	
クロック位相	SCR0nHレジスタのCKP0nビットにより選択可能 ・CKP0n = 0の場合：非反転 ・CKP0n = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注1. 16ピン製品のみ

2. SCK00, SCK01端子に入力された外部シリアル･クロックは, 内部でサンプリングして使用されるため, 最大転送レートはf_{MCK}/6 [Hz]となります。

3. この条件を満たし，かつ電気的特性のAC特性（**第24章　電気的特性参照**）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. n = 0, 1

（1）レジスタ設定

図12－54　簡易SPI（CSI00, CSI01注）のスレーブ受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						STS0n
0/1	0	0	0	0	0	0	0

略号：SMR0nL

7	6	5	4	3	2	1	0
	SIS0n0					MD0n1	MD0n0
0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPS0レジスタで設定したプリスケーラ出力クロック“CK00”
1：SPS0レジスタで設定したプリスケーラ出力クロック“CK01”

チャネルnの割り込み要因
0：転送完了割り込み

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
0	1	0/1	0/1	0	0	0	0

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「**12. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

略号：SDR0nH

15	14	13	12	11	10	9	8
0000000 ボー・レート設定							0

略号：SDR0nL

7	6	5	4	3	2	1	0
受信データ							

SIOp

（d）シリアル・クロック出力レジスタ0（CKO0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
CKO0	0	0	0	0	0	0	CKO01注 ×	CKO0 ×

（e）シリアル出力レジスタ0（SO0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	SO01注 ×	SO00 ×

（注，備考は次ページにあります。）

図12－54　簡易SPI（CSI00, CSI01注）のスレーブ受信時のレジスタ設定内容例（2/2）

（f）シリアル出力許可レジスタ0（SOE0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01注 ×	SOE00 ×

（g）シリアル・チャネル開始レジスタ0（SS0）　・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 0/1	SS00 0/1

注　16ピン製品のみ

備考1.　n = 0, 1　p : CSI番号（p = 00, 01）

2.　□ : 簡易SPI（CSI）スレーブ受信モードでは設定固定　■ : 設定不可（初期値を設定）

× : このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1 : ユーザの用途に応じて0または1に設定

（2）操作手順

図12－55　スレーブ受信の初期設定手順

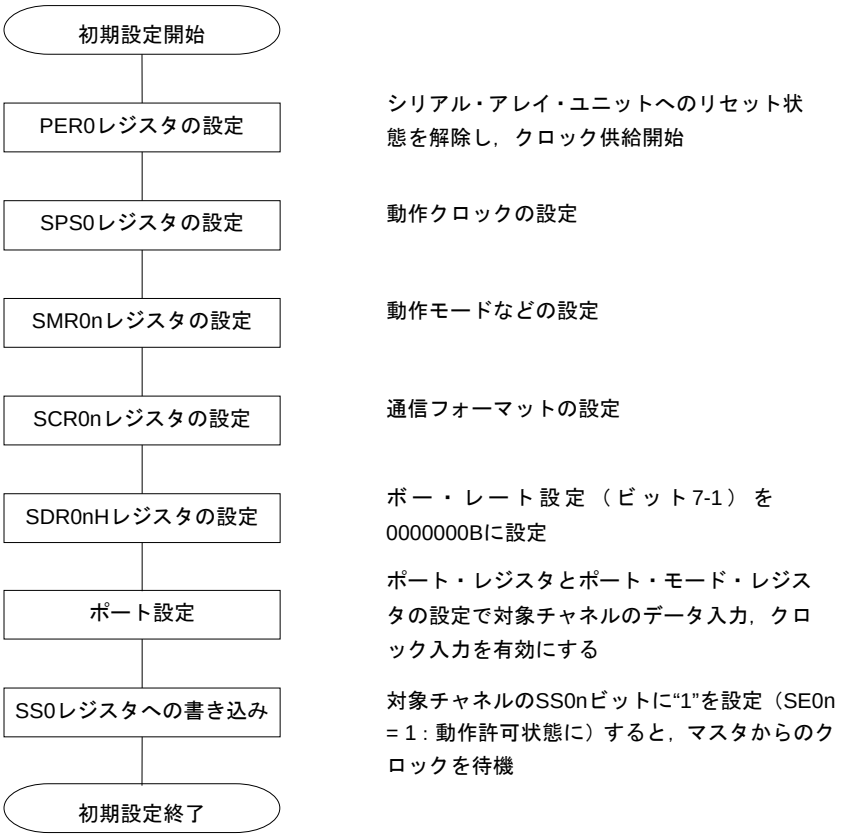


図12－56　スレーブ受信の中断手順

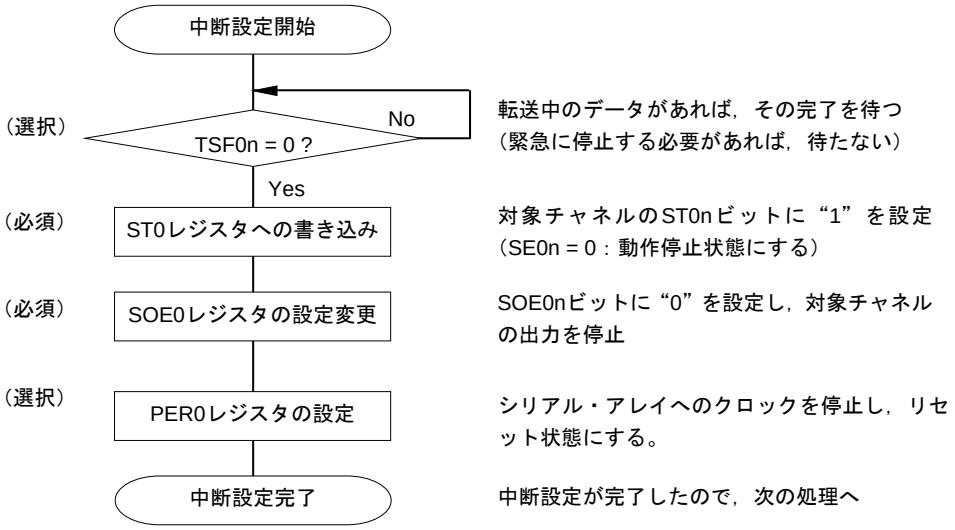
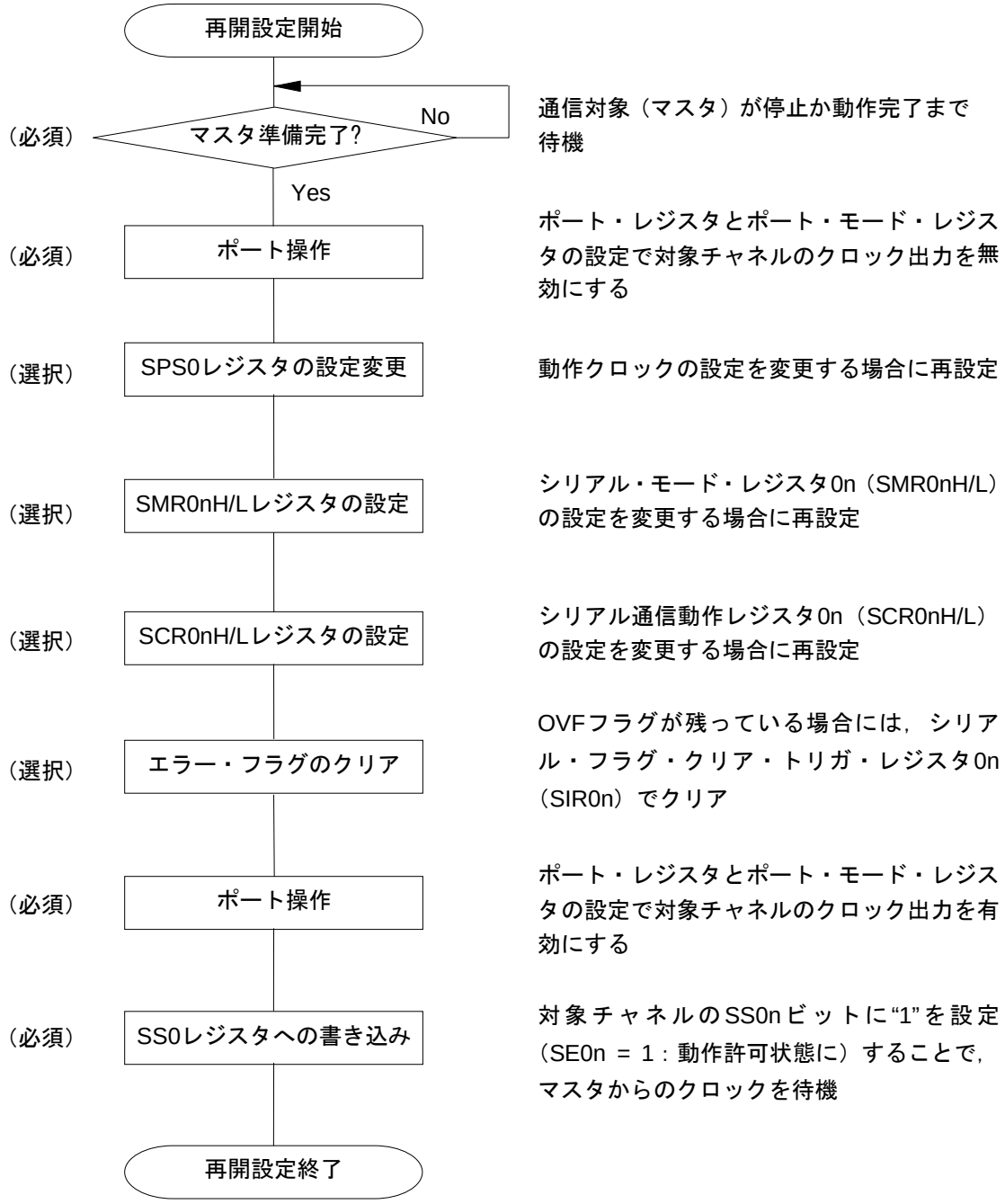


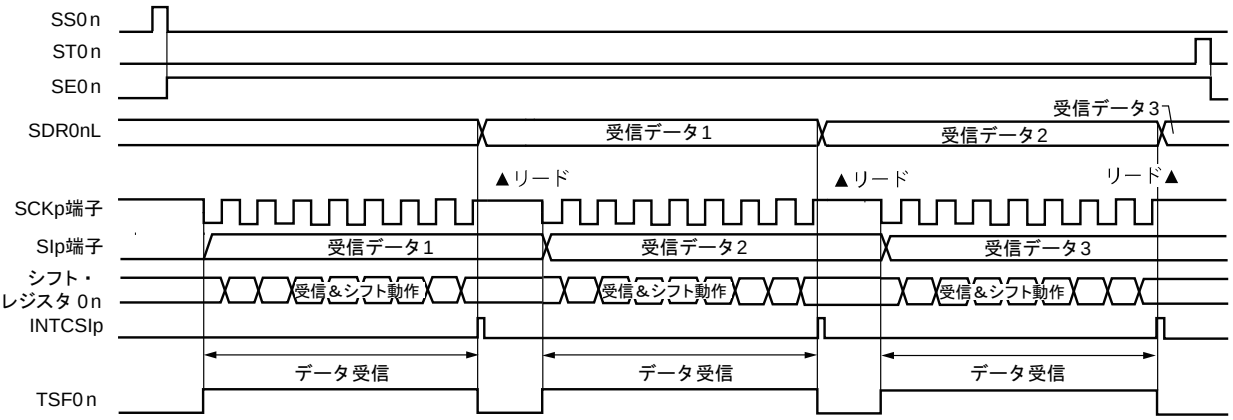
図12－57　スレーブ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

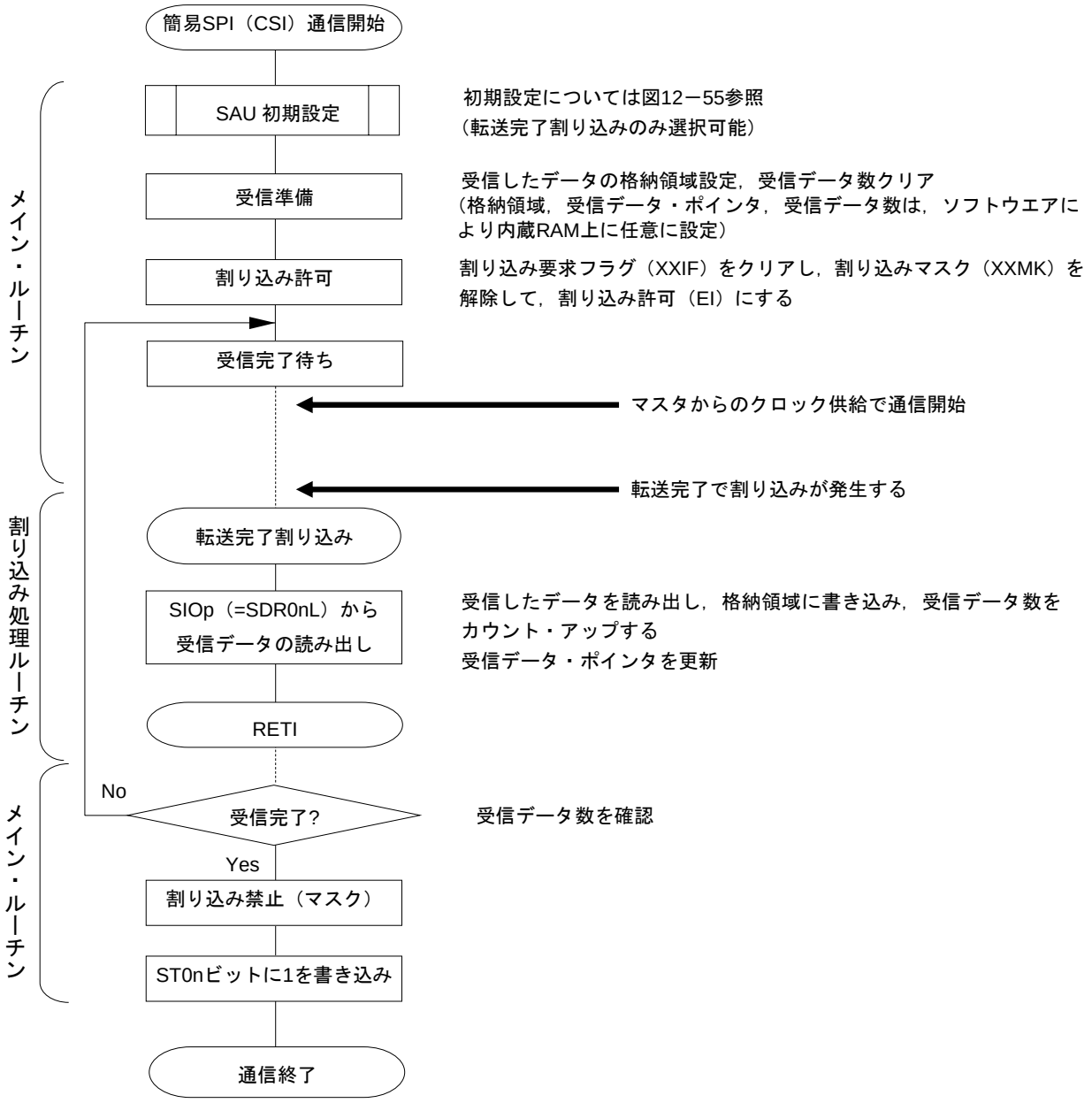
（3）処理フロー（シングル受信モード時）

図12－58　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）



備考　n = 0, 1　p：CSI番号（p = 00, 01）

図12－59　スレーブ受信（シングル受信モード時）のフロー・チャート



12. 5. 6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，RL78/G10と他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01[注1]
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SI00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. f_{MCK}/6 [Hz][注2, 3]	
データ位相	SCR0nHレジスタのDAP0nビットにより選択可能 ・DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始	
クロック位相	SCR0nHレジスタのCKP0nビットにより選択可能 ・CKP0n = 0の場合：非反転 ・CKP0n = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注1. 16ピン製品のみ

2. SCK00, SCK01端子に入力された外部シリアル･クロックは, 内部でサンプリングして使用されるため, 最大転送レートはf_{MCK}/6 [Hz]となります。

3. この条件を満たし，かつ電気的特性の周辺機能特性（**第24章　電気的特性**参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. n = 0, 1

（1）レジスタ設定

図12－60　簡易SPI（CSI00, CSI01注）のスレーブ送受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						STS0n
0/1	1	0	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPS0レジスタで設定したプリスケーラ出力クロック“CK00”
1：SPS0レジスタで設定したプリスケーラ出力クロック“CK01”

略号：SMR0nL

7	6	5	4	3	2	1	0
	SIS0n0					MD0n1	MD0n0
0	0	1	0	0	0	0	0/1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
1	1	0/1	0/1	0	0	0	0

データとクロックの位相選択
（設定内容詳細は「**12. 3　シリアル・アレイ・ユニットを制御するレジスタ**」参照）

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0/1	0	0	0	0	1	1	0/1

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

略号：SDR0nH

15	14	13	12	11	10	9	8
0000000 ボー・レート設定							0

略号：SDR0nL

7	6	5	4	3	2	1	0
送信データ設定／受信データ・レジスタ							

SIOp

（d）シリアル・クロック出力レジスタ0（CKO0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
CKO0							CKO01注	CKO00
	0	0	0	0	0	0	×	×

（e）シリアル出力レジスタ0（SO0）・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
SO0							SO01注	SO00
	0	0	0	0	0	0	0/1	0/1

（注，備考は次ページにあります。）

図12－60　簡易SPI（CSI00, CSI01注）のスレーブ送受信時のレジスタ設定内容例（2/2）

（f）シリアル出力許可レジスタ0（SOE0）・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01注 0/1	SOE00 0/1

（g）シリアル・チャネル開始レジスタ0（SS0）　・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 0/1	SS00 0/1

注　16ピン製品のみ

注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考1.　n = 0, 1　p : CSI番号（p = 00, 01）

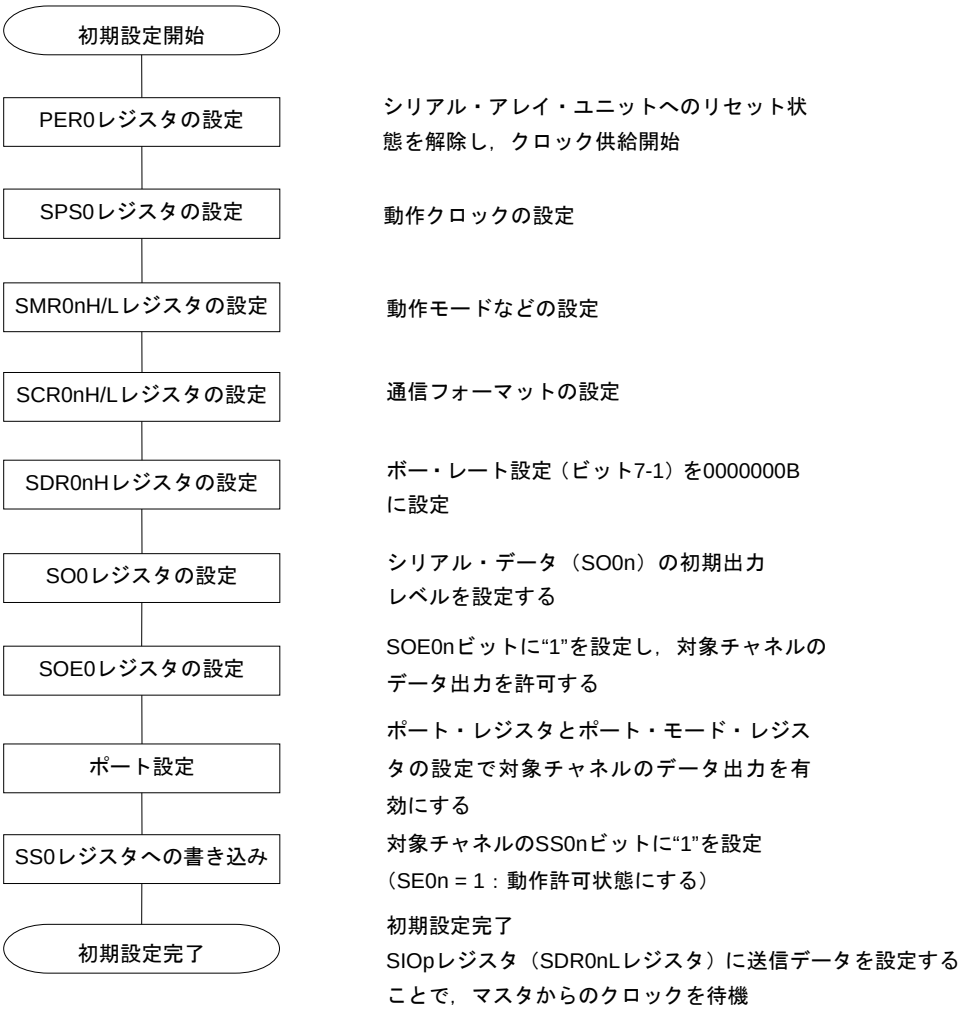
2.　□ ：簡易SPI（CSI）スレーブ送受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－61　スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

図12－62　スレーブ送受信の中断手順

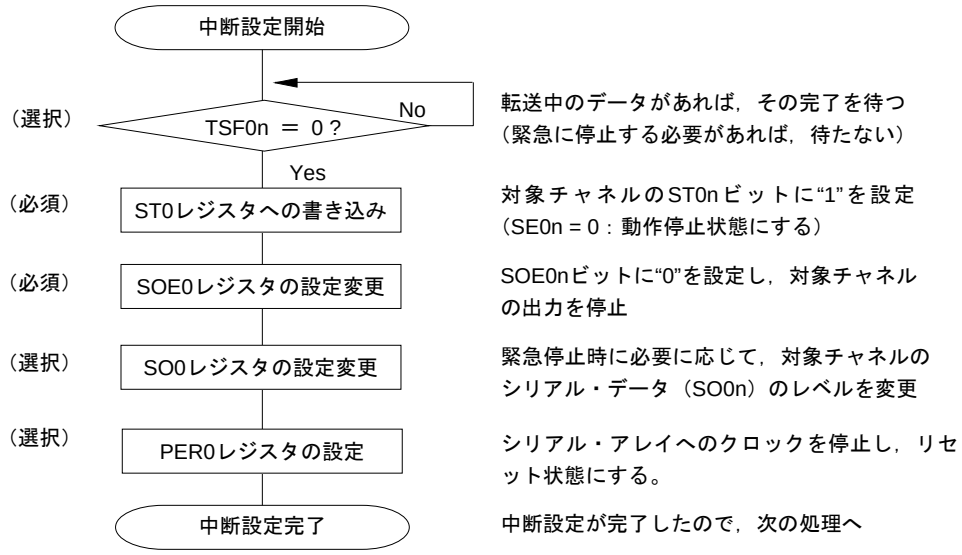
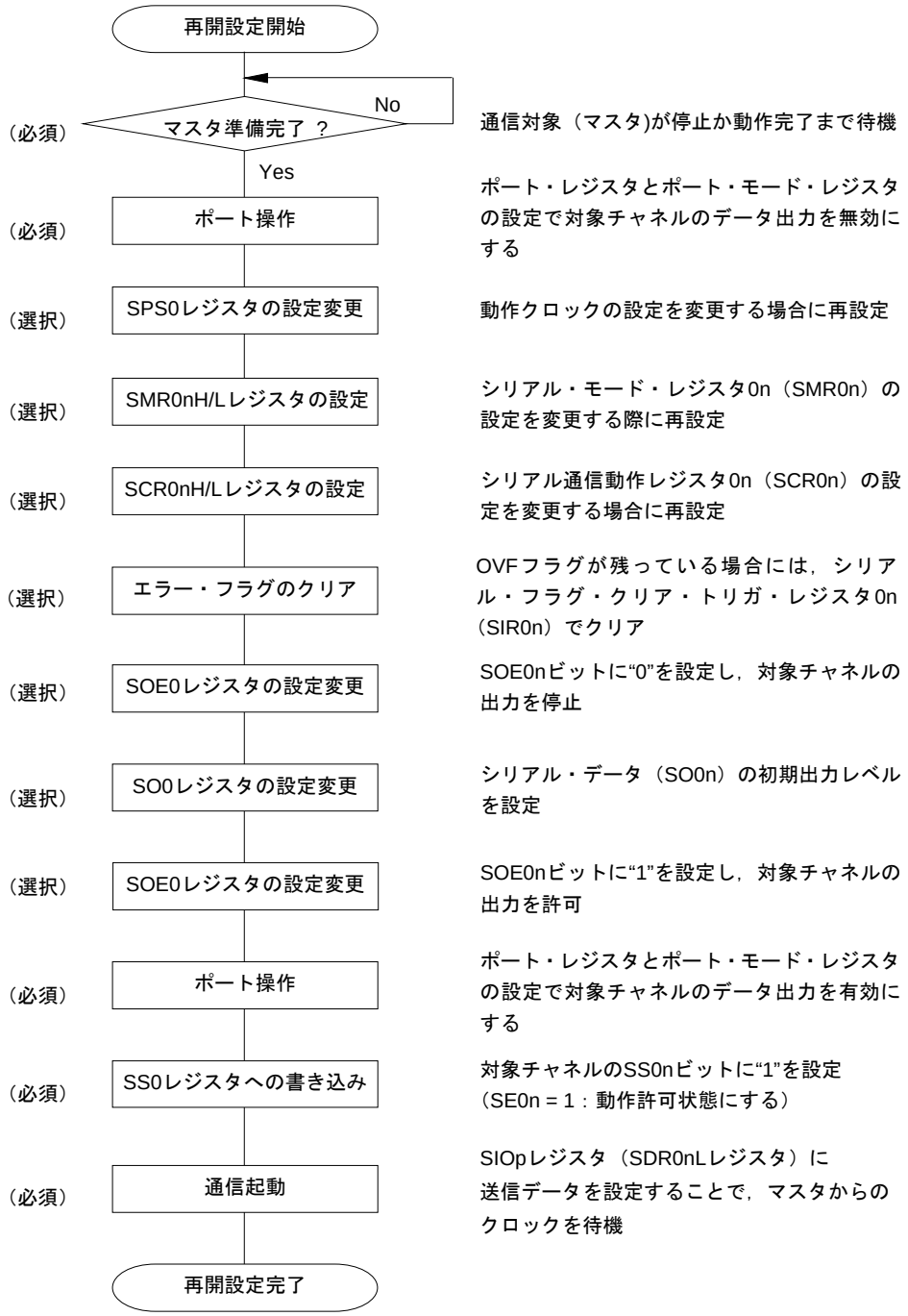


図12－63　スレーブ送受信の再開設定手順

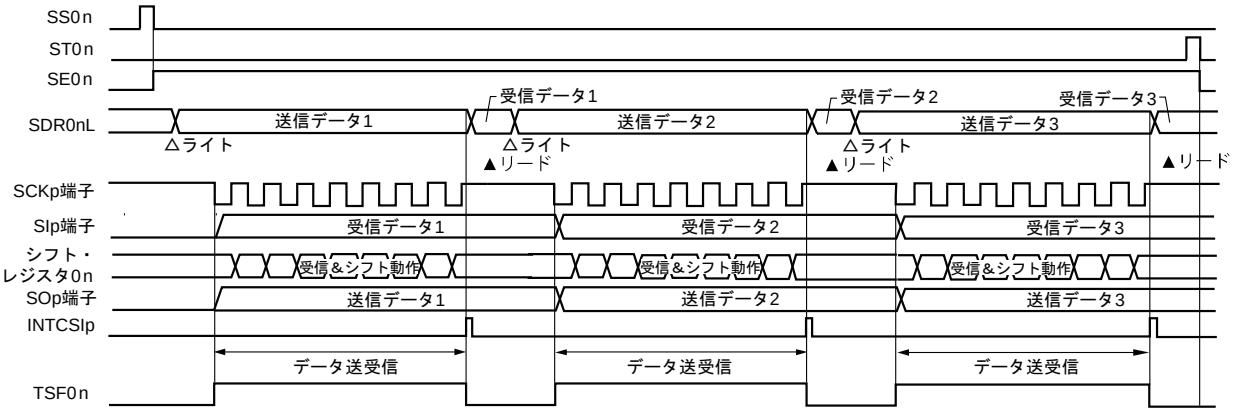


注意1.　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

2.　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

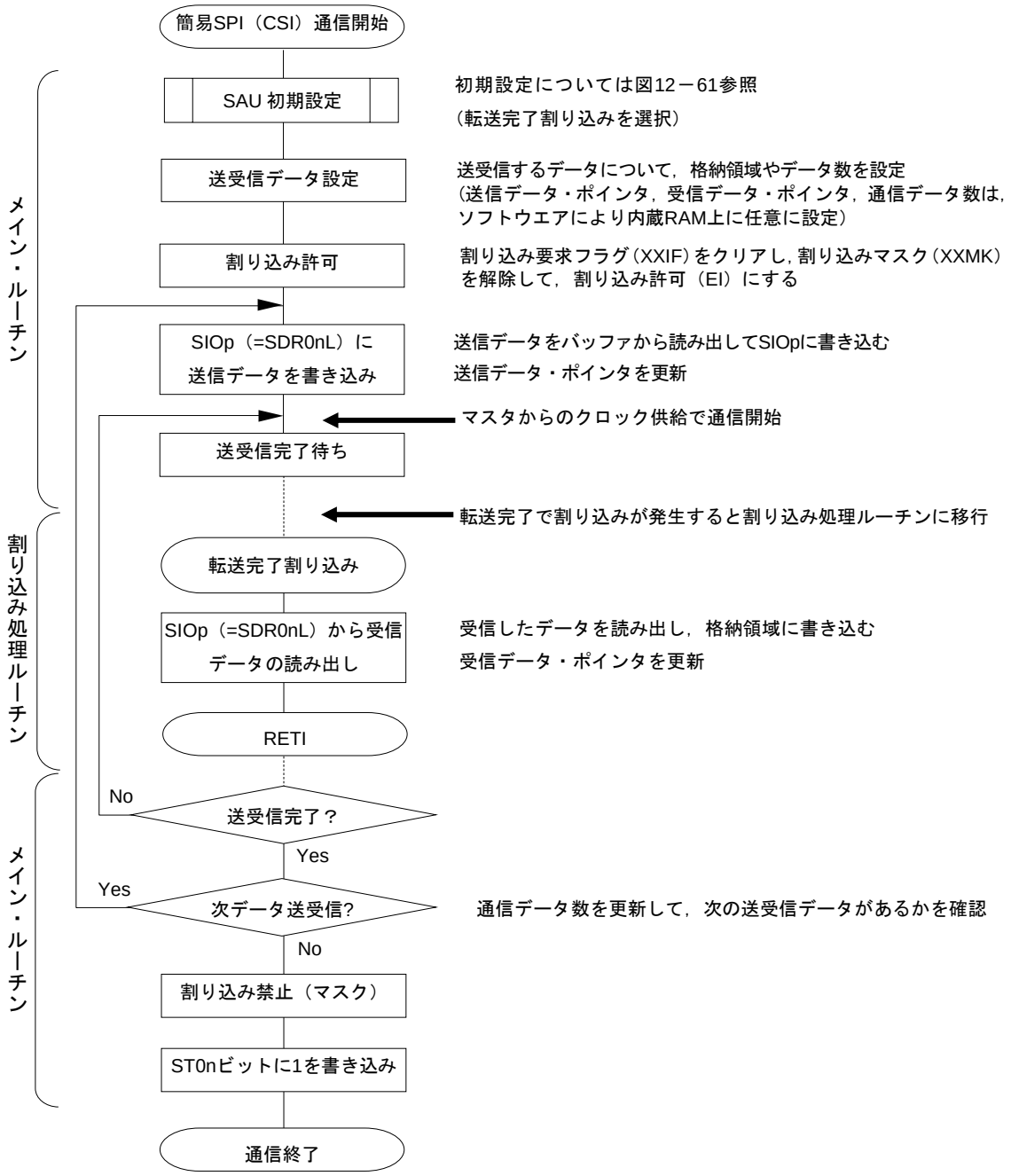
（3）処理フロー（シングル送受信モード時）

図12－64　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1 : DAP0n =0, CKP0n = 0）



備考　n = 0, 1　p : CSI番号（p = 00, 01）

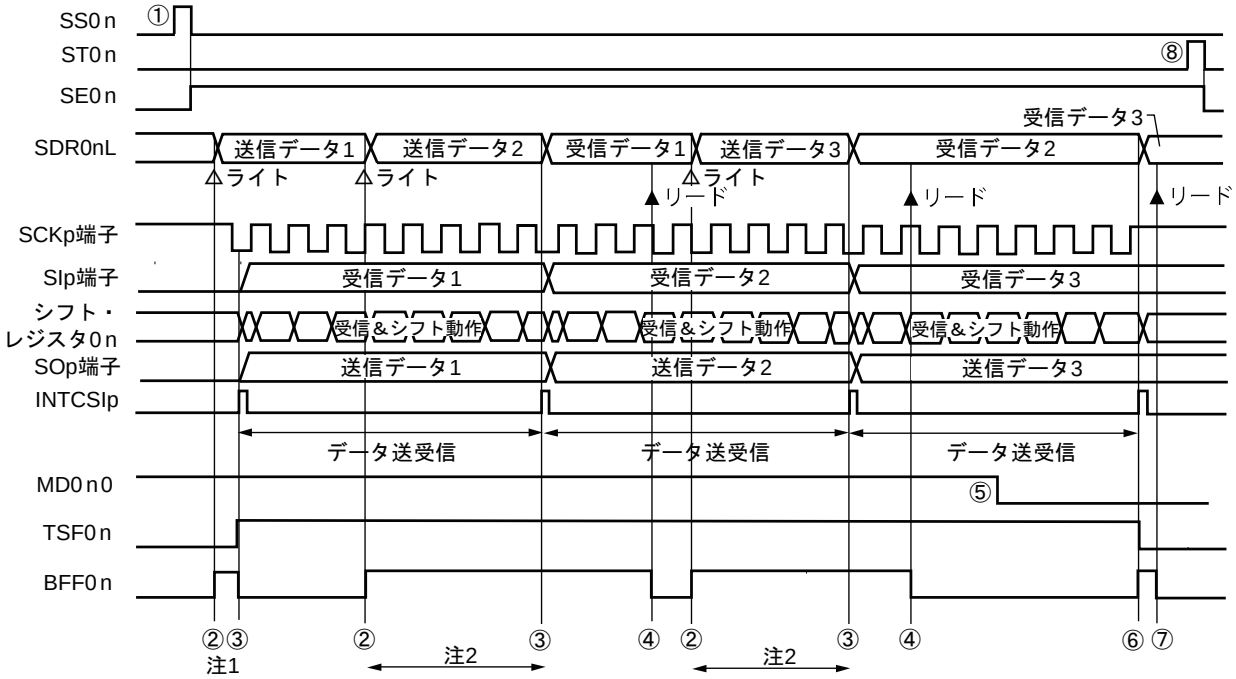
図12－65　スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

（4）処理フロー（連続送受信モード時）

図12－66　スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAP0n =0, CKP0n = 0）



注1.　シリアル・ステータス・レジスタ0n（SSR0n）のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n（SDR0ｎL）に格納されている時）にSDR0nLレジスタに送信データを書き込むと，送信データが上書きされます。

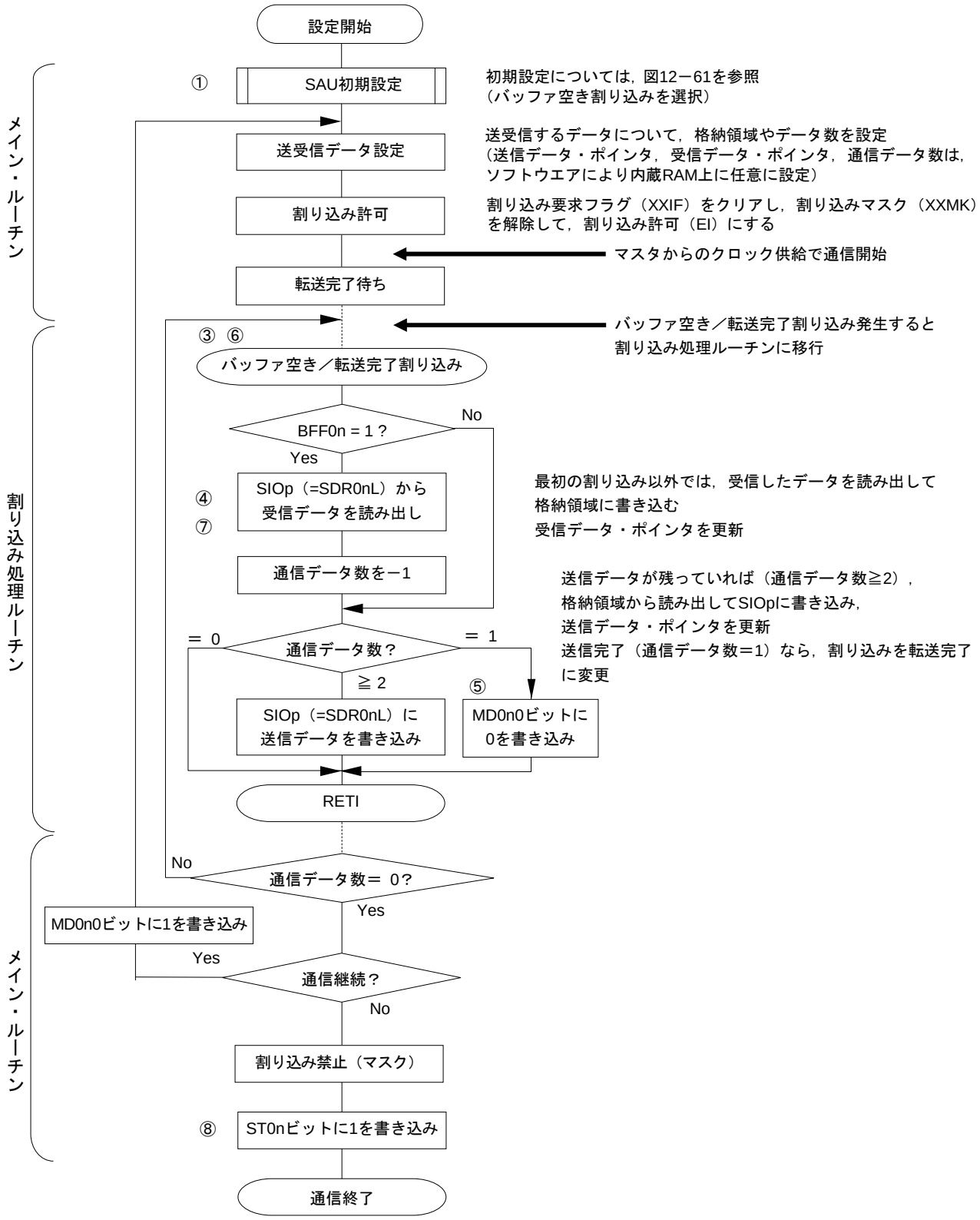
2.　この期間にSDR0nLレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタ0n（SMR0nL）のMD0n0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，**図12－67　スレーブ送受信（連続送受信モード時）のフロー・チャート**の①~⑧に対応しています。

2.　n = 0, 1　p：CSI番号（p = 00, 01）

図12－67　スレーブ送受信（連続送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考　図中の①~⑧は，**図12－66　スレーブ送受信（連続送受信モード時）のタイミング・チャート**の①~⑧に対応しています。

12. 5. 7　転送クロック周波数の算出

簡易SPI（CSI00, CSI01）通信での転送クロック周波数は，下記の計算式にて算出できます。

（1）マスタの場合

（転送クロック周波数）＝｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDR0nH[7:1]＋1）÷ 2 [Hz]

（2）スレーブの場合

（転送クロック周波数）＝｛マスタが供給するシリアル・クロック（SCK）周波数｝注 [Hz]

注　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考　SDR0nH[7:1] は，シリアル・データ・レジスタ 0nH（SDR0nH）のビット 7-1 の値（0000000B-1111111B）なので，0-127になります。

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタ0（SPS0）とシリアル・モード・レジスタ0n（SMR0nH）のビット7（CKS0n）で決まります。

表12－2　簡易SPI動作クロックの選択

SMR0n レジスタ	SPS0レジスタ								動作クロック（f_{MCK}）注	
CKS0n	PRS 13	PRS 12	PRS 11	PRS 10	PRS 03	PRS 02	PRS 01	PRS 00		f_{CLK} = 20MHz動作時
0	×	×	×	×	0	0	0	0	f_{CLK}	20MHz
	×	×	×	×	0	0	0	1	$f_{CLK}/2$	10 MHz
	×	×	×	×	0	0	1	0	$f_{CLK}/2^2$	5 MHz
	×	×	×	×	0	0	1	1	$f_{CLK}/2^3$	2.5MHz
	×	×	×	×	0	1	0	0	$f_{CLK}/2^4$	1.25 MHz
	×	×	×	×	0	1	0	1	$f_{CLK}/2^5$	625kHz
	×	×	×	×	0	1	1	0	$f_{CLK}/2^6$	312.5 kHz
	×	×	×	×	0	1	1	1	$f_{CLK}/2^7$	156.2 kHz
	×	×	×	×	1	0	0	0	$f_{CLK}/2^8$	78.1 kHz
	×	×	×	×	1	0	0	1	$f_{CLK}/2^9$	39.1 kHz
	×	×	×	×	1	0	1	0	$f_{CLK}/2^{10}$	19.5 kHz
	×	×	×	×	1	0	1	1	$f_{CLK}/2^{11}$	9.77 kHz
	×	×	×	×	1	1	0	0	$f_{CLK}/2^{12}$	4.88 kHz
	×	×	×	×	1	1	0	1	$f_{CLK}/2^{13}$	2.44 kHz
	×	×	×	×	1	1	1	0	$f_{CLK}/2^{14}$	1.22 kHz
	×	×	×	×	1	1	1	1	$f_{CLK}/2^{15}$	610 Hz
1	0	0	0	0	×	×	×	×	f_{CLK}	20MHz
	0	0	0	1	×	×	×	×	$f_{CLK}/2$	10 MHz
	0	0	1	0	×	×	×	×	$f_{CLK}/2^2$	5 MHz
	0	0	1	1	×	×	×	×	$f_{CLK}/2^3$	2.5MHz
	0	1	0	0	×	×	×	×	$f_{CLK}/2^4$	1.25 MHz
	0	1	0	1	×	×	×	×	$f_{CLK}/2^5$	625kHz
	0	1	1	0	×	×	×	×	$f_{CLK}/2^6$	312.5 kHz
	0	1	1	1	×	×	×	×	$f_{CLK}/2^7$	156.2 kHz
	1	0	0	0	×	×	×	×	$f_{CLK}/2^8$	78.1 kHz
	1	0	0	1	×	×	×	×	$f_{CLK}/2^9$	39.1 kHz
	1	0	1	0	×	×	×	×	$f_{CLK}/2^{10}$	19.5 kHz
	1	0	1	1	×	×	×	×	$f_{CLK}/2^{11}$	9.77 kHz
	1	1	0	0	×	×	×	×	$f_{CLK}/2^{12}$	4.88 kHz
	1	1	0	1	×	×	×	×	$f_{CLK}/2^{13}$	2.44 kHz
	1	1	1	0	×	×	×	×	$f_{CLK}/2^{14}$	1.22 kHz
	1	1	1	1	×	×	×	×	$f_{CLK}/2^{15}$	610 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ0（ST0）　=03H）させてから変更してください。

備考1.　×：don't care

2.　n = 0, 1

12. 5. 8　簡易SPI（CSI00, CSI01[注]）通信時におけるエラー発生時の処理手順

簡易SPI（CSI00, CSI01[注]）通信時にエラーが発生した場合の処理手順を図12－68に示します。

図12－68　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタ0n（SDR0nL）をリードする →	SSR0nレジスタのBFF0nビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ0n（SSR0n）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）に“1”をライトする →	エラー・フラグがクリアされる	SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

注　16ピン製品のみ

備考　n = 0, 1

12. 6　UART（UART0）通信の動作

シリアル送信データ（TxD）とシリアル受信データ（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。

［データ送受信］

・7, 8ビットのデータ長
・MSB/LSBファーストの選択
・送受信データのレベル設定（レベルを反転するかどうかの選択）
・パリティ・ビット付加，パリティ・チェック機能
・ストップ・ビット付加，ストップ・ビット・チェック機能

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み
・フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

・フレーミング・エラー，パリティ・エラー，オーバラン・エラー

ISCレジスタを設定することで，UART0のRxD0端子の入力信号を外部割り込み入力やタイマ・アレイ・ユニットのタイマ入力とすることができます。また，タイマ・アレイ・ユニットの入力パルス間隔測定モードを利用して通信相手のボー・レート幅を測定することができ，UART0のボー・レート補正が可能になります。

ユニット	チャネル	簡易 SPI（CSI）として使用	UART として使用	簡易 I^2C として使用
0	0	CSI00	UART0	IIC00
	1	CSI01		–

注意　UARTを選択した場合は，偶数チャネルと奇数チャネルはそれぞれUARTの送信側、UARTの受信側にしか使用できません。

UARTの通信動作は，以下の2種類があります。

・UART送信　　（**12. 6. 1**項を参照）
・UART受信　　（**12. 6. 2**項を参照）

12. 6. 1　UART送信

UART送信は，RL78/G10から他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルを使用します。

UART	UART0
対象チャネル	SAU0のチャネル0
使用端子	TxD0
割り込み	INTST0
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビット
転送レート注	Max. f_{MCK}/6 [bps]（SDR0nH[7:1] = 2以上），Min. f_{CLK}/（2×2^{15}×128）[bps]
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加
データ方向	MSBファーストまたはLSBファースト

注　この条件を満たし，かつ電気的特性の周辺機能特性（**第24章　電気的特性**参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　n：チャネル番号（n = 0）

（1）レジスタ設定

図12－69　UART（UART0）の送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						
0/1	0	0	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPS0レジスタで設定したプリスケーラ出力クロック“CK00”
1：SPS0レジスタで設定したプリスケーラ出力クロック“CK01”

略号：SMR0nL

7	6	5	4	3	2	1	0
						MD0n1	MD0n0
0	0	1	0	0	0	1	0/1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
1	0	0	0	0	0	0/1	0/1

パリティ・ビット設定
00B：パリティなし
01B：0パリティ付加
10B：偶数パリティ付加
11B：奇数パリティ付加

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0/1	0	0/1	0/1	0	1	1	0/1

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

ストップ・ビット設定
01B：1ビット付加
10B：2ビット付加

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

略号：SDR0nH

15	14	13	12	11	10	9	8
ボー・レート設定							0

略号：SDR0nL

7	6	5	4	3	2	1	0
送信データ設定							

TXD0

（d）シリアル出力レベル・レジスタ0（SOL0）　・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
SOL0								SOL00
	0	0	0	0	0	0	0	0/1

0：非反転（通常）送信
1：反転送信

備考1.　n = 0

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図12－69　UART（UART0）の送信時のレジスタ設定内容例（2/2）

（e）シリアル・クロック出力レジスタ0（CKO0）　・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
CKO0	0	0	0	0	0	0	CKO01 ×	CKO00 ×

（f）シリアル出力レジスタ0（SO0）・・・対象チャネルのビットのみ設定する

略号	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	SO01 ×	SO00 0/1

0：シリアル・データ出力値が ”0”
1：シリアル・データ出力値が ”1”

（g）シリアル出力許可レジスタ0（SOE0）・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01 ×	SOE00 0/1注

（h）シリアル・チャネル開始レジスタ0（SS0）　・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 ×	SS00 0/1

注　該当するチャネルのSOL00ビットに0を設定している場合は“1”に，1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1.　n = 0

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－70　UART送信の初期設定手順

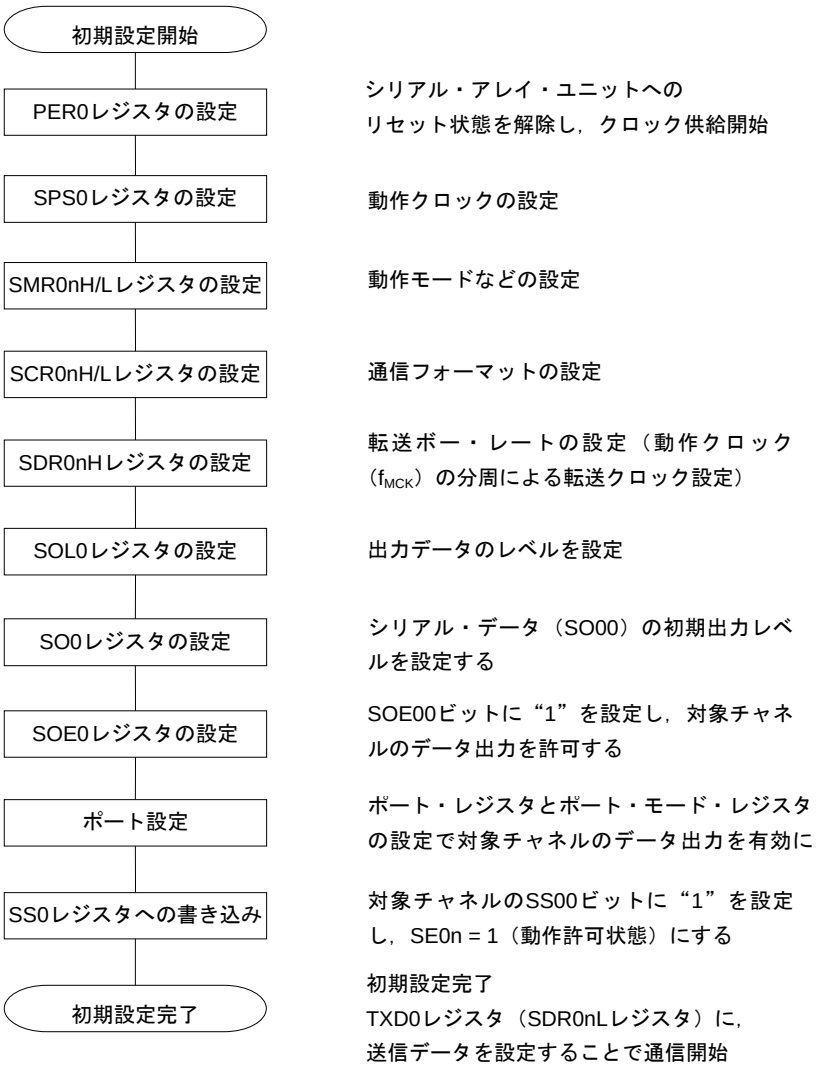


図12－71　UART送信の中断手順

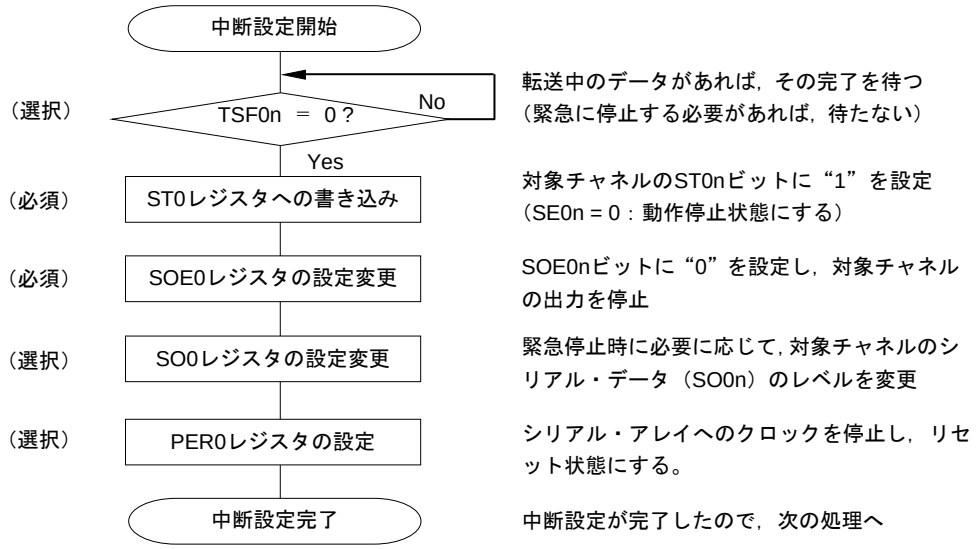
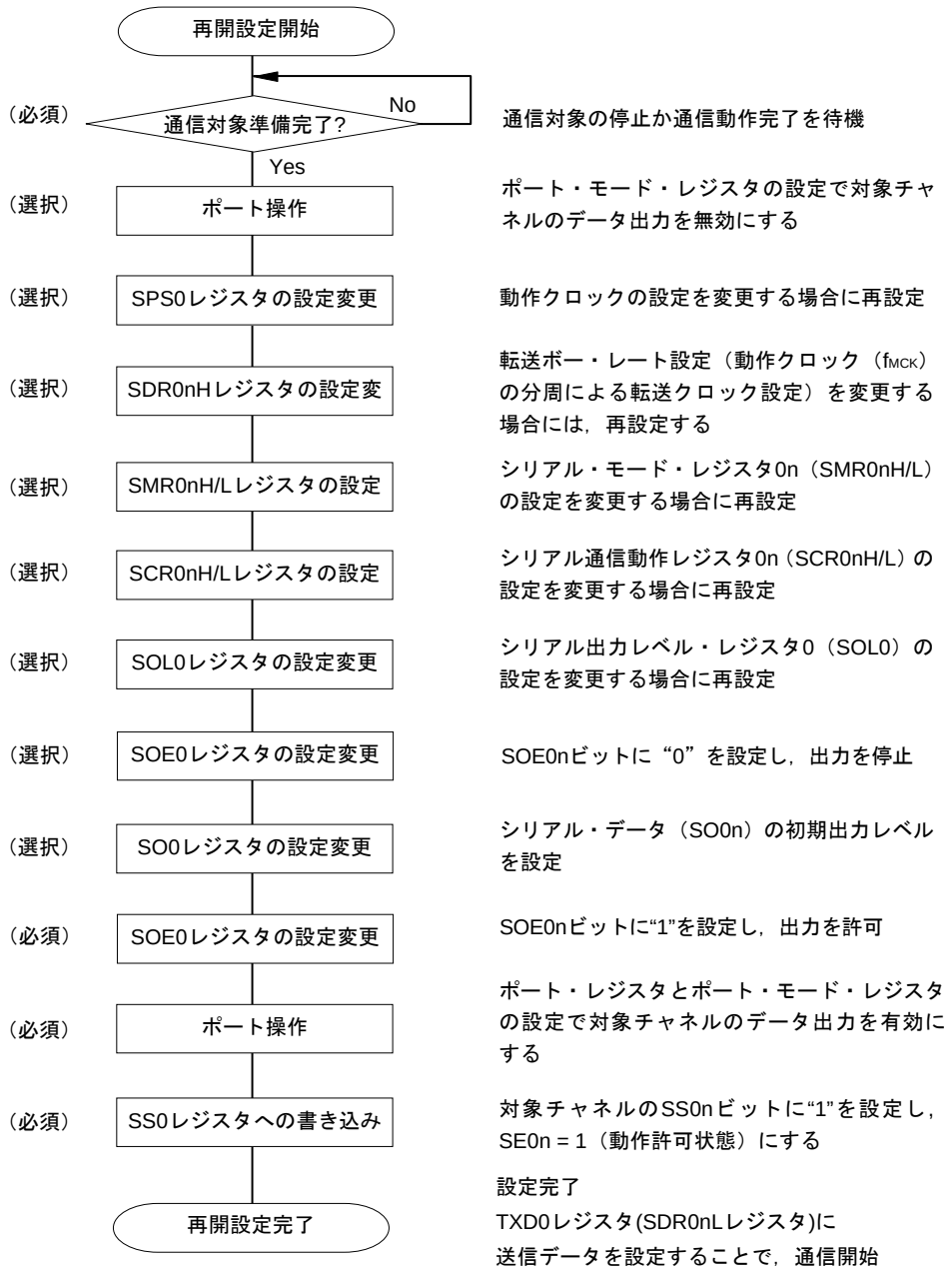


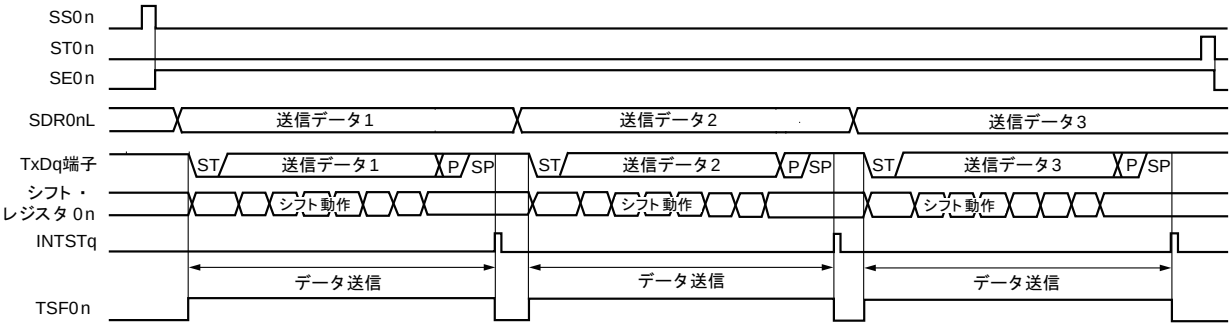
図12－72　UART送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止，もしくは通信動作完了を待って，再開設定ではなく初期設定を行ってください。

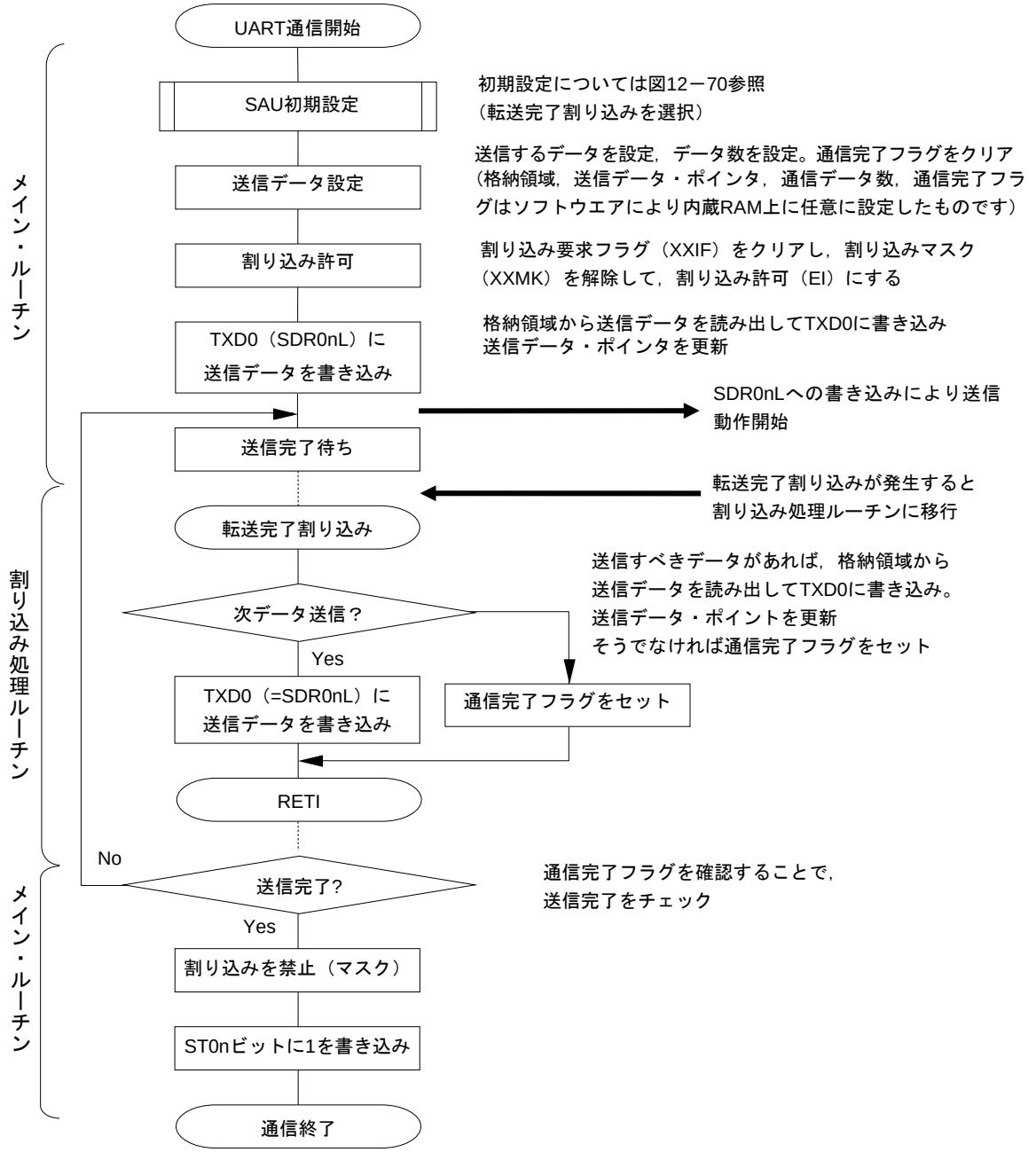
(3) 処理フロー（シングル送信モード時）

図12－73　UART送信（シングル送信モード時）のタイミング・チャート



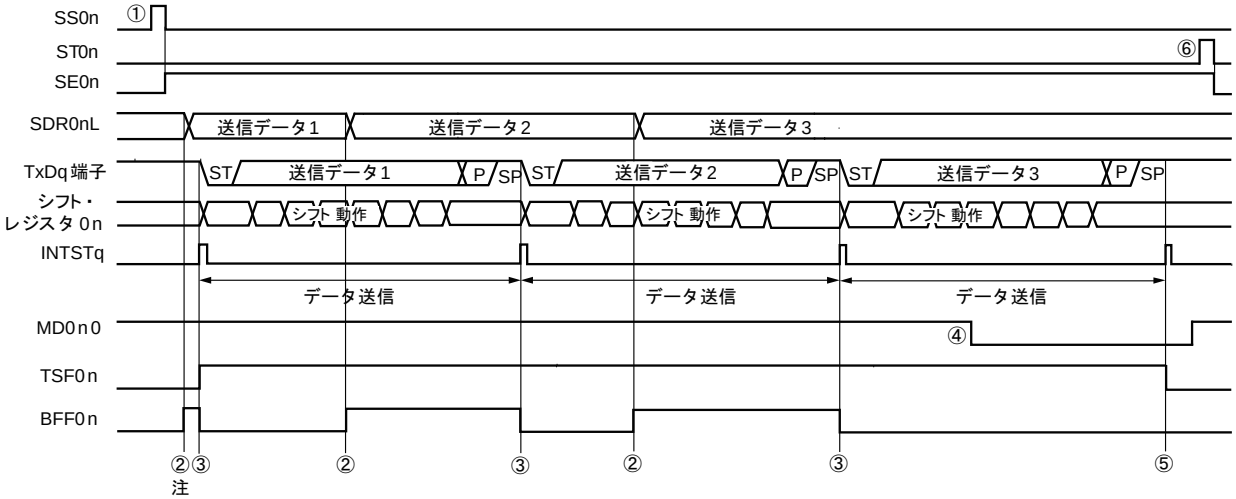
備考　q：UART番号（q = 0）　n = 0

図12－74　UART送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図12－75　UART送信（連続送信モード時）のタイミング・チャート

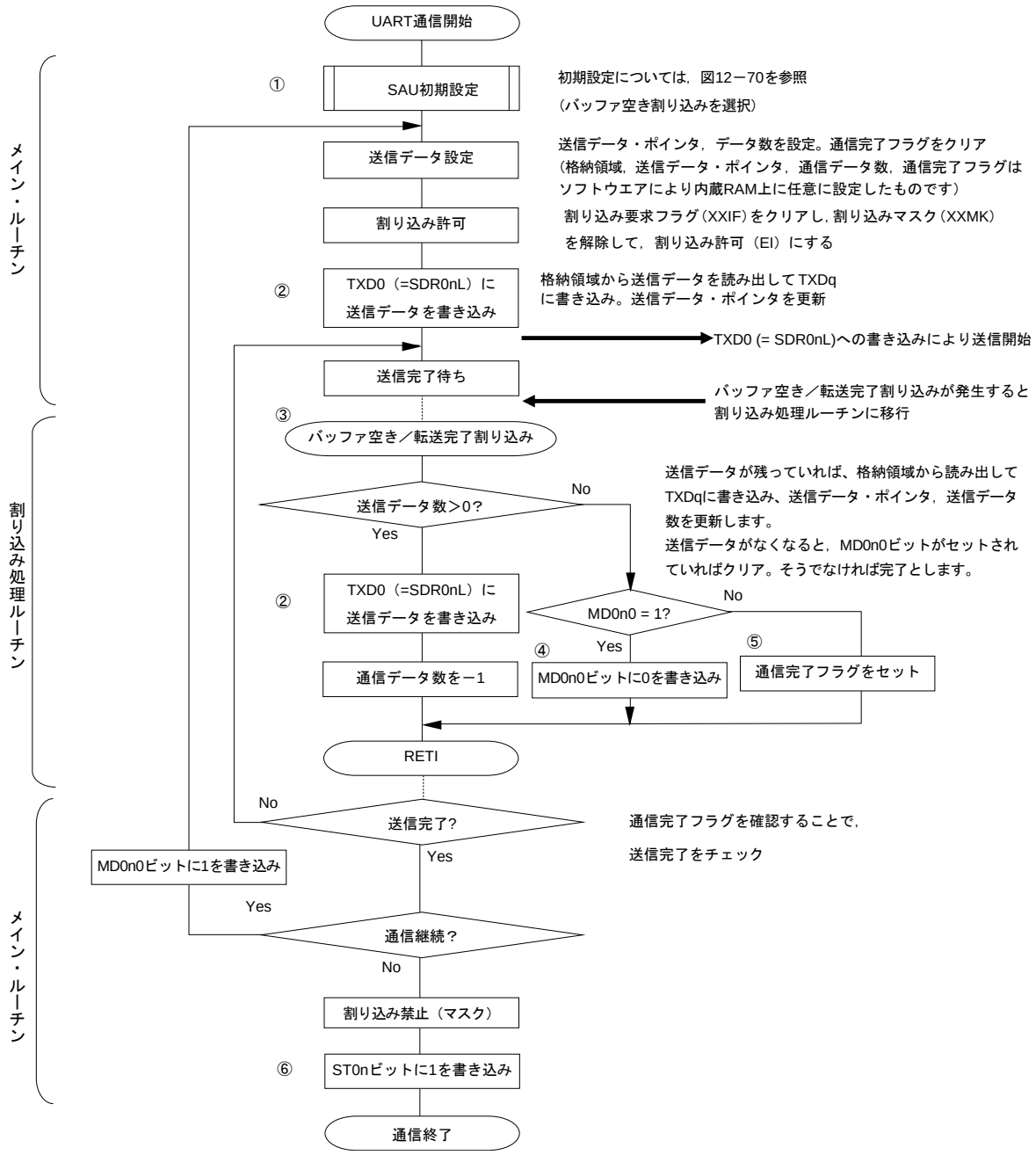


注　シリアル・ステータス・レジスタ0n（SSR 0n）のBFF 0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n（SDR0ｎL）に格納されているとき）にSDR0ｎLレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタ0n（SMR0nL）のMD0n0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　q：UART番号（q = 0）　n = 0

図12－76　UART送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，**図12－75　UART送信（連続送信モード時）のタイミング・チャート**の①~⑥に対応しています

12. 6. 2　UART受信

UART受信は，他デバイスからRL78/G10が非同期（調歩同期）でデータを受信する動作です。

UART受信では，　そのUARTに使用する2チャネルのうち，奇数チャネルを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0
対象チャネル	SAU0のチャネル1
使用端子	RxD0
割り込み	INTSR0
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー割り込み	INTSRE0
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF0n） ・パリティ・エラー検出フラグ（PEF0n） ・オーバラン・エラー検出フラグ（OVF0n）
転送データ長	7ビットまたは8ビット
転送レート注	Max. f_{MCK}/6 [bps]（SDR0nH[7:1] = 2以上），Min. f_{CLK}/（$2 \times 2^{15} \times 128$）[bps]
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 ・パリティ・チェックなし ・パリティ判定なし（0パリティ） ・偶数パリティ・チェック ・奇数パリティ・チェック
ストップ・ビット	1ビット・チェック
データ方向	MSBファーストまたはLSBファースト

注　この条件を満たし，かつ電気的特性の周辺機能特性（**第24章　電気的特性参照**）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

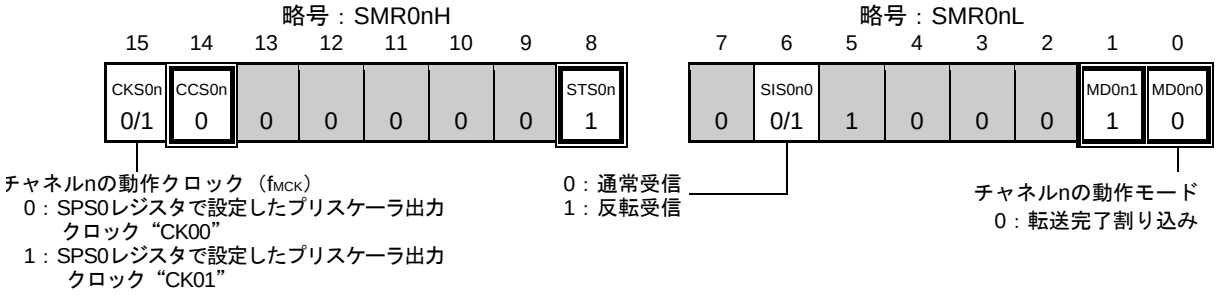
f_{CLK}：システム・クロック周波数

2.　n：チャネル番号（n = 1）

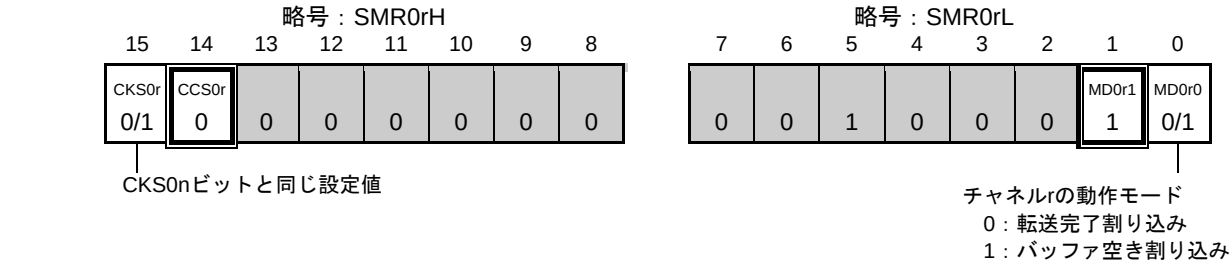
（1）レジスタ設定

図12－77　UART（UART0）の受信時のレジスタ設定内容例（1/2）

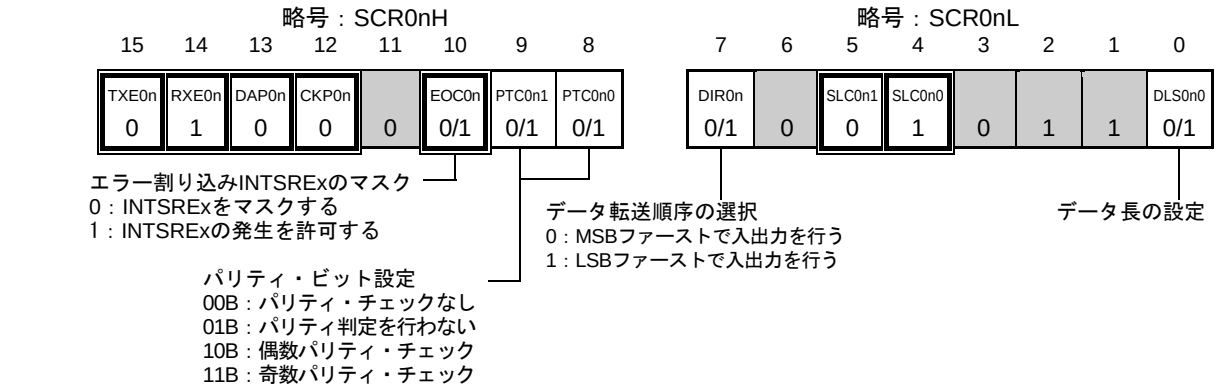
（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）



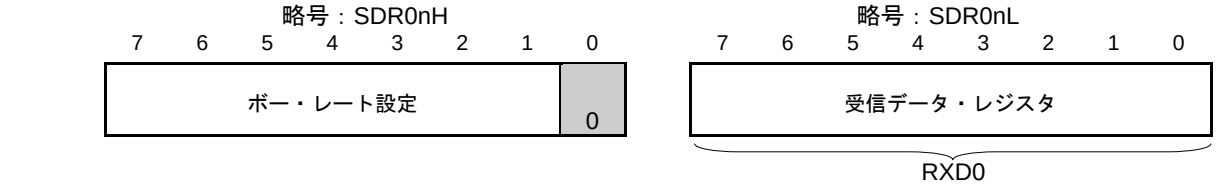
（b）シリアル・モード・レジスタ0r（SMR0rH, SMR0rL）



（c）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）



（d）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）



注意　UART受信時は，チャネルnとペアになるチャネルrのSMR0rレジスタも必ず設定してください。

備考1.　n：チャネル番号（n = 1）

r：チャネル番号（r = n－1）　q：UART番号（q = 0）

2.　□：UART受信モードでは設定固定　■：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図12－77　UART（UART0）の受信時のレジスタ設定内容例（2/2）

（e）シリアル・クロック出力レジスタ0（CKO0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
CKO0	0	0	0	0	0	0	CKO01 ×	CKO00 ×

（f）シリアル出力レジスタ0（SO0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	SO01 ×	SO00 ×

（g）シリアル出力許可レジスタ0（SOE0）・・・このモードでは使用しない

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01 ×	SOE00 ×

（h）シリアル・チャネル開始レジスタ0（SS0）　・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 0/1	SS00 ×

注意　UART受信時は，チャネル0とペアになるチャネルrのSMR0rレジスタも必ず設定してください。

備考1.　n：チャネル番号（n = 1）

r：チャネル番号（r = n－1）　q：UART番号（q = 0）

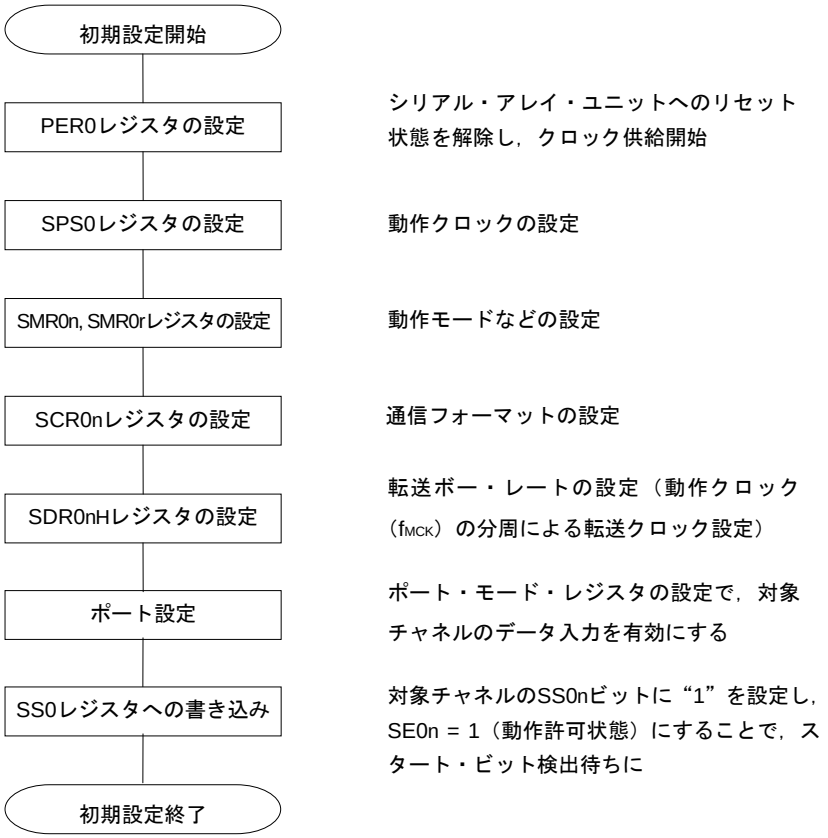
2.　□：UART受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－78　UART受信の初期設定手順



注意　SCR0nレジスタのRXE0nビットを“1”に設定後に，fMCKの4クロック以上間隔をあけてからSS0n = 1を設定してください。

図12－79　UART受信の中断手順

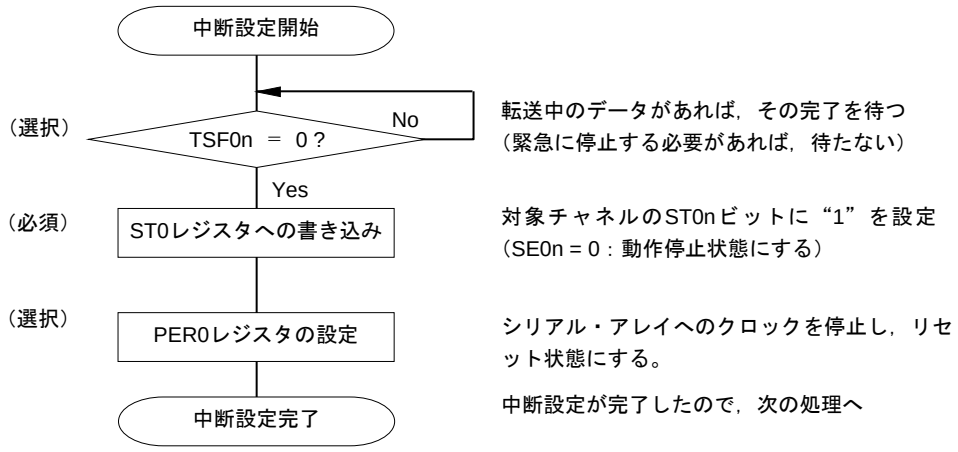
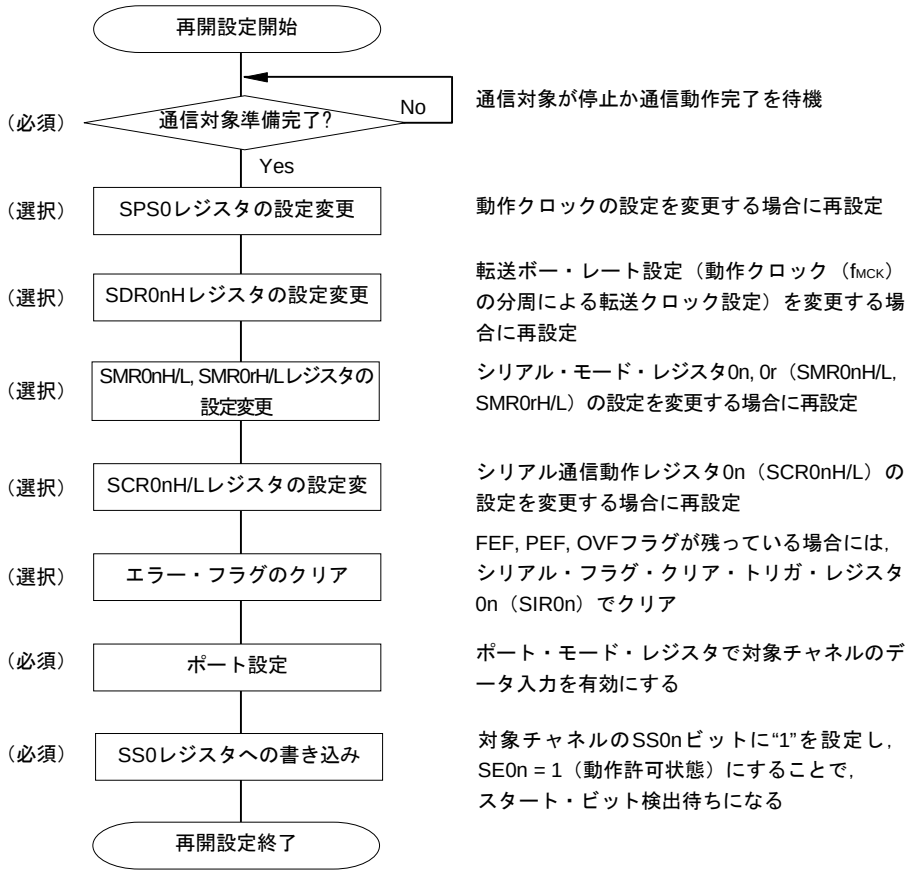


図12－80　UART受信の再開設定手順

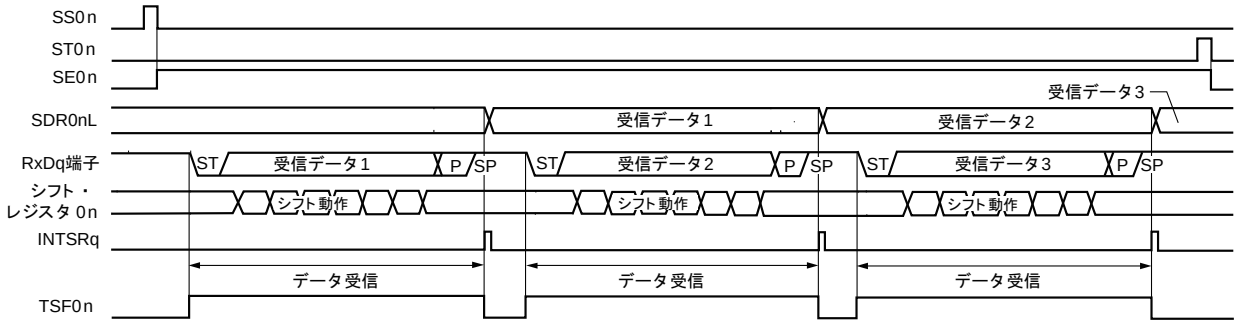


注意　SCR0nレジスタのRXE0nビットを“1”に設定後に，fMCKの4クロック以上間隔をあけてからSS0n = 1を設定してください。

備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

（3）処理フロー

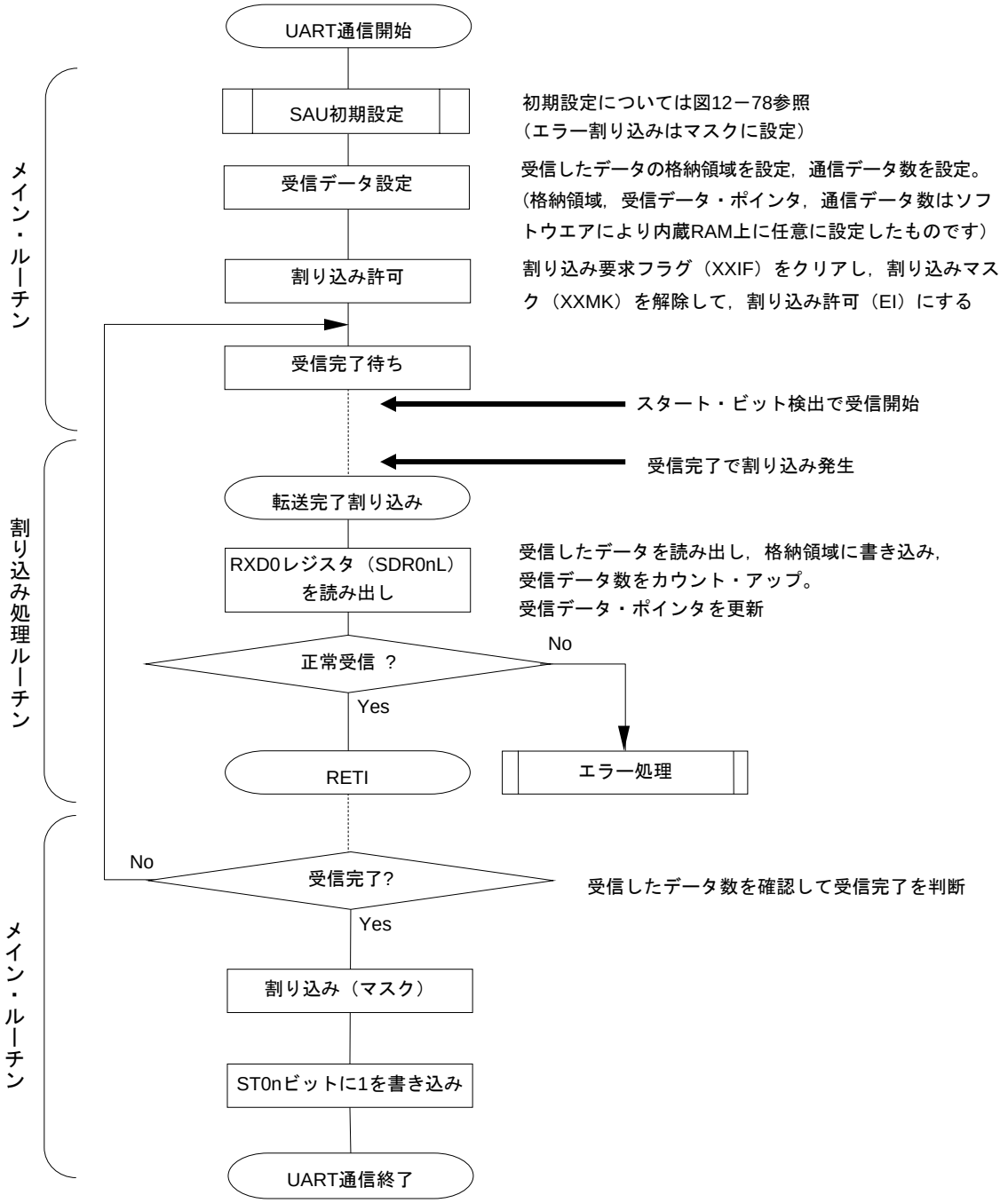
図12－81　UART受信のタイミング・チャート



備考　n：チャネル番号（n = 1）

r：チャネル番号（r = n－1）　q：UART番号（q = 0）

図12－82　UART受信のフロー・チャート



12. 6. 3　ボー・レートの算出

（1）ボー・レート算出式

UART通信（UART0）でのボー・レートは，下記の計算式にて算出できます。

（ボー・レート）＝｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDR0nH[7:1]＋1）÷ 2 [bps]

注意　シリアル・データ・レジスタ0n（SDR0nH）SDR0nH[7:1] =（0000000B，0000001B）は設定禁止です。

備 考 1.　UART 使用時は，SDR0nH[7:1] は SDR0nH レジスタのビット 7-1 の値（0000010B-1111111B）なので，2-127になります。

2.　n = 0, 1

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタ0（SPS0）とシリアル・モード・レジスタ0n（SMR0n）のビット15（CKS0nビット）で決まります。

表12－3　UART動作クロックの選択

SMR0n レジスタ	SPS0レジスタ								動作クロック（f_{MCK}）注	
CKS0n	PRS 13	PRS 12	PRS 11	PRS 10	PRS 03	PRS 02	PRS 01	PRS 00		f_{CLK} = 20 MHz動作時
0	×	×	×	×	0	0	0	0	f_{CLK}	20MHz
	×	×	×	×	0	0	0	1	$f_{CLK}/2$	10 MHz
	×	×	×	×	0	0	1	0	$f_{CLK}/2^2$	5 MHz
	×	×	×	×	0	0	1	1	$f_{CLK}/2^3$	2.5MHz
	×	×	×	×	0	1	0	0	$f_{CLK}/2^4$	1.25 MHz
	×	×	×	×	0	1	0	1	$f_{CLK}/2^5$	625kHz
	×	×	×	×	0	1	1	0	$f_{CLK}/2^6$	312.5 kHz
	×	×	×	×	0	1	1	1	$f_{CLK}/2^7$	156.2 kHz
	×	×	×	×	1	0	0	0	$f_{CLK}/2^8$	78.1 kHz
	×	×	×	×	1	0	0	1	$f_{CLK}/2^9$	39.1 kHz
	×	×	×	×	1	0	1	0	$f_{CLK}/2^{10}$	19.5 kHz
	×	×	×	×	1	0	1	1	$f_{CLK}/2^{11}$	9.77 kHz
	×	×	×	×	1	1	0	0	$f_{CLK}/2^{12}$	4.88 kHz
	×	×	×	×	1	1	0	1	$f_{CLK}/2^{13}$	2.44 kHz
	×	×	×	×	1	1	1	0	$f_{CLK}/2^{14}$	1.22 kHz
	×	×	×	×	1	1	1	1	$f_{CLK}/2^{15}$	610 Hz
1	0	0	0	0	×	×	×	×	f_{CLK}	20MHz
	0	0	0	1	×	×	×	×	$f_{CLK}/2$	10 MHz
	0	0	1	0	×	×	×	×	$f_{CLK}/2^2$	5 MHz
	0	0	1	1	×	×	×	×	$f_{CLK}/2^3$	2.5MHz
	0	1	0	0	×	×	×	×	$f_{CLK}/2^4$	1.25 MHz
	0	1	0	1	×	×	×	×	$f_{CLK}/2^5$	625kHz
	0	1	1	0	×	×	×	×	$f_{CLK}/2^6$	312.5 kHz
	0	1	1	1	×	×	×	×	$f_{CLK}/2^7$	156.2 kHz
	1	0	0	0	×	×	×	×	$f_{CLK}/2^8$	78.1 kHz
	1	0	0	1	×	×	×	×	$f_{CLK}/2^9$	39.1 kHz
	1	0	1	0	×	×	×	×	$f_{CLK}/2^{10}$	19.5 kHz
	1	0	1	1	×	×	×	×	$f_{CLK}/2^{11}$	9.77 kHz
	1	1	0	0	×	×	×	×	$f_{CLK}/2^{12}$	4.88 kHz
	1	1	0	1	×	×	×	×	$f_{CLK}/2^{13}$	2.44 kHz
	1	1	1	0	×	×	×	×	$f_{CLK}/2^{14}$	1.22 kHz
	1	1	1	1	×	×	×	×	$f_{CLK}/2^{15}$	610 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ0（ST0）　= 03H）させてから変更してください。

備考　**1.**　× ：don't care

2.　n = 0, 1

（2）送信時のボー・レート誤差

UART通信（UART0）での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差）=（算出ボー・レート値）÷（目標ボー・レート値）× 100 － 100 [%]

f_{CLK} = 20 MHzの場合のUARTボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 20 MHz時			
	動作クロック（f_{MCK}）	SDR0nH[7:1]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	64	300.48 bps	+0.16 %
600 bps	$f_{CLK}/2^8$	64	600.96 bps	+0.16 %
1200 bps	$f_{CLK}/2^7$	64	1201.92 bps	+0.16 %
2400 bps	$f_{CLK}/2^6$	64	2403.85 bps	+0.16 %
4800 bps	$f_{CLK}/2^5$	64	4807.69 bps	+0.16 %
9600 bps	$f_{CLK}/2^4$	64	9615.38 bps	+0.16 %
19200 bps	$f_{CLK}/2^3$	64	19230.8 bps	+0.16 %
31250 bps	$f_{CLK}/2^3$	39	31250.0 bps	±0.0 %
38400 bps	$f_{CLK}/2^2$	64	38461.5 bps	+0.16 %
76800 bps	$f_{CLK}/2$	64	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	64	153846 bps	+0.16 %
312500 bps	f_{CLK}	31	312500 bps	±0.0 %

（3）受信時のボー・レート許容範囲

UART通信（UART0）での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate　：受信側の算出ボー・レート値（**12. 6. 3（1）　ボー・レート算出式**参照）

k　　：SDR0nH[7:1] ＋1

Nfr　　：1データ・フレーム長［ビット］

=（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

備考　n = 1

図12－83　受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）

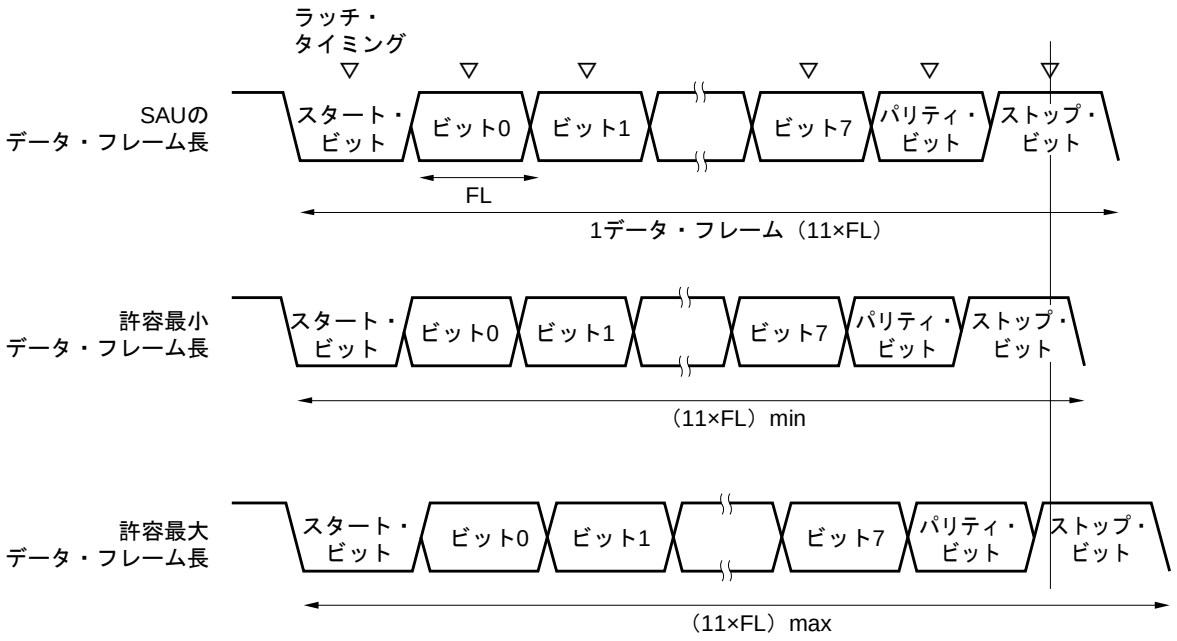


図12－83に示すように，スタート・ビット検出後はシリアル・データ・レジスタ0nH（SDR0nH）のビット7-1で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

12. 6. 4　UART（UART0）通信時におけるエラー発生時の処理手順

UART（UART0）通信時にエラーが発生した場合の処理手順を図12－84，図12－85に示します。

図12－84　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタ0n（SDR0nL）をリードする →	SSR0nレジスタのBFF0nビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ0n（SSR0n）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）に“1”をライトする →	エラー・フラグがクリアされる	SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図12－85　フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタ0n（SDR0nL）をリードする →	SSR0nレジスタのBFF0nビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ0n（SSR0n）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）をライトする →	エラー・フラグがクリアされる	SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタ0（ST0）のST0nビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタ0（SE0）のSE0nビットが“0”となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタ0（SS0）のSS0nビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタ0（SE0）のSE0nビットが“1”となり，チャネルnは動作許可状態になる	

備考　n = 0, 1

12. 7　簡易I²C（IIC00）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，I²Cバスのバス・ラインの特性を遵守して，ソフトウエアで制御レジスタを操作してください。

［データ送受信］

・マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）

・ACK出力機能注，ACK検出機能

・8ビットのデータ長

（アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）

・ソフトウエアによるスタート・コンディション，ストップ・コンディションの発生

［割り込み機能］

・転送完了割り込み

［エラー検出フラグ］

・オーバラン・エラー

・ACKエラー

※［簡易I²Cでサポートしていない機能］

・スレーブ送信，スレーブ受信

・マルチ・マスタ機能（アービトレーション負け検出機能）

・クロック・ストレッチ検出機能

注　最終データの受信時は，SOE0レジスタのSOE00ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，**12. 7. 3（2）　処理フロー**を参照してください。

備考　フル機能I²Cは，第13章 シリアル・インタフェースIICAでサポートしています（16ピン製品のみ）。

簡易I²C（IIC00）に対応しているチャネルは，SAU0のチャネル0です。

ユニット	チャネル	簡易 SPI（CSI）として使用	UART として使用	簡易 I²C として使用
0	0	CSI00	UART0	IIC00
	1	CSI01		−

簡易I²C（IIC00）の通信動作は，以下の4種類があります。

・アドレス・フィールド送信　（**12. 7. 1**項を参照）

・データ送信　（**12. 7. 2**項を参照）

・データ受信　（**12. 7. 3**項を参照）

・ストップ・コンディション発生　（**12. 7. 4**項を参照）

12. 7. 1　アドレス・フィールド送信

アドレス・フィールド送信は，転送対象（スレーブ）を特定するために，I²C通信で最初に行う送信動作です。スタート・コンディションを発生したあとに，アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I²C	IIC00
対象チャネル	SAU0のチャネル0
使用端子	SCL00, SDA00注
割り込み	INTIIC00
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	ACKエラー検出フラグ（PEF0n）
転送データ長	8ビット（上位7ビットをアドレス，下位1ビットをR/W制御として送信）
転送レート	Max.f_{MCK}/4 [Hz]（SDR0nH[7:1] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）
データ・レベル	非反転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK送受信タイミング用）
データ方向	MSBファースト

注　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（POM01 = 1）。詳細は，**4. 3 ポート機能を制御するレジスタ**，**4. 5　兼用機能使用時のレジスタ設定**を参照してください。

備考　n = 0

（1）レジスタ設定

図12－86　簡易I²C（IIC00）のアドレス・フィールド送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						STS0n
0/1	0	0	0	0	0	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPS0レジスタで設定したプリスケーラ出力クロック“CK00”
1：SPS0レジスタで設定したプリスケーラ出力クロック“CK01”

略号：SMR0nL

7	6	5	4	3	2	1	0
	SIS0n0					MD0n1	MD0n0
0	0	1	0	0	0	0	0

チャネルnの動作モード
0：転送完了割り込み

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
1	0	0	0	0	0	0	0

パリティ・ビット設定
00B：パリティなし

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0	0	0	1	0	1	1	1

ストップ・ビット設定
01B：1ビット付加（ACK）

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

略号：SDR0nH

15	14	13	12	11	10	9	8
ボー・レート設定							0

略号：SDR0nL

7	6	5	4	3	2	1	0
送信データ設定（アドレス＋R/W）							

SIOr

（d）シリアル・クロック出力レジスタ0（CKO0）

略号	7	6	5	4	3	2	1	0
CKO0							CKO01注	CKO00
	0	0	0	0	0	0	×	0/1

（e）シリアル出力レジスタ0（SO0）

略号	7	6	5	4	3	2	1	0
SO0							SO01注	SO00
	0	0	0	0	0	0	×	0/1

SO0nビットを操作して，スタート・コンディションを発生する

（注，備考は次ページにあります。）

図12－86　簡易I²C（IIC00）のアドレス・フィールド送信時のレジスタ設定内容例（2/2）

（f）シリアル出力許可レジスタ0（SOE0）

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01注 ×	SOE00 0/1

スタート・コンディションを発生まではSOE0n = 0とし，
発生後はSOE0n = 1とする

（g）シリアル・チャネル開始レジスタ0（SS0）　・・・対象チャネルのビットのみ1に設定する

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 ×	SS00 0/1

スタート・コンディションを発生まではSS0n =1とせず，
発生後にSS0n = 1とする

注　16ピン製品のみ

備考1.　n = 0　r：IIC番号（r = 00）

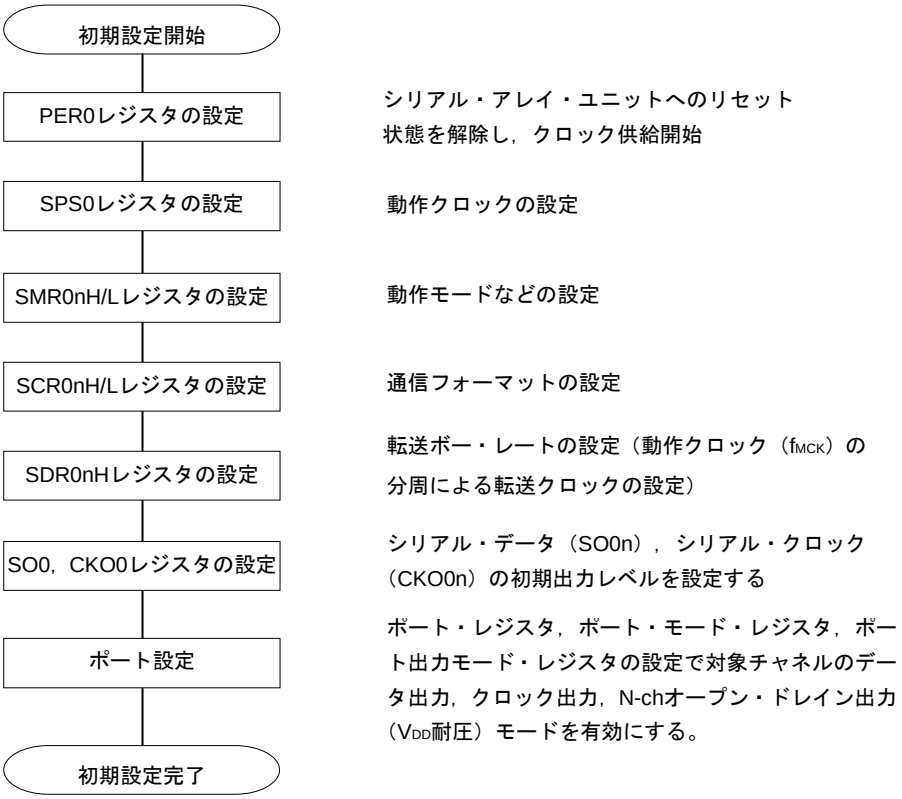
2.　□：IICモードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

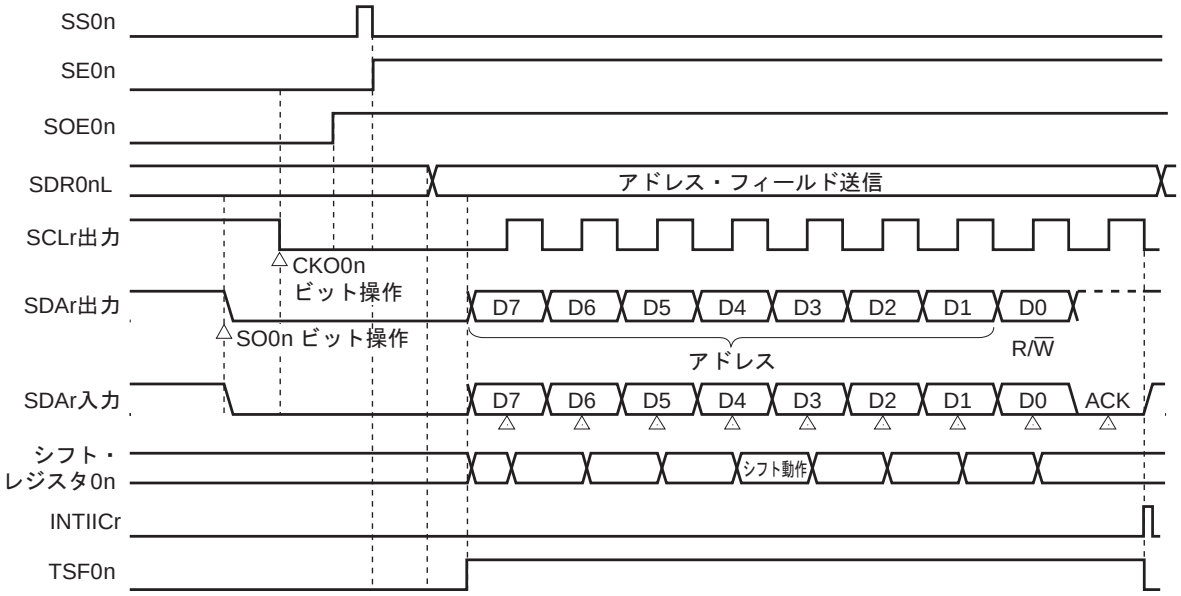
（2）操作手順

図12－87　簡易I²Cアドレス・フィールド送信の初期設定手順



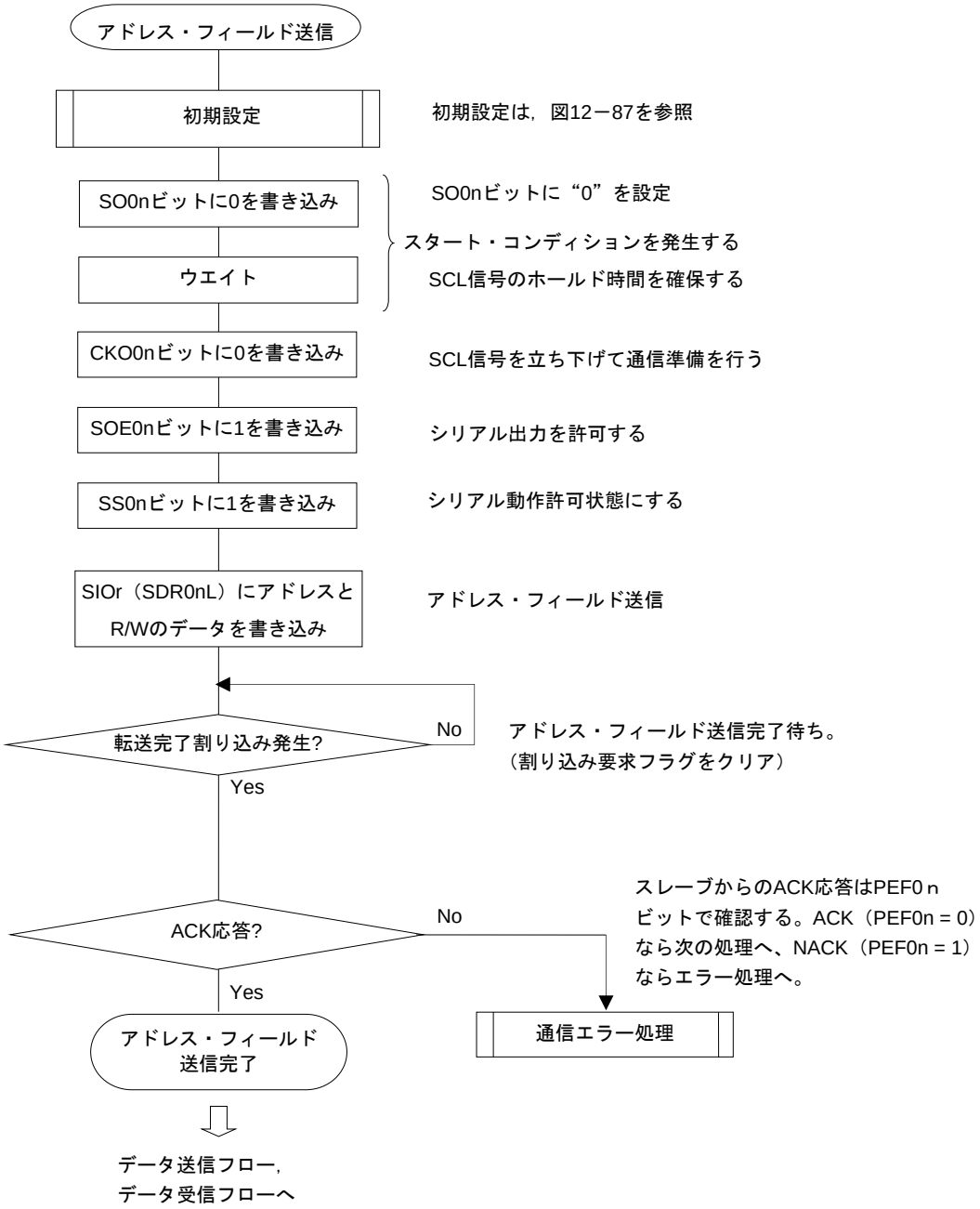
（3）処理フロー

図12－88　アドレス・フィールド送信のタイミング・チャート



備考　0n = 00　r：IIC番号（r = 00）

図12－89　簡易I²Cアドレス・フィールド送信のフロー・チャート



12. 7. 2　データ送信

データ送信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I^{2}C	IIC00
対象チャネル	SAU0のチャネル0
使用端子	SCL00, SDA00[注1]
割り込み	INTIIC00
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	ACKエラー検出フラグ（PEF0n）
転送データ長	8ビット
転送レート[注2]	Max.f_{MCK}/4 [Hz]（SDR0nH[7:1] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I^{2}Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）
データ・レベル	非反転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK受信タイミング用）
データ方向	MSBファースト

注1.　簡易I^{2}Cによる通信を行う場合は，ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM01 = 1）してください（詳細は**4. 3　ポート機能を制御するレジスタ**を参照）。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（**第24章　電気的特性**参照）を満たす範囲内で使用してください。

備考　n = 0

（1）レジスタ設定

図12－90　簡易I²C（IIC00）のデータ送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）　・・・データ送受信中は操作しない

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						STS0n
0/1	0	0	0	0	0	0	0

略号：SMR0nL

7	6	5	4	3	2	1	0
	SIS0n0					MD0n1	MD0n0
0	0	1	0	0	0	0	0

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）・・・TXE0n, RXE0nビット以外はデータ送受信中は操作しない

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
1	0	0	0	0	0	0	0

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0	0	0	1	0	1	1	1

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）・・・データ送受信中は下位8ビット（SIO r ）のみ有効

略号：SDR0nH

7	6	5	4	3	2	1	0
ボー・レート設定							0

略号：SDR0nL

7	6	5	4	3	2	1	0
送信データ設定							

SIOr

（d）シリアル・クロック出力レジスタ0（CKO0）　・・・データ送受信中は操作しない

略号	7	6	5	4	3	2	1	0
CKO0							CKO01注1	CKO00
	0	0	0	0	0	0	×	0/1

（e）シリアル出力レジスタ0（SO0）　・・・データ送受信中は操作しない

略号	7	6	5	4	3	2	1	0
SO0							SO01注1	SO00
	0	0	0	0	0	0	×	0/1注2

注1.　16品製品のみ

2.　通信動作中は通信データにより値が変わります。

（備考は次ページにあります。）

図12－90　簡易I²C（IIC00）のデータ送信時のレジスタ設定内容例（2/2）

（f）シリアル出力許可レジスタ0（SOE0）　・・・データ送受信中は操作しない

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01注 ×	SOE00 1

（g）シリアル・チャネル開始レジスタ0（SS0）　・・・データ送受信中は操作しない

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 ×	SS00 0/1

注　16ピン製品のみ

備考1.　n = 0　r：IIC番号（r = 00）

2.　□：IICモードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）処理フロー

図12－91　データ送信のタイミング・チャート例

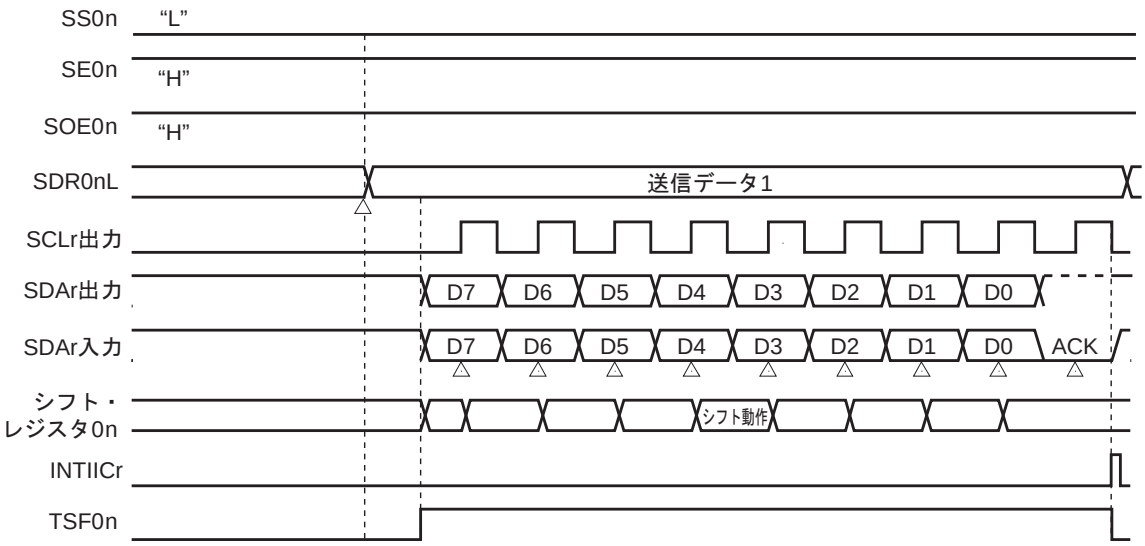
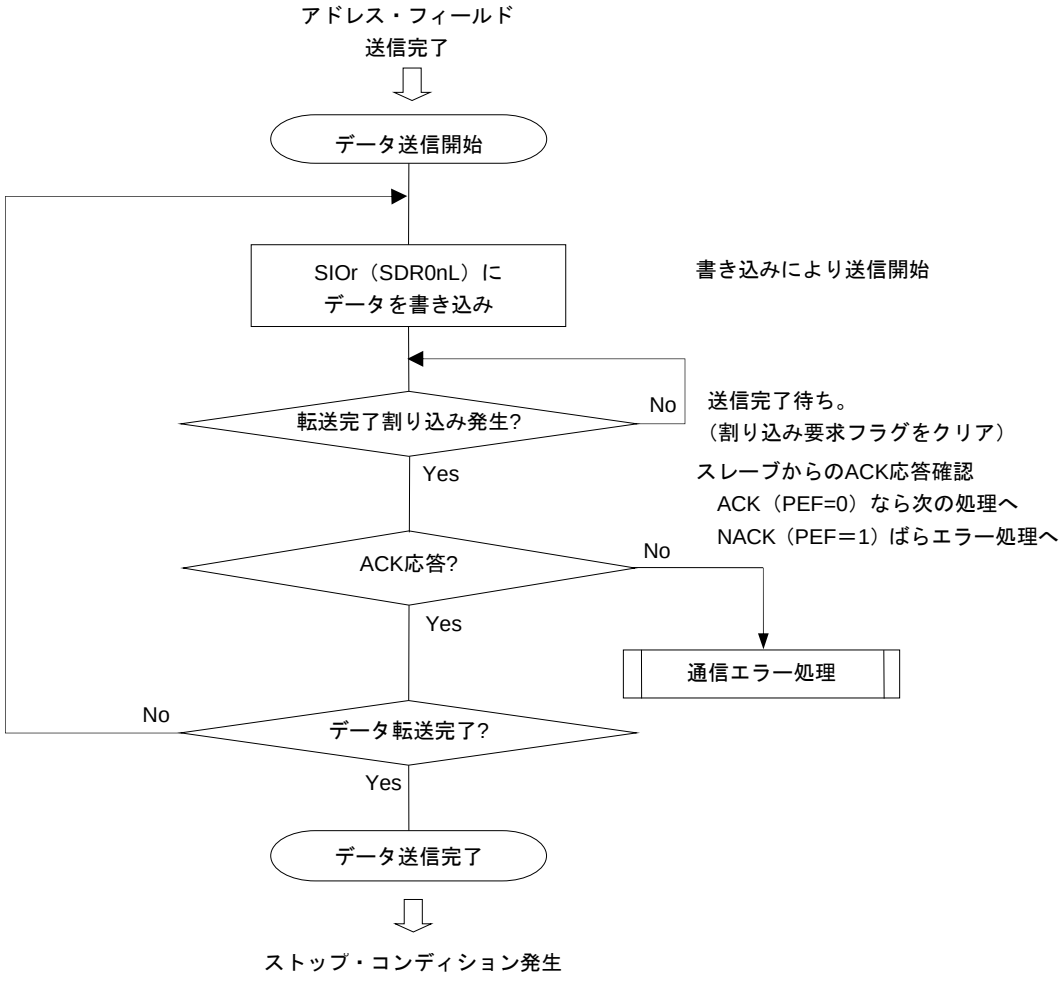


図12－92　簡易I²Cデータ送信のフロー・チャート



12. 7. 3　データ受信

データ受信は，アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00
対象チャネル	SAU0のチャネル0
使用端子	SCL00, SDA00注1
割り込み	INTIIC00
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ
転送データ長	8ビット
転送レート注2	Max.f_{MCK}/4 [Hz]（SDR0nH[7:1] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）
データ・レベル	非反転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK送信）
データ方向	MSBファースト

注1.　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POM0）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM01 = 1）してください（詳細は**4. 3　ポート機能を制御するレジスタ**を参照）。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（**第24章　電気的特性**参照）を満たす範囲内で使用してください。

備考　n = 0

（1）レジスタ設定

図12－93　簡易I²C（IIC00, IIC01, IIC11, IIC20）のデータ受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）　・・・データ送受信中は操作しない

略号：SMR0nH

15	14	13	12	11	10	9	8
CKS0n	CCS0n						STS0n
0/1	0	0	0	0	0	0	0

略号：SMR0nL

7	6	5	4	3	2	1	0
	SIS0n0					MD0n1	MD0n0
0	0	1	0	0	0	0	0

（b）シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）・・・TXE0n, RXE0nビット以外はデータ送受信中は操作しない

略号：SCR0nH

15	14	13	12	11	10	9	8
TXE0n	RXE0n	DAP0n	CKP0n		EOC0n	PTC0n1	PTC0n0
0	1	0	0	0	0	0	0

略号：SCR0nL

7	6	5	4	3	2	1	0
DIR0n		SLC0n1	SLC0n0				DLS0n0
0	0	0	1	0	1	1	1

（c）シリアル・データ・レジスタ0n（SDR0nH, SDR0nL）

略号：SDR0nH

7	6	5	4	3	2	1	0
ボー・レート設定							0

略号：SDR0nL

7	6	5	4	3	2	1	0
ダミー送信データ設定（FFH）							

SIOr

（d）シリアル・クロック出力レジスタ0（CKO0）　・・・データ送受信中は操作しない

略号	7	6	5	4	3	2	1	0
CKO0							CKO01注1	CKO00
	0	0	0	0	0	0	×	0/1

（e）シリアル出力レジスタ0（SO0）　・・・データ送受信中は操作しない

略号	7	6	5	4	3	2	1	0
SO0							SO01注1	SO00
	0	0	0	0	0	0	×	0/1注2

注1.　16ピン製品のみ

2.　通信動作中は通信データにより値が変わります。

（備考は次ページにあります。）

図12－93　簡易I²C（IIC00, IIC01, IIC11, IIC20）のデータ受信時のレジスタ設定内容例（2/2）

（f）シリアル出力許可レジスタ0（SOE0）　・・・データ送受信中は操作しない

略号	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	SOE01注 ×	SOE00 0/1

（g）シリアル・チャネル開始レジスタ0（SS0）　・・・データ送受信中は操作しない

略号	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	SS01 ×	SS00 0/1

注　16ピン製品のみ

備考1.　n = 0　r：IIC番号（r = 00）

2.　□：IICモードでは設定固定　■：設定不可（初期値を設定）

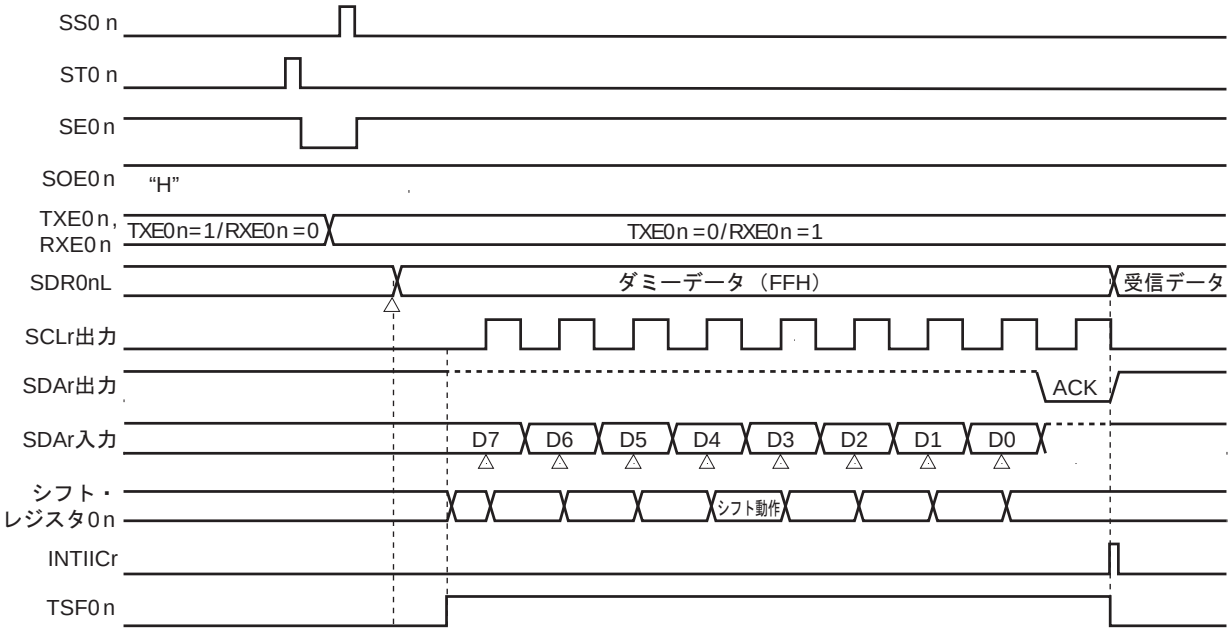
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

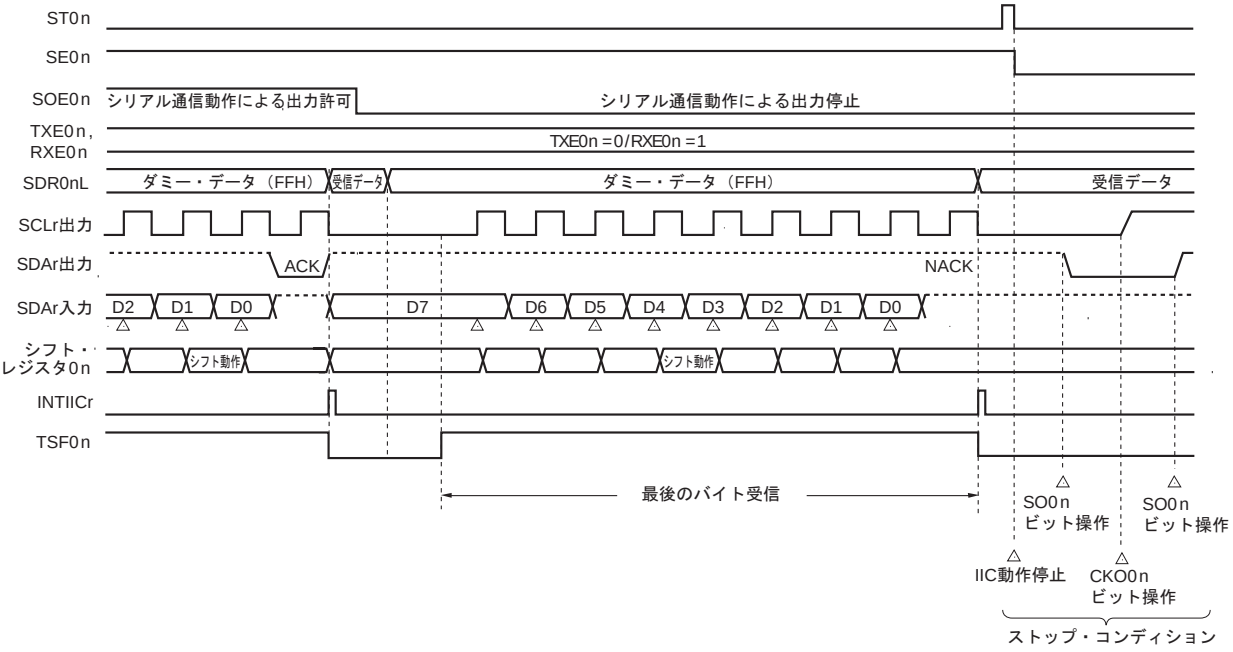
（2）処理フロー

図12－94　データ受信のタイミング・チャート

（a）データ受信開始時

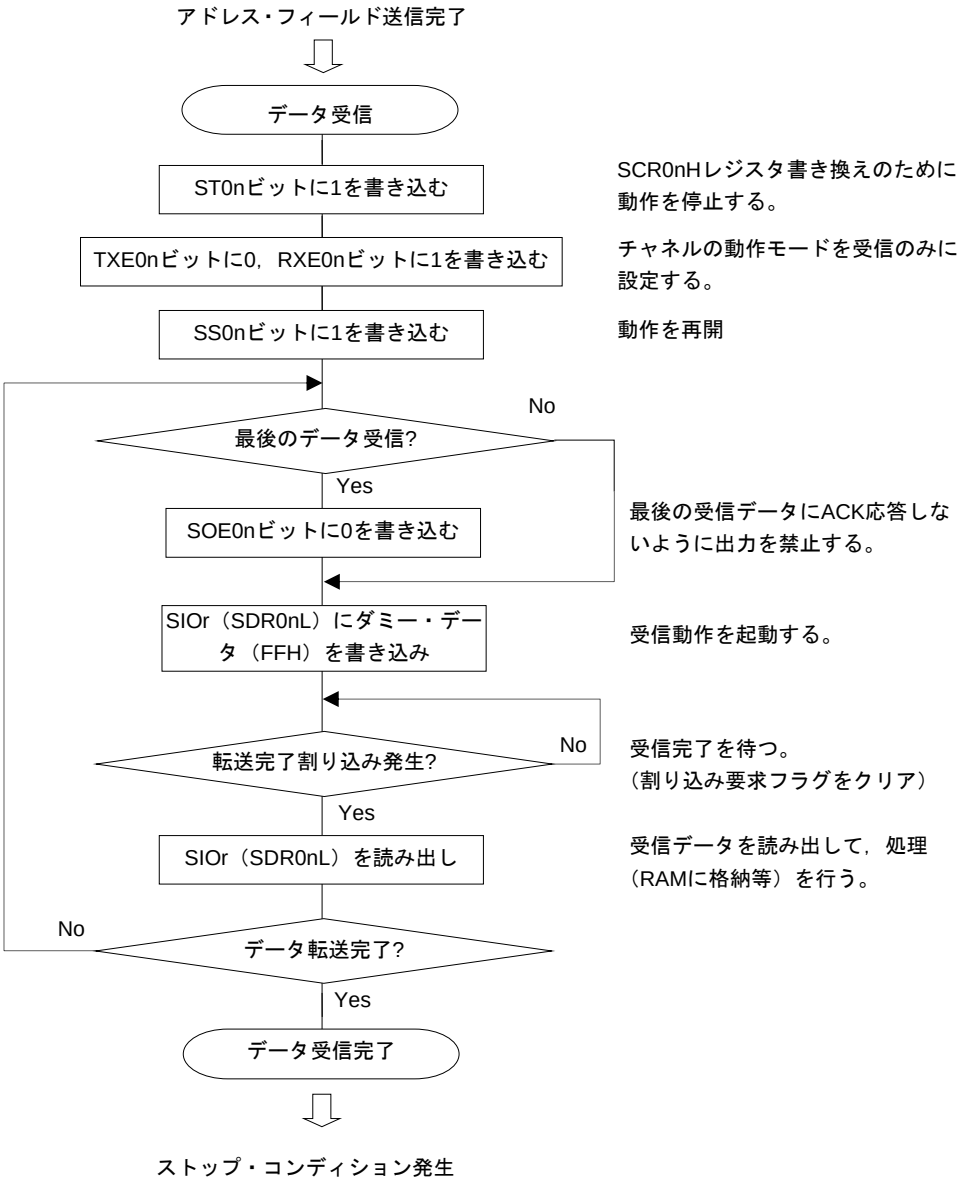


（b）最終データ受信時



備考　n = 0　r：IIC番号（r = 00）

図12－95　簡易I²Cデータ受信のフロー・チャート



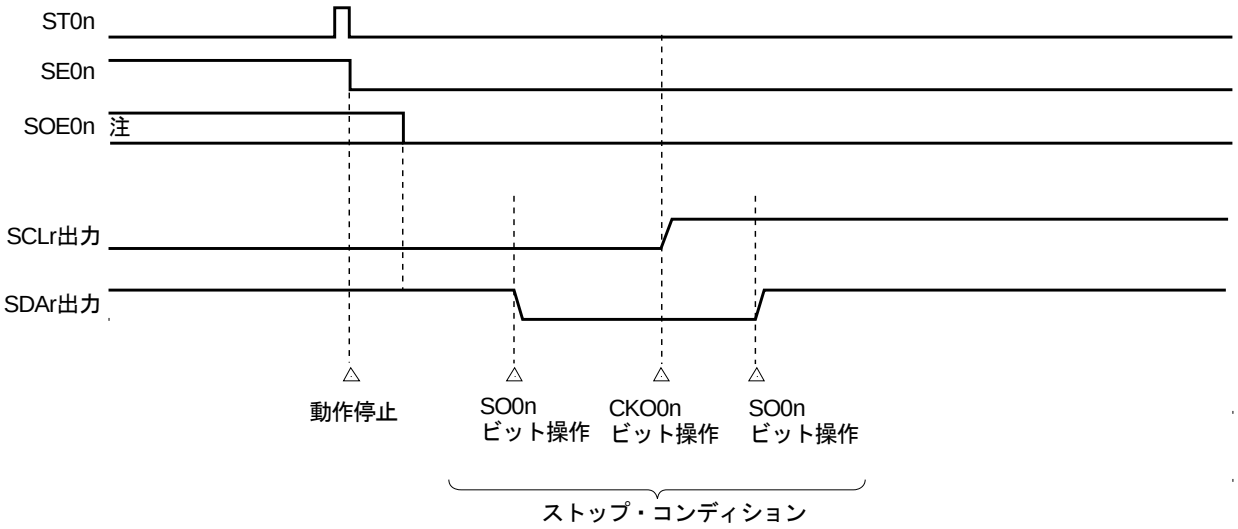
注意　最終データの受信時はACKを出力しません（NACK）。その後，シリアル・チャネル停止レジスタ0（ST0）のST0nビットに“1”を設定して動作停止としてから，ストップ・コンディションを発生することにより通信完了します。

12. 7. 4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は，ストップ・コンディションを発生し，バスを開放します。

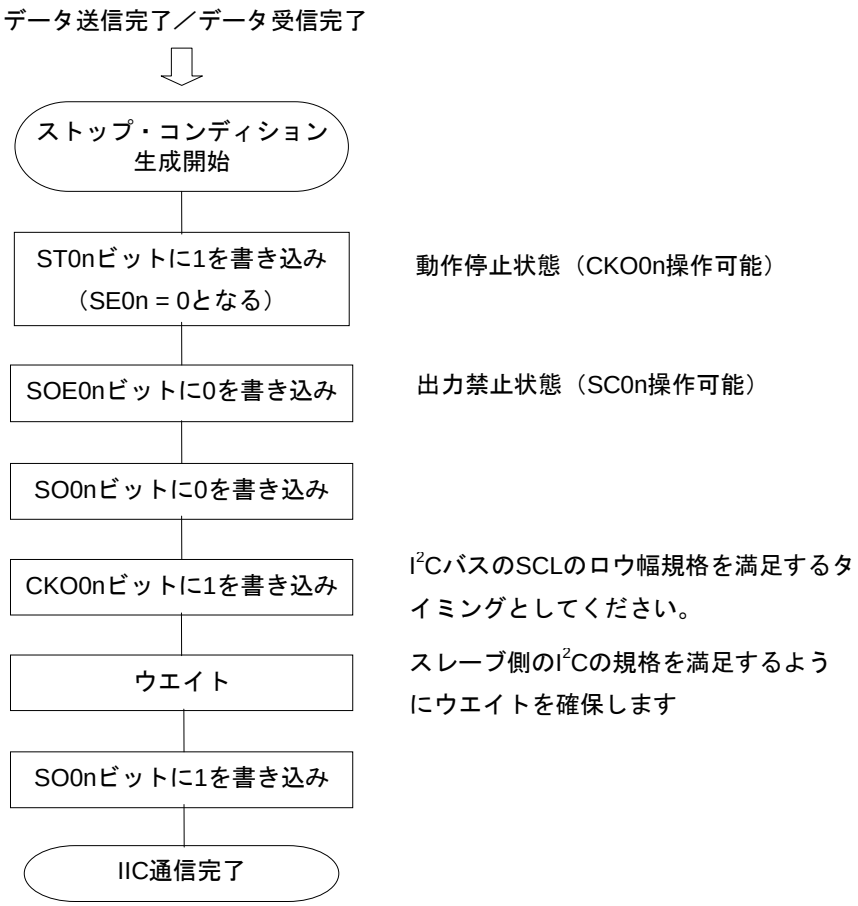
（1）処理フロー

図12－96　ストップ・コンディション発生のタイミング・チャート



注　受信動作時は最終データを受信する前に，シリアル出力許可レジスタ0（SOE0）のSOE0nビットを“0”に設定しています。

図12－97　簡易I²Cストップ・コンディション発生のフロー・チャート



12. 7. 5　転送レートの算出

簡易I²C（IIC00）通信での転送レートは下記の計算式にて算出できます。

（転送レート）＝｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDR0nH[7:1]＋1）÷ 2

注意　SDR0nH[7:1] = 0000000Bは設定禁止です。SDR0nH[7:1] = 0000001B以上に設定してください。簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では，SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため，ファースト・モードの400kbpsに設定すると，SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDR0nH[7:1]には，この規格を満足できる値を設定してください。

備考1.　（SDR0nH[7:1]）は，シリアル・データ・レジスタ0nH（SDR0nH）のビット7-1の値（0000001B-1111111B）なので，1-127になります。

2.　n = 0

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタ0（SPS0）とシリアル・モード・レジスタ0nH（SMR0nH）のビット7（CKS0nビット）で決まります。

表12－4　簡易I²C動作クロックの選択

SMR0n レジスタ	SPS0レジスタ								動作クロック（f_{MCK}）注	
CKS0n	PRS 13	PRS 12	PRS 11	PRS 10	PRS 03	PRS 02	PRS 01	PRS 00		f_{CLK} = 20 MHz動作時
0	×	×	×	×	0	0	0	0	f_{CLK}	20MHz
	×	×	×	×	0	0	0	1	$f_{CLK}/2$	10 MHz
	×	×	×	×	0	0	1	0	$f_{CLK}/2^2$	5 MHz
	×	×	×	×	0	0	1	1	$f_{CLK}/2^3$	2.5MHz
	×	×	×	×	0	1	0	0	$f_{CLK}/2^4$	1.25 MHz
	×	×	×	×	0	1	0	1	$f_{CLK}/2^5$	625kHz
	×	×	×	×	0	1	1	0	$f_{CLK}/2^6$	312.5 kHz
	×	×	×	×	0	1	1	1	$f_{CLK}/2^7$	156.2 kHz
	×	×	×	×	1	0	0	0	$f_{CLK}/2^8$	78.1 kHz
	×	×	×	×	1	0	0	1	$f_{CLK}/2^9$	39.1 kHz
	×	×	×	×	1	0	1	0	$f_{CLK}/2^{10}$	19.5 kHz
	×	×	×	×	1	0	1	1	$f_{CLK}/2^{11}$	9.77 kHz
	×	×	×	×	1	1	0	0	$f_{CLK}/2^{12}$	4.88 kHz
	×	×	×	×	1	1	0	1	$f_{CLK}/2^{13}$	2.44 kHz
	×	×	×	×	1	1	1	0	$f_{CLK}/2^{14}$	1.22 kHz
	×	×	×	×	1	1	1	1	$f_{CLK}/2^{15}$	610 Hz
1	0	0	0	0	×	×	×	×	f_{CLK}	20MHz
	0	0	0	1	×	×	×	×	$f_{CLK}/2$	10 MHz
	0	0	1	0	×	×	×	×	$f_{CLK}/2^2$	5 MHz
	0	0	1	1	×	×	×	×	$f_{CLK}/2^3$	2.5MHz
	0	1	0	0	×	×	×	×	$f_{CLK}/2^4$	1.25 MHz
	0	1	0	1	×	×	×	×	$f_{CLK}/2^5$	625kHz
	0	1	1	0	×	×	×	×	$f_{CLK}/2^6$	312.5 kHz
	0	1	1	1	×	×	×	×	$f_{CLK}/2^7$	156.2 kHz
	1	0	0	0	×	×	×	×	$f_{CLK}/2^8$	78.1 kHz
	1	0	0	1	×	×	×	×	$f_{CLK}/2^9$	39.1 kHz
	1	0	1	0	×	×	×	×	$f_{CLK}/2^{10}$	19.5 kHz
	1	0	1	1	×	×	×	×	$f_{CLK}/2^{11}$	9.77 kHz
	1	1	0	0	×	×	×	×	$f_{CLK}/2^{12}$	4.88 kHz
	1	1	0	1	×	×	×	×	$f_{CLK}/2^{13}$	2.44 kHz
	1	1	1	0	×	×	×	×	$f_{CLK}/2^{14}$	1.22 kHz
	1	1	1	1	×	×	×	×	$f_{CLK}/2^{15}$	610 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ0（ST0）　= 000FH）させてから変更してください。

備考1.　× ：don’t care

2.　n = 0

f_{MCK} = f_{CLK} = 20 MHzの場合のIIC転送レート設定例を示します。

IIC転送モード（希望転送レート）	f_{CLK} = 20 MHz時			
	動作クロック（f_{MCK}）	SDR0nH[7:1]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}/2	49	100 kHz	0.0%
400 kHz	f_{CLK}	25	384.6 kHz	3.8%注

注　SCL信号がデューティ比50%でないので，誤差を0%程度に設定することはできません。

12. 7. 6　簡易I²C（IIC00）通信時におけるエラー発生時の処理手順

簡易I²C（IIC00）通信時にエラーが発生した場合の処理手順を図12－98，図12－99に示します。

図12－98　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタ0n（SDR0n）をリードする →	SSR0nレジスタのBFF0nビットが0となり，チャネルnは受信可能状態になる。	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う。
シリアル・ステータス・レジスタ0n（SSR0n）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）に1をライトする →	エラー・フラグがクリアされる	SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図12－99　簡易I²Cモード時のACKエラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・ステータス・レジスタ0n（SSR0n）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）をライトする →	エラー・フラグがクリアされる	SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタ0（ST0）のST0nビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタ0（SE0）のSE0nビットが0となり，チャネルnは動作停止状態になる	ACKが返信されていないので，スレーブの受信準備ができていない。そのため，ストップ・コンディションを作成してバスを開放し，再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し，アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタ0（SS0）のSS0nビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタ0（SE0）のSE0nビットが1となり，チャネルnは動作許可状態になる	

備考　n = 0　r：IIC番号（r = 00）

第13章　シリアル・インタフェースIICA

注意．16ピン製品には，シリアル・インタフェースIICAを1チャネル搭載しています。

13. 1　シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

（2）I²Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCLA0）とシリアル・データ・バス（SDAA0）の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLA0端子とSDAA0端子はオープン・ドレイン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

（3）ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号（INTIICA0）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ01（IICCTL01）のWUP0ビットにより設定します。

図13－1に，シリアル・インタフェースIICAのブロック図を示します。

図13－1　シリアル・インタフェースIICAのブロック図

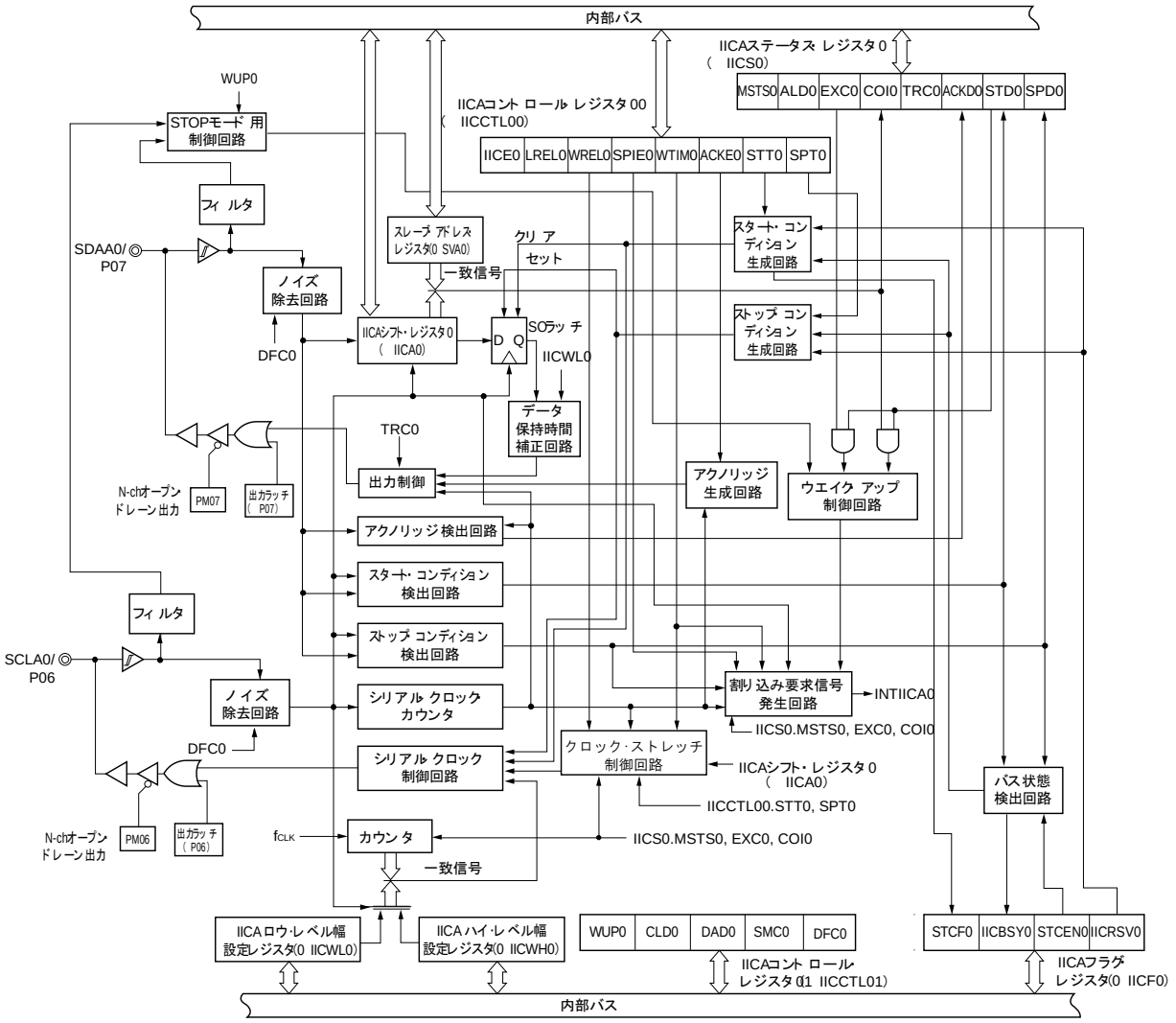
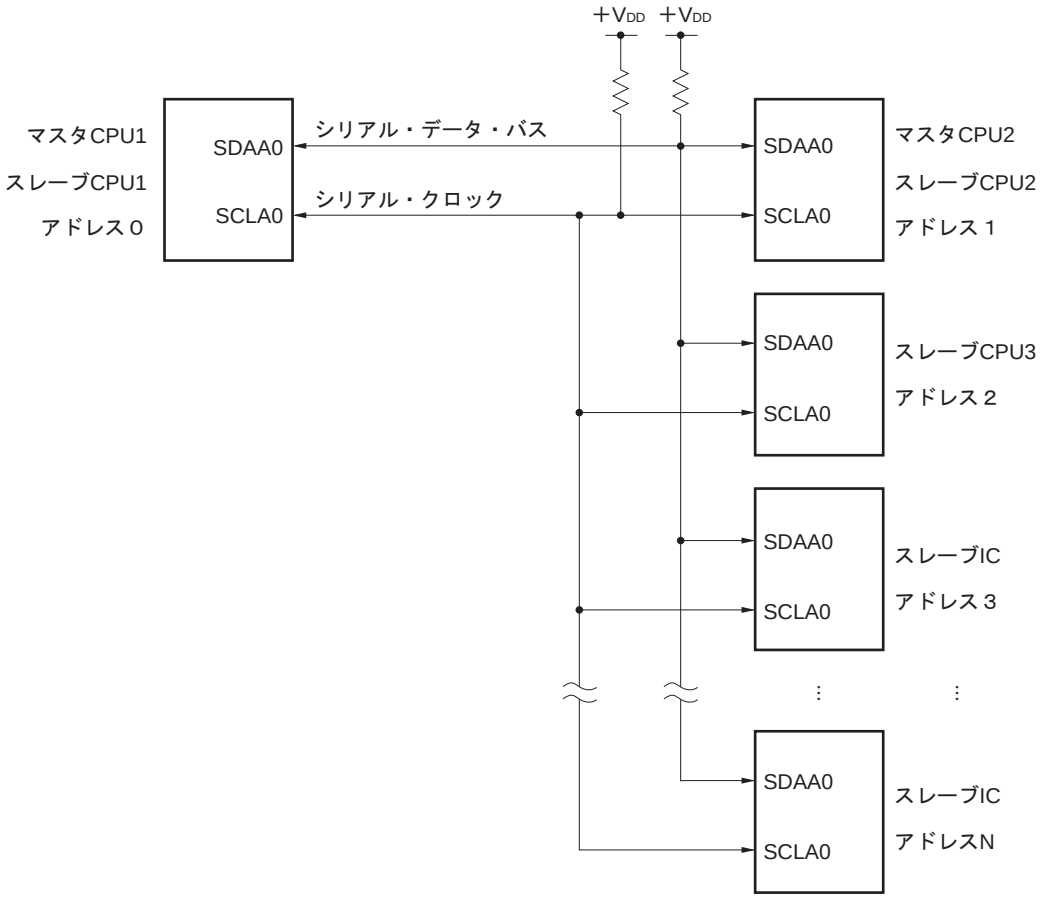


図13－2にシリアル・バス構成例を示します。

図13－2　I²Cバスによるシリアル・バス構成例



13. 2　シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表13－1　シリアル・インタフェースIICAの構成

項　　目	構　　成
レジスタ	IICAシフト・レジスタ0（IICA0） スレーブ・アドレス・レジスタ0（SVA0）
制御レジスタ	周辺イネーブル・レジスタ0（PER0） IICAコントロール・レジスタ00（IICCTL00） IICAステータス・レジスタ0（IICS0） IICAフラグ・レジスタ0（IICF0） IICAコントロール・レジスタ01（IICCTL01） IICAロウ･レベル幅設定レジスタ0（IICWL0） IICAハイ･レベル幅設定レジスタ0（IICWH0） ポート・モード・レジスタ0（PM0） ポート・レジスタ0（P0） ポート・出力モード・レジスタ0（POM0） ポート・モード・コントロール・レジスタ0（PMC0）

（1）IICAシフト・レジスタ0（IICA0）

IICA0レジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICA0レジスタは送信および受信の両方に使用されます。

IICA0レジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICA0レジスタへの書き込みにより，クロック・ストレッチを解除し，データ転送を開始します。

IICA0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－3　IICAシフト・レジスタ0（IICA0）のフォーマット

アドレス：FFF50H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICA0								

注意1.　データ転送中はIICA0レジスタにデータを書き込まないでください。

2.　IICA0レジスタには，クロック・ストレッチ期間中にだけ，書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICA0レジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STT0）をセット（1）したあと，1回書き込みできます。

3.　通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICA0レジスタにデータを書き込んでください。

(2) スレーブ・アドレス・レジスタ0（SVA0）

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVA0レジスタは，8ビット・メモリ操作命令で設定します。

ただし，STD0 = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

図13－4　スレーブ・アドレス・レジスタ0（SVA0）のフォーマット

アドレス：F0234H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0注

注　ビット0**には必ず“0”を設定してください。**

(3) SOラッチ

SOラッチは，SDAA0端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

スレーブ・アドレス・レジスタ0（SVA0）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICA0）を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号（INTIICA0）の発生を制御します。

I^2C割り込み要求は，次の2つのトリガで発生します。

・シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIM0ビットで設定）

・ストップ・コンディション検出による割り込み要求発生（SPIE0ビットで設定）

備考　WTIM0ビット　：IICAコントロール・レジスタ00（IICCTL00）のビット3

SPIE0ビット　：　〃　のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に，SCLA0端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

（9）アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

（10）データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

（11）スタート・コンディション生成回路

STT0ビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSV0ビット ＝1）で，かつバスが解放されていない（IICBSY0ビット ＝1）場合には，スタート・コンディション要求は無視し，STCF0ビットをセット（1）します。

（12）ストップ・コンディション生成回路

SPT0ビットがセット（1）されるとストップ・コンディションを生成します。

（13）バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCEN0ビットにより，バス状態検出回路の初期状態を設定してください。

備考

STT0ビット	: IICAコントロール・レジスタ00（IICCTL00）	のビット1
SPT0ビット	: 〃	のビット0
IICRSV0ビット	: IICAフラグ・レジスタ0（IICF0）	のビット0
IICBSY0ビット	: 〃	のビット6
STCF0ビット	: 〃	のビット7
STCEN0ビット	: 〃	のビット1

13. 3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・IICAコントロール・レジスタ00（IICCTL00）
・IICAフラグ・レジスタ0（IICF0）
・IICAステータス・レジスタ0（IICS0）
・IICAコントロール・レジスタ01（IICCTL01）
・IICAロウ・レベル幅設定レジスタ0（IICWL0）
・IICAハイ・レベル幅設定レジスタ0（IICWH0）
・ポート・モード・レジスタ0（PM0）
・ポート・レジスタ0（P0）
・ポート・出力モード・レジスタ0（POM0）
・ポート・モード・コントロール・レジスタ0（PMC0）

13. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは，必ずビット4（IICA0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	TMKAEN注	CMPEN注	ADCEN	IICA0EN注	0	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

注　16ピン製品のみ

注意1.　シリアル・インタフェースIICAの設定をする際には，必ず最初にIICA0EN = 1の状態で，下記のレジスタの設定を行ってください。IICA0EN = 0の場合は，シリアル・インタフェースIICAの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ0（PM0），ポート・レジスタ0（P0），ポート・出力モード・レジスタ0（POM0），ポート・モード・コントロール・レジスタ0（PMC0）は除く）。

・IICAコントロール・レジスタ00（IICCTL00）
・IICAフラグ・レジスタ0（IICF0）
・IICAステータス・レジスタ0（IICS0）
・IICAコントロール・レジスタ01（IICCTL01）
・IICAロウ・レベル幅設定レジスタ0（IICWL0）
・IICAハイ・レベル幅設定レジスタ0（IICWH0）
・IICAシフト・レジスタ0（IICA0）
・スレーブ・アドレス・レジスタ0（SVA0）

2.　次のビットには必ず“0”を設定してください。

10ピン製品：ビット1, 3, 4, 6, 7

16ピン製品：ビット1, 3

13. 3. 2　IICAコントロール・レジスタ00（IICCTL00）

I²Cの動作許可／停止，クロック・ストレッチ・タイミングの設定，その他I²Cの動作を設定するレジスタです。

IICCTL00レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIE0, WTIM0, ACKE0ビットは，IICE0 = 0のとき，またはクロック・ストレッチ期間中に設定してください。またIICE0ビットを”0”から”1”に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00Hになります。

図13－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（1/4）

アドレス：F0230H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTL00	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I^2Cの動作許可
0	動作停止。IICAステータス・レジスタ0（IICS0）をリセット[注1]。内部動作も停止。
1	動作許可。
このビットのセット（1）は，必ずSCLA0, SDAA0ラインがハイ･レベルの状態で行ってください。	
クリアされる条件（IICE0 = 0）	セットされる条件（IICE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

LREL0[注2, 3]	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ00（IICCTL00），IICAステータス・レジスタ0（IICS0）のうち，次のフラグがクリア（0）される。 ・STT0　・SPT0　・MSTS0　・EXC0　・COI0　・TRC0　・ACKD0　・STD0
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ・ストップ・コンディション検出後，マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LREL0 = 0）	セットされる条件（LREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WREL0[注2, 3]	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後，自動的にクリアされる。
送信状態（TRC0 = 1）で，9クロック目のクロック・ストレッチ期間中にWREL0ビットをセット（クロック・ストレッチを解除）した場合，SDAA0ラインをハイ・インピーダンス（TRC0 = 0）にします。	
クリアされる条件（WREL0 = 0）	セットされる条件（WREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

注1.　リセットされるのは，IICAステータス・レジスタ0（IICA0），IICAフラグ・レジスタ0（IICF0）のSTCF0，IICBSY0ビット，IICAコントロール・レジスタ01（IICCTL01）レジスタのCLD0，DAD0ビットです。

2.　IICE0 = 0の状態では，このビットの信号は無効になります。

3.　LREL0, WREL0ビットの読み出し値は常に0になります。

注意　SCLA0ラインがハイ･レベル，SDAA0ラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTL01レジスタのDFC0 = 1）のときにI^2Cを動作許可（IICE0 = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I^2Cを動作許可（IICE0 = 1）したあと，連続して1ビット・メモリ操作命令により，LREL0ビットをセット（1）してください。

図13－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（2/4）

SPIE0[注1]	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタ01（IICCTL01）のWUP0 = 1の場合には，SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIE0 = 0）	セットされる条件（SPIE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIM0[注1]	クロック・ストレッチおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは，アクノリッジ（ACK）発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでクロック・ストレッチに入ります。	
クリアされる条件（WTIM0 = 0）	セットされる条件（WTIM0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

ACKE0 注1,2	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAA0ラインをロウ・レベルにする。
クリアされる条件（ACKE0 = 0）	セットされる条件（ACKE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注1.　IICE0 = 0の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

2.　アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。
スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

図13－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（3/4）

<table>
<tr><th>STT0
注1, 2</th><th>スタート・コンディション・トリガ</th></tr>
<tr><td>0</td><td>スタート・コンディションを生成しない。</td></tr>
<tr><td>1</td><td>バスが解放されているとき（待機状態，IICBSY0が0のとき）：
セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。
第三者が通信中のとき：
・通信予約機能許可の場合（IICRSV0 = 0）
スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。
・通信予約機能禁止の場合（IICRSV0 = 1）
セット（1）してもSTT0ビットはクリアされ，STT0クリア・フラグ（STCF0）がセット（1）される。スタート・コンディションは生成しない。
クロック・ストレッチ状態（マスタ時）：
クロック・ストレッチを解除してリスタート・コンディションを生成する。</td></tr>
<tr><td colspan="2">セット・タイミングに関する注意
・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。
・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット（1）してください。
・ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。
・STT0ビットをセット（1）後，クリア条件になる前に再度セット（1）することは禁止です。</td></tr>
<tr><td>クリアされる条件（STT0 = 0）</td><td>セットされる条件（STT0 = 1）</td></tr>
<tr><td>・通信予約禁止状態でのSTT0ビットのセット（1）
・アービトレーションに負けたとき
・マスタでのスタート・コンディション生成
・LREL0 = 1（通信退避）によるクリア
・IICE0 = 0（動作停止）のとき
・リセット時</td><td>・命令によるセット</td></tr>
</table>

注1. IICE0 = 0の状態では，このビットの信号は無効になります。

2. STT0ビットの読み出し値は，常に0になります。

備考　IICRSV0　：IICフラグ・レジスタ0（IICF0）のビット0

STCF0　：IICフラグ・レジスタ0（IICF0）のビット7

図13－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（4/4）

SPT0[注]	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。
ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセット（1）してください。

・スタート・コンディション・トリガ（STT0）と同時にセット（1）することは禁止です。

・SPT0ビットのセット（1）は，マスタのときのみ行ってください。

・WTIM0 = 0設定時に，8クロック出力後のクロック・ストレッチ期間中にSPT0ビットをセット（1）すると，クロック・ストレッチ解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIM0 = 0→1に設定し，9クロック目出力後のクロック・ストレッチ期間中にSPT0ビットをセット（1）してください。

・SPT0ビットをセット（1）後，クリア条件になる前に，再度セット（1）することは禁止です。

クリアされる条件（SPT0 = 0）	セットされる条件（SPT0 = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注　SPT0ビットの読み出し値は，常に0になります。

注意　IICAステータス・レジスタ0（IICS0）のビット3（TRC0）＝1（送信状態）のとき，9クロック目にIICCTL00レジスタのビット5（WREL0）をセット（1）してクロック・ストレッチ解除すると，TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 ＝ 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタ0への書き込みで行ってください。

13. 3. 3　IICAステータス・レジスタ0（IICS0）

I²Cのステータスを表すレジスタです。

IICS0レジスタは，STT0 = 1およびクロック・ストレッチ期間中のみ，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

注意　STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可（WUP0=1）状態でのIICS0レジスタの読み出しは禁止です。WUP0 = 1の状態から，INTIICA0割り込み要求と関係なくWUP0ビットを1→0（ウエイク・アップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIE0 = 1）して割り込み検出後にIICS0レジスタを読み出してください。

備考　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1

WUP0　：IICAコントロール・レジスタ01（IICCTL01）のビット7

図13－7　IICAステータス・レジスタ0（IICS0）のフォーマット（1/3）

アドレス：FFF51H　　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件（MSTS0 = 0）		セットされる条件（MSTS0 = 1）
・ストップ・コンディション検出時 ・ALD0 = 1（アービトレーション負け）のとき ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時		・スタート・コンディション生成時

ALD0	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。	
クリアされる条件（ALD0 = 0）		セットされる条件（ALD0 = 1）
・IICS0レジスタ読み出し後，自動的にクリア[注] ・IICE0 = 1→0（動作停止）のとき ・リセット時		・アービトレーションに負けたとき

注　IICS0レジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALD0ビット使用時は，ほかのビットよりも先にデータを読み出してください。

備考　LREL0　：IICAコントロール・レジスタ00（IICCTL00）のビット6

IICE0　：IICAコントロール・レジスタ00（IICCTL00）のビット7

図13－7　IICAステータス・レジスタ0（IICS0）のフォーマット（2/3）

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件（EXC0 = 0）	セットされる条件（EXC0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）

COI0	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COI0 = 0）	セットされる条件（COI0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタ0（SVA0））と一致したとき（8クロック目の立ち上がりでセット）

TRC0	送信／受信状態検出
0	受信状態（送信状態以外）。SDAA0ラインをハイ・インピーダンスにする。
1	送信状態。SDAA0ラインにSO0ラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。

クリアされる条件（TRC0 = 0）	セットされる条件（TRC0 = 1）
＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・WREL0 = 1（クロック・ストレッチ解除）によるクリア注 ・ALD0 = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTS0, EXC0, COI0 = 0） ＜マスタの場合＞ ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき	＜マスタの場合＞ ・スタート・コンディション生成時 ・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“0”（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“1”（スレーブ送信）が入力されたとき

注　IICAステータス・レジスタ0（IICS0）のビット3（TRC0）= 1（送信状態）のとき，9クロック目にIICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）をセット（1）してクロック・ストレッチを解除すると，TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタ0への書き込みで行ってください。

備考　LREL0　：IICAコントロール・レジスタ00（IICCTL00）のビット6
　　IICE0　：IICAコントロール・レジスタ00（IICCTL00）のビット7

図13－7　IICAステータス・レジスタ0（IICS0）のフォーマット（3/3）

ACKD0	アクノリッジ（ACK）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKD0 = 0）	セットされる条件（ACKD0 = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・SCLA0ラインの9クロック目の立ち上がり時にSDAA0ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STD0 = 0）	セットされる条件（STD0 = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPD0	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件（SPD0 = 0）	セットされる条件（SPD0 = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・WUP0 = 1→0のとき ・IICE0 = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考　LREL0　　：IICAコントロール・レジスタ00（IICCTL00）のビット6
　　IICE0　　：IICAコントロール・レジスタ00（IICCTL00）のビット7

13. 3. 4　IICAフラグ・レジスタ0（IICF0）

I²Cの動作モードの設定と，I²Cバスの状態を表すレジスタです。

IICF0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STT0クリア・フラグ（STCF0），I²Cバス状態フラグ（IICBSY0）は読み出しのみ可能です。

IICRSV0ビットにより，通信予約機能の禁止／許可を設定します。

またSTCEN0ビットにより，IICBSY0ビットの初期値を設定します。

IICRSV0, STCEN0ビットはI²Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときのみ書き込み可能です。動作許可後，IICF0レジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

図13－8　IICAフラグ・レジスタ0（IICF0）のフォーマット

アドレス：FFF52H　リセット時：00H　R/W注

略号	7	6	5	4	3	2	1	0
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STT0フラグ・クリア。

クリアされる条件（STCF0 = 0）	セットされる条件（STCF0 = 1）
・STT0 = 1によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSV0 = 1）設定時にスタート・コンディション発行できず，STT0ビットがクリア（0）されたとき

IICBSY0	I^2Cバス状態フラグ
0	バス解放状態（STCEN0 = 1時の通信初期状態）。
1	バス通信状態（STCEN0 = 0時の通信初期状態）。

クリアされる条件（IICBSY0 = 0）	セットされる条件（IICBSY0 = 1）
・ストップ・コンディション検出時 ・IICE0 = 0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCEN0 = 0時のIICE0ビットのセット

STCEN0	初期スタート許可トリガ
0	動作許可（IICE0 = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICE0 = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCEN0 = 0）	セットされる条件（STCEN0 = 1）
・命令によるクリア ・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSV0	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSV0 = 0）	セットされる条件（IICRSV0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　ビット6, 7はRead onlyです。

注意1.　STCEN0ビットへの書き込みは動作停止（IICE0 = 0）時のみ行ってください。

2.　STCEN0 = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを発行（STT0 = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3.　IICRSV0への書き込みは動作停止（IICE0 = 0）時のみ行ってください。

備考　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1

IICE0　：IICAコントロール・レジスタ00（IICCTL00）のビット7

13. 3. 5　IICAコントロール・レジスタ01（IICCTL01）

I²Cの動作モードの設定やSCLA0, SDAA0端子状態を検出するためのレジスタです。

IICCTL01レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，CLD0，DAD0ビットは読み出しのみ可能です。

IICCTL01レジスタは，WUP0ビットを除きI²Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）＝0）のときに設定してください。

リセット信号の発生により，00Hになります。

図13－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマット（1/2）

アドレス：F0231H　　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	0

WUP0	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
WUP0 ＝ 1でSTOPモードに移行する場合は，WUP0ビットをセット（1）してf_{CLK}の3クロック以上経過後にSTOP命令を実行してください（**図13－21　WUP0 = 1を設定する場合のフロー**参照）。 アドレス一致，または拡張コード受信後はWUP0ビットをクリア（0）してください。WUP0ビットをクリア（0）することで，その後の通信に参加する事ができます（クロック・ストレッチ解除および送信データ書き込みは，WUP0ビットをクリア（0）したあとに行う必要があります）。 WUP0 = 1の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUP0 = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUP0 = 1の場合には，SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（WUP0 = 0）	セットされる条件（WUP0 = 1）
・命令によるクリア（アドレス一致もしくは拡張コード受信後）	・命令によるセット（MSTS0, EXC0, COI0 = 0であり，STD0 ＝ 0（通信に不参加である事）のとき）[注2]

注1.　ビット4, 5はRead Onlyです。

2.　次に示す期間に，IICAステータス・レジスタ0（IICS0）の状態を確認しセットする必要があります。

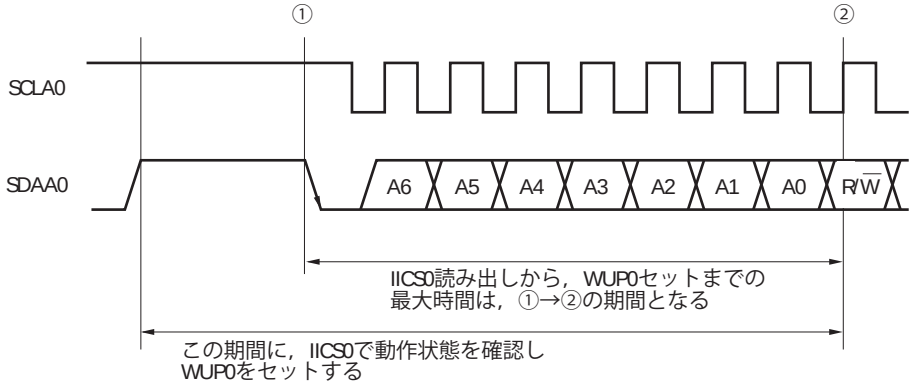


図13－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマット（2/2）

CLD0	SCLA0端子のレベル検出（IICE0 = 1のときのみ有効）
0	SCLA0端子がロウ・レベルであることを検出
1	SCLA0端子がハイ・レベルであることを検出

クリアされる条件（CLD0 = 0）	セットされる条件（CLD0 = 1）
・SCLA0端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SCLA0端子がハイ・レベルのとき

DAD0	SDAA0端子のレベル検出（IICE0 = 1のときのみ有効）
0	SDAA0端子がロウ・レベルであることを検出
1	SDAA0端子がハイ・レベルであることを検出

クリアされる条件（DAD0 = 0）	セットされる条件（DAD0 = 1）
・SDAA0端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SDAA0端子がハイ・レベルのとき

SMC0	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モードで動作（最大転送レート：400 kbps）

DFC0	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは，ファースト・モード時に使用してください。
デジタル・フィルタは，ノイズ除去のために使用します。
DFC0ビットのセット（1）／クリア（0）により，転送クロックが変化することはありません。

注意　転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

標準モード時　　：f_{CLK} = 1 MHz（Min.）

ファースト・モード時：f_{CLK} = 3.5 MHz（Min.）

備考　IICE0：IICAコントロール・レジスタ00（IICCTL00）のビット7

13. 3. 6　IICAロウ・レベル幅設定レジスタ0（IICWL0）

シリアル・インタフェースIICAが，出力するSCLA0端子信号のロウ・レベル幅（t_{LOW}）とSDAA0端子信号を制御するレジスタです。

IICWL0レジスタは，8ビット・メモリ操作命令で設定します。

IICWL0レジスタは，I^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

IICWL0の設定方法については，**13. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法**を参照してください。

また、データ・ホールド時間はIICWL0で設定した時間の1/4になります。

図13－10　IICAロウ・レベル幅設定レジスタ0（IICWL0）のフォーマット

アドレス：F0232H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWL0								

13. 3. 7　IICAハイ・レベル幅設定レジスタ0（IICWH0）

シリアル・インタフェースIICAが，出力するSCLA0端子信号のハイ・レベル幅とSDAA0端子信号を制御するレジスタです。

IICWH0レジスタは，8ビット・メモリ操作命令で設定します。

IICWH0レジスタは，I^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

図13－11　IICAハイ・レベル幅設定レジスタ0（IICWH0）のフォーマット

アドレス：F0233H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWH0								

備考　マスタ側の転送クロックの設定方法は13. 4. 2. (1)を，スレーブ側のIICWL0, IICWH0レジスタの設定方法は，13. 4. 2. (2)を参照してください。

13. 3. 8　IICAシリアル入出力端子のポート機能を制御するレジスタ

IICA使用時は，IICAシリアル入出力端子（SCLA0端子，SDAA0端子）と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PM0），ポート・レジスタ（P0），ポート出力モード・レジスタ（POM0），ポート・モード・コントロール・レジスタ（PMC0））を設定してください。

ポート機能を制御するレジスタの詳細は，**4. 3. 1　ポート・モード・レジスタ0, 4（PM0, PM4），4. 3. 2　ポート・レジスタ0, 4, 12, 13（P0, P4, P12, P13），4. 3. 4　ポート・出力モード・レジスタ0（POM0），4. 3. 5　ポート・モード・コントロール・レジスタ0（PMC0）**を参照してください。

IICA0のクロック入出力（SCLA0端子）端子，シリアル・データ入出力（SDAA0）端子として使用するとき，対応するポート・モード・レジスタ（PM0）とポート・モード・コントロール・レジスタ（PMC0）のビットに”0”を，ポート・レジスタ（P0）とポート・出力モード・レジスタ（POM0）のビットに”1”を設定してください。詳細は，4. 5. 3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

なお，N-chオープン・ドレイン出力（V_{DD}耐圧）モードとして使用するため，抵抗を介して外部デバイスの電源にプルアップします。

13. 4　I²Cバス・モードの機能

13. 4. 1　端子構成

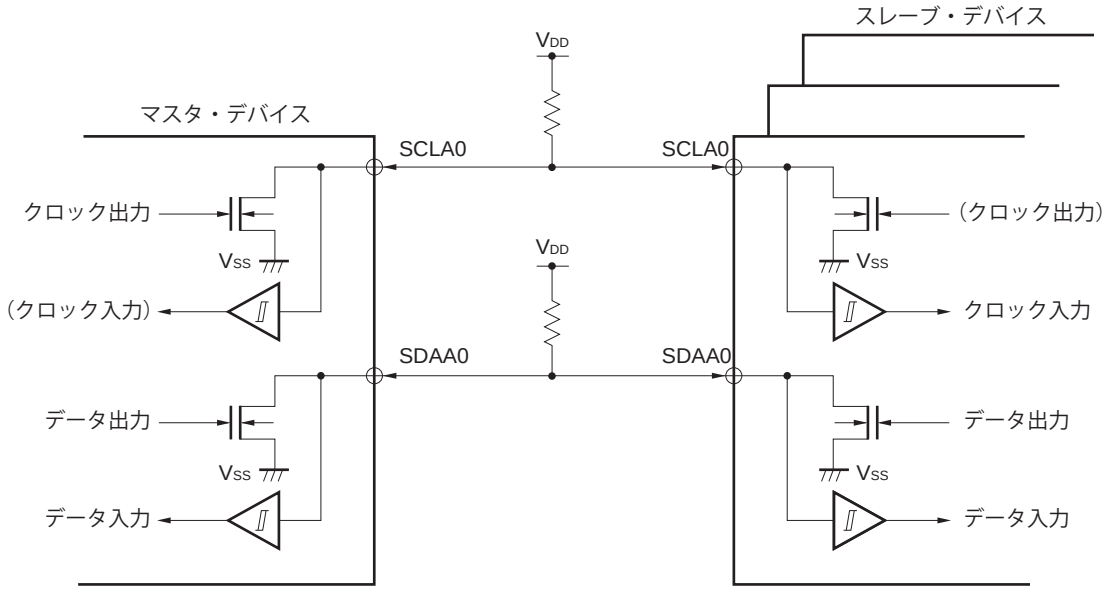
シリアル・クロック端子（SCLA0）と，シリアル・データ・バス端子（SDAA0）の構成は，次のようになっています。

（1）SCLA0……シリアル・クロックを入出力するための端子。
マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

（2）SDAA0……シリアル・データの入出力兼用端子。
マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレインのため，外部にプルアップ抵抗が必要となります。

図13－12　端子構成図



13. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法

（1）マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{CLK}}{IICWL + IICWH + f_{CLK}(t_R + t_F)}$$

このとき，最適なIICWL0レジスタとIICWH0レジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$$IICWL0 = \frac{0.52}{\text{転送クロック}} \times f_{CLK}$$

$$IICWH0 = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

・標準モード時

$$IICWL0 = \frac{0.47}{\text{転送クロック}} \times f_{CLK}$$

$$IICWH0 = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{CLK}$$

（2）スレーブ側のIICWL0, IICWH0レジスタ設定方法
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$IICWL0 = 1.3\ \mu s \times f_{CLK}$

$IICWH0 = (1.2\ \mu s - t_R - t_F) \times f_{CLK}$

・標準モード時

$IICWL0 = 4.7\ \mu s \times f_{CLK}$

$IICWH0 = (5.3\ \mu s - t_R - t_F) \times f_{CLK}$

注意　転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）

標準モード時　：f_{CLK} = 1 MHz（Min.）

備考1.　SDAA0, SCLA0信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。

2.　IICWL0　：IICAロウ・レベル幅設定レジスタ0

IICWH0　：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

t_R　：SDAA0, SCLA0信号の立ち上がり時間

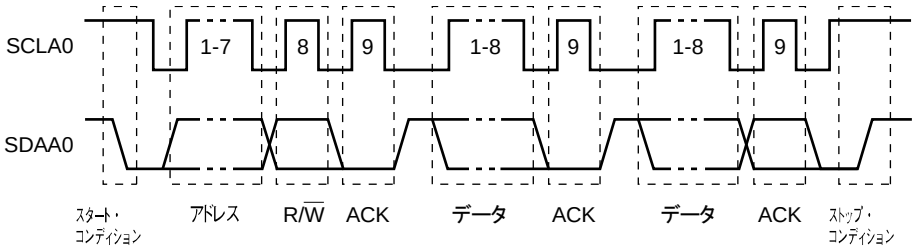
f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

13. 5　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図13－13に示します。

図13－13　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

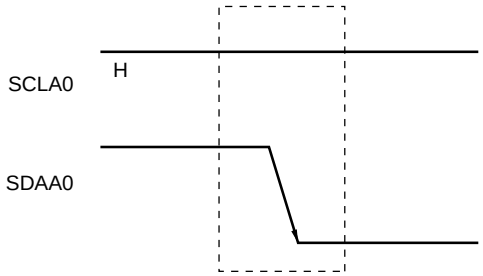
アクノリッジ（ACK）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLA0）は，マスタが出力し続けます。ただし，スレーブはSCLA0端子のロウ・レベル期間を延長し，クロック・ストレッチを挿入できます。

13. 5. 1　スタート・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0端子，SDAA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図13－14　スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPD0：IICAステータス・レジスタ0（IICS0）のビット0 = 1）のときにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0レジスタのビット1（STD0）がセット（1）されます。

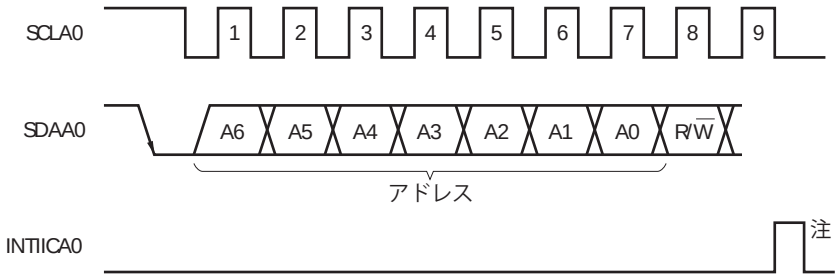
13. 5. 2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタ0（SVA0）と一致しているかを調べます。このとき，7ビット・データとSVA0レジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図13－15　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

アドレスは，スレーブのアドレスと**13. 5. 3　転送方向指定**に説明する転送方向を合わせて，8ビットとしてIICAシフト・レジスタ0（IICA0）に書き込むと出力します。また，受信したアドレスはIICA0レジスタに書き込まれます。

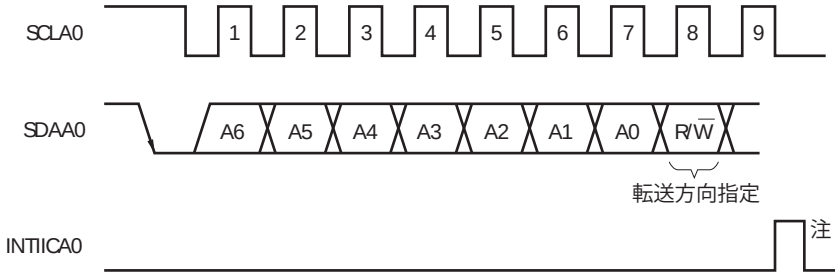
なお，スレーブのアドレスは，IICA0レジスタの上位7ビットに割り当てられます。

13. 5. 3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図13－16　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

13. 5. 4　アクノリッジ（ACK）

アクノリッジ（ACK）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICAステータス・レジスタ0（IICS0）のビット2（ACKD0）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

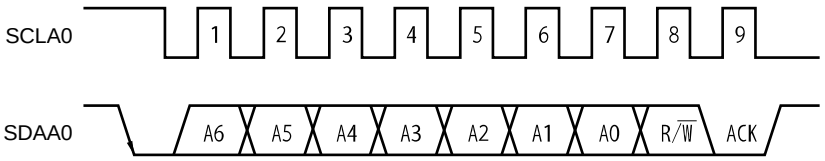
アクノリッジ生成は，受信側が9クロック目にSDAA0ラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタ00（IICCTL00）のビット2（ACKE0）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3（TRC0）が設定されます。受信（TRC0 = 0）の場合は，通常，ACKE0ビットをセット（1）してください。

スレーブ受信動作時（TRC0 = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKE0ビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRC0 = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKE0ビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図13－17　アクノリッジ



自局アドレス受信時は，ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKE0ビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，クロック・ストレッチ・タイミングの設定により次のように異なります。

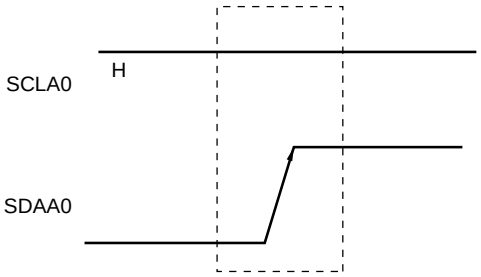
・8クロック目の立ち下がりに設定した場合（IICCTL00レジスタのビット3（WTIM0）　= 0）：
　クロック・ストレッチ解除を行う前にACKE0ビットをセット（1）することによって，SCLA0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
・9クロック目の立ち下がりに設定した場合（IICCTL00レジスタのビット3（WTIM0）　= 1）：
　あらかじめACKE0ビットをセット（1）することによって，アクノリッジを生成します。

13. 5. 5　ストップ・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図13－18　ストップ・コンディション



ストップ・コンディションは，IICAコントロール・レジスタ00（IICCTL00）のビット0（SPT0）をセット（1）すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタ0（IICS0）のビット0（SPD0）がセット（1）され，IICCTL00レジスタのビット4（SPIE0）がセット（1）されている場合にはINTIICA0が発生します。

13. 5. 6　クロック・ストレッチ

クロック・ストレッチによっては，マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLA0端子をロウ・レベルにすることにより，相手にクロック・ストレッチ状態を知らせます。マスタ，スレーブ両方のクロック・ストレッチ状態が解除されると，次の転送を開始できます。

図13－19　クロック・ストレッチ（1/2）

（1）マスタは9クロック目の立ち下がりで，スレーブは8クロック目の立ち下がりで，クロック・ストレッチが発生する場合

（マスタ：送信，スレーブ：受信，ACKE0 = 1）

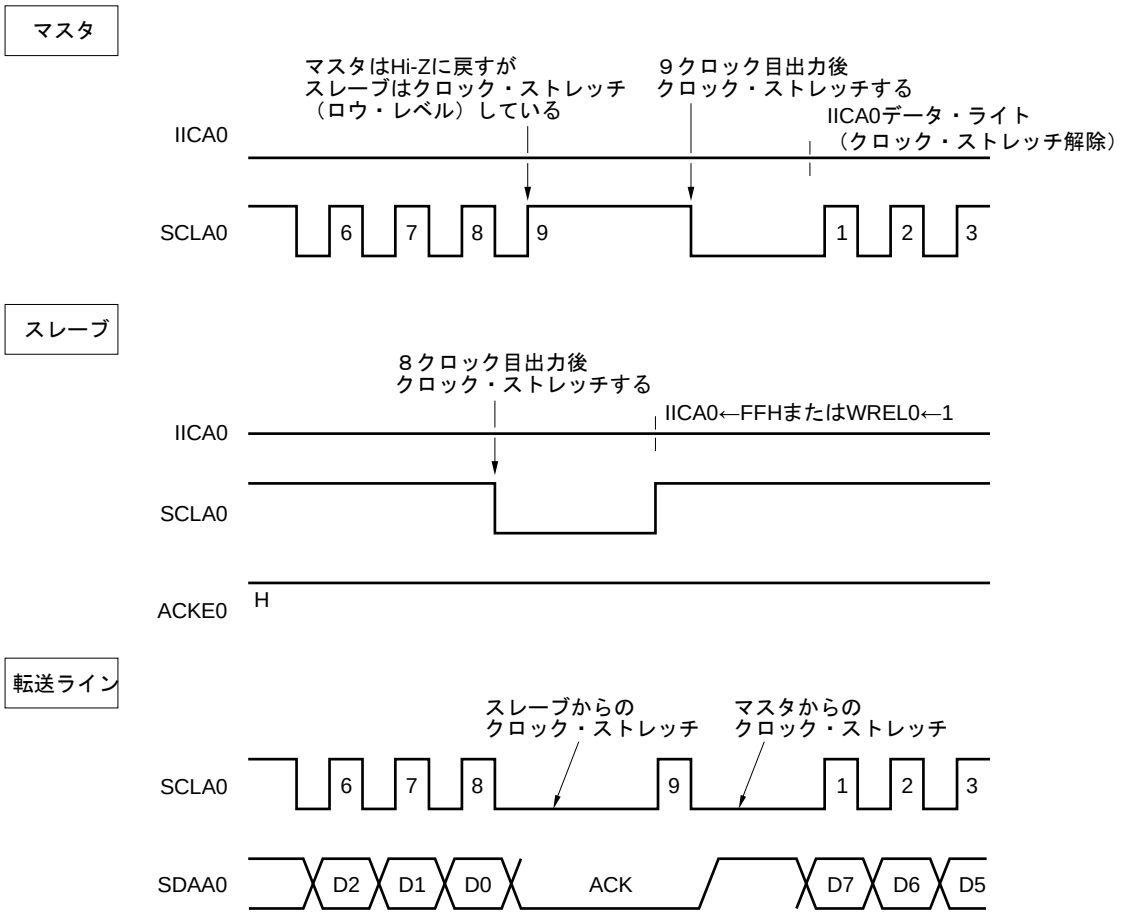
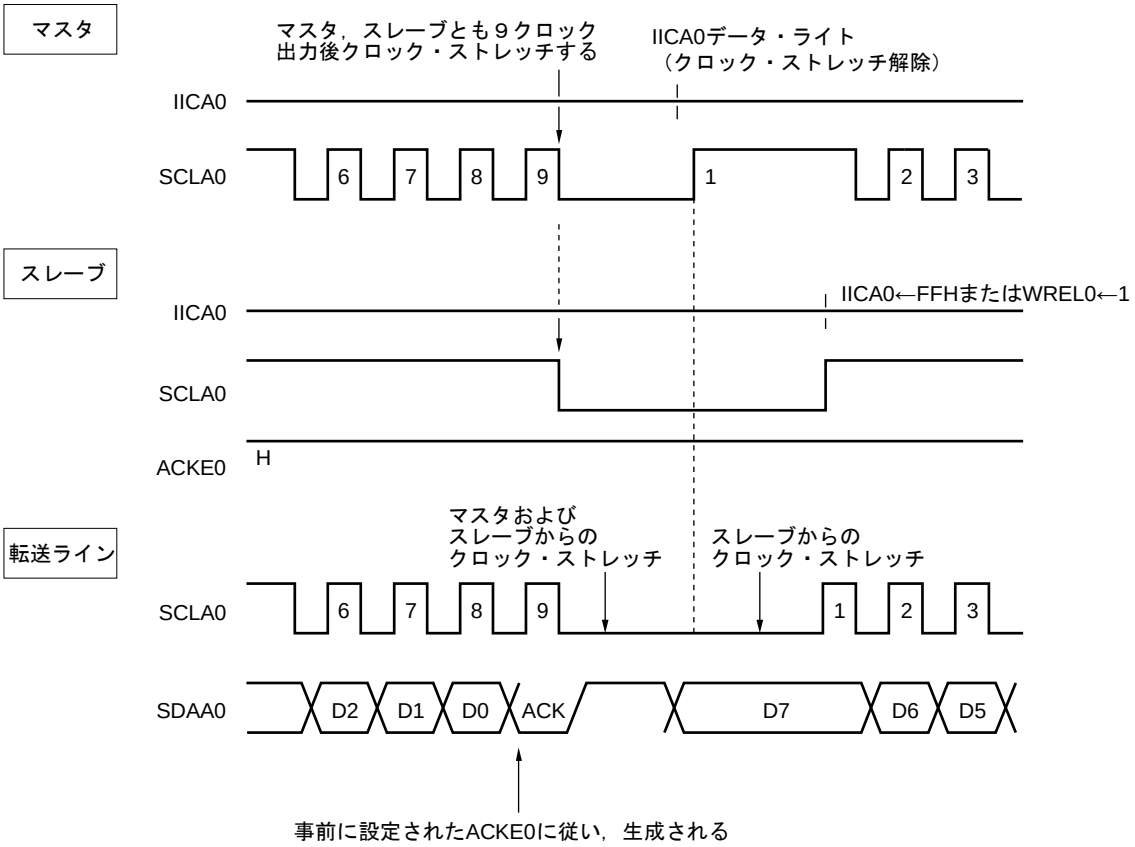


図13－19　クロック・ストレッチ（2/2）

（2）マスタ，スレーブとも9クロック目の立ち下がりでクロック・ストレッチが発生する場合
（マスタ：送信，スレーブ：受信，ACKE0 = 1）



備考　ACKE0　：IICAコントロール・レジスタ00（IICCTL00）のビット2
　　WREL0　：　　〃　　のビット5

クロック・ストレッチは，IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定により自動的に発生します。

通常，受信側はIICCTL00レジスタのビット5（WREL0ビット）＝1またはIICAシフト・レジスタ0（IICA0）にFFHを書き込むとクロック・ストレッチを解除し，送信側はIICA0レジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は，次の方法でもクロック・ストレッチを解除できます。

・IICCTL00レジスタのビット1（STT0）＝1
・IICCTL00レジスタのビット0（SPT0）＝1

13. 5. 7　クロック・ストレッチ解除方法

I²Cでは，通常，次のような処理でクロック・ストレッチを解除できます。

・IICAシフト・レジスタ0（IICA0）へのデータ書き込み
・IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（クロック・ストレッチ解除）
・IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）注
・IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）注

注　I²C通信のマスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合，I²Cはクロック・ストレッチを解除し，通信が再開されます。

クロック・ストレッチを解除してデータ（アドレスを含む）を送信する場合には，IICA0レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTL00レジスタのビット5（WREL0）をセット（1）してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には，IICCTL00レジスタのビット1（STT0）をセット（1）してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には，IICCTL00レジスタのビット0（SPT0）をセット（1）してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば，WREL0ビットにセット（1）によるクロック・ストレッチ解除後，IICA0レジスタへのデータ書き込みを実施した場合には，SDAA0ラインの変化タイミングとIICA0レジスタへの書き込みタイミングの競合により，SDAA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICE0ビットをクリア（0）すると通信を停止するので，クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTL00レジスタのビット6（LREL0）をセット（1）すると通信から退避するので，クロック・ストレッチを解除できます。

注意　WUP0 = 1のときにクロック・ストレッチ解除処理を実行した場合，クロック・ストレッチは解除されません。

13. 5. 8　割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御

IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定で，表13－2に示すタイミングでINTIICA0が発生し，また，クロック・ストレッチ制御を行います。

表13－2　INTIICA0発生タイミングおよびクロック・ストレッチ制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1. スレーブのINTIICA0信号およびクロック・ストレッチは，スレーブ・アドレス・レジスタ0（SVA0）に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCTL00レジスタのビット2（ACKE0）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICA0を発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICA0を発生しますが，クロック・ストレッチは発生しません。

2. スレーブ・アドレス・レジスタ0（SVA0）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICA0もクロック・ストレッチも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

（1）アドレス送受信時

・スレーブ動作時：WTIM0ビットにかかわらず，上記の注1, 2の条件により，割り込みおよびクロック・ストレッチ・タイミングが決まります。
・マスタ動作時　：WTIM0ビットにかかわらず，割り込みおよびクロック・ストレッチ・タイミングは，9クロック目の立ち下がりで発生します。

（2）データ受信時

・マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

（3）データ送信時

・マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

（4）クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

・IICAシフト・レジスタ0（IICA0）へのデータ書き込み

・IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（クロック・ストレッチ解除）

・IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）注

・IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

クロック・ストレッチ・タイミングを8クロック目の立ち下がり（WTIM0=0）に設定した場合，クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

（5）ストップ・コンディション検出

INTIICA0は，ストップ・コンディションを検出すると発生します（SPIE0 = 1のときのみ）。

13. 5. 9　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ0（SVA0）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICA0割り込み要求が発生します。

13. 5. 10　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDAA0）の状態が，送信しているデバイスのIICAシフト・レジスタ0（IICA0）にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

13. 5. 11　拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として，拡張コード受信フラグ（EXC0）をセット（1）し，8クロック目の立ち下がりで割り込み要求（INTIICA0）を発生します。
スレーブ・アドレス・レジスタ0（SVA0）に格納された自局アドレスは影響しません。

(2) SVA0レジスタに“11110xx0”を設定されているときに，10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICA0）は，8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致：EXC0 = 1
・7ビット・データの一致　　：COI0 = 1

備考　EXC0　　：IICAステータス・レジスタ0（IICS0）のビット5
　　COI0　　：　　〃　　のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0）= 1に設定してください。次の通信待機状態にします。

表13－3　主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説　明
0000　000	0	ジェネラル・コール・アドレス
1111　0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111　0xx	1	10ビット・スレーブ・アドレス指定（アドレス一致後，リード・コマンド発行時）

備考　上記以外の拡張コードについては，NXP社発行のI²Cバスの仕様書を参照してください。

13. 5. 12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STD0 = 1になる前にSTT0 = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICAステータス・レジスタ0（IICS0）のアービトレーション負けフラグ（ALD0）をセット（1）し，SCLA0, SDAA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては，**13. 5. 8　割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御**を参照してください。

備考　STD0　：IICAステータス・レジスタ0（IICS0）のビット1
　　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1

図13－20　アービトレーション・タイミング例

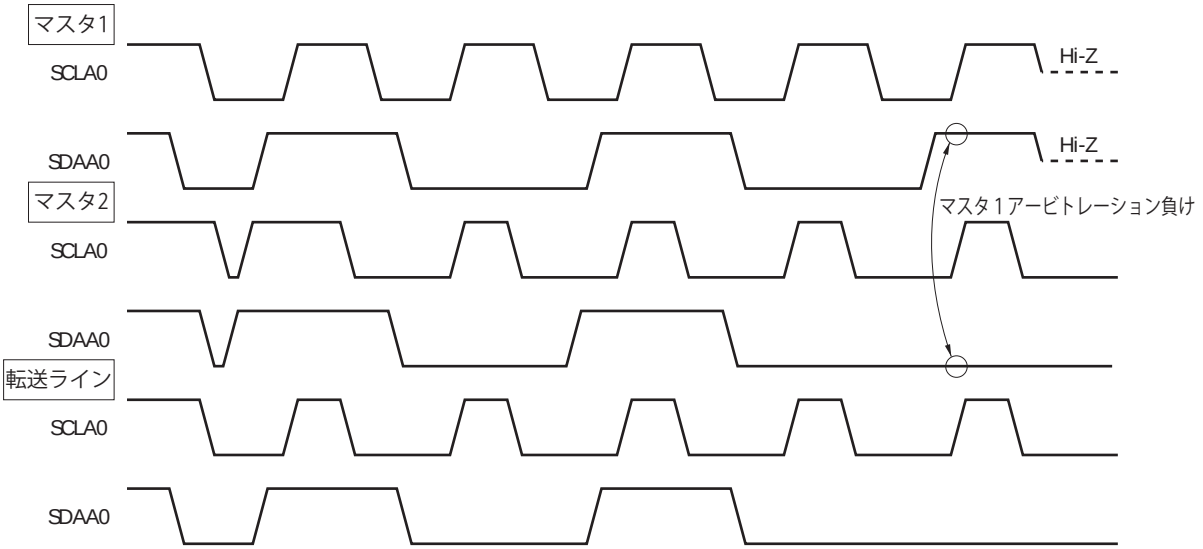


表13－4　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLA0がロウ・レベル	

注1.　WTIM0ビット（IICAコントロール・レジスタ00（IICCTL00）のビット3）= 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2.　アービトレーションが起こる可能性がある場合，マスタ動作ではSPIE0 = 1に設定してください。

備考　SPIE0：IICAコントロール・レジスタ00（IICCTL00）のビット 4

13. 5. 13　ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生する機能です。

アドレスが一致しないときは不要なINTIICA0信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

STOPモード状態時にウエイク・アップ機能を使用する場合には，WUP0 = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生します。この割り込み発生後に命令でWUP0ビットをクリア（0）することで通常動作に戻ります。

WUP0 = 1に設定する場合のフローを図13－21に，アドレス一致によりWUP0 = 0に設定する場合のフローを図13－22に示します。

図13－21　WUP0 = 1を設定する場合のフロー

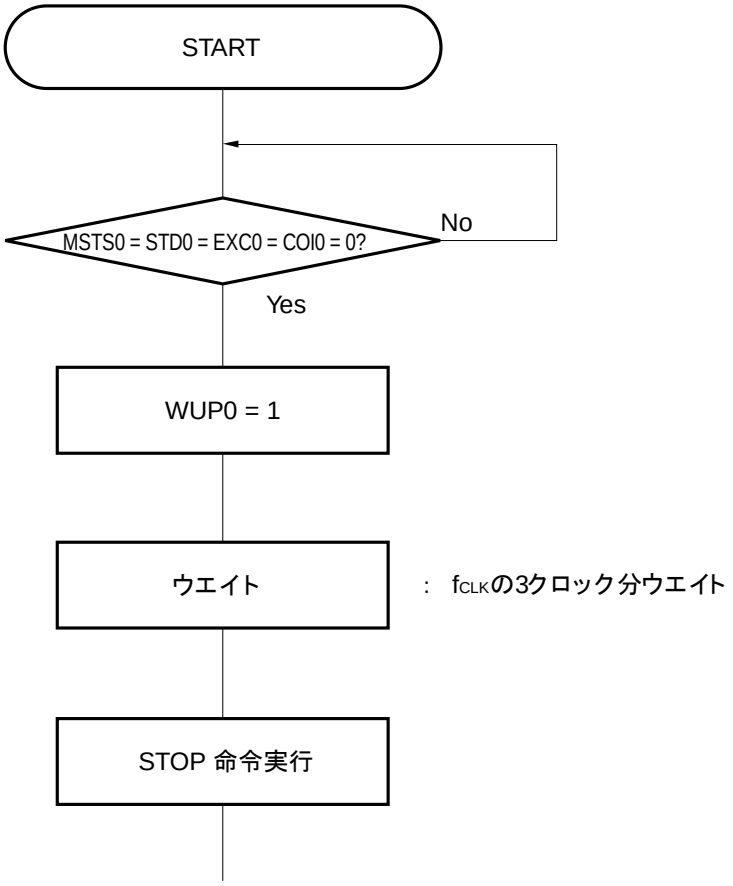
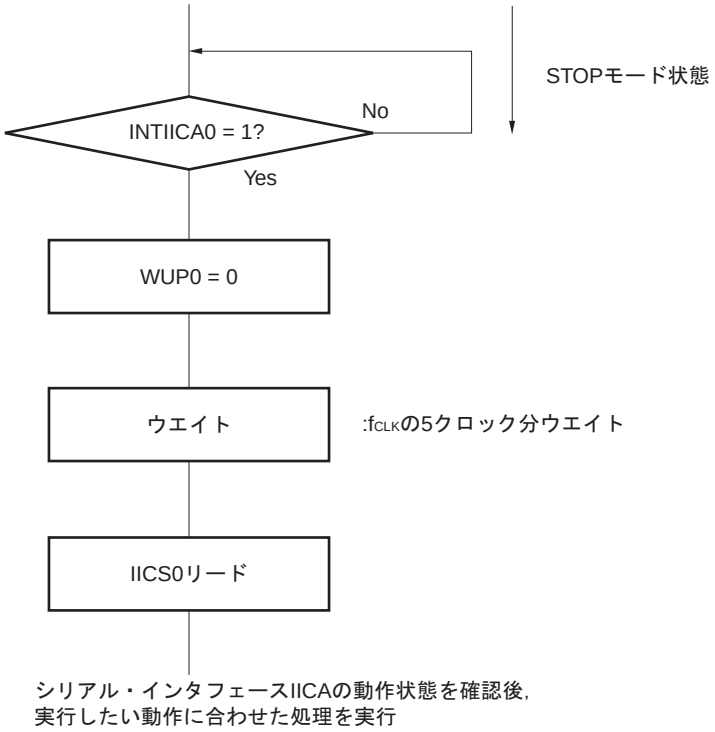


図13－22　アドレス一致によりWUP0 = 0に設定する場合のフロー（拡張コード受信含む）



また，シリアル・インタフェースIICAからの割り込み要求（INTIICA0）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

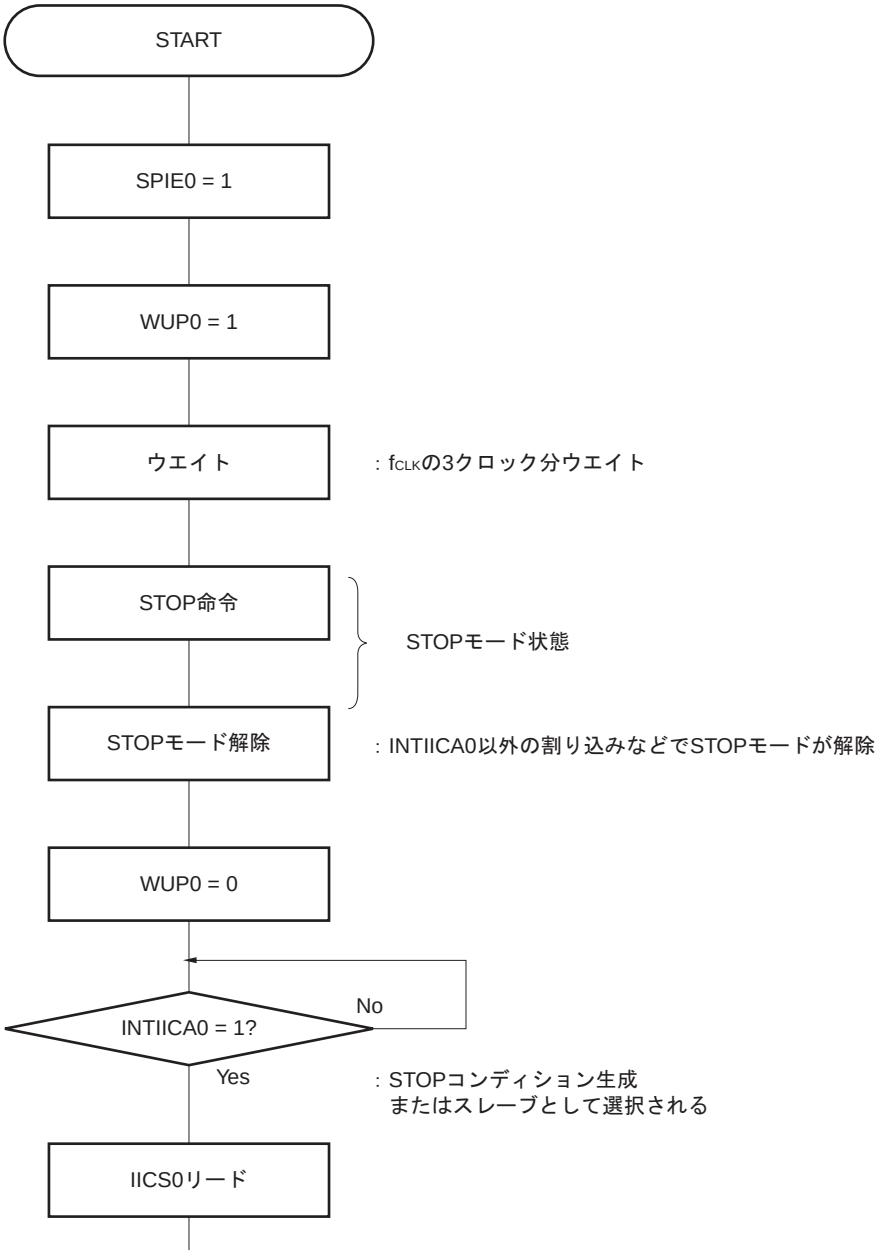
・次のIIC通信をマスタとして動作させる場合　：図13－23のフロー

・次のIIC通信をスレーブとして動作させる場合：

INTIICA0割り込みで復帰した場合：　図13－22のフローと同じになります。

INTIICA0割り込み以外の割り込みで復帰した場合：INTIICA0割り込みが発生するまで WUP0=1のまま動作を継続してください。

図13－23　INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を
確認後，実行したい動作に合わせた処理を実行

13. 5. 14　通信予約

（1）通信予約機能許可の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）　= 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0）　= 1で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTL00レジスタのビット1（STT0）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTL00レジスタのビット4（SPIE0）をセット（1）し，割り込み要求信号（INTIICA0）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICAシフト・レジスタ0（IICA0）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICA0レジスタに書き込まれたデータは，無効です。

STT0ビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

・バスが解放されているとき……スタート・コンディション生成
・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STT0ビットをセット（1）し，ウエイト時間をとったあと，MSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）で確認します。

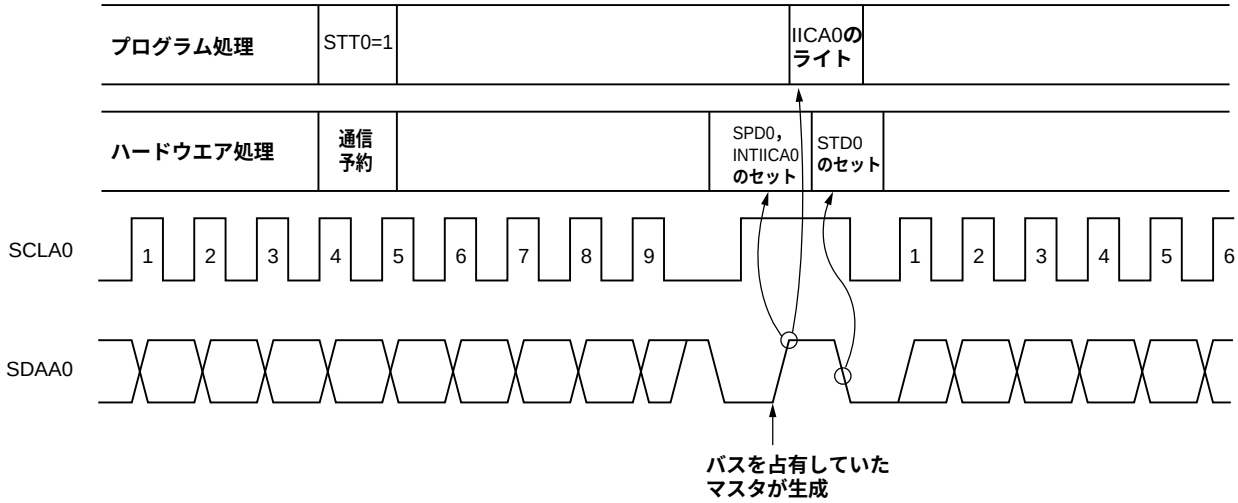
ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

STT0 = 1からMSTS0フラグ確認までのウエイト時間（f_{CLK}のクロック数）： （IICWL0の設定値＋IICWH0の設定値＋4）＋t_F×2×f_{CLK}［クロック］

備考　IICWL0　：IICAロウ・レベル幅設定レジスタ0
IICWH0　：IICAハイ・レベル幅設定レジスタ0
t_F　：SDAA0, SCLA0信号の立ち下がり時間
f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

通信予約のタイミングを図13－24に示します。

図13－24　通信予約のタイミング



備考　IICA0 ：IICAシフト・レジスタ0

STT0 ：IICAコントロール・レジスタ00（IICCTL00）のビット1

STD0 ：IICAステータス・レジスタ0（IICS0）のビット1

SPD0 ：　　〃　　のビット0

通信予約は図13－25に示すタイミングで受け付けられます。IICAステータス・レジスタ0（IICS0）のビット1（STD0） = 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0） = 1で通信予約をします。

図13－25　通信予約受け付けタイミング

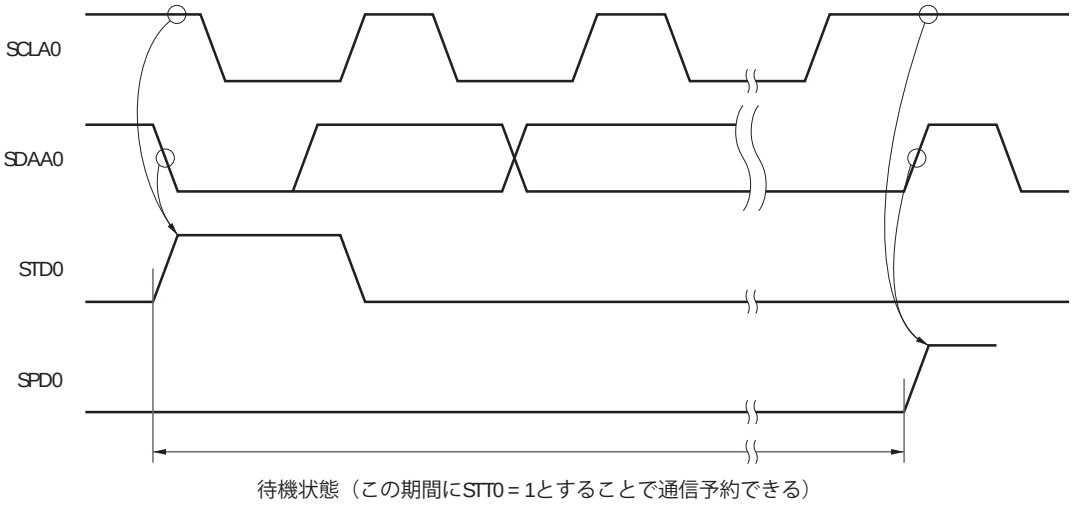
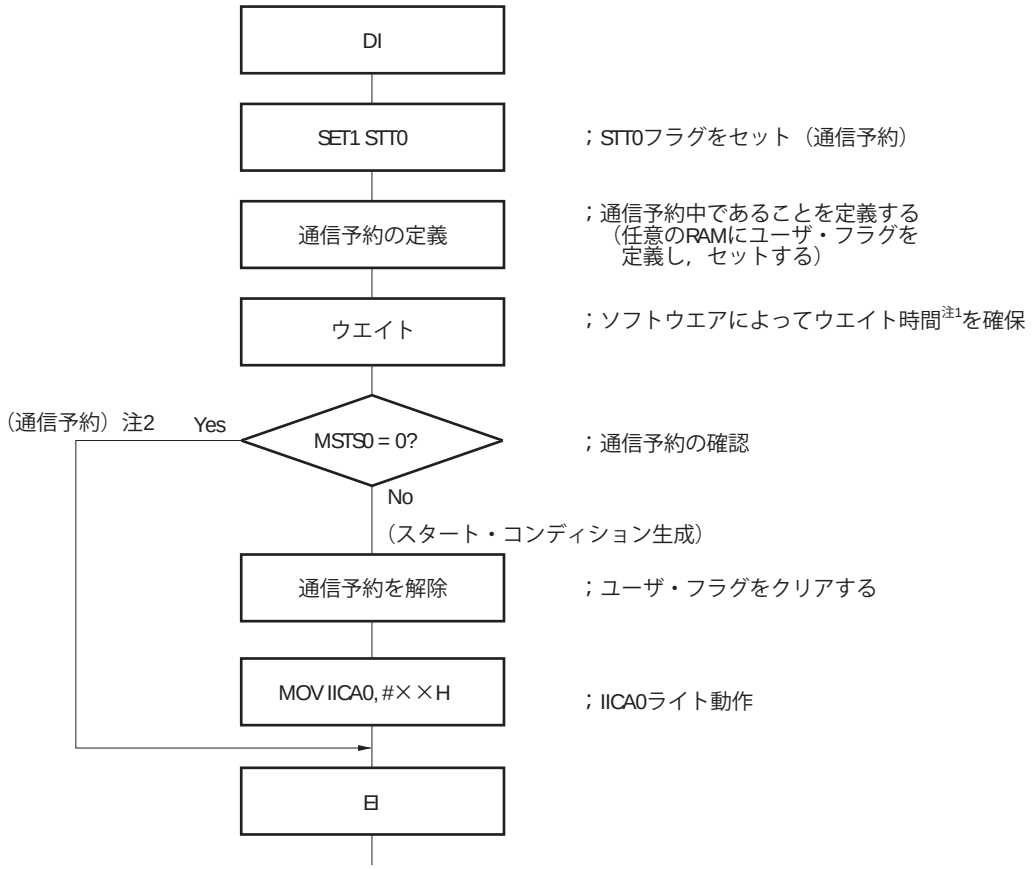


図13－26に通信予約の手順を示します。

図13－26　通信予約の手順



注1.　ウエイト時間（f_{CLK}のクロック数）は次のようになります。
（IICWL0の設定値＋IICWH0の設定値＋4）＋t_F×2×f_{CLK}［クロック］

2.　通信予約動作時は，ストップ・コンディション割り込み要求でIICAシフト・レジスタ0（IICA0）への書き込みを実行します。

備考　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1
MSTS0：IICAステータス・レジスタ0（IICS0）のビット7
IICA0　：IICAシフト・レジスタ0
IICWL0：IICAロウ・レベル幅設定レジスタ0
IICWH0：IICAハイ・レベル幅設定レジスタ0
t_F　：SDAA0, SCLA0信号の立ち下がり時間
f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

（2）通信予約機能禁止の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）　= 1）

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTL00レジスタのビット6（LREL0）　= 1で通信退避してバスを解放した）とき。

スタート・コンディションが生成されたかまたは拒絶されたかは，STCF0（IICF0レジスタのビット7）で確認できます。STT0 = 1としてからSTCF0がセット（1）されるまで5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

13. 5. 15　その他の注意事項

（1）STCEN0 = 0の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず通信状態（IICBSY0 = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタ01（IICCTL01）を設定する
② IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）をセット（1）する
③ IICCTL00レジスタのビット0（SPT0）をセット（1）する

（2）STCEN0 = 1の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを生成（STT0 = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

（3）すでに他者との間でI²C通信が行われている場合

SDAA0端子がロウ・レベルで，かつSCLA0端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²CのマクロはSDAA0端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTL00レジスタのビット4（SPIE0）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICA0）発生を禁止する
② IICCTL00レジスタのビット7（IICE0）をセット（1）し，I²Cの動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICE0ビットをセット（1）してから，4～72クロック中）に，IICCTL00レジスタのビット6（LREL0）をセット（1）にし，強制的に検出を無効とする

（4）STT0, SPT0ビット（IICCTL00レジスタのビット1, 0）をセットしたあと，クリア（0）される前の再セットは禁止します。

（5）送信予約をした場合には，SPIE0ビット（IICCTL00レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタ0（IICA0）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）を検出する場合には，SPIE0ビットをセット（1）する必要はありません。

13. 5. 16　通信動作

ここでは，次の3つの動作手順をフローとして示します。

（1）シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

（2）マルチマスタ・システムでのマスタ動作

I^2Cバスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI^2Cバスの仕様だけでは判断できません。ここでは，一定（1フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

（3）スレーブ動作

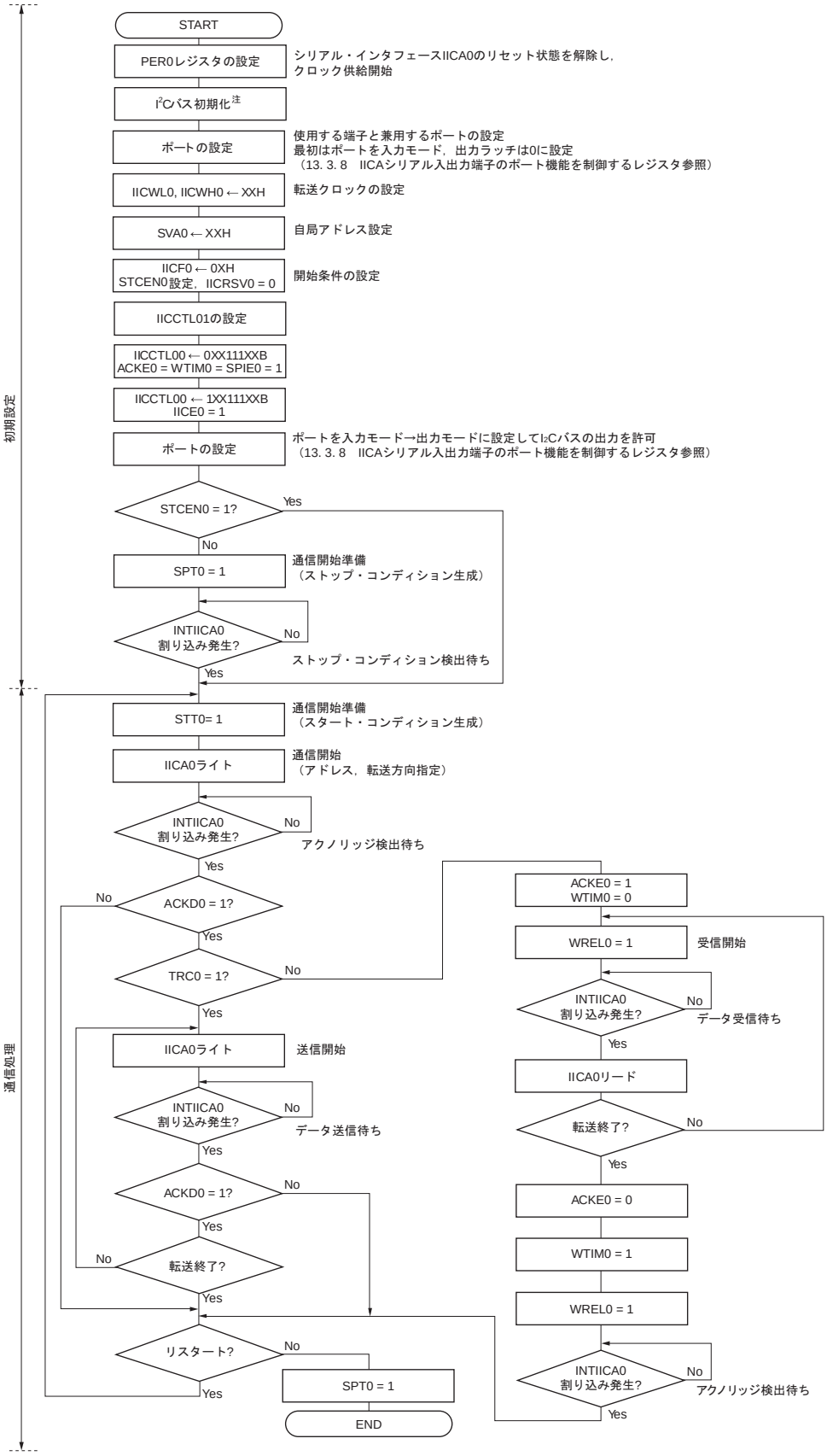
I^2Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICA0割り込みの発生を待ちます。INTIICA0割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

（1）シングルマスタ・システムでのマスタ動作

図13－27　シングルマスタ・システムでのマスタ動作



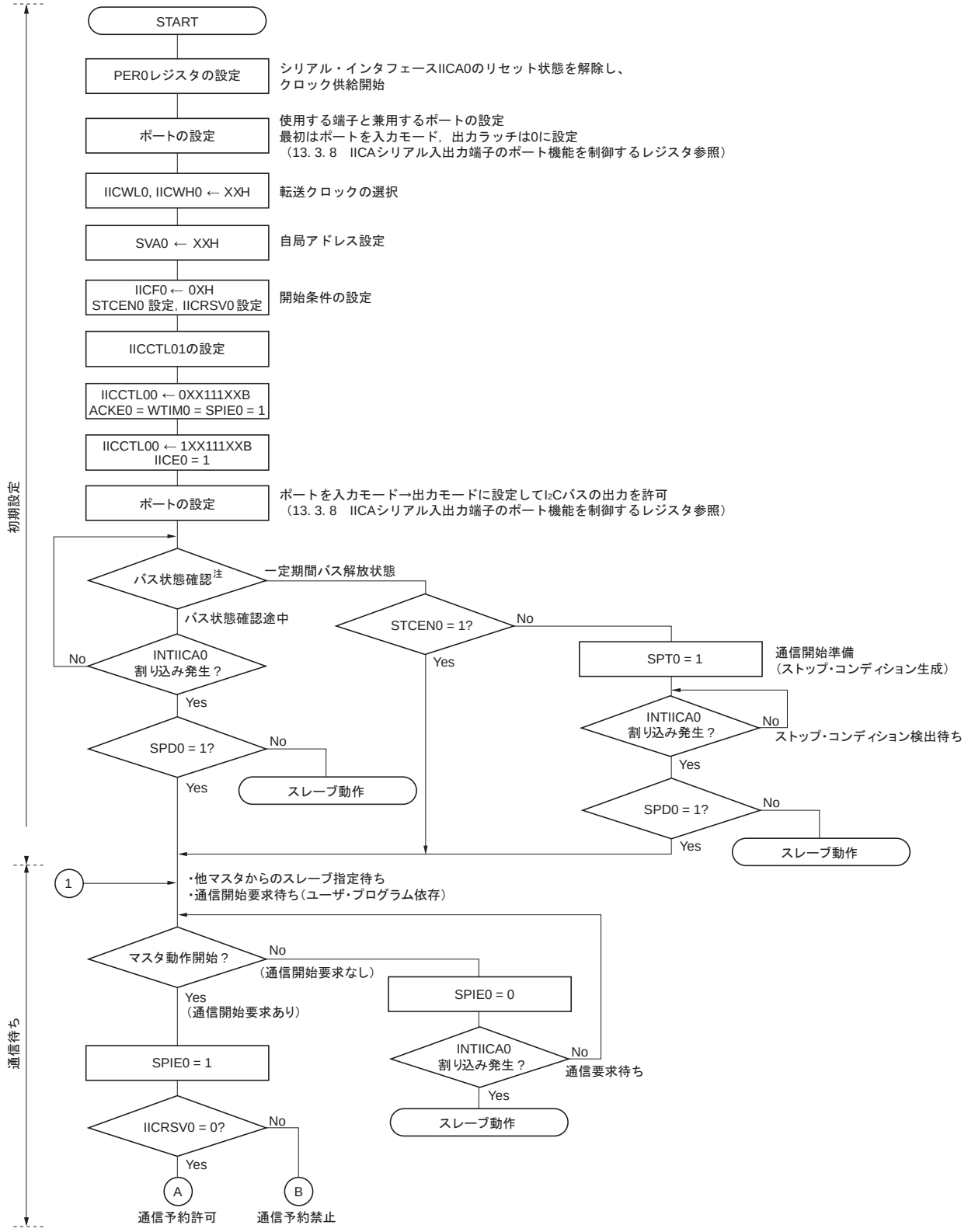
（注，備考は次ページにあります。）

注　通信している製品の仕様に準拠し，I²Cバスを解放（SCLA0, SDAA0端子 = ハイ・レベル）してください。たとえば，EEPROMがSDAA0端子にロウ・レベルを出力した状態であれば，SCLA0端子を出力ポートに設定し，SDAA0端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考　送信および受信フォーマットは，通信している製品の仕様に準拠してください。

（2）マルチマスタ・システムでのマスタ動作

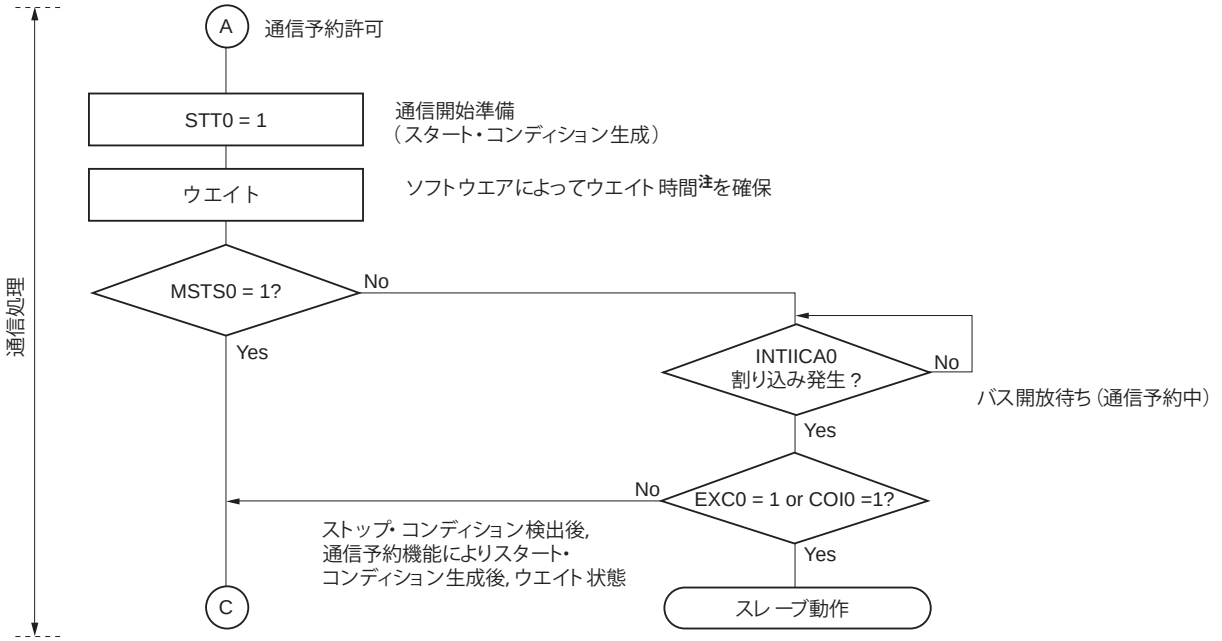
図13－28　マルチマスタ・システムでのマスタ動作（1/3）



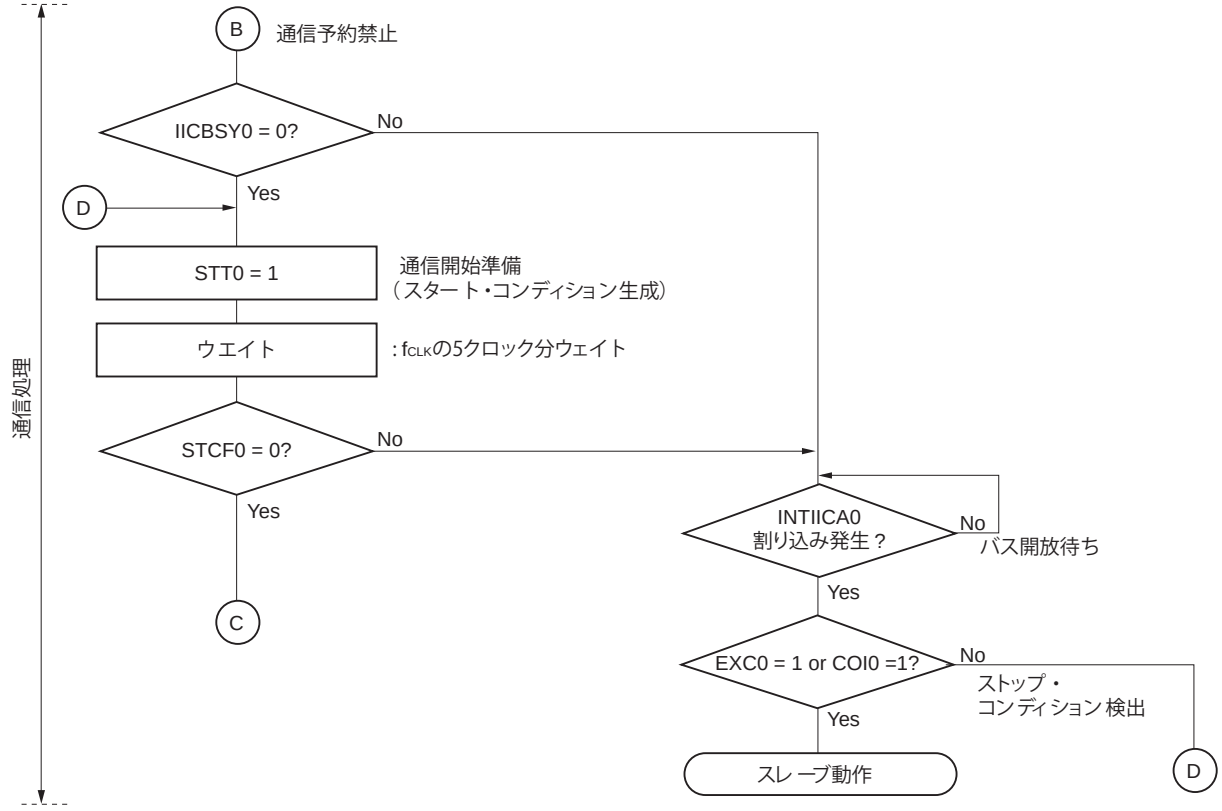
（注は次ページにあります。）

注　一定期間（たとえば1フレーム分），バス解放状態（CLD0ビット = 1, DAD0ビット = 1）であることを確認してください。定常的にSDAA0端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I^2Cバスを解放（SCLA0, SDAA0端子 = ハイ・レベル）するか判断してください。

図13－28　マルチマスタ・システムでのマスタ動作（2/3）

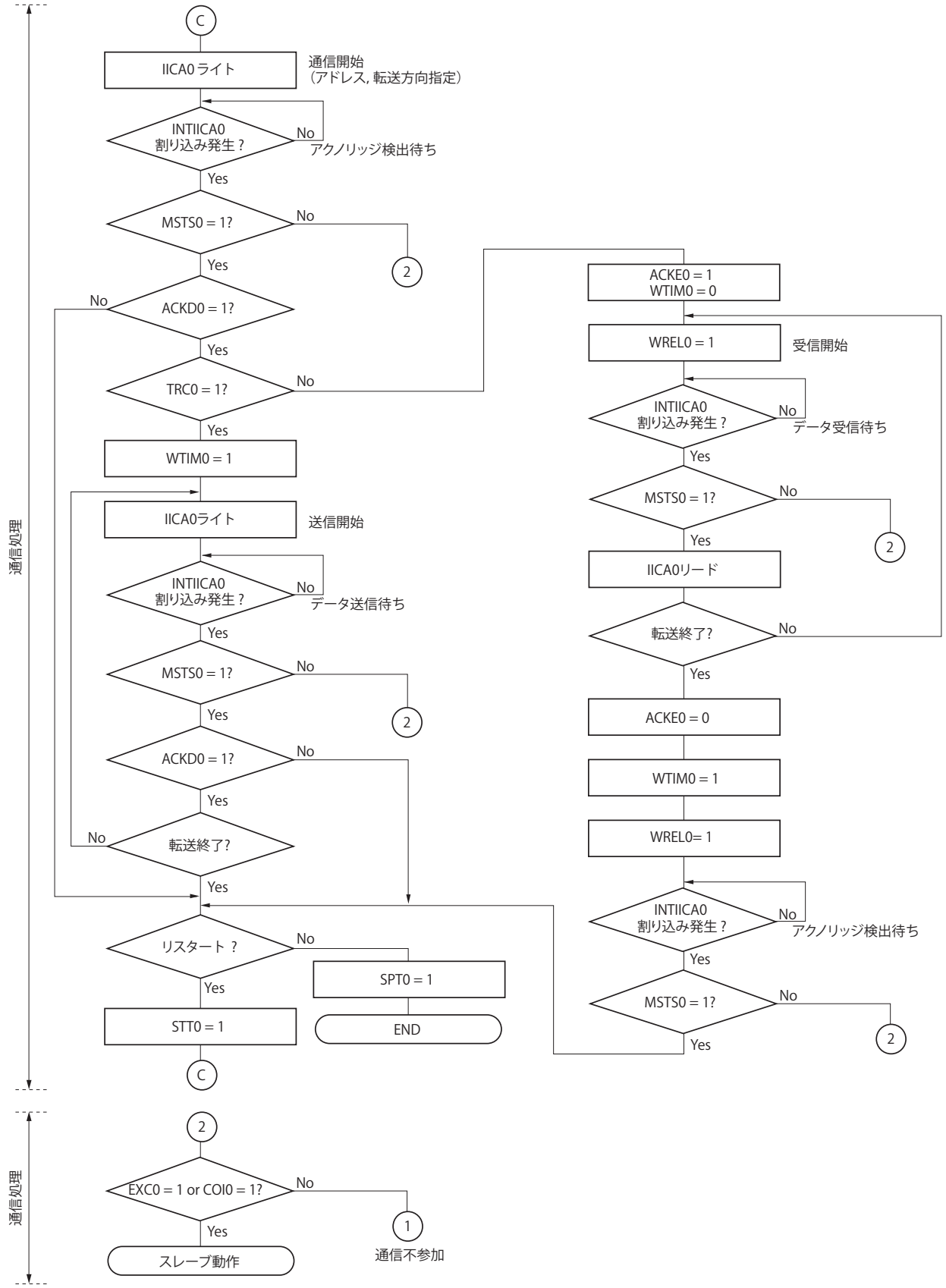


注　ウエイト時間（f_{CLK}のクロック数）は次のようになります。
（IICWL0の設定値＋IICWH0の設定値＋4）／f_{CLK}＋t_F×2



備考　IICWL0　：IICAロウ・レベル幅設定レジスタ0
IICWH0　：IICAハイ・レベル幅設定レジスタ0
t_F　：SDAA0, SCLA0信号の立ち下がり時間
f_{CLK}　：CPU／周辺ハードウエア・クロック周波数

図13－28　マルチマスタ・システムでのマスタ動作（3/3）



（備考は次ページにあります。）

備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

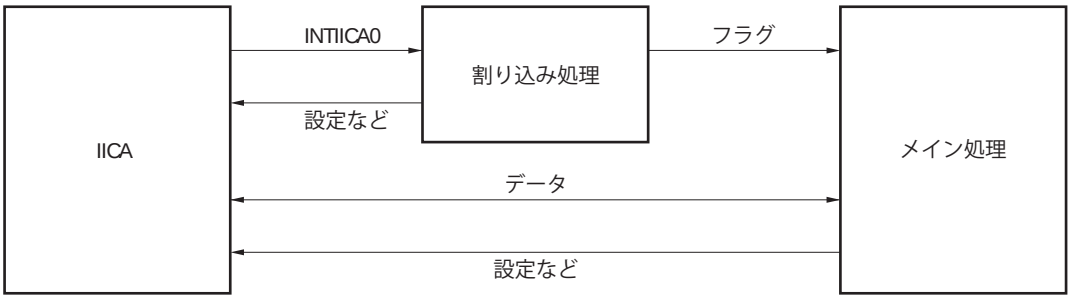
3. マルチマスタ・システムでスレーブとして使用する場合は，INTIICA0割り込み発生ごとにIICAステータス・レジスタ0（IICS0），IICAフラグ・レジスタ0（IICF0）でステータスを確認して次に行う処理を決定してください。

（3）スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICA0割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICA0割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の3つのフラグを準備し，これをINTIICA0の代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

・クリア・モード：データ通信を行っていない状態

・通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICA0割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRC0ビットの値と同じです。

次にスレーブ動作でのメイン処理部の動作を示します。

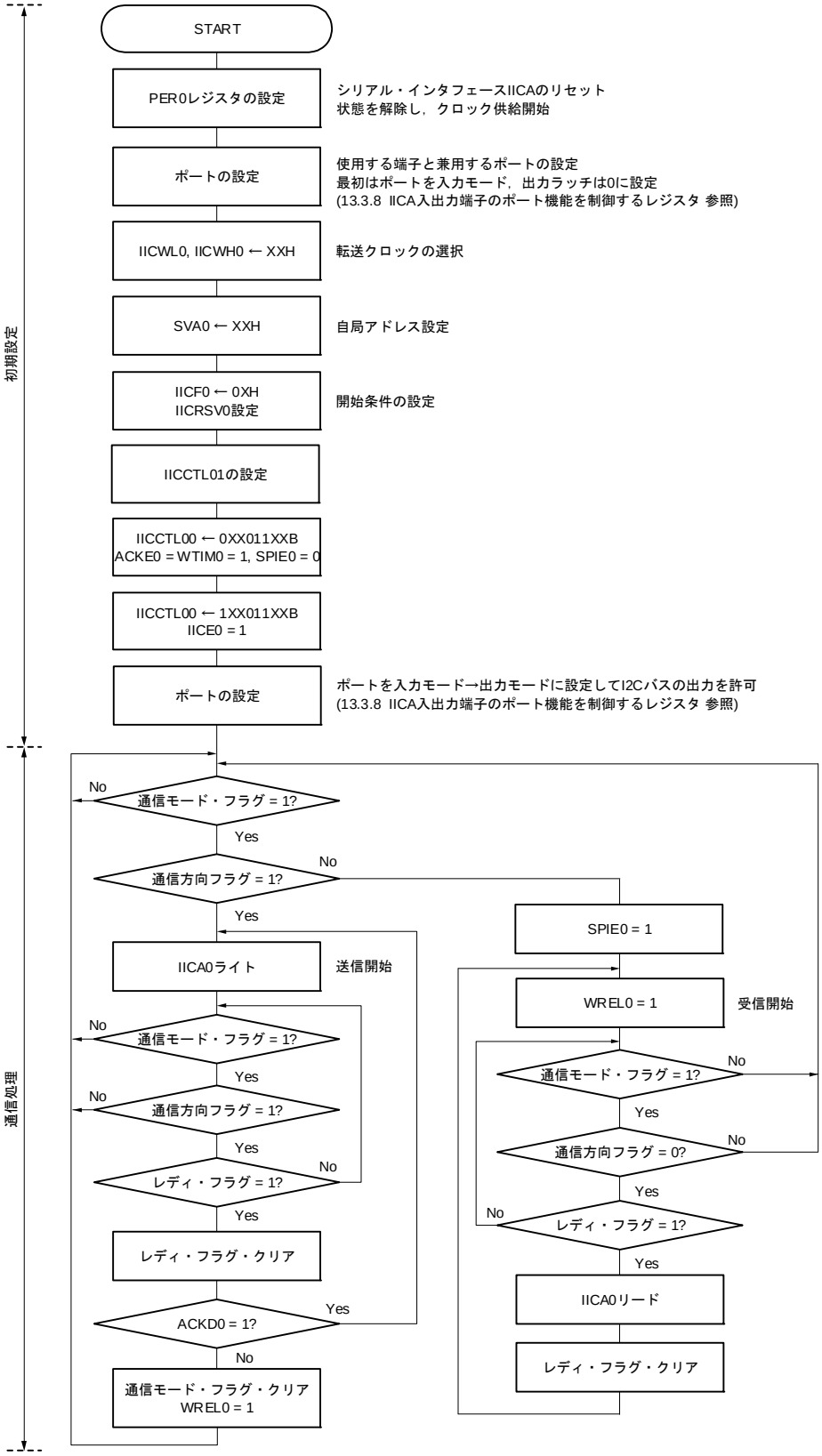
シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図13－29　スレーブ動作手順（1）

★



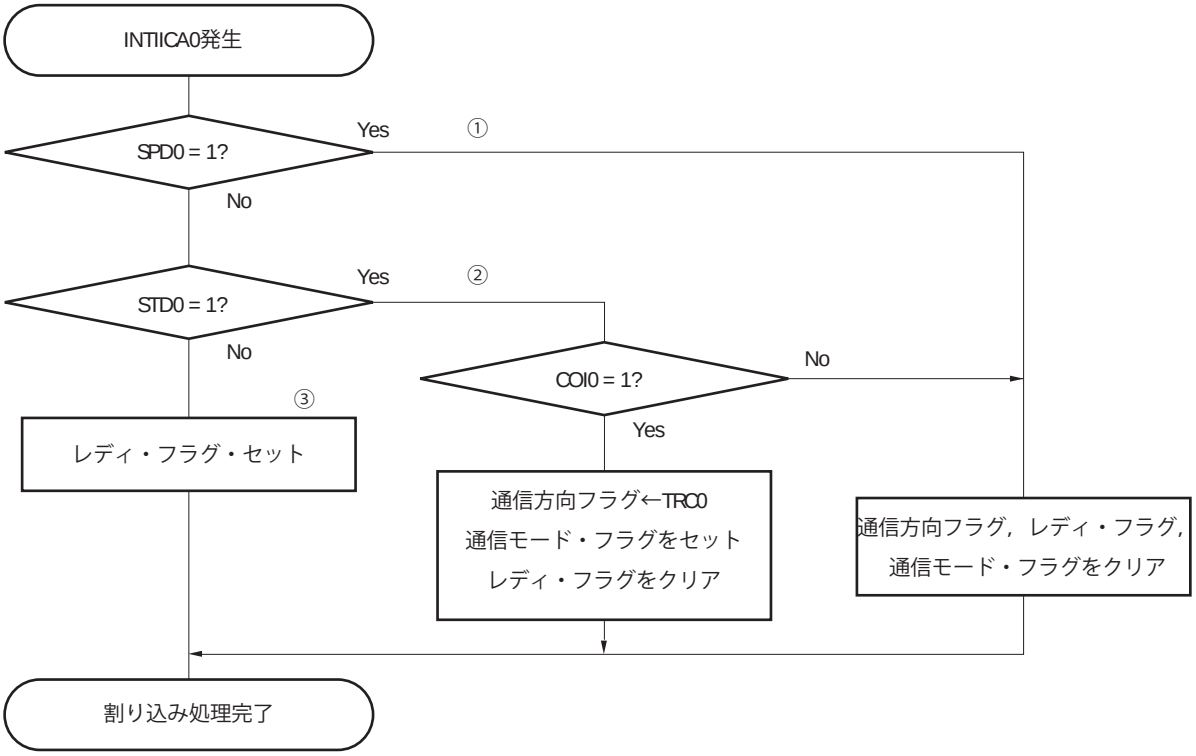
備考　送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0割り込みではステータスを確認して，次のように行います。

① ストップ・コンディションの場合，通信を終了します。
② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。
③ データ送受信の場合，レディ・フラグをセットするだけで，I²Cバスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，**図13－30　スレーブ動作手順（2）**の①～③と対応しています。

図13－30　スレーブ動作手順（2）



13. 5. 17　I²C割り込み要求（INTIICA0）の発生タイミング

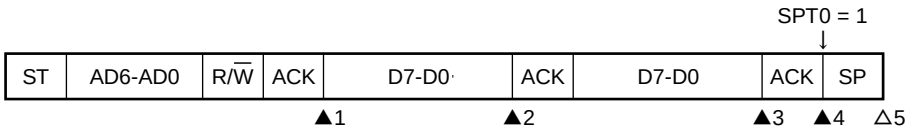
次に，データの送受信，INTIICA0割り込み要求信号発生タイミングと，INTIICA0信号タイミングでのIICAステータス・レジスタ0（IICS0）の値を示します。

備考　ST　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　：転送方向指定
ACK　：アクノリッジ
D7-D0　：データ
SP　：ストップ・コンディション

（1）マスタ動作

（a）Start～Address～Data～Data～Stop（送受信）

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000x000B

▲3：IICS0 = 1000x000B（WTIM0ビットをセット（1））注

▲4：IICS0 = 1000xx00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

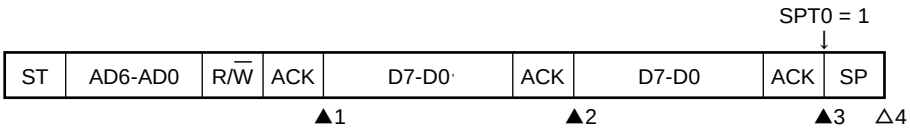
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000x100B

▲3：IICS0 = 1000xx00B（SPT0ビットをセット（1））

△4：IICS0 = 00000001B

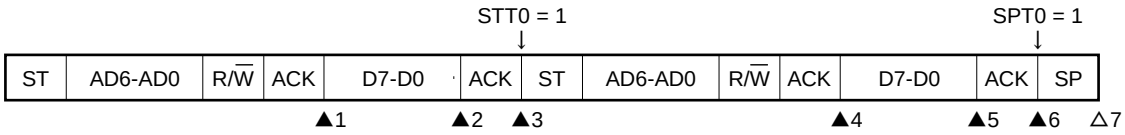
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（b）Start～Address～Data～Start～Address～Data～Stop（リスタート）

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000x000B（WTIM0ビットをセット（1）注1）

▲3：IICS0 = 1000xx00B（WTIM0ビットをクリア（0）注2，STT0ビットをセット（1））

▲4：IICS0 = 1000x110B

▲5：IICS0 = 1000x000B（WTIM0ビットをセット（1）注3）

▲6：IICS0 = 1000xx00B（SPT0ビットをセット（1））

△7：IICS0 = 00000001B

注1. スタート・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために，WTIM0ビットをクリア（0）してください。

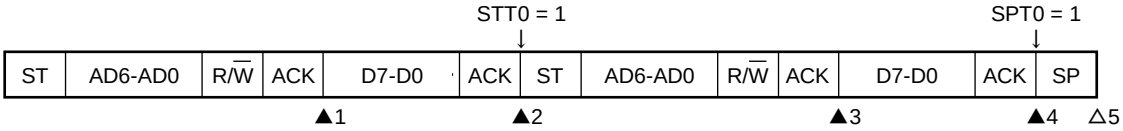
3. ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考 ▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000xx00B（STT0ビットをセット（1））

▲3：IICS0 = 1000x110B

▲4：IICS0 = 1000xx00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

備考 ▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（c）Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIM0 = 0のとき

▲1：IICS0 = 1010x110B

▲2：IICS0 = 1010x000B

▲3：IICS0 = 1010x000B（WTIM0ビットをセット（1）注）

▲4：IICS0 = 1010xx00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

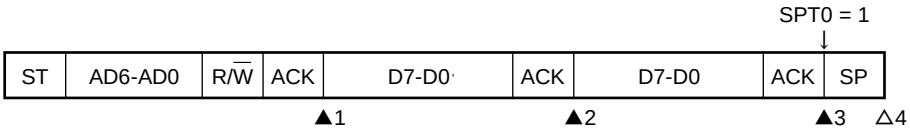
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1010x110B

▲2：IICS0 = 1010x100B

▲3：IICS0 = 1010xx00B（SPT0ビットをセット（1））

△4：IICS0 = 00000001B

備考　▲　必ず発生

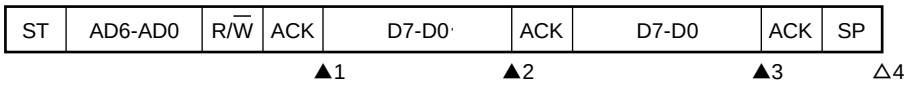
△　SPIE0 = 1のときだけ発生

x　任意

（2）スレーブ動作（スレーブ・アドレス受信時）

（a）Start～Address～Data～Data～Stop

（i）WTIM0 = 0のとき



▲1：IICS0 = 0001x110B

▲2：IICS0 = 0001x000B

▲3：IICS0 = 0001x000B

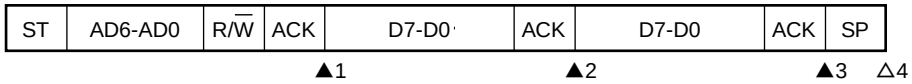
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0001x110B

▲2：IICS0 = 0001x100B

▲3：IICS0 = 0001xx00B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（b）Start～Address～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，SVA0一致）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1	▲2					▲3	▲4	△5

▲1：IICS0 = 0001x110B

▲2：IICS0 = 0001x000B

▲3：IICS0 = 0001x110B

▲4：IICS0 = 0001x000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき（リスタート後，SVA0一致）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1		▲2				▲3	▲4	△5

▲1：IICS0 = 0001x110B

▲2：IICS0 = 0001xx00B

▲3：IICS0 = 0001x110B

▲4：IICS0 = 0001xx00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（c）Start～Address～Data～Start～Code～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード））

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1	▲2				▲3		▲4	△5

▲1：IICS0 = 0001x110B

▲2：IICS0 = 0001x000B

▲3：IICS0 = 0010x010B

▲4：IICS0 = 0010x000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード））

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1		▲2			▲3	▲4	▲5	△6

▲1：IICS0 = 0001x110B

▲2：IICS0 = 0001xx00B

▲3：IICS0 = 0010x010B

▲4：IICS0 = 0010x110B

▲5：IICS0 = 0010xx00B

△6：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（d）Start～Address～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

▲1：IICS0 = 0001x110B

▲2：IICS0 = 0001x000B

▲3：IICS0 = 00000x10B

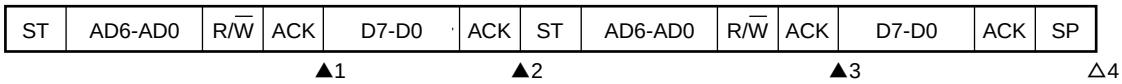
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 0001x110B

▲2：IICS0 = 0001xx00B

▲3：IICS0 = 00000x10B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

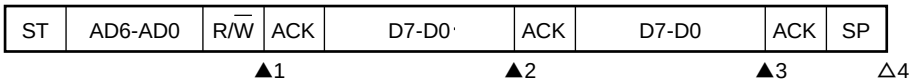
x　任意

（3）スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています

（a）Start～Code～Data～Data～Stop

（i）WTIM0 = 0のとき



▲1：IICS0 = 0010x010B

▲2：IICS0 = 0010x000B

▲3：IICS0 = 0010x000B

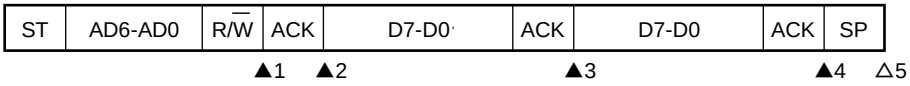
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0010x010B

▲2：IICS0 = 0010x110B

▲3：IICS0 = 0010x100B

▲4：IICS0 = 0010xx00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（b）Start～Code～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，SVA0一致）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
			▲1		▲2					▲3	▲4	△5

▲1：IICS0 = 0010x010B

▲2：IICS0 = 0010x000B

▲3：IICS0 = 0001x110B

▲4：IICS0 = 0001x000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき（リスタート後，SVA0一致）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3				▲4	▲5	△6

▲1：IICS0 = 0010x010B

▲2：IICS0 = 0010x110B

▲3：IICS0 = 0010xx00B

▲4：IICS0 = 0001x110B

▲5：IICS0 = 0001xx00B

△6：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（c）Start～Code～Data～Start～Code～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1：IICS0 = 0010x010B

▲2：IICS0 = 0010x000B

▲3：IICS0 = 0010x010B

▲4：IICS0 = 0010x000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3			▲4	▲5	▲6	△7

▲1：IICS0 = 0010x010B

▲2：IICS0 = 0010x110B

▲3：IICS0 = 0010xx00B

▲4：IICS0 = 0010x010B

▲5：IICS0 = 0010x110B

▲6：IICS0 = 0010xx00B

△7：IICS0 = 00000001B

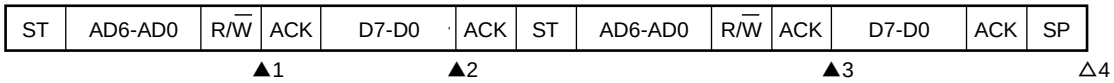
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（d）Start～Code～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 0010x010B

▲2：IICS0 = 0010x000B

▲3：IICS0 = 00000x10B

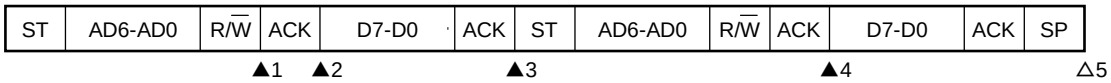
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 0010x010B

▲2：IICS0 = 0010x110B

▲3：IICS0 = 0010xx00B

▲4：IICS0 = 00000x10B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（4）通信不参加の動作

（a）Start～Code～Data～Data～Stop

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
								△1

△1：IICS0 = 00000001B

備考　△　SPIE0 = 1のときだけ発生

（5）アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

（i）WTIM0 = 0のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	D7-D0	ACK	SP
				▲1	▲2		▲3	△4

▲1：IICS0 = 0101x110B

▲2：IICS0 = 0001x000B

▲3：IICS0 = 0001x000B

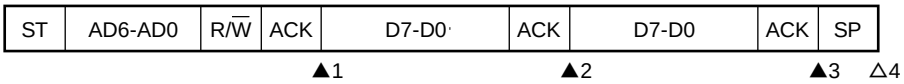
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0101x110B

▲2：IICS0 = 0001x100B

▲3：IICS0 = 0001xx00B

△4：IICS0 = 00000001B

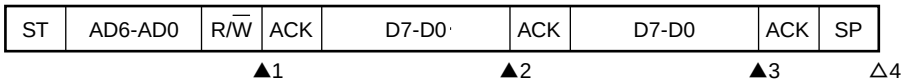
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（b）拡張コード送信中にアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 0110x010B

▲2：IICS0 = 0010x000B

▲3：IICS0 = 0010x000B

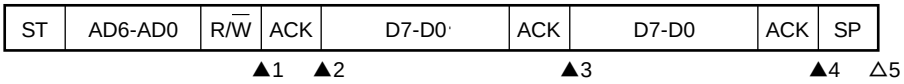
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0110x010B

▲2：IICS0 = 0010x110B

▲3：IICS0 = 0010x100B

▲4：IICS0 = 0010xx00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

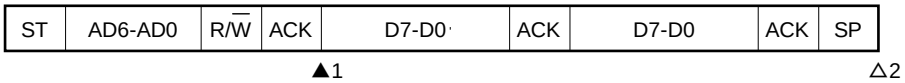
△　SPIE0 = 1のときだけ発生

x　任意

（6）アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIM0 = 1のとき）



▲1：IICS0 = 01000110B

△2：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

（b）拡張コード送信中にアービトレーションに負けた場合

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0'	ACK	D7-D0	ACK	SP
			▲1					△2

▲1：IICS0 = 0110x010B

ソフトウエアでLREL0 = 1を設定

△2：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（c）データ転送時にアービトレーションに負けた場合

（i）WTIM0 = 0のとき

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0'	ACK	D7-D0	ACK	SP
				▲1	▲2			△3

▲1：IICS0 = 10001110B

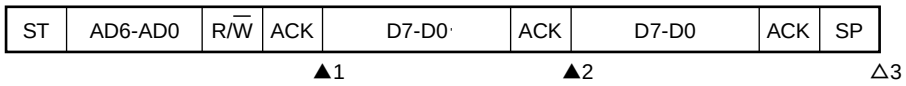
▲2：IICS0 = 01000000B

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

（ii）WTIM0 = 1のとき



▲1：IICS0 = 10001110B

▲2：IICS0 = 01000100B

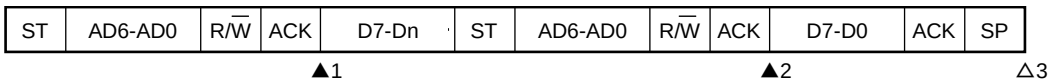
△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

（d）データ転送時にリスタート・コンディションで負けた場合

（i）拡張コード以外（例　SVA0不一致）



▲1：IICS0 = 1000x110B

▲2：IICS0 = 01000110B

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

n = 6-0

（ii）拡張コード

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-Dn	ST	AD6-AD0	R/$\overline{W}$	ACK	D7-D0	ACK	SP
				▲1				▲2			△3

▲1：IICS0 = 1000x110B

▲2：IICS0 = 01100010B

ソフトウエアでLREL0 = 1を設定

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

n = 6-0

（e）データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/$\overline{W}$	ACK	D7-Dn	SP
				▲1	△2

▲1：IICS0 = 10000110B

△2：IICS0 = 01000001B

備考　▲　必ず発生

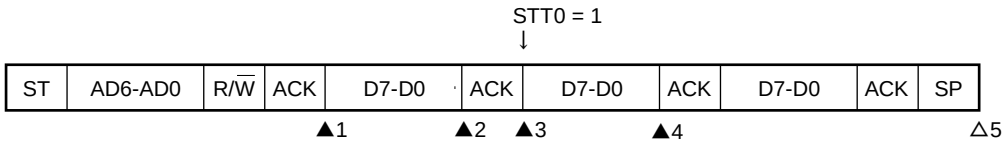
△　SPIE0 = 1のときだけ発生

x　任意

n = 6-0

（f）リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000x000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000x100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000000B

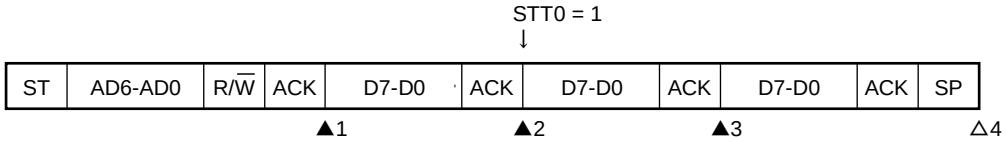
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000x100B（STT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

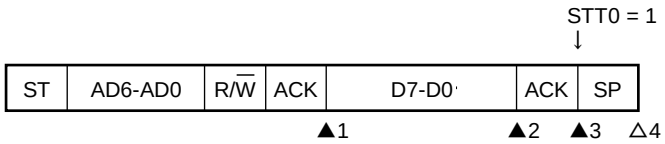
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（g）リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000x000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000xx00B（STT0ビットをセット（1））

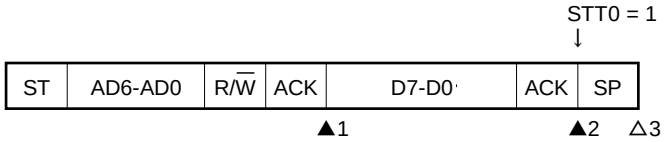
△4：IICS0 = 01000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000xx00B（STT0ビットをセット（1））

△3：IICS0 = 01000001B

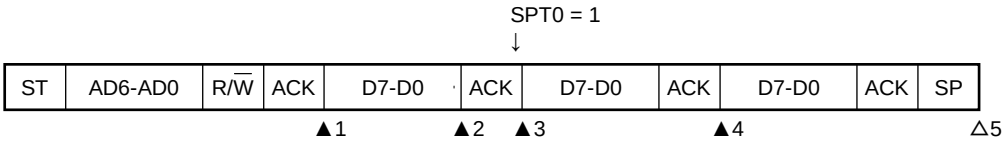
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（h）ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000x000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000x100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000100B

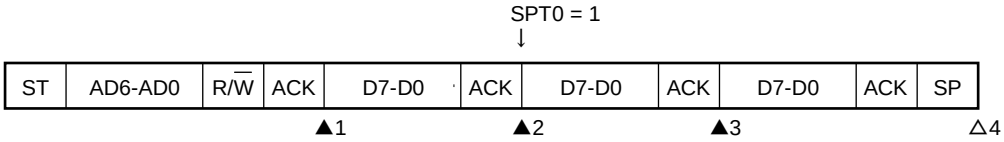
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000x110B

▲2：IICS0 = 1000x100B（SPT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

x　任意

13. 6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IICAステータス・レジスタ0（IICS0）のビット3）を送信し，スレーブとのシリアル通信を開始します。

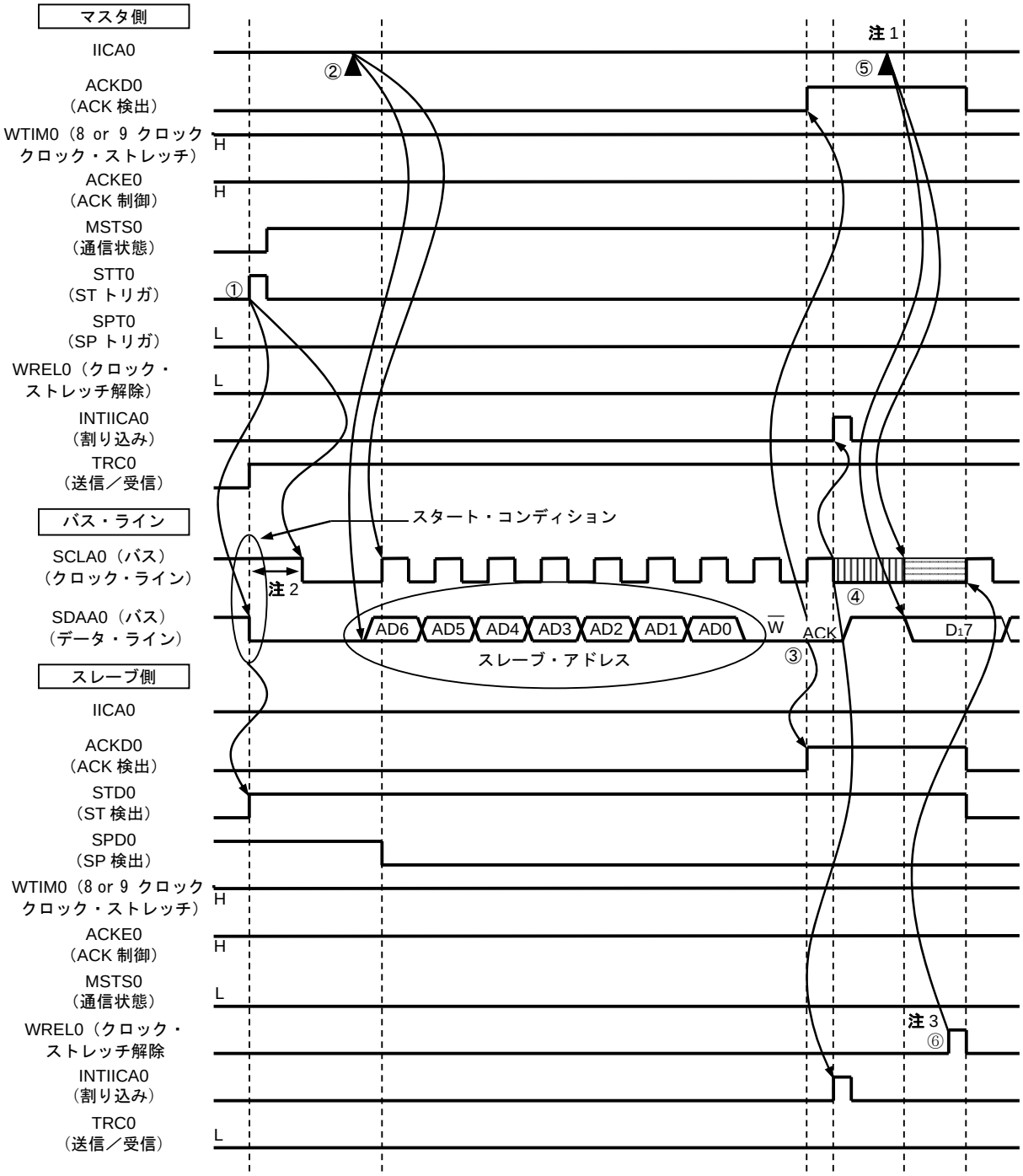
データ通信のタイミング・チャートを図13－31，図13－32に示します。

シリアル・クロック（SCLA0）の立ち下がりに同期してIICAシフト・レジスタ0（IICA0）のシフト動作が行われ，送信データがSOラッチに転送され，SDAA0端子からMSBファーストで出力されます。

また，SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICA0に取り込まれます。

図13－31　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（1/4）

（1）スタート・コンディション～アドレス～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図13－31（1）スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0）が立ち下がり，スタート・コンディション（SDAA0 = 0, SCLA0 = 1）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，クロック・ストレッチ（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

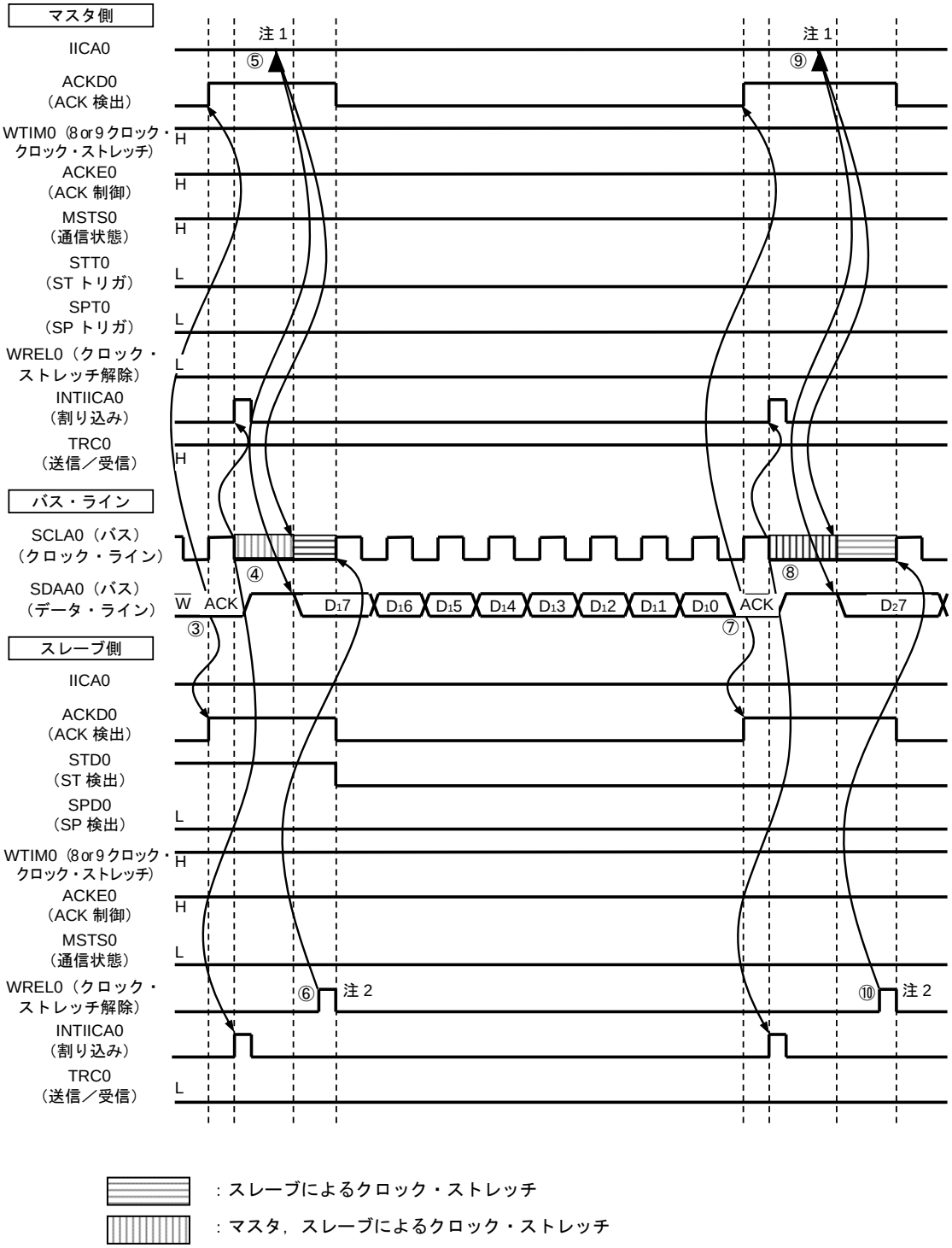
⑥ スレーブ側がクロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考　図13－31の①～⑮は，I²Cバスによるデータ通信の一連の操作手順で，次のような説明をしています。
図13－31（1）スタート・コンディション～アドレス～データでは手順①～⑥
図13－31（2）アドレス～データ～データでは手順③～⑩
図13－31（3）データ～データ～ストップ・コンディションでは手順⑦～⑮

図13－31　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（2/4）

（2）アドレス～データ～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　スレーブ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図13－31（2）アドレス～データ～データの③～⑩の説明を次に示します。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，クロック・ストレッチ（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後，スレーブ側はACKE0 = 1なので，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

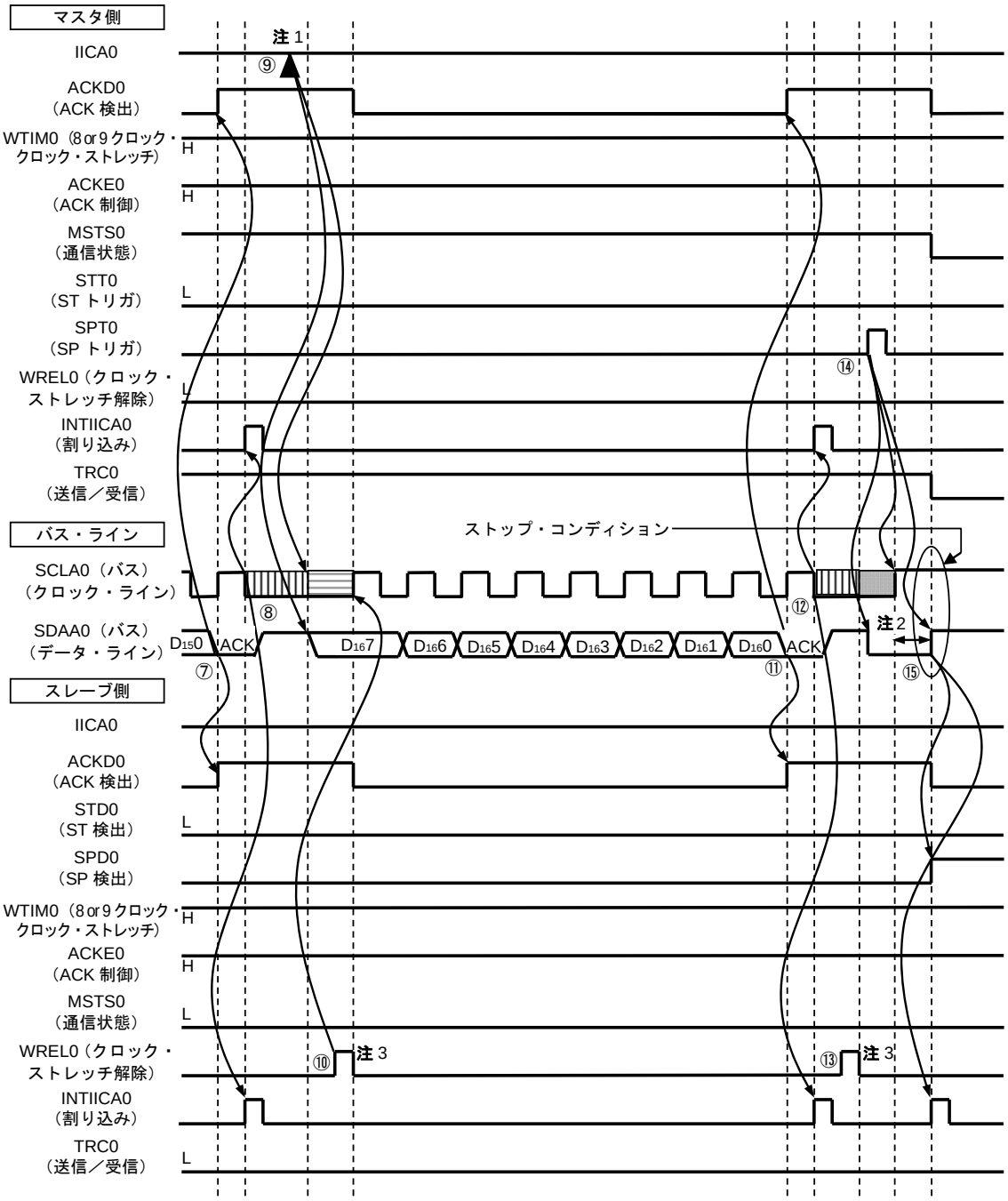
⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図13－31の①～⑮は，I²Cバスによるデータ通信の一連の操作手順で，次のような説明をしています。
図13－31（1）スタート・コンディション～アドレス～データでは手順①～⑥
図13－31（2）アドレス～データ～データでは手順③～⑩
図13－31（3）データ～データ～ストップ・コンディションでは手順⑦～⑮

図13－31　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（3/4）

（3）データ～データ～ストップ・コンディション



：マスタによるクロック・ストレッチ

：スレーブによるクロック・ストレッチ

：マスタ，スレーブによるクロック・ストレッチ

注1.　マスタ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　ストップ・コンディションの発行後，SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図13－31（3）データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦ データ転送完了後，スレーブ側はACKE0 = 1なので，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後，スレーブ側（ACKE0 = 1）のハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑫ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し，クロック・ストレッチを解除（WREL0 = 1）します。

⑭ マスタ側でストップ・コンディション・トリガをセット（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，バス・クロック・ラインがセット（SCLA0 = 1）され，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインがセット（SDAA0 = 1）されることで，ストップ・コンディション（SCLA0 = 1でSDAA0 = 0→1）が生成されます。

⑮ スレーブ側でこのストップ・コンディションが検出され，割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図13－31の①～⑮は，I²Cバスによるデータ通信の一連の操作手順で，次のような説明をしています。

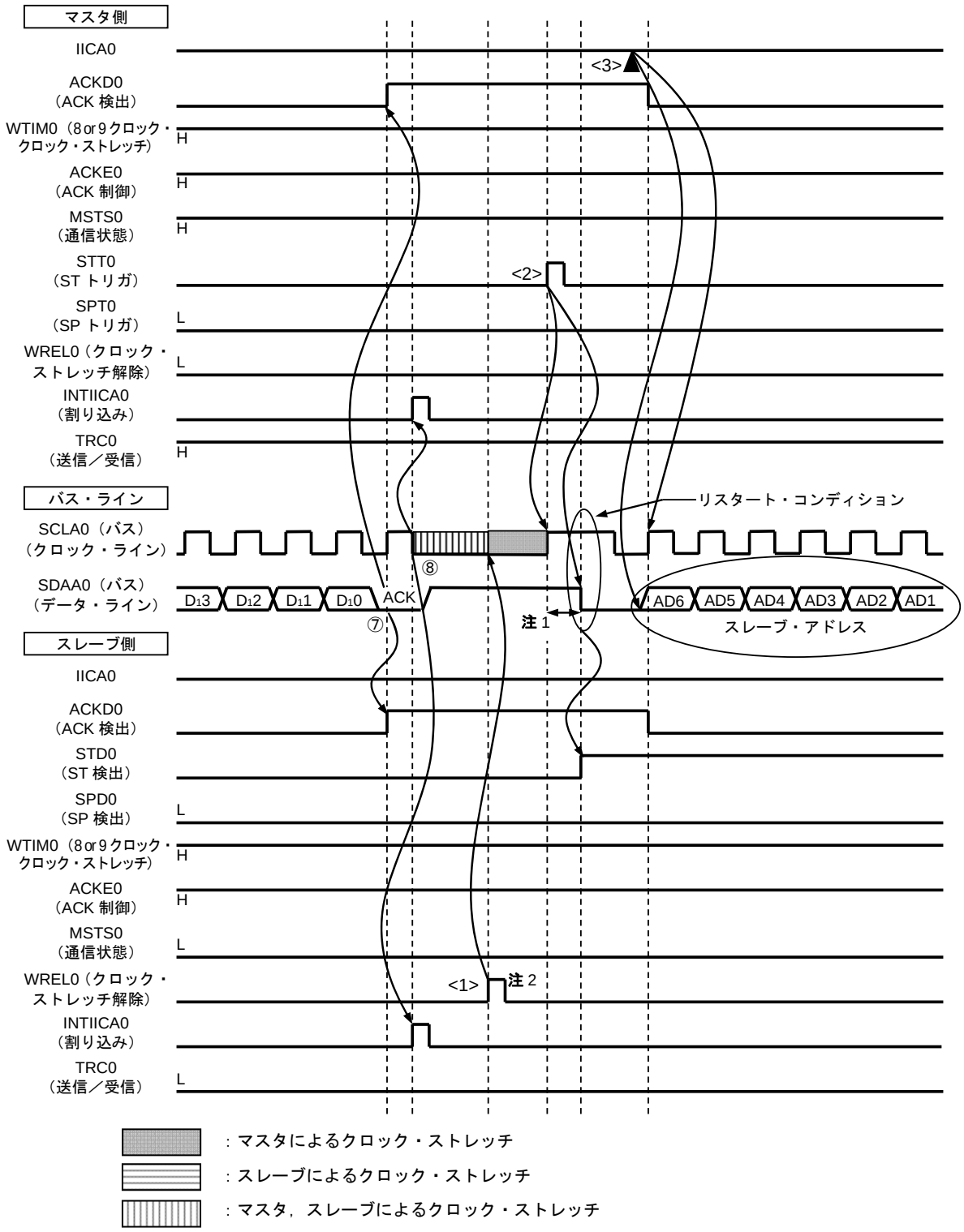
図13－31（1）スタート・コンディション～アドレス～データでは手順①～⑥

図13－31（2）アドレス～データ～データでは手順③～⑩

図13－31（3）データ～データ～ストップ・コンディションでは手順⑦～⑮

図13－31　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（4/4）

（4）データ～リスタート・コンディション～アドレス



注1.　リスタート・コンディションの発行後，SCLA0端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は4.7 μs以上，ファースト・モード設定時は0.6 μs以上です。

2.　スレーブ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図13－31 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側はACKE0 = 1なので，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

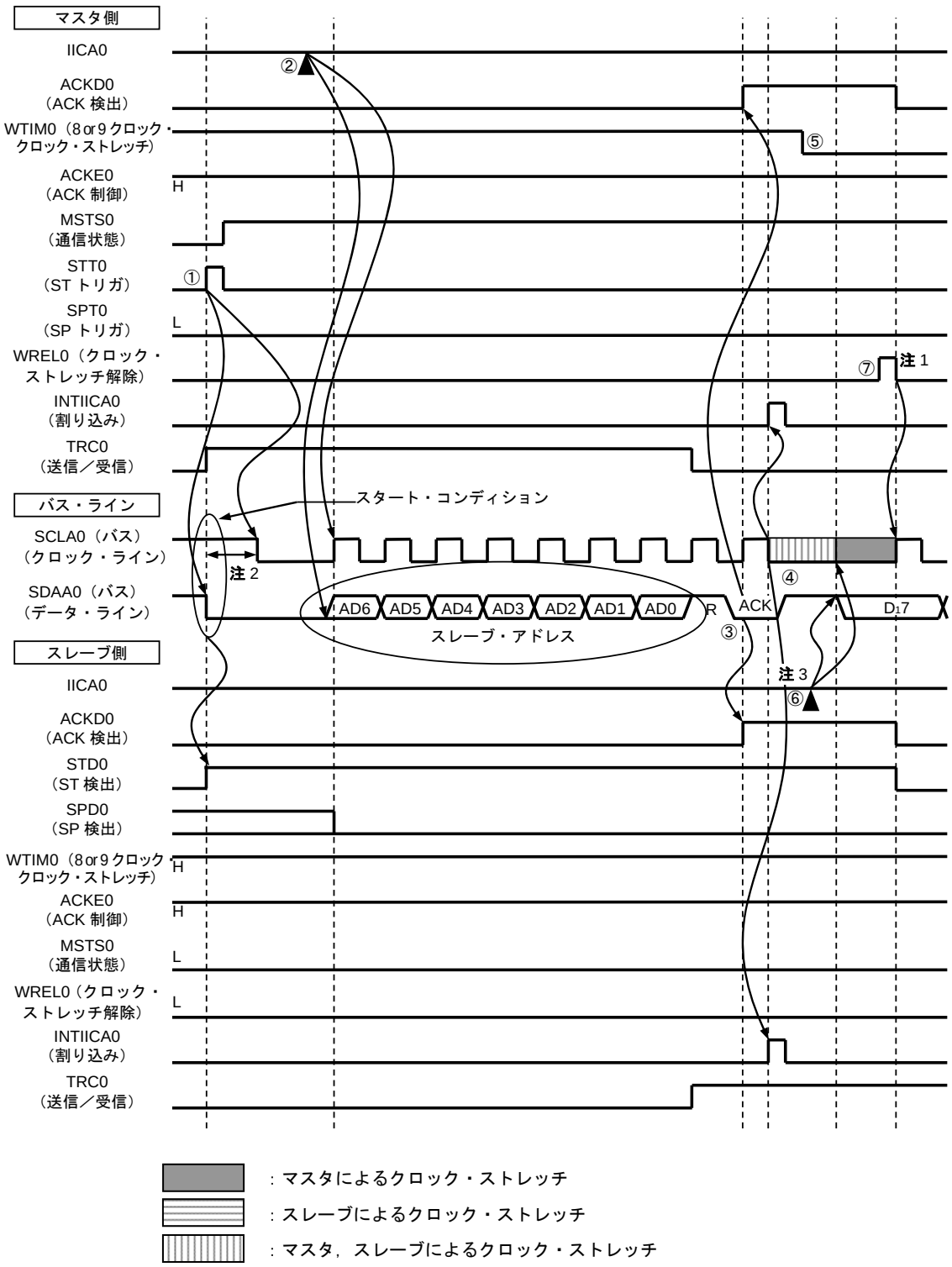
<1>　スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WREL0 = 1）します。

<2>　マスタ側で再度スタート・コンディション・トリガがセット（STT0 = 1）されると，バス・クロック・ラインが立ち上がり（SCLA0 = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAA0 = 0）が立ち下がり，スタート・コンディション（SCLA0 = 1でSDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

<3>　マスタ側がIICAシフト・レジスタ0（IICA0）にアドレス＋R/W（送信）が書き込むと，スレーブ・アドレスが送信されます。

図13－32　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでクロック・ストレッチ選択）（1/3）

（1）スタート・コンディション～アドレス～データ



注1.　マスタ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

図13－32（1）スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0 ）が立ち下がり，スタート・コンディション（SCLA0 = 1でSDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋R（受信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，クロック・ストレッチ（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に（WTIM0 = 0）に変更します。

⑥ スレーブ側がIICA0レジスタに送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

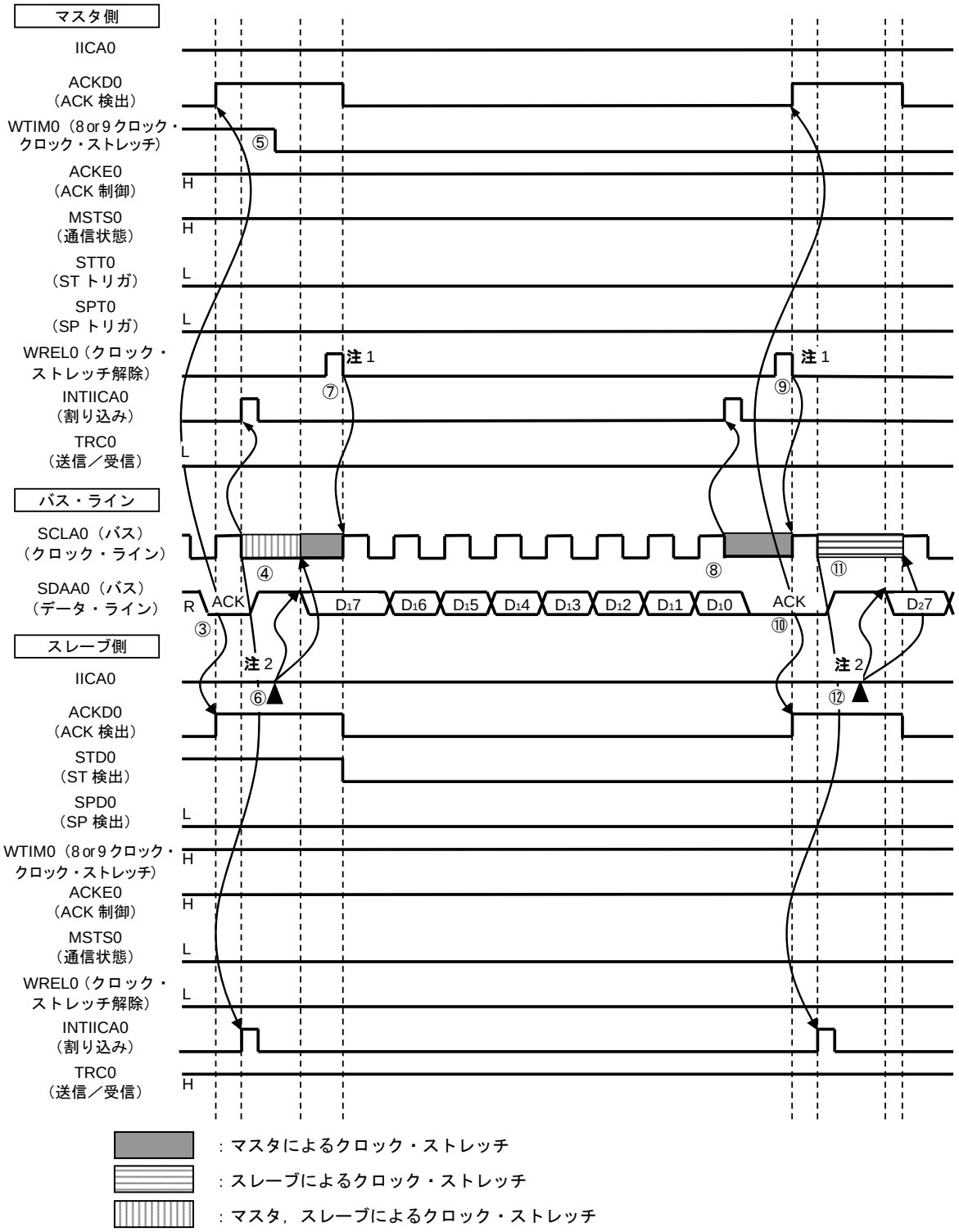
⑦ マスタ側がクロック・ストレッチを解除（WREL0 = 1）して，スレーブとのデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考　図13－32の①～⑲は，I²Cバスによるデータ通信の一連の操作手順で，次のような説明をしています。
図13－32（1）スタート・コンディション～アドレス～データでは手順①～⑦
図13－32（2）アドレス～データ～データでは手順③～⑫
図13－32（3）データ～データ～ストップ・コンディションでは手順⑧～⑲

図13－32　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでクロック・ストレッチ選択）（2/3）

（2）アドレス～データ～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2. スレーブ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

図13－32（2）アドレス～データ～データの③～⑫の説明を次に示します。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，クロック・ストレッチ（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目（WTIM0 = 0）に変更します。

⑥ スレーブ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WREL0 = 1）して，スレーブとのデータ転送を開始します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側はACKE0 = 0なので，ハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WREL0 = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

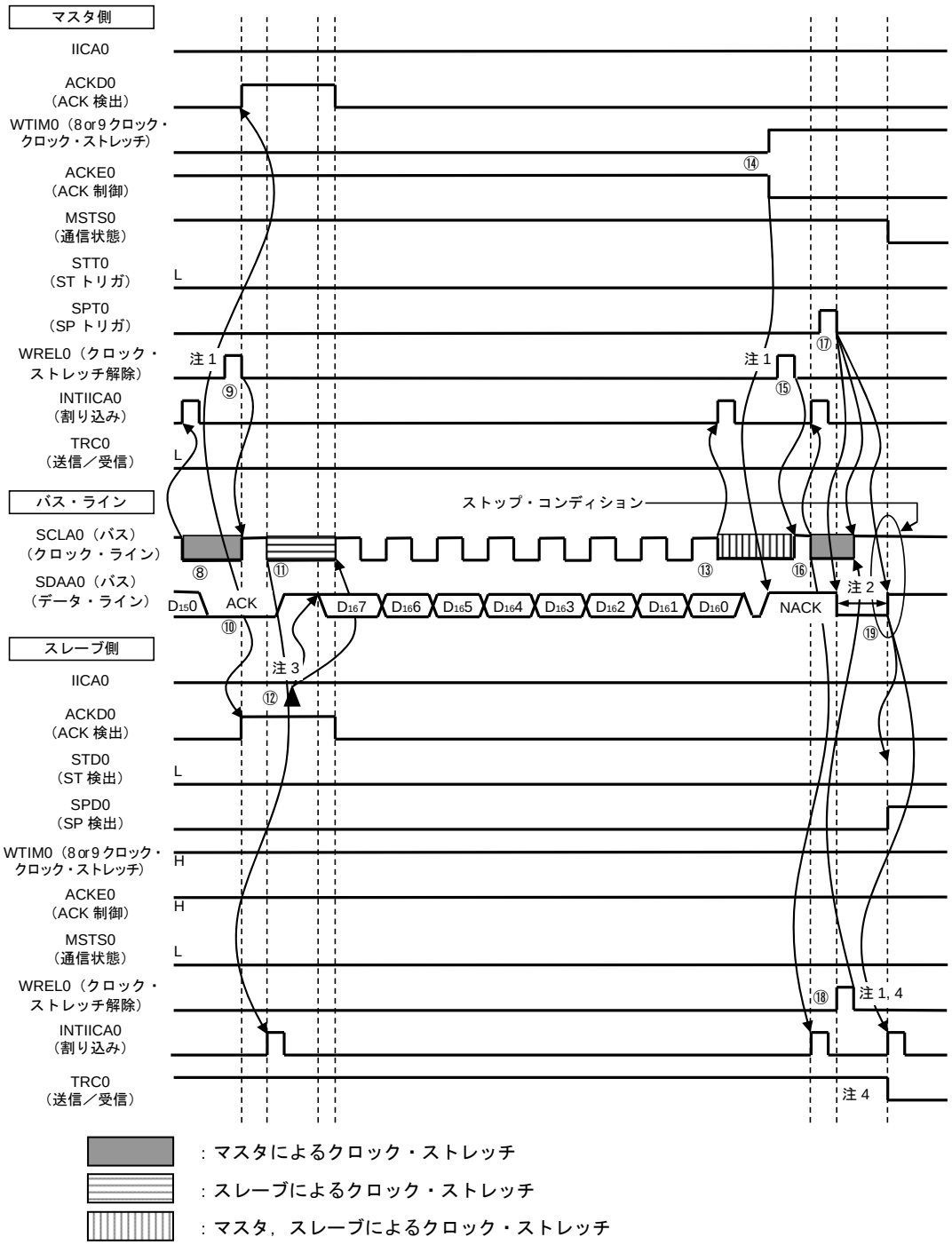
⑫ スレーブ側のIICA0レジスタに送信データを書き込むと，スレーブ側のクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図13－32の①～⑲は，I²Cバスによるデータ通信の一連の操作手順で，次のような説明をしています。
図13－32（1）スタート・コンディション～アドレス～データでは手順①～⑦
図13－32（2）アドレス～データ～データでは手順③～⑫
図13－32（3）データ～データ～ストップ・コンディションでは手順⑧～⑲

図13－32　スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（3/3）

（3）データ～データ～ストップ・コンディション



注1.　クロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　ストップ・コンディションの発行後，SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

4.　スレーブ側での送信時のクロック・ストレッチをWREL0ビットのセットで解除すると，TRC0ビットはクリアされます。

図13－32（3）データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側はACKE0 = 0なので，ハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WREL0 = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

⑫ スレーブ側のIICAシフト・レジスタ0（IICA0）に送信データを書き込むと，スレーブ側によるクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかります。ACK制御（ACKE0 = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAA0 = 0）となります。

⑭ マスタ側はNACK応答に設定（ACKE0 = 0）し，クロック・ストレッチ・タイミングを9クロック目（WTIM0 = 1）に変更します。

⑮ マスタ側がクロック・ストレッチを解除（WREL0 = 1）すると，スレーブ側は9クロック目の立ち上がりでNACKを検出（ACK = 0）します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，マスタ側のクロック・ストレッチが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにクロック・ストレッチを解除（WREL0 = 1）します。スレーブによるクロック・ストレッチが解除されると，バス・クロック・ラインがセット（SCLA0 = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAA0 = 1）してストップ・コンディション（SCLA0 = 1でSDAA0 = 0→1）を発行します。スレーブ側でこのストップ・コンディションが検出され，割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考 図13－32の①～⑲は，I²Cバスによるデータ通信の一連の操作手順で，次のような説明をしています。

図13－32（1）スタート・コンディション～アドレス～データでは手順①～⑦

図13－32（2）アドレス～データ～データでは手順③～⑫

図13－32（3）データ～データ～ストップ・コンディションでは手順⑧～⑲

第14章　割り込み機能

プログラム実行中に，別の処理が必要になると，その処理プログラムに切り替える機能です。分岐先の処理を終えると，中断していた元のプログラム実行に戻ります。

割り込み要因数は，製品によって異なります。

		10ピン製品	16ピン製品
マスカブル割り込み	外部	3	5
	内部	8	14

14. 1　割り込み機能の種類

割り込み機能には，次の2種類があります。

（1）マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L，PR00H，PR10L，PR10H，PR01L，PR11L）の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理の優先順位（プライオリティ）にしたがって処理されます。優先順位（プライオリティ）については表14－1を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

（2）ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

14. 2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みがあります。また，それ以外にリセット要因が最大で合計4要因あります（表14－1）。リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは，各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表14－1　割り込み要因一覧（10ピン製品）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル（オーバフロー時間の75%＋3/(4×f_{IL})）	内部	0004H	(a)
	1	INTP0	端子入力エッジ検出	外部	0006H	(b)
	2	INTP1			0008H	
	3	INTST0/INTCSI00/INTIIC00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み／IIC00の転送完了	内部	000AH	(a)
	4	INTSR0	UART0受信の転送完了		000CH	
	5	INTSRE0	UART0受信の通信エラー発生		000EH	
	6	INTTM01H	タイマ・チャネル1のカウント完了または動作開始時（上位8ビット・タイマ動作時）		0010H	
	7	INTTM00	タイマ・チャネル0のカウント完了またはキャプチャ完了または動作開始時		0012H	
	8	INTTM01	タイマ・チャネル1のカウント完了またはキャプチャ完了または動作開始時（16ビット・タイマ動作時または下位8ビット・タイマ動作時）		0014H	
	9	INTAD	A/D変換終了		0016H	
	10	INTKR	キー・リターン信号検出	外部	0018H	(c)
ソフトウエア	－	BRK	BRK命令の実行	－	007EH	(d)
リセット	－	RESET	$\overline{\text{RESET}}$端子入力	－	0000H	－
		SPOR	セレクタブル・パワーオン・リセット			
		WDT	ウォッチドッグ・タイマのオーバフロー			
		TRAP	不正命令の実行注3			

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。
0が最高順位，10が最低順位です。

2.　基本構成タイプの（a）-（d）は，それぞれ図14－1の（a）-（d）に対応しています。

3.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

表14－2　割り込み要因一覧（16ピン製品）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル（オーバフロー時間の75%＋3/(4×f_{IL})）	内部	0004H	(a)
	1	INTP0	端子入力エッジ検出	外部	0006H	(b)
	2	INTP1			0008H	
	3	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み／IIC00の転送完了	内部	000AH	(a)
	4	INTSR0 INTCSI01	UART0受信の転送完了 CSI01通信の完了		000CH	
	5	INTSRE0	UART0受信の通信エラー発生		000EH	
	6	INTTM01H	タイマ・チャネル1のカウント完了または動作開始時（上位8ビット・タイマ動作時）		0010H	
	7	INTTM00	タイマ・チャネル0のカウント完了またはキャプチャ完了または動作開始時		0012H	
	8	INTTM01	タイマ・チャネル1のカウント完了またはキャプチャ完了または動作開始時（16ビット・タイマ動作時または下位8ビット・タイマ動作時）		0014H	
	9	INTAD	A/D変換終了		0016H	
	10	INTKR	キー・リターン信号検出	外部	0018H	(c)
	11	INTP2	端子入力エッジ検出		001AH	(b)
	12	INTP3			001CH	
	13	INTTM03H	タイマ・チャネル3のカウント完了または動作開始時（上位8ビット・タイマ動作時）	内部	001EH	(a)
	14	INTIICA0	IICA通信の完了		0020H	
	15	INTTM02	タイマ・チャネル2のカウント完了またはキャプチャ完了または動作開始時		0022H	
	16	INTTM03	タイマ・チャネル3のカウント完了またはキャプチャ完了または動作開始時（16ビット・タイマ動作時または下位8ビット・タイマ動作時）		0024H	
	17	INTIT	インターバルタイマの信号検出		0026H	
	18	INTCMP0	コンパレータの有効エッジ検出		0028H	
ソフトウエア	－	BRK	BRK命令の実行	－	007EH	(d)
リセット	－	RESET	$\overline{\text{RESET}}$端子入力	－	0000H	－
		SPOR	セレクタブル・パワーオン・リセット			
		WDT	ウォッチドッグ・タイマのオーバフロー			
		TRAP	不正命令の実行注3			

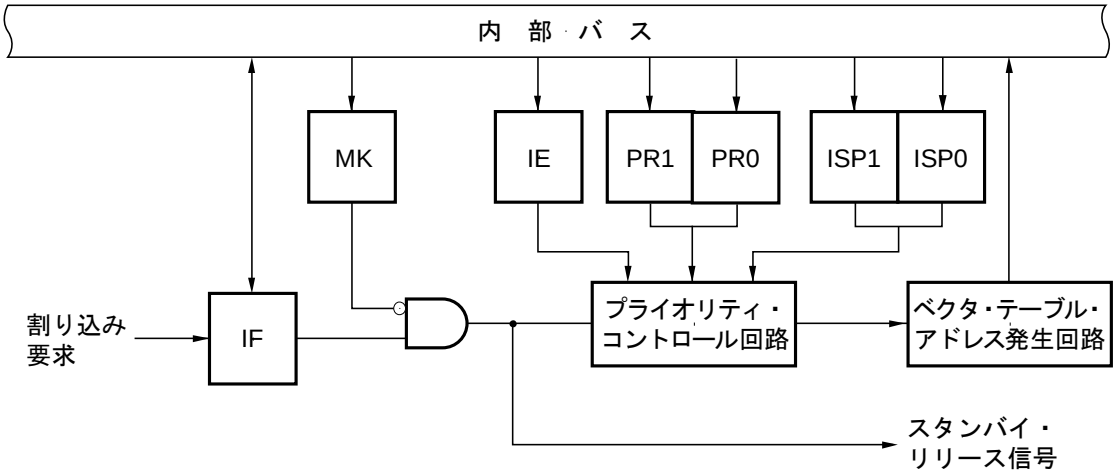
注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，10が最低順位です。

2.　基本構成タイプの（a）-（d）は，それぞれ図14－1の（a）-（d）に対応しています。

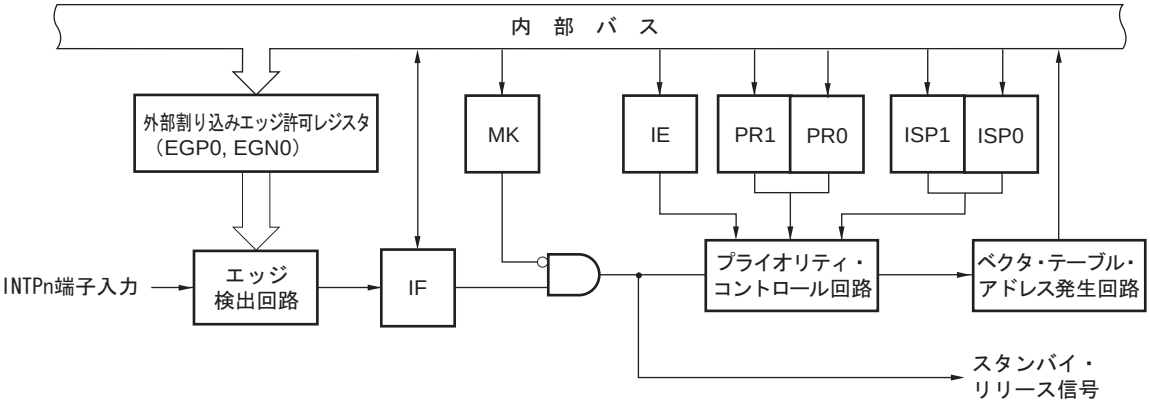
3.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図14－1　割り込み機能の基本構成（1/2）

（a）内部マスカブル割り込み



（b）外部マスカブル割り込み（INTPn）



IF　：割り込み要求フラグ

IE　：割り込み許可フラグ

ISP0　：インサービス・プライオリティ・フラグ0

ISP1　：インサービス・プライオリティ・フラグ1

MK　：割り込みマスク・フラグ

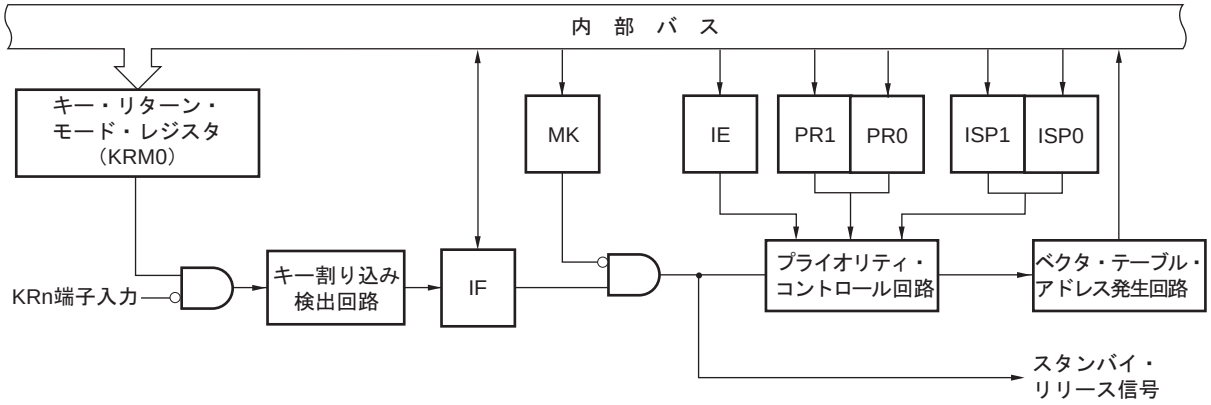
PR0　：優先順位指定フラグ0

PR1　：優先順位指定フラグ1

備考　10ピン製品：n = 0～1
16ピン製品：n = 0～3

図14－1　割り込み機能の基本構成（2/2）

（c）外部マスカブル割り込み（INTKR）



IF　　：割り込み要求フラグ

IE　　：割り込み許可フラグ

ISP0　：インサービス・プライオリティ・フラグ0

ISP1　：インサービス・プライオリティ・フラグ1

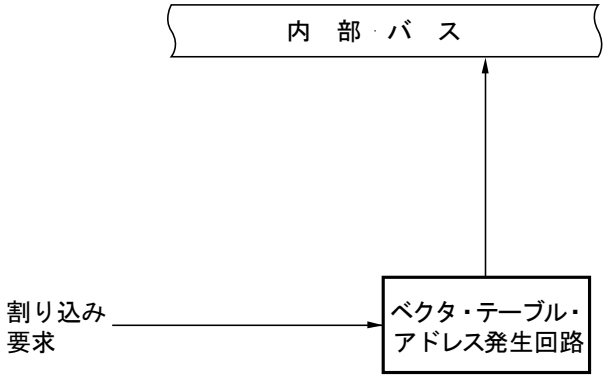
MK　　：割り込みマスク・フラグ

PR0　：優先順位指定フラグ0

PR1　：優先順位指定フラグ1

備考　n = 0～5

（d）ソフトウエア割り込み



14. 3　割り込み機能を制御するレジスタ

割り込み機能は，次の6種類のレジスタで制御します。

・割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L）
・割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L）
・優先順位指定フラグ・レジスタ（PR00L, PR00H, PR10L, PR10H, PR01L, PR11L）
・外部割り込み立ち上がりエッジ許可レジスタ0（EGP0）
・外部割り込み立ち下がりエッジ許可レジスタ0（EGN0）
・プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表14－3, 14－4に示します。

表14－3　割り込み要求ソースに対応する各種フラグ（10ピン製品）

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0 WDTIPR1	PR00L, PR10L
INTP0	PIF0		PMK0		PPR00 PPR10	
INTP1	PIF1		PMK1		PPR01 PPR11	
INTST0注 INTCSI00注 INTIIC00注	STIF0注 CSIIF00注 IICIF00注		STMK0注 CSIMK00注 IICMK00注		STPR00 STPR10注 CSIPR000 CSIPR100注 IICPR000 IICPR100注	
INTSR0	SRIF0		SRMK0		SRPR00 SRPR10	
INTSRE0	SREIF0		SREMK0		SREPR00 SREPR10	
INTTM01H	TMIF01H		TMMK01H		TMPR001H TMPR101H	
INTTM00	TMIF00		TMMK00		TMPR000 TMPR100	
INTTM01	TMIF01	IF0H	TMMK01	MK0H	TMPR001 TMPR101	PR00H PR10H
INTAD	ADIF		ADMK		ADPR0 ADPR1	
INTKR	KRIF		KRMK		KRPR0 KRPR1	

注　割り込み要因INTST0，INTCSI00，INTIIC00のうち，いずれかが発生したら，IF0Lレジスタのビット3はセット（1）されます。また，MK0L, PR00L, PR10Lレジスタのビット3は，3つすべての割り込み要因に対応しています。

表14－4　割り込み要求ソースに対応する各種フラグ（16ピン製品）

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0 WDTIPR1	PR00L, PR10L
INTP0	PIF0		PMK0		PPR00 PPR10	
INTP1	PIF1		PMK1		PPR01 PPR11	
INTST0[注1] INTCSI00[注1] INTIIC00[注1]	STIF0[注1] CSIIF00[注1] IICIF00[注1]		STMK0[注1] CSIMK00[注1] IICMK00[注1]		STPR00 STPR10[注1] CSIPR000 CSIPR100[注1] IICPR000 IICPR100[注1]	
INTSR0[注2] INTCSI01[注2]	SRIF0[注2] CSIIF01[注2]		SRMK0[注2] CSIMK01[注2]		SRPR00 SRPR10[注2] CSIPR001 CSIPR101[注2]	
INTSRE0	SREIF0		SREMK0		SREPR00 SREPR10	
INTTM01H	TMIF01H		TMMK01H		TMPR001H TMPR101H	
INTTM00	TMIF00		TMMK00		TMPR000 TMPR100	
INTTM01	TMIF01	IF0H	TMMK01	MK0H	TMPR001 TMPR101	PR00H, PR10H
INTAD	ADIF		ADMK		ADPR0 ADPR1	
INTKR	KRIF		KRMK		KRPR0 KRPR1	
INTP2	PIF2		PMK2		PPR02 PPR12	
INTP3	PIF3		PMK3		PPR03 PPR13	
INTTM03H	TMIF03H		TMMK03H		TMPR003H TMPR103H	
INTIICA0	IICAIF0		IICAMK0		IICAPR00 IICAPR10	
INTTM02	TMIF02		TMMK02		TMPR002 TMPR102	
INTTM03	TMIF03	IF1L	TMMK03	MK1L	TMPR003 TMPR103	PR01L, PR11L
INTIT	ITIF		ITMK		ITPR0 ITPR1	
INTCMP0	CMPIF0		CMPMK0		CMPPR00 CMPPR10	

注1.　割り込み要因INTST0, INTCSI00, INTIIC00のうち，いずれかが発生したら，IF0Lレジスタのビット3はセット（1）されます。また，MK0L，PR00L，PR10Lレジスタのビット3は，3つすべての割り込み要因に対応しています。

2.　割り込み要因INTSR0, INTCSI01のうち，いずれかが発生したら，IF0Lレジスタのビット4はセット（1）されます。また，MK0L, PR00L, PR10Lレジスタのビット4は，2つすべての割り込み要因に対応しています。

14. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）され，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図14－2　割り込み要求フラグ・レジスタ（IF0L, IF0H）のフォーマット（10ピン製品）

アドレス：FFFE0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0L	TMIF00	TMIF01H	SREIF0	SRIF0	STIF0 CSIIF00 IICIF00	PIF1	PIF0	WDTIIF

アドレス：FFFE1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0H	0	0	0	0	0	KRIF	ADIF	TMIF01

XXIFXX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

図14－3　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L）のフォーマット（16ピン製品）

アドレス：FFFE0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0L	TMIF00	TMIF01H	SREIF0	SRIF0 CSIIF01	STIF0 CSIIF00 IICIF00	PIF1	PIF0	WDTIIF

アドレス：FFFE1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF02	IICAIF0	TMIF03H	PIF3	PIF2	KRIF	ADIF	TMIF01

アドレス：FFFE2H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1L	0	0	0	0	0	CMPIF0	ITIF	TMIF03

XXIFXX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

（**注意**は次ページにあります。）

注意1.　未定義ビットの内容は変更しないでください。

2.　割り込み要求フラグ・レジスタのフラグ操作には，1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0;」や「_asm（“clr1 IF0L.0”）;」のようなビット操作命令を使用してください。

なお，C言語で「IF0L & = 0xfe;」のように記述した場合，コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても，「mov IF0L, a」でクリア（0）されます。

したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

14. 3. 2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L）

割り込みマスク・フラグは，対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図14－4　割り込みマスク・フラグ・レジスタ（MK0L, MK0H）のフォーマット（10ピン製品）

アドレス：FFFE4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	TMMK00	TMMK01H	SREMK0	SRMK0	STMK0 CSIMK00 IICMK00	PMK1	PMK0	WDTIMK

アドレス：FFFE5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	1	1	1	1	1	KRMK	ADMK	TMMK01

XXMKXX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

図14－5　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L）のフォーマット（16ピン製品）

アドレス：FFFE4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	TMMK00	TMMK01H	SREMK0	SRMK0 CSIMK01	STMK0 CSIMK00 IICMK00	PMK1	PMK0	WDTIMK

アドレス：FFFE5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK02	IICAMK0	TMMK03H	PMK3	PMK2	KRMK	ADMK	TMMK01

アドレス：FFFE6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1L	1	1	1	1	1	CMPMK0	ITMK	TMMK03

XXMKXX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　未定義ビットの内容は変更しないでください。

14. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR10L, PR10H, PR01L, PR11L）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせて，優先順位レベルを設定します（xy = 0L, 0H, 1L）。

PR00L, PR00H, PR10L, PR10H, PR01L, PR11Lレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図14－6　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR10L, PR10H）のフォーマット（10ピン製品）

アドレス：FFFE8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00L	TMPR000	TMPR001H	SREPR00	SRPR00	STPR00 CSIPR000 IICPR000	PPR01	PPR00	WDTIPR0

アドレス：FFFECH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10L	TMPR100	TMPR101H	SREPR10	SRPR10	STPR10 CSIPR100 IICPR100	PPR11	PPR10	WDTIPR1

アドレス：FFFE9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00H	1	1	1	1	1	KRPR0	ADPR0	TMPR001

アドレス：FFFEDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10H	1	1	1	1	1	KRPR1	ADPR1	TMPR101

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意　未定義ビットの内容は変更しないでください。

図14－7　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR10L, PR10H, PR01L, PR11L）のフォーマット（16ピン製品）

アドレス：FFFE8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00L	TMPR000	TMPR001H	SREPR00	SRPR00 CSIPR001	STPR00 CSIPR000 IICPR000	PPR01	PPR00	WDTIPR0

アドレス：FFFECH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10L	TMPR100	TMPR101H	SREPR10	SRPR10 CSIPR101	STPR10 CSIPR100 IICPR100	PPR11	PPR10	WDTIPR1

アドレス：FFFE9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00H	TMPR002	IICAPR00	TMPR003H	PPR03	PPR02	KRPR0	ADPR0	TMPR001

アドレス：FFFEDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10H	TMPR102	IICAPR10	TMPR103H	PPR13	PPR12	KRPR1	ADPR1	TMPR101

アドレス：FFFEAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01L	1	1	1	1	1	CMPPR00	ITPR0	TMPR003

アドレス：FFFEEH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11L	1	1	1	1	1	CMPPR10	ITPR1	TMPR103

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意　未定義ビットの内容は変更しないでください。

14. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ0（EGP0），外部割り込み立ち下がりエッジ許可レジスタ0（EGN0）

INTP0, INTP1, INTP2, INTP3の有効エッジを設定するレジスタです。

EGP0，EGN0レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図14－8　外部割り込み立ち上がりエッジ許可レジスタ0（EGP0），外部割り込み立ち下がりエッジ許可レジスタ0（EGN0）のフォーマット

アドレス：FFF38H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	0	0	0	EGP3注	EGP2注	EGP1	EGP0

アドレス：FFF39H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	0	0	0	EGN3注	EGN2注	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択（n = 0-3）
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

注　16ピン製品のみ

注意　外部割り込み機能で使用している入力ポートを出力モードに切り替えると，有効エッジを検出してINTPn割り込みが発生する可能性があります。出力モードに切り替える場合は，エッジ検出禁止（EGPn，EGNn=0, 0）にしてからポート・モード・レジスタ（PMxx）を0に設定してください。

備考1.　エッジ検出ポートに関しては，2. 1　ポート機能を参照してください。

2.　n = 0-3

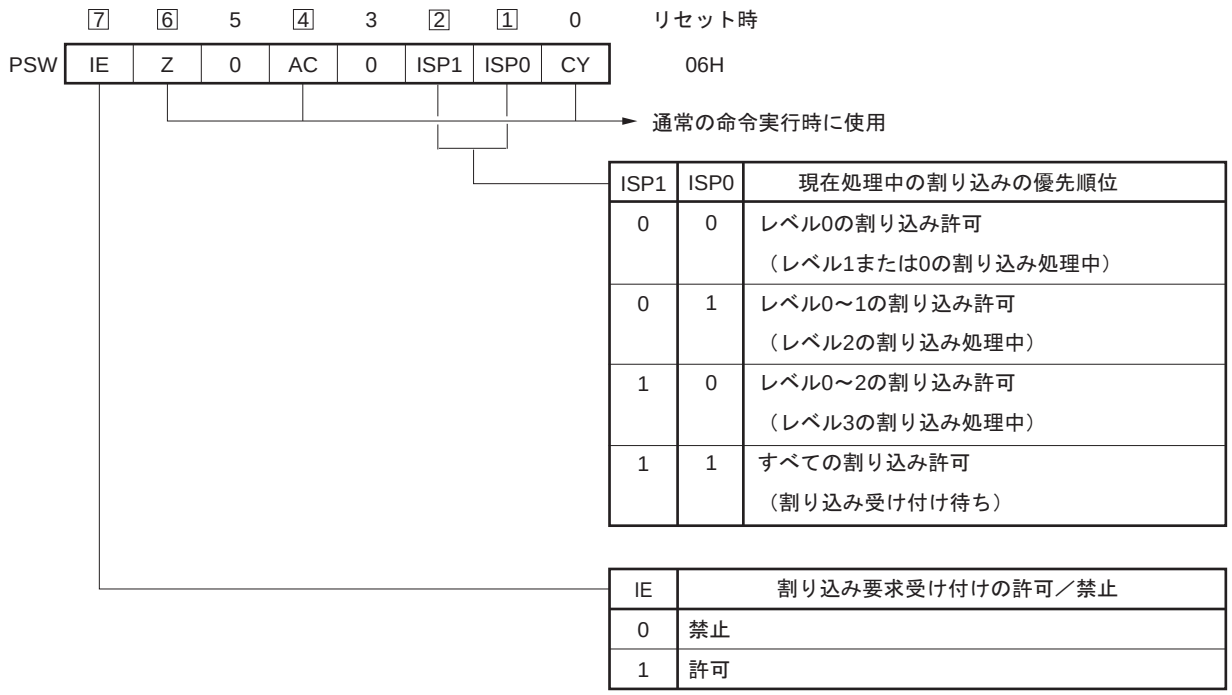
14. 3. 5　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI，DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は，”-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI，RETB，POP PSW命令により，スタックから復帰します。

リセット信号の発生により，PSWは06Hとなります。

図14－9　プログラム・ステータス・ワードの構成



ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 （レベル1または0の割り込み処理中）
0	1	レベル0～1の割り込み許可 （レベル2の割り込み処理中）
1	0	レベル0～2の割り込み許可 （レベル3の割り込み処理中）
1	1	すべての割り込み許可 （割り込み受け付け待ち）

IE	割り込み要求受け付けの許可／禁止
0	禁止
1	許可

14. 4　割り込み処理動作

14. 4. 1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み処理は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されているベクタ割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表14－5のようになります。

割り込み要求の受け付けタイミングについては，図14－11，図14－12を参照してください。

表14－5　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間[注]
処理時間	11クロック	18クロック

注　内部RAM 領域からの命令実行時は除きます。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

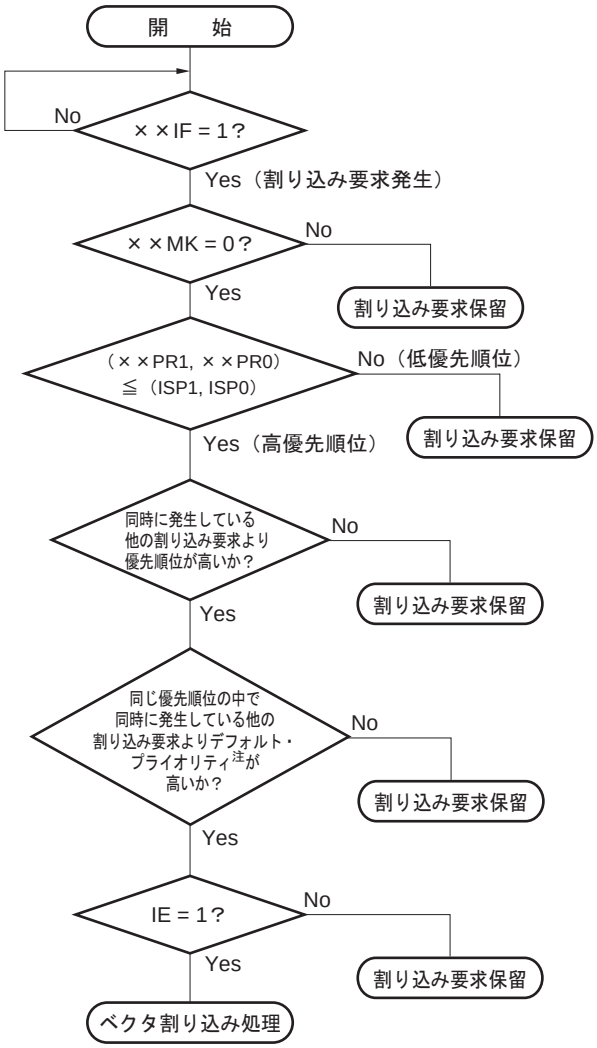
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図14－10に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

図14－10　割り込み要求受け付け処理アルゴリズム



× ×IF　：割り込み要求フラグ

× ×MK　：割り込みマスク・フラグ

× ×PR0　：優先順位指定フラグ0

× ×PR1　：優先順位指定フラグ1

IE　：マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）

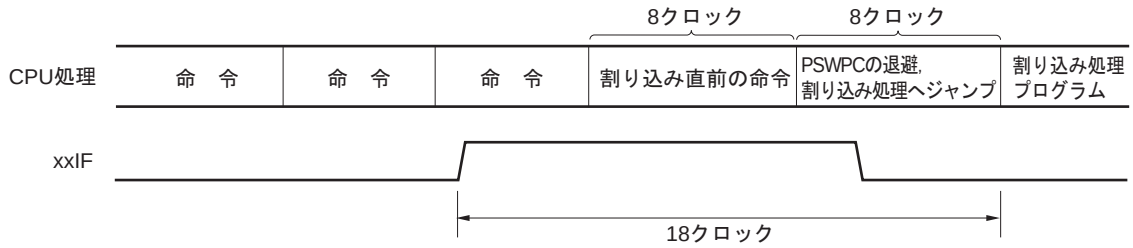
ISP0, ISP1　：現在処理中の割り込みの優先順位を示すフラグ（図14－9参照）

注　デフォルト・プライオリティは，**表14－1　割り込み要因一覧**を参照してください。

図14－11　割り込み要求の受け付けタイミング（最小時間）

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

図14－12　割り込み要求の受け付けタイミング（最大時間）



備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

14. 4. 2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

注意　ソフトウエア割り込みからの復帰にRETI命令は使用できません。

14. 4. 3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラ

グをセット（1）した場合には，レベル0の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表14－6に多重割り込み可能な割り込み要求の関係を，図14―13に多重割り込みの例を示します。

表14－6　割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 ＼ 処理中の割り込み		マスカブル割り込み要求								ソフトウエア割り込み要求
		優先順位レベル0（PR = 00）		優先順位レベル1（PR = 01）		優先順位レベル2（PR = 10）		優先順位レベル3（PR = 11）		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウエア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0：レベル0またはレベル1の割り込み処理中

ISP1 = 0, ISP0 = 1：レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0：レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1：割り込み受け付け待ち（すべての割り込み許可）

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

4. PRはPR00L, PR00H, PR10L, PR10H, PR01L, PR11Lレジスタに含まれるフラグです。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定（高優先順位）

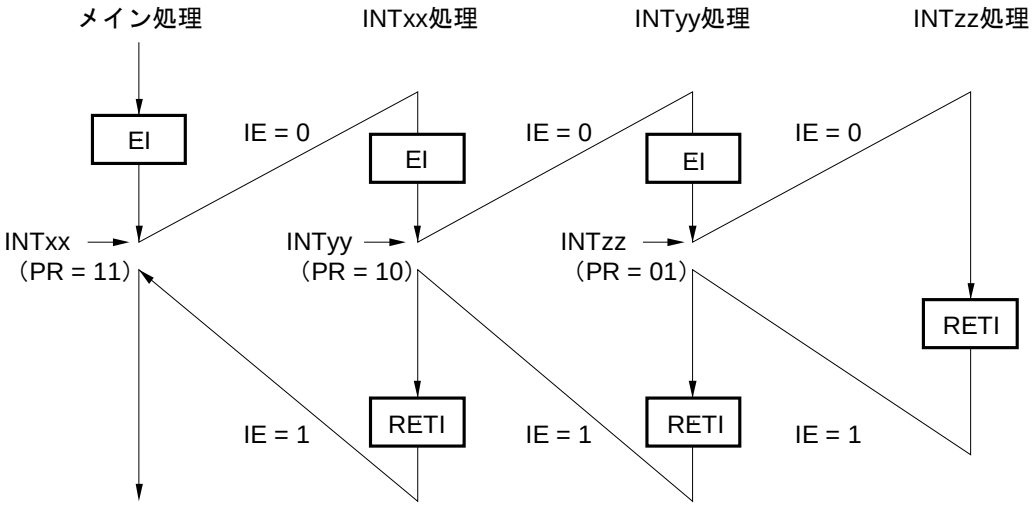
PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定

PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定

PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定（低優先順位）

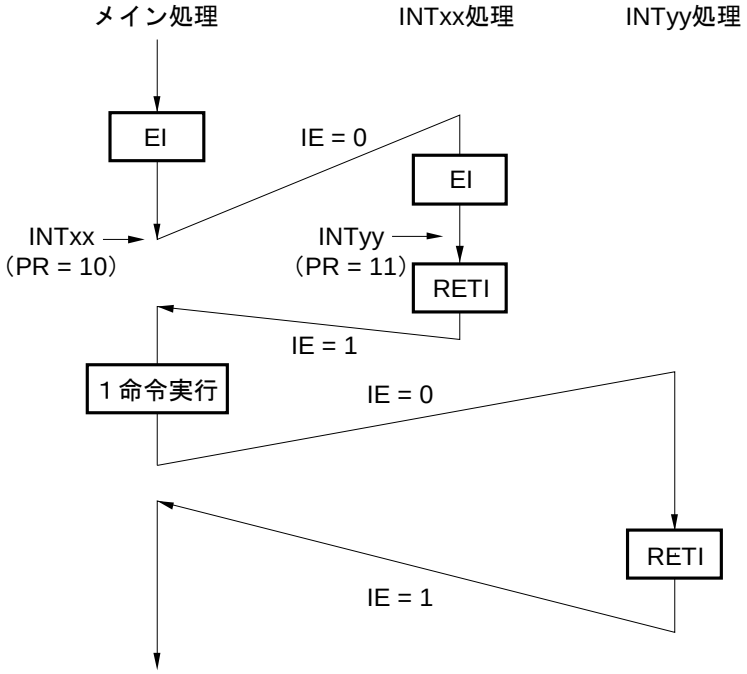
図14－13　多重割り込みの例（1/2）

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により，多重割り込みが発生しない例

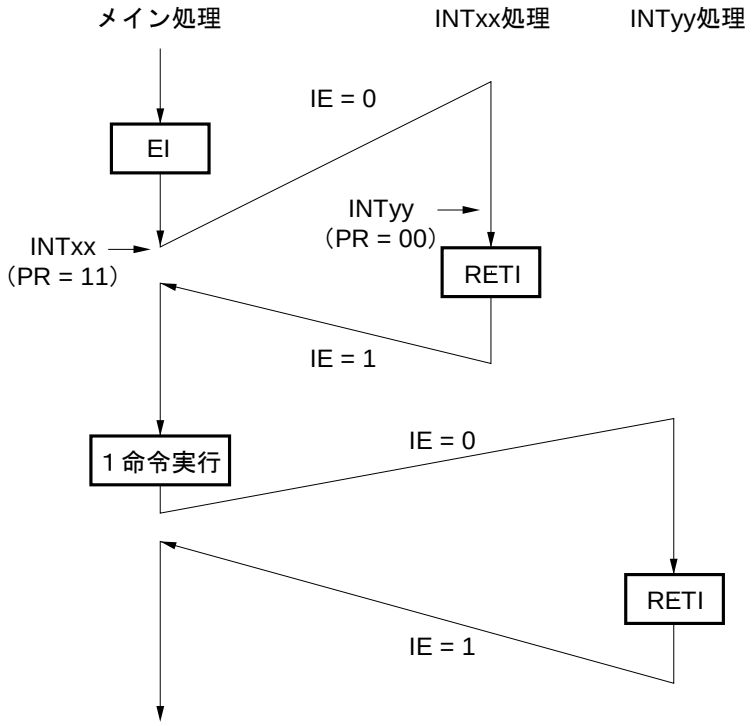


割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定（高優先順位）
PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定
PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定
PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定（低優先順位）
IE = 0 ：割り込み要求受け付け禁止
IE = 1 ：割り込み要求受け付け許可

図14－13　多重割り込みの例（2/2）

例3. 割り込みが許可されてないため，多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1×= 0，××PR0×= 0でレベル0を指定（高優先順位）

PR = 01：××PR1×= 0，××PR0×= 1でレベル1を指定

PR = 10：××PR1×= 1，××PR0×= 0でレベル2を指定

PR = 11：××PR1×= 1，××PR0×= 1でレベル3を指定（低優先順位）

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

14. 4. 4　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW，#byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR00L, PR00H, PR10L, PR10H, PR01L, PR11Lレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図14－14に示します。

図14－14　割り込み要求の保留

備考1. 命令N：割り込み要求の保留命令

2. 命令M：割り込み要求の保留命令以外の命令

第15章　キー割り込み機能

15. 1　キー割り込みの機能

キー割り込み入力端子（KR0-KR5）に立ち上がり／立ち下がりエッジを入力することによって，キー割り込み（INTKR）を発生させることができます。

表15－1　キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ（KRM0）	キー・リターン・フラグ・レジスタ（KRF）
KR0	KRM00	KRF0
KR1	KRM01	KRF1
KR2	KRM02	KRF2
KR3	KRM03	KRF3
KR4	KRM04	KRF4
KR5	KRM05	KRF5

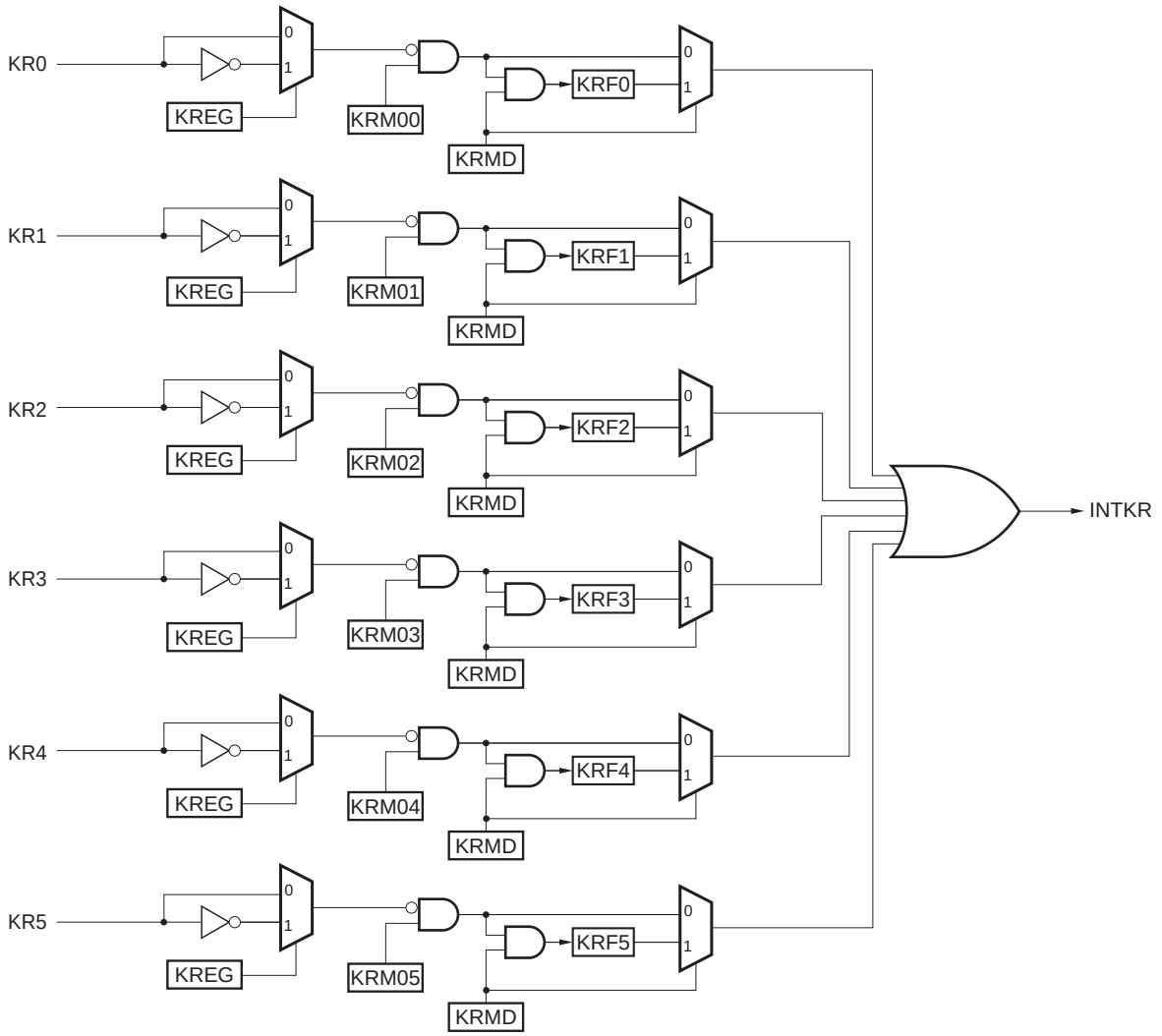
15. 2　キー割り込みの構成

キー割り込みは，次のハードウエアで構成されています。

表15－2　キー割り込みの構成

項　目	構　　成
制御レジスタ	キー・リターン・コントロール・レジスタ（KRCTL） キー・リターン・モード・レジスタ（KRM0） キー・リターン・フラグ・レジスタ（KRF） ポート・モード・コントロール・レジスタ0（PMC0） ポート・モード・レジスタ0, 4（PM0, PM4）

図15－1　キー割り込みのブロック図



15. 3　キー割り込みを制御するレジスタ

キー割り込み機能は，次の5種類のレジスタで制御します。

- キー・リターン・コントロール・レジスタ（KRCTL）
- キー・リターン・モード・レジスタ（KRM0）
- キー・リターン・フラグ・レジスタ（KRF）
- ポート・モード・コントロール・レジスタ0（PMC0）
- ポート・モード・レジスタ0, 4（PM0, PM4）

15. 3. 1　キー・リターン・コントロール・レジスタ（KRCTL）

キー割り込みフラグ（KRF0-KRF5）の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－2　キー・リターン・コントロール・レジスタ（KRCTL）のフォーマット

アドレス：FFF34H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
KRCTL	KRMD	0	0	0	0	0	0	KREG

KRMD	キー割り込みフラグ（KRF0-KRF5）の使用
0	キー割り込みフラグを使用しない
1	キー割り込みフラグを使用する

KREG	検出エッジの選択（KR0-KR5）
0	立ち下がりエッジ
1	立ち上がりエッジ

KRMD	KREG	割り込み機能
0	0	キー割り込み，外部割り込み（ポート・レベルで特定）注
0	1	外部割り込み（ポート・レベルで特定）
1	0	外部割り込み（フラグで特定）
1	1	

注　立ち下がりエッジ検出時，外部割り込み機能はキー割り込み機能と同じ機能・動作となります。

15. 3. 2　キー・リターン・モード・レジスタ（KRM0）

キー割り込みモードを設定するレジスタです。

KRM0レジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－3　キー・リターン・モード・レジスタ（KRM0）のフォーマット

アドレス：FFF37H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
KRM0	0	0	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御（n = 0-5）
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1.　立ち下がりエッジ（KRMD=0）を選択してキー割り込み信号を検出する（KRM0n=1）場合，対応する入力端子は外部抵抗でV_{DD}にプルアップしてください。なお，キー割り込み入力端子のPU01-PU04，PU40，PU125（プルアップ抵抗オプション・レジスタ0，4，12（PU0，PU4，PU12））のうち，対象となるビットに1を設定して，内部プルアップ抵抗を使用することもできます。

2.　キー割り込み入力端子にロウ・レベル（KREGに0を設定時）／ハイ・レベル（KREGに1を設定時）が入力されている状態で，KRM0レジスタの対象ビットをセットすると，割り込みが発生します。

この割り込みを無視したい場合は，割り込みマスク・フラグで割り込み処理を禁止にしてから，KRM0レジスタをセットしてください。その後，割り込み要求フラグをクリアし，割り込み処理を許可してください。

3.　キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

15. 3. 3　キー・リターン・フラグ・レジスタ（KRF）

キー割り込みフラグ（KRF0-KRF5）を制御するレジスタです。

KRFレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15－4　キー・リターン・フラグ・レジスタ（KRF）のフォーマット

アドレス：FFF35H　リセット時：00H　R/W注

略号	7	6	5	4	3	2	1	0
KRF	0	0	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ（n = 0-5）
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注　“1”の書き込みは無効となります。KRFnをクリアする場合は，対象ビットに"0"，他のビットに"1"を8ビット・メモリ操作命令で書き込んでください。

注意　キー割り込みフラグを使用しない（KRMD=0）ときは，KRFレジスタへのアクセスは禁止です。

15. 3. 4　キー割り込み入力端子のポート機能を制御するレジスタ

キー割り込み入力端子として使用するときは，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ0, 4（PM0, PM4），ポート・モード・コントロール・レジスタ0（PMC0））を設定してください。詳細は，**4. 3. 1 ポート・モード・レジスタ0, 4（PM0, PM4）**，**4. 3. 5 ポート・モード・コントロール・レジスタ0（PMC0）**を参照してください。

また，キー割り込み入力端子として使用するときの設定例は，**4. 5. 3 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

キー割り込み入力端子を兼用するポート（P01/ANI0/SI00/RXD0/SDA00/KR2など）をキー割り込み入力として使用するときは，各ポートに対応するポート・モード・レジスタ0（PM0）のビットに1を設定してください。

また，ポート・モード・コントロール・レジスタ0（PMC0）のビットに0を設定してください。

このとき，ポート・レジスタ0（P0）のビットは，0または1のどちらでもかまいません。

例　P01/ANI0/SI00/RXD0/SDA00/KR2をキー割り込み入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC01ビットを0に設定

ポート・モード・レジスタ0のPM01ビットを1に設定

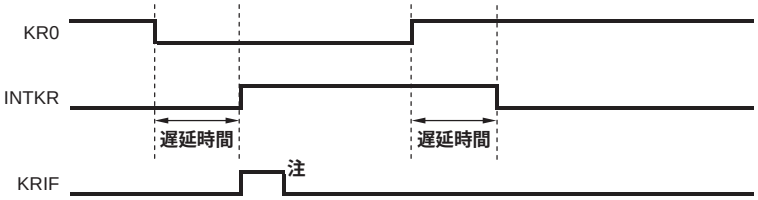
15. 4　キー割り込み機能の動作

15. 4. 1　キー割り込みフラグを使用しない場合（KRMD = 0）

キー割り込み入力端子（KR0-KR5）にKREGビットで設定した有効エッジを入力することによって，キー割り込み（INTKR）が発生します。また，キー割り込み（INTKR）発生後にポート・レジスタをリードし入力レベルを確認することで，有効エッジが入力されたチャネルを特定できます。

キー割り込み入力端子（KR0-KR5）の入力レベルに連動してINTKR信号が変化します。

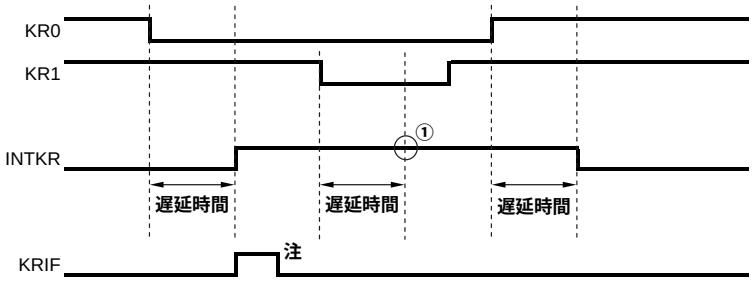
図15－5　1つのチャネルへのキー割り込み入力時のINTKR信号の動作（KRMD = 0, KREG = 0設定時）



注　ベクタ割り込み要求の受け付けもしくはソフトウエアによりクリア

複数のキー割り込み入力端子に有効エッジが入力された場合の動作を図15－6に示します。1つの端子にロウ・レベル（KREG = 0設定時）が入力されている期間はINTKR信号がセットされているため，この間に他の端子に立ち下がりエッジを入力しても再度キー割り込み（INTKR）は発生しません（図中の①）。

図15－6　複数チャネルへのキー割り込み入力時のINTKR信号の動作（KRMD = 0, KREG = 0設定時）



注　ベクタ割り込み要求の受け付けもしくはソフトウエアによりクリア

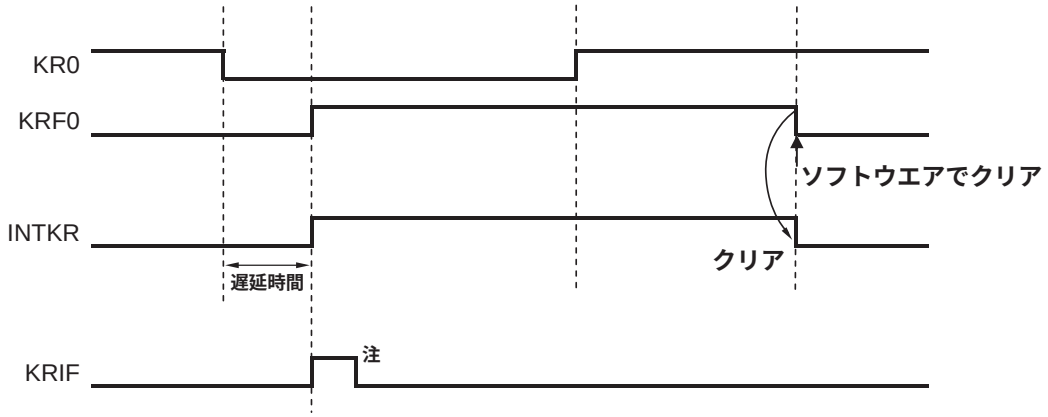
15. 4. 2　キー割り込みフラグを使用する場合（KRMD = 1）

キー割り込み入力端子（KR0-KR5）にKREGビットで設定した有効エッジを入力することによって，キー割り込み（INTKR）が発生します。また，キー割り込み（INTKR）発生後にキー・リターン・フラグ・レジスタ（KRF）をリードすることで，有効エッジが入力されたチャネルを特定できます。

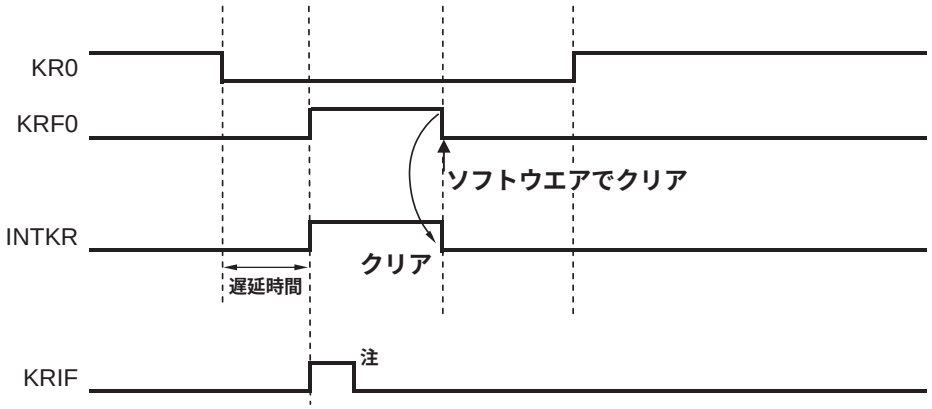
KRMD = 1に設定時は，KRFレジスタの対象ビットをクリアすることにより，INTKR信号がクリアされます。図15－7に示すように，1つのチャネルでの立ち下がりエッジ（KREG = 0設定時）1回に対して，KRFnビットのクリアのタイミングが立ち上がりエッジの前後に関わらず，割り込みは1回しか発生しません。

図15－7　キー割り込みフラグを使用時のINTKR信号の基本動作（KRMD = 1, KREG = 0設定時）

（a）KR0端子への立ち上がりエッジ入力後にKRF0をクリア



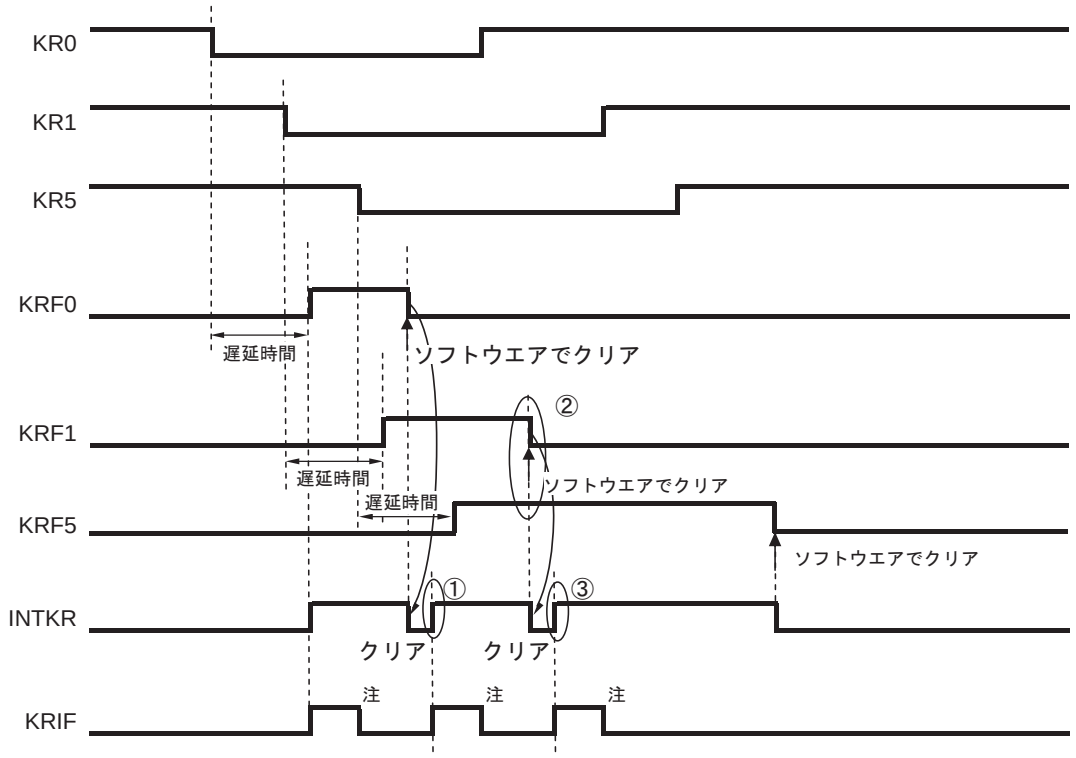
（b）KR0端子への立ち上がりエッジ入力前にKRF0をクリア



注　ベクタ割り込み要求の受け付けもしくはソフトウエアによりクリア

複数のキー割り込み入力端子に有効エッジが入力された場合の動作を図15－8に示します。KR0端子に立ち下がりエッジを入力後にKR1端子，KR5端子にも立ち下がりエッジを入力しています（KREG = 0設定時）。KRF0ビットをクリアする時にKRF1ビットがセットされているため，KRF0ビットのクリアの1クロック（f_{CLK}）後にキー割り込み（INTKR）が発生します（図中の①）。また，KR5端子に立ち下がりエッジが入力され，KRF1ビットをクリアするときKRF5ビットがセットされている（図中の②）ため，KRF1ビットのクリアの1クロック（f_{CLK}）後にキー割り込み（INTKR）が発生します（図中の③）。このように，複数チャネルに入力した有効エッジに対してキー割り込み（INTKR）の発生が可能となります。

図15－8　複数チャネルへのキー割り込み入力時のINTKR信号の動作（KRMD = 1, KREG = 0設定時）



注　ベクタ割り込み要求の受け付けもしくはソフトウエアによりクリア

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

第16章　スタンバイ機能

16.1　概　　要

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の2種類のモードがあります。

（1）HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路，高速オンチップ・オシレータが動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。

（2）STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック発振回路，高速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

注意1. STOPモードに移行するとき，X1発振かEXCLK入力で動作する周辺ハードウエアの動作は必ず停止させたのち，STOP命令を実行してください注。

2. A/Dコンバータ部の動作電流を低減させるためには，A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし，A/D変換動作を停止させてから，STOP命令を実行してください。

3. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続／停止するかは，オプション・バイトで選択できます。詳細は第19章　オプション・バイトを参照してください。

注　16ピン製品のみ

16. 2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

各レジスタについての詳細は，**第5章　クロック発生回路**を参照してください。

HALT/STOPモード時に低速オンチップ・オシレータの動作許可／停止を制御するレジスタ

・動作スピード・モード制御レジスタ（OSMC）

STOPモード解除時，X1クロックの発振安定時間を制御するレジスタ

・発振安定時間カウンタ状態レジスタ（OSTC）注

・発振安定時間選択レジスタ（OSTS）注

注　16ピン製品のみ

16. 3　スタンバイ機能の動作

16. 3. 1　HALTモード

（1）HALTモード

HALTモードは，HALT命令の実行により設定されます。

設定前のCPUクロックは，高速システム・クロック（16ピン製品のみ）と高速オンチップ・オシレータ・クロックのいずれの場合でも設定可能です。次にHALTモード時の動作状態を示します。

注意　割り込みマスク・フラグが0（割り込み処理許可）でかつ割り込み要求フラグが1（割り込み要求信号が発生）の場合，HALTモードの解除に割り込み要求信号が用いられるため，その状況下でHALT命令を実行しても，HALTモードに移行しません。

表16－1　HALTモード時の動作状態

<table>
<tr><th colspan="2" rowspan="2">HALTモードの設定
項　　目</th><th colspan="3">メイン・システム・クロックでCPU動作中のHALT命令実行時</th></tr>
<tr><th>高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時</th><th>X1クロック（f_X）でCPU動作時</th><th>外部メイン・システム・クロック（f_{EX}）でCPU動作時</th></tr>
<tr><td colspan="2">システム・クロック</td><td colspan="3">CPUへのクロック供給は停止</td></tr>
<tr><td rowspan="3">メイン・システム・クロック</td><td>f_{IH}</td><td>動作継続（停止不可）</td><td colspan="2">動作禁止</td></tr>
<tr><td>f_X</td><td rowspan="2">動作禁止</td><td>動作継続（停止不可）</td><td>動作不可</td></tr>
<tr><td>f_{EX}</td><td>動作不可</td><td>動作継続（停止不可）</td></tr>
<tr><td colspan="2">f_{IL}</td><td colspan="3">オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）および動作スピード・モード制御レジスタ（OSMC）のビット4（WUTMMCK0）にて設定
・WUTMMCK0 = 1：発振
・WUTMMCK0 = 0 かつ WDTON = 0：停止
・WUTMMCK0 = 0, WDTON = 1 かつ WDSTBYON = 1 のとき：発振
・WUTMMCK0 = 0, WDTON = 1 かつ WDSTBYON = 0 のとき：停止</td></tr>
<tr><td colspan="2">CPU</td><td colspan="3" rowspan="3">動作停止</td></tr>
<tr><td colspan="2">コード・フラッシュ・メモリ</td></tr>
<tr><td colspan="2">RAM</td></tr>
<tr><td colspan="2">ポート（ラッチ）</td><td colspan="3">HALTモード設定前の状態を保持</td></tr>
<tr><td colspan="2">タイマ・アレイ・ユニット</td><td colspan="3" rowspan="2">動作可能</td></tr>
<tr><td colspan="2">12ビット・インターバル・タイマ注</td></tr>
<tr><td colspan="2">ウォッチドッグ・タイマ</td><td colspan="3">オプション・バイト（000C0H）のビット0（WDSTBYON）にて設定
WDSTBYON = 0：動作停止
WDSTBYON = 1：動作継続</td></tr>
<tr><td colspan="2">クロック出力／ブザー出力</td><td colspan="3" rowspan="8">動作可能</td></tr>
<tr><td colspan="2">A/Dコンバータ</td></tr>
<tr><td colspan="2">コンパレータ注</td></tr>
<tr><td colspan="2">シリアル・アレイ・ユニット（SAU）</td></tr>
<tr><td colspan="2">シリアル・インタフェースIICA注</td></tr>
<tr><td colspan="2">セレクタブル・パワーオン・リセット機能</td></tr>
<tr><td colspan="2">外部割り込み</td></tr>
<tr><td colspan="2">キー割り込み機能</td></tr>
</table>

注　16ピン製品のみ

備考　動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる
f_{IH}　：高速オンチップ・オシレータ・クロック
f_{IL}　：低速オンチップ・オシレータ・クロック
f_X　：X1クロック注
f_{EX}　：外部メイン・システム・クロック注

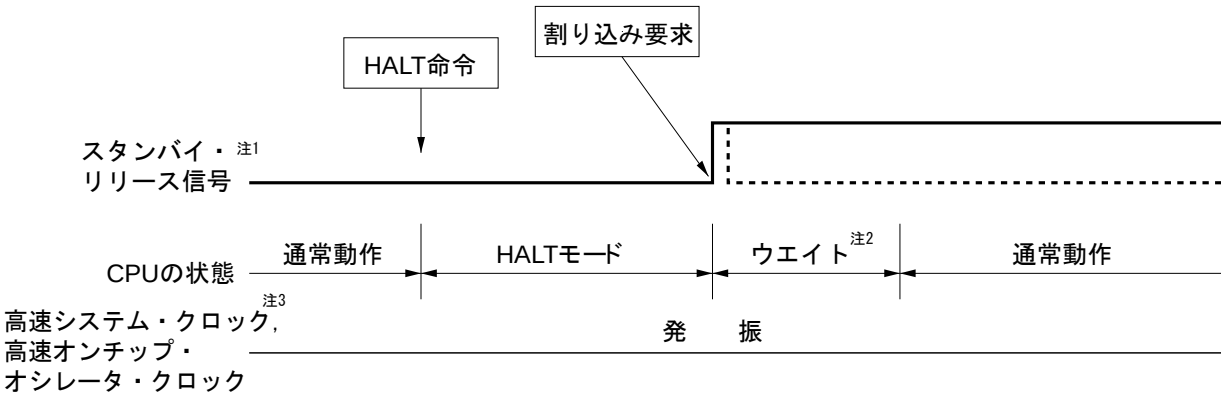
（2）HALTモードの解除

HALTモードは，次の2種類のソースによって解除できます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALTモードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

図16－1　割り込み要求発生によるHALTモードの解除



注1.　スタンバイ・リリース信号の詳細は，**図14－1　割り込み機能の基本構成**を参照してください。

2.　HALTモード解除のウエイト時間：ベクタ割り込み処理を行う場合：28～29クロック
ベクタ割り込み処理を行わない場合：20～21クロック

3.　16ピン製品のみ

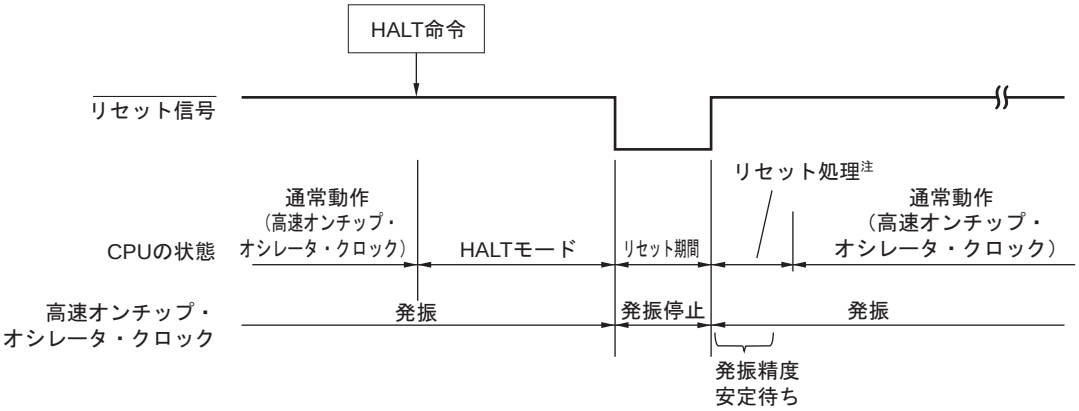
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生によるHALTモードの解除

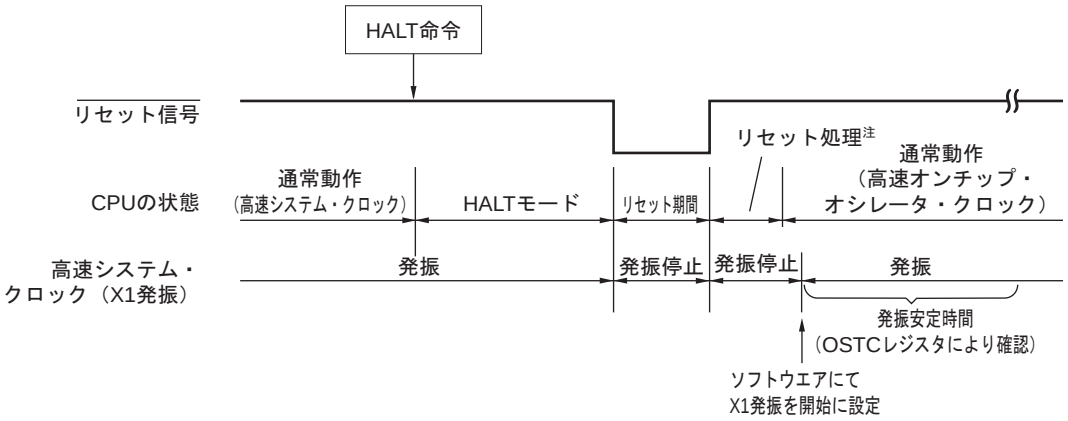
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図16－2　リセット信号の発生によるHALTモードの解除

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



（2）CPUクロックが高速システム・クロックの場合（16ピン製品のみ）



注　リセット処理時間は，**第17章　リセット機能**を参照してください。なお，SPOR回路によるリセット処理時間は，**第18章　セレクタブル・パワーオン・リセット回路**を参照してください。

16. 3. 2　STOPモード

（1）STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。

注意　割り込みマスク・フラグが0（割り込み処理許可）で且つ割り込み要求フラグが1（割り込み要求信号が発生）の場合，STOPモードの解除に割り込み要求信号が用いられるため，その状況でSTOP命令を実行すると，いったんSTOPモードに入ってただちに解除されます。したがって，STOP命令実行後，STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表16－2　STOPモード時の動作状態

STOPモードの設定 ／ 項目	CPU動作中のSTOP命令実行時		
	高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック f_{IH}	停止		
メイン・システム・クロック f_X			
メイン・システム・クロック f_{EX}			
f_{IL}	オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）および動作スピード・モード制御レジスタ（OSMC）のビット4（WUTMMCK0）にて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止		
CPU	動作停止		
コード・フラッシュ・メモリ			
RAM	動作停止		
ポート（ラッチ）	STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット	動作禁止		
12ビット・インターバル・タイマ注	動作可能		
ウォッチドッグ・タイマ	オプション・バイト（000C0H）のビット0（WDSTBYON）にて設定 WDSTBYON = 0：動作停止 WDSTBYON = 1：動作継続		
クロック出力／ブザー出力	動作禁止		
A/Dコンバータ			
コンパレータ注	動作可能（デジタル・フィルタ未使用時のみ）		
シリアル・アレイ・ユニット（SAU）	動作禁止		
シリアル・アレイ・ユニット（IICA）注	アドレス一致によるウエイク・アップ動作可能		
セレクタブル・パワーオン・リセット機能	動作可能		
外部割り込み			
キー割り込み機能			

注　16ピン製品のみ

備考　動作停止：STOPモード移行時に自動的に動作停止
動作禁止：STOPモード移行前に動作を停止させる
f_{IH}　：高速オンチップ・オシレータ・クロック
f_{IL}　：低速オンチップ・オシレータ・クロック
f_X　：X1クロック注
f_{EX}　：外部メイン・システム・クロック注

（2）STOPモードの解除

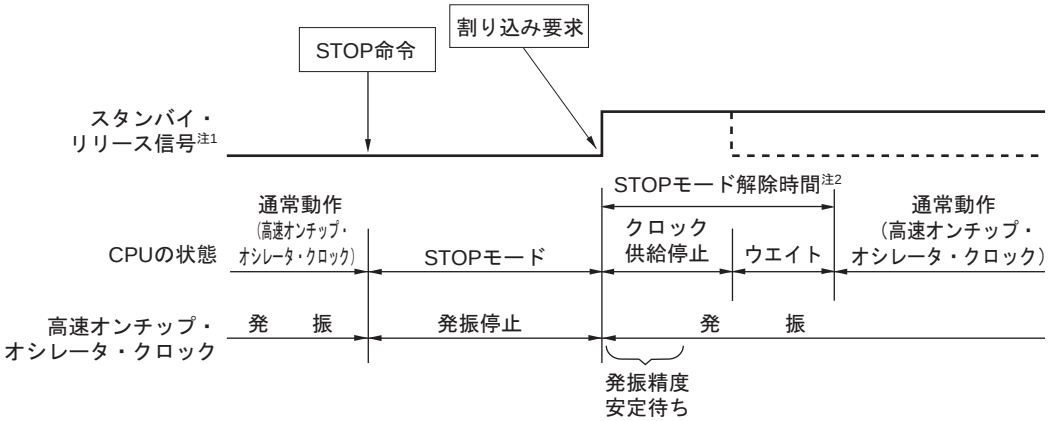
STOPモードは，次の2種類のソースによって解除することができます。

（a）マスクされていない割り込み要求によるSTOPモードの解除

マスクされていない割り込み要求が発生すると，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図16－3　割り込み要求発生によるSTOPモードの解除（1/2）

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1.　スタンバイ・リリース信号の詳細は，**図14－1　割り込み機能の基本構成**を参照してください。

2.　STOPモード解除時間：クロック供給停止：27μs（TYP.）

ウエイト

・ベクタ割り込み処理を行う場合　　：11クロック

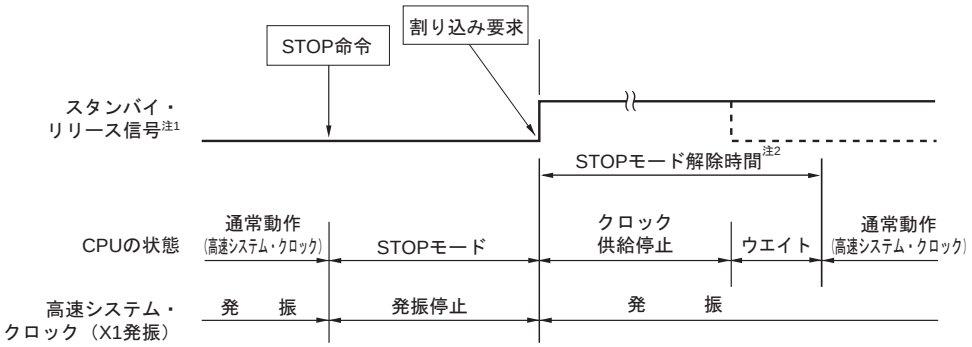
・ベクタ割り込み処理を行わない場合：3クロック

備考1.　クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

2.　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図16－3　割り込み要求発生によるSTOPモードの解除（2/2）

（2）CPUクロックが高速システム・クロック（X1発振）の場合（16ピン製品のみ）



注1.　スタンバイ・リリース信号の詳細は，**図14－1　割り込み機能の基本構成**を参照してください。

2.　STOPモード解除時間：27 μs（TYP.）と発振安定時間（OSTSで設定）の長い方

ウェイト

・ベクタ割り込み処理を行う場合：14～15クロック

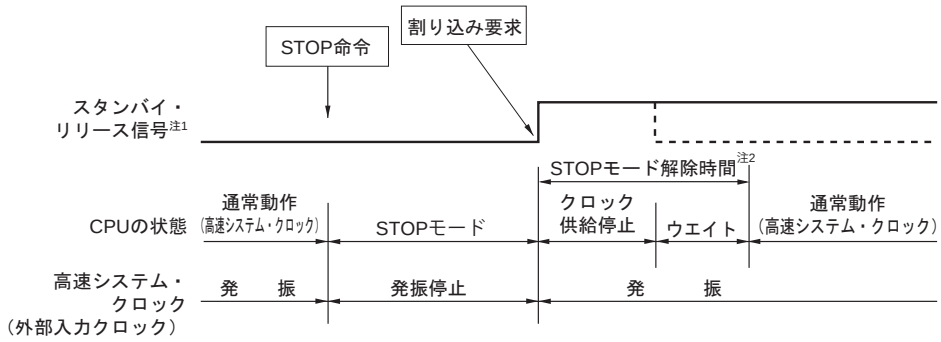
・ベクタ割り込み処理を行わない場合：6～7クロック

注意　高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1.　クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

2.　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（3）CPUクロックが高速システム・クロック（外部クロック入力）の場合（16ピン製品のみ）



注1.　スタンバイ・リリース信号の詳細は，**図14－1　割り込み機能の基本構成**を参照してください。

2.　STOPモード解除時間：$2^4/f_{EX}$

ウェイト

・ベクタ割り込み処理を行う場合：11クロック

・ベクタ割り込み処理を行わない場合：3クロック

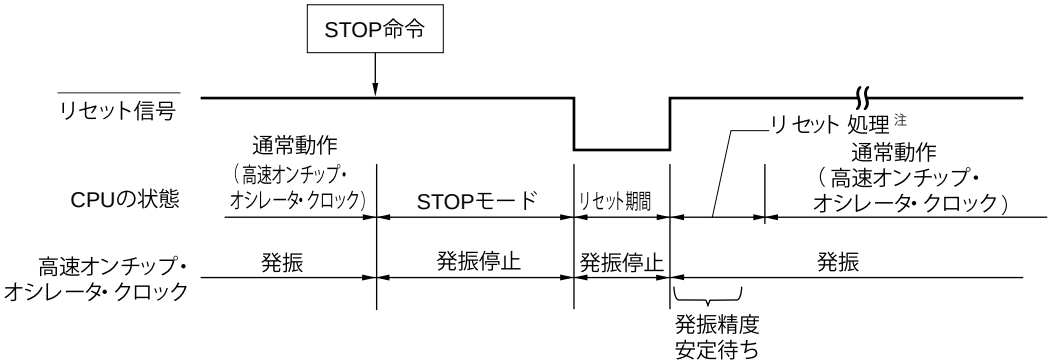
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生によるSTOPモードの解除

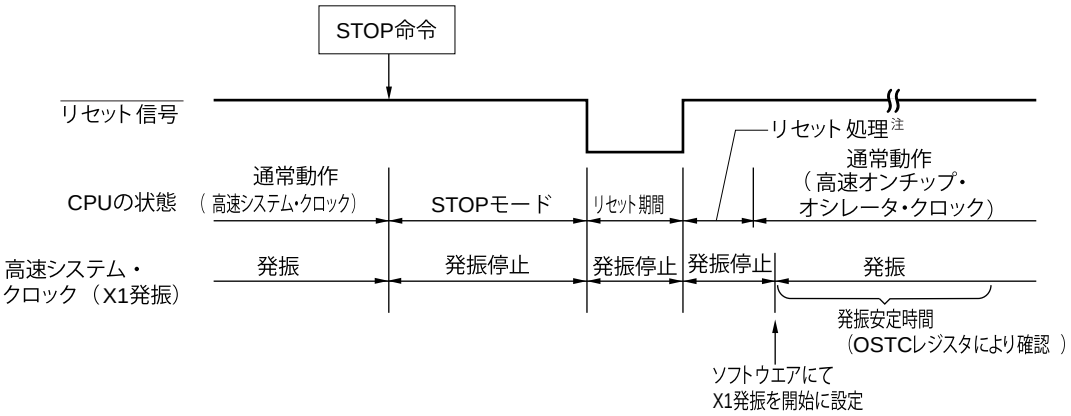
リセット信号の発生により，STOPモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図16－4　リセット信号の発生によるSTOPモードの解除

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



（2）CPUクロックが高速システム・クロックの場合（16ピン製品のみ）



注　リセット処理時間は，**第17章　リセット機能**を参照してください。なお，SPOR回路によるリセット処理時間は，**第18章　セレクタブル・パワーオン・リセット回路**を参照してください。

第17章　リセット機能

リセット信号を発生させる要因には，次の5種類があります。

（1）$\overline{\text{RESET}}$端子による外部リセット入力
（2）ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
（3）セレクタブル・パワーオン・リセット回路（SPOR）の電源電圧と検出電圧の比較による内部リセット
（4）不正命令の実行による内部リセット[注]
（5）データ保持電源電圧による内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，0000H，0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

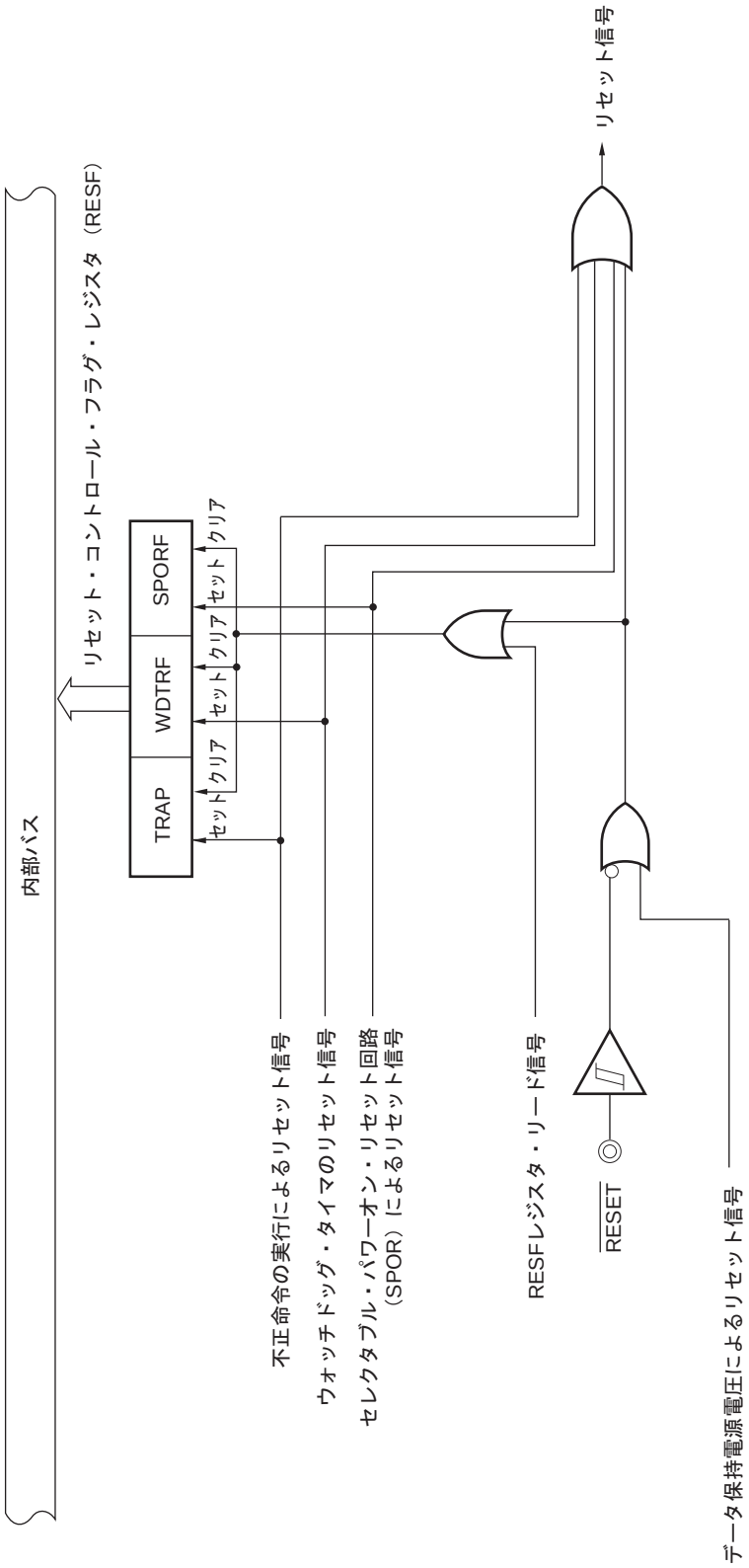
注意1.　外部リセットを行う場合，ユーザ・オプションバイト（000C1H）をPORTSELB＝1に設定して，P125を$\overline{\text{RESET}}$端子として選択し，10 μs以上のロウ・レベルを入力してください。
（電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，24. 4 AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。）

2.　リセット信号発生中では，X1クロック[注]，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。また，外部メイン・システム・クロック[注]の入力は無効となります。

3.　リセットがかかると各SFRと2nd SFRは初期化されるため，ポート端子は次の状態になります。
・P40：外部リセットかデータ保持電源電圧によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）
・P125：外部リセットによるリセット期間中はロウ・レベル（$\overline{\text{RESET}}$端子にロウ・レベル入力）。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）
・P40, P125以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス。

注　16ピン製品のみ

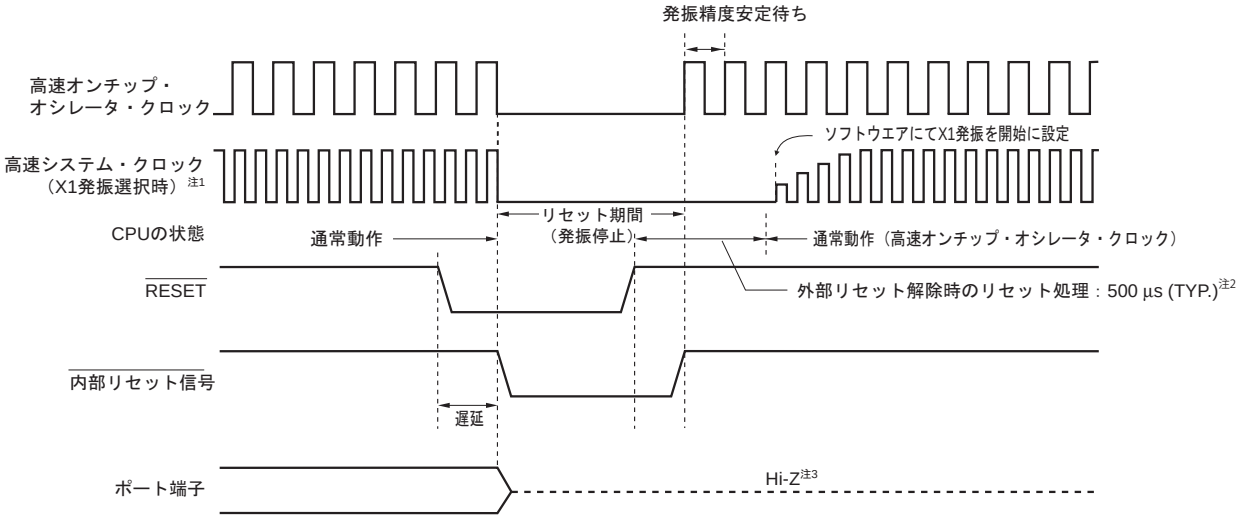
図17−1　リセット機能のブロック図



17. 1　リセット動作のタイミング

$\overline{\text{RESET}}$端子にロウ･レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図17－2　$\overline{\text{RESET}}$入力によるリセット・タイミング



注1.　16ピン製品のみ

2.　電源立ち上がり時は，外部リセット解除時のリセット処理時間の前にSPORリセット処理時間（MAX. 3.01ms）がかかります。

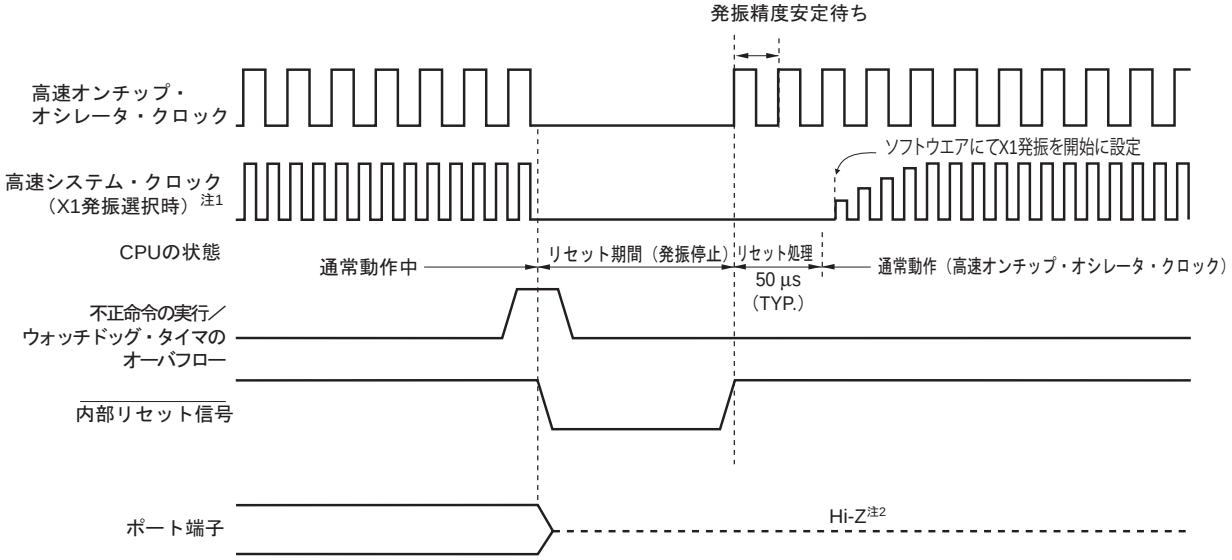
3.　P40端子は次の状態になります。

・外部リセットかデータ保持電源電圧によるリセット期間中はハイ・インピーダンス

・リセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）

ウォッチドッグ・タイマのオーバフロー／不正命令の実行によるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図17－3　ウォッチドッグ・タイマのオーバフロー／不正命令の実行によるリセット・タイミング



注1.　16ピン製品のみ

2.　P40, P125端子は次の状態になります。

・リセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）

備考　セレクタブル・パワーオン・リセット（SPOR）回路の電圧検出によるリセット・タイミングは，**第18章　セレクタブル・パワーオン・リセット回路**を参照してください。

17. 2　リセット期間中の動作状態

表17－1に，リセット期間中の動作状態，表17-2に，リセット受け付け後の各ハードウェアの状態を示します。

表17－1　リセット期間中の動作状態

項　　目			リセット期間中
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_X	動作停止（X1，X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
	f_{IL}		動作停止
CPU			
コード・フラッシュ・メモリ			動作停止
RAM			動作停止
ポート（ラッチ）			ハイ・インピーダンス[注2]
タイマ・アレイ・ユニット			動作停止
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			
クロック出力／ブザー出力			
A/Dコンバータ			
コンパレータ[注1]			
シリアル・アレイ・ユニット（SAU）			
シリアル・インタフェース（IICA）			
セレクタブル・パワーオン・リセット機能			検出動作可能
外部割り込み			動作停止
キー割り込み機能			

注1.　16ピン製品のみ

2.　P40, P125の端子の状態は，次のとおりです。

・P40：外部リセットかデータ保持電源電圧によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）。

・P125：外部リセットによるリセット期間中はロウ・レベル（$\overline{\text{RESET}}$端子にロウ・レベル入力）。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）。

備考　f_{IH}：高速オンチップ・オシレータ・クロック

f_X：X1クロック

f_{EX}：外部メイン・システム・クロック

f_{IL}：低速オンチップ・オシレータ・クロック

表17－2　リセット受け付け後の各ハードウエアの状態

ハードウエア		リセット受け付け後の状態[注1]
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（0000H, 0001H）の内容がセットされる。
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注　リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不安定となります。その他は，リセット後の状態と変わりありません。

備考　特殊機能レジスタ　（SFR：Special Function Register）のリセット受け付け後の状態は，**3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域**，**3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域**を参照してください。

17. 3　リセット要因を確認するレジスタ

17. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF）

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット・メモリ操作命令で，読み出すことができます。

外部リセットやデータ保持下限電圧によるリセットおよびRESFレジスタのデータを読み出すことにより，TRAP, WDTRF, SPORFフラグはクリアされます。

図17－4　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H　リセット時：不定[注1]　R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	0	0	SPORF

TRAP	不正命令の実行による内部リセット要求[注2]
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

SPORF	セレクタブル・パワーオン・リセット（SPOR）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1.　リセット要因により異なります。

2.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットはオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意　1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFレジスタの状態を表17－3に示します。

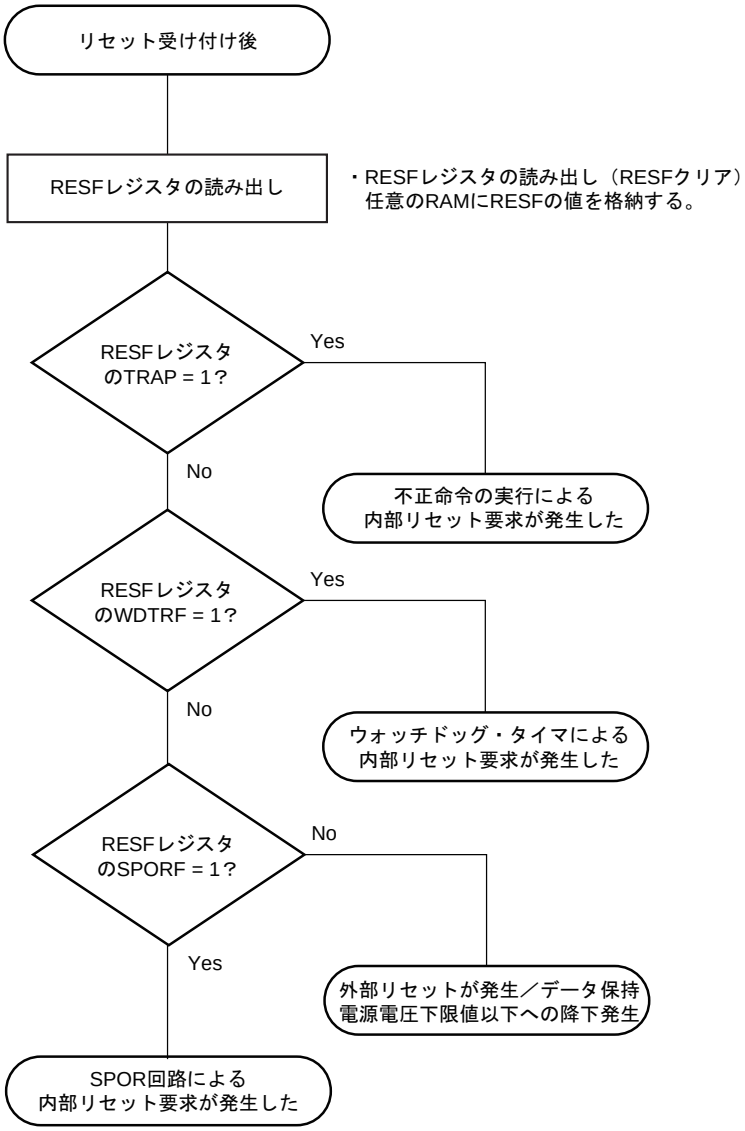
表17－3　リセット要求時のRESFレジスタの状態

リセット要因 ＼ フラグ	$\overline{\text{RESET}}$入力	不正命令の実行によるリセット	WDTによるリセット	SPORによるリセット	データ保持下限電圧によるリセット
TRAP	クリア（0）	セット（1）	保持	保持	クリア（0）
WDTRF		保持	セット（1）	保持	
SPORF		保持	保持	セット（1）	

RESFレジスタは，8ビット・メモリ操作命令で読み出すと，自動的にクリアされます。

リセット要因の確認手順例を図17－5に示します。

図17－5　リセット要因の確認手順例



※　上記フローは確認手順の一例です。

第18章　セレクタブル・パワーオン・リセット回路

18. 1　セレクタブル・パワーオン・リセット回路の機能

セレクタブル・パワーオン・リセット（SPOR）回路は，次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
　電源電圧（V_{DD}）が検出電圧（V_{SPOR}）を超えた場合（$V_{DD} \geqq V_{SPOR}$）にリセットを解除します。

・電源電圧（V_{DD}）と検出電圧（V_{SPDR}）を比較し，$V_{DD} < V_{SPDR}$になったとき内部リセット信号を発生します。

・電源電圧の検出電圧（V_{SPOR}，V_{SPDR}）は，オプション・バイト（000C1H）にて検出レベルを4段階より選択できます（**19. 2　ユーザ・オプション・バイトのフォーマット**参照）。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（SPORF）がセット（1）されます。RESFレジスタについての詳細は，**第17章　リセット機能**を参照してください。

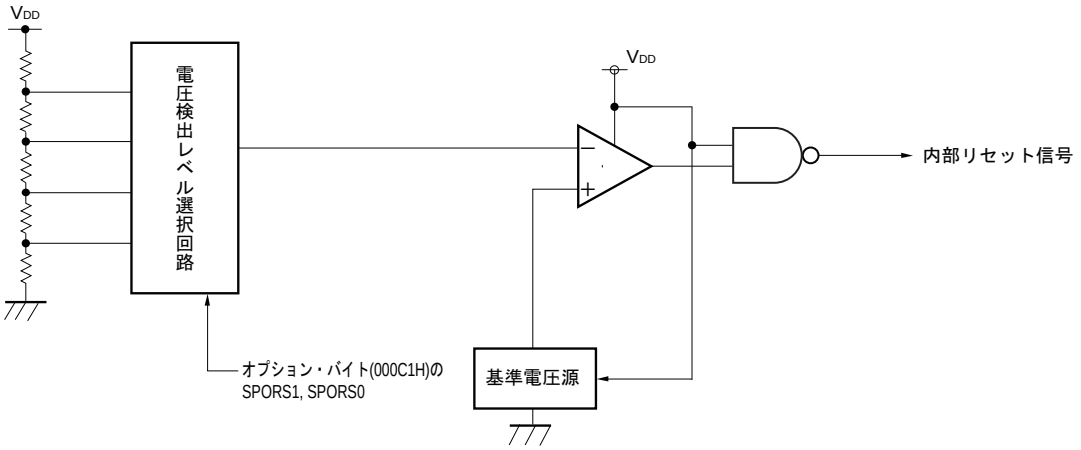
注意　リセット・コントロール・フラグ・レジスタ（RESF）の各フラグは，データ保持下限電圧まで保持されます。

備考　V_{SPOR}：SPOR電源立ち上がり検出電圧
　　V_{SPDR}：SPOR電源立ち下がり検出電圧
　　詳細は，**24. 6. 4　SPOR回路特性**を参照してください。

18. 2　セレクタブル・パワーオン・リセット回路の構成

セレクタブル・パワーオン・リセット回路のブロック図を図18－1に示します。

図18－1　セレクタブル・パワーオン・リセット回路のブロック図



18. 3　セレクタブル・パワーオン・リセット回路の動作

オプション・バイト000C1Hで電圧検出レベルを設定しておきます。

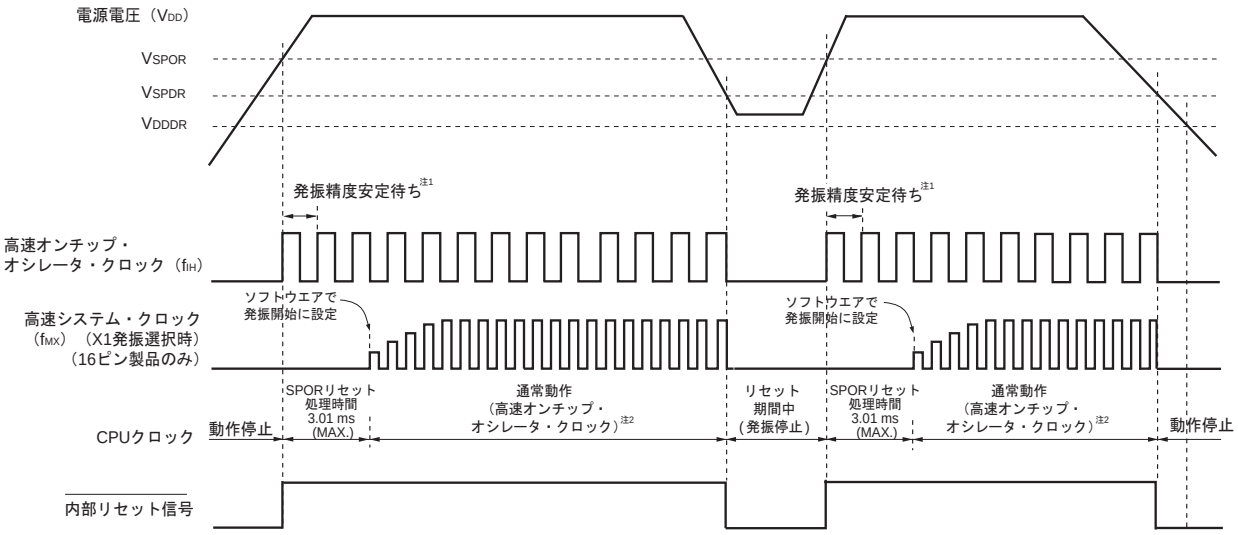
電源投入時に内部リセット信号を発生します。

電源電圧（V_{DD}）が電圧検出レベル（V_{SPOR}）を超えるまで内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{SPOR}）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が電圧検出レベル（V_{SPDR}）を下回ると内部リセットを発生します。

図18－2に，セレクタブル・パワーオン・リセット回路の内部リセット信号発生のタイミングを示します。

図18－2　内部リセット信号発生のタイミング



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です（16ピン製品のみ）。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから切り替えてください。

備考 V_{SPOR}：SPOR電源立ち上がり検出電圧

V_{SPDR}：SPOR電源立ち下がり検出電圧

V_{DDDR}：データ保持電源電圧

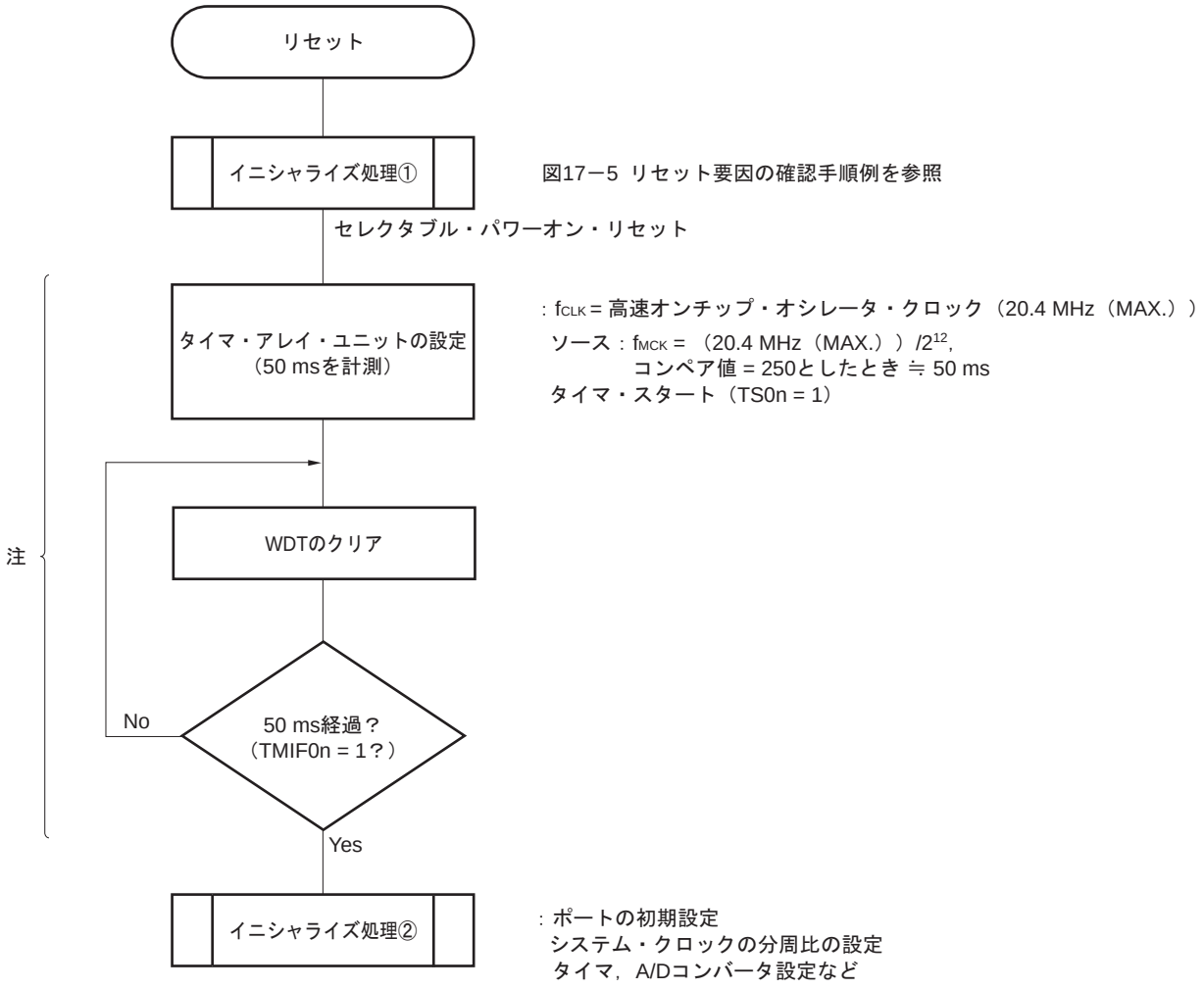
18. 4　セレクタブル・パワーオン・リセット回路の注意事項

電源電圧（V_{DD}）がSPOR検出電圧（V_{SPOR},V_{SPDR}）付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処置＞

リセット解除後，タイマなどを使用して，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください

図18－3　電圧検出レベル付近での電源電圧変動が50 ms以下の場合のソフト処理例



注　この間に再度リセットが発生した場合，イニシャライズ処理②には移行しません。

備考　nはチャネル番号です。10ピン製品の場合はn = 0, 1です。16ピン製品の場合はn = 0-3です。

第19章　オプション・バイト

19. 1　オプション・バイトの機能

RL78/G10のフラッシュ・メモリの000C0H-000C3Hは，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。

注意　オプション・バイトは，各機能の使用の有無にかかわらず必ず設定してください。

19. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H）

（1）000C0H

○ウォッチドッグ・タイマの動作

・カウンタの動作許可／停止

・HALT/STOPモード時の動作停止／可能

○ウォッチドッグ・タイマの時間設定

・ウォッチドッグ・タイマのオーバフロー時間の設定

・ウォッチドッグ・タイマのインターバル割り込みの設定

（2）000C1H

○SPOR検出レベル（V_{SPOR}）の設定

○P125/KR1/$\overline{\text{RESET}}$端子の制御

・P125/KR1か$\overline{\text{RESET}}$かを選択

（3）000C2H

○高速オンチップ・オシレータの周波数設定

・1.25～20 MHzの高速オンチップ・オシレータ・クロックから選択

19. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H）

○オンチップ・デバッグ動作制御

・オンチップ・デバッグ動作禁止／許可

19. 2　ユーザ・オプション・バイトのフォーマット

図19－1　ユーザ・オプション・バイト（000C0H）のフォーマット

アドレス：000C0H

7	6	5	4	3	2	1	0
1	1	1	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後，カウント停止）
1	カウンタ動作許可（リセット解除後，カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f_{IL} = 17.25 kHz (MAX.) の場合)	ウォッチドッグ・タイマのインターバル割り込み時間 (f_{IL} =17.25 kHz (MAX.) の場合)
0	0	0	$(2^6-1)/f_{IL}$（3.65 ms）	$2^6/f_{IL}\times0.75$（2.78 ms）
0	0	1	$(2^7-1)/f_{IL}$（7.36 ms）	$2^7/f_{IL}\times0.75$（5.56 ms）
0	1	0	$(2^8-1)/f_{IL}$（14.7 ms）	$2^8/f_{IL}\times0.75$（11.1 ms）
0	1	1	$(2^9-1)/f_{IL}$（29.6 ms）	$2^9/f_{IL}\times0.75$（22.2 ms）
1	0	0	$(2^{11}-1)/f_{IL}$（118 ms）	$2^{11}/f_{IL}\times0.75$（89.0 ms）
1	0	1	$(2^{13}-1)/f_{IL}$（474 ms）	$2^{13}/f_{IL}\times0.75$（356 ms）
1	1	0	$(2^{14}-1)/f_{IL}$（949 ms）	$2^{14}/f_{IL}\times0.75$（712 ms）
1	1	1	$(2^{16}-1)/f_{IL}$（3799 ms）	$2^{16}/f_{IL}\times0.75$（2849 ms）

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）
0	HALT/STOPモード時，カウンタ動作停止
1	HALT/STOPモード時，カウンタ動作許可

注意1.　ビット7-5には，必ず1を書き込んでください。

2.　WDTON＝0，WDSTBYON＝1の設定は禁止です。

3.　ウォッチドッグ・タイマのインターバル割り込みは常に発生します。ウォッチドッグ・タイマのインターバル割り込みを使用しない場合は，必ずWDTIMKビットを1に設定して，割り込み処理を禁止してください。

備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

図19－2　ユーザ・オプション・バイト（000C1H）のフォーマット

アドレス：000C1H

7	6	5	4	3	2	1	0
1	1	1	PORTSELB	SPORS1	SPORS0	1	1

・SPOR検出電圧の設定

検出電圧（V_{SPOR}）		オプション・バイト設定値	
立ち上がり	立ち下がり	SPORS1	SPORS0
4.28 V	4.20 V	0	0
2.90 V	2.84 V	0	1
2.57 V	2.52 V	1	0
2.16 V	2.11 V	1	1

・P125/KR1/$\overline{\text{RESET}}$端子の制御

PORTSELB	P125/KR1/$\overline{\text{RESET}}$端子の制御
0	ポート機能（P125/KR1）
1	$\overline{\text{RESET}}$入力（内蔵プルアップ抵抗が常時有効）

注意1.　ビット7-5，1，0には，必ず1を書き込んでください。

2.　検出電圧（V_{SPOR}）は，動作電圧範囲になるように設定してください。動作電圧範囲は，ユーザ・オプション・バイト（000C2H）の設定で決まります。
動作電圧範囲は以下のとおりです。
CPU動作周波数 1 MHz～20 MHz：　V_{DD} = 2.7～5.5 V
CPU動作周波数 1 MHz～ 5 MHz：　V_{DD} = 2.0～5.5 V

備考1.　SPOR回路の詳細は，**第18章　セレクタブル・パワーオン・リセット回路**を参照してください。

2.　検出電圧はTYP.値です。詳細は，**24. 6. 4　SPOR回路特性**を参照してください。

図19－3　ユーザ・オプション・バイト（000C2H）のフォーマット

アドレス：000C2H

7	6	5	4	3	2	1	0
1	1	1	1	1	FRQSEL2	FRQSEL1	FRQSEL0

FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータ・クロックの周波数選択	
			動作周波数（f_{MAIN}）	動作電圧範囲（V_{DD}）
0	0	1	20MHz	2.7V～5.5V
0	1	0	10MHz	
0	1	1	5MHz	2.0V～5.5V注
1	0	0	2.5MHz	
1	0	1	1.25 MHz	
上記以外			設定禁止	

注　　セレクタブル・パワーオン・リセット（SPOR）回路の検出電圧（V_{SPOR}）が含まれるため，2.25V~5.5Vの電圧範囲で使用してください。

注意　ビット7-3には，必ず1を書き込んでください。

19. 3　オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図19－4　オンチップ・デバッグ・オプション・バイト（000C3H）のフォーマット

アドレス：000C3H

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	1

OCDENSET	オンチップ・デバッグ動作制御
0	オンチップ・デバッグ動作禁止
1	オンチップ・デバッグ動作許可[注]

注　オンチップ・デバッグ・セキュリティID認証失敗時に，フラッシュ・メモリのデータを消去しません。

注意　**ビット7（OCDENSET）のみ，値を指定できます。**
ビット6-0には，必ず0000101Bを書き込んでください。

備考　ビット1，3は，オンチップ・デバッグ機能使用時に値が書き変わるので，設定後は不定となります。ただし，設定時にはビット3-1にも，必ず初期値（0, 1, 0）を設定してください。

19. 4　オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合，下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウエア記述例を次に示します。

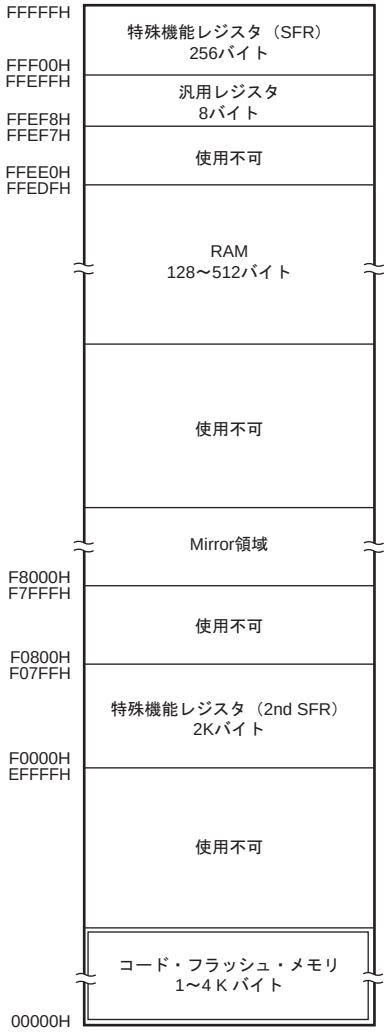
```
OPT   CSEG      OPT_BYTE
      DB        F7H     ; ウォッチドッグ・タイマ動作許可，
                        ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                        ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB        E7H     ; VSPDRに2.7 Vを選択
                        ; ポート機能（P125/KR1）を使用
      DB        FDH       高速オンチップ・オシレータ・クロック周波数 1.25MHzを選択
      DB        85H     ; オンチップ・デバッグ動作許可
```

注意　オプション・バイトをアセンブリ言語により指定する場合，CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。

第20章　フラッシュ・メモリ

RL78マイクロコントローラは，プログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。

注意　フラッシュ・メモリ・プログラミング時の動作電圧は4.5 V～5.5 Vです。



フラッシュ・メモリのプログラミング方法は，次のとおりです。

コード・フラッシュ・メモリは，フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングで書き換えることができます。

・フラッシュ・メモリ・プログラマによるシリアル・プログラミング（**20. 1**参照）
　専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

・外部デバイス（UART通信）によるシリアル・プログラミング（**20. 2**参照）
　外部デバイス（マイコンやASIC）とのUART通信を使用してオンボードで書き込みができます。

★ 20. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

・PG-FP5, PG-FP6
・E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

（1）オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

（2）オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

★ **表20－1　RL78/G10と専用フラッシュ・メモリ・プログラマの配線表**

専用フラッシュ・メモリ・プログラマ接続端子				RL78/G10の端子名	10ピン製品のピン番号	16ピン製品のピン番号
信号名		入出力	端子機能			
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータ					
－	TOOL0	入出力	送受信信号	TOOL0/P40	1	2
SI/RxD	－	入出力	送受信信号			
－	RESET_OUT	出力	リセット信号	$\overline{\text{RESET}}$	2	3
$\overline{\text{RESET}}$	－	出力				
V_{DD}注		入出力	V_{DD}電圧生成／電源監視	V_{DD}	5	8
GND		－	グランド	V_{SS}	4	7
EMV_{DD}		－	TOOL0端子駆動電源	V_{DD}	5	8

注　PG-FP6の信号名はV_{CC}です。

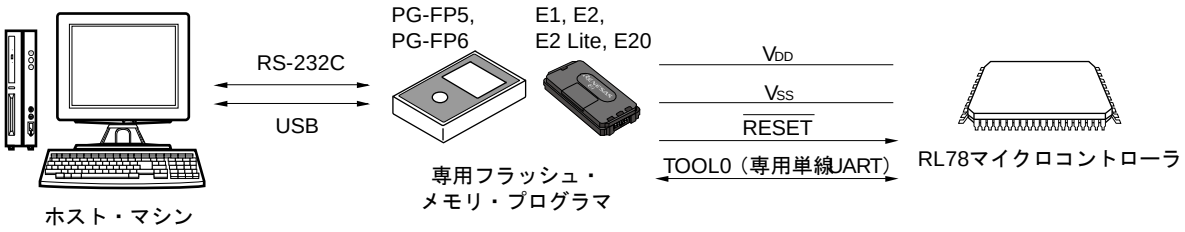
備考　この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

RL78マイクロコントローラとコネクタの接続については，各プログラマのユーザーズ・マニュアルを参照してください。E1との接続については，**21. 1　E1オンチップ・デバッギング・エミュレータとの接続**を参照してください。

20. 1. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

★ **図20－1　フラッシュ・メモリにプログラムを書き込むための環境**



専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

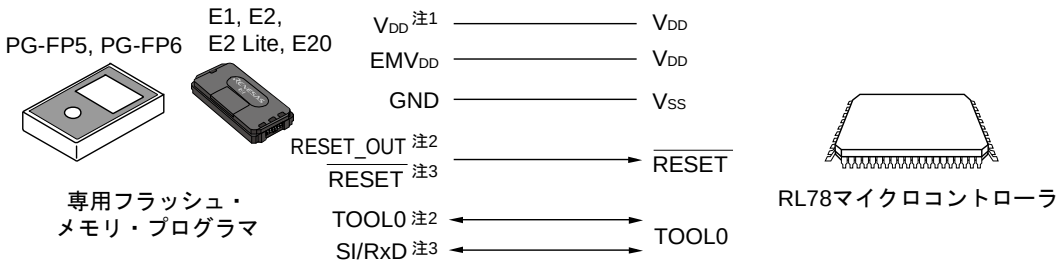
また，専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。

20. 1. 2　通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート：115200 bps固定

★ **図20－2　専用フラッシュ・メモリ・プログラマとの通信**



注1.　PG-FP6の信号名はV_{CC}です。

2.　E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータ使用時。

3.　PG-FP5, PG-FP6使用時。

20. 2　外部デバイス（UART内蔵）による書き込み方法

オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス（マイコンやASIC)を使って，内蔵フラッシュ・メモリにデータを書き込むことできます。

20. 2. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図20－3　フラッシュ・メモリにプログラムを書き込むための環境

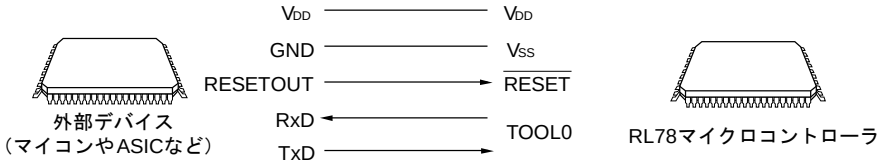
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

20. 2. 2　通信方式

外部デバイスとRL78マイクロコントローラとの通信は，TOOL0端子を使用して，専用のUARTによるシリアル通信で行います。

転送レート：115200 bps固定

図20－4　外部デバイスとの通信



外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表20－2　端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
V_{DD}	入出力	V_{DD}電圧生成／電圧監視	V_{DD}
GND	－	グランド	V_{SS}
RESETOUT	出力	リセット信号出力	$\overline{RESET}$
R_xD	入力	受信信号	TOOL0
T_xD	出力	送信信号	

20. 3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては，**20. 4. 2　フラッシュ・メモリ・プログラミング・モード**を参照してください。

20. 3. 1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時：外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500KΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

備考1.　t_{HD}:フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。**24. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミングを**参照してください。

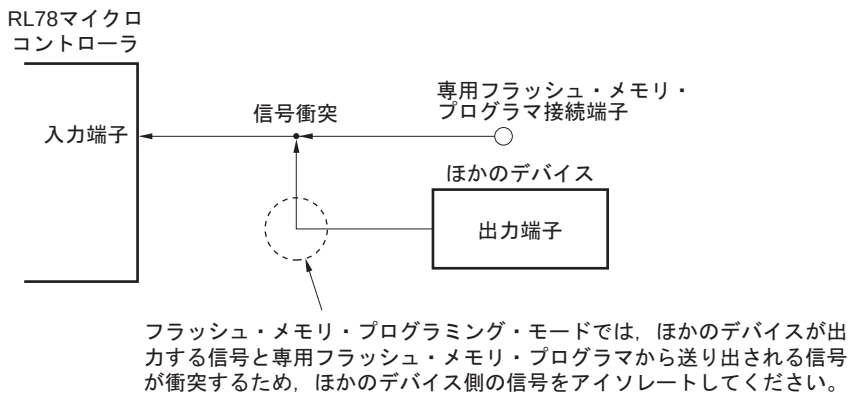
2.　RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には，単線UART（TOOL0端子）を使用するので，SAUやIICAの端子は使用しません。

20. 3. 2　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図20－5　信号の衝突（$\overline{\text{RESET}}$端子）



20. 3. 3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

20. 3. 4　X1, X2端子（16ピン製品のみ）

X1端子，X2端子は，通常動作モード時と同じ状態に接続してください。

備考　フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック（f_{IH}）を使用します。

20. 3. 5　電　　源

フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は，V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に，V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

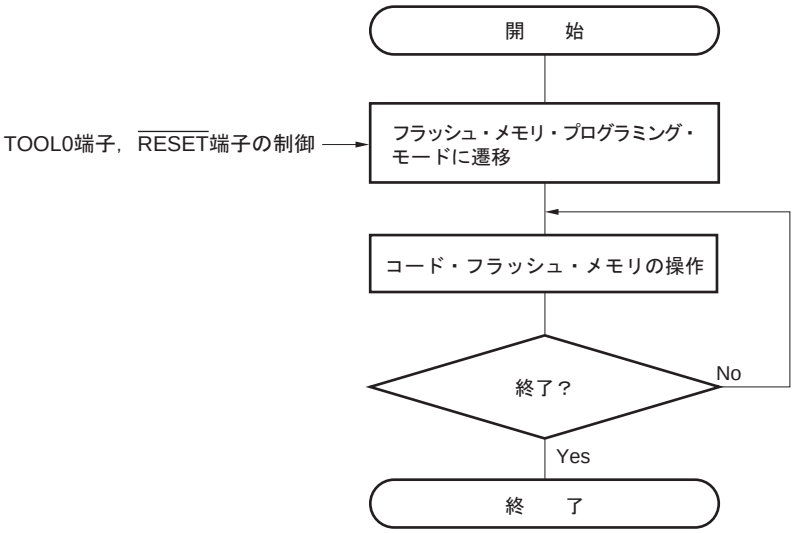
なお，フラッシュ・メモリ・プログラミング時の動作電圧は4.5 V～5.5 Vです。オンボード上の電源が4.5 V未満のときは，専用フラッシュ・メモリ・プログラマからの電源供給に切り替えるなど，オンボード上の電源とアイソレートして4.5 V～5.5 Vの電圧を供給してください。

20. 4　シリアル・プログラミング方法

20. 4. 1　シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図20－6　コード・フラッシュ・メモリの操作手順



フラッシュ・メモリ・プログラミング・モードについては，**20. 4. 2**を参照してください。

20. 4. 2　フラッシュ・メモリ・プログラミング・モード

シリアル・プログラミングでコード・フラッシュ・メモリの内容を書き換えるときは，フラッシュ・メモリ・プログラミング・モードへ遷移する必要があります。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。なお，フラッシュ・メモリ・プログラミング・モードの動作電圧は4.5V～5.5Vです。

＜外部デバイス（UART通信）を使用してシリアル・プログラミングする場合＞

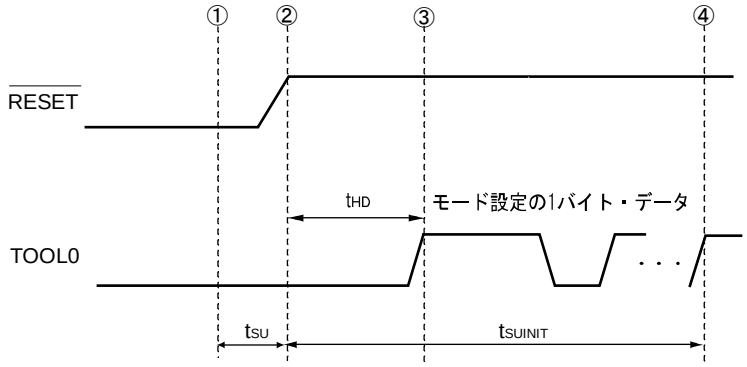
TOOL0端子をロウ・レベルに設定後，リセットを解除します（表20－3参照）。その後，図20－7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。

なお，フラッシュ・メモリ・プログラミング・モードの動作電圧は4.5V～5.5Vです。

表20－3　リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図20－7　フラッシュ・メモリ・プログラミング・モードへの引き込み



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にSPORリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるモード引き込み設定

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD}　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間

詳細は，**24. 9　フラッシュ・メモリ・プログラミング・モード引き込みタイミング**を参照してください。

20. 4. 3　通信方式

RL78マイクロコントローラの通信方式は，次のようになります。

表20－4　通信方式

通信方式	Standard設定注1				使用端子
	Port	Speed注2	Frequency	Multiply Rate	
単線UART	UART	115200 bps	－	－	TOOL0

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

20. 4. 4　通信コマンド

RL78マイクロコントローラは，表20－5に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び，そのコマンドに対応した各機能の処理を行います。

表20－5　フラッシュ・メモリ制御用コマンド

分　類	コマンド名称	機　　能
CRCチェック	CRCチェック	チェックサムを計算します。
消去後/書き込み	消去後書き込み	フラッシュ・メモリを消去した後にデータを書き込みます。

★ 20. 5　専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP5, PG-FP6を使用した場合の各コマンド処理時間（参考値）を次に示します。

表20－6　PG-FP5使用時の各コマンド処理時間（参考値）

PG-FP5のコマンド	コード・フラッシュ		
	1 Kバイト	2 Kバイト	4 Kバイト
	R5F10Y14 R5F10Y44	R5F10Y16 R5F10Y46	R5F10Y17 R5F10Y47
消去後書き込み	1.0 s	1.0 s	1.3 s
CRCチェック	0.5 s	0.5 s	0.5 s

備考　コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port　：TOOL0（単線UART）

Speed　：115,200 bps

★

表20－7　PG-FP6使用時の各コマンド処理時間（参考値）

PG-FP6のコマンド	コード・フラッシュ		
	1 Kバイト	2 Kバイト	4 Kバイト
	R5F10Y14 R5F10Y44	R5F10Y16 R5F10Y46	R5F10Y17 R5F10Y47
消去後書き込み	0.6 s	0.8 s	1.1 s
CRCチェック	0.1 s	0.1 s	0.1 s

備考　コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port　：TOOL0（単線UART）

Speed　：1,000,000 bps

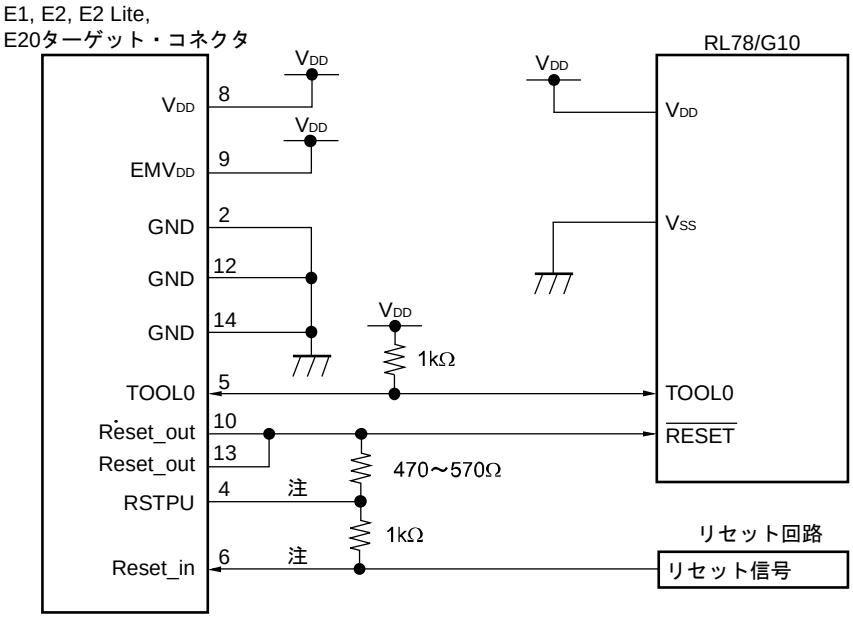
第21章　オンチップ・デバッグ機能

★ 21. 1　E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータとの接続

RL78マイクロコントローラは，オンチップ・デバッグ対応のE1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータを介して，ホスト・マシンとの通信を行う場合，V_{DD}，$\overline{RESET}$，TOOL0，V_{SS}端子を使用します。シリアル通信としては，TOOL0端子を使用した単線UARTを使用します。

注意　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

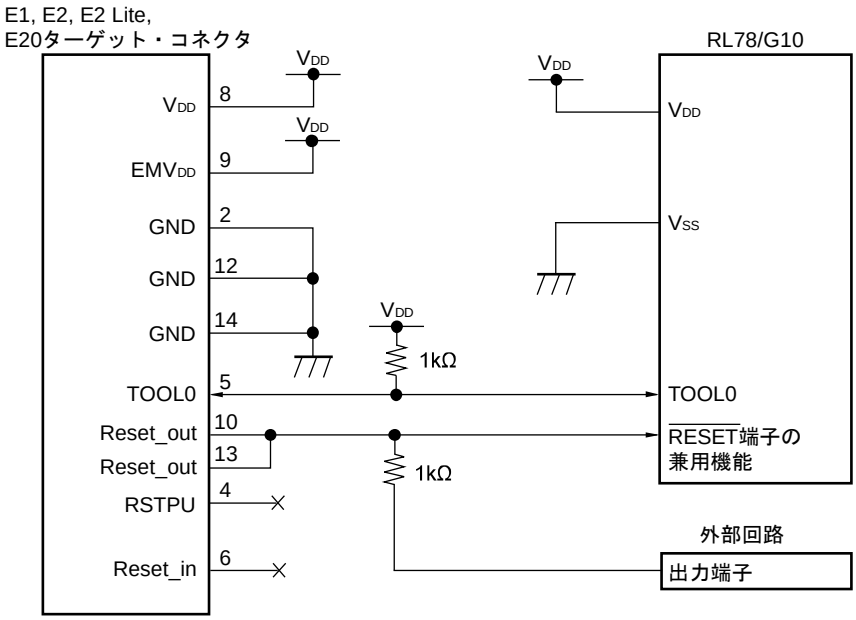
★ **図21－1　E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータとの接続例**



注　プログラミング時，接続の必要はありません。

なお，$\overline{\text{RESET}}$端子の兼用機能を入力で使用するターゲット・システムでは，外部回路との接続をアイソレートしてください。

★ **図21－2　E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータとの接続例**
（$\overline{\text{RESET}}$端子の兼用入力機能を使用する場合）



21. 2　オンチップ・デバッグ・セキュリティID

RL78マイクロコントローラは，第三者からメモリの内容を読み取られないようにするために，フラッシュ・メモリの000C3Hにオンチップ･デバッグ動作制御ビット（**第19章　オプション･バイト**を参照）を，000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

表21－1　オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード

21. 3　ユーザ資源の確保

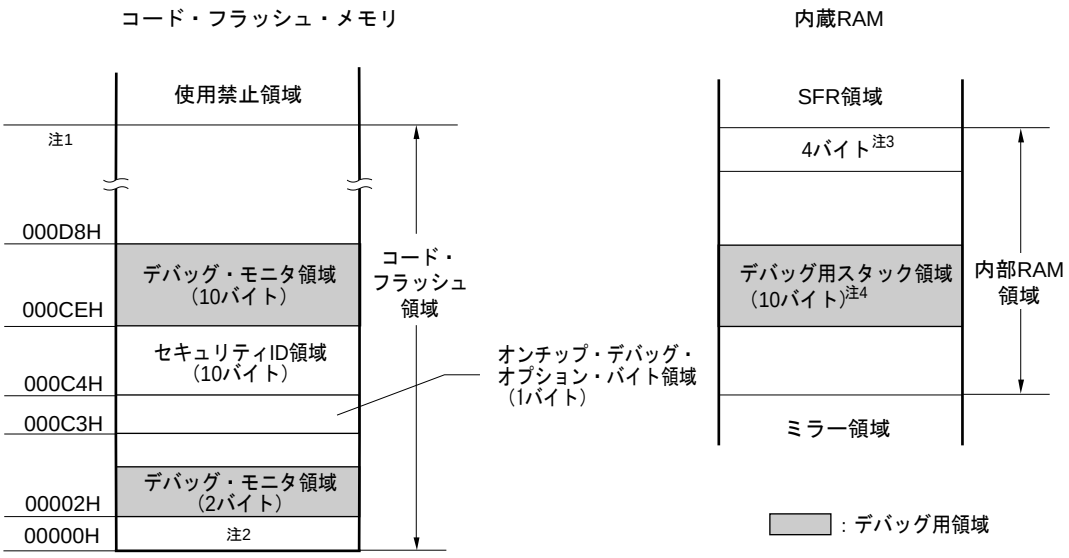
★ RL78マイクロコントローラとE1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータとの通信，または各デバッグ機能を実現するためには，メモリ空間の確保を事前に行う必要があります。また，当社製アセンブラ，コンパイラを使用している場合は，リンカ・オプションで設定することもできます。

（1）メモリ空間の確保

図21－3のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は，この空間を使用しないように領域を確保する必要があります。また，ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図21－3　デバッグ用モニタ・プログラムが配置されるメモリ空間

★



注1. 製品によって，次のようにアドレスが異なります。

製品名	アドレス
R5F10Y14, R5F10Y44	003FFH
R5F10Y16, R5F10Y46	007FFH
R5F10Y17, R5F10Y47	00FFFH

2. デバッグ時，リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

★ **3.** 疑似RRM 機能と疑似DMM 機能を使用する場合は、RAM 領域の4 バイトを消費します。
疑似RRM 機能／疑似DMM 機能を使用する場合のRAM 領域はビルドツールで設定します。
RAM 領域を未設定の場合はRAM 領域の先頭4 バイトが使用されます。
（設定方法の詳細はビルドツールのユーザーズマニュアルをご確認ください。）
疑似RRM 機能と疑似DMM 機能を使用しない場合は、内部RAM として使用できます。

4. この領域はスタック領域の直下に配置されるため，スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し，10バイト余分に消費します。

第22章　10進補正（BCD）回路

22. 1　10進補正回路の機能

BCDコード（2進化10進数）とBCDコード（2進化10進数）の加減算結果を，BCDコード（2進化10進数）で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

22. 2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

・BCD補正結果レジスタ（BCDADJ）

22. 2. 1　BCD補正結果レジスタ（BCDADJ）

BCDADJレジスタには，Aレジスタをオペランドにもつ加減算命令によって，BCDコードで加減算結果を求めるための補正値が格納されます。

また，BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図22－1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
BCDADJ								

22. 3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

（1）加算　BCDコード値とBCDコード値の加算結果を，BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値，加算値）を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例1.　99＋89 = 188

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #99H　; ①	99H	－	－	－
ADD　A, #89H　; ②	22H	1	1	66H
ADD　A, !BCDADJ　; ③	88H	1	0	－

例2.　85＋15 = 100

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #85H　; ①	85H	－	－	－
ADD　A, #15H　; ②	9AH	0	0	66H
ADD　A, !BCDADJ　; ③	00H	1	1	－

例3.　80＋80 = 160

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #80H　; ①	80H	－	－	－
ADD　A, #80H　; ②	00H	1	0	60H
ADD　A, !BCDADJ　; ③	60H	1	0	－

（2）減算　BCDコード値からBCDコード値の減算結果を，BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例　91－52 = 39

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
`MOV　A, #91H　; ①`	91H	－	－	－
`SUB　A, #52H　; ②`	3FH	0	1	06H
`SUB　A, !BCDADJ　; ③`	39H	0	0	－

第23章　命令セットの概要

RL78マイクロコントローラのRL78-S1コアの命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については，**RL78マイクロコントローラ　ユーザーズ・マニュアル　ソフトウェア編（R01US0015）**を参照してください。

備考　RL78-S1コアの命令はRL78-S2コアとすべて共通です。ただし，一部の命令ではクロック数が異なります。RL78-S1コアとRL78-S2コアでクロック数が異なる命令を，**23. 2　オペレーション一覧**の表内で網掛けにして示します。

23. 1　凡　　例

23. 1. 1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様によります）。記述方法の中で複数個あるものは，それらの要素の1つを選択します。大文字で書かれた英字および#，!，!!，$，$!，[ ]，ES:の記号はキーワードであり，そのまま記述します。記号の説明は，次のとおりです。

- #　　：イミーディエト・データ指定
- !　　：16ビット絶対アドレス指定
- !!　　：20ビット絶対アドレス指定
- $　　：8ビット相対アドレス指定
- $!　　：16ビット相対アドレス指定
- [ ]　　：間接アドレス指定
- ES:　　：拡張アドレス指定

イミーディエト・データのときは，適当な数値またはラベルを記述します。ラベルで記述する際も#，!，!!，$，$!，[ ]，ES:記号は必ず記述してください。

また，オペランドのレジスタの記述形式r, rpには，機能名称（X, A, Cなど），絶対名称（表23－1の中のカッコ内の名称，R0, R1, R2など）のいずれの形式でも記述可能です。

表23－1　オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7)
rp	AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ注）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH　イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH　イミーディエト・データまたはラベル（偶数アドレスのみ注）
addr20	00000H-FFFFFH　イミーディエト・データまたはラベル
addr16	0000H-FFFFH　イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ注）
addr5	0080H-00BFH　イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル

注　奇数アドレスを指定した場合はビット0が“0”になります。

備考　特殊機能レジスタは，オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は**表3－4 SFR一覧**を参照してください。

拡張特殊機能レジスタは，オペランド !addr16に略号で記述することができます。拡張特殊機能レジスタの略号は**表3－5　拡張SFR（2nd SFR）一覧**を参照してください。

23. 1. 2　オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表23－2　オペレーション欄の記号

記　　号	機　　能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H，X_L X_S，X_H，X_L	16ビット・レジスタの場合はX_H =上位8ビット，X_L =下位8ビット 20ビット・レジスタの場合はX_S(ビット19-16)，X_H(ビット15-8)，X_L(ビット7-0)
∧	論理積（AND）
∨	論理和（OR）
∀	排他的論理和（exclusive OR）
―	反転データ
addr5	16ビット・イミーディエト・データ（0080H－00BFHの偶数アドレスのみ）
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ（ディスプレースメント値）
jdisp16	符号付き16ビット・データ（ディスプレースメント値）

23. 1. 3　フラグ動作欄の説明

各命令のフラグ欄には，その命令実行時のフラグの変化を下記の記号を用いて表す。

表23－3　フラグ欄の記号

記号	フラグ変化
（ブランク）	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

23. 1. 4　PREFIX命令

ES:で示される命令は，PREFIX命令コードを頭に付けることで，アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から，ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで，PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお，PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表23－4　PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	－
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	－	－	－	－
MOV A, ES:[HL]	11H	8BH	－	－	－

注意　ESレジスタの値は，PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

23. 2　オペレーション一覧

表23－5　オペレーション一覧（1/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	r, #byte	2	1	－	r ← byte			
		PSW, #byte	3	3	－	PSW ← byte	×	×	×
		CS, #byte	3	1	－	CS ← byte			
		ES, #byte	2	1	－	ES ← byte			
		!addr16, #byte	4	1	－	(addr16) ← byte			
		ES:!addr16, #byte	5	2	－	(ES, addr16) ← byte			
		saddr, #byte	3	1	－	(saddr) ← byte			
		sfr, #byte	3	1	－	sfr ← byte			
		[DE+byte], #byte	3	1	－	(DE＋byte) ← byte			
		ES:[DE+byte],#byte	4	2	－	((ES, DE)＋byte) ← byte			
		[HL+byte], #byte	3	1	－	(HL＋byte) ← byte			
		ES:[HL+byte],#byte	4	2	－	((ES, HL)＋byte) ← byte			
		[SP+byte], #byte	3	1	－	(SP＋byte) ← byte			
		word[B], #byte	4	1	－	(B＋word) ← byte			
		ES:word[B], #byte	5	2	－	((ES, B)＋word) ← byte			
		word[C], #byte	4	1	－	(C＋word) ← byte			
		ES:word[C], #byte	5	2	－	((ES, C)＋word) ← byte			
		word[BC], #byte	4	1	－	(BC＋word) ← byte			
		ES:word[BC], #byte	5	2	－	((ES, BC)＋word) ← byte			
		A, r 注3	1	1	－	A ← r			
		r, A 注3	1	1	－	r ← A			
		A, PSW	2	1	－	A ← PSW			
		PSW, A	2	3	－	PSW ← A	×	×	×
		A, CS	2	1	－	A ← CS			
		CS, A	2	1	－	CS ← A			
		A, ES	2	1	－	A ← ES			
		ES, A	2	1	－	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	－	(addr16) ← A			
		ES:!addr16, A	4	2	－	(ES, addr16) ← A			
		A, saddr	2	1	－	A ← (saddr)			
		saddr, A	2	1	－	(saddr) ← A			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（2/17）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z　AC　CY
8ビット・データ転送	MOV	A, sfr	2	1	－	A ← sfr	
		sfr, A	2	1	－	sfr ← A	
		A, [DE]	1	1	4	A ← (DE)	
		[DE], A	1	1	－	(DE) ← A	
		A, ES:[DE]	2	2	5	A ← (ES, DE)	
		ES:[DE], A	2	2	－	(ES, DE) ← A	
		A, [HL]	1	1	4	A ← (HL)	
		[HL], A	1	1	－	(HL) ← A	
		A, ES:[HL]	2	2	5	A ← (ES, HL)	
		ES:[HL], A	2	2	－	(ES, HL) ← A	
		A, [DE+byte]	2	1	4	A ← (DE＋byte)	
		[DE+byte], A	2	1	－	(DE＋byte) ← A	
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)＋byte)	
		ES:[DE+byte], A	3	2	－	((ES, DE)＋byte) ← A	
		A, [HL+byte]	2	1	4	A ← (HL＋byte)	
		[HL+byte], A	2	1	－	(HL＋byte) ← A	
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)＋byte)	
		ES:[HL+byte], A	3	2	－	((ES, HL)＋byte) ← A	
		A, [SP+byte]	2	1	－	A ← (SP＋byte)	
		[SP+byte], A	2	1	－	(SP＋byte) ← A	
		A, word[B]	3	1	4	A ← (B＋word)	
		word[B], A	3	1	－	(B＋word) ← A	
		A, ES:word[B]	4	2	5	A ← ((ES, B)＋word)	
		ES:word[B], A	4	2	－	((ES, B)＋word) ← A	
		A, word[C]	3	1	4	A ← (C＋word)	
		word[C], A	3	1	－	(C＋word) ← A	
		A, ES:word[C]	4	2	5	A ← ((ES, C)＋word)	
		ES:word[C], A	4	2	－	((ES, C)＋word) ← A	
		A, word[BC]	3	1	4	A ← (BC＋word)	
		word[BC], A	3	1	－	(BC＋word) ← A	
		A, ES:word[BC]	4	2	5	A ← ((ES, BC)＋word)	
		ES:word[BC], A	4	2	－	((ES, BC)＋word) ← A	

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（3/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL＋B)	
		[HL+B], A	2	1	－	(HL＋B) ← A	
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL)＋B)	
		ES:[HL+B], A	3	2	－	((ES, HL)＋B) ← A	
		A, [HL+C]	2	1	4	A ← (HL＋C)	
		[HL+C], A	2	1	－	(HL＋C) ← A	
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL)＋C)	
		ES:[HL+C], A	3	2	－	((ES, HL)＋C) ← A	
		X, !addr16	3	1	4	X ← (addr16)	
		X, ES:!addr16	4	2	5	X ← (ES, addr16)	
		X, saddr	2	1	－	X ← (saddr)	
		B, !addr16	3	1	4	B ← (addr16)	
		B, ES:!addr16	4	2	5	B ← (ES, addr16)	
		B, saddr	2	1	－	B ← (saddr)	
		C, !addr16	3	1	4	C ← (addr16)	
		C, ES:!addr16	4	2	5	C ← (ES, addr16)	
		C, saddr	2	1	－	C ← (saddr)	
		ES, saddr	3	1	－	ES ← (saddr)	
	XCH	A, r 注3	1 (r＝X) 2 (r＝X以外)	1	－	A ⟷ r	
		A, !addr16	4	2	－	A ⟷ (addr16)	
		A, ES:!addr16	5	3	－	A ⟷ (ES, addr16)	
		A, saddr	3	2	－	A ⟷ (saddr)	
		A, sfr	3	2	－	A ⟷ sfr	
		A, [DE]	2	2	－	A ⟷ (DE)	
		A, ES:[DE]	3	3	－	A ⟷ (ES, DE)	
		A, [HL]	2	2	－	A ⟷ (HL)	
		A, ES:[HL]	3	3	－	A ⟷ (ES, HL)	
		A, [DE+byte]	3	2	－	A ⟷ (DE＋byte)	
		A, ES:[DE+byte]	4	3	－	A ⟷ ((ES, DE)＋byte)	
		A, [HL+byte]	3	2	－	A ⟷ (HL＋byte)	
		A, ES:[HL+byte]	4	3	－	A ⟷ ((ES, HL)＋byte)	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（4/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	－	A ⟷ (HL＋B)			
		A, ES:[HL+B]	3	3	－	A ⟷ ((ES, HL)＋B)			
		A, [HL+C]	2	2	－	A ⟷ (HL＋C)			
		A, ES:[HL+C]	3	3	－	A ⟷ ((ES, HL)＋C)			
	ONEB	A	1	1	－	A ← 01H			
		X	1	1	－	X ← 01H			
		B	1	1	－	B ← 01H			
		C	1	1	－	C ← 01H			
		!addr16	3	1	－	(addr16) ← 01H			
		ES:!addr16	4	2	－	(ES, addr16) ← 01H			
		saddr	2	1	－	(saddr) ← 01H			
	CLRB	A	1	1	－	A ← 00H			
		X	1	1	－	X ← 00H			
		B	1	1	－	B ← 00H			
		C	1	1	－	C ← 00H			
		!addr16	3	1	－	(addr16) ← 00H			
		ES:!addr16	4	2	－	(ES,addr16) ← 00H			
		saddr	2	1	－	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	－	(HL＋byte) ← X	×		×
		ES:[HL+byte], X	4	2	－	(ES, HL＋byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	2	－	rp ← word			
		saddrp, #word	4	2	－	(saddrp) ← word			
		sfrp, #word	4	2	－	sfrp ← word			
		AX, rp 注3	1	2	－	AX ← rp			
		rp, AX 注3	1	2	－	rp ← AX			
		AX, !addr16	3	2	5	AX ←（addr16）			
		!addr16, AX	3	2	－	（addr16）← AX			
		AX, ES:!addr16	4	3	6	AX ← (ES, addr16)			
		ES:!addr16, AX	4	3	－	(ES, addr16) ← AX			
	MOVW	AX, saddrp	2	2	－	AX ← (saddrp)			
		saddrp, AX	2	2	－	(saddrp) ← AX			
		AX, sfrp	2	2	－	AX ← sfrp			
		sfrp, AX	2	2	－	sfrp ← AX			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. rp = AXを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（5/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
16ビット・データ転送	MOVW	AX, [DE]	1	2	5	AX ← (DE)	
		[DE], AX	1	2	－	(DE) ← AX	
		AX, ES:[DE]	2	3	6	AX ← (ES, DE)	
		ES:[DE], AX	2	3	－	(ES, DE) ← AX	
		AX, [HL]	1	2	5	AX ← (HL)	
		[HL], AX	1	2	－	(HL) ← AX	
		AX, ES:[HL]	2	3	6	AX ← (ES, HL)	
		ES:[HL], AX	2	3	－	(ES, HL) ← AX	
		AX, [DE+byte]	2	2	5	AX ← (DE＋byte)	
		[DE+byte], AX	2	2	－	(DE＋byte) ← AX	
		AX, ES:[DE+byte]	3	3	6	AX ← ((ES, DE)＋byte)	
		ES:[DE+byte], AX	3	3	－	((ES, DE)＋byte) ← AX	
		AX, [HL+byte]	2	2	5	AX ← (HL＋byte)	
		[HL+byte], AX	2	2	－	(HL＋byte) ← AX	
		AX, ES:[HL+byte]	3	3	6	AX ← ((ES, HL)＋byte)	
		ES:[HL+byte], AX	3	3	－	((ES, HL)＋byte) ← AX	
		AX, [SP+byte]	2	2	－	AX ← (SP＋byte)	
		[SP+byte], AX	2	2	－	(SP＋byte) ← AX	
		AX, word[B]	3	2	5	AX ← (B＋word)	
		word[B], AX	3	2	－	(B＋word) ← AX	
		AX, ES:word[B]	4	3	6	AX ← ((ES, B)＋word)	
		ES:word[B], AX	4	3	－	((ES, B)＋word) ← AX	
		AX, word[C]	3	2	5	AX ← (C＋word)	
		word[C], AX	3	2	－	(C＋word) ← AX	
		AX, ES:word[C]	4	3	6	AX ← ((ES, C)＋word)	
		ES:word[C], AX	4	3	－	((ES, C)＋word) ← AX	
		AX, word[BC]	3	2	5	AX ← (BC＋word)	
		word[BC], AX	3	2	－	(BC＋word) ← AX	
		AX, ES:word[BC]	4	3	6	AX ← ((ES, BC)＋word)	
		ES:word[BC], AX	4	3	－	((ES, BC)＋word) ← AX	

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（6/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	BC, !addr16	3	2	5	BC ← (addr16)			
		BC, ES:!addr16	4	3	6	BC ← (ES, addr16)			
		DE, !addr16	3	2	5	DE ← (addr16)			
		DE, ES:!addr16	4	3	6	DE ← (ES, addr16)			
		HL, !addr16	3	2	5	HL ← (addr16)			
		HL, ES:!addr16	4	3	6	HL ← (ES, addr16)			
		BC, saddrp	2	2	－	BC ← (saddrp)			
		DE, saddrp	2	2	－	DE ← (saddrp)			
		HL, saddrp	2	2	－	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	2	－	AX ⟷ rp			
	ONEW	AX	1	2	－	AX ← 0001H			
		BC	1	2	－	BC ← 0001H			
	CLRW	AX	1	2	－	AX ← 0000H			
		BC	1	2	－	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	－	A, CY ← A＋byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte	×	×	×
		A, r 注4	2	1	－	A, CY ← A＋r	×	×	×
		r, A	2	1	－	r, CY ← r＋A	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. rp = AXを除く。

4. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（7/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	ADDC	A, #byte	2	1	－	A, CY ← A＋byte＋CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte＋CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A＋r＋CY	×	×	×
		r, A	2	1	－	r, CY ← r＋A＋CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)＋CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)＋CY	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)＋CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)＋CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)＋CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)＋CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)＋CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)＋CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)＋CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)＋CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)＋CY	×	×	×
	SUB	A, #byte	2	1	－	A, CY ← A－byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) －byte	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r	×	×	×
		r, A	2	1	－	r, CY ← r－A	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A－((ES, HL)＋C)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（8/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	SUBC	A, #byte	2	1	－	A, CY ← A－byte－CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)－byte－CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r－CY	×	×	×
		r, A	2	1	－	r, CY ← r－A－CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)－CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)－CY	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)－CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)－CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)－CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)－CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)－CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)－CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)－CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)－CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A－((ES:HL)＋C)－CY	×	×	×
	AND	A, #byte	2	1	－	A ← A∧byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∧byte	×		
		A, r 注3	2	1	－	A ← A∧r	×		
		r, A	2	1	－	r ← r∧A	×		
		A, !addr16	3	1	4	A ← A∧(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∧(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∧(saddr)	×		
		A, [HL]	1	1	4	A ← A∧(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∧(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∧(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∧((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∧(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∧((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∧(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∧((ES:HL)＋C)	×		

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（9/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	OR	A, #byte	2	1	－	A ← A∨byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∨byte	×		
		A, r 注3	2	1	－	A ← A∨r	×		
		r, A	2	1	－	r ← r∨A	×		
		A, !addr16	3	1	4	A ← A∨(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∨(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∨(saddr)	×		
		A, [HL]	1	1	4	A ← A∨(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∨(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∨(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∨((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∨(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∨((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∨(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∨((ES:HL)＋C)	×		
	XOR	A, #byte	2	1	－	A ← A∨̸byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∨̸byte	×		
		A, r 注3	2	1	－	A ← A∨̸r	×		
		r, A	2	1	－	r ← r∨̸A	×		
		A, !addr16	3	1	4	A ← A∨̸(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∨̸(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∨̸(saddr)	×		
		A, [HL]	1	1	4	A ← A∨̸(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∨̸(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∨̸(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∨̸((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∨̸(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∨̸((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∨̸(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∨̸((ES:HL)＋C)	×		

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（10/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	CMP	A, #byte	2	1	－	A－byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)－byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)－byte	×	×	×
		saddr, #byte	3	1	－	(saddr)－byte	×	×	×
		A, r 注3	2	1	－	A－r	×	×	×
		r, A	2	1	－	r－A	×	×	×
		A, !addr16	3	1	4	A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A－(ES:addr16)	×	×	×
		A, saddr	2	1	－	A－(saddr)	×	×	×
		A, [HL]	1	1	4	A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A－(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A－((ES:HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A－((ES:HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A－((ES:HL)＋C)	×	×	×
	CMP0	A	1	1	－	A－00H	×	0	0
		X	1	1	－	X－00H	×	0	0
		B	1	1	－	B－00H	×	0	0
		C	1	1	－	C－00H	×	0	0
		!addr16	3	1	4	(addr16)－00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16)－00H	×	0	0
		saddr	2	1	－	(saddr)－00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X－(HL＋byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X－((ES:HL)＋byte)	×	×	×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（11/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット演算	ADDW	AX, #word	3	2	－	AX, CY ← AX＋word	×	×	×
		AX, AX	1	2	－	AX, CY ← AX＋AX	×	×	×
		AX, BC	1	2	－	AX, CY ← AX＋BC	×	×	×
		AX, DE	1	2	－	AX, CY ← AX＋DE	×	×	×
		AX, HL	1	2	－	AX, CY ← AX＋HL	×	×	×
		AX, !addr16	3	2	5	AX, CY ← AX＋(addr16)	×	×	×
		AX, ES:!addr16	4	3	6	AX, CY ← AX＋(ES:addr16)	×	×	×
		AX, saddrp	2	2	－	AX, CY ← AX＋(saddrp)	×	×	×
		AX, [HL+byte]	3	2	5	AX, CY ← AX＋(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	3	6	AX, CY ← AX＋((ES:HL)＋byte)	×	×	×
	SUBW	AX, #word	3	2	－	AX, CY ← AX－word	×	×	×
		AX, BC	1	2	－	AX, CY ← AX－BC	×	×	×
		AX, DE	1	2	－	AX, CY ← AX－DE	×	×	×
		AX, HL	1	2	－	AX, CY ← AX－HL	×	×	×
		AX, !addr16	3	2	5	AX, CY ← AX－(addr16)	×	×	×
		AX, ES:!addr16	4	3	6	AX, CY ← AX－(ES:addr16)	×	×	×
		AX, saddrp	2	2	－	AX, CY ← AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	2	5	AX, CY ← AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	3	6	AX, CY ← AX－((ES:HL)＋byte)	×	×	×
	CMPW	AX, #word	3	2	－	AX－word	×	×	×
		AX, BC	1	2	－	AX－BC	×	×	×
		AX, DE	1	2	－	AX－DE	×	×	×
		AX, HL	1	2	－	AX－HL	×	×	×
		AX, !addr16	3	2	5	AX－(addr16)	×	×	×
		AX, ES:!addr16	4	3	6	AX－(ES:addr16)	×	×	×
		AX, saddrp	2	2	－	AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	2	5	AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	3	6	AX－((ES:HL)＋byte)	×	×	×
乗算	MULU	X	1	2	－	AX ← A×X			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（12/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
増減	INC	r	1	1	－	r ← r＋1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)＋1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)＋1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)＋1	×	×	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte)＋1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1	×	×	
	DEC	r	1	1	－	r ← r－1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)－1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) －1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)－1	×	×	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte) －1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1	×	×	
	INCW	rp	1	2	－	rp ← rp＋1			
		!addr16	3	4	－	(addr16) ← (addr16)＋1			
		ES:!addr16	4	5	－	(ES, addr16) ← (ES, addr16)＋1			
		saddrp	2	4	－	(saddrp) ← (saddrp)＋1			
		[HL+byte]	3	4	－	(HL＋byte) ← (HL＋byte)＋1			
		ES: [HL+byte]	4	5	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1			
	DECW	rp	1	2	－	rp ← rp－1			
		!addr16	3	4	－	(addr16) ← (addr16)－1			
		ES:!addr16	4	5	－	(ES, addr16) ← (ES, addr16)－1			
		saddrp	2	4	－	(saddrp) ← (saddrp)－1			
		[HL+byte]	3	4	－	(HL＋byte) ← (HL＋byte) －1			
		ES: [HL+byte]	4	5	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1			
シフト	SHR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) ×cnt			×
	SHRW	AX, cnt	2	2	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) ×cnt			×
	SHL	A, cnt	2	1	－	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) ×cnt			×
		B, cnt	2	1	－	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) ×cnt			×
		C, cnt	2	1	－	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) ×cnt			×
	SHLW	AX, cnt	2	2	－	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) ×cnt			×
		BC, cnt	2	2	－	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) ×cnt			×
	SAR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) ×cnt			×
	SARW	AX, cnt	2	2	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) ×cnt			×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考1. クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

2. cntはビット・シフト数です。

表23－5　オペレーション一覧（13/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ローテート	ROR	A, 1	2	1	－	(CY, A_7 ← A_0, A_{m-1} ← A_m) × 1			×
	ROL	A, 1	2	1	－	(CY, A_0 ← A_7, A_{m+1} ← A_m) × 1			×
	RORC	A, 1	2	1	－	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m) × 1			×
	ROLC	A, 1	2	1	－	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m) × 1			×
	ROLWC	AX,1	2	2	－	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) ×1			×
		BC,1	2	2	－	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) ×1			×
ビット操作	MOV1	CY, A.bit	2	1	－	CY ← A.bit			×
		A.bit, CY	2	1	－	A.bit ← CY			
		CY, PSW.bit	3	1	－	CY ← PSW.bit			×
		PSW.bit, CY	3	4	－	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	－	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	－	(saddr).bit ← CY			
		CY, sfr.bit	3	1	－	CY ← sfr.bit			×
		sfr.bit, CY	3	2	－	sfr.bit ← CY			
		CY,[HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	－	(HL).bit ← CY			
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	－	(ES, HL).bit ← CY			
	AND1	CY, A.bit	2	1	－	CY ← CY∧A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∧PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∧(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∧sfr.bit			×
		CY,[HL].bit	2	1	4	CY ← CY∧(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∧(ES, HL).bit			×
	OR1	CY, A.bit	2	1	－	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（14/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ビット操作	XOR1	CY, A.bit	2	1	－	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×
	SET1	A.bit	2	1	－	A.bit ← 1			
		PSW.bit	3	4	－	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 1			
		saddr.bit	3	2	－	(saddr).bit ← 1			
		sfr.bit	3	2	－	sfr.bit ← 1			
		[HL].bit	2	2	－	(HL).bit ← 1			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	－	A.bit ← 0			
		PSW.bit	3	4	－	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 0			
		saddr.bit	3	2	－	(saddr).bit ← 0			
		sfr.bit	3	2	－	sfr.bit ← 0			
		[HL].bit	2	2	－	(HL).bit ← 0			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 0			
	SET1	CY	2	1	－	CY ← 1			1
	CLR1	CY	2	1	－	CY ← 0			0
	NOT1	CY	2	1	－	CY ← $\overline{CY}$			×

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（15/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
コール・リターン	CALL	rp	2	4	－	(SP－2) ← (PC＋2)$_S$, (SP－3) ← (PC＋2)$_H$, (SP－4) ← (PC＋2)$_L$, PC ← CS, rp, SP ← SP－4			
		$!addr20	3	4	－	(SP－2) ← (PC＋3)$_S$, (SP－3) ← (PC＋3)$_H$, (SP－4) ← (PC＋3)$_L$, PC ← PC＋3＋jdisp16, SP ← SP－4			
		!addr16	3	4	－	(SP－2) ← (PC＋3)$_S$, (SP－3) ← (PC＋3)$_H$, (SP－4) ← (PC＋3)$_L$, PC ← 0000, addr16, SP ← SP－4			
		!!addr20	4	4	－	(SP－2) ← (PC＋4)$_S$, (SP－3) ← (PC＋4)$_H$, (SP－4) ← (PC＋4)$_L$, PC ← addr20, SP ← SP－4			
	CALLT	［addr5］	2	6	－	(SP－2) ← (PC＋2)$_S$, (SP－3) ← (PC＋2)$_H$, (SP－4) ← (PC＋2)$_L$, PC$_S$ ← 0000, PC$_H$ ← (0000, addr5＋1), PC$_L$ ← (0000, addr5), SP ← SP－4			
	BRK	－	2	7	－	(SP－1) ← PSW, (SP－2) ← (PC＋2)$_S$, (SP－3) ← (PC＋2)$_H$, (SP－4) ← (PC＋2)$_L$, PC$_S$ ← 0000, PC$_H$ ← (0007FH), PC$_L$ ← (0007EH), SP ← SP－4, IE ← 0			
	RET	－	1	7	－	PC$_L$ ← (SP), PC$_H$ ← (SP＋1), PC$_S$ ← (SP＋2), SP ← SP＋4			
	RETI	－	2	8	－	PC$_L$ ← (SP), PC$_H$ ← (SP＋1), PC$_S$ ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R
	RETB	－	2	8	－	PC$_L$ ← (SP), PC$_H$ ← (SP＋1), PC$_S$ ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（16/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	2	2	－	(SP－1) ← PSW, (SP－2) ← 00H, SP ← SP－2			
		rp	1	2	－	(SP－1) ← rp_H, (SP－2) ← rp_L, SP ← SP－2			
	POP	PSW	2	4	－	PSW ← (SP＋1) , SP ← SP＋2	R	R	R
		rp	1	2	－	rp_L ← (SP) , rp_H ← (SP＋1) , SP ← SP＋2			
	MOVW	SP, #word	4	2	－	SP ← word			
		SP, AX	2	2	－	SP ← AX			
		AX, SP	2	2	－	AX ← SP			
		HL, SP	3	2	－	HL ← SP			
		BC, SP	3	2	－	BC ← SP			
		DE, SP	3	2	－	DE ← SP			
	ADDW	SP, #byte	2	2	－	SP ← SP＋byte			
	SUBW	SP, #byte	2	2	－	SP ← SP－byte			
無条件分岐	BR	AX	2	3	－	PC ← CS, AX			
		$addr20	2	3	－	PC ← PC＋2＋jdisp8			
		$!addr20	3	3	－	PC ← PC＋3＋jdisp16			
		!addr16	3	3	－	PC ← 0000, addr16			
		!!addr20	4	3	－	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4 注3	－	PC ← PC＋2＋jdisp8 if CY = 1			
	BNC	$addr20	2	2/4 注3	－	PC ← PC＋2＋jdisp8 if CY = 0			
	BZ	$addr20	2	2/4 注3	－	PC ← PC＋2＋jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4 注3	－	PC ← PC＋2＋jdisp8 if Z = 0			
	BH	$addr20	3	2/4 注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=0			
	BNH	$addr20	3	2/4 注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=1			
	BT	saddr.bit, $addr20	4	3/5 注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5 注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5 注3	－	PC ← PC＋3＋jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5 注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5 注3	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6 注3	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

表23－5　オペレーション一覧（17/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 0			
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 0			
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 0			
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 0			
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 0			
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, $addr20	4	4/6注3	－	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	－	2	1	－	Next instruction skip if CY = 1			
	SKNC	－	2	1	－	Next instruction skip if CY = 0			
	SKZ	－	2	1	－	Next instruction skip if Z = 1			
	SKNZ	－	2	1	－	Next instruction skip if Z = 0			
	SKH	－	2	1	－	Next instruction skip if (Z∨CY)=0			
	SKNH	－	2	1	－	Next instruction skip if (Z∨CY)=1			
CPU制御	NOP	－	1	1	－	No Operation			
	EI	－	3	4	－	IE ← 1(Enable Interrupt)			
	DI	－	3	4	－	IE ← 0(Disable Interrupt)			
	HALT	－	2	3	－	Set HALT Mode			
	STOP	－	2	3	－	Set STOP Mode			

注1. 内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大4倍＋6クロックになります。

第24章　電気的特性

注意1.　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2　製品により搭載している端子が異なります。ポート機能は2. 1　ポート機能，ポート以外の機能は2. 2. 1 製品別の搭載機能を参照してください。

3.　RL78/G10は，セレクタブル・パワーオン・リセット（SPOR）回路の検出電圧（V_{SPOR}）が含まれるため，2.25～5.5 Vの電圧範囲で使用してください。

24. 1　絶対最大定格

（T_A = 25 ℃）

項目	略号	条件		定格	単位
電源電圧	V_{DD}			−0.5～＋6.5	V
入力電圧	V_{I1}			−0.3～V_{DD}＋0.3注	V
出力電圧	V_{O1}			−0.3～V_{DD}＋0.3	V
ハイ・レベル出力電流	I_{OH1}	1端子		−40	mA
		端子合計	P40, P41	−70	mA
			P00-P07	−100	mA
ロウ・レベル出力電流	I_{OL1}	1端子		40	mA
		端子合計	P40, P41	70	mA
			P00-P07	100	mA
動作周囲温度	T_A			−40～＋85	℃
保存温度	T_{stg}			−65～＋150	℃

注　6.5 V以下であること。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考1.　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

2.　V_{SS}を基準電圧とする。

24. 2　発振回路特性

24. 2. 1　X1発振回路特性

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数（fx）注	セラミック発振子／水晶振動子	2.7 V≦V_{DD}≦5.5 V	1		20	MHz
		2.0 V≦V_{DD}＜2.7 V	1		5	

注　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，AC特性を参照してください。また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　X1発振回路を使用する場合は、**5. 4　システム・クロック発振回路**を参照してください。

24. 2. 2　オンチップ・オシレータ特性

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	f_{IH}		1.25		20	MHz
高速オンチップ・オシレータ・クロック周波数精度		T_A =－20～＋85 ℃	－2.0		＋2.0	%
		T_A =－40～－20 ℃	－3.0		＋3.0	%
低速オンチップ・オシレータ・クロック周波数	f_{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			－15		＋15	%

注1.　高速オンチップ・オシレータの周波数は，オプション･バイト（000C2H）のビット0-2で選択します。

2.　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

24. 3　DC特性

24. 3. 1　端子特性

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）　（1/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流注1	I_{OH1}	10ピン製品： P00-P04, P40 16ピン製品： P00-P07, P40, P41 1端子				－10.0注2	mA
		10ピン製品：P40 16ピン製品：P40, P41 合計（デューティ ≦ 70 %注3）	4.0 V≦V_{DD}≦5.5 V			－20.0	mA
			2.7 V≦V_{DD}＜4.0 V			－4.0	mA
			2.0 V≦V_{DD}＜2.7 V			－3.0	mA
		10ピン製品：P00-P04 16ピン製品：P00-P07 合計（デューティ ≦ 70 %注3）	4.0 V≦V_{DD}≦5.5 V			－60.0	mA
			2.7 V≦V_{DD}＜4.0 V			－12.0	mA
			2.0 V≦V_{DD}＜2.7 V			－9.0	mA
		端子合計（デューティ ≦ 70 %注3）				－80.0	mA
ロウ・レベル出力電流注4	I_{OL1}	10ピン製品： P00-P04, P40 16ピン製品： P00-P07, P40, P41 1端子				20.0注2	mA
		10ピン製品：P40 16ピン製品：P40, P41 合計（デューティ ≦ 70 %注3）	4.0 V≦V_{DD}≦5.5 V			40.0	mA
			2.7 V≦V_{DD}＜4.0 V			6.0	mA
			2.0 V≦V_{DD}＜2.7 V			1.2	mA
		10ピン製品：P00-P04 16ピン製品：P00-P07 合計（デューティ ≦ 70 %注3）	4.0 V≦V_{DD}≦5.5 V			80.0	mA
			2.7 V≦V_{DD}＜4.0 V			12.0	mA
			2.0 V≦V_{DD}＜2.7 V			2.4	mA
		端子合計（デューティ ≦ 70 %注3）				120.0	mA

注1. V_{DD}端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

2. 合計の電流値は越えないでください。

3. デューティ≦70%の条件での出力電流の値です。デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OH}×0.7）／（n×0.01）

＜計算例＞ I_{OH} = －10.0 mAの場合，n = 80 %

端子合計の出力電流 = （－10.0×0.7）／（80×0.01）≒－8.7 mA

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = 10.0 mAの場合，n = 80 %

端子合計の出力電流 = （10.0×0.7）／（80×0.01）≒ 8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

4. 出力端子からV_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

注意　P00, P01, P06, P07は，N-chオープン・ドレイン・モード時にはハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）　（2/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}			0.8 V_{DD}		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}			0		0.2 V_{DD}	V
ハイ・レベル出力電圧注1	V_{OH1}	4.0 V≦V_{DD}≦5.5 V	I_{OH} =－10 mA	V_{DD}－1.5			V
			I_{OH} =－3.0 mA	V_{DD}－0.7			V
		2.7 V≦V_{DD}≦5.5 V	I_{OH} =－2.0 mA	V_{DD}－0.6			V
		2.0 V≦V_{DD}≦5.5 V	I_{OH} =－1.5 mA	V_{DD}－0.5			V
ロウ・レベル出力電圧注2	V_{OL1}	4.0 V≦V_{DD}≦5.5 V	I_{OL} = 20 mA			1.3	V
			I_{OL} = 8.5 mA			0.7	V
		2.7 V≦V_{DD}≦5.5 V	I_{OL} = 3.0 mA			0.6	V
			I_{OL} = 1.5 mA			0.4	V
		2.0 V≦V_{DD}≦5.5 V	I_{OL} = 0.6 mA			0.4	V
ハイ・レベル入力リーク電流	I_{LIH1}	P00-P07, P40, P41, P125, P137	V_I = V_{DD}			1	μA
	I_{LIH2}	P121, P122（X1, X2, EXCLK）V_I = V_{DD}	入力ポート時，外部クロック入力時			1	
			発振子接続時			10	
ロウ・レベル入力リーク電流	I_{LIL1}	P00-P07, P40, P41, P125, P137	V_I = V_{SS}			－1	μA
	I_{LIL2}	P121, P122（X1, X2, EXCLK）V_I = V_{SS}	入力ポート時，外部クロック入力時			－1	
			発振子接続時			－10	
内蔵プルアップ抵抗	R_U	V_I = V_{SS}		10	20	100	kΩ

注1. ハイ・レベル出力電流（I_{OH1}）を満たした条件での値です。

2. ロウ・レベル出力電流（I_{OL1}）を満たした条件での値です。

注意　P00, P01, P06, P07は，N-chオープン・ドレイン・モード時でも，V_{IH}の最大値（MAX.）はV_{DD}です。
また，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

24. 3. 2　電源電流特性

（1）10ピン製品のフラッシュROM 1 KB, 2 KBの製品

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流注1	I_{DD1}	動作モード	基本動作	f_{IH} = 20MHz	V_{DD} = 3.0V, 5.0V		0.91		mA
			通常動作	f_{IH} = 20MHz	V_{DD} = 3.0V, 5.0V		1.57	2.04	
				f_{IH} = 5MHz	V_{DD} = 3.0V, 5.0V		0.85	1.15	
	I_{DD2}注2	HALTモード		f_{IH} = 20MHz	V_{DD} = 3.0V, 5.0V		350	820	μA
				f_{IH} = 5MHz	V_{DD} = 3.0V, 5.0V		290	600	
	I_{DD3}注3	STOPモード		V_{DD} = 3.0V			0.56	2.00	μA

注1. V_{DD}に流れる電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。
またMAX.値には，周辺動作電流を含みます。ただし，A/Dコンバータ，I/Oポート，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。

3. ウォッチドッグ・タイマに流れる電流は含みません。

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

2. TYP.値の温度条件は，T_A = 25℃です。

（2）10ピン製品のフラッシュROM 4 KBの製品と，16ピン製品

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	基本動作	f_{IH} = 20MHz[注4]	V_{DD} = 3.0V, 5.0V		0.92		mA
			通常動作	f_{IH} = 20MHz[注4]	V_{DD} = 3.0V, 5.0V		1.59	2.14	
				f_{IH} = 5MHz[注4]	V_{DD} = 3.0V, 5.0V		0.87	1.20	
				f_{MX} = 20MHz[注5, 6]	方形波入力		1.43	1.93	
				V_{DD} = 3.0V, 5.0V	発振子接続		1.54	2.13	
				f_{MX} = 5MHz[注5, 6]	方形波入力		0.67	1.02	
				V_{DD} = 3.0V, 5.0V	発振子接続		0.72	1.12	
	I_{DD2}[注2]	HALTモード		f_{IH} = 20MHz[注4]	V_{DD} = 3.0V, 5.0V		360	900	μA
				f_{IH} = 5MHz[注4]	V_{DD} = 3.0V, 5.0V		310	660	
				f_{MX} = 20MHz[注5, 6]	方形波入力		200	700	
				V_{DD} = 3.0V, 5.0V	発振子接続		300	900	
				f_{MX} = 5MHz[注5, 6]	方形波入力		100	440	
				V_{DD} = 3.0V, 5.0V	発振子接続		150	540	
	I_{DD3}[注3]	STOPモード		V_{DD} = 3.0V			0.61	2.25	μA

注1. V_{DD}に流れる電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。
またMAX.値には，周辺動作電流を含みます。ただし， A/Dコンバータ，コンパレータ（16ピン製品のみ），I/Oポート，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・メモリでのHALT命令実行時。

3. 12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。

4. 高速システム・クロックは停止時

5. 高速オンチップ・オシレータは停止時

6. 16ピン製品のみ

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

2. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

3. TYP.値の温度条件は，T_A = 25℃です。

（3）周辺機能（全製品共通）

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I_{FIL} 注1				0.30		μA
12 ビット・インターバル・タイマ動作電流	I_{TMKA} 注1, 2, 3				0.01		μA
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 4				0.01		μA
A/Dコンバータ動作電流	I_{ADC} 注1, 5	最速変換時	V_{DD} = 5.0V		1.30	1.90	mA
			V_{DD} = 3.0V		0.50		
コンパレータ動作電流	I_{CMP} 注1, 6	高速モード時	V_{DD} = 5.0V		6.50		μA
		低速モード時	V_{DD} = 5.0V		1.70		
内部基準電圧動作電流	I_{VREG} 注1				10		μA

注1. V_{DD}に流れる電流です。

2. 高速オンチップ・オシレータ，高速システム・クロックは停止時。

3. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ動作電流は含みません）。12ビット・インターバル・タイマの動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{FIL}とI_{TMKA}を加算した値が，RL78マイクロコントローラの電流値となります。

4. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータ動作電流は含みません）。ウォッチドッグ・タイマの動作時は，I_{DD1}, I_{DD2}またはI_{DD3}にI_{FIL}とI_{WDT}を加算した値が，RL78マイクロコントローラの電流値となります。

5. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時は，I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が，RL78マイクロコントローラの電流値となります。

6. コンパレータにのみ流れる電流です。コンパレータの動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{CMP}を加算した値が，RL78マイクロコントローラの電流値となります。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

2. TYP.値の温度条件は，T_A = 25℃です。

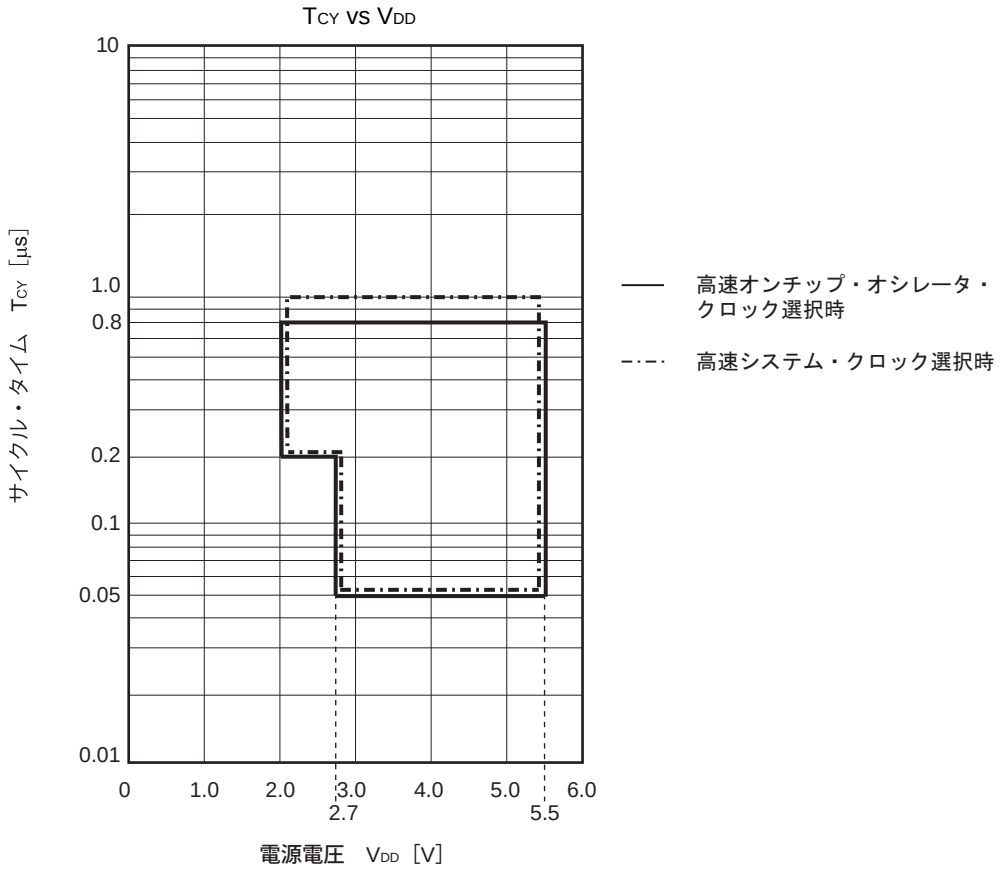
24. 4　AC特性

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

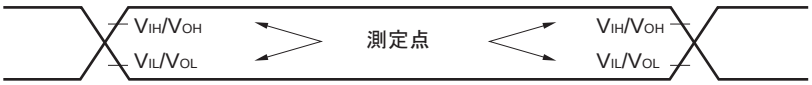
項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル（最小命令実行時間）	T_{CY}	高速オンチップ・オシレータ・クロック（f_{IH}）選択	2.7 V≦V_{DD}≦5.5 V	0.05		0.8	μs
			2.0 V≦V_{DD}＜2.7 V	0.2		0.8	
		高速システム・クロック（f_{MX}）選択時	2.7 V≦V_{DD}≦5.5 V	0.05		1.0	μs
			2.0 V≦V_{DD}＜2.7 V	0.2		1.0	
外部システム・クロック周波数	f_{EX}		2.7 V≦V_{DD}≦5.5 V	1.0		20	MHz
			2.0 V≦V_{DD}＜2.7 V	1.0		5	
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}		2.7 V≦V_{DD}≦5.5 V	24			ns
			2.0 V≦V_{DD}＜2.7 V	95			
TI00-TI03 入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}	ノイズ・フィルタ未使用時		1/f_{MCK}＋10			ns
TO00-TO03 出力周波数	f_{TO}	4.0 V≦V_{DD}≦5.5 V				10	MHz
		2.7 V≦V_{DD}＜4.0 V				5	MHz
		2.0 V≦V_{DD}＜2.7 V				2.5	MHz
PCLBUZ0出力周波数	f_{PCL}	4.0 V≦V_{DD}≦5.5 V				10	MHz
		2.7 V≦V_{DD}＜4.0 V				5	MHz
		2.0 V≦V_{DD}＜2.7 V				2.5	MHz
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}			10			μs

備考　f_{MCK}：タイマ・アレイ･ユニットの動作クロック周波数。
（タイマ・クロック選択レジスタ0（TPS0）とタイマ・モード・レジスタ0nH（TMR0nH）のCKS0n1ビットで設定する動作クロック。n：チャネル番号（n = 0-3））

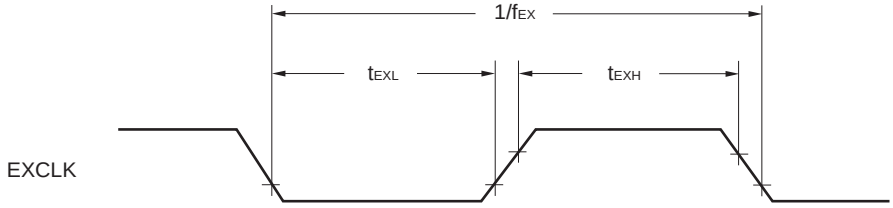
メイン・システム・クロック動作時の最小命令実行時間



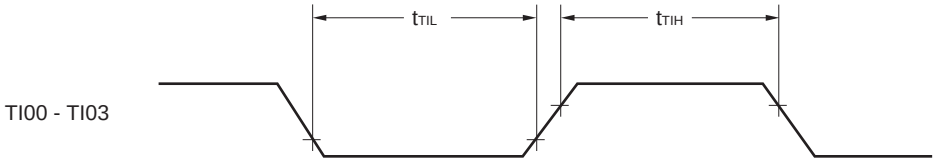
ACタイミング測定点

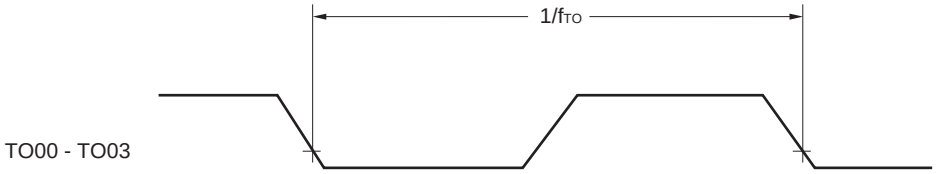


外部システム・クロック・タイミング

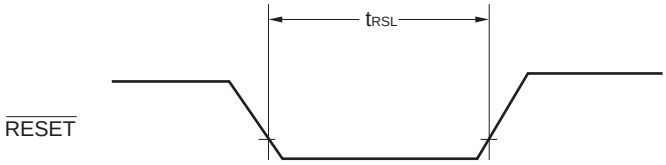


TI/TOタイミング



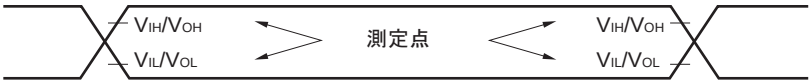


$\overline{\text{RESET}}$入力タイミング



24. 5　シリアル・インタフェース特性

ACタイミング測定点



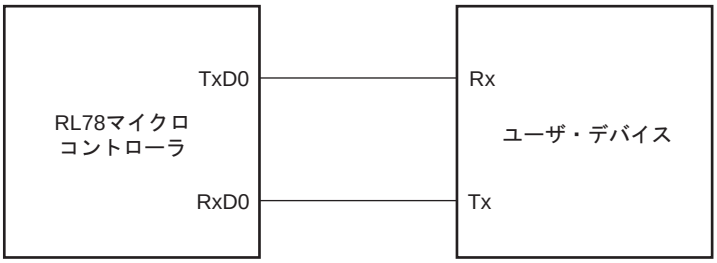
24. 5. 1　シリアル・アレイ・ユニット

（1）UARTモード

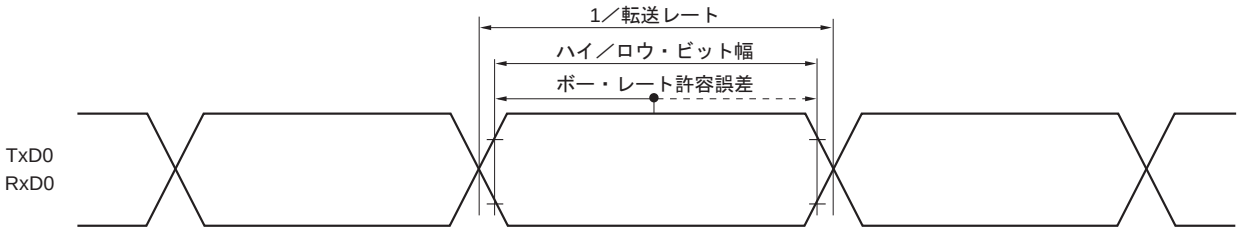
（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					f_{MCK}/6	bps
		最大転送レート理論値 f_{CLK} = f_{MCK} = 20MHz			3.3	Mbps

UARTモード接続図



UARTモードのビット幅（参考）



備考　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・クロック選択レジスタ0（SPS0）とシリアル・モード・レジスタ0nH（SMR0nH）のCKS0nビットで設定する動作クロック。n：チャネル番号（n = 0, 1））

（2）簡易SPI（CSI）モード（マスタ・モード, SCKp...内部クロック出力）

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	2.7 V≦V_{DD}≦5.5 V	200			ns
			2.0 V≦V_{DD}≦5.5 V	800			ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	2.7 V≦V_{DD}≦5.5 V		t_{KCY1}/2－18			ns
		2.0 V≦V_{DD}≦5.5 V		t_{KCY1}/2－50			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	2.7 V≦V_{DD}≦5.5 V		47			ns
		2.0 V≦V_{DD}≦5.5 V		110			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}			19			ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	C = 30 pF注3				25	ns

注1. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは"対SCKp↓"となります。

2. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは"対SCKp↑"となります。

3. Cは，SCKp, SOp出力ラインの負荷容量です。

（3）簡易SPI（CSI）モード（スレーブ・モード, SCKp...外部クロック入力）

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY2}	2.7 V≦V_{DD}≦5.5 V	f_{MCK}＞16 MHz	8/f_{MCK}			ns
			f_{MCK}≦16 MHz	6/f_{MCK}			ns
		2.0 V≦V_{DD}≦5.5 V		6/f_{MCK}			ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	2.0 V≦V_{DD}≦5.5 V		t_{KCY2}/2-18			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK2}	2.7 V≦V_{DD}≦5.5 V		1/f_{MCK}＋20			ns
		2.0 V≦V_{DD}≦5.5 V		1/f_{MCK}＋30			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI2}	2.0 V≦V_{DD}≦5.5 V		1/f_{MCK}＋31			ns
SCKp↓→SOp出力遅延時間注2	t_{KSO2}	C = 30 pF注3	2.7 V≦V_{DD}≦5.5 V			2/f_{MCK}＋50	ns
			2.0 V≦V_{DD}≦5.5 V			2/f_{MCK}＋110	ns

注1. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは"対SCKp↓"となります。

2. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは"対SCKp↑"となります。

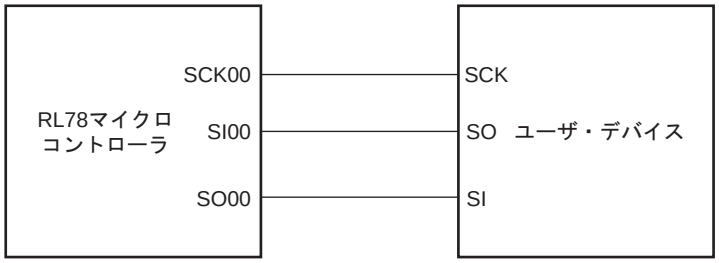
3. Cは，SOp出力ラインの負荷容量です。

備考1. p：CSI番号（p = 00, 01），n：チャネル番号（n = 0, 1）

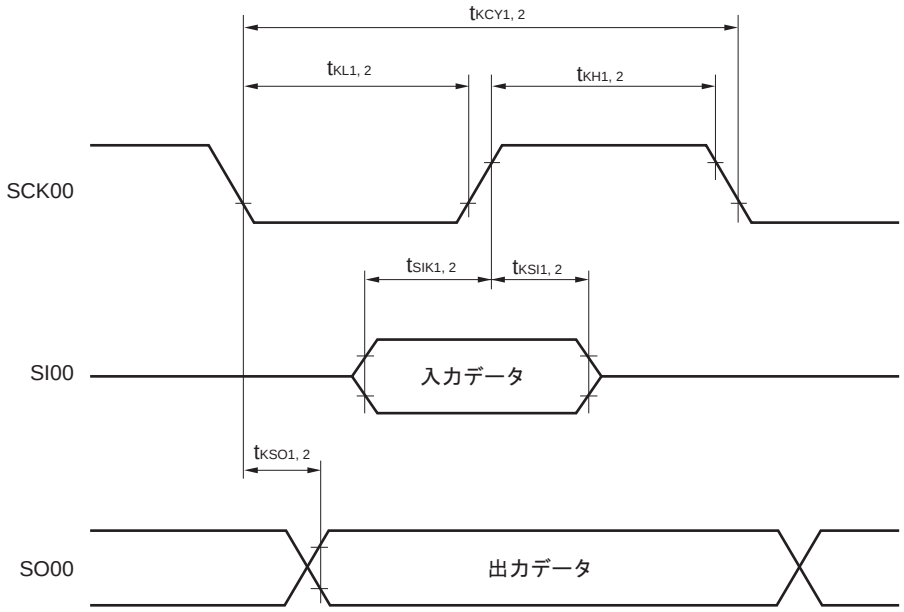
2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・クロック選択レジスタ0（SPS0）とシリアル・モード・レジスタ0nH（SMR0nH）のCKS0nビットで設定する動作クロック。n：チャネル番号（n = 0, 1））

簡易SPI（CSI）モード接続図



簡易SPI（CSI）モード・シリアル転送タイミング
（DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき）



備考　p：CSI番号（p = 00, 01），n：チャネル番号（n = 0, 1）

（4）簡易I²Cモード

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

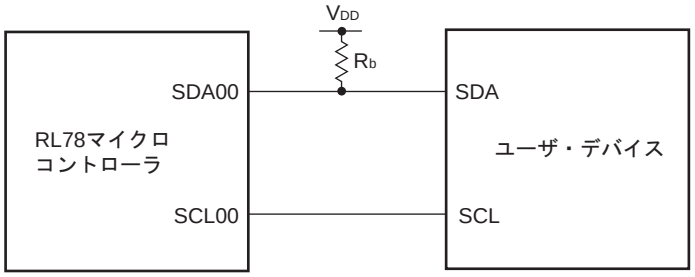
項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	C_b = 100 pF, R_b = 3 kΩ		400注1	kHz
SCLr = "L"のホールド・タイム	t_{LOW}	C_b = 100 pF, R_b = 3 kΩ	1150		ns
SCLr = "H"のホールド・タイム	t_{HIGH}	C_b = 100 pF, R_b = 3 kΩ	1150		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	C_b = 100 pF, R_b = 3 kΩ	1/f_{MCK}＋145注2		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	C_b = 100 pF, R_b = 3 kΩ	0	355	ns

注1. かつf_{MCK}/4以下に設定してください。

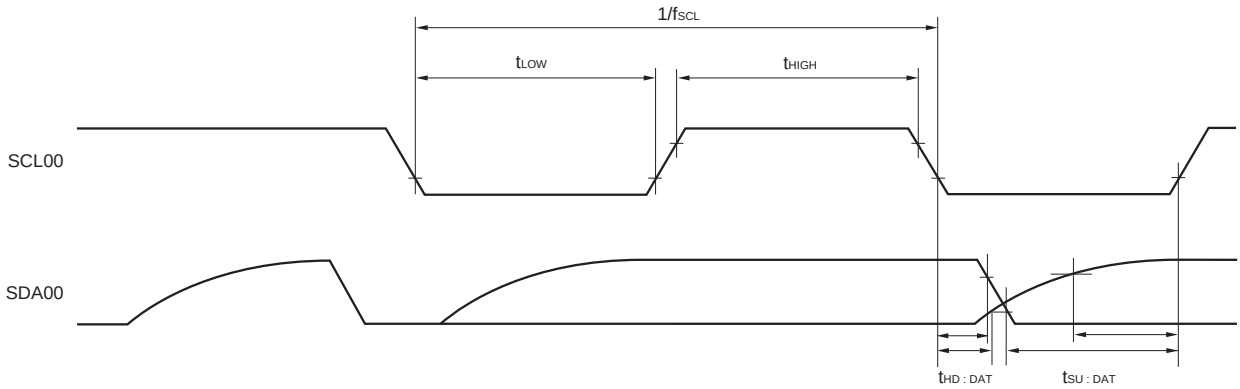
2. f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意　ポート出力モード・レジスタ0（POM0）で，SDArはN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。

簡易I²Cモード接続図



簡易I²Cモード・シリアル転送タイミング



備考1. R_b [Ω]：通信ライン（SDAr）プルアップ抵抗値，C_b [F]：通信ライン（SCLr, SDAr）負荷容量値

2. r：IIC番号（r = 00）

3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・クロック選択レジスタ0（SPS0）とシリアル・モード・レジスタ0nH（SMR0nH）のCKS0nビットで設定する動作クロック。n：チャネル番号（n = 0））

24. 5. 2　シリアル・インターフェースIICA

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件	標準モード		ファースト・モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK} ≧ 3.5 MHz			0	400	kHz
		標準モード：f_{CLK} ≧ 1 MHz	0	100			
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		4.7		0.6		ns
ホールド時間注1	$t_{HD:STA}$		4.0		0.6		ns
SCLA0 = "L"のホールド・タイム	t_{LOW}		4.7		1.3		ns
SCLA0 = "H"のホールド・タイム	t_{HIGH}		4.0		0.6		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		100		ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		μs
バス・フリー時間	t_{BUF}		4.7		1.3		μs

注1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

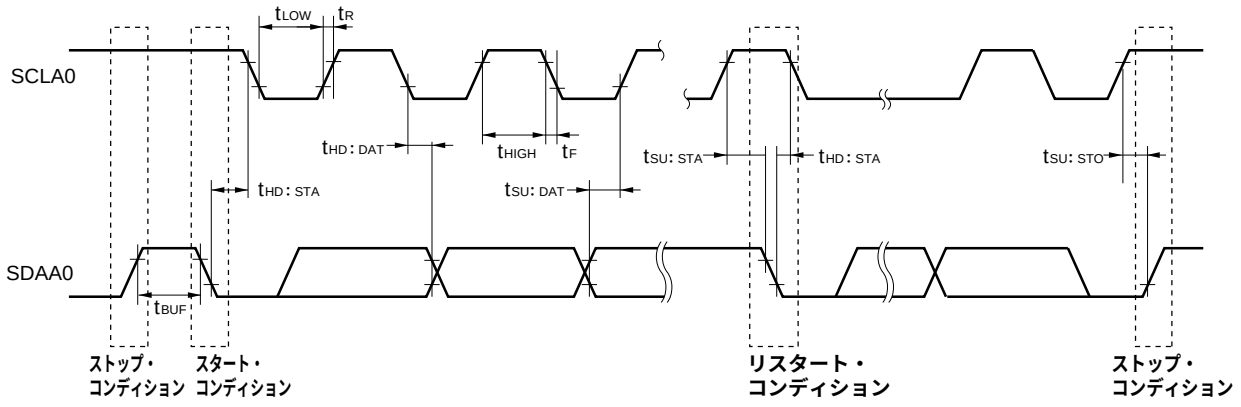
2. $t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　：C_b = 400 pF, R_b = 2.7 kΩ

ファースト・モード　：C_b = 200 pF, R_b = 1.7 kΩ

IICAシリアル転送タイミング



24. 6　アナログ特性

24. 6. 1　A/Dコンバータ特性

変換対象ANI0-ANI6，内部基準電圧（T_A = －40～＋85 ℃, 2.4 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1, 2, 3	AINL	10ビット分解能	V_{DD} = 5 V		±1.7	±3.1	LSB
			V_{DD} = 3 V		±2.3	±4.5	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI0-ANI6	2.7 V≦V_{DD}≦5.5 V	3.4		18.4	μs
			2.4 V≦V_{DD}≦5.5 V注5	4.6		18.4	
		10ビット分解能 変換対象：内部基準電圧注6	2.4 V≦V_{DD}≦5.5 V	4.6		18.4	
ゼロスケール誤差注1, 2, 3, 4	E_{ZS}	10ビット分解能	V_{DD} = 5 V			±0.19	%FSR
			V_{DD} = 3 V			±0.39	%FSR
フルスケール誤差注1, 2, 3, 4	E_{FS}	10ビット分解能	V_{DD} = 5 V			±0.29	%FSR
			V_{DD} = 3 V			±0.42	%FSR
積分直線性誤差注1, 2, 3	ILE	10ビット分解能	V_{DD} = 5 V			±1.8	LSB
			V_{DD} = 3 V			±1.7	LSB
微分直線性誤差注1, 2, 3	DLE	10ビット分解能	V_{DD} = 5 V			±1.4	LSB
			V_{DD} = 3 V			±1.5	LSB
アナログ入力電圧	V_{AIN}	変換対象：ANI0-ANI6		0		V_{DD}	V
		変換対象：内部基準電圧注6		V_{REG}注7			

注 1.　TYP.値は，T_A = 25℃の平均値です。MAX.値は，正規分布における平均値±3σの値です。

2.　この値は特性評価結果による値であり，出荷検査は行っていません。

3.　量子化誤差（±1/2 LSB）を含みません。

4.　フルスケール値に対する比率（%FSR）で表します。

5.　2.4 V≦V_{DD}＜2.7 Vの動作電圧範囲で変換動作を行う場合は，A/Dコンバータ・モード・レジスタ0（ADM0）のLV0ビットを必ず0に設定してください。

6.　A/Dコンバータの変換対象に内部基準電圧を選択するときは，A/Dコンバータ・モード・レジスタ0（ADM0）のLV0ビットを必ず0に設定してください。

7.　**24. 6. 3　内部基準電圧特性**を参照してください。

注意1. 電源／グランド・ラインにノイズが載らないよう配線を引き回し，コンデンサを挿入する等の対策をしてください。

2. A/D変換中は，変換端子の隣接端子に対して，デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

3. A/Dコンバータの変換対象に内部基準電圧を選択した場合は，コンパレータの基準電圧には内部基準電圧を使用できません。

24. 6. 2　コンパレータ特性

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力電圧範囲	I_{VREF}	IVREF0端子入力　（C0VRFビット =0）		0		V_{DD}－1.4	V
		内部基準電圧　　（C0VRFビット =1）注1			V_{REG}注2		V
	I_{VCMP}	IVCMP0端子入力		－0.3		V_{DD}＋0.3	V
出力遅延	t_d	V_{DD} ＝ 3.0 V,	高速モード			0.5	μs
		入力スルーレート＞ 50mV / μs	低速モード		2.0		μs
動作安定待ち時間	t_{CMP}			100			μs

注1.　コンパレータの基準電圧に内部基準電圧を選択した場合は，A/Dコンバータの変換対象に内部基準電圧を使用できません。

2.　**24. 6. 3　内部基準電圧特性を**参照してください。

24. 6. 3　内部基準電圧特性

（T_A = －40～＋85 ℃, 2.0 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部基準電圧	V_{REG}		0.74	0.815	0.89	V
動作安定待ち時間	t_{AMP}	A/Dコンバータ使用時（ADSレジスタ =07H）	5			μs

注意　内部基準電圧は，A/Dコンバータとコンパレータの両方を同時に使用できません。必ずどちらか一方のみを選択してください。

24. 6. 4　SPOR回路特性

（T_A = －40～＋85 ℃, V_{SS} = 0 V）

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{SPOR0}	電源立ち上がり時	4.08	4.28	4.45	V
			電源立ち下がり時	4.00	4.20	4.37	V
		V_{SPOR1}	電源立ち上がり時	2.76	2.90	3.02	V
			電源立ち下がり時	2.70	2.84	2.96	V
		V_{SPOR2}	電源立ち上がり時	2.44	2.57	2.68	V
			電源立ち下がり時	2.40	2.52	2.62	V
		V_{SPOR3}	電源立ち上がり時	2.05	2.16	2.25	V
			電源立ち下がり時	2.00	2.11	2.20	V
最小パルス幅[注]		T_{SPW}		300			μs

注　V_{DD}がV_{SPOR}を下回った場合に，SPORによるリセット動作に必要な時間です。

注意　検出電圧（V_{SPOR}）は，動作電圧範囲内になるように設定してください。動作電圧範囲は，ユーザ・オプション・バイト（000C2H）の設定で決まります。動作電圧範囲は以下のとおりです。

CPU動作周波数 1 MHz～20 MHz：　V_{DD} = 2.7～5.5 V

CPU動作周波数 1 MHz～ 5 MHz：　V_{DD} = 2.0～5.5 V

24. 6. 5　電源電圧立ち上がり傾き特性

（T_A = －40～＋85 ℃, V_{SS} = 0 V）

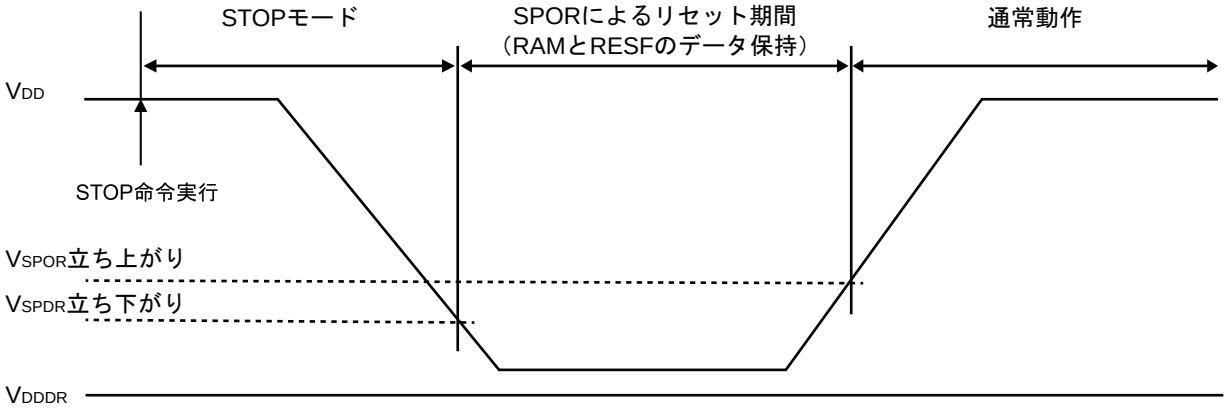
項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	S_{VDD}				54	V/ms

24. 7　RAMデータ保持特性

（T_A = －40～＋85 ℃, V_{SS} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.9		5.5	V

注意　電源電圧がデータ保持電源電圧（V_{DDDR}）のMIN.値を下回るまではRAMのデータを保持します。電源電圧がデータ保持電源電圧（V_{DDDR}）のMIN.値を下回っても，RESFレジスタのデータがクリアされないことがあります。



24. 8　フラッシュ・メモリ・プログラミング特性

（T_A = 0～＋40 ℃, 4.5 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
コード・フラッシュの書き換え回数 注1, 2, 3	C_{erwr}	保持年数：20年	T_A = ＋85℃	1000			回

注1.　消去1回＋消去後の書き込み1回を書き換え回数1回とします。保持年数は，一度書き換えた後，次に書き換えを行うまでの期間とします。

2.　フラッシュ・メモリ・プログラマ使用時

3.　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

24. 9　専用フラッシュ・メモリ・プログラマ通信（UART）

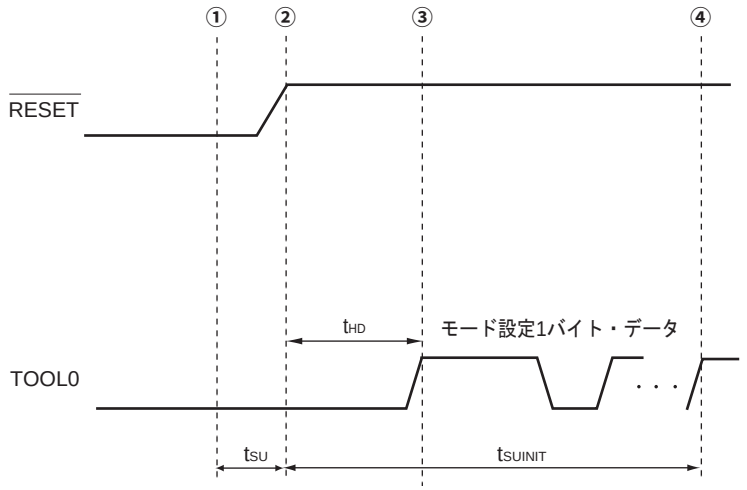
（T_A = 0～＋40 ℃, 4.5 V≦V_{DD}≦5.5 V , V_{SS} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート				115,200		bps

備考　フラッシュ・メモリ・プログラミング時の転送レートは115,200bps固定です。

24. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にSPORリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にSPORリセットは解除	10			μs
外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間	t_{HD}	外部リセット解除前にSPORリセットは解除	1			ms



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にSPORリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるモード引き込み設定が完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

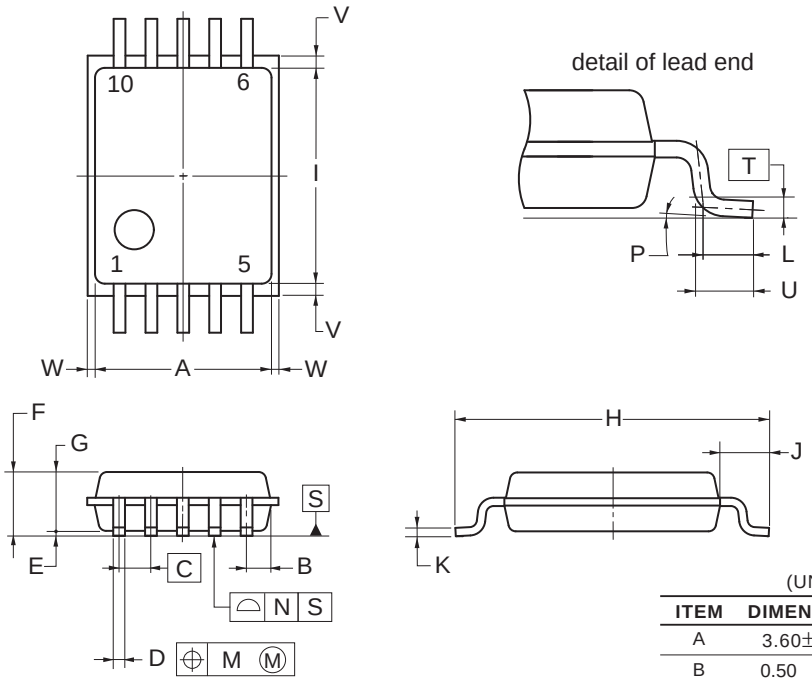
t_{HD}　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間

第25章　外形図

25. 1　10ピン製品

R5F10Y17ASP, R5F10Y16ASP, R5F10Y14ASP
R5F10Y17DSP,R5F10Y16DSP,R5F10Y14DSP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP10-4.4x3.6-0.65	PLSP0010JA-A	P10MA-65-CAC-2	0.05



(UNIT:mm)

ITEM	DIMENSIONS
A	3.60±0.10
B	0.50
C	0.65 (T.P.)
D	0.24±0.08
E	0.10±0.05
F	1.45 MAX.
G	1.20±0.10
H	6.40±0.20
I	4.40±0.10
J	1.00±0.20
K	$0.17^{+0.08}_{-0.07}$
L	0.50
M	0.13
N	0.10
P	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
T	0.25 (T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

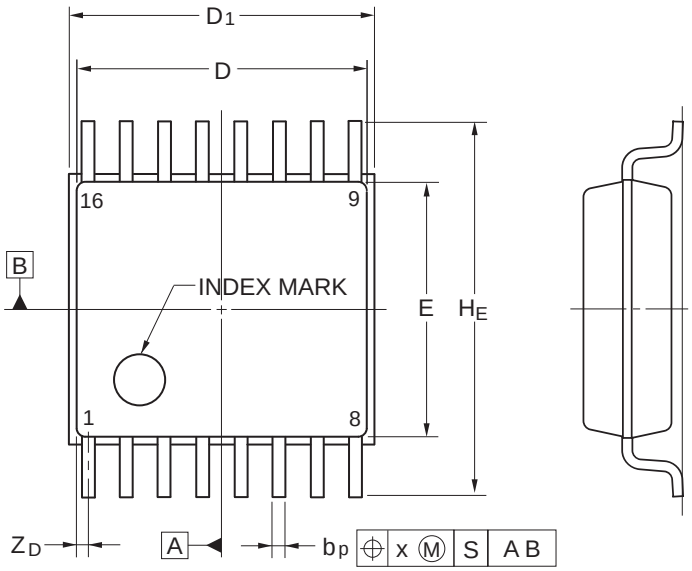
NOTE
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

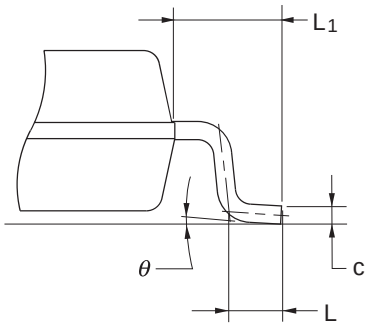
25. 2　16ピン製品

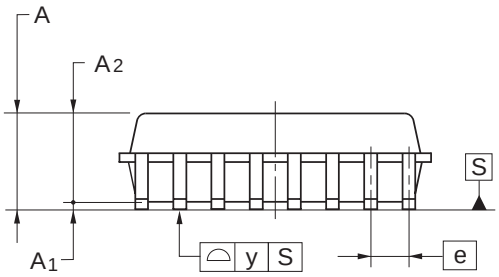
R5F10Y47ASP, R5F10Y46ASP, R5F10Y44ASP
R5F10Y47DSP, R5F10Y46DSP, R5F10Y44DSP

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-SSOP16-4.4x5-0.65	PRSP0016JC-B	P16MA-65-FAB-1	0.08

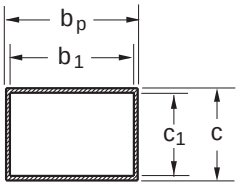


detail of lead end





Terminal cross section



Referance Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	4.85	5.00	5.15
D_1	5.05	5.20	5.35
E	4.20	4.40	4.60
A_2	—	1.50	—
A_1	0.075	0.125	0.175
A	—	—	1.725
b_p	0.17	0.24	0.32
b_1	—	0.22	—
c	0.14	0.17	0.20
c_1	—	0.15	—
θ	0°	—	8°
H_E	6.20	6.40	6.60
e	—	0.65	—
x	—	—	0.13
y	—	—	0.10
Z_D	—	0.225	—
L	0.35	0.50	0.65
L_1	—	1.00	—

付録A　改版履歴

A. 1　本版で修正した箇所

箇　所	内　　容	分類
全体		
-	3線シリアルI/O、3線シリアルを簡易SPIに変更	(c)
-	CSIを簡易SPIに変更	
-	IICAのウエイトをクロック・ストレッチに変更	(c)
第1章 概説		
p.2	1.1 特徴 注を追加	(c)
p.3	図1－1　RL78/G10の型名とメモリ・サイズ，パッケージ　説明を修正	(b)
p.4	表1－1　発注型名一覧　説明を修正	(b)
p.5	表1－2　10ピン製品の兼用機能を追加	(b)
p.6	表1－3　16ピン製品の兼用機能を追加	(b)
第3章　CPUアーキテクチャ		
p.44	3. 3. 4　レジスタ・インダイレクト・アドレッシング　タイトル、説明を修正	(a)
第4章　ポート機能		
p.58	4. 2. 1　ポート0　説明を修正	(a)
p.62	4. 3. 3　プルアップ抵抗オプション・レジスタ0, 4, 12（PU0, PU4, PU12）　説明を修正	(a)
p.68	4. 5. 2 出力機能を使用しない兼用機能のレジスタ設定　備考を追加	(c)
p.70	表4－5　端子機能使用時のレジスタ，出力ラッチの設定例　説明を修正	(a)
第5章 クロック発生回路		
p.85	図5－9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット　注意3を修正	(c)
第6章 タイマ・アレイ・ユニット		
p.167	図6－53 入力パルス間隔測定としての動作の基本タイミング例（MD0n0 = 0）を変更	(a)
第12章 シリアル・アレイ・ユニット		
p.258	注を追加	(c)
第13章 シリアル・インタフェースIICA		
p.434	図13－29 スレーブ動作手順（1）を修正	(a)
第20章　フラッシュ・メモリ		
p.529	20. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング　説明を修正、備考を削除	(b)
p.529	表20－1　RL78/G10と専用フラッシュ・メモリ・プログラマの配線表　説明を修正、注を追加	(b)
p.530	図20－1　フラッシュ・メモリにプログラムを書き込むための環境　説明を修正	(b)
p.530	図20－2　専用フラッシュ・メモリ・プログラマとの通信　説明を修正、注を修正	(b)
p.536	20. 5　専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値）　タイトル、説明を修正	(b)
p.537	表20-7　PG-FP6使用時の各コマンド処理時間（参考値）　表、備考を追加	(b)
第21章　オンチップ・デバッグ機能		
p.538	21. 1　E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータとの接続　タイトル、説明を修正	(b)
p.538	図21－1　E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータとの接続例　タイトル、説明を修正	(b)
p.539	図21－2　E1, E2, E2 Lite, E20オンチップ・デバッギング・エミュレータとの接続例（$\overline{\text{RESET}}$端子の兼用入力機能を使用する場合）　タイトル、説明を修正	(b)
p.540	21. 3　ユーザ資源の確保　説明を修正	(b)
p.540	図21－3 デバッグ用モニタ・プログラムが配置されるメモリ空間 を変更、注3を修正	(c)
第23章　命令セットの概要		
p.561	表23－5　オペレーション一覧　説明を修正	(a)

備考　表中の「分類」により、改訂内容を次のように区分しています。

（a）：誤記訂正、（b）：仕様（スペック含む）の追加／変更、（c）：説明、注意事項の追加／変更、

（d）：パッケージ、オーダ名称、管理区分の追加／変更、（e）：関連資料の追加／変更

A. 2　前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

（1/10）

版　数	内　　容	適用箇所
Rev.3.11	1. 5　ブロック図 修正	第1章　概説
	3. 1. 2　ミラー領域　修正	第3章　CPUアーキテクチャ
	表3－4　SFR一覧（1/2）に注を追加、修正	
	表3－4　SFR一覧（2/2）からプロセッサ・モード・コントロールレジスタ　削除	
	表3－5　拡張SFR（2nd SFR）一覧（1/2）に注1を追加	
	5. 4. 3　低速オンチップ・オシレータ　修正	第5章　クロック発生回路
	図10－3　A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット　修正	第10章　A/Dコンバータ
	図10－6　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット　修正	
	11. 3. 3　コンパレータフィルタ制御レジスタ（COMPFIR）　説明追加	第11章　コンパレータ

（2/10）

版　数	内　　容	適用箇所
Rev.3.10	開発中の表記を削除	全版
	表1－1　発注型名一覧　変更	第1章　概説
	1. 3 端子接続図（Top View）　変更	
	図2－5 端子タイプ7-1-2の端子ブロック図　注意を追加	第2章　端子機能
	図2－7 端子タイプ7-3-2の端子ブロック図　注意を追加	
	図5－4　クロック動作ステータス制御レジスタ（CSC）のフォーマット　注意9に説明追加	第5 章　クロック発生回路
	表5－4　CPUクロックの移行について　説明を変更	
	5. 6. 6　クロック発振停止前の条件　説明追加	
	6. 4. 2 8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）に説明追加	第6章　タイマ・アレイ・ユニット
	図6－77　PWM出力機能（スレーブ・チャネル）のレジスタ設定内容例　注を変更	
	図10－13 アナログ入力電圧とA/D変換結果の関係　修正	第10章　A/Dコンバータ
	図10－17　総合誤差、図10－18　量子化誤差　修正	
	図10－19　ゼロスケール誤差、図10－20　フルスケール誤差　修正	
	図10－21　積分直線性誤差、図10－22　微分直線性誤差　修正	
	13. 3. 6　IICAロウ・レベル幅設定レジスタ0（IICWL0）　説明追加	第13章　シリアル・インタフェースIICA
	13. 5. 17 (1) (c) (ii) WTIM0 = 1のとき　変更	
	図14－3　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L）のフォーマット（16ピン製品）　注意2を変更	第14章　割り込み機能
Rev.3.00	図1－1 RL78/G10の型名とメモリ・サイズ，パッケージに産業用途を追加	第1章　概説
	表1－1 発注型名一覧に産業用途を追加	
	1. 3. 1 10ピン製品～1. 3. 2 16ピン製品の端子接続図に説明を追加	
	5.7 発振子と発振回路定数を追加	第5章　クロック発生回路
	12.2.1 シフト・レジスタに図を追加	第12章　シリアル・アレイ・ユニット
	図12－14 シリアル出力レジスタ0（SO0）のフォーマットの注意を修正	
	図12－15 シリアル・クロック出力レジスタ0（CKO0）のフォーマットの注意を修正	
	図13－27 シングルマスタ・システムでのマスタ動作に説明を追加	第13章　シリアル・インタフェースIICA
	図13－28 マルチマスタ・システムでのマスタ動作（1/3）に説明を追加	
	図13－28 マルチマスタ・システムでのマスタ動作（2/3）の説明を変更	
	図13－29 スレーブ動作手順（1）に説明を追加	
	20. 3. 1 P40/TOOL0端子に説明、備考1を追加	第20章　フラッシュ・メモリ
	（3）CSIモード（スレーブ・モード, SCKp...外部クロック入力）の誤記を修正	第24章　電気的特性
	24.7 RAMデータ保持特性に改称、図を変更	
	25.1 10ピン製品に産業用途を追加	第25章　外形図
	25.2 16ピン製品に産業用途を追加、外形図データを修正	
Rev.2.00	1.1 特徴の説明を変更	第1章　概説
	1.2 型名一覧の説明を変更	
	1.3.1 10ピン製品～1.3.2 16ピン製品の備考2を変更	
	1.6 機能概要にR5F10Y17ASPの説明を追加	

（3/10）

版　数	内　　容	適用箇所
Rev.2.00	2.1.1 10ピン製品の説明を変更	第2章　端子機能
	2.1.2 16ピン製品の説明を変更	
	2.2.1 製品別の搭載機能の説明を変更	
	2.2.2 機能説明の説明を変更	
	2.4 端子ブロック図に図2－8を追加	
	図3－1 メモリ・マップ（R5F10Y14ASP, R5F10Y44ASP）～図3－3 メモリ・マップ（R5F10Y17ASP, R5F10Y47ASP ）の説明を変更	第3章　CPUアーキテクチャ
	表3－1 内部ROM容量にR5F10Y17ASPを追加	
	表3－2と表3－3を統合して16ピン製品の仕様を追加	
	3.1.2の図の説明を変更	
	3.1.3 内部データ・メモリ空間の説明を変更、注意を追加	
	表3－3 内部RAM容量にR5F10Y17ASPの説明を追加	
	図3－4 データ・メモリとアドレッシングの対応の説明を変更	
	（3）スタック・ポインタ（SP）の説明を変更、注意2を追加	
	表3－4 SFR一覧にコンパレータ関連のレジスタを追加	
	表3－4 SFR一覧の注2を変更	
	表3－5 拡張SFR（2nd SFR）一覧にA/Dテスト・レジスタを追加	
	表3－5 拡張SFR（2nd SFR）一覧に注2を追加	
	4.2.1 ポート0～4.2.4 ポート13の説明を変更	第4章　ポート機能
	4.3 ポート機能を制御するレジスタの注意を変更	
	図4－1 ポート・モード・レジスタ0,4（PM0,PM4）のフォーマットの注意を追加	
	4.3.2 ポート・レジスタ0,4,12,13（P0,P4,P12,P13）の注を変更	
	図4－2 ポート・レジスタ0,4,12,13（P0,P4,P12,P13）のフォーマットの注意を追加	
	4.3.3 プルアップ抵抗オプション・レジスタ0,4,12（PU0,PU4,PU12）の説明を変更	
	図4－3 プルアップ抵抗オプション・レジスタ0,4,12（PU0,PU4,PU12）のフォーマットの注を変更、注意を追加	
	4.3.4 ポート出力モード・レジスタ0（POM0）の注意を追加	
	図4－4 ポート出力モード・レジスタ0（POM0）のフォーマットの注意を追加	
	図4－5 ポート・モード・コントロール・レジスタ0（PMC0）のフォーマットの注意1を変更、注意2を追加	
	図4－6 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットの説明を変更、注意2を追加	
	4.6.2 端子設定に関する注意事項の説明を変更	
	（1）メイン・システム・クロックの説明を変更	第5章　クロック発生回路
	図5－3 システム・クロック制御レジスタ（CKC）のフォーマットに注意1～3を追加	
	図5－7 周辺イネーブル・レジスタ0（PER0）のフォーマットに注意を追加	
	（2）CPUを高速システム・クロック動作（B）から，高速オンチップ・オシレータ・クロック動作（A）へ移行の発振精度安定待ちの仕様を追加	

（4/9）

版　数	内　　容	適用箇所
Rev.2.00	冒頭に記載のタイマ・アレイ・ユニットのチャネル数の説明を追加	第6章　タイマ・アレイ・ユニット
	（2）2入力式ワンショット・パルス出力（16ピン製品のみ）の説明を追加	
	図6－1 タイマ・アレイ・ユニットの全体ブロック図の説明を変更	
	図6－2 タイマ・アレイ・ユニットのチャネル内部ブロック図の（b）を（b）チャネル1と（c）チャネル3に分割	
	図6－6 周辺イネーブル・レジスタ0（PER0）のフォーマットの注意2を変更	
	図6－8 タイマ・モード・レジスタ0n（TMR0n）のフォーマット（2/3）の説明を変更、注意を追加	
	6.3.5 タイマ・チャネル許可ステータス・レジスタ（TE0, TEH0（8ビットモード））の説明を変更	
	6.3.8 タイマ出力許可ステータス・レジスタ（TOE0）の説明を変更	
	6.3.11 タイマ出力モード・レジスタ0（TOM0）の説明、備考を変更	
	6.3.12 ノイズ・フィルタ許可レジスタ1（NFEN1）の説明を変更，注意を追加	
	6.3.13 入力切り替え制御レジスタ（ISC）の説明を追加	
	6.3.14 タイマ入出力端子のポート機能を制御するレジスタの説明を変更	
	6.4.2 8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）（7）の説明を変更	
	6.6.1 TO0n端子の出力回路の構成の説明を変更	
	6.7 タイマ入力（TI0n）の制御の説明を追加	
	6.8.1 インターバル・タイマ／方形波出力としての動作（1）、（2）の説明を変更	
	図6－43 インターバル・タイマ／方形波出力操作手順の説明を変更	
	6.8.2 外部イベント・カウンタとしての動作の説明を変更	第6章　タイマ・アレイ・ユニット
	図6－47 外部イベント・カウンタの操作手順の説明を変更	
	図6－51 分周器機能の操作手順の説明を変更	
	6.8.4 入力パルス間隔測定としての動作の説明を変更	
	図6－55 入力パルス間隔測定の操作手順の説明を変更	
	図6－59 入力信号のハイ／ロウ・レベル幅測定の操作手順の説明を変更	
	6.8.6 ディレイ・カウンタとしての動作に注意を追加	
	図6－63 ディレイ・カウンタの操作手順の説明を変更	
	6.9.1 ワンショット・パルス出力としての動作に注意を追加	
	図6－68 ワンショット・パルス出力の操作手順（1/2）、（2/2）の説明を変更	
	6.9.2 2入力式ワンショット・パルス出力としての動作の説明を追加	
	図6－78 PWM出力機能の操作手順（1/2）、（2/2）の説明を変更	
	6.9.4 多重PWM出力機能としての動作の説明を変更	
	図6－83 多重PWM出力機能（2種類のPWMを出力する場合）の操作手順（1/2）、（2/2）の説明を変更	

（5/9）

版　数	内　　容	適用箇所
Rev.2.00	図7－1 12ビット・インターバル・タイマのブロック図の説明を変更	第7章　12ビット・インターバル・タイマ
	図7－2 周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1、3を変更	
	7.3.3 インターバル・タイマ・コントロール・レジスタ（ITMCH, ITMCL）の説明を変更	
	図7－4 インターバル・タイマ・コントロール・レジスタ（ITMCH, ITMCL）のフォーマットの説明、注意1～4を変更	
	図7－5 12ビット・インターバル・タイマ動作のタイミングの説明を変更	
	7.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し，再度HALT/STOPモードに移行する設定手順の説明を追加	
	図8－1 クロック出力／ブザー出力制御回路のブロック図に16ピン製品を追加	第8章　クロック出力／ブザー出力制御回路
	8.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタの説明を変更	
	図9－1 ウォッチドッグ・タイマのブロック図の説明を変更	第9章　ウォッチドッグ・タイマ
	9.4.2 ウォッチドッグ・タイマの時間設定に変更	
	冒頭にA/Dコンバータの説明、注を追加	第10章　A/Dコンバータ
	図10－1 A/Dコンバータのブロック図の説明を変更	
	（1）ANI0－ANI6の説明を追加	
	図10－5 A/DコンバータのサンプリングとA/D変換のタイミングの説明を変更	
	図10－7 A/D変換結果上位ビット格納レジスタ（ADCRH）のフォーマットの注意を変更	
	図10－10 アナログ入力チャネル指定レジスタ（ADS）のフォーマットの注2を追加、注意1～4を変更	
	10.3.7 A/Dテスト・レジスタ（ADTES）の説明を追加	
	10.3.8 アナログ入力端子のポート機能を制御するレジスタの説明を追加	
	図10－12 A/Dコンバータの変換動作の説明を変更	
	10.7.2 A/D変換対象：内部基準電圧の設定（16ピン製品のみ）の説明、図を追加	
	10.9.3 競合動についての説明を変更	
	コンパレータの説明を追加	第11章　コンパレータ
	16ピン製品の説明を冒頭に追加	第12章　シリアル・アレイ・ユニット
	図12－1 シリアル・アレイ・ユニット0のブロック図の説明を変更	
	（2）シリアル・データ・レジスタ0nL（SDR0nL）の説明を変更	
	図12－5 シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）のフォーマット（1/2）の注意を変更	
	図12－5 シリアル・モード・レジスタ0n（SMR0nH, SMR0nL）のフォーマット（2/2）の注意を変更	
	図12－6 シリアル通信動作設定レジスタ0n（SCR0nH, SCR0nL）のフォーマット（2/2）の注意を変更	
	12.3.5 シリアル・データ・レジスタ0nL（SDR0nH, SDR0nL）の説明を変更	
	図12－8 シリアル・フラグ・クリア・トリガ・レジスタ0n（SIR0n）のフォーマットの注意を変更	
	図12－13 シリアル出力許可レジスタ0（SOE0）のフォーマットの注意を変更	
	図12－14 シリアル出力レジスタ0（SO0）のフォーマットの注意を変更	
	図12－15 シリアル・クロック出力レジスタ0（CKO0）のフォーマットの注意を変更	

（6/9）

版　数	内　　容	適用箇所
Rev.2.00	12.3.16 入力切り替え制御レジスタ（ISC）の説明を変更	第12章　シリアル・アレイ・ユニット
	12.3.17 シリアル入出力端子のポート機能を制御するレジスタに説明を変更	
	図12－20 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定の注意1、2を変更	
	12.5 3線シリアルI/O（CSI00, CSI01）通信の動作に説明を追加	
	12.5.4 スレーブ送信の表の注1～3を変更	
	表12－3 UART動作クロックの選択の注を変更	
	12.7 簡易I2C（IIC00）通信の動作の説明を追加	
	図12－98 オーバラン・エラー発生時の処理手順を追加	
	図13－1 シリアル・インタフェースIICAのブロック図の説明を変更	第13章　シリアル・インタフェースIICA
	図13－4 スレーブ・アドレス・レジスタ0（SVA0）のフォーマットの注を変更	
	図13－5 周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1、2を変更	
	図13－6 IICAコントロール・レジスタ00（IICCTL00）のフォーマット（3/4）に注2を追加	
	図13－6 IICAコントロール・レジスタ00（IICCTL00）のフォーマット（4/4）に注を追加	
	図13－9 IICAコントロール・レジスタ01（IICCTL01）のフォーマット（2/2）の説明を変更	
	13.3.8 IICAシリアル入出力端子のポート機能を制御するレジスタの説明を変更	
	図13－22 アドレス一致によりWUP0=0に設定する場合のフローの説明を変更	
	（3）すでに他者との間でI2C通信が行われている場合の④の説明を変更	
	図13－27 シングルマスタ・システムでのマスタ動作の説明を変更	
	図13－28　マルチマスタ・システムでのマスタ動作（2/3）～（3/3）の説明を変更	
	図13－29 スレーブ動作手順（1）の説明を変更	
	図13－1 シリアル・インタフェースIICAのブロック図の説明を変更	
	図13－4 スレーブ・アドレス・レジスタ0（SVA0）のフォーマットの注を変更	
	図13－5 周辺イネーブル・レジスタ0（PER0）のフォーマットの注意1、2を変更	第13章　シリアル・インタフェースIICA
	図13－6 IICAコントロール・レジスタ00（IICCTL00）のフォーマット（3/4）に注2を追加	
	図13－6 IICAコントロール・レジスタ00（IICCTL00）のフォーマット（4/4）に注を追加	
	図13－9 IICAコントロール・レジスタ01（IICCTL01）のフォーマット（2/2）の説明を変更	
	13.3.8 IICAシリアル入出力端子のポート機能を制御するレジスタの説明を変更	
	図13－22 アドレス一致によりWUP0=0に設定する場合のフローの説明を変更	
	（3）すでに他者との間でI2C通信が行われている場合の④の説明を変更	
	図13－27 シングルマスタ・システムでのマスタ動作の説明を変更	
	図13－28　マルチマスタ・システムでのマスタ動作（2/3）～（3/3）の説明を変更	
	図13－29 スレーブ動作手順（1）の説明を変更	

（7/9）

版　数	内　　容	適用箇所
Rev.2.00	表14－2 割り込み要因一覧（16ピン製品）に仕様、注1～3を追加	第14章　割り込み機能
	表14－4 割り込み要求ソースに対応する各種フラグ（16ピン製品）に仕様、注1、2を追加	
	図14－3 割り込み要因フラグ・レジスタ（IF0L, IF0H, IF1L）のフォーマット（16ピン製品）を追加	
	図14－5 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L）のフォーマット（16ピン製品）を追加	
	14.3.3 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR10L, PR10H, PR01L, PR11L）に16ピン製品関連の説明を追加図14－7 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR10L, PR10H, PR01L, PR11L）のフォーマット（16ピン製品）を追加	
	図14－7 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR10L, PR10H, PR01L, PR11L）のフォーマット（16ピン製品）を追加図14－8外部割り込み立ち上がりエッジ許可レジスタ0（EGP0），外部割り込み立ち下がりエッジ許可レジスタ0（EGN0）のフォーマットの備考1、2を追加	
	図14－8外部割り込み立ち上がりエッジ許可レジスタ0（EGP0），外部割り込み立ち下がりエッジ許可レジスタ0（EGN0）のフォーマットの備考1、2を追加	
	15.3.4 キー割り込み入力端子のポート機能を制御するレジスタの説明を変更	第15章　キー割り込み機能
	図16－3 割り込み要求発生によるSTOPモードの解除（2/2）の注2を変更	第16章　スタンバイ機能
	図18－2 内部リセット信号発生のタイミングを変更	第18章　セレクタブル・パワーオン・リセット回路
	19.1 オプション・バイトの機能に注意を追加	第19章　オプション・バイト
	図19－2 ユーザ・オプション・バイト（000C1H）のフォーマットに注意2を追加	
	図19－3 ユーザ・オプション・バイト（000C2H）のフォーマットの説明を変更	
	表20－6 PG-FP5使用時の各コマンド処理時間（参考値）にR5F10Y17を追加	第20章　フラッシュ・メモリ
	図21－3 デバッグ用モニタ・プログラムが配置されるメモリ空間の注1にR5F10Y17を追加	第21章　オンチップ・デバッグ機能
	表23－2 オペレーション欄の記号にaddr5を追加	第24章　電気的特性
	表23－5 オペレーション一覧（1/17）～（17/17）の注2を変更	
	24.1 絶対最大定格の説明を変更	
	24.2 発振回路特性の説明を変更	
	24.3.1 端子特性の説明、注1～4、注意を変更	
	（2）10ピン製品のフラッシュROM 4 KBの製品と，16ピン製品の説明、注1～6、備考1、2を追加	
	（3）周辺機能（全製品共通）の説明、注1～6、備考1～3を追加	
	24.4 AC特性の説明を変更	
	メイン・システム・クロック動作時の最小命令実行時間の図を追加	
	外部システム・クロック・タイミングの図を追加	
	TI/TOタイミングの図を変更	
	24.5.2 シリアル・インターフェースIICAの説明を追加	
	24.6.1 A/Dコンバータ特性の説明、注1～6を変更	
	24.6.2 コンパレータ特性の説明、注1、2を追加	
	24.6.3 内部基準電圧特性の説明、注意を追加	

（8/9）

版　数	内　　容	適用箇所
Rev.2.00	24.6.4 SPOR回路特性の注意を追加	第24章　電気的特性
	24.6.6 データ保持電源電圧特性の図を追加	
	25.1 10ピン製品にR5F10Y17ASPを追加	第25章　外形図
	25.2 16ピン製品の図面をP16MA-65-FABに変更	
Rev.1.00	1.1 特徴の電源電圧の説明を変更	第1章　概説
	図1－1 発注型名の分類を変更	
	1.6 機能概要の説明を変更，注を追加	
	2.1.2 16ピン製品の説明の誤記を訂正	第2章　端子機能
	2.2.2 機能説明を変更	
	図3－1 メモリ・マップ（R5F10Y14ASP，R5F10Y44ASP）～図3－3 メモリ・マップ（R5F10Y47ASP）に注意を追加	第3章　CPUアーキテクチャ
	図3－7 スタック・ポインタの構成の誤記を訂正	
	4.2.1 ポート0の誤記を訂正	第4章　ポート機能
	図4－4 ポート出力モード・レジスタ0（POM0）のフォーマットの誤記を訂正	
	図4－6 周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットに注意を追加	
	表4－5 端子機能使用時のレジスタ，出力ラッチの設定例（1/4）の誤記を訂正	
	表4－5 端子機能使用時のレジスタ，出力ラッチの設定例（2/4）の誤記を訂正	
	5.1 クロック発生回路の機能に注を追加	第5章　クロック発生回路
	5.3.1 クロック動作モード制御レジスタ（CMC）の誤記を訂正	
	5.3.3 クロック動作ステータス制御レジスタ（CSC）の誤記を訂正	
	図5－5 発振安定時間カウンタ状態レジスタ（OSTC）のフォーマットの説明を変更	
	図5－6 発振安定時間選択レジスタ（OSTS）のフォーマットの説明を変更	
	図5－9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のリセット時の値を変更	
	5.5 クロック発生回路の動作に注を追加	
	図5－12 電源電圧投入時のクロック発生回路の動作を変更	
	5.6.2 X1発振回路の設定例を変更	
	図5－13 CPUクロック状態移行図を変更	
	表5－5 メイン・システム・クロックの切り替え（fIH ↔ fMX）に要する最大クロック数の備考を変更	
	冒頭に記載のタイマ・アレイ・ユニット機能の説明を変更	第6章　タイマ・アレイ・ユニット
	図6－3 タイマ・カウンタ・レジスタ0n（TCR0n）のフォーマット（n = 0-3）に注意を追加	
	表6－3 各動作モード時のタイマ・カウンタ・レジスタ0n（TCR0n）読み出し値に注意を追加	
	6.2.2 タイマ・データ・レジスタ0n（TDR0n）の説明を変更，注意を追加	
	図6－7 タイマ・クロック選択レジスタ0（TPS0）のフォーマットの説明を変更	
	図6－16 タイマ出力許可レジスタ0（TOE0）のフォーマットの誤記を訂正	
	6.4.2 8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）に注意を追加	
	図6－24 動作タイミング（インターバル・タイマ・モード）の誤記を訂正	
	図6－26 動作タイミング（キャプチャ・モード：入力パルス間隔測定）の誤記を訂正	
	図6－27 動作タイミング（ワンカウント・モード）の誤記を訂正	

（8/9）

版　数	内　　容	適用箇所
Rev.1.00	図6－28 動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）の誤記を訂正	第6章　タイマ・アレイ・ユニット
	図6－41 インターバル・タイマ／方形波出力機能時の操作手順に注意を追加	
	図6－61 ディレイ・カウンタ機能時の操作手順の誤記を訂正	
	6.8.2 PWM機能としての動作に注意を追加	
	6.8.3 多重PWM出力機能としての動作に注意を追加	
	図6－75 多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例を変更	
	図6－76 多重PWM機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）を変更	
	図7－2 周辺イネーブル・レジスタ0（PER0）のフォーマットの誤記を訂正	第7章　12ビット・インターバル・タイマ
	図8－2 クロック出力選択レジスタ0（CKS0）のフォーマットの注意を変更	第8章　クロック出力／ブザー出力制御回路
	図8－3 ポート・モード・レジスタ0, 4（PM0, PM4）のフォーマットに注を追加	
	8.4.1 出力端子の動作の説明を変更	
	図10－13 A/Dコンバータの変換動作を変更	第10章　A/Dコンバータ
	表10－5 等価回路の各抵抗と容量値を変更	
	図12－21 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定の説明を変更	第12章　シリアル・アレイ・ユニット
	図12－22 チャネルごとに動作停止とする場合の各レジスタの設定に注を追加	
	12.7 簡易I2C（IIC00）通信の動作の誤記を訂正	
	図14－5 外部割り込み立ち上がりエッジ許可レジスタ（EGP0），外部割り込み立ち下がりエッジ許可レジスタ（EGN0）のフォーマットの注意を変更	第14章　割り込み機能
	表15－1 キー割り込み検出端子の割り当ての誤記を訂正	第15章　キー割り込み機能
	図15－3 キー・リターン・モード・レジスタ（KRM0）のフォーマットの注意を変更	
	図15－4 キー・リターン・フラグ・レジスタ（KRF）のフォーマットに注意を追加	
	図15－5 ポート・モード・レジスタ0, 4（PM0, PM4）のフォーマットに注を追加	
	図15－6 1つのチャネルへのキー割り込み入力時のINTKR信号の動作（KRMD = 0, KREG = 0設定時）の注を変更	
	図15－7 複数チャネルへのキー割り込み入力時のINTKR信号の動作（KRMD = 0, KREG = 0設定時）の注を変更	
	図15－8 キー割り込みフラグを使用時のINTKR信号の基本動作（KRMD = 1, KREG = 0設定時）の注を変更	
	図15－9 複数チャネルへのキー割り込み入力時のINTKR信号の動作（KRMD = 1, KREG = 0設定時）を変更	
	図16－1 割り込み要求発生によるHALTモードの解除の注を変更	第16章　スタンバイ機能
	図16－2 リセット信号の発生によるHALTモードの解除の注を変更	
	表16－2 STOPモード時の動作状態の誤記を訂正	
	図16－3 割り込み要求発生によるSTOPモードの解除（1/2）の注と備考を変更	
	図16－3 割り込み要求発生によるSTOPモードの解除（2/2）の注を変更	
	図16－4 リセット信号の発生によるSTOPモードの解除の注を変更	

（9/9）

版　数	内　　容	適用箇所
Rev.1.00	注意1.の説明を変更	第17章　リセット機能
	図17－2 $\overline{\text{RESET}}$入力によるリセット・タイミングを変更	
	図17－3 ウォッチドッグ・タイマのオーバフロー／不正命令の実行によるリセット・タイミングを変更	
	図18－2 内部リセット信号発生のタイミングを変更	第18章　セレクタブル・パワーオン・リセット回路
	図18－3 電圧検出レベル付近での電源電圧変動が50 ms以下の場合のソフト処理例を変更	
	図19－2 ユーザ・オプション・バイト（000C1H）のフォーマットに備考を追加	第19章　オプション・バイト
	20.4.2 フラッシュ・メモリ・プログラミング・モードの説明を変更	第20章　フラッシュ・メモリ
	表20－7 PG-FP5使用時の各コマンド処理時間（参考値）を変更	
	第24章 電気的特性（10ピン製品）に注意を追加	第24章　電気的特性（10ピン製品）
	24.6.2 SPOR回路特性の最小パルス幅の略号の誤記を訂正	

RL78/G10 ユーザーズマニュアル
ハードウェア編

発行年月日　2023 年 3 月 20 日　Rev.3.20

発行　ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

RL78/G10

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0384JJ0320