

R8C/38T-A グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

R8C ファミリ / R8C/3xT-A シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイクロコンピュータのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイクロコンピュータを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用する場合は、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意事項で構成されています。

本マイクロコンピュータは、注意事項を十分に確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して、訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細はこのマニュアルの本文で確認してください。

R8C/38T-A グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要	R8C/38T-Aグループ データシート	R01DS0081JJ0010
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/38T-Aグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編	R01US0007JJ
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	—	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメントなどに関する速報		

2. 数や記号の表記

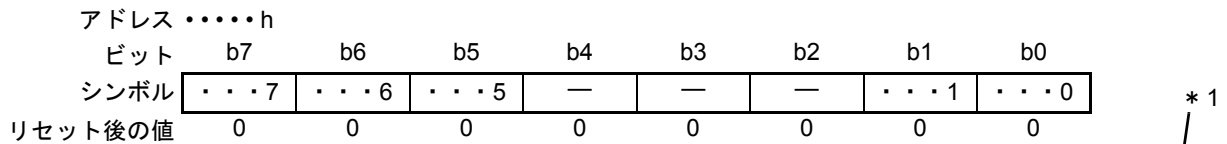
このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタの SRST ビット
P3_5 端子、VCC 端子
- (2) 周辺機能名、レジスタ名、端子名
周辺機能名、レジスタ名、端子名の「_」(アンダースコア)の後の数字は、複数内蔵するモジュールの番号を示します。
(例) ●周辺機能名
タイマRC : タイマRC_0、タイマRC_1
タイマRJ : タイマRJ_0、タイマRJ_1、タイマRJ_2、タイマRJ_3
●端子名
タイマRC : TRCCLK_0、TRCCLK_1
UART0 : RXD_0、RXD_1、RXD_2、RXD_3
- (3) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数 : 11b
16進数 : EFA0h
10進数 : 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X レジスタ (シンボル)



ビット	シンボル	ビット名	機能	R/W
b0	. . . 0	. . . ビット	b1 b0 0 0 : . . . 0 1 : . . . 1 0 : 設定しないでください 1 1 : . . .	R/W R/W R/W
b1	. . . 1			
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b3	—	予約ビット	0にしてください	W
b4	—			
b5	. . . 5	. . . ビット	動作モードによって機能が異なる	R/W
b6	. . . 6			R/W
b7	. . . 7	. . . ビット	0 : . . . 1 : . . .	R

* 2

* 3

* 1

R/W : 読むとビットの状態が読めます。書くと有効データになります。

R : 読むとビットの状態が読めます。書いた値は無効になります。

W : 書くと有効データになります。ビットの状態は読めません。

— : 何も配置されていないビットです。

* 2

• 予約ビット

予約ビットです。指定された値にしてください。R/Wのビットについては、特に記載のない限り書いた値が読めます。

* 3

• 何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は0を書いてください。

• 設定しないでください

設定した場合の動作は保証されません。

• 動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

SFRページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.1.2 仕様概要	2
1.2 製品一覧	4
1.3 ブロック図	5
1.4 ピン配置図	6
1.5 端子機能の説明	13
2. 中央演算処理装置 (CPU)	15
2.1 データレジスタ (R0、R1、R2、R3)	16
2.2 アドレスレジスタ (A0、A1)	16
2.3 フレームベースレジスタ (FB)	16
2.4 割り込みテーブルレジスタ (INTB)	16
2.5 プログラムカウンタ (PC)	16
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	16
2.7 スタティックベースレジスタ (SB)	16
2.8 フラグレジスタ (FLG)	16
2.8.1 キャリフラグ (Cフラグ)	16
2.8.2 デバッグフラグ (Dフラグ)	16
2.8.3 ゼロフラグ (Zフラグ)	16
2.8.4 サインフラグ (Sフラグ)	16
2.8.5 レジスタバンク指定フラグ (Bフラグ)	16
2.8.6 オーバフローフラグ (Oフラグ)	17
2.8.7 割り込み許可フラグ (Iフラグ)	17
2.8.8 スタックポインタ指定フラグ (Uフラグ)	17
2.8.9 プロセッサ割り込み優先レベル (IPL)	17
2.8.10 予約ビット	17
3. アドレス空間	18
3.1 メモリマップ	18
3.2 SFR	19
4. バスアクセス	36
4.1 バスアクセス	36
5. システム制御	37
5.1 概要	37
5.2 レジスタの説明	37
5.2.1 プロセッサモードレジスタ 0 (PM0)	37
5.2.2 プロセッサモードレジスタ 1 (PM1)	38
5.2.3 プロテクトレジスタ (PRCR)	39
5.2.4 オプション機能選択レジスタ 2 (OFS2)	40
5.2.5 オプション機能選択レジスタ (OFS)	41
5.3 IDコード領域	42
5.3.1 概要	42
5.3.2 機能	42

5.3.3	強制イレーズ機能	43
5.3.4	標準シリアル入出力モード禁止機能	44
5.3.5	IDコード領域使用上の注意(設定例).....	44
5.4	プロテクト.....	45
5.5	オプション機能選択領域.....	45
5.5.1	概要	45
5.6	システム制御使用上の注意事項.....	46
5.6.1	オプション機能選択領域の設定例	46
6.	リセット	47
6.1	概要.....	47
6.2	レジスタの説明	48
6.2.1	プロセッサモードレジスタ0 (PM0).....	48
6.2.2	リセット要因判別レジスタ (RSTFR)	49
6.2.3	オプション機能選択レジスタ2 (OFS2).....	50
6.2.4	オプション機能選択レジスタ (OFS).....	51
6.3	動作説明	52
6.3.1	リセットシーケンス	52
6.3.2	ハードウェアリセット	53
6.3.3	パワーオンリセット	55
6.3.4	電圧監視0リセット.....	56
6.3.5	ウォッチドッグタイマリセット	57
6.3.6	ソフトウェアリセット	57
6.3.7	コールドスタート/ウォームスタート判定機能	57
6.3.8	リセット要因判別機能	57
6.4	リセット時の状態.....	58
6.4.1	RESET端子のレベルがLの期間の端子の状態.....	58
6.4.2	リセット後のCPUレジスタの状態.....	58
7.	電圧検出回路	59
7.1	概要.....	59
7.2	レジスタの説明	62
7.2.1	電圧監視回路制御レジスタ (CMPA)	62
7.2.2	電圧監視回路エッジ選択レジスタ (VCAC)	63
7.2.3	電圧検出レジスタ2 (VCA2).....	63
7.2.4	電圧検出1レベル選択レジスタ (VD1LS).....	64
7.2.5	電圧監視0回路制御レジスタ (VW0C)	65
7.2.6	電圧監視1回路制御レジスタ (VW1C).....	66
7.2.7	電圧監視2回路制御レジスタ (VW2C).....	67
7.2.8	オプション機能選択レジスタ (OFS).....	68
7.3	VCC入力電圧のモニタ	69
7.3.1	Vdet0のモニタ	69
7.3.2	Vdet1のモニタ	69
7.3.3	Vdet2のモニタ	69
7.4	電圧監視0リセット	70
7.5	電圧監視1割り込み	71
7.6	電圧監視2割り込み	73

8.	ウォッチドッグタイマ	75
8.1	概要	75
8.2	レジスタの説明	77
8.2.1	リセット割り込み選択レジスタ (RISR)	78
8.2.2	ウォッチドッグタイマリセットレジスタ (WDTR).....	78
8.2.3	ウォッチドッグタイマスタートレジスタ (WDTS).....	79
8.2.4	ウォッチドッグタイマ制御レジスタ (WDTC).....	79
8.2.5	カウントソース保護モードレジスタ (CSPR).....	80
8.2.6	オプション機能選択レジスタ2 (OFS2).....	80
8.2.7	オプション機能選択レジスタ (OFS).....	81
8.3	動作説明	82
8.3.1	複数モードに関わる共通事項	82
8.3.2	カウントソース保護モード無効時	83
8.3.3	カウントソース保護モード有効時	84
9.	クロック発生回路	85
9.1	概要	85
9.2	レジスタの説明	88
9.2.1	システムクロック制御レジスタ0 (CM0).....	89
9.2.2	システムクロック制御レジスタ1 (CM1).....	90
9.2.3	発振停止検出レジスタ (OCD).....	91
9.2.4	システムクロック制御レジスタ3 (CM3).....	92
9.2.5	システムクロック制御レジスタ4 (CM4).....	93
9.2.6	時計用プリスケアラリセットフラグ (CPSRF).....	94
9.2.7	高速オンチップオシレータ制御レジスタ0 (FRA0).....	94
9.2.8	高速オンチップオシレータ制御レジスタ2 (FRA2).....	95
9.2.9	電圧検出レジスタ2 (VCA2).....	96
9.2.10	入出力機能端子選択レジスタ (PINSR).....	97
9.3	XINクロック	98
9.4	オンチップオシレータクロック	100
9.4.1	低速オンチップオシレータクロック	100
9.4.2	高速オンチップオシレータクロック	100
9.5	XCINクロック	101
9.6	CPUクロックと周辺機能クロック	102
9.6.1	システムクロック	102
9.6.2	CPUクロック	102
9.6.3	周辺機能クロック (f1、f2、f4、f8、f32).....	102
9.6.4	fOCO.....	102
9.6.5	fHOCO.....	102
9.6.6	fHOCO-F.....	102
9.6.7	fLOCO	102
9.6.8	fOCO128.....	103
9.6.9	fC1、fC2、fC32	103
9.6.10	fLOCOWDT	103
9.7	発振停止検出機能	104
9.7.1	発振停止検出機能の使用方法	104
9.8	クロック発生回路使用上の注意事項	107
9.8.1	発振停止検出機能	107
9.8.2	発振回路定数	107

10.	パワーコントロール	108
10.1	概要	108
10.2	レジスタの説明	109
10.2.1	システムクロック制御レジスタ0 (CM0)	110
10.2.2	システムクロック制御レジスタ1 (CM1)	111
10.2.3	システムクロック制御レジスタ3 (CM3)	112
10.2.4	システムクロック制御レジスタ4 (CM4)	113
10.2.5	高速オンチップオシレータ制御レジスタ0 (FRA0)	114
10.2.6	STBY VDC電力制御レジスタ (SVDC)	114
10.2.7	モジュールスタンバイコントロールレジスタ0 (MSTCR0)	115
10.2.8	モジュールスタンバイコントロールレジスタ1 (MSTCR1)	115
10.2.9	モジュールスタンバイコントロールレジスタ2 (MSTCR2)	116
10.2.10	モジュールスタンバイコントロールレジスタ3 (MSTCR3)	116
10.2.11	モジュールスタンバイコントロールレジスタ4 (MSTCR4)	116
10.3	標準動作モード	117
10.3.1	高速クロックモード	118
10.3.2	低速クロックモード	118
10.3.3	高速オンチップオシレータモード	118
10.3.4	低速オンチップオシレータモード	118
10.4	ウェイトモード	119
10.4.1	周辺機能クロック停止機能	119
10.4.2	ウェイトモードへの移行	119
10.4.3	ウェイトモード時の端子の状態	119
10.4.4	ウェイトモードからの復帰	120
10.5	ストップモード	123
10.5.1	ストップモードへの移行	123
10.5.2	ストップモード時の端子の状態	123
10.5.3	ストップモードからの復帰	124
10.6	消費電力の低減	125
10.6.1	電圧検出回路	125
10.6.2	ポート	125
10.6.3	クロック	125
10.6.4	ウェイトモード、ストップモード	125
10.6.5	周辺機能クロックの停止	125
10.6.6	タイマ	125
10.6.7	A/Dコンバータ	125
10.6.8	クロック同期形シリアルインタフェースおよびシリアルインタフェース	126
10.6.9	内部電源の消費電力低減(低消費電力モード)	126
10.6.10	フラッシュメモリの停止	128
10.6.11	低消費電流リードモード	129
10.7	パワーコントロール使用上の注意事項	130
10.7.1	ストップモード	130
10.7.2	ウェイトモード	130
11.	割り込み	132
11.1	概要	132
11.1.1	割り込みの分類	132
11.1.2	ソフトウェア割り込み	133
11.1.3	特殊割り込み	133

11.2	レジスタの説明	135
11.2.1	割り込み制御レジスタ (FMRDYIC、INT4IC、TRCIC_0、TRE2IC、U2TIC、U2RIC、KUPIC、ADIC、 SSUIC_0/ICIC_0、U0TIC_0、U0RIC_0、U0TIC_1、U0RIC_1、INT2IC、TRJIC_0、 TRB2IC_0、INT1IC、INT3IC、INT0IC、U2BCNIC、VCMP1IC、VCMP2IC、TSCUIC)	136
11.2.2	外部入力許可レジスタ0 (INTEN)	137
11.2.3	外部入力許可レジスタ1 (INTEN1)	138
11.2.4	INT入力フィルタ選択レジスタ0 (INTF)	139
11.2.5	INT入力フィルタ選択レジスタ1 (INTF1)	140
11.2.6	INT入力極性切り替えレジスタ (INTPOL)	140
11.2.7	キー入力割り込み許可レジスタ (KIEN)	141
11.2.8	アドレス一致割り込みアドレスijレジスタ (AIADrij) (i = 0、1、j = L、H)	142
11.2.9	アドレス一致割り込み許可iレジスタ (AIENi) (i = 0、1)	142
11.2.10	INT割り込み入力端子選択レジスタ0 (INTSR0)	143
11.3	割り込みと割り込みベクタ	144
11.3.1	固定ベクタテーブル	144
11.3.2	可変ベクタテーブル	145
11.4	割り込み制御	147
11.4.1	Iフラグ	147
11.4.2	IRビット	147
11.4.3	ILVL0～ILVL2ビット、IPL	147
11.4.4	割り込みシーケンス	148
11.4.5	割り込み応答時間	149
11.4.6	割り込み要求受付時のIPLの変化	149
11.4.7	レジスタ退避	150
11.4.8	割り込みルーチンからの復帰	152
11.4.9	割り込み優先順位	152
11.4.10	割り込み優先レベル判定回路	152
11.5	INT割り込み	154
11.5.1	INT _i 割り込み (i = 0～4)	154
11.5.2	INT _i 入力フィルタ (i = 0～4)	155
11.6	キー入力割り込み	156
11.7	アドレス一致割り込み	157
11.8	タイマRC割り込み、タイマRE2割り込み、シンクロナスシリアルコミュニケーション ユニット/I ² Cバスインタフェース割り込み、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み)	158
11.9	割り込み使用上の注意事項	159
11.9.1	00000h番地の読み出し	159
11.9.2	SPの設定	159
11.9.3	外部割り込み、キー入力割り込み	159
11.9.4	割り込み要因の変更	160
11.9.5	割り込み制御レジスタの変更	161
12.	イベントリンクコントローラ (ELC)	162
12.1	概要	162
12.2	レジスタの説明	163
12.2.1	イベント出力先選択レジスタ n (ELSELRn) (n = 0～4、8、9、11～16)	163
12.3	動作説明	165

13.	DTC	167
13.1	概要	167
13.2	レジスタの説明	169
13.2.1	DTC起動制御レジスタ (DTCTL)	172
13.2.2	DTC起動許可レジスタ i (DTCEN i) ($i = 0 \sim 3, 5, 6$)	173
13.2.3	DTC制御レジスタ j (DTCCR j) ($j = 0 \sim 23$)	174
13.2.4	DTCブロックサイズレジスタ j (DTBLS j) ($j = 0 \sim 23$)	174
13.2.5	DTC転送回数レジスタ j (DTCCT j) ($j = 0 \sim 23$)	174
13.2.6	DTC転送回数リロードレジスタ j (DTRLD j) ($j = 0 \sim 23$)	175
13.2.7	DTCソースアドレスレジスタ j (DTSAR j) ($j = 0 \sim 23$)	175
13.2.8	DTCデスティネーションアドレスレジスタ j (DTDAR j) ($j = 0 \sim 23$)	175
13.3	動作説明	176
13.3.1	概要	176
13.3.2	起動要因	176
13.3.3	コントロールデータの配置とDTCベクタテーブル	178
13.3.4	ノーマルモード	183
13.3.5	リピートモード	184
13.3.6	チェイン転送	185
13.3.7	割り込み要因	185
13.3.8	動作タイミング	186
13.3.9	DTC実行サイクル数	187
13.3.10	DTC起動要因受付と割り込み要因フラグ	188
13.4	DTC使用上の注意事項	189
13.4.1	DTC起動要因	189
13.4.2	DTCEN i レジスタ ($i = 0 \sim 3, 5, 6$)	189
13.4.3	周辺モジュール	189
13.4.4	割り込み要求	189
13.4.5	DTCの起動	189
14.	I/Oポート	190
14.1	概要	190
14.2	I/Oポートの機能	191
14.3	I/Oポート以外の端子	191
14.4	周辺機能への入出力	204
14.4.1	周辺機能入出力とPD i ビット ($i = 0 \sim 9$)	204
14.4.2	ペリフェラルマッピングコントローラ	204
14.4.3	周辺機能の割り当て	204
14.5	レジスタの説明	206
14.5.1	タイマRJ_0端子選択レジスタ (TRJ_0SR)	207
14.5.2	タイマRCCLK端子選択レジスタ (TRCCLKSR)	208
14.5.3	タイマRC_0端子選択レジスタ0 (TRC_0SR0)	209
14.5.4	タイマRC_0端子選択レジスタ1 (TRC_0SR1)	210
14.5.5	タイマ端子選択レジスタ (TIMSR)	211
14.5.6	UART0_0端子選択レジスタ (U_0SR)	212
14.5.7	UART0_1端子選択レジスタ (U_1SR)	213
14.5.8	UART2端子選択レジスタ0 (U2SR0)	214
14.5.9	UART2端子選択レジスタ1 (U2SR1)	214
14.5.10	INT割り込み入力端子選択レジスタ0 (INTSR0)	215
14.5.11	入出力機能端子選択レジスタ (PINSR)	216

14.5.12	端子配置選択レジスタ (PMCSEL).....	217
14.5.13	プルアップ制御レジスタ0 (PUR0).....	217
14.5.14	プルアップ制御レジスタ1 (PUR1).....	218
14.5.15	プルアップ制御レジスタ2 (PUR2).....	218
14.5.16	ポートP1 駆動能力制御レジスタ (P1DRR).....	219
14.5.17	ポートP2 駆動能力制御レジスタ (P2DRR).....	219
14.5.18	駆動能力制御レジスタ0 (DRR0).....	220
14.5.19	駆動能力制御レジスタ1 (DRR1).....	221
14.5.20	駆動能力制御レジスタ2 (DRR2).....	223
14.5.21	入力しきい値制御レジスタ0 (VLT0).....	224
14.5.22	入力しきい値制御レジスタ1 (VLT1).....	225
14.5.23	入力しきい値制御レジスタ2 (VLT2).....	226
14.5.24	ポートPi レジスタ (PORTi) (i = 0~9).....	227
14.5.25	ポートPi 方向レジスタ (PDi) (i = 0~9).....	228
14.5.26	端子選択レジスタで制御されない入出力端子.....	229
14.6	未使用端子の処理.....	230
15.	タイマRJ.....	231
15.1	概要.....	231
15.2	入出力端子.....	232
15.3	レジスタの説明.....	233
15.3.1	タイマRJカウンタレジスタ (TRJ).....	233
15.3.2	タイマRJ制御レジスタ (TRJCR).....	234
15.3.3	タイマRJ I/O制御レジスタ (TRJIOC).....	236
15.3.4	タイマRJモードレジスタ (TRJMR).....	238
15.3.5	タイマRJイベント端子選択レジスタ (TRJISR).....	239
15.4	動作説明.....	240
15.4.1	リロードレジスタとカウンタの書き換え動作.....	240
15.4.2	タイマモード.....	241
15.4.3	パルス出力モード.....	242
15.4.4	イベントカウンタモード.....	243
15.4.5	パルス幅測定モード.....	244
15.4.6	パルス周期測定モード.....	245
15.4.7	イベントリンクコントローラ (ELC)との連携による動作.....	246
15.4.8	各モードの入出力設定.....	246
15.5	タイマRJ使用上の注意事項.....	247
16.	タイマRB2.....	249
16.1	概要.....	249
16.2	入出力端子.....	251
16.3	レジスタの説明.....	252
16.3.1	タイマRB2制御レジスタ (TRBCR).....	253
16.3.2	タイマRB2ワンショット制御レジスタ (TRBOCR).....	254
16.3.3	タイマRB2 I/O制御レジスタ (TRBIOC).....	255
16.3.4	タイマRB2モードレジスタ (TRBMR).....	256
16.3.5	タイマRB2プリスケアラレジスタ (TRBPRES).....	257
16.3.6	タイマRB2プライマリレジスタ (TRBPR).....	258
16.3.7	タイマRB2セカンダリレジスタ (TRBSC).....	259
16.3.8	タイマRB2割り込み要求レジスタ (TRBIR).....	260

16.4	動作説明	261
16.4.1	タイマモード	261
16.4.2	プログラマブル波形発生モード	263
16.4.3	プログラマブルワンショット発生モード	266
16.4.4	プログラマブルウェイトワンショット発生モード	269
16.5	選択機能	272
16.5.1	TRBPRES、TRBPR、TRBSCレジスタの構造と更新タイミング	272
16.5.2	TWRCビットによるプリスケアラとカウンタ動作	274
16.5.3	TOCNTビットの設定と端子状態	279
16.5.4	イベントリンクコントローラ(ELC)との連携による動作	279
16.6	割り込み要求	280
16.7	INT0入力トリガ選択	280
16.8	タイマRB2使用上の注意事項	281
17.	タイマRC	283
17.1	概要	283
17.2	レジスタの説明	286
17.2.1	タイマRCカウンタ(TRCCNT)	286
17.2.2	タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)	287
17.2.3	タイマRCモードレジスタ(TRCMR)	288
17.2.4	タイマRC制御レジスタ1(TRCCR1)	289
17.2.5	タイマRC割り込み許可レジスタ(TRCIER)	290
17.2.6	タイマRCステータスレジスタ(TRCSR)	291
17.2.7	タイマRC I/O制御レジスタ0(TRCIOR0)	292
17.2.8	タイマRC I/O制御レジスタ1(TRCIOR1)	293
17.2.9	タイマRC制御レジスタ2(TRCCR2)	294
17.2.10	タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)	295
17.2.11	タイマRC出力許可レジスタ(TRCOER)	296
17.2.12	タイマRC A/D変換トリガ制御レジスタ(TRCADCR)	297
17.2.13	タイマRC出力波形操作レジスタ(TRCOPR)	298
17.2.14	タイマRC ELC連動制御レジスタ(TRCELCCR)	299
17.3	動作説明	300
17.3.1	タイマモード	301
17.3.2	PWMモード	305
17.3.3	PWM2モード	309
17.4	選択機能	316
17.4.1	インプットキャプチャ入力デジタルフィルタ	316
17.4.2	A/D変換開始トリガ	317
17.4.3	ジェネラルレジスタと出力端子変更	318
17.4.4	出力波形操作	320
17.5	動作タイミング	323
17.5.1	TRCCNTレジスタのカウントタイミング	323
17.5.2	アウトプットコンペア出力タイミング	324
17.5.3	インプットキャプチャ入力タイミング	324
17.5.4	コンペア一致によるカウンタクリアのタイミング	325
17.5.5	バッファ動作のタイミング	325
17.5.6	コンペア一致時のIMFA～IMFDビットタイミング	326
17.5.7	インプットキャプチャ時のIMFA～IMFDビットタイミング	326

17.5.8	ステータスフラグが0になるタイミング	327
17.5.9	コンペア一致によるA/D変換開始トリガのタイミング	327
17.6	タイマRC使用上の注意事項	328
17.6.1	TRCCNTレジスタ	328
17.6.2	TRCCR1レジスタ	328
17.6.3	TRCSRレジスタ	328
17.6.4	カウントソースの切り替え	328
17.6.5	インプットキャプチャ機能	329
17.6.6	PWM2モード時のTRCMRレジスタ	329
17.6.7	カウントソースfHOCO	329
17.6.8	モジュールスタンバイ	329
17.6.9	モードの切り替え	329
17.6.10	カウント停止時のインプットキャプチャ動作	329
18.	タイマRE2	330
18.1	概要	330
18.2	レジスタの説明	333
18.2.1	タイマRE2カウンタデータレジスタ (TRESEC) [コンペア一致タイマモード時]	333
18.2.2	タイマRE2秒データレジスタ (TRESEC) [リアルタイムクロックモード時]	334
18.2.3	タイマRE2コンペアデータレジスタ (TREMINT) [コンペア一致タイマモード時]	335
18.2.4	タイマRE2分データレジスタ (TREMINT) [リアルタイムクロックモード時]	336
18.2.5	タイマRE2時データレジスタ (TREHR)	337
18.2.6	タイマRE2曜日データレジスタ (TREWK)	338
18.2.7	タイマRE2日データレジスタ (TREDY)	339
18.2.8	タイマRE2月データレジスタ (TREMONT)	340
18.2.9	タイマRE2年データレジスタ (TREYR)	341
18.2.10	タイマRE2制御レジスタ (TRECR) [リアルタイムクロックモード時]	342
18.2.11	タイマRE2制御レジスタ (TRECR) [コンペア一致タイマモード時]	345
18.2.12	タイマRE2カウントソース選択レジスタ (TRECSR) [リアルタイムクロックモード時]	346
18.2.13	タイマRE2カウントソース選択レジスタ (TRECSR) [コンペア一致タイマモード時]	347
18.2.14	タイマRE2時計誤差補正レジスタ (TREADJ)	348
18.2.15	タイマRE2割り込みフラグレジスタ (TREIFR) [リアルタイムクロックモード時]	349
18.2.16	タイマRE2割り込みフラグレジスタ (TREIFR) [コンペア一致タイマモード時]	351
18.2.17	タイマRE2割り込み許可レジスタ (TREIER) [リアルタイムクロックモード時]	352
18.2.18	タイマRE2割り込み許可レジスタ (TREIER) [コンペア一致タイマモード時]	353
18.2.19	タイマRE2アラーム分レジスタ (TREAMNT)	354
18.2.20	タイマRE2アラーム時レジスタ (TREAHR)	355
18.2.21	タイマRE2アラーム曜日レジスタ (TREAWK)	356
18.2.22	タイマRE2プロテクトレジスタ (TREPRT) [リアルタイムクロックモード時]	357
18.2.23	タイマRE2プロテクトレジスタ (TREPRT) [コンペア一致タイマモード時]	358
18.3	リアルタイムクロックモードの動作説明	359
18.3.1	動作例	359
18.3.2	関連レジスタの設定例	359
18.3.3	時刻の変更手順と読み出し手順	361
18.3.4	時計誤差補正機能	363
18.3.5	アラーム機能	370
18.3.6	秒調整機能	372
18.4	コンペア一致タイマモードの動作説明	375
18.4.1	動作例	375

18.4.2	関連レジスタの設定例	375
18.5	割り込み要因	377
18.5.1	イベントリンクコントローラ (ELC)用のワンショット信号	378
18.6	タイマRE2使用上の注意事項	379
19.	シリアルインタフェース (UART0).....	380
19.1	概要	380
19.2	レジスタの説明	383
19.2.1	UART0送受信モードレジスタ (U0MR)	383
19.2.2	UART0ビットレートレジスタ (U0BRG)	384
19.2.3	UART0送信バッファレジスタ (U0TB)	384
19.2.4	UART0送受信制御レジスタ0 (U0C0).....	385
19.2.5	UART0送受信制御レジスタ1 (U0C1).....	386
19.2.6	UART0受信バッファレジスタ (U0RB).....	387
19.2.7	UART0割り込みフラグと許可レジスタ (U0IR)	388
19.3	動作説明	389
19.3.1	クロック同期形シリアルI/Oモード	389
19.3.2	クロック非同期形シリアルI/O (UART)モード	394
19.4	UART0の割り込み	400
19.5	シリアルインタフェース (UART0)使用上の注意事項	401
20.	シリアルインタフェース (UART2).....	402
20.1	概要	402
20.2	レジスタの説明	408
20.2.1	UART2送受信モードレジスタ (U2MR)	409
20.2.2	UART2ビットレートレジスタ (U2BRG).....	409
20.2.3	UART2送信バッファレジスタ (U2TB).....	410
20.2.4	UART2送受信制御レジスタ0 (U2C0).....	411
20.2.5	UART2送受信制御レジスタ1 (U2C1).....	412
20.2.6	UART2受信バッファレジスタ (U2RB)	413
20.2.7	UART2デジタルフィルタ機能選択レジスタ (U2RXDF).....	414
20.2.8	UART2特殊モードレジスタ5 (U2SMR5).....	415
20.2.9	UART2特殊モードレジスタ4 (U2SMR4).....	416
20.2.10	UART2特殊モードレジスタ3 (U2SMR3).....	417
20.2.11	UART2特殊モードレジスタ2 (U2SMR2).....	418
20.2.12	UART2特殊モードレジスタ (U2SMR).....	419
20.3	動作説明	420
20.3.1	クロック同期形シリアルI/Oモード (SIOモード).....	420
20.3.2	クロック非同期形シリアルI/O (UART)モード	425
20.3.3	特殊モード1 (I ² Cモード)	433
20.3.4	マルチプロセッサ通信モード	449
20.3.5	UART2割り込み要因	454
20.4	シリアルインタフェース (UART2)使用上の注意事項	455
20.4.1	動作モード共通	455
20.4.2	クロック同期形シリアルI/Oモード	455
20.4.3	特殊モード1 (I ² Cモード).....	456
21.	クロック同期形シリアルインタフェース	458
21.1	概要	458

21.1.1	モード選択	458
21.1.2	シンクロナスシリアルコミュニケーションユニット(SSU).....	459
21.1.3	I ² Cバスインタフェース	461
21.2	レジスタの説明	464
21.2.1	I ² C制御レジスタ(IICCR).....	465
21.2.2	SSビットカウンタレジスタ(SSBR).....	466
21.2.3	SI送信データレジスタ(SITDR).....	467
21.2.4	SI受信データレジスタ(SIRDR).....	467
21.2.5	SI制御レジスタ1(SICR1).....	468
21.2.6	SI制御レジスタ2(SICR2).....	470
21.2.7	SIモードレジスタ1(SIMR1).....	472
21.2.8	SI割り込み許可レジスタ(SIER).....	474
21.2.9	SIステータスレジスタ(SISR).....	476
21.2.10	SIモードレジスタ2(SIMR2).....	478
21.3	シンクロナスシリアルコミュニケーションユニット(SSU)の動作説明	480
21.3.1	クロック同期式通信モード、4線式バス通信モードにかかわる共通事項	480
21.3.2	クロック同期式通信モード	484
21.3.3	4線式バス通信モード	492
21.4	I ² Cバスインタフェースの動作説明	499
21.4.1	I ² Cバスインタフェースモード、クロック同期式シリアルモードにかかわる共通事項	499
21.4.2	I ² Cバスインタフェースモード	503
21.4.3	クロック同期式シリアルモード	515
21.4.4	レジスタ設定例	518
21.4.5	ノイズ除去回路	522
21.4.6	ビット同期回路	522
21.4.7	DTCとの連携動作	523
21.4.8	I ² Cバスインタフェースモード時の制御部リセット手順	526
21.5	クロック同期形シリアルインタフェース使用上の注意事項	527
21.5.1	シンクロナスシリアルコミュニケーションユニット使用上の注意	527
21.5.2	I ² Cバスインタフェース使用上の注意	527
21.5.3	SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット	527
22.	ハードウェアLIN	529
22.1	概要	529
22.2	入出力端子	530
22.3	レジスタの説明	530
22.3.1	LIN特殊機能レジスタ(LINCR2)	531
22.3.2	LIN制御レジスタ(LINCT).....	531
22.3.3	LINステータスレジスタ(LINST).....	532
22.4	動作説明	533
22.4.1	マスタモード	533
22.4.2	スレーブモード	536
22.4.3	バス衝突検出機能	540
22.4.4	ハードウェアLIN終了処理	541
22.5	割り込み要求	542
22.6	ハードウェアLIN使用上の注意事項	543
23.	A/Dコンバータ	544
23.1	概要	544

23.2	レジスタの説明	547
23.2.1	チップ内蔵基準電圧制御レジスタ (OCVREFCR)	547
23.2.2	A/D レジスタ i (AD i) ($i = 0 \sim 7$)	548
23.2.3	A/D モードレジスタ (ADM MOD)	549
23.2.4	A/D 入力選択レジスタ (ADINSEL)	550
23.2.5	A/D 制御レジスタ 0 (ADCON0)	551
23.2.6	A/D 制御レジスタ 1 (ADCON1)	552
23.3	複数モードに関わる共通事項	553
23.3.1	入出力端子	553
23.3.2	A/D 変換サイクル数	553
23.3.3	A/D 変換開始条件	555
23.3.4	A/D 変換結果	557
23.3.5	分解能 (8ビット/10ビットモード)	557
23.3.6	消費電流低減機能	557
23.3.7	チップ内蔵基準電圧 (OCVREF)	557
23.3.8	A/D 断線検出アシスト機能	557
23.4	単発モード	559
23.5	繰り返しモード 0	560
23.6	繰り返しモード 1	561
23.7	単掃引モード	563
23.8	繰り返し掃引モード	565
23.9	A/D 変換時のセンサの出力インピーダンス	567
23.10	A/D コンバータ使用上の注意事項	568
23.10.1	A/D 変換中の注意事項	568
23.10.2	クロック源の切り替え	568
23.10.3	端子処理	568
24.	コンパレータ B	569
24.1	概要	569
24.2	レジスタの説明	571
24.2.1	コンパレータ B 制御レジスタ 0 (INTCMP)	571
24.3	動作説明	572
24.3.1	コンパレータ B i デジタルフィルタ ($i = 1, 3$)	573
24.4	コンパレータ B1、コンパレータ B3 割り込み	574
25.	タッチセンサコントロールユニット	575
25.1	概要	576
25.2	レジスタの説明	578
25.2.1	TSCU 制御レジスタ 0 (TSCUCR0)	579
25.2.2	TSCU 制御レジスタ 1 (TSCUCR1)	581
25.2.3	TSCU モードレジスタ (TSCUMR)	582
25.2.4	TSCU タイミング制御レジスタ 0A (TSCUTCR0A)	583
25.2.5	TSCU タイミング制御レジスタ 0B (TSCUTCR0B)	584
25.2.6	TSCU タイミング制御レジスタ 1 (TSCUTCR1)	585
25.2.7	TSCU タイミング制御レジスタ 2 (TSCUTCR2)	586
25.2.8	TSCU タイミング制御レジスタ 3 (TSCUTCR3)	588
25.2.9	TSCU チャネル制御レジスタ (TSCUCHC)	589
25.2.10	TSCU フラグレジスタ (TSCUFR)	590
25.2.11	TSCU ステータスカウンタレジスタ (TSCUSTC)	591

25.2.12	TSCUセカンダリカウンタ設定レジスタ (TSCUSCS)	592
25.2.13	TSCUセカンダリカウンタレジスタ (TSCUSCC).....	593
25.2.14	TSCUデータバッファレジスタ (TSCUDBR)	594
25.2.15	TSCUプライマリカウンタレジスタ (TSCUPRC).....	595
25.2.16	TSCUランダム値格納レジスタ0 (TSCURVR0).....	596
25.2.17	TSCUランダム値格納レジスタ1 (TSCURVR1).....	597
25.2.18	TSCUランダム値格納レジスタ2 (TSCURVR2).....	598
25.2.19	TSCUランダム値格納レジスタ3 (TSCURVR3).....	599
25.2.20	TSCU入力許可レジスタ0 (TSIE0)	600
25.2.21	TSCU入力許可レジスタ1 (TSIE1)	601
25.2.22	TSCU入力許可レジスタ2 (TSIE2)	602
25.2.23	TSCUCHXA選択レジスタ0 (TSCHSEL0).....	603
25.2.24	TSCUCHXA選択レジスタ1 (TSCHSEL1).....	604
25.2.25	TSCUCHXA選択レジスタ2 (TSCHSEL2).....	605
25.3	動作説明	606
25.3.1	複数モードに関わる共通事項	606
25.3.2	タッチセンサコントロールユニットの仕様と動作例	619
25.4	計測動作原理	622
25.5	タッチセンサコントロールユニット使用上の注意	625
25.5.1	検出データの格納先	625
25.5.2	計測トリガ	625
25.5.3	充電時間	625
25.5.4	設定値切り替え	625
25.5.5	CHxB-CHxC間短絡制御時の制約	625
25.5.6	タッチセンサコントロールユニットモジュールスタンバイ	626
25.5.7	タッチセンサコントロールユニット初期化 (TSCUINIT)	626
25.5.8	クロック設定の制約	626
25.5.9	ウェイトモード時の制約	626
25.5.10	ストップモード時の制約	627
25.5.11	A/Dコンバータとの同時使用	627
26.	フラッシュメモリ	628
26.1	概要	628
26.2	メモリ配置	629
26.3	レジスタの説明	630
26.3.1	フラッシュメモリステータスレジスタ (FST)	630
26.3.2	フラッシュメモリ制御レジスタ0 (FMR0).....	633
26.3.3	フラッシュメモリ制御レジスタ1 (FMR1).....	636
26.3.4	フラッシュメモリ制御レジスタ2 (FMR2).....	638
26.3.5	オプション機能選択レジスタ (OFS).....	640
26.4	フラッシュメモリ書き換え禁止機能	641
26.4.1	IDコードチェック機能	641
26.4.2	ROMコードプロテクト機能	641
26.5	CPU書き換えモード	642
26.5.1	EW0モード	643
26.5.2	EW1モード	643
26.5.3	各モードの設定と解除方法	644
26.5.4	サスペンド動作	645
26.5.5	BGO (バックグラウンドオペレーション)機能	646

26.5.6	データ保護機能	647
26.5.7	ソフトウェアコマンド	648
26.5.8	フルステータスチェック	657
26.6	標準シリアル入出力モード	659
26.6.1	IDコードチェック機能	659
26.7	パラレル入出力モード	662
26.7.1	ROMコードプロテクト機能	662
26.8	フラッシュメモリ使用上の注意	663
26.8.1	CPU書き換えモード	663
27.	CRC	667
27.1	概要	667
27.2	レジスタの説明	668
27.2.1	SFR 監視アドレスレジスタ (CRCSAR)	668
27.2.2	CRC制御レジスタ (CRCMR)	669
27.2.3	CRCデータレジスタ (CRCD)	670
27.2.4	CRCインプットレジスタ (CRCIN)	670
27.3	動作説明	671
27.4	SFR アクセス監視機能	671
27.5	使用方法	671
28.	電気的特性	672
28.1	絶対最大定格	672
28.2	推奨動作条件	673
28.3	周辺機能の特性	675
28.4	DC特性	682
28.5	AC特性	688
29.	使用上の注意事項集	696
29.1	システム制御使用上の注意事項	696
29.1.1	オプション機能選択領域の設定例	696
29.2	クロック発生回路使用上の注意事項	697
29.2.1	発振停止検出機能	697
29.2.2	発振回路定数	697
29.3	パワーコントロール使用上の注意事項	698
29.3.1	ストップモード	698
29.3.2	ウェイトモード	698
29.4	割り込み使用上の注意事項	700
29.4.1	0000h 番地の読み出し	700
29.4.2	SPの設定	700
29.4.3	外部割り込み、キー入力割り込み	700
29.4.4	割り込み要因の変更	701
29.4.5	割り込み制御レジスタの変更	702
29.5	DTC使用上の注意事項	703
29.5.1	DTC起動要因	703
29.5.2	DTCEN _i レジスタ (i = 0 ~ 3、5、6)	703
29.5.3	周辺モジュール	703
29.5.4	割り込み要求	703
29.5.5	DTCの起動	703

29.6	タイマRJ使用上の注意事項.....	704
29.7	タイマRB2使用上の注意事項.....	706
29.8	タイマRC使用上の注意事項.....	708
29.8.1	TRCCNTレジスタ.....	708
29.8.2	TRCCR1レジスタ.....	708
29.8.3	TRCSRレジスタ.....	708
29.8.4	カウントソースの切り替え.....	708
29.8.5	インプットキャプチャ機能.....	709
29.8.6	PWM2モード時のTRCMRレジスタ.....	709
29.8.7	カウントソースfHOCO.....	709
29.8.8	モジュールスタンバイ.....	709
29.8.9	モードの切り替え.....	709
29.8.10	カウント停止時のインプットキャプチャ動作.....	709
29.9	タイマRE2使用上の注意事項.....	710
29.10	シリアルインタフェース(UART0)使用上の注意事項.....	711
29.11	シリアルインタフェース(UART2)使用上の注意事項.....	712
29.11.1	動作モード共通.....	712
29.11.2	クロック同期形シリアルI/Oモード.....	712
29.11.3	特殊モード1(I ² Cモード).....	713
29.12	クロック同期形シリアルインタフェース使用上の注意事項.....	715
29.12.1	シンクロナスシリアルコミュニケーションユニット使用上の注意.....	715
29.12.2	I ² Cバスインタフェース使用上の注意.....	715
29.12.3	SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット.....	715
29.13	ハードウェアLIN使用上の注意事項.....	717
29.14	A/Dコンバータ使用上の注意事項.....	718
29.14.1	A/D変換中の注意事項.....	718
29.14.2	クロック源の切り替え.....	718
29.14.3	端子処理.....	718
29.15	タッチセンサコントロールユニット使用上の注意.....	719
29.15.1	検出データの格納先.....	719
29.15.2	計測トリガ.....	719
29.15.3	充電時間.....	719
29.15.4	設定値切り替え.....	719
29.15.5	CHxB-CHxC間短絡制御時の制約.....	719
29.15.6	タッチセンサコントロールユニットモジュールスタンバイ.....	720
29.15.7	タッチセンサコントロールユニット初期化(TSCUINIT).....	720
29.15.8	クロック設定の制約.....	720
29.15.9	ウェイトモード時の制約.....	720
29.15.10	ストップモード時の制約.....	721
29.15.11	A/Dコンバータとの同時使用.....	721
29.16	フラッシュメモリ使用上の注意.....	722
29.16.1	CPU書き換えモード.....	722
30.	オンチップデバッグの注意事項.....	726
31.	エミュレータデバッグの注意事項.....	727
付録1.	外形寸法図.....	728

付録2. シリアルライターとオンチップデバッグエミュレータとの接続例.....	729
付録3. 発振評価回路例	731
索引.....	732

SFR ページ早見表

アドレス	レジスタ名	シンボル	掲載ページ
00000h			
00001h			
00002h			
00003h			
00004h	プロセッサモードレジスタ0	PM0	37、48
00005h	プロセッサモードレジスタ1	PM1	38
00006h			
00007h	プロテクトレジスタ	PRCR	39
00008h	システムクロック制御レジスタ0	CM0	89、110
00009h	システムクロック制御レジスタ1	CM1	90、111
0000Ah	発振停止検出レジスタ	OCDC	91
0000Bh	システムクロック制御レジスタ3	CM3	92、112
0000Ch	システムクロック制御レジスタ4	CM4	93、113
0000Dh			
0000Eh			
0000Fh			
00010h	時計用プリスケアラリセットフラグ	CPSRF	94
00011h			
00012h	高速オンチップオシレータ制御レジスタ0	FRA0	94、114
00013h			
00014h	高速オンチップオシレータ制御レジスタ2	FRA2	95
00015h			
00016h			
00017h			
00018h			
00019h			
0001Ah			
0001Bh			
0001Ch			
0001Dh			
0001Eh			
0001Fh			
00020h	リセット割り込み選択レジスタ	RISR	78
00021h	ウォッチドッグタイマリセットレジスタ	WDTR	78
00022h	ウォッチドッグタイマスタートレジスタ	WDTS	79
00023h	ウォッチドッグタイマ制御レジスタ	WDTC	79
00024h	カウントソース保護モードレジスタ	CSPR	80
00025h			
00026h			
00027h			
00028h	リセット要因判別レジスタ	RSTFR	49
00029h			
0002Ah			
0002Bh			
0002Ch	STBY VDC電力制御レジスタ	SVDC	114
0002Dh			
0002Eh			
0002Fh			
00030h	電圧監視回路制御レジスタ	CMPC	62
00031h	電圧監視回路エッジ選択レジスタ	VCAC	63
00032h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	547
00033h			
00034h	電圧検出レジスタ2	VCA2	63、96
00035h			
00036h	電圧検出1レベル選択レジスタ	VD1LS	64
00037h			
00038h	電圧監視0回路制御レジスタ	VW0C	65
00039h	電圧監視1回路制御レジスタ	VW1C	66

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
0003Ah	電圧監視2回路制御レジスタ	VW2C	67
0003Bh			
0003Ch			
0003Dh			
0003Eh			
0003Fh			
00040h			
00041h	割り込み制御レジスタ	FMRDYIC	136
00042h			
00043h			
00044h			
00045h			
00046h	割り込み制御レジスタ	INT4IC	136
00047h	割り込み制御レジスタ	TRCIC_0	136
00048h			
00049h			
0004Ah	割り込み制御レジスタ	TRE2IC	136
0004Bh	割り込み制御レジスタ	U2TIC	136
0004Ch	割り込み制御レジスタ	U2RIC	136
0004Dh	割り込み制御レジスタ	KUPIC	136
0004Eh	割り込み制御レジスタ	ADIC	136
0004Fh	割り込み制御レジスタ	SSUIC_0/IICIC_0	136
00050h			
00051h	割り込み制御レジスタ	U0TIC_0	136
00052h	割り込み制御レジスタ	U0RIC_0	136
00053h	割り込み制御レジスタ	U0TIC_1	136
00054h	割り込み制御レジスタ	U0RIC_1	136
00055h	割り込み制御レジスタ	INT2IC	136
00056h	割り込み制御レジスタ	TRJIC_0	136
00057h			
00058h	割り込み制御レジスタ	TRB2IC_0	136
00059h	割り込み制御レジスタ	INT1IC	136
0005Ah	割り込み制御レジスタ	INT3IC	136
0005Bh			
0005Ch			
0005Dh	割り込み制御レジスタ	INT0IC	136
0005Eh	割り込み制御レジスタ	U2BCNIC	136
0005Fh			
00060h			
00061h			
00062h			
00063h			
00064h			
00065h			
00066h			
00067h			
00068h			
00069h			
0006Ah			
0006Bh			
0006Ch			
0006Dh			
0006Eh			
0006Fh			
00070h			
00071h			
00072h	割り込み制御レジスタ	VCMP1IC	136
00073h	割り込み制御レジスタ	VCMP2IC	136
00074h			
00075h	割り込み制御レジスタ	TSCUIC	136
00076h			
00077h			
00078h			
00079h			

アドレス	レジスタ名	シンボル	掲載ページ
0007Ah			
0007Bh			
0007Ch			
0007Dh			
0007Eh			
0007Fh			
00080h	UART0_0送受信モードレジスタ	U0MR_0	383
00081h	UART0_0ビットレートレジスタ	U0BRG_0	384
00082h	UART0_0送信バッファレジスタ	U0TB_0	384
00083h			
00084h	UART0_0送受信制御レジスタ0	U0C0_0	385
00085h	UART0_0送受信制御レジスタ1	U0C1_0	386
00086h	UART0_0受信バッファレジスタ	U0RB_0	387
00087h			
00088h	UART0_0割り込みフラグと許可レジスタ	U0IR_0	388
00089h			
0008Ah			
0008Bh			
0008Ch	LIN_0特殊機能レジスタ	LINCR2_0	531
0008Dh			
0008Eh	LIN_0制御レジスタ	LINCT_0	531
0008Fh	LIN_0ステータスレジスタ	LINST_0	532
00090h	UART0_1送受信モードレジスタ	U0MR_1	383
00091h	UART0_1ビットレートレジスタ	U0BRG_1	384
00092h	UART0_1送信バッファレジスタ	U0TB_1	384
00093h			
00094h	UART0_1送受信制御レジスタ0	U0C0_1	385
00095h	UART0_1送受信制御レジスタ1	U0C1_1	386
00096h	UART0_1受信バッファレジスタ	U0RB_1	387
00097h			
00098h	UART0_1割り込みフラグと許可レジスタ	U0IR_1	388
00099h			
0009Ah			
0009Bh			
0009Ch			
0009Dh			
0009Eh			
0009Fh			
000A0h			
000A1h			
000A2h			
000A3h			
000A4h			
000A5h			
000A7h			
000A6h			
000A7h			
000A8h			
000A9h			
000AAh			
000ABh			
000ACh			
000ADh			
000AEh			
000AFh			
000B0h			
000B1h			
000B2h			
000B3h			
000B4h			
000B5h			
000B6h			
000B7h			
000B8h			
000B9h			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
000BAh			
000BBh			
000BCh			
000BDh			
000BEh			
000BFh			
000C0h	UART2送受信モードレジスタ	U2MR	409
000C1h	UART2ビットレートレジスタ	U2BRG	409
000C2h	UART2送信バッファレジスタ	U2TB	410
000C3h			
000C4h	UART2送受信制御レジスタ0	U2C0	411
000C5h	UART2送受信制御レジスタ1	U2C1	412
000C6h	UART2受信バッファレジスタ	U2RB	413
000C7h			
000C8h	UART2デジタルフィルタ機能選択レジスタ	U2RXDF	414
000C9h			
000CAh			
000CBh			
000CCh			
000CDh			
000CEh			
000CFh			
000D0h	UART2特殊モードレジスタ5	U2SMR5	415
000D1h			
000D2h			
000D3h			
000D4h	UART2特殊モードレジスタ4	U2SMR4	416
000D5h	UART2特殊モードレジスタ3	U2SMR3	417
000D6h	UART2特殊モードレジスタ2	U2SMR2	418
000D7h	UART2特殊モードレジスタ2	U2SMR	419
000D8h			
000D9h			
000DAh			
000DBh			
000DCh			
000DDh			
000DEh			
000DFh			
000E0h	I ² C_0制御レジスタ	IICCR_0	465
000E1h	SS_0ビットカウンタレジスタ	SSBR_0	466
000E2h	SI_0送信データレジスタ	SITDR_0	467
000E3h			
000E4h	SI_0受信データレジスタ	SIRDR_0	467
000E5h			
000E6h	SI_0制御レジスタ1	SICR1_0	468
000E7h	SI_0制御レジスタ2	SICR2_0	470
000E8h	SI_0モードレジスタ1	SIMR1_0	472
000E9h	SI_0割り込み許可レジスタ	SIER_0	474
000EAh	SI_0ステータスレジスタ	SISR_0	476
000EBh	SI_0モードレジスタ2	SIMR2_0	478
000ECh			
000EDh			
000EEh			
000EFh			
000F0h			
000F1h			
000F2h			
000F3h			
000F4h			
000F5h			
000F6h			
000F7h			
000F8h			
000F9h			

アドレス	レジスタ名	シンボル	掲載ページ
000FAh			
000FBh			
000FCh			
000FDh			
000FEh			
000FFh			
00100h			
00101h			
00102h			
00103h			
00104h			
00105h			
00106h			
00107h			
00108h			
00109h			
0010Ah			
0010Bh			
0010Ch			
0010Dh			
0010Eh			
0010Fh			
00110h	タイマRJ_0カウンタレジスタ	TRJ_0	233
00111h			
00112h	タイマRJ_0制御レジスタ	TRJCR_0	234
00113h	タイマRJ_0 I/O制御レジスタ	TRJIOC_0	236
00114h	タイマRJ_0モードレジスタ	TRJMR_0	238
00115h	タイマRJ_0イベント端子選択レジスタ	TRJISR_0	239
00116h			
00117h			
00118h			
00119h			
0011Ah			
0011Bh			
0011Ch			
0011Dh			
0011Eh			
0011Fh			
00120h			
00121h			
00122h			
00123h			
00124h			
00125h			
00126h			
00127h			
00128h			
00129h			
0012Ah			
0012Bh			
0012Ch			
0012Dh			
0012Eh			
0012Fh			
00130h	タイマRB2_0制御レジスタ	TRBCR_0	253
00131h	タイマRB2_0ワンショット制御レジスタ	TRBOCR_0	254
00132h	タイマRB2_0 I/O制御レジスタ	TRBIOC_0	255
00133h	タイマRB2_0モードレジスタ	TRBMR_0	256
00134h	タイマRB2_0プリスケアラレジスタ	TRBPRES_0	257
00135h	タイマRB2_0プライマリレジスタ	TRBPR_0	258
00136h	タイマRB2_0セカンダリレジスタ	TRBSC_0	259
00137h	タイマRB2_0割り込み要求レジスタ	TRBIR_0	260
00138h	タイマRC_0カウンタ	TRCCNT_0	286
00139h			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
0013Ah	タイマRC_0ジェネラルレジスタA	TRCGRA_0	287
0013Bh			
0013Ch	タイマRC_0ジェネラルレジスタB	TRCGRB_0	287
0013Dh			
0013Eh	タイマRC_0ジェネラルレジスタC	TRCGRC_0	287
0013Fh			
00140h	タイマRC_0ジェネラルレジスタD	TRCGRD_0	287
00141h			
00142h	タイマRC_0モードレジスタ	TRCMR_0	288
00143h	タイマRC_0制御レジスタ1	TRCCR1_0	289
00144h	タイマRC_0割り込み許可レジスタ	TRCIER_0	290
00145h	タイマRC_0ステータスレジスタ	TRCSR_0	291
00146h	タイマRC_0 I/O制御レジスタ0	TRCIOR0_0	292
00147h	タイマRC_0 I/O制御レジスタ1	TRCIOR1_0	293
00148h	タイマRC_0制御レジスタ2	TRCCR2_0	294
00149h	タイマRC_0デジタルフィルタ機能選択レジスタ	TRCDF_0	295
0014Ah	タイマRC_0出力許可レジスタ	TRCOER_0	296
0014Bh	タイマRC_0 A/D変換トリガ制御レジスタ	TRCADCR_0	297
0014Ch	タイマRC_0出力波形操作レジスタ	TRCOPR_0	298
0014Dh	タイマRC_0 ELC運動制御レジスタ	TRCELCCR_0	299
0014Eh			
0014Fh			
00150h			
00151h			
00152h			
00153h			
00154h			
00155h			
00156h			
00157h			
00158h			
00159h			
0015Ah			
0015Bh			
0015Ch			
0015Dh			
0015Eh			
0015Fh			
00160h			
00161h			
00162h			
00163h			
00164h			
00165h			
00166h			
00167h			
00168h			
00169h			
0016Ah			
0016Bh			
0016Ch			
0016Dh			
0016Eh			
0016Fh			
00170h	タイマRE2カウンタデータレジスタ タイマRE2秒データレジスタ	TRESEC	333、334
00171h	タイマRE2コンペアデータレジスタ タイマRE2分データレジスタ	TREMIN	335、336
00172h	タイマRE2時データレジスタ	TREHR	337
00173h	タイマRE2曜日データレジスタ	TREWK	338
00174h	タイマRE2日データレジスタ	TREYD	339
00175h	タイマRE2月データレジスタ	TREMON	340
00176h	タイマRE2年データレジスタ	TREYR	341
00177h	タイマRE2制御レジスタ	TRECR	342、345
00178h	タイマRE2カウントソース選択レジスタ	TRECSR	346、347
00179h	タイマRE2時計誤差補正レジスタ	TREADJ	348

アドレス	レジスタ名	シンボル	掲載ページ
0017Ah	タイマRE2割り込みフラグレジスタ	TREIFR	349、351
0017Bh	タイマRE2割り込み許可レジスタ	TREIER	352、353
0017Ch	タイマRE2アラーム分レジスタ	TREAMN	354
0017Dh	タイマRE2アラーム時レジスタ	TREahr	355
0017Eh	タイマRE2アラーム曜日レジスタ	TREAWK	356
0017Fh	タイマRE2プロテクトレジスタ	TREPRC	357、358
00180h ~ 001FFh			
00200h	A/Dレジスタ0	AD0	548
00201h			
00202h	A/Dレジスタ1	AD1	548
00203h			
00204h	A/Dレジスタ2	AD2	548
00205h			
00206h	A/Dレジスタ3	AD3	548
00207h			
00208h	A/Dレジスタ4	AD4	548
00209h			
0020Ah	A/Dレジスタ5	AD5	548
0020Bh			
0020Ch	A/Dレジスタ6	AD6	548
0020Dh			
0020Eh	A/Dレジスタ7	AD7	548
0020Fh			
00210h			
00211h			
00212h			
00213h			
00214h	A/Dモードレジスタ	ADMOD	549
00215h	A/D入力選択レジスタ	ADINSEL	550
00216h	A/D制御レジスタ0	ADCON0	551
00217h	A/D制御レジスタ1	ADCON1	552
00218h			
00219h			
0021Ah			
0021Bh			
0021Ch			
0021Dh			
0021Eh			
0021Fh			
00220h			
00221h			
00222h			
00223h			
00224h			
00225h			
00226h			
00227h			
00228h	コンパレータB制御レジスタ0	INTCMP	571
00229h			
0022Ah			
0022Bh			
0022Ch			
0022Dh			
0022Eh			
0022Fh			
00230h	外部入力許可レジスタ0	INTEN	137
00231h	外部入力許可レジスタ1	INTEN1	138
00232h	INT入力フィルタ選択レジスタ0	INTF	139
00233h	INT入力フィルタ選択レジスタ1	INTF1	140
00234h	INT入力極性切り替えレジスタ	INTPOL	140
00235h			
00236h	キー入力割り込み許可レジスタ	KIEN	141
00237h			
00238h	モジュールスタンバイコントロールレジスタ0	MSTCR0	115
00239h	モジュールスタンバイコントロールレジスタ1	MSTCR1	115

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
0023Ah	モジュールスタンバイコントロールレジスタ2	MSTCR2	116
0023Bh	モジュールスタンバイコントロールレジスタ3	MSTCR3	116
0023Ch	モジュールスタンバイコントロールレジスタ4	MSTCR4	116
0023Dh			
0023Eh			
0023Fh			
00240h			
00241h			
00242h			
00243h			
00244h			
00245h			
00246h			
00247h			
00248h			
00249h			
0024Ah			
0024Bh			
0024Ch			
0024Dh			
0024Eh			
0024Fh			
00250h			
00251h			
00252h	フラッシュメモリステータスレジスタ	FST	630
00253h			
00254h	フラッシュメモリ制御レジスタ0	FMR0	633
00255h	フラッシュメモリ制御レジスタ1	FMR1	636
00256h	フラッシュメモリ制御レジスタ2	FMR2	638
00257h			
00258h			
00259h			
0025Ah			
0025Bh			
0025Ch			
0025Dh			
0025Eh			
0025Fh			
00260h	アドレス一致割り込みアドレス0Lレジスタ	AIADR0L	142
00261h			
00262h	アドレス一致割り込みアドレス0Hレジスタ	AIADR0H	142
00263h	アドレス一致割り込み許可0レジスタ	AIEN0	142
00264h	アドレス一致割り込みアドレス1Lレジスタ	AIADR1L	142
00265h			
00266h	アドレス一致割り込みアドレス1Hレジスタ	AIADR1H	142
00267h	アドレス一致割り込み許可1レジスタ	AIEN1	142
00268h			
00269h			
0026Ah			
0026Bh			
0026Ch			
0026Dh			
0026Eh			
0026Fh			
00270h			
00271h			
00272h			
00273h			
00274h			
00275h			
00276h			
00277h			
00278h			
00279h			
0027Ah			
0027Bh			
0027Ch			
0027Dh			
0027Eh			
0027Fh			

アドレス	レジスタ名	シンボル	掲載ページ
00280h	DTC起動制御レジスタ	DTCTL	172
00281h			
00282h			
00283h			
00284h			
00285h			
00286h			
00287h			
00288h	DTC起動許可レジスタ0	DTCEN0	173
00289h	DTC起動許可レジスタ1	DTCEN1	173
0028Ah	DTC起動許可レジスタ2	DTCEN2	173
0028Bh	DTC起動許可レジスタ3	DTCEN3	173
0028Ch			
0028Dh	DTC起動許可レジスタ5	DTCEN5	173
0028Eh	DTC起動許可レジスタ6	DTCEN6	173
0028Fh			
00290h	SFR監視アドレスレジスタ	CRCSAR	668
00291h			
00292h	CRC制御レジスタ	CRCMR	669
00293h			
00294h	CRCデータレジスタ	CRCD	670
00295h			
00296h	CRCインプットレジスタ	CRCIN	670
00297h			
00298h			
00299h			
0029Ah			
0029Bh			
0029Ch			
0029Dh			
0029Eh			
0029Fh			
002A0h	タイマRJ_0端子選択レジスタ	TRJ_0SR	207
002A1h			
002A2h			
002A3h			
002A4h			
002A5h	タイマRCCLK端子選択レジスタ	TRCCLKSR	208
002A6h	タイマRC_0端子選択レジスタ0	TRC_0SR0	209
002A7h	タイマRC_0端子選択レジスタ1	TRC_0SR1	210
002A8h			
002A9h			
002AAh			
002ABh			
002ACh			
002ADh	タイマ端子選択レジスタ	TIMSR	211
002AEh	UART0_0端子選択レジスタ	U_0SR	212
002AFh	UART0_1端子選択レジスタ	U_1SR	213
002B0h			
002B1h			
002B2h	UART2端子選択レジスタ0	U2SR0	214
002B3h	UART2端子選択レジスタ1	U2SR1	214
002B4h			
002B5h			
002B6h	INT割り込み入力端子選択レジスタ0	INTSR0	143、215
002B7h			
002B8h			
002B9h	入出力機能端子選択レジスタ	PINSR	97、216
002BAh			
002BBh			
002BCh			
002BDh			
002BEh	端子配置選択レジスタ	PMCSEL	217
002BFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
002C0h	ブルアップ制御レジスタ0	PUR0	217
002C1h	ブルアップ制御レジスタ1	PUR1	218
002C2h	ブルアップ制御レジスタ2	PUR2	218
002C3h			
002C4h			
002C5h			
002C6h			
002C7h			
002C8h	ポートP1駆動能力制御レジスタ	P1DRR	219
002C9h	ポートP2駆動能力制御レジスタ	P2DRR	219
002CAh			
002CBh			
002CCh	駆動能力制御レジスタ0	DRR0	220
002CDh	駆動能力制御レジスタ1	DRR1	221
002CEh	駆動能力制御レジスタ2	DRR2	223
002CFh			
002D0h	入力しきい値制御レジスタ0	VLT0	224
002D1h	入力しきい値制御レジスタ1	VLT1	225
002D2h	入力しきい値制御レジスタ2	VLT2	226
002D3h			
002D4h			
002D5h			
002D6h			
002D7h			
002D8h			
002D9h			
002DAh			
002DBh			
002DCh			
002DDh			
002DEh			
002DFh			
002E0h	ポートP0レジスタ	PORT0	227
002E1h	ポートP1レジスタ	PORT1	227
002E2h	ポートP0方向レジスタ	PD0	228
002E3h	ポートP1方向レジスタ	PD1	228
002E4h	ポートP2レジスタ	PORT2	227
002E5h	ポートP3レジスタ	PORT3	227
002E6h	ポートP2方向レジスタ	PD2	228
002E7h	ポートP3方向レジスタ	PD3	228
002E8h	ポートP4レジスタ	PORT4	227
002E9h	ポートP5レジスタ	PORT5	227
002EAh	ポートP4方向レジスタ	PD4	228
002EBh	ポートP5方向レジスタ	PD5	228
002ECh	ポートP6レジスタ	PORT6	227
002EDh	ポートP7レジスタ	PORT7	227
002EEh	ポートP6方向レジスタ	PD6	228
002EFh	ポートP7方向レジスタ	PD7	228
002F0h	ポートP8レジスタ	PORT8	227
002F1h	ポートP9レジスタ	PORT9	227
002F2h	ポートP8方向レジスタ	PD8	228
002F3h	ポートP9方向レジスタ	PD9	228
002F4h			
002F5h			
002F6h			
002F7h			
002F8h			
002F9h			
002FAh			
002FBh			
002FCh			
002FDh			
002FEh			
002FFh			
00300h			
~			
003FFh			

アドレス	レジスタ名	シンボル	掲載ページ
00400h ~ 053FFh	内蔵RAM	内蔵RAM	
05400h ~ 069FFh			
06A00h	イベント出力先選択レジスタ0	ELSELR0	163
06A01h	イベント出力先選択レジスタ1	ELSELR1	163
06A02h	イベント出力先選択レジスタ2	ELSELR2	163
06A03h	イベント出力先選択レジスタ3	ELSELR3	163
06A04h	イベント出力先選択レジスタ4	ELSELR4	163
06A05h			
06A06h			
06A07h			
06A08h	イベント出力先選択レジスタ8	ELSELR8	163
06A09h	イベント出力先選択レジスタ9	ELSELR9	163
06A0Ah			
06A0Bh	イベント出力先選択レジスタ11	ELSELR11	163
06A0Ch	イベント出力先選択レジスタ12	ELSELR12	163
06A0Dh	イベント出力先選択レジスタ13	ELSELR13	163
06A0Eh	イベント出力先選択レジスタ14	ELSELR14	163
06A0Fh	イベント出力先選択レジスタ15	ELSELR15	163
06A10h	イベント出力先選択レジスタ16	ELSELR16	163
06A11h			
06A12h			
06A13h			
06A14h			
06A15h			
06A16h			
06A17h			
06A18h			
06A19h			
06A1Ah			
06A1Bh			
06A1Ch			
06A1Dh			
06A1Eh			
06A1Fh			
06A20h			
06A21h			
06A22h			
06A23h			
06A24h			
06A25h			
06A26h			
06A27h			
06A28h			
06A29h			
06A2Ah			
06A2Bh			
06A2Ch			
06A2Dh			
06A2Eh			
06A2Fh			
06A30h			
06A31h ~ 06AFFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06B00h	TSCU制御レジスタ0	TSCUCR0	579
06B01h			
06B02h	TSCU制御レジスタ1	TSCUCR1	581
06B03h			
06B04h	TSCUモードレジスタ	TSCUMR	582
06B05h			
06B06h	TSCUタイミング制御レジスタ0A	TSCUTCRA	583
06B07h			
06B08h	TSCUタイミング制御レジスタ0B	TSCUTCRA	584
06B09h			
06B0Ah	TSCUタイミング制御レジスタ1	TSCUTCRA	585
06B0Bh			
06B0Ch	TSCUタイミング制御レジスタ2	TSCUTCRA	586
06B0Dh			
06B0Eh	TSCUタイミング制御レジスタ3	TSCUTCRA	588
06B0Fh			
06B10h	TSCUチャネル制御レジスタ	TSCUCHC	589
06B11h			
06B12h	TSCUフラグレジスタ	TSCUFR	590
06B13h			
06B14h	TSCUステータスカウンタレジスタ	TSCUSTC	591
06B15h			
06B16h	TSCUセカンダリカウンタ設定レジスタ	TSCUSCS	592
06B17h			
06B18h	TSCUセカンダリカウンタレジスタ	TSCUSCC	593
06B19h			
06B1Ah	TSCUデータバッファレジスタ	TSCUDBR	594
06B1Bh			
06B1Ch	TSCUプライマリカウンタレジスタ	TSCUPRC	595
06B1Dh			
06B1Eh	TSCUランダム値格納レジスタ0	TSCURVR0	596
06B1Fh			
06B20h	TSCUランダム値格納レジスタ1	TSCURVR1	597
06B21h			
06B22h	TSCUランダム値格納レジスタ2	TSCURVR2	598
06B23h			
06B24h	TSCUランダム値格納レジスタ3	TSCURVR3	599
06B25h			
06B26h	TSCU入力許可レジスタ0	TSIE0	600
06B27h			
06B28h	TSCU入力許可レジスタ1	TSIE1	601
06B29h			
06B2Ah	TSCU入力許可レジスタ2	TSIE2	602
06B2Bh			
06B2Ch	TSCUCHXA選択レジスタ0	TSCHSEL0	603
06B2Dh			
06B2Eh	TSCUCHXA選択レジスタ1	TSCHSEL1	604
06B2Fh			
06B30h	TSCUCHXA選択レジスタ2	TSCHSEL2	605
06B31h			
06B32h ~ 06BFFh			
06C00h	DTC転送ベクタ0格納領域		178
06C01h	DTC転送ベクタ1格納領域		178
06C02h	DTC転送ベクタ2格納領域		178
06C03h	DTC転送ベクタ3格納領域		178
06C04h	DTC転送ベクタ4格納領域		178
06C05h			
06C06h			
06C07h			
06C08h	DTC転送ベクタ8格納領域		178
06C09h	DTC転送ベクタ9格納領域		178

アドレス	レジスタ名	シンボル	掲載ページ
06C0Ah	DTC転送ベクタ10格納領域		178
06C0Bh	DTC転送ベクタ11格納領域		178
06C0Ch	DTC転送ベクタ12格納領域		178
06C0Dh	DTC転送ベクタ13格納領域		178
06C0Eh	DTC転送ベクタ14格納領域		178
06C0Fh	DTC転送ベクタ15格納領域		178
06C10h	DTC転送ベクタ16格納領域		178
06C11h	DTC転送ベクタ17格納領域		178
06C12h	DTC転送ベクタ18格納領域		178
06C13h	DTC転送ベクタ19格納領域		178
06C14h			
06C15h			
06C16h	DTC転送ベクタ22格納領域		178
06C17h	DTC転送ベクタ23格納領域		178
06C18h	DTC転送ベクタ24格納領域		178
06C19h	DTC転送ベクタ25格納領域		178
06C1Ah			
06C1Bh			
06C1Ch			
06C1Dh			
06C1Eh			
06C1Fh			
06C20h			
06C21h			
06C22h			
06C23h			
06C24h			
06C25h			
06C26h			
06C27h			
06C28h			
06C29h			
06C2Ah	DTC転送ベクタ42格納領域		178
06C2Bh			
06C2Ch			
06C2Dh			
06C2Eh			
06C2Fh			
06C30h			
06C31h	DTC転送ベクタ49格納領域		178
06C32h			
06C33h	DTC転送ベクタ51格納領域		178
06C34h	DTC転送ベクタ52格納領域		178
06C35h	DTC転送ベクタ53格納領域		178
06C36h	DTC転送ベクタ54格納領域		178
06C37h			
06C38h			
06C39h			
06C3Ah			
06C3Bh			
06C3Ch			
06C3Dh			
06C3Eh			
06C3Fh			
06C40h	DTC制御レジスタ0	DTCCR0	174
06C41h	DTCブロックサイズレジスタ0	DTBLS0	174
06C42h	DTC転送回数レジスタ0	DTCCT0	174
06C43h	DTC転送回数リロードレジスタ0	DTRLDO	175
06C44h	DTCソースアドレスレジスタ0	DTSAR0	175
06C45h			
06C46h	DTCデスティネーションアドレスレジスタ0	DTDAR0	175
06C47h			
06C48h	DTC制御レジスタ1	DTCCR1	174
06C49h	DTCブロックサイズレジスタ1	DTBLS1	174

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06C4Ah	DTC転送回数レジスタ1	DTCCT1	174
06C4Bh	DTC転送回数リロードレジスタ1	DTRLD1	175
06C4Ch	DTCソースアドレスレジスタ1	DTSAR1	175
06C4Dh			
06C4Eh	DTCデスティネーションアドレスレジスタ1	DTDAR1	175
06C4Fh			
06C50h	DTC制御レジスタ2	DTCCR2	174
06C51h	DTCブロックサイズレジスタ2	DTBLS2	174
06C52h	DTC転送回数レジスタ2	DTCCT2	174
06C53h	DTC転送回数リロードレジスタ2	DTRLD2	175
06C54h	DTCソースアドレスレジスタ2	DTSAR2	175
06C55h			
06C56h	DTCデスティネーションアドレスレジスタ2	DTDAR2	175
06C57h			
06C58h	DTC制御レジスタ3	DTCCR3	174
06C59h	DTCブロックサイズレジスタ3	DTBLS3	174
06C5Ah	DTC転送回数レジスタ3	DTCCT3	174
06C5Bh	DTC転送回数リロードレジスタ3	DTRLD3	175
06C5Ch	DTCソースアドレスレジスタ3	DTSAR3	175
06C5Dh			
06C5Eh	DTCデスティネーションアドレスレジスタ3	DTDAR3	175
06C5Fh			
06C60h	DTC制御レジスタ4	DTCCR4	174
06C61h	DTCブロックサイズレジスタ4	DTBLS4	174
06C62h	DTC転送回数レジスタ4	DTCCT4	174
06C63h	DTC転送回数リロードレジスタ4	DTRLD4	175
06C64h	DTCソースアドレスレジスタ4	DTSAR4	175
06C65h			
06C66h	DTCデスティネーションアドレスレジスタ4	DTDAR4	175
06C67h			
06C68h	DTC制御レジスタ5	DTCCR5	174
06C69h	DTCブロックサイズレジスタ5	DTBLS5	174
06C6Ah	DTC転送回数レジスタ5	DTCCT5	174
06C6Bh	DTC転送回数リロードレジスタ5	DTRLD5	175
06C6Ch	DTCソースアドレスレジスタ5	DTSAR5	175
06C6Dh			
06C6Eh	DTCデスティネーションアドレスレジスタ5	DTDAR5	175
06C6Fh			
06C70h	DTC制御レジスタ6	DTCCR6	174
06C71h	DTCブロックサイズレジスタ6	DTBLS6	174
06C72h	DTC転送回数レジスタ6	DTCCT6	174
06C73h	DTC転送回数リロードレジスタ6	DTRLD6	175
06C74h	DTCソースアドレスレジスタ6	DTSAR6	175
06C75h			
06C76h	DTCデスティネーションアドレスレジスタ6	DTDAR6	175
06C77h			
06C78h	DTC制御レジスタ7	DTCCR7	174
06C79h	DTCブロックサイズレジスタ7	DTBLS7	174
06C7Ah	DTC転送回数レジスタ7	DTCCT7	174
06C7Bh	DTC転送回数リロードレジスタ7	DTRLD7	175
06C7Ch	DTCソースアドレスレジスタ7	DTSAR7	175
06C7Dh			
06C7Eh	DTCデスティネーションアドレスレジスタ7	DTDAR7	175
06C7Fh			
06C80h	DTC制御レジスタ8	DTCCR8	174
06C81h	DTCブロックサイズレジスタ8	DTBLS8	174
06C82h	DTC転送回数レジスタ8	DTCCT8	174
06C83h	DTC転送回数リロードレジスタ8	DTRLD8	175
06C84h	DTCソースアドレスレジスタ8	DTSAR8	175
06C85h			
06C86h	DTCデスティネーションアドレスレジスタ8	DTDAR8	175
06C87h			
06C88h	DTC制御レジスタ9	DTCCR9	174
06C89h	DTCブロックサイズレジスタ9	DTBLS9	174
06C8Ah	DTC転送回数レジスタ9	DTCCT9	174
06C8Bh	DTC転送回数リロードレジスタ9	DTRLD9	175
06C8Ch	DTCソースアドレスレジスタ9	DTSAR9	175
06C8Dh			
06C8Eh	DTCデスティネーションアドレスレジスタ9	DTDAR9	175
06C8Fh			

アドレス	レジスタ名	シンボル	掲載ページ
06C90h	DTC制御レジスタ 10	DTCCR10	174
06C91h	DTCブロックサイズレジスタ 10	DTBLS10	174
06C92h	DTC転送回数レジスタ 10	DTCCT10	174
06C93h	DTC転送回数リロードレジスタ 10	DTRL10	175
06C94h	DTCソースアドレスレジスタ 10	DTSAR10	175
06C95h			
06C96h	DTCデスティネーションアドレスレジスタ 10	DTDAR10	175
06C97h			
06C98h	DTC制御レジスタ 11	DTCCR11	174
06C99h	DTCブロックサイズレジスタ 11	DTBLS11	174
06C9Ah	DTC転送回数レジスタ 11	DTCCT11	174
06C9Bh	DTC転送回数リロードレジスタ 11	DTRL11	175
06C9Ch	DTCソースアドレスレジスタ 11	DTSAR11	175
06C9Dh			
06C9Eh	DTCデスティネーションアドレスレジスタ 11	DTDAR11	175
06C9Fh			
06CA0h	DTC制御レジスタ 12	DTCCR12	174
06CA1h	DTCブロックサイズレジスタ 12	DTBLS12	174
06CA2h	DTC転送回数レジスタ 12	DTCCT12	174
06CA3h	DTC転送回数リロードレジスタ 12	DTRL12	175
06CA4h	DTCソースアドレスレジスタ 12	DTSAR12	175
06CA5h			
06CA6h	DTCデスティネーションアドレスレジスタ 12	DTDAR12	175
06CA7h			
06CA8h	DTC制御レジスタ 13	DTCCR13	174
06CA9h	DTCブロックサイズレジスタ 13	DTBLS13	174
06CAAh	DTC転送回数レジスタ 13	DTCCT13	174
06CABh	DTC転送回数リロードレジスタ 13	DTRL13	175
06CACh	DTCソースアドレスレジスタ 13	DTSAR13	175
06CAh			
06CAEh	DTCデスティネーションアドレスレジスタ 13	DTDAR13	175
06CAFh			
06CB0h	DTC制御レジスタ 14	DTCCR14	174
06CB1h	DTCブロックサイズレジスタ 14	DTBLS14	174
06CB2h	DTC転送回数レジスタ 14	DTCCT14	174
06CB3h	DTC転送回数リロードレジスタ 14	DTRL14	175
06CB4h	DTCソースアドレスレジスタ 14	DTSAR14	175
06CB5h			
06CB6h	DTCデスティネーションアドレスレジスタ 14	DTDAR14	175
06CB7h			
06CB8h	DTC制御レジスタ 15	DTCCR15	174
06CB9h	DTCブロックサイズレジスタ 15	DTBLS15	174
06CBAh	DTC転送回数レジスタ 15	DTCCT15	174
06CBbh	DTC転送回数リロードレジスタ 15	DTRL15	175
06CBCh	DTCソースアドレスレジスタ 15	DTSAR15	175
06CBDh			
06CBEh	DTCデスティネーションアドレスレジスタ 15	DTDAR15	175
06CBFh			
06CC0h	DTC制御レジスタ 16	DTCCR16	174
06CC1h	DTCブロックサイズレジスタ 16	DTBLS16	174
06CC2h	DTC転送回数レジスタ 16	DTCCT16	174
06CC3h	DTC転送回数リロードレジスタ 16	DTRL16	175
06CC4h	DTCソースアドレスレジスタ 16	DTSAR16	175
06CC5h			
06CC6h	DTCデスティネーションアドレスレジスタ 16	DTDAR16	175
06CC7h			
06CC8h	DTC制御レジスタ 17	DTCCR17	174
06CC9h	DTCブロックサイズレジスタ 17	DTBLS17	174
06CCAh	DTC転送回数レジスタ 17	DTCCT17	174
06CCBh	DTC転送回数リロードレジスタ 17	DTRL17	175
06CCCh	DTCソースアドレスレジスタ 17	DTSAR17	175
06CCDh			
06CCEh	DTCデスティネーションアドレスレジスタ 17	DTDAR17	175
06CCFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06CD0h	DTC制御レジスタ 18	DTCCR18	174
06CD1h	DTCブロックサイズレジスタ 18	DTBLS18	174
06CD2h	DTC転送回数レジスタ 18	DTCCT18	174
06CD3h	DTC転送回数リロードレジスタ 18	DTRL18	175
06CD4h	DTCソースアドレスレジスタ 18	DTSAR18	175
06CD5h			
06CD6h	DTCデスティネーションアドレスレジスタ 18	DTDAR18	175
06CD7h			
06CD8h	DTC制御レジスタ 19	DTCCR19	174
06CD9h	DTCブロックサイズレジスタ 19	DTBLS19	174
06CDAh	DTC転送回数レジスタ 19	DTCCT19	174
06CDBh	DTC転送回数リロードレジスタ 19	DTRL19	175
06CDCh	DTCソースアドレスレジスタ 19	DTSAR19	175
06CDDh			
06CDEh	DTCデスティネーションアドレスレジスタ 19	DTDAR19	175
06CDFh			
06CE0h	DTC制御レジスタ 20	DTCCR20	174
06CE1h	DTCブロックサイズレジスタ 20	DTBLS20	174
06CE2h	DTC転送回数レジスタ 20	DTCCT20	174
06CE3h	DTC転送回数リロードレジスタ 20	DTRL20	175
06CE4h	DTCソースアドレスレジスタ 20	DTSAR20	175
06CE5h			
06CE6h	DTCデスティネーションアドレスレジスタ 20	DTDAR20	175
06CE7h			
06CE8h	DTC制御レジスタ 21	DTCCR21	174
06CE9h	DTCブロックサイズレジスタ 21	DTBLS21	174
06CEAh	DTC転送回数レジスタ 21	DTCCT21	174
06CEBh	DTC転送回数リロードレジスタ 21	DTRL21	175
06CECh	DTCソースアドレスレジスタ 21	DTSAR21	175
06CEDh			
06CEEh	DTCデスティネーションアドレスレジスタ 21	DTDAR21	175
06CF0h	DTC制御レジスタ 22	DTCCR22	174
06CF1h	DTCブロックサイズレジスタ 22	DTBLS22	174
06CF2h	DTC転送回数レジスタ 22	DTCCT22	174
06CF3h	DTC転送回数リロードレジスタ 22	DTRL22	175
06CF4h	DTCソースアドレスレジスタ 22	DTSAR22	175
06CF5h			
06CF6h	DTCデスティネーションアドレスレジスタ 22	DTDAR22	175
06CF7h			
06CF8h	DTC制御レジスタ 23	DTCCR23	174
06CF9h	DTCブロックサイズレジスタ 23	DTBLS23	174
06CFAh	DTC転送回数レジスタ 23	DTCCT23	174
06CFBh	DTC転送回数リロードレジスタ 23	DTRL23	175
06CFCh	DTCソースアドレスレジスタ 23	DTSAR23	175
06CFDh			
06CFEh	DTCデスティネーションアドレスレジスタ 23	DTDAR23	175
06CFFh			
06D00h			
06FFFh			
:			
0FFDBh	オプション機能選択レジスタ 2	OFS2	40、50、80
:			
0FFFFh	オプション機能選択レジスタ	OFS	41、51、68、81、640

1. 概要

1.1 特長

R8C/38T-Aグループは、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1 Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、R8C/38T-Aグループは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/38T-Aグループはタッチセンサコントロールユニットを搭載し、静電容量方式タッチ電極の浮遊容量を検出することが可能です。

また、BGO (バックグラウンドオペレーション)機能付データフラッシュ (1 Kバイト×4ブロック)を内蔵します。

1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

1.1.2 仕様概要

表1.1、表1.2に仕様概要を示します。

表1.1 仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア <ul style="list-style-type: none"> 基本命令数：89命令 最小命令実行時間：50 ns (CPUクロック = 20 MHz、VCC = 2.7 V～5.5 V) 200 ns (CPUクロック = 5 MHz、VCC = 1.8 V～5.5 V) 乗算器：16ビット×16ビット→32ビット 積和演算命令：16ビット×16ビット+32ビット→32ビット 動作モード：シングルチップモード(アドレス空間：1 Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表1.3 製品一覧」参照
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点(電圧検出0と電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：1 CMOS入出力：75、プルアップ抵抗選択可能 大電流駆動ポート：75
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路：XINクロック発振回路、XCINクロック発振回路、高速オンチップオシレータ(周波数調整機能付)、低速オンチップオシレータ 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数：69 外部割り込み入力：9 (INT×5、キー入力×4) 割り込み優先レベル：7レベル
イベントリンクコントローラ(ELC)		<ul style="list-style-type: none"> 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能(30要因×10種類のイベントリンク動作) 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 14ビット×1 リセットスタート機能選択可能 ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC(データトランスファコントローラ)		<ul style="list-style-type: none"> 1チャンネル 起動要因：27 転送モード：2(ノーマルモード、リピートモード)

表1.2 仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0	16ビット(キャプチャ/コンペアレジスタ4本付)×1 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRE2	8ビット×1 コンペアー一致タイマモード、リアルタイムクロックモード
シリアルインタフェース	UART0_0、 UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード1(I ² Cモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0	1チャンネル(I ² Cバスと兼用)
	[I ² Cバス] I ² C_0	1チャンネル(SSUと兼用)
LINモジュール	HW-LIN_0	ハードウェアLIN 1チャンネル(タイマRJ_0、UART0_0またはUART0_1を使用)
A/Dコンバータ		分解能10ビット×20チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
タッチセンサコントロールユニット(TSCU)		システムチャンネル×4、静電容量接触検出×36
CRC演算回路		CRC-CCITT (X ¹⁶ +X ¹² +X ⁵ +1)、CRC-16 (X ¹⁶ +X ¹⁵ +X ² +1)に準拠
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧：VCC = 2.7V~5.5V プログラム/イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) プログラムセキュリティ：ROMコードプロテクト、IDコードチェック デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能 BGO(バックグラウンドオペレーション)機能(データフラッシュ)
動作周波数/電源電圧		CPUクロック = 20 MHz (VCC = 2.7V~5.5V) CPUクロック = 5 MHz (VCC = 1.8V~5.5V)
消費電流		標準6.5mA (VCC=5.0V、f(XIN)=20MHz) 標準3.5mA (VCC=3.0V、f(XIN)=10MHz) 標準4.0μA (VCC=3.0V、ウェイトモード(f(XCIN)=32kHz)) 標準2.2μA (VCC=3.0V、ストップモード)
動作周囲温度		-20℃~85℃(Nバージョン) -40℃~85℃(Dバージョン)(注1)
パッケージ		80ピンLQFP パッケージコード：PLQP0080KB-A(旧コード：80P6Q-A)

注1. Dバージョンをご使用になる場合は、その旨をご指定ください。

1.2 製品一覧

表1.3に製品一覧を、図1.1に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧

2011年10月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考	
	プログラムROM	データフラッシュ				
R5F21388SNFP	64 Kバイト	1 Kバイト×4	6 Kバイト	PLQP0080KB-A	Nバージョン	
R5F2138ASNFP	96 Kバイト		8 Kバイト			
R5F2138CSNFP	128 Kバイト		10 Kバイト			
R5F21388SDFP	64 Kバイト		6 Kバイト	PLQP0080KB-A		Dバージョン
R5F2138ASDFP	96 Kバイト		8 Kバイト			
R5F2138CSDFP	128 Kバイト		10 Kバイト			

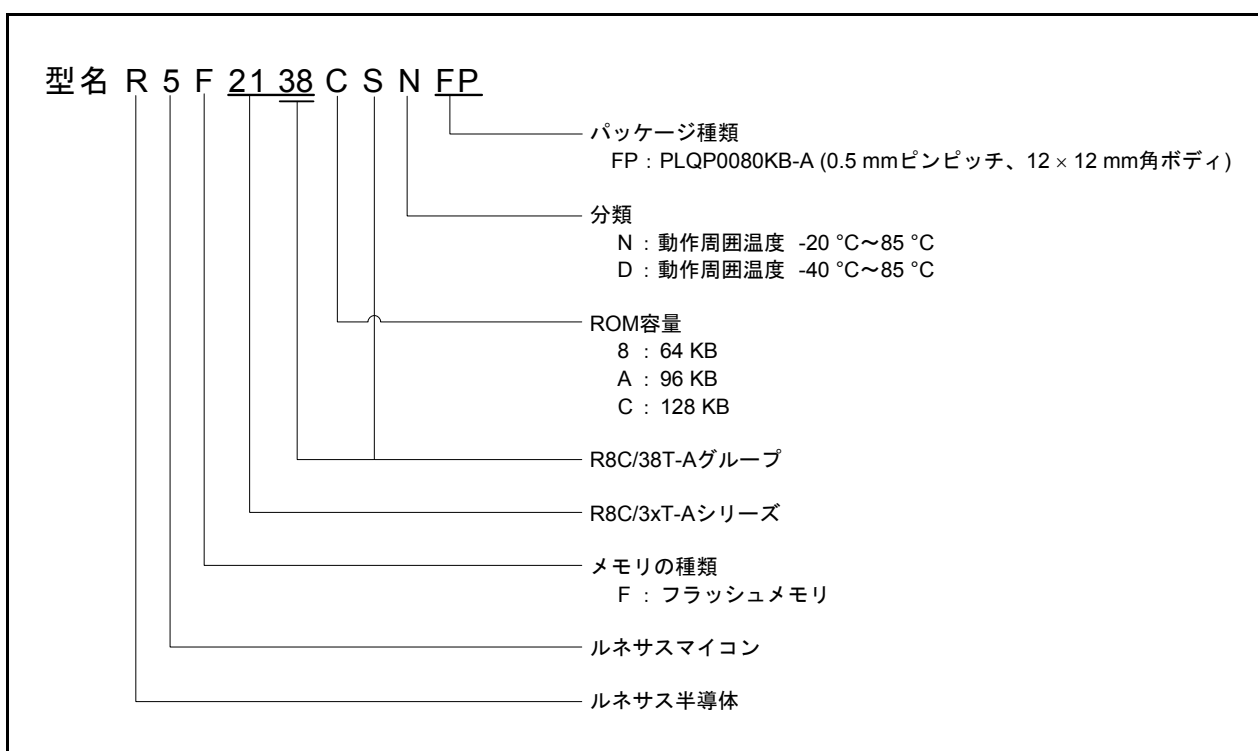
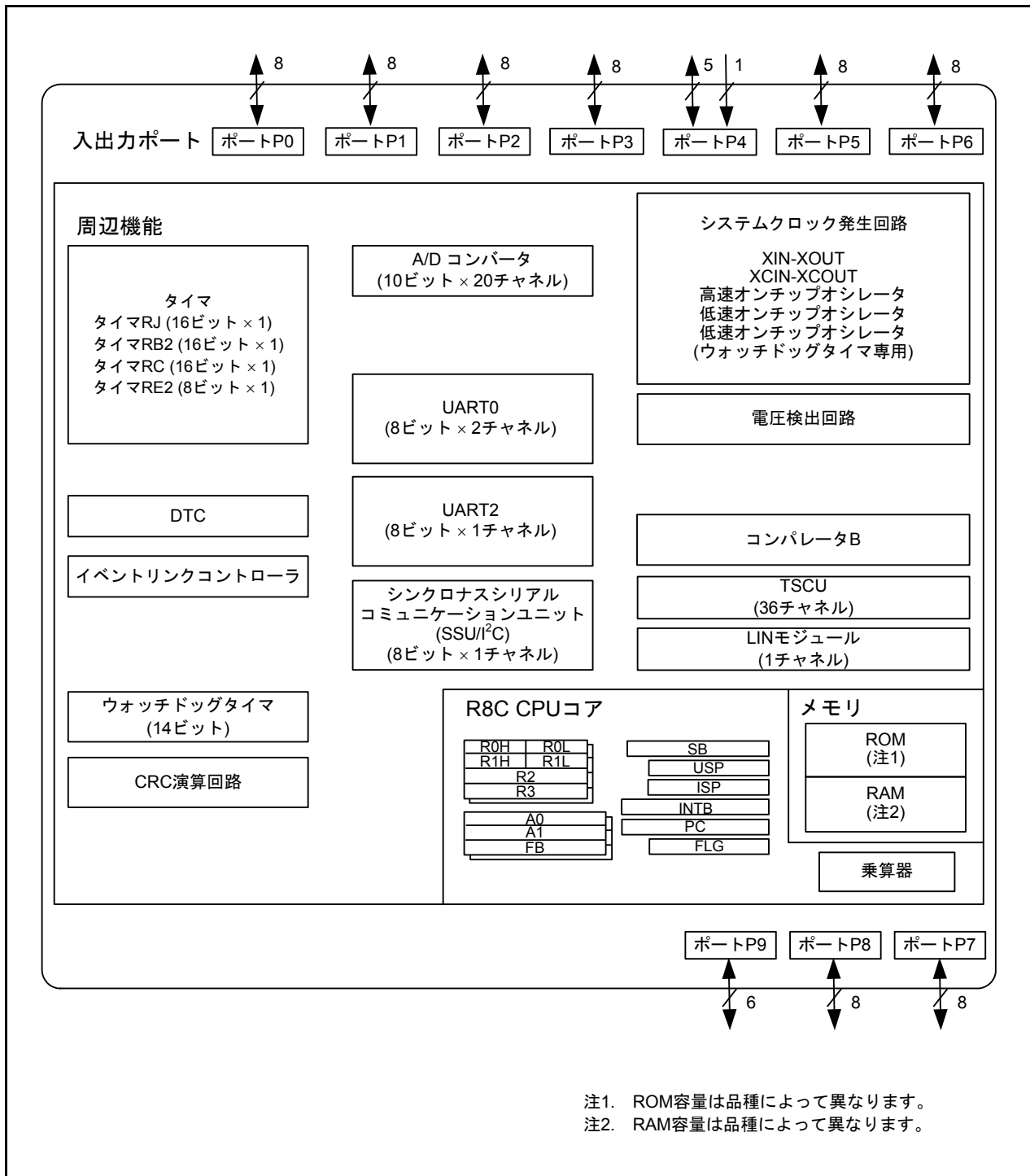


図1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にブロック図を示します。



注1. ROM容量は品種によって異なります。
 注2. RAM容量は品種によって異なります。

図1.2 ブロック図

1.4 ピン配置図

図1.3にピン配置図(上面図)を、表1.4～表1.9にピン番号別端子名一覧を示します。

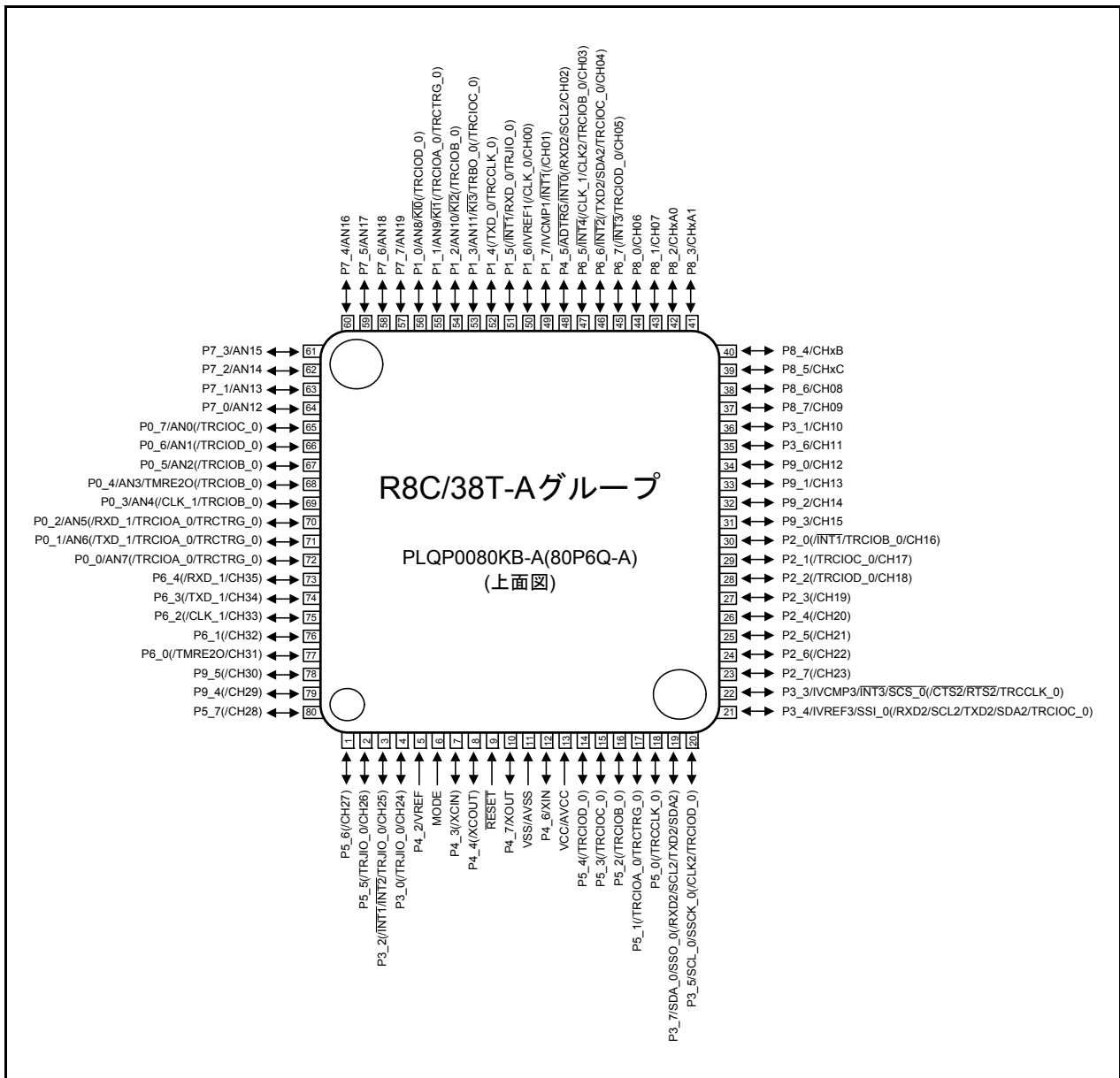


図1.3 ピン配置図(上面図)

表 1.4 ピン番号別端子名一覧(割り込み、UART0、UART2) (1)

ポート	端子番号	割り込み				UART0						UART2							
		INT0	INT1	INT2	INT3	INT4	TXD_0	TXD_1	RXD_0	RXD_1	CLK_0	CLK_1	TXD2	RXD2	CTS2	RTS2	SDA2	SCL2	CLK2
P0_0	72																		
P0_1	71							TXD_1											
P0_2	70								RXD_1										
P0_3	69										CLK_1								
P0_4	68																		
P0_5	67																		
P0_6	66																		
P0_7	65																		
P1_0	56																		
P1_1	55																		
P1_2	54																		
P1_3	53																		
P1_4	52						TXD_0												
P1_5	51		INT1					RXD_0											
P1_6	50									CLK_0									
P1_7	49		INT1																
P2_0	30		INT1																
P2_1	29																		
P2_2	28																		
P2_3	27																		
P2_4	26																		
P2_5	25																		
P2_6	24																		
P2_7	23																		
P3_0	4																		
P3_1	36																		
P3_2	3		INT1	INT2															
P3_3	22				INT3									CTS2	RTS2				
P3_4	21											TXD2	RXD2			SDA2	SCL2		
P3_5	20																		CLK2
P3_6	35																		
P3_7	19											TXD2	RXD2			SDA2	SCL2		
P4_2	5																		
P4_3	7																		
P4_4	8																		
P4_5	48	INT0											RXD2				SCL2		
P4_6	12																		
P4_7	10																		
P5_0	18																		
P5_1	17																		
P5_2	16																		
P5_3	15																		
P5_4	14																		
P5_5	2																		
P5_6	1																		
P5_7	80																		
P6_0	77																		
P6_1	76																		
P6_2	75										CLK_1								
P6_3	74							TXD_1											
P6_4	73								RXD_1										
P6_5	47					INT4					CLK_1								CLK2
P6_6	46			INT2								TXD2				SDA2			
P6_7	45				INT3														
P7_0	64																		
P7_1	63																		
P7_2	62																		
P7_3	61																		
P7_4	60																		
P7_5	59																		
P7_6	58																		
P7_7	57																		

表 1.5 ピン番号別端子名一覧(割り込み、UART0、UART2) (2)

ポート	端子番号	割り込み					UART0						UART2						
		INT0	INT1	INT2	INT3	INT4	TXD_0	TXD_1	RXD_0	RXD_1	CLK_0	CLK_1	TXD2	RXD2	CTS2	RTS2	SDA2	SCL2	CLK2
P8_0	44																		
P8_1	43																		
P8_2	42																		
P8_3	41																		
P8_4	40																		
P8_5	39																		
P8_6	38																		
P8_7	37																		
P9_0	34																		
P9_1	33																		
P9_2	32																		
P9_3	31																		
P9_4	79																		
P9_5	78																		

表 1.6 ピン番号別端子名一覧(SSU/I²C、タイマRJ、タイマRB2) (1)

ポート	端子番号	SSU/I ² C						タイマRJ		タイマRB2
		SCL_0	SDA_0	SSI_0	SCS_0	SSCK_0	SSO_0	TRJO_0	TRJIO_0	TRBO_0
P0_0	72									
P0_1	71									
P0_2	70									
P0_3	69									
P0_4	68									
P0_5	67									
P0_6	66									
P0_7	65									
P1_0	56									
P1_1	55									
P1_2	54									
P1_3	53									TRBO_0
P1_4	52									
P1_5	51								TRJIO_0	
P1_6	50									
P1_7	49									
P2_0	30									
P2_1	29									
P2_2	28									
P2_3	27									
P2_4	26									
P2_5	25									
P2_6	24									
P2_7	23									
P3_0	4							TRJO_0		
P3_1	36									
P3_2	3								TRJIO_0	
P3_3	22				SCS_0					
P3_4	21			SSI_0						
P3_5	20	SCL_0				SSCK_0				
P3_6	35									
P3_7	19		SDA_0				SSO_0			
P4_2	5									
P4_3	7									
P4_4	8									
P4_5	48									
P4_6	12									
P4_7	10									
P5_0	18									
P5_1	17									
P5_2	16									
P5_3	15									
P5_4	14									
P5_5	2								TRJIO_0	
P5_6	1									
P5_7	80									
P6_0	77									
P6_1	76									
P6_2	75									
P6_3	74									
P6_4	73									
P6_5	47									
P6_6	46									
P6_7	45									
P7_0	64									
P7_1	63									
P7_2	62									
P7_3	61									
P7_4	60									
P7_5	59									
P7_6	58									
P7_7	57									

表 1.7 ピン番号別端子名一覧(SSU/I²C、タイマRJ、タイマRB2) (2)

ポート	端子番号	SSU/I ² C						タイマRJ		タイマRB2
		SCL_0	SDA_0	SSI_0	SCS_0	SSCK_0	SSO_0	TRJO_0	TRJO_0	TRBO_0
P8_0	44									
P8_1	43									
P8_2	42									
P8_3	41									
P8_4	40									
P8_5	39									
P8_6	38									
P8_7	37									
P9_0	34									
P9_1	33									
P9_2	32									
P9_3	31									
P9_4	79									
P9_5	78									

表 1.8 ピン番号別端子名一覧(タイマRC、タイマRE2、その他) (1)

ポート	端子番号	タイマRC						タイマRE2	その他		
		TRCCLK_0	TRCIOA_0	TRCIOB_0	TRCIOC_0	TRCIOD_0	TRCTRG_0	TMRE20			
P0_0	72		TRCIOA_0				TRCTRG_0		AN7		
P0_1	71		TRCIOA_0				TRCTRG_0		AN6		
P0_2	70		TRCIOA_0				TRCTRG_0		AN5		
P0_3	69			TRCIOB_0					AN4		
P0_4	68			TRCIOB_0				TMRE20	AN3		
P0_5	67			TRCIOB_0					AN2		
P0_6	66					TRCIOD_0			AN1		
P0_7	65				TRCIOC_0				AN0		
P1_0	56					TRCIOD_0			AN8	K10	
P1_1	55		TRCIOA_0				TRCTRG_0		AN9	K11	
P1_2	54			TRCIOB_0					AN10	K12	
P1_3	53				TRCIOC_0				AN11	K13	
P1_4	52	TRCCLK_0									
P1_5	51										
P1_6	50								IVREF1		CH00
P1_7	49								IVCMP1		CH01
P2_0	30			TRCIOB_0							CH16
P2_1	29				TRCIOC_0						CH17
P2_2	28					TRCIOD_0					CH18
P2_3	27										CH19
P2_4	26										CH20
P2_5	25										CH21
P2_6	24										CH22
P2_7	23										CH23
P3_0	4										CH24
P3_1	36										CH10
P3_2	3										CH25
P3_3	22	TRCCLK_0							IVCMP3		
P3_4	21				TRCIOC_0				IVREF3		
P3_5	20					TRCIOD_0					
P3_6	35										CH11
P3_7	19										
P4_2	5								VREF		
P4_3	7								XCIN		
P4_4	8								XCOU		
P4_5	48								ADTRG		CH02
P4_6	12								XIN		
P4_7	10								XOUT		
P5_0	18	TRCCLK_0									
P5_1	17		TRCIOA_0				TRCTRG_0				
P5_2	16			TRCIOB_0							
P5_3	15				TRCIOC_0						
P5_4	14					TRCIOD_0					
P5_5	2										CH26
P5_6	1										CH27
P5_7	80										CH28
P6_0	77							TMRE20			CH31
P6_1	76										CH32
P6_2	75										CH33
P6_3	74										CH34
P6_4	73										CH35
P6_5	47			TRCIOB_0							CH03
P6_6	46				TRCIOC_0						CH04
P6_7	45					TRCIOD_0					CH05
P7_0	64								AN12		
P7_1	63								AN13		
P7_2	62								AN14		
P7_3	61								AN15		
P7_4	60								AN16		
P7_5	59								AN17		
P7_6	58								AN18		
P7_7	57								AN19		

表1.9 ピン番号別端子名一覧(タイマRC、タイマRE2、その他) (2)

ポート	端子番号	タイマRC					タイマRE2	その他		
		TRCCLK_0	TRCIOA_0	TRCIOB_0	TRCIOC_0	TRCIOD_0	TRCTRG_0			TMRE20
P8_0	44									CH06
P8_1	43									CH07
P8_2	42									CHxA0
P8_3	41									CHxA1
P8_4	40									CHxB
P8_5	39									CHxC
P8_6	38									CH08
P8_7	37									CH09
P9_0	34									CH12
P9_1	33									CH13
P9_2	32									CH14
P9_3	31									CH15
P9_4	79									CH29
P9_5	78									CH30

1.5 端子機能の説明

表1.10、表1.11に端子機能の説明を示します。

表1.10 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	VCCには1.8V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	—	A/Dコンバータの電源入力です。 AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子にLを入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。
XINクロック出力	XOUT	入出力	XINとXOUTの間には、セラミック共振子または水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XOUTからクロックを入力し、XINは開放にしてください。
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。
XCINクロック出力	XCOU	入出力	XCINとXCOUの間には、水晶共振子を接続してください。(注1) 外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUは開放にしてください。
INT割り込み入力	INT0～INT4	入力	INT割り込みの入力です。
キー入力割り込み	KI0～KI3	入力	キー入力割り込みの入力です。
タイマRJ_0	TRJIO_0	入出力	タイマRJの入出力です。
	TRJO_0	出力	タイマRJの出力です。
タイマRB2_0	TRBO_0	出力	タイマRB2の出力です。
タイマRC_0	TRCLK_0	入力	外部クロック入力です。
	TRCTRG_0	入力	外部トリガ入力です。
	TRCIOA_0、TRCIOB_0、TRCIOC_0、TRCIOD_0	入出力	タイマRCの入出力です。
タイマRE2	TMRE2O	出力	分周クロックの出力です。
シリアルインタフェース(UART0)	CLK_0、CLK_1	入出力	転送クロック入出力です。
	RXD_0、RXD_1	入力	シリアルデータ入力です。
	TXD_0、TXD_1	出力	シリアルデータ出力です。
シリアルインタフェース(UART2)	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	SCL2	入出力	I ² Cモードのクロック入出力です。
	SDA2	入出力	I ² Cモードのデータ入出力です。
	RXD2	入力	シリアルデータ入力です。
	TXD2	出力	シリアルデータ出力です。
	CLK2	入出力	転送クロック入出力です。
シンクロナスシリアルコミュニケーションユニット(SSU_0)	SSI_0	入出力	データ入出力です。
	SCS_0	入出力	チップセレクト入出力です。
	SSCK_0	入出力	クロック入出力です。
	SSO_0	入出力	データ入出力です。
I ² Cバス(I ² C_0)	SCL_0	入出力	クロック入出力です。
	SDA_0	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。

注1. 発振特性は発振子メーカーに問い合わせてください。

表 1.11 端子機能の説明(2)

分類	端子名	入出力	機能
A/Dコンバータ	AN0～AN19	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力です。
タッチセンサ コントロールユニット (TSCU)	CHxA0、CHxA1、CHxB、 CHxC	入出力	静電容量接触検出のための制御端子です。
	CH00～CH35	入力	静電容量接触検出端子です。
入出力ポート	P0_0～P0_7、 P1_0～P1_7、 P2_0～P2_7、 P3_0～P3_7、 P4_3～P4_7、 P5_0～P5_7 P6_0～P6_7、 P7_0～P7_7、 P8_0～P8_7、 P9_0～P9_5	入出力	CMOSの8ビット入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 すべてのポートは、LED駆動(高駆動)ポートとして使用できます。
入力ポート	P4_2	入力	入力専用ポートです。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

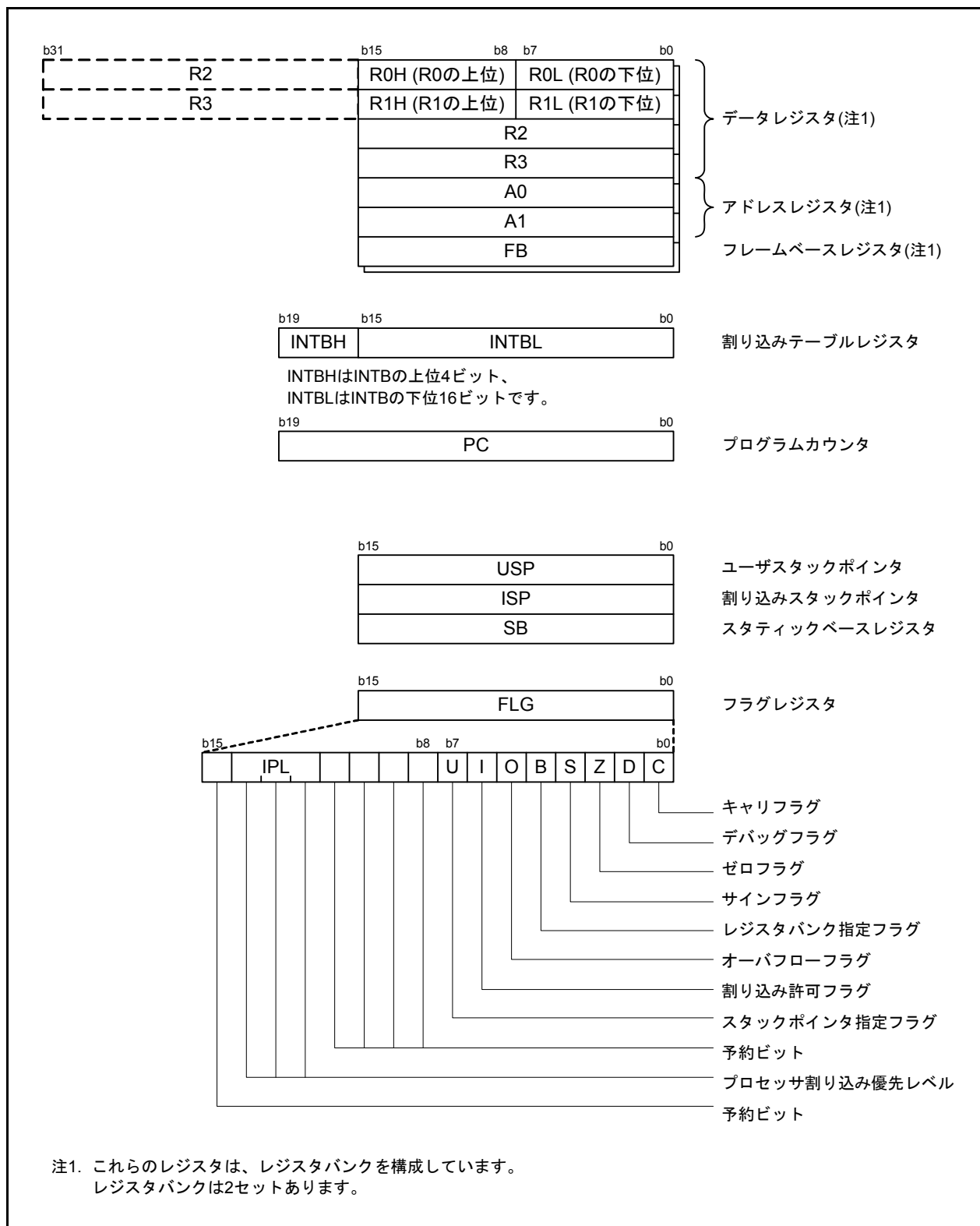


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、ともに16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。0にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき1になり、それ以外のとき0になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき1になり、それ以外のとき0になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが0の場合、レジスタバンク0が指定され、1の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに1になります。それ以外では0になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが0の場合、マスクブル割り込みは禁止され、1の場合、許可されます。割り込み要求を受け付けると、Iフラグは0になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが0の場合、ISPが指定され、1の場合、USPが指定されます。ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは0になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、0を書いてください。読んだ場合、その値は不定です。

3. アドレス空間

3.1 メモリマップ

図3.1にメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は07000h番地から07FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

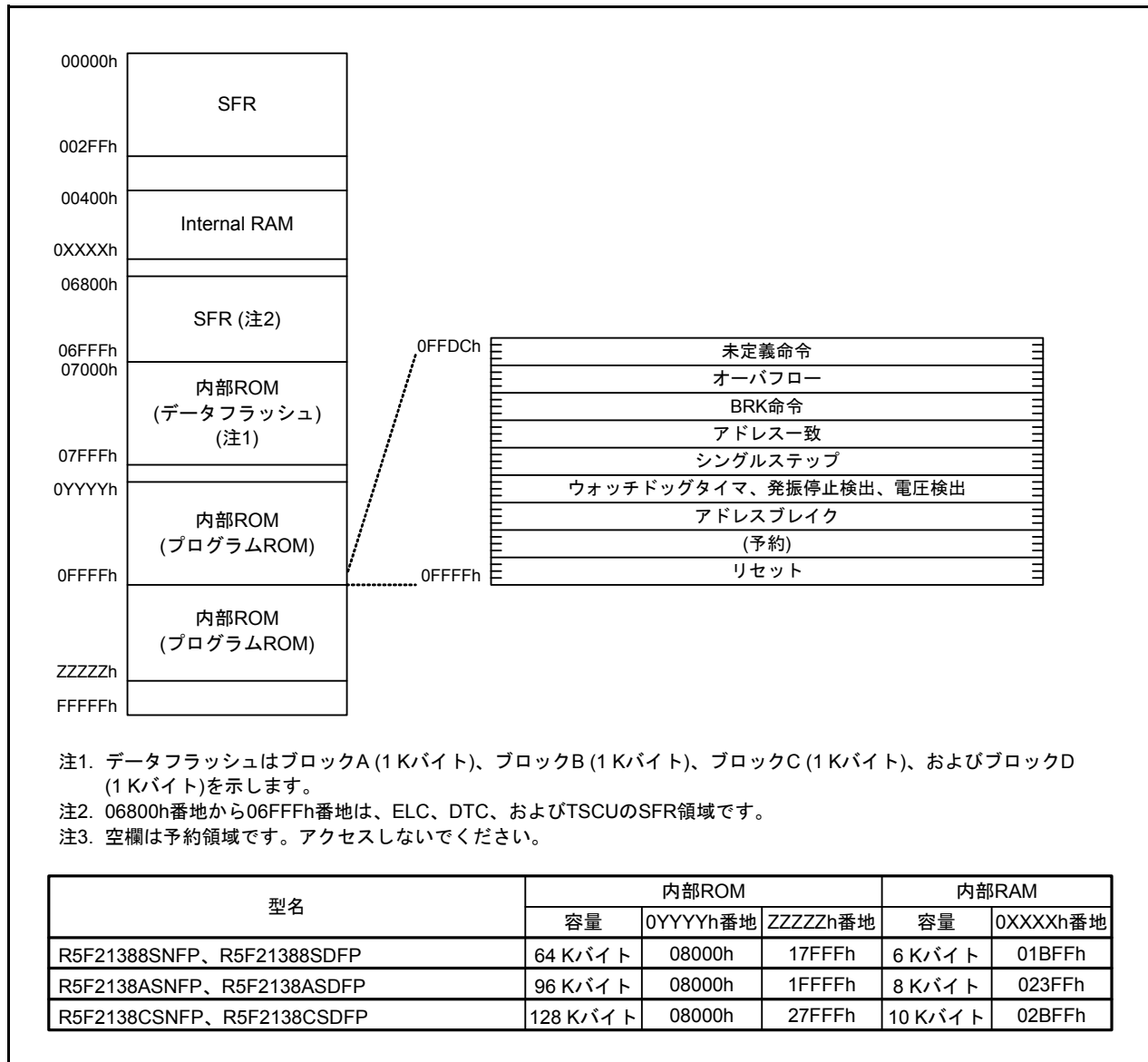


図3.1 メモリ配置図

3.2 SFR

SFR (Special Function Register)は、周辺機能の制御レジスタです。表3.1～表3.16にSFR一覧を、表3.17にIDコード領域、オプション機能選択領域を示します。

表3.1 SFR一覧(1)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00000h				
00001h				
00002h				
00003h				
00004h	PM0	プロセッサモードレジスタ0	00h	
00005h	PM1	プロセッサモードレジスタ1	10000000b	
00006h				
00007h	PRCR	プロテクトレジスタ	00h	
00008h	CM0	システムクロック制御レジスタ0	00101000b	
00009h	CM1	システムクロック制御レジスタ1	00100000b	
0000Ah	OCD	発振停止検出レジスタ	00h	
0000Bh	CM3	システムクロック制御レジスタ3	00h	
0000Ch	CM4	システムクロック制御レジスタ4	00000001b	
0000Dh				
0000Eh				
0000Fh				
00010h	CPSRF	時計用プリスケアラリセットフラグ	00h	
00011h				
00012h	FRA0	高速オンチップオシレータ制御レジスタ0	00h	
00013h				
00014h	FRA2	高速オンチップオシレータ制御レジスタ2	00h	
00015h				
00016h				
00017h				
00018h				
00019h				
0001Ah				
0001Bh				
0001Ch				
0001Dh				
0001Eh				
0001Fh				
00020h	RISR	リセット割り込み選択レジスタ	10000000b、00000000b	(注2)
00021h	WDTR	ウォッチドッグタイマリセットレジスタ	FFh	
00022h	WDT5	ウォッチドッグタイマスタートレジスタ	FFh	
00023h	WDTC	ウォッチドッグタイマ制御レジスタ	01111111b	
00024h	CSPR	カウントソース保護モードレジスタ	10000000b、00000000b	(注2)
00025h				
00026h				
00027h				
00028h	RSTFR	リセット要因判別レジスタ	00XXXXXXb	
00029h				
0002Ah				
0002Bh				
0002Ch	SVDC	STBY VDC電力制御レジスタ	00h	
0002Dh				
0002Eh				
0002Fh				
00030h	CMPA	電圧監視回路制御レジスタ	00h	
00031h	VCAC	電圧監視回路エッジ選択レジスタ	00h	
00032h	OCVREFCR	チップ内蔵基準電圧制御レジスタ	00h	
00033h				
00034h	VCA2	電圧検出レジスタ2	00000000b、00100000b	(注3)
00035h				
00036h	VD1LS	電圧検出1レベル選択レジスタ	00000111b	
00037h				
00038h	VW0C	電圧監視0回路制御レジスタ	1100XX10b、1100XX11b	(注3)
00039h	VW1C	電圧監視1回路制御レジスタ	10001010b	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタのCSPROINIビットの値によってリセット後の値が異なります。

注3. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

表3.2 SFR一覧(2)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0003Ah	VW2C	電圧監視2回路制御レジスタ	10001010b	
0003Bh				
0003Ch				
0003Dh				
0003Eh				
0003Fh				
00040h				
00041h	FMRDYIC	割り込み制御レジスタ	00h	
00042h				
00043h				
00044h				
00045h				
00046h	INT4IC	割り込み制御レジスタ	00h	
00047h	TRCIC_0	割り込み制御レジスタ	00h	
00048h				
00049h				
0004Ah	TRE2IC	割り込み制御レジスタ	00h	
0004Bh	U2TIC	割り込み制御レジスタ	00h	
0004Ch	U2RIC	割り込み制御レジスタ	00h	
0004Dh	KUPIC	割り込み制御レジスタ	00h	
0004Eh	ADIC	割り込み制御レジスタ	00h	
0004Fh	SSUIC_0/IICIC_0	割り込み制御レジスタ	00h	
00050h				
00051h	U0TIC_0	割り込み制御レジスタ	00h	
00052h	U0RIC_0	割り込み制御レジスタ	00h	
00053h	U0TIC_1	割り込み制御レジスタ	00h	
00054h	U0RIC_1	割り込み制御レジスタ	00h	
00055h	INT2IC	割り込み制御レジスタ	00h	
00056h	TRJIC_0	割り込み制御レジスタ	00h	
00057h				
00058h	TRB2IC_0	割り込み制御レジスタ	00h	
00059h	INT1IC	割り込み制御レジスタ	00h	
0005Ah	INT3IC	割り込み制御レジスタ	00h	
0005Bh				
0005Ch				
0005Dh	INT0IC	割り込み制御レジスタ	00h	
0005Eh	U2BCNIC	割り込み制御レジスタ	00h	
0005Fh				
00060h				
00061h				
00062h				
00063h				
00064h				
00065h				
00066h				
00067h				
00068h				
00069h				
0006Ah				
0006Bh				
0006Ch				
0006Dh				
0006Eh				
0006Fh				
00070h				
00071h				
00072h	VCMP1IC	割り込み制御レジスタ	00h	
00073h	VCMP2IC	割り込み制御レジスタ	00h	
00074h				
00075h	TSCUIC	割り込み制御レジスタ	00h	
00076h				
00077h				
00078h				
00079h				

注1. 空欄は予約領域です。アクセスしないでください。

表 3.3 SFR一覧 (3) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0007Ah				
0007Bh				
0007Ch				
0007Dh				
0007Eh				
0007Fh				
00080h	U0MR_0	UART0_0送受信モードレジスタ	00h	
00081h	U0BRG_0	UART0_0ビットレートレジスタ	XXh	
00082h	U0TB_0	UART0_0送信バッファレジスタ	XXh	
00083h			XXh	
00084h	U0C0_0	UART0_0送受信制御レジスタ0	00001000b	
00085h	U0C1_0	UART0_0送受信制御レジスタ1	00000010b	
00086h	U0RB_0	UART0_0受信バッファレジスタ	XXXXh	
00087h				
00088h	U0IR_0	UART0_0割り込みフラグと許可レジスタ	00h	
00089h				
0008Ah				
0008Bh				
0008Ch	LINCR2_0	LIN_0特殊機能レジスタ	00h	
0008Dh				
0008Eh	LINCT_0	LIN_0制御レジスタ	00h	
0008Fh	LINST_0	LIN_0ステータスレジスタ	00h	
00090h	U0MR_1	UART0_1送受信モードレジスタ	00h	
00091h	U0BRG_1	UART0_1ビットレートレジスタ	XXh	
00092h	U0TB_1	UART0_1送信バッファレジスタ	XXh	
00093h			XXh	
00094h	U0C0_1	UART0_1送受信制御レジスタ0	00001000b	
00095h	U0C1_1	UART0_1送受信制御レジスタ1	00000010b	
00096h	U0RB_1	UART0_1受信バッファレジスタ	XXXXh	
00097h				
00098h	U0IR_1	UART0_1割り込みフラグと許可レジスタ	00h	
00099h				
0009Ah				
0009Bh				
0009Ch				
0009Dh				
0009Eh				
0009Fh				
000A0h				
000A1h				
000A2h				
000A3h				
000A4h				
000A5h				
000A6h				
000A7h				
000A8h				
000A9h				
000AAh				
000ABh				
000ACh				
000ADh				
000AEh				
000AFh				
000B0h				
000B1h				
000B2h				
000B3h				
000B4h				
000B5h				
000B6h				
000B7h				
000B8h				
000B9h				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.4 SFR一覧(4)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
000BAh				
000BBh				
000BCh				
000BDh				
000BEh				
000BFh				
000C0h	U2MR	UART2送受信モードレジスタ	00h	
000C1h	U2BRG	UART2ビットレートレジスタ	00h	
000C2h	U2TB	UART2送信バッファレジスタ	00h	
000C3h			00h	
000C4h	U2C0	UART2送受信制御レジスタ0	00001000b	
000C5h	U2C1	UART2送受信制御レジスタ1	00000010b	
000C6h	U2RB	UART2受信バッファレジスタ	0000h	
000C7h				
000C8h	U2RXDF	UART2デジタルフィルタ機能選択レジスタ	00h	
000C9h				
000CAh				
000CBh				
000CCh				
000CDh				
000CEh				
000CFh				
000D0h	U2SMR5	UART2特殊モードレジスタ5	00h	
000D1h				
000D2h				
000D3h				
000D4h	U2SMR4	UART2特殊モードレジスタ4	00h	
000D5h	U2SMR3	UART2特殊モードレジスタ3	00h	
000D6h	U2SMR2	UART2特殊モードレジスタ2	00h	
000D7h	U2SMR	UART2特殊モードレジスタ	00h	
000D8h				
000D9h				
000DAh				
000DBh				
000DCh				
000DDh				
000DEh				
000DFh				
000E0h	IICCR_0	I ² C_0制御レジスタ	00001110b	
000E1h	SSBR_0	SS_0ビットカウンタレジスタ	11111000b	
000E2h	SITDR_0	SI_0送信データレジスタ	FFh	
000E3h			FFh	
000E4h	SIRDR_0	SI_0受信データレジスタ	FFh	
000E5h			FFh	
000E6h	SICR1_0	SI_0制御レジスタ1	00h	
000E7h	SICR2_0	SI_0制御レジスタ2	01111101b	
000E8h	SIMR1_0	SI_0モードレジスタ1	00010000b	
000E9h	SIER_0	SI_0割り込み許可レジスタ	00h	
000EAh	SISR_0	SI_0ステータスレジスタ	00h	
000EBh	SIMR2_0	SI_0モードレジスタ2	00h	
000ECh				
000EDh				
000EEh				
000EFh				
000F0h				
000F1h				
000F2h				
000F3h				
000F4h				
000F5h				
000F6h				
000F7h				
000F8h				
000F9h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.5 SFR一覧(5)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
000FAh				
000FBh				
000FCh				
000FDh				
000FEh				
000FFh				
00100h				
00101h				
00102h				
00103h				
00104h				
00105h				
00106h				
00107h				
00108h				
00109h				
0010Ah				
0010Bh				
0010Ch				
0010Dh				
0010Eh				
0010Fh				
00110h	TRJ_0	タイマRJ_0カウンタレジスタ	FFFFh	
00111h				
00112h	TRJCR_0	タイマRJ_0制御レジスタ	00h	
00113h	TRJIOC_0	タイマRJ_0 I/O制御レジスタ	00h	
00114h	TRJMR_0	タイマRJ_0モードレジスタ	00h	
00115h	TRJISR_0	タイマRJ_0イベント端子選択レジスタ	00h	
00116h				
00117h				
00118h				
00119h				
0011Ah				
0011Bh				
0011Ch				
0011Dh				
0011Eh				
0011Fh				
00120h				
00121h				
00122h				
00123h				
00124h				
00125h				
00126h				
00127h				
00128h				
00129h				
0012Ah				
0012Bh				
0012Ch				
0012Dh				
0012Eh				
0012Fh				
00130h	TRBCR_0	タイマRB2_0制御レジスタ	00h	
00131h	TRBOCR_0	タイマRB2_0ワンショット制御レジスタ	00h	
00132h	TRBIOC_0	タイマRB2_0 I/O制御レジスタ	00h	
00133h	TRBMR_0	タイマRB2_0モードレジスタ	00h	
00134h	TRBPRE_0	タイマRB2_0プリスケアラレジスタ	FFh	
00135h	TRBPR_0	タイマRB2_0プライマリレジスタ	FFh	
00136h	TRBSC_0	タイマRB2_0セカンダリレジスタ	FFh	
00137h	TRBIR_0	タイマRB2_0割り込み要求レジスタ	00h	
00138h	TRCCNT_0	タイマRC_0カウンタ	0000h	
00139h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.6 SFR一覧(6)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	レジスタ名
0013Ah	TRCGRA_0	タイマRC_0ジェネラルレジスタA	FFFFh	
0013Bh				
0013Ch	TRCGRB_0	タイマRC_0ジェネラルレジスタB	FFFFh	
0013Dh				
0013Eh	TRCGRC_0	タイマRC_0ジェネラルレジスタC	FFFFh	
0013Fh				
00140h	TRCGRD_0	タイマRC_0ジェネラルレジスタD	FFFFh	
00141h				
00142h	TRCMR_0	タイマRC_0モードレジスタ	01001000b	
00143h	TRCCR1_0	タイマRC_0制御レジスタ1	00h	
00144h	TRCIER_0	タイマRC_0割り込み許可レジスタ	01110000b	
00145h	TRCSR_0	タイマRC_0ステータスレジスタ	01110000b	
00146h	TRCIOR0_0	タイマRC_0 I/O制御レジスタ0	10001000b	
00147h	TRCIOR1_0	タイマRC_0 I/O制御レジスタ1	10001000b	
00148h	TRCCR2_0	タイマRC_0制御レジスタ2	00011000b	
00149h	TRCDF_0	タイマRC_0デジタルフィルタ機能選択レジスタ	00h	
0014Ah	TRCOER_0	タイマRC_0出力許可レジスタ	01111111b	
0014Bh	TRCADCR_0	タイマRC_0 A/D変換トリガ制御レジスタ	11110000b	
0014Ch	TRCOPR_0	タイマRC_0出力波形操作レジスタ	00h	
0014Dh	TRCELCCR_0	タイマRC_0 ELC連動制御レジスタ	00h	
0014Eh				
0014Fh				
00150h				
00151h				
00152h				
00153h				
00154h				
00155h				
00156h				
00157h				
00158h				
00159h				
0015Ah				
0015Bh				
0015Ch				
0015Dh				
0015Eh				
0015Fh				
00160h				
00161h				
00162h				
00163h				
00164h				
00165h				
00166h				
00167h				
00168h				
00169h				
0016Ah				
0016Bh				
0016Ch				
0016Dh				
0016Eh				
0016Fh				
00170h	TRESEC	タイマRE2カウンタデータレジスタ タイマRE2秒データレジスタ	00h	
00171h	TREMIN	タイマRE2コンペアデータレジスタ タイマRE2分データレジスタ	00h	
00172h	TREHR	タイマRE2時データレジスタ	00h	
00173h	TREWK	タイマRE2曜日データレジスタ	00h	
00174h	TREDY	タイマRE2日データレジスタ	00000001b	
00175h	TREMON	タイマRE2月データレジスタ	00000001b	
00176h	TREYR	タイマRE2年データレジスタ	00h	
00177h	TRECR	タイマRE2制御レジスタ	00000100b	
00178h	TRECSR	タイマRE2カウントソース選択レジスタ	00001000b	
00179h	TREADJ	タイマRE2時計誤差補正レジスタ	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表3.7 SFR一覧(7)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0017Ah	TREIFR	タイマRE2割り込みフラグレジスタ	00h	
0017Bh	TREIER	タイマRE2割り込み許可レジスタ	00h	
0017Ch	TREAMN	タイマRE2アラーム分レジスタ	00h	
0017Dh	TREahr	タイマRE2アラーム時レジスタ	00h	
0017Eh	TREAwk	タイマRE2アラーム曜日レジスタ	00h	
0017Fh	TREPRC	タイマRE2プロテクトレジスタ	00h	
00180h ~ 001FFh				
00200h	AD0	A/Dレジスタ0	00h	
00201h			00h	
00202h	AD1	A/Dレジスタ1	00h	
00203h			00h	
00204h	AD2	A/Dレジスタ2	00h	
00205h			00h	
00206h	AD3	A/Dレジスタ3	00h	
00207h			00h	
00208h	AD4	A/Dレジスタ4	00h	
00209h			00h	
0020Ah	AD5	A/Dレジスタ5	00h	
0020Bh			00h	
0020Ch	AD6	A/Dレジスタ6	00h	
0020Dh			00h	
0020Eh	AD7	A/Dレジスタ7	00h	
0020Fh			00h	
00210h				
00211h				
00212h				
00213h				
00214h	ADMOD	A/Dモードレジスタ	00h	
00215h	ADINSEL	A/D入力選択レジスタ	11000000b	
00216h	ADCON0	A/D制御レジスタ0	00h	
00217h	ADCON1	A/D制御レジスタ1	00h	
00218h				
00219h				
0021Ah				
0021Bh				
0021Ch				
0021Dh				
0021Eh				
0021Fh				
00220h				
00221h				
00222h				
00223h				
00224h				
00225h				
00226h				
00227h				
00228h	INTCMP	コンパレータB制御レジスタ0	00h	
00229h				
0022Ah				
0022Bh				
0022Ch				
0022Dh				
0022Eh				
0022Fh				
00230h	INTEN	外部入力許可レジスタ0	00h	
00231h	INTEN1	外部入力許可レジスタ1	00h	
00232h	INTF	INT入力フィルタ選択レジスタ0	00h	
00233h	INTF1	INT入力フィルタ選択レジスタ1	00h	
00234h	INTPOL	INT入力極性切り替えレジスタ	00h	
00235h				
00236h	KIEN	キー入力割り込み許可レジスタ	00h	
00237h				
00238h	MSTCR0	モジュールスタンバイコントロールレジスタ0	00h	
00239h	MSTCR1	モジュールスタンバイコントロールレジスタ1	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表3.8 SFR一覧(8)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0023Ah	MSTCR2	モジュールスタンバイコントロールレジスタ2	00h	
0023Bh	MSTCR3	モジュールスタンバイコントロールレジスタ3	00h	
0023Ch	MSTCR4	モジュールスタンバイコントロールレジスタ4	00h	
0023Dh				
0023Eh				
0023Fh				
00240h				
00241h				
00242h				
00243h				
00244h				
00245h				
00246h				
00247h				
00248h				
00249h				
0024Ah				
0024Bh				
0024Ch				
0024Dh				
0024Eh				
0024Fh				
00250h				
00251h				
00252h	FST	フラッシュメモリステータスレジスタ	1000X00b	
00253h				
00254h	FMR0	フラッシュメモリ制御レジスタ0	00h	
00255h	FMR1	フラッシュメモリ制御レジスタ1	00h	
00256h	FMR2	フラッシュメモリ制御レジスタ2	00h	
00257h				
00258h				
00259h				
0025Ah				
0025Bh				
0025Ch				
0025Dh				
0025Eh				
0025Fh				
00260h	AIADR0L	アドレス一致割り込みアドレス0Lレジスタ	XXXXh	
00261h				
00262h	AIADR0H	アドレス一致割り込みアドレス0Hレジスタ	0000XXXXb	
00263h	AIEN0	アドレス一致割り込み許可0レジスタ	00h	
00264h	AIADR1L	アドレス一致割り込みアドレス1Lレジスタ	XXXXh	
00265h				
00266h	AIADR1H	アドレス一致割り込みアドレス1Hレジスタ	0000XXXXb	
00267h	AIEN1	アドレス一致割り込み許可1レジスタ	00h	
00268h				
00269h				
0026Ah				
0026Bh				
0026Ch				
0026Dh				
0026Eh				
0026Fh				
00270h				
00271h				
00272h				
00273h				
00274h				
00275h				
00276h				
00277h				
00278h				
00279h				
0027Ah				
0027Bh				
0027Ch				
0027Dh				
0027Eh				
0027Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.9 SFR一覧(9)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00280h	DTCTL	DTC起動制御レジスタ	00h	
00281h				
00282h				
00283h				
00284h				
00285h				
00286h				
00287h				
00288h	DTCEN0	DTC起動許可レジスタ0	00h	
00289h	DTCEN1	DTC起動許可レジスタ1	00h	
0028Ah	DTCEN2	DTC起動許可レジスタ2	00h	
0028Bh	DTCEN3	DTC起動許可レジスタ3	00h	
0028Ch				
0028Dh	DTCEN5	DTC起動許可レジスタ5	00h	
0028Eh	DTCEN6	DTC起動許可レジスタ6	00h	
0028Fh				
00290h	CRCSAR	SFR監視アドレスレジスタ	0000h	
00291h				
00292h	CRCMR	CRC制御レジスタ	00h	
00293h				
00294h	CRCD	CRCデータレジスタ	0000h	
00295h				
00296h	CRCIN	CRCインプットレジスタ	00h	
00297h				
00298h				
00299h				
0029Ah				
0029Bh				
0029Ch				
0029Dh				
0029Eh				
0029Fh				
002A0h	TRJ_0SR	タイマRJ_0端子選択レジスタ	08h	
002A1h				
002A2h				
002A3h				
002A4h				
002A5h	TRCLKSR	タイマRCCLK端子選択レジスタ	00h	
002A6h	TRC_0SR0	タイマRC_0端子選択レジスタ0	00h	
002A7h	TRC_0SR1	タイマRC_0端子選択レジスタ1	00h	
002A8h				
002A9h				
002AAh				
002ABh				
002ACh				
002ADh	TIMSR	タイマ端子選択レジスタ	00h	
002AEh	U_0SR	UART0_0端子選択レジスタ	00h	
002AFh	U_1SR	UART0_1端子選択レジスタ	00h	
002B0h				
002B1h				
002B2h	U2SR0	UART2端子選択レジスタ0	00h	
002B3h	U2SR1	UART2端子選択レジスタ1	00h	
002B4h				
002B5h				
002B6h	INTSR0	INT割り込み入力端子選択レジスタ0	00h	
002B7h				
002B8h				
002B9h	PINSR	入出力機能端子選択レジスタ	00h	
002BAh				
002BBh				
002BCh				
002BDh				
002BEh	PMCSEL	端子配置選択レジスタ	00h	
002BFh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.10 SFR一覧(10)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
002C0h	PUR0	ブルアップ制御レジスタ0	00h	
002C1h	PUR1	ブルアップ制御レジスタ1	00h	
002C2h	PUR2	ブルアップ制御レジスタ2	00h	
002C3h				
002C4h				
002C5h				
002C6h				
002C7h				
002C8h	P1DRR	ポートP1駆動能力制御レジスタ	00h	
002C9h	P2DRR	ポートP2駆動能力制御レジスタ	00h	
002CAh				
002CBh				
002CCh	DRR0	駆動能力制御レジスタ0	00h	
002CDh	DRR1	駆動能力制御レジスタ1	00h	
002CEh	DRR2	駆動能力制御レジスタ2	00h	
002CFh				
002D0h	VLT0	入力しきい値制御レジスタ0	00h	
002D1h	VLT1	入力しきい値制御レジスタ1	00h	
002D2h	VLT2	入力しきい値制御レジスタ2	00h	
002D3h				
002D4h				
002D5h				
002D6h				
002D7h				
002D8h				
002D9h				
002DAh				
002DBh				
002DCh				
002DDh				
002DEh				
002DFh				
002E0h	PORT0	ポートP0レジスタ	XXh	
002E1h	PORT1	ポートP1レジスタ	XXh	
002E2h	PD0	ポートP0方向レジスタ	00h	
002E3h	PD1	ポートP1方向レジスタ	00h	
002E4h	PORT2	ポートP2レジスタ	XXh	
002E5h	PORT3	ポートP3レジスタ	XXh	
002E6h	PD2	ポートP2方向レジスタ	00h	
002E7h	PD3	ポートP3方向レジスタ	00h	
002E8h	PORT4	ポートP4レジスタ	XXh	
002E9h	PORT5	ポートP5レジスタ	XXh	
002EAh	PD4	ポートP4方向レジスタ	00h	
002EBh	PD5	ポートP5方向レジスタ	00h	
002ECh	PORT6	ポートP6レジスタ	XXh	
002EDh	PORT7	ポートP7レジスタ	XXh	
002EEh	PD6	ポートP6方向レジスタ	00h	
002EFh	PD7	ポートP7方向レジスタ	00h	
002F0h	PORT8	ポートP8レジスタ	XXh	
002F1h	PORT9	ポートP9レジスタ	XXh	
002F2h	PD8	ポートP8方向レジスタ	00h	
002F3h	PD9	ポートP9方向レジスタ	00h	
002F4h				
002F5h				
002F6h				
002F7h				
002F8h				
002F9h				
002FAh				
002FBh				
002FCh				
002FDh				
002FEh				
002FFh				
00300h ~ 003FFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.11 SFR一覧 (11) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00400h ~ 053FFh	内蔵RAM	内蔵RAM		
05400h ~ 069FFh				
06A00h	ELSELR0	イベント出力先選択レジスタ0	00h	
06A01h	ELSELR1	イベント出力先選択レジスタ1	00h	
06A02h	ELSELR2	イベント出力先選択レジスタ2	00h	
06A03h	ELSELR3	イベント出力先選択レジスタ3	00h	
06A04h	ELSELR4	イベント出力先選択レジスタ4	00h	
06A05h				
06A06h				
06A07h				
06A08h	ELSELR8	イベント出力先選択レジスタ8	00h	
06A09h	ELSELR9	イベント出力先選択レジスタ9	00h	
06A0Ah				
06A0Bh	ELSELR11	イベント出力先選択レジスタ11	00h	
06A0Ch	ELSELR12	イベント出力先選択レジスタ12	00h	
06A0Dh	ELSELR13	イベント出力先選択レジスタ13	00h	
06A0Eh	ELSELR14	イベント出力先選択レジスタ14	00h	
06A0Fh	ELSELR15	イベント出力先選択レジスタ15	00h	
06A10h	ELSELR16	イベント出力先選択レジスタ16	00h	
06A11h				
06A12h				
06A13h				
06A14h				
06A15h				
06A16h				
06A17h				
06A18h				
06A19h				
06A1Ah				
06A1Bh				
06A1Ch				
06A1Dh				
06A1Eh				
06A1Fh				
06A20h				
06A21h				
06A22h				
06A23h				
06A24h				
06A25h				
06A26h				
06A27h				
06A28h				
06A29h				
06A2Ah				
06A2Bh				
06A2Ch				
06A2Dh				
06A2Eh				
06A2Fh				
06A30h				
06A31h ~ 06AFFh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.12 SFR一覧(12)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06B00h	TSCUCR0	TSCU制御レジスタ0	0000h	
06B01h				
06B02h	TSCUCR1	TSCU制御レジスタ1	0000000000010000b	
06B03h				
06B04h	TSCUMR	TSCUモードレジスタ	0000000010000000b	
06B05h				
06B06h	TSCUTCROA	TSCUタイミグ制御レジスタ0A	0000000001111111b	
06B07h				
06B08h	TSCUTCROB	TSCUタイミグ制御レジスタ0B	0000000001111111b	
06B09h				
06B0Ah	TSCUTCRCR1	TSCUタイミグ制御レジスタ1	0000000000000001b	
06B0Bh				
06B0Ch	TSCUTCRCR2	TSCUタイミグ制御レジスタ2	0000h	
06B0Dh				
06B0Eh	TSCUTCRCR3	TSCUタイミグ制御レジスタ3	0000h	
06B0Fh				
06B10h	TSCUCHC	TSCUチャネル制御レジスタ	0011111100000000b	
06B11h				
06B12h	TSCUFR	TSCUフラグレジスタ	0000h	
06B13h				
06B14h	TSCUSTC	TSCUステータスカウンタレジスタ	0000h	
06B15h				
06B16h	TSCUSCS	TSCUセカンダリカウンタ設定レジスタ	00000000010000b	
06B17h				
06B18h	TSCUSCC	TSCUセカンダリカウンタレジスタ	00000000010000b	
06B19h				
06B1Ah	TSCUDBR	TSCUデータバッファレジスタ	0000h	
06B1Bh				
06B1Ch	TSCUPRC	TSCUプライマリカウンタレジスタ	0000h	
06B1Dh				
06B1Eh	TSCURVR0	TSCUランダム値格納レジスタ0	0000h	
06B1Fh				
06B20h	TSCURVR1	TSCUランダム値格納レジスタ1	0000h	
06B21h				
06B22h	TSCURVR2	TSCUランダム値格納レジスタ2	0000h	
06B23h				
06B24h	TSCURVR3	TSCUランダム値格納レジスタ3	0000h	
06B25h				
06B26h	TSIE0	TSCU入力許可レジスタ0	0000h	
06B27h				
06B28h	TSIE1	TSCU入力許可レジスタ1	0000h	
06B29h				
06B2Ah	TSIE2	TSCU入力許可レジスタ2	0000h	
06B2Bh				
06B2Ch	TSCHSEL0	TSCUCHXA選択レジスタ0	0000h	
06B2Dh				
06B2Eh	TSCHSEL1	TSCUCHXA選択レジスタ1	0000h	
06B2Fh				
06B30h	TSCHSEL2	TSCUCHXA選択レジスタ2	0000h	
06B31h				
06B32h				
06BFFh				
06C00h		DTC転送ベクタ0格納領域	XXh	
06C01h		DTC転送ベクタ1格納領域	XXh	
06C02h		DTC転送ベクタ2格納領域	XXh	
06C03h		DTC転送ベクタ3格納領域	XXh	
06C04h		DTC転送ベクタ4格納領域	XXh	
06C05h				
06C06h				
06C07h				
06C08h		DTC転送ベクタ8格納領域	XXh	
06C09h		DTC転送ベクタ9格納領域	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.13 SFR一覧 (13) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C0Ah		DTC転送ベクタ10格納領域	XXh	
06C0Bh		DTC転送ベクタ11格納領域	XXh	
06C0Ch		DTC転送ベクタ12格納領域	XXh	
06C0Dh		DTC転送ベクタ13格納領域	XXh	
06C0Eh		DTC転送ベクタ14格納領域	XXh	
06C0Fh		DTC転送ベクタ15格納領域	XXh	
06C10h		DTC転送ベクタ16格納領域	XXh	
06C11h		DTC転送ベクタ17格納領域	XXh	
06C12h		DTC転送ベクタ18格納領域	XXh	
06C13h		DTC転送ベクタ19格納領域	XXh	
06C14h				
06C15h				
06C16h		DTC転送ベクタ22格納領域	XXh	
06C17h		DTC転送ベクタ23格納領域	XXh	
06C18h		DTC転送ベクタ24格納領域	XXh	
06C19h		DTC転送ベクタ25格納領域	XXh	
06C1Ah				
06C1Bh				
06C1Ch				
06C1Dh				
06C1Eh				
06C1Fh				
06C20h				
06C21h				
06C22h				
06C23h				
06C24h				
06C25h				
06C26h				
06C27h				
06C28h				
06C29h				
06C2Ah		DTC転送ベクタ42格納領域	XXh	
06C2Bh				
06C2Ch				
06C2Dh				
06C2Eh				
06C2Fh				
06C30h				
06C31h		DTC転送ベクタ49格納領域	XXh	
06C32h				
06C33h		DTC転送ベクタ51格納領域	XXh	
06C34h		DTC転送ベクタ52格納領域	XXh	
06C35h		DTC転送ベクタ53格納領域	XXh	
06C36h		DTC転送ベクタ54格納領域	XXh	
06C37h				
06C38h				
06C39h				
06C3Ah				
06C3Bh				
06C3Ch				
06C3Dh				
06C3Eh				
06C3Fh				
06C40h	DTCCR0	DTC制御レジスタ0	XXh	
06C41h	DTBLS0	DTCブロックサイズレジスタ0	XXh	
06C42h	DTCCT0	DTC転送回数レジスタ0	XXh	
06C43h	DTRL0	DTC転送回数リロードレジスタ0	XXh	
06C44h	DTSAR0	DTCソースアドレスレジスタ0	XXXXh	
06C45h				
06C46h	DTDAR0	DTCデスティネーションアドレスレジスタ0	XXXXh	
06C47h				
06C48h	DTCCR1	DTC制御レジスタ1	XXh	
06C49h	DTBLS1	DTCブロックサイズレジスタ1	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.14 SFR一覧(14)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C4Ah	DTCC1	DTC転送回数レジスタ1	XXh	
06C4Bh	DTRLD1	DTC転送回数リロードレジスタ1	XXh	
06C4Ch	DTSAR1	DTCソースアドレスレジスタ1	XXXXh	
06C4Dh				
06C4Eh	DTDAR1	DTCデスティネーションアドレスレジスタ1	XXXXh	
06C4Fh				
06C50h	DTCCR2	DTC制御レジスタ2	XXh	
06C51h	DTBLS2	DTCブロックサイズレジスタ2	XXh	
06C52h	DTCC2	DTC転送回数レジスタ2	XXh	
06C53h	DTRLD2	DTC転送回数リロードレジスタ2	XXh	
06C54h	DTSAR2	DTCソースアドレスレジスタ2	XXXXh	
06C55h				
06C56h	DTDAR2	DTCデスティネーションアドレスレジスタ2	XXXXh	
06C57h				
06C58h	DTCCR3	DTC制御レジスタ3	XXh	
06C59h	DTBLS3	DTCブロックサイズレジスタ3	XXh	
06C5Ah	DTCC3	DTC転送回数レジスタ3	XXh	
06C5Bh	DTRLD3	DTC転送回数リロードレジスタ3	XXh	
06C5Ch	DTSAR3	DTCソースアドレスレジスタ3	XXXXh	
06C5Dh				
06C5Eh	DTDAR3	DTCデスティネーションアドレスレジスタ3	XXXXh	
06C5Fh				
06C60h	DTCCR4	DTC制御レジスタ4	XXh	
06C61h	DTBLS4	DTCブロックサイズレジスタ4	XXh	
06C62h	DTCC4	DTC転送回数レジスタ4	XXh	
06C63h	DTRLD4	DTC転送回数リロードレジスタ4	XXh	
06C64h	DTSAR4	DTCソースアドレスレジスタ4	XXXXh	
06C65h				
06C66h	DTDAR4	DTCデスティネーションアドレスレジスタ4	XXXXh	
06C67h				
06C68h	DTCCR5	DTC制御レジスタ5	XXh	
06C69h	DTBLS5	DTCブロックサイズレジスタ5	XXh	
06C6Ah	DTCC5	DTC転送回数レジスタ5	XXh	
06C6Bh	DTRLD5	DTC転送回数リロードレジスタ5	XXh	
06C6Ch	DTSAR5	DTCソースアドレスレジスタ5	XXXXh	
06C6Dh				
06C6Eh	DTDAR5	DTCデスティネーションアドレスレジスタ5	XXXXh	
06C6Fh				
06C70h	DTCCR6	DTC制御レジスタ6	XXh	
06C71h	DTBLS6	DTCブロックサイズレジスタ6	XXh	
06C72h	DTCC6	DTC転送回数レジスタ6	XXh	
06C73h	DTRLD6	DTC転送回数リロードレジスタ6	XXh	
06C74h	DTSAR6	DTCソースアドレスレジスタ6	XXXXh	
06C75h				
06C76h	DTDAR6	DTCデスティネーションアドレスレジスタ6	XXXXh	
06C77h				
06C78h	DTCCR7	DTC制御レジスタ7	XXh	
06C79h	DTBLS7	DTCブロックサイズレジスタ7	XXh	
06C7Ah	DTCC7	DTC転送回数レジスタ7	XXh	
06C7Bh	DTRLD7	DTC転送回数リロードレジスタ7	XXh	
06C7Ch	DTSAR7	DTCソースアドレスレジスタ7	XXXXh	
06C7Dh				
06C7Eh	DTDAR7	DTCデスティネーションアドレスレジスタ7	XXXXh	
06C7Fh				
06C80h	DTCCR8	DTC制御レジスタ8	XXh	
06C81h	DTBLS8	DTCブロックサイズレジスタ8	XXh	
06C82h	DTCC8	DTC転送回数レジスタ8	XXh	
06C83h	DTRLD8	DTC転送回数リロードレジスタ8	XXh	
06C84h	DTSAR8	DTCソースアドレスレジスタ8	XXXXh	
06C85h				
06C86h	DTDAR8	DTCデスティネーションアドレスレジスタ8	XXXXh	
06C87h				
06C88h	DTCCR9	DTC制御レジスタ9	XXh	
06C89h	DTBLS9	DTCブロックサイズレジスタ9	XXh	
06C8Ah	DTCC9	DTC転送回数レジスタ9	XXh	
06C8Bh	DTRLD9	DTC転送回数リロードレジスタ9	XXh	
06C8Ch	DTSAR9	DTCソースアドレスレジスタ9	XXXXh	
06C8Dh				
06C8Eh	DTDAR9	DTCデスティネーションアドレスレジスタ9	XXXXh	
06C8Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.15 SFR一覧 (15) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C90h	DTCCR10	DTC制御レジスタ 10	XXh	
06C91h	DTBLS10	DTCブロックサイズレジスタ 10	XXh	
06C92h	DTCCT10	DTC転送回数レジスタ 10	XXh	
06C93h	DTRLD10	DTC転送回数リロードレジスタ 10	XXh	
06C94h	DTSAR10	DTCソースアドレスレジスタ 10	XXXXh	
06C95h				
06C96h	DTDAR10	DTCデスティネーションアドレスレジスタ 10	XXXXh	
06C97h				
06C98h	DTCCR11	DTC制御レジスタ 11	XXh	
06C99h	DTBLS11	DTCブロックサイズレジスタ 11	XXh	
06C9Ah	DTCCT11	DTC転送回数レジスタ 11	XXh	
06C9Bh	DTRLD11	DTC転送回数リロードレジスタ 11	XXh	
06C9Ch	DTSAR11	DTCソースアドレスレジスタ 11	XXXXh	
06C9Dh				
06C9Eh	DTDAR11	DTCデスティネーションアドレスレジスタ 11	XXXXh	
06C9Fh				
06CA0h	DTCCR12	DTC制御レジスタ 12	XXh	
06CA1h	DTBLS12	DTCブロックサイズレジスタ 12	XXh	
06CA2h	DTCCT12	DTC転送回数レジスタ 12	XXh	
06CA3h	DTRLD12	DTC転送回数リロードレジスタ 12	XXh	
06CA4h	DTSAR12	DTCソースアドレスレジスタ 12	XXXXh	
06CA5h				
06CA6h	DTDAR12	DTCデスティネーションアドレスレジスタ 12	XXXXh	
06CA7h				
06CA8h	DTCCR13	DTC制御レジスタ 13	XXh	
06CA9h	DTBLS13	DTCブロックサイズレジスタ 13	XXh	
06CAAh	DTCCT13	DTC転送回数レジスタ 13	XXh	
06CABh	DTRLD13	DTC転送回数リロードレジスタ 13	XXh	
06CACH	DTSAR13	DTCソースアドレスレジスタ 13	XXXXh	
06CADh				
06CAEh	DTDAR13	DTCデスティネーションアドレスレジスタ 13	XXXXh	
06CAFh				
06CB0h	DTCCR14	DTC制御レジスタ 14	XXh	
06CB1h	DTBLS14	DTCブロックサイズレジスタ 14	XXh	
06CB2h	DTCCT14	DTC転送回数レジスタ 14	XXh	
06CB3h	DTRLD14	DTC転送回数リロードレジスタ 14	XXh	
06CB4h	DTSAR14	DTCソースアドレスレジスタ 14	XXXXh	
06CB5h				
06CB6h	DTDAR14	DTCデスティネーションアドレスレジスタ 14	XXXXh	
06CB7h				
06CB8h	DTCCR15	DTC制御レジスタ 15	XXh	
06CB9h	DTBLS15	DTCブロックサイズレジスタ 15	XXh	
06CBAh	DTCCT15	DTC転送回数レジスタ 15	XXh	
06CBBh	DTRLD15	DTC転送回数リロードレジスタ 15	XXh	
06CBCh	DTSAR15	DTCソースアドレスレジスタ 15	XXXXh	
06CBDh				
06CBEh	DTDAR15	DTCデスティネーションアドレスレジスタ 15	XXXXh	
06CBFh				
06CC0h	DTCCR16	DTC制御レジスタ 16	XXh	
06CC1h	DTBLS16	DTCブロックサイズレジスタ 16	XXh	
06CC2h	DTCCT16	DTC転送回数レジスタ 16	XXh	
06CC3h	DTRLD16	DTC転送回数リロードレジスタ 16	XXh	
06CC4h	DTSAR16	DTCソースアドレスレジスタ 16	XXXXh	
06CC5h				
06CC6h	DTDAR16	DTCデスティネーションアドレスレジスタ 16	XXXXh	
06CC7h				
06CC8h	DTCCR17	DTC制御レジスタ 17	XXh	
06CC9h	DTBLS17	DTCブロックサイズレジスタ 17	XXh	
06CCAh	DTCCT17	DTC転送回数レジスタ 17	XXh	
06CCBh	DTRLD17	DTC転送回数リロードレジスタ 17	XXh	
06CCCh	DTSAR17	DTCソースアドレスレジスタ 17	XXXXh	
06CCDh				
06CCEh	DTDAR17	DTCデスティネーションアドレスレジスタ 17	XXXXh	
06CCFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.16 SFR一覧(16)(注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06CD0h	DTCCR18	DTC制御レジスタ18	XXh	
06CD1h	DTBLS18	DTCブロックサイズレジスタ18	XXh	
06CD2h	DTCCT18	DTC転送回数レジスタ18	XXh	
06CD3h	DTRLD18	DTC転送回数リロードレジスタ18	XXh	
06CD4h	DTSAR18	DTCソースアドレスレジスタ18	XXXXh	
06CD5h				
06CD6h	DTDAR18	DTCデスティネーションアドレスレジスタ18	XXXXh	
06CD7h				
06CD8h	DTCCR19	DTC制御レジスタ19	XXh	
06CD9h	DTBLS19	DTCブロックサイズレジスタ19	XXh	
06CDAh	DTCCT19	DTC転送回数レジスタ19	XXh	
06CDBh	DTRLD19	DTC転送回数リロードレジスタ19	XXh	
06CDCh	DTSAR19	DTCソースアドレスレジスタ19	XXXXh	
06CDDh				
06CDEh	DTDAR19	DTCデスティネーションアドレスレジスタ19	XXXXh	
06CDFh				
06CE0h	DTCCR20	DTC制御レジスタ20	XXh	
06CE1h	DTBLS20	DTCブロックサイズレジスタ20	XXh	
06CE2h	DTCCT20	DTC転送回数レジスタ20	XXh	
06CE3h	DTRLD20	DTC転送回数リロードレジスタ20	XXh	
06CE4h	DTSAR20	DTCソースアドレスレジスタ20	XXXXh	
06CE5h				
06CE6h	DTDAR20	DTCデスティネーションアドレスレジスタ20	XXXXh	
06CE7h				
06CE8h	DTCCR21	DTC制御レジスタ21	XXh	
06CE9h	DTBLS21	DTCブロックサイズレジスタ21	XXh	
06CEAh	DTCCT21	DTC転送回数レジスタ21	XXh	
06CEBh	DTRLD21	DTC転送回数リロードレジスタ21	XXh	
06CECh	DTSAR21	DTCソースアドレスレジスタ21	XXXXh	
06CEDh				
06CEEh	DTDAR21	DTCデスティネーションアドレスレジスタ21	XXXXh	
06CEFh				
06CF0h	DTCCR22	DTC制御レジスタ22	XXh	
06CF1h	DTBLS22	DTCブロックサイズレジスタ22	XXh	
06CF2h	DTCCT22	DTC転送回数レジスタ22	XXh	
06CF3h	DTRLD22	DTC転送回数リロードレジスタ22	XXh	
06CF4h	DTSAR22	DTCソースアドレスレジスタ22	XXXXh	
06CF5h				
06CF6h	DTDAR22	DTCデスティネーションアドレスレジスタ22	XXXXh	
06CF7h				
06CF8h	DTCCR23	DTC制御レジスタ23	XXh	
06CF9h	DTBLS23	DTCブロックサイズレジスタ23	XXh	
06CFAh	DTCCT23	DTC転送回数レジスタ23	XXh	
06CFBh	DTRLD23	DTC転送回数リロードレジスタ23	XXh	
06CFCh	DTSAR23	DTCソースアドレスレジスタ23	XXXXh	
06CFDh				
06CFEh	DTDAR23	DTCデスティネーションアドレスレジスタ23	XXXXh	
06CFFh				
06D00h				
~				
06FFFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.17 IDコード領域、オプション機能選択領域

アドレス	シンボル	領域名	リセット後の値	備考
0FFDBh	OFS2	オプション機能選択レジスタ2	(注1)	
0FFDFh	ID1		(注2)	
0FFE3h	ID2		(注2)	
0FFEBh	ID3		(注2)	
0FFEFh	ID4		(注2)	
0FFF3h	ID5		(注2)	
0FFF7h	ID6		(注2)	
0FFFBh	ID7		(注2)	
0FFFFh	OFS	オプション機能選択レジスタ	(注1)	

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はFFhになります。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域はFFhになります。

4. バスアクセス

4.1 バスアクセス

ROM、RAM、DTCベクタ領域、DTCコントロールデータ、およびSFRは、アクセス領域によりアクセス時のバスサイクルが異なります。また、ROMとSFRについては、CPUクロックの周波数により、アクセスサイクル数の制約が異なるため、制御レジスタ(プロセッサモードレジスタ(PM1)、フラッシュ制御レジスタ(FMR2))によるアクセスサイクル数の設定が必要です。

表4.1にR8C/38T-Aグループ(データフラッシュありの場合)の各アクセス領域に対するデータバス幅、バスサイクルを示します。

SFRの一部とデータフラッシュは、8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。

表4.1 アクセス領域に対するデータバス幅、バスサイクル(CPUクロック \leq 20 MHz)

アクセス対象	バス幅(bit)	ウェイトサイクル数	アクセスサイクル数		
			バイトアクセス	ワードアクセス (偶数番地)	ワードアクセス (奇数番地)
SFR (00002h~0003Fh)	8	1ウェイト	2	4	4
SFR(注1) (00002h~0003Fh以外)	16	1ウェイト	2	2	4
RAM	16	0ウェイト	1	1	2
データフラッシュ	8	1ウェイト	2	4	4
プログラムROM	16	0ウェイト	1	1	2

注1. 以下のステータスレジスタへのライトサイクルは、3ウェイトになります。

SSU/IIC : SISR

タイマRC : TRCSR

SSU/IICのSITDRレジスタへのライトサイクルは、3ウェイトになります。

ただし、DTCアクセスによるSITDRレジスタへのライトは、1ウェイトとなります。

5. システム制御

5.1 概要

本章ではレジスタアクセスプロテクト機能やオプション機能などに関するシステム共通の制御に関して説明します。

5.2 レジスタの説明

表5.1にシステム制御のレジスタ構成を示します。

表5.1 システム制御のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
プロセッサモードレジスタ0	PM0	00h	00004h	8
プロセッサモードレジスタ1	PM1	10000000b	00005h	8
プロテクトレジスタ	PRCR	00h	00007h	8
オプション機能選択レジスタ2	OFS2	(注1)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注2)	0FFFFh	8

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。

注2. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

5.2.1 プロセッサモードレジスタ0 (PM0)

アドレス 00004h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PM03	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	PM03	ソフトウェアリセットビット	0 : 状態保持 1 : リセット発生	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、PM0レジスタを書き換えてください。

PM03ビット(ソフトウェアリセットビット)

PM03ビットを1にすると、マイクロコンピュータ全体がリセットされます。読んだ場合、その値は0です。

5.2.2 プロセッサモードレジスタ1 (PM1)

アドレス	00005h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PM17	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	PM17	バスサイクルウェイトビット	0: 周辺ウェイトサイクル1ウェイト 1: 周辺ウェイトサイクル追加	R/W

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、PM1レジスタを書き換えてください。

5.2.3 プロテクトレジスタ (PRCR)

アドレス	00007h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	0: 禁止	R/W
b1	PRC1	プロテクトビット1	1: 許可(注1)	R/W
b2	PRC2	プロテクトビット2	0: 禁止 1: 許可(注2)	R/W
b3	PRC3	プロテクトビット3	0: 禁止 1: 許可(注1)	R/W
b4	—	予約ビット	0にしてください	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

注1. 一度1にすると、プログラムで0にするまで書き込み許可を継続します。

注2. PRC2ビットを1(書き込み許可)にした後、SFR領域に書き込むと0になります。PRC2ビットで保護されるレジスタは、PRC2ビットを1にした次の命令で変更してください。なお、PRC2ビットを1にする命令と次の命令の間に、割り込みやDTC起動が実行されないようにしてください。

PRC0ビット(プロテクトビット0)

CM0、CM1、CM3、CM4、OCD、FRA0、FRA2、CPSRFレジスタへの書き込みの許可/禁止を制御します。

PRC1ビット(プロテクトビット1)

PM0、PM1レジスタへの書き込みの許可/禁止を制御します。

PRC2ビット(プロテクトビット2)

PD0レジスタへの書き込みの許可/禁止を制御します。

PRC3ビット(プロテクトビット3)

OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C、SVDCレジスタへの書き込みの許可/禁止を制御します。

5.2.4 オプション機能選択レジスタ2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25 % 0 1 : 50 % 1 0 : 75 % 1 1 : 100 %	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	1にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。ブランク出荷品の出荷時、OFS2レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0～WDTRCS1ビット

(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

5.2.5 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V 選択 (Vdet0_3) 0 1 : 2.85 V 選択 (Vdet0_2) 1 0 : 2.35 V 選択 (Vdet0_1) 1 1 : 1.90 V 選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

5.3 IDコード領域

5.3.1 概要

IDコード領域は、固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFEb、0FFEf、0FFF3h、0FFF7h、0FFFBh番地です。

図5.1にIDコード領域を示します。

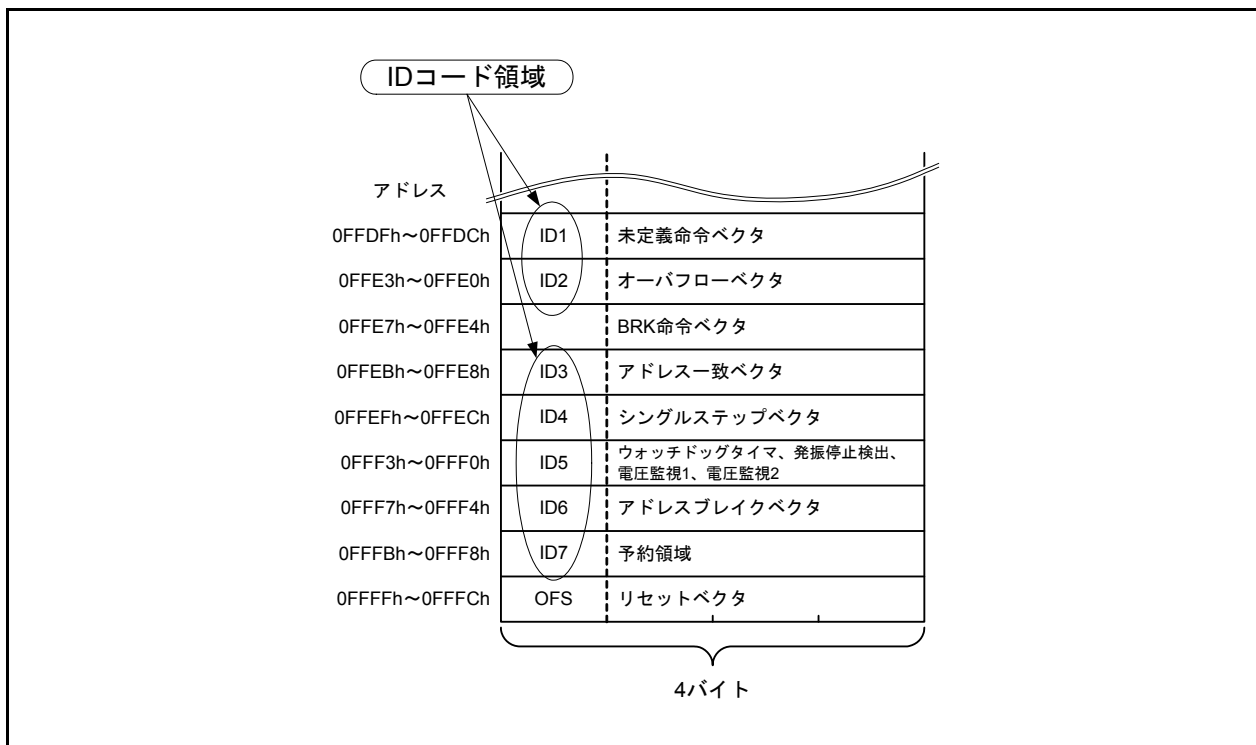


図5.1 IDコード領域

5.3.2 機能

IDコード領域は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh~0FFFEh番地)がFFFFFFhの場合と、FFFFFFhでない場合で動作が異なります。

標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh~0FFFEh番地)がFFFFFFhではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh~0FFFEh番地)がFFFFFFhの場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードのALeRASEになる組み合わせは、強制イレーズ機能で使用する予約語です。また、Protectになる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。

表5.2にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表5.2と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表5.2 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE (強制イレーズ機能)	Protect (標準シリアル入出力モード禁止機能)
0FFDFh	ID1	41h : A (大文字)	50h : P (大文字)
0FFE3h	ID2	4Ch : L (大文字)	72h : r (小文字)
0FFEbH	ID3	65h : e (小文字)	6Fh : o (小文字)
0FFEfH	ID4	52h : R (大文字)	74h : t (小文字)
0FFF3h	ID5	41h : A (大文字)	65h : e (小文字)
0FFF7h	ID6	53h : S (大文字)	63h : c (小文字)
0FFFBh	ID7	45h : E (大文字)	74h : t (小文字)

注1. IDコード格納番地のアドレスとデータがすべて表5.2と一致する場合が予約語です。

5.3.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードのALeRASEの場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードのALeRASE以外(「表5.2 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが1、ROMCP1ビットが0(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表5.3に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードのALeRASEにしておくと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードがALeRASEならばユーザROM領域を消し、ALeRASE以外ならばIDが一致せず、コマンドを受け付けないので、ユーザROM領域を操作できません。

表5.3 強制イレーズ機能の条件と動作

シリアルライターやオンチップデバッグエミュレータから送られてくるIDコード	条件		動作
	IDコード格納番地のIDコード	OFSレジスタのROMCP1~ROMCRビット	
ALeRASE	ALeRASE	—	ユーザROM領域をすべて消去 (強制イレーズ機能)
	ALeRASE以外 (注1)	01b以外 (ROMコードプロテクト解除)	
ALeRASE以外	ALeRASE	—	IDコードの判定 (IDコードチェック機能、 IDコード不一致)
	ALeRASE以外 (注1)	—	

注1. Protectの場合は「5.3.4 標準シリアル入出力モード禁止機能」を参照してください。

5.3.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードのProtectになる組み合わせ(「表5.2 IDコードの予約語」参照)の場合、シリアルライターやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライターやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードをProtectになる組み合わせにし、かつ、OFSレジスタのROMCRビットを1、ROMCP1ビットを0(ROMコードプロテクト有効)にしている場合は、シリアルライターやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライターやオンチップデバッグエミュレータでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

5.3.5 IDコード領域使用上の注意(設定例)

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに55hを設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy                  ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; ADDRESS BREAK
.lword dummy | (55000000h)    ; RESERVE
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

5.4 プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCRレジスタが保護するレジスタは次のとおりです。

表5.4 PRCRレジスタの各ビットと保護されるレジスタ一覧

ビット	保護されるレジスタ
PRC0	CM0、CM1、CM3、CM4、OCD、FRA0、FRA2、CPSRFレジスタ
PRC1	PM0、PM1レジスタ
PRC2	PD0レジスタ
PRC3	OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C、SVDCレジスタ

5.5 オプション機能選択領域

5.5.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地、および0FFDBh番地がオプション機能選択領域です。

図5.2にオプション機能選択領域を示します。

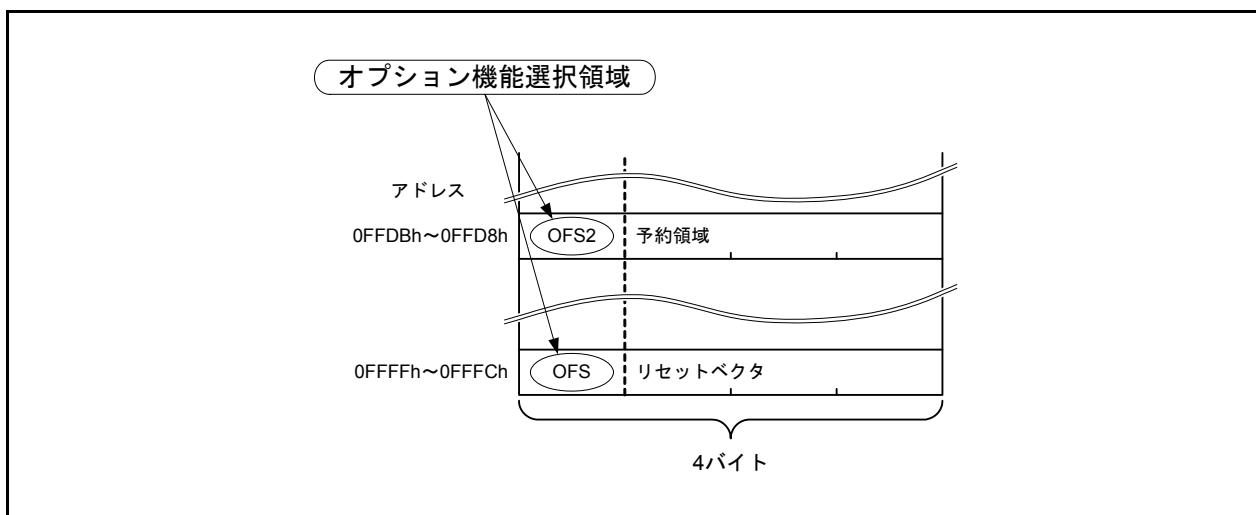


図5.2 オプション機能選択領域

5.6 システム制御使用上の注意事項

5.6.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS2レジスタにFFhを設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

- OFSレジスタにFFhを設定する場合

```
.org 00FFFCB
```

```
.lword reset | (0FF00000h) ; RESET
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

6. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧検出回路による電圧監視0リセット、ウォッチドッグタイマリセット、およびソフトウェアリセットがあります。

6.1 概要

表6.1にリセットの名称と要因を、図6.1にリセット回路のブロック図を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子にLレベルが入力されたとき
パワーオンリセット	電源VCCが投入されたとき
電圧監視0リセット	電源VCCがVdet0以下に低下し、電圧検出回路0によりこれを検知したとき
ウォッチドッグタイマリセット	ウォッチドッグタイマがアンダフローしたとき
ソフトウェアリセット	プログラムにより、PM0レジスタのPM03ビットに1を書いたとき

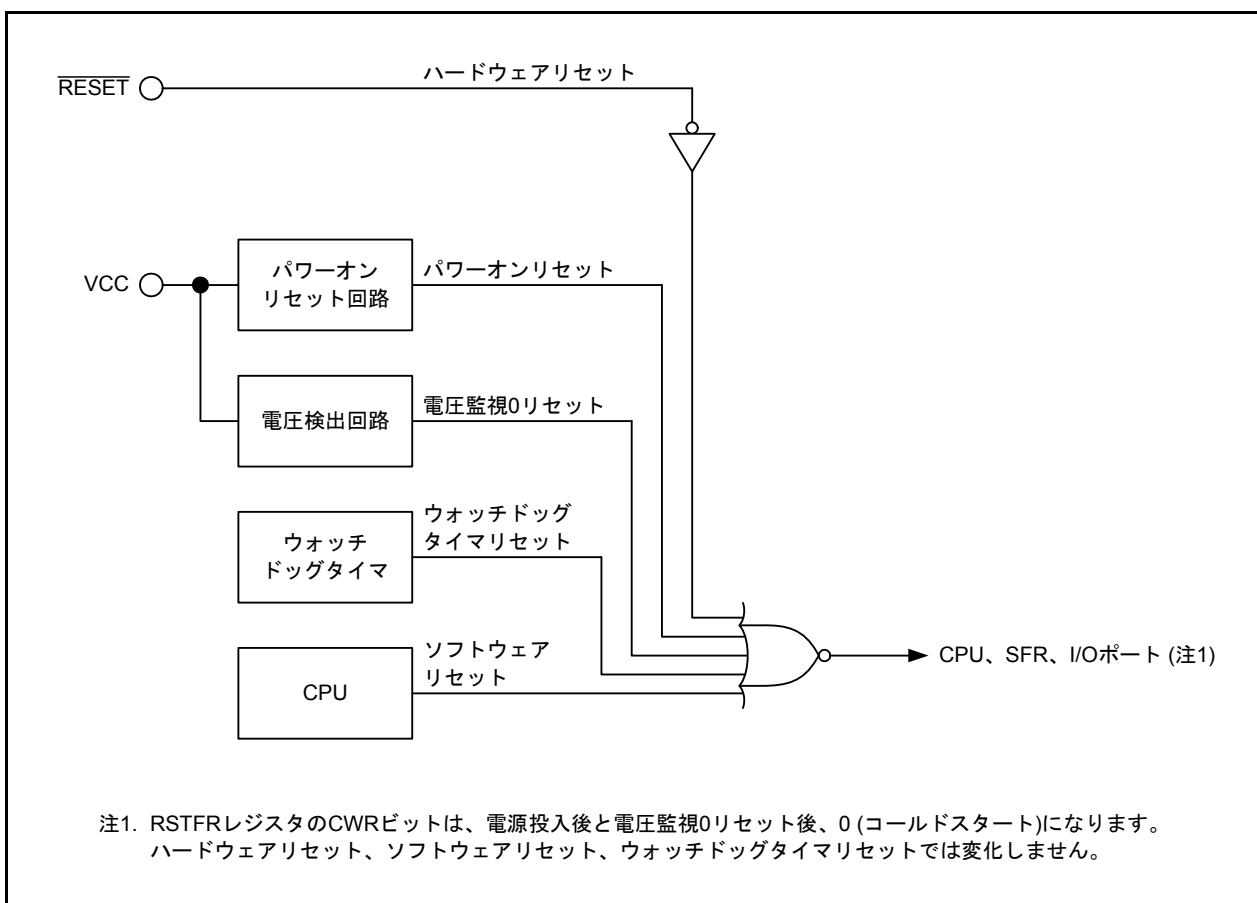


図6.1 リセット回路のブロック図

6.2 レジスタの説明

表6.2にリセットのレジスタ構成を示します。

表6.2 リセットのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
プロセッサモードレジスタ0	PM0	00h	00004h	8
リセット要因判別レジスタ	RSTFR	00XXXXXXb	00028h	8
オプション機能選択レジスタ2	OFS2	(注1)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注2)	0FFFFh	8

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。

注2. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

6.2.1 プロセッサモードレジスタ0 (PM0)

アドレス 00004h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PM03	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	PM03	ソフトウェアリセットビット	0 : 状態保持 1 : リセット発生	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、PM0レジスタを書き換えてください。

PM03ビット(ソフトウェアリセットビット)

PM03ビットを1にすると、マイクロコンピュータ全体がリセットされます。読んだ場合、その値は0です。

6.2.2 リセット要因判別レジスタ (RSTFR)

アドレス	00028h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDR	SWR	HWR	CWR
リセット後の値	0	0	X	X	X	X	X	X (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート/ウォームスタート判定フラグ(注2、3)	0: コールドスタート 1: ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ	0: 未検出 1: 検出	R
b2	SWR	ソフトウェアリセット検出フラグ		R
b3	WDR	ウォッチドッグタイマリセット検出フラグ		R
b4	—	予約ビット	読んだ場合、その値は不定。	R
b5	—			
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

注1. CWRビットは電源投入後と、電圧監視0リセット後、0(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWRビットはプログラムで1を書くと1になります。(0を書いても変化しません。)

注3. VW0CレジスタのVW0C0ビットが0(電圧監視0リセット禁止)のとき、CWRビットは不定です。

6.2.3 オプション機能選択レジスタ2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25 % 0 1 : 50 % 1 0 : 75 % 1 1 : 100 %	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	1にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。ブランク出荷品の出荷時、OFS2レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0～WDTRCS1ビット

(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

6.2.4 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V 選択 (Vdet0_3) 0 1 : 2.85 V 選択 (Vdet0_2) 1 0 : 2.35 V 選択 (Vdet0_1) 1 1 : 1.90 V 選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

6.3 動作説明

6.3.1 リセットシーケンス

図6.2にハードウェアリセットを例にしてリセットシーケンスを示します。内部リセット信号が解除されると所定時間経過後リセットベクタ(0FFFCh～0FFFEh番地)からCPUは動作を開始します。

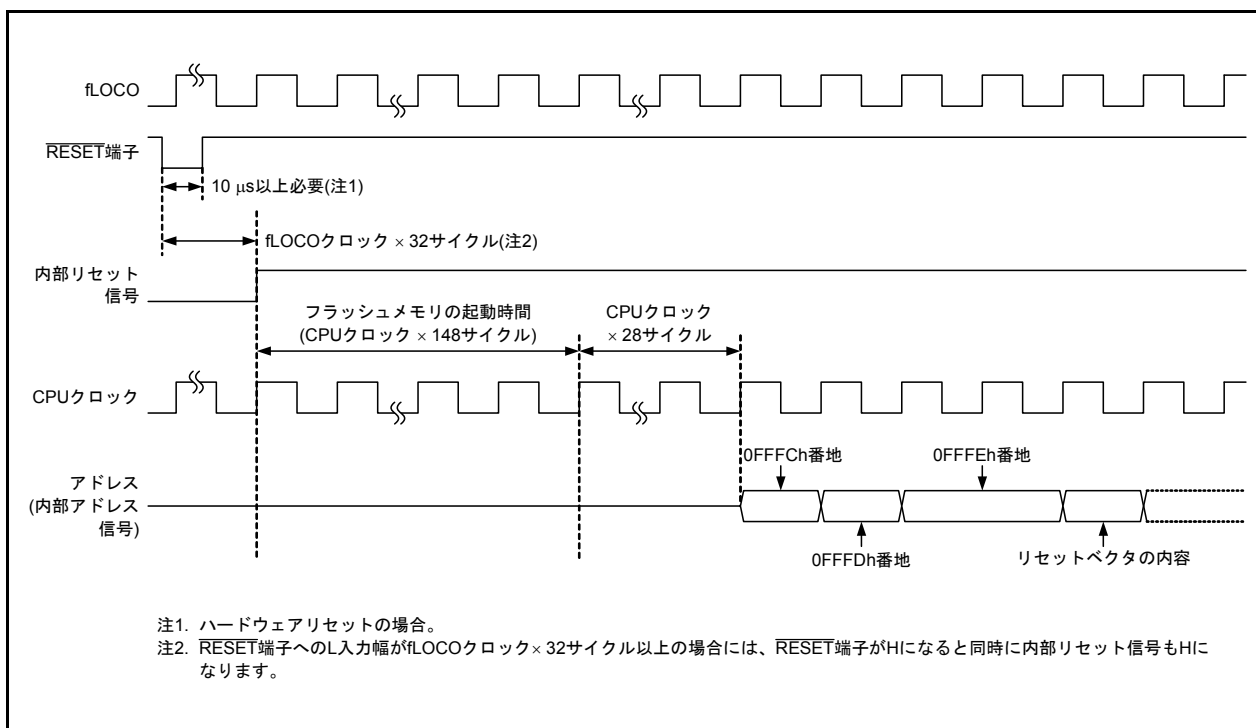


図6.2 リセットシーケンス

6.3.2 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子にLを入力するとCPU、SFR、I/Oポートが初期化されます(「表 6.3 $\overline{\text{RESET}}$ 端子のレベルがLの期間の端子の状態」、[「図 6.8 リセット後のCPUレジスタの状態」](#)、および「表 3.1～表 3.16 SFR一覧」参照)。

$\overline{\text{RESET}}$ 端子の入力レベルをLからHにすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「3.2 SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中に $\overline{\text{RESET}}$ 端子がLになると、内部RAMは不定となります。

図 6.3 にハードウェアリセット回路例と動作を、図 6.4 にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

6.3.2.1 電源が安定している場合

- (1) $\overline{\text{RESET}}$ 端子にLを入力する
- (2) $10\mu\text{s}$ 待つ
- (3) $\overline{\text{RESET}}$ 端子にHを入力する

6.3.2.2 電源投入時

- (1) $\overline{\text{RESET}}$ 端子にLを入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ(「28. 電気的特性」参照)
- (4) $10\mu\text{s}$ 待つ
- (5) $\overline{\text{RESET}}$ 端子にHを入力する

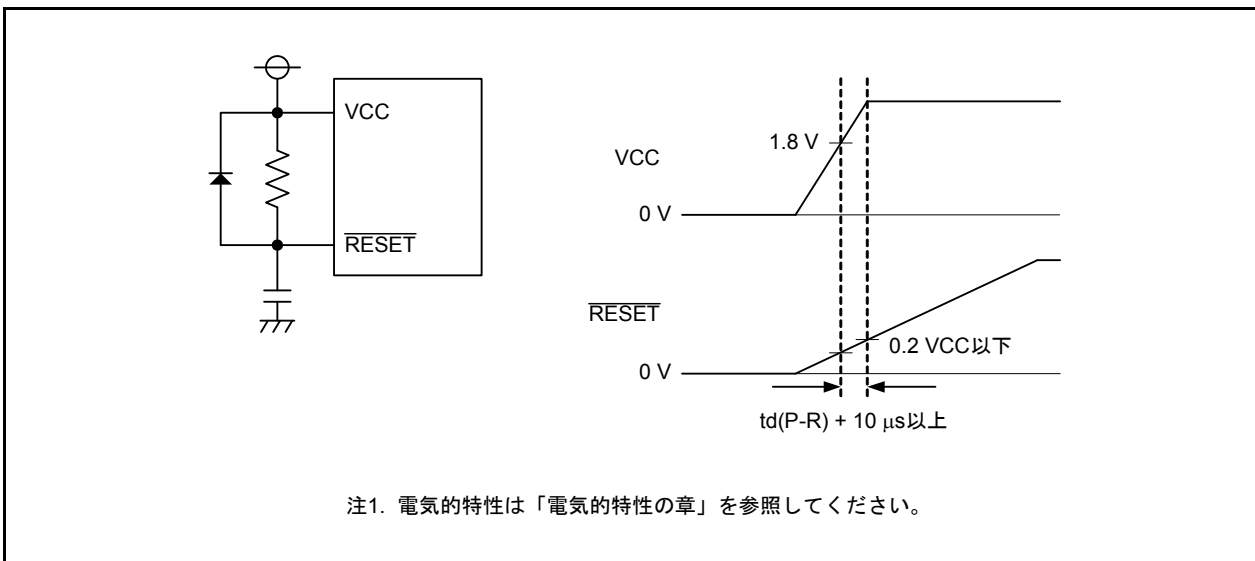


図6.3 ハードウェアリセット回路例と動作

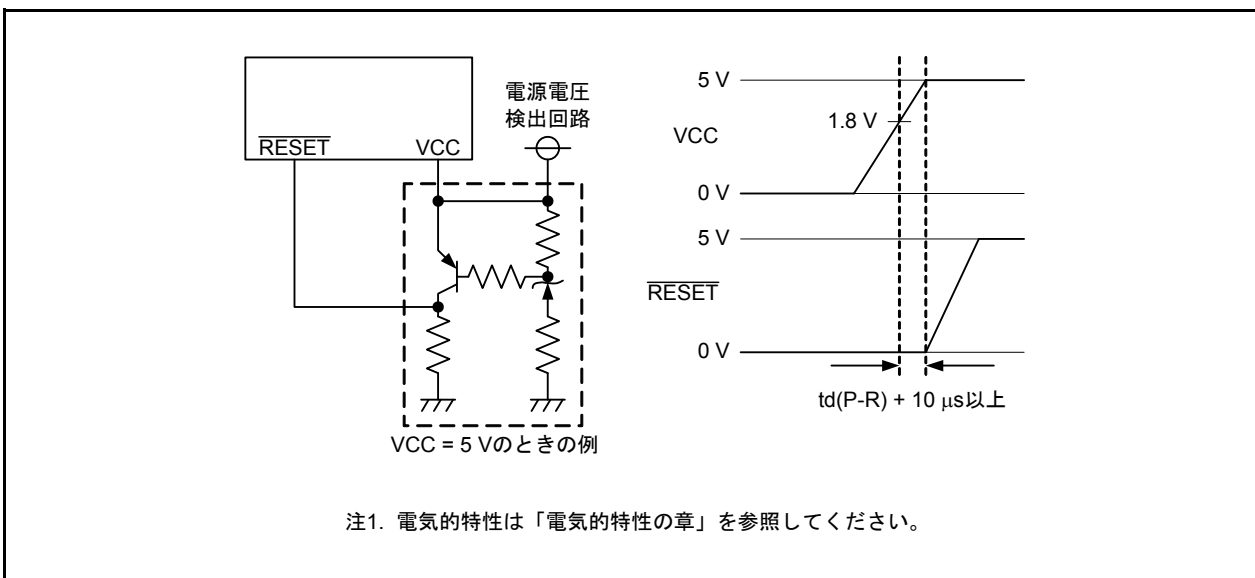


図6.4 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

6.3.3 パワーオンリセット

抵抗を通して $\overline{\text{RESET}}$ 端子をVCCに接続し、VCCを立ち上げるとパワーオンリセットが有効になり、CPU、SFR、I/Oポートが初期化されます。 $\overline{\text{RESET}}$ 端子にコンデンサを接続する場合も、 $\overline{\text{RESET}}$ 端子の電圧が常に0.8 VCC以上になるようにご注意ください。

VCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号がHになり、リセットシーケンス(図6.2参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「3.2 SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを0にして、電圧監視0リセットを有効にしてください。

図6.5にパワーオンリセット回路例と動作を示します。

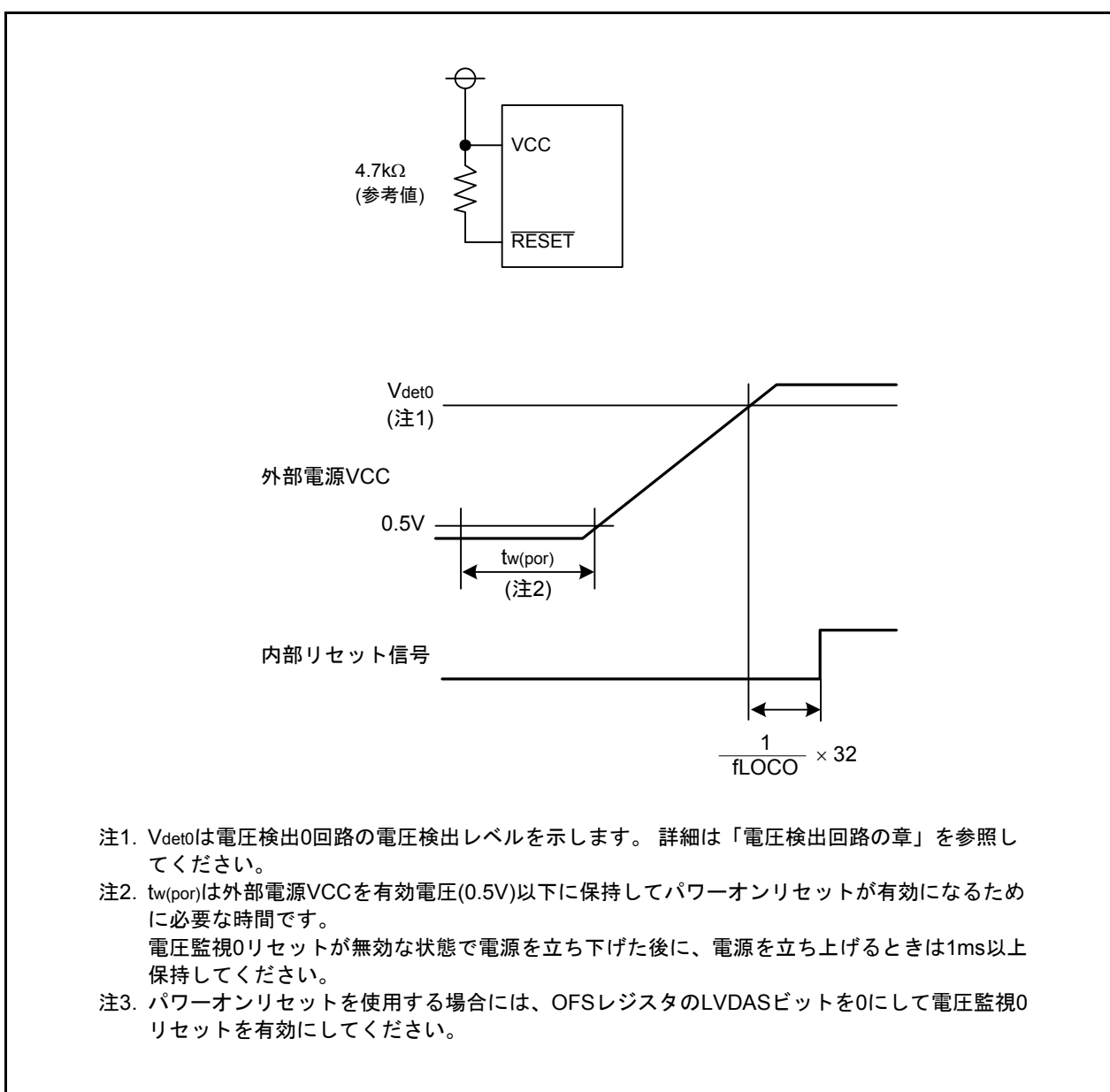


図6.5 パワーオンリセット回路例と動作

6.3.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0、VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になるとCPU、SFR、I/Oポートが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号がHになり、リセットシーケンス(図6.2参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、LVDASビットを0にして電圧監視0リセットを有効にしてください。

VDSEL0、VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書いてください。

OFSレジスタの詳細は「6.2.4 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「3.2 SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「7. 電圧検出回路」を参照してください。

図6.6に電圧監視0リセット回路例と動作を示します。

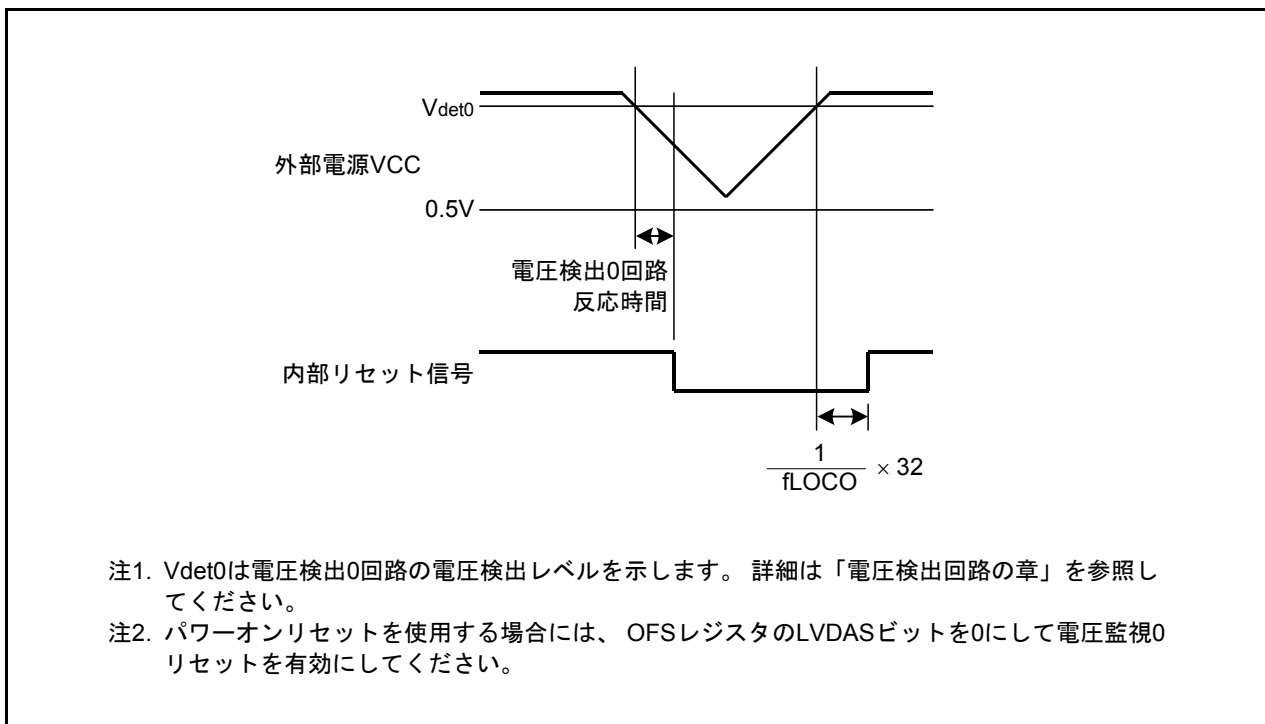


図6.6 電圧監視0リセット回路例と動作

6.3.5 ウォッチドッグタイマリセット

RISRレジスタのRISビットが1(ウォッチドッグタイマリセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータはCPU、SFR、I/Oポートを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「3.2 SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0、WDTUFS1ビット、WDTRCS0、WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「8. ウォッチドッグタイマ」を参照してください。

6.3.6 ソフトウェアリセット

PM0レジスタのPM03ビットを1(マイクロコンピュータをリセット)にするとマイクロコンピュータはCPU、SFR、I/Oポートを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「3.2 SFR」を参照してください。

内部RAMは初期化されません。

6.3.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時0(コールドスタート)です。また、電圧監視0リセットでも0になります。CWRビットはプログラムで1を書くと1になり、ハードウェアリセット、ソフトウェアリセット、およびウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図6.7にコールドスタート/ウォームスタート判定機能の動作例を示します。

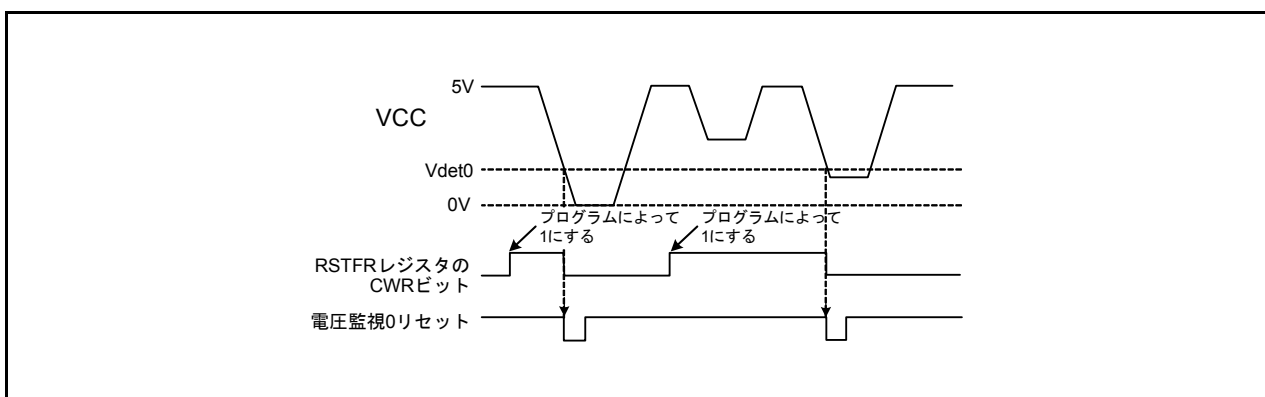


図6.7 コールドスタート/ウォームスタート判定機能の動作例

6.3.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセット、およびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、RSTFRレジスタのHWRビットが1(検出)になります。ソフトウェアリセットが発生すると、RSTFRレジスタのSWRビットが1(検出)になります。ウォッチドッグタイマリセットが発生すると、RSTFRレジスタのWDRビットが1(検出)になります。

6.4 リセット時の状態

6.4.1 $\overline{\text{RESET}}$ 端子のレベルがLの期間の端子の状態

表6.3に $\overline{\text{RESET}}$ 端子のレベルがLの期間の端子の状態を示します。

表6.3 $\overline{\text{RESET}}$ 端子のレベルがLの期間の端子の状態

端子名	端子の状態
P0、P1、P2、P3、P5、P6、P7、P8、P9_0~P9_5	入力ポート
P4_2~P4_7	入力ポート

6.4.2 リセット後のCPUレジスタの状態

図6.8にリセット後のCPUレジスタの状態を示します。

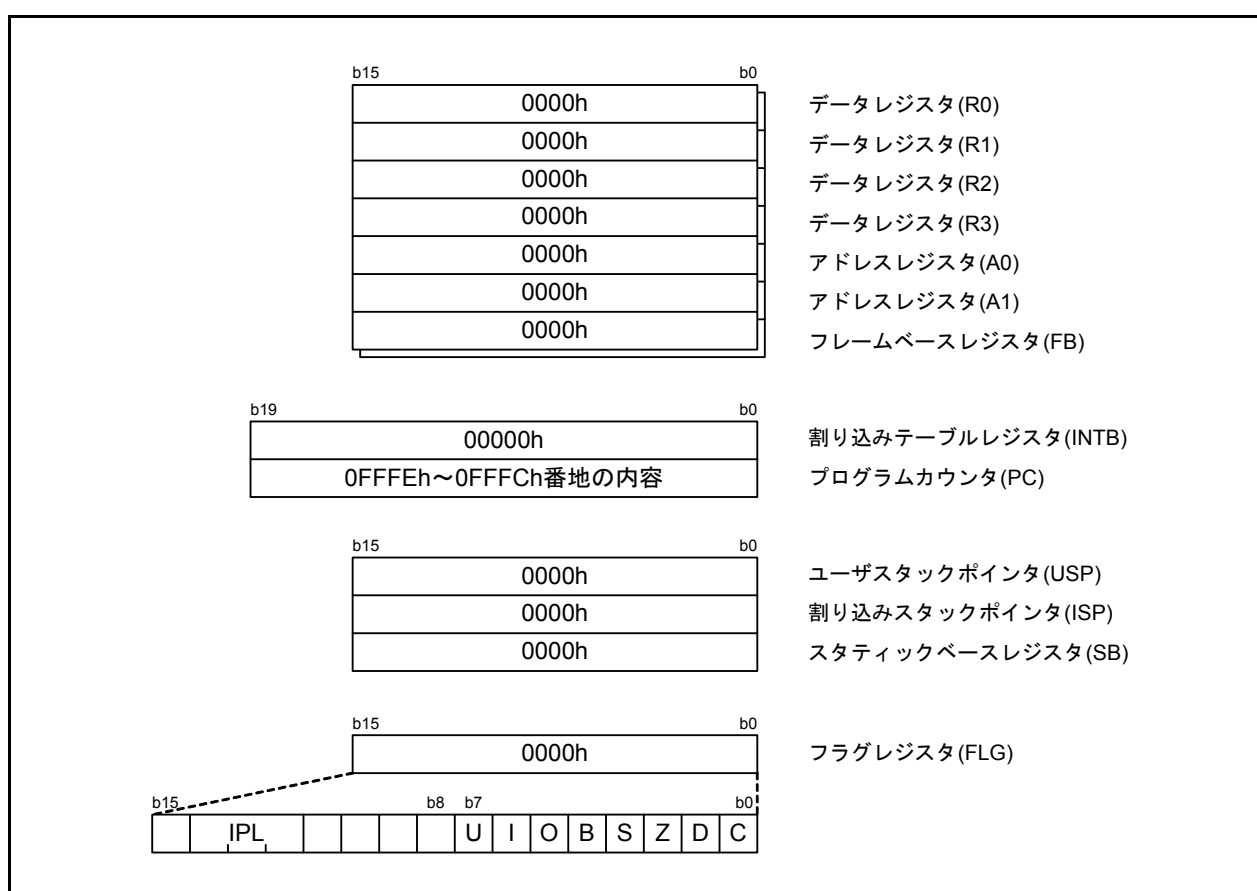


図6.8 リセット後のCPUレジスタの状態

7. 電圧検出回路

電圧検出回路は、VCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。

7.1 概要

電圧検出0はOFSレジスタで、検出電圧を4レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を16レベルから選択できます。

電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表7.1に電圧検出回路の仕様を、図7.1に電圧検出回路のブロック図を、図7.2に電圧監視0リセット発生回路のブロック図を、図7.3に電圧監視1割り込み発生回路のブロック図を、図7.4に電圧監視2割り込み発生回路のブロック図を示します。

表7.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降して、Vdet0を通過したか	上昇または下降して、Vdet1を通過したか	上昇または下降して、Vdet2を通過したか
	検出電圧	OFSレジスタで、4レベルから選択可能	VD1LSレジスタで、16レベルから選択可能	固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低い	VW2CレジスタのVW2C3ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット、 VCC > Vdet0でCPU動作再開	なし	なし
	割り込み	なし	電圧監視1割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、 VCC > Vdet1の両方、 またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC、 VCC > Vdet2の両方、 またはどちらかで割り込み要求
デジタルフィルタ	有効または無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	(fLOCOのn分周) × 2 n: 1、2、4、8	(fLOCOのn分周) × 2 n: 1、2、4、8

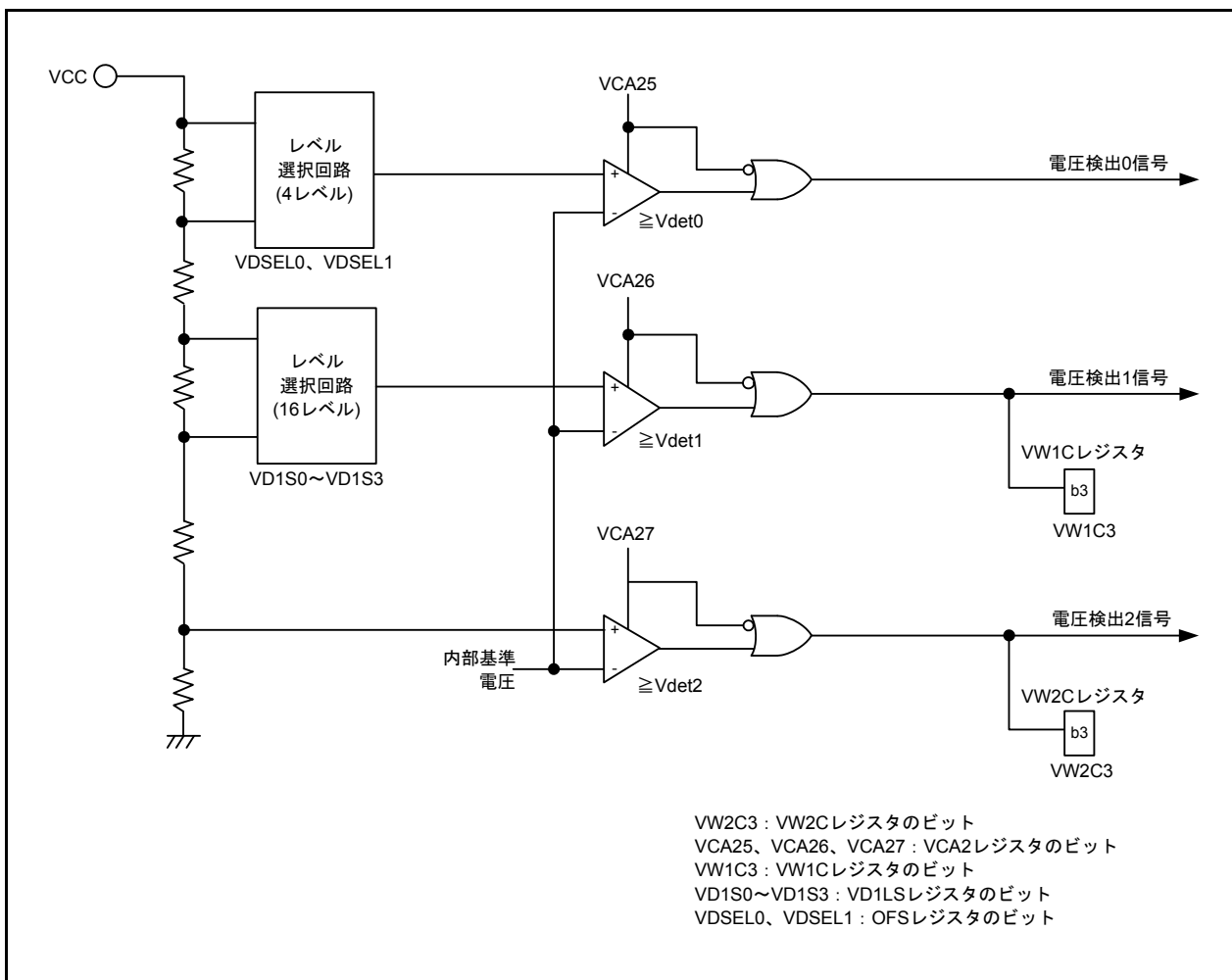


図7.1 電圧検出回路のブロック図

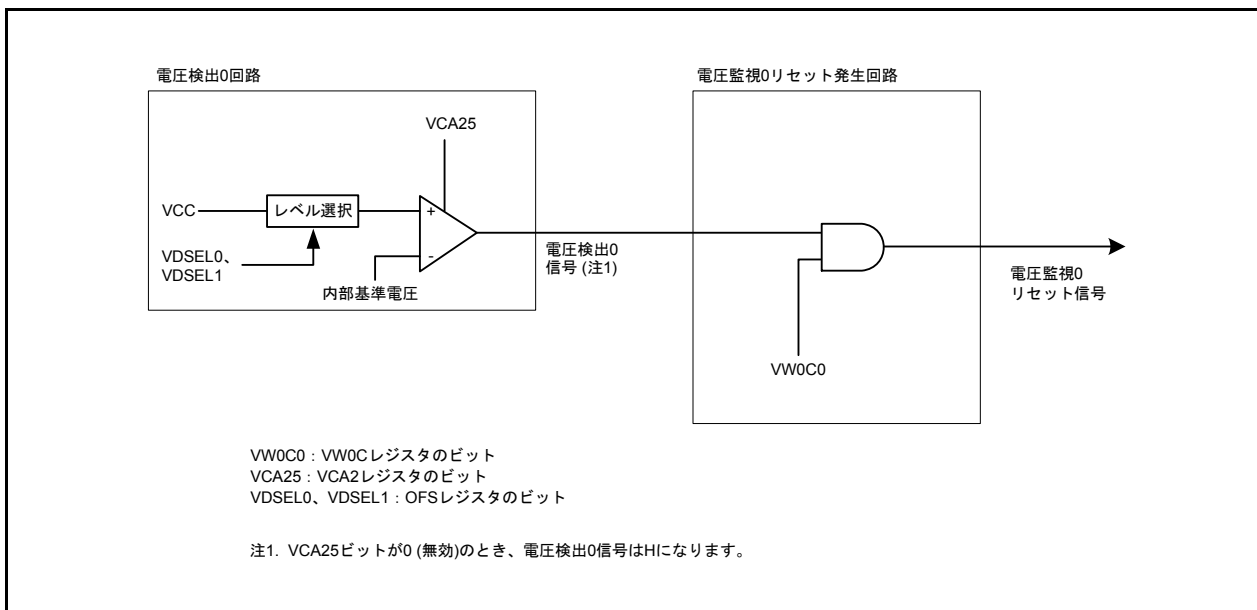


図7.2 電圧監視0リセット発生回路のブロック図

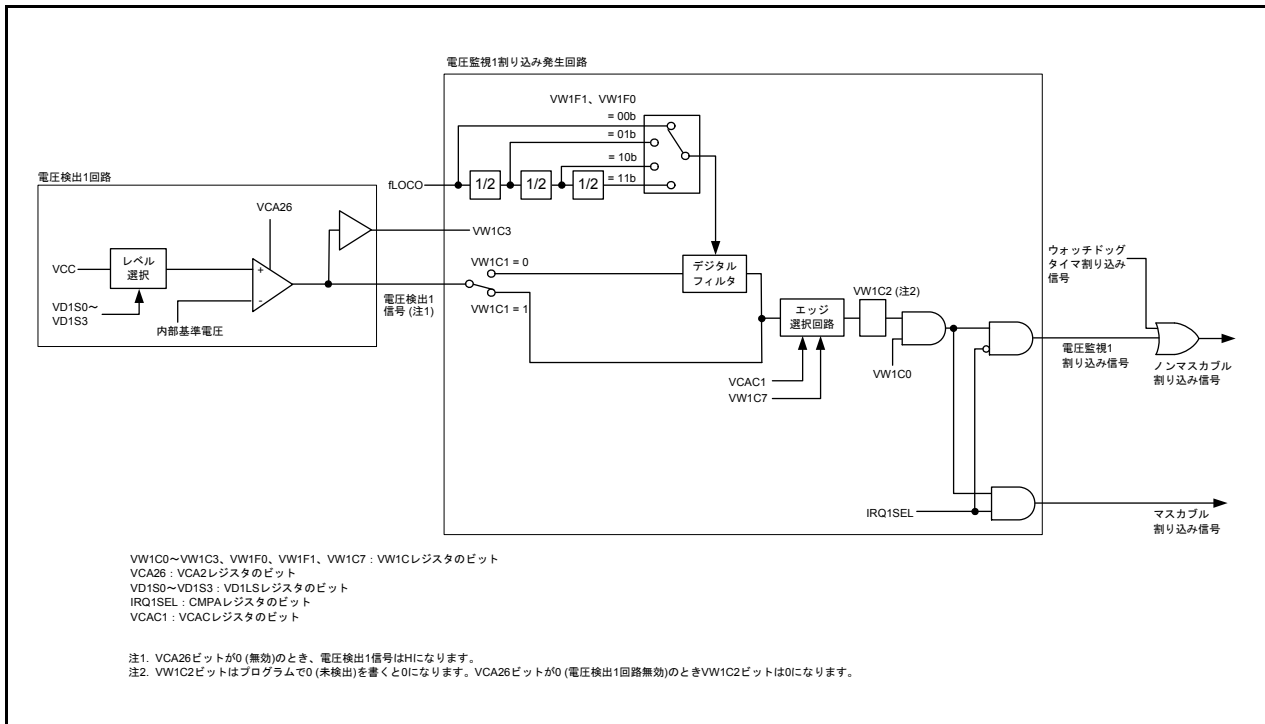


図7.3 電圧監視1割り込み発生回路のブロック図

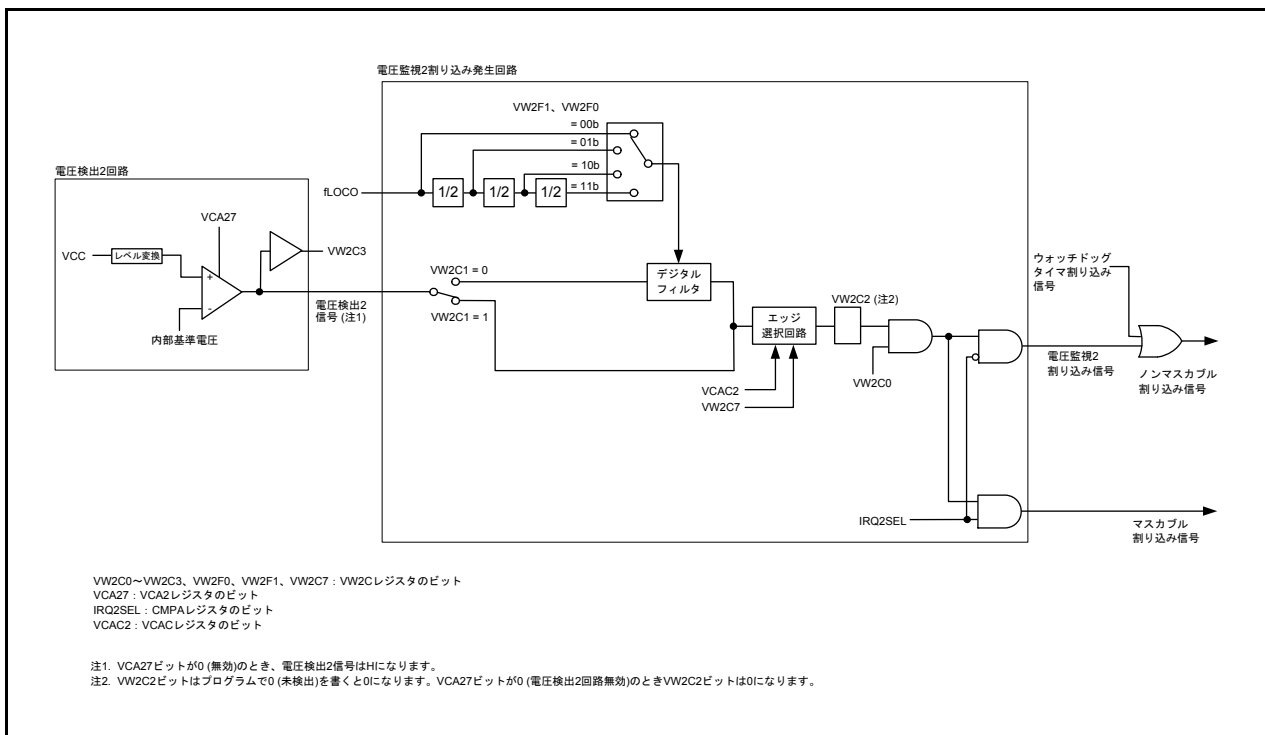


図7.4 電圧監視2割り込み発生回路のブロック図

7.2 レジスタの説明

表7.2に電圧検出回路のレジスタ構成を示します。

表7.2 電圧検出回路のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
電圧監視回路制御レジスタ	CMPA	00h	00030h	8
電圧監視回路エッジ選択レジスタ	VCAC	00h	00031h	8
電圧検出レジスタ2	VCA2	00000000b、 00100000b (注1)	00034h	8
電圧検出1レベル選択レジスタ	VD1LS	00000111b	00036h	8
電圧監視0回路制御レジスタ	VW0C	1100XX10b、 1100XX11b (注1)	00038h	8
電圧監視1回路制御レジスタ	VW1C	10001010b	00039h	8
電圧監視2回路制御レジスタ	VW2C	10001010b	0003Ah	8
オプション機能選択レジスタ	OFS	(注2)	0FFFFh	8

注1. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

注2. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

7.2.1 電圧監視回路制御レジスタ (CMPA)

アドレス 00030h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	IRQ2SEL	IRQ1SEL	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット	0: ノンマスクابل割り込み	R/W
b5	IRQ2SEL	電圧監視2割り込み種類選択ビット	1: マスクابل割り込み	R/W
b6	—	予約ビット	0にしてください	R/W
b7	—			

7.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス	00031h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	VCAC2	VCAC1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	VCAC1	電圧監視1回路エッジ選択ビット(注1)	0: 片エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット(注2)	1: 両エッジ	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. VCAC1ビットが0(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを0にした後、VW1C7ビットを設定してください。

注2. VCAC2ビットが0(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを0にした後、VW2C7ビットを設定してください。

7.2.3 電圧検出レジスタ2 (VCA2)

アドレス	00034h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
	上記はOFSレジスタのLVDASビットが1の場合							
リセット後の値	0	0	1	0	0	0	0	0
	上記はOFSレジスタのLVDASビットが0の場合							

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注1)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注2)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注3)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. 電圧監視0リセットを使用する場合、VCA25ビットを1にしてください。

注2. 電圧検出1割り込みを使用する場合またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを1にしてください。VCA26ビットを0から1にした後、td(E-A)経過してから電圧検出1回路が動作します。

注3. 電圧検出2割り込みを使用する場合またはVW2CレジスタのVW2C3ビットを使用する場合、VCA27ビットを1にしてください。VCA27ビットを0から1にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

7.2.4 電圧検出1レベル選択レジスタ (VD1LS)

アドレス 00036h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0	R/W
b1	VD1S1		0 0 0 0 : 2.19 V (Vdet1_0)	R/W
b2	VD1S2		0 0 0 1 : 2.34 V (Vdet1_1)	R/W
b3	VD1S3		0 0 1 0 : 2.49 V (Vdet1_2)	R/W
			0 0 1 1 : 2.64 V (Vdet1_3)	
			0 1 0 0 : 2.79 V (Vdet1_4)	
			0 1 0 1 : 2.94 V (Vdet1_5)	
			0 1 1 0 : 3.09 V (Vdet1_6)	
			0 1 1 1 : 3.24 V (Vdet1_7)	
			1 0 0 0 : 3.39 V (Vdet1_8)	
		1 0 0 1 : 3.54 V (Vdet1_9)		
		1 0 1 0 : 3.69 V (Vdet1_A)		
		1 0 1 1 : 3.84 V (Vdet1_B)		
		1 1 0 0 : 3.99 V (Vdet1_C)		
		1 1 0 1 : 4.14 V (Vdet1_D)		
		1 1 1 0 : 4.29 V (Vdet1_E)		
		1 1 1 1 : 4.44 V (Vdet1_F)		
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

VD1LSレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

7.2.5 電圧監視0回路制御レジスタ (VW0C)

アドレス 00038h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	VW0C0
リセット後の値	1	1	0	0	X	X	1	0
	上記はOFSレジスタのLVDASビットが1の場合							
リセット後の値	1	1	0	0	X	X	1	1
	上記はOFSレジスタのLVDASビットが0の場合							

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	—	予約ビット	1にしてください	R/W
b2	—	予約ビット	読んだ場合、その値は不定。	R
b3	—			
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—	予約ビット	1にしてください	R/W
b7	—			

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが1(電圧検出0回路有効)のときに有効になります。VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0C0ビットを1にする場合は、次の手順で設定してください。

- (1) VCA25ビットを1にする。
- (2) 検出回路が動作するまでtd(E-A)待つ。
- (3) VW0C0ビットを1にする。

VW0Cレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

7.2.6 電圧監視1回路制御レジスタ (VW1C)

アドレス 00039h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	—	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、3)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注4、5)	0: 未検出 1: Vdet1通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注4)	0: VCC < Vdet1 1: VCC ≥ Vdet1または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット(注3)	b5 b4 0 0 : fLOCOの1分周 0 1 : fLOCOの2分周 1 0 : fLOCOの4分周 1 1 : fLOCOの8分周	R/W
b5	VW1F1			R/W
b6	—	予約ビット	0にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注6)	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	R/W

注1. VW1C0ビットはVCA2レジスタのVCA26ビットが1(電圧検出1回路有効)のときに有効です。VCA26ビットが0(電圧検出1回路無効)のとき、VW1C0ビットを0(禁止)にしてください。VW1C0ビットを1(許可)にするときは、「表7.3 電圧監視1割り込み関連ビットの設定手順」に従ってください。

注2. デジタルフィルタを使用する場合(VW1C1ビットが0)、CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にしてください。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合、VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効)にしてください。

注3. VW1C0ビットが1(許可)のとき、VW1C1ビットとVW1F0、VW1F1ビットを同時に(1命令で)設定しないでください。

注4. VW1C2ビットおよびVW1C3ビットはVC26ビットが1(電圧検出1回路有効)のとき有効になります。

注5. プログラムで0にしてください。プログラムで0を書くと0になります(1を書いても変化しません)。

注6. VW1C7ビットはVCACレジスタのVCAC1ビットが0(片エッジ)のとき有効になります。VCAC1ビットを0にした後、VW1C7ビットを設定してください。

VW1Cレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。VW1Cレジスタを書き換えると、VW1C2ビットが1になる場合があります。VW1Cレジスタを書き換えた後、VW1C2ビットを0にしてください。

7.2.7 電圧監視2回路制御レジスタ (VW2C)

アドレス	0003Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	—	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2、3)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注4、5)	0: 未検出 1: Vdet2通過検出	R/W
b3	VW2C3	電圧検出2信号モニタフラグ(注5)	0: $VCC < Vdet2$ 1: $VCC \geq Vdet2$ または電圧検出2回路無効	R
b4	VW2F0	サンプリングクロック選択ビット(注3)	b5 b4 0 0 : fLOCOの1分周 0 1 : fLOCOの2分周 1 0 : fLOCOの4分周 1 1 : fLOCOの8分周	R/W
b5	VW2F1			R/W
b6	—	予約ビット	0にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット(注6)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	R/W

- 注1. VW2C0ビットはVCA2レジスタのVCA27ビットが1(電圧検出2回路有効)のときに有効です。VCA27ビットが0(電圧検出2回路無効)のとき、VW2C0ビットを0(禁止)にしてください。VW2C0ビットを1(許可)にするときは、「表7.4 電圧監視2割り込み関連ビットの設定手順」に従ってください。
- 注2. デジタルフィルタを使用する場合(VW2C1ビットが0)、CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にしてください。
なお、電圧監視2割り込みをストップモードからの復帰に使用する場合、VW2C1ビットを1(デジタルフィルタ無効モード)にしてください。
- 注3. VW2C0ビットが1(許可)のとき、VW2C1ビットとVW2F0、VW2F1ビットを同時に(1命令で)設定しないでください。
- 注4. VW2C2ビットはVCA27ビットが1(電圧検出2回路有効)のとき有効になります。
- 注5. プログラムで0にしてください。プログラムで0を書くと0になります(1を書いても変化しません)。
- 注6. VW2C7ビットはVCACレジスタのVCAC2ビットが0(片エッジ)のときに有効です。VCAC2ビットを0にした後、VW2C7ビットを設定してください。

VW2Cレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。VW2Cレジスタを書き換えると、VW2C2ビットが1になる場合があります。VW2Cレジスタを書き換えた後、VW2C2ビットを0にしてください。

7.2.8 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択 (Vdet0_3) 0 1 : 2.85 V選択 (Vdet0_2) 1 0 : 2.35 V選択 (Vdet0_1) 1 1 : 1.90 V選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

7.3 VCC入力電圧のモニタ

7.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

7.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「28. 電気的特性」参照)経過してから、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S0～VD1S3ビットで電圧検出1の検出電圧を選択する
- (2) VCA2レジスタのVCA26ビットを1(電圧検出1回路有効)にする

7.3.3 Vdet2のモニタ

次の設定をした後、td(E-A) (「28. 電気的特性」参照)経過後、VW2CレジスタのVW2C3ビットで電圧監視2の比較結果をモニタできます。

- (1) VCA2レジスタのVCA27ビットを1(電圧検出2回路有効)にする

7.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLV_{DAS}ビットを0(リセット後、電圧監視0リセット有効)にしてください。

図7.5に電圧監視0リセットの動作例を示します。

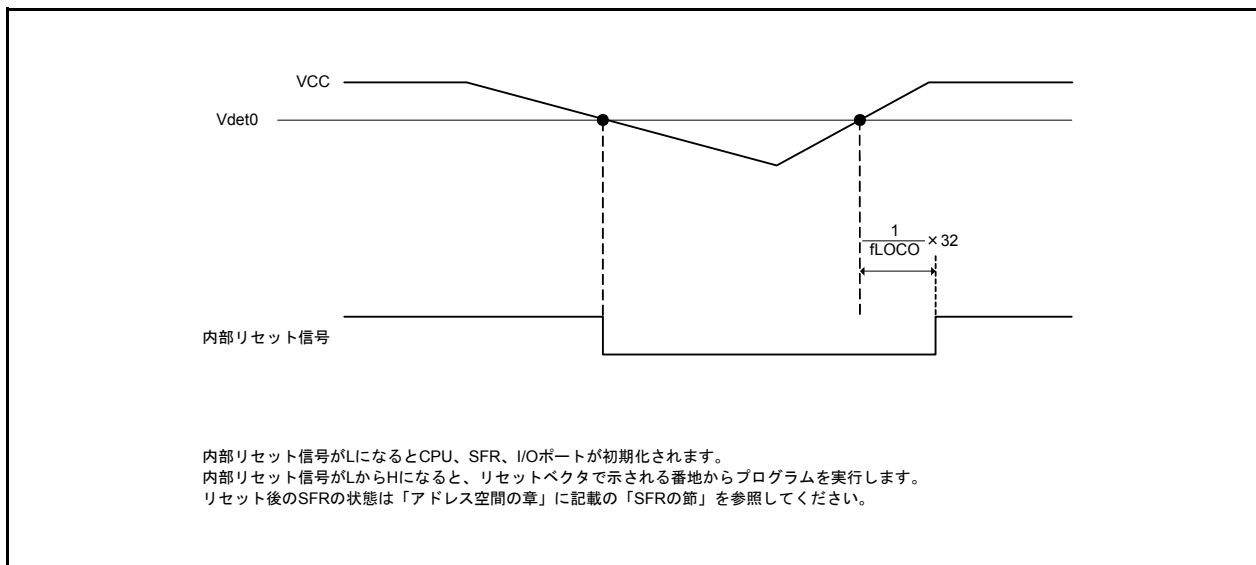


図7.5 電圧監視0リセットの動作例

7.5 電圧監視1割り込み

表7.3に電圧監視1割り込み関連ビットの設定手順を、図7.6に電圧監視1割り込みの動作例を示します。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効モード)にしてください。

表7.3 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S0～VD1S3ビットで電圧検出1の検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを1(電圧検出1回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
5	VW1CレジスタのVW1F0、VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効)にする
6(注1)	VW1CレジスタのVW1C1ビットを0(デジタルフィルタ有効)にする	—
7	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
8	VW1CレジスタのVW1C2ビットを0にする	
9	CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にする	—
10	デジタルフィルタのサンプリングクロック×2サイクル待つ	— (待ち時間なし)
11(注2)	VW1CレジスタのVW1C0ビットを1(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが0のとき、手順5と6は同時に(1命令で)実行可能です。

注2. 電圧監視1割り込みが無効(VW1C0ビットが0、VCA26ビットが0)の状態から設定するとき、手順11の電圧監視1割り込みを許可するまでに $VCC < V_{det1}$ (または $VCC > V_{det1}$)を検出した場合は、割り込みは発生しません。手順9から手順11の間に $VCC < V_{det1}$ (または $VCC > V_{det1}$)を検出した場合は、VW1C2ビットが1になります。手順11のあとVW1C2ビットを読み、1の場合は検出したときに実行する処理を実施してください。

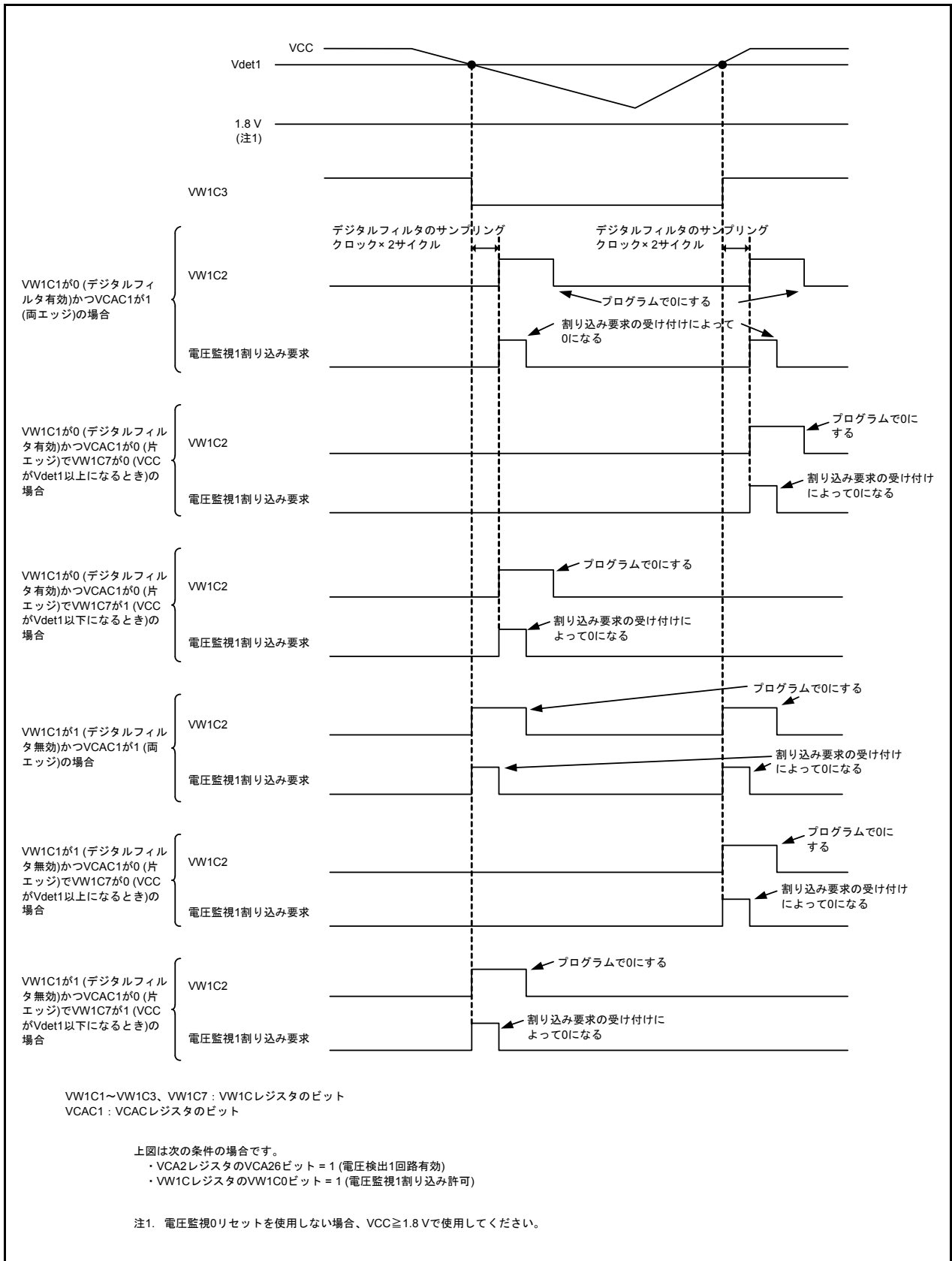


図7.6 電圧監視1割り込みの動作例

7.6 電圧監視2割り込み

表7.4に電圧監視2割り込み関連ビットの設定手順を、図7.7に電圧監視2割り込みの動作例を示します。
 なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを1(デジタルフィルタ無効)にしてください。

表7.4 電圧監視2割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA23ビットを0(内部基準電圧)にする	
2(注1)	VCA2レジスタのVCA27ビットを1(電圧検出2回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する	
5	VW2CレジスタのVW2F0、VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを1(デジタルフィルタ無効)にする
6(注2)	VW2CレジスタのVW2C1ビットを0(デジタルフィルタ有効)にする	—
7	VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する	
8	VW2CレジスタのVW2C2ビットを0にする	
9	CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にする	—
10	デジタルフィルタのサンプリングクロック×2サイクル待つ	— (待ち時間なし)
11(注3)	VW2CレジスタのVW2C0ビットを1(電圧監視2割り込み許可)にする	

注1. VW2C0ビットが0のとき、手順1と2は同時に(1命令で)実行可能です。

注2. VW2C0ビットが0のとき、手順5と6は同時に(1命令で)実行可能です。

注3. 電圧監視2割り込みが無効(VW2C0ビットが0、VCA27ビットが0)の状態から設定するとき、手順11の電圧監視2割り込みを許可するまでにVCC < Vdet2(またはVCC > Vdet2)を検出した場合は、割り込みは発生しません。手順9から手順11の間にVCC < Vdet2(またはVCC > Vdet2)を検出した場合は、VW2C2ビットが1になります。手順11のあとVW2C2ビットを読み、1の場合は検出したときに実行する処理を実施してください。

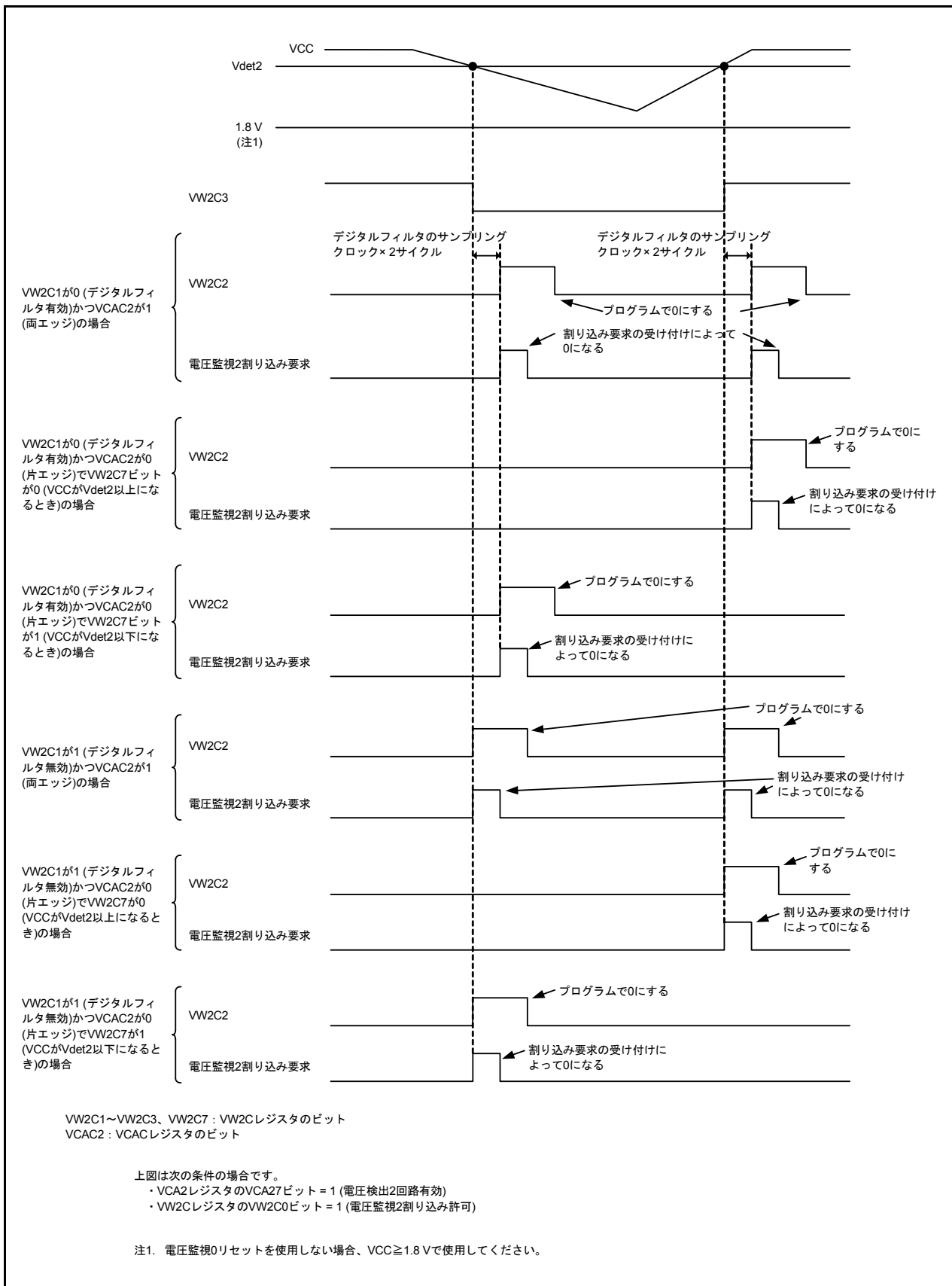


図 7.7 電圧監視2割り込みの動作例

8. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

8.1 概要

ウォッチドッグタイマは14ビットのダウンカウンタを持ち、カウントソース保護モードの有効または無効を選択できます。

表8.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「6.3.5 ウォッチドッグタイマリセット」を参照してください。

図8.1にウォッチドッグタイマのブロック図を示します。

表8.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック、またはウォッチドッグタイマ用低速オンチップオシレータクロック(1/16)	ウォッチドッグタイマ用低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 	
カウント停止条件	<ul style="list-style-type: none"> カウントソースがCPUクロックの2、16または128分周のとき、ウェイトモードまたはストップモードに移行すると、カウントを停止します カウントソースがウォッチドッグタイマ用低速オンチップオシレータクロックの16分周のとき、ウェイトモードまたはストップモードに移行しても、カウントを停止しません 	なし
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット 受付可能な期間内にWDTRレジスタに00hを書いた後、FFhを書く(注1)(受付期間の設定あり) アンダフロー 	
アンダフロー時の動作	ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> カウントソースの選択 WDTCレジスタのWDTC6、WDTC7ビットで選択 カウントソース保護モード - リセット後に有効か無効かをOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択 - リセット後に無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0、WDTUFS1ビットで選択 ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0、WDTRCS1ビットで選択 	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中のリフレッシュ期間に書いてください。

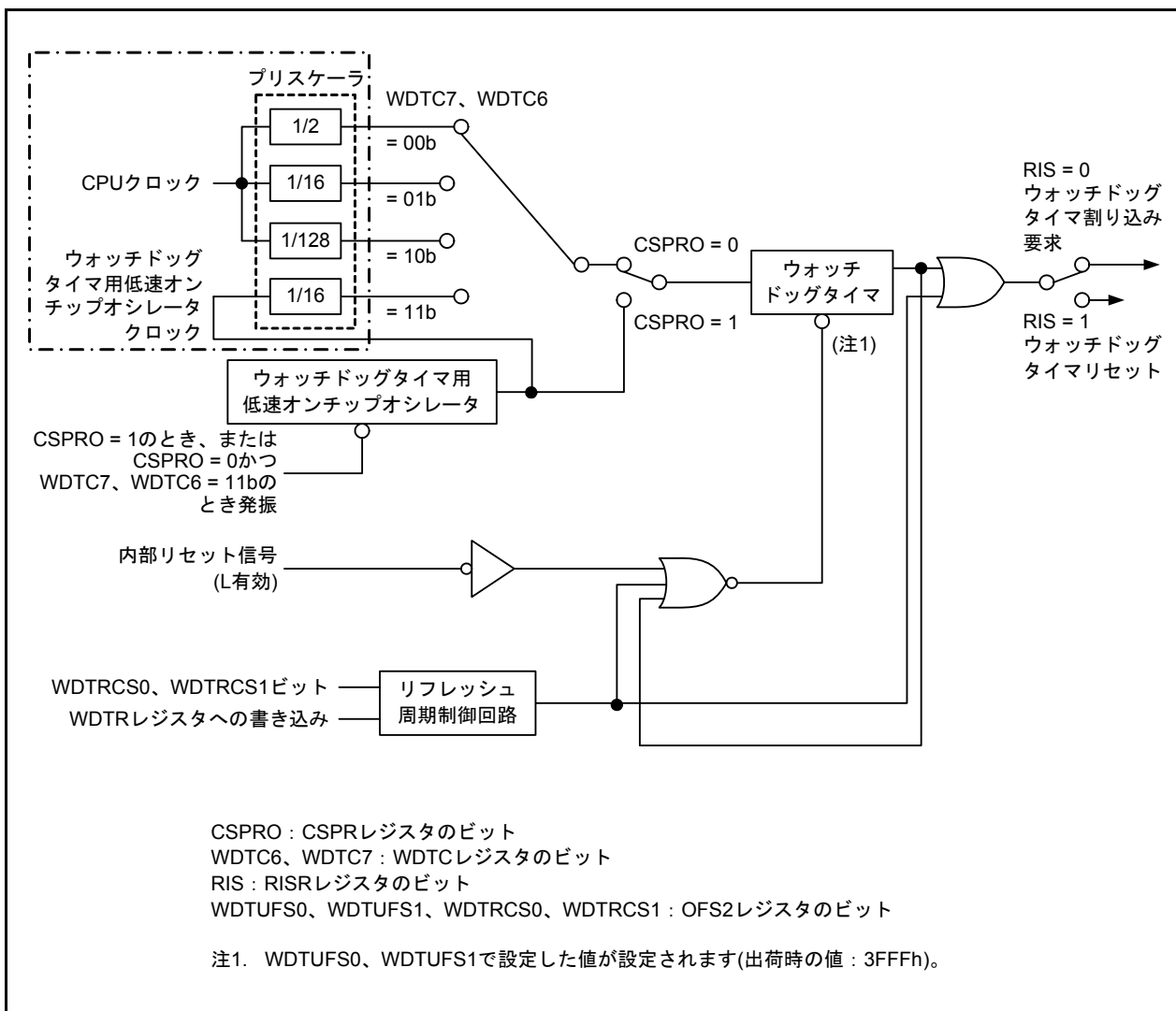


図8.1 ウォッチドッグタイマのブロック図

8.2 レジスタの説明

表8.2にウォッチドッグタイマのレジスタ構成を示します。

表8.2 ウォッチドッグタイマのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
リセット割り込み選択レジスタ	RISR	10000000b、 00000000b (注1)	00020h	8
ウォッチドッグタイマリセットレジスタ	WDTR	FFh	00021h	8
ウォッチドッグタイマスタートレジスタ	WDTS	FFh	00022h	8
ウォッチドッグタイマ制御レジスタ	WDTC	01111111b	00023h	8
カウントソース保護モードレジスタ	CSPR	10000000b、 00000000b (注1)	00024h	8
オプション機能選択レジスタ2	OFS2	(注2)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注3)	0FFFFh	8

注1. OFSレジスタのCSPROINIビットの値によってリセット後の値が異なります。

注2. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。

注3. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

8.2.1 リセット割り込み選択レジスタ (RISR)

アドレス	00020h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RIS	UFIF	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0
	上記はOFSレジスタのCSPROINIビットが0の場合							
リセット後の値	0	0	0	0	0	0	0	0
	上記はOFSレジスタのCSPROINIビットが1の場合							

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	UFIF	WDTアンダフロー検出フラグ	0: ウォッチドッグタイマアンダフローなし 1: ウォッチドッグタイマアンダフローあり(注1)	R/W
b7	RIS	WDT割り込み/リセット切り替えビット	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット(注2)	R/W

注1. 1を読んだ後、カウントソースの1サイクル分経過してから、UFIFビットに0を書いてください。

注2. RISビットは、プログラムで1を書くと1になりますが、0を書いても変化しません。

CSPRレジスタのCSPROビットが1(カウントソース保護モード有効)のとき、RISビットは自動的に1になります。

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、RISRレジスタを書き換えてください。

UFIFビット(WDTアンダフロー検出フラグ)

[0になる条件]

- 0を書いたとき

[1になる条件]

- RISビットが0(ウォッチドッグタイマ割り込み)で、ウォッチドッグタイマがアンダフローしたとき
- RISビットが0(ウォッチドッグタイマ割り込み)で、受付可能な期間以外にリフレッシュを実行したとき(不正リフレッシュ)

8.2.2 ウォッチドッグタイマリセットレジスタ (WDTR)

アドレス	00021h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7~b0	受付可能な期間内に00hを書いた後、FFhを書くと、ウォッチドッグタイマは初期化されます。ウォッチドッグタイマの初期値は、OFS2レジスタのWDTUFS0、WDTUFS1ビットで指定されます。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

8.2.3 ウォッチドッグタイマスタートレジスタ (WDTS)

アドレス	00022h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7～b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマは開始します。	W

8.2.4 ウォッチドッグタイマ制御レジスタ (WDTC)

アドレス	00023h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	WDTC6	WDTC5	WDTC4	WDTC3	WDTC2	WDTC1	WDTC0
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	WDTC0	ウォッチドッグタイマモニタビット	OFS2レジスタのWDTUFS1～WDTUFS0ビットの設定値によってウォッチドッグタイマの表8.3に示すビットが読めます。	R
b1	WDTC1			
b2	WDTC2			
b3	WDTC3			
b4	WDTC4			
b5	WDTC5			
b6	WDTC6	ウォッチドッグタイマカウントソース選択ビット	b7 b6 0 0 : CPUクロックの2分周 0 1 : CPUクロックの16分周 1 0 : CPUクロックの128分周 1 1 : ウォッチドッグタイマ用低速オンチップオシレータクロックの16分周	R/W
b7	WDTC7			R/W

表8.3 WDTC5～WDTC0ビットに表示されるウォッチドッグタイマのビット

OFS2 レジスタ	WDTC レジスタ
WDTUFS1～WDTUFS0 ビット設定値	WDTC5～WDTC0ビットに表示されるウォッチドッグタイマの該当ビット
00b (03FFh)	ウォッチドッグタイマのb5～b0の内容
01b (0FFFh)	ウォッチドッグタイマのb7～b2の内容
10b (1FFFh)	ウォッチドッグタイマのb8～b3の内容
11b (3FFFh)	ウォッチドッグタイマのb9～b4の内容

8.2.5 カウントソース保護モードレジスタ (CSPR)

アドレス 00024h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが0の場合

リセット後の値	0	0	0	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのCSPROINIビットが1の場合

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0 : カウントソース保護モード無効 1 : カウントソース保護モード有効	R/W

注1. CSPROビットを1にする場合、0を書いた後、1を書いてください。プログラムでは0にできません。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

8.2.6 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W		
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0 0 0 : 03FFh 0 1 : 0FFFh 1 0 : 1FFFh 1 1 : 3FFFh	R/W		
b1	WDTUFS1			R/W		
b2	WDTRCS0			ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2 0 0 : 25 % 0 1 : 50 % 1 0 : 75 % 1 1 : 100 %	R/W
b3	WDTRCS1					R/W
b4	—	予約ビット	1にしてください	R/W		
b5	—					
b6	—					
b7	—					

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタはFFhになります。ブランク出荷品の出荷時、OFS2レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0～WDTRCS1ビット (ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

8.2.7 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR — WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択 (Vdet0_3) 0 1 : 2.85 V選択 (Vdet0_2) 1 0 : 2.35 V選択 (Vdet0_1) 1 1 : 1.90 V選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

8.3 動作説明

8.3.1 複数モードに関わる共通事項

8.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受け付けできる期間を、OFS2レジスタのWDTRCS0、WDTRCS1ビットで選択できます。図8.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(RISRレジスタのRISビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

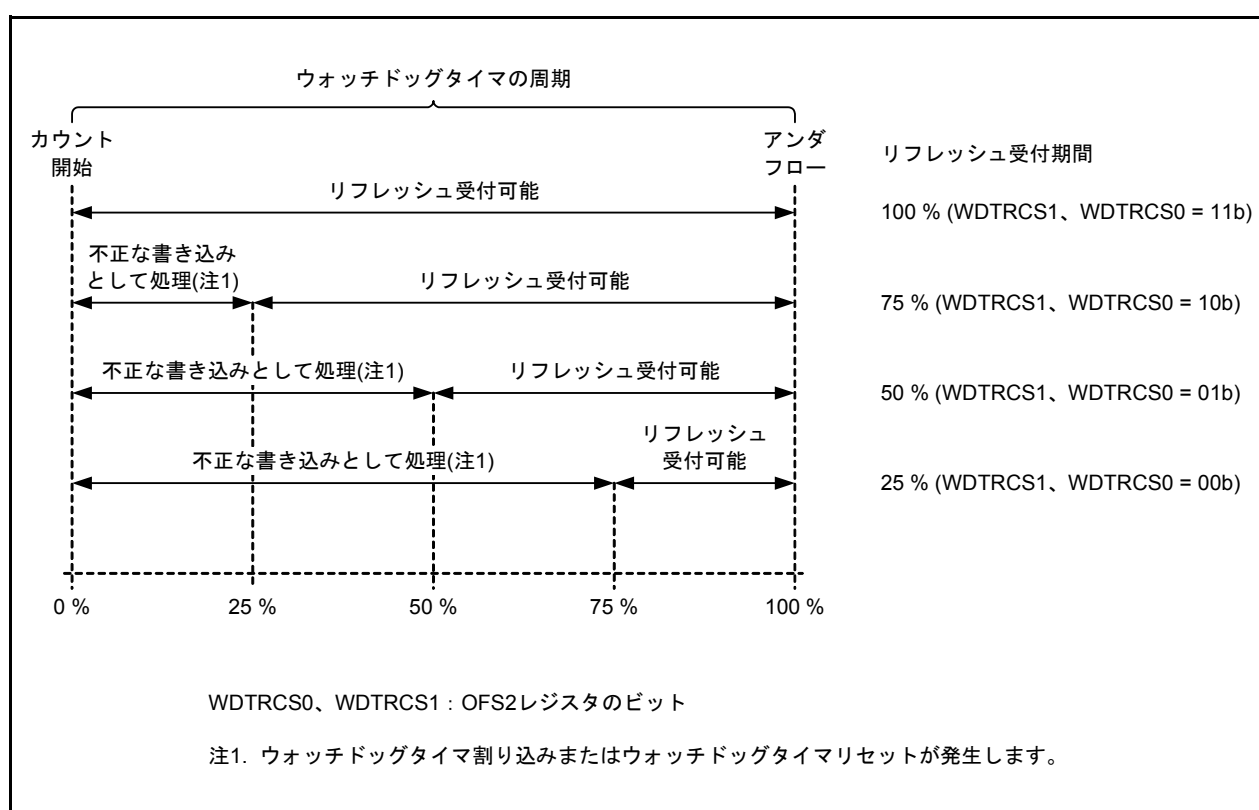


図8.2 ウォッチドッグタイマのリフレッシュ受付期間

8.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックまたはウォッチドッグタイマ用低速オンチップオシレータクロックです。

表8.4にカウントソース保護モード無効時ウォッチドッグタイマの仕様を示します。

表8.4 カウントソース保護モード無効時ウォッチドッグタイマの仕様

項目	仕様
カウントソース	CPUクロックまたはウォッチドッグタイマ用低速オンチップオシレータクロック (1/16)
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) カウントソース n : 2、16または128 (WDTCレジスタのWDTC6、WDTC7ビットで選択) ただし、WDTC7、WDTC6ビットが11b (カウントソースがウォッチドッグタイマ用低速オンチップオシレータクロック)のときは16 m : OFS2レジスタのWDTUFS0、WDTUFS1ビットで設定した値 例 : CPUクロックが20 MHzで、プリスケアラが16分周し、WDTUFS1、WDTUFS0ビットが11b (3FFFh)の場合、周期は約13.1 ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに00hを書いた後、FFhを書く(注2) アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注3)で選択 <ul style="list-style-type: none"> WDTONビットが1(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTISレジスタに書くことにより、カウントを開始 WDTONビットが0(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	<ul style="list-style-type: none"> カウントソースがCPUクロックの2、16または128分周のとき、ウェイトモードまたはストップモードに移行すると、カウントを停止します カウントソースがウォッチドッグタイマ用低速オンチップオシレータクロックの16分周のとき、ウェイトモードまたはストップモードに移行しても、カウントを停止しません
アンダフロー時の動作	<ul style="list-style-type: none"> RISRレジスタのRISビットが0のとき ウォッチドッグタイマ割り込み RISRレジスタのRISビットが1のとき ウォッチドッグタイマリセット(「6.3.5 ウォッチドッグタイマリセット」参照)

注1. WDTRレジスタに00hを書いた後、FFhを書くと、ウォッチドッグタイマは初期化されます。プリスケアラはリセット後、初期化されます。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

注3. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に0を書き込んでください。

8.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表8.5にカウントソース保護モード有効時ウォッチドッグタイマの仕様を示します。

表8.5 カウントソース保護モード有効時ウォッチドッグタイマの仕様

項目	仕様
カウントソース	ウォッチドッグタイマ用低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(m) ウォッチドッグタイマ用低速オンチップオシレータクロック m : OFS2レジスタのWDTUFS0、WDTUFS1ビットで設定した値 例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125 kHzで、WDTUFS1、WDTUFS0ビットが00b (03FFh)の場合、周期は約8.2 ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに00hを書いた後、FFhを書く(注1) アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> WDTONビットが1(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが0(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後、ウェイトモードまたはストップモードでも停止しない)
アンダフロー時の動作	ウォッチドッグタイマリセット(「6.3.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	CSPRレジスタのCSPROビットを1(カウントソース保護モード有効)にすると(注3)、次が自動的に設定される <ul style="list-style-type: none"> ウォッチドッグタイマ用低速オンチップオシレータが発振 RISRレジスタのRISビットを1(ウォッチドッグタイマリセット)

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に0を書き込んでください。

注3. OFSレジスタのCSPROINIビットに0を書いても、CSPROビットは1になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に0を書き込んでください。

9. クロック発生回路

9.1 概要

クロック発生回路として、5つの回路が内蔵されています。

- XINクロック発振回路
- XCINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

表9.1にクロック発生回路の仕様を、図9.1にクロック発生回路のブロック図を、図9.2に周辺機能クロックの供給を、表9.2にクロック発生回路の端子構成を示します。

表9.1 クロック発生回路の仕様

項目	XINクロック発振回路	XCINクロック発振回路	オシレータ		ウォッチドッグタイマ用 低速オンチップオシレータ
			高速オンチップ オシレータ	低速オンチップ オシレータ	
用途	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 	<ul style="list-style-type: none"> • CPUのクロック源 • 周辺機能のクロック源 • XINクロック発振停止時のCPU、周辺機能のクロック源 		<ul style="list-style-type: none"> • ウォッチドッグタイマのクロック源
クロック 周波数	0 ~ 20 MHz	32.768 kHz	約40 MHz (注4)	約125 kHz	約125 kHz
接続できる 発振子	<ul style="list-style-type: none"> • セラミック共振子 • 水晶発振子 	<ul style="list-style-type: none"> • 水晶発振子 	—		—
発振子の接続 端子	XIN、XOUT (注1)	XCIN、XCOUT (注2)	— (注1)		—
発振の開始と 停止	あり	あり	あり		あり
リセット後の 状態	停止	停止	停止		停止(注5) 発振(注6)
その他	<ul style="list-style-type: none"> • 外部で生成されたクロックを入力可能 (注3) 	<ul style="list-style-type: none"> • 外部で生成されたクロックを入力可能 • 帰還抵抗Rfを内蔵 (接続/非接続選択可能) 	—		—

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用するにはP4_6、P4_7として使うことができます。

注2. XCINクロック発振回路を使用せず、XINクロック発振回路またはオンチップオシレータクロックをCPUクロックに使用するにはP4_3、P4_4として使うことができます。

注3. 外部クロック入力時には、CM0レジスタのCM05ビットを0(発振)、CM0レジスタのCM07ビットを1(XOUT端子への外部クロック入力によるXINクロック供給)に、CM1レジスタのCM13ビットを1(XIN-XOUT端子)にしてください。

注4. CPUクロック源として使用するには、分周器により最大：約20 MHzとなります。

注5. OFSレジスタのCSPROINIビットが1(リセット後、カウントソース保護モード無効)の場合です。

注6. CSPROINIビットが0(リセット後、カウントソース保護モード有効)の場合です。

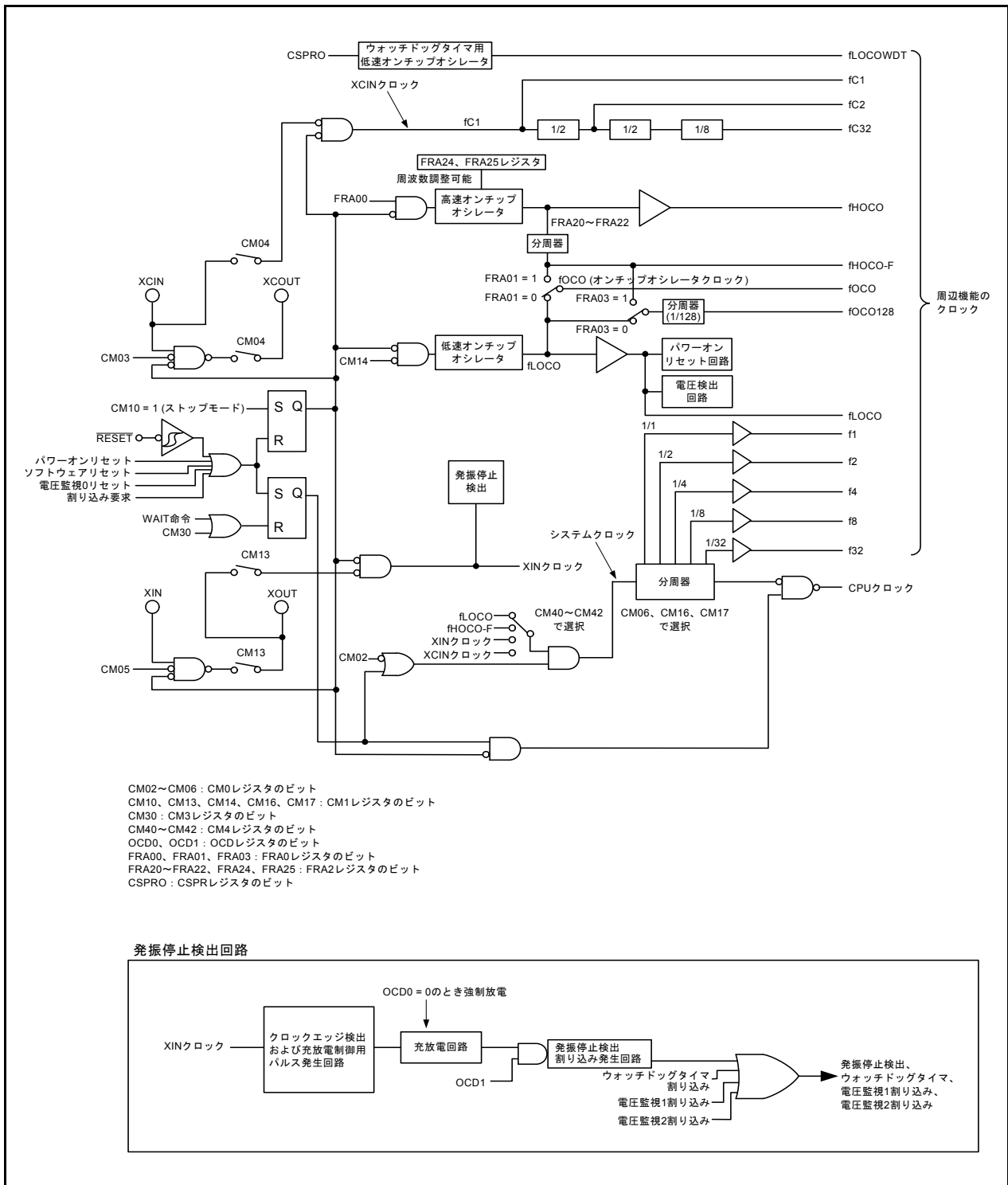


図9.1 クロック発生回路のブロック図

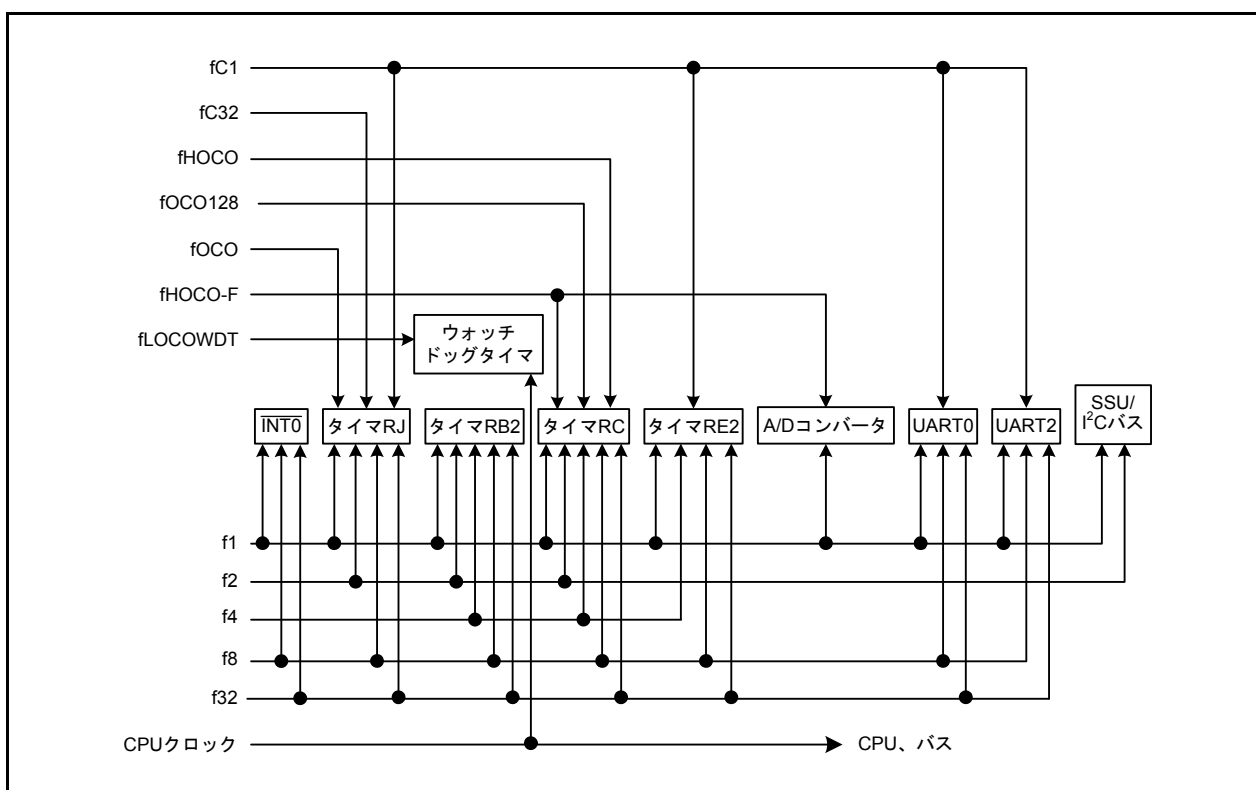


図9.2 周辺機能クロックの供給

表9.2 クロック発生回路の端子構成

端子名	入出力	機能
XIN	入力	XINクロック発振回路の入力
XOUT	入出力	XINクロック発振回路の出力/外部クロック入力
XCIN	入力	XCINクロック発振回路の入力/外部クロック入力
XCOUT	入出力	XCINクロック発振回路の出力

9.2 レジスタの説明

表9.3にクロック発生回路のレジスタ構成を示します。

表9.3 クロック発生回路のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムクロック制御レジスタ0	CM0	00101000b	00008h	8
システムクロック制御レジスタ1	CM1	00100000b	00009h	8
発振停止検出レジスタ	OCD	00h	0000Ah	8
システムクロック制御レジスタ3	CM3	00h	0000Bh	8
システムクロック制御レジスタ4	CM4	00000001b	0000Ch	8
時計用プリスケアラリセットフラグ	CPSRF	00h	00010h	8
高速オンチップオシレータ制御レジスタ0	FRA0	00h	00012h	8
高速オンチップオシレータ制御レジスタ2	FRA2	00h	00014h	8
電圧検出レジスタ2	VCA2	00000000b、 00100000b (注1)	00034h	8
入出力機能端子選択レジスタ	PINSR	00h	002B9h	8

注1. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

9.2.1 システムクロック制御レジスタ0 (CM0)

アドレス	00008h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	—	—
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	CM03	XCINクロック停止ビット	0: 発振 1: 停止	R/W
b4	CM04	XCINバッファ外部入力設定 (注1)	0: XCINより外部クロック入力 1: Xtal使用	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット (注2、3)	0: 発振 1: 停止(注4)	R/W
b6	CM06	CPUクロック分周比選択ビット0 (注5)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XINクロック供給設定ビット (注6)	0: 発振子(セラミック共振子外付け等)によるXINクロック供給 1: XOUT端子への外部クロック入力によるXINクロック供給	R/W

注1. CM04ビットはプログラムで1にできますが、0にできません。

注2. CM05ビットはXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1)OCDレジスタのOCD1、OCD0ビットを00b(発振停止検出機能無効)

(2)CM4レジスタのCM42～CM40ビットを001b(fLOCOクロック)、101b(fHOCO-Fクロック)にしてください。

注3. CM05ビットが1(XINクロック停止)かつCM1レジスタのCM13ビットが0(P4_6、P4_7)の場合のみ、P4_6、P4_7はI/Oポートとして使用できます。

注4. 外部クロック入力時には、クロック入力そのものも受け付けません。

注5. ストップモードへの移行時、CM06ビットは1(8分周モード)になります。

注6. ストップモードまたはウェイトモードからの復帰時、XINクロックに切り替える場合、CM05ビットをリセットしないでください。

CM0レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.2 システムクロック制御レジスタ1 (CM1)

アドレス	00009h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注1、2)	0 : クロック発振 1 : 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効	R/W
b2	CM12	XCIN-XCOUT内蔵帰還抵抗選択 ビット	1 : 内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット (注3)	0 : I/OポートP4_6、P4_7 1 : XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止 ビット(注4、5)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	1にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注6)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	R/W
b7	CM17			R/W

注1. CM10ビットが1(ストップモード)の場合、内蔵している帰還抵抗は無効となります。CM10ビットが1(ストップモード)の場合、CM13ビットが1(XIN-XOUT端子)のとき、XOUT(P4_7)端子はHになります。CM13ビットが1のとき、P4_6、P4_7は入力状態になります。

注2. SVDCレジスタのSVC0ビットが1(低消費電力モード遷移許可)のとき、CM10ビットを1(ストップモード)にしないでください。

注3. CM13ビットはプログラムで一度1にすると、0にはできません。XIN-XOUT端子として使用する場合はCM13ビットを1にしてください。

注4. CM14ビットはCM4レジスタのCM42~CM40ビットが000b(XINクロック)のとき、1(低速オンチップオシレータ停止)にできます。CM42~CM40ビットを001b(fLOCOクロック)にすると、CM14ビットは0(低速オンチップオシレータ発振)になります。1を書いても変化しません。

注5. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを0(低速オンチップオシレータ発振)にしてください。

注6. CM0レジスタのCM06ビットが0(CM16、CM17ビット有効)の場合、CM16、CM17ビットは有効となります。

CM1レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.3 発振停止検出レジスタ (OCD)

アドレス	0000Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット (注1)	0: 発振停止検出機能無効(注2) 1: 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0: 禁止(注2) 1: 許可	R/W
b2	OCD2	発振停止検出フラグ (注3)	0: 発振 1: 発振停止検出	R
b3	OCD3	発振停止モニタビット (注4)	0: 発振周波数>約2 MHz 1: 発振周波数≤約2 MHz	R/W
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—			
b7	—			

- 注1. 発振停止検出後、XIN クロックが再発振した場合の切り替え手順は、「図 9.5 低速オンチップオシレータからXINクロックへの切り替え手順」を参照してください。
- 注2. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1、OCD0ビットを00bに設定してください。
- 注3. OCD2ビットは、OCD0ビットが1(発振停止検出機能有効)、OCD1ビットが1(発振停止割り込み許可)のときに、発振停止を検出すると1になります。OCD1ビットを0(発振停止割り込み禁止)にすることにより、クリアされます。
- 注4. OCD3ビットは、OCD0ビットが1(発振停止検出機能有効)のときに有効です。OCD3ビットを数回読むことによって選択したクロックの状態を判定してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.4 システムクロック制御レジスタ3 (CM3)

アドレス	0000Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット (注1)	0: ウェイトモードではない 1: ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット(注2)	0: CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1: 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから 復帰時のシステムクロック選択ビット (注3)	b7 b6 0 0: ウェイトモード、ストップモードに移 行する直前のCPUクロックで復帰 0 1: 設定しないでください 1 0: 高速オンチップオシレータクロックを 選択(注4) 1 1: XINクロックを選択(注5)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは0(ウェイトモードではない)になります。

注2. ストップモード時はCM35ビットを0にしてください。ウェイトモードへ移行時、CM35ビットが1(分周なし)の場合、CM0レジスタのCM06ビットは0(CM1レジスタのCM16、CM17ビット有効)、CM17、CM16ビットは00b(分周なしモード)になります。

注3. FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。また、低消費電流リードモード中は、FMR0レジスタのFMSTPビットを1(フラッシュメモリ停止)にしないでください。

注4. CM37、CM36ビットが10b(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM4レジスタのCM42～CM40ビット=001b(fLOCOクロック)
- FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
- CM4レジスタのCM42～CM40ビット=101b(fHOCO-Fクロック)

注5. CM37、CM36ビットが11b(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM0レジスタのCM05ビット=0(XINクロック発振)
- CM1レジスタのCM13ビット=1(XIN-XOUT端子)
- CM4レジスタのCM42～CM40ビット=000b(XINクロック選択)

CM05ビットが1(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを1(8分周モード)かつCM35ビットを0にしてください。ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37、CM36ビットを11b(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを1(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロック、低速オンチップオシレータクロック、高速オンチップオシレータクロック、およびウォッチドッグタイマ用低速オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを1にするときは、FLGレジスタのIフラグを0(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰の場合、CM30ビットを1にした命令の直後の命令から実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを1(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

9.2.5 システムクロック制御レジスタ4 (CM4)

アドレス 0000Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	CM42	CM41	CM40
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CM40	CPUクロック選択ビット	b2 b1 b0	R/W
b1	CM41		0 0 0 : XINクロック	R/W
b2	CM42		0 0 1 : fLOCOクロック	R/W
			0 1 0 : XCINクロック	
		0 1 1 : 設定しないでください		
		1 0 0 : 設定しないでください		
		1 0 1 : fHOCO-Fクロック		
		上記以外 : 設定しないでください		
b3	—	予約ビット	0にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

CM4レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.6 時計用プリスケアラリセットフラグ (CPSRF)

アドレス	00010h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CPSR	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	CPSR	時計用プリスケアラリセットビット	このビットを1にすると時計用プリスケアラが初期化される(読んだ場合、その値は0)	R/W

CPSRレジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.7 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス	00012h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振	R/W
b1	FRA01	fOCOクロックソース選択ビット(注1)	0: 低速オンチップオシレータ選択(注2) 1: 高速オンチップオシレータ選択	R/W
b2	—	予約ビット	0にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0: fLOCOの128分周を選択 1: fHOCO-Fの128分周を選択	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00ビット=1(高速オンチップオシレータ発振)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- FRA2レジスタのFRA22~FRA20ビットが
VCC = 2.7V~5.5Vの場合は全分周モード設定可能 000b~111b
VCC = 1.8V~5.5Vの場合は8分周以上の分周比 110b(8分周モード)、111b(9分周モード)

注2. FRA01ビットに0(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに0(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを0にした後、FRA00ビットを0にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.8 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス	00014h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	FRA25	FRA24	—	FRA22	FRA21	FRA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA20	高速オンチップオシレータ分周比選択ビット	b2 b1 b0	R/W
b1	FRA21		0 0 0 : 2分周モード	R/W
b2	FRA22		0 0 1 : 3分周モード	R/W
			0 1 0 : 4分周モード	
		0 1 1 : 5分周モード		
		1 0 0 : 6分周モード		
		1 0 1 : 7分周モード		
		1 1 0 : 8分周モード		
		1 1 1 : 9分周モード		
b3	—	予約ビット	0にしてください	R/W
b4	FRA24	高速オンチップオシレータ周波数切り替えビット	b5 b4	R/W
b5	FRA25		0 0 : 40 MHz	
		0 1 : 36.864 MHz		
		1 0 : 32 MHz		
		1 1 : 設定した場合00bと同じ		
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

FRA2 レジスタを書き換える場合は、高速オンチップオシレータが停止している状態で、PRCR レジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.9 電圧検出レジスタ2 (VCA2)

アドレス 00034h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが1の場合

リセット後の値	0	0	1	0	0	0	0	0
---------	---	---	---	---	---	---	---	---

上記はOFSレジスタのLVDASビットが0の場合

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注1)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注2)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注3)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. 電圧監視0リセットを使用する場合、VCA25ビットを1にしてください。

注2. 電圧検出1割り込みを使用する場合またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを1にしてください。VCA26ビットを0から1にした後、td(E-A)経過してから電圧検出1回路が動作します。

注3. 電圧検出2割り込みを使用する場合またはVW2CレジスタのVW2C3ビットを使用する場合、VCA27ビットを1にしてください。VCA27ビットを0から1にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

9.2.10 入出力機能端子選択レジスタ (PINSR)

アドレス	002B9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IOINSEL	—	—	XCSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	XCSEL	XCIN/XCOUT 端子接続ビット	0 : XCINをP4_3、XCOUTをP4_4に接続しない 1 : XCINをP4_3、XCOUTをP4_4に接続する	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	IOINSEL	I/Oポート入力機能選択ビット	0 : I/Oポートの入力機能はPDiレジスタ (i = 0~9)に依存 PDiレジスタのPDi _j ビット (j = 0~7)が0 (入力モード)のとき、端子の入力レベルが読める。 PDiレジスタのPDi _j ビットが1 (出力モード)のとき、ポートラッチの値が読める。 1 : I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルが読める。	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

XCSEL ビット (XCIN/XCOUT 端子接続ビット)

XCSEL ビットはXCIN、XCOUTをP4_3、P4_4に割り当てるかいないかを選択するビットです。0にするとXCINをP4_3、XCOUTをP4_4に割り当てません。1にするとXCINをP4_3、XCOUTをP4_4に割り当てます。XCIN、XCOUTの設定方法は、「9. クロック発生回路」を参照してください。

IOINSEL ビット (I/Oポート入力機能選択ビット)

IOINSEL ビットはPDiレジスタのPDi_jビットが1 (出力モード)のときに、Piレジスタの読み出す値をポートラッチにするか、I/Oポートの端子の入力レベルにするかを選択するビットです。0にするとポートラッチの値が読めます。1にするとI/Oポートの端子の入力レベルが読めます。

表9.4にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットですべてのI/Oポートの入力機能を変更できます。

表9.4 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi _j ビット	0 (入力モード)		1 (出力モード)		
	IOINSELビット	0	1	0	1
I/Oポート読み出し値		端子の入力レベル	ポートラッチの値	端子の入力レベル	

i = 0~9、j = 0~7

9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXOUT端子へ入力することもできます。

図9.3にXINクロック発振回路の接続例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを1(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを0(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、CM4レジスタのCM42～CM40ビットを000b(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「10. パワーコントロール」を参照してください。

XINクロックの設定は、発振子外付け、外部クロック入力のそれぞれに対応して表9.5に示す設定が必要です。

表9.5 CM0、CM1レジスタの設定

CM0レジスタ		CM1レジスタ	XINクロック
CM05ビット	CM07ビット	CM13ビット	
1	0	1	発振停止
0	0	1	発振許可
1	1	1	外部クロック停止
0	1	1	外部クロック入力許可

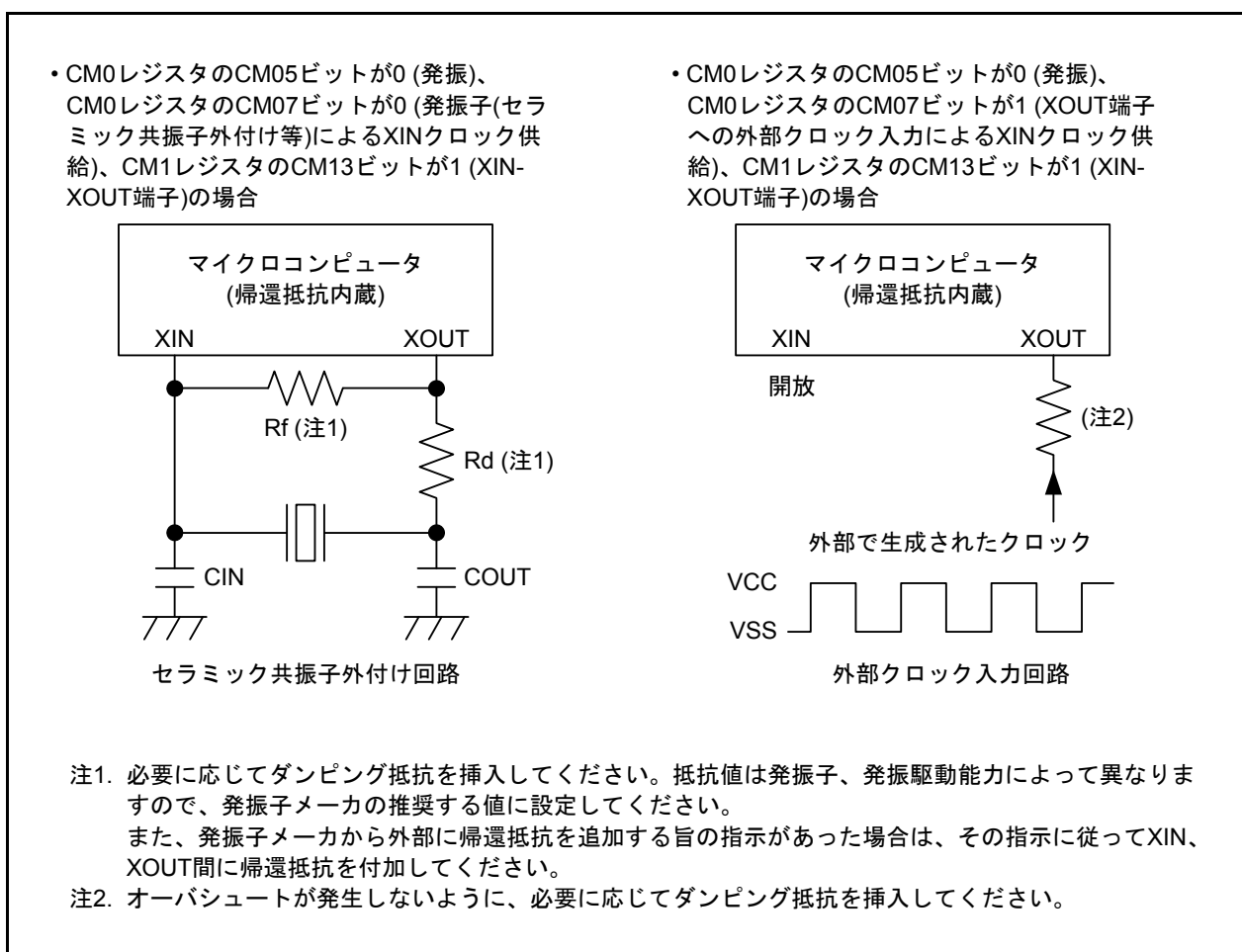


図9.3 XINクロック発振回路の接続例

9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fLOCO、fOCO128のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1、OCD0ビットが11bの場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fHOCO-F、fHOCO、fOCO128のクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを1(オンチップオシレータ発振)にすると発振を開始します。

高速オンチップオシレータクロックの周波数を36.864 MHzにするには、FRA2レジスタのFRA25、FRA24ビットを01bとしてください。これにより、シリアルインタフェースをUARTモードで使用時に、9600 bps、38400 bpsなどのビットレートの設定誤差を、0%にすることができます。

高速オンチップオシレータクロックの周波数を32 MHzにするには、FRA25、FRA24ビットを10bとしてください。

9.5 XCINクロック

XCINクロック発振回路が供給するクロックです。CPUクロック、周辺機能クロックのクロック源になります。XCINクロック発振回路はXCIN-XCOUT端子間に発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCINクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。

図9.4にXCINクロック発振回路の接続例を示します。

リセット中およびリセット後、XCINクロックは停止しています。

PINSRレジスタのXCSELビットを1(XCINをP4_3、XCOUTをP4_4に接続する)にし、CM0レジスタのCM04ビットを1(Xtal使用)にした後、CM0レジスタのCM03ビットを0(XCINクロック発振)にするとXCINクロックは発振を開始します。XCINクロックの発振が安定した後、CM4レジスタのCM42～CM40ビットを010b(XCINクロック)にするとXCINクロックがCPUのクロック源になります。外部で生成されたクロックをXCIN端子へ入力する場合は、CM04ビットを0(XCINより外部クロック入力)にしてください。このとき、XCOUT端子は開放してください。

R8C/38T-Aグループは、帰還抵抗を内蔵していますが、CM1レジスタのCM12ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XCINクロックを含めたすべてのクロックが停止します。詳細は「10. パワーコントロール」を参照してください。

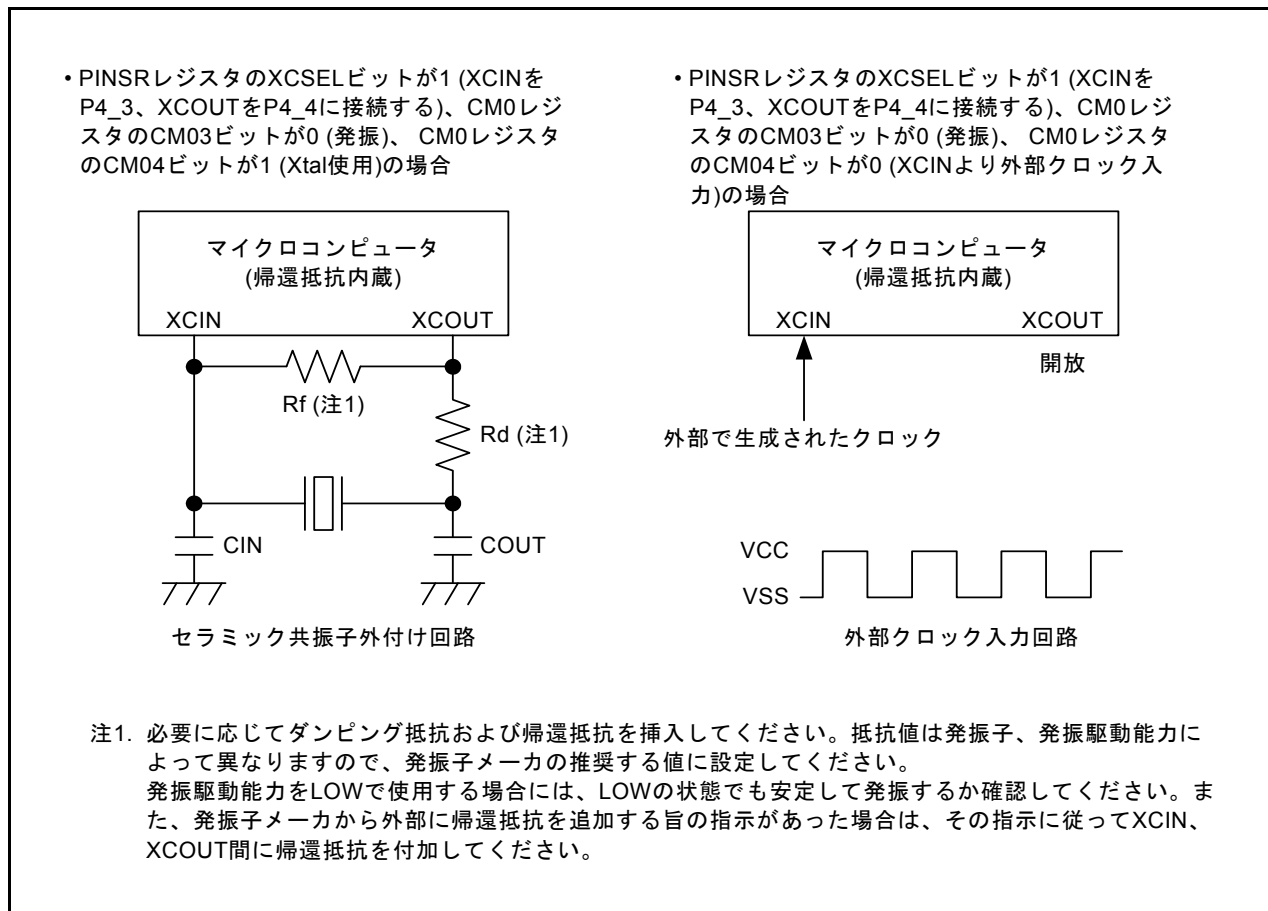


図9.4 XCINクロック発振回路の接続例

9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります(「図9.1 クロック発生回路のブロック図」参照)。

9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、XCINクロック、オンチップオシレータクロックが選択できます。

9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは1(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを0(CM06、CM16、CM17ビットの設定有効)にしてください。

9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i(i=1、2、4、8、32)はシステムクロックをi分周したクロックです。f_iはタイマRJ、タイマRB2、タイマRC、タイマRE2、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを1(ウェイトモード時、周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、f_iは停止します。

9.6.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRJで使用します。fOCOはウェイトモード時、停止しません。

9.6.5 fHOCO

タイマRCのカウントソースになります。

fHOCOは高速オンチップオシレータで生成したクロックで、FRA0レジスタのFRA00ビットを1にすると供給されます。

fHOCOはウェイトモード時、停止しません。

9.6.6 fHOCO-F

タイマRC、A/Dコンバータのカウントソースになります。

fHOCO-Fは高速オンチップオシレータで生成したクロックをi分周(i=2、3、4、5、6、7、8、9；FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを1にすると供給されます。

fHOCO-Fはウェイトモード時、停止しません。

9.6.7 fLOCO

電圧検出回路の動作クロックです。

fLOCOは低速オンチップオシレータで生成したクロックで、CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にすると供給されます。

fLOCOはウェイトモード時、停止しません。

9.6.8 fOCO128

fLOCOまたはfHOCO-Fを128分周したクロックです。FRA0レジスタのFRA03ビットを0にするとfLOCOの128分周が選択され、1にするとfHOCO-Fの128分周が選択されます。

タイマRCのTRCGRAレジスタで使用するキャプチャ信号になります。

9.6.9 fC1、fC2、fC32

fC1、fC2、fC32はタイマRJ、タイマRE2、シリアルインタフェースで使します。

なお、fC1、fC2、fC32は、XCINクロックの発振が安定しているときに使用してください。

9.6.10 fLOCOWDT

ウォッチドッグタイマの動作クロックです。

fLOCOWDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを1(カウントソース保護モード有効)にすると供給されます。

fLOCOWDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.7 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.6に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1、OCD0ビットが11bの場合、XINクロックが停止すると、次の状態になります。

- CM4レジスタのCM42～CM40ビット=001b (fLOCO)
- CM1レジスタのCM14ビット=0 (低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.6 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) ≥ 2 MHz
発振停止検出機能有効条件	OCDレジスタのOCD1、OCD0ビットを11bにする
発振停止検出時の動作	発振停止検出割り込み発生

9.7.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。

表9.7に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。

- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。
図9.5に低速オンチップオシレータからXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM0レジスタのCM02ビットを0 (ウェイトモード時、周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM0レジスタのCM05ビットを変更する)は、OCD1、OCD0ビットを00bにしてください。
- XINクロックの周波数が2 MHz未満の場合、この機能は使用できませんので、OCD1、OCD0ビットを00bにしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、OCDレジスタのOCD6ビットを0 (低速オンチップオシレータ選択)にした後、OCD1、OCD0ビットを11bにしてください。
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA00ビットを1 (高速オンチップオシレータ発振)にし、OCD6ビットを1 (高速オンチップオシレータ選択)にした後、OCD1、OCD0ビットを11bにしてください。

表9.7 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

項目	仕様
発振停止検出	OCDレジスタのOCD2ビット=1
ウォッチドッグタイマ	RISRレジスタのUFIFビット=1
電圧監視1	VW1CレジスタのVW1C2ビット=1
電圧監視2	VW2CレジスタのVW2C2ビット=1

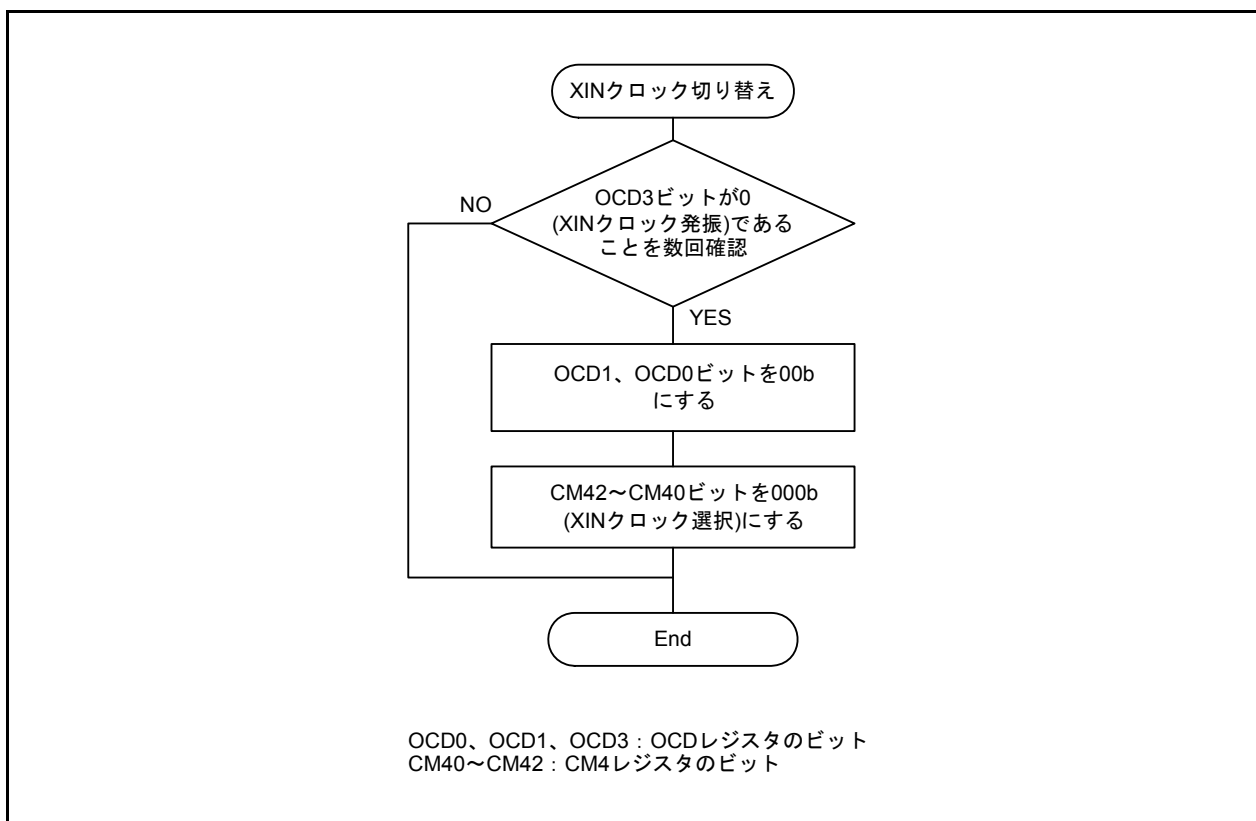


図9.5 低速オンチップオシレータからXINクロックへの切り替え手順

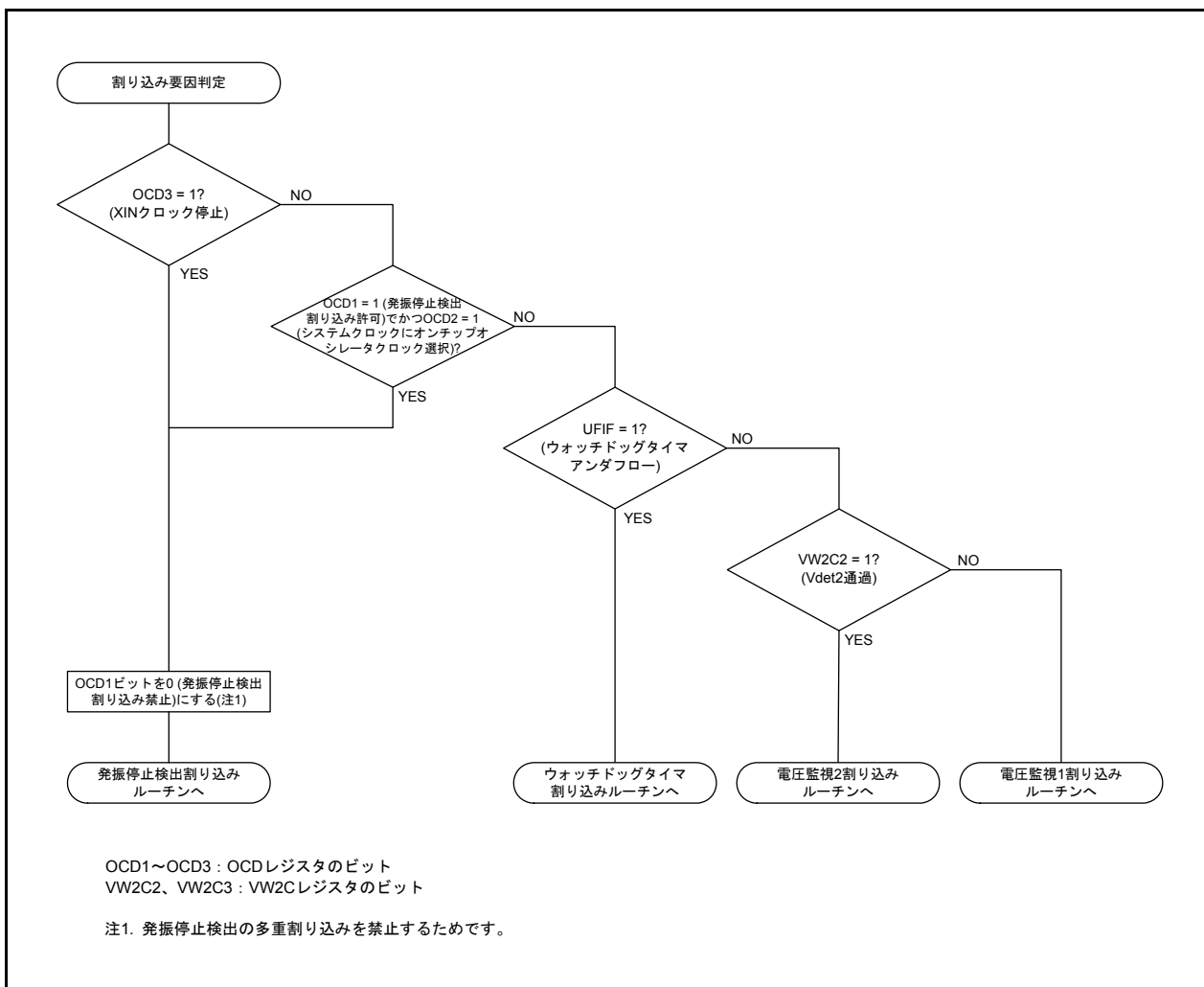


図9.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

9.8 クロック発生回路使用上の注意事項

9.8.1 発振停止検出機能

XINクロックの周波数が2 MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1、OCD0ビットを00bにしてください。

9.8.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。
電源電圧VCC = 2.7 V未満でご使用になる場合は、CM1レジスタのCM11ビットを1(内蔵帰還抵抗無効)にし、外部に帰還抵抗を接続することを推奨します。

10. パワーコントロール

CPUクロックや周辺機能クロックの選択や停止などで、消費電力を制御することをパワーコントロールと呼びます。

10.1 概要

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

図10.1にパワーコントロールモードの状態遷移を示します。

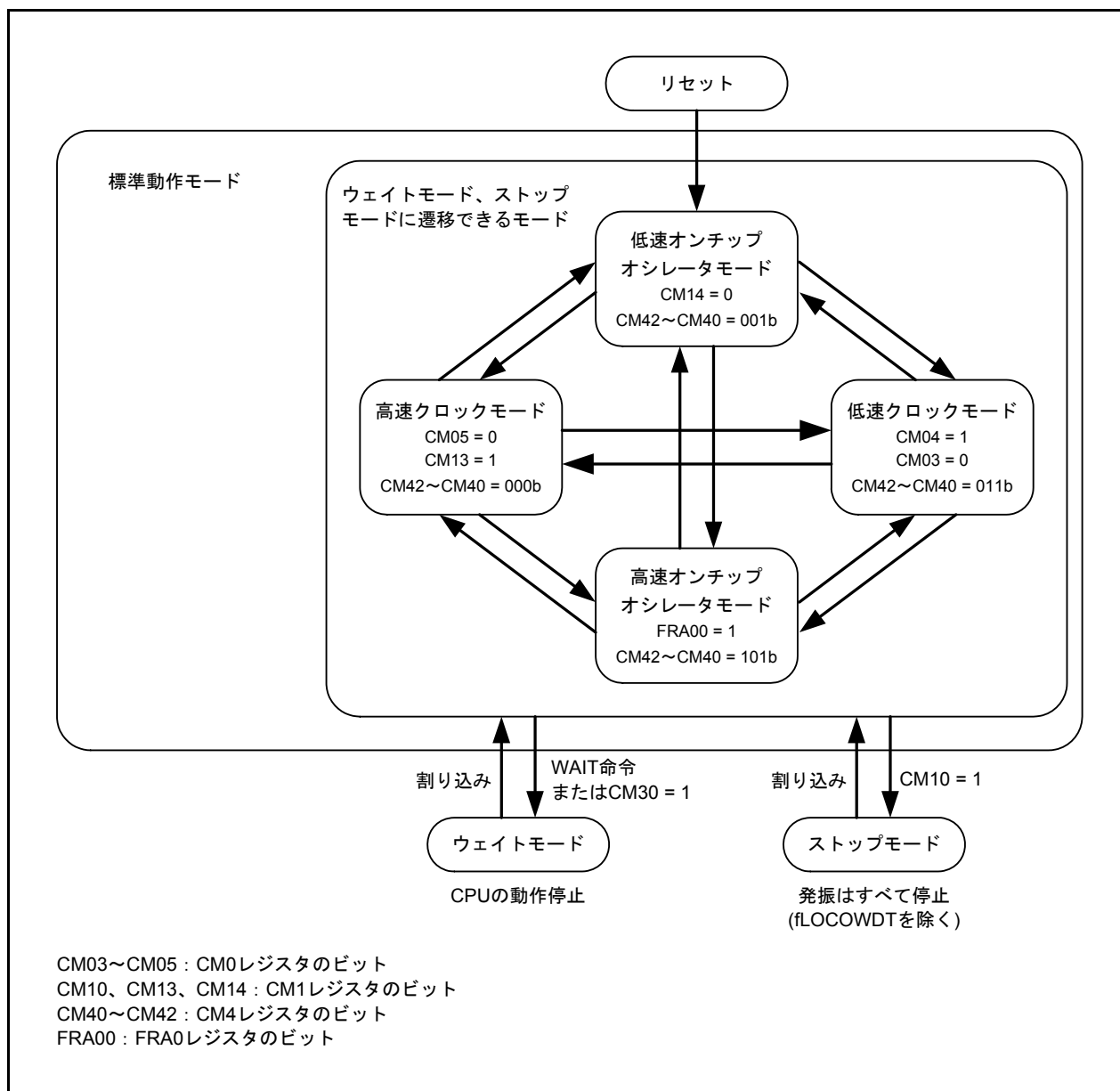


図10.1 パワーコントロールモードの状態遷移

10.2 レジスタの説明

表10.1にパワーコントロールのレジスタ構成を示します。

表10.1 パワーコントロールのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムクロック制御レジスタ0	CM0	00101000b	00008h	8
システムクロック制御レジスタ1	CM1	00100000b	00009h	8
システムクロック制御レジスタ3	CM3	00h	0000Bh	8
システムクロック制御レジスタ4	CM4	00000001b	0000Ch	8
高速オンチップオシレータ制御レジスタ0	FRA0	00h	00012h	8
STBY VDC 電力制御レジスタ	SVDC	00h	0002Ch	8
モジュールスタンバイコントロールレジスタ0	MSTCR0	00h	00238h	8
モジュールスタンバイコントロールレジスタ1	MSTCR1	00h	00239h	8
モジュールスタンバイコントロールレジスタ2	MSTCR2	00h	0023Ah	8
モジュールスタンバイコントロールレジスタ3	MSTCR3	00h	0023Bh	8
モジュールスタンバイコントロールレジスタ4	MSTCR4	00h	0023Ch	8

10.2.1 システムクロック制御レジスタ0 (CM0)

アドレス	00008h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	CM04	CM03	CM02	—	—
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	CM03	XCINクロック停止ビット	0: 発振 1: 停止	R/W
b4	CM04	XCINバッファ外部入力設定 (注1)	0: XCINより外部クロック入力 1: Xtal使用	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット (注2、3)	0: 発振 1: 停止(注4)	R/W
b6	CM06	CPUクロック分周比選択ビット0 (注5)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XINクロック供給設定ビット (注6)	0: 発振子(セラミック共振子外付け等)によるXINクロック供給 1: XOUT端子への外部クロック入力によるXINクロック供給	R/W

注1. CM04ビットはプログラムで1にできますが、0にできません。

注2. CM05ビットはXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1)OCDレジスタのOCD1、OCD0ビットを00b(発振停止検出機能無効)

(2)CM4レジスタのCM42～CM40ビットを001b(fLOCOクロック)、101b(fHOCO-Fクロック)にしてください。

注3. CM05ビットが1(XINクロック停止)かつCM1レジスタのCM13ビットが0(P4_6、P4_7)の場合のみ、P4_6、P4_7はI/Oポートとして使用できます。

注4. 外部クロック入力時には、クロック入力そのものも受け付けません。

注5. ストップモードへの移行時、CM06ビットは1(8分周モード)になります。

注6. ストップモードまたはウェイトモードからの復帰時、XINクロックに切り替える場合、CM05ビットをリセットしないでください。

CM0レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

10.2.2 システムクロック制御レジスタ1 (CM1)

アドレス	00009h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	CM12	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注1、2)	0 : クロック発振 1 : 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効	R/W
b2	CM12	XCIN-XCOUT内蔵帰還抵抗選択 ビット	1 : 内蔵帰還抵抗無効	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット (注3)	0 : I/OポートP4_6、P4_7 1 : XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止 ビット(注4、5)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	1にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注6)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	R/W
b7	CM17			R/W

- 注1. CM10ビットが1(ストップモード)の場合、内蔵している帰還抵抗は無効となります。CM10ビットが1(ストップモード)の場合、CM13ビットが1(XIN-XOUT端子)のとき、XOUT(P4_7)端子はHになります。CM13ビットが1のとき、P4_6、P4_7は入力状態になります。
- 注2. SVDCレジスタのSVC0ビットが1(低消費電力モード遷移許可)のとき、CM10ビットを1(ストップモード)にしないでください。
- 注3. CM13ビットはプログラムで一度1にすると、0にはできません。XIN-XOUT端子として使用する場合はCM13ビットを1にしてください。
- 注4. CM14ビットはCM4レジスタのCM42~CM40ビットが000b(XINクロック)のとき、1(低速オンチップオシレータ停止)にできます。CM42~CM40ビットを001b(fLOCOクロック)にすると、CM14ビットは0(低速オンチップオシレータ発振)になります。1を書いても変化しません。
- 注5. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを0(低速オンチップオシレータ発振)にしてください。
- 注6. CM0レジスタのCM06ビットが0(CM16、CM17ビット有効)の場合、CM16、CM17ビットは有効となります。

CM1レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

10.2.3 システムクロック制御レジスタ3 (CM3)

アドレス	0000Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット (注1)	0 : ウェイトモードではない 1 : ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット(注2)	0 : CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1 : 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから 復帰時のシステムクロック選択ビット (注3)	b7 b6 0 0 : ウェイトモード、ストップモードに移 行する直前のCPUクロックで復帰 0 1 : 設定しないでください 1 0 : 高速オンチップオシレータクロックを 選択(注4) 1 1 : XINクロックを選択(注5)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは0(ウェイトモードではない)になります。

注2. ストップモード時はCM35ビットを0にしてください。ウェイトモードへ移行時、CM35ビットが1(分周なし)の場合、CM0レジスタのCM06ビットは0(CM1レジスタのCM16、CM17ビット有効)、CM17、CM16ビットは00b(分周なしモード)になります。

注3. FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。また、低消費電流リードモード中は、FMR0レジスタのFMSTPビットを1(フラッシュメモリ停止)にしないでください。

注4. CM37、CM36ビットが10b(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM4レジスタのCM42～CM40ビット=001b(fLOCOクロック)
- FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
- CM4レジスタのCM42～CM40ビット=101b(fHOCO-Fクロック)

注5. CM37、CM36ビットが11b(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM0レジスタのCM05ビット=0(XINクロック発振)
- CM1レジスタのCM13ビット=1(XIN-XOUT端子)
- CM4レジスタのCM42～CM40ビット=000b(XINクロック選択)

CM05ビットが1(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを1(8分周モード)かつCM35ビットを0にしてください。ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37、CM36ビットを11b(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを1(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、XCINクロック、低速オンチップオシレータクロック、高速オンチップオシレータクロック、およびウォッチドッグタイマ用低速オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを1にするときは、FLGレジスタのIフラグを0(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰の場合、CM30ビットを1にした命令の直後の命令から実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを1(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

10.2.4 システムクロック制御レジスタ4 (CM4)

アドレス 0000Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	CM42	CM41	CM40
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CM40	CPUクロック選択ビット	b2 b1 b0	R/W
b1	CM41		0 0 0 : XINクロック	R/W
b2	CM42		0 0 1 : fLOCOクロック	R/W
			0 1 0 : XCINクロック	
		0 1 1 : 設定しないでください		
		1 0 0 : 設定しないでください		
		1 0 1 : fHOCO-Fクロック		
		上記以外 : 設定しないでください		
b3	—	予約ビット	0にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

CM4レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

10.2.5 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス	00012h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0: 高速オンチップオシレータ停止 1: 高速オンチップオシレータ発振	R/W
b1	FRA01	fOCOクロックソース選択ビット (注1)	0: 低速オンチップオシレータ選択 (注2) 1: 高速オンチップオシレータ選択	R/W
b2	—	予約ビット	0にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0: fLOCOの128分周を選択 1: fHOCO-Fの128分周を選択	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00ビット=1 (高速オンチップオシレータ発振)
- CM1レジスタのCM14ビット=0 (低速オンチップオシレータ発振)
- FRA2レジスタのFRA22~FRA20ビットが
VCC = 2.7V ~ 5.5Vの場合は全分周モード設定可能 000b ~ 111b
VCC = 1.8V ~ 5.5Vの場合は8分周以上の分周比 110b (8分周モード)、111b (9分周モード)

注2. FRA01ビットに0 (低速オンチップオシレータ選択) を書くとき、同時にFRA00ビットに0 (高速オンチップオシレータ停止) を書かないでください。FRA01ビットを0にした後、FRA00ビットを0にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを1 (書き込み許可) にした後、書き換えてください。

10.2.6 STBY VDC電力制御レジスタ (SVDC)

アドレス	0002Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	SVC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SVC0	低消費電力モード遷移許可ビット (注1)	0: 低消費電力モード遷移禁止 1: 低消費電力モード遷移許可	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. ウェイトモード中にDTC転送を使用する場合は、SVC0ビットを1 (低消費電力モード遷移許可) にしないでください。

SVDCレジスタは、PRCRレジスタのPRC3ビットを1 (書き込み許可) にした後、書き換えてください。

10.2.7 モジュールスタンバイコントロールレジスタ0 (MSTCR0)

アドレス 00238h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MSTURT2	—	—	MSTURT_1	MSTURT_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTURT_0	UART0_0モジュールスタンバイビット	0 : UART0_0通常動作 1 : UART0_0スタンバイ	R/W
b1	MSTURT_1	UART0_1モジュールスタンバイビット	0 : UART0_1通常動作 1 : UART0_1スタンバイ	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	MSTURT2			
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

10.2.8 モジュールスタンバイコントロールレジスタ1 (MSTCR1)

アドレス 00239h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	MSTIIC_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTIIC_0	IICSSU_0モジュールスタンバイビット	0 : IICSSU_0通常動作 1 : IICSSU_0スタンバイ	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

10.2.9 モジュールスタンバイコントロールレジスタ2 (MSTCR2)

アドレス 0023Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRC_0	—	MSTTRB_0	—	—	—	MSTTRJ_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRJ_0	タイマRJ_0モジュールスタンバイビット	0: タイマRJ_0通常動作 1: タイマRJ_0スタンバイ	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	MSTTRB_0	タイマRB2_0モジュールスタンバイビット	0: タイマRB2_0通常動作 1: タイマRB2_0スタンバイ	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	MSTTRC_0	タイマRC_0モジュールスタンバイビット	0: タイマRC_0通常動作 1: タイマRC_0スタンバイ	R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

10.2.10 モジュールスタンバイコントロールレジスタ3 (MSTCR3)

アドレス 0023Bh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	MSTTRE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	MSTTRE	タイマRE2モジュールスタンバイビット	0: タイマRE2通常動作 1: タイマRE2スタンバイ	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

10.2.11 モジュールスタンバイコントロールレジスタ4 (MSTCR4)

アドレス 0023Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	MSTSCU
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTSCU	TSCUモジュールスタンバイビット	0: TSCU通常動作 1: TSCUスタンバイ	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b7	—			

10.3 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。周辺機能を周辺機能クロック (f1、f2、f4、f8、f32) 以外のクロックで動作させる場合は、対象クロックが発振安定状態である必要があります。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから、クロックを切り替えてください。

表 10.2 クロック関連ビットの設定とモード

モード		CM4レジスタ	CM1レジスタ			CM0 レジスタ	FRA0 レジスタ
		CM42~CM40 ビット	CM17、CM16 ビット	CM14 ビット	CM13 ビット	CM06 ビット	FRA00 ビット
高速クロック モード	分周なし	000b	00b	—	1	0	—
	2分周	000b	01b	—	1	0	—
	4分周	000b	10b	—	1	0	—
	8分周	000b	—	—	1	1	—
	16分周	000b	11b	—	1	0	—
高速オンチップ オシレータ モード	分周なし	101b	00b	—	—	0	1
	2分周	101b	01b	—	—	0	1
	4分周	101b	10b	—	—	0	1
	8分周	101b	—	—	—	1	1
	16分周	101b	11b	—	—	0	1
低速オンチップ オシレータ モード	分周なし	001b	00b	0	—	0	—
	2分周	001b	01b	0	—	0	—
	4分周	001b	10b	0	—	0	—
	8分周	001b	—	0	—	1	—
	16分周	001b	11b	0	—	0	—
低速クロック モード	分周なし	010b	00b	—	—	0	—
	2分周	010b	01b	—	—	0	—
	4分周	010b	10b	—	—	0	—
	8分周	010b	—	—	—	1	—
	16分周	010b	11b	—	—	0	—

—: 0でも1でも影響ない

10.3.1 高速クロックモード

CM1レジスタのCM13ビットが1(XIN-XOUT端子)、かつCM4レジスタのCM42～CM40ビットが000bのとき、XINクロックがシステムクロックになり、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。

10.3.2 低速クロックモード

CM4レジスタのCM42～CM40ビットが010bのとき、XCINクロックがシステムクロックになり、システムクロックの1分周(分周なし)、2分周、4分周、8分周または16分周がCPUクロックとなります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、SVDCレジスタのSVD0ビットを1(低消費電力モード遷移許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は「10.6 消費電力の低減」を参照してください。

10.3.3 高速オンチップオシレータモード

FRA00ビットが1(高速オンチップオシレータ発振)、かつCM4レジスタのCM42～CM40ビットが101bのとき、高速オンチップオシレータがシステムクロックになります。このとき、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。

10.3.4 低速オンチップオシレータモード

CM14ビットが0(低速オンチップオシレータ発振)、かつCM42～CM40ビットが001bのとき、低速オンチップオシレータがシステムクロックになります。このとき、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR27ビットを1(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周、または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

また、このモードからウェイトモードに入る場合、SVD0ビットを1(低消費電力モード遷移許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は「10.6 消費電力の低減」を参照してください。

10.4 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、CPUクロックをカウントソースに選択しているウォッチドッグタイマが停止します。XINクロック、XCINクロック、高速オンチップオシレータ、低速オンチップオシレータ、およびウォッチドッグタイマ用低速オンチップオシレータの発振は停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.4.1 周辺機能クロック停止機能

CM0レジスタのCM02ビットが1(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

10.4.2 ウェイトモードへの移行

WAIT命令を実行またはCM3レジスタのCM30ビットを1(ウェイトモードに移行する)にするとウェイトモードになります。

CM4レジスタのCM42～CM40ビットを001b(CPUクロックにfLOCOを選択)、またはCM42～CM40ビットを101b(CPUクロックにfHOCO-Fクロックを選択)に設定した場合は、OCDレジスタのOCD1ビットを0(発振停止検出割り込み禁止)にしてから、WAIT命令を実行またはCM30ビットを1(ウェイトモードに移行する)にしてください。

OCD1ビットが1(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM3レジスタのCM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM3レジスタのCM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

10.4.3 ウェイトモード時の端子の状態

I/Oポートはウェイトモードに入る直前の状態を保持します。

10.4.4 ウェイトモードからの復帰

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM0レジスタのCM02ビットの影響を受けます。CM02ビットが0(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが1(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはfHOCOクロック、fOCO128クロック、fOCOクロック、fHOCO-Fクロック、fLOCOWDTクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02 = 0の場合	CM02 = 1の場合
シリアルインタフェース 割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
シンクロナスシリアルコ ミュニケーションユニット I ² Cバスインタフェース	すべてのモードで使用可	— (使用しないでください)
キー入力割り込み	使用可	使用可
A/D変換割り込み	— (使用しないでください)	— (使用しないでください)
タイマRJ割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタ モードで使用可 カウントソースにfOCO、fC1、fC32を選 択することで使用可
タイマRB2割り込み	すべてのモードで使用可	— (使用しないでください)
タイマRC割り込み	すべてのモードで使用可	カウントソースにfHOCO、fHOCO-Fを選 択することで使用可
タイマRE2割り込み	すべてのモードで使用可	カウントソースにfC1を選択することで使 用可
INT割り込み	使用可	使用可 (INT0～INT4はフィルタなしの場合 に、使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	— (使用しないでください)

図10.2にCM3レジスタのCM30ビットを1(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを1にする前に次の設定をしてください。

- (1) FLGレジスタのIフラグを0(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL0～ILVL2ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて000b(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびSVDCレジスタのSVC0ビットの設定に応じて図10.2のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

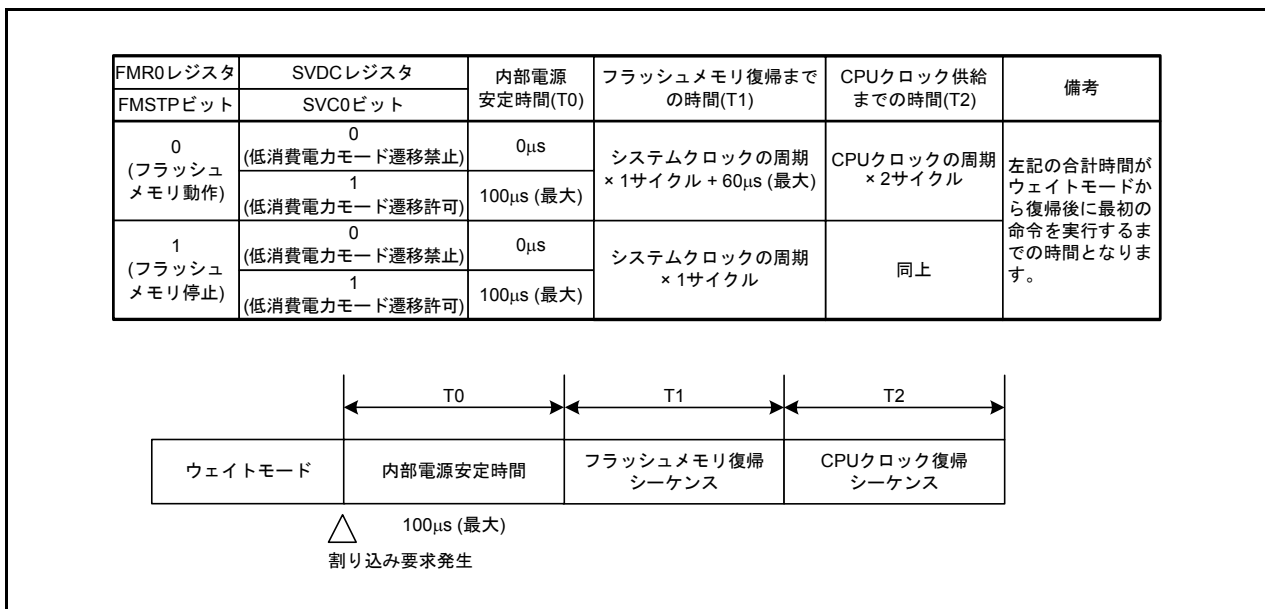


図10.2 CM30ビットを1(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

図10.3にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL0～ILVL2ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて000b(割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能を動作させる。
- (3) FLGレジスタのIフラグを1にする。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびSVDCレジスタのSVD0ビットの設定に応じて図10.3のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

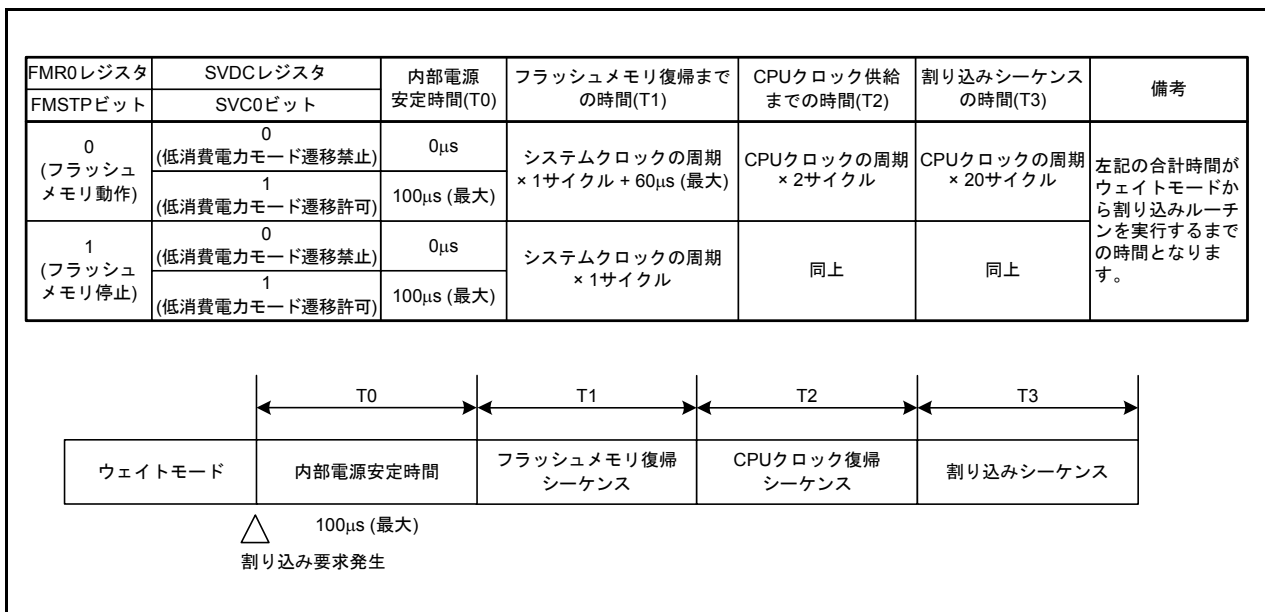


図10.3 WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

10.5 ストップモード

ストップモードでは、fLOCOWDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
INT0～INT4割り込み	フィルタなしの場合に使用可
タイマRJ割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェース割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが1)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが1)の場合に使用可

10.5.1 ストップモードへの移行

CM1レジスタのCM10ビットを1(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは1(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1、OCD0ビットを00b、CM3レジスタのCM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35ビットを0にしてください。

10.5.2 ストップモード時の端子の状態

I/Oポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが1(XIN-XOUT端子)のとき、XOUT(P4_7)端子はHになります。CM13ビットが0(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。

10.5.3 ストップモードからの復帰

リセットまたは周辺機能割り込みにより、ストップモードから復帰します。

図10.4にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM1レジスタのCM10ビットを1にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込み制御レジスタのILVL0～ILVL2ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて000b(割り込み禁止)にする。
- (2) ストップモードからの復帰に使用する周辺機能を動作させる。
- (3) FLGレジスタのIフラグを1にする。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

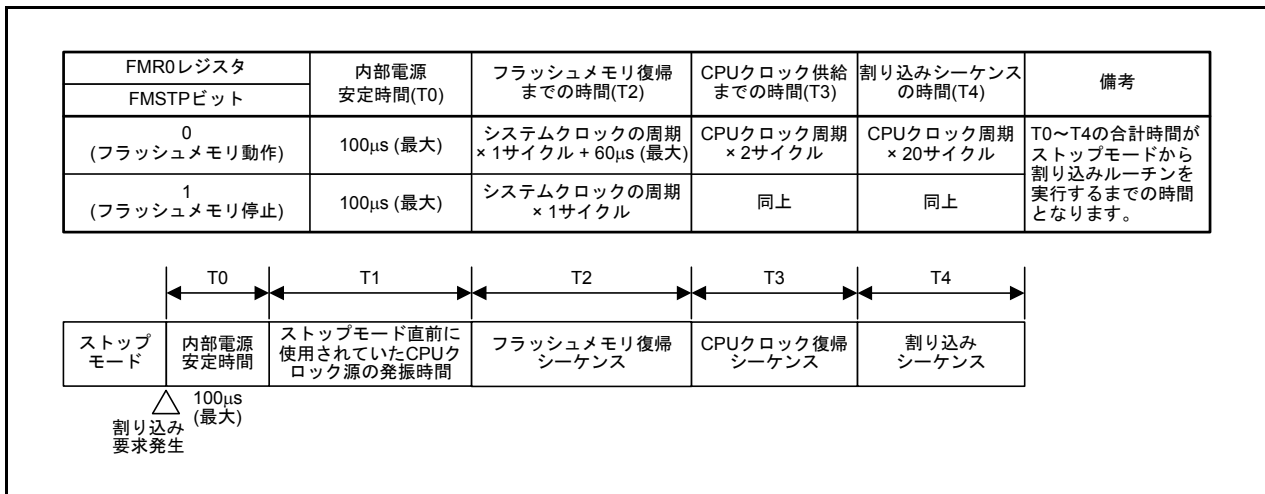


図10.4 ストップモードから割り込みルーチンを実行するまでの時間

10.6 消費電力の低減

以下に消費電力を小さくするためのポイント、処理方法について説明します。

10.6.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを0(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを0(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを0(電圧検出0回路無効)にしてください。

10.6.2 ポート

ウェイトモードまたはストップモードに移行してもI/Oポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れません。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

10.6.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また、周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビット

高速オンチップオシレータの発振停止：FRA0レジスタのFRA00ビット

10.6.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「10.4 ウェイトモード」、「10.5 ストップモード」を参照してください。

10.6.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロック f1、f2、f4、f8、f32 が不要の場合、CM0レジスタのCM02ビットを1(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

10.6.6 タイマ

タイマRJを使用しない場合、MSTCR2レジスタの未使用のタイマRJに対応したMSTTRJ_0ビットを1(スタンバイ)にしてください。

タイマRB2を使用しない場合、MSTCR2レジスタの未使用のタイマRB2に対応したMSTTRB_0ビットを1(スタンバイ)にしてください。

タイマRCを使用しない場合、MSTCR2レジスタの未使用のタイマRCに対応したMSTTRC_0ビットを1(スタンバイ)にしてください。

タイマRE2を使用しない場合、MSTCR3レジスタのMSTTREビットを1(スタンバイ)にしてください。

10.6.7 A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを0(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

10.6.8 クロック同期形シリアルインタフェースおよびシリアルインタフェース

SSU_0とI²C_0の両方を使用しない場合、MSTCR1レジスタの未使用のSSU_0およびI²C_0に対応したMSTIIC_0ビットを1(スタンバイ)にしてください。

UART0_0を使用しない場合、MSTCR0レジスタの未使用のUART0_0に対応したMSTURT_j(j=0、1)ビットを1(スタンバイ)にしてください。

UART2を使用しない場合、MSTCR0レジスタのMSTURT2ビットを1(スタンバイ)にしてください。

10.6.9 内部電源の消費電力低減(低消費電力モード)

低速クロックモードまたは低速オンチップオシレータモード(XINクロック、高速オンチップオシレータは発振停止)でウェイトモードへ移行する場合、SVDCレジスタのSVC0ビットにより、内部電源の消費電力を低減できます。図10.5にSVC0ビットによる内部電源低消費操作手順を示します。SVC0ビットにより低消費電力モード遷移を許可する場合は、この手順に従ってください。

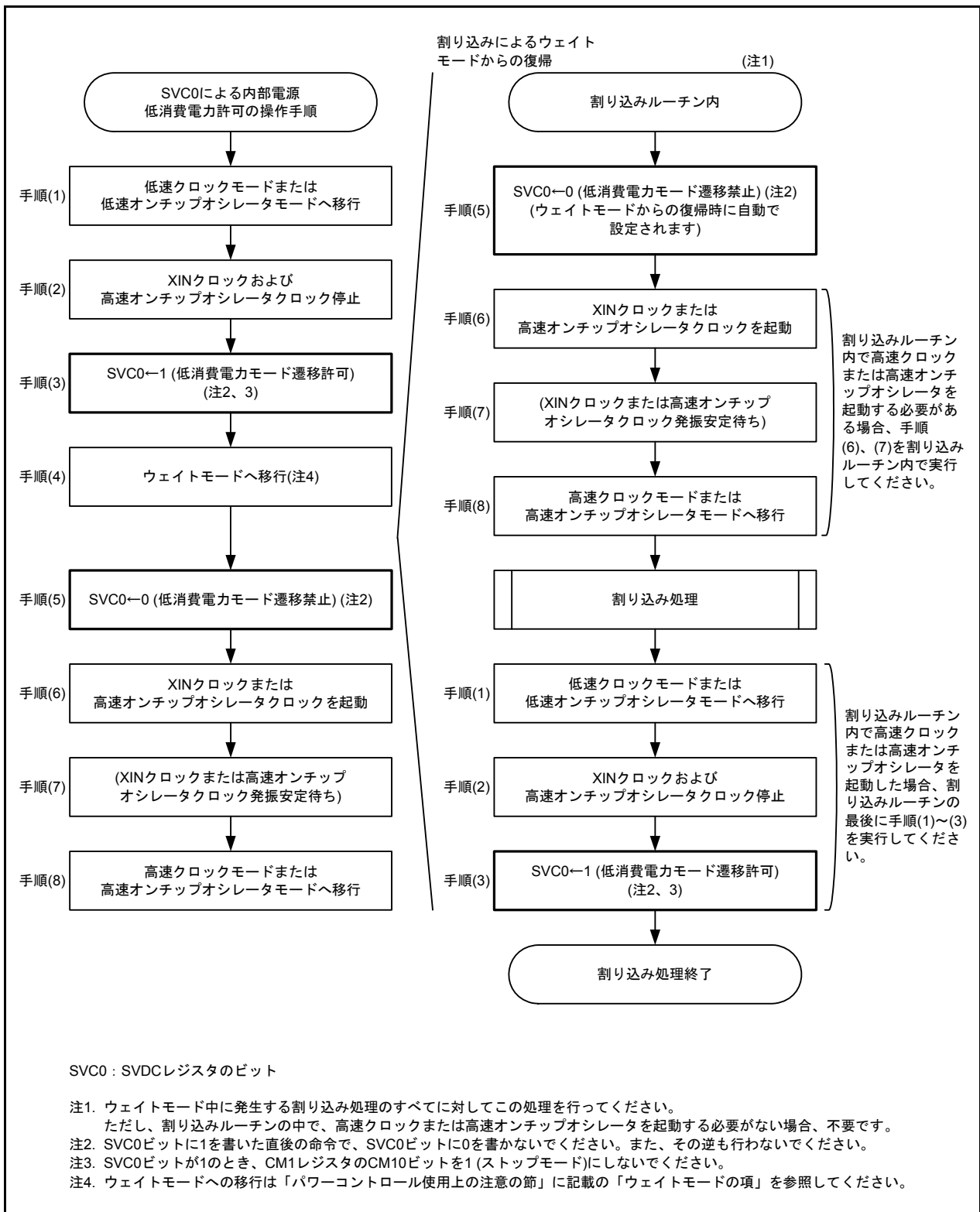


図10.5 SVC0ビットによる内部電源低消費操作手順

10.6.10 フラッシュメモリの停止

低速クロックモード、低速オンチップオシレータモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを1(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図10.6にFMSTPビットによる低消費電力操作手順を示します。

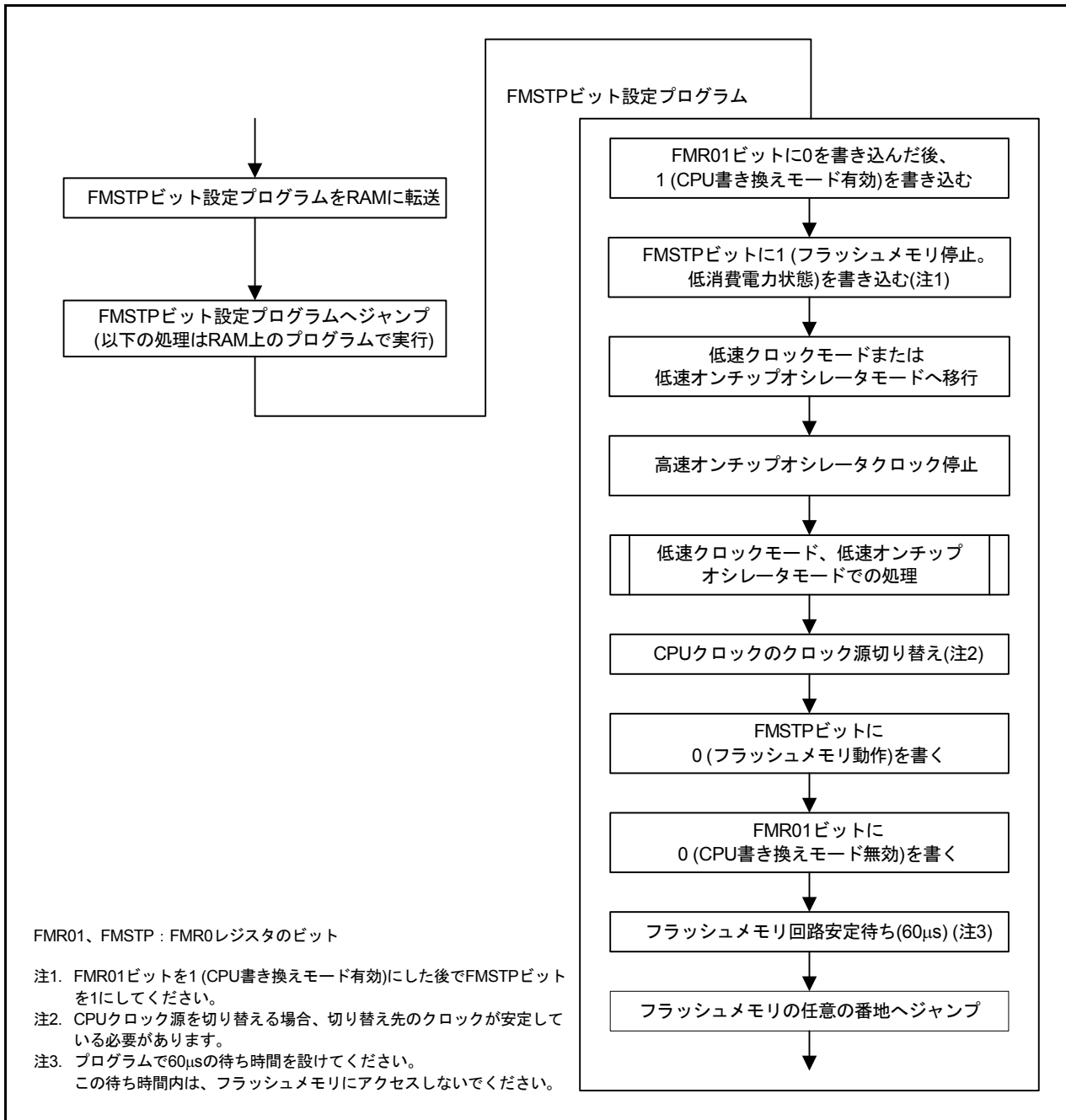


図10.6 FMSTPビットによる低消費電力操作手順

10.6.11 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2 レジスタのFMR27 ビットを1 (低消費電流リードモード許可) にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周または8分周

ただし、選択したCPUクロックの周波数が3 kHz以下のときは、低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27 ビットを1にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを0 (低消費電流リードモード禁止) にした後、移行してください。FMR27 ビットが1の状態では、ウェイトモードまたはストップモードへ移行しないでください。

図10.7にフラッシュメモリの低消費電流リードモードの操作手順を示します。

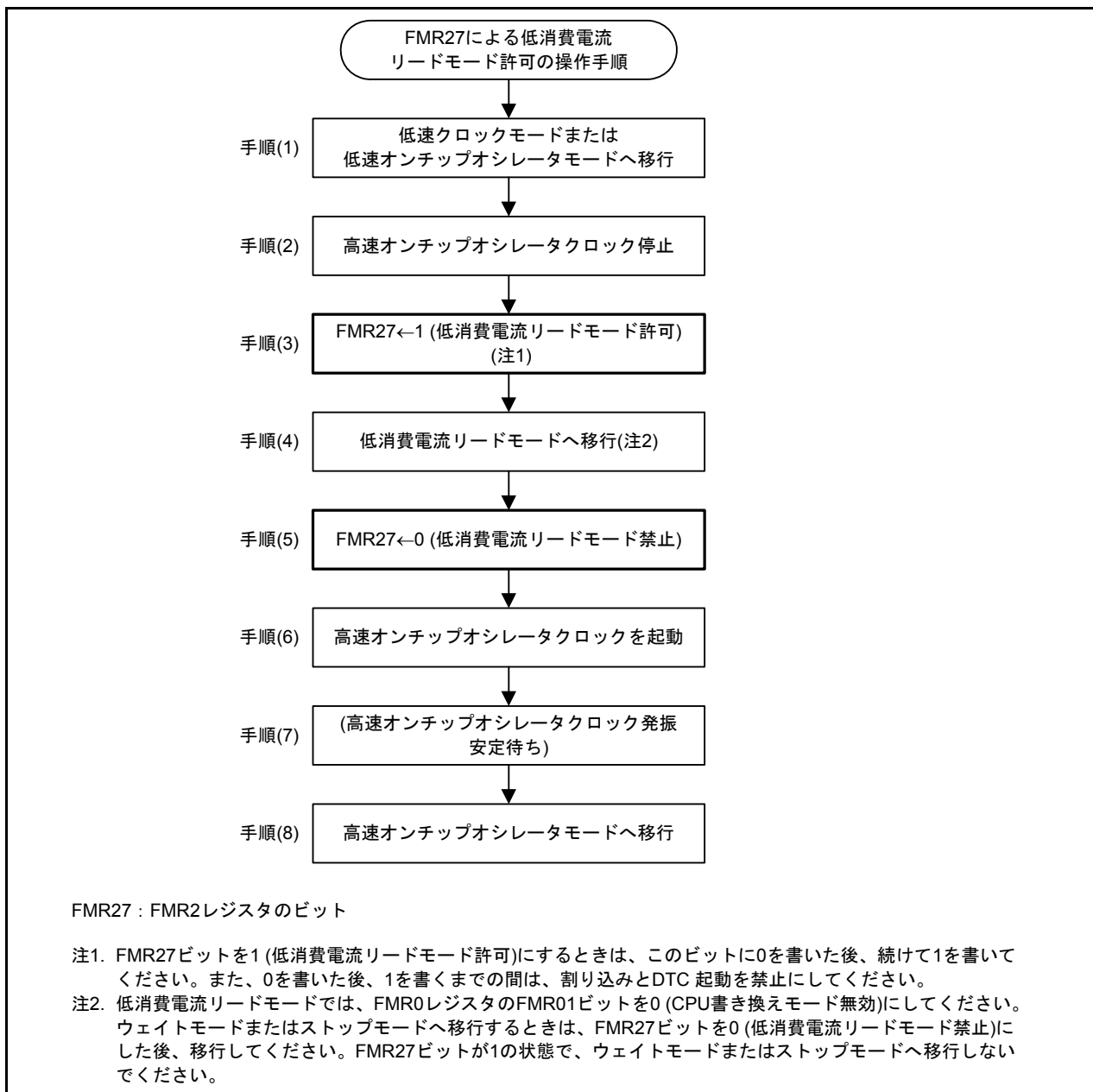


図10.7 フラッシュメモリの低消費電流リードモードの操作手順

10.7 パワーコントロール使用上の注意事項

10.7.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを0 (CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを1 (ストップモード)にしてください。命令キューはCM10ビットを1 (ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを1にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR      ; プロテクト解除
FSET    I            ; 割り込み許可
BSET    0, CM1       ; ストップモード
JMP.B   LABEL_001

LABEL_001 :
NOP
NOP
NOP
NOP

```

10.7.2 ウェイトモード

CM3レジスタのCM30ビットを1にしてウェイトモードに移行する場合、FMR01ビットを0 (CPU書き換えモード無効)にした後、CM30ビットを1にしてください。

WAIT命令でウェイトモードに移行する場合、FMR01ビットを0 (CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはCM30ビットを1 (ウェイトモードに移行する)にする命令またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを1 (ウェイトモードに移行する)にする命令またはWAIT命令の後にはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
FSET    I            ; 割り込み許可
WAIT                                ; ウェイトモード
NOP
NOP
NOP
NOP

```

- CM30ビットを1にするプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR      ; CM3レジスタへの書き込み許可
FCLR    I            ; 割り込み禁止
BSET    0, CM3       ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR      ; CM3レジスタへの書き込み禁止
FSET    I            ; 割り込み許可

```

ウェイトモード中に、TSCU機能によるDTC起動を使ってDTC転送をする場合、以下の設定が必要です。

- フラッシュメモリ制御レジスタ1のFMR11ビット=1(ウェイトモード中フラッシュメモリ動作許可)
- フラッシュメモリ制御レジスタ2のFMR27ビット=1(低消費電流リードモード許可)
- STBYVDC電力制御レジスタのSVC0ビット=0(低消費電力モード遷移禁止)

11. 割り込み

11.1 概要

割り込みはノンマスカブル割り込みと、マスカブル割り込みに分けられます。これらの割り込みは、FLGレジスタの割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や、割り込み優先レベルによる割り込み優先順位の変更に関して表11.1に示す違いがあります。

表11.1 マスカブル/ノンマスカブル割り込み

	割り込み許可フラグ(Iフラグ)による 割り込み許可または禁止の変更	割り込み優先レベルによる 優先順位の変更
ノンマスカブル割り込み	不可能	不可能
マスカブル割り込み	可能	可能

11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。

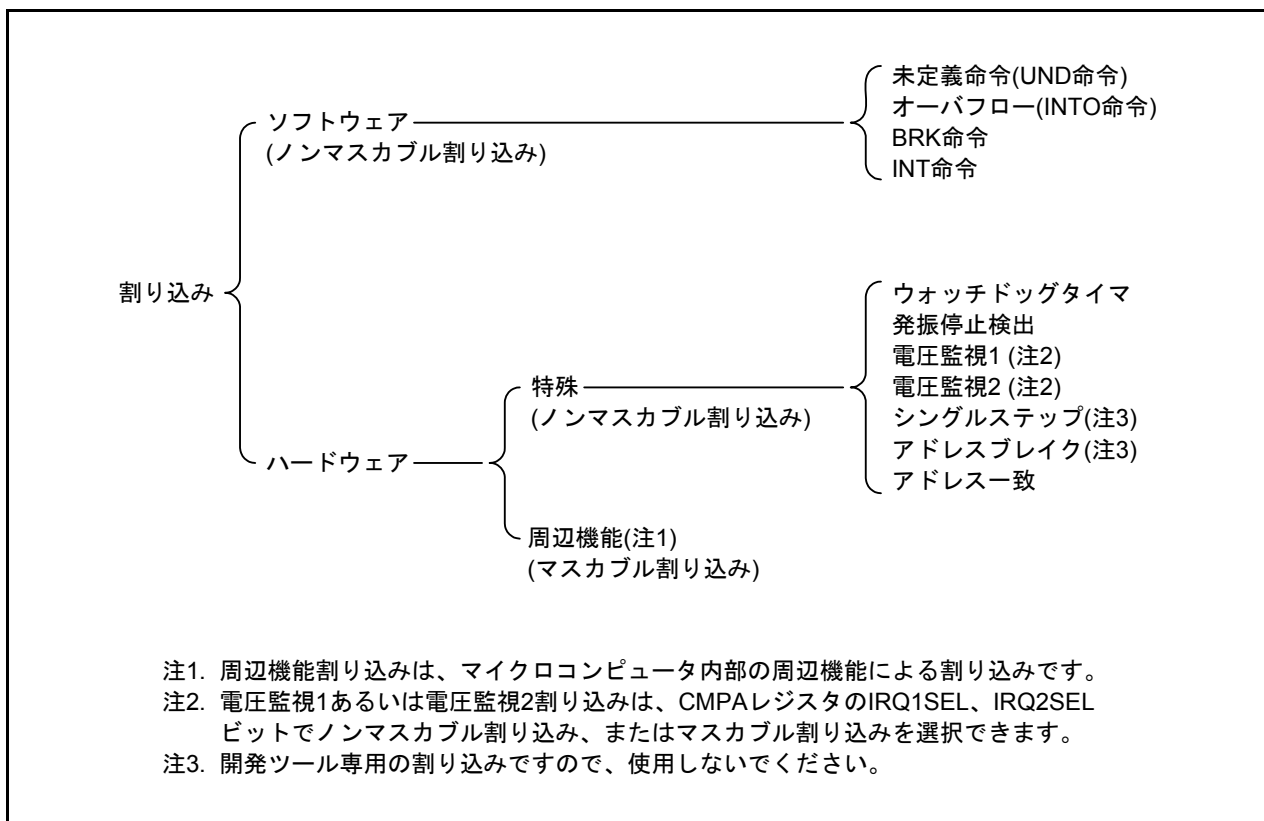


図11.1 割り込みの分類

11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、FLGレジスタのOフラグが1(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

11.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にFLGレジスタのUフラグを退避し、Uフラグを0(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

11.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は「8. ウォッチドッグタイマ」を参照してください。

11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

11.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ1SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

11.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ2SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

11.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIEN0レジスタのAIEN00ビット、AIEN1レジスタのAIEN10ビットのうち、いずれか1つが1(アドレス一致割り込み許可)の場合、対応するAIADR0j、AIADR1jレジスタ(j=L、H)で示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.7 アドレス一致割り込み」を参照してください。

11.1.3.7 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表11.4、表11.5 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

11.2 レジスタの説明

表11.2に割り込みのレジスタ構成を示します。

表11.2 割り込みのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み制御レジスタ	FMRDYIC	00h	00041h	8
割り込み制御レジスタ	INT4IC	00h	00046h	8
割り込み制御レジスタ	TRCIC_0	00h	00047h	8
割り込み制御レジスタ	TRE2IC	00h	0004Ah	8
割り込み制御レジスタ	U2TIC	00h	0004Bh	8
割り込み制御レジスタ	U2RIC	00h	0004Ch	8
割り込み制御レジスタ	KUPIC	00h	0004Dh	8
割り込み制御レジスタ	ADIC	00h	0004Eh	8
割り込み制御レジスタ	SSUIC_0/IICIC_0	00h	0004Fh	8
割り込み制御レジスタ	U0TIC_0	00h	00051h	8
割り込み制御レジスタ	U0RIC_0	00h	00052h	8
割り込み制御レジスタ	U0TIC_1	00h	00053h	8
割り込み制御レジスタ	U0RIC_1	00h	00054h	8
割り込み制御レジスタ	INT2IC	00h	00055h	8
割り込み制御レジスタ	TRJIC_0	00h	00056h	8
割り込み制御レジスタ	TRB2IC_0	00h	00058h	8
割り込み制御レジスタ	INT1IC	00h	00059h	8
割り込み制御レジスタ	INT3IC	00h	0005Ah	8
割り込み制御レジスタ	INT0IC	00h	0005Dh	8
割り込み制御レジスタ	U2BCNIC	00h	0005Eh	8
割り込み制御レジスタ	VCMP1IC	00h	00072h	8
割り込み制御レジスタ	VCMP2IC	00h	00073h	8
割り込み制御レジスタ	TSCUIC	00h	00075h	8
外部入力許可レジスタ0	INTEN	00h	00230h	8
外部入力許可レジスタ1	INTEN1	00h	00231h	8
INT入力フィルタ選択レジスタ0	INTF	00h	00232h	8
INT入力フィルタ選択レジスタ1	INTF1	00h	00233h	8
INT入力極性切り替えレジスタ	INTPOL	00h	00234h	8
キー入力割り込み許可レジスタ	KIEN	00h	00236h	8
アドレス一致割り込みアドレス0Lレジスタ	AIADR0L	XXXXh	00260h	16
アドレス一致割り込みアドレス0Hレジスタ	AIADR0H	0000XXXXb	00262h	8
アドレス一致割り込み許可0レジスタ	AIEN0	00h	00263h	8
アドレス一致割り込みアドレス1Lレジスタ	AIADR1L	XXXXh	00264h	16
アドレス一致割り込みアドレス1Hレジスタ	AIADR1H	0000XXXXb	00266h	8
アドレス一致割り込み許可1レジスタ	AIEN1	00h	00267h	8
INT割り込み入力端子選択レジスタ0	INTSR0	00h	002B6h	8

11.2.1 割り込み制御レジスタ

(FMRDYIC、INT4IC、TRCIC_0、TRE2IC、U2TIC、U2RIC、KUPIC、ADIC、SSUIC_0/IICIC_0、U0TIC_0、U0RIC_0、U0TIC_1、U0RIC_1、INT2IC、TRJIC_0、TRB2IC_0、INT1IC、INT3IC、INT0IC、U2BCNIC、VCMP1IC、VCMP2IC、TSCUIC)

アドレス 00041h (FMRDYIC)、00046h (INT4IC)、00047h (TRCIC_0)、0004Ah (TRE2IC)、0004Bh (U2TIC)、0004Ch (U2RIC)、0004Dh (KUPIC)、0004Eh (ADIC)、0004Fh (SSUIC_0/IICIC_0)、00051h (U0TIC_0)、00052h (U0RIC_0)、00053h (U0TIC_1)、00054h (U0RIC_1)、00055h (INT2IC)、00056h (TRJIC_0)、00058h (TRB2IC_0)、00059h (INT1IC)、0005Ah (INT3IC)、0005Dh (INT0IC)、0005Eh (U2BCNIC)、00072h (VCMP1IC)、00073h (VCMP2IC)、00075h (TSCUIC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0	R/W
b1	ILVL1		0 0 0 : レベル0 (割り込み禁止)	R/W
b2	ILVL2		0 0 1 : レベル1	R/W
			0 1 0 : レベル2	
		0 1 1 : レベル3		
		1 0 0 : レベル4		
		1 0 1 : レベル5		
		1 1 0 : レベル6		
		1 1 1 : レベル7		
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. IRビットは0のみ書けます(1を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.9.5 割り込み制御レジスタの変更」を参照してください。

11.2.2 外部入力許可レジスタ0 (INTEN)

アドレス 00230h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル INT3PL INT3EN INT2PL INT2EN INT1PL INT1EN INT0PL INT0EN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPLビット(i = 0~3)を1(両エッジ)にする場合、INTPOLレジスタのINTiPOLビットを0(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが1(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

11.2.3 外部入力許可レジスタ 1 (INTEN1)

アドレス	00231h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	INT4PL	INT4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4EN	INT4入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT4PL	INT4入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. INT4PLビットを1(両エッジ)にする場合、INTPOLレジスタのINT4POLビットを0(立ち下がリエッジを選択)にしてください。

注2. INTEN1レジスタを変更すると、INT4ICレジスタのIRビットが1(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

11.2.4 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 00232h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル INT3F1 INT3F0 INT2F1 INT2F0 INT1F1 INT1F0 INT0F1 INT0F0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0			INT1入力フィルタ選択ビット
b3	INT1F1	R/W		
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	
b5	INT2F1			R/W
b6	INT3F0			INT3入力フィルタ選択ビット
b7	INT3F1	R/W		

11.2.5 INT入力フィルタ選択レジスタ1 (INTF1)

アドレス 00233h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	INT4F1	INT4F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4F0	INT4入力フィルタ選択ビット	b1 b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b1	INT4F1			R/W
b2	—			予約ビット
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

11.2.6 INT入力極性切り替えレジスタ (INTPOL)

アドレス 00234h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	INT4POL	INT3POL	INT2POL	INT1POL	INT0POL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0POL	INT0極性切り替えビット(注1)	0 : 立ち下がリエッジ 1 : 立ち上がりエッジ(注2)	R/W
b1	INT1POL	INT1極性切り替えビット(注1)		R/W
b2	INT2POL	INT2極性切り替えビット(注1)		R/W
b3	INT3POL	INT3極性切り替えビット(注1)		R/W
b4	INT4POL	INT4極性切り替えビット(注1)		R/W
b5	—	予約ビット	0にしてください	R/W
b6	—			
b7	—			

注1. INTiPOLビット(i = 0~4)を変更すると、INTiICレジスタのIRビットが1(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

注2. INTEN、INTEN1レジスタのINTiPLビットが1(両エッジ)の場合、INTiPOLビットを0(立ち下がリエッジを選択)にしてください。

11.2.7 キー入力割り込み許可レジスタ (KIEN)

アドレス	00236h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	$\overline{\text{KI0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	$\overline{\text{KI0}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	$\overline{\text{KI1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	$\overline{\text{KI1}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	$\overline{\text{KI2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	$\overline{\text{KI2}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	$\overline{\text{KI3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	$\overline{\text{KI3}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが1(割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

11.2.8 アドレス一致割り込みアドレスijレジスタ (AIADRij) (i = 0、1、j = L、H)

アドレス 00260h (AIADR0L)、00262h (AIADR0H)、00264h (AIADR1L)、00266h (AIADR1H)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19~b0	—	ターゲットPC値20ビット	00000h~FFFFFFh	R/W
b20	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b21	—			
b22	—			
b23	—			

11.2.9 アドレス一致割り込み許可iレジスタ (AIENi) (i = 0、1)

アドレス 00263h (AIEN0)、00267h (AIEN1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	AIENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AIENi0	アドレス一致割り込み許可ビット	0: 禁止 1: 許可	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

11.2.10 INT割り込み入力端子選択レジスタ0 (INTSR0)

アドレス	002B6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SEL1	INT3SEL0	INT2SEL1	INT2SEL0	INT1SEL2	INT1SEL1	INT1SEL0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b1	INT1SEL0	INT1端子選択ビット	b3 b2 b1 0 0 0 : P1_7に割り当てる 0 0 1 : P1_5に割り当てる 0 1 0 : P2_0に割り当てる 0 1 1 : 設定しないでください 1 0 0 : P3_2に割り当てる 上記以外 : 設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	INT2SEL0	INT2端子選択ビット	b5 b4 0 0 : P6_6に割り当てる 0 1 : P3_2に割り当てる 上記以外 : 設定しないでください	R/W
b5	INT2SEL1			R/W
b6	INT3SEL0	INT3端子選択ビット	b7 b6 0 0 : P3_3に割り当てる 0 1 : 設定しないでください 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W
b7	INT3SEL1			R/W

INTSR0レジスタは、 $\overline{\text{INT}}_i$ ($i = 1 \sim 3$)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSR0レジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSR0レジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSR0レジスタの設定値を変更しないでください。

INT0は、INTSR0レジスタに関係なくP4_5に割り当てられます。

11.3 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

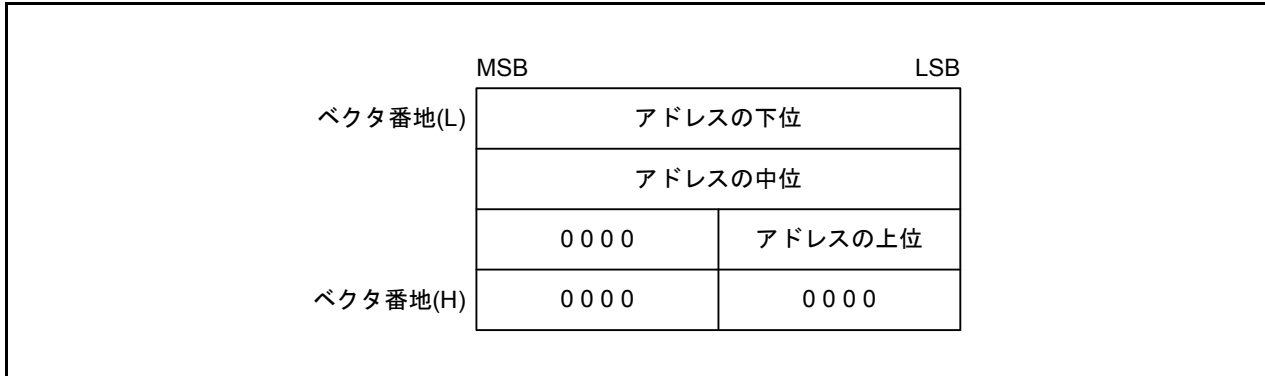


図11.2 割り込みベクタ

11.3.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.3に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「26.4 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.3 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	備考
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/5xシリーズ
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	ユーザズマニュアル
BRK命令	0FFE4h～0FFE7h	0FFE6h番地の内容がFFhの場合は、可変ベクタテーブル内のベクタが示す番地から実行	ソフトウェア編
アドレス一致	0FFE8h～0FFEBh		11.7 アドレス一致割り込み
シングルステップ(注1)	0FFECh～0FFEFh		
ウォッチドッグタイマ、発振停止検出、電圧監視1(注2)、電圧監視2(注2)	0FFF0h～0FFF3h		8. ウォッチドッグタイマ、 9. クロック発生回路、 7. 電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFCCh～0FFFFh		6. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. 電圧監視1あるいは電圧監視2割り込みは、CMPAレジスタのIRQ1SELあるいはIRQ2SELビットでノンマスクブルまたはマスクブル割り込みを選択可能です。

11.3.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。
表11.4、表11.5に可変ベクタテーブルを示します。

表11.4 可変ベクタテーブル(1)

割り込み要因	ベクタ番地(注1) 番地(L)~番地(H)	ソフトウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
BRK命令(注2)	+0~+3 (00000h~00003h)	0	—	R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編
フラッシュメモリ	+4~+7 (00004h~00007h)	1	FMRDYIC	26. フラッシュメモリ
—(予約)	+8~+11 (00008h~00007Bh)	2	—	—
—(予約)	+12~+15 (0000Ch~0000Fh)	3	—	—
—(予約)	+16~+19 (00010h~00013h)	4	—	—
—(予約)	+20~+23 (00014h~00017h)	5	—	—
INT4	+24~+27 (00018h~0001Bh)	6	INT4IC	11.5 INT割り込み
タイマRC_0	+28~+31 (0001Ch~0001Fh)	7	TRCIC_0	17. タイマRC
—(予約)	+32~+35 (00020h~00023h)	8	—	—
—(予約)	+36~+39 (00024h~00027h)	9	—	—
タイマRE2	+40~+43 (00028h~0002Bh)	10	TRE2IC	18. タイマRE2
UART2送信/NACK2	+44~+47 (0002Ch~0002Fh)	11	U2TIC	20. シリアルインタ フェース(UART2)
UART2受信/ACK2	+48~+51 (00030h~00033h)	12	U2RIC	
キー入力	+52~+55 (00034h~00037h)	13	KUPIC	11.6 キー入力割り込み
A/D変換	+56~+59 (00038h~0003Bh)	14	ADIC	23. A/Dコンバータ
シンクロナスシリアルコ ミュニケーションユニット/ I ² Cバスインタフェース	+60~+63 (0003Ch~0003Fh)	15	SSUIC_0/ IICIC_0	21. クロック同期形シリ アルインタフェース
—(予約)	+64~+67 (00040h~00043h)	16	—	—
UART0_0送信	+68~+71 (00044h~00047h)	17	U0TIC_0	19. シリアルインタ フェース(UART0)
UART0_0受信	+72~+75 (00048h~0004Bh)	18	U0RIC_0	
UART0_1送信	+76~+79 (0004Ch~0004Fh)	19	U0TIC_1	
UART0_1受信	+80~+83 (00050h~00053h)	20	U0RIC_1	
INT2	+84~+87 (00054h~00057h)	21	INT2IC	11.5 INT割り込み
タイマRJ_0	+88~+91 (00058h~0005Bh)	22	TRJIC_0	15. タイマRJ
—(予約)	+92~+95 (0005Ch~0005Fh)	23	—	—
タイマRB2_0	+96~+99 (00060h~00063h)	24	TRB2IC_0	16. タイマRB2
INT1(コンパレータB兼用)	+100~+103 (00064h~00067h)	25	INT1IC	11.5 INT割り込み
INT3(コンパレータB兼用)	+104~+107 (00068h~0006Bh)	26	INT3IC	
—(予約)	+108~+111 (0006Ch~0006Fh)	27	—	—
—(予約)	+112~+115 (00070h~00073h)	28	—	—
INT0	+116~+119 (00074h~00077h)	29	INT0IC	11.5 INT割り込み
UART2バス衝突検出	+120~+123 (00078h~0007Bh)	30	U2BCNIC	20. シリアルインタ フェース(UART2)
—(予約)	+124~+127 (0007Ch~0007Fh)	31	—	—

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

表 11.5 可変ベクタテーブル(2)

割り込み要因	ベクタ番地(注1) 番地(L)~番地(H)	ソフトウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
ソフトウェア(注2)	+128~+131 (00080h~00083h)~ +164~+167 (000A4h~000A7h)	32~41	—	R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編
—(予約)	+168~+171 (000A8h~000ABh)	42	—	—
—(予約)	+172~+175 (000ACh~000AFh)	43	—	
—(予約)	+176~+179 (000B0h~000B3h)	44	—	
—(予約)	+180~+183 (000B4h~000B7h)	45	—	
—(予約)	+184~+187 (000B8h~000BBh)	46	—	
—(予約)	+188~+191 (000BCh~000BFh)	47	—	
—(予約)	+192~+195 (000C0h~000C3h)	48	—	
—(予約)	+196~+199 (000C4h~000C7h)	49	—	
電圧監視1(注3)	+200~+203 (000C8h~000CBh)	50	VCMP1IC	7. 電圧検出回路
電圧監視2(注3)	+204~+207 (000CCh~000CFh)	51	VCMP2IC	
—(予約)	+208~+211 (000D0h~000D3h)	52	—	—
TSCU	+212~+215 (000D4h~000D7h)	53	TSCUIC	25. タッチセンサコント ロールユニット
—(予約)	+216~+219 (000D8h~000DBh)~ +224~+227 (000E0h~000E3h)	54~56	—	—
—(予約)	+228~+231 (000E4h~000E7h)	57	—	
—(予約)	+232~+235 (000E8h~000EBh)	58	—	
—(予約)	+236~+239 (000ECh~000EFh)	59	—	
—(予約)	+240~+243 (000F0h~000F3h)	60	—	
—(予約)	+244~+247 (000F4h~000F7h)	61	—	
—(予約)	+248~+251 (000F8h~000FBh)	62	—	
—(予約)	+252~+255 (000FCh~000FFh)	63	—	

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

注3. 電圧監視1あるいは電圧監視2割り込みは、CMPAレジスタのIRQ1SELあるいはIRQ2SELビットでノンマスクブルまたはマスクブル割り込みを選択可能です。

11.4 割り込み制御

マスクابل割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

11.4.1 Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを1(許可)にすると、マスクابل割り込みは許可され、0(禁止)にするとすべてのマスクابل割り込みは禁止されます。

11.4.2 IRビット

IRビットは割り込み要求が発生すると、1(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは0(割り込み要求なし)になります。

IRビットはプログラムによって0にできます。1を書かないでください。

ただし、タイマRC割り込み、タイマRE2割り込み、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース割り込み、フラッシュメモリ割り込みでは、IRビットの動作が異なります。「11.8 タイマRC割り込み、タイマRE2割り込み、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

11.4.3 ILVL0～ILVL2ビット、IPL

割り込み優先レベルは、ILVL0～ILVL2ビットで設定できます。

表11.6に割り込み優先レベルの設定を、表11.7にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ=1
- IRビット=1
- 割り込み優先レベル> IPL

Iフラグ、IRビット、ILVL0～ILVL2ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表 11.6 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い ↓ 高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表 11.7 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクابل割り込みを禁止

11.4.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

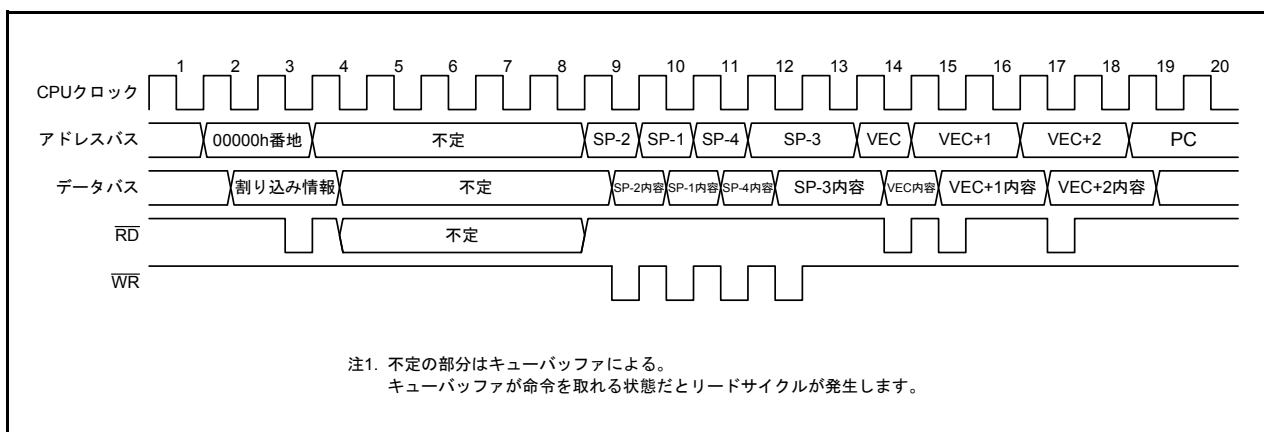
図11.3に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みの割り込み制御レジスタのIRビットが0(割り込み要求なし)になります。(注1)
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注2)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは0(割り込み禁止)
Dフラグは0(シングルステップ割り込みは割り込み禁止)
Uフラグは0(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注2)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. タイマRC、タイマRE2、シンクロナスシリアルコミュニケーションユニット/
I²Cバスインタフェース、フラッシュメモリ割り込みのIRビットの動作は「11.8 タイマRC
割り込み、タイマRE2割り込み、シンクロナスシリアルコミュニケーションユニット/I²Cバス
インタフェース割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割
り込み)」を参照してください。

注2. ユーザは使用できません。



注1. 不定の部分はキューバッファによる。
キューバッファが命令を取れる状態だとリードサイクルが発生します。

図11.3 割り込みシーケンスの実行時間

11.4.5 割り込み応答時間

図11.4に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図11.4の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

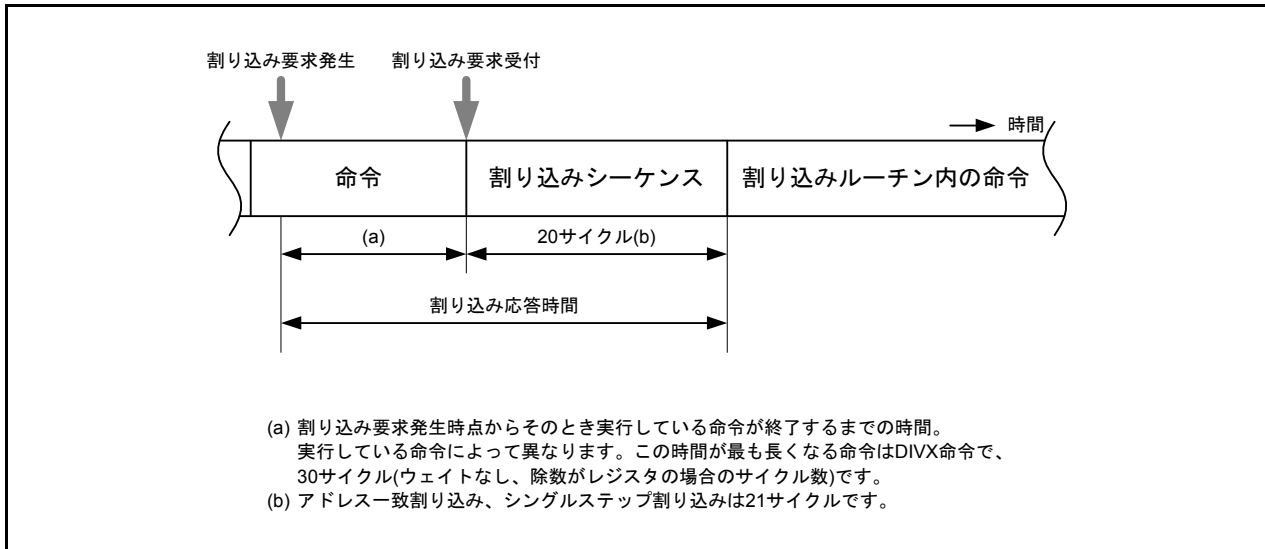


図11.4 割り込み応答時間

11.4.6 割り込み要求受付時のIPLの変化

マスクابل割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表11.8に示す値がIPLに設定されます。

表11.8にソフトウェア割り込み、特殊割り込み受付時のIPLの値を示します。

表11.8 ソフトウェア割り込み、特殊割り込み受付時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

11.4.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受付前後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

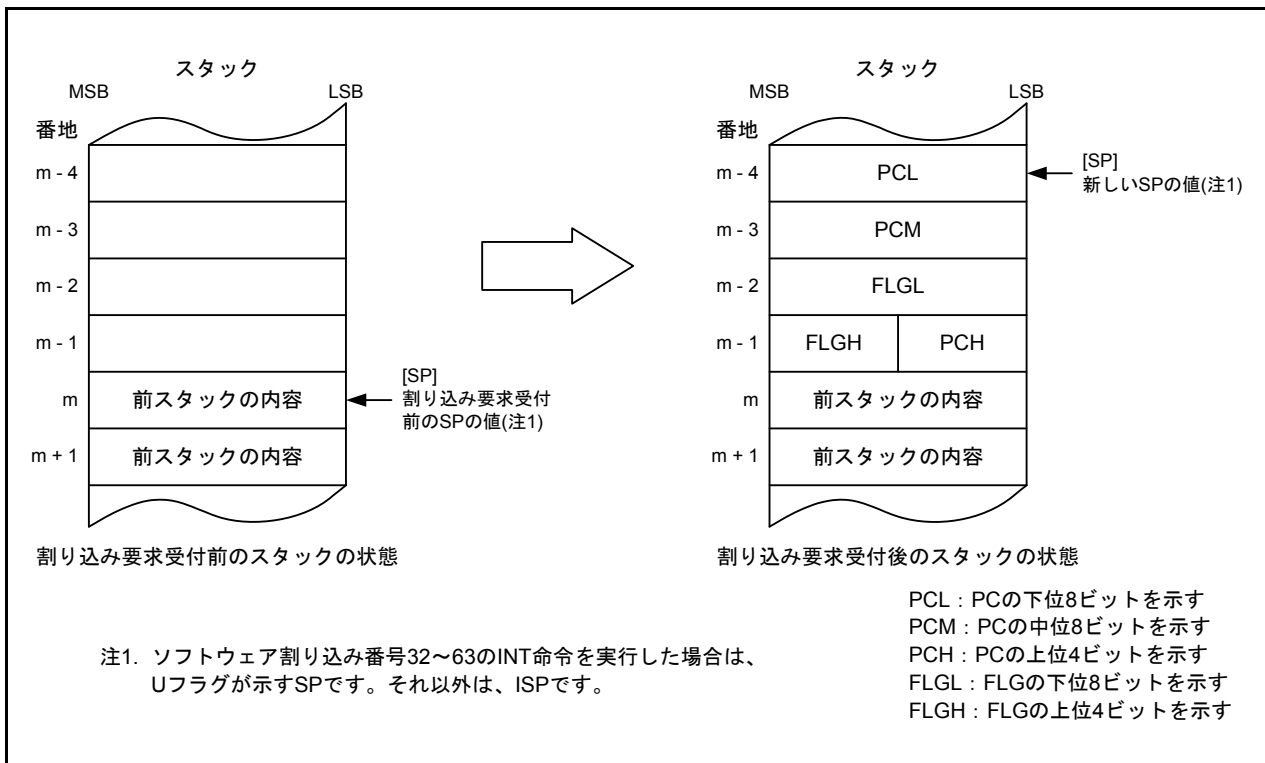


図11.5 割り込み要求受付前後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
図11.6にレジスタ退避動作を示します。

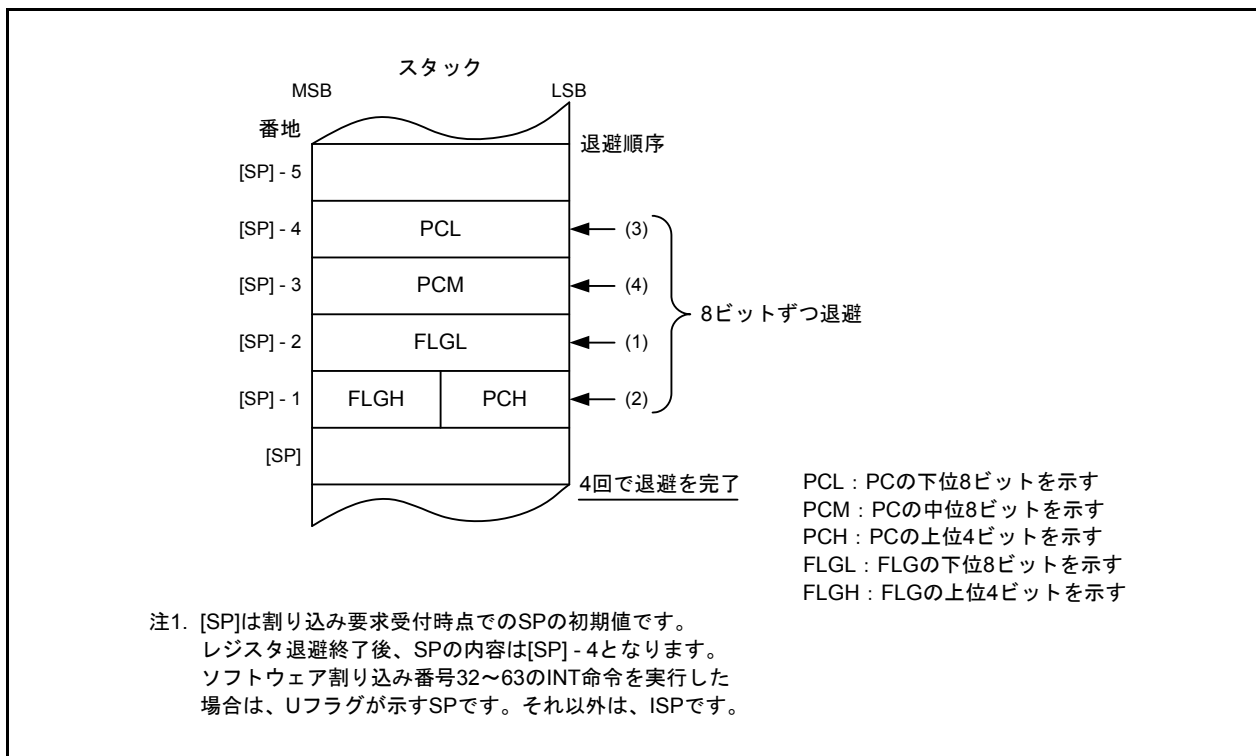


図11.6 レジスタ退避動作

11.4.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受付前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

11.4.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスクابل割り込み(周辺機能)の優先レベルは、ILVL0～ILVL2ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されます。

図11.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは、割り込み優先順位の影響を受けません。命令を実行すると、割り込みルーチンを実行します。

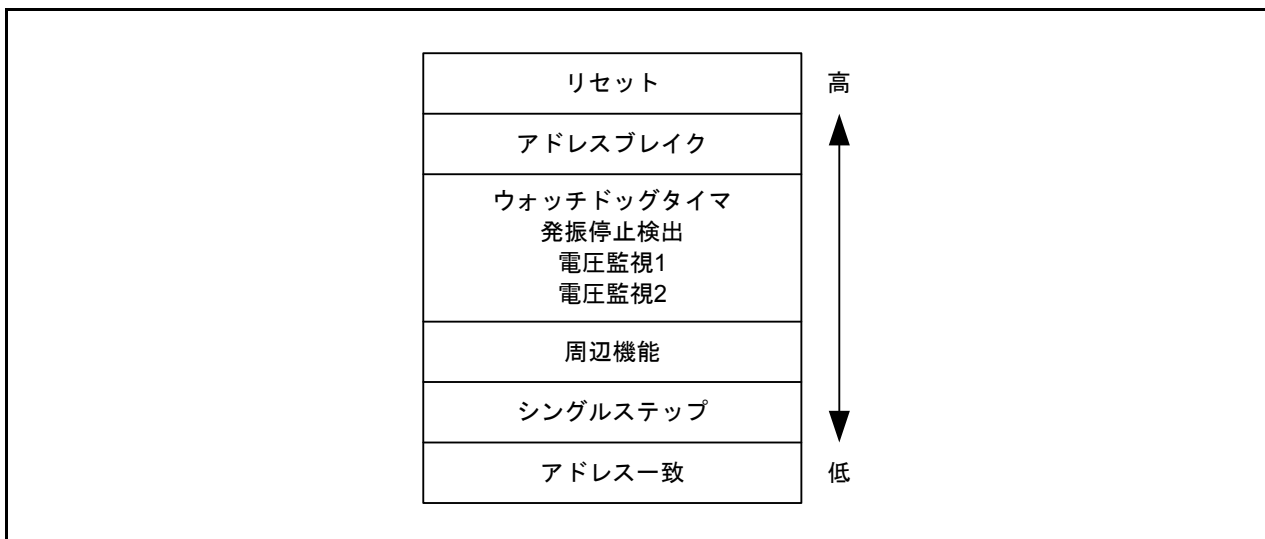


図11.7 ハードウェア割り込みの割り込み優先順位

11.4.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。

図11.8に割り込み優先レベルの判定回路を示します。

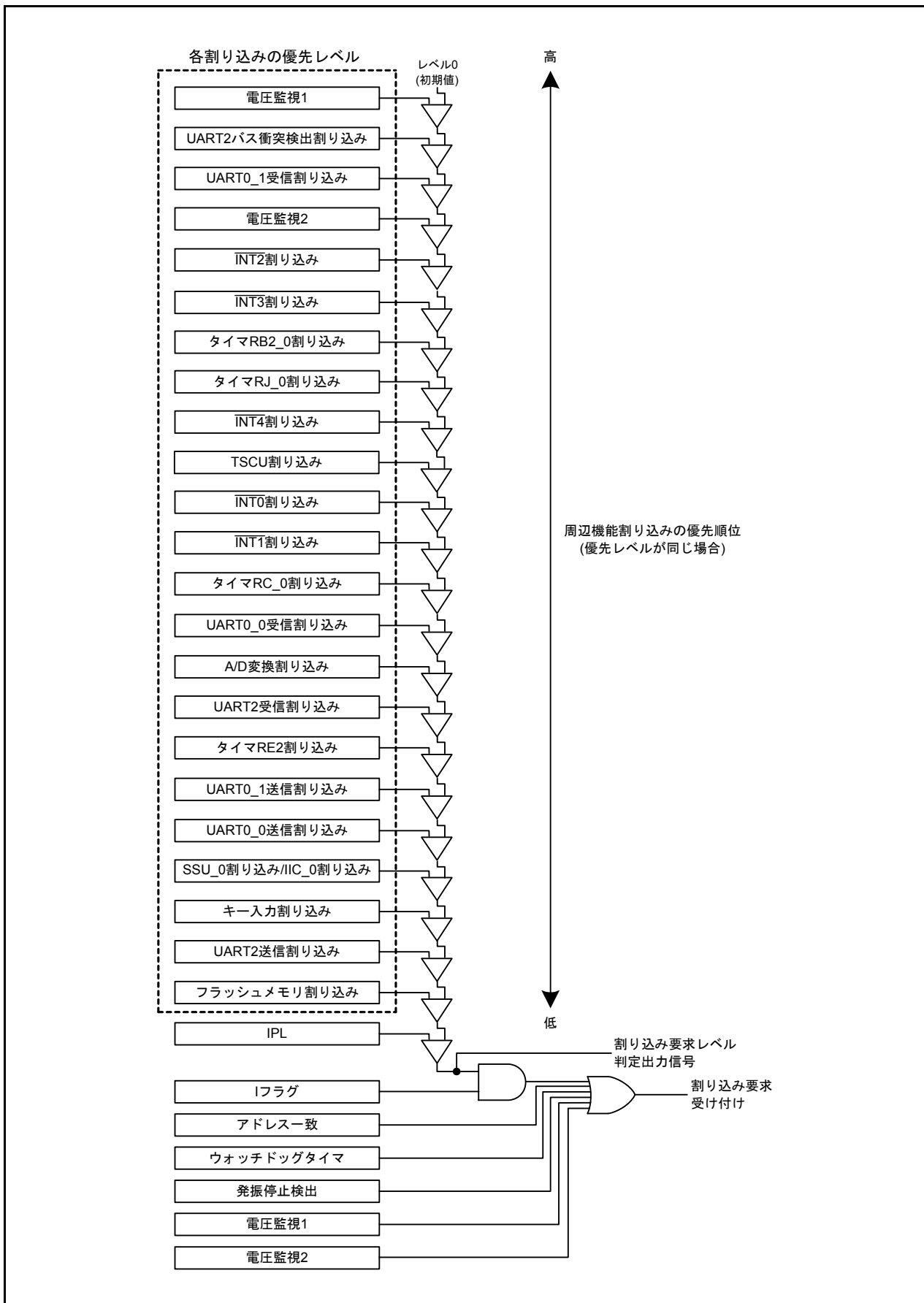


図 11.8 割り込み優先レベルの判定回路

11.5 $\overline{\text{INT}}$ 割り込み

11.5.1 $\overline{\text{INT}}_i$ 割り込み ($i = 0 \sim 4$)

$\overline{\text{INT}}_i$ 割り込みは $\overline{\text{INT}}_i$ 入力による割り込みです。 $\overline{\text{INT}}_i$ 割り込みを使用するときは INTEN 、 INTEN1 レジスタの INTiEN ビット 1 (許可) にしてください。極性を INTEN 、 INTEN1 レジスタの INTiPL ビットと INTPOL レジスタの INTiPOL ビットで選択できます。 $\overline{\text{INT}}_1 \sim \overline{\text{INT}}_4$ 入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。 $\overline{\text{INT}}_0$ 端子はタイマ RC のパルス出力強制遮断入力と、タイマ RB2 の外部トリガ入力と兼用、 $\overline{\text{INT}}_2$ 端子はタイマ RJ のイベント入力有効と兼用です。

表 11.9 に $\overline{\text{INT}}_i$ 割り込みの端子構成 ($i = 0 \sim 4$) を示します。

表 11.9 $\overline{\text{INT}}_i$ 割り込みの端子構成 ($i = 0 \sim 4$)

端子名	入出力	機能
$\overline{\text{INT}}_0$	入力	$\overline{\text{INT}}_0$ 割り込み入力
$\overline{\text{INT}}_1$	入力	$\overline{\text{INT}}_1$ 割り込み入力
$\overline{\text{INT}}_2$	入力	$\overline{\text{INT}}_2$ 割り込み入力
$\overline{\text{INT}}_3$	入力	$\overline{\text{INT}}_3$ 割り込み入力
$\overline{\text{INT}}_4$	入力	$\overline{\text{INT}}_4$ 割り込み入力

11.5.2 $\overline{\text{INTi}}$ 入力フィルタ ($i = 0 \sim 4$)

$\overline{\text{INTi}}$ 入力は、デジタルフィルタを持ちます。サンプリングクロックは $\overline{\text{INTF}}$ 、 $\overline{\text{INTF1}}$ レジスタの $\overline{\text{INTiF0}}$ 、 $\overline{\text{INTiF1}}$ ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、 $\overline{\text{INTiIC}}$ レジスタの $\overline{\text{IR}}$ ビットが1 (割り込み要求あり) になります。図 11.9 に $\overline{\text{INTi}}$ 入力フィルタの構成を、図 11.10 に $\overline{\text{INTi}}$ 入力フィルタの動作例を示します。

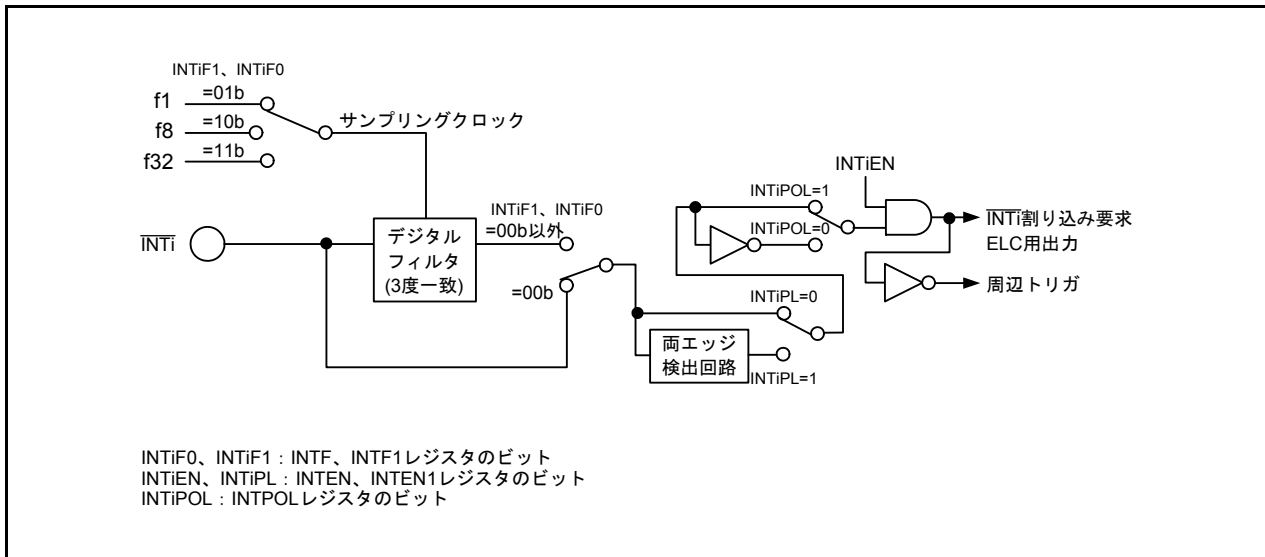


図 11.9 $\overline{\text{INTi}}$ 入力フィルタの構成 ($i = 0 \sim 4$)

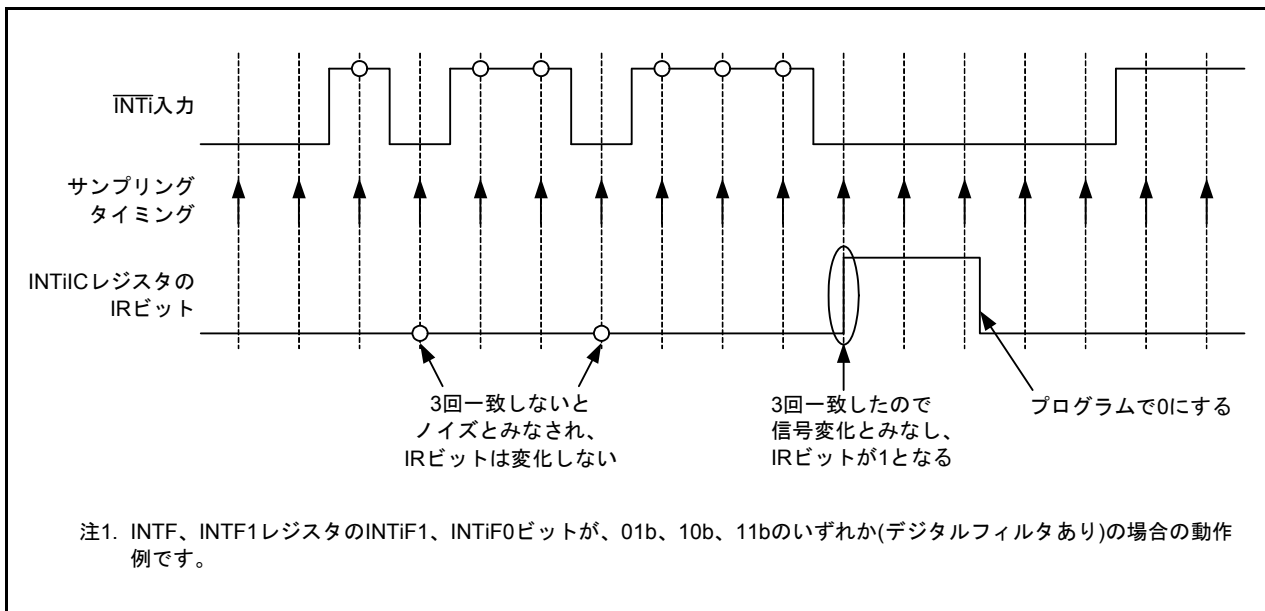


図 11.10 $\overline{\text{INTi}}$ 入力フィルタの動作例 ($i = 0 \sim 4$)

11.6 キー入力割り込み

$\overline{KI0} \sim \overline{KI3}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードまたはストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット($i = 0 \sim 3$)で、端子を \overline{KIi} 入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを0(立ち下がりエッジ)にしている \overline{KIi} 端子にLを入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。同様に、KIiPLビットを1(立ち上がりエッジ)にしている \overline{KIi} 端子にHを入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図($i = 0 \sim 3$)を示します。表11.10にキー入力割り込みの端子構成を示します。

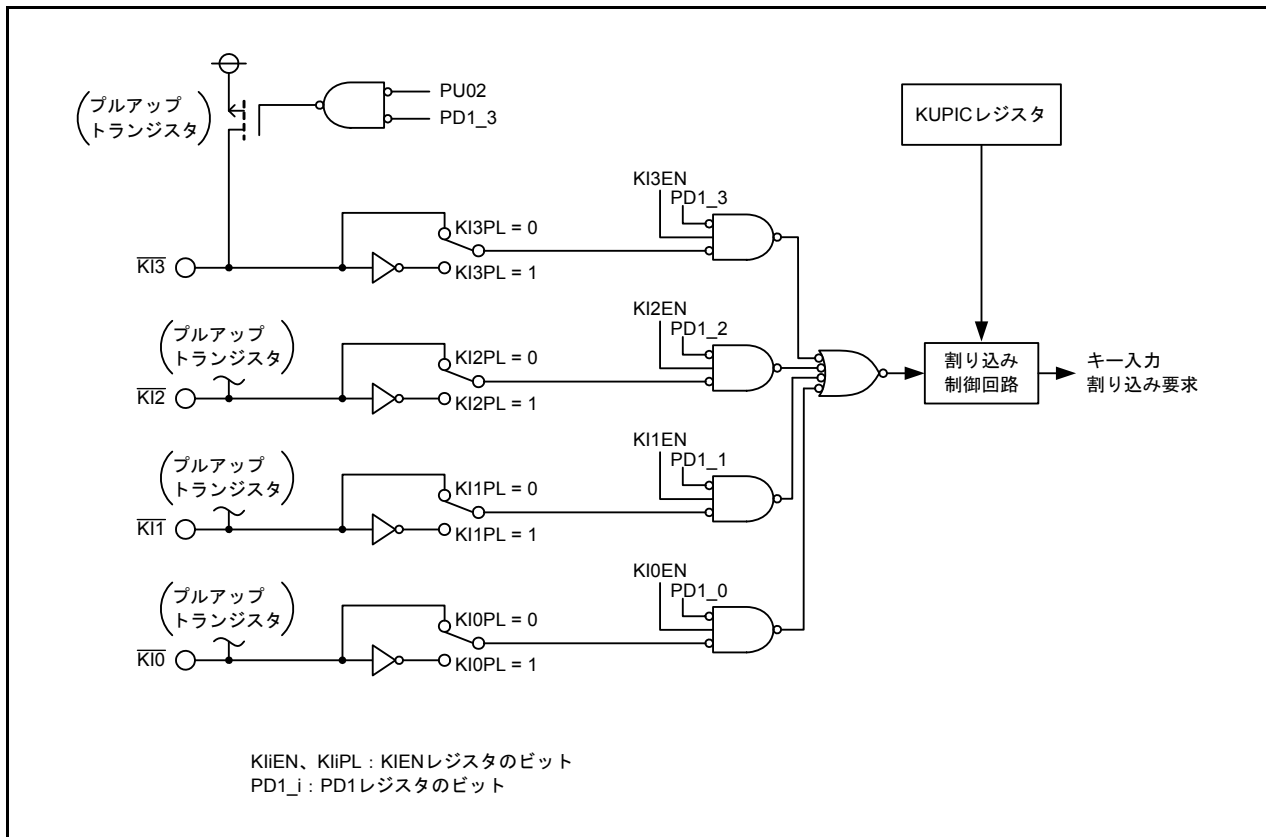


図 11.11 キー入力割り込みのブロック図($i = 0 \sim 3$)

表 11.10 キー入力割り込みの端子構成

端子名	入出力	機能
$\overline{KI0}$	入力	$\overline{KI0}$ 割り込み入力
$\overline{KI1}$	入力	$\overline{KI1}$ 割り込み入力
$\overline{KI2}$	入力	$\overline{KI2}$ 割り込み入力
$\overline{KI3}$	入力	$\overline{KI3}$ 割り込み入力

11.7 アドレス一致割り込み

AIADRijレジスタ (i=0、1、j=L、H)で示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み (AIENi、AIADRijレジスタ、固定ベクタテーブル)を設定しないでください。

AIADRijレジスタには命令の先頭番地を設定してください。割り込みの禁止または許可はAIENiレジスタのAIENi0ビットで選択できます。アドレス一致割り込みは、FLGレジスタのIフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.4.7 レジスタ退避」参照)は、AIADRijレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えて、REIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受付前の状態に戻してからジャンプ命令で復帰する

表11.11にアドレス一致割り込み要求受付時に退避されるPCの値を、表11.12にアドレス一致割り込み要因と関連レジスタの対応を示します。

表11.11 アドレス一致割り込み要求受付時に退避されるPCの値

AIADRijレジスタ (i=0、1、j=L、H)で示される番地の命令	退避されるPCの値(注1)
<ul style="list-style-type: none"> • オペコードが2バイトの命令(注2) • オペコードが1バイトの命令(注2) 	AIADRijレジスタで示される番地 + 2
ADD.B:S #IMM8, dest SUB.B:S #IMM8, dest AND.B:S #IMM8, dest	
OR.B:S #IMM8, dest MOV.B:S #IMM8, dest STZ #IMM8, dest	
STNZ #IMM8, dest STZX #IMM81, #IMM82, dest	
CMP.B:S #IMM8, dest PUSHM src POPM dest	
JMPS #IMM8 JSRS #IMM8	
MOV.B:S #IMM, dest (ただし、dest = A0またはA1)	
上記以外	AIADRijレジスタで示される番地 + 1

注1. 退避されるPCの値:「11.4.7 レジスタ退避」参照。

注2. オペコード:「R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編(R01US0007JJ)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表11.12 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIEN00	AIADR0j
アドレス一致割り込み1	AIEN10	AIADR1j

11.8 タイマRC割り込み、タイマRE2割り込み、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース割り込み、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み)

タイマRC、タイマRE2、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表 11.13 にタイマRC、タイマRE2、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、フラッシュメモリ割り込み関連レジスタを示します。

表 11.13 タイマRC、タイマRE2、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、フラッシュメモリ割り込み関連レジスタ

周辺機能名	割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC	TRCSR	TRCIER	TRCIC
タイマRE2	TREIFR	TREIER	TRE2IC
シンクロナスシリアルコミュニケーションユニット/I ² Cバスインタフェース	SISR_0	SIER_0	SSUIC_0/IICIC_0
フラッシュメモリ	RDYSTI	RDYSTIE	FMRDYIC
	BSYAEI	BSYAEIE	
		CMDERIE	

タイマRC、タイマRE2、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、フラッシュメモリの割り込みが、FLGレジスタのIフラグ、割り込み制御レジスタのIRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが1で、それに対応する許可レジスタのビットが1(割り込み許可)の場合、割り込み制御レジスタのIRビットが1(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が0になるとIRビットが0(割り込み要求なし)になります。
すなわち、IRビットは、一旦1になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
また、IRビットに0を書いた場合、一時的に(CPUクロックの5サイクル間)0になった後、1にもどります。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に0になりません。このため、IRビットも割り込みが受け付けられたとき自動的に0になりません。ステータスレジスタの各ビットは割り込みルーチン内で0にしてください。ステータスレジスタの各ビットを0にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを1にしている場合、IRビットが1になった後、別の要求要因が成立したとき、IRビットは1のまま変化しません。
- 許可レジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「17. タイマRC」、「18. タイマRE2」、「21. クロック同期形シリアルインタフェース」、「26. フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「11.4 割り込み制御」を参照してください。

11.9 割り込み使用上の注意事項

11.9.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みに対応する割り込み制御レジスタのIRビットが0になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが0になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

11.9.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは0000hです。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

11.9.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 入力に示すLレベル幅またはHレベル幅が必要です。

11.9.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが1(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを0(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを0(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図11.12に割り込み要因の変更手順例を示します。

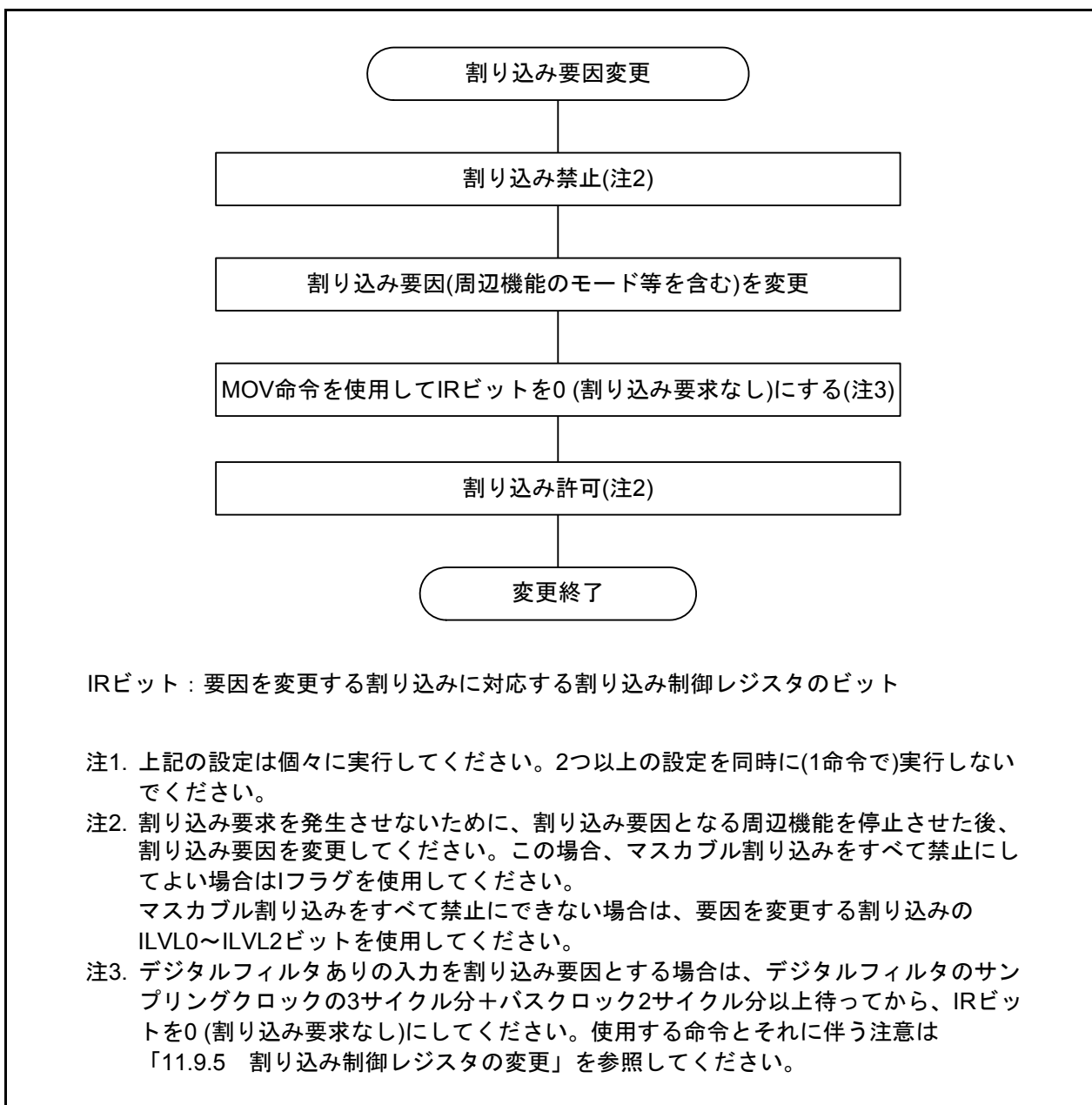


図11.12 割り込み要因の変更手順例

11.9.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
割り込み制御レジスタのIRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが1(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを0(割り込み要求なし)にする場合、使用する命令によってはIRビットが0にならないことがあります。IRビットはMOV命令を使用して0にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが1(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
  POPC    FLG            ; 割り込み許可
```


12. イベントリンクコントローラ(ELC)

イベントリンクコントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

12.1 概要

ELCには次の機能があります。

- 44種類の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 15種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

図12.1にイベントリンクコントローラのブロック図(n=0~4、8、9、11~16)を示します。

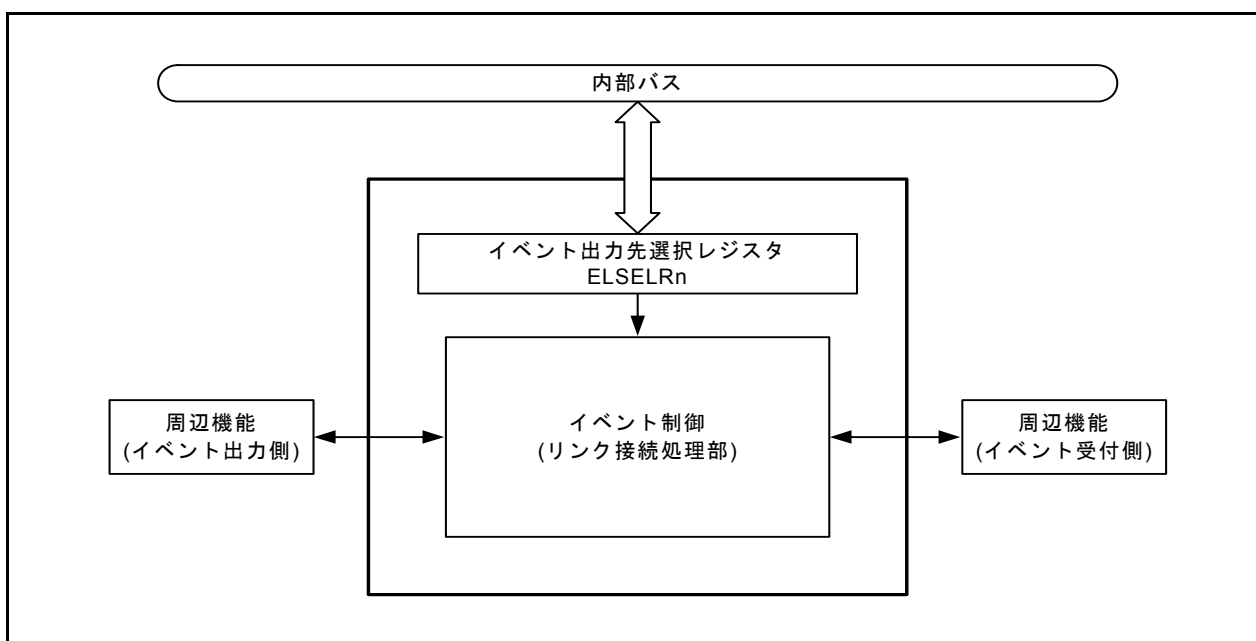


図12.1 イベントリンクコントローラのブロック図(n=0~4、8、9、11~16)

12.2 レジスタの説明

表12.1にELCのレジスタ構成を示します。

表12.1 ELCのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
イベント出力先選択レジスタ0	ELSELR0	00h	06A00h	8
イベント出力先選択レジスタ1	ELSELR1	00h	06A01h	8
イベント出力先選択レジスタ2	ELSELR2	00h	06A02h	8
イベント出力先選択レジスタ3	ELSELR3	00h	06A03h	8
イベント出力先選択レジスタ4	ELSELR4	00h	06A04h	8
イベント出力先選択レジスタ8	ELSELR8	00h	06A08h	8
イベント出力先選択レジスタ9	ELSELR9	00h	06A09h	8
イベント出力先選択レジスタ11	ELSELR11	00h	06A0Bh	8
イベント出力先選択レジスタ12	ELSELR12	00h	06A0Ch	8
イベント出力先選択レジスタ13	ELSELR13	00h	06A0Dh	8
イベント出力先選択レジスタ14	ELSELR14	00h	06A0Eh	8
イベント出力先選択レジスタ15	ELSELR15	00h	06A0Fh	8
イベント出力先選択レジスタ16	ELSELR16	00h	06A10h	8

12.2.1 イベント出力先選択レジスタ n (ELSELRn) (n = 0~4、8、9、11~16)

アドレス 06A00h (ELSELR0)~06A04h (ELSELR4)、06A08h (ELSELR8)、06A09h (ELSELR9)、
06A0Bh (ELSELR11)~06A10h (ELSELR16)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	ELSEL3	ELSEL2	ELSEL1	ELSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELSEL0	イベントリンク選択0ビット	b3 b2 b1 b0 0 0 0 0 : イベントリンク禁止 0001~1111 : リンクする周辺機能の動作を選択(注1)	R/W
b1	ELSEL1	イベントリンク選択1ビット		R/W
b2	ELSEL2	イベントリンク選択2ビット		R/W
b3	ELSEL3	イベントリンク選択3ビット		R/W
b4	—	予約ビット	読んだ場合、その値は0。	R
b5	—			
b6	—			
b7	—			

注1. 「表12.3 ELSELRnレジスタ(n = 0~4、8、9、11~16)に設定する値とリンク先周辺機能の受付時の動作の対応」参照

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRnレジスタを設定してください。

表12.2にELSELRnレジスタ(n = 0~4、8、9、11~16)と周辺機能の対応を、表12.3にELSELRnレジスタ(n = 0~4、8、9、11~16)に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

表 12.2 ELSELRnレジスタ (n = 0~4、8、9、11~16)と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR0	外部割り込み	INT0入力レベル
ELSELR1	外部割り込み	INT1入力レベル/比較結果変化
ELSELR2	外部割り込み	INT2入力レベル
ELSELR3	外部割り込み	INT3入力レベル/比較結果変化
ELSELR4	外部割り込み	INT4入力レベル
ELSELR8	外部割り込み	キー入力イベント
ELSELR9	タイマRJ_0	タイマRJ_0アンダフロー
ELSELR11	タイマRE2	タイマRE2コンペアー致
ELSELR12	タイマRB2_0	タイマRB2_0アンダフロー
ELSELR13	タイマRC_0	タイマRC_0コンペアー致A
ELSELR14	タイマRC_0	タイマRC_0コンペアー致B
ELSELR15	タイマRC_0	タイマRC_0コンペアー致C
ELSELR16	タイマRC_0	タイマRC_0コンペアー致D

表 12.3 ELSELRnレジスタ (n = 0~4、8、9、11~16)に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRnレジスタの ELSEL3~ELSEL0ビット	リンク先周辺機能	イベント受付時の動作
0001b	10ビットA/Dコンバータ	A/D変換開始トリガ
0010b	タイマRJ_0	イベントカウント動作
0011b (注1)	—	—
0100b (注1)	—	—
0101b (注1)	—	—
0110b	タイマRB2_0	プログラマブルワンショット発生モードのカウント開始トリガ、プログラマブルウェイトワンショット発生モードのカウント開始トリガ
0111b (注1)	—	—
1000b	タイマRC_0	インプットキャプチャ、PWM2モードの外部トリガ
1001b	TSCU	接触検出開始トリガ
1010b (注1)	—	—
1011b (注1)	—	—
1100b (注1)	—	—
1101b (注1)	—	—
1110b (注1)	—	—
1111b (注1)	—	—

注1. 設定しないでください。

12.3 動作説明

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

また、イベントリンク動作はCPUクロックの供給の有無に、影響されずに行うことができます。ただし、周辺機能の動作クロックが供給されて、動作できる状態にしてください。

図12.2に割り込み処理とELCの関係を示します。この図は、タイマRCのようなステータスフラグと割り込み許可を制御するレジスタをもつ周辺機能を例としてELCとの接続関係を示しています。割り込み要求(イベント信号)は、割り込み許可制御に影響をうけないことを示しています。

ELCに向かうイベント信号は、イベント発生ごとにエッジが発生します。このエッジによりイベント受付側の周辺機能は、イベント受付時の動作をします。したがって、ステータスフラグや割り込み要求ビット(IRビット)のソフトウェアによるクリア処理は不要です。

また、表12.6にイベントを受け付ける周辺機能の応答性を示します。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします(「表12.3 ELSELRnレジスタ(n=0~4, 8, 9, 11~16)に設定する値とリンク先周辺機能の受付時の動作の対応」参照)。

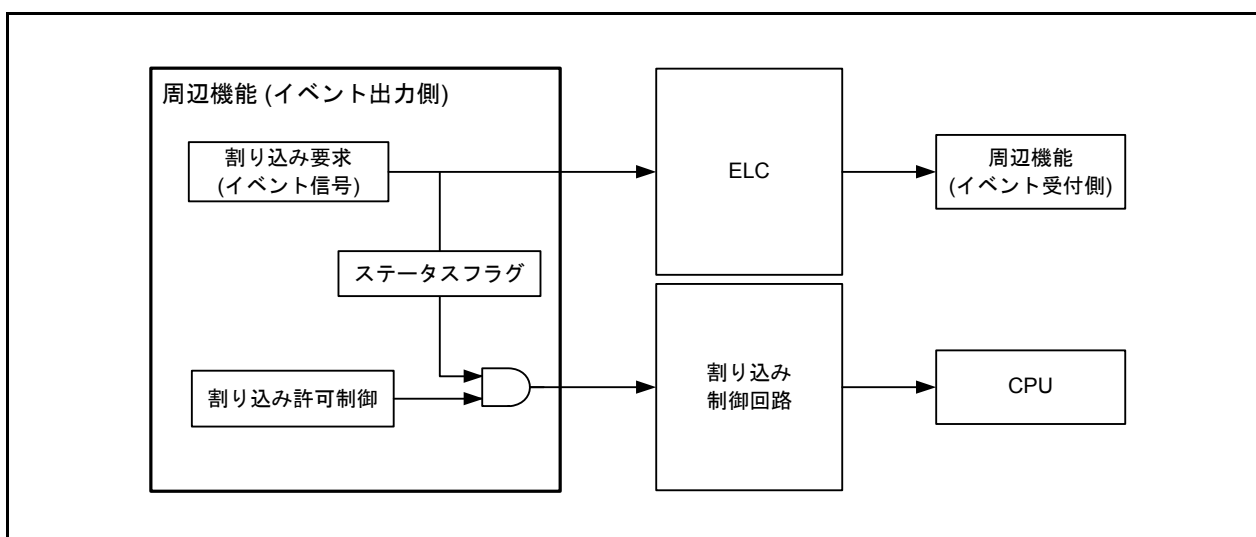


図12.2 割り込み処理とELCの関係

表 12.4 イベントを受け付ける周辺機能の応答性

イベント受取先No. (イベントトリガNo.)	リンク先 モジュール	イベント受付後の動作	イベント受付後動作のリアルタイム性
1	A/Dコンバータ	A/D変換開始トリガ	ELCのイベント発生からA/Dコンバータの動作クロック(注1)2、3サイクル後に変換開始トリガが発生します。
2	タイマRJ_0	イベントカウント動作	ELCからのイベントが直接カウントクロックになります。(内部クロック等によるサンプリングのタイムラグなし)
6	タイマRB2_0	ワンショット発生モードのカウント開始トリガ/ディレイドワンショット発生モードのカウント開始トリガ	ELCのイベント発生からタイマRB2のカウントクロック2、3サイクル後に変換開始トリガが発生します。
8	タイマRC_0	インプットキャプチャ/ PWM2モードの外部トリガ	インプットキャプチャ、PWM2モード： ELCのイベント発生からタイマRCの動作クロック(注1)2、3サイクル後にカウント開始トリガが発生します。

注1. 動作クロックについては、各周辺機能の章を参照ください。

13. DTC

DTC (データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用权はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ (転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

13.1 概要

表13.1にDTCの仕様を示します。

表13.1 DTCの仕様

項目		仕様
起動要因		27 要因
配置可能なコントロールデータ		24 通り
転送可能なアドレス空間		64 Kバイト空間(00000h～0FFFFh)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード	256バイト
	リピートモード	255バイト
転送単位		バイト
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定または加算
	リピートモード	リピートエリアでないアドレスを固定または加算
起動要因優先度		「表13.8 DTC起動要因とDTCベクタアドレス」参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0～DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> • DTCENi0～DTCENi7ビットを0(起動禁止)にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	<ul style="list-style-type: none"> • DTCENi0～DTCENi7ビットを0(起動禁止)にする • RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

i = 0～3、5、6、j = 0～23

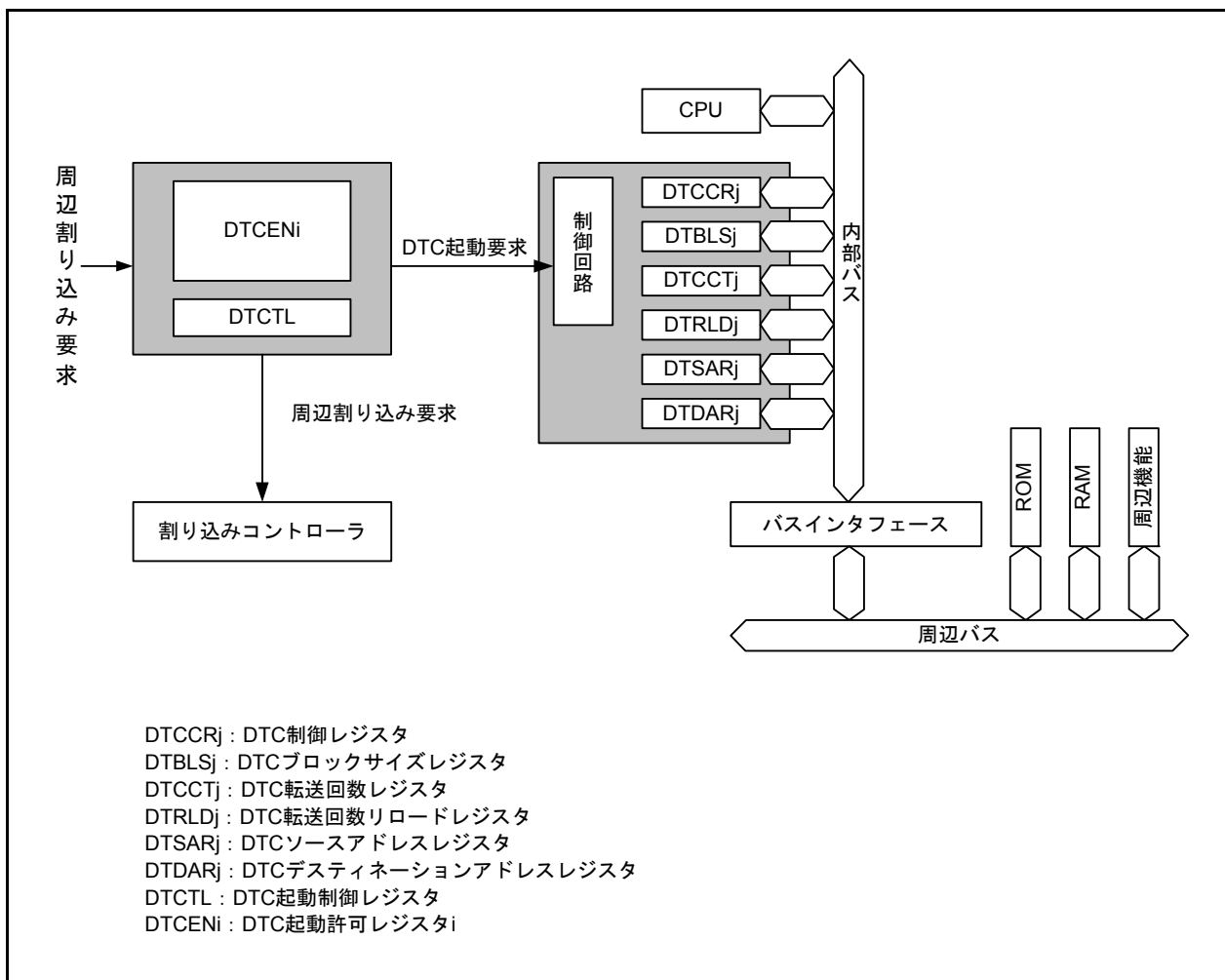


図13.1 DTCのブロック図(i = 0~3、5、6、j = 0~23)

13.2 レジスタの説明

DTCは起動するとRAM上のコントロールデータ領域に配置したコントロールデータ(DTCCR_j、DTBLS_j、DTCCT_j、DTRLD_j、DTSAR_j、DTDAR_j) (j = 0~23)を読み出し、DTC内の制御レジスタ(DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDAR)へ転送します。DTCのデータ転送終了後、DTC内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDARの各レジスタは直接アクセスできません。DTCCR_j、DTBLS_j、DTCCT_j、DTRLD_j、DTSAR_j、DTDAR_jはシステムバスより直接アクセスできます。また、DTCTL、DTCEN_iレジスタ(i = 0~3、5、6)は周辺バスを経由してアクセスできます。表13.2~表13.5にDTCのレジスタ構成を示します。

表13.2 DTCのレジスタ構成(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC起動制御レジスタ	DTCTL	00h	00280h	8
DTC起動許可レジスタ0	DTCEN0	00h	00288h	8
DTC起動許可レジスタ1	DTCEN1	00h	00289h	8
DTC起動許可レジスタ2	DTCEN2	00h	0028Ah	8
DTC起動許可レジスタ3	DTCEN3	00h	0028Bh	8
DTC起動許可レジスタ5	DTCEN5	00h	0028Dh	8
DTC起動許可レジスタ6	DTCEN6	00h	0028Eh	8
DTC制御レジスタ0	DTCCR0	XXh	06C40h	8
DTCブロックサイズレジスタ0	DTBLS0	XXh	06C41h	8
DTC転送回数レジスタ0	DTCCT0	XXh	06C42h	8
DTC転送回数リロードレジスタ0	DTRLD0	XXh	06C43h	8
DTCソースアドレスレジスタ0	DTSAR0	XXXXh	06C44h	16
DTCデスティネーションアドレスレジスタ0	DTDAR0	XXXXh	06C46h	16
DTC制御レジスタ1	DTCCR1	XXh	06C48h	8
DTCブロックサイズレジスタ1	DTBLS1	XXh	06C49h	8
DTC転送回数レジスタ1	DTCCT1	XXh	06C4Ah	8
DTC転送回数リロードレジスタ1	DTRLD1	XXh	06C4Bh	8
DTCソースアドレスレジスタ1	DTSAR1	XXXXh	06C4Ch	16
DTCデスティネーションアドレスレジスタ1	DTDAR1	XXXXh	06C4Eh	16
DTC制御レジスタ2	DTCCR2	XXh	06C50h	8
DTCブロックサイズレジスタ2	DTBLS2	XXh	06C51h	8
DTC転送回数レジスタ2	DTCCT2	XXh	06C52h	8
DTC転送回数リロードレジスタ2	DTRLD2	XXh	06C53h	8
DTCソースアドレスレジスタ2	DTSAR2	XXXXh	06C54h	16
DTCデスティネーションアドレスレジスタ2	DTDAR2	XXXXh	06C56h	16
DTC制御レジスタ3	DTCCR3	XXh	06C58h	8
DTCブロックサイズレジスタ3	DTBLS3	XXh	06C59h	8
DTC転送回数レジスタ3	DTCCT3	XXh	06C5Ah	8
DTC転送回数リロードレジスタ3	DTRLD3	XXh	06C5Bh	8
DTCソースアドレスレジスタ3	DTSAR3	XXXXh	06C5Ch	16
DTCデスティネーションアドレスレジスタ3	DTDAR3	XXXXh	06C5Eh	16
DTC制御レジスタ4	DTCCR4	XXh	06C60h	8
DTCブロックサイズレジスタ4	DTBLS4	XXh	06C61h	8
DTC転送回数レジスタ4	DTCCT4	XXh	06C62h	8
DTC転送回数リロードレジスタ4	DTRLD4	XXh	06C63h	8

表 13.3 DTCのレジスタ構成(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC ソースアドレスレジスタ 4	DTSAR4	XXXXh	06C64h	16
DTC デスティネーションアドレスレジスタ 4	DTDAR4	XXXXh	06C66h	16
DTC 制御レジスタ 5	DTCCR5	XXh	06C68h	8
DTC ブロックサイズレジスタ 5	DTBLS5	XXh	06C69h	8
DTC 転送回数レジスタ 5	DTCCT5	XXh	06C6Ah	8
DTC 転送回数リロードレジスタ 5	DTRL5	XXh	06C6Bh	8
DTC ソースアドレスレジスタ 5	DTSAR5	XXXXh	06C6Ch	16
DTC デスティネーションアドレスレジスタ 5	DTDAR5	XXXXh	06C6Eh	16
DTC 制御レジスタ 6	DTCCR6	XXh	06C70h	8
DTC ブロックサイズレジスタ 6	DTBLS6	XXh	06C71h	8
DTC 転送回数レジスタ 6	DTCCT6	XXh	06C72h	8
DTC 転送回数リロードレジスタ 6	DTRL6	XXh	06C73h	8
DTC ソースアドレスレジスタ 6	DTSAR6	XXXXh	06C74h	16
DTC デスティネーションアドレスレジスタ 6	DTDAR6	XXXXh	06C76h	16
DTC 制御レジスタ 7	DTCCR7	XXh	06C78h	8
DTC ブロックサイズレジスタ 7	DTBLS7	XXh	06C79h	8
DTC 転送回数レジスタ 7	DTCCT7	XXh	06C7Ah	8
DTC 転送回数リロードレジスタ 7	DTRL7	XXh	06C7Bh	8
DTC ソースアドレスレジスタ 7	DTSAR7	XXXXh	06C7Ch	16
DTC デスティネーションアドレスレジスタ 7	DTDAR7	XXXXh	06C7Eh	16
DTC 制御レジスタ 8	DTCCR8	XXh	06C80h	8
DTC ブロックサイズレジスタ 8	DTBLS8	XXh	06C81h	8
DTC 転送回数レジスタ 8	DTCCT8	XXh	06C82h	8
DTC 転送回数リロードレジスタ 8	DTRL8	XXh	06C83h	8
DTC ソースアドレスレジスタ 8	DTSAR8	XXXXh	06C84h	16
DTC デスティネーションアドレスレジスタ 8	DTDAR8	XXXXh	06C86h	16
DTC 制御レジスタ 9	DTCCR9	XXh	06C88h	8
DTC ブロックサイズレジスタ 9	DTBLS9	XXh	06C89h	8
DTC 転送回数レジスタ 9	DTCCT9	XXh	06C8Ah	8
DTC 転送回数リロードレジスタ 9	DTRL9	XXh	06C8Bh	8
DTC ソースアドレスレジスタ 9	DTSAR9	XXXXh	06C8Ch	16
DTC デスティネーションアドレスレジスタ 9	DTDAR9	XXXXh	06C8Eh	16
DTC 制御レジスタ 10	DTCCR10	XXh	06C90h	8
DTC ブロックサイズレジスタ 10	DTBLS10	XXh	06C91h	8
DTC 転送回数レジスタ 10	DTCCT10	XXh	06C92h	8
DTC 転送回数リロードレジスタ 10	DTRL10	XXh	06C93h	8
DTC ソースアドレスレジスタ 10	DTSAR10	XXXXh	06C94h	16
DTC デスティネーションアドレスレジスタ 10	DTDAR10	XXXXh	06C96h	16
DTC 制御レジスタ 11	DTCCR11	XXh	06C98h	8
DTC ブロックサイズレジスタ 11	DTBLS11	XXh	06C99h	8
DTC 転送回数レジスタ 11	DTCCT11	XXh	06C9Ah	8
DTC 転送回数リロードレジスタ 11	DTRL11	XXh	06C9Bh	8
DTC ソースアドレスレジスタ 11	DTSAR11	XXXXh	06C9Ch	16
DTC デスティネーションアドレスレジスタ 11	DTDAR11	XXXXh	06C9Eh	16
DTC 制御レジスタ 12	DTCCR12	XXh	06CA0h	8
DTC ブロックサイズレジスタ 12	DTBLS12	XXh	06CA1h	8
DTC 転送回数レジスタ 12	DTCCT12	XXh	06CA2h	8

表 13.4 DTCのレジスタ構成(3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC 転送回数リロードレジスタ 12	DTRL12	XXh	06CA3h	8
DTC ソースアドレスレジスタ 12	DTSAR12	XXXXh	06CA4h	16
DTC デスティネーションアドレスレジスタ 12	DTDAR12	XXXXh	06CA6h	16
DTC 制御レジスタ 13	DTCCR13	XXh	06CA8h	8
DTC ブロックサイズレジスタ 13	DTBLS13	XXh	06CA9h	8
DTC 転送回数レジスタ 13	DTCCT13	XXh	06CAAh	8
DTC 転送回数リロードレジスタ 13	DTRL13	XXh	06CABh	8
DTC ソースアドレスレジスタ 13	DTSAR13	XXXXh	06CACH	16
DTC デスティネーションアドレスレジスタ 13	DTDAR13	XXXXh	06CAEh	16
DTC 制御レジスタ 14	DTCCR14	XXh	06CB0h	8
DTC ブロックサイズレジスタ 14	DTBLS14	XXh	06CB1h	8
DTC 転送回数レジスタ 14	DTCCT14	XXh	06CB2h	8
DTC 転送回数リロードレジスタ 14	DTRL14	XXh	06CB3h	8
DTC ソースアドレスレジスタ 14	DTSAR14	XXXXh	06CB4h	16
DTC デスティネーションアドレスレジスタ 14	DTDAR14	XXXXh	06CB6h	16
DTC 制御レジスタ 15	DTCCR15	XXh	06CB8h	8
DTC ブロックサイズレジスタ 15	DTBLS15	XXh	06CB9h	8
DTC 転送回数レジスタ 15	DTCCT15	XXh	06CBAh	8
DTC 転送回数リロードレジスタ 15	DTRL15	XXh	06CBBh	8
DTC ソースアドレスレジスタ 15	DTSAR15	XXXXh	06CBCh	16
DTC デスティネーションアドレスレジスタ 15	DTDAR15	XXXXh	06CBEh	16
DTC 制御レジスタ 16	DTCCR16	XXh	06CC0h	8
DTC ブロックサイズレジスタ 16	DTBLS16	XXh	06CC1h	8
DTC 転送回数レジスタ 16	DTCCT16	XXh	06CC2h	8
DTC 転送回数リロードレジスタ 16	DTRL16	XXh	06CC3h	8
DTC ソースアドレスレジスタ 16	DTSAR16	XXXXh	06CC4h	16
DTC デスティネーションアドレスレジスタ 16	DTDAR16	XXXXh	06CC6h	16
DTC 制御レジスタ 17	DTCCR17	XXh	06CC8h	8
DTC ブロックサイズレジスタ 17	DTBLS17	XXh	06CC9h	8
DTC 転送回数レジスタ 17	DTCCT17	XXh	06CCAh	8
DTC 転送回数リロードレジスタ 17	DTRL17	XXh	06CCBh	8
DTC ソースアドレスレジスタ 17	DTCCT18	XXXXh	06CCCh	16
DTC デスティネーションアドレスレジスタ 17	DTDAR17	XXXXh	06CCeh	16
DTC 制御レジスタ 18	DTCCR18	XXh	06CD0h	8
DTC ブロックサイズレジスタ 18	DTBLS18	XXh	06CD1h	8
DTC 転送回数レジスタ 18	DTCCT18	XXh	06CD2h	8
DTC 転送回数リロードレジスタ 18	DTRL18	XXh	06CD3h	8
DTC ソースアドレスレジスタ 18	DTSAR18	XXXXh	06CD4h	16
DTC デスティネーションアドレスレジスタ 18	DTDAR18	XXXXh	06CD6h	16
DTC 制御レジスタ 19	DTCCR19	XXh	06CD8h	8
DTC ブロックサイズレジスタ 19	DTBLS19	XXh	06CD9h	8
DTC 転送回数レジスタ 19	DTCCT19	XXh	06CDAh	8
DTC 転送回数リロードレジスタ 19	DTRL19	XXh	06CDBh	8
DTC ソースアドレスレジスタ 19	DTSAR19	XXXXh	06CDCh	16
DTC デスティネーションアドレスレジスタ 19	DTDAR19	XXXXh	06CDEh	16
DTC 制御レジスタ 20	DTCCR20	XXh	06CE0h	8
DTC ブロックサイズレジスタ 20	DTBLS20	XXh	06CE1h	8

表 13.5 DTCのレジスタ構成(4)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC 転送回数レジスタ 20	DTCCT20	XXh	06CE2h	8
DTC 転送回数リロードレジスタ 20	DTRL20	XXh	06CE3h	8
DTC ソースアドレスレジスタ 20	DTSAR20	XXXXh	06CE4h	16
DTC デスティネーションアドレスレジスタ 20	DTDAR20	XXXXh	06CE6h	16
DTC 制御レジスタ 21	DTCCR21	XXh	06CE8h	8
DTC ブロックサイズレジスタ 21	DTBLS21	XXh	06CE9h	8
DTC 転送回数レジスタ 21	DTCCT21	XXh	06CEAh	8
DTC 転送回数リロードレジスタ 21	DTRL21	XXh	06CEBh	8
DTC ソースアドレスレジスタ 21	DTSAR21	XXXXh	06CECh	16
DTC デスティネーションアドレスレジスタ 21	DTDAR21	XXXXh	06CEEh	16
DTC 制御レジスタ 22	DTCCR22	XXh	06CF0h	8
DTC ブロックサイズレジスタ 22	DTBLS22	XXh	06CF1h	8
DTC 転送回数レジスタ 22	DTCCT22	XXh	06CF2h	8
DTC 転送回数リロードレジスタ 22	DTRL22	XXh	06CF3h	8
DTC ソースアドレスレジスタ 22	DTSAR22	XXXXh	06CF4h	16
DTC デスティネーションアドレスレジスタ 22	DTDAR22	XXXXh	06CF6h	16
DTC 制御レジスタ 23	DTCCR23	XXh	06CF8h	8
DTC ブロックサイズレジスタ 23	DTBLS23	XXh	06CF9h	8
DTC 転送回数レジスタ 23	DTCCT23	XXh	06CFAh	8
DTC 転送回数リロードレジスタ 23	DTRL23	XXh	06CFBh	8
DTC ソースアドレスレジスタ 23	DTSAR23	XXXXh	06CFCh	16
DTC デスティネーションアドレスレジスタ 23	DTDAR23	XXXXh	06CFEh	16

13.2.1 DTC 起動制御レジスタ (DTCTL)

アドレス 00280h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	NMIF	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	NMIF	ノンマスクابل割り込み発生ビット (注1)	0 : ノンマスクابل割り込みなし 1 : ノンマスクابل割り込み発生	R/W
b2	—	何も配置されていない。読んだ場合、その値は0。		R
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. 読んだ結果が1の場合、同じビットに0を書くと0になります。読んだ結果が0の場合、同じビットに0を書いても変化しません。1を書いた場合は変化しません。

NMIF ビット (ノンマスクابل割り込み発生ビット)

NMIF ビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1 割り込み、電圧監視2 割り込みのいずれかが発生すると1になります。

NMIF ビットが1の場合、DTC 起動を許可している割り込みが発生してもDTCは起動しません。DTC 転送中にNMIF ビットが1になっても、その転送を終了するまで行います。

13.2.2 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0~3、5、6)

アドレス 00288h (DTCEN0)、00289h (DTCEN1)、0028Ah (DTCEN2)、0028Bh (DTCEN3)、
0028Dh (DTCEN5)、0028Eh (DTCEN6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCENi0	DTC起動許可ビット	0 : 起動禁止 1 : 起動許可	R/W
b1	DTCENi1			R/W
b2	DTCENi2			R/W
b3	DTCENi3			R/W
b4	DTCENi4			R/W
b5	DTCENi5			R/W
b6	DTCENi6			R/W
b7	DTCENi7			R/W

DTCEN*i*レジスタは、各割り込み要因によるDTC起動の許可または禁止を制御します。表13.6に割り込み要因とDTCENi0~DTCENi7ビット(*i* = 0~3、5、6)の対応を示します。

表13.6 割り込み要因とDTCENi0~DTCENi7ビット(*i* = 0~3、5、6)の対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	INT0	INT1	INT2	INT3	INT4	—	—	—
DTCEN1	キー入力	A/D変換	UART0_0 受信	UART0_0 送信	UART0_1 受信	UART0_1 送信	UART2 受信	UART2 送信
DTCEN2	SSU_0/I ² C_0 受信データ フル	SSU_0/I ² C_0 送信データ エンプティ	電圧監視2	電圧監視1	—	—	タイマRC_0 インプット キャプチャ/ コンペアー一致A	タイマRC_0 インプット キャプチャ/ コンペアー一致B
DTCEN3	タイマRC_0 インプット キャプチャ/ コンペアー一致C	タイマRC_0 インプット キャプチャ/ コンペアー一致D	—	—	—	—	—	—
DTCEN5	—	—	タイマRE2	—	—	—	—	—
DTCEN6	—	タイマRJ_0	—	タイマRB2	フラッシュ レディ ステータス	TSCU DTC起動	TSCU 計測完了	—

13.2.3 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	MODE	転送モード選択ビット	0: ノーマルモード 1: リピートモード	R/W
b1	RPTSEL	リピートエリア選択ビット(注1)	0: 転送先がリピートエリア 1: 転送元がリピートエリア	R/W
b2	SAMOD	ソースアドレス制御ビット(注2)	0: 固定	R/W
b3	DAMOD	デスティネーションアドレス制御ビット(注2)	1: 加算	R/W
b4	CHNE	チェイン転送許可ビット(注3)	0: チェイン転送禁止 1: チェイン転送許可	R/W
b5	RPTINT	リピートモード割り込み許可ビット(注1)	0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	—	予約ビット	0にしてください。読んだ場合、その値は不定。	R/W
b7	—			

注1. MODEビットが1(リピートモード)のときに有効です。

注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。

注3. DTCCR23レジスタのCHNEビットは0(チェイン転送禁止)にしてください。

13.2.4 DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	1回の起動で転送するデータブロックサイズを設定する	00h~FFh(注1)	R/W

注1. 00hのときブロックサイズは256バイトになります。

リピートモード時に指定可能な値は01h~FFh(1~255バイト)です。

13.2.5 DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	DTCのデータ転送回数を設定する	00h~FFh(注1)	R/W

注1. 00hのとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

リピートモード時に指定可能な値は01h~FFh(1~255回)です。

13.2.6 DTC転送回数リロードレジスタj (DTRL Dj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	リピートモード動作でこのレジスタの値をDTCCTレジスタへリロードする	00h~FFh (注1)	R/W

注1. DTCCTレジスタの初期値を設定してください。

リピートモード時に指定可能な値は01h~FFh (1~255回)です。

13.2.7 DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15~b0	データ転送時の転送元アドレスを指定する	0000h~FFFFh	R/W

13.2.8 DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15~b0	データ転送時の転送先アドレスを指定する	0000h~FFFFh	R/W

13.3 動作説明

13.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータ(注1)を読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCRj (j=0~23)レジスタのCHNEビットが1(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先アドレスは16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

注1. コントロールデータの詳細は、「13.2.3 DTC制御レジスタj(DTCCRj) (j=0~23)」~「13.2.8 DTCデスティネーションアドレスレジスタj(DTDARj) (j=0~23)」および「表13.7 コントロールデータの配置アドレス」を参照してください。

13.3.2 起動要因

DTCは割り込み要因により起動します。図13.2にDTC起動要因の制御ブロック図(i=0~3、5、6)を示します。

DTCを起動する割り込み要因は、DTCENi (i=0~3、5、6)レジスタで選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ノーマルモードでDTCCTj (j=0~23)レジスタが0になる転送
- リピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0~DTCENi7ビットを0(起動禁止)にします。

データ転送の設定がどちらでもなく、DTCは動作中に起動要因となった割り込み要因フラグを0にします。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

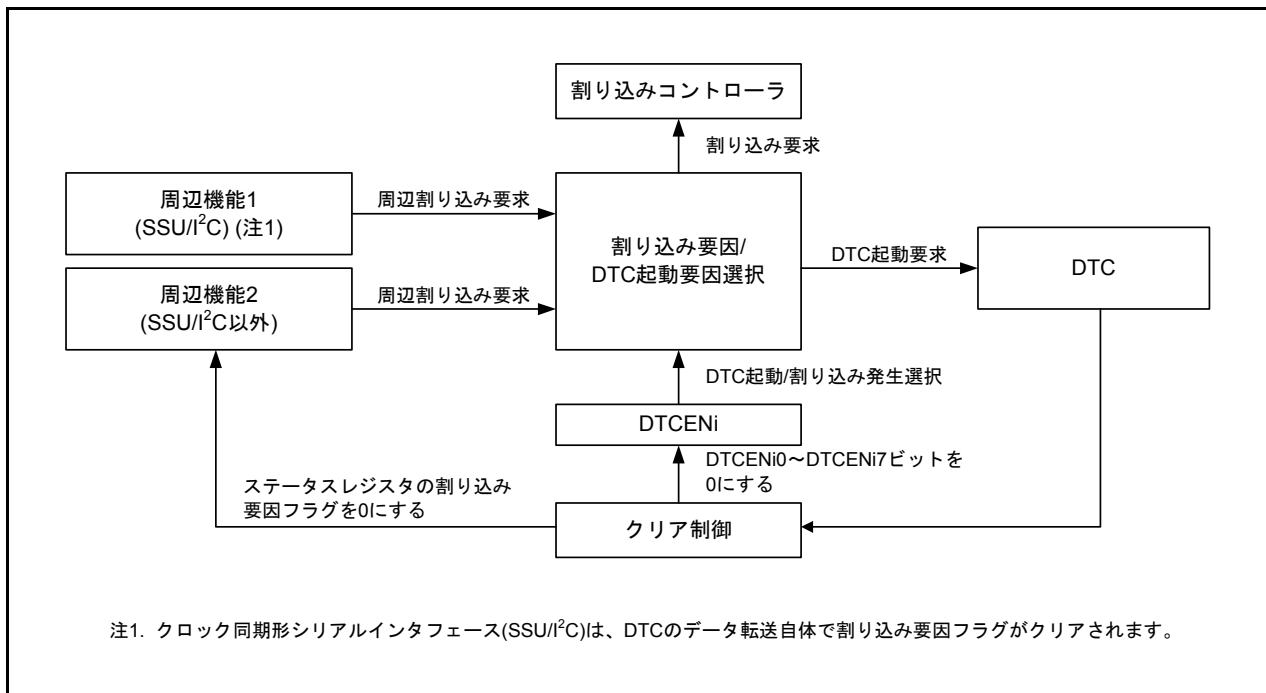


図 13.2 DTC 起動要因の制御ブロック図 (i = 0 ~ 3、5、6)

13.3.3 コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCRj、DTBLSj、DTCCTj、DTRLDj、DTSARj、DTDARjレジスタ(j=0~23)の順に配置します。表13.7にコントロールデータの配置アドレスを示します。

表13.7 コントロールデータの配置アドレス

コントロールデータ番号	アドレス	DTCCRj レジスタ	DTBLSj レジスタ	DTCCTj レジスタ	DTRLDj レジスタ	DTSARj レジスタ (下位 8ビット)	DTSARj レジスタ (上位 8ビット)	DTDARj レジスタ (下位 8ビット)	DTDARj レジスタ (上位 8ビット)
コントロールデータ0	06C40h~06C47h	06C40h	06C41h	06C42h	06C43h	06C44h	06C45h	06C46h	06C47h
コントロールデータ1	06C48h~06C4Fh	06C48h	06C49h	06C4Ah	06C4Bh	06C4Ch	06C4Dh	06C4Eh	06C4Fh
コントロールデータ2	06C50h~06C57h	06C50h	06C51h	06C52h	06C53h	06C54h	06C55h	06C56h	06C57h
コントロールデータ3	06C58h~06C5Fh	06C58h	06C59h	06C5Ah	06C5Bh	06C5Ch	06C5Dh	06C5Eh	06C5Fh
コントロールデータ4	06C60h~06C67h	06C60h	06C61h	06C62h	06C63h	06C64h	06C65h	06C66h	06C67h
コントロールデータ5	06C68h~06C6Fh	06C68h	06C69h	06C6Ah	06C6Bh	06C6Ch	06C6Dh	06C6Eh	06C6Fh
コントロールデータ6	06C70h~06C77h	06C70h	06C71h	06C72h	06C73h	06C74h	06C75h	06C76h	06C77h
コントロールデータ7	06C78h~06C7Fh	06C78h	06C79h	06C7Ah	06C7Bh	06C7Ch	06C7Dh	06C7Eh	06C7Fh
コントロールデータ8	06C80h~06C87h	06C80h	06C81h	06C82h	06C83h	06C84h	06C85h	06C86h	06C87h
コントロールデータ9	06C88h~06C8Fh	06C88h	06C89h	06C8Ah	06C8Bh	06C8Ch	06C8Dh	06C8Eh	06C8Fh
コントロールデータ10	06C90h~06C97h	06C90h	06C91h	06C92h	06C93h	06C94h	06C95h	06C96h	06C97h
コントロールデータ11	06C98h~06C9Fh	06C98h	06C99h	06C9Ah	06C9Bh	06C9Ch	06C9Dh	06C9Eh	06C9Fh
コントロールデータ12	06CA0h~06CA7h	06CA0h	06CA1h	06CA2h	06CA3h	06CA4h	06CA5h	06CA6h	06CA7h
コントロールデータ13	06CA8h~06CAFh	06CA8h	06CA9h	06CAAh	06CABh	06CACH	06CADh	06CAEh	06CAFh
コントロールデータ14	06CB0h~06CB7h	06CB0h	06CB1h	06CB2h	06CB3h	06CB4h	06CB5h	06CB6h	06CB7h
コントロールデータ15	06CB8h~06CBFh	06CB8h	06CB9h	06CBAh	06CBBh	06CBCh	06CBDh	06CBEh	06CBFh
コントロールデータ16	06CC0h~06CC7h	06CC0h	06CC1h	06CC2h	06CC3h	06CC4h	06CC5h	06CC6h	06CC7h
コントロールデータ17	06CC8h~06CCFh	06CC8h	06CC9h	06CCAh	06CCBh	06CCCh	06CCDh	06CCEh	06CCFh
コントロールデータ18	06CD0h~06CD7h	06CD0h	06CD1h	06CD2h	06CD3h	06CD4h	06CD5h	06CD6h	06CD7h
コントロールデータ19	06CD8h~06CDFh	06CD8h	06CD9h	06CDAh	06CDBh	06CDCh	06CDDh	06CDEh	06CDFh
コントロールデータ20	06CE0h~06CE7h	06CE0h	06CE1h	06CE2h	06CE3h	06CE4h	06CE5h	06CE6h	06CE7h
コントロールデータ21	06CE8h~06CEFh	06CE8h	06CE9h	06CEAh	06CEBh	06CECh	06CEDh	06CEEh	06CEFh
コントロールデータ22	06CF0h~06CF7h	06CF0h	06CF1h	06CF2h	06CF3h	06CF4h	06CF5h	06CF6h	06CF7h
コントロールデータ23	06CF8h~06CFFh	06CF8h	06CF9h	06CFAh	06CFBh	06CFCh	06CFDh	06CFEh	06CFFh

j = 0 ~ 23

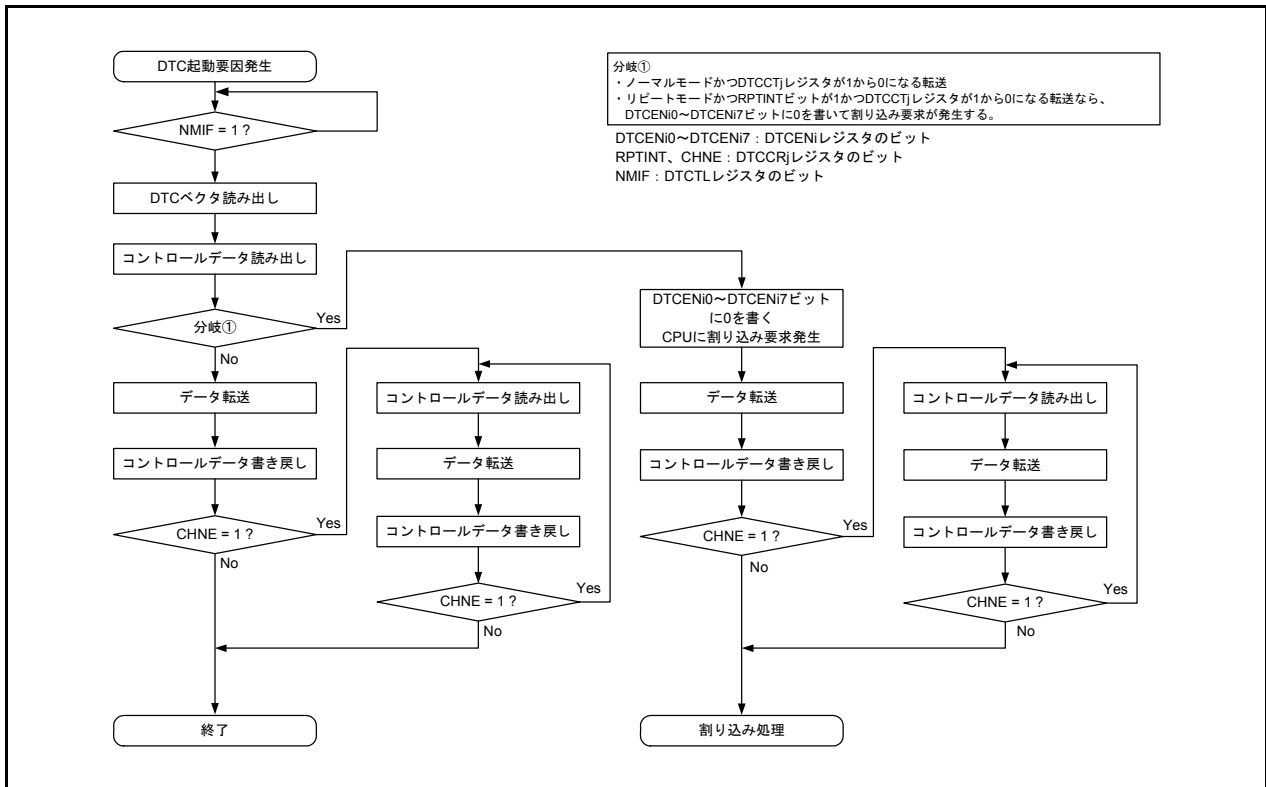


図 13.3 DTC 起動要因がタイマRC、タイマRE2、SSU/I2Cバス、TSCU、フラッシュメモリの割り込み要因でないときのDTC内部動作フローチャート (i = 0 ~ 3、5、6) (j = 0 ~ 23)

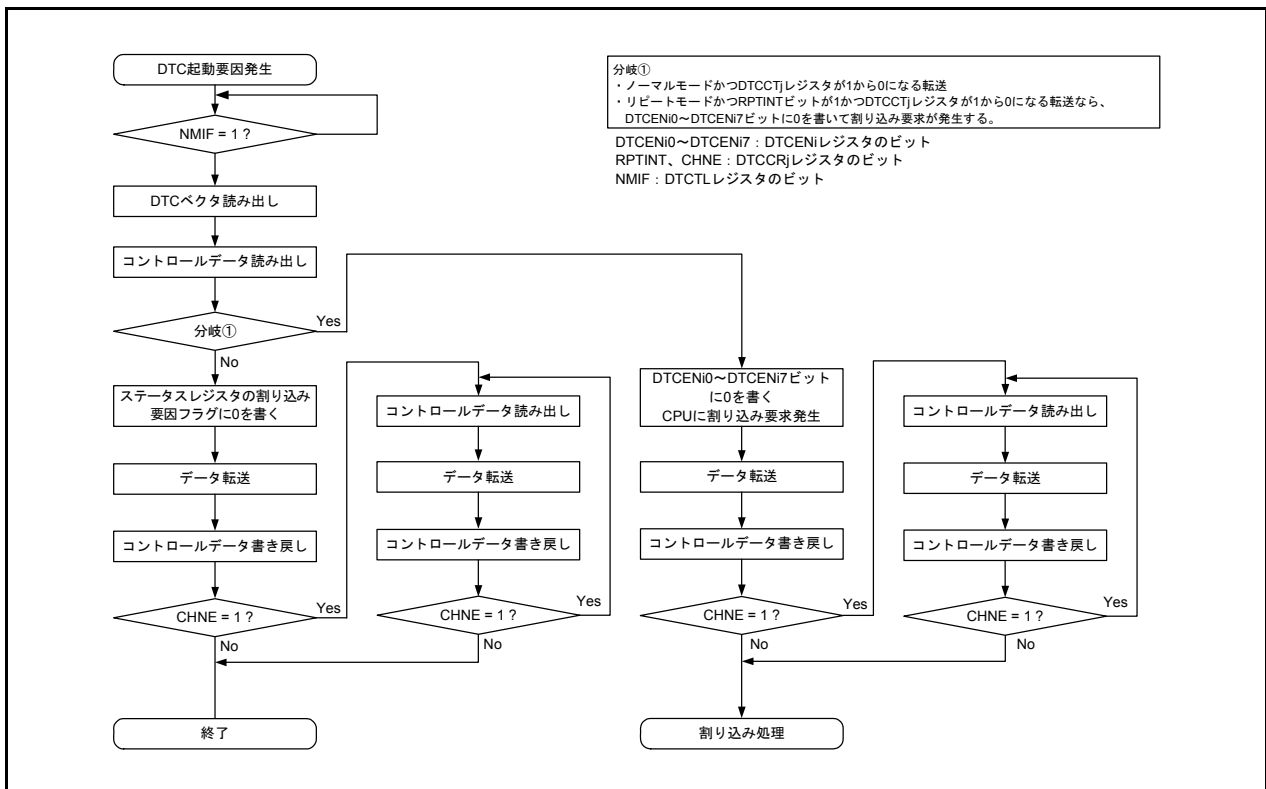


図 13.4 DTC 起動要因がタイマRC、タイマRE2、TSCUの割り込み要因であるときのDTC内部動作フローチャート (i = 0 ~ 3、5、6) (j = 0 ~ 23)

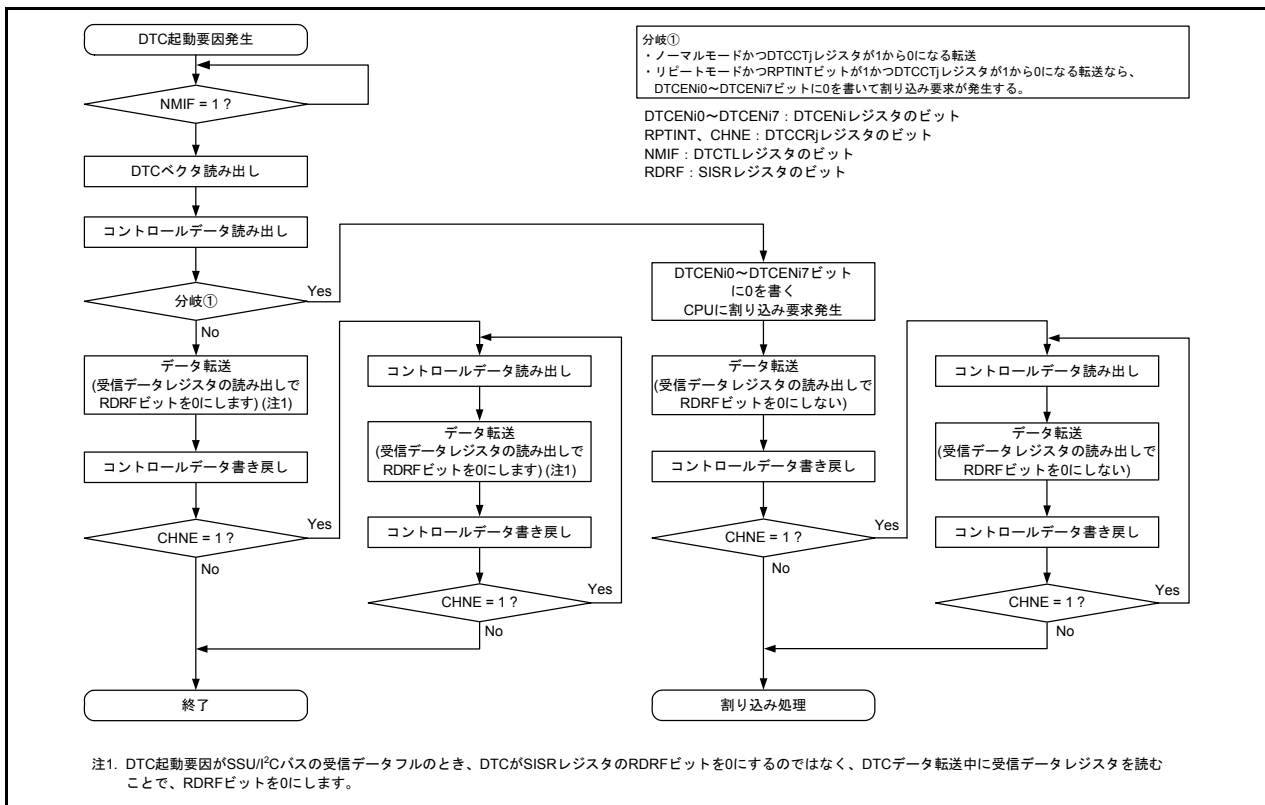


図 13.5 DTC 起動要因が SSU/I²C バスの受信データフルであるときの DTC 内部動作フローチャート (i = 0 ~ 3、5、6) (j = 0 ~ 23)

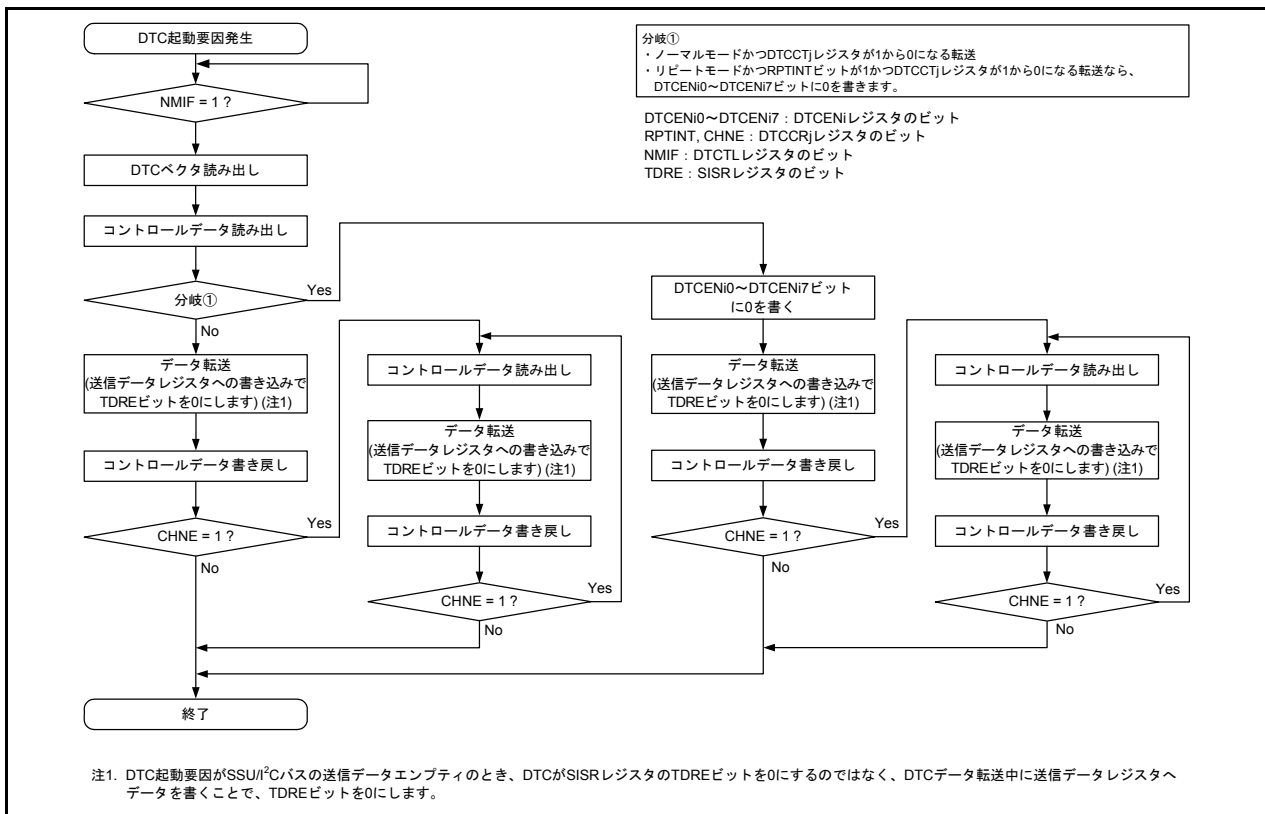


図 13.6 DTC 起動要因が SSU/I²C バスの送信データエンプティであるときの DTC 内部動作フローチャート (i = 0 ~ 3、5、6) (j = 0 ~ 23)

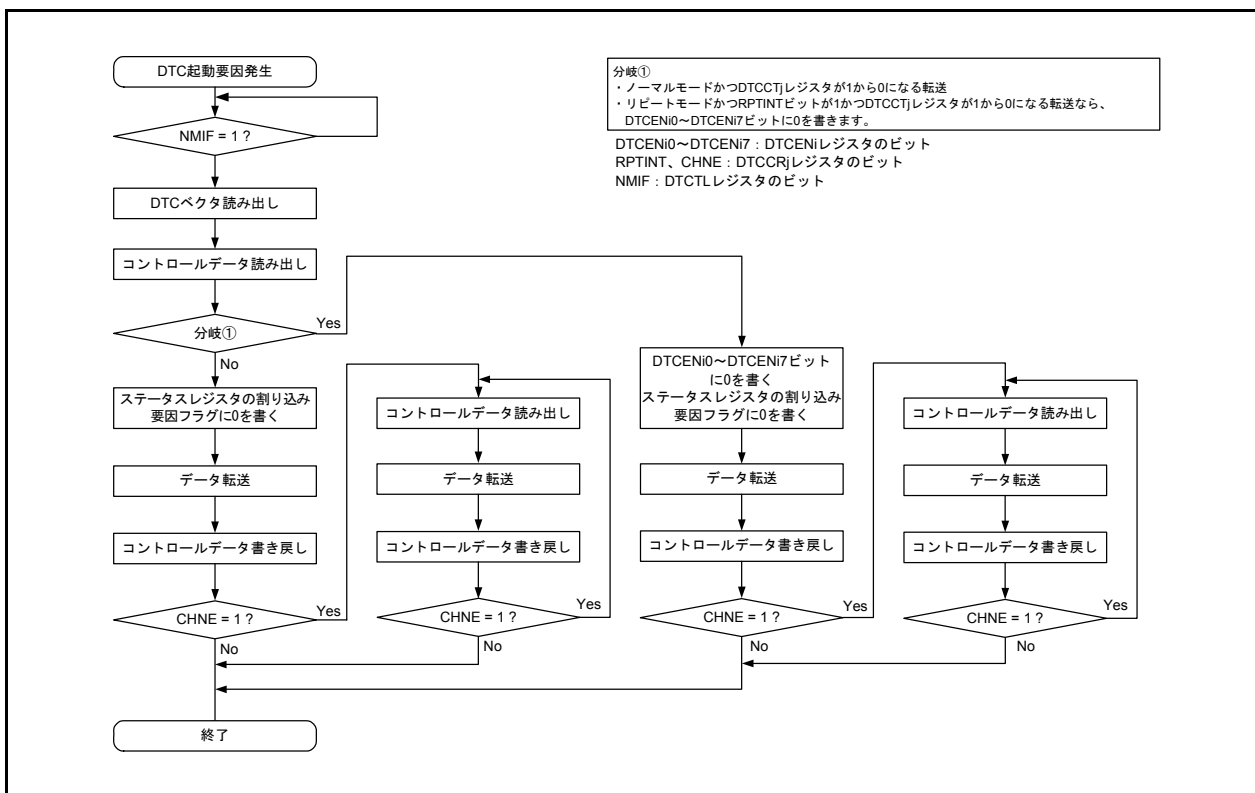


図 13.7 DTC 起動要因がフラッシュレディステータスであるときの DTC 内部動作フローチャート (i = 0 ~ 3、5、6) (j = 0 ~ 23)

13.3.4 ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCTjレジスタ(j = 0～23)が0になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求が発生します。

表13.9にノーマルモードでのレジスタ機能を示します。

図13.8にノーマルモードでのデータ転送(j = 0～23)を示します。

表13.9 ノーマルモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	使用しません
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j = 0～23

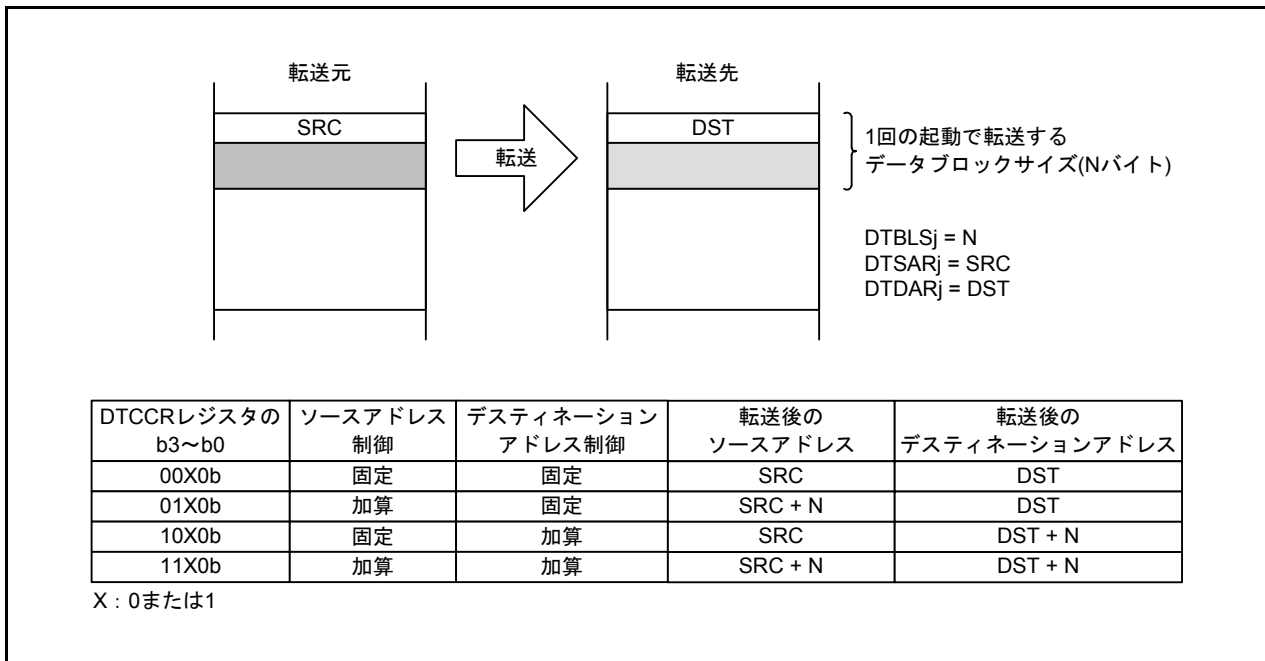


図13.8 ノーマルモードでのデータ転送(j = 0～23)

13.3.5 リピートモード

1回の起動で1~255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1~255回です。指定回数の転送が終了すると、DTCCTj (j=0~23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

リピートエリアに指定したアドレスの初期値の下位8ビットを00hにしてください。また、指定回数の転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表13.10にリピートモードでのレジスタ機能を示します。図13.9にリピートモードでのデータ転送(j=0~23)を示します。

表13.10 リピートモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTjレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j = 0 ~ 23

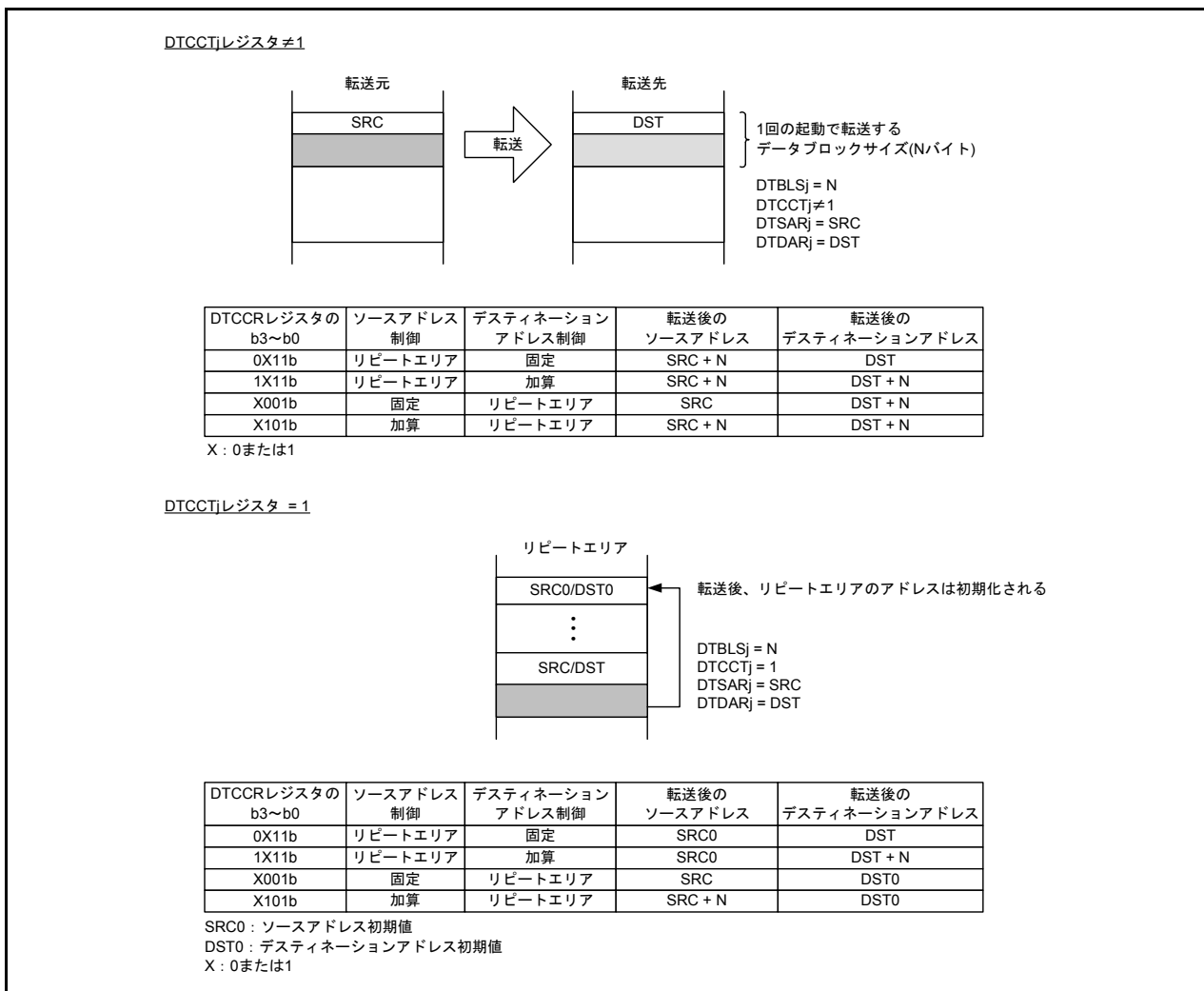


図13.9 リピートモードでのデータ転送(j = 0 ~ 23)

13.3.6 チェイン転送

DTCCR0～DTCCR22レジスタのCHNEビットが1(チェイン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図13.10にチェイン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0(チェイン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは0(チェイン転送禁止)にしてください。

なお、各起動要因に対するデータ転送は、各々ノーマルモード、リピートモードのいずれかに設定できます。データ転送の動作については、「13.3.4 ノーマルモード」、「13.3.5 リピートモード」を参照してください。

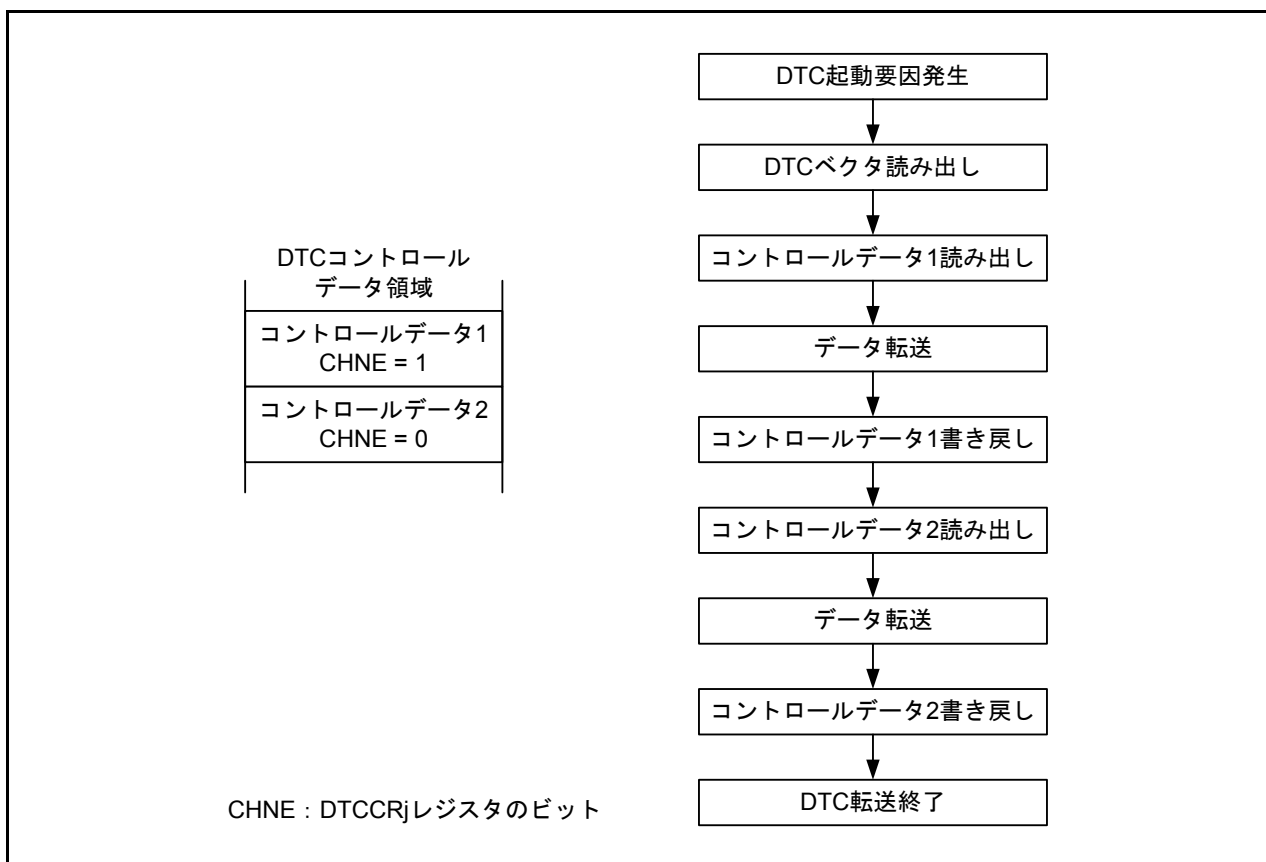


図13.10 チェイン転送のフロー

13.3.7 割り込み要因

DTCがノーマルモードでDTCCTjレジスタ(j=0～23)が0になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生します。ただし、起動要因がSSU/I²Cバス送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求を発生しません。

このCPUに対する割り込み要求は、Iフラグや割り込み制御レジスタの影響を受けます。チェイン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENi(i=0～3、5、6)レジスタのDTCENi0～DTCENi7ビットは0(起動禁止)になります。

13.3.8 動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは5サイクルで行います。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図13.11にDTCの動作タイミング例を、図13.12にチェーン転送時のDTCの動作タイミング例を示します。

表13.11にコントロールデータ書き戻し仕様を示します。

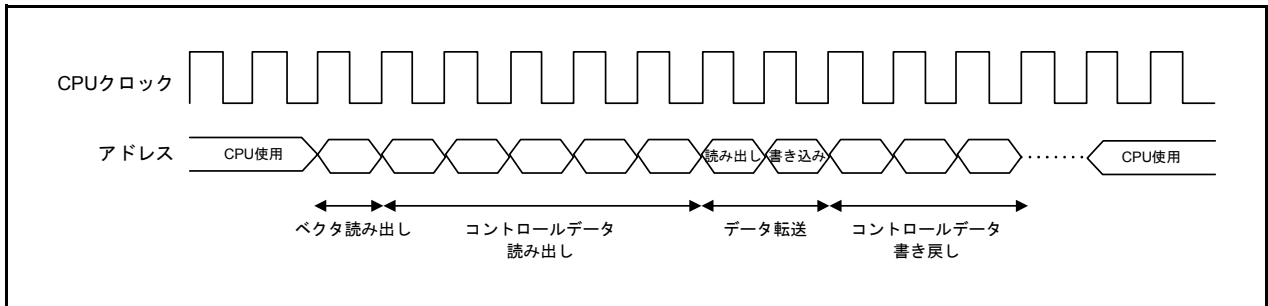


図13.11 DTCの動作タイミング例

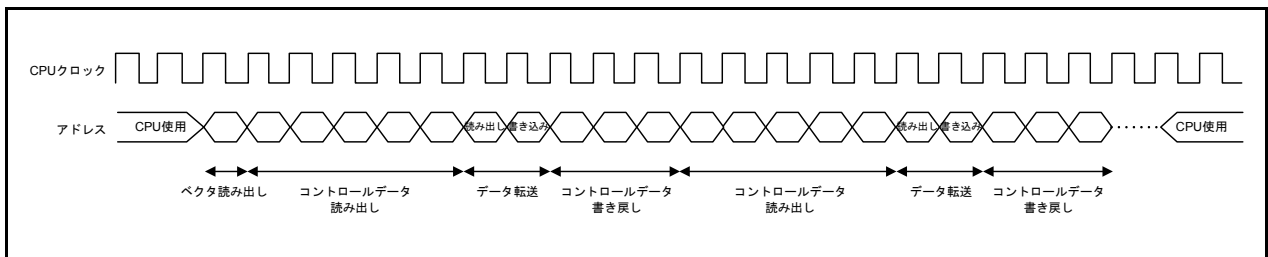


図13.12 チェーン転送時のDTCの動作タイミング例

表13.11 コントロールデータ書き戻し仕様

DTCCR レジスタの b3~b0	動作モード	アドレス制御		書き戻すコントロールデータ				サイクル数
		ソース	デスティネーション	DTCCTj レジスタ	DTRLj レジスタ	DTSARj レジスタ	DTARj レジスタ	
00X0b	ノーマル モード	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
01X0b		加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
10X0b		固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
11X0b		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0X11b	リピート モード	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1X11b			加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X001b		固定	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X101b		加算	リピート エリア	書き戻す	書き戻す	書き戻す	書き戻す	3

j = 0 ~ 23

X : 0 または 1

チェーン転送動作におけるコントロールデータの書き戻しの仕様は、各起動要因で設定された動作モードによって、各起動要因ごとに表13.11のノーマルモード、リピートモードのいずれかに従います。

13.3.9 DTC実行サイクル数

表 13.12 に DTC 起動時の実行状態と必要なサイクル数を示します。表 13.13 にデータ転送に必要なサイクル数を示します。

表 13.12 DTC 起動時の実行状態と必要なサイクル数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み	内部動作
	読み出し	書き戻し			
1	5	(注1)	(注2)	(注2)	1

注1. コントロールデータの書き戻しに必要なサイクル数は「表 13.11 コントロールデータ書き戻し仕様」を参照してください。

注2. データ読み出し / データ書き込みに必要なサイクル数は「表 13.13 データ転送に必要なサイクル数」を参照してください。

DTBLS_j (j = 0 ~ 23) レジスタ = N とすると、データ転送時、

(1) $N = 2n$ (偶数) のとき、 n 回の 2 バイト転送

(2) $N = 2n + 1$ (奇数) のとき、 n 回の 2 バイト転送後、1 回の 1 バイト転送を実行します。

表 13.13 データ転送に必要なサイクル数

実行状態	転送単位	内部RAM (DTC転送中)		内部ROM (プログラムROM)	内部ROM (データフラッシュ)	SFR (ワードアクセス)		SFR (バイトアクセス)	SFR (DTCコントロールデータ領域)	
		偶数番地	奇数番地			偶数番地	奇数番地		偶数番地	奇数番地
	2バイト	1	2	1 (注1)	8	3	6	6	1	2
データ書き込み	1バイト	1		—	—	2		2	1	
	2バイト	1	2	—	—	2	4	4	1	2

注1. ページアクセスでの値になります。

2 バイトでかつ奇数番地の場合、2 サイクルになります。また、ページ境界をまたがるアクセスの場合、1 サイクル増になります。ページアクセス以外は、1 サイクル増になります。

実行サイクル数は下記の計算式で求められます。

$$\text{実行サイクル数} = 1 + \Sigma[\text{式A}] + 2$$

Σ は一つの起動要因で転送する回数分 (CHNE ビットが 1 に設定されている数 + 1) の和

(1) $N = 2n$ (偶数) のとき

$$\text{式A} = J + n \cdot \text{SK2} + n \cdot \text{SL2}$$

(2) $N = 2n + 1$ (奇数) のとき

$$\text{式A} = J + n \cdot \text{SK2} + 1 \cdot \text{SK1} + n \cdot \text{SL2} + 1 \cdot \text{SL1}$$

J: コントロールデータ読み出しサイクル数 (5 サイクル) + 書き戻しに必要なサイクル数

16 ビット単位でアクセスする必要のあるレジスタに対して、データ読み出しまたはデータ書き込みを行う場合は、DTBLS_j (j = 0 ~ 23) レジスタに 2 以上の偶数値を設定してください。

DTC は 16 ビット単位でアクセスします。

13.3.10 DTC起動要因受付と割り込み要因フラグ

13.3.10.1 クロック同期形シリアルインタフェース(SSU/I²C)、フラッシュメモリ以外の割り込み要因

DTC起動要因がSSU/I²C、フラッシュメモリ以外の割り込み要因であるとき、DTCは割り込み要因による転送開始後、CPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。また、DTC動作中にDTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。

13.3.10.2 フラッシュメモリ

DTC起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが1(フラッシュレディステータス割り込み要求あり)になってからDTCが0(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC起動要因になりません。DTCがRDYSTIビットを0にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが1になってDTCが転送を開始してから、DTCが割り込み要因フラグを0にするまで、CPUクロックの8～12サイクル必要です。

13.3.10.3 SSU/I²Cバス受信データフル

DTC起動要因がSSU/I²Cバス受信データフルであるとき、データ転送でSIRDレジスタを読み取ってください。SIRDレジスタを読むことで、SISRレジスタのRDRFビットが0(SIRDレジスタにデータなし)になります。その後、受信データフルの割り込み要因が発生すると、DTCは起動要因として受け付けます。

13.3.10.4 SSU/I²Cバス送信データエンプティ

DTC起動要因がSSU/I²Cバス送信データエンプティであるとき、データ転送でSITDRレジスタへ書いてください。SITDRレジスタへ書くことで、SISRレジスタのTDREビットが0(SITDRレジスタからSIDRレジスタにデータ転送されていない)になります。その後、送信データエンプティの割り込み要因が発生すると、DTCは起動要因として受け付けます。

13.4 DTC使用上の注意事項

13.4.1 DTC起動要因

- ウェイトモード移行前またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前またはストップモード中に、DTC起動要因を発生させないでください。
- TSCUのDTC起動要因については、ウェイトモード中のDTC転送に使用することができます。
- TSCUのDTC起動要因を使用してDTC転送を行う場合、ソースアドレスはTSCUのレジスタに、ディスティネーションアドレスはRAMに設定して使用してください。

13.4.2 DTCENiレジスタ (i = 0～3、5、6)

- DTCENi0～DTCENi7ビットは、そのビットに対応する割り込み要求が発生しない箇所を変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが1のとき、対応する起動要因のDTCENi0～DTCENi7ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

13.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを0にしないでください。
- DTC起動要因がSSU/I²C受信データフルのときは、DTC転送でSIRDRレジスタを読んでください。SIRDRレジスタを読むことで、SISRレジスタのRDRFビットが0 (SIRDRレジスタにデータなし)になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTjレジスタ(j = 0～23)が1から0になる転送
 - リピートモードかつDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが1から0になる転送のときには、SIRDRレジスタを読んでもSISRレジスタのRDRFビットは0 (SIRDRレジスタにデータなし)になりません。
- DTC起動要因がSSU/I²C送信データエンプティのときは、DTC転送でSITDRレジスタへ書いてください。SITDRレジスタへ書くことで、SISRレジスタのTDREビットが0 (SITDRレジスタからSISDRレジスタにデータ転送されていない)になります。
- TSCUのDTC起動要因については、割り込み禁止に設定してDTC転送にのみ使用してください。

13.4.4 割り込み要求

- DTC起動要因がSSU/I²C送信データエンプティまたはフラッシュレディステータスのとき、以下の場合でもCPUに割り込み要求を発生しません。
 - DTCがノーマルモードでDTCCTjレジスタが0になるデータ転送を実行するとき
 - リピートモードでDTCCRjレジスタのRPTINTビットが1かつDTCCTjレジスタが0になるデータ転送を実行するとき

13.4.5 DTCの起動

- DTC起動時、ベクタ読み出しの前に1サイクル動作がずれる場合があります。

14. I/Oポート

14.1 概要

I/Oポートは、P0～P3、P4_3～P4_7、P5、P6、P7、P8、P9_0～P9_5の75本あります。(P4_3、P4_4はXCINクロック発振回路を使用しない場合、P4_6、P4_7はXINクロック発生回路を使用しない場合、I/Oポートとして使用できます。)

また、A/Dコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表14.1にI/Oポートの概要を示します。

表14.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力切り替え	入力レベル切り替え
P0、P3、P5、P6、P7、P8、P9_0～P9_5	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	4ビット単位で設定(注2)	8ビット単位で設定(注3)
P1、P2	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	1ビット単位で設定(注4)	8ビット単位で設定(注3)
P4_3(注5)	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注1)	1ビット単位で設定(注2)	6ビット単位で設定(注3)
P4_4(注5)、P4_5、P4_6(注6)、P4_7(注6)	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	4ビット単位で設定(注2)	
P4_2(注7)	入力	(出力機能なし)	なし	なし	なし	

注1. 入力モード時、PUR0～PUR2レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. DRR0～DRR2レジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. VLT0～VLT2レジスタで入力のしきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

注4. P1DRR、P2DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注5. XCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注6. XINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注7. A/Dコンバータを使用しない場合、入力専用ポートとして使用できます。

14.2 I/Oポートの機能

ポートP0～P3、P4_3～P4_7、P5、P6、P7、P8、P9_0～P9_5の入出力はPDiレジスタ($i=0\sim9$)のPDi_jビット($j=0\sim7$)で制御します。PORTiレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図14.1～図14.11にI/Oポートの構成を、表14.2にI/Oポートの機能を示します。

表14.2 I/Oポートの機能

PORTiレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値	
	0(入力モード)のとき	1(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

$i=0\sim9$ 、 $j=0\sim7$

注1. PD4_0～PD4_2、PD9_6、PD9_7ビットには何も配置されていません。

注2. P4_0、P4_1、P9_6、P9_7ビットには何も配置されていません。

注3. PORT4レジスタを読んだ場合、P4_0、P4_1ビットは0になります。

注4. PORT9レジスタを読んだ場合、P9_6、P9_7ビットは0になります。

注5. P4_3、P4_4ビットをXCIN、XCOUTで使用している場合、PORT4レジスタを読んでも、端子の入力レベルは読めません。P4_3、P4_4ビットは1となります。また、PD4_3、PD4_4ビットを1(出力モード)に設定しても、P4_3、P4_4ビットの値は端子から出力されません。

注6. P4_6、P4_7ビットをXIN、XOUTで使用している場合、PORT4レジスタを読んでも、端子の入力レベルは読めません。P4_6、P4_7ビットは1となります。また、PD4_6、PD4_7ビットを1(出力モード)に設定しても、P4_6、P4_7ビットの値は端子から出力されません。

14.3 I/Oポート以外の端子

図14.12に端子の構成を示します。

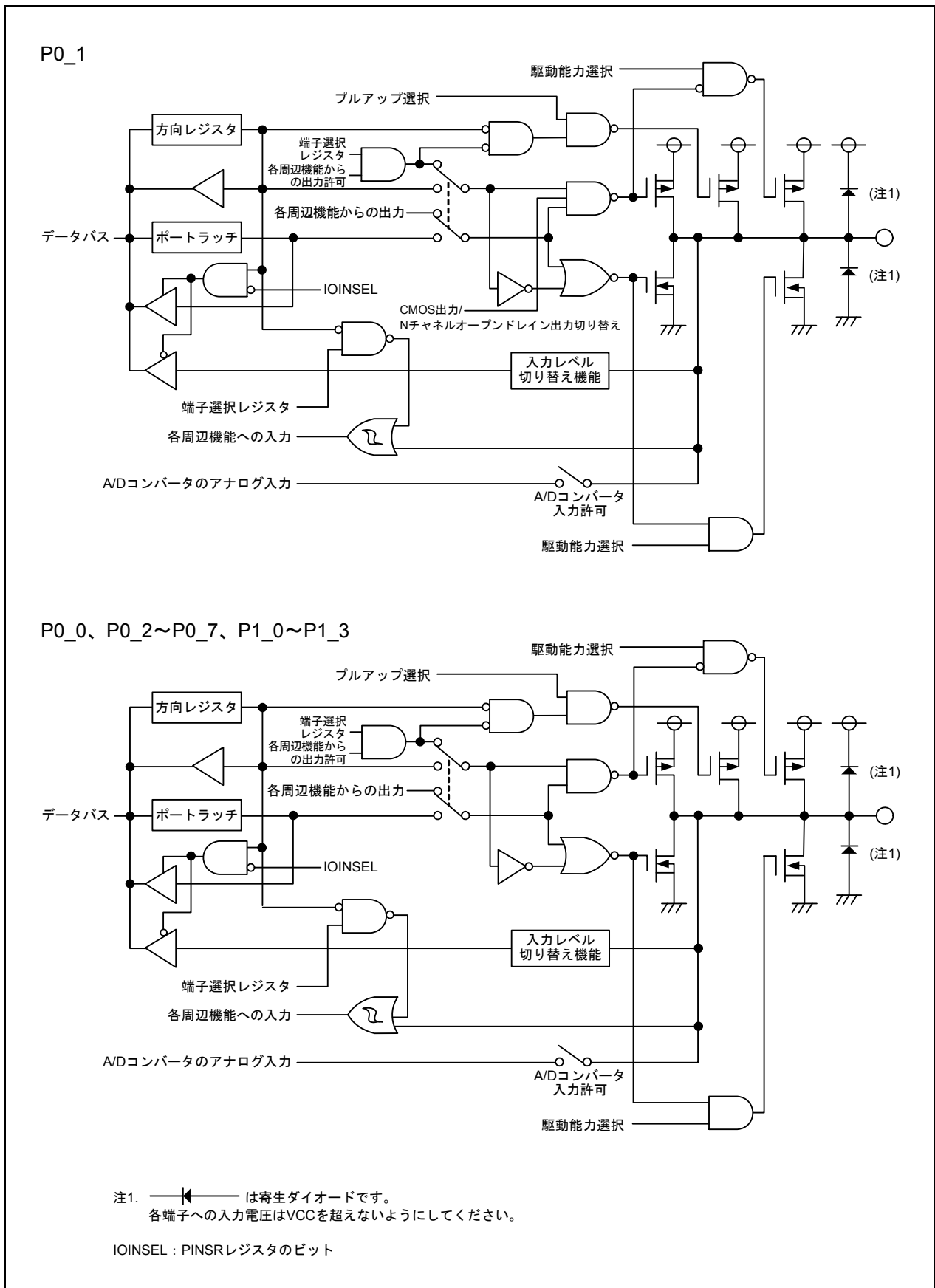


図 14.1 I/Oポートの構成(1)

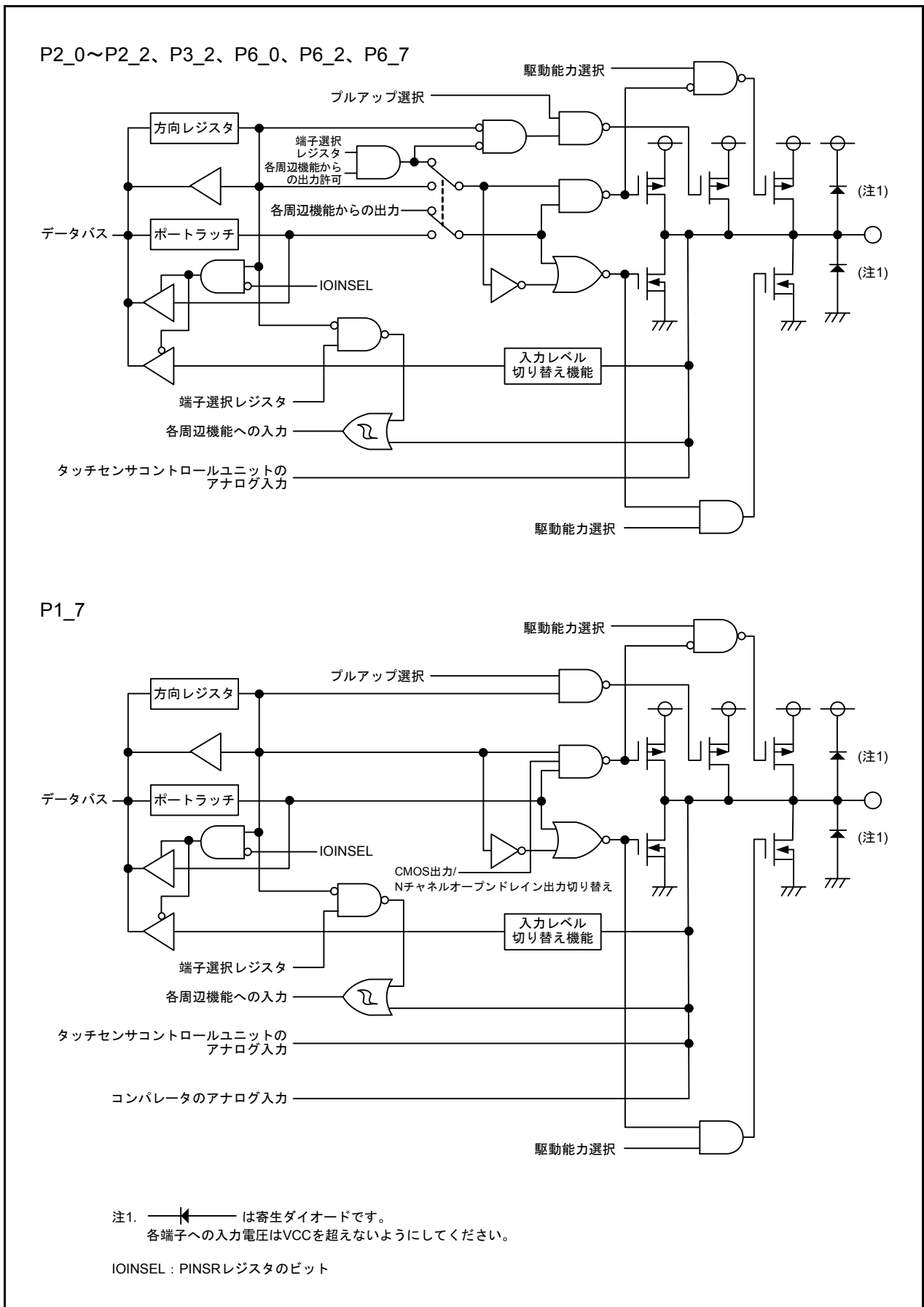


図 14.2 I/Oポートの構成(2)

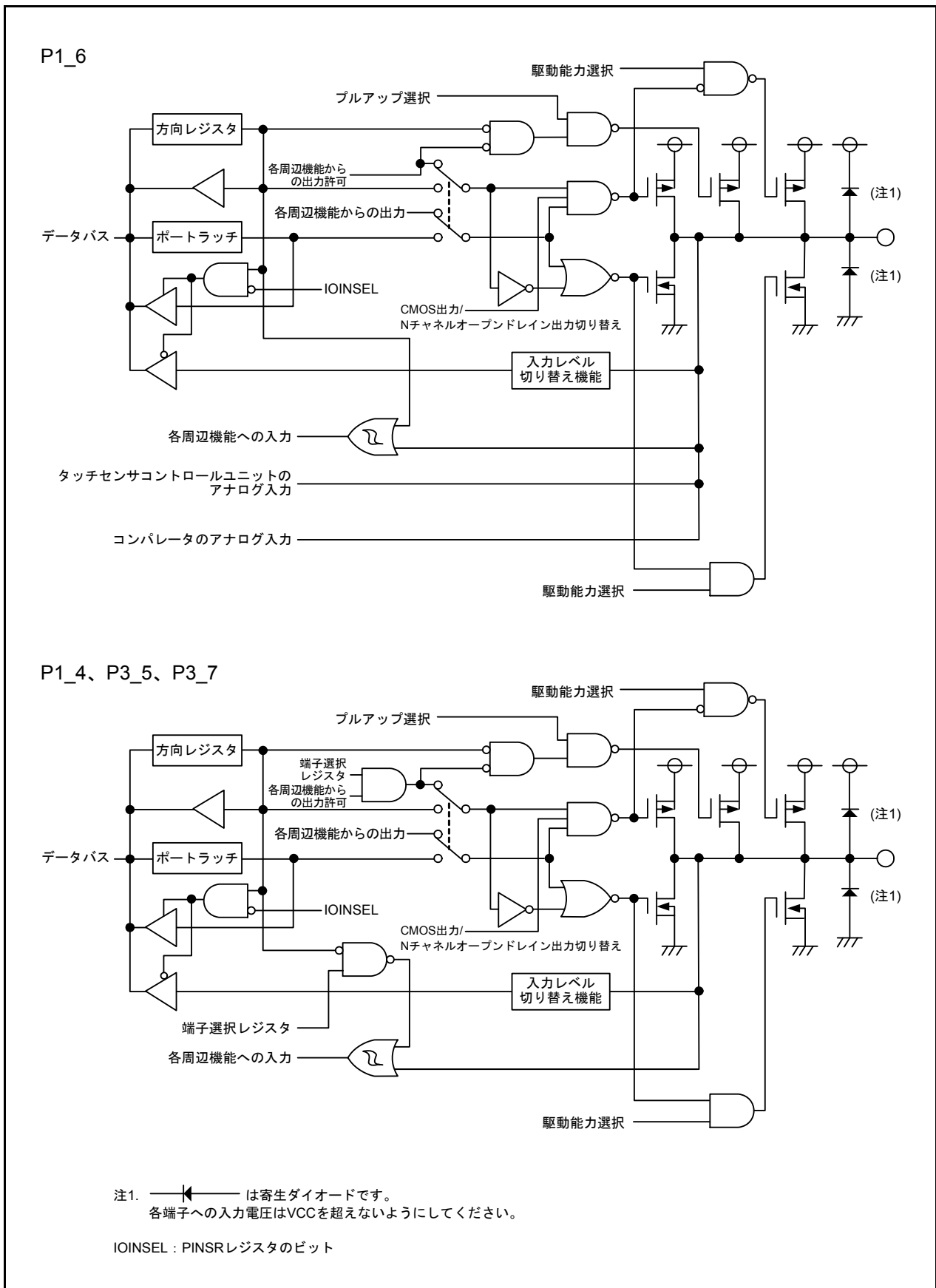


図14.3 I/Oポートの構成(3)

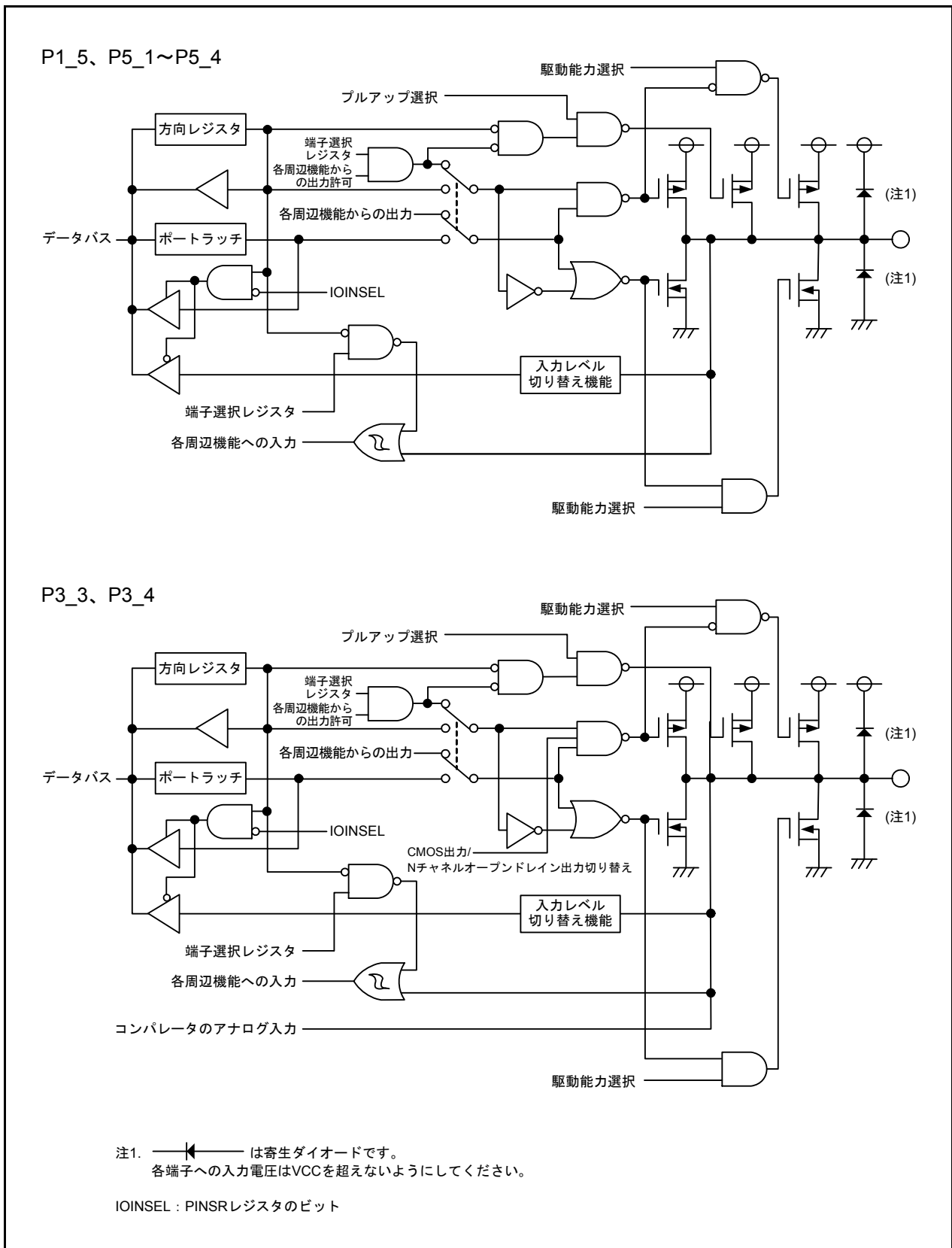


図 14.4 I/Oポートの構成(4)

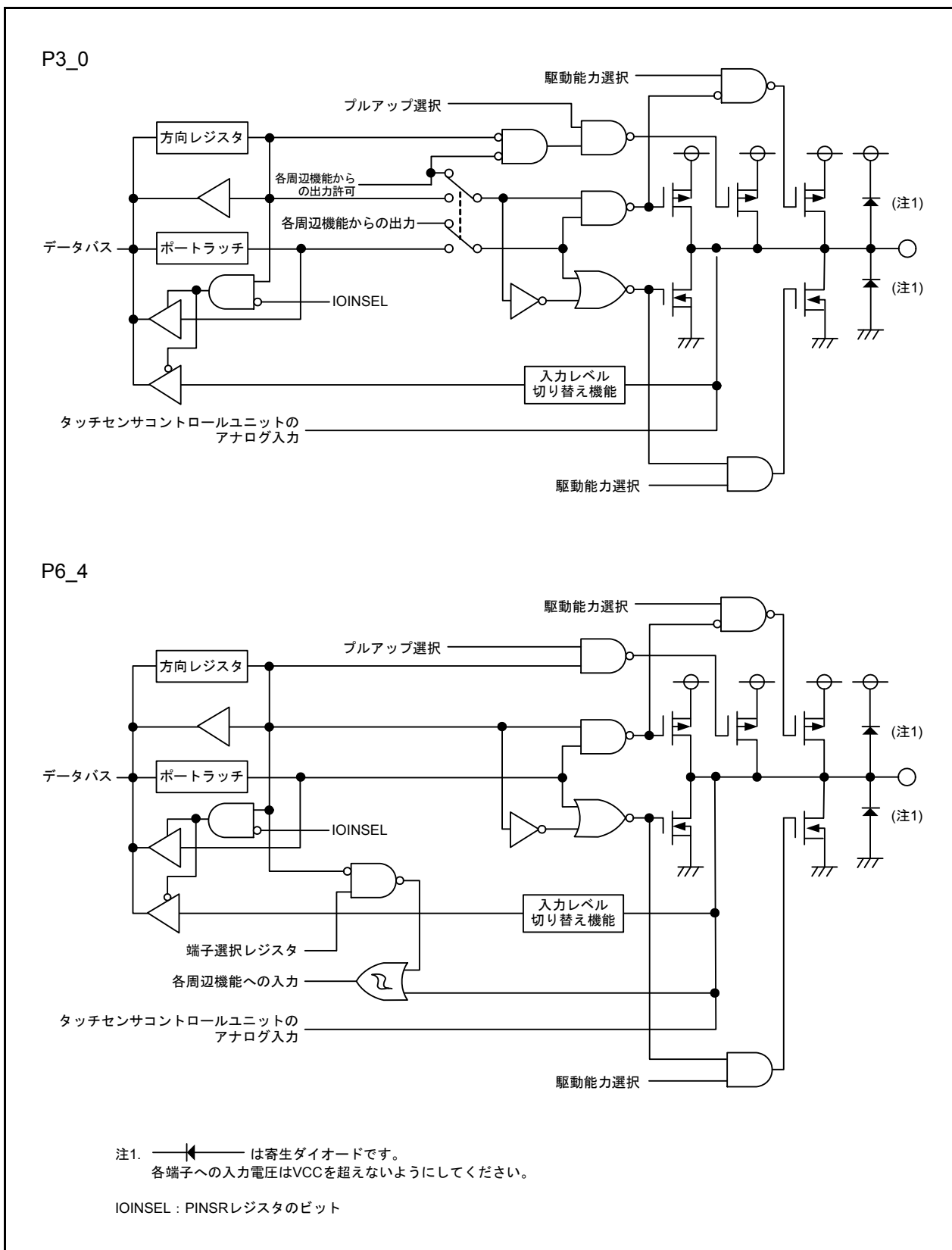


図14.5 I/Oポートの構成(5)

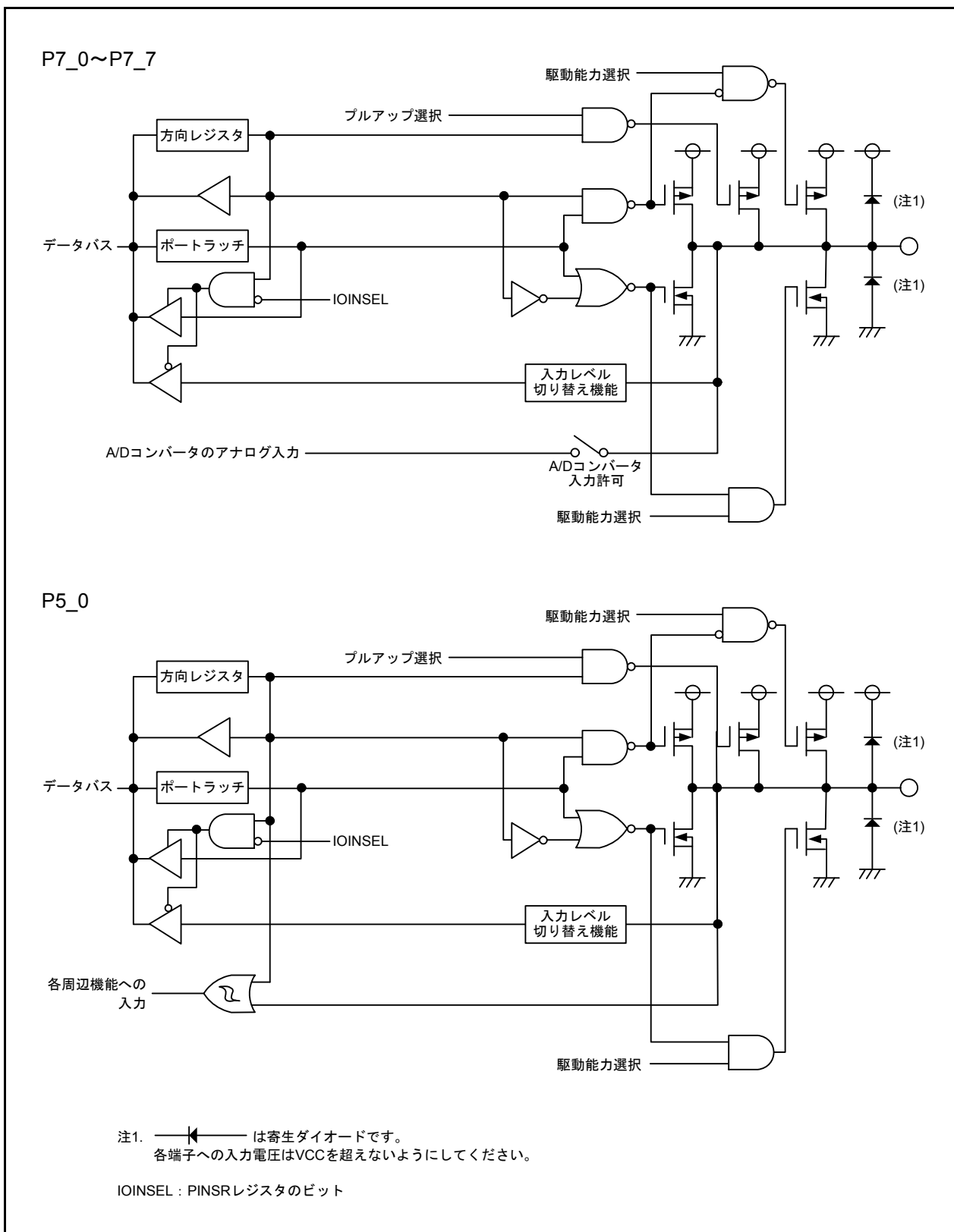


図 14.6 I/Oポートの構成(6)

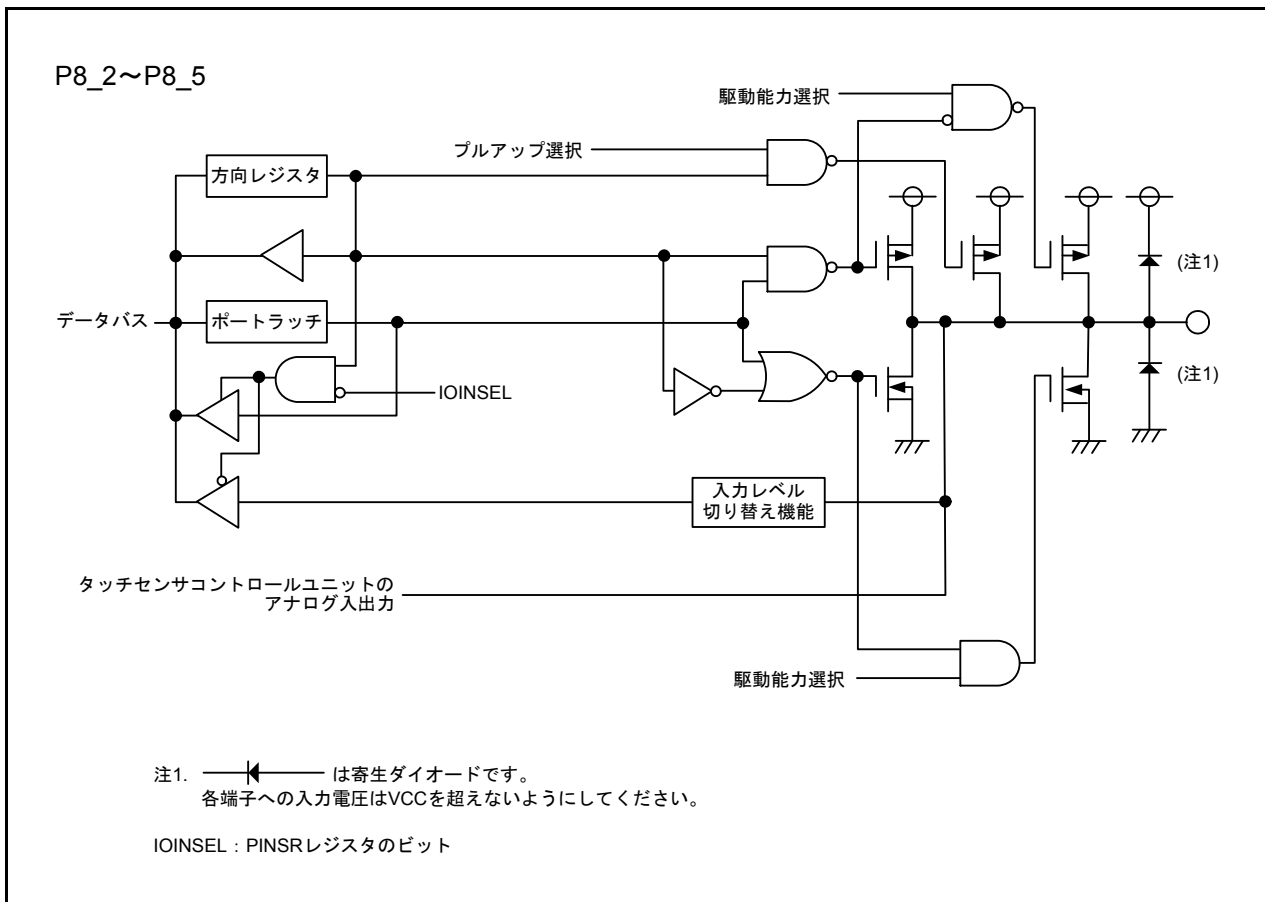


図 14.7 I/Oポートの構成(7)

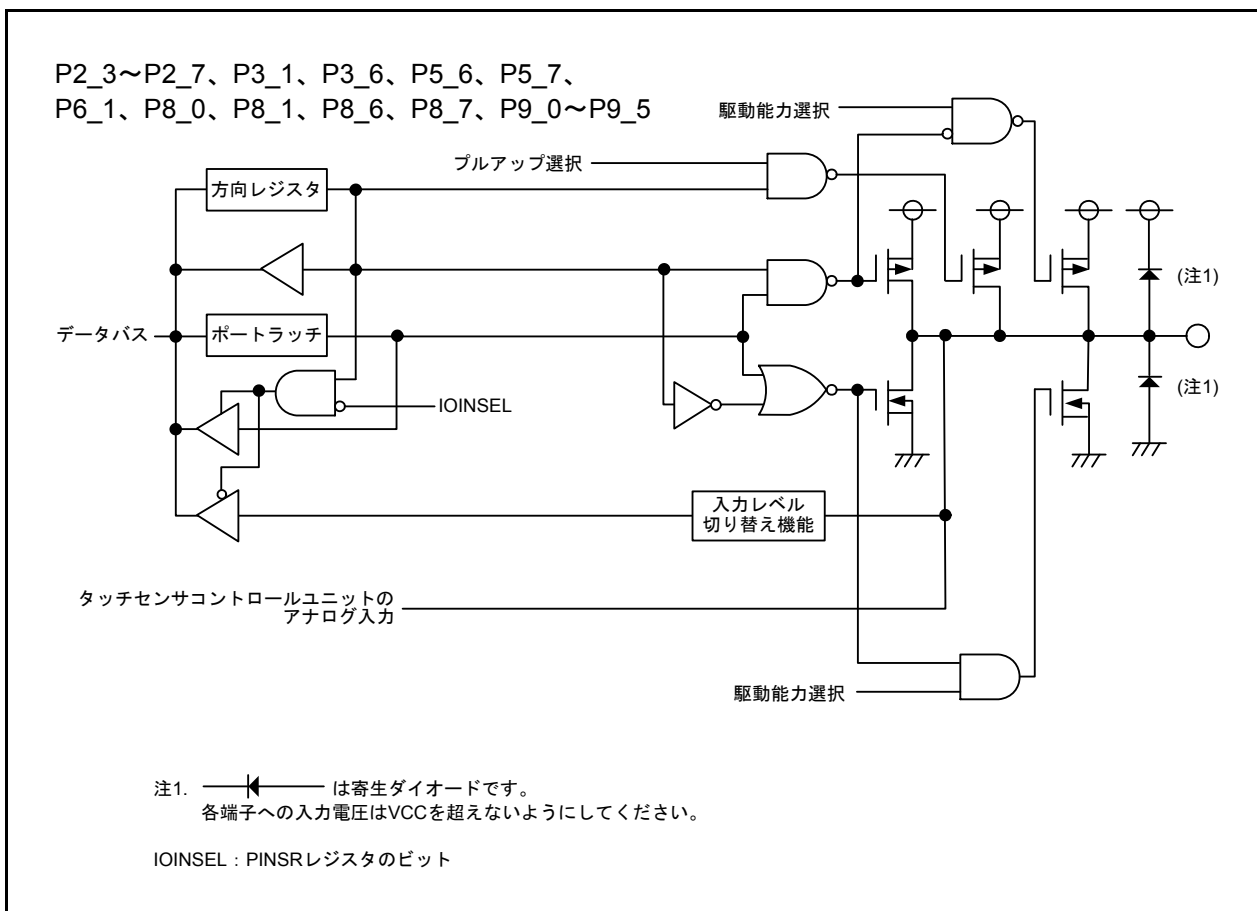


図14.8 I/Oポートの構成(8)

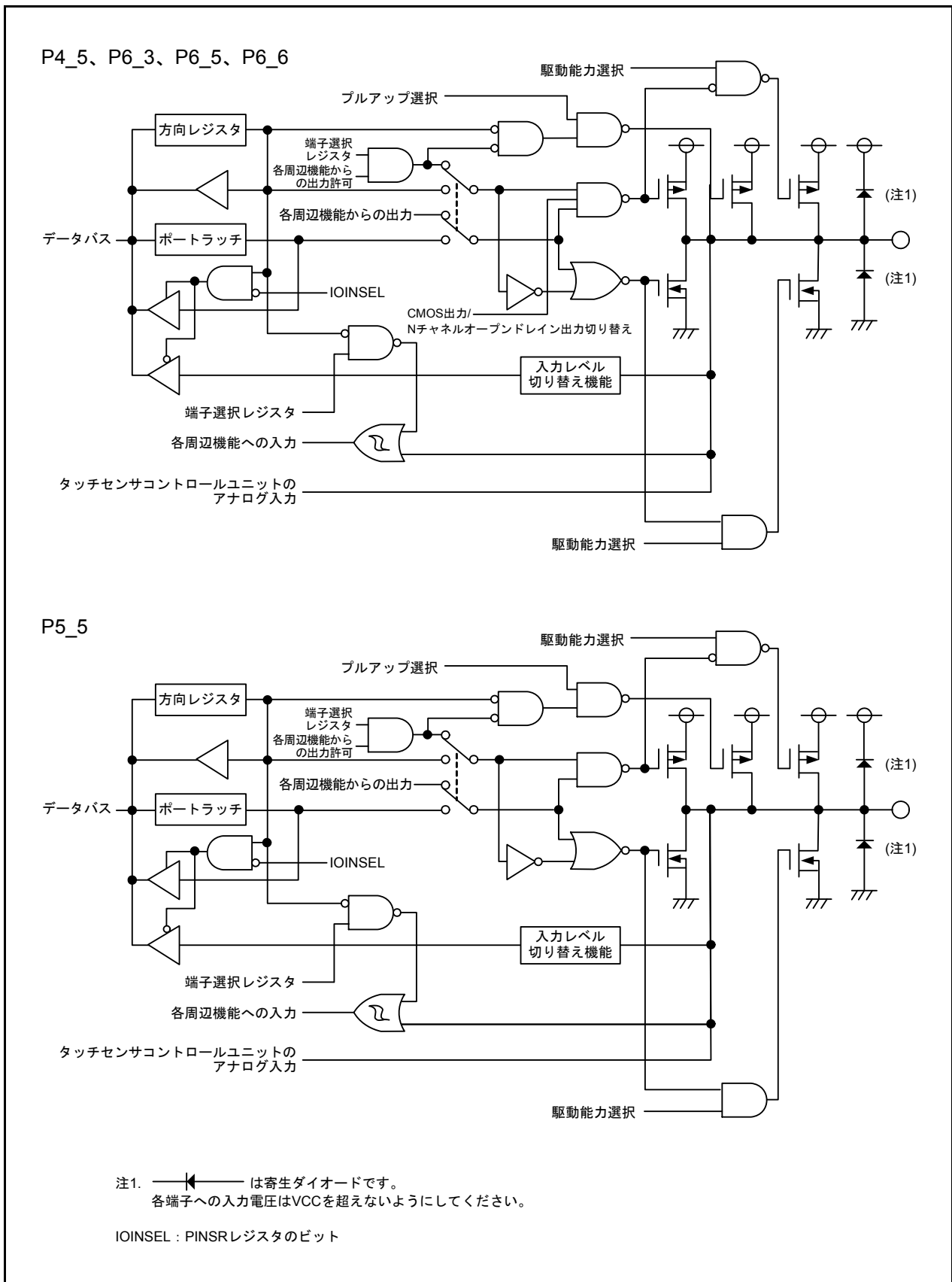


図 14.9 I/Oポートの構成(9)

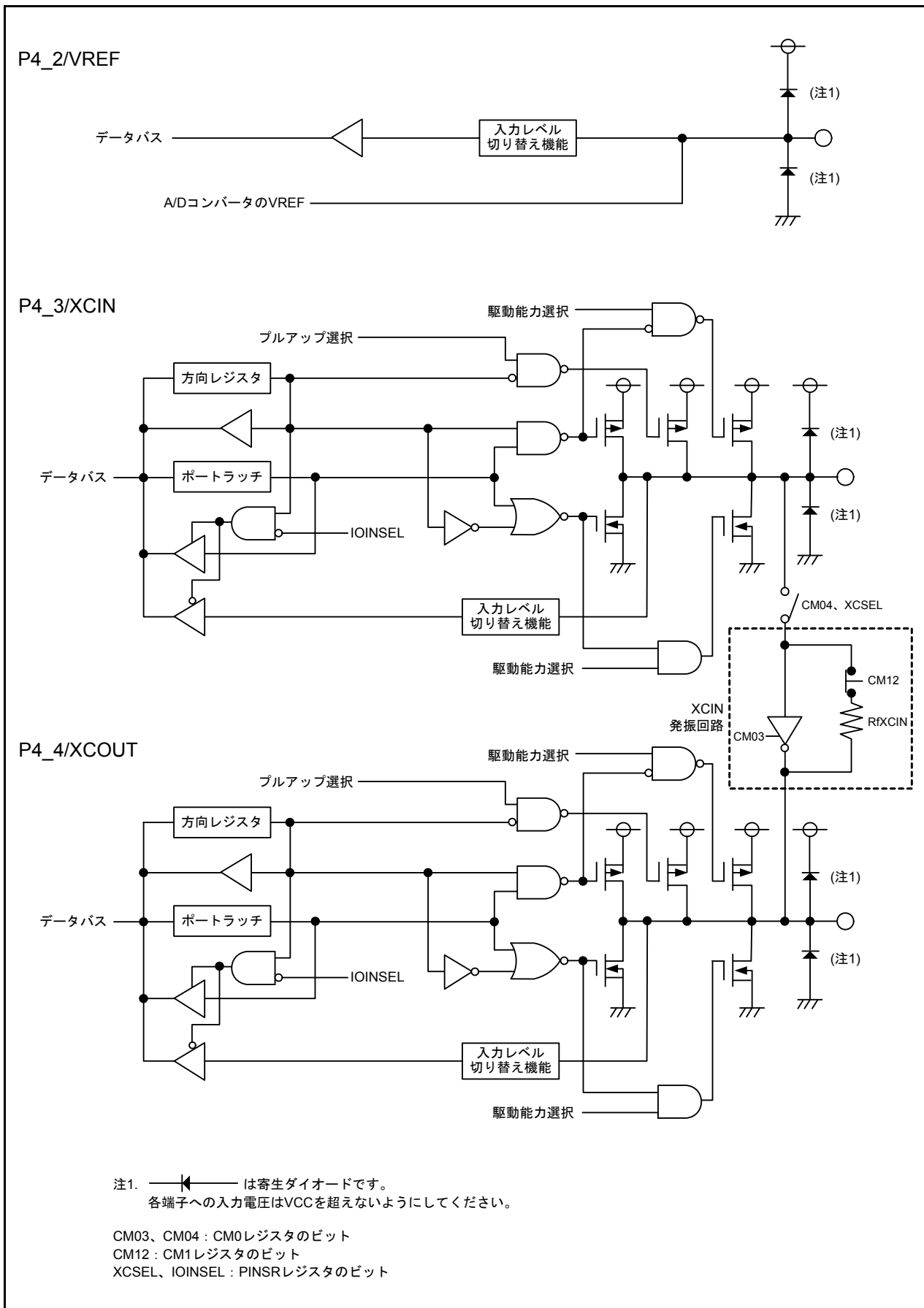


図 14.10 I/Oポートの構成(10)

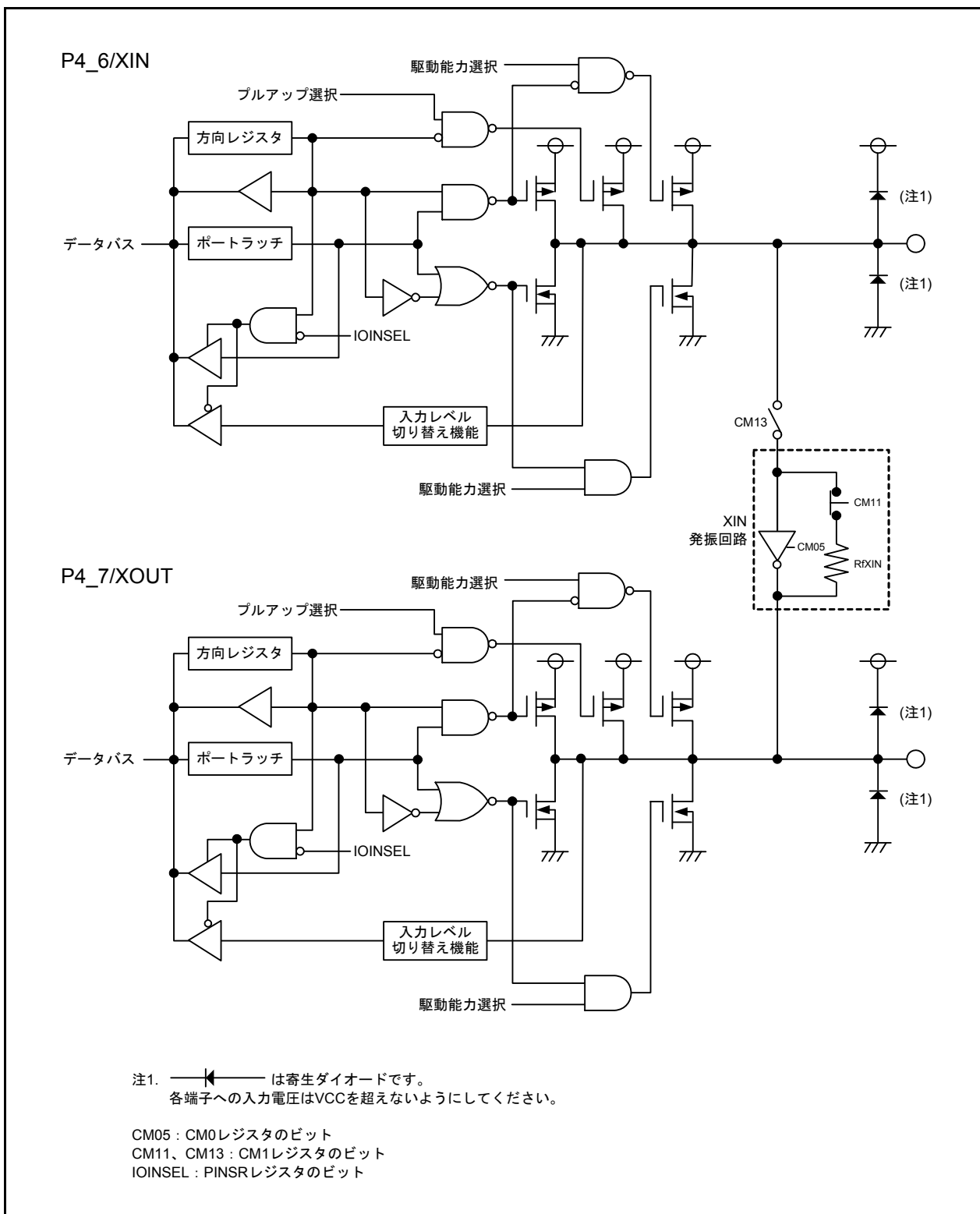


図 14.11 I/Oポートの構成(11)

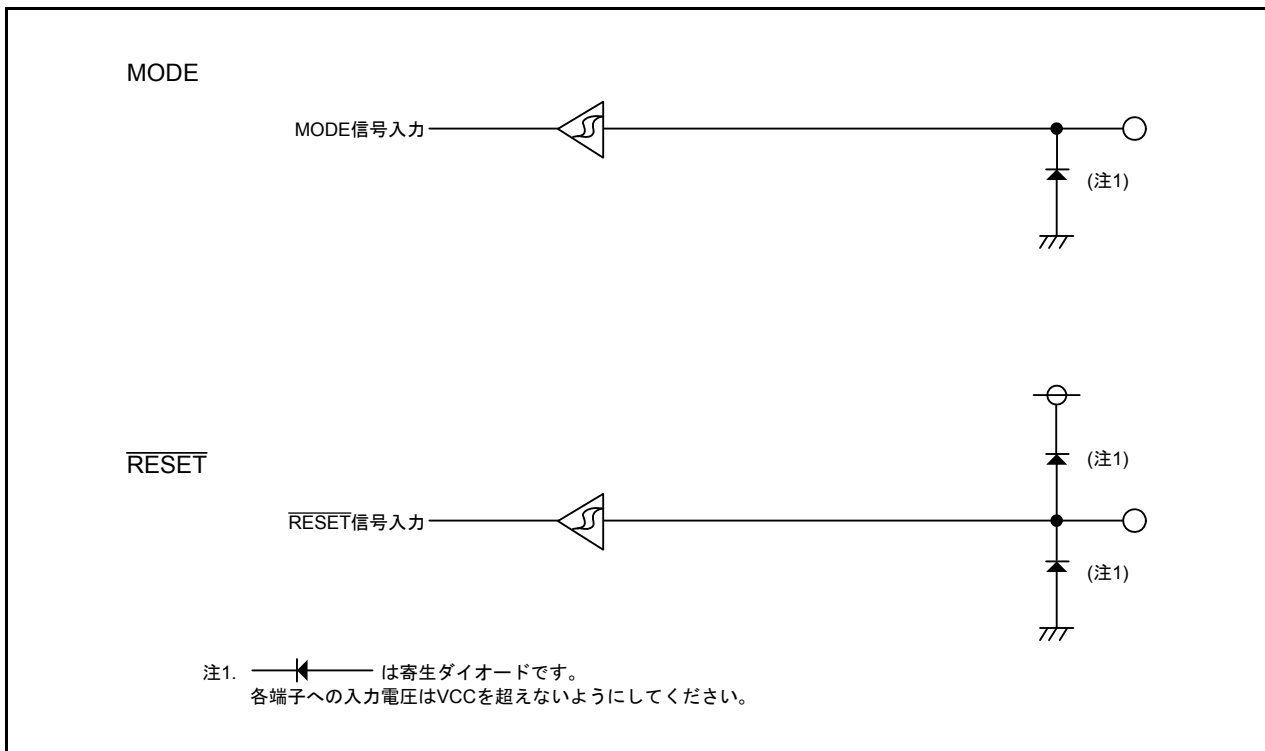


図 14.12 端子の構成

14.4 周辺機能への入出力

14.4.1 周辺機能入出力とPDiビット (i = 0 ~ 9)

I/Oポートは、周辺機能の入出力として機能する場合があります。周辺機能の入出力は、端子を共用するI/OポートのPDiビットの影響を受けるものがあります。表14.3に周辺機能の入出力として機能する場合のPDi_jビット (i = 0 ~ 9、j = 0 ~ 7) の設定を示します。周辺機能の設定方法は、各機能説明を参照してください。

表14.3 周辺機能の入出力として機能する場合のPDi_jビット (i = 0 ~ 9、j = 0 ~ 7) の設定

周辺機能の入出力	端子を共用しているポートのPDi _j ビットの設定
入力	0 (入力モード) に設定してください
出力	0でも1でも良い(ポートの設定に関係なく、出力になる)

14.4.2 ペリフェラルマッピングコントローラ

ペリフェラルマッピングコントローラ (以下、PMC と称す) はI/Oポートの端子の配置をタイマ機能を優先とした配置、または通信機能を優先とした配置に変更ができます。端子の変更はPMSELレジスタ (端子配置選択レジスタ) のPMSEL0 ~ PMSEL2ビットで行ってください。

80ピン製品にはPMCの機能はありません。

14.4.3 周辺機能の割り当て

表14.4に80ピン製品のピン番号別I/Oポートの端子配置一覧を示します。

表 14.4 80ピン製品のピン番号別I/Oポートの端子配置一覧

ピン番号	標準配置	ピン番号	標準配置
1	P5_6/CH27	41	P8_3/CHxA1
2	P5_5/TRJIO_0/CH26	42	P8_2/CHxA0
3	P3_2/INT2/TRJIO_0/INT1/CH25	43	P8_1/CH07
4	P3_0/TRJO_0/CH24	44	P8_0/CH06
5	P4_2/IVREF	45	P6_7/INT3/TRCIOD_0/CH05
6	MODE	46	P6_6/INT2/TXD2/SDA2/TRCIOA_0/CH04
7	P4_3/XCIN	47	P6_5/INT4/CLK2/CLK_1/TRCIOB_0/CH03
8	P4_4/XCOUT	48	P4_5/INT0/RXD2/SCL2/ADTRG/CH02
9	RESET	49	P1_7/INT1/IVCMP1/CH01
10	P4_7/XOUT	50	P1_6/CLK_0/IVREF1/CH00
11	VSS/AVSS	51	P1_5/RXD_0/TRJIO_0/INT1
12	P4_6/XIN	52	P1_4/TXD_0/TRCCLK_0
13	VCC/AVCC	53	P1_3/KI3/AN11/TRBO_0/TRCIOA_0
14	P5_4/TRCIOD_0	54	P1_2/KI2/AN10/TRCIOB_0
15	P5_3/TRCIOA_0	55	P1_1/KI1/AN9/TRCIOA_0/TRCTRG_0
16	P5_2/TRCIOB_0	56	P1_0/KI0/AN8/TRCIOD_0
17	P5_1/TRCIOA_0/TRCTRG_0	57	P7_7/AN19
18	P5_0/TRCCLK_0	58	P7_6/AN18
19	P3_7/SSO_0/TXD2/SDA2/RXD2/SCL2/SDA_0	59	P7_5/AN17
20	P3_5/SCL_0/SSCK_0/TRCIOD_0/CLK2	60	P7_4/AN16
21	P3_4/TRCIOA_0/SSI_0/RXD2/SCL2/TXD2/SDA2/IVREF3	61	P7_3/AN15
22	P3_3/INT3/TRCCLK_0/SCS_0/CTS2/RTS2/IVCMP3	62	P7_2/AN14
23	P2_7/CH23	63	P7_1/AN13
24	P2_6/CH22	64	P7_0/AN12
25	P2_5/CH21	65	P0_7/AN0/TRCIOA_0
26	P2_4/CH20	66	P0_6/AN1/TRCIOD_0
27	P2_3/CH19	67	P0_5/AN2/TRCIOB_0
28	P2_2/TRCIOD_0/CH18	68	P0_4/AN3/TMRE20/TRCIOB_0
29	P2_1/TRCIOA_0/CH17	69	P0_3/AN4/CLK_1/TRCIOB_0
30	P2_0/INT1/TRCIOB_0/CH16	70	P0_2/AN5/RXD_1/TRCIOA_0/TRCTRG_0
31	P9_3/CH15	71	P0_1/AN6/TXD_1/TRCIOA_0/TRCTRG_0
32	P9_2/CH14	72	P0_0/AN7/TRCIOA_0/TRCTRG_0
33	P9_1/CH13	73	P6_4/RXD_1/CH35
34	P9_0/CH12	74	P6_3/TXD_1/CH34
35	P3_6/CH11	75	P6_2/CLK_1/CH33
36	P3_1/CH10	76	P6_1/CH32
37	P8_7/CH09	77	P6_0/TMRE20/CH31
38	P8_6/CH08	78	P9_5/CH30
39	P8_5/CHxC	79	P9_4/CH29
40	P8_4/CHxB	80	P5_7/CH28

14.5 レジスタの説明

表14.5にI/Oポートのレジスタ構成を示します。

表14.5 I/Oポートのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRJ_0端子選択レジスタ	TRJ_0SR	08h	002A0h	8
タイマRCCLK端子選択レジスタ	TRCCLKSR	00h	002A5h	8
タイマRC_0端子選択レジスタ0	TRC_0SR0	00h	002A6h	8
タイマRC_0端子選択レジスタ1	TRC_0SR1	00h	002A7h	8
タイマ端子選択レジスタ	TIMSR	00h	002ADh	8
UART0_0端子選択レジスタ	U_0SR	00h	002AEh	8
UART0_1端子選択レジスタ	U_1SR	00h	002AFh	8
UART2端子選択レジスタ0	U2SR0	00h	002B2h	8
UART2端子選択レジスタ1	U2SR1	00h	002B3h	8
INT割り込み入力端子選択レジスタ0	INTSR0	00h	002B6h	8
入出力機能端子選択レジスタ	PINSR	00h	002B9h	8
端子配置選択レジスタ	PMCSEL	00h	002BEh	8
プルアップ制御レジスタ0	PUR0	00h	002C0h	8
プルアップ制御レジスタ1	PUR1	00h	002C1h	8
プルアップ制御レジスタ2	PUR2	00h	002C2h	8
ポートP1駆動能力制御レジスタ	P1DRR	00h	002C8h	8
ポートP2駆動能力制御レジスタ	P2DRR	00h	002C9h	8
駆動能力制御レジスタ0	DRR0	00h	002CCh	8
駆動能力制御レジスタ1	DRR1	00h	002CDh	8
駆動能力制御レジスタ2	DRR2	00h	002CEh	8
入力しきい値制御レジスタ0	VLT0	00h	002D0h	8
入力しきい値制御レジスタ1	VLT1	00h	002D1h	8
入力しきい値制御レジスタ2	VLT2	00h	002D2h	8
ポートP0レジスタ	PORT0	XXh	002E0h	8
ポートP1レジスタ	PORT1	XXh	002E1h	8
ポートP0方向レジスタ	PD0	00h	002E2h	8
ポートP1方向レジスタ	PD1	00h	002E3h	8
ポートP2レジスタ	PORT2	XXh	002E4h	8
ポートP3レジスタ	PORT3	XXh	002E5h	8
ポートP2方向レジスタ	PD2	00h	002E6h	8
ポートP3方向レジスタ	PD3	00h	002E7h	8
ポートP4レジスタ	PORT4	XXh	002E8h	8
ポートP5レジスタ	PORT5	XXh	002E9h	8
ポートP4方向レジスタ	PD4	00h	002EAh	8
ポートP5方向レジスタ	PD5	00h	002EBh	8
ポートP6レジスタ	PORT6	XXh	002ECh	8
ポートP7レジスタ	PORT7	XXh	002EDh	8
ポートP6方向レジスタ	PD6	00h	002EEh	8
ポートP7方向レジスタ	PD7	00h	002EFh	8
ポートP8レジスタ	PORT8	XXh	002F0h	8
ポートP9レジスタ	PORT9	XXh	002F1h	8
ポートP8方向レジスタ	PD8	XXh	002F2h	8
ポートP9方向レジスタ	PD9	00h	002F3h	8

14.5.1 タイマRJ_0端子選択レジスタ (TRJ_0SR)

アドレス	002A0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TRJIO_0SEL2	TRJIO_0SEL1	TRJIO_0SEL0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJIO_0SEL0	TRJIO_0端子選択ビット	b2 b1 b0 0 0 0 : TRJIO_0端子は使用しない 0 0 1 : 設定しないでください 0 1 0 : P1_5に割り当てる 0 1 1 : P3_2に割り当てる 1 0 0 : P5_5に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRJIO_0SEL1			R/W
b2	TRJIO_0SEL2			R/W
b3	—			予約ビット
b4	—	予約ビット	0にしてください	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

TRJ_0SRレジスタは、タイマRJ_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRJ_0の入出力端子を使用する場合は、TRJ_0SRレジスタを設定してください。

タイマRJ_0の関連レジスタを設定する前に、TRJ_0SRレジスタを設定してください。また、タイマRJ_0の動作中はTRJ_0SRレジスタの設定値を変更しないでください。

14.5.2 タイマRCCLK端子選択レジスタ (TRCCLKSR)

アドレス	002A5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TRCCLK_0SEL2	TRCCLK_0SEL1	TRCCLK_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCCLK_0SEL0	TRCCLK_0端子選択ビット	b2 b1 b0 0 0 0 : TRCCLK_0端子は使用しない 0 0 1 : P1_4に割り当てる 0 1 0 : P3_3に割り当てる 0 1 1 : 設定しないでください 1 0 0 : P5_0に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCCLK_0SEL1			R/W
b2	TRCCLK_0SEL2			R/W
b3	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。
b4	—	予約ビット	0にしてください	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

TRCCLKSRレジスタは、タイマRC_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_0の入出力端子を使用する場合は、TRCCLKSRレジスタを設定してください。

タイマRC_0の関連レジスタを設定する前に、TRCCLK_0SEL0～TRCCLK_0SEL2ビットを設定してください。また、タイマRC_0の動作中はTRCCLK_0SEL0～TRCCLK_0SEL2ビットの設定値を変更しないでください。

14.5.3 タイマRC_0端子選択レジスタ0 (TRC_0SR0)

アドレス 002A6h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRCIOB_0SEL2	TRCIOB_0SEL1	TRCIOB_0SEL0	—	TRCIOA_0SEL2	TRCIOA_0SEL1	TRCIOA_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOA_0SEL0	TRCIOA_0/TRCTRG_0端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA_0/TRCTRG_0端子は使用しない 0 0 1 : P1_1に割り当てる 0 1 0 : P0_0に割り当てる 0 1 1 : P0_1に割り当てる 1 0 0 : P0_2に割り当てる 1 0 1 : P5_1に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOA_0SEL1			R/W
b2	TRCIOA_0SEL2			R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	TRCIOB_0SEL0	TRCIOB_0端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB_0端子は使用しない 0 0 1 : P1_2に割り当てる 0 1 0 : P0_3に割り当てる 0 1 1 : P0_4に割り当てる 1 0 0 : P0_5に割り当てる 1 0 1 : P2_0に割り当てる 1 1 0 : P6_5に割り当てる 1 1 1 : P5_2に割り当てる	R/W
b5	TRCIOB_0SEL1			R/W
b6	TRCIOB_0SEL2			R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

TRC_0SR0レジスタは、タイマRC_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_0の入出力端子を使用する場合は、TRC_0SR0レジスタを設定してください。

タイマRC_0の関連レジスタを設定する前に、TRC_0SR0レジスタを設定してください。また、タイマRC_0の動作中はTRC_0SR0レジスタの設定値を変更しないでください。

14.5.4 タイマRC_0端子選択レジスタ1 (TRC_0SR1)

アドレス	002A7h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRCIOD_0SEL2	TRCIOD_0SEL1	TRCIOD_0SEL0	—	TRCIOC_0SEL2	TRCIOC_0SEL1	TRCIOC_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOC_0SEL0	TRCIOC_0端子選択ビット	b2 b1 b0 0 0 0 : TRCIOC_0端子は使用しない 0 0 1 : P1_3に割り当てる 0 1 0 : P3_4に割り当てる 0 1 1 : P0_7に割り当てる 1 0 0 : P2_1に割り当てる 1 0 1 : P6_6に割り当てる 1 1 0 : P5_3に割り当てる 上記以外 : 設定しないでください	R/W
b1	TRCIOC_0SEL1			R/W
b2	TRCIOC_0SEL2			R/W
b3	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。
b4	TRCIOD_0SEL0	TRCIOD_0端子選択ビット	b6 b5 b4 0 0 0 : TRCIOD_0端子は使用しない 0 0 1 : P1_0に割り当てる 0 1 0 : P3_5に割り当てる 0 1 1 : P0_6に割り当てる 1 0 0 : P2_2に割り当てる 1 0 1 : P6_7に割り当てる 1 1 0 : P5_4に割り当てる 上記以外 : 設定しないでください	R/W
b5	TRCIOD_0SEL1			R/W
b6	TRCIOD_0SEL2			R/W
b7	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。

TRC_0SR1レジスタは、タイマRC_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_0の入出力端子を使用する場合は、TRC_0SR1レジスタを設定してください。

タイマRC_0の関連レジスタを設定する前に、TRC_0SR1レジスタを設定してください。また、タイマRC_0の動作中はTRC_0SR1レジスタの設定値を変更しないでください。

14.5.5 タイマ端子選択レジスタ (TIMSR)

アドレス	002ADh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	TRE2OSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRE2OSEL0	TMRE2O端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b2	—	予約ビット	0にしてください	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—			
b7	—			

TIMSR レジスタは、タイマRE2の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRE2の入出力端子を使用する場合は、TIMSR レジスタを設定してください。

タイマRE2の関連レジスタを設定する前に、TIMSR レジスタを設定してください。また、タイマRE2の動作中はTIMSR レジスタの設定値を変更しないでください。

14.5.6 UART0_0端子選択レジスタ(U_0SR)

アドレス	002AEh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CLK_0SEL	—	RXD_0SEL	—	TXD_0SEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD_0SEL	TXD_0端子選択ビット	0: TXD_0端子は使用しない 1: P1_4に割り当てる	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	RXD_0SEL	RXD_0端子選択ビット	0: RXD_0端子は使用しない 1: P1_5に割り当てる	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	CLK_0SEL	CLK_0端子選択ビット	0: CLK_0端子は使用しない 1: P1_6に割り当てる	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

U_0SRレジスタは、UART0_0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0_0の入出力端子を使用する場合は、U_0SRレジスタを設定してください。

UART0_0の関連レジスタを設定する前に、U_0SRレジスタを設定してください。また、UART0_0の動作中はU_0SRレジスタの設定値を変更しないでください。

14.5.7 UART0_1端子選択レジスタ(U_1SR)

アドレス	002AFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CLK_1SEL1	CLK_1SEL0	RXD_1SEL1	RXD_1SEL0	TXD_1SEL1	TXD_1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD_1SEL0	TXD_1端子選択ビット	b1 b0 0 0 : TXD_1端子は使用しない 0 1 : P0_1に割り当てる 1 0 : P6_3に割り当てる 1 1 : 設定しないでください	R/W
b1	TXD_1SEL1			R/W
b2	RXD_1SEL0	RXD_1端子選択ビット	b3 b2 0 0 : RXD_1端子は使用しない 0 1 : P0_2に割り当てる 1 0 : P6_4に割り当てる 1 1 : 設定しないでください	R/W
b3	RXD_1SEL1			R/W
b4	CLK_1SEL0	CLK_1端子選択ビット	b5 b4 0 0 : CLK_1端子は使用しない 0 1 : P0_3に割り当てる 1 0 : P6_2に割り当てる 1 1 : P6_5に割り当てる	R/W
b5	CLK_1SEL1			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

U_1SRレジスタは、UART0_1の入出力をどの端子に割り当てるかを選択するレジスタです。UART0_1の入出力端子を使用する場合は、U_1SRレジスタを設定してください。

UART0_1の関連レジスタを設定する前に、U_1SRレジスタを設定してください。また、UART0_1の動作中はU_1SRレジスタの設定値を変更しないでください。

14.5.8 UART2 端子選択レジスタ 0 (U2SR0)

アドレス	002B2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RXD2SEL2	RXD2SEL1	RXD2SEL0	—	TXD2SEL2	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2 端子選択ビット	b2 b1 b0 0 0 0 : TXD2/SDA2 端子は使用しない 0 0 1 : P3_7に割り当てる 0 1 0 : P3_4に割り当てる 0 1 1 : 設定しないでください 1 0 0 : 設定しないでください 1 0 1 : P6_6に割り当てる 上記以外 : 設定しないでください	R/W
b1	TXD2SEL1			R/W
b2	TXD2SEL2			R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	RXD2SEL0	RXD2/SCL2 端子選択ビット	b6 b5 b4 0 0 0 : RXD2/SCL2 端子は使用しない 0 0 1 : P3_4に割り当てる 0 1 0 : P3_7に割り当てる 0 1 1 : P4_5に割り当てる 上記以外 : 設定しないでください	R/W
b5	RXD2SEL1			R/W
b6	RXD2SEL2			R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

14.5.9 UART2 端子選択レジスタ 1 (U2SR1)

アドレス	002B3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CTS2SEL1	CTS2SEL0	—	CLK2SEL2	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2 端子選択ビット	b2 b1 b0 0 0 0 : CLK2 端子は使用しない 0 0 1 : P3_5に割り当てる 0 1 0 : 設定しないでください 0 1 1 : P6_5に割り当てる 上記以外 : 設定しないでください	R/W
b1	CLK2SEL1			R/W
b2	CLK2SEL2			R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	CTS2SEL0	CTS2/RTS2 端子選択ビット	b5 b4 0 0 : CTS2/RTS2 端子は使用しない 0 1 : P3_3に割り当てる 上記以外 : 設定しないでください	R/W
b5	CTS2SEL1			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			—

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

14.5.10 INT割り込み入力端子選択レジスタ0 (INTSR0)

アドレス	002B6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SEL1	INT3SEL0	INT2SEL1	INT2SEL0	INT1SEL2	INT1SEL1	INT1SEL0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b1	INT1SEL0	INT1端子選択ビット	b3 b2 b1 0 0 0 : P1_7に割り当てる 0 0 1 : P1_5に割り当てる 0 1 0 : P2_0に割り当てる 0 1 1 : 設定しないでください 1 0 0 : P3_2に割り当てる 上記以外 : 設定しないでください	R/W
b2	INT1SEL1			R/W
b3	INT1SEL2			R/W
b4	INT2SEL0	INT2端子選択ビット	b5 b4 0 0 : P6_6に割り当てる 0 1 : P3_2に割り当てる 上記以外 : 設定しないでください	R/W
b5	INT2SEL1			R/W
b6	INT3SEL0	INT3端子選択ビット	b7 b6 0 0 : P3_3に割り当てる 0 1 : 設定しないでください 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W
b7	INT3SEL1			R/W

INTSR0レジスタは、 $\overline{\text{INT}}_i$ ($i = 1 \sim 3$)の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSR0レジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSR0レジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSR0レジスタの設定値を変更しないでください。

INT0は、INTSR0レジスタに関係なくP4_5に割り当てられます。

14.5.11 入出力機能端子選択レジスタ (PINSR)

アドレス	002B9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IOINSEL	—	—	XCSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	XCSEL	XCIN/XCOUT 端子接続ビット	0 : XCINをP4_3、XCOUTをP4_4に接続しない 1 : XCINをP4_3、XCOUTをP4_4に接続する	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	IOINSEL	I/Oポート入力機能選択ビット	0 : I/Oポートの入力機能はPDiレジスタ (i = 0~9)に依存 PDiレジスタのPDi _j ビット (j = 0~7)が0 (入力モード)のとき、端子の入力レベルが読める。 PDiレジスタのPDi _j ビットが1 (出力モード)のとき、ポートラッチの値が読める。 1 : I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルが読める。	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

XCSEL ビット (XCIN/XCOUT 端子接続ビット)

XCSEL ビットはXCIN、XCOUTをP4_3、P4_4に割り当てるかいないかを選択するビットです。0にするとXCINをP4_3、XCOUTをP4_4に割り当てません。1にするとXCINをP4_3、XCOUTをP4_4に割り当てます。XCIN、XCOUTの設定方法は、「9. クロック発生回路」を参照してください。

IOINSEL ビット (I/Oポート入力機能選択ビット)

IOINSEL ビットはPDiレジスタのPDi_jビットが1 (出力モード)のときに、Piレジスタの読み出す値をポートラッチにするか、I/Oポートの端子の入力レベルにするかを選択するビットです。0にするとポートラッチの値が読めます。1にするとI/Oポートの端子の入力レベルが読めます。

表14.6にIOINSEL ビットによるI/Oポートの読み出し値を示します。IOINSEL ビットですべてのI/Oポートの入力機能を変更できます。

表14.6 IOINSEL ビットによるI/Oポートの読み出し値

PDiレジスタのPDi _j ビット	0 (入力モード)		1 (出力モード)		
	IOINSEL ビット	0	1	0	1
I/Oポート読み出し値		端子の入力レベル	端子の入力レベル	ポートラッチの値	端子の入力レベル

i = 0~9、j = 0~7

14.5.12 端子配置選択レジスタ (PMCSEL)

アドレス	002BEh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PMCSEL3	PMCSEL2	PMCSEL1	PMCSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PMCSEL0	端子配置選択ビット	b3 b2 b1 b0 0 0 0 0 : 80ピン製品の標準端子配置 上記以外 : 設定しないでください	R/W
b1	PMCSEL1			R/W
b2	PMCSEL2			R/W
b3	PMCSEL3			R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PMCSELレジスタは、端子の配置を選択するレジスタです。

PMCSELレジスタは一度書き込むと、以降の書き込みはできません。

14.5.13 プルアップ制御レジスタ 0 (PUR0)

アドレス	002C0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PUR07	PUR06	PUR05	PUR04	PUR03	PUR02	PUR01	PUR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUR00	P0_0~P0_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PUR01	P0_4~P0_7のプルアップ		R/W
b2	PUR02	P1_0~P1_3のプルアップ		R/W
b3	PUR03	P1_4~P1_7のプルアップ		R/W
b4	PUR04	P2_0~P2_3のプルアップ		R/W
b5	PUR05	P2_4~P2_7のプルアップ		R/W
b6	PUR06	P3_0~P3_3のプルアップ		R/W
b7	PUR07	P3_4~P3_7のプルアップ		R/W

注1. このビットが1(プルアップあり)かつポート方向ビットが0(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0レジスタの設定値が有効になります。

14.5.14 プルアップ制御レジスタ1 (PUR1)

アドレス	002C1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PUR17	PUR16	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUR10	P4_3のプルアップ	0: プルアップなし 1: プルアップあり(注1)	R/W
b1	PUR11	P4_4~P4_7のプルアップ		R/W
b2	PUR12	P5_0~P5_3のプルアップ		R/W
b3	PUR13	P5_4~P5_7のプルアップ		R/W
b4	PUR14	P6_0~P6_3のプルアップ		R/W
b5	PUR15	P6_4~P6_7のプルアップ		R/W
b6	PUR16	P7_0~P7_3のプルアップ		R/W
b7	PUR17	P7_4~P7_7のプルアップ		R/W

注1. このビットが1(プルアップあり)かつポート方向ビットが0(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1レジスタの設定値が有効になります。

14.5.15 プルアップ制御レジスタ2 (PUR2)

アドレス	002C2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PUR23	PUR22	PUR21	PUR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUR20	P8_0~P8_3のプルアップ	0: プルアップなし 1: プルアップあり(注1)	R/W
b1	PUR21	P8_4~P8_7のプルアップ		R/W
b2	PUR22	P9_0~P9_3のプルアップ		R/W
b3	PUR23	P9_4、P9_5のプルアップ		R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. このビットが1(プルアップあり)かつポート方向ビットが0(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR2レジスタの設定値が有効になります。

14.5.16 ポートP1駆動能力制御レジスタ (P1DDR)

アドレス	002C8h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P1DDR7	P1DDR6	P1DDR5	P1DDR4	P1DDR3	P1DDR2	P1DDR1	P1DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P1DDR0	P1_0の駆動能力	0 : Low 1 : High (注1)	R/W
b1	P1DDR1	P1_1の駆動能力		R/W
b2	P1DDR2	P1_2の駆動能力		R/W
b3	P1DDR3	P1_3の駆動能力		R/W
b4	P1DDR4	P1_4の駆動能力		R/W
b5	P1DDR5	P1_5の駆動能力		R/W
b6	P1DDR6	P1_6の駆動能力		R/W
b7	P1DDR7	P1_7の駆動能力		R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

P1DDRレジスタはP1の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P1DDR_jビット(j=0~7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P1DDRレジスタの設定値が有効になります。

14.5.17 ポートP2駆動能力制御レジスタ (P2DDR)

アドレス	002C9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P2DDR7	P2DDR6	P2DDR5	P2DDR4	P2DDR3	P2DDR2	P2DDR1	P2DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P2DDR0	P2_0の駆動能力	0 : Low 1 : High (注1)	R/W
b1	P2DDR1	P2_1の駆動能力		R/W
b2	P2DDR2	P2_2の駆動能力		R/W
b3	P2DDR3	P2_3の駆動能力		R/W
b4	P2DDR4	P2_4の駆動能力		R/W
b5	P2DDR5	P2_5の駆動能力		R/W
b6	P2DDR6	P2_6の駆動能力		R/W
b7	P2DDR7	P2_7の駆動能力		R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

P2DDRレジスタはP2の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P2DDR_jビット(j=0~7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P2DDRレジスタの設定値が有効になります。

14.5.18 駆動能力制御レジスタ0 (DRR0)

アドレス	002CCh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR07	DRR06	—	—	—	—	DRR01	DRR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR00	P0_0～P0_3の駆動能力	0 : Low	R/W
b1	DRR01	P0_4～P0_7の駆動能力	1 : High (注1)	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	DRR06	P3_0～P3_3の駆動能力	0 : Low	R/W
b7	DRR07	P3_4～P3_7の駆動能力	1 : High (注1)	R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR0レジスタの設定値が有効になります。

DRR00ビット(P0_0～P0_3の駆動能力)

DRR00ビットは、P0_0～P0_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR00ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR01ビット(P0_4～P0_7の駆動能力)

DRR01ビットは、P0_4～P0_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR01ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR06ビット(P3_0～P3_3の駆動能力)

DRR06ビットは、P3_0～P3_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR06ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR07ビット(P3_4～P3_7の駆動能力)

DRR07ビットは、P3_4～P3_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR07ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

14.5.19 駆動能力制御レジスタ 1 (DRR1)

アドレス	002CDh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR17	DRR16	DRR15	DRR14	DRR13	DRR12	DRR11	DRR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR10	P4_3の駆動能力	0 : Low 1 : High (注1)	R/W
b1	DRR11	P4_4~P4_7の駆動能力		R/W
b2	DRR12	P5_0~P5_3の駆動能力		R/W
b3	DRR13	P5_4~P5_7の駆動能力		R/W
b4	DRR14	P6_0~P6_3の駆動能力		R/W
b5	DRR15	P6_4~P6_7の駆動能力		R/W
b6	DRR16	P7_0~P7_3の駆動能力		R/W
b7	DRR17	P7_4~P7_7の駆動能力		R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR1レジスタの設定値が有効になります。

DRR10ビット (P4_3の駆動能力)

DRR10ビットは、P4_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR10ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR11ビット (P4_4~P4_7の駆動能力)

DRR11ビットは、P4_4~P4_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR11ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR12ビット (P5_0~P5_3の駆動能力)

DRR12ビットは、P5_0~P5_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR12ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR13ビット (P5_4~P5_7の駆動能力)

DRR13ビットは、P5_4~P5_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR13ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR14ビット (P6_0~P6_3の駆動能力)

DRR14ビットは、P6_0~P6_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR14ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR15ビット (P6_4~P6_7の駆動能力)

DRR15ビットの、P6_4~P6_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR15ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR16ビット(P7_0～P7_3の駆動能力)

DRR16ビットは、P7_0～P7_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR16ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR17ビット(P7_4～P7_7の駆動能力)

DRR17ビットの、P7_4～P7_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR17ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

14.5.20 駆動能力制御レジスタ 2 (DRR2)

アドレス	002CEh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	DRR23	DRR22	DRR21	DRR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR20	P8_0～P8_3の駆動能力	0 : Low 1 : High (注1)	R/W
b1	DRR21	P8_4～P8_7の駆動能力		R/W
b2	DRR22	P9_0～P9_3の駆動能力		R/W
b3	DRR23	P9_4、P9_5の駆動能力		R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. H出力、L出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR2レジスタの設定値が有効になります。

DRR20ビット(P8_0～P8_3の駆動能力)

DRR20ビットは、P8_0～P8_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR20ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR21ビット(P8_4～P8_7の駆動能力)

DRR21ビットは、P8_4～P8_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR21ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR22ビット(P9_0～P9_3の駆動能力)

DRR22ビットは、P9_0～P9_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR22ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR23ビット(P9_4、P9_5の駆動能力)

DRR23ビットは、P9_4、P9_5の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR23ビットによって、2端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

14.5.21 入力しきい値制御レジスタ0 (VLT0)

アドレス	002D0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	VLT05	VLT04	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P0の入カレベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT01			R/W
b2	VLT02	P1の入カレベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b3	VLT03			R/W
b4	VLT04	P2の入カレベル選択ビット	b5 b4 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b5	VLT05			R/W
b6	VLT06	P3の入カレベル選択ビット	b7 b6 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b7	VLT07			R/W

VLT0レジスタはポートP0～P3の入カしきい値の電圧レベルを選択するレジスタです。VLT00～VLT07ビットによって、8端子ごとに入力しきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

14.5.22 入力しきい値制御レジスタ1 (VLT1)

アドレス	002D1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT17	VLT16	VLT15	VLT14	VLT13	VLT12	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4_2~P4_7入力レベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT11			R/W
b2	VLT12	P5入力レベル選択ビット	b3 b2 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b3	VLT13			R/W
b4	VLT14	P6入力レベル選択ビット	b5 b4 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b5	VLT15			R/W
b6	VLT16	P7入力レベル選択ビット	b7 b6 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b7	VLT17			R/W

VLT1 レジスタはポート P4_2~P4_7、P5、P6、P7 の入力しきい値の電圧レベルを選択するレジスタです。VLT10~VLT17ビットによって、入力しきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

14.5.23 入力しきい値制御レジスタ2 (VLT2)

アドレス	002D2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VLT23	VLT22	VLT21	VLT20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT20	P8入力レベル選択ビット	b1 b0 0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b1	VLT21			R/W
b2	VLT22			P9_0～P9_5入力レベル選択ビット
b3	VLT23	R/W		
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	
b5	—			
b6	—			
b7	—			

VLT2レジスタはポートP8、P9_0～P9_5の入力しきい値の電圧レベルを選択するレジスタです。VLT20～VLT23ビットによって、入力しきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

14.5.24 ポートPiレジスタ (PORTi) (i = 0 ~ 9)

アドレス 002E0h (PORT0)、002E1h (PORT1)、002E4h (PORT2)、002E5h (PORT3)、
002E8h (PORT4 (注1))、002E9h (PORT5)、002ECh (PORT6)、002EDh (PORT7)、
002F0h (PORT8)、002F1h (PORT9 (注2))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0 : Lレベル 1 : Hレベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

注1. P4_0 ~ P4_1ビットは何も配置されていません。

P4_0 ~ P4_1ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注2. P9_6、P9_7ビットは予約ビットです。

P9_6、P9_7ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

外部とのデータ入出力は、PORTiレジスタへの読み出しと書き込みによって行います。PORTiレジスタは、出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。ポータラッチに書いた値は端子から出力されます。PORTiレジスタの各ビットは、ポート1本ずつに対応しています。

Pi_jビット (j = 0 ~ 7) (ポートPi_jビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

14.5.25 ポートPi方向レジスタ (PDi) (i = 0~9)

アドレス 002E2h (PD0 (注1))、002E3h (PD1)、002E6h (PD2)、002E7h (PD3)、002EAh (PD4 (注2))、
002EBh (PD5)、002EEh (PD6)、002EFh (PD7)、002F2h (PD8)、002F3h (PD9 (注3))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

注1. PD0レジスタは、PRCRレジスタのPRC2ビットを1(書き込み許可)にした次の命令で書いてください。

注2. PD4_0~PD4_2ビットは何も配置されていません。

PD4_0~PD4_2ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注3. PD9_6、PD9_7ビットは予約ビットです。

PD9_6、PD9_7ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

PDi レジスタはI/Oポートを入力で使用するか、出力で使用するか選択するためのレジスタです。
PDiレジスタの各ビットは、ポート1本ずつに対応しています。

14.5.26 端子選択レジスタで制御されない入出力端子

端子選択レジスタで制御されない入出力端子を以下に記載します。

- (1) クロック同期形シリアルインタフェース(SSU_0/IIC_0)の入出力端子
SCL_0 : P3_5
SDA_0 : P3_7
SSI_0 : P3_4
SCS_0 : P3_3
SSCK_0 : P3_5
SSO_0 : P3_7
- (2) INT割り込みの入力端子
INT0 : P4_5
INT4 : P6_5
- (3) キー入力割り込みの入力端子
KI0 : P1_0
KI1 : P1_1
KI2 : P1_2
KI3 : P1_3
- (4) コンパレータBの入力端子
IVREF1 : P1_6
IVREF3 : P3_4
IVCMP1 : P1_7
IVCMP3 : P3_3
- (5) UART0の入出力端子
TXD_0 : P1_4
RXD_0 : P1_5
CLK_0 : P1_6
- (6) UART2の入出力端子
CTS2 : P3_3
RTS2 : P3_3
- (7) タイマRJの出力端子
TRJO_0 : P3_0
- (8) タイマRB2の出力端子
TRBO_0 : P1_3

14.6 未使用端子の処理

表 14.7 に未使用端子の処理例を、図 14.13 に未使用端子の処理例を示します。

表 14.7 未使用端子の処理例

端子名	処理内容
ポート P0、P1、P2、P3、 P4_3~P4_7、P5、P6、P7、 P8、P9_0~P9_5	<ul style="list-style-type: none"> • 入力モードに設定し、端子ごとに抵抗を通して、VSS に接続 (プルダウン) または端子ごとに抵抗を通して、VCC に接続 (プルアップ) (注 1) • 出力モードに設定し、端子を開放 (注 1、2)
ポート P4_2/VREF	VCC に接続
RESET (注 3)	抵抗を通して VCC に接続 (プルアップ) (注 1)

注 1. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線 (2 cm 以内) で処理してください。

注 2. 出力モードに設定し開放する場合、プログラムによってポートを出力モードに切り替えるまで、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定すると、プログラムの信頼性が高くなります。

注 3. パワーオンリセット使用時。

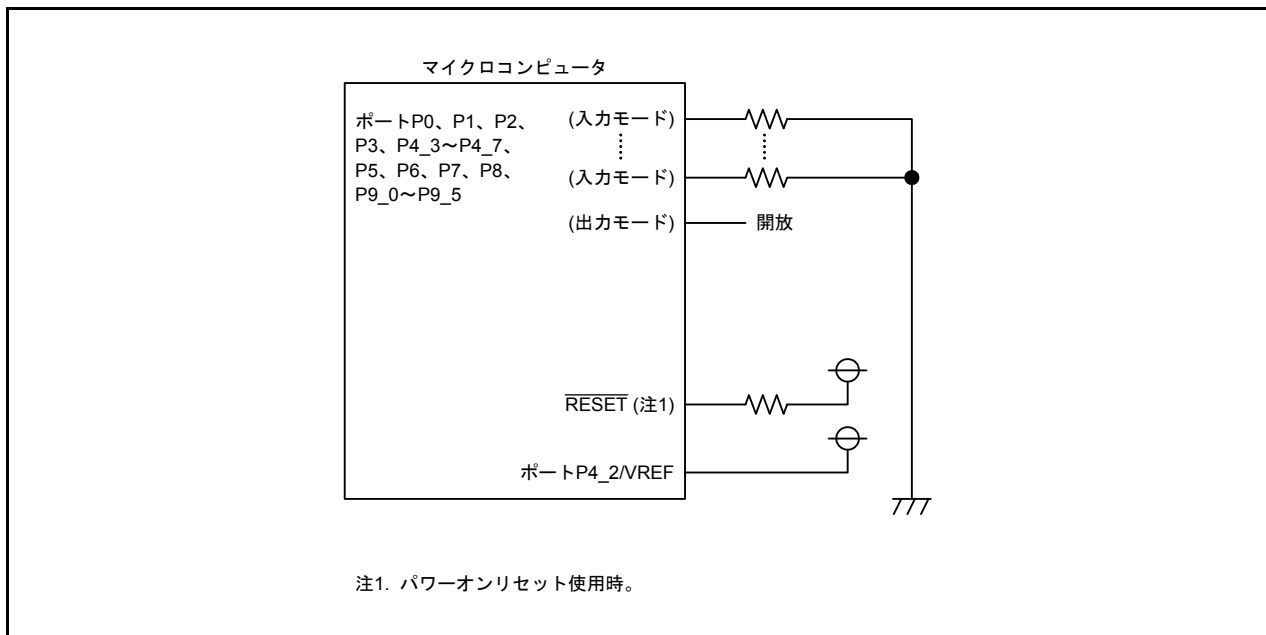


図 14.13 未使用端子の処理例

15. タイマRJ

タイマRJはパルス出力、外部入力のパルス幅/周期測定、外部イベントをカウントできる16ビットタイマです。

タイマRJはタイマRJ_0の1本内蔵されています。リロードレジスタとダウンカウンタから構成され、同じ番地に配置されます。

15.1 概要

表15.1にタイマRJの仕様を、図15.1にタイマRJのブロック図を示します。

表15.1 タイマRJの仕様

項目		内容
動作モード	タイマモード	カウントソースをカウントする
	パルス出力モード	カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部イベントをカウントする
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース		f1、f2、f8、fOCO、fC1、fC32から選択可能
割り込み		<ul style="list-style-type: none"> カウンタがアンダフローしたとき パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき
選択機能		<ul style="list-style-type: none"> ハードウェアLINモジュールとの連携 ハードウェアLINモジュールから入力によるカウンタのリロード動作可能 イベントリンクコントローラ(ELC)との連携 カウントソースにELCからのイベント入力を選択可能

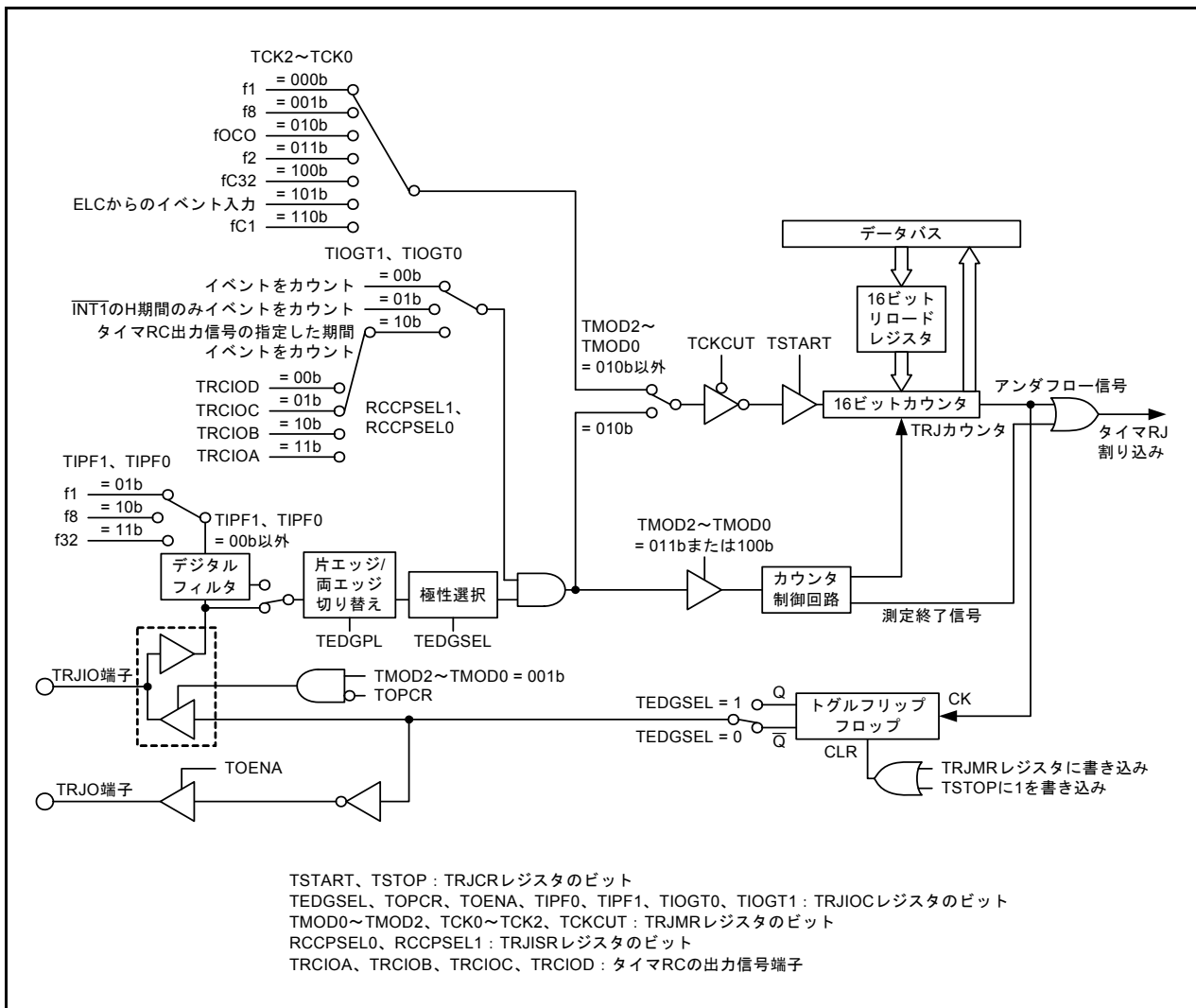


図 15.1 タイマRJのブロック図

15.2 入出力端子

表 15.2 にタイマRJの端子構成を示します。

表 15.2 タイマRJの端子構成

端子名	入出力	機能
INT1	入力	タイマRJ_0の外部入力
TRJIO	入出力	タイマRJの外部イベント入力、パルス出力
TRJO	出力	タイマRJのパルス出力

15.3 レジスタの説明

表15.3にタイマRJのレジスタ構成を示します。

表15.3 タイマRJのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRJ_0カウンタレジスタ	TRJ_0	FFFFh	00110h	16
タイマRJ_0制御レジスタ	TRJCR_0	00h	00112h	8
タイマRJ_0 I/O制御レジスタ	TRJIOC_0	00h	00113h	8
タイマRJ_0モードレジスタ	TRJMR_0	00h	00114h	8
タイマRJ_0イベント端子選択レジスタ	TRJISR_0	00h	00115h	8

15.3.1 タイマRJカウンタレジスタ (TRJ)

アドレス 00110h (TRJ_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	設定範囲	R/W
b15~b0	—	16ビットのカウンタおよびリロードレジスタです。(注1、2)	0001h~FFFFh	R/W

注1. TRJCRレジスタのTSTOPビットに1を書くと、16ビットカウンタは強制停止し、FFFFhになります。

注2. TRJレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJCRレジスタのTSTARTビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は「15.4.1 リロードレジスタとカウンタの書き換え動作」を参照してください。

15.3.2 タイマRJ制御レジスタ (TRJCR)

アドレス 00112h (TRJCR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRJカウント開始ビット (注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRJカウントステータスフラグ (注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRJカウント強制停止ビット (注2)	1を書くと、カウント強制停止。 読んだ場合、その値は0。	W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	TEDGF	有効エッジ判定フラグ (注3)	0: 有効エッジなし 1: 有効エッジあり	R/W
b5	TUNDF	タイマRJアンダフローフラグ (注3)	0: アンダフローなし 1: アンダフローあり	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

注1. TSTART、TCSTFビットの使用上の注意は「15.5 タイマRJ使用上の注意事項の(2)」を参照してください。

注2. TSTOPビットに1(カウント強制停止)を書くと、同時にTSTART、TCSTFビットが初期化されます。また、パルス出力レベルも初期化されます。

注3. TRJCRレジスタは、MOV命令を使用して書いてください。TRJCRレジスタにリードモディファイライト命令を実行すると、タイミングによってはTEDGF、TUNDFビットを誤って0にする場合があります。

TSTARTビット(タイマRJカウント開始ビット)

TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。詳細は「15.5 タイマRJ使用上の注意事項の(2)」を参照してください。

TCSTFビット(タイマRJカウントステータスフラグ)

[0になる条件]

- TSTARTビットに0を書いたとき(カウントソースに同期して0になる)
- TSTOPビットに1を書いたとき

[1になる条件]

- TSTARTビットに1を書いたとき(カウントソースに同期して1になる)

TEDGFビット(有効エッジ判定フラグ)

[0になる条件]

- プログラムで0を書いたとき

[1になる条件]

- パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき
- パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき

TUNDFビット(タイマRJアンダフローフラグ)

[0になる条件]

- プログラムで0を書いたとき

[1になる条件]

- カウンタがアンダフローしたとき

15.3.3 タイマRJ I/O制御レジスタ (TRJIOC)

アドレス 00113h (TRJIOC_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	入出力極性切り替えビット	動作モードによって機能が異なる (表 15.4、表 15.5参照)	R/W
b1	TOPCR	TRJIO 出力制御ビット (注1)	0 : TRJIO 出力許可 (トグル出力開始) 1 : TRJIO 出力禁止 (トグル出力停止)	R/W
b2	TOENA	TRJO 出力許可ビット	0 : TRJO 出力禁止 (ポート) 1 : TRJO 出力許可	R/W
b3	TIOSEL	イベント入力選択ビット	0 : TRJIO 端子から入力 1 : ハードウェア LIN から入力	R/W
b4	TIPF0	TRJIO 入力フィルタ選択ビット	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJIO カウント制御ビット (注2、3)	b7 b6 0 0 : イベントをカウント 0 1 : INT1のH期間のみイベントをカウント 1 0 : TRJISRレジスタのRCCPSELビットで指定したタイマRC出力信号の期間イベントをカウント 1 1 : 設定しないでください	R/W
b7	TIOGT1			R/W

注1. TOPCRビットは、TRJMRレジスタの設定完了後に設定してください。

注2. タイマRC出力信号使用時、RCCPSEL2ビットにてイベントをカウントする期間を選択できます。

注3. TIOGT0、TIOGT1ビットはイベントカウンタモードでのみ有効です。

TEDGSELビット(入出力極性切り替えビット)

TEDGSELビットは、TRJO出力極性とTRJIO入出力のエッジおよび極性切り替えを設定します。パルス出力モードでは、TRJO出力およびTRJIO出力の極性のみ制御します。TRJO出力およびTRJIO出力は、TRJMRレジスタに書いたとき、またはTRJCRレジスタのTSTOPビットに1を書いたときに初期化されます。

表 15.4 TRJIO入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	未使用(I/Oポート)
パルス出力モード	0 : Hから出力開始(初期化レベルH) 1 : Lから出力開始(初期化レベルL)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : Lレベル幅を測定 1 : Hレベル幅を測定
パルス周期測定モード	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定

表 15.5 TRJO出力極性切り替え

動作モード	機能
全モード	0 : Lから出力開始(初期化レベルL) 1 : Hから出力開始(初期化レベルH)

TOPCRビット(TRJIO出力制御ビット)

TOPCRビットはパルス出力モードのみ有効です。0にすると反転出力となります。1にすると出力禁止となり、TRJIO機能として選択したポートは、ハイインピーダンス状態になります。

その他の動作モードでは、TOPCRビットの設定にかかわらず、表15.6に示す機能を持ちます。

表 15.6 TRJIO端子機能

動作モード	機能
タイマモード	未使用(I/Oポート)
イベントカウンタモード	イベントカウント入力(カウントソース入力)
パルス幅測定モード	パルス幅測定の入力
パルス周期測定モード	パルス周期測定の入力

TIOSELビット(イベント入力選択ビット)

ハードウェアLINとして使用する場合、TIOSELビットを1にしてください。

TIPF0、TIPF1ビット(TRJIO入力フィルタ選択ビット)

TRJIO入力のフィルタのサンプリング周波数を指定します。TRJIO端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。

15.3.4 タイマRJモードレジスタ (TRJMR)

アドレス 00114h (TRJMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRJ動作モード選択ビット (注1)	b2 b1 b0 0 0 0 : タイマモード 0 0 1 : パルス出力モード 0 1 0 : イベントカウンタモード 0 1 1 : パルス幅測定モード 1 0 0 : パルス周期測定モード 上記以外 : 設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
b3	TEDGPL			TRJIOエッジ極性選択ビット(注2)
b4	TCK0	タイマRJカウントソース選択ビット (注3、4)	b6 b5 b4 0 0 0 : f1 0 0 1 : f8 0 1 0 : fOCO 0 1 1 : f2 1 0 0 : fC32 1 0 1 : イベントリンクコントローラ(ELC)からのイベント入力 1 1 0 : fC1 1 1 1 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRJカウントソース遮断ビット	0 : カウントソース供給 1 : カウントソース遮断	R/W

注1. 動作モードの変更は、カウント停止時(TRJCRレジスタのTSTARTビットが0(カウント停止)、およびTCSTFビットが0(カウント停止))のみ可能です。

カウント動作中には変更しないでください。

注2. TEDGPLビットはイベントカウンタモードでのみ有効です。

注3. イベントカウンタモードを選択すると、TCK0～TCK2ビットの設定にかかわらず、カウントソースは外部入力(TRJIO)が選択されます。

注4. カウント中にカウントソースの切り替えまたは遮断をしないでください。カウントソースの切り替えまたは遮断をするときは、TRJCRレジスタのTSTARTビットが0(カウント停止)、およびTCSTFビットが0(カウント停止)のときに行ってください。

TRJMRレジスタへ書き込むと、タイマRJのTRJO出力およびTRJIO出力は初期化されます。初期化時の出力レベルは、「15.3.3 タイマRJ I/O制御レジスタ(TRJIOC)」のTEDGESELビットの説明を参照してください。

15.3.5 タイマRJイベント端子選択レジスタ (TRJISR)

アドレス 00115h (TRJISR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	RCCPSEL2	RCCPSEL1	RCCPSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W		
b0	RCCPSEL0	タイマRC出力信号選択ビット	b1 b0 0 0 : TRCIOD 0 1 : TRCIOC 1 0 : TRCIOB 1 1 : TRCIOA	R/W		
b1	RCCPSEL1			R/W		
b2	RCCPSEL2			タイマRC出力信号反転ビット	0 : タイマRC出力信号のL期間をカウント 1 : タイマRC出力信号のH期間をカウント	R/W
b3	—			何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	
b4	—					
b5	—					
b6	—					
b7	—					

イベントカウンタモードで使用します。TRJIOC レジスタのTIOGT1、TIOGT0 ビットに10b (RCCPSEL0、RCCPSEL1 ビットで指定したタイマRC出力信号の期間イベントをカウント) の場合のみ有効です。

タイマRCからのイベント入力とタイマRJ_0との接続を以下に示します。

- タイマRC_0→タイマRJ_0

15.4 動作説明

15.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらずTRJCRレジスタのTSTARTビットの値によりタイミングが変わります。TSTARTビットが0(カウント停止)のときは、直接リロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。TSTARTビットが1(カウント開始)のときは、カウントソースに同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図15.2にTSTARTビットの値による書き換え動作のタイミング図を示します。

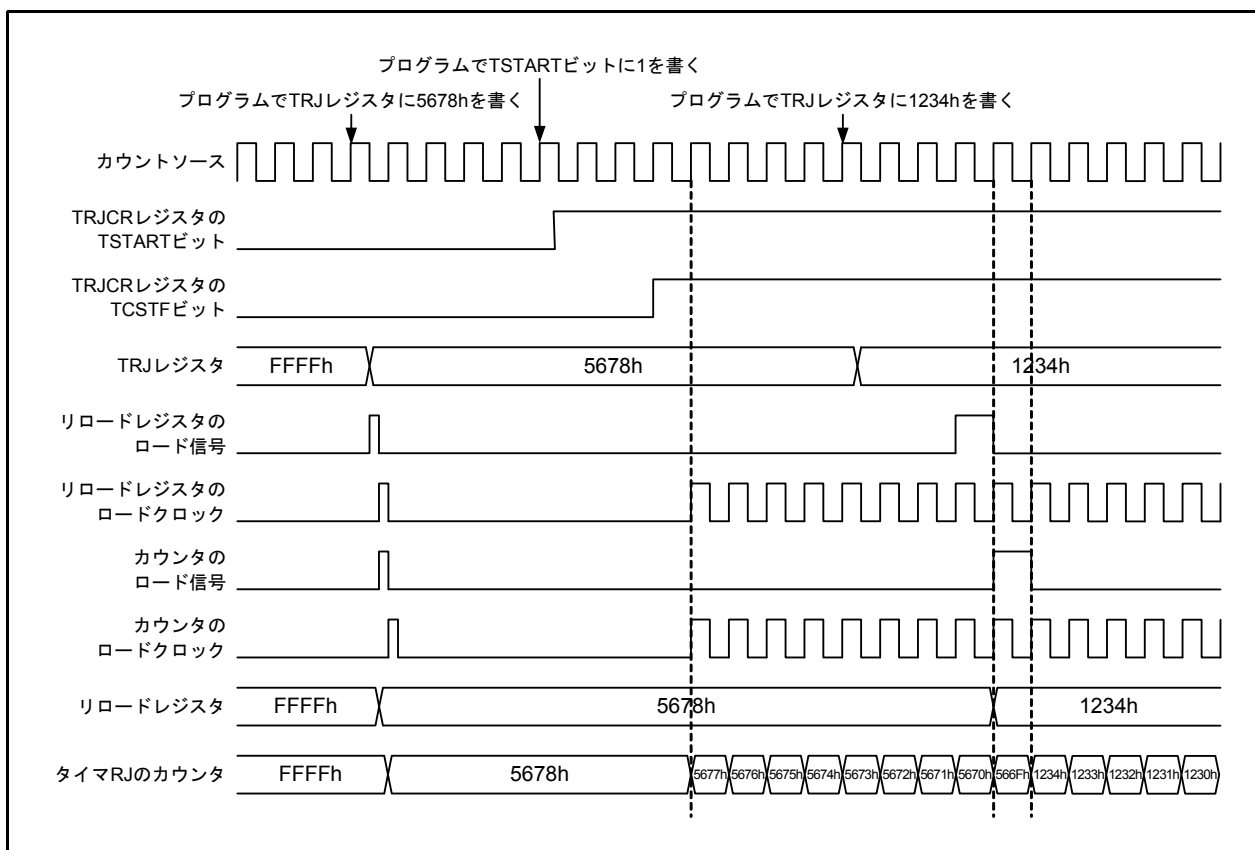


図15.2 TSTARTビットの値による書き換え動作のタイミング図

15.4.2 タイマモード

TRJMRレジスタのTCK0～TCK2ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1だけ減少し、カウント値が0000hになった後、次のカウントソースが入力されると、リロードレジスタに設定した値がロードされ、アンダフローが発生し割り込みが発生します。

図15.3にタイマモードの動作タイミング例を示します。

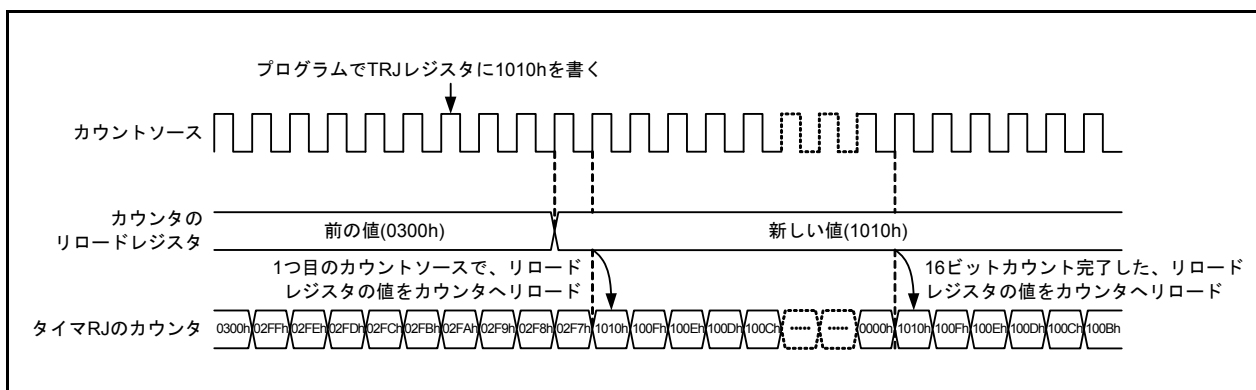


図15.3 タイマモードの動作タイミング例

15.4.3 パルス出力モード

TRJMRレジスタのTCK0～TCK2ビットにより選択されたカウントソースでダウンカウントし、タイム値がアンダフローするごとに、TRJIO端子およびTRJO端子の出力レベルを反転出力させるモードです。

パルス出力モードでは、カウントソースが入力されるごとにカウント値が1だけ減少し、カウント値が0000hになった後、次のカウントソースが入力されると、リロードレジスタに設定した値がロードされ、アンダフローが発生し割り込みが発生します。

また、TRJIO端子とTRJO端子の2端子からパルス出力が可能で、アンダフローが発生するごとに出力レベルを反転します。TRJIO端子については、TRJIOCレジスタのTOPCRビットによりパルス出力を停止できます。

なお、出力レベルをTRJIOCレジスタのTEDGSELビットにより選択できます。

図15.4にTEDGSELビットが0のときのパルス出力モードの動作タイミング例を示します。

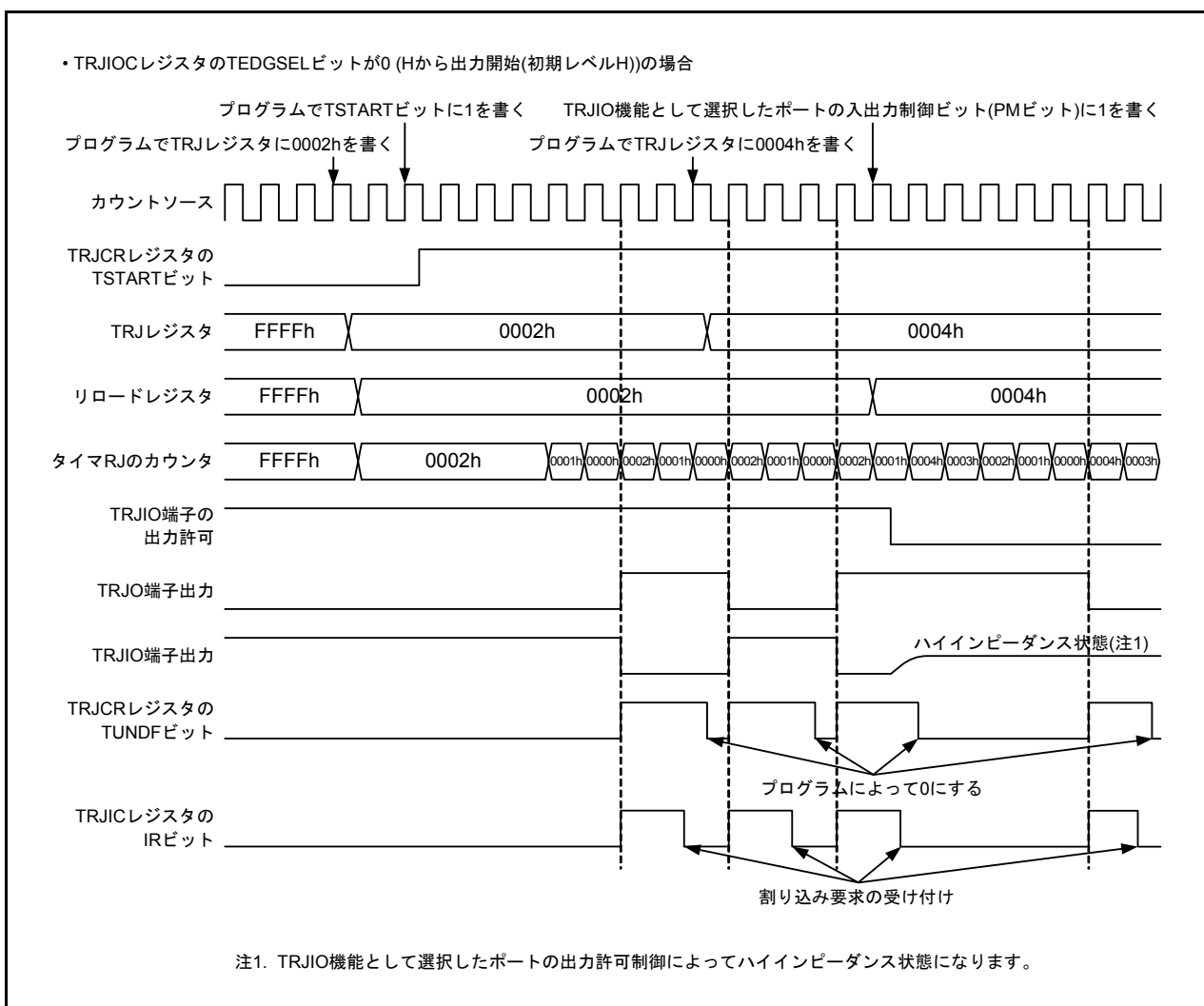


図15.4 パルス出力モードの動作タイミング例

15.4.4 イベントカウンタモード

TRJIO端子から入力される外部イベント信号(カウントソース)でダウンカウントするモードです。イベントカウントする期間を、TRJIOCレジスタのTIOGT0、TIOGT1ビットおよびTRJISRレジスタにより各種設定ができます。また、TRJIO入力のフィルタ機能をTRJIOCレジスタのTIPF0、TIPF1ビットで指定できます。

なお、イベントカウンタモードでもTRJO端子からトグル出力ができます。

イベントカウンタモードを使用する場合、「15.5 タイマRJ使用上の注意事項の(3)」を参照してください。

図15.5にイベントカウンタモードの動作タイミング例(1)を示します。

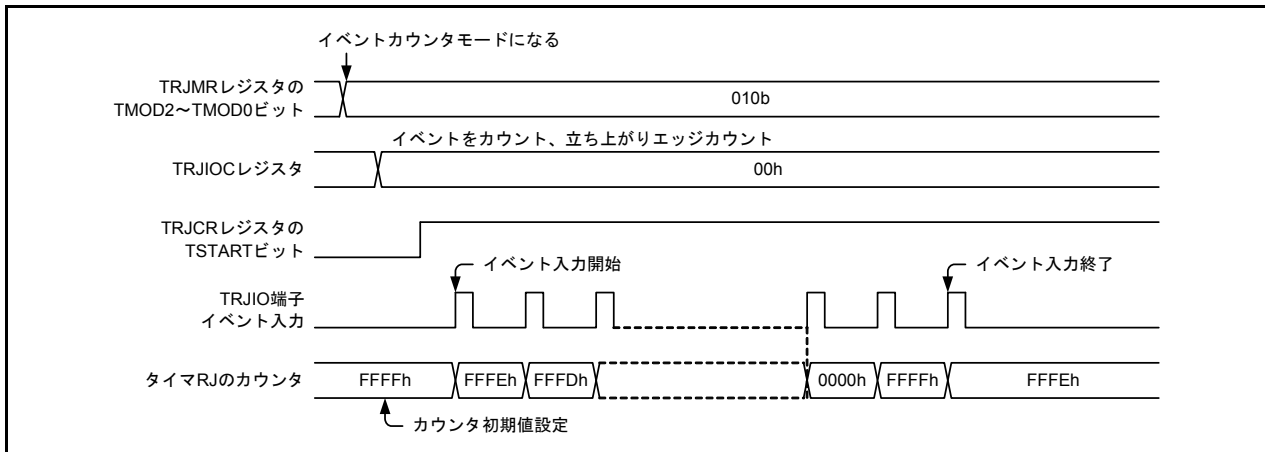


図15.5 イベントカウンタモードの動作タイミング例(1)

イベントカウンタモードで指定期間カウントする場合(TRJIOCレジスタTIOGT1,0ビットが01bまたは10b)の動作例を図15.6に示します。

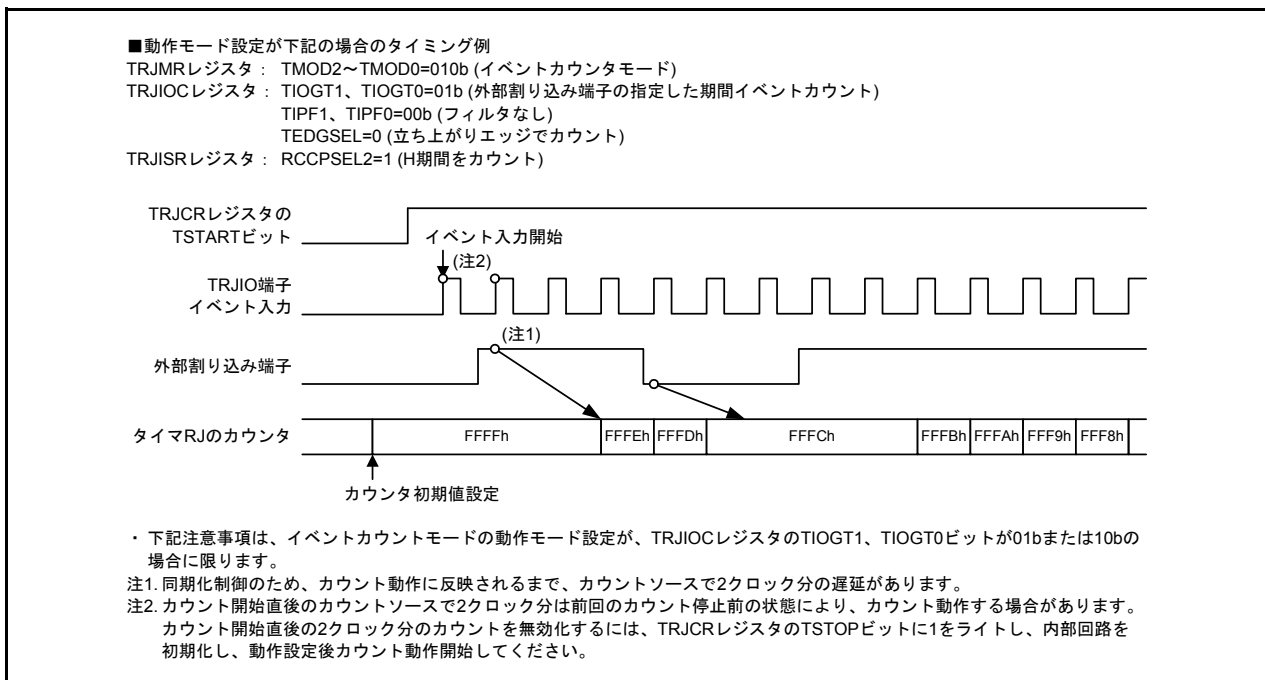


図15.6 イベントカウンタモードの動作タイミング例(2)

図15.6の動作例は外部割り込み端子の指定した期間の動作例ですが、PWM入力の指定した期間の場合も同様のタイミングとなります。

15.4.5 パルス幅測定モード

TRJIO端子から入力される外部信号のパルス幅を測定するモードです。

パルス幅測定モードでは、TRJIO端子にTRJIOCレジスタのTEDGSELビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO端子が指定したレベルが終了するとカウンタは停止し、TRJCRレジスタのTEDGFビットが1(有効エッジあり)になり割り込みが発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCRレジスタのTUNDFビットが1(アンダフローあり)となり、割り込みが発生します。

図15.7にパルス幅測定モードの動作タイミング例を示します。

TRJCRレジスタのTEDGF、TUNDFビットをアクセスする場合、「15.5 タイマRJ使用上の注意事項の(4)」を参照してください。

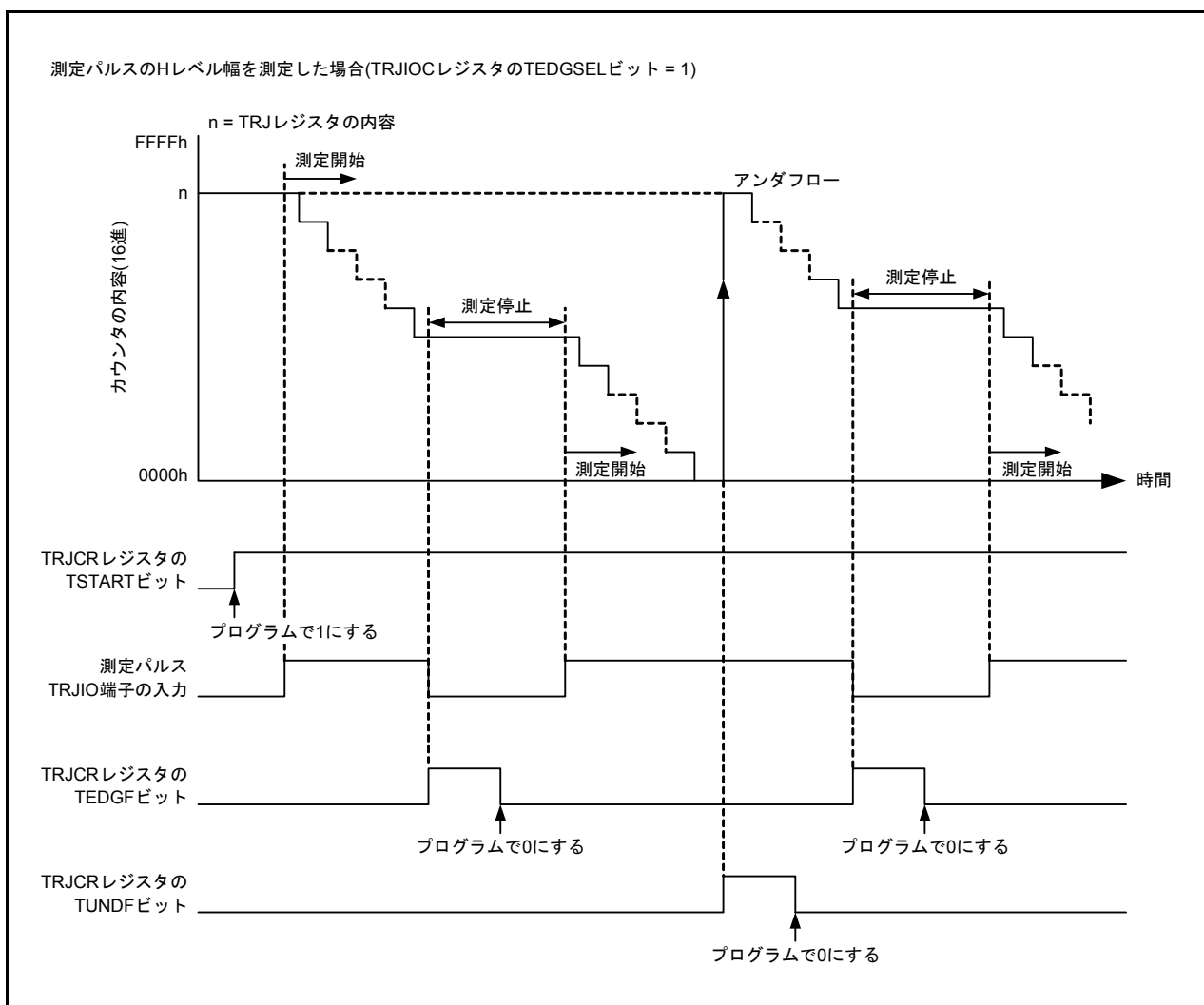


図15.7 パルス幅測定モードの動作タイミング例

15.4.6 パルス周期測定モード

TRJIO端子から入力する外部信号のパルス周期を測定するモードです。

TRJMRレジスタのTCK0～TCK2ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO端子にTRJIOCレジスタのTEDGSELビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時にTRJCRレジスタのTEDGFビットが1(有効エッジあり)となり、割り込みが発生します。このときに読み出し用バッファ(TRJレジスタ)を読み出し、リロード値との差(「15.5 タイマRJ使用上の注意事項の(5)」参照)が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCRレジスタのTUNDFビットが1(アンダフローあり)となり、割り込みが発生します。

図15.8にパルス周期測定モードの動作タイミング例を示します。

カウントソースより2倍長い周期のパルスを入力してください。また、L幅とH幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

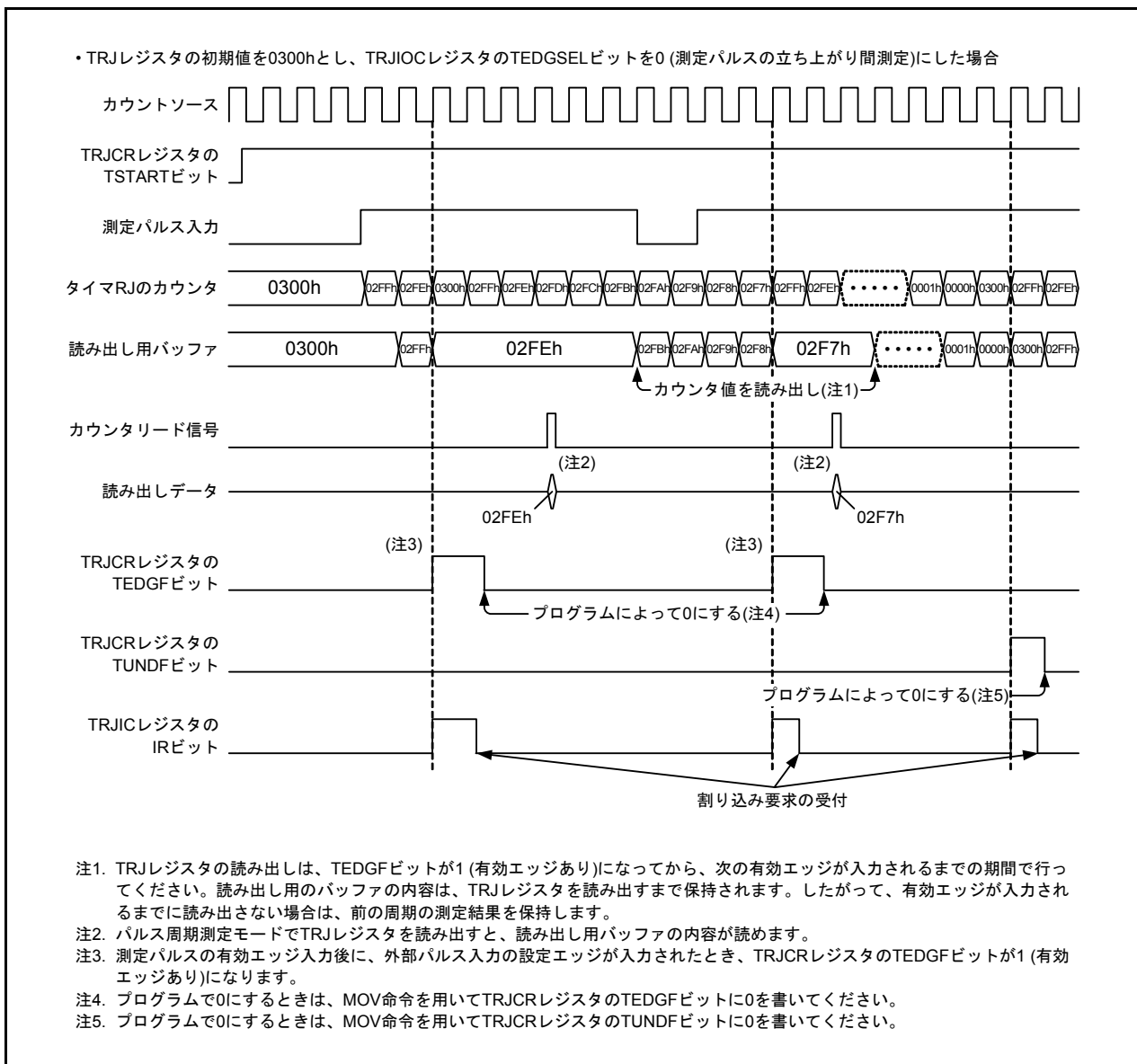


図15.8 パルス周期測定モードの動作タイミング例

15.4.7 イベントリンクコントローラ(ELC)との連携による動作

ELCとの連携により、カウンタのカウントソースにELCからのイベント入力を設定することができます。TRJMRレジスタのTCK0～TCK2ビットにて、ELCからイベント入力の立ち上がりでカウントします。

ELC設定手順を以下に示します。

•動作開始手順

- (1) イベントリンクコントローラ(ELC)のイベント出力先選択レジスタ(ELSELRn)を設定する。
- (2) イベント発生元の動作モードを設定する。
- (3) タイマRJのモードを設定する。
- (4) タイマRJのカウント動作を開始する。
- (5) イベント発生元の動作を開始する。

•動作停止手順

- (1) イベント発生元の動作を停止させる。
- (2) タイマRJのモードのカウント動作を停止させる。
- (3) イベントリンクコントローラ(ELC)のイベント出力先選択レジスタ(ELSELRn)を0に設定する。

ELCモジュールとの連携動作の場合、「15.5 タイマRJ使用上の注意事項の(13)」を参照してください。

15.4.8 各モードの入出力設定

表15.7、表15.8に各モード時のTRJO、TRJIO端子状態を示します。

表15.7 TRJO端子設定(TOENAビットが有効の場合)(注1)

動作モード	TRJIOCレジスタ		TRJO端子出力
	TOENAビット	TEDGSELビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

注1. 外部端子としてTRJO、TRJIOを設定する場合、タイマRJの制御レジスタ(上記)以外に、TRJ_0SRレジスタの設定が必要です。詳細は「14. I/Oポート」を参照してください。

表15.8 TRJIO端子設定(注1)

動作モード	TRJIOCレジスタ		TRJIO端子入出力
	TOPCRビット	TEDGSELビット	
タイマモード	0または1	0または1	入力
パルス出力モード	1	0または1	出力禁止
		1	正転出力
	0	0	反転出力
イベントカウンタモード	0または1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注1. 外部端子としてTRJO、TRJIOを設定する場合、タイマRJの制御レジスタ(上記)以外に、TRJ_0SRレジスタの設定が必要です。詳細は「14. I/Oポート」を参照してください。

15.5 タイマRJ使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマRJ関連レジスタ(注1)の値を設定した後、カウントを開始してください。

注1. タイマRJ関連レジスタ：TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (2) カウント停止中のレジスタアクセスについては、タイマのモードによって以下の制限があります。

• イベントカウントモード

カウント停止中にTRJCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ(注1)をアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントは停止します。TCSTFビットが0になるまで、TRJレジスタを除くタイマRJ関連レジスタ(注1)をアクセスしないでください。TRJレジスタへの書き込みは、TRJIO端子が非アクティブレベル(TRJIOCレジスタのTEDGSELビットが0の場合はLowレベル、1の場合はHighレベル)になるまで無効となります。この場合TRJレジスタを変更する場合には以下の手順を行ってください。

- ① TSTARTビットに0を書き込み、カウント停止
- ② TCSTFビットが0になるまでウエイト
- ③ TRJIOCレジスタのTIPF1、TIPF0ビットに00b(フィルタなし)を設定(デジタルフィルタ未使用の場合は不要)
- ④ TEDGSELビットへ1→0書き込み
- ⑤ TEDGSELビットに元の値(④の手順実行前の値)を設定
- ⑥ TIPF1、TIPF0ビットに元の値(③の手順実行前の値)を設定
- ⑦ TRJレジスタへアクセス

• イベントカウントモード以外

カウント停止中にTSTARTビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ(注1)をアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントは停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ(注1)をアクセスしないでください。

注1. タイマRJ関連レジスタ：TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (3) イベントカウンタモードのとき、TRJCRレジスタのTSTARTビットを1(カウント開始)に設定後、TCSTFビットが1になってから外部イベントを入力してください。

イベント計数個数 = カウンタの初期値 - 有効イベント完了時カウンタの値 + 1

- (4) パルス幅測定モードおよびパルス周期測定モードで使用するTRJCRレジスタのTEDGF、TUNDFビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCRレジスタにビット操作命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF、TUNDFビットを誤って0にする場合があります。

これを避けるためには、TEDGF、TUNDFビットをMOV命令で1にしてください。

- (5) パルス周期測定モードの周期計算方法は次の通りです。
入力パルスの周期データ = (カウンタの設定初期値 - 読み出しバッファを読み出しの値) + 1
- (6) タイマRJカウント停止状態でのTRJカウンタ関連レジスタの書き込みと読み出しの間に、NOP命令を2つ入れてください。
- (7) TRJCRレジスタのTSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)の場合、TRJレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。
- (8) 動作モード切り替え時は、TEDGFビットとTUNDFビットは不定です。TEDGFビットに0(有効エッジなし)、TUNDFビットに0(アンダフローなし)を書いてから、タイマRJのカウントを開始してください。
- (9) TSTARTビットおよびTCSTFビットが0(カウント停止)のとき、モジュールスタンバイモードに切り替えてください。モジュールスタンバイモードに切り替えてについては、「10.2.9 モジュールスタンバイコントロールレジスタ2(MSTCR2)」を参照してください。
- (10) パルス幅測定モード場合またはパルス周期測定モード場合では、次の順序で設定してください。
①タイマRJ関連レジスタを設定する。
②TSTARTビットに1(カウント開始)を設定後、TCSTFビットが1(カウント中)になるのを待つ。
③外部イベントを入力する。
- (11) パルス周期測定モードでは、最初の測定完了による処理は無効としてください(2回目以降から測定値有効です)。
- (12) TRJレジスタへの0000hの設定は禁止です。
- (13) パルス幅測定モードの場合、カウントソースはイベントリンクコントローラ(ELC)からのイベントを選択しないでください。なお、ELCとの連携動作の場合(TRJMRレジスタのTCK2～TCK0ビット=101b)、TRJCRレジスタのTSTARTビットを1に設定した後、TCSTFビットが1になってからELCからのイベントを入力してください。また、有効イベントをカウント完了した後、TSTARTビットを0に設定してください。
- (14) TRJIOCレジスタのTOPCRビットは、TRJMRレジスタの設定完了後に設定してください。
- (15) タイマRJの動作モード関連レジスタ(TRJIOC、TRJMR、TRJISR)の変更は、カウント停止時(TRJCRレジスタのTSTARTビットとTCSTFビットがともに0(カウント停止))のみ可能です。カウント動作中には変更しないでください。

16. タイマRB2

タイマRB2は、8ビットプリスケアラ付き8ビットタイマまたは16ビットタイマです。プリスケアラとタイマは、それぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは、同じ番地に配置されます。タイマRB2はリロードレジスタとして、タイマRB2プライマリとタイマRB2セカンダリのレジスタを持ちます。

16.1 概要

表16.1にタイマRB2の仕様を、図16.1にタイマRB2のブロック図を示します。

表16.1 タイマRB2の仕様

項目		内容
動作モード	タイマモード	内部カウントソースまたはタイマRJのアンダフローをカウントする
	プログラマブル波形発生モード	任意のパルス幅を連続して出力する
	プログラマブルワンショット発生モード	ワンショットパルスを出力する
	プログラマブルウェイトワンショット発生モード	ディレイドワンショットパルスを出力する
カウントソース		f1、f2、f4、f8、f32、タイマRJのアンダフロー選択可能
割り込み		タイマRB2のアンダフロー
選択機能		<ul style="list-style-type: none"> イベントリンクコントローラ(ELC)との連携 ELCからのイベント入力によるタイマRB2ワンショット開始可能

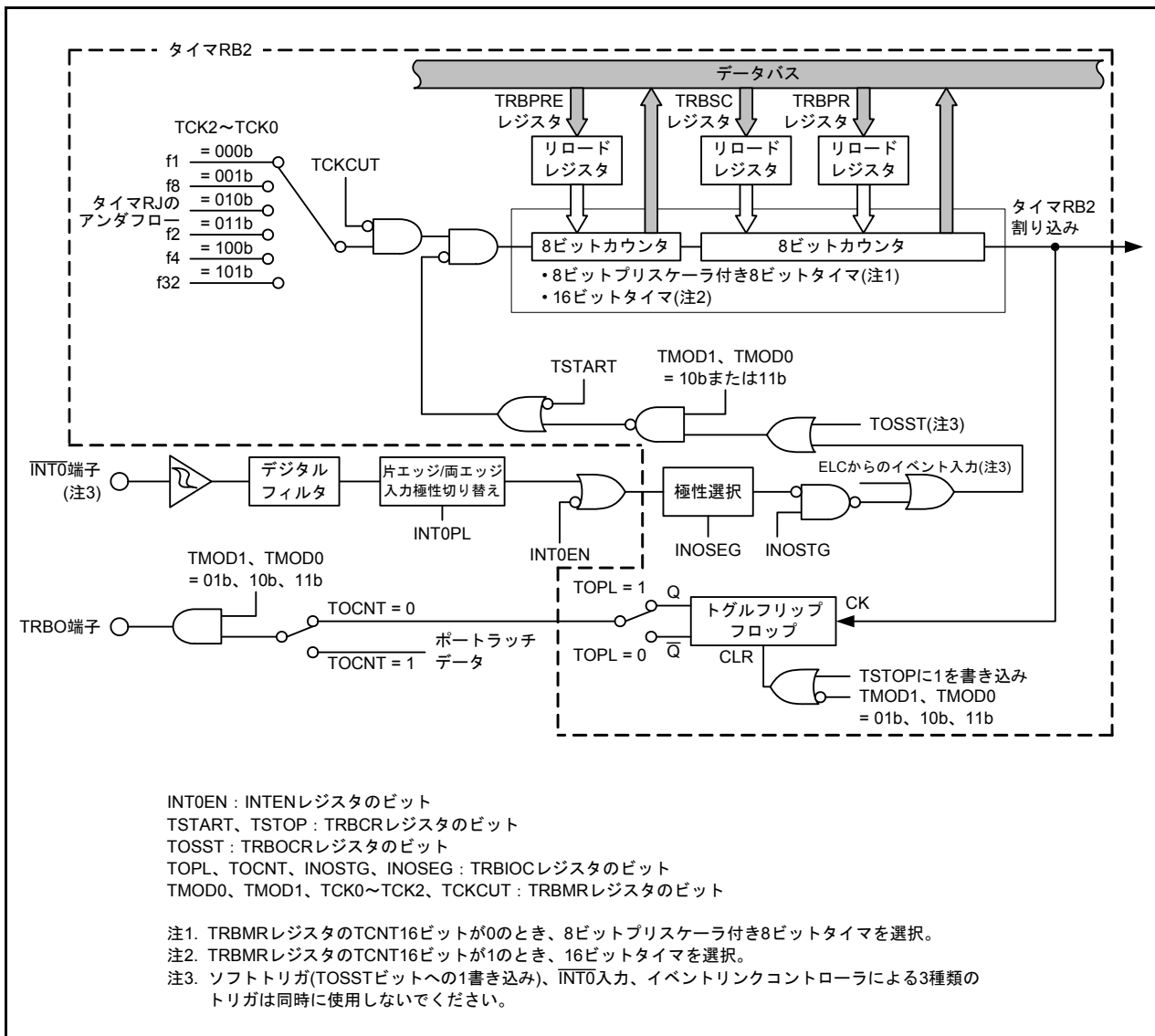


図 16.1 タイマRB2のブロック図

16.2 入出力端子

表16.2にタイマRB2の端子構成を示します。

表16.2 タイマRB2の端子構成

端子名	入出力	機能
INT0	入力	外部トリガ
TRBO	出力	パルス連続出力またはワンショットパルス出力

$\overline{\text{INT0}}$ の詳細は「11. 割り込み」を参照してください。リセット解除後、INTF0レジスタの設定でフィルタなしからフィルタありに変更した後、すぐにデジタルフィルタを使用しないでください。サンプリングクロックの4サイクルを待った後、TRBIOCレジスタのINOSTGビットを1 (INT0端子ワンショットトリガ有効)にしてください。

16.3 レジスタの説明

表16.3にタイマRB2のレジスタ構成を示します。

表16.3 タイマRB2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRB2_0制御レジスタ	TRBCR_0	00h	00130h	8
タイマRB2_0ワンショット制御レジスタ	TRBOCR_0	00h	00131h	8
タイマRB2_0 I/O制御レジスタ	TRBIOC_0	00h	00132h	8
タイマRB2_0モードレジスタ	TRBMR_0	00h	00133h	8
8ビットプリスケアラ付き8ビットタイマ時： タイマRB2_0プリスケアラレジスタ 16ビットタイマ時： タイマRB2_0プライマリ/セカンダリレジスタ (下位8ビット)	TRBPRES_0	FFh	00134h	8ビットタイマ時： 8 16ビットタイマ時： 16 (注1)
8ビットプリスケアラ付き8ビットタイマ時： タイマRB2_0プライマリレジスタ 16ビットタイマ時： タイマRB2_0プライマリレジスタ (上位8ビット)	TRBPR_0	FFh	00135h	8ビットタイマ時： 8 16ビットタイマ時： 16 (注1)
8ビットプリスケアラ付き8ビットタイマ時： タイマRB2_0セカンダリレジスタ 16ビットタイマ時(注1)： タイマRB2_0セカンダリレジスタ (上位8ビット)	TRBSC_0	FFh	00136h	8
タイマRB2_0割り込み要求レジスタ	TRBIR_0	00h	00137h	8

注1. 16ビットタイマで使用する時、8ビット単位でTRBPRES、TRBPR、TRBSCレジスタをアクセス(8ビットアクセス)する場合、必ず下位バイト→上位バイトの順番でアクセスしてください。

TRBPRES、TRBPR、TRBSCレジスタのアクセス方法を下記に示します。

- タイマモード、プログラマブルワンショット発生モード時
上位8ビットはTRBPRレジスタ値、下位8ビットはTRBPRESレジスタ値でカウントされます。
TRBSCレジスタは使いません。
- プログラマブル波形発生モード時
上位8ビットはTRBPRレジスタ値とTRBSCレジスタ値が交互にカウントされ、下位8ビットはTRBPRESレジスタ値がカウントされます。
- プログラマブルウェイトワンショット発生モード時
ウェイト時間として、上位8ビットはTRBPRレジスタ値、下位8ビットにTRBPRESレジスタ値でカウントされ、パルス幅として上位8ビットはTRBSCレジスタ値、下位8ビットにTRBPRESレジスタ値がカウントされます。

16.3.1 タイマRB2制御レジスタ (TRBCR)

アドレス 00130h (TRBCR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRB2カウント開始ビット (注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRB2カウントステータスフラグ (注1)	0: カウント停止 1: カウント中	R
b2	TSTOP	タイマRB2カウント強制停止ビット (注2)	1を書くと、カウント強制停止。 読んだ場合、その値は0。	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TSTART、TCSTFビットの使用上の注意は「16.8 タイマRB2使用上の注意事項」を参照してください。

注2. TSTOPビットに1(カウント強制停止)を書くと、カウンタ、TRBPRES、TRBPR、TRBSCレジスタ、TSTART、TCSTFビットおよびTRBOCRレジスタのTOSST、TOSSP、TOSSTFビットが初期化されます。また、TRBO出力も初期化されます。TRBO出力の初期状態については、「16.5.3 TOCNTビットの設定と端子状態」を参照してください。

TSTARTビット(タイマRB2カウント開始ビット)

TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。カウント開始後、TCSTFビットが1になるまで、また、カウント停止後、TCSTFビットに0になるまでは何もしないで下さい。詳細は「16.8 タイマRB2使用上の注意事項」を参照してください。

TCSTFビット(タイマRB2カウントステータスフラグ)

[0になる条件]

- TSTARTビットに0を書いたとき(カウントソースに同期して0になる)
- TSTOPビットに1を書いたとき

[1になる条件]

- TSTARTビットに1を書いたとき(カウントソースに同期して1になる)

16.3.2 タイマRB2ワンショット制御レジスタ (TRBOCR)

アドレス 00131h (TRBOCR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRB2ワンショット開始ビット (注1、2)	1を書くと、ワンショットカウント開始。 読んだ場合、その値は0。	R/W
b1	TOSSP	タイマRB2ワンショット停止ビット (注2、3)	1を書くと、ワンショットカウント停止。 読んだ場合、その値は0。	R/W
b2	TOSSTF	タイマRB2ワンショットステータスフラグ	0：ワンショット停止 1：ワンショット動作(ウェイト期間を含む)	R
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TOSSTFビットが0(ワンショット停止)であることを確認した後、TOSSTビットに1(ワンショットカウント開始)を書いてください。

注2. 0を書いた場合、その値は無効です。

注3. TOSSTFビットが1(ワンショット動作(ウェイト期間を含む))であることを確認した後、TOSSPビットに1(ワンショットカウント停止)を書いてください。

TOSSTFビット(タイマRB2ワンショットステータスフラグ)

[0になる条件]

- TRBCRレジスタのTSTOPビットを1(カウント強制停止)にしたとき
- プログラマブルワンショット発生モード時に、カウント値が00hになりリロードしたとき
- プログラマブルウェイトワンショット発生モード時に、セカンダリカウント時のカウント値が00hになり、リロードしたとき
- TOSSPビットを1(ワンショットカウント停止)に設定してから、タイマRB2のカウントソースで3サイクル経過後
- タイマRB2カウント動作中(TOSSTF=1)にTRBCRレジスタのTSTARTビットを0(カウント停止)に設定してから、タイマRB2のカウントソースで3サイクル経過後

[1になる条件]

- TCSTFビットが1(カウント許可)の状態、TOSSTビットを1(ワンショットカウント開始)に設定してから、タイマRB2のカウントソースで3サイクル経過後
- TCSTFビットが1の状態、トリガを入力してから、タイマRB2のカウントソースで3サイクル経過後

16.3.3 タイマRB2 I/O制御レジスタ (TRBIOC)

アドレス 00132h (TRBIOC_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRB2出力レベル選択ビット	「表 16.4 タイマRB2出力レベル選択ビットの機能」参照	R/W
b1	TOCNT	タイマRB2出力切り替えビット	0: 波形出力 1: 固定値出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	0: INTO端子ワンショットトリガ無効 1: INTO端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

TOCNTビット(タイマRB2出力切り替えビット)

TOCNTビットの設定は、プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードのみ有効です。

各モードでのTRBO出力の状態変化の詳細は「16.5.3 TOCNTビットの設定と端子状態」を参照してください。

表 16.4 タイマRB2出力レベル選択ビットの機能

動作モード	機能	
タイマモード	無効	
プログラマブル波形発生モード	0	プライマリ期間H出力 セカンダリ期間L出力 タイマ停止時L出力
	1	プライマリ期間L出力 セカンダリ期間H出力 タイマ停止時H出力
プログラマブルワンショット発生モード	0	ワンショットパルスH出力 タイマ停止時L出力
	1	ワンショットパルスL出力 タイマ停止時H出力
プログラマブルウェイトワンショット発生モード	0	ワンショットパルスH出力 タイマ停止およびウェイト期間にL出力
	1	ワンショットパルスL出力 タイマ停止およびウェイト期間にH出力

16.3.4 タイマRB2モードレジスタ (TRBMR)

アドレス 00133h (TRBMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	TWRC	TCNT16	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB2動作モード選択ビット (注1)	b1 b0 0 0 : タイマモード 0 1 : プログラマブル波形発生モード 1 0 : プログラマブルワンショット発生モード 1 1 : プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	TCNT16	タイマRB2カウンタ選択ビット (注1)	0 : 8ビットプリスケアラ付き8ビットタイマ 1 : 16ビットタイマ	R/W
b3	TWRC	タイマRB2書き込み制御ビット (注2)	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRB2カウントソース選択ビット (注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f8 0 1 0 : タイマRJのアンダフロー 0 1 1 : f2 1 0 0 : f4 1 0 1 : f32 上記以外 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRB2カウントソース遮断ビット (注1)	0 : カウントソース供給 1 : カウントソース遮断	R/W

注1. TRBCRレジスタのTSTART、TCSTFビットが0(カウント停止)のときに、このビットを変更してください。

注2. TWRC ビットによるレジスタ、カウンタへの書き込みの詳細は「16.5.2 TWRC ビットによるプリスケアラとカウンタ動作」を参照してください。

タイマモードのとき、TWRCビットは0または1が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは1(リロードレジスタのみ書き込み)にしてください。

16.3.5 タイマRB2プリスケアラレジスタ (TRBPRES)

アドレス 00134h (TRBPRES_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	初期値	設定範囲	R/W
b7～b0	タイマモード	内部カウントソースまたはタイマRJのアンダフローをカウント	FFh	00h～FFh	R/W
	プログラマブル波形発生モード		FFh	00h～FFh	R/W
	プログラマブルワンショット発生モード		FFh	00h～FFh	R/W
	プログラマブルウェイトワンショット発生モード		FFh	00h～FFh	R/W

8ビットプリスケアラ付き8ビットタイマ時、プリスケアラの周期を設定する8ビットのレジスタです。プリスケアラがダウンカウントし、アンダフローするごとにTRBPRESレジスタの値がリロードされます。読んだ場合、プリスケアラのカウント値が読み出されます。

16ビットタイマ時、16ビットカウンタの下位8ビットを設定するレジスタになります。カウンタがダウンカウントし、アンダフローするごとにTRBPRESレジスタ値がリロードされます。読んだ場合、下位8ビットのカウント値が読み出されます。8ビット単位でTRBPRESレジスタとTRBPRレジスタをアクセスする場合は、TRBPRESレジスタをアクセスした後、TRBPRレジスタをアクセスしてください。

なお、TRBPRESレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表16.7 16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。カウントソースに同期して更新されます。

TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、TRBPRESレジスタは初期化(FFh)されます。

16.3.6 タイマRB2プライマリレジスタ (TRBPR)

アドレス 00135h (TRBPR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能		初期値	設定範囲	R/W
		8ビットプリスケアラ付き8ビットタイマ	16ビットタイマ			
b7~b0	タイマモード	タイマRB2プリスケアラのアンダフローをカウント	内部カウントソースまたはタイマRJのアンダフローをカウント	FFh	00h~FFh	R/W
	プログラマブル波形発生モード	タイマRB2プリスケアラのアンダフローをカウント		FFh	00h~FFh	R/W
	プログラマブルワンショット発生モード	タイマRB2プリスケアラのアンダフローをカウント(ワンショット幅をカウント)		FFh	00h~FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRB2プリスケアラのアンダフローをカウント(ウェイト期間をカウント)		FFh	00h~FFh	R/W

8ビットプリスケアラ付き8ビットタイマ時、カウンタの周期やプライマリ期間を設定する8ビットのレジスタです。読んだ場合、カウンタの8ビットカウント値が読み出されます。

16ビットタイマ時、上位8ビットのカウンタの周期やプライマリ期間を設定する8ビットのレジスタです。読んだ場合、16ビットカウンタの上位8ビットの値が読み出されます。TRBPREレジスタをアクセスした後、TRBPRレジスタをアクセスしてください。

なお、TRBPRレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表 16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表 16.7 16ビットタイマ時のTRBPRE、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。

TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、TRBPRレジスタは初期化(FFh)されます。

16.3.7 タイマRB2セカンダリレジスタ (TRBSC)

アドレス 00136h (TRBSC_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能		初期値	設定範囲	R/W
		8ビットプリスケアラ付き8ビットタイマ	16ビットタイマ			
b7～b0	タイマモード	無効		FFh	無効	—
	プログラマブル波形発生モード	タイマRB2プリスケアラのアンダフロー	内部カウントソースまたはタイマRJのアンダフロー (注1)	FFh	00h～FFh	R/W
	プログラマブルワンショット発生モード	無効		FFh	無効	—
	プログラマブルウェイトワンショット発生モード	タイマRB2プリスケアラのアンダフロー	内部カウントソースまたはタイマRJのアンダフロー (注1)	FFh	00h～FFh	R/W

注1. TRBPR、TRBSCレジスタの値が交互にカウンタへリロードされ、カウントされます。カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

8ビットプリスケアラ付き8ビットタイマ時、プログラマブル波形発生モード、プログラマブルウェイトワンショット発生モードで使用されるセカンダリ期間を設定する8ビットのレジスタです。読んだ場合、リロードレジスタの値が読み出されます。

16ビットタイマ時、プログラマブル波形発生モード、プログラマブルウェイトワンショット発生モードで使用される上位8ビットのセカンダリ期間を設定する8ビットのレジスタです。タイマモード、プログラマブルワンショット発生モードでも設定できますが、カウンタ動作には使用されません。読んだ場合、リロードレジスタの値が読み出されます。

なお、TRBSCレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表16.7 16ビットタイマ時のTRBPRE、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。

TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、TRBSCレジスタは初期化(FFh)されます。

16.3.8 タイマRB2割り込み要求レジスタ (TRBIR)

アドレス	00137h (TRBIR_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRBIE	TRBIF	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	TRBIF	タイマRB2割り込み要求フラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W
b7	TRBIE	タイマRB2割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W

TRBIFビット(タイマRB2割り込み要求フラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき
- DTCからの割り込み自動クリアしたとき
- 割り込みルーチンにジャンプ(CPUが割り込みを受付)したとき

[1になる条件]

- 「表16.5 TRBIFビットが1になる条件」参照

表16.5 TRBIFビットが1になる条件

動作モード	条件
タイマモード	タイマRB2のカウンタがアンダフローしたとき
プログラマブル波形発生モード	セカンダリ期間で、タイマRB2のカウンタがアンダフローしたとき
プログラマブルワンショット発生モード	タイマRB2のカウンタがアンダフローしたとき
プログラマブルウェイトワンショット発生モード	セカンダリ期間で、タイマRB2のカウンタがアンダフローしたとき

16.4 動作説明

16.4.1 タイマモード

内部で生成されたカウントソース、またはタイマRJのアンダフローをカウントするモードです。タイマモード時、TRBOCR、TRBSCレジスタは使用しません。

TRBCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、カウントを開始します。TSTARTビットに0(カウント停止)を書き込むと、カウントを停止します。また、TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止します。

タイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタに書き込まれます。次のカウント時にカウンタへ転送されるか、またはそれぞれリロードレジスタのみに書き込まれ、次のリロード時にカウンタに転送されるかは、プログラムにより選択可能です。

図16.2、図16.3にタイマモードの動作例を示します。

注1. TSTARTビットに1(カウント開始)を設定してから、カウントソースの3サイクル後にカウントを開始します。また、TSTARTビットに0(カウント停止)を設定してから、カウントソースの3サイクル後にカウントを停止します。カウンタ動作状態はTRBCRレジスタのTCSTFビットを監視してください。

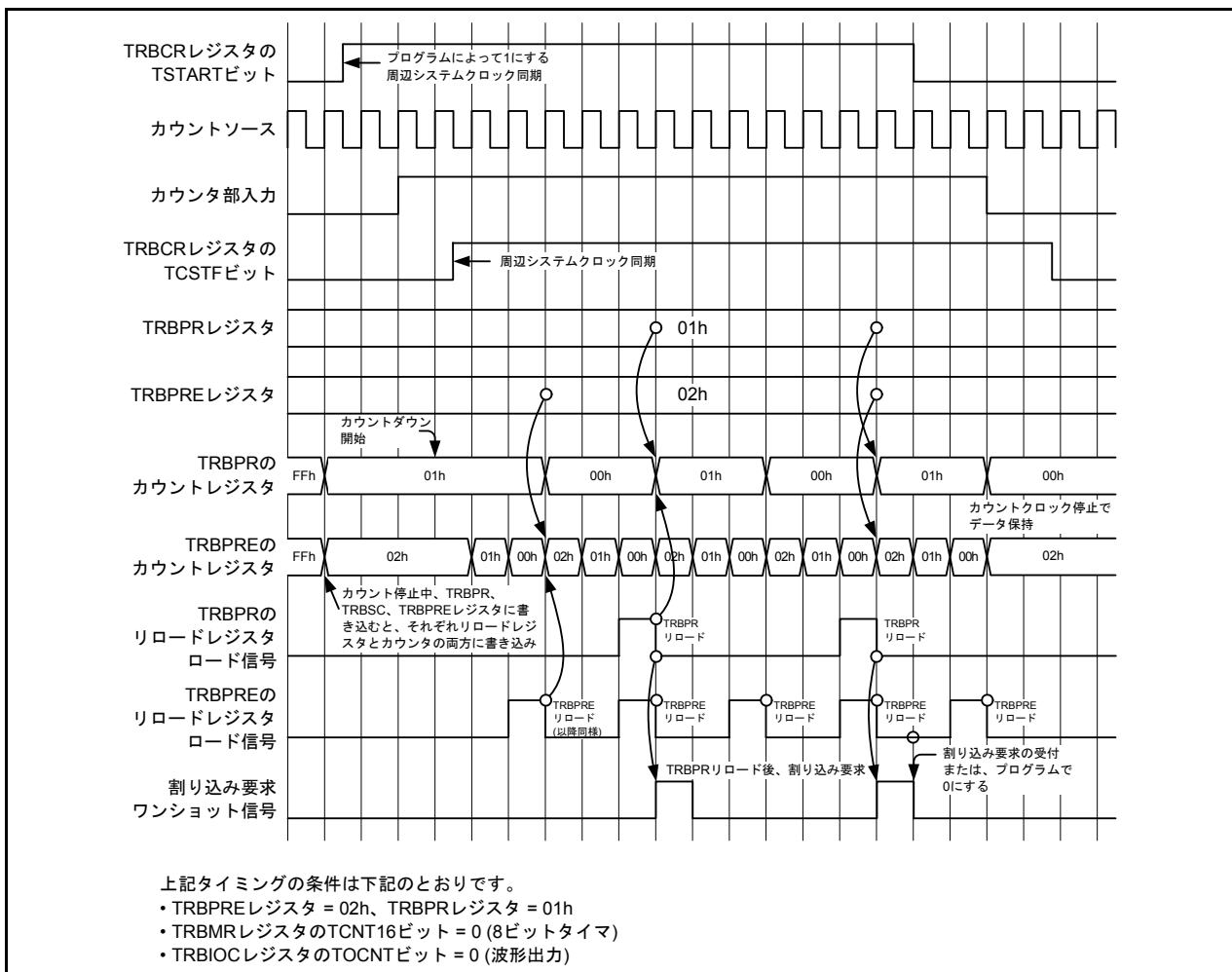


図16.2 タイマモードの動作例(8ビットタイマ時)

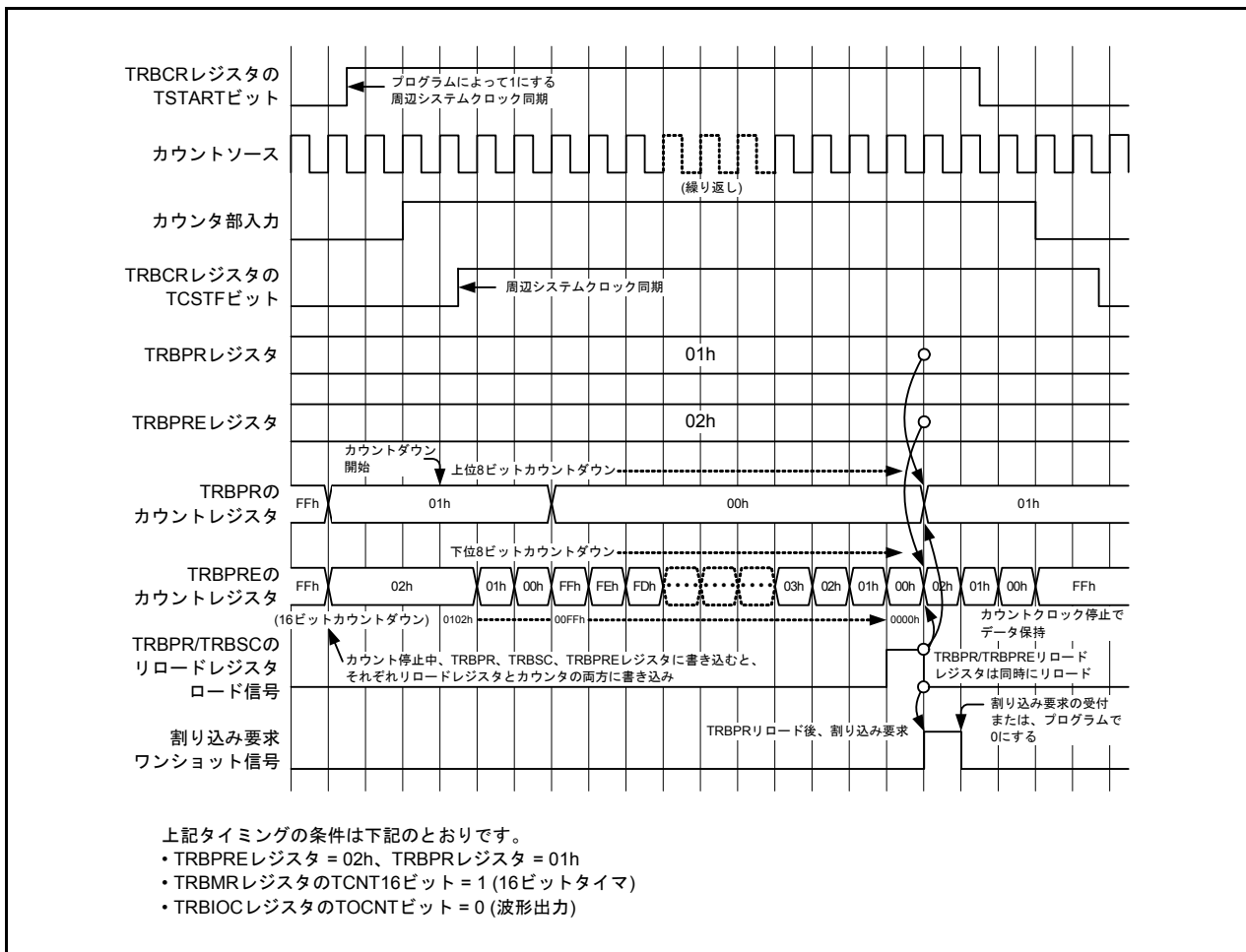


図 16.3 タイマモードの動作例(16ビットタイマ時)

16.4.2 プログラマブル波形発生モード

8ビットプリスケアラ付き8ビットタイマ時、タイマRB2のカウンタがアンダフローするごとにTRBPRレジスタとTRBSCレジスタを交互に切り替えてカウントするモードです。

16ビットタイマ時、16ビットのカウンタがアンダフローするたびにプライマリ期間とセカンダリ期間のカウントを交互に切り替えるモードです。プライマリ期間の16ビットのカウンタは、上位8ビットをTRBPRレジスタ、下位8ビットをTRBPRESレジスタが構成しています。セカンダリ期間の16ビットのカウンタは、上位8ビットをTRBSCレジスタ、下位8ビットをTRBPRESレジスタが構成しています。

カウンタがアンダフローするごとに、反転した波形をTRBO端子から出力します。プライマリ期間からカウントを開始します。プログラマブル波形発生モードでは、TRBOCRレジスタは使用しません。

TRBCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、カウントを開始します。TSTARTビットに0(カウント停止)を書き込むと、カウントを停止します。また、TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止します。

セカンダリ期間でタイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPR、TRBSCレジスタを読み出すと、それぞれのカウンタ値が読み出されます。カウント停止中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

図16.4に8ビットプリスケアラ付き8ビットタイマ時のプログラマブル波形発生モードの動作例を、図16.5に16ビットタイマ時のプログラマブル波形発生モードの動作例を示します。

- 注1.
- TSTART ビットに1を設定してから、カウントソースの3サイクル後にカウントを開始します。また、TSTART ビットに0を設定してから、カウントソースの3サイクル後にカウントを停止します。カウンタ動作状態はTRBCRレジスタのTCSTFビットを監視してください。
 - 実際のカウンタ動作状態はTRBCRレジスタのTCSTFビットを監視してください。
 - 16ビットタイマ動作時、プライマリ期間とセカンダリ期間の下位8ビットは共に同じTRBPRESレジスタで設定するため、1周期内で下位8ビットには必ず同じ値が設定されます。そのため、PWM波形の周期を変更せずにパルス幅だけを変更しようとすると、設定可能なのは上位8ビットだけなので細かい分解能でPWM制御をすることができません。

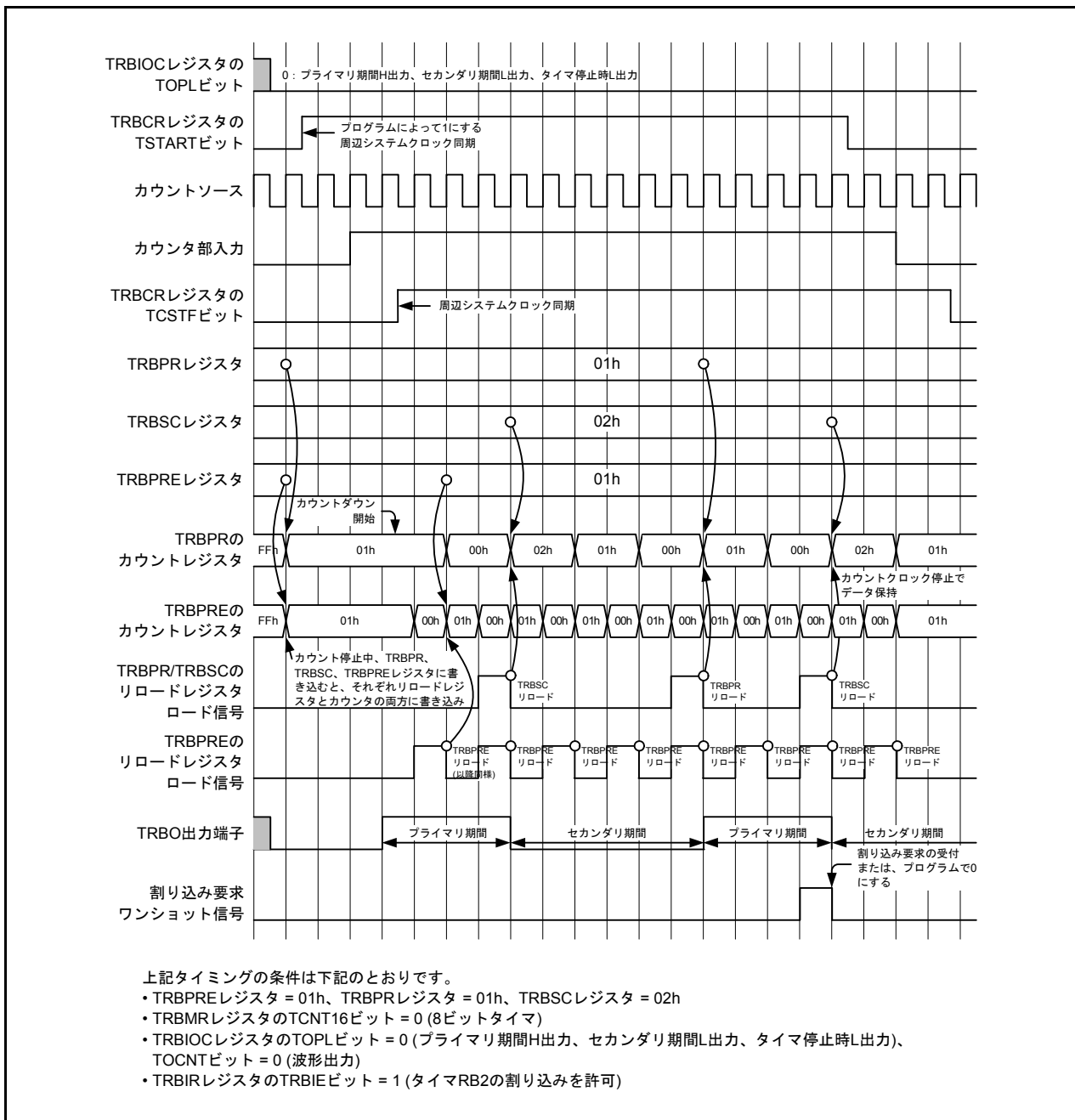


図 16.4 8ビットプリスケラ付き8ビットタイマ時のプログラマブル波形発生モードの動作例

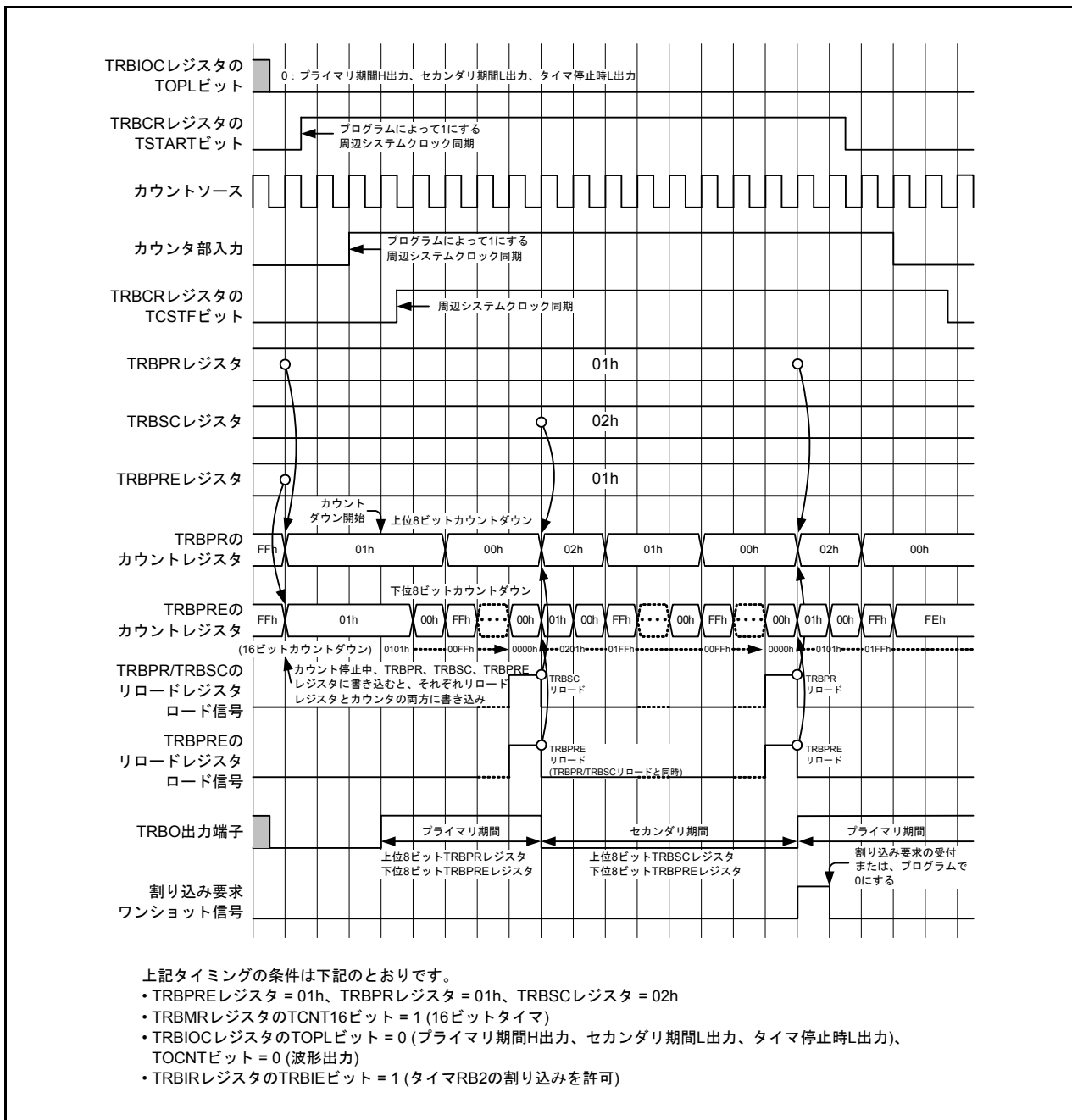


図 16.5 16ビットタイマ時のプログラマブル波形発生モードの動作例

16.4.3 プログラマブルワンショット発生モード

プログラム、外部トリガ入力(INT0)、またはイベントリンクコントローラ(ELC)からのイベント入力の立ち上がりエッジにより、ワンショットパルスをTRBO端子から出力するモードです。トリガから任意の時間をカウントします。

8ビットプリスケアラ付き8ビットタイマ時、カウント値をTRBPRレジスタに設定します。

16ビットタイマ時、上位8ビットはTRBPRレジスタに、下位8ビットはTRBPRESレジスタにカウント値を設定します。

トリガを受け付けるとタイマRB2のカウントを開始し、タイマRB2のカウンタがアンダフローするとカウント動作を停止させることでワンショット動作を実現しています。1度のトリガを受け付けると、ワンショット動作を1回実行します。プログラマブルワンショット発生モードでは、TRBSCRレジスタは使用しません。

TRBOCRレジスタのTCSTFビットが1(カウント許可状態)のときに、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込むと、カウントを開始します。また、TCSTFビットが1のときに、INT0端子へ有効なトリガを入力あるいはELCからのイベント入力の立ち上がりエッジで、カウントを開始します。カウント値が00hになり、リロードした後カウントを停止します。また、カウントは以下のいずれかの設定で停止します。

- TRBOCRレジスタのTOSSPビットに1(ワンショットカウント停止)を書き込むと、カウントを停止
 - TRBOCRレジスタのTSTARTビットに0(カウント停止)を書き込むと、カウントを停止
 - TRBOCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止
- タイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

INT0入力によるトリガの設定は「16.7 INT0入力トリガ選択」を参照してください。

また、TOSSTFビットが1の期間に、ワンショットトリガが発生してもタイマRB2の動作には影響ありませんが、INTOICレジスタのIRビットは変化します。

図16.6に8ビットプリスケアラ付き8ビットタイマ時のプログラマブルワンショット発生モードの動作例を、図16.7に16ビットタイマ時のプログラマブルワンショット発生モードの動作例を示します。

- 注1. TOSST、TOSSPビットへの1書き込み、INT0端子への有効なトリガ入力、イベントリンクコントローラ(ELC)からのイベント入力の立ち上がりエッジ、またはTSTARTビットに0を書き込んでから、カウントソースの3サイクル後にカウンタの動作に反映します。カウンタ動作状態は、TRBOCRレジスタのTOSSTFビットを監視してください。

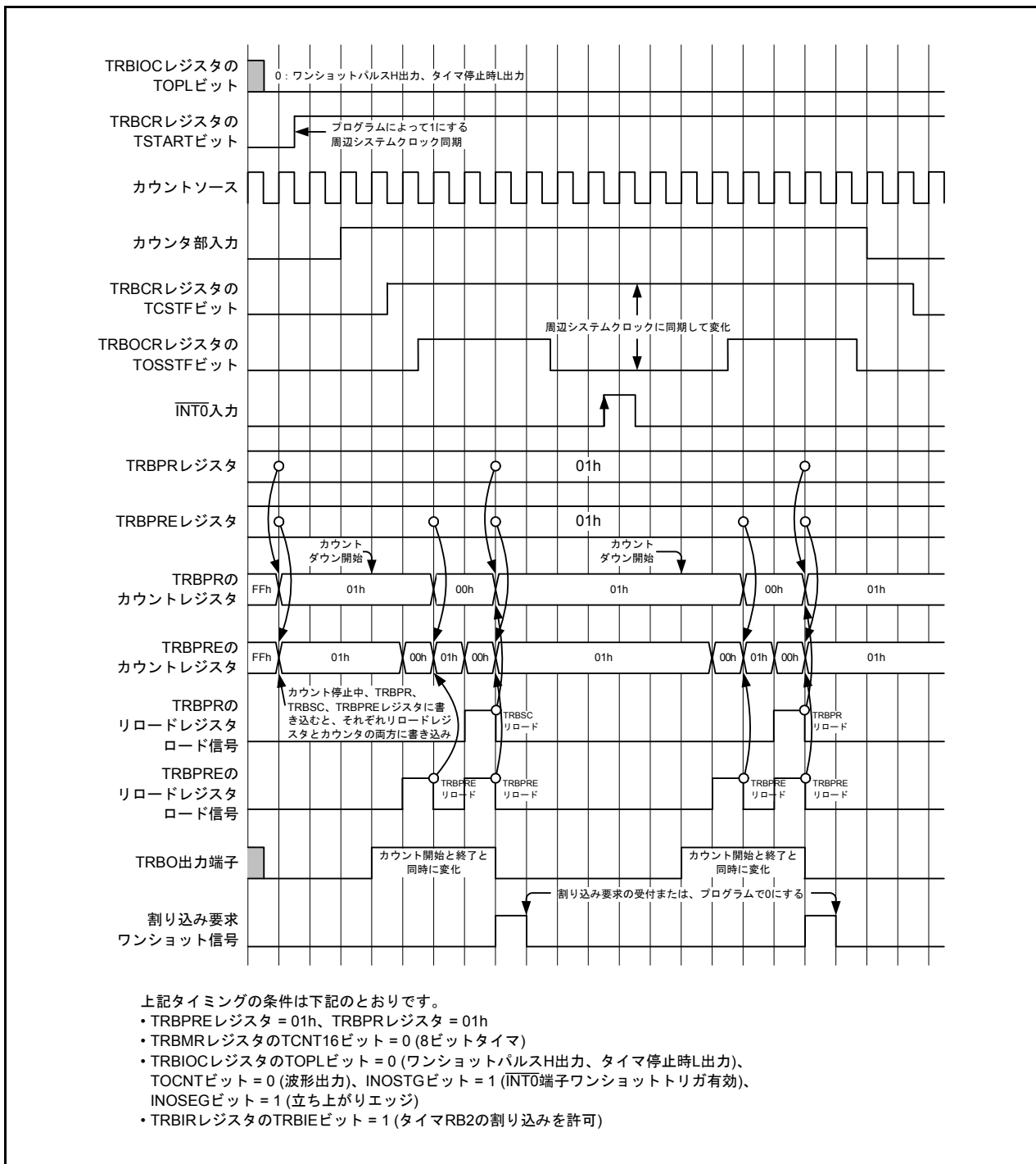


図 16.6 8ビットプリスケアラ付き8ビットタイマ時のプログラマブルワンショット発生モードの動作例

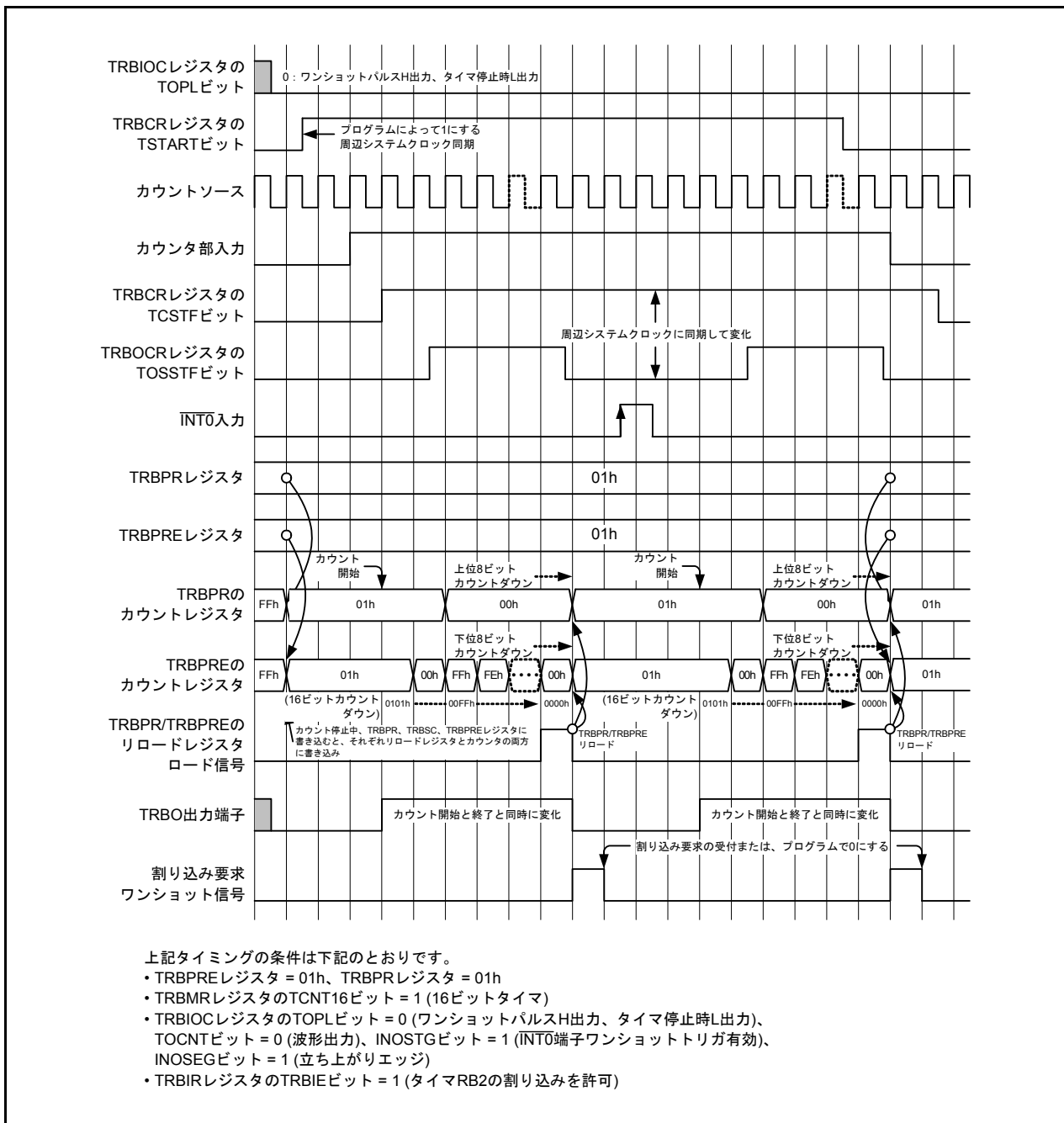


図 16.7 16ビットタイマ時のプログラブルワンショット発生モードの動作例

16.4.4 プログラブルウェイトワンショット発生モード

プログラム、外部トリガ(INT0入力)、またはELCからのイベント入力の立ち上がりエッジにより、一定時間後にワンショットパルスをTRBO端子から出力するモードです。トリガから任意の時間をカウントします。

トリガ入力後のウェイト時間の設定は、8ビットプリスケアラ付き8ビットタイマ時、カウント値をTRBPRレジスタに設定します。

16ビットタイマ時、上位8ビットはTRBPRレジスタに、下位8ビットはTRBPRESレジスタにカウント値を設定します。

パルス幅は、8ビットプリスケアラ付き8ビットタイマ時、TRBSCレジスタにパルス幅の値を設定してください。16ビットタイマ時、上位8ビットはTRBSCレジスタに、下位8ビットはTRBPRESレジスタにパルス幅の値を設定してください。

TRBCRレジスタのTCSTFビットが1(カウント許可状態)のときに、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込むと、カウントを開始します。また、TCSTFビットが1のときに、INT0端子へ有効なトリガを入力あるいはELCからのイベント入力の立ち上がりエッジで、カウントを開始します。タイマRB2のセカンダリ期間をカウントしているカウンタのカウント値が00hになり、リロードした後カウントを停止します。また、カウントは以下のいずれかの設定で停止します。

- TRBOCRレジスタのTOSSPビットに1(ワンショットカウント停止)を書き込むと、カウントを停止
 - TRBCRレジスタのTSTARTビットに0(カウント停止)を書き込むと、カウントを停止
 - TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止
- セカンダリ期間でタイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

16ビットタイマ動作時、プライマリ期間とセカンダリ期間の下位8ビットは共に同じTRBPRESレジスタで設定するため、1周期内で下位8ビットには必ず同じ値が設定されます。そのため、PWM波形の周期を変更せずにパルス幅だけを変更しようとする、設定可能なのは上位8ビットだけなので細かい分解能でPWM制御をすることができません。

INT0入力によるトリガの設定は「16.7 INT0入力トリガ選択」を参照してください。

図16.8に8ビットプリスケアラ付き8ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例を、図16.9に16ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例を示します。

- 注1. TOSST、TOSSPビットへの1書き込み、INT0端子への有効なトリガ入力、イベントリンクコントローラ(ELC)からのイベント入力の立ち上がりエッジ、またはTSTARTビットに0を書き込んでから、カウントソースの3サイクル後にカウンタの動作に反映します。カウンタ動作状態は、TRBOCRレジスタのTOSSTFビットを監視してください。

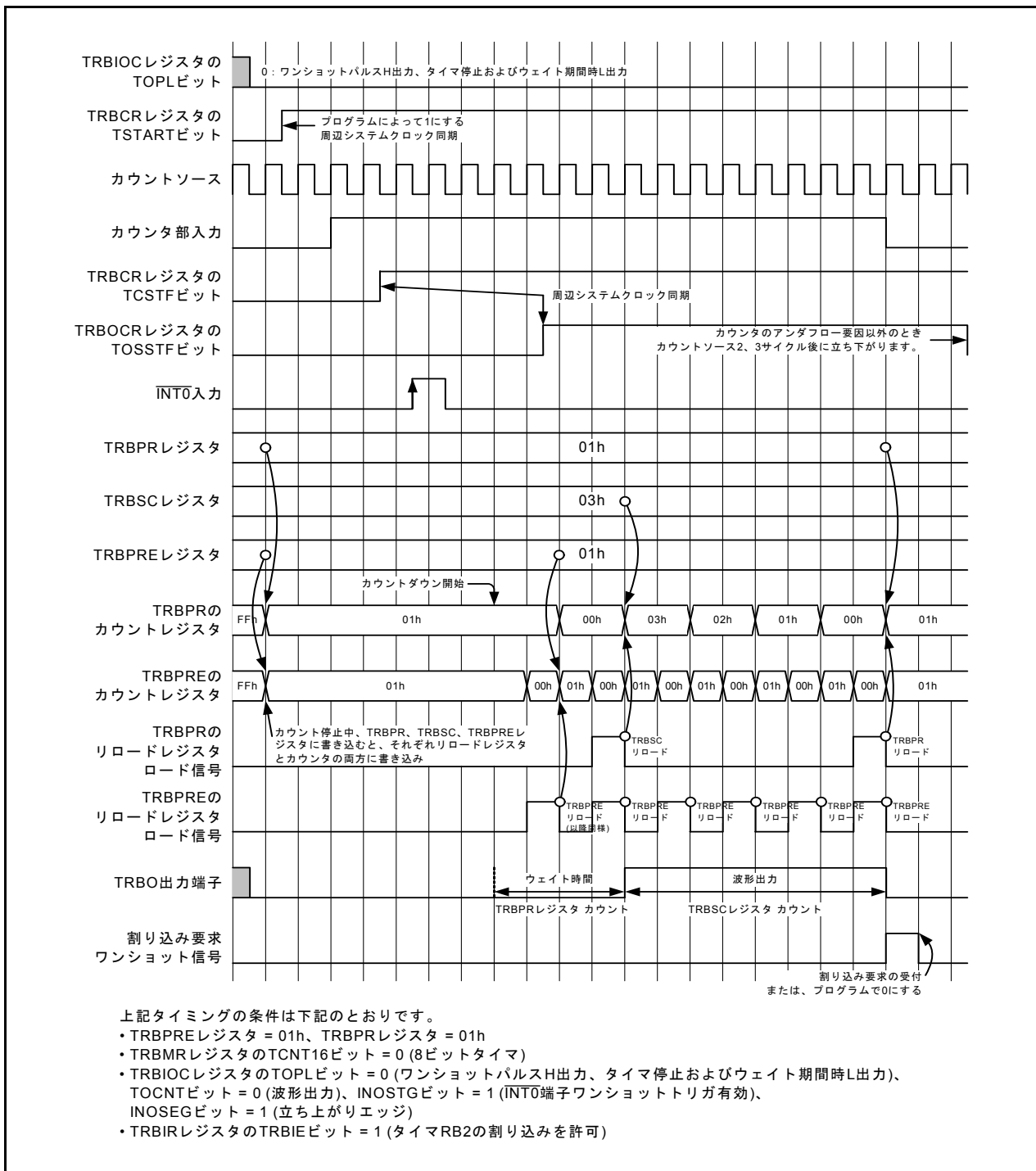


図 16.8 8ビットプリスケラ付き8ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例

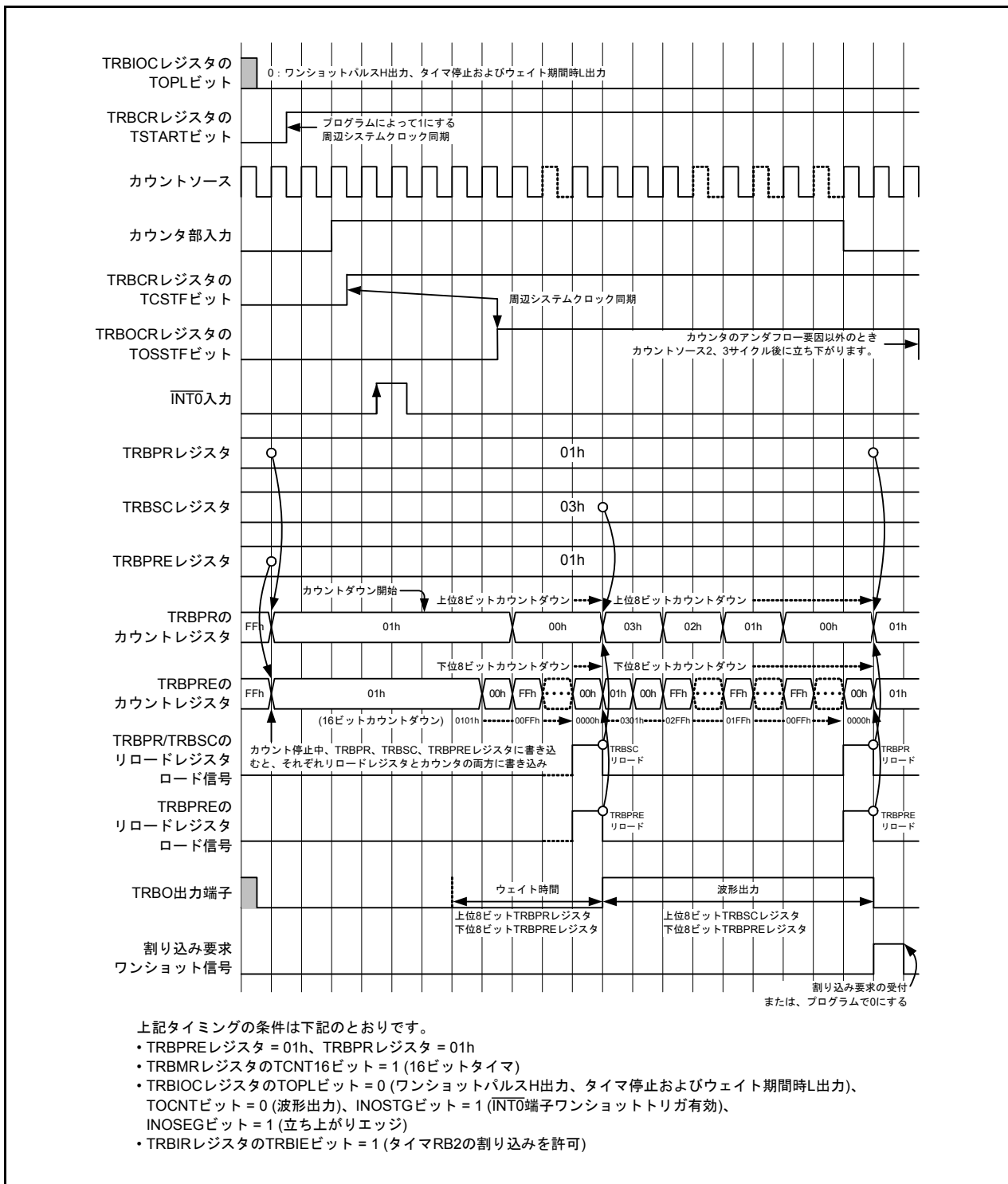


図 16.9 16ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例

16.5 選択機能

16.5.1 TRBPRES、TRBPR、TRBSCレジスタの構造と更新タイミング

TRBPRES、TRBPR、TRBSCレジスタはマスターリロードレジスタのバッファ構造になっています。図16.10にTRBPRES、TRBPR、TRBSCレジスタの構成を示します。TRBSCRレジスタのTSTARTビットが0(カウント停止)のとき、レジスタへの書き込み直後にリロードレジスタに更新されます。しかし、TSTARTビットが1(カウント開始)のときは、各モードによってリロードレジスタに更新されるタイミングが異なります。8ビットプリスケアラ付き8ビットタイマ時、TRBPRESレジスタに書き込み後、カウントソースに同期して、TRBPRESレジスタのリロードレジスタを更新します。

プログラマブル波形発生モードとプログラマブルウェイトワンショット発生モードでカウンタ動作中の場合は、TRBPRレジスタへの書き込み後、TRBSCレジスタのデータとTRBPRレジスタのデータを同時にリロードレジスタへ更新します。

プログラマブル波形発生モードとプログラマブルウェイトワンショット発生モードでカウンタ動作期間は、TRBSCレジスタへの書き込み後、TRBPRレジスタへ書き込んでください。

表16.6に8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミングを、表16.7に16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミングを示します。

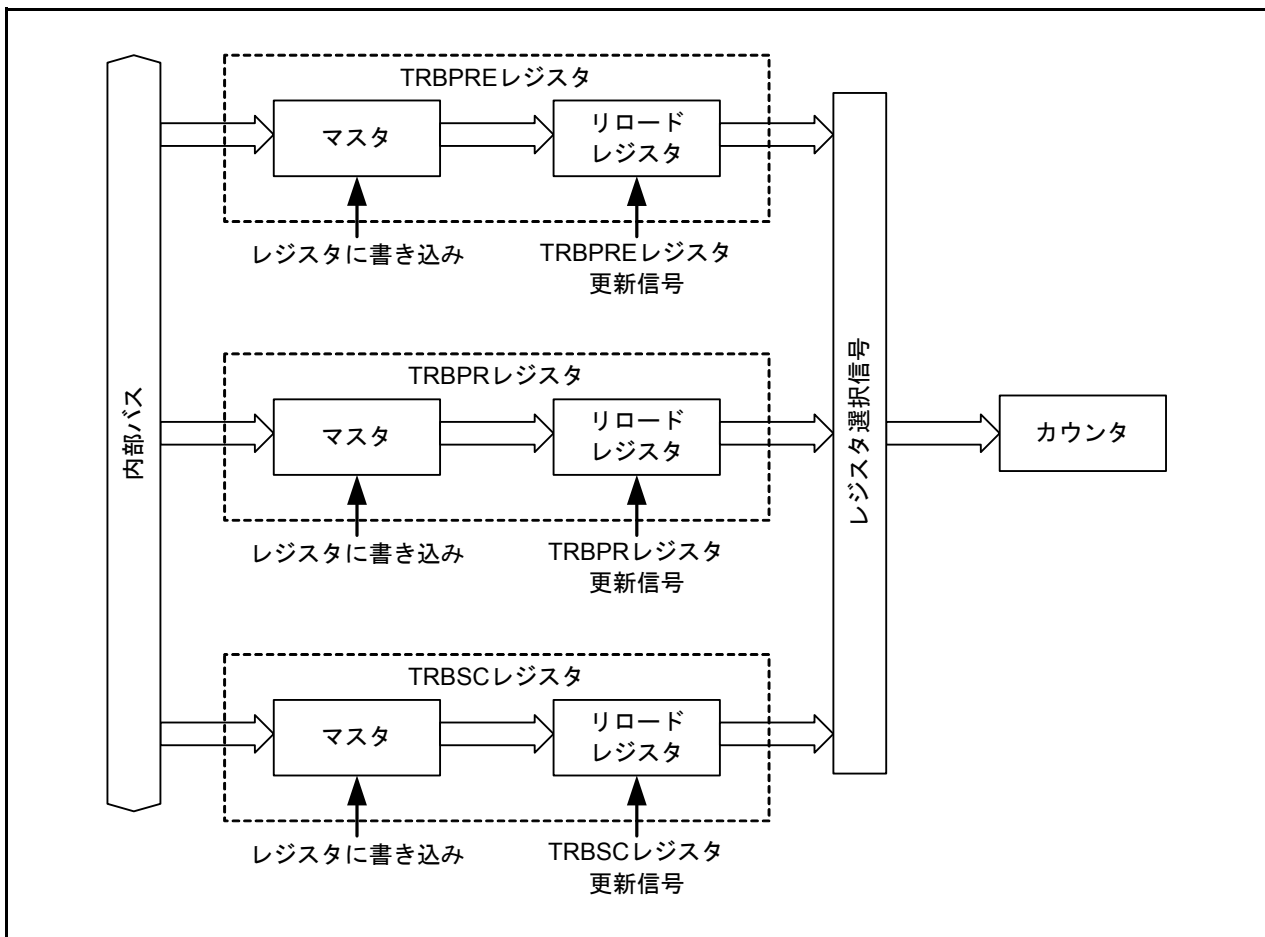


図16.10 TRBPRES、TRBPR、TRBSCレジスタの構成

表 16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング

動作モード		更新タイミング(注1)	
		TRBPRレジスタ	TRBSCレジスタ
タイマモード		TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新	使用しません
プログラマブル波形発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新(注2)	
プログラマブルワンショット発生モード		TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新	使用しません
プログラマブルウェイトワンショット発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新(注2)	

TWRC : TRBMRレジスタのビット

注1. 詳細は「16.5.2 TWRCビットによるプリスケアラとカウンタ動作」を参照してください。

注2. プログラマブル波形発生モードおよびプログラマブルウェイトワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBSC、TRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

表 16.7 16ビットタイマ時のTRBPRE、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング

動作モード		更新タイミング(注1)	
		TRBPRE、TRBPRレジスタ	TRBSCレジスタ
タイマモード		TRBPRレジスタに書き込み後、カウントソースに同期して更新	使用しません
プログラマブル波形発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、カウントソースに同期して更新(注2)	
プログラマブルワンショット発生モード		TRBPRレジスタに書き込み後、カウントソースに同期して更新	使用しません
プログラマブルウェイトワンショット発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、カウントソースに同期して更新(注2)	

TWRC : TRBMRレジスタのビット

注1. 詳細は「16.5.2 TWRCビットによるプリスケアラとカウンタ動作」を参照してください。

注2. プログラマブル波形発生モードおよびプログラマブルウェイトワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBSC、TRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

16.5.2 TWRCビットによるプリスケータとカウンタ動作

タイマモード以外の動作モードのときは、TWRCビットは1に設定してください。

タイマモード時、タイマRB2はTRBMRレジスタのTWRCビットにより、TRBPRE、TRBPR、TRBSCレジスタのみに書き込むか、レジスタとプリスケータ、カウンタの両方に書き込むかを選択できます。ただし、TRBCRレジスタのTCSTFビットが0(カウント停止)のとき、TRBMRレジスタのTWRCビットの設定にかかわらず、レジスタとプリスケータ、カウンタの両方に書き込まれます。TWRCビットを1(リロードレジスタのみ書き込み)にし、レジスタのみに書き込むと、設定前周期から設定後周期の間に不規則な周期がなく、周期を切り替えることができます。

プログラマブルワンショット発生モードとプログラマブルウェイトワンショット発生モード中、TRBCRレジスタのTCSTFビットが1(カウント中)、TRBOCRレジスタのTOSSTFビットが0(ワンショット停止)のとき、TRBMRレジスタのTWRCビットの設定は無効なので、リロードレジスタとカウンタへ書き込みます。

図16.11に8ビットプリスケータ付き8ビットタイマ時のプリスケータとカウンタの動作例を、図16.13に16ビットタイマ時のカウンタの動作例を示します。

なお、TCSTFビットが1(カウント中)のとき、TWRCビットを0(リロードレジスタとカウンタへの書き込み)にした場合でも、プリスケータ、カウンタへの転送はカウントソースに同期して行なわれるため、書き込み命令実行後すぐにカウンタの値は更新されません。

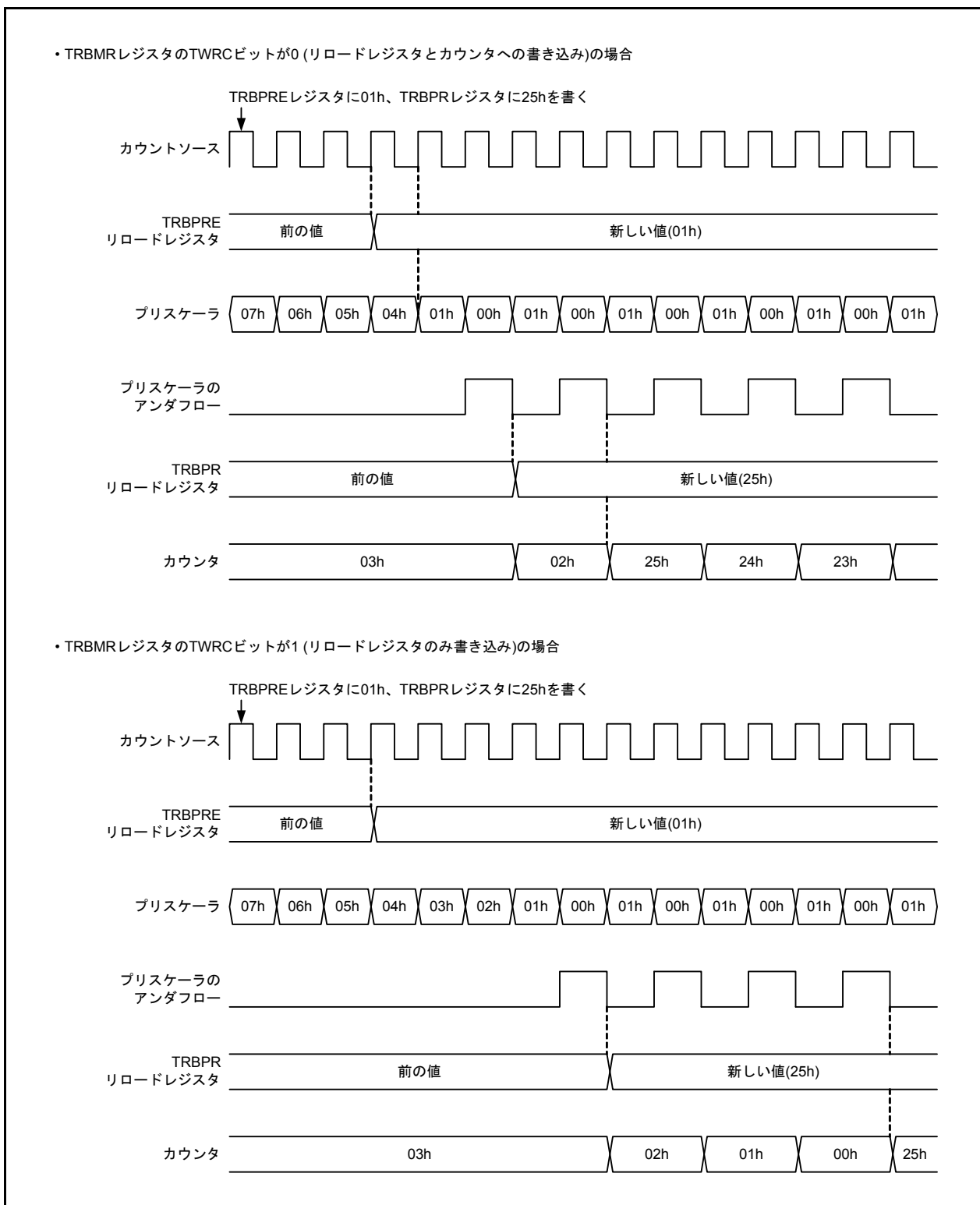


図 16.11 8ビットプリスケータ付き8ビットタイマ時のプリスケータとカウンタの動作例 (タイマモードまたはプログラマブルワンショット発生モードの例)

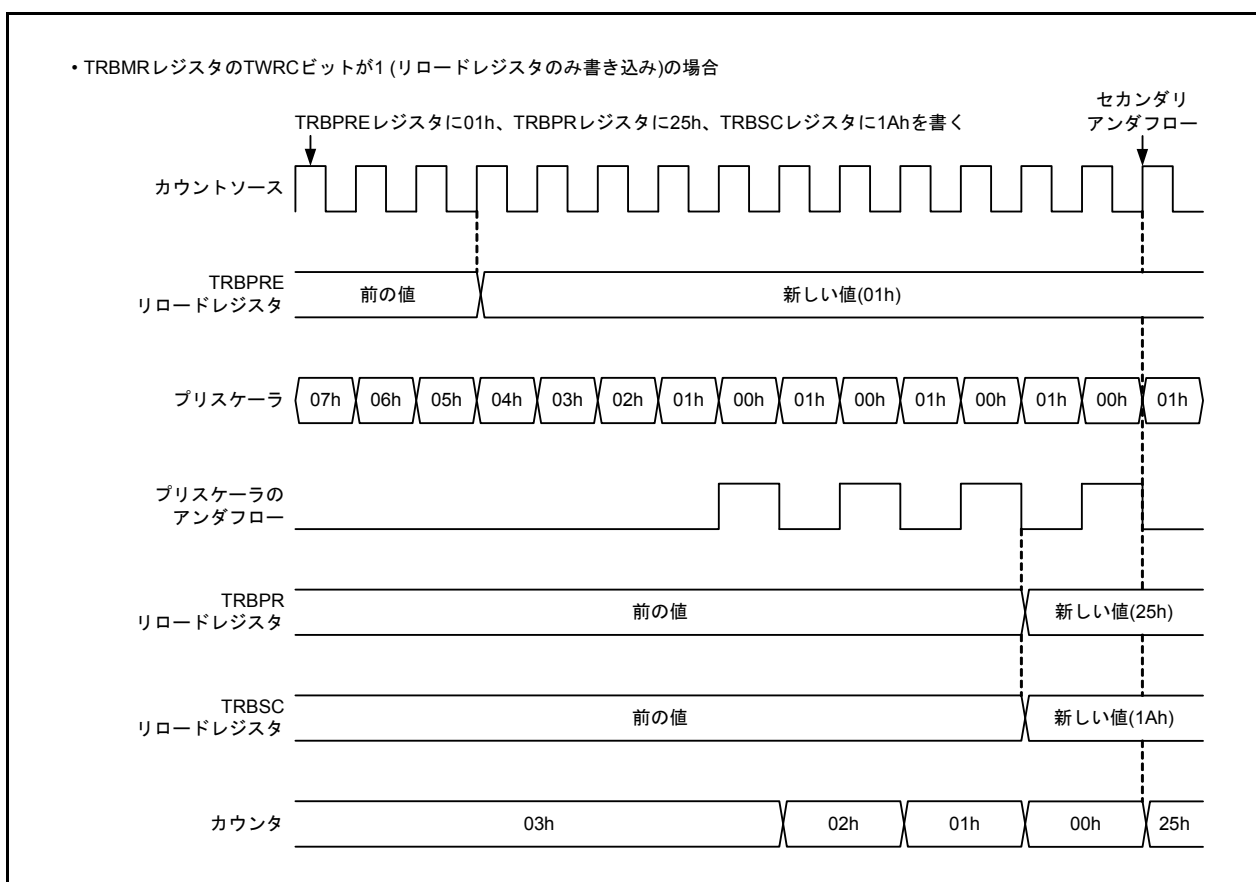


図 16.12 8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例
(プログラマブル波形発生モードまたはプログラマブルウェイトワンショット発生モードの例)

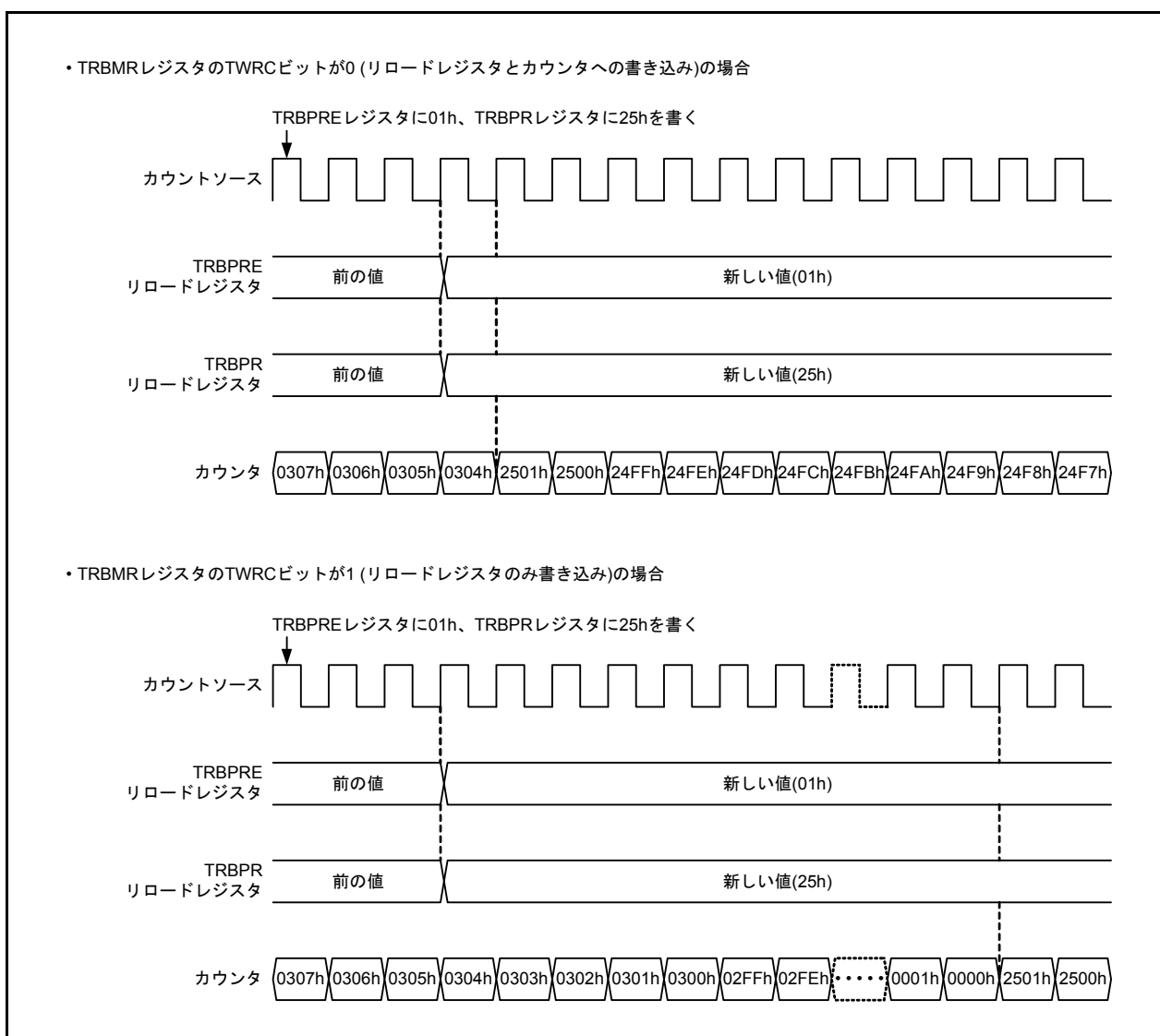


図 16.13 16ビットタイマ時のカウンタの動作例
(タイマモードまたはプログラマブルワンショット発生モードの例)

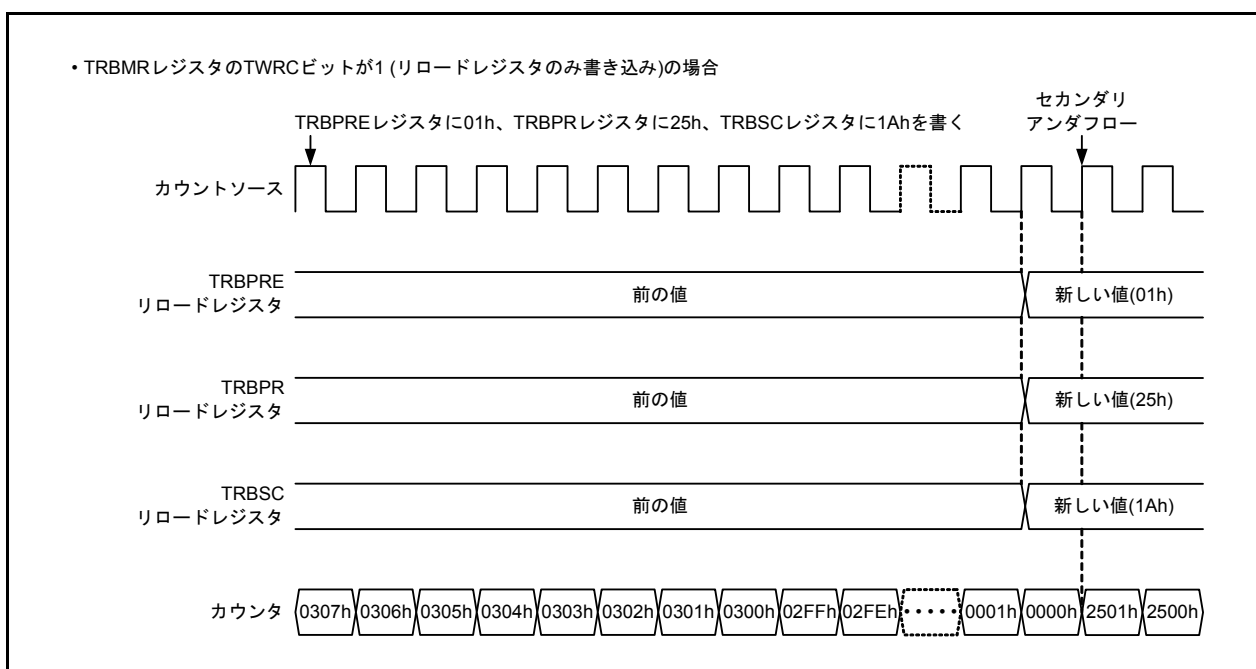


図 16.14 16ビットタイマ時のカウンタの動作例

(プログラマブル波形発生モードまたはプログラマブルウェイトワンショット発生モードの例)

16.5.3 TOCNTビットの設定と端子状態

TRBIOCレジスタのTOCNTビットによりタイマ波形出力するか、固定値を出力するかを選択できます。

表16.8に各モードでの出力データを示します。

表 16.8 各モードでの出力データ

動作モード	TRBO出力のイネーブル信号		出力データ
タイマモード	出力禁止		ハイインピーダンス
プログラマブル波形発生モード	TOCNT	0	波形出力
		1	固定値(TOPLの反転値)
プログラマブルワンショット発生モード	出力許可		波形出力
プログラマブルウェイトワンショット発生モード			

TOPL、TOCNT : TRBIOCレジスタのビット

タイマモード、プログラマブルワンショット発生モード、およびプログラマブルウェイトワンショット発生モードではTOCNTビットの設定にかかわらず、タイマモードはハイインピーダンス、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは波形出力となります。

プログラマブル波形発生モードでは、TOCNTビットを書き換えた場合、直ちに端子状態は変わらずに、下記の条件どちらかが発生したときに変更した内容が反映されます。TOCNTビットが1(固定値出力)のとき、TRBIOCレジスタのTOPLビットで設定されたプライマリ期間の値が出力されます。

[端子状態の更新条件]

- TRBCRレジスタのTSTARTビットを0(カウント停止)から1(カウント開始)に変更したとき
- TRBPRレジスタがカウンタにリロードされたとき

16.5.4 イベントリンクコントローラ(ELC)との連携による動作

プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、タイマRB2はELCとの連携によりELCからのイベント入力の立ち上がりエッジで、カウントを開始することができます。

16.6 割り込み要求

TRBIRレジスタのTRBIFビットが1(割り込み要求あり)およびTRBIEビットが1(割り込み許可)のとき、CPUに割り込み要求が発生します。タイマRB2の割り込み要求フラグは、割り込み制御でのフラグレジスタ(FLG)のCPUの割り込み許可フラグ(Iフラグ)とプロセッサ割り込み優先レベル(IPL)とICUの割り込み制御レジスタ(TRB2IC_0レジスタのIRビット、ILVL0～ILVL2ビット)と関係しています。またCPUが割り込みを受付けた場合は、割り込みシーケンス中に0になります。TRBIFビットが1になる条件は、各モードにより異なります。TRBIFビットの説明および各モードの説明を参照してください。

16.7 $\overline{\text{INT0}}$ 入力トリガ選択

プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが1(カウント許可状態)の状態、TRBOCRレジスタのTOSSTFビットに1(ワンショットカウント開始)を書き込む、または $\overline{\text{INT0}}$ 端子にトリガを入力すると、ワンショット動作を開始します。

$\overline{\text{INT0}}$ 端子からトリガ入力を使用する場合は、事前に次の設定をしてください。

- (1) PD4レジスタのPD4_5ビットを0(入力ポート)にする
- (2) INTFレジスタのINTOF0、INTOF1ビットで、 $\overline{\text{INT0}}$ 端子のデジタルフィルタのサンプリングクロックを選択する
- (3) INTENレジスタのINTOPLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合は、TRBIOCレジスタのINOSEGビットで、立ち下がりまたは立ち上がりエッジを選択する
- (4) INTENレジスタのINTOENビットを1(許可)にし、割り込みを許可する
- (5) TRBIOCレジスタのINOSTGビットを1($\overline{\text{INT0}}$ 端子ワンショットトリガ有効)にする

なお、 $\overline{\text{INT0}}$ 端子へのトリガ入力で割り込み要求が発生させる場合は、次の点に注意してください。

- INTOPLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合は、INTPOLレジスタのINTOPOLビットで立ち下がりまたは立ち上がりエッジを選択する(TRBIOCレジスタのINOSEGビット(ワンショットトリガ極性選択ビットは $\overline{\text{INT0}}$ 割り込みとは無関係))。
- TRBOCRレジスタのTOSSTFビットが1(ワンショット動作(ウェイト期間を含む))の間に、ワンショットトリガが発生しても、タイマRB2の動作に影響はないが、INTOICレジスタのIRビットは変化する
- 割り込みの詳細は「11. 割り込み」を参照

16.8 タイマRB2使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- (2) 16ビットタイマ時、TRBPRES、TRBPR レジスタを8ビット単位でアクセス(8ビットアクセス)する場合、必ず下位バイト (TRBPRES)→上位バイト (TRBPR)の順番でアクセスしてください。
- (3) プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBOCRレジスタのTOSSPビットを1(ワンショット停止)にしてカウントを停止したとき、タイマはリロードレジスタの値をリロードし、停止します。タイマ停止時にカウント値がどの程度進んでいるかを確認したい場合は、タイマ停止前にタイマ値をリードして確認してください。TRBCRレジスタのTSTARTビットを0(カウント停止)にしてカウントを停止したとき、タイマは停止し、リロードレジスタの値はリロードしません。
- (4) カウント停止中にTSTARTビットに1(カウント開始)を書いた後は、カウントソースの2、3サイクルの間、TRBCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)にアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。
カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの2、3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)にアクセスしないでください。

注1. タイマRB2関連レジスタ : TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBPR、TRBSC

- (5) TSTARTビットが0(カウント停止)のとき、TRBPRES、TRBPR、TRBSCレジスタの値を変更する場合は、最小CPUクロックの2サイクル期間待ってから、TSTARTビットを1(カウント開始)にしてください。
- (6) TSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)のとき、TRBIOC、TRBMRレジスタ、TRBIRレジスタのTRBIEビットの値を変更しないでください。
- (7) カウント中にTRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、待ち時間なくタイマRB2は停止します。
- (8) TRBOCRレジスタのTOSSTビットに1(ワンショット開始)またはTOSSPビットに1(ワンショット停止)を書くと、カウントソースの2、3サイクル後にTOSSTFビットが変化します。TOSSTビットに1を書いてからTOSSTFビットが1(ワンショット動作中(ウェイト期間を含む))になるまでの期間にTOSSPビットに1を書いた場合、内部の状態によってTOSSTFビットが0(ワンショット停止中)になる場合と、1になる場合があります。TOSSPビットに1を書いてからTOSSTFビットが0になるまでの期間にTOSSTビットに1を書いた場合も同様に、TOSSTFビットは0になる場合と、1になる場合があります。
- (9) タイマRJのアンダフロー信号をタイマRB2のカウントソースにする場合、タイマRJはタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。
- (10) TCSTFビットが1(カウント中)であることを確認した後、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込んでください。TCSTFビットが0(カウント停止)のとき、TOSSTビットに1(ワンショットカウント開始)の書き込みは無効です。
- (11) タイマRB2のプログラマブル波形発生モードおよびプログラマブルウェイトワンショットモードでは、TRBSCレジスタに書いてからTRBPRレジスタに書いてください。TRBPRレジスタへ書き込み後のセカンダリ期間のアンダフローのとき、TRBPRレジスタの値がカウンタに反映されません。TRBPRレジスタに書き込み後からセカンダリ期間のアンダフローまで、TRBSC、TRBPRレジスタを複数回書くと、最後に書き込んだデータがカウンタに反映されます。ただし、TRBSCレジスタを単独で書かないでください。TRBSC、TRBPRレジスタの両方に書き込んでください。

- (12) 停止状態でのTRBPRES、TRBPRレジスタの書き込みと読み込みの間に、NOP命令を入れてください。
- (13) カウント中(TSTARTビットが1またはTCSTFビットが1)にTRBPRES、TRBPR、TRBSCレジスタに書き込む場合は、以下の点に注意してください。
- TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBSC レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- (14) TRBCRレジスタのTSTARTビットとTRBCRレジスタのTCSTFビットがともに0(カウント停止)状態でモジュールスタンバイモードに切り替えるようにしてください。
- (15) カウント動作中にTRBCRレジスタのTSTOPビットに1(カウント強制停止)を書いてカウントを強制停止させると、TRBIRレジスタのTRBIFビットが1(割り込み要求あり)になる場合があります。カウントを再開する前に、TRBIFビットを0(割り込み要求なし)にしてください。
- (16) プログラマブル波形発生モードでTRBPRレジスタを書き換えた場合、書き換え後に迎えたセカンダリ出力期間の次のタイミングで、TRBPRES、TRBPR、TRBSCレジスタに書かないでください。
- 8ビットプリスケアラ付き8ビットタイマ：
セカンダリ出力期間が終了する前のプリスケアラのアンダフロー2周期分
 - 16ビットタイマ：
セカンダリ出力期間が終了する前のカウントソースクロックの2周期分

17. タイマRC

タイマRCはアウトプットコンペア機能、インプットキャプチャ機能を内蔵した16ビットのタイマです。外部イベントのカウントができます。タイマRCカウンタと4本のジェネラルレジスタのコンペア一致による、任意のデューティのパルス出力など、多機能タイマとして種々の応用が可能です。

17.1 概要

表17.1にタイマRCの仕様を、表17.2にタイマRC機能一覧を、図17.1にタイマRCのブロック図を、表17.3にタイマRCの端子構成を示します。

表17.1 タイマRCの仕様

項目		内容
カウントソース (カウンタ入力 クロック)	内部クロック	<ul style="list-style-type: none"> • f1、f2、f4、f8、f32 : TRCCR1レジスタのCKS2～CKS0ビットが000b～100bで選択 • fHOCO : TRCCR1レジスタのCKS2～CKS0ビットが110bで選択 • fHOCO-F : TRCCR1レジスタのCKS2～CKS0ビットが111bで選択
	外部クロック (外部イベント カウント)	TRCCLK入力 : TRCCR1レジスタのCKS2～CKS0ビットが101bで選択
パルス入出力端子		4本
ジェネラルレジスタ		4本 <ul style="list-style-type: none"> • アウトプットコンペアレジスタ、インプットキャプチャレジスタとして独立に設定可能 • アウトプットコンペアレジスタ、インプットキャプチャレジスタのバッファレジスタとしても使用可能
動作モード	タイマモード	<ul style="list-style-type: none"> • アウトプットコンペア機能 : L出力、H出力、トグル出力が可能 • インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジを検出 • カウンタクリア機能 : カウンタの周期設定が可能
	PWMモード	最大3相のPWM出力が可能
	PWM2モード	任意の周期/デューティのパルス出力が可能
割り込み要因		<ul style="list-style-type: none"> • コンペア一致/インプットキャプチャ兼用割り込み × 4 要因 • オーバフロー割り込み
その他		<ul style="list-style-type: none"> • タイマRC出力の初期値を任意に設定可能 • TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタのコンペア一致によるA/D変換トリガを設定可能 • タイマRCとイベントリンクコントローラ(ELC)またはDTCと連動可能 • INT0端子によりタイマ出力禁止制御が可能 • INT1端子によりタイマRC_0の出力波形操作イベント入力が可能

表 17.2 タイマRC機能一覧

項目	カウンタ	入出力端子			
		TRCIOA	TRCIOB	TRCIOC	TRCIOD
カウントソース	内蔵クロック : f1、f2、f4、f8、f32、fHOCO、fHOCO-F 外部クロック : TRCCLK				
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼 用レジスタ)	周期設定は TRCGRAレジ スタ	TRCGRAレジ スタ	TRCGRBレジ スタ	TRCGRCレジ スタ バッファ動作時 TRCGRAレジ スタのバッファ レジスタ	TRCGRDレジ スタ バッファ動作時 TRCGRBレジ スタのバッファ レジスタ
カウンタクリア機能	TRCGRAレジ スタのインプッ トキャプチャ/ コンペア一致	TRCGRAレジ スタのインプッ トキャプチャ/ コンペア一致	—	—	—
	TRCTRG入力	—	—	—	—
初期出力レベルの 設定機能	—	○	○	○	○
バッファ動作	—	○	○	—	—
コンペア 一致	L出力	○	○	○	○
	H出力	—	○	○	○
	トグル出力	—	○	○	○
インプットキャプチャ 機能	—	○	○	○	○
PWMモード	—	—	○	○	○
PWM2モード	—	—	○	—	—
割り込み要因	オーバフロー	コンペア一致/ インプットキャ プチャ	コンペア一致/ インプットキャ プチャ	コンペア一致/ インプットキャ プチャ	コンペア一致/ インプットキャ プチャ

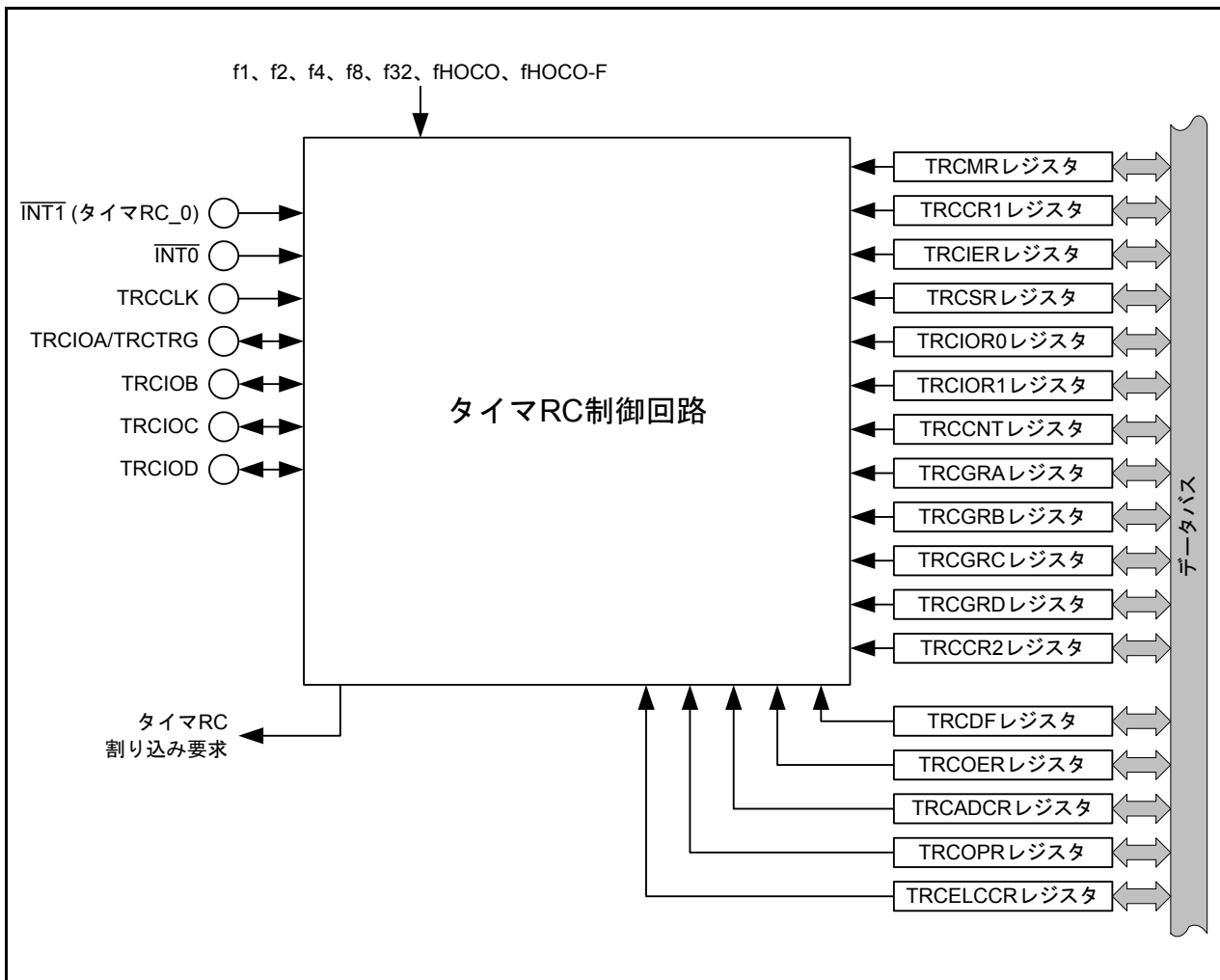


図 17.1 タイマRCのブロック図

表 17.3 タイマRCの端子構成

端子名	入出力	機能
TRCLK	入力	外部クロック入力
TRCIOA/TRCTR	入出力	TRCGRA アウトプットコンペア出力/TRCGRA インพุットキャプチャ入力/ 外部トリガ入力 (TRCTR)
TRCIOB	入出力	TRCGRB アウトプットコンペア出力/TRCGRB インพุットキャプチャ入力/ PWM出力 (PWMモード時、PWM2モード時)
TRCIOC	入出力	TRCGRC アウトプットコンペア出力/TRCGRC インพุットキャプチャ入力/ PWM出力 (PWMモード時)
TRCIOD	入出力	TRCGRD アウトプットコンペア出力/TRCGRD インพุットキャプチャ入力/ PWM出力 (PWMモード時)
INT0	入力	タイマ出力禁止制御入力
INT1	入力	タイマRC_0の出力波形操作イベント入力

17.2 レジスタの説明

表17.4にタイマRCのレジスタ構成を示します。

表17.4 タイマRCのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRC_0カウンタ	TRCCNT_0	0000h	00138h	16
タイマRC_0ジェネラルレジスタA	TRCGRA_0	FFFFh	0013Ah	16
タイマRC_0ジェネラルレジスタB	TRCGRB_0	FFFFh	0013Ch	16
タイマRC_0ジェネラルレジスタC	TRCGRC_0	FFFFh	0013Eh	16
タイマRC_0ジェネラルレジスタD	TRCGRD_0	FFFFh	00140h	16
タイマRC_0モードレジスタ	TRCMR_0	01001000b	00142h	8
タイマRC_0制御レジスタ1	TRCCR1_0	00h	00143h	8
タイマRC_0割り込み許可レジスタ	TRCIER_0	01110000b	00144h	8
タイマRC_0ステータスレジスタ	TRCSR_0	01110000b	00145h	8
タイマRC_0 I/O制御レジスタ0	TRCIOR0_0	10001000b	00146h	8
タイマRC_0 I/O制御レジスタ1	TRCIOR1_0	10001000b	00147h	8
タイマRC_0制御レジスタ2	TRCCR2_0	00011000b	00148h	8
タイマRC_0デジタルフィルタ機能選択レジスタ	TRCDF_0	00h	00149h	8
タイマRC_0出力許可レジスタ	TRCOER_0	01111111b	0014Ah	8
タイマRC_0 A/D変換トリガ制御レジスタ	TRCADCR_0	11110000b	0014Bh	8
タイマRC_0出力波形操作レジスタ	TRCOPR_0	00h	0014Ch	8
タイマRC_0 ELC連動制御レジスタ	TRCELCCR_0	00h	0014Dh	8

17.2.1 タイマRCカウンタ (TRCCNT)

アドレス 00138h (TRCCNT_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15~b0	16ビットの読み出し/書き込みが可能なアップカウンタです。オーバーフローすると、TRCSRレジスタのOVFビットが1になります。このとき、TRCIERレジスタのOVIEビットが1 (OVFビットによる割り込み要求 (FOVI)許可)の場合、割り込み要求を発生します。	0000h~FFFFh	R/W

タイマRCカウンタの入力クロックは、TRCCR1レジスタのCKS0~CKS2ビットで選択します。あらかじめTRCCR1レジスタのCCLRビットを1に設定しておくことで、TRCCNTレジスタはTRCGRAレジスタとのコンペア一致時、0000hにクリアされます。

TRCCNTレジスタを8ビット単位でアクセスしないでください。16ビット単位でアクセスしてください。

17.2.2 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0013Ah (TRCGRA_0)、0013Ch (TRCGRB_0)、0013Eh (TRCGRC_0)、00140h (TRCGRD_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	16ビットの読み出し/書き込み可能なレジスタです。	R/W

TRCGRA～TRCGRDレジスタは、アウトプットコンペアレジスタとしても、インプットキャプチャレジスタとしても使用できます。機能の切り替えは、TRCIOR0、TRCIOR1レジスタで行います。

アウトプットコンペアレジスタに設定されたジェネラルレジスタの値は、TRCCNTレジスタの値と常に比較されます。両者がコンペア一致すると、TRCSRレジスタのIMFA～IMFDビットが1になります。このとき、TRCIERレジスタのIMIEA～IMIEDビットが1の場合、割り込み要求を発生します。TRCIOR0、TRCIOR1レジスタで、コンペア一致出力を設定できます。

外部からのインプットキャプチャを検出すると、インプットキャプチャレジスタに設定されたジェネラルレジスタには、TRCCNTレジスタの値が格納され、TRCSRレジスタのIMFA～IMFDビットが1になります。このとき、TRCIERレジスタのIMIEA～IMIEDビットが1の場合、割り込み要求を発生します。TRCIOR0、TRCIOR1レジスタで、インプットキャプチャの検出エッジを選択できます。

また、TRCGRCレジスタはTRCGRAレジスタのバッファレジスタとして、TRCGRDレジスタはTRCGRBレジスタのバッファレジスタとして、それぞれ使用できます。この機能は、TRCMRレジスタのBUFEA、BUFEBビットで選択できます。

例えば、TRCGRAレジスタがアウトプットコンペアレジスタとして、TRCGRCレジスタがTRCGRAレジスタのバッファレジスタとして設定された場合、コンペア一致Aが発生するたびにバッファレジスタTRCGRCの値がTRCGRAレジスタに転送されます。

TRCGRAレジスタがインプットキャプチャレジスタとして、TRCGRCレジスタがTRCGRAレジスタのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRCCNTレジスタの値がTRCGRAレジスタに、TRCGRAレジスタの値がバッファレジスタTRCGRCに転送されます。

TRCGRA～TRCGRDレジスタを8ビット単位でアクセスしないでください。16ビット単位でアクセスしてください。TRCGRA～TRCGRDレジスタの初期値はFFFFhです。

17.2.3 タイマRCモードレジスタ (TRCMR)

アドレス 00142h (TRCMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CTS	—	BUFEB	BUFEA	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット	0 : タイマモード 1 : PWMモード	R/W
b1	PWMC	TRCIOC PWMモード選択ビット		R/W
b2	PWMD	TRCIOD PWMモード選択ビット		R/W
b3	PWM2	PWM2モード選択ビット	0 : PWM2モード(注1) 1 : タイマモードまたはPWMモード(注2)	R/W
b4	BUFEA	TRCGRCレジスタ機能選択ビット(注3)	0 : アウトプットコンペアレジスタまたはインプットキャプチャレジスタ 1 : TRCGRAレジスタのバッファレジスタ	R/W
b5	BUFEB	TRCGRDレジスタ機能選択ビット	0 : アウトプットコンペアレジスタまたはインプットキャプチャレジスタ 1 : TRCGRBレジスタのバッファレジスタ	R/W
b6	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b7	CTS	TRCCNTカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W

注1. PWM2ビットが0のとき、PWMB～PWMDビットおよびTRCIOR0、TRCIOR1レジスタの設定は無効です。

注2. PWM2ビットが1のとき、PWMB～PWMDビットおよびTRCIOR0、TRCIOR1レジスタの設定は有効です。

注3. PWM2モードでは、BUFEAビットを0(アウトプットコンペアレジスタまたはインプットキャプチャレジスタ)にしてください。

CTSビット(TRCCNTカウント開始ビット)

[0になる条件]

- 0を書いたとき
- PWM2モード時、TRCCR2レジスタのCSTPビットが1(カウントアップ停止)の状態で、コンペア一致が発生したとき

[1になる条件]

- 1を書いたとき

17.2.4 タイマRC制御レジスタ1 (TRCCR1)

アドレス 00143h (TRCCR1_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	タイマ出力レベル選択Aビット	0 : 出力値L (注1) 1 : 出力値H (注1)	R/W
b1	TOB	タイマ出力レベル選択Bビット		R/W
b2	TOC	タイマ出力レベル選択Cビット		R/W
b3	TOD	タイマ出力レベル選択Dビット		R/W
b4	CKS0	カウントソース選択ビット	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK入力の立ち上がりエッジ 1 1 0 : fHOCO(注2) 1 1 1 : fHOCO-F	R/W
b5	CKS1			R/W
b6	CKS2			R/W
b7	CCLR	TRCCNTカウンタクリア選択ビット	0 : フリーランニングカウンタ 1 : インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア	R/W

注1. TOA～TODビットで設定した出力値は、変更した時点で反映されます。なお、TRCMRレジスタのCTSビットが0(カウント停止)ときに設定してください。

注2. fHOCOを選択する場合は、オンチップオシレータが動作している状態で設定してください。また、カウントソースの切り替えは、カウンタが停止した状態で行ってください。

TOAビット(タイマ出力レベル選択Aビット)

最初のコンペア一致A (TRCCNTレジスタとTRCGRAレジスタの値が一致)が発生するまでの、TRCIOA端子の出力値を設定します。また、PWMモードではTRCIOA端子の出力レベルを制御します。

TOBビット(タイマ出力レベル選択Bビット)

最初のコンペア一致B (TRCCNTレジスタとTRCGRBレジスタの値が一致)が発生するまでの、TRCIOB端子の出力値を設定します。また、PWMモードおよびPWM2モードではTRCIOB端子の出力レベルを制御します。

TOCビット(タイマ出力レベル選択Cビット)

最初のコンペア一致C (TRCCNTレジスタとTRCGRCレジスタの値が一致)が発生するまでの、TRCIOC端子の出力値を設定します。また、PWMモードではTRCIOC端子の出力レベルを制御します。

TODビット(タイマ出力レベル選択Dビット)

最初のコンペア一致D (TRCCNTレジスタとTRCGRDレジスタの値が一致)が発生するまでの、TRCIOD端子の出力値を設定します。また、PWMモードではTRCIOD端子の出力レベルを制御します。

17.2.5 タイマRC割り込み許可レジスタ (TRCIER)

アドレス 00144h (TRCIER_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致A割り込み許可ビット	0: TRCSRレジスタのIMFAビットによる割り込み要求禁止 1: TRCSRレジスタのIMFAビットによる割り込み要求許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致B割り込み許可ビット	0: TRCSRレジスタのIMFBビットによる割り込み要求禁止 1: TRCSRレジスタのIMFBビットによる割り込み要求許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致C割り込み許可ビット	0: TRCSRレジスタのIMFCビットによる割り込み要求禁止 1: TRCSRレジスタのIMFCビットによる割り込み要求許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致D割り込み許可ビット	0: TRCSRレジスタのIMFDビットによる割り込み要求禁止 1: TRCSRレジスタのIMFDビットによる割り込み要求許可	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	OVIE	タイマオーバフロー割り込み許可ビット	0: TRCSRレジスタのOVFビットによる割り込み要求禁止 1: TRCSRレジスタのOVFビットによる割り込み要求許可	R/W

17.2.6 タイマRCステータスレジスタ (TRCSR)

アドレス 00145h (TRCSR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致 Aフラグ	[0になる条件] ・1を読んだ後、0を書いたとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致 Bフラグ	・IMFi割り込み(i = A~D)でDTCを起動した場合、DTCのアクノリッジで0になる	R/W
b2	IMFC	インプットキャプチャ/コンペアー一致 Cフラグ	[1になる条件] ・「表 17.5 各フラグが1になる条件」参照	R/W
b3	IMFD	インプットキャプチャ/コンペアー一致 Dフラグ		R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	OVF	タイマオーバフローフラグ	[0になる条件] ・1を読んだ後、0を書いたとき [1になる条件] ・「表 17.5 各フラグが1になる条件」参照	R/W

表 17.5 各フラグが1になる条件

シンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプットコンペアー機能		
IMFA	TRCIOA端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRAレジスタへ転送されたとき	TRCCNTレジスタとTRCGRAレジスタの値が一致(コンペアー一致 A)したとき(注2)		
IMFB	TRCIOB端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRBレジスタへ転送されたとき	TRCCNTレジスタとTRCGRBレジスタの値が一致(コンペアー一致 B)したとき		
IMFC	TRCIOC端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRCレジスタへ転送されたとき	TRCCNTレジスタとTRCGRCレジスタの値が一致(コンペアー一致 C)したとき		
IMFD	TRCIOD端子の入力エッジ(注1)でTRCCNTレジスタの値がTRCGRDレジスタへ転送されたとき	TRCCNTレジスタとTRCGRDレジスタの値が一致(コンペアー一致 D)したとき		
OVF	TRCCNTレジスタがFFFFhから0000hにオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOi0~IOi1ビット(i = A~D)で選択したエッジです。ただし、TRCIOR0レジスタのIOA2、IOB2ビット、TRCIOR1レジスタのIOC2、IOD2ビットはすべて1(インプットキャプチャ機能)にしてください。

注2. PWMモードはTRCMRレジスタのPWMB、PWMC、PWMDビットが1のとき

17.2.7 タイマRC I/O制御レジスタ0 (TRCIOR0)

アドレス 00146h (TRCIOR0_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御A0ビット	[IOA2 = 0 (アウトプットコンペアレジスタ)]	R/W
b1	IOA1	TRCGRA制御A1ビット	b1 b0 0 0 : コンペア一致Aによる端子出力禁止 0 1 : コンペア一致AでTRCIOA端子へL出力 1 0 : コンペア一致AでTRCIOA端子へH出力 1 1 : コンペア一致AでTRCIOA端子へトグル出力 [IOA2 = 1 (インプットキャプチャレジスタ)] b1 b0 0 0 : TRCIOA端子の立ち上がりエッジ 0 1 : TRCIOA端子の立ち下がりエッジ 上記以外 : TRCIOA端子の両エッジ	R/W
b2	IOA2	TRCGRA制御A2ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切り替え	0 : fOCO128をインプットキャプチャ 1 : TRCIOA端子入力をインプットキャプチャ	R/W
b4	IOB0	TRCGRB制御B0ビット	[IOB2 = 0 (アウトプットコンペアレジスタ)]	R/W
b5	IOB1	TRCGRB制御B1ビット	b5 b4 0 0 : コンペア一致Bによる端子出力禁止 0 1 : コンペア一致BでTRCIOB端子へL出力 1 0 : コンペア一致BでTRCIOB端子へH出力 1 1 : コンペア一致BでTRCIOB端子へトグル出力 [IOB2 = 1 (インプットキャプチャレジスタ)] b5 b4 0 0 : TRCIOB端子の立ち上がりエッジ 0 1 : TRCIOB端子の立ち下がりエッジ 上記以外 : TRCIOB端子の両エッジ	R/W
b6	IOB2	TRCGRB制御B2ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—

注1. バッファ動作時、TRCGRAとTRCGRCレジスタ、TRCGRBとTRCGRDレジスタがペアとなります。IOA2ビットとTRCIOR1レジスタのIOC2ビット、IOB2ビットとTRCIOR1レジスタのIOD2ビットは、同じ値を設定してください。

注2. インプットキャプチャ機能時、タイマカウント動作中にTRCIOR0レジスタを書き換えしないでください。

PWMモードおよびPWM2モードでは、TRCIOR0レジスタの設定は無効になります。書き込んだ値は保持されますが、制御には反映されません。

17.2.8 タイマRC I/O制御レジスタ1 (TRCIOR1)

アドレス 00147h (TRCIOR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御C0ビット	[IOC3 = 0 (TRCIOA端子のジェネラルレジスタ)]	R/W
b1	IOC1	TRCGRC制御C1ビット	b1 b0 0 0 : コンペア一致Cによる端子出力禁止 0 1 : コンペア一致CでTRCIOA端子へL出力 1 0 : コンペア一致CでTRCIOA端子へH出力 1 1 : コンペア一致CでTRCIOA端子へトグル出力 [IOC2 = 0、IOC3 = 1 (アウトプットコンペアレジスタ)] b1 b0 0 0 : コンペア一致Cによる端子出力禁止 0 1 : コンペア一致CでTRCIOC端子へL出力 1 0 : コンペア一致CでTRCIOC端子へH出力 1 1 : コンペア一致CでTRCIOC端子へトグル出力 [IOC2 = 1、IOC3 = 1 (インプットキャプチャレジスタ)] b1 b0 0 0 : TRCIOC端子の立ち上がりエッジ 0 1 : TRCIOC端子の立ち下がりエッジ 上記以外 : TRCIOC端子の両エッジ	R/W
b2	IOC2	TRCGRC制御C2ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b3	IOC3	TRCGRC制御C3ビット	0 : TRCIOA端子のジェネラルレジスタとして使用 1 : TRCIOC端子のジェネラルレジスタとして使用	R/W
b4	IOD0	TRCGRD制御D0ビット	[IOD3 = 0 (TRCIOB端子のジェネラルレジスタ)]	R/W
b5	IOD1	TRCGRD制御D1ビット	b5 b4 0 0 : コンペア一致Dによる端子出力禁止 0 1 : コンペア一致DでTRCIOB端子へL出力 1 0 : コンペア一致DでTRCIOB端子へH出力 1 1 : コンペア一致DでTRCIOB端子へトグル出力 [IOD2 = 0、IOD3 = 1 (アウトプットコンペアレジスタ)] b5 b4 0 0 : コンペア一致Dによる端子出力禁止 0 1 : コンペア一致DでTRCIOD端子へL出力 1 0 : コンペア一致DでTRCIOD端子へH出力 1 1 : コンペア一致DでTRCIOD端子へトグル出力 [IOD2 = 1、IOD3 = 1 (インプットキャプチャレジスタ)] b5 b4 0 0 : TRCIOD端子の立ち上がりエッジ 0 1 : TRCIOD端子の立ち下がりエッジ 上記以外 : TRCIOD端子の両エッジ	R/W
b6	IOD2	TRCGRD制御D2ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b7	IOD3	TRCGRD制御D3ビット	0 : TRCIOB端子のジェネラルレジスタとして使用 1 : TRCIOD端子のジェネラルレジスタとして使用	R/W

注1. バッファ動作時、TRCGRAとTRCGRCレジスタ、TRCGRBとTRCGRDレジスタがペアとなります。IOC2ビットとTRCIOR0レジスタのIOA2ビット、IOD2ビットとTRCIOR0レジスタのIOB2ビットは、同じ値を設定してください。

注2. インプットキャプチャ機能時、タイマカウント動作中にTRCIOR1レジスタを書き換えしないでください。

PWMモードおよびPWM2モードでは、TRCIOR1レジスタの設定は無効になります。書き込んだ値は保持されますが、制御には反映されません。

17.2.9 タイマRC制御レジスタ2 (TRCCR2)

アドレス 00148h (TRCCR2_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSTP	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	TRCIOB PWMモード出力レベル制御ビット	0 : 出力レベルL有効	R/W
b1	POLC	TRCIOC PWMモード出力レベル制御ビット	1 : 出力レベルH有効	R/W
b2	POLD	TRCIOD PWMモード出力レベル制御ビット		R/W
b3	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b4	—			
b5	CSTP	カウント停止ビット	0 : カウントアップ継続 1 : カウントアップ停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット	b7 b6 0 0 : TRCTRGの入力禁止 0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 立ち上がり/立ち下がり両エッジ	R/W
b7	TCEG1			R/W

CSTPビット(カウント停止ビット)

コンペア一致AでTRCCNTレジスタのカウントアップを継続するか、停止するかを設定します。本機能はすべての動作モードで有効です。

コンペア一致でカウント停止した後、カウントを再開する場合は、TRCMRレジスタのCTSビットを1(カウント開始)にしてください。

TCEG0、TCEG1ビット(TRCTRG入力エッジ選択ビット)

TRCTRG入力のエッジを選択します。TRCMRレジスタのPWM2ビットを0(PWM2モード)にしたときのみ有効です。

17.2.10 タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 00149h (TRCDF_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA デジタルフィルタ機能ビット	0 : デジタルフィルタ機能なし 1 : デジタルフィルタ機能あり	R/W
b1	DFB	TRCIOB デジタルフィルタ機能ビット		R/W
b2	DFC	TRCIOC デジタルフィルタ機能ビット		R/W
b3	DFD	TRCIOD デジタルフィルタ機能ビット		R/W
b4	DFTRG	TRCTRG デジタルフィルタ機能ビット		R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	DFCK0	デジタルフィルタクロック選択ビット	b7 b6 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : TRCCR1 レジスタのCSK0～CSK2 ビットで選択したクロック	R/W
b7	DFCK1			R/W

TRCDFレジスタの設定は、次の場合に有効です。

- TRCIOR0、TRCIOR1 レジスタで、TRCIOA～TRCIOD端子を入力に設定したとき
- TRCCR2 レジスタのTCEG0、TCEG1 ビットで01b (立ち上がりエッジ)、10b (立ち下がりエッジ)、11b (立ち上がり/立ち下がり両エッジ)を選択したとき

17.2.11 タイマRC出力許可レジスタ (TRCOER)

アドレス 0014Ah (TRCOER_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット	[TRCOPRレジスタのOPEビットが0 (出力波形操作無効)のとき]	R/W
b1	EB	TRCIOB出力禁止ビット	0 : TRCMR、TRCIOR0レジスタの設定に従い、TRCIOi端子 (i = A、B)の出力は許可 1 : TRCMR、TRCIOR0レジスタの設定に関わらず、TRCIOi端子の出力は禁止(ハイインピーダンス) [TRCOPRレジスタのOPEビットが1 (出力波形操作有効)のとき] 0 : TRCMR、TRCIOR0レジスタの設定に従い、TRCIOi端子の出力は許可 1 : TRCIOi端子はTRCOPRレジスタの設定により固定レベル出力	R/W
b2	EC	TRCIOC出力禁止ビット	[TRCOPRレジスタのOPEビットが0 (出力波形操作無効)のとき]	R/W
b3	ED	TRCIOD出力禁止ビット	0 : TRCMR、TRCIOR1レジスタの設定に従い、TRCIOk端子 (k = C、D)の出力は許可 1 : TRCMR、TRCIOR1レジスタの設定に関わらず、TRCIOk端子の出力は禁止(ハイインピーダンス) [TRCOPRレジスタのOPEビットが1 (出力波形操作有効)のとき] 0 : TRCMR、TRCIOR1レジスタの設定に従い、TRCIOk端子 (k = C、D)の出力は許可 1 : TRCIOk端子はTRCOPRレジスタの設定により固定レベル出力	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	PTO	タイマ出力禁止ビット	[TRCOPRレジスタのOPEビットが0 (出力波形操作無効)のとき] 0 : タイマ出力禁止無効 1 : タイマ出力禁止有効(INT0端子にLを入力すると、EA～EDビットが1 (出力禁止)になる) INT0は「11. 割り込み」を参照 [TRCOPRレジスタのOPEビットが1 (出力波形操作有効)のとき] PTOビットの機能が無効。読み書きは可能。	R/W

17.2.12 タイマRC A/D変換トリガ制御レジスタ (TRCADCR)

アドレス 0014Bh (TRCADCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	TRCGRA A/D変換開始トリガ許可ビット	0: コンペア一致A時にA/D変換開始トリガ発生しない 1: コンペア一致A時にA/D変換開始トリガ発生する	R/W
b1	ADTRGBE	TRCGRB A/D変換開始トリガ許可ビット	0: コンペア一致B時にA/D変換開始トリガ発生しない 1: コンペア一致B時にA/D変換開始トリガ発生する	R/W
b2	ADTRGCE	TRCGRC A/D変換開始トリガ許可ビット	0: コンペア一致C時にA/D変換開始トリガ発生しない 1: コンペア一致C時にA/D変換開始トリガ発生する	R/W
b3	ADTRGDE	TRCGRD A/D変換開始トリガ許可ビット	0: コンペア一致D時にA/D変換開始トリガ発生しない 1: コンペア一致D時にA/D変換開始トリガ発生する	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			

TRCADCRレジスタでA/D変換開始トリガソースを選択します。対応するコンペア一致でA/D変換開始トリガを発生します。

17.2.13 タイマRC出力波形操作レジスタ (TRCOPR)

アドレス 0014Ch (TRCOPR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	OPE	RESTATS	OPOL1	OPOL0	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	OPOL0	波形出力操作期間出力レベル選択ビット	^{b3 b2} 0 0 : TRCIOA、TRCIOB、TRCIOC、TRCIOD端子を外部でプルダウンに設定している場合、各端子の出力レベルがハイインピーダンスに固定 0 1 : TRCIOA、TRCIOB、TRCIOC、TRCIOD端子を外部でプルアップに設定している場合、各端子の出力レベルがハイインピーダンスに固定 1 0 : 波形出力操作期間はTRCIOA、TRCIOB、TRCIOC、TRCIOD端子の出力レベルがLに固定 1 1 : 波形出力操作期間はTRCIOA、TRCIOB、TRCIOC、TRCIOD端子の出力レベルがHに固定	R/W
b3	OPOL1			R/W
b4	RESTATS	出力再開方式選択ビット(注2)	0 : ソフトウェアで出力波形操作中止、出力再開(注3) 1 : 自動出力波形操作中止、自動出力再開(注4)	R/W
b5	OPE	波形出力操作許可ビット(注5)	0 : 波形出力操作無効 1 : 波形出力操作有効	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

- 注1. OPEビットが1(波形出力操作有効)のとき、波形出力操作イベントを入力すると、TRCOERレジスタのEA～EDビットは1(TRCOPRレジスタの設定により固定レベル出力)になります。
- 注2. OPEビットが0(波形出力操作無効)のとき、TRCOERレジスタのEA～EDビットは、このビットの設定の影響を受けません。
- 注3. OPEビットが1またはRESTATSビットが0(ソフトウェアで出力波形操作中止、出力再開)のとき、ソフトウェアでTRCOERレジスタのEA～EDビットを0にします。波形出力操作イベントを解除しても、EA～EDビットは自動的に0になりません。
- 注4. OPEビットが1またはRESTATSビットが1(自動出力波形操作中止、自動出力再開)のとき、波形出力操作イベントを解除すると、EA～EDビットが自動的に0になります。
- 注5. OPEビットが0のとき、TRCOERレジスタの設定だけでタイマRCの波形出力を操作します。OPEビットが1のとき、TRCOERレジスタのPTOビットの設定にかかわらず、TRCOPRレジスタの設定でタイマRCの波形出力を操作します。TRCOERレジスタのEA～EDビットを、波形出力操作のフラグとして使用します。波形出力操作イベントを入力すると、EA～EDビットが1になります。

カウント動作中は、TRCOPRレジスタを書き換えしないでください。

17.2.14 タイマRC ELC連動制御レジスタ (TRCELCCR)

アドレス 0014Dh (TRCELCCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	ELCICE	ELCP2TE	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	ELCP2TE	PWM2モード時の入カトリガ 選択ビット	0 : TRCTRG端子入力 1 : ELCからのイベント入力	R/W
b2	ELCICE	TRCGRDのインプットキャプ チャ信号選択ビット	0 : TRCIOD端子入力 1 : ELCからのイベント入力	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b4	—			
b5	—			
b6	—			
b7	—			

ELCP2TEビット(PWM2モード時の入カトリガ選択ビット)

- ELCP2TEビットが1のとき
TRCCR2レジスタのTCEG0、TCEG1ビットの設定に関わらず、ELCからのイベント入力の立ち上がりエッジがPWM2モードの入カトリガになります。
- ELCP2TEビットが0のとき
TRCCR2レジスタのTCEG0、TCEG1ビットの設定に従い、TRCTRG入力がPWM2モードの入カトリガになります。

ELCICEビット(TRCGRDのインプットキャプチャ信号選択ビット)

- TRCIOR1レジスタのIOD3、IOD2ビットが1、ELCICEビットが1のとき
ELCからイベント入力の立ち上がりエッジをインプットキャプチャします。
- ELCICEビットが0のとき
TRCIOD端子入力の有効エッジがTRCIOR1レジスタの設定で決まります。

17.3 動作説明

表17.6にタイマRCの動作モードを示します。

表17.6 タイマRCの動作モード

項目	内容
タイマモード	TRCIOR0レジスタのIOA0～IOA2、IOB0～IOB2ビットの設定、TRCIOR1レジスタのIOC0～IOC3、IOD0～IOD3ビットの設定をすることで、アウトプットコンペア機能とインプットキャプチャ機能が動作する
PWMモード	TRCMRレジスタのPWMB～PWMDビットの設定をすることで、PWMモードが動作する
PWM2モード	TRCMRレジスタのPWM2ビットの設定をすることで、PWM2モードが動作する

表17.7～表17.10にTRCIOA～TRCIOD端子設定を示します。TRCIOA～TRCIOD端子の配置は「14. I/Oポート」を参照してください。

表17.7 TRCIOA端子設定

レジスタ ビット	TRCOER	TRCMR	TRCIOR0			機能
	EA	PWM2	IOA2	IOA1	IOA0	
設定値	0	1	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
				1	×	
	×	1	1	×	×	タイマモード(インプットキャプチャ機能)
上記以外						I/Oポート

×: 0または1

表17.8 TRCIOB端子設定

レジスタ ビット	TRCOER	TRCMR		TRCIOR0			機能
	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	×	×	×	×	PWM2モード波形出力
	0	1	1	×	×	×	PWMモード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
					1	×	
	×	1	0	1	×	×	タイマモード(インプットキャプチャ機能)
上記以外							I/Oポート

×: 0または1

表17.9 TRCIOC端子設定

レジスタ ビット	TRCOER	TRCMR		TRCIOR1			機能
	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	×	×	×	PWMモード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
					1	×	
	×	1	0	1	×	×	タイマモード(インプットキャプチャ機能)
PWM2 = 1および上記以外							I/Oポート

×: 0または1

表17.10 TRCIOD端子設定

レジスタ ビット	TRCOER	TRCMR		TRCIOR1			機能
	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	1	1	×	×	×	PWMモード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
					1	×	
	×	1	0	1	×	×	タイマモード(インプットキャプチャ機能)
PWM2 = 1および上記以外							I/Oポート

×: 0または1

17.3.1 タイマモード

TRCCNTレジスタは、フリーランニングカウンタ動作または周期カウンタ動作します。TRCCNTレジスタはリセット直後、フリーランニングカウンタに設定されます。TRCMRレジスタのCTSビットを1(カウント開始)にセットすると、カウント動作を開始します。TRCCNTレジスタがFFFFhから0000hにオーバーフローすると、TRCSRレジスタのOVFビットが1になり、TRCIERレジスタのOVIEビットが1(OVFビットによる割り込み要求(FOVI)許可)であれば、割り込み要求が発生します。

図17.2にフリーランニングカウンタの動作例を示します。

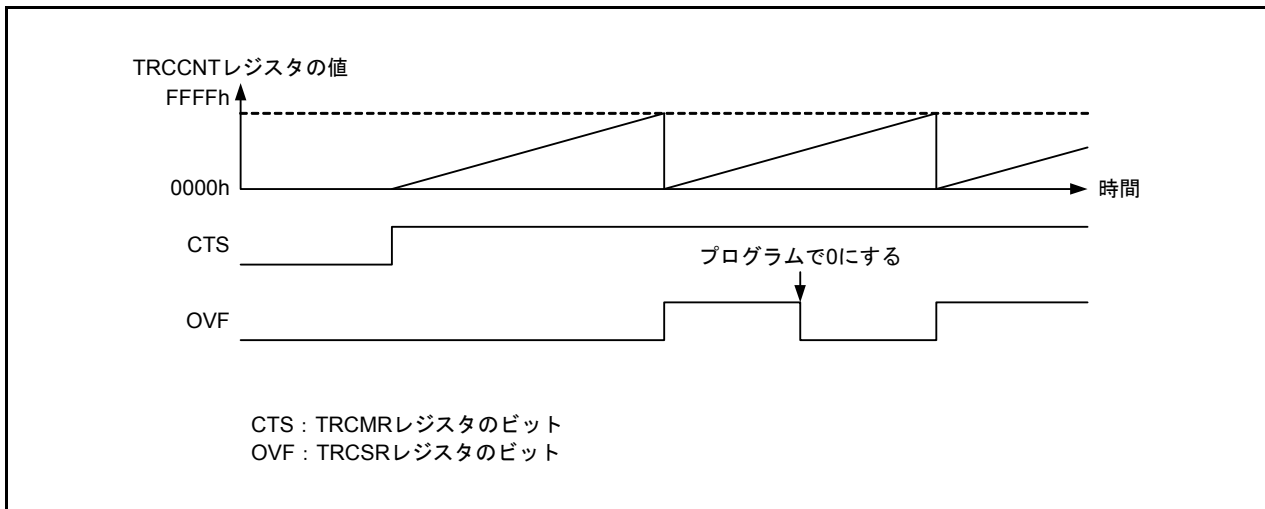


図17.2 フリーランニングカウンタの動作例

周期設定用のTRCGRAレジスタに任意の値を設定し、TRCCR1レジスタのCCLRビットを1にすると、周期カウンタ動作します。カウント値がTRCGRAレジスタと一致するとTRCCNTレジスタは0000hになり、TRCSRレジスタのIMFAビットが1になります。このとき、対応するTRCIERレジスタのIMIEAビットが1(IMFAビットによる割り込み要求許可)であれば、割り込み要求が発生します。TRCCNTレジスタは、0000hからアップカウンタ動作を続けます。

図17.3に周期カウンタの動作例を示します。

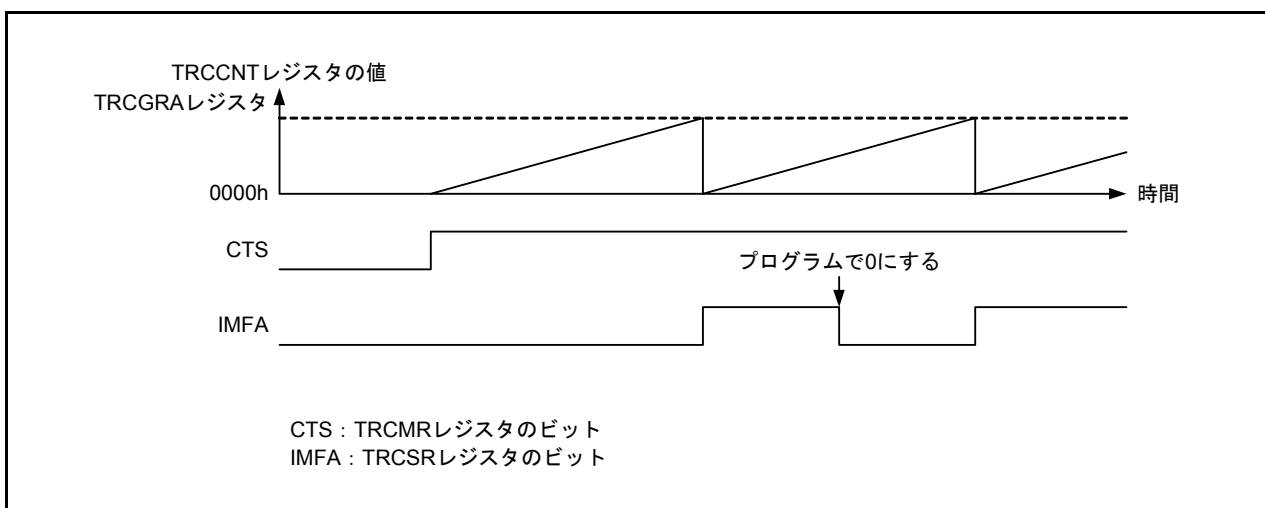


図17.3 周期カウンタの動作例

ジェネラルレジスタをアウトプットコンペアレジスタに設定することで、コンペアー一致A～DによってTRCIOA、TRCIOB、TRCIOC、TRCIOD端子からL出力、H出力またはトグル出力をします。

TRCIOA～TRCIOD端子の出力レベルは、TRCCR1レジスタのTOA～TODビットにより初期出力レベルを、TRCIOR0レジスタのIOA0、IOA1、IOB0、IOB1ビットとTRCIOR1レジスタのIOC0、IOC1、IOD0、IOD1ビットによりアクティブレベルやトグル出力を設定することができます。

図17.4にL出力、H出力の動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、コンペアー一致BでL出力、コンペアー一致AでH出力をします。設定したレベルと端子のレベルが同じ場合は、端子のレベルは変化しません。

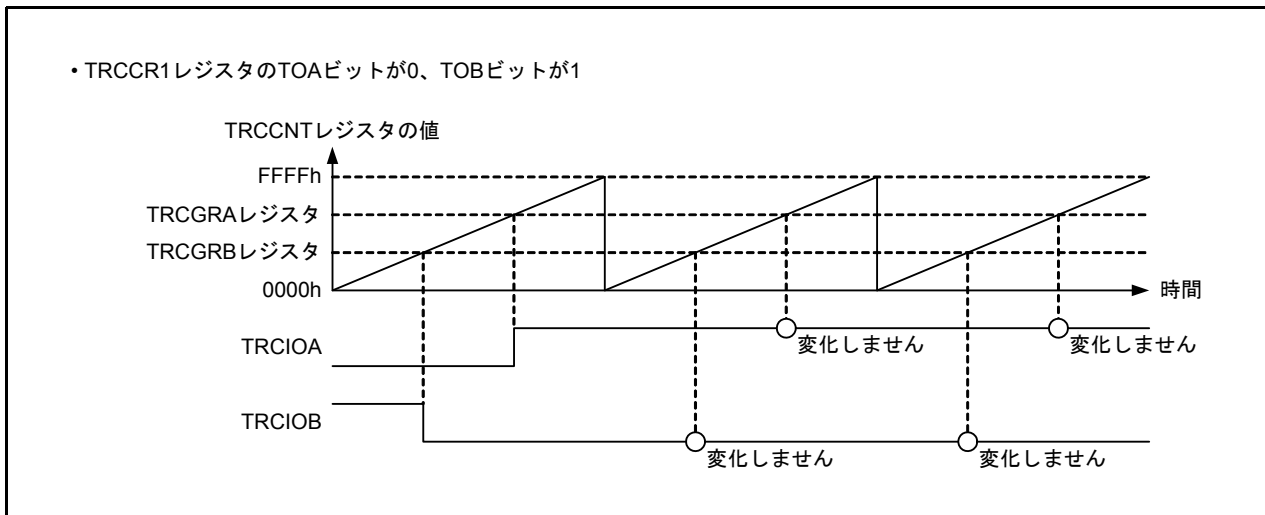


図17.4 L出力、H出力の動作例

図17.5にフリーランニングカウント時トグル出力の動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、コンペアー一致A、Bでトグル出力をします。

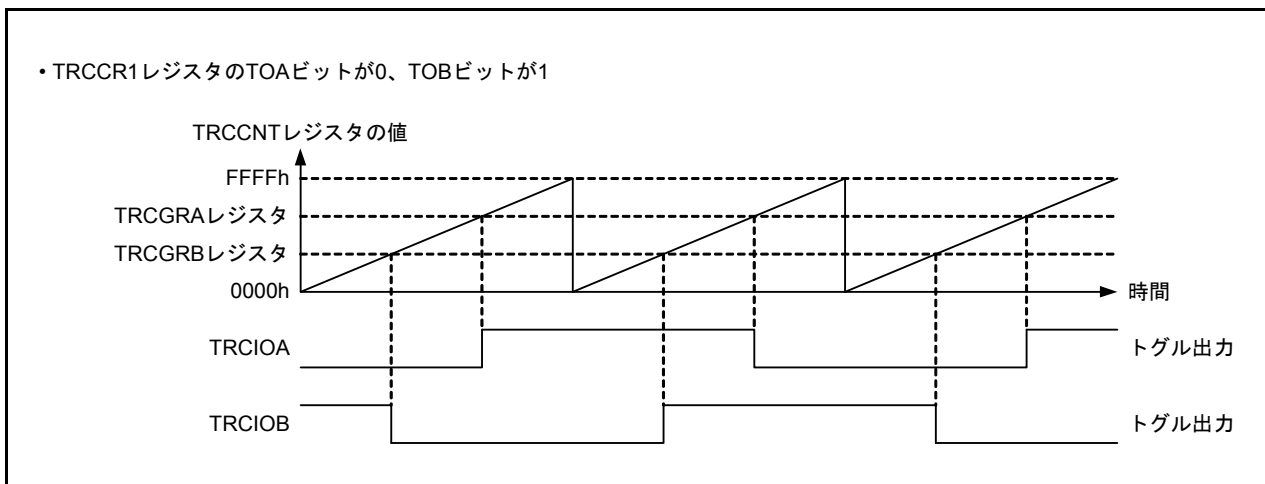


図17.5 フリーランニングカウント時トグル出力の動作例

図17.6に周期カウント時トグル出力の動作例を示します。TRCCNTレジスタを周期カウント動作させ、コンペアー一致A、Bでトグル出力します。

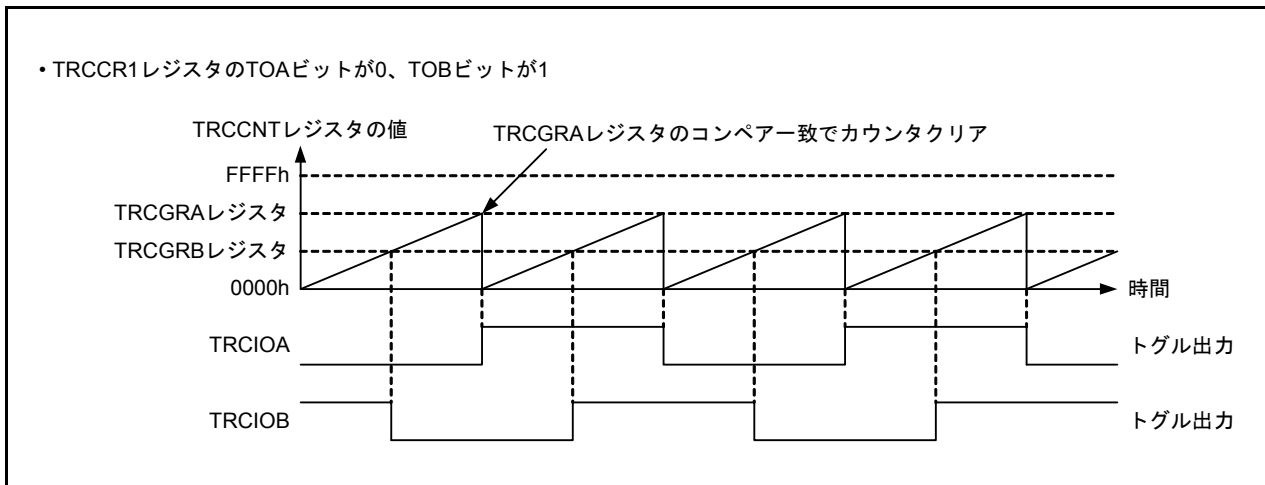


図17.6 周期カウント時トグル出力の動作例

インプットキャプチャ機能でパルス幅や周期の測定ができます。

ジェネラルレジスタをインプットキャプチャレジスタに設定することで、TRCIOA～TRCIOD端子の入力エッジを検出したときのTRCCNTレジスタの値を、TRCGRA～TRCGRDレジスタに転送します。インプットキャプチャ機能を使用する場合、TRCIOA～TRCIOD端子の入力エッジは、TRCIOR0レジスタのIOA0、IOA1、IOB0、IOB1ビットとTRCIOR1レジスタのIOC0、IOC1、IOD0、IOD1ビットの対応するビットにより、立上り/立下り/両エッジのいずれかに設定することができます。

インプットキャプチャ機能を利用することで、TRCGRA～TRCGRDレジスタに格納された値から周期またはパルス幅の測定結果を求めることができます。

図17.7にインプットキャプチャの動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、TRCIOA端子のインプットキャプチャ入力を両エッジに、TRCIOB端子のインプットキャプチャ入力を立ち下がりエッジに選択します。

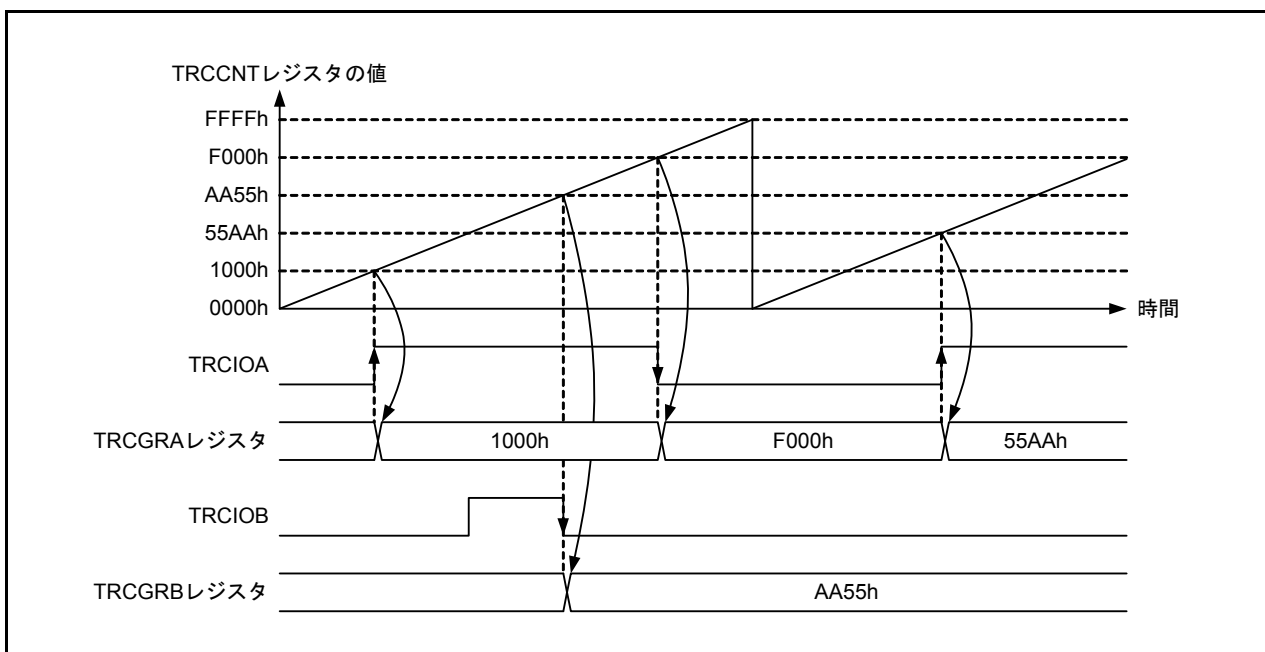


図17.7 インプットキャプチャの動作例

図 17.8 にインプットキャプチャ時のバッファ動作例を示します。TRCGRA レジスタをインプットキャプチャレジスタに設定し、TRCGRC レジスタを TRCGRA レジスタのバッファレジスタとした場合です。TRCCNT レジスタはフリーランニングカウント動作、TRCIOA 端子のインプットキャプチャ入力は立ち上がりとし、立ち下がりを選択した例です。バッファ動作が設定されているため、インプットキャプチャ A で TRCCNT レジスタの値が TRCGRA レジスタに格納されると同時に、それまで TRCGRA レジスタに格納されていた値が TRCGRC レジスタに転送されます。

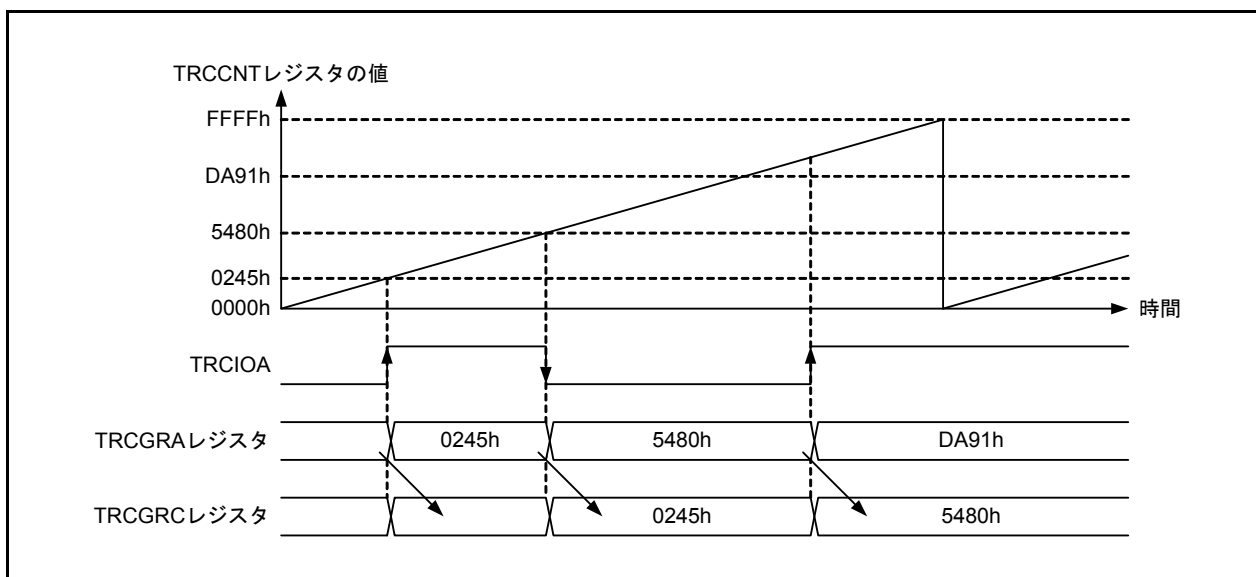


図 17.8 インプットキャプチャ時のバッファ動作例

17.3.2 PWMモード

PWMモードはTRCGRAレジスタを周期レジスタ、TRCGRB、TRCGRC、TRCGRDレジスタをデューティレジスタとして設定し、TRCIOB、TRCIOC、TRCIOD出力端子よりそれぞれPWM波形を出力します。バッファ機能未使用時は最大3本のPWM出力が可能です。PWMモードでは、ジェネラルレジスタは自動的にアウトプットコンペアレジスタとして機能します。対応する端子の初期出力レベルは、TRCCR1レジスタのTOA～TODビット、TRCCR2レジスタのPOLB～POLDビットの設定値に従います。

TRCIOB、TRCIOC、TRCIOD出力で、コンペア一致までの初期値に対してコンペア一致のときのアクティブ極性の設定値が同じ場合、実際コンペア一致出力はしていますが、出力値が変化しないため初期値を保持しているような出力になります。

表17.11にTRCIOB端子の初期出力レベルを示します。TRCIOC端子、TRCIOD端子の初期出力レベルについても、同様です。

表17.11 TRCIOB端子の初期出力レベル

TRCCR1レジスタのTOBビット	TRCCR2レジスタのPOLBビット	初期出力レベル
0	0	1
	1	0
1	0	0
	1	1

出力レベルは、POLB～POLDビットで決まります。POLBビットが0(出力レベルL有効)のときにTRCIOB出力端子は、コンペア一致BでL出力に、コンペア一致AでH出力になります。POLBビットが1(出力レベルH有効)のときにTRCIOB出力端子は、コンペア一致BでH出力に、コンペア一致AでL出力になります。

TRCIOR0、TRCIOR1レジスタの設定値より、PWMモードの設定値が優先されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペア一致が発生しても出力値は変化しません。

図17.9にPWMモードの動作例を示します。

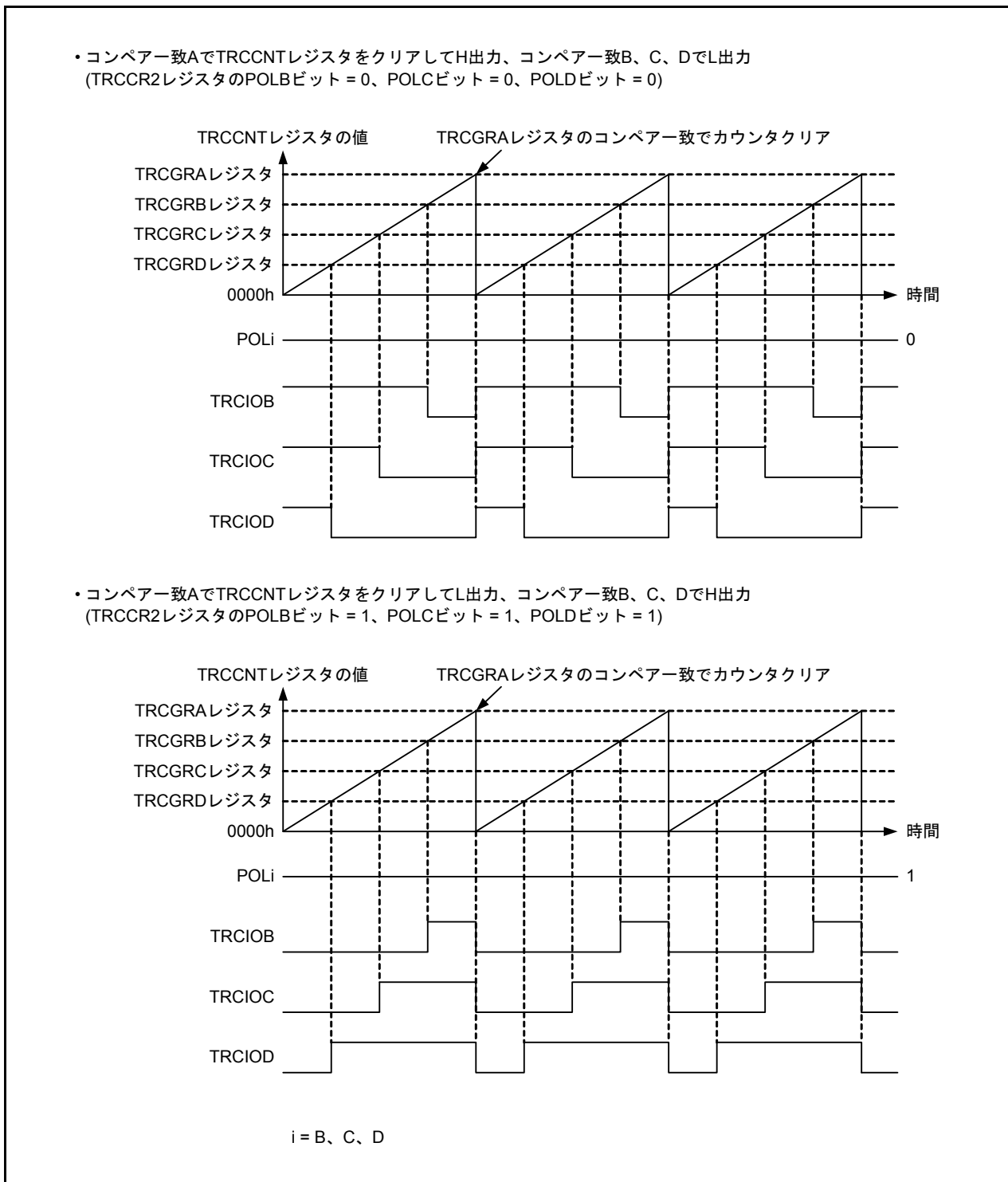


図 17.9 PWMモードの動作例

図17.10にアウトプットコンペア時のバッファ動作例を示します。TRCIOB端子をPWMモードに設定し、TRCGRDレジスタをTRCGRBレジスタのバッファレジスタとして設定した場合です。TRCCNTレジスタはコンペア一致Aでクリア、出力はコンペア一致AでL出力、コンペア一致BでH出力に設定した例です。

バッファ動作が設定されているため、コンペア一致Bが発生すると出力を変化させると同時に、バッファレジスタのTRCGRDレジスタの値がTRCGRBレジスタに転送されます。この動作は、コンペア一致Bが発生するたびに繰り返します。

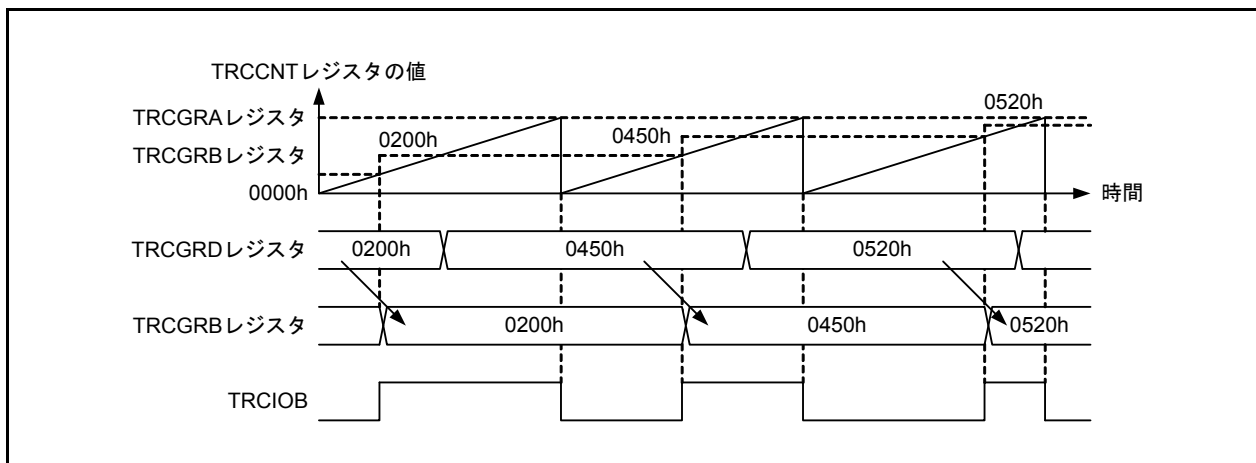


図17.10 アウトプットコンペア時のバッファ動作例

図 17.11 にPWMモードの動作例(デューティ 0%、デューティ 100%)を示します。

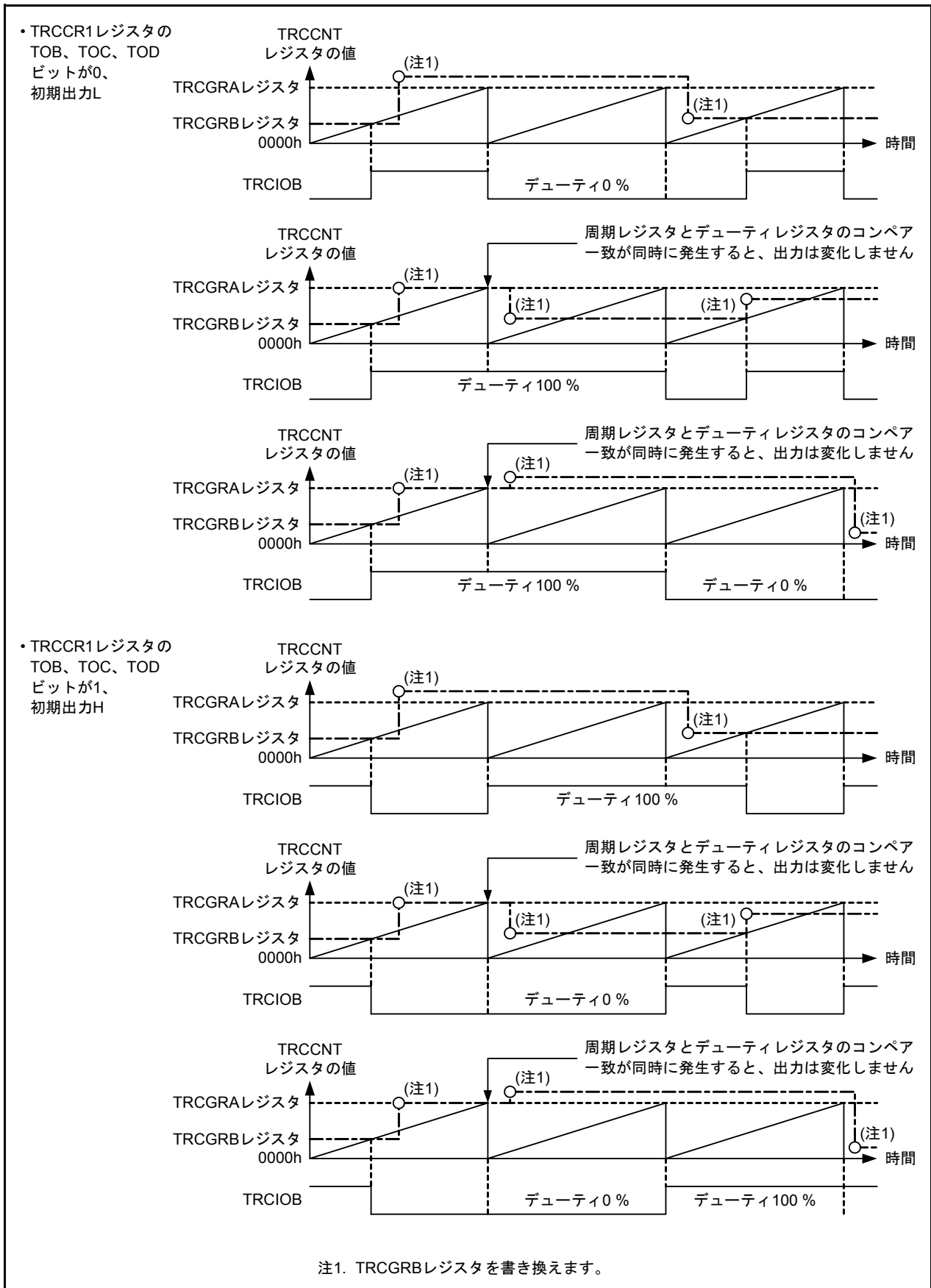


図 17.11 PWMモードの動作例(デューティ 0%、デューティ 100%)

17.3.3 PWM2モード

PWM2モードはPWMモードと異なり、TRCCNTレジスタのカウンタ値とTRCGRB、TRCGRCレジスタのコンペア一致で、TRCIOB端子からPWM波形を出力するモードです。TRCGRDレジスタは、TRCMRレジスタのBUFEBビットを1(TRCGRBレジスタのバッファレジスタ)にすることで、TRCGRBレジスタのバッファレジスタとして機能します。出力レベルは、TRCCR1レジスタのTOBビットの設定値で決まります。

TOBビットが0(出力値L)のとき、TRCGRBレジスタのコンペア一致でL出力、TRCGRCレジスタのコンペア一致でH出力します。TOBビットが1(出力値H)のとき、TRCGRBレジスタのコンペア一致でH出力、TRCGRCレジスタのコンペア一致でL出力します。

表17.12にPWM2モードの端子機能とジェネラルレジスタの組み合わせを、図17.12にPWM2モードのブロック図を、図17.13にPWM2モード時TRCGRD、TRCGRBレジスタのバッファ動作のタイミング図を示します。

TRCGRAレジスタのコンペア一致で、TRCGRDレジスタの値がTRCGRBレジスタに転送され、カウンタがクリアされます。ただし、カウンタがクリアされるのは、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にしたときだけです。また、TRCCR2レジスタのTCEG0、TCEG1ビットでトリガ入力を有効に設定したとき、トリガでTRCGRDレジスタの値がTRCGRBレジスタに転送され、カウンタがクリアされます。PWM2モードで使用しないタイマの入出力端子は、I/Oポートにだけ使用できます。

表17.12 PWM2モードの端子機能とジェネラルレジスタの組み合わせ

端子名	入出力	コンペア一致レジスタ	バッファレジスタ
TRCIOA	入出力	ポート機能/TRCTRG入力	
TRCIOB	出力	TRCGRBレジスタ	TRCGRDレジスタ
		TRCGRCレジスタ	—
TRCIOC	入出力	ポート機能	
TRCIOD			

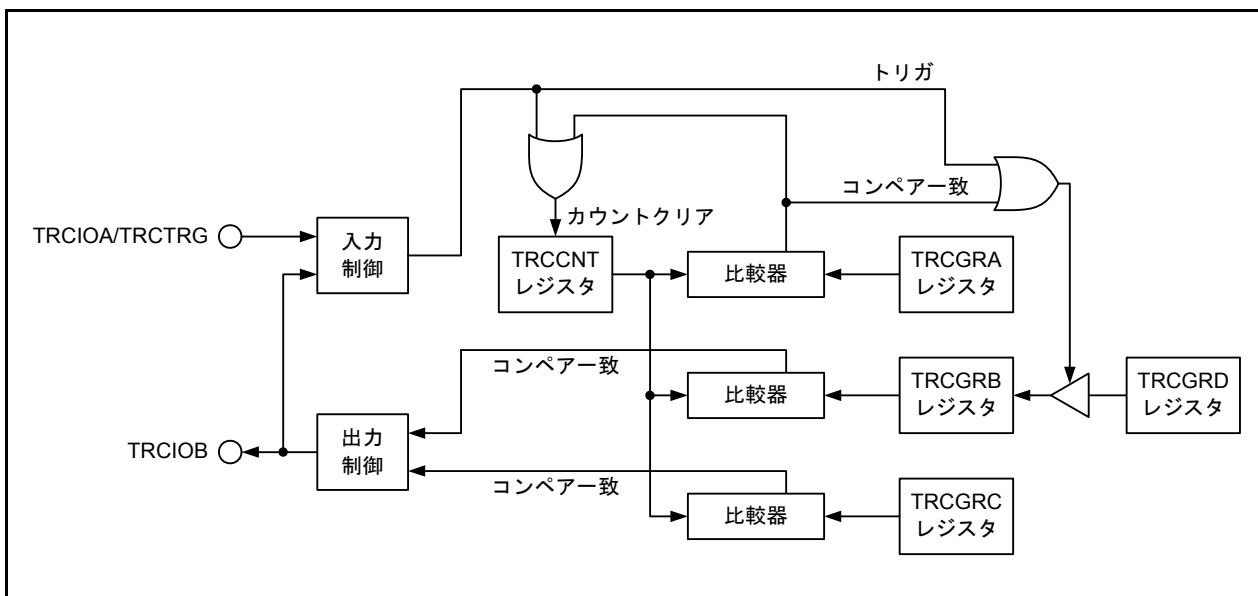


図17.12 PWM2モードのブロック図

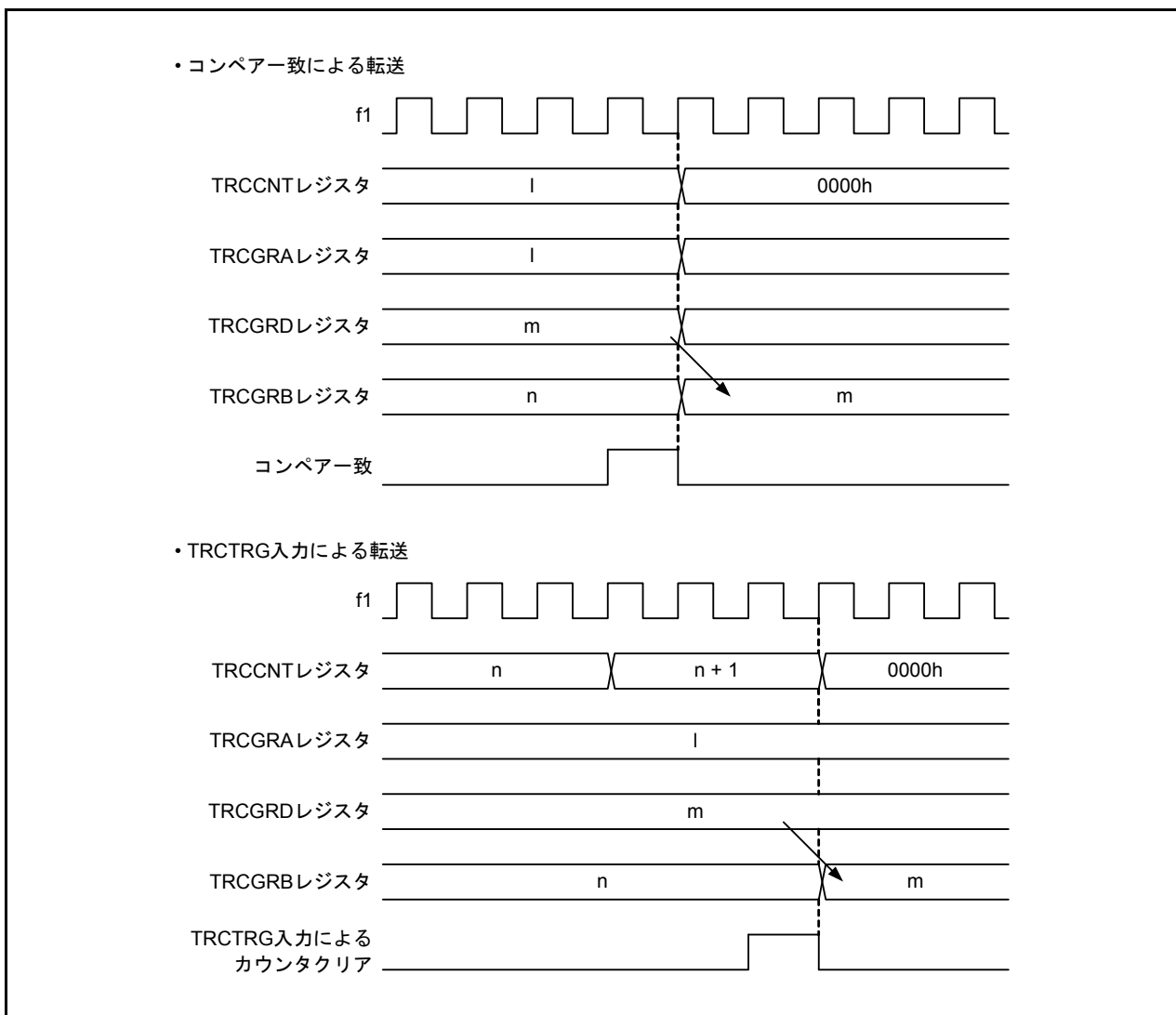


図 17.13 PWM2モード時 TRCGRD、TRCGRB レジスタのバッファ動作のタイミング図

PWM2モードでは、TRCTRГ入力を使ってTRCIOB端子から任意の遅延時間と幅を持つパルスを出力できます。TRCTRГ入力の有効エッジは、TRCCR2レジスタのTCEG0ビット、TCEG1ビットによって、立上り/立下り/両エッジから選択できます。

TRCCR2レジスタのTCEG1、TCEG0ビットを10b(立ち下がりエッジ)にし、TRCTRГ入力の立ち下がりエッジを設定します。TRCCR2レジスタのCSTPビットを0(カウントアップ継続)にし、TRCGRAレジスタとのコンペア一致A発生時のカウントアップ継続を設定します。TRCMRレジスタのBUFEBビットを1(TRCGRBレジスタのバッファレジスタ)にし、TRCGRDレジスタをバッファレジスタに設定します。TRCCR1レジスタのTOBビットを0(出力値L)または1(出力値H)にし、出力レベルの初期値をLまたはHにします。次に、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にし、コンペア一致A発生時にTRCCNTレジスタをクリアします。

図17.14にTRCTRГ入力許可時PWM2モードの動作例を、図17.15にTRCTRГ入力禁止時PWM2モードの動作例を示します。TRCMRレジスタのPWM2ビットを0(PWM2モード)にし、TRCIOB端子から波形を出力する場合の例です。

PWM2モードにおいて、TRCCR1レジスタのTOBビットが0(出力値L)の場合、TRCIOB端子からH出力中は、TRCTRГ入力エッジはキャンセルされます。同様に、TOBビットが1(出力値H)の場合、TRCIOB端子からL出力中は、TRCTRГ入力エッジはキャンセルされます。また、TRCGRDレジスタからTRCGRBレジスタへの転送は、TRCGRAレジスタとのコンペア一致およびTRCTRГ入力が発生したとき行われます。ただし、TRCIOB端子のレベルでTRCTRГ入力がキャンセルされた場合、TRCGRDレジスタからTRCGRBレジスタへの転送は行われません。

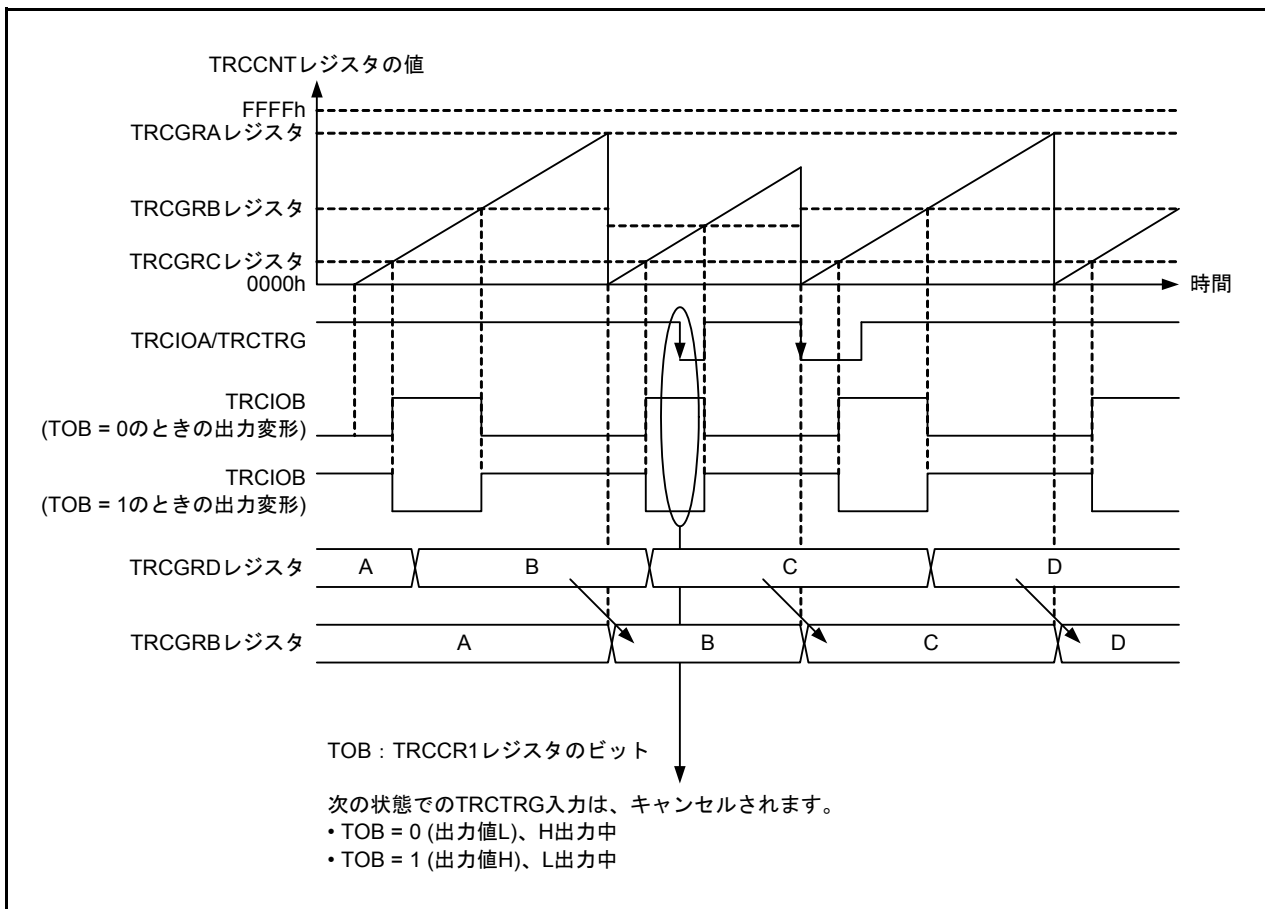


図17.14 TRCTRГ入力許可時PWM2モードの動作例

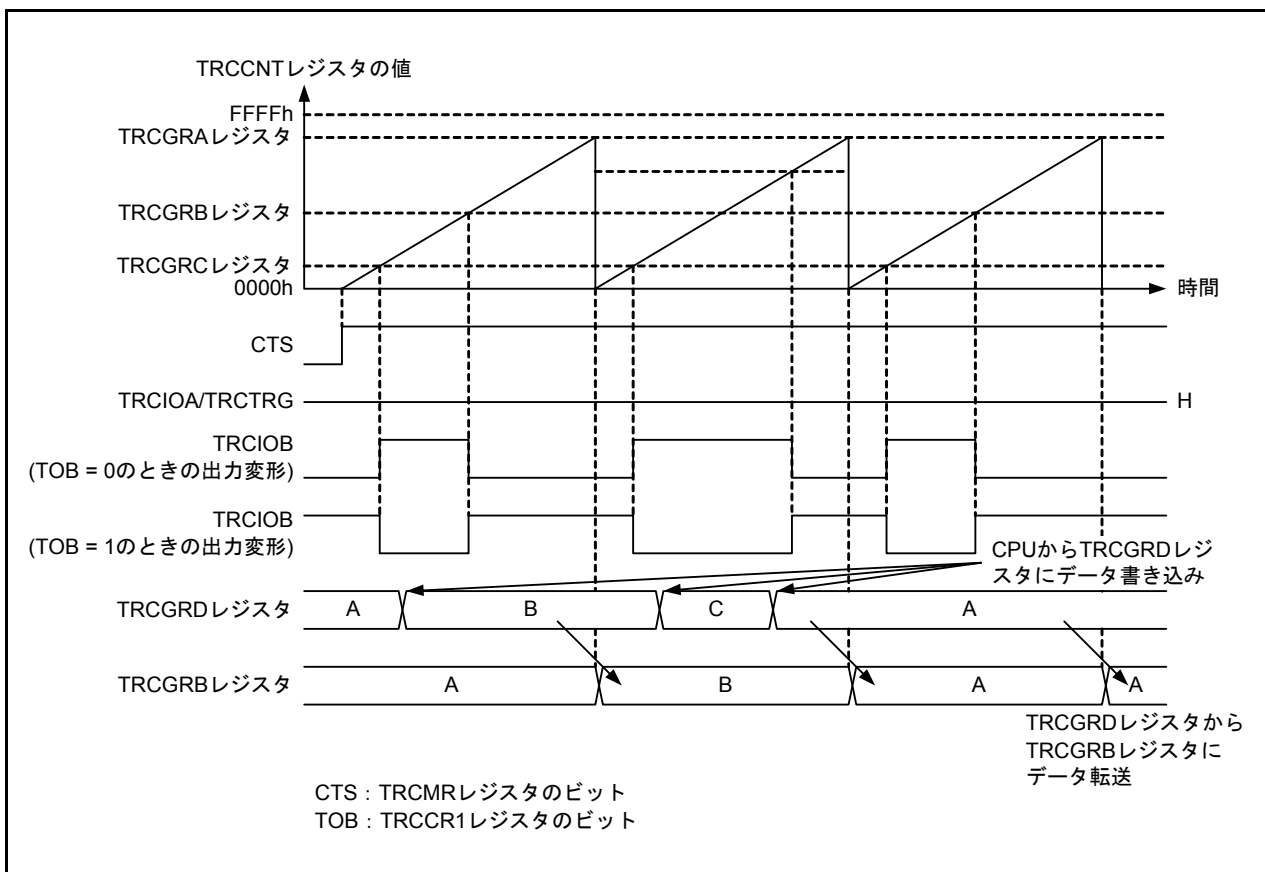


図 17.15 TRCTRG 入力禁止時 PWM2 モードの動作例

図17.16にPWM2モード時カウンタ停止の動作例を示します。TRCCR1レジスタのTOBビットを0(出力値L)、TOBビットを1(出力値H)にした場合の例です。

TRCCR2レジスタのCSTPビットを1(カウントアップ停止)、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCNTカウンタクリア)にすることで、TRCNTレジスタはTRCGRAレジスタとのコンペア一致で、カウンタが0000hになり停止します。また、TRCMRレジスタのCTSビットを0(カウント停止)にすることで、強制的にカウンタは停止し、出力レベルは初期レベルになります。

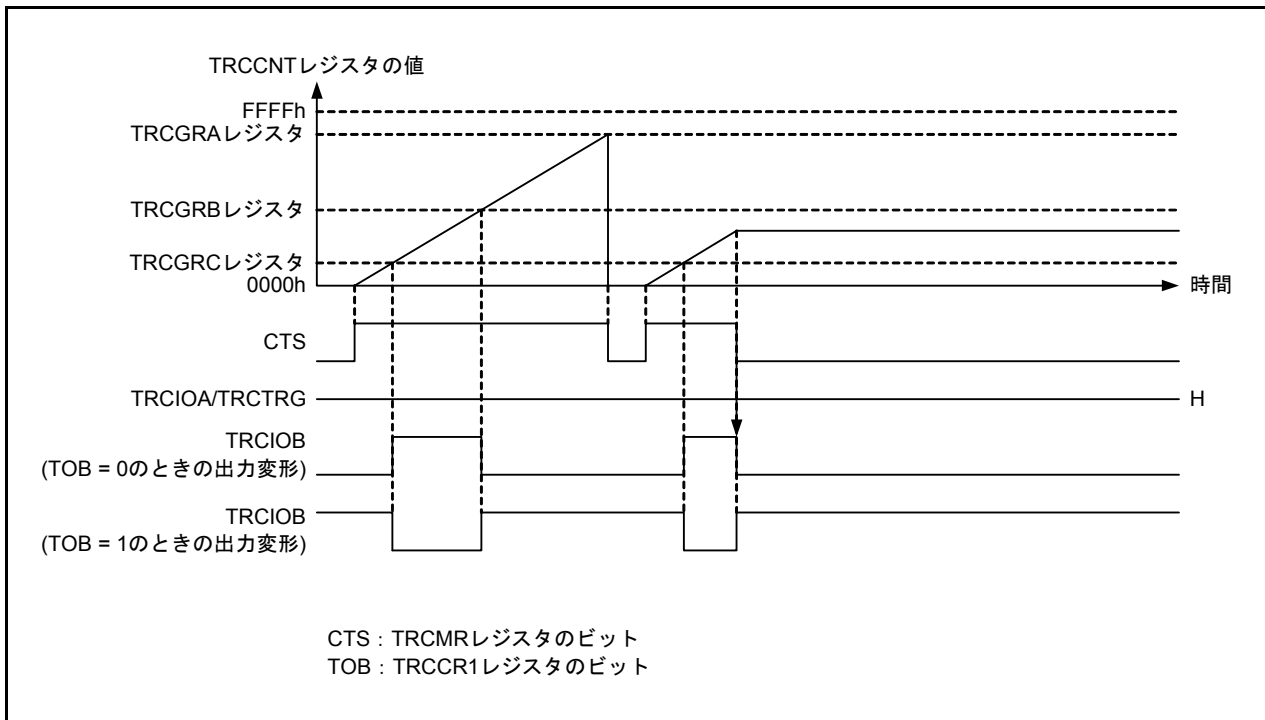


図17.16 PWM2モード時カウンタ停止の動作例

図17.17にPWM2モード時ワンショットパルス波形出力の動作例を示します。

次の条件で、TRCMRレジスタのCTSビットを1(カウント開始)にした時点でカウントを開始します。その後、TRCGRAレジスタとのコンペア一致でカウンタが0000hになり、カウント動作を停止し、ワンショット波形を出力します。

- TRCCR2レジスタのTCEG1、TCEG0ビットを00b (TRCTRGの入力禁止)にし、TRCTRG入力を禁止設定
- TRCCR2レジスタのCSTPビットを1(カウントアップ停止)にし、TRCGRAレジスタとのコンペア一致A発生時のカウントアップ停止を設定
- TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にし、コンペア一致AでTRCCNTレジスタをクリア
- TRCCR1レジスタのTOBビットを0(出力値L)にし、出力レベルの初期値をL

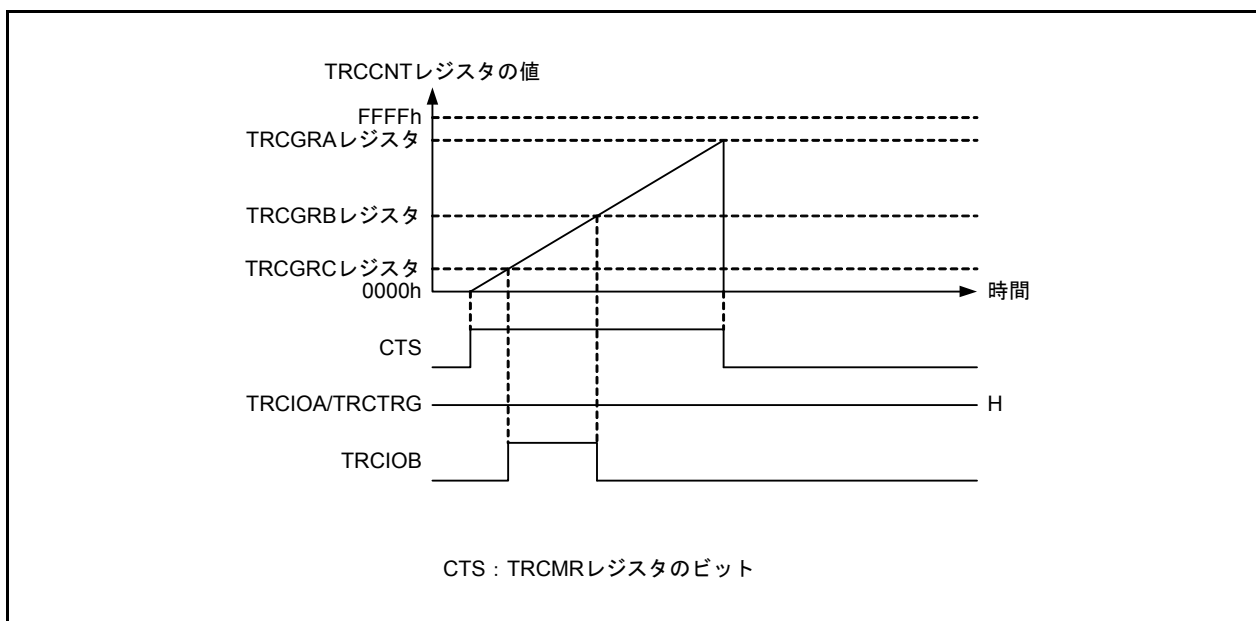


図17.17 PWM2モード時ワンショットパルス波形出力の動作例

図17.18にPWM2モード時のワンショットパルス波形出力(TRCTRГ入力によるカウント開始)の動作例を示します。

次の条件で、TRCMRレジスタのCTSビットを1(カウント開始)にした後、TRCIOA/TRCTRГの立ち下がりによってカウントアップを開始し、TRCGRAレジスタとのコンペア一致でカウンタが0000hになり、カウント動作を停止し、ワンショットパルス波形を出力します。

- TRCCR2レジスタのTCEG1、TCEG0ビットを10b(立ち下がりエッジ)にし、TRCTRГ入力の立ち下がりエッジを設定
- TRCCR2レジスタのCSTPビットを1(カウントアップ停止)にし、TRCGRAレジスタとのコンペア一致発生時のカウントアップ停止を設定
- TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にし、コンペア一致でTRCCNTレジスタをクリア
- TRCCR1レジスタのTOBビットを0(出力値L)にし、出力レベルの初期値をL

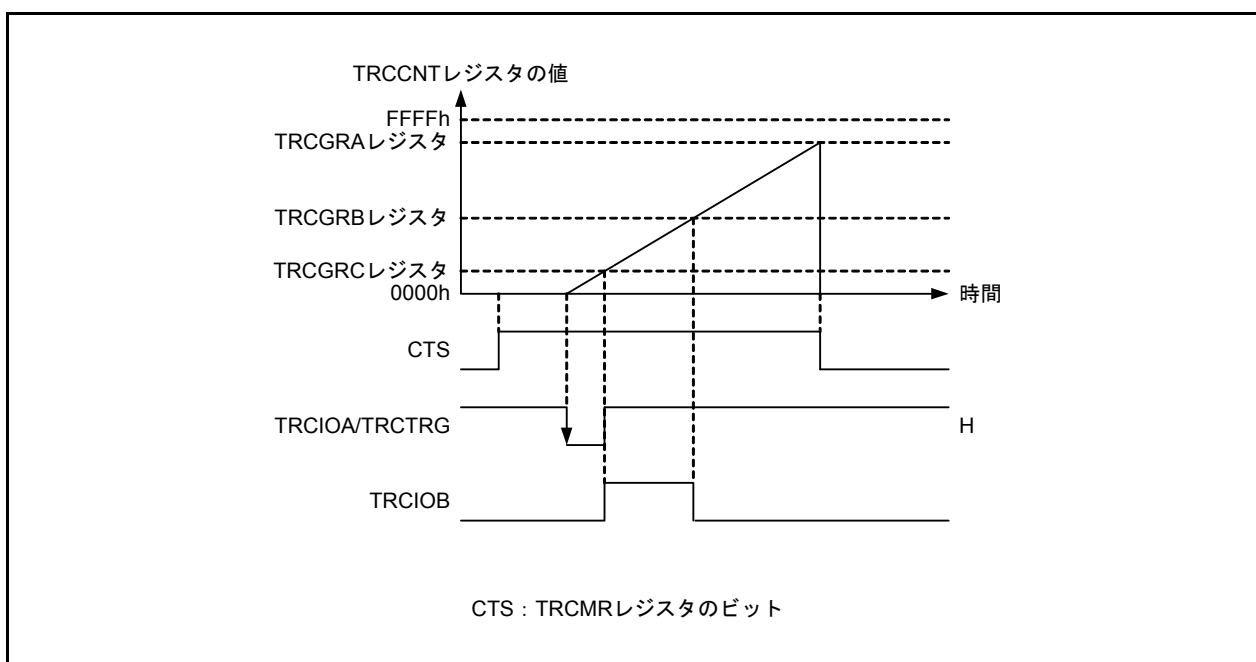


図17.18 PWM2モード時のワンショットパルス波形出力(TRCTRГ入力によるカウント開始)の動作例

17.4 選択機能

17.4.1 インプットキャプチャ入力デジタルフィルタ

図17.19にデジタルフィルタ回路のブロック図を示します。TRCIOA～TRCIODおよびTRCTRGRG入力は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。TRCIOA～TRCIODおよびTRCTRGRG入力は、TRCDFレジスタのDFCK0、DFCK1ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上の幅のパルス入力は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し除去されます。

リセット解除後、すぐにデジタルフィルタを使用しないでください。サンプリングクロックの4サイクルを待った後で、インプットキャプチャを設定して、インプットキャプチャ機能を使用してください。

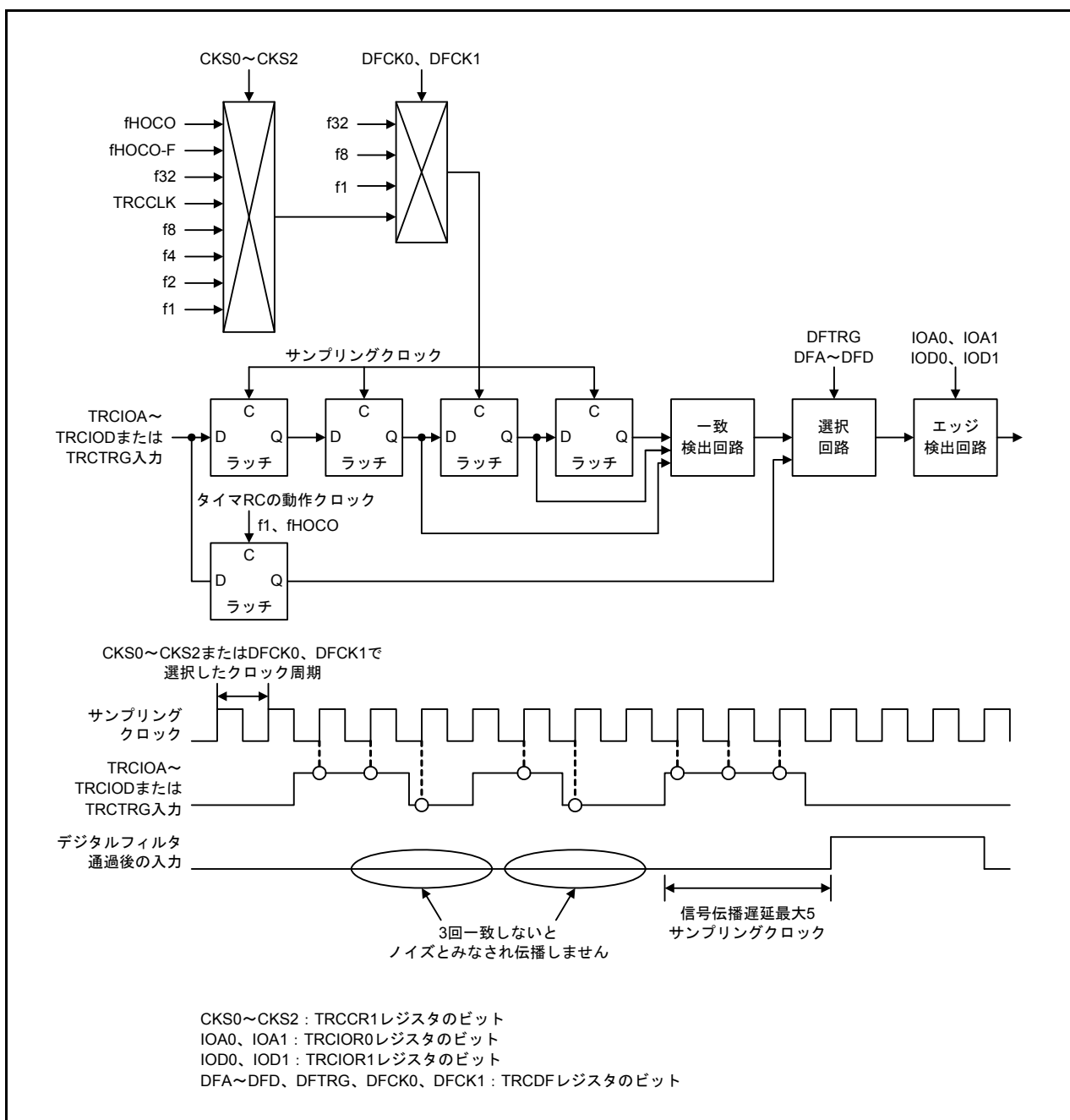


図17.19 デジタルフィルタ回路のブロック図

17.4.2 A/D変換開始トリガ

タイマRCはTRCADCRレジスタを設定することで、コンペアー一致A～DによってA/D変換開始トリガを発生できます。

図17.20にコンペアー一致B、CでA/D変換開始トリガの設定例を示します。

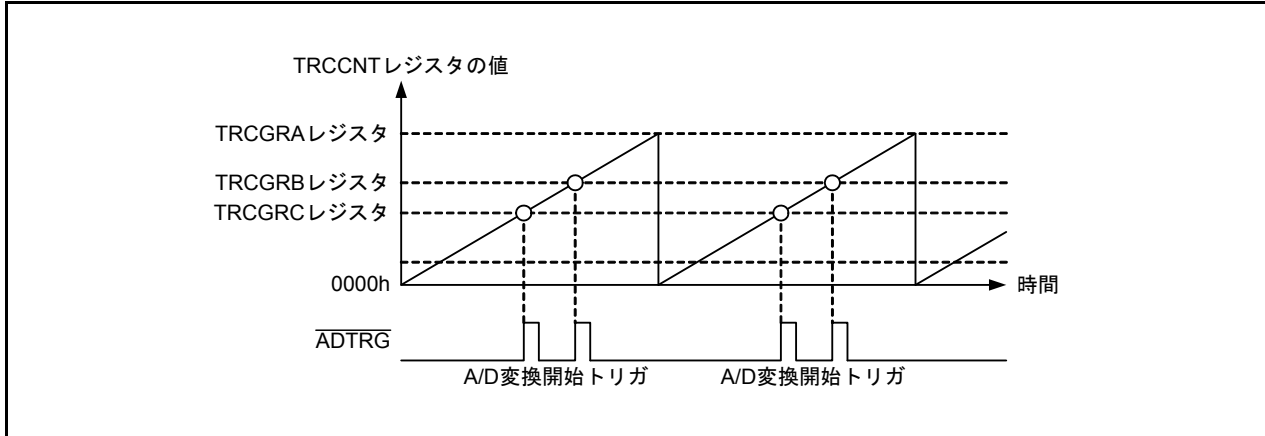


図17.20 コンペアー一致B、CでA/D変換開始トリガの設定例

バッファ動作時のバッファレジスタは、A/D変換開始トリガを発生できません。PWM2モードでのTRCGRCレジスタは、TRCGRAレジスタのバッファレジスタとして動作できません。

表17.13にA/D変換開始トリガ要因の発生状況を示します。

表17.13 A/D変換開始トリガ要因の発生状況

動作モード	バッファ動作	A/D変換開始トリガ要因			
		TRCGRA	TRCGRB	TRCGRC	TRCGRD
インプットキャプチャ	使用	×	×	×	×
	未使用	×	×	×	×
コンペアー一致	使用	○	○	×	×
	未使用	○	○	○	○
PWMモード	使用	○	○	×	×
	未使用	○	○	○	○
PWM2モード	使用	○	○	○	×
	未使用	○	○	○	○

○ : A/D変換開始トリガを発生

× : A/D変換開始トリガを発生しない

17.4.3 ジェネラルレジスタと出力端子変更

TRCIOR1レジスタのIOC3、IOD3ビットの設定で、TRCGRC、TRCGRDレジスタのコンペアー一致出力をそれぞれTRCIOC、TRCIOD端子からTRCIOA、TRCIOB端子へ変更できる機能です。TRCIOA端子はコンペアー一致AとCを組み合わせせた出力、TRCIOB端子はコンペアー一致BとDを組み合わせせた出力が可能になります。

図17.21にジェネラルレジスタと出力端子変更のブロック図を示します。

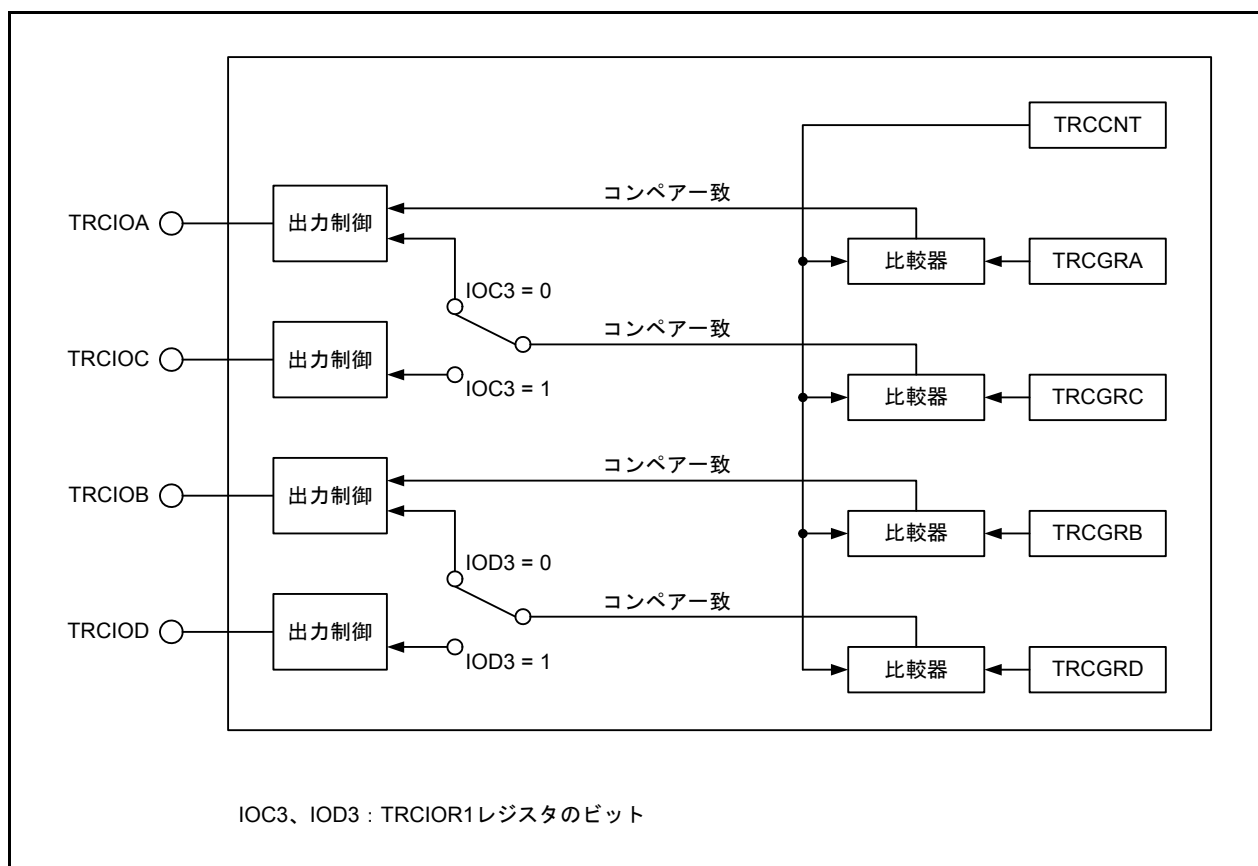


図17.21 ジェネラルレジスタと出力端子変更のブロック図

図17.22にTRCIOA、TRCIOBの出力が重ならない動作例を示します。次の設定をします。

- TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にし、コンペア一致でカウンタクリアし、TRCCNTレジスタを周期カウント動作
- TRCIOR0レジスタのIOA2～IOA0ビットを011b(コンペア一致AでTRCIOA端子へトグル出力)にし、トグル出力
- TRCIOR0レジスタのIOB2～IOB0ビットが011b(コンペア一致BでTRCIOB端子へトグル出力)にし、トグル出力
- TRCIOR1レジスタのIOC3～IOC0ビットが0011b(コンペア一致CでTRCIOA端子へトグル出力)にし、トグル出力
- TRCIOR1レジスタのIOD3～IOD0ビットが0011b(コンペア一致DでTRCIOB端子へトグル出力)にし、トグル出力

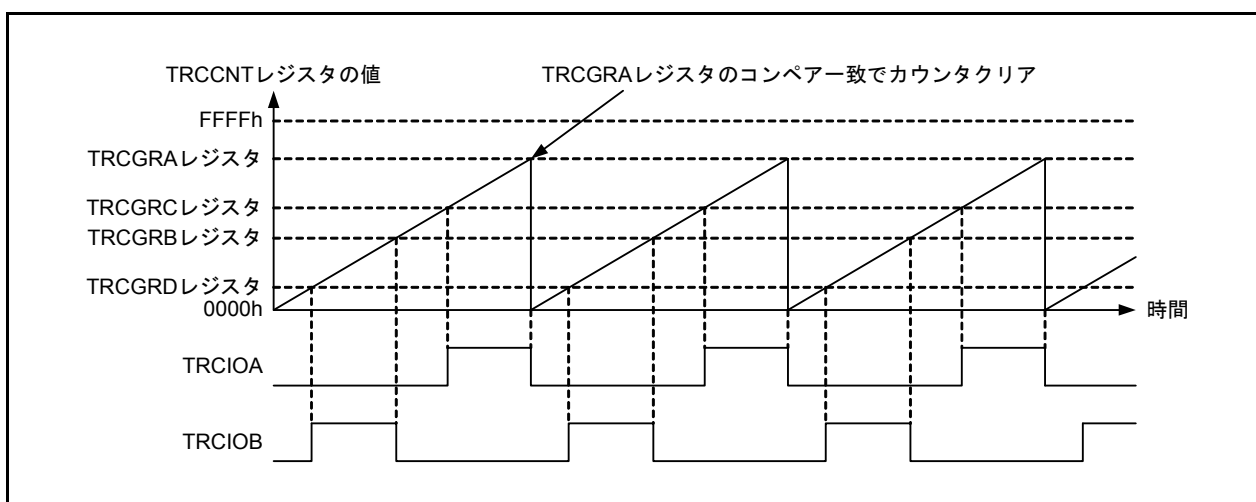


図17.22 TRCIOA、TRCIOBの出力が重ならない動作例

17.4.4 出力波形操作

タイマRCはTRCOPRレジスタ(タイマRC出力波形操作レジスタ)を設定することにより、タイマRC_0は $\overline{INT1}$ の入力によって、ポート出力波形を制御することができます。

TRCOPRレジスタのOPEビットが0のとき、出力波形操作機能は無効です。タイマRCのポートTRCIOA、TRCIOB、TRCIOC、TRCIODの出力は、TRCIOR0、TRCIOR1、TRCOERレジスタの設定によって出力します。出力波形操作の要求イベント入力しても、出力波形操作機能は無効です。

OPEビットが1のとき、出力波形操作機能は有効です。出力波形操作イベント(タイマRC_0は $\overline{INT1} = L$)を入力すると、TRCOERレジスタのEA～EDビットが自動的に1になります。タイマRCのポート出力レベルは、TRCOPRレジスタのOPOL0、OPOL1ビットの設定により、強制的にL/H/ハイインピーダンスを出力します。出力波形操作の要求イベントが解除されると、RESTATSの設定によりタイマRCのポートの出力波形操作が中止され、出力を再開します。出力波形操作の停止後、出力再開を設定したタイミングの次のタイマカウント周期から端子の出力を再開します。

図17.23～図17.26に出力波形操作の動作例を示します。

- TRCIOB端子を外部でプルダウンし、TRCOPRレジスタのOPEビットが1(出力波形操作有効)、OPOL1、OPOL0ビットが00b(TRCIOA、TRCIOB、TRCIOC、TRCIOD端子を外部でプルダウンに設定している場合、出力波形操作期間はタイマRC出力レベルがハイインピーダンスに固定)、RESTATSビットが0(ソフトウェアで出力波形操作を中止、出力再開)の場合

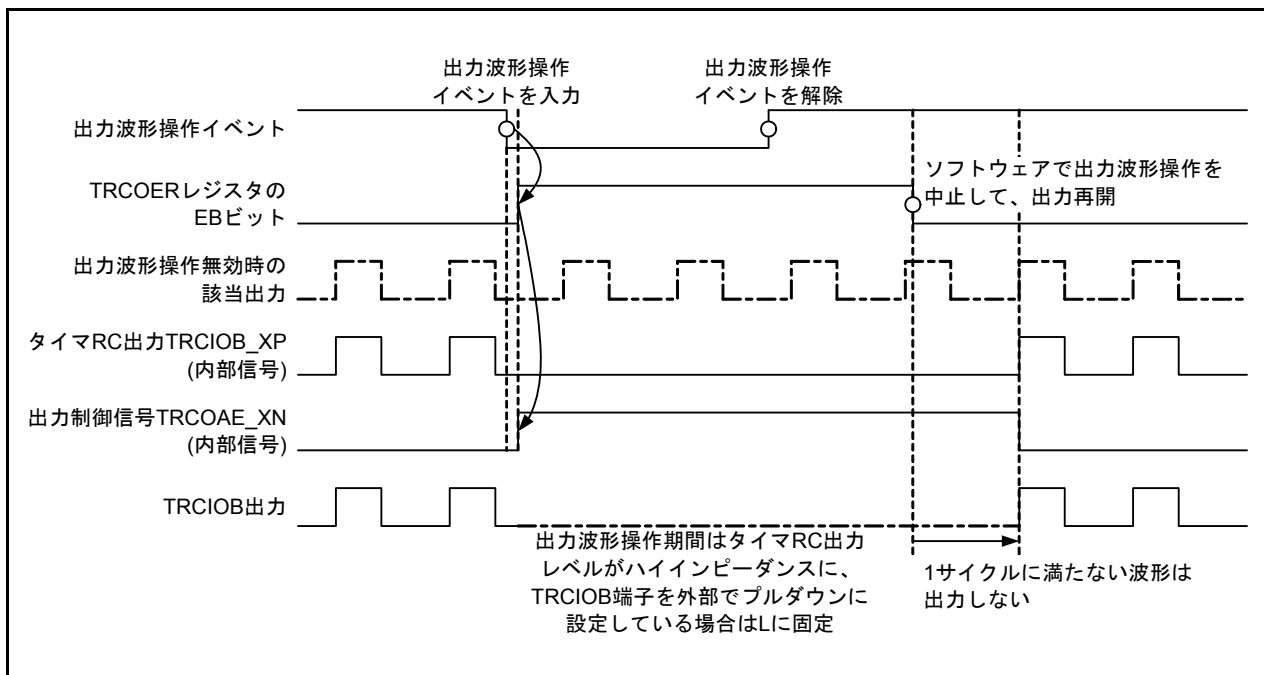


図17.23 出力波形操作の動作例(1)

- TRCIOB 端子を外部でプルアップし、TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効)、OPOL1、OPOL0 ビットが 01b (TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子を外部でプルアップに設定している場合、出力波形操作期間はタイマRC出力レベルがハイインピーダンスに固定)、RESTATS ビットが 0 (ソフトウェアで出力波形操作を中止、出力再開)の場合

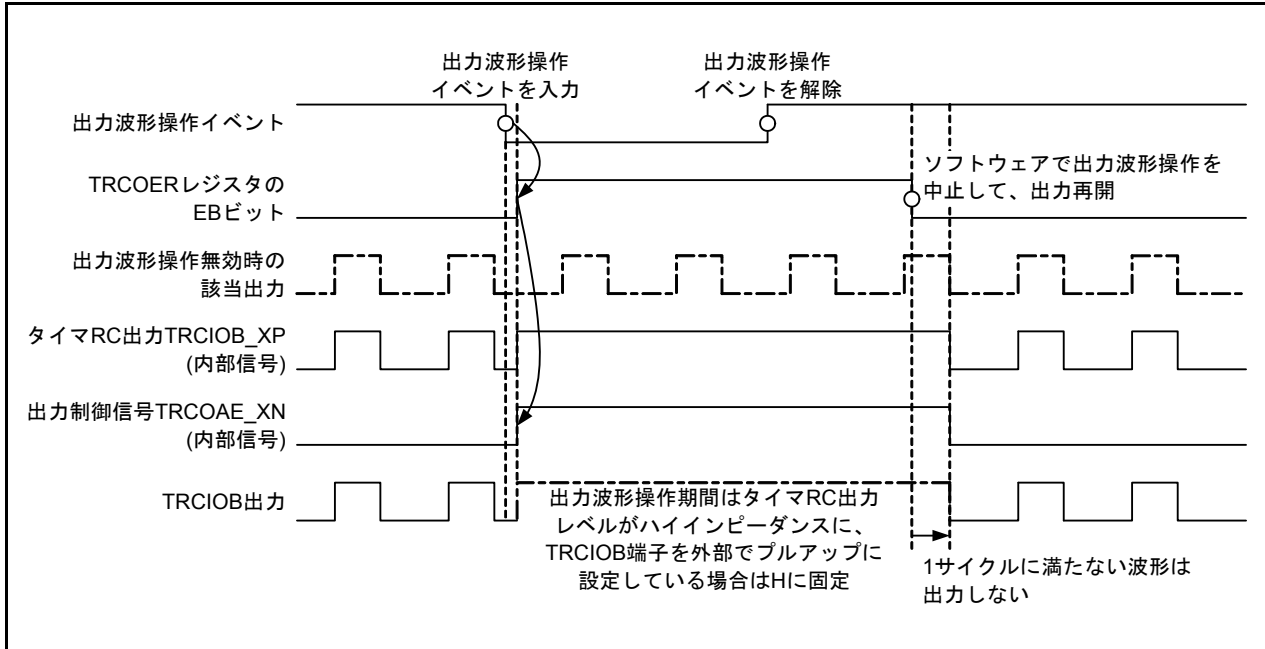


図 17.24 出力波形操作の動作例(2)

- TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効)、OPOL1、OPOL0 ビットが 10b (出力波形操作期間はタイマRC出力レベルがLに固定)、RESTATS ビットが 1 (自動出力波形操作を中止、自動出力再開)の場合

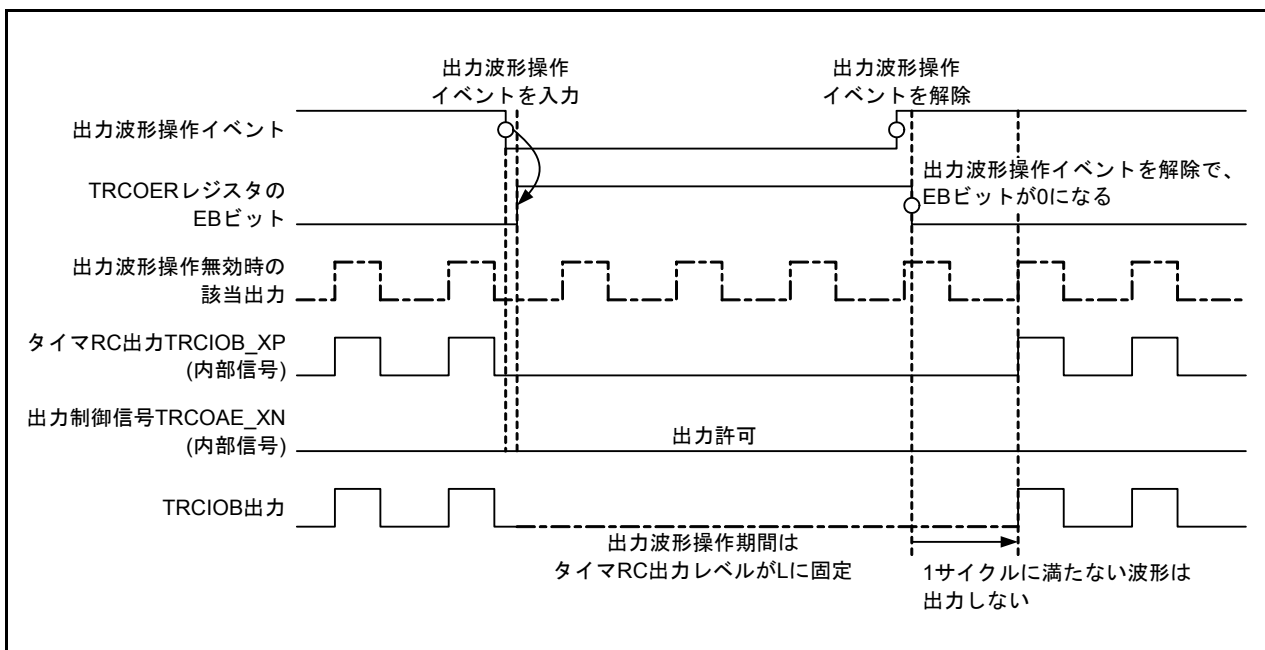


図 17.25 出力波形操作の動作例(3)

- TRCOPRレジスタのOPEビットが1(出力波形操作有効)、OPOL1、OPOL0ビットが11b(出力波形操作期間はタイマRC出力レベルがHに固定)、RESTATSビットが1(自動出力波形操作を中止、自動出力再開)の場合

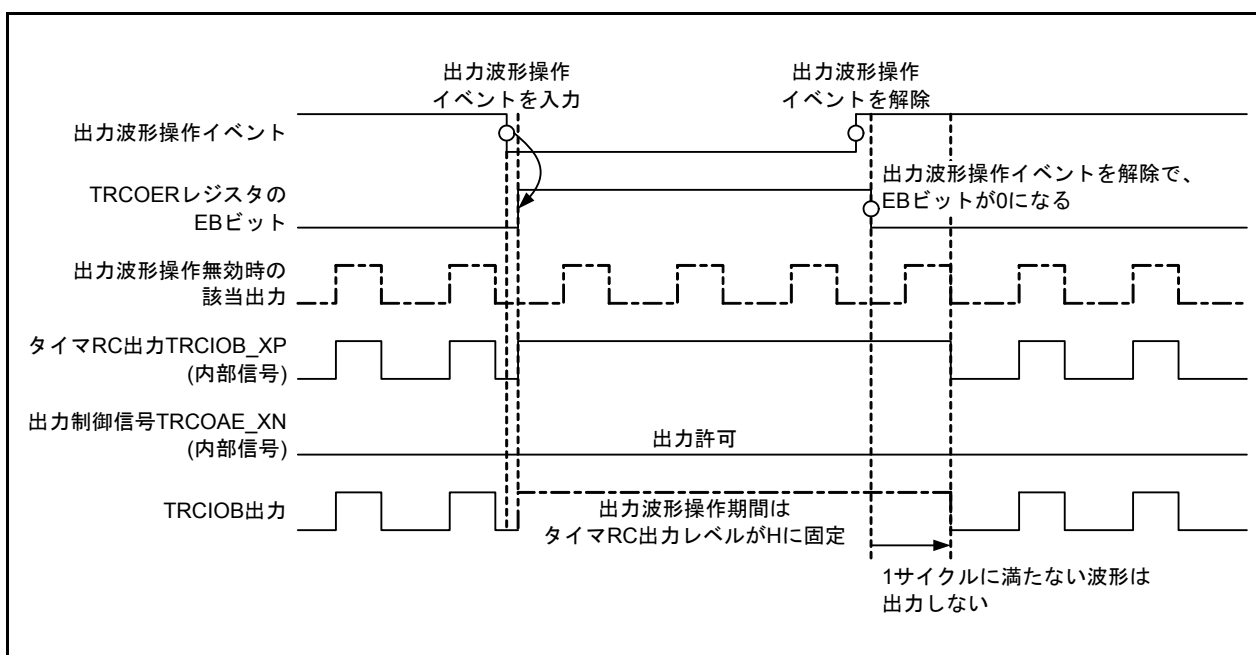


図 17.26 出力波形操作の動作例(4)

17.5 動作タイミング

17.5.1 TRCNTレジスタのカウンタタイミング

図17.27にカウンタ動作時のタイミング図を示します。

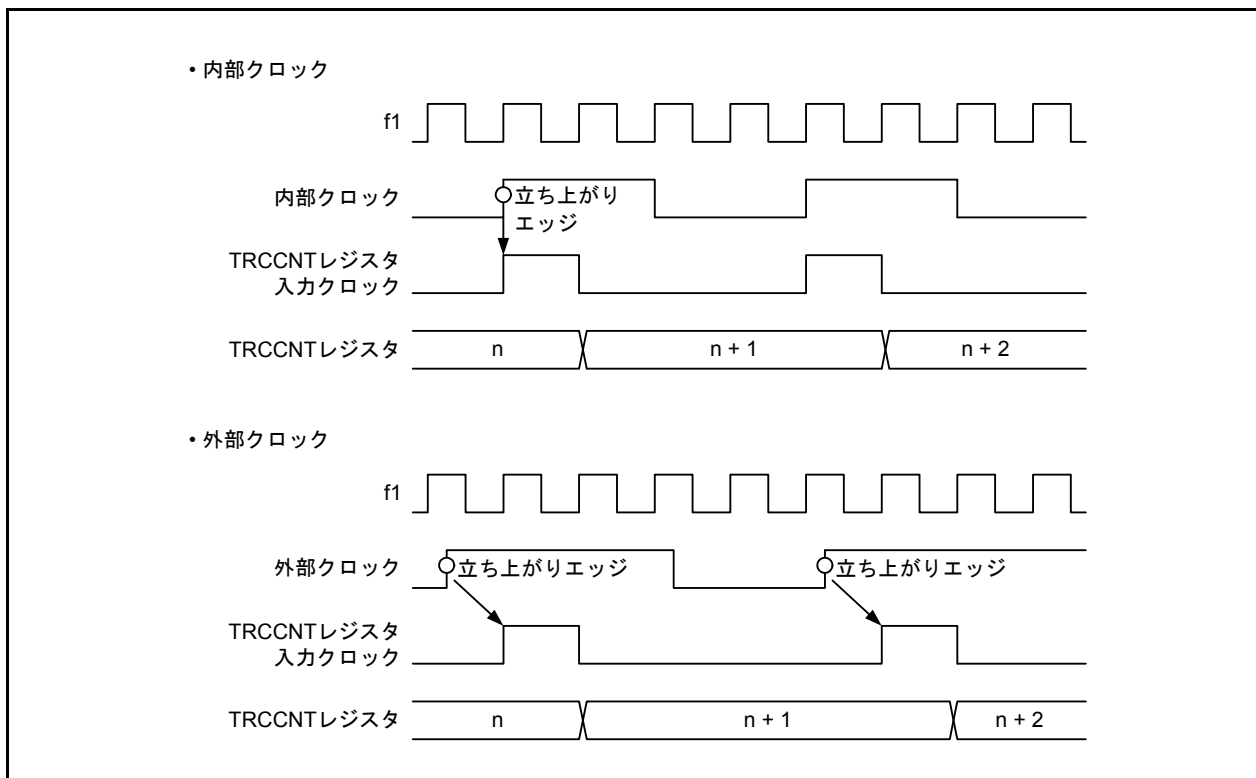


図17.27 カウンタ動作時のタイミング図

17.5.2 アウトプットコンペア出力タイミング

コンペアー一致信号は、TRCCNTレジスタとジェネラルレジスタが一致した最後のステート (TRCCNTレジスタが一致したカウント値を更新するタイミング) で発生します。コンペアー一致発生時にTRCIORレジスタで設定される出力値が、アウトプットコンペア出力端子 (TRCIOA、TRCIOB、TRCIOC、TRCIOD) に出力されます。TRCCNTレジスタとジェネラルレジスタが一致した後、TRCCNTレジスタ入力クロックが発生するまで、コンペアー一致信号は発生しません。

図17.28にアウトプットコンペア出力のタイミング図を示します。

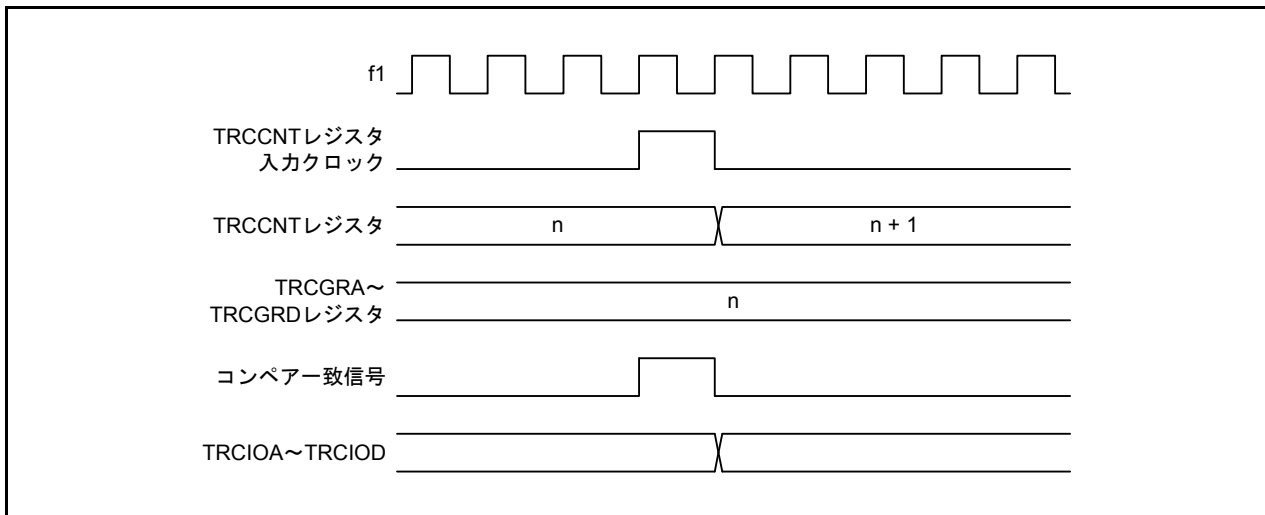


図17.28 アウトプットコンペア出力のタイミング図

17.5.3 インプットキャプチャ入力タイミング

インプットキャプチャ入力は、TRCIOR0、TRCIOR1レジスタの設定で、立ち上がりエッジ、立ち下がりエッジまたは両エッジが選択できます。

図17.29にインプットキャプチャ入力のタイミング図を示します。立ち下がりエッジを選択した場合です。

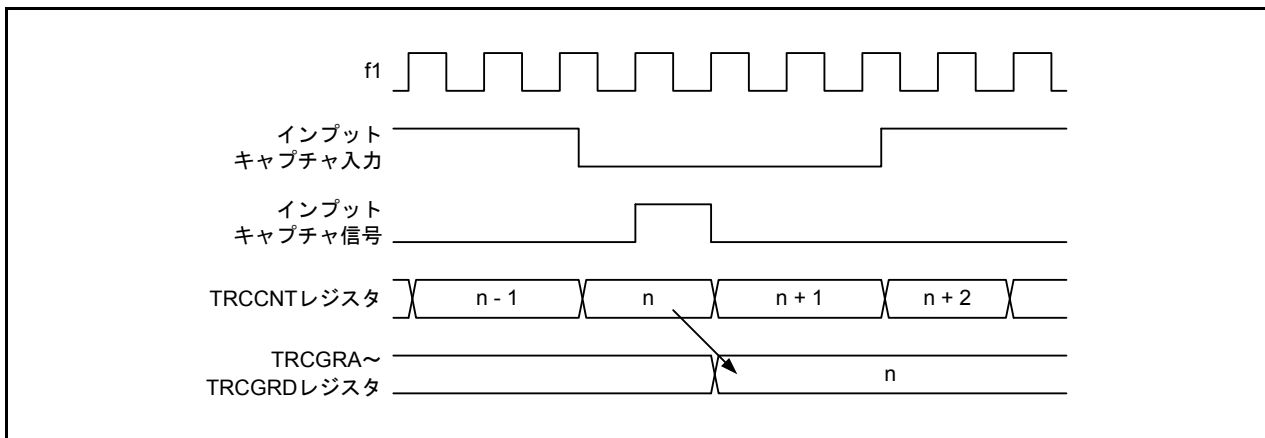


図17.29 インプットキャプチャ入力のタイミング図

17.5.4 コンペアー一致によるカウンタクリアのタイミング

図17.30にコンペアー一致Aによるカウンタクリアのタイミング図を示します。TRCGRAレジスタの値をnにすると、カウンタは0からnまでカウントし、周期はn+1となります。

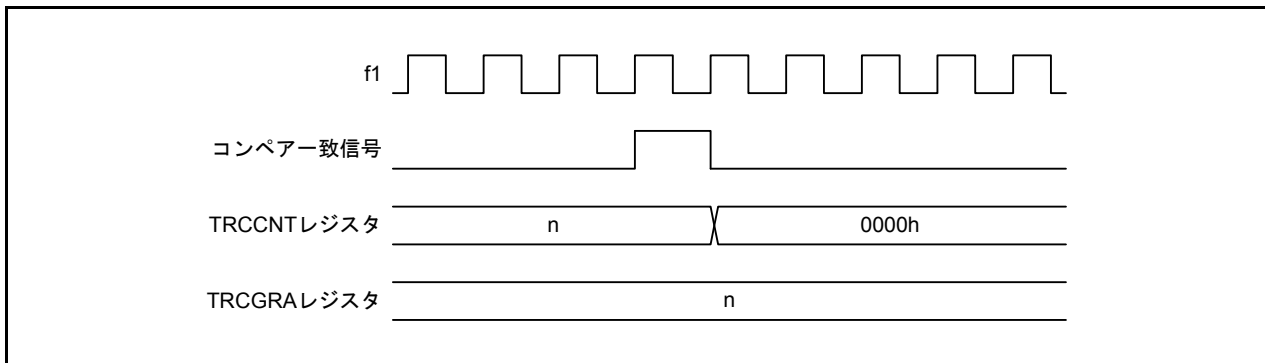


図17.30 コンペアー一致Aによるカウンタクリアのタイミング図

17.5.5 バッファ動作のタイミング

図17.31にバッファ動作のタイミング図を示します。

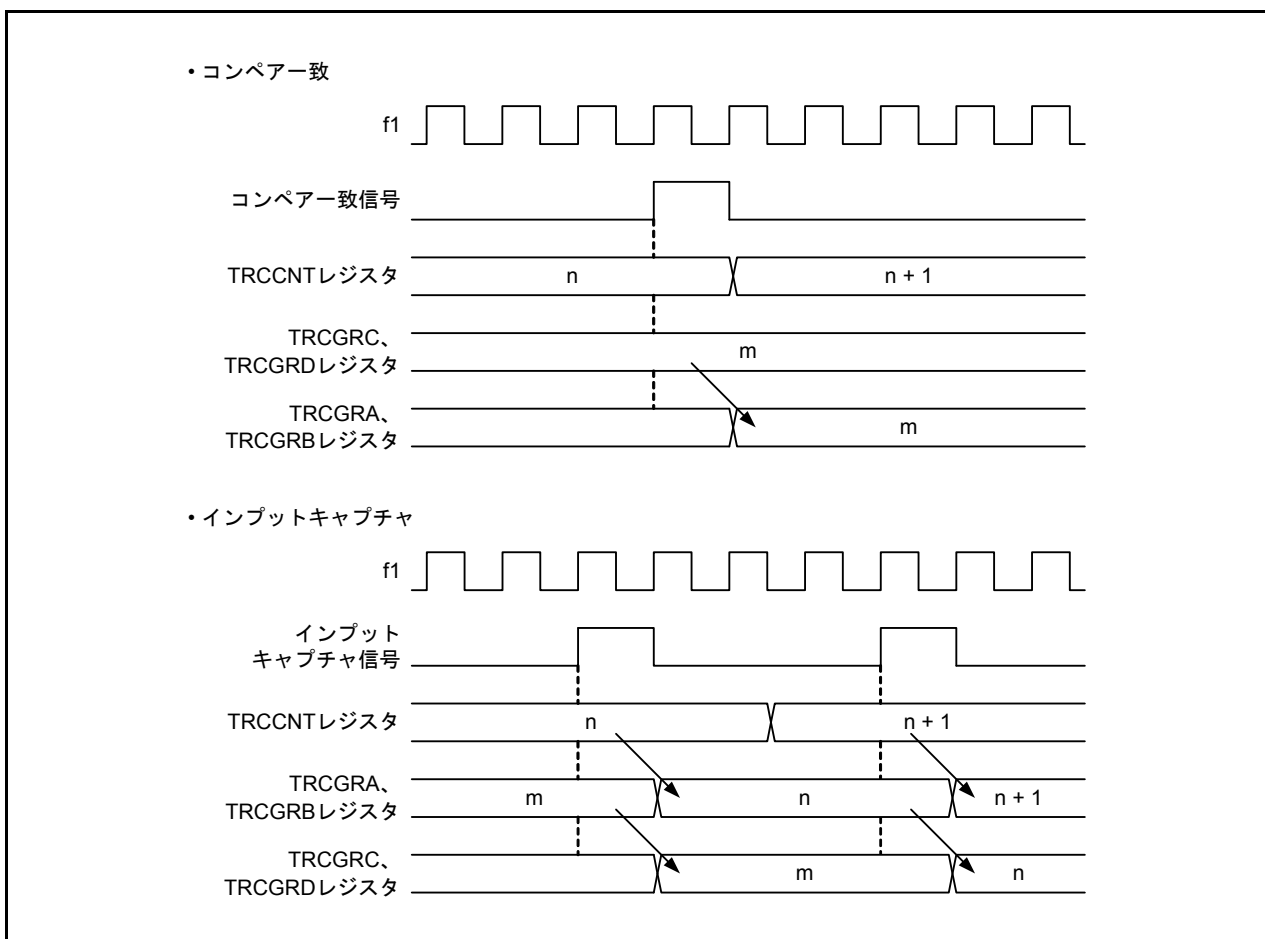


図17.31 バッファ動作のタイミング図

17.5.6 コンペアー一致時のIMFA～IMFDビットタイミング

アウトプットコンペアーレジスタとして機能している場合のTRCSRレジスタのIMFA～IMFDビットは、TRCCNTレジスタとジェネラルレジスタ (TRCGRA、TRCGRB、TRCGRC、TRCGRD) が一致したときに1になります。

コンペアー一致信号は、一致した最後のステート (TRCCNTレジスタが一致したカウント値を更新するタイミング) で発生します。従って、TRCCNTレジスタとジェネラルレジスタが一致した後、TRCCNTレジスタ入力クロックが発生するまでコンペアー一致信号は発生しません。

図17.32にコンペアー一致時のタイミング図を示します。

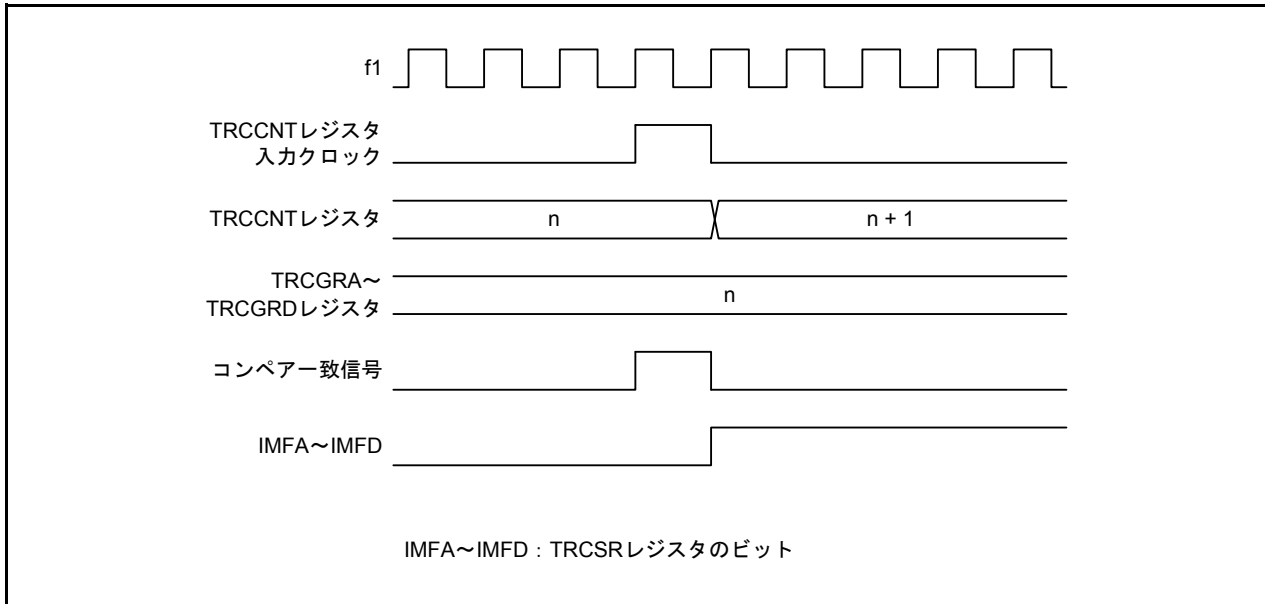


図17.32 コンペアー一致時のタイミング図

17.5.7 インプットキャプチャ時のIMFA～IMFDビットタイミング

インプットキャプチャレジスタとして機能している場合のTRCSRレジスタのIMFA～IMFDビットは、インプットキャプチャの発生で1になります。

図17.33にインプットキャプチャ時のタイミング図を示します。

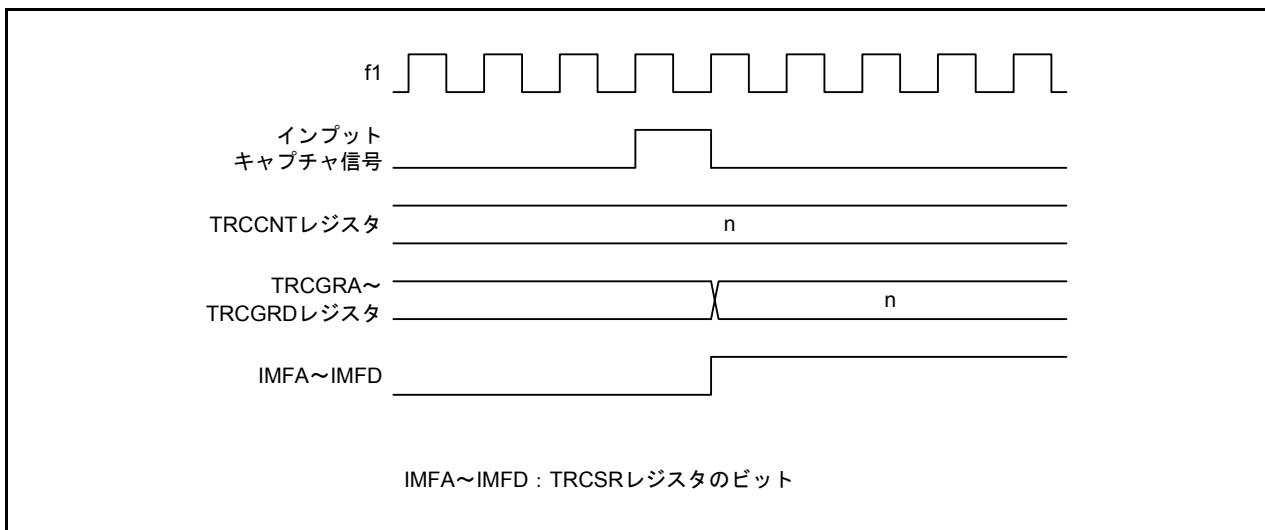


図17.33 インプットキャプチャ時のタイミング図

17.5.8 ステータスフラグが0になるタイミング

ステータスフラグは、CPUが1を読んだ後、0を書くと0になります。
 図17.34にCPUによるステータスフラグのタイミング図を示します。

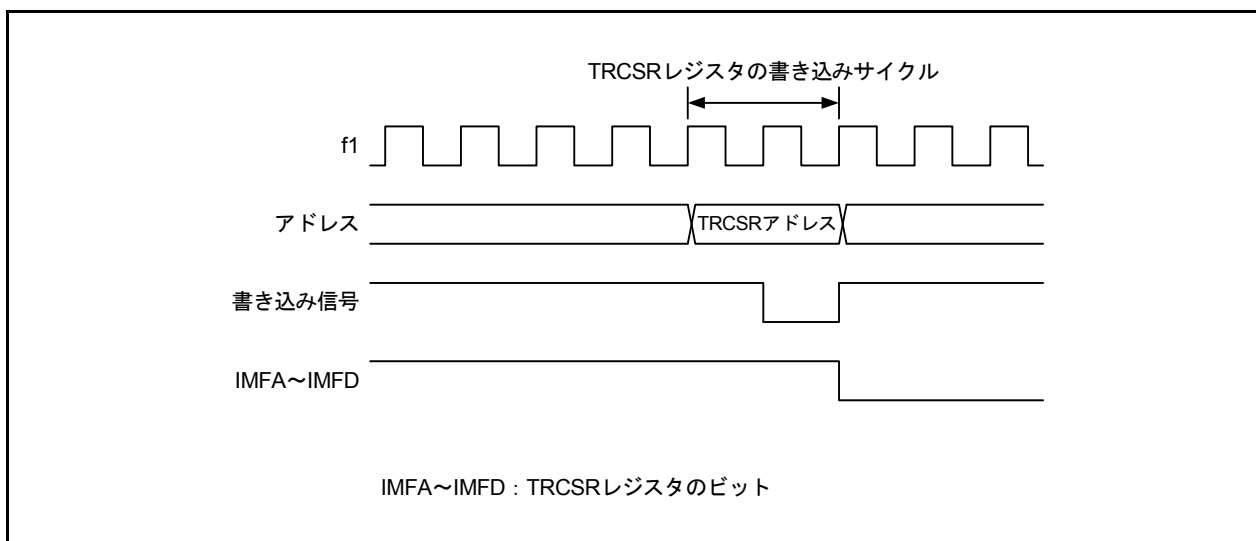


図17.34 CPUによるステータスフラグのタイミング図

17.5.9 コンペアー一致によるA/D変換開始トリガのタイミング

図17.35にコンペアー一致によるA/D変換開始トリガのタイミング図を示します。

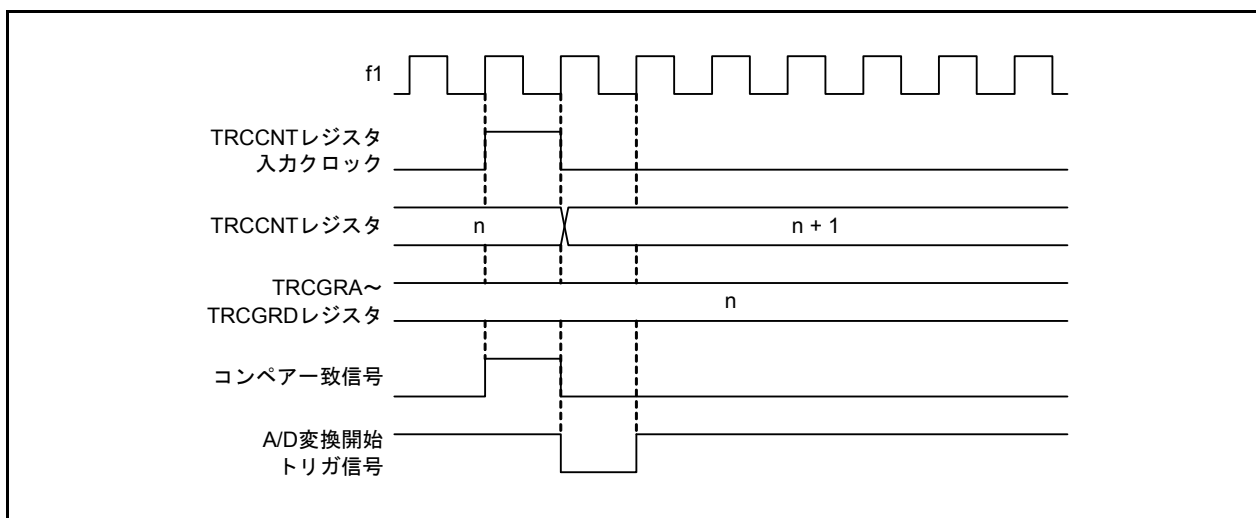


図17.35 コンペアー一致によるA/D変換開始トリガのタイミング図

17.6 タイマRC使用上の注意事項

17.6.1 TRCCNTレジスタ

TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペアー一致AでTRCCNTカウンタクリア)にしている場合、次の注意事項が該当します。

- TRCMRレジスタのCTSビットが1(カウント開始)の状態、プログラムでTRCCNTレジスタに値を書き込む場合は、TRCCNTレジスタが0000hになるタイミングと重ならないように書いてください。
- TRCCNTレジスタが0000hになるタイミングと、TRCCNTレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCCNTレジスタが0000hになります。

TRCCNTレジスタに書いた後、TRCCNTレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.W    #XXXXh, TRCCNT    ;書き込み
JMP.B    L1                ;JMP.B命令
L1:      MOV.W    TRCCNT, DATA ;読み出し

```

17.6.2 TRCCR1レジスタ

TRCCR1レジスタのCKS2～CKS0ビットを111b(fHOCO-F)にするときは、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

17.6.3 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.B    #XXh, TRCSR      ;書き込み
JMP.B    L1                ;JMP.B命令
L1:      MOV.B    TRCSR, DATA ;読み出し

```

17.6.4 カウントソースの切り替え

カウントソースを切り替える場合、カウントを停止した後に切り替えてください。また、カウントソースの切り替え後、CPUクロックの2サイクル以上待ってから、タイマRC関連レジスタ(00138h～0014Dh)への書き込みを行ってください。

- 変更手順

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0～CKS2ビットを変更する
- (3) CPUクロックの2サイクル以上待つ
- (4) タイマRC関連レジスタ(00138h～0014Dh)への書き込み

注1. fHOCO、fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0(高速オンチップオシレータ停止)にしないでください。

注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

17.6.5 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅は、タイマRCの動作クロックの3サイクル分以上にしてください。
- TRCIO_i端子(i=A、B、C、D)にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後に、TRCCNTレジスタの値をTRCGR_iレジスタに転送します(デジタルフィルタなしの場合)。

17.6.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSTPビットが1(カウントアップ停止)のとき、TRCCNTレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

17.6.7 カウントソースfHOCO

カウントソースfHOCOについては、電源電圧V_{cc} = 2.7V ~ 5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRCCR1レジスタのCKS2 ~ CKS0ビットを110b (fHOCO)にしないでください。

17.6.8 モジュールスタンバイ

タイマRCのカウント停止中にMSTCR2レジスタのMSTTRC_0ビットを書いてください。MSTCR2レジスタにタイマRCのモジュールスタンバイビットが存在します。

17.6.9 モードの切り替え

- 動作中にモードを切り替える場合、TRCMRレジスタのCTSビットを0(カウント停止)にした後に行ってください。
- モードの切り替え後、動作開始前にTRCSRレジスタの各フラグを0、TRCICレジスタのIRビットを0に設定してください。
詳細は「11.9.4 割り込み要因の変更」を参照してください。

17.6.10 カウント停止時のインพุットキャプチャ動作

インพุットキャプチャ機能使用時、インพุットキャプチャ信号(TRCIOR0レジスタのIOj0、IOj1ビット(j=A、B)、TRCIOR1レジスタのIOk0、IOk1ビット(k=C、D)のいずれかで選択したエッジ)がTRCIO_i端子(i=A、B、C、D)に入力されると、TRCMRレジスタのCTSビットが0(カウント停止)のときも、TRCSRレジスタのIMFiビットが1になります。

18. タイマRE2

18.1 概要

タイマRE2は3ビットカウンタ、4ビットカウンタ、8ビットカウンタを持つタイマです。

タイマRE2は次の2つのモードを持ちます。

- リアルタイムクロックモード
fC1クロックから1sを作り、秒、分、時、曜日、日、月、年(2000年から2099年まで閏年対応)をカウントするモード
- コンペアー一致タイマモード
カウントソースをカウントし、コンペアー一致でカウンタを初期化するモード

表18.1にリアルタイムクロックモードの仕様を、表18.2にコンペアー一致タイマモードの仕様を、図18.1にリアルタイムクロックモードのブロック図を、図18.2にコンペアー一致タイマモードのブロック図を、表18.3にタイマRE2の端子構成を示します。

表18.1 リアルタイムクロックモードの仕様

項目	内容
カウントソース	fC1 (32 kHz)
カウント	カウント開始またはカウント停止を選択
リセット	TRECRレジスタのRTCRSTビットによるリセット
割り込み	<ul style="list-style-type: none"> • 周期割り込み 次のうち、いずれか1つを選択 - 0.25秒 - 0.5秒 - 1秒 - 分 - 時 - 日 - 月 - 年 • アラーム割り込み
TMRE20端子機能	次のいずれかを選択 <ul style="list-style-type: none"> • プログラマブル入出力ポート • f4、f8、f16、f32、1 Hz、64 Hz、fC1のいずれかを出力
タイマの読み出し、書き込み	TREWKレジスタ以外のタイマRE2データレジスタ (TRESEC、TREMINT、TREHR、TREWK、TREDY、TREMONT、TREYRレジスタ)の値はBCDコード
選択機能	<ul style="list-style-type: none"> • 秒調整機能 リセット調整機能と30秒調整機能 • 時計誤差補正機能 • モジュール単体でスタンバイ状態に設定可能

表18.2 コンペアー一致タイマモードの仕様

項目	内容
カウントソース	f8、f32、f128、f256、f512、f2048、f4096、f8192
カウント	カウント開始またはカウント停止を選択
リセット	TRECRレジスタのRTCRSTビットによるリセット
割り込み	<ul style="list-style-type: none"> • コンペアー一致割り込み • オーバフロー割り込み
TMRE20端子機能	次のいずれかを選択 <ul style="list-style-type: none"> • プログラマブル入出力ポート • f4、f8、f16、f32、64 Hzのいずれかを出力 • コンペアー一致ごとのトグル出力 • モジュール単体でスタンバイ状態に設定可能

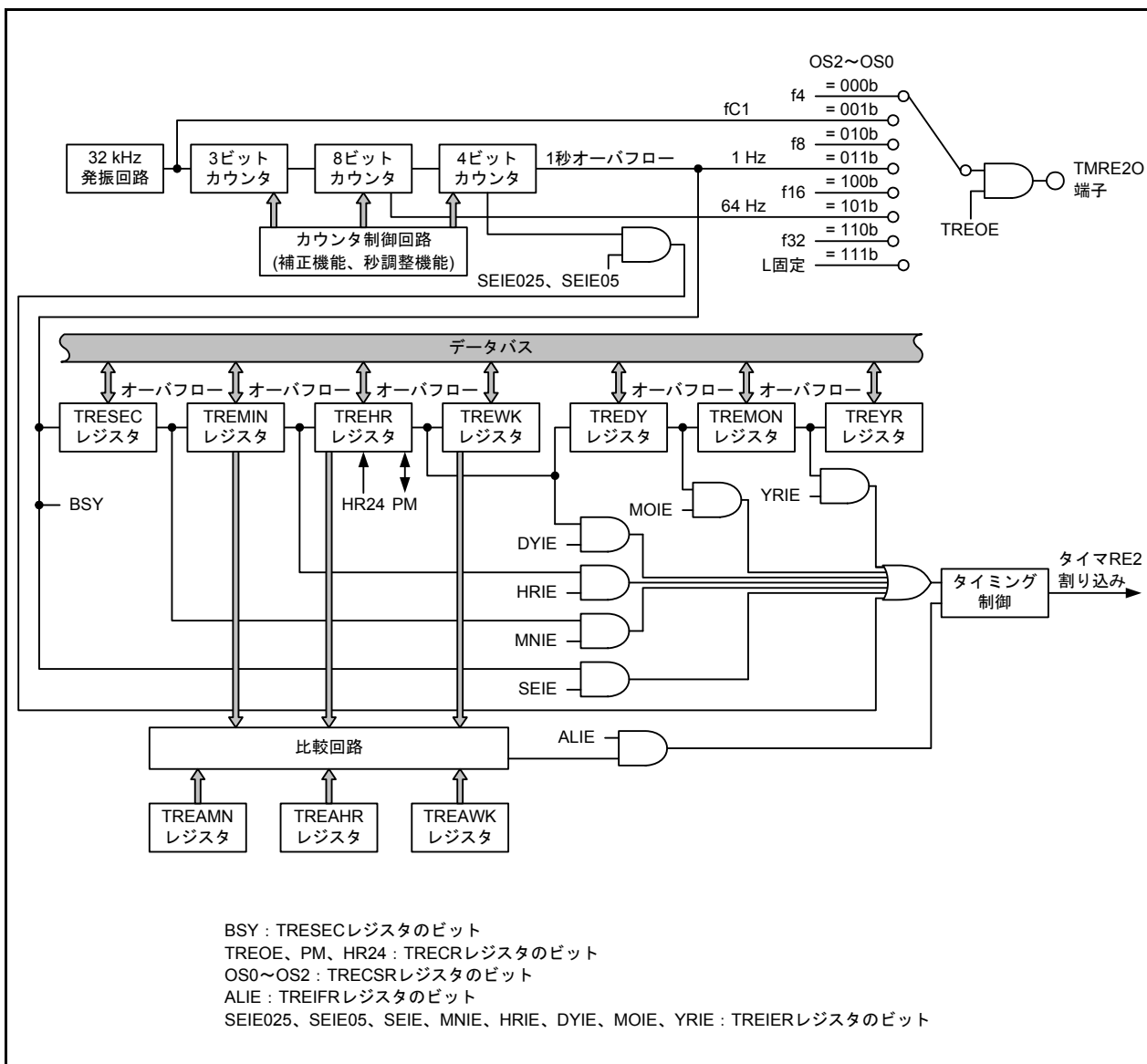


図18.1 リアルタイムクロックモードのブロック図

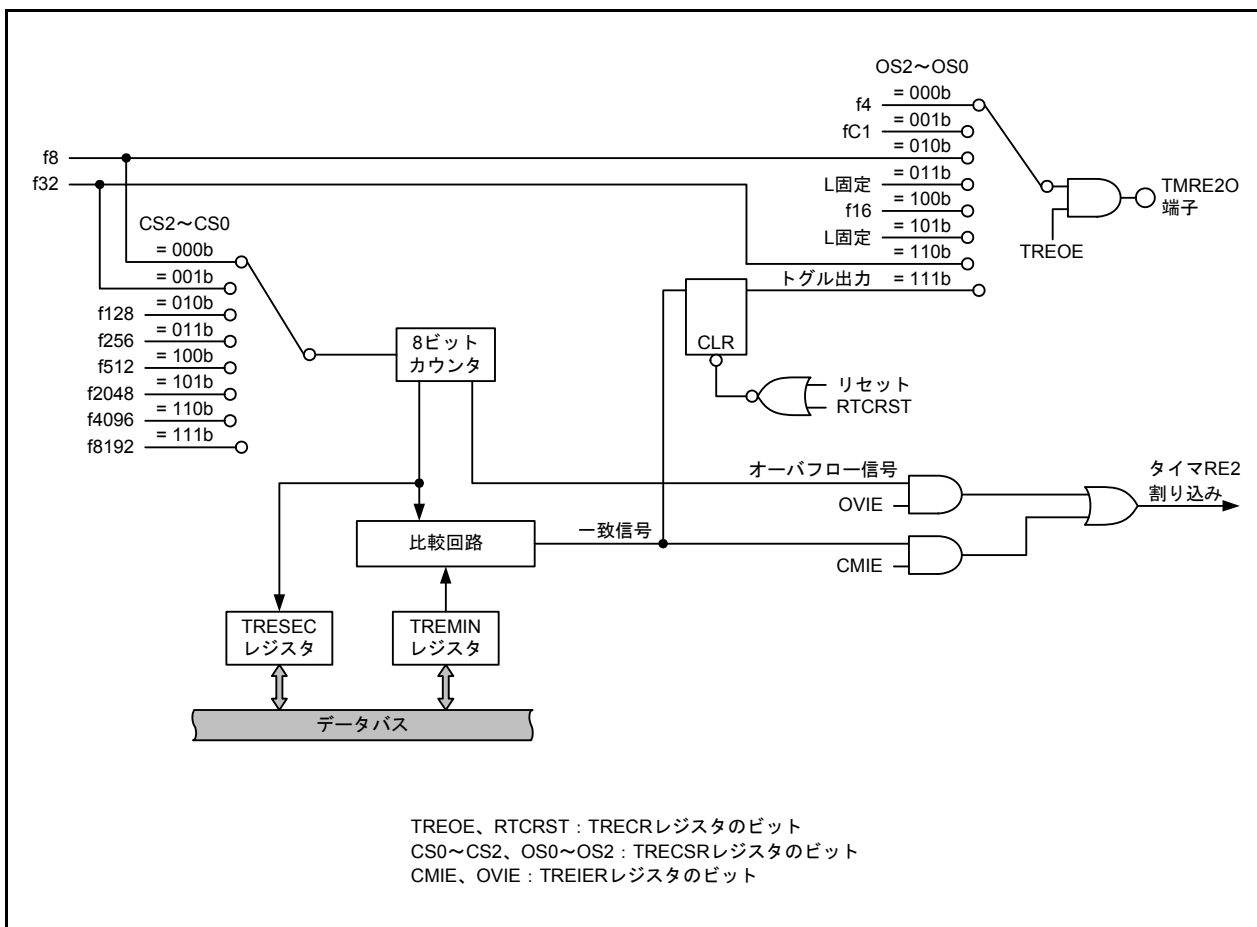


図 18.2 コンパレー一致タイマモードのブロック図

表 18.3 タイマRE2の端子構成

端子名	入出力	機能
TMRE20	出力	タイマRE2クロック出力

18.2 レジスタの説明

表18.4にタイマRE2のレジスタ構成を示します。

表18.4 タイマRE2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRE2カウンタデータレジスタ	TRESEC	00h	00170h	8
タイマRE2秒データレジスタ				
タイマRE2コンペアデータレジスタ	TREMINT	00h	00171h	8
タイマRE2分データレジスタ				
タイマRE2時データレジスタ	TREHR	00h	00172h	8
タイマRE2曜日データレジスタ	TREWK	00h	00173h	8
タイマRE2日データレジスタ	TREYD	00000001b	00174h	8
タイマRE2月データレジスタ	TREMON	00000001b	00175h	8
タイマRE2年データレジスタ	TREYR	00h	00176h	8
タイマRE2制御レジスタ	TRECR	00000100b	00177h	8
タイマRE2カウントソース選択レジスタ	TRECSR	00001000b	00178h	8
タイマRE2時計誤差補正レジスタ	TREADJ	00h	00179h	8
タイマRE2割り込みフラグレジスタ	TREIFR	00h	0017Ah	8
タイマRE2割り込み許可レジスタ	TREIER	00h	0017Bh	8
タイマRE2アラーム分レジスタ	TREAMN	00h	0017Ch	8
タイマRE2アラーム時レジスタ	TREHR	00h	0017Dh	8
タイマRE2アラーム曜日レジスタ	TREAWK	00h	0017Eh	8
タイマRE2プロテクトレジスタ	TREPRC	00h	0017Fh	8

18.2.1 タイマRE2カウンタデータレジスタ (TRESEC) [コンペアー一致タイマモード時]

アドレス 00170h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7~b0	8ビットカウンタのデータが読めます。 タイマRE2のカウンタが停止しても、カウント値は保持されます。 TRECRレジスタのCCLRビットが0のときは、コンペアー一致しても、そのままカウントを継続し、 CCLRビットが1のときは、TRESECレジスタは00hになります。	R

18.2.2 タイマRE2秒データレジスタ (TRESEC) [リアルタイムクロックモード時]

アドレス	00170h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	SC00	秒一位カウントビット	1秒ごとに0から9をカウント。 桁上がりが発生すると、秒十位が 1加算される。	0~9 (BCDコード)	R/W
b1	SC01				R/W
b2	SC02				R/W
b3	SC03				R/W
b4	SC10	秒十位カウントビット	0から5をカウントして、60秒を カウント。	0~5 (BCDコード)	R/W
b5	SC11				R/W
b6	SC12				R/W
b7	BSY	タイマRE2ビジーフラグ	タイマRE2データレジスタ(注1)、TRECRレジスタの PMビットの更新中1になります。		R

注1. タイマRE2データレジスタ : TRESEC、TREMINT、TREHR、TREWK、TREDY、TREMONT、TREYRレジスタ

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TRESECレジスタを書き換えてください。

SC00～SC03ビット(秒一位カウントビット)

SC10～SC12ビット(秒十位カウントビット)

BCDコードで00～59を設定してください。

SC00～SC03、SC10～SC12ビットは、BSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

BSYビット(タイマRE2ビジーフラグ)

データ更新中1になります。次のレジスタとビットは、BSYビットが0(データ更新中ではない)のときに読み出してしてください。

- タイマRE2データレジスタ
(TRESEC、TREMINT、TREHR、TREWK、TREDY、TREMONT、TREYRレジスタ)
- TRECRレジスタのPM、HR24ビット

また、次のレジスタとビットは、BSYビットが0(データ更新中ではない)のときに書き込んでください。

- タイマRE2データレジスタ
(TRESEC、TREMINT、TREHR、TREWK、TREDY、TREMONT、TREYRレジスタ)
- タイマRE2アラームレジスタ(TREAMNT、TREAHR、TREAWKレジスタ)
- PM、HR24ビット
- 補正関連レジスタとビット
(TRECRレジスタのAADJEビット、TRECSRレジスタのAADJMビット、TREADJレジスタ)

18.2.3 タイマRE2コンペアデータレジスタ (TREMINT) [コンペアー一致タイマモード時]

アドレス 00171h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MN7	MN6	MN5	MN4	MN3	MN2	MN1	MN0
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MN0	コンペアデータビット0	8ビットのコンペアデータを格納します。 コンペア値を書いてください。	R/W
b1	MN1	コンペアデータビット1		R/W
b2	MN2	コンペアデータビット2		R/W
b3	MN3	コンペアデータビット3		R/W
b4	MN4	コンペアデータビット4		R/W
b5	MN5	コンペアデータビット5		R/W
b6	MN6	コンペアデータビット6		R/W
b7	MN7	コンペアデータビット7		R/W

TREMINTレジスタは、TRESECレジスタと常に比較されており、両レジスタの値が一致すると、TREIFRレジスタのCMIFビットが1(割り込み要求あり)になります。TREIERレジスタのCMIEビットが1(コンペアー一致割り込み許可)のとき割り込み要求を発生します。

TREMINTレジスタは、TRECRレジスタのRUNビットが0(カウント停止)のときに書き込んでください。

18.2.4 タイマRE2分データレジスタ (TREMIN) [リアルタイムクロックモード時]

アドレス 00171h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MN7	MN12	MN11	MN10	MN03	MN02	MN01	MN00
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MN00	分一位カウントビット	1分ごとに0から9をカウント。 桁上がりが発生すると、分十位が 1加算される。	0~9 (BCDコード)	R/W
b1	MN01				R/W
b2	MN02				R/W
b3	MN03				R/W
b4	MN10	分十位カウントビット	0から5をカウントして、60分を カウント。	0~5 (BCDコード)	R/W
b5	MN11				R/W
b6	MN12				R/W
b7	MN7	0にしてください			R/W

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREMINレジスタを書き換えてください。

MN00～MN03ビット(分一位カウントビット)

MN10～MN12ビット(分十位カウントビット)

BCDコードで00～59を設定してください。

TRESECレジスタからの桁上がりがあると、1加算されます。

MN00～MN03、MN10～MN12ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

18.2.5 タイマRE2時データレジスタ (TREHR)

アドレス	00172h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	HR11	HR10	HR03	HR02	HR01	HR00
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	HR00	時一位カウントビット	1時間ごとに0から9をカウント。 桁上がりが発生すると、時十位が 1加算される。	0~9 (BCDコード)	R/W
b1	HR01				R/W
b2	HR02				R/W
b3	HR03				R/W
b4	HR10	時十位カウントビット	TRECRレジスタのHR24ビットが 0 (12時間モード)のとき、0から1 をカウント。 HR24ビットが1 (24時間モード) のとき、0から2をカウント。	0~2 (BCDコード)	R/W
b5	HR11				R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b7	—				

TREHRレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREHRレジスタを書き換えてください。

HR00～HR03ビット(時一位カウントビット)

HR10～HR11ビット(時十位カウントビット)

TRECRレジスタのHR24ビットが0 (12時間モード)の場合は、BCDコードで00～11を設定してください。HR24ビットが1 (24時間モード)の場合は、BCDコードで00～23を設定してください。

TREMINレジスタからの桁上がりがあると、1加算されます。

HR00～HR03、HR10～HR11ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

18.2.6 タイマRE2曜日データレジスタ (TREWK)

アドレス	00173h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	WK2	WK1	WK0
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WK0	曜日カウントビット	b2 b1 b0	R/W
b1	WK1		0 0 0 : 日曜日	R/W
b2	WK2		0 0 1 : 月曜日	R/W
			0 1 0 : 火曜日	
		0 1 1 : 水曜日		
		1 0 0 : 木曜日		
		1 0 1 : 金曜日		
		1 1 0 : 土曜日		
		1 1 1 : 設定しないでください		
b3	—	予約ビット	0にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

TREWKレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREWKレジスタを書き換えてください。

WK0～WK2ビット(曜日カウントビット)

000b(日曜日)～110b(土曜日)を繰り返しカウントしますので、1週間がカウントできます。111bにはなりません。111bを設定しないでください。

TREHRレジスタからの桁上がりがあると、1加算されます。

WK0～WK2ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

18.2.7 タイマRE2日データレジスタ (TREDY)

アドレス 00174h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	DY11	DY10	DY03	DY02	DY01	DY00
リセット後の値	0	0	0	0	0	0	0	1
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	DY00	日一位カウントビット	1日ごとに0から9をカウント。 桁上がりが発生すると、日十位が 1加算される。	0~9 (BCDコード)	R/W
b1	DY01				R/W
b2	DY02				R/W
b3	DY03				R/W
b4	DY10	日十位カウントビット	0から3をカウント	0~3 (BCDコード)	R/W
b5	DY11				R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b7	—				—

TREDYレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREDYレジスタを書き換えてください。

DY00～DY03ビット(日一位カウントビット)

DY10～DY11ビット(日十位カウントビット)

BCDコードで01～31を設定してください。

TREHRレジスタからの桁上がりがあると、1加算されます。2000年から2099年まで、閏年の2月を含む各月の日数(28～31)をカウントします。

DY00～DY03、DY10～DY11ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

18.2.8 タイマRE2月データレジスタ (TREMON)

アドレス 00175h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MO10	MO03	MO02	MO01	MO00
リセット後の値	0	0	0	0	0	0	0	1
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	MO00	月一位カウントビット	1月ごとに0から9をカウント。 桁上がりが発生すると、月十位が 1加算される。	0~9 (BCDコード)	R/W
b1	MO01				R/W
b2	MO02				R/W
b3	MO03				R/W
b4	MO10	月十位カウントビット	0から1をカウント	0~1 (BCDコード)	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b6	—				
b7	—				

TREMONレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREMONレジスタを書き換えてください。

MO00～MO03ビット(月一位カウントビット)

MO10ビット(月十位カウントビット)

BCDコードで01～12を設定してください。

TREDYレジスタからの桁上がりがあると、1加算されます。

MO00～MO03、MO10ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

18.2.9 タイマRE2年データレジスタ (TREYR)

アドレス	00176h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	YR13	YR12	YR11	YR10	YR03	YR02	YR01	YR00
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	YR00	年一位カウントビット	1年ごとに0から9をカウント。 桁上がりが発生すると、年十位が 1加算される。	0~9 (BCDコード)	R/W
b1	YR01				R/W
b2	YR02				R/W
b3	YR03				R/W
b4	YR10	年十位カウントビット	0から9をカウント	0~9 (BCDコード)	R/W
b5	YR11				R/W
b6	YR12				R/W
b7	YR13				R/W

TREYRレジスタは、リアルタイムクロックモードで使用します。

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、TREYRレジスタを書き換えてください。

YR00~YR03ビット(年一位カウントビット)

YR10~YR13ビット(年十位カウントビット)

BCDコードで00~99を設定してください。年の千と百の位は20固定です。したがって、2000年から2099年を表示できます。

TREMONレジスタからの桁上がりがあると、1加算されます。

YR00~YR03、YR10~YR13ビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

18.2.10 タイマRE2制御レジスタ (TRECRCR) [リアルタイムクロックモード時]

アドレス	00177h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RUN	HR24	PM	RTCRST	CCLR	LFLAG	TREOE	AADJE
リセット後の値	0	0	0	0	0	1	0	0
TRECRCRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	X	X	1	X	0

ビット	シンボル	ビット名	機能	R/W
b0	AADJE	タイマRE2自動補正機能許可ビット	0: 自動補正機能禁止(ソフトウェアによる補正有効) 1: 自動補正機能許可(ソフトウェアによる補正無効)	R/W
b1	TREOE	タイマRE2出力許可ビット	0: TMRE2O出力禁止 1: TMRE2O出力許可	R/W
b2	LFLAG	閏年フラグ (注1)	0: 平年 1: 閏年	R
b3	CCLR	0にしてください		R/W
b4	RTCRST	タイマRE2リセットビット (注2)	このビットを1にすると、表18.5に示すレジスタとビットが初期化され、カウンタ制御回路が初期化される。	R/W
b5	PM	午前/午後ビット	0: 午前 1: 午後	R/W
b6	HR24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	R/W
b7	RUN	タイマRE2動作開始ビット	0: カウント停止 1: カウント開始	R/W

注1. RTCRSTビットを1にすると、TREYRレジスタは00bになります。2000年は閏年なので、LFLAGビットの初期値は1になります。

注2. RTCRSTビットを1にした後は、0にしてください。

AADJEビット(タイマRE2自動補正機能許可ビット)

TRESECレジスタのBSYビットが0(データ更新中ではない)およびTREIFRレジスタのTADJSFビットが0(補正なし)のときに変更してください。

TREOEビット(タイマRE2出力許可ビット)

RUNビットが0(カウント停止)のときに変更してください。

LFLAGビット(閏年フラグ)

TREYRレジスタの値が00または4の倍数の場合、LFLAGビットが1(閏年)になります。LFLAGビットが1の場合、2月の日数を29日にします。

BSYビットが0(データ更新中ではない)のときに読み出してください。

RTCRSTビット(タイマRE2リセットビット)

RTCRSTビットを1にすると、表18.5に示すレジスタとビットが初期化され、カウンタ制御回路が初期化されます。なお、RTCRSTビットを1にした後は、0にしてください。

表18.5 RTCRSTビットで初期化されるレジスタとビット(注1)

レジスタ	初期化されるビット	設定値を保持するビット
タイマRE2データレジスタ(注2)	ビット0~7	—
タイマRE2アラームレジスタ(注3)	ビット0~7	—
TRECR	AADJE、LFLAG、PM、HR24、RUN	TREOE、CCLR、RTCRST
TRECSR	ビット7	ビット0~6
TREADJ	ビット0~7	—
TREIFR	ビット0~7	—
TREIER	ビット0~7	—
TREPRC	—	ビット0~7

注1. 値については、各レジスタのRTCRSTビットによるリセット後の値を参照してください。

注2. タイマRE2データレジスタ：TRESEC、TREMINT、TREHR、TREWK、TREDY、TREMONT、TREYRレジスタ

注3. タイマRE2アラームレジスタ：TREAMN、TREAHR、TREAOKレジスタ

PMビット(午前/午後ビット)

TREPRCレジスタのPROTECTビットを1(書き込み許可)にした後、PMビットを書き換えてください。

PMビットは、TRESECレジスタのBSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

HR24ビットが0(12時間モード)の場合に有効です。

PMビットはカウント動作中、次のように変化します。

- PMビットが1(午後)で、11時59分59秒から、次の00時00分00秒になるとき、0になる
- PMビットが0(午前)で、11時59分59秒から、次の00時00分00秒になるとき、1になる

図18.3に時間表現の定義を示します。

<2000年1月1日土曜日の午前0時からカウントを始めた場合>

正午
↓

HR24ビット=1 (24時間モード)	TREHRレジスタの内容	0	1	...	10	11	12	13	...	22	23	0	1	2	...	21	22	23	0	1	2										
	PMビットの内容	0																													
HR24ビット=0 (12時間モード)	TREHRレジスタの内容	0	1	...	10	11	0	1	...	10	11	0	1	2	...	9	10	11	0	1	2										
	PMビットの内容	0(午前)					1(午後)					0(午前)					1(午後)					0(午前)									
	TREWKレジスタの内容	110(土)										000(日)					001(月)					010(火)									
	TREDYレジスタの内容	1日										2日					...					31日					1日				
	TREMONレジスタの内容	1月										2月																			
	TREYRレジスタの内容	2000年																													
	LFLAGビット	1																													

HR24ビット=1 (24時間モード)	TREHRレジスタの内容	3	4	5	...	21	22	23	0	1	2	...	21	22	23	0	1	2	...																																										
	PMビットの内容	0																																																											
HR24ビット=0 (12時間モード)	TREHRレジスタの内容	3	4	5	...	21	10	11	0	1	2	...	9	10	11	0	1	2	...																																										
	PMビットの内容	0(午前)					...					1(午後)					0(午前)					...																																							
	TREWKレジスタの内容	010(火)					...					010(火)					011(水)					...					000(日)					001(月)					...																								
	TREDYレジスタの内容	1日					...					29日					1日					...					31日					1日					...																								
	TREMONレジスタの内容	2月										3月										...										12月										1月										...									
	TREYRレジスタの内容	2000年																				2001年																				...																			
	LFLAGビット	1																				0																				...																			

LFLAG、PM、HR24 : TRECRCレジスタのビット

図18.3 時間表現の定義

HR24ビット(動作モード選択ビット)

HR24ビットが0(12時間モード)の場合、TREHRレジスタは0~11のカウントを行い、1(24時間モード)の場合、0~23のカウントを行います。HR24ビットは、BSYビットが0(データ更新中ではない)のときに読み出し、書き込みしてください。

18.2.11 タイマRE2制御レジスタ (TRECRCR) [コンペアー一致タイマモード時]

アドレス 00177h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RUN	HR24	PM	RTCRST	CCLR	LFLAG	TREOE	AADJE
リセット後の値	0	0	0	0	0	1	0	0
TRECRCRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	X	X	1	X	0

ビット	シンボル	ビット名	機能	R/W
b0	AADJE	0にしてください		R/W
b1	TREOE	タイマRE2出力許可ビット	0 : TMRE2O出力禁止 1 : TMRE2O出力許可	R/W
b2	LFLAG	0にしてください		R
b3	CCLR	カウンタクリア許可ビット	0 : コンペアー一致によるTRESECレジスタの初期化を禁止 1 : コンペアー一致によるTRESECレジスタの初期化を許可	R/W
b4	RTCRST	タイマRE2リセットビット (注1)	0 : 通常動作 1 : 各レジスタが初期化され、カウンタ制御回路が初期化される	R/W
b5	PM	0にしてください		R/W
b6	HR24			R/W
b7	RUN	タイマRE2動作開始ビット	0 : カウント停止 1 : カウント開始	R/W

注1. RTCRSTビットを1にした後は、0にしてください。初期化される値については、各レジスタのRTCRSTビットによるリセット後の値を参照してください。

TREOEビット(タイマRE2出力許可ビット)

RUNビットが0(カウント停止)のときに変更してください。

CCLRビット(カウンタクリア許可ビット)

RUNビットが0(カウント停止)のときに変更してください。

TRESECレジスタとTREMINTレジスタがコンペアー一致したとき、TRESECレジスタを初期化するかどうかを選択します。TRECSCRレジスタのCS3ビットが0のときのみ有効です。

18.2.12 タイマRE2カウントソース選択レジスタ (TREC SR) [リアルタイムクロックモード時]

アドレス 00178h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	AADJM	OS2	OS1	OS0	CS3	CS2	CS1	CS0
リセット後の値	0	0	0	0	1	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	CS0	カウントソース選択ビット	リアルタイムクロックモード(CS3ビット=1)では、1000b (fC1)にしてください。	R/W
b1	CS1			R/W
b2	CS2			R/W
b3	CS3			R/W
b4	OS0	タイマRE2出力選択ビット	b6 b5 b4 0 0 0 : f4 0 0 1 : fC1 0 1 0 : f8 0 1 1 : 1 Hz 1 0 0 : f16 1 0 1 : 64 Hz 1 1 0 : f32 1 1 1 : 設定しないでください	R/W
b5	OS1			R/W
b6	OS2			R/W
b7	AADJM	自動補正モード選択ビット	0 : 1分ごとに補正 1 : 10秒ごとに補正	R/W

CS0～CS3ビット(カウントソース選択ビット)

TRECRレジスタのRUNビットが0(カウント停止)のときに変更してください。

OS0～OS2ビット(タイマRE2出力選択ビット)

RUNビットが0(カウント停止)のときに変更してください。

TRECRレジスタのTREQEビットが1(TMRE2O出力許可)の場合に有効です。

AADJMビット(自動補正モード選択ビット)

TRECRレジスタのAADJEビットが1(自動補正機能許可(ソフトウェアによる補正無効))の場合に有効です。

0にすると1分ごとに補正し、分解能は±0.5 ppmです。1にすると10秒ごとに補正し、分解能は±3 ppmです。

TRESECレジスタのBSYビットが0(データ更新中ではない)およびTREIFRレジスタのTADJSFビットが0のときに変更してください。

18.2.13 タイマRE2カウントソース選択レジスタ (TREC SR) [コンペアー一致タイマモード時]

アドレス 00178h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	AADJM	OS2	OS1	OS0	CS3	CS2	CS1	CS0
リセット後の値	0	0	0	0	1	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	CS0	カウントソース選択ビット	コンペアー一致タイマモードでは、次の値を設定してください。 b3 b2 b1 b0 0 0 0 0 : f8 0 0 0 1 : f32 0 0 1 0 : f128 0 0 1 1 : f256 0 1 0 0 : f512 0 1 0 1 : f2048 0 1 1 0 : f4096 0 1 1 1 : f8192 上記以外 : 設定しないでください	R/W
b1	CS1			R/W
b2	CS2			R/W
b3	CS3			R/W
b4	OS0	タイマRE2出力選択ビット	b6 b5 b4 0 0 0 : f4 0 0 1 : fC1 0 1 0 : f8 0 1 1 : L固定 1 0 0 : f16 1 0 1 : L固定 1 1 0 : f32 1 1 1 : コンペアー一致ごとのトグル出力	R/W
b5	OS1			R/W
b6	OS2			R/W
b7	AADJM	0にしてください		R/W

CS0～CS3ビット(カウントソース選択ビット)

TRECRレジスタのRUNビットが0(カウント停止)のときに変更してください。

OS0～OS2ビット(タイマRE2出力選択ビット)

RUNビットが0(カウント停止)のときに変更してください。

TRECRレジスタのTREQEビットが1(TMRE2O出力許可)の場合に有効です。

OS2～OS0ビットに111bを書くと、内部出力レベルはLになります。

18.2.14 タイマRE2時計誤差補正レジスタ (TREADJ)

アドレス	00179h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PLUS	MINUS	ADJ5	ADJ4	ADJ3	ADJ2	ADJ1	ADJ0
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADJ0	補正值設定ビット	設定範囲：00h～3Fh (00～63)	R/W
b1	ADJ1			R/W
b2	ADJ2			R/W
b3	ADJ3			R/W
b4	ADJ4			R/W
b5	ADJ5			R/W
b6	MINUS	補正カウンタビット	b7 b6 0 0 : 補正しない 0 1 : 減算補正 1 0 : 加算補正 1 1 : 設定しないでください	R/W
b7	PLUS			R/W

TREADJレジスタは、リアルタイムクロックモードで使用します。時計誤差補正方向および補正量を設定するレジスタです。TRECSRレジスタのCS3ビットが1の状態、TREADJレジスタに書き込んでください。TRESECレジスタのBSYビットとTREIFRレジスタのTADJSFビットがともに0のときに変更してください。

MINUS、PLUSビット(補正カウンタビット)

1秒のカウンタを、ADJ0～ADJ5ビットの値によって変更します。

PLUSビットを0、MINUSビットを1にすると、内部カウンタをマイナス側に補正します。時計が進んでいるときに、遅らせることができます。

PLUSビットを1、MINUSビットを0にすると、内部カウンタをプラス側に補正します。時計が遅れているときに、進めることができます。

補正する間隔は、TRECRレジスタのAADJEビットの値によって異なります。

AADJEビットが0(自動補正機能禁止(ソフトウェアによる補正有効))のときは、TREADJレジスタを書き込むときに補正します。AADJEビットが1(自動補正機能許可(ソフトウェアによる補正無効))のときは、TRECSRレジスタのAADJMビットで設定した間隔で補正します。

TREADJレジスタの設定方法の詳細は「18.3.4 時計誤差補正機能」を参照してください。

18.2.15 タイマRE2割り込みフラグレジスタ (TREIFR) [リアルタイムクロックモード時]

アドレス 0017Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TADJSF	—	—	RSTADJ	ADJ30S	ALIE	RTCF	ALIF
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ALIF	アラーム割り込みフラグ	0: 割り込み要求なし	R/W
b1	RTCF	リアルタイムクロック周期割り込みフラグ	1: 割り込み要求あり	R/W
b2	ALIE	アラーム割り込み許可ビット	0: アラーム割り込み禁止 1: アラーム割り込み許可	R/W
b3	ADJ30S	30秒調整ビット	このビットに1を書くと、TRESECレジスタの値が次のようになる。 TRESECレジスタの値 ≤ 29の場合: TRESEC ← 00 TRESECレジスタの値 ≥ 30の場合: TRESEC ← 00、TREMINT ← TREMIN + 1 読んだ場合、その値は0。	W
b4	RSTADJ	秒カウンタリセット調整ビット	このビットに1を書くと、TRESECレジスタの値が00になり、内部カウンタが初期化される。 読んだ場合、その値は0。	W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	TADJSF	補正ステータスフラグ	0: 補正なし 1: 補正中	R

ALIFビット(アラーム割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。
- DTCからの割り込み自動クリアのとき

[1になる条件]

- タイマRE2アラームレジスタ(注1)の内容とタイマRE2データレジスタ(注2)の内容が一致
(「18.3.5 アラーム機能」参照)

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

一致を確認するためには、タイマRE2アラームレジスタ(注1)の各許可ビットを1にしてください。

注1. タイマRE2アラームレジスタ: TREAMN、TREAHR、TREAOKレジスタ

注2. タイマRE2データレジスタ: TREMIN、TREHR、TREWOKレジスタ

RTCFビット(リアルタイムクロック周期割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。
- DTCからの割り込み自動クリアのとき

[1になる条件]

- TREIERレジスタで許可した割り込みの要因が発生。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

ALIEビット(アラーム割り込み許可ビット)

TRECRレジスタのRUNビットが0(カウント停止)のときに変更してください。

TADJSFビット(補正ステータスフラグ)

TADJSFビットが1(補正中)の間、次のビットまたはレジスタを変更しないでください。

- TRECRレジスタのAADJEビット
- TRECSRレジスタのAADJMビット
- TREADJレジスタ

[0になる条件]

- 補正を終了
- (1) 加算補正する場合は、TREADJレジスタのADJ0～ADJ5ビットで設定した補正値を、内部カウンタに転送したとき
- (2) 減算補正する場合は、ADJ0～ADJ5ビットで設定した補正値と内部カウンタの値が、コンペア一致したとき
- TREADJレジスタのPLUS～MINUSビットに00b(補正しない)を書いたとき

[1になる条件]

- ソフトウェアによる補正の場合
- (1) PLUS～MINUSビットに01b(減算補正)を書いたとき(カウントソースに同期して1になる)
- (2) PLUS～MINUSビットに10b(加算補正)を書いたとき(カウントソースに同期して1になる)
- 自動補正の場合
減算補正の条件を満たす秒の期間に、TRESECレジスタのBSYビットが0(データ更新中ではない)になったとき

18.2.16 タイマRE2割り込みフラグレジスタ (TREIFR) [コンペアー一致タイマモード時]

アドレス	0017Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TADJSF	—	—	RSTADJ	ADJ30S	ALIE	OVIF	CMIF
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIF	コンペアー一致割り込みフラグ	0 : 割り込み要求なし	R/W
b1	OVIF	オーバフロー割り込みフラグ	1 : 割り込み要求あり	R/W
b2	ALIE	0にしてください		R/W
b3	ADJ30S			W
b4	RSTADJ			W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	TADJSF	コンペアー一致タイマモードでは無効		R

CMIFビット(コンペアー一致割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。
- DTCからの割り込み自動クリアのとき

[1になる条件]

- TRESECレジスタの内容と TREMINレジスタの内容が一致。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

OVIFビット(オーバフロー割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。
- DTCからの割り込み自動クリアのとき

[1になる条件]

- 8ビットカウンタがオーバフロー。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

18.2.17 タイマRE2割り込み許可レジスタ (TREIER) [リアルタイムクロックモード時]

アドレス 0017Bh

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル YRIE MOIE DYIE HRIE MNIE SEIE SEIE05 SEIE025

リセット後の値 0 0 0 0 0 0 0 0

TRECRレジスタの
RTCRSTビットに
よるリセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SEIE025	0.25秒周期割り込み許可ビット	0: 0.25秒周期割り込み禁止 1: 0.25秒周期割り込み許可	R/W
b1	SEIE05	0.5秒周期割り込み許可ビット	0: 0.5秒周期割り込み禁止 1: 0.5秒周期割り込み許可	R/W
b2	SEIE	秒周期割り込み許可ビット	0: 秒周期割り込み禁止 1: 秒周期割り込み許可	R/W
b3	MNIE	分周期割り込み許可ビット	0: 分周期割り込み禁止 1: 分周期割り込み許可	R/W
b4	HRIE	時周期割り込み許可ビット	0: 時周期割り込み禁止 1: 時周期割り込み許可	R/W
b5	DYIE	日周期割り込み許可ビット	0: 日周期割り込み禁止 1: 日周期割り込み許可	R/W
b6	MOIE	月周期割り込み許可ビット	0: 月周期割り込み禁止 1: 月周期割り込み許可	R/W
b7	YRIE	年周期割り込み許可ビット	0: 年周期割り込み禁止 1: 年周期割り込み許可	R/W

TREIERレジスタは、TRECRレジスタのRUNビットが0(カウント停止)のときに書き込んでください。

18.2.18 タイマRE2割り込み許可レジスタ (TREIER) [コンペアー一致タイマモード時]

アドレス 0017Bh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	YRIE	MOIE	DYIE	HRIE	MNIE	SEIE	OVIE	CMIE
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIE	コンペアー一致割り込み許可ビット	0 : コンペアー一致割り込み禁止 1 : コンペアー一致割り込み許可	R/W
b1	OVIE	オーバフロー割り込み許可ビット	0 : オーバフロー割り込み禁止 1 : オーバフロー割り込み許可	R/W
b2	SEIE	0にしてください		R/W
b3	MNIE			R/W
b4	HRIE			R/W
b5	DYIE			R/W
b6	MOIE			R/W
b7	YRIE			R/W

TREIERレジスタは、TRECRレジスタのRUNビットが0(カウント停止)のときに書き込んでください。

18.2.19 タイマRE2アラーム分レジスタ (TREAMN)

アドレス	0017Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ENBMN	AMN6	AMN5	AMN4	AMN3	AMN2	AMN1	AMN0
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	AMN0	分一位アラームデータビット	アラームデータ格納	0~9 (BCDコード)	R/W
b1	AMN1				R/W
b2	AMN2				R/W
b3	AMN3				R/W
b4	AMN4	分十位アラームデータビット	アラームデータ格納	0~5 (BCDコード)	R/W
b5	AMN5				R/W
b6	AMN6				R/W
b7	ENBMN	分アラーム許可ビット	0 : 分アラーム禁止 (TREMINTレジスタと比較しない) 1 : 分アラーム許可 (TREMINTレジスタと比較する)		R/W

TREAMNレジスタは、リアルタイムクロックモードで使用します。

TRESECレジスタのBSYビットが0(データ更新中ではない)ときに書いてください。

ENBMNビットが1(分アラーム許可)のとき、TREAMNレジスタとTREMINTレジスタが比較されます。両レジスタの値が一致すると、TREIFRレジスタのALIFビットが1(割り込み要求あり)になります。TREIFRレジスタのALIEビットが1(アラーム割り込み許可)のとき、割り込み要求が発生します。

AMN0~AMN3ビット(分一位アラームデータビット)

AMN4~AMN6ビット(分十位アラームデータビット)

BCDコードで00~59を設定してください。

それ以外の値を設定すると正常に動作しません。

18.2.20 タイマRE2アラーム時レジスタ (TREAHR)

アドレス	0017Dh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ENBHR	APM	AHR5	AHR4	AHR3	AHR2	AHR1	AHR0
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	設定範囲	R/W
b0	AHR0	時一位アラームデータビット	アラームデータ格納	0~9 (BCDコード)	R/W
b1	AHR1				R/W
b2	AHR2				R/W
b3	AHR3				R/W
b4	AHR4	時十位アラームデータビット	アラームデータ格納	0~2 (BCDコード)	R/W
b5	AHR5				R/W
b6	APM	午前/午後アラームデータビット	0: 午前 1: 午後		R/W
b7	ENBHR	時アラーム許可ビット	0: 時アラーム禁止 (TREHRレジスタと比較しない) 1: 時アラーム許可 (TREHRレジスタと比較する)		R/W

TREAHRレジスタは、リアルタイムクロックモードで使用します。

TRESECレジスタのBSYビットが0(データ更新中ではない)ときに書いてください。

ENBHRビットが1(時アラーム許可)のとき、TREAHRレジスタとTREHRレジスタが比較されます。両レジスタの値が一致すると、TREIFRレジスタのALIFビットが1(割り込み要求あり)になります。TREIFRレジスタのALIEビットが1(アラーム割り込み許可)のとき、割り込み要求が発生します。

AHR0~AHR3ビット(時一位アラームデータビット)

AHR4~AHR5ビット(時十位アラームデータビット)

TRECRレジスタのHR24ビットが0(12時間モード)の場合は、BCDコードで00~11を設定してください。HR24ビットが1(24時間モード)の場合は、BCDコードで00~23を設定してください。

それ以外の値を設定すると正常に動作しません。

APMビット(午前/午後アラームデータビット)

HR24ビットが1(24時間モード)の場合は、APMビットを0(午前)にしてください。

18.2.21 タイマRE2アラーム曜日レジスタ (TREA WK)

アドレス 0017Eh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ENBWK	—	—	—	—	AWK2	AWK1	AWK0
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AWK0	曜日アラームデータビット	b2 b1 b0	R/W
b1	AWK1		0 0 0 : 日曜日	R/W
b2	AWK2		0 0 1 : 月曜日	R/W
			0 1 0 : 火曜日	
			0 1 1 : 水曜日	
		1 0 0 : 木曜日		
		1 0 1 : 金曜日		
		1 1 0 : 土曜日		
		1 1 1 : 設定しないでください		
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	
b4	—			
b5	—			
b6	—			
b7	ENBWK	曜日アラーム許可ビット	0 : 曜日アラーム禁止 (TREWKレジスタと比較しない) 1 : 曜日アラーム許可 (TREWKレジスタと比較する)	R/W

TREA WKレジスタは、リアルタイムクロックモードで使用します。

TRESECレジスタのBSYビットが0(データ更新中ではない)ときに書いてください。

ENBWKビットが1(曜日アラーム許可)のとき、TREA WKレジスタとTREWKレジスタが比較されます。両レジスタの値が一致すると、TREIFRレジスタのALIFビットが1(割り込み要求あり)になります。TREIFRレジスタのALIEビットが1(アラーム割り込み許可)のとき、割り込み要求が発生します。

AWK0～AWK2ビット(曜日アラームデータビット)

000b(日曜日)～110b(土曜日)を設定してください。

18.2.22 タイマRE2プロテクトレジスタ (TREPRC) [リアルタイムクロックモード時]

アドレス	0017Fh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PROTECT	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	X	X	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—	予約ビット	0にしてください	R/W
b7	PROTECT	プロテクトビット	時刻のデータレジスタへの書き込み 0：書き込み禁止 1：書き込み許可	R/W

PROTECTビット(プロテクトビット)

次のレジスタとビットは、PROTECTビットが1(書き込み許可)のときに変更できます。

- タイマRE2データレジスタ (TRESEC、TREMIN、TREHR、TREWK、TREDY、TREMOM、TREYRレジスタ)
- TRECRレジスタのPMビット

PROTECTビットは、プログラムで1を書くと、その後1の状態が続きます。このビットで保護されるレジスタは、次の手順で変更してください。

- (1) PROTECTビットに1を書く
- (2) PROTECTビットで保護されるレジスタに値を書く
- (3) PROTECTビットに0(書き込み禁止)を書く

18.2.23 タイマRE2プロテクトレジスタ (TREPRC) [コンペアー一致タイマモード時]

アドレス	0017Fh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PROTECT	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	X	X	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—	予約ビット	0にしてください	R/W
b7	PROTECT	プロテクトビット	TREMINレジスタへの書き込み 0: 書き込み禁止 1: 書き込み許可	R/W

PROTECTビット(プロテクトビット)

TREMINレジスタは、PROTECTビットが1(書き込み許可)のときに変更できます。

PROTECTビットは、プログラムで1を書くと、その後1の状態が続きます。次の手順で変更してください。

- (1) PROTECTビットに1を書く
- (2) TREMINレジスタに値を書く
- (3) PROTECTビットに0(書き込み禁止)を書く

18.3 リアルタイムクロックモードの動作説明

18.3.1 動作例

18.3.2 関連レジスタの設定例

リアルタイムクロックモードでタイマRE2を使用する場合、電源投入後図18.4に示す手順でレジスタの初期設定を行ってください。図18.5にリアルタイムクロックモードの動作例を示します。また、レジスタの再設定を行う場合も、図18.4に従ってください。

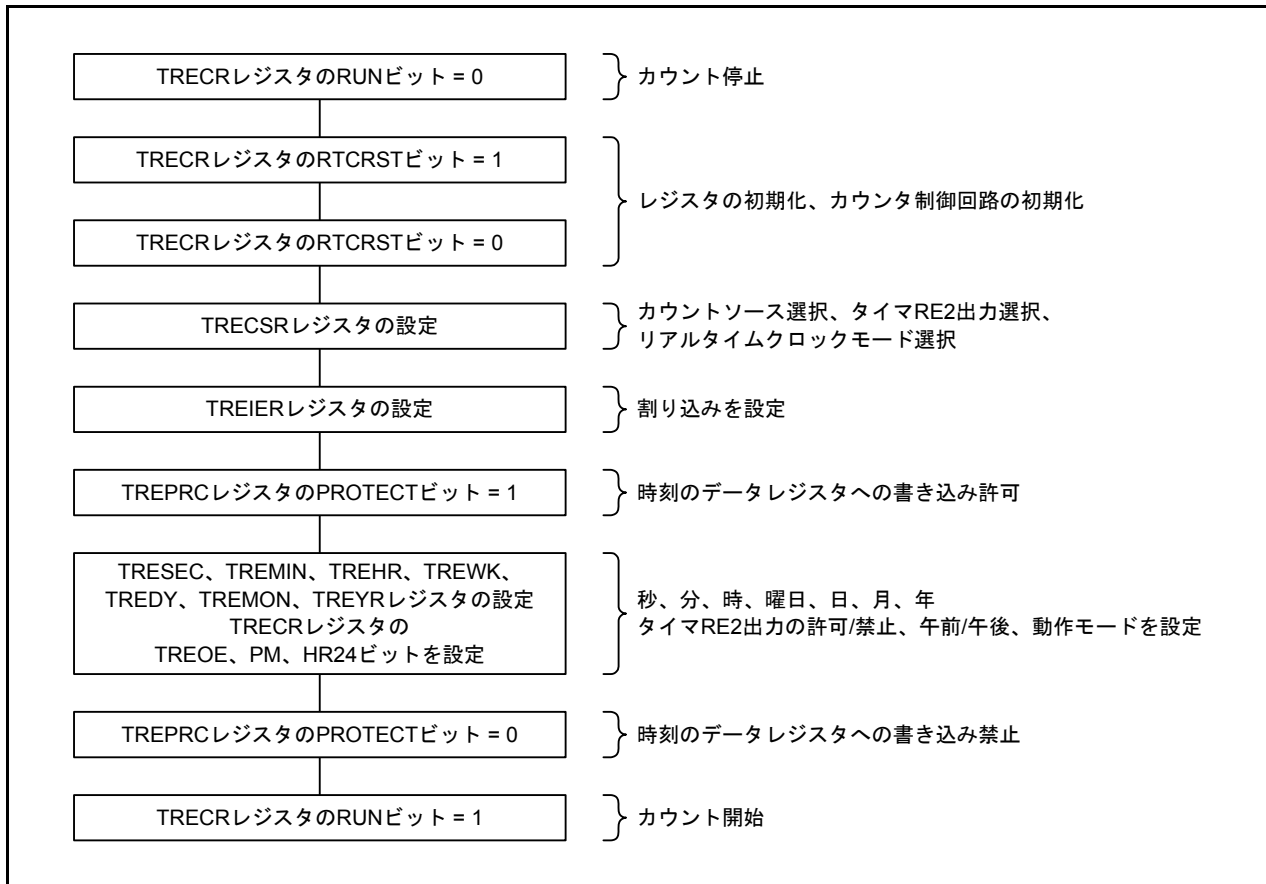


図18.4 リアルタイムクロックモードでタイマRE2を使用する場合の初期設定手順

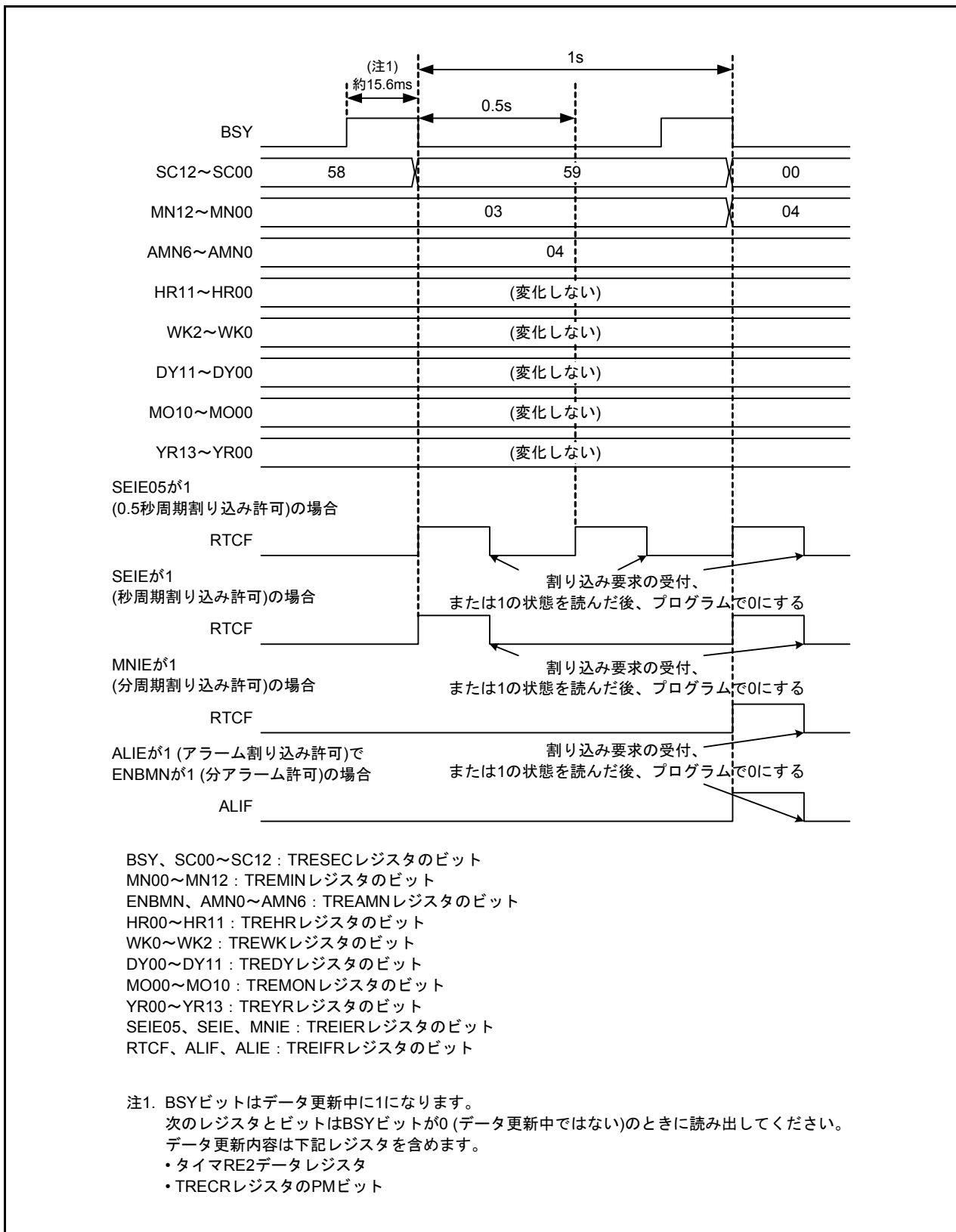


図18.5 リアルタイムクロックモードの動作例

18.3.3 時刻の変更手順と読み出し手順

18.3.3.1 時刻の変更手順

図18.6に時刻の変更手順を示します。リアルタイムクロックモード動作中に秒、分、時、曜日、日、月、年データを変更する手順は、図18.6に従ってください。

TRESECレジスタのBSYビットを判定し、BSYビットが0のとき、秒、分、時、曜日、日、月、年の各データレジスタを変更してください。その後、BSYビットを再度判定し、BSYビットが0の場合は、時刻書き換えの動作が終了しています。BSYビットが1の場合は、BSYビットが0になるのを待って、秒、分、時、曜日、日、月、年の各データレジスタを再度変更してください。

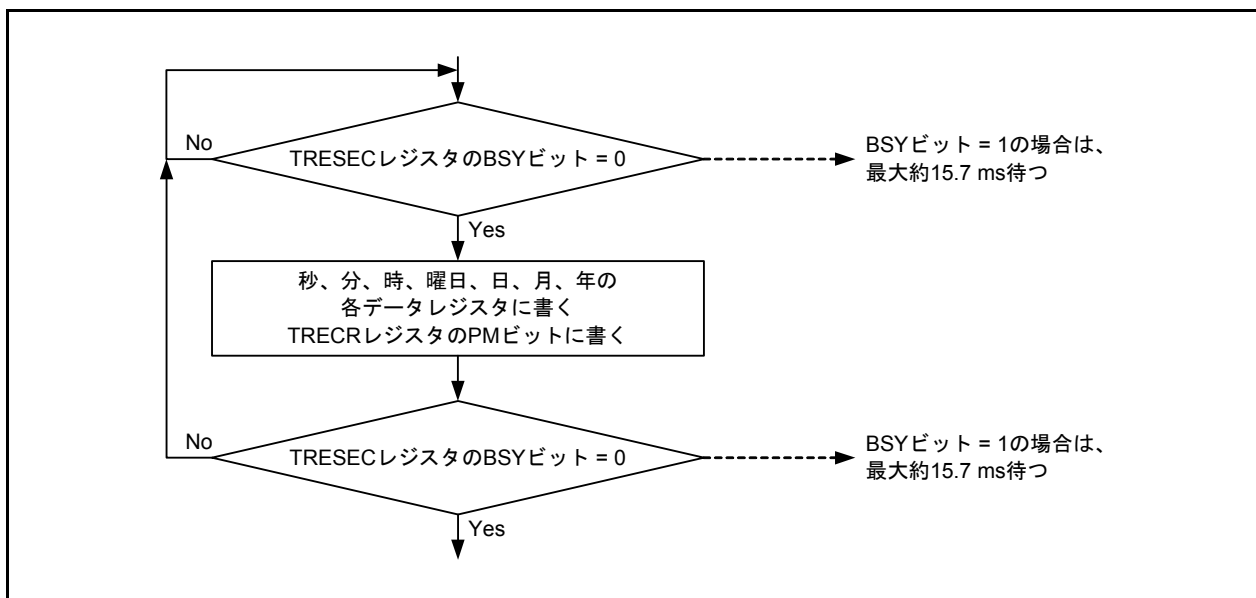


図18.6 時刻の変更手順

18.3.3.2 時刻の読み出し手順

時刻読み出し期間中に秒、分、時、曜日、日、月、年データの更新が行われると、正しい時刻が得られないため、再度読み出してください。図18.7に正しい時刻を得られない場合の例を示します。この例では、TRESECレジスタのみデータ更新後に読み出しているため、約1分の差異が生じています。

正しい時刻を読み出す方法は、次の4つです。

- プログラムで監視する方法1

TRESECレジスタのBSYビットを判定し、BSYビットが1から0に変化した後に、秒、分、時、曜日、日、月、年の各データレジスタを読み出してください。BSYビットが1になってから、約15.625 ms後にレジスタの更新が行われ、BSYビットが0になります。

- プログラムで監視する方法2

次の順番で秒、分、時、曜日、日、月、年の各データレジスタを読み出してください。

- (1) 周期割り込みを許可する
- (2) TREIFRレジスタのRTCFビットを監視する
- (3) RTCFビットが1(割り込み要求あり)になったことを確認する
- (4) BSYビットが0(データ更新中ではない)であることを確認する
- (5) 秒、分、時、曜日、日、月、年の各データレジスタを読み出す

- 割り込みを使用する方法

タイマRE2割り込みルーチン内で秒、分、時、曜日、日、月、年の各データレジスタのうち、必要な内容を読み出してください。

- 読み出した結果が2回同じであれば採用する方法

秒、分、時、曜日、日、月、年の各データレジスタを連続的に2回読み出し、読み出したデータが同じであれば、そのデータを採用してください。

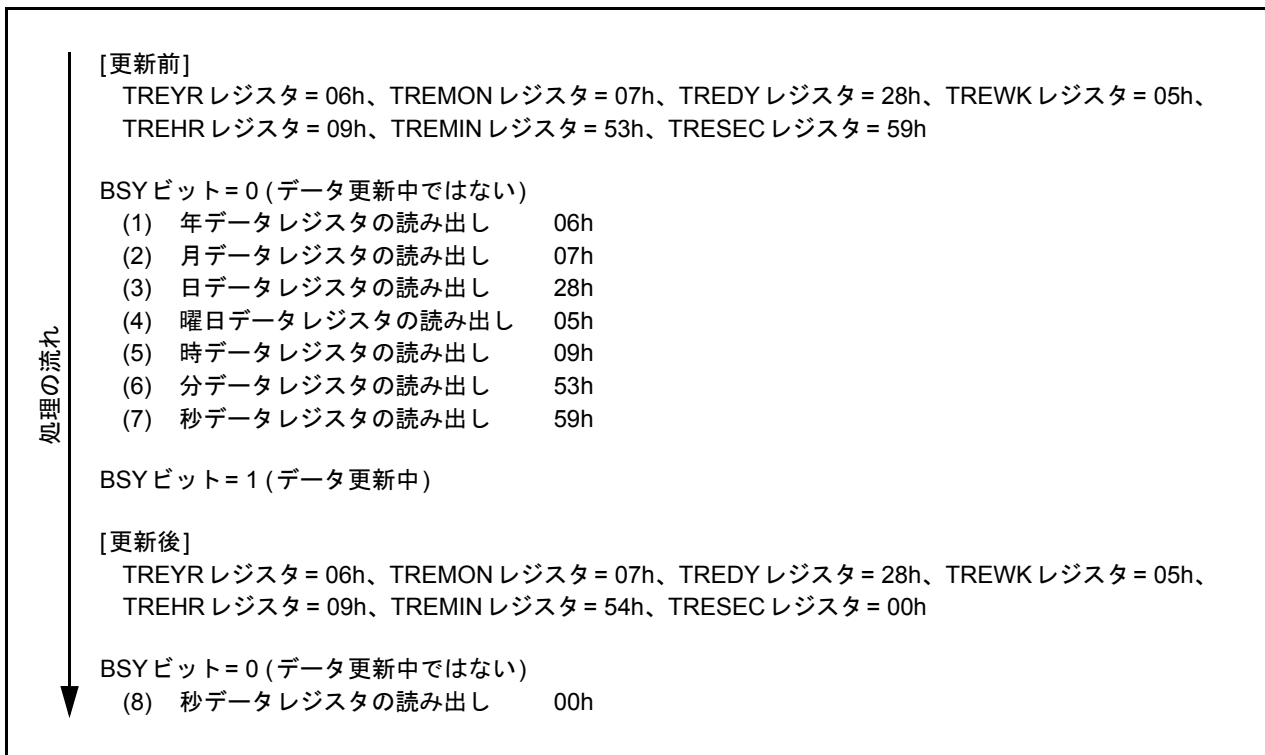


図18.7 正しい時刻を得られない場合の例

18.3.4 時計誤差補正機能

内部カウンタのカウンタ値から加減算することで、fC1クロックの入力周波数のずれを補正できます。TREADJレジスタのADJ0～ADJ5ビットで、補正量を設定します。補正方向は、TREADJレジスタのMINUS、PLUSビットで設定します。fC1クロックが32,768 Hzより遅い場合は、PLUS、MINUSビットを10b(加算補正)に、fC1クロックが32,768 Hzより早い場合は、PLUS、MINUSビットを01b(減算補正)にすることで、時計誤差を補正できます。

18.3.4.1 ソフトウェアによる補正

ソフトウェアによる補正の場合、MINUSビットまたはPLUSビットに一度1を書くと、その1回のみ補正します。図18.8にソフトウェアによる加算補正の動作例を示します。ソフトウェア減算補正は、カウンタの値とADJ0～ADJ5ビットの設定値が、コンペア一致する直前にTREIFRレジスタのTADJSFビットが1(補正中)になると、本1/16秒期間で減算補正します(図18.9参照)。カウンタの値とADJ0～ADJ5ビットの設定値が、コンペア一致した直後にTADJSFビットが1になると、次の1/16秒期間で減算補正します(図18.10参照)。

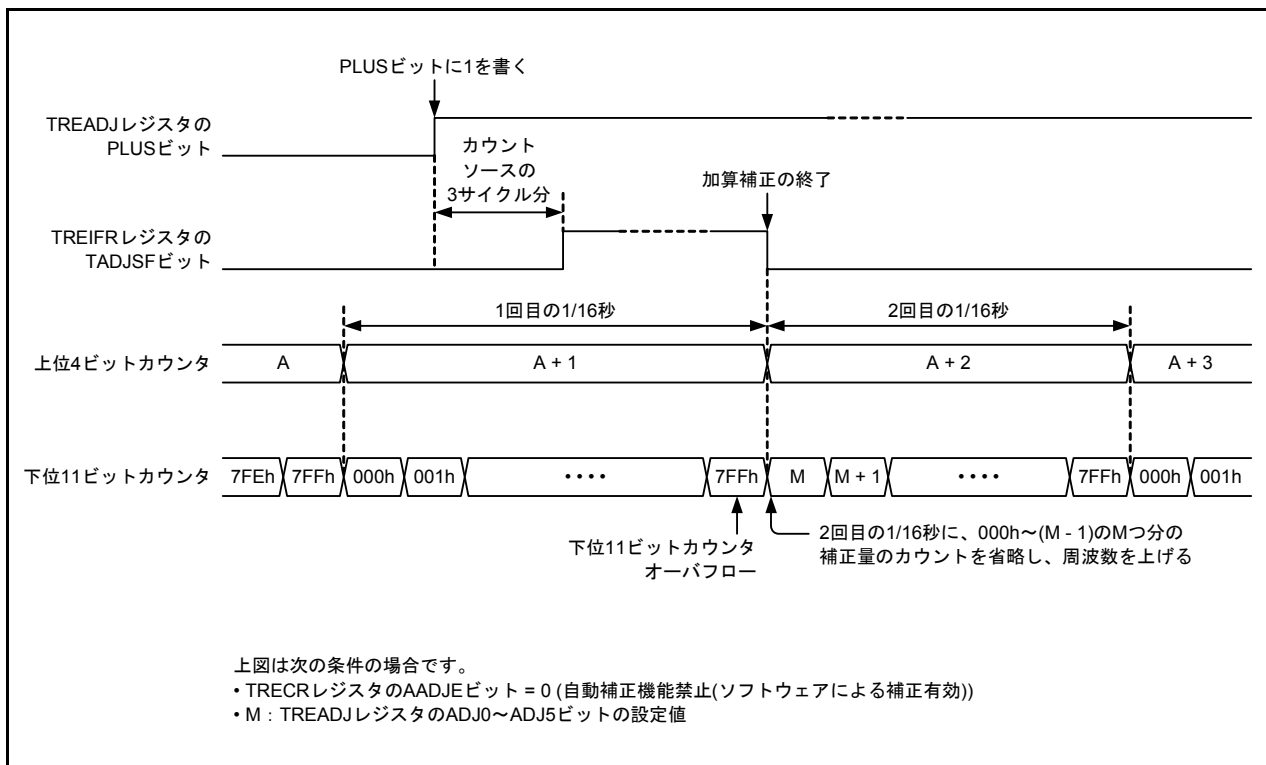


図18.8 ソフトウェアによる加算補正の動作例

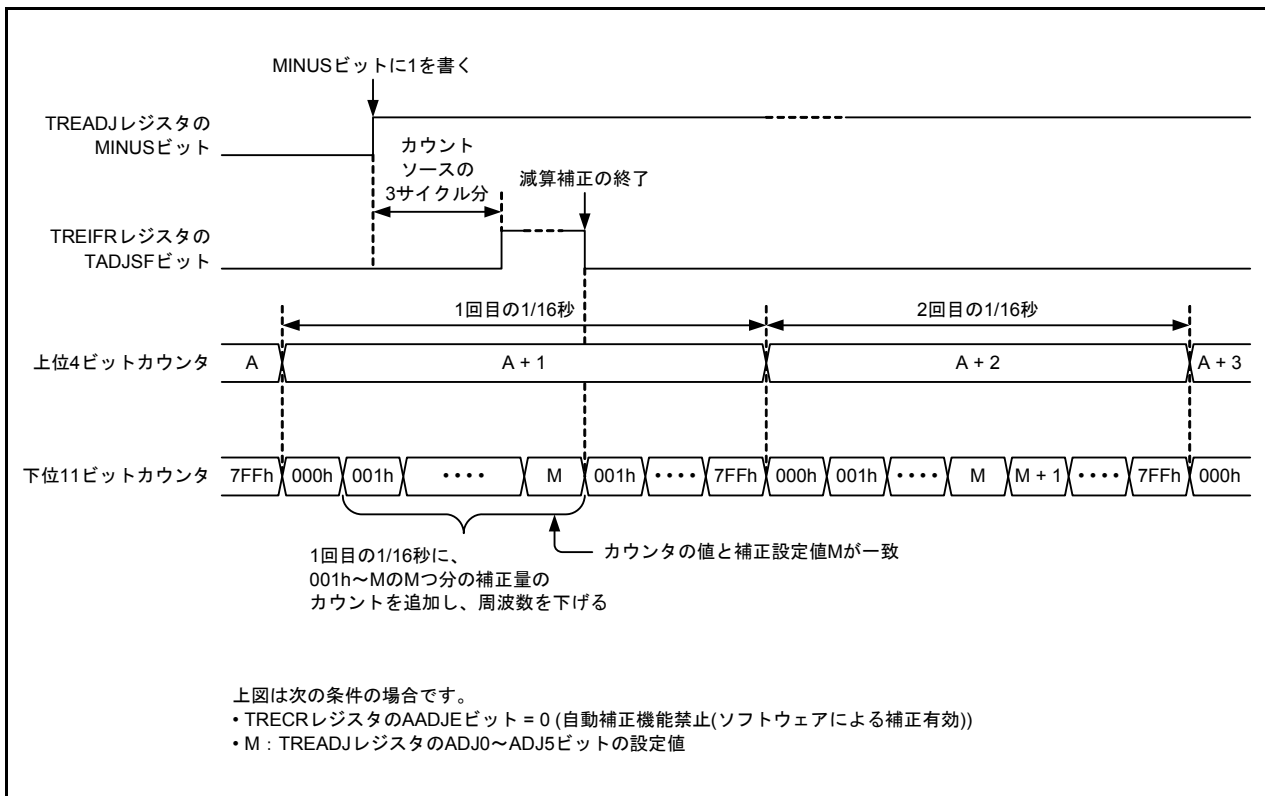


図 18.9 ソフトウェアによる減算補正の動作例(本1/16秒期間に補正する場合)

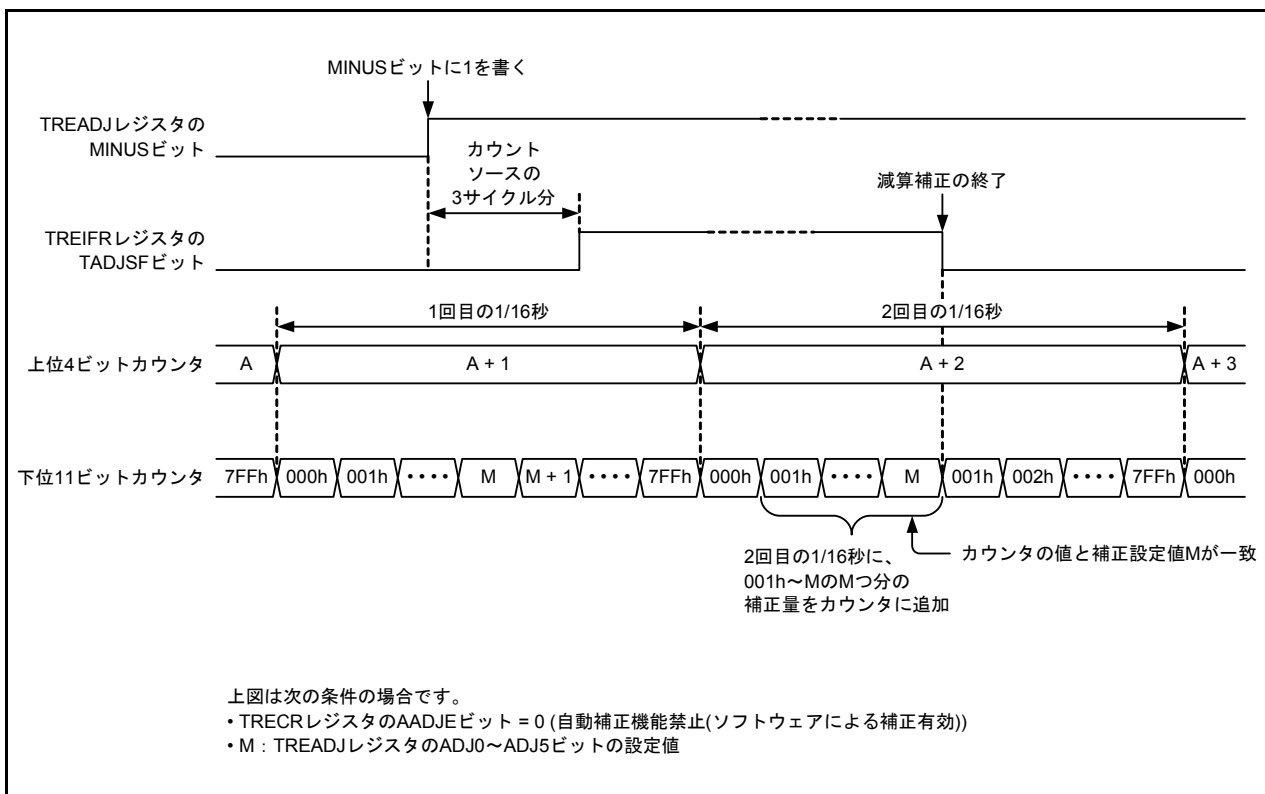


図 18.10 ソフトウェアによる減算補正の動作例(次の1/16秒期間に補正する場合)

18.3.4.2 自動補正機能

自動補正機能の場合、TREADJレジスタのMINUSビットまたはPLUSビットに一度1を書くと、周期的に補正します。TRECSRレジスタのAADJMビットで1分ごとまたは10秒ごとに、TREADJレジスタを内部カウンタの値から加減算します。

図18.11に自動補正機能、加算補正の動作例を、図18.12に自動補正機能、減算補正の動作例を示します。

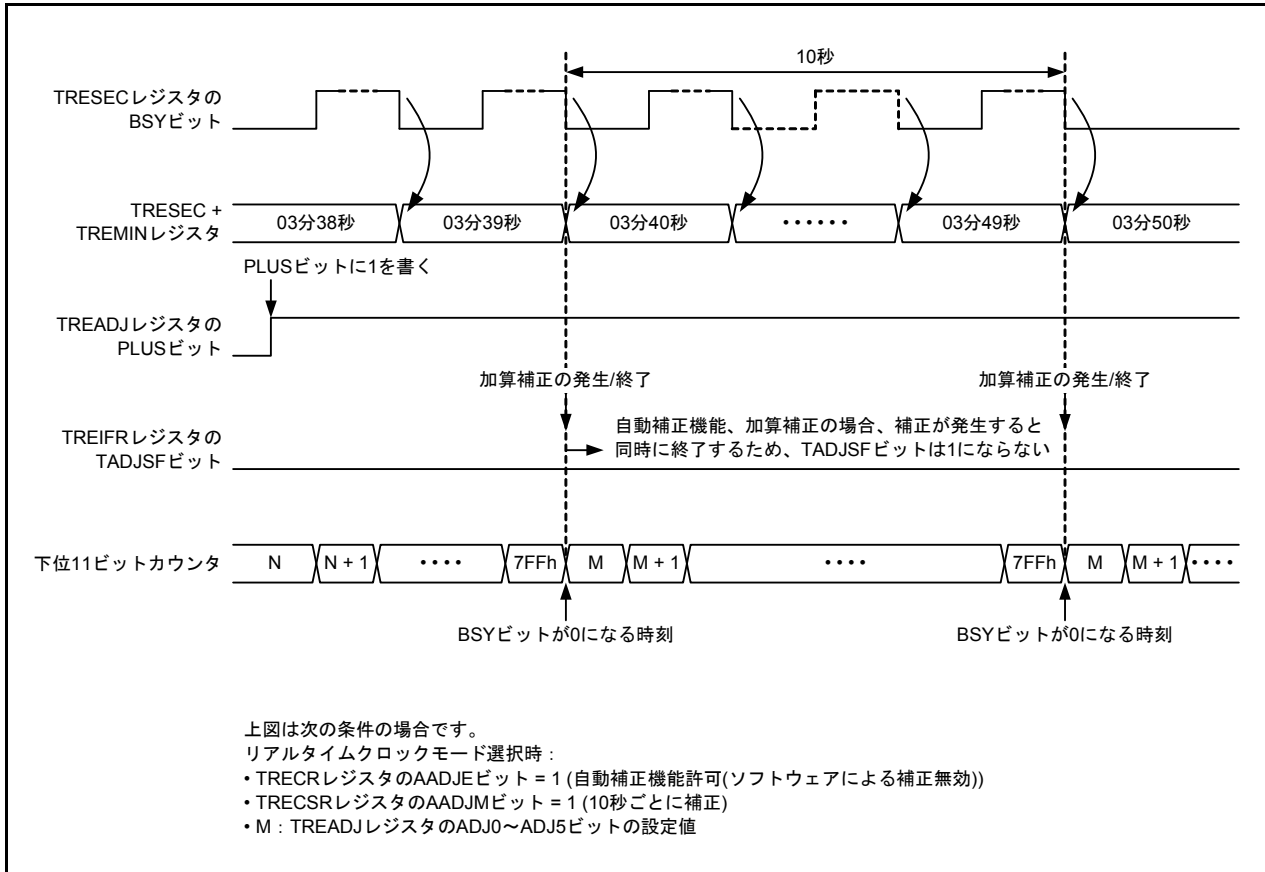


図18.11 自動補正機能、加算補正の動作例

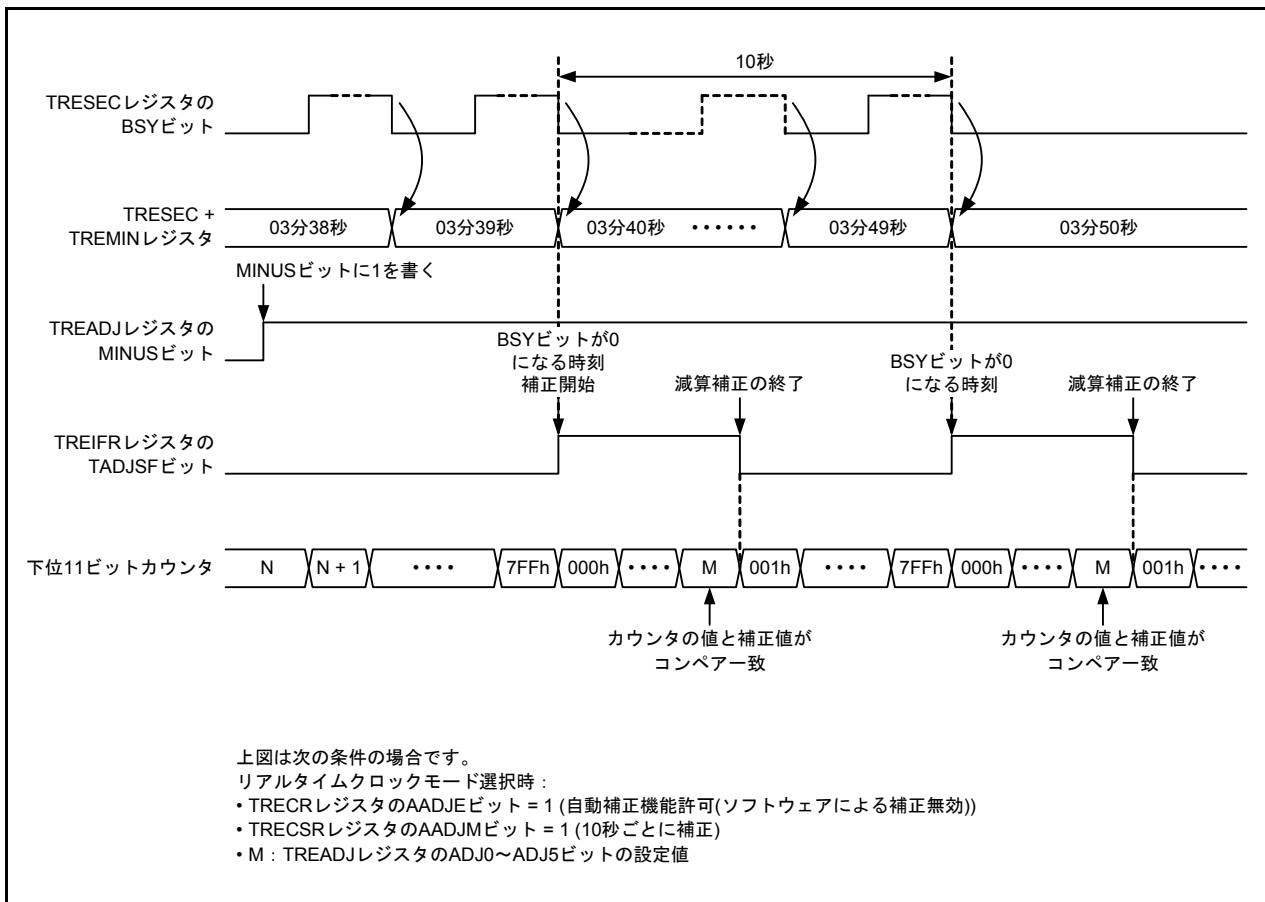


図 18.12 自動補正機能、減算補正の動作例

18.3.4.3 自動補正機能の切り替え手順

図18.13にソフトウェアによる補正からの切り替え手順を、図18.14に自動補正機能からの切り替え手順を、図18.15に自動補正機能の停止手順を示します。

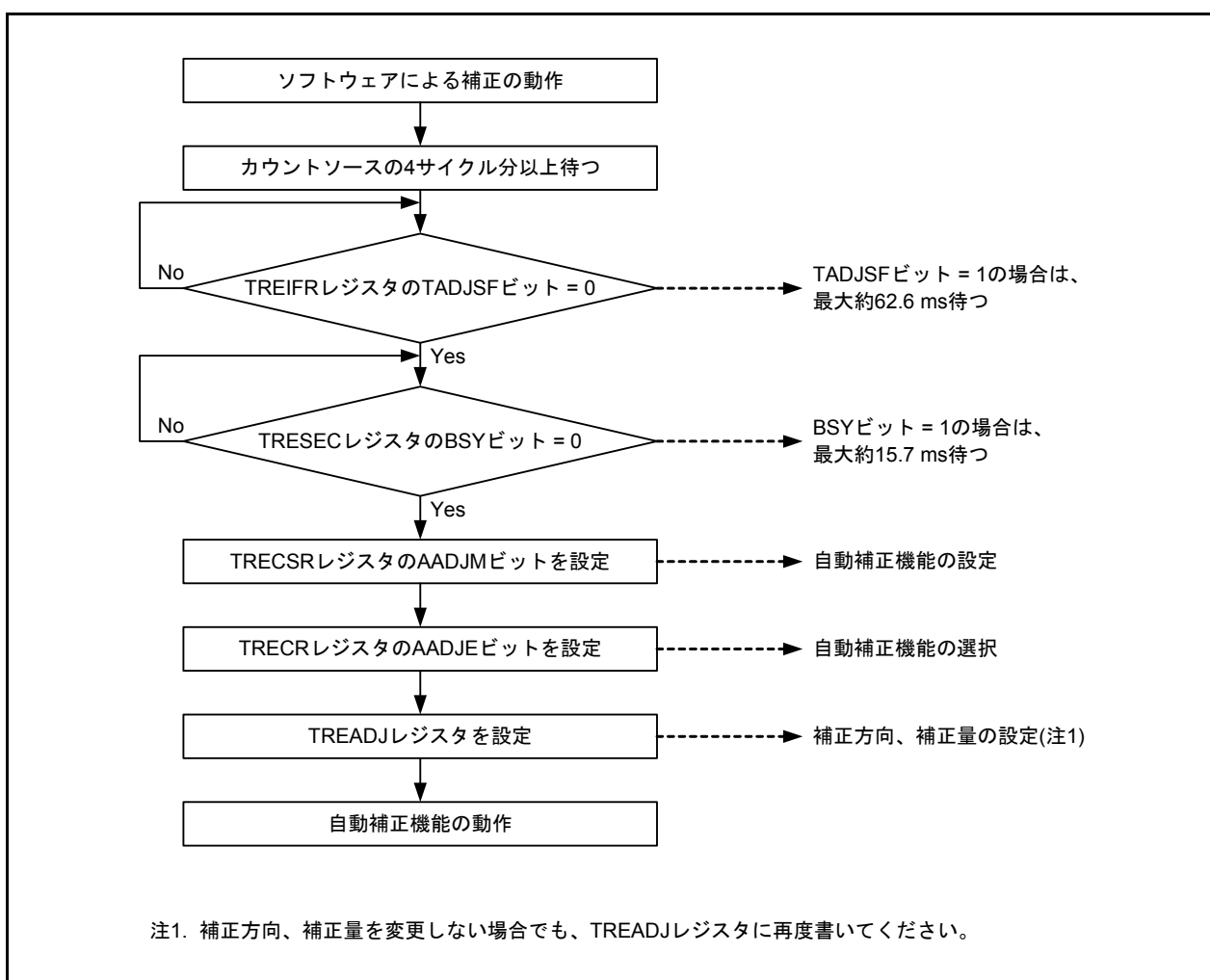


図18.13 ソフトウェアによる補正からの切り替え手順

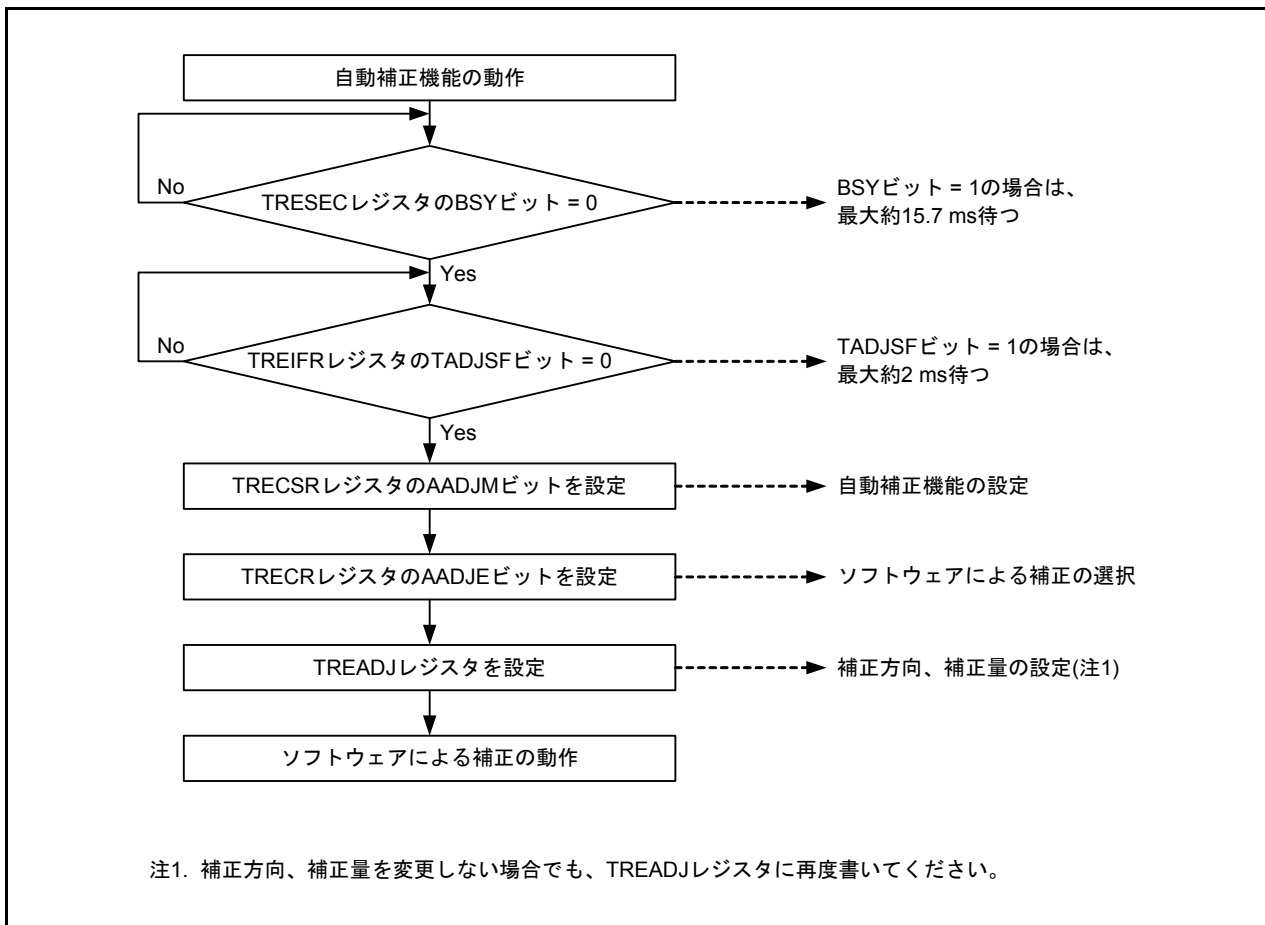


図 18.14 自動補正機能からの切り替え手順

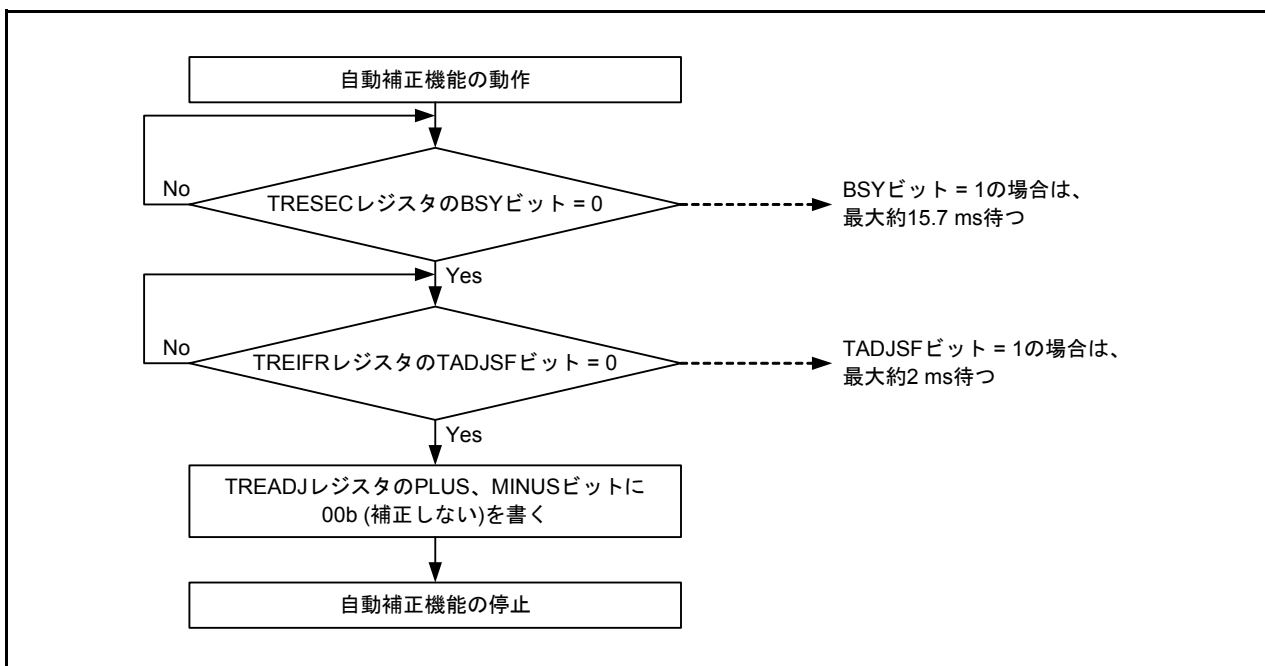


図 18.15 自動補正機能の停止手順

18.3.4.4 時計誤差補正機能の設定例

自動補正機能による補正時の設定例、ソフトウェアによる補正時の設定例を次に示します。

- 外部サブ発振子周波数 $f_{sub} = 32,769.55 \text{ Hz}$
- 外部サブ発振子周波数誤差 $f_{offsub} = (32,769.55 - 32,768)/32,768 \times 10^6 = 47.3 \text{ ppm}$ と仮定します。

(1) 自動補正機能による補正時の設定例

TRECRレジスタのAADJEビット=1(自動補正機能許可(ソフトウェアによる補正無効))

- TRECSRレジスタのAADJMビット=0(1分ごとに補正)の場合、補正量は次のように表されます。

$$\text{補正量} = (f_{sub} - 32,768) \times 60 = 93 > 63 \text{ (ADJ0} \sim \text{ADJ5 ビットの最大設定値)}$$

したがって、1分ごとに自動補正はできません。

- TRECSRレジスタのAADJMビット=1(10秒ごとに補正)の場合、補正量は次のように表されます。

$$\text{補正量} = (f_{sub} - 32,768) \times 10 = 15.5 \div 16$$

したがって、TREADJレジスタに01010000b(MINUS補正、補正量=16)を設定します。

補正後の時計のずれ(単位: ppm)

$$= ((f_{sub} \times 10 - 16)/(32,768 \times 10) - 1) \times 10^6$$

$$= -1.5 \text{ ppm (標準時計より1.5 ppm遅い)}$$

(2) ソフトウェアによる補正時の設定例

AADJEビット=0(自動補正機能禁止(ソフトウェアによる補正有効))

- 1秒ごとにTREADJレジスタを書き込むときの最小補正量が $\pm 1/32,768 = \pm 30.5 \text{ ppm}$ 、1分ごとにTREADJレジスタを書き込むときの最小補正量が $\pm 1/32,768/60 = \pm 0.5 \text{ ppm}$ になるため、1秒ごとの補正と1分ごとの補正を組み合わせで使用します。
- 1秒の割り込みルーチンでTREADJレジスタを書き込む(1秒ごとの書き込み)ときの補正量をAとし、1分の割り込みルーチンでTREADJレジスタを書き込む(1分ごとの書き込み)ときの補正量をBとしたら、

$$A = [f_{sub} - 32,768] = [1.55] = 1 \text{ ([]は整数分を取る計算を表します)}$$

$$B = A + (((f_{sub} - 32,768) \times 60) \% 60) = A + (93 \% 60) = 34$$

(%は除算の残りを取る計算を表します)

したがって、1秒ごとに01000001b(41h)を、1分ごとに01100010b(62h)をTREADJレジスタに書き込むことで補正します。

補正後の時計のずれ(単位: ppm)

$$= (((f_{sub} - A) \times 59 + (f_{sub} - B))/(32,768 \times 60) - 1) \times 10^6$$

$$= 0 \text{ ppm}$$

18.3.5 アラーム機能

アラームは分、時、曜日のいずれか、または組み合わせで発生できます。アラーム対象のアラームレジスタの許可ビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラーム対象外のアラームレジスタは、許可ビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、TREIFRレジスタのALIFビットが1(割り込み要求あり)になります。アラームの検出は、ALIFビットを読み出すことで確認できますが、通常は割り込みで行います。ALIEビットに1(アラーム割り込み許可)が書き込まれている場合、アラーム割り込み要求が発生し、アラームを検出できます。

1になったALIFビットは、プログラムで0を書くと0になります。

次にアラームの設定例を示します。

- TREAMNレジスタのAMN6～AMN4ビットを5、AMN3～AMN0ビットを8にする(58分)
- TREAHRレジスタのAPMビットを0(午前)、AHR5～AHR0ビットを3(3時)にする
- TREAWKレジスタのAWK2～AWK0ビットを001b(月曜日)にする

表18.6にアラーム割り込み要求の発生条件を、図18.16にアラーム時刻の設定手順を示します。

表18.6 アラーム割り込み要求の発生条件

TREAWKレジスタの ENBWKビット	TREAHRレジスタの ENBHRビット	TREAMNレジスタの ENBMNビット	アラーム割り込み要求の発生条件
0	0	0	アラーム割り込み要求を発生しない
0	0	1	58分00秒にアラーム割り込み要求を発生する
0	1	0	午前3時00分00秒にアラーム割り込み要求を発生する
0	1	1	午前3時58分00秒にアラーム割り込み要求を発生する
1	0	0	月曜日午前0時00分00秒にアラーム割り込み要求を発生する
1	0	1	月曜日58分00秒にアラーム割り込み要求を発生する
1	1	0	月曜日午前3時00分00秒にアラーム割り込み要求を発生する
1	1	1	月曜日午前3時58分00秒にアラーム割り込み要求を発生する

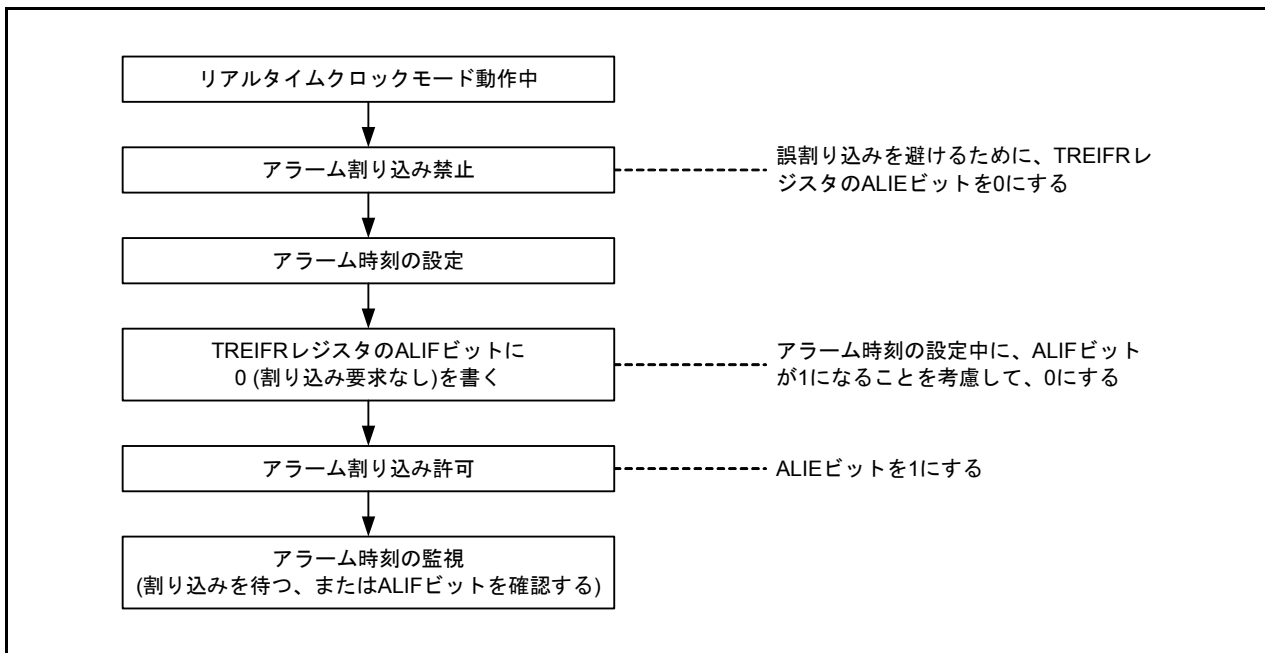


図 18.16 アラーム時刻の設定手順

18.3.6 秒調整機能

秒調整機能は、リセット調整機能と30秒調整機能の2種類があります。

18.3.6.1 リセット調整機能

TRESECレジスタと内部カウンタを初期化する機能です。TRESECレジスタのBSYビットが0(データ更新中ではない)の間、TREIFRレジスタのRSTADJビットに1を書くと、fC1クロックの2、3サイクル後TRESECレジスタが00hになり、内部カウンタは初期化され、カウントを再開します。BSYビットが1(データ更新中)の間、RSTADJビットに1を書くと、データ更新時にTRESECレジスタが00hになり、内部カウンタは初期化され、カウントを再開します。

リセット調整時、その他のタイマRE2データレジスタには影響を与えません。RSTADJビットに1を書き込んだ後、fC1クロックの4サイクルたってから、TRESECレジスタに書いてください。

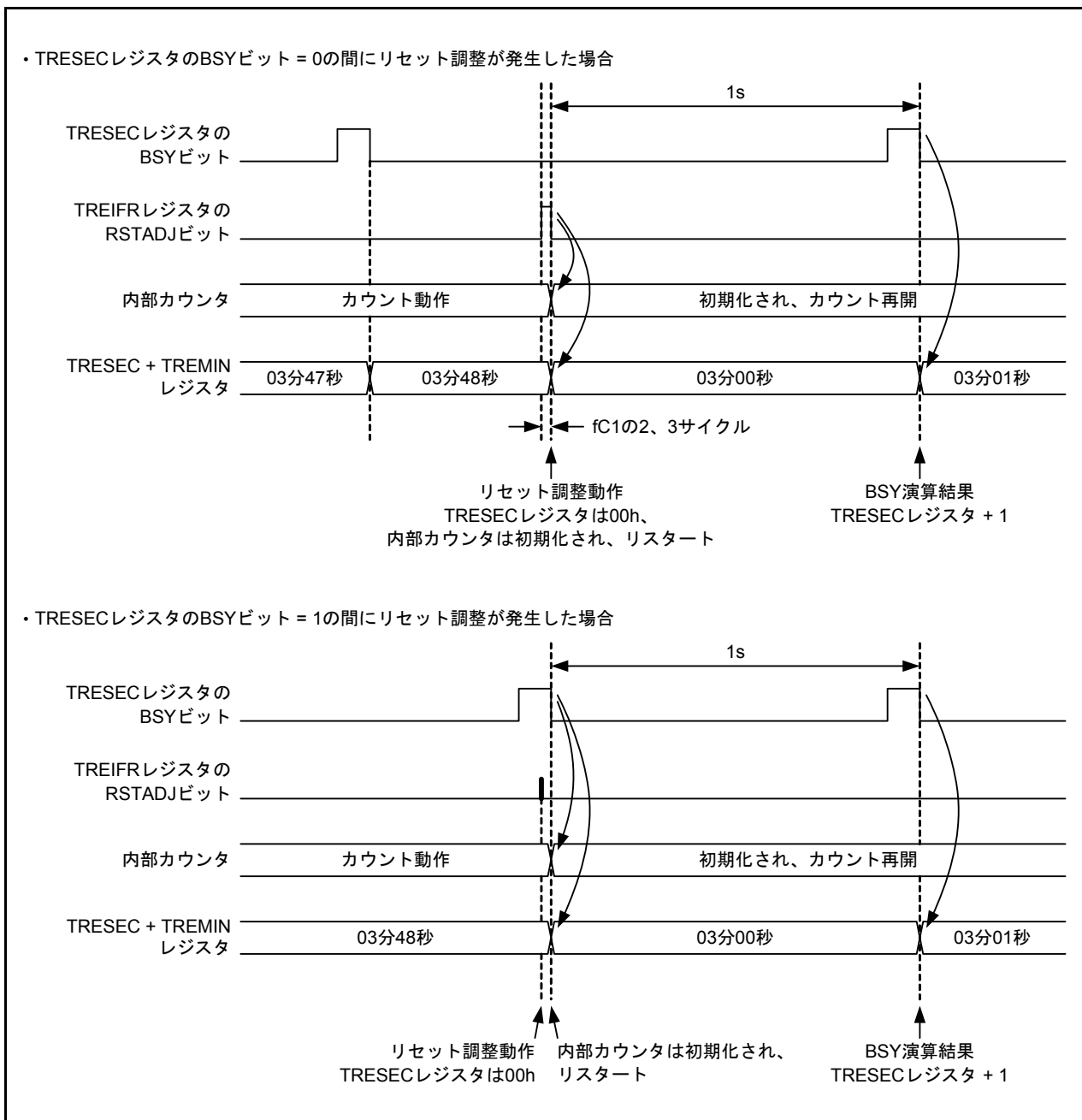
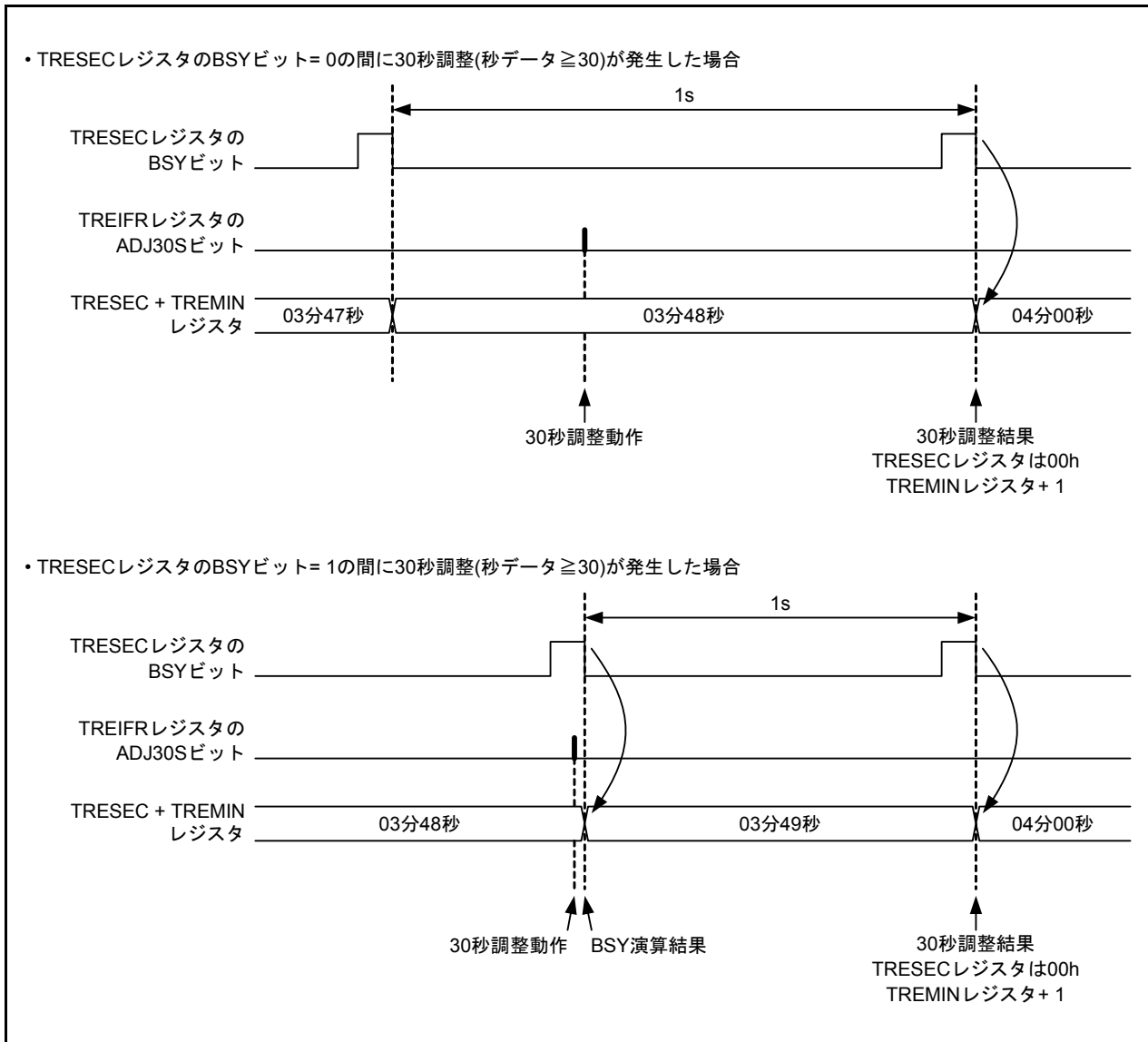


図18.17 リセット調整発生

18.3.6.2 30秒調整機能

29秒以下は00秒に切り捨て、30秒以上は00秒に切り上げます。TRESECレジスタのBSYビットが0(データ更新中ではない)の間、TREIFRレジスタのADJ30Sビットに1を書くと、データ更新時にTRESECレジスタを、30秒を基準に調整します。BSYビットが1(データ更新中)の間、ADJ30Sビットに1を書くと、次回のデータ更新時にTRESECレジスタを、30秒を基準に調整します。30秒調整時、その他のタイマRE2データレジスタには影響を与えません。

図 18.18 30秒調整発生(秒データ ≥ 30)

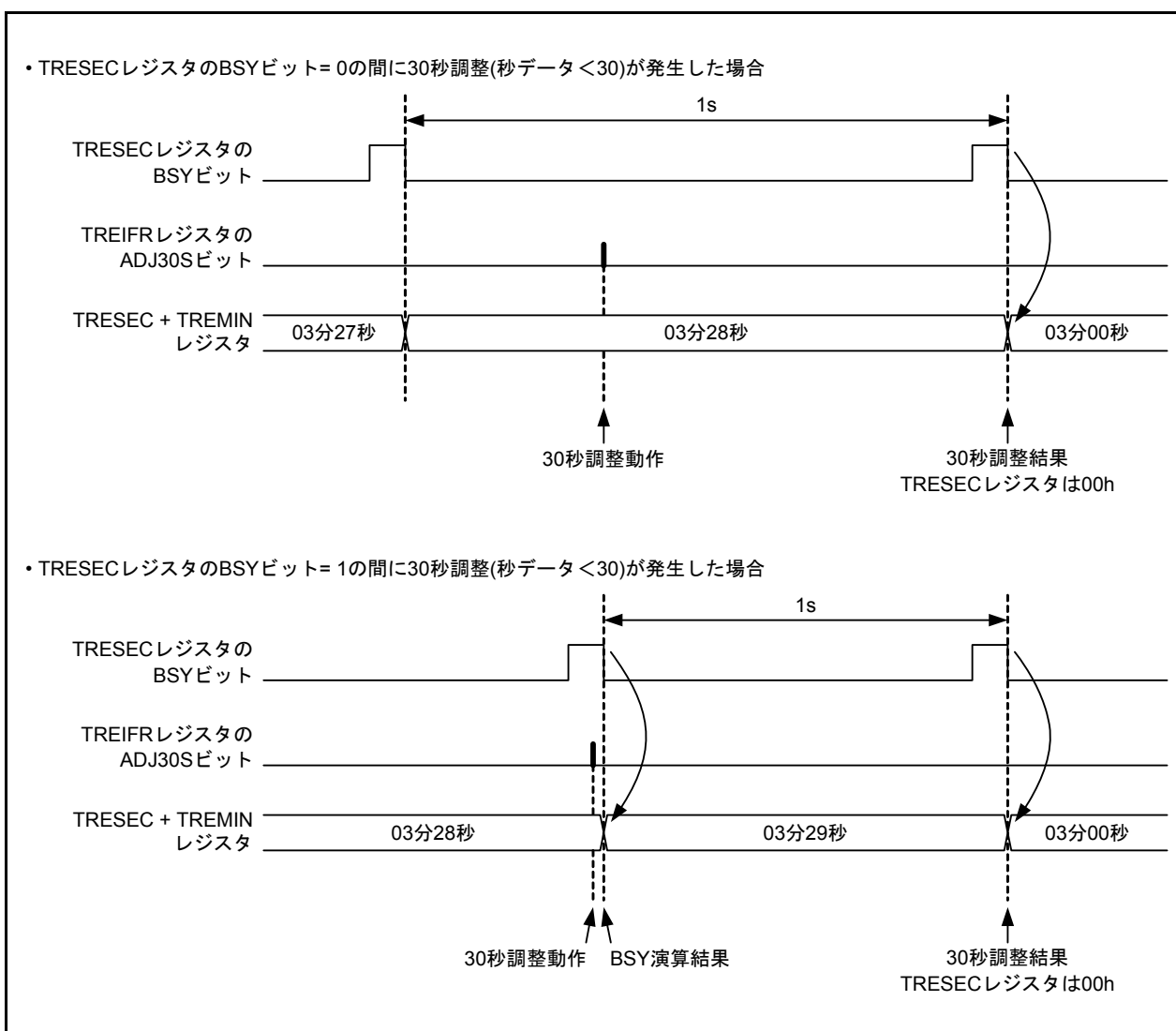


図 18.19 30秒調整発生(秒データ<30)

18.4 コンペアー一致タイマモードの動作説明

18.4.1 動作例

18.4.2 関連レジスタの設定例

図18.20にコンペアー一致タイマモードでタイマRE2を使用する場合の初期設定手順を、図18.21にコンペアー一致モードの動作例を示します。また、レジスタの再設定を行う場合も、図18.20に従ってください。

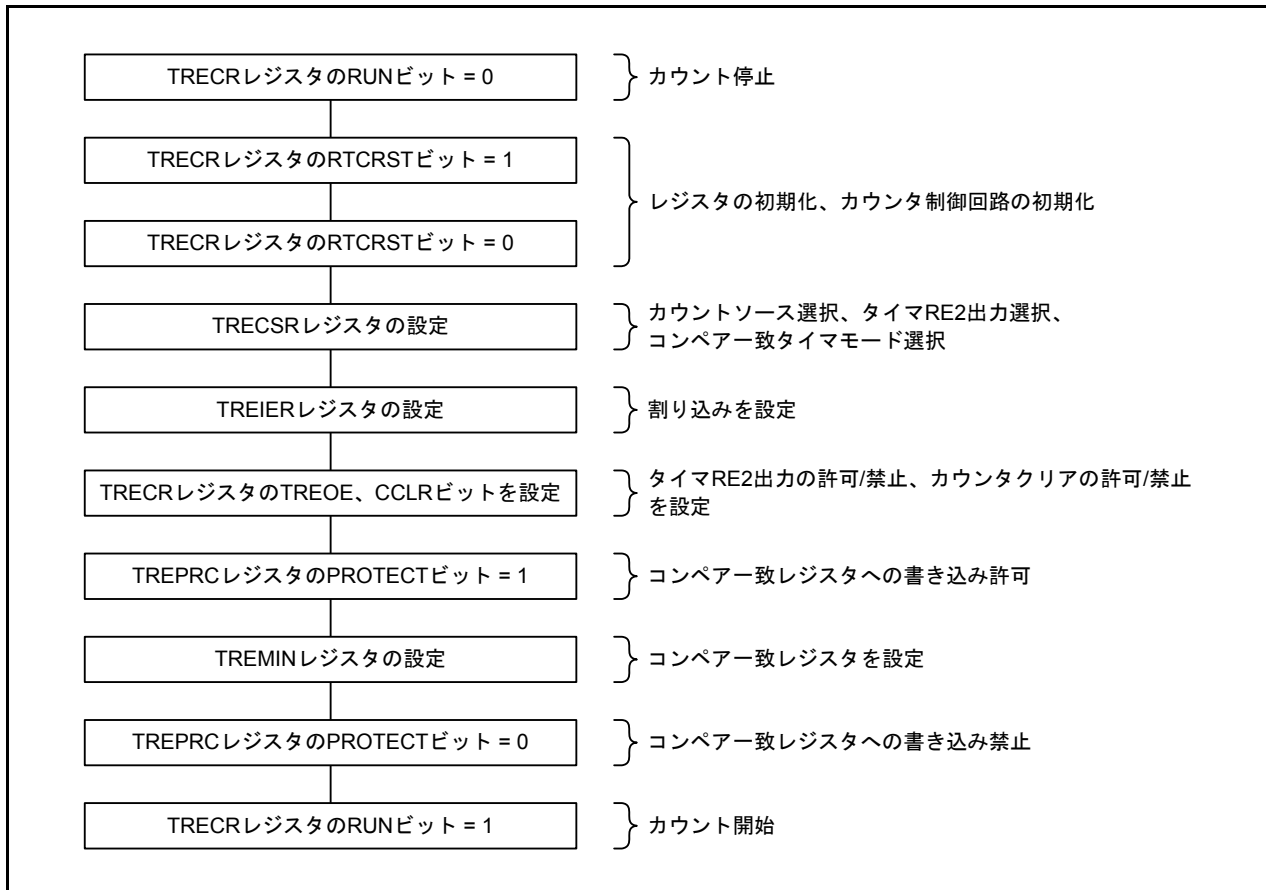


図18.20 コンペアー一致タイマモードでタイマRE2を使用する場合の初期設定手順

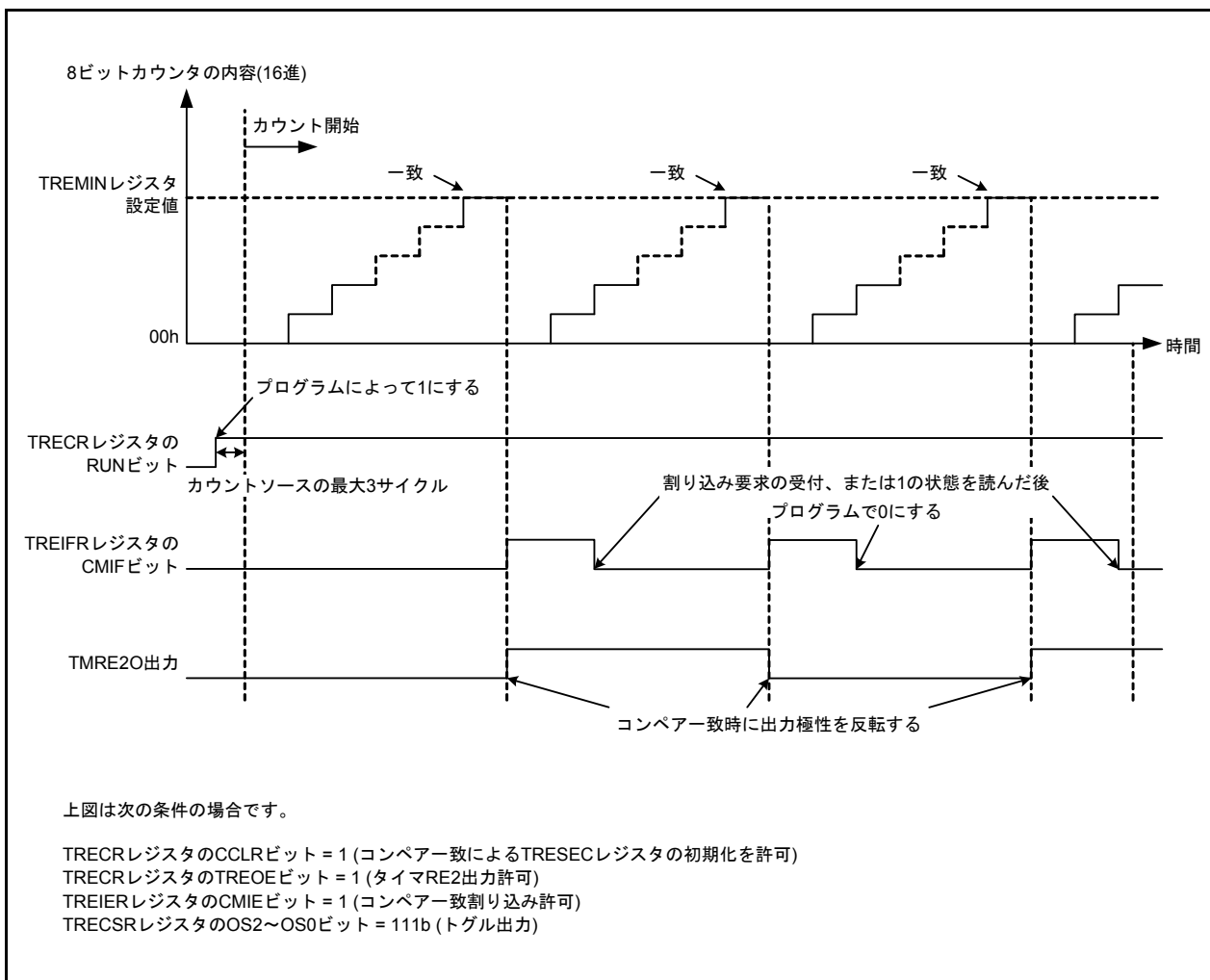


図 18.21 コンペアー一致モードの動作例

18.5 割り込み要因

タイマRE2の割り込み要因を次に示します。

- 周期割り込み(0.25秒、0.5秒、1秒、分、時、日、月、年)
- アラーム割り込み
- コンペアー一致割り込み
- オーバフロー割り込み

表18.7にタイマRE2の割り込み要因を示します。

割り込みを使用する場合、TRECRレジスタのRUNビットが0(カウント停止)の状態、必要な設定をした後、RUNビットを1(カウント開始)にしてください。

[リアルタイムクロックモード]

許可している周期割り込み要因が発生したとき、TREIFRレジスタのRTCFビットが1(割り込み要求あり)になり、割り込み要求が発生します。

アラーム時刻とカウンタが一致したとき、TREIFRレジスタのALIFビットが1(割り込み要求あり)になります。アラーム割り込みが許可のとき、割り込み要求が発生します。

[コンペアー一致タイマモード]

コンペアー一致タイマがオーバフローしたとき、TREIFRレジスタのOVIFビットが1(割り込み要求あり)になります。TRIERレジスタのOVIEビットが1(オーバフロー割り込み許可)のとき、割り込み要求が発生します。

コンペアー一致タイマがコンペアー一致したとき、TREIFRレジスタのCMIFビットが1(割り込み要求あり)になります。TRIERレジスタのCMIEビットが1(コンペアー一致割り込み許可)のとき、割り込み要求が発生します。

表18.7 タイマRE2の割り込み要因

要因	動作モード	要因名	割り込み要因	割り込み許可ビット
リアルタイムクロック周期/オーバフロー	リアルタイムクロックモード	0.25秒周期割り込み	0.25秒周期	SEIE025
		0.5秒周期割り込み	0.5秒周期	SEIE05
		1秒周期割り込み	TRESECレジスタが更新(1秒周期)される	SEIE
		分周期割り込み	TREMINレジスタが更新(1分周期)される	MNIE
		時周期割り込み	TREHRレジスタが更新(1時間周期)される	HRIE
		日周期割り込み	TREDYレジスタが更新(1日周期)される	DYIE
		月周期割り込み	TREMONレジスタが更新(1月周期)される	MOIE
		年周期割り込み	TREYRレジスタが更新(1年周期)される	YRIE
	コンペアー一致タイマモード	オーバフロー割り込み	コンペアー一致タイマがオーバフローしたとき	OVIE
アラーム/コンペアー一致	リアルタイムクロックモード	アラーム割り込み	アラームレジスタ(TREAMN、TREAHR、TREAOKレジスタ)で設定したアラーム時刻(許可ビットを1にしたレジスタのみ)とカウンタが一致したとき	ALIE
	コンペアー一致タイマモード	コンペアー一致割り込み	コンペアー一致タイマがコンペアー一致したとき	CMIE

18.5.1 イベントリンクコントローラ(ELC)用のワンショット信号

イベントリンクコントローラ(ELC)用割り込みワンショット信号は1本で、リアルタイムクロックモードのアラーム割り込み/コンペア一致タイマモードのコンペア一致割り込みの要求が発生したときに、ELC用割り込みワンショット信号を出力します。

アラーム割り込み許可ビット/コンペア一致割り込み許可ビットの設定には依存しません。

18.6 タイマRE2使用上の注意事項

- TRECRレジスタのRUNビットに0(カウント停止)を書き込むと、カウントソースの3サイクル後にカウントを停止します。
- モジュールスタンバイに移行する場合、TRECRレジスタのTREOEビットを0(TMRE2O出力禁止)に、RUNビットを0(カウント停止)にした後、カウントソースの3サイクル以上経過してから、MSTCR3レジスタのMSTTREビットを1(スタンバイ)にしてください。
- TRECRレジスタのTREOEビットが0(TMRE2O出力禁止)の状態、TRECSRレジスタのOS0～OS2ビットとCS3ビットを切り替えてください。
- TREIFR、TREIERレジスタの切り替えは次のとおりにしてください。
 - [リアルタイムクロックモード]
 - TREIFRレジスタのRTCFビットが0(割り込み要求なし)の状態、TREIERレジスタを切り替えてください。
 - TREIFRレジスタのALIFビットが0(割り込み要求なし)の状態、TREIFRレジスタのALIEビットを切り替えてください。
 - [コンペアー一致タイマモード]
 - TREIFRレジスタのCMIFビットが0(割り込み要求なし)の状態、TREIERレジスタのCMIEビットを切り替えてください。
 - TREIFRレジスタのOVIFビットが0(割り込み要求なし)の状態、TREIERレジスタのOVIEビットを切り替えてください。
- CS3ビットを変更する場合、次の条件をすべて満たしてください。
 - RUNビットが0(カウント停止)の状態
 - TREOEビットが0(TMRE2O出力禁止)の状態
 - CS3ビットを0から1に変更する場合は、CMIFビットが0(割り込み要求なし)、OVIFビットが0(割り込み要求なし)の状態
 - CS3ビットを1から0に変更する場合は、ALIFビットが0(割り込み要求なし)、RTCFビットが0(割り込み要求なし)の状態
- RTCF/OVIFビットが0(割り込み要求なし)およびALIF/CMIFビットが0(割り込み要求なし)の状態、TRECRレジスタのRTCRSTビットを設定してください。

19. シリアルインタフェース(UART0)

シリアルインタフェースは、UART0_0、UART0_1の2チャンネルで構成しています。
特に差異がない限り、本章ではUART0として説明します。

19.1 概要

UART0は、それぞれ専用の転送クロック発生用タイマを持ち、独立しています。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/O(UART)モードの2種類のモードを持ちます。

表19.1にUART0の仕様を、図19.1にUART0のブロック図を、図19.2に送受信部のブロック図を、表19.2にUART0の端子構成を示します。

表19.1 UART0の仕様

項目		内容
クロック同期形シリアルI/Oモード	転送データフォーマット	転送データ長8ビット
	転送クロック	<ul style="list-style-type: none"> U0MRレジスタのCKDIRビットが0(内部クロック): $f_i/(2(n+1))$ $f_i = f_1, f_8, f_{32}, f_{C1}$ n: U0BRGレジスタの設定値(00h~FFh) U0MRレジスタのCKDIRビットが1(外部クロック): fEXT (CLK端子からの入力)
	エラー検出	オーバランエラー
クロック非同期形シリアルI/Oモード	転送データフォーマット	<ul style="list-style-type: none"> キャラクタビット(転送データ): 7、8、9ビット選択 スタートビット: 1ビット パリティビット: 奇数、偶数、なし選択 ストップビット: 1、2ビット選択
	転送クロック	<ul style="list-style-type: none"> U0MRレジスタのCKDIRビットが0(内部クロック): $f_j/(16(n+1))$ $f_j = f_1, f_8, f_{32}, f_{C1}$ n: U0BRGレジスタの設定値(00h~FFh) U0MRレジスタのCKDIRビットが1(外部クロック): $f_{EXT}/(16(n+1))$ fEXT (CLK端子からの入力) n: U0BRGレジスタの設定値(00h~FFh)
	エラー検出	オーバランエラー、フレーミングエラー、パリティエラー、エラーサムフラグ
割り込み要因	送信バッファ空または送信完了割り込み(兼用)、受信完了割り込み	
選択機能	U0C0レジスタのDFEビットにてデジタルフィルタ機能有無を選択可能	

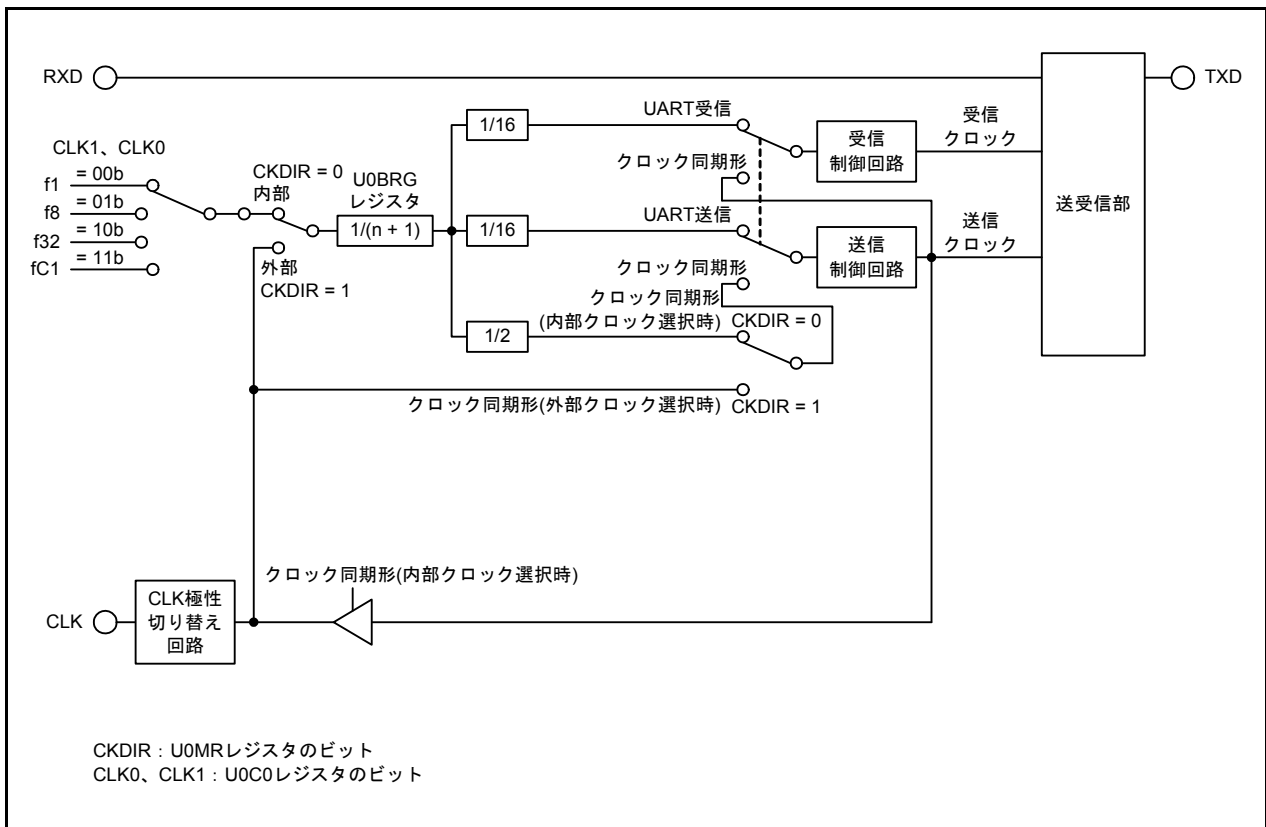


図 19.1 UART0のブロック図

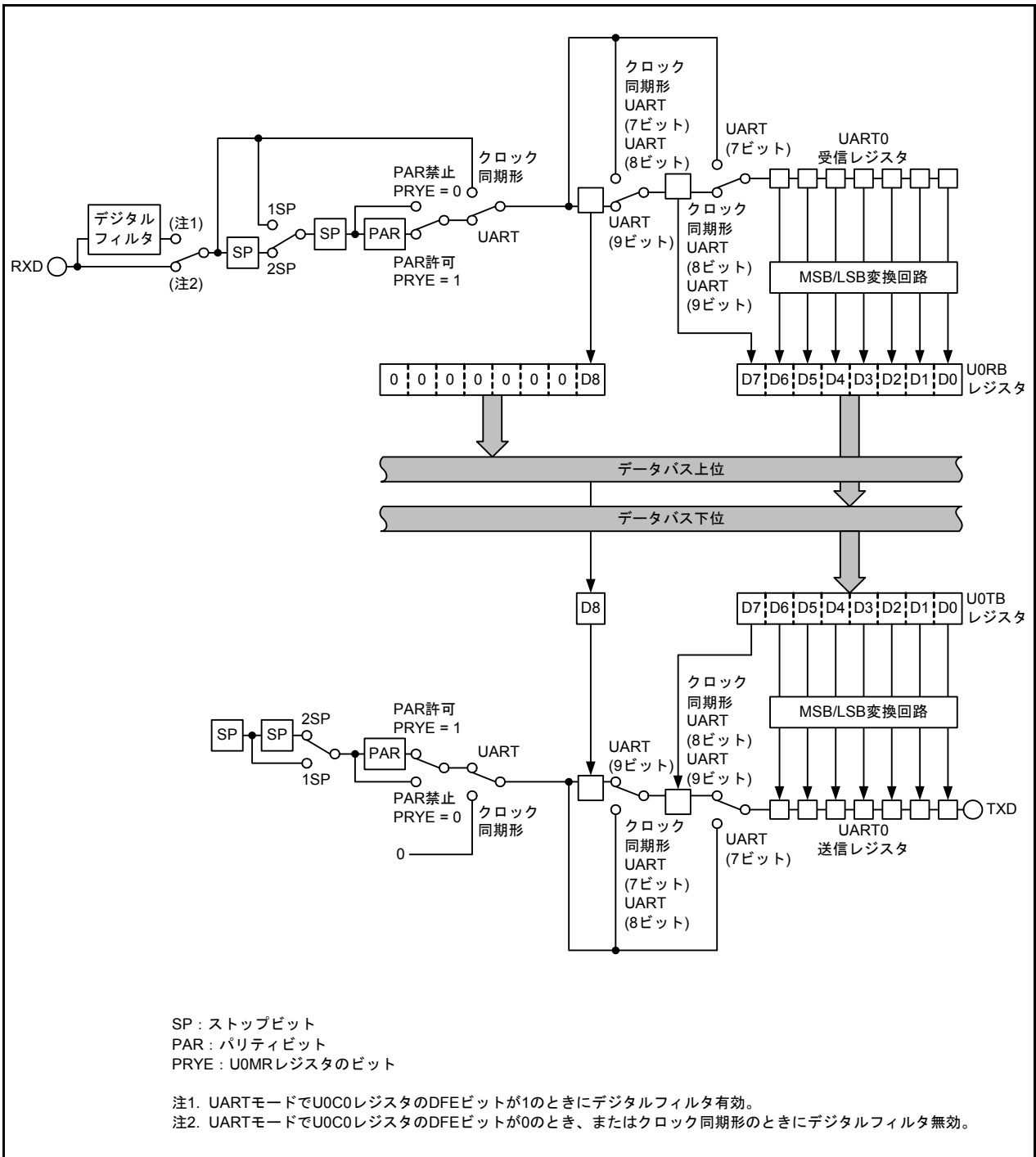


図 19.2 送受信部のブロック図

表 19.2 UART0の端子構成

端子名	入出力	機能
CLK	入出力	転送クロック入出力
RXD	入力	シリアルデータ入力
TXD	出力	シリアルデータ出力

19.2 レジスタの説明

表19.3にUART0のレジスタ構成を示します。

表19.3 UART0のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
UART0_0送受信モードレジスタ	U0MR_0	00h	00080h	8
UART0_0ビットレートレジスタ	U0BRG_0	XXh	00081h	8
UART0_0送信バッファレジスタ	U0TB_0	XXh	00082h	8(注1)
		XXh	00083h	8(注1)
UART0_0送受信制御レジスタ0	U0C0_0	00001000b	00084h	8
UART0_0送受信制御レジスタ1	U0C1_0	00000010b	00085h	8
UART0_0受信バッファレジスタ	U0RB_0	XXXXh	00086h	16(注1)
UART0_0割り込みフラグと許可レジスタ	U0IR_0	00h	00088h	8
UART0_1送受信モードレジスタ	U0MR_1	00h	00090h	8
UART0_1ビットレートレジスタ	U0BRG_1	XXh	00091h	8
UART0_1送信バッファレジスタ	U0TB_1	XXh	00092h	8(注1)
		XXh	00093h	8(注1)
UART0_1送受信制御レジスタ0	U0C0_1	00001000b	00094h	8
UART0_1送受信制御レジスタ1	U0C1_1	00000010b	00095h	8
UART0_1受信バッファレジスタ	U0RB_1	XXXXh	00096h	16(注1)
UART0_1割り込みフラグと許可レジスタ	U0IR_1	00h	00098h	8

X：不定

注1. アクセス方法の詳細は、レジスタの説明を参照してください。

19.2.1 UART0送受信モードレジスタ(U0MR)

アドレス 00080h (U0MR_0)、00090h (U0MR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット(注1)	b2 b1 b0 0 0 0 : シリアルインタフェース無効(動作停止)	R/W
b1	SMD1		0 0 1 : クロック同期形シリアルI/Oモード	R/W
b2	SMD2		1 0 0 : UARTモード転送データ長7ビット	R/W
			1 0 1 : UARTモード転送データ長8ビット	
			1 1 0 : UARTモード転送データ長9ビット	
			上記以外 : 設定しないでください	
b3	CKDIR	内部/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	R/W
b5	PRY	パリティ奇数/偶数選択ビット(注2)	0 : 奇数パリティ 1 : 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	R/W
b7	—	予約ビット	0にしてください	R/W

注1. U0MRレジスタのSMD2～SMD0ビットを000bにするときは、U0C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にしてください。

注2. PRYビットは、PRTYEビットが1(パリティ許可)のときに有効です。

19.2.2 UART0ビットレートレジスタ(U0BRG)

アドレス 00081h (U0BRG_0)、00091h (U0BRG_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7~b0	設定値をnにすると、U0BRGはカウントソースをn+1分周します。	00h~FFh	W

U0BRGレジスタは、送受信停止中にMOV命令を使用して書いてください。

U0C0レジスタのCLK0、CLK1ビットを設定した後、U0BRGレジスタに書いてください。

U0BRGレジスタは、連続書き込みをしないでください。

19.2.3 UART0送信バッファレジスタ(U0TB)

アドレス 00082h (U0TB_0)、00092h (U0TB_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	—	送信データ	W
b1	—		W
b2	—		W
b3	—		W
b4	—		W
b5	—		W
b6	—		W
b7	—		W
b8	—		W
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

転送データ長9ビットの場合、上位バイト(b15~b8)→下位バイト(b7~b0)の順で、8ビット単位で書いてください。

U0TBレジスタは、MOV命令を使用して書いてください。ワードアクセスは禁止です。

19.2.4 UART0送受信制御レジスタ0 (U0C0)

アドレス 00084h (U0C0_0)、00094h (U0C0_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	DFE	TXEPT	—	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U0BRGカウンタソース選択ビット (注1)	b1 b0 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC1	R/W
b1	CLK1			R/W
b2	—	予約ビット	0にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	DFE	RXDデジタルフィルタ許可ビット	0 : デジタルフィルタ禁止 1 : デジタルフィルタ許可	R/W
b5	NCH	データ出力選択ビット(注2)	0 : TXD端子はCMOS出力 1 : TXD端子はNチャンネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット(注3)	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	R/W

注1. U0BRGカウンタソースを変更した場合、U0BRGレジスタを再設定してください。

注2. UART0を使用しないときは、NCHビットを0(TXD端子はCMOS出力)にしてください。

注3. CKPOLビットは、クロック同期形シリアルI/Oモードのときに有効です。

DFEビット(RXDデジタルフィルタ許可ビット)

RXDデジタルフィルタ許可時はボーレートクロックにて3パルス以下のノイズを除去します。

詳細は「19.3.2.3 RXDデジタルフィルタ」を参照してください。

クロック非同期形シリアルI/Oモードのとき設定可能です。クロック同期形シリアルI/Oモード時は0(デジタルフィルタ禁止)にしてください。

19.2.5 UART0送受信制御レジスタ1(U0C1)

アドレス 00085h (U0C1_0)、00095h (U0C1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	U0RRM	U0IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U0TBレジスタにデータあり 1: U0TBレジスタにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ(注1)	0: U0RBレジスタにデータなし 1: U0RBレジスタにデータあり	R
b4	U0IRS	UART0送信割り込み要因選択ビット	0: 送信バッファ空(TI = 1) 1: 送信完了(TXEPT = 1)	R/W
b5	U0RRM	UART0連続受信モード許可ビット(注2)	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	—	予約ビット	0にしてください	R/W
b7	—			

注1. RIビットは、U0RBレジスタを読み出したとき、0(U0RBレジスタにデータなし)になります。

注2. クロック同期形シリアルI/Oモード時のみ設定可能です。クロック非同期形シリアルI/Oモード時は0(連続受信モード禁止)にしてください。

19.2.6 UART0 受信バッファレジスタ (U0RB)

アドレス 00086h (U0RB_0)、00096h (U0RB_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	受信データ		R
b1	—			R
b2	—			R
b3	—			R
b4	—			R
b5	—			R
b6	—			R
b7	—			R
b8	—			R
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b10	—			
b11	—			
b12	OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1)	0: エラーなし 1: エラー発生	R

注1. OER、FER、PER、SUMビットは、U0MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェース無効)にしたとき、またはU0C1レジスタのREビットを0(受信禁止)にしたとき、0(エラーなし)になります。SUMビットは、OER、FER、PERビットがすべて0(エラーなし)になると、0(エラーなし)になります。また、FER、PERビットは、U0RBレジスタを読み出したとき、0になります。

U0RBレジスタは、16ビット単位で読み出してください。

19.2.7 UART0 割り込みフラグと許可レジスタ (U0IR)

アドレス 00088h (U0IR_0)、00098h (U0IR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	U0TIE	U0RIE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	U0RIE	UART0受信割り込み許可ビット	0: 受信割り込み禁止 1: 受信割り込み許可	R/W
b3	U0TIE	UART0送信割り込み許可ビット	0: 送信割り込み禁止 1: 送信割り込み許可	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—	予約ビット	0にしてください	R/W
b7	—			

19.3 動作説明

UART0は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/O(UART)モードの2種類のモードを持ちます。

19.3.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表19.4にクロック同期形シリアルI/Oモードの仕様を、表19.5にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表19.4 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長8ビット
転送クロック	<ul style="list-style-type: none"> U0MRレジスタのCKDIRビットが0(内部クロック): $f_i/(2(n+1))$ $f_i = f_1, f_8, f_{32}, f_{C1}$ $n = U0BRG$レジスタの設定値(00h~FFh) U0MRレジスタのCKDIRビットが1(外部クロック): fEXT (CLK端子からの入力)
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> U0C1レジスタのTEビットが1(送信許可) U0C1レジスタのTIビットが0(U0TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> U0C1レジスタのREビットが1(受信許可) U0C1レジスタのTEビットが1(送信許可) U0C1レジスタのTIビットが0(U0TBレジスタにデータあり)
割り込み要求発生タイミング	<ul style="list-style-type: none"> 送信する場合(次の条件のいずれかを選択) <ul style="list-style-type: none"> U0C1レジスタのU0IRSビットが0(送信バッファ空): U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) U0C1レジスタのU0IRSビットが1(送信完了): UART0送信レジスタからデータ送信完了時 受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注2) U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 連続受信モード選択 U0RBレジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、次の状態で条件を満たしてください。

- U0C0レジスタのCKPOLビットが0(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のとき、外部クロックがH
- CKPOLビットが1(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のとき、外部クロックがL

注2. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0~b7)は不定になります。

表 19.5 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0～b7	送信データを設定してください。
U0RB	b0～b7	受信データが読めます。
	OER	オーバランエラーフラグ
U0BRG	b0～b7	ビットレートを設定してください。
U0MR	SMD2～SMD0	001b(クロック同期形シリアルI/Oモード)にしてください。
	CKDIR	内部クロックまたは外部クロックを選択してください。
U0C0	CLK0、CLK1	U0BRGカウントソース(f1、f8、f32、fC1)を選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXD端子の出力形式(CMOS出力またはNチャネルオープンドレイン出力)を選択してください。
	CKPOL	転送クロックの極性を選択してください。
	UFORM	LSBファーストまたはMSBファーストを選択してください。
U0C1	TE	送信を許可する場合、1にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を、送信バッファ空または送信完了から選択してください。
	U0RRM	連続受信モード禁止または許可を選択してください。

注1. この表に記載していないビットに書く場合、0を書いてください。

19.3.1.1 動作例

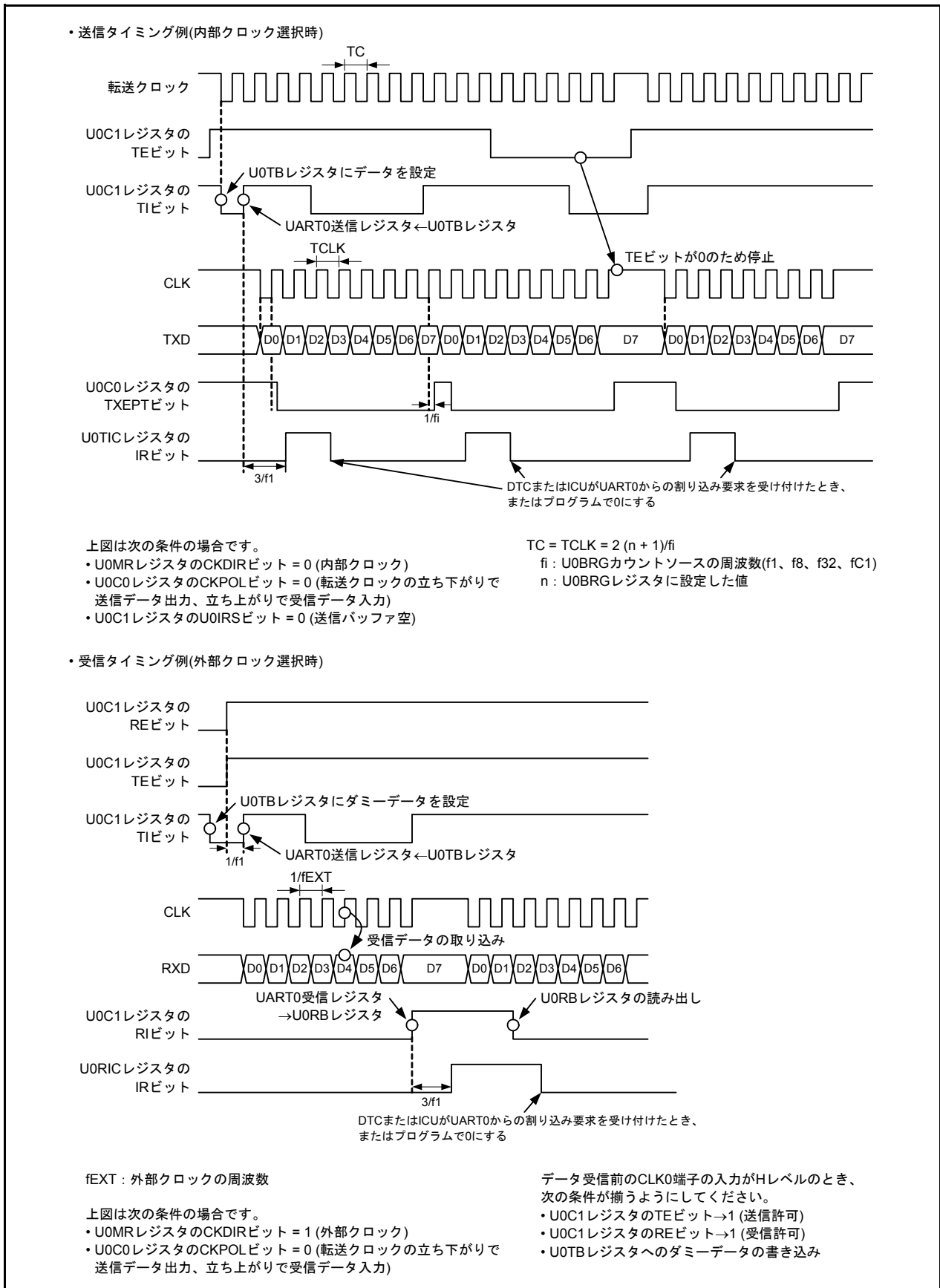


図 19.3 クロック同期形シリアルI/Oモード時の送受信タイミング図

19.3.1.2 極性選択機能

図19.4に転送クロックの極性を示します。

U0C0レジスタのCKPOLビットによって転送クロックの極性を選択できます。

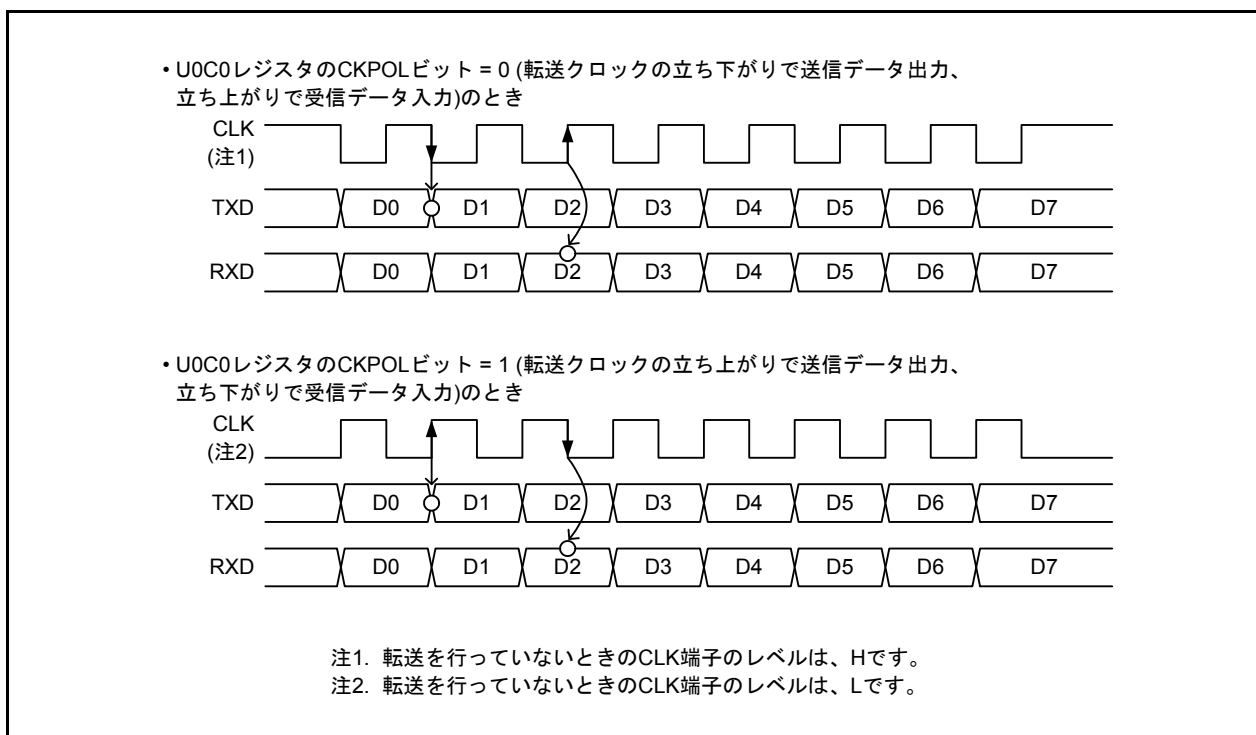


図19.4 転送クロックの極性

19.3.1.3 LSBファースト、MSBファースト選択

図19.5に転送フォーマットを示します。

U0C0レジスタのUFORMビットで転送フォーマットを選択できます。

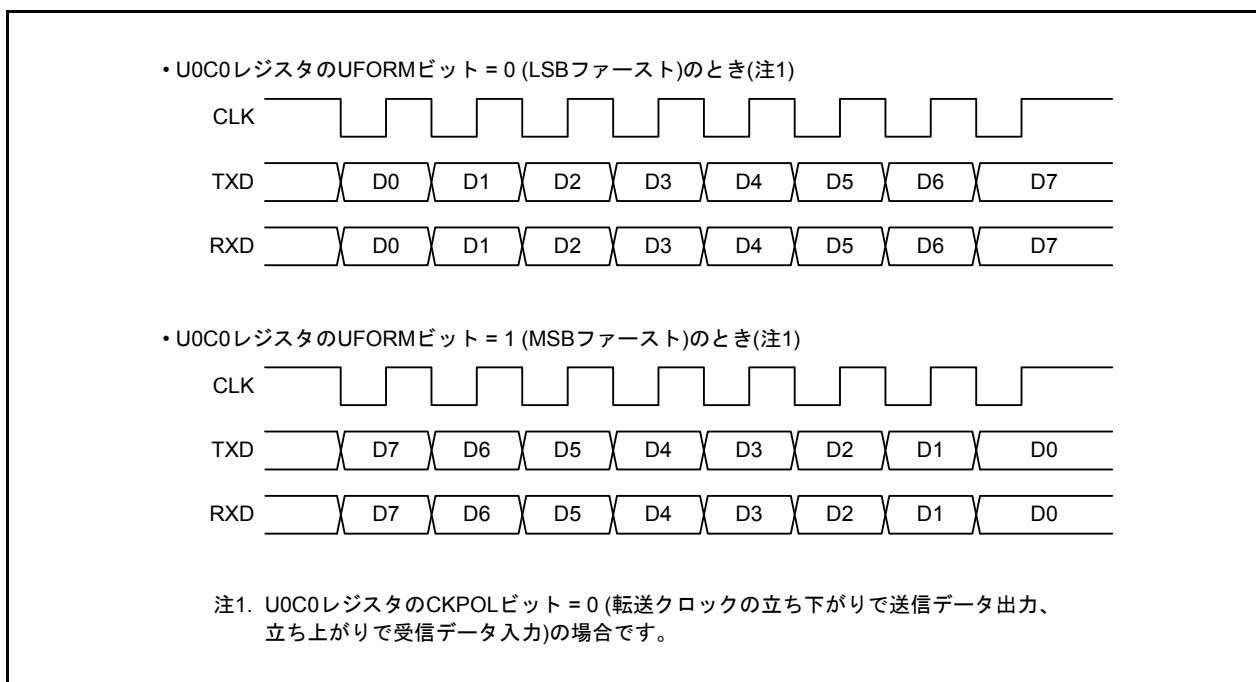


図19.5 転送フォーマット

19.3.1.4 連続受信モード

U0C1レジスタのUORRMビットを1(連続受信モード許可)にすることによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが0(U0TBレジスタにデータあり)になります。UORRMビットが1の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

19.3.1.5 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする
- (2) U0MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェース無効)にする
- (3) U0MRレジスタのSMD2～SMD0ビットを001b(クロック同期形シリアルI/Oモード)にする
- (4) U0C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする

19.3.2 クロック非同期形シリアルI/O (UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表 19.6 にクロック非同期形シリアル I/O モードの仕様を、表 19.7 にクロック非同期形シリアル I/O モード時の使用レジスタと設定値を示します。

表 19.6 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> • キャラクタビット(転送データ) : 7、8、9ビット選択 • スタートビット : 1ビット • パリティビット : 奇数、偶数、なし選択 • ストップビット : 1、2ビット選択
転送クロック	<ul style="list-style-type: none"> • U0MRレジスタのCKDIRビットが0(内部クロック) : $f_j/(16(n+1))$ $f_j = f_1, f_8, f_{32}, f_{C1}$ $n = U0BRG$レジスタの設定値(00h~FFh) • U0MRレジスタのCKDIRビットが1(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT} (CLK端子からの入力) $n = U0BRG$レジスタの設定値(00h~FFh)
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • U0C1レジスタのTEビットが1(送信許可) • U0C1レジスタのTIビットが0(U0TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • U0C1レジスタのREビットが1(受信許可) • スタートビットの検出
割り込み要求発生 タイミング	<ul style="list-style-type: none"> • 送信する場合(次の条件のいずれかを選択) <ul style="list-style-type: none"> - U0C1レジスタのU0IRSビットが0(送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) - U0C1レジスタのU0IRSビットが1(送信完了) : UART0送信レジスタからデータ送信完了時 • 受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注1) U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー(注2) パリティ許可時に、キャラクタビットとパリティビット中の1の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合1になる

注1. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0~b8)は不定になります。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART0受信レジスタからU0RBレジスタにデータが転送されるときに1になります。

表 19.7 クロック非同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0～b8	送信データを設定してください。(注1)
U0RB	b0～b8	受信データが読めます。(注2)
	OER	オーバランエラーフラグ
	FER	フレーミングエラーフラグ
	PER	パリティエラーフラグ
	SUM	エラーサムフラグ
U0BRG	b0～b7	ビットレートを設定してください。
U0MR	SMD2～SMD0	転送データ長7ビットの場合、100bにしてください。 転送データ長8ビットの場合、101bにしてください。 転送データ長9ビットの場合、110bにしてください。
	CKDIR	内部クロックまたは外部クロックを選択してください。
	STPS	1ストップビットまたは2ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数、奇数を選択してください。
U0C0	CLK0、CLK1	U0BRGカウントソース(f1、f8、f32、fC1)を選択してください。
	TXEPT	送信レジスタ空フラグ
	DFE	デジタルフィルタ機能の有無を選択してください。
	NCH	TXD端子の出力形式(CMOS出力またはNチャネルオープンドレイン出力)を選択してください。
	CKPOL	0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)にしてください。
	UFORM	転送データ長8ビット時は、LSBファーストまたはMSBファーストを選択してください。 転送データ長7ビットまたは9ビット時は、0(LSBファースト)にしてください。
U0C1	TE	送信を許可する場合、1にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を、送信バッファ空または送信完了から選択してください。
	U0RRM	0(連続受信モード禁止)にしてください。

注1. 使用するビットは次のとおりです。

- 転送データ長7ビット：ビットb0～b6
- 転送データ長8ビット：ビットb0～b7
- 転送データ長9ビット：ビットb0～b8

注2. 転送データ長7ビットの場合のビットb7、b8、転送データ長8ビットの場合のビットb8の内容は、不定です。

19.3.2.1 動作例

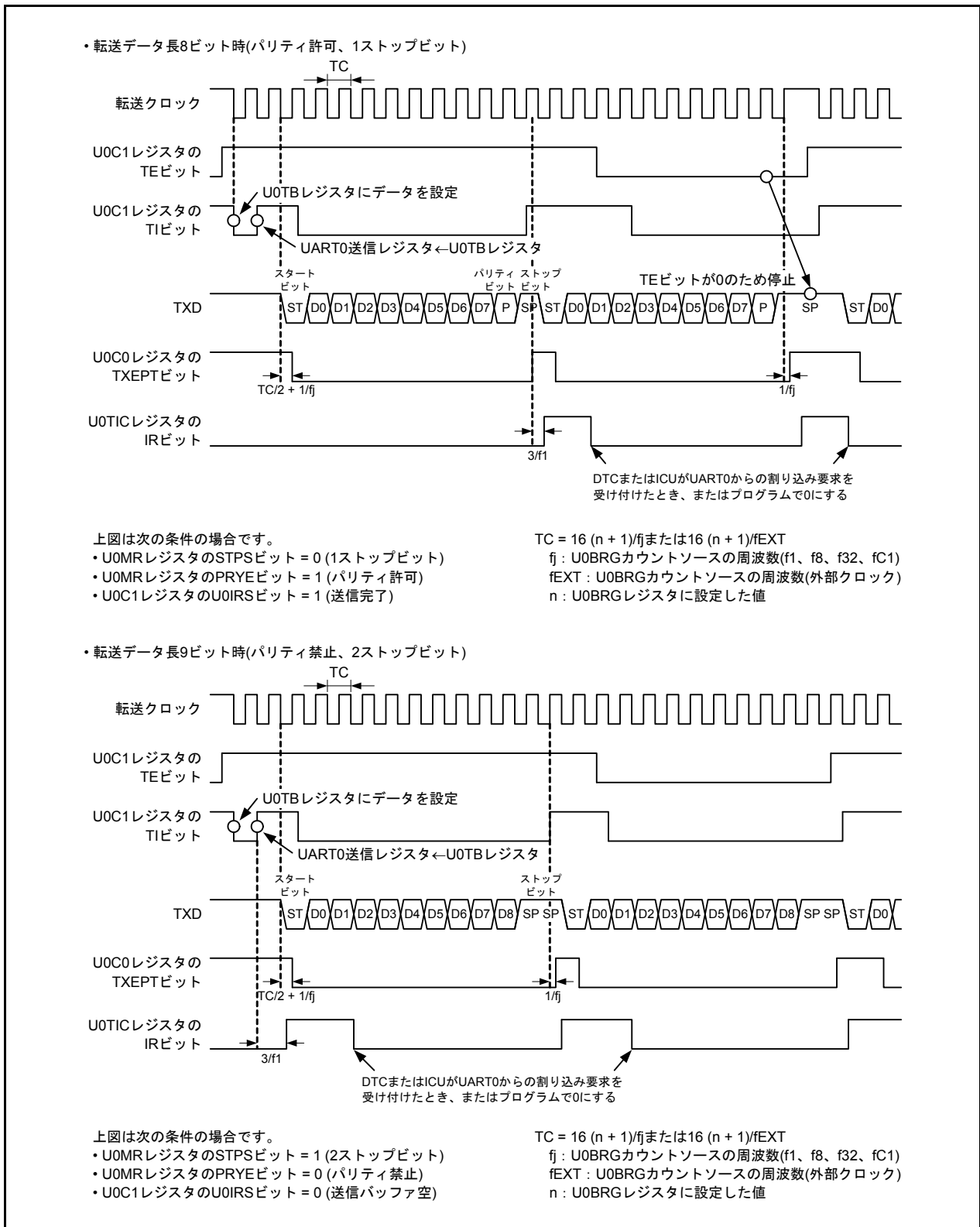


図 19.6 クロック非同期形シリアルI/Oモード時の送信タイミング図

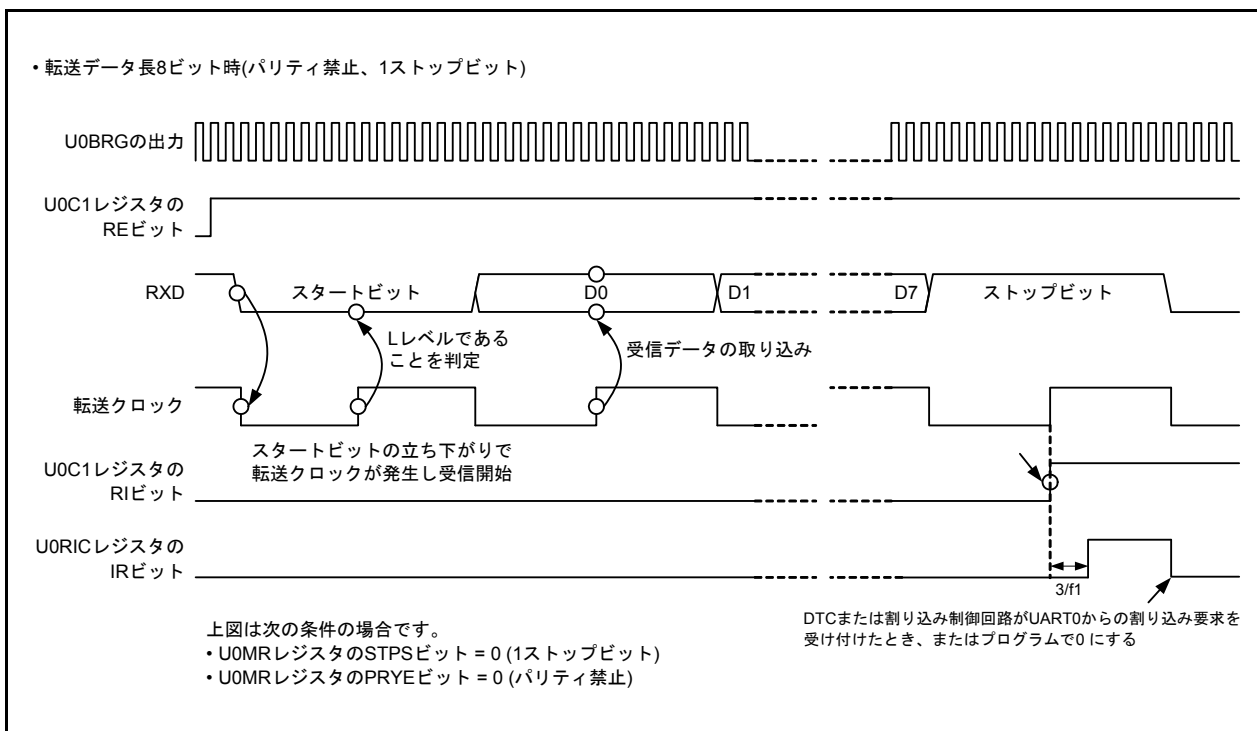


図 19.7 クロック非同期形シリアルI/Oモード時の受信タイミング図

19.3.2.2 ビットレート

クロック非同期形シリアルI/Oモードでは、U0BRGレジスタで分周した周波数の16分周がビットレートになります。

U0BRGレジスタの設定値の算出式は、以下のようになります。

- 内部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f_j : U0BRGカウントソースの周波数(f₁、f₈、f₃₂、f_{C1})

- 外部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f_{EXT} : U0BRGカウントソースの周波数(外部クロック)

表 19.8 クロック非同期形シリアルI/Oモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	U0BRG カウントソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz (注1)			システムクロック = 8 MHz		
		U0BRG レジスタの設定値	実時間 (bps)	設定誤差 (%)	U0BRG レジスタの設定値	実時間 (bps)	設定誤差 (%)	U0BRG レジスタの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	—	—	—

注1. システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22～FRA20ビットを000b(2分周モード)にした場合です。高速オンチップオシレータの精度は「28. 電気的特性」を参照してください。

19.3.2.3 RXD デジタルフィルタ

RXD デジタルフィルタ機能は、U0C0レジスタのDFEビットが1(デジタルフィルタ許可)のとき、RXD入力信号のノイズ除去を行い内部に取り込む機能です。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD入力が転送レートの16倍の周波数の基本クロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、RXD入力が連続して3クロック以上の期間、同一のレベルを保持した場合は信号として認識しますが、3クロック未満の場合はノイズとして判断します。

図19.8にRXDデジタルフィルタのブロック図を示します。

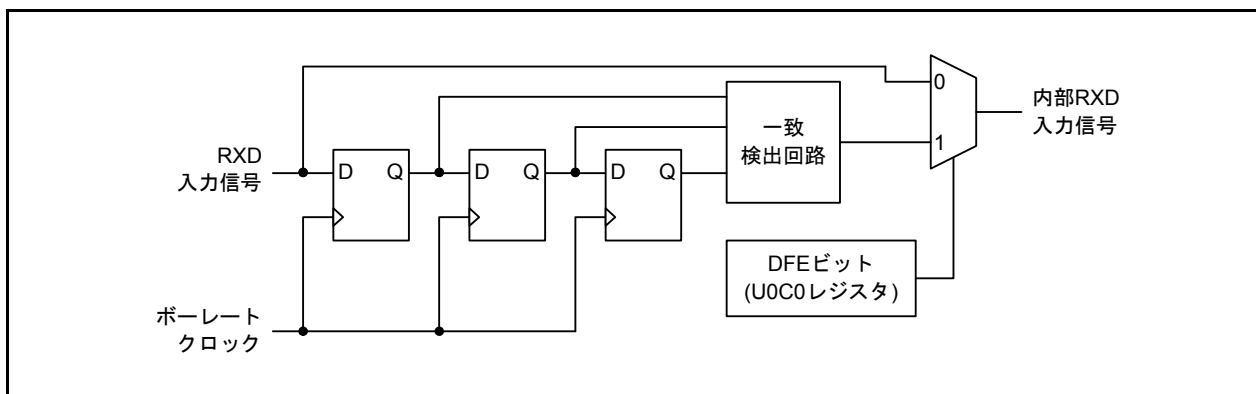


図19.8 RXD デジタルフィルタのブロック図

19.3.2.4 通信エラー発生時の対処方法

UARTモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする
- (2) U0MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェース無効)にする
- (3) U0MRレジスタのSMD2～SMD0ビットを100b(UARTモード転送データ長7ビット)、101b(UARTモード転送データ長8ビット)、110b(UARTモード転送データ長9ビット)のいずれかにする
- (4) U0C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする

19.4 UART0の割り込み

UART0の割り込み要求には、送信バッファ空または送信完了、受信完了割り込みがあります。これらの割り込み要求は、共通のベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。

表19.9に割り込み要求一覧を示します。

表19.9 割り込み要求一覧

割り込み要求	略称	割り込み発生条件
送信バッファ空	TEI	<ul style="list-style-type: none"> • U0C1レジスタのU0IRSビットが0 (送信バッファ空) • TIビットが1 (U0TBレジスタにデータなし) • U0TICレジスタのILVL3～ILVL0ビットを0000b以外に設定 • U0IRレジスタのU0TIEビットが1
送信完了	TXI	<ul style="list-style-type: none"> • U0C1レジスタのU0IRSビットが1 (送信完了) • TXEPTビットが1 (送信レジスタにデータなし) • U0TICレジスタのILVL3～ILVL0ビットを0000b以外に設定 • U0IRレジスタのU0TIEビットが1
受信完了	RXI	<ul style="list-style-type: none"> • U0C1レジスタのRIビットが1 (U0RBレジスタにデータあり) • U0RICレジスタのILVL3～ILVL0ビットを0000b以外に設定 • U0IRレジスタのU0RIEビットが1

U0TIE、U0RIE : U0IRレジスタのビット

注1. 割り込み発生条件を満たし、FLGレジスタのIフラグが1のとき、CPUは割り込み例外処理を実行します。

19.5 シリアルインタフェース(UART0)使用上の注意事項

U0RBレジスタを読み出すときは、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、16ビット単位で読み出してください。

U0RBレジスタ上位バイト(b15～b8)を読み出したとき、U0RBレジスタのFER、PERビットは0(フレーミングエラーなし、パリティエラーなし)になります。また、U0C1レジスタのRIビットも0(U0RBレジスタにデータなし)になります。

受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

- 受信バッファレジスタを読み出すプログラム例
MOV.W 0086H, R0 ; U0RBレジスタの読み出し

クロック非同期形シリアルI/Oモードで転送データビット長9ビットの場合、U0TBレジスタに書くときは、上位バイト(b15～b8)→下位バイト(b7～b0)の順で、8ビット単位で書いてください。

- 送信バッファレジスタに書き込むプログラム例
MOV.B #XXH, 0083H ; U0TBレジスタ上位バイト(b15～b8)への書き込み
MOV.B #XXH, 0082H ; U0TBレジスタ下位バイト(b7～b0)への書き込み
- 通信中、MSTCR0レジスタのMSTUART_0、MSTUART_1ビットを1(スタンバイ)にしないでください。モジュールスタンバイにする場合、通信完了を判断してください。通信完了後、U0C1レジスタのTE、REビットを0(通信禁止)にしてからモジュールスタンバイにしてください。また、モジュールスタンバイ解除後、通信の初期設定はもう一回設定してください。
- UART0を使用しないときは、U0C0レジスタのNCHビットを0(TXD端子はCMOS出力)にしてください。

20. シリアルインタフェース(UART2)

20.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

表20.1～表20.3にUART2の仕様を、図20.1にUART2のブロック図を、図20.2にI²Cモードのブロック図を示します。

UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード(SIOモード)
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1 (I²Cモード)
- マルチプロセッサ通信モード

表20.1 UART2の仕様(1)

モード	項目	仕様
クロック同期シリアルI/Oモード	使用端子	<ul style="list-style-type: none"> • TXD2 : 送信データ(出力) • RXD2 : 受信データ(入力) • CLK2 : 転送クロック(マスタ時 出力、スレーブ時 入力) • CTS2 : 送信要求信号(入力) • RTS2 : 受信要求信号(出力)
	ノイズフィルタ	CLK2、RXD2入口に10nsのノイズフィルタ
	転送データフォーマット	転送データ長 8ビット
	転送クロック	<ul style="list-style-type: none"> • U2MRレジスタのCKDIRビットが0(内部クロック) : $f_j/(2(n+1))$ $f_j = f_1, f_8, f_{32}, f_{C1}$ $n = U2BRG$レジスタの設定値(00h~FFh) • CKDIRビットが1(外部クロック) : CLK2端子からの入力
	送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択
	送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力がL
	受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • U2C1レジスタのREビットが1(受信許可) • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力がL
	割り込み要求発生タイミング	<ul style="list-style-type: none"> • 送信する場合(次の条件のいずれかを選択) <ul style="list-style-type: none"> - U2C1レジスタのU2IRSビットが0(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) - U2IRSビットが1(送信完了) : UART2送信レジスタからデータ送信完了時 • 受信する場合 UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時)
	エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 U2RBレジスタを読むことで、同時に受信許可状態となる機能の使用を選択 • シリアルデータ論理切り替え 送受信データの論理値を反転する機能 	

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが0(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックがHの状態、CKPOLビットが1(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックがLの状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは更新されません(前回のデータが読み出せません)。

表20.2 UART2の仕様(2)

モード	項目	仕様
クロック非同期形 シリアルI/Oモード (UARTモード)	使用端子	<ul style="list-style-type: none"> • TXD2: 送信データ(出力) • RXD2: 受信データ(入力) • CTS2: 送信要求信号(入力) • RTS2: 受信要求信号(出力) • CLK2: カウントソースクロック(入力、外部クロック選択時)
	ノイズフィルタ	CLK2、RXD2入口に10nsのノイズフィルタ
	転送データ フォーマット	<ul style="list-style-type: none"> • キャラクタビット(転送データ): 7、8、9ビットを選択 • スタートビット: 1ビット • パリティビット: 奇数、偶数、なしを選択 • ストップビット: 1、2ビットを選択
	転送クロック	<ul style="list-style-type: none"> • U2MRレジスタのCKDIRビットが0(内部クロック): $f_j/(16(n+1))$ $f_j = f_1、f_8、f_{32}、f_{C1}$ $n = U2BRG$レジスタの設定値(00h~FFh) • CKDIRビットが1(外部クロック): $f_{EXT}/(16(n+1))$ f_{EXT}(CLK2端子からの入力) $n = U2BRG$レジスタの設定値(00h~FFh)
	送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択
	送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力がL
	受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • U2C1レジスタのREビットが1(受信許可) • スタートビットの検出
	割り込み要求発生 タイミング	<ul style="list-style-type: none"> • 送信する場合(次の条件のいずれかを選択) <ul style="list-style-type: none"> - U2C1レジスタのU2IRSビットが0(送信バッファ空): U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) - U2IRSビットが1(送信完了): UART2送信レジスタからデータ送信完了時 • 受信する場合 <ul style="list-style-type: none"> - UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー(注2) パリティ許可時にパリティビットとキャラクタビット中の1の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合1になる 	

注1. オーバランエラーが発生した場合、U2RBレジスタの受信データは更新されません(前回のデータが読み出せません)。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに1になります。

表20.3 UART2の仕様(3)

モード	項目	仕様
クロック非同期形 シリアルI/Oモード (UARTモード)	選択機能	<ul style="list-style-type: none"> • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD2端子出力とRXD2端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択
特殊モード1 (I ² Cモード)	使用端子	<ul style="list-style-type: none"> • SCL2：転送クロック(マスタ時 出力、スレーブ時 入力) • SDA2：転送データ(送信時 出力、受信時 入力)
	ノイズフィルタ	SCL2、SDA2入口に100nsのノイズフィルタ
	転送データ フォーマット	転送データ長 8ビット
	転送クロック	<ul style="list-style-type: none"> • マスタ時 U2MRレジスタのCKDIRビットが0(内部クロック)：$f_j/(2(n+1))$ $f_j = f_1, f_8, f_{32}, f_{C1}$ $n = U2BRG$レジスタの設定値(00h~FFh) • スレーブ時 CKDIRビットが1(外部クロック)：SCL2端子からの入力
	送信開始条件	送信開始には、以下の条件が必要 <ul style="list-style-type: none"> • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)
	受信開始条件	受信開始には、以下の条件が必要 <ul style="list-style-type: none"> • U2C1レジスタのREビットが1(受信許可) • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)
	割り込み要求発生 タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
	エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
	選択機能	<ul style="list-style-type: none"> • アービトレーションロスト U2RBレジスタのABTビットの更新タイミングを選択 • SDA2デジタル遅延 デジタル遅延なし、またはU2BRGカウントソースの2~8サイクルの遅延を選択 • クロック位相設定 クロック遅れあり、なしを選択
マルチプロセッサ 通信モード	使用端子	<ul style="list-style-type: none"> • TXD2：送信データ(出力) • RXD2：受信データ(入力) • CLK2：UART動作クロック(入力、外部クロック選択時)
	転送データ フォーマット	<ul style="list-style-type: none"> • キャラクタビット(転送データ)：7、8ビットを選択 • マルチプロセッサビット：1ビット • スタートビット：1ビット • パリティビット：なし • ストップビット：1、2ビットを選択
	選択機能	<ul style="list-style-type: none"> • RXD2デジタルフィルタ選択 RXD2入力信号のデジタルフィルタ有効、無効を選択
	上記以外についてはクロック非同期形シリアルI/Oモードと同一仕様	

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは更新されません(前回のデータが読み出せません)。

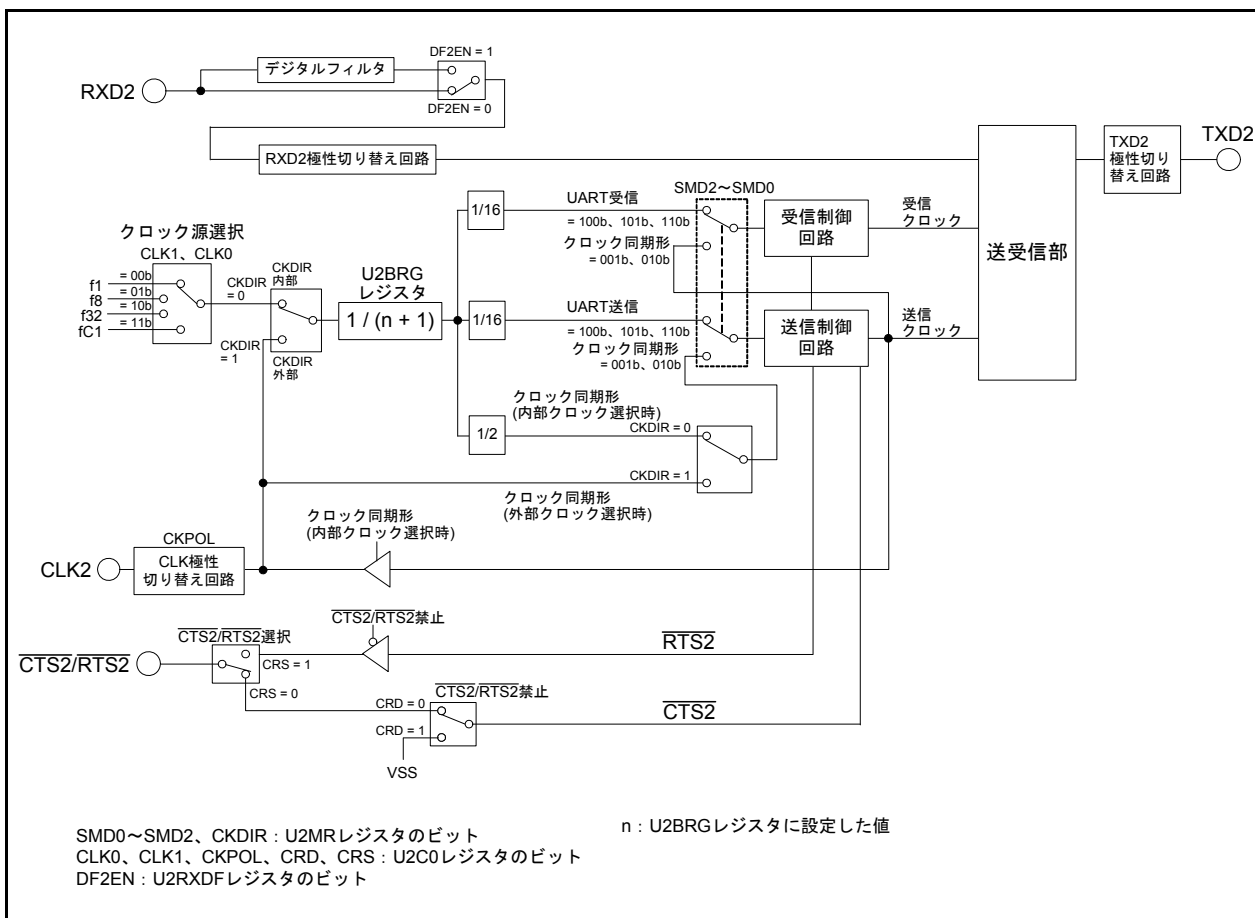


図20.1 UART2のブロック図

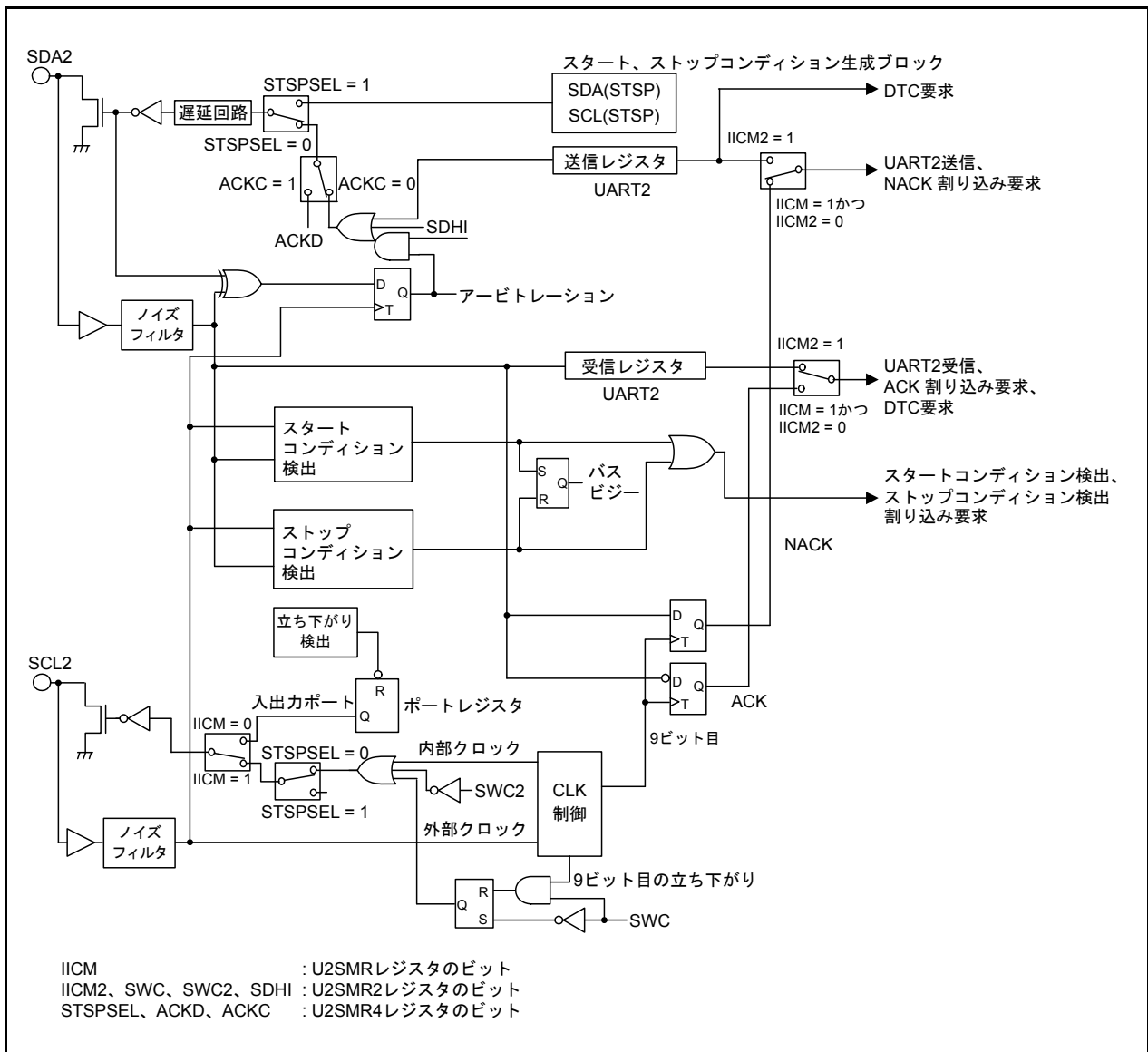


図20.2 I²Cモードのブロック図

表20.4 UART2の端子構成

端子名	入出力	機能
TXD2	出力	シリアルデータ出力
RXD2	入力	シリアルデータ入力
CLK2	入出力	転送クロック入出力
CTS2	入力	送信制御用入力
RTS2	出力	受信制御用出力
SCL2	入出力	I ² Cモードのクロック入出力
SDA2	入出力	I ² Cモードのデータ入出力

20.2 レジスタの説明

表20.5にUART2のレジスタ構成を示します。

表20.5 UART2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
UART2送受信モードレジスタ	U2MR	00h	000C0h	8
UART2ビットレートレジスタ	U2BRG	00h	000C1h	8
UART2送信バッファレジスタ	U2TB	00h	000C2h	8または16
		00h	000C3h	
UART2送受信制御レジスタ0	U2C0	00001000b	000C4h	8
UART2送受信制御レジスタ1	U2C1	00000010b	000C5h	8
UART2受信バッファレジスタ	U2RB	0000h	000C6h	16
UART2デジタルフィルタ機能選択レジスタ	U2RXDF	00h	000C8h	8
UART2特殊モードレジスタ5	U2SMR5	00h	000D0h	8
UART2特殊モードレジスタ4	U2SMR4	00h	000D4h	8
UART2特殊モードレジスタ3	U2SMR3	00h	000D5h	8
UART2特殊モードレジスタ2	U2SMR2	00h	000D6h	8
UART2特殊モードレジスタ	U2SMR	00h	000D7h	8

20.2.1 UART2送受信モードレジスタ(U2MR)

アドレス	000C0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット (注1、2)	b2 b1 b0 0 0 0 : シリアルインタフェース無効	R/W
b1	SMD1		0 0 1 : クロック同期形シリアルI/Oモード	R/W
b2	SMD2		0 1 0 : I ² Cモード	R/W
			1 0 0 : UARTモード転送データ長7ビット 1 0 1 : UARTモード転送データ長8ビット 1 1 0 : UARTモード転送データ長9ビット 上記以外 : 設定しないでください	
b3	CKDIR	内部/外部クロック選択ビット (注3)	0 : 内部クロック 1 : 外部クロック	R/W
b4	STPS	ストップビット長選択ビット (注4)	0 : 1ストップビット 1 : 2ストップビット	R/W
b5	PRY	パリティ奇数/偶数選択ビット (注5)	0 : 奇数パリティ 1 : 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット (注6)	0 : パリティ禁止 1 : パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット (注7)	0 : 反転なし 1 : 反転あり	R/W

注1. マルチプロセッサモード時は100b (UARTモード転送データ長7ビット)または101b (UARTモード転送データ長8ビット)としてください。

注2. SMD2～SMD0ビットを000bにするとときは、U2C1レジスタのTEビットを0 (送信禁止)、REビットを0 (受信禁止)にしてください。

注3. SIO/I²Cモードマスタ時は0 (内部クロック)に、SIO/I²Cモードスレーブ時は1 (外部クロック)にしてください。

注4. UARTモード、マルチプロセッサ通信モード時のみ選択可能です。他モード時は0 (1ストップビット)にしてください。

注5. UARTモード時のみ選択可能です。他モード時はPRYEビットが0 (パリティビットなし)であるため、設定値は無効です。

注6. UARTモード時のみ選択可能です。他モード時は0 (パリティビットなし)にしてください。

PRYEビットを1 (パリティビットあり)にした場合、次の動作となります。

送信時 : 送信データに続いてパリティビットを付加します。

受信時 : パリティビットによりエラーチェックを行います。

注7. UARTモード時のみ設定可能です。他モード時は0 (反転なし)にしてください。IOPOLビットを1 (反転あり)にした場合、送信データおよび受信データの極性を反転させます。

(スタートビット、ストップビット、パリティビットも含め反転します。)

20.2.2 UART2ビットレートレジスタ(U2BRG)

アドレス	000C1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b7～b0	設定値をnにすると、U2BRGはカウントソースをn+1分周します。	00h～FFh	W

U2BRGレジスタは、送受信停止中にMOV命令を使用して書いてください。

U2C0レジスタのCLK0、CLK1ビットを設定した後、U2BRGレジスタに書いてください。

20.2.3 UART2送信バッファレジスタ (U2TB)

アドレス 000C2h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	MPTB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	—	送信データ (D7～D0)	W
b1	—		W
b2	—		W
b3	—		W
b4	—		W
b5	—		W
b6	—		W
b7	—		W
b8	MPTB (注1)	[マルチプロセッサ通信機能を使用しない場合] 送信データ (D8) [マルチプロセッサ通信機能を使用する場合] ・IDを転送するときは、MPTBビットを1にしてください ・データを転送するときは、MPTBビットを0にしてください	W
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

注1. UARTモード転送データ長9ビットまたはマルチプロセッサ機能を使用する場合で、8ビットアクセスを行う場合は、U2TBレジスタの上位バイト(b15～b8)書き込み後、下位バイト(b7～b0)を書き込んでください。

U2TBレジスタへは、MOV命令を使用して書いてください。

20.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス	000C4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRGカウンタソース選択ビット (注1)	b1 b0 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fC1 (注2)	R/W
b1	CLK1			R/W
b2	CRS	CTS/RTS機能選択ビット (注3)	CRD = 0のとき有効 0 : CTS機能を選択 1 : RTS機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	R
b4	CRD	CTS/RTS禁止ビット (注4)	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止	R/W
b5	NCH	データ出力選択ビット (注5、6)	0 : TXD2/SDA2、SCL2端子はCMOS出力 1 : TXD2/SDA2、SCL2端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット (注7)	0 : 転送クロックの立ち下がり で送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がり で送信データ出力、立ち下がり で受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット (注8)	0 : LSBファースト 1 : MSBファースト	R/W

注1. CLK0、CLK1ビットを変更した場合は、U2BRGレジスタを再設定してください。

注2. I²Cモード時は11b (fC1)を選択しないでください。

注3. SIO/UARTモード時のみ選択可能です。他のモードではCRDビットが1 (CTS/RTS機能禁止)のため設定値は無効です。

注4. SIO/UARTモード時のみ設定可能です。他のモード時は1 (CTS/RTS機能禁止)にしてください。

注5. I²Cモード時は1 (TXD2/SDA2、SCL2端子はNチャネルオープンドレイン出力)にしてください。

注6. UART2を使用しないときは、NCHビットを0 (TXD2/SDA2、SCL2端子はCMOS出力)にしてください。

注7. SIOモード時のみ設定可能です。他のモード時は0 (転送クロックの立ち下がり で送信データ出力、立ち上がりで受信データ入力)にしてください。

注8. SIO/UARTモードで転送データ長8ビット時のみ選択可能です。

I²Cモード時は1 (MSBファースト)に、SIO/UARTおよびI²Cモード以外のモードでは0 (LSBファースト)にしてください。

20.2.5 UART2送受信制御レジスタ1(U2C1)

アドレス	000C5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	U2ERE	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b1	TI	送信バッファ空フラグ	0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし	R
b2	RE	受信許可ビット	0: 受信禁止 1: 受信許可	R/W
b3	RI	受信完了フラグ (注1)	0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット (注2)	0: 送信バッファ空(TI = 1) 1: 送信完了(TXEPT = 1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット (注3)	0: 連続受信モード禁止 1: 連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット (注4)	0: 反転なし 1: 反転あり	R/W
b7	U2ERE	エラー信号出力許可ビット (注5)	0: 出力しない 1: 設定しないでください	R/W

注1. RIビットは、U2RBレジスタを読み出したとき、0(U2RBレジスタにデータなし)になります。

注2. I²Cモード時は1(送信完了)にしてください。

注3. クロック同期形シリアルI/Oモード(SIOモード)のみ設定可能です。他のモード時は0(連続受信モード禁止)にしてください。

注4. SIO/UARTモード時のみ設定可能です。他のモード時は0(反転なし)にしてください。

注5. 0(出力しない)にしてください。

U2C1レジスタへは、MOV命令を使用して書いてください。

U2LCHビット(データ論理選択ビット)

送信データおよび受信データの極性を反転させるビットです(データのみ)。U2LCHビットが1(反転あり)の場合、送信時はU2TBレジスタへのデータ書き込み時に論理を反転して書き込みます。

受信時はU2RBレジスタからデータ読み出し時に論理を反転したデータが読めます。

20.2.6 UART2 受信バッファレジスタ (U2RB)

アドレス 000C6h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	ABT	—	—	MPRB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	受信データ (D0～D7)		R
b1	—			R
b2	—			R
b3	—			R
b4	—			R
b5	—			R
b6	—			R
b7	—			R
b8	MPRB	受信データ (D8)/ マルチプロセッサビット (注1)	[マルチプロセッサ通信機能を使用しない場合] 受信データ (D8) [マルチプロセッサ通信機能を使用する場合] • MPRB ビットが0のとき、受信したD0～D7は データフィールド • MPRB ビットが1のとき、受信したD0～D7は IDフィールド	R
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b10	—			—
b11	ABT	アービトラクションロスト検出フラグ (注2)	0: 未検出 1: 検出	R/W
b12	OER	オーバランエラーフラグ (注3、4)	0: オーバランエラーなし 1: オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ (注3、5)	0: フレーミングエラーなし 1: フレーミングエラー発生	R
b14	PER	パリティエラーフラグ (注3、5)	0: パリティエラーなし 1: パリティエラー発生	R
b15	SUM	エラーサムフラグ (注3、4)	0: エラーなし 1: エラー発生	R

注1. マルチプロセッサ通信機能を使用する/しないによってビットの機能が異なります。

注2. I²Cモード時のみ有効です。他のモードでは無効です。0を書くことによりクリアされます。1を書いても変化しません。

注3. U2MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェースは無効)にしたとき、またはU2C1レジスタのREビットを0(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて0(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて0(エラーなし)になると0(エラーなし)になります。また、PER、FERビットは、U2RBレジスタを読んだとき、0になります。

U2MRレジスタのSMD2～SMD0ビットを000bにするときは、U2C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にしてください。

注4. すべてのモードで有効です。

注5. UART、マルチプロセッサモード時のみ有効です。他のモードでは無効です。

受信データ(D0～D8)へは、MOV命令を使用して書いてください。

U2RBレジスタは、ワード(16ビット)アクセスしてください。

20.2.7 UART2 デジタルフィルタ機能選択レジスタ (U2RXDF)

アドレス	000C8h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	DF2EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	DF2EN	RXD2 デジタルフィルタ許可ビット	0 : RXD2 デジタルフィルタ禁止 1 : RXD2 デジタルフィルタ許可	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

DF2EN ビット (RXD2 デジタルフィルタ許可ビット)

RXD2 デジタルフィルタ許可時はボーレートクロックにて3パルス以下のノイズを除去します。
詳細は「20.3.2.7 RXD2 デジタルフィルタ選択機能」を参照してください。

UART モード、マルチプロセッサ通信モード時のみ設定可能です。他のモード時は0 (RXD2 デジタルフィルタ禁止) にしてください。

20.2.8 UART2 特殊モードレジスタ 5 (U2SMR5)

アドレス	000D0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MPIE	—	—	—	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット (注1、2)	0 : マルチプロセッサ通信禁止 1 : マルチプロセッサ通信許可	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	MPIE	マルチプロセッサ通信制御ビット	MPビットが1(マルチプロセッサ通信許可)のとき有効です。 MPIEビットが1のとき、次の状態になります。 <ul style="list-style-type: none"> マルチプロセッサビットが0の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが1になることを禁止します。 マルチプロセッサビットが1の受信データを受信すると、MPIEビットは0になり、マルチプロセッサ通信以外の受信動作になります。MPIEビットが0のときは通常受信動作と変わりません。 	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

注1. MPビットが1(マルチプロセッサ通信許可)のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。

注2. UARTモードで転送データ長が7ビットまたは8ビットのときのみ有効です。他のモードでは0にしてください。

U2SMR5レジスタへは、MOV命令を使用して書いてください。

20.2.9 UART2 特殊モードレジスタ 4 (U2SMR4)

アドレス	000D4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SWC9	SCLHI	ACKC	ACKD	STSPSEL	STPREQ	RSTAREQ	STAREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STAREQ	スタートコンディション生成ビット (注1、2)	0 : クリア 1 : スタート	R/W
b1	RSTAREQ	リスタートコンディション生成ビット (注1、2)		R/W
b2	STPREQ	ストップコンディション生成ビット (注1、2)		R/W
b3	STSPSEL	SCL、SDA出力選択ビット (注2)	0 : スタートコンディション、ストップコン ディション出力しない 1 : スタートコンディション、ストップコン ディション出力する	R/W
b4	ACKD	ACKデータビット (注3)	0 : ACK 1 : NACK	R/W
b5	ACKC	ACKデータ出力許可ビット (注3)	0 : シリアルインタフェースデータ出力 1 : ACKデータ出力	R/W
b6	SCLHI	SCL出力停止許可ビット (注2)	0 : 通常動作 1 : SCL出力強制停止	R/W
b7	SWC9	SCLウェイトビット3 (注4)	0 : SCL2端子のL出力固定禁止 1 : SCL2端子のL出力固定許可	R/W

注1. 各コンディションが生成されたとき、0になります。

注2. I²Cモードでマスタ時のみ設定可能です。他のモードでは0にしてください。

注3. I²Cモード時のみ設定可能です。他のモードでは0にしてください。

注4. I²Cモードでスレープ時のみ設定可能です。他のモードでは0にしてください。

U2SMR4レジスタへは、MOV命令を使用して書いてください。

SCLHIビット(SCL出力停止許可ビット)

I²Cモードで異常発生時に本機能により、U2SMRレジスタのBBSビット(バスビジーフラグ)が0(ストップコンディション検出)のときに、SCL2出力を開放することができます。

SWC9ビット(SCLウェイトビット3)

SWC9ビットを1にした場合、9ビット目クロックの次のクロック立ち下がり時に、SCL2端子をL出力固定にします。詳細は「20.3.3.9 (3) SCL2端子L出力固定機能3」を参照してください。

20.2.10 UART2 特殊モードレジスタ 3 (U2SMR3)

アドレス	000D5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DL2	DL1	DL0	—	NODC	—	CKPH	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b1	CKPH	クロック位相設定ビット (注1)	0 : クロック遅れなし 1 : クロック遅れあり	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b3	NODC	クロック出力選択ビット (注2、3)	0 : CLK2端子はCMOS出力 1 : CLK2端子はNチャネルオープンドレイン出力	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b5	DL0	SDA2 デジタル遅延値設定ビット (注4、5)	b7 b6 b5 0 0 0 : 遅延なし 0 0 1 : U2BRG カウントソースの1、2サイクル 0 1 0 : U2BRG カウントソースの2、3サイクル 0 1 1 : U2BRG カウントソースの3、4サイクル 1 0 0 : U2BRG カウントソースの4、5サイクル 1 0 1 : U2BRG カウントソースの5、6サイクル 1 1 0 : U2BRG カウントソースの6、7サイクル 1 1 1 : U2BRG カウントソースの7、8サイクル	R/W
b6	DL1			R/W
b7	DL2			R/W

注1. I²Cモード時のみ設定可能です。他のモードでは0(クロック遅れなし)にしてください。

注2. SIOモード時のみ設定可能です。他のモードでは0(CLK2端子はCMOS出力)にしてください。

注3. UART2を使用しないときは、NODCビットを0(CLK2端子はCMOS出力)にしてください。

注4. DL0～DL2ビットはI²Cモードで、SDA2出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、000b(遅延なし)にしてください。

注5. 遅延量はSCL2端子、SDA2端子の負荷容量により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

20.2.11 UART2 特殊モードレジスタ 2 (U2SMR2)

アドレス	000D6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SDHI	SWC2	STAC	ALS	SWC	CSC	IICM2
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM2	I ² Cモード選択ビット2 (注1)	0 : NACK/ACK 割り込み 1 : UART送信/UART受信割り込み	R/W
b1	CSC	クロック同期化ビット (注2)	0 : 禁止 1 : 許可	R/W
b2	SWC	SCLウェイト出力ビット (注3)		R/W
b3	ALS	SDA2出力停止ビット (注2)	0 : SDA2出力停止処理はしない 1 : SDA2出力停止	R/W
b4	STAC	UART2初期化ビット (注4)	0 : 禁止 1 : 許可	R/W
b5	SWC2	SCLウェイト出力ビット2 (注3)	0 : 通常動作 1 : L出力	R/W
b6	SDHI	SDA出力禁止ビット (注3)	0 : 許可 1 : 禁止(ハイインピーダンス)	R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

注1. I²Cモード(U2MRレジスタのSMD2～SMD0ビットが010b、U2SMRレジスタのIICMビットが1)の場合のみ設定可能です。他のモードでは0にしてください。

注2. I²Cモードでマスタの場合のみ設定可能です。他のモードでは0にしてください。

注3. I²Cモードの場合のみ設定可能です。他のモードでは0にしてください。

注4. I²Cモードでスレーブの場合のみ設定可能です。他のモードでは0にしてください。

CSCビット(クロック同期化ビット)

CSCビットに1(許可)を設定した場合の動作は「20.3.3.8 SCL同期化機能」を参照してください。

SWCビット(SCLウェイト出力ビット)

SWCビットに1(許可)を設定すると、SCL2端子を強制的にL出力固定にします。(詳細は「20.3.3.9 (1) SCL2端子L出力固定機能1」を参照)

ALSビット(SDA2出力停止ビット)

ALSビットに1(SDA2出力停止)を設定すると、アービトレーションロストが発生したときSDA2端子出力を停止します。

STACビット(UART2初期化ビット)

STACビットに1(許可)を設定すると、スタートコンディション検知で送受信動作を初期化します。(詳細は「20.3.3.7 送受信初期化」を参照)

SWC2ビット(SCLウェイト出力ビット2)

SWC2ビットに1(L出力)を設定すると、SCL2端子を強制的にL出力固定にします。(詳細は「20.3.3.9 (2) SCL2端子L出力固定機能2」を参照)

SDHIビット(SDA出力禁止ビット)

SDHIビットに1(禁止(ハイインピーダンス))を設定すると、SDA2端子を強制的にハイインピーダンスにします。

20.2.12 UART2特殊モードレジスタ(U2SMR)

アドレス	000D7h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SSS	—	ABSCS	—	BBS	ABC	IICM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	I ² Cモード選択ビット (注1)	0: I ² Cモード以外 1: I ² Cモード	R/W
b1	ABC	アービトラージンロスト検出フラグ 制御ビット(注2、3)	0: ビットごとに更新 1: バイトごとに更新	R/W
b2	BBS	バスビジーフラグ (注4)	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	R
b3	—	予約ビット	0にしてください	R/W
b4	ABSCS	バス衝突検出サンプリングクロック選 択ビット	0: 転送クロックの立ち上がり 1: タイマRB2のアンダフロー信号	R/W
b5	—	予約ビット	0にしてください	R/W
b6	SSS	送信許可開始条件選択ビット (注5)	0: RXD2に同期しない 1: RXD2に同期する	R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

注1. I²Cモード時は1にしてください。他のモードでは0にしてください。

注2. I²Cモードでマスタ時のみ設定可能です。他のモードでは0にしてください。

注3. IICMビットが1かつU2SMR2レジスタのIICM2ビットが1(UART送信/UART受信割り込み)の場合、ABCビットは0にしてください。

注4. I²Cモード時のみ有効です。他のモードでは無効です。

注5. SSSビットは転送が始まると0(RXD2に同期しない)になります。

U2SMRレジスタへは、MOV命令を使用して書いてください。

20.3 動作説明

20.3.1 クロック同期形シリアルI/Oモード(SIOモード)

クロック同期形シリアルI/Oモード(SIOモード)は、転送クロックを用いて送受信を行うモードです。表20.6にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表20.6 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB	b0~b7	送信データを設定してください
U2RB	b0~b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0~b7	ビットレートを設定してください
U2MR	SMD2~SMD0	001bにしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	0にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信を許可する場合、1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、1にしてください
	U2LCH	データ論理反転を使用する場合、1にしてください
U2SMR3	NODC	クロック出力形式を選択してください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、0を書いてください。

図20.3にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

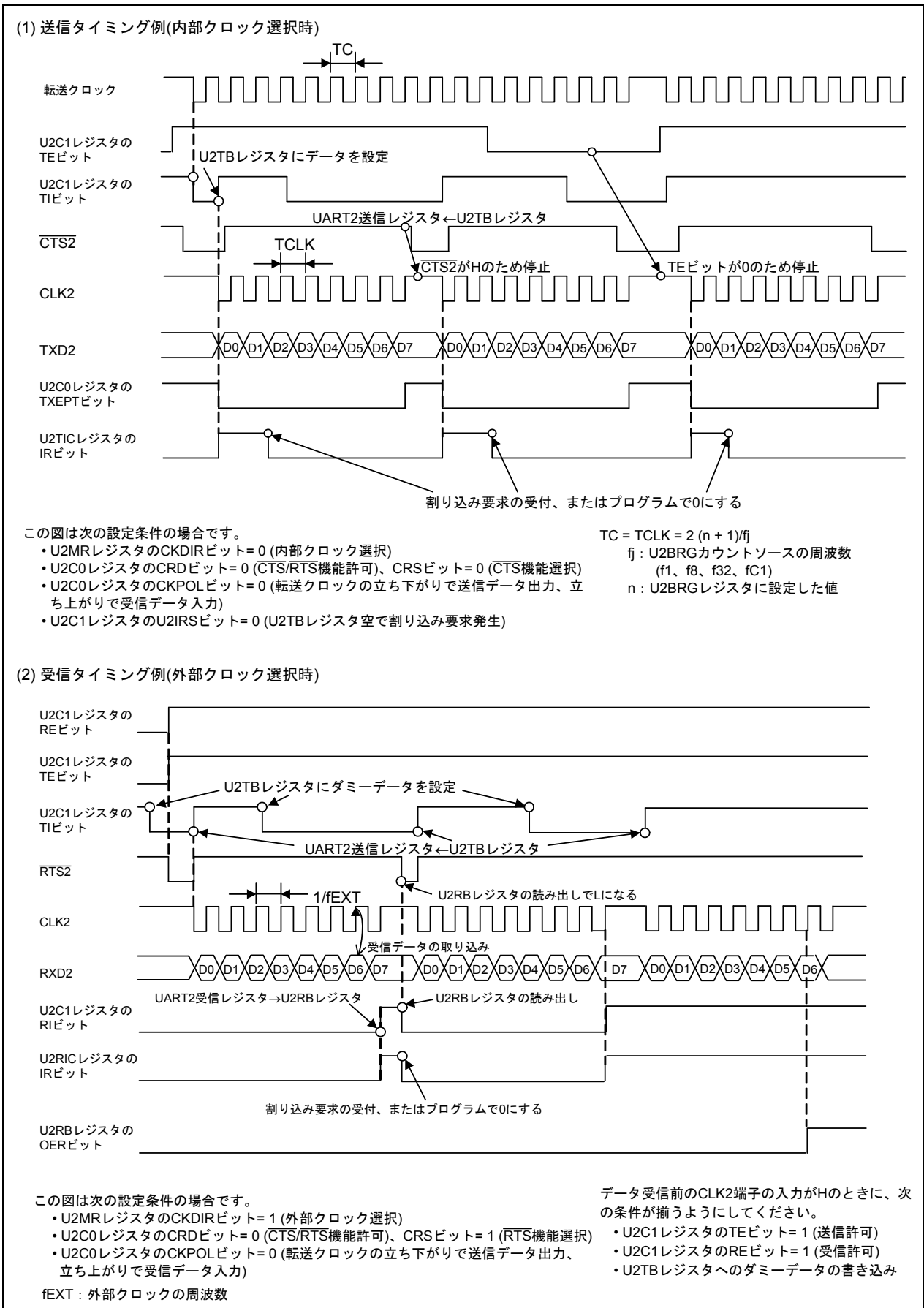


図 20.3 クロック同期形シリアルI/Oモード時の送受信タイミング例

20.3.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを001b(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする。

20.3.1.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図20.4に転送クロックの極性を示します。

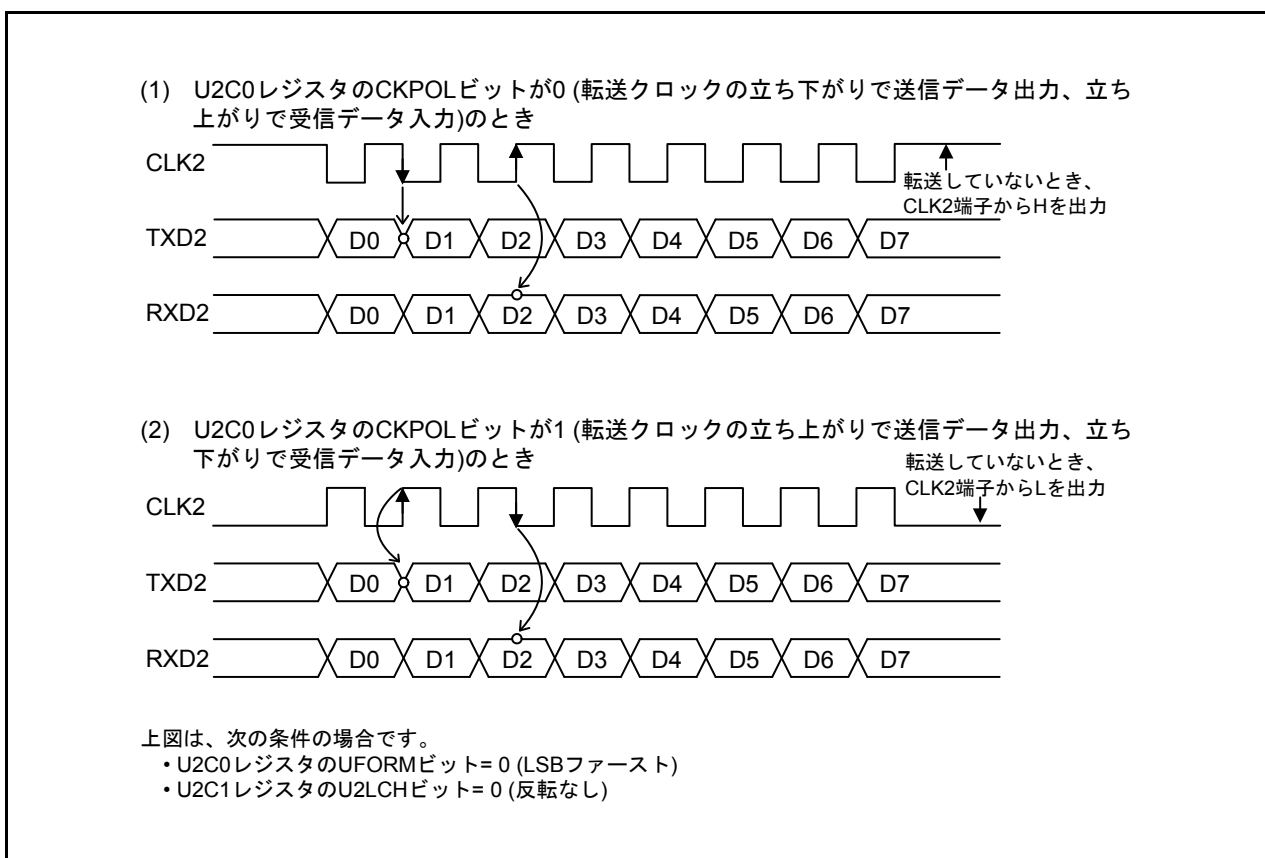


図20.4 転送クロックの極性

20.3.1.3 LSBファースト、MSBファースト選択

U2C0レジスタのUFORMビットで転送フォーマットを選択できます。図20.5に転送フォーマットを示します。

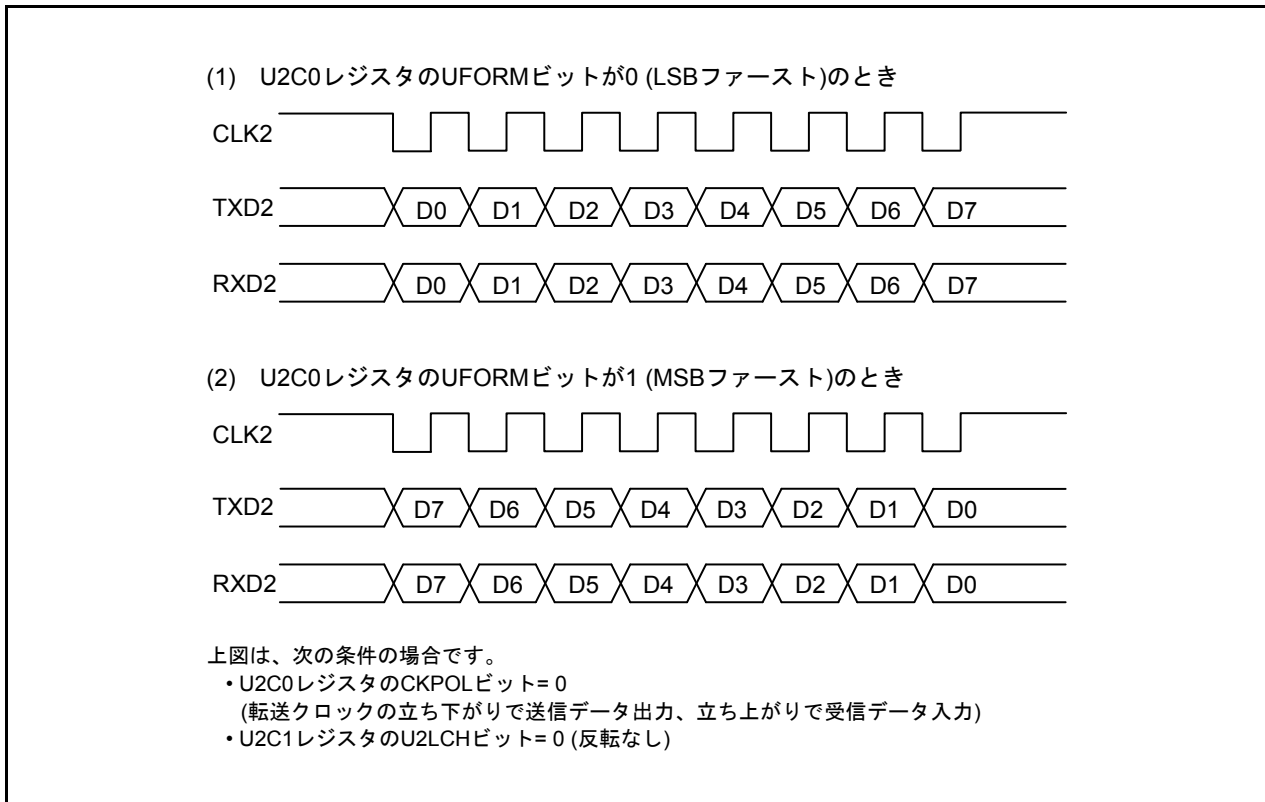


図20.5 転送フォーマット

20.3.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1レジスタのU2RRMビットを1(連続受信モード)にすると、U2RBレジスタを読むことでU2C1レジスタのTIビットが0(U2TBレジスタにデータあり)になります。U2RRMビットが1の場合、プログラムでU2TBレジスタにダミーデータを書かないでください。

マスタ動作時に連続受信モードで最後のデータを読み出す場合、読み出す前にU2C1レジスタのU2RRMビットを0(連続受信モード禁止)にしてください。

20.3.1.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットでシリアルデータ論理反転の有無を選択できます。

U2LCHビットが1(反転あり)の場合、U2TBレジスタに論理を反転した値を書き込み送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図20.6にシリアルデータ論理を示します。

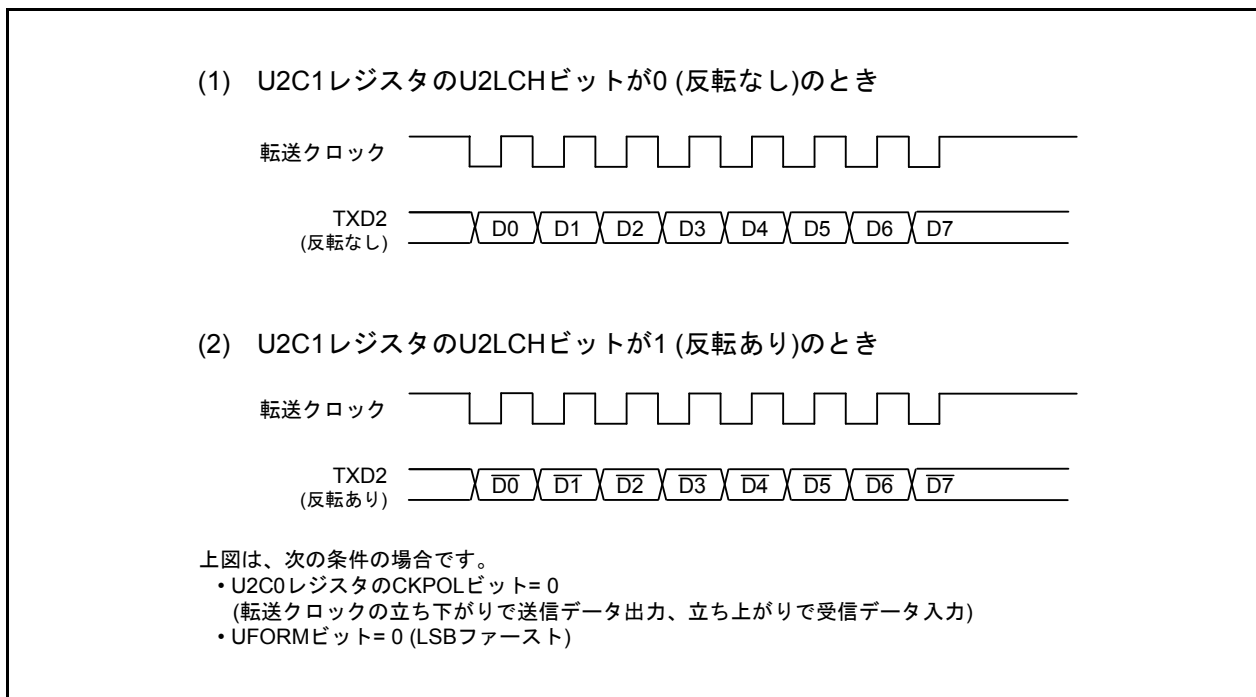


図20.6 シリアルデータ論理

20.3.1.6 CTS/RTS機能

CTS機能は、CTS2端子にLを入力すると、送受信を開始させる機能です。CTS2端子の入力レベルがLになると、送受信を開始します。送受信の最中に入力レベルをHにした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、RTS2端子の出力レベルがLになります。RXD2端子の最初の立ち下がりで出力レベルがHになります。

- U2C0レジスタのCRDビット=1(CTS/RTS機能禁止) : CTS2端子入力未使用、RTS2端子出力H
- CRDビット=0、CRSビット=0(CTS機能選択) : CTS2端子入力有効、RTS2端子出力H
- CRDビット=0、CRSビット=1(RTS機能選択) : CTS2端子入力未使用、RTS2端子出力有効

20.3.2 クロック非同期形シリアルI/O (UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表20.7にUARTモード時の使用レジスタと設定値を示します。

表20.7 UARTモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB	b0～b8	送信データを設定してください(注2)
U2RB	b0～b8	受信データが読めます(注2、3)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7	ビットレートを設定してください
U2MR	SMD2～SMD0	転送データが7ビットの場合、100bを設定してください
		転送データが8ビットの場合、101bを設定してください
		転送データが9ビットの場合、110bを設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
U2C0	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD2、RXD2入出力極性を選択してください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます 転送データ長7ビットまたは9ビット時は0にしてください
U2C1	TE	送信を許可する場合、1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2LCH	データ論理反転を使用する場合、1にしてください
U2RXDF	DF2EN	デジタルフィルタの無効、有効を選択してください

注1. この表に記載していないビットは、クロック非同期形シリアルI/Oモード時に書く場合、0を書いてください。

注2. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注3. 転送データ長7ビットの場合のビットb7、b8、転送データ長8ビットの場合のビットb8の内容は0です。

図20.7にUARTモード時の送信タイミング例を、図20.8にUARTモード時の受信タイミング例を示します。

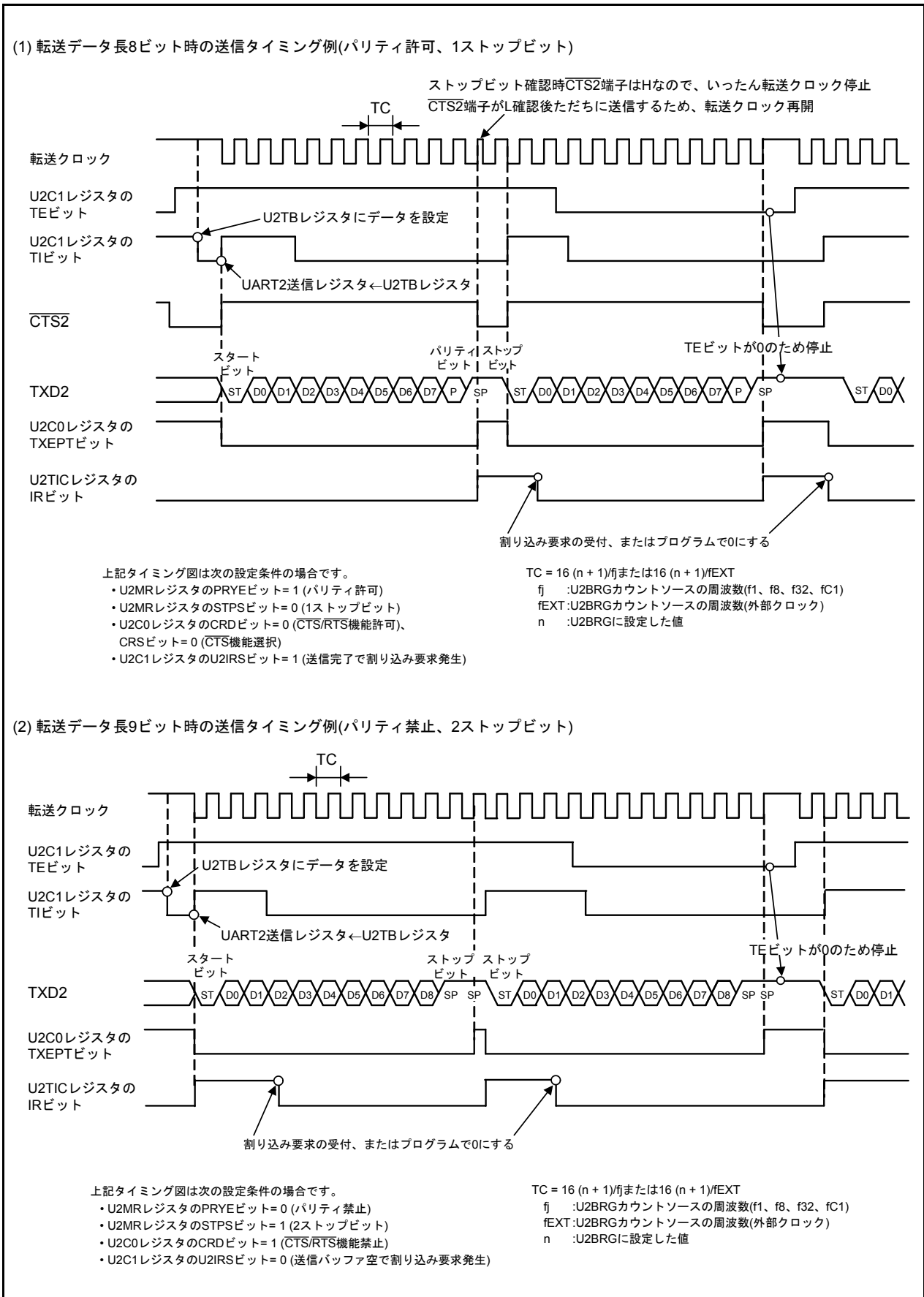


図20.7 UARTモード時の送信タイミング例

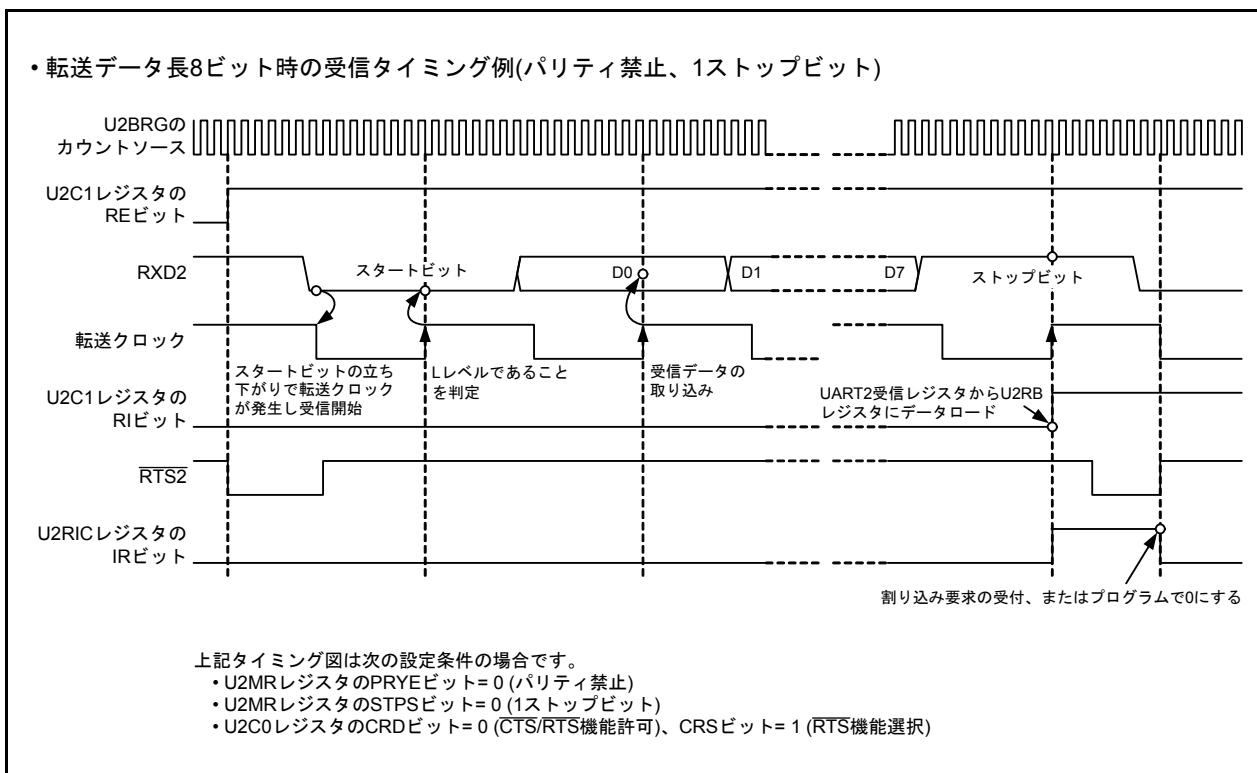


図20.8 UARTモード時の受信タイミング例

20.3.2.1 ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。図20.9にU2BRGレジスタの設定値の算出式を、表20.8にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

• 内部クロック選択時

$$\text{U2BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f_j : U2BRGレジスタのカウンタソース周波数(f₁、f₈、f₃₂、f_{C1})

• 外部クロック選択時

$$\text{U2BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f_{EXT} : U2BRGレジスタのカウンタソース周波数(外部クロック)

図20.9 U2BRGレジスタの設定値の算出式

表20.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	U2BRGのカウンタソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz			システムクロック = 8 MHz		
		U2BRGの設定値	実時間 (bps)	設定誤差	U2BRGの設定値	実時間 (bps)	設定誤差	U2BRGの設定値	実時間 (bps)	設定誤差
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	—	—	—

20.3.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを100b(UARTモード転送データ長7ビット)、101b(UARTモード転送データ長8ビット)、110b(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U2C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする。

20.3.2.3 LSBファースト、MSBファースト選択

図20.10に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図20.10に転送フォーマットを示します。

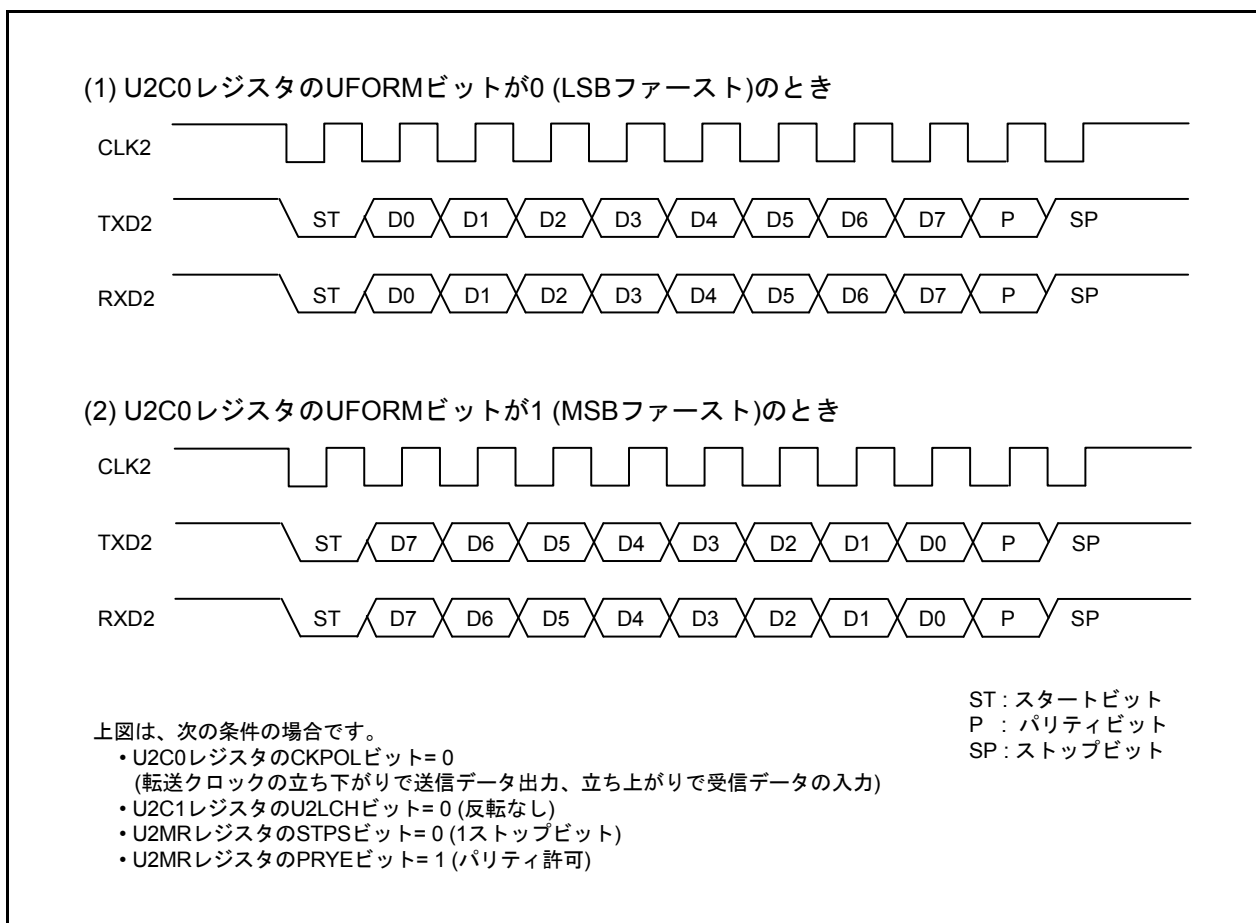


図20.10 転送フォーマット

20.3.2.4 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットでシリアルデータ論理反転の有無を選択できます。

U2LCHビットが1(反転あり)の場合、U2TBレジスタに論理を反転した値を書き込み送信します。U2RBレジスタを読み出すと、受信データの論理を反転した値が読み出せます。図20.11にシリアルデータ論理を示します。

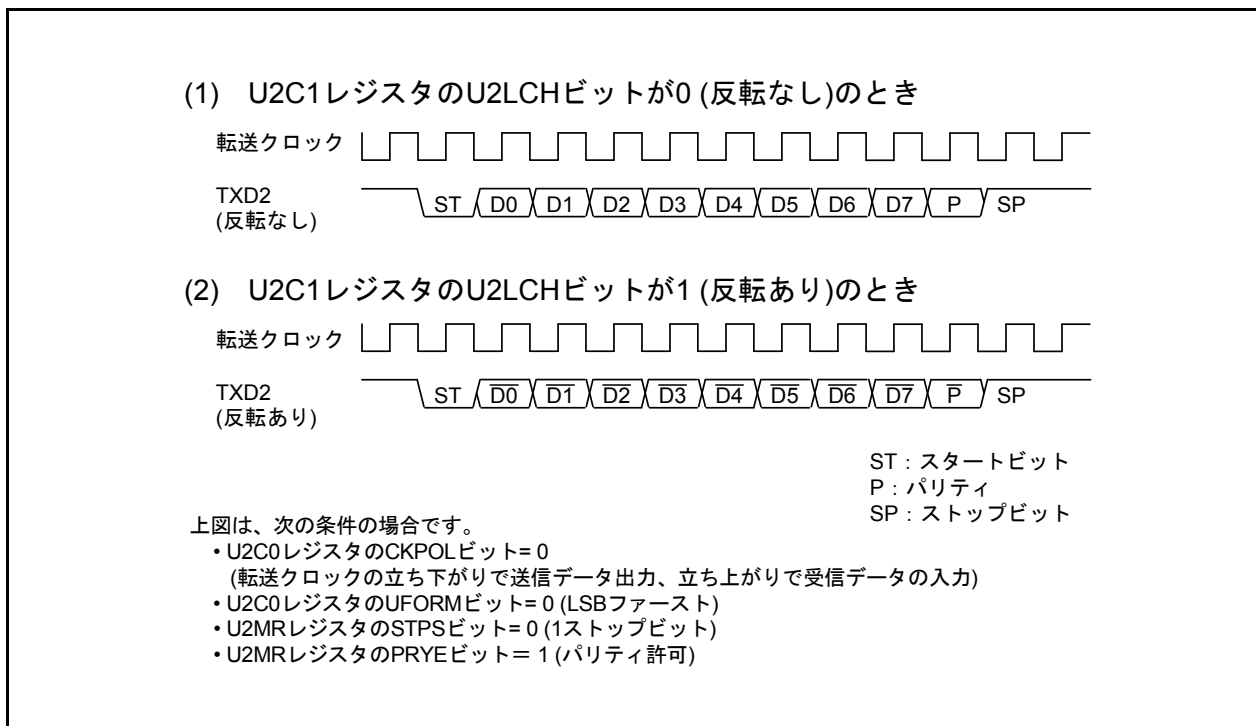


図20.11 シリアルデータ論理

20.3.2.5 TXD、RXD入出力極性切り替え機能

TXD2端子出力とRXD2端子入力 of 極性を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図20.12にTXD、RXD入出力極性切り替えを示します。

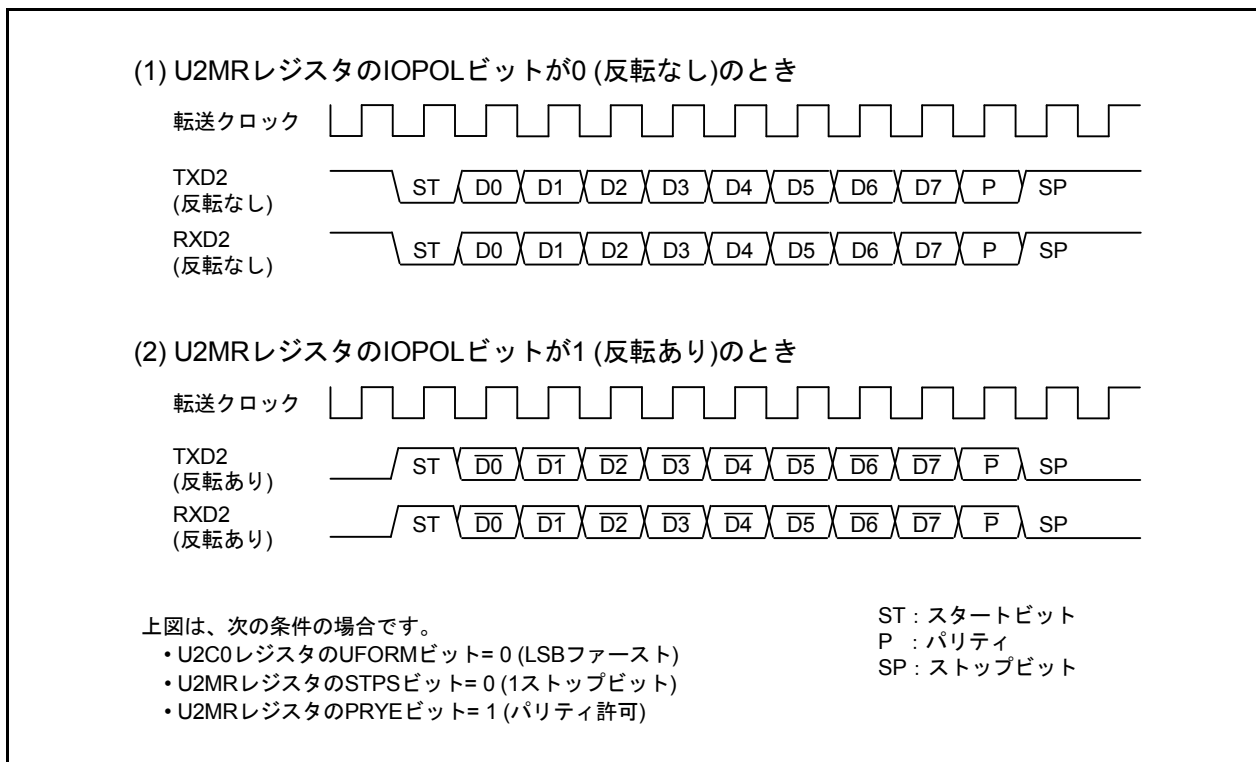


図20.12 TXD、RXD入出力極性切り替え

20.3.2.6 CTS/RTS機能

CTS機能は、CTS2端子にLを入力すると、送受信を開始させる機能です。CTS2端子の入力レベルがLになると、送受信を開始します。送受信の最中に入力レベルをHにした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、RTS2端子の出力レベルがLになります。RXD2端子の最初の立ち下がりで出力レベルがHになります。

- U2C0レジスタのCRDビット=1 (CTS/RTS機能禁止) : CTS2端子入力未使用、RTS2端子出力H
- CRDビット=0、CRSビット=0 (CTS機能選択) : CTS2端子入力有効、RTS2端子出力H
- CRDビット=0、CRSビット=1 (RTS機能選択) : CTS2端子入力未使用、RTS2端子出力有効

20.3.2.7 RXD2デジタルフィルタ選択機能

RXD2デジタルフィルタ機能は、U2RXDFレジスタのDF2ENビットが1(RXD2デジタルフィルタ許可)のとき、RXD2入力信号のノイズ除去を行い内部に取り込む機能です。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロック(ボーレートクロック: カウントソースをU2BRGレジスタで設定された値で分周したクロック)でサンプリングされ、3つのラッチ出力が一致すると、信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図20.13にRXD2デジタルフィルタ回路のブロック図を示します。

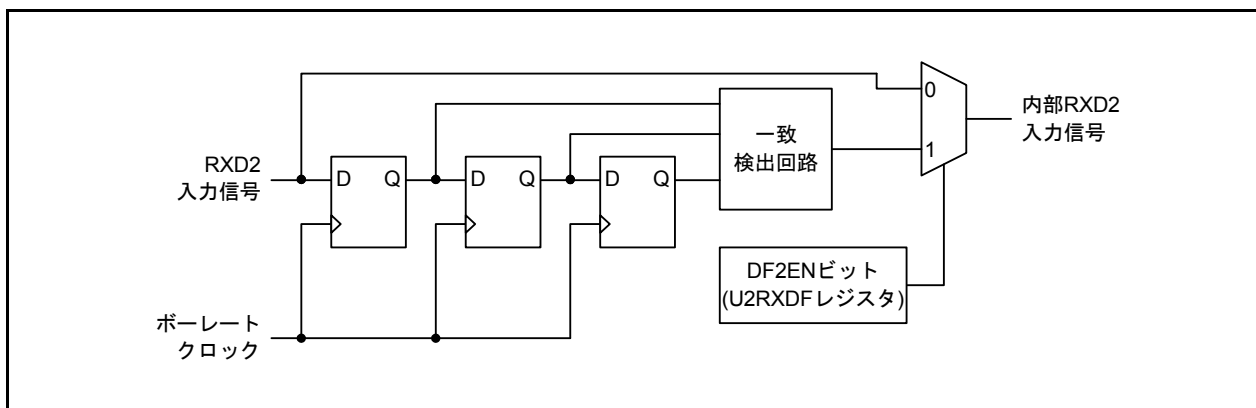


図20.13 RXD2デジタルフィルタ回路のブロック図

20.3.3 特殊モード1 (I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表20.9、表20.10にI²Cモード時の使用レジスタと設定値を、表20.11にI²Cモード時の各機能を、図20.14にU2RBレジスタへの転送、割り込みのタイミングを示します。

表20.11に示すように、U2MRレジスタのSMD2～SMD0ビットを010bに、U2SMRレジスタのIICMビットを1にするとI²Cモードになります。SDA2送信出力には遅延回路が付加されますので、SCL2がLになり安定した後、SDA2出力が変化します。

表20.9 I²Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2TB	b0～b7	送信データを設定してください	送信データを設定してください
U2RB	b0～b7	受信データが読めず	受信データが読めず
	b8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
U2BRG	b0～b7	ビットレートを設定してください	無効
U2MR	SMD2～SMD0	010bにしてください	010bにしてください
	CKDIR	0にしてください	1にしてください
U2C0	CLK0、CLK1	U2BRGレジスタのカウントソースを選択してください	U2BRGレジスタのカウントソースを選択してください
	CRS	無効	無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	1にしてください	1にしてください
	NCH	1にしてください	1にしてください
	UFORM	1にしてください	1にしてください
U2C1	TE	送信を許可する場合、1にしてください	送信を許可する場合、1にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください	受信を許可する場合、1にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	1にしてください	1にしてください
U2SMR	IICM	1にしてください	1にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
U2SMR2	IICM2	「表20.11 I ² Cモード時の各機能」参照	「表20.11 I ² Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、1にしてください	0にしてください
	SWC	クロックの9ビット目の立ち下がり でSCL2出力をL出力固定にする場合、1にしてください	クロックの9ビット目の立ち下がり でSCL2出力をL出力固定にする場合、1にしてください
	ALS	アービトレーションロスト検出時に SDA2の出力を停止する場合、1に設定 してください	0にしてください
	STAC	0にしてください	スタートコンディション検出でUART2 を初期化する場合、1にしてください
	SWC2	SCL2の出力を強制的にLにする場合、1 にしてください	SCL2の出力を強制的にLにする場合、1 にしてください
	SDHI	SDA2出力を禁止にする場合、1に してください	SDA2出力を禁止にする場合、1に してください

表 20.10 I²Cモード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2SMR2	b7	0にしてください	0にしてください
U2SMR3	CKPH	「表 20.11 I ² Cモード時の各機能」参照	「表 20.11 I ² Cモード時の各機能」参照
	DL0~DL2	SDA2のデジタル遅延値を設定してください	SDA2のデジタル遅延値を設定してください
U2SMR4	STAREQ	スタートコンディションを生成する場合、1にしてください	0にしてください
	RSTAREQ	リスタートコンディションを生成する場合、1にしてください	0にしてください
	STPREQ	ストップコンディションを生成する場合、1にしてください	0にしてください
	STSPSEL	各コンディション出力時に1にしてください	0にしてください
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、1にしてください	ACKデータを出力する場合、1にしてください
	SCLHI	ストップコンディション検出時にSCL2出力を停止する場合、1にしてください	0にしてください
	SWC9	0にしてください	クロックの9ビット目の次の立ち下がりでSCL2をL出力固定にする場合、1にしてください

表 20.11 I²Cモード時の各機能

機能	IICM2 = 0 (NACK/ACK 割り込み)		IICM2 = 1 (UART送信/UART受信割り込み)	
	CKPH = 0 (クロック遅れなし)	CKPH = 1 (クロック遅れあり)	CKPH = 0 (クロック遅れなし)	CKPH = 1 (クロック遅れあり)
UART2バス衝突検出割り込みの要因(注1、4)	スタートコンディション検出、ストップコンディション検出			
UART2送信/NACK割り込みの要因(注1、5)	アクリッジ未検出(NACK) 9ビット目のSCL2の立ち上がり		UART2送信 9ビット目のSCL2 の立ち上がり	UART2送信 9ビット目の次の SCL2の立ち下がり
UART2受信/ACK割り込みの要因(注1、5)	アクリッジ検出(ACK) 9ビット目のSCL2の立ち上がり		UART2受信 9ビット目のSCL2の立ち下がり	
UART2受信シフトレジスタからU2RBレジスタへのデータ転送タイミング	アクリッジ検出(ACK) 9ビット目のSCL2の立ち上がり		9ビット目のSCL2 の立ち下がり	9ビット目のSCL2 の立ち下がりと、立 ち上がり
UART2送信出力遅延	遅延設定可能			
ノイズフィルタ幅	100ns			
SCL2の初期値	H	L	H	L
DTC要因(注5)	アクリッジ検出(ACK)		UART2受信 9ビット目のSCL2の立ち下がり	
	UART2送信 9ビット目のSCL2 の立ち上がり	UART2送信 9ビット目の次の SCL2の立ち下がり	UART2送信 9ビット目のSCL2 の立ち上がり	UART2送信 9ビット目の次の SCL2の立ち下がり
受信データ格納	1~8ビット目をU2RBレジスタのビット b0~b7に格納		1~7ビット目をU2RBレジスタのビット b0~b6に、8ビット目をU2RBレジスタ のビットb8に格納	
			1~8ビット目を U2RBレジスタの ビットb0~b7に格 納(注2)	
受信データ読み出し	U2RBレジスタの状態をそのまま読み出す			U2RBレジスタの ビットb0~b6は ビットb1~b7と して、ビットb8は ビットb0として読 み出す(注3)

注1. 次のビットを変更すると、割り込み要因、割り込みタイミング等が変化します。

U2MRレジスタのSMD0~SMD2ビット、U2SMRレジスタのIICMビット、U2SMR2レジスタのIICM2ビット、
U2SMR3レジスタのCKPHビット

注2. U2RBレジスタへのデータ転送2回目(9ビット目SCL2立ち上がり時)

注3. U2RBレジスタへのデータ転送1回目(9ビット目SCL2立ち下がり時)

注4. 「図20.16 STSPSELビットの機能」参照。

注5. 「図20.14 U2RBレジスタへの転送、割り込みのタイミング」参照。

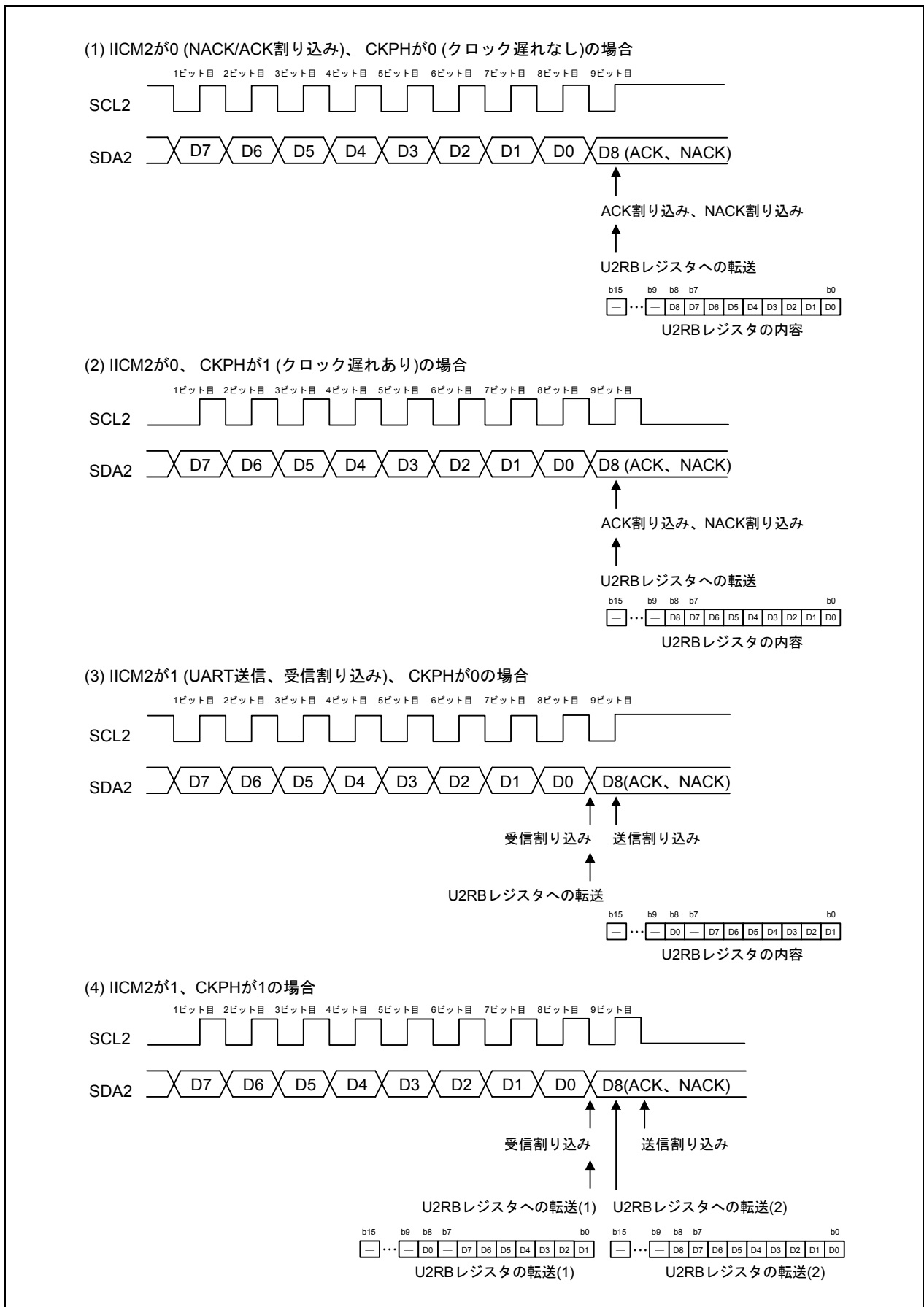


図 20.14 U2RB レジスタへの転送、割り込みのタイミング

20.3.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2端子がHの状態ですDA2端子がHからLに変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子がHの状態ですDA2端子がLからHに変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

スタートコンディションおよびストップコンディション検出のセットアップタイム、ホールドタイムはI²Cバス規格と異なる場合がありますので注意してください。

図20.15にスタートコンディション、ストップコンディションの検出を示します。

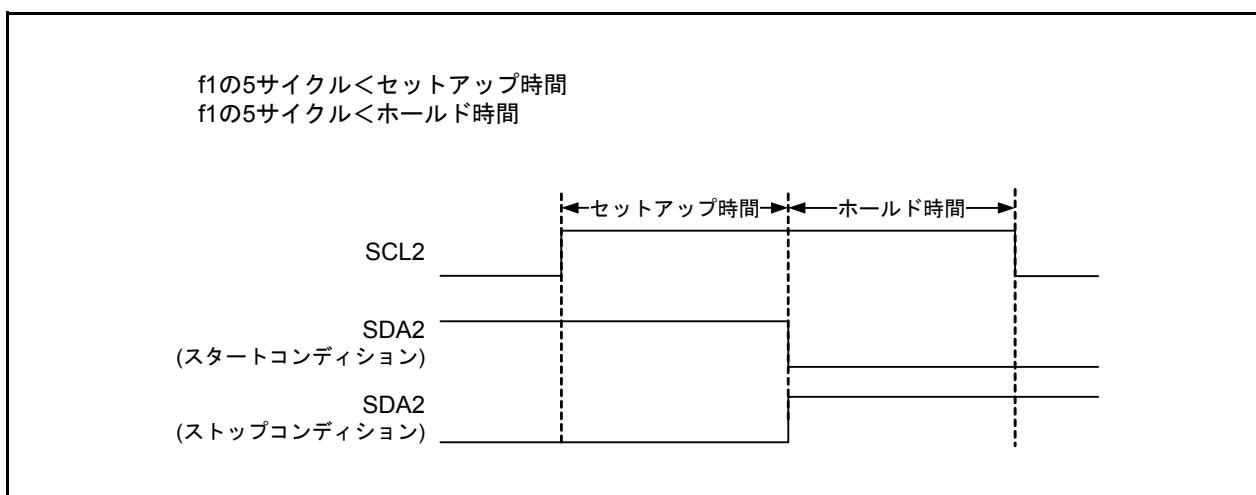


図20.15 スタートコンディション、ストップコンディションの検出

20.3.3.2 スタートコンディション、ストップコンディションの出力

U2SMR4レジスタのSTAREQビットを1(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを1(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを1(スタート)にするとストップコンディションを生成します。出力の手順は次のとおりです。

[STSPSEL = 0の場合]

- U2SMR4レジスタのSTSPSELビットを0、U2MRレジスタのSMD2～SMD0ビットを000b、U2SMRレジスタのICMビットを1にする
- ポート制御レジスタの値により、SDA2端子出力を有効にする

[STSPSEL = 1の場合]

- STAREQビット、RSTAREQビット、またはSTPREQビットを1にする
- U2SMR4レジスタのSTSPSELビットを1にする
- スタート/ストップコンディション生成割り込み後、U2SMR4レジスタのSTSPSELビットを0にする
- スタート/ストップコンディション生成割り込みをクリアする

表20.12にSTSPSELビットの機能を、図20.16にSTSPSELビットの機能を示します。

表20.12 STSPSELビットの機能

機能	STSPSEL = 0	STSPSEL = 1
SCL2、SDA2端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はハードウェアによる自動生成はしない(プログラムで実現する)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

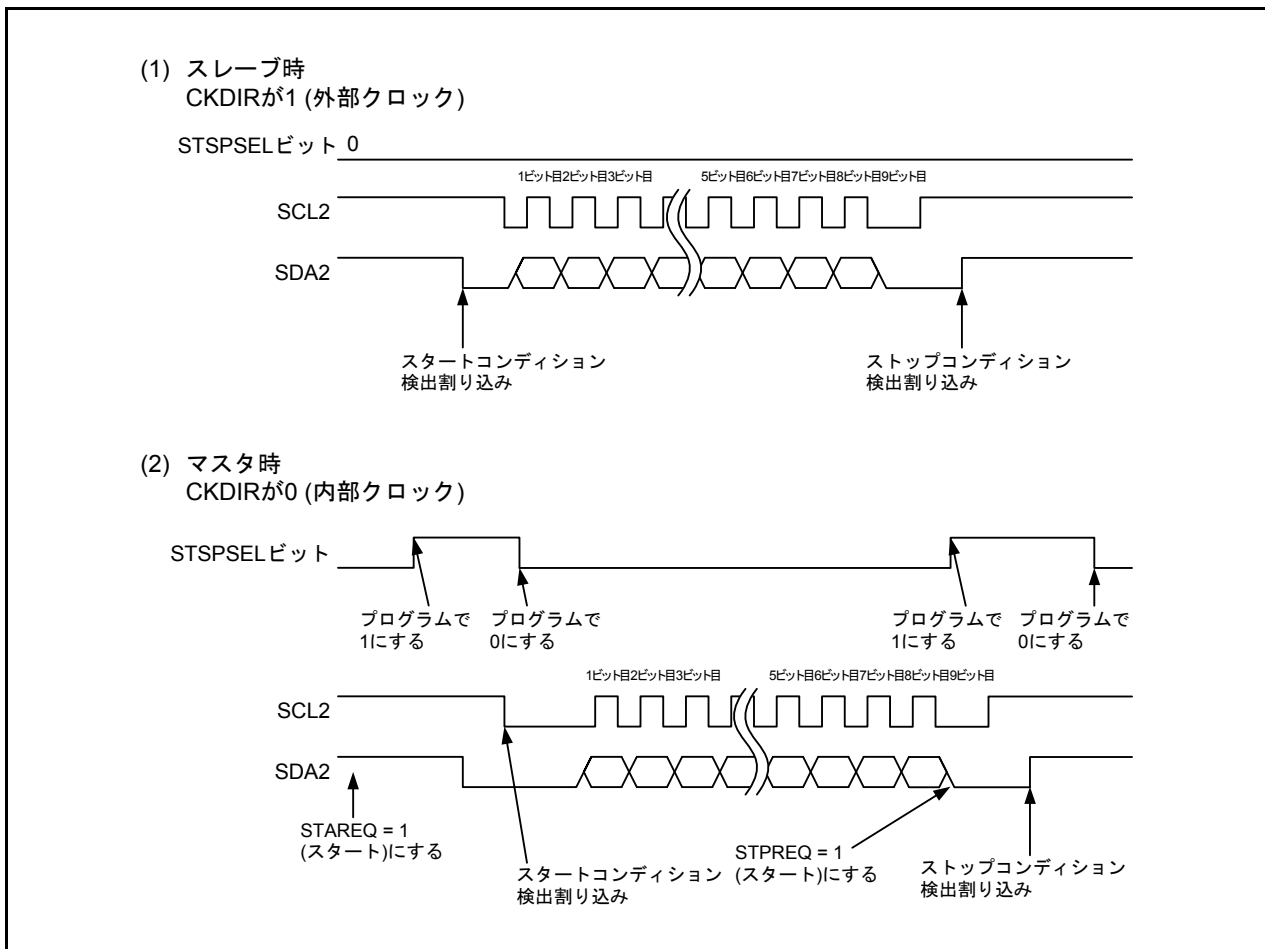


図20.16 STSPSELビットの機能

20.3.3.3 転送クロック

「図20.14 U2RBレジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

U2SMR2レジスタのCSCビットは内部で生成したクロック(内部SCL)と、SCL2端子に入力される外部クロックの同期をとるためのビットです。CSCビットを1(クロック同期化を許可)にすると、内部SCLがHの場合、SCL2端子に立ち下がりエッジがあれば内部SCLをLとし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL2端子がLのとき、内部SCLがLからHに変化するとカウントを停止し、SCL2端子がHになるとカウントを再開します。なお、転送クロックは内部SCLの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCL2端子はL出力固定とするか、L出力固定を解除するかを選択できます。

U2SMR4レジスタのSCLHIビットを1(許可)にすると、ストップコンディション検出時にSCL2出力を停止します(ハイインピーダンス状態)。

U2SMR2レジスタのSWC2ビットを1(L出力)にすると、送受信中でもSCL2端子から強制的にLを出力できます。SWC2ビットを0(転送クロック)にすると、SCL2端子からのL出力は解除され、転送クロックが入出力されます。

U2SMR3レジスタのCKPHビットが1のとき、U2SMR4レジスタのSWC9ビットを1(SCL2端子のL出力固定許可)にすると、クロックの9ビット目の次の立ち下がりでSCL2端子はL出力固定になります。SWC9ビットを0(SCL2端子のL出力固定禁止)にするとL出力固定は解除されます。

20.3.3.4 SDA出力

U2TBレジスタのビットb0～b7(D0～D7)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDA2送信出力の初期値は、IICMビットが1(I²Cモード)で、U2MRレジスタのSMD2～SMD0ビットが000b(シリアルインタフェースは無効)の状態を設定してください。

U2SMR3レジスタのDL0～DL2ビットによりSDA2の出力を遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを1(SDA2出力禁止)にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の転送クロックの立ち上がりのタイミングで書かないでください。

20.3.3.5 SDA入力

U2SMR2レジスタのIICM2ビットが0(NACK/ACK割り込み)のとき、受信したデータの1～8ビット目(D0～D7)をU2RBレジスタのビットb0～b7に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが1(UART送信/UART受信割り込み)のとき、受信したデータの1～7ビット目(D1～D7)をU2RBレジスタのビットb0～b6に、8ビット目(D0)をU2RBレジスタのビットb8に格納します。IICM2ビットが1のときでも、U2SMR3レジスタのCKPHビットが1(クロック遅れあり)であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが0のときと同様のデータが読めます。

20.3.3.6 ACK、NACK

U2SMR4レジスタのSTSPSELビットが0(スタートコンディション、ストップコンディションを出力しない)でU2SMR4レジスタのACKCビットが1(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

IICM2ビットが0の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子がHのままで発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子がLならば発生します。

DTC要求要因にACK2(UART2受信)を選択すると、アクノリッジ検出によってDTC転送を起動できます。

20.3.3.7 送受信初期化

STACビットを1(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが1(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCL2端子がLになります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

20.3.3.8 SCL同期化機能

他のデバイスがSCLに対しL出力固定を行い、マスタから送出するクロックを強制的に待ち状態にすることがあります。UART2は他デバイスからのL出力固定に対し自動的に待ち状態に入り、L出力固定の解除により待ち状態も解除するSCL同期化機能を持っています。本機能は、CSCビットに1を設定することにより動作が許可され、0にすることにより禁止されます。本機能はマスタとして使用した時のみご使用ください。図20.17にクロック同期化機能タイミングを示します。

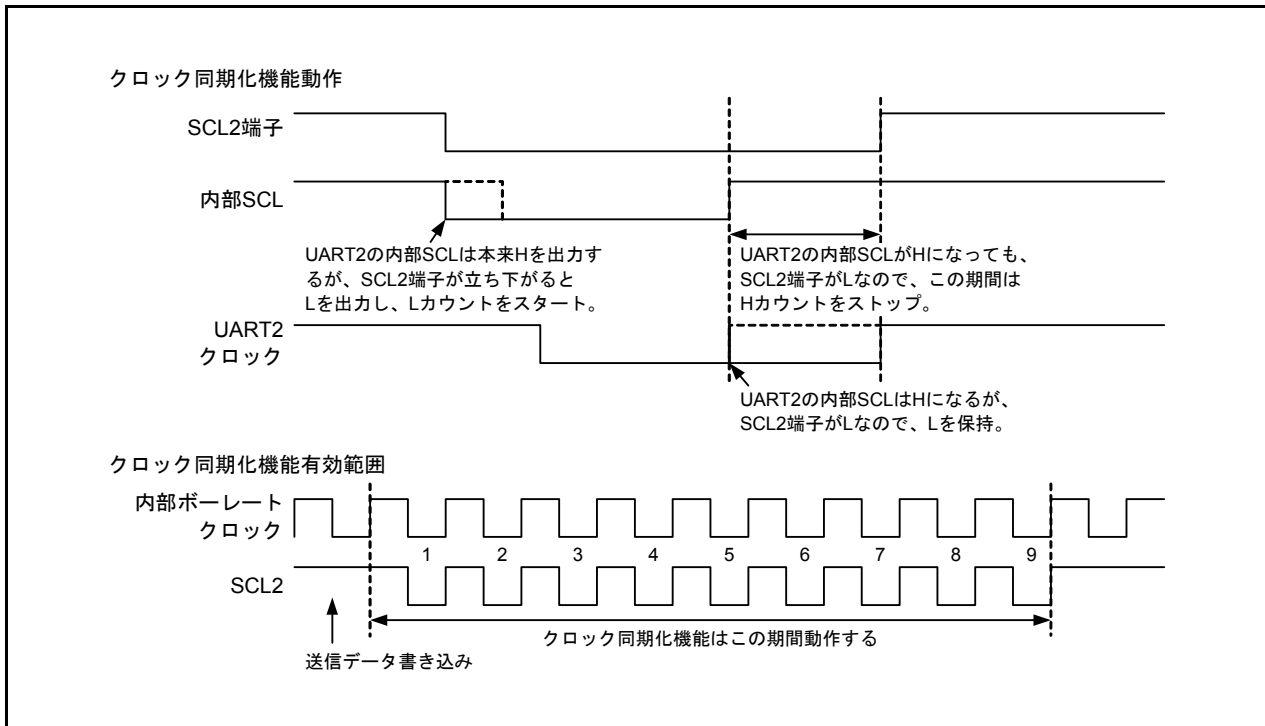


図20.17 クロック同期化機能タイミング

20.3.3.9 SCL2端子出力機能

(1) SCL2端子L出力固定機能1

I²Cバスでは、スタートコンディション検出後の第一バイトに、指定されるスレーブのアドレスが送出されます。スレーブは、第一バイトに他のマスタから送出されるクロックの始めの7ビットの受信データを自己アドレスと比較し、クロックの9ビット目に同期してアクノリッジを生成(または未生成)する処理が必要です。本処理のための機能として、UART2ではSCL2端子L出力固定機能1を持ちます。

この機能を用いると、初めの8ビットのデータを受信後、9ビット目のSCL2がLになるタイミングでSCL2端子にLを出力して、強制的にマスタを待ち状態にします。そしてソフトウェアでのアドレス比較処理終了後に、アクノリッジの生成/未生成を行うことができます。

本機能は、SWCビットを1にすることにより動作が許可され、SWCビットを0にすることにより禁止されます。また、本機能でSCL2端子がLになったときは、SWCビットを0にすることで解除できます。なお、本機能によりアドレス比較処理を行う場合、最終ビットのクロックの立ち上がり前に受信バッファレジスタの内容を読み出すこととなりますので、読み出した受信データはビットの位置が変化していることにご注意ください。図20.18にSCL2端子L出力固定機能1タイミングを示します。

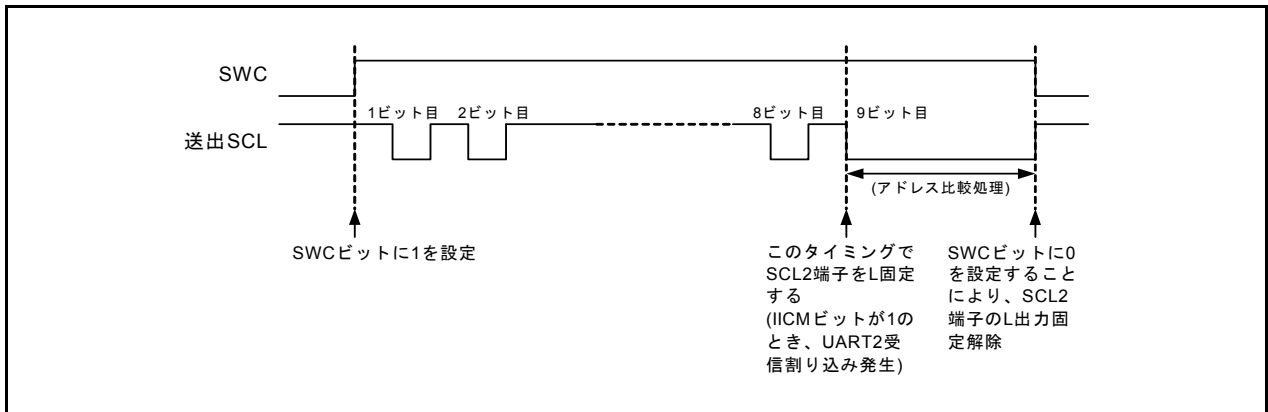


図20.18 SCL2端子L出力固定機能1タイミング

(2) SCL2端子L出力固定機能2

UART2は、送信データを送信バッファに書き込んでから転送クロック(SCL)送出までに、最大で転送クロックの1.5サイクルの期間を要します。また、UART2のSCL同期化機能は1ビット目のSCL送出時から有効になりますので、スタートコンディション発生後、SCL同期化機能が有効になるまでの期間内に、他デバイスが1ビット目の送出を行った場合、ビットずれを起こす可能性があります。このため、UART2ではスタートコンディション送出後に他デバイスからのクロック送出を禁止するための、SCL2端子L出力固定機能2を持っています。この機能を使用することにより、送信バッファにデータを書き込むと同時にSCL2端子からLを出力し、他デバイスを待ち状態することができます。本機能はSWC2ビットを1にすることで動作が許可され、SWC2ビットを0にすることで解除されます。本機能はマスタとして使用した時のみご使用ください。図20.19にSCL2端子L出力固定機能2タイミングを示します。

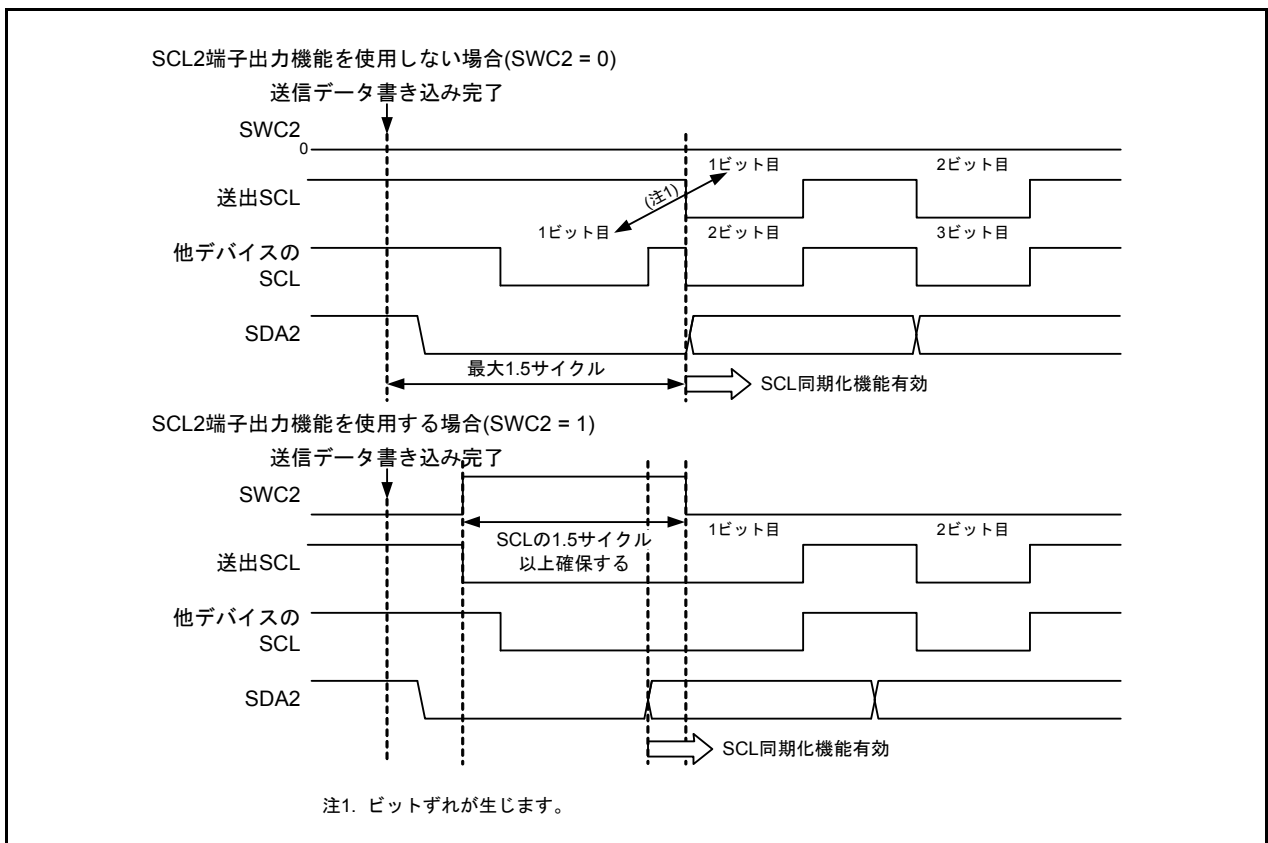


図20.19 SCL2端子L出力固定機能2タイミング

(3) SCL2端子L出力固定機能3

I²Cバスでスレーブ送信を行う際、マスタは9ビット目に同期してアクノリッジの生成(または未生成)を行います。

このとき、スレーブは、アクノリッジ判定を行います。アクノリッジ検出時は、送信の継続(送信次データの設定)を行います。未検出時は送信を終了します。

本処理のための機能として、UART2では「SCL2端子L出力固定機能3」を持っています。この機能を用いると、初めの9ビット(ACK/NACK)のデータを受信後、最終ビットのSCLがLになるタイミングで、UART2のSCL2端子にLを出力して、強制的にマスタを待ち状態にします。そして、ソフトウェアでのアクノリッジ判定処理が終了後に、送信継続処理、もしくは送信終了処理を行うことが可能です。

本機能は、SWC9ビットを1にすることにより動作が許可され、SWC9ビットを0にすることにより禁止されます。

また、本機能でSCL2端子がLになったときは、SWC9ビットを0にすることで解除できます。本機能はスレーブとして使用した時のみご使用ください。図20.20にSCL2端子L出力固定機能3タイミングを示します。

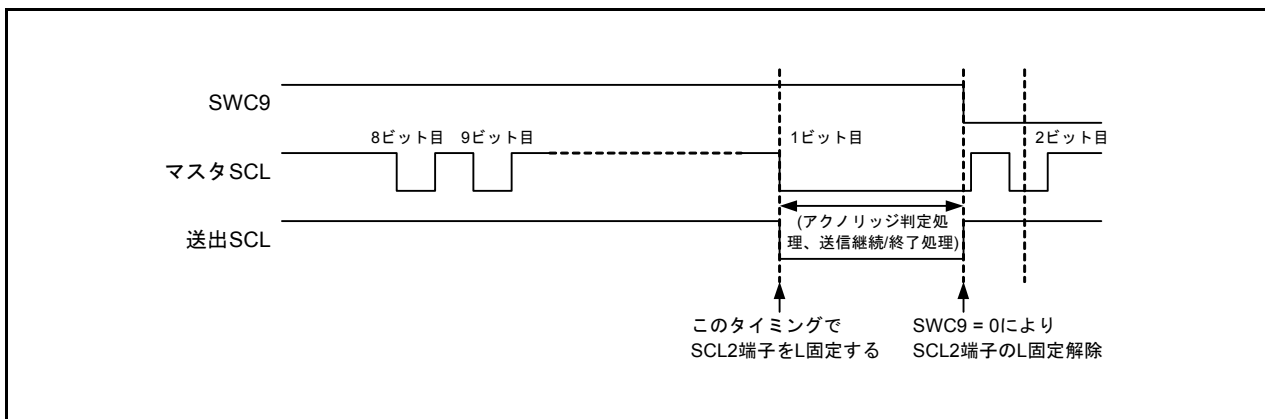


図20.20 SCL2端子L出力固定機能3タイミング

20.3.3.10 SDA2端子出力禁止機能

マスタが指定したアドレスが自アドレスと異なれば、スレーブはSDA2端子の出力をオフ(ハイインピーダンス)にしなければなりません。

UART2はこの動作を実現するために、SCLの9クロックごと(受信割り込み要求が発生する毎)に、送信バッファレジスタに1FFhを設定することによりSDA2端子出力をオフにします。また、UART2が備えているSDA2端子出力禁止機能を使用することでも、SDA2端子出力をオフすることができます。本機能は、SDHIビットを1にすることで有効となり、送信バッファレジスタに1FFhを設定しなくてもUART2のSDA2端子出力をハイインピーダンスにできます。SDHIビットを0にすることで本機能は解除されます。

20.3.3.11 マルチマスタ動作環境での制御

(1) アービトレーション

SCLの立ち上がりタイミングで、送信データとSDA2入力データの不一致を判定します。U2SMRレジスタのABCビットで、U2RBレジスタのABTビット更新タイミングを選択します。ABCビットが0(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが1になります。ABCビットが1(バイトごとに更新)の場合、判定時に一度でも不一致を検出すると、クロックの9ビット目の立ち上がりでABTビットが1になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを0にしてから、次のデータを転送してください。

U2SMR2レジスタのALSビットを1(SDA2出力停止)の場合、アービトレーションロストが発生し、ABTビットが1になったとき、同時にSDA2がハイインピーダンス状態になります。本機能によりSDA2出力がオフされた場合は、ALSビットを0またはABTビットを0にすることにより解除されます。ただし、本機能を許可している場合はアクノリッジのタイミングでもアービトレーションロスト発生と判断して出力をオフしてしまいますので、次のバイトデータの送出はABTビットを0にしてから行ってください。本機能使用時は、ABCビットは0にしてください。マルチマスタ動作環境では必ずABCビットが0かつALSビットが1で使用してください。

(2) 制御フロー

図20.21～図20.24にマルチマスタ動作環境での制御フローを示します。

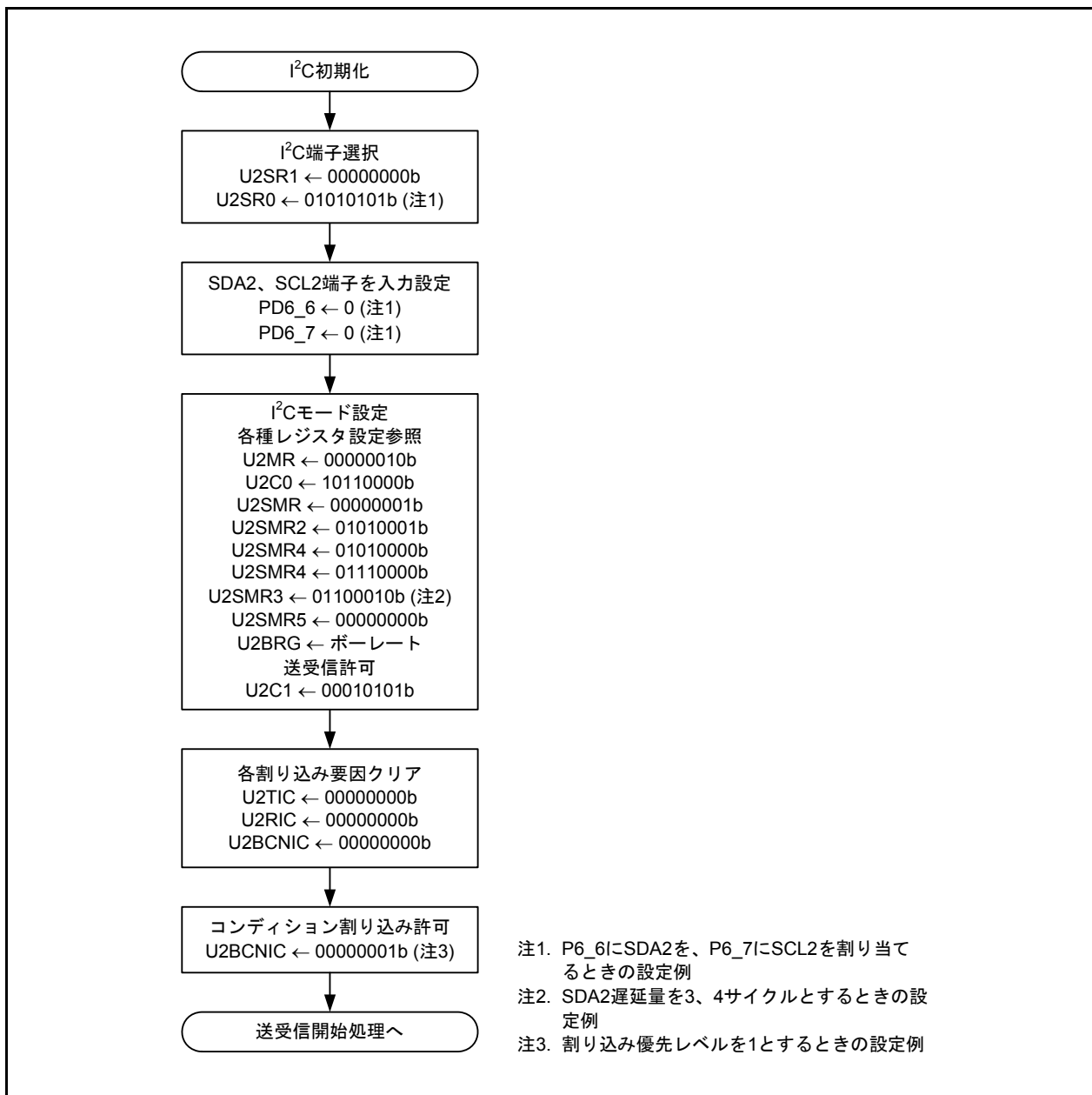


図20.21 制御フロー 1 (I²C初期化処理)

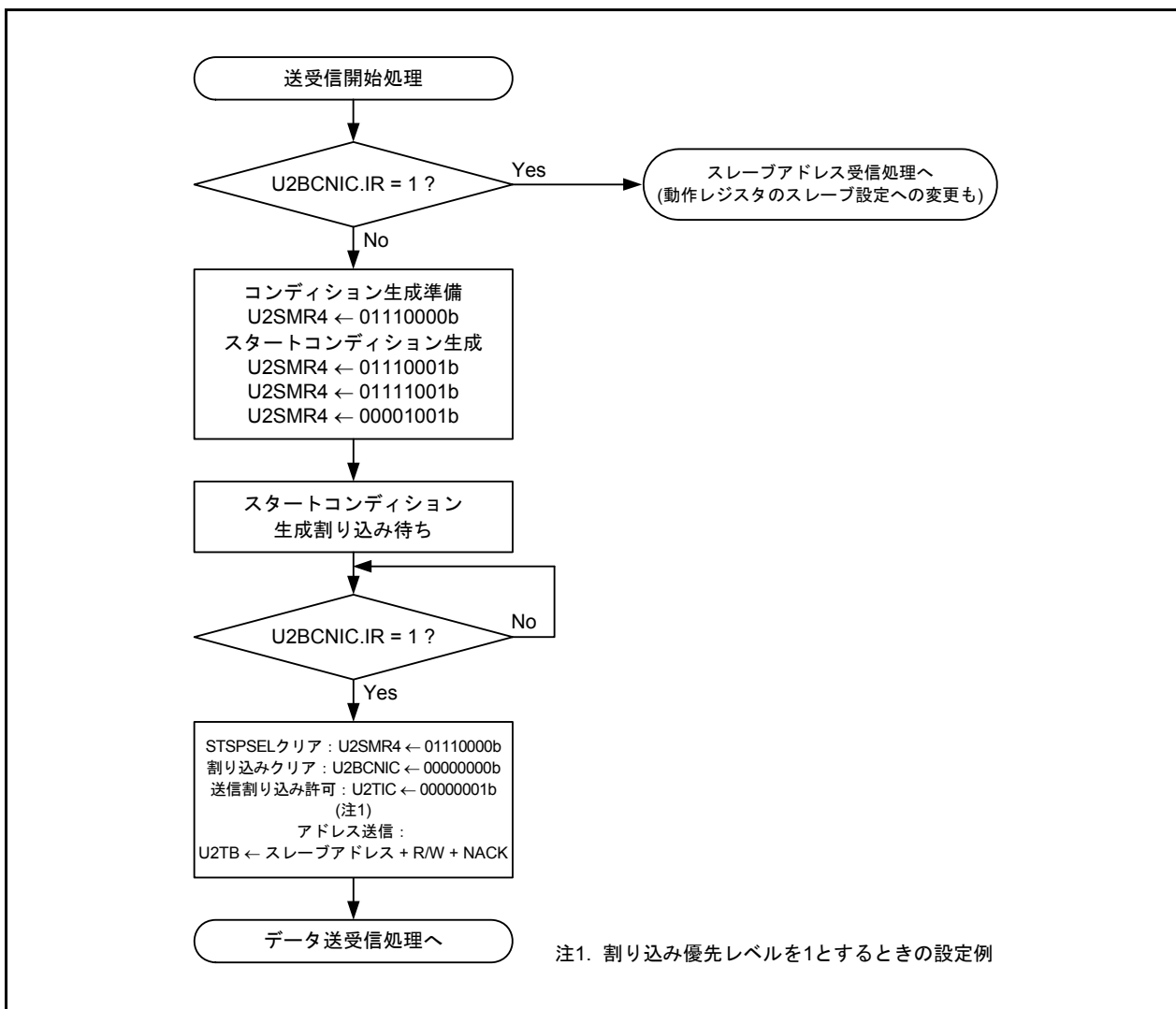


図20.22 制御フロー 2 (送受信開始処理)

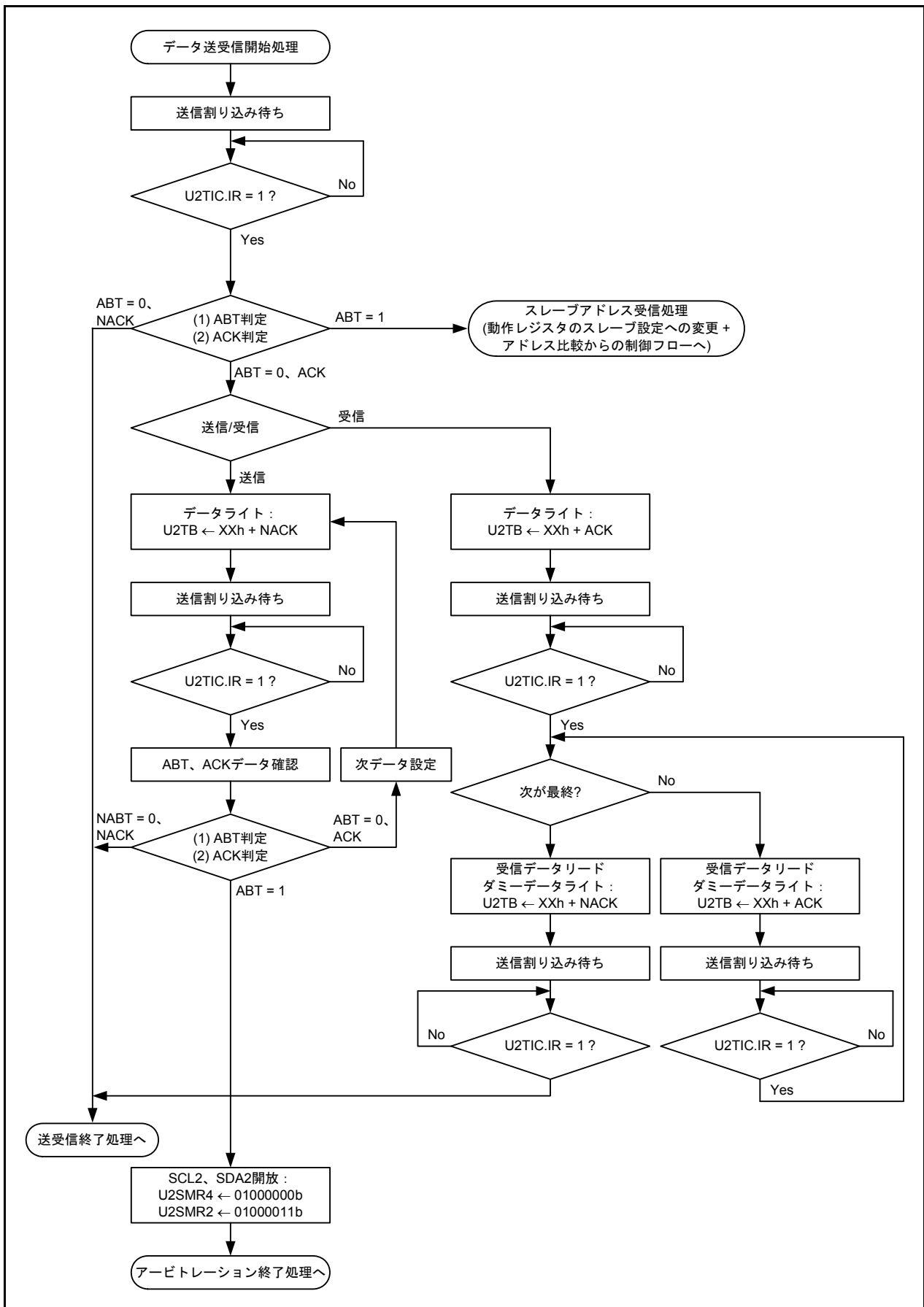


図 20.23 制御フロー 3 (データ送受信処理)

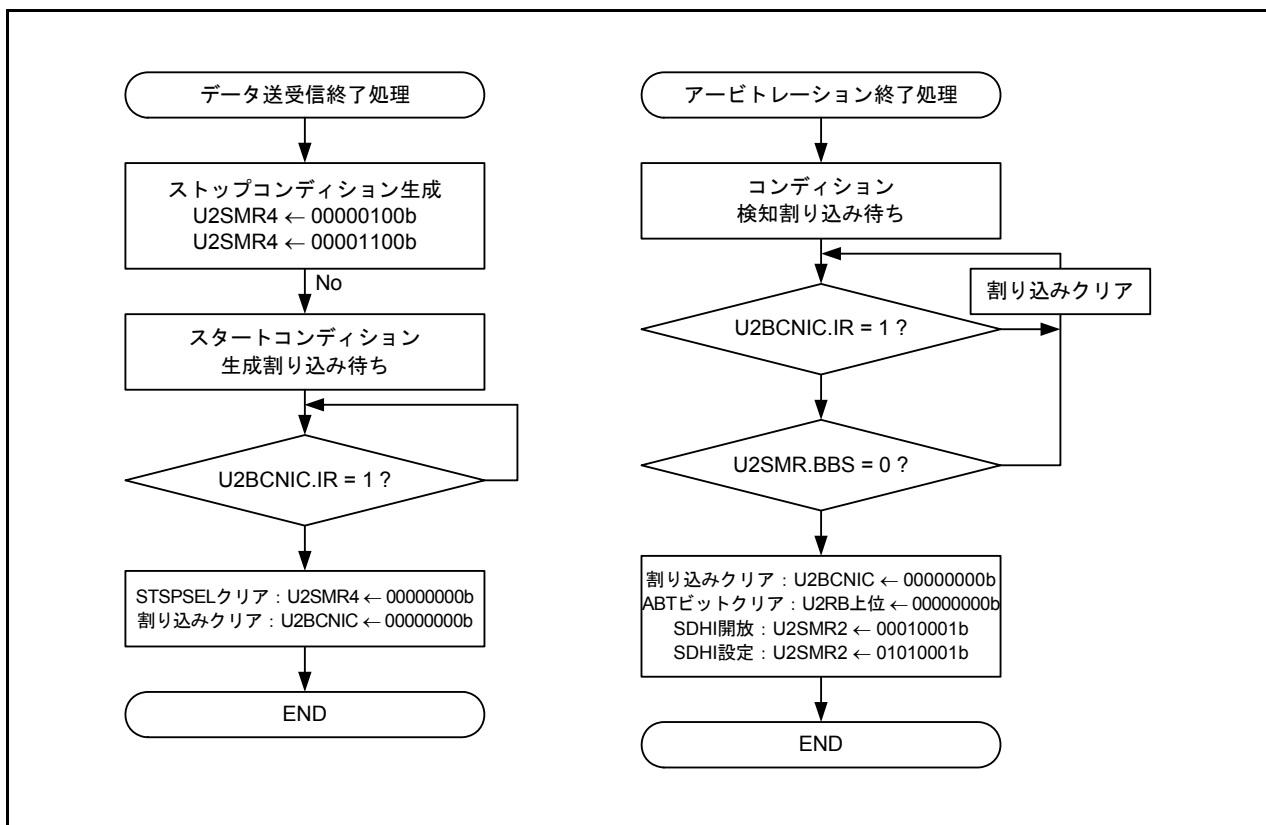


図 20.24 制御フロー 4 (終了処理)

20.3.4 マルチプロセッサ通信モード

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加したクロック非同期形シリアルI/Oモード(UARTモード)により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが1のときID送信サイクル、0のときデータ送信サイクルとなります。図20.25にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局Aへのデータ送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが1の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが1の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが1にセットされるとともに、U2SMR5レジスタのMPIEビットが0になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常のクロック非同期形シリアルI/Oモード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常のクロック非同期形シリアルI/Oモード(UARTモード)と同一です。

表20.13にマルチプロセッサ通信機能時の使用レジスタと設定値(注1)を示します。

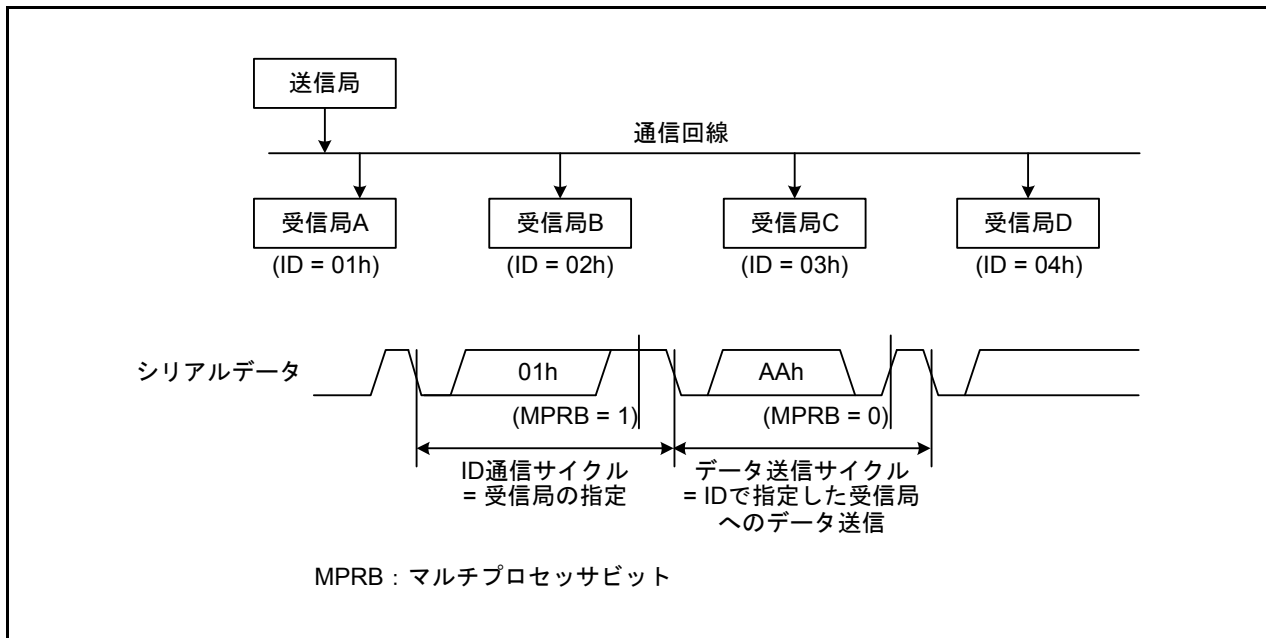


図20.25 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局Aへのデータ送信の例)

表 20.13 マルチプロセッサ通信機能時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB (注2)	b0～b7	送信データを設定してください
	MPTB	送信マルチプロセッサビットを設定してください
U2RB (注3)	b0～b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7	ビットレートを設定してください
U2MR	SMD0～SMD2	転送データが7ビットの場合、100bを設定してください 転送データが8ビットの場合、101bを設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	0にしてください
	U2C0	CLK0、CLK1
CRS		CTSまたはRTS機能無効
TXEPT		送信レジスタ空フラグ
CRD		1にしてください
NCH		TXD2端子出力形式を選択してください
U2C1	TE	送信を許可する場合、1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
U2SMR5	MP	1にしてください
	MPIE (注4)	マルチプロセッサ受信制御を行う場合は、1にしてください
U2RXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. この表に記載していないビットは、マルチプロセッサモード時には0を書いてください。

注2. IDデータフレームを送信する場合、MPTBビットを1にしてください。データフレームを送信する場合、MPTBビットを0にしてください。

注3. MPRBビットが1の場合、受信したD7～D0はIDフィールドです。MPRBビットが0の場合、受信したD7～D0はデータフィールドです。

注4. MPIEビットを1にする場合は、必ず受信データなし(RIビット=0)の状態を実施してください。

20.3.4.1 マルチプロセッサ送信

図20.26にマルチプロセッサデータ送信のフローチャートを示します。ID送信サイクルでは、U2TBレジスタのMPBTビットを1にして送信してください。データ送信サイクルでは、U2TBレジスタのMPBTを0にして送信してください。その他の動作はクロック非同期形シリアルI/Oモード(UARTモード)の動作と同じです。

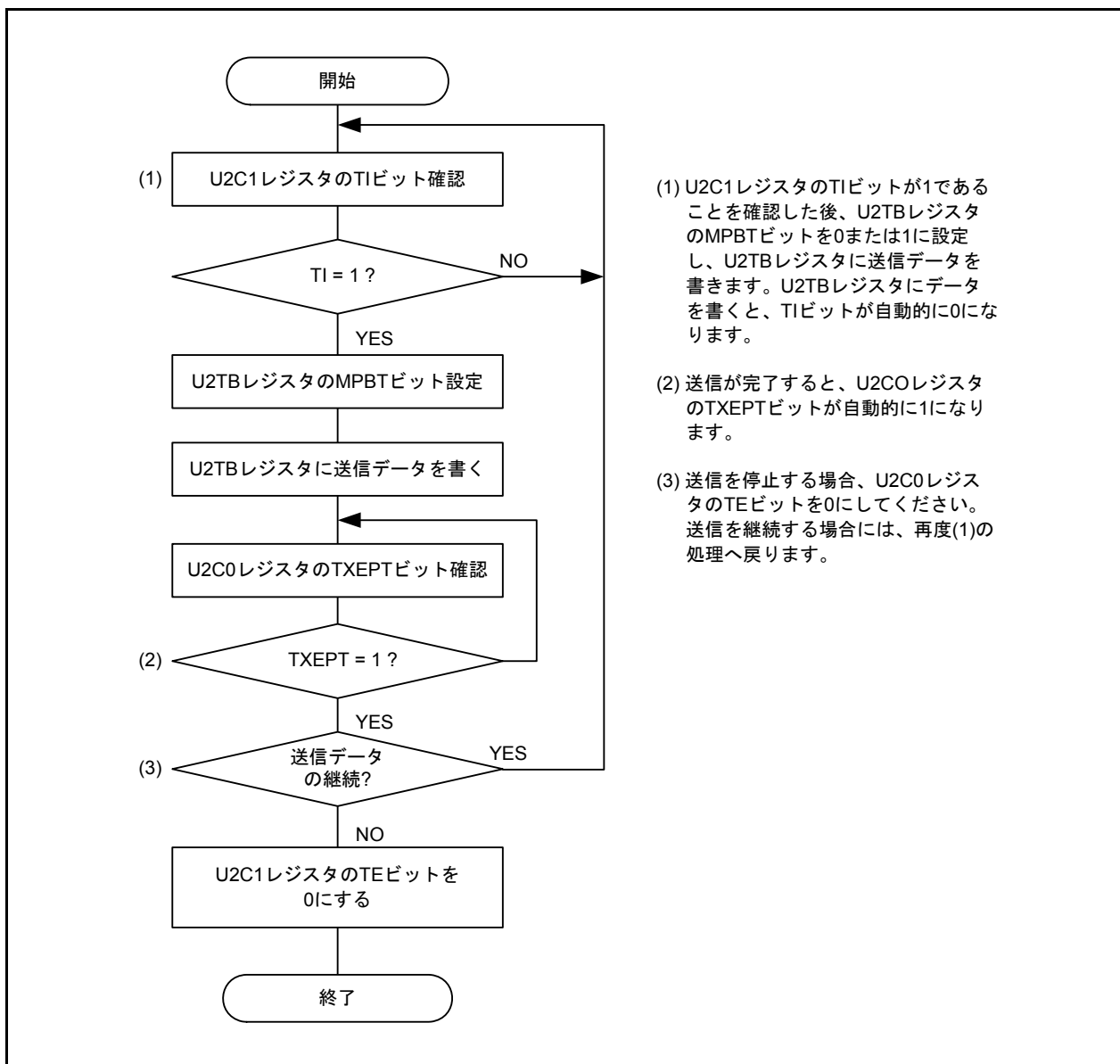


図20.26 マルチプロセッサデータ送信のフローチャート

20.3.4.2 マルチプロセッサ受信

図20.27にマルチプロセッサデータ受信のフローチャートを示します。U2SMR5レジスタのMPIEビットを1にすると、マルチプロセッサビットが1の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが1の通信データを、受信データとしてU2RBレジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作はクロック非同期形シリアルI/Oモード(UARTモード)の動作と同じです。図20.28にマルチプロセッサ通信の受信動作例(8ビットデータ、1ストップビットの例)を示します。

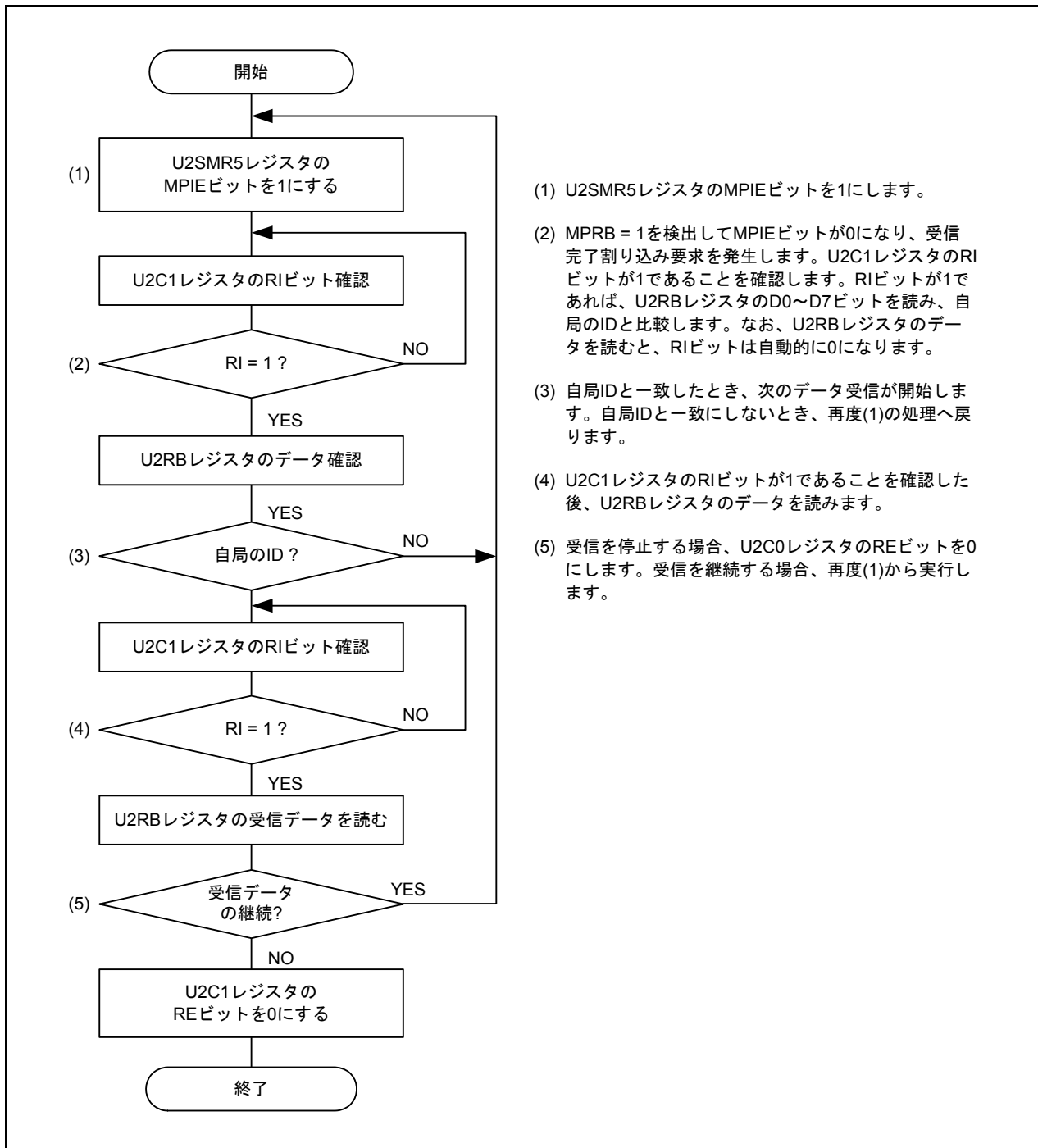


図20.27 マルチプロセッサデータ受信のフローチャート

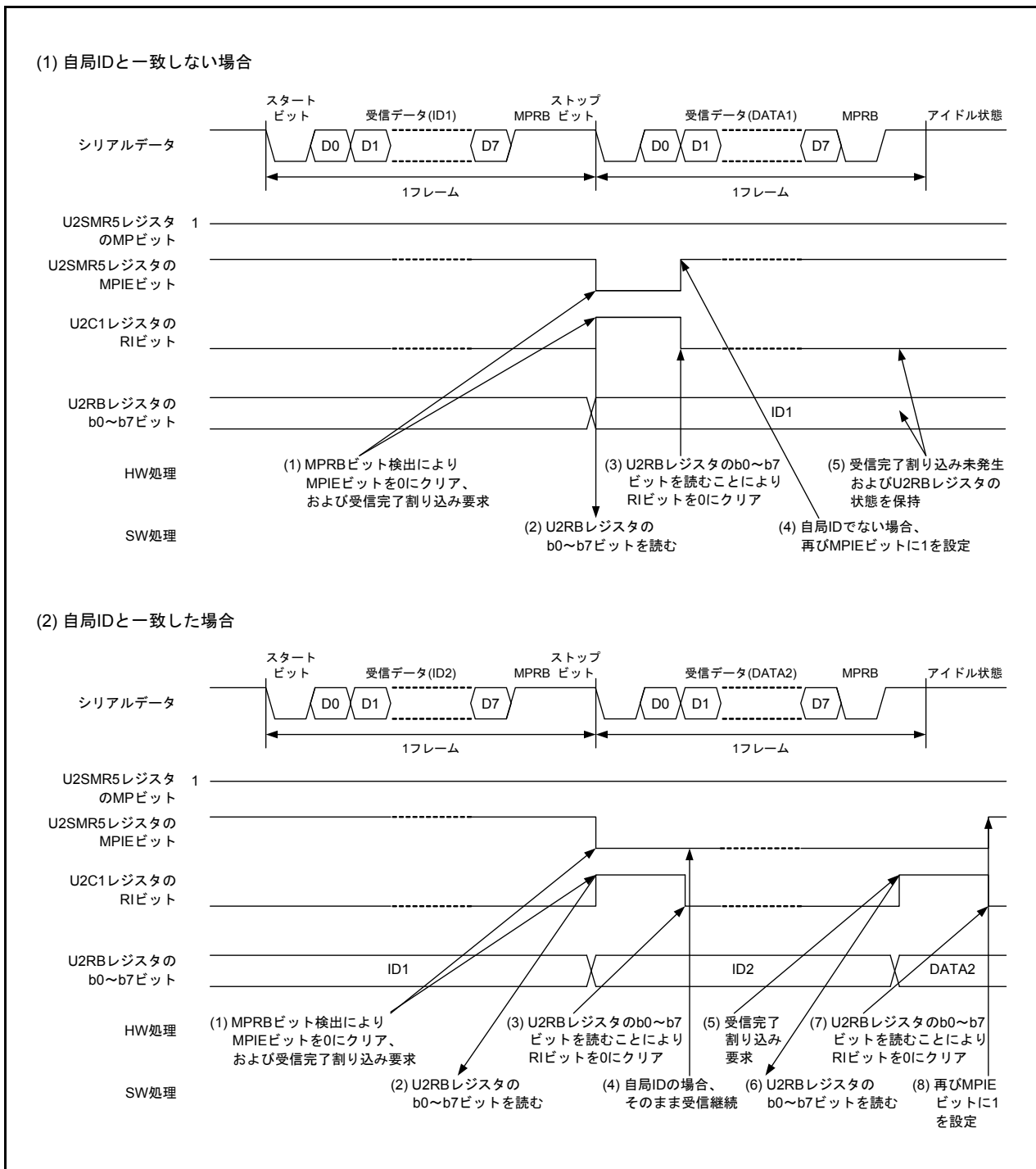


図20.28 マルチプロセッサ通信の受信動作例(8ビットデータ、1ストップビットの例)

20.3.4.3 RXD2デジタルフィルタ選択機能

クロック非同期形シリアルI/Oモードと同機能です。「20.3.2.7 RXD2デジタルフィルタ選択機能」を参照してください。

20.3.5 UART2 割り込み要因

表20.14に割り込み要因一覧を示します。

表20.14 割り込み要因一覧

UART2 割り込み要因	クロック同期シリアル I/Oモード	UARTモード	I ² Cモード	マルチ プロセッサ 通信モード
バス衝突/コンディション 割り込み	無効(注1)	無効(注1)	スタート・ストップ コンディション検知/ 生成割り込み	無効(注1)
NACK割り込み	無効	無効	NACK割り込み	無効
受信/ACK割り込み	受信割り込み	受信割り込み	受信またはACK割り 込み	受信割り込み
送信割り込み	送信バッファ空また は送信完了割り込み	送信バッファ空また は送信完了割り込み	送信完了割り込み (注2)	送信バッファ空また は送信完了割り込み

注1. クロック同期シリアルI/Oモード、UARTモード、マルチプロセッサ通信モードでもバス衝突/コンディション
割り込みが動作します。そのため、U2BCNICレジスタのILVL2～ILVL0ビットを000b(レベル0(割り込み禁止))
にください。

注2. CKPHビットによりアサートタイミングが異なります。

20.4 シリアルインタフェース (UART2)使用上の注意事項

20.4.1 動作モード共通

20.4.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

U2MR レジスタ： CKDIR ビット

U2C0 レジスタ： CLK0、CLK1 ビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

U2MR レジスタ： SMD0～SMD2、STPS、PRY、PRYE、IOPOL ビット

U2BRG レジスタ： b0～b7 ビット

U2C0 レジスタ： CRS、CRD、NCH、CKPOL、UFORM ビット

U2C1 レジスタ： U2IRS、U2RRM、U2LCH、U2ERE ビット

U2RXDF レジスタ： DF2EN ビット

U2SMR5 レジスタ： MP ビット

U2SMR3 レジスタ： CKPH、NODC、DL0～DL2 ビット

U2SMR2 レジスタ： IICM2、CSC、ALS、STAC ビット

U2SMR レジスタ： IICM、ABC、ABSCS、SSS ビット

20.4.1.2 Nチャンネルオープンドレイン制御ビット

UART2を使用しないときは、下記ビットに0を設定してください。

U2C0 レジスタ： NCH ビット

U2SMR3 レジスタ： NODC ビット

20.4.2 クロック同期形シリアルI/Oモード

20.4.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルがLになり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルはHになります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は禁止です。

20.4.2.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックがHの状態、CKPOLビットが1(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1レジスタのTEビットが1(送信許可)
- U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力がL

20.4.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを1(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを1にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックが発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが1(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが1(オーバランエラー発生)になります。この場合、U2RBレジスタは前回の受信データを保持していますので、オーバランエラーが発生したときは、エラー発生データを再送信するように送信と受信側のプログラムで対処してください。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが0のときは外部クロックがHの状態、CKPOLビットが1のときは外部クロックがLの状態です。次の条件を満たしてください。

- U2C1レジスタのREビットが1(受信許可)
- U2C1レジスタのTEビットが1(送信許可)
- U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)

内部クロックを選択している場合は、U2C1レジスタのTEビットに1を設定後、ダミーデータをU2TBレジスタに設定する前にU2C1レジスタのREビットを1に設定してください。

マスタ動作時に連続受信モードで最後のデータを読み出す場合、読み出し前にU2C1レジスタのU2RRMビットを0にしてください。

20.4.3 特殊モード1(I²Cモード)

20.4.3.1 動作クロック

I²Cモードでは、必ずf1クロックが発振している必要があります。また、f1の周波数は「20.3.3.1 スタートコンディション、ストップコンディションの検出」の動作を満たすように入力してください。

20.4.3.2 サポートモード

CBUSレシーバとの互換性はありません。

10bitアドレスモードはサポートしていません。

また、同一スレーブに対し、データ長の異なるマスタ送受信を行うマルチマスタ環境では使用できません。

20.4.3.3 最大動作周波数

UART2が送出するSCLはdutyが50%であるため高速モード(400 kbps)に設定したとき、SCLのL幅が1.25 usとなります。この値はI²C規格(tLOW = Min 1.3 us)を満たしません。

このため、高速モードにおける最大転送速度は約380 kbpsとなります。

20.4.3.4 スタート/ストップコンディション

(1) セットアップ/ホールドタイム

スタートコンディション/ストップコンディション検出時のセットアップタイムおよびホールドタイムは、I²Cの規格値と異なる場合があります。

スタートコンディション/ストップコンディション検出時のセットアップタイムおよびホールドタイムは、以下の値となります。

セットアップ時間 > 5サイクル(f1クロック)

ホールド時間 > 5サイクル(f1クロック)

I²C規格において高速モードでは、スタートコンディションおよびストップコンディションのセットアップ/ホールドタイムはどちらもMin 600 nsです。この値に対し、UART2のセットアップ/ホールドタイムはMin 5サイクル(f1クロック)となります。したがって、f1クロックを8 MHzで使用した場合は、セットアップ/ホールドタイムは、Min 625 nsとなりI²Cバス規格の高速モードにも対応できませんが、メインクロックを8 MHz未満で使用する場合は、セットアップ/ホールドタイムは、I²C規格の高速モードを満たすことができなくなります。

20.4.3.5 送受信

送信時、SDA2端子から8ビットの送信データを送出しますが、送信クロックの9ビット目では、アクノリッジを受信するために、SDA2端子を解放する必要があります。このため、送信データ9ビット目(D8)には必ず1を書き込んでください。

受信時、SDA2端子から8ビットのデータを受信する間は、SDA2端子を解放する必要があります。また、クロックの9ビット目では、アクノリッジを生成する必要があります。このため、受信時のダミーデータはD7～D0は1を書き込んでください。D8はACK/NACKです。ACK/NACKは次の3種の方法で送信可能です。

1. ACK/NACK送信は、U2SMR4レジスタのACKCビット、ACKDビットを使用する(この場合D8の値は使用しません)
2. D8のダミーデータを0とし、ACKを返す場合にはそのまま送信、NACKを返す場合にはSDHIビットを1にしSDA2端子を開放する。
3. D8のダミーデータを0とし、ACKを返す場合にはそのまま送信、NACKを返す場合にはポート制御によりSDA2端子を開放する。

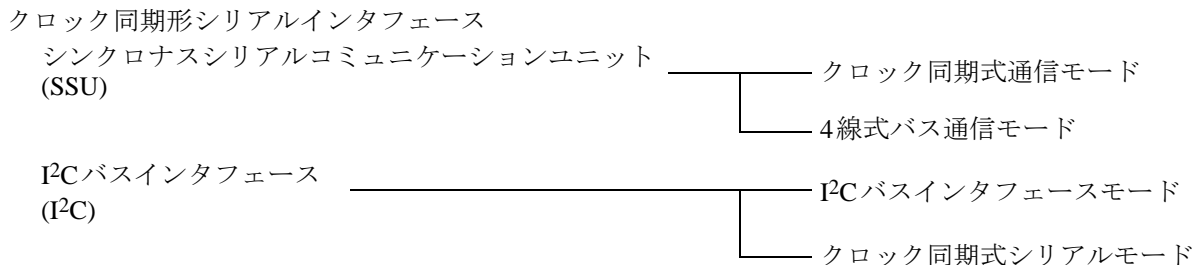
20.4.3.6 アービトレーション

アクノリッジ受信タイミングでアービトレーション検出フラグがセットされるため、送信開始時にアービトレーション検出フラグをクリアしてから送信を行ってください。

21. クロック同期形シリアルインタフェース

21.1 概要

クロック同期形シリアルインタフェースは、次の構成です。



21.1.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表21.1にモード選択に関わるビットを示します。

表21.1 モード選択

IICCRレジスタの IICSELビット(注1)	SICR1レジスタの ICEビット(注1)	SIMR2レジスタの MSビット(注1)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット(SSU)	クロック同期式通信 モード
		1		4線式バス通信モード
1	1	0	I2Cバスインタフェース (I2C)	I2Cバスインタフェース モード
		1		クロック同期式シリア ルモード

注1. 表中の組み合わせ以外の設定はしないでください。表中の組み合わせ以外の設定をした場合の動作は不定です。

21.1.2 シンクロナスシリアルコミュニケーションユニット(SSU)

シンクロナスシリアルコミュニケーションユニット(SSU)は、クロック同期式のシリアルデータ通信が可能です。SSUはSSU_0の1チャンネルで構成しています。

表21.2にシンクロナスシリアルコミュニケーションユニットの仕様を、図21.1にシンクロナスシリアルコミュニケーションユニットのブロック図(i=4、8、16、32、64、128、256)を示します。

表21.2 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	転送データ長 8～16ビット
通信モード	<ul style="list-style-type: none"> ・クロック同期式通信モード ・4線式バス通信モード(双方向通信モード含む) <ul style="list-style-type: none"> - マスタ/スレーブデバイスの選択 - シフト、送信、受信レジスタが独立しているため、シリアルデータの連続送信と連続受信が可能
入出力端子	SSCK(入出力): クロック入出力端子 SSI(入出力): データ入出力端子 SSO(入出力): データ入出力端子 SCS(入出力): チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> ・SICR1レジスタのMSTビットが0(スレーブモード)のとき 外部クロック(SSCK端子から入力) ・SICR1レジスタのMSTビットが1(マスタモード)のとき 内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力) ・クロック極性と位相を選択できる
受信エラーの検出	<ul style="list-style-type: none"> ・オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になる
マルチマスタエラーの検出	<ul style="list-style-type: none"> ・コンフリクトエラーを検出 SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが1(マスタモード)の状態、SCS端子入力がLであればSISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になる。 SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが0(スレーブモード)で転送途中にSCS端子入力がLからHに変化したとき、SISRレジスタのCE_ADZビットが1になる。
割り込み要因	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)
選択機能	<ul style="list-style-type: none"> ・データ転送方向 MSBファーストまたはLSBファーストを選択 ・SSCKクロック極性 クロック停止時のレベルをLかHかを選択 ・SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択

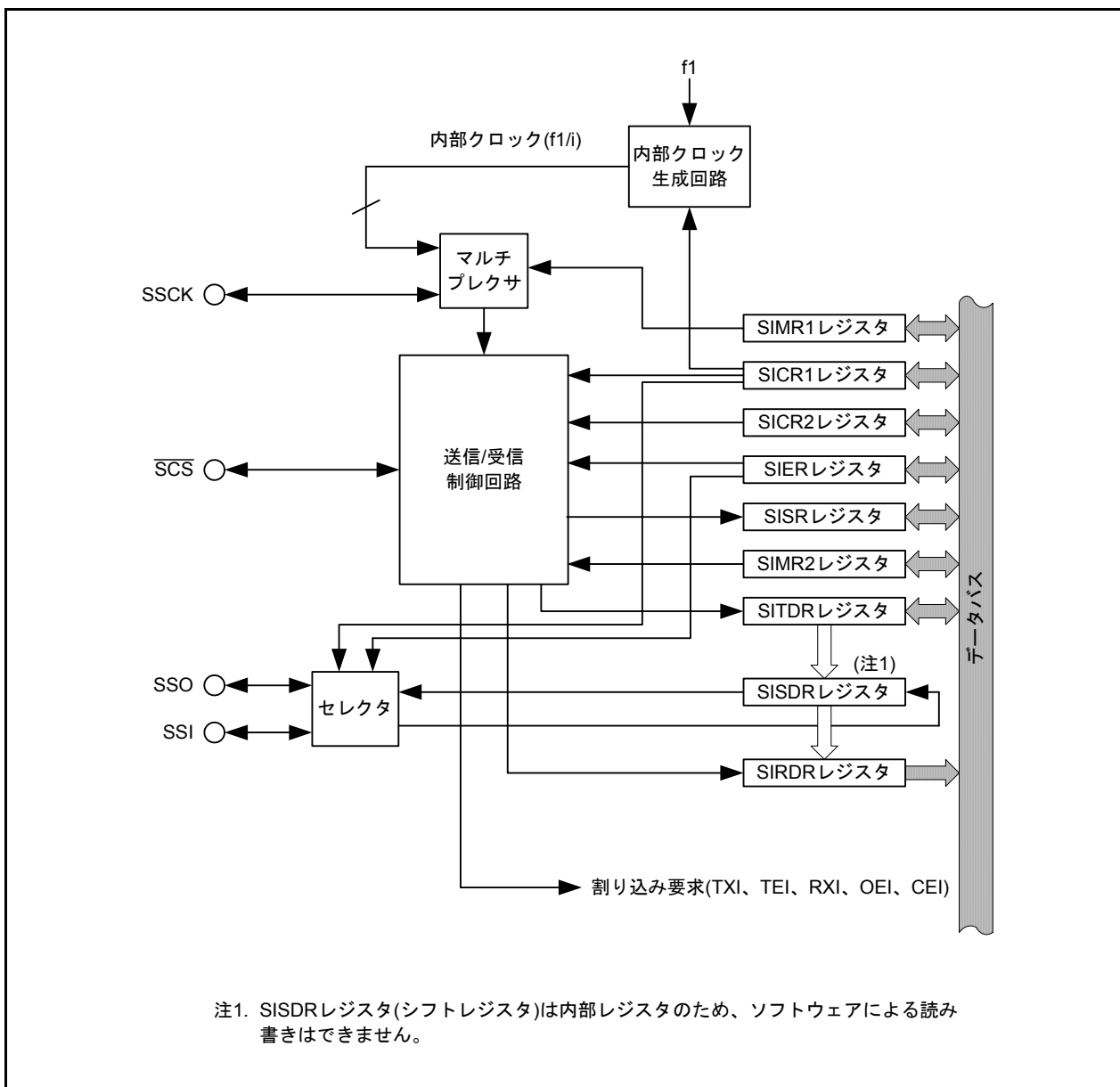


図21.1 シンクロナスシリアルコミュニケーションユニットのブロック図
(i = 4、8、16、32、64、128、256)

表21.3 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	入出力	機能
SSI	入出力	データ入出力
SCS	入出力	チップセレクト入出力
SSCK	入出力	クロック入出力
SSO	入出力	データ入出力

21.1.3 I²Cバスインタフェース

I²Cバスインタフェースは、フィリップス社I²Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。I²Cバスインタフェースは、I²C_0の1チャンネルで構成しています。

表21.4にI²Cバスインタフェースの仕様を、図21.2にI²Cバスインタフェースのブロック図を、図21.3にSCL、SDA端子の外部回路接続例を、表21.5にI²Cバスインタフェースの端子構成を示します。

表21.4 I²Cバスインタフェースの仕様

項目	仕様
通信モード	<ul style="list-style-type: none"> • I²Cバスインタフェースモード <ul style="list-style-type: none"> - マスタ/スレーブデバイスの選択 - 連続送信、連続受信が可能(シフト、送信データ、受信データレジスタがそれぞれ独立しているため) - マスタモードでは開始条件、停止条件の自動生成 - 送信時、アクノリッジビットを自動ロード - ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期をとる。転送準備ができていない場合、SCLをLにして待機させる。) - SCL、SDA端子の直接駆動(Nチャンネルオープンドレイン出力)が可能 • クロック同期式シリアルモード <ul style="list-style-type: none"> - 連続送信、連続受信が可能(シフト、送信データ、受信データレジスタがそれぞれ独立しているため)
入出力端子	SCL (入出力) : シリアルクロック入出力端子 SDA (入出力) : シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> • SICR1レジスタのMSTビットが0(スレーブモード)のとき 外部クロック(SCL端子から入力) • SICR1レジスタのMSTビットが1(マスタモード)のとき SICR1レジスタのCKS0~CKS3ビットおよびIICCRレジスタのIICTCTWIビット、IICTCHALFビットで選択する内部クロック(SCL端子から出力)
受信エラーの検出	<ul style="list-style-type: none"> • オーバランエラーを検出(クロック同期式シリアルモード) 受信時にオーバランエラーが発生したことを示す。SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になる
割り込み要因	<ul style="list-style-type: none"> • I²Cバスインタフェースモード : 6種類 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトレーションロスト、NACK検出、停止条件検出 • クロック同期式シリアルモード : 4種類 送信データエンプティ、送信終了、受信データフル、オーバランエラー
選択機能	<ul style="list-style-type: none"> • I²Cバスインタフェースモード 受信時、アクノリッジの出力レベルを選択 • クロック同期式シリアルモード データ転送方向にMSBファーストまたはLSBファーストを選択 • SDAのデジタル遅延 IICCRレジスタのSDADLY0、SDADLY1ビットでSDA端子のデジタル遅延値を選択

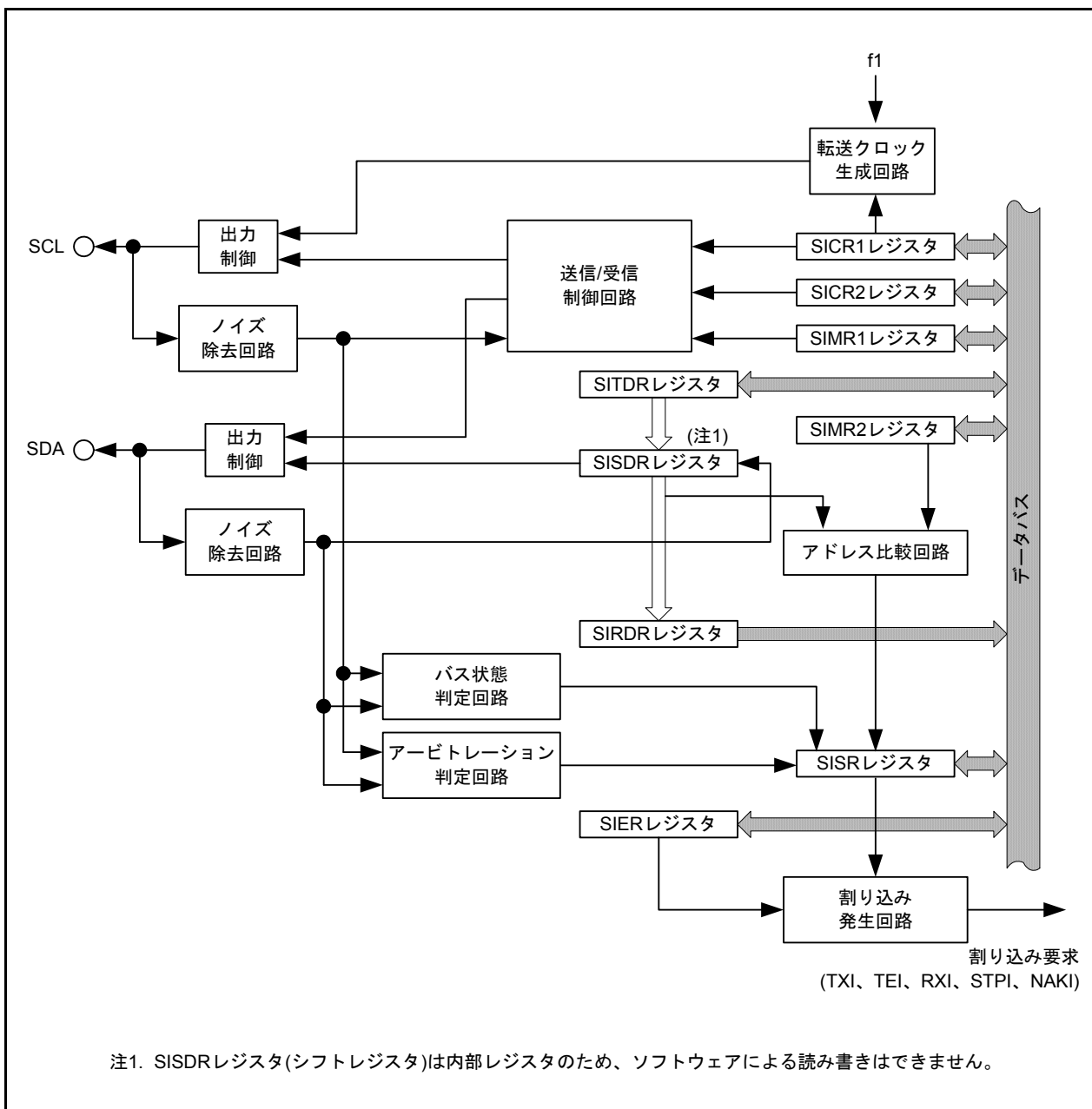


図21.2 I²Cバスインタフェースのブロック図

表21.5 I²Cバスインタフェースの端子構成

端子名	機能
SCL	クロック入出力
SDA	データ入出力

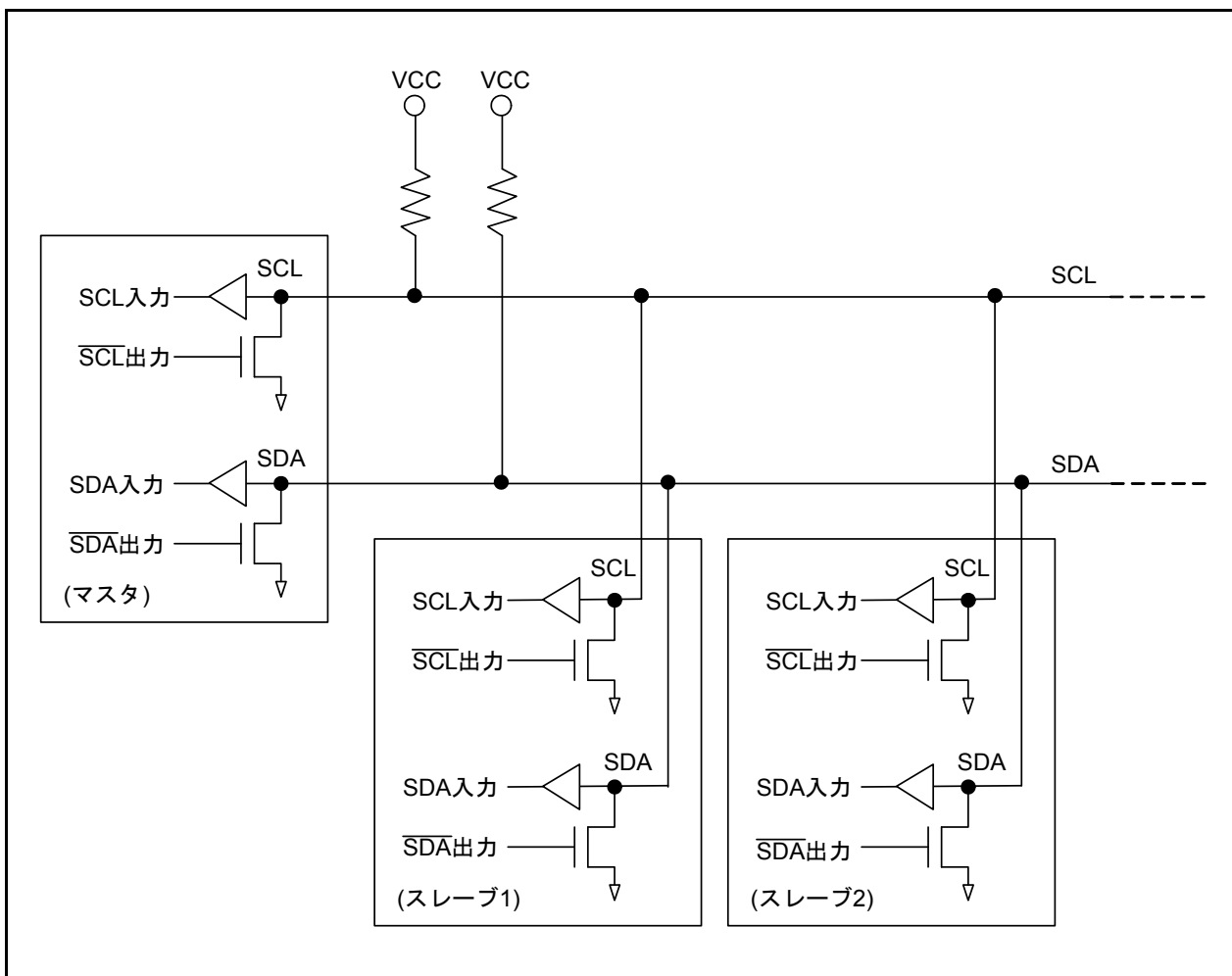


図21.3 SCL、SDA端子の外部回路接続例

21.2 レジスタの説明

クロック同期形シリアルインタフェースのレジスタは、SSU機能とI²Cバス機能を共有しています。
表21.6にクロック同期形シリアルインタフェースのレジスタ構成を示します。

表21.6 クロック同期形シリアルインタフェースのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
I ² C_0制御レジスタ	IICCR_0	00001110b	000E0h	8
SS_0ビットカウンタレジスタ	SSBR_0	11111000b	000E1h	8
SI_0送信データレジスタ	SITDR_0	FFh	000E2h	8または16 (注1)
		FFh	000E3h	
SI_0受信データレジスタ	SIRDR_0	FFh	000E4h	8または16 (注1)
		FFh	000E5h	
SI_0制御レジスタ1	SICR1_0	00h	000E6h	8
SI_0制御レジスタ2	SICR2_0	01111101b	000E7h	8
SI_0モードレジスタ1	SIMR1_0	00010000b	000E8h	8
SI_0割り込み許可レジスタ	SIER_0	00h	000E9h	8
SI_0ステータスレジスタ	SISR_0	00h	000EAh	8
SI_0モードレジスタ2	SIMR2_0	00h	000EBh	8

注1. I²Cバス機能の場合は8ビット単位で、SSU機能の場合は16ビット単位でアクセスしてください。

注2. スタンバイモード時、SICR2レジスタのSDAOビット、SCLOビット、SIMR1レジスタのBC0～BC3ビット、および内部レジスタの値が初期化されます。それ以外のSICR2レジスタとSIMR1レジスタのビットおよびレジスタは初期化されません。

注3. スタンバイモード後に書き込みアクセスする場合は、NOP命令を最低1つ入れてください。

注4. I²Cバス、SSU機能動作中はスタンバイ状態にしないでください。

注5. スタンバイ状態ではすべてのレジスタの書き込みができません。読み出すことは可能です。

21.2.1 I²C制御レジスタ (IICCR)

アドレス 000E0h (IICCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	—	—	—	IICSEL
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I ² Cバス切り替えビット (注1)	0 : SSU機能 1 : I ² Cバス機能	R/W
b1	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b2	—			
b3	—			
b4	IICTCTWI	I ² C転送レート2倍選択 ビット(注2、3)	0 : SICR1レジスタのCKS0~CKS3ビットの設定値通 りの転送レート 1 : SICR1レジスタのCKS0~CKS3ビットの設定値の 2倍の転送レート	R/W
b5	IICTCHALF	I ² C転送レート1/2倍選択 ビット(注2、3)	0 : SICR1レジスタのCKS0~CKS3ビットの設定値通 りの転送レート 1 : SICR1レジスタのCKS0~CKS3ビットの設定値の 1/2倍の転送レート	R/W
b6	SDADLY0	SDA端子デジタル遅延選択 ビット(注3、4、5)	b7 b6 0 0 : 3 × f1サイクルのデジタル遅延 0 1 : 11 × f1サイクルのデジタル遅延 1 0 : 19 × f1サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I²Cバス機能とSSU機能の切り替え前には全レジスタの初期化を行ってください。

注2. I²Cバス機能時はIICTCTWI、IICTCHALFビットの両方に1を設定しないでください。また、SSU機能時は両方とも0を設定してください。

注3. 初期設定段階で設定し、動作中に書き換えしないでください。

注4. 転送レートの半分以上のデジタル遅延を設定しないでください。

注5. I²Cバス機能時のみ有効です。SSU機能時は無効です。

21.2.2 SSビットカウンタレジスタ (SSBR)

アドレス 000E1h (SSBR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット (注1、2)	b3 b2 b1 b0 0 0 0 0 : 16ビット	R/W
b1	BS1		1 0 0 0 : 8ビット	R/W
b2	BS2		1 0 0 1 : 9ビット	R/W
b3	BS3		1 0 1 0 : 10ビット	R/W
			1 0 1 1 : 11ビット	
		1 1 0 0 : 12ビット		
		1 1 0 1 : 13ビット		
		1 1 1 0 : 14ビット		
		1 1 1 1 : 15ビット		
			上記以外 : 設定しないでください	
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			

注1. SSU機能の動作中は、BS0～BS3ビットに書かないでください。SIRレジスタのRE_STIEビットが0(データ受信禁止)、TE_NAKIEビットが0(データ送信禁止)のとき、BS0～BS3ビットに書いてください。

注2. 定められた値以外の設定は無効です。

SSBRレジスタの設定はSSU機能のとき有効です。I²Cバス機能ではSSBRレジスタの設定は無効です。

BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

21.2.3 SI送信データレジスタ (SITDR)

アドレス 000E2h (SITDR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	送信データを保管。(注1) SISDRレジスタの空きが検出されると、このレジスタに保管されている送信データがSISDRレジスタへ転送されて、送信が開始する。 SISDRレジスタからデータを送信中に、SITDRレジスタに次の送信データを書いておくと、連続して送信できる。 SIMR1レジスタのMLSビットが1 (LSBファーストでデータ転送)の場合、SITDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。	R/W

- 注1. データ転送長9ビット以上(b8～b15)はSSU機能でのみで使します。SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SITDRレジスタを16ビット単位でアクセスしてください。
8ビットアクセスの場合、上位バイト(b15～b8)へアクセスしても送信動作は開始されません。下位バイト(b7～b0)へアクセスするとTDREがネゲートされ、送信動作が開始します。

21.2.4 SI受信データレジスタ (SIRDR)

アドレス 000E4h (SIRDR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	受信データを保管。(注1、2、3) SISDRレジスタが1バイトのデータを受信すると、SIRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSISDRレジスタとSIRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

- 注1. SISDRレジスタのORER_ALビットが1 (オーバランエラー発生)になったとき、SIRDRレジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データ(SISDRレジスタのデータ)は、破棄されます。
注2. データ転送長9ビット以上(b8～b15)はSSU機能でのみで使します。SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SIRDRレジスタを16ビット単位でアクセスしてください。
SIRDRレジスタを8ビット単位でアクセスした場合もSISDRレジスタのRDRFビットは0 (SIRDRレジスタにデータなし)になります。
注3. RDRFビットが1 (SIRDRレジスタにデータあり)のときにSIRDRレジスタを読んでください。

21.2.5 SI制御レジスタ1 (SICR1)

SICR1レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

21.2.5.1 SSU機能の場合

アドレス 000E6h (SICR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット (注1)	b3 b2 b1 b0 0 0 0 0 : f1/256	R/W
b1	CKS1		0 0 0 1 : f1/128	R/W
b2	CKS2		0 0 1 0 : f1/64	R/W
b3	CKS3		0 0 1 1 : f1/32	R/W
			0 1 0 0 : f1/16	
		0 1 0 1 : f1/8		
		0 1 1 0 : f1/4		
			上記以外 : 設定しないでください	
b4	TRS	予約ビット	0にしてください	R/W
b5	MST	マスタ/スレーブ選択ビット (注2、3)	0 : スレーブモード 1 : マスタモード	R/W
b6	RCVD	受信禁止ビット (注4)	0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	予約ビット	0にしてください	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては「21.3.1.1 転送クロック」を参照してください。

注2. MSTビットが1(マスタモード)のとき、SSCK端子は転送クロック出力端子になります。SISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になると、MSTビットは0(スレーブモード)になります。

注3. マルチマスタで使用する場合、MSTビットの設定にはMOV命令を使用してください。

注4. MSTビットが0(スレーブモード)のとき、RCVDビットに1を設定しないでください。

21.2.5.2 I²Cバス機能の場合

アドレス 000E6h (SICR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット (注1)	b3 b2 b1 b0 0 0 0 0 : f1/28	R/W
b1	CKS1		0 0 0 1 : f1/40	R/W
b2	CKS2		0 0 1 0 : f1/48	R/W
b3	CKS3		0 0 1 1 : f1/64	R/W
			0 1 0 0 : f1/80	
			0 1 0 1 : f1/100	
			0 1 1 0 : f1/112	
			0 1 1 1 : f1/128	
			1 0 0 0 : f1/56	
			1 0 0 1 : f1/80	
		1 0 1 0 : f1/96		
b4	TRS	送信/受信選択ビット (注2、3、4、5、6)	0 : 受信モード 1 : 送信モード	R/W
b5	MST	マスタ/スレーブ選択ビット (注4、5、7)	0 : スレーブモード 1 : マスタモード	R/W
b6	RCVD	受信禁止ビット (注8)	TRS = 0の状態ではSIRDRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	I ² Cバスインタフェース許可ビット (注9)	0 : SCL、SDAの出力禁止 (SCL、SDAへの入力)は可能 1 : I ² Cバス機能の転送可能状態	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては「表21.9、表21.10 転送レート例」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この機能の詳細は「21.4.2.5.1 I²Cスレーブ送信動作時のデータセットアップ時間確保」を参照してください。

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSIRDRレジスタに設定したスレーブアドレスと一致し、8ビット目が1の場合、TRSビットが1(送信モード)になります。

注4. I²Cバスインタフェースモードのマスタモードでバス競合負けすると、MSTおよびTRSビットが0になり、スレーブ受信モードになります。

注5. マルチマスタで使用する場合、TRSおよびMSTビットの設定にはMOV命令を使用してください。

注6. TRSビットが1のとき、RCVDビットに1を設定しないでください。

注7. クロック同期式シリアルモードのマスタ受信モードでオーバランエラーが発生した場合、MSTビットが0になり、スレーブ受信モードになります。

注8. MSTビットが0(スレーブモード)のとき、RCVDビットに1を設定しないでください。

注9. I²Cバス機能動作中にICEビットに0またはSICR2レジスタのSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。「21.5 クロック同期形シリアルインタフェース使用上の注意事項」を参照してください。

21.2.6 SI制御レジスタ2 (SICR2)

SICR2レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

21.2.6.1 SSU機能の場合

アドレス 000E7h (SICR2_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	SIRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b1	SIRST	制御部リセットビット	動作中に通信不具合等によりハングアップしたとき、1を書くとポートの設定、レジスタ(注1)の初期化をせずに制御部を初期化します。	R/W
b2	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b3	SCLO	予約ビット	1にしてください	R
b4	SDAOP	SDAOライトプロテクトビット(注2)	0を書くとSDAOビットによって出力レベルが変更できる。 1を書いても無効。読んだ場合、その値は1。	R/W
b5	SDAO	シリアルデータ出力値制御ビット(注3)	読んだ場合シリアルデータ出力をモニタします。 0: シリアルデータ出力がL 1: シリアルデータ出力がH 書いた場合(注2、4) 0: データ出力をLにする 1: データ出力をHにする	R/W
b6	SCP	予約ビット	1にしてください	R/W
b7	BBSY	予約ビット	0にしてください	R/W

注1. シフトレジスタ、SCLOビット、SDAOビット、SIMR1レジスタのBC0～BC3ビットを除くすべてのSFR。

注2. SDAOビットに書くときは、MOV命令を使用してSDAOPビットに0、SDAOビットに0を同時に書いてください。

注3. 4線式バス通信モード時は書き換えしないでください。

注4. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。シリアルデータの送信前後にSDAOビットの内容を書き換えると、その時点から転送開始までのデータ出力に反映されず、データ転送中はSDAOビットに書かないでください。

21.2.6.2 I²Cバス機能の場合

アドレス	000E7h (SICR2_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	SIRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b1	SIRST	制御部リセットビット	動作中に、通信不具合等によりハングアップしたとき、1を書くとポートの設定、レジスタ(注1)の初期化をせずに、制御部をリセットします。	R/W
b2	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b3	SCLO	SCL モニタフラグ	0: SCL 端子はL 1: SCL 端子はH	R
b4	SDAOP	SDAO ライトプロテクトビット (注2)	SDAO ビットを書き換えるとき、同時に0を書いてください。読んだ場合、その値は1。	R/W
b5	SDAO	シリアルデータ出力値制御ビット	読んだ場合シリアルデータ出力をモニタします 0: シリアルデータ出力がL 1: シリアルデータ出力がH 書いた場合(注2、3) 0: シリアルデータ出力をLにする 1: シリアルデータ出力をHにする	R/W
b6	SCP	開始/停止条件発行禁止ビット (注4)	BBSY ビットに書くとき、同時に0を書いてください。読んだ場合、その値は1。1書き込みは無効になります。	R/W
b7	BBSY	バスビジービット (注4、5、6)	読んだ場合 0: バスが開放状態(SCL 信号がHの状態ではSDA 信号がLからHに変化) 1: バスが占有状態(SCL 信号がHの状態ではSDA 信号がHからLに変化) 書いた場合 0: 停止条件を発行 1: 開始条件を発行	R/W

- 注1. シフトレジスタ、SCLO ビット、SDAO ビット、SIMR1 レジスタのBC0～BC3 ビットを除く、すべてのSFR。
- 注2. SDAO ビットを書き換える場合は、同時にSDAOP ビットへMOV 命令を使用して0を書いてください。
- 注3. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。シリアルデータの送信前後にSDAO ビットの内容を書き換えると、その時点から送信開始までのデータ出力に反映されます。SDAO ビットは転送動作中に書かないでください。
- 注4. I²C バス機能のマスタモード時に有効です。BBSY ビットに書く場合は、同時にSCP ビットへMOV 命令を使用して0を書いてください。開始条件の再発行時も、同様に実施してください。
- 注5. クロック同期シリアルモード時は無効です。
- 注6. I²C バス機能動作中にSICR1 レジスタのICE ビットに0またはSICR2 レジスタのSIRST ビットに1を書くと、SICR2 レジスタのBBSY ビットとSISR レジスタのSTOP ビットが不定になる場合があります。「21.5 クロック同期形シリアルインタフェース使用上の注意事項」を参照してください。また、I²C バスインタフェースモード時に制御部リセットを実施する場合は「21.4.8 I²C バスインタフェースモード時の制御部リセット手順」に従ってください。これによりBBSY ビットとSTOP ビットの不定を対策可能です。SSU バスインタフェースモードおよびクロック同期式シリアルモード時に制御部リセットを実施した場合は、制御部リセット後にTE_NAKIE およびRE_STIE を再設定してください。

SDAO ビットへの0書き込みより開始条件を発行したとしても転送可能状態には移行しません。BBSY ビットへの1書き込みによる開始条件発行のみが有効となります。

SDAO ビットへの1書き込みによる停止条件の発行は、SCL がLに固定されているため不可能です。BBSY ビットへの0書き込みによる停止条件の発行を行ってください。

21.2.7 SIモードレジスタ1 (SIMR1)

SIMR1レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

21.2.7.1 SSU機能の場合

アドレス 000E8h (SIMR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS_WAIT	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ (注1)	b3 b2 b1 b0 0 0 0 0 : 残り16ビット	R
b1	BC1		0 0 0 1 : 残り15ビット	R
b2	BC2		0 0 1 0 : 残り14ビット	R
b3	BC3		0 0 1 1 : 残り13ビット	R
			0 1 0 0 : 残り12ビット	
			0 1 0 1 : 残り11ビット	
			0 1 1 0 : 残り10ビット	
			0 1 1 1 : 残り9ビット	
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。	—	
b5	CPHS	転送クロック位相選択ビット (注2)	0 : 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1 : 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS_WAIT	クロック選択ビット (注2)	0 : クロック停止時、H 1 : クロック停止時、L	R/W
b7	MLS	MSBファースト/LSBファースト選択 ビット	0 : MSBファーストでデータ転送 1 : LSBファーストでデータ転送	R/W

注1. SSU機能(IICCRレジスタのIICSELビットが0、SICR1レジスタのICEビットが0)のとき、書き込みは無効になります。

注2. CPHS、CPOS_WAITビットの設定については「21.3.1.2 転送クロックの極性、位相とデータの関係」を参照してください。

SIMR2レジスタのMSビットが0(クロック同期式通信モード)のとき、CPHSビットを0、CPOS_WAITビットを0にしてください。

BC0～BC3ビット(ビットカウンタ)

送受信中のシフトレジスタの状態が読み出せません。

21.2.7.2 I²Cバス機能の場合

アドレス 000E8h (SIMR1_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS_WAIT	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ0~2	I ² Cバスインタフェースモード(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数) (注1) b2 b1 b0 0 0 0 : 9ビット(注2) 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット クロック同期式シリアルモード(読み出し時は残りの転送ビット数、書き込み時は常に000bを書いてください。) b2 b1 b0 0 0 0 : 8ビット 0 0 1 : 1ビット 0 1 0 : 2ビット 0 1 1 : 3ビット 1 0 0 : 4ビット 1 0 1 : 5ビット 1 1 0 : 6ビット 1 1 1 : 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BC3	ビットカウンタ3	BC0~BC2ビットを書き換えるとき、同時に0を書いてください。(注1、3)読んだ場合、その値は1。	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	CPHS	予約ビット	0にしてください	R/W
b6	CPOS_WAIT	ウェイト挿入ビット(注4)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分Lを延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注5) 1: LSBファーストでデータ転送	R/W

注1. BC0~BC2ビットに書く場合は、同時にBC3ビットに0をMOV命令を使用して書いてください。1を書いたときのBC0~BC2ビットの書き込み値は無効になります。

注2. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に000bになります。開始条件検出時、BC2~BC0ビットは自動的に000bになります。

注3. クロック同期式シリアルモード時は書き換えしないでください。

注4. I²Cバスインタフェースモードのマスタモード時に、設定値が有効です。I²Cバスインタフェースモードのスレーブモード時およびクロック同期シリアルモード時は無効です。

注5. I²Cバスインタフェースモード時は、0にしてください。

21.2.8 SI割り込み許可レジスタ (SIER)

SIERレジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

21.2.8.1 SSU機能の場合

アドレス 000E9h (SIER_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE_NAKIE	RE_STIE	ACKE	ACKBR	CEIE_ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE_ACKBT	コンフリクトエラー割り込み許可ビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	R/W
b1	ACKBR	予約ビット	読んだ場合、その値は0。	R
b2	ACKE	予約ビット	0にしてください	R/W
b3	RE_STIE	受信許可ビット (注1)	0: 受信禁止 1: 受信許可	R/W
b4	TE_NAKIE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバーランエラー 割り込み要求禁止 1: 受信データフルおよびオーバーランエラー 割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. 4線式バス(多方向)通信モード時は、TE_NAKIEビットおよびRE_STIEビットをともに1にしないでください。
1を設定した場合、RE_STIEビットは0になります。

21.2.8.2 I²Cバス機能の場合

アドレス	000E9h (SIER_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE_NAKIE	RE_STIE	ACKE	ACKBR	CEIE_ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE_ACKBT	送信アクリッジ選択ビット	0: 受信モード時、アクリッジのタイミングで0を送出 1: 受信モード時、アクリッジのタイミングで1を送出	R/W
b1	ACKBR	受信アクリッジビット	0: 送信モード時、受信デバイスから受け取ったアクリッジビットが0 1: 送信モード時、受信デバイスから受け取ったアクリッジビットが1	R
b2	ACKE	アクリッジビット判定選択ビット	0: 受信アクリッジの内容を無視して連続的に転送 1: 受信アクリッジが1の場合、転送中止	R/W
b3	RE_STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注1)	R/W
b4	TE_NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み要求およびアービトレーションロスト/オーバランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバランエラー割り込み要求許可(注2)	R/W
b5	RIE	受信割り込み許可ビット(注3)	0: 受信データフル割り込み要求禁止 1: 受信データフル割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンpty割り込み要求禁止 1: 送信データエンpty割り込み要求許可	R/W

- 注1. SISRレジスタのSTOPビットが0のとき、RE_STIEビットを1(停止条件検出割り込み要求許可)にしてください。
 注2. TE_NAKIEビットのオーバランエラー割り込み要求許可は、クロック同期式シリアルモードでは有効です。
 注3. RIEビットのオーバランエラー割り込み要求許可は、I²Cバスインタフェースモードでは無効です。

21.2.9 SISステータスレジスタ (SISR)

SISRレジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

21.2.9.1 SSU機能の場合

アドレス 000EAh (SISR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	ORER_AL	AAS	CE_ADZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE_ADZ	コンフリクトエラーフラグ (注1、2)	0: コンフリクトエラーなし 1: コンフリクトエラー発生	R/W
b1	AAS	予約ビット	0にしてください	R/W
b2	ORER_AL	オーバランエラーフラグ (注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	R/W
b3	STOP	予約ビット	0にしてください	R/W
b4	NACKF			
b5	RDRF	受信データレジスタフルフラグ (注1、4)	0: SIRDRレジスタにデータなし 1: SIRDRレジスタにデータあり	R/W
b6	TEND	送信終了フラグ (注1、5)	0: 送信データの最後尾ビットの送信時、TDRE ビットが0 1: 送信データの最後尾ビットの送信時、TDRE ビットが1	R/W
b7	TDRE	送信データ空フラグ (注1、5、6)	0: SITDRレジスタからSISDRレジスタにデータ 転送されていない 1: SITDRレジスタからSISDRレジスタにデータ 転送された	R/W

- 注1. CE_ADZ、ORER_AL、RDRF、TEND、TDREビットへの1書き込みは無効です。これらのビットを0にするには、1を読んだ後、0を書いてください。
- 注2. SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが1(マスターモード)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力がLであればCE_ADZビットが1になります。「21.3.3.4 SCS端子制御とアービトレーション」を参照してください。
MSビットが1(4線式バス通信モード)、MSTビットが0(スレーブモード)で転送途中にSCS端子入力がLからHに変化したとき、CE_ADZビットが1になります。
- 注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが1(SIRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORER_ALビットが1になります。
ORER_ALビットが1(オーバランエラー発生)になった後、RDRFビットが1の状態では受信はできません。またMSTビットが1(マスターモード)の状態では、送信もできません。
- 注4. RDRFビットはSIRDRレジスタからデータを読み出したとき、0になります。I²Cバスインタフェースモード以外のとき、またはDTCアクセス後のRDRFビットクリア以外のとき、0書き込みによるクリアは行わないでください。
- 注5. TEND、TDREビットはSITDRレジスタにデータを書いたとき、0になります。
- 注6. TDREビットはSSU機能の場合、SISRレジスタのTE_NAKIEビットを1(送信許可)にしたとき、1になります。

21.2.9.2 I²Cバス機能の場合

アドレス	000EAh (SISR_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	ORER_AL	AAS	CE_ADZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE_ADZ	ゼネラルコールアドレス認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、1になります。	R/W
b1	AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで開始条件直後の第1フレームがSISR2レジスタのSVA0～SVA6と一致した場合、1になります(スレーブアドレス検出、ゼネラルコールアドレス検出)。	R/W
b2	ORER_AL	アービトレーションロストフラグ/オーバランエラーフラグ(注1)	I ² Cバスインタフェースモードの場合、マスターモード時にバス競合負けしたことを示します。次のときに1になります。(注3) <ul style="list-style-type: none"> マスター送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき マスター送信/受信モード時、開始条件検出時にSDA端子がHのとき クロック同期式シリアルモードの場合、オーバランエラーが発生したことを示します。次のときに1になります。 <ul style="list-style-type: none"> RDRFビットが1の状態、次のデータの最終ビットを受信したとき 	R/W
b3	STOP	停止条件検出フラグ(注1)	フレームの転送の完了後に停止条件を検出したとき、1になります。	R/W
b4	NACKF	ノーアクノリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、1になります。	R/W
b5	RDRF	受信データレジスタフルフラグ(注1、5)	SISRレジスタからSIRDRレジスタに受信データが転送されたとき、1になります。	R/W
b6	TEND	送信終了フラグ(注1、6)	I ² Cバスインタフェースモードの場合、TDREビットが1の状態、SCL信号の9クロック目が立ち上がったとき、1になります。 クロック同期モードの場合、送信フレームの最終ビットを送出したとき、1になります。	R/W
b7	TDRE	送信データ空フラグ(注1、6)	次のときに1になります。 <ul style="list-style-type: none"> SITDRレジスタからSISRレジスタにデータ転送されて、SITDRレジスタが空になったとき SICR1レジスタのTRSビットを1(送信モード)にしたとき 開始条件(再送含む)を発行したとき スレーブ受信モードからスレーブ送信モードに変わったとき 	R/W

注1. 各ビットへの1書き込みは無効です。1を読んだ後、0を書くと0になります。

注2. I²Cバスインタフェースモードのスレーブ受信モードのとき有効です。

注3. 複数のマスターがほぼ同時にバスを占有しようとしたときに、I²CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ORER_ALビットを1にして、バスが他のマスターによって占有されたことを示します。

注4. NACKFビットはSISRレジスタのACKFビットが1(受信アクノリッジが1の場合、転送中止)のとき有効です。

注5. RDRFビットはSIRDRレジスタからデータを読み出したとき、0になります。I²Cバスインタフェースモード以外のとき、またはDTCアクセス後のRDRFビットクリア以外のとき、0書き込みを行わないでください。

注6. TEND、TDREビットはSITDRレジスタにデータを書いたとき、0になります。

21.2.10 SIモードレジスタ2 (SIMR2)

SIMR2レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

21.2.10.1 SSU機能の場合

アドレス 000EBh (SIMR2_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	MS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MS	モード選択ビット (注1)	0 : クロック同期式通信モード 1 : 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択 ビット(注2、3、4、5)	0 : CMOS出力 1 : Nチャンネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力 選択ビット(注1、4)	0 : CMOS出力(注6) 1 : Nチャンネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選 択ビット(注4、7)	0 : CMOS出力 1 : Nチャンネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット (注5、8)	b5 b4 0 0 : ポートとして機能 0 1 : SCS入力端子として機能 1 0 : SCS出力端子として機能(注9) 1 1 : SCS出力端子として機能(注9)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット (注7)	0 : ポートとして機能 1 : シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット (注1、10)	0 : 標準モード(データ入力とデータ出力を2端子 使用して通信) 1 : 双方向モード(データ入力とデータ出力を1端 子使用して通信)	R/W

- 注1. データ入出力端子の組合せは「21.3.1.3 データ入出力端子とSSシフトレジスタの関係」を参照してください。
- 注2. 4線式バス通信モードを使用する場合、SCS端子を常にNチャンネルオープンドレイン出力で使用してください。
- 注3. SCS端子をCMOS出力で使用した場合、SCS出力許可時にコンフリクトエラーをおこす可能性があります。エラーフラグをクリア後、再度マスターモードを設定して通信を継続してください。
- 注4. 本モジュール未使用時、CSOS、SOOS、SCKOSビットは0 (CMOS出力)に設定してください。
- 注5. CSOSビットとCSS0、CSS1ビットを同時に設定しないでください。SCS端子を選択する場合は、CSOSビットを設定した後、CSS1、CSS0ビットに01b、10b、または11bを設定してください。SCS端子を選択しない場合は、CSS1、CSS0ビットに00bを設定した後、CSOSビットを設定してください。
- 注6. SOOSビットが0のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを0 (入力モード)にしてください。
- 注7. SCKOSビットとSCKSビットを同時に設定しないでください。SSCK端子を選択する場合は、SCKOSビットを設定した後、SCKSビットに1 (シリアルクロック端子として機能)を設定してください。SSCK端子を選択しない場合は、SCKSビットに0 (ポートとして機能)を設定した後、SCKOSビットを設定してください。
- 注8. MSビットが0 (クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。
- 注9. 転送開始前は、SCS入力端子として機能します。
- 注10. MSビットが0 (クロック同期式通信モード)のとき、BIDEビットは無効です。

21.2.10.2 I²Cバス機能の場合

アドレス 000EBh (SIMR2_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	MS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MS	モード選択ビット	0 : I ² Cバスインタフェースモード 1 : クロック同期式シリアルモード	R/W
b1	SVA0	スレーブアドレス (注1)	I ² Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I ² Cバスインタフェースモードのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0～SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

注1. スレーブアドレスとして1111XXXbおよび0000XXXbは設定しないでください。

21.3 シンクロナスシリアルコミュニケーションユニット(SSU)の動作説明

21.3.1 クロック同期式通信モード、4線式バス通信モードにかかわる共通事項

21.3.1.1 転送クロック

転送クロックを7種類の内部クロック ($f1/256$ 、 $f1/128$ 、 $f1/64$ 、 $f1/32$ 、 $f1/16$ 、 $f1/8$ 、 $f1/4$)と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SIMR2レジスタのSCKSビットを1にして、SSCK端子をシリアルクロック端子として選択してください。

SICR1レジスタのMSTビットが1(マスタモード)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SICR1レジスタのCKS0～CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

MSTビットが0(スレーブモード)のときは外部クロックが選択され、SSCK端子は入力になります。

21.3.1.2 転送クロックの極性、位相とデータの関係

SIMR2レジスタのMSビットとSIMR1レジスタのCPHS、CPOS_WAITビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図21.4に転送クロックの極性、位相および転送データの関係を示します。

また、SIMR1レジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが1のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが0のときは、MSBから始まり最後にLSBの順で転送されます。

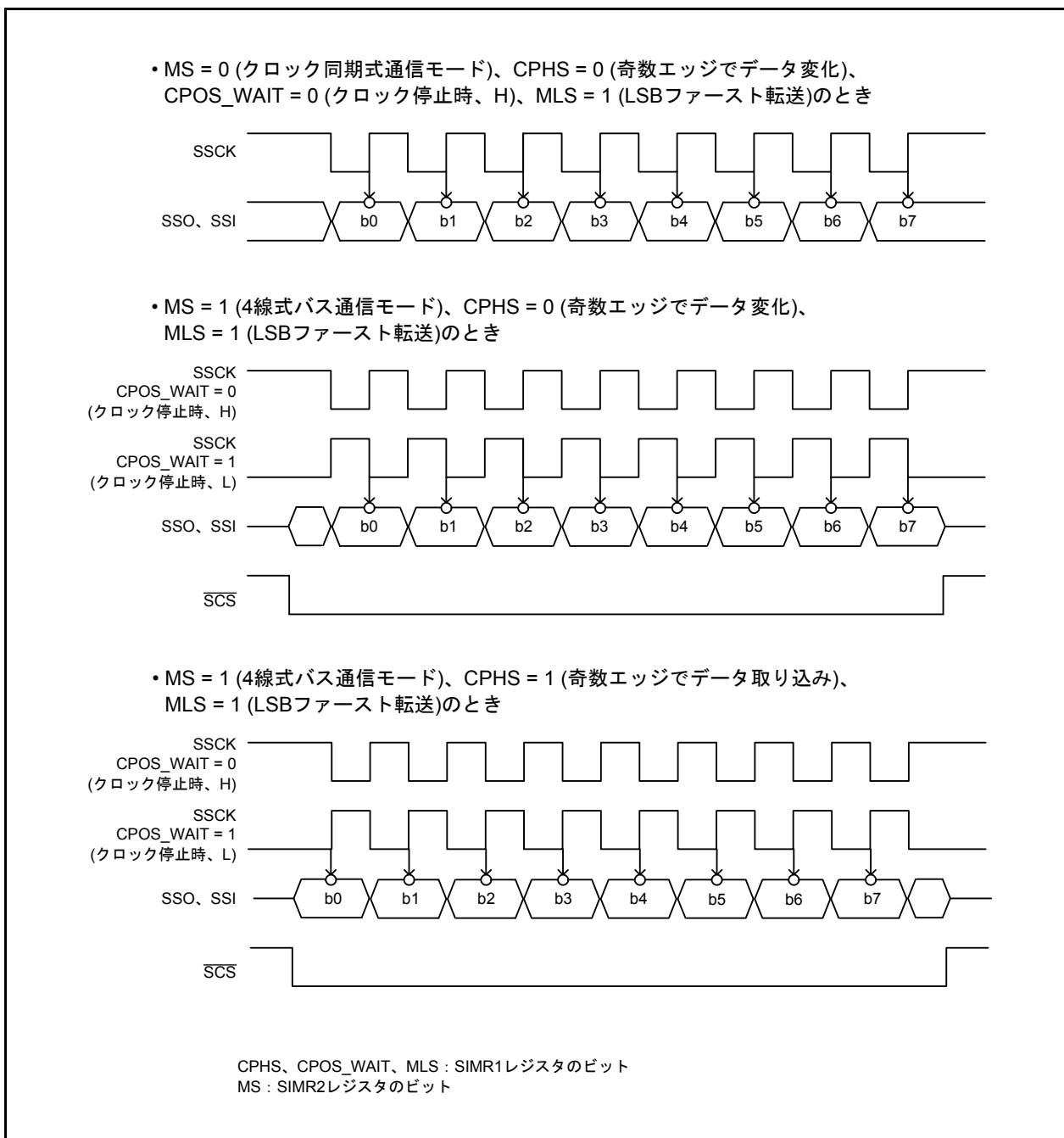


図21.4 転送クロックの極性、位相および転送データの関係

21.3.1.3 データ入出力端子とSSシフトレジスタの関係

SICR1レジスタのMSTビットとSIMR2レジスタのMSビットとの組み合わせにより、データ入出力端子とSISDRレジスタの接続関係が変わります。また、SIMR2レジスタのBIDEビットによっても接続関係が変わります。図21.5にデータ入出力端子とSISDRレジスタの接続関係を示します。

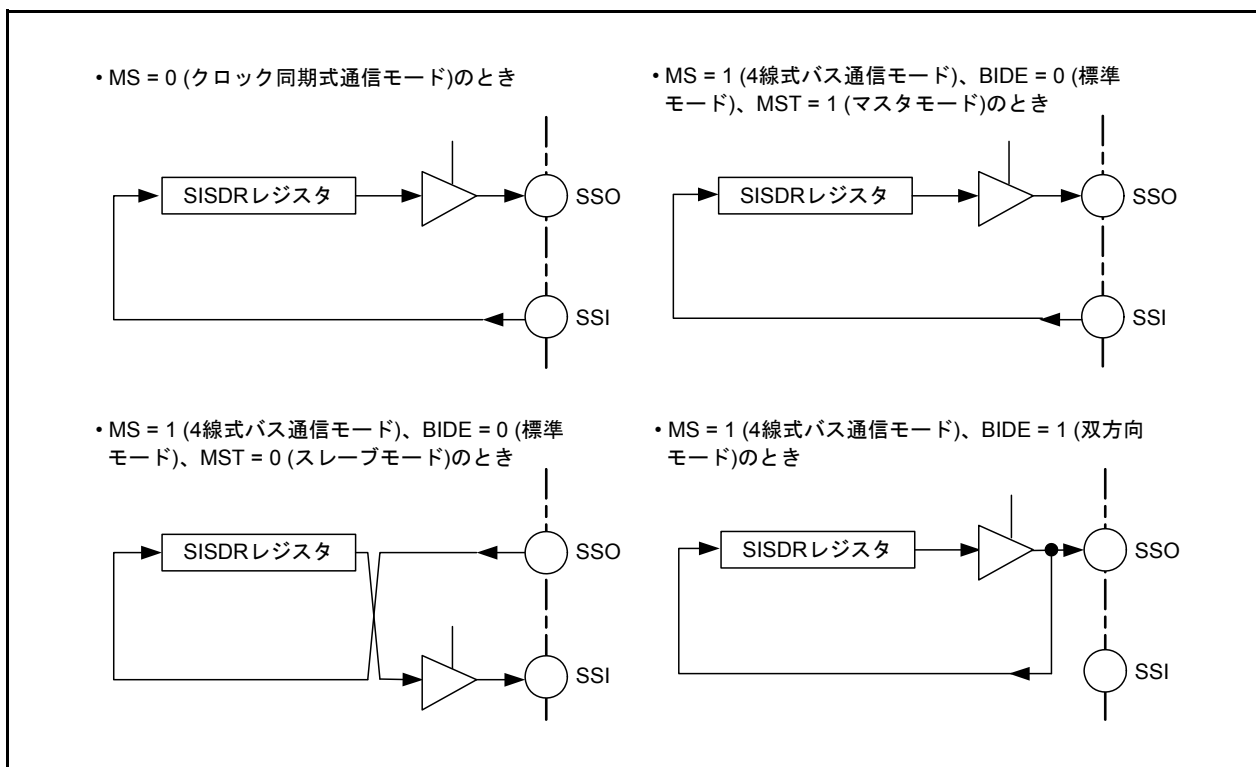


図21.5 データ入出力端子とSISDRレジスタの接続関係

21.3.1.4 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表21.7にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表21.7 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE = 1かつTDRE = 1
送信終了	TEI	TEIE = 1かつTEND = 1
受信データフル	RXI	RIE = 1かつRDRF = 1
オーバランエラー	OEI	RIE = 1かつORER_AL = 1
コンフリクトエラー	CEI	CEIE_ACKBT = 1かつCE_ADZ = 1 (注1)

CEIE_ACKBT、RIE、TEIE、TIE：SISRレジスタのビット

CE_ADZ、ORER_AL、RDRF、TEND、TDRE：SISDRレジスタのビット

注1. クロック同期式通信モードでは発生しません。

表21.7の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を0にしてください。

ただし、SISRレジスタのTDREビットおよびTENDビットはSITDRレジスタに送信データを書くことで、SISRレジスタのRDRFビットはSIRDRレジスタを読むことで自動的に0になります。特にTDREビットはSITDRレジスタに送信データを書いたとき、同時に再度TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、さらにSITDRレジスタに送信データを書き込み以外の方法(ソフトウェアによるレジスタアクセス)でTDREビットを0(SITDRレジスタからSISDRレジスタにデータ転送されていない)にすると、すでに転送済みのデータが、余分に1バイト送信する場合があります。

21.3.1.5 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードでSICR1レジスタのMSTビットと、SISRレジスタのRE_STIE、TE_NAKIEビットの設定により、入出力端子の機能が変わります。表21.8に通信モードと入出力端子の関係を示します。

表21.8 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態		
	MS	BIDE	MST	TE_NAKIE	RE_STIE	SSI	SSO	SSCK
クロック同期式通信モード	0	無効	0	0	1	入力	—	入力
				1	0	—	出力	入力
				1	1	入力	出力	入力
			1	0	1	入力	—	出力
				1	0	—	出力	出力
				1	1	入力	出力	出力
4線式バス通信モード	1	0	0	0	1	—	入力	入力
				1	0	出力	—	入力
				1	1	出力	入力	入力
			1	0	1	入力	—	出力
				1	0	—	出力	出力
				1	1	入力	出力	出力
4線式バス(双方向)通信モード(注1)	1	1	0	0	1	—	入力	入力
				1	0	—	出力	入力
			1	0	1	—	入力	出力
				1	0	—	出力	出力

— : プログラマブル入出力ポートとして使用

MS、BIDE : SIMR2レジスタのビット

MST : SICR1レジスタのビット

TE_NAKIE、RE_STIE : SISRレジスタのビット

注1. 4線式バス(双方向)通信モード時は、TE_NAKIEおよびRE_STIEビットをともに1にしないでください。

21.3.2 クロック同期式通信モード

21.3.2.1 クロック同期式通信モードの初期化

図21.6にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SIERレジスタのTE_NAKIEビットを0(送信禁止)、RE_STIEビットを0(受信禁止)にして初期化してください。

なお、通信モードの変更(SIMR2レジスタのモードセレクトMSビットでクロック同期式通信モードを選択)、通信フォーマットの変更などの場合には、TE_NAKIEビットを0、RE_STIEビットを0にしてから変更してください。

RE_STIEビットを0にしても、SISRレジスタのRDRF、ORER_ALビット、およびSIRDRレジスタの内容は保持されます。

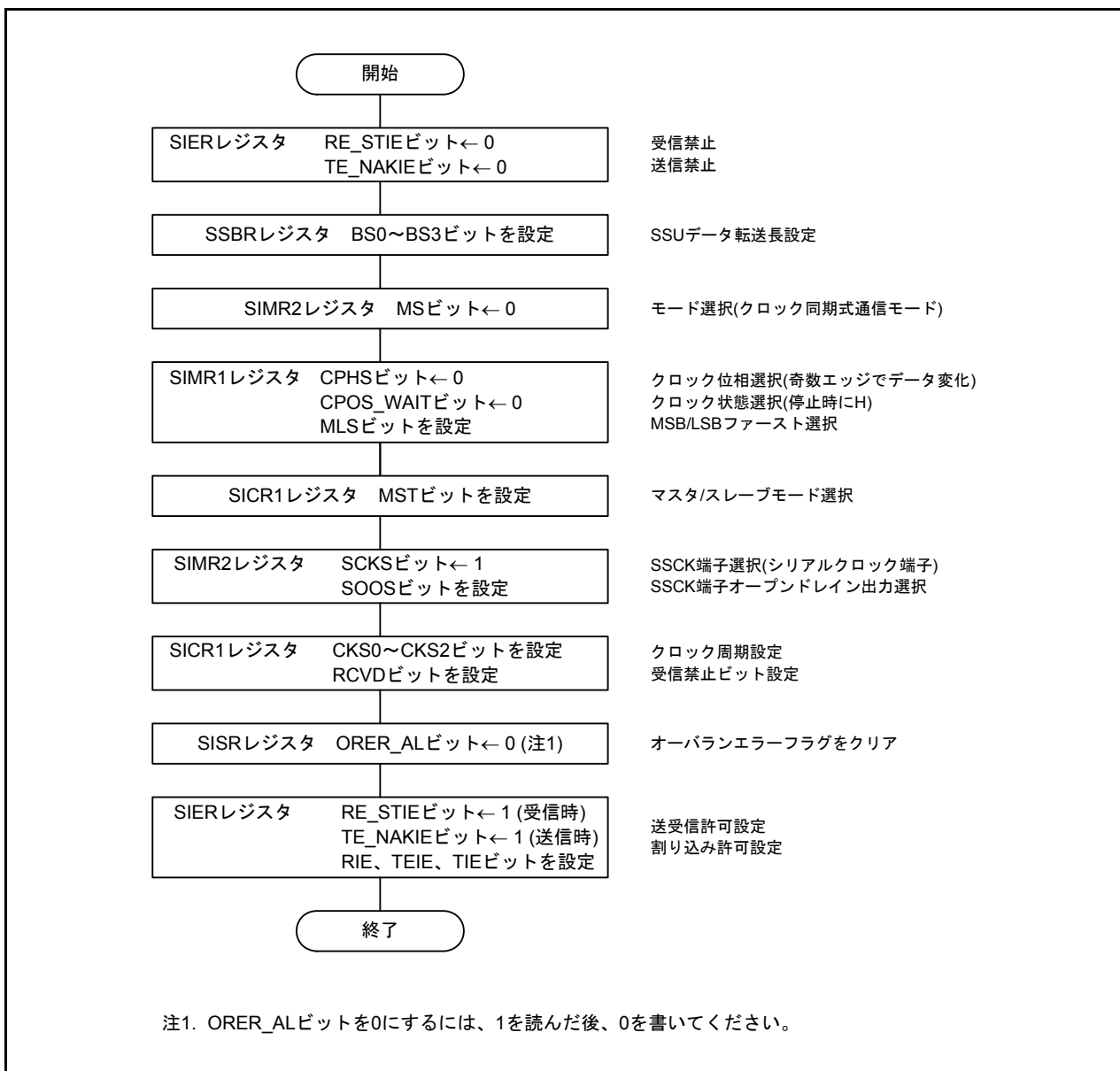


図21.6 クロック同期式通信モードの初期化

21.3.2.2 データ送信

図21.7にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

SIERレジスタのTE_NAKIEビットを1(送信許可)にした後、SITDRレジスタに送信データを書くと、自動的にSISRレジスタのTDREビットが0(SITDRレジスタからSISDRレジスタにデータ転送されていない)になり、SITDRレジスタからSISDRレジスタにデータが転送されます。その後、TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、送信を開始します。このとき、SIERレジスタのTIEビットが1の場合、TXI割り込み要求を発生します。

TDREビットが0の状態では1フレームの転送が終わると、SITDRレジスタからSISDRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが1の状態では8ビット目が送られると、SISRレジスタのTENDビットが1(送信データの最後尾ビットの送信時、TDREビットが1)になり、その状態を保持します。このときSIERレジスタのTEIEビットが1(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子はHに固定されます。

なお、SISRレジスタのORER_ALビットが1(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER_ALビットが0であることを確認してください。

図21.8にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

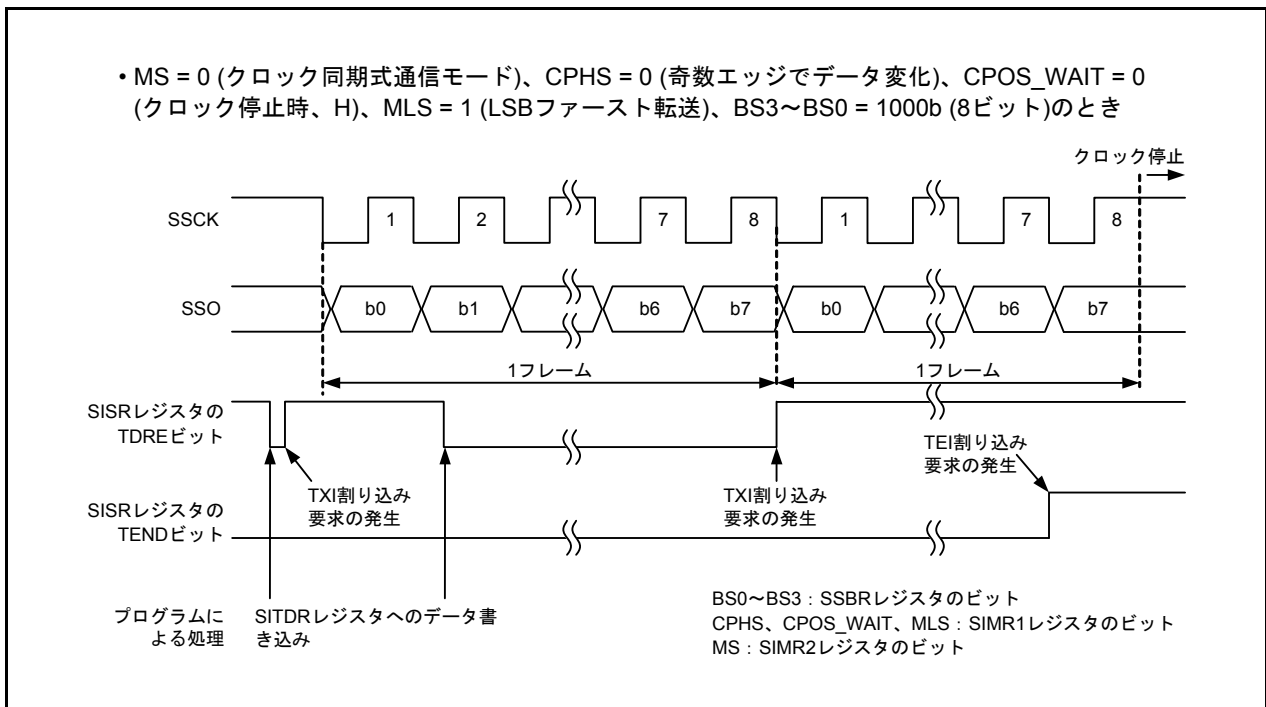


図21.7 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

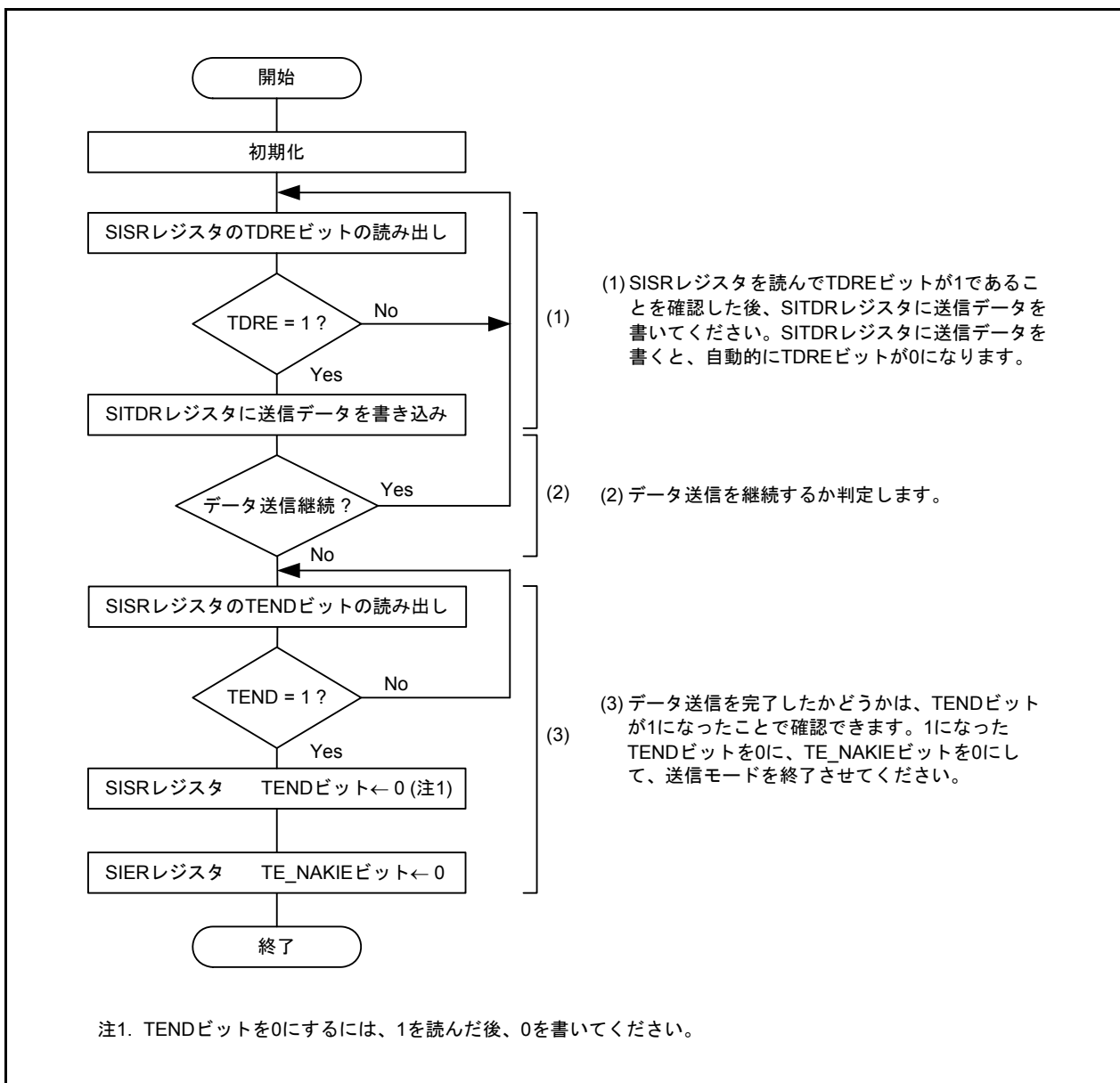


図21.8 データ送信のフローチャート例(クロック同期式通信モード)

21.3.2.3 データ受信

図21.9にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSIRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)になり、SIRDRレジスタに受信データが格納されます。このとき、SIERレジスタのRIEビットが1(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求を発生します。SIRDRレジスタを読むと、自動的にRDRFビットは0(SIRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、[最終フレーム-1]の受信データを読む前にSICR1レジスタのRCVDビットを1(1バイトのデータ受信後、受信動作が終了)にしてください。これにより、[最終フレーム]の受信クロックを出力した後、停止します。その後、SIERレジスタのRE_STIEビットを0(受信禁止)に、RCVDビットを0(1バイトのデータ受信後も受信動作を継続)にしてから、最後に受信したデータをSIRDRレジスタから読んでください。RE_STIEビットが1(受信許可)の状態ではSIRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが1の状態では8クロック目が立ち上がると、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER_ALビットが1の状態では受信できません。受信再開の前には、ORER_ALビットが0であることを確認してください。オーバランエラーが発生した場合、エラーが発生したフレームで受信していたデータは破棄されます。

図21.10にデータ受信のフローチャート例(MST=1)(クロック同期式通信モード)を示します。

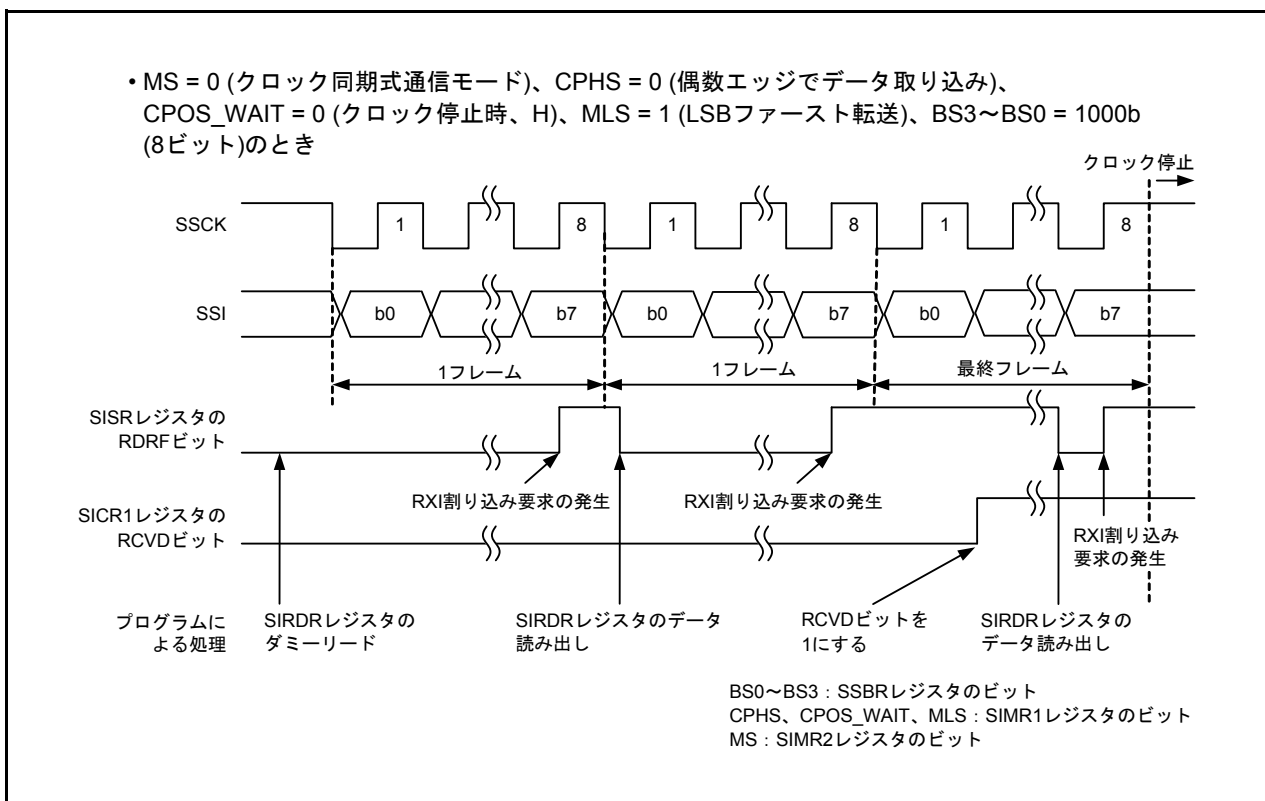


図21.9 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

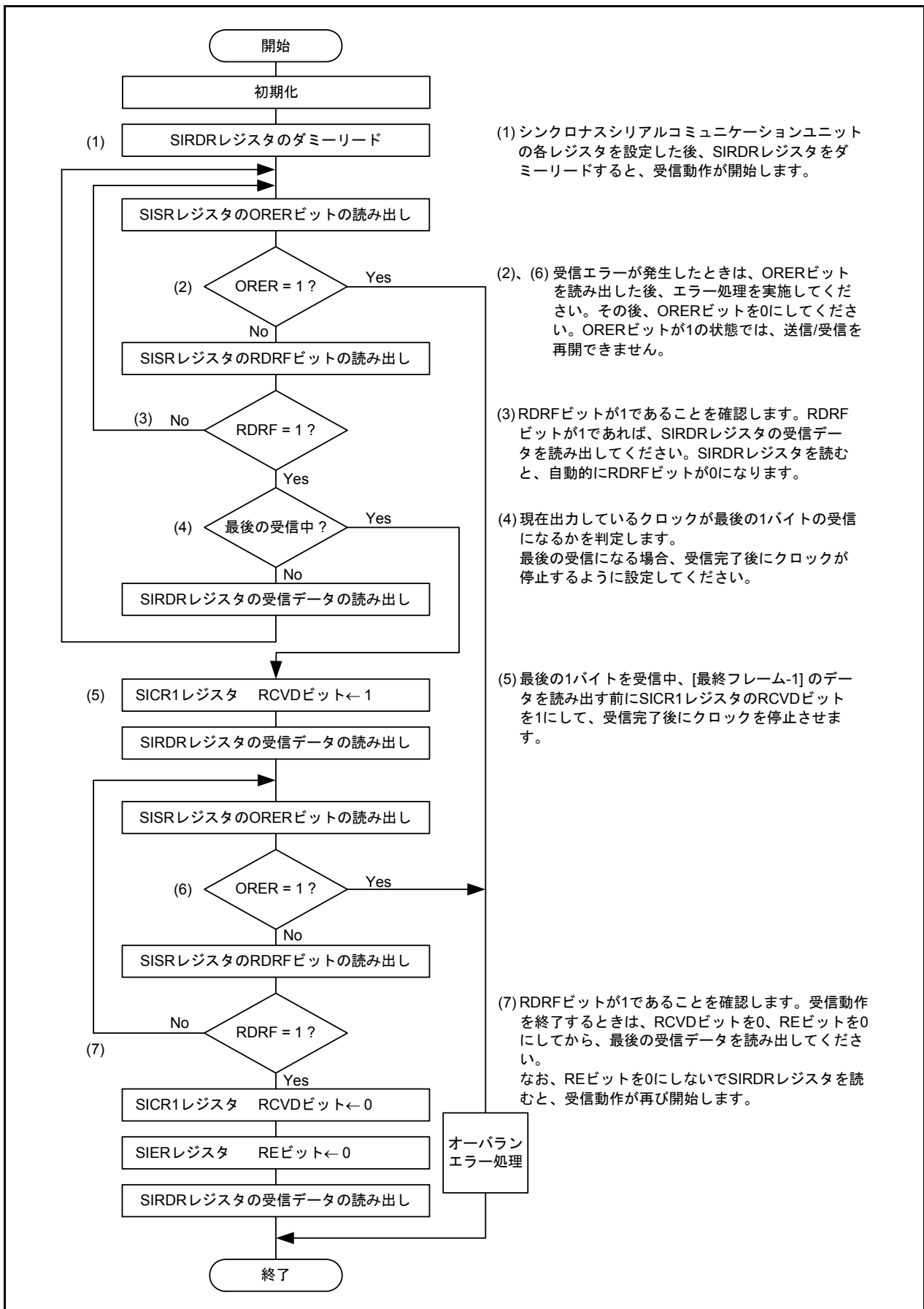


図21.10 データ受信のフローチャート例(MST = 1) (クロック同期式通信モード)

21.3.2.4 データ送受信

図21.11にデータ送受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SITDRレジスタに送信データを書くと、送受信は開始されます。また、SISRレジスタのTDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)の状態で最終転送クロック(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)が立ち上がった場合、またはSISRレジスタのORER_ALビットが1(オーバランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE_NAKIE = 1)あるいは受信モード(RE_STIE = 1)から、送受信モード(TE_NAKIE = RE_STIE = 1)に切り替える場合は、一度SIERレジスタのTE_NAKIEビットを0、RE_STIEビットを0にしてから変更してください。また、SISRレジスタのTENDビットが0(送信データの最後尾ビットの送信時、TDREビットが0)、SISRレジスタのRDRFビットが0(SIRDRレジスタにデータなし)、SISRレジスタのORER_ALビットが0(オーバランエラーなし)であることを確認した後、TE_NAKIEおよびRE_STIEビットを1にしてください。

図21.12にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE_NAKIE = RE_STIE = 1)から送受信モードを解除する場合、SIRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- RE_STIEビットを0にして、その後、TE_NAKIEビットを0にする
- TE_NAKIEビットとRE_STIEビットを同時に0にする

その後、受信モード(TE_NAKIE = 0、RE_STIE = 1)にする場合は、SIRSTビットに1を書いた後、0にしてSSU制御部およびSISDRレジスタを初期化してから、RE_STIEビットを1にしてください。

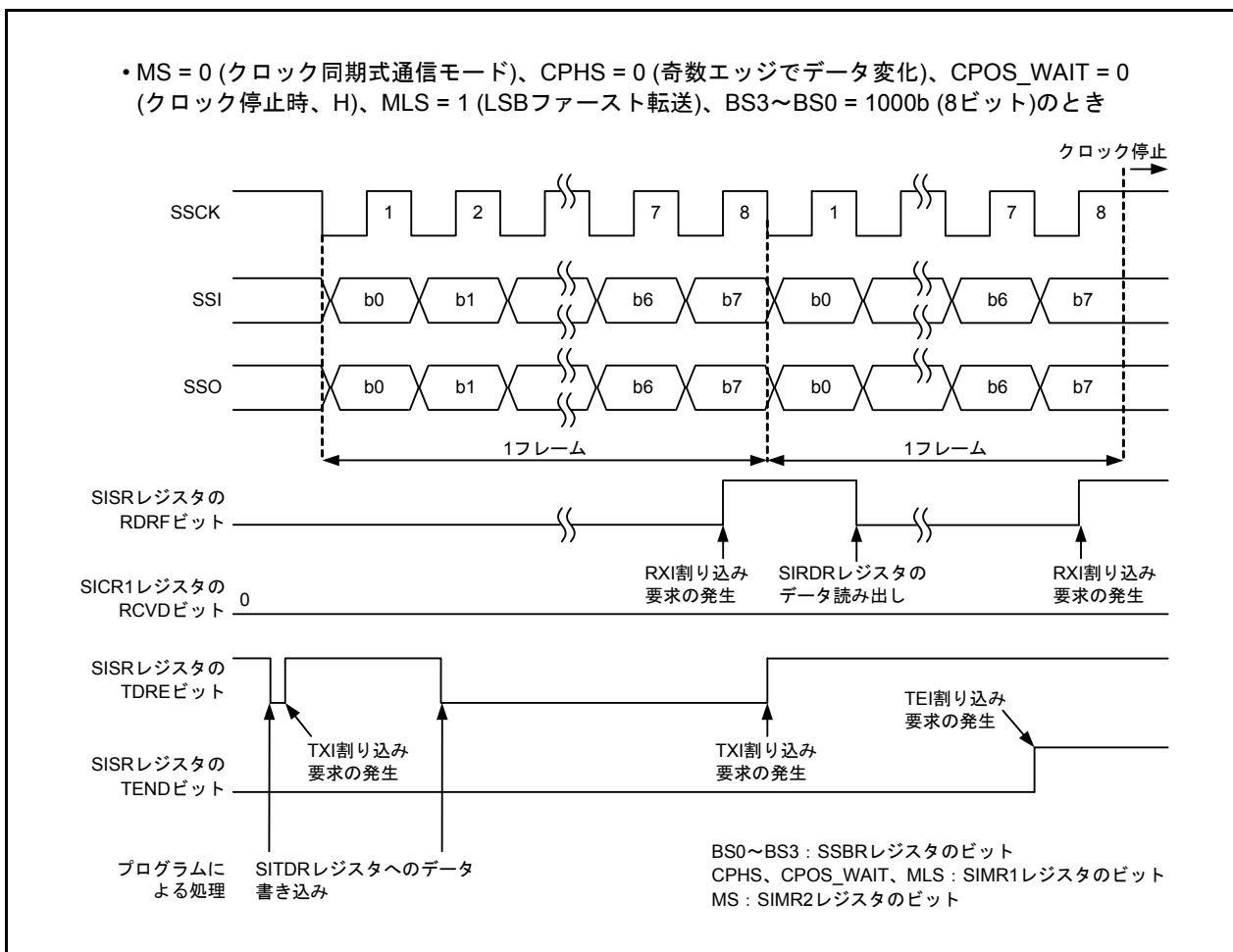


図21.11 データ送受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

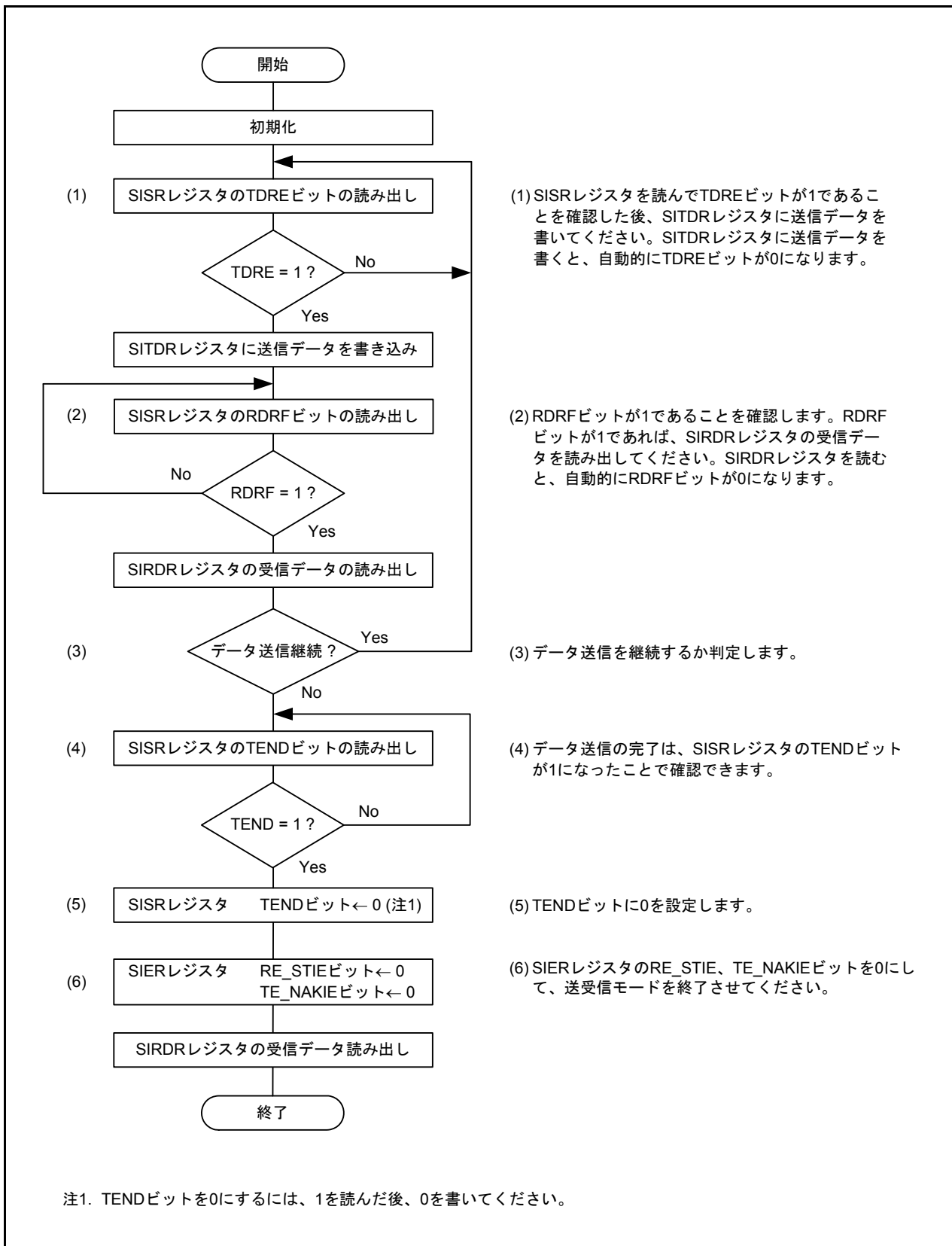


図21.12 データ送受信のフローチャート例(クロック同期式通信モード)

21.3.3 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、**SICR1** レジスタの **MST** ビットおよび **SIMR2** レジスタの **BIDE** ビットの設定により、変わります。詳細は「21.3.1.3 データ入出力端子と **SS** シフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータのことを **SIMR1** レジスタの **CPOS_WAIT** ビットおよび **CPHS** ビットにより、設定できます。詳細は「21.3.1.2 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合は **SIMR2** レジスタの **CSS1** ビットを1にして **SCS** 端子を出力制御するか、あるいは **I/O** ポートを出力制御することができます。スレーブデバイスの場合は **SIMR2** レジスタの **CSS1**、**CSS0** ビットを01bにして **SCS** 端子を入力として機能させます。

4線式バス通信モードでは、標準的に **SIMR1** レジスタの **MLS** ビットを0にして、**MSB** ファーストで通信を行います。

21.3.3.1 4線式バス通信モードの初期化

図 21.13 に 4 線式バス通信モードの初期化を示します。データの送信/受信前に、SIER レジスタの TE_NAKIE ビットを 0 (送信禁止)、RE_STIE ビットを 0 (受信禁止) にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TE_NAKIE ビットを 0、RE_STIE ビットを 0 にしてから変更してください。

RE_STIE ビットを 0 にしても、RDRF、ORER_AL ビット、および SIRDR レジスタの内容は保持されます。

スレーブ受信動作後、マスタモードへ切り替えたときには転送開始条件を書き込んでいないのに SCS がアサートされることがあります。

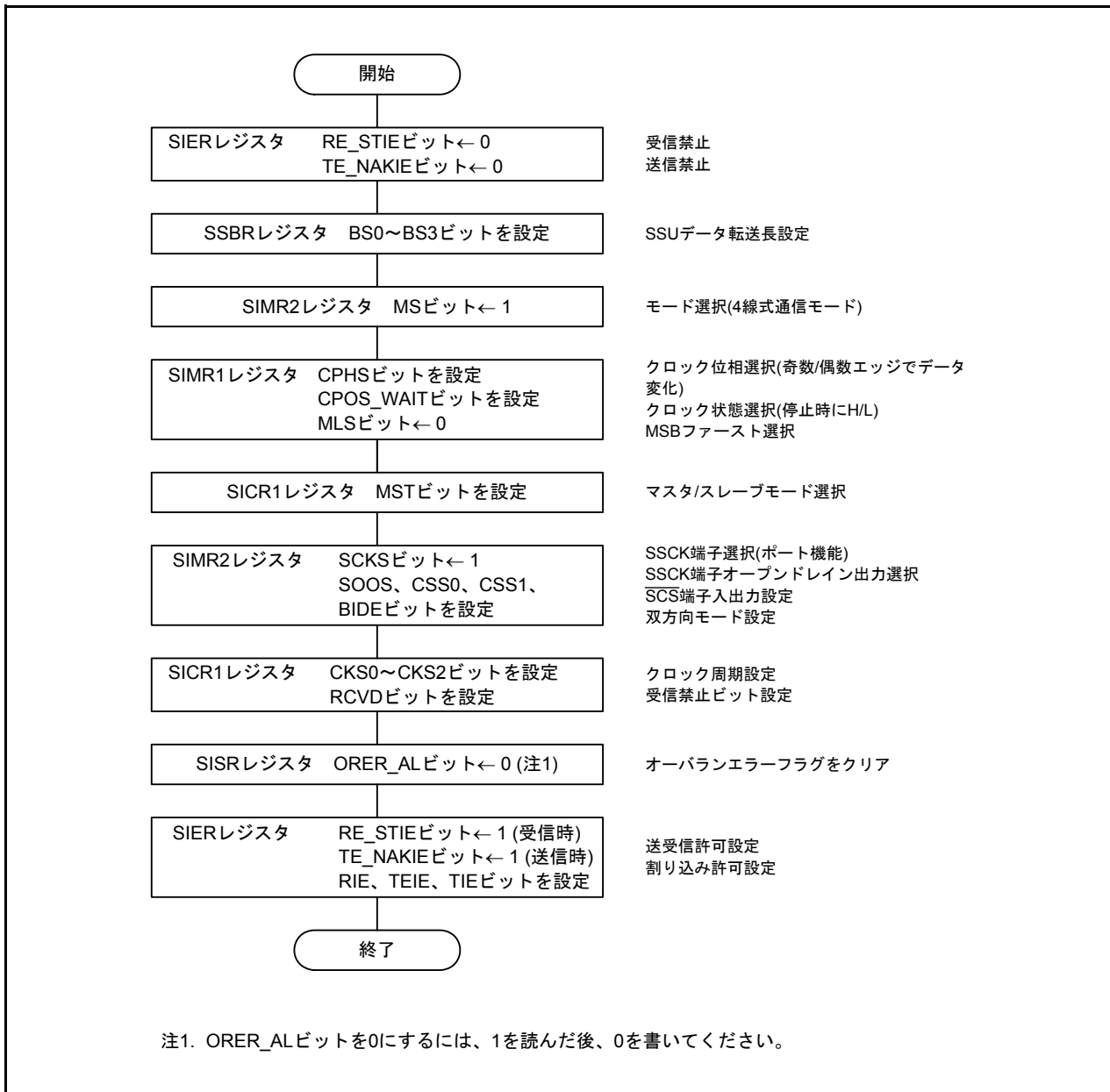


図 21.13 4線式バス通信モードの初期化

21.3.3.2 データ送信

図21.14にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子がL入力状態で入力クロックに同期してデータを出力します。

SISRレジスタのTE_NAKIEビットを1(送信許可)にした後、SITDRレジスタに送信データを書くと、自動的にSISRレジスタのTDREビットが0(SITDRレジスタからSISDRレジスタにデータ転送されていない)になり、SITDRレジスタからSISDRレジスタにデータが転送されます。その後、TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、送信を開始します。このとき、SIERレジスタのTIEビットが1の場合、TXI割り込み要求を発生します。

TDREビットが0の状態では1フレームの転送が終わると、SITDRレジスタからSISDRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが1の状態では8ビット目が送出されると、SISRレジスタのTENDビットが1(送信データの最後尾ビットの送信時、TDREビットが1)になり、その状態を保持します。このときSIERレジスタのTEIEビットが1(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子はHに固定され、SCS端子はHになります。SCS端子がLのまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSITDRレジスタに書いてください。

なお、SISRレジスタのORER_ALビットが1(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER_ALビットが0であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時にSCS端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時にSCS端子がH入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図21.8 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

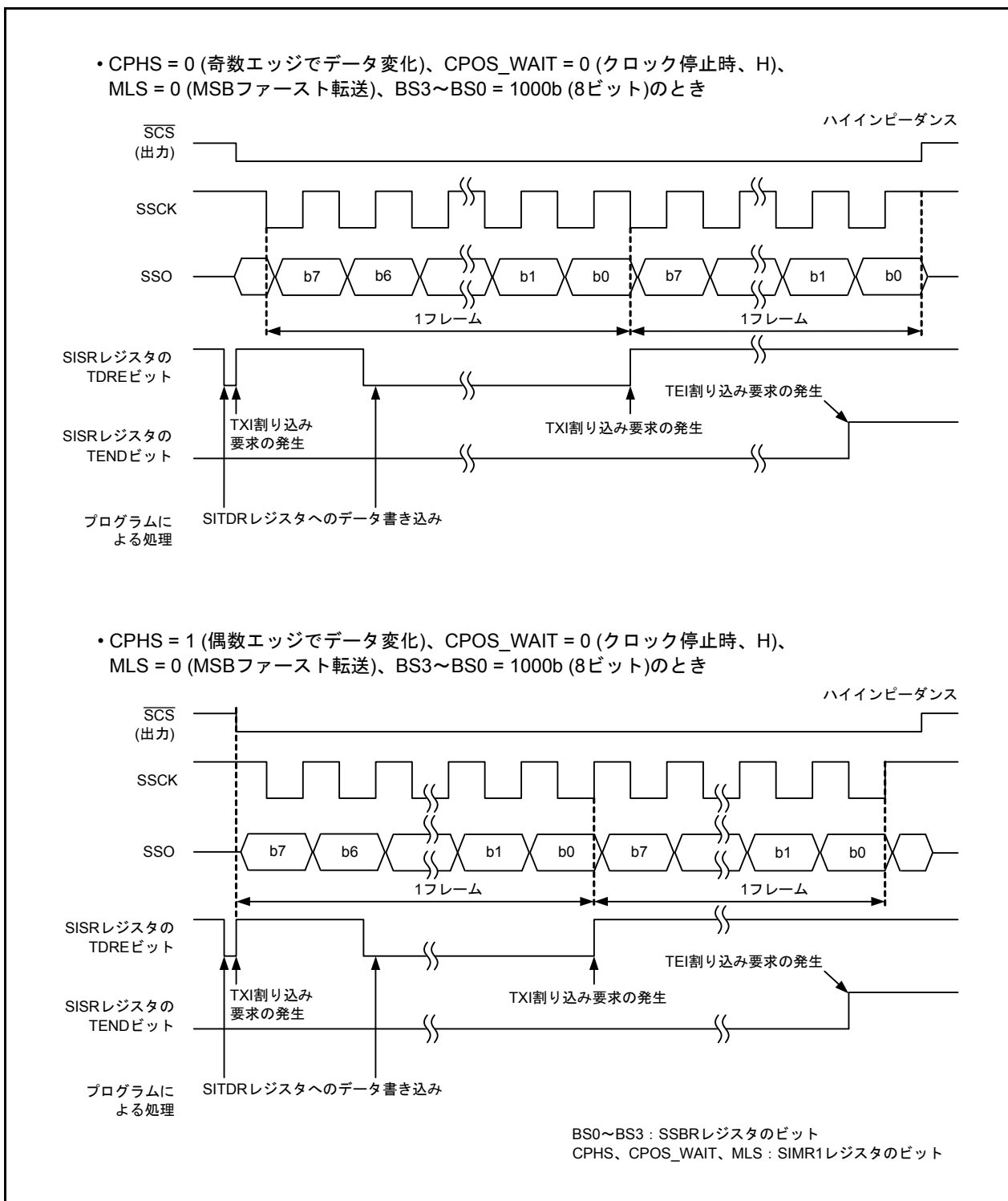


図21.14 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

21.3.3.3 データ受信

図21.15にデータ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8~16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS端子がL入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSIRD Rレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SISRレジスタのRDRFビットが1(SIRD Rレジスタにデータあり)になり、SIRD Rレジスタに受信データが格納されます。このとき、SIERレジスタのRIEビットが1(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SIRD Rレジスタを読むと、自動的にRDRFビットは0(SIRD Rレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、[最終フレーム-1]の受信データを読む前にSICR1レジスタのRCVDビットを1(1バイトのデータ受信後、受信動作が終了)にしてください。これにより、[最終フレーム]の受信クロックを出力し停止します。その後、SIERレジスタのRE_STIEビットを0(受信禁止)に、RCVDビットを0(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。SIERレジスタのRE_STIEビットが1(受信許可)状態でSIRD Rレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが1の状態では8クロック目が立ち上がると、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER_ALビットが1の状態では受信できません、受信再開の前には、ORER_ALビットが0であることを確認してください。

RDRFビット、ORER_ALビットが1になるタイミングは、SIMR1レジスタのCPHSビットの設定により異なります。このタイミングを図21.15に示します。CPHSビットを1(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが1になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図21.10 データ受信のフローチャート例(MST=1)(クロック同期式通信モード)」参照)。

オーバランエラー発生時の注意

オーバランエラー発生後、以下の手順に従ってオーバランエラー状態を解除してください。

- (1) 転送動作終了(モジュールセレクトのネゲートを確認)→スレーブモード時はコンフリクトエラーが発生)
- (2) 最後に受信した(オーバランエラー発生前の)受信データを読む
- (3) オーバランエラーフラグをクリア(スレーブモード時はコンフリクトエラーもクリア)

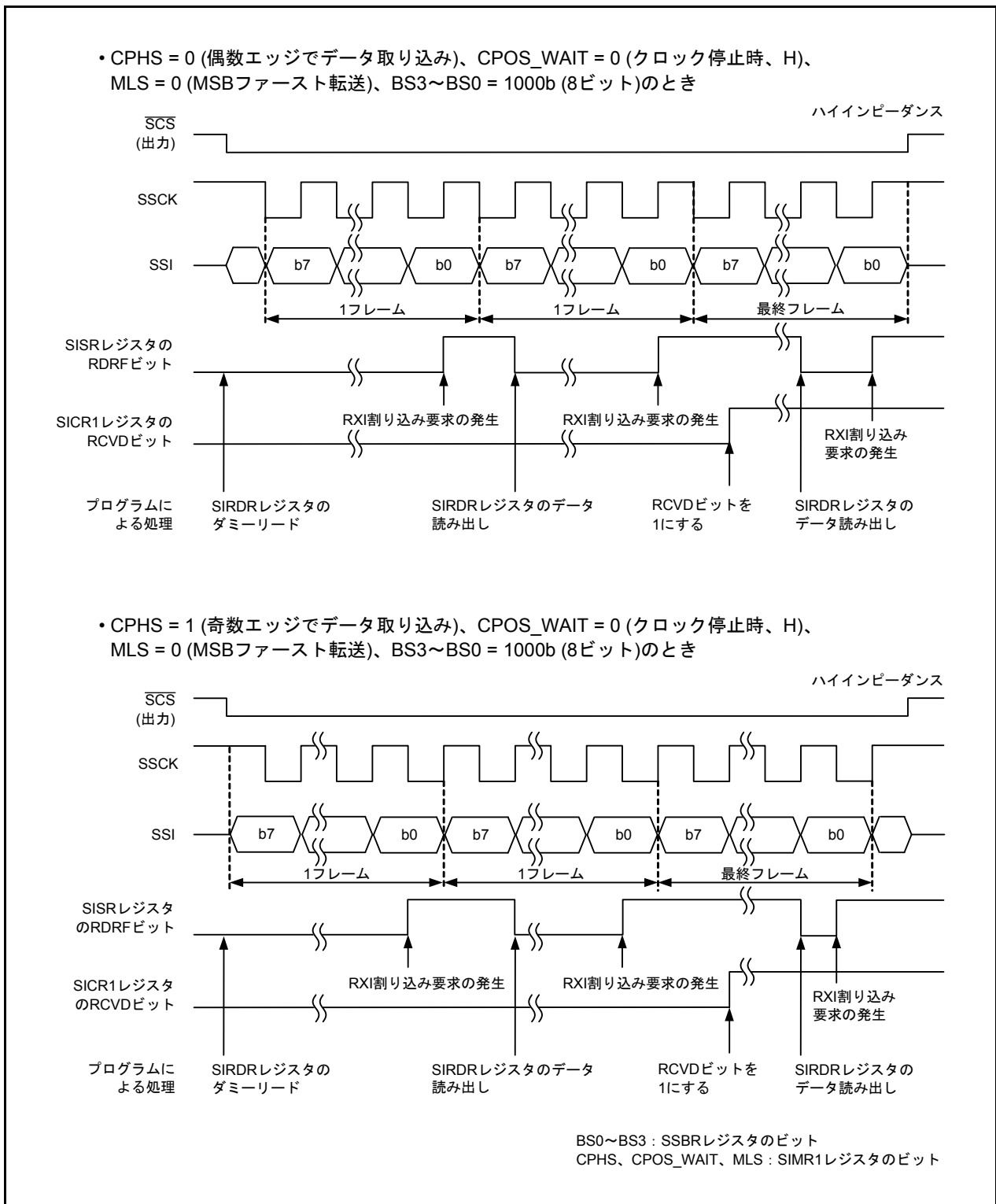


図21.15 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

21.3.3.4 $\overline{\text{SCS}}$ 端子制御とアービトレーション

SIMR2レジスタのMSビットを1(4線式バス通信モード)、CSS1ビットを1($\overline{\text{SCS}}$ 出力端子として機能)にした場合には、SICR1レジスタのMSTビットを1(マスタモード)にしてからシリアル転送を開始する前に、 $\overline{\text{SCS}}$ 端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号がLになったことを検出すると、SISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になり、自動的にMSTビットが0(スレーブモード)になります。

図21.16にアービトレーションチェックタイミングを示します。

なお、SISRレジスタのCE_ADZビットが1の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CE_ADZビットを0(コンフリクトエラーなし)にしてください。

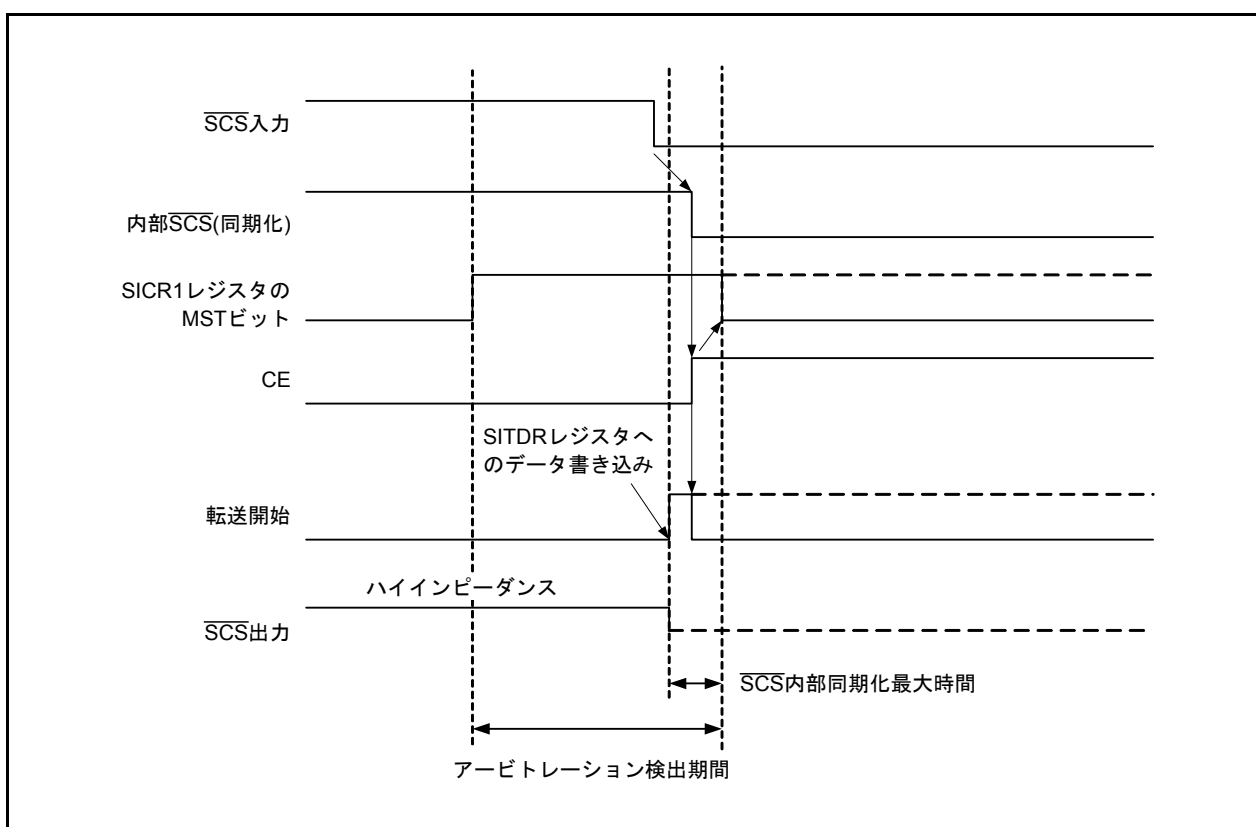


図21.16 アービトレーションチェックタイミング

21.4 I²Cバスインタフェースの動作説明

21.4.1 I²Cバスインタフェースモード、クロック同期式シリアルモードにかかわる共通事項

21.4.1.1 転送クロック

SICR1レジスタのMSTビットが0のとき、転送クロックはSCL端子から入力される外部クロックです。

MSTビットが1のとき、転送クロックはSICR1レジスタのCKS0～CKS3ビットおよびIICCRレジスタのIICTCTWIビット、IICTCHALFビットで選択された内部クロックになり、SCL端子から出力されます。表21.9、表21.10に転送レート例を示します。

表21.9 転送レート例(1)

IICCRレジスタ		SICR1レジスタ				転送 クロック	転送レート				
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5 MHz	f1 = 8 MHz	f1 = 10 MHz	f1 = 16 MHz	f1 = 20 MHz
0	0	0	0	0	0	f1/28	179 kHz	286 kHz	357 kHz	571 kHz	714 kHz
					1	f1/40	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
			1	0	0	f1/48	104 kHz	167 kHz	208 kHz	333 kHz	417 kHz
					1	f1/64	78.1 kHz	125 kHz	156 kHz	250 kHz	313 kHz
			1	0	0	f1/80	62.5 kHz	100 kHz	125 kHz	200 kHz	250 kHz
					1	f1/100	50.0 kHz	80.0 kHz	100 kHz	160 kHz	200 kHz
		1		0	f1/112	44.6 kHz	71.4 kHz	89.3 kHz	143 kHz	179 kHz	
				1	f1/128	39.1 kHz	62.5 kHz	78.1 kHz	125 kHz	156 kHz	
		1	0	0	0	f1/56	89.3 kHz	143 kHz	179 kHz	286 kHz	357 kHz
					1	f1/80	62.5 kHz	100 kHz	125 kHz	200 kHz	250 kHz
				1	0	f1/96	52.1 kHz	83.3 kHz	104 kHz	167 kHz	208 kHz
					1	f1/128	39.1 kHz	62.5 kHz	78.1 kHz	125 kHz	156 kHz
			1	0	0	f1/160	31.3 kHz	50.0 kHz	62.5 kHz	100 kHz	125 kHz
					1	f1/200	25.0 kHz	40.0 kHz	50.0 kHz	80.0 kHz	100 kHz
				1	0	f1/224	22.3 kHz	35.7 kHz	44.6 kHz	71.4 kHz	89.3 kHz
					1	f1/256	19.5 kHz	31.3 kHz	39.1 kHz	62.5 kHz	78.1 kHz

表21.10 転送レート例(2)

IICCRレジスタ		SICR1レジスタ				転送 クロック	転送レート					
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5 MHz	f1 = 8 MHz	f1 = 10 MHz	f1 = 16 MHz	f1 = 20 MHz	
0	1	0	0	0	0	f1/28	358 kHz	572 kHz	714 kHz	1142 kHz	1428 kHz	
					1	f1/40	250 kHz	400 kHz	500 kHz	800 kHz	1000 kHz	
				1	0	0	f1/48	208 kHz	334 kHz	416 kHz	666 kHz	834 kHz
						1	f1/64	156 kHz	250 kHz	312 kHz	500 kHz	626 kHz
					1	0	f1/80	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
						1	f1/100	100 kHz	160 kHz	200 kHz	320 kHz	400 kHz
		1	0	0	0	f1/112	89 kHz	143 kHz	179 kHz	286 kHz	358 kHz	
					1	f1/128	78 kHz	125 kHz	156 kHz	250 kHz	312 kHz	
			1	0	0	0	f1/56	179 kHz	286 kHz	358 kHz	572 kHz	714 kHz
						1	f1/80	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
					1	0	f1/96	104 kHz	167 kHz	208 kHz	334 kHz	416 kHz
						1	f1/128	78 kHz	125 kHz	156 kHz	250 kHz	312 kHz
				1	0	0	f1/160	63 kHz	100 kHz	125 kHz	200 kHz	250 kHz
						1	f1/200	50 kHz	80 kHz	100 kHz	160 kHz	200 kHz
					1	0	f1/224	45 kHz	71 kHz	89 kHz	143 kHz	179 kHz
						1	f1/256	39 kHz	63 kHz	78 kHz	125 kHz	156 kHz
1	0	0	0	0	0	f1/28	90 kHz	143 kHz	179 kHz	286 kHz	357 kHz	
					1	f1/40	63 kHz	100 kHz	125 kHz	200 kHz	250 kHz	
				1	0	0	f1/48	52 kHz	84 kHz	104 kHz	167 kHz	209 kHz
						1	f1/64	39 kHz	63 kHz	78 kHz	125 kHz	157 kHz
					1	0	f1/80	31 kHz	50 kHz	63 kHz	100 kHz	125 kHz
						1	f1/100	25 kHz	40 kHz	50 kHz	80 kHz	100 kHz
		1	0	0	0	f1/112	22 kHz	36 kHz	45 kHz	72 kHz	90 kHz	
					1	f1/128	20 kHz	31 kHz	39 kHz	63 kHz	78 kHz	
			1	0	0	0	f1/56	45 kHz	72 kHz	90 kHz	143 kHz	179 kHz
						1	f1/80	31 kHz	50 kHz	63 kHz	100 kHz	125 kHz
					1	0	f1/96	26 kHz	42 kHz	52 kHz	84 kHz	104 kHz
						1	f1/128	20 kHz	31 kHz	39 kHz	63 kHz	78 kHz
				1	0	0	f1/160	16 kHz	25 kHz	31 kHz	50 kHz	63 kHz
						1	f1/200	13 kHz	20 kHz	25 kHz	40 kHz	50 kHz
					1	0	f1/224	11 kHz	18 kHz	22 kHz	36 kHz	45 kHz
						1	f1/256	10 kHz	16 kHz	20 kHz	31 kHz	39 kHz

21.4.1.2 SDA端子デジタル遅延選択

IICCRレジスタのSDADLY0、SDADLY1ビットで、SDA端子のデジタル遅延値を選択できます。図21.17にSDA端子のデジタル遅延の動作例を示します。

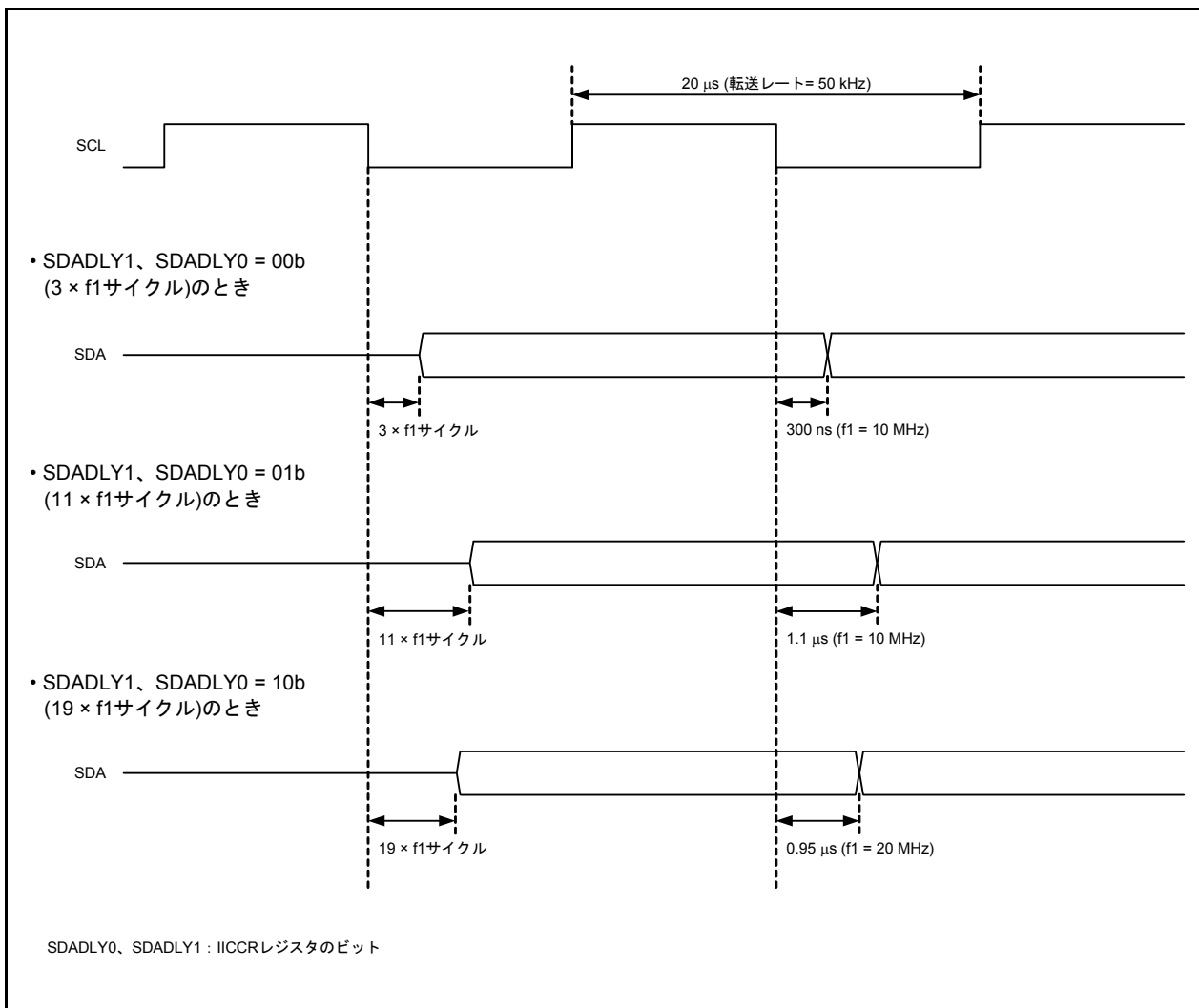


図21.17 SDA端子のデジタル遅延の動作例

21.4.1.3 割り込み要求

I²Cバスインタフェースの割り込み要求は、I²Cバスインタフェースモード時に6種類、クロック同期式シリアルモード時に4種類あります。表21.11にI²Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI²Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表21.11 I²Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I ² Cバス	クロック同期式シリアル
送信データエンプティ	TXI	TIE = 1かつTDRE = 1	有効	有効
送信終了	TEI	TEIE = 1かつTEND = 1	有効	有効
受信データフル	RXI	RIE = 1かつRDRF = 1	有効	有効
停止条件検出	STPI	RE_STIE = 1かつSTOP = 1	有効	無効
NACK検出	NAKI	TE_NAKIE = 1かつORER_AL = 1 (またはTE_NAKIE = 1かつNACKF = 1)	有効	無効
アービトラクションロスト			有効	無効
オーバランエラー			無効	有効

RE_STIE、TE_NAKIE、RIE、TEIE、TIE : SIERレジスタのビット

ORER_AL、STOP、NACKF、RDRF、TEND、TDRE : SISRレジスタのビット

表21.11の発生条件が満たされたとき、I²Cバスインタフェース割り込み要求が発生します。I²Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を0にしてください。

ただし、SISRレジスタのTDREビットおよびTENDビットはSITDRレジスタに送信データを書くことで、SISRレジスタのRDRFビットはSIRDRレジスタを読むことで、自動的に0になります。特にTDREビットはSITDRレジスタに送信データを書いたとき0になり、SITDRレジスタからSISDRレジスタにデータ転送されたときにTDREビットが1になり、さらにTDREビットを0にすると、余分に1バイト送信する場合があります。送信バッファにデータが保持されているため、トリガ(TDREビットが0)によってシフトレジスタにデータがシフトされるため、同じデータが再送されます。

また、SIERレジスタのRE_STIEビットを1(停止条件検出割り込み要求許可)にするのは、SISRレジスタのSTOPビットが0のときにしてください。

21.4.2 I²Cバスインタフェースモード

21.4.2.1 I²Cバスフォーマット

SIMR2レジスタのMSビットを0にすると、I²Cバスインタフェースモードで通信します。

図21.18にI²Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

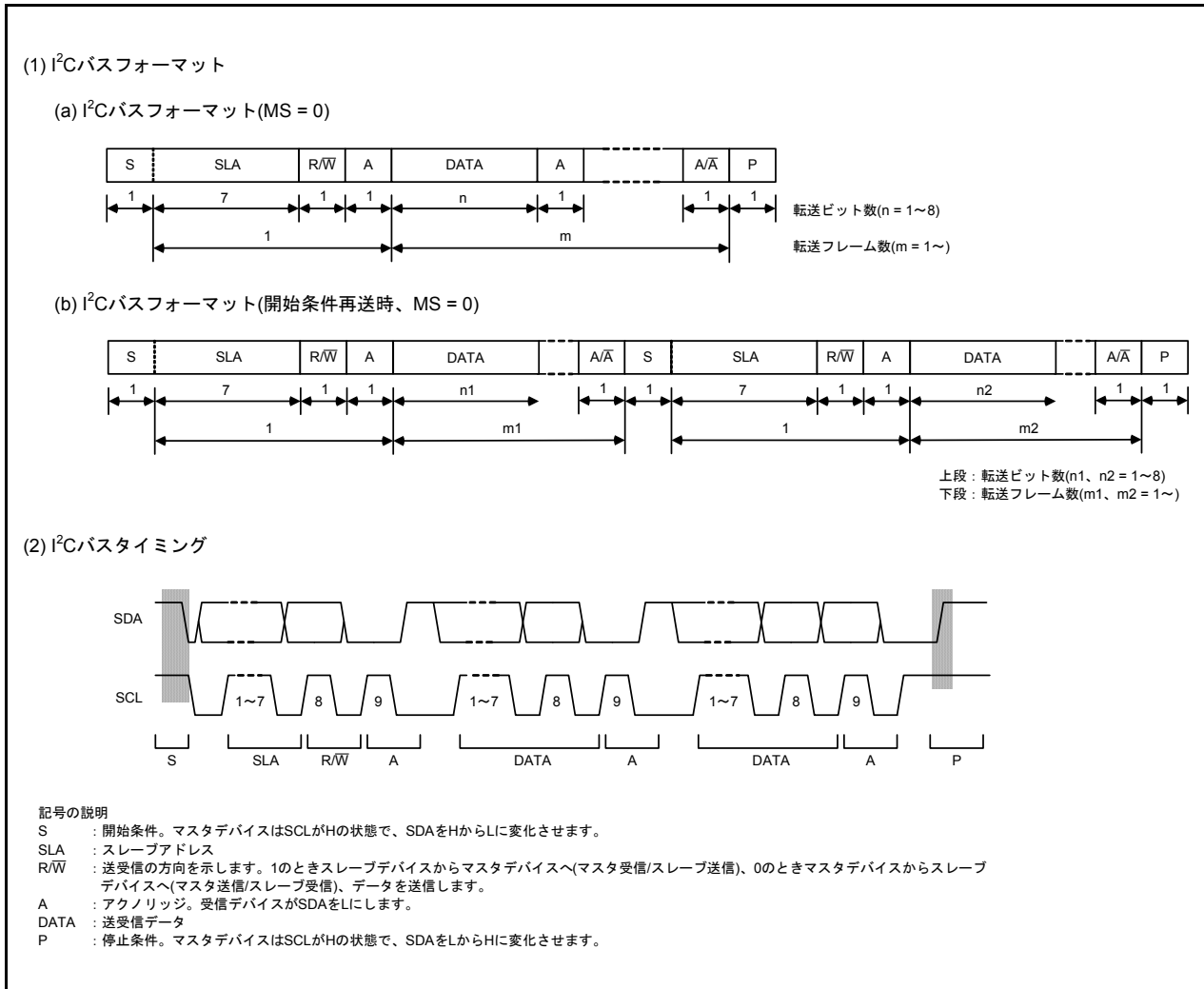


図21.18 I²Cバスフォーマットとバスタイミング

21.4.2.2 I²Cバススレーブアドレス指定

I²Cバスフォーマットにおいて、開始条件直後の最初の1バイトはスレーブアドレス指定となります。本モジュールがスレーブデバイスとして動作する場合、スレーブアドレスはSIMR2レジスタのSVA0~SVA6ビットでプログラム可能です。ただし、I²Cバスの規格で定められた「ゼネラルコールアドレス」と「スタートバイト」は例外となります。

- ゼネラルコールアドレス(0000_000_0)
すべてのデバイスがアドレス指定されるため、アクノリッジを返します。
- スタートバイト(0000_000_1)
すべてのデバイスはアクノリッジを返すことができません。

21.4.2.3 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図21.19、図21.20にマスタ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) **SISR** レジスタの**STOP**ビットを初期化するために**0**にしてください。その後、**SICR1** レジスタの**ICE**ビットを**1**(転送動作可能状態)にしてください。その後、**SIMR1** レジスタの**CPOS_WAIT**、**MLS**ビット、**SICR1** レジスタの**CKS0**～**CKS3**ビットなどを設定してください(初期設定)。
- (2) **SICR2** レジスタの**BBSY**ビットを読んで、バスが開放状態であることを確認後、**SICR1** レジスタの**TRS**、**MST**ビットをマスタ送信モードに設定してください。その後、**BBSY**ビット=**1**と**SCP**ビット=**0**を**MOV**命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) **SISR** レジスタの**TDRE**ビットが**1**であることを確認した後、**SITDR** レジスタに送信データ(1バイト目はスレーブアドレスと**R/W**を示すデータ)を書いてください。このとき**TDRE**ビットは自動的に**0**になり、**SITDR** レジスタから**SISDR** レジスタにデータが転送されて、再び**TDRE**ビットが**1**になります。
- (4) **TDRE**ビットが**1**の状態では1バイト送信が完了し、送信クロックの9クロック目の立ち上がりで**SISR** レジスタの**TEND**ビットが**1**になります。**SIER** レジスタの**ACKBR**ビットを読んで、スレーブデバイスが選択されたことを確認した後、2バイト目のデータを**SITDR** レジスタに書いてください。2バイト目以降の送信データは、**TRDE**ビットが**1**になるたびに、**SITDR** レジスタにデータを書いてください。**ACKBR**ビットが**1**のときはスレーブデバイスが認識されていないため、停止条件か反復開始条件を発行してください。停止条件の発行は、**BBSY**ビット=**0**と**SCP**ビット=**0**を**MOV**命令で書くことで行われます。反復開始条件の発行は、**BBSY**ビット=**1**と**SCP**ビット=**0**を**MOV**命令で書くことで行われます。反復開始条件発行完了後、**TEND**と**NACKF**をクリアしてください。なおデータの準備ができるまで、または停止条件か反復開始条件を発行するまでは**SCL**が**L**に固定されます。
- (5) 送信するバイト数を**SITDR** レジスタに書いたとき、その後は**TDRE**ビットが**1**の状態では**TEND**ビットが**1**になるまで待つてください。または、**SIER** レジスタの**ACKE**ビットが**1**(受信アクノリッジが**1**の場合、転送中止)の状態では、受信デバイスからの**NACK**(**SISR** レジスタの**NACKF**=**1**)を待つてください。その後、停止条件を発行して**TEND**ビット、あるいは**NACKF**ビットを**0**にしてください。
- (6) **SISR** レジスタの**STOP**ビットが**1**になったとき、スレーブ受信モードに戻してください。

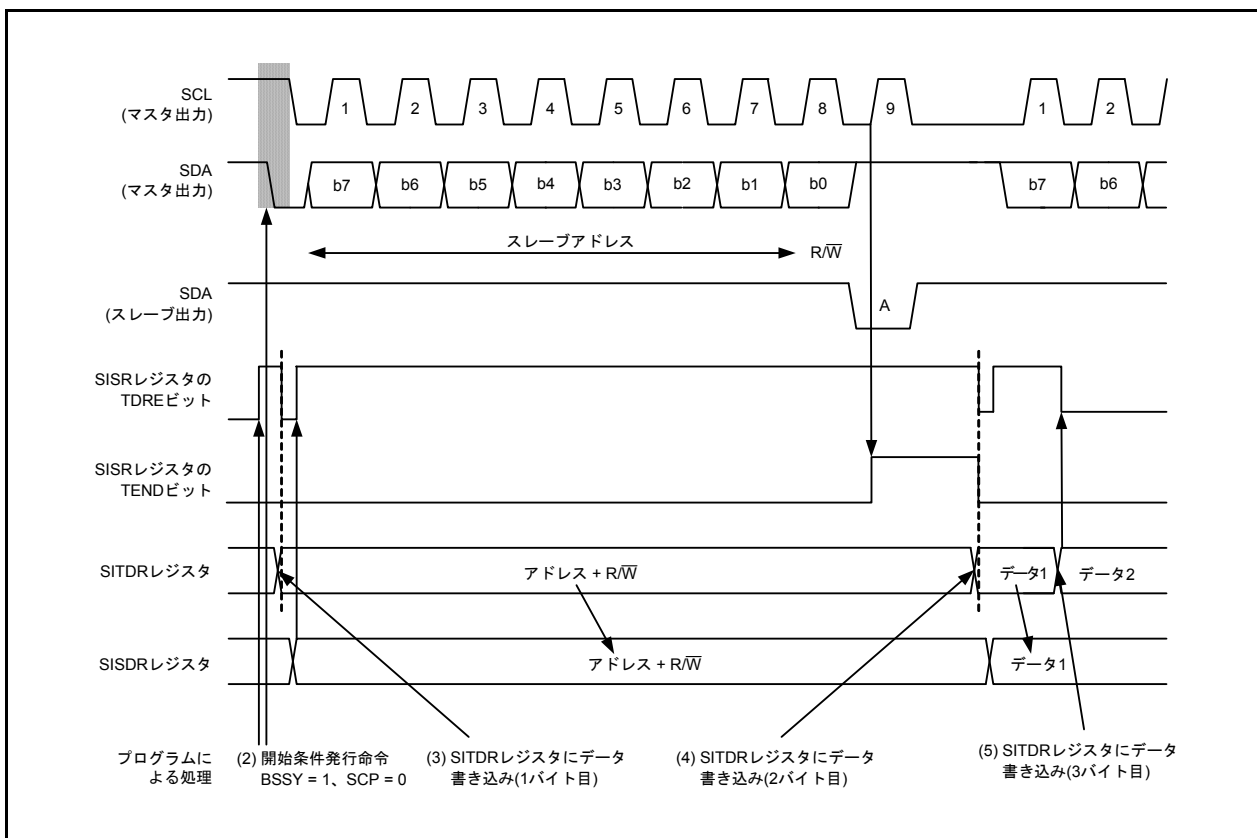


図21.19 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード) (1)

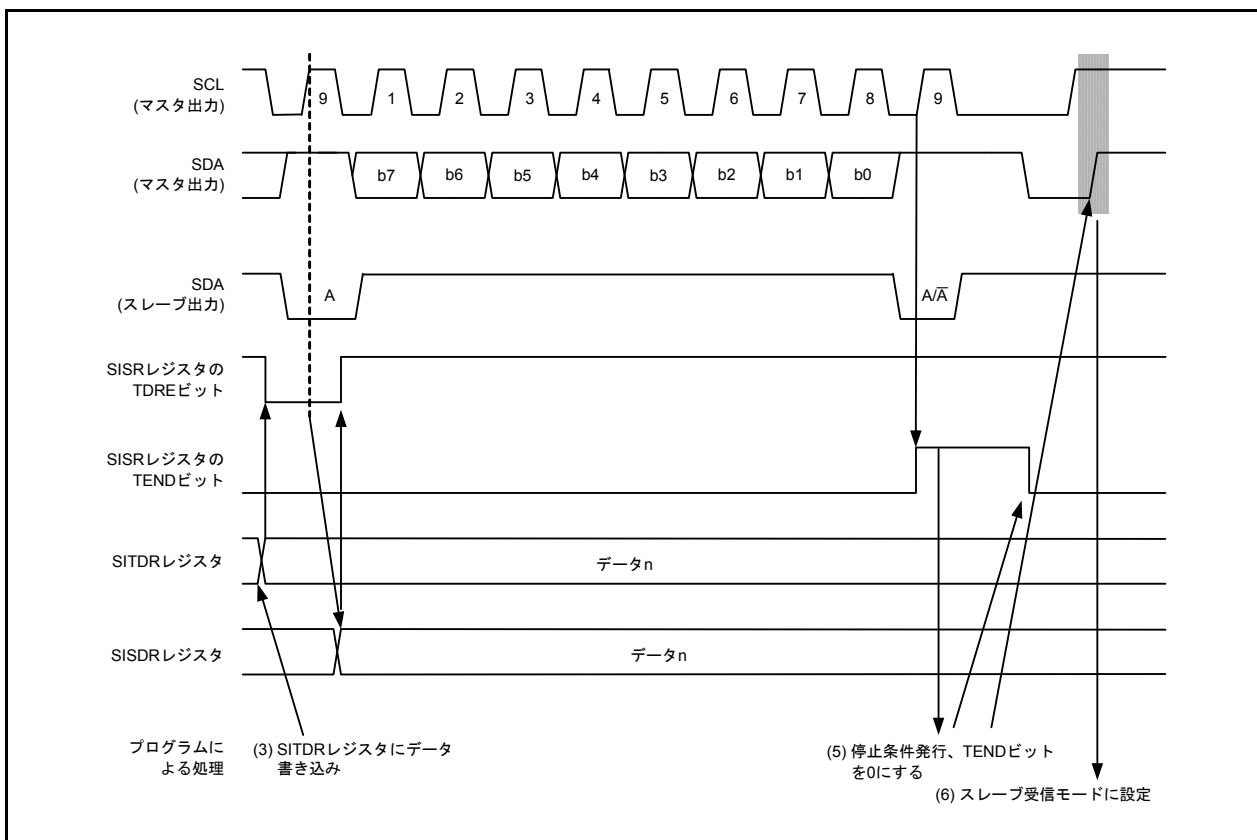


図21.20 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード) (2)

21.4.2.3.1 I²C マスタ送信モード時の反復開始条件発行フロー

NACKを受けた後、反復開始条件を発行する場合は以下の手順に従ってください。

- (1) NACKエラーを確認
- (2) 反復開始条件発行(SICR2レジスタのBBSYビット=1とSCPビット=1をMOV命令で書き込む)
- (3) SCLの立ち上がりを確認
- (4) SISRレジスタのTEND、NACKFビットをクリア

21.4.2.3.2 I²C マスタ送信動作時のスタート条件/ストップ条件を検知した場合の動作

I²Cマスタ送信動作時のスタート条件/ストップ条件を検知した場合の動作、ソフトウェアフローを示します。

- (1) アービトレーションロスト検知・スレーブ受信モード移行
- (2) SISRレジスタのTDRE、ORER_ALビットのクリア
- (3) SICR2レジスタのBBSYビットの確認
1の場合：スレーブアドレス受信へ移行
0の場合：ホスト/スレーブどちらでの動作も可能

21.4.2.4 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図21.21、図21.22にマスタ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) SISRレジスタのTENDビットを0にした後、SICR1レジスタのTRSビットを0にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、SISRレジスタのTDREビットを0にしてください。
- (2) SIRDRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、SIERレジスタのCEIE_ACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、SISRレジスタのRDRFビットが1になります。このとき、SIRDRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは0になります。
- (4) RDRFビットが1になるたびにSIRDRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが1になった状態で、SIRDRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、SIRDRレジスタを読むまでSCLがLに固定されます。このとき、停止条件か反復開始条件を発行することはできません。
- (5) 次の受信が最終フレームの場合、SIRDRレジスタを読む前にSICR1レジスタのRCVDビットを1(次の受信動作を禁止)に、CEIE_ACKBTビットを1にしてください。これにより次の受信後、スレーブデバイスにNACKを返し、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが1になったとき、停止条件を発行してください。
- (7) SISRレジスタのSTOPビットが1になったとき、SIRDRレジスタを読んでください。その後、RCVDビットを0(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

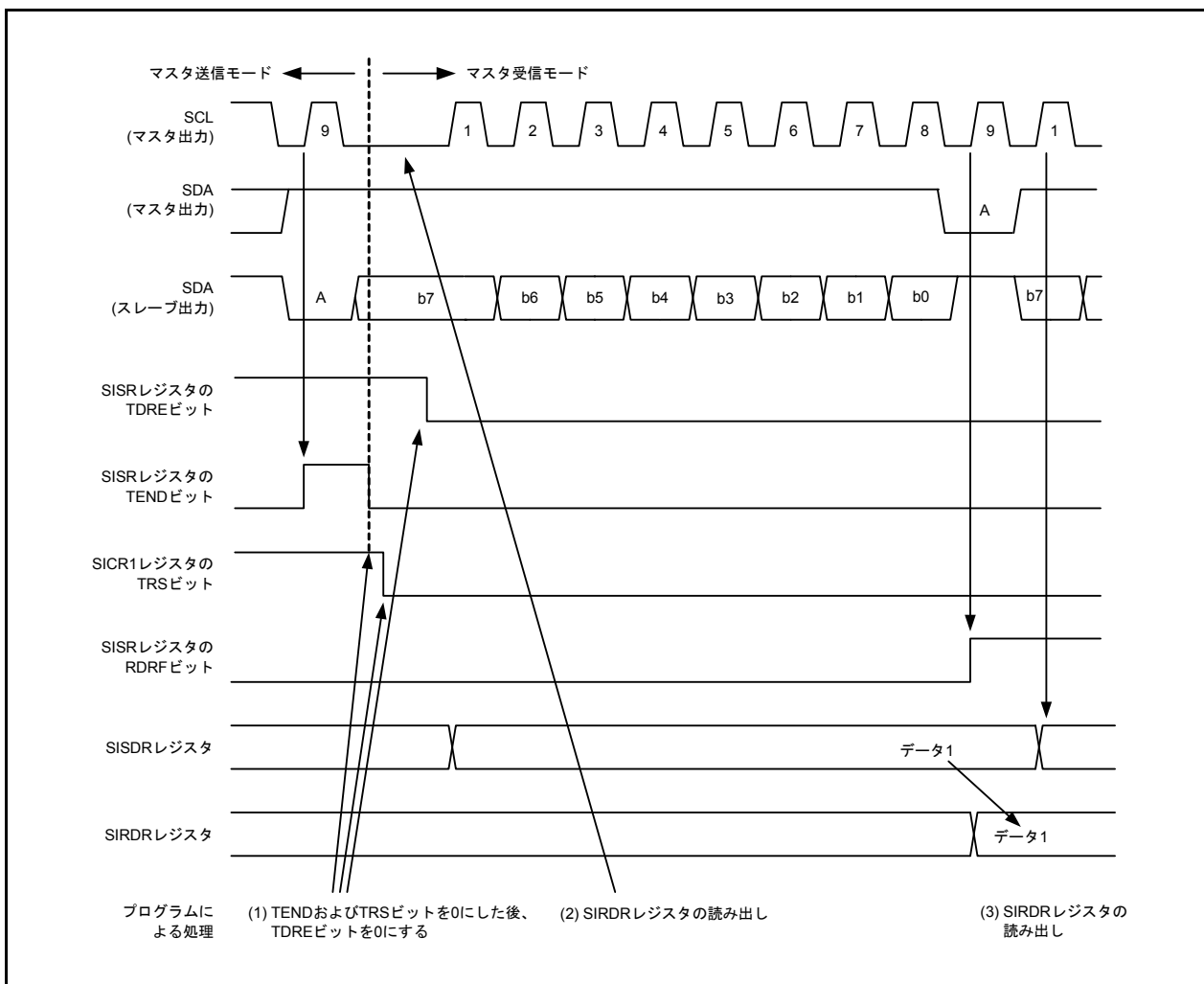
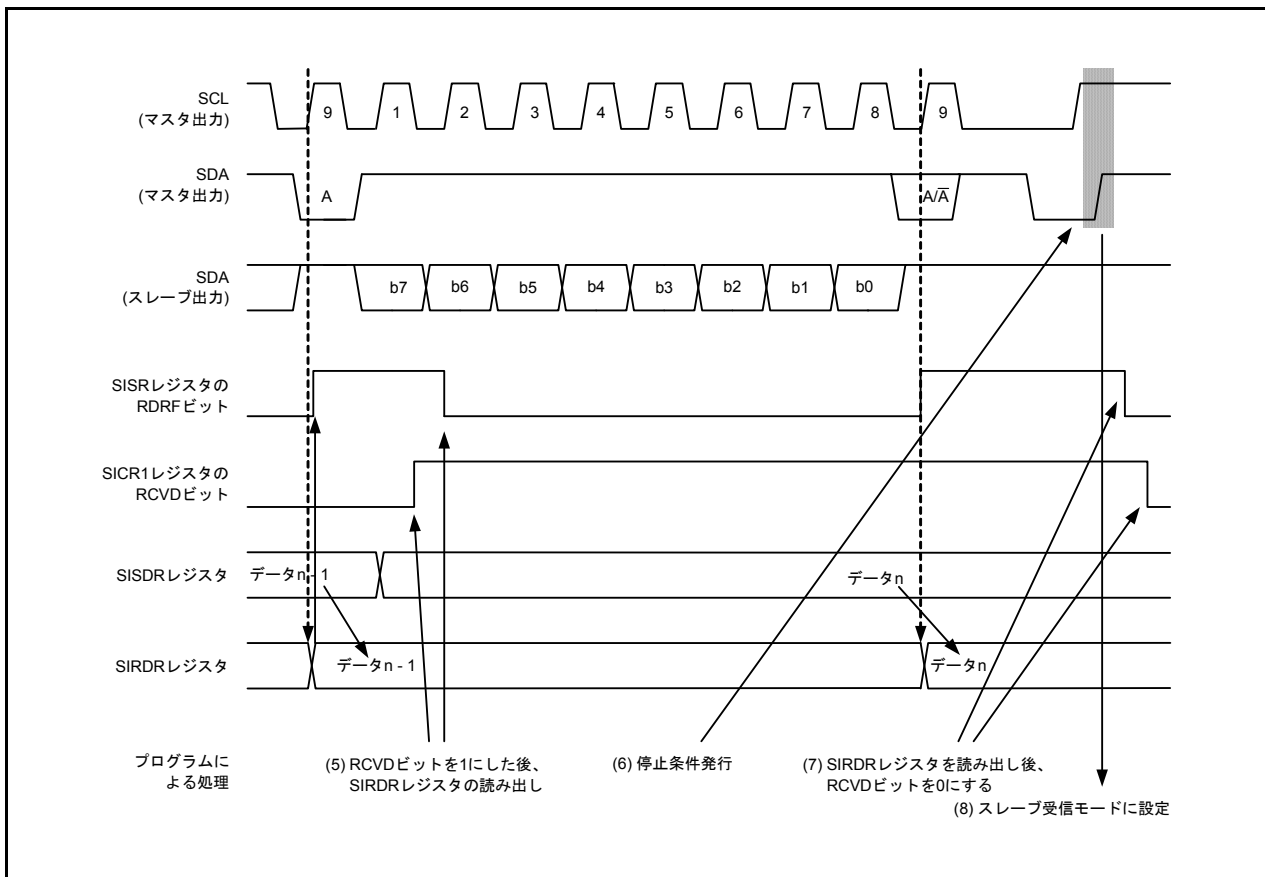


図21.21 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード) (1)

図21.22 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

21.4.2.4.1 I²C マスタ受信モード時の反復開始条件発行フロー

NACKを送信後、反復開始条件を発行する場合は以下の手順に従ってください。

- (1) 21.4.2.4の(5)までは停止条件を発行する際のフローと同じです。
- (2) 受信クロックの9クロック目の立ち上がりでSISRレジスタのRDRFビットが1になった後、反復開始条件を発行(SICR2レジスタのBBSYビット=1とSCPビット=0をMOV命令で書き込む)してください。
- (3) マスタ送信モードに設定後(注1)、SIRDRレジスタを読んでください。その後、SICR1レジスタのRCVDビットを0(次の受信動作を継続)にしてください。
- (4) SITDRレジスタにスレーブアドレスとR/Wを示すデータを書き込んでください。

注1. 反復開始条件を発行(BBSYビット=1とSCPビット=0をMOV命令で書き込む)後、転送クロックで2.5サイクル以降にSCLとSDAがLowに固定されますが、その前にマスタ送信モードを設定してください。

21.4.2.4.2 I²C マスタ受信動作時のストップ条件を検知した場合の動作

I²Cマスタ受信動作時のストップ条件を検知した場合の動作、ソフトウェアフローを示します。

- (1) ストップ条件検知、スレーブ受信モード移行
- (2) SICR2レジスタのBBSYビットが0であることの確認
- (3) SISRレジスタのSTOPビットのクリア
- (4) 制御部リセット

21.4.2.5 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 21.23、図 21.24 にスレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) SICR1 レジスタのICE ビットを1(転送動作可能状態)にしてください。その後、SIMR1 レジスタのCPOS_WAIT、MLS ビット、SICR1 レジスタのCKS0～CKS3 ビットなどを設定してください(初期設定)。次にSICR1 レジスタのTRS、MST ビットを0にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、8クロック目の立ち下がりから9クロック目の立ち下がりの間スレーブデバイスはSIER レジスタのCEIE_ACKBT ビットで設定したレベルをSDAに出力します。8ビット目のデータ(R/W)が1の場合、9クロック目の立ち上がりでTRS ビットおよびSISR レジスタのTDRE ビットが1になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが1になるたびにSITDR レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをSITDR レジスタに書いた後にTDRE ビットが1になったとき、TDRE ビットが1の状態でSISR レジスタのTEND ビットが1になるまで待ってください。TEND ビットが1になったら、TEND ビットを0にしてください。
- (4) 終了処理のためTRS ビットを0にし、SIRDR レジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDRE ビットを0にしてください。

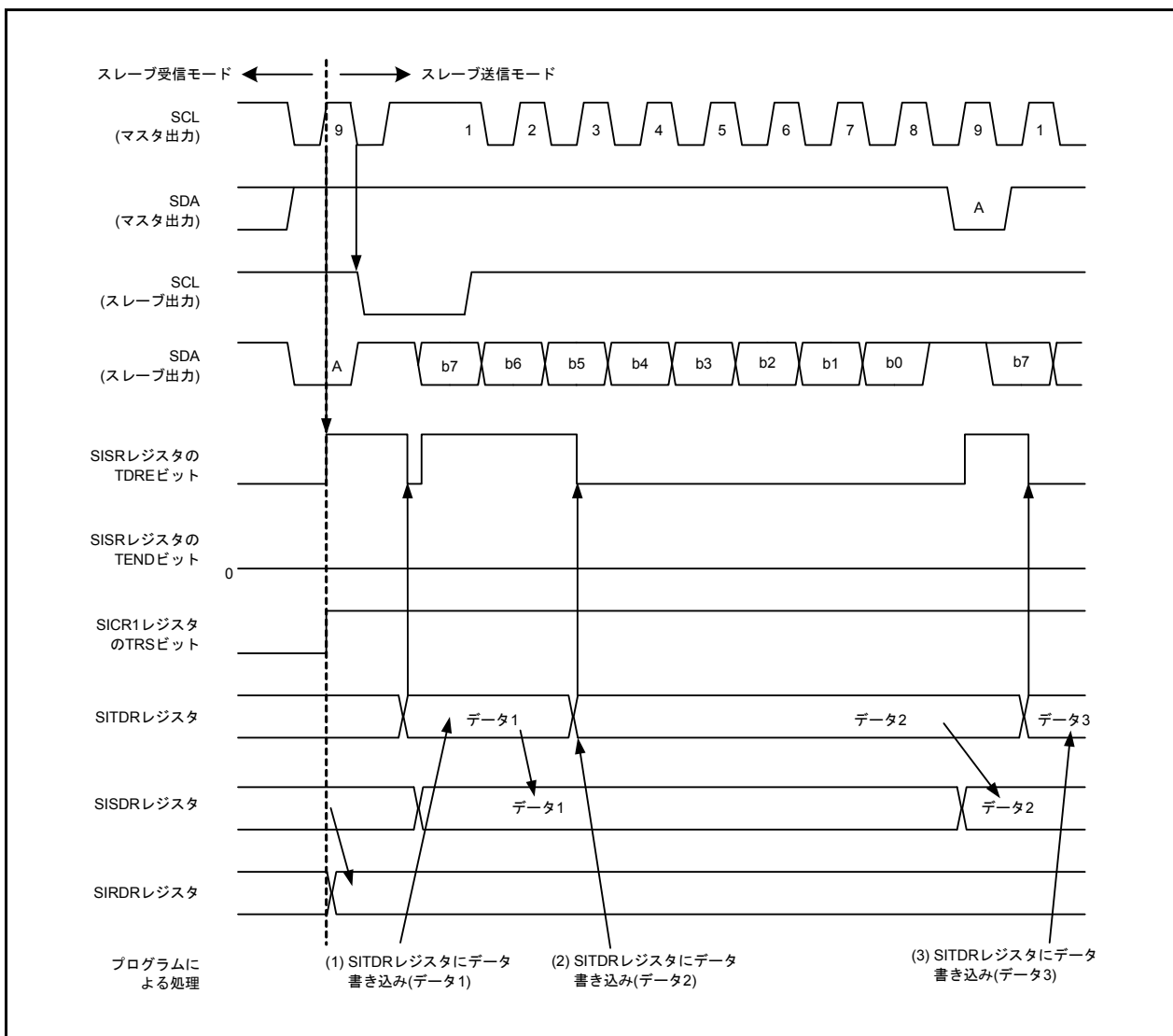


図21.23 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)

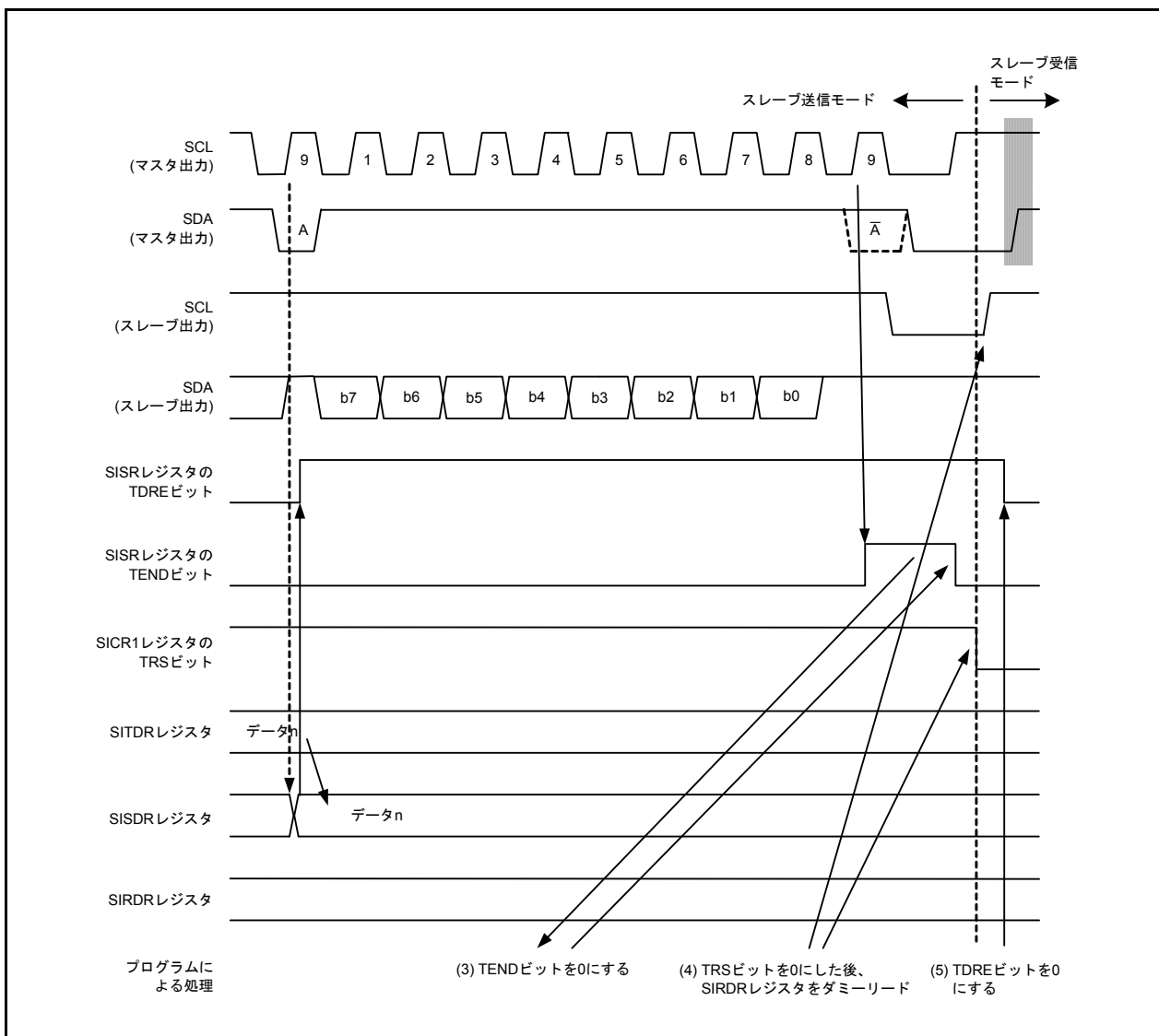


図21.24 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード) (2)

21.4.2.5.1 I²Cスレーブ送信動作時のデータセットアップ時間確保

データ転送途中、TDREビットが1およびTENDビットが1の状態が9クロック目が立ち下がった場合、送信データレジスタに送信データを書くまでSCLがLOWに固定されます。送信データ書き込み後、SDAへ送信データが出力されてから、CKS3ビットによるセットアップ時間を確保し、SCLを開放(立ち上がり)します(「図21.25 スレーブ送信動作時のデータセットアップ時間」参照)。

CKS3ビット 0 : 9、10T_{cyc}

1 : 17 ~ 20T_{cyc} (1T_{cyc} = 1/f_l (s))

IICCRレジスタのIICTCHALFビットに1を設定した場合、セットアップ時間が倍に、IICCRレジスタのIICTCTWIビットに1を設定した場合、セットアップ時間が半分になります。

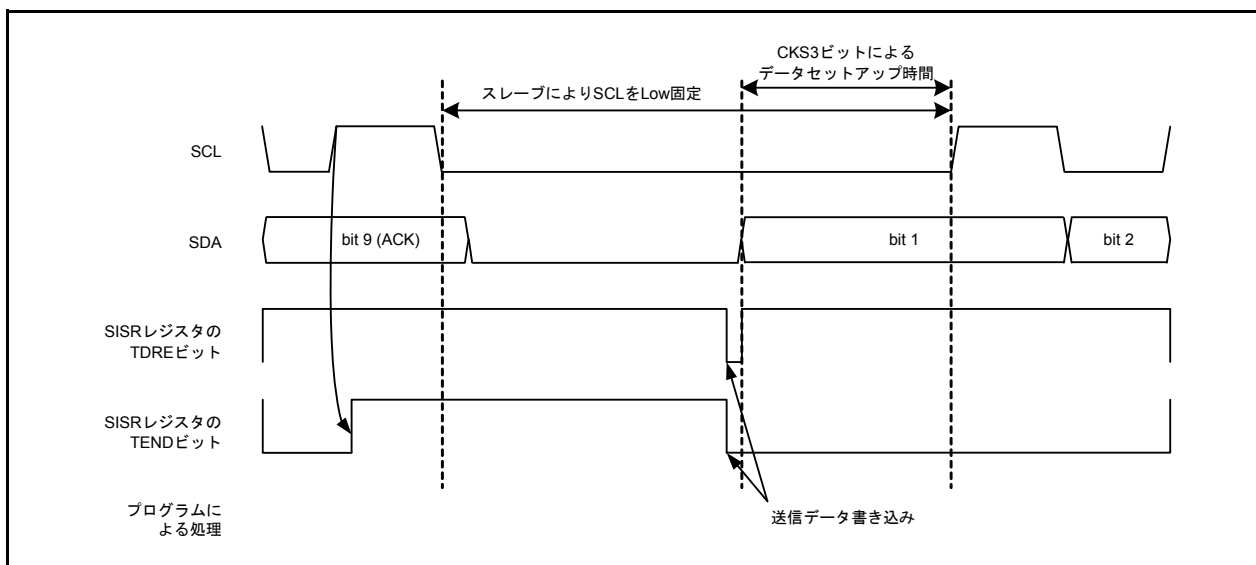


図21.25 スレーブ送信動作時のデータセットアップ時間

21.4.2.5.2 I²Cスレーブ送信動作時のストップ条件を検知した場合の動作(注1)

I²Cスレーブ送信動作時のストップ条件を検知した場合の動作、ソフトウェアフローを示します。

- (1) スレーブ受信モードを設定
- (2) TDREビットをソフトウェアクリア

注1. スレーブ送信動作中にスタート条件を検知した場合、その後続くアドレスの受信はできません。制御部をリセットし、再度スタート条件を入力してください。

21.4.2.6 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図21.26、図21.27にスレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SIMR1レジスタのCPOS_WAIT、MLSビット、SICR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にSICR1レジスタのTRS、MSTビットを0にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、8クロック目の立ち下がりから9クロック目の立ち下がりの間、スレーブデバイスはSIERレジスタのCEIE_ACKBTビットで設定したレベルをSDAに出力します。9クロック目の立ち上がりでSISRレジスタのRDRFビットが1になりますので、SIRDRレジスタをダミーリード(読み出したデータはスレーブアドレス+R/Wを示すので不要)してください。
- (3) RDRFビットが1になるたびに、SIRDRレジスタを読んでください。RDRFビットが1の状態では8クロック目が立ち下がると、SIRDRレジスタを読むまでSCLがLに固定されます。SIRDRレジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されます。
- (4) 最終バイトの読み出しも、同様にSIRDRレジスタを読むことで行います。

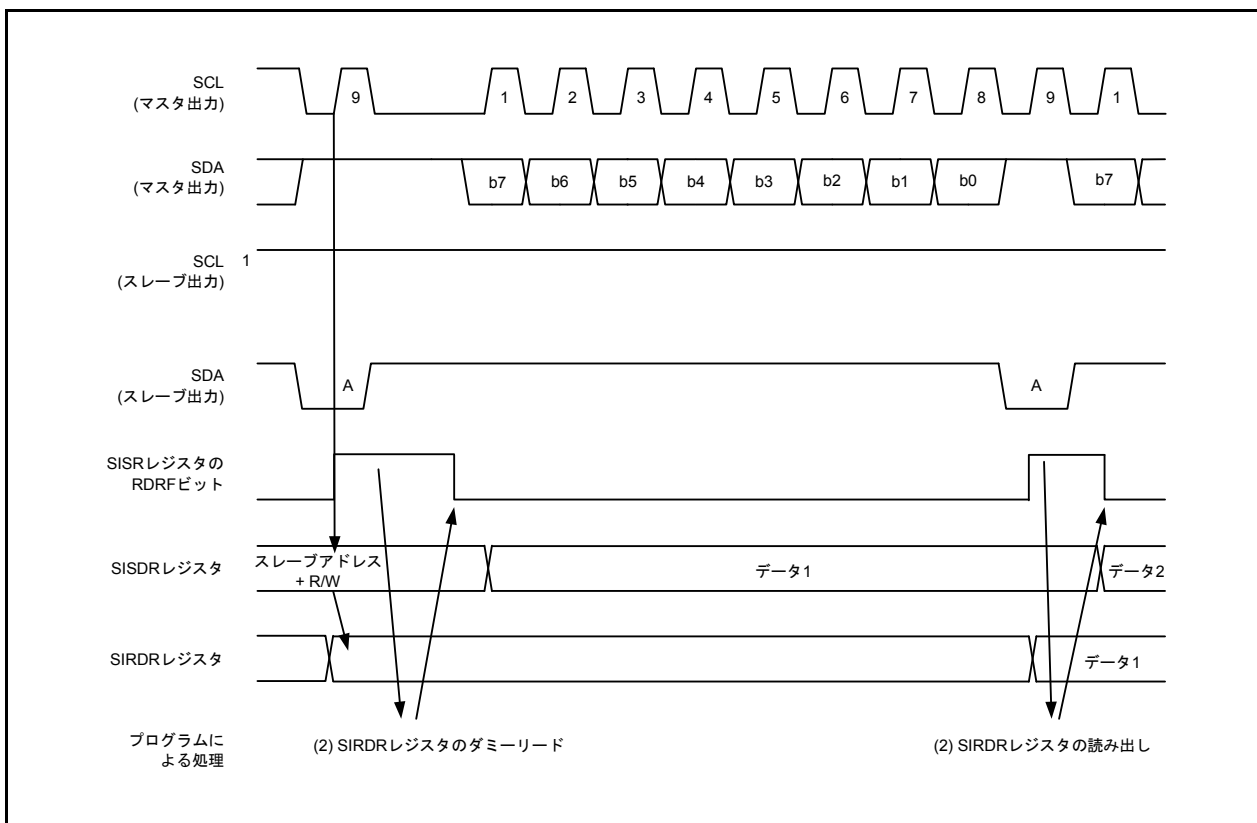


図21.26 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード) (1)

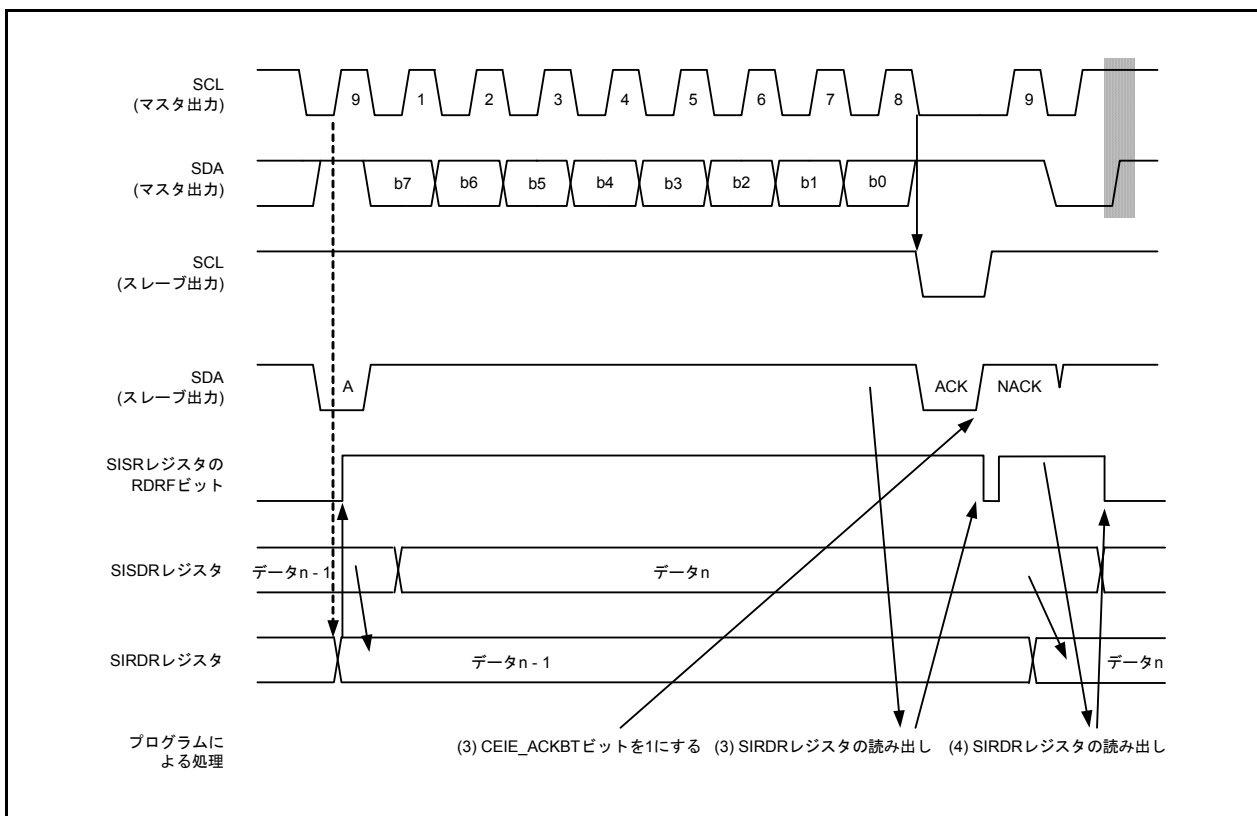


図21.27 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード) (2)

21.4.3 クロック同期式シリアルモード

21.4.3.1 クロック同期式シリアルフォーマット

SIMR2レジスタのMSビットを1にすると、クロック同期式シリアルフォーマットで通信します。図21.28にクロック同期式シリアルモードの転送フォーマットを示します。

SICR1レジスタのMSTビットが1のときSCLから転送クロック出力となり、MSTビットが0のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち上がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はSIMR1レジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、SICR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

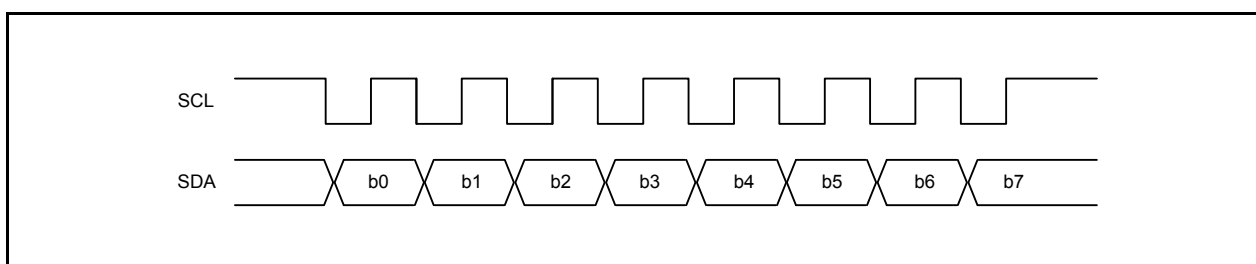


図21.28 クロック同期式シリアルモードの転送フォーマット

21.4.3.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データを SDA から出力します。転送クロックは SICR1 レジスタの MST ビットが 1 とき出力、MST ビットが 0 とき入力となります。

図 21.29 に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) SICR1 レジスタの ICE ビットを 1 (転送動作可能状態) にしてください。その後、SICR1 レジスタの CKS0～CKS3 ビット、MST ビットなどを設定してください(初期設定)。
- (2) SICR1 レジスタの TRS ビットを 1 にして送信モードにしてください。これにより、SISR レジスタの TDRE ビットが 1 になります。
- (3) TDRE ビットが 1 であることを確認した後、SITDR レジスタに送信データを書き込んでください。これにより SITDR レジスタから SISDR レジスタにデータが転送され、自動的に TDRE ビットが 1 になります。TDRE ビットが 1 になるたびに SITDR レジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDRE ビットが 1 の状態で TRS ビットを 0 にしてください。

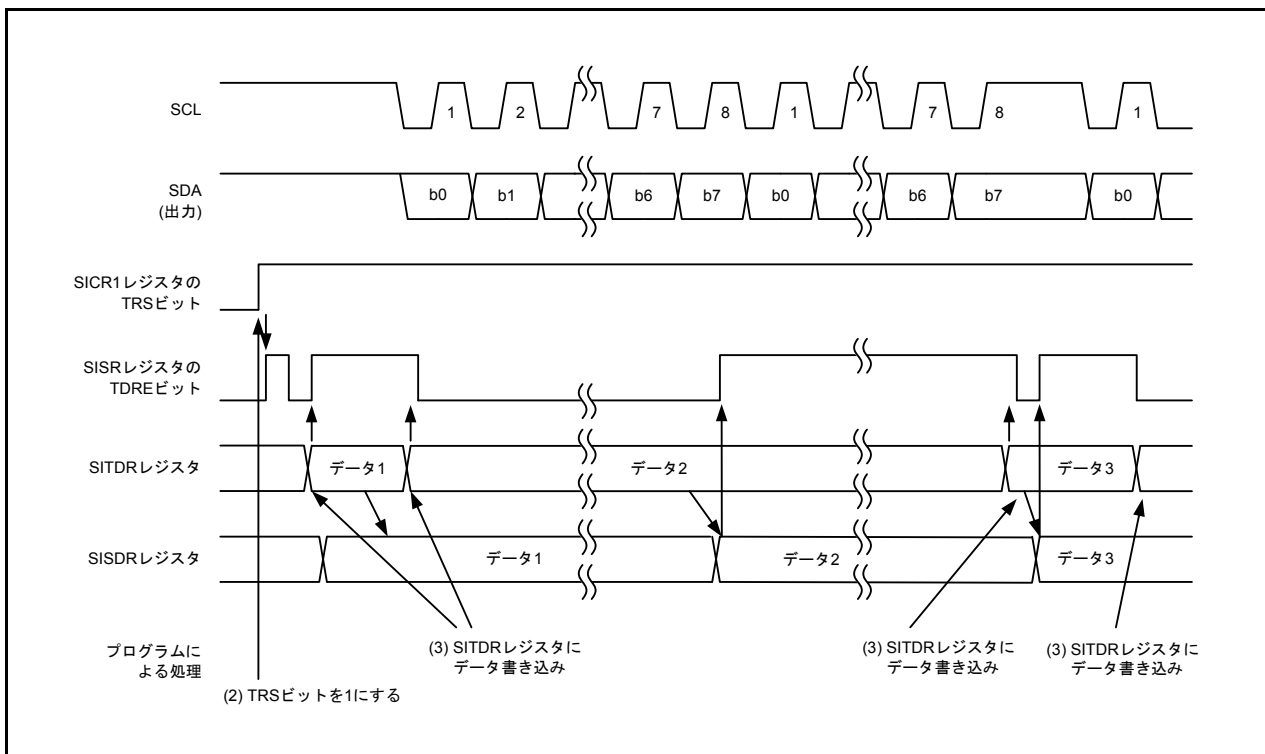


図 21.29 送信モードの動作タイミング(クロック同期式シリアルモード)

21.4.3.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはSICR1レジスタのMSTビットが1とき出力、MSTビットが0とき入力となります。

図21.30に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SICR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを1にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、SISDRレジスタからSIRDRレジスタにデータが転送され、SISRレジスタのRDRFビットが1になります。MSTビットが1のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが1になるたびにSIRDRレジスタを読むことで、連続的に受信可能です。RDRFビットが1の状態でも8クロック目が立上がるとオーバランを検出し、SISRレジスタのORER_ALビットが1になります。このときSIRDRレジスタには、前の受信データが保持されています。
- (4) MSTビットが1のとき、受信を停止するためには、SICR1レジスタのRCVDビットを1(次の受信動作を禁止)にしてから、SIRDRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLがHに固定されます。

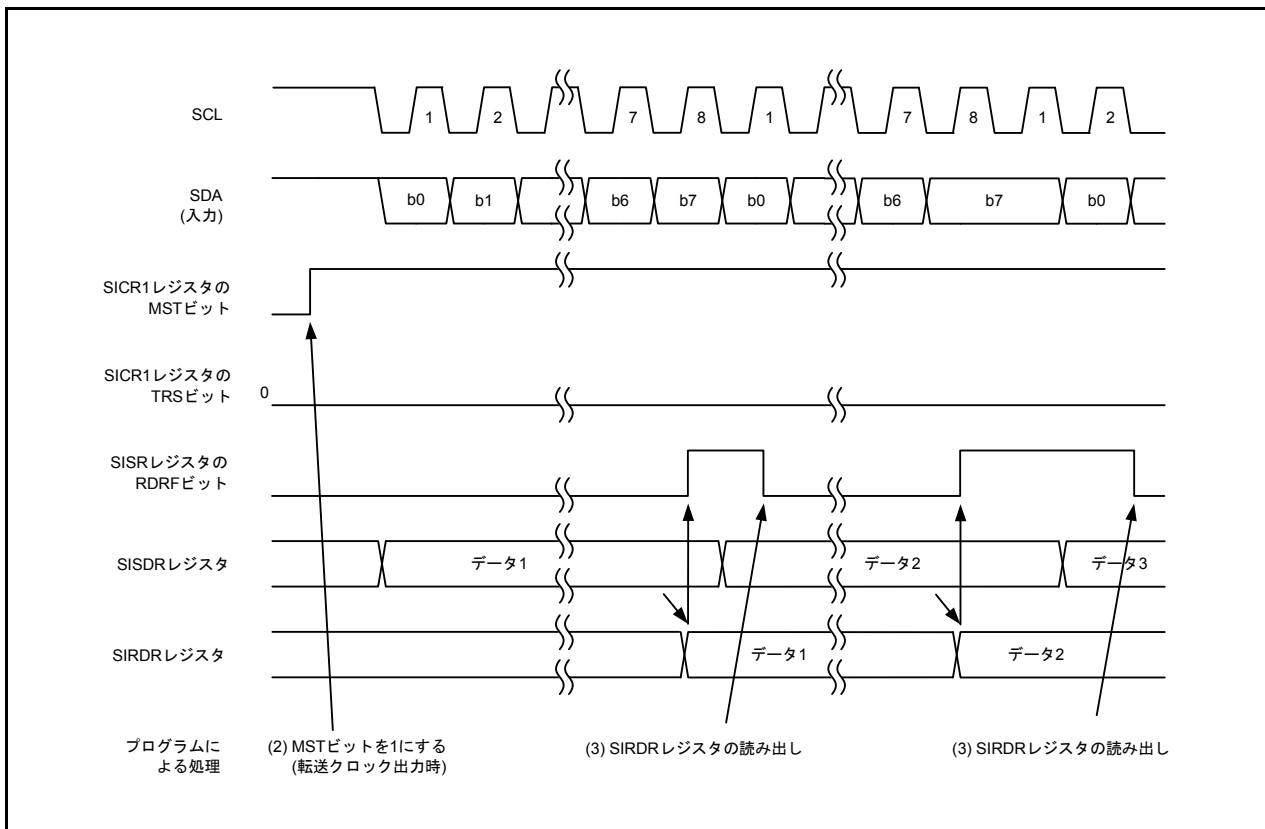


図21.30 受信モードの動作タイミング(クロック同期式シリアルモード)

21.4.4 レジスタ設定例

I²Cバスインタフェースを使用する場合のレジスタ設定例を図21.31～図21.34に示します。

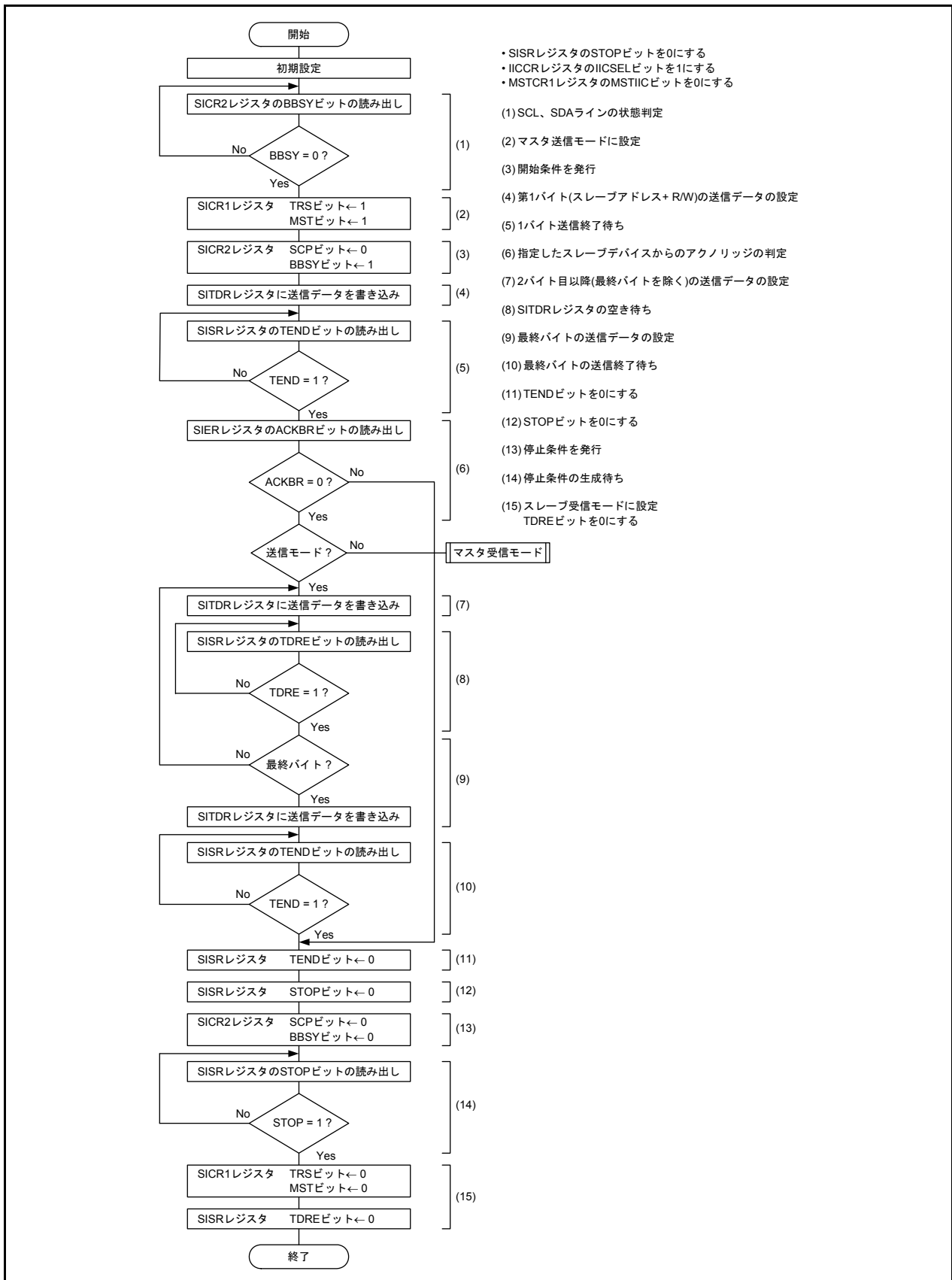


図21.31 マスタ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

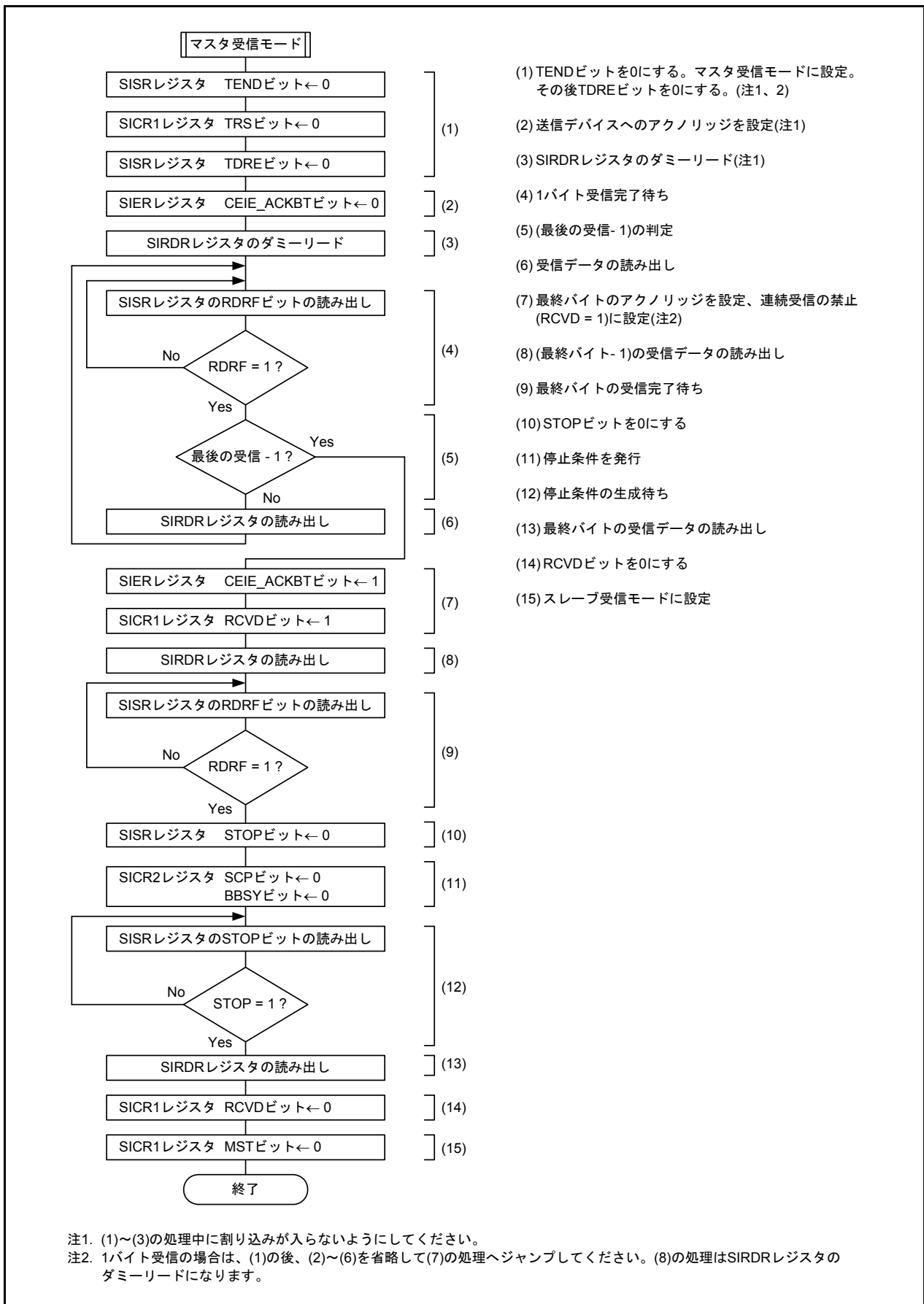


図21.32 マスタ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

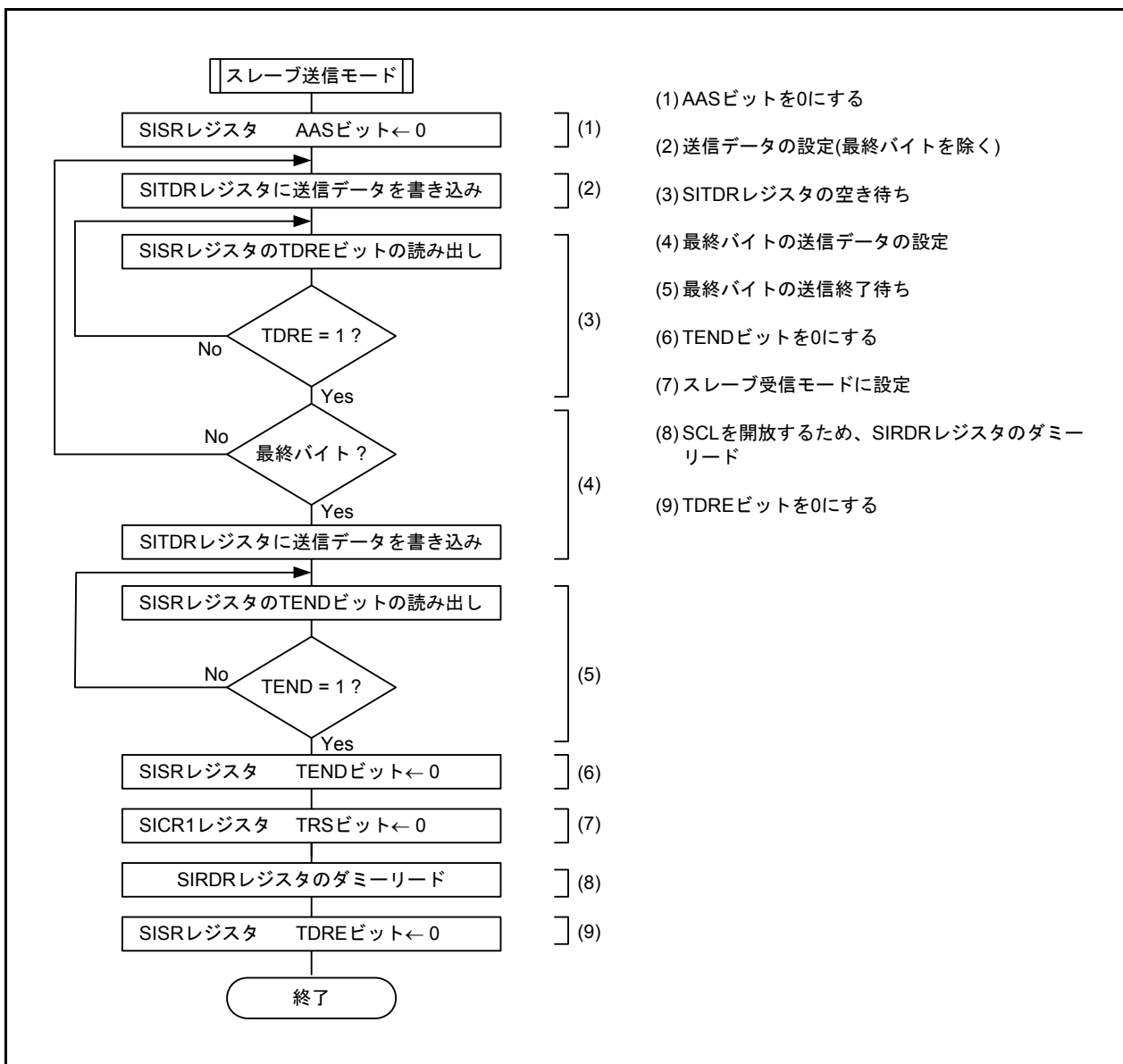


図21.33 スレーブ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

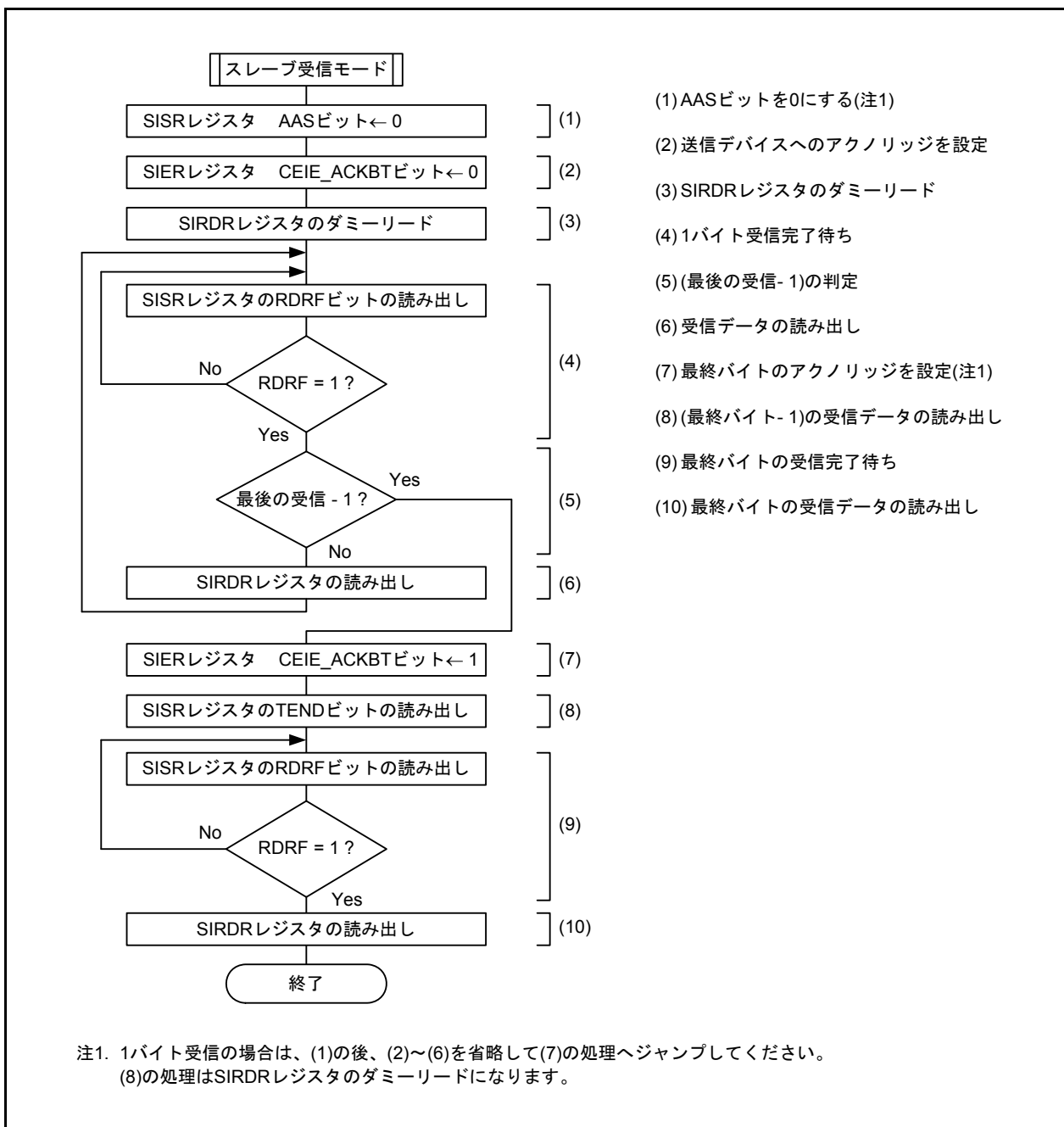


図21.34 スレープ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

21.4.5 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図21.35にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号(またはSDA端子入力信号)がf1でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

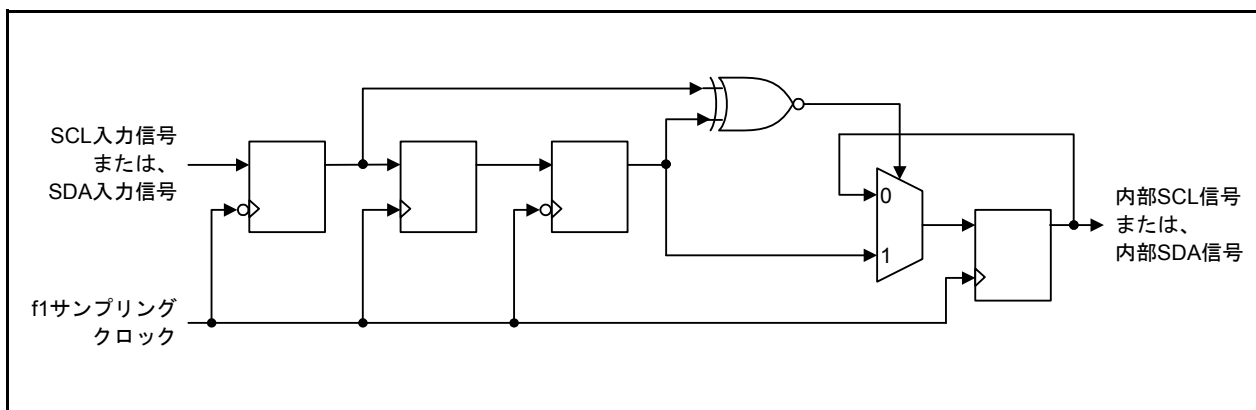


図21.35 ノイズ除去回路のブロック図

21.4.6 ビット同期回路

I²Cバスインタフェースをマスタモードに設定時、

- スレーブデバイスによりSCLがLに保持された場合
- SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合の2つの状態でH期間が短くなる可能性があります。

ビット同期回路では、SCL出力の立ち上がりから所定の時間(MT)後にSCL入力をモニタし、SCLがHレベルになっているかを確認します。もし、スレーブでSCLをLレベルに引っ張るか、SCLラインの負荷により立ち上がりがゆるやかになった場合は、SCLがHレベルになっていないと認識し、SCLを立ち下げるタイミングを遅らせます。

図21.36にビット同期回路のタイミングを、表21.12にSCLをL出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

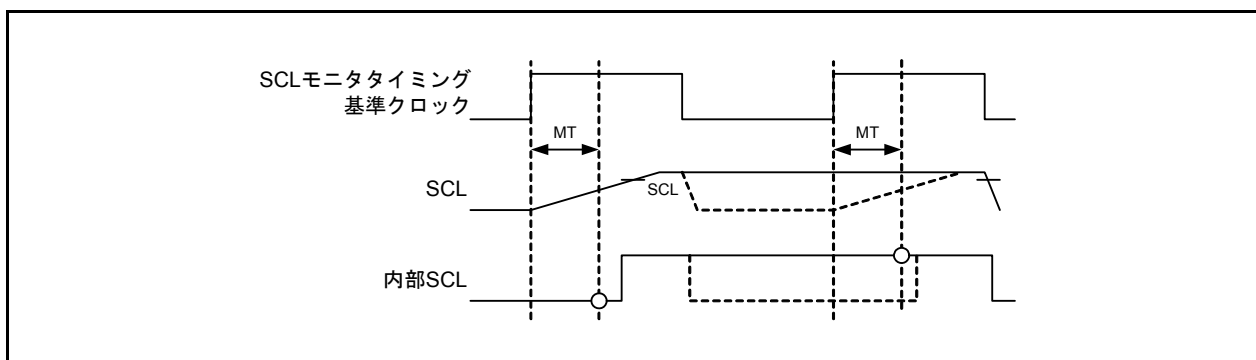


図21.36 ビット同期回路のタイミング

表21.12 SCLをL出力からハイインピーダンスにした後、SCLをモニタするまでの時間

SICR1レジスタ				SCLをモニタする時間(MT)
IICTCHALF	IICTCTW1	CKS3	CKS2	
0	0	0	0	7.5 Tcyc
			1	19.5 Tcyc
		1	0	17.5 Tcyc
			1	41.5 Tcyc
0	1	0	0	2.5 Tcyc
			1	8.5 Tcyc
		1	0	7.5 Tcyc
			1	19.5 Tcyc
1	0	0	0	17.5 Tcyc
			1	41.5 Tcyc
		1	0	37.5 Tcyc
			1	85.5 Tcyc

1Tcyc = 1/f1(s)

CKS3～CKS0 = 1000bの場合、SCLのHigh幅が600ns以下(I²C規格違反)であっても、ビット同期回路が機能しません(動作クロックが20 MHzのとき)。

21.4.7 DTCとの連携動作

■ SSU/I²Cバス機能共通

- マスタモードでDTCにより受信バッファレジスタをリードする場合は、DTCの転送回数レジスタには、転送回数-1を設定してください。
- 転送回数-1回の受信データをDTCで転送後、RXI割り込みが発生します。SICR1レジスタのRCVDビットを1(次の受信動作を禁止)にした後に、SISRレジスタのRDRFビットを0(SIRDRレジスタにデータなし)にしてください。
- RDRFビットのクリアが遅れ、最終バイトの転送が完了した場合、I²Cバス機能ではSCLがLowでハングアップします。SSU機能ではオーバランエラーとなります。
- SICR1レジスタのRCVDビットの設定は、最終バイトの受信動作中に設定してください。

■ SSU機能の場合

- 最終データの受信完了後にRXI割り込みが発生します。SISRレジスタのRE_STIEビットを0(受信禁止)に、RCVDビットを0(次の受信動作を継続)にした後で、ソフトウェアでSIRDRレジスタを読み出してください。

■ I²Cバス機能の場合

- 最終データの受信完了後にRXI割り込みが発生します。SICR2レジスタのSCLOビット(SCLモニタフラグ)が0になるのを確認してから、停止条件を発行してください。
- SISRレジスタのSTOPビットが1(フレームの転送の完了後に停止条件を検出)になったとき、SIRDRレジスタを読み出してください。その後、RCVDビットを0(次の受信動作を継続)にしてください。

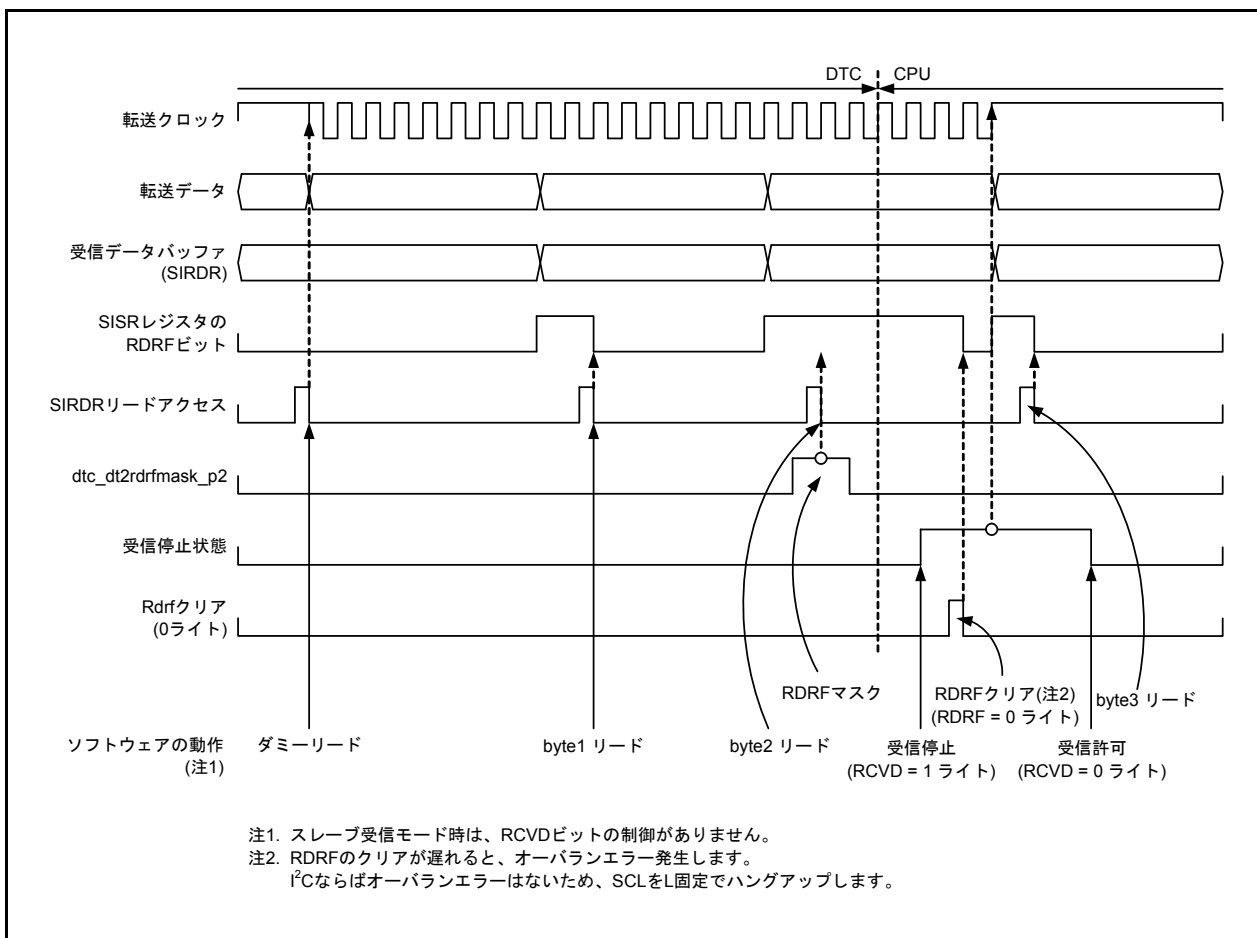


図21.37 マスタ受信モード時のDTC関連動作タイミング

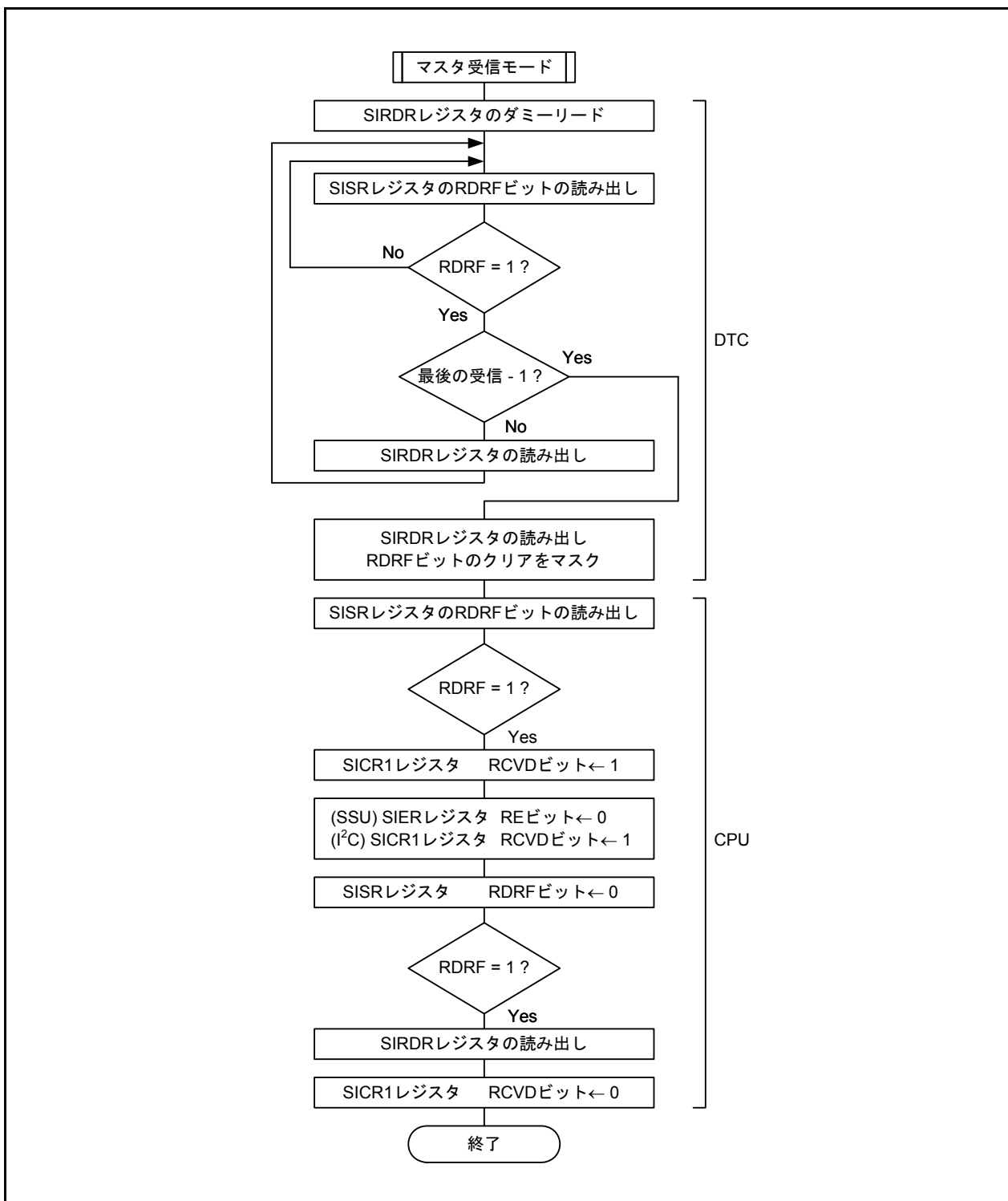


図21.38 マスタ受信モード時のDTC関連動作フロー

21.4.8 I²Cバスインタフェースモード時の制御部リセット手順

I²Cバスインタフェースは、SICR2レジスタのSIRSTビットに1を書き込むことで、I²Cの一部レジスタとコントロール部をリセットすることができます。以下に、SIRSTビットを用いたリセット手順を示します。

制御部リセットを行った場合(図中(2))、ICUの該当するSSUIC_0/IICIC_0レジスタのIRビットが1(割り込み要求あり)になることがあります。IRビットをクリアする場合の注意事項については、「11.9.4 割り込み要因の変更」を参照してください。

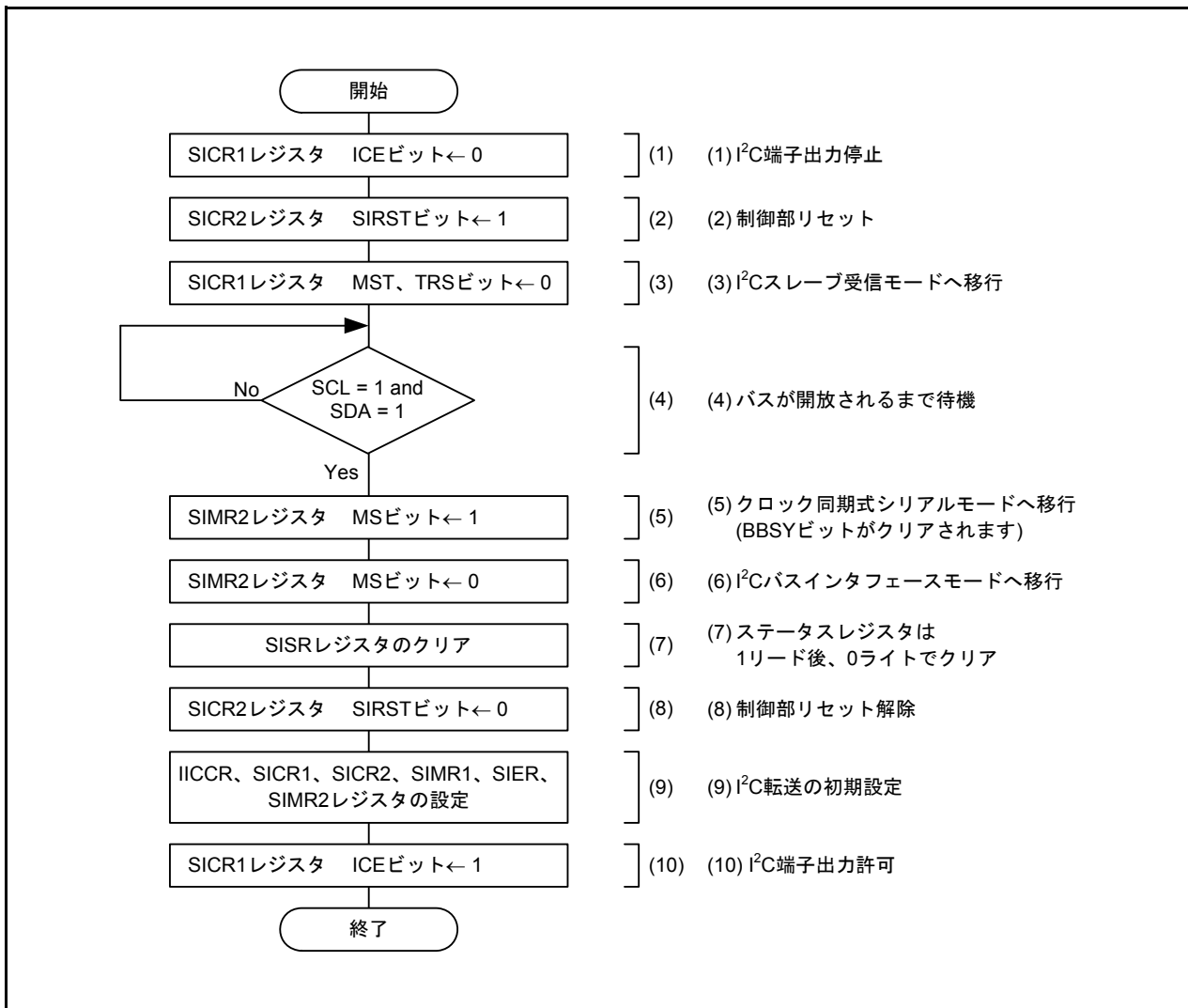


図21.39 I²Cバスインタフェースモード時の制御部リセット手順

21.5 クロック同期形シリアルインタフェース使用上の注意事項

21.5.1 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、IICCRレジスタのIICSELビットを0(SSU機能を選択)にしてください。

21.5.2 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、IICSELビットを1(I²Cバス機能を選択)にしてください。

- (1) I²Cの規格に違反する設定で使用しないでください。
- (2) 「Hs-MODE」による通信はできません。最高転送速度は「FAST-MODE」による[Max. 400 kHz]です。
- (3) SCLのLow期間は「FAST-MODE」で[Min. 1.3 μs]です。本モジュールにおけるH/L幅のデューティは50%/50%のため、400 kHz動作時にこの値を下回ってしまいます。よって最高転送速度はSCL周期が2.6 μs(最大転送周波数384.6 kHz)になります。
- (4) SCLの立ち上がりに対して、SDAの変化は[Min. 300 ns]の遅延を持たなければなりません。本モジュールにおけるSDAデジタル遅延は最低3×f₁サイクルのため、基準クロックf₁が11 MHz以上の場合には注意が必要です。IICCRレジスタのSDADLY1、SDADLY0ビットを01b以上を設定してください。
- (5) CBUSとの互換性はありません。
- (6) 10ビット・アドレス指定はできません。
- (7) スレーブ送信モードのデータ送信中にスタート条件を検出した場合、その後に続くアドレスを受信することはできず動作が停止します。制御部リセットのフローに従い、モジュールを初期化してください。
- (8) スレーブアドレスとして1111XXXbと0000XXXbは設定しないでください。
- (9) STOP条件を検出した後、マスタで通信を開始する場合、必ずSTOPビットをクリアしてください。

21.5.3 SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット

I²Cバスインタフェース動作中に、ICEビットに0またはSIRSTビットに1を書くとSICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。

21.5.3.1 ビットが不定になる条件

- I²Cバスインタフェースのマスタモードにおいて、本モジュールがI²Cのバスを占有しているとき。
- I²Cバスインタフェースのスレーブモードにおいて、本モジュールがデータかアクノリッジを送信中のとき。

21.5.3.2 対策

- 開始条件(SCLがHのときのSDA立ち下がり)が入力されると、BBSYビットは1になります。
- 停止条件(SCLがHのときのSDA立ち上がり)が入力されると、BBSYビットは0になります。
- マスタ送信モードにおいて、SCL、SDAともにHの状態、BBSYビットに1、SCPビットに0を書き、開始条件(SCLがHのときのSDA立ち下がり)が出力されると、BBSYビットは1になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAがLの状態、かつ本モジュール以外にSCLをLにするデバイスがない状態で、BBSYビットに0、SICR2レジスタのSCPビットに0を書き、停止条件(SCLがHのときのSDA立ち上がり)が出力されると、BBSYビットは0になります。
- SARレジスタのMSビットに1を書くと、BBSYビットは0になります。

21.5.3.3 SICR2レジスタのSIRSTビットの補足説明

- SIRSTビットに1を書くと、SICR2レジスタのSDAOビットおよびSCLOビットは1になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、SIRSTビットに1を書くと、SISRレジスタのTDREビットは1になります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、SICR2レジスタのBBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にSIRSTビットに0を書いてください。
- SIRSTビットに1を書いても、BBSYビットは0になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLがHのときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが0になる場合があります。同様に、他のビットにも影響が発生する場合があります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、SICR1、SICR2、SISRレジスタの値が更新される場合があります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、SICR1、SICR2、SISRレジスタの値が更新される場合があります。
- 上記補足内容を含んだSIRSTビットによる制御部リセット動作は、「21.4.8 I²Cバスインタフェースモード時の制御部リセット手順」を参照してください。

22. ハードウェアLIN

ハードウェアLINは、タイマRJおよびUART0と連携し、LIN通信を行うものです。
ハードウェアLINは、HW-LIN_0の1チャンネルで構成しています。

22.1 概要

ハードウェアLINには、以下の特長があります。

図22.1にハードウェアLINのブロック図を示します。

各モードでのWake Up機能はINTx (x = 1, 2)より検出します。

【マスタモード】

- Synch Break発生
- バス衝突検出

【スレーブモード】

- Synch Break検出
- Synch Field計測
- Synch BreakおよびSynch Field信号のUART入力制御機能
- バス衝突検出

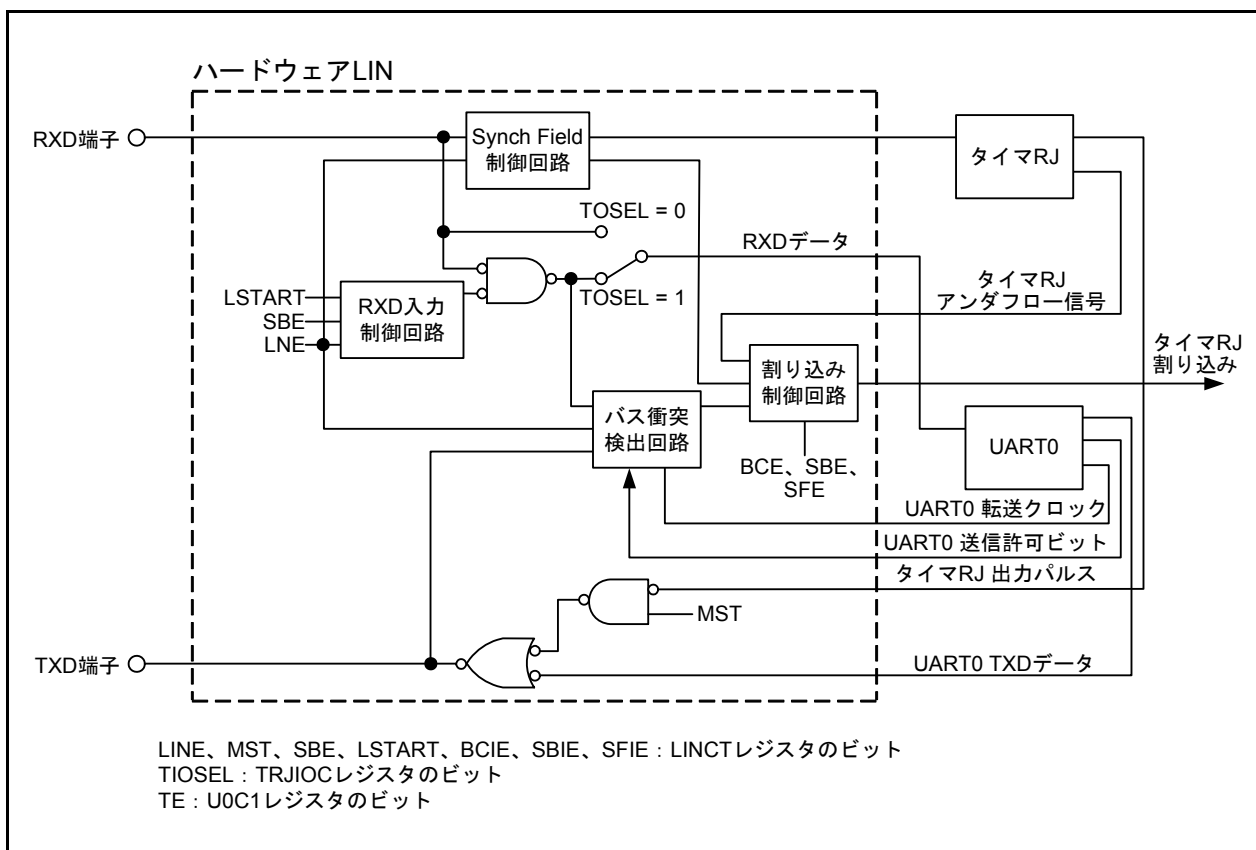


図22.1 ハードウェアLINのブロック図

22.2 入出力端子

表22.1にハードウェアLINの端子構成を示します。

表22.1 ハードウェアLINの端子構成

名称	端子名	入出力	機能
レシーブデータ入力	RXD	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD	出力	ハードウェアLINの送信データ出力端子

22.3 レジスタの説明

表22.2にハードウェアLINのレジスタ構成を示します。

表22.2 ハードウェアLINのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN_0特殊機能レジスタ	LINCR2_0	00h	0008Ch	8
LIN_0制御レジスタ	LINCT_0	00h	0008Eh	8
LIN_0ステータスレジスタ	LINST_0	00h	0008Fh	8

22.3.1 LIN特殊機能レジスタ (LINCR2)

アドレス 0008Ch (LINCR2_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	BCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCE	Synch Break送信時、バス衝突検出有効ビット	0 : バス衝突検出禁止 1 : バス衝突検出有効	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

22.3.2 LIN制御レジスタ (LINCT)

アドレス 0008Eh (LINCT_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFIE	Synch Field計測完了割り込み許可ビット	0 : Synch Field計測完了割り込み禁止 1 : Synch Field計測完了割り込み許可	R/W
b1	SBIE	Synch Break検出割り込み許可ビット	0 : Synch Break検出割り込み禁止 1 : Synch Break検出割り込み許可	R/W
b2	BCIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b3	RXDSF	RXD入カステータスフラグ	0 : RXD入力許可状態 1 : RXD入力禁止状態	R
b4	LSTART	Synch Break検出開始ビット(注1)	1を書くとタイマRJ入力許可、RXD入力禁止になります。読んだ場合、その値は0。	R/W
b5	SBE	RXD入カマスク解除タイミングセレクトビット(スレーブモードのみ有効)	0 : Synch Break検出後に解除 1 : Synch Field計測完了後に解除	R/W
b6	MST	LIN動作モード設定ビット(注2)	0 : スレーブモード (Synch Break検出回路動作) 1 : マスタモード (タイマRJの出力をTXDとORする)	R/W
b7	LINE	LIN動作開始ビット	0 : LINは動作停止 1 : LINは動作開始(注3)	R/W

注1. LSTARTビット設定後、RXDSFビットが1 (RXD入力禁止状態)になることを確認してからSynch Breakを入力開始してください。

注2. LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。

注3. LINEビットを1 (LINは動作開始)にした直後は、タイマRJおよびUARTへの入力は禁止です(「図22.3、図22.4 ヘッダフィールド送信フローチャート例、図22.6～図22.8 ヘッダフィールド受信フローチャート例」参照)。

22.3.3 LINステータスレジスタ (LINST)

アドレス 0008Fh (LINST_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFDCT	Synch Field計測完了フラグ	1のときSynch Field計測完了	R
b1	SBDCT	Synch Break検出フラグ	1のときSynch Break検出、またはSynch Break発生完了	R
b2	BCDCT	バス衝突検出フラグ	1のときバス衝突検出	R
b3	B0CLR	SFDCTビットクリアビット	1を書くとSFDCTビットを0にします。読んだ場合、その値は0。	R/W
b4	B1CLR	SBDCTビットクリアビット	1を書くとSBDCTビットを0にします。読んだ場合、その値は0。	R/W
b5	B2CLR	BCDCTビットクリアビット	1を書くとBCDCTビットを0にします。読んだ場合、その値は0。	R/W
b6	—	予約ビット	書く場合、0を書いてください。読んだ場合、その値は0。	R/W
b7	—			

22.4 動作説明

22.4.1 マスタモード

図22.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図22.3、図22.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRJのTRJCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、タイマRJのTRJレジスタに設定された期間、TXD端子からLレベルを出力します。
- (2) タイマRJがアンダフローすると、TXD端子の出力を反転し、LINSTレジスタのSBDCTビットが1(Synch Break検出、またはSynch Break発生完了)にセットされます。また、LINCTレジスタのSBIEビットを1(Synch Break検出割り込み許可)に設定している場合は、タイマRJ割り込みが発生します。
- (3) UART0により、55hを送信します。
- (4) UART0により、55hの送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

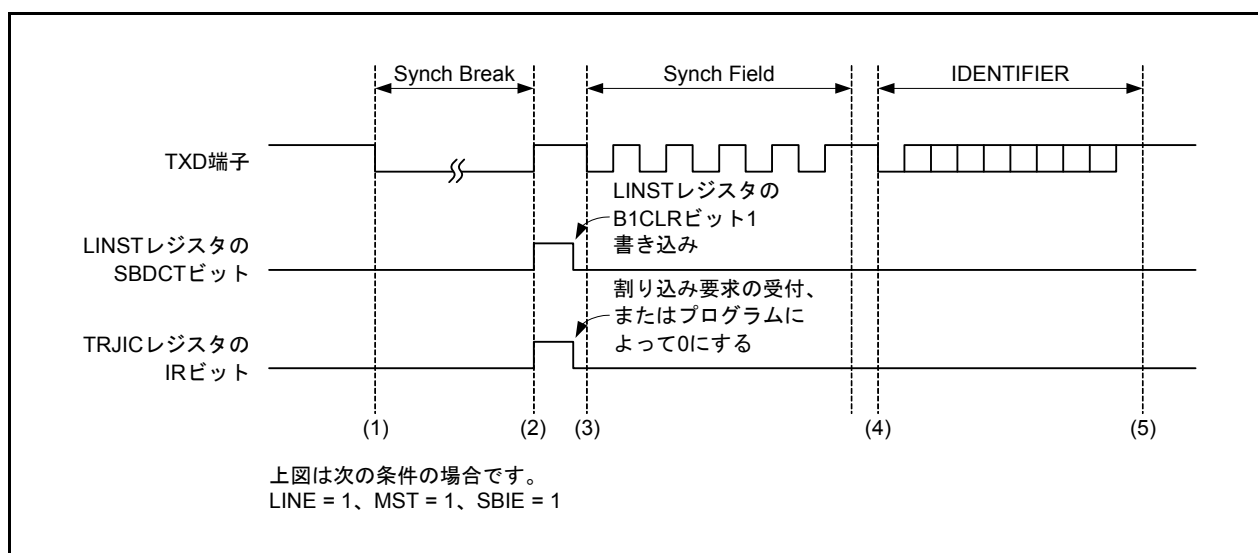


図22.2 ヘッダフィールドの送信時の動作例

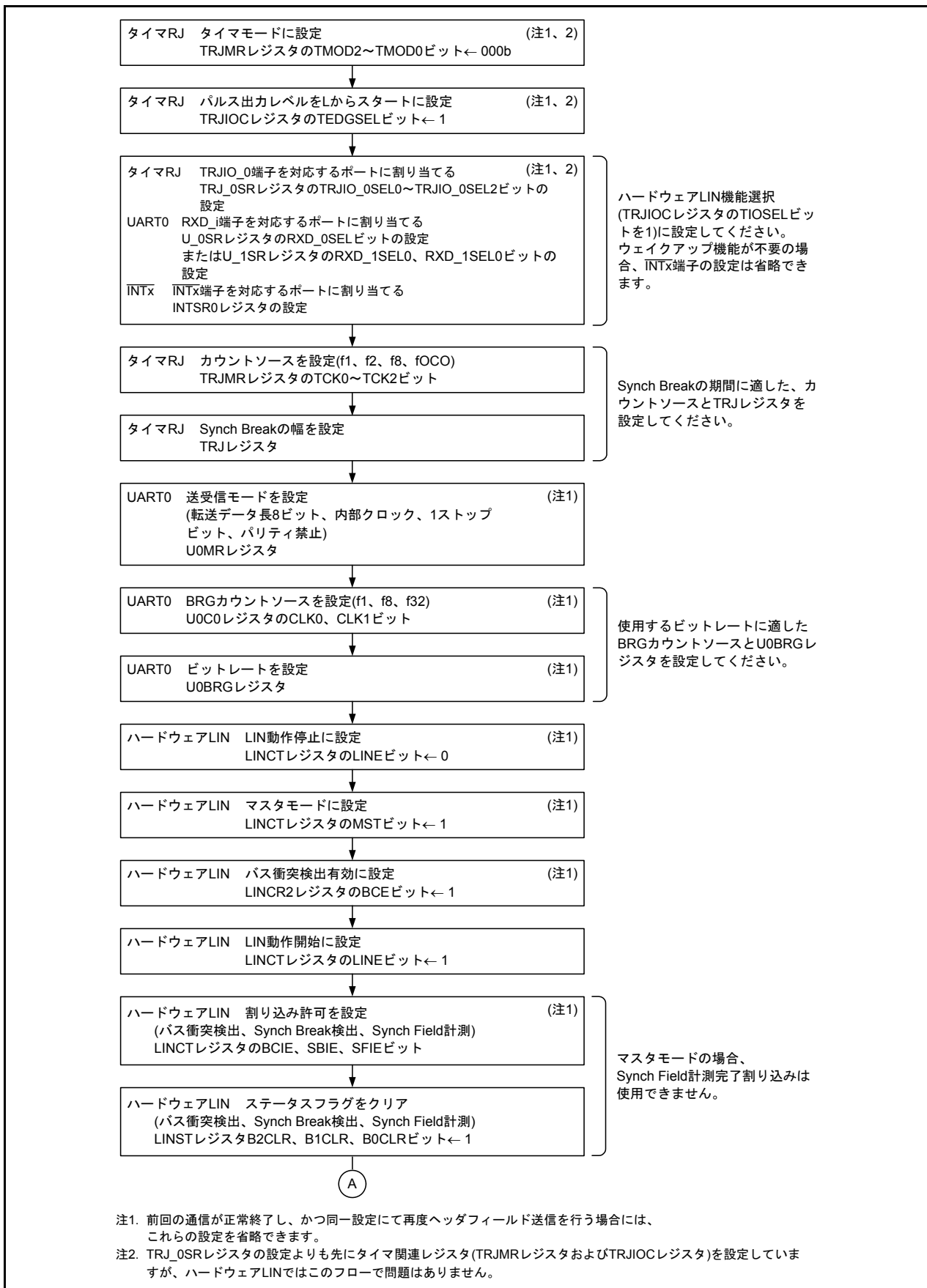


図 22.3 ヘッダフィールド送信フローチャート例(1) (i = 0、1、x = 1、2)

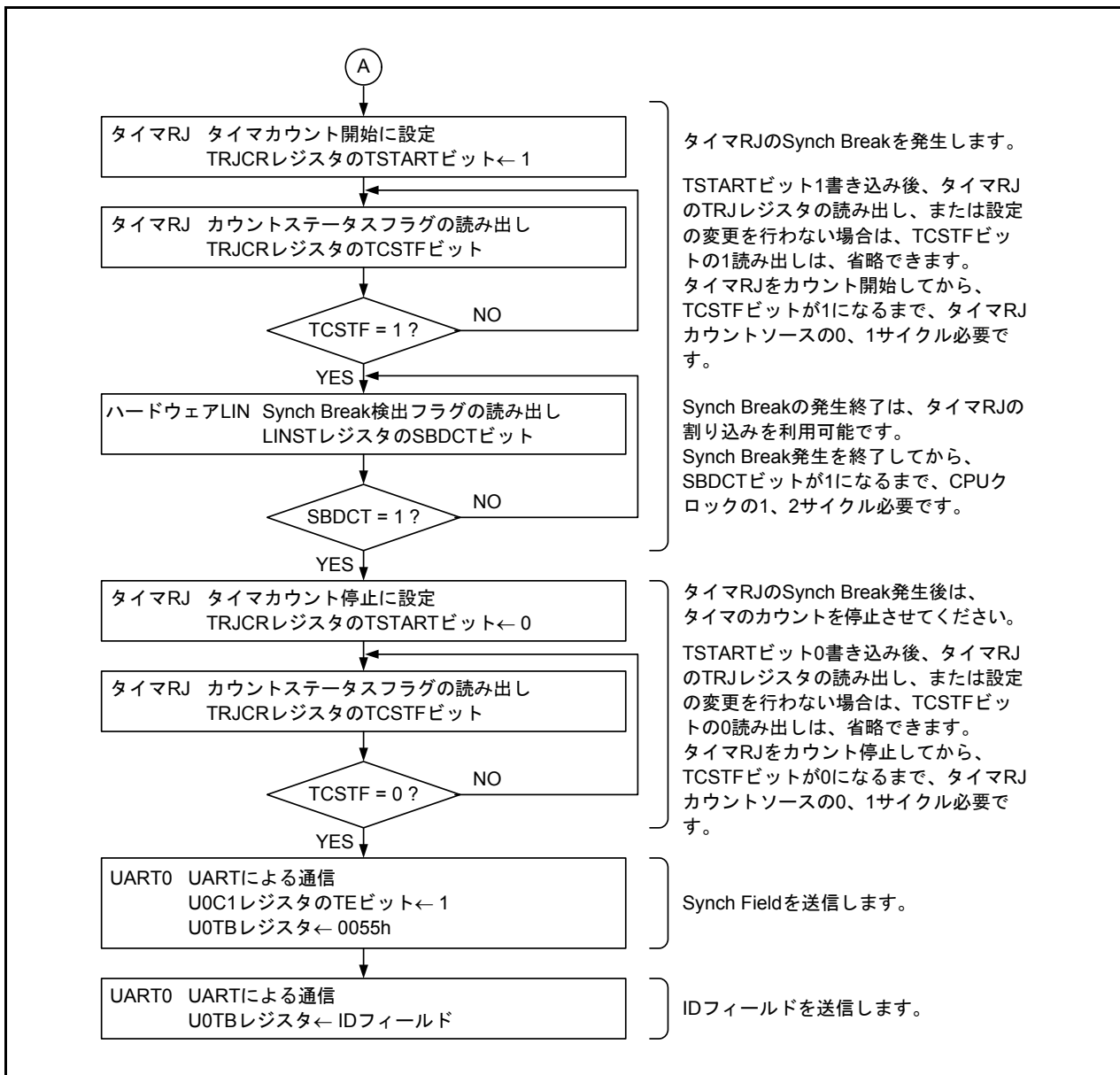


図22.4 ヘッダフィールド送信フローチャート例(2)

22.4.2 スレーブモード

図 22.5 にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図 22.6～図 22.8 にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCTレジスタのLSTARTビットに1(タイマRJ入力許可、RXD入力禁止)を書き込むと、Synch Break検出が可能になります。
- (2) タイマRJに設定した期間以上のLレベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTビットが1(Synch Break検出、またはSynch Break発生完了)にセットされます。また、LINCTレジスタのSBIEビットを1(Synch Break検出割り込み許可)に設定している場合は、タイマRJ割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。このとき、タイマRJにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXDに入力するか禁止にするかをLINCTのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTビットが1にセットされます。また、LINCTレジスタのSFIEビットを1に設定している場合は、タイマRJ割り込みが発生します。
- (5) Synch Field計測完了後、タイマRJのカウンタ値から転送速度を算出し、UART0に設定およびタイマRJのTRJレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

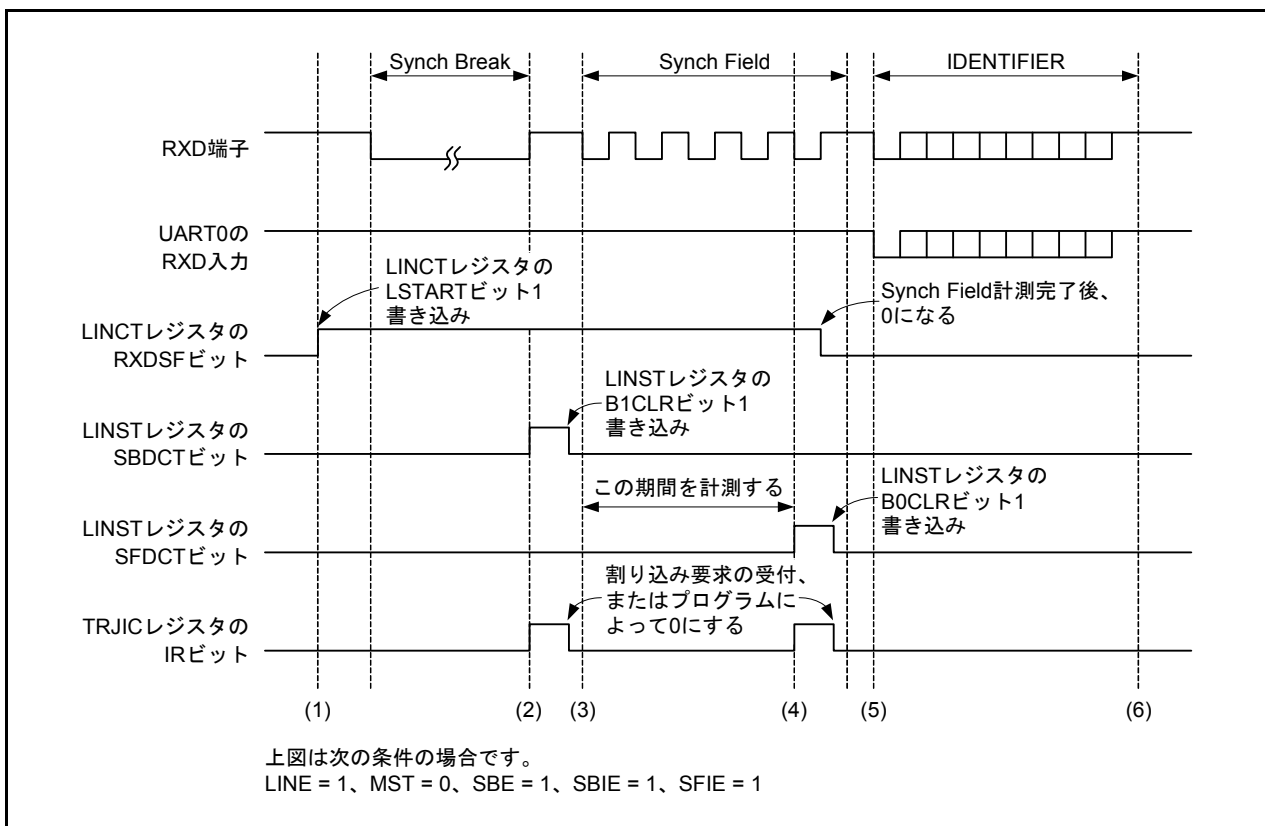


図 22.5 ヘッダフィールドの受信時の動作例

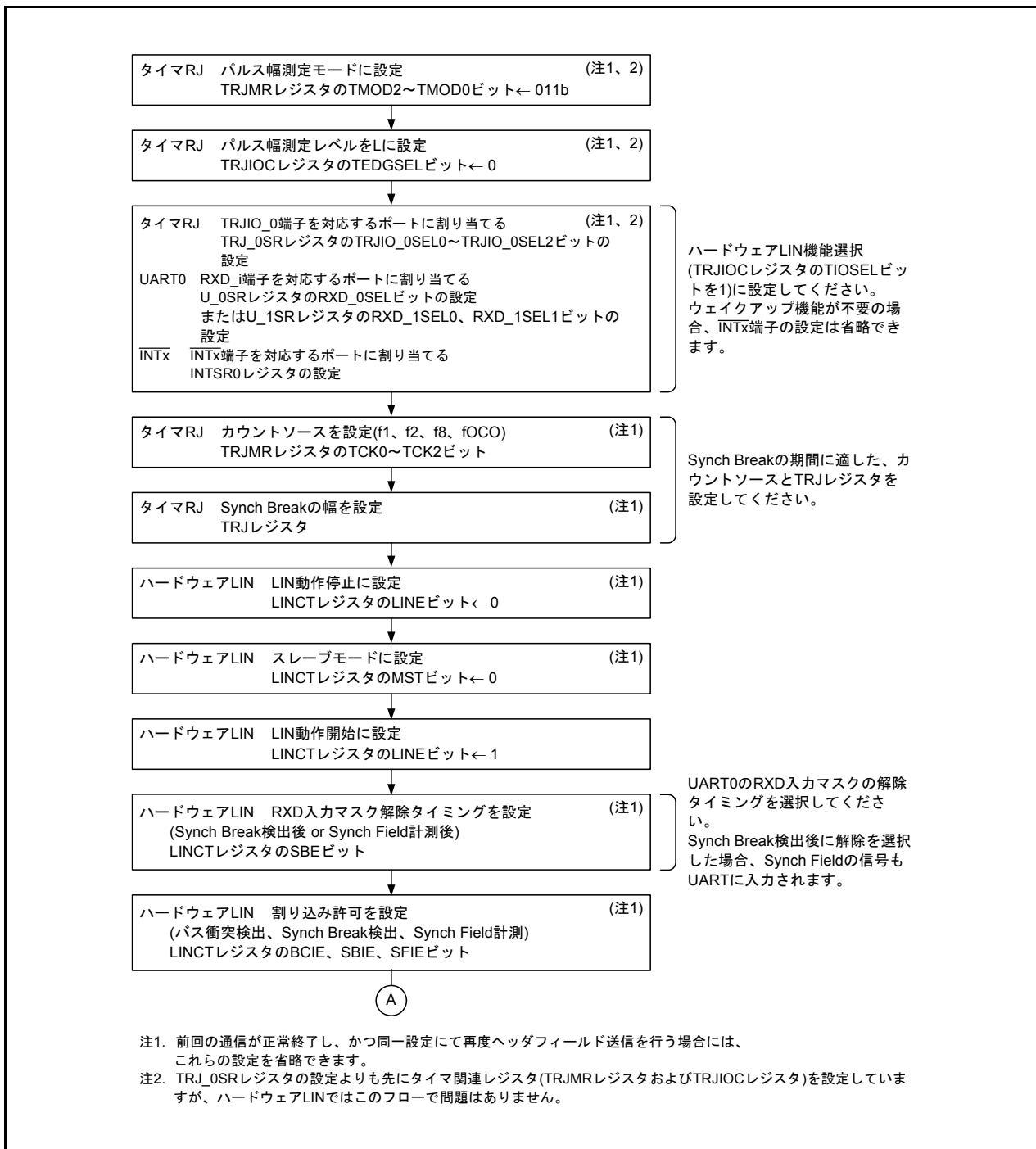


図22.6 ヘッダフィールド受信フローチャート例(1)
(i = 0、1、x = 1、2)

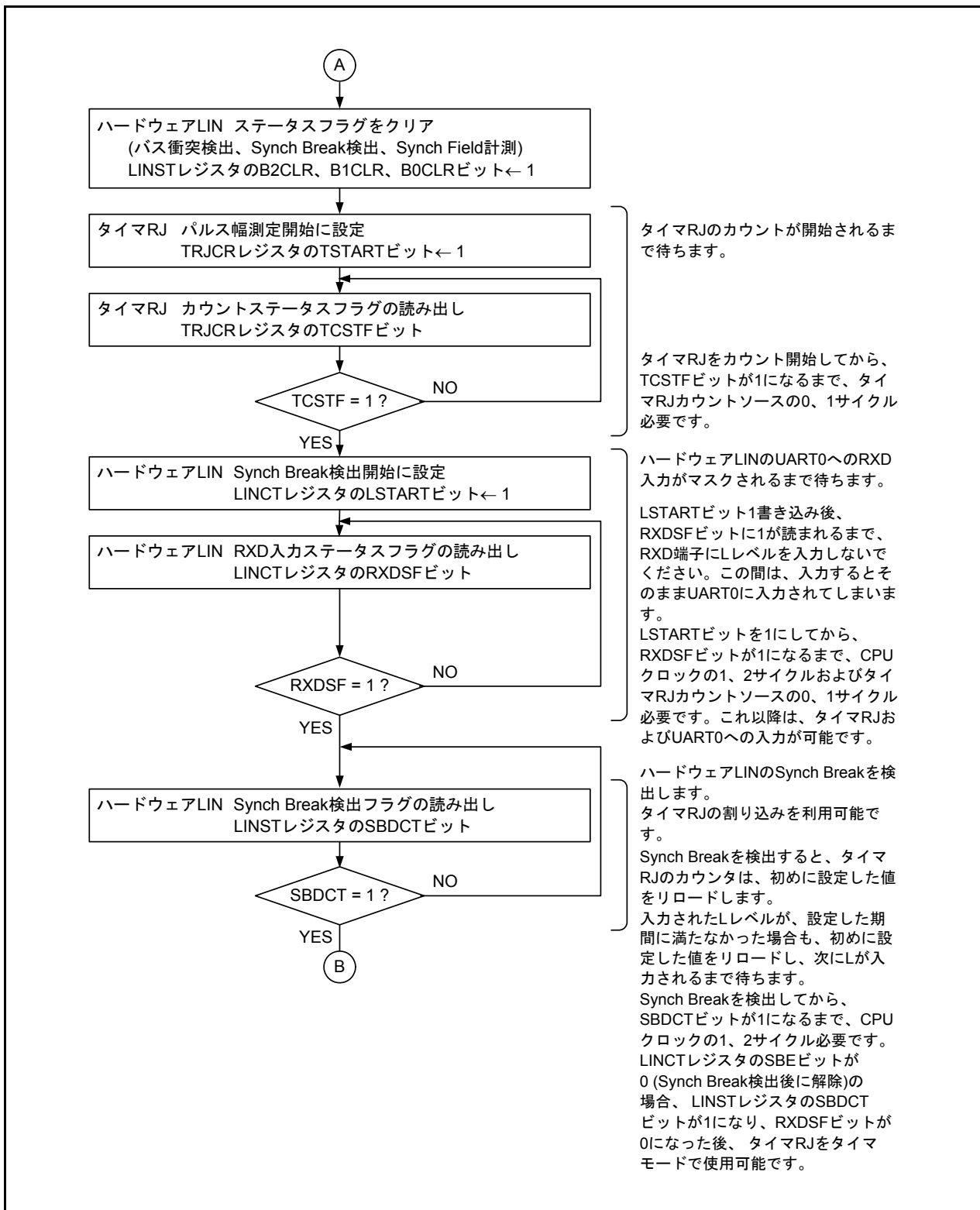


図 22.7 ヘッダフィールド受信フローチャート例(2)

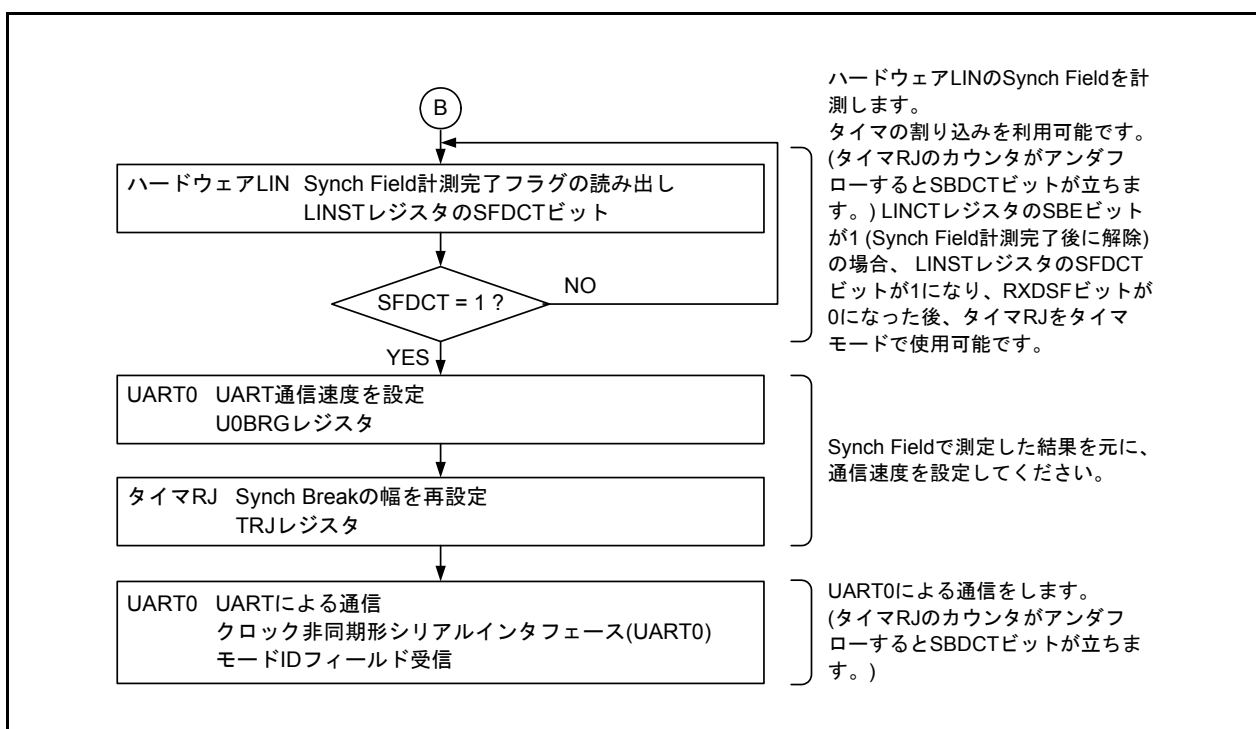


図22.8 ヘッダフィールド受信フローチャート例(3)

22.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが1(送信許可))の場合、バス衝突検出機能を使用することができます。Synch Break送信中にバス衝突検出を行う場合は、LINC2レジスタのBCEビットを1(バス衝突検出有効)にしてください。

図22.9にバス衝突検出時の動作例を示します。

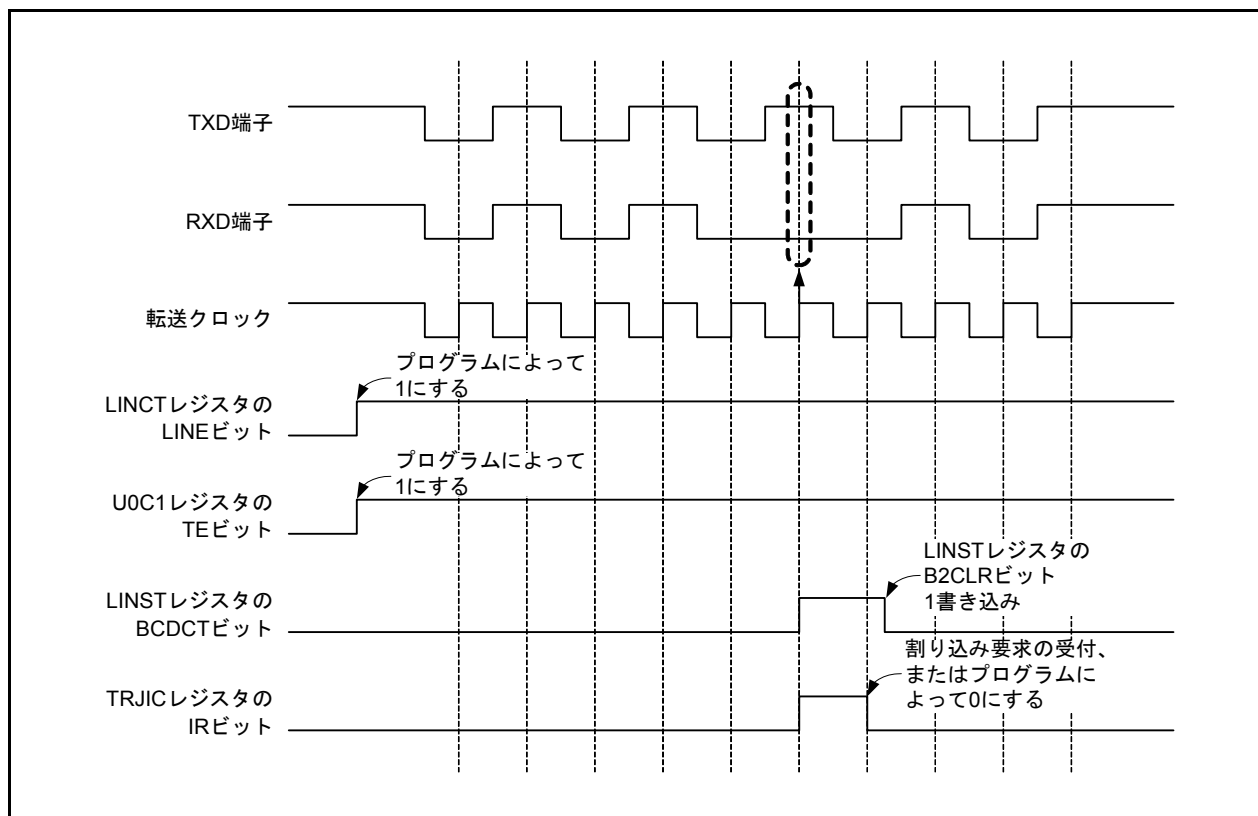


図22.9 バス衝突検出時の動作例

22.4.4 ハードウェアLIN終了処理

図22.10にハードウェアLIN通信終了のフローチャート例を示します。
ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

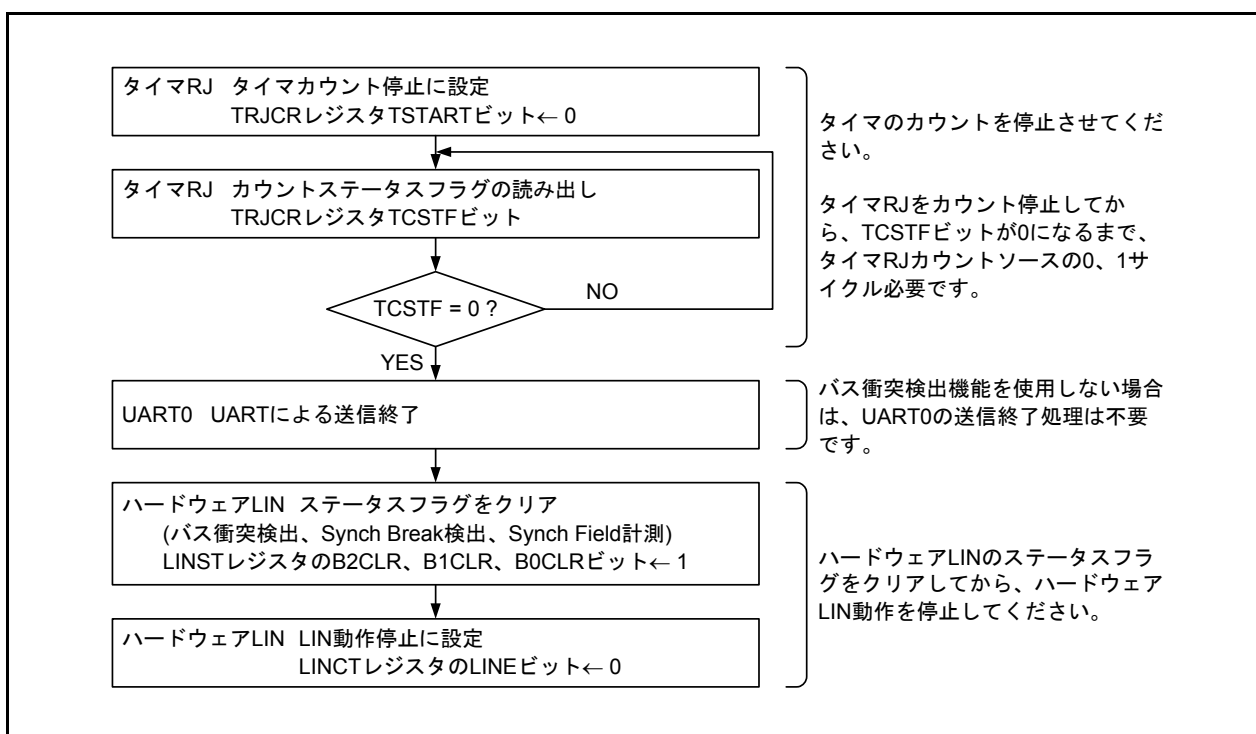


図22.10 ハードウェアLIN通信終了のフローチャート例

22.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRJの割り込みと兼用となっています。

表22.3にハードウェアLINの割り込み要求を示します。

表22.3 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break 検出	SBDCT	タイマRJによりRXD入力のLレベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長いLレベルが入力されたとき
Synch Break 発生完了		タイマRJにより設定された期間、TXDへLレベルの出力を完了したとき
Synch Field 計測完了	SFDCT	タイマRJによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD入力とTXD出力の値が異なったとき

22.6 ハードウェアLIN使用上の注意事項

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、**Synch Break** 検出割り込みを起点に他のタイマで時間計測を行ってください。

23. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力にはAN0～AN19端子で、P0_0～P0_7、P1_0～P1_3、P7_0～P7_7と端子を共用しています。

23.1 概要

表23.1にA/Dコンバータの性能を、図23.1にA/Dコンバータのブロック図を示します。

表23.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC
動作クロック ϕ AD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周 (fAD = f1またはfHOCO-F)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5V、 ϕ AD = 20MHzのとき <ul style="list-style-type: none"> • 分解能8ビットの場合 ±2LSB • 分解能10ビットの場合 ±3LSB AVCC = Vref = 3.0V、 ϕ AD = 10MHzのとき <ul style="list-style-type: none"> • 分解能8ビットの場合 ±2LSB • 分解能10ビットの場合 ±5LSB
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	20本(AN0～AN19)
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRC • イベントリンクコントローラ(ELC)からのイベント入力トリガ (「23.3.3 A/D変換開始条件」参照)
1端子あたりの変換速度(注3) (ϕ AD = fADのとき)	最短44 ϕ ADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 動作クロック ϕ ADは「表28.3 A/Dコンバータの特性」を参照してください。

注3. 分解能8ビット、10ビットともに1端子あたりの変換速度は最短44 ϕ ADサイクルになります。

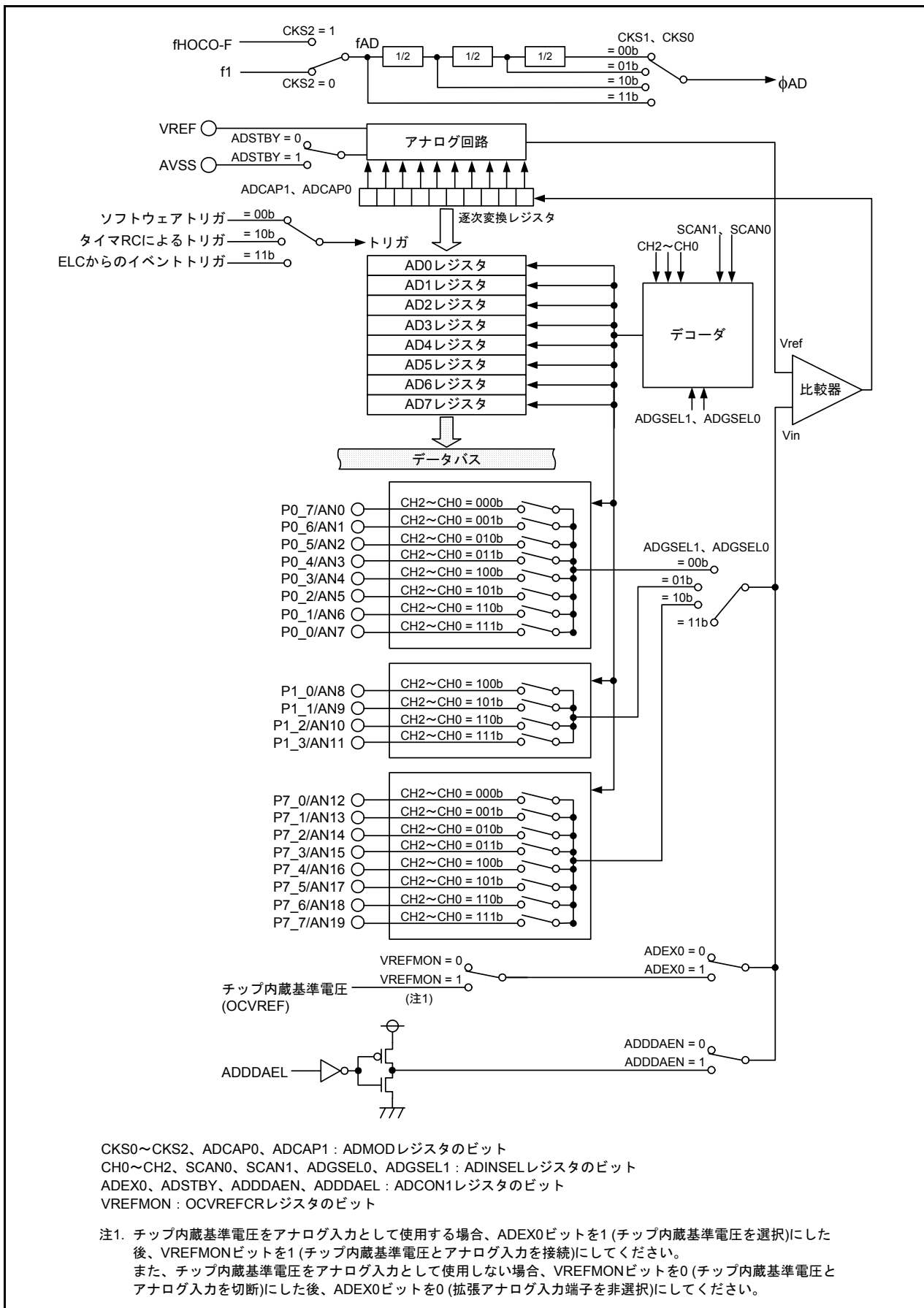


図 23.1 A/Dコンバータのブロック図

表23.2 A/Dコンバータの端子構成

端子名	入出力	機能
AVCC	入力	アナログ部の電源入力
AVSS	入力	アナログ部のグラウンド入力
AN0	入力	ポートP0グループのアナログ入力
AN1	入力	
AN2	入力	
AN3	入力	
AN4	入力	
AN5	入力	
AN6	入力	
AN7	入力	
AN8	入力	ポートP1グループのアナログ入力
AN9	入力	
AN10	入力	
AN11	入力	
AN12	入力	ポートP7グループのアナログ入力
AN13	入力	
AN14	入力	
AN15	入力	
AN16	入力	
AN17	入力	
AN18	入力	
AN19	入力	

23.2 レジスタの説明

表23.3にA/Dコンバータのレジスタ構成を示します。

表23.3 A/Dコンバータのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h	00032h	8
A/Dレジスタ0	AD0	00h	00200h	8または16(注1)
		00h	00201h	
A/Dレジスタ1	AD1	00h	00202h	8または16(注1)
		00h	00203h	
A/Dレジスタ2	AD2	00h	00204h	8または16(注1)
		00h	00205h	
A/Dレジスタ3	AD3	00h	00206h	8または16(注1)
		00h	00207h	
A/Dレジスタ4	AD4	00h	00208h	8または16(注1)
		00h	00209h	
A/Dレジスタ5	AD5	00h	0020Ah	8または16(注1)
		00h	0020Bh	
A/Dレジスタ6	AD6	00h	0020Ch	8または16(注1)
		00h	0020Dh	
A/Dレジスタ7	AD7	00h	0020Eh	8または16(注1)
		00h	0020Fh	
A/Dモードレジスタ	ADM0D	00h	00214h	8
A/D入力選択レジスタ	ADINSEL	11000000b	00215h	8
A/D制御レジスタ0	ADCON0	00h	00216h	8
A/D制御レジスタ1	ADCON1	00h	00217h	8

注1. アクセス方法の詳細は、各レジスタの項の説明を参照してください。

23.2.1 チップ内蔵基準電圧制御レジスタ (OCVREFCR)

アドレス 00032h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	VREFMON
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VREFMON	チップ内蔵基準電圧—アナログ入力接続ビット(注1)	0: チップ内蔵基準電圧とアナログ入力を切断 1: チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1レジスタのADEX0ビットを(チップ内蔵基準電圧を選択)にした後に、VREFMONビットを1(チップ内蔵基準電圧とアナログ入力を接続)にしてください。また、チップ内蔵基準電圧をアナログ入力として使用しない場合、VREFMONビットを0(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを0(拡張アナログ入力端子を非選択)にしてください。

OCVREFCRレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後で書き換えてください。

A/D変換中にOCVREFCRレジスタの内容を書き換えた場合、変換結果は不定になります。

23.2.2 A/Dレジスタ*i* (AD*i*) (*i* = 0 ~ 7)

アドレス 00200h (AD0)、00202h (AD1)、00204h (AD2)、00206h (AD3)、00208h (AD4)、0020Ah (AD5)、0020Ch (AD6)、0020Eh (AD7)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	AD9	AD8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能		R/W
		10ビットモードの場合 (ADCON1レジスタのBITSビット=1)	8ビットモードの場合 (ADCON1レジスタのBITSビット=0)	
b0	AD0	A/D変換結果の下位8ビット	A/D変換結果	R
b1	AD1			R
b2	AD2			R
b3	AD3			R
b4	AD4			R
b5	AD5			R
b6	AD6			R
b7	AD7			R
b8	AD8	A/D変換結果の上位2ビット	読んだ場合、その値は0。	R
b9	AD9			R
b10	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b11	—			
b12	—			
b13	—			
b14	—			
b15	—	予約ビット	読んだ場合、その値は不定。	R

A/D変換中にADCON1、ADMOD、ADINSEL、OCVREFCRレジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、AD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

23.2.3 A/Dモードレジスタ (ADM0D)

アドレス	00214h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 0 0 : fADの8分周 0 1 : fADの4分周 1 0 : fADの2分周 1 1 : fADの1分周(分周なし)	R/W
b1	CKS1			R/W
b2	CKS2		クロック源選択ビット (注1)	0 : f1を選択 1 : fHOCO-Fを選択
b3	MD0	A/D動作モード選択ビット (注2)	b5 b4 b3 0 0 0 : 単発モード 0 0 1 : 設定しないでください 0 1 0 : 繰り返しモード0 0 1 1 : 繰り返しモード1 1 0 0 : 単掃引モード 1 0 1 : 設定しないでください 1 1 0 : 繰り返し掃引モード 1 1 1 : 設定しないでください	R/W
b4	MD1			R/W
b5	MD2			R/W
b6	ADCAP0			A/D変換トリガ選択ビット
b7	ADCAP1	R/W		

注1. クロック源を切り替えるときは、A/D変換停止後、切り替えてください。また、CKS2ビットを変更したときは、fHOCO-Fクロックの2サイクル以上経過した後に、A/D変換を開始してください。

注2. 単掃引モード、繰り返し掃引モードでA/D変換を実行するときは、ADINSELレジスタのCH2～CH0ビットを000bにしてください。

A/D変換中にADM0Dレジスタの内容を書き換えた場合、変換結果は不定になります。

CKS2ビット(クロック源選択ビット)

A/Dコンバータで使用するfADクロックを選択します。

23.2.4 A/D入力選択レジスタ (ADINSEL)

アドレス	00215h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	SCAN1	SCAN0	—	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット (注1)	「表 23.4 アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	—	予約ビット	書く場合、0を書いてください。読んだ場合、その値は0。	R/W
b4	SCAN0	A/D 掃引端子数選択ビット	b5 b4 0 0 : 2端子 0 1 : 4端子 1 0 : 6端子 1 1 : 8端子	R/W
b5	SCAN1			R/W
b6	ADGSEL0	A/D入力グループ選択ビット	b7 b6 0 0 : ポートP0グループを選択 0 1 : ポートP1グループを選択 1 0 : ポートP7グループを選択 1 1 : ポートグループを非選択	R/W
b7	ADGSEL1			R/W

注1. 単掃引モード、繰り返し掃引モードでA/D変換を実行するときは、ADINSELレジスタのCH2～CH0ビットを000bにしてください。

A/D変換中にADINSELレジスタの内容を書き換えた場合、変換結果は不定になります。

表 23.4 アナログ入力端子選択

CH2～CH0ビット	ADGSEL1、ADGSEL0 ビット=00b	ADGSEL1、ADGSEL0 ビット=01b	ADGSEL1、ADGSEL0 ビット=10b
000b	AN0	AN8	AN12
001b	AN1	AN9	AN13
010b	AN2	AN10	AN14
011b	AN3	AN11	AN15
100b	AN4	設定しないでください	AN16
101b	AN5		AN17
110b	AN6		AN18
111b	AN7		AN19

23.2.5 A/D制御レジスタ0 (ADCON0)

アドレス	00216h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

ADSTビット(A/D変換開始フラグ)

【1になる条件】 A/D変換開始時およびA/D変換中

【0になる条件】 A/D変換停止時

ADSTビットは次のように動作します。

- 単発モードかつソフトウェアトリガでA/D変換開始した場合、A/D変換終了時にADSTビットは0になります。
- 単掃引モードかつソフトウェアトリガでA/D変換開始した場合、A/D変換終了時にADSTは0になります。
- プログラムで1を書いた場合、開始処理時間(「表 23.5 各A/D変換項目のサイクル数」参照)後に1(A/D変換開始)になるため、1を書き込み後すぐに読み出すと、0(A/D変換停止)が読めることがあります(図23.2参照)。
- A/D変換中にADSTビットを0にして強制停止し、次にADSTビットに1を書く場合、終了処理時間確保のために ϕ_{AD} の2クロック以上の間隔をあけてください。

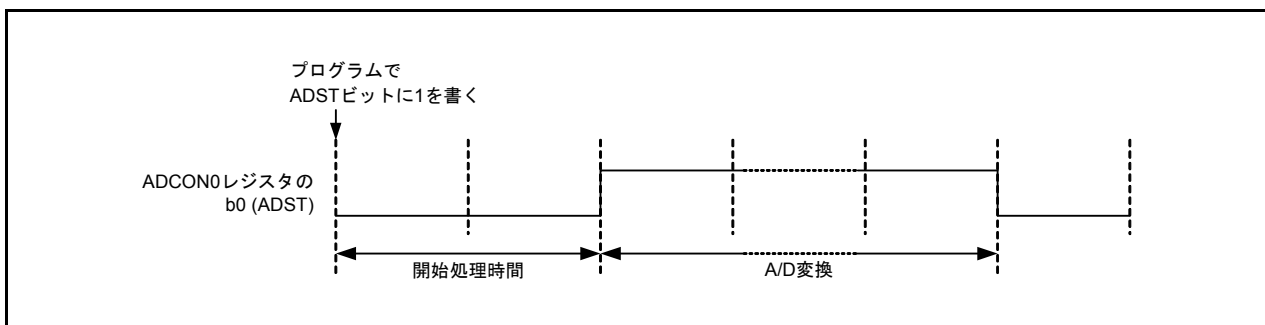


図23.2 ADSTビットの動作

23.2.6 A/D制御レジスタ1 (ADCON1)

アドレス	00217h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	—	—	—	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット (注1)	0: 拡張アナログ入力端子を非選択 1: チップ内蔵基準電圧を選択(注2、3、4)	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	—			
b4	BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット (注5)	0: A/D動作停止(スタンバイ) 1: A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可 ビット(注4、6、7)	0: 禁止 1: 許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択 ビット(注6、7)	0: 変換前ディスチャージ 1: 変換前プリチャージ	R/W

- 注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを1(チップ内蔵基準電圧を選択)にした後に、OCVREFCRレジスタのVREFMONビットを1(チップ内蔵基準電圧とアナログ入力を接続)にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、VREFMONビットを0(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを0(拡張アナログ入力端子を非選択)にしてください。
- 注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。
- 注3. ADEX0ビットを1(チップ内蔵基準電圧を選択)にしたとき、ADINSELレジスタのCH0~CH2ビットとADGSEL0、ADGSEL1ビットの設定(アナログ入力AN0~AN19の選択)は無効になり、チップ内蔵基準電圧が選択されません。チップ内蔵基準電圧を使用する場合、ADINSELレジスタのCH2~CH0ビットを000bにしてください。
1(チップ内蔵基準電圧を選択)を選択したときの動作については、「23.3.7 チップ内蔵基準電圧(OCVREF)」を参照してください。
- 注4. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADDDAENビットを0(A/D断線検出アシスト機能を禁止)にしてください。
- 注5. ADSTBYビットを0(A/D動作停止)から1(A/D動作可能)にしたときは、 ϕ ADの1サイクル以上経過した後にA/D変換を開始してください。
- 注6. A/D断線検出アシスト機能を許可にするためには、ADDDAENビットを1(許可)にした後、ADDDAELビットで変換開始状態を選択してください。
断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。
- 注7. ADDDAEN、ADDDAELビットを書き換えたときは、 ϕ ADの1サイクル以上経過した後にA/D変換を開始してください。

A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定になります。

23.3 複数モードに関わる共通事項

23.3.1 入出力端子

アナログ入力はAN0～AN19で、P0_0～P0_7、P1_0～P1_3、P7_0～P7_7と端子を共用しています。AN0～AN19端子を入力で使用する場合、端子に対応するポート方向ビットを0(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

23.3.2 A/D変換サイクル数

図23.3にA/D変換タイミング図を、図23.4にA/D変換サイクル数($\phi_{AD} = f_{AD}$ のとき)を示します。

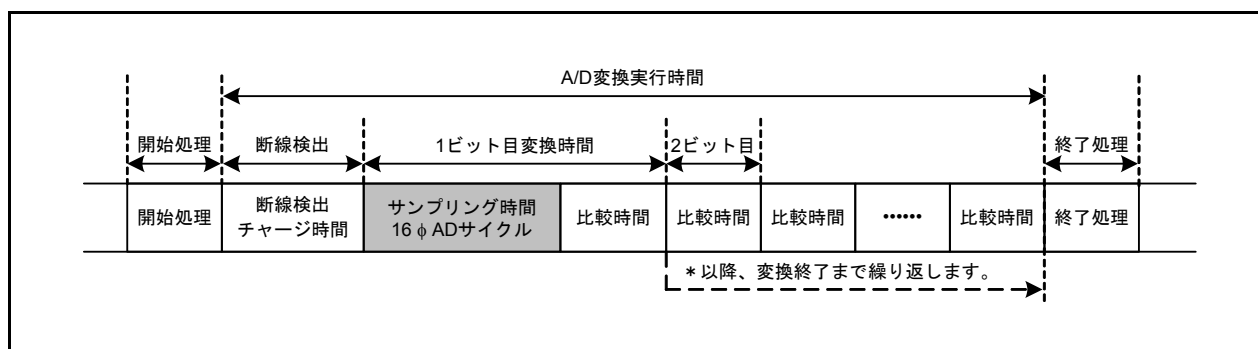


図23.3 A/D変換タイミング図

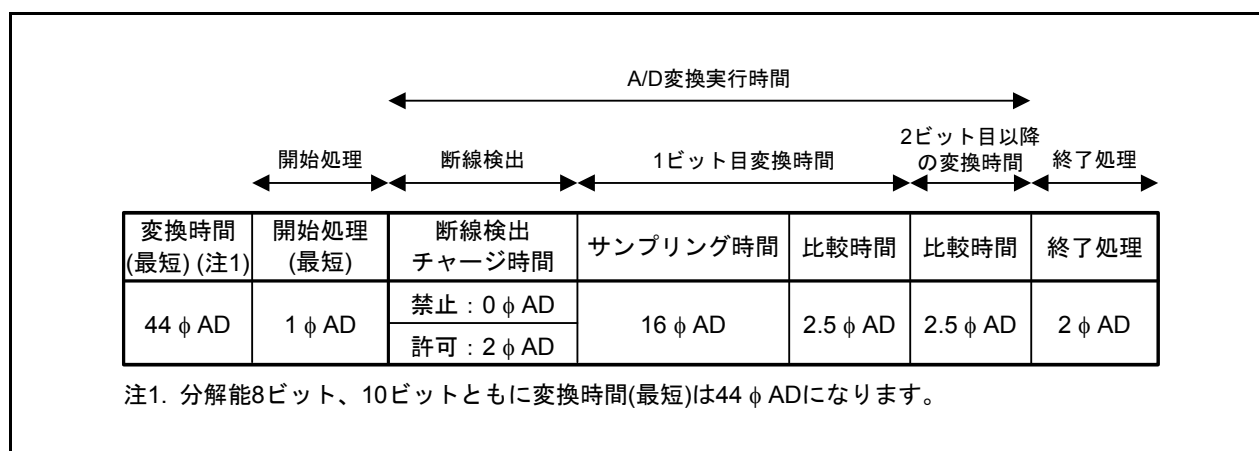


図23.4 A/D変換サイクル数($\phi_{AD} = f_{AD}$ のとき)

表23.5に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。

開始処理時間は ϕAD の選択によって変わります。

ADCON0レジスタのADSTビットに1(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと0(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にADSTビットが0になり、最後のA/D変換結果がADiレジスタ($i = 0 \sim 7$)に入ります。

- 単発モードの場合
開始処理時間 + A/D変換実行時間 + 終了処理時間
- 単掃引モードで2端子を選択した場合
開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表23.5 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	$\phi AD = fAD$	fADの1~2サイクル
	$\phi AD = fAD$ の2分周	fADの2~3サイクル
	$\phi AD = fAD$ の4分周	fADの3~4サイクル
	$\phi AD = fAD$ の8分周	fADの5~6サイクル
A/D変換実行時間	断線検出禁止	ϕAD の40サイクル + fADの1~3サイクル
	断線検出許可	ϕAD の42サイクル + fADの1~3サイクル
実行間処理時間		ϕAD の1サイクル
終了処理時間		fADの2~3サイクル

23.3.3 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと、タイマRCからのトリガと、イベントリンクコントローラ(ELC)からのイベント入力トリガがあります。

図23.5にA/D変換開始制御部のブロック図(j = A、B、C、D)を示します。

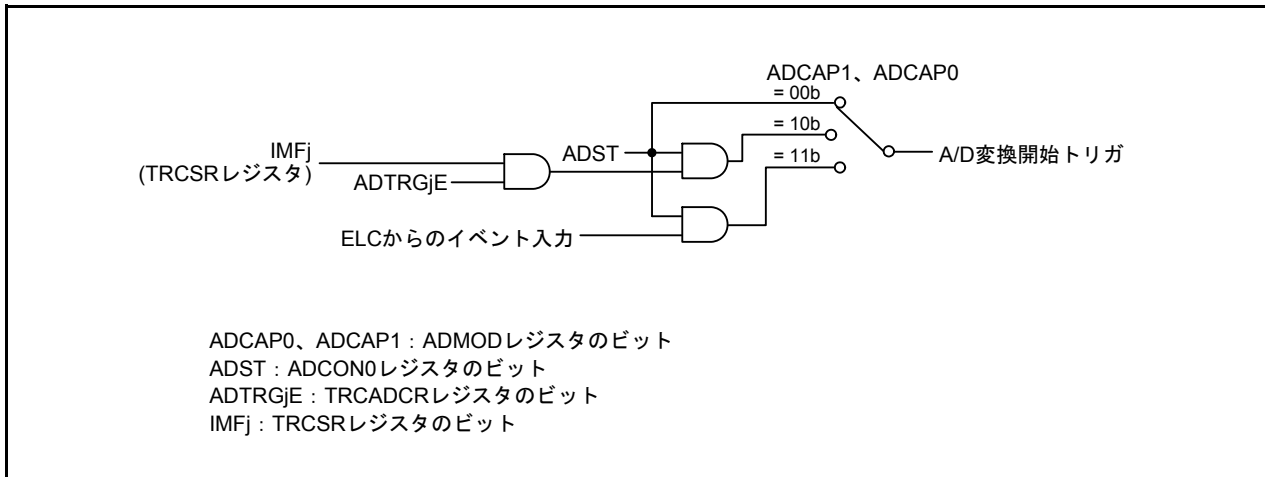


図23.5 A/D変換開始制御部のブロック図(j = A、B、C、D)

23.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1、ADCAP0ビットが00b(ソフトウェアトリガ)の場合です。ADCON0レジスタのADSTビットを1(A/D変換開始)にするとA/D変換を開始します。

23.3.3.2 タイマRCからのトリガ

ADMODレジスタのADCAP1、ADCAP0ビットが10b(タイマRC)の場合です。この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1、ADCAP0ビットが10b(タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCRレジスタのADTRGjEビット(j = A、B、C、D)が1(TRCGRjレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが1(A/D変換開始)

上記の状態、TRCSRレジスタのIMFjビットが0から1になると、A/D変換を開始します。

タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は、「17. タイマRC」、「17.3.1 タイマモード」、「17.3.2 PWMモード」、「17.3.3 PWM2モード」を参照してください。

23.3.3.3 イベントリンクコントローラ(ELC)からのイベント入力トリガ

ADMODレジスタのADCAP1、ADCAP0ビットが11b(ELCからのイベント入力トリガ)の場合、ELCからのイベント入力を受けてA/D変換を開始できます。

例としてINT0をA/D変換開始トリガとしての使用方法を説明します。

- ADMODレジスタのADCAP1、ADCAP0ビットを11bにする。
- INTENレジスタのINT0ENビットを1(INT0入力許可)、INT0PLビットを0(片エッジ)、INTPOLレジスタのINT0POLビットを0(立ち下がりがエッジを選択)にする。
- PD4レジスタのPD4_5ビットを0(入力モード)にする。

- $\overline{\text{INT0}}$ のデジタルフィルタをINTFレジスタのINT0F0、INT0F1ビットで選択する。
- ELSELR0レジスタのELSEL3～ELSEL0ビットを0001b(リンク先周辺機能にA/Dコンバータを選択)
- ADCON0レジスタのADSTビットを1(A/D変換開始)にする。

上記の状態、 $\overline{\text{INT0}}$ 端子の入力をHからLにすると、A/D変換を開始します。

23.3.4 A/D変換結果

A/D変換した結果はAD_iレジスタ($i=0\sim 7$)に格納されます。使用するA/D動作モードによって、格納されるAD_iレジスタは異なります。AD_iレジスタに値は書き込めません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが1になります)。

ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとAD_iレジスタに値を上書きしますので、それまでにAD_iレジスタを読み出してください。

単発モード、単掃引モードで、ADMODレジスタのADCAP1、ADCAP0ビットが00b(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを0(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、ADSTビットへの0書き込みタイミングによっては、A/D変換割り込み要求が発生する場合があります。プログラムでADSTビットを0にした場合は、AD_iレジスタの値およびA/D変換割り込みを使用しないでください。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを0(A/D変換停止)にして強制終了後、ADSTビットに1を書き込む場合は、終了処理時間確保のため ϕ ADクロックで2クロック以上の間隔をあけてください。

23.3.5 分解能(8ビット/10ビットモード)

A/Dコンバータの分解能に8ビットまたは10ビットを選択できます。ADCON1レジスタのBITSビットにより、8ビット/10ビットモードを選択できます。

23.3.6 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを0(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを1(A/D動作可能)にして、 ϕ ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを1(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に1を書かないでください。

また、A/D変換中にADSTBYビットを0(A/D動作停止(スタンバイ))にしないでください。

23.3.7 チップ内蔵基準電圧(OCVREF)

単発モード、繰り返しモード0、繰り返しモード1では、チップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0ビットとOCVREFCRレジスタのVREFMONビットで選択してください。

ADEX0ビットに1を設定する場合、ADINSELレジスタのCH2~CH0ビットは000bを選択してください。

繰り返しモード1でのチップ内蔵基準電圧のA/D変換結果は、変換回数によりAD0~AD7レジスタのいずれかに格納されます。

23.3.8 A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアンプキャパシタの電荷を所定の状態(AVCCまたはGND)に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図 23.6 に AVCC 側での A/D 断線検出例 (変換前プリチャージを選択) ($i = 0 \sim 19$) を、図 23.7 に AVSS 側での A/D 断線検出例 (変換前ディスチャージを選択) ($i = 0 \sim 19$) を示します。

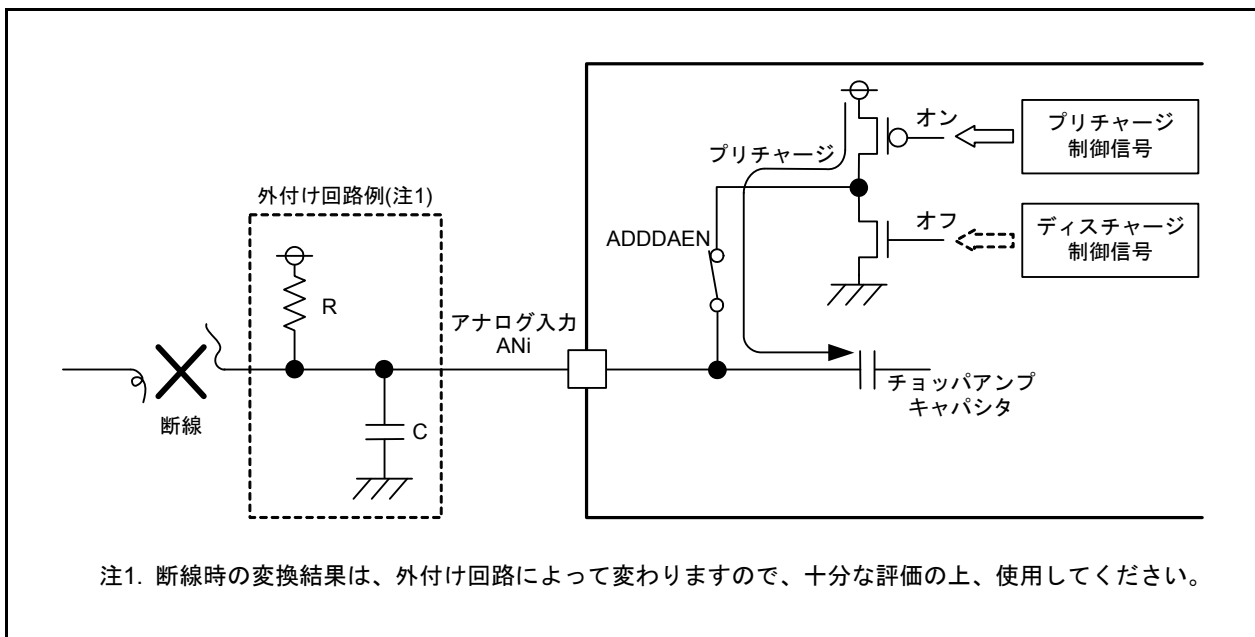


図 23.6 AVCC 側での A/D 断線検出例 (変換前プリチャージを選択) ($i = 0 \sim 19$)

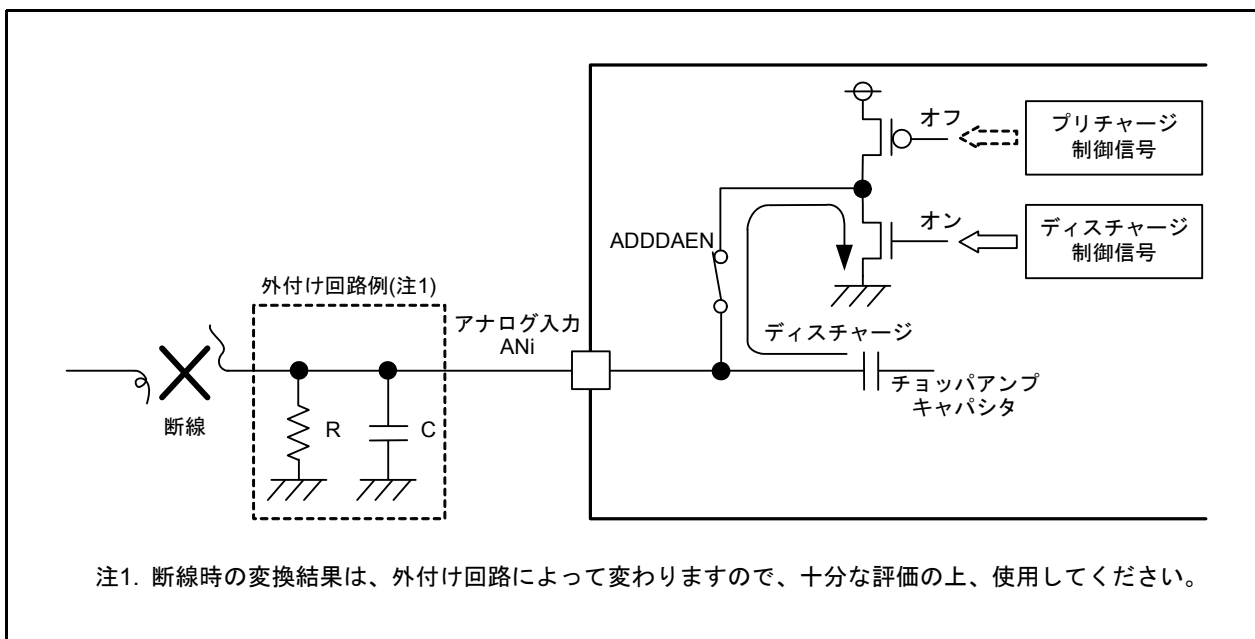


図 23.7 AVSS 側での A/D 断線検出例 (変換前ディスチャージを選択) ($i = 0 \sim 19$)

23.4 単発モード

AN0～AN19またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。表23.6に単発モードの仕様を示します。

表23.6 単発モードの仕様

項目	仕様
機能	ADINSELレジスタのCH0～CH2ビットとADGSEL0、ADGSEL1ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回A/D変換する(注1)
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRC • ELCからのイベント入力トリガ (「23.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> • A/D変換終了(ADMODレジスタのADCAP1、ADCAP0ビットが00b(ソフトウェアトリガ)の場合、ADCON0レジスタのADSTビットが0になる) • ADSTビットを0にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN19またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、AN12、OCVREF AD1レジスタ : AN1、AN9、AN13 AD2レジスタ : AN2、AN10、AN14 AD3レジスタ : AN3、AN11、AN15 AD4レジスタ : AN4、AN16 AD5レジスタ : AN5、AN17 AD6レジスタ : AN6、AN18 AD7レジスタ : AN7、AN19
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. ADEX0ビットを1(チップ内蔵基準電圧を選択)にする場合、ADINSELレジスタのCH2～CH0ビットを000bにしてください。

23.5 繰り返しモード0

AN0～AN19またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。表23.7に繰り返しモード0の仕様を示します。

表23.7 繰り返しモード0の仕様

項目	仕様
機能	ADINSELレジスタのCH0～CH2ビットとADGSEL0、ADGSEL1ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する(注1)
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> • ソフトウェアトリガ • タイマRC • ELCからのイベント入力トリガ (「23.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを0にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN0～AN19またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、AN12、OCVREF AD1レジスタ : AN1、AN9、AN13 AD2レジスタ : AN2、AN10、AN14 AD3レジスタ : AN3、AN11、AN15 AD4レジスタ : AN4、AN16 AD5レジスタ : AN5、AN17 AD6レジスタ : AN6、AN18 AD7レジスタ : AN7、AN19
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. ADEX0ビットビットを1(チップ内蔵基準電圧を選択)にする場合、ADINSELレジスタのCH2～CH0ビットを000bにしてください。

23.6 繰り返しモード1

AN0～AN19またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。表23.8に繰り返しモード1の仕様を、図23.8に繰り返しモード1時の動作例を示します。

表23.8 繰り返しモード1の仕様

項目	仕様
機能	ADINSELレジスタのCH0～CH2ビットとADGSEL0、ADGSEL1ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> ・ソフトウェアトリガ ・タイマRC ・ELCからのイベント入力トリガ (「23.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを0にする
割り込み要求発生タイミング	AD7レジスタにA/D変換結果が格納されたとき
アナログ入力端子	AN0～AN19またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、… AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、… AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、… AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、… AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、… AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、… AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、… AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、…
A/D変換値の読み出し	AD0～AD7レジスタの読み出し

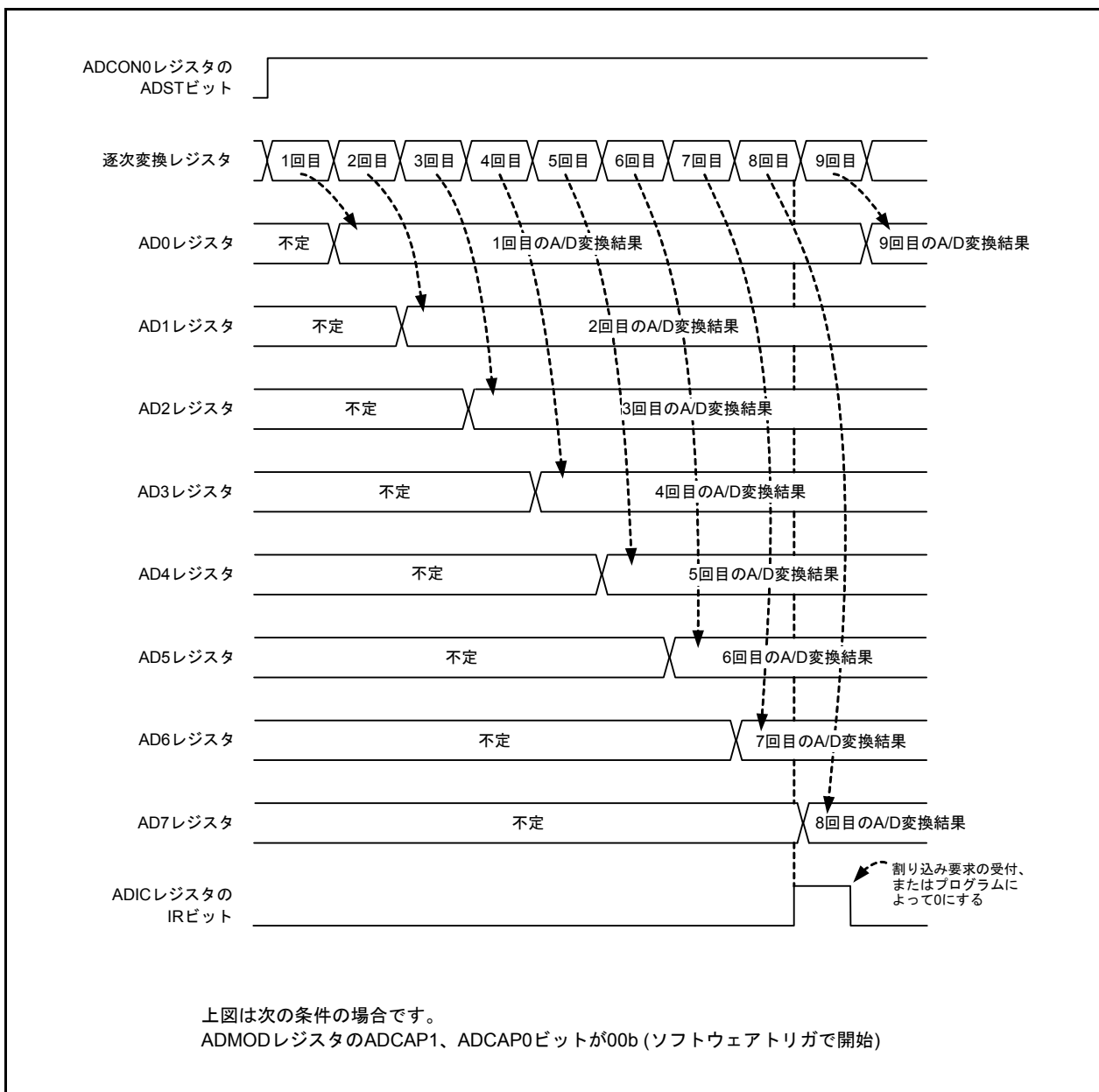


図 23.8 繰り返しモード1時の動作例

23.7 単掃引モード

AN0～AN19から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表23.9に単掃引モードの仕様を、図23.9に単掃引モード時の動作例を示します。

表23.9 単掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL0、ADGSEL1ビットとSCAN0、SCAN1ビットで選択した端子の入力電圧を1回ずつA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ タイマRC ELCからのイベント入力トリガ (「23.3.3 A/D変換開始条件」参照)
A/D変換停止条件	<ul style="list-style-type: none"> 2端子を選択している場合、選択した2端子のA/D変換終了時 - (ADCON0レジスタのADSTビットが0になる) 4端子を選択している場合、選択した4端子のA/D変換終了時 - (ADSTビットが0になる) 6端子を選択している場合、選択した6端子のA/D変換終了時 - (ADSTビットが0になる) 8端子を選択している場合、選択した8端子のA/D変換終了時 - (ADSTビットが0になる) ADSTビットを0にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> 2端子を選択している場合、選択した2端子のA/D変換終了時 4端子を選択している場合、選択した4端子のA/D変換終了時 6端子を選択している場合、選択した6端子のA/D変換終了時 8端子を選択している場合、選択した8端子のA/D変換終了時
アナログ入力端子(注1)	AN0、AN1 (2端子)、AN8、AN9 (2端子)、AN12、AN13 (2端子)、 AN0～AN3 (4端子)、AN8～AN11 (4端子)、AN12～AN15 (4端子)、 AN0～AN5 (6端子)、AN12～AN17 (6端子)、 AN0～AN7 (8端子)、AN12～AN19 (8端子) (SCAN0、SCAN1ビットとADGSEL0、ADGSEL1ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、AN12 AD1レジスタ : AN1、AN9、AN13 AD2レジスタ : AN2、AN10、AN14 AD3レジスタ : AN3、AN11、AN15 AD4レジスタ : AN4、AN16 AD5レジスタ : AN5、AN17 AD6レジスタ : AN6、AN18 AD7レジスタ : AN7、AN19
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. 単掃引モードを実行するときは、ADINSELレジスタのCH2～CH0ビットに000bを設定してください。

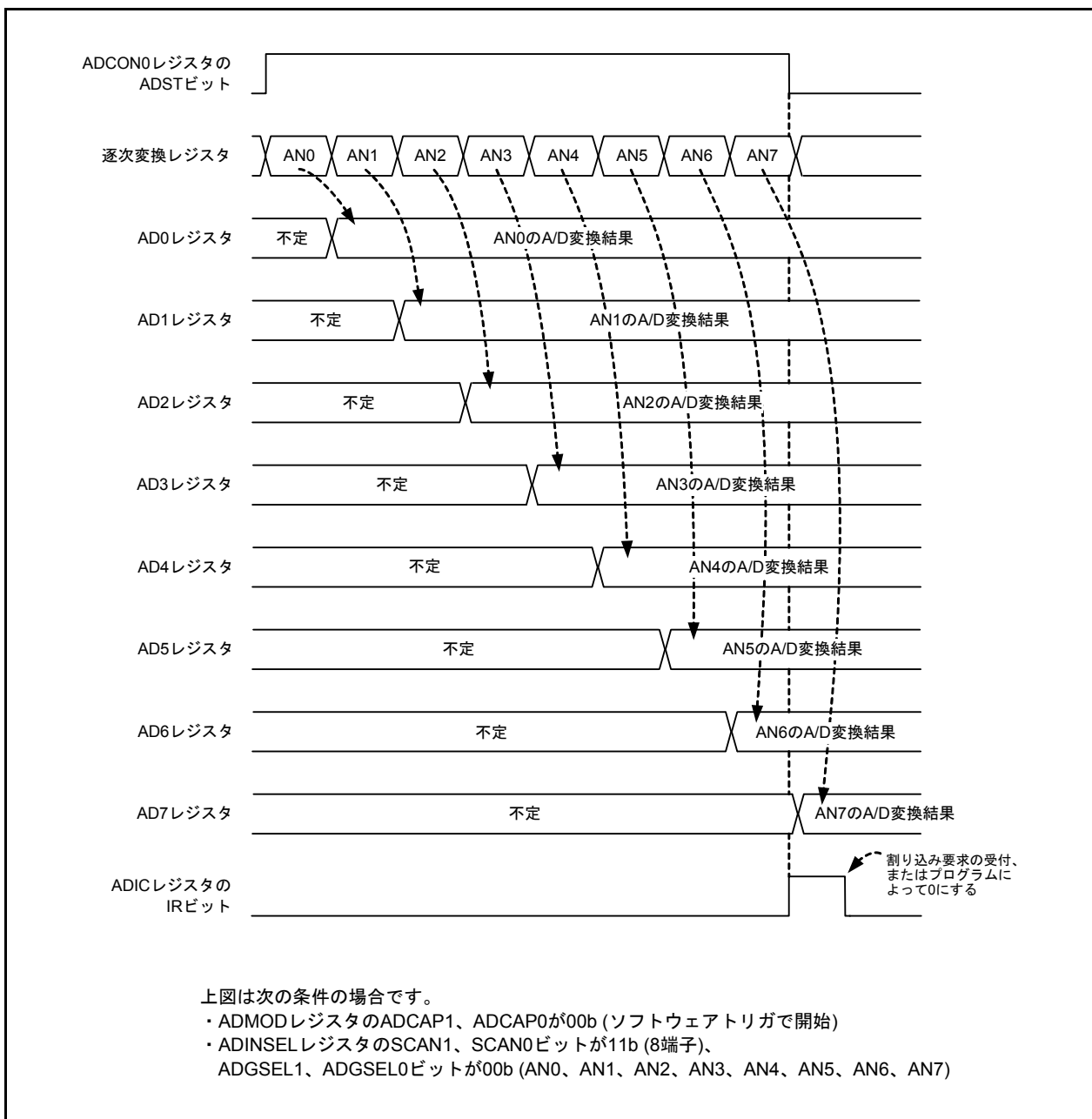


図23.9 単掃引モード時の動作例

23.8 繰り返し掃引モード

AN0～AN19から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表23.10に繰り返し掃引モードの仕様を、図23.10に繰り返し掃引モード時の動作例を示します。

表23.10 繰り返し掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL0、ADGSEL1ビットとSCAN0、SCAN1ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ タイマRC ELCからのイベント入カトリガ (「23.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを0にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> 2端子を選択している場合、選択した2端子のA/D変換終了時 4端子を選択している場合、選択した4端子のA/D変換終了時 6端子を選択している場合、選択した6端子のA/D変換終了時 8端子を選択している場合、選択した8端子のA/D変換終了時
アナログ入力端子(注1)	AN0、AN1 (2端子)、AN8、AN9 (2端子)、AN12、AN13 (2端子)、 AN0～AN3 (4端子)、AN8～AN11 (4端子)、AN12～AN15 (4端子)、 AN0～AN5 (6端子)、AN12～AN17 (6端子)、 AN0～AN7 (8端子)、AN12～AN19 (8端子) (SCAN0、SCAN1ビットとADGSEL0、ADGSEL1ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ : AN0、AN8、AN12 AD1レジスタ : AN1、AN9、AN13 AD2レジスタ : AN2、AN10、AN14 AD3レジスタ : AN3、AN11、AN15 AD4レジスタ : AN4、AN16 AD5レジスタ : AN5、AN17 AD6レジスタ : AN6、AN18 AD7レジスタ : AN7、AN19
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. 繰り返し掃引モードを実行するときは、ADINSELレジスタのCH2～CH0ビットに000bを設定してください。

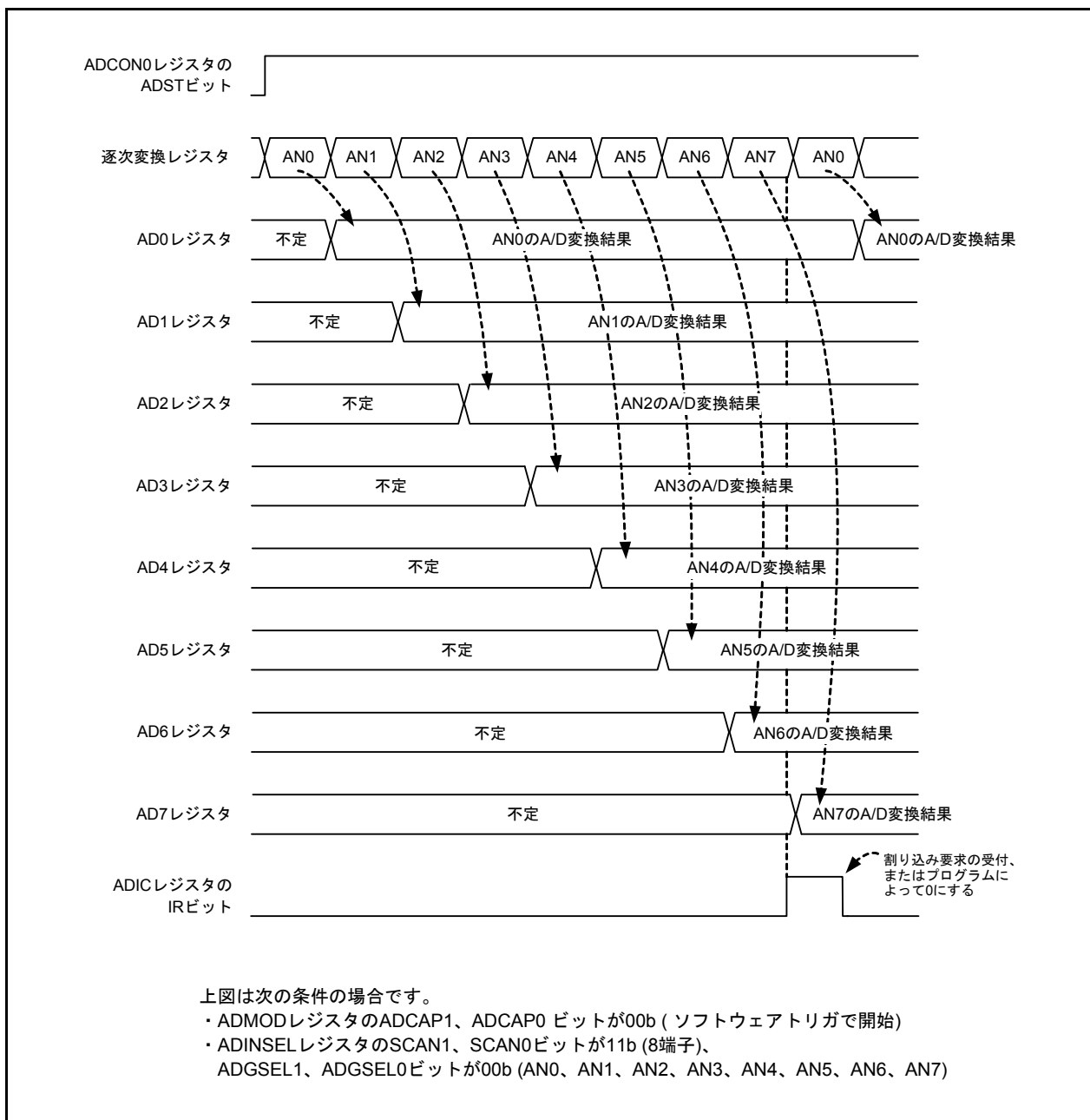


図23.10 繰り返し掃引モード時の動作例

23.9 A/D変換時のセンサの出カインピーダンス

A/D変換を正しく行うためには、図23.11の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出カインピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般に VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=Tのとき、VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{よって、} R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図23.11にアナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなると、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

$\phi_{AD} = 20 \text{ MHz}$ のとき、 $T = 0.8 \mu\text{s}$ となります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

$T = 0.8 \mu\text{s}$ 、 $R = 10 \text{ k}\Omega$ 、 $C = 6.0 \text{ pF}$ 、 $X = 0.1$ 、 $Y = 1024$ だから、

$$R0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 4.4 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出カインピーダンスR0は最大4.4 k Ω になります。

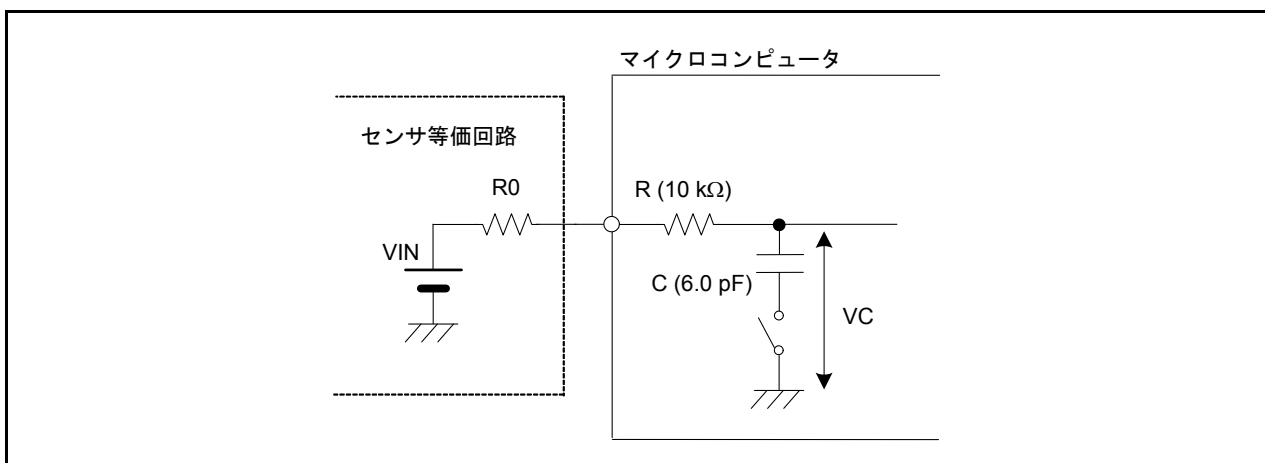


図23.11 アナログ入力端子と外部センサの等価回路例

23.10 A/Dコンバータ使用上の注意事項

23.10.1 A/D変換中の注意事項

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック ϕ AD以上の周波数を選択してください。 ϕ ADにfHOCO-Fを選択しないでください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(1(ウェイトモード時、周辺機能クロックを停止する)、0(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを1(フラッシュメモリ停止)、およびFMR27ビットを1(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- A/D変換中にCM1レジスタのCM10ビットを1(全クロック停止(ストップモード))にしないでください。
- A/D変換中にプログラムでADCON0レジスタのADSTビットを0(A/D変換停止)にして強制終了後、ADSTビットに1を書き込む場合は、終了処理時間確保のため、 ϕ ADクロックで2クロック以上の間隔をあけてください。

23.10.2 クロック源の切り替え

- クロック源を切り替える際は、A/D変換停止後、切り替えてください。また、クロック源切り替え後、fHOCO-Fクロックの2サイクル以上待ってから、A/D変換を開始してください。

【変更手順】

- (1) ADCON0レジスタのADSTビットを0(A/D変換停止)にする
- (2) ADMODレジスタのCKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) ADCON0レジスタのADSTビットを1(AD変換開始)にする

- クロック源をfHOCO-Fから他のクロックに変更し、fHOCO-Fを停止させる場合は、クロック源切り替え後、fHOCO-Fの2サイクル以上待ってからfHOCO-Fを停止させてください。

【変更手順】

- (1) ADCON0レジスタのADSTビットを0(A/D変換停止)にする
- (2) ADMODレジスタのCKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

注1. fHOCO-Fをクロック源に選択しているとき、FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にしないでください。

注2. fHOCO-Fをクロック源に選択しているとき、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

23.10.3 端子処理

VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。

24. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

24.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧としてIVREFi (i = 1, 3)端子への入力可以使用です。

表24.1にコンパレータBの仕様を、図24.1にコンパレータBのブロック図を、表24.2に入出力端子を示します。

表24.1 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMPi端子への入力電圧
リファレンス入力電圧	IVREFi端子への入力電圧
比較結果	INTCMPレジスタのINTiCOUTビットの読み出し
割り込み要求発生タイミング	比較結果が変化するとき
選択機能	デジタルフィルタ機能 - デジタルフィルタの有無、サンプリング周波数を選択できる

i = 1, 3

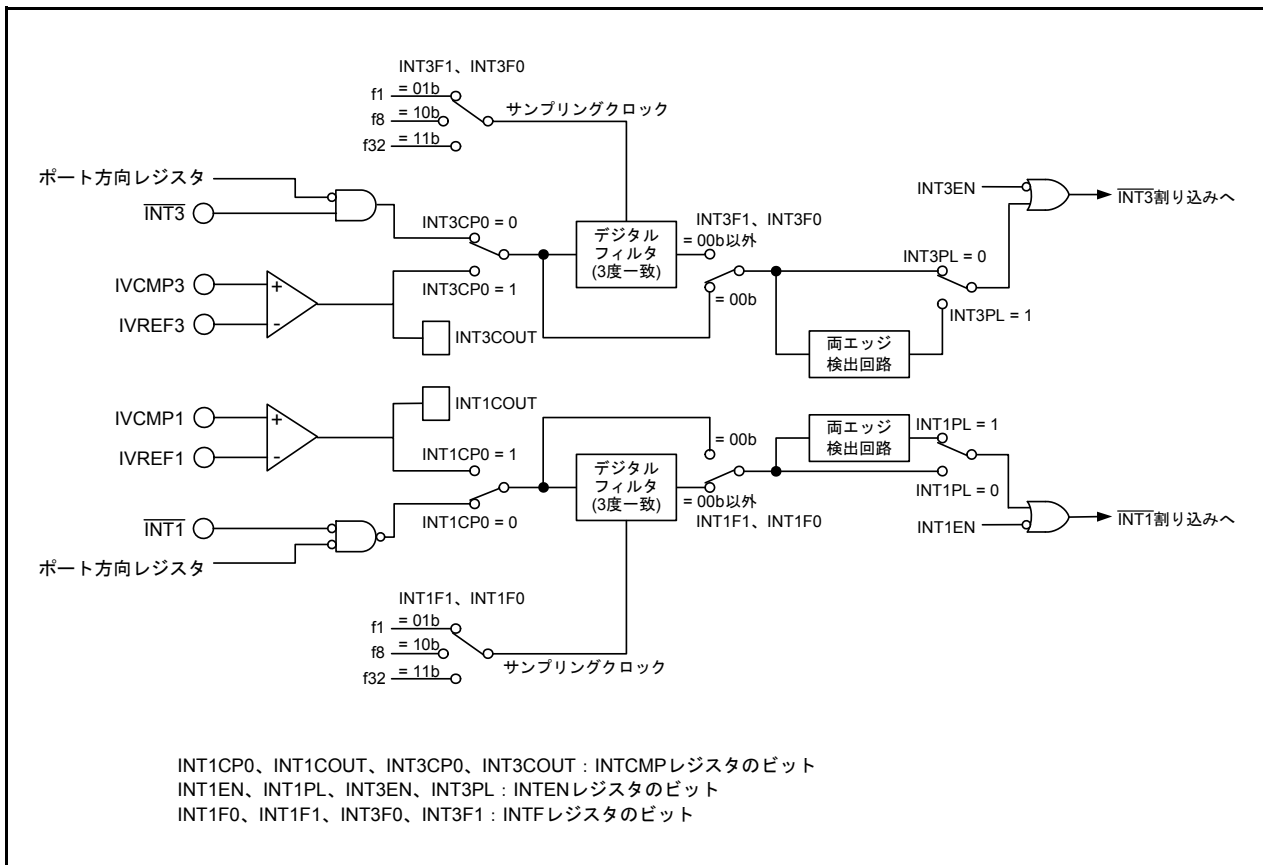


図24.1 コンパレータBのブロック図

表 24.2 入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータB1用アナログ端子
IVREF1	入力	コンパレータB1用リファレンス電圧端子
IVCMP3	入力	コンパレータB3用アナログ端子
IVREF3	入力	コンパレータB3用リファレンス電圧端子

24.2 レジスタの説明

表24.3にコンパレータBのレジスタ構成を示します。

表24.3 コンパレータBのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
コンパレータB制御レジスタ0	INTCMP	00h	00228h	8

24.2.1 コンパレータB制御レジスタ0 (INTCMP)

アドレス 00228h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	—	—	INT3CP0	INT1COUT	—	—	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータB1動作許可ビット	0: コンパレータB1動作禁止 1: コンパレータB1動作許可	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b3	INT1COUT	コンパレータB1モニタフラグ	0: IVCMP1 < IVREF1またはコンパレータB1動作禁止 1: IVCMP1 > IVREF1	R
b4	INT3CP0	コンパレータB3動作許可ビット	0: コンパレータB3動作禁止 1: コンパレータB3動作許可	R/W
b5	—	予約ビット	0にしてください	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b7	INT3COUT	コンパレータB3モニタフラグ	0: IVCMP3 < IVREF3またはコンパレータB3動作禁止 1: IVCMP3 > IVREF3	R

24.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。

表24.4にコンパレータB関連レジスタの設定手順を示します。

表24.4 コンパレータB関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi端子の機能選択。「14.4 周辺機能への入出力」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。		
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTiCPO	1 (動作許可)
4	コンパレータ安定時間(最大100 μ s)待ち		
5	INTEN	INTiEN	割り込みを使用する場合：1 (割り込み許可)
		INTiPL	割り込みを使用する場合：入力極性選択
6	INTiIC	ILVL2~ILVL0	割り込みを使用する場合：割り込み優先レベル選択
		IR	割り込みを使用する場合：0 (割り込み要求なし：初期化)

i = 1、3

図24.2にコンパレータBiの動作例(i = 1、3)を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが1になり、リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが0になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTiENビットを1(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「24.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

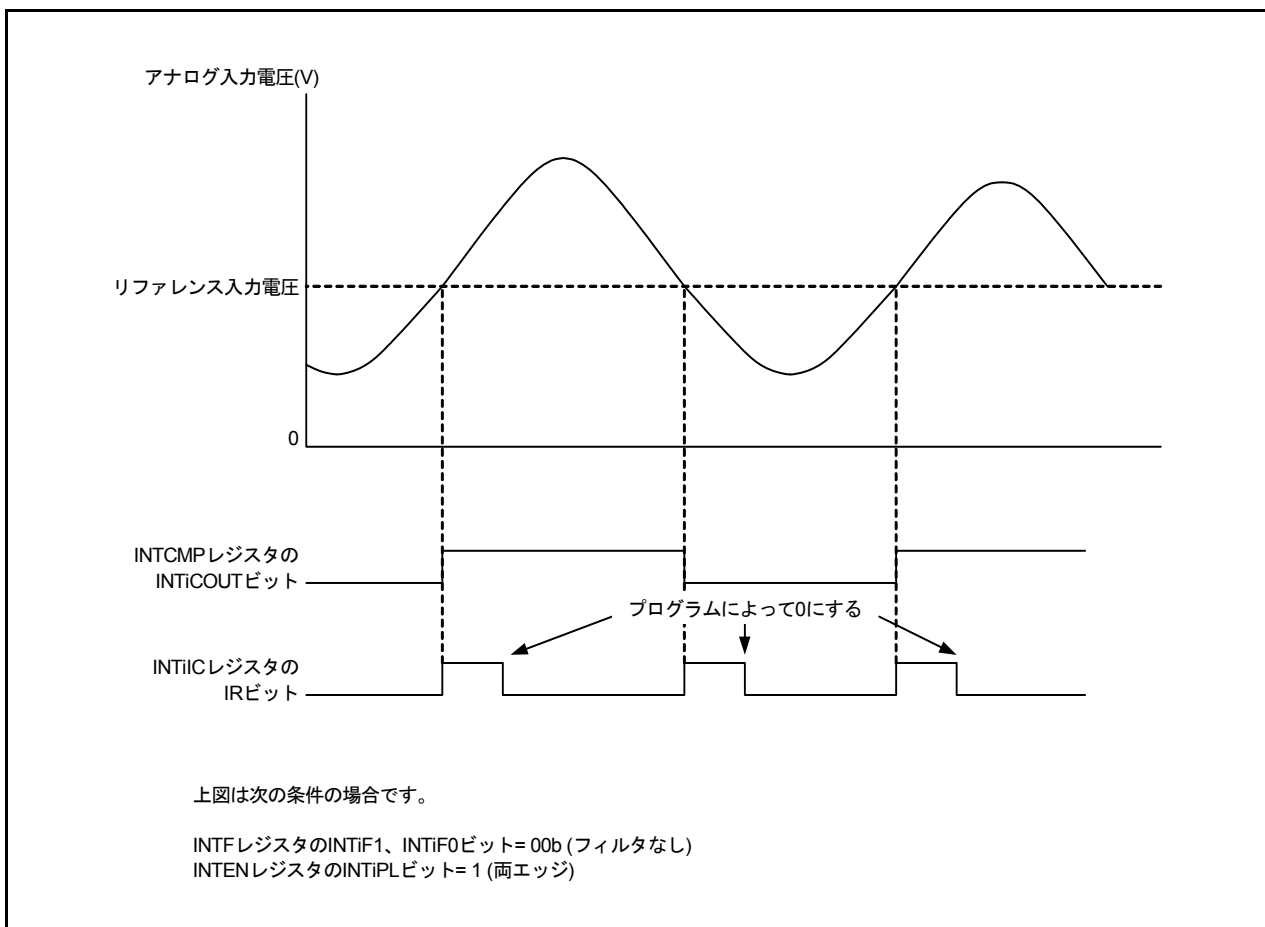


図24.2 コンパレータBiの動作例(i = 1、3)

24.3.1 コンパレータBiデジタルフィルタ (i = 1, 3)

コンパレータBiは、 $\overline{\text{INTi}}$ 入力と同一のデジタルフィルタを使用できます。サンプリングクロックはINTFレジスタのINTiF0、INTiF1ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号INTiCOUT信号をサンプリングし、レベルが3度一致した時点で、INTiCレジスタのIRビットが1(割り込み要求あり)になります。

図24.3にコンパレータBiデジタルフィルタの構成(i = 1, 3)を、図24.4にコンパレータBiデジタルフィルタ動作例(i = 1, 3)を示します。

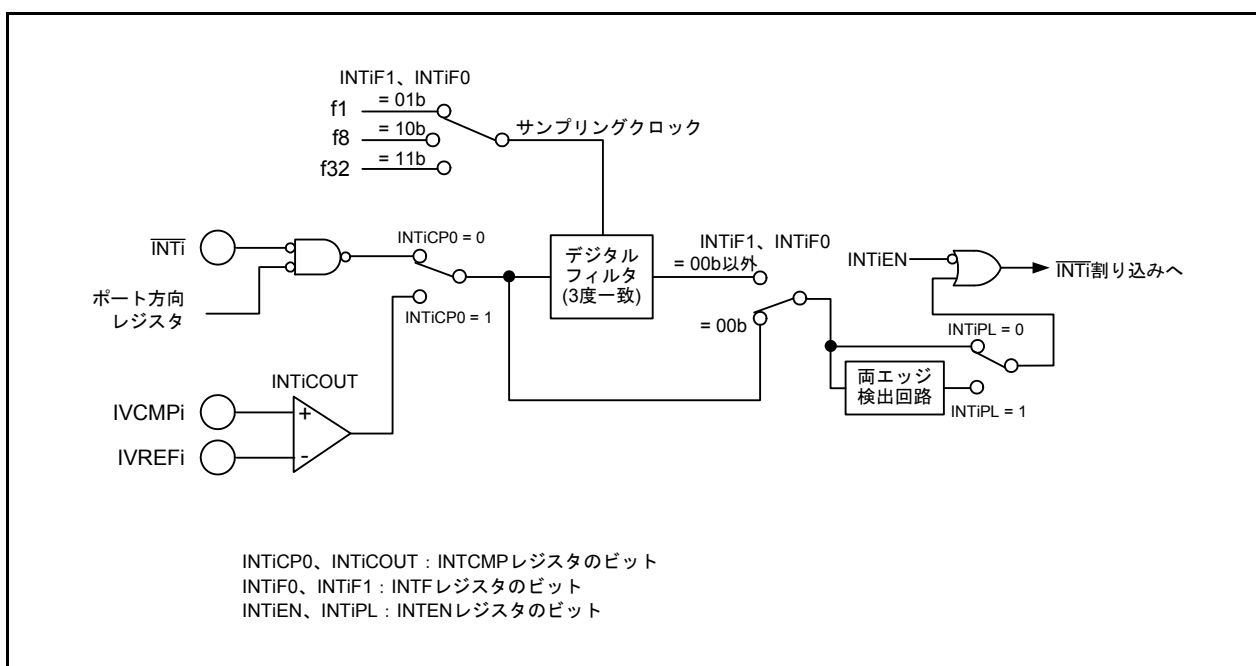


図24.3 コンパレータBiデジタルフィルタの構成 (i = 1, 3)

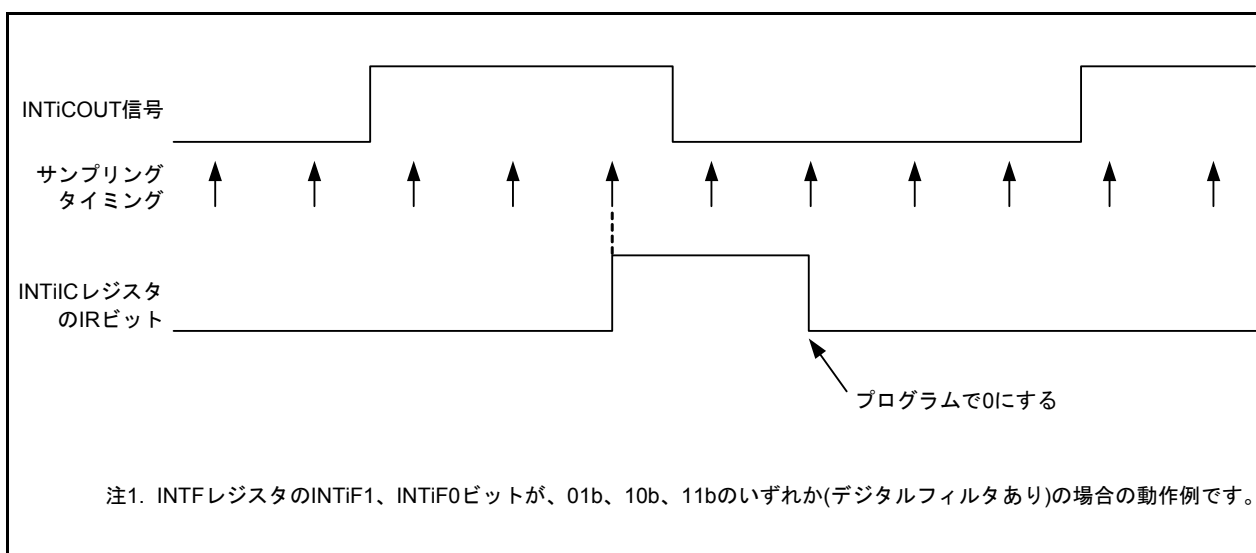


図24.4 コンパレータBiデジタルフィルタ動作例 (i = 1, 3)

24.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi (i = 1, 3) 割り込みはINTi入力による割り込みと同一のINTiICレジスタ (IRビット、ILVL0～ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINTiENビットを1 (許可)にしてください。さらに極性をINTENレジスタのINTiPLビットとINTPOLレジスタのINTIPOLビットで選択できます。また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

25. タッチセンサコントロールユニット

タッチセンサコントロールユニット(TSCU)は、静電容量方式タッチ電極を制御する機能です。

計測端子に接続されたタッチ電極の浮遊容量を計測します。

図25.1に示すように、電極と周囲の導電体との間には静電容量(浮遊容量)が存在します。人体も導電体ですので、電極に指(人体)が近づくと、浮遊容量の値が増加します。

タッチセンサコントロールユニットは、この浮遊容量の増加を検出し、接触の判定をします。

タッチセンサコントロールユニットの静電容量方式タッチ電極の計測動作原理については、「25.4 計測動作原理」を参照してください。

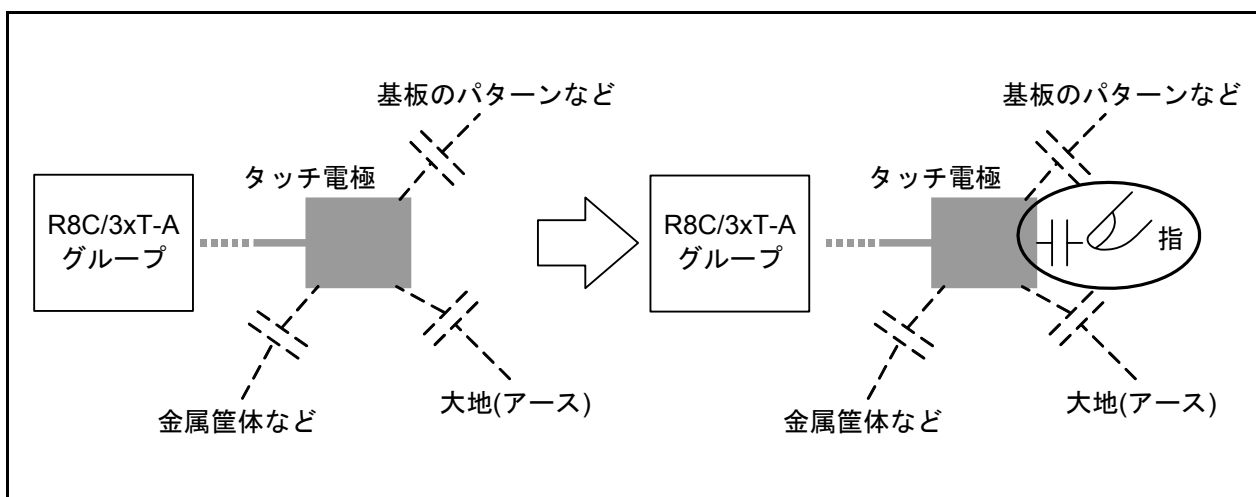


図25.1 指による浮遊容量の増加

25.1 概要

図25.2にタッチセンサコントロールユニットのブロック図を示します。

タッチセンサコントロールユニットは図25.2に示すようにステータス制御、セカンダリカウンタ、プライマリカウンタで構成されます。

タッチセンサコントロールユニットは静電容量方式タッチ電極の浮遊容量を検出するためのポート、カウンタを制御します。

タッチセンサコントロールユニットの動作クロックは、カウントソースとして選択したf1、f2またはf4です。カウントソースは各カウンタに供給されます。

タッチセンサコントロールユニットは、次の2種類の動作モードを持ちます。

- シングルモード 任意の1チャンネルの接触を検出する。
- スキャンモード 任意の複数チャンネルの接触を検出する。

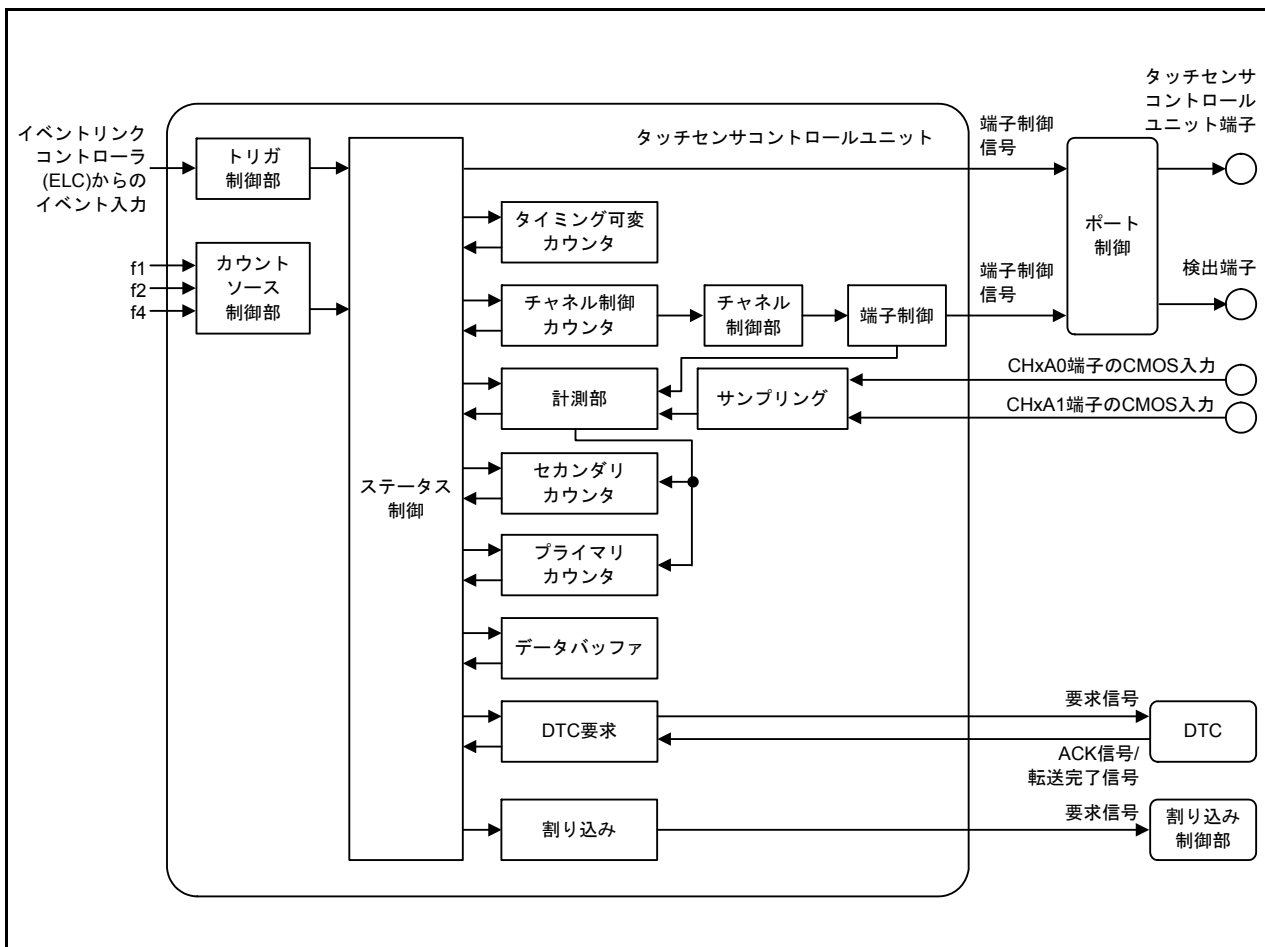


図25.2 タッチセンサコントロールユニットのブロック図

表 25.1 タッチセンサコントロールユニットの端子構成

端子名	入出力	機能
CHxA0	入出力	接触検出
CHxA1		
CHxB		静電容量接触検出制御信号入力
CHxC		
CH0	入力	静電容量接触検出端子
CH1		
CH2		
CH3		
CH4		
CH5		
CH6		
CH7		
CH8		
CH9		
CH10		
CH11		
CH12		
CH13		
CH14		
CH15		
CH16		
CH17		
CH18		
CH19		
CH20		
CH21		
CH22		
CH23		
CH24		
CH25		
CH26		
CH27		
CH28		
CH29		
CH30		
CH31		
CH32		
CH33		
CH34		
CH35		

25.2 レジスタの説明

表25.2にタッチセンサコントロールユニットのレジスタ構成を示します。

表25.2 タッチセンサコントロールユニットのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
TSCU制御レジスタ0	TSCUCR0	0000h	06B00h	16
TSCU制御レジスタ1	TSCUCR1	0000000000010000b	06B02h	16
TSCUモードレジスタ	TSCUMR	0000000010000000b	06B04h	16
TSCUタイミング制御レジスタ0A	TSCUTCRA	0000000001111111b	06B06h	16
TSCUタイミング制御レジスタ0B	TSCUTCRA	0000000001111111b	06B08h	16
TSCUタイミング制御レジスタ1	TSCUTCRA	0000000000000001b	06B0Ah	16
TSCUタイミング制御レジスタ2	TSCUTCRA	0000h	06B0Ch	16
TSCUタイミング制御レジスタ3	TSCUTCRA	0000h	06B0Eh	16
TSCUチャンネル制御レジスタ	TSCUCHC	0011111100000000b	06B10h	16
TSCUフラグレジスタ	TSCUFR	0000h	06B12h	16
TSCUステータスカウンタレジスタ	TSCUSTC	0000h	06B14h	16
TSCUセカンダリカウンタ設定レジスタ	TSCUSCS	000000000100000b	06B16h	16
TSCUセカンダリカウンタレジスタ	TSCUSCC	000000000100000b	06B18h	16
TSCUデータバッファレジスタ	TSCUDBR	0000h	06B1Ah	16
TSCUプライマリカウンタレジスタ	TSCUPRC	0000h	06B1Ch	16
TSCUランダム値格納レジスタ0	TSCURVR0	0000h	06B1Eh	16
TSCUランダム値格納レジスタ1	TSCURVR1	0000h	06B20h	16
TSCUランダム値格納レジスタ2	TSCURVR2	0000h	06B22h	16
TSCUランダム値格納レジスタ3	TSCURVR3	0000h	06B24h	16
TSCU入力許可レジスタ0	TSIE0	0000h	06B26h	16
TSCU入力許可レジスタ1	TSIE1	0000h	06B28h	16
TSCU入力許可レジスタ2	TSIE2	0000h	06B2Ah	16
TSCUCHXA選択レジスタ0	TSCHSEL0	0000h	06B2Ch	16
TSCUCHXA選択レジスタ1	TSCHSEL1	0000h	06B2Eh	16
TSCUCHXA選択レジスタ2	TSCHSEL2	0000h	06B30h	16

25.2.1 TSCU制御レジスタ0 (TSCUCR0)

アドレス 06B00h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TSCUCLK1	TSCUCLK0	TSCUSW	TSCUE	TSCUINIT	TSCUSTRT
リセット後の値	0	0	0	0	0	0	0	0
ビット								
シンボル	b15	b14	b13	b12	b11	b10	b9	b8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSCUSTRT	計測開始ビット	0 : 計測停止 1 : 計測開始	R/W
b1	TSCUINIT	TSCU制御部初期化ビット	このビットに1を書くと、TSCU制御部とレジスタが初期化されます(注1)。	R/W
b2	TSCUE	TSCU動作許可ビット	b3 b2 0 0 : TSCU 動作OFF/TSCU ソフトウェア動作OFF 0 1 : TSCU 動作ON 1 0 : TSCU ソフトウェア動作ON 1 1 : 設定しないでください	R/W
b3	TSCUSW	TSCUソフトウェア動作ビット		R/W
b4	TSCUCLK0	カウントソース選択ビット (内部動作のクロック切り替え)	b5 b4 0 0 : f1 0 1 : f2 (f1を2分周したクロック) 1 0 : f4 (f1を4分周したクロック) 1 1 : 設定しないでください	R/W
b5	TSCUCLK1			R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			
b8	—			
b9	—			
b10	—			
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

注1. 次が初期化されます。

- TSCUSTC、TSCUPRC、TSCUSCC、TSCUDBR、TSCUFRの各レジスタ
- TSCUCR0レジスタのTSCUSTRTビット
- TSCUCHCレジスタのCHCNT0～CHCNT5ビット
- TSCU制御部(TSCUタイミング制御カウンタ)

TSCUSTRTビット(計測開始ビット)

[0になる条件]

- プログラムで0(強制停止)にしたとき。
- TSCUMRレジスタのTSCUCAPビットが0(ソフトウェアトリガ)で計測が終了し、割り込み要求が発生したとき。
- TSCUINITビットに1を書いたとき。

[1になる条件]

プログラムで1を書いたとき。

TSCUMRレジスタのTSCUCAPビットが0(ソフトウェアトリガによるタッチセンサ計測開始)で、TSCUSTRTビットを0(計測停止)にしたとき、各カウンタの値は保持されます。1(計測開始)にすると、停止した状態から計測を再開します。

TSCUCAPビットが1(外部トリガによるタッチセンサ計測開始)のとき、TSCUSTRTビットを0にした後、TSCUSTRTビットを1にして外部トリガが発生すると、Status 1から計測を開始します。

ただし、TSCUSTRTビットを1にする前にTSCUINITビットで初期化を行ってください。

TSCUEビット(TSCU動作許可ビット)、TSCUSWビット(TSCUソフトウェア動作ビット)

TSCUE、TSCUSWビットでTSCU用端子の状態を制御します。

TSCUSW、TSCUEビットが01b(TSCU動作ON)のとき、TSCU用端子の状態はTSCUで制御されます。

TSCUSW、TSCUEビットが10b(TSCUソフトウェア動作ON)のとき、TSCU用端子の状態はユーザ設定で制御されます。アナログ入力以下のビットで制御されます。

- TSIE0レジスタのCHE00～CHE15ビット
- TSIE1レジスタのCHE16～CHE31ビット
- TSIE2レジスタのCHE32～CHE35ビット
- TSCUCR1レジスタのCHSELXA0SW、CHSELXA1SW、CHSELXBCSWビット

25.2.2 TSCU制御レジスタ1 (TSCUCR1)

アドレス 06B02h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	BCSHORT	—	—	CHSELXBCSW	CHSELXA1SW	CHSELXA0SW
リセット後の値	0	0	0	1	0	0	0	0
ビット								
シンボル	b15	b14	b13	b12	b11	b10	b9	b8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHSELXA0SW	CHxA0のアナログスイッチビット (注1)	0: OFF 1: ON	R/W
b1	CHSELXA1SW	CHxA1のアナログスイッチビット (注1)		R/W
b2	CHSELXBCSW	CHxB、CHxC短絡スイッチビット (注1)	0: 短絡スイッチOFF 1: 短絡スイッチON	R/W
b3	—	予約ビット	0にしてください	R/W
b4	—	予約ビット	1にしてください	R/W
b5	BCSHORT	CHxB-CHxC間短絡選択ビット	0: 短絡なし(短絡スイッチが常にOFF) 1: 短絡あり (Status 6、Status 15で短絡スイッチON、 Status 11、Status 20で短絡スイッチOFF)	R/W
b6	—	予約ビット	0にしてください	R/W
b7	—			
b8	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b9	—			
b10	—			
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

注1. TSCUSW、TSCUEビットが10b (TSCUソフトウェア動作ON)のとき、CHSELXA0SW、CHSELXA1SW、CHSELXBCSWビットが有効です。

25.2.3 TSCUモードレジスタ (TSCUMR)

アドレス 06B04h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DISCHRG	RANDOM6	RANDOM	CONST	PREMSR	MJNUM2	MJNUM1	MJNUM0
リセット後の値	1	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	TSCUCAP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MJNUM0	多数決計測サンプリング回数選択ビット	b2 b1 b0 0 0 0 : 多数決計測なし 0 0 1 : 3回 0 1 0 : 5回 0 1 1 : 7回 1 0 0 : 9回 1 0 1 : 11回 1 1 0 : 13回 1 1 1 : 15回	R/W
b1	MJNUM1			R/W
b2	MJNUM2			R/W
b3	PREMSR	PRE計測選択ビット	0 : PRE計測なし 1 : PRE計測あり	R/W
b4	CONST	計測区間長選択ビット	0 : 不定(ランダム値、多数決回数による) 1 : 固定	R/W
b5	RANDOM	ランダム計測選択ビット	0 : ランダム計測なし 1 : ランダム計測あり	R/W
b6	RANDOM6	区間6の可変区間ランダム選択ビット	0 : 可変区間6のランダムなし (TSCUTCR3レジスタのTCS60~TCS65ビットによる固定値使用) 1 : 可変区間6のランダムあり (TSCURVR0~TSCURVR3レジスタ使用)	R/W
b7	DISCHRG	計測終了時の電荷抜きサイクルビット	0 : 電荷抜きサイクルなし 1 : 電荷抜きサイクルあり	R/W
b8	TSCUCAP	TSCU計測開始トリガ選択ビット	0 : ソフトウェアトリガ(TSCUCR0レジスタのTSCUSTRTビット)によるタッチセンサ計測開始 1 : 外部トリガによるタッチセンサ計測開始	R/W
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b10	—			
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

25.2.4 TSCU タイミング制御レジスタ 0A (TSCUTCR0A)

アドレス 06B06h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCS17	TCS16	TCS15	TCS14	TCS13	TCS12	TCS11	TCS10
リセット後の値	0	1	1	1	1	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	TCS19	TCS18
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCS10	区間1サイクル数選択ビット	b9 b8 b7 b6 b5 b4 b3 b2 b1 b0	R/W
b1	TCS11		0 0 0 0 0 0 0 0 0 0 : 1サイクル	R/W
b2	TCS12		0 0 0 0 0 0 0 0 0 1 : 2サイクル	R/W
b3	TCS13		⋮	R/W
b4	TCS14		1 1 1 1 1 1 1 1 1 1 : 1024サイクル	R/W
b5	TCS15			R/W
b6	TCS16			R/W
b7	TCS17			R/W
b8	TCS18			R/W
b9	TCS19			R/W
b10	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

TCS10～TCS19ビット(区間1サイクル数選択ビット)

区間1 (CHxA = Hi-Z、CHxB = Hi-Z、CHxC = H区間)のサイクル数を設定するビットです。Status 1から遷移時の設定値です。1～1024サイクルを選択できます。リセット後は000111111b (128サイクル)になります。

• 区間1周期例

カウントソースの周波数 4 MHz : 250 ns～256 μs

カウントソースの周波数 5 MHz : 200 ns～204.8 μs

カウントソースの周波数 20 MHz : 50 ns～51.2 μs

25.2.5 TSCU タイミング制御レジスタ 0B (TSCUTCROB)

アドレス	06B08h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCSB17	TCSB16	TCSB15	TCSB14	TCSB13	TCSB12	TCSB11	TCSB10
リセット後の値	0	1	1	1	1	1	1	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	TCSB19	TCSB18
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCSB10	区間1サイクル数選択ビットB	b9 b8 b7 b6 b5 b4 b3 b2 b1 b0	R/W
b1	TCSB11		0 0 0 0 0 0 0 0 0 0 : 1サイクル	R/W
b2	TCSB12		0 0 0 0 0 0 0 0 0 1 : 2サイクル	R/W
b3	TCSB13		⋮	R/W
b4	TCSB14		1 1 1 1 1 1 1 1 1 1 : 1024サイクル	R/W
b5	TCSB15			R/W
b6	TCSB16			R/W
b7	TCSB17			R/W
b8	TCSB18			R/W
b9	TCSB19			R/W
b10	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

TCSB10～TCSB19ビット(区間1サイクル数選択ビットB)

区間1 (CHxA = Hi-Z、CHxB = Hi-Z、CHxC = H区間)のサイクル数を設定するビットです。Status 24から遷移時の設定値です。1～1024サイクルを選択できます。リセット後は000111111b (128サイクル)になります。

- 区間1周期例

カウントソースの周波数 4 MHz : 250 ns～256 μs

カウントソースの周波数 5 MHz : 200 ns～204.8 μs

カウントソースの周波数 20 MHz : 50 ns～51.2 μs

- RAMへのデータ転送が完了していない場合、Status 2 (充電中)の状態ですuspendし転送完了を待つ。

25.2.6 TSCU タイミング制御レジスタ1 (TSCUTCR1)

アドレス 06B0Ah								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCS2C	—	TCS25	TCS24	TCS23	TCS22	TCS21	TCS20
リセット後の値	0	0	0	0	0	0	0	1
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	TCS35	TCS34	TCS33	TCS32	TCS31	TCS30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCS20	区間2サイクル数選択ビット (注1)	b5 b4 b3 b2 b1 b0 0 0 0 0 0 0 : 1サイクル	R/W
b1	TCS21		0 0 0 0 0 1 : 2サイクル(リセット後の値)	R/W
b2	TCS22		0 0 0 0 1 0 : 3サイクル	R/W
b3	TCS23		⋮	R/W
b4	TCS24		⋮	R/W
b5	TCS25		1 1 1 1 1 1 : 64サイクル	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b7	TCS2C	区間2制御ビット	0 : 区間2のサイクル数をTCS20～TCS25 ビットで選択 1 : 区間2のサイクル数は0(スキップする)	R/W
b8	TCS30	区間3サイクル数選択ビット	b13b12b11b10 b9 b8 0 0 0 0 0 0 : 1サイクル(リセット後の値)	R/W
b9	TCS31		0 0 0 0 0 1 : 2サイクル	R/W
b10	TCS32		0 0 0 0 1 0 : 3サイクル	R/W
b11	TCS33		⋮	R/W
b12	TCS34		⋮	R/W
b13	TCS35		1 1 1 1 1 1 : 64サイクル	R/W
b14	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b15	—	—	—	—

注1. TCS2Cビットが0(区間2のサイクル数をTCS20～TCS25ビットで選択)のとき、TCS20～TCS25ビットが有効になります。

TCS20～TCS25ビット(区間2サイクル数選択ビット)

区間2(CHxA=L、CHxB=Hi-Z、CHxC=Hi-Z区間)のサイクル数を設定するビットです。

表 25.3 区間2周期例

カウントソースの周波数	1サイクル	2サイクル(注1)	3サイクル	64サイクル
4 MHz	250 ns	500 ns	750 ns	16 μs
5 MHz	200 ns	400 ns	600 ns	12.8 μs
20 MHz	50 ns	100 ns	150 ns	3.2 μs

注1. リセット後の値です。

TCS30～TCS35ビット(区間3サイクル数選択ビット)

区間3(CHxA=L、CHxB=L、CHxC=Hi-Z区間)のサイクル数を設定するビットです。

表 25.4 区間3周期例

カウントソースの周波数	1サイクル(注1)	2サイクル	3サイクル	64サイクル
4 MHz	250 ns	500 ns	750 ns	16 μs
5 MHz	200 ns	400 ns	600 ns	12.8 μs
20 MHz	50 ns	100 ns	150 ns	3.2 μs

注1. リセット後の値です。

25.2.7 TSCU タイミング制御レジスタ2 (TSCUTCR2)

アドレス 06B0Ch								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCS4C	—	—	TCS44	TCS43	TCS42	TCS41	TCS40
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TCS5C	—	TCS55	TCS54	TCS53	TCS52	TCS51	TCS50
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCS40	区間4サイクル数選択ビット (注1)	b4 b3 b2 b1 b0 0 0 0 0 0 : 1サイクル(リセット後の値)	R/W
b1	TCS41		0 0 0 0 1 : 2サイクル	R/W
b2	TCS42		0 0 0 1 0 : 3サイクル	R/W
b3	TCS43		⋮	R/W
b4	TCS44		1 1 1 1 1 : 32サイクル	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	TCS4C	区間4制御ビット	0 : 区間4のサイクル数をTCS40～TCS44 ビットで選択 1 : 区間4のサイクル数は0 (スキップする)	R/W
b8	TCS50	区間5サイクル数選択ビット (注2)	b13b12b11b10 b9 b8 0 0 0 0 0 0 : 1サイクル(リセット後の値)	R/W
b9	TCS51		0 0 0 0 0 1 : 2サイクル	R/W
b10	TCS52		0 0 0 0 1 0 : 3サイクル	R/W
b11	TCS53		⋮	R/W
b12	TCS54		⋮	R/W
b13	TCS55		1 1 1 1 1 1 : 64サイクル	R/W
b14	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b15	TCS5C	区間5制御ビット	0 : 区間5のサイクル数をTCS50～TCS55 ビットで選択 1 : 区間5のサイクル数は0 (スキップする)	R/W

注1. TCS4Cビットが0 (区間4のサイクル数をTCS40～TCS44ビットで選択)のとき、TCS40～TCS44ビットが有効になります。

注2. TCS5Cビットが0 (区間5のサイクル数をTCS50～TCS55ビットで選択)のとき、TCS50～TCS55ビットが有効になります。

TCS40～TCS44ビット(区間4サイクル数選択ビット)

区間4(PRE計測まで)のサイクル数を設定するビットです。

表 25.5 区間4周期例

カウントソースの周波数	1サイクル(注1)	2サイクル	3サイクル	32サイクル
4 MHz	250 ns	500 ns	750 ns	8.0 μs
5 MHz	200 ns	400 ns	600 ns	6.4 μs
20 MHz	50 ns	100 ns	150 ns	1.6 μs

注1. リセット後の値です。

TCS50～TCS55ビット(区間5サイクル数選択ビット)

区間5 (PRE計測からMain計測まで)のサイクル数を設定するビットです。

表 25.6 区間5周期例

カウントソースの周波数	1サイクル(注1)	2サイクル	3サイクル	64サイクル
4 MHz	250 ns	500 ns	750 ns	16 μ s
5 MHz	200 ns	400 ns	600 ns	12.8 μ s
20 MHz	50 ns	100 ns	150 ns	3.2 μ s

注1. リセット後の値です。

25.2.8 TSCU タイミング制御レジスタ3 (TSCUTCR3)

アドレス 06B0Eh								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TCS65	TCS64	TCS63	TCS62	TCS61	TCS60
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCS60	区間6サイクル数選択ビット (注1)	b5 b4 b3 b2 b1 b0 0 0 0 0 0 0 : 1サイクル(リセット後の値)	R/W
b1	TCS61		0 0 0 0 0 1 : 2サイクル	R/W
b2	TCS62		0 0 0 0 1 0 : 3サイクル	R/W
b3	TCS63		⋮	R/W
b4	TCS64		⋮	R/W
b5	TCS65		1 1 1 1 1 1 : 64サイクル	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			
b8	—			
b9	—			
b10	—			
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

注1. TSCUMRレジスタのRANDOM6ビットが0(可変区間6のランダムなし)のとき、TCS60～TCS65ビットが有効になります。

TCS60～TCS65ビット(区間6サイクル数選択ビット)

区間6(Main計測後)のサイクル数を設定するビットです。

表 25.7 区間6周期例

カウントソースの周波数	1サイクル(注1)	2サイクル	3サイクル	64サイクル
4 MHz	250 ns	500 ns	750 ns	16 μs
5 MHz	200 ns	400 ns	600 ns	12.8 μs
20 MHz	50 ns	100 ns	150 ns	3.2 μs

注1. リセット後の値です。

25.2.9 TSCUチャネル制御レジスタ (TSCUCHC)

アドレス 06B10h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSCUMD	UPDOWN	CHC5	CHC4	CHC3	CHC2	CHC1	CHC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	CHCNT5	CHCNT4	CHCNT3	CHCNT2	CHCNT1	CHCNT0
リセット後の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W	
b0	CHC0	チャンネル選択 ビット	<シングルモード時> b5 b4 b3 b2 b1 b0 0 0 0 0 0 0 : CH0 0 0 0 0 0 1 : CH1 0 0 0 0 1 0 : CH2 : 1 0 0 0 1 0 : CH34 1 0 0 0 1 1 : CH35 上記以外 : 設定しないでください	R/W	
b1	CHC1			<スキャンモード時> b5 b4 b3 b2 b1 b0 0 0 0 0 0 0 : 設定しないで ください	R/W
b2	CHC2			0 0 0 0 0 1 : CH0~CH1	R/W
b3	CHC3			0 0 0 0 1 0 : CH0~CH2	R/W
b4	CHC4			: 1 0 0 0 1 0 : CH0~CH34	R/W
b5	CHC5			: 1 0 0 0 1 1 : CH0~CH35 上記以外 : 設定しないでください	R/W
b6	UPDOWN	スキャン昇順/ 降順選択ビット	0 : 昇順 1 : 降順	R/W	
b7	TSCUMD	計測モード選択 ビット	0 : シングルモード 1 : スキャンモード	R/W	
b8	CHCNT0	チャンネル値 ビット	計測中チャンネル値が転送されます。計測していない場合は111111bと なります。	R	
b9	CHCNT1			R	
b10	CHCNT2			R	
b11	CHCNT3			R	
b12	CHCNT4			R	
b13	CHCNT5			R	
b14	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—		
b15	—		—		

25.2.10 TSCUフラグレジスタ (TSCUFR)

アドレス 06B12h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SIF	—	—	—	—	MVF	OVFER	DTSR
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTSR	データ転送ステータスフラグ	[0になる条件] ・データがRAMに転送完了したとき ・TSCUCR0レジスタのTSCUINITビットに1を書く(注1) [1になる条件] ・データ1をバッファに取り込んだとき ・プライマリカウンタがオーバーフローしたとき	R
b1	OVFER	オーバーフローエラーフラグ	[0になる条件] ・TSCUCR0レジスタのTSCUINITビットに1を書く(注1) ・プログラムで0を書く [1になる条件] プライマリカウンタがオーバーフローしたとき	R/W
b2	MVF	TSCU動作フラグ	0 : タッチセンサコントロールユニット停止中 1 : タッチセンサコントロールユニット動作中	R
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	SIF	TSCU割り込み要求フラグ	[0になる要因] ・TSCUCR0レジスタのTSCUINITビットに1を書く(注1) ・読んだ後、0を書く(注2) [1になる要因] タッチセンサ計測完了時	R/W
b8	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b9	—			
b10	—			
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

注1. TSCUCR0レジスタのTSCUSTRTビットを0(計測停止)にただけでは、0になりません。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が1の場合、同じビットに0を書くと0になります。
- ・読んだ結果が0の場合、同じビットに0を書いても変化しません(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- ・1を書いた場合は変化しません。

25.2.11 TSCUステータスカウンタレジスタ (TSCUSTC)

アドレス 06B14h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	SSQ4	SSQ3	SSQ2	SSQ1	SSQ0
リセット後の値	0	0	0	0	0	0	0	0
ビット								
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	SSQ0	タッチセンサコントロールユニットのステータスカウンタです。 次のとき、値は00000bになります。 • 計測が完了したとき • TSCUCR0レジスタのTSCUINITビットに1を書く	R
b1	SSQ1		R
b2	SSQ2		R
b3	SSQ3		R
b4	SSQ4		R
b5	—	TSCUCR0レジスタのTSCUSTRTビットを0(計測停止)にしたとき、値は変化しません(00000bになりません)。	—
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b7	—		—
b8	—		—
b9	—		—
b10	—		—
b11	—		—
b12	—		—
b13	—		—
b14	—		—
b15	—		—

25.2.12 TSCUセカンダリカウンタ設定レジスタ (TSCUSCS)

アドレス	06B16h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SCS7	SCS6	SCS5	SCS4	SCS3	SCS2	SCS1	SCS0
リセット後の値	0	0	1	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SCS15	SCS14	SCS13	SCS12	SCS11	SCS10	SCS9	SCS8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	SCS0	セカンダリカウンタの設定値を格納するレジスタです。	R/W
b1	SCS1		R/W
b2	SCS2		R/W
b3	SCS3		R/W
b4	SCS4		R/W
b5	SCS5		R/W
b6	SCS6		R/W
b7	SCS7		R/W
b8	SCS8		R/W
b9	SCS9		R/W
b10	SCS10		R/W
b11	SCS11		R/W
b12	SCS12		R/W
b13	SCS13		R/W
b14	SCS14		R/W
b15	SCS15		R/W

25.2.13 TSCUセカンダリカウンタレジスタ (TSCUSCC)

アドレス 06B18h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SCC7	SCC6	SCC5	SCC4	SCC3	SCC2	SCC1	SCC0
リセット後の値	0	0	1	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SCC15	SCC14	SCC13	SCC12	SCC11	SCC10	SCC9	SCC8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	SCC0	16ビットのアップダウンカウンタです。 TSCUSCSレジスタの値が、Status 3で転送されます。	R
b1	SCC1		R
b2	SCC2		R
b3	SCC3		R
b4	SCC4		R
b5	SCC5		R
b6	SCC6		R
b7	SCC7		R
b8	SCC8		R
b9	SCC9		R
b10	SCC10		R
b11	SCC11		R
b12	SCC12		R
b13	SCC13		R
b14	SCC14		R
b15	SCC15		R

25.2.14 TSCUデータバッファレジスタ(TSCUDBR)

アドレス 06B1Ah								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DBR7	DBR6	DBR5	DBR4	DBR3	DBR2	DBR1	DBR0
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	DBR15	DBR14	DBR13	DBR12	DBR11	DBR10	DBR9	DBR8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	DBR0	データ1格納用バッファレジスタです。 データ1確定後、プライマリカウンタ値が格納されます。	R
b1	DBR1		R
b2	DBR2		R
b3	DBR3		R
b4	DBR4		R
b5	DBR5		R
b6	DBR6		R
b7	DBR7		R
b8	DBR8		R
b9	DBR9		R
b10	DBR10		R
b11	DBR11		R
b12	DBR12		R
b13	DBR13		R
b14	DBR14		R
b15	DBR15		R

25.2.15 TSCUプライマリカウンタレジスタ (TSCUPRC)

アドレス	06B1Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PRC7	PRC6	PRC5	PRC4	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	PRC15	PRC14	PRC13	PRC12	PRC11	PRC10	PRC9	PRC8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	PRC0	16ビットのカウンタです。 上限値はFFFFh。 オーバーフローした場合は、TSCUFRレジスタのOVFERビットが1になり、計測値は0で Status 22に進む。 計測データ転送時は計測データ2として転送されます。	R
b1	PRC1		R
b2	PRC2		R
b3	PRC3		R
b4	PRC4		R
b5	PRC5		R
b6	PRC6		R
b7	PRC7		R
b8	PRC8		R
b9	PRC9		R
b10	PRC10		R
b11	PRC11		R
b12	PRC12		R
b13	PRC13		R
b14	PRC14		R
b15	PRC15		R

25.2.16 TSCUランダム値格納レジスタ0 (TSCURVR0)

アドレス	06B1Eh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RV013	RV012	RV011	RV010	RV003	RV002	RV001	RV000
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	RV033	RV032	RV031	RV030	RV023	RV022	RV021	RV020
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	RV000	ランダム値0を格納するビットです。	R/W
b1	RV001		R/W
b2	RV002		R/W
b3	RV003		R/W
b4	RV010	ランダム値1を格納するビットです。	R/W
b5	RV011		R/W
b6	RV012		R/W
b7	RV013		R/W
b8	RV020	ランダム値2を格納するビットです。	R/W
b9	RV021		R/W
b10	RV022		R/W
b11	RV023		R/W
b12	RV030	ランダム値3を格納するビットです。	R/W
b13	RV031		R/W
b14	RV032		R/W
b15	RV033		R/W

25.2.17 TSCUランダム値格納レジスタ1 (TSCURVR1)

アドレス	06B20h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RV053	RV052	RV051	RV050	RV043	RV042	RV041	RV040
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	RV073	RV072	RV071	RV070	RV063	RV062	RV061	RV060
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	RV040	ランダム値4を格納するビットです。	R/W
b1	RV041		R/W
b2	RV042		R/W
b3	RV043		R/W
b4	RV050	ランダム値5を格納するビットです。	R/W
b5	RV051		R/W
b6	RV052		R/W
b7	RV053		R/W
b8	RV060	ランダム値6を格納するビットです。	R/W
b9	RV061		R/W
b10	RV062		R/W
b11	RV063		R/W
b12	RV070	ランダム値7を格納するビットです。	R/W
b13	RV071		R/W
b14	RV072		R/W
b15	RV073		R/W

25.2.18 TSCUランダム値格納レジスタ2 (TSCURVR2)

アドレス	06B22h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RV093	RV092	RV091	RV090	RV083	RV082	RV081	RV080
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	RV113	RV112	RV111	RV110	RV103	RV102	RV101	RV100
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	RV080	ランダム値8を格納するビットです。	R/W
b1	RV081		R/W
b2	RV082		R/W
b3	RV083		R/W
b4	RV090	ランダム値9を格納するビットです。	R/W
b5	RV091		R/W
b6	RV092		R/W
b7	RV093		R/W
b8	RV100	ランダム値10を格納するビットです。	R/W
b9	RV101		R/W
b10	RV102		R/W
b11	RV103		R/W
b12	RV110	ランダム値11を格納するビットです。	R/W
b13	RV111		R/W
b14	RV112		R/W
b15	RV113		R/W

25.2.19 TSCUランダム値格納レジスタ3 (TSCURVR3)

アドレス 06B24h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RV133	RV132	RV131	RV130	RV123	RV122	RV121	RV120
リセット後の値	0	0	0	0	0	0	0	0
ビット								
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	RV153	RV152	RV151	RV150	RV143	RV142	RV141	RV140
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
b0	RV120	ランダム値 12 を格納するビットです。	R/W
b1	RV121		R/W
b2	RV122		R/W
b3	RV123		R/W
b4	RV130	ランダム値 13 を格納するビットです。	R/W
b5	RV131		R/W
b6	RV132		R/W
b7	RV133		R/W
b8	RV140	ランダム値 14 を格納するビットです。	R/W
b9	RV141		R/W
b10	RV142		R/W
b11	RV143		R/W
b12	RV150	ランダム値 15 を格納するビットです。	R/W
b13	RV151		R/W
b14	RV152		R/W
b15	RV153		R/W

25.2.20 TSCU入力許可レジスタ0 (TSIE0)

アドレス 06B26h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CHE07	CHE06	CHE05	CHE04	CHE03	CHE02	CHE01	CHE00
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	CHE15	CHE14	CHE13	CHE12	CHE11	CHE10	CHE09	CHE08
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHE00	CH0許可ビット	0 : 禁止(I/Oポートとして使用できる) 1 : 許可(タッチセンサ入力端子)	R/W
b1	CHE01	CH1許可ビット		R/W
b2	CHE02	CH2許可ビット		R/W
b3	CHE03	CH3許可ビット		R/W
b4	CHE04	CH4許可ビット		R/W
b5	CHE05	CH5許可ビット		R/W
b6	CHE06	CH6許可ビット		R/W
b7	CHE07	CH7許可ビット		R/W
b8	CHE08	CH8許可ビット		R/W
b9	CHE09	CH9許可ビット		R/W
b10	CHE10	CH10許可ビット		R/W
b11	CHE11	CH11許可ビット		R/W
b12	CHE12	CH12許可ビット		R/W
b13	CHE13	CH13許可ビット		R/W
b14	CHE14	CH14許可ビット		R/W
b15	CHE15	CH15許可ビット		R/W

25.2.21 TSCU入力許可レジスタ1 (TSIE1)

アドレス 06B28h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CHE23	CHE22	CHE21	CHE20	CHE19	CHE18	CHE17	CHE16
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	CHE31	CHE30	CHE29	CHE28	CHE27	CHE26	CHE25	CHE24
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHE16	CH16許可ビット	0 : 禁止(I/Oポートとして使用できる) 1 : 許可(タッチセンサ入力端子)	R/W
b1	CHE17	CH17許可ビット		R/W
b2	CHE18	CH18許可ビット		R/W
b3	CHE19	CH19許可ビット		R/W
b4	CHE20	CH20許可ビット		R/W
b5	CHE21	CH21許可ビット		R/W
b6	CHE22	CH22許可ビット		R/W
b7	CHE23	CH23許可ビット		R/W
b8	CHE24	CH24許可ビット		R/W
b9	CHE25	CH25許可ビット		R/W
b10	CHE26	CH26許可ビット		R/W
b11	CHE27	CH27許可ビット		R/W
b12	CHE28	CH28許可ビット		R/W
b13	CHE29	CH29許可ビット		R/W
b14	CHE30	CH30許可ビット		R/W
b15	CHE31	CH31許可ビット		R/W

25.2.22 TSCU入力許可レジスタ2 (TSIE2)

アドレス 06B2Ah								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CHE35	CHE34	CHE33	CHE32
リセット後の値	0	0	0	0	0	0	0	0
ビット								
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHE32	CH32許可ビット	0: 禁止(I/Oポートとして使用できる) 1: 許可(タッチセンサ入力端子)	R/W
b1	CHE33	CH33許可ビット		R/W
b2	CHE34	CH34許可ビット		R/W
b3	CHE35	CH35許可ビット		R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			
b8	—			
b9	—			
b10	—			
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

25.2.23 TSCUCHXA選択レジスタ0 (TSCHSEL0)

アドレス 06B2Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CHXAS07	CHXAS06	CHXAS05	CHXAS04	CHXAS03	CHXAS02	CHXAS01	CHXAS00
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	CHXAS15	CHXAS14	CHXAS13	CHXAS12	CHXAS11	CHXAS10	CHXAS09	CHXAS08
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHXAS00	CH00計測時のCHxA切り替えビット	0 : CHxA0 1 : CHxA1	R/W
b1	CHXAS01	CH01計測時のCHxA切り替えビット		R/W
b2	CHXAS02	CH02計測時のCHxA切り替えビット		R/W
b3	CHXAS03	CH03計測時のCHxA切り替えビット		R/W
b4	CHXAS04	CH04計測時のCHxA切り替えビット		R/W
b5	CHXAS05	CH05計測時のCHxA切り替えビット		R/W
b6	CHXAS06	CH06計測時のCHxA切り替えビット		R/W
b7	CHXAS07	CH07計測時のCHxA切り替えビット		R/W
b8	CHXAS08	CH08計測時のCHxA切り替えビット		R/W
b9	CHXAS09	CH09計測時のCHxA切り替えビット		R/W
b10	CHXAS10	CH10計測時のCHxA切り替えビット		R/W
b11	CHXAS11	CH11計測時のCHxA切り替えビット		R/W
b12	CHXAS12	CH12計測時のCHxA切り替えビット		R/W
b13	CHXAS13	CH13計測時のCHxA切り替えビット		R/W
b14	CHXAS14	CH14計測時のCHxA切り替えビット		R/W
b15	CHXAS15	CH15計測時のCHxA切り替えビット		R/W

25.2.24 TSCUCHXA選択レジスタ1 (TSCHSEL1)

アドレス	06B2Eh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CHXAS23	CHXAS22	CHXAS21	CHXAS20	CHXAS19	CHXAS18	CHXAS17	CHXAS16
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	CHXAS31	CHXAS30	CHXAS29	CHXAS28	CHXAS27	CHXAS26	CHXAS25	CHXAS24
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHXAS16	CH16計測時のCHxA切り替えビット	0 : CHxA0 1 : CHxA1	R/W
b1	CHXAS17	CH17計測時のCHxA切り替えビット		R/W
b2	CHXAS18	CH18計測時のCHxA切り替えビット		R/W
b3	CHXAS19	CH19計測時のCHxA切り替えビット		R/W
b4	CHXAS20	CH20計測時のCHxA切り替えビット		R/W
b5	CHXAS21	CH21計測時のCHxA切り替えビット		R/W
b6	CHXAS22	CH22計測時のCHxA切り替えビット		R/W
b7	CHXAS23	CH23計測時のCHxA切り替えビット		R/W
b8	CHXAS24	CH24計測時のCHxA切り替えビット		R/W
b9	CHXAS25	CH25計測時のCHxA切り替えビット		R/W
b10	CHXAS26	CH26計測時のCHxA切り替えビット		R/W
b11	CHXAS27	CH27計測時のCHxA切り替えビット		R/W
b12	CHXAS28	CH28計測時のCHxA切り替えビット		R/W
b13	CHXAS29	CH29計測時のCHxA切り替えビット		R/W
b14	CHXAS30	CH30計測時のCHxA切り替えビット		R/W
b15	CHXAS31	CH31計測時のCHxA切り替えビット		R/W

25.2.25 TSCUCHXA 選択レジスタ 2 (TSCHSEL2)

アドレス 06B30h								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CHXAS35	CHXAS34	CHXAS33	CHXAS32
リセット後の値	0	0	0	0	0	0	0	0
ビット								
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHXAS32	CH32計測時のCHxA切り替えビット	0 : CHxA0 1 : CHxA1	R/W
b1	CHXAS33	CH33計測時のCHxA切り替えビット		R/W
b2	CHXAS34	CH34計測時のCHxA切り替えビット		R/W
b3	CHXAS35	CH35計測時のCHxA切り替えビット		R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			
b8	—			
b9	—			
b10	—			
b11	—			
b12	—			
b13	—			
b14	—			
b15	—			

25.3 動作説明

25.3.1 複数モードに関わる共通事項

25.3.1.1 ステータスカウンタ

ステータスカウンタ動作は計測STEP1と、計測STEP2に分かれています。計測STEP1でCHxA0またはCHxA1のLを検出すると、計測STEP2へ移行します。計測精度を向上するために、可変区間を持ちます。各チャンネルの計測ごとに、このステータスカウンタは動作します(Status 2～24を繰り返します)。

図25.3にステータス動作遷移図を、表25.8にステータス動作表を示します。

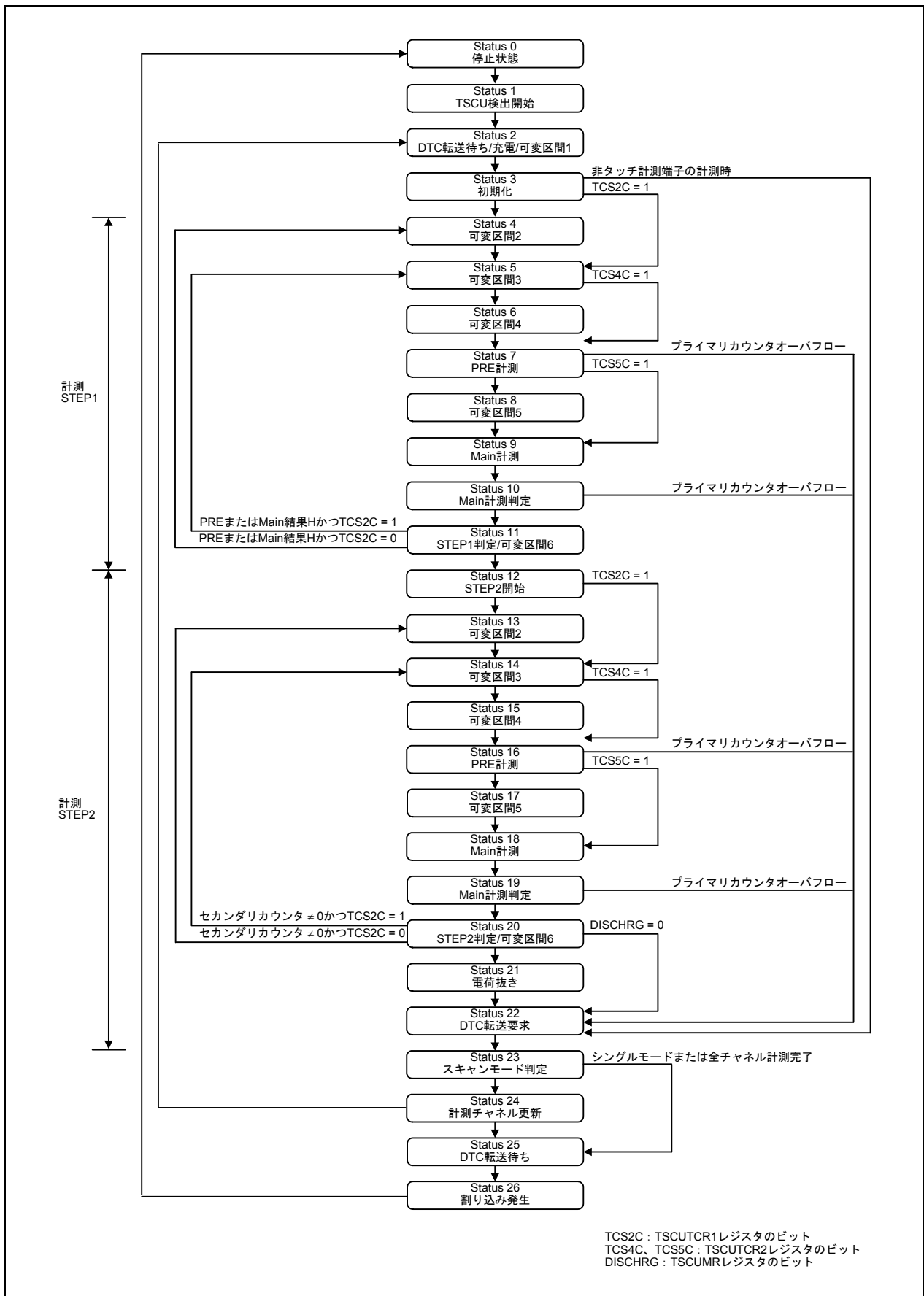


図 25.3 ステータス動作遷移図

表 25.8 ステータス動作表

Status	端子状態			CHxB-CHxC短絡 スイッチ(注1)		動作
	CHxC	CHxB	CHxA	BCSHORT = 0	BCSHORT = 1	
0	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	停止状態、初期設定
1	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	TSCU検出開始
2	H	Hi-Z	Hi-Z	OFF	OFF	DTC転送待ち/充電区間/可変区間1 Status 1からの遷移時：TCS10～TCS19ビットによる可変区間1 (1～1024サイクル) Status 24からの遷移時：TCSB10～TCSB19ビットによる可変区間1 (1～1024サイクル)
3	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	初期化
4	Hi-Z	Hi-Z	L	OFF	OFF	可変区間2 TCS20～TCS25ビットによる可変区間2(1～64サイクル) TCS2Cビットによりスキップ可能
5	Hi-Z	L	L	OFF	OFF	可変区間3 TCS30～TCS35ビットによる可変区間3(1～64サイクル)
6	Hi-Z	Hi-Z	Hi-Z	OFF	ON	可変区間4(注1) TCS40～TCS44ビットによる可変区間4(1～32サイクル) TCS4Cビットによりスキップ可能
7	Hi-Z	Hi-Z	Hi-Z	OFF	ON	PRE計測(ON/OFF選択可能) PREMSRビットにより選択
8	Hi-Z	Hi-Z	Hi-Z	OFF	ON	可変区間5 TCS50～TCS55ビットによる可変区間5(1～64サイクル) TCS5Cビットによりスキップ可能
9	Hi-Z	Hi-Z	Hi-Z	OFF	ON	Main計測区間 RANDOMビットによりランダム計測選択 MJNUM0～MJNUM2ビットにより多数決計測選択可能
10	Hi-Z	Hi-Z	Hi-Z	OFF	ON	Main計測判定区間
11	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	可変区間6(注2) TCS60～TCS65ビットによる可変区間6(1～64サイクル) RANDOM6ビットにより、ランダム値をサイクル数に設定することが可能 (TSCURVR0～TSCURVR3レジスタを使用)
12	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	計測STEP2開始
13	Hi-Z	Hi-Z	L	OFF	OFF	可変区間2 TCS20～TCS25ビットによる可変区間2(1～64サイクル) TCS2Cビットによりスキップ可能
14	Hi-Z	L	L	OFF	OFF	可変区間3 TCS30～TCS35ビットによる可変区間3(1～64サイクル)
15	Hi-Z	Hi-Z	Hi-Z	OFF	ON	可変区間4(注1) TCS40～TCS44ビットによる可変区間4(1～32サイクル) TCS4Cビットによりスキップ可能
16	Hi-Z	Hi-Z	Hi-Z	OFF	ON	PRE計測(ON/OFF選択可能) PREMSRビットにより選択
17	Hi-Z	Hi-Z	Hi-Z	OFF	ON	可変区間5 TCS50～TCS55ビットによる可変区間5(1～64サイクル) TCS5Cビットによりスキップ可能
18	Hi-Z	Hi-Z	Hi-Z	OFF	ON	Main計測区間 RANDOMビットによりランダム計測選択 MJNUM0～MJNUM2ビットにより多数決計測選択可能
19	Hi-Z	Hi-Z	Hi-Z	OFF	ON	Main計測判定区間
20	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	セカンダリカウンタ値判定(注2) TCS60～TCS65ビットによる可変区間6(1～64サイクル) RANDOM6ビットにより、ランダム値をサイクル数に設定することが可能 (TSCURVR0～TSCURVR3レジスタを使用)
21	Hi-Z	Hi-Z	L	OFF	OFF	電荷抜き TCS20～TCS25ビットによる可変区間(1～64サイクル) DISCHRGビットによりスキップ可能
22	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	DTC転送要求
23	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	スキャンモード判定
24	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	計測チャンネル更新
25	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	DTC転送待ち
26	Hi-Z	Hi-Z	Hi-Z	OFF	OFF	割り込み信号発生

計測
STEP1計測
STEP2

BCSHORT : TSCUCR1レジスタのビット
 TCS10～TCS19 : TSCUTCR0Aレジスタのビット
 TCSB10～TCSB19 : TSCUTCR0Bレジスタのビット
 TCS20～TCS25、TCS2C、TCS30～TCS35 : TSCUTCR1レジスタのビット
 TCS40～TCS44、TCS4C、TCS50～TCS55、TCS5C : TSCUTCR2レジスタのビット
 MJNUM0～MJNUM2、PREMSR、RANDOM、RANDOM6 : TSCUMRレジスタのビット
 TCS60～TCS65 : TSCUTCR3レジスタのビット
 DISCHRG : TSCUMRレジスタのビット

注1. TSCUCR1レジスタのBCSHORTビットによってCHxB-CHxCの短絡スイッチをONすることが可能です。
 注2. TSCUCR1レジスタのBCSHORTビットによってCHxB-CHxCの短絡スイッチをOFFすることが可能です。

CHxAはCHxA0またはCHxA1の端子状態を示しています。

TSCHSEL0～TSCHSEL2レジスタのCHXAS00～CHXAS35ビットによって、以下の制御となります。

検出端子がCHxA0を選択しているとき、CHxA0はステータス制御でLまたはHi-Z出力、CHxA1は常にHi-Z出力となります。

検出端子がCHxA1を選択しているとき、CHxA1はステータス制御でLまたはHi-Z出力、CHxA0は常にHi-Z出力となります。

25.3.1.2 ステータス区間調整

図25.4に示すようにステータス区間のタイミング調整をすることができます。

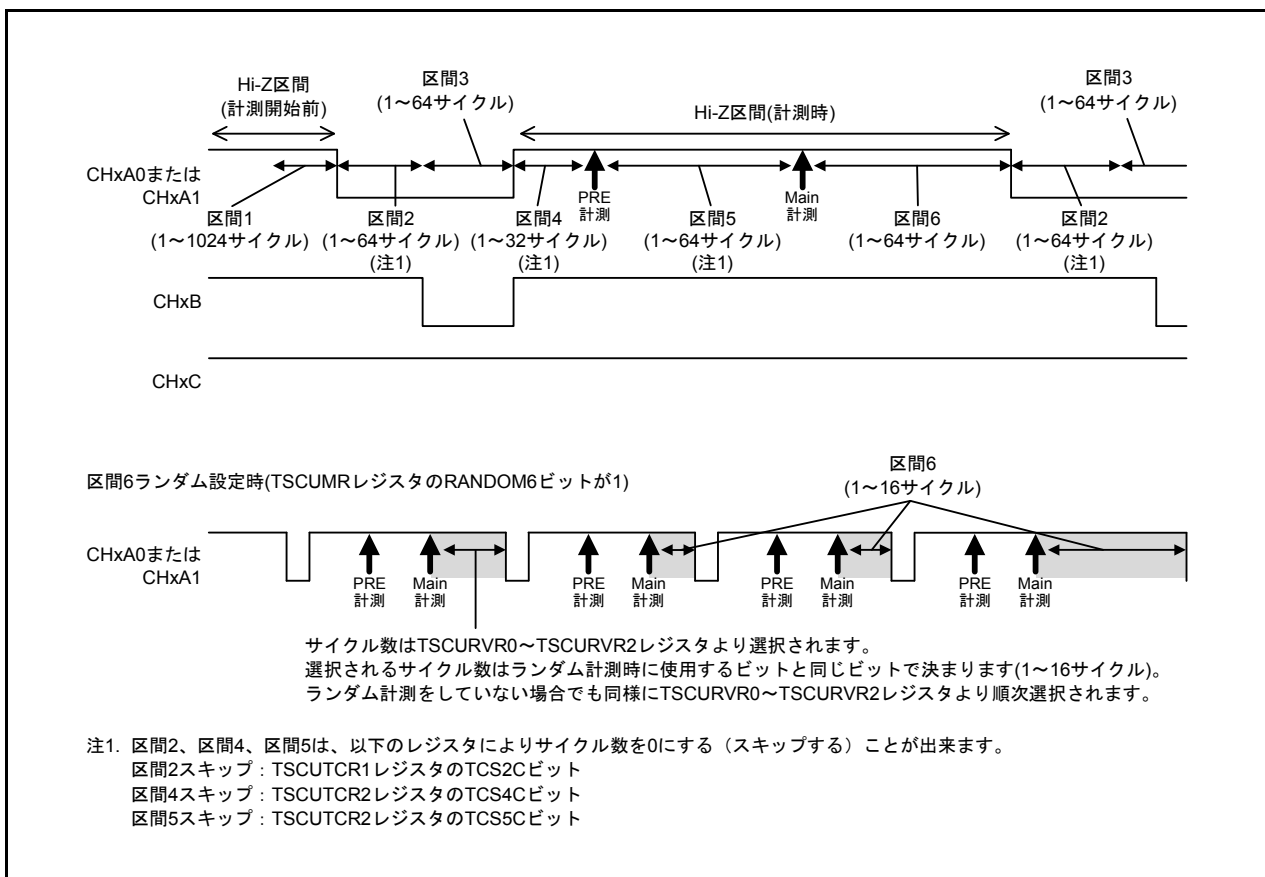


図25.4 ステータス区間調整

25.3.1.3 PRE 計測仕様

TSCUMR レジスタのPREMSR ビットでPRE 計測のON/OFFを制御できます。PREMSR ビットが1 (PRE 計測あり) のとき、PRE 計測での計測結果がプライマリカウンタに反映されます。PREMSR ビットが0 (PRE 計測なし) のとき、PRE 計測での計測結果はプライマリカウンタに反映されません。

PRE 計測にはランダム計測機能、多数決計測機能はありません。

25.3.1.4 Main 計測仕様

TSCUMR レジスタによりランダム計測、多数決計測を制御します。

(1) ランダム計測

TSCUMR レジスタのRANDOM ビットでMain 計測時にランダム計測のON/OFFを制御できます。RANDOM ビットが1 (RANDOM 計測あり) のとき、ランダム値格納レジスタ (TSCURVR0 ~ TSCURVR3 レジスタ) により計測タイミングを順次切り替えて計測を行います。

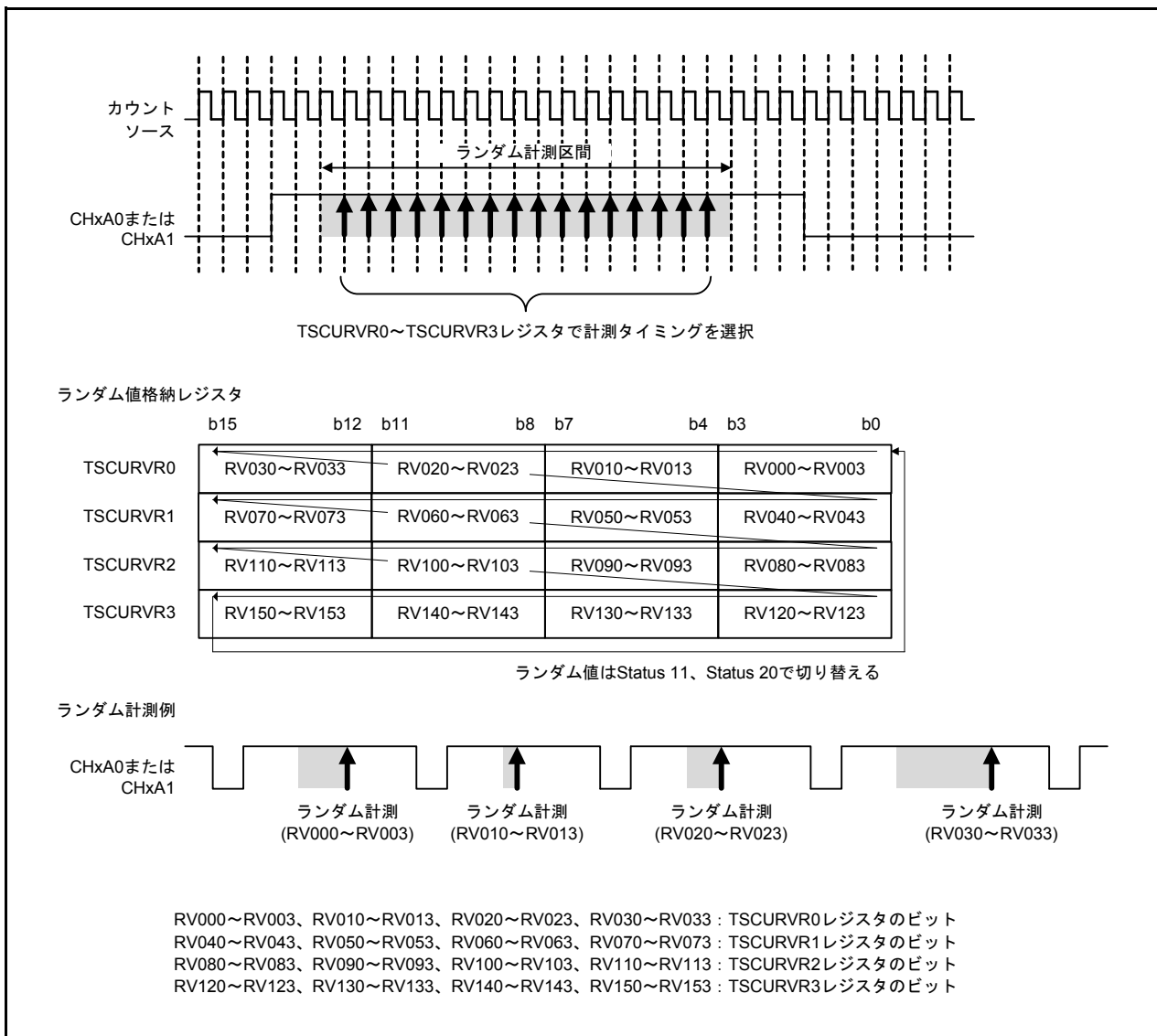


図 25.5 ランダム計測の動作例

- (2) 多数決計測
TSCUMR レジスタのMJNUM0～MJNUM2ビットで多数決計測の回数を制御します。
MJNUM0～MJNUM2ビットがすべて0の場合、多数決計測は行われません。

表 25.9 多数決計測時の多数決回数

MJNUM2	MJNUM1	MJNUM0	多数決回数
0	0	0	多数決計測なし(1回計測)
0	0	1	3回計測
0	1	0	5回計測
0	1	1	7回計測
1	0	0	9回計測
1	0	1	11回計測
1	1	0	13回計測
1	1	1	15回計測

MJNUM0～MJNUM2 : TSCUMR レジスタのビット

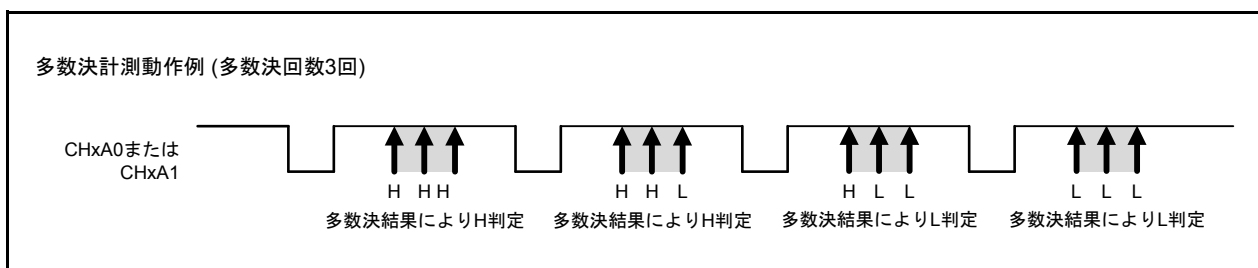


図 25.6 多数決計測の動作例 (多数決回数3回の場合)

- (3) ランダム計測と多数決計測の組み合わせ
ランダム計測、多数決計測を組み合わせることで計測することが可能です。
ランダム計測時、計測区間はランダム値に依存しますが、TSCUMR レジスタのCONSTビットにより計測区間を固定にすることができます。

表 25.10 Main計測時の計測組み合わせ

RANDOM	MJNUM2～MJNUM0	CONST	Main計測仕様
0	000b	—	ランダム計測なし、多数決計測なし
	000b以外	—	多数決計測
1	000b	0	ランダム計測(計測区間はランダム値依存)
		1	ランダム計測(計測区間は16サイクル固定)
	000b以外	0	ランダム計測(計測区間はランダム値依存)、多数決計測
		1	ランダム計測(計測区間は16サイクル + 多数決回数)、多数決計測

RANDOM : TSCUMR レジスタのビット

MJNUM0～MJNUM2 : TSCUMR レジスタのビット

CONST : TSCUMR レジスタのビット

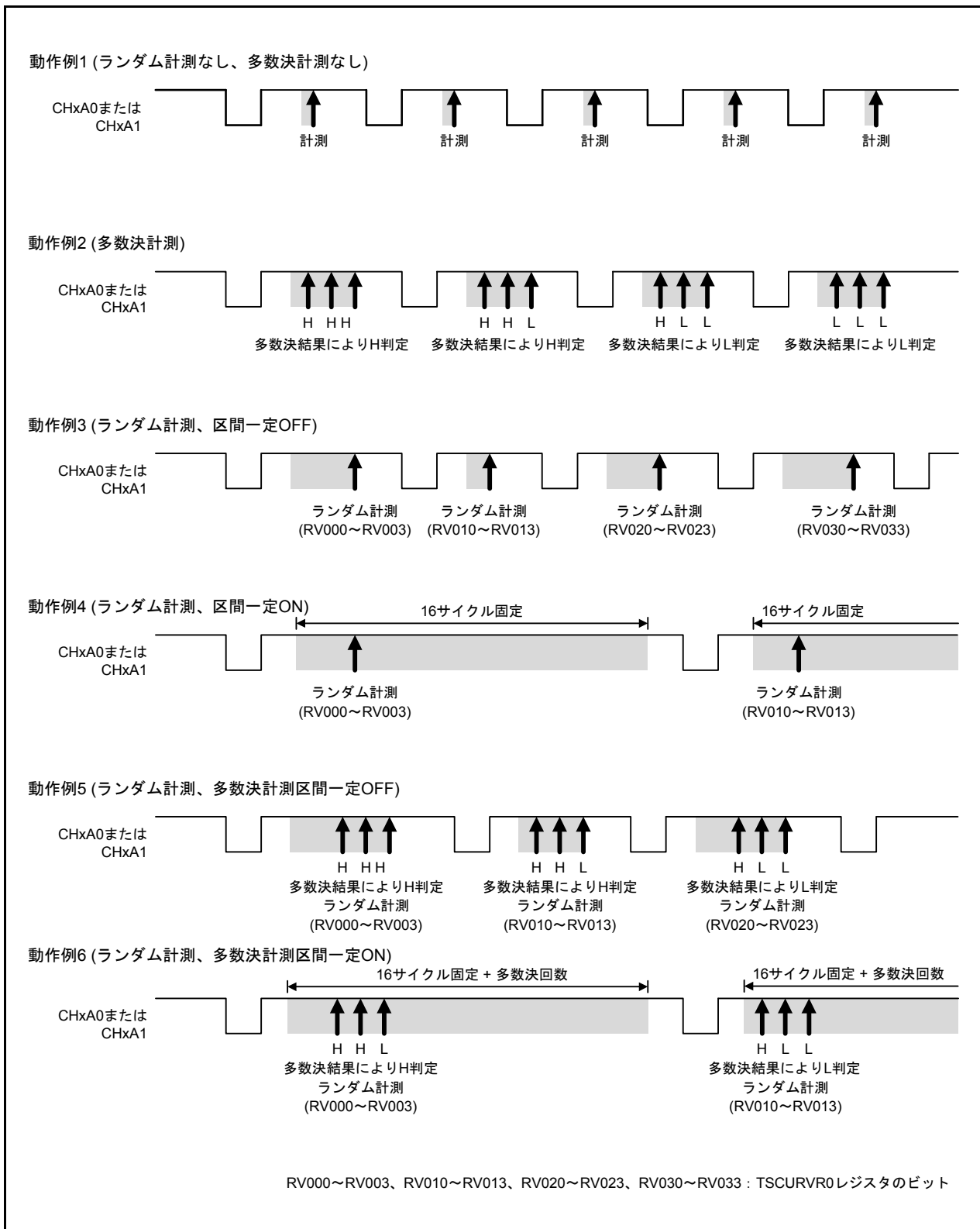


図 25.7 各 Main 計測の動作例

25.3.1.5 カウンタ動作

プライマリカウンタは16ビットアップカウンタ、セカンダリカウンタは16ビットアップダウンカウンタです。

プライマリカウンタは各チャンネル計測時にCHxAのCMOS入力でHを検出するとアップカウントします。

計測データはCHxAから1回目のLを検出したときのプライマリカウンタ値(以降データ1とする)と、セカンダリカウンタ値が0になったときのプライマリカウンタ値(以降データ2とする)の2種類がレジスタに格納されます。このセカンダリカウンタは計測STEP2から起動し、TSCUSCSレジスタのSCS0～SCS15ビットで設定された値からL検出時にダウンカウント、H検出時にアップカウントします。ただし、SCS0～SCS15ビットで設定された値以上にはアップカウントしません。

プライマリカウンタはPRE計測結果、Main計測結果が反映されます。

セカンダリカウンタはMain計測結果のみが反映されます。

計測STEP1から計測STEP2への移行条件は以下となります。

- PRE計測OFFの場合、Main計測結果がL判定
- PRE計測ONの場合、PRE計測結果がL判定かつMain計測結果がL判定

CHxAはTSCHSEL0～TSCHSEL2レジスタのCHXAS00～CHXAS35ビットでCHxA0またはCHxA1が選択されます。

25.3.1.6 計測データ

表25.11にカウンタ動作と計測データのイメージ(PRE計測OFFのとき)を、表25.12にカウンタ動作と計測データのイメージ(PRE計測ONのとき)を示します。

計測STEP1で1回目のL検出時のプライマリカウンタ値をTSCUDBRレジスタのDBR0～DBR15ビットに格納します(データ1)。

計測STEP2でセカンダリカウンタ値が0になった時点でのプライマリカウンタ値をTSCUPRCレジスタのPRC0～PRC15ビットに格納します(データ2)。格納されたデータ1とデータ2は計測データとしてStatus 22でDTCにてRAMへ転送されます。

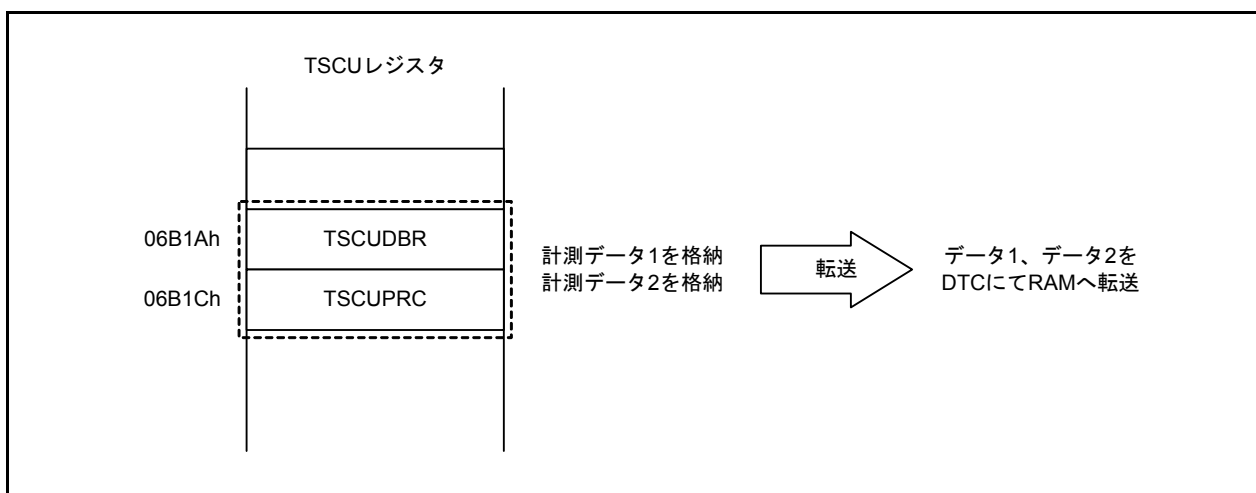


図25.8 計測データ転送

表25.11 カウンタ動作と計測データのイメージ(PRE計測OFFのとき)

	Main判定値	プライマリカウンタ値	セカンダリカウンタ値	
計測STEP1	H	95	7	
	H	96	7	
	H	97	7	
	H	98	7	
	H	99	7	
	L	99	7	← データ1
計測STEP2	L	99	6	
	H	100	7	
	H	101	7	
	H	102	7	
	H	103	7	
	H	104	7	
	H	105	7	
	H	106	7	
	L	106	6	
	L	106	5	
	L	106	4	
	L	106	3	
	L	106	2	
	L	106	1	
L	106	0	← データ2	

□ : 1回目のMain判定値Lで計測STEP2へ移行

■ : 計測データ

表 25.12 カウンタ動作と計測データのイメージ(PRE計測ONのとき)

	PRE計測判定値	Main計測判定値	プライマリカウンタ値	セカンダリカウンタ値	
計測STEP1	H	H	95	7	
	H	L	96	7	
	L	H	97	7	
	H	H	99	7	
	H	H	101	7	
	L	L	101	7	← データ1
計測STEP2	L	L	101	6	
	L	H	102	7	
	H	L	103	6	
	H	H	105	7	
	H	H	107	7	
	H	H	109	7	
	H	H	111	7	
	H	H	113	7	
	L	L	113	6	
	L	L	113	5	
	L	L	113	4	
	L	L	113	3	
	L	L	113	2	
	L	L	113	1	
L	L	113	0	← データ2	

□ : 1回目のPRE判定値L、かつMain判定値Lで計測STEP2へ移行

■ : 計測データ

プライマリカウンタはPRE計測値、Main計測値が反映されます。

セカンダリカウンタはMain計測値のみ反映されます。

25.3.1.7 計測チャネルについて

TSCU用端子(CHxA0、CHxA1、CHxB、CHxC、CH0～CH35)の状態はTSCU動作によって制御されます。TSCU動作はTSCUCR0レジスタのTSCUEビットとTSCUSWビットで設定します。

表 25.13 TSCU動作表

TSCUSW	TSCUE	動作内容
0	0	TSCU動作OFF/TSCUソフトウェア動作OFF
0	1	TSCU動作ON
1	0	TSCUソフトウェア動作ON
1	1	設定しないでください

TSCUSW、TSCUE : TSCUCR0レジスタのビット

- (1) TSCU動作OFF/TSCUソフトウェア動作OFF
端子状態はユーザ設定となります。
アナログ入力制御は常にOFFとなります。

表 25.14 TSCU動作OFF/TSCUソフトウェア動作OFF時の端子制御

端子	端子状態	アナログ入力制御
CHxA0	ユーザ設定	OFF
CHxA1	ユーザ設定	OFF
CHxB	ユーザ設定	OFF
CHxC	ユーザ設定	OFF
CH0～CH35	ユーザ設定	OFF

- (2) TSCU動作ON
CHxA0、CHxA1、CHxB、CHxCの端子状態、アナログ入力制御はTSCUのステータスで制御されます。
CH0～CH35はTSCU入力許可レジスタ(TSIE0～TSIE2レジスタ)のCHE00～CHE35ビットで、タッチ検出端子を選択します。
計測中のタッチ検出端子はHi-Z出力となります。
計測していないタッチ検出端子はユーザ設定となります。
CHE00～CHE35ビットによりタッチ検出を行わない端子はユーザ設定となります。

表 25.15 TSCU動作の端子制御

端子	端子状態	アナログ入力制御
CHxA0	計測端子がCHxA0を選択しているとき TSCUのステータスで制御(L出力またはHi-Z出力) (注1) 計測端子がCHxA1を選択しているとき Hi-Z出力	計測端子がCHxA0を選択しているとき ON 計測端子がCHxA1を選択しているとき OFF
CHxA1	計測端子がCHxA0を選択しているとき Hi-Z出力 計測端子がCHxA1を選択しているとき TSCUのステータスで制御(L出力またはHi-Z出力) (注1)	計測端子がCHxA0を選択しているとき OFF 計測端子がCHxA1を選択しているとき ON
CHxB	TSCUのステータスで制御(L出力またはHi-Z出力)(注1)	BCSHORTビットが0(短絡なし)のとき OFF BCSHORTビットが1(短絡あり)のとき TSCUのステータスで制御(注1)
CHxC	TSCUのステータスで制御(H出力またはHi-Z出力)(注1)	BCSHORTビットが0のとき OFF BCSHORTビットが1のとき TSCUのステータスで制御(注1)
CH0～CH35	計測中のタッチ検出端子 Hi-Z出力 計測していないタッチ検出端子 ユーザ設定 タッチ検出を行わない検出端子 ユーザ設定	計測中のタッチ検出端子 ON 計測していないタッチ検出端子 OFF タッチ検出を行わない検出端子 OFF

注1. ステータス制御での端子状態は「表 25.8 ステータス動作表」を参照してください。

(3) TSCUソフトウェア動作ON

端子状態はユーザ設定となります。

アナログ入力制御は、TSIE0～TSIE2レジスタのCHE00～CHE35ビットとTSCUCR1レジスタのCHSELXA0SW、CHSELXA1SW、CHSELXBCSWビットにより制御されます。

表 25.16 TSCUソフトウェア動作ON時の端子制御

端子	端子状態	アナログ入力制御
CHxA0	ユーザ設定	TSCUCR1レジスタのCHSELXA0SWビットでON/OFF制御
CHxA1	ユーザ設定	TSCUCR1レジスタのCHSELXA1SWビットでON/OFF制御
CHxB	ユーザ設定	TSCUCR1レジスタのCHSELXBCSWビットでON/OFF制御
CHxC	ユーザ設定	TSCUCR1レジスタのCHSELXBCSWビットでON/OFF制御
CH0～CH35	ユーザ設定	TSIE0～TSIE2レジスタのCHE00～CHE35ビットでON/OFF制御

25.3.1.8 接触検出端子の選択

接触検出はCHxA0またはCHxA1のCMOS入力で行われます。

接触検出のCHxA0またはCHxA1のCMOS入力のしきい値はI/Oポートのレジスタで制御されます。

接触検出に接続する比較用コンデンサはCHxA0 (Cr0)とCHxA1 (Cr1)の2種類接続可能です。計測チャンネル毎にTSCHESEL0～TSCHESEL2レジスタのCHXAS00～CHXAS35ビットで選択可能です。電極配置などによるチャンネル間の計測のばらつきを調整することができます。

構成は図25.11を参照してください。

計測モードがスキャンモードでTSIE0～TSIE2レジスタによりタッチ検出禁止となっている端子の計測結果は無効データとして処理してください。

計測モードがシングルモードでTSCUHCレジスタのCHC0～CHC5ビットで設定したチャンネルがTSIE0～TSIE2レジスタでタッチ検出禁止となっている場合、計測結果は無効データとして処理してください。

表 25.17 CHxA0/CHxA1の計測処理

CHE00～CHE35	CHXAS00～CHXAS35	計測処理
0	0	計測結果は無効データ
0	1	計測結果は無効データ
1	0	CHxA0のCMOS入力での計測処理
1	1	CHxA1のCMOS入力での計測処理

CHE00～CHE35 : TSIE0～TSIE2レジスタのビット

CHXAS00～CHXAS35 : TSCHESEL0～TSCHESEL2レジスタのビット

25.3.1.9 割り込み発生

全チャンネル計測終了後のStatus 26で割り込み制御部へ割り込み要求信号を出力します。

割り込み要求の受付、禁止は割り込み制御部で行います。

割り込み要求信号のクリア制御はTSCUFRレジスタのSIFビットで行います。

TSCUFRレジスタは「25.2.10 TSCUフラグレジスタ (TSCUFR)」を参照してください。

25.3.1.10 接触検出の開始条件

(1) ソフトウェアトリガ

TSCUMRレジスタのTSCUCAPビットが0(ソフトウェアトリガによるタッチセンサ計測開始)のとき、ソフトウェアトリガが選択されます。

TSCUCR0レジスタのTSCUSTRTビットを1(計測開始)にすると、検出を開始します。

(2) 外部トリガ

TSCUMRレジスタのTSCUCAPビットが1(外部トリガによるタッチセンサ計測開始)のとき、外部トリガモードとしてイベントリンクコントローラ(ELC)からのイベント入力を選択されます。

外部トリガモード時はELCの設定を行ってからタッチセンサコントロールユニットの計測を開始してください(TSCUSTRTビット=1)。ELCからタッチセンサコントロールユニットへは複数イベント要因を出力させないでください。

25.3.2 タッチセンサコントロールユニットの仕様と動作例

表25.18にタッチセンサコントロールユニットの仕様を示します。

表25.18 タッチセンサコントロールユニットの仕様

項目		仕様
動作クロック(カウントソース)		f1、f2、f4 (タッチセンサコントロールユニット動作クロックは、4 MHz、5 MHzまたは20 MHzに設定してください。)
端子	接触検出	36チャンネル(CH0～CH35)
	システム端子	4チャンネル(CHxA0、CHxA1、CHxB、CHxC) <ul style="list-style-type: none"> CHxA0とCHxA1の選択は、TSCSEL0～TSCSEL2レジスタのCHXAS00～CHXAS35ビットで行う
動作モード	シングルモード	任意の1チャンネルの接触検出を行う。 <ul style="list-style-type: none"> TSCUCHCレジスタのTSCUMDビットを0(シングルモード)に設定 TSCUCHCレジスタのCHC0～CHC5ビットで任意のチャンネルを選択 計測したい任意のチャンネルをTSIEi (i = 0～2)レジスタの対応する許可ビットで1(許可)に設定
	スキャンモード	任意の複数チャンネルの接触検出を行う。 チャンネルスキャン順については昇順と、降順を選択可能。 <ul style="list-style-type: none"> TSCUCHCレジスタのTSCUMDビットを1(スキャンモード)に設定 TSCUCHCレジスタのUPDOWNビットで0(昇順)、1(降順)を選択 TSCUCHCレジスタのCHC0～CHC5ビットで任意に選択する最大のチャンネルを選択 計測したい任意のチャンネルをTSIEi (i = 0～2)レジスタの対応する許可ビットで1(許可)に設定
検出回数		1回
検出しきい値		CHxA0またはCHxA1端子で接触検出する。CHxA0とCHxA1の選択は、TSCSEL0～TSCSEL2レジスタのCHXAS00～CHXAS35ビットで行う。 <ul style="list-style-type: none"> CHxA0またはCHxA1の検出しきい値はI/Oポートのレジスタ設定で行う。
検出データの転送方法		DTCによりRAMへ計測データの転送が行われます。
検出開始条件		<ul style="list-style-type: none"> ソフトウェアトリガ 外部トリガ(イベントリンクコントローラ(ELC)からのイベント入力をトリガとする)
検出停止条件		<ul style="list-style-type: none"> 検出、データ転送が完了し、割り込み要求が発生したとき。 TSCUCR0レジスタのTSCUSTRTビットをプログラムで0にする。 (プログラムで検出停止した場合、各カウンタの値は保持されます(リセット後の値になりません。))

25.3.2.1 動作例

図25.9にタッチセンサコントロールユニットの検出動作例を示します。

CHxAで初回のLを検出することによって、計測STEP1からSTEP2へ移行します。計測STEP2へ移行後、セカンダリカウンタが動作します。

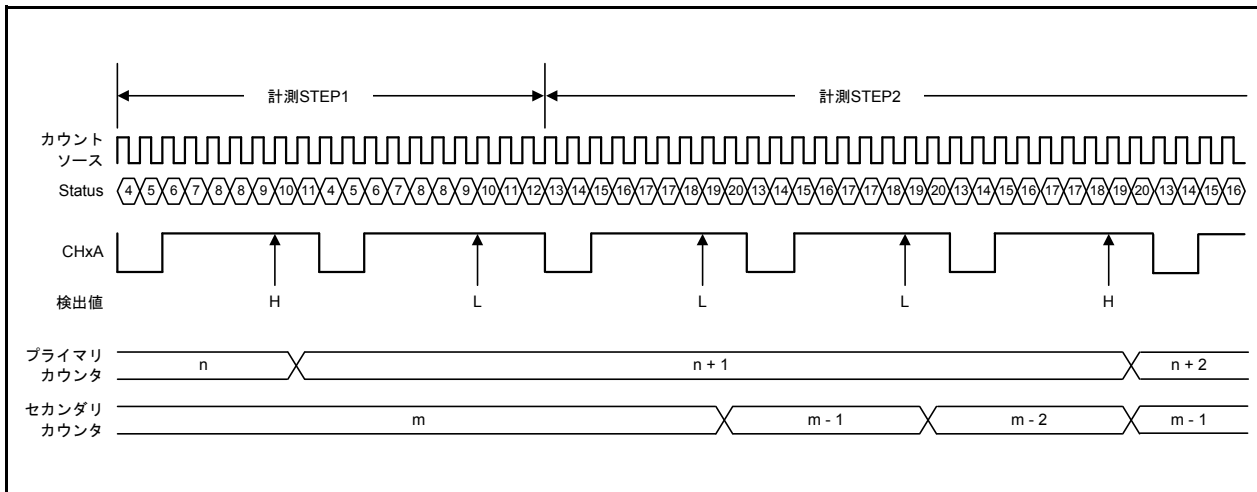


図25.9 タッチセンサコントロールユニットの検出動作例

25.3.2.2 計測モードの動作例

タッチセンサコントロールユニットはシングルモード、スキャンモードの2種類の計測モードを持ちます。

図25.10に計測モードの動作例を示します。

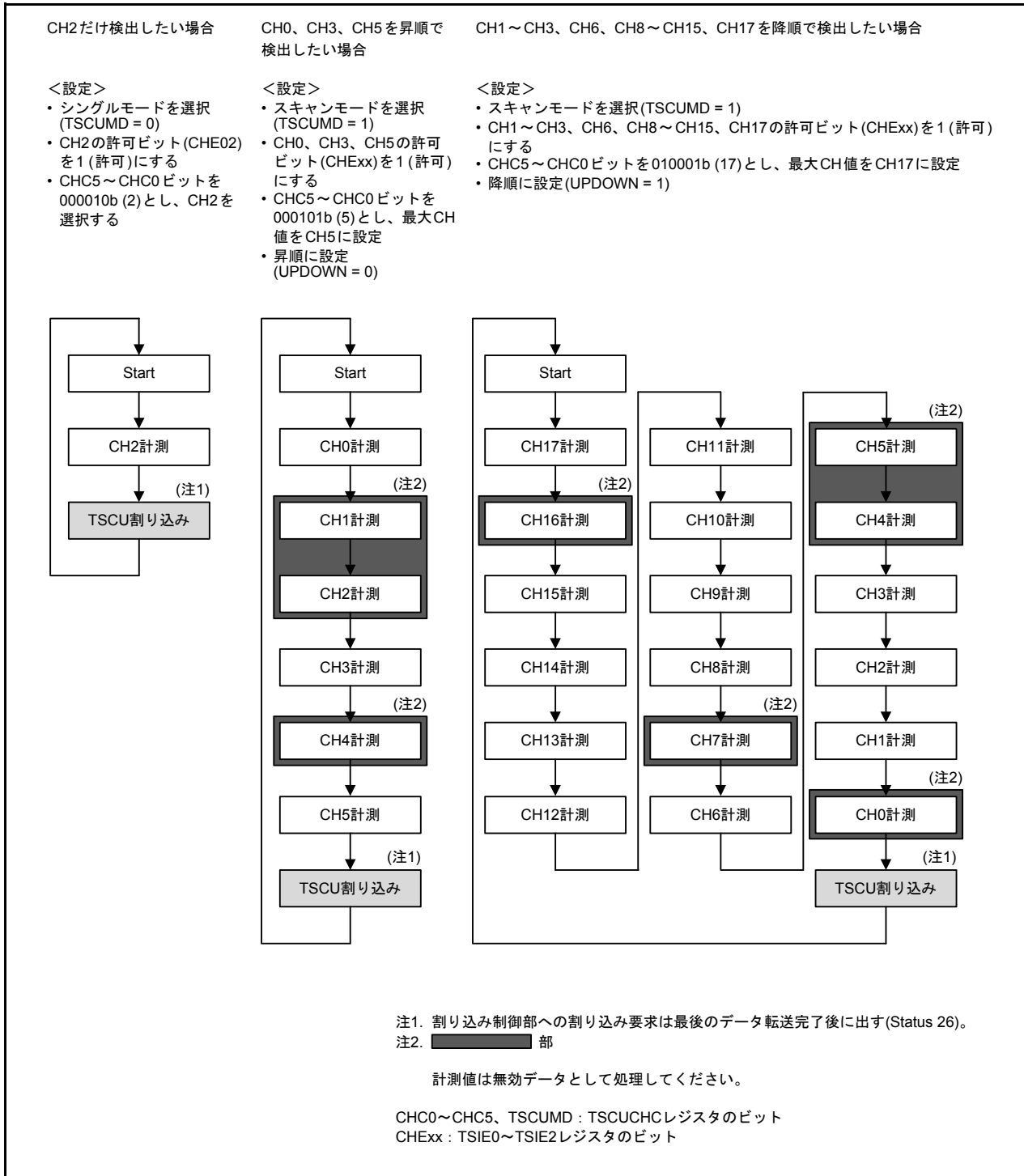


図25.10 計測モードの動作例

25.4 計測動作原理

図25.11に計測部回路を示し、タッチセンサコントロールユニットの静電容量方式タッチ電極の計測動作原理を、以下に説明します。

動作原理は図25.11のとおり抵抗、コンデンサを挿入した状態での説明となります。

CHxA0とCHxA1の選択は、TSCHSEL0～TSCHSEL2レジスタのCHXAS00～CHXAS35ビットでチャンネル毎に行うことが可能です。

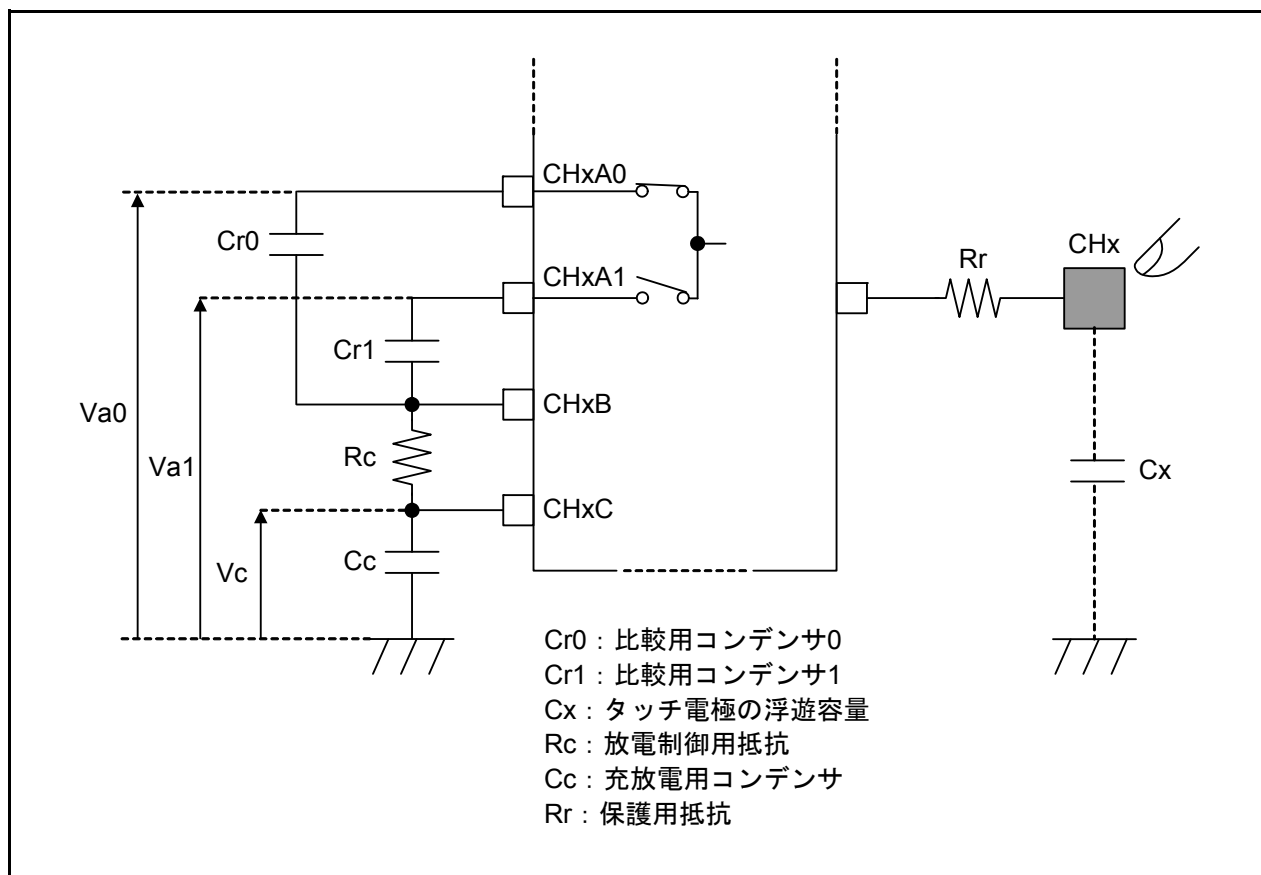


図25.11 計測部回路

タッチ電極の容量計測は、Ccに充電した電荷を徐々に放電させ、その間にCHxAの電圧を計測することで行います。計測は次の手順で実行します。

TSCHSEL0～TSCHSEL2レジスタの設定によりCHxAはCHxA0またはCHxA1、VaはVa0またはVa1となります。

- (1) CHxC端子を電源電圧(VCC)にして、Ccを充電します。
- (2) Ccの充電完了後、CHxA端子、CHxB端子をグラウンドレベル(VSS)にして、放電します。
- (3) 短時間放電した後、CHxA端子、CHxB端子、CHxC端子をハイインピーダンス(Hi-Z)にして、CHxA端子の電圧を計測します。このとき、図25.11のようにCHxA端子電圧をVa、CHxC端子電圧をVcとすると、電圧計測時のVaは、下記の(A)式で表されます。
図25.12にVa、Vcの時間変化を示します。

$$V_a = \frac{C_r}{C_r + C_x} V_c \dots\dots\dots (A) \text{式}$$

- (4) 手順(2)、(3)を繰り返します。
- (5) VLT0レジスタ(入力しきい値制御レジスタ0)を使用し、CHxA端子の入力レベルを設定します。
Vaが入力しきい値を下回るまでの放電回数をカウントします。セカンダリカウンタが0になるまでカウントします。
- (6) カウント値は、データ1とデータ2のプライマリカウンタ値となります。

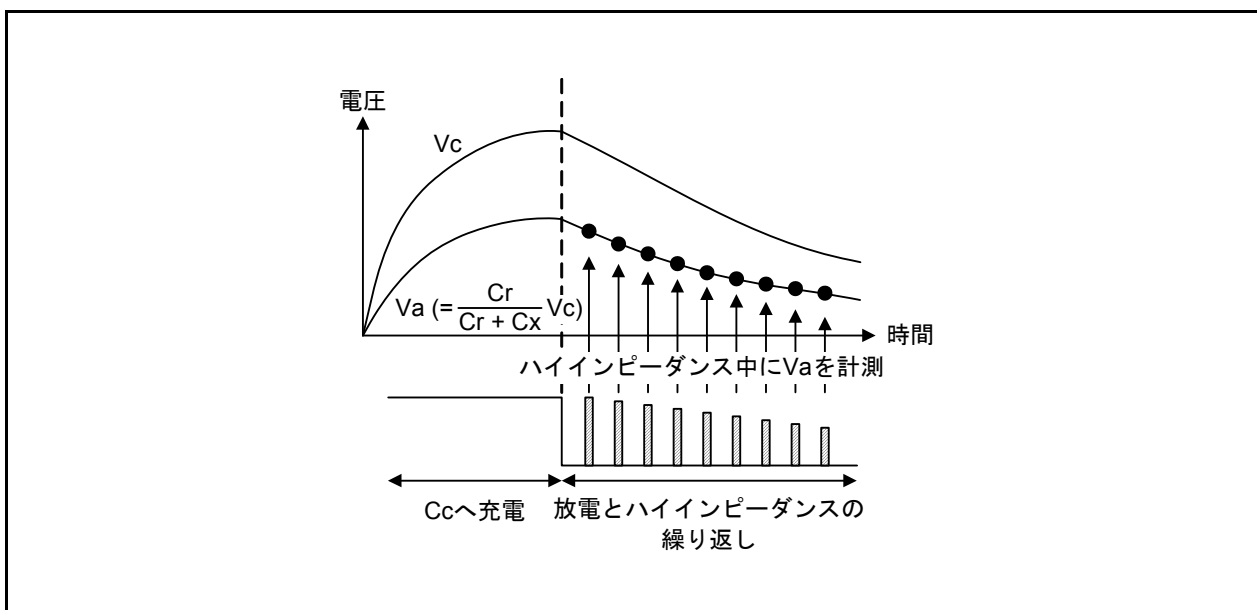
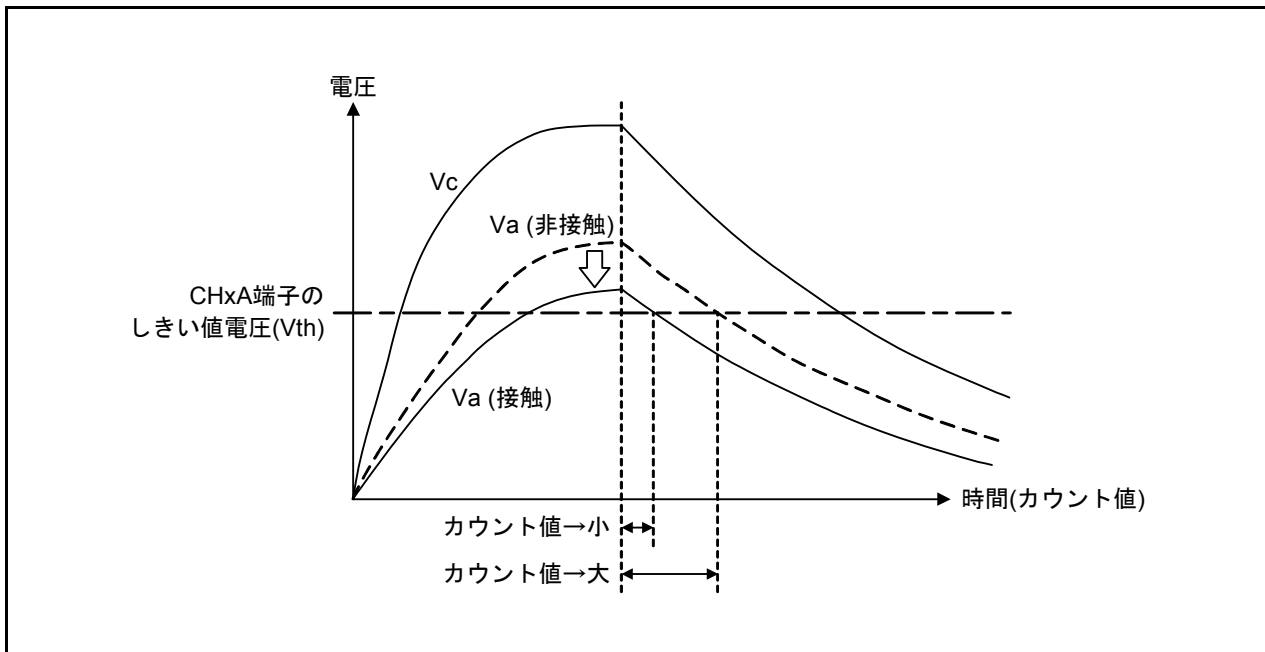


図25.12 Va、Vcの時間変化

指がタッチ電極に近づくと、 ΔC_x の変化分が発生し、下記の(B)式のようにになります。

$$V_a = \frac{C_r}{C_r + C_x + \Delta C_x} V_c \dots\dots\dots (B) \text{式}$$

その結果、図25.13のようにCHxA端子の電圧レベルが変化し、カウント値が小さくなります。タッチセンサコントロールユニットはこの差分を検出することで、接触判定をします。



25.5 タッチセンサコントロールユニット使用上の注意

25.5.1 検出データの格納先

各チャンネルの計測終了後、SFRに格納されたデータ1とデータ2の値をDTCによりRAMへ転送します。データの格納先は、RAM以外に設定しないでください。

計測データはStatus 22のDTC転送要求1回でTSCUDBRレジスタとTSCUPRCレジスタの合計32ビットを転送するようにDTCにて制御してください。

タッチセンサコントロールユニットからのDTC転送時は、転送モードをリピートモード(DTCCRjレジスタ(j=0~23)のMODEビットを1)に設定し、割り込み発生を禁止(DTCCRjレジスタ(j=0~23)のRPTINTビットを0)にしてください。

25.5.2 計測トリガ

- 外部トリガモード時(TSCUMRレジスタのTSCUCAPビットが1)、Status 0のみ外部トリガが受付可能です。計測期間中に外部トリガが入力された場合、計測は開始されません。
- 外部トリガモード時(TSCUMRレジスタのTSCUCAPビットが1)、計測中にTSCUCR0レジスタのTSCUSTRTビットを0(計測停止)にして強制停止する場合、計測停止後にTSCUCR0レジスタのTSCUINITビットを1にして初期化を行ってください。計測はStatus 1から再開されます。計測再開前にDTCの再設定を行ってください。

25.5.3 充電時間

測定データが次の測定データに上書きされるのを防ぐため、タッチセンサコントロールユニットはDTC転送が終了するまで充電を維持します。

DTCのバス権取得と転送時間で20~30サイクル程度のCPUサイクルが必要です。

転送完了待ち時間以下の充電時間を設定した場合、設定値を超える充電時間になります。

25.5.4 設定値切り替え

TSCUソフトウェア動作用レジスタ以外のレジスタを更新する場合、計測を停止した後(TSCUSTRTビットを0にする)に設定値を更新してください。設定値更新後は、初期化を行ってから(TSCUINITビットを1にする)、計測を開始してください。

TSCUソフトウェア動作用レジスタ

- TSCUCR1レジスタのCHSELXA0SW、CHSELXA1SW、CHSELXBCSWビット
- TSCUソフトウェア動作時のTSIE0~TSIE2レジスタ
(TSCU動作時で設定値を切り替える場合は計測停止し、初期化を行ってから計測を開始してください。)

25.5.5 CHxB-CHxC間短絡制御時の制約

TSCUCR1レジスタのBCSHORTビットを1(短絡あり)にしてCHxB-CHxC間の短絡を行う場合、以下の制約があります。

- 区間4スキップの禁止(TSCUCR2レジスタのTCS4Cビットを1(区間4のサイクル数は0)にすることを禁止)
- PRE計測ON、カウントソースにf1選択時、区間4設定は2サイクル以上
(TSCUCR2レジスタのTCS40~TCS44ビットの設定で2~32サイクルにする)

表 25.19 CHxB-CHxC間短絡制御時の区間4設定の制約事項

BCSHORT	TCS4C	PREMSR	区間4設定の制約事項
0	—	—	制約なし
1	0	0	制約なし
1	0	1	カウントソースにf2またはf4選択時：制約なし カウントソースにf1選択時：2～32サイクルを設定してください
1	1	—	このビットの組み合わせは設定しないでください

BCSHORT : TSCUCR1レジスタのビット

TCS4C : TSCUCR2レジスタのビット

PREMSR : TSCUMRレジスタのビット

25.5.6 タッチセンサコントロールユニットモジュールスタンバイ

タッチセンサコントロールユニットモジュールスタンバイモードにすることで、タッチセンサコントロールユニットモジュールへのクロック供給を停止させます。

タッチセンサコントロールユニット内のレジスタへのクロック供給も停止するため、タッチセンサコントロールユニット内のレジスタ設定を変更する場合はスタンバイモードを解除して、CPUサイクルで2サイクル以上経過してから行ってください。

また、全クロック停止する場合(CM1レジスタのCM10ビットを1にする場合)も同様の処理を行ってください。

25.5.7 タッチセンサコントロールユニット初期化(TSCUINIT)

TSCUCR0レジスタのTSCUINITビットを1にして初期化を行う場合、以下の処理を行ってください。

- 計測を停止(TSCUCR0レジスタのTSCUSTRTビットを0にする)
- TSCU割り込み要求が出力していない(TSCUFRレジスタのSIFビットの0を読む)、またはTSCU割り込み要求をクリアする(SIFビットの1を読んだ後、同じビットに0を書く)。

TSCUINIT ビットによる初期化を行ってもDTCは初期化されません。

タッチセンサコントロールユニットの初期化を行う場合は、DTCの設定も行ってください。

25.5.8 クロック設定の制約

タッチセンサコントロールユニットで計測中はクロック設定を変更しないでください。

CM3レジスタのCM36ビットを0、CM37ビットを0に設定し、ウェイトモードから割り込み要求信号で復帰する際のクロック切り替えを行わないでください。

25.5.9 ウェイトモード時の制約

ウェイトモードでタッチセンサコントロールユニットを使用する場合、以下の制約があります。

- TSCUSTRTビットを1にした直後に、WAIT命令を実行またはCM3レジスタのCM30ビットを1にしてください。
- FMR1レジスタのFMR11ビットを1、FMR0レジスタのFMSTPビットを0に設定して、ウェイトモード中でもフラッシュメモリを停止させないでください。
- 低消費電力ウェイトモードでタッチセンサコントロールユニットを使用しないでください。SVDCレジスタのSVC0ビットを0にしてください。

25.5.10 ストップモード時の制約

全クロック停止によるストップモード(CM1レジスタのCM10ビットを1)に設定する前に、タッチセンサコントロールユニットは停止し(TSCUSTRTビットを0)、初期化(TSCUINITビットを1)に設定してください。

ストップモードへの設定変更を含めて、タッチセンサコントロールユニットの設定変更や初期化を行う場合は、できる限り計測完了後または計測開始前に行ってください。

25.5.11 A/Dコンバータとの同時使用

A/D変換中にタッチセンサコントロールユニットの計測開始を行わないでください。

26. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

26.1 概要

表26.1にフラッシュメモリの性能概要を示します(表26.1に示す以外の項目は「表1.1、表1.2 R8C/38T-Aグループの仕様概要」参照)。

R8C/38T-Aグループは、BGO(バックグラウンドオペレーション)機能付データフラッシュ(1KB×4ブロック)を内蔵しています。

表26.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図26.1参照
プログラム方式		バイト単位/ワード単位(プログラムROM領域のみ)
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換えプロテクト制御方式	ブロック0~6 (プログラムROM)(注2)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B、C、D (データフラッシュ)	FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御
コマンド数		7コマンド
プログラム、イレーズ回数(注3)	ブロック0~6 (プログラムROM)(注2)	1,000回
	ブロックA、B、C、D (データフラッシュ)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合は、電源電圧VCC = 2.7V~5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

注2. 製品によってブロック数およびブロックの分割が異なります。詳細は「図26.1 R8C/38T-Aグループのフラッシュメモリのブロック図」を参照してください。

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n = 1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

表26.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	—

26.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図26.1にR8C/38T-Aグループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM：主にプログラムを格納するためのフラッシュメモリ

データフラッシュ：主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

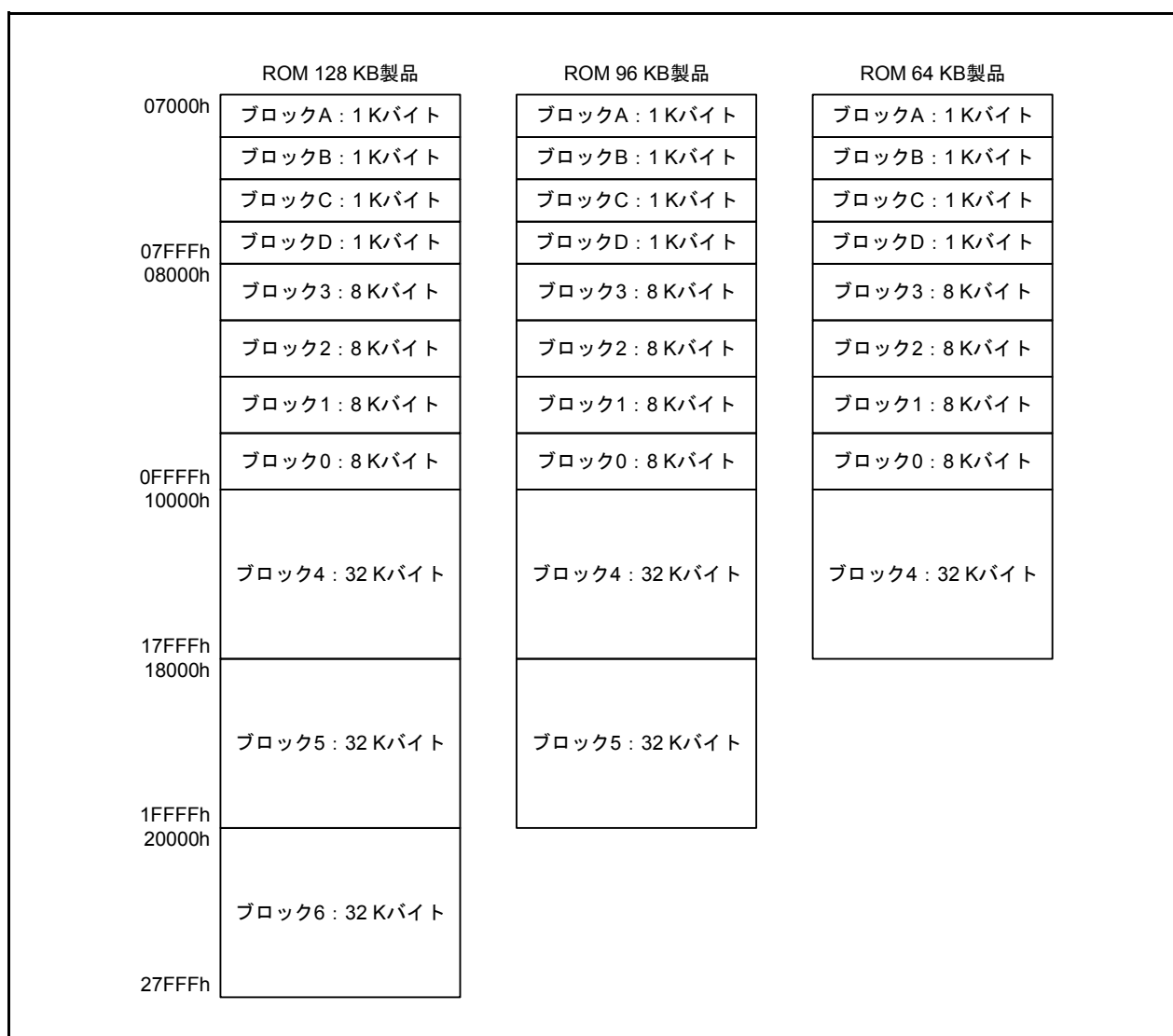


図26.1 R8C/38T-Aグループのフラッシュメモリのブロック図

26.3 レジスタの説明

表26.3にフラッシュメモリのレジスタ構成を示します。

表26.3 フラッシュメモリのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュメモリステータスレジスタ	FST	1000X00b	00252h	8
フラッシュメモリ制御レジスタ0	FMR0	00h	00254h	8
フラッシュメモリ制御レジスタ1	FMR1	00h	00255h	8
フラッシュメモリ制御レジスタ2	FMR2	00h	00256h	8
オプション機能選択レジスタ	OFS	(注1)	0FFFFh	8

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

26.3.1 フラッシュメモリステータスレジスタ (FST)

アドレス 00252h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	—	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4、5)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4、5)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニタフラグ	0: ロック状態 1: 非ロック状態	R
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0: イレーズエラー/ブランクチェックエラーなし 1: イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0: ビジー 1: レディ	R

注1. プログラムでRDYSTIビットを1(フラッシュレディステータス割り込み要求あり)にできません。

RDYSTIビットに0(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。読んでから書くまでの間はフラッシュレディステータス要因によるDTC起動を禁止にしてください。

このビットを確認する場合には、FMR0レジスタのRDYSTIEビットを1(フラッシュレディステータス割り込み許可)にしてください。

注2. プログラムでBSYAEIビットを1(フラッシュアクセスエラー割り込み要求あり)にできません。

BSYAEIビットに0(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。

このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを1(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを1(イレーズ/ライトエラー割り込み許可)にしてください。

注3. コマンドエラー時にも1(エラーあり)になります。

注4. このビットが1のとき、FMR0レジスタのFMR01ビットを0(CPU書き換えモード無効)にしないでください。

注5. このビットを0にするためには、1を読んだ後、0を書いてください。

RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが1(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを0(フラッシュレディステータス割り込み要求なし)にしてください。

[0になる条件]

割り込み処理のプログラムで0にしてください。

[1になる条件]

FMR0レジスタのRDYSTIEビットが1のときに、ビジーからレディに遷移すると、RDYSTIビットは1になります。

ビジーからレディに変化するの、次の状態のときです。

- フラッシュメモリのイレーズ/プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブロックブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが1(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、BSYAEIビットが1(フラッシュアクセスエラー割り込み要求あり)になります。割り込み処理の中でBSYAEIビットを0(フラッシュアクセスエラー割り込み要求なし)にしてください。

また、FMR0レジスタのCMDERIEビットが1(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、またはプログラムエラーが発生した場合、BSYAEIビットが1(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、クリアステータスレジスタコマンドを実行し、BSYAEIビットを0(フラッシュアクセスエラー割り込み要求なし)にしてください。

[0になる条件]

- (1) 割り込み処理のプログラムで0にしてください。
- (2) クリアステータスレジスタコマンドを実行してください。

[1になる条件]

- (1) FMR0レジスタのBSYAEIEビットが1のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。
または、プログラムROM領域をイレーズ/ライト中にデータフラッシュ領域をリードする。
(ただし、両者共に読み出し値は不定。書き込みは無効。)
- (2) FMR0レジスタのCMDERIEビットが1(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラー、またはプログラムエラーが発生した場合。

LBDATA ビット (LBDATA モニタ フラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが1(レディ)になった後で、LBDATA ビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7ビットが0(ビジー)になります。FST7ビットが1(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

FST4 ビット (プログラム エラー フラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると1、それ以外のときは0となります。詳細は「26.5.8 フルスステータスチェック」を参照してください。

FST5 ビット (イレーズエラー / ブランクチェックエラー フラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると1、それ以外のときは0となります。詳細は「26.5.8 フルスステータスチェック」を参照してください。

FST6 ビット (イレーズサスペンドステータス フラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると1になります。それ以外のときは0になります。

FST7 ビット (レディ / ビジーステータス フラグ)

FST7ビットが0(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

上記以外の場合は、FST7ビットは1(レディ)になります。

26.3.2 フラッシュメモリ制御レジスタ0 (FMR0)

アドレス	00254h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	FMR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR00	プログラム単位選択ビット(注1、5)	0: バイト単位 1: ワード単位	R/W
b1	FMR01	CPU書き換えモード選択ビット(注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセットビット(注3)	CMDRSTビットを1にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。読み出した場合は、0が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

注1. このビットを1にするときは、0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが1(CPU書き換えモード有効)のとき、有効です。FMR01ビットが0(CPU書き換えモード無効)のときにFMSTPビットを1(フラッシュメモリ停止)にしないでください。また、FMSTPビットを1(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが1(レディ)のとき、設定してください。

注3. CMDRSTビットはFMR01ビットが1(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが0(ビジー)のとき、有効です。

注4. FMR01ビットを0(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが0(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが0(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

注5. プログラムROM領域に対してのみ有効です。

FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを1(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

FMR02ビット(EW1モード選択ビット)

FMR02ビットを1(EW1モード)にすると、EW1モードになります。

FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを1にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)、低速クロックモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを1にしてください。詳細は「10.6.10 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが1のとき(FMSTPビットを1から0へ変更直後のビジー中(FST7ビットが0の期間)も含む)は、同時に低消費電流リードモードにしないでください。

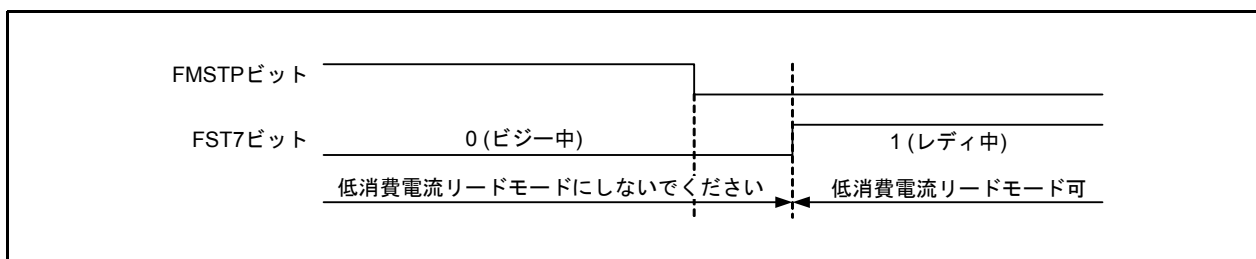


図26.2 低消費電流リードモードへの移行

CMDRSTビット(イレーズ/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレーズコマンドを強制停止させるためのビットです。データフラッシュ領域へのプログラム/イレーズ中のシーケンスリセットの場合は、プログラムROM領域を読み出すことは可能です。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレーズコマンドを強制停止した場合、FSTレジスタのFST7ビットが1(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレーズコマンドを再度実行し、ブロックイレーズが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレーズコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを1(ロックビット無効)にした後で、ブロックイレーズコマンドを再度実行してください。

また、イレーズサスペンド中にCMDRSTビットを1(イレーズ/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレーズをサスペンドしていたブロックに対しても、ブロックイレーズを再度実行してください。

CMDERIEビット(イレーズ/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレーズエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIEビットを1(イレーズ/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIEビットを0(イレーズ/ライトエラー割り込み禁止)から1(イレーズ/ライトエラー割り込み許可)にする場合には、次のようにしてください。

- (1) クリアステータスレジスタコマンドを実行する。
- (2) CMDERIEビットを1にする。

BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIE ビットを0(フラッシュアクセスエラー割り込み禁止)から1(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのBSYAEIビットを読む(ダミーリード)。
- (2) BSYAEIビットに0(フラッシュアクセスエラー割り込み要求なし)を書く。
- (3) BSYAEIEビットを1(フラッシュアクセスエラー割り込み許可)にする。

RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIE ビットを0(フラッシュレディステータス割り込み禁止)から1(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

- (1) FSTレジスタのRDYSTIビットを読む(ダミーリード)。
- (2) RDYSTIビットに0(フラッシュレディステータス割り込み要求なし)を書く。
- (3) RDYSTIEビットを1(フラッシュレディステータス割り込み許可)にする。

26.3.3 フラッシュメモリ制御レジスタ1 (FMR1)

アドレス	00255h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	FMR15	FMR14	FMR13	—	FMR11	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	FMR11	ウェイトモードフラッシュメモリ動作許可ビット(注1)	0: ウェイトモード中フラッシュメモリ停止 1: ウェイトモード中フラッシュメモリ動作許可	
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	FMR13	ロックビット無効選択ビット(注2)	0: ロックビット有効 1: ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット(注3、4)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット(注3、4)		R/W
b6	FMR16	データフラッシュブロックC書き換え禁止ビット(注3、4)		R/W
b7	FMR17	データフラッシュブロックD書き換え禁止ビット(注3、4)		R/W

注1. ストップモード時、低消費電力ウェイトモード時、低消費電流リードモード許可時では、FMR11 ビットに1を設定しないでください。

注2. FMR13 ビットを1にするときは、0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注3. このビットを0にするときは、1を書いた後、続けて0を書いてください。また、1を書いた後、0を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注4. FMR0 レジスタのFMR01ビットを0 (CPU書き換えモード無効)にすると0になります。

FMR11ビット(ウェイトモードフラッシュメモリ動作許可ビット)

FMR11 ビットを1にすると、ウェイトモード中もフラッシュメモリは動作します。TSCU (タッチセンサ)機能をウェイトモード中も動作させる場合、フラッシュメモリのリソースがハードウェア動作に必要なため、このビットを1にしてください。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを1(ロックビット無効)にすると、ロックビットを無効にできます。0にすると、ロックビットが有効になります。ロックビットについては「26.5.6 データ保護機能」を参照してください。

FMR13 ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13 ビットを1にした状態でブロックイレーズコマンドを実行すると、0(ロック状態)であったロックビットデータは、消去終了後には1(非ロック状態)になります。

[0になる条件]

次の条件が成立した時点で0になります。

- プログラムコマンド終了時点
- ブロックイレーズコマンド終了時点
- コマンドシーケンスエラー発生時点
- イレーズサスペンド移行時点
- FMR0 レジスタのFMR01ビットが0 (CPU書き換えモード無効)になった場合
- FMR0 レジスタのFMSTPビットが1 (フラッシュメモリ停止)になった場合
- FMR0 レジスタのCMDRSTビットが1 (イレーズ/ライト停止)になった場合

[1になる条件]

プログラムで1にしてください。

FMR14ビット(データフラッシュブロックA書き換え禁止ビット)

FMR14ビットが0のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレージコマンドを受け付けます。

FMR15ビット(データフラッシュブロックB書き換え禁止ビット)

FMR15ビットが0のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレージコマンドを受け付けます。

FMR16ビット(データフラッシュブロックC書き換え禁止ビット)

FMR16ビットが0のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレージコマンドを受け付けます。

FMR17ビット(データフラッシュブロックD書き換え禁止ビット)

FMR17ビットが0のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレージコマンドを受け付けます。

26.3.4 フラッシュメモリ制御レジスタ2 (FMR2)

アドレス	00256h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	—	—	FMR24	—	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット (注1)	0: イレーズサスペンド禁止 1: イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエストビット (注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット (注1)	0: 割り込み要求でイレーズサスペンドリクエスト禁止 1: 割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	—	予約ビット	0にしてください	R/W
b4	FMR24	フラッシュメモリウェイトサイクル制御ビット (注1、4)	0: フラッシュメモリウェイトサイクルあり 1: フラッシュメモリウェイトサイクルなし	R/W
b5	—	予約ビット	0にしてください	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	FMR27	低消費電流リードモード許可ビット (注1、3、4)	0: 低消費電流リードモード禁止 1: 低消費電流リードモード許可	R/W

注1. このビットを1にするときは、0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. FMR21ビットを0(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが1(CPU書き換えモード有効)のとき、設定してください。

注3. 次のいずれかの設定をした後、FMR27ビットを1にしてください。

- CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定
- CPUクロックをXCINクロックの1分周(分周なし)、2分周、4分周または8分周に設定

注4. ウェイトモードまたはストップモードから復帰した場合、CM3レジスタのCM37、CM36ビット(ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット)で10b(高速オンチップオシレータクロックを選択)、11b(XINクロックを選択)を選択した場合、またはCM3レジスタのCM35ビットで1(分周なし)の場合、リセット後の値になります。

FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを1(許可)にすると、イレーズサスペンド機能が許可されます。

FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを1にすると、イレーズサスペンドモードに移行します。FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に1(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを0(イレーズリスタート)にしてください。

[0になる条件]

プログラムで0にしてください。

[1になる条件]

- 割り込み要求発生時に、FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- プログラムで1にしてください。

FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを1(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを1(イレーズサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、1にしてください。

FMR24ビット(フラッシュメモリウェイトサイクル制御ビット)

FMR24ビットが0のとき、プログラムROMは1ウェイトサイクル、データフラッシュは3ウェイトサイクルです。

FMR24ビットが1のとき、プログラムROMは0ウェイトサイクル、データフラッシュは1ウェイトサイクルです。

FMR27ビット(低消費電流リードモード許可ビット)

低速クロックモード(XINクロック停止)、低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「10.6.11 低消費電流リードモード」を参照してください。

CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

FMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM3レジスタのCM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

なお、FMR27ビットが1(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを1(フラッシュメモリ停止)から0(フラッシュメモリ動作)にする場合は、FMR27ビットが0(低消費電流リードモード禁止)のときに行ってください。

26.3.5 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V 選択 (Vdet0_3) 0 1 : 2.85 V 選択 (Vdet0_2) 1 0 : 2.35 V 選択 (Vdet0_1) 1 1 : 1.90 V 選択 (Vdet0_0)	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

- 注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。
- 注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。
- 注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

26.4 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

26.4.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFFCh～0FFFEh番地)がFFFFFFhではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は「5.3 IDコード領域」を参照してください。

26.4.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「5.5 オプション機能選択領域」を参照してください。

ROMCRビットに1、ROMCPIビットに0を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

26.5 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しまたはプログラムができます。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表26.4にEW0モードとEW1モードの違いを示します。

表26.4 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域	RAM (書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM (ただし、書き換え制御プログラムがあるブロックを除く)
ソフトウェアコマンドの制限	—	プログラム、ブロックイレーズコマンド (書き換え制御プログラムがあるブロックに対して実行禁止)
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPU、DTCの状態	動作	<ul style="list-style-type: none"> データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCは動作 プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCはホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件	<ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを1にする FMR2レジスタのFMR20とFMR22ビットが1かつ許可されたマスクブル割り込み要求が発生 	<ul style="list-style-type: none"> プログラムでFMR2レジスタのFMR20、FMR21ビットを1にする(データフラッシュ領域を書き換え中) FMR2レジスタのFMR20とFMR22ビットが1かつ許可されたマスクブル割り込み要求が発生
CPUクロック	20 MHz	20 MHz

26.5.1 EW0モード

FMR0レジスタのFMR01ビットを1(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが0なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20ビットを1(イレーズサスペンド許可)、FMR21ビットを1(イレーズサスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが1(レディ)になったことを確認し、FST6ビットが1(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST6ビットが0になったとき、消去終了です)。

FMR2レジスタのFMR21ビットを0(イレーズリスタート)にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが0になったことを確認し、FST6ビットが0(イレーズサスペンド以外)になったことを確認してください。

26.5.2 EW1モード

FMR0レジスタのFMR01ビットを1(CPU書き換えモード有効)にした後、FMR02ビットを1(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを1(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを1(割り込み要求でイレーズサスペンドリクエスト許可)にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に1(イレーズサスペンドリクエスト)になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21ビットを0(イレーズリスタート)にして自動消去を再開させてください。

26.5.3 各モードの設定と解除方法

図26.3にEW0モードの設定と解除方法を、図26.4にEW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法を示します。

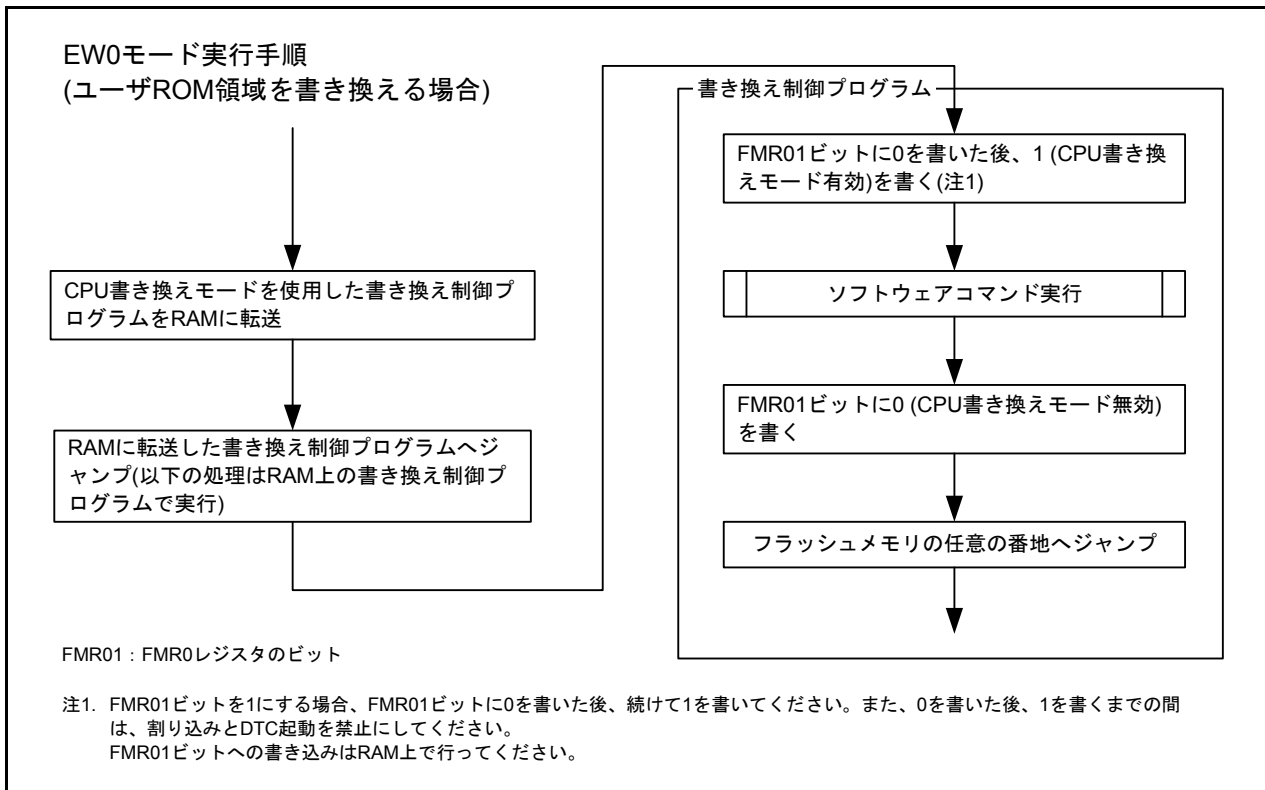


図26.3 EW0モードの設定と解除方法

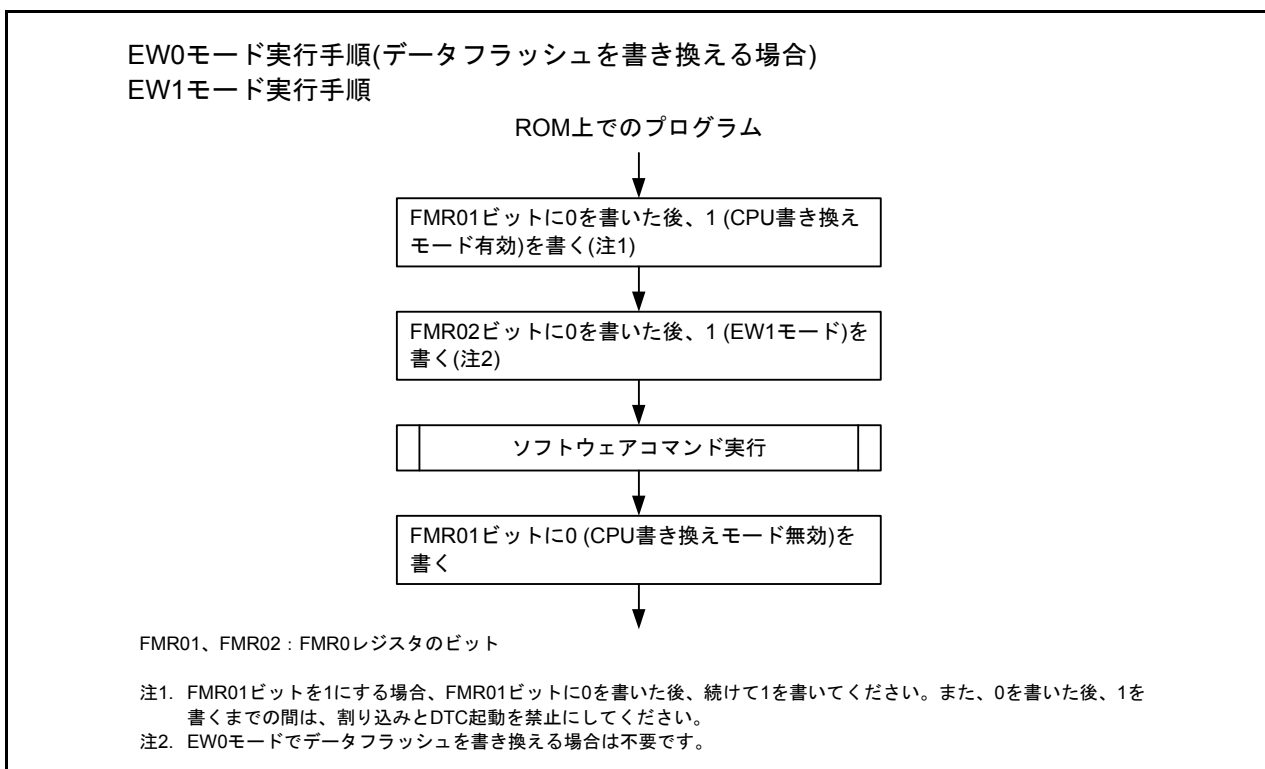


図26.4 EW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法

26.5.4 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます(「表 26.5 サスペンド中に実行できる動作」参照)。

- データフラッシュの任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- データフラッシュの自動消去をサスペンドした場合、プログラム ROM への自動書き込みおよび読み出しが実行できます。
- プログラムROMの任意のブロックの自動消去をサスペンドした場合、プログラムROMの別のブロックへの自動書き込み、および読み出しが実行できます。
- プログラムROMの自動消去をサスペンドした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。
- サスペンドを確認する場合、FSTレジスタのFST7ビットが1(レディ)となったことを確認後、FSTレジスタのFST6ビットが1(イレーズサスペンド中)になったことで、サスペンドしたことを確認してください。(FST6ビットが0(イレーズサスペンド以外)となったときは、消去終了です。)

図26.5にサスペンド動作に関するタイミングを示します。

表 26.5 サスペンド中に実行できる動作

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレーズ実行ブロック)			データフラッシュ (サスペンド移行前の イレーズ未実行ブロック)			プログラムROM (サスペンド移行前の イレーズ実行ブロック)			プログラムROM (サスペンド移行前の イレーズ未実行ブロック)		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド 移行前の イレーズ 実行領域	データ フラッシュ	×	×	×	×	○	○	—	—	—	×	○	○ (注6)
	プログラム ROM	—	—	—	×	○	○	×	×	×	×	○	○

注1. ○はサスペンド機能を使用することで動作可能、×は動作禁止、—は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FSTレジスタのFST7ビットが1(レディ)で実行できます。

サスペンド中、ブロックブランクチェックは動作禁止です。

注4. イレーズサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュ内蔵製品のみ適用されます。

注6. データフラッシュをプログラムあるいはブロックイレーズ動作中に、BGO機能によりプログラムROM領域を読み出すことができます。

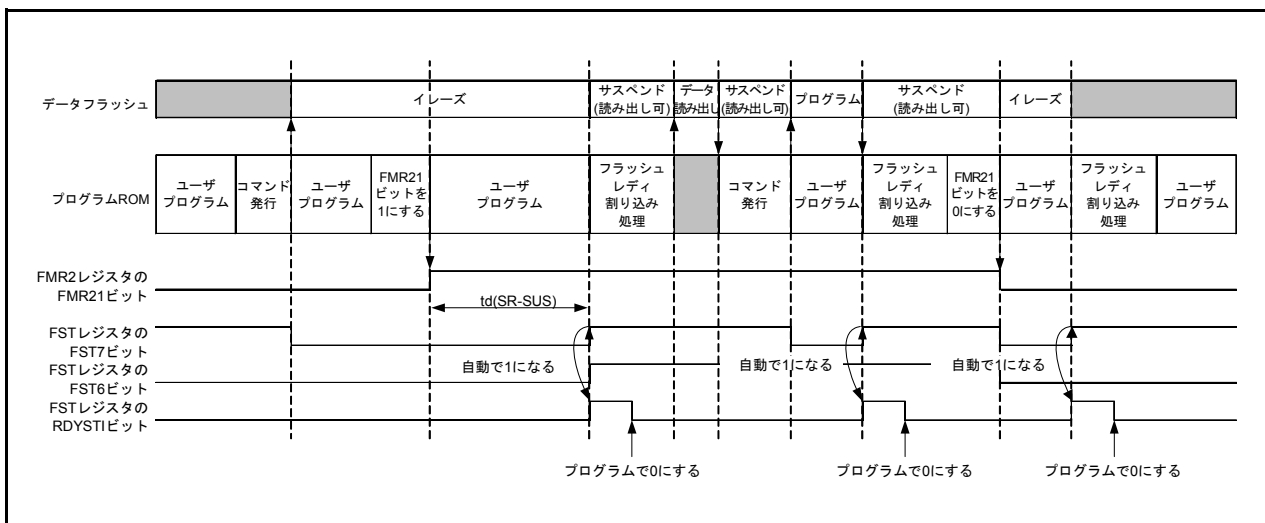


図26.5 サスペンド動作に関するタイミング

26.5.5 BGO (バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

なお、データフラッシュのプログラムあるいはブロックイレーズ動作中に、他のデータフラッシュのブロックの読み出しはできません。

図26.6にBGO機能を示します。

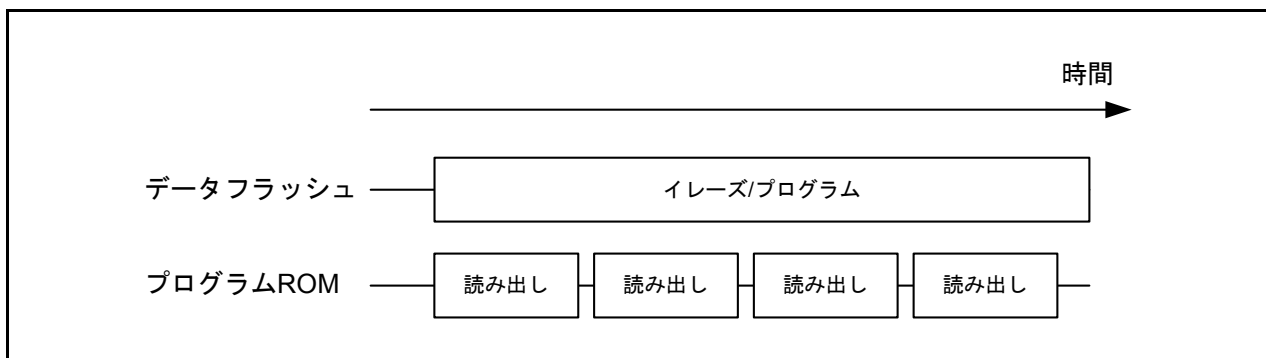


図26.6 BGO機能

26.5.6 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが0(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが0のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが1のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、0(ロック状態)に、ブロックを消去すると1(非ロック状態)になります。ロックビットデータだけをコマンドで1にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを1(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを0にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR13ビットが1の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは1になります。

各コマンドの詳細は「26.5.7 ソフトウェアコマンド」を参照してください。

FMR13ビットは自動消去終了後、0になります。FMR13ビットは以下のいずれかの条件が成立した場合に0になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを1にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが0(ビジー)から1(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットが0(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが1(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが1(イレーズ/ライト停止)になった場合

図26.7にFMR13ビットの動作に関するタイミングを示します。

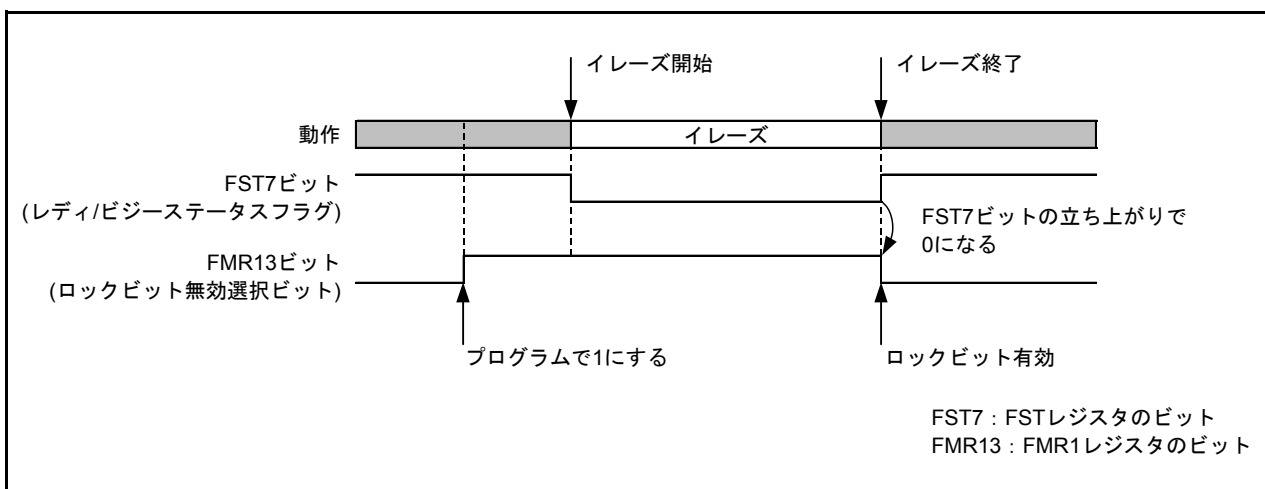


図26.7 FMR13ビットの動作に関するタイミング

26.5.7 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。ただしプログラム(ワード単位)のコマンド、データ書き込みは16ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表26.6 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	×	FFh	—	—	—
クリアステータスレジスタ	ライト	×	50h	—	—	—
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	×	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	×	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	×	25h	ライト	BA	D0h

WA：書き込み番地

WD：書き込みデータ

BA：ブロックの任意の番地

BT：ブロックの先頭番地

×：ユーザROM領域内の任意の番地

26.5.7.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルでFFhを書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

26.5.7.2 クリアステータスレジスタ

FSTレジスタのFST4、FST5ビットを0にするコマンドです。

第1バスサイクルで50hを書くと、FST4、FST5ビットが0になります。

26.5.7.3 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで40hを書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は0、終了後は1になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます(「26.5.8 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが1(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが1(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが1(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが1(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図26.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図26.9にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

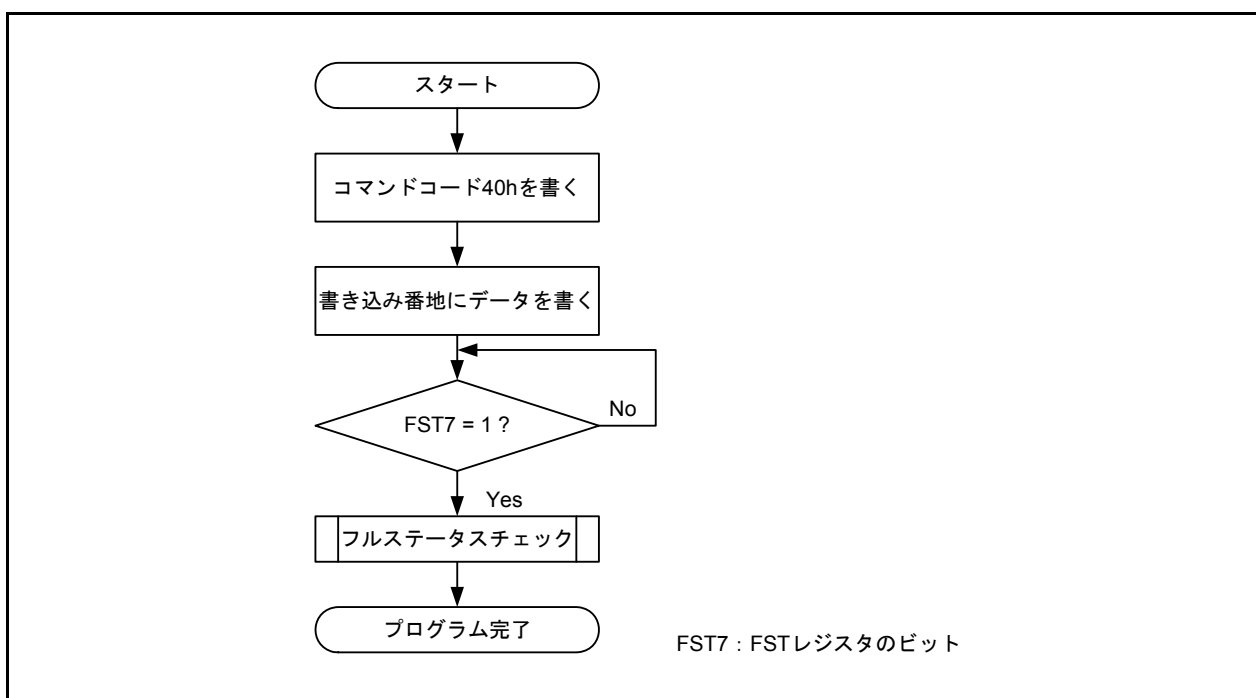


図26.8 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

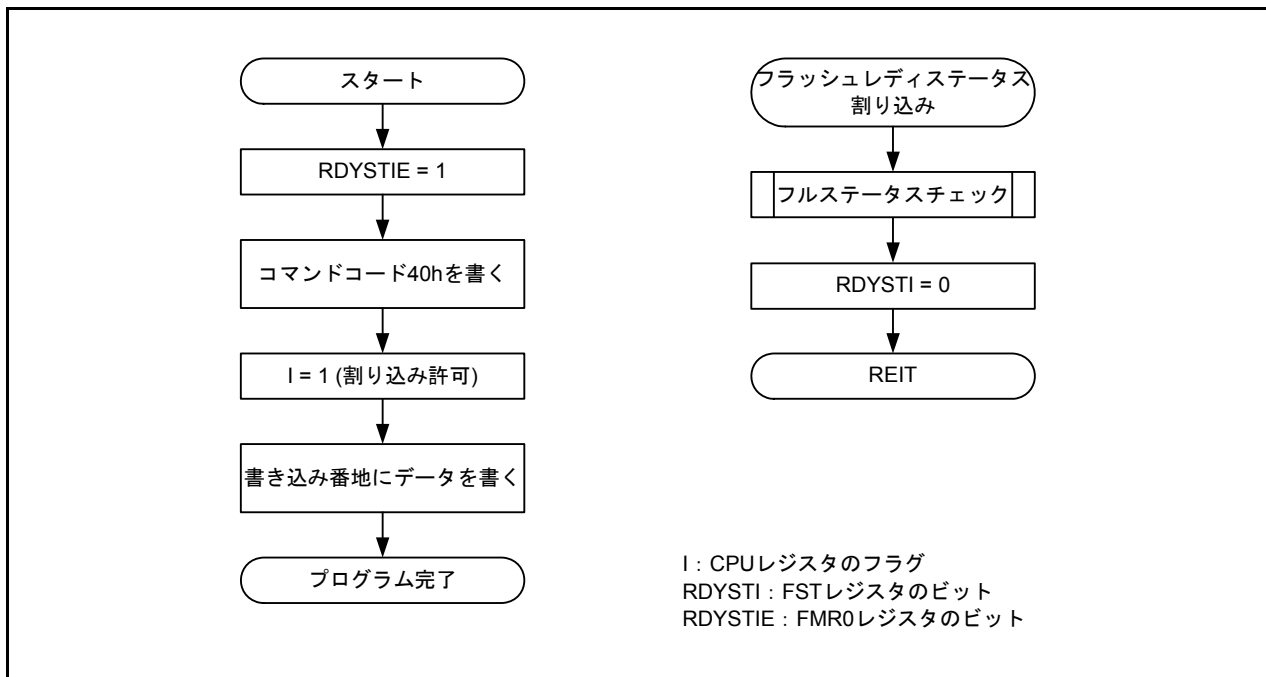


図26.9 プログラムフローチャート(フラッシュレディステータス割り込み許可)

26.5.7.4 ブロックイレーズ

第1バスサイクルで20h、第2バスサイクルでD0hをブロックの任意の番地を書く指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は、0、終了後は1になります。また、自動消去の終了後、ブロック内のデータはすべてFFhになります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます(「26.5.8 フルステータスチェック」参照)。

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが1(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが1(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが1(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが1(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図26.10にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図26.11にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図26.12にブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが1かつFMR2レジスタのFMR20ビットが1(イレーズサスペンド許可)のときは、FMR21ビットを1(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

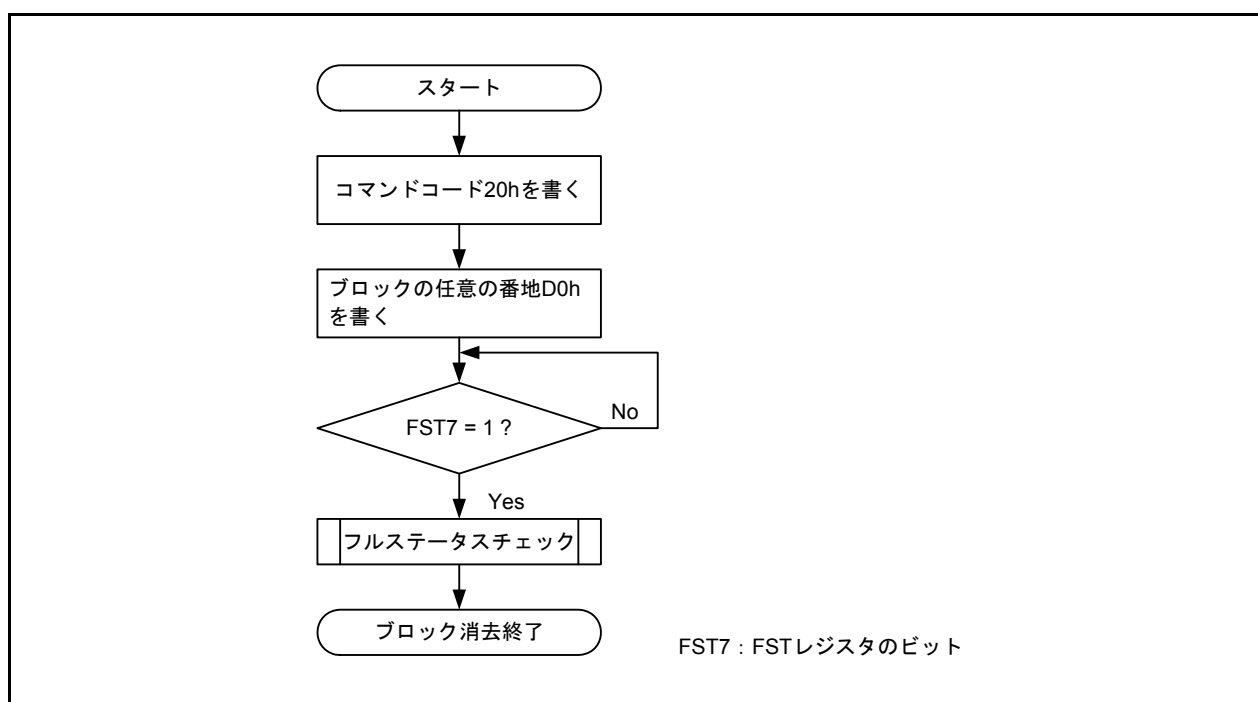


図26.10 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)

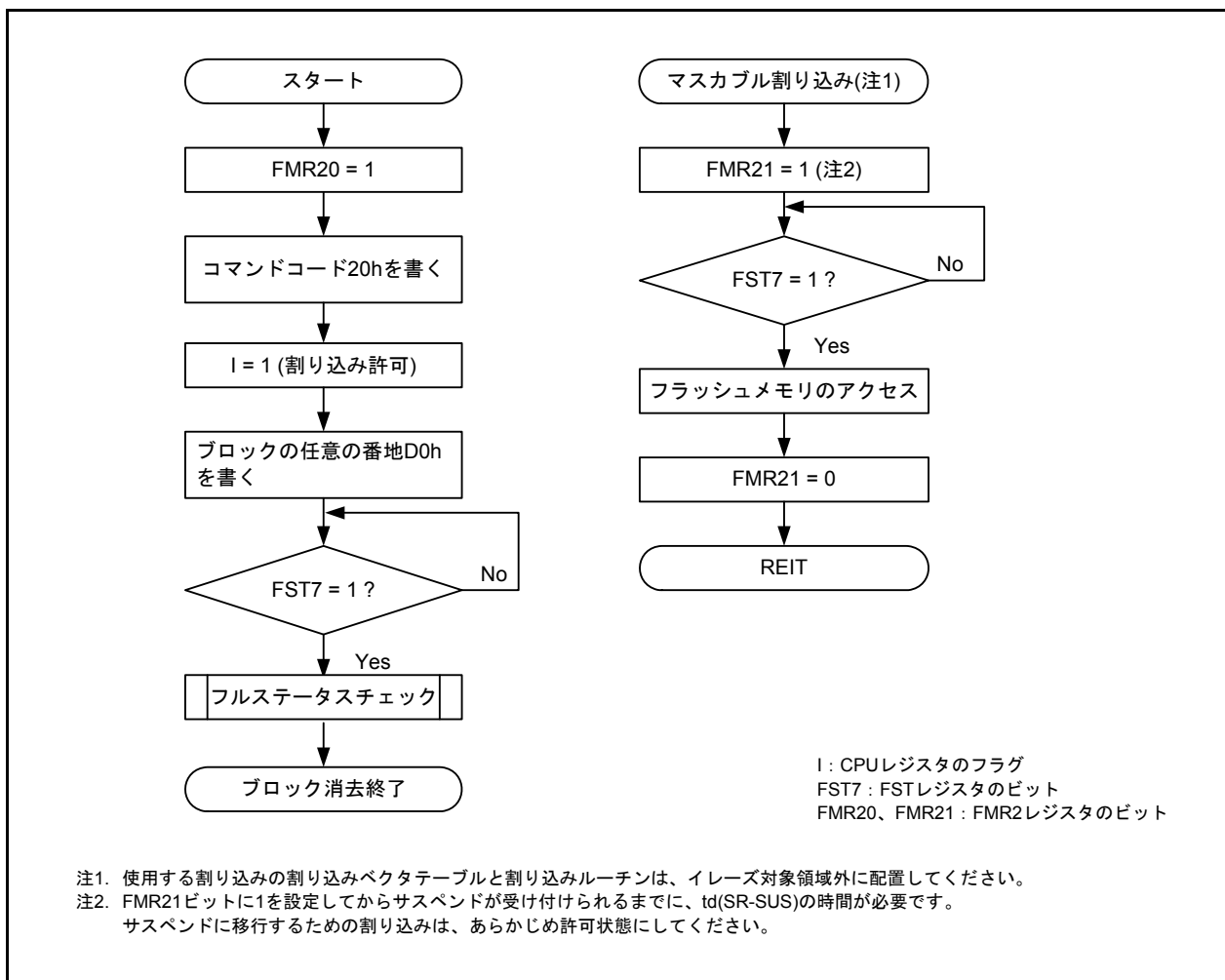


図26.11 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

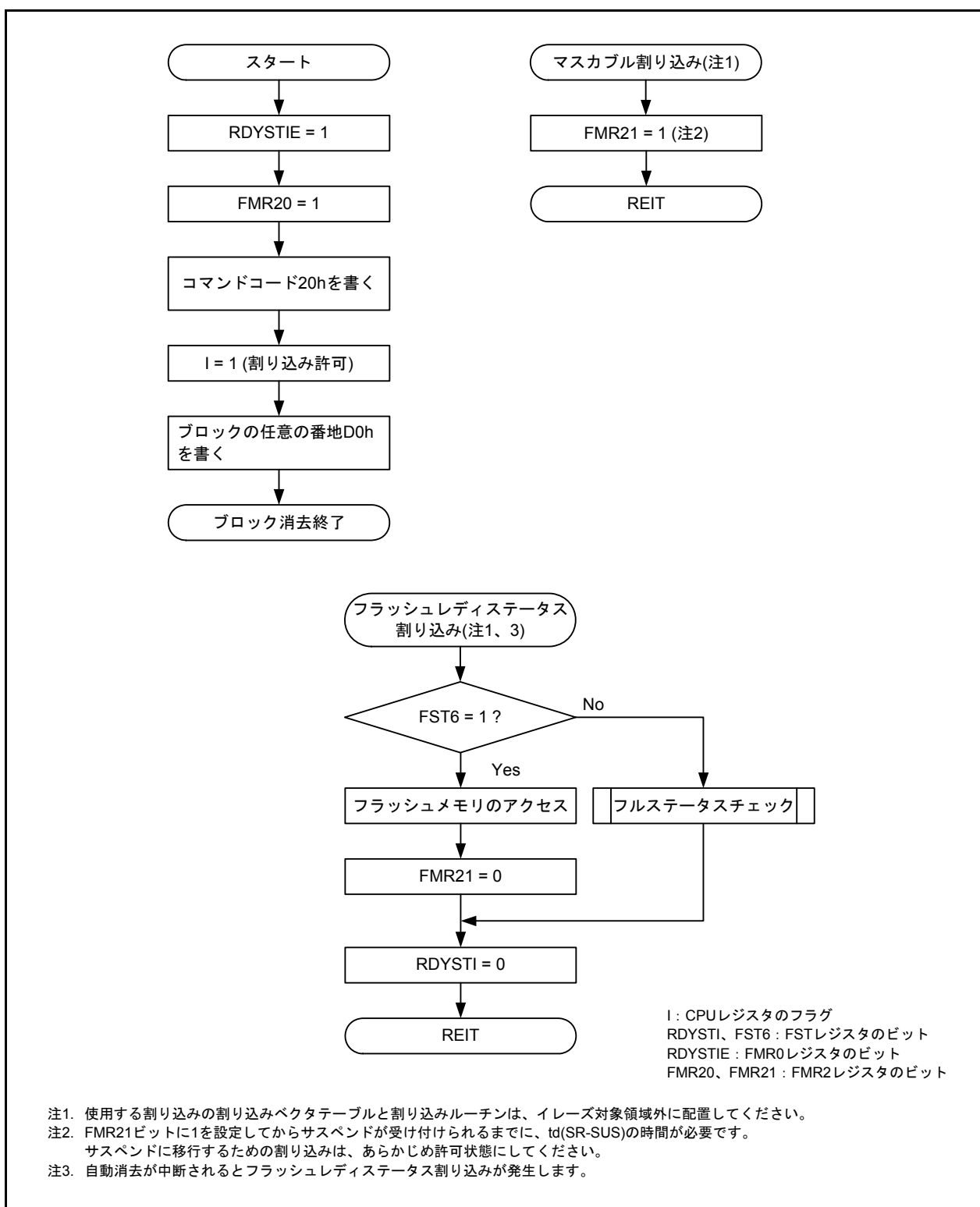


図26.12 ブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

26.5.7.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを0(ロック状態)にするコマンドです。

第1バスサイクルで77h、第2バスサイクルでD0hをブロックの先頭番地に書くと、指定されたブロックのロックビットに0が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図26.13にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを1(非ロック状態)にする方法については「26.5.6 データ保護機能」を参照してください。

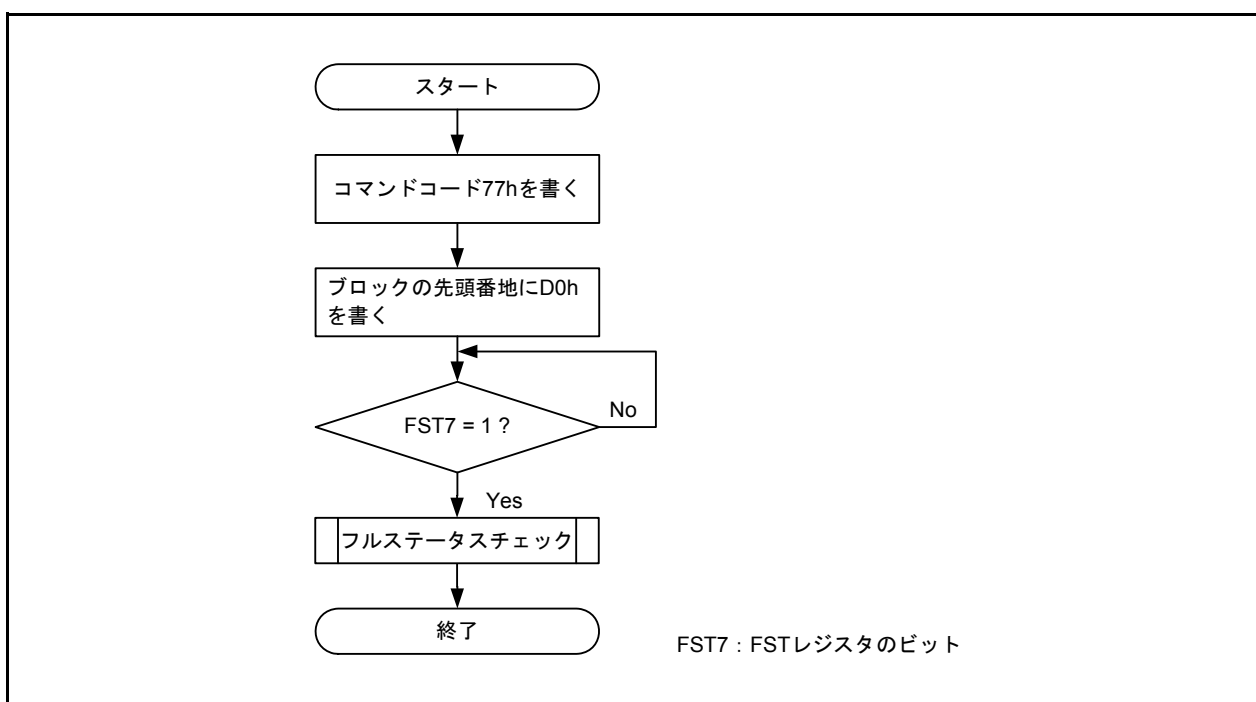


図26.13 ロックビットプログラムフローチャート

26.5.7.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで71h、第2バスサイクルでブロックの先頭番地にD0hを書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが1(レディ)になった後、LBDATAビットを読んでください。

図26.14にリードロックビットステータスフローチャートを示します。

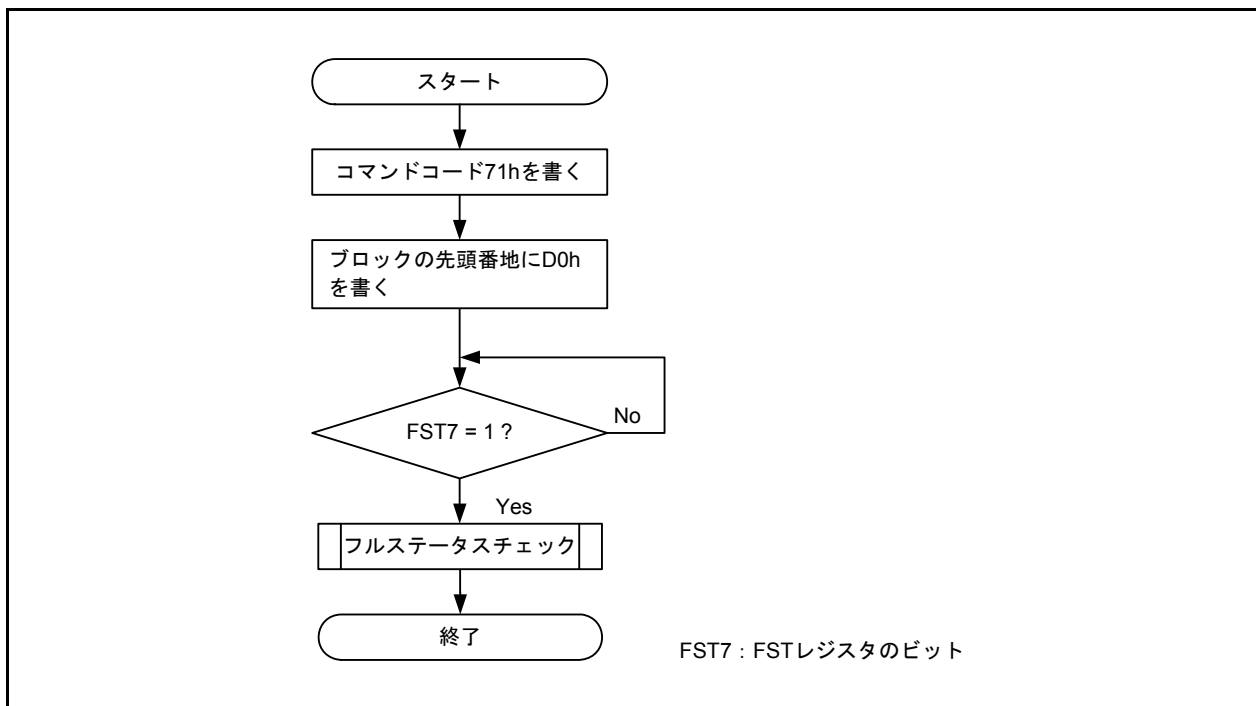


図26.14 リードロックビットステータスフローチャート

26.5.7.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ FFhであることを確認するコマンドです。

第1バスサイクルで25h、第2バスサイクルでブロックの任意の番地にD0hを書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は0、終了後は1になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます(「26.5.8 フルステータスチェック」参照)。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが1(イレーズサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図26.15にブロックブランクチェックフローチャートを示します。

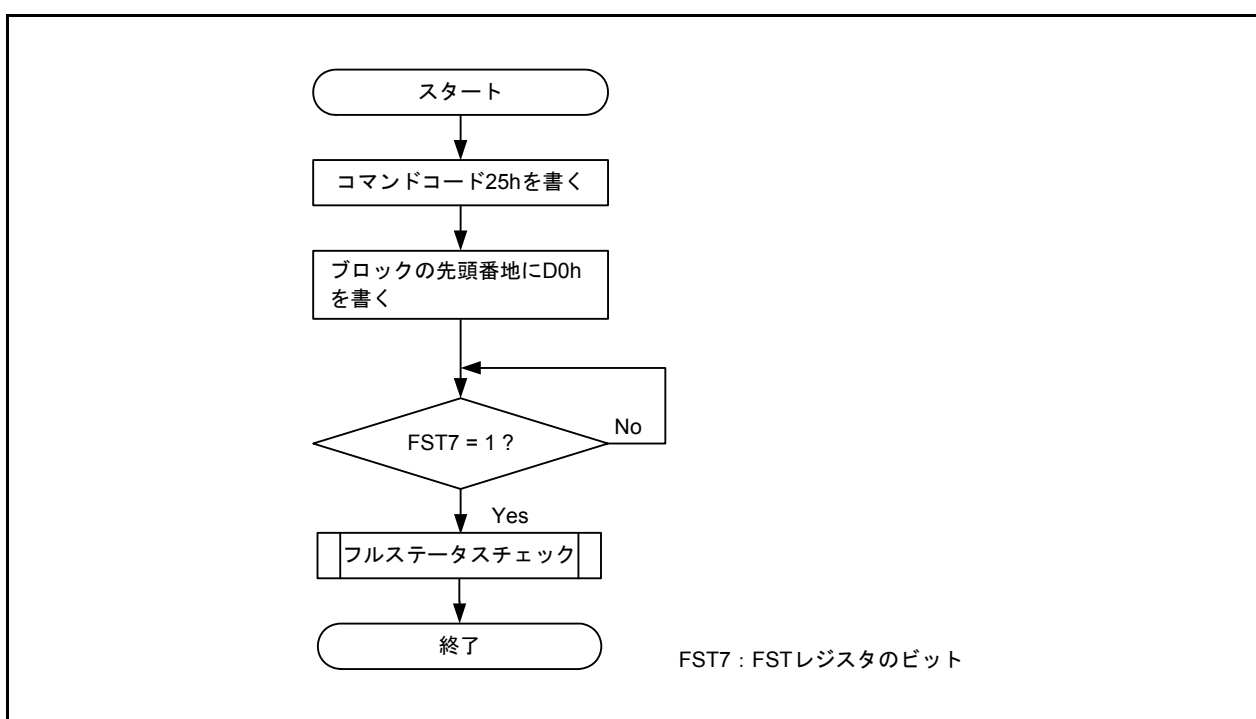


図26.15 ブロックブランクチェックフローチャート

なお、本コマンドはライターメカ向けを想定したものであり、一般ユーザ向けのコマンドではありません。

26.5.8 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4、FST5ビットが1になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表26.7にエラーとFSTレジスタの状態を、図26.16にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表26.7 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> • コマンドを正しく書かなかったとき • ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(D0hまたはFFh)以外のデータを書いたとき(注1) • サスペンド中のイレーズコマンドを実行 • サスペンド中のブロックへのコマンドを実行
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータFFh以外のデータを読み出したとき
0	1	プログラムエラー/ ロックビットプログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルでFFhを書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

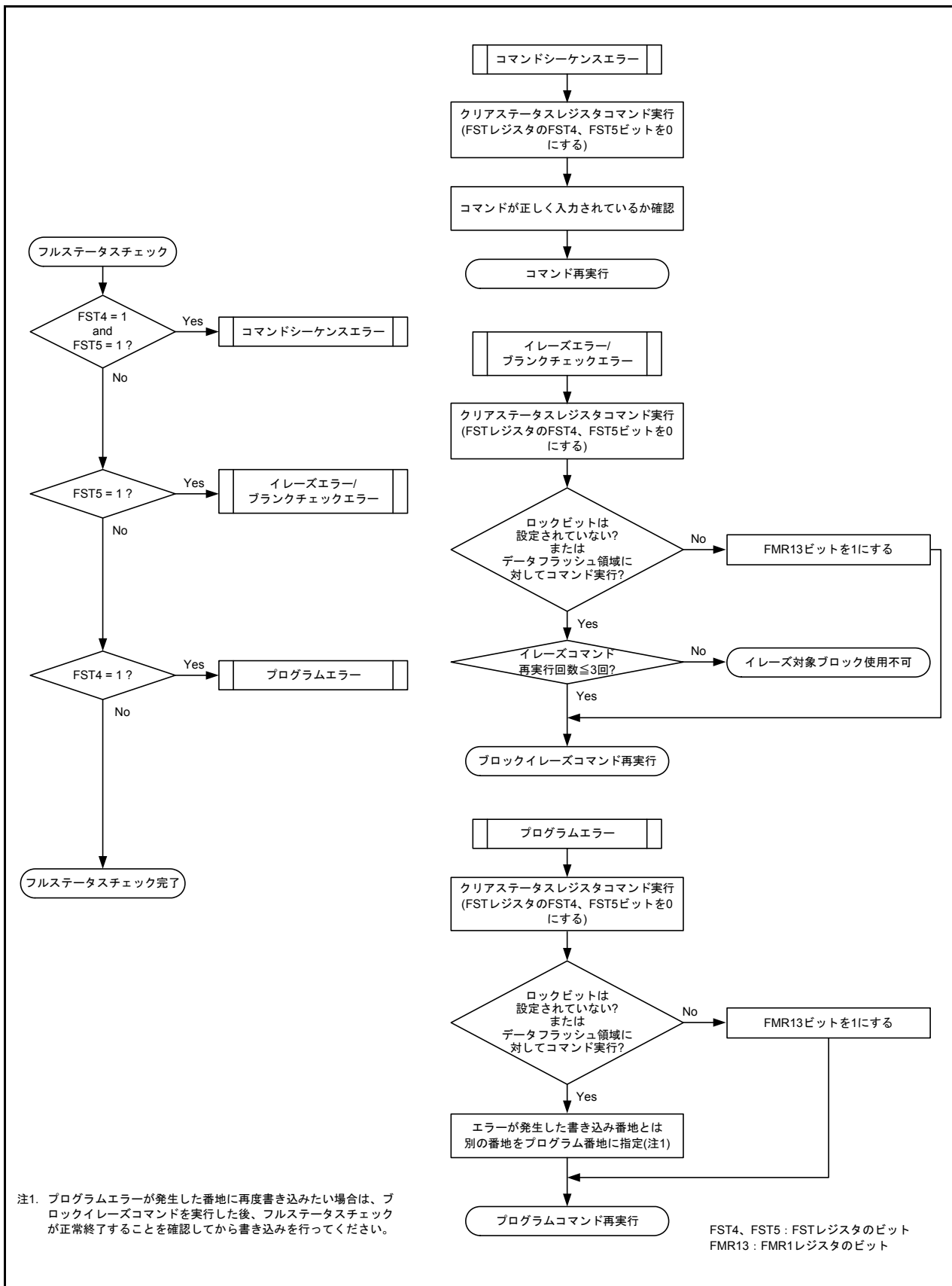


図 26.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

26.6 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライターを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライターと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライターと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライターと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライターとの接続例は「付録2. シリアルライターとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

表26.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図26.17に標準シリアル入出力モード2を使用する場合の端子処理例を、表26.9に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図26.18に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表26.8に示した端子処理を行い、ライターを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子にHを入力して、ハードウェアリセットしてください。

26.6.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は「5.3 IDコード領域」を参照してください。

表26.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。入力ポートとして使用する場合、Hを入力、Lを入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
MODE	MODE	入出力	Lを入力してください。
P1_4	TXD出力	出力	シリアルデータの出力端子です。
P1_5	RXD入力	入力	シリアルデータの入力端子です。

注1. 上記以外のI/Oポートの設定は、Hを入力、Lを入力、または開放してください。

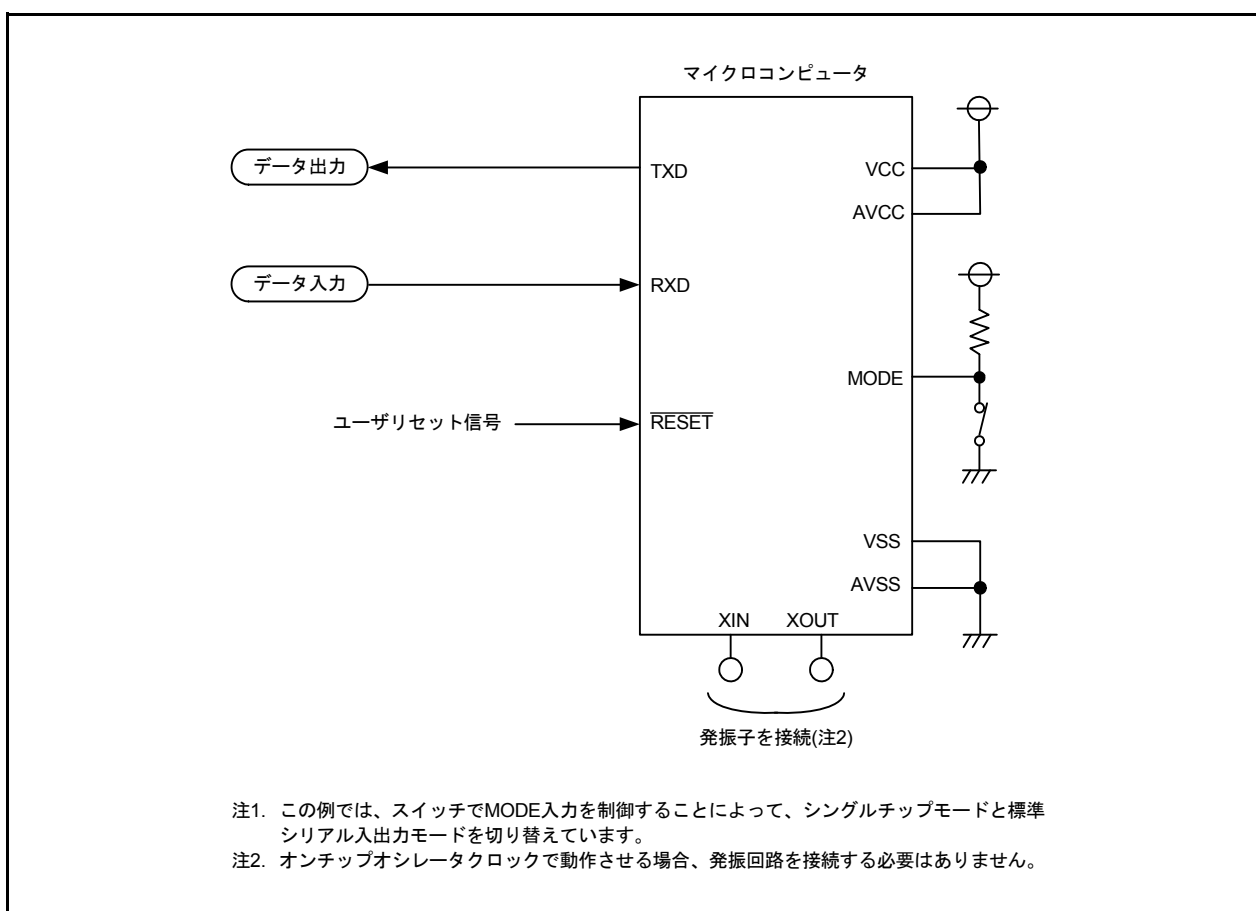


図26.17 標準シリアル入出力モード2を使用する場合の端子処理例

表 26.9 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。入力ポートとして使用する場合、Hを入力、Lを入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

注1. 上記以外のI/Oポートの設定は、Hを入力、Lを入力、または開放してください。

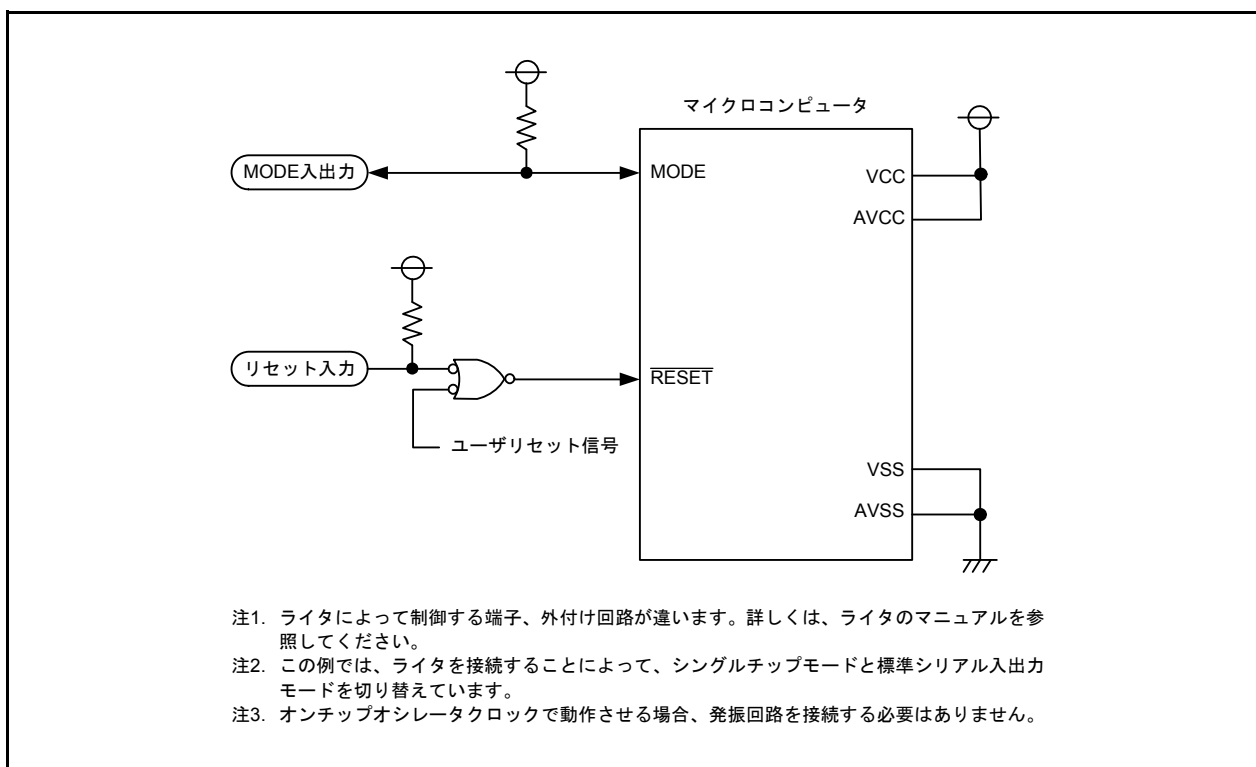


図 26.18 標準シリアル入出力モード3を使用する場合の端子処理例

26.7 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図26.1に示すユーザROM領域の書き換えができます。

26.7.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「26.4.2 ROMコードプロテクト機能」参照)。

26.8 フラッシュメモリ使用上の注意

26.8.1 CPU書き換えモード

26.8.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

26.8.1.2 割り込み

表26.10～表26.12にCPU書き換えモード時の割り込みを示します。

表26.10 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み	
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。	
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。	
		自動消去中 (サスペンド無効)		
		自動書き込み中		
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1の場合は、自動でFMR21ビットが1になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを0にすることで、自動消去を再開することができます。	
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを0にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。	
		自動消去中 (サスペンド無効またはFMR22 = 0)		自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

表 26.11 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ウォッチドッグタイマ 発振停止検出 電圧監視2 電圧監視1 	<ul style="list-style-type: none"> 未定義命令 INTO命令 BRK命令 シングルステップ アドレス一致 アドレスブレイク(注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、割り込み処理を実行します。</p> <p>FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。</p>	<p>割り込み要求を受け付けると、割り込み処理を実行します。</p> <p>イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0にすることで、自動消去を再開することができます。</p>
		自動消去中 (サスペンド無効 またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
プログラム ROM		自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。</p> <p>自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。</p> <p>ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</p>	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表 26.12 CPU書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> • ウォッチドッグタイマ • 発振停止検出 • 電圧監視2 • 電圧監視1 	<ul style="list-style-type: none"> • 未定義命令 • INTO命令 • BRK命令 • シングルステップ • アドレス一致 • アドレスブレイク(注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0にするこ とで、自動消去を再開することができます。
		自動消去中 (サスペンド無効 またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
プログラム ROM		自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効 またはFMR22 = 0)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

26.8.1.3 アクセス方法

次のビットを1にするときは、対象となるビットに0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを0にするときは、対象となるビットに1を書いた後、続けて0を書いてください。また、1を書いた後、0を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

26.8.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

26.8.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

26.8.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが0(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが1(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

26.8.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V~5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

26.8.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

26.8.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周、または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

消費電力を低減する方法は、「10. パワーコントロール」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを0(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

27. CRC

27.1 概要

CRC (Cyclic Redundancy Check)演算回路は、データブロックの誤り検出に使用します。さらにCRC演算回路はSFRへの書き込み、SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。

表27.1 CRC演算回路の仕様

項目	仕様
生成多項式	CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)またはCRC-16 ($X^{16} + X^{15} + X^2 + 1$)
選択機能	<ul style="list-style-type: none"> MSB/LSB選択機能 SFRアクセス監視機能

図27.1にCRC演算回路のブロック図を示します。

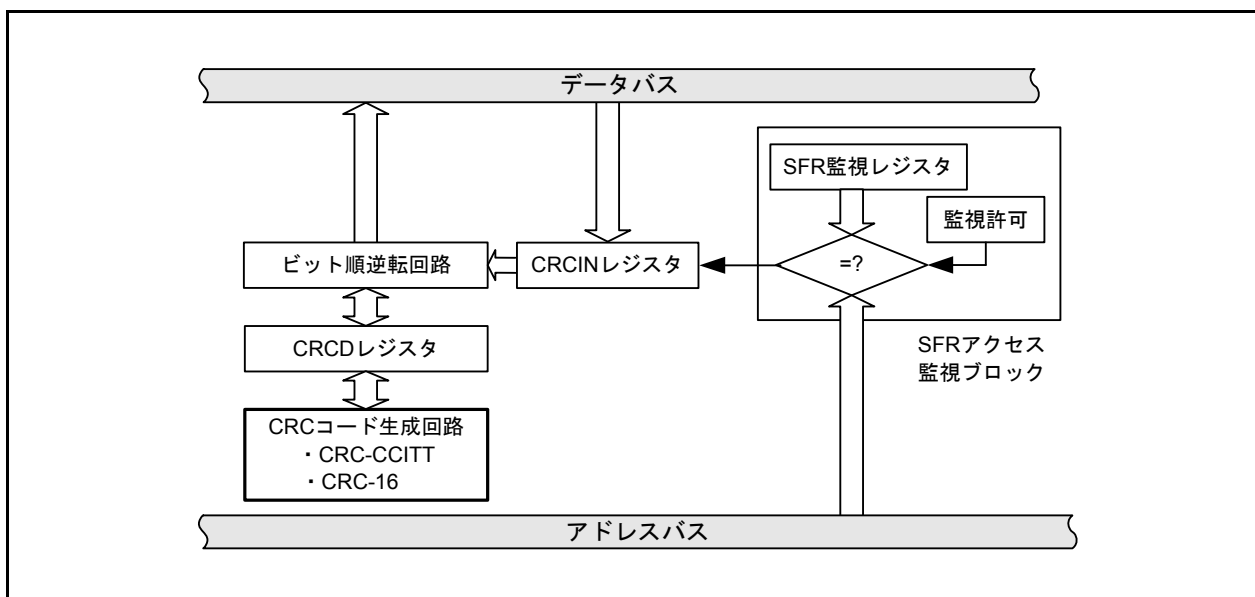


図27.1 CRC演算回路のブロック図

27.2 レジスタの説明

表27.2にCRC演算機能のレジスタ構成を示します。

表27.2 CRC演算機能のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SFR監視アドレスレジスタ	CRCSAR	0000h	00290h	16
CRC制御レジスタ	CRCMR	00h	00292h	8
CRCデータレジスタ	CRCD	0000h	00294h	16
CRCインプットレジスタ	CRCIN	00h	00296h	8

27.2.1 SFR監視アドレスレジスタ (CRCSAR)

アドレス 00290h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15～b0	監視対象のSFRアドレスを設定します。	R/W

CRCSARレジスタは、監視するSFRのアドレスを設定するレジスタです。
監視対象のSFRアドレスは00080h～002FFhと06800h～06FFFhの範囲です。

27.2.2 CRC制御レジスタ (CRCMR)

アドレス	00292h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CRCSW	CRCSR	—	—	—	—	CRCPS	CRCMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CRCMS	CRCモード選択ビット	0 : LSBファースト 1 : MSBファースト	R/W
b1	CRCPS	CRC多項式選択ビット	0 : $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT) 1 : $X^{16} + X^{15} + X^2 + 1$ (CRC-16)	R/W
b5~b2	—	書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	CRCSR	読み出し監視許可ビット	0 : 禁止	R/W
b7	CRCSW	書き込み監視許可ビット	1 : 許可	R/W

CRCMRレジスタは、SFR監視機能、CRCDレジスタ、CRCINレジスタへの書き込み、および読み出しを制御するレジスタです。

CPUからCRCINレジスタにデータを書き込む場合は、CRCSWビットとCRCSRビットの両方を0に設定します。

CRCMSビット (CRCモード選択ビット)

CRCMSビットに0を設定したときは、CRCDレジスタ、CRCINレジスタへはビット順を逆転して書き込みます。

また、CRCDレジスタからCRCコードを読み出すと、ビット順を逆転したCRCコードが読めるためプログラムでビット順を逆転します。

CRCMSビットを1に設定したときは、CRCDレジスタ、CRCINレジスタへはビット順を逆転しないでそのまま書き込みます。また、CRCDレジスタからCRCコードを読み出すと、ビット順を逆転していないCRCコードが読めます。

CRCPSビット (CRC多項式選択ビット)

CRCPSビットに0を設定したときは、CRT-CCITTモードで演算を行いCRCDレジスタに結果を格納します。

CRCPSビットに1を設定したときは、CRC-16モードで演算を行いCRCDレジスタに結果を格納します。

CRCSRビット (読み出し監視許可ビット)

CRCSRビットに1を設定すると、データバス上の読み出し動作を監視します。

CRCSRビットが1のとき、CRCSARレジスタに設定したアドレスからの読み出しが発生するとデータバス上のリードデータに対し自動でCRC演算を行い、CRCDレジスタに結果を格納します。

CRCSRビットに1を設定した場合、CRCSWビットには0を設定してください。

CRCSWビット (書き込み監視許可ビット)

CRCSWビットに1を設定すると、データバス上の書き込み動作を監視します。

CRCSWビットが1のとき、SRCSARレジスタに設定されたアドレスへの書き込みが発生するとデータバス上のライトデータに対し自動でCRC演算を行い、CRCDレジスタに結果を格納します。

CRCSWビットに1を設定した場合、CRCSRビットには0を設定してください。

27.2.3 CRCデータレジスタ (CRCD)

アドレス	00294h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル								
リセット後の値	0	0	0	0	0	0	0	0
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15～b0	CRCの演算結果が格納されます。	R/W

CRCDレジスタは、CRCの演算結果が格納されます。

CRCMRレジスタのCRCPSビットが0 (CRC-CCITTモード) のとき、CRC-CCITTで演算した結果が読み出せます。

CRCPSビットが1 (CRC-16モード) のとき、CRC-16で演算した結果が読み出せます。

CRCMRレジスタのCRCMSビットが0のとき、初期値はビット順を逆転して書き込みます。その後、CRCINレジスタにデータを書くと、CRCDレジスタからビット順を逆転したCRCコードが読めます。

CRCMSビットが1のとき、初期値はビット順を逆転せずそのまま書き込みます。その後、CRCINレジスタにデータを書くと、CRCDレジスタからビット順を逆転していないCRCコードが読めます。

27.2.4 CRCインプットレジスタ (CRCIN)

アドレス	00296h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7～b0	CRC演算の対象データを設定します。	R/W

CRCINレジスタは、CRC演算の対象データを入力するレジスタです。

CPUからCRCINレジスタに書き込む場合は、CRCMRレジスタのCRCPSビットとCRCMSビットの両方を0に設定してください。

CRCMRレジスタのCRCMSビットが0の場合、CRCINレジスタへは、ビット順を逆転して書き込みます。

CRCMSビットが1の場合、CRCINレジスタへは、ビット順を逆転せず書き込みます。

27.3 動作説明

CRC演算回路は、8ビット単位の任意のデータ長のブロックに対し16ビットのCRCコードを生成します。CRCコードの生成にはCRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、またはCRC-16 ($X^{16} + X^{15} + X^2 + 1$)の生成多項式を使用します。

CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに設定するごとに、CRCDレジスタに格納されます。1バイトのデータに対するCRCコードはCPUクロックの2サイクルで生成されます。

27.4 SFRアクセス監視機能

CRC演算回路は、データバス上のSFRアクセスを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。この機能を使用するとSFRに書き込まれたデータ、または、SFRから読み出されたデータに対してCRC演算を実行するために、改めてCRCINレジスタにデータを設定する必要がありません。アクセスを監視する対象となるのは00080h～002FFh番地と06800h～06FFFh番地のSFRアドレス領域です。

SFRアクセスを監視するには、監視対象のSFRアドレスをCRCSARレジスタに設定し、対象SFRへの書き込みを監視する場合は、CRCSWビットに1を設定します。同様に、対象SFRからの読み出しを監視する場合は、CRCMRレジスタのCRCSRビットに1を設定します。

CRCSWビットに1を設定している場合、監視対象SFRへの書き込みが実行されると、CRC演算回路は対象SFRに書き込まれるデータをCRCINレジスタに格納し、CRC演算を実行します。同様に、CRCSRビットに1を設定している場合、監視対象SFRからデータが読み出されると、CRC演算回路は対象SFRから読み出したデータをCRCINレジスタに格納し、CRC演算を実行します。

CRC演算回路は、1回につき1バイトのCRC演算を実行します。したがって、監視対象SFRがワード単位でアクセスされた場合、CRCSARレジスタに設定されたSFRアドレスの1バイトのデータに対してCRCコードを生成します。

27.5 使用方法

80C4hのCRCコードを生成する場合のCRC演算例を示します。

•CRC-CCITT使用時、LSBファーストの場合

- (1) プログラムで80C4hのビット順をバイト単位で逆転させてください。
80h → 01h、C4h → 23h
- (2) CRCMRレジスタに00hを設定してください。
- (3) CRCDレジスタに初期値0000hを設定してください。
- (4) CRCINレジスタに80hのビット順逆転値01hを設定してください。
CRCDレジスタに80hのCRCコード9188hのビット順を逆転した1189hが格納されます。
- (5) CRCINレジスタにC4hのビット順逆転値23hを設定してください。
CRCDレジスタに80C4hのCRCコード8250hのビット順を逆転した0A41hが格納されます。

•CRC-16使用時、MSBファーストの場合

- (1) CRCMRレジスタに03hを設定してください。
- (2) CRCDレジスタに初期値0000hを設定してください。
- (3) CRCINレジスタに80hを設定してください。
CRCDレジスタに80hのCRCコード8303hが格納されます。
- (4) CRCINレジスタにC4hを設定してください。
CRCDレジスタに80C4hのCRCコード0292hが格納されます。

28. 電気的特性

28.1 絶対最大定格

表 28.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /AV _{CC} ICEV _{CC}	電源電圧		-0.3 ~ 6.5	V
V _I	入力電圧		-0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧		-0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	-40 °C ≤ T _{opr} ≤ 85 °C	500	mW
T _{opr}	動作周囲温度		-20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)	°C
T _{stg}	保存温度		-65 ~ 150	°C

28.2 推奨動作条件

表 28.2 推奨動作条件(1)

(指定のない場合は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/
 $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目		測定条件	規格値			単位		
				最小	標準	最大			
V_{CC}/AV_{CC}	電源電圧			1.8	—	5.5	V		
V_{SS}/AV_{SS}	電源電圧			—	0	—	V		
V_{IH}	H入力電圧	CMOS入力以外			$0.8V_{CC}$	—	V_{CC}	V	
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択: $0.35V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$0.5V_{CC}$	—	V_{CC}	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	$0.55V_{CC}$	—	V_{CC}	V
					$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	$0.65V_{CC}$	—	V_{CC}	V
				入力レベル選択: $0.5V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$0.65V_{CC}$	—	V_{CC}	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	$0.7V_{CC}$	—	V_{CC}	V
					$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	$0.8V_{CC}$	—	V_{CC}	V
				入力レベル選択: $0.7V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	$0.85V_{CC}$	—	V_{CC}	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	$0.85V_{CC}$	—	V_{CC}	V
					$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	$0.85V_{CC}$	—	V_{CC}	V
外部クロック入力(XOUT)			1.2	—	V_{CC}	V			
V_{IL}	L入力電圧	CMOS入力以外			0	—	$0.2V_{CC}$	V	
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択: $0.35V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	$0.2V_{CC}$	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	$0.2V_{CC}$	V
					$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0	—	$0.2V_{CC}$	V
				入力レベル選択: $0.5V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	$0.4V_{CC}$	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	$0.3V_{CC}$	V
					$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0	—	$0.2V_{CC}$	V
				入力レベル選択: $0.7V_{CC}$	$4.0\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	0	—	$0.55V_{CC}$	V
					$2.7\text{ V} \leq V_{CC} < 4.0\text{ V}$	0	—	$0.45V_{CC}$	V
					$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	0	—	$0.35V_{CC}$	V
外部クロック入力(XOUT)			0	—	0.4	V			
$I_{OH}(\text{sum})$	H尖頭総出力電流	全端子の $I_{OH}(\text{peak})$ の総和		—	—	-80	mA		
$I_{OH}(\text{sum})$	H平均総出力電流	全端子の $I_{OH}(\text{avg})$ の総和		—	—	-40	mA		
$I_{OH}(\text{peak})$	H尖頭出力電流	駆動能力Low時		—	—	-10	mA		
		駆動能力High時		—	—	-40	mA		
$I_{OH}(\text{avg})$	H平均出力電流	駆動能力Low時		—	—	-5	mA		
		駆動能力High時		—	—	-20	mA		
$I_{OL}(\text{sum})$	L尖頭総出力電流	全端子の $I_{OL}(\text{peak})$ の総和		—	—	80	mA		
$I_{OL}(\text{sum})$	L平均総出力電流	全端子の $I_{OL}(\text{avg})$ の総和		—	—	40	mA		
$I_{OL}(\text{peak})$	L尖頭出力電流	駆動能力Low時		—	—	10	mA		
		駆動能力High時		—	—	40	mA		
$I_{OL}(\text{avg})$	L平均出力電流	駆動能力Low時		—	—	5	mA		
		駆動能力High時		—	—	20	mA		
f_{XIN}	XINクロック入力発振周波数	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		—	—	20	MHz		
		$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$		—	—	5	MHz		
f_{XCIN}	XCINクロック入力発振周波数	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		—	32.768	50	kHz		
f_{HOCO}	タイマRCのカウントソース	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		32	—	40	MHz		
f_{HOCO-F}	fHOCO-F周波数	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		—	—	20	MHz		
		$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$		—	—	5	MHz		
—	システムクロック周波数	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		—	—	20	MHz		
		$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$		—	—	5	MHz		
f_{BCLK}	CPUクロック周波数	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$		—	—	20	MHz		
		$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$		—	—	5	MHz		

注1. 平均出力電流は100 msの期間内での平均値です。

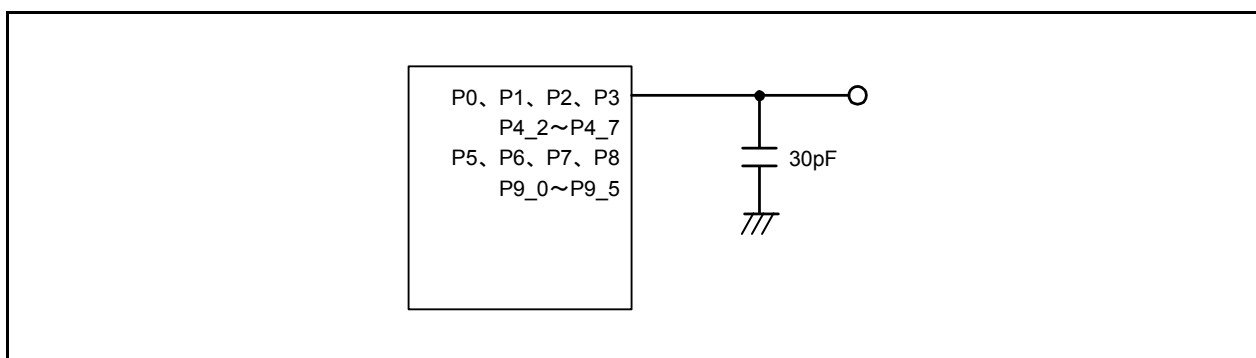


図28.1 ポートP0～P3、P4_2～P4_7、P5、P6、P7、P8、P9_0～P9_5のタイミング測定回路

28.3 周辺機能の特性

表28.3 A/Dコンバータの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = V_{REF} = 2.2\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{OPR} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/ $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
—	分解能	$V_{REF} = AV_{CC}$	—	—	10	Bit	
—	絶対精度	10ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0～AN19入力	—	—	± 3	LSB
			$V_{REF} = AV_{CC} = 3.3\text{ V}$ AN0～AN19入力	—	—	± 5	LSB
			$V_{REF} = AV_{CC} = 3.0\text{ V}$ AN0～AN19入力	—	—	± 5	LSB
			$V_{REF} = AV_{CC} = 2.2\text{ V}$ AN0～AN19入力	—	—	± 5	LSB
		8ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ AN0～AN19入力	—	—	± 2	LSB
			$V_{REF} = AV_{CC} = 3.3\text{ V}$ AN0～AN19入力	—	—	± 2	LSB
			$V_{REF} = AV_{CC} = 3.0\text{ V}$ AN0～AN19入力	—	—	± 2	LSB
			$V_{REF} = AV_{CC} = 2.2\text{ V}$ AN0～AN19入力	—	—	± 2	LSB
ϕAD	A/D変換クロック	$4.0\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	2	—	20	MHz	
		$3.2\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	2	—	16	MHz	
		$2.7\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	2	—	10	MHz	
		$2.2\text{ V} \leq V_{REF} = AV_{CC} \leq 5.5\text{ V}$ (注1)	2	—	5	MHz	
—	許容信号源インピーダンス		—	3	—	k Ω	
I_{VREF}	Vref電流	$V_{CC} = 5\text{ V}$ 、 $XIN = f1 = fAD = 20\text{ MHz}$	—	45	—	μA	
t_{CONV}	変換時間	10ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	μs
		8ビットモード	$V_{REF} = AV_{CC} = 5.0\text{ V}$ 、 $\phi AD = 20\text{ MHz}$	2.2	—	—	μs
t_{SAMP}	サンプリング時間	$\phi AD = 20\text{ MHz}$	0.8	—	—	μs	
V_{REF}	基準電圧		2.2	—	AV_{CC}	V	
V_{IA}	アナログ入力電圧(注2)		0	—	V_{REF}	V	
OCVREF	チップ内蔵基準電圧	$2\text{ MHz} \leq \phi AD \leq 4\text{ MHz}$	1.19	1.34	1.49	V	

注1. CPUおよびフラッシュメモリが停止すると、A/D変換結果が不定となります。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表28.4 コンパレータBの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = 2.2\text{ V} \sim 5.5\text{ V}$ 、 $T_{OPR} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/ $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{REF}	IVREF1、IVREF3入力基準電圧		0	—	$V_{CC} - 1.4$	V
V_I	IVCMP1、IVCMP3入力電圧		-0.3	—	$V_{CC} + 0.3$	V
—	オフセット		—	5	100	mV
t_d	コンパレータ出力遅延時間(注1)	$V_I = V_{REF} \pm 100\text{ mV}$	—	0.1	—	μs
I_{CMP}	コンパレータ動作電流	$V_{CC} = 5.0\text{ V}$	—	17.5	—	μA

注1. デジタルフィルタ非選択時。

表28.5 フラッシュメモリ(プログラムROM)の特性
(指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -20°C ~ 85°C(Nバージョン)/
-40°C ~ 85°C(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		1,000(注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 ≤ 100回)		—	—	—	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 ≤ 1,000回)		—	—	—	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 ≤ 100回)	Topr = 25°C、 Vcc = 5.0 V	—	100	200	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 ≤ 100回)		—	100	400	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 ≤ 1,000回)		—	100	650	μs
—	ブロックイレーズ時間		—	0.3	4	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	5 + CPUクロック × 3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t _d (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		-20 (Nver) -40 (Dver)	—	85	°C
—	データ保持時間(注6)	周囲温度 = 55°C (注7)	20	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. 周囲温度85°Cの環境下での7,000時間を含みます。

表 28.6 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の特性
(指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -20°C ~ 85°C(Nバージョン)/
-40°C ~ 85°C(Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		10,000 (注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 ≤ 1,000回)		—	160	950	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)		—	300	950	μs
—	ブロックイレーズ時間 (プログラム/イレーズ回数 ≤ 1,000回)		—	0.2	1	s
—	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)		—	0.3	1	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	3 + CPUクロック × 3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t _d (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		1.8	—	5.5	V
—	書き込み、消去時の温度		-20 (Nver) -40 (Dver)	—	85	°C
—	データ保持時間(注6)	周囲温度 = 55°C (注7)	20	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残り、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. 周囲温度85°Cの環境下での7,000時間を含みます。

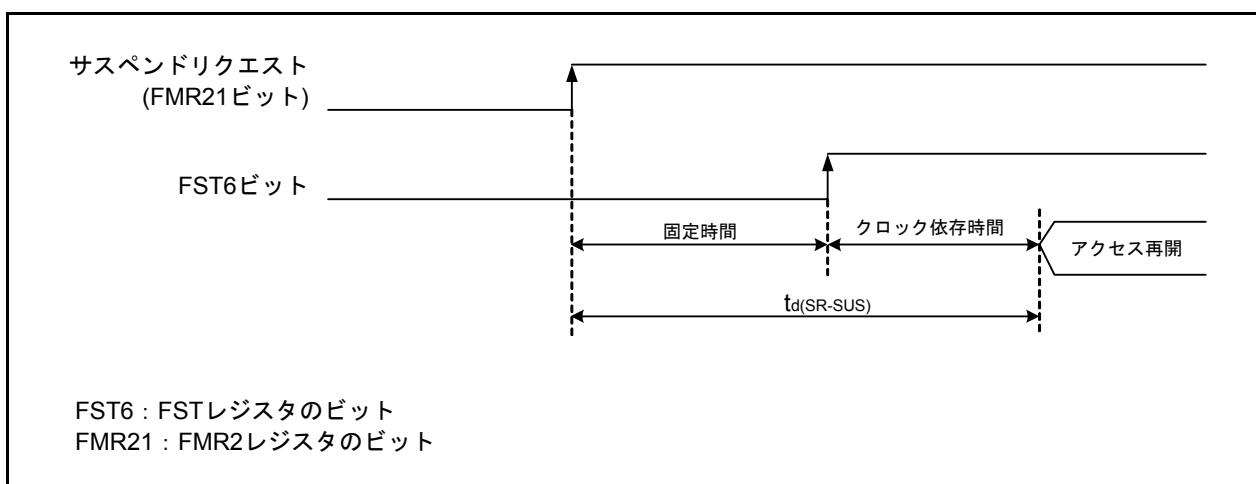


図28.2 サスペンドへの遷移時間

表28.7 電圧検出0回路の特性

(測定条件は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_0 (注1)	Vcc立ち下がり時	1.80	1.90	2.05	V
	電圧検出レベルVdet0_1 (注1)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet0_2 (注1)	Vcc立ち下がり時	2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注1)	Vcc立ち下がり時	3.55	3.80	4.05	V
—	電圧検出0回路反応時間 (注2)	$V_{CC} = 5\text{ V} \rightarrow (V_{det0} - 0.1)\text{ V}$	—	6	150	μs
—	電圧検出回路の自己消費電流	VCA25 = 1、 $V_{CC} = 5.0\text{ V}$	—	1.5	—	μA
$t_d(E-A)$	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	μs

注1. 電圧検出レベルはOFSレジスタのVDSEL0、VDSEL1ビットで選択してください。

注2. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。

注3. VCA2レジスタのVCA25ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 28.8 電圧検出1回路の特性

(測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_0 (注1)	Vcc立ち下がり時	2.00	2.20	2.40	V
	電圧検出レベルVdet1_1 (注1)	Vcc立ち下がり時	2.15	2.35	2.55	V
	電圧検出レベルVdet1_2 (注1)	Vcc立ち下がり時	2.30	2.50	2.70	V
	電圧検出レベルVdet1_3 (注1)	Vcc立ち下がり時	2.45	2.65	2.85	V
	電圧検出レベルVdet1_4 (注1)	Vcc立ち下がり時	2.60	2.80	3.00	V
	電圧検出レベルVdet1_5 (注1)	Vcc立ち下がり時	2.75	2.95	3.15	V
	電圧検出レベルVdet1_6 (注1)	Vcc立ち下がり時	2.80	3.10	3.40	V
	電圧検出レベルVdet1_7 (注1)	Vcc立ち下がり時	2.95	3.25	3.55	V
	電圧検出レベルVdet1_8 (注1)	Vcc立ち下がり時	3.10	3.40	3.70	V
	電圧検出レベルVdet1_9 (注1)	Vcc立ち下がり時	3.25	3.55	3.85	V
	電圧検出レベルVdet1_A (注1)	Vcc立ち下がり時	3.40	3.70	4.00	V
	電圧検出レベルVdet1_B (注1)	Vcc立ち下がり時	3.55	3.85	4.15	V
	電圧検出レベルVdet1_C (注1)	Vcc立ち下がり時	3.70	4.00	4.30	V
	電圧検出レベルVdet1_D (注1)	Vcc立ち下がり時	3.85	4.15	4.45	V
	電圧検出レベルVdet1_E (注1)	Vcc立ち下がり時	4.00	4.30	4.60	V
	電圧検出レベルVdet1_F (注1)	Vcc立ち下がり時	4.15	4.45	4.75	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス	Vdet1_0～Vdet1_5選択時	—	0.07	—	V
		Vdet1_6～Vdet1_F選択時	—	0.10	—	V
—	電圧検出1回路反応時間 (注2)	$V_{cc} = 5\text{ V} \rightarrow (V_{det1} - 0.1)\text{ V}$	—	60	150	μs
—	電圧検出回路の自己消費電流	VCA26 = 1、 $V_{cc} = 5.0\text{ V}$	—	1.7	—	μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	μs

注1. 電圧検出レベルはVD1LSレジスタのVD1S0～VD1S3ビットで選択してください。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 28.9 電圧検出2回路の特性

(測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.00	4.30	V
—	電圧検出2回路のVcc立ち上がり時のヒステリシス		—	0.1	—	μs
—	電圧検出2回路反応時間 (注1)	$V_{cc} = 5\text{ V} \rightarrow (V_{det2_0} - 0.1)\text{ V}$	—	20	150	μs
—	電圧検出回路の自己消費電流	VCA27 = 1、 $V_{cc} = 5.0\text{ V}$	—	1.7	—	μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間 (注2)		—	—	100	μs

注1. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注2. VCA2レジスタのVCA27ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 28.10 パワーオンリセット回路の特性(注1)

(測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/
 $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50,000	mV/msec

注1. パワーオンリセットを使用する場合には、OFSレジスタのLVIDASビットを0にして電圧監視0リセットを有効にしてください。

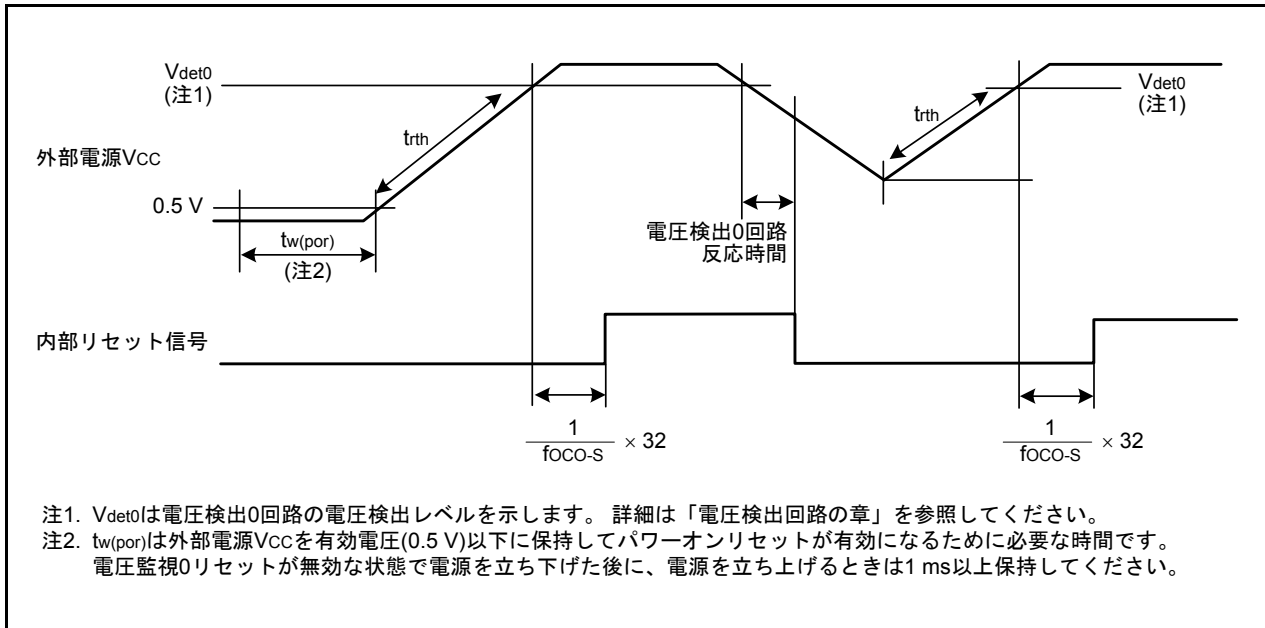


図 28.3 パワーオンリセット回路の特性

表 28.11 高速オンチップオシレータ発振回路の特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	$V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $-20^\circ\text{C} \leq T_{opr} \leq 85^\circ\text{C}$	—	40	—	MHz
	FRA2レジスタのFRA25、FRA24ビットに01bまたは10bを書き込んだときの高速オンチップオシレータ発振周波数(注1)	(Nバージョン) $-40^\circ\text{C} \leq T_{opr} \leq 85^\circ\text{C}$ (Dバージョン)	—	36.864	—	MHz
	FRA2レジスタのFRA25、FRA24ビットに10bを書き込んだときの高速オンチップオシレータ発振周波数		—	32	—	MHz
	高速オンチップオシレータ発振周波数の温度・電圧依拠性(注2)		-1.5	—	1.5	%
—	発振安定時間	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$	—	250	—	μs
—	発振時の自己消費電流	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$	—	500	—	μA

注1. シリアルインタフェースをUARTモードで使用時、9600bps、38400bpsなどのビットレートの設定誤差を0%にすることができます。

注2. 高速オンチップオシレータ発振周波数に対する精度誤差を示します。

表 28.12 低速オンチップオシレータ発振回路の特性
 (測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f _{LOCO}	低速オンチップオシレータ発振周波数		60	125	250	kHz
—	発振安定時間	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$	—	30	100	μs
—	発振時の自己消費電流	$V_{cc} = 5.0\text{ V}$ 、 $T_{opr} = 25^{\circ}\text{C}$	—	3	—	μA

表 28.13 電源回路の特性
 (測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _d (P-R)	電源投入時の内部電源安定時間 (注1)		—	—	2,000	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

28.4 DC特性

表 28.14 DC特性(1) [4.2 V ≤ Vcc ≤ 5.5 V]

(測定条件はVcc = 1.8 V ~ 5.5 V、Topr = -20°C ~ 85°C(Nバージョン)/
-40°C ~ 85°C(Dバージョン))

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	H出力電圧	XOUT以外	駆動能力High	IOH = -20 mA	Vcc - 2.0	—	Vcc	V
			駆動能力Low	IOH = -5 mA	Vcc - 2.0	—	Vcc	V
				IOH = -200 μA	Vcc - 0.3	—	Vcc	V
		XOUT	IOH = -200 μA	1.0	—	Vcc	V	
VOL	L出力電圧	XOUT以外	駆動能力High	IOl = 20 mA	—	—	2.0	V
			駆動能力Low	IOl = 5 mA	—	—	2.0	V
				IOl = 200 μA	—	—	0.45	V
		XOUT	IOl = 200 μA	—	—	0.5	V	
VT+・VT-	ヒステリシス	INT0 ~ INT4、KI0 ~ KI3、 TRJIO_0、TRCCLK_0、 TRCTRG_0、 TRCIOA_0、TRCIOB_0、 TRCIOC_0、TRCIOD_0、 CLK_0、CLK_1、 RXD_0、RXD_1、 CTS2、SCL2、SDA2、 CLK2、RXD2、 SCL_0、SDA_0、SSI_0、 SCS_0、SSCK_0、SSO_0			0.1	1.2	—	V
		RESET	Vcc = 5.0 V		0.1	1.2	—	V
IiH	H入力電流		Vi = 5.0 V		—	—	1.0	μA
IiL	L入力電流		Vi = 0 V		—	—	-1.0	μA
RPULLUP	プルアップ抵抗		Vi = 0 V		25	50	100	kΩ
RfXIN	帰還抵抗	XIN			—	0.3	—	MΩ
RfXCIN	帰還抵抗	XCIN			—	8	—	MΩ
V _{RAM}	RAM保持電圧		ストップモード時		1.8	—	—	V

表 28.15 DC特性(2) [3.3 V ≤ Vcc ≤ 5.5 V]
(指定のない場合は、Topr = -20°C ~ 85°C(Nバージョン)/-40°C ~ 85°C(Dバージョン))

記号	項目	測定条件								規格値(注4)			単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準	最大		
		XIN(注2)	XCIN	高速	低速								
Icc	電源 電流 (注1)	高速 クロックモード	20 MHz	停止	停止	125 kHz	分周なし	—	—	6.5	15	mA	
			16 MHz	停止	停止	125 kHz	分周なし	—	—	5.3	12.5	mA	
			10 MHz	停止	停止	125 kHz	分周なし	—	—	3.6	—	mA	
			20 MHz	停止	停止	125 kHz	8分周	—	—	3.0	—	mA	
			16 MHz	停止	停止	125 kHz	8分周	—	—	2.2	—	mA	
			10 MHz	停止	停止	125 kHz	8分周	—	—	1.5	—	mA	
	高速オンチップ オシレータモード	停止	停止	20 MHz(注3)	125 kHz	分周なし	—	—	7.0	15	mA		
		停止	停止	20 MHz(注3)	125 kHz	8分周	—	—	3.0	—	mA		
		停止	停止	4 MHz(注3)	125 kHz	16分周	MSTIIC = 1 MSTTRC = 1	—	1	—	mA		
	低速オンチップ オシレータモード	停止	停止	停止	125 kHz	8分周	FMR27 = 1 SVC0 = 0	—	90	400	μA		
		停止	32 kHz	停止	停止	—	FMR27 = 1 SVC0 = 0	—	85	400	μA		
	ウェイトモード	停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	100	μA	
		停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	4	90	μA	
		停止	32 kHz	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	3.5	—	μA	
	ストップモード	停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25°C 周辺クロック停止	—	2.2	6.0	μA	
		停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 85°C 周辺クロック停止	—	30	—	μA	

注1. Vcc = 3.3 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表 28.16 DC 特性 (3) [$2.7\text{ V} \leq V_{CC} < 4.2\text{ V}$]
 (測定条件は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^\circ\text{C} \sim 85^\circ\text{C}$ (Nバージョン)/
 $-40^\circ\text{C} \sim 85^\circ\text{C}$ (Dバージョン))

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	H出力電圧	XOUT以外	駆動能力High	$I_{OH} = -5\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V
			駆動能力Low	$I_{OH} = -1\text{ mA}$	$V_{CC} - 0.5$	—	V_{CC}	V
		XOUT		$I_{OH} = -200\ \mu\text{A}$	1.0	—	V_{CC}	V
VOL	L出力電圧	XOUT以外	駆動能力High	$I_{OL} = 5\text{ mA}$	—	—	0.5	V
			駆動能力Low	$I_{OL} = 1\text{ mA}$	—	—	0.5	V
		XOUT		$I_{OL} = 200\ \mu\text{A}$	—	—	0.5	V
VT+、VT-	ヒステリシス	INT0~INT4、KI0~KI3、 TRJIO_0、TRCCLK_0、 TRCTRG_0、 TRCIOA_0、TRCIOB_0、 TRCIOC_0、TRCIOD_0、 CLK_0、CLK_1、 RXD_0、RXD_1、 CTS2、SCL2、SDA2、 CLK2、RXD2、 SCL_0、SDA_0、SSI_0、 SCS_0、SSCK_0、SSO_0			0.1	0.4	—	V
		RESET	$V_{CC} = 3.0\text{ V}$		0.1	0.5	—	V
I _{IH}	H入力電流			$V_i = 3.0\text{ V}$	—	—	1.0	μA
I _{IL}	L入力電流			$V_i = 0\text{ V}$	—	—	-1.0	μA
R _{PULLUP}	プルアップ抵抗			$V_i = 0\text{ V}$	42	84	168	k Ω
R _{FXIN}	帰還抵抗	XIN			—	0.3	—	M Ω
R _{FXCIN}	帰還抵抗	XCIN			—	8	—	M Ω
V _{RAM}	RAM保持電圧			ストップモード時	1.8	—	—	V

表28.17 DC特性(4) [2.7 V ≤ Vcc < 3.3 V]
(指定のない場合は、Topr = -20°C ~ 85°C(Nバージョン)/-40°C ~ 85°C(Dバージョン))

記号	項目	測定条件								規格値(注4)			単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準	最大		
		XIN(注2)	XCIN	高速	低速								
Icc	電源 電流 (注1)	高速 クロックモード	10 MHz	停止	停止	125 kHz	分周なし	—	—	3.5	10	mA	
			10 MHz	停止	停止	125 kHz	8分周	—	—	1.5	7.5	mA	
	高速オンチップ オシレータモード	停止	停止	20 MHz(注3)	125 kHz	分周なし	—	—	—	7.0	15	mA	
		停止	停止	20 MHz(注3)	125 kHz	8分周	—	—	—	3.0	—	mA	
		停止	停止	10 MHz(注3)	125 kHz	分周なし	—	—	—	4.0	—	mA	
		停止	停止	10 MHz(注3)	125 kHz	8分周	—	—	—	1.5	—	mA	
		停止	停止	4 MHz(注3)	125 kHz	16分周	MSTIIC = 1 MSTTRC = 1	—	—	1	—	mA	
		停止	停止	停止	125 kHz	8分周	FMR27 = 1 SVC0 = 0	—	—	90	390	μA	
	低速オンチップ オシレータモード	停止	32 kHz	停止	停止	分周なし	FMR27 = 1 SVC0 = 0	—	—	80	400	μA	
		停止	32 kHz	停止	停止	分周なし	FMSTP = 1 SVC0 = 0	RAM上のプログラム動作 フラッシュメモリ停止時	—	40	—	μA	
	ウェイトモード	停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	90	μA	
		停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	4	80	μA	
		停止	32 kHz	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	3.5	—	μA	
	ストップモード	停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25°C 周辺クロック停止	—	2.2	6.0	μA	
停止		停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 85°C 周辺クロック停止	—	30	—	μA		

注1. Vcc = 2.7 V ~ 3.3 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表 28.18 DC特性(5) [1.8 V ≤ Vcc < 2.7 V]
 (測定条件は、Vcc = 1.8 V ~ 5.5 V、Topr = -20°C ~ 85°C(Nバージョン)/
 -40°C ~ 85°C(Dバージョン))

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	H出力電圧	XOUT以外	駆動能力High	I _{OH} = -2 mA	Vcc - 0.5	—	Vcc	V
			駆動能力Low	I _{OH} = -1 mA	Vcc - 0.5	—	Vcc	V
		XOUT		I _{OH} = -200 μA	1.0	—	Vcc	V
VOL	L出力電圧	XOUT以外	駆動能力High	I _{OL} = 2 mA	—	—	0.5	V
			駆動能力Low	I _{OL} = 1 mA	—	—	0.5	V
		XOUT		I _{OL} = 200 μA	—	—	0.5	V
VT+、VT-	ヒステリシス	INT0 ~ INT4、KI0 ~ KI3、 TRJIO_0、TRCCLK_0、 TRCTRG_0、 TRCIOA_0、TRCIOB_0、 TRCIOC_0、TRCIOD_0、 CLK_0、CLK_1、 RXD_0、RXD_1、 CTS2、SCL2、SDA2、 CLK2、RXD2、 SCL_0、SDA_0、SSI_0、 SCS_0、SSCK_0、SSO_0			0.05	0.2	—	V
		RESET	Vcc = 2.2V		0.05	0.2	—	V
I _{IH}	H入力電流		Vi = 2.2 V		—	—	1.0	μA
I _{IL}	L入力電流		Vi = 0 V		—	—	-1.0	μA
R _{PULLUP}	プルアップ抵抗		Vi = 0 V		100	200	400	kΩ
R _{FXIN}	帰還抵抗	XIN			—	0.3	—	MΩ
R _{FXCIN}	帰還抵抗	XCIN			—	8	—	MΩ
V _{RAM}	RAM保持電圧		ストップモード時		1.8	—	—	V

表 28.19 DC特性(6) [1.8 V ≤ Vcc < 2.7 V]
(指定のない場合は、Topr = -20°C ~ 85°C(Nバージョン)/-40°C ~ 85°C(Dバージョン))

記号	項目	測定条件								規格値(注4)			単位
		発振回路		オンチップオシレータ		CPU クロック	低消費電力設定	その他	最小	標準	最大		
		XIN(注2)	XCIN	高速	低速								
Icc	電源 電流 (注1)	高速 クロックモード	5 MHz	停止	停止	125 kHz	分周なし	—	—	2.2	—	mA	
			5 MHz	停止	停止	125 kHz	8分周	—	—	0.8	—	mA	
	高速オンチップ オシレータモード	停止	停止	5 MHz(注3)	125 kHz	分周なし	—	—	2.5	10	mA		
		停止	停止	5 MHz(注3)	125 kHz	8分周	—	—	1.7	—	mA		
		停止	停止	4 MHz(注3)	125 kHz	16分周	MSTIIC = 1 MSTTRC = 1	—	1	—	mA		
		停止	停止	停止	125 kHz	8分周	FMR27 = 1 SVC0 = 0	—	90	300	μA		
	低速オンチップ オシレータモード	停止	32 kHz	停止	停止	分周なし	FMR27 = 1 SVC0 = 0	—	80	350	μA		
	ウェイトモード	停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック動作	—	15	90	μA	
		停止	停止	停止	125 kHz	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	4	80	μA	
		停止	32 kHz	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT命令実行中 周辺クロック停止	—	3.5	—	μA	
	ストップモード	停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25°C 周辺クロック停止	—	2.2	6	μA	
		停止	停止	停止	停止	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 85°C 周辺クロック停止	—	30	—	μA	

注1. Vcc = 1.8 V ~ 2.7 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

28.5 AC特性

表28.20 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(マスタ動作時)
(測定条件は、 $V_{CC} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4.00	—	—	tcyc (注1)
tHI	SSCKクロックHパルス幅		0.40	—	0.60	tsucyc
tLO	SSCKクロックLパルス幅		0.40	—	0.60	tsucyc
tRISE	SSCKクロック立ち上がり時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	0.50	tcyc (注1)
		$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	—	—	1.00	tcyc (注1)
tFALL	SSCKクロック立ち下がり時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	0.50	tcyc (注1)
		$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	—	—	1.00	tcyc (注1)
tSU	SSI、SSOデータ入力セットアップ時間	$4.5\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	60	—	—	ns
		$2.7\text{ V} \leq V_{CC} < 4.5\text{ V}$	70	—	—	ns
		$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	100	—	—	ns
tH	SSI、SSOデータ入力ホールド時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	2.00	—	—	tcyc (注1)
		$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	2.00	—	—	tcyc (注1)
tLEAD	SCS – SCK出力遅延時間		$0.5\text{ tsucyc} - 1\text{ tcyc}$	—	—	ns
tLAG	SCK – SCS出力有効時間		$0.5\text{ tsucyc} - 1\text{ tcyc}$	—	—	ns
tOD	SSOデータ出力遅延時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	30.00	ns
		$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$	—	—	1.00	tcyc (注1)

注1. $1\text{tcyc} = 1/f_1$ (s)

表28.21 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(スレーブ動作時)
(測定条件は、 $V_{cc} = 1.8\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Nバージョン)/
 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Dバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{SUCYC}	SSCKクロックサイクル時間		4.00	—	—	t _{CYC} (注1)
t _{HI}	SSCKクロックHパルス幅		0.40	—	0.60	t _{SUCYC}
t _{LO}	SSCKクロックLパルス幅		0.40	—	0.60	t _{SUCYC}
t _{RISE}	SSCKクロック立ち上がり時間		—	—	1.00	μs
t _{FALL}	SSCKクロック立ち下がり時間		—	—	1.00	μs
t _{SU}	SSOデータ入力セットアップ時間		10.00	—	—	ns
t _H	SSOデータ入力ホールド時間		2.00	—	—	t _{CYC} (注1)
t _{LEAD}	SCSセットアップ時間		1t _{CYC} + 50	—	—	ns
t _{LAG}	SCSホールド時間		1t _{CYC} + 50	—	—	ns
t _{OD}	SSI、SSOデータ出力遅延時間	$4.5\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	—	—	60	ns
		$2.7\text{ V} \leq V_{cc} < 4.5\text{ V}$	—	—	70	ns
		$1.8\text{ V} \leq V_{cc} < 2.7\text{ V}$	—	—	100.00	ns
t _{SA}	SSIスレーブアクセス時間	$2.7\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	—	—	1.5t _{CYC} + 100	ns
		$1.8\text{ V} \leq V_{cc} < 2.7\text{ V}$	—	—	1.5t _{CYC} + 200	ns
t _{OR}	SSIスレーブアウト開放時間	$2.7\text{ V} \leq V_{cc} \leq 5.5\text{ V}$	—	—	1.5t _{CYC} + 100	ns
		$1.8\text{ V} \leq V_{cc} < 2.7\text{ V}$	—	—	1.5t _{CYC} + 200	ns

注1. 1t_{CYC} = 1/f₁ (s)

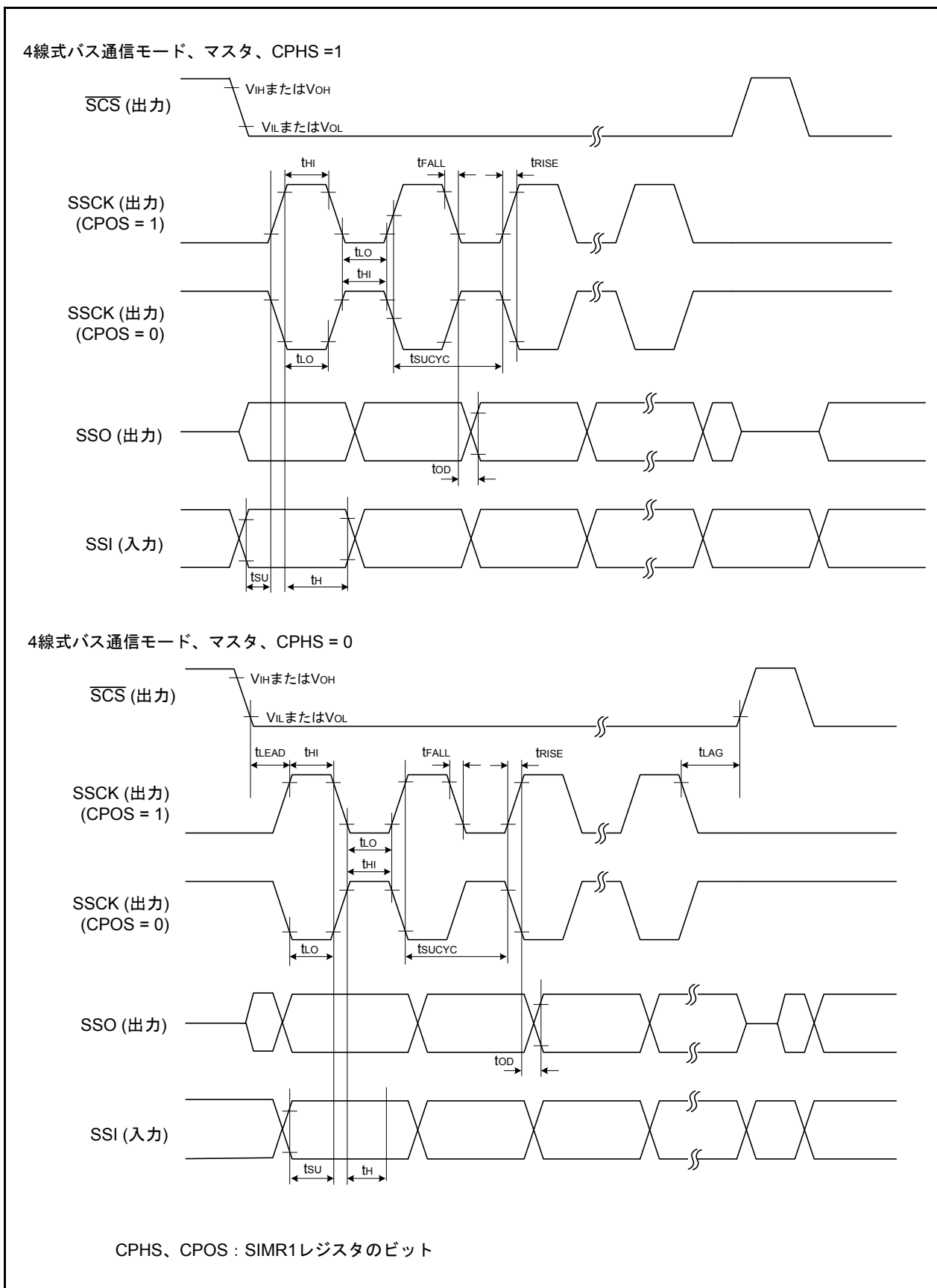


図28.4 シンクロナスシリアルコミュニケーションユニット(SSU)の入出カタイミング(マスタ)

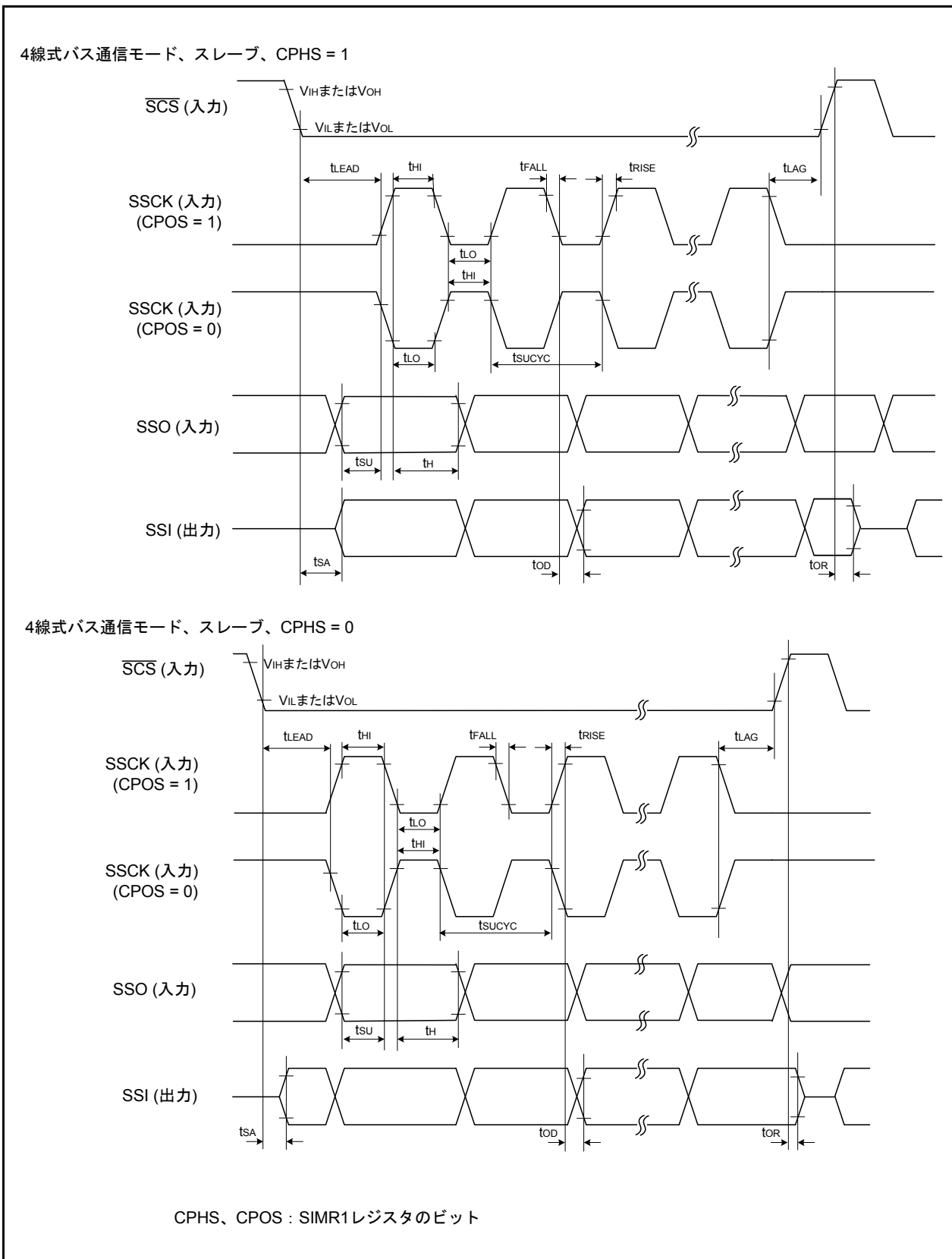


図28.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出カタイミング(スレーブ)

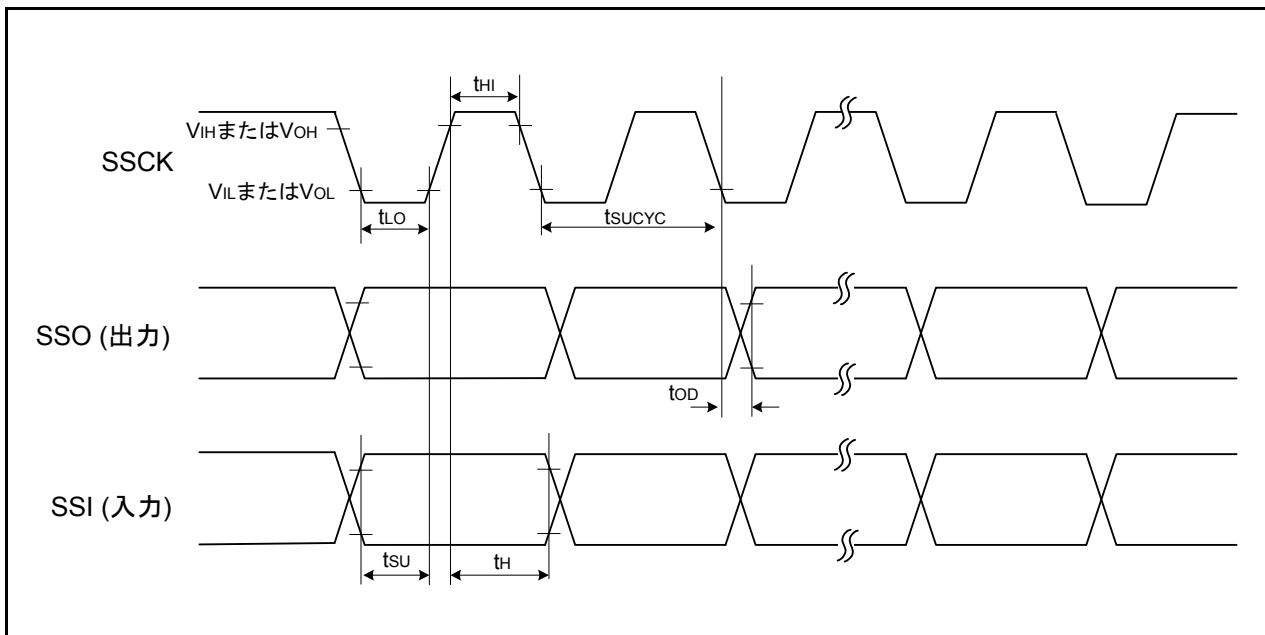


図28.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(クロック同期式通信モード)

表28.22 外部クロック入力(XOUT、XCIN)のタイミング条件

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25°C		Vcc = 3 V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	最小	最大	
t _c (XOUT)	XOUT入力サイクル時間	200	—	50	—	50	—	ns
t _{WH} (XOUT)	XOUT入力Hパルス幅	90	—	24	—	24	—	ns
t _{WL} (XOUT)	XOUT入力Lパルス幅	90	—	24	—	24	—	ns
t _c (XCIN)	XCIN入力サイクル時間	14	—	14	—	14	—	μs
t _{WH} (XCIN)	XCIN入力Hパルス幅	7	—	7	—	7	—	μs
t _{WL} (XCIN)	XCIN入力Lパルス幅	7	—	7	—	7	—	μs

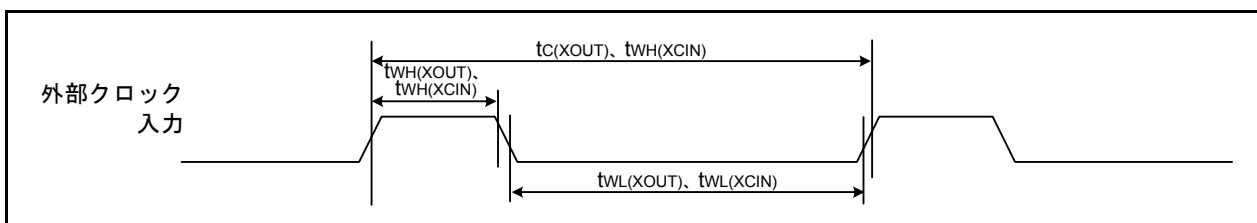


図28.7 外部クロック入力タイミング

表28.23 TRJIOのタイミング条件

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25°C		Vcc = 3 V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	最小	最大	
t _c (TRJIO)	TRJIO入力サイクル時間	500	—	300	—	100	—	ns
t _{WH} (TRJIO)	TRJIO入力Hパルス幅	200	—	120	—	40	—	ns
t _{WL} (TRJIO)	TRJIO入力Lパルス幅	200	—	120	—	40	—	ns

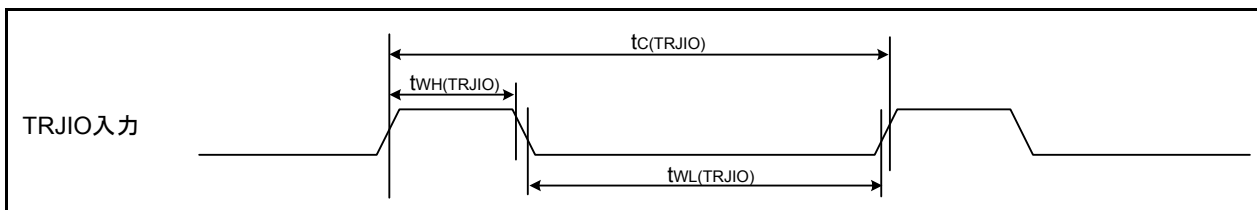


図28.8 TRJIOの入力タイミング

表28.24 シリアルインタフェースのタイミング条件
(転送クロックを内部クロック選択時(マスタ通信))

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25°C		Vcc = 3V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	最小	最大	
t _d (C-Q)	TXDi出力遅延時間	—	200	—	30	—	10	ns
t _{su} (D-C)	RXDi入力セットアップ時間 (注1)	150	—	120	—	90	—	ns
t _h (C-D)	RXDi入力ホールド時間	90	—	90	—	90	—	ns

i = 0、1

注1. 外部端子負荷条件CL = 30pF

表28.25 シリアルインタフェースのタイミング条件
(転送クロックを外部クロック選択時(スレーブ通信))

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25°C		Vcc = 3V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	最小	最大	
t _c (CK)	CLKi入力サイクル時間	800	—	300	—	200	—	ns
t _w (CKH)	CLKi入力Hパルス幅	400	—	150	—	100	—	ns
t _w (CKL)	CLKi入力Lパルス幅	400	—	150	—	100	—	ns
t _d (C-Q)	TXDi出力遅延時間	—	200	—	120	—	90	ns
t _{su} (D-C)	RXDi入力セットアップ時間	150	—	30	—	10	—	ns
t _h (C-D)	RXDi入力ホールド時間	90	—	90	—	90	—	ns

i = 0、1

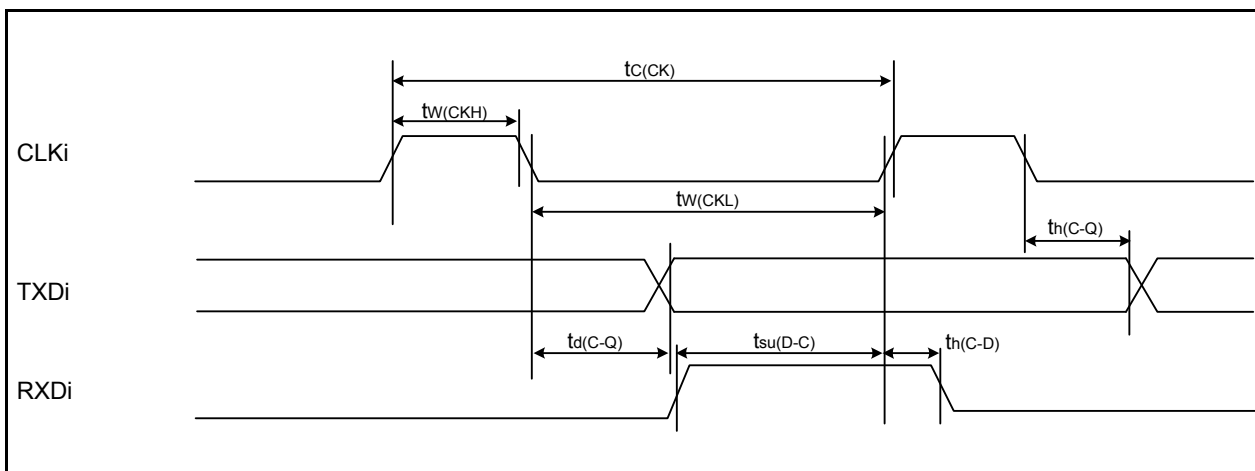


図28.9 シリアルインタフェースの入出力タイミング(i = 0、1)

表28.26 外部割り込みINTi入力(i = 0~4)、キー入力割り込みKlj(j = 0~3)のタイミング条件

記号	項目	規格値						単位
		Vcc = 2.2 V、Topr = 25°C		Vcc = 3V、Topr = 25°C		Vcc = 5 V、Topr = 25°C		
		最小	最大	最小	最大	最小	最大	
t _{w(INH)}	INTi入力Hパルス幅、 Klj入力Hパルス幅	1000 (注1)	—	380 (注1)	—	250 (注1)	—	ns
t _{w(INL)}	INTi入力Lパルス幅、 Klj入力Lパルス幅	1000 (注2)	—	380 (注2)	—	250 (注2)	—	ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Hパルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力Lパルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

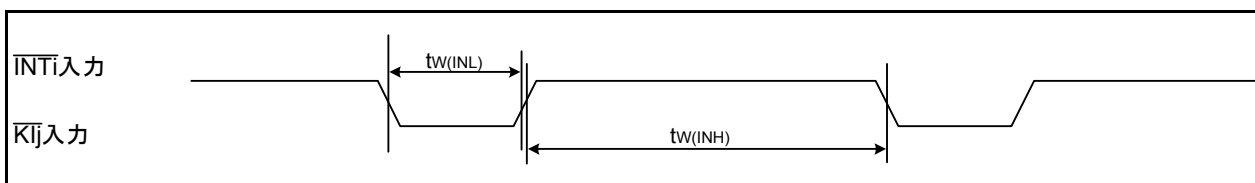


図28.10 外部割り込みINTiおよびキー入力割り込みKljの入カタイミング(i = 0~4、j = 0~3)

29. 使用上の注意事項集

29.1 システム制御使用上の注意事項

29.1.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS2レジスタにFFhを設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

- OFSレジスタにFFhを設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

29.2 クロック発生回路使用上の注意事項

29.2.1 発振停止検出機能

XINクロックの周波数が2 MHz未満の場合、発振停止検出機能は使用できませんので、OCDレジスタのOCD1、OCD0ビットを00bにしてください。

29.2.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。
電源電圧VCC = 2.7 V未満でご使用になる場合は、CM1レジスタのCM11ビットを1(内蔵帰還抵抗無効)にし、外部に帰還抵抗を接続することを推奨します。

29.3 パワーコントロール使用上の注意事項

29.3.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを0 (CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを1 (ストップモード)にしてください。命令キューはCM10ビットを1 (ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを1にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

- ストップモードに移行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR     ; プロテクト解除
FSET    I           ; 割り込み許可
BSET    0, CM1      ; ストップモード
JMP.B   LABEL_001

LABEL_001 :
NOP
NOP
NOP
NOP

```

29.3.2 ウェイトモード

CM3レジスタのCM30ビットを1にしてウェイトモードに移行する場合、FMR01ビットを0 (CPU書き換えモード無効)にした後、CM30ビットを1にしてください。

WAIT命令でウェイトモードに移行する場合、FMR01ビットを0 (CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはCM30ビットを1 (ウェイトモードに移行する)にする命令またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを1 (ウェイトモードに移行する)にする命令またはWAIT命令の後にはNOP命令を最低4つ入れてください。

- WAIT命令を実行するプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
FSET    I           ; 割り込み許可
WAIT                    ; ウェイトモード
NOP
NOP
NOP
NOP

```

- CM30ビットを1にするプログラム例

```

BCLR    1, FMR0      ; CPU書き換えモード無効
BSET    0, PRCR     ; CM3レジスタへの書き込み許可
FCLR    I           ; 割り込み禁止
BSET    0, CM3      ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR     ; CM3レジスタへの書き込み禁止
FSET    I           ; 割り込み許可

```

ウェイトモード中に、TSCU機能によるDTC起動を使ってDTC転送をする場合、以下の設定が必要です。

- フラッシュメモリ制御レジスタ1のFMR11ビット=1(ウェイトモード中フラッシュメモリ動作許可)
- フラッシュメモリ制御レジスタ2のFMR27ビット=1(低消費電流リードモード許可)
- STBYVDC電力制御レジスタのSVC0ビット=0(低消費電力モード遷移禁止)

29.4 割り込み使用上の注意事項

29.4.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みに対応する割り込み制御レジスタのIRビットが0になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが0になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

29.4.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは0000hです。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

29.4.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 入力に示すLレベル幅またはHレベル幅が必要です。

29.4.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが1(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを0(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを0(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図29.1に割り込み要因の変更手順例を示します。

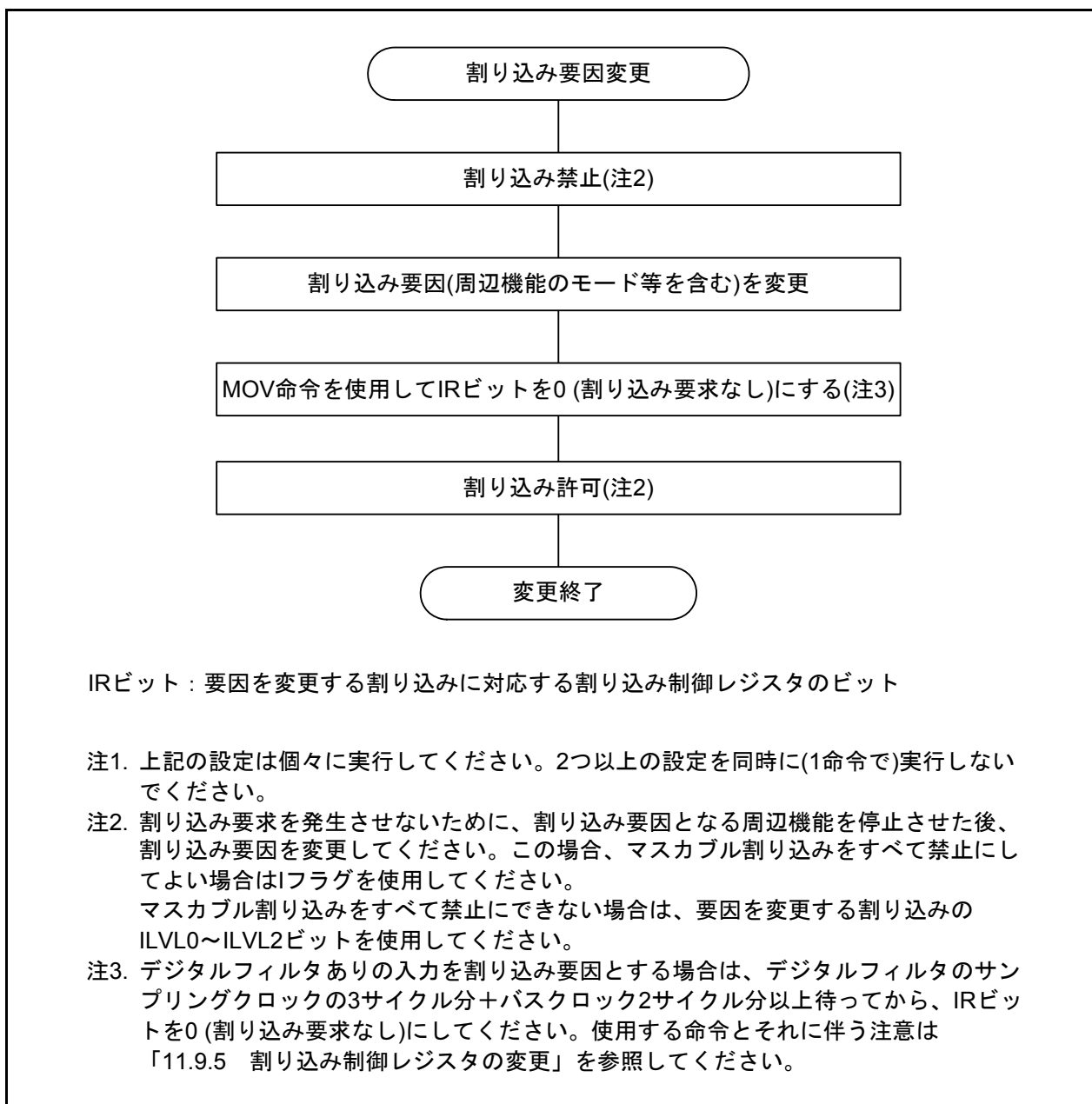


図29.1 割り込み要因の変更手順例

29.4.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
割り込み制御レジスタのIRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが1(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを0(割り込み要求なし)にする場合、使用する命令によってはIRビットが0にならないことがあります。IRビットはMOV命令を使用して0にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが1(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
NOP
NOP
FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
MOV.W   MEM, R0         ; ダミーリード
FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
PUSHC   FLG
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0056H     ; TRJIC_0レジスタを00hにする
POPC    FLG             ; 割り込み許可
```

29.5 DTC使用上の注意事項

29.5.1 DTC起動要因

- ウェイトモード移行前またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前またはストップモード中に、DTC起動要因を発生させないでください。
- TSCUのDTC起動要因については、ウェイトモード中のDTC転送に使用することができます。
- TSCUのDTC起動要因を使用してDTC転送を行う場合、ソースアドレスはTSCUのレジスタに、ディスティネーションアドレスはRAMに設定して使用してください。

29.5.2 DTCENiレジスタ (i = 0 ~ 3、5、6)

- DTCENi0 ~ DTCENi7 ビットは、そのビットに対応する割り込み要求が発生しない箇所を変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが1のとき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

29.5.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを0にしないでください。
- DTC起動要因がSSU/I²C受信データフルのときは、DTC転送でSIRDRレジスタを読んでください。SIRDRレジスタを読むことで、SISRレジスタのRDRFビットが0 (SIRDRレジスタにデータなし) になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTjレジスタ(j = 0 ~ 23)が1から0になる転送
 - リピートモードかつDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが1から0になる転送のときには、SIRDRレジスタを読んでもSISRレジスタのRDRFビットは0 (SIRDRレジスタにデータなし) になりません。
- DTC起動要因がSSU/I²C送信データエンプティのときは、DTC転送でSITDRレジスタへ書いてください。SITDRレジスタへ書くことで、SISRレジスタのTDREビットが0 (SITDRレジスタからSISDRレジスタにデータ転送されていない) になります。
- TSCUのDTC起動要因については、割り込み禁止に設定してDTC転送にのみ使用してください。

29.5.4 割り込み要求

- DTC起動要因がSSU/I²C送信データエンプティまたはフラッシュレディステータスのとき、以下の場合でもCPUに割り込み要求を発生しません。
 - DTCがノーマルモードでDTCCTjレジスタが0になるデータ転送を実行するとき
 - リピートモードでDTCCRjレジスタのRPTINTビットが1かつDTCCTjレジスタが0になるデータ転送を実行するとき

29.5.5 DTCの起動

- DTC起動時、ベクタ読み出しの前に1サイクル動作がずれる場合があります。

29.6 タイマRJ使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマRJ関連レジスタ(注1)の値を設定した後、カウントを開始してください。

注1. タイマRJ関連レジスタ：TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (2) カウント停止中のレジスタアクセスについては、タイマのモードによって以下の制限があります。

• イベントカウントモード

カウント停止中にTRJCRレジスタのTSTARTビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ(注1)をアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントは停止します。TCSTFビットが0になるまで、TRJレジスタを除くタイマRJ関連レジスタ(注1)をアクセスしないでください。TRJレジスタへの書き込みは、TRJIO端子が非アクティブレベル(TRJIOCレジスタのTEDGSELビットが0の場合はLowレベル、1の場合はHighレベル)になるまで無効となります。この場合TRJレジスタを変更する場合には以下の手順を行ってください。

- ① TSTARTビットに0を書き込み、カウント停止
- ② TCSTFビットが0になるまでウエイト
- ③ TRJIOCレジスタのTIPF1、TIPF0ビットに00b(フィルタなし)を設定(デジタルフィルタ未使用の場合は不要)
- ④ TEDGSELビットへ1→0書き込み
- ⑤ TEDGSELビットに元の値(④の手順実行前の値)を設定
- ⑥ TIPF1、TIPF0ビットに元の値(③の手順実行前の値)を設定
- ⑦ TRJレジスタへアクセス

• イベントカウントモード以外

カウント停止中にTSTARTビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ(注1)をアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントは停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ(注1)をアクセスしないでください。

注1. タイマRJ関連レジスタ：TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (3) イベントカウンタモードのとき、TRJCRレジスタのTSTARTビットを1(カウント開始)に設定後、TCSTFビットが1になってから外部イベントを入力してください。

イベント計数個数 = カウンタの初期値 - 有効イベント完了時カウンタの値 + 1

- (4) パルス幅測定モードおよびパルス周期測定モードで使用するTRJCRレジスタのTEDGF、TUNDFビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCRレジスタにビット操作命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF、TUNDFビットを誤って0にする場合があります。

これを避けるためには、TEDGF、TUNDFビットをMOV命令で1にしてください。

- (5) パルス周期測定モードの周期計算方法は次の通りです。
入力パルスの周期データ = (カウンタの設定初期値 - 読み出しバッファを読み出しの値) + 1
- (6) タイマRJカウント停止状態でのTRJカウンタ関連レジスタの書き込みと読み出しの間に、NOP命令を2つ入れてください。
- (7) TRJCRレジスタのTSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)の場合、TRJレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。
- (8) 動作モード切り替え時は、TEDGFビットとTUNDFビットは不定です。TEDGFビットに0(有効エッジなし)、TUNDFビットに0(アンダフローなし)を書いてから、タイマRJのカウントを開始してください。
- (9) TSTARTビットおよびTCSTFビットが0(カウント停止)のとき、モジュールスタンバイモードに切り替えてください。モジュールスタンバイモードに切り替えてについては、「10.2.9 モジュールスタンバイコントロールレジスタ2(MSTCR2)」を参照してください。
- (10) パルス幅測定モード場合またはパルス周期測定モード場合では、次の順序で設定してください。
①タイマRJ関連レジスタを設定する。
②TSTARTビットに1(カウント開始)を設定後、TCSTFビットが1(カウント中)になるのを待つ。
③外部イベントを入力する。
- (11) パルス周期測定モードでは、最初の測定完了による処理は無効としてください(2回目以降から測定値有効です)。
- (12) TRJレジスタへの0000hの設定は禁止です。
- (13) パルス幅測定モードの場合、カウントソースはイベントリンクコントローラ(ELC)からのイベントを選択しないでください。なお、ELCとの連携動作の場合(TRJMRレジスタのTCK2～TCK0ビット=101b)、TRJCRレジスタのTSTARTビットを1に設定した後、TCSTFビットが1になってからELCからのイベントを入力してください。また、有効イベントをカウント完了した後、TSTARTビットを0に設定してください。
- (14) TRJIOCレジスタのTOPCRビットは、TRJMRレジスタの設定完了後に設定してください。
- (15) タイマRJの動作モード関連レジスタ(TRJIOC、TRJMR、TRJISR)の変更は、カウント停止時(TRJCRレジスタのTSTARTビットとTCSTFビットがともに0(カウント停止))のみ可能です。カウント動作中には変更しないでください。

29.7 タイマRB2使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- (2) 16ビットタイマ時、TRBPRES、TRBPR レジスタを8ビット単位でアクセス(8ビットアクセス)する場合、必ず下位バイト (TRBPRES)→上位バイト (TRBPR)の順番でアクセスしてください。
- (3) プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBOCRレジスタのTOSSPビットを1(ワンショット停止)にしてカウントを停止したとき、タイマはリロードレジスタの値をリロードし、停止します。タイマ停止時にカウント値がどの程度進んでいるかを確認したい場合は、タイマ停止前にタイマ値をリードして確認してください。TRBCRレジスタのTSTARTビットを0(カウント停止)にしてカウントを停止したとき、タイマは停止し、リロードレジスタの値はリロードしません。
- (4) カウント停止中にTSTARTビットに1(カウント開始)を書いた後は、カウントソースの2、3サイクルの間、TRBCRレジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)にアクセスしないでください。TCSTFビットが1になった後、最初のカウントソースの有効エッジからカウントを開始します。
 カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの2、3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRB2関連レジスタ(注1)にアクセスしないでください。

注1. タイマRB2関連レジスタ : TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBPR、TRBSC

- (5) TSTARTビットが0(カウント停止)のとき、TRBPRES、TRBPR、TRBSCレジスタの値を変更する場合は、最小CPUクロックの2サイクル期間待ってから、TSTARTビットを1(カウント開始)にしてください。
- (6) TSTARTビットが1(カウント開始)またはTCSTFビットが1(カウント中)のとき、TRBIOC、TRBMRレジスタ、TRBIRレジスタのTRBIEビットの値を変更しないでください。
- (7) カウント中にTRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、待ち時間なくタイマRB2は停止します。
- (8) TRBOCRレジスタのTOSSTビットに1(ワンショット開始)またはTOSSPビットに1(ワンショット停止)を書くと、カウントソースの2、3サイクル後にTOSSTFビットが変化します。TOSSTビットに1を書いた後からTOSSTFビットが1(ワンショット動作中(ウェイト期間を含む))になるまでの期間にTOSSPビットに1を書いた場合、内部の状態によってTOSSTFビットが0(ワンショット停止中)になる場合と、1になる場合があります。TOSSPビットに1を書いた後からTOSSTFビットが0になるまでの期間にTOSSTビットに1を書いた場合も同様に、TOSSTFビットは0になる場合と、1になる場合があります。
- (9) タイマRJのアンダフロー信号をタイマRB2のカウントソースにする場合、タイマRJはタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。
- (10) TCSTFビットが1(カウント中)であることを確認した後、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込んでください。TCSTFビットが0(カウント停止)のとき、TOSSTビットに1(ワンショットカウント開始)の書き込みは無効です。
- (11) タイマRB2のプログラマブル波形発生モードおよびプログラマブルウェイトワンショットモードでは、TRBSCレジスタに書いてからTRBPRレジスタに書いてください。TRBPRレジスタへ書き込み後のセカンダリ期間のアンダフローのとき、TRBPRレジスタの値がカウンタに反映されません。TRBPRレジスタに書き込み後からセカンダリ期間のアンダフローまで、TRBSC、TRBPRレジスタを複数回書くと、最後に書き込んだデータがカウンタに反映されます。ただし、TRBSCレジスタを単独で書かないでください。TRBSC、TRBPRレジスタの両方に書き込んでください。

- (12) 停止状態でのTRBPRES、TRBPRレジスタの書き込みと読み込みの間に、NOP命令を入れてください。
- (13) カウント中(TSTARTビットが1またはTCSTFビットが1)にTRBPRES、TRBPR、TRBSCレジスタに書き込む場合は、以下の点に注意してください。
- TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBSC レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- (14) TRBCRレジスタのTSTARTビットとTRBCRレジスタのTCSTFビットがともに0(カウント停止)状態でモジュールスタンバイモードに切り替えるようにしてください。
- (15) カウント動作中にTRBCRレジスタのTSTOPビットに1(カウント強制停止)を書いてカウントを強制停止させると、TRBIRレジスタのTRBIFビットが1(割り込み要求あり)になる場合があります。カウントを再開する前に、TRBIFビットを0(割り込み要求なし)にしてください。
- (16) プログラマブル波形発生モードでTRBPRレジスタを書き換えた場合、書き換え後に迎えたセカンダリ出力期間の次のタイミングで、TRBPRES、TRBPR、TRBSCレジスタに書かないでください。
- 8ビットプリスケアラ付き8ビットタイマ：
セカンダリ出力期間が終了する前のプリスケアラのアンダフロー2周期分
 - 16ビットタイマ：
セカンダリ出力期間が終了する前のカウントソースクロックの2周期分

29.8 タイマRC使用上の注意事項

29.8.1 TRCCNTレジスタ

TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にしている場合、次の注意事項が該当します。

- TRCMRレジスタのCTSビットが1(カウント開始)の状態、プログラムでTRCCNTレジスタに値を書き込む場合は、TRCCNTレジスタが0000hになるタイミングと重ならないように書いてください。
- TRCCNTレジスタが0000hになるタイミングと、TRCCNTレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCCNTレジスタが0000hになります。

TRCCNTレジスタに書いた後、TRCCNTレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.W    #XXXXh, TRCCNT    ; 書き込み
JMP.B    L1                ; JMP.B命令
L1:      MOV.W    TRCCNT, DATA ; 読み出し

```

29.8.2 TRCCR1レジスタ

TRCCR1レジスタのCKS2～CKS0ビットを111b(fHOCO-F)にするときは、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

29.8.3 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.B    #XXh, TRCSR      ; 書き込み
JMP.B    L1              ; JMP.B命令
L1:      MOV.B    TRCSR, DATA ; 読み出し

```

29.8.4 カウントソースの切り替え

カウントソースを切り替える場合、カウントを停止した後に切り替えてください。また、カウントソースの切り替え後、CPUクロックの2サイクル以上待ってから、タイマRC関連レジスタ(00138h～0014Dh)への書き込みを行ってください。

- 変更手順

- (1) TRCMRレジスタのCTSビットを0(カウント停止)にする
- (2) TRCCR1レジスタのCKS0～CKS2ビットを変更する
- (3) CPUクロックの2サイクル以上待つ
- (4) タイマRC関連レジスタ(00138h～0014Dh)への書き込み

注1. fHOCO、fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0(高速オンチップオシレータ停止)にしないでください。

注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

29.8.5 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅は、タイマRCの動作クロックの3サイクル分以上にしてください。
- TRCIO_i端子(i=A、B、C、D)にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後に、TRCCNTレジスタの値をTRCGR_iレジスタに転送します(デジタルフィルタなしの場合)。

29.8.6 PWM2モード時のTRCMRレジスタ

TRCCR2レジスタのCSTPビットが1(カウントアップ停止)のとき、TRCCNTレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

29.8.7 カウントソースfHOCO

カウントソースfHOCOについては、電源電圧V_{cc} = 2.7V ~ 5.5Vの範囲で使用することができます。これ以外の電源電圧では、TRCCR1レジスタのCKS2 ~ CKS0ビットを110b (fHOCO)にしないでください。

29.8.8 モジュールスタンバイ

タイマRCのカウント停止中にMSTCR2レジスタのMSTTRC_0ビットを書いてください。MSTCR2レジスタにタイマRCのモジュールスタンバイビットが存在します。

29.8.9 モードの切り替え

- 動作中にモードを切り替える場合、TRCMRレジスタのCTSビットを0(カウント停止)にした後に行ってください。
- モードの切り替え後、動作開始前にTRCSRレジスタの各フラグを0、TRCICレジスタのIRビットを0に設定してください。
詳細は「11.9.4 割り込み要因の変更」を参照してください。

29.8.10 カウント停止時のインพุットキャプチャ動作

インพุットキャプチャ機能使用時、インพุットキャプチャ信号(TRCIOR0レジスタのIOj0、IOj1ビット(j=A、B)、TRCIOR1レジスタのIOk0、IOk1ビット(k=C、D)のいずれかで選択したエッジ)がTRCIO_i端子(i=A、B、C、D)に入力されると、TRCMRレジスタのCTSビットが0(カウント停止)のときも、TRCSRレジスタのIMFiビットが1になります。

29.9 タイマRE2使用上の注意事項

- TRECRレジスタのRUNビットに0(カウント停止)を書き込むと、カウントソースの3サイクル後にカウントを停止します。
- モジュールスタンバイに移行する場合、TRECRレジスタのTREOEビットを0(TMRE2O出力禁止)に、RUNビットを0(カウント停止)にした後、カウントソースの3サイクル以上経過してから、MSTCR3レジスタのMSTTREビットを1(スタンバイ)にしてください。
- TRECRレジスタのTREOEビットが0(TMRE2O出力禁止)の状態、TRECSRレジスタのOS0～OS2ビットとCS3ビットを切り替えてください。
- TREIFR、TREIERレジスタの切り替えは次のとおりにしてください。
 - [リアルタイムクロックモード]
 - TREIFRレジスタのRTCFビットが0(割り込み要求なし)の状態、TREIERレジスタを切り替えてください。
 - TREIFRレジスタのALIFビットが0(割り込み要求なし)の状態、TREIFRレジスタのALIEビットを切り替えてください。
 - [コンペアー一致タイマモード]
 - TREIFRレジスタのCMIFビットが0(割り込み要求なし)の状態、TREIERレジスタのCMIEビットを切り替えてください。
 - TREIFRレジスタのOVIFビットが0(割り込み要求なし)の状態、TREIERレジスタのOVIEビットを切り替えてください。
- CS3ビットを変更する場合、次の条件をすべて満たしてください。
 - RUNビットが0(カウント停止)の状態
 - TREOEビットが0(TMRE2O出力禁止)の状態
 - CS3ビットを0から1に変更する場合は、CMIFビットが0(割り込み要求なし)、OVIFビットが0(割り込み要求なし)の状態
 - CS3ビットを1から0に変更する場合は、ALIFビットが0(割り込み要求なし)、RTCFビットが0(割り込み要求なし)の状態
- RTCF/OVIFビットが0(割り込み要求なし)およびALIF/CMIFビットが0(割り込み要求なし)の状態、TRECRレジスタのRTCRSTビットを設定してください。

29.10 シリアルインタフェース(UART0)使用上の注意事項

U0RBレジスタを読み出すときは、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、16ビット単位で読み出してください。

U0RBレジスタ上位バイト(b15～b8)を読み出したとき、U0RBレジスタのFER、PERビットは0(フレーミングエラーなし、パリティエラーなし)になります。また、U0C1レジスタのRIビットも0(U0RBレジスタにデータなし)になります。

受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

- 受信バッファレジスタを読み出すプログラム例
MOV.W 0086H, R0 ; U0RBレジスタの読み出し

クロック非同期形シリアルI/Oモードで転送データビット長9ビットの場合、U0TBレジスタに書くときは、上位バイト(b15～b8)→下位バイト(b7～b0)の順で、8ビット単位で書いてください。

- 送信バッファレジスタに書き込むプログラム例
MOV.B #XXH, 0083H ; U0TBレジスタ上位バイト(b15～b8)への書き込み
MOV.B #XXH, 0082H ; U0TBレジスタ下位バイト(b7～b0)への書き込み
- 通信中、MSTCR0レジスタのMSTUART_0、MSTUART_1ビットを1(スタンバイ)にしないでください。モジュールスタンバイにする場合、通信完了を判断してください。通信完了後、U0C1レジスタのTE、REビットを0(通信禁止)にしてからモジュールスタンバイにしてください。また、モジュールスタンバイ解除後、通信の初期設定はもう一回設定してください。
- UART0を使用しないときは、U0C0レジスタのNCHビットを0(TXD端子はCMOS出力)にしてください。

29.11 シリアルインタフェース (UART2)使用上の注意事項

29.11.1 動作モード共通

29.11.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

U2MR レジスタ： CKDIR ビット

U2C0 レジスタ： CLK0、CLK1 ビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

U2MR レジスタ： SMD0～SMD2、STPS、PRY、PRYE、IOPOL ビット

U2BRG レジスタ： b0～b7 ビット

U2C0 レジスタ： CRS、CRD、NCH、CKPOL、UFORM ビット

U2C1 レジスタ： U2IRS、U2RRM、U2LCH、U2ERE ビット

U2RXDF レジスタ： DF2EN ビット

U2SMR5 レジスタ： MP ビット

U2SMR3 レジスタ： CKPH、NODC、DL0～DL2 ビット

U2SMR2 レジスタ： IICM2、CSC、ALS、STAC ビット

U2SMR レジスタ： IICM、ABC、ABSCS、SSS ビット

29.11.1.2 Nチャネルオープンドレイン制御ビット

UART2を使用しないときは、下記ビットに0を設定してください。

U2C0 レジスタ： NCH ビット

U2SMR3 レジスタ： NODC ビット

29.11.2 クロック同期形シリアルI/Oモード

29.11.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルがLになり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルはHになります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は禁止です。

29.11.2.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが0(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックがHの状態、CKPOLビットが1(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1レジスタのTEビットが1(送信許可)
- U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力がL

29.11.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを1(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを1にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に inputsされたときシフトクロックが発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが1(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが1(オーバランエラー発生)になります。この場合、U2RBレジスタは前回の受信データを保持していますので、オーバランエラーが発生したときは、エラー発生データを再送信するように送信と受信側のプログラムで対処してください。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが0のときは外部クロックがHの状態、CKPOLビットが1のときは外部クロックがLの状態に次の条件を満たしてください。

- U2C1レジスタのREビットが1(受信許可)
- U2C1レジスタのTEビットが1(送信許可)
- U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)

内部クロックを選択している場合は、U2C1レジスタのTEビットに1を設定後、ダミーデータをU2TBレジスタに設定する前にU2C1レジスタのREビットを1に設定してください。

マスタ動作時に連続受信モードで最後のデータを読み出す場合、読み出し前にU2C1レジスタのU2RRMビットを0にしてください。

29.11.3 特殊モード1(I²Cモード)

29.11.3.1 動作クロック

I²Cモードでは、必ずf1クロックが発振している必要があります。また、f1の周波数は「20.3.3.1 スタートコンディション、ストップコンディションの検出」の動作を満たすように入力してください。

29.11.3.2 サポートモード

CBUSレシーバとの互換性はありません。

10bitアドレスモードはサポートしていません。

また、同一スレーブに対し、データ長の異なるマスタ送受信を行うマルチマスタ環境では使用できません。

29.11.3.3 最大動作周波数

UART2が送出するSCLはdutyが50%であるため高速モード(400 kbps)に設定したとき、SCLのL幅が1.25 usとなります。この値はI²C規格(tLOW = Min 1.3 us)を満たしません。

このため、高速モードにおける最大転送速度は約380 kbpsとなります。

29.11.3.4 スタート/ストップコンディション

(1) セットアップ/ホールドタイム

スタートコンディション/ストップコンディション検出時のセットアップタイムおよびホールドタイムは、I²Cの規格値と異なる場合があります。

スタートコンディション/ストップコンディション検出時のセットアップタイムおよびホールドタイムは、以下の値となります。

セットアップ時間 > 5 サイクル (f₁ クロック)

ホールド時間 > 5 サイクル (f₁ クロック)

I²C規格において高速モードでは、スタートコンディションおよびストップコンディションのセットアップ/ホールドタイムはどちらもMin 600 nsです。この値に対し、UART2のセットアップ/ホールドタイムはMin 5 サイクル (f₁ クロック) となります。したがって、f₁ クロックを8 MHzで使用した場合は、セットアップ/ホールドタイムは、Min 625 nsとなりI²Cバス規格の高速モードにも対応できませんが、メインクロックを8 MHz未満で使用する場合は、セットアップ/ホールドタイムは、I²C規格の高速モードを満たすことができなくなります。

29.11.3.5 送受信

送信時、SDA2端子から8ビットの送信データを送出しますが、送信クロックの9ビット目では、アクノリッジを受信するために、SDA2端子を解放する必要があります。このため、送信データ9ビット目 (D8) には必ず1を書き込んでください。

受信時、SDA2端子から8ビットのデータを受信する間は、SDA2端子を解放する必要があります。また、クロックの9ビット目では、アクノリッジを生成する必要があります。このため、受信時のダミーデータはD7～D0は1を書き込んでください。D8はACK/NACKです。ACK/NACKは次の3種の方法で送信可能です。

1. ACK/NACK送信は、U2SMR4レジスタのACKCビット、ACKDビットを使用する(この場合D8の値は使用しません)
2. D8のダミーデータを0とし、ACKを返す場合にはそのまま送信、NACKを返す場合にはSDHIビットを1にしSDA2端子を開放する。
3. D8のダミーデータを0とし、ACKを返す場合にはそのまま送信、NACKを返す場合にはポート制御によりSDA2端子を開放する。

29.11.3.6 アービトレーション

アクノリッジ受信タイミングでアービトレーション検出フラグがセットされるため、送信開始時にアービトレーション検出フラグをクリアしてから送信を行ってください。

29.12 クロック同期形シリアルインタフェース使用上の注意事項

29.12.1 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、IICCRレジスタのIICSELビットを0(SSU機能を選択)にしてください。

29.12.2 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、IICSELビットを1(I²Cバス機能を選択)にしてください。

- (1) I²Cの規格に違反する設定で使用しないでください。
- (2) 「Hs-MODE」による通信はできません。最高転送速度は「FAST-MODE」による[Max. 400 kHz]です。
- (3) SCLのLow期間は「FAST-MODE」で[Min. 1.3 μs]です。本モジュールにおけるH/L幅のデューティは50%/50%のため、400 kHz動作時にこの値を下回ってしまいます。よって最高転送速度はSCL周期が2.6 μs(最大転送周波数384.6 kHz)になります。
- (4) SCLの立ち上がりに対して、SDAの変化は[Min. 300 ns]の遅延を持たなければなりません。本モジュールにおけるSDAデジタル遅延は最低3×f1サイクルのため、基準クロックf1が11 MHz以上の場合には注意が必要です。IICCRレジスタのSDADLY1、SDADLY0ビットを01b以上を設定してください。
- (5) CBUSとの互換性はありません。
- (6) 10ビット・アドレス指定はできません。
- (7) スレーブ送信モードのデータ送信中にスタート条件を検出した場合、その後に続くアドレスを受信することはできず動作が停止します。制御部リセットのフローに従い、モジュールを初期化してください。
- (8) スレーブアドレスとして1111XXXbと0000XXXbは設定しないでください。
- (9) STOP条件を検出した後、マスタで通信を開始する場合、必ずSTOPビットをクリアしてください。

29.12.3 SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット

I²Cバスインタフェース動作中に、ICEビットに0またはSIRSTビットに1を書くとSICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。

29.12.3.1 ビットが不定になる条件

- I²Cバスインタフェースのマスタモードにおいて、本モジュールがI²Cのバスを占有しているとき。
- I²Cバスインタフェースのスレーブモードにおいて、本モジュールがデータかアクノリッジを送信中のとき。

29.12.3.2 対策

- 開始条件(SCLがHのときのSDA立ち下がり)が入力されると、BBSYビットは1になります。
- 停止条件(SCLがHのときのSDA立ち上がり)が入力されると、BBSYビットは0になります。
- マスタ送信モードにおいて、SCL、SDAともにHの状態、BBSYビットに1、SCPビットに0を書き、開始条件(SCLがHのときのSDA立ち下がり)が出力されると、BBSYビットは1になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDAがLの状態、かつ本モジュール以外にSCLをLにするデバイスがない状態で、BBSYビットに0、SICR2レジスタのSCPビットに0を書き、停止条件(SCLがHのときのSDA立ち上がり)が出力されると、BBSYビットは0になります。
- SARレジスタのMSビットに1を書くと、BBSYビットは0になります。

29.12.3.3 SICR2レジスタのSIRSTビットの補足説明

- SIRSTビットに1を書くと、SICR2レジスタのSDAOビットおよびSCLOビットは1になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、SIRSTビットに1を書くと、SISRレジスタのTDREビットは1になります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、SICR2レジスタのBBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にSIRSTビットに0を書いてください。
- SIRSTビットに1を書いても、BBSYビットは0になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLがHのときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが0になる場合があります。同様に、他のビットにも影響が発生する場合があります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、SICR1、SICR2、SISRレジスタの値が更新される場合があります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、SICR1、SICR2、SISRレジスタの値が更新される場合があります。
- 上記補足内容を含んだSIRSTビットによる制御部リセット動作は、「21.4.8 I²Cバスインタフェースモード時の制御部リセット手順」を参照してください。

29.13 ハードウェアLIN使用上の注意事項

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、**Synch Break** 検出割り込みを起点に他のタイマで時間計測を行ってください。

29.14 A/Dコンバータ使用上の注意事項

29.14.1 A/D変換中の注意事項

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロック ϕ AD以上の周波数を選択してください。 ϕ ADにfHOCO-Fを選択しないでください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(1(ウェイトモード時、周辺機能クロックを停止する)、0(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを1(フラッシュメモリ停止)、およびFMR27ビットを1(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- A/D変換中にCM1レジスタのCM10ビットを1(全クロック停止(ストップモード))にしないでください。
- A/D変換中にプログラムでADCON0レジスタのADSTビットを0(A/D変換停止)にして強制終了後、ADSTビットに1を書き込む場合は、終了処理時間確保のため、 ϕ ADクロックで2クロック以上の間隔をあけてください。

29.14.2 クロック源の切り替え

- クロック源を切り替える際は、A/D変換停止後、切り替えてください。また、クロック源切り替え後、fHOCO-Fクロックの2サイクル以上待ってから、A/D変換を開始してください。

【変更手順】

- (1) ADCON0レジスタのADSTビットを0(A/D変換停止)にする
- (2) ADMODレジスタのCKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) ADCON0レジスタのADSTビットを1(AD変換開始)にする

- クロック源をfHOCO-Fから他のクロックに変更し、fHOCO-Fを停止させる場合は、クロック源切り替え後、fHOCO-Fの2サイクル以上待ってからfHOCO-Fを停止させてください。

【変更手順】

- (1) ADCON0レジスタのADSTビットを0(A/D変換停止)にする
- (2) ADMODレジスタのCKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にする

注1. fHOCO-Fをクロック源に選択しているとき、FRA0レジスタのFRA00ビットを0(高速オンチップオシレータ停止)にしないでください。

注2. fHOCO-Fをクロック源に選択しているとき、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

29.14.3 端子処理

VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。

29.15 タッチセンサコントロールユニット使用上の注意

29.15.1 検出データの格納先

各チャンネルの計測終了後、SFRに格納されたデータ1とデータ2の値をDTCによりRAMへ転送します。データの格納先は、RAM以外に設定しないでください。

計測データはStatus 22のDTC転送要求1回でTSCUDBRレジスタとTSCUPRCレジスタの合計32ビットを転送するようにDTCにて制御してください。

タッチセンサコントロールユニットからのDTC転送時は、転送モードをリピートモード(DTCCRjレジスタ(j=0~23)のMODEビットを1)に設定し、割り込み発生を禁止(DTCCRjレジスタ(j=0~23)のRPTINTビットを0)にしてください。

29.15.2 計測トリガ

- 外部トリガモード時(TSCUMRレジスタのTSCUCAPビットが1)、Status 0のみ外部トリガが受付可能です。計測期間中に外部トリガが入力された場合、計測は開始されません。
- 外部トリガモード時(TSCUMRレジスタのTSCUCAPビットが1)、計測中にTSCUCR0レジスタのTSCUSTRTビットを0(計測停止)にして強制停止する場合、計測停止後にTSCUCR0レジスタのTSCUINITビットを1にして初期化を行ってください。計測はStatus 1から再開されます。計測再開前にDTCの再設定を行ってください。

29.15.3 充電時間

測定データが次の測定データに上書きされるのを防ぐため、タッチセンサコントロールユニットはDTC転送が終了するまで充電を維持します。

DTCのバス権取得と転送時間で20~30サイクル程度のCPUサイクルが必要です。

転送完了待ち時間以下の充電時間を設定した場合、設定値を超える充電時間になります。

29.15.4 設定値切り替え

TSCUソフトウェア動作用レジスタ以外のレジスタを更新する場合、計測を停止した後(TSCUSTRTビットを0にする)に設定値を更新してください。設定値更新後は、初期化を行ってから(TSCUINITビットを1にする)、計測を開始してください。

TSCUソフトウェア動作用レジスタ

- TSCUCR1レジスタのCHSELXA0SW、CHSELXA1SW、CHSELXBCSWビット

- TSCUソフトウェア動作時のTSIE0~TSIE2レジスタ

(TSCU動作時で設定値を切り替える場合は計測停止し、初期化を行ってから計測を開始してください。)

29.15.5 CHxB-CHxC間短絡制御時の制約

TSCUCR1レジスタのBCSHORTビットを1(短絡あり)にしてCHxB-CHxC間の短絡を行う場合、以下の制約があります。

- 区間4スキップの禁止(TSCUCR2レジスタのTCS4Cビットを1(区間4のサイクル数は0)にすることを禁止)
- PRE計測ON、カウントソースにf1選択時、区間4設定は2サイクル以上(TSCUCR2レジスタのTCS40~TCS44ビットの設定で2~32サイクルにする)

表29.1 CHxB-CHxC間短絡制御時の区間4設定の制約事項

BCSHORT	TCS4C	PREMSR	区間4設定の制約事項
0	—	—	制約なし
1	0	0	制約なし
1	0	1	カウントソースにf2またはf4選択時：制約なし カウントソースにf1選択時：2～32サイクルを設定してください
1	1	—	このビットの組み合わせは設定しないでください

BCSHORT : TSCUCR1レジスタのビット

TCS4C : TSCUCR2レジスタのビット

PREMSR : TSCUMRレジスタのビット

29.15.6 タッチセンサコントロールユニットモジュールスタンバイ

タッチセンサコントロールユニットモジュールスタンバイモードにすることで、タッチセンサコントロールユニットモジュールへのクロック供給を停止させます。

タッチセンサコントロールユニット内のレジスタへのクロック供給も停止するため、タッチセンサコントロールユニット内のレジスタ設定を変更する場合はスタンバイモードを解除して、CPUサイクルで2サイクル以上経過してから行ってください。

また、全クロック停止する場合(CM1レジスタのCM10ビットを1にする場合)も同様の処理を行ってください。

29.15.7 タッチセンサコントロールユニット初期化(TSCUINIT)

TSCUCR0レジスタのTSCUINITビットを1にして初期化を行う場合、以下の処理を行ってください。

- 計測を停止(TSCUCR0レジスタのTSCUSTRTビットを0にする)
- TSCU割り込み要求が出力していない(TSCUFRレジスタのSIFビットの0を読む)、またはTSCU割り込み要求をクリアする(SIFビットの1を読んだ後、同じビットに0を書く)。

TSCUINIT ビットによる初期化を行ってもDTCは初期化されません。

タッチセンサコントロールユニットの初期化を行う場合は、DTCの設定も行ってください。

29.15.8 クロック設定の制約

タッチセンサコントロールユニットで計測中はクロック設定を変更しないでください。

CM3レジスタのCM36ビットを0、CM37ビットを0に設定し、ウェイトモードから割り込み要求信号で復帰する際のクロック切り替えを行わないでください。

29.15.9 ウェイトモード時の制約

ウェイトモードでタッチセンサコントロールユニットを使用する場合、以下の制約があります。

- TSCUSTRTビットを1にした直後に、WAIT命令を実行またはCM3レジスタのCM30ビットを1にしてください。
- FMR1レジスタのFMR11ビットを1、FMR0レジスタのFMSTPビットを0に設定して、ウェイトモード中でもフラッシュメモリを停止させないでください。
- 低消費電力ウェイトモードでタッチセンサコントロールユニットを使用しないでください。SVDCレジスタのSVC0ビットを0にしてください。

29.15.10 ストップモード時の制約

全クロック停止によるストップモード(CM1レジスタのCM10ビットを1)に設定する前に、タッチセンサコントロールユニットは停止し(TSCUSTRTビットを0)、初期化(TSCUINITビットを1)に設定してください。

ストップモードへの設定変更を含めて、タッチセンサコントロールユニットの設定変更や初期化を行う場合は、できる限り計測完了後または計測開始前に行ってください。

29.15.11 A/Dコンバータとの同時使用

A/D変換中にタッチセンサコントロールユニットの計測開始を行わないでください。

29.16 フラッシュメモリ使用上の注意

29.16.1 CPU書き換えモード

29.16.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

29.16.1.2 割り込み

表29.2～表29.4にCPU書き換えモード時の割り込みを示します。

表29.2 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1の場合は、自動でFMR21ビットが1になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを0にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを0にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22 : FMR2レジスタのビット

表29.3 CPU書き換えモード時の割り込み(2)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> • ウォッチドッグタイマ • 発振停止検出 • 電圧監視2 • 電圧監視1 	<ul style="list-style-type: none"> • 未定義命令 • INTO命令 • BRK命令 • シングルステップ • アドレス一致 • アドレスブレイク(注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、割り込み処理を実行します。</p> <p>FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。</p>	<p>割り込み要求を受け付けると、割り込み処理を実行します。</p> <p>イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。</p> <p>自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0にすることで、自動消去を再開することができます。</p>
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
プログラム ROM		自動消去中 (サスペンド有効)	<p>割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。</p> <p>自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。</p> <p>ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</p>	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表29.4 CPU書き換えモード時の割り込み(3)

モード	イレーズ/ ライト対象	状態	<ul style="list-style-type: none"> ウォッチドッグタイマ 発振停止検出 電圧監視2 電圧監視1 	<ul style="list-style-type: none"> 未定義命令 INTO命令 BRK命令 シングルステップ アドレス一致 アドレスブレイク(注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができません。FMR21ビットを0にするこ とで、自動消去を再開することができます。
		自動消去中 (サスペンド無効ま たはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効ま たはFMR22 = 0)		
		自動書き込み中		

FMR21、FMR22 : FMR2レジスタのビット

注1. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

29.16.1.3 アクセス方法

次のビットを1にするときは、対象となるビットに0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを0にするときは、対象となるビットに1を書いた後、続けて0を書いてください。また、1を書いた後、0を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

29.16.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

29.16.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

29.16.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが0(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが1(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

29.16.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V~5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

29.16.1.8 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

29.16.1.9 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。
- CPUクロックがXCINクロックの1分周(分周なし)、2分周、4分周、または8分周

ただし、選択したCPUクロックの周波数が3kHz以下のときは、低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

消費電力を低減する方法は、「10. パワーコントロール」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを0(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

30. オンチップデバッグの注意事項

オンチップデバッグを使用してR8C/38T-Aグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIEN_i、AIADR_{ij}レジスタ(i=0、1、j=L、H)、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。

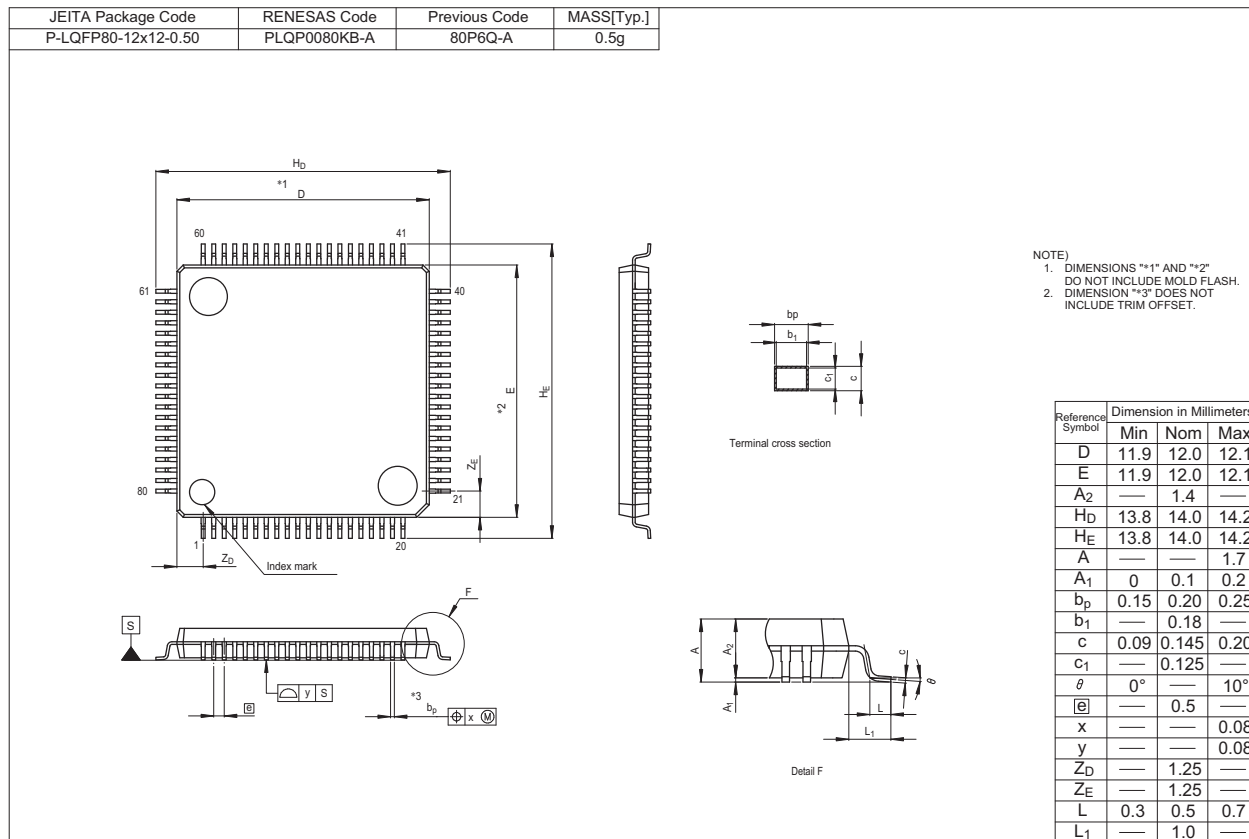
オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

31. エミュレータデバッグの注意事項

エミュレータデバッグの接続や使用方法には、固有の制限事項があります。エミュレータデバッグの詳細は各エミュレータデバッグのマニュアルを参照してください。

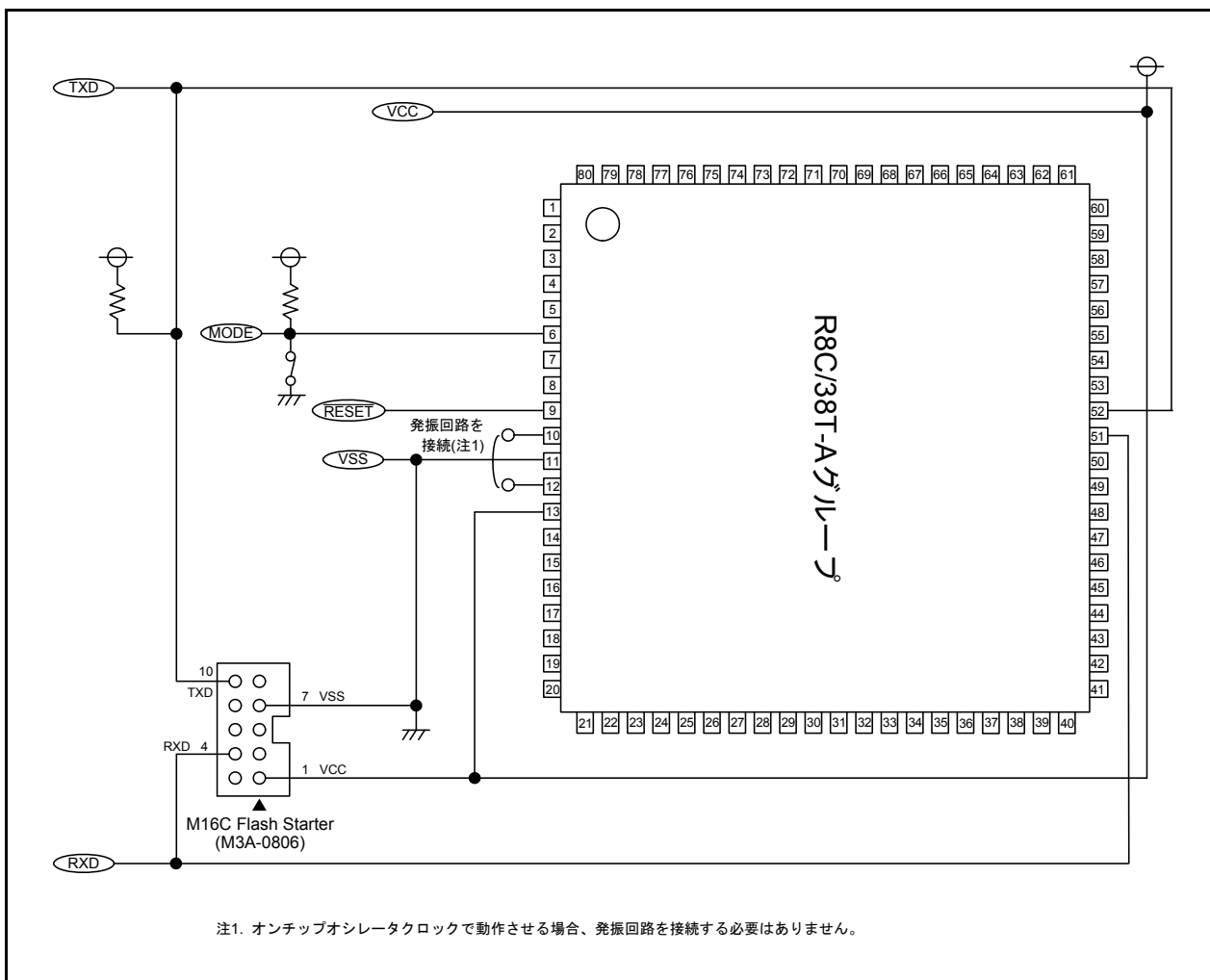
付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

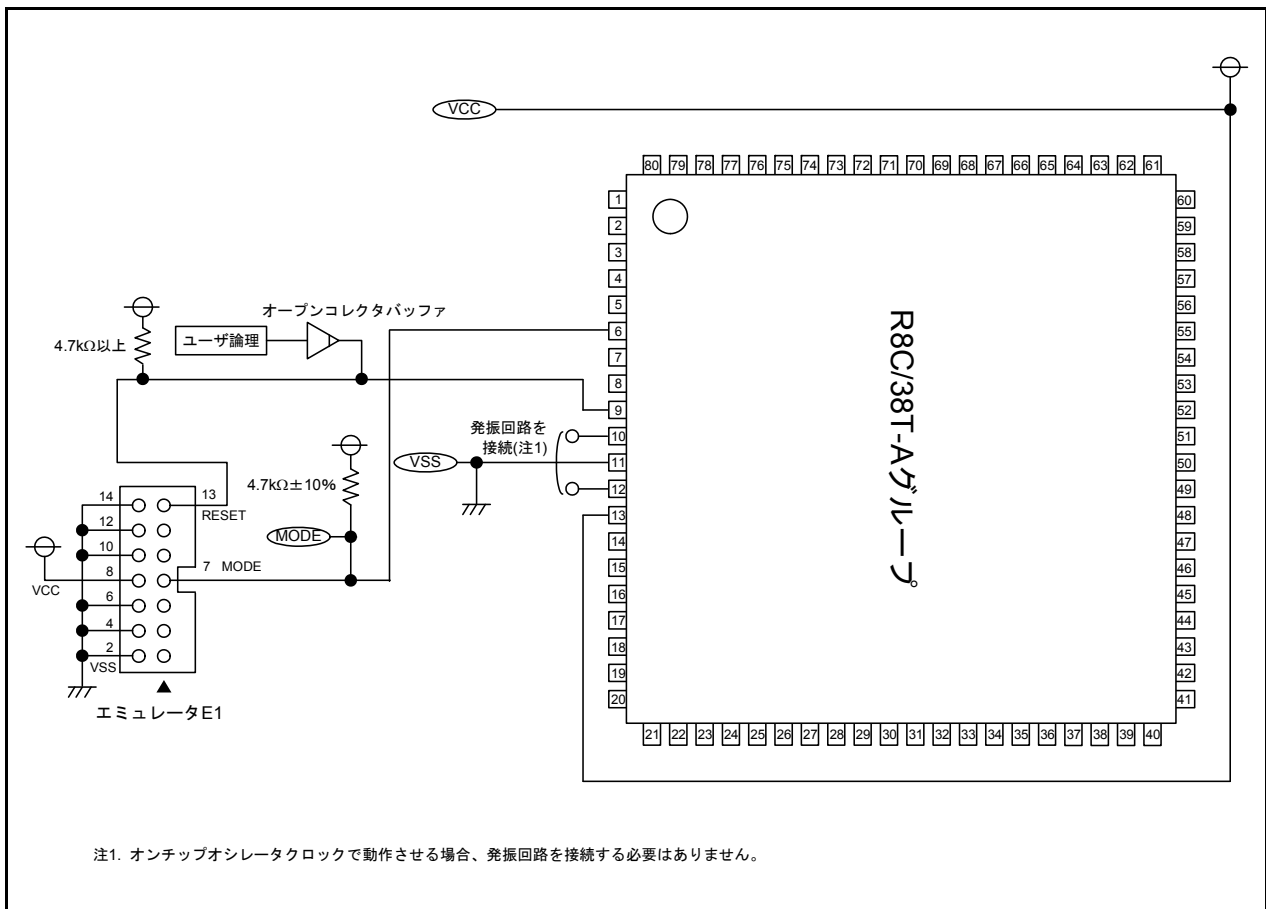


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図2.1にM16C Flash Starter (M3A-0806)との接続例を、付図2.2にエミュレータE1との接続例を示します。



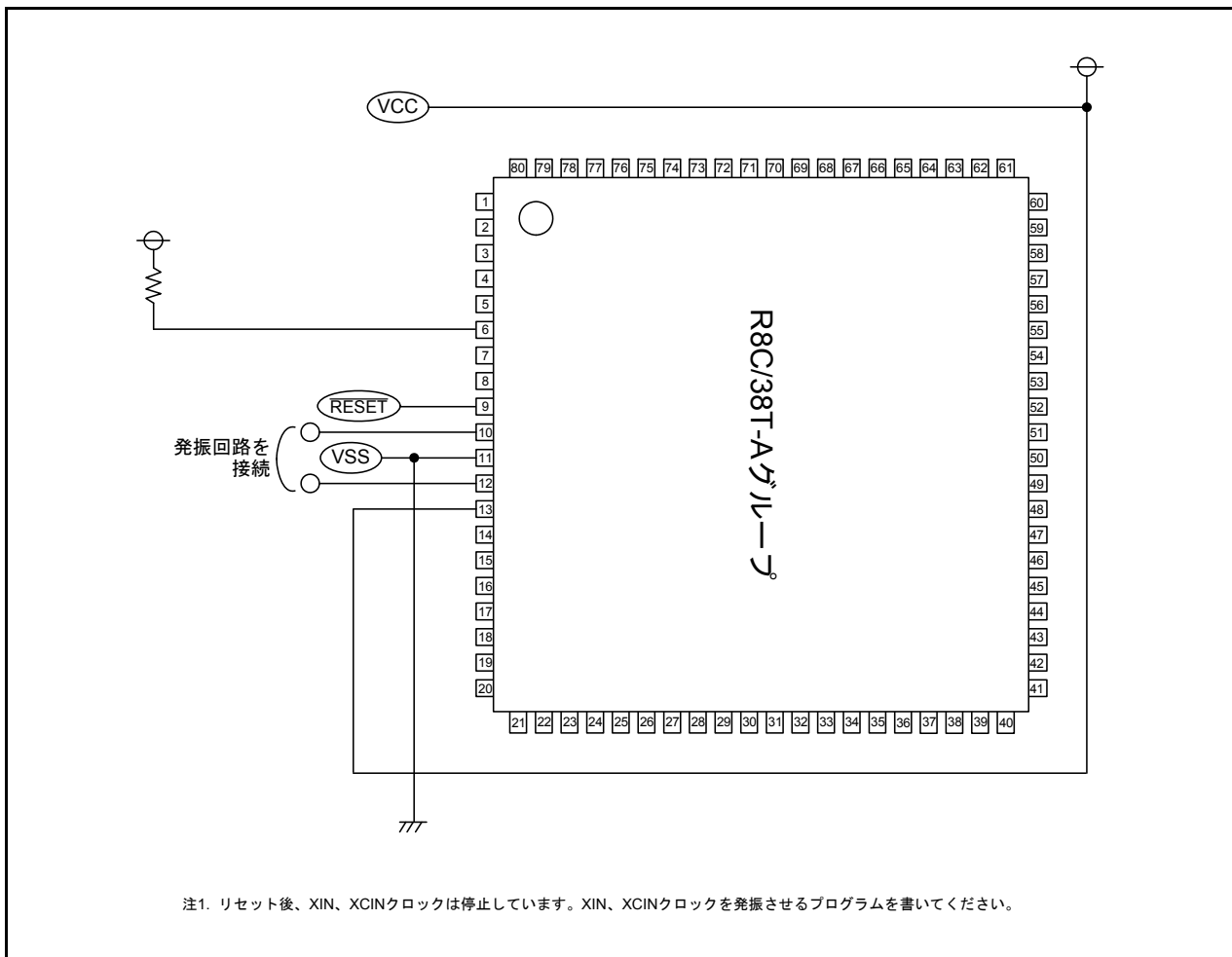
付図2.1 M16C Flash Starter (M3A-0806)との接続例



付図2.2 エミュレータE1との接続例

付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

索引

【記号/数字】

4線式バス通信モード 492

【A】

A/Dコンバータ 125, 544
 A/D断線検出アシスト機能 557
 A/D変換開始条件 555
 A/D変換開始トリガ 317
 A/D変換結果 557
 A/D変換サイクル数 553
 A/D変換時のセンサの出カインピーダンス 567
 A0、A1 16
 AC特性 688
 ADCON0 551
 ADCON1 552
 ADi (i = 0~7) 548
 ADIC 136
 ADINSEL 550
 ADMOD 549
 AIADRij (i = 0、1、j = L、H) 142
 AIENi (i = 0、1) 142

【B】

BGO (バックグラウンドオペレーション)機能 646
 Bフラグ 16

【C】

CM0 89, 110
 CM1 90, 111
 CM3 92, 112
 CM4 93, 113
 CMPA 62
 CPSRF 94
 CPU 15
 CPU書き換えモード 642
 CPUクロック 102
 CPUクロックと周辺機能クロック 102
 CRC 667
 CRCD 670
 CRCIN 670
 CRCMR 669
 CRCSAR 668
 CSPR 80
 Cフラグ 16

【D】

DC特性 682
 DRR0 220
 DRR1 221
 DRR2 223
 DTBLSj (j = 0~23) 174
 DTC 167
 DTCCRj (j = 0~23) 174
 DTCCTj (j = 0~23) 174
 DTCENi (i = 0~3、5、6) 173
 DTCTL 172
 DTC起動要因受付と割り込み要因フラグ 188
 DTC実行サイクル数 187
 DTCとの連携動作 523
 DTDARj (j = 0~23) 175

DTRL Dj (j = 0~23) 175
 DTSARj (j = 0~23) 175
 Dフラグ 16

【E】

ELSELRn (n = 0~4、8、9、11~16) 163
 EW0モード 643
 EW1モード 643

【F】

f1、f2、f4、f8、f32 102
 FB 16
 fC1、fC2、fC32 103
 fHOCO 102
 fHOCO-F 102
 FLG 16
 fLOCO 102
 fLOCOWDT 103
 FMR0 633
 FMR1 636
 FMR2 638
 FMRDYIC 136
 fOCO 102
 fOCO128 103
 FRA0 94, 114
 FRA2 95
 FST 630

【I】

I/Oポート 190
 I/Oポート以外の端子 191
 I/Oポートの機能 191
 I²Cバスインタフェース 461
 I²Cバスインタフェースの動作説明 499
 I²Cバスインタフェースモード 503
 I²Cバスインタフェースモード時の制御部リセット手順 526
 IDコードチェック機能 641, 659
 IDコード領域 42
 IDコード領域使用上の注意(設定例) 44
 IICCR 465
 ILVL0~ILVL2ビット、IPL 147
 INT0IC 136
 INT0入力トリガ選択 280
 INT1IC 136
 INT2IC 136
 INT3IC 136
 INT4IC 136
 INTB 16
 INTCMP 571
 INTEN 137
 INTEN1 138
 INTF 139
 INTF1 140
 INTi入力フィルタ (i = 0~4) 155
 INTi割り込み (i = 0~4) 154
 INTPOL 140
 INTSR0 143, 215
 INT割り込み 154
 IPL 17
 IRビット 147
 ISP 16

Iフラグ	17, 147
【 K 】	
KIEN	141
KUPIC	136
【 L 】	
LINCR2	531
LINCT	531
LINST	532
【 M 】	
MSTCR0	115
MSTCR1	115
MSTCR2	116
MSTCR3	116
MSTCR4	116
【 O 】	
OCD	91
OCVREFCR	547
OFS	41, 51, 68, 81, 640
OFS2	40, 50, 80
Oフラグ	17
【 P 】	
P1DRR	219
P2DRR	219
PC	16
PD _i (i = 0~9)	228
PINSR	97, 216
PM0	37, 48
PM1	38
PMCSEL	217
PORT _i (i = 0~9)	227
PRCR	39
PUR0	217
PUR1	218
PUR2	218
PWM2モード	309
PWMモード	305
【 R 】	
R0、R1、R2、R3	16
RESET端子のレベルがLの期間の端子の状態	58
RISR	78
ROMコードプロテクト機能	641, 662
RSTFR	49
【 S 】	
SB	16
SFR	19
SFRアクセス監視機能	671
SICR1	468
SICR2	470
SIER	474
SIMR1	472
SIMR2	478
SIRD	467
SISR	476

SITDR	467
SSBR	466
SSUIC ₀ /IICIC ₀	136
SVDC	114
Sフラグ	16
【 T 】	
TIMSR	211
TOCNTビットの設定と端子状態	279
TRB2IC ₀	136
TRBCR	253
TRBIOC	255
TRBIR	260
TRBMR	256
TRBOCR	254
TRBPR	258
TRBPRE	257
TRBPRE、TRBPR、TRBSCレジスタの構造と 更新タイミング	272
TRBSC	259
TRC ₀ SR0	209
TRC ₀ SR1	210
TRCADCR	297
TRCCLKSR	208
TRCCNT	286
TRCCNTレジスタのカウントタイミング	323
TRCCR1	289
TRCCR2	294
TRCDF	295
TRCELCCR	299
TRCGRA、TRCGRB、TRCGRC、TRCGRD	287
TRCIC ₀	136
TRCIER	290
TRCIOR0	292
TRCIOR1	293
TRCMR	288
TRCOER	296
TRCOPR	298
TRCSR	291
TRE2IC	136
TREADJ	348
TREAHR	355
TREAMN	354
TREAWK	356
TRECR	342, 345
TRECSR	346, 347
TREYD	339
TREHR	337
TREIER	352, 353
TREIFR	349, 351
TREMIN	335, 336
TREMON	340
TREPRC	357, 358
TRESEC	333, 334
TREWK	338
TREYR	341
TRJ	233
TRJ ₀ SR	207
TRJCR	234
TRJIC ₀	136
TRJIOC	236
TRJISR	239
TRJMR	238
TSCHSEL0	603
TSCHSEL1	604

TSCHSEL2	605
TSCUHC	589
TSCUCR0	579
TSCUCR1	581
TSCUDBR	594
TSCUFR	590
TSCUIC	136
TSCUMR	582
TSCUPRC	595
TSCURVR0	596
TSCURVR1	597
TSCURVR2	598
TSCURVR3	599
TSCUSCC	593
TSCUSCS	592
TSCUSTC	591
TSCUTCRA	583
TSCUTCRA0B	584
TSCUTCRA1	585
TSCUTCRA2	586
TSCUTCRA3	588
TSIE0	600
TSIE1	601
TSIE2	602
TWRCビットによるプリスケアラとカウンタ動作	274

【 U 】

U0BRG	384
U0C0	385
U0C1	386
U0IR	388
U0MR	383
U0RB	387
U0RIC_0	136
U0RIC_1	136
U_0SR	212
U0TB	384
U0TIC_0	136
U0TIC_1	136
U_1SR	213
U2BCNIC	136
U2BRG	409
U2C0	411
U2C1	412
U2MR	409
U2RB	413
U2RIC	136
U2RXDF	414
U2SMR	419
U2SMR2	418
U2SMR3	417
U2SMR4	416
U2SMR5	415
U2SR0	214
U2SR1	214
U2TB	410
U2TIC	136
UART0の割り込み	400
UART2割り込み要因	454
USP	16
Uフラグ	17

【 V 】

VCA2	63, 96
VCAC	63

VCC入力電圧のモニタ	69
VCMP1IC	136
VCMP2IC	136
VD1LS	64
Vdet0のモニタ	69
Vdet1のモニタ	69
Vdet2のモニタ	69
VLT0	224
VLT1	225
VLT2	226
VW0C	65
VW1C	66
VW2C	67

【 W 】

WDTC	79
WDTR	78
WDTS	79

【 X 】

XCINクロック	101
XINクロック	98

【 Z 】

Zフラグ	16
------	----

【 あ 】

アウトプットコンペア出カタイミング	324
アドレス一致割り込み	157
アドレス空間	18
アドレスレジスタ	16
アラーム機能	370

【 い 】

イベントカウンタモード	243
イベントリンクコントローラ (ELC)	162
イベントリンクコントローラ (ELC)との連携による動作	246, 279
イベントリンクコントローラ (ELC)用のワンショット信号	378
インプットキャプチャ時のIMFA～IMFDビットタイミング	326
インプットキャプチャ入カタイミング	324
インプットキャプチャ入カデジタルフィルタ	316

【 う 】

ウェイトモード	119
ウェイトモード、ストップモード	125
ウェイトモードからの復帰	120
ウェイトモード時の端子の状態	119
ウェイトモードへの移行	119
ウォッチドッグタイマ	75
ウォッチドッグタイマリセット	57

【 え 】

エミュレータデバッグの注意事項	727
-----------------	-----

【お】		【し】	
オーバフローフラグ	17	ジェネラルレジスタと出力端子変更	318
オプション機能選択領域	45	時刻の変更手順と読み出し手順	361
オンチップオシレータクロック	100	システムクロック	102
オンチップデバッグの注意事項	726	システム制御	37
		周辺機能クロック	102
【か】		周辺機能クロック停止機能	119
外形寸法図	728	周辺機能クロックの停止	125
概要	1	周辺機能入出力とPDiビット(i = 0~9)	204
カウントソース保護モード無効時	83	周辺機能の特性	675
カウントソース保護モード有効時	84	周辺機能の割り当て	204
各モードの設定と解除方法	644	周辺機能への入出力	204
各モードの入出力設定	246	出力波形操作	320
可変ベクタテーブル	145	仕様概要	2
関連レジスタの設定例	359, 375	使用上の注意事項集	696
		消費電流低減機能	557
【き】		消費電力の低減	125
キー入力割り込み	156	使用方法	671
起動要因	176	シリアルインタフェース(UART0)	380
キャリフラグ	16	シリアルインタフェース(UART2)	402
強制イレーズ機能	43	シリアルライタとオンチップデバッグエミュレータとの 接続例	729
		シンクロナスシリアルコミュニケーションユニット (SSU)	459
【く】		シンクロナスシリアルコミュニケーションユニット(SSU)の 動作説明	480
繰り返し掃引モード	565		
繰り返しモード0	560	【す】	
繰り返しモード1	561	推奨動作条件	673
クロック	125	スタックポインタ指定フラグ	17
クロック同期形シリアルI/Oモード	389	スタティックベースレジスタ	16
クロック同期形シリアルI/Oモード(SIOモード)	420	ステータスフラグが0になるタイミング	327
クロック同期形シリアルインタフェース	458	ストップモード	123
クロック同期形シリアルインタフェースおよび シリアルインタフェース	126	ストップモードからの復帰	124
クロック同期式シリアルモード	515	ストップモード時の端子の状態	123
クロック同期式通信モード	484	ストップモードへの移行	123
クロック発生回路	85	スLEEPモード	536
クロック非同期形シリアルI/O (UART)モード	394, 425		
		【せ】	
【け】		製品一覧	4
計測動作原理	622	絶対最大定格	672
		ゼロフラグ	16
【こ】		選択機能	272, 316
コールドスタート/ウォームスタート判定機能	57		
高速オンチップオシレータクロック	100	【そ】	
高速オンチップオシレータモード	118	ソフトウェアコマンド	648
高速クロックモード	118	ソフトウェアリセット	57
固定ベクタテーブル	144	ソフトウェア割り込み	133
コントロールデータの配置とDTCベクタテーブル	178		
コンパレータB	569	【た】	
コンパレータB1、コンパレータB3割り込み	574	タイマ	125
コンパレータBiデジタルフィルタ(i = 1, 3)	573	タイマRB2	249
コンペア一致時のIMFA~IMFDビットタイミング	326	タイマRC	283
コンペア一致タイマモードの動作説明	375	タイマRC割り込み、タイマRE2割り込み、シンクロナスシ リアルコミュニケーションユニット/I ² Cバスインタフェース割 り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を 持つ割り込み)	158
コンペア一致によるA/D変換開始トリガのタイミング	327	タイマRE2	330
コンペア一致によるカウンタクリアのタイミング	325	タイマRJ	231
【さ】			
サインフラグ	16		
サスペンド動作	645		

タイマモード	241, 261, 301
タッチセンサコントロールユニット	575
タッチセンサコントロールユニットの仕様と動作例	619
端子機能の説明	13
端子選択レジスタで制御されない入出力端子	229
単掃引モード	563
単発モード	559

【ち】

チェイン転送	185
チップ内蔵基準電圧(OCVREF)	557
中央演算処理装置(CPU)	15

【て】

データ保護機能	647
データレジスタ	16
低消費電流リードモード	129
低速オンチップオシレータクロック	100
低速オンチップオシレータモード	118
低速クロックモード	118
デバッグフラグ	16
電圧監視0リセット	56, 70
電圧監視1割り込み	71
電圧監視2割り込み	73
電圧検出回路	59, 125
電气的特性	672

【と】

動作タイミング	186, 323
特殊モード1(I2Cモード)	433
特殊割り込み	133
特長	1
時計誤差補正機能	363

【な】

内部電源の消費電力低減(低消費電力モード)	126
-----------------------	-----

【に】

入出力端子	232, 251, 530, 553
-------	--------------------

【の】

ノーマルモード	183
ノイズ除去回路	522

【は】

ハードウェアLIN	529
ハードウェアLIN終了処理	541
ハードウェアリセット	53
バスアクセス	36
バス衝突検出機能	540
発振停止検出機能	104
発振停止検出機能の使用方法	104
発振評価回路例	731
バッファ動作のタイミング	325
パラレル入出力モード	662
パルス周期測定モード	245
パルス出力モード	242

パルス幅測定モード	244
パワーオンリセット	55
パワーコントロール	108

【ひ】

ビット同期回路	522
標準シリアル入出力モード	659
標準シリアル入出力モード禁止機能	44
標準動作モード	117
秒調整機能	372
ピン配置図	6

【ふ】

フラグレジスタ	16
フラッシュメモリ	628
フラッシュメモリ書き換え禁止機能	641
フラッシュメモリの停止	128
フルステータスチェック	657
フレームベースレジスタ	16
プログラマブルウェイトワンショット発生モード	269
プログラマブル波形発生モード	263
プログラマブルワンショット発生モード	266
プログラムカウンタ	16
プロセッサ割り込み優先レベル	17
ブロック図	5
プロテクト	45
分解能(8ビット/10ビットモード)	557

【へ】

ペリフェラルマッピングコントローラ	204
-------------------	-----

【ほ】

ポート	125
-----	-----

【ま】

マスタモード	533
マルチプロセッサ通信モード	449

【み】

未使用端子の処理	230
----------	-----

【め】

メモリ配置	629
メモリマップ	18

【も】

モード選択	458
-------	-----

【ゆ】

ユーザスタックポインタ	16
-------------	----

【よ】

用途	1
予約ビット	17

【り】

リアルタイムクロックモードの動作説明	359
リセット	47
リセット後のCPUレジスタの状態	58
リセットシーケンス	52
リセット時の状態	58
リセット要因判別機能	57
リピートモード	184
リロードレジスタとカウンタの書き換え動作	240

【れ】

レジスタ設定例	518
レジスタ退避	150
レジスタバンク指定フラグ	16

【わ】

割り込み	132
割り込み応答時間	149
割り込み許可フラグ	17
割り込みシーケンス	148
割り込みスタックポインタ	16
割り込み制御	147
割り込みテーブルレジスタ	16
割り込みと割り込みベクタ	144
割り込みの分類	132
割り込み優先順位	152
割り込み優先レベル判定回路	152
割り込み要因	185, 377
割り込み要求	280, 542
割り込み要求受付時のIPLの変化	149
割り込みルーチンからの復帰	152

改訂記録

R8C/38T-Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2011.02.22	—	初版発行
0.10	2011.07.29	全ページ	用語変更： 「センサコントロールユニット」→「タッチセンサコントロールユニット」、 「SRAM」→「RAM」、 「フラッシュメモリレディ」→「フラッシュメモリ」
		3	表1.2 変更
		6	図1.3 「R8C/38Cグループ」→「R8C/38T-Aグループ」
		19、62、65	表3.1、表7.2、7.2.5 VW0Cレジスタのリセット後の値 「11001010b、11001011b」→「1100XX10b、1100XX11b」
		23	表3.5 「タイマRB2_0割り込み要求とステータスレジスタ」→「タイマRB2_0割り込み要求レジスタ」
		27、206	表3.9、表14.5 TRJ_0SRのリセット後の値 「00h」→「08h」
		35	表3.17 変更、注2 追加
		40、50、80	5.2.4、6.2.3、8.2.6 変更
		71	表7.3、注1、注2 変更
		73	表7.4、注1、注2、注3 変更
		75～84	8. ウォッチドッグタイマ 用語変更 「低速オンチップオシレータクロック」→「ウォッチドッグタイマ用低速オンチップオシレータクロック」
		76	図8.1 変更
		78	8.2.1 注1 変更
		85	表9.1 注3 変更
		89、110	9.2.1、10.2.1 変更
		93、113	9.2.4、10.2.3 CM30ビット(ウェイト制御ビット) 説明 変更
		93、113	9.2.5、10.2.4 変更
		95	9.2.8 説明文 変更
		99	図9.3 変更
		105	表9.7 変更
		108	図10.1 変更
		117	10.3 説明文 変更、表10.2 変更
		118	10.3.1～10.3.4 説明文 変更
		119	10.4、10.4.2 説明文 変更
		120～122	10.4.4 説明文 変更、表10.3 変更
		124	10.5.3 説明文 変更
		126	10.6.8、10.6.9 説明文 変更
		136	11.2.1 変更
		144～146	表11.3～表11.5 変更
		147	11.4.2 説明文変更
		153	図11.8 変更
		155	図11.9 変更
		158	11.8 説明文 変更、表11.13 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2011.07.29	165	12.3 説明文 変更
		166	表 12.4 追加
		169	13.2 説明文 変更
		173	表 13.6 変更
		174	13.2.3 変更
		179	表 13.8 変更
		182	図 13.7 図タイトル変更
		185、186	13.3.6～13.3.8 説明文 変更
		188	13.3.10.2 説明文 変更
		189、703	13.4.1、13.4.4、29.5.1、29.5.4 説明文 変更
		189、703	13.4.5、29.5.5 追加
		201	図 14.10 変更
		205	表 14.4 P3_3/SSI_0/INT3/TRCCLK_0/SCS_0/CTS2/RTS2/IVCMP3」 → 「P3_3/INT3/TRCCLK_0/SCS_0/CTS2/RTS2/IVCMP3」
		207	14.5.1 変更
		216	14.5.11 変更
		217、218	14.5.12～14.5.15 変更
		223	14.5.20 変更
		226	14.5.23 変更
		233	15.3.1 変更
		236	15.3.3 変更、表 15.4 変更
		239	15.3.5 変更
		240	図 15.2 変更
		242	15.4.3 説明文 変更、図 15.4 変更
		243	図 15.5 変更
		245	図 15.7 変更
		246	15.4.7 説明文 変更、15.4.8 タイトル 変更
		247、248、704、705	15.5、29.6 タイマRJ使用上の注意事項 (2)、(6)、(9)、(10)、(12)、(14) 説明文 変更、(15) 追加
		250	図 16.1 変更
		251	16.2 説明文 変更
		252	表 16.3 レジスタ名変更 「タイマRB2_0割り込み要求とステータスレジスタ」 → 「タイマRB2_0割り込み要求レジスタ」、注1 変更、注2 追加
		253	16.3.1 注2 変更、TSTARTビット(タイマRB2カウント開始ビット) 説明追加
		254	16.3.2 変更
		257	16.3.5 説明文 変更
260	16.3.8 タイトル変更 「タイマRB2_0割り込み要求とステータスレジスタ」 → 「タイマRB2_0割り込み要求レジスタ」		
261	16.4.1 注1 変更、図 16.2 変更		
262	図 16.3 追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2011.07.29	263	16.4.2 説明文 変更
		264	図16.4 変更
		265	図16.5 変更
		266	16.4.3 説明文 変更
		267	図16.6 変更
		268	図16.7 変更
		269	16.4.4 説明文 変更
		270	図16.8 変更
		271	図16.9 変更
		279	表16.8 「不定値」 → 「ハイインピーダンス」
		281、706	16.8、29.7 (2)、(3) 変更
		283	表17.1 変更
		285	表17.3 変更
		286	17.2.1 説明文 変更
		288	17.2.3 注3 追加
		289	17.2.4 ビット説明 変更
		291	表17.5 変更
		292、293	17.2.7、17.2.8 注2 追加
		295	17.2.10 説明文 変更
		298	17.2.13 説明文 変更
		299	17.2.14 変更
		305	17.3.2 説明文 変更
		320、321	17.4.4 説明文 変更、図17.23 変更、図17.24 変更
		329、709	17.6.8、17.6.9、29.8.8、29.8.9 説明文変更、17.6.10、29.8.10 追加
		347	18.2.13 変更
		358	18.2.23 「TRESEC」 → 「TREMIN」
		385	19.2.4 DFEビット(RXDデジタルフィルタ許可ビット) 説明追加
		386	19.2.5 注1、注2 変更
		387	19.2.6 注1 変更
		388	19.2.7 変更
		389	表19.4 注2 変更
		391	図19.3 変更
		394	表19.6 注1、注2 変更
396、397	図19.6、図19.7 変更		
400	表19.9 変更		
409	20.2.2 説明文 変更		
412	20.2.5 注3 変更		
413	20.2.6 注3、説明文 変更		
414	20.2.7 DF2ENビット(RXD2デジタルフィルタ許可ビット) 説明 追加		
415	20.2.8 変更		

改訂記録

R8C/38T-Aグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2011.07.29	459、461 516 529 609 625、719 642 673 674 675 676、677 678～687 693～695	21.1.2、21.1.3 説明文 変更 図21.29 変更 22. 説明文 変更 図25.4 変更 25.5.1、29.15.1 説明文 変更 表26.4 「32 MHz」 → 「20 MHz」 表28.2 変更 図28.1 変更 表28.3、表28.4 変更 表28.5、表28.6、注7 変更 表28.7～表28.19 変更 表28.22～表28.26 変更
1.00	2011.10.31	全ページ 3 58 76 79 90、111 160、701 187 234 236 237 238 243 246 247、248、 704、705 250 252 253 260 263 266、269 273 274 276、278 279 280 285	「暫定版」、「開発中」 削除 表1.2 消費電流 説明 変更 図6.8 割り込みテーブルレジスタ (INTB)の値 「0000h」 → 「00000h」 図8.1 変更 8.2.3 b0～b5ビット 変更、表8.3 追加 9.2.2、10.2.2 CM13ビットの機能説明 変更 図11.12、図29.1 注3 追加 表13.13 変更、13.3.9 説明文 変更 15.3.2 注3 変更 15.3.3 注2、注3 追加、表15.4、表15.5 変更 表15.6 変更 15.3.4 注1、注2、注4 変更、説明文 追加 15.4.4 説明文 変更、図15.6 追加 表15.7、表15.8 注1 追加 15.5、29.6 (1) 注1 追加、(6) 説明文 変更 図16.1 変更、注3 追加 表16.3 注1 変更、注2 削除 16.3.1 b0、b1ビット 機能説明、TSTARTビット 説明文 変更 表16.5 変更 16.4.2 説明文、注1 変更 16.4.3、16.4.4 説明文 変更 表16.6、表16.7 変更 16.5.2 説明文 変更 図16.12、図16.14 変更 16.5.3、16.5.4 説明文、表16.8 変更 16.6 説明文 変更 図17.1 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.10.31	290	17.2.5 b0～b3、b7ビット 機能説明 変更
		292、293	17.2.7、17.2.8 説明文 変更
		296	17.2.11 b0～b3ビット 機能説明 変更
		298	17.2.13 b0、b1ビット 変更、 b2、b3ビット 機能説明 変更
		301、302、303	17.3.1 説明文 変更
		305、309、311	17.3.2、17.3.3 説明文 変更
		317	図17.20 変更
		320	17.4.4 説明文 変更
		329、709	17.6.5、17.6.8、29.8.5、29.8.8 説明文 変更
		380	表19.1 変更
		383	19.2.1 注1 追加
		391	図19.3 変更
		395	表19.7 変更
		396、397	図19.6、図19.7 変更
		399	19.3.2.3 説明文、図19.8 変更
		432	20.3.2.7 説明文 変更
		470	21.2.6.1 b6、b7ビット 機能説明 変更
		544	表23.1、注1 「最短43ΦADサイクル」→「最短44ΦADサイクル」、注2 変更、
		553	図23.3 「15ΦAD」→「16ΦAD」、 図23.4 「43ΦAD」→「44ΦAD」、「15ΦAD」→「16ΦAD」
		554	表23.5 「ΦADの40サイクル」→「ΦADの40サイクル+fADの1～3サイクル」、 「ΦADの42サイクル」→「ΦADの42サイクル+fADの1～3サイクル」
		568、718	23.10.1、29.14.1 説明文 変更
		567	23.9 説明変更、図23.11 変更
		628	表26.1 プログラム、イレーズ回数 「0～10」→0～6」
		633	26.3.2 b0ビット 変更、注5 追加
		642	表26.4 変更
		648	26.5.7 説明文 変更
		666、725	26.8.1.9、29.16.1.9 説明文 変更
672	表28.1 Pd規格値 変更		
676	表28.5 規格値(最小) 変更		
682	表28.14 RfXCIN 追加		
683、685、687	表28.15、表28.17、表28.19 変更、注4 追加		
693	表28.22 変更		

すべての商標および登録商標は、それぞれの所有者に帰属します。

R8C/38T-Aグループ
ユーザーズマニュアル ハードウェア編

発行年月日 2011年4月28日 Rev.0.01
2011年10月31日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

R8C/38T-A グループ