

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/1Aグループ、R8C/1Bグループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
R8Cファミリ／R8C/1xシリーズ

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/1Aグループ、R8C/1Bグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/1Aグループ、R8C/1Bグループデータシート	RJJ03B0148
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/1Aグループ、R8C/1Bグループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU命令セットの説明	R8C/Tinyシリーズソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス テクノロジホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P3_5 端子、VCC 端子
- (2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数 : 11b
16進数 : EFA0h
10進数 : 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

ビットシンボル	ビット名	機能	RW
... 0	...ビット	b1 b0 0 0 : ... 0 1 : ... 1 0 : 設定しないでください 1 1 : ...	RW
... 1			RW
(b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-
(b4 - b3)	予約ビット	“0”にしてください	WO
... 5	...ビット	動作モードによって機能が異なる	RW
... 6			RW
... 7	...ビット	0 : ... 1 : ...	RO

* 1
空白 : 用途に応じて “0” または “1” にしてください。
0 : “0” にしてください。
1 : “1” にしてください。
x : 何も配置されていないビットです。

* 2
RW : 読むとビットの状態が読めます。書くと有効データになります。
RO : 読むとビットの状態が読めます。書いた値は無効になります。
WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

* 3
・予約ビット
予約ビットです。指定された値にしてください。

* 4
・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は “0” を書いてください。
・設定しないでください
設定した場合の動作は保証されません。
・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

* 5
リセット時 (00h)

4. 略語および略称の説明

略語/略称	フルスベル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NECエレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816規定のICカード
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

番地別ページ早見表	B-1
1. 概要	1
1.1 応用	1
1.2 性能概要	2
1.3 ブロック図	4
1.4 製品一覧	5
1.5 ピン接続図	9
1.6 端子の機能説明	12
2. 中央演算処理装置 (CPU)	15
2.1 データレジスタ (R0、R1、R2、R3).....	16
2.2 アドレスレジスタ (A0、A1).....	16
2.3 フレームベースレジスタ (FB).....	16
2.4 割り込みテーブルレジスタ (INTB).....	16
2.5 プログラムカウンタ (PC).....	16
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	16
2.7 スタティックベースレジスタ (SB)	16
2.8 フラグレジスタ (FLG).....	16
2.8.1 キャリフラグ (C フラグ)	16
2.8.2 デバッグフラグ (D フラグ)	16
2.8.3 ゼロフラグ (Z フラグ)	16
2.8.4 サインフラグ (S フラグ).....	16
2.8.5 レジスタバンク指定フラグ (B フラグ)	16
2.8.6 オーバフローフラグ (O フラグ)	17
2.8.7 割り込み許可フラグ (I フラグ)	17
2.8.8 スタックポインタ指定フラグ (U フラグ)	17
2.8.9 プロセッサ割り込み優先レベル (IPL)	17
2.8.10 予約ビット.....	17
3. メモリ	18
3.1 R8C/1A グループ	18
3.2 R8C/1B グループ	19

4.	SFR	20
5.	プログラマブル入出力ポート	24
5.1	プログラマブル入出力ポートの機能.....	24
5.2	周辺機能への影響.....	24
5.3	プログラマブル入出力ポート以外の端子.....	24
5.4	ポートの設定.....	32
5.5	未使用端子の処理.....	37
6.	リセット	38
6.1	ハードウェアリセット.....	40
6.1.1	電源が安定している場合.....	40
6.1.2	電源投入時.....	40
6.2	パワーオンリセット機能.....	42
6.3	電圧監視 1 リセット.....	43
6.4	電圧監視 2 リセット.....	43
6.5	ウォッチドッグタイマリセット.....	43
6.6	ソフトウェアリセット.....	43
7.	電圧検出回路	44
7.1	VCC 入力電圧.....	49
7.1.1	Vdet1 のモニタ.....	49
7.1.2	Vdet2 のモニタ.....	49
7.1.3	デジタルフィルタ.....	49
7.2	電圧監視 1 リセット.....	51
7.3	電圧監視 2 割り込み、電圧監視 2 リセット.....	52
8.	プロセッサモード	54
8.1	プロセッサモードの種類.....	54
9.	バス制御	56
10.	クロック発生回路	57
10.1	メインクロック.....	63
10.2	オンチップオシレータクロック.....	64
10.2.1	低速オンチップオシレータクロック.....	64
10.2.2	高速オンチップオシレータクロック.....	64

10.3	CPU クロックと周辺機能クロック	65
10.3.1	システムクロック	65
10.3.2	CPU クロック	65
10.3.3	周辺機能クロック (f1、f2、f4、f8、f32)	65
10.3.4	fRING、fRING128	65
10.3.5	fRING-fast	65
10.3.6	fRING-S	65
10.4	パワーコントロール	66
10.4.1	通常動作モード	66
10.4.2	ウェイトモード	67
10.4.3	ストップモード	70
10.5	発振停止検出機能	72
10.5.1	発振停止検出機能の使用方法	72
10.6	クロック発生回路使用上の注意	74
10.6.1	ストップモード	74
10.6.2	ウェイトモード	74
10.6.3	発振停止検出機能	74
10.6.4	発振回路定数	74
10.6.5	高速オンチップオシレータクロック	75
11.	プロテクト	76
12.	割り込み	77
12.1	割り込みの概要	77
12.1.1	割り込みの分類	77
12.1.2	ソフトウェア割り込み	78
12.1.3	特殊割り込み	79
12.1.4	周辺機能割り込み	79
12.1.5	割り込みと割り込みベクタ	80
12.1.6	割り込み制御	82
12.2	<u>INT</u> 割り込み	91
12.2.1	<u>INT0</u> 割り込み	91
12.2.2	<u>INT0</u> 入力フィルタ	92
12.2.3	<u>INT1</u> 割り込み	93
12.2.4	<u>INT3</u> 割り込み	94

12.3	キー入力割り込み.....	96
12.4	アドレス一致割り込み.....	98
12.5	割り込み使用上の注意.....	100
12.5.1	00000h 番地の読み出し.....	100
12.5.2	SP の設定.....	100
12.5.3	外部割り込み、キー入力割り込み.....	100
12.5.4	ウォッチドッグタイマ割り込み.....	100
12.5.5	割り込み要因の変更.....	101
12.5.6	割り込み制御レジスタの変更.....	102
13.	ウォッチドッグタイマ.....	103
13.1	カウントソース保護モード無効時.....	106
13.2	カウントソース保護モード有効時.....	107
14.	タイマ.....	108
14.1	タイマ X.....	109
14.1.1	タイマモード.....	112
14.1.2	パルス出力モード.....	113
14.1.3	イベントカウンタモード.....	115
14.1.4	パルス幅測定モード.....	116
14.1.5	パルス周期測定モード.....	119
14.1.6	タイマ X 使用上の注意.....	122
14.2	タイマ Z.....	123
14.2.1	タイマモード.....	128
14.2.2	プログラマブル波形発生モード.....	130
14.2.3	プログラマブルワンショット発生モード.....	133
14.2.4	プログラマブルウェイトワンショット発生モード.....	136
14.2.5	タイマ Z 使用上の注意.....	139
14.3	タイマ C.....	140
14.3.1	インプットキャプチャモード.....	146
14.3.2	アウトプットコンペアモード.....	148
14.3.3	タイマ C 使用上の注意.....	150
15.	シリアルインタフェース.....	151
15.1	クロック同期形シリアル I/O モード.....	156
15.1.1	極性選択機能.....	159

15.1.2	LSB ファースト、MSB ファースト選択	159
15.1.3	連続受信モード	160
15.2	クロック非同期形シリアル I/O(UART) モード	161
15.2.1	CNTR0 端子選択機能	164
15.2.2	ビットレート	165
15.3	シリアルインタフェース使用上の注意	166
16.	クロック同期形シリアルインタフェース	167
16.1	モード選択	167
16.2	チップセレクト付クロック同期形シリアル I/O(SSU)	168
16.2.1	転送クロック	177
16.2.2	SS シフトレジスタ (SSTRSR).....	179
16.2.3	割り込み要求	180
16.2.4	各通信モードと端子機能	181
16.2.5	クロック同期式通信モード	182
16.2.6	4 線式バス通信モード	189
16.2.7	SCS 端子制御とアービトレーション	195
16.2.8	チップセレクト付クロック同期形シリアル I/O 使用上の注意	196
16.3	I ² C バスインタフェース	197
16.3.1	転送クロック	207
16.3.2	割り込み要求	208
16.3.3	I ² C バスインタフェースモード	209
16.3.4	クロック同期式シリアルモード	220
16.3.5	ノイズ除去回路	224
16.3.6	ビット同期回路	225
16.3.7	レジスタ設定例	226
16.3.8	I ² C バスインタフェース使用上の注意	230
17.	A/D コンバータ	231
17.1	単発モード	235
17.2	繰り返しモード	237
17.3	サンプル & ホールド	239
17.4	A/D 変換サイクル数	239
17.5	アナログ入力内部等価回路	240
17.6	注入電流バイパス回路	241

17.7	A/D 変換時のセンサーの出力インピーダンス.....	242
17.8	A/D コンバータ使用上の注意.....	243
18.	フラッシュメモリ.....	244
18.1	概要.....	244
18.2	メモリ配置.....	245
18.3	フラッシュメモリ書き換え禁止機能.....	247
18.3.1	ID コードチェック機能.....	247
18.3.2	ROM コードプロテクト機能.....	248
18.4	CPU 書き換えモード.....	249
18.4.1	EW0 モード.....	250
18.4.2	EW1 モード.....	250
18.4.3	ソフトウェアコマンド.....	259
18.4.4	ステータスレジスタ.....	264
18.4.5	フルステータスチェック.....	265
18.5	標準シリアル入出力モード.....	267
18.5.1	ID コードチェック機能.....	267
18.6	パラレル入出力モード.....	271
18.6.1	ROM コードプロテクト機能.....	271
18.7	フラッシュメモリ使用上の注意.....	272
18.7.1	CPU 書き換えモード.....	272
19.	電気的特性.....	274
20.	使用上の注意事項.....	294
20.1	クロック発生回路使用上の注意.....	294
20.1.1	ストップモード.....	294
20.1.2	ウェイトモード.....	294
20.1.3	発振停止検出機能.....	294
20.1.4	発振回路定数.....	294
20.1.5	高速オンチップオシレータクロック.....	295
20.2	割り込み使用上の注意.....	296
20.2.1	00000h 番地の読み出し.....	296
20.2.2	SP の設定.....	296
20.2.3	外部割り込み、キー入力割り込み.....	296
20.2.4	ウォッチドッグタイマ割り込み.....	296

20.2.5	割り込み要因の変更	297
20.2.6	割り込み制御レジスタの変更	298
20.3	タイマ	299
20.3.1	タイマ X 使用上の注意	299
20.3.2	タイマ Z 使用上の注意	300
20.3.3	タイマ C 使用上の注意	300
20.4	シリアルインタフェース使用上の注意	301
20.5	クロック同期形シリアルインタフェース使用上の注意	302
20.5.1	チップセレクト付クロック同期形シリアル I/O 使用上の注意	302
20.5.2	I ² C バスインタフェース使用上の注意	303
20.6	A/D コンバータ使用上の注意	304
20.7	フラッシュメモリ使用上の注意	305
20.7.1	CPU 書き換えモード	305
20.8	ノイズに関する注意事項	307
20.8.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間への バイパスコンデンサ挿入	307
20.8.2	ポート制御レジスタのノイズ誤動作対策	307
21.	オンチップデバッグの注意事項	308
付録 1.	外形寸法図	309
付録 2.	シリアルライターとオンチップデバッグエミュレータとの 接続例	311
付録 3.	発振評価回路例	312
索引	313

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	54
0005h	プロセッサモードレジスタ1	PM1	55
0006h	システムクロック制御レジスタ0	CM0	59
0007h	システムクロック制御レジスタ1	CM1	60
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	99
000Ah	プロテクトレジスタ	PRCR	76
000Bh			
000Ch	発振停止検出レジスタ	OCD	61
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	105
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	105
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	104
0010h	アドレス一致割り込みレジスタ0	RMAD0	99
0011h			
0012h			
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	99
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	105
001Dh			
001Eh	INT0入力フィルタ選択レジスタ	INT0F	91
001Fh			
0020h	高速オンチップオシレータ制御レジスタ0	HRA0	62
0021h	高速オンチップオシレータ制御レジスタ1	HRA1	62
0022h	高速オンチップオシレータ制御レジスタ2	HRA2	62
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h			
0031h	電圧検出レジスタ1	VCA1	46
0032h	電圧検出レジスタ2	VCA2	46
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ	VW1C	47
0037h	電圧監視2回路制御レジスタ	VW2C	48
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	82
004Eh	A/Dコンバータ変換割り込み制御レジスタ	ADIC	82
004Fh	SSU割り込み制御レジスタ/IIC割り込み制御レジスタ	SSUAIC/IIC2AIC	82
0050h	コンペア1割り込み制御レジスタ	CMP1IC	82
0051h	UART0送信割り込み制御レジスタ	S0TIC	82
0052h	UART0受信割り込み制御レジスタ	S0RIC	82
0053h	UART1送信割り込み制御レジスタ	S1TIC	82
0054h	UART1受信割り込み制御レジスタ	S1RIC	82
0055h			
0056h	タイマX割り込み制御レジスタ	TXIC	82
0057h			
0058h	タイマZ割り込み制御レジスタ	TZIC	82
0059h	INT1割り込み制御レジスタ	INT1IC	82
005Ah	INT3割り込み制御レジスタ	INT3IC	82
005Bh	タイマC割り込み制御レジスタ	TCIC	82
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	82
005Dh	INT0割り込み制御レジスタ	INT0IC	83
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0080h	タイマZモードレジスタ	TZMR	124
0081h			
0082h			
0083h			
0084h	タイマZ波形出力制御レジスタ	PUM	126
0085h	プリスケアラZレジスタ	PREZ	125
0086h	タイマZセカンダリレジスタ	TZSC	125
0087h	タイマZプライマリレジスタ	TZPR	125
0088h			
0089h			
008Ah	タイマZ出力制御レジスタ	TZOC	126
008Bh	タイマXモードレジスタ	TXMR	110
008Ch	プリスケアラXレジスタ	PREX	111
008Dh	タイマXレジスタ	TX	111
008Eh	タイマカウントソース設定レジスタ	TCSS	111、127
008Fh			
0090h	タイマCレジスタ	TC	142
0091h			
0092h			
0093h			
0094h			
0095h			
0096h	外部入力許可レジスタ	INTEN	91
0097h			
0098h	キー入力許可レジスタ	KIEN	97
0099h			
009Ah	タイマC制御レジスタ0	TCC0	143
009Bh	タイマC制御レジスタ1	TCC1	144
009Ch	キャプチャ、コンペア0レジスタ	TM0	142
009Dh			
009Eh	コンペア1レジスタ	TM1	142
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	154
00A1h	UART0ビットレートレジスタ	U0BRG	153
00A2h	UART0送信バッファレジスタ	U0TB	153
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	154
00A5h	UART0送受信制御レジスタ1	U0C1	155
00A6h	UART0受信バッファレジスタ	U0RB	153
00A7h			
00A8h	UART1送受信モードレジスタ	U1MR	154
00A9h	UART1ビットレートレジスタ	U1BRG	153
00AAh	UART1送信バッファレジスタ	U1TB	153
00ABh			
00ACh	UART1送受信制御レジスタ0	U1C0	154
00ADh	UART1送受信制御レジスタ1	U1C1	155
00AEh	UART1受信バッファレジスタ	U1RB	153
00AFh			
00B0h	UART送受信制御レジスタ2	UCON	155
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH/IICバス制御レジスタ1	SSCRH / ICCR1	170、200
00B9h	SS制御レジスタL/IICバス制御レジスタ2	SSCRL / ICCR2	171、201
00BAh	SSモードレジスタ/IICバスモードレジスタ	SSMR / ICMR	172、202
00BBh	SS許可レジスタ/IIC割り込み許可レジスタ	SSER / ICIER	173、203
00BCh	SSステータスレジスタ/IICバスステータスレジスタ	SSSR / ICSR	174、204
00BDh	SSモードレジスタ2/スレーブアドレスレジスタ	SSMR2 / SAR	175、205
00BEh	SS送信データレジスタ/IICバス送信データレジスタ	SSTDR / ICDRT	176、205
00BFh	SS受信データレジスタ/IICバス受信データレジスタ	SSRDR / ICDRR	176、205

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
00C0h	A/Dレジスタ	AD	234
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D制御レジスタ2	ADCON2	234
00D5h			
00D6h	A/D制御レジスタ0	ADCON0	233
00D7h	A/D制御レジスタ1	ADCON1	233
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポートP1レジスタ	P1	29
00E2h			
00E3h	ポートP1方向レジスタ	PD1	29
00E4h			
00E5h	ポートP3レジスタ	P3	29
00E6h			
00E7h	ポートP3方向レジスタ	PD3	29
00E8h	ポートP4レジスタ	P4	30
00E9h			
00EAh	ポートP4方向レジスタ	PD4	29
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h	ポートモードレジスタ	PMR	30、176、206
00F9h			
00FAh			
00FBh			
00FCh	ブルアップ制御レジスタ0	PUR0	31
00FDh	ブルアップ制御レジスタ1	PUR1	31
00FEh	ポートP1駆動能力制御レジスタ	DRR	31
00FFh	タイマC出力制御レジスタ	TCOUT	145

番地	レジスタ	シンボル	掲載 ページ
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	255
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	254
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	253
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

0FFFh	オプション機能選択レジスタ	OFS	104、248
-------	---------------	-----	---------

注1. 空欄および0100h ~ 01AFh番地、01C0h ~ 02FFh番地は予約領域です。アクセスしないでください。

1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/TinyシリーズCPUコアを搭載したシングルチップマイクロコンピュータで、20ピンプラスチックモールドLSSOP、SDIPまたは28ピンプラスチックモールドHWQFNに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

さらに、R8C/1BグループはデータフラッシュROM(1KB×2ブロック)を内蔵します。

R8C/1AグループとR8C/1Bグループの違いはデータフラッシュROMの有無だけです。周辺機能は同一です。

1.1 応用

家電、事務機器、住設機器（センサ、セキュリティ）携帯機器、産業一般、オーディオ、他

1.2 性能概要

表 1.1にR8C/1Aグループの性能概要を、表 1.2にR8C/1Bグループの性能概要を示します。

表 1.1 R8C/1Aグループの性能概要

	項目	性能	
CPU	基本命令数	89 命令	
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1M バイト	
	メモリ容量	表 1.3 を参照してください。	
周辺機能	ポート	入出力：13 本 (LED 駆動用ポート含む) 入力：3 本	
	LED 駆動用ポート	入出力：4 本	
	タイマ	タイマ X：8 ビット×1 チャンネル、 タイマ Z：8 ビット×1 チャンネル (各タイマ：8 ビットプリスケアラ付)、 タイマ C：16 ビット×1 チャンネル (インプットキャプチャ回路、アウトプットコンペア回路)	
	シリアルインタフェース	1 チャンネル クロック同期形シリアル I/O、クロック非同期形シリアル I/O 1 チャンネル クロック非同期形シリアル I/O	
	クロック同期形シリアルインタフェース	1 チャンネル I ² C バスインタフェース(注 1)、 チップセレクト付クロック同期形シリアル I/O(SSU)	
	A/D コンバータ	10 ビット A/D コンバータ：1 回路、4 チャンネル	
	ウォッチドッグタイマ	15 ビット×1 チャンネル (プリスケアラ付) リセットスタート機能選択可能、カウントソース保護モード	
	割り込み	内部：11 要因、外部：4 要因、ソフトウェア：4 要因、 割り込み優先レベル：7 レベル	
	クロック発生回路	2 回路 ・メインクロック発振回路 (帰還抵抗内蔵) ・オンチップオシレータ (高速、低速) 高速オンチップオシレータは周波数調整機能付き	
	発振停止検出機能	メインクロック発振停止検出機能	
	電圧検出回路	内蔵	
	パワーオンリセット回路	内蔵	
	電気的特性	電源電圧	VCC=3.0 ~ 5.5V (f(XIN)=20MHz) VCC=2.7 ~ 5.5V (f(XIN)=10MHz)
		消費電流	標準 9mA (VCC=5V、f(XIN)=20MHz、A/D コンバータ停止時) 標準 5mA (VCC=3V、f(XIN)=10MHz、A/D コンバータ停止時) 標準 35 μ A (VCC=3V、ウェイトモード、周辺クロック停止) 標準 0.7 μ A (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレーズ回数	100 回	
動作周囲温度		- 20 ~ 85	
		- 40 ~ 85 (D バージョン)	
		- 20 ~ 105 (Y バージョン) (注 2)	
パッケージ		20 ピンプラスチックモールド LSSOP	
		20 ピンプラスチックモールド SDIP	
		28 ピンプラスチックモールド HWQFN	

注 1. I²C bus は、オランダ PHILIPS 社の登録商標です。

注 2. Y バージョンについては、ルネサス テクノロジ営業窓口へお問い合わせください。

表 1.2 R8C/1Bグループの性能概要

項目	性能		
CPU	基本命令数	89 命令	
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1M バイト	
	メモリ容量	表 1.4 を参照してください。	
周辺機能	ポート	入出力：13 本 (LED 駆動用ポート含む) 入力：3 本	
	LED 駆動用ポート	入出力：4 本	
	タイマ	タイマ X：8 ビット×1 チャンネル、 タイマ Z：8 ビット×1 チャンネル(各タイマ：8 ビットプリスケアラ付) タイマ C：16 ビット×1 チャンネル (インプットキャプチャ回路、アウトプットコンペア回路)	
	シリアルインタフェース	1 チャンネル クロック同期形シリアル I/O、クロック非同期形シリアル I/O 1 チャンネル クロック非同期形シリアル I/O	
	クロック同期形シリアルインタフェース	1 チャンネル I ² C バスインタフェース(注1)、 チップセレクト付クロック同期形シリアル I/O(SSU)	
	A/D コンバータ	10 ビット A/D コンバータ：1 回路、4 チャンネル	
	ウォッチドッグタイマ	15 ビット×1 チャンネル (プリスケアラ付) リセットスタート機能選択可能、カウントソース保護モード	
	割り込み	内部：11 要因、外部：4 要因、ソフトウェア：4 要因、 割り込み優先レベル：7 レベル	
	クロック発生回路	2 回路 ・メインクロック発振回路 (帰還抵抗内蔵) ・オンチップオシレータ (高速、低速) 高速オンチップオシレータは周波数調整機能付き	
	発振停止検出機能	メインクロック発振停止検出機能	
	電圧検出回路	内蔵	
	パワーオンリセット回路	内蔵	
	電気的特性	電源電圧	VCC=3.0 ~ 5.5V (f(XIN)=20MHz) VCC=2.7 ~ 5.5V (f(XIN)=10MHz)
		消費電流	標準 9mA (VCC=5V、f(XIN)=20MHz、A/D コンバータ停止時) 標準 5mA (VCC=3V、f(XIN)=10MHz、A/D コンバータ停止時) 標準 35 μ A (VCC=3V、ウェイトモード、周辺クロック停止) 標準 0.7 μ A (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレース電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレース回数	10,000 回 (データフラッシュ) 1,000 回 (プログラム ROM)	
動作周囲温度		- 20 ~ 85	
		- 40 ~ 85 (Dバージョン)	
		- 20 ~ 105 (Yバージョン)(注2)	
パッケージ		20 ピンプラスチックモールド LSSOP	
		20 ピンプラスチックモールド SDIP	
		28 ピンプラスチックモールド HWQFN	

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. Yバージョンについては、ルネサステクノロジー営業窓口へお問い合わせください。

1.3 ブロック図

図 1.1にブロック図を示します。

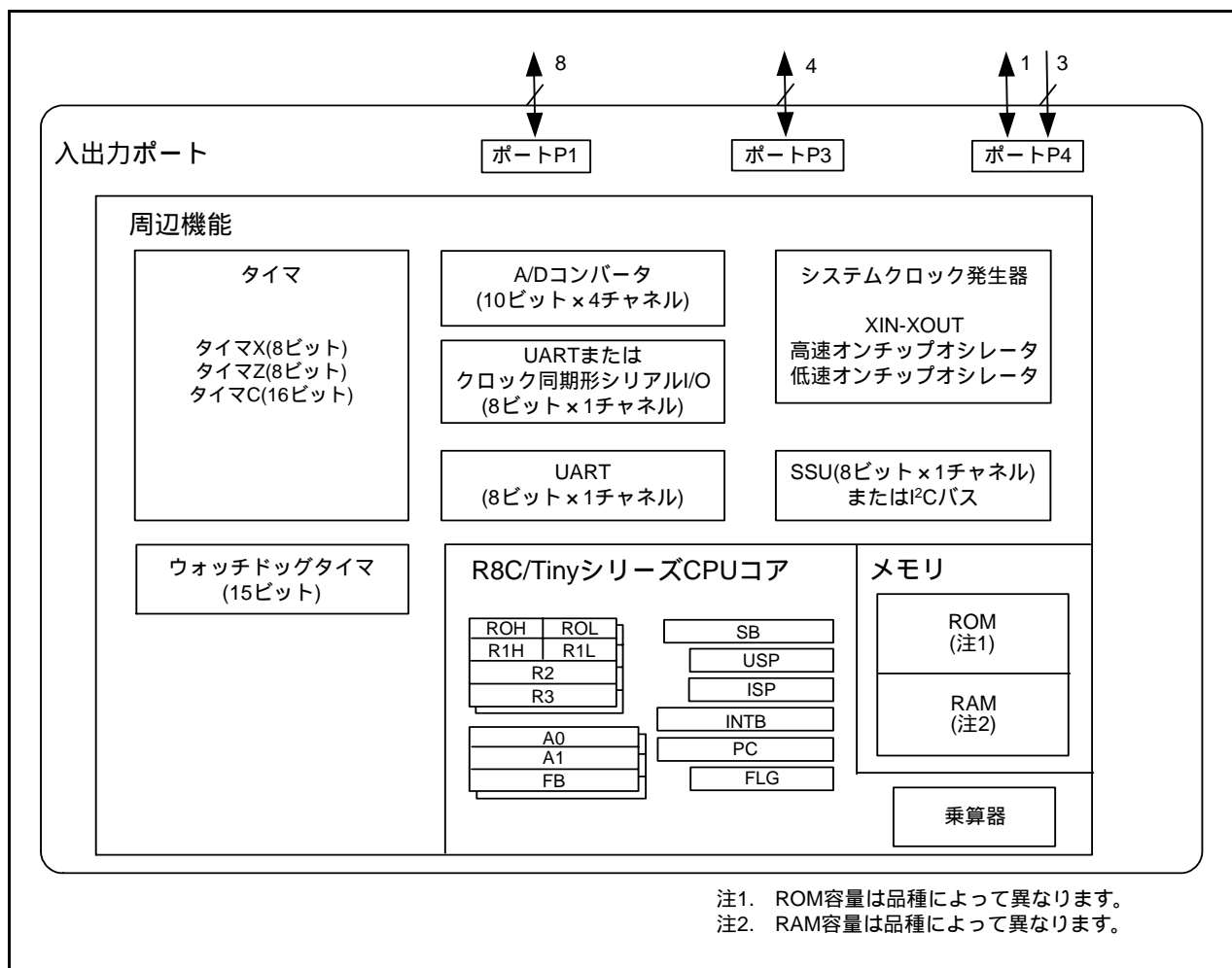


図 1.1 ブロック図

1.4 製品一覧

表 1.3にR8C/1Aグループの製品一覧表を、表 1.4にR8C/1Bグループの製品一覧表を示します。

表 1.3 R8C/1Aグループの製品一覧表

2006年12月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F211A1SP	4Kバイト	384バイト	PLSP0020JB-A	
R5F211A2SP	8Kバイト	512バイト	PLSP0020JB-A	
R5F211A3SP	12Kバイト	768バイト	PLSP0020JB-A	
R5F211A4SP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F211A1DSP	4Kバイト	384バイト	PLSP0020JB-A	Dバージョン
R5F211A2DSP	8Kバイト	512バイト	PLSP0020JB-A	
R5F211A3DSP	12Kバイト	768バイト	PLSP0020JB-A	
R5F211A4DSP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F211A1DD	4Kバイト	384バイト	PRDP0020BA-A	
R5F211A2DD	8Kバイト	512バイト	PRDP0020BA-A	
R5F211A3DD	12Kバイト	768バイト	PRDP0020BA-A	
R5F211A4DD	16Kバイト	1Kバイト	PRDP0020BA-A	
R5F211A2NP	8Kバイト	512バイト	PWQN0028KA-B	
R5F211A3NP	12Kバイト	768バイト	PWQN0028KA-B	
R5F211A4NP	16Kバイト	1Kバイト	PWQN0028KA-B	
R5F211A1XXXSP	4Kバイト	384バイト	PLSP0020JB-A	
R5F211A2XXXSP	8Kバイト	512バイト	PLSP0020JB-A	
R5F211A3XXXSP	12Kバイト	768バイト	PLSP0020JB-A	
R5F211A4XXXSP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F211A1DXXXSP	4Kバイト	384バイト	PLSP0020JB-A	Dバージョン
R5F211A2DXXXSP	8Kバイト	512バイト	PLSP0020JB-A	
R5F211A3DXXXSP	12Kバイト	768バイト	PLSP0020JB-A	
R5F211A4DXXXSP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F211A1XXXDD	4Kバイト	384バイト	PRDP0020BA-A	書き込み出荷品(注1)
R5F211A2XXXDD	8Kバイト	512バイト	PRDP0020BA-A	
R5F211A3XXXDD	12Kバイト	768バイト	PRDP0020BA-A	
R5F211A4XXXDD	16Kバイト	1Kバイト	PRDP0020BA-A	
R5F211A2XXXNP	8Kバイト	512バイト	PWQN0028KA-B	
R5F211A3XXXNP	12Kバイト	768バイト	PWQN0028KA-B	
R5F211A4XXXNP	16Kバイト	1Kバイト	PWQN0028KA-B	
R5F211A1XXXNP	4Kバイト	384バイト	PWQN0028KA-B	

注1.ユーザROMを書き込んで出荷します。

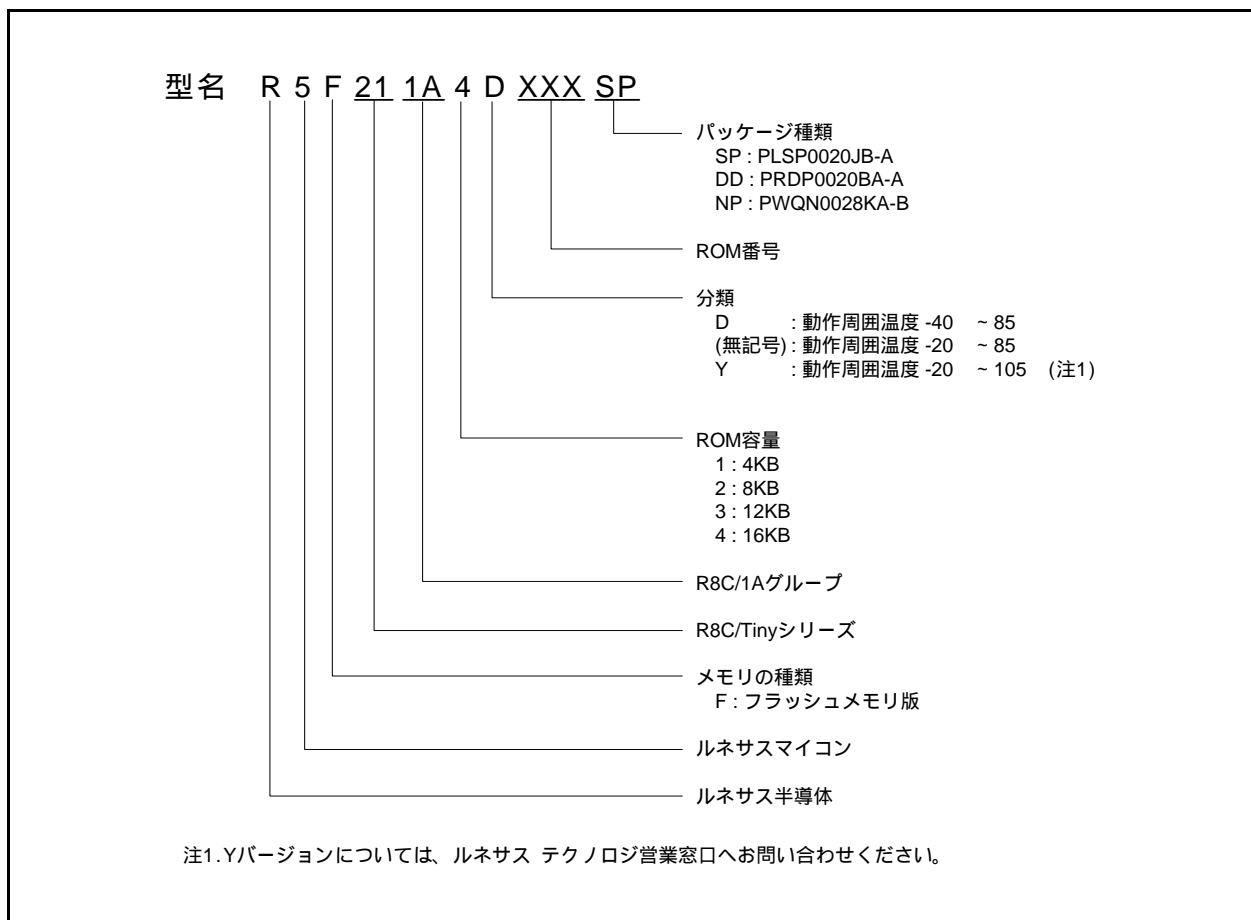


図 1.2 型名とメモリサイズ・パッケージ

表 1.4 R8C/1Bグループの製品一覧表

2006年12月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F211B1SP	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	
R5F211B2SP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F211B3SP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F211B4SP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F211B1DSP	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	Dバージョン
R5F211B2DSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F211B3DSP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F211B4DSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F211B1DD	4Kバイト	1Kバイト×2	384バイト	PRDP0020BA-A	
R5F211B2DD	8Kバイト	1Kバイト×2	512バイト	PRDP0020BA-A	
R5F211B3DD	12Kバイト	1Kバイト×2	768バイト	PRDP0020BA-A	
R5F211B4DD	16Kバイト	1Kバイト×2	1Kバイト	PRDP0020BA-A	
R5F211B2NP	8Kバイト	1Kバイト×2	512バイト	PWQN0028KA-B	
R5F211B3NP	12Kバイト	1Kバイト×2	768バイト	PWQN0028KA-B	
R5F211B4NP	16Kバイト	1Kバイト×2	1Kバイト	PWQN0028KA-B	
R5F211B1XXXSP	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	
R5F211B2XXXSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F211B3XXXSP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F211B4XXXSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F211B1DXXXSP	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	Dバージョン
R5F211B2DXXXSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F211B3DXXXSP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F211B4DXXXSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F211B1XXXDD	4Kバイト	1Kバイト×2	384バイト	PRDP0020BA-A	書き込み出荷品(注1)
R5F211B2XXXDD	8Kバイト	1Kバイト×2	512バイト	PRDP0020BA-A	
R5F211B3XXXDD	12Kバイト	1Kバイト×2	768バイト	PRDP0020BA-A	
R5F211B4XXXDD	16Kバイト	1Kバイト×2	1Kバイト	PRDP0020BA-A	
R5F211B2XXXNP	8Kバイト	1Kバイト×2	512バイト	PWQN0028KA-B	
R5F211B3XXXNP	12Kバイト	1Kバイト×2	768バイト	PWQN0028KA-B	
R5F211B4XXXNP	16Kバイト	1Kバイト×2	1Kバイト	PWQN0028KA-B	
R5F211B4XXXNP	16Kバイト	1Kバイト×2	1Kバイト	PWQN0028KA-B	

注1.ユーザROMを書き込んで出荷します。

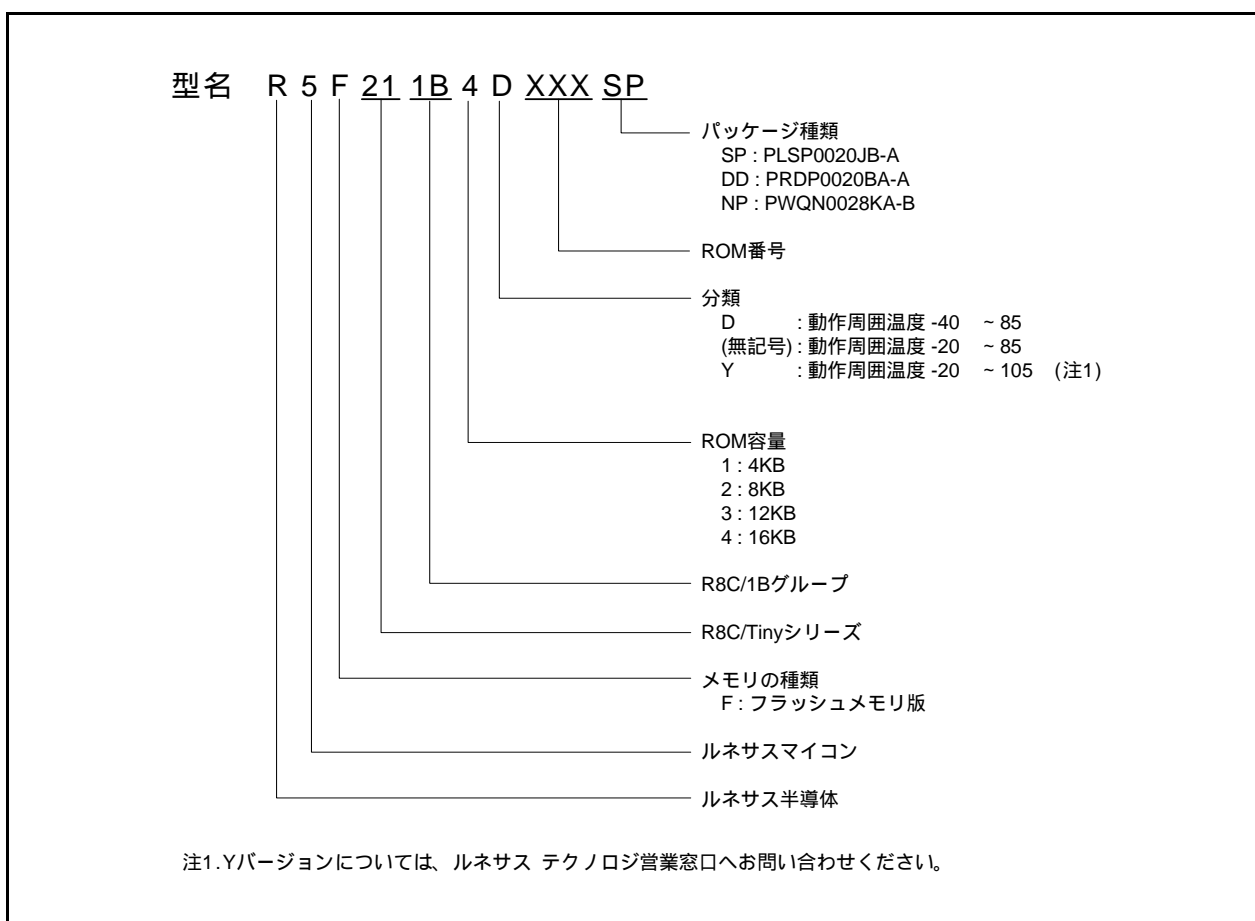


図 1.3 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図 1.4にPLSP0020JB-Aパッケージ品のピン接続図(上面図)を、図 1.5にPRDP0020BA-Aパッケージ品のピン接続図(上面図)を、図 1.6にPWQN0028KA-Bパッケージ品のピン接続図(上面図)を示します。

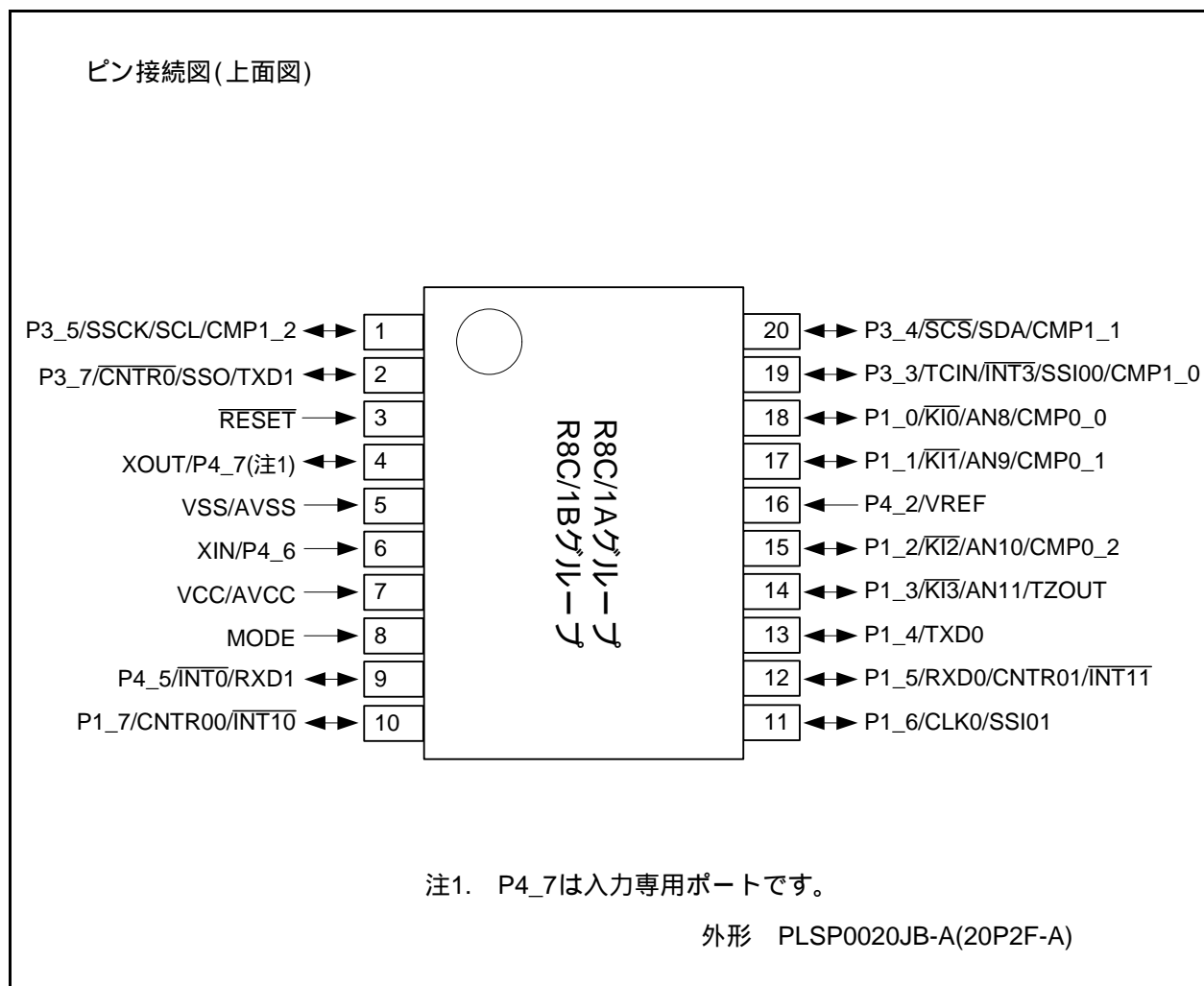


図 1.4 PLSP0020JB-Aパッケージ品のピン接続図(上面図)

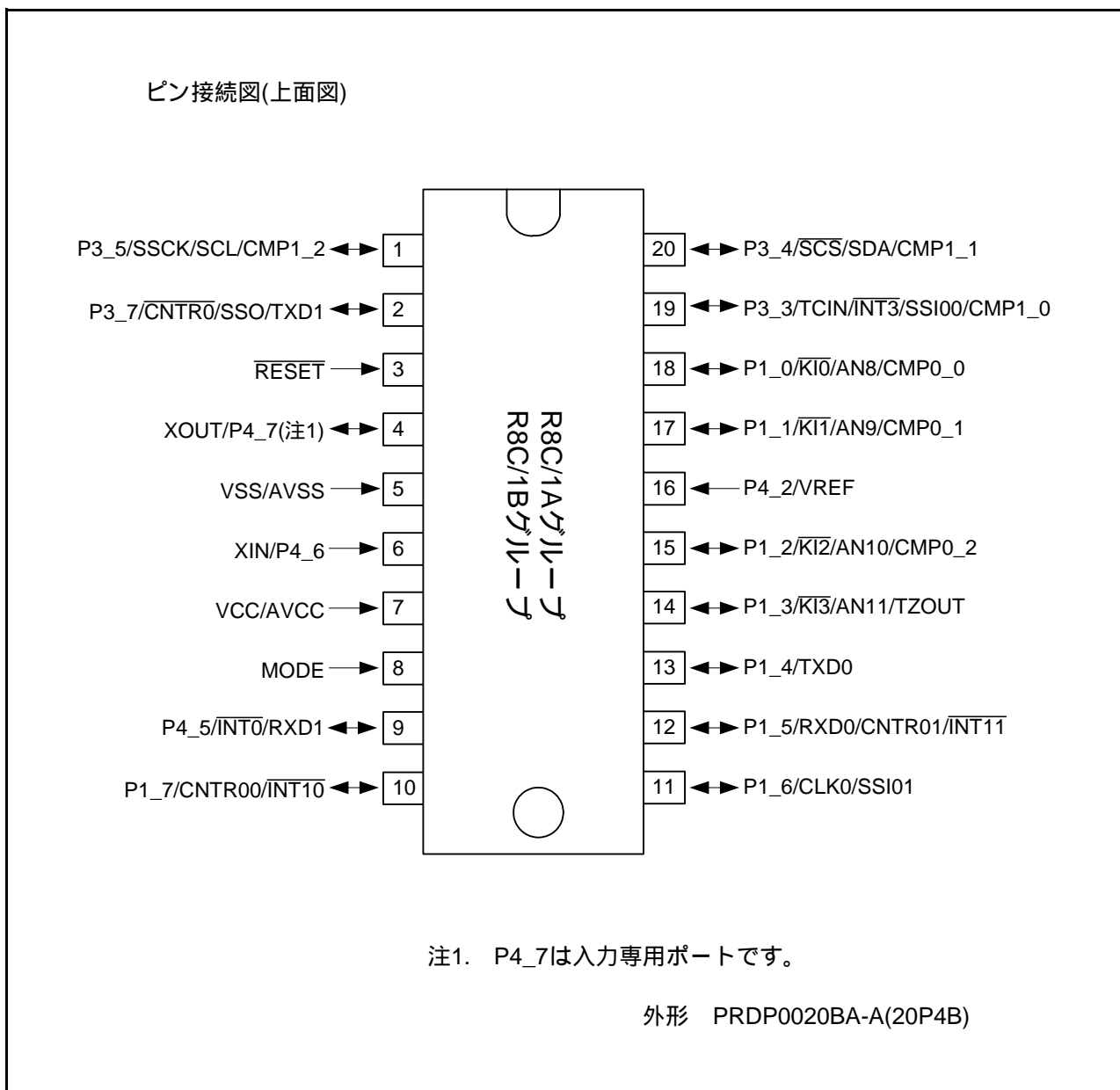


図 1.5 PRDP0020BA-Aパッケージ品のピン接続図(上面図)

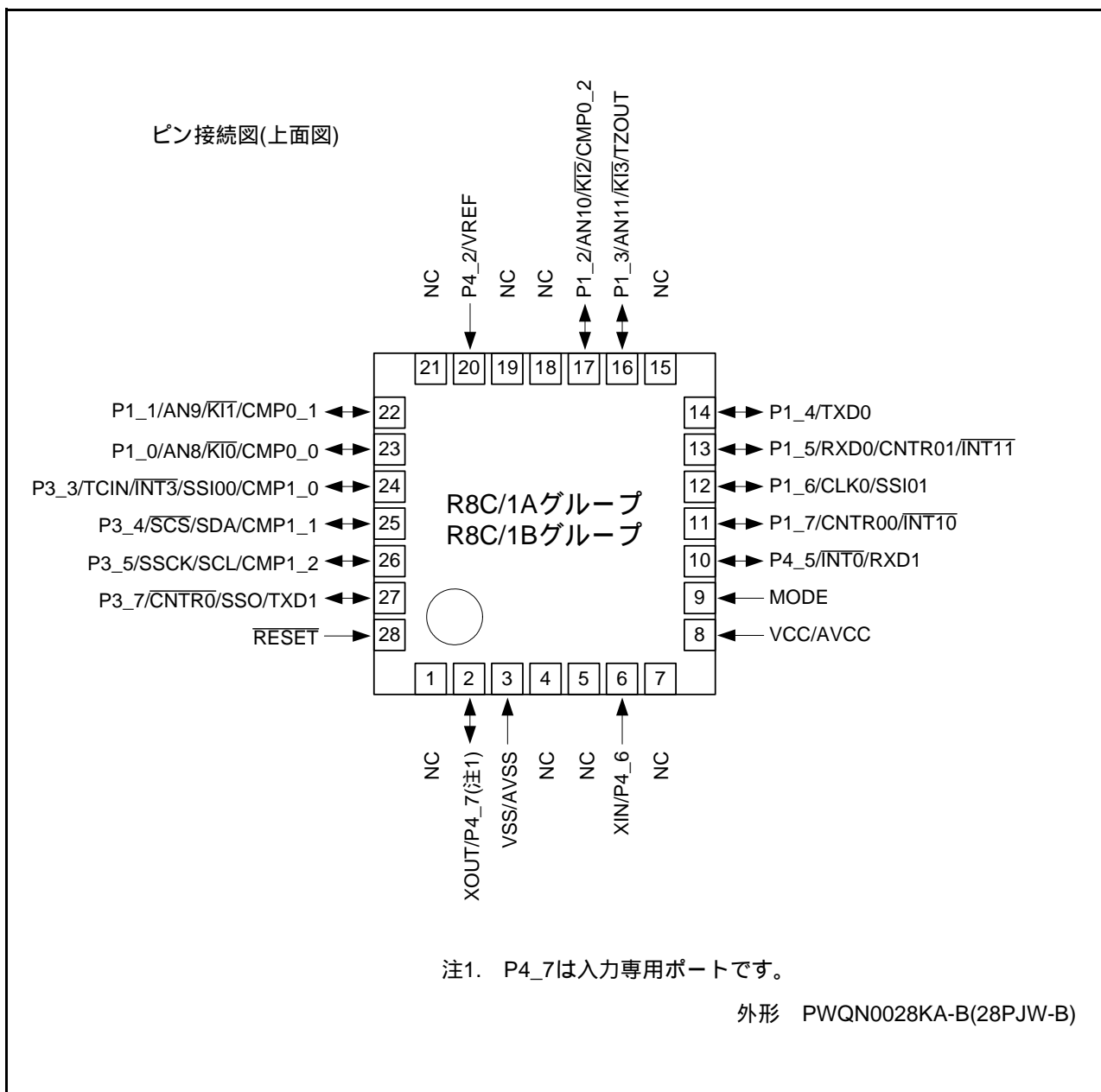


図 1.6 PWQN0028KA-Bパッケージ品のピン接続図(上面図)

1.6 端子の機能説明

表 1.5 に端子の機能説明を、表 1.6 に PLSP0020JB-A、PRDP0020BA-A パッケージ品のピン番号別端子名一覧を、表 1.7 に PWQN0028KA-B パッケージ品のピン番号別端子名一覧を示します。

表 1.5 端子の機能説明

分類	端子名	入出力	機能
電源入力	VCC、VSS	入力	VCCには、2.7V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	入力	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	
INT割り込み入力	INT0、INT1、INT3	入力	INT割り込みの入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマX	CNTR0	入出力	タイマXの入出力です。
	CNTR0	出力	タイマXの出力です。
タイマZ	TZOUT	出力	タイマZの出力です。
タイマC	TCIN	入力	タイマCの入力です。
	CMP0_0～CMP0_2、 CMP1_0～CMP1_2	出力	タイマCの出力です。
シリアルインタフェース	CLK0	入出力	転送クロック入出力です。
	RXD0、RXD1	入力	シリアルデータ入力です。
	TXD0、TXD1	出力	シリアルデータ出力です。
チップセレクト付クロック同期形シリアルI/O(SSU)	SSI00、SSI01	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
I ² Cバスインタフェース	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN8～AN11	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P1_0～P1_7、 P3_3～P3_5、 P3_7、P4_5	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP1_0～P1_3はLED駆動ポートとして使用できません。
入力ポート	P4_2、P4_6、 P4_7	入力	入力専用ポートです。

表 1.6 PLSP0020JB-A、PRDP0020BA-Aパッケージ品のピン番号別端子名一覧

ピン 番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタ フェース	チップセレクト 付クロック同期 形シリアルI/O	I ² Cバスイン タフェース	A/Dコン バータ
1		P3_5		CMP1_2		SSCK	SCL	
2		P3_7		CNTR0	TXD1	SSO		
3	RESET							
4	XOUT	P4_7						
5	VSS/AVSS							
6	XIN	P4_6						
7	VCC/AVCC							
8	MODE							
9		P4_5	INT0		RXD1			
10		P1_7	INT10	CNTR00				
11		P1_6			CLK0	SSI01		
12		P1_5	INT11	CNTR01	RXD0			
13		P1_4			TXD0			
14		P1_3	KI3	TZOUT				AN11
15		P1_2	KI2	CMP0_2				AN10
16	VREF	P4_2						
17		P1_1	KI1	CMP0_1				AN9
18		P1_0	KI0	CMP0_0				AN8
19		P3_3	INT3	TCIN/CMP1_0		SSI00		
20		P3_4		CMP1_1		SCS	SDA	

表 1.7 PWQN0028KA-Bパッケージ品のピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアルインタフェース	チップセレクト付クロック同期形シリアルI/O	I ² Cバスインタフェース	A/Dコンバータ
1	NC							
2	XOUT	P4_7						
3	VSS/AVSS							
4	NC							
5	NC							
6	XIN	P4_6						
7	NC							
8	VCC/AVCC							
9	MODE							
10		P4_5	$\overline{\text{INT0}}$		RXD1			
11		P1_7	$\overline{\text{INT10}}$	CNTR00				
12		P1_6			CLK0	SSI01		
13		P1_5	$\overline{\text{INT11}}$	CNTR01	RXD0			
14		P1_4			TXD0			
15	NC							
16		P1_3	$\overline{\text{KI3}}$	TZOUT				AN11
17		P1_2	$\overline{\text{KI2}}$	CMP0_2				AN10
18	NC							
19	NC							
20	VREF	P4_2						
21	NC							
22		P1_1	$\overline{\text{KI1}}$	CMP0_1				AN9
23		P1_0	$\overline{\text{KI0}}$	CMP0_0				AN8
24		P3_3	$\overline{\text{INT3}}$	TCIN/CMP1_0		SSI00		
25		P3_4		CMP1_1		$\overline{\text{SCS}}$	SDA	
26		P3_5		CMP1_2		SSCK	SCL	
27		P3_7		$\overline{\text{CNTR0}}$	TXD1	SSO		
28	$\overline{\text{RESET}}$							

2. 中央演算処理装置 (CPU)

図 2.1 に CPU のレジスタを示します。CPU には 13 個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FB はレジスタバンクを構成しています。レジスタバンクは 2 セットあります。

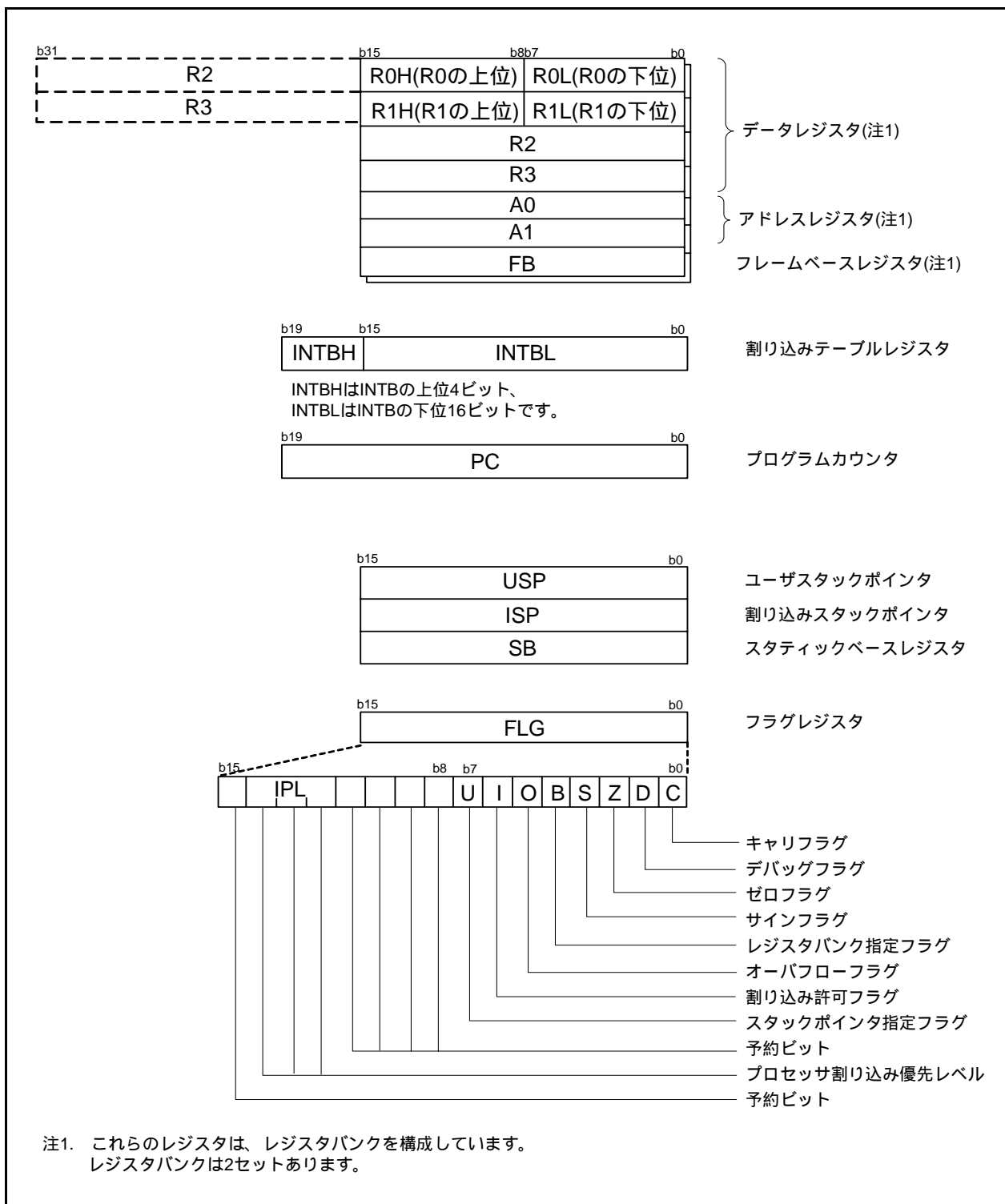


図 2.1 CPU のレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/1Aグループ

図 3.1にR8C/1Aグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

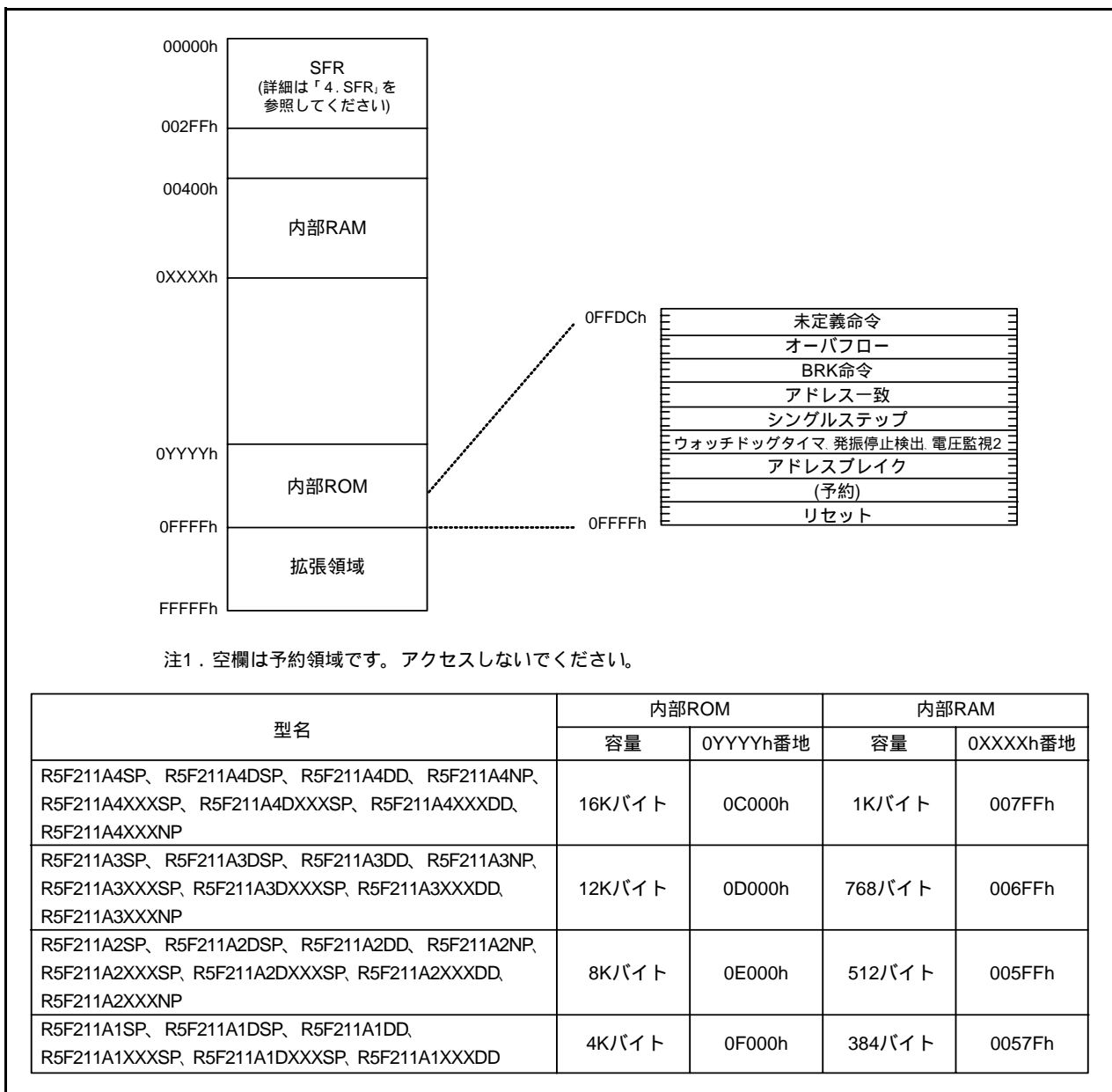


図 3.1 R8C/1Aグループのメモリ配置図

3.2 R8C/1Bグループ

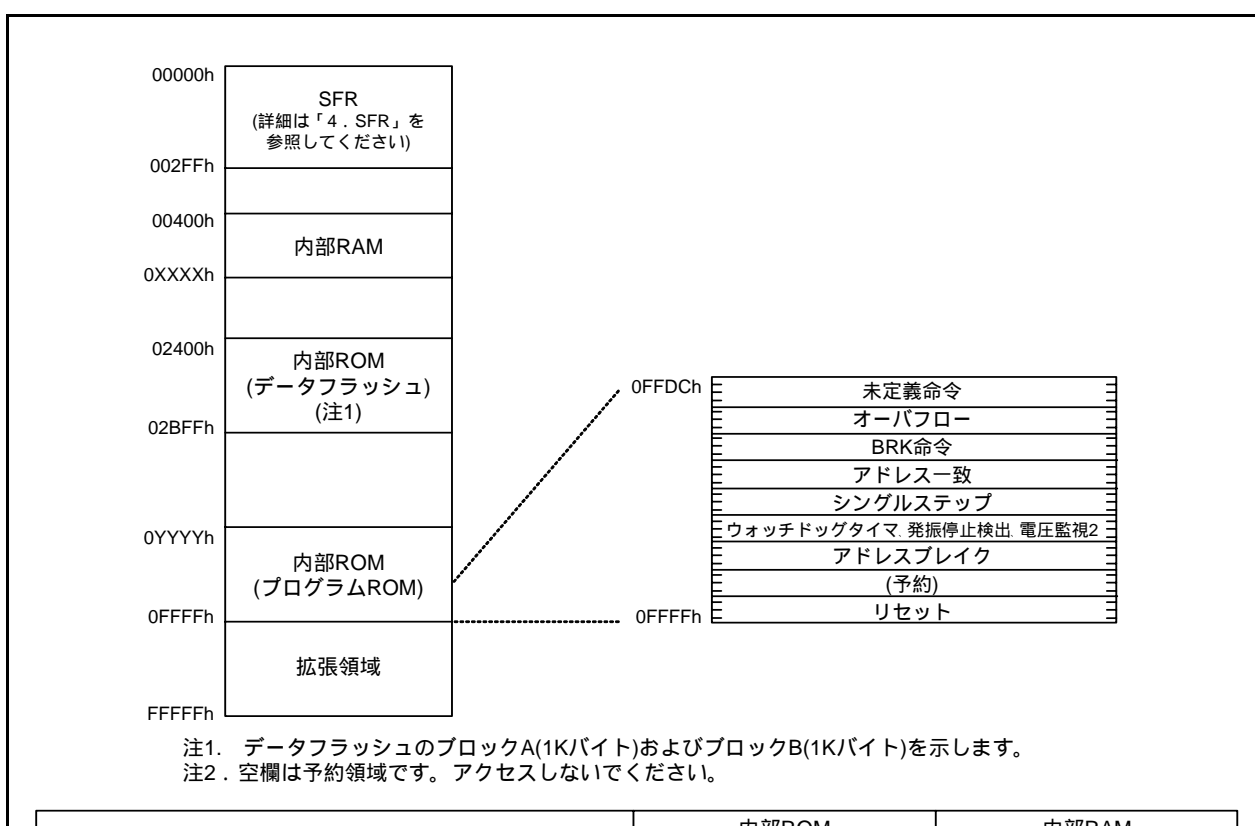
図 3.2 に R8C/1B グループのメモリ配置図を示します。アドレス空間は 00000h 番地から FFFFFh 番地までの 1M バイトあります。内部ROM(プログラムROM)は 0FFFFh 番地から下位方向に配置されます。例えば 16K バイトの内部ROMは、0C000h 番地から 0FFFFh 番地に配置されます。

固定割り込みベクタテーブルは 0FFDCh 番地から 0FFFFh 番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は 02400h 番地から 02BFFh 番地に配置されます。

内部RAMは 00400h 番地から上位方向に配置されます。例えば 1K バイトの内部RAMは、00400h 番地から 007FFh 番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h 番地から 002FFh 番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。



型名	内部ROM		内部RAM	
	容量	0YYYYYh番地	容量	0XXXXh番地
R5F211B4SP, R5F211B4DSP, R5F211B4DD, R5F211B4NP, R5F211B4XXXSP, R5F211B4DXXXSP, R5F211B4XXXDD, R5F211B4XXXNP	16Kバイト	0C000h	1Kバイト	007FFh
R5F211B3SP, R5F211B3DSP, R5F211B3DD, R5F211B3NP, R5F211B3XXXSP, R5F211B3DXXXSP, R5F211B3XXXDD, R5F211B3XXXNP	12Kバイト	0D000h	768バイト	006FFh
R5F211B2SP, R5F211B2DSP, R5F211B2DD, R5F211B2NP, R5F211B2XXXSP, R5F211B2DXXXSP, R5F211B2XXXDD, R5F211B2XXXNP	8Kバイト	0E000h	512バイト	005FFh
R5F211B1SP, R5F211B1DSP, R5F211B1DD, R5F211B1XXXSP, R5F211B1DXXXSP, R5F211B1XXXDD	4Kバイト	0F000h	384バイト	0057Fh

図 3.2 R8C/1Bグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表 4.1 ~ 表 4.4 にSFR 一覧を示します。

表 4.1 SFR 一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	00h
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	01101000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ 0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	アドレス一致割り込みレジスタ 1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h
001Dh			
001Eh	INT0 入力フィルタ選択レジスタ	INT0F	00h
001Fh			
0020h	高速オンチップオシレータ制御レジスタ 0	HRA0	00h
0021h	高速オンチップオシレータ制御レジスタ 1	HRA1	出荷時の値
0022h	高速オンチップオシレータ制御レジスタ 2	HRA2	00h
0023h			
0024h			
0025h			
002Fh			
0030h			
0031h	電圧検出レジスタ 1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ 2 (注2)	VCA2	00h (注3) 01000000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視 1 回路制御レジスタ (注2)	VW1C	0000X000b (注3) 0100X001b (注4)
0037h	電圧監視 2 回路制御レジスタ (注5)	VW2C	00h
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは変化しません。

注 3. ハードウェアリセットの場合。

注 4. パワーオンリセット、電圧監視 1 リセットの場合。

注 5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは b2、b3 は変化しません。

X: 不定です。

表 4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ/IIC割り込み制御レジスタ (注2)	SSUAIC/IIC2AIC	XXXXX000b
0050h	コンペア1割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h			
0056h	タイマX割り込み制御レジスタ	TXIC	XXXXX000b
0057h			
0058h	タイマZ割り込み制御レジスタ	TZIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XXXXX000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XXXXX000b
005Bh	タイマC割り込み制御レジスタ	TCIC	XXXXX000b
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表 4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	タイマZモードレジスタ	TZMR	00h
0081h			
0082h			
0083h			
0084h	タイマZ波形出力制御レジスタ	PUM	00h
0085h	プリスケアラZレジスタ	PREZ	FFh
0086h	タイマZセカンダリレジスタ	TZSC	FFh
0087h	タイマZプライマリレジスタ	TZPR	FFh
0088h			
0089h			
008Ah	タイマZ出力制御レジスタ	TZOC	00h
008Bh	タイマXモードレジスタ	TXMR	00h
008Ch	プリスケアラXレジスタ	PREX	FFh
008Dh	タイマXレジスタ	TX	FFh
008Eh	タイマカウントソース設定レジスタ	TCSS	00h
008Fh			
0090h	タイマCレジスタ	TC	00h
0091h			00h
0092h			
0093h			
0094h			
0095h			
0096h	外部入力許可レジスタ	INTEN	00h
0097h			
0098h	キー入力許可レジスタ	KIEN	00h
0099h			
009Ah	タイマC制御レジスタ0	TCC0	00h
009Bh	タイマC制御レジスタ1	TCC1	00h
009Ch	キャプチャ、コンペア0レジスタ	TM0	0000h(注2)
009Dh			FFFFh(注3)
009Eh	コンペア1レジスタ	TM1	FFh
009Fh			FFh
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART1送受信モードレジスタ	U1MR	00h
00A9h	UART1ビットレートレジスタ	U1BRG	XXh
00AAh	UART1送信バッファレジスタ	U1TB	XXh
00ABh			XXh
00ACh	UART1送受信制御レジスタ0	U1C0	00001000b
00ADh	UART1送受信制御レジスタ1	U1C1	00000010b
00AEh	UART1受信バッファレジスタ	U1RB	XXh
00AFh			XXh
00B0h	UART送受信制御レジスタ2	UCON	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH/IICバス制御レジスタ1	(注4) SSCRH / ICCR1	00h
00B9h	SS制御レジスタL/IICバス制御レジスタ2	(注4) SSCRL / ICCR2	01111101b
00BAh	SSモードレジスタ/IICバスモードレジスタ	(注4) SSMR / ICMR	00011000b
00BBh	SS許可レジスタ/IIC割り込み許可レジスタ	(注4) SSER / ICIER	00h
00BCh	SSステータスレジスタ/IICバスステータスレジスタ	(注4) SSSR / ICSR	00h / 0000X000b
00BDh	SSモードレジスタ2/スレーブアドレスレジスタ	(注4) SSMR2 / SAR	00h
00BEh	SS送信データレジスタ/IICバス送信データレジスタ	(注4) SSTDR / ICDRT	FFh
00BFh	SS受信データレジスタ/IICバス受信データレジスタ	(注4) SSRDR / ICDRR	FFh

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. インプットキャプチャモードの場合。

注 3. アウトプットコンペアモードの場合。

注 4. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表 4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 制御レジスタ 2	ADCON2	00h
00D5h			
00D6h	A/D 制御レジスタ 0	ADCON0	00000XXXb
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポート P1 レジスタ	P1	XXh
00E2h			
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h			
00E5h	ポート P3 レジスタ	P3	XXh
00E6h			
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h			
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h	ポートモードレジスタ	PMR	00h
00F9h			
00FAh			
00FBh			
00FCh	ブルアップ制御レジスタ 0	PUR0	00XX0000b
00FDh	ブルアップ制御レジスタ 1	PUR1	XXXXXX0Xb
00FEh	ポート P1 駆動能力制御レジスタ	DRR	00h
00FFh	タイマ C 出力制御レジスタ	TCOUT	00h
01B3h	フラッシュメモリ制御レジスタ 4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0	FMR0	00000001b
0FFFh	オプション機能選択レジスタ	OFS	(注 2)

注 1. 空欄および0100h～01B2h番地、01B8h～02FFh番地は予約領域です。アクセスしないでください。

注 2. OFSレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

5. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P1、P3_3～P3_5、P3_7、P4_5の13本あります。P4_2は入力専用ポートです。また、メインクロック発振回路を使用しない場合、P4_6、P4_7を入力専用ポートとして、使用できます。表5.1にプログラマブル入出力ポートの概要を示します。

表5.1 プログラマブル入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力選択
P1	入出力	CMOS3 ステート	1ビット単位で設定	4ビット単位で設定 (注1)	P1_0～P1_3を1 ビット単位で設定 (注2)
P3_3、P4_5	入出力	CMOS3 ステート	1ビット単位で設定	1ビット単位で設定 (注1)	なし
P3_4、P3_5、P3_7	入出力	CMOS3 ステート	1ビット単位で設定	3ビット単位で設定 (注1)	なし
P4_2、P4_6、P4_7 (注3)	入力	(出力機能なし)	なし	なし	なし

注1. 入力モード時、PUR0レジスタおよびPUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. DRRレジスタを“1”(High)にすることで、LED駆動ポートとして使用できます。

注3. メインクロック発振回路を使用しない場合、P4_6、P4_7を入力専用ポートとして使用できます。

5.1 プログラマブル入出力ポートの機能

ポートP1、P3_3～P3_5、P3_7、P4_5の入出力はPDi(i=1, 3, 4)レジスタのPDi_j(j=0～7)ビットで制御します。Piレジスタは出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。図5.1～図5.3にプログラマブル入出力ポートの構成を示します。

表5.2にプログラマブル入出力ポートの機能を示します。また、図5.5にPD1、PD3、PD4レジスタ、図5.6にP1、P3レジスタ、図5.9にPUR0、PUR1レジスタ、図5.10にDRRレジスタを示します。

表5.2 プログラマブル入出力ポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポータラッチを読む
書き込み	ポータラッチに書く	ポータラッチに書く。ポータラッチに書いた値は、端子から出力される。

注1. PD3_0～PD3_2ビット、PD3_6ビット、PD4_0～PD4_4ビット、PD4_6ビット、PD4_7ビットには何も配置されていません。

5.2 周辺機能への影響

プログラマブル入出力ポートは、周辺機能の入出力として機能する場合があります(「表1.6 PLSP0020JB-A、PRDP0020BA-Aパッケージ品のピン番号別端子名一覧」参照。表5.3に周辺機能の入出力として機能する場合のPDi_jビットの設定を示します。

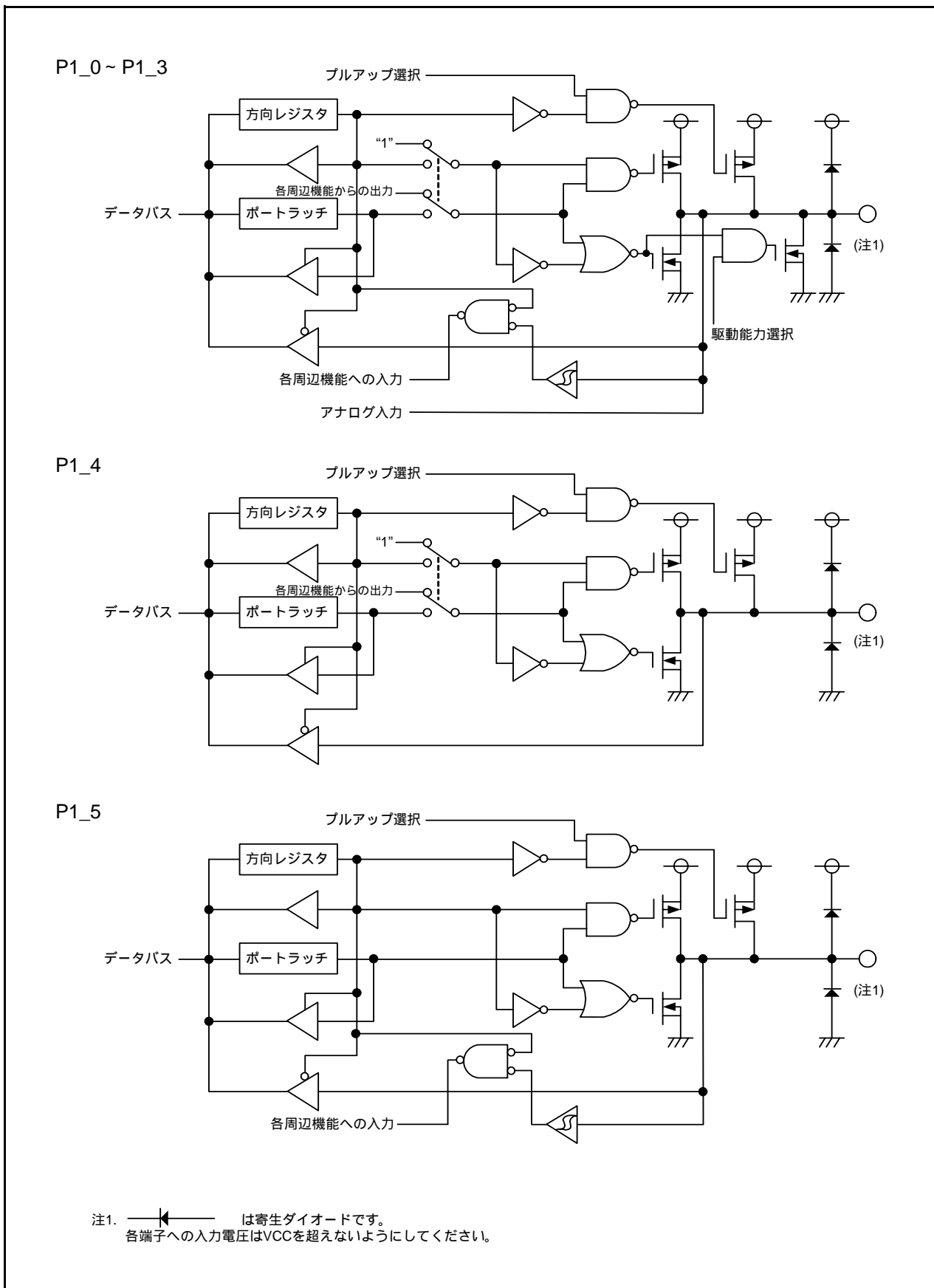
周辺機能の設定方法は、各機能説明を参照してください。

表5.3 周辺機能の入出力として機能する場合のPDi_jビットの設定

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

5.3 プログラマブル入出力ポート以外の端子

図5.4に端子の構成を示します。



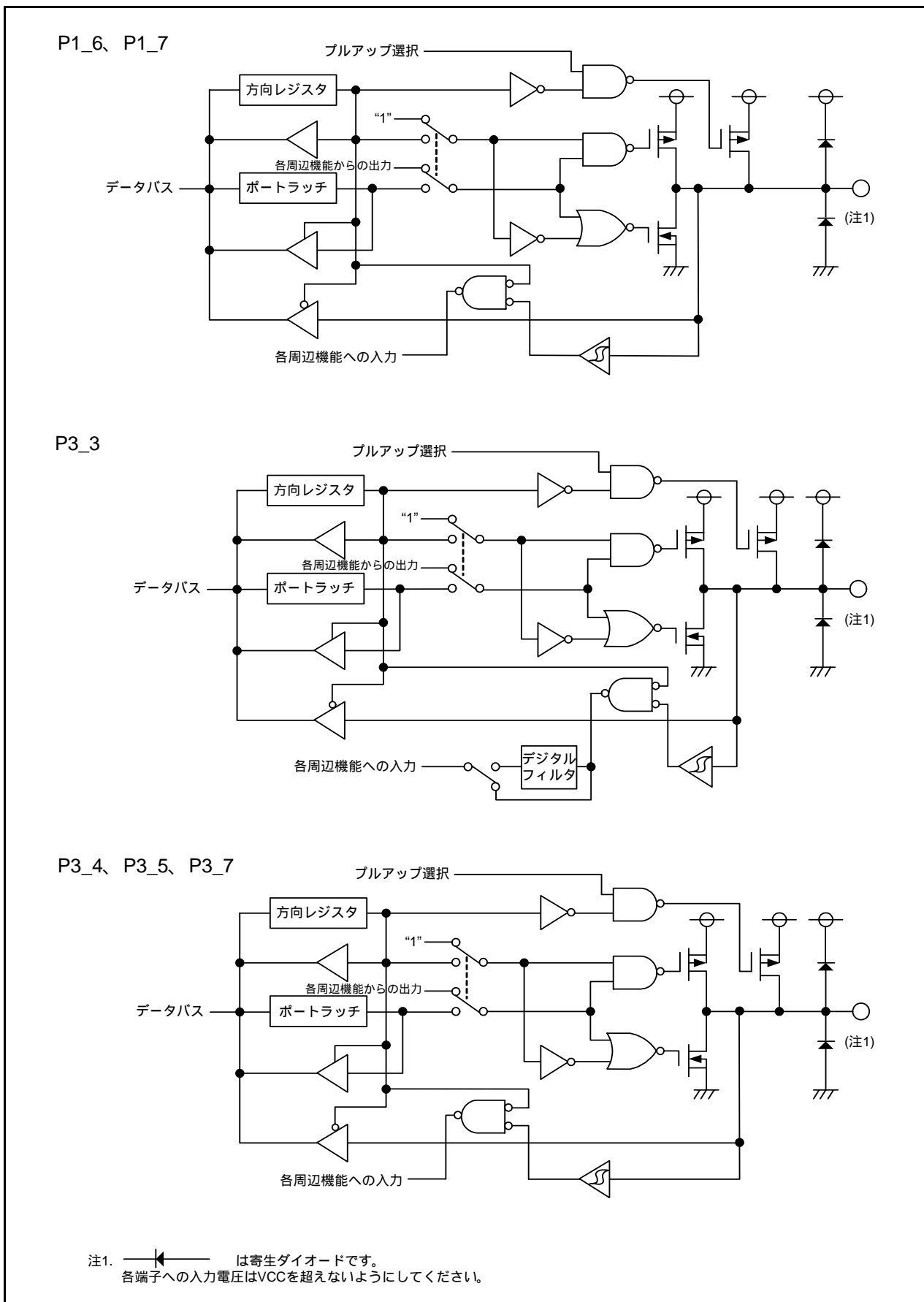


図5.2 プログラマブル入出力ポートの構成(2)

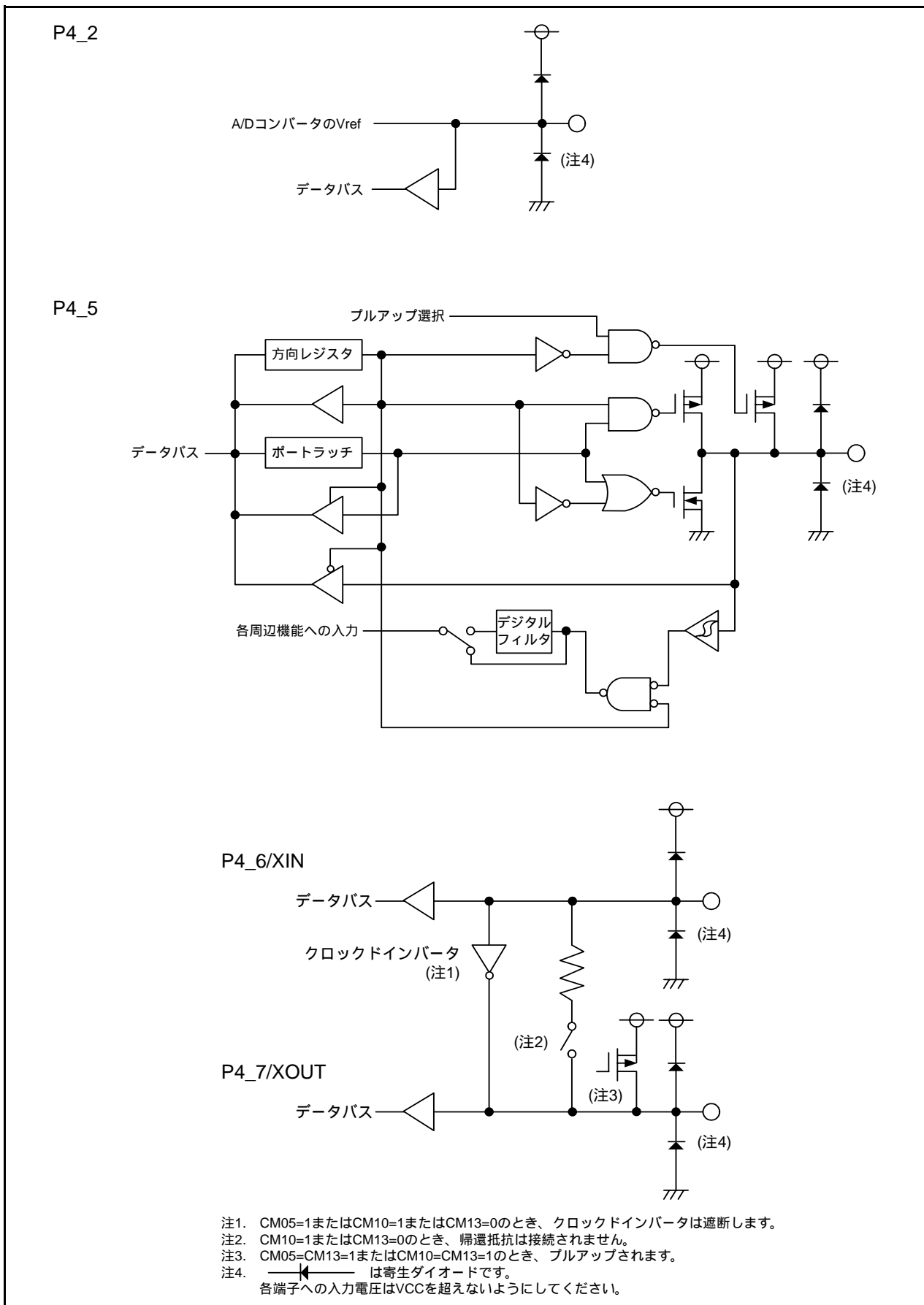


図5.3 プログラマブル入出力ポートの構成 (3)

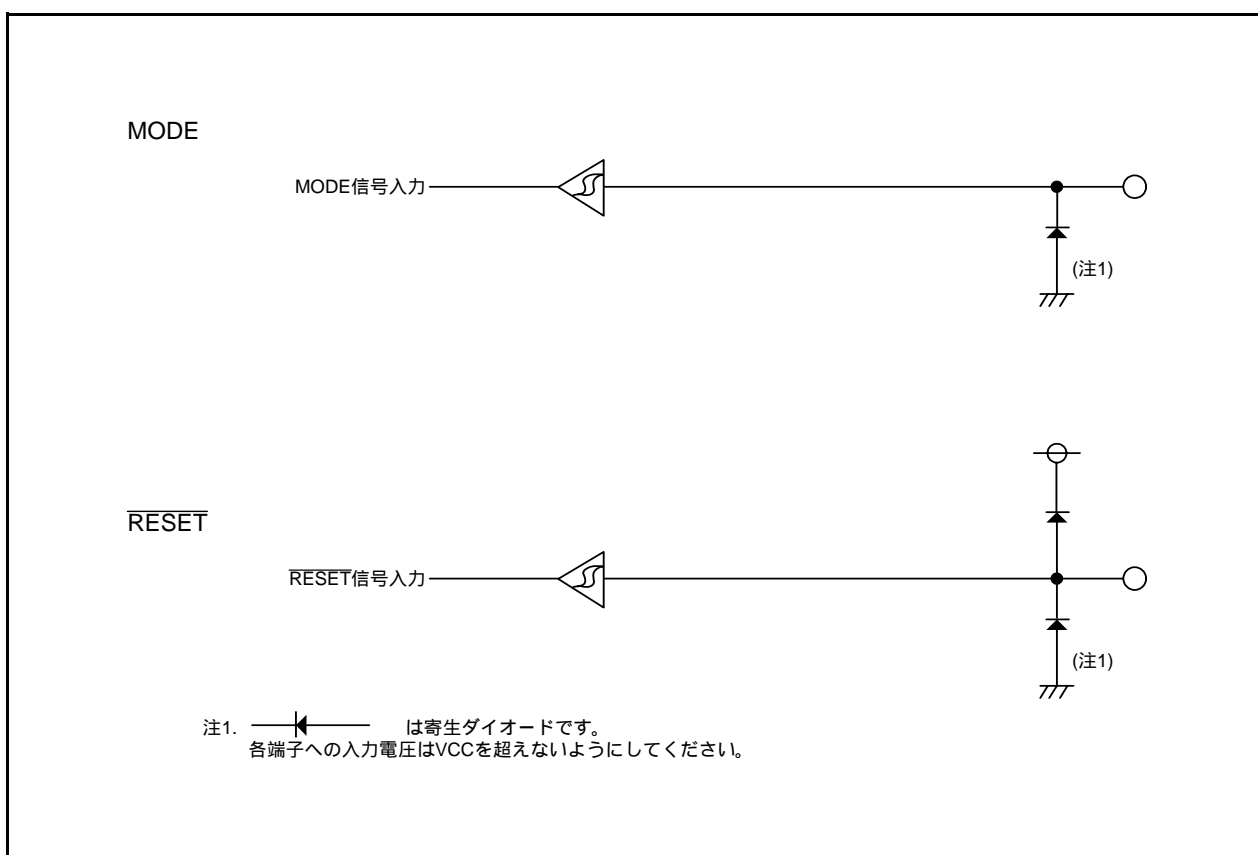


図5.4 端子の構成

ポートPi方向レジスタ(i=1、3、4)(注1、2)

シンボル	アドレス	リセット後の値
PD1	00E3h番地	00h
PD3	00E7h番地	00h
PD4	00EAh番地	00h

ビットシンボル	ビット名	機能	RW
PDi_0	ポートPi0方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PDi_1	ポートPi1方向ビット		RW
PDi_2	ポートPi2方向ビット		RW
PDi_3	ポートPi3方向ビット		RW
PDi_4	ポートPi4方向ビット		RW
PDi_5	ポートPi5方向ビット		RW
PDi_6	ポートPi6方向ビット		RW
PDi_7	ポートPi7方向ビット		RW

注1. PD3レジスタのPD3_0~PD3_2、PD3_6ビットは何も配置されていません。
PD3_0~PD3_2、PD3_6ビットに書く場合、“0”(入力モード)を書いてください。読んだ場合、その値は“0”です。

注2. PD4レジスタのPD4_0~PD4_4ビット、PD4_6ビットとPD4_7ビットは何も配置されていません。
PD4レジスタのPD4_0~PD4_4ビット、PD4_6ビットとPD4_7ビットに書く場合、“0”(入力モード)を書いてください。読んだ場合、その値は“0”です。

図5.5 PD1、PD3、PD4レジスタ

ポートPiレジスタ(i=1、3)(注1)

シンボル	アドレス	リセット後の値
P1	00E1h番地	不定
P3	00E5h番地	不定

ビットシンボル	ビット名	機能	RW
Pi_0	ポートPi0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: “L”レベル 1: “H”レベル	RW
Pi_1	ポートPi1ビット		RW
Pi_2	ポートPi2ビット		RW
Pi_3	ポートPi3ビット		RW
Pi_4	ポートPi4ビット		RW
Pi_5	ポートPi5ビット		RW
Pi_6	ポートPi6ビット		RW
Pi_7	ポートPi7ビット		RW

注1. P3レジスタのP3_0~P3_2、P3_6ビットは何も配置されていません。
P3_0~P3_2、P3_6ビットに書く場合、“0”(“L”レベル)を書いてください。読んだ場合、その値は“0”です。

図5.6 P1、P3レジスタ

ポートP4レジスタ

シンボル P4	アドレス 00E8h番地	リセット後の値 不定	
ビット シンボル	ビット名	機能	RW
- (b1-b0)		何も配置されていない。書く場合、“0” (“L”レベル)を書いてください。読んだ場合、その値は“0”。	-
P4_2	ポートP4_2ビット	ビットを読むと、端子のレベルが読める。 0: “L”レベル 1: “H”レベル	R
- (b4-b3)		何も配置されていない。書く場合、“0” (“L”レベル)を書いてください。読んだ場合、その値は“0”。	-
P4_5	ポートP4_5ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: “L”レベル 1: “H”レベル	RW
P4_6	ポートP4_6ビット	ビットを読むと、端子のレベルが読める。	R
P4_7	ポートP4_7ビット	0: “L”レベル 1: “H”レベル	R

図5.7 P4レジスタ

ポートモードレジスタ

シンボル PMR	アドレス 00F8h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0” にしてください。	RW
SSISEL	SSI信号端子選択ビット	0: P3_3端子をSSI00端子に使用 1: P1_6端子をSSI01端子に使用	RW
- (b6-b4)	予約ビット	“0” にしてください。	RW
IICSEL	SSU / I ² Cバス切り替えビット	0: SSU機能を選択 1: I ² Cバスインタフェース機能を選択	RW

図5.8 PMRレジスタ

プルアップ制御レジスタ0

シンボル	アドレス	リセット後の値
PUR0	00FCh番地	00XX0000b

ビットシンボル	ビット名	機能	RW
(b1-b0)	予約ビット	“0” にしてください。	RW
PU02	P1_0 ~ P1_3のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW
PU03	P1_4 ~ P1_7のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW
- (b5-b4)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		-
PU06	P3_3のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW
PU07	P3_4 ~ P3_5、P3_7のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW

注1. このビットが“1” (プルアップあり)かつ方向ビットが“0” (入力モード)の端子がプルアップされます。

プルアップ制御レジスタ1

シンボル	アドレス	リセット後の値
PUR1	00FDh番地	XXXXXX0Xb

ビットシンボル	ビット名	機能	RW
- (b0)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		-
PU11	P4_5のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW
- (b7-b2)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。		-

注1. PU11ビットが“1” (プルアップあり)かつPD4_5ビットが“0” (入力モード)のとき、P4_5端子がプルアップされます。

図5.9 PUR0、PUR1レジスタ

ポートP1駆動能力制御レジスタ

シンボル	アドレス	リセット後の値
DRR	00FEh番地	00h

ビットシンボル	ビット名	機能	RW
DRR0	P1_0の駆動能力	P1のNチャネル出力トランジスタの駆動能力設定を行う 0: Low 1: High	RW
DRR1	P1_1の駆動能力		RW
DRR2	P1_2の駆動能力		RW
DRR3	P1_3の駆動能力		RW
(b7-b4)	予約ビット	“0” にしてください。	RW

図5.10 DRRレジスタ

5.4 ポートの設定

表5.4～表5.17にポートの設定を示します。

表5.4 ポートP1_0/KI0/AN8/CMP0_0

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	P1	機能
ビット	PD1_0	PU02	DRR0	KI0EN	CH2, CH1, CH0, ADGSEL0	TCOUT0	P1_0	
設定値	0	0	X	X	XXXXb	0	X	入力ポート(プルアップなし)
	0	1	X	X	XXXXb	0	X	入力ポート(プルアップあり)
	0	0	X	1	XXXXb	0	X	KI0入力
	0	0	X	X	1001b	0	X	A/Dコンバータ入力(AN8)
	1	X	0	X	XXXXb	0	X	出力ポート
	1	X	1	X	XXXXb	0	X	出力ポート(High駆動)
	X	X	0	X	XXXXb	1	0	出力ポート
	X	X	1	X	XXXXb	1	0	出力ポート(High駆動)
X	X	X	X	XXXXb	1	1	CMP0_0出力	

X:“0”または“1”

表5.5 ポートP1_1/KI1/AN9/CMP0_1

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	P1	機能
ビット	PD1_1	PU02	DRR1	KI1EN	CH2, CH1, CH0, ADGSEL0	TCOUT1	P1_1	
設定値	0	0	X	X	XXXXb	0	X	入力ポート(プルアップなし)
	0	1	X	X	XXXXb	0	X	入力ポート(プルアップあり)
	0	0	X	1	XXXXb	0	X	KI1入力
	0	0	X	X	1011b	0	X	A/Dコンバータ入力(AN9)
	1	X	0	X	XXXXb	0	X	出力ポート
	1	X	1	X	XXXXb	0	X	出力ポート(High駆動)
	X	X	0	X	XXXXb	1	0	出力ポート
	X	X	1	X	XXXXb	1	0	出力ポート(High駆動)
X	X	X	X	XXXXb	1	1	CMP0_1出力	

X:“0”または“1”

表5.6 ポートP1_2/KI2/AN10/CMP0_2

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	P1	機能
ビット	PD1_2	PU02	DRR2	KI2EN	CH2, CH1, CH0, ADGSEL0	TCOUT2	P1_2	
設定値	0	0	X	X	XXXXb	0	X	入力ポート(プルアップなし)
	0	1	X	X	XXXXb	0	X	入力ポート(プルアップあり)
	0	0	X	1	XXXXb	0	X	KI2入力
	0	0	X	X	1101b	0	X	A/Dコンバータ入力(AN10)
	1	X	0	X	XXXXb	0	X	出力ポート
	1	X	1	X	XXXXb	0	X	出力ポート(High駆動)
	X	X	0	X	XXXXb	1	0	出力ポート
	X	X	1	X	XXXXb	1	0	出力ポート(High駆動)
X	X	X	X	XXXXb	1	1	CMP0_2出力	

X:“0”または“1”

表5.7 ポートP1_3/KI3/AN11/TZOUT

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TZMR	TZOC	機 能
ビット	PD1_3	PU02	DRR3	KI3EN	CH2, CH1, CH0, ADGSEL0	TZMOD1, TZMOD0	TZOCNT	
設定値	0	0	X	X	XXXXb	00b	X	入力ポート(プルアップなし)
	0	1	X	X	XXXXb	00b	X	入力ポート(プルアップあり)
	0	0	X	1	XXXXb	00b	X	KI3入力
	0	0	X	X	1111b	00b	X	A/Dコンバータ入力(AN11)
	1	X	0	X	XXXXb	00b	X	出力ポート
	1	X	1	X	XXXXb	00b	X	出力ポート(High駆動)
	X	X	0	X	XXXXb	01b	1	出力ポート
	X	X	1	X	XXXXb	01b	1	出力ポート(High駆動)
	X	X	X	X	XXXXb	01b	0	TZOUT出力
X	X	X	X	XXXXb	1Xb	X	TZOUT出力	

X: "0" または "1"

表5.8 ポートP1_4/TXD0

レジスタ	PD1	PUR0	U0MR	U0C0	機 能	
ビット	PD1_4	PU03	SMD2, SMD1, SMD0	NCH		
設定値	0	0	000b	X	入力ポート(プルアップなし)	
	0	1	000b	X	入力ポート(プルアップあり)	
	1	X	000b	X	出力ポート	
	X	X	X	001b	0	TXD0出力、CMOS出力
				100b		
				101b		
				110b		
	X	X	X	001b	1	TXD0出力、Nチャンネルオープン出力
				100b		
				101b		
110b						

X: "0" または "1"

表5.9 ポートP1_5/RXD0/CNTR01/INT11

レジスタ	PD1	PUR0	UCON	TXMR	機 能
ビット	PD1_5	PU03	CNTRSEL	TXMOD1, TXMOD0	
設定値	0	0	X	XXb	入力ポート(プルアップなし)
	0	1	X	XXb	入力ポート(プルアップあり)
	0	X	X	01b以外	RXD0入力
	0	X	1	01b以外	CNTR01/INT11入力
	1	X	X	01b以外	出力ポート
	1	X	1	01b以外	CNTR01出力

X: "0" または "1"

表5.10 ポートP1_6/CLK0/SSI01

レジスタ	PD1	PUR0	U0MR	チップセレクト付クロック同期形シリアルI/O (「表 16.4 通信モードと入出力端子の関係」参照)		PMR	機能
ビット	PD1_6	PU03	SMD2、SMD1、SMD0、CKDIR	SSI出力制御	SSI入力制御	SSISEL	
設定値	0	0	0X10b以外	0	0	X	入力ポート(プルアップなし)
	0	1	0X10b以外	0	0	X	入力ポート(プルアップあり)
	0	0	XXX1b	0	0	X	CLK0(外部クロック)入力
	1	X	0X10b以外	0	0	X	出力ポート
	X	X	0X10b	0	0	X	CLK0(内部クロック)出力
	X	X	XXXXb	0	1	1	SSI01入力
	X	X	XXXXb	1	0	1	SSI01出力

X:“0”または“1”

表5.11 ポートP1_7/CNTR00/INT10

レジスタ	PD1	PUR0	TXMR	UCON	機能
ビット	PD1_7	PU03	TXMOD1、TXMOD0	CNTRSEL	
設定値	0	0	01b以外	X	入力ポート(プルアップなし)
	0	1	01b以外	X	入力ポート(プルアップあり)
	0	0	01b以外	0	CNTR00/INT10入力
	1	X	01b以外	X	出力ポート
	X	X	01b以外	0	CNTR00出力

X:“0”または“1”

表5.12 ポートP3_3/TCIN/INT3/SSI00/CMP1_0

レジスタ	PD3	PUR0	チップセレクト付クロック同期形シリアルI/O (「表 16.4 通信モードと入出力端子の関係」参照)		TCOUT	P3	PMR	機能
ビット	PD3_3	PU06	SSI出力制御	SSI入力制御	TCOUT3	P3_3	SSISEL	
設定値	0	0	0	0	0	X	X	入力ポート(プルアップなし)
	0	1	0	0	0	X	X	入力ポート(プルアップあり)
	X	0	0	1	X	X	0	SSI00入力
	1	X	0	0	0	X	X	出力ポート
	X	X	0	0	1	0	X	出力ポート
	X	X	0	0	1	1	X	CMP1_0出力
	X	X	1	0	X	X	0	SSI00出力
	0	X	0	0	0	X	X	TCIN入力/INT3

X:“0”または“1”

表5.13 ポートP3_4/SCS/SDA/CMP1_1

レジスタ	PD3	PUR0	チップセレクト付クロック同期形シリアルI/O (「表 16.4 通信モードと入出力端子の関係」参照)		TCOUT	P3	ICCR1	機能
ビット	PD3_4	PU07	SCS出力制御	SCS入力制御	TCOUT4	P3_4	ICE	
設定値	0	0	0	0	0	X	0	入力ポート(プルアップなし)
	0	1	0	0	0	X	0	入力ポート(プルアップあり)
	0	0	0	1	0	X	0	SCS入力
	X	X	0	0	X	X	1	SDA入出力
	1	X	0	0	0	X	0	出力ポート
	X	X	0	0	1	0	0	出力ポート
	X	X	0	0	1	1	0	CMP1_1出力
	X	X	1	0	X	X	0	SCS出力

X: "0" または "1"

表5.14 ポートP3_5/SSCK/SCL/CMP1_2

レジスタ	PD3	PUR0	チップセレクト付クロック同期形シリアルI/O (「表 16.4 通信モードと入出力端子の関係」参照)		TCOUT	P3	ICCR1	機能
ビット	PD3_5	PU07	SSCK出力制御	SSCK入力制御	TCOUT5	P3_5	ICE	
設定値	0	0	0	0	0	X	0	入力ポート(プルアップなし)
	0	1	0	0	0	X	0	入力ポート(プルアップあり)
	0	0	0	1	0	X	0	SSCK入力
	X	X	0	0	X	X	1	SCL入出力
	1	X	0	0	0	X	0	出力ポート
	X	X	0	0	1	0	0	出力ポート
	X	X	0	0	1	1	0	CMP1_2出力
	X	X	1	0	X	X	0	SSCK出力

X: "0" または "1"

表5.15 ポートP3_7/CNTR0/SSO/TXD1

レジスタ	PD3	PUR0	U1MR	チップセレクト付クロック同期形シリアルI/O (「表 16.4 通信モードと入出力端子の関係」参照)		TXMR	UCON	機能	
ビット	PD3_7	PU07	SMD2、SMD1、SMD0	SSO出力制御	SSO入力制御	TXOCNT	U1SEL1、U1SEL0		
設定値	0	0	000b	0	0	0	0Xb	入力ポート(プルアップなし)	
	0	1	000b	0	0	0	0Xb	入力ポート(プルアップあり)	
	1	X	000b	0	0	0	0Xb	出力ポート	
	X	X	X	001b	0	0	X	11b	TXD1出力端子
				100b					
				101b					
				110b					
	X	X	X	000b	0	0	1	XXb	CNTR0出力端子
	X	X	X	XXXb	0	1	X	XXb	SSO入力端子
	X	X	X	XXXb	1	0	X	XXb	SSO出力端子

X: "0" または "1"

表5.16 ポートXIN/P4_6、XOUT/P4_7

レジスタ	CM1	CM1	CM0	回路仕様		機能
ビット	CM13	CM10	CM05	発振バッファ	帰還抵抗	
設定値	1	1	1	OFF	OFF	XIN-XOUT発振停止
	1	0	1	OFF	ON	外部XIN入力、XOUTは“H”出力
	1	0	1	OFF	ON	XIN-XOUT発振停止
	1	0	0	ON	ON	XIN-XOUT発振
	0	X	X	OFF	OFF	入力ポート

X：“0”または“1”

表5.17 ポートP4_5/ $\overline{\text{INT0}}$ /RXD1

レジスタ	PD4	PUR1	UCON	INTEN	機能
ビット	PD4_5	PU11	U1SEL1、U1SEL0	INT0EN	
設定値	0	0	00b	0	入力ポート(プルアップなし)
	0	1	00b	0	入力ポート(プルアップあり)
	0	0	00b	1	$\overline{\text{INT0}}$ 入力(プルアップなし)
	0	1	00b	1	$\overline{\text{INT0}}$ 入力(プルアップあり)
	X	0	01b 10b	0	RXD1入力
	1	X	00b	X	出力ポート

X：“0”または“1”

5.5 未使用端子の処理

表5.18に未使用端子の処理例、図5.11に未使用端子の処理例を示します。

表5.18 未使用端子の処理例

端子名	処理内容
ポートP1、P3_3～P3_5、P3_7、P4_5	<ul style="list-style-type: none"> 入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) 出力モードに設定し、端子を開放 (注1、2)
ポートP4_6、P4_7	抵抗を介してVCCに接続(プルアップ) (注2)
ポートP4_2/VREF	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ) (注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

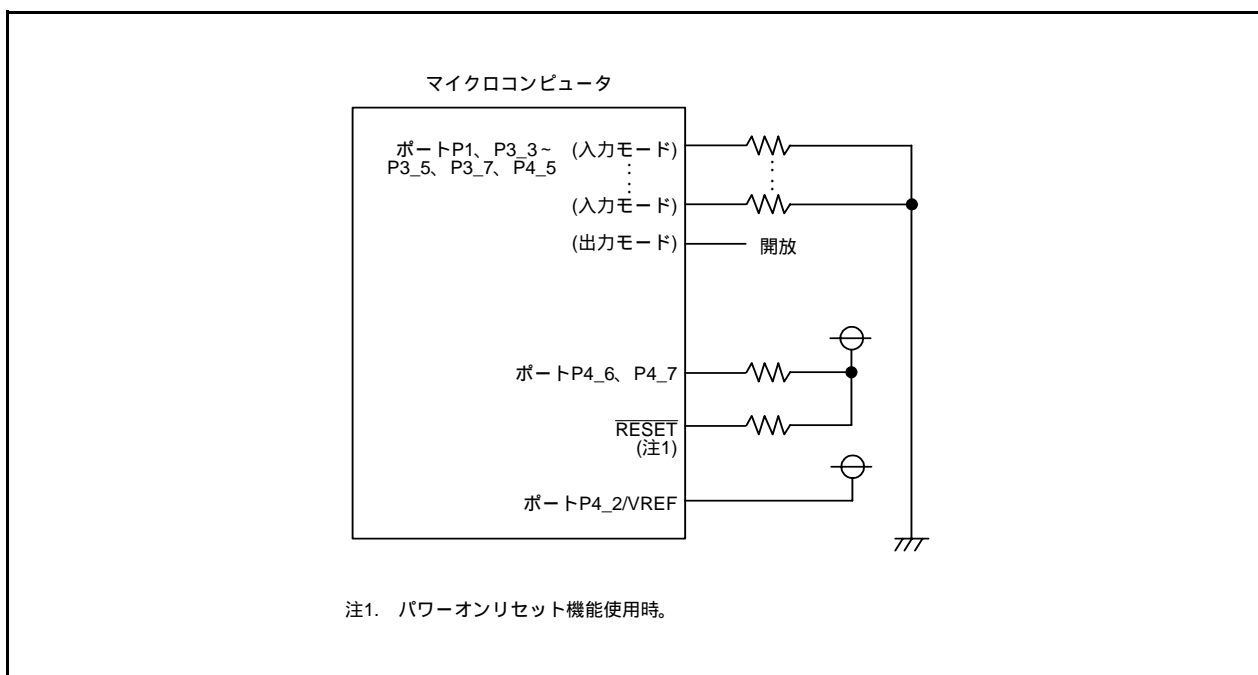


図5.11 未使用端子の処理例

6. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。表6.1にリセットの名称と要因、図6.1にリセット回路のブロック図を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視1リセット	VCCの下降(監視電圧: Vdet1)
電圧監視2リセット	VCCの下降(監視電圧: Vdet2)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

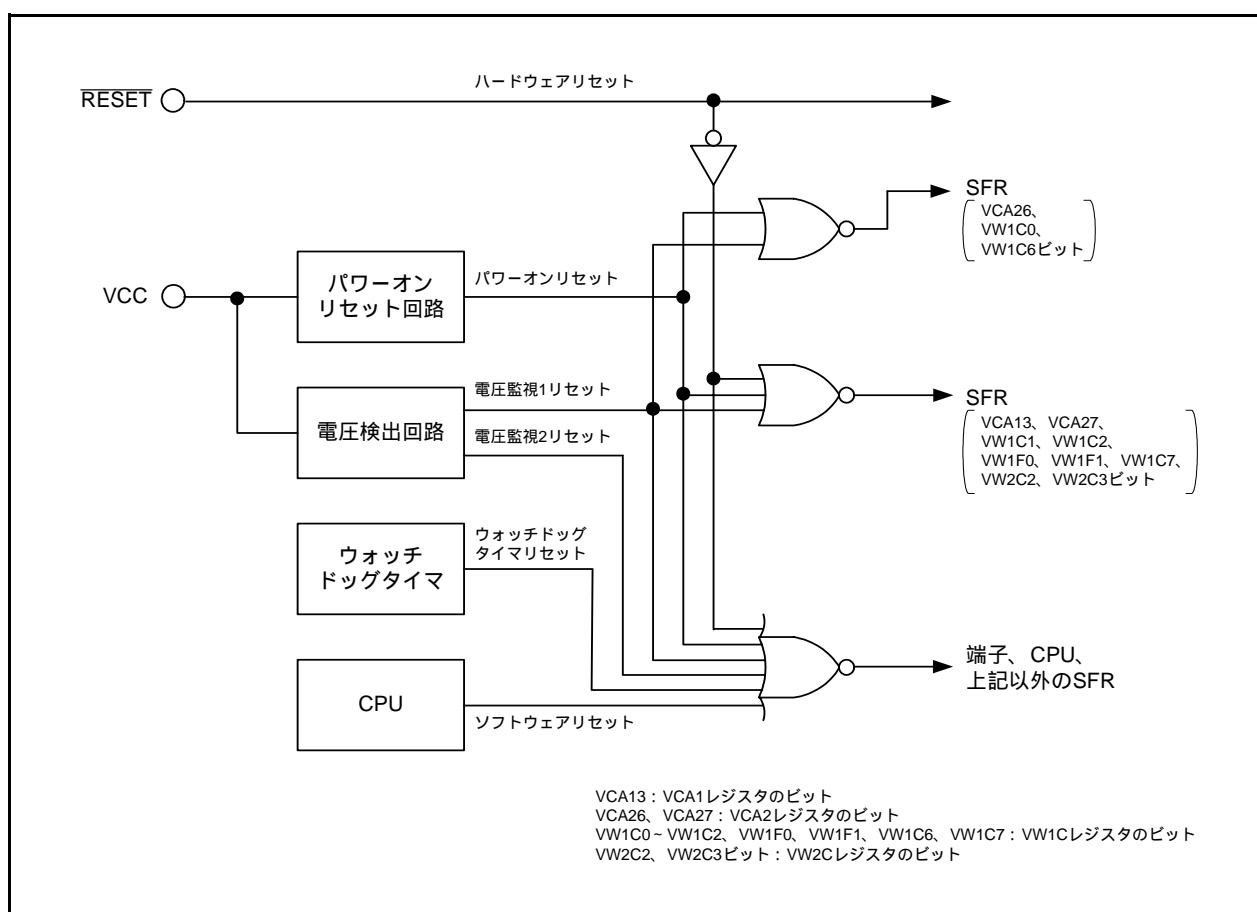


図6.1 リセット回路のブロック図

表6.2にRESET端子のレベルが“L”の期間の端子の状態、図6.2にリセット後のCPUレジスタの状態、図6.3にリセットシーケンスを示します。

表6.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P1	入力ポート
P3_3 ~ P3_5、P3_7	入力ポート
P4_2、P4_5 ~ P4_7	入力ポート

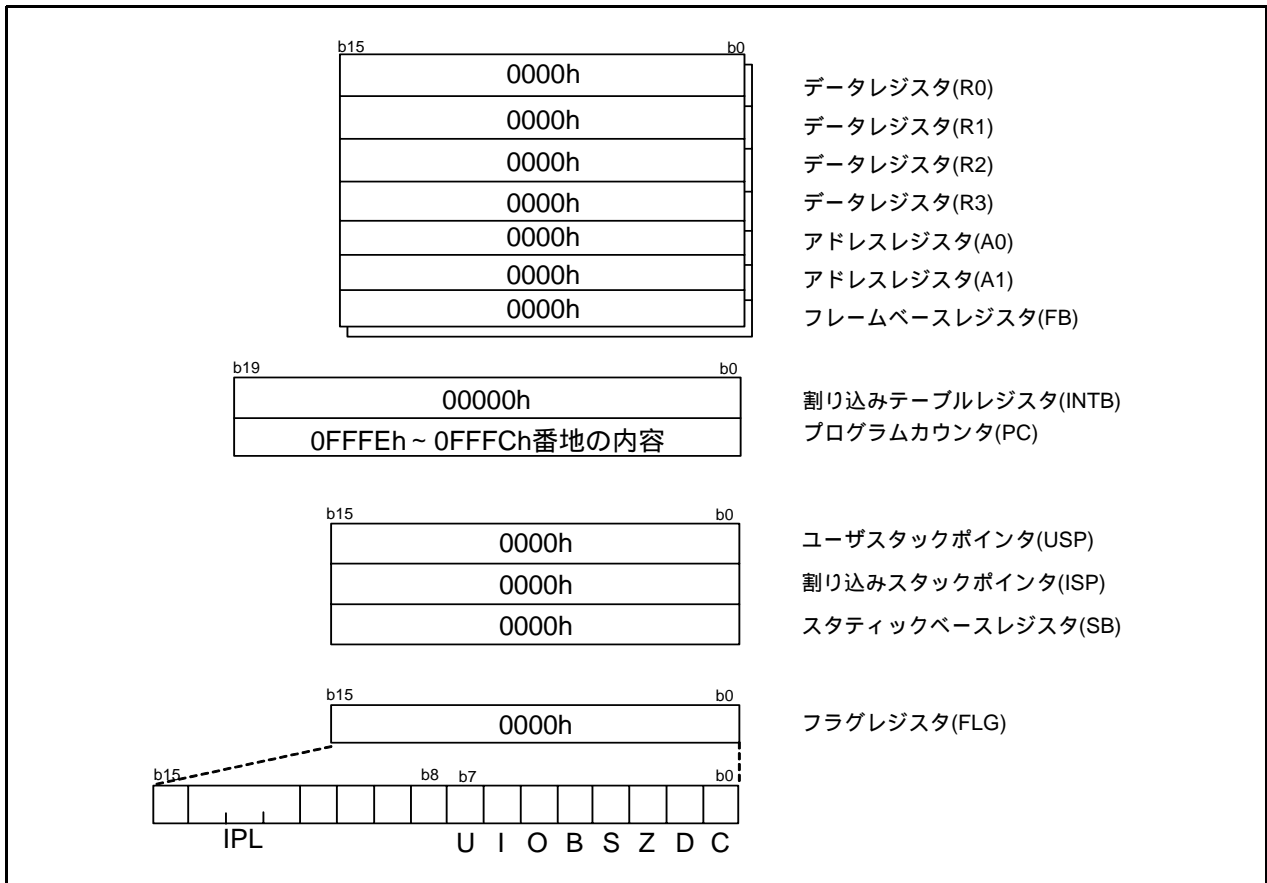


図6.2 リセット後のCPUレジスタの状態

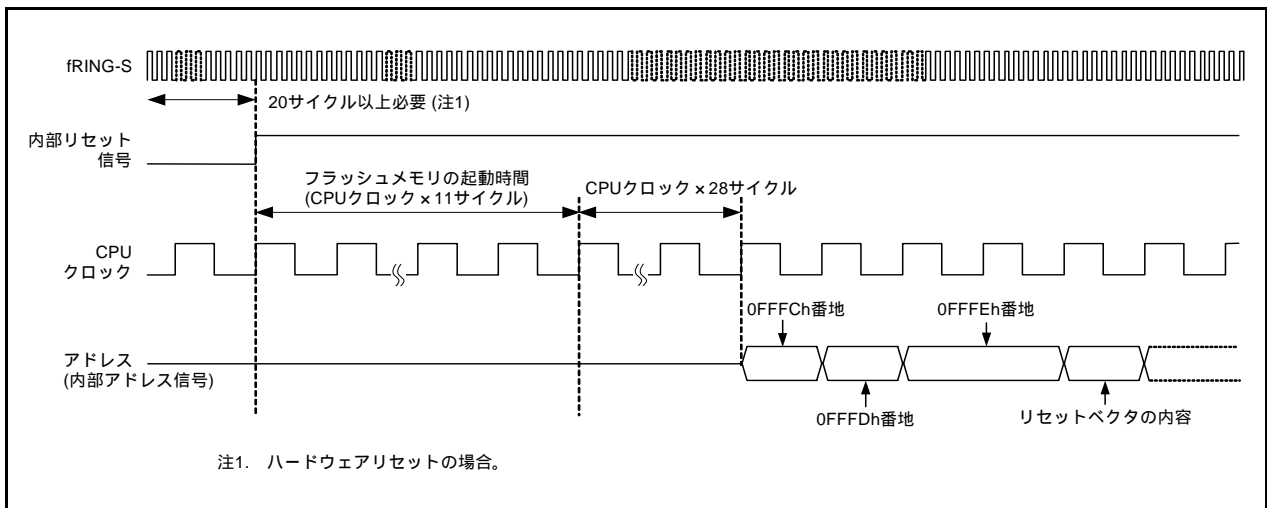


図6.3 リセットシーケンス

6.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表6.2 RESET端子のレベルが“L”の期間の端子の状態」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図6.4にハードウェアリセット回路例と動作、図6.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

6.1.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) $500 \mu s(1/fRING-S \times 20)$ 待つ
- (3) RESET端子に“H”を入力する

6.1.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(P-R)$ 待つ(「19. 電気的特性」参照)
- (4) $500 \mu s(1/fRING-S \times 20)$ 待つ
- (5) RESET端子に“H”を入力する

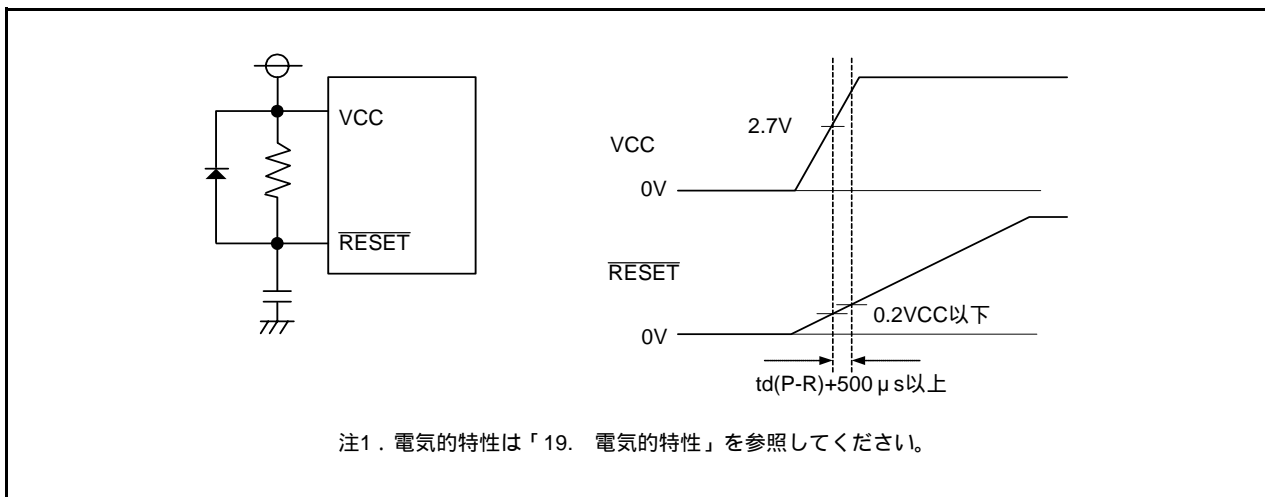


図6.4 ハードウェアリセット回路例と動作

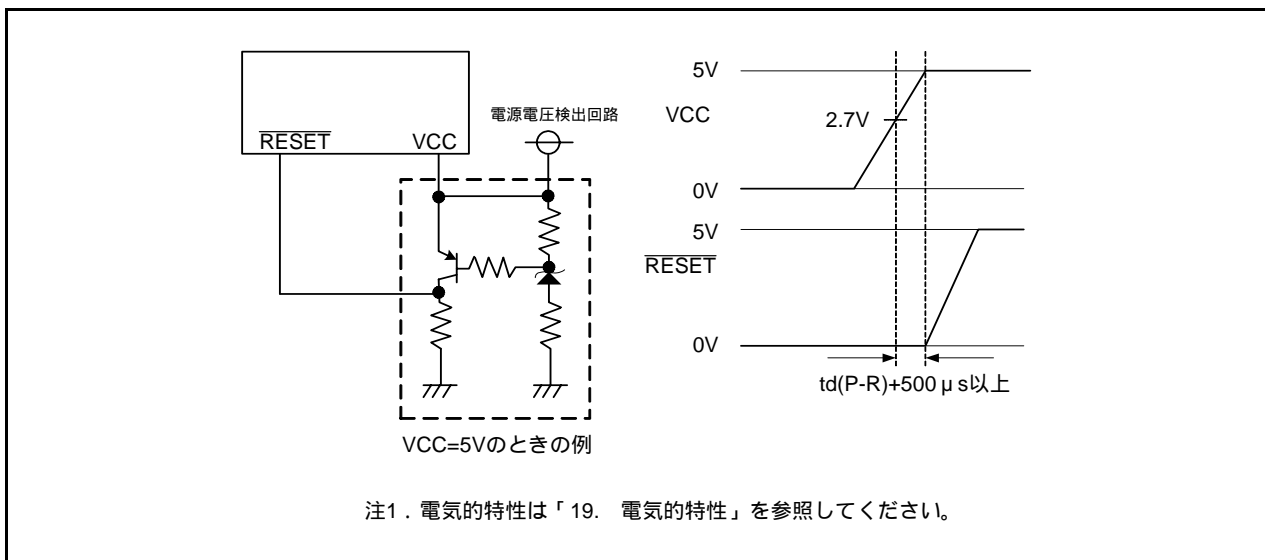


図6.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

6.2 パワーオンリセット機能

RESET端子に5k程度のパルアップ抵抗を介してVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合は、RESET端子の電圧が常に0.8VCC以上になるようにご注意ください。

VCC端子に入力する電圧がVdet1以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(「図6.3 リセットシーケンス」参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセット後は電圧監視1リセットが有効になります。

図6.6にパワーオンリセット回路例と動作を示します。

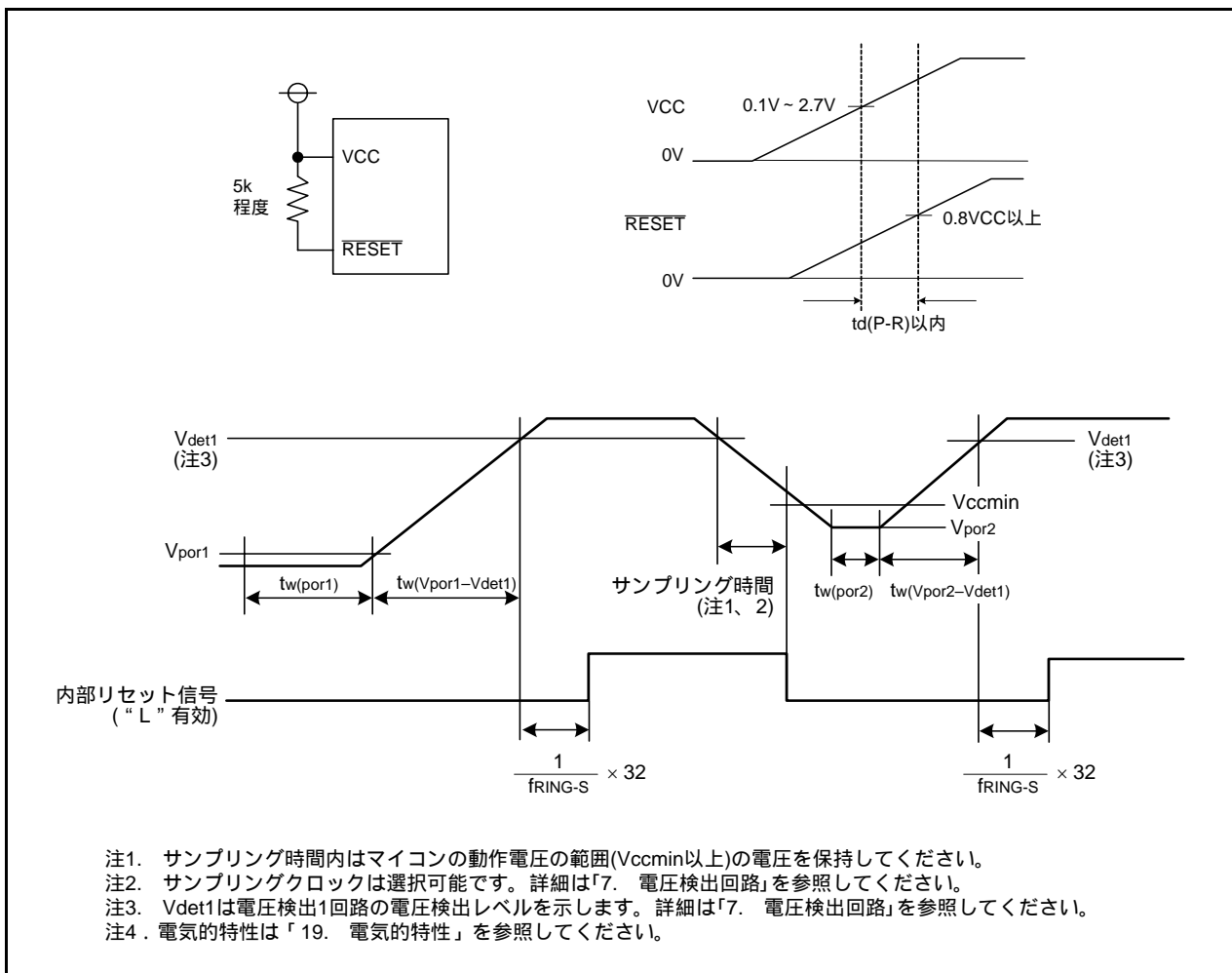


図6.6 パワーオンリセット回路例と動作

6.3 電圧監視1リセット

マイクロコンピュータに内蔵している電圧検出1回路によるリセットです。電圧検出1回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet1です。

VCC端子に入力する電圧がVdet1以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet1以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(「図6.3 リセットシーケンス」参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視1リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet1以下になると、内部RAMは不定となります。

電圧監視1リセットの詳細は「7. 電圧検出回路」を参照してください。

6.4 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet2です。

VCC端子に入力する電圧が下降してVdet2以下になると、端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet2以下になると、内部RAMは不定となります。

電圧監視2リセットの詳細は「7. 電圧検出回路」を参照してください。

6.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

6.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。

7. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。また、電圧監視1リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

表7.1に電圧検出回路の仕様を、図7.1～図7.3にブロック図を示します。
また図7.4～図7.6に関連レジスタを示します。

表7.1 電圧検出回路の仕様

項目		電圧検出1	電圧検出2
VCC監視	監視する電圧	Vdet1	Vdet2
	検出対象	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	モニタ	なし	VCA1レジスタのVCA13ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視1リセット Vdet1 > VCCでリセット； VCC > Vdet1でCPU動作再開	電圧監視2リセット Vdet2 > VCCでリセット； 一定時間後にCPU動作再開
	割り込み	なし	電圧監視2割り込み デジタルフィルタ有効時は Vdet2 > VCC、VCC > Vdet2の 両方で割り込み要求； デジタルフィルタ無効時は Vdet2 > VCC、VCC > Vdet2の どちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	あり	あり
	サンプリング時間	(fRING-Sのn分周) × 4 n : 1、2、4、8	(fRING-Sのn分周) × 4 n : 1、2、4、8

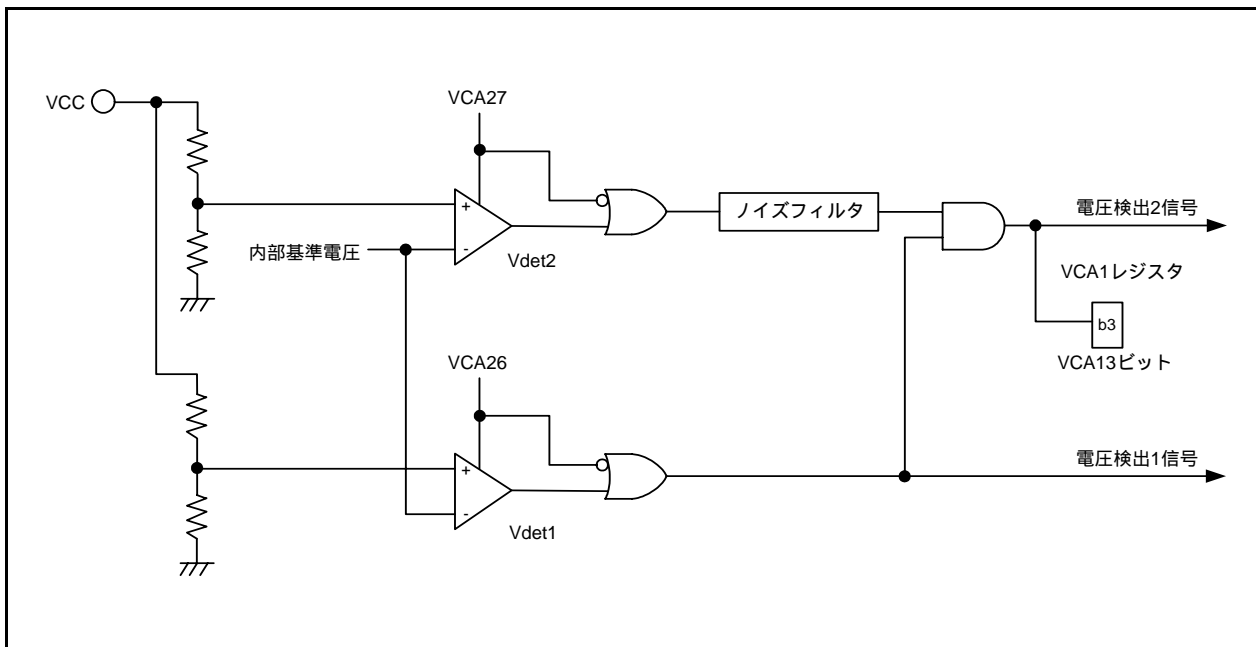


図7.1 電圧検出回路ブロック図

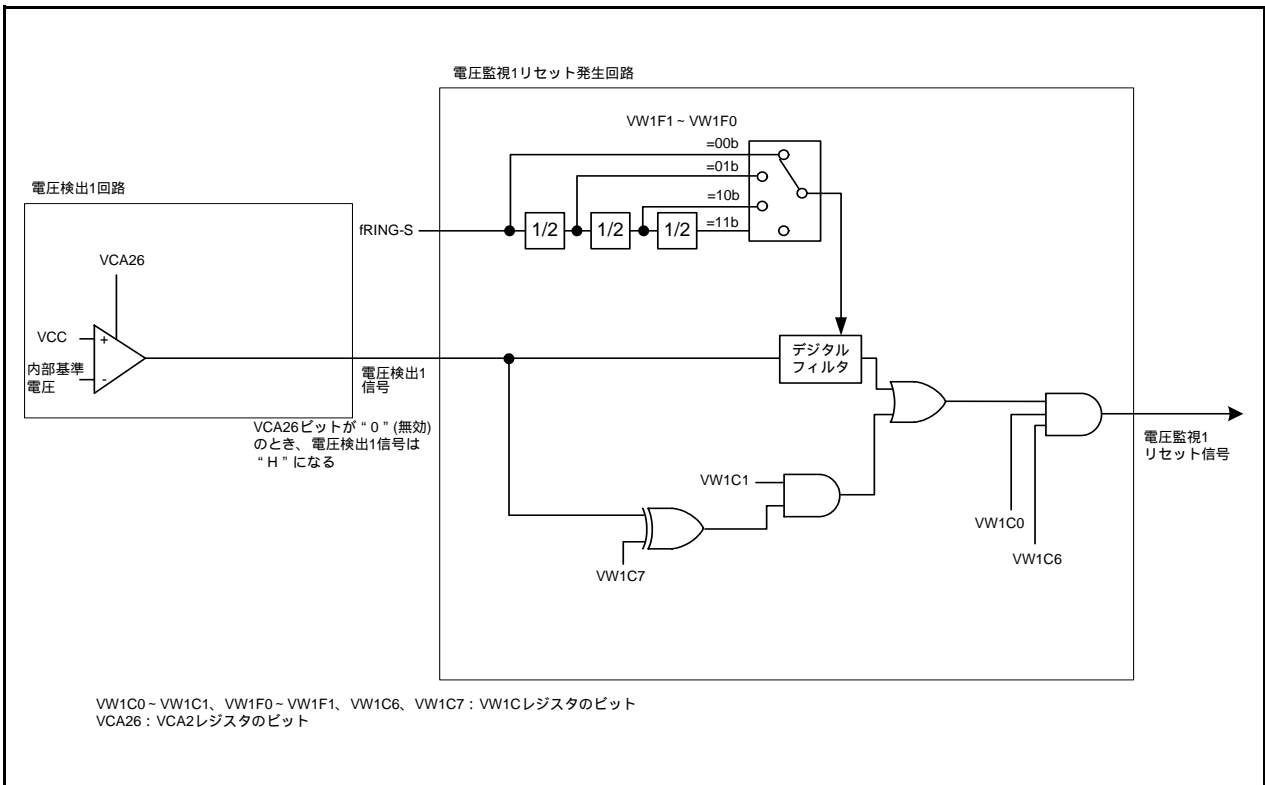


図7.2 電圧監視1リセット発生回路のブロック図

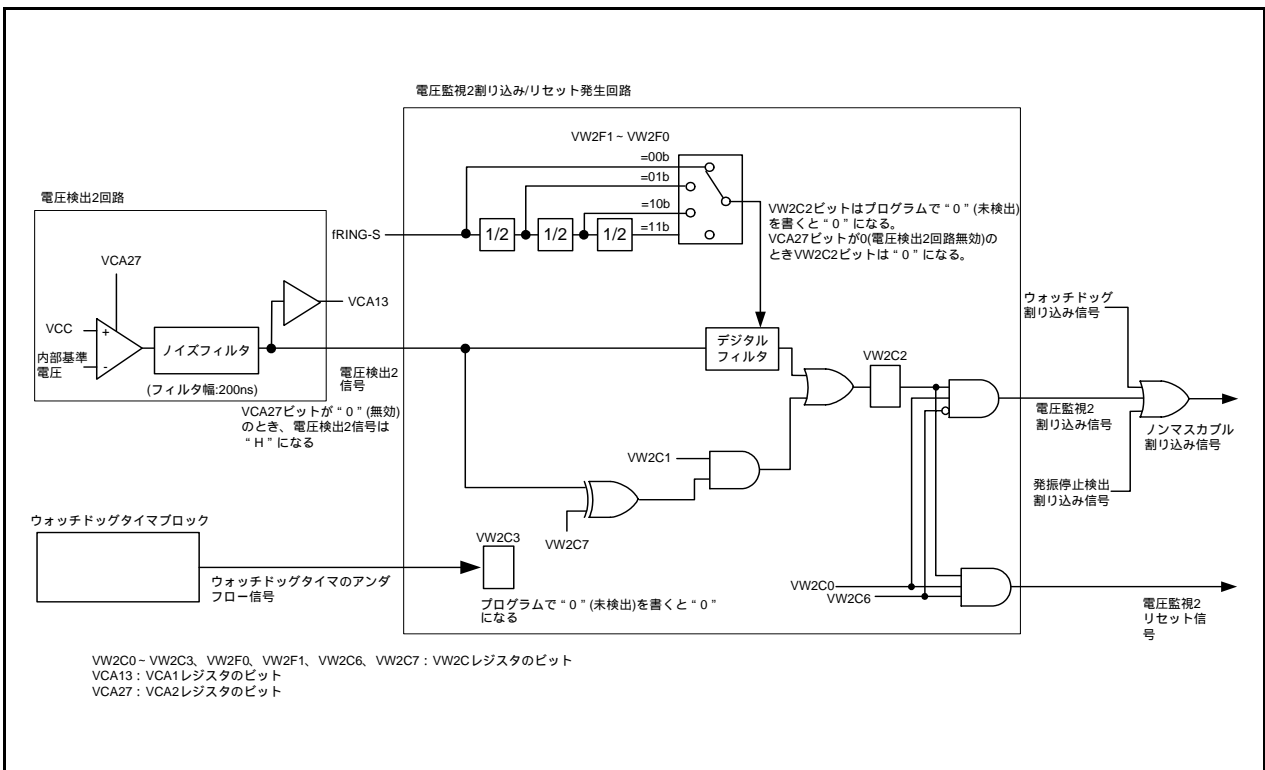
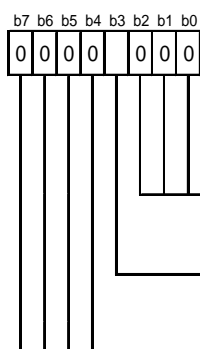


図7.3 電圧監視2割り込み/リセット発生回路のブロック図

電圧検出レジスタ1

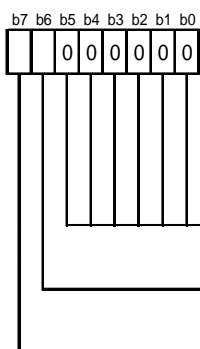


シンボル	アドレス	リセット後の値(注2)	
VCA1	0031h番地	00001000b	
ビットシンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0” にしてください	RW
VCA13	電圧検出2信号モニタフラグ(注1)	0 : VCC < Vdet2 1 : VCC > Vdet2、または 電圧検出2回路無効	RO
- (b7-b4)	予約ビット	“0” にしてください	RW

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。
VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC > Vdet2)になります。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。

電圧検出レジスタ2(注1)



シンボル	アドレス	リセット後の値(注4)	
VCA2	0032h番地	ハードウェアリセット : 00h パワーオンリセット、 電圧監視1リセット : 01000000b	
ビットシンボル	ビット名	機能	RW
- (b5-b0)	予約ビット	“0” にしてください	RW
VCA26	電圧検出1許可ビット(注2)	0 : 電圧検出1回路無効 1 : 電圧検出1回路有効	RW
VCA27	電圧検出2許可ビット(注3)	0 : 電圧検出2回路無効 1 : 電圧検出2回路有効	RW

注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 電圧監視1リセットを使用する場合、VCA26ビットを“1”にしてください。
VCA26ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

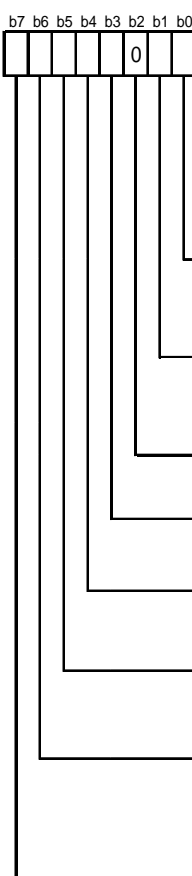
注3. 電圧監視2割り込み/リセットを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。

VCA27ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注4. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。

図7.4 VCA1、VCA2レジスタ

電圧監視1回路制御レジスタ(注1)



ビットシンボル	ビット名	機能	RW
VW1C0	電圧監視1リセット許可ビット(注3)	0: 禁止 1: 許可	RW
VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット	0: デジタルフィルタ有効モード(デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード(デジタルフィルタ回路無効)	RW
VW1C2	予約ビット	“0” にしてください。	RW
- (b3)	予約ビット	読んだ場合、その値は不定。	RO
VW1F0	サンプリングクロック選択ビット	b5 b4 0 0: fRING-Sの1分周 0 1: fRING-Sの2分周 1 0: fRING-Sの4分周 1 1: fRING-Sの8分周	RW
VW1F1			RW
VW1C6	電圧監視1回路モード選択ビット	VW1C0ビットが“1”(電圧監視1リセット許可)の場合は、“1”にしてください。	RW
VW1C7	電圧監視1リセット発生条件選択ビット	VW1C1ビットが“1”(デジタルフィルタ無効モード)の場合は、“1”にしてください。	RW

リセット後の値(注2)
ハードウェアリセット: 0000X000b
パワーオンリセット、
電圧監視1リセット: 0100X001b

注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタ書き換え後、VW1C2ビットを“0”にしてください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。

注3. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。

図7.5 VW1Cレジスタ

電圧監視2回路制御レジスタ(注1)

シンボル	アドレス	リセット後の値(注8)	
VW2C	0037h番地	00h	
ビットシンボル	ビット名	機能	RW
VW2C0	電圧監視2割り込み/リセット許可ビット(注6、10)	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード(デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード(デジタルフィルタ回路無効)	RW
VW2C2	電圧変化検出フラグ(注3、4、8)	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ(注4、8)	0: 未検出 1: 検出	RW
VW2F0	サンプリングクロック選択ビット	b5 b4 0 0: fRING-Sの1分周 0 1: fRING-Sの2分周 1 0: fRING-Sの4分周 1 1: fRING-Sの8分周	RW
VW2F1			RW
VW2C6	電圧監視2回路モード選択ビット(注5)	0: 電圧監視2割り込みモード 1: 電圧監視2リセットモード	RW
VW2C7	電圧監視2割り込み/リセット発生条件選択ビット(注7、9)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	RW

注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW2Cレジスタを書き換えると、VW2C0ビットが“1”になる場合があります。VW2Cレジスタ書き換え後、VW2C2ビットを“0”にしてください。

注2. 電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。

注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。

注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注5. VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効。

注6. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。

注7. VW2C7ビットはVW2C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。

注8. VW2C2ビットとVW2C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。

注9. VW2C6ビットが“1”(電圧監視2リセットモード)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。

注10. VCA1レジスタのVCA13ビットが“1”(VCC > Vdet2、または電圧検出2回路無効)かつVW2C1ビットが“1”(デジタルフィルタ無効モード)かつVW2C7ビットが“0”(VCCがVdet2以上になるとき)のとき、VW2C0ビットは“0”(禁止)にしてください。
VCA13ビットが“0”(VCC < Vdet2)かつVW2C1ビットが“1”(デジタルフィルタ無効モード)かつVW2C7ビットが“1”(VCCがVdet2以下になるとき)のとき、VW2C0ビットは“0”(禁止)にしてください。

図7.6 VW2C レジスタ

7.1 VCC入力電圧

7.1.1 Vdet1のモニタ

Vdet1のモニタはできません。

7.1.2 Vdet2のモニタ

VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にしてください。td(E-A)(「19. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでVdet2をモニタできます。

7.1.3 デジタルフィルタ

VCC入力電圧の監視にデジタルフィルタを使用できます。電圧監視1回路はVW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にすると、電圧監視2回路はVW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にすると、デジタルフィルタ回路が有効になります。

サンプリングクロックはfRING-Sの1、2、4、8分周から選択できます。

サンプリングクロックごとにVCC入力電圧のレベルをサンプリングし、レベルが2度一致した時点で内部リセット信号が“L”になる、または電圧監視2割り込み要求が発生します。

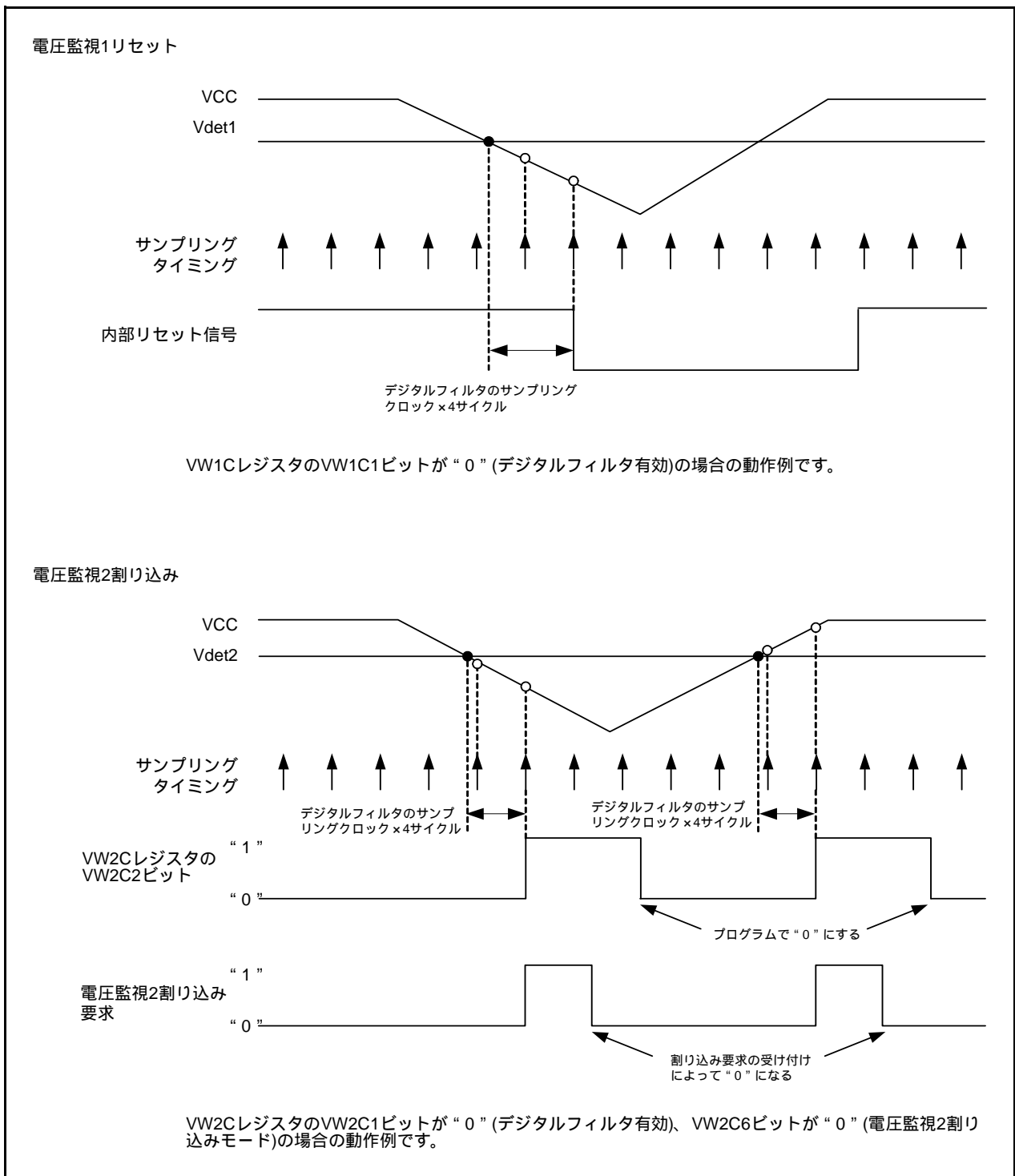


図7.7 デジタルフィルタの動作例

7.2 電圧監視1リセット

表7.2に電圧監視1リセット関連ビットの設定手順を、図7.8に電圧監視1リセット動作例を示します。
 なお、電圧監視1リセットをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表7.2 電圧監視1リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
2	td(E-A)待つ	
3 (注1)	VW1CレジスタのVW1F0～VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する。	VW1CレジスタのVW1C7ビットを“1”にする。
4 (注1)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする。	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする。
5 (注1)	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする。	
6	VW1CレジスタのVW1C2ビットを“0”にする。	
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	-
8	デジタルフィルタのサンプリングクロック×4サイクル待つ	-(待ち時間なし)
9	VW1CレジスタのVW1C0ビットを“1”(電圧監視1リセット許可)にする	

注1. VW1C0ビットが“0”(禁止)のとき、手順3、4、5は同時に(1命令で)実行してもかまいません。

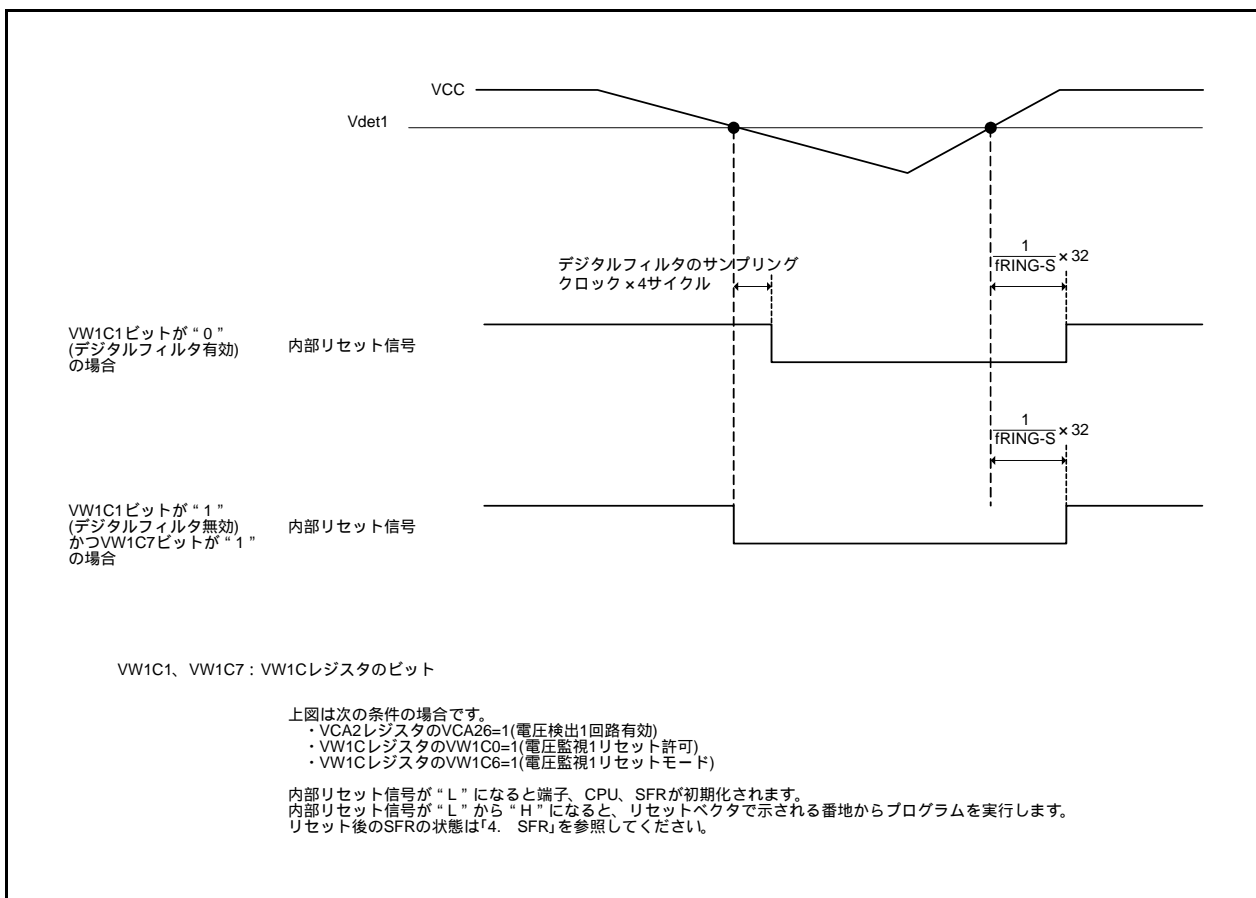


図7.8 電圧監視1リセット動作例

7.3 電圧監視2割り込み、電圧監視2リセット

表7.3に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を、図7.9に電圧監視2割り込み、電圧監視2リセット動作例を示します。

なお、電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表7.3 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする			
2	td(E-A)待つ			
3 (注2)	VW2CレジスタのVW2F0～VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する。		VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)。	
4 (注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする。		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする。	
5 (注2)	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする
6	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする		-	
8	デジタルフィルタのサンプリングクロック×4サイクル待つ		-(待ち時間なし)	
9	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする。			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”(禁止)のとき、手順3、4、5は同時に(1命令で)実行してもかまいません。

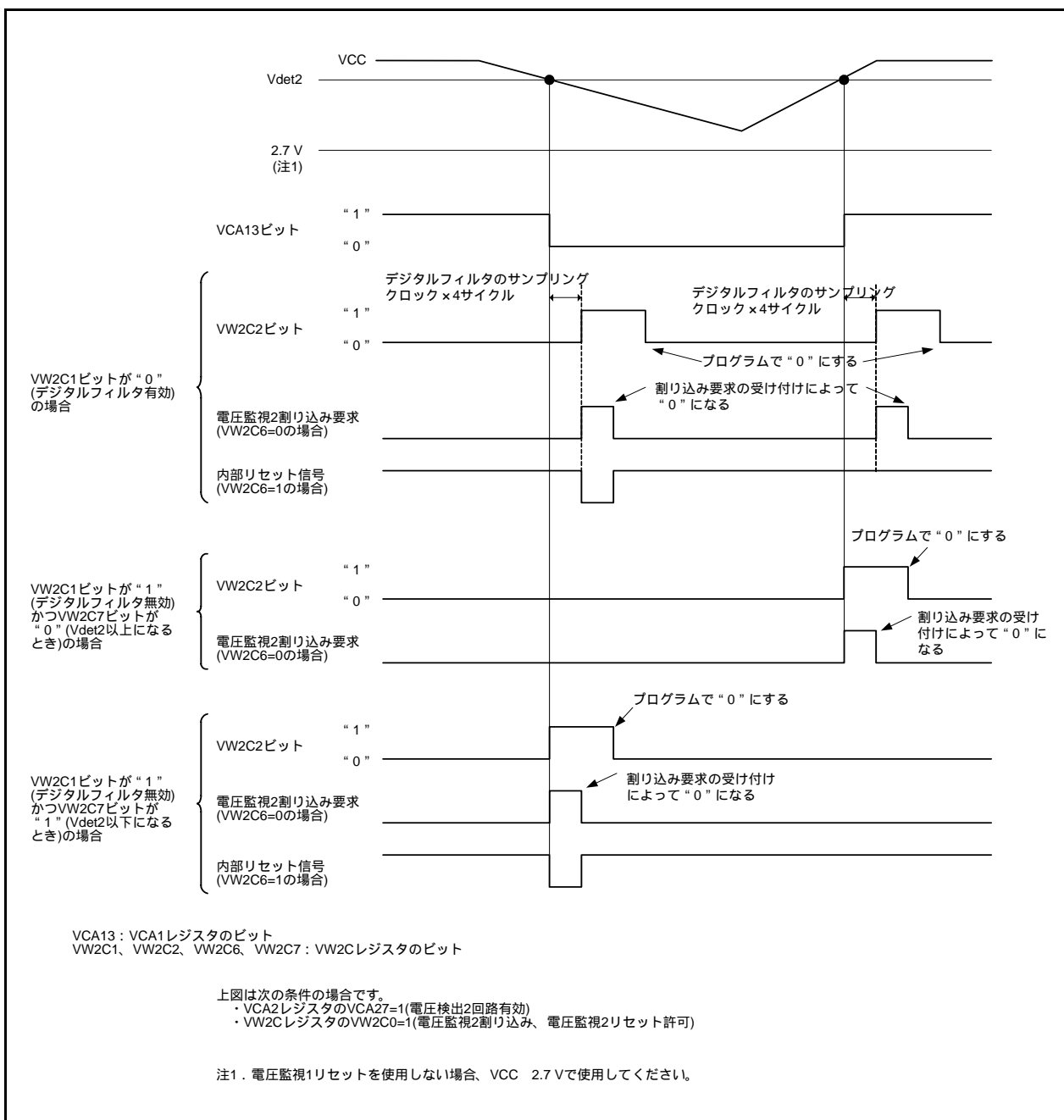


図7.9 電圧監視2割り込み、電圧監視2リセット動作例

8. プロセッサモード

8.1 プロセッサモードの種類

プロセッサモードはシングルチップモードとなります。表8.1にプロセッサモードの特長を、図8.1にPM0レジスタを、図8.2にPM1レジスタ示します。

表8.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子

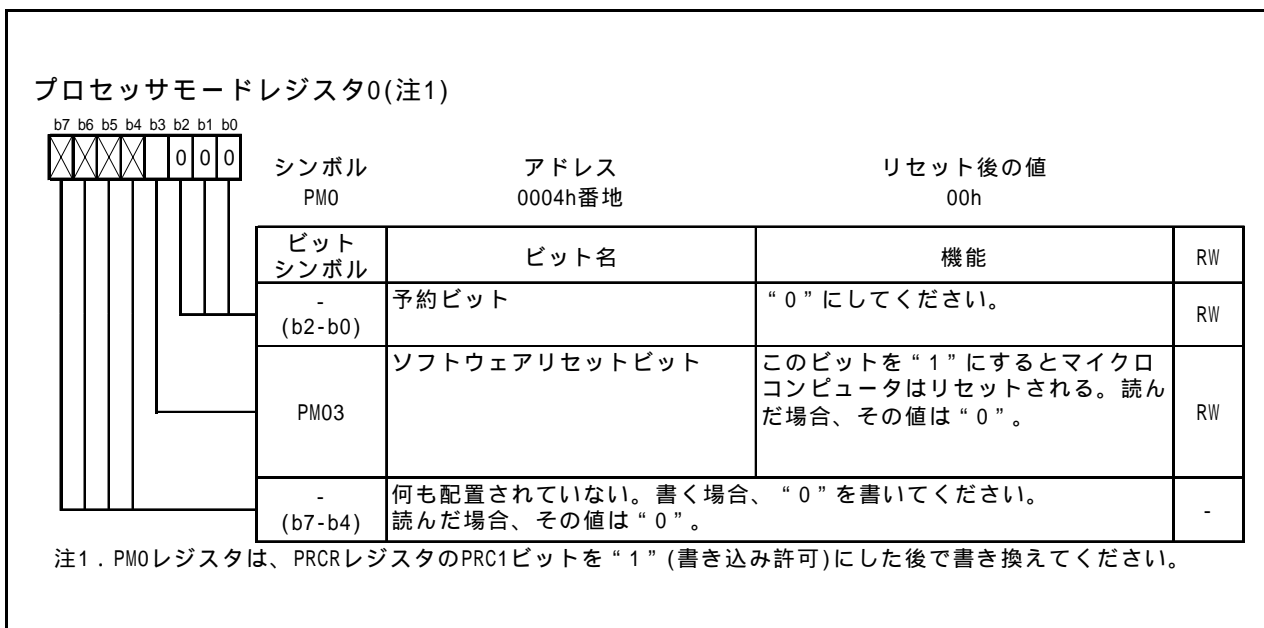


図8.1 PM0レジスタ

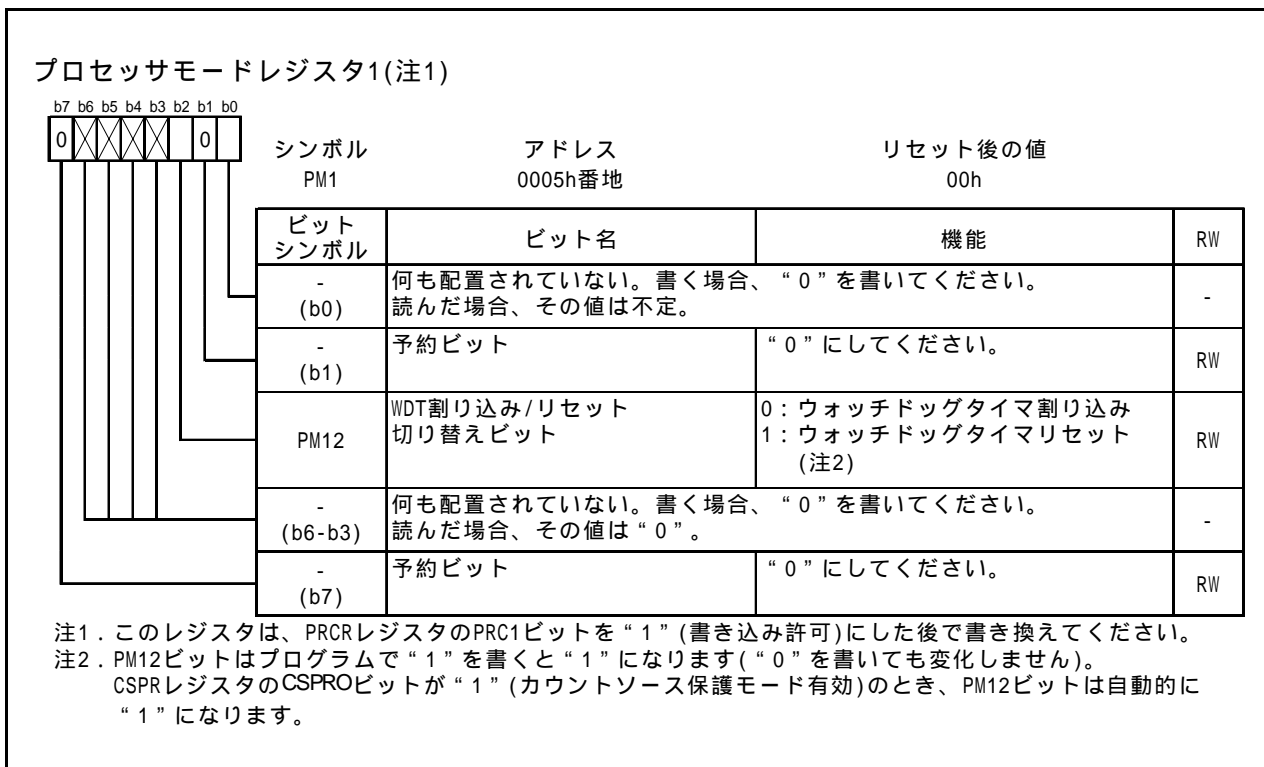


図8.2 PM1レジスタ

9. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。表9.1にR8C/1Aグループのアクセス領域に対するバスサイクルを、表9.2にR8C/1Bグループのアクセス領域に対するバスサイクル示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表9.3にアクセス単位とバスの動作を示します。


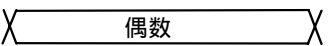
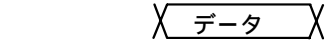


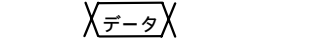

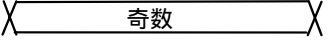
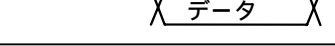


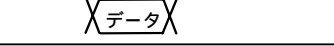



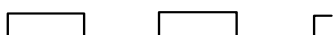


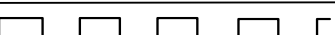

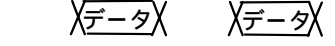
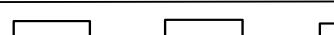

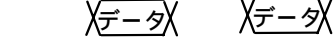
表9.1 R8C/1Aグループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR	CPUクロックの2サイクル
ROM/RAM	CPUクロックの1サイクル

表9.2 R8C/1Bグループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表9.3 アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM(プログラムROM)、RAM
偶数番地 バイトアクセス	CPUクロック  アドレス  偶数 データ  データ	CPUクロック  アドレス  偶数 データ  データ
奇数番地 バイトアクセス	CPUクロック  アドレス  奇数 データ  データ	CPUクロック  アドレス  奇数 データ  データ
偶数番地 ワードアクセス	CPUクロック  アドレス  偶数 偶数+1 データ  データ データ	CPUクロック  アドレス  偶数 偶数+1 データ  データ データ
奇数番地 ワードアクセス	CPUクロック  アドレス  奇数 奇数+1 データ  データ データ	CPUクロック  アドレス  奇数 奇数+1 データ  データ データ

10. クロック発生回路

クロック発生回路として、2つの回路が内蔵されています。

- メインクロック発振回路
- オンチップオシレータ(発振停止検出機能あり)

表10.1にクロック発生回路の概略仕様を示します。また、図10.1にクロック発生回路を、図10.2～10.5にクロック関連レジスタを示します。

表10.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	オンチップオシレータ	
		高速オンチップオシレータ	低速オンチップオシレータ
用途	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源 	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源 •メインクロック発振停止時のCPU、周辺機能のクロック源 	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源 •メインクロック発振停止時のCPU、周辺機能のクロック源
クロック周波数	0～20MHz	約8MHz	約125kHz
接続できる発振子	<ul style="list-style-type: none"> •セラミック共振子 •水晶発振子 		
発振子の接続端子	XIN、XOUT(注1)	(注1)	(注1)
発振の開始と停止	あり	あり	あり
リセット後の状態	停止	停止	発振
その他	外部で生成されたクロックを入力可能		

注1. メインクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP4_6、P4_7として使うことができます。

システムクロック制御レジスタ0(注1)

シンボル CM0	アドレス 0006h番地	リセット後の値 68h	
ビット シンボル	ビット名	機能	RW
- (b1-b0)	予約ビット	“0” にしてください。	RW
CM02	WAIT時周辺機能クロック 停止ビット	0 : ウェイトモード時、周辺機能ク ロック停止しない 1 : ウェイトモード時、周辺機能ク ロック停止する	RW
- (b3)	予約ビット	“1” にしてください。	RW
- (b4)	予約ビット	“0” にしてください。	RW
CM05	メインクロック(XIN-XOUT) 停止ビット(注2、4)	0 : 発振 1 : 停止(注3)	RW
CM06	システムクロック分周比 選択ビット0(注5)	0 : CM16、CM17有効 1 : 8分周モード	RW
- (b7)	予約ビット	“0” にしてください。	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. CM05ビットはオンチップオシレータモードにするとメインクロックを停止させるビットです。メインクロックが停止したかどうかの検出には使えません。メインクロックを停止させる場合、次のようにしてください。

(1)OCDレジスタのOCD1～OCD0ビットを“00b”(発振停止検出機能無効)にする。

(2)OCD2ビットを“1”(オンチップオシレータクロック選択)にする。

注3. 外部クロック入力時には、CM05ビットを“1”(メインクロック停止)、CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にしてください。

注4. CM05ビットが“1”(メインクロック停止)かつCM1レジスタのCM13ビットが“0”(P4_6、P4_7)の場合、P4_6、P4_7は入力ポートとして使用できます。

注5. 高速モード、中速モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

図10.2 CM0レジスタ

システムクロック制御レジスタ1(注1)

ビット シンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注4、7、8)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
- (b1)	予約ビット	"0" にしてください。	RW
- (b2)	予約ビット	"0" にしてください。	RW
CM13	ポートXIN-XOUT切り替え ビット(注7)	0 : 入力ポートP4_6、P4_7 1 : XIN-XOUT端子	RW
CM14	低速オンチップオシレータ発振停 止ビット(注5、6、8)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	RW
CM15	XIN-XOUT駆動能力選択ピッ ト(注2)	0 : LOW 1 : HIGH	RW
CM16	システムクロック分周比 選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

- 注1. このレジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可) にした後で書き換えてください。
- 注2. 高速モード、中速モードからストップモードへの移行時、“1” (駆動能力HIGH) になります。
- 注3. CM06ビットが“0” (CM16、CM17ビット有効) の場合、有効となります。
- 注4. CM10ビットが“1” (ストップモード) の場合、内蔵している帰還抵抗は無効となります。
- 注5. CM14ビットはOCD2ビットが“0” (メインクロック選択) のとき、“1” (低速オンチップオシレータ停止) にできます。OCD2ビットを“1” (オンチップオシレータクロック選択) にすると、CM14ビットは“0” (低速オンチップオシレータ発振) になります。“1” を書いても変化しません。
- 注6. 電圧検出割り込みを使用する場合、CM14ビットを“0” (低速オンチップオシレータ発振) にしてください。
- 注7. CM10ビットが“1” (ストップモード) またはCM0レジスタのCM05ビットが“1” (メインクロック停止) の場合、CM13ビットが“1” (XIN-XOUT端子) のとき、XOUT(P4_7)端子は“H” になります。
CM13ビットが“0” (入力ポートP4_6、P4_7) のとき、P4_7(XOUT)は入力状態になります。
- 注8. カウントソース保護モード有効時(「13.2 カウントソース保護モード有効時」参照)は、CM10、CM14ビットへ書いても値は変化しません。

図10.3 CM1レジスタ

発振停止検出レジスタ(注1)

シンボル OCD	アドレス 000Ch番地	リセット後の値 04h	
ビット シンボル	ビット名	機能	RW
OCD0	発振停止検出有効ビット	b1 b0 0 0 : 発振停止検出機能無効 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 発振停止検出機能有効(注4、7)	RW
OCD1			RW
OCD2	システムクロック選択ビット (注6)	0 : メインクロック選択(注7) 1 : オンチップオシレータクロック選択 (注2)	RW
OCD3	クロックモニタビット (注3、5)	0 : メインクロック発振 1 : メインクロック停止	RO
- (b7-b4)	予約ビット	"0" にしてください。	RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後、書き換えてください。

注2. OCD2ビットは、OCD1~OCD0ビットが"11b"(発振停止検出機能有効)のときにメインクロック発振停止を検出すると、自動的に"1"(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが"1"(メインクロック停止)のとき、OCD2ビットに"0"(メインクロック選択)を書いても変化しません。

注3. OCD3ビットはOCD1~OCD0ビットが"11b"のとき有効です。

注4. ストップモード、オンチップオシレータモード(メインクロック停止)に移行する前にOCD1~OCD0ビットを"00b"(発振停止検出機能無効)に設定してください。

注5. OCD1~OCD0ビットが"00b"のときOCD3ビットは"0"(メインクロック発振)になり、変化しません。

注6. OCD2ビットを"1"(オンチップオシレータクロック選択)にすると、CM14ビットは"0"(低速オンチップオシレータ発振)になります。

注7. 発振停止検出後、メインクロックが再発振した場合の切り替え手順は、「図10.8 低速オンチップオシレータからメインクロックへの切り替え手順」を参照してください。

図10.4 OCDレジスタ

高速オンチップオシレータ制御レジスタ0(注1)

		シンボル HRA0	アドレス 0020h番地	リセット後の値 00h
ビット シンボル	ビット名	機能	RW	
HRA00	高速オンチップオシレータ許可 ビット	0 : 高速オンチップオシレータ停止 1 : 高速オンチップオシレータ発振	RW	
HRA01	高速オンチップオシレータ選択 ビット(注2)	0 : 低速オンチップオシレータ選択 (注3) 1 : 高速オンチップオシレータ選択	RW	
- (b7-b2)	予約ビット	“0” にしてください。	RW	

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。
 注2. HRA01ビットは次の条件のとき変更してください。
 ・ HRA00=1(高速オンチップオシレータ発振)
 ・ CM1レジスタのCM14=0(低速オンチップオシレータ発振)
 注3. HRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にHRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。HRA01ビットを“0”にした後、HRA00ビットを“0”にしてください。

高速オンチップオシレータ制御レジスタ1(注1)

		シンボル HRA1	アドレス 0021h番地	リセット後の値 出荷時の値
機能			RW	
ビット0~7で高速オンチップオシレータの周波数を調整できます。(注2) 高速オンチップオシレータの周波数=8 MHz (HRA1レジスタ=出荷時の値 ; fRING-fastモード0)			RW	
HRA1レジスタの値を小さく(最小値: 00h)すると周波数が高くなります。 HRA1レジスタの値を大きく(最大値: FFh)すると周波数が低くなります。				

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。
 注2. システムクロックの最大値を超えないように、調整してください。

高速オンチップオシレータ制御レジスタ2(注1)

		シンボル HRA2	アドレス 0022h番地	リセット後の値 00h
ビット シンボル	ビット名	機能	RW	
HRA20	高速オンチップオシレータモード 選択ビット(注4)	b1 b0 0 0 : fRING-fastモード0 (HRA1レジスタが出荷時の値の とき、8 MHz)	RW	
HRA21		0 1 : fRING-fastモード1(注2) 1 0 : fRING-fastモード2(注3) 1 1 : 設定しないでください	RW	
- (b4-b2)	予約ビット	“0” にしてください。	RW	
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-	

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。
 注2. fRING-fastモード0からfRING-fastモード1にすると周波数は1.5倍になります。
 注3. fRING-fastモード0からfRING-fastモード2にすると周波数は0.5倍になります。
 注4. システムクロックの最大値を超えないように、設定してください。

図10.5 HRA0、HRA1、HRA2レジスタ

クロック発生回路で生成するクロックを説明します。

10.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図10.6にメインクロックの接続回路例を示します。

リセット中およびリセット後、メインクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(メインクロック発振)にするとメインクロックは発振を開始します。メインクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(メインクロック選択)にするとメインクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(メインクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしてもメインクロックは停止しませんので、必要場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「10.4 パワーコントロール」を参照してください。

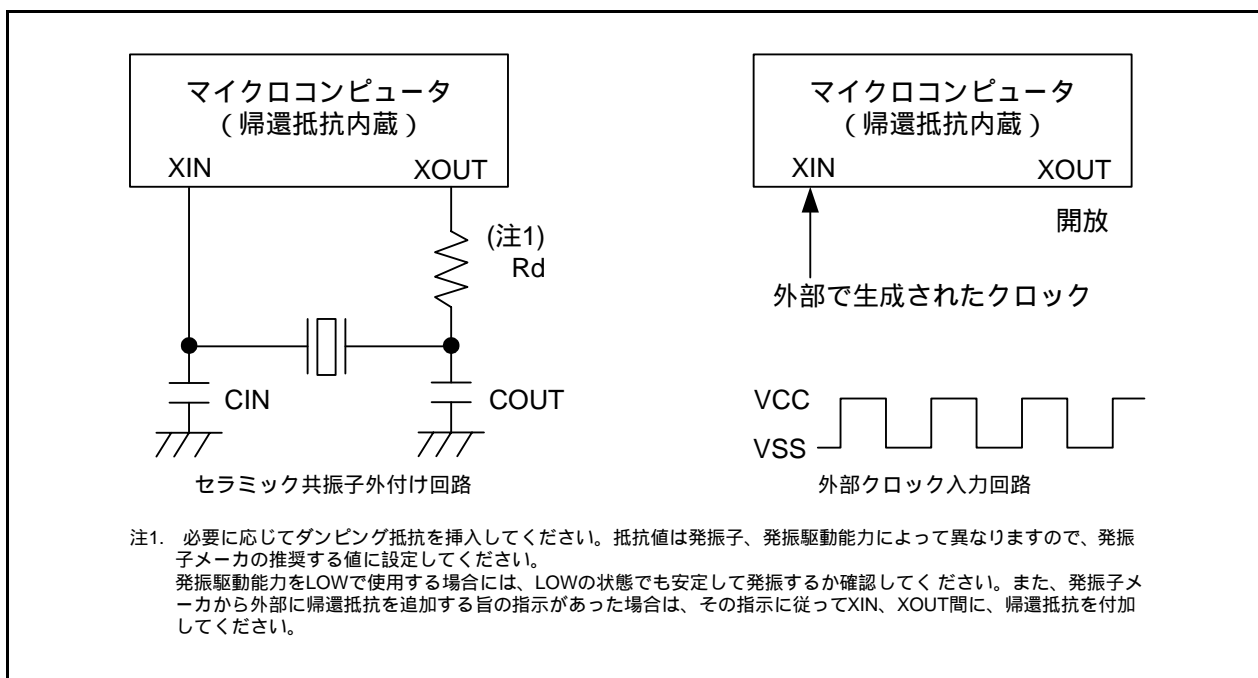


図10.6 メインクロックの接続回路例

10.2 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。HRA0レジスタのHRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

10.2.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fRING、fRING128、fRING-Sのクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの8分周がCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”（発振停止検出機能有効）の場合、メインクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

10.2.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fRING、fRING128、fRING-fastのクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。HRA0レジスタのHRA00ビットを“1”（高速オンチップオシレータ発振）にすると発振を開始します。HRA1レジスタおよびHRA2を使って、周波数を調整できます。

HRA1レジスタの各ビットの遅延量にはばらつきがありますので、各ビットを変化させて調整してください。

高速オンチップオシレータの周波数は、フラッシュメモリのCPU書き換えモードで、自動書き込み期間中または自動消去期間中に、変動する可能性があります。詳細は「10.6.5 高速オンチップオシレータクロック」を参照してください。

10.3 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させるクロックがあります。(「図10.1 クロック発生回路」参照。)

10.3.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。メインクロックまたはオンチップオシレータクロックが選択できます。

10.3.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16～CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの8分周がCPUクロックになります。

なお、高速モードまたは中速モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

10.3.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i(i=1、2、4、8、32)はシステムクロックをi分周したクロックです。f_iはタイマX、タイマZ、タイマC、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、f_iは停止します。

10.3.4 fRING、fRING128

周辺機能の動作クロックです。

fRINGは、オンチップオシレータクロックと同じ周波数のクロックです。タイマXで使用します。fRING128はfRINGを128分周したクロックです。タイマCで使用します。

fRINGとfRING128はWAIT命令実行時、停止しません。

10.3.5 fRING-fast

タイマCのカウントソースになります。

fRING-fastは高速オンチップオシレータで生成したクロックで、HRA00ビットを“1”にすると供給されます。

fRING-fastはWAIT命令実行時、停止しません。

10.3.6 fRING-S

ウォッチドッグタイマと電圧検出回路の動作クロックです。

fRING-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fRING-SはWAIT命令実行時、またはウォッチドッグタイマのカウントソース保護モード時、停止しません。

10.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、通常動作モードと呼びます。

10.4.1 通常動作モード

通常動作モードは、さらに4つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

表10.2 クロック関連ビットの設定とモード

モード		OCDレジスタ	CM1レジスタ		CM0レジスタ	
		OCD2	CM17、CM16	CM13	CM06	CM05
高速モード		0	00b	1	0	0
中速モード	2分周	0	01b	1	0	0
	4分周	0	10b	1	0	0
	8分周	0		1	1	0
	16分周	0	11b	1	0	0
高速、低速 オンチップ オシレータ モード(注1)	分周なし	1	00b		0	
	2分周	1	01b		0	
	4分周	1	10b		0	
	8分周	1			1	
	16分周	1	11b		0	

注1. CM1レジスタのCM14=0(低速オンチップオシレータ発振)、かつHRA0レジスタのHRA01=0のとき、低速オンチップオシレータがオンチップオシレータクロックになります。
HRA0レジスタのHRA00=1(高速オンチップオシレータ発振)、かつHRA0レジスタのHRA01=1のとき、高速オンチップオシレータがオンチップオシレータクロックになります。

10.4.1.1 高速モード

メインクロックの1分周(分周なし)がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはHRA0レジスタのHRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fRING、fRING128をタイマXとタイマCで使用できます。また、HRA00ビットが“1”のとき、fRING-fastをタイマCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fRING-Sをウォッチドッグタイマと電圧検出回路で使用できます。

10.4.1.2 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはHRA0レジスタのHRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fRING、fRING128をタイマXとタイマCで使用できます。また、HRA00ビットが“1”のとき、fRING-fastをタイマCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fRING-Sをウォッチドッグタイマと電圧検出回路で使用できます。

10.4.1.3 高速、低速オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。HRA00ビットが“1”のとき、fRING-fastをタイマCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fRING-Sをウォッチドッグタイマと電圧検出回路で使用できます。

10.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。メインクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.4.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

10.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

10.4.2.3 ウェイトモード時の端子の状態

ウェイトモードに入る直前の状態を保持。

10.4.2.4 ウェイトモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2 ~ ILVL0ビットを“000b”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できません。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/Dコンバータ変換割り込み	単発モードで使用可	(使用しないでください)
タイマX割り込み	すべてのモードで使用可	イベントカウンタモードで使用可
タイマZ割り込み	すべてのモードで使用可	(使用しないでください)
タイマC割り込み	すべてのモードで使用可	(使用しないでください)
$\overline{\text{INT}}$ 割り込み	使用可	使用可($\overline{\text{INT0}}$ 、 $\overline{\text{INT3}}$ はフィルタなしの場合に、使用可)
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	(使用しないでください)

図10.7にウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みシーケンスを実行します。周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

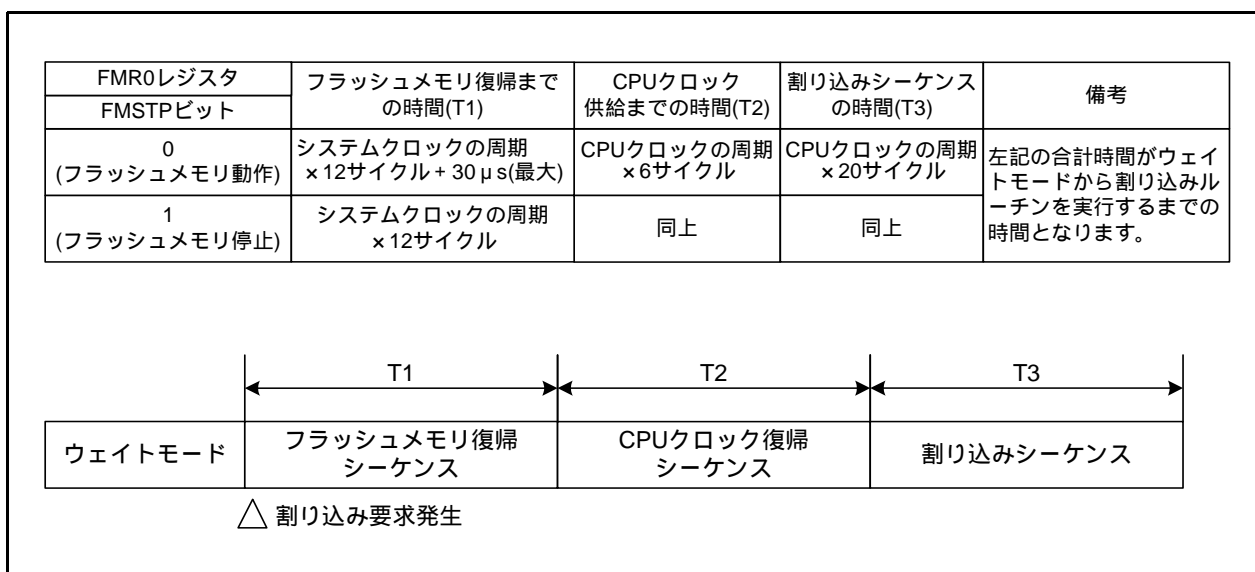


図10.7 ウェイトモードから割り込みルーチンを実行するまでの時間

10.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	
INT0 ~ INT1 割り込み	INT0はフィルタなしの場合に使用可
INT3 割り込み	フィルタなし、INT3入力タイミングで割り込み要求発生(TCC0レジスタのTCC06ビットが“1”)の場合に使用可
タイマX割り込み	イベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

10.4.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM10レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、OCD1 ~ OCD0ビットを“00b”(発振停止検出機能無効)にしてからストップモードにしてください。

10.4.3.2 ストップモード時の端子の状態

ストップモードに入る直前の状態を保持。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。CM13ビットが“0”(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。

10.4.3.3 ストップモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ストップモードから復帰します。

図10.8にストップモードから割り込みルーチンを実行するまでの時間を示します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。

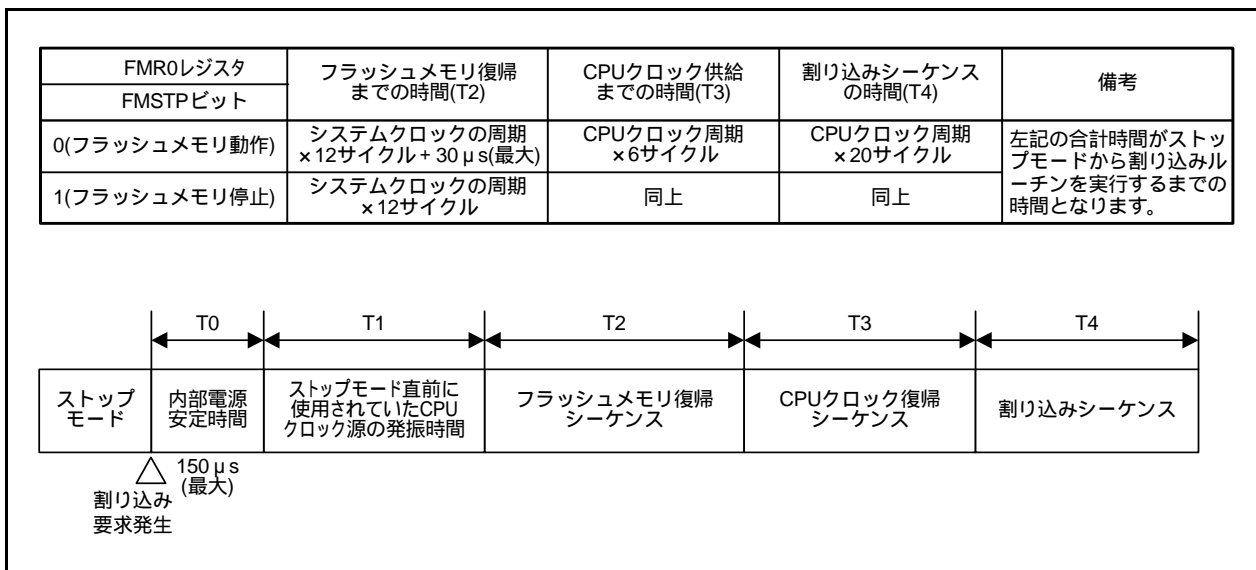


図10.8 ストップモードから割り込みルーチンを実行するまでの時間

図10.9にパワーコントロールの状態遷移を示します。

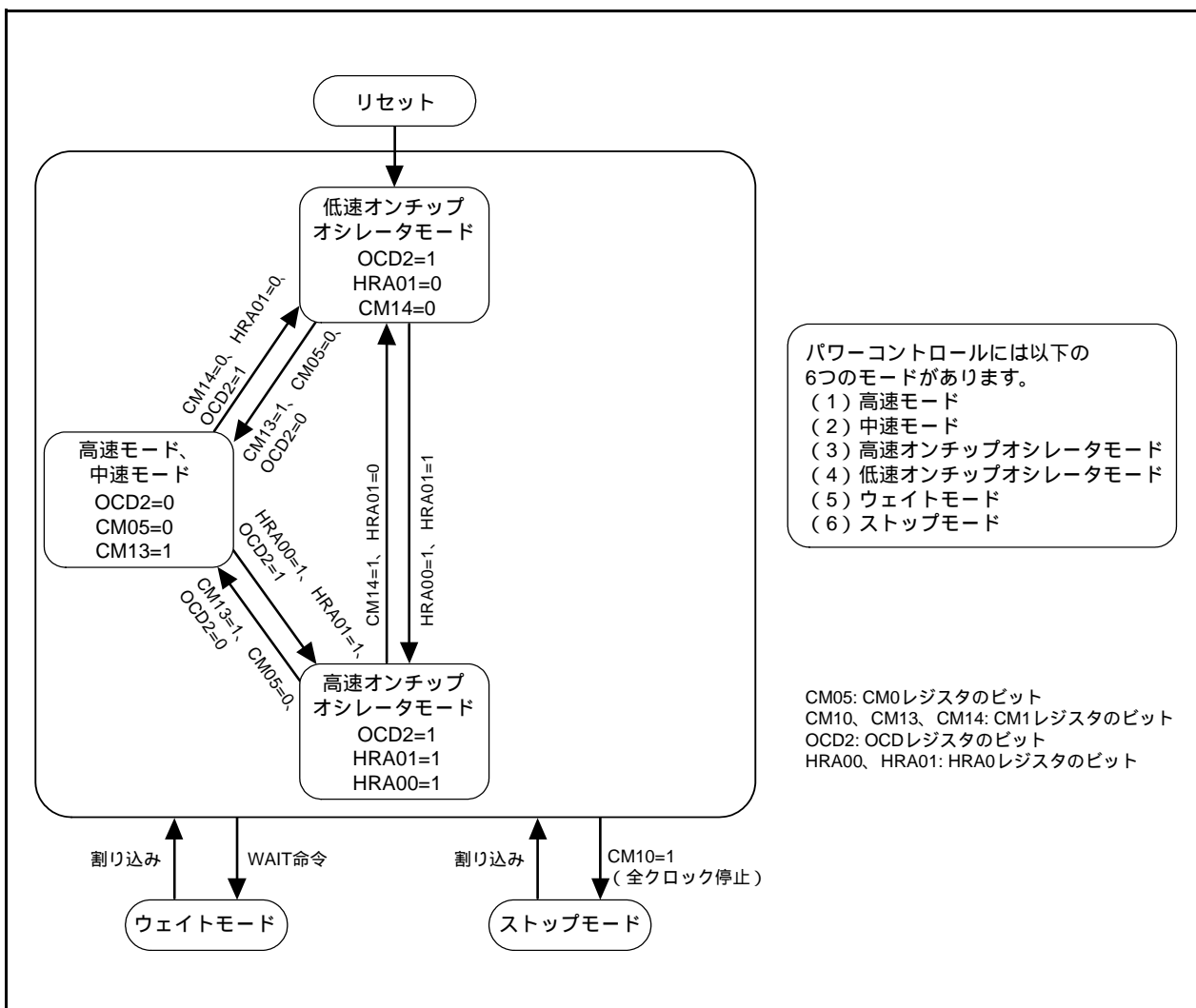


図10.9 パワーコントロールの状態遷移

10.5 発振停止検出機能

発振停止検出機能は、メインクロック発振回路の停止を検出する機能です。
 発振停止検出機能はOCDレジスタのOCD1～OCD0ビットで有効、無効が選択できます。
 表10.5に発振停止検出機能の仕様を示します。

メインクロックがCPUクロック源でOCD1～OCD0ビットが“11b”(発振停止検出機能有効)の場合、メインクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット=1(メインクロック停止)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表10.5 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”(発振停止検出機能有効)にする
発振停止検出時の動作	発振停止検出割り込み発生

10.5.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。表10.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視2割り込みの割り込み要因の判別を示します。
- 発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図10.10に低速オンチップオシレータからメインクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください。
- メインクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、HRA0レジスタのHRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”(発振停止検出機能有効)にしてください。
 発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、HRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”(発振停止検出機能有効)にしてください。

表10.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCDレジスタのOCD3=1
	(b)OCDレジスタのOCD1 ~ OCD0=11bかつOCD2=1
ウォッチドッグタイマ	VW2CレジスタのVW2C3=1
電圧監視2	VW2CレジスタのVW2C2=1

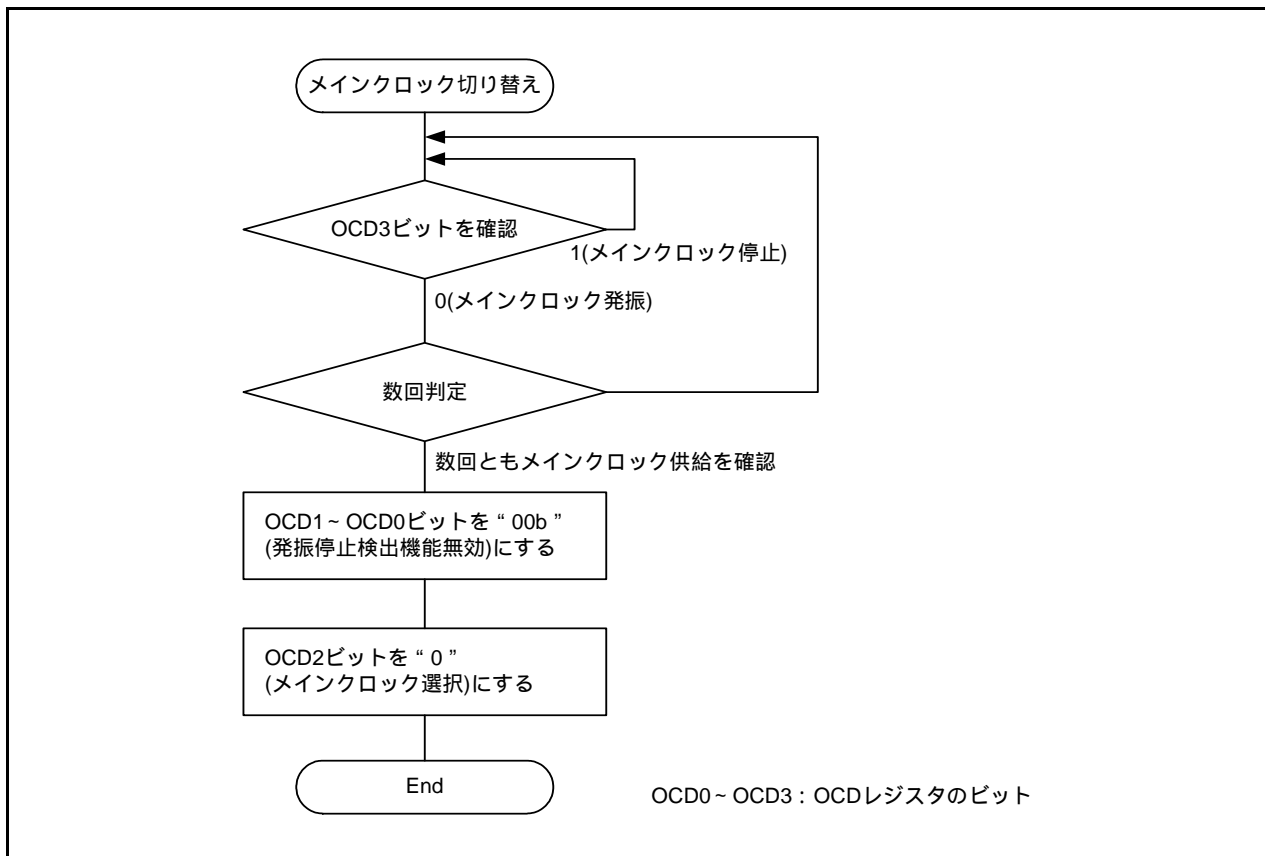


図10.10 低速オンチップオシレータからメインクロックへの切り替え手順

10.6 クロック発生回路使用上の注意

10.6.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR     ; プロテクト解除
FSET      I           ; 割り込み許可
BSET      0, CM1      ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

10.6.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I           ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP

```

10.6.3 発振停止検出機能

メインクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください。

10.6.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

10.6.5 高速オンチップオシレータクロック

高速オンチップオシレータの周波数は、フラッシュメモリのCPU書き換えモードで、自動書き込み期間中または自動消去期間中に最大10% (注1) 変動する可能性があります。

自動書き込み終了後または自動消去終了後の高速オンチップオシレータの周波数は、プログラムコマンドまたはブロックイレーズコマンド発行前の状態になります。またリードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド発行時は該当しません。

応用製品設計の際には周波数変動に対して十分考慮してください。

注1．出荷時に調整されている8MHzの周波数に対する変動率

11. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図11.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、OCD、HRA0、HRA1、HRA2レジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC3ビットで保護されるレジスタ：VCA2、VW1C、VW2Cレジスタ

シンボル PRCR		アドレス 000Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能		RW
PRC0	プロテクトビット0	CM0、CM1、OCD、HRA0、HRA1、HRA2レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可		RW
PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可		RW
- (b2)	予約ビット	“0”にしてください。		RW
PRC3	プロテクトビット3	VCA2、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可		RW
- (b5-b4)	予約ビット	“0”にしてください。		RW
- (b7-b6)	予約ビット	読んだ場合、その値は“0”。		RO

図11.1 PRCRレジスタ

12. 割り込み

12.1 割り込みの概要

12.1.1 割り込みの分類

図12.1に割り込みの分類を示します。

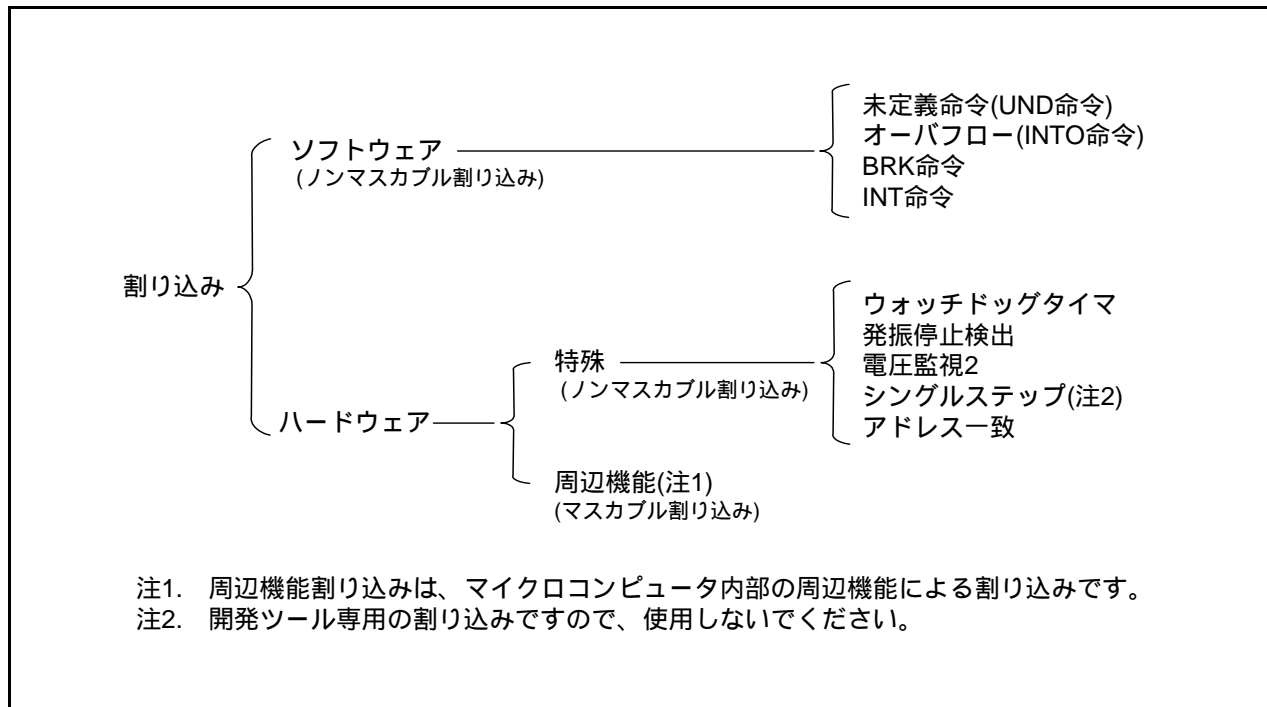


図12.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

12.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

12.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

12.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

12.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

12.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

12.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は、「13. ウォッチドッグタイマ」を参照してください。

12.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「10. クロック発生回路」を参照してください。

12.1.3.3 電圧監視2割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

12.1.3.4 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.1.3.5 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.4 アドレス一致割り込み」を参照してください。

12.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表12.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

12.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図12.2に割り込みベクタを示します。

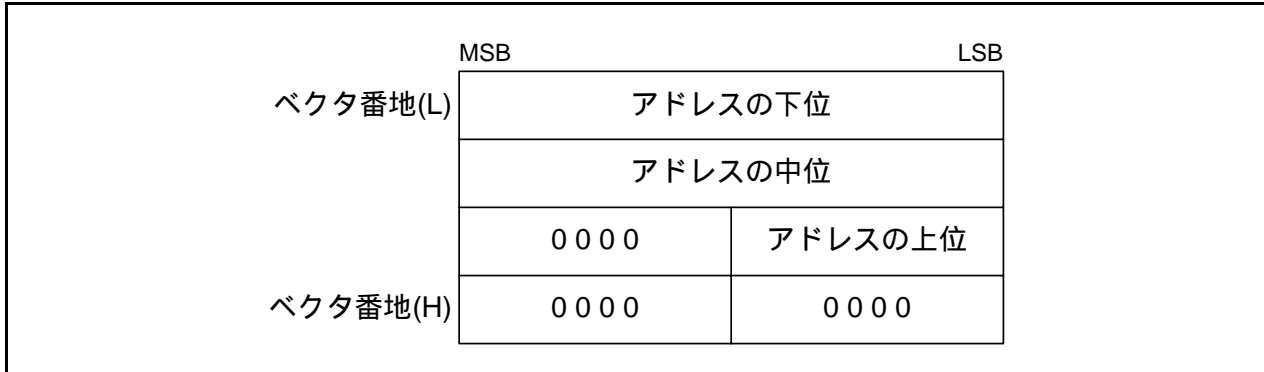


図12.2 割り込みベクタ

12.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFh番地に配置されています。表12.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「18.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表12.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	0FFDCh ~ 0FFDFh	UND命令で割り込み	R8C/Tinyシリーズソフトウェア マニュアル
オーバフロー	0FFE0h ~ 0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h ~ 0FFE7h	0FFE7h番地の内容が FFhの場合は可変ベク タテーブル内のベクタ が示す番地から実行	
アドレス一致	0FFE8h ~ 0FFEBh		12.4アドレス一致割り込み
シングルステップ(注1)	0FFECh ~ 0FEFh		
ウォッチドッグタイマ、 発振停止検出、電圧監視2	0FFF0h ~ 0FFF3h		13.ウォッチドッグタイマ、 10.クロック発生回路、 7.電圧検出回路
アドレスブレイク(注1)	0FFF4h ~ 0FFF7h		
(予約)	0FFF8h ~ 0FFFBh		
リセット	0FFFCh ~ 0FFFFh		6. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

12.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表12.2に可変ベクタテーブルを示します。

表12.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注2)	+0 ~ +3(0000h ~ 0003h)	0	R8C/Tinyシリーズソフトウェア マニュアル
(予約)		1 ~ 12	
キー入力	+52 ~ +55(0034h ~ 0037h)	13	12.3 キー入力割り込み
A/D変換	+56 ~ +59(0038h ~ 003Bh)	14	17. A/Dコンバータ
チップセレクト付クロック同 期形シリアルI/O / I ² Cバスインタフェース(注3)	+60 ~ +63(003Ch ~ 003Fh)	15	16.2 チップセレクト付クロック 同期形シリアルI/O(SSU)、 16.3 I ² Cバスインタフェース
コンペア1	+64 ~ +67(0040h ~ 0043h)	16	14.3 タイマC
UART0送信	+68 ~ +71(0044h ~ 0047h)	17	15. シリアルインタフェース
UART0受信	+72 ~ +75(0048h ~ 004Bh)	18	
UART1送信	+76 ~ +79(004Ch ~ 004Fh)	19	
UART1受信	+80 ~ +83(0050h ~ 0053h)	20	
(予約)		21	
タイマX	+88 ~ +91(0058h ~ 005Bh)	22	14.1 タイマX
(予約)		23	
タイマZ	+96 ~ +99(0060h ~ 0063h)	24	14.2 タイマZ
INT1	+100 ~ +103(0064h ~ 0067h)	25	12.2 INT割り込み
INT3	+104 ~ +107(0068h ~ 006Bh)	26	
タイマC	+108 ~ +111(006Ch ~ 006Fh)	27	14.3 タイマC
コンペア0	+112 ~ +115(0070h ~ 0073h)	28	
INT0	+116 ~ +119(0074h ~ 0077h)	29	12.2 INT割り込み
(予約)		30	
(予約)		31	
ソフトウェア(注2)	+128 ~ +131(0080h ~ 0083h) ~ +252 ~ +255(00FCh ~ 00FFh)	32 ~ 63	R8C/Tinyシリーズソフトウェア マニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

注3. PMRレジスタのIICSELビットで選択できます。

12.1.6 割り込み制御

マスクابل割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2 ~ ILVL0 ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIR ビットに示されます。

図12.3に割り込み制御レジスタ、図12.4にINT0ICレジスタを示します。

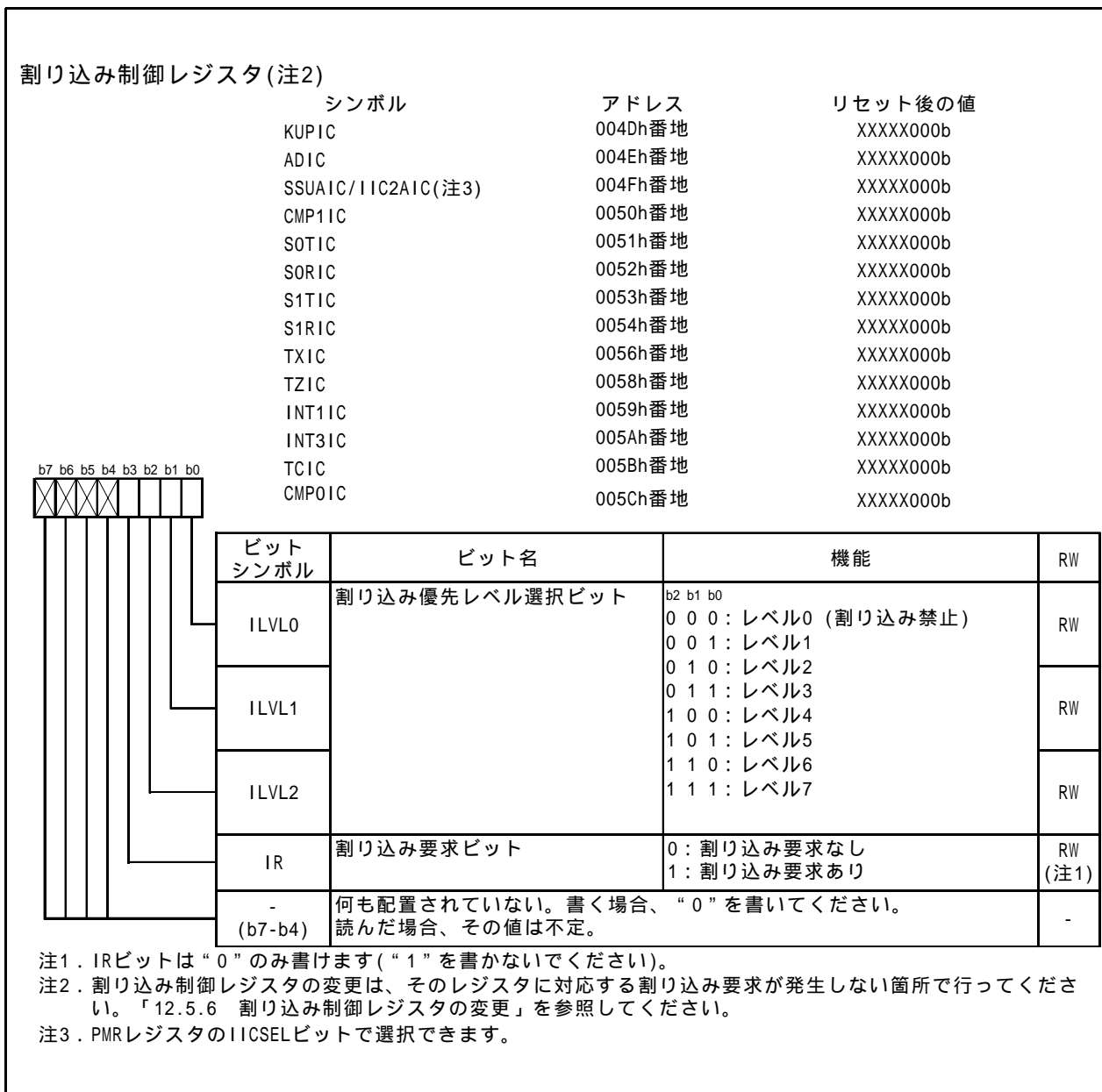


図12.3 割り込み制御レジスタ

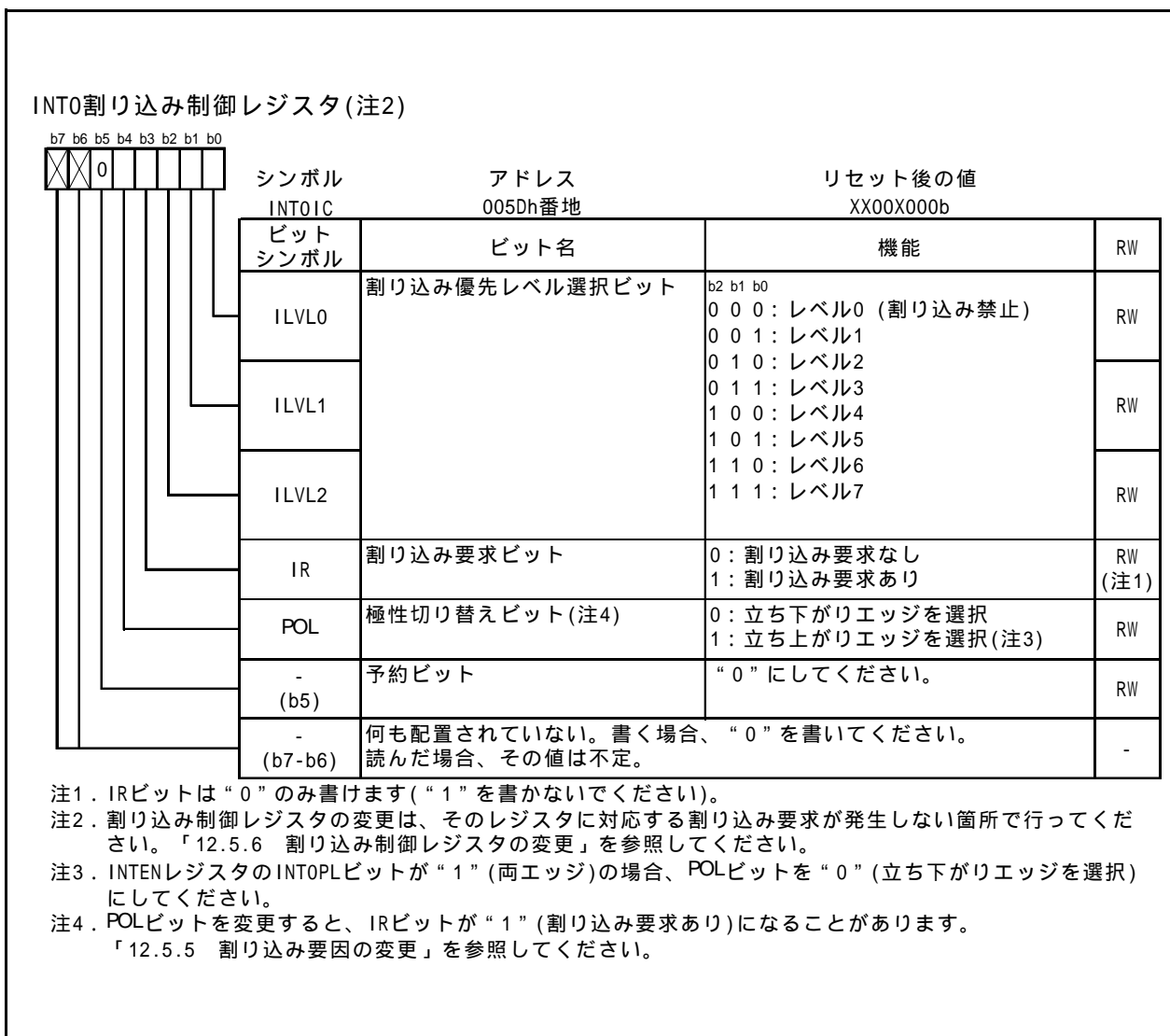


図12.4 INT0ICレジスタ

12.1.6.1 Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクابل割り込みは許可され、“0”(禁止)にするとすべてのマスクابل割り込みは禁止されます。

12.1.6.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。IRビットはプログラムによって“0”にできます。“1”を書かないでください。

12.1.6.3 ILVL2 ~ ILVL0ビット、IPL

割り込み優先レベルは、ILVL2 ~ ILVL0ビットで設定できます。

表12.3に割り込み優先レベルの設定、表12.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2 ~ ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表12.3 割り込み優先レベルの設定

ILVL2 ~ ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表12.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクابل割り込みを禁止

12.1.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図12.5に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

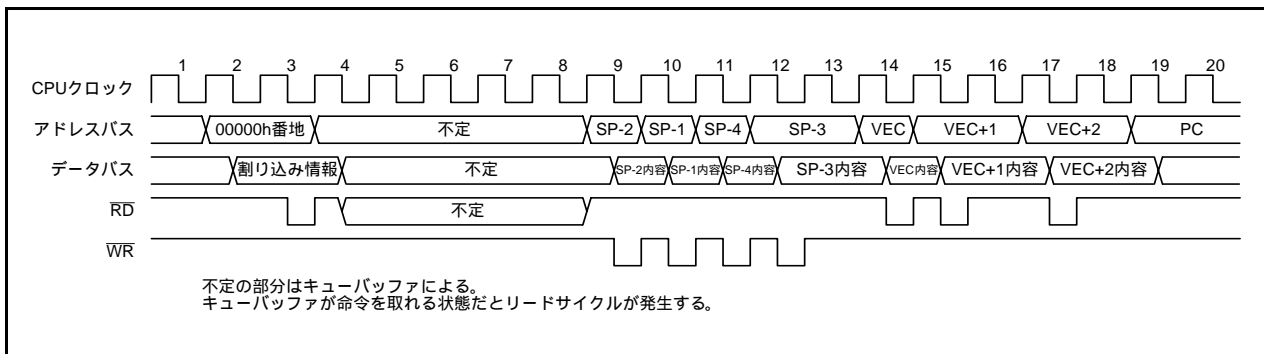


図12.5 割り込みシーケンスの実行時間

12.1.6.5 割り込み応答時間

図12.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図12.6の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

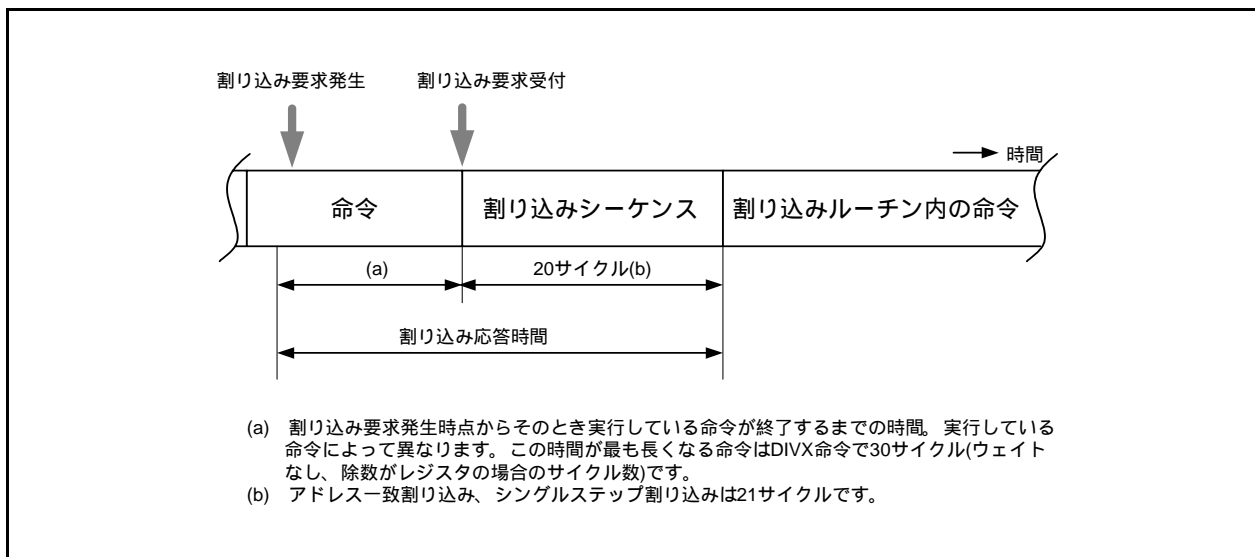


図12.6 割り込み応答時間

12.1.6.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表12.5に示す値がIPLに設定されます。表12.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視2	7
ソフトウェア、アドレス一致、シングルステップ、アドレスブレイク	変化しない

12.1.6.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図12.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

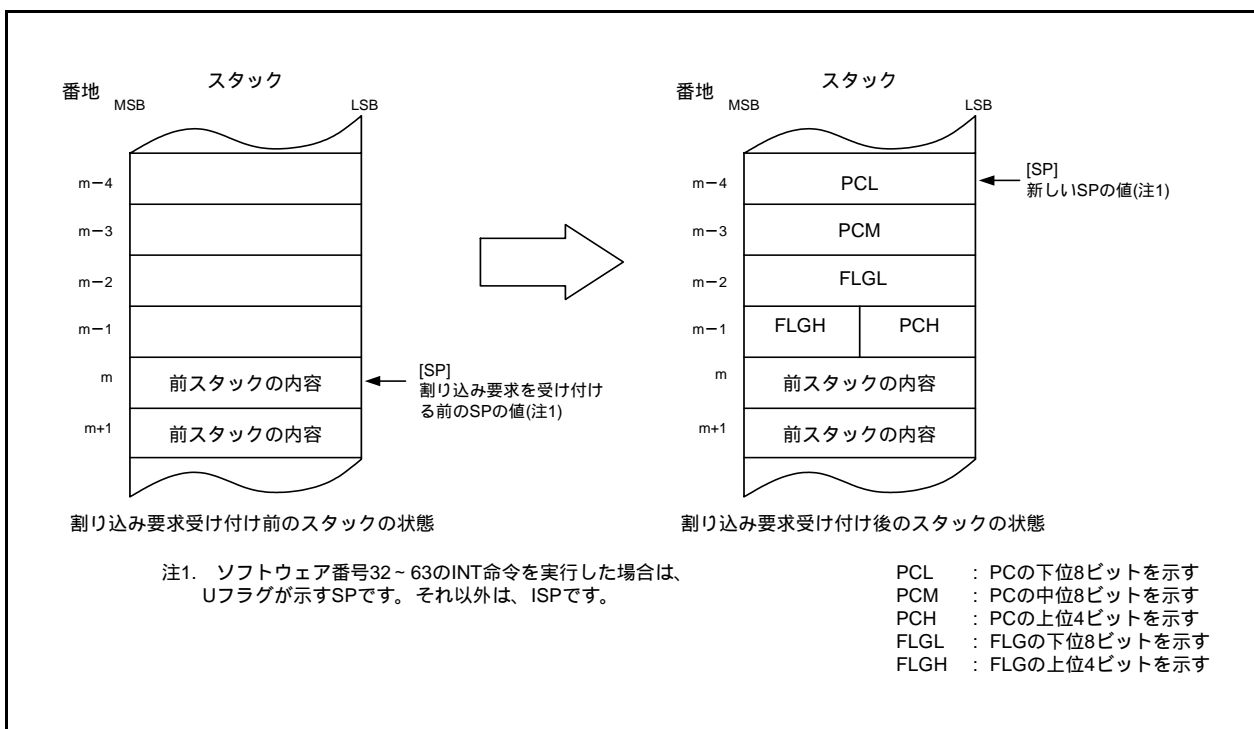


図12.7 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。図12.8にレジスタ退避動作を示します。

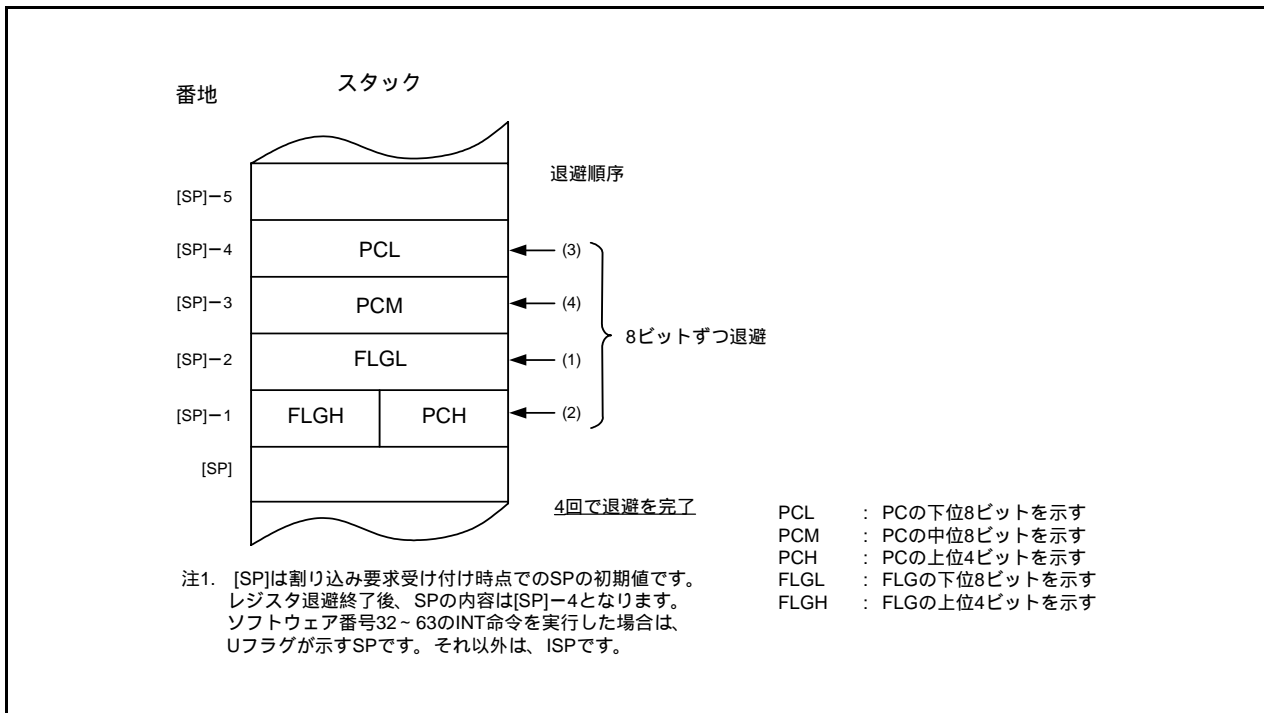


図12.8 レジスタ退避動作

12.1.6.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

12.1.6.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図12.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

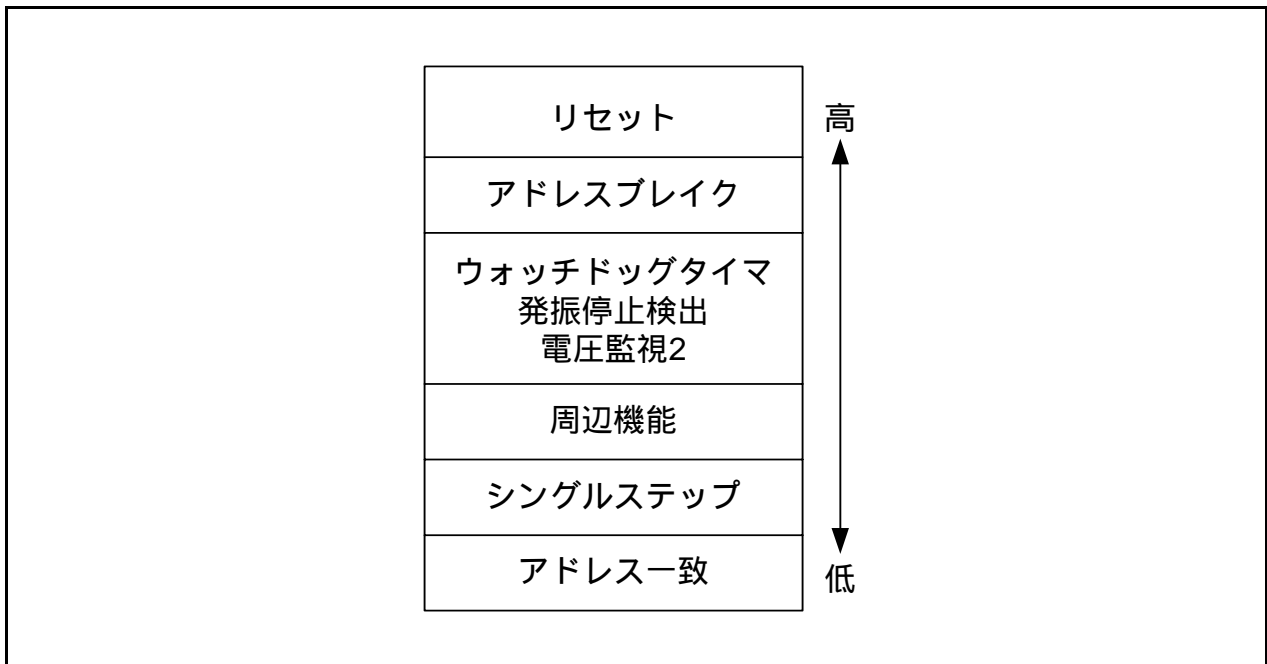


図12.9 ハードウェア割り込みの割り込み優先順位

12.1.6.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
図12.10に割り込み優先レベルの判定回路を示します。

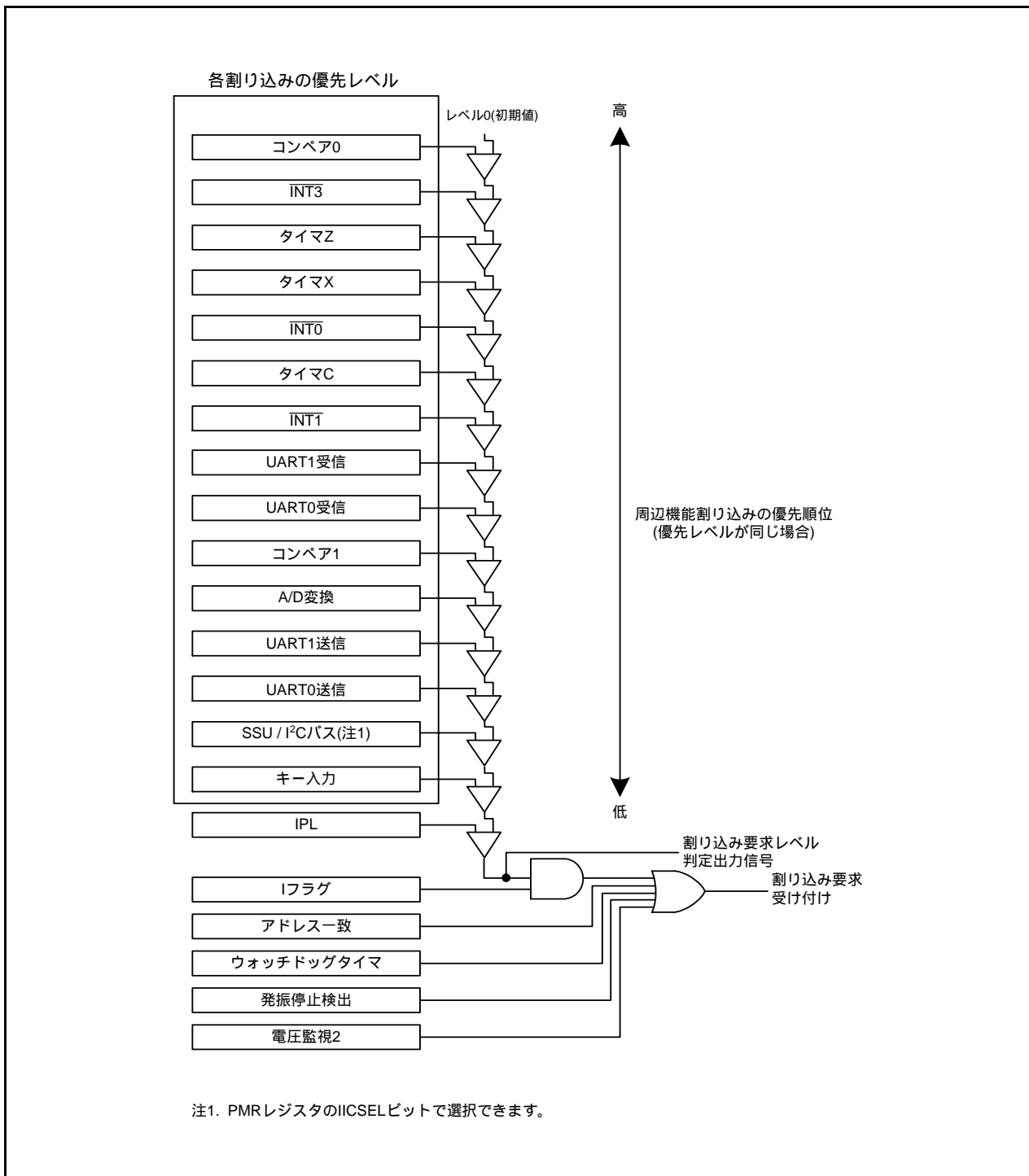


図12.10 割り込み優先レベルの判定回路

12.2 INT割り込み

12.2.1 INT0割り込み

INT0割り込みはINT0入力による割り込みです。INT0割り込みを使用するときはINTENレジスタのINT0ENビット“1”(許可)にしてください。極性をINTENレジスタのINT0PLビットとINT0ICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。INT0端子は、タイマZの外部トリガ入力端子と兼用です。

図12.11にINTEN、INT0Fレジスタを示します。

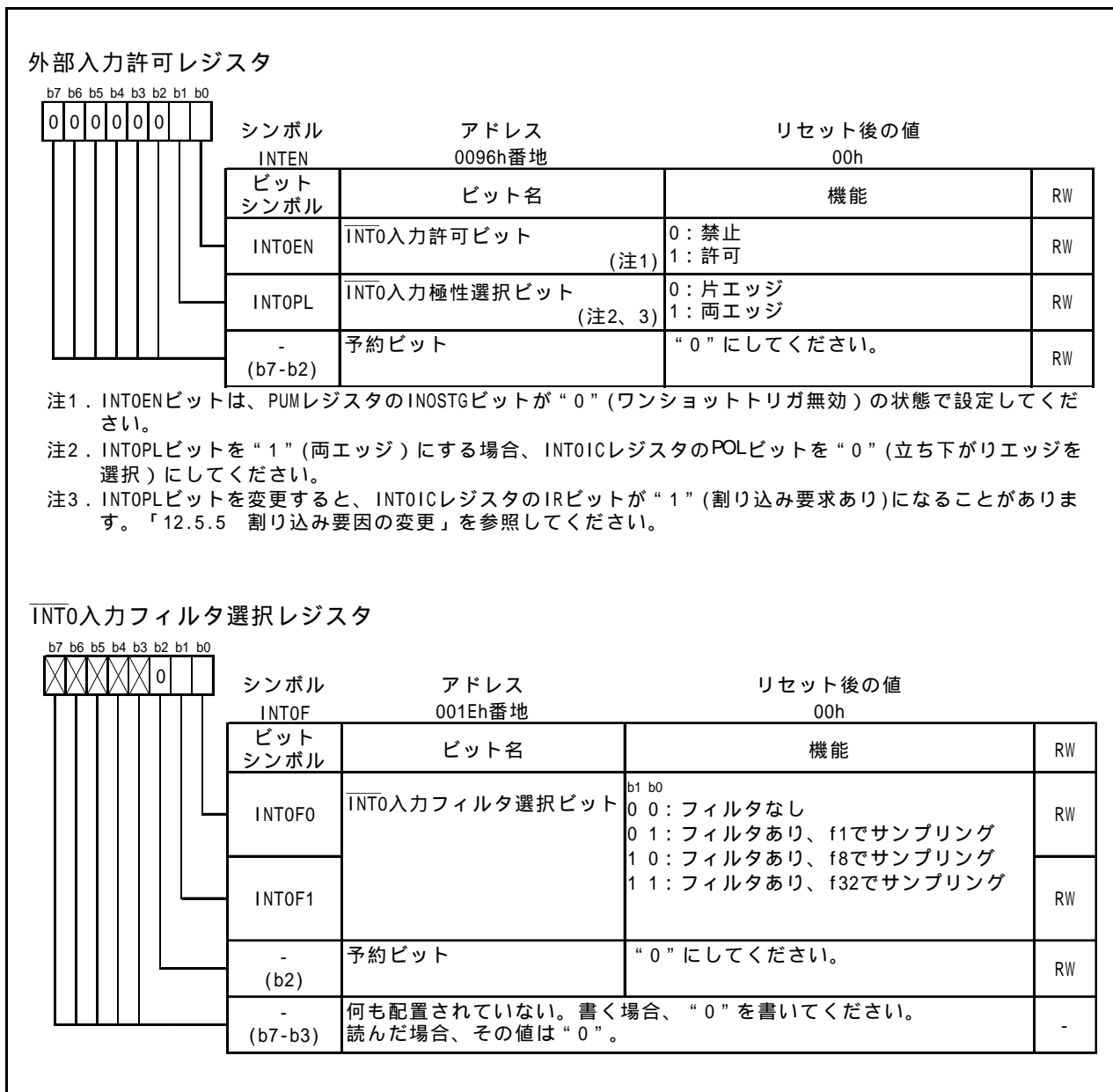


図12.11 INTEN、INT0Fレジスタ

12.2.2 INT0入力フィルタ

INT0入力は、デジタルフィルタを持ちます。サンプリングクロックはINT0FレジスタのINT0F0 ~ INT0F1ビットで選択できます。サンプリングクロックごとにINT0のレベルをサンプリングし、レベルが3度一致した時点で、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります。

図12.12にINT0入力フィルタの構成を、図12.13にINT0入力フィルタ動作例を示します。

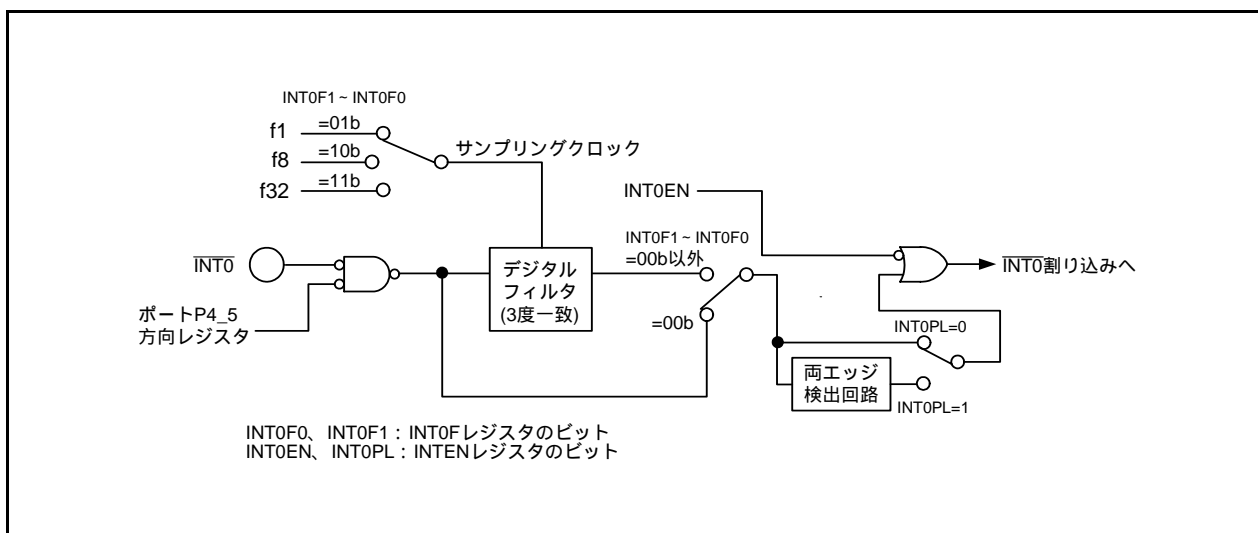


図12.12 INT0入力フィルタの構成

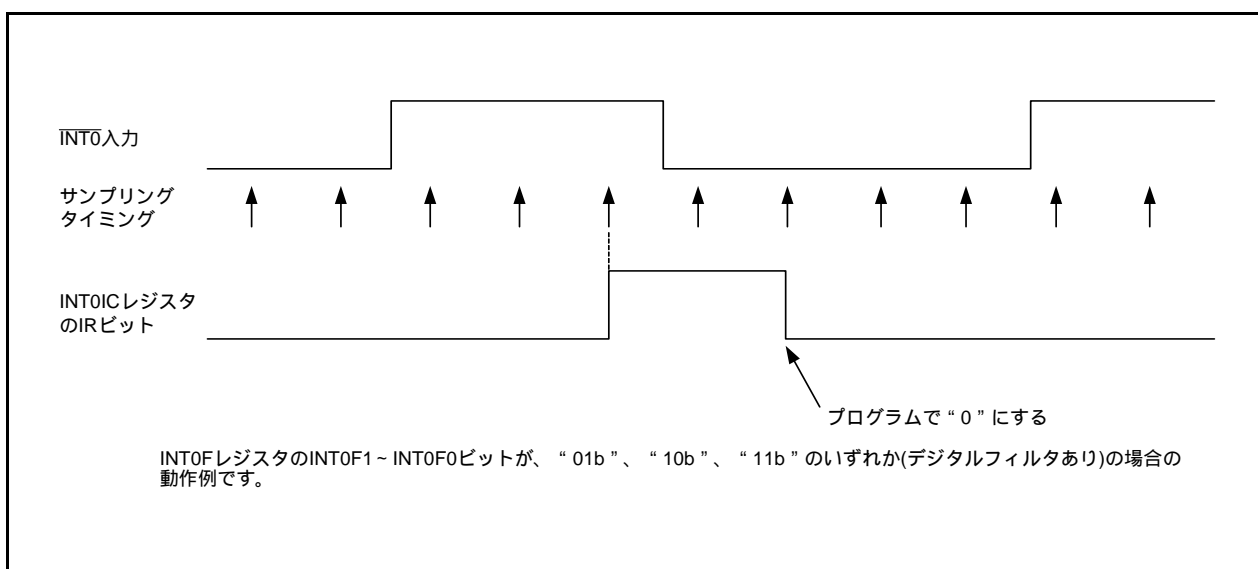


図12.13 INT0入力フィルタ動作例

12.2.3 INT1割り込み

INT1割り込みは、INT1入力による割り込みです。極性は、TXMRレジスタのROEDGビットで選択できます。

UCONレジスタのCNTRSELビットが“0”のとき、INT10端子がINT1入力端子になり、CNTRSELビットが“1”のとき、INT11端子がINT1入力端子になります。

INT10端子はCNTR00端子と兼用で、INT11端子はCNTR01端子と兼用です。

図12.14にINT1割り込み使用時のTXMRレジスタを示します。

タイマXモードレジスタ

シンボル TXMR	アドレス 008Bh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1 (注1)	b1 b0 0 0 : タイマモード、またはパルス周期 測定モード 0 1 : 設定しないでください。 1 0 : イベントカウントモード 1 1 : パルス幅測定モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0極性切り替えビット (注2)	0 : 立ち上がりエッジ 1 : 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ (注3)	0 : カウント停止 1 : カウント開始	RW
TXOCNT	P3_7/CNTR0選択ビット	動作モードによって機能が異なる。	RW
TXMOD2	動作モード選択ビット2	0 : パルス周期測定モード以外 1 : パルス周期測定モード	RW
TXEDG	有効エッジ判定フラグ	動作モードによって機能が異なる。	RW
TXUND	タイマXアンダフローフラグ	動作モードによって機能が異なる。	RW

注1. INT1を使用する場合、パルス出力モード以外のモードにしてください。

注2. ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注3. TXSビットの使用上の注意事項については「14.1.6 タイマX使用上の注意」を参照してください。

図12.14 INT1割り込み使用時のTXMRレジスタ

12.2.4 INT3割り込み

INT3割り込みは、INT3入力による割り込みです。TCC0レジスタのTCC07ビットを“0”(INT3)にしてください。

TCC0レジスタのTCC06ビットが“0”のとき、INT3割り込み要求はタイマCのカウンソースに同期して発生し、TCC06ビットが“1”のとき、INT3入力タイミングで発生します。

INT3入力はデジタルフィルタを持ちます。サンプリングクロックごとにINT3のレベルをサンプリングし、レベルが3度一致した時点で、INT3ICレジスタのIRビットが“1”(割り込み要求あり)になります。サンプリングクロックはTCC1レジスタのTCC10～TCC11ビットで選択できます。フィルタありを選択したとき、割り込み要求はTCC06ビットが“1”の場合でも、サンプリングクロックに同期して発生します。

TCC10～TCC11ビットの内容に関係なく、P3レジスタのP3_3ビットを読むとフィルタ前の値が読めます。

INT3端子はTCIN端子と兼用です。

なおTCC07ビットを“1”(fRING128)にすると、INT3割り込みは、fRING128クロックによる割り込みになります。fRING128の半周期または1周期ごとにINT3ICレジスタのIRビットが“1”(割り込み要求あり)になります。

図12.15にTCC0レジスタ、図12.16にTCC1レジスタを示します。

タイマC制御レジスタ0		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		TCC0	009Ah番地	00h
ビットシンボル	ビット名	機能		RW
TCC00	タイマCカウント開始ビット	0 : カウント停止 1 : カウント開始		RW
TCC01	タイマCカウンソース選択ビット(注1)	b2 b1 0 0 : f1 0 1 : f8		RW
TCC02		1 0 : f32 1 1 : fRING-fast		RW
TCC03	INT3割り込み、キャプチャ極性選択ビット(注1、2)	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ		RW
TCC04		1 0 : 両エッジ 1 1 : 設定しないでください		RW
- (b5)	予約ビット	“0”にしてください。		RW
TCC06	INT3割り込み要求発生タイミング選択ビット(注2、3)	0 : タイマCのカウンソースに同期して発生する 1 : INT3入力タイミングで発生する(注4)		RW
TCC07	INT3割り込み、キャプチャ入力ビット(注1、2)	0 : INT3 1 : fRING128		RW

注1. このビットの変更は、TCC00ビットが“0”(カウント停止)のとき、行ってください。
 注2. TCC03、TCC04、TCC06、TCC07ビットを変更すると、INT3ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。
 注3. TCC13ビットが“1”(アウトプットコンペアモード)のとき、TCC06ビットの設定値にかかわらず、INT3入力タイミングで割り込み要求が発生します。
 注4. INT3フィルタ使用時は、デジタルフィルタ用クロックに同期して発生します。

図12.15 TCC0レジスタ

タイマC制御レジスタ1

シンボル TCC1	アドレス 009Bh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TCC10	INT3フィルタ選択ビット (注1)	b1b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
TCC11			RW
TCC12	タイマCカウンタリロード 選択ビット(注2、3)	0 : リロードなし 1 : コンペア1一致時にTCレジスタ を“0000h”にする	RW
TCC13	コンペア0/キャプチャ 選択ビット	0 : キャプチャ選択(インプット キャプチャモード)(注2) 1 : コンペア0出力選択 (アウトプットコンペアモード)	RW
TCC14	コンペア0出力モード選択ビット (注3)	b5 b4 0 0 : コンペア0で一致してもCMP出力 は変化しない 0 1 : コンペア0の一致信号でCMP出力 を反転 1 0 : コンペア0の一致信号でCMP出力 を“L”に設定 1 1 : コンペア0の一致信号でCMP出力 を“H”に設定	RW
TCC15			RW
TCC16	コンペア1出力モード選択ビット (注3)	b7 b6 0 0 : コンペア1で一致してもCMP出力 は変化しない 0 1 : コンペア1の一致信号でCMP出力 を反転 1 0 : コンペア1の一致信号でCMP出力 を“L”に設定 1 1 : コンペア1の一致信号でCMP出力 を“H”に設定	RW
TCC17			RW

注1. INT3端子から同じ値を3回連続してサンプリングした時点で入力が増大します。
注2. TCC13ビットは、TCC0レジスタのTCC00ビットが“0”(カウント停止)のとき、変更してください。
注3. TCC13ビットが“0”(インプットキャプチャモード)のとき、TCC12、TCC14~TCC17は“0”にしてください。

図12.16 TCC1レジスタ

12.3 キー入力割り込み

$\overline{KI0} \sim \overline{KI3}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用できます。

KIENレジスタの $KIiEN$ ビット($i = 0 \sim 3$)で、端子を KIi 入力として使用するかどうかを選択できます。また、KIENレジスタの $KIiPL$ ビットで入力極性を選択できます。

なお、 $KIiPL$ ビットを“0”(立ち下がりエッジ)にしている KIi 端子に“L”を入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。同様に、 $KIiPL$ ビットを“1”(立ち上がりエッジ)にしている \overline{KIi} 端子に“H”を入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。

図12.17にキー入力割り込みのブロック図を示します。

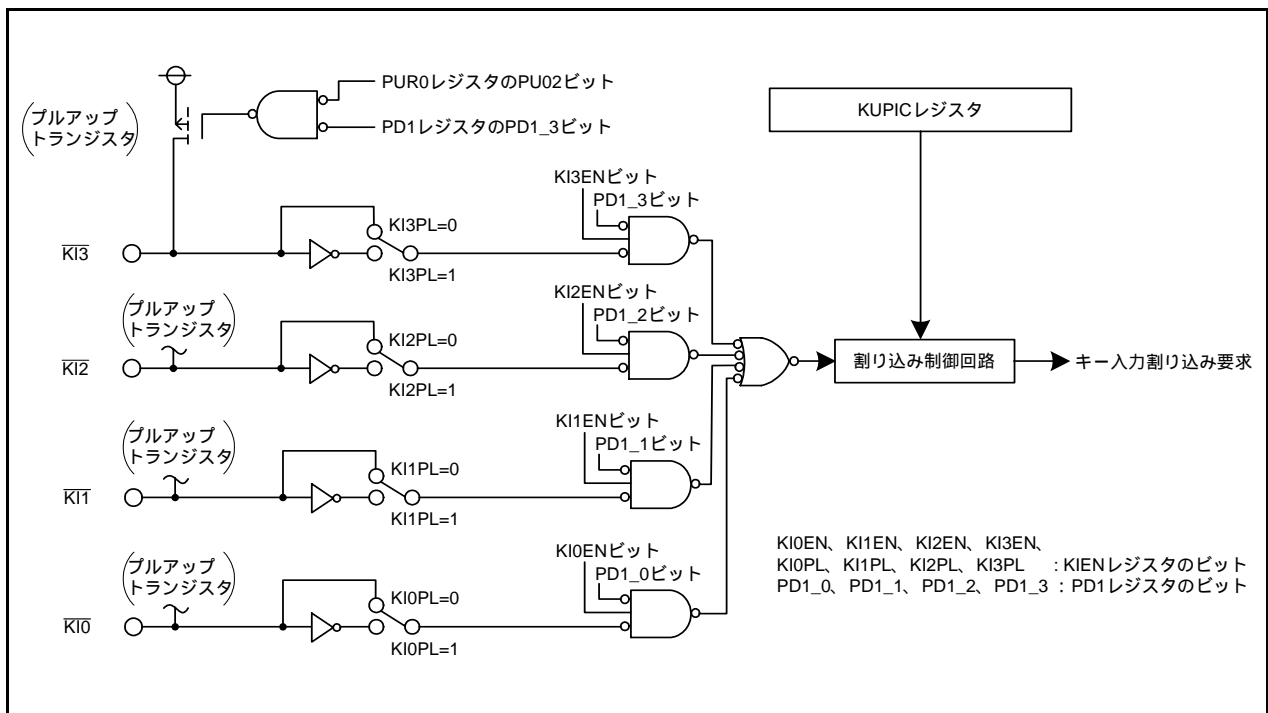


図12.17 キー入力割り込みのブロック図

キー入力許可レジスタ (注1)

シンボル	アドレス	リセット後の値	
KIEN	0098h番地	00h	
ビットシンボル	ビット名	機能	RW
KI0EN	KI0入力許可ビット	0: 禁止 1: 許可	RW
KI0PL	KI0入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
KI1EN	KI1入力許可ビット	0: 禁止 1: 許可	RW
KI1PL	KI1入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
KI2EN	KI2入力許可ビット	0: 禁止 1: 許可	RW
KI2PL	KI2入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
KI3EN	KI3入力許可ビット	0: 禁止 1: 許可	RW
KI3PL	KI3入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW

注1. KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

図12.18 KIENレジスタ

12.4 アドレス一致割り込み

RMADi(i=0, 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i=0, 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER0レジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.1.6.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 12.6 にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

図 12.19 に AIER、RMAD0 ~ RMAD1 レジスタを示します。

表 12.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADi レジスタ (i=0, 1) で示される番地の命令	退避される PC の値
・オペコードが 2 バイトの命令 ・オペコードが 1 バイトの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0 または A1)	RMADi レジスタで示される番地 +2
上記以外	RMADi レジスタで示される番地 +1

退避されるPCの値：「12.1.6.7 レジスタ退避」参照

オペコード：「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表 12.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み 0	AIER0	RMAD0
アドレス一致割り込み 1	AIER1	RMAD1

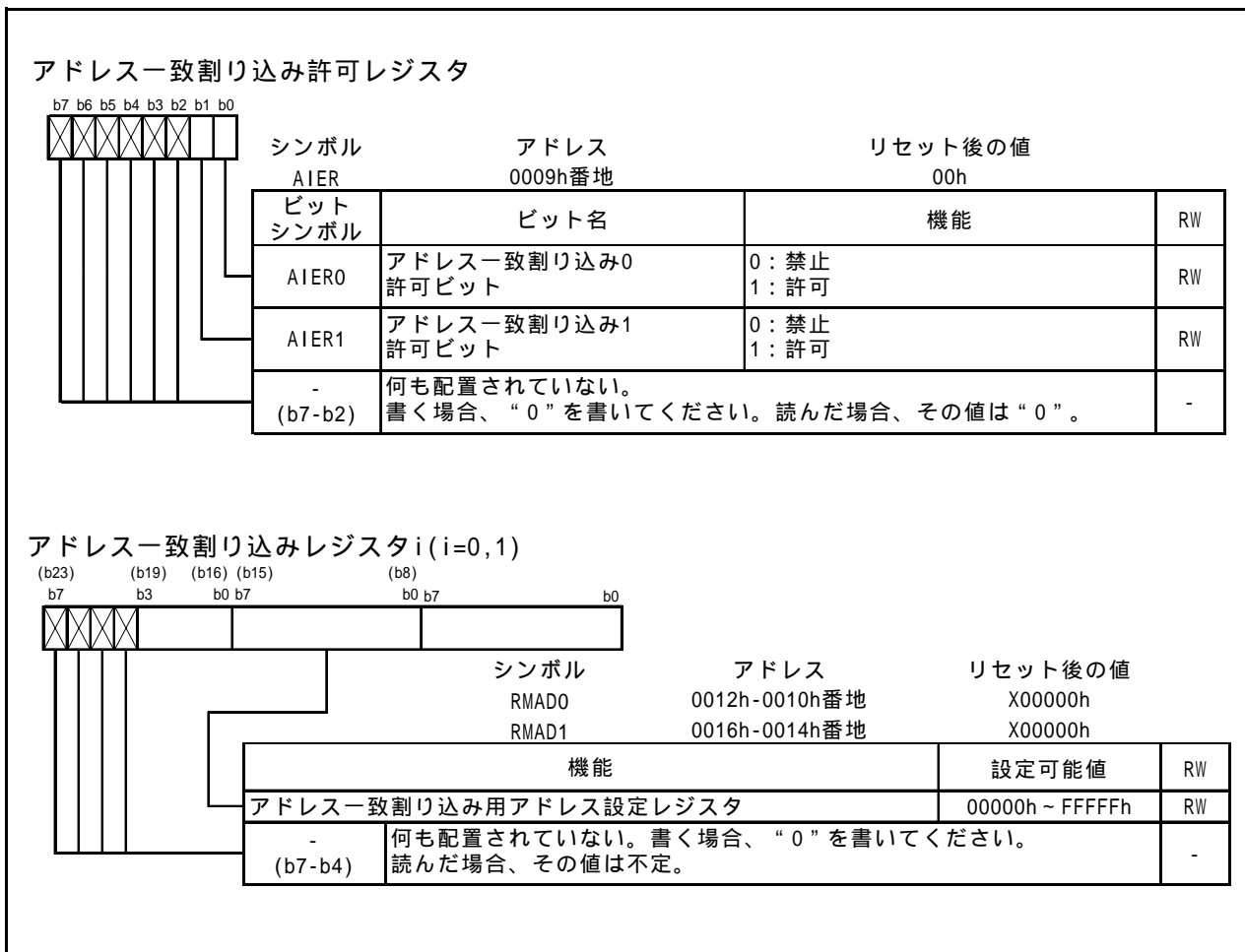


図 12.19 AIER、RMAD0 ~ RMAD1レジスタ

12.5 割り込み使用上の注意

12.5.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

12.5.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

12.5.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

12.5.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

12.5.5 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図12.20に割り込み要因の変更手順例を示します。

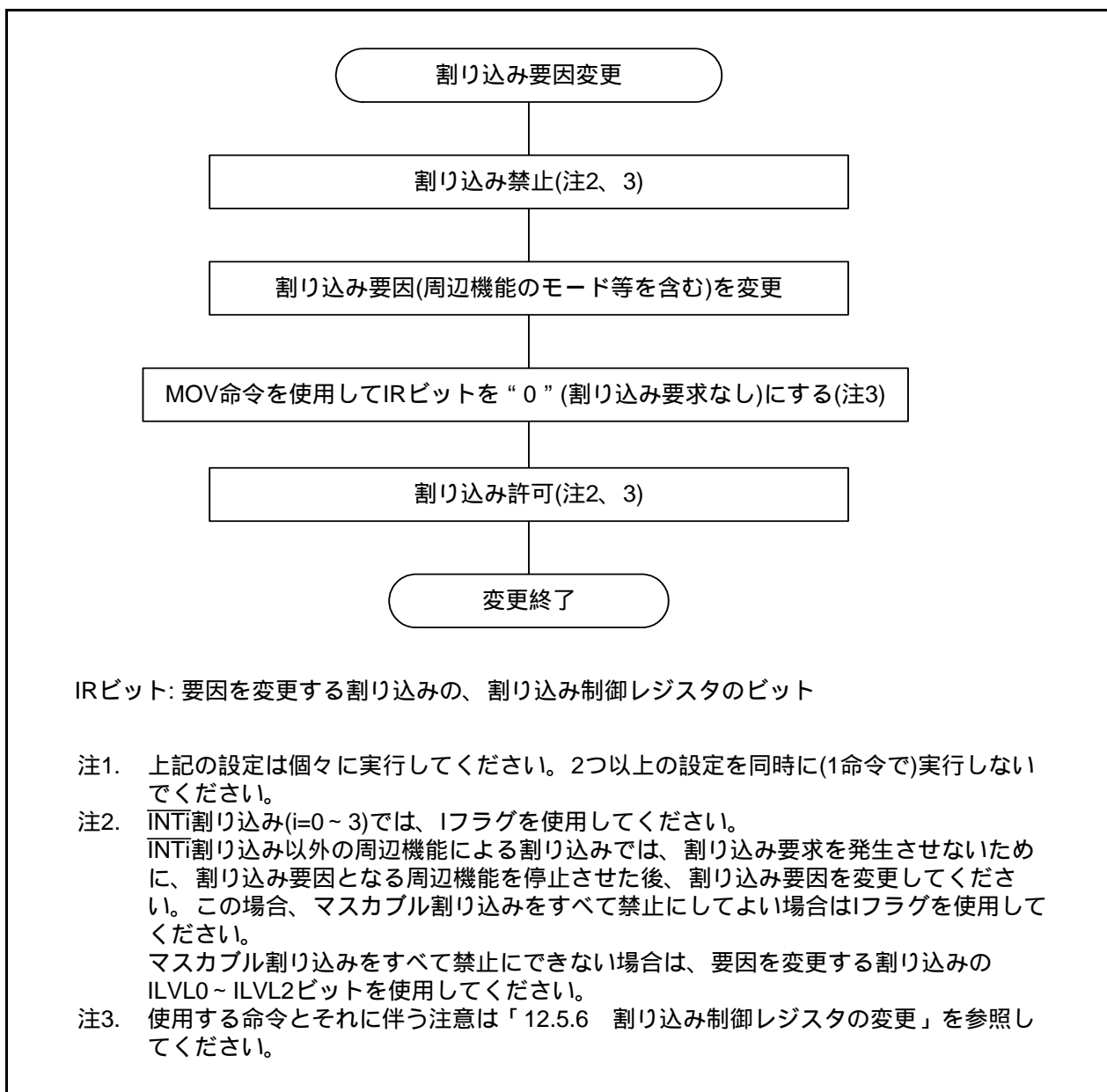


図12.20 割り込み要因の変更手順例

12.5.6 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET
- IRビットの変更
IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。
- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  POPC    FLG             ; 割り込み許可
```


オプション機能選択レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0		シンボル OFS	アドレス 0FFFFh番地	出荷時の値 FFh(注2)	
ビット シンボル	ビット名	機能		RW	
1	WDTON	ウォッチドッグタイマ起動選択ビット 0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態		RW	
1	- (b1)	予約ビット "1" にしてください。		RW	
1	ROMCR	ROMコードプロテクト解除ビット 0: ROMコードプロテクト解除 1: ROMCP1有効		RW	
1	ROMCP1	ROMコードプロテクトビット 0: ROMコードプロテクト有効 1: ROMコードプロテクト解除		RW	
1	- (b6-b4)	予約ビット "1" にしてください。		RW	
1	CSPROINI	リセット後カウントソース保護モード選択ビット 0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効		RW	

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。

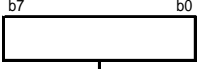
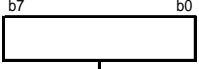
注2. OFSレジスタを含むブロックを消去すると、OFSレジスタは"FFh"になります。

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0		シンボル WDC	アドレス 000Fh番地	リセット後の値 00X11111b	
ビット シンボル	ビット名	機能		RW	
0	- (b4-b0)	ウォッチドッグタイマの上位ビット		RO	
0	- (b5)	予約ビット "0" にしてください。読んだ場合、その値は不定。		RW	
0	- (b6)	予約ビット "0" にしてください。		RW	
0	WDC7	プリスケアラ選択ビット 0: 16分周 1: 128分周		RW	

図13.2 OFS、WDCレジスタ

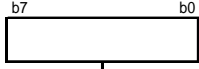
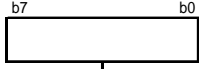
ウォッチドッグタイマリセットレジスタ

b7	b0	シンボル	アドレス	リセット後の値	
		WDTR	000Dh番地	不定	
		機能			
		“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。(注1) ウォッチドッグタイマの初期値はカウントソース保護モード無効時に“7FFFh”、カウントソース保護モード有効時に“0FFFh”が設定される。(注2)			WO

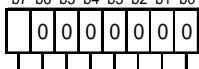
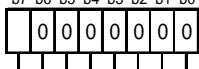
注1. “00h”の書き込みと、“FFh”の書き込みの間に、割り込みを発生させないでください。

注2. CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると、ウォッチドッグタイマに“0FFFh”が設定されます。

ウォッチドッグタイマスタートレジスタ

b7	b0	シンボル	アドレス	リセット後の値	
		WDTS	000Eh番地	不定	
		機能			
		このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。			WO

カウントソース保護モードレジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値(注1)	
0	0	0	0	0	0	0	0	CSPR	001Ch番地	00h	
		ビットシンボル	ビット名		機能		RW				
		- (b6-b0)	予約ビット		“0”にしてください。		RW				
		CSPRO	カウントソース保護モード選択ビット(注2)		0: カウントソース保護モード無効 1: カウントソース保護モード有効		RW				

注1. OFSレジスタのCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。

注2. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。
プログラムでは“0”にできません。

図13.3 WDTR、WDTS、CSPRレジスタ

13.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。表13.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表13.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(32768) (注1) CPUクロック n : 16または128 (WDCレジスタのWDC7ビットで選択) 例 : CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> •WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTNレジスタに書くことにより、カウントを開始 •WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> •リセット •WDTRレジスタに“00h”、続いて“FFh”を書く •アンダフロー
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> •PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み •PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「6.5 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

13.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。表13.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表13.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) 低速オンチップオシレータクロック 例：低速オンチップオシレータクロックが125 kHzの場合、周期は約32.8ms
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFh番地)のWDTONビット(注1)で選択 ・WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 ・WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
ウォッチドッグタイマ初期化条件	・リセット ・WDTRレジスタに“00h”、続いて“FFh”を書く ・アンダフロー
カウント停止条件	なし(カウント開始後はウェイトモードでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「6.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	・CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される -ウォッチドッグタイマに0FFFhを設定 -CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振) -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット) ・カウントソース保護モードでは、次の状態になる -CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない) -CM1レジスタのCM14ビットへの書き込み禁止(“1”を書いても変化せず、低速オンチップオシレータは停止しない)

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFh番地のb7に“0”を書き込んでください。

14. タイマ

タイマは、8ビットプリスケータ付き8ビットタイマを2本と、16ビットタイマを1本内蔵しています。8ビットプリスケータ付き8ビットタイマは、タイマX、およびタイマZの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマCです。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

表14.1に各タイマの機能比較を示します。

表14.1 各タイマの機能比較

項目		タイマX	タイマZ	タイマC
構成		8ビットプリスケータ付 8ビットタイマ (リロードレジスタ付)	8ビットプリスケータ付 8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、 アウトプットコンペア付)
カウント		ダウンカウント	ダウンカウント	アップカウント
カウントソース		・ f1 ・ f2 ・ f8 ・ fRING	・ f1 ・ f2 ・ f8 ・ タイマXアンダフロー	・ f1 ・ f8 ・ f32 ・ fRING-fast
機能	タイマモード	あり	あり	なし
	パルス出力モード	あり	なし	なし
	イベントカウンタモード	あり	なし	なし
	パルス幅測定モード	あり	なし	なし
	パルス周期測定モード	あり	なし	なし
	プログラマブル波形発生モード	なし	あり	なし
	プログラマブルワンショット発生モード	なし	あり	なし
	プログラマブルウェイトワンショット発生モード	なし	あり	なし
	インプットキャプチャモード	なし	なし	あり
アウトプットコンペアモード	なし	なし	あり	
入力端子		CNTR0	INT0	TCIN
出力端子		CNTR0 CNTR0	TZOUT	CMP0_0 ~ CMP0_2 CMP1_0 ~ CMP1_2
関連する割り込み		タイマX割り込み INT1 割り込み	タイマZ割り込み INT0 割り込み	タイマC割り込み INT3 割り込み コンペア0 割り込み コンペア1 割り込み
タイマ停止		あり	あり	あり

14.1 タイマX

タイマXは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、PREXレジスタ、TXレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます（表14.2～表14.6の各モードの仕様を参照）。

図14.1にタイマXのブロック図を、図14.2～図14.3にタイマX関連のレジスタを示します。タイマXは、次の5種類のモードを持ちます。

- | | |
|---------------|---|
| • タイマモード | 内部カウントソースをカウントするモード |
| • パルス出力モード | 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード |
| • イベントカウンタモード | 外部パルスをカウントするモード |
| • パルス幅測定モード | 外部パルスのパルス幅を測定するモード |
| • パルス周期測定モード | 外部パルスのパルス周期を測定するモード |

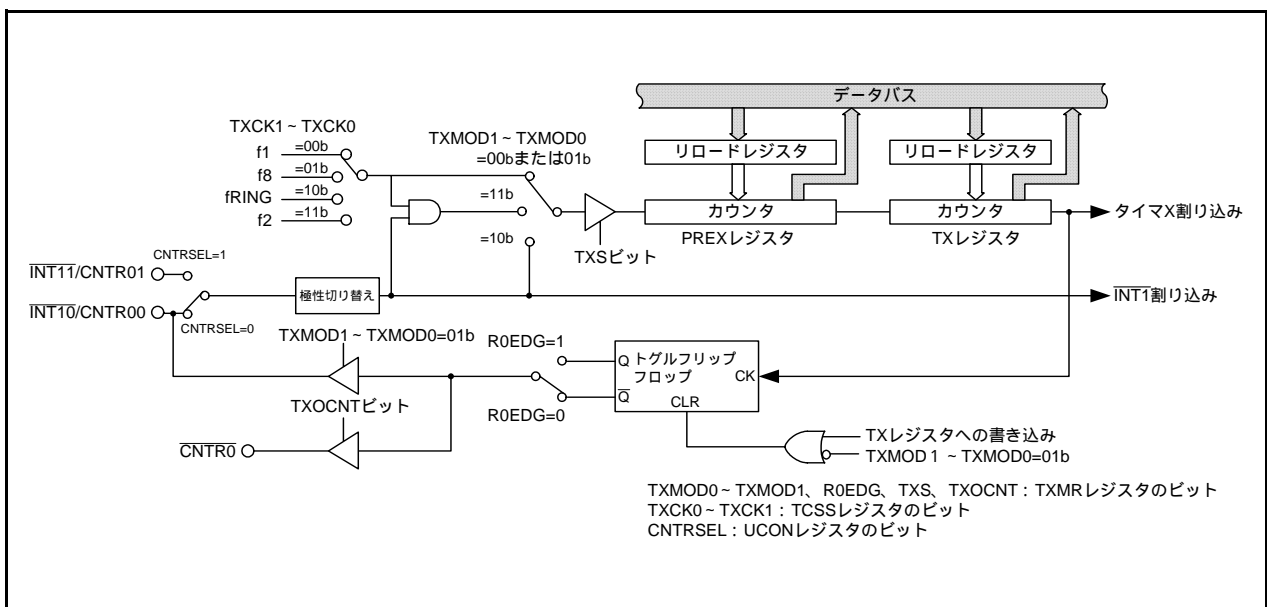


図14.1 タイマXのブロック図

タイマXモードレジスタ

シンボル	アドレス	リセット後の値	
TXMR	008Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 0 0 : タイマモード、またはパルス周期測定モード 0 1 : パルス出力モード 1 0 : イベントカウンタモード 1 1 : パルス幅測定モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替ビット(注1)	動作モードによって機能が異なる。	RW
TXS	タイマXカウント開始フラグ(注2)	0 : カウント停止 1 : カウント開始	RW
TXOCNT	P3_7/CNTR0選択ビット	動作モードによって機能が異なる。	RW
TXMOD2	動作モード選択ビット2	0 : パルス周期測定モード以外 1 : パルス周期測定モード	RW
TXEDG	有効エッジ判定フラグ	動作モードによって機能が異なる。	RW
TXUND	タイマXアンダフローフラグ	動作モードによって機能が異なる。	RW

注1 . ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注2 . TXSビットの使用上の注意事項については「14.1.6 タイマX使用上の注意」を参照してください。

図14.2 TXMRレジスタ

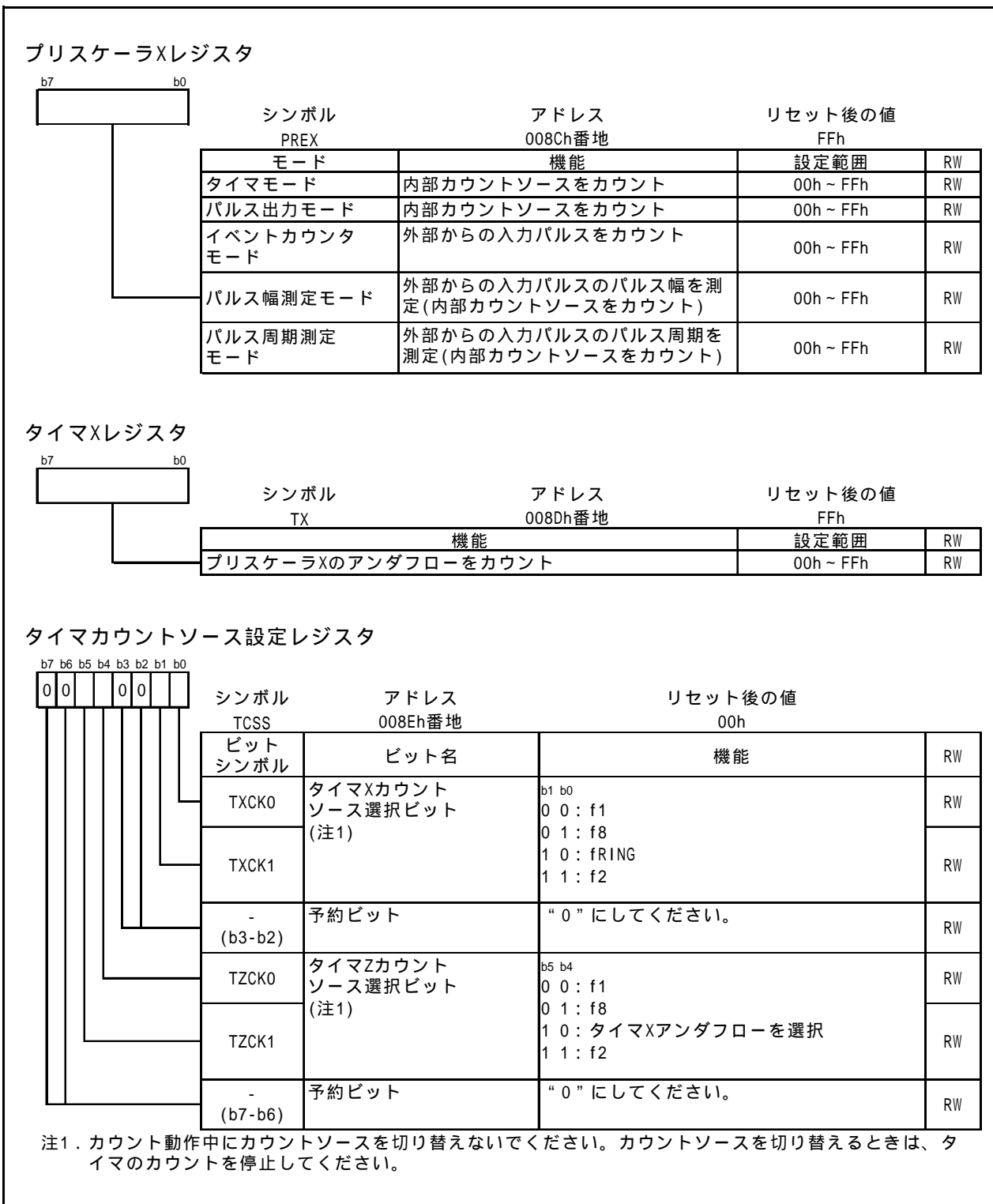


図14.3 PREX、TX、TCSSレジスタ

14.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表14.2)。図14.4にタイマモード時のTXMRレジスタを示します。

表14.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT10/CNTR00、INT11/CNTR01端子機能	プログラマブル入出力ポート、またはINT1割り込み入力
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる •カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入力タイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入力タイミングでカウンタへ転送され、3つ目のカウントソースの入力タイミングでカウントを再開する

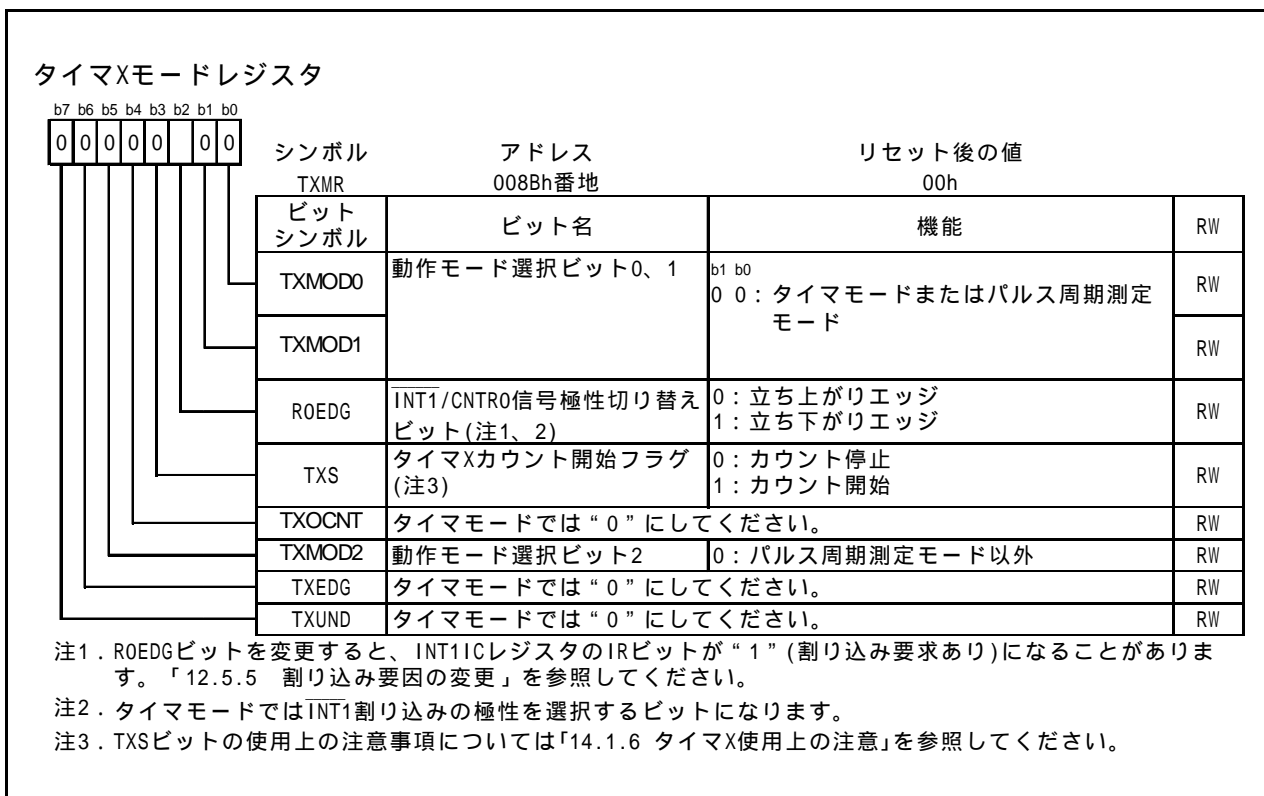


図14.4 タイマモード時のTXMRレジスタ

14.1.2 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスを CNTR0 端子から出力するモードです(表 14.3)。図 14.5 にパルス出力モード時の TXMR レジスタを示します。

表 14.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1)n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT10/CNTR00端子機能	パルス出力
CNTR0端子機能	プログラマブル入出力ポート、またはCNTR0の反転出力
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる •カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する
選択機能	<ul style="list-style-type: none"> •INT1/CNTR0信号極性切り替え機能 R0EDGビットでパルス出力開始時のレベルを選択できる(注1) •反転パルス出力機能 CNTR0信号出力の極性を反転したパルスをCNTR0端子から出力できる(TXOCNTビットで選択)

注1. TXレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマXモードレジスタ

シンボル	アドレス	リセット後の値	
TXMR	008Bh番地	00h	
ビット シンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 0 1: パルス出力モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替えビット(注1)	0: "H" からCNTR0信号出力開始 1: "L" からCNTR0信号出力開始	RW
TXS	タイマXカウント開始フラグ(注2)	0: カウント停止 1: カウント開始	RW
TXOCNT	P3_7/CNTR0選択ビット	0: ポートP3_7 1: CNTR0出力	RW
TXMOD2	パルス出力モードでは"0"にしてください。		RW
TXEDG	パルス出力モードでは"0"にしてください。		RW
TXUND	パルス出力モードでは"0"にしてください。		RW

注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが"1" (割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注2. TXSビットの使用上の注意事項について「14.1.6 タイマX使用上の注意」を参照してください。

図14.5 パルス出力モード時のTXMRレジスタ

14.1.3 イベントカウンタモード

INT1/CNTR0端子から入力する外部信号をカウントするモードです(表14.4)。図14.6にイベントカウンタモード時のTXMRレジスタを示します。

表14.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	CNTR0端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1)n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT10/CNTR00、INT11/CNTR01端子機能	カウントソース入力(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる •カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する
選択機能	<ul style="list-style-type: none"> •INT1/CNTR0信号極性切り替え機能 R0EDGビットでカウントソースの有効エッジを選択できる •カウントソース入力端子選択機能 UCONレジスタのCNTRSELビットでCNTR00またはCNTR01端子を選択できる

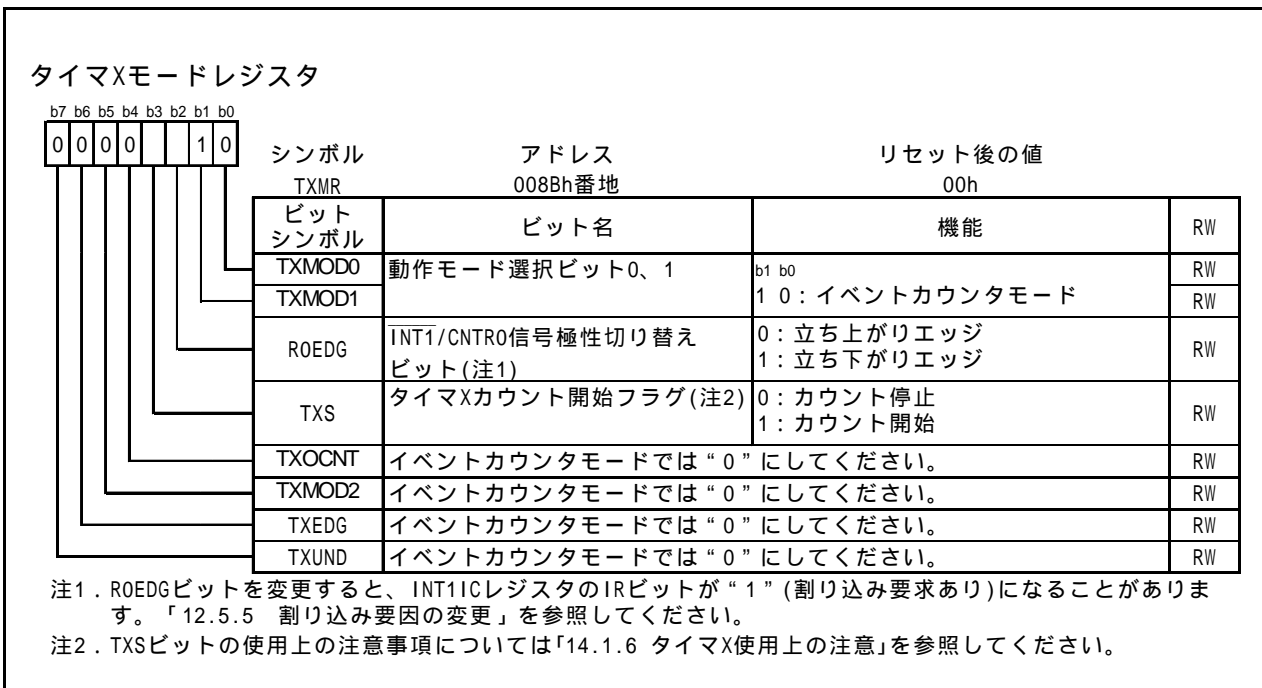


図14.6 イベントカウンタモード時のTXMRレジスタ

14.1.4 パルス幅測定モード

INT1/CNTR0端子から入力する外部信号のパルス幅を測定するモードです(表14.5)。図14.7にパルス幅測定モード時のTXMRレジスタを、図14.8にパルス幅測定モード時の動作例を示します。

表14.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> •タイマXのアンダフロー時 [タイマX割り込み] •CNTR0入力の立ち上がり、または立ち下がり(測定期間終了) [INT1割り込み]
INT10/CNTR00、 INT11/CNTR01端子機能	測定パルス入力(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる •カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する
選択機能	<ul style="list-style-type: none"> •INT1/CNTR0信号極性切り替え機能 R0EDGビットで入力パルスの測定幅として“H”レベル期間、または“L”レベル期間を選択できる •測定パルス入力端子選択機能 UCONレジスタのCNTRSELビットでCNTR0またはCNTR01端子を選択できる

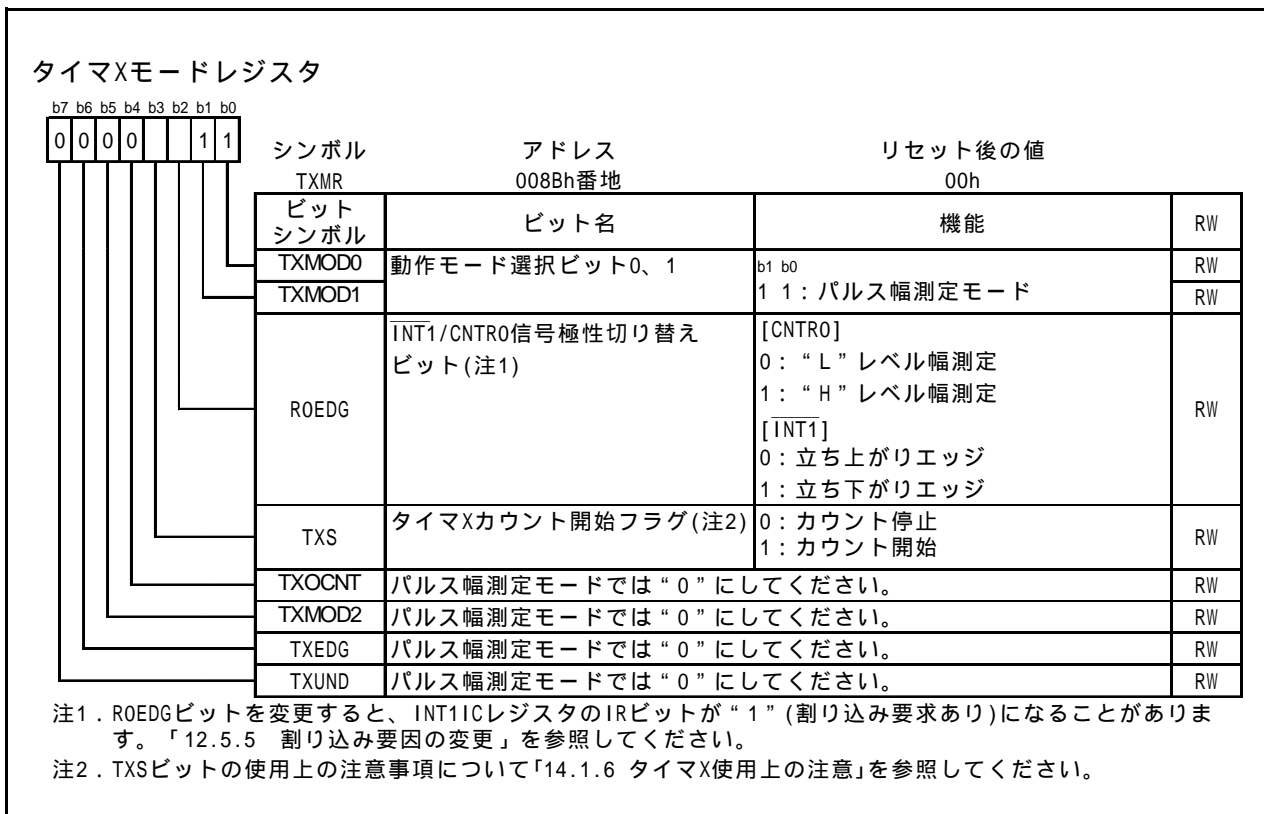


図14.7 パルス幅測定モード時のTXMRレジスタ

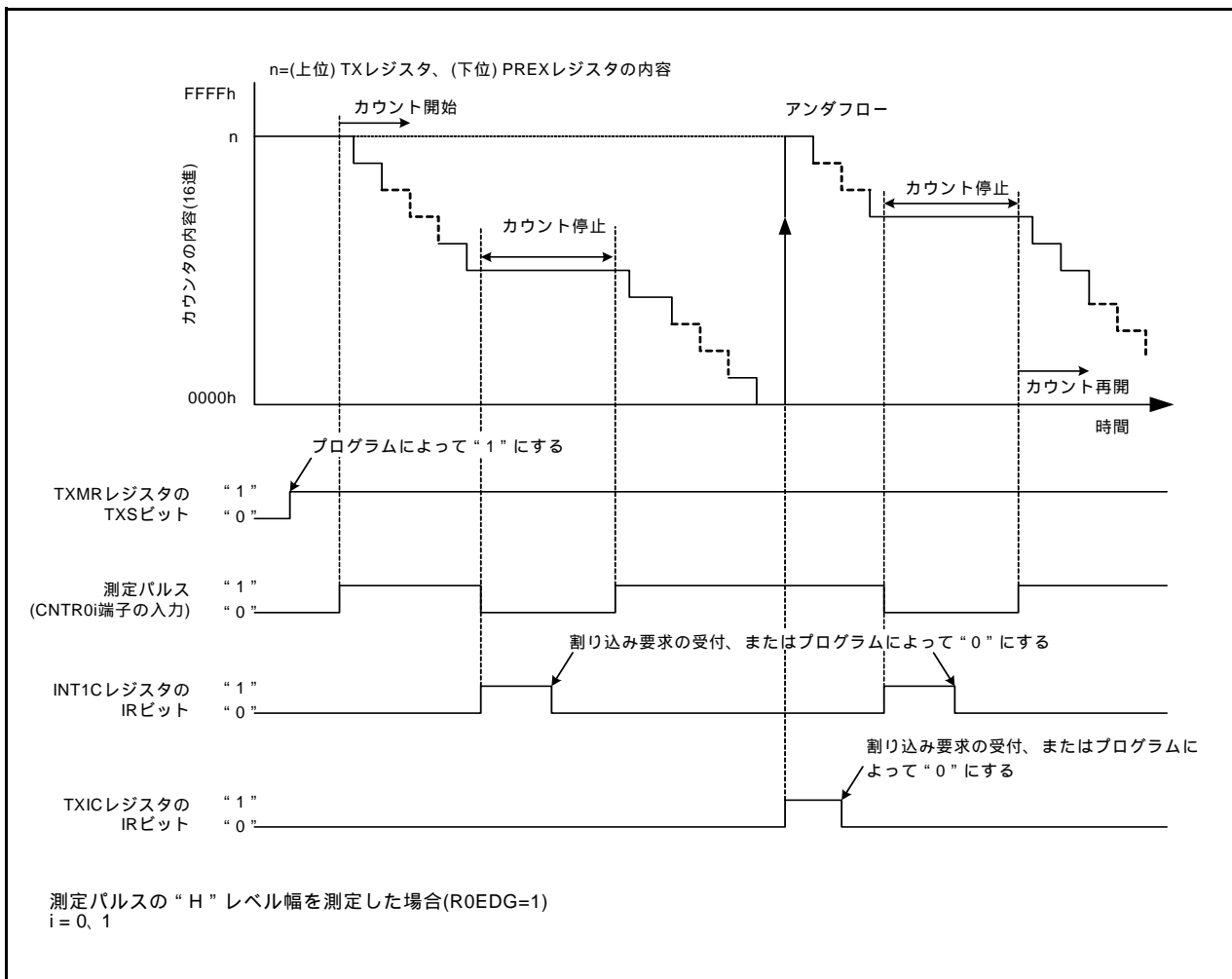


図14.8 パルス幅測定モード時の動作例

14.1.5 パルス周期測定モード

INT1/CNTR0端子から入力する外部信号のパルス周期を測定するモードです(表14.6)。図14.9にパルス周期測定モード時のTXMRレジスタを、図14.10にパルス周期測定モード時の動作例を示します。

表14.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •測定パルスの有効エッジ入力後、1回目のプリスケアラXのアンダフロー時に読み出し用バッファの内容を保持し、2回目のプリスケアラXのアンダフロー時にタイマXはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> •タイマXのアンダフロー時、またはリロード時 [タイマX割り込み] •CNTR0入力の立ち上がり、または立ち下がり(測定期間終了) [INT1割り込み]
INT10/CNTR00、INT11/CNTR01端子機能	測定パルス入力(注1)(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタを読み出すと、読み出し用バッファの内容が読み出される。読み出し用バッファは、TXレジスタの読み出しにより値の保持を解除する。
タイマの書き込み	<ul style="list-style-type: none"> •カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる •カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入力タイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入力タイミングでカウンタへ転送され、3つ目のカウントソースの入力タイミングでカウントを再開する
選択機能	<ul style="list-style-type: none"> •INT1/CNTR0極性切り替え機能 R0EDGビットで入力パルスの測定期間を選択できる •測定パルス入力端子選択機能 UCONレジスタのCNTRSELビットでCNTR00またはCNTR01端子を選択できる

注1. プリスケアラXの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、プリスケアラXの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

タイマXモードレジスタ

シンボル	アドレス	リセット後の値	
TXMR	008Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 0 0 : タイマモードまたはパルス周期測定モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替ビット(注1)	[CNTR0] 0 : 測定パルスの立ち上がり - 立ち上がり間測定 1 : 測定パルスの立ち下がり - 立ち下がり間測定 [INT1] 0 : 立ち上がりエッジ 1 : 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ(注3)	0 : カウント停止 1 : カウント開始	RW
TXOCNT	パルス周期測定モードでは“0”にしてください。		RW
TXMOD2	動作モード選択ビット2	1 : パルス周期測定モード	RW
TXEDG(注2)	有効エッジ判定フラグ	0 : 有効エッジなし 1 : 有効エッジあり	RW
TXUND(注2)	タイマXアンダフローフラグ	0 : アンダフローなし 1 : アンダフローあり	RW

注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注2. プログラムで“0”を書くと、“0”になります。(“1”を書いても変化しません)

注3. TXSビットの使用上の注意事項については「14.1.6 タイマX使用上の注意」を参照してください。

図14.9 パルス周期測定モード時のTXMRレジスタ

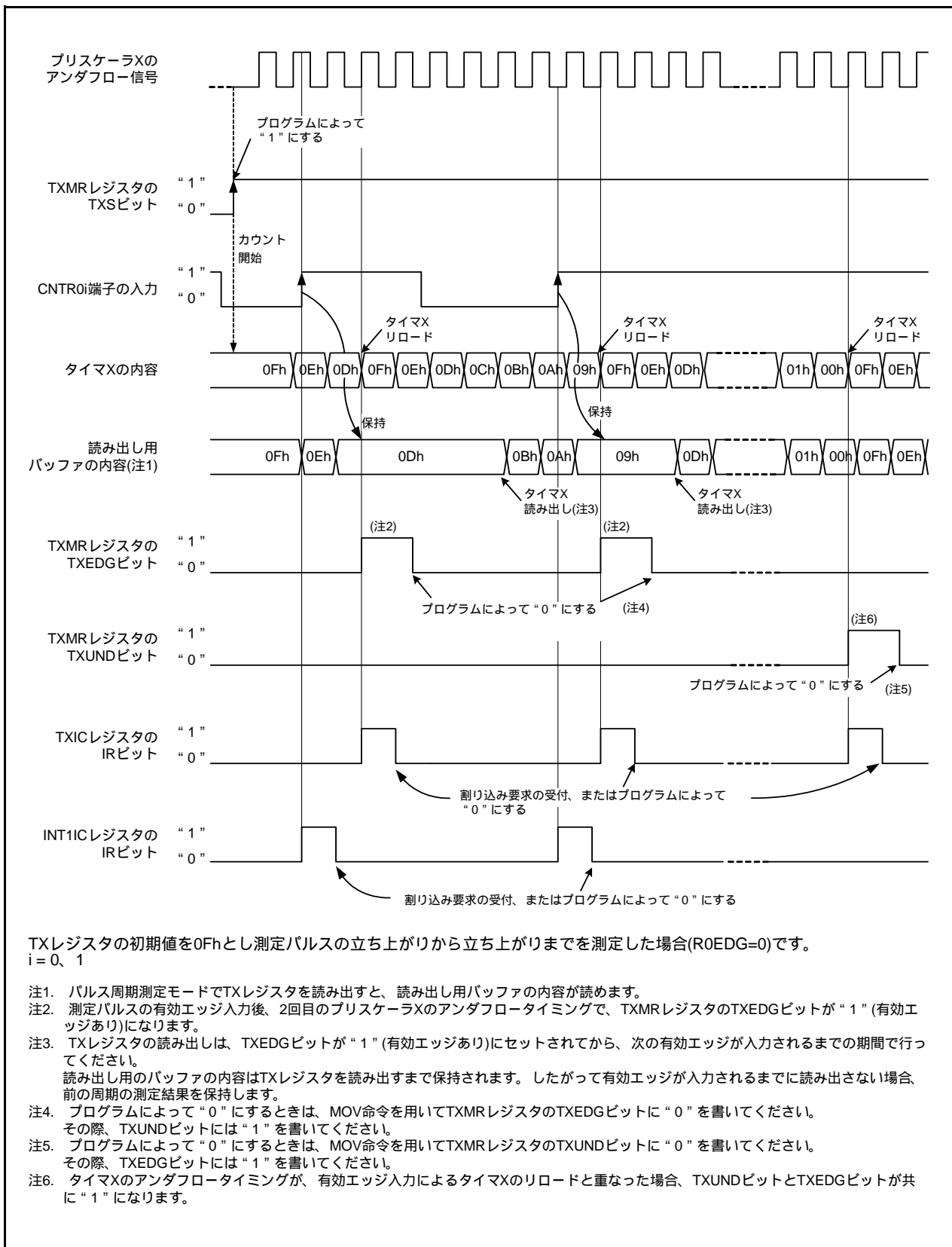


図14.10 パルス周期測定モード時の動作例

14.1.6 タイマX使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- TXMRレジスタのTXMOD0～TXMOD1ビットおよびTXMOD2ビットとTXSビットを同時に書き換えしないでください。
- パルス周期測定モードで使用するTXMRレジスタのTXEDGビットとTXUNDビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TXMRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTXEDGビット、TXUNDビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいTXEDGビット、TXUNDビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス周期測定モードに変更したとき、TXEDGビットとTXUNDビットは不定です。TXEDGビットとTXUNDビットに“0”を書いてから、タイマXのカウントを開始してください。
- カウント開始後に初めて発生するプリスケアラXのアンダフロー信号で、TXEDGビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にプリスケアラXの2周期以上の時間を空けて、TXEDGビットを“0”にしてから使用してください。
- TXMRレジスタのTXSビットには、タイマXにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。カウント停止中にTXSビットに“1”（カウント開始）を書いた後、次のカウントソースが入力されるまでは“0”（カウント停止）が読めます。次のカウントソースが入力されるとTXSビットは“1”が読めるようになります。TXSビットで“1”が読めるようになるまで、TXSビットを除くタイマX関連レジスタ(TXMR、PREX、TX、TCSS、TXICレジスタ)をアクセスしないでください。TXSビットが“1”になった後、次のカウントソースからカウントを開始します。同様に、カウント中にTXSビットに“0”（カウント停止）を書くと、次のカウントソースで、タイマXがカウントを停止します。TXSビットに“0”を書いた後、カウントを停止するまでにTXSビットを読むと、“1”（カウント開始）が読めます。TXSビットに“0”を書いた後、TXSビットで“0”が読めるようになるまで、TXSビットを除くタイマX関連レジスタをアクセスしないでください。

14.2 タイマZ

タイマZは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されています。(リロードレジスタとカウンタへのアクセスは表14.7～表14.10の各モードの仕様を参照してください)。タイマZは、リロードレジスタとしてタイマZプライマリ、タイマZセカンダリの2つのレジスタを持ちます。

図14.11にタイマZのブロック図を、図14.12～図14.15にTZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSSレジスタを示します。

タイマZは、次の4種類のモードを持ちます。

- タイマモード 内部カウントソースまたはタイマ X のアンダフローをカウントするモード
- プログラブル波形発生モード 任意のパルス幅を連続して出力するモード
- プログラブルワンショット発生モード ワンショットパルスを出力するモード
- プログラブルウェイトワンショット発生モード ディレイドワンショットパルスを出力するモード

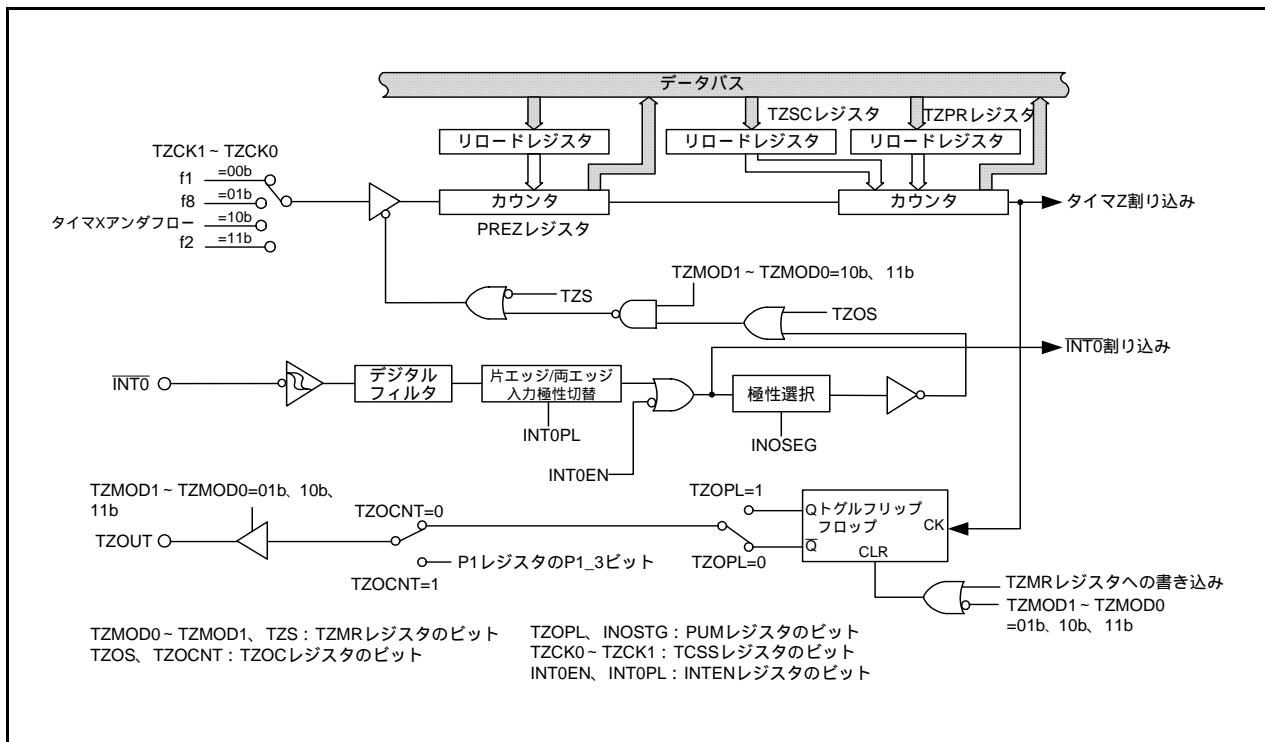


図14.11 タイマZのブロック図

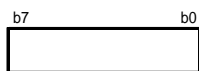
タイマZモードレジスタ

シンボル TZMR	アドレス 0080h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0” にしてください。	RW
TZMOD0	タイマZ動作モード ビット	b5 b4 0 0 : タイマモード 0 1 : プログラマブル波形発生モード 1 0 : プログラマブルワンショット発生モード 1 1 : プログラマブルウェイトワンショット 発生モード	RW
TZMOD1			RW
TZWC	タイマZ書き込み 制御ビット	動作モードによって機能が異なる。	RW
TZS	タイマZカウント 開始フラグ(注1)	0 : カウント停止 1 : カウント開始	RW

注1. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

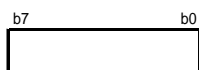
図14.12 TZMRレジスタ

プリスケアラZレジスタ



シンボル PREZ	アドレス 0085h番地	リセット後の値 FFh	
モード	機能	設定範囲	RW
タイマモード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW
プログラマブル波形 発生モード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW
プログラマブル ワンショット発生モード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW
プログラマブルウェイト ワンショット発生モード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW

タイマZセカンダリレジスタ

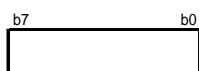


シンボル TZSC	アドレス 0086h番地	リセット後の値 FFh	
モード	機能	設定範囲	RW
タイマモード	無効	-	-
プログラマブル波形 発生モード	プリスケアラZのアンダフローをカウント (注1)	00h ~ FFh	WO (注2)
プログラマブル ワンショット発生モード	無効	-	-
プログラマブルウェイト ワンショット発生モード	プリスケアラZのアンダフローをカウント (ワンショット幅をカウント)	00h ~ FFh	WO

注1. TZPRレジスタとTZSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTZPRレジスタで読めます。

タイマZプライマリレジスタ



シンボル TZPR	アドレス 0087h番地	リセット後の値 FFh	
モード	機能	設定範囲	RW
タイマモード	プリスケアラZのアンダフローをカウント	00h ~ FFh	RW
プログラマブル波形 発生モード	プリスケアラZのアンダフローをカウント (注1)	00h ~ FFh	RW
プログラマブル ワンショット発生モード	プリスケアラZのアンダフローをカウント (ワンショット幅をカウント)	00h ~ FFh	RW
プログラマブルウェイト ワンショット発生モード	プリスケアラZのアンダフローをカウント (ウェイト期間をカウント)	00h ~ FFh	RW

注1. TZPRレジスタとTZSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

図14.13 PREZ、TZSC、TZPRレジスタ

タイマZ出力制御レジスタ(注3)

ビット シンボル	ビット名	機能	RW
TZOS	タイマZワンショット 開始ビット(注1)	0: ワンショット停止 1: ワンショット開始	RW
- (b1)	予約ビット	"0" にしてください。	RW
TZOCNT	タイマZプログラブル 波形発生出力切替ビット(注2)	0: プログラブル波形出力 1: P1_3ポートレジスタの値を出力	RW
- (b7-b3)	何も配置されていない。書く場合、 "0" を書いてください。 読んだ場合、その値は "0"。		-

注1. ワンショット波形出力終了後、"0" になります。ワンショット波形出力中に、TZMRレジスタのTZSビットを"0" (カウント停止) にすることで波形出力を停止した場合、TZOSビットを"0" にしてください。

注2. プログラブル波形発生モード時のみ有効。

注3. TZOSビットが"1" (カウント中) のときにこのレジスタを変更する命令を実行する場合、命令の実行中にカウントが終了すると、TZOSビットは自動的に"0" (ワンショット停止) になります。このことが問題になる場合は、TZOSビットが"0" (ワンショット停止) のときに、このレジスタを変更する命令を実行してください。

タイマZ波形出力制御レジスタ

ビット シンボル	ビット名	機能	RW
- (b4-b0)	予約ビット	"0" にしてください。	RW
TZOPL	タイマZアウトプット レベルラッチ	動作モードによって機能が異なる。	RW
INOSTG	INT0端子ワンショット トリガ制御ビット(注2)	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	RW
INOSEG	INT0端子ワンショットトリガ 極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW

注1. INOSEGビットは、INTENレジスタのINTOPLビットが"0" (片エッジ) のときのみ有効です。

注2. INOSTGビットは、INTENレジスタのINTOENビットとPUMレジスタのINOSEGビットを設定後に"1" にしてください。

図14.14 TZOC、PUMレジスタ

タイマカウントソース設定レジスタ

シンボル TCSS	アドレス 008Eh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TXCK0	タイマXカウント ソース選択ビット (注1)	b1 b0 0 0 : f1 0 1 : f8 1 0 : fRING 1 1 : f2	RW
TXCK1			RW
- (b3-b2)	予約ビット	"0" にしてください。	RW
TZCK0	タイマZカウント ソース選択ビット (注1)	b5 b4 0 0 : f1 0 1 : f8 1 0 : タイマXアンダフローを選択 1 1 : f2	RW
TZCK1			RW
- (b7-b6)	予約ビット	"0" にしてください。	RW

注1. カウント動作中にカウントソースを切り替えしないでください。カウントソースを切り替えるときは、タイマのカウントを停止してください。

図14.15 TCSSレジスタ

14.2.1 タイマモード

内部で生成されたカウントソースまたはタイマXのアンダフローをカウントするモードです(表14.7)。タイマモード時、TZSCレジスタは使用しません。図14.16にタイマモード時のTZMR、PUMレジスタを示します。

表14.7 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> •ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマZのアンダフロー時はタイマZプライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n:PREZレジスタの設定値、m:TZPRレジスタの設定値
カウント開始条件	TZMRレジスタのTZSビットへの“1”(カウント開始)書き込み
カウント停止条件	TZMRレジスタのTZSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマZのアンダフロー時[タイマZ割り込み]
TZOUT端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み(注1)	<ul style="list-style-type: none"> •カウント停止中に、TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる •カウント中に、TZPRレジスタ、PREZレジスタに書き込むと、TZWCビットが“0”(リロードレジスタとカウンタへの同時書き込み)のとき、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する TZWCビットが“1”(リロードレジスタのみ書き込み)のとき、それぞれリロードレジスタに書き込まれる(次のリロード時にカウンタへ転送される)

注1. 次の2項の条件が重なった状態でTZPRレジスタまたはPREZレジスタに書き込みを行うと、TZICレジスタのIRビットが“1”(割り込み要求あり)になります。

- ・TZMRレジスタのTZWCビットが“0”(リロードレジスタとカウンタへの同時書き込み)
- ・TZMRレジスタのTZSビットが“1”(カウント開始)

この状態でTZPRレジスタ、PREZレジスタに書く場合は、書く前に割り込みを禁止してください。

タイマZモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

		0	0	0	0	0	0
--	--	---	---	---	---	---	---

シンボル
TZMR

アドレス
0080h番地

リセット後の値
00h

ビットシンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0” にしてください。	RW
TZMOD0	タイマZ動作モードビット	b5 b4 0 0: タイマモード	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット(注1)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	RW
TZS	タイマZカウント開始フラグ(注2)	0: カウント停止 1: カウント開始	RW

注1. TZSビットが“1”(カウント開始)のとき、TZWCビットの設定値が有効になります。TZWCビットが“0”のときリロードレジスタとカウンタへの書き込み、“1”のときリロードレジスタのみ書き込みになります。

TZSビットが“0”(カウント停止)のとき、TZWCビットの設定値にかかわらず、リロードレジスタとカウンタへの書き込みになります。

注2. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

タイマZ波形出力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

シンボル
PUM

アドレス
0084h番地

リセット後の値
00h

ビットシンボル	ビット名	機能	RW
- (b4-b0)	予約ビット	“0” にしてください。	RW
TZOPL	タイマZアウトプットレベルラッチ	タイマモードでは“0” にしてください。	RW
INOSTG	INT0端子ワンショットトリガ制御ビット	タイマモードでは“0” にしてください。	RW
INOSEG	INT0端子ワンショットトリガ極性選択ビット	タイマモードでは“0” にしてください。	RW

図14.16 タイマモード時のTZMR、PUMレジスタ

14.2.2 プログラマブル波形発生モード

TZPR レジスタと TZSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TZOUT 端子から出力する信号を反転モードです(表14.8)。カウント開始時は、TZPR レジスタに設定した値からカウントを行います。図14.17にプログラマブル波形発生モード時のTZMR、PUMレジスタを、図14.18にプログラマブル波形発生モード時のタイマZの動作例を示します。

表14.8 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : カウントソースの周波数 n : PREZレジスタの設定値、 m : TZPRレジスタの設定値、 p : TZSCレジスタの設定値
カウント開始条件	TZMR レジスタのTZSビットへの“1”(カウント開始)書き込み
カウント停止条件	TZMR レジスタのTZSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフローからカウントソースの1/2サイクル後(TZOUT出力の変化と同時) [タイマZ割り込み]
TZOUT 端子機能	パルス出力 (プログラマブル入出力ポートとして使用する場合は、タイマモードにしてください)
INT0 端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TZPR レジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	TZSC レジスタ、PREZ レジスタ、TZPR レジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注2)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベルラッチ選択機能 プライマリ期間、セカンダリ期間の出力レベルをTZOPLビットで選択できる ・プログラマブル波形発生出力切り替え機能 TZOCレジスタのTZOCNTビットを“0”に設定すると、タイマZのアンダフローに同期してTZOUTの出力を反転する。“1”に設定すると、P1_3ビットの値をTZOUTから出力する(注3)

注1. セカンダリ期間をカウント中でも、TZPRレジスタを読み出してください。

注2. TZPRレジスタへの書き込み動作より、TZPRレジスタ、TZSCレジスタに書いた値が有効になります。波形の出力は、TZPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TZOCNTビットは次のタイミングで有効になります。

・カウント開始時

・タイマZ割り込み要求発生時

したがって、TZOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

タイマZモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0							
1 0 1 0 0 0 0		シンボル	アドレス	リセット後の値			
		TZMR	0080h番地	00h			
ビットシンボル		ビット名	機能			RW	
- (b3-b0)		予約ビット	"0" にしてください。			RW	
TZMOD0		タイマZ動作モードビット	b5 b4	0 1 : プログラマブル波形発生モード		RW	
TZMOD1						RW	
TZWC		タイマZ書き込み制御ビット	プログラマブル波形発生モードでは"1" にしてください。(注1)			RW	
TZS		タイマZカウント開始フラグ(注2)	0 : カウント停止 1 : カウント開始			RW	

- 注1. TZSビットが"1" (カウント開始) のとき、リロードレジスタのみ書き込みになります。
TZSビットが"0" (カウント停止) のとき、リロードレジスタとカウンタへの書き込みになります。
- 注2. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

タイマZ波形出力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0							
0 0 0 0 0 0 0		シンボル	アドレス	リセット後の値			
		PUM	0084h番地	00h			
ビットシンボル		ビット名	機能			RW	
- (b4-b0)		予約ビット	"0" にしてください。			RW	
TZOPL		タイマZアウトプットレベルラッチ	0 : プライマリ期間 "H" 出力 セカンダリ期間 "L" 出力 タイマ停止時 "L" 出力 1 : プライマリ期間 "L" 出力 セカンダリ期間 "H" 出力 タイマ停止時 "H" 出力			RW	
INOSTG		INT0端子ワンショットトリガ制御ビット	プログラマブル波形発生モードでは"0" にしてください。			RW	
INOSEG		INT0端子ワンショットトリガ極性選択ビット	プログラマブル波形発生モードでは"0" にしてください。			RW	

図14.17 プログラマブル波形発生モード時のTZMR、PUMレジスタ

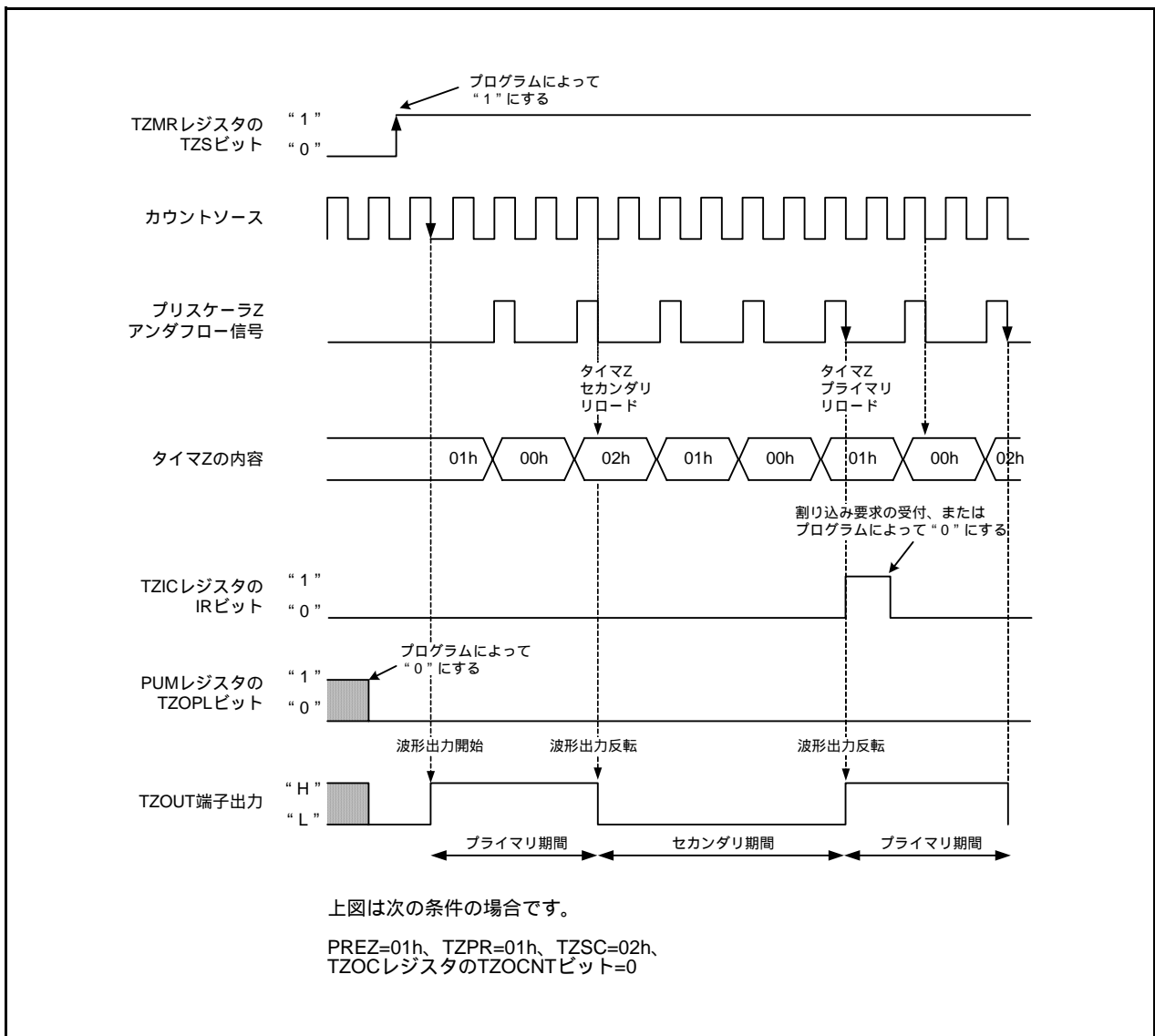


図14.18 プログラマブル波形発生モード時のタイマZの動作例

14.2.3 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTZOUT端子から出力するモードです(表14.9)。トリガが発生するとその時点から任意の時間(TZPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TZSCレジスタは使用しません。図14.19にプログラマブルワンショット発生モード時のTZMR、PUMレジスタを、図14.20にプログラマブルワンショット発生モード時の動作例を示します。

表14.9 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・TZPRレジスタの設定値をダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを終了し、TZOSビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数、 n : PREZレジスタの設定値、 m : TZPRレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> ・TZOCレジスタのTZOSビットへの“1”(ワンショット開始)書き込み(注1) ・INT0端子への有効トリガ入力(注2)
カウント停止条件	<ul style="list-style-type: none"> ・カウントの値が“00h”になりリロードした後 ・TZMRレジスタのTZSビットへの“0”(カウント停止)書き込み ・TZOCレジスタのTZOSビットへの“0”(ワンショット停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後(TZOUT端子からの波形出力の終了と同時に) [タイマZ割り込み]
TZOUT端子機能	パルス出力 (プログラマブル入出力ポートとして使用する場合は、タイマモードにしてください)
INT0端子機能	<ul style="list-style-type: none"> ・PUMレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポートまたはINT0割り込み入力 ・PUMレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注3)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルをTZOPLビットで選択できる ・INT0端子ワンショットトリガ制御機能、極性選択機能 INT0端子からのトリガ入力の有効または無効をINOSTGビットで選択できる 有効トリガ極性をINOSEGビットで選択できる

注1. TZMRレジスタのTZSビットを“1”(カウント開始)にしてください。

注2. TZSビットを“1”(カウント開始)、INTENレジスタのINT0ENビットを“1”(INT0入力許可)、PUMレジスタのINOSTGビットを“1”(INT0ワンショットトリガ有効)にしてください。
カウント中に入力されたトリガは受け付けられませんが、INT0割り込み要求は発生します。

注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。

タイマZモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0							
1 1 0 0 0 0 0 0							
シンボル TZMR		アドレス 0080h番地		リセット後の値 00h			
ビット シンボル	ビット名		機能			RW	
- (b3-b0)	予約ビット		“0” にしてください。			RW	
TZMOD0	タイマZ動作モード ビット		b5 b4	1 0: プログラマブルワンショット発生モード		RW	
TZMOD1						RW	
TZWC	タイマZ書き込み制御 ビット		プログラマブルワンショット発生モードでは “1” にしてください。(注1)			RW	
TZS	タイマZカウント開始 フラグ(注2)		0: カウント停止 1: カウント開始			RW	

- 注1. TZSビットが“1” (カウント開始)のとき、リロードレジスタのみ書き込みになります。
TZSビットが“0” (カウント停止)のとき、リロードレジスタとカウンタへの書き込みになります。
- 注2. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

タイマZ波形出力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0							
0 0 0 0 0 0							
シンボル PUM		アドレス 0084h番地		リセット後の値 00h			
ビット シンボル	ビット名		機能			RW	
- (b4-b0)	予約ビット		“0” にしてください。			RW	
TZOPL	タイマZアウトプット レベルラッチ		0: ワンショットパルス“H”出力 タイマ停止時“L”出力 1: ワンショットパルス“L”出力 タイマ停止時“H”出力			RW	
INOSTG	INT0端子ワンショット トリガ制御ビット(注1)		0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効			RW	
INOSEG	INT0端子ワンショット トリガ極性選択ビット(注2)		0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ			RW	

- 注1. INOSTGビットは、INTENレジスタのINT0ENビットとPUMレジスタのINOSEGビットを設定後に“1”にしてください。
INOSTGビットを“1” (INT0端子ワンショットトリガ有効)にすると、INTOFレジスタのINTOF0~INTOF1ビットを設定してください。
- 注2. INOSEGビットは、INTENレジスタのINT0PLビットが“0” (片エッジ)のときのみ有効です。

図14.19 プログラマブルワンショット発生モード時のTZMR、PUMレジスタ

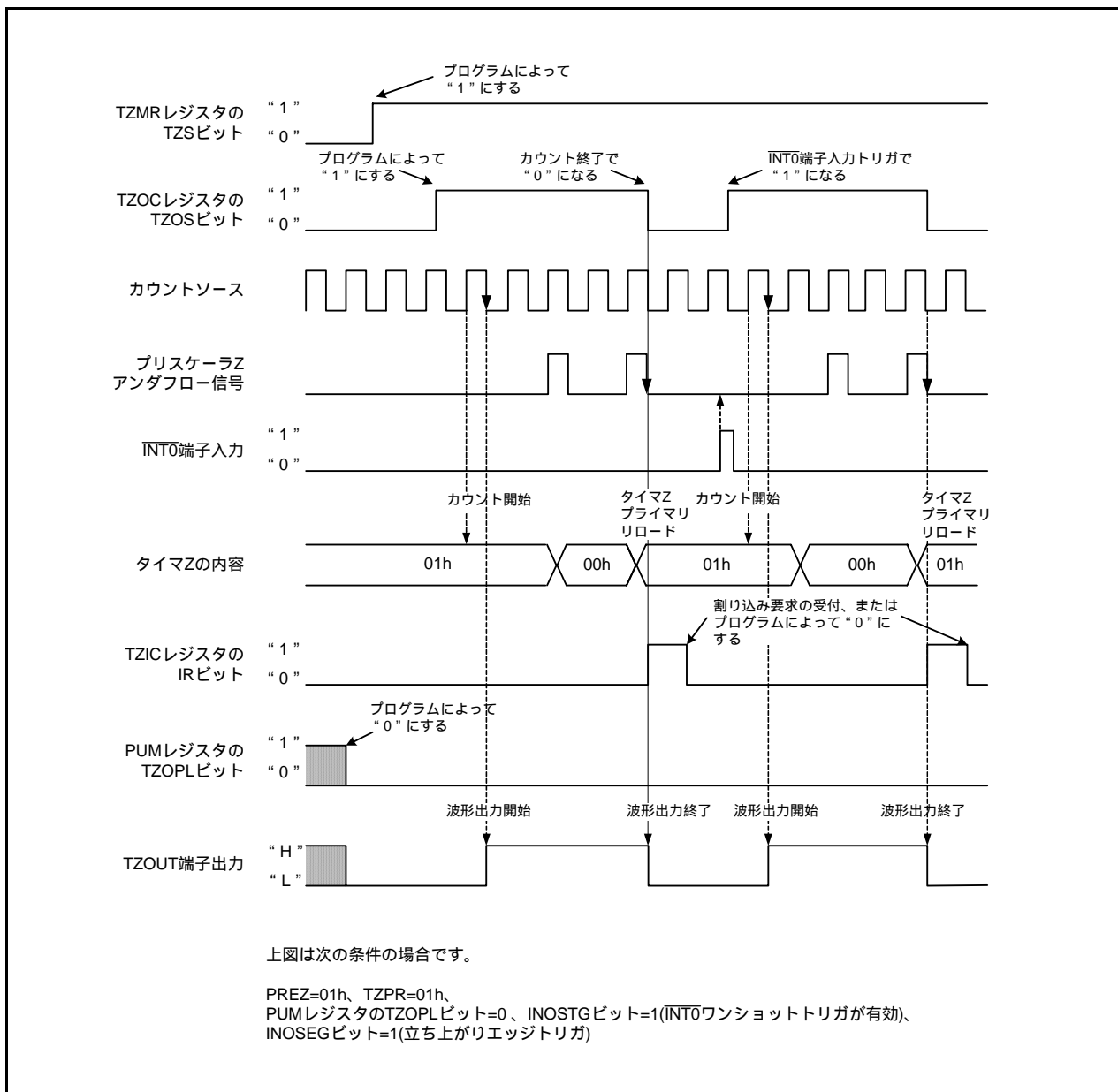


図14.20 プログラマブルワンショット発生モード時の動作例

14.2.4 プログラブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、一定時間後にワンショットパルスをTZOUT端子から出力するモードです(表14.10)。トリガが発生すると、その時点から任意の時間(TZPRレジスタの設定値)後、一度だけ任意の時間(TZSCレジスタの設定値)パルス出力を行います。図14.21にプログラブルウェイトワンショット発生モード時のTZMR、PUMレジスタを、図14.22にプログラブルウェイトワンショット発生モードの動作例を示します。

表14.10 プログラブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・タイマZプライマリの設定値をダウンカウント ・タイマZプライマリのカウントがアンダフロー時、タイマZセカンダリの内容をリロードしてカウントを継続 ・タイマZセカンダリのカウントがアンダフロー時、タイマZプライマリの内容をリロードしてカウントを終了し、TZOSビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ f _i : カウントソースの周波数、 n:PREZレジスタの設定値、m:TZPRレジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ f _i : カウントソースの周波数、n:PREZレジスタの設定値、p:TZSCレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> ・TZOCレジスタのTZOSビットへの“1”(ワンショット開始)書き込み(注1) ・INT0端子への有効トリガ入力(注2)
カウント停止条件	<ul style="list-style-type: none"> ・タイマZセカンダリカウント時のカウントの値が“00h”になりリロードした後 ・TZMRレジスタのTZSビットへの“0”(カウント停止)書き込み ・TZOCレジスタのTZOSビットへの“0”(ワンショット停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフローからカウントソースの1/2サイクル後(TZOUT端子からの波形出力の終了と同時に)[タイマZ割り込み]
TZOUT端子機能	パルス出力 (プログラブル入出力ポートとして使用する場合は、タイマモードにしてください)
INT0端子機能	<ul style="list-style-type: none"> ・PUMレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラブル入出力ポートまたはINT0割り込み入力 ・PUMレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TZPRレジスタ、PREZレジスタ、TZSCレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注3)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルをTZOPLビットで選択できる ・INT0端子ワンショットトリガ制御機能、極性選択機能 INT0端子からのトリガ入力の有効または無効をINOSTGビットで選択できる 有効トリガ極性をINOSEGビットで選択できる

注1. TZMRレジスタのTZSビットを“1”(カウント開始)にしてください。

注2. TZSビットを“1”(カウント開始)、INTENレジスタのINT0ENビットを“1”(INT0入力許可)、PUMレジスタのINOSTGビットを“1”(INT0ワンショットトリガ有効)にしてください。

カウント中に入力されたトリガは受け付けられませんが、INT0割り込み要求は発生します。

注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。

タイマZモードレジスタ

シンボル		アドレス		リセット後の値			
TZMR		0080h番地		00h			
ビット シンボル	ビット名		機能		RW		
- (b3-b0)	予約ビット		"0" にしてください。		RW		
TZMOD0	タイマZ動作モード ビット		b5 b4 1 1: プログラマブルウェイトワンショット発生モード		RW		
TZMOD1					RW		
TZWC	タイマZ書き込み制御 ビット		プログラマブルウェイトワンショット発生モードでは"1"にしてください。(注1)		RW		
TZS	タイマZカウント開始 フラグ(注2)		0: カウント停止 1: カウント開始		RW		

注1. TZSビットが"1" (カウント開始)のとき、リロードレジスタのみ書き込みになります。
TZSビットが"0" (カウント停止)のとき、リロードレジスタとカウンタへの書き込みになります。

注2. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

タイマZ波形出力制御レジスタ

シンボル		アドレス		リセット後の値			
PUM		0084h番地		00h			
ビット シンボル	ビット名		機能		RW		
- (b4-b0)	予約ビット		"0" にしてください。		RW		
TZOPL	タイマZアウトプット レベルラッチ		0: ワンショットパルス" H "出力 タイマ停止時" L "出力 1: ワンショットパルス" L "出力 タイマ停止時" H "出力		RW		
INOSTG	INT0端子ワンショット トリガ制御ビット(注1)		0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効		RW		
INOSEG	INT0端子ワンショット トリガ極性選択ビット(注2)		0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ		RW		

注1. INOSTGビットは、INTENレジスタのINT0ENビットとPUMレジスタのINOSEGビットを設定後に"1"にしてください。

INOSTGビットを"1" (INT0端子ワンショットトリガ有効)にすると、INTOFレジスタのINTOF0~INTOF1ビットを設定してください。

INOSTGビットは、TZMRレジスタのTZSビットを"0" (カウント停止)にした後、"0" (INT0端子ワンショットトリガ無効)にしてください。

注2. INOSEGビットは、INTENレジスタのINTOPLビットが"0" (片エッジ)のときのみ有効です。

図14.21 プログラマブルウェイトワンショット発生モード時のTZMR、PUMレジスタ

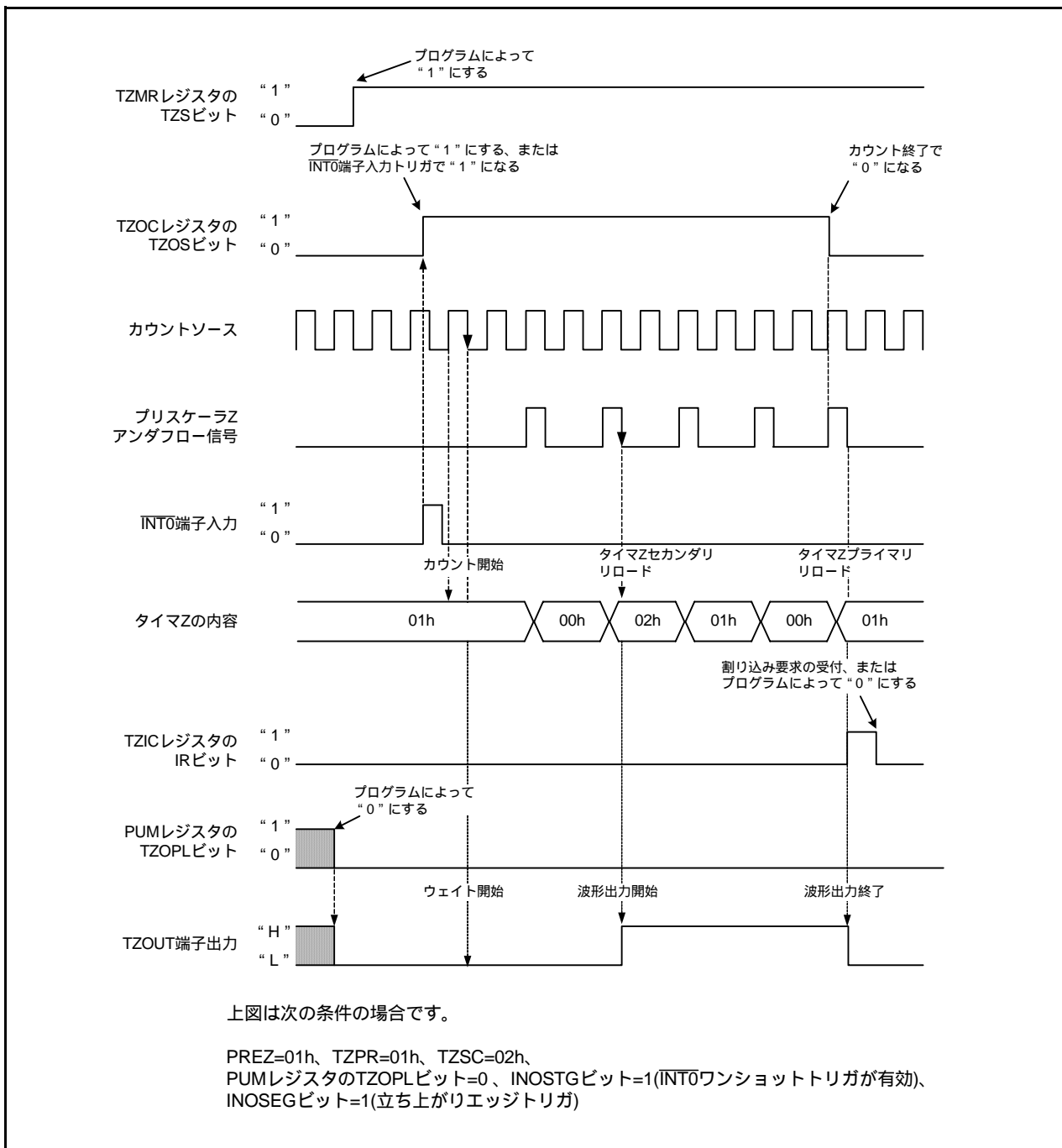


図 14.22 プログラマブルウェイトワンショット発生モードの動作例

14.2.5 タイマZ使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- TZMRレジスタのTZMOD0～TZMOD1ビットとTZSビットを同時に書き換えしないでください。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TZMRレジスタのTZSビットを“0”にしてカウントを停止したとき、またはTZOCレジスタのTZOSビットを“0”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- TZMRレジスタのTZSビットには、タイマZにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。
カウント停止中にTZSビットに“1”(カウント開始)を書いた後、次のカウントソースが入力されるまでは“0”(カウント停止)が読めます。次のカウントソースが入力されるとTZSビットは“1”が読めるようになります。TZSビットで“1”が読めるようになるまで、TZSビットを除くタイマZ関連レジスタ(TZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSC、TZICレジスタ)をアクセスしないでください。TZSビットが“1”になった後、次のカウントソースからカウントを開始します。
同様に、カウント中にTZSビットに“0”(カウント停止)を書くと、次のカウントソースで、タイマZがカウントを停止します。
TZSビットに“0”を書いた後、カウントを停止するまでにTZSビットを読むと、“1”(カウント開始)が読めます。TZSビットに“0”を書いた後、TZSビットで“0”が読めるようになるまで、TZSビットを除くタイマZ関連レジスタをアクセスしないでください。

14.3 タイマC

タイマCは、16ビットタイマです。図14.23にタイマCのブロック図、図14.24にCMP波形生成部ブロック図、図14.25にCMP波形出力部ブロック図を示します。

タイマCは、インプットキャプチャモード、アウトプットコンペアモードの2種類のモードを持ちます。図14.26～図14.29にタイマC関連のレジスタを示します。

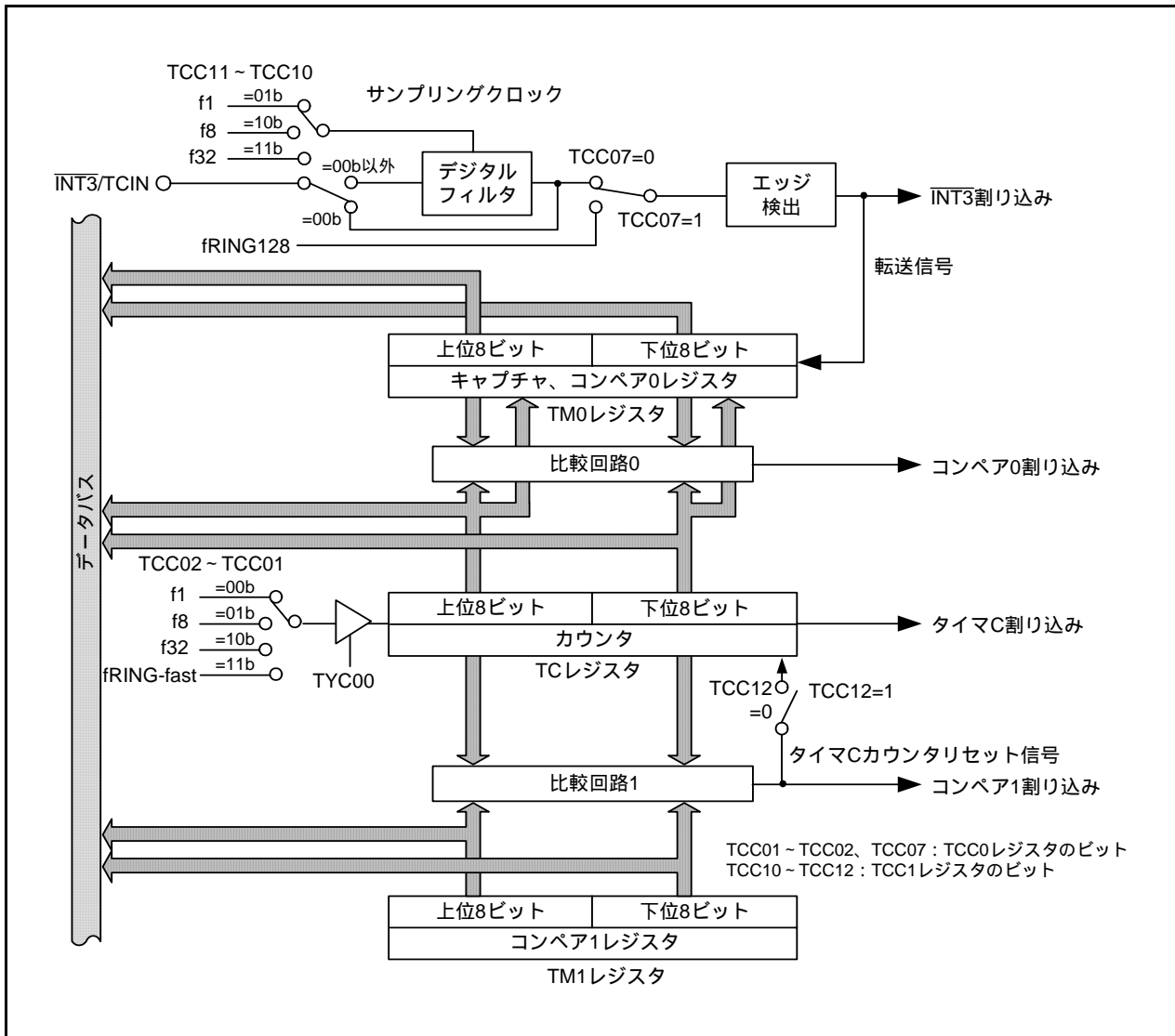


図14.23 タイマCのブロック図

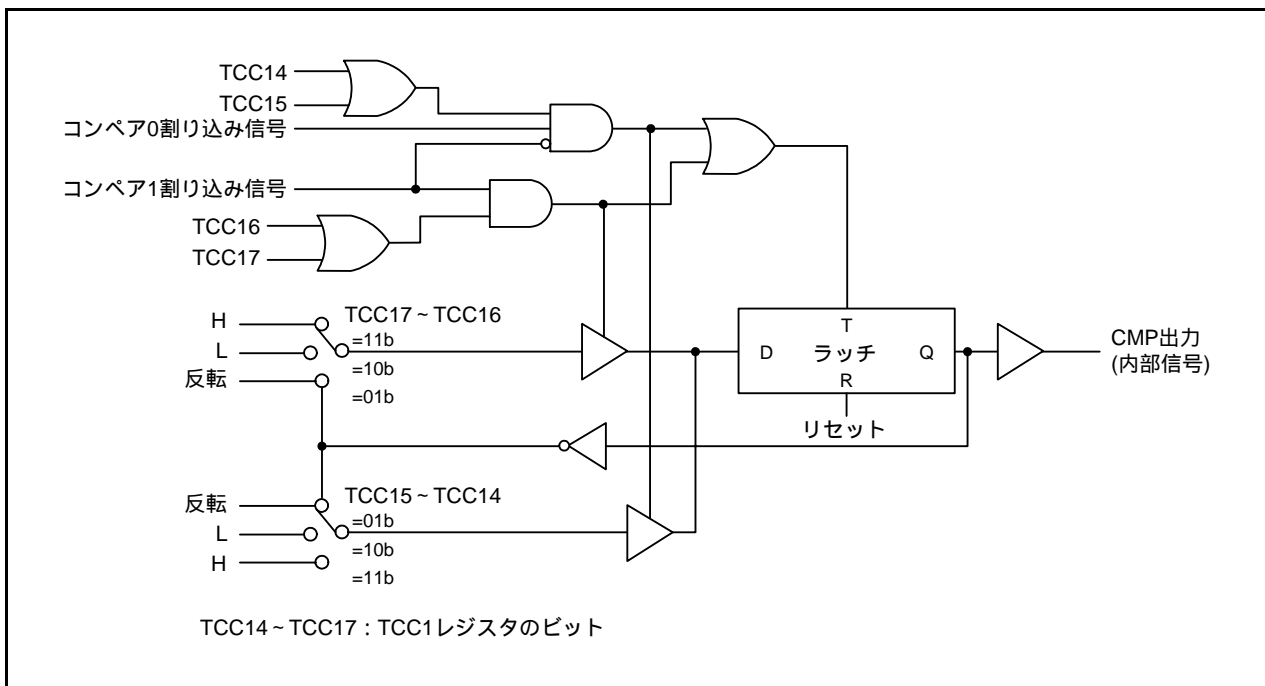


図14.24 CMP波形生成部ブロック図

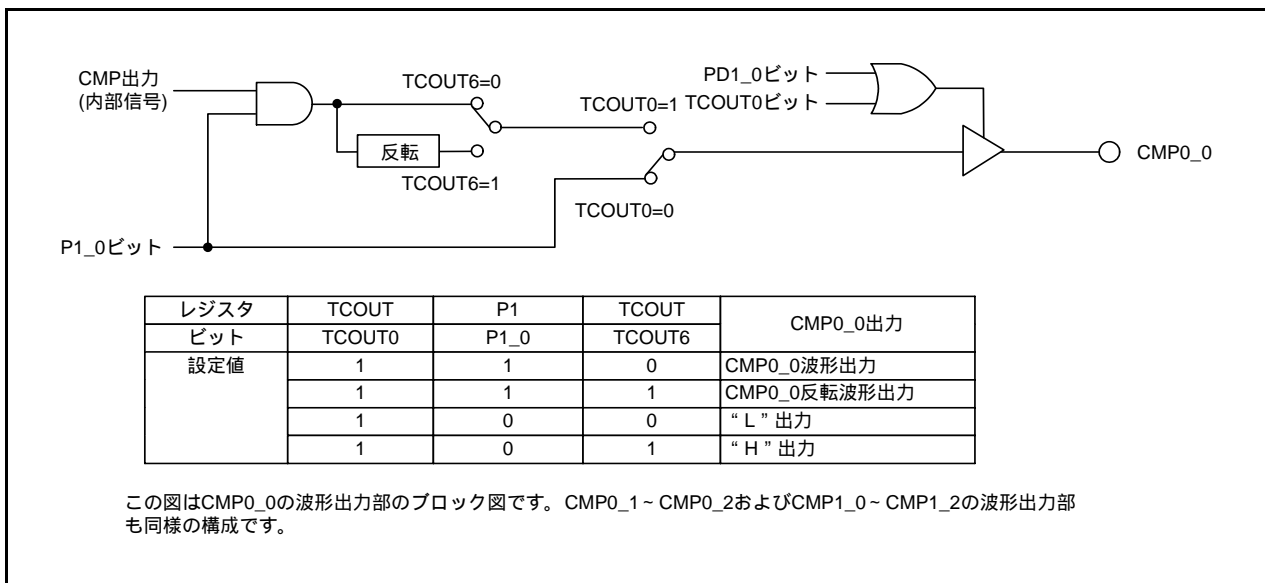


図14.25 CMP波形出力部ブロック図

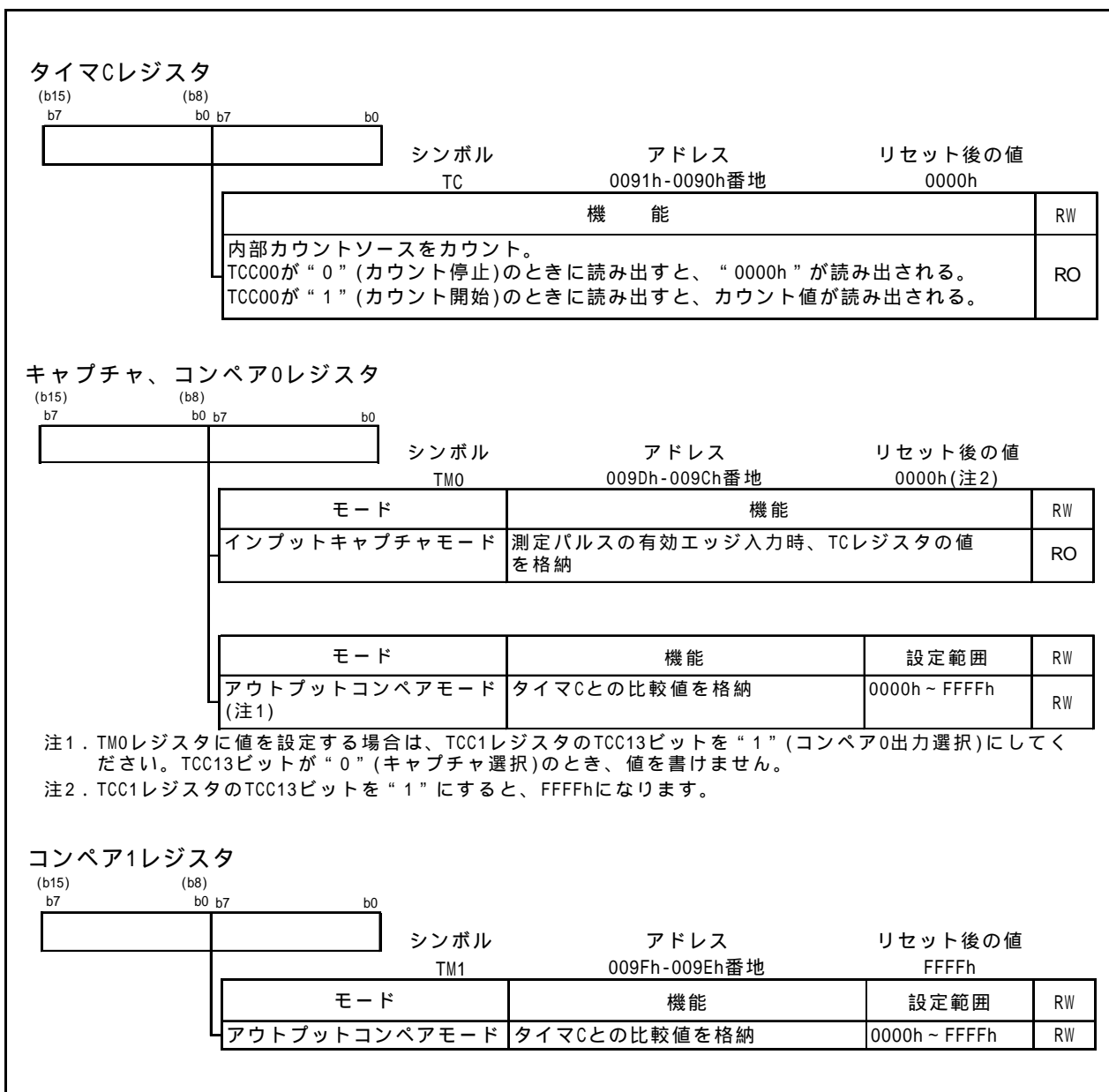


図14.26 TC、TM0、TM1レジスタ

タイマC制御レジスタ0

シンボル	アドレス	リセット後の値	
TCC0	009Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TCC00	タイマCカウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TCC01	タイマCカウントソース 選択ビット(注1)	b2 b1 0 0 : f1 0 1 : f8	RW
TCC02		1 0 : f32 1 1 : fRING-fast	RW
TCC03	INT3割り込み、キャプチャ 極性選択ビット(注1、2)	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ	RW
TCC04		1 0 : 両エッジ 1 1 : 設定しないでください	RW
- (b5)	予約ビット	“0” にしてください。	RW
TCC06	INT3割り込み要求発生タイミング 選択ビット(注2、3)	0 : タイマCのカウントソースに 同期して発生する 1 : INT3入力タイミングで発生する (注4)	RW
TCC07	INT3割り込み、キャプチャ入力 切り替えビット(注1、2)	0 : INT3 1 : fRING128	RW

注1. このビットの変更は、TCC00ビットが“0”(カウント停止)のとき、行ってください。
 注2. TCC03、TCC04、TCC06、TCC07ビットを変更すると、INT3ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。
 注3. TCC13ビットが“1”(アウトプットコンペアモード)のとき、TCC06ビットの設定値にかかわらず、INT3入力タイミングで割り込み要求が発生します。
 注4. INT3フィルタ使用時は、デジタルフィルタ用クロックに同期して発生します。

図14.27 TCC0レジスタ

タイマC制御レジスタ1

シンボル	アドレス	リセット後の値	
TCC1	009Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TCC10	INT3フィルタ選択ビット (注1)	b1 b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング	RW
TCC11		1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
TCC12	タイマCカウンタリロード 選択ビット(注3)	0 : リロードなし 1 : コンペア1一致時にTCレジスタ を“0000h”にする	RW
TCC13	コンペア0/キャプチャ 選択ビット(注2)	0 : キャプチャ選択(インプット キャプチャモード) (注3) 1 : コンペア0出力選択 (アウトプットコンペアモード)	RW
TCC14	コンペア0出力モード選択 ビット(注3)	b5 b4 0 0 : コンペア0で一致してもCMP出力 は変化しない 0 1 : コンペア0の一致信号でCMP出力 を反転	RW
TCC15		1 0 : コンペア0の一致信号でCMP出力 を“L”に設定 1 1 : コンペア0の一致信号でCMP出力 を“H”に設定	
TCC16	コンペア1出力モード選択 ビット(注3)	b7 b6 0 0 : コンペア1で一致してもCMP出力 は変化しない 0 1 : コンペア1の一致信号でCMP出力 を反転	RW
TCC17		1 0 : コンペア1の一致信号でCMP出力 を“L”に設定 1 1 : コンペア1の一致信号でCMP出力 を“H”に設定	

注1. INT3端子から同じ値を3回連続してサンプリングした時点で入力が増加します。
注2. TCC13ビットは、TCC0レジスタのTCC00ビットが“0”(カウント停止)のとき、変更してください。
注3. TCC13ビットが“0”(インプットキャプチャモード)のとき、TCC12、TCC14~TCC17は“0”にしてください。

図14.28 TCC1レジスタ

タイマC出力制御レジスタ(注1)

シンボル TCOUT	アドレス 00FFh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TCOUT0	CMP出力許可ビット0	0 : CMP0_0からのCMP出力を禁止する 1 : CMP0_0からのCMP出力を許可する	RW
TCOUT1	CMP出力許可ビット1	0 : CMP0_1からのCMP出力を禁止する 1 : CMP0_1からのCMP出力を許可する	RW
TCOUT2	CMP出力許可ビット2	0 : CMP0_2からのCMP出力を禁止する 1 : CMP0_2からのCMP出力を許可する	RW
TCOUT3	CMP出力許可ビット3	0 : CMP1_0からのCMP出力を禁止する 1 : CMP1_0からのCMP出力を許可する	RW
TCOUT4	CMP出力許可ビット4	0 : CMP1_1からのCMP出力を禁止する 1 : CMP1_1からのCMP出力を許可する	RW
TCOUT5	CMP出力許可ビット5	0 : CMP1_2からのCMP出力を禁止する 1 : CMP1_2からのCMP出力を許可する	RW
TCOUT6	CMP出力反転ビット0	0 : CMP0_0 ~ CMP0_2からのCMP出力を反転しない 1 : CMP0_0 ~ CMP0_2からのCMP出力を反転する	RW
TCOUT7	CMP出力反転ビット1	0 : CMP1_0 ~ CMP1_2からのCMP出力を反転しない 1 : CMP1_0 ~ CMP1_2からのCMP出力を反転する	RW

注1. CMP出力に使用しないビットは“0”にしてください。

図14.29 TCOUTレジスタ

14.3.1 インพุットキャプチャモード

インพุットキャプチャモードは、TCIN端子へのエッジ入力、またはfRING128のクロックをトリガとしてタイマの値をラッチし、割り込み要求を発生するモードです。またTCIN入力はデジタルフィルタを持ちますので、ノイズ等による誤動作を防止できます。表14.11にインพุットキャプチャモードの仕様を、図14.30にインพุットキャプチャモードの動作例を示します。

表14.11 インพุットキャプチャモードの仕様

項目	仕様
カウントソース	f1、f8、f32、fRING-fast
カウント動作	<ul style="list-style-type: none"> ・アップカウント ・測定パルスの有効エッジ入力で、TCレジスタの値をTM0レジスタに転送 ・カウント停止時、TCレジスタの値は“0000h”になる
カウント開始条件	TCC0レジスタのTCC00ビットへの“1”(カウント開始)書き込み
カウント停止条件	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・測定パルスの有効エッジ入力時 [INT3割り込み](注1) ・タイマCのオーバフロー時 [タイマC割り込み]
INT3/TCIN端子機能	プログラマブル入出力ポート、または測定パルス入力 (INT3割り込み入力)
P1_0 ~ P1_2、P3_3 ~ P3_5端子機能	プログラマブル入出力ポート
カウンタ値初期化タイミング	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み時
タイマの読み出し(注2)	<ul style="list-style-type: none"> ・TCレジスタを読み出すと、カウント値が読み出される ・TM0レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出される
タイマの書き込み	TC、TM0レジスタへの書き込みはできない。
選択機能	<ul style="list-style-type: none"> ・INT3/TCIN極性選択機能 測定パルスの有効エッジをTCC03ビット~TCC04ビットで選択できる ・デジタルフィルタ機能 デジタルフィルタサンプリング周波数をTCC10ビット~TCC11ビットで選択できる ・トリガ機能 TCIN入力、またはfRING128をTCC07で選択できる

注1. INT3割り込みはデジタルフィルタによる遅延とカウントソースの1サイクル(最大)分の遅延が発生します。

注2. TCレジスタ、TM0レジスタは、16ビット単位で読み出してください。

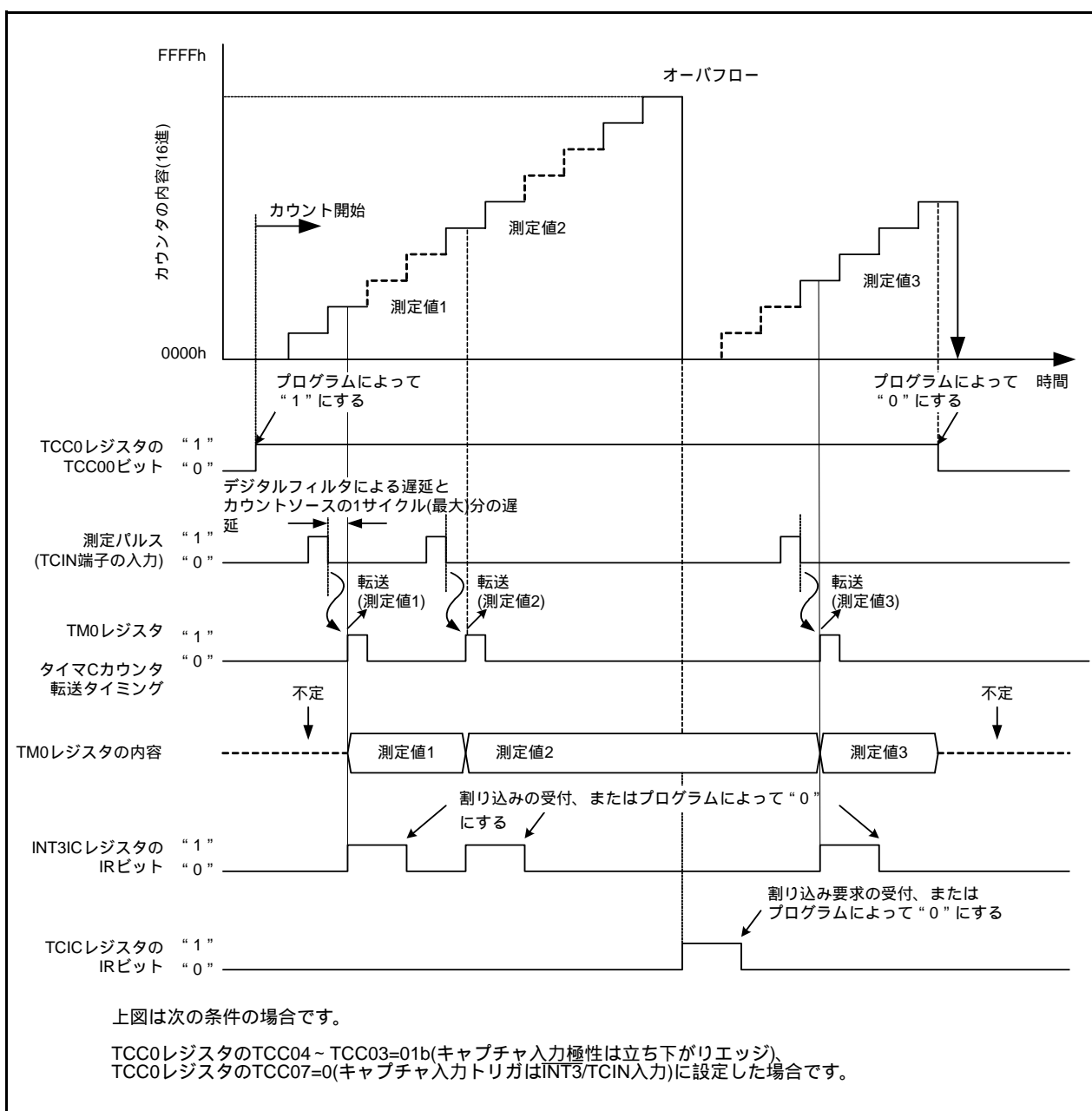


図 14.30 インพุットキャプチャモードの動作例

14.3.2 アウトプットコンペアモード

アウトプットコンペアモードはTCレジスタとTM0レジスタ、またはTCレジスタとTM1レジスタの値が一致したときに、割り込み要求を発生するモードです。表14.12にアウトプットコンペアモードの仕様を、図14.31にアウトプットコンペアモードの動作例を示します。

表14.12 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f1、f8、f32、fRING-fast
カウント動作	・ アップカウント ・ カウント停止時、TCレジスタの値は“0000h”になる
カウント開始条件	TCC0レジスタのTCC00ビットへの“1”(カウント開始)書き込み
カウント停止条件	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み
波形出力開始条件	TCOUTレジスタのTCOUT0～TCOUT5ビットへの“1”(CMP出力を許可する)書き込み(注2)
波形出力停止条件	TCOUTレジスタのTCOUT0～TCOUT5ビットへの“0”(CMP出力を禁止する)書き込み
割り込み要求発生タイミング	・ 比較回路0の一致時 [コンペア0割り込み] ・ 比較回路1の一致時 [コンペア1割り込み] ・ タイマCのオーバフロー時 [タイマC割り込み]
INT3/TCIN端子機能	プログラマブル入出力ポート、またはINT3割り込み入力
P1_0～P1_2、P3_3～P3_5端子機能	プログラマブル入出力ポート、またはCMP出力(注1)
カウンタ値初期化タイミング	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み時
タイマの読み出し(注2)	・ TCレジスタを読み出すと、カウント値が読み出される ・ TM0、TM1レジスタを読み出すと、コンペアレジスタの値が読み出される。
タイマの書き込み(注2)	・ TCレジスタへの書き込みはできない。 ・ TM0、TM1レジスタへ書くと、次のタイミングでコンペアレジスタに値が格納される。 -TCC00ビットが“0”(カウント停止)の場合、TM0、TM1レジスタへ書くと同時。 -TCC00ビットが“1”(カウント中)かつTCC1レジスタのTCC12ビットが“0”(リロードなし)の場合、カウンタオ-バフロー-時。 -TCC00ビットが“1”かつTCC12ビットが“1”(コンペア1一致時にTCレジスタを“0000h”にする)の場合、コンペア1とカウンタが一致時。
選択機能	・ タイマCカウンタリロード選択機能 比較回路1の一致時にTCレジスタのカウンタ値を“0000h”にするかどうかをTCC1レジスタのTCC12ビットで選択できる ・ 比較回路0の一致時の出力レベルをTCC1レジスタのTCC14～TCC15ビットで、比較回路1の一致時の出力レベルをTCC1レジスタのTCC16～TCC17ビットで選択できる ・ 出力を反転するかどうかを、TCOUTレジスタのTCOUT6～TCOUT7ビットで選択できる

注1. 該当するポートのデータが“1”のとき、TCC1、TCOUTレジスタの設定にしたがって波形を出力します。該当するポートのデータが“0”のときは、固定レベルを出力します(「図14.25 CMP波形出力部ブロック図」参照)。

注2. TC、TM0、TM1レジスタは、16ビット単位でアクセスしてください。

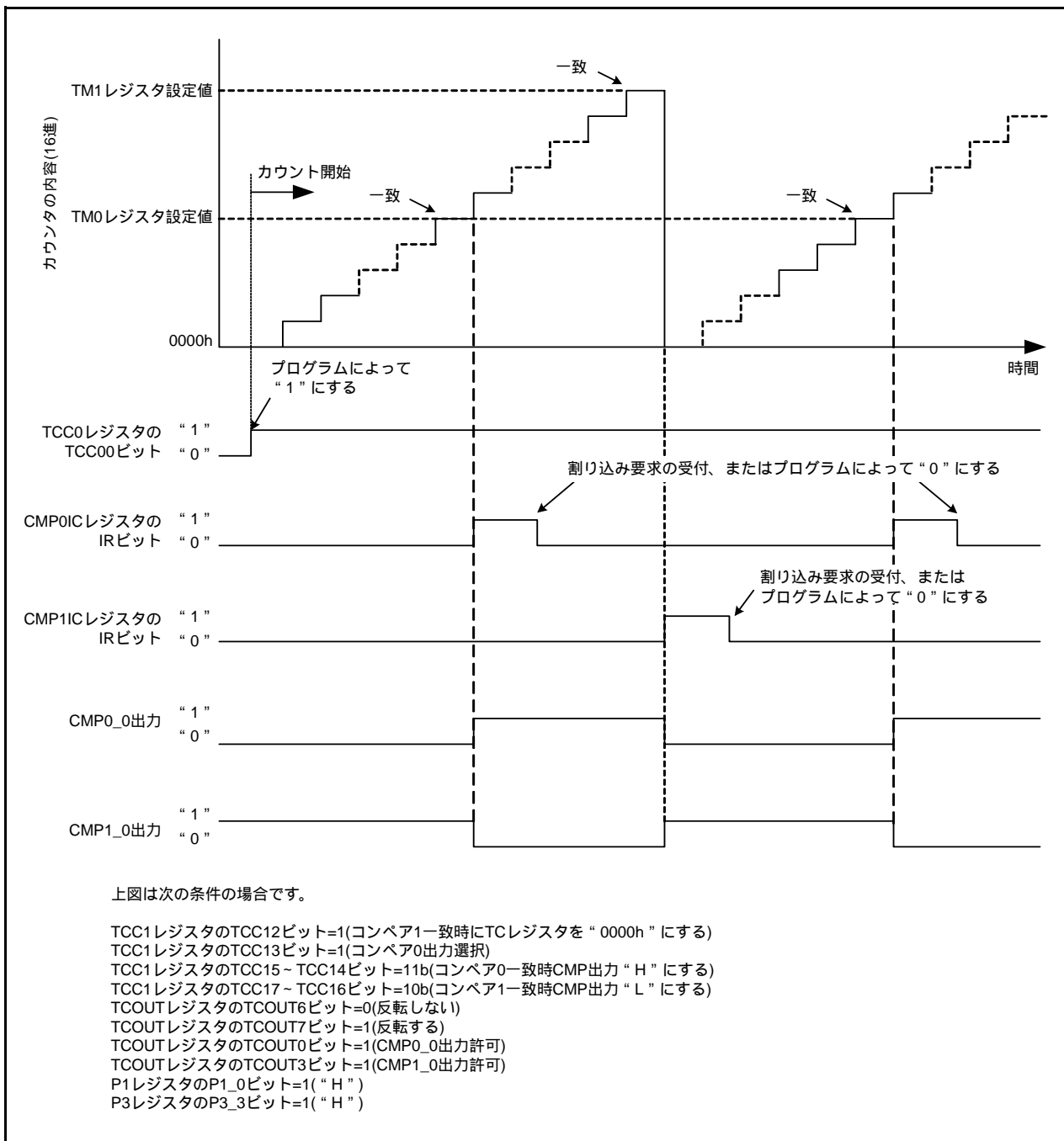


図14.31 アウトプットコンペアモードの動作例

14.3.3 タイマC使用上の注意

TCレジスタ、TM0レジスタおよびTM1レジスタは、16ビット単位でアクセスしてください。
TCレジスタは16ビット単位で読み出すことで、下位バイトと上位バイトを読み出す間にタイマ値が更新されることはありません。

<タイマCを読み出すプログラム例>

```
MOV.W    0090H,R0    ;タイマCの読み出し
```

15. シリアルインタフェース

シリアルインタフェースは、UART0およびUART1の2チャンネルで構成しています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図15.1にUART i ($i=0 \sim 1$)のブロック図、図15.2に送受信部のブロック図を示します。

UART0は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

UART1は、クロック非同期形シリアルI/Oモード(UARTモード)のみ持ちます。

図15.3～図15.5にUART i 関連のレジスタを示します。

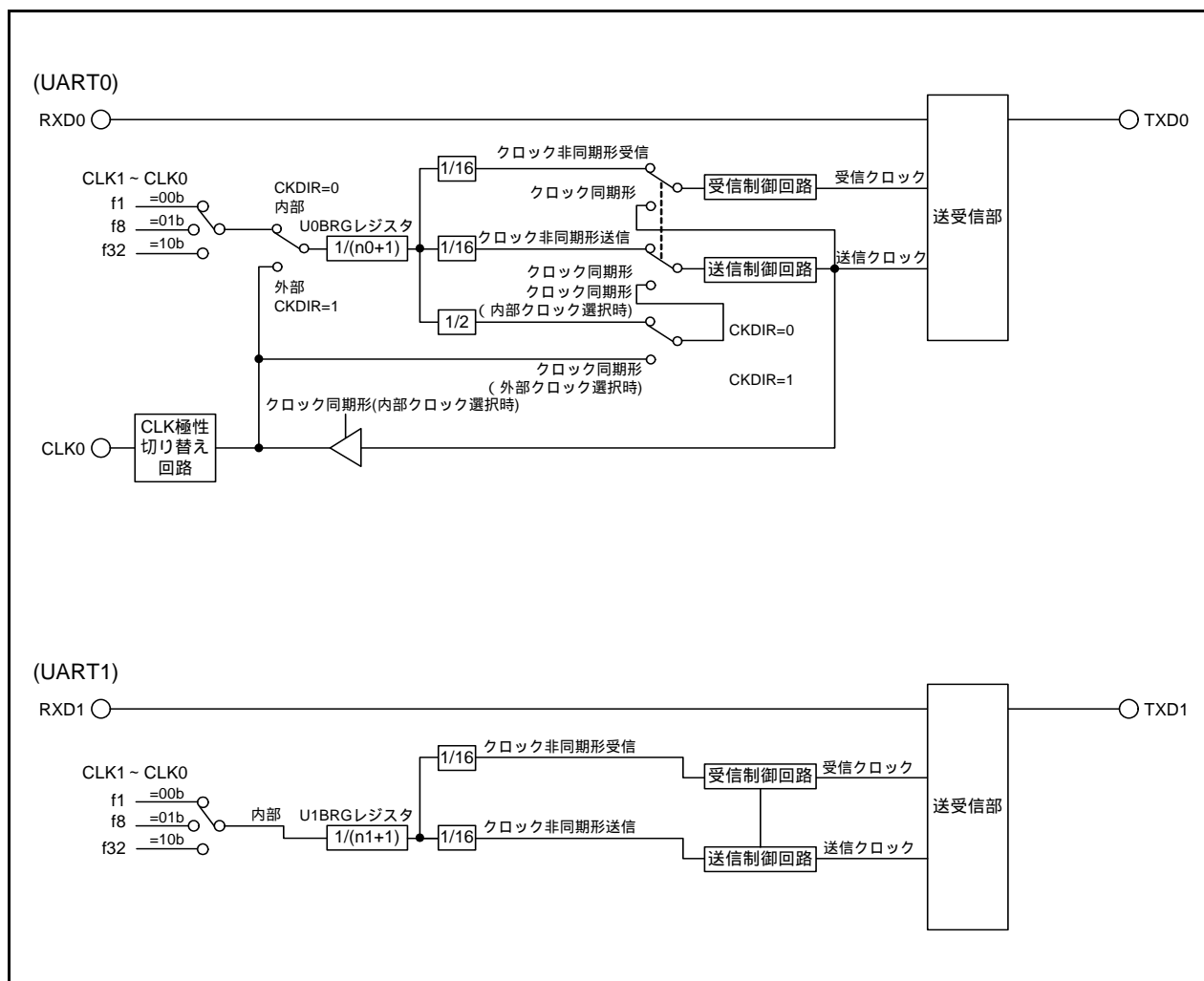


図15.1 UART i ($i=0 \sim 1$)のブロック図

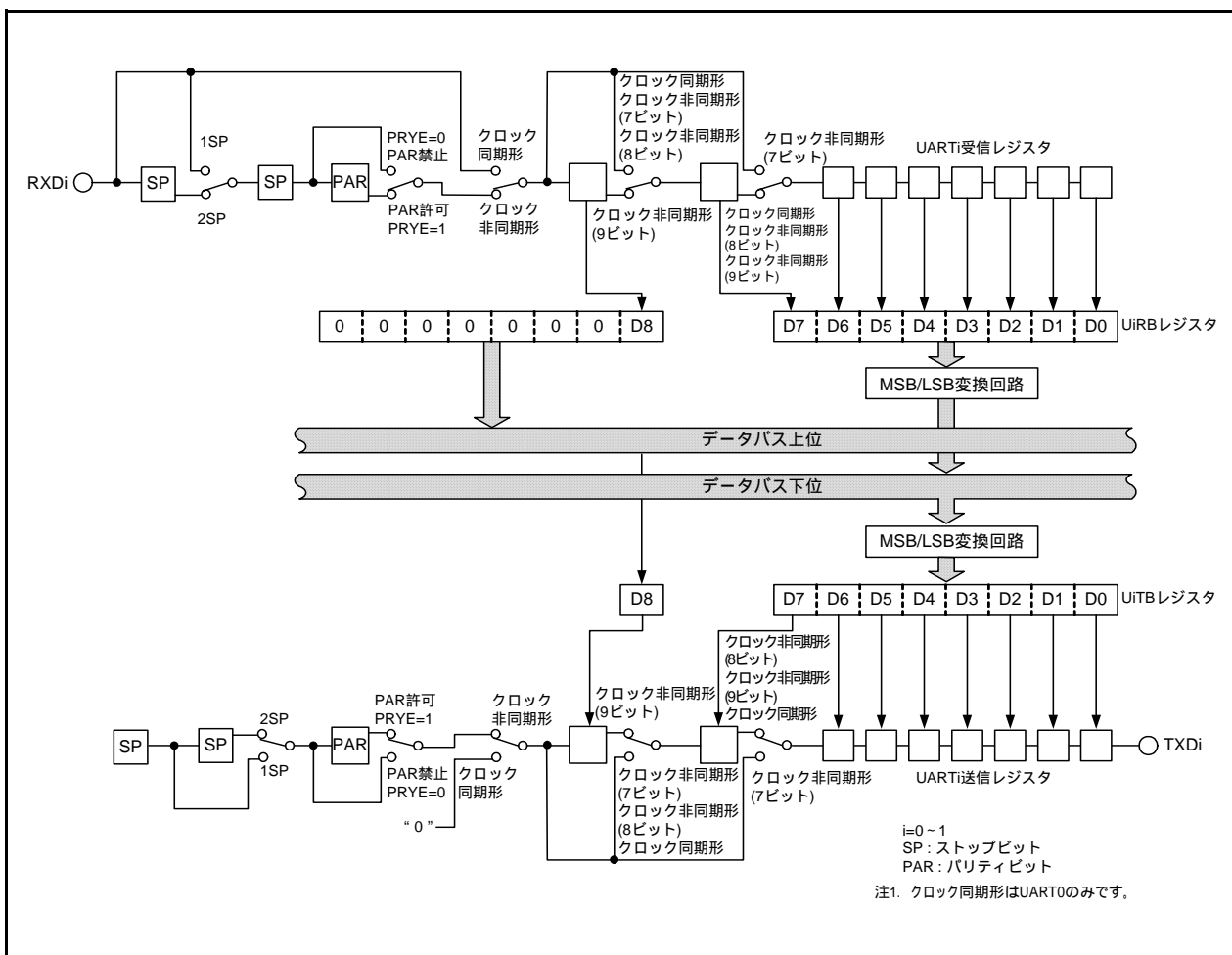


図15.2 送受信部のブロック図

UART_i送信バッファレジスタ (i=0~1) (注1、2)

シンボル	アドレス	リセット後の値
U0TB	00A3h-00A2h番地	不定
U1TB	00ABh-00AAh番地	不定

ビットシンボル	機能	RW
(b8-b0)	送信データ	WO
(b15-b9)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-

注1. 転送データ長が9ビットの場合、上位バイト 下位バイトの順で書いてください。
 注2. MOV命令を使用して書いてください

UART_i受信バッファレジスタ (i=0~1) (注1)

シンボル	アドレス	リセット後の値
U0RB	00A7h-00A6h番地	不定
U1RB	00AFh-00AEh番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	-	受信データ (D7~D0)	RO
(b8)	-	受信データ (D8)	RO
(b11-b9)	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-
OER	オーバランエラーフラグ(注2)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注2)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注2)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注2)	0: エラーなし 1: エラー発生	RO

注1. U_iRBレジスタは必ず16ビット単位で読み出してください。
 注2. SUM、PER、FER、OERビットは、U_iMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU_iC1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットは、U_iRBレジスタの上位バイトを読み出したとき、“0”になります。

UART_iビットレートレジスタ (i=0~1) (注1、2、3)

シンボル	アドレス	リセット後の値
U0BRG	00A1h番地	不定
U1BRG	00A9h番地	不定

機能	設定範囲	RW
設定値をnとすると、U _i BRGはカウントソースをn+1分周する	00h~FFh	WO

注1. 送受信停止中に書いてください。
 注2. MOV命令を使用して書いてください。
 注3. U_iC0レジスタのCLK0~CLK1ビットを設定した後、U_iBRGレジスタに書いてください。

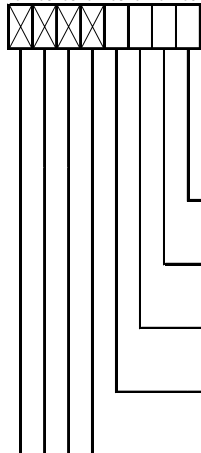
図15.3 U0TB ~ U1TB、U0RB ~ U1RB、U0BRG ~ U1BRGレジスタ

UART _i 送受信モードレジスタ (i=0~1)				
		シンボル	アドレス	リセット後の値
		UOMR	00A0h番地	00h
		U1MR	00A8h番地	00h
ビットシンボル	ビット名	機能		RW
SMD0	シリアルI/Oモード選択ビット(注2)	b2 b1 b0 0 0 0: シリアルインタフェースは無効 0 0 1: クロック同期形シリアルI/Oモード 1 0 0: UARTモード転送データ長7ビット 1 0 1: UARTモード転送データ長8ビット 1 1 0: UARTモード転送データ長9ビット 上記以外: 設定しないでください		RW
SMD1		RW		
SMD2		RW		
CKDIR	内/外部クロック選択ビット(注3)	0: 内部クロック 1: 外部クロック(注1)		RW
STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット		RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ		RW
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可		RW
- (b7)	予約ビット	"0" にしてください。		RW
注1. PD1レジスタのPD1_6ビットを"0" (入力)にしてください。				
注2. U1MRレジスタのSMD2~SMD0ビットを"000b"、"100b"、"101b"、"110b"以外にしないでください。				
注3. UART1では、CKDIRビットは"0" (内部クロック)にしてください。				
UART _i 送受信制御レジスタ0 (i=0~1)				
		シンボル	アドレス	リセット後の値
		UOC0	00A4h番地	08h
		U1C0	00ACh番地	08h
ビットシンボル	ビット名	機能		RW
CLK0	BRGカウントソース選択ビット(注1)	b1 b0 0 0: f1を選択 0 1: f8選択 1 0: f32を選択 1 1: 設定しないでください		RW
CLK1		RW		
- (b2)	予約ビット	"0" にしてください。		RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり (送信中) 1: 送信レジスタにデータなし (送信完了)		RO
- (b4)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。			-
NCH	データ出力選択ビット	0: TXDi端子はCMOS出力 1: TXDi端子はNチャネルオープンドレイン出力		RW
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力		RW
UFORM	転送フォーマット選択ビット	0: LSBファースト 1: MSBファースト		RW
注1. BRGカウントソースを変更した場合は、UiBRGレジスタを再設定してください。				

図15.4 U0MR ~ U1MR、U0C0 ~ U1C0レジスタ

UART_i送受信制御レジスタ1(i=0~1)

b7 b6 b5 b4 b3 b2 b1 b0



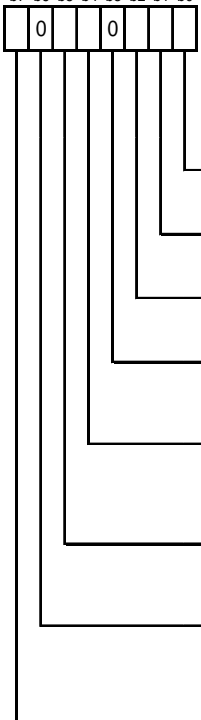
シンボル	アドレス	リセット後の値
U0C1	00A5h番地	02h
U1C1	00ADh番地	02h

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	RW
TI	送信バッファ空フラグ	0 : UiTBにデータあり 1 : UiTBにデータなし	RO
RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	RW
RI	受信完了フラグ(注1)	0 : UiRBにデータなし 1 : UiRBにデータあり	RO
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RIビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

UART送受信制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



シンボル	アドレス	リセット後の値
UCON	00B0h番地	00h

ビットシンボル	ビット名	機能	RW
U0IRS	UART0送信割り込み要因 選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	RW
U1IRS	UART1送信割り込み要因 選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了 (TXEPT=1)	RW
UORRM	UART0連続受信モード 許可ビット	0 : 連続受信モード禁止 1 : 連続受信モード許可	RW
- (b3)	予約ビット	“0” にしてください。	RW
U1SEL0	UART1端子(P3_7/TXD1、P4_5/RXD1) 選択ビット	b5 b4 0 0 : P3_7、P4_5 0 1 : P3_7、RXD1 1 0 : 設定しないでください 1 1 : TXD1、RXD1	RW
U1SEL1			RW
- (b6)	予約ビット	“0” にしてください。	RW
CNTRSEL	CNTR0信号端子選択ビット (注1)	0 : P1_5/RXD0 P1_7/CNTR00/INT10 1 : P1_5/RXD0/CNTR01/INT11 P1_7	RW

注1. CNTRSELビットはCNTR0 (INT1)信号の入力端子を選択します。CNTR0信号を出力する場合は、CNTRSELビットの設定にかかわらず、CNTR00端子から出力されます。

☒ 15.5 U0C1 ~ U1C1、UCONレジスタ

15.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表15.1にクロック同期形シリアルI/Oモードの仕様を、表15.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)を示します。

表15.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・転送データ長 8ビット
転送クロック	・U0MRレジスタのCKDIRビットが“0”(内部クロック) : $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}$ $n=U_iBRG$ レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : CLK0端子からの入力
送信開始条件	・送信開始には、以下の条件が必要です(注1)。 U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です(注1)。 U0C1レジスタのREビットが“1”(受信許可) U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -U0IRSビットが“0”(送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) -U0IRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 ・受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注2) U0RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	・CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSBファースト、MSBファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 U0RBレジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態)で条件を満たしてください。

注2. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0 ~ b8)は不定になります。またS0RICレジスタのIRビットは変化しません。

表 15.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U0TB	0 ~ 7	送信データを設定してください
U0RB	0 ~ 7	受信データが読めます
	OER	オーバランエラーフラグ
U0BRG	0 ~ 7	ビットレートを設定してください
U0MR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
U0C0	CLK1 ~ CLK0	U0BRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U0C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1” にしてください
	CNTRSEL	P1_5/RXD0/CNTR01/INT11を選択する場合は、“1” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 15.3にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 15.3 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはダミーデータ出力)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット = 0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	転送クロック出力	U0MRレジスタのCKDIRビット = 0
	転送クロック入力	U0MRレジスタのCKDIRビット = 1 PD1レジスタのPD1_6ビット = 0

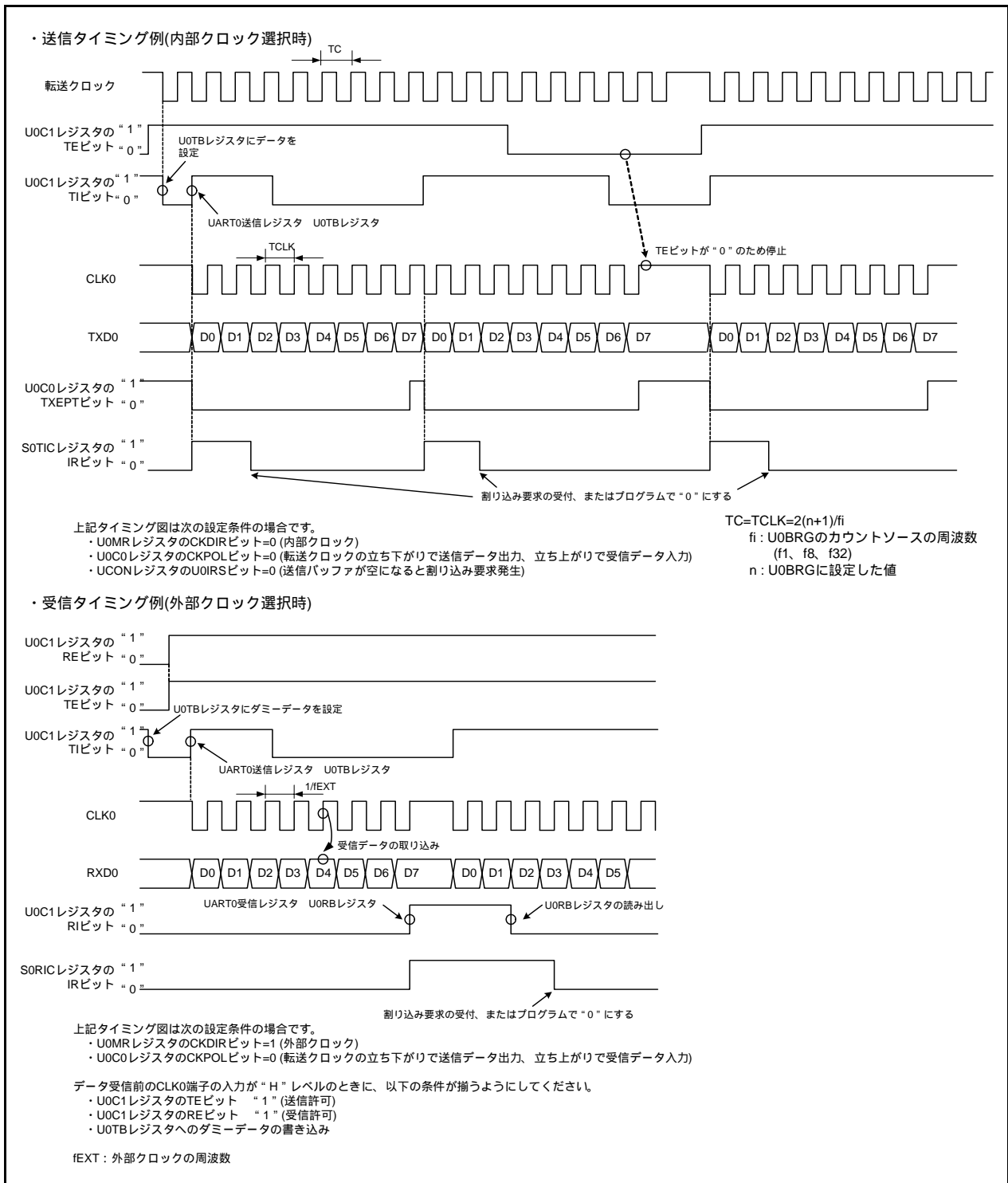


図15.6 クロック同期形シリアルI/Oモード時の送受信タイミング例

15.1.1 極性選択機能

図 15.7 に転送クロックの極性を示します。U0C0レジスタのCKPOLビットによって転送クロックの極性を選択できます。

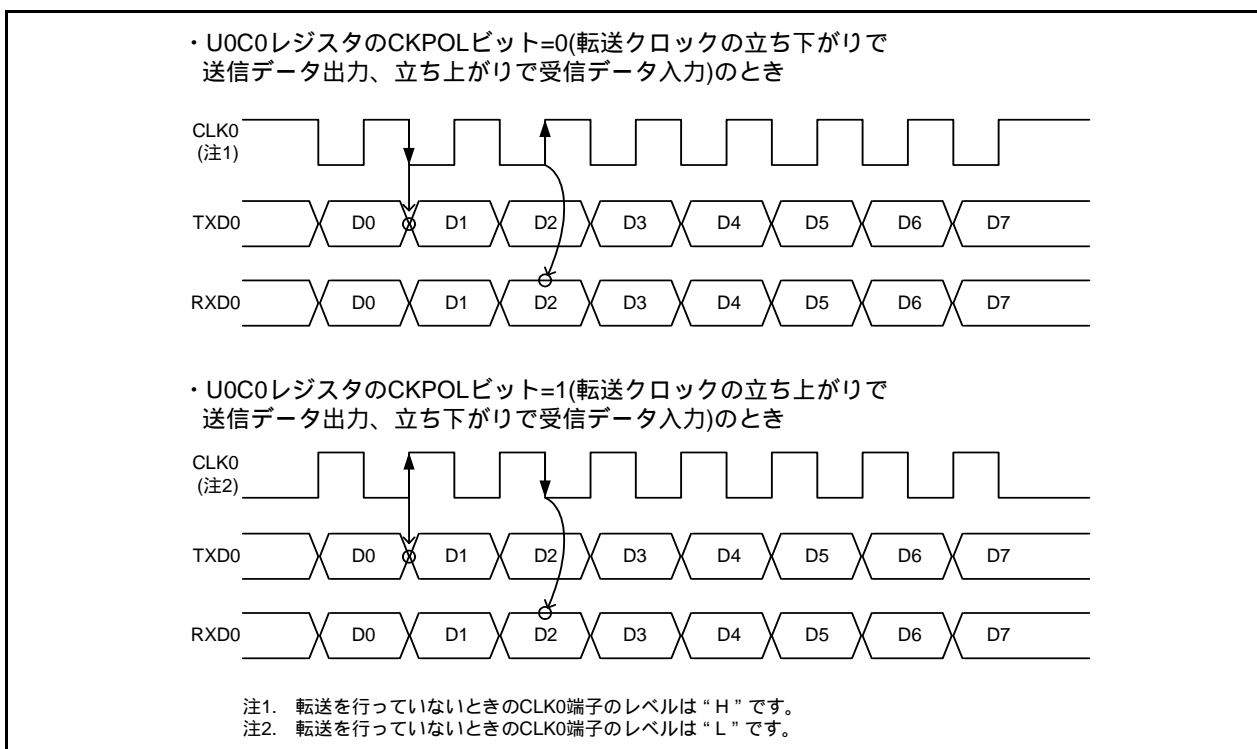


図 15.7 転送クロックの極性

15.1.2 LSBファースト、MSBファースト選択

図 15.8 に転送フォーマットを示します。U0C0レジスタのUFORMビットで転送フォーマットを選択できます。

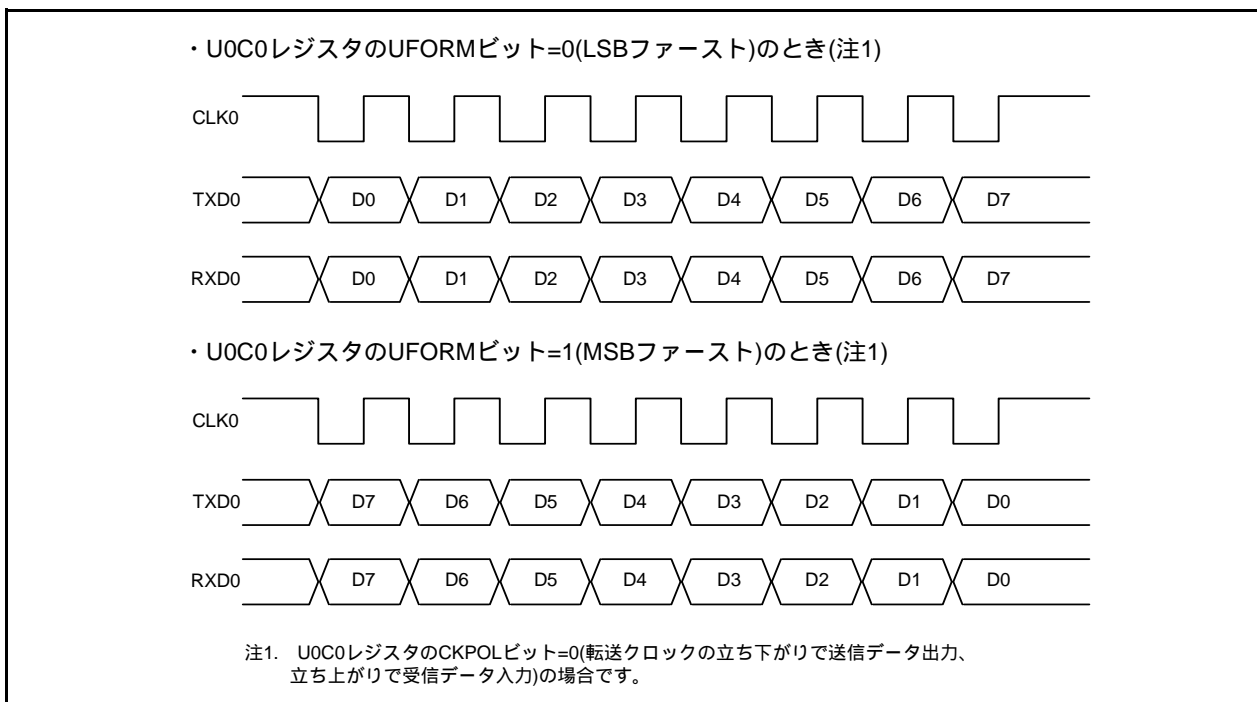


図 15.8 転送フォーマット

15.1.3 連続受信モード

UCONレジスタのU0RRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。U0RRMビットが“1”の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

15.2 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。表15.4にクロック非同期形シリアルI/Oモードの仕様を、表15.5にUARTモード時の使用レジスタと設定値を示します。

表15.4 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、無し選択可 ・ストップビット 1ビット、2ビット 選択可
転送クロック	<ul style="list-style-type: none"> ・UiMRレジスタ(i=0~1)のCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ f_j=f₁、f₈、f₃₂ n=UiBRGレジスタの設定値 00h~FFh ・CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLKi端子からの入力 n=UiBRGレジスタの設定値 00h~FFh
送信開始条件	<ul style="list-style-type: none"> ・送信開始には、以下の条件が必要です。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	<ul style="list-style-type: none"> ・受信開始には、以下の条件が必要です。 UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0~b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 15.5 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0 ~ 8	送信データを設定してください(注1)。
UiRB	0 ~ 8	受信データが読めます(注1)。
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください(注2)。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できません。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
UCON	U0IRS	UART0送信割り込み要因を選択してください。
	U0RRM	“0”にしてください。
	CNTRSEL	P1_5/RXD0/CNTR01/INT11を選択する場合は、“1”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

注2. UART0のみ外部クロックを選択できます。

表 15.6 にクロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTi (i=0～1)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 15.6 クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	プログラマブル入出力ポート	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0
TXD1(P3_7)	シリアルデータ出力	UCONレジスタのU1SEL1～U1SEL0ビット=11b (UCONレジスタのU1SEL1～U1SEL0ビット=01bで受信だけを行うときはP3_7をポートとして使用可)
RXD1(P4_5)	シリアルデータ入力	PD4レジスタのPD4_5ビット=0 UCONレジスタのU1SEL1～U1SEL0ビット=01bまたは11b (送信だけを行うときはポートとして使用不可)

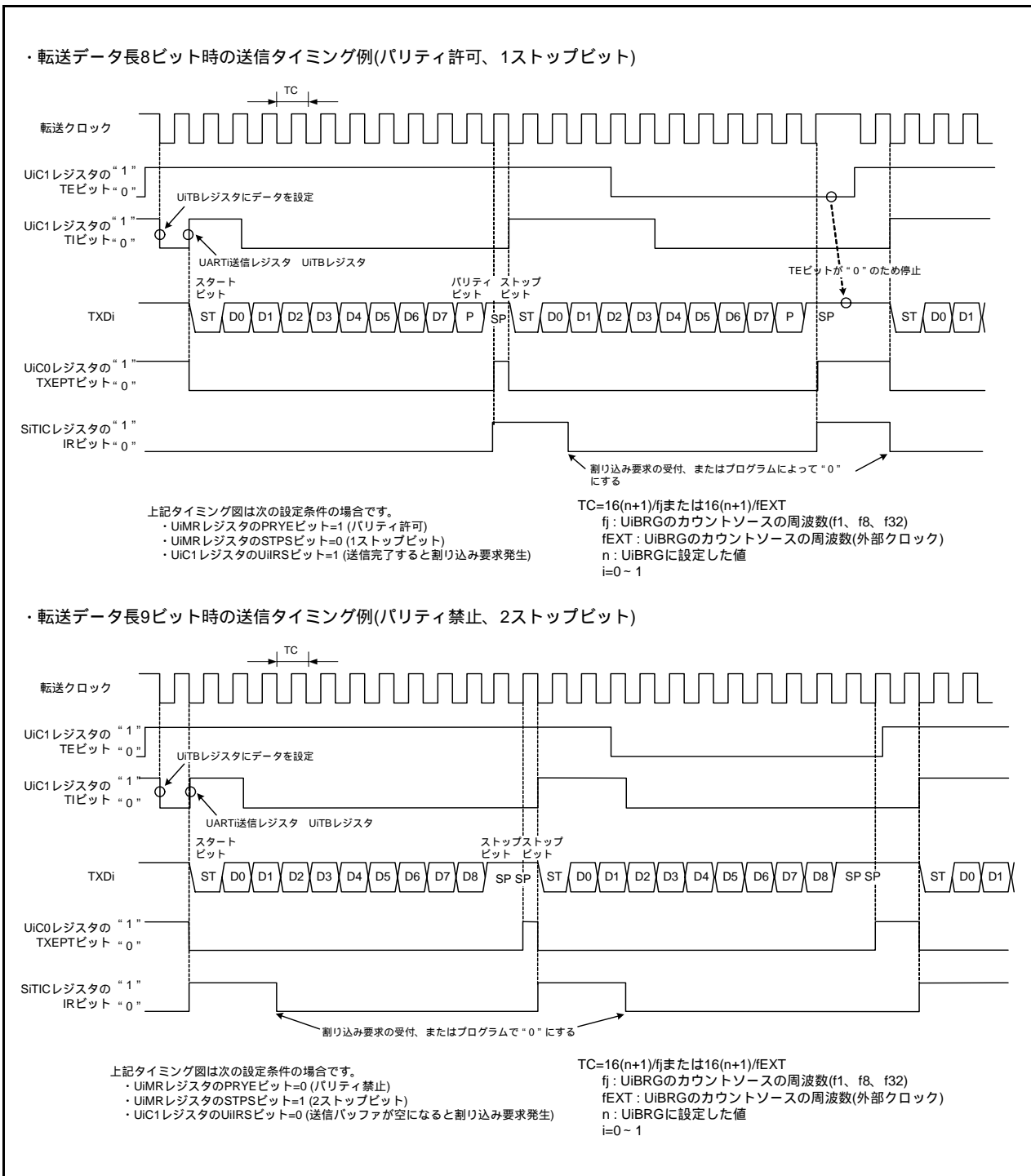


図15.9 UARTモード時の送信タイミング

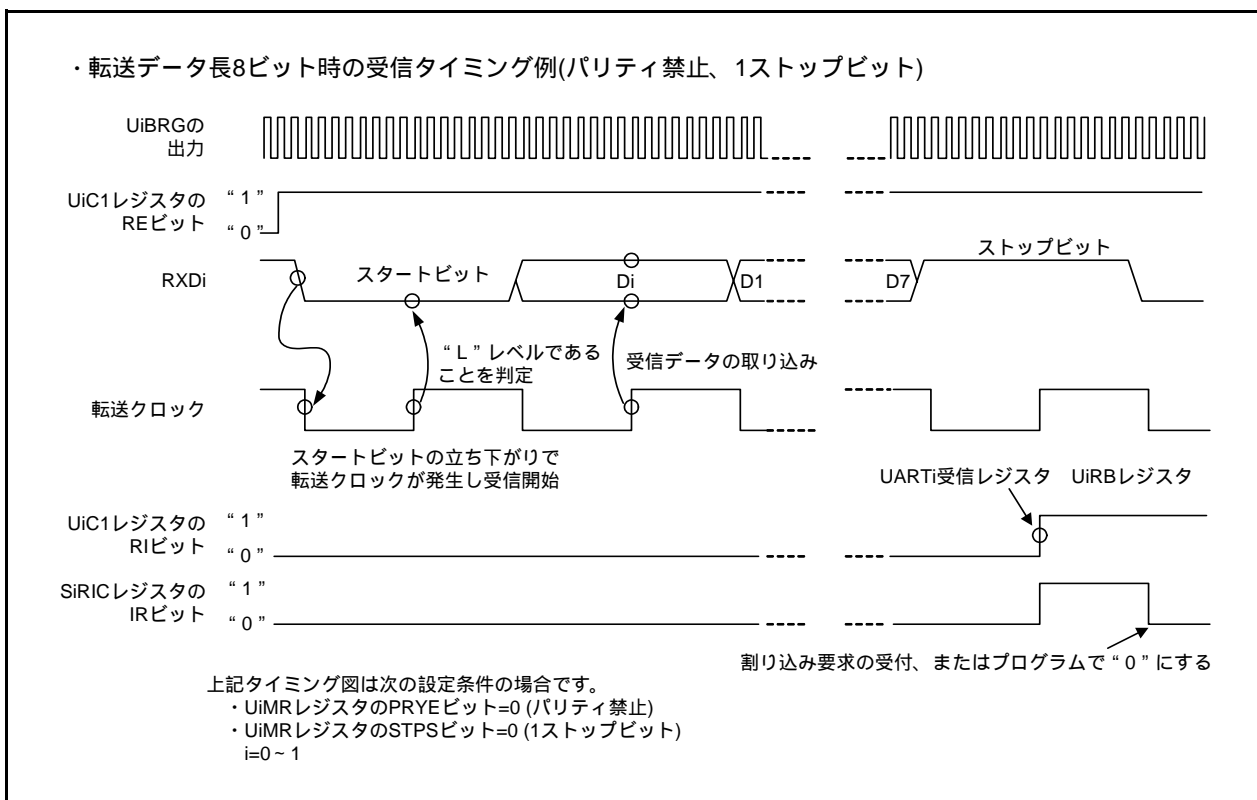


図15.10 UARTモード時の受信タイミング例

15.2.1 CNTR0端子選択機能

P1_7をCNTR00/INT10入力端子として使用するか、P1_5をCNTR01/INT11入力端子として使用するかを、UCONレジスタのCNTRSELビットで選択します。

CNTRSELビットが“0”のときP1_7がCNTR00/INT10端子になり、CNTRSELビットが“1”のとき、P1_5がCNTR01/INT11端子になります。

15.2.2 ビットレート

UARTモードではUiBRGレジスタ(i=0 ~ 1)で分周した周波数の16分周がビットレートになります。

< UARTモード >

- ・ 内部クロック選択時

$$\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f_j : UiBRGレジスタのカウンタソースの周波数(f₁、f₈、f₃₂)
- ・ 外部クロック選択時

$$\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f_{EXT} : UiBRGレジスタのカウンタソースの周波数(外部クロック)

i = 0 ~ 1

図15.11 UiBRGレジスタ(i=0 ~ 1)の設定値の算出式

表15.7 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	UiBRGの カウンタソース	システムクロック = 20 MHz			システムクロック = 8 MHz		
		UiBRGの 設定値	実時間(bps)	誤差(%)	UiBRGの 設定値	実時間(bps)	誤差(%)
1200	f8	129 (81h)	1201.92	0.16	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	16 (10h)	29411.76	2.12
31250	f1	39 (27h)	31250.00	0.00	15 (0Fh)	31250.00	0.00
38400	f1	32 (20h)	37878.79	- 1.36	12 (0Ch)	38461.54	0.16
51200	f1	23 (17h)	52083.33	1.73	9 (09h)	50000.00	- 2.34

i=0 ~ 1

15.3 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB (i=0 ~ 1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。

受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

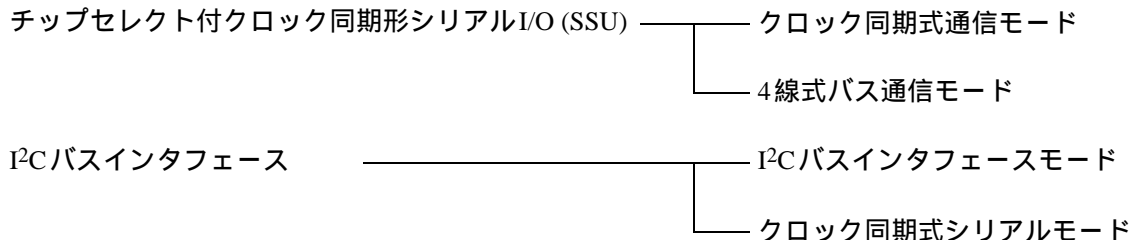
```
MOV.B    #XXH, 00A3H  ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H  ; U0TBレジスタの下位バイトへの書き込み
```

16. クロック同期形シリアルインタフェース

クロック同期形シリアルインタフェースは、次の構成です。

クロック同期形シリアルインタフェース



クロック同期形シリアルインタフェースは、00B8h ~ 00BFh番地のレジスタを使用します。同じ番地でもモードによってレジスタやビットの名称、シンボル、機能が違います。詳細は各機能のレジスタ図を参照してください。

なお、クロック同期式通信モードとクロック同期式シリアルモードの違いは転送クロックの選択肢、クロック出力形式、データ出力形式の選択肢などです。

16.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表 16.1 にモード選択に関わるビットを示します。各モードの詳細は「16.2 チップセレクト付クロック同期形シリアルI/O(SSU)」以降を参照してください。

表 16.1 モード選択

PMR レジスタの IICSELビット	00B8h番地の ビット7 (ICCR1レジスタ のICEビット)	00BDh番地のビット0 (SSMR2レジスタの SSUMSビット、 SARレジスタのFSビット)	機能名	モード
0	0	0	チップセレクト 付クロック同期 形シリアルI/O	クロック同期式通信モード
0	0	1		4線式バス通信モード
1	1	0	I²Cバスインタ フェース	I²Cバスインタフェースモード
1	1	1		クロック同期式シリアルモード

16.2 チップセレクト付クロック同期形シリアルI/O(SSU)

チップセレクト付クロック同期形シリアルI/Oは、クロック同期式のシリアルデータ通信が可能です。表 16.2 にチップセレクト付クロック同期形シリアルI/Oの仕様を、図 16.1 にチップセレクト付クロック同期形シリアルI/Oブロック図を示します。

図 16.2 ~ 図 16.9 にチップセレクト付クロック同期形シリアルI/O関連レジスタを示します。

表 16.2 チップセレクト付クロック同期形シリアルI/Oの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> 転送データ長 8ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能
動作モード	<ul style="list-style-type: none"> クロック同期式通信モード 4線式バス通信モード(双方向通信モード含む)
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK(入出力) : クロック入出力端子 SSI(入出力) : データ入出力端子 SSO(入出力) : データ入出力端子 SCS(入出力) : チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき外部クロック(SSCK端子から入力) SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4 から選択できる、SSCK端子から出力) クロック極性と位相を選択できる
受信エラーの検出	<ul style="list-style-type: none"> オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になる
マルチマスタエラーの検出	<ul style="list-style-type: none"> コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態、SSSRレジスタのCEビットが“1”になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送中にSCS端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。
割り込み要求	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1)
選択機能	<ul style="list-style-type: none"> データ転送方向 MSBファーストまたはLSBファーストを選択 SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択 SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択

注1. 割り込みベクタテーブルはチップセレクト付クロック同期形シリアルI/Oの1つです。

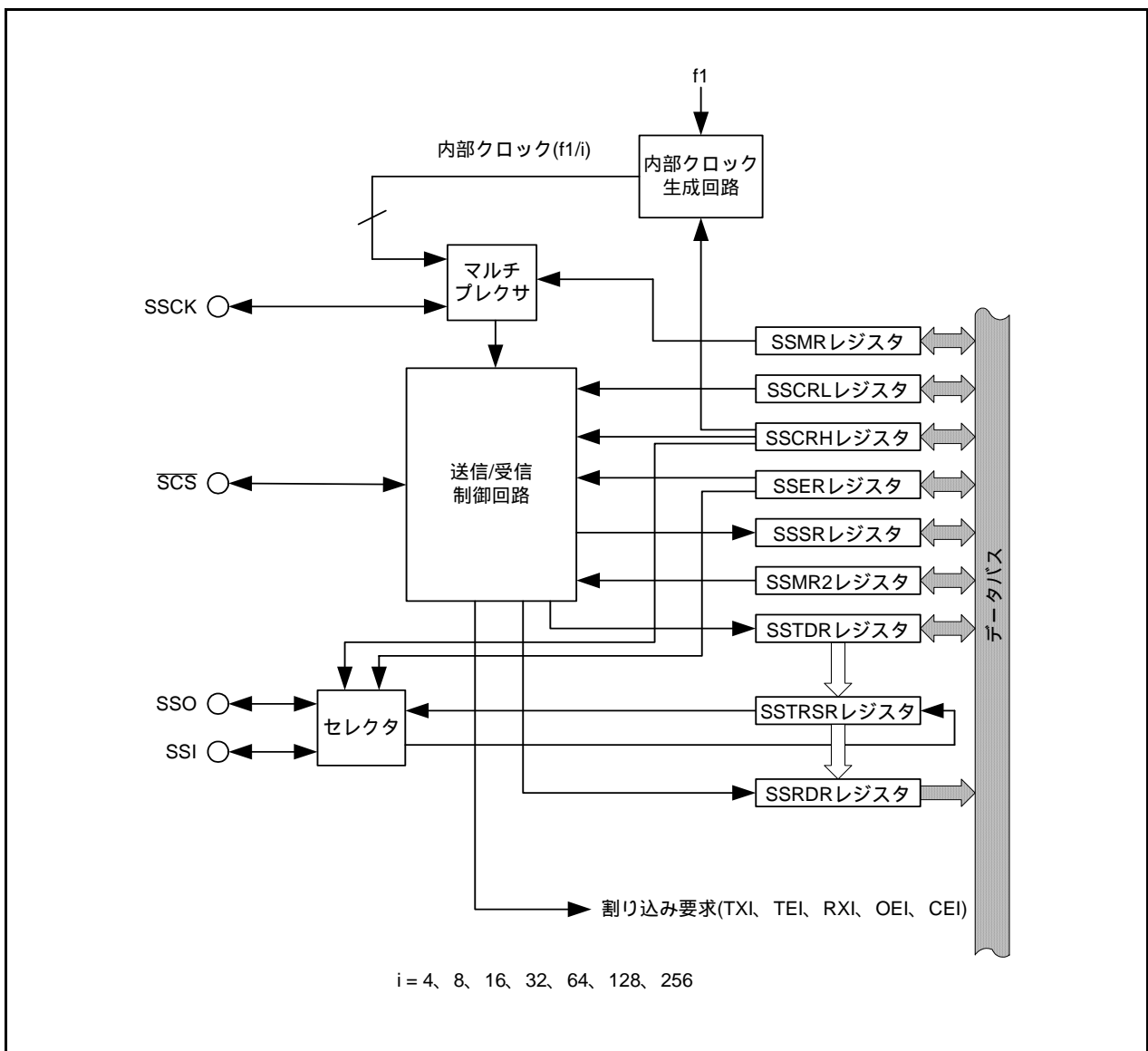


図 16.1 チップセレクト付クロック同期形シリアルI/Oブロック図

SS制御レジスタH(注4)

シンボル	アドレス	リセット後の値	
SSCRH	00B8h番地	00h	
ビットシンボル	ビット名	機能	RW
CKS0	転送クロックレート選択ビット(注1)	b2 b1 b0	RW
		0 0 0 : f1/256	
		0 0 1 : f1/128	
CKS1		0 1 0 : f1/64	RW
		0 1 1 : f1/32	
		1 0 0 : f1/16	
CKS2		1 0 1 : f1/8	RW
		1 1 0 : f1/4	
		1 1 1 : 設定しないでください	
- (b4-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-
MSS	マスタ/スレーブデバイス選択ビット(注2)	0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作	RW
RSSTP	レシーブシングルストップビット(注3)	0 : 1バイトのデータ受信後も受信動作を継続 1 : 1バイトのデータ受信後、受信動作が終了	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-	-

注1. 内部クロック選択時に、設定されたクロックが使用されます。

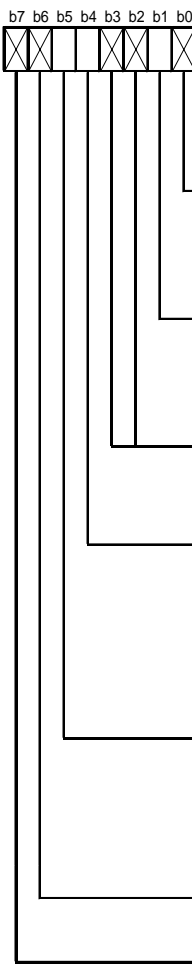
注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。

注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

注4. チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセスについて「16.2.8.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス」を参照してください。

図 16.2 SSCRHレジスタ

SS制御レジスタL(注4)



シンボル	アドレス	リセット後の値	
SSCRL	00B9h番地	01111101b	
ビットシンボル	ビット名	機能	RW
- (b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
SRES	チップセレクト付クロック同期形シリアルI/Oコントロール部リセットビット	このビットに“1”を書くと、チップセレクト付クロック同期形シリアルI/Oコントロール部およびSSTRSRレジスタが初期化される。 チップセレクト付クロック同期形シリアルI/O内部レジスタ(注1)の値は保持される。	RW
- (b3-b2)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	RW
SOL	シリアルデータ出力値設定ビット	読んだ場合 0: シリアルデータ出力が“L” 1: シリアルデータ出力が“H” 書いた場合(注2、3) 0: シリアルデータ出力後のデータ出力を“L”にする。 1: シリアルデータ出力後のデータ出力を“H”にする。	RW
- (b6)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
- (b7)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

注1. SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTDR、SSRDRの各レジスタ。
 注2. 送信前または送信後にSOLビットに書くと、シリアルデータ出力後のデータ出力を変更できます。SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。
 注3. データ転送中はSOLビットに書かないでください。
 注4. チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセスについて「16.2.8.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス」を参照してください。

図 16.3 SSCRLレジスタ

SSモードレジスタ(注2)

シンボル SSMR	アドレス 00BAh番地	リセット後の値 00011000b	
ビット シンボル	ビット名	機能	RW
BC0	ビットカウンタ2~0	b2 b1 b0 0 0 0: 残り8ビット 0 0 1: 残り1ビット 0 1 0: 残り2ビット 0 1 1: 残り3ビット 1 0 0: 残り4ビット 1 0 1: 残り5ビット 1 1 0: 残り6ビット 1 1 1: 残り7ビット	R
BC1		R	
BC2		R	
- (b3)	予約ビット	"1" にしてください。 読んだ場合、その値は"1"。	RW
- (b4)	何も配置されていない。書く場合、"0" を書いてください。 読んだ場合、その値は"1"。		-
CPHS	SSCKクロック位相選択ビット (注1)	0: 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1: 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	RW
CPOS	SSCKクロック極性選択ビット (注1)	0: クロック停止時、"H" 1: クロック停止時、"L"	RW
MLS	MSBファースト/LSBファースト選 択ビット	0: MSBファーストでデータ転送 1: LSBファーストでデータ転送	RW

注1. CPHS、CPOSビットの設定については「16.2.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

注2. チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセスについて「16.2.8.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス」を参照してください。

図 16.4 SSMR レジスタ

SS許可レジスタ(注1)

シンボル	アドレス	リセット後の値	
SSER	00BBh番地	00h	
ビット	ビット名	機能	RW
CEIE	コンフリクトエラーインタラプトイネーブルビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	RW
- (b2-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
RE	レシーブイネーブルビット	0: 受信禁止 1: 受信許可	RW
TE	トランスミットイネーブルビット	0: 送信禁止 1: 送信許可	RW
RIE	レシーブインタラプトイネーブルビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可	RW
TEIE	トランスミットエンドインタラプトイネーブルビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	RW
TIE	トランスミットインタラプトイネーブルビット	0: 送信データエンpty割り込み要求禁止 1: 送信データエンpty割り込み要求許可	RW

注1. チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセスについて「16.2.8.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス」を参照してください。

☒ 16.5 SSERレジスタ

SSステータスレジスタ(注7)

シンボル SSSR	アドレス 00BCh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
CE	コンフリクトエラーフラグ(注1)	0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2)	RW
- (b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-
ORER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	RW
- (b4-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-
RDRF	レシーブデータレジスタフル (注1、4)	0: SSRDRレジスタにデータなし 1: SSRDRレジスタにデータあり	RW
TEND	トランスミットエンド(注1、5)	0: 送信データの最後尾ビットの送信時、TDREビットが“0” 1: 送信データの最後尾ビットの送信時、TDREビットが“1”	RW
TDRE	トランスミットデータエンプティ (注1、5、6)	0: SSTDRレジスタからSSTRSRレジスタにデータ転送されていない 1: SSTDRレジスタからSSTRSRレジスタにデータ転送された	RW

注1. CE、ORER、RDRF、TEND、TDREビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。
SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。

注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態では、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態では受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。

注4. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。

注5. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。

注6. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

注7. チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセスについて「16.2.8.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス」を参照してください。

図 16.6 SSSRレジスタ

SSモードレジスタ2(注5)

シンボル	アドレス	リセット後の値	
SSMR2	00BDh番地	00h	
ビットシンボル	ビット名	機能	RW
SSUMS	チップセレクト付クロック同期形シリアルI/Oモード選択ビット(注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	RW
CSOS	SCS端子オープンドレイン出力選択ビット	0: CMOS出力 1: NMOSオープンドレイン出力	RW
SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0: CMOS出力 1: NMOSオープンドレイン出力	RW
SCKOS	SSCK端子オープンドレイン出力選択ビット	0: CMOS出力 1: NMOSオープンドレイン出力	RW
CSS0	SCS端子選択ビット(注2)	b5 b4 0 0: ポートとして機能	RW
CSS1		0 1: SCS入力端子として機能 1 0: SCS出力端子として機能(注3) 1 1: SCS出力端子として機能(注3)	RW
SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	RW
BIDE	双方向モードイネーブルビット(注1、4)	0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信)	RW

注1. データ入出力端子の組合せは、「16.2.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。

注3. 転送開始前は、SCS入力端子として機能します。

注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。

注5. チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセスについて「16.2.8.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス」を参照してください。

図 16.7 SSMR2レジスタ

SS送信データレジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
SSTDR	00BEh番地	FFh
機能		
送信データを保管。 SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書いておくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。		
		RW

注1. チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセスについて「16.2.8.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス」を参照してください。

SS受信データレジスタ(注2)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
SSRDR	00BFh番地	FFh
機能		
受信データを保管。(注1) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。		
		RO

注1. SSSRレジスタのORERビットが“1”(オーバランエラー発生)になったとき、SSRDRレジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データは、破棄されます。

注2. チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセスについて「16.2.8.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス」を参照してください。

図 16.8 SSTDR、SSRDRレジスタ

ポートモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
PMR	00F8h番地	00h
ビットシンボル	ビット名	機能
- (b2-b0)	予約ビット	“0” にしてください。
SSISEL	SSI信号端子選択ビット	0: P3_3端子をSSI00端子に使用 1: P1_6端子をSSI01端子に使用
- (b6-b4)	予約ビット	“0” にしてください。
IICSEL	SSU/I ² Cバス切り替えビット	0: SSU機能を選択 1: I ² Cバスインタフェース機能を選択
		RW

図 16.9 PMRレジスタ

16.2.1 転送クロック

転送クロックを7種類の内部クロック ($f1/256$ 、 $f1/128$ 、 $f1/64$ 、 $f1/32$ 、 $f1/16$ 、 $f1/8$ 、 $f1/4$)と、外部クロックから選択できます。

チップセレクト付クロック同期形シリアルI/Oを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0～CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

16.2.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図16.10に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

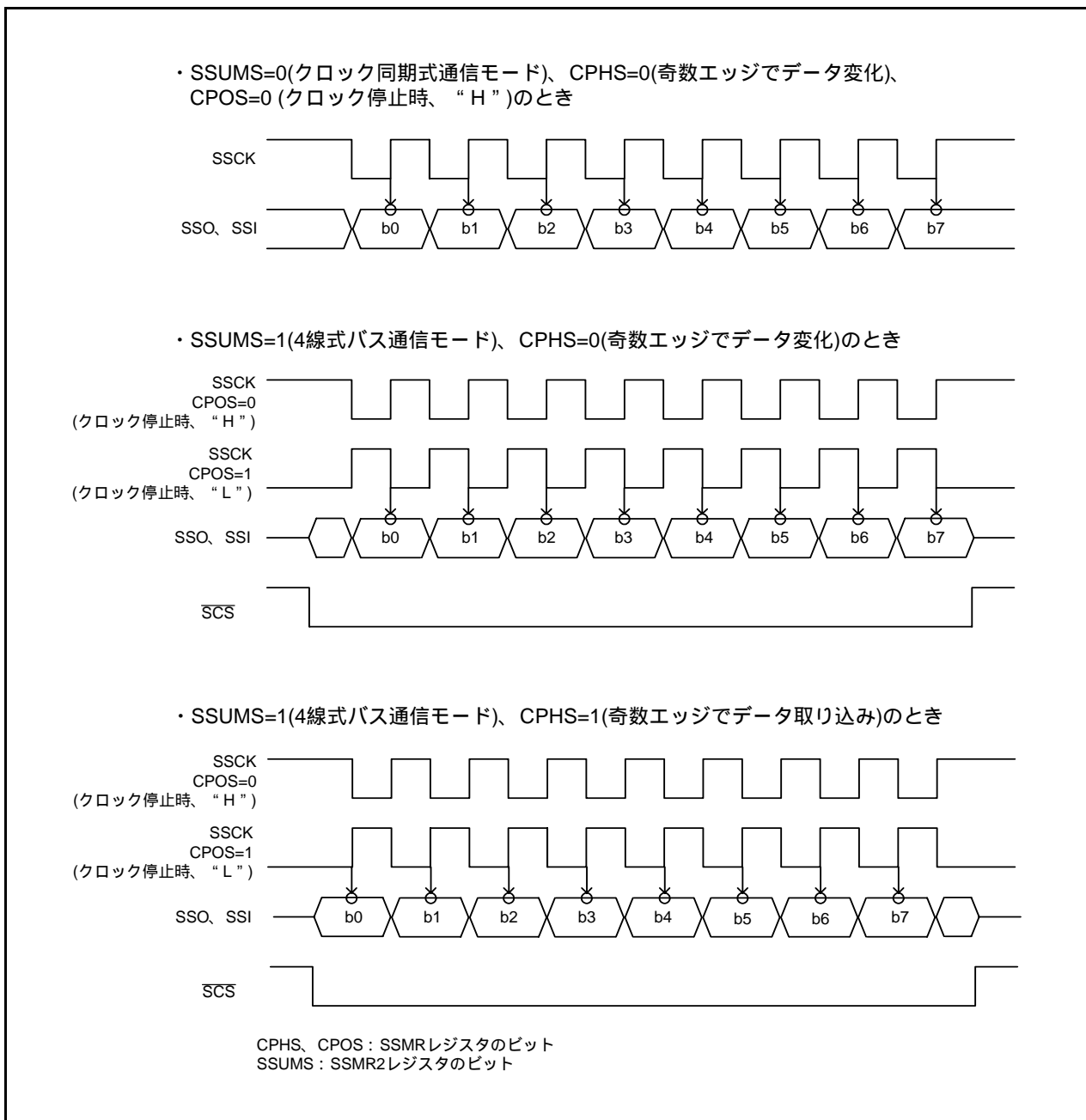


図 16.10 転送クロックの極性、位相および転送データの関係

16.2.2 SSシフトレジスタ (SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送されるとき、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

16.2.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図16.11にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

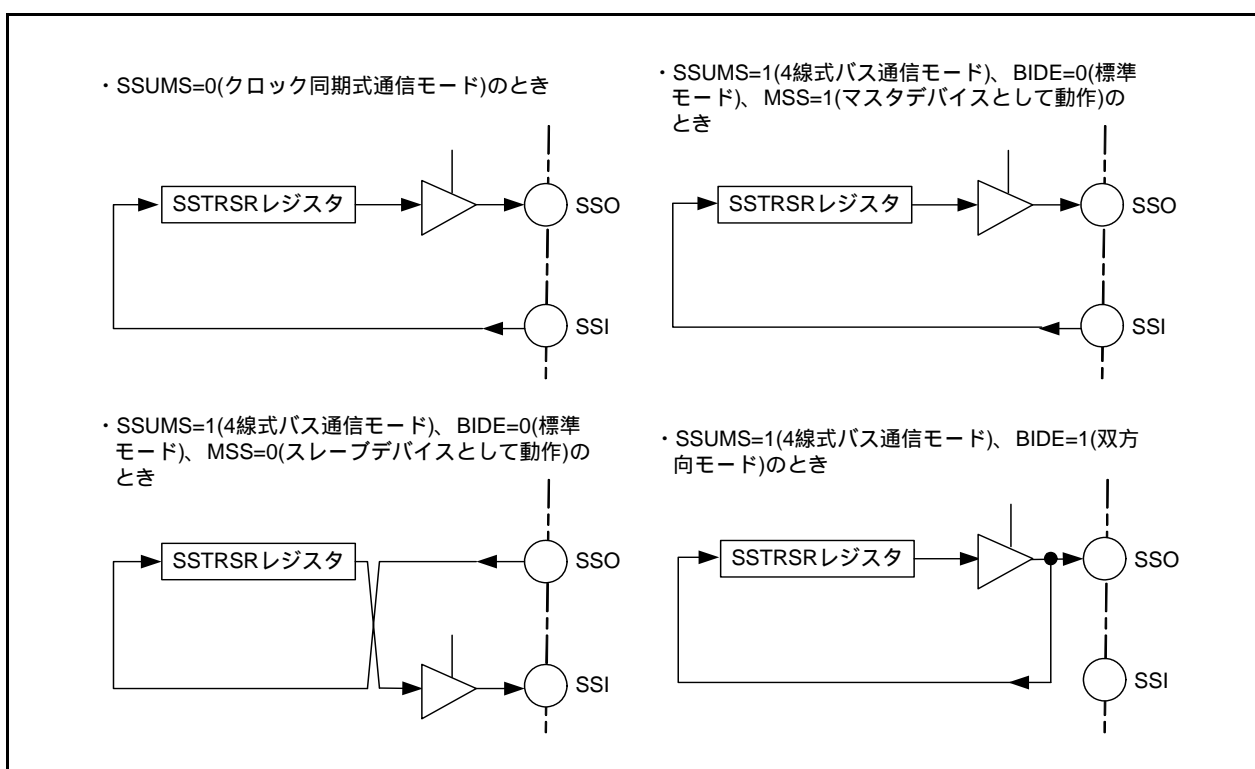


図 16.11 データ入出力端子とSSTRSRレジスタの接続関係

16.2.3 割り込み要求

チップセレクト付クロック同期形シリアルI/Oの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はチップセレクト付クロック同期形シリアルI/O割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 16.3 にチップセレクト付クロック同期形シリアルI/Oの割り込み要求を示します。

表 16.3 チップセレクト付クロック同期形シリアルI/Oの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE=1 かつ TDRE=1
送信終了	TEI	TEIE=1 かつ TEND=1
受信データフル	RXI	RIE=1 かつ RDRF=1
オーバランエラー	OEI	RIE=1 かつ ORER=1
コンフリクトエラー	CEI	CEIE=1 かつ CE=1

CEIE、RIE、TEIE、TIE : SSERレジスタのビット

ORER、RDRF、TEND、TDRE : SSSRレジスタのビット

表 16.3の発生条件が満たされたとき、チップセレクト付クロック同期形シリアルI/O割り込み要求が発生します。チップセレクト付クロック同期形シリアルI/O割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDREビットおよびTENDビットはSSTDRレジスタに送信データを書くことで、RDRFビットはSSRDRレジスタを読むことで自動的に“0”になります。特にTDREビットはSSTDRレジスタに送信データを書いたとき、同時に再度TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、さらにTDREビットを“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)にすると、余分に1バイト送信する場合があります。

16.2.4 各通信モードと端子機能

チップセレクト付クロック同期形シリアルI/Oは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表 16.4に通信モードと入出力端子の関係を示します。

表 16.4 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態			
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK	
クロック同期式通信モード	0	無効	0	0	1	入力	-(注1)	入力	
				1	0	-(注1)	出力	入力	
				1	1	入力	出力	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	出力
4線式バス通信モード	1	0	0	0	1	-(注1)	入力	入力	
				1	0	出力	-(注1)	入力	
				1	1	出力	入力	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	出力
4線式バス(双方向)通信モード(注2)	1	1	0	0	1	-(注1)	入力	入力	
				1	0	-(注1)	出力	入力	
			1	0	1	-(注1)	入力	出力	出力
				1	0	-(注1)	出力	出力	出力

注1. プログラマブル入出力ポートとして使用できません。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

16.2.5 クロック同期式通信モード

16.2.5.1 クロック同期式通信モードの初期化

図 16.12にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

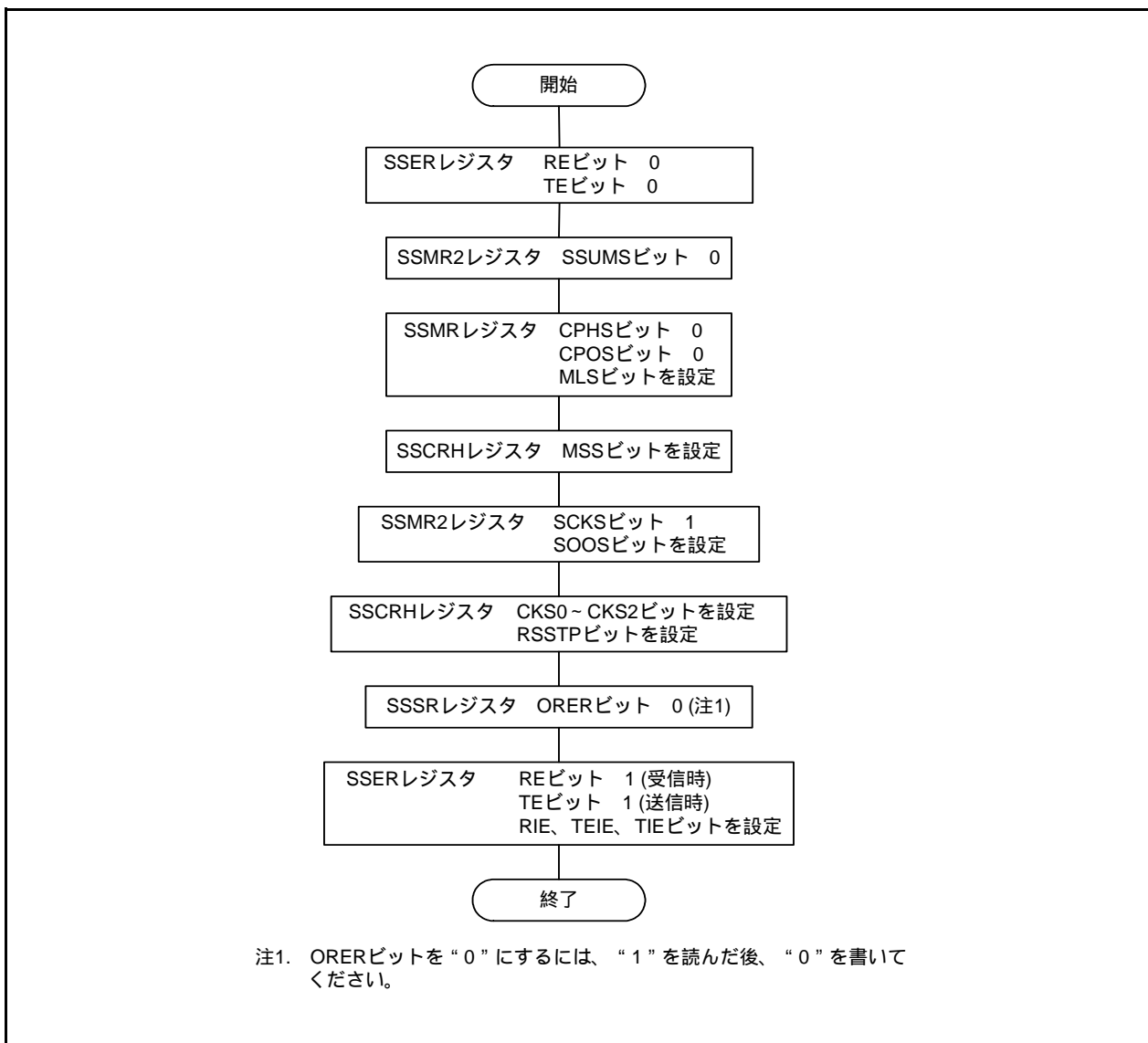


図 16.12 クロック同期式通信モードの初期化

16.2.5.2 データ送信

図 16.13にデータ送信時の動作例(クロック同期式通信モード)を示します。データ送信時は以下のように動作します。

チップセレクト付クロック同期形シリアルI/Oはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TE ビットを“1”(送信許可)にした後、SSTDR レジスタに送信データを書くと、自動的に TDRE ビットが“0”(SSTDR レジスタから SSTRSR レジスタにデータ転送されていない)になり、SSTDR レジスタから SSTRSR レジスタにデータが転送されます。その後、TDRE ビットが“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)になり、送信を開始します。このとき、SSER レジスタの TIE ビットが“1”の場合、TXI 割り込み要求を発生します。

TDRE ビットが“0”の状態では1フレームの転送が終わると、SSTDR レジスタから SSTRSR レジスタにデータが転送され、次フレームの送信を開始します。TDRE ビットが“1”の状態では8ビット目が送出されると、SSSR レジスタの TEND ビットが“1”(送信データの最後尾ビットの送信時、TDRE ビットが“1”)になり、その状態を保持します。このとき SSER レジスタの TEIE ビットが“1”(送信終了割り込み要求許可)の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は“H”に固定されます。

なお、SSSR レジスタの ORER ビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER ビットが“0”であることを確認してください。

図 16.14にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

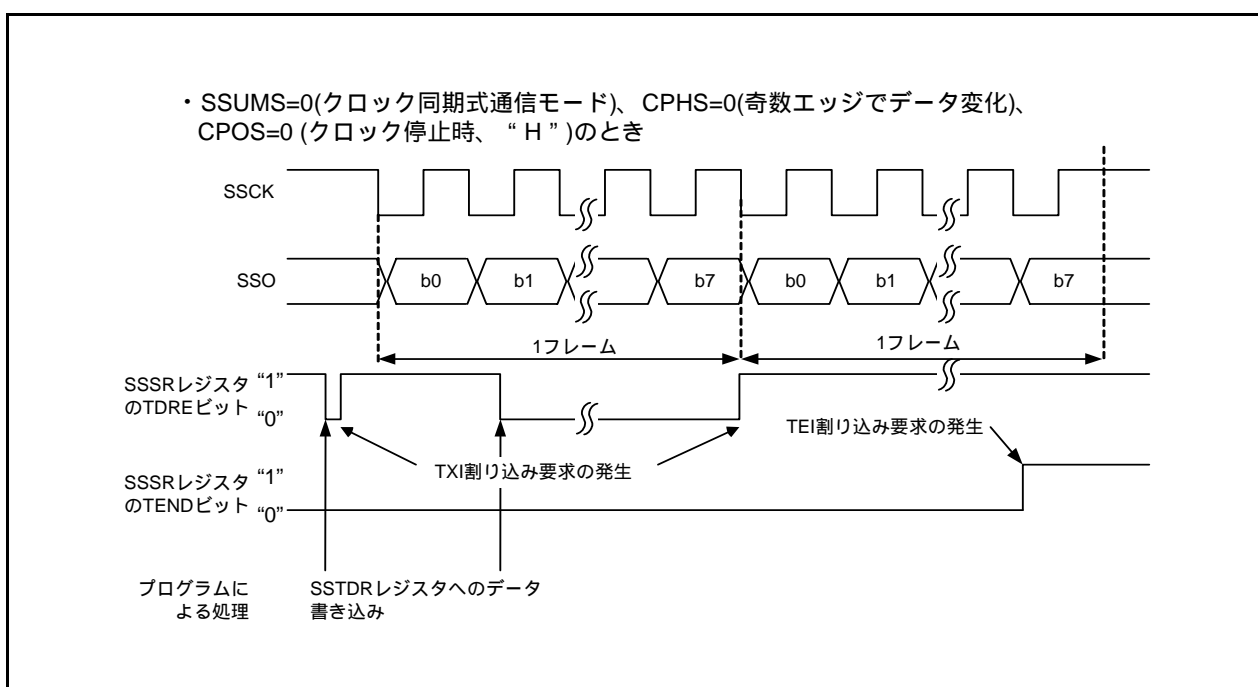


図 16.13 データ送信時の動作例(クロック同期式通信モード)

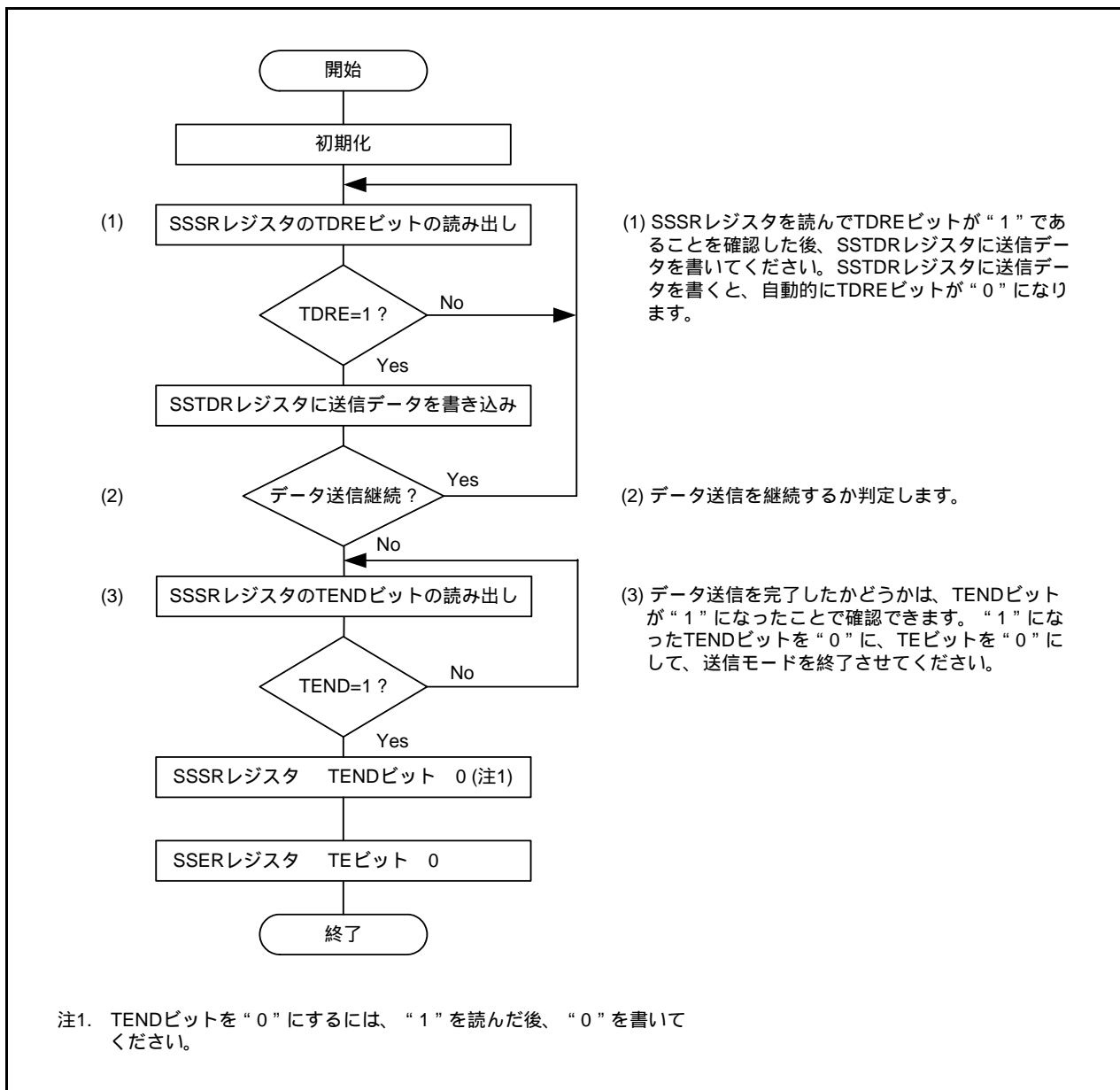


図 16.14 データ送信のフローチャート例(クロック同期式通信モード)

16.2.5.3 データ受信

図 16.15にデータ受信時の動作例(クロック同期式通信モード)を示します。データ受信時は以下のように動作します。

チップセレクト付クロック同期形シリアルI/Oはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図 16.16にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

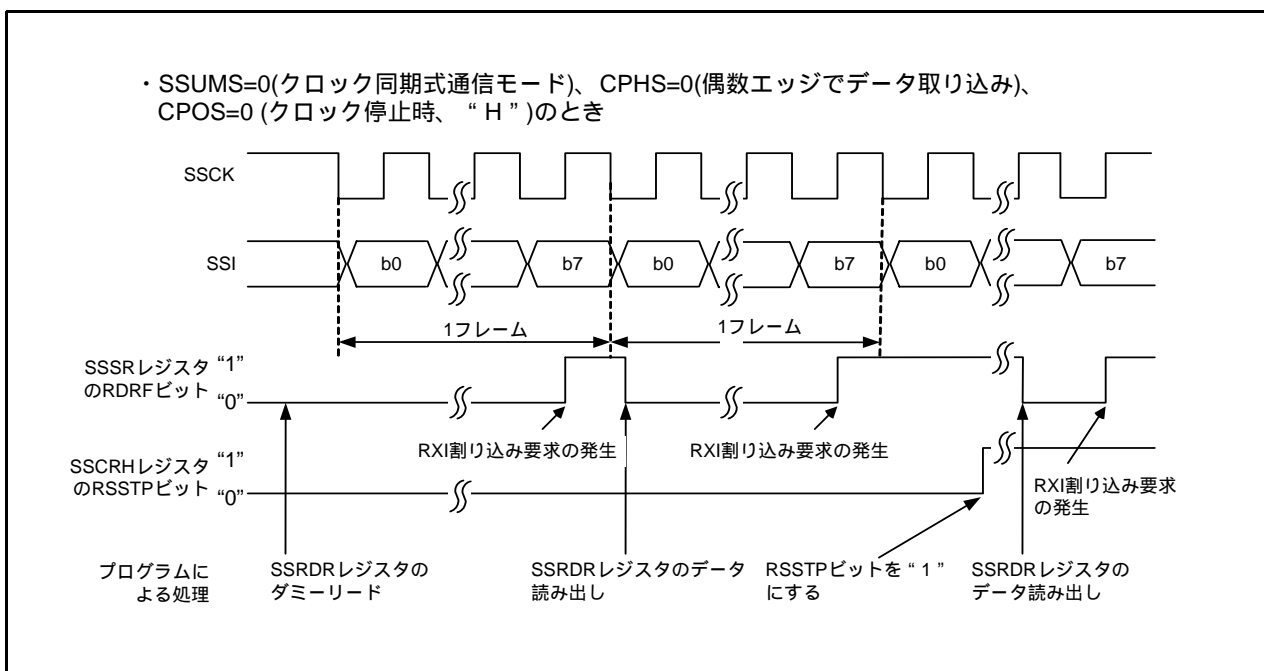


図 16.15 データ受信時の動作例(クロック同期式通信モード)

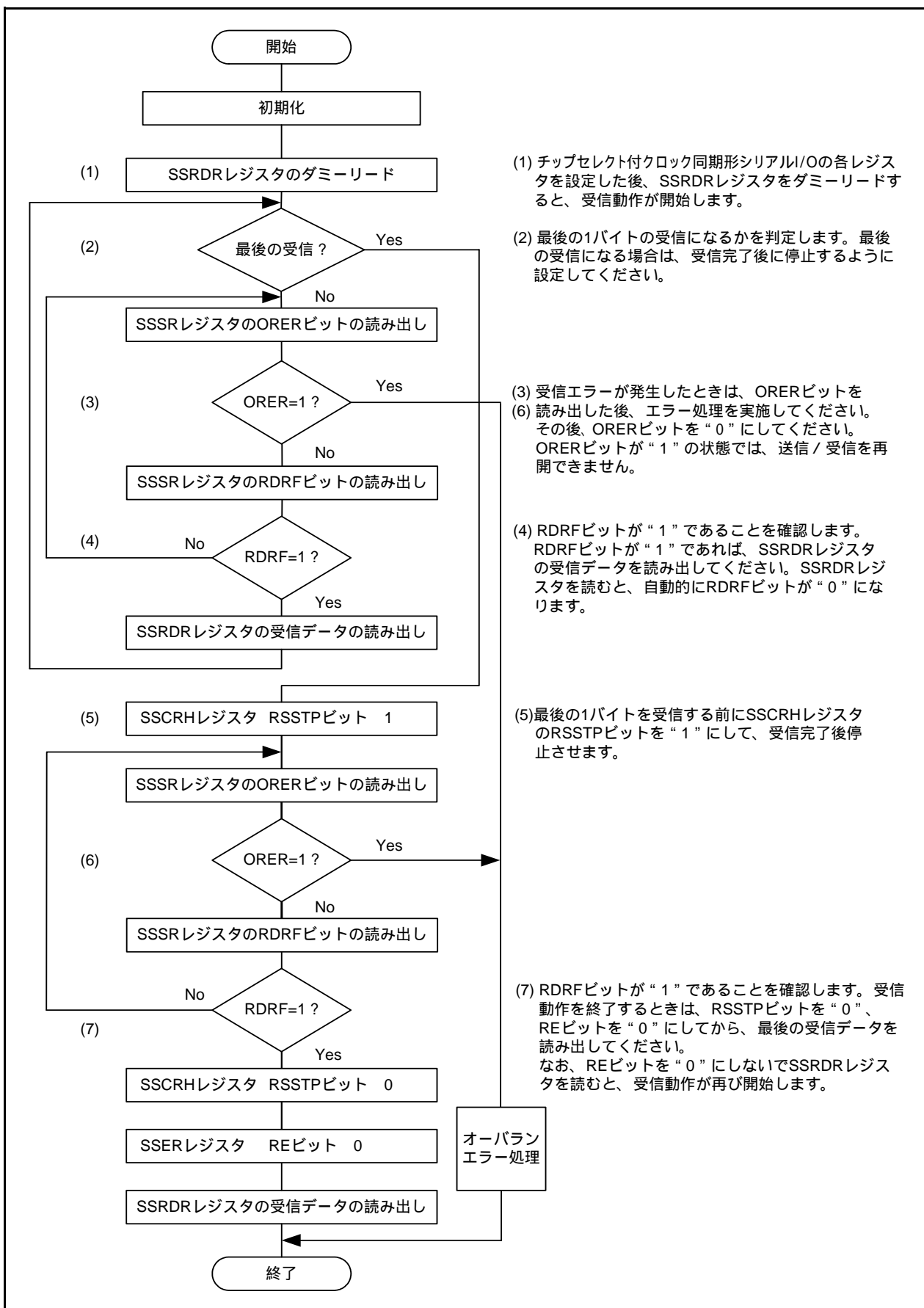


図 16.16 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)

16.2.5.4 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態が8クロック目の立ち上がった場合、またはORERビットが“1”(オーバーランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”、REビットを“0”にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバーランエラーなし)であることを確認した後、TEおよびREビットを“1”にしてください。

図 16.17にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

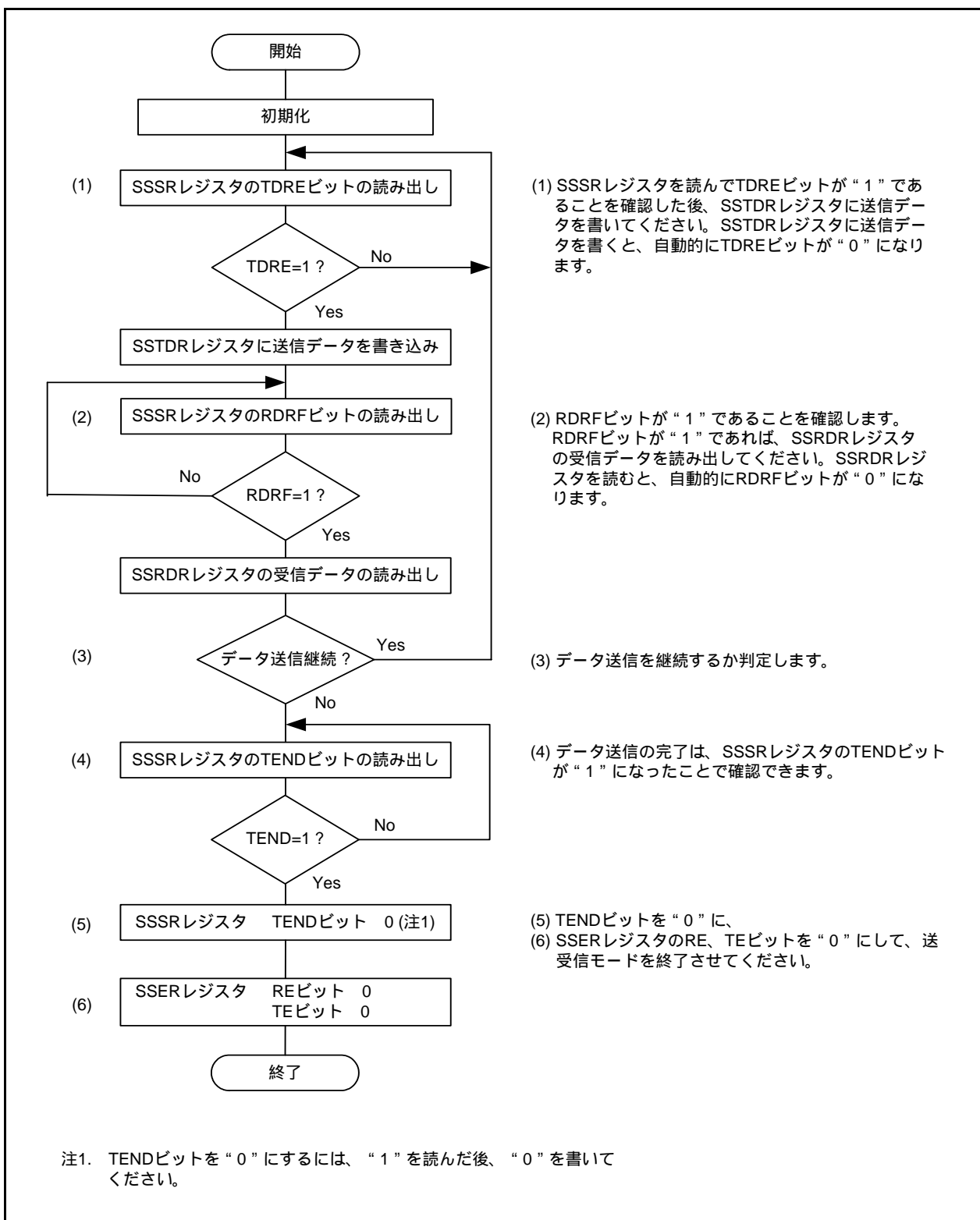


図 16.17 データ送受信のフローチャート例(クロック同期式通信モード)

16.2.6 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「16.2.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータの間関係をSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「16.2.1.1 転送クロックの極性、位相とデータの間関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

16.2.6.1 4線式バス通信モードの初期化

図16.18に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

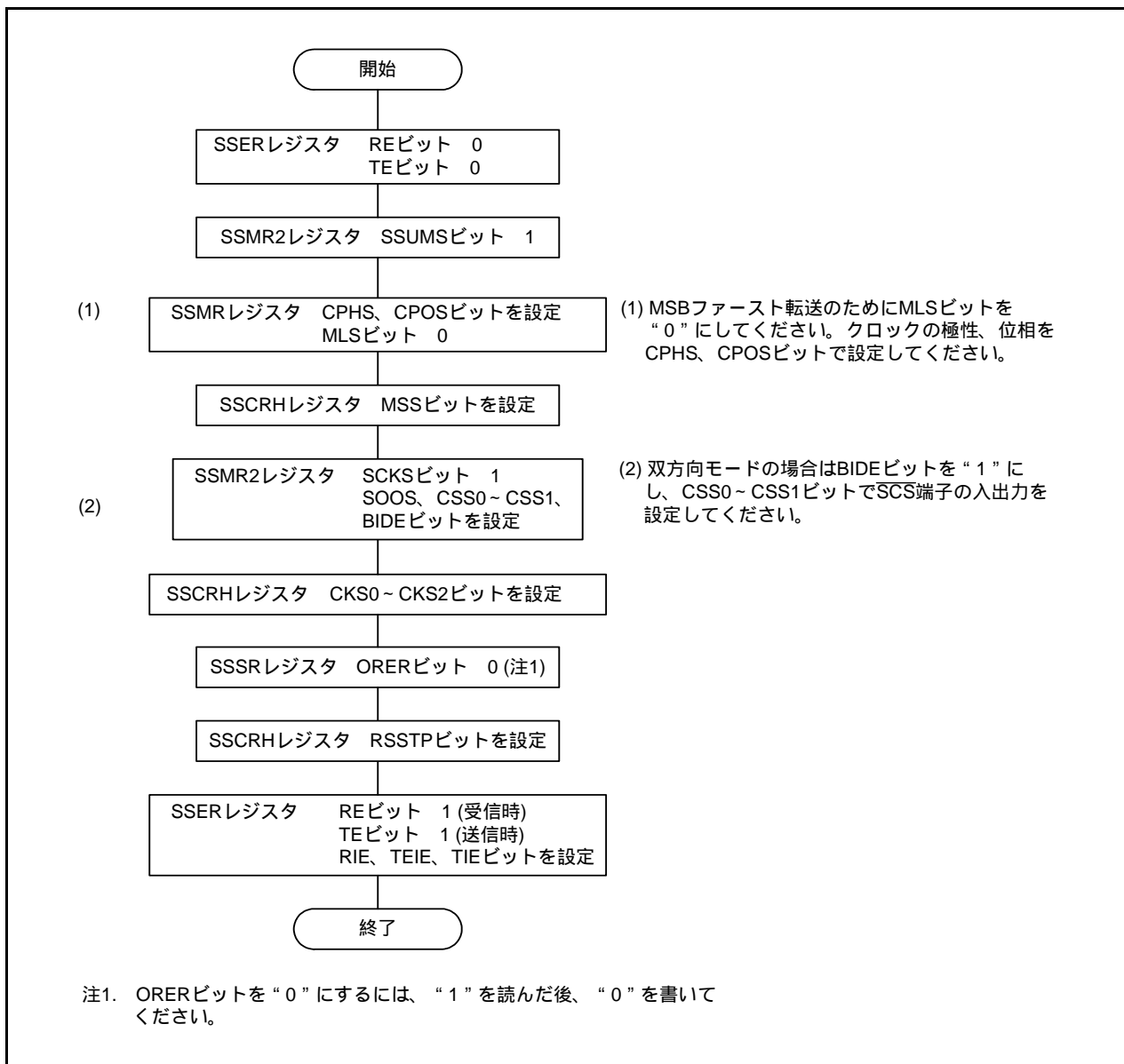


図 16.18 4線式バス通信モードの初期化

16.2.6.2 データ送信

図 16.19 にデータ送信時の動作例 (4 線式バス通信モード) を示します。データ送信時は以下のように動作します。

チップセレクト付クロック同期形シリアル I/O はマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS 端子が “L” 入力状態で入力クロックに同期してデータを出力します。

TE ビットを “1” (送信許可) にした後、SSTDR レジスタに送信データを書くと、自動的に TDRE ビットが “0” (SSTDR レジスタから SSTRSR レジスタにデータ転送されていない) になり、SSTDR レジスタから SSTRSR レジスタにデータが転送されます。その後、TDRE ビットが “1” (SSTDR レジスタから SSTRSR レジスタにデータ転送された) になり、送信を開始します。このとき、SSER レジスタの TIE ビットが “1” の場合、TXI 割り込み要求を発生します。

TDRE ビットが “0” の状態で 1 フレームの転送が終わると、SSTDR レジスタから SSTRSR レジスタにデータが転送され、次フレームの送信を開始します。TDRE が “1” の状態で 8 ビット目が送出されると、SSSR レジスタの TEND ビットが “1” (送信データの最後尾ビットの送信時、TDRE ビットが “1”) になり、その状態を保持します。このとき SSER レジスタの TEIE ビットが “1” (送信終了割り込み要求許可) の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は “H” に固定され、SCS 端子は “H” になります。SCS 端子が “L” のまま連続的に送信する場合、8 ビット目が送出される前に次の送信データを SSTDR レジスタに書いてください。

なお、SSSR レジスタの ORER ビットが “1” (オーバランエラー発生) の状態では、送信できません。送信の前には、ORER ビットが “0” であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時に SCS 端子がハイインピーダンス状態では、SSO 端子がハイインピーダンス状態となり、スレーブデバイス時に SCS 端子が “H” 入力状態では、SSI 端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです (「図 16.14 データ送信のフローチャート例 (クロック同期式通信モード)」参照)。

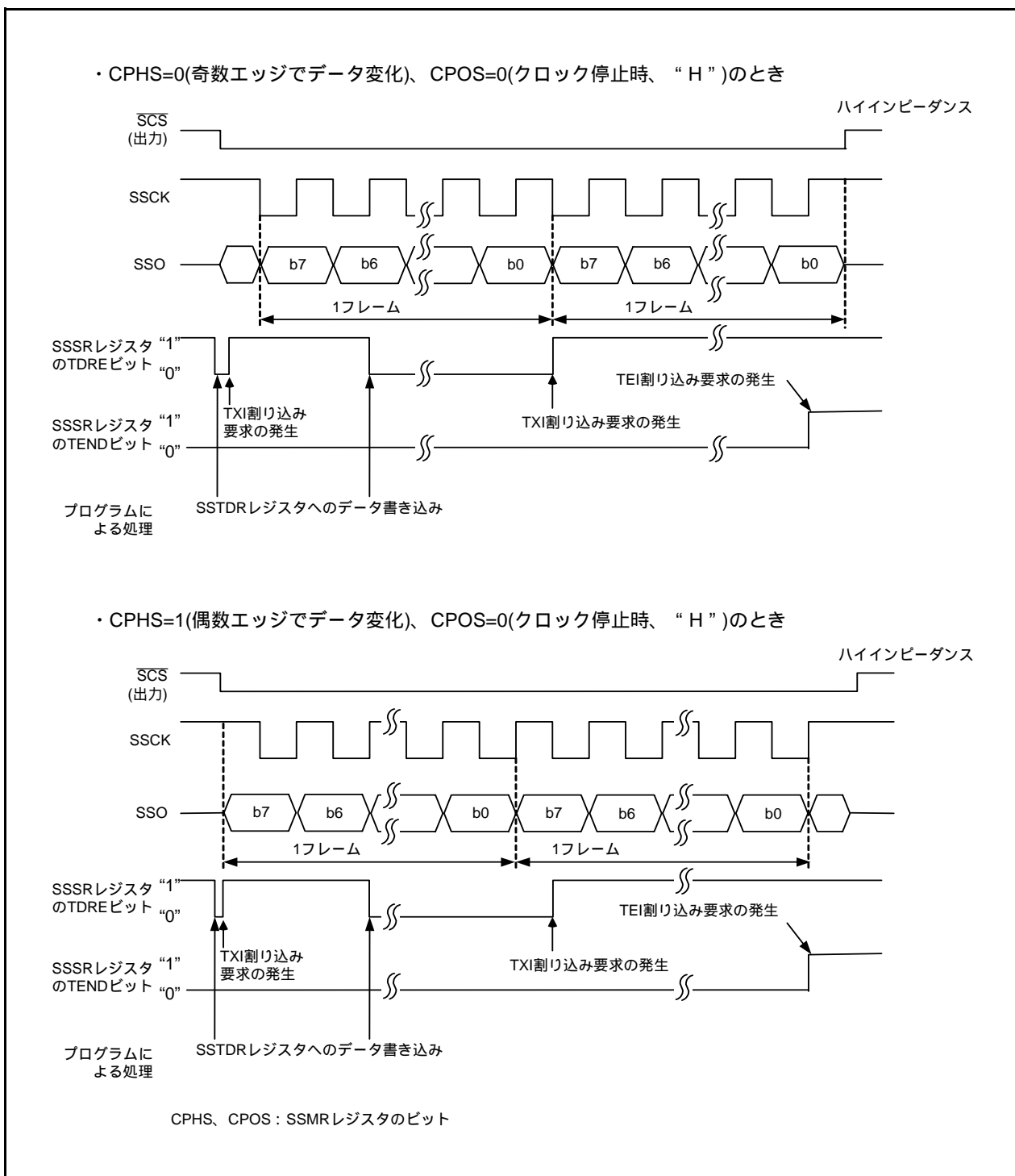


図 16.19 データ送信時の動作例(4線式バス通信モード)

16.2.6.3 データ受信

図 16.20 にデータ受信時の動作例 (4 線式バス通信モード) を示します。データ受信時は以下のように動作します。

チップセレクト付クロック同期形シリアルI/Oはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SSRDR レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態で8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません、受信再開の前には、ORERビットが“0”であることを確認してください。

RDRFビット、ORERビットが“1”になるタイミングは、SSMRレジスタのCPHSビットの設定により異なります。このタイミングを図 16.20 に示します。CPHSビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図 16.16 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

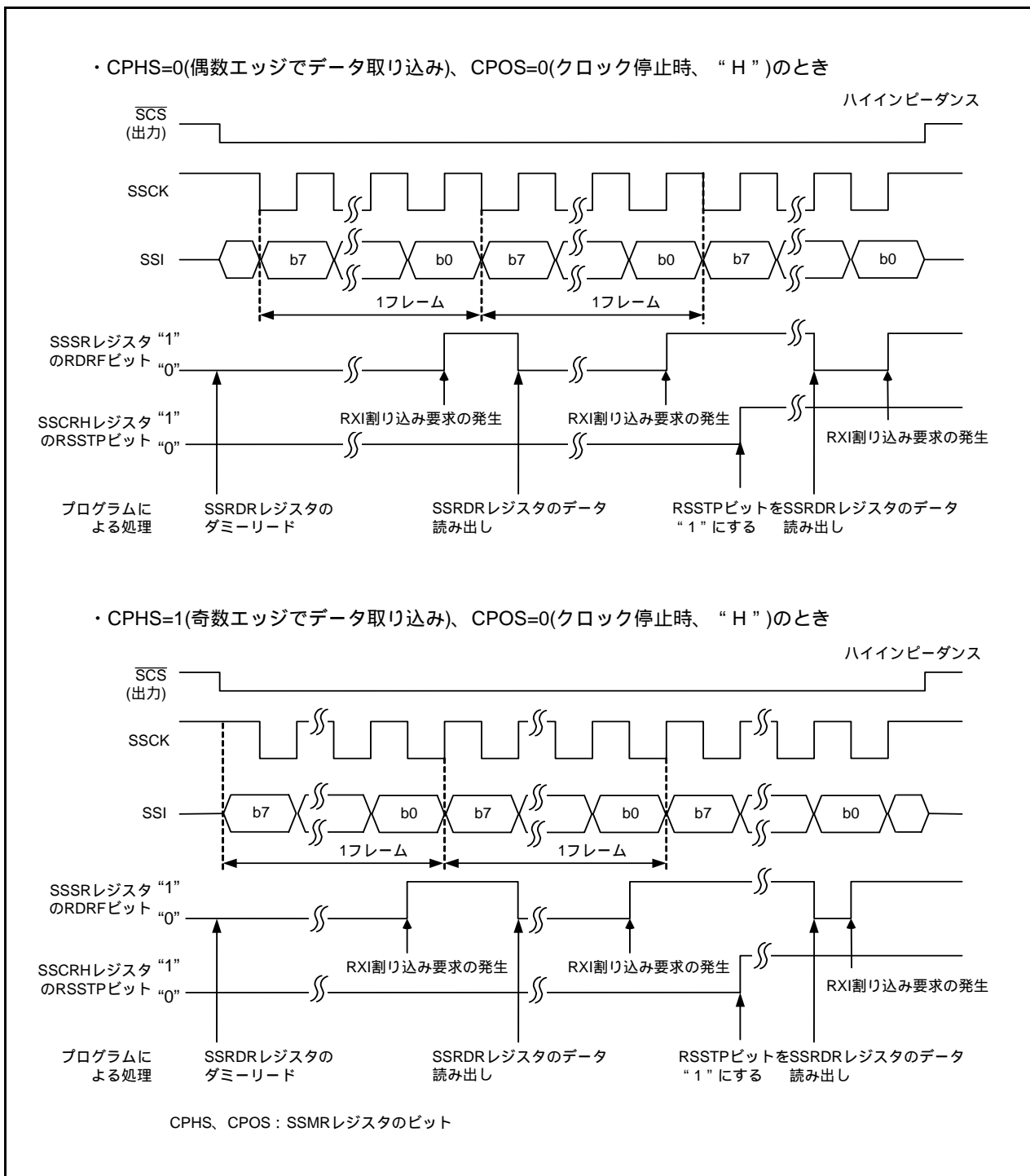


図 16.20 データ受信時の動作例(4線式バス通信モード)

16.2.7 SCS端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1”（4線式バス通信モード）、CSS1ビットを“1”（SCS出力端子として機能）にした場合には、SSCRHレジスタのMSSビットを“1”（マスタデバイスとして動作）にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1”（コンフリクトエラー発生）になり、自動的にMSSビットが“0”（スレーブデバイスとして動作）になります。

図 16.21 にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0”（コンフリクトエラーなし）にしてください。

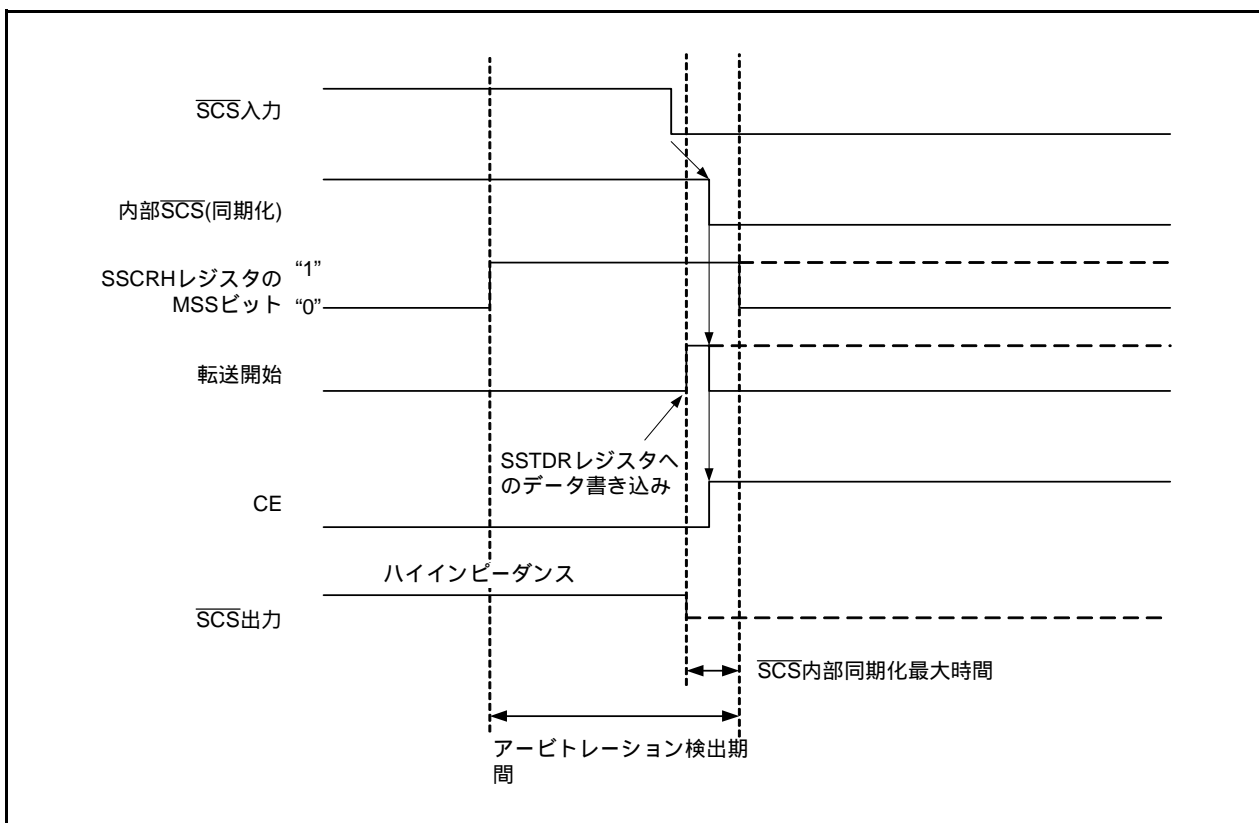


図 16.21 アービトレーションチェックタイミング

16.2.8 チップセレクト付クロック同期形シリアルI/O使用上の注意

チップセレクト付クロック同期形シリアルI/Oを使用する場合には、PMRレジスタのIICSELビットを“0”(チップセレクト付クロック同期形シリアルI/O機能を選択)にしてください。

16.2.8.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス

チップセレクト付クロック同期形シリアルI/O関連レジスタ(00B8h番地～00BFh番地)の同一レジスタに対して、書いてから「3命令以上経過してから」または「4サイクル以上経過してから」、読んでください。

•3命令以上待たせる例

```
プログラム例  MOV.B    #00h, 00BBh      ; SSERレジスタを“00h”にする
                NOP
                NOP
                NOP
                MOV.B    00BBh, R0L
```

•4サイクル以上待たせる例

```
プログラム例  BCLR    4, 00BBh      ; 送信禁止
                JMP.B    NEXT
NEXT:
                BSET    3, 00BBh      ; 受信許可
```

16.2.8.2 SSI信号端子の選択

次の設定のとき、SSMR2レジスタのSOOSビットを“0”(CMOS出力)にしてください。

- SSMR2レジスタのSSUMSビット = “1”(4線式バス通信モード)
- SSMR2レジスタのBIDEビット = “0”(標準モード)
- SSCRHレジスタのMSSビット = “0”(スレーブデバイスとして動作)
- PMRレジスタのSSISELビット = “1”(P1_6端子をSSI01端子に使用)

上記の設定のとき、SSI01端子をNMOSオープンドレイン出力で使用しないでください。

16.3 I²Cバスインタフェース

I²Cバスインタフェースは、フィリップス社I²Cバスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。

表 16.5 にI²Cバスインタフェースの仕様、図 16.22 にI²Cバスインタフェースブロック図、図 16.23 にSCL、SDA端子の外部回路接続例を示します。

図 16.24 ~ 図 16.30 にI²Cバスインタフェース関連レジスタを示します。

I²C busはオランダPHILIPS社の登録商標です。

表 16.5 I²Cバスインタフェースの仕様

項目	仕様
通信フォーマット	<ul style="list-style-type: none"> ・I²Cバスフォーマット <ul style="list-style-type: none"> -マスタ/スレーブデバイスの選択可能 -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため) -マスタモードでは開始条件、停止条件の自動生成 -送信時、アクノリッジビットを自動ロード -ビット同期、ウェイト機能内蔵(マスタモードではビットごとにSCLの状態をモニタして自動的に同期を取る。転送準備ができていない場合、SCLを“L”にして待機させる。) -SCL、SDA端子の直接駆動(NMOSオープンドレイン出力)が可能 ・クロック同期式シリアルフォーマット <ul style="list-style-type: none"> -連続送信、連続受信が可能(シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため)
入出力端子	SCL(入出力) : シリアルクロック入出力端子 SDA(入出力) : シリアルデータ入出力端子
転送クロック	<ul style="list-style-type: none"> ・ICCR1レジスタのMSTビットが“0”のとき 外部クロック(SCL端子から入力) ・ICCR1レジスタのMSTビットが“1”のとき ICCR1レジスタのCKS0 ~ CKS3ビットで選択する内部クロック(SCL端子から出力)
受信エラーの検出	<ul style="list-style-type: none"> ・オーバランエラーを検出(クロック同期式シリアルフォーマット) 受信時にオーバランエラーが発生したことを示す。ICSRレジスタのRDRFビットが“1”(ICDRRレジスタにデータあり)の状態、次のデータの最終ビットを受信したとき、ALビットが“1”になる
割り込み要因	<ul style="list-style-type: none"> ・I²Cバスフォーマット..... 6種類(注1) 送信データエンプティ(スレーブアドレス一致時を含む)、送信終了、受信データフル(スレーブアドレス一致時を含む)、アービトラクションロスト、NACK検出、停止条件検出 ・クロック同期式シリアルフォーマット..... 4種類(注1) 送信データエンプティ、送信終了、受信データフル、オーバランエラー
選択機能	<ul style="list-style-type: none"> ・I²Cバスフォーマット <ul style="list-style-type: none"> -受信時、アクノリッジの出力レベルを選択可能 ・クロック同期式シリアルフォーマット <ul style="list-style-type: none"> -データ転送方向にMSBファーストまたはLSBファーストを選択可能

注1. 割り込みベクタテーブルはI²Cバスインタフェースの1つです。

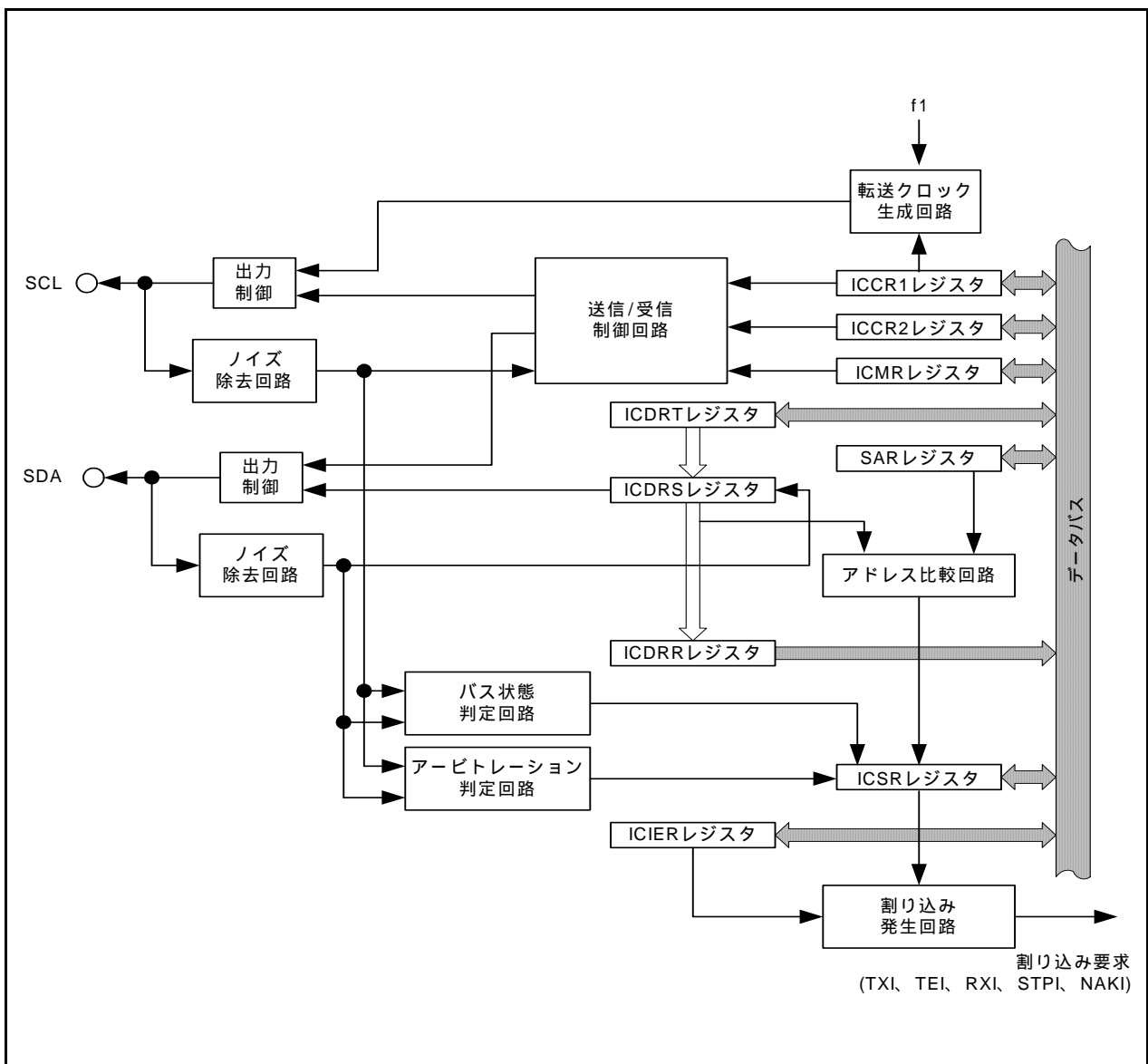


図 16.22 I²Cバスインタフェースブロック図

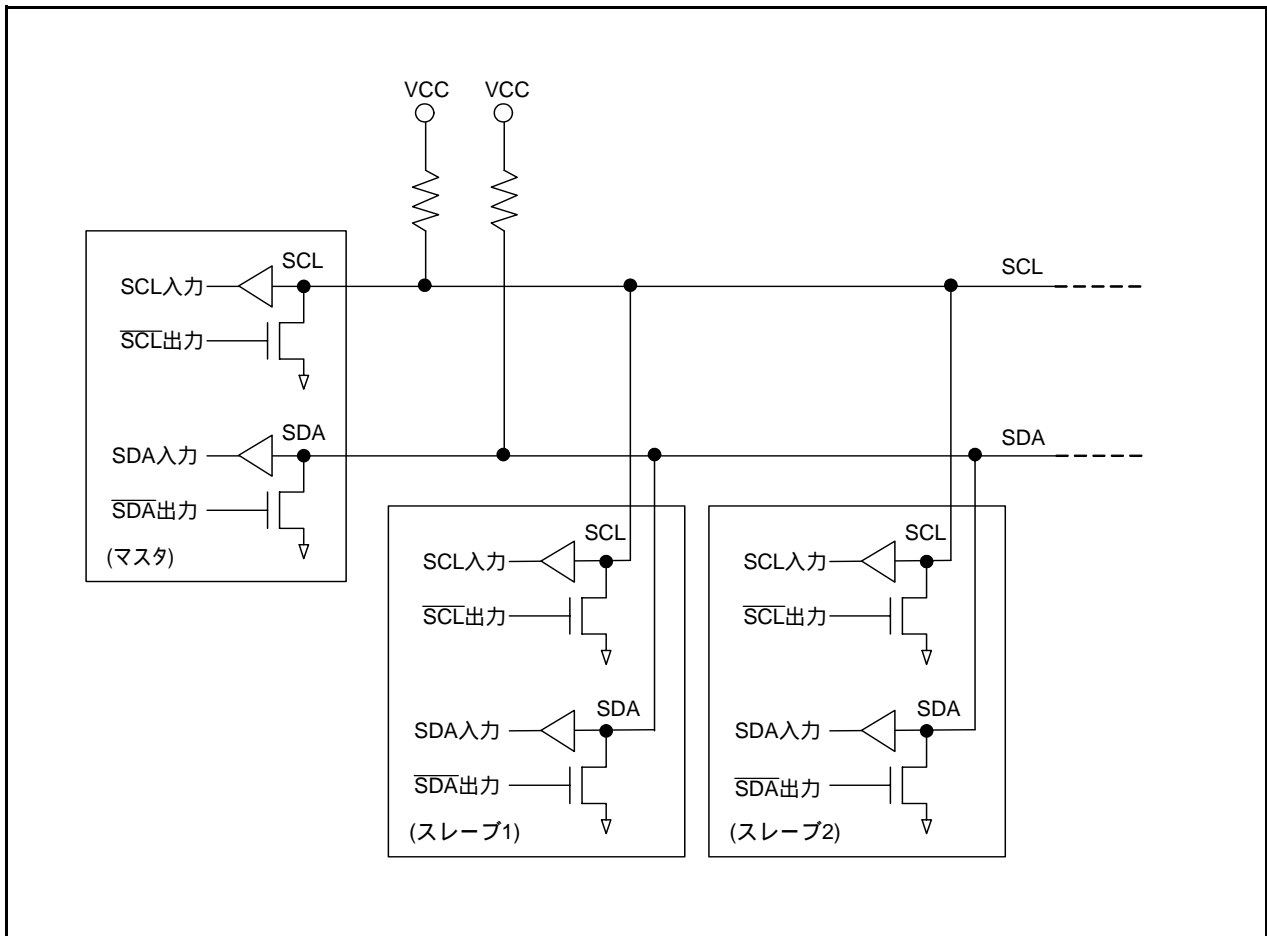


図 16.23 SCL、SDA 端子の外部回路接続例

IICバス制御レジスタ1(注6)

シンボル ICCR1	アドレス 00B8h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
CKS0	転送クロック選択ビット3~0 (注1)	b3 b2 b1 b0 0 0 0 0 : f1/28	RW
		0 0 0 1 : f1/40	
		0 0 1 0 : f1/48	
		0 0 1 1 : f1/64	
CKS1		0 1 0 0 : f1/80	RW
		0 1 0 1 : f1/100	
CKS2		0 1 1 0 : f1/112	RW
		0 1 1 1 : f1/128	
		1 0 0 0 : f1/56	
		1 0 0 1 : f1/80	
CKS3		1 0 1 0 : f1/96	RW
		1 0 1 1 : f1/128	
		1 1 0 0 : f1/160	
		1 1 0 1 : f1/200	
TRS	送信/受信選択ビット(注2、3)	b5 b4 0 0 : スレーブ受信モード(注4)	RW
		0 1 : スレーブ送信モード	
MST	マスタ/スレーブ選択ビット(注5)	1 0 : マスタ受信モード	RW
		1 1 : マスタ送信モード	
RCVD	受信ディスエーブルビット	TRS=0の状態ではICDRRレジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	RW
ICE	I ² Cバスインタフェースイネーブルビット	0 : 本モジュールは機能停止状態 (SCL、SDA端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL、SDA端子はバス駆動状態)	RW

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては、「表16.6 転送レート例」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間はCKS3=0のとき10Tcyc、CKS3=1のとき20Tcycとなります。
(1Tcyc=1/f1(s))

注2. TRSビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットがSARレジスタに設定したスレーブアドレスと一致し、8ビット目が“1”の場合、TRSビットが“1”になります。

注4. I²Cバスフォーマットのマスタモードでバス競合負けすると、MSTおよびTRSビットが“0”になり、スレーブ受信モードになります。

注5. クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MSTビットが“0”になり、スレーブ受信モードになります。

注6. I²Cバスインタフェース関連レジスタのアクセスについて「16.3.8.1 I²Cバスインタフェース関連レジスタのアクセス」を参照してください。

図 16.24 ICCR1レジスタ

IICバス制御レジスタ2(注5)

シンボル	アドレス	リセット後の値	
ICCR2	00B9h番地	01111101b	
ビットシンボル	ビット名	機能	RW
- (b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
IICRST	I ² Cコントロール部リセットビット	I ² Cバスインタフェースの動作中に、通信不具合等によりハングアップしたとき、“1”を書くとポートの設定、レジスタの初期化をせずに、I ² Cバスインタフェースのコントロール部をリセットします。	RW
- (b2)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
SCLO	SCLモニタフラグ	0：SCL端子は“L” 1：SCL端子は“H”	RO
SDAOP	SDAOライトプロテクトビット	SDAOビットを書き換えるとき、同時に“0”を書いてください。(注1) 読んだ場合、その値は“1”。	RW
SDAO	SDAO出力値制御ビット	読んだ場合 0：SDA端子出力が“L” 1：SDA端子出力が“H” 書いた場合(注1、2) 0：SDA端子出力を“L”に変更する。 1：SDA端子出力をハイインピーダンスに変更する(外部プルアップ抵抗によって、“H”出力)。	RW
SCP	開始/停止条件発行禁止ビット	BBSYビットにかくとき、同時に“0”をかいてください。(注3) 読んだ場合、その値は“1”。“1”書き込みは無効になります。	RW
BBSY	バスビジービット(注4)	読んだ場合 0：バスが開放状態(SCL信号が“H”の状態 でSDA信号が“L”から“H”に変化) 1：バスが占有状態(SCL信号が“H”の状態 でSDA信号が“H”から“L”に変化) 書いた場合(注3) 0：停止条件を発行 1：開始条件を発行	RW

注1. SDAOビットを書き換える場合は、同時にSDAOPビットに“0”をMOV命令を使用して書いてください。
 注2. 転送動作中に書かないでください。
 注3. マスタモード時に有効です。BBSYビットに書く場合は、同時にSCPビットに“0”をMOV命令を使用して書いてください。開始条件の再発行時も、同様に実施してください。
 注4. クロック同期シリアルフォーマット時は無効です。
 注5. I²Cバスインタフェース関連レジスタのアクセスについて「16.3.8.1 I²Cバスインタフェース関連レジスタのアクセス」を参照してください。

図 16.25 ICCR2レジスタ

IICバスモードレジスタ(注7)

シンボル	アドレス	リセット後の値	
ICMR	00BAh番地	00011000b	
ビットシンボル	ビット名	機能	RW
BC0	ビットカウンタ2~0	I ² Cバスフォーマット(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数) (注1、2) b2 b1 b0 0 0 0: 9ビット(注3) 0 0 1: 2ビット 0 1 0: 3ビット 0 1 1: 4ビット 1 0 0: 5ビット 1 0 1: 6ビット 1 1 0: 7ビット 1 1 1: 8ビット	RW
BC1		クロック同期式シリアルフォーマット(読み出し時は残りの転送ビット数、書き込み時は常に“000b”を書いてください。) b2 b1 b0 0 0 0: 8ビット 0 0 1: 1ビット 0 1 0: 2ビット 0 1 1: 3ビット 1 0 0: 4ビット 1 0 1: 5ビット 1 1 0: 6ビット 1 1 1: 7ビット	RW
BC2			RW
BCWP	BCライトプロテクトビット	BC0~BC2ビットを書き換えるとき、同時に“0”を書いてください。 (注2、4) 読んだ場合、その値は“1”。	RW
(b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		-
(b5)	予約ビット	“0”にしてください。	RW
WAIT	ウェイト挿入ビット(注5)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分“L”を延長)	RW
MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注6) 1: LSBファーストでデータ転送	RW

注1. 転送フレーム間で書き換えてください。“000b”以外の値を書くときは、SCL信号が“L”のときに書いてください。

注2. BC0~BC2ビットに書く場合は、同時にBCWPビットに“0”をMOV命令を使用して書いてください。

注3. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に“000b”になります。開始条件検出時、BC2~BC0ビットは自動的に“000b”になります。

注4. クロック同期式シリアルフォーマット時は書き換えないでください。

注5. I²Cバスフォーマットのマスターモード時に、設定値が有効です。I²Cバスフォーマットのスレーブモード時およびクロック同期シリアルフォーマット時は無効です。

注6. I²Cバスフォーマット時は、“0”にしてください。

注7. I²Cバスインタフェース関連レジスタのアクセスについて「16.3.8.1 I²Cバスインタフェース関連レジスタのアクセス」を参照してください。

☒ 16.26 ICMRレジスタ

IICバス割り込み許可レジスタ(注3)

シンボル	アドレス	リセット後の値	
ICIER	00BBh番地	00h	
ビット シンボル	ビット名	機能	RW
ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジのタイミングで“0”を送出 1: 受信モード時、アクノリッジのタイミングで“1”を送出	RW
ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“0” 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが“1”	RO
ACE	アクノリッジビット判定選択ビット	0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが“1”の場合、転送中止	RW
STIE	停止条件検出インタラプトイネーブルビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注2)	RW
NAKIE	NACK受信インタラプトイネーブルビット	0: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求禁止 1: NACK受信割り込み要求およびアービトレーションロスト/オーバーランエラー割り込み要求許可 (注1)	RW
RIE	レシーブインタラプトイネーブルビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可 (注1)	RW
TEIE	トランスミットエンドインタラプトイネーブルビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	RW
TIE	トランスミットインタラプトイネーブルビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	RW

注1. オーバランエラー割り込み要求はクロック同期フォーマット時です。
 注2. ICSRレジスタのSTOPビットが“0”のとき、STIEビットを“1”(停止条件検出割り込み要求許可)にしてください。
 注3. I²Cバスインタフェース関連レジスタのアクセスについて「16.3.8.1 I²Cバスインタフェース関連レジスタのアクセス」を参照してください。

図 16.27 ICIER レジスタ

IICバスステータスレジスタ(注7)			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
ICSR	00BCh番地	0000X000b	
ビットシンボル	ビット名	機能	RW
ADZ	ゼネラルコールアドレス認識フラグ(注1、2)	ゼネラルコールアドレス検出したとき、“1”になります。	RW
AAS	スレーブアドレス認識フラグ(注1)	スレーブ受信モードで開始条件直後の第1フレームがSARレジスタのSVA0～SVA6と一致した場合、“1”になります。(スレーブアドレス検出、ゼネラルコールアドレス検出)	RW
AL	アービトレーションロスフラグ/オーバーランエラーフラグ(注1)	<p>I²Cバスフォーマットの場合、マスタモード時にバス競合負けしたことを示します。次のときに“1”になります。(注3)</p> <ul style="list-style-type: none"> マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき マスタ送信/受信モード時、開始条件検出時にSDA端子が“H”のとき <p>クロック同期フォーマットの場合、オーバーランエラーが発生したことを示します。次のときに“1”になります。</p> <ul style="list-style-type: none"> RDRFビットが“1”の状態、次のデータの最終ビットを受信したとき 	RW
STOP	停止条件検出フラグ(注1)	フレームの転送の完了後に停止条件を検出したとき、“1”になります。	RW
NACKF	ノーアクノリッジ検出フラグ(注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、“1”になります。	RW
RDRF	レシーブデータレジスタフル(注1、5)	ICDRSレジスタからICDRRレジスタに受信データが転送されたとき、“1”になります。	RW
TEND	トランスミットエンド(注1、6)	<p>I²Cバスフォーマットの場合、TDREビットが“1”の状態SCL信号の9クロック目が立ち上がったとき、“1”になります。</p> <p>クロック同期フォーマットの場合、送信フレームの最終ビットを送出したとき、“1”になります。</p>	RW
TDRE	トランスミットデータエンプティ(注1、6)	<p>次のときに“1”になります。</p> <ul style="list-style-type: none"> ICDRTレジスタからICDRSレジスタにデータ転送されて、ICDRTレジスタが空になったとき ICCR1レジスタのTRSビットを“1”(送信モード)にしたとき 開始条件(再送含む)を発行したとき スレーブ受信モードからスレーブ送信モードに変わったとき 	RW

注1. 各ビットは“1”を読んだ後、“0”を書くと“0”になります。

注2. I²Cバスフォーマットのスレーブ受信モードのとき有効。

注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I²CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを“1”にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはICIERレジスタのACKEビットが“1”(受信アクノリッジが“1”の場合、転送中止)のとき有効です。

注5. RDRFビットはICDRRレジスタからデータを読み出したとき、“0”になります。

注6. TEND、TDREビットはICDRTレジスタにデータを書いたとき、“0”になります。

注7. I²Cバスインタフェース関連レジスタのアクセスについて「16.3.8.1 I²Cバスインタフェース関連レジスタのアクセス」を参照してください。

図 16.28 ICSR レジスタ

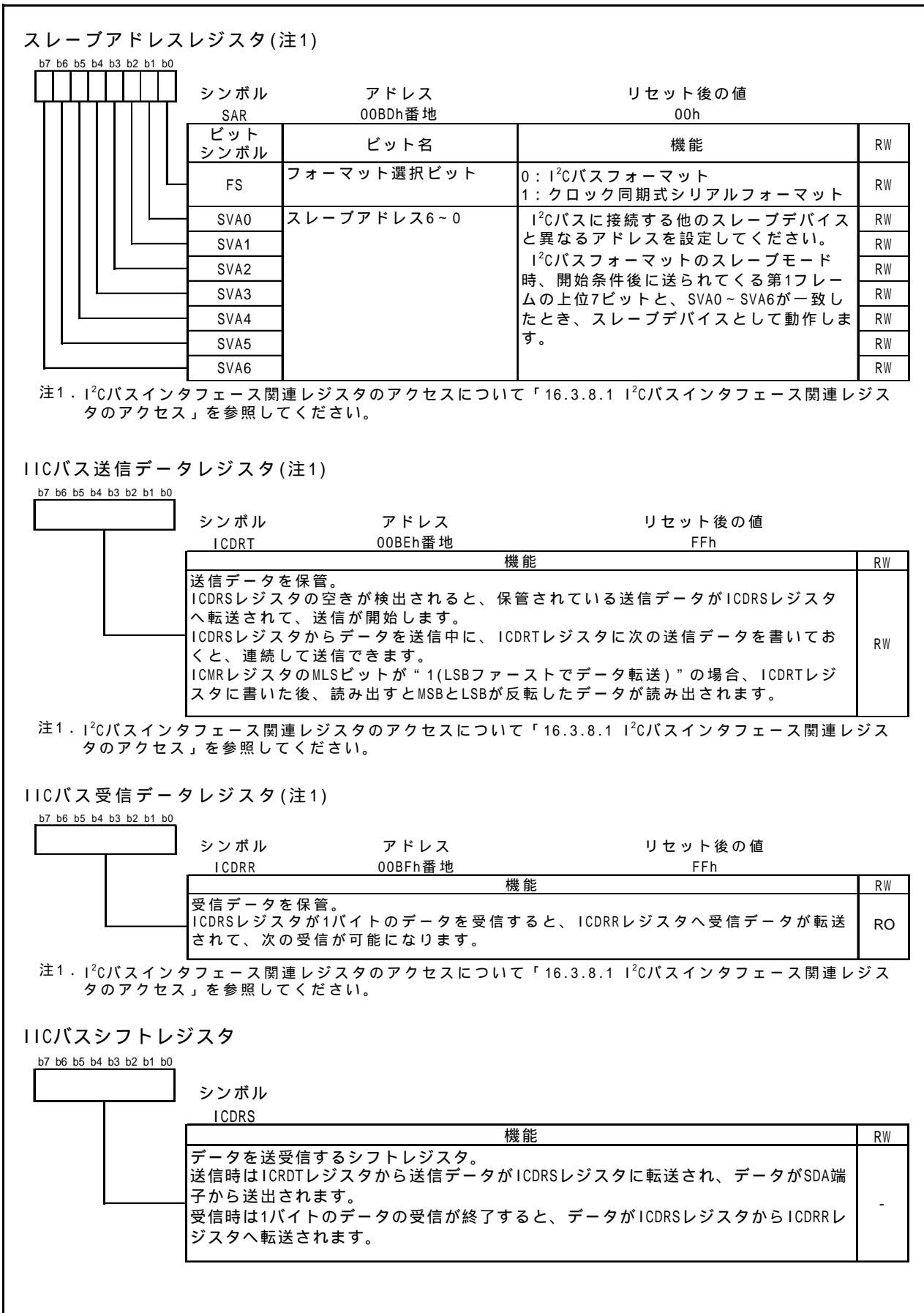


図 16.29 SAR、ICDRT、ICDRR、ICDRSレジスタ

ポートモードレジスタ

シンボル PMR	アドレス 00F8h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0” にしてください。	RW
SSISEL	SSI信号端子選択ビット	0 : P3_3端子をSSI00端子に使用 1 : P1_6端子をSSI01端子に使用	RW
- (b6-b4)	予約ビット	“0” にしてください。	RW
IICSEL	SSU / I ² Cバス切り替えビット	0 : SSU機能を選択 1 : I ² Cバスインタフェース機能を選択	RW

図 16.30 PMR レジスタ

16.3.1 転送クロック

ICCR1レジスタのMSTビットが“0”のとき、転送クロックはSCL端子から入力される外部クロックです。

ICCR1レジスタのMSTビットが“1”のとき、転送クロックはICCR1レジスタのCKS0～CKS3ビットで選択された内部クロックになり、SCL端子から出力されます。表16.6に転送レート例を示します。

表 16.6 転送レート例

ICCR1 レジスタ				転送クロック	転送レート				
CKS3	CKS2	CKS1	CKS0		f1=5MHz	f1=8MHz	f1=10MHz	f1=16MHz	f1=20MHz
0	0	0	0	f1/28	179kHz	286kHz	357kHz	571kHz	714kHz
			1	f1/40	125kHz	200kHz	250kHz	400kHz	500kHz
		1	0	f1/48	104kHz	167kHz	208kHz	333kHz	417kHz
			1	f1/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	f1/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	f1/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	f1/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	f1/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	f1/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	f1/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	f1/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	f1/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	f1/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	f1/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

16.3.2 割り込み要求

I²Cバスインタフェースの割り込み要求は、I²Cバスフォーマット時に6種類、クロック同期式シリアルフォーマット時に4種類あります。表 16.7にI²Cバスインタフェースの割り込み要求を示します。

これらの割り込み要求はI²Cバスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表 16.7 I²Cバスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I ² Cバス	クロック同期式シリアル
送信データエンプティ	TXI	TIE=1 かつ TDRE=1	有効	有効
送信終了	TEI	TEIE=1 かつ TEND=1	有効	有効
受信データフル	RXI	RIE=1 かつ RDRF=1	有効	有効
停止条件検出	STPI	STIE=1 かつ STOP=1	有効	無効
NACK 検出	NAKI	NAKIE=1 かつ AL=1 (または NAKIE=1 かつ NACKF=1)	有効	無効
アービトレーションロスト/ オーバーランエラー			有効	有効

STIE、NAKIE、RIE、TEIE、TIE : ICIERレジスタのビット

AL、STOP、NACKF、RDRF、TEND、TDRE : ICSRレジスタのビット

表 16.7の発生条件が満たされたとき、I²Cバスインタフェース割り込み要求が発生します。I²Cバスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を“0”にしてください。

ただし、TDREビットおよびTENDビットはICDRTレジスタに送信データを書くことで、RDRFビットはICDRRレジスタを読むことで、自動的に“0”になります。特にTDREビットはICDRTレジスタに送信データを書いたとき“0”になり、ICDRTレジスタからICDRSレジスタにデータ転送されたときにTDREビットが“1”になり、さらにTDREビットを“0”にすると、余分に1バイト送信する場合があります。

また、STIEビットを“1”(停止条件検出割り込み要求許可)にするのは、STOPビットが“0”のときにしてください。

16.3.3 I²Cバスインタフェースモード

16.3.3.1 I²Cバスフォーマット

SARレジスタのFSビットを“0”にすると、I²Cバスフォーマットで通信します。

図 16.31にI²Cバスフォーマットとバスタイミングを示します。開始条件に続く第1フレームは、常に8ビット構成になります。

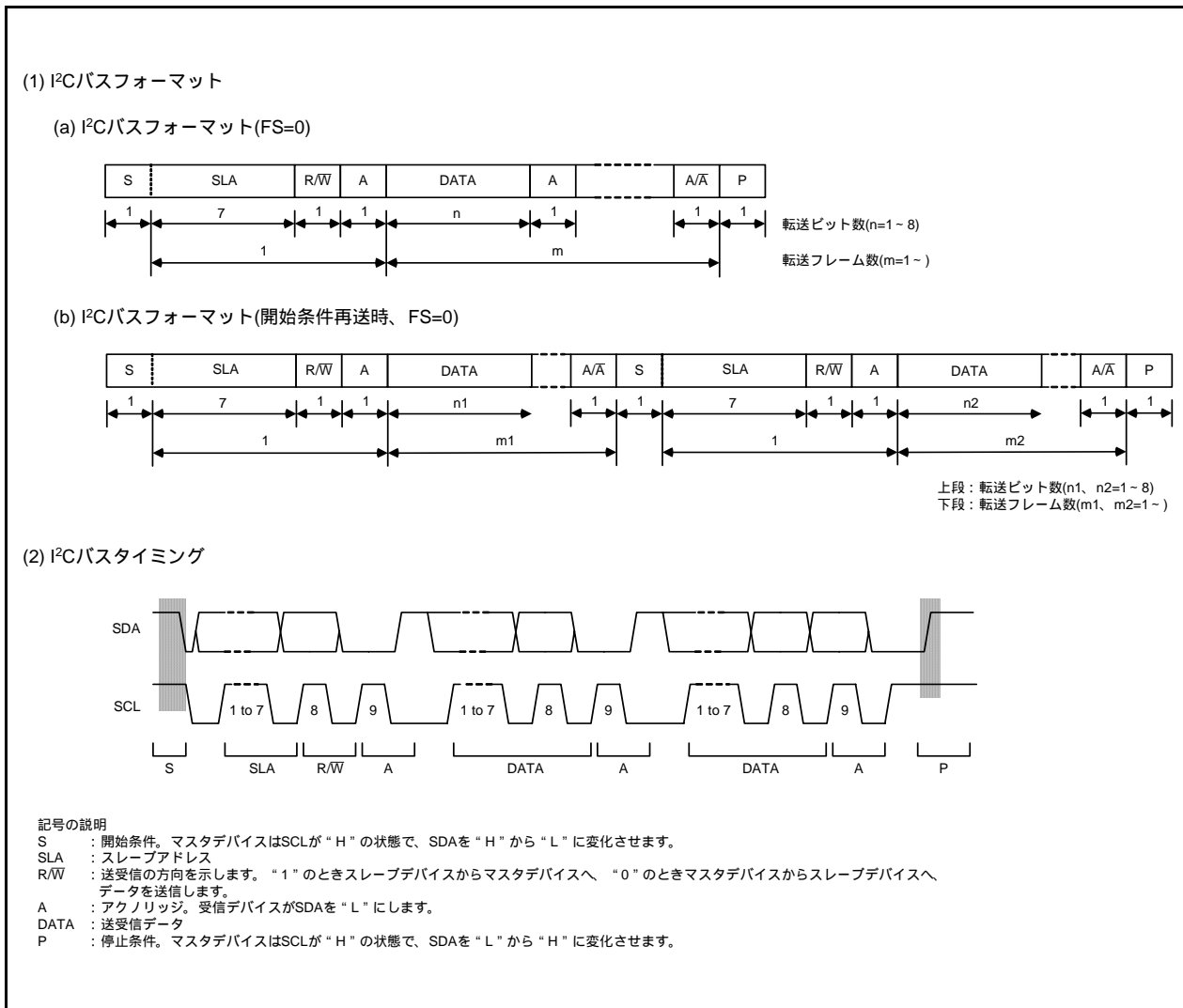


図 16.31 I²Cバスフォーマットとバスタイミング

16.3.3.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 16.32、図 16.33 にマスタ送信モードの動作タイミング (I²C バスインタフェースモード) を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICSR レジスタの STOP ビットを初期化するために “0” にしてください。その後、ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください(初期設定)。
- (2) ICCR2 レジスタの BBSY ビットを読んで、バスが開放状態であることを確認後、ICCR1 レジスタの TRS、MST ビットをマスタ送信モードに設定してください。その後、BBSY=1 と SCP=0 を MOV 命令で書いてください(開始条件発行)。これにより開始条件を生成します。
- (3) ICSR レジスタの TDRE ビットが “1” であることを確認した後、ICDRT レジスタに送信データ (1バイト目はスレーブアドレスと R/W を示すデータ) を書いてください。このとき TDRE ビットは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE ビットが “1” になります。
- (4) TDRE ビットが “1” の状態で 1 バイト送信が完了し、送信クロックの 9 クロック目の立ち上がりで ICSR レジスタの TEND ビットが “1” になります。ICIER レジスタの ACKBR ビットを読んで、スレーブデバイスが選択されたことを確認した後、2 バイト目のデータを ICDRT レジスタに書いてください。ACKBR ビットが “1” のときはスレーブデバイスが認識されていないため、停止条件を発行してください。停止条件の発行は、BBSY=0 と SCP=0 を MOV 命令で書くことで行われます。なおデータの準備ができるまで、または停止条件を発行するまでは SCL が “L” に固定されます。
- (5) 2 バイト目以降の送信データは、TDRE ビットが “1” になるたびに、ICDRT レジスタにデータを書いてください。
- (6) 送信するバイト数を ICDRT レジスタに書いたとき、その後は TDRE ビットが “1” の状態で TEND ビットが “1” になるまで待ってください。または、ICIER レジスタの ACKE ビットが “1” (受信アクノリッジが “1” の場合、転送中止) の状態で、受信デバイスからの NACK (ICSR レジスタの NACKF=1) を待ってください。その後、停止条件を発行して TEND ビット、あるいは NACKF ビットを “0” にしてください。
- (7) ICSR レジスタの STOP ビットが “1” になったとき、スレーブ受信モードに戻してください。

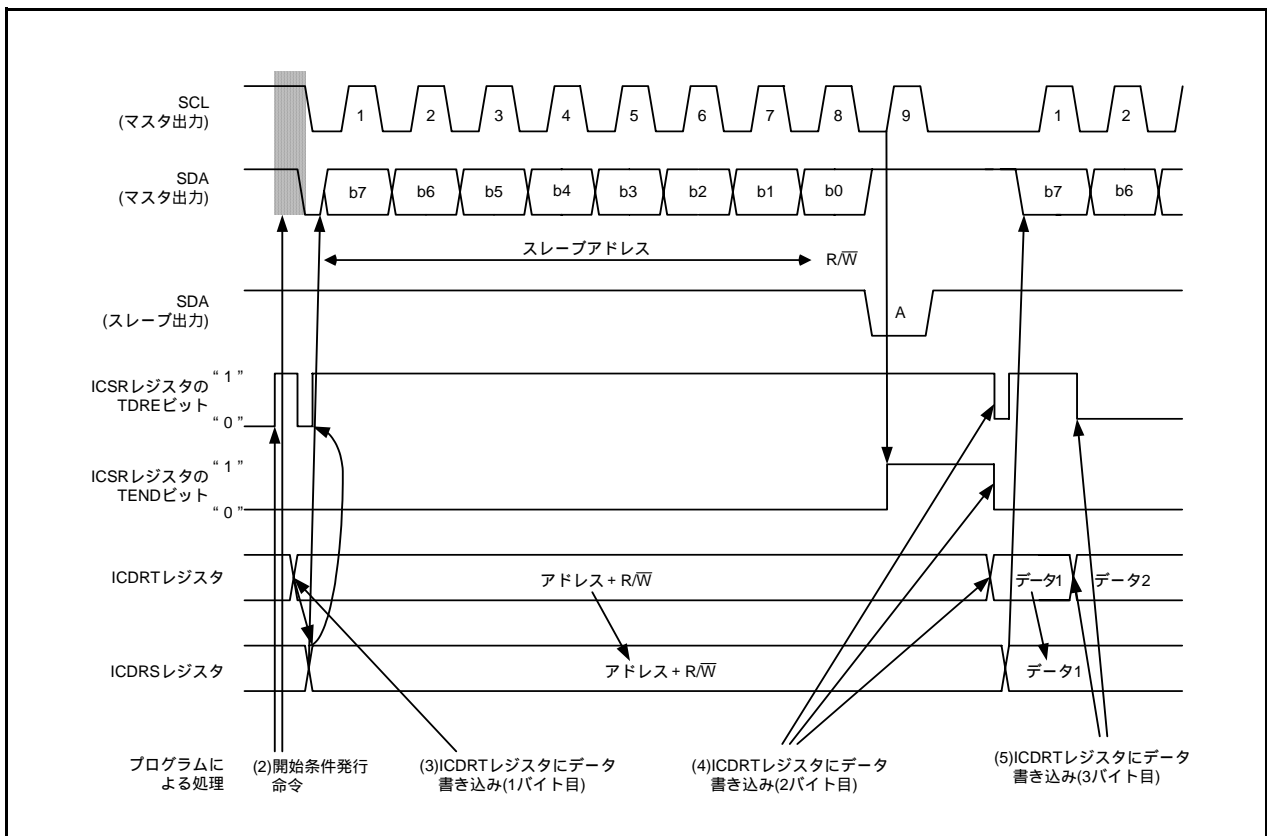


図 16.32 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)

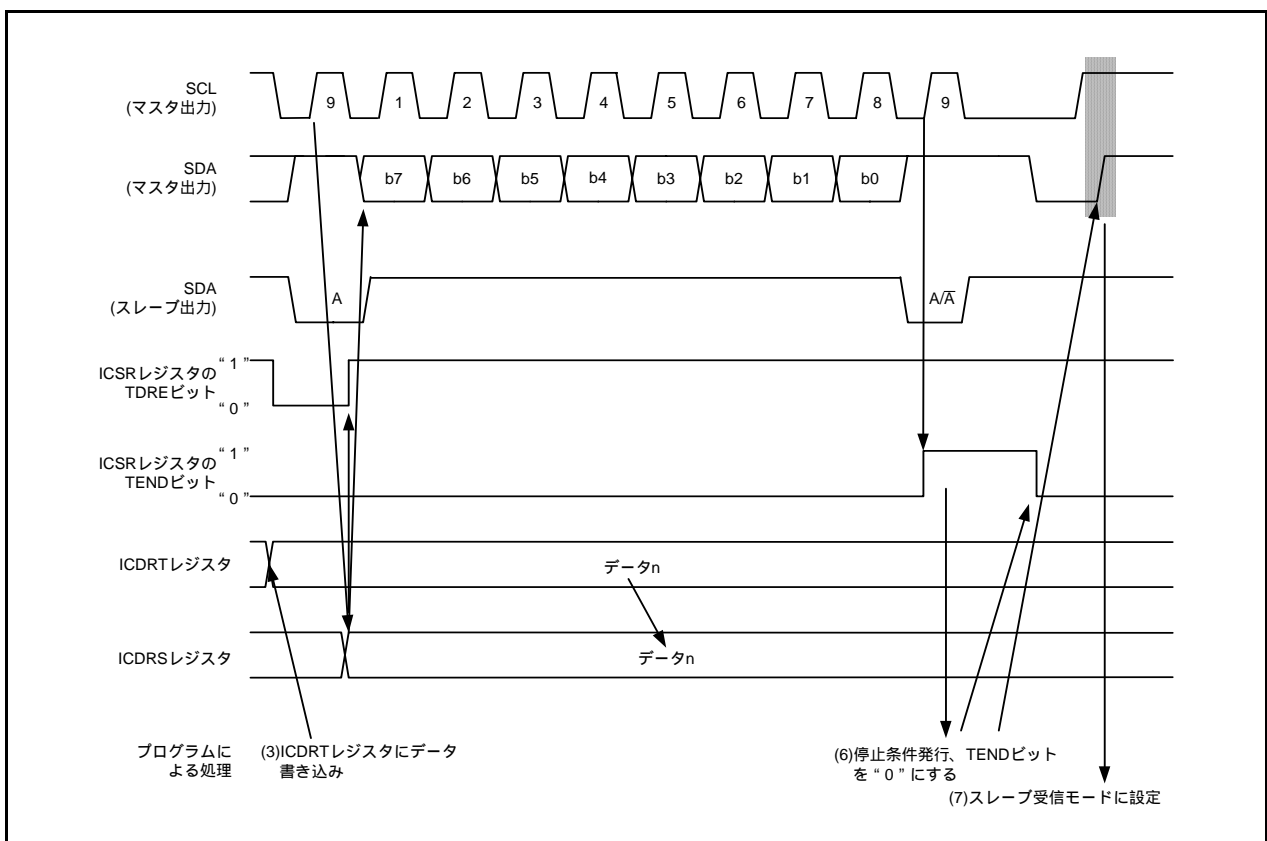


図 16.33 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード)(2)

16.3.3.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図 16.34、図 16.35 にマスタ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICSRレジスタのTENDビットを“0”にした後、ICCR1レジスタのTRSビットを“0”にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、ICSRレジスタのTDREビットを“0”にしてください。
- (2) ICDRRレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、ICIERレジスタのACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、ICSRレジスタのRDRFビットが“1”になります。このとき、ICDRRレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは“0”になります。
- (4) RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが“1”になった状態で、ICDRRレジスタの読み出しが遅れて8クロック目が立ち下がった場合、ICDRRレジスタを読むまでSCLが“L”に固定されます。
- (5) 次の受信が最終フレームの場合、ICDRRレジスタを読む前にICCR1レジスタのRCVDビットを“1”(次の受信動作を禁止)にしてください。これにより次の受信後、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが“1”になったとき、停止条件を発行してください。
- (7) ICSRレジスタのSTOPビットが“1”になったとき、ICDRRレジスタを読んでください。その後、RCVDビットを“0”(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

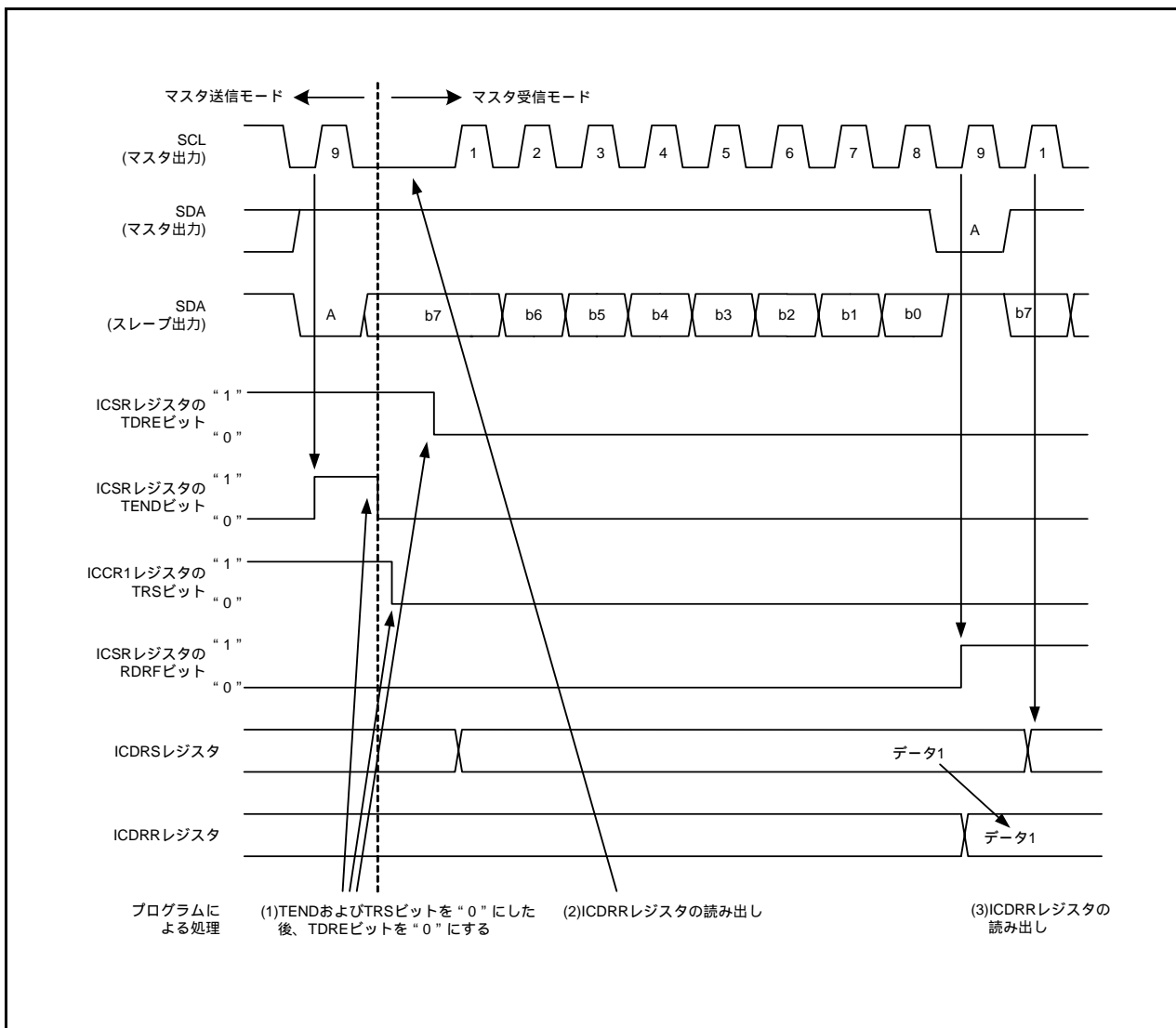


図 16.34 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード)(1)

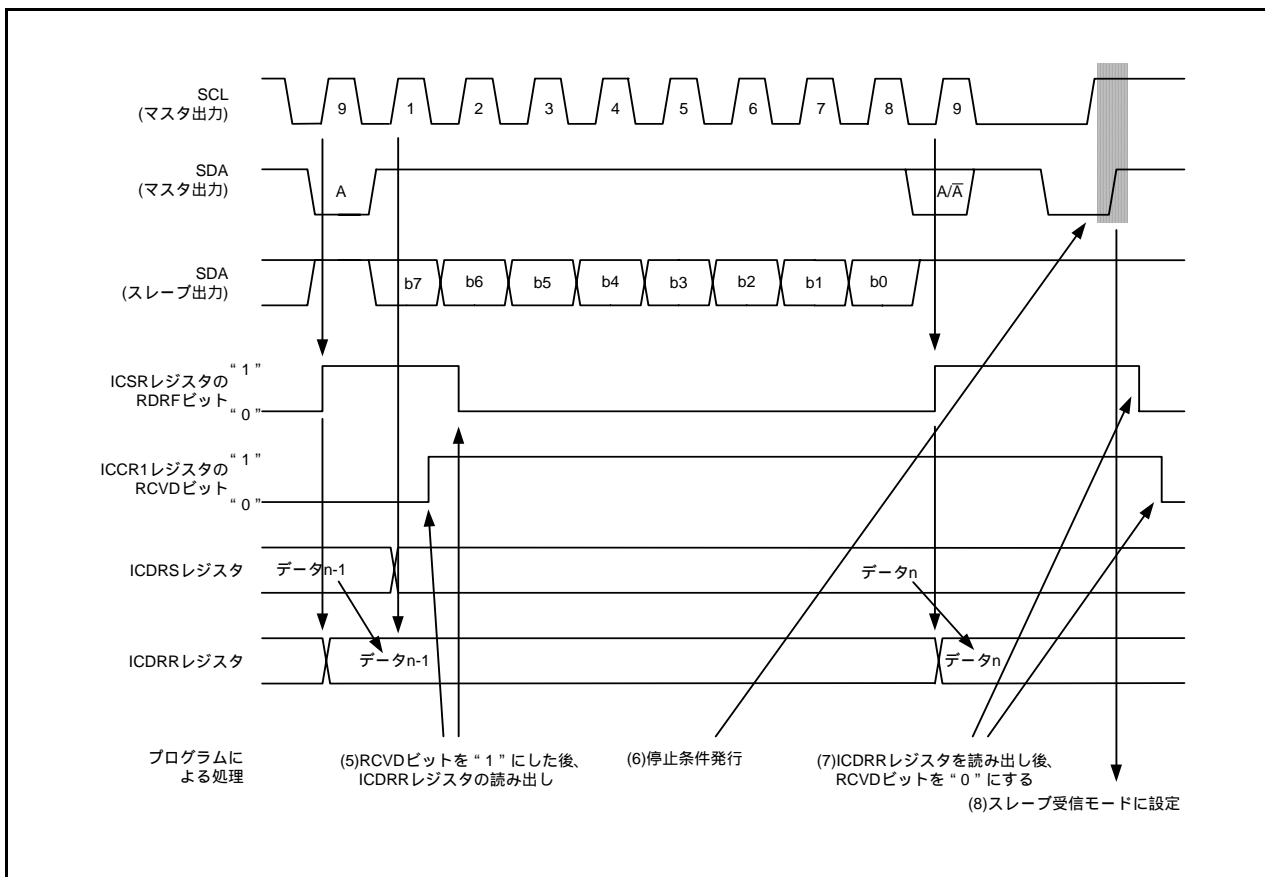


図 16.35 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

16.3.3.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 16.36、図 16.37 にスレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) ICCR1 レジスタのICE ビットを“1” (転送動作可能状態)にしてください。その後、ICMR レジスタのWAIT、MLS ビット、ICCR1 レジスタのCKS0 ~ CKS3 ビットなどを設定してください(初期設定)。次にICCR1 レジスタのTRS、MST ビットを“0”にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスはICIER レジスタのACKBT ビットで設定したレベルをSDAに出力します。このとき、8ビット目のデータ(R/W)が“1”のとき、TRS ビットおよびICSR レジスタのTDRE ビットが“1”になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが“1”になるたびにICDRT レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをICDRT レジスタに書いた後にTDRE ビットが“1”になったとき、TDRE ビットが“1”の状態でもICSR レジスタのTEND ビットが“1”になるまで待ってください。TEND ビットが“1”になったら、TEND ビットを“0”にしてください。
- (4) 終了処理のためTRS ビットを“0”にし、ICDRT レジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDRE ビットを“0”にしてください。

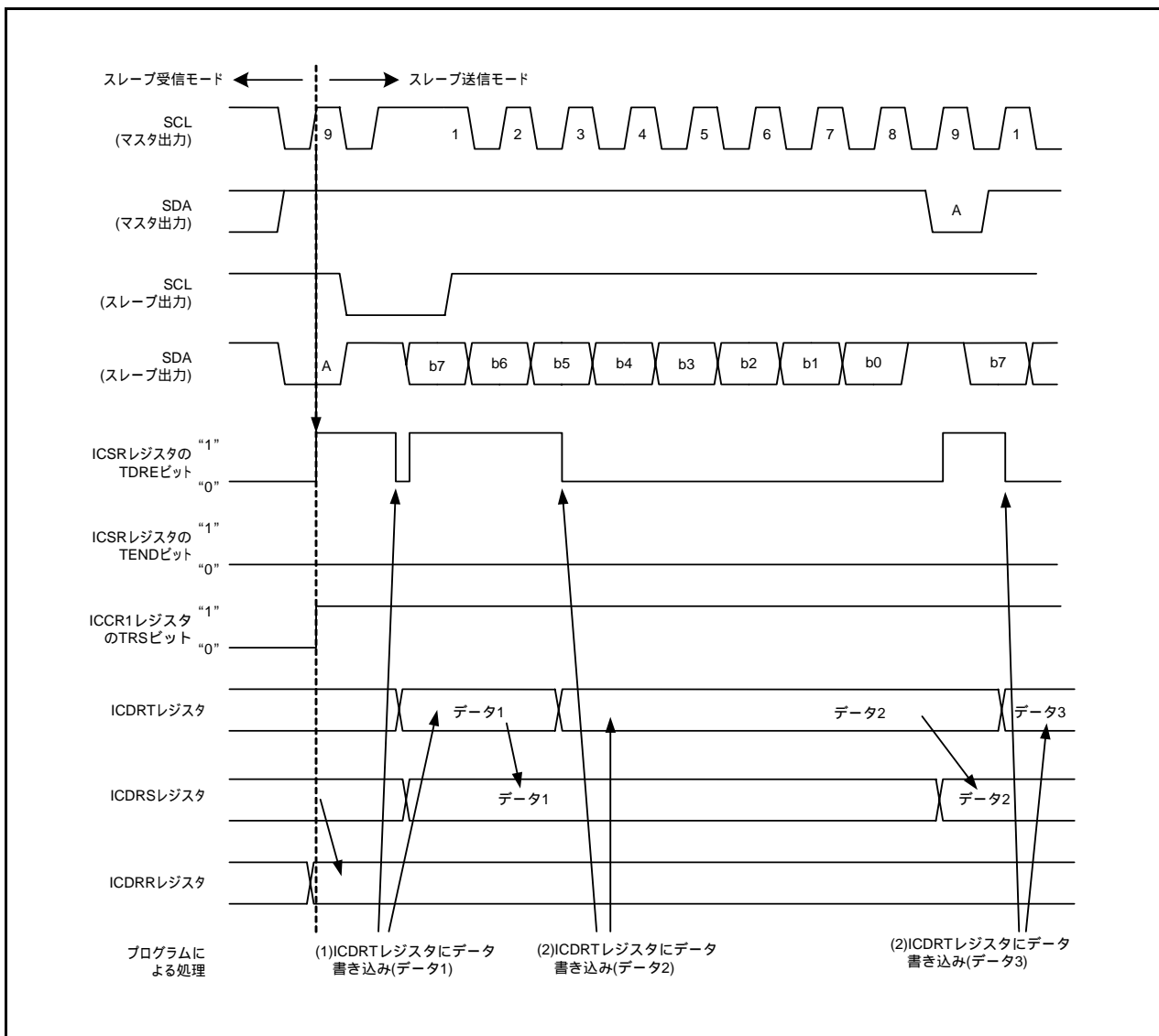


図 16.36 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)(1)

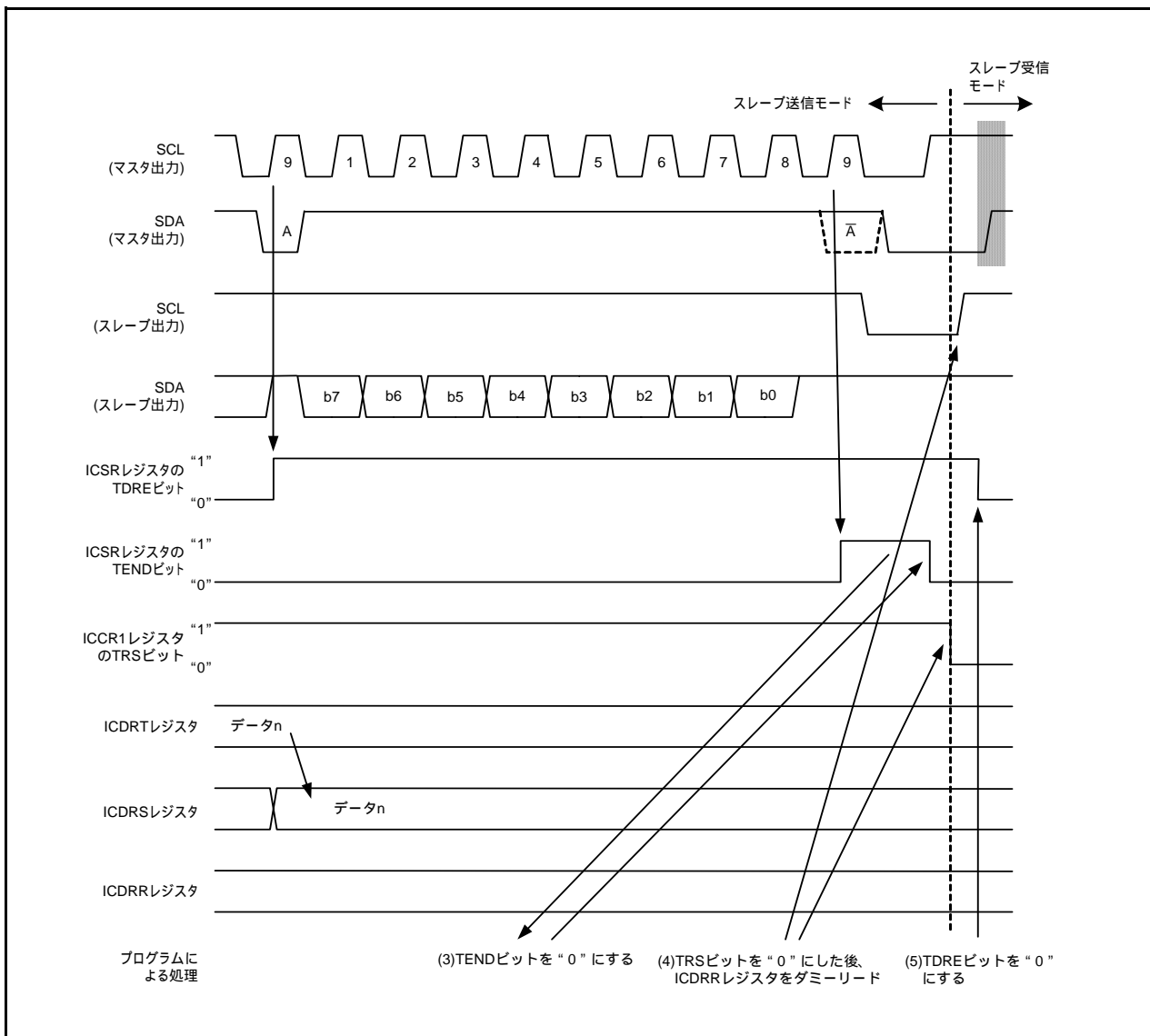


図 16.37 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)(2)

16.3.3.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。図 16.38、図 16.39 にスレーブ受信モードの動作タイミング (I²C バスインタフェースモード) を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICCR1 レジスタの ICE ビットを “1” (転送動作可能状態) にしてください。その後、ICMR レジスタの WAIT、MLS ビット、ICCR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください (初期設定)。次に ICCR1 レジスタの TRS、MST ビットを “0” にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりで、スレーブデバイスは ICIER レジスタの ACKBT ビットで設定したレベルを SDA に出力します。同時に ICSR レジスタの RDRF ビットが “1” になりますので、ICDRR レジスタをダミーリード (読み出したデータはスレーブアドレス + R/W を示すので不要) してください。
- (3) RDRF ビットが “1” になるたびに、ICDRR レジスタを読んでください。RDRF ビットが “1” の状態で8クロック目が立ち下がると、ICDRR レジスタを読むまで SCL が “L” に固定されます。ICDRR レジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されます。
- (4) 最終バイトの読み出しも、同様に ICDRR レジスタを読むことで行います。

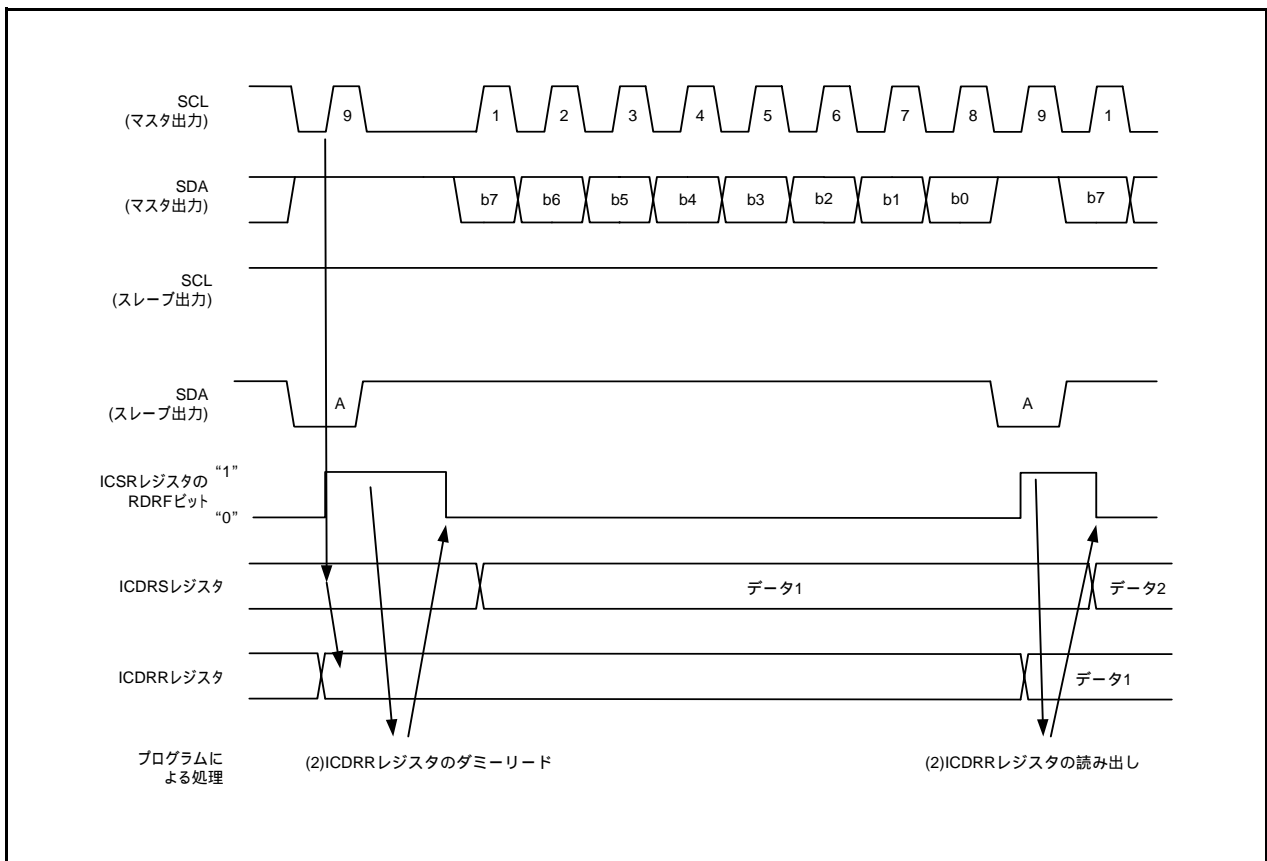


図 16.38 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(1)

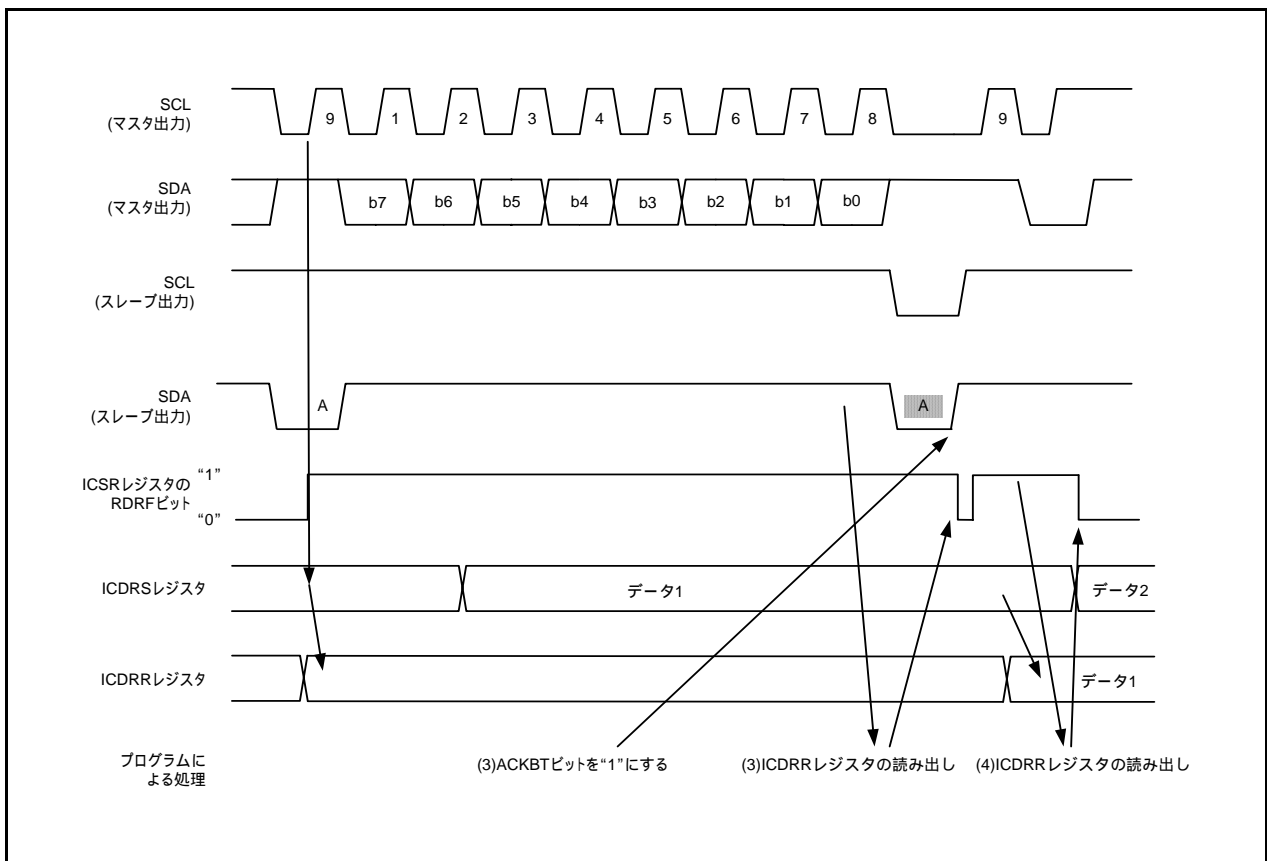


図 16.39 スレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)(2)

16.3.4 クロック同期式シリアルモード

16.3.4.1 クロック同期式シリアルフォーマット

SARレジスタのFSビットを“1”にすると、クロック同期式シリアルフォーマットで通信します。
図 16.40にクロック同期式シリアルフォーマットの転送フォーマットを示します。

ICCR1レジスタのMSTビットが“1”ときSCLから転送クロック出力となり、MSTビットが“0”とき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち下がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はICMRレジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、ICCR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

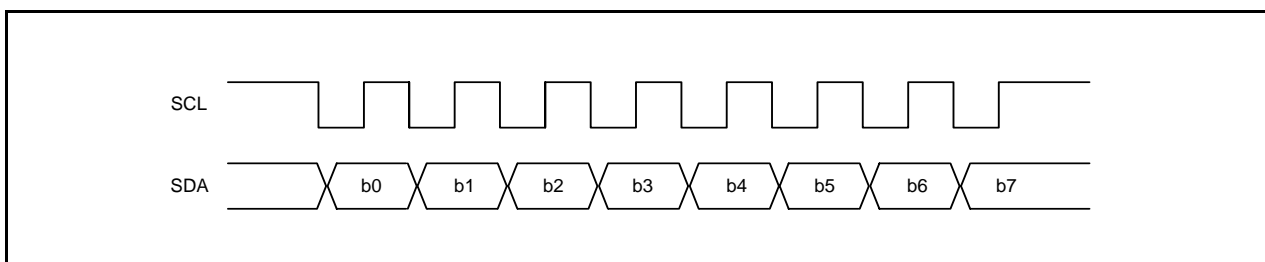


図 16.40 クロック同期式シリアルフォーマットの転送フォーマット

16.3.4.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データをSDAから出力します。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。図16.41に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1”(転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) ICCR1レジスタのTRSビットを“1”にして送信モードにしてください。これにより、ICSRレジスタのTDREビットが“1”になります。
- (3) TDREビットが“1”であることを確認した後、ICDRTレジスタに送信データを書いてください。これによりICDRTレジスタからICDRSレジスタにデータが転送され、自動的にTDREビットが“1”になります。TDREビットが“1”になるたびにICDRTレジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDREビットが“1”の状態ではTRSビットを“0”にしてください。

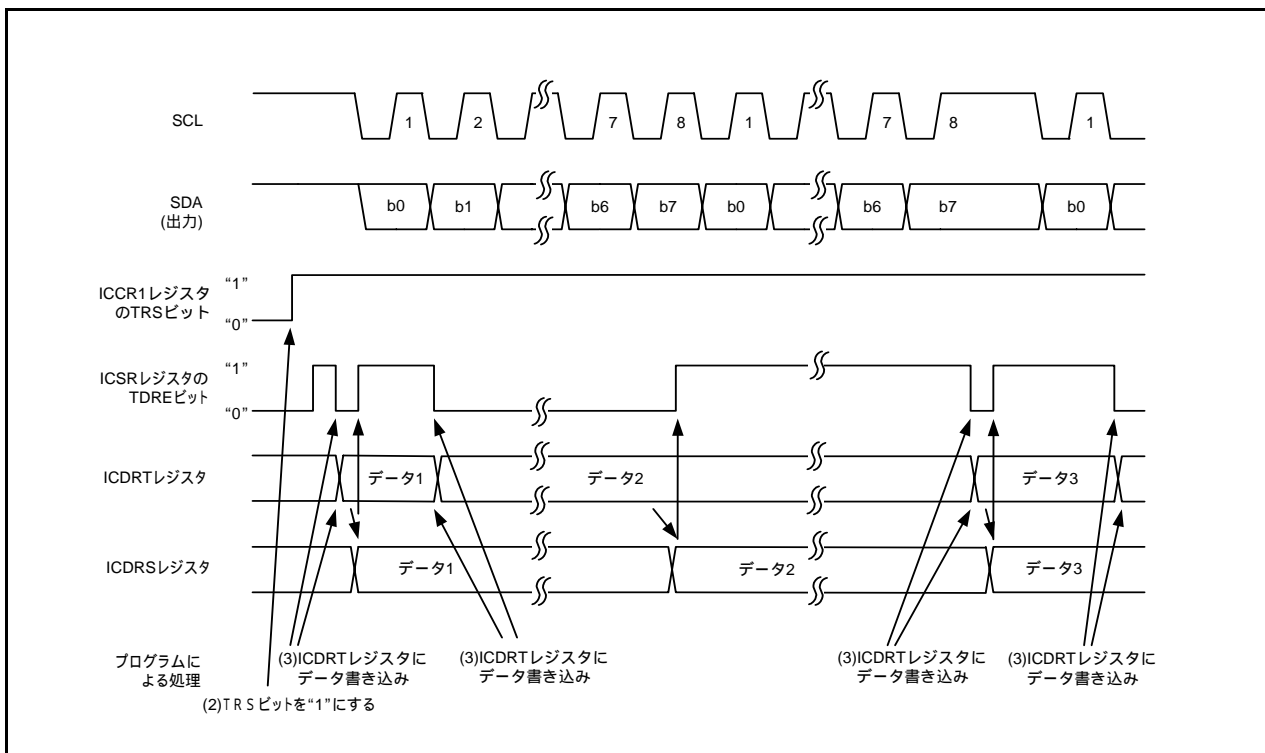


図 16.41 送信モードの動作タイミング(クロック同期式シリアルモード)

16.3.4.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはICCR1レジスタのMSTビットが“1”とき出力、MSTビットが“0”とき入力となります。

図 16.42に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) ICCR1レジスタのICEビットを“1” (転送動作可能状態)にしてください。その後、ICCR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを“1”にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、ICDRSレジスタからICDRRレジスタにデータが転送され、ICSRレジスタのRDRFビットが“1”になります。MSTビットが“1”のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが“1”になるたびにICDRRレジスタを読むことで、連続的に受信可能です。RDRFビットが“1”の状態で8クロック目が立上がるとオーバランを検出し、ICSRレジスタのALビットが“1”になります。このときICDRRレジスタには、前の受信データが保持されています。
- (4) MSTビットが“1”のとき、受信を停止するためには、ICCR1レジスタのRCVDビットを“1” (次の受信動作を禁止)にしてから、ICDRRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLが“H”に固定されます。

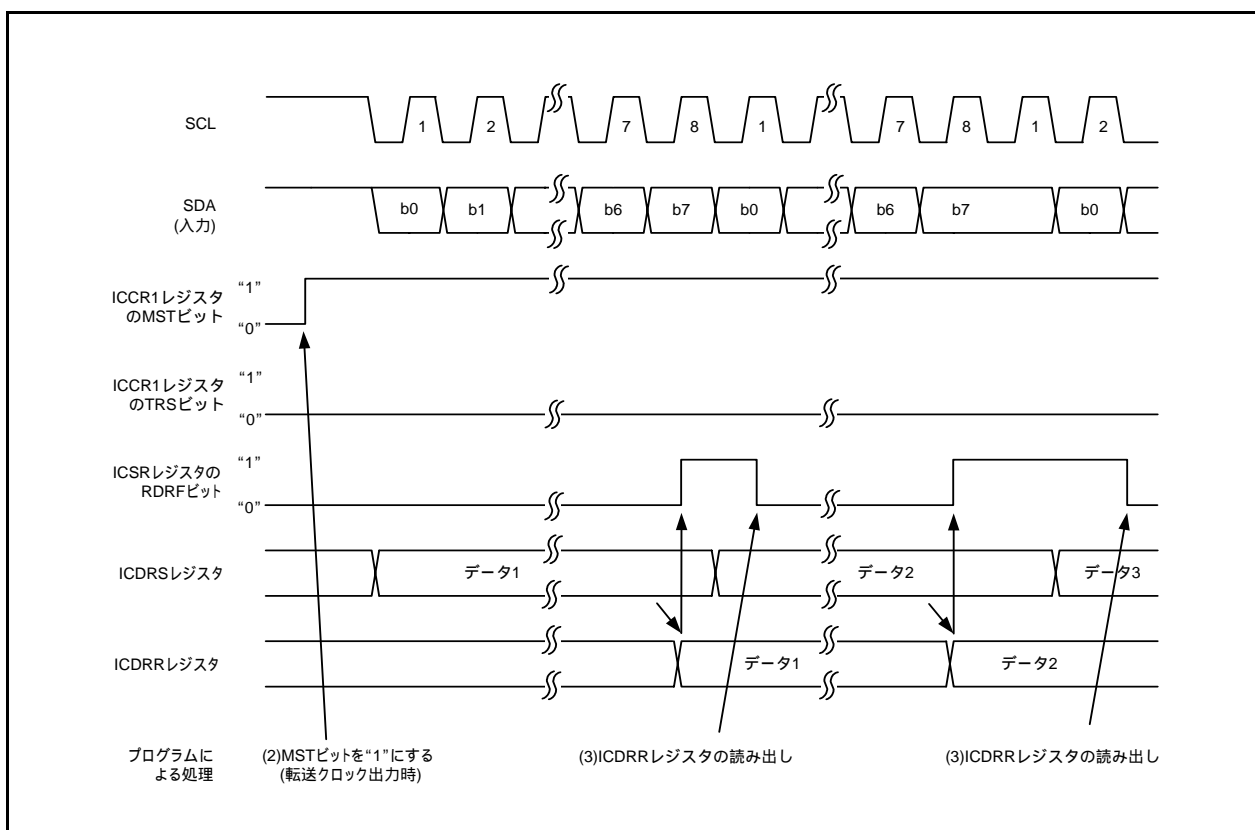


図 16.42 受信モードの動作タイミング(クロック同期式シリアルモード)

16.3.5 ノイズ除去回路

SCL端子およびSDA端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図 16.43にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL端子入力信号（またはSDA端子入力信号）が f_1 でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

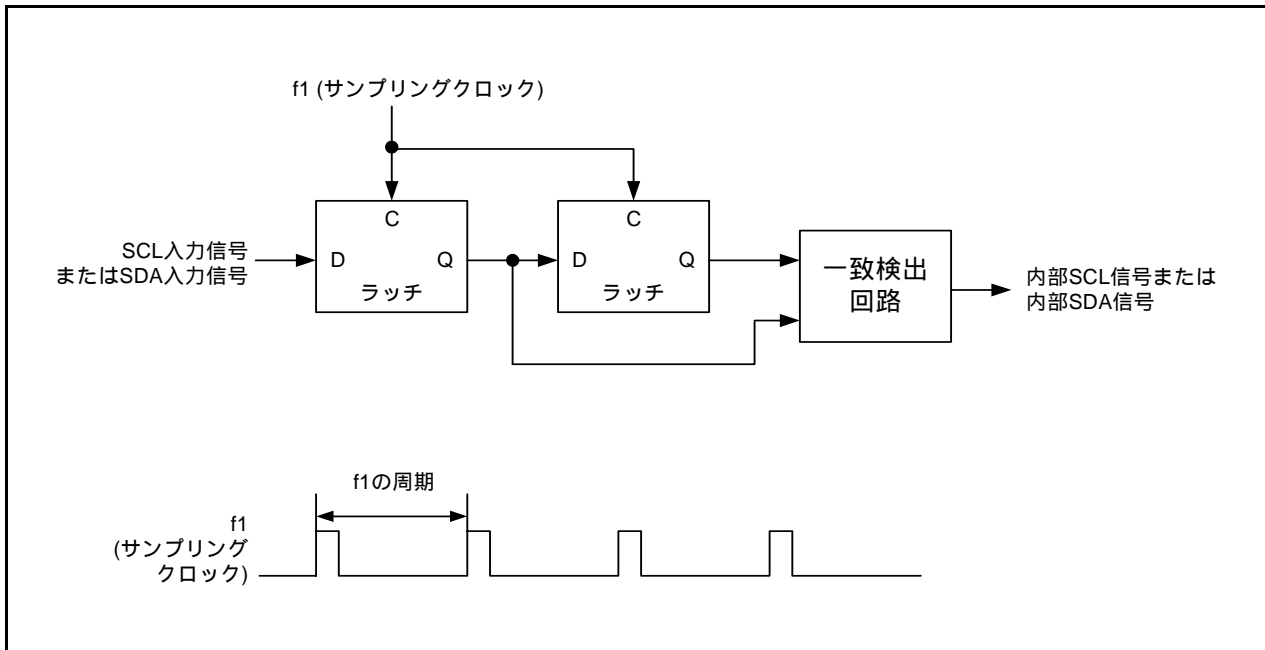


図 16.43 ノイズ除去回路のブロック図

16.3.6 ビット同期回路

I²Cバスインタフェースをマスタモードに設定時、

- スレーブデバイスによりSCLが“L”に保持された場合
- SCLラインの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりがゆるやかになった場合の2つの状態で“H”期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信します。

図 16.44 にビット同期回路のタイミングを、表 16.8 にSCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間を示します。

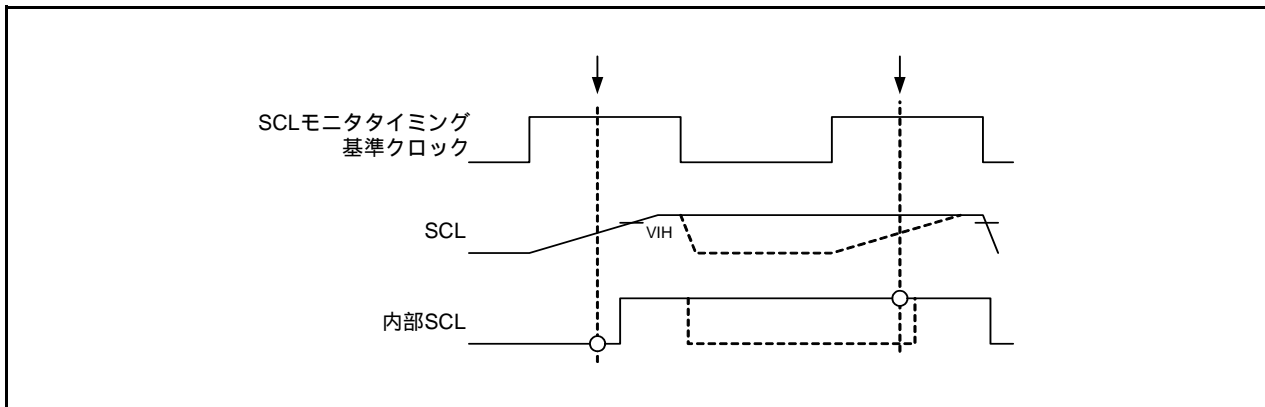


図 16.44 ビット同期回路のタイミング

表 16.8 SCLを“L”出力からハイインピーダンスにした後、SCLをモニタするまでの時間

ICCR1 レジスタ		SCL をモニタする時間
CKS3	CKS2	
0	0	7.5Tcyc
	1	19.5Tcyc
1	0	17.5Tcyc
	1	41.5Tcyc

1Tcyc=1/f1(s)

16.3.7 レジスタ設定例

I²Cバスインタフェースを使用する場合のレジスタ設定例を図 16.45 ~ 図 16.48 に示します。

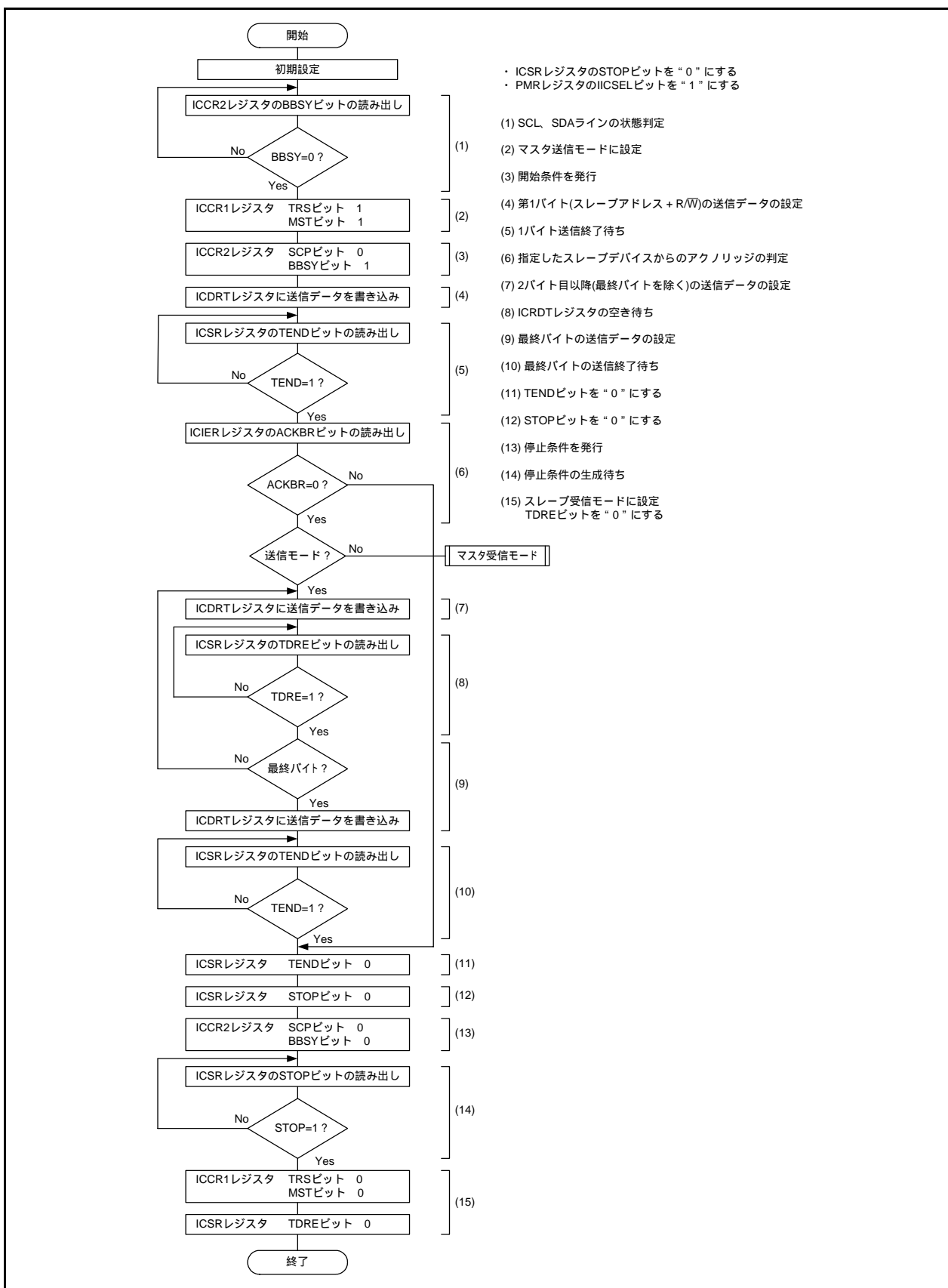


図 16.45 マスタ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

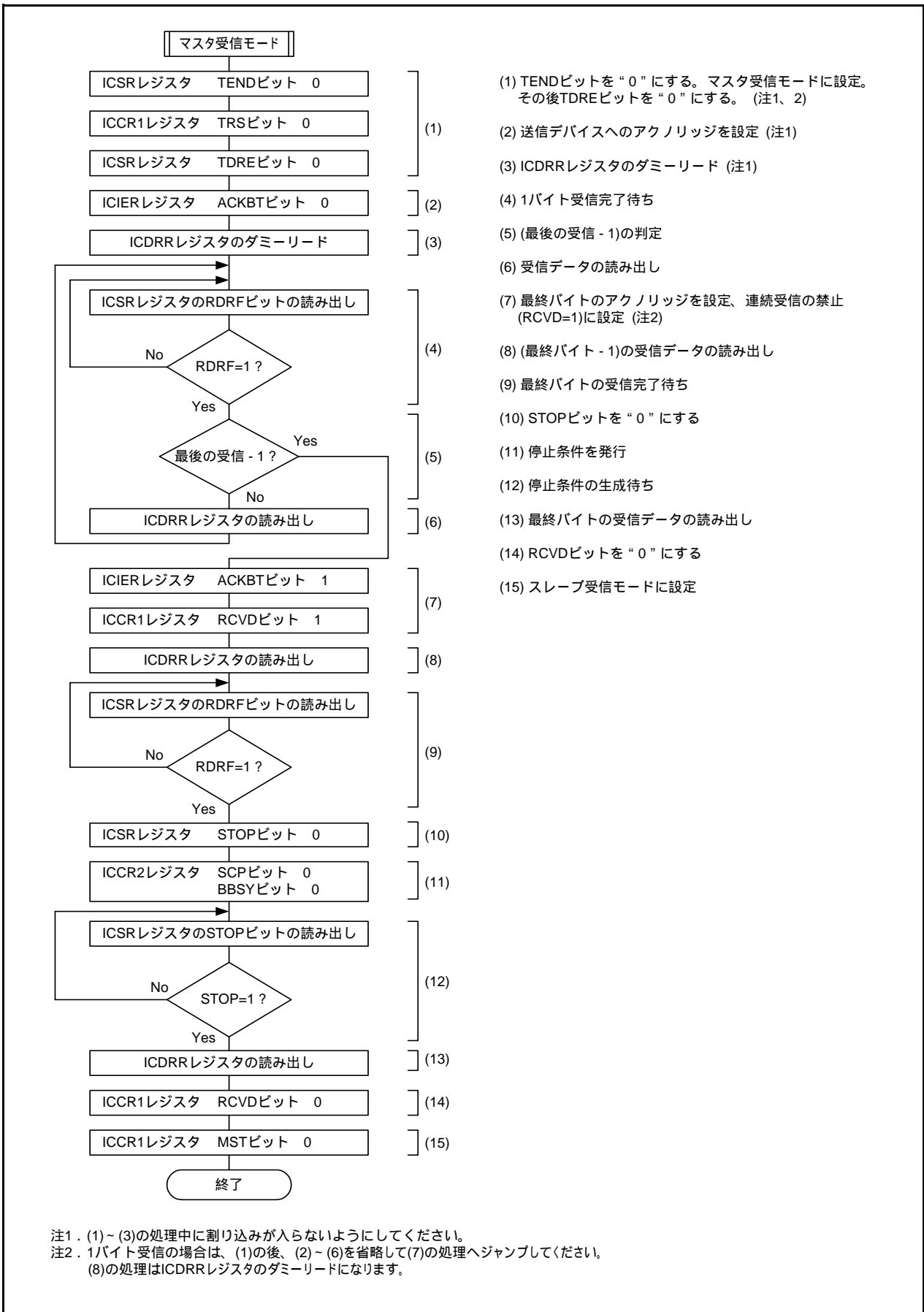


図 16.46 マスタ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

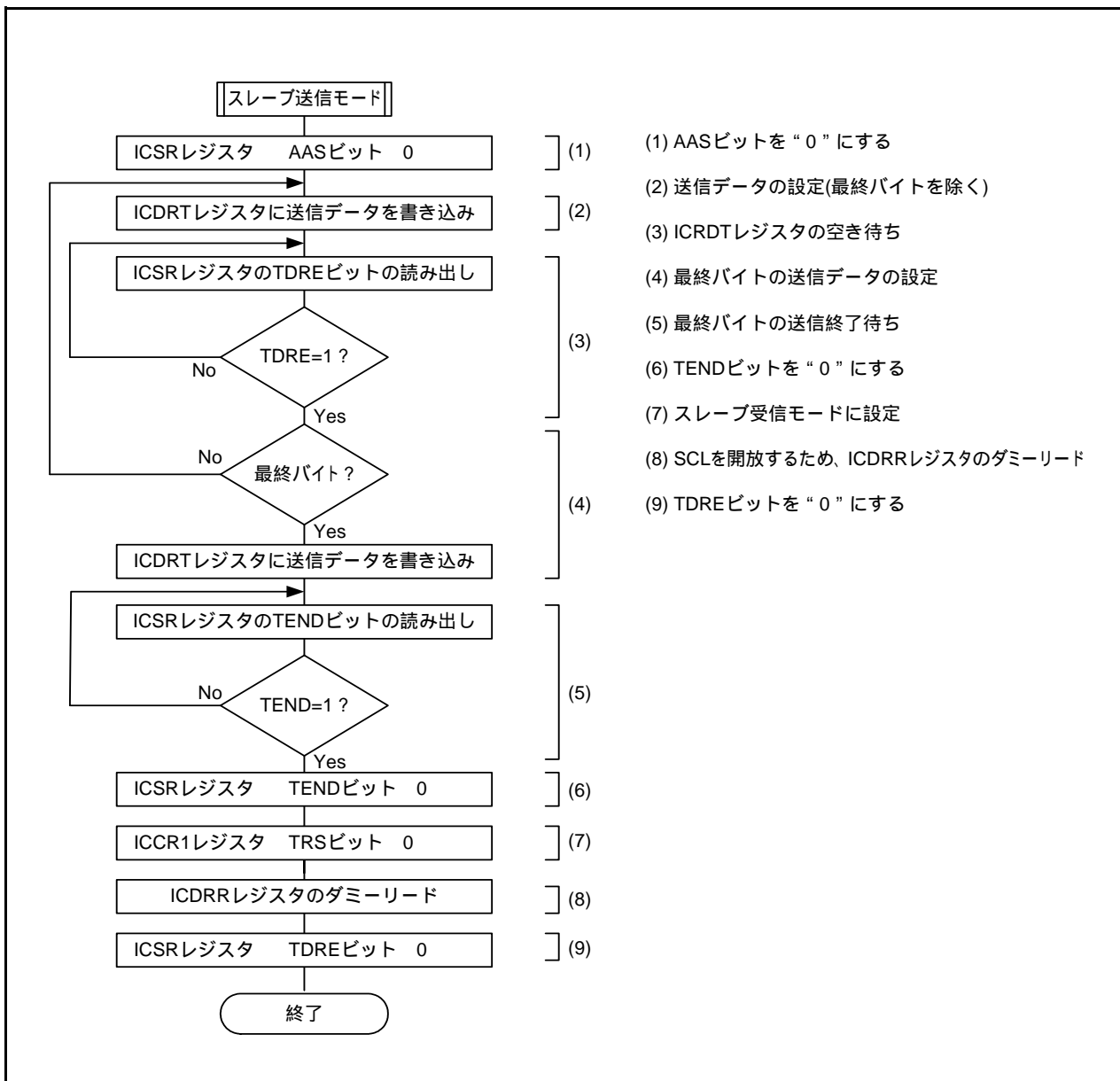


図 16.47 スレーブ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

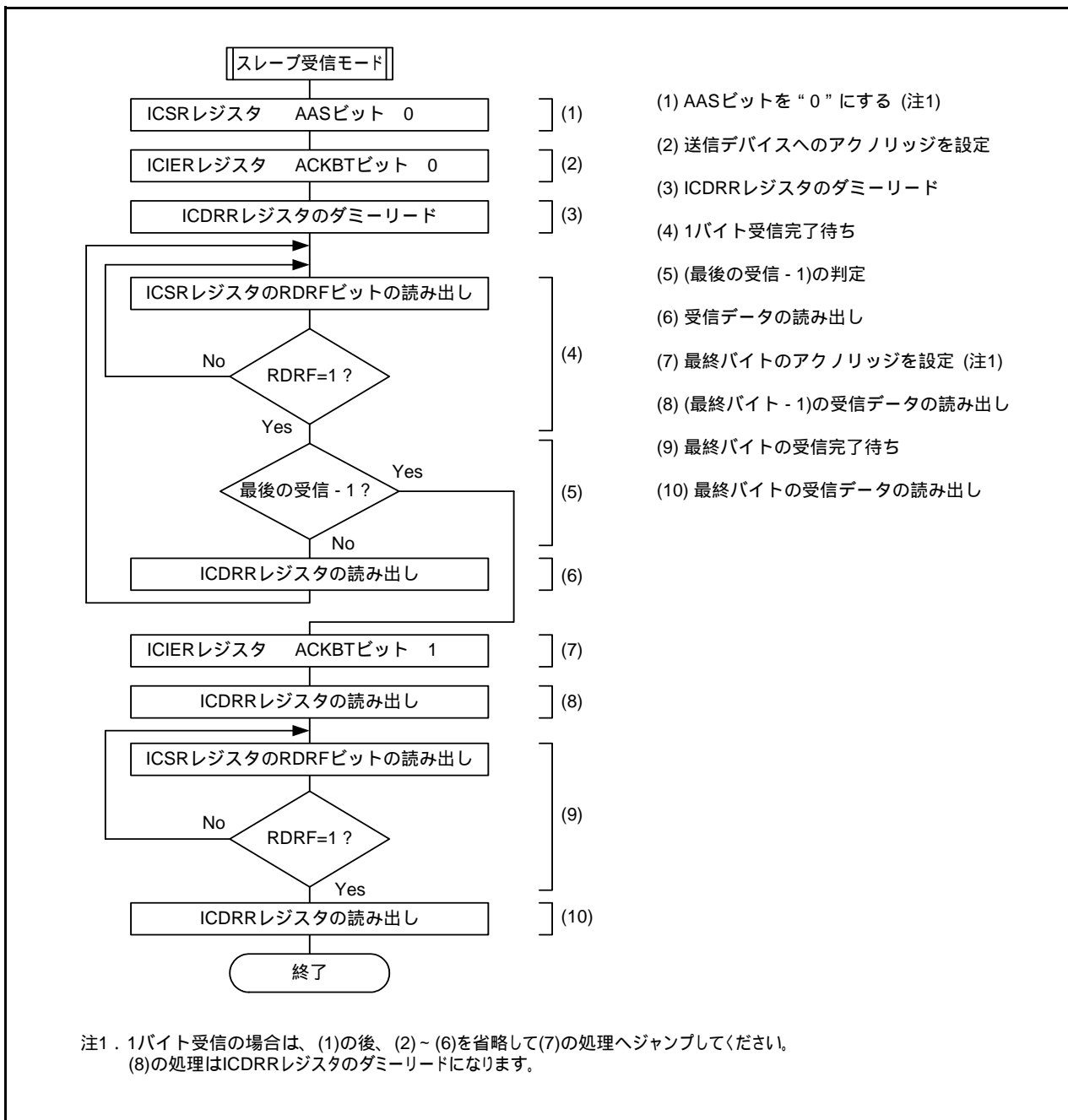


図 16.48 スレーブ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

16.3.8 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、PMRレジスタのIICSELビットを“1”(I²Cバスインタフェース機能を選択)にしてください。

16.3.8.1 I²Cバスインタフェース関連レジスタのアクセス

I²Cバスインタフェース関連レジスタ(00B8h番地～00BFh番地)の同一レジスタに対して、書いてから「3命令以上経過してから」または「4サイクル以上経過してから」読んでください。

•3命令以上待たせる例

```
プログラム例  MOV.B    #00h, 00BBh    ; ICIERレジスタを“00h”にする
                NOP
                NOP
                NOP
                MOV.B    00BBh, R0L
```

•4サイクル以上待たせる例

```
プログラム例  BCLR    6, 00BBh    ; 送信終了割り込み要求禁止
                JMP.B    NEXT
NEXT:
                BSET    7, 00BBh    ; 送信データエンプティ割り込み要求許可
```

17. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P1_0 ~ P1_3と端子を共用しています。これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。また、A/Dコンバータを使用しない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にするとVREF端子からラダー抵抗に電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、ADレジスタに格納されます

表17.1にA/Dコンバータの性能を、図17.1にA/Dコンバータのブロック図を、図16.2 ~ 図16.3にA/Dコンバータ関連のレジスタを示します。

表17.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ AVCC
動作クロック AD(注2)	4.2V AVCC 5.5Vのとき f1、f2、f4 2.7V AVCC < 4.2Vのとき f2、f4
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5Vのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 3LSB AVCC = Vref = 3.3Vのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB
動作モード	単発モード、繰り返しモード(注3)
アナログ入力端子	4本(AN8 ~ AN11)
A/D変換開始条件	・ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ・キャプチャ ADSTビットが“1”の状態ではタイマZ割り込み要求が発生する
1端子あたりの変換速度	・サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 ADサイクル ・サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. ADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

注3. 繰り返しモードは8ビットモード時のみ使用可能です。

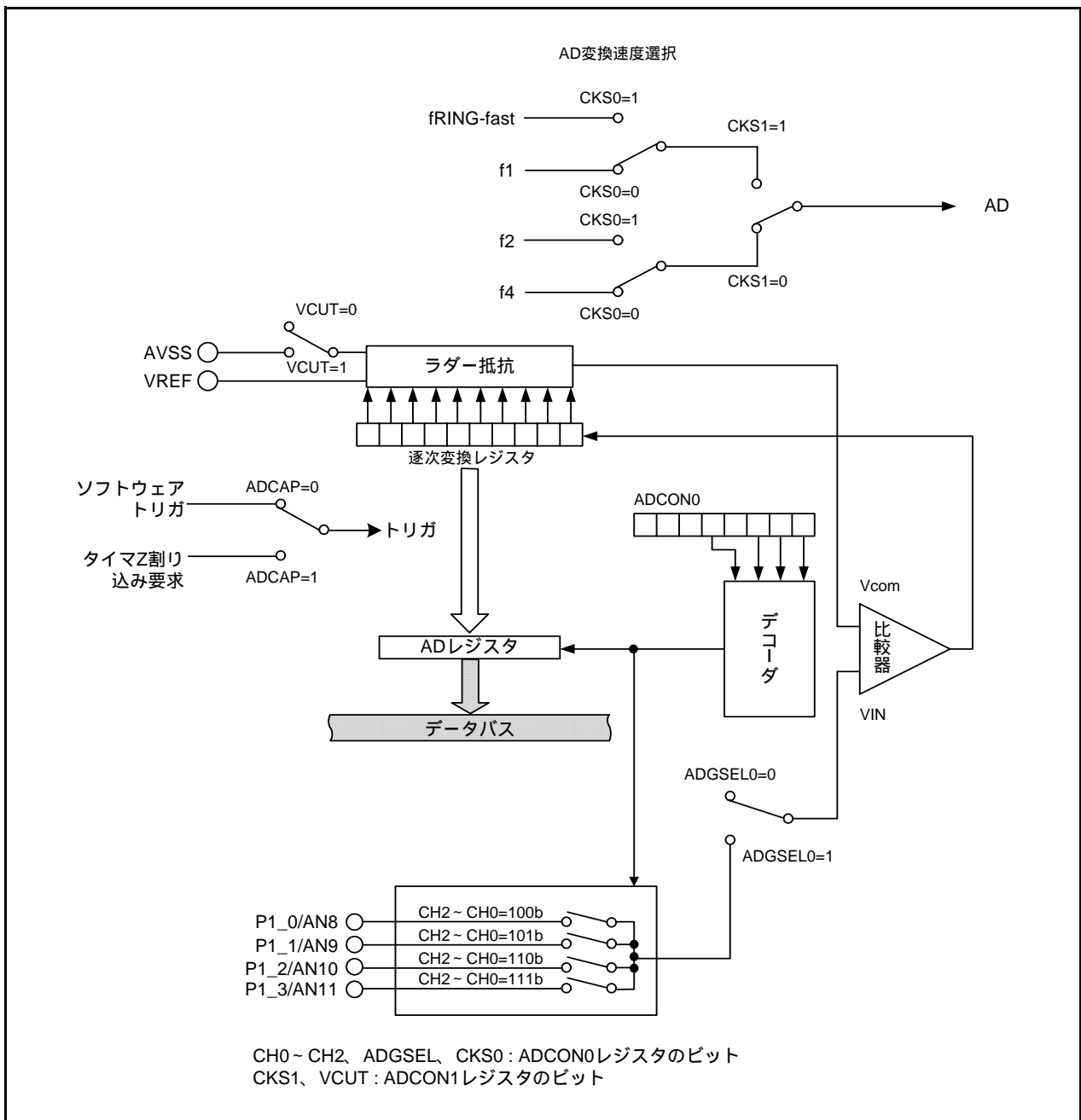


図17.1 A/Dコンバータのブロック図

A/D制御レジスタ0(注1)

シンボル ADCON0	アドレス 00D6h番地	リセット後の値 00000XXXb	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択 ビット(注2)	b2 b1 b0 1 0 0 : AN8	RW
CH1		1 0 1 : AN9	RW
CH2		1 1 0 : AN10 1 1 1 : AN11 上記以外 : 設定しないでください	RW
MD	A/D動作モード選択 ビット(注3)	0 : 単発モード 1 : 繰り返しモード	RW
ADGSELO	A/D入力グループ選択 ビット	0 : 無効 1 : 有効 (AN8 ~ AN11)	RW
ADCAP	A/D変換自動開始ビット	0 : ソフトウェアトリガ(ADSTビット)で開始 1 : キャプチャ(タイマZ割り込み要求)で開始	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0 : f4を選択 1 : f2を選択 [ADCON1レジスタのCKS1=1の場合] 0 : f1を選択(注4) 1 : fRING-fast	RW

注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。
 注2. CH0 ~ CH2ビットはADGSELOビットが“1”のとき有効になります。
 注3. A/D動作モードを変更した場合は、あらかじめアナログ入力端子を選択してください。
 注4. ADの周波数を10MHz以下にしてください。

A/D制御レジスタ1(注1)

シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0”にしてください。	RW
BITS	8/10ビットモード選択 ビット(注2)	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参照してください。	RW
VCUT	Vref接続ビット (注3)	0 : Vref未接続 1 : Vref接続	RW
- (b7-b6)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。
 注2. 繰り返しモード時は、BITSビットを“0”(8ビットモード)にしてください。
 注3. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図17.2 ADCON0 ~ ADCON1 レジスタ

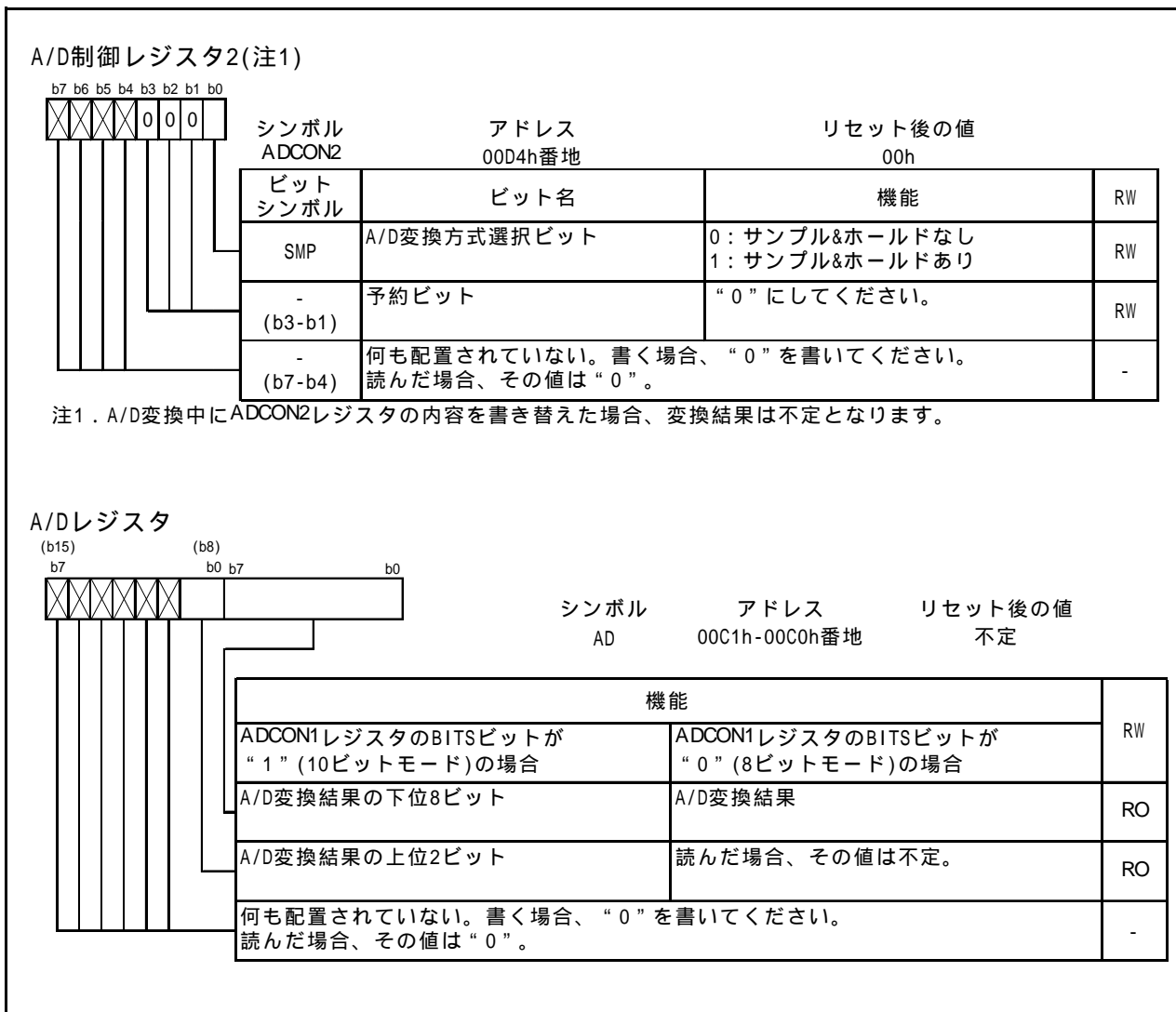


図17.3 ADCON2、ADレジスタ

17.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表17.2に単発モードの仕様を、図17.4に単発モード時のADCON0～ADCON1レジスタを示します。

表17.2 単発モードの仕様

項目	仕様
機能	CH2～CH0ビットで選択した端子の入力電圧を1回A/D変換する
開始条件	<ul style="list-style-type: none"> ・ ADCAPビットが“0”(ソフトウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にする ・ ADCAPビットが“1”(キャプチャ)の場合 ADSTビットが“1”の状態タイマZ割り込み要求が発生する
停止条件	<ul style="list-style-type: none"> ・ A/D変換終了(ADCAPビットが“0”(ソフトウェアトリガ)の場合、 ADSTビットが“0”になる) ・ ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN8～AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

A/D制御レジスタ0(注1)		シンボル ADCON0	アドレス 00D6h番地	リセット後の値 00000XXXb
ビット シンボル	ビット名	機能		RW
CH0	アナログ入力端子選択 ビット(注2)	b2 b1 b0	1 0 0 : AN8	RW
CH1		1 0 1 : AN9	RW	
CH2		1 1 0 : AN10 1 1 1 : AN11 上記以外: 設定しないでください	RW	
MD	A/D動作モード選択 ビット(注3)	0: 単発モード		RW
ADGSELO	A/D入力グループ選択 ビット	0: 無効 1: 有効 (AN8 ~ AN11)		RW
ADCAP	A/D変換自動開始ビット	0: ソフトウェアトリガ(ADSTビット)で開始 1: キャプチャ(タイマZ割り込み要求)で開始		RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始		RW
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注4) 1: fRING-fast		RW

注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。
 注2. CH0 ~ CH2ビットはADGSELOビットが“1”のとき有効になります。
 注3. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。
 注4. ADの周波数を10MHz以下にしてください。

A/D制御レジスタ1(注1)		シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h
ビット シンボル	ビット名	機能		RW
- (b2-b0)	予約ビット	“0” にしてください。		RW
BITS	8/10ビットモード選択 ビット	0: 8ビットモード 1: 10ビットモード		RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参照してください。		RW
VCUT	Vref接続ビット (注2)	1: Vref接続		RW
- (b7-b6)	予約ビット	“0” にしてください。		RW

注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。
 注2. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図17.4 単発モード時のADCON0 ~ ADCON1レジスタ

17.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表17.3に繰り返しモードの仕様を、図17.5に繰り返しモード時のADCON0～ADCON1レジスタを示します。

表17.3 繰り返しモードの仕様

項目	仕様
機能	CH2～CH0ビットで選択した端子の入力電圧を繰り返しA/D変換する
開始条件	<ul style="list-style-type: none"> ・ ADCAPビットが“0”(ソフトウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にする ・ ADCAPビットが“1”(キャプチャ)の場合 ADSTビットが“1”の状態でタイムZ割り込み要求が発生する
停止条件	ADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
入力端子	AN8～AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

A/D制御レジスタ0(注1)			
シンボル ADCON0	アドレス 00D6h番地	リセット後の値 0000XXXb	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択 ビット(注2)	b2 b1 b0 1 0 0 : AN8	RW
CH1		1 0 1 : AN9	RW
CH2		1 1 0 : AN10 1 1 1 : AN11 上記以外 : 設定しないでください	RW
MD	A/D動作モード選択 ビット(注3)	1 : 繰り返しモード	RW
ADGSELO	A/D入力グループ選択 ビット	0 : 無効 1 : 有効 (AN8 ~ AN11)	RW
ADCAP	A/D変換自動開始ビット	0 : ソフトウェアトリガ(ADSTビット)で開始 1 : キャプチャ(タイマZ割り込み要求)で開始	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0 : f4を選択 1 : f2を選択 [ADCON1レジスタのCKS1=1の場合] 0 : f1を選択(注4) 1 : fRING-fast	RW

注1 . A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。
 注2 . CH0 ~ CH2ビットはADGSELOビットが“1”のとき有効になります。
 注3 . A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。
 注4 . ADの周波数を10MHz以下にしてください。

A/D制御レジスタ1(注1)			
シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0” にしてください。	RW
BITS	8/10ビットモード選択 ビット(注2)	0 : 8ビットモード	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参照してください。	RW
VCUT	Vref接続ビット (注3)	1 : Vref接続	RW
- (b7-b6)	予約ビット	“0” にしてください。	RW

注1 . A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。
 注2 . 繰り返しモード時は、BITSビットを“0”(8ビットモード)にしてください。
 注3 . VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図17.5 繰り返しモード時のADCON0 ~ ADCON1レジスタ

17.3 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

A/D変換を行う際は、サンプリング時間内に、マイコン内部の比較器容量に充電をしてください。図17.6にA/D変換タイミング図を示します。

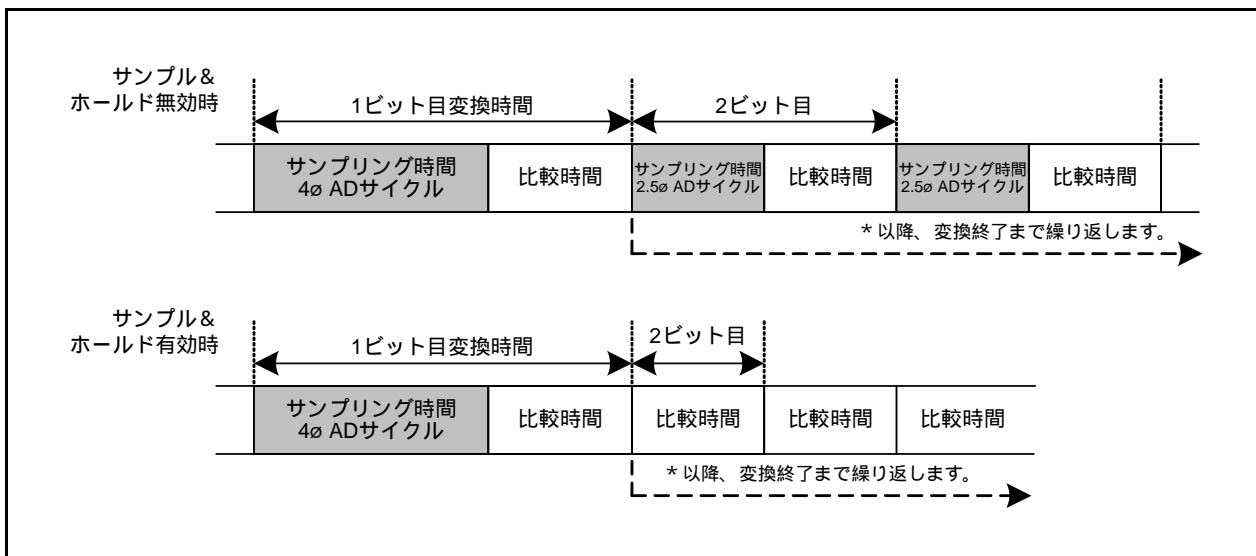


図17.6 A/D変換タイミング図

17.4 A/D変換サイクル数

図17.7にA/D変換サイクル数を示します。

		1ビット目変換時間		2ビット目以降の変換時間		終了処理	
A/D変換モード	変換時間	サンプリング時間	比較時間	サンプリング時間	比較時間	終了処理	
サンプル&ホールドなし 8ビット	49 AD	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD	
サンプル&ホールドなし 10ビット	59 AD	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD	
サンプル&ホールドあり 8ビット	28 AD	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD	
サンプル&ホールドあり 10ビット	33 AD	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD	

図17.7 A/D変換サイクル数

17.5 アナログ入力内部等価回路

図17.8にアナログ入力内部等価回路を示します。

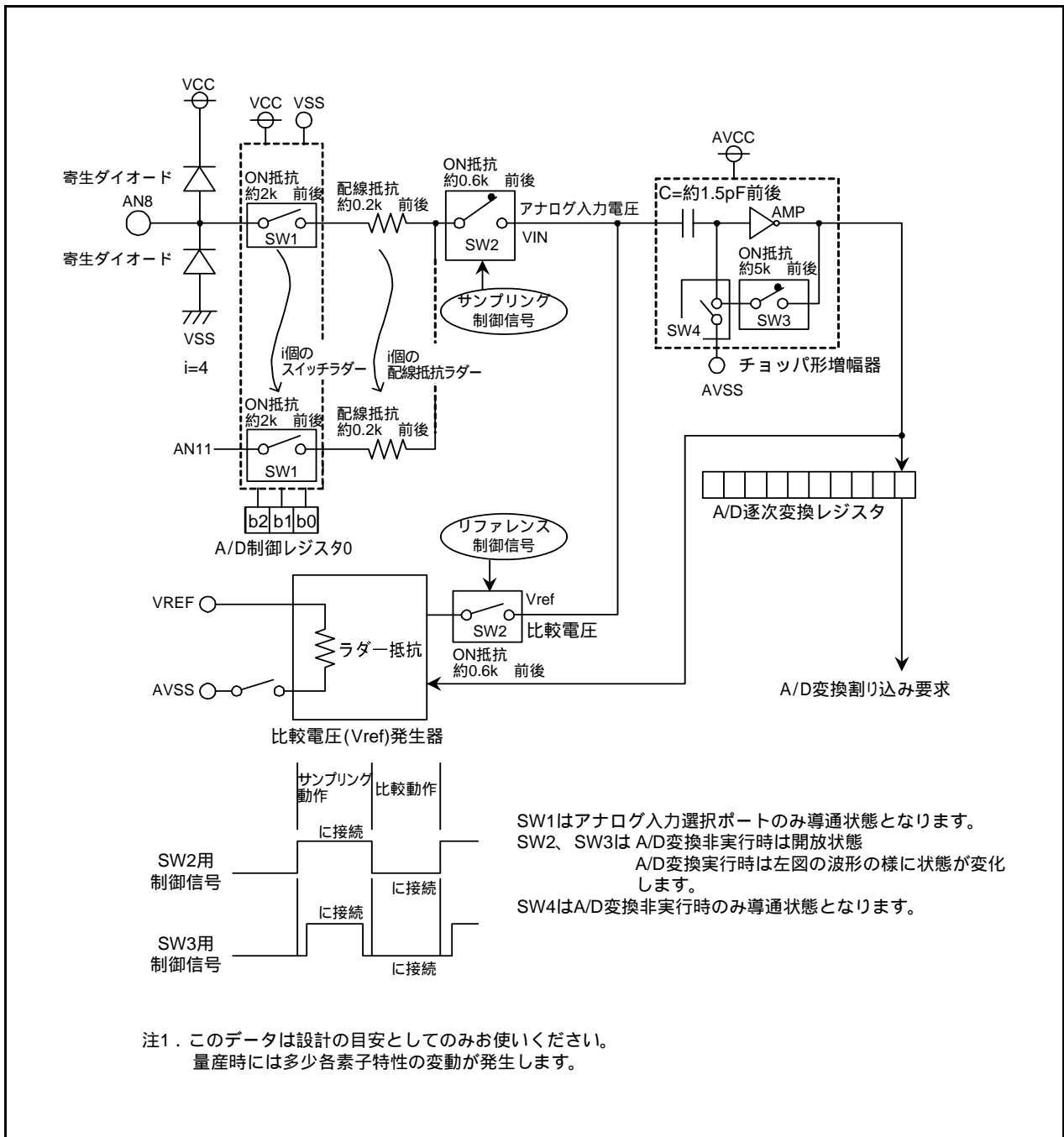


図17.8 アナログ入力内部等価回路

17.6 注入電流バイパス回路

図17.9に注入電流バイパス回路構成図を、図17.10に注入電流バイパス回路へVCC以上印加例を示します。

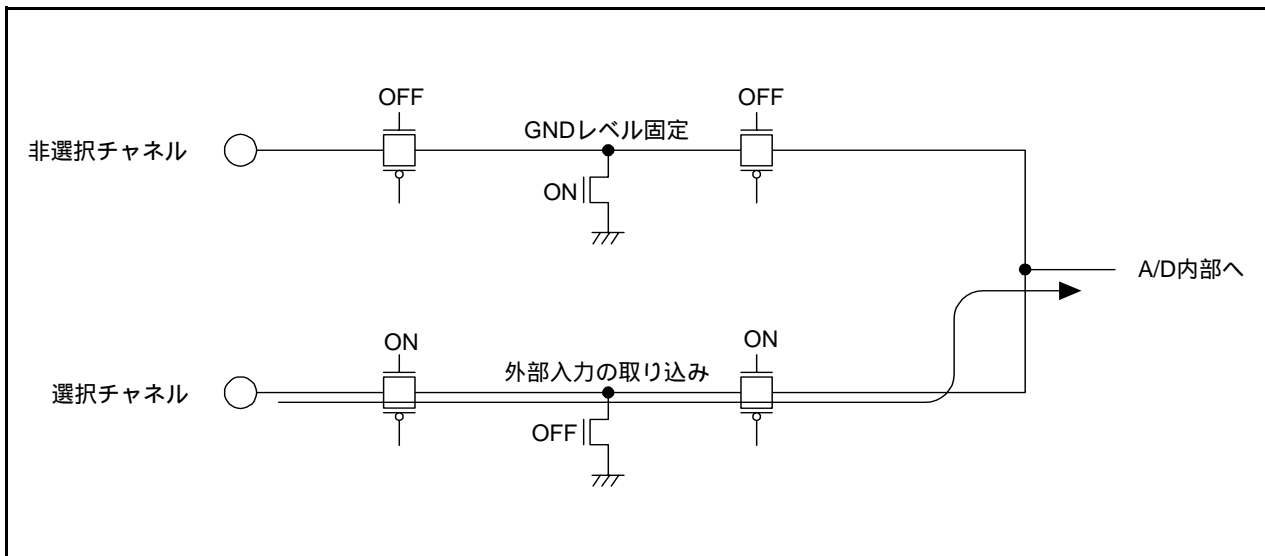


図17.9 注入電流バイパス回路構成図

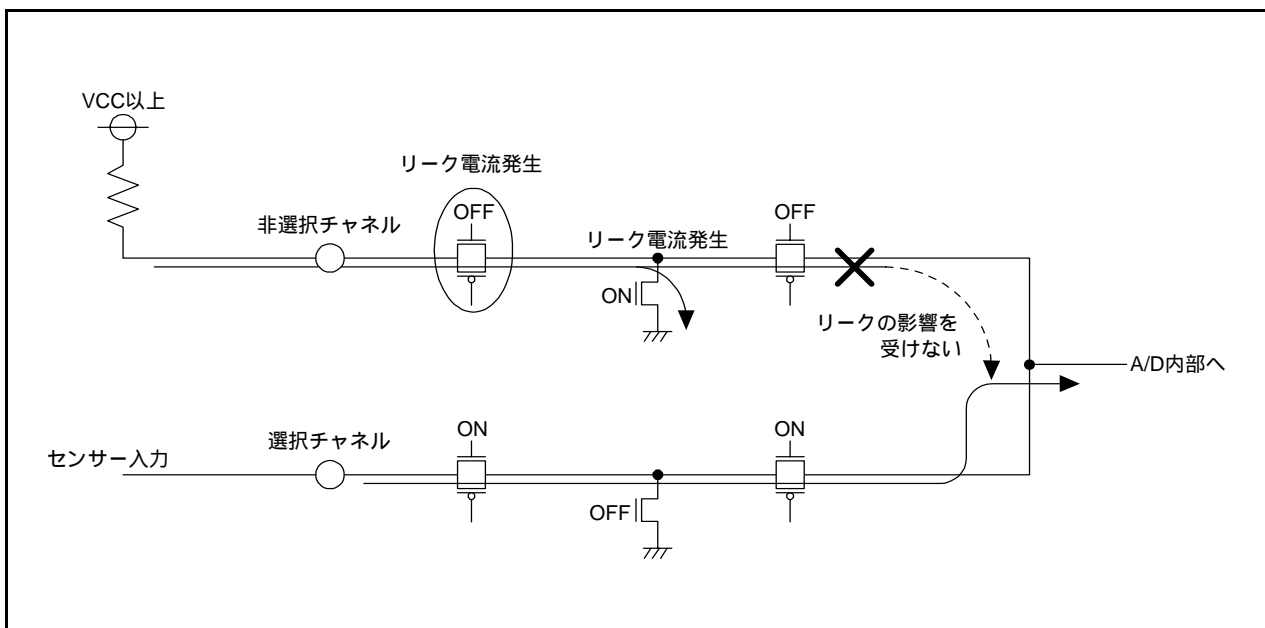


図17.10 注入電流バイパス回路へVCC以上印加例

17.7 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図17.11の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般にVC=VIN\left\{1-e^{-\frac{1}{C(R0+R)}t}\right\}$$

$$t=Tのとき、VC=VIN-\frac{X}{Y}VIN=VIN\left(1-\frac{X}{Y}\right)より、$$

$$e^{-\frac{1}{C(R0+R)}T}=\frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T=\ln\frac{X}{Y}$$

$$よって、R0=-\frac{T}{C\cdot\ln\frac{X}{Y}}-R$$

図17.11にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなる時、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(XIN)=10MHzのとき、サンプル&ホールドなしA/D変換モードではT=0.25μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます

T=0.25μs、R=2.8k、C=6.0pF、X=0.1、Y=1024だから、

$$R0=-\frac{0.25\times 10^{-6}}{6.0\times 10^{-12}\cdot\ln\frac{0.1}{1024}}-2.8\times 10^3\approx 1.7\times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大1.7k になります。

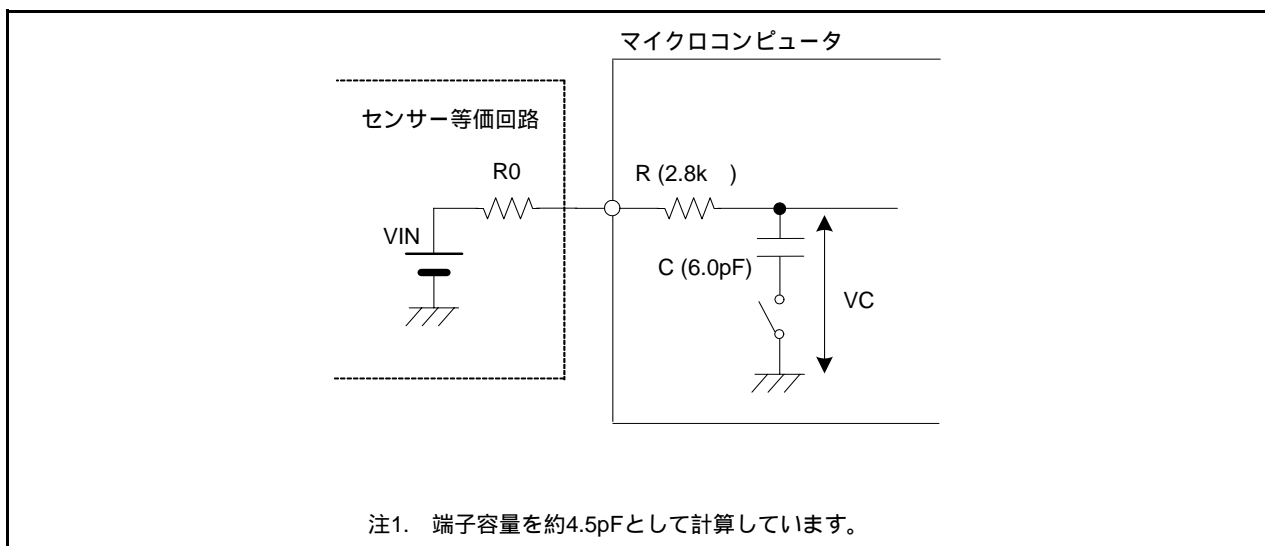


図17.11 アナログ入力端子と外部センサーの等価回路例

17.8 A/Dコンバータ使用上の注意

- ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのSMPビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。特にVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
- A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合
A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADICレジスタのIRビット、またはADCON0レジスタのADSTビットで判定できます)。
- 繰り返しモードで使用する場合
CPUクロックは、メインクロックを分周せずに使用してください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。

18. フラッシュメモリ

18.1 概要

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードで操作できます。

表18.1にフラッシュメモリの性能概要を示します(表18.1に示す以外の項目は「表1.1 R8C/1Aグループの性能概要」、「表1.2 R8C/1Bグループの性能概要」を参照してください)。

表18.1 フラッシュメモリの性能概要

項目	性能
フラッシュメモリの動作モード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力モード)
消去ブロック分割	図18.1、図18.2を参照してください。
プログラム方式	バイト単位
イレーズ方式	ブロック消去
プログラム、イレーズ制御方式	ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	FMR0レジスタのFMR02ビットによるブロック0、ブロック1に対する書き換え制御 FMR1レジスタのFMR15、FMR16ビットによるブロック0、ブロック1に対する個別の書き換え制御
コマンド数	5コマンド
プログラム、イレーズ回数(注1)	ブロック0、1(プログラムROM) R8C/1Aグループ: 100回; R8C/1Bグループ: 1,000回 ブロックA、B(データフラッシュ)(注2) 10,000回
IDコードチェック機能	標準シリアル入出力モード対応
ROMコードプロテクト	パラレル入出力モード対応

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KブロックのブロックAについて、1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するように書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注2. R8C/1Bグループだけが内蔵します。

表18.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード: フラッシュメモリ以外の領域で書き換え可能 EW1モード: フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライタ		シリアルライタ	パラレルライタ

18.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。図18.1にR8C/1Aグループのフラッシュメモリのブロック図を、図18.2にR8C/1Bグループのフラッシュメモリのブロック図を示します。

R8C/1BグループのユーザROM領域には、マイコンの動作プログラムを格納する領域(プログラムROM)とは別に、1KバイトのブロックAおよび1KバイトのブロックB(データフラッシュ)があります。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブロック0、ブロック1を、CPU書き換えモードで書き換える場合は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。ブートROM領域は、ユーザROM領域と重なったアドレスに配置されていますが、メモリは別に存在します。

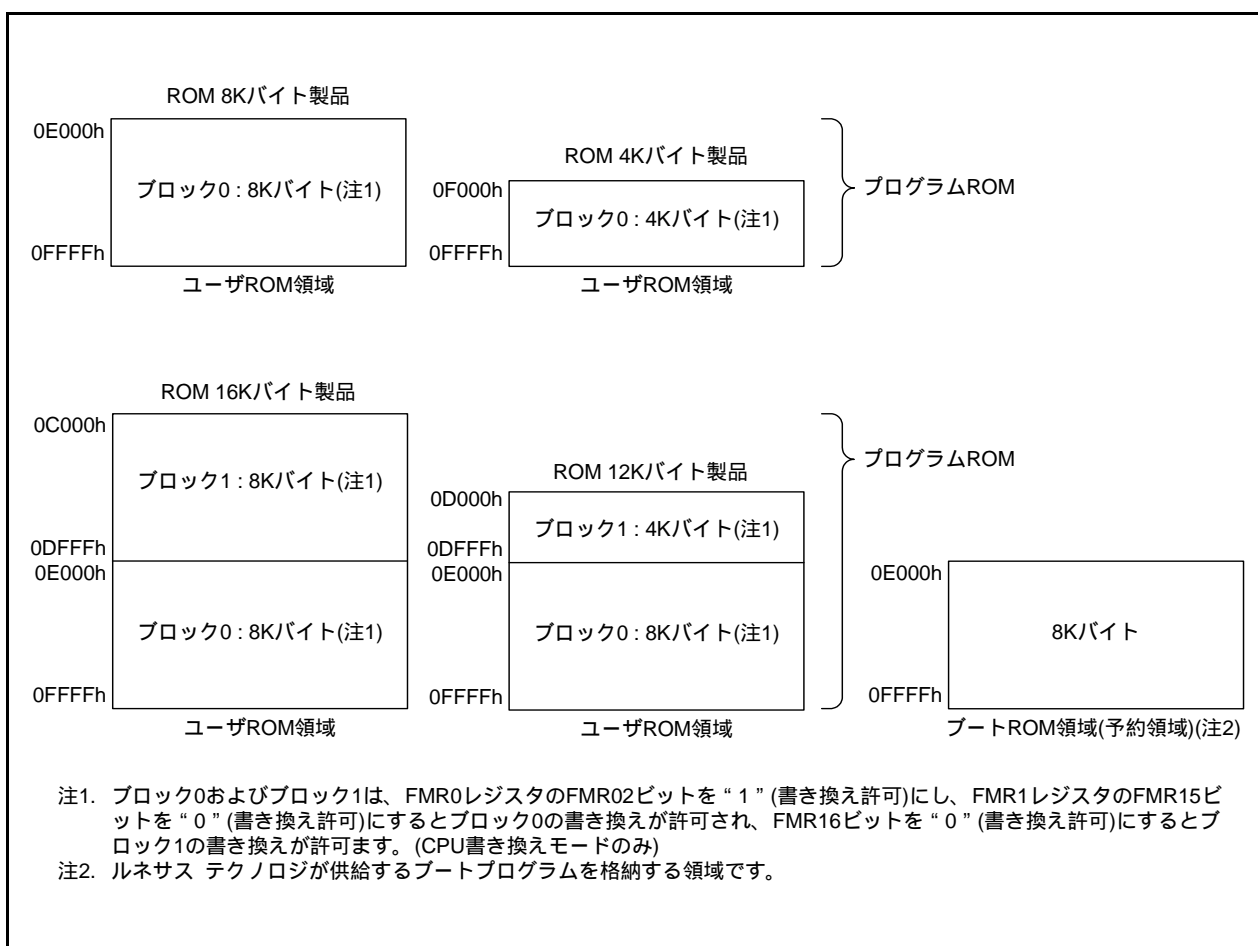
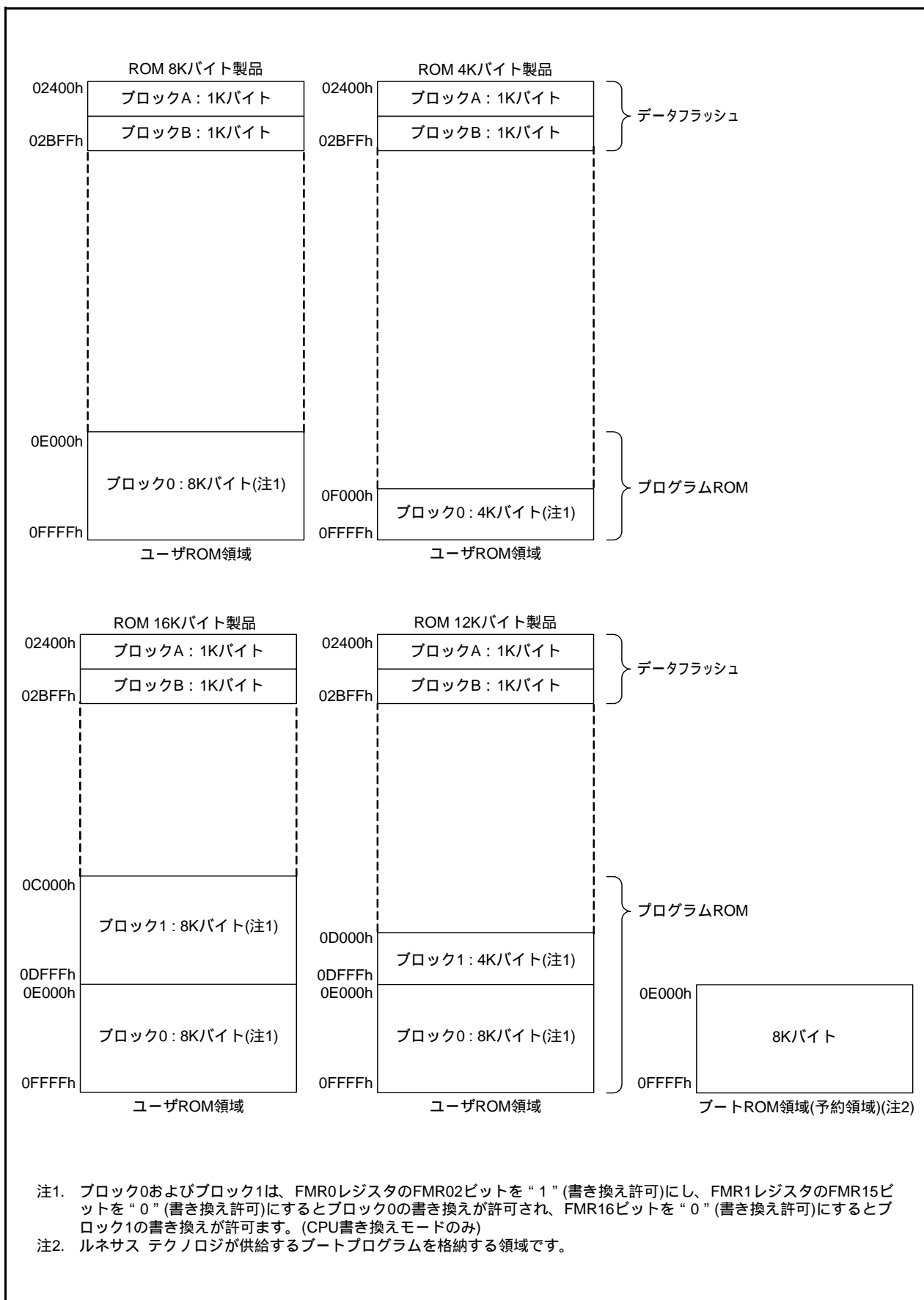


図18.1 R8C/1Aグループのフラッシュメモリのブロック図



注1. ブロック0およびブロック1は、FMR0レジスタのFMR02ビットを“1”（書き換え許可）にし、FMR1レジスタのFMR15ビットを“0”（書き換え許可）にするとブロック0の書き換えが許可され、FMR16ビットを“0”（書き換え許可）にするとブロック1の書き換えが許可されます。（CPU書き換えモードのみ）
 注2. ルネサス テクノロジが供給するブートプログラムを格納する領域です。

図18.2 R8C/1Bグループのフラッシュメモリのブロック図

18.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

18.3.1 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から00FFDFh、00FFE3h、00FFE7h、00FEFh、00FFF3h、00FFF7h、00FFFBh番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

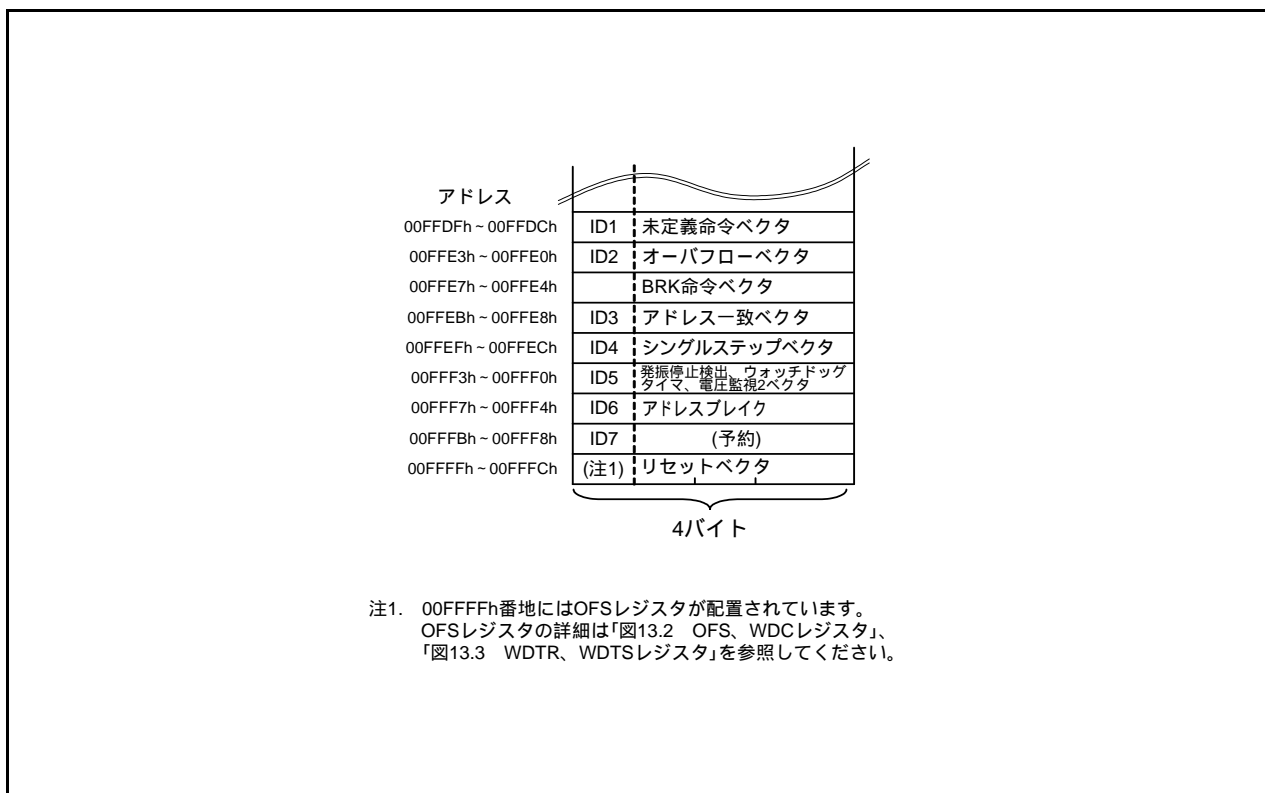


図18.3 IDコードの格納番地

18.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタによって、内蔵フラッシュメモリの内容の読み出し、変更を禁止する機能です。図18.4にOFSレジスタを示します。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、変更が禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

オプション機能選択レジスタ(注1)

シンボル OFS	アドレス 0FFFFh番地	出荷時の値 FFh(注2)	
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイム 起動選択ビット	0: リセット後、ウォッチドッグタイムは自動的 に起動 1: リセット後、ウォッチドッグタイムは停止 状態	RW
- (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b6-b4)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。
注2. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図18.4 OFSレジスタ

18.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードで自動書き込み動作中に割り込み要求が発生した場合に、自動書き込み動作を一時中断して割り込み処理を行うプログラムサスペンド機能を持ちます。プログラムサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表18.3にEW0モードとEW1モードの違いを示します。

表18.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く(注1)
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
リードステータスレジスタ後のモード	リードステータスレジスタモード	コマンドを実行しないでください。
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレーズサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可されたマスクابل割り込みの割り込み要求が発生
プログラムサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR42ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可されたマスクابل割り込みの割り込み要求が発生
CPUクロック	5MHz以下	左記制限なし(使用するクロック周波数)

注1. ブロック0、ブロック1は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

18.4.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを“1”(サスペンド許可)、FMR41ビットを“1”(イレーズサスペンドリクエスト)にしてください。そしてtd(SR-SUS)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

自動書き込み中に、プログラムサスペンドに移行する場合は、FMR40ビットを“1”(サスペンド許可)、FMR42ビットを“1”(プログラムサスペンドリクエスト)にしてください。そしてtd(SR-SUS)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR42ビットを“0”(プログラムリスタート)にすると、自動書き込みを再開します。

18.4.2 EW1モード

FMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR11ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタコマンドを実行しないでください。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR40ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。ブロックイレーズコマンド実行からtd(SR-SUS)後、割り込み要求が受け付けられます。

割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

自動書き込み時、プログラムサスペンド機能を有効にする場合には、FMR40ビットを“1”(サスペンド許可)にしてからプログラムコマンドを実行してください。またプログラムサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。プログラムコマンド実行からtd(SR-SUS)後、割り込み要求が受け付けられます。

割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、自動書き込みが中断されます。割り込み処理終了後、自動書き込みが完了していないとき(FMR00ビットが“0”)は、FMR42ビットを“0”(プログラムリスタート)にして自動書き込みを再開させてください。

図18.5にFMR0レジスタ、図18.6にFMR1レジスタ、図18.7にFMR4レジスタを示します。

18.4.2.1 FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中(サスペンド期間を含む)は“0”、それ以外のときには“1”になります。

18.4.2.2 FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

18.4.2.3 FMR02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0とブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けません。

FMR02ビットが“1”(書き換え許可)のとき、ブロック0とブロック1はFMR15、FMR16ビットで書き換えが制御されます。

18.4.2.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合

- オンチップオシレータモード(メインクロック停止)でさらに低消費電力にする場合

図18.11にオンチップオシレータモード(メインクロック停止)でさらに低消費電力にする処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

18.4.2.5 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「18.4.5 フルステータスチェック」を参照してください。

18.4.2.6 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「18.4.5 フルステータスチェック」を参照してください。

18.4.2.7 FMR11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

18.4.2.8 FMR15ビット

FMR02ビットが“1”(書き換え許可)で、FMR15ビットが“0”(書き換え許可)のとき、ブロック0はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

18.4.2.9 FMR16ビット

FMR02ビットが“1”(書き換え許可)で、FMR16ビットが“0”(書き換え許可)のとき、ブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

18.4.2.10 FMR40 ビット

FMR40ビットを“1”(許可)にすると、サスペンド機能が許可されます。

18.4.2.11 FMR41 ビット

EW0モードでは、プログラムでFMR41ビットを“1”にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0”(イレーズリスタート)にしてください。

18.4.2.12 FMR42 ビット

EW0モードでは、プログラムでFMR42ビットを“1”にすると、プログラムサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、プログラムサスペンドモードに移行します。

自動書き込み動作を再開するときは、FMR42ビットを“0”(プログラムリスタート)にしてください。

18.4.2.13 FMR43 ビット

自動消去を開始すると、FMR43ビットが“1”(イレーズ実行中)になります。イレーズサスペンド中もFMR43ビットは“1”(イレーズ実行中)のままです。

自動消去が終了すると、FMR43ビットが“0”(イレーズ未実行)になります。

18.4.2.14 FMR44 ビット

自動書き込みを開始すると、FMR44ビットが“1”(プログラム実行中)になります。プログラムサスペンド中もFMR44ビットは“1”(プログラム実行中)のままです。

自動書き込みが終了すると、FMR44ビットが“0”(プログラム未実行)になります。

18.4.2.15 FMR46 ビット

自動消去実行中は、FMR46ビットが“0”(リード禁止)になります。サスペンドモード中は“1”(リード許可)になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

18.4.2.16 FMR47 ビット

FMR47ビットを“1”(許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

フラッシュメモリ制御レジスタ0

シンボル FMR0	アドレス 01B7h番地	リセット後の値 00000001b	
ビット シンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー (書き込み、消去実行中) 1: レディ	RO
FMR01	CPU書き換えモード選択 ビット(注1)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ブロック0、ブロック1書き 換え許可ビット(注2、6)	0: 書き換え禁止 1: 書き換え許可	RW
FMSTP	フラッシュメモリ停止 ビット(注3、5)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ 初期化)	RW
- (b5-b4)	予約ビット	"0" にしてください。	RW
FMR06	プログラムステータス フラグ(注4)	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータス フラグ(注4)	0: 正常終了 1: エラー終了	RO

注1. "1" にするときは、"0" を書いた後、続けて"1" を書いてください。"0" を書いた後、"1" を書くまでに割り込みが入らないようにしてください。
このビットはリードアレイモードにしてから"0" にしてください。

注2. "1" にするときは、FMR01ビットが"1" の状態で、このビットに"0" を書いた後、続けて"1" を書いてください。"0" を書いた後、"1" を書くまでに割り込みが入らないようにしてください。

注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。

注4. クリアステータスコマンドを実行すると"0" になります。

注5. FMR01ビットが"1" (CPU書き換えモード) のとき有効です。FMR01ビットが"0" のとき、FMSTPビットに"1" を書くとFMSTPビットは"1" になりますが、フラッシュメモリは低消費電力状態にならず、初期化もされません。

注6. FMR01ビットを"0" (CPU書き換えモード無効) にすると、FMR02ビットは"0" (書き換え禁止) になります。

図18.5 FMR0レジスタ

フラッシュメモリ制御レジスタ1

シンボル	アドレス	リセット後の値	
FMR1	01B5h番地	1000000Xb	
ビットシンボル	ビット名	機能	RW
- (b0)	予約ビット	読んだ場合、不定	RO
FMR11	EW1モード選択ビット (注1、2)	0: EW0モード 1: EW1モード	RW
- (b4-b2)	予約ビット	“0” にしてください。	RW
FMR15	ブロック0書き換え禁止ビット (注2、3)	0: 書き換え許可 1: 書き換え禁止	RW
FMR16	ブロック1書き換え禁止ビット (注2、3)	0: 書き換え許可 1: 書き換え禁止	RW
- (b7)	予約ビット	“1” にしてください。	RW

注1. “1” にするときは、FMR01ビットが“1” (CPU書き換えモード有効)の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. FMR01ビットを“0” (CPU書き換えモード無効)にすると、“0”になります。

注3. FMR01ビットが“1” (CPU書き換えモード有効)のとき、FMR15およびFMR16ビットに書けます。“0”にするときは、このビットに“1”を書いた後、続けて“0”を書いてください。“1”にするときは、このビットに“1”を書いてください。

図18.6 FMR1レジスタ

フラッシュメモリ制御レジスタ4

シンボル FMR4 ビット シンボル	アドレス 01B3h番地	リセット後の値 01000000b	機能	RW
FMR40	サスペンド機能 許可ビット(注1)	0: 禁止 1: 許可		RW
FMR41	イレーズサスペンド リクエストビット(注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト		RW
FMR42	プログラムサスペンド リクエストビット(注3)	0: プログラムリスタート 1: プログラムサスペンドリクエスト		RW
FMR43	イレーズコマンドフラグ	0: イレーズ未実行 1: イレーズ実行中		RO
FMR44	プログラムコマンド フラグ	0: プログラム未実行 1: プログラム実行中		RO
- (b5)	予約ビット	“0” にしてください。		RO
FMR46	リードステータスフラグ	0: リード禁止 1: リード許可		RO
FMR47	低消費電流リードモード 許可ビット(注1、4、5)	0: 禁止 1: 許可		RW

注1. “1” にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。
“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. FMR41ビットはFMR40ビットが“1”(許可)のときのみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ、書き込みが可能となります。(上記期間以外は“0”になります。)
EW0モードではこのビットはプログラムによって“0”、“1”書き込みが可能となります。
EW1モードではFMR40ビットが“1”のとき、消去中にマスクブル割り込みが発生すると自動的に“1”になります。プログラムによって“1”を書き込むことはできません。(“0”書き込みは可能)

注3. FMR42ビットはFMR40ビットが“1”(許可)のときのみ有効になり、プログラムコマンド発行から自動書き込み終了までの期間のみ、このビットへの書き込みが可能となります。(上記期間以外は“0”になります。)
EW0モードではこのビットはプログラムによって“0”、“1”書き込みが可能となります。
EW1モードではFMR40ビットが“1”のとき、自動書き込み中にマスクブル割り込みが発生すると自動的に“1”になります。プログラムによって“1”を書き込むことはできません。(“0”書き込みは可能)

注4. 高速クロックモード、高速オンチップオシレータモードでは、FMR47ビットを“0”(禁止)にしてください。

注5. このモードはプログラム、イレーズ時は使用できません。FMR47ビットを“0”(禁止)にしてください。

図18.7 FMR4レジスタ

図18.8にサスペンド動作に関するタイミングを示します。

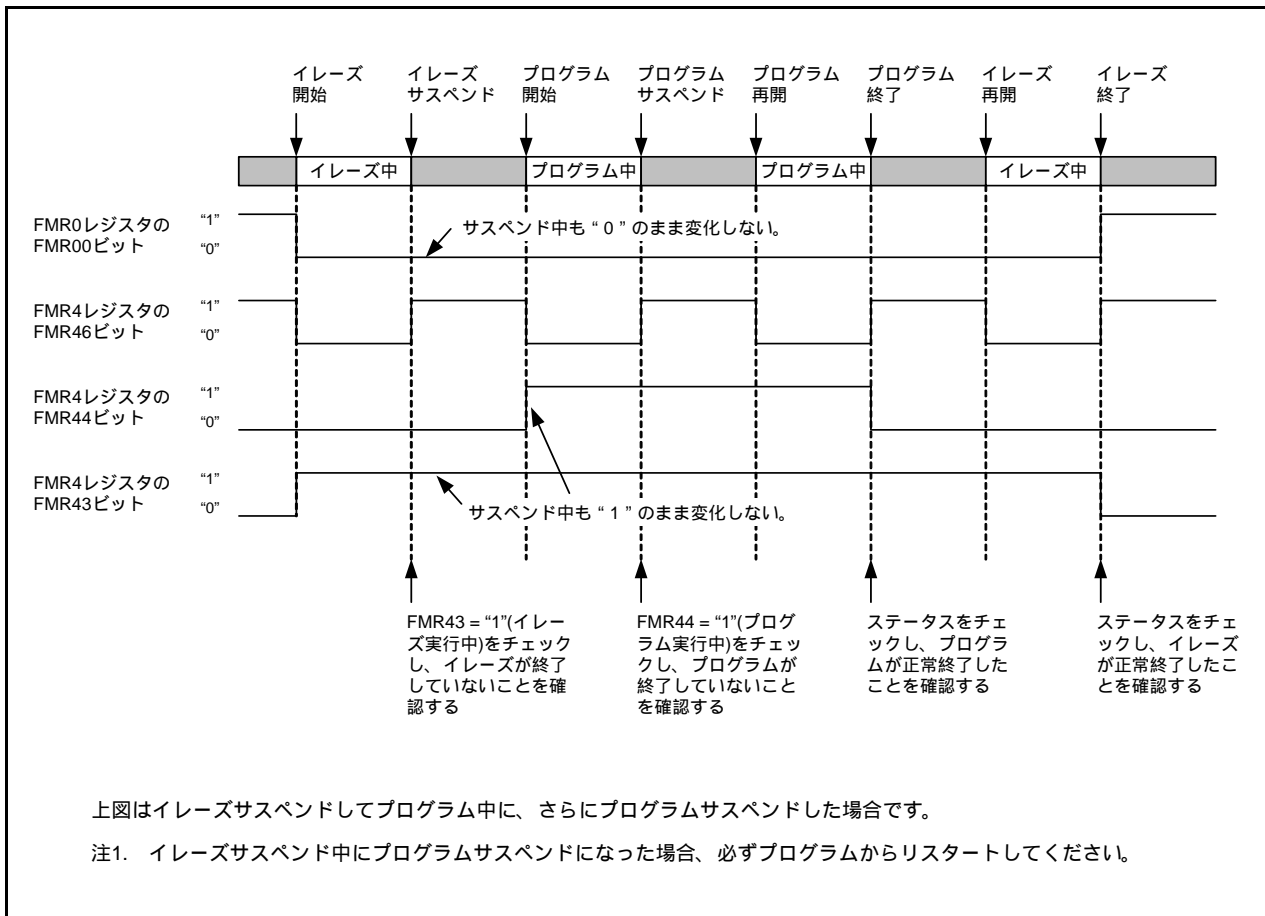


図18.8 サスペンド動作に関するタイミング

図 18.9にEW0モードの設定と解除方法を、図18.10にEW1モードの設定と解除方法を示します。

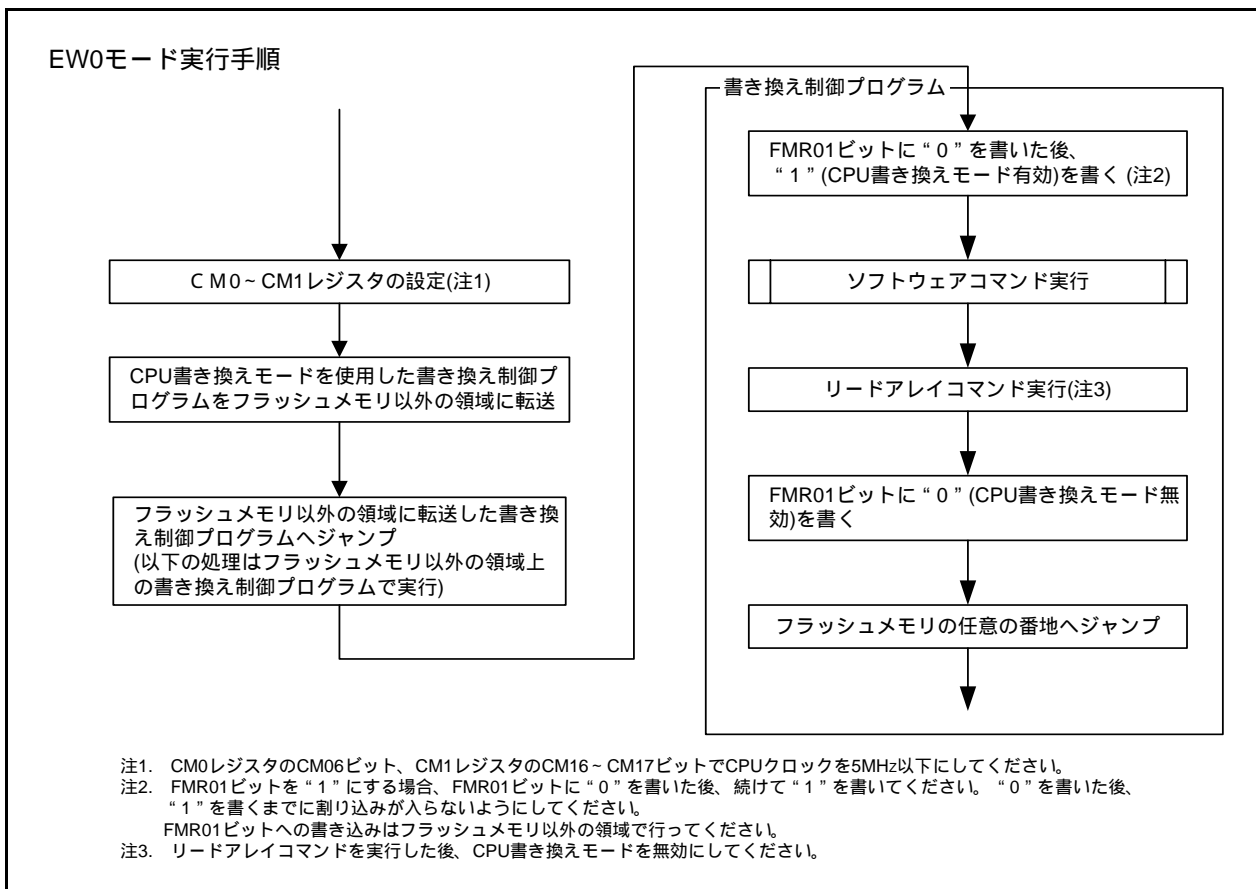


図 18.9 EW0モードの設定と解除方法

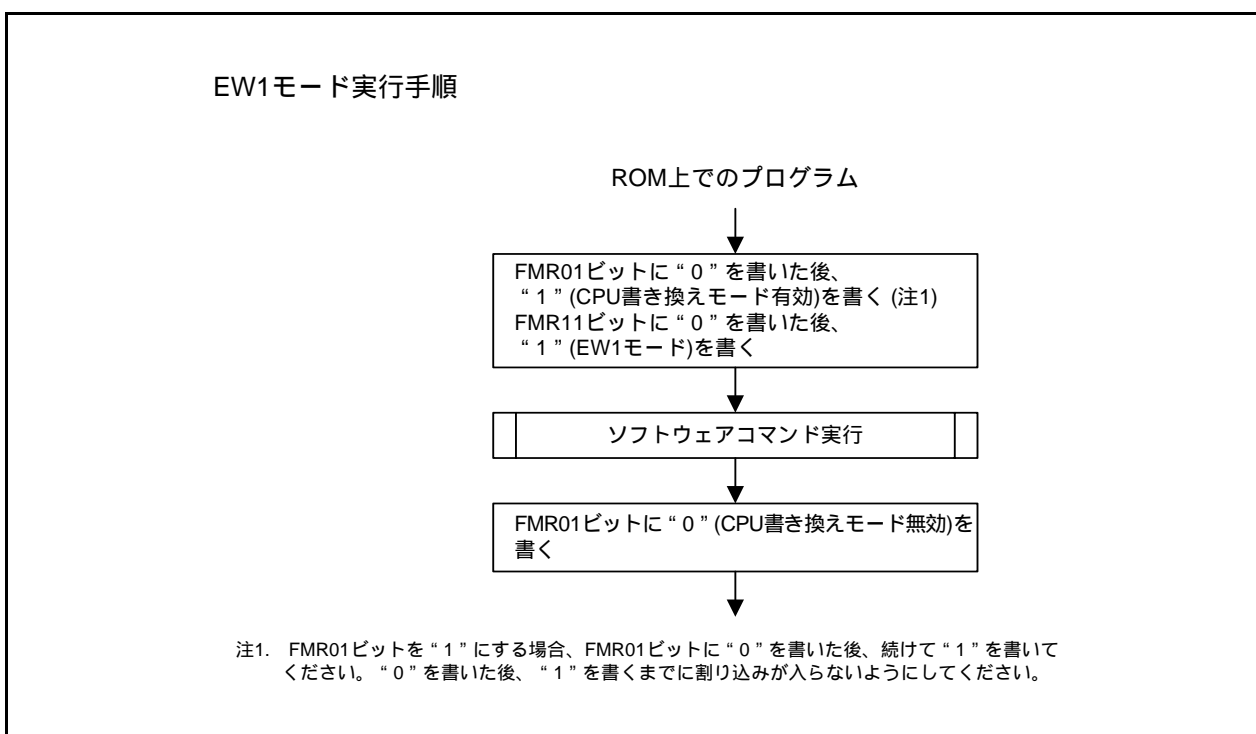


図 18.10 EW1モードの設定と解除方法

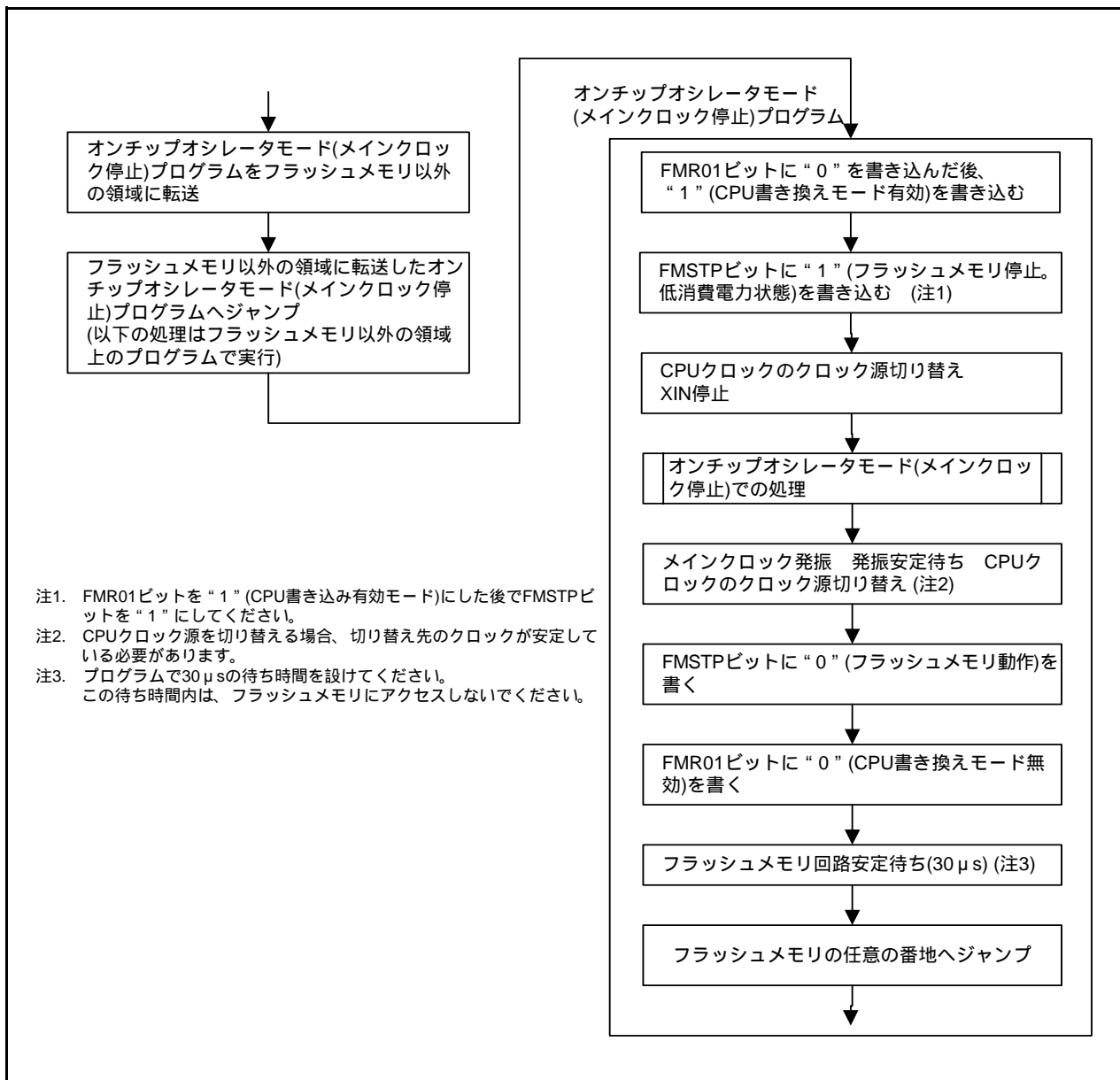


図18.11 オンチップオシレータモード(メインクロック停止)でさらに低消費電力にする処理

18.4.3 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

表18.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D7 ~ D0)	モード	アドレス	データ (D7 ~ D0)
リードアレイ	ライト	x	FFh			
リードステータスレジスタ	ライト	x	70h	リード	x	SRD
クリアステータスレジスタ	ライト	x	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h

SRD : ステータスレジスタデータ (D7 ~ D0)。

WA : 書き込み番地 (第1バスサイクルのアドレスは第2バスサイクルのアドレスと同一番地にしてください)。

WD : 書き込みデータ (8ビット)。

BA : ブロックの任意の番地。

x : ユーザROM領域内の任意の番地

18.4.3.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後はリードアレイモードになります。

18.4.3.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「18.4.4 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

リードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

18.4.3.3 クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FMR0レジスタのFMR06 ~ FMR07ビットとステータスレジスタのSR4 ~ SR5が“0”になります。

18.4.3.4 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。サスペンド機能禁止時、FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

サスペンド機能許可時、FMR44ビットは、自動書き込み期間中は“1”、終了後は“0”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「18.4.5 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

図18.12にプログラムフローチャート(サスペンド機能禁止時)、図18.13にプログラムフローチャート(サスペンド機能許可時)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

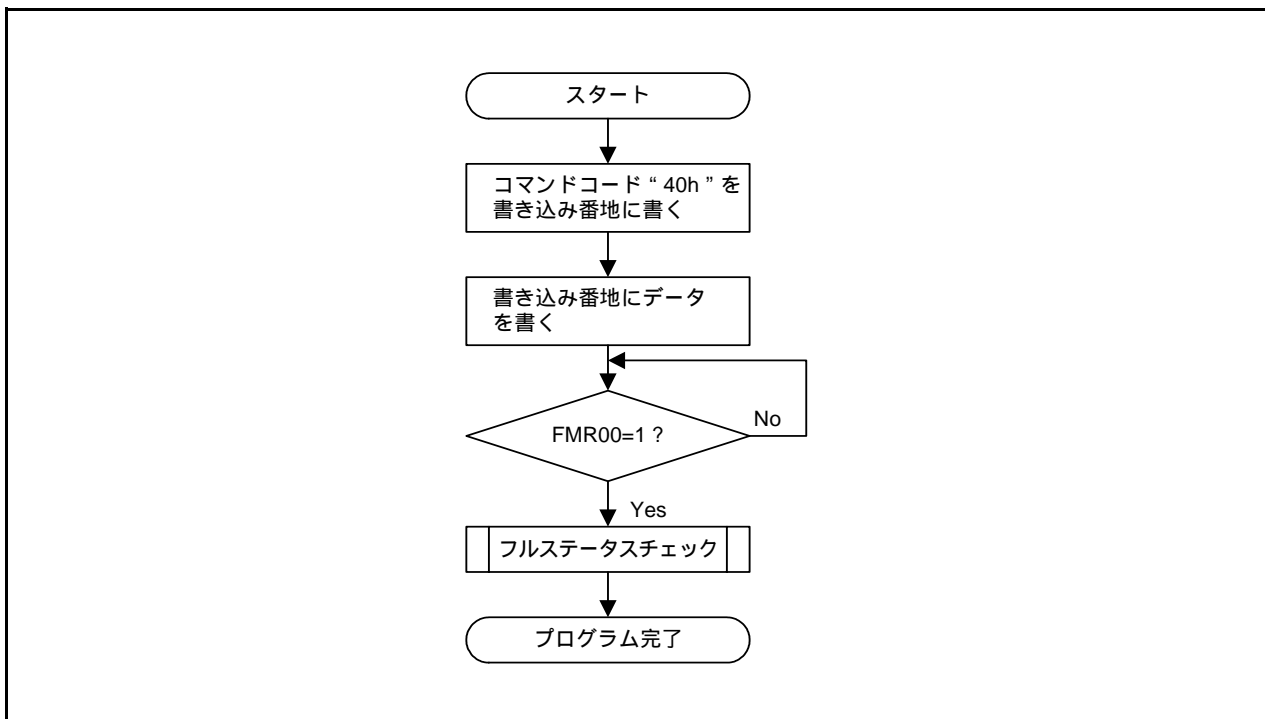


図18.12 プログラムフローチャート(サスペンド機能禁止時)

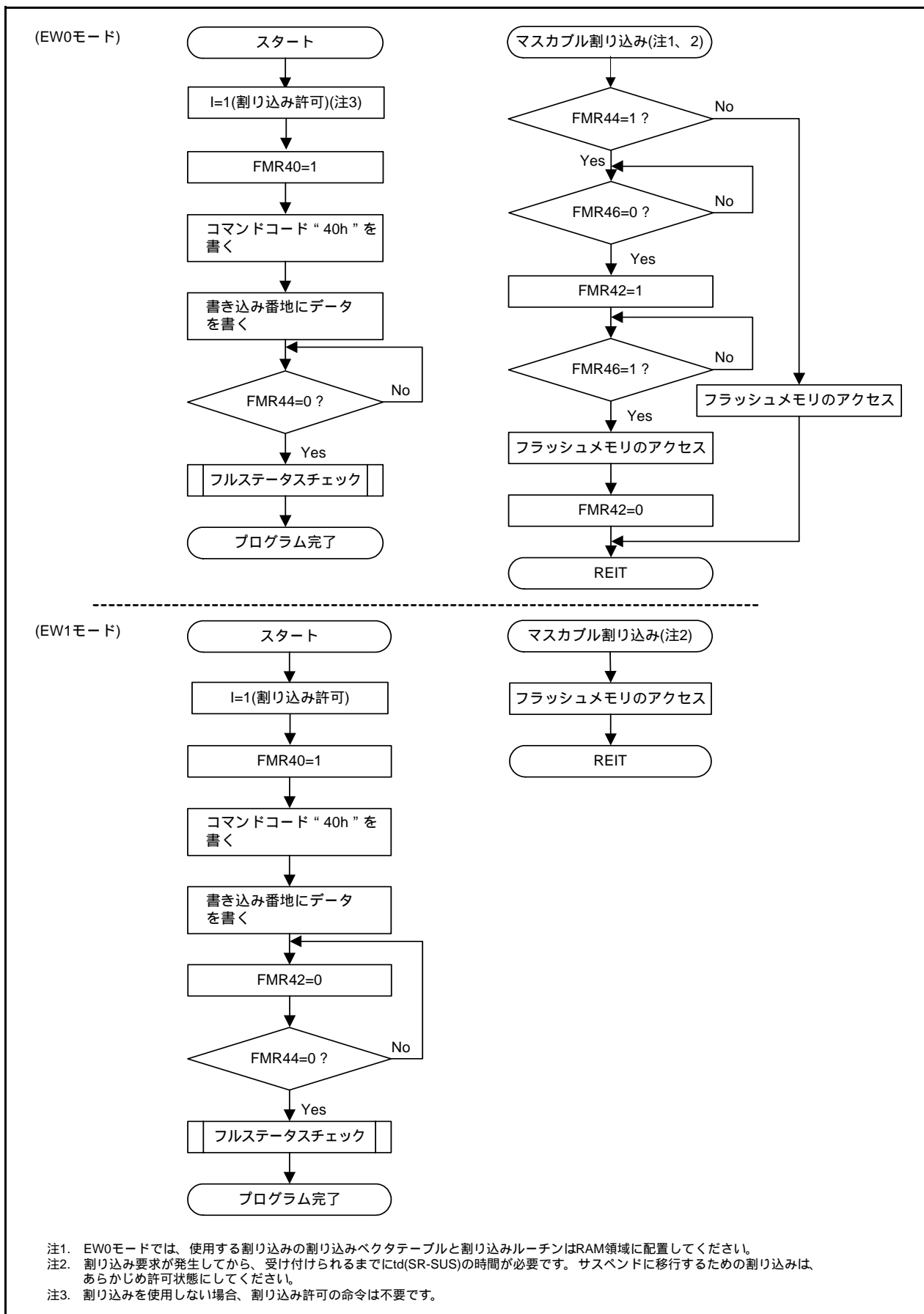


図 18.13 プログラムフローチャート(サスペンド機能許可時)

18.4.3.5 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「18.4.5 フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するブロックイレーズコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するブロックイレーズコマンドは受け付けられません。

プログラムサスペンド中、ブロックイレーズコマンドを使用しないでください。

図18.14にブロックイレーズフローチャート(イレーズサスペンド機能禁止時)を、図18.15にブロックイレーズフローチャート(イレーズサスペンド機能許可時)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

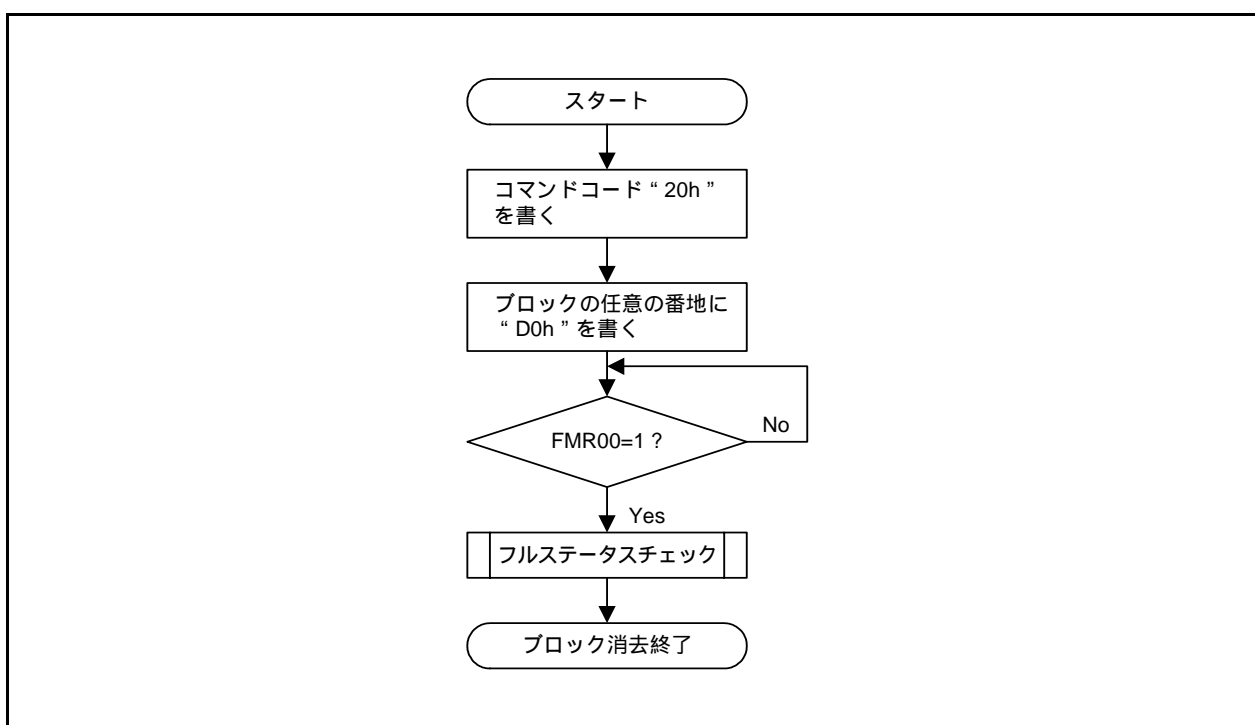


図18.14 ブロックイレーズフローチャート(イレーズサスペンド機能禁止時)

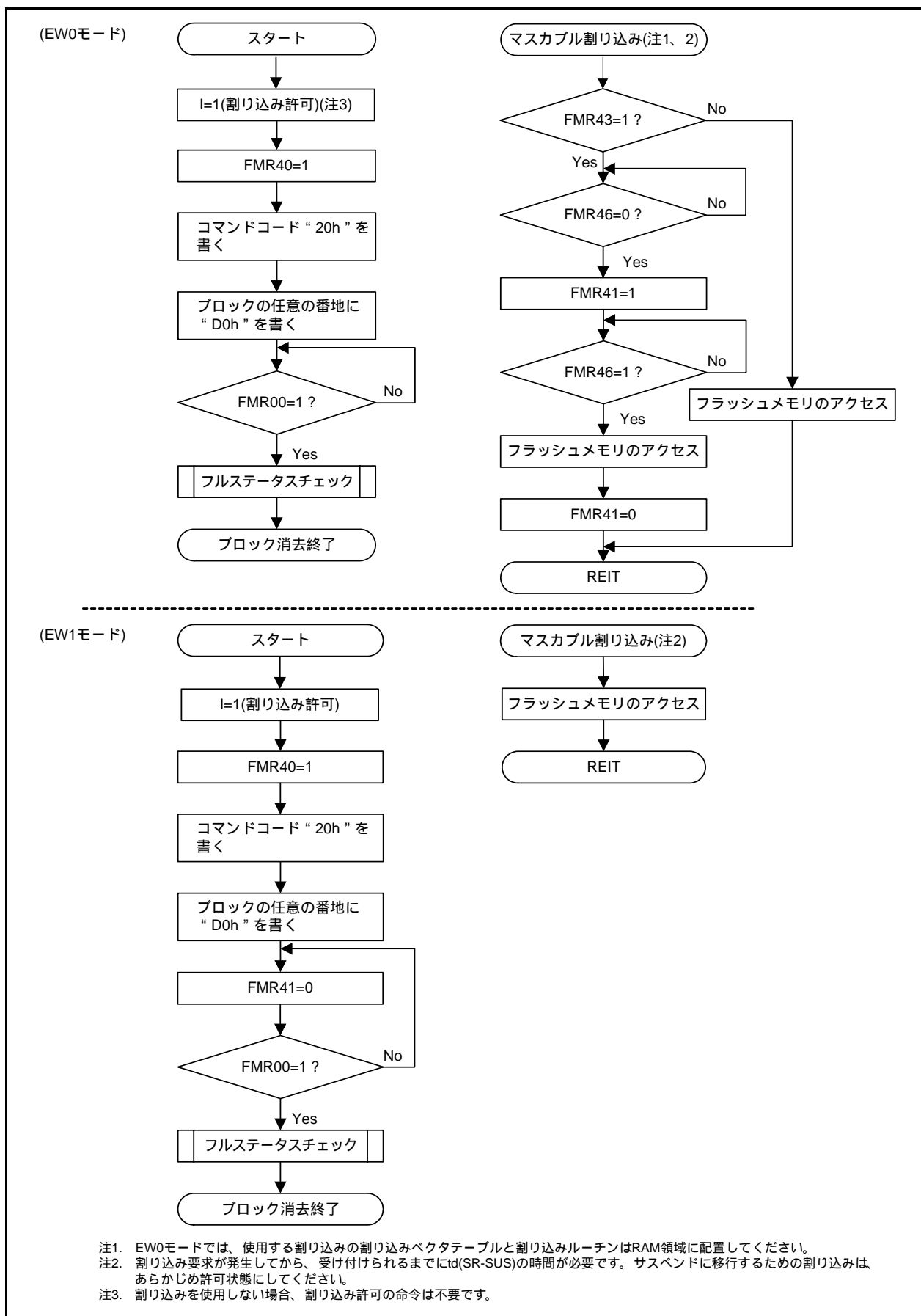


図18.15 ブロックイレーズフローチャート(イレーズサスペンド機能許可時)

18.4.4 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06～FMR07ビットで読めます。

表18.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の番地を読んだとき
- プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の番地を読んだとき

18.4.4.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。

18.4.4.2 イレーズステータス(SR5、FMR07ビット)

「18.4.5 フルステータスチェック」を参照してください。

18.4.4.3 プログラムステータス(SR4、FMR06ビット)

「18.4.5 フルステータスチェック」を参照してください。

表18.5 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR0(D0)		リザーブ			
SR1(D1)		リザーブ			
SR2(D2)		リザーブ			
SR3(D3)		リザーブ			
SR4(D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5(D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6(D6)		リザーブ			
SR7(D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0～D7：リードステータスコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)～FMR06ビット(SR4)は、クリアステータスコマンドを実行すると“0”になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズコマンドは受け付けられません。

18.4.5 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表18.6にエラーとFMR0レジスタの状態を、図18.16にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表18.6 エラーとFMR0レジスタの状態

FMR0レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1) ・FMR0レジスタのFMR02ビット、FMR1レジスタのFMR15ビットまたはFMR16ビットを用いて書き換え禁止にした状態で、プログラムコマンドまたはブロックイレーズコマンドを実行したとき ・消去コマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、消去しようとしたとき ・消去コマンド入力時に、書き換えを禁止しているブロックの消去を実行しようとしたとき ・書き込みコマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、書き込みしようとしたとき ・書き込みコマンド入力時に、書き換えを禁止しているブロックの書き込みを実行しようとしたとき
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

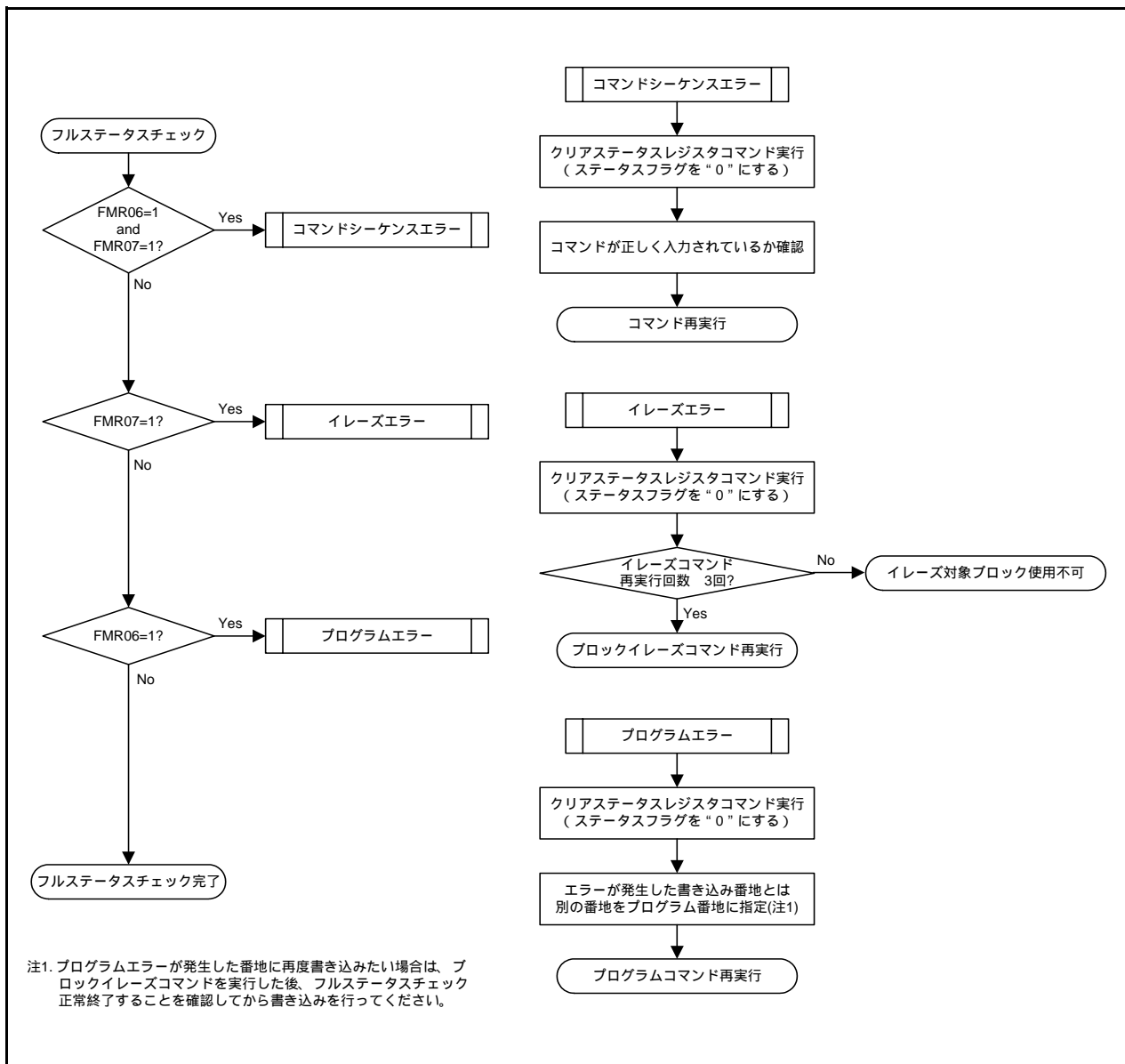


図18.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

18.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- ・標準シリアル入出力モード1 クロック同期形シリアルI/Oを用いてシリアルライタと接続
- ・標準シリアル入出力モード2 クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- ・標準シリアル入出力モード3 特別なクロック非同期形シリアル I/O を用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表18.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、表18.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図18.17に標準シリアル入出力モード3時の端子結線図を示します。

なお、表18.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

18.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「18.3 フラッシュメモリ書き換え禁止機能」参照)。

表18.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
AVcc、AVss	アナログ電源入力	入力	AVccはVccに、AVssはVssに接続してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_3 ~ P3_5	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	“L”を入力してください。
P3_7	TXD出力	出力	シリアルデータの出力端子です。
P4_5	RXD入力	入力	シリアルデータの入力端子です。

表 18.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
AVcc、AVss	アナログ電源入力	入力	AVccはVccに、AVssはVssに接続してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_3 ~ P3_5、 P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF、 P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

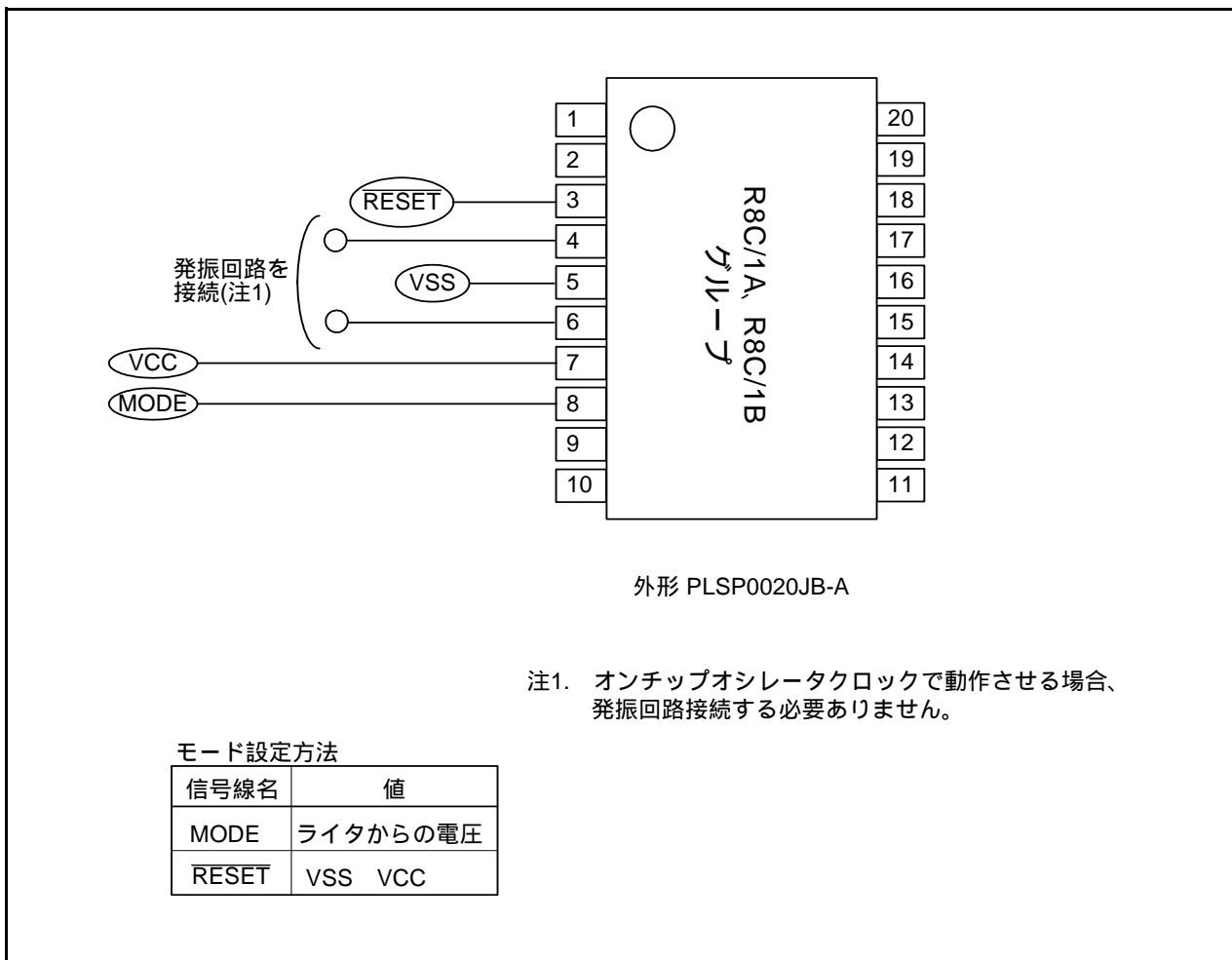


図18.17 標準シリアル入出力モード3時の端子結線図

18.5.1.1 標準シリアル入出力モード時の端子処理例

図18.18に標準シリアル入出力モード2を使用する場合の端子処理例、図18.19に標準シリアル入出力モード3を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

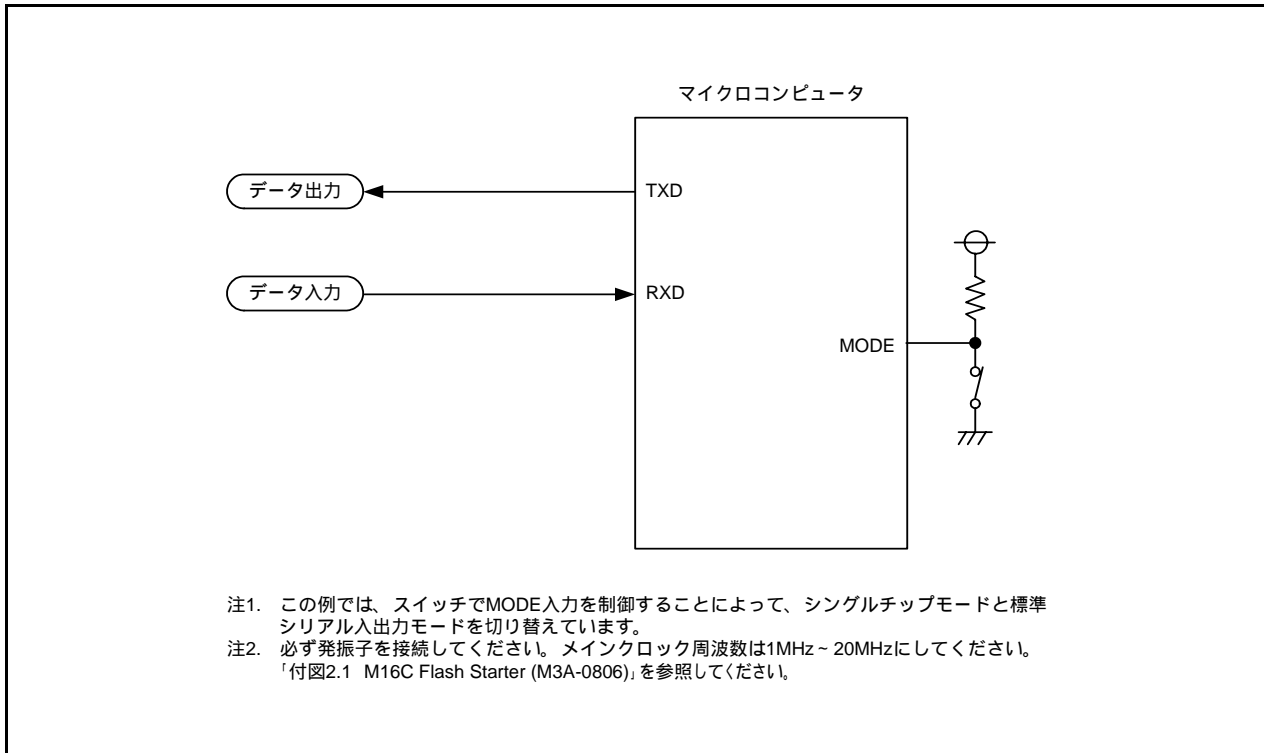


図18.18 標準シリアル入出力モード2を使用する場合の端子処理例

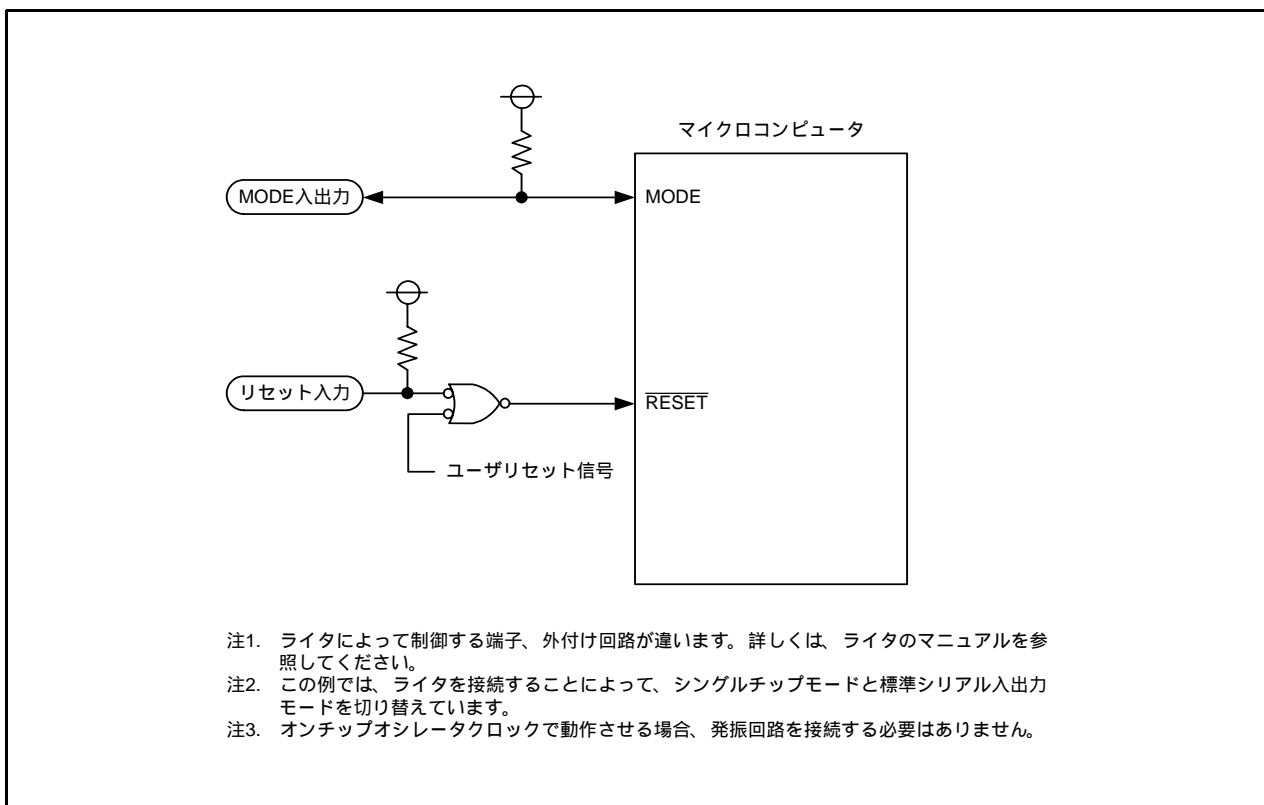


図18.19 標準シリアル入出力モード3を使用する場合の端子処理例

18.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図18.1および図18.2に示すユーザROM領域の書き換えができます。

18.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「18.3 フラッシュメモリ書き換え禁止機能」参照)。

18.7 フラッシュメモリ使用上の注意

18.7.1 CPU書き換えモード

18.7.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

18.7.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

18.7.1.3 割り込み

表18.9にEW0モード時の割り込み、表18.10にEW1モード時の割り込みを示します。

表18.9 EW0モード時の割り込み

モード	状態	マスカブル割り込み 要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視2割り込み 要求受付時
EW0	自動消去中	ベクタをRAMに配置 することで使用でき ます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動書き込み		

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表 18.10 EW1モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視2割り込み要求受付時
EW1	自動消去中 (イレーズサスペンド機能有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。
	自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。	
	自動書き込み中 (プログラムサスペンド機能有効)	td(SR-SUS)時間後に自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR42ビットを“0”(プログラムリスタート)にすることにより、自動書き込みを再開することができます。	
	自動書き込み中 (プログラムサスペンド機能無効)	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

18.7.1.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

18.7.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

18.7.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

18.7.1.7 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

19. 電気的特性

Yバージョン(Topr = - 20 ~ 105)の電気的特性については、ルネサス テクノロジ営業窓口へお問い合わせください。

表 19.1 絶対最大定格

記号	項目	測定条件	定格値	単位
Vcc	電源電圧	Vcc = AVcc	- 0.3 ~ 6.5	V
AVcc	アナログ電源電圧	Vcc = AVcc	- 0.3 ~ 6.5	V
Vi	入力電圧		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力	Topr = 25	300	mW
Topr	動作周囲温度		- 20 ~ 85 / - 40 ~ 85 (Dバージョン)	
Tstg	保存温度		- 65 ~ 150	

表 19.2 推奨動作条件

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
Vcc	電源電圧		2.7		5.5	V		
AVcc	アナログ電源電圧			Vcc		V		
Vss	電源電圧			0		V		
AVss	アナログ電源電圧			0		V		
Vih	“H” 入力電圧		0.8Vcc		Vcc	V		
Vil	“L” 入力電圧		0		0.2Vcc	V		
IOH(sum)	“H” 尖頭総出力電流	全端子の IOH(peak) の総和			- 60	mA		
IOH(peak)	“H” 尖頭出力電流				- 10	mA		
IOH(avg)	“H” 平均出力電流				- 5	mA		
IOL(sum)	“L” 尖頭総出力電流	全端子の IOL(peak) の総和			60	mA		
IOL(peak)	“L” 尖頭出力電流	P1_0 ~ P1_3以外			10	mA		
		P1_0 ~ P1_3	駆動能力HIGH		30	mA		
			駆動能力LOW		10	mA		
IOL(avg)	“L” 平均出力電流	P1_0 ~ P1_3以外			5	mA		
		P1_0 ~ P1_3	駆動能力HIGH		15	mA		
			駆動能力LOW		5	mA		
f(XIN)	メインクロック入力発振周波数	3.0 V Vcc 5.5 V	0		20	MHz		
		2.7 V Vcc < 3.0 V	0		10	MHz		
	システムクロック	OCD2= “0” メインクロック選択時	3.0 V Vcc 5.5 V	0		20	MHz	
			2.7 V Vcc < 3.0 V	0		10	MHz	
		OCD2= “1” オンチップオシレータクロック選択時	HRA01= “0” 低速オンチップオシレータ選択時		125			kHz
			HRA01= “1” 高速オンチップオシレータ選択時		8			MHz

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. 平均出力電流は100 msの期間内での平均値です。

表 19.3 A/Dコンバータ特性

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能		Vref = Vcc			10	Bit
	絶対精度	10ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V			± 3	LSB
		8ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V			± 2	LSB
		10ビットモード	AD = 10 MHz、Vref = Vcc = 3.3 V(注3)			± 5	LSB
		8ビットモード	AD = 10 MHz、Vref = Vcc = 3.3 V(注3)			± 2	LSB
Rladder	ラダ - 抵抗		Vref = Vcc	10		40	k
tconv	変換時間	10ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V	3.3			μs
		8ビットモード	AD = 10 MHz、Vref = Vcc = 5.0 V	2.8			μs
Vref	基準電圧			2.7		Vcc	V
VIA	アナログ入力電圧(注4)			0		AVcc	V
	A/D動作クロック 周波数(注2)	サンプル&ホールドなし		0.25		10	MHz
		サンプル&ホールドあり		1		10	MHz

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. f1が10 MHzを超える場合は分周し、A/D動作クロック周波数(AD)が10 MHz以下になるようにしてください。

注3. AVccが4.2 V未満の場合はf1を分周し、A/D動作クロック周波数(AD)がf1/2以下になるように調整してください。

注4. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

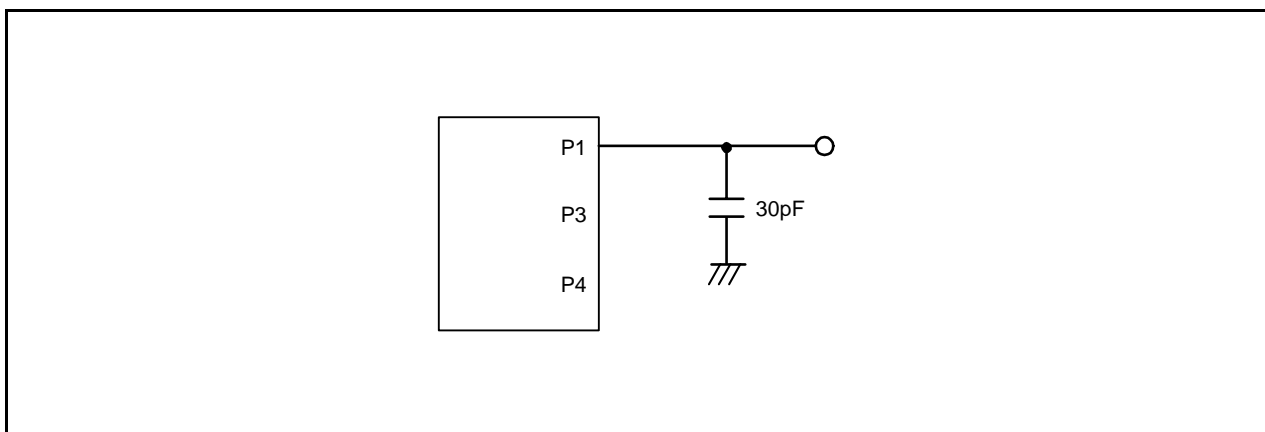


図 19.1 ポートP1、P3、P4の測定回路

表19.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/1Aグループ	100(注3)			回
		R8C/1Bグループ	1000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注8)	周囲温度=55	20			年

注1. 指定のない場合は、V_{cc} = 2.7 V ~ 5.5 V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 緊急処理等が必要な場合は本規格によらずサスペンド要求を発生することができます。その場合も通常のサスペンドへの遷移時間で要求が受け付けられます。ただし常時サスペンド状態になると消去が進まず、消去エラー発生確率が高くなるため、650 μs未満のサスペンド要求は1回までを推奨します。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. 電源電圧またはクロックが印加されていない時間を含みます。

表19.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度=55	20			年

注1. 指定のない場合は、V_{cc} = 2.7 V ~ 5.5 V、T_{opr} = -20 ~ 85 / -40 ~ 85 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 緊急処理等が必要な場合は本規格によらずサスペンド要求を発生することができます。その場合も通常のサスペンドへの遷移時間で要求が受け付けられます。ただし常時サスペンド状態になると消去が進まず、消去エラー発生確率が高くなるため、650 μs未滿のサスペンド要求は1回までを推奨します。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40 。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

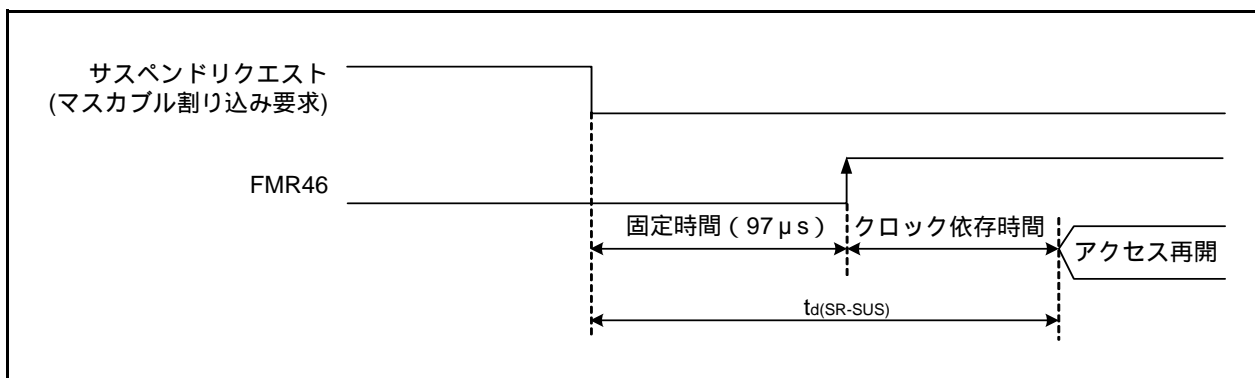


図19.2 サスペンドへの遷移時間

表19.6 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det1}	電圧検出レベル(注3)		2.70	2.85	3.00	V
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc=5.0V		600		nA
$t_d(E-A)$	電圧検出回路動作開始までの待ち時間(注2)				100	μs
V_{ccmin}	マイコンの動作電圧の最小値		2.7			V

注1. 測定条件はVcc = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 です。

注2. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. $V_{det2} > V_{det1}$ になります。

表19.7 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det2}	電圧検出レベル(注4)		3.00	3.30	3.60	V
	電圧監視2割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc=5.0V		600		nA
$t_d(E-A)$	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 です。

注2. V_{det2} を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. $V_{det2} > V_{det1}$ になります。

表 19.8 リセット回路の電気的特性(電圧監視1リセット使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor2	パワーオンリセットが有効になる電圧	- 20 Topr 85			Vdet1	V
tw(Vpor2-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間(注1)	- 20 Topr 85 、 tw(por2) 0 s(注3)			100	ms

注1. Vcc 1.0 Vで使用する場合、この条件は不要です。

注2. 外部電源を有効電圧(Vpor1)以下に保持する時間が10sを越えた後に電源を立ち上げる場合は、「表 19.9 リセット回路の電気的特性(電圧監視1リセット未使用時)」を参照してください。

注3. tw(por2)は外部電源を有効電圧(Vpor2)以下に保持する時間です。

表 19.9 リセット回路の電気的特性(電圧監視1リセット未使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor1	パワーオンリセットが有効になる電圧	- 20 Topr 85			0.1	V
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 10 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 30 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 10 s(注2)			1	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 1 s(注2)			0.5	ms

注1. 電圧監視1リセットを使用しない場合、Vcc 2.7 Vで使用してください。

注2. tw(por1)は外部電源を有効電圧(Vpor1)以下に保持する時間です。

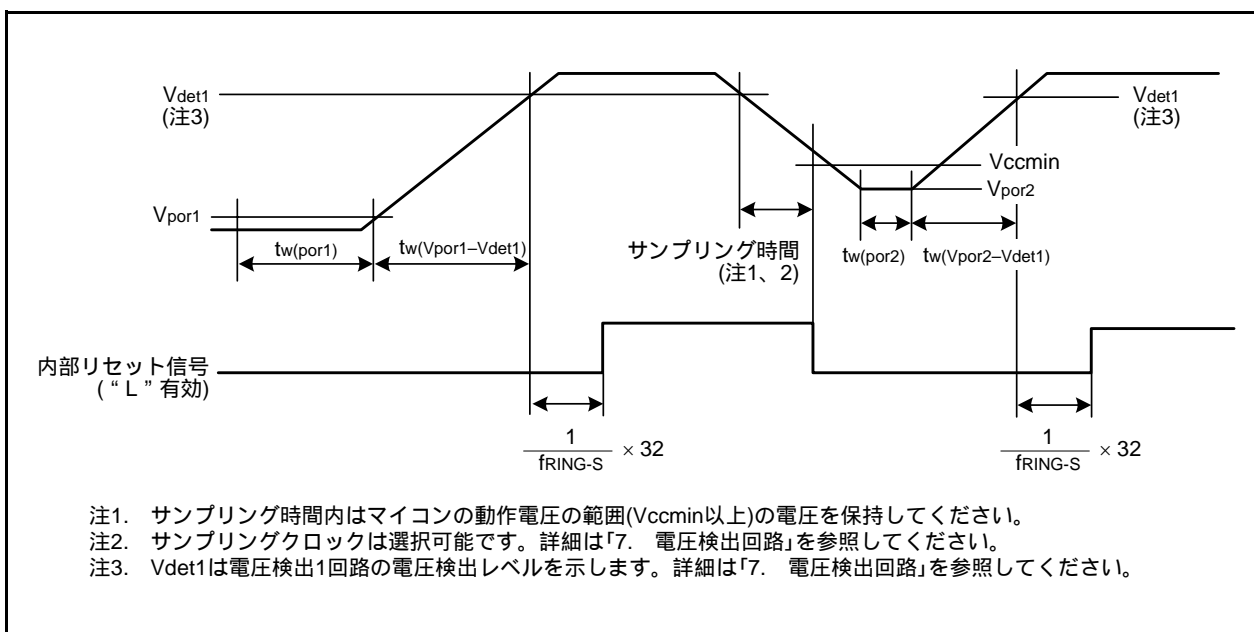


図 19.3 リセット回路の電気的特性

表 19.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	Vcc=5.0V、Topr=25		8		MHz
	高速オンチップオシレータ発振周波数の温度・電圧依存性(注2)	0 ~ + 60 / 5 V ± 5 % (注3)	7.76		8.24	MHz
		- 20 ~ + 85 / 2.7 ~ 5.5 V (注3)	7.68		8.32	MHz
		- 40 ~ + 85 / 2.7 ~ 5.5 V (注3)	7.44		8.32	MHz

注1. 測定条件はVcc = 5.0 V、Topr = 25 です。

注2. 高速オンチップオシレータクロックの使用上の注意事項については、「10.6.5 高速オンチップオシレータクロック」を参照してください。

注3. HRA1レジスタが出荷時の値、HRA2レジスタが00hのときの規格値です。

表 19.11 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP解除時間(注3)				150	μs

注1. 測定条件はVcc = 2.7 V ~ 5.5 V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表19.12 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tCYC (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tSUCYC
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tCYC (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tCYC (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tCYC (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tCYC+50			ns
tLAG	SCSホールド時間	スレーブ		1tCYC+50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tCYC (注2)
tSA	SSIスレーブアクセス時間					1.5tCYC+ 100	ns
tOR	SSIスレーブアウト開放時間					1.5tCYC+ 100	ns

注1. 指定のない場合は、Vcc = 2.7V ~ 5.5V、Vss = 0V、Ta = - 20 ~ 85 / - 40 ~ 85 です。

注2. 1tCYC=1/f1 (s)

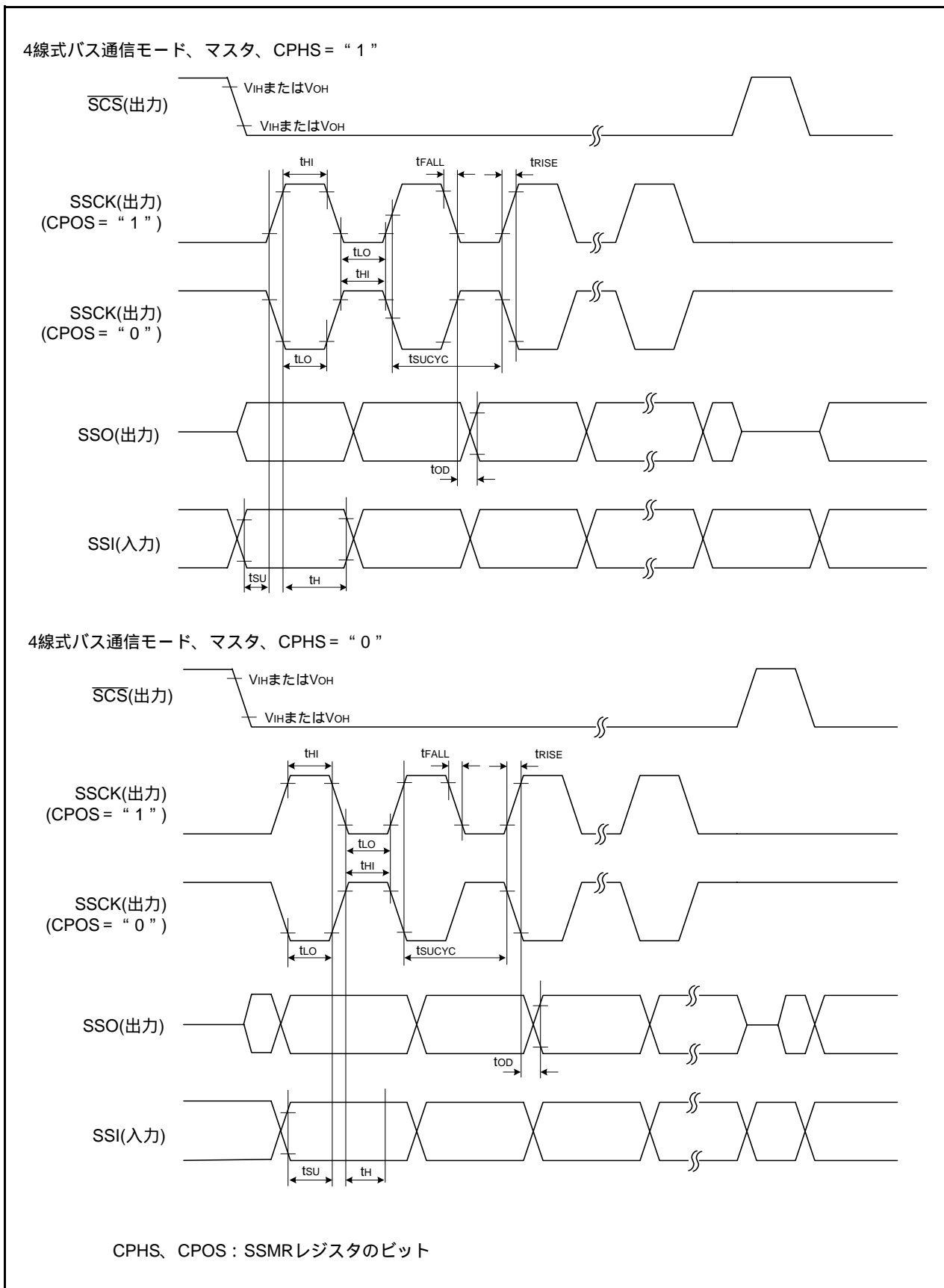


図19.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

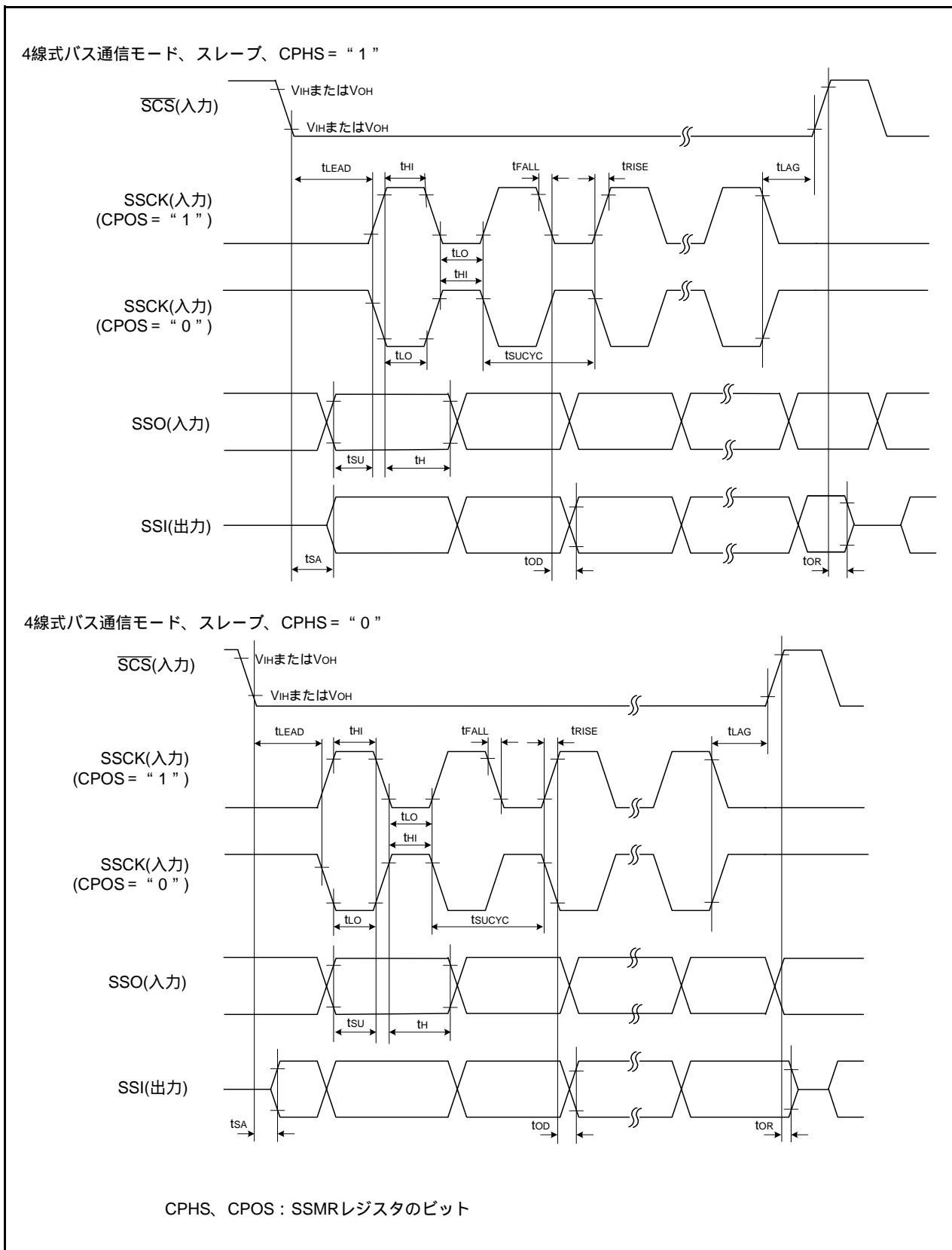


図19.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

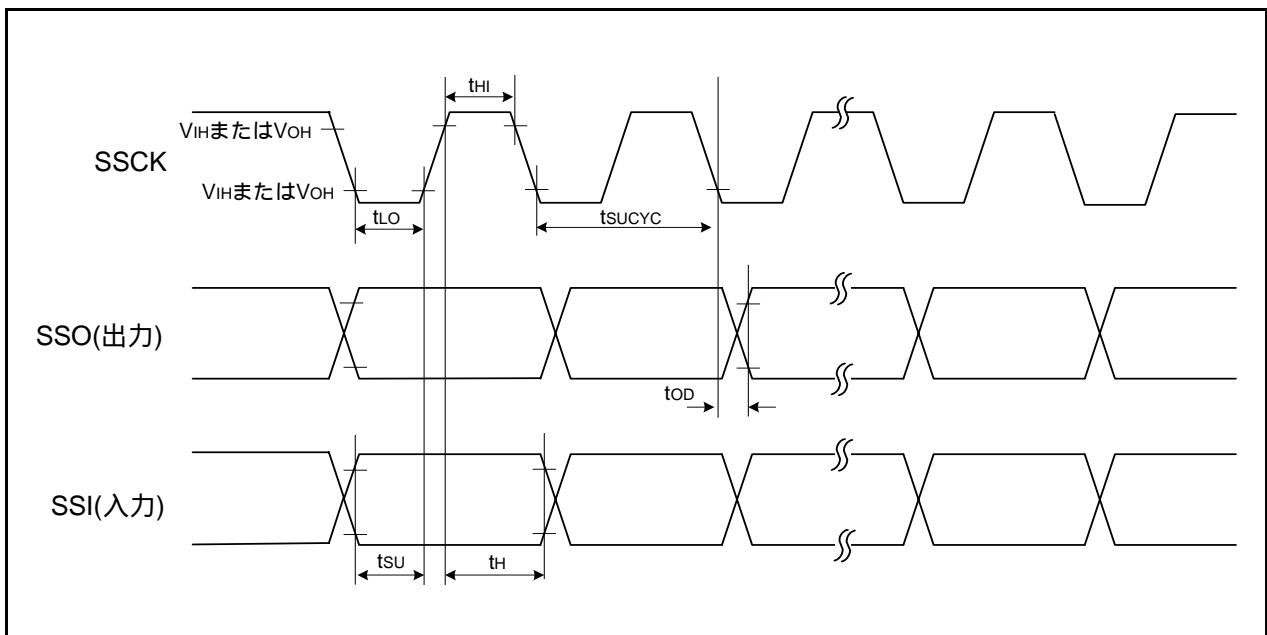


図19.6 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表 19.13 I²Cバスインターフェースのタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc + 600 (注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc + 300 (注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc + 300 (注2)			ns
tst	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入カスパイクパルス除去時間				1tcyc (注2)	ns
tBUF	SDA入力パスフリー時間		5tcyc (注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc (注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc (注2)			ns
tSTOS	停止条件入力セットアップ時間		3tcyc (注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc + 20 (注2)			ns
tSDAH	データ入力ホールド時間		0			ns

注1. 指定のない場合は、V_{CC} = 2.7V ~ 5.5V、V_{SS} = 0V、T_a = - 20 ~ 85 / - 40 ~ 85 です。

注2. 1tcyc = 1/f₁ (s)

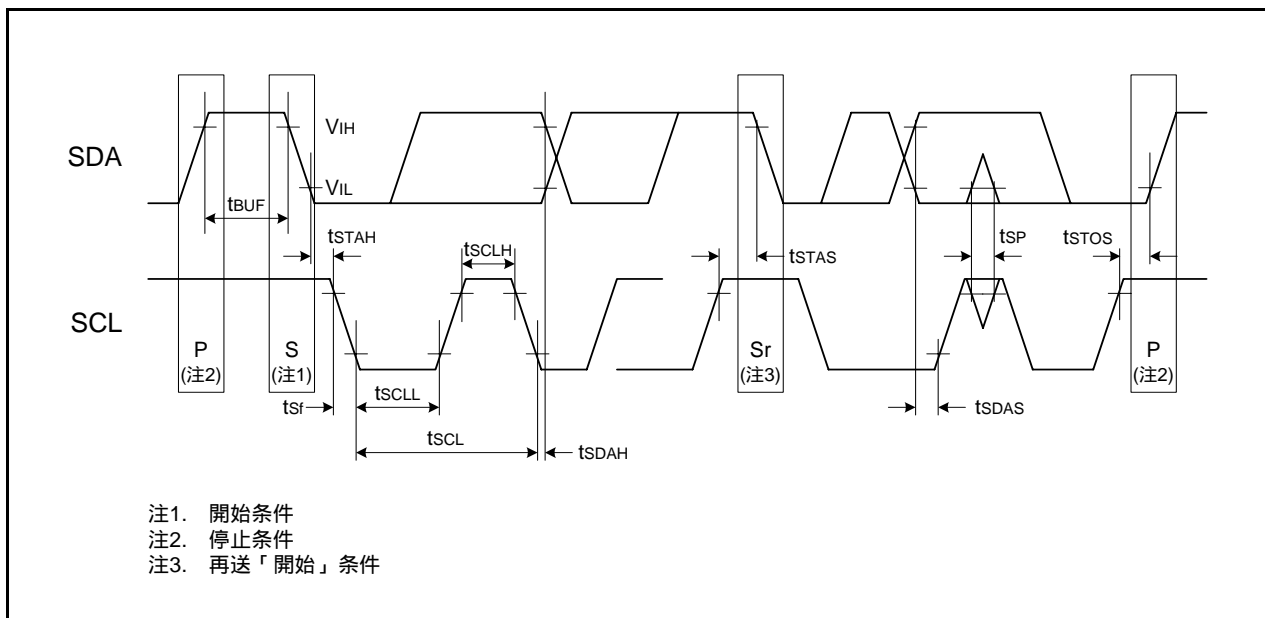
図 19.7 I²Cバスインターフェースの入出力タイミング

表 19.14 電気的特性(1) [Vcc = 5 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VoH	“ H ” 出力電圧	XOUT以外	IoH = - 5 mA		Vcc - 2.0		Vcc	V
			IoH = - 200 μ A		Vcc - 0.3		Vcc	V
		XOUT	駆動能力HIGH	IoH = - 1 mA	Vcc - 2.0		Vcc	V
			駆動能力LOW	IoH = - 500 μ A	Vcc - 2.0		Vcc	V
VoL	“ L ” 出力電圧	P1_0 ~ P1_3、XOUT以外	IoL = 5 mA				2.0	V
			IoL = 200 μ A				0.45	V
		P1_0 ~ P1_3	駆動能力HIGH	IoL = 15 mA			2.0	V
			駆動能力LOW	IoL = 5 mA			2.0	V
			駆動能力LOW	IoL = 200 μ A			0.45	V
		XOUT	駆動能力HIGH	IoL = 1 mA			2.0	V
駆動能力LOW	IoL = 500 μ A				2.0	V		
VT+-VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 CNTR0、CNTR1、 TCIN、RXD0			0.2		1.0	V
		RESET			0.2		2.2	V
IiH	“ H ” 入力電流		VI = 5 V				5.0	μ A
IiL	“ L ” 入力電流		VI = 0 V				- 5.0	μ A
RpULLUP	プルアップ抵抗		VI = 0 V		30	50	167	k
RiXIN	帰還抵抗	XIN				1.0		M
fRING-S	低速オンチップオシレータ発振周波数				40	125	250	kHz
VRAM	RAM保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、Vcc = 4.2 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 、f(XIN) = 20 MHzです。

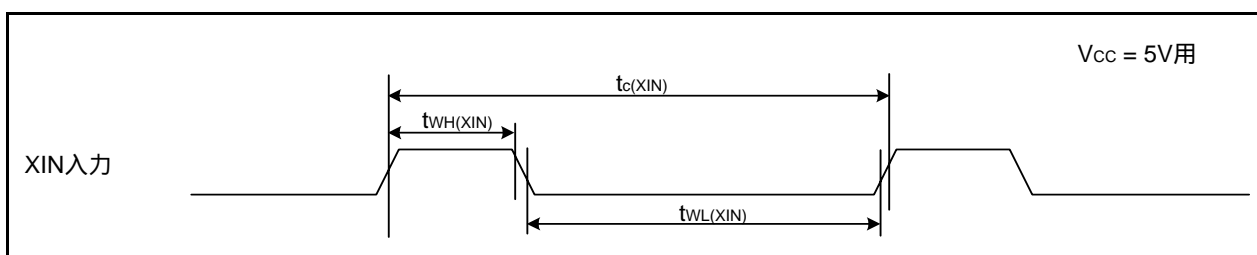
表 19.15 電気的特性(2) [Vcc = 5 V] (指定のない場合は、Topr = - 40 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 3.3 V ~ 5.5 V) シングルチップモードで、出力端子は開放、その他の端子はVss、A/Dコンバータ停止時	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		9	15	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	14	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		4		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2		mA
		高速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		4	8	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周 FMR47 = " 1 "		110	300	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = " 0 "		40	80	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = " 0 "		38	76	μA
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = " 0 "		0.8	3.0	μA

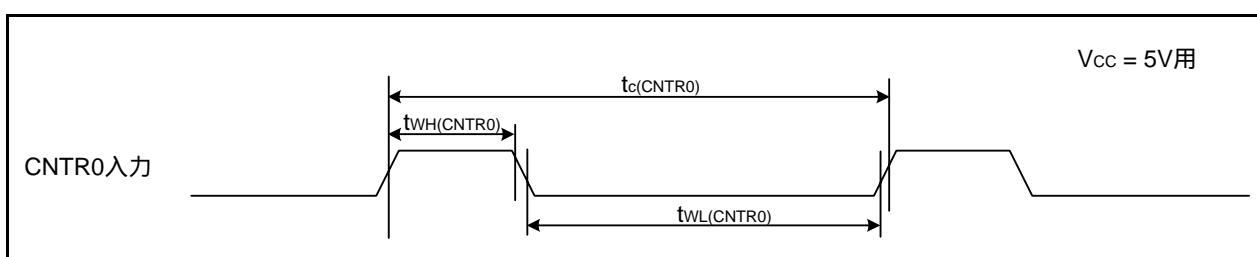
タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=5V$]

表 19.16 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	25		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	25		ns

図 19.8 $V_{CC}=5V$ 時のXIN入力タイミング表 19.17 CNTR0入力、CNTR1入力、 $\overline{INT1}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(CNTR0)}$	CNTR0入力サイクル時間	100		ns
$t_{WH(CNTR0)}$	CNTR0入力“H”パルス幅	40		ns
$t_{WL(CNTR0)}$	CNTR0入力“L”パルス幅	40		ns

図 19.9 $V_{CC}=5V$ 時のCNTR0入力、CNTR1入力、 $\overline{INT1}$ 入力タイミング表 19.18 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TCIN)}$	TCIN入力サイクル時間	400(注1)		ns
$t_{WH(TCIN)}$	TCIN入力“H”パルス幅	200(注2)		ns
$t_{WL(TCIN)}$	TCIN入力“L”パルス幅	200(注2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数 $\times 3$)以上になるように調整してください。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数 $\times 1.5$)以上になるように調整してください。

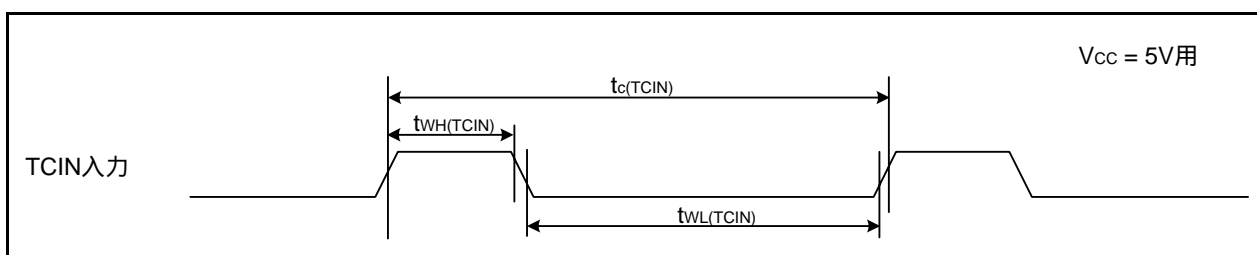
図 19.10 $V_{CC}=5V$ 時のTCIN入力、 $\overline{INT3}$ 入力タイミング

表 19.19 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

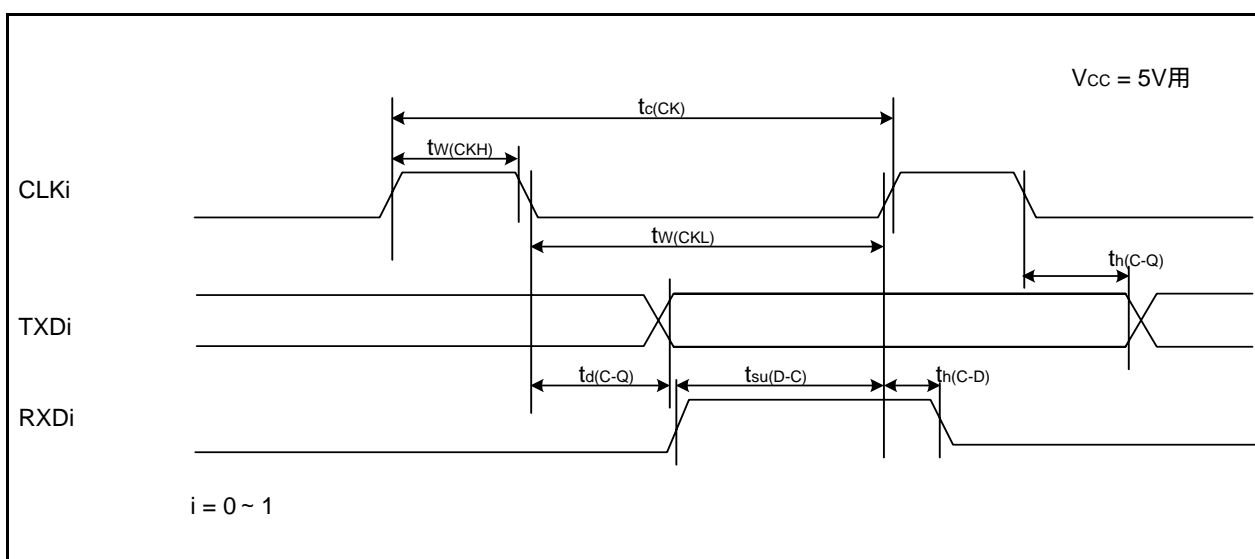


図 19.11 Vcc=5V時のシリアルインタフェースのタイミング

表 19.20 外部割りこみINT0入力

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INT0入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	INT0入力“L”パルス幅	250(注2)		ns

注1. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

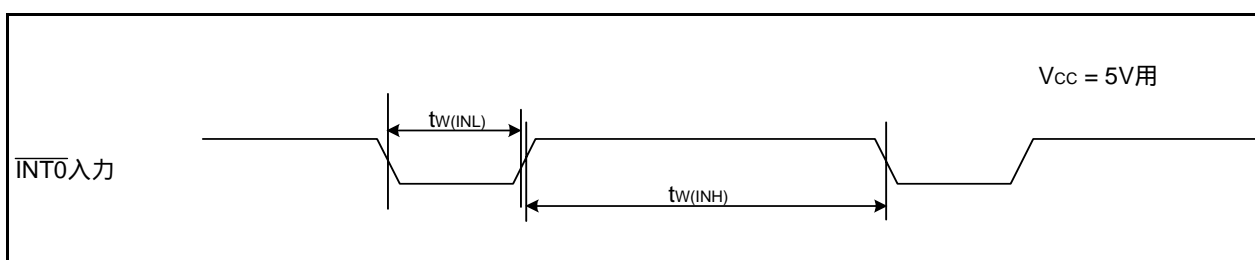


図 19.12 Vcc=5V時の外部割りこみINT0入力タイミング

表19.21 電気的特性(3) [Vcc = 3 V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	“H”出力電圧	XOUT以外	I _{OH} = - 1 mA		V _{CC} - 0.5		V _{CC}	V
		XOUT	駆動能力HIGH	I _{OH} = - 0.1 mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力LOW	I _{OH} = - 50 μA	V _{CC} - 0.5		V _{CC}	V
VOL	“L”出力電圧	P1_0 ~ P1_3、XOUT以外	I _{OL} = 1 mA				0.5	V
		P1_0 ~ P1_3	駆動能力HIGH	I _{OL} = 2 mA			0.5	V
			駆動能力LOW	I _{OL} = 1 mA			0.5	V
		XOUT	駆動能力HIGH	I _{OL} = 0.1 mA			0.5	V
			駆動能力LOW	I _{OL} = 50 μA			0.5	V
VT+ - VT-	ヒステリシス	<u>INT0</u> 、 <u>INT1</u> 、 <u>INT3</u> 、 <u>KI0</u> 、 <u>KI1</u> 、 <u>KI2</u> 、 <u>KI3</u> 、 <u>CNTR0</u> 、 <u>CNTR1</u> 、 <u>TCIN</u> 、 <u>RXD0</u>			0.2		0.8	V
		<u>RESET</u>			0.2		1.8	V
I _{IH}	“H”入力電流		V _I = 3 V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0 V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0 V		66	160	500	k
R _{fXIN}	帰還抵抗	XIN				3.0		M
f _{RING-S}	低速オンチップオシレータ発振周波数				40	125	250	kHz
V _{RAM}	RAM保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V_{CC} = 2.7 V ~ 3.3 V、T_{opr} = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 10 MHzです。

表19.22 電気的特性(4) [Vcc = 3 V] (指定のない場合は、Topr = - 40 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.7 V ~ 3.3 V) シングルチップモード で、出力端子は開放、 その他の端子はVss、 A/Dコンバータ停止時	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	13	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		7	12	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2.5		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		1.6		mA
		高速オンチップ オシレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		3.5	7.5	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップ オシレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周 FMR47 = " 1 "		100	280	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = " 0 "		37	74	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = " 0 "		35	70	μA
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = " 0 "		0.7	3.0	μA

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=3V$]

表 19.23 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	100		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	40		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	40		ns

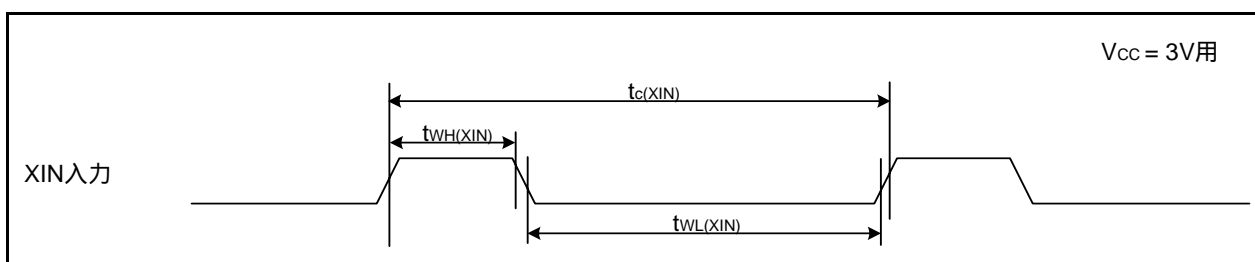
図 19.13 $V_{CC}=3V$ 時のXIN入力タイミング

表 19.24 CNTR0入力、CNTR1入力、INT1入力

記号	項目	規格値		単位
		最小	最大	
$t_c(CNTR0)$	CNTR0入力サイクル時間	300		ns
$t_{WH}(CNTR0)$	CNTR0入力“H”パルス幅	120		ns
$t_{WL}(CNTR0)$	CNTR0入力“L”パルス幅	120		ns

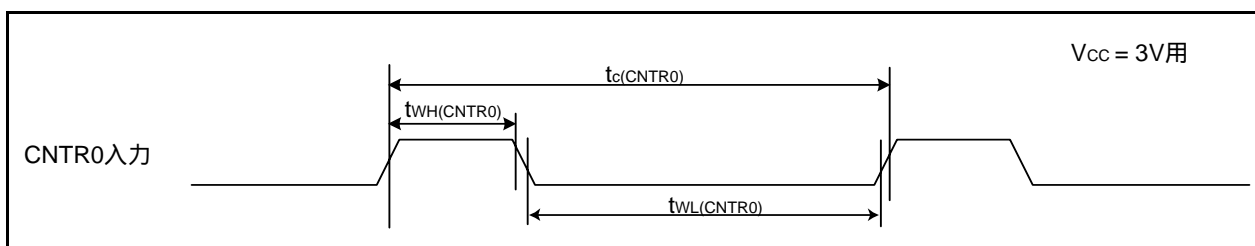
図 19.14 $V_{CC}=3V$ 時のCNTR0入力、CNTR1入力、INT1入力タイミング

表 19.25 TCIN入力、INT3入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TCIN)$	TCIN入力サイクル時間	1200(注1)		ns
$t_{WH}(TCIN)$	TCIN入力“H”パルス幅	600(注2)		ns
$t_{WL}(TCIN)$	TCIN入力“L”パルス幅	600(注2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

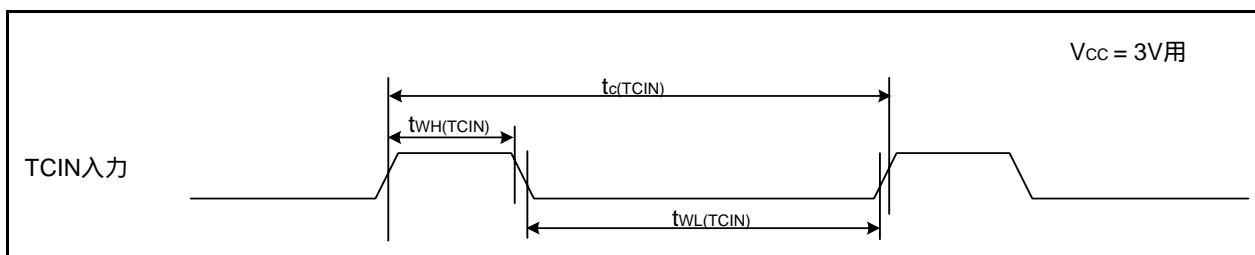
図 19.15 $V_{CC}=3V$ 時のTCIN入力、INT3入力タイミング

表 19.26 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	300		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	150		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	150		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		80	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	70		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0 ~ 1

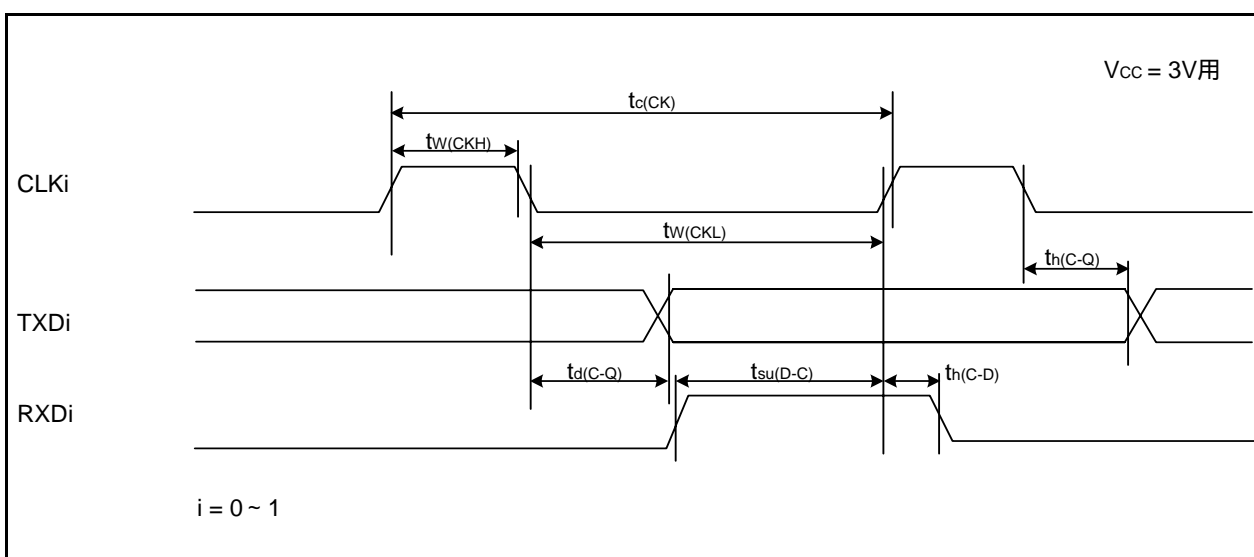


図 19.16 Vcc=3V時のシリアルインタフェースのタイミング

表 19.27 外部割りこみINT0入力

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INT0入力“H”パルス幅	380(注1)		ns
$t_w(\text{INL})$	INT0入力“L”パルス幅	380(注2)		ns

注1. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

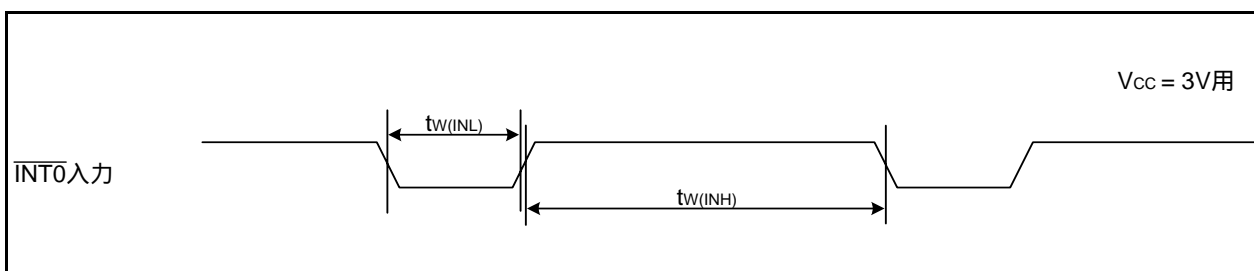


図 19.17 Vcc=3V時の外部割りこみINT0入力タイミング

20. 使用上の注意事項

20.1 クロック発生回路使用上の注意

20.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR      ; プロテクト解除
FSET      I           ; 割り込み許可
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

20.1.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I           ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP

```

20.1.3 発振停止検出機能

メインクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください。

20.1.4 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

20.1.5 高速オンチップオシレータクロック

高速オンチップオシレータの周波数は、フラッシュメモリのCPU書き換えモードで、自動書き込み期間中または自動消去期間中に最大10% (注1) 変動する可能性があります。

自動書き込み終了後または自動消去終了後の高速オンチップオシレータの周波数は、プログラムコマンドまたはブロックイレーズコマンド発行前の状態になります。またリードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド発行時は該当しません。

応用製品設計の際には周波数変動に対して十分考慮してください。

注1．出荷時に調整されている8MHzの周波数に対する変動率

20.2 割り込み使用上の注意

20.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

20.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

20.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

20.2.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

20.2.5 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図20.1に割り込み要因の変更手順例を示します。

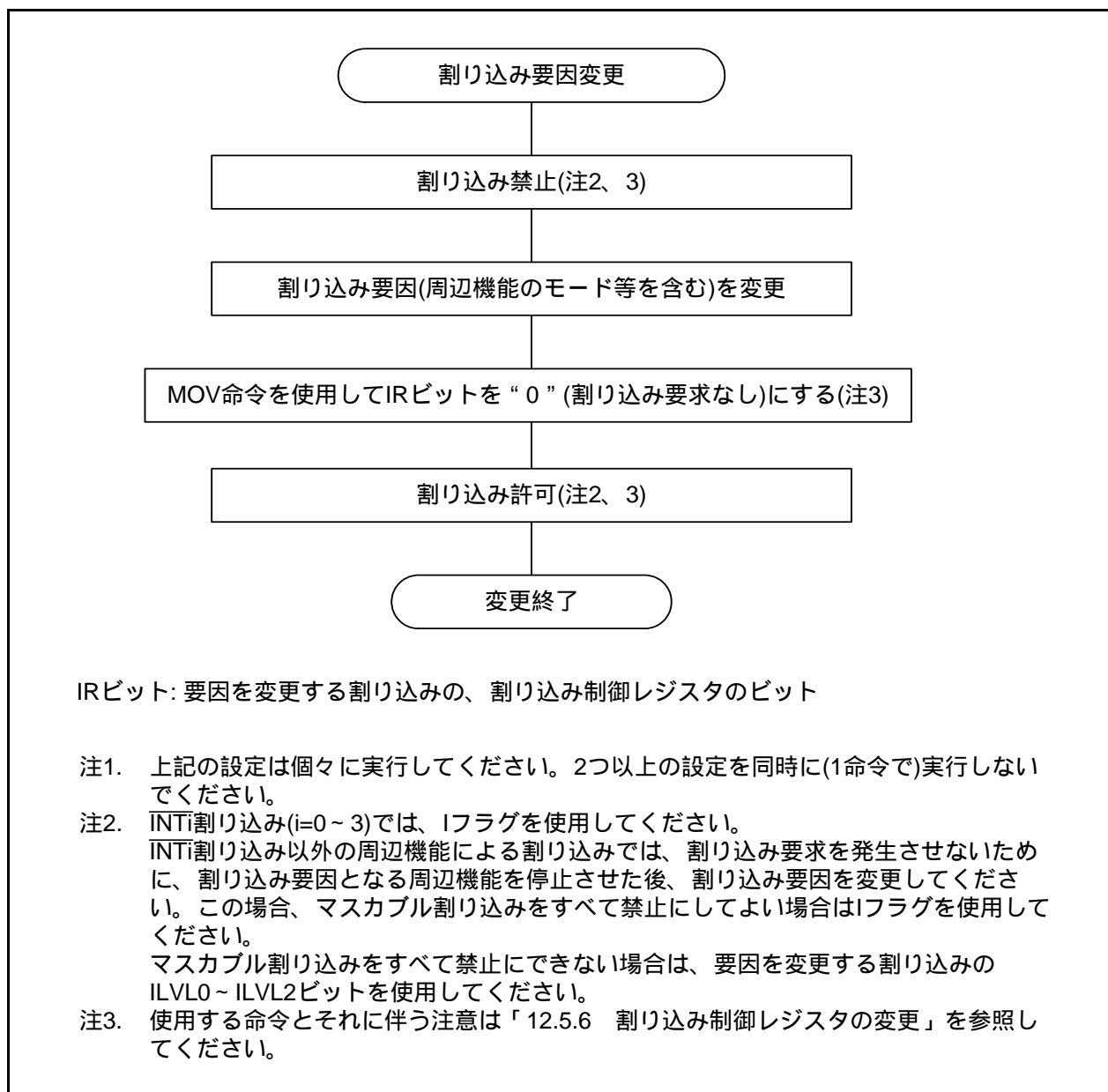


図20.1 割り込み要因の変更手順例

20.2.6 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  POPC    FLG             ; 割り込み許可
```

20.3 タイマ

20.3.1 タイマX使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケラに値を設定した後、カウントを開始してください。
- プリスケラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- TXMRレジスタのTXMOD0～TXMOD1ビットおよびTXMOD2ビットとTXSビットを同時に書き換えしないでください。
- パルス周期測定モードで使用するTXMRレジスタのTXEDGビットとTXUNDビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TXMRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTXEDGビット、TXUNDビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいTXEDGビット、TXUNDビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス周期測定モードに変更したとき、TXEDGビットとTXUNDビットは不定です。TXEDGビットとTXUNDビットに“0”を書いてから、タイマXのカウントを開始してください。
- カウント開始後に初めて発生するプリスケラXのアンダフロー信号で、TXEDGビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にプリスケラXの2周期以上の時間を空けて、TXEDGビットを“0”にしてから使用してください。
- TXMRレジスタのTXSビットには、タイマXにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。
カウント停止中にTXSビットに“1”（カウント開始）を書いた後、次のカウントソースが入力されるまでは“0”（カウント停止）が読めます。次のカウントソースが入力されるとTXSビットは“1”が読めるようになります。TXSビットで“1”が読めるようになるまで、TXSビットを除くタイマX関連レジスタ(TXMR、PREX、TX、TCSS、TXICレジスタ)をアクセスしないでください。TXSビットが“1”になった後、次のカウントソースからカウントを開始します。
同様に、カウント中にTXSビットに“0”（カウント停止）を書くと、次のカウントソースで、タイマXがカウントを停止します。
TXSビットに“0”を書いた後、カウントを停止するまでにTXSビットを読むと、“1”（カウント開始）が読めます。TXSビットに“0”を書いた後、TXSビットで“0”が読めるようになるまで、TXSビットを除くタイマX関連レジスタをアクセスしないでください。

20.3.2 タイマZ使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- TZMRレジスタのTZMOD0～TZMOD1ビットとTZSビットを同時に書き換えしないでください。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TZMRレジスタのTZSビットを“0”にしてカウントを停止したとき、またはTZOCレジスタのTZOSビットを“0”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- TZMRレジスタのTZSビットには、タイマZにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。
カウント停止中にTZSビットに“1”(カウント開始)を書いた後、次のカウントソースが入力されるまでは“0”(カウント停止)が読めます。次のカウントソースが入力されるとTZSビットは“1”が読めるようになります。TZSビットで“1”が読めるようになるまで、TZSビットを除くタイマZ関連レジスタ(TZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSC、TZICレジスタ)をアクセスしないでください。TZSビットが“1”になった後、次のカウントソースからカウントを開始します。
同様に、カウント中にTZSビットに“0”(カウント停止)を書くと、次のカウントソースで、タイマZがカウントを停止します。
TZSビットに“0”を書いた後、カウントを停止するまでにTZSビットを読むと、“1”(カウント開始)が読めます。TZSビットに“0”を書いた後、TZSビットで“0”が読めるようになるまで、TZSビットを除くタイマZ関連レジスタをアクセスしないでください。

20.3.3 タイマC使用上の注意

TCレジスタ、TM0レジスタおよびTM1レジスタは、16ビット単位でアクセスしてください。

TCレジスタは16ビット単位で読み出すことで、下位バイトと上位バイトを読み出す間にタイマ値が更新されることはありません。

<タイマCを読み出すプログラム例>

```
MOV.W    0090H,R0    ;タイマCの読み出し
```

20.4 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UORBレジスタを読み出すときは、必ず16ビット単位で読み出してください。
UORBレジスタのPER、FERビットとU0C1レジスタのRIビットは、UORBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H  ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H  ; U0TBレジスタの下位バイトへの書き込み
```


20.5 クロック同期形シリアルインタフェース使用上の注意

20.5.1 チップセレクト付クロック同期形シリアルI/O使用上の注意

チップセレクト付クロック同期形シリアルI/Oを使用する場合には、PMRレジスタのIICSELビットを“0”(チップセレクト付クロック同期形シリアルI/O機能を選択)にしてください。

20.5.1.1 チップセレクト付クロック同期形シリアルI/O関連レジスタのアクセス

チップセレクト付クロック同期形シリアルI/O関連レジスタ(00B8h番地～00BFh番地)の同一レジスタに対して、書いてから「3命令以上経過してから」または「4サイクル以上経過してから」、読んでください。

•3命令以上待たせる例

```
プログラム例  MOV.B    #00h, 00BBh    ; SSERレジスタを“00h”にする
                NOP
                NOP
                NOP
                MOV.B    00BBh, R0L
```

•4サイクル以上待たせる例

```
プログラム例  BCLR    4, 00BBh    ; 送信禁止
                JMP.B    NEXT
NEXT:
                BSET    3, 00BBh    ; 受信許可
```

20.5.1.2 SSI信号端子の選択

次の設定のとき、SSMR2レジスタのSOOSビットを“0”(CMOS出力)にしてください。

- SSMR2レジスタのSSUMSビット = “1”(4線式バス通信モード)
- SSMR2レジスタのBIDEビット = “0”(標準モード)
- SSCRHレジスタのMSSビット = “0”(スレーブデバイスとして動作)
- PMRレジスタのSSISELビット = “1”(P1_6端子をSSI01端子に使用)

上記の設定のとき、SSI01端子をNMOSオープンドレイン出力で使用しないでください。

20.5.2 I²Cバスインタフェース使用上の注意

I²Cバスインタフェースを使用する場合には、PMRレジスタのIICSELビットを“1”(I²Cバスインタフェース機能を選択)にしてください。

20.5.2.1 I²Cバスインタフェース関連レジスタのアクセス

I²Cバスインタフェース関連レジスタ(00B8h番地～00BFh番地)の同一レジスタに対して、書いてから「3命令以上経過してから」または「4サイクル以上経過してから」読んでください。

•3命令以上待たせる例

```
プログラム例  MOV.B    #00h, 00BBh    ; ICIERレジスタを“00h”にする
                NOP
                NOP
                NOP
                MOV.B    00BBh, R0L
```

•4サイクル以上待たせる例

```
プログラム例  BCLR    6, 00BBh    ; 送信終了割り込み要求禁止
                JMP.B    NEXT
NEXT:
                BSET    7, 00BBh    ; 送信データエンプティ割り込み要求許可
```

20.6 A/Dコンバータ使用上の注意

- ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのSMPビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。特にVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
- A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合
A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADICレジスタのIRビット、またはADCON0レジスタのADSTビットで判定できます)。
- 繰り返しモードで使用する場合
CPUクロックは、メインクロックを分周せずに使用してください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。

20.7 フラッシュメモリ使用上の注意

20.7.1 CPU書き換えモード

20.7.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

20.7.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

20.7.1.3 割り込み

表20.1にEW0モード時の割り込み、表20.2にEW1モード時の割り込みを示します。

表20.1 EW0モード時の割り込み

モード	状態	マスカブル割り込み 要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視2割り込み 要求受付時
EW0	自動消去中	ベクタをRAMに配置 することで使用でき ます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動書き込み		

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表20.2 EW1モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視2割り込み要求受付時
EW1	自動消去中 (イレーズサスペンド機能有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。
	自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。	
	自動書き込み中 (プログラムサスペンド機能有効)	td(SR-SUS)時間後に自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR42ビットを“0”(プログラムリスタート)にすることにより、自動書き込みを再開することができます。	
	自動書き込み中 (プログラムサスペンド機能無効)	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

20.7.1.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

20.7.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

20.7.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

20.7.1.7 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

20.8 ノイズに関する注意事項

20.8.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

20.8.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC 内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

21. オンチップデバッグの注意事項

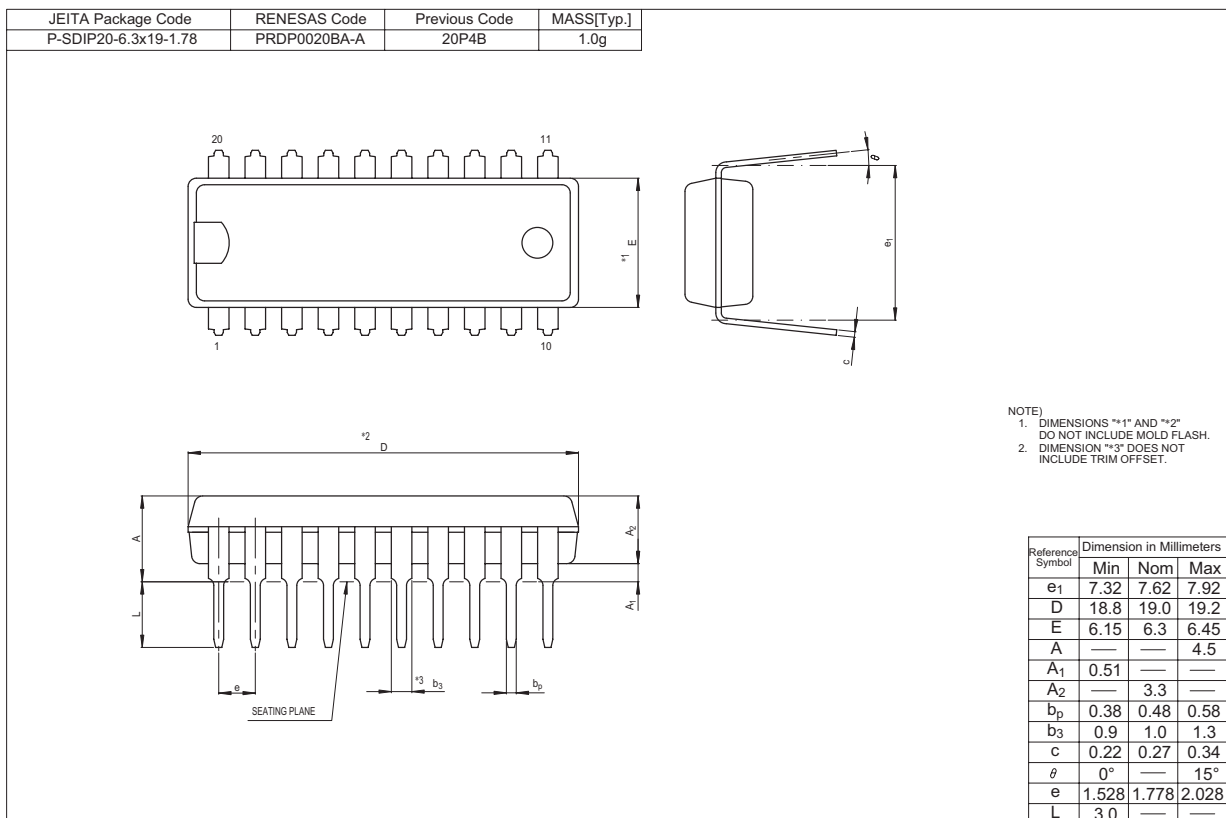
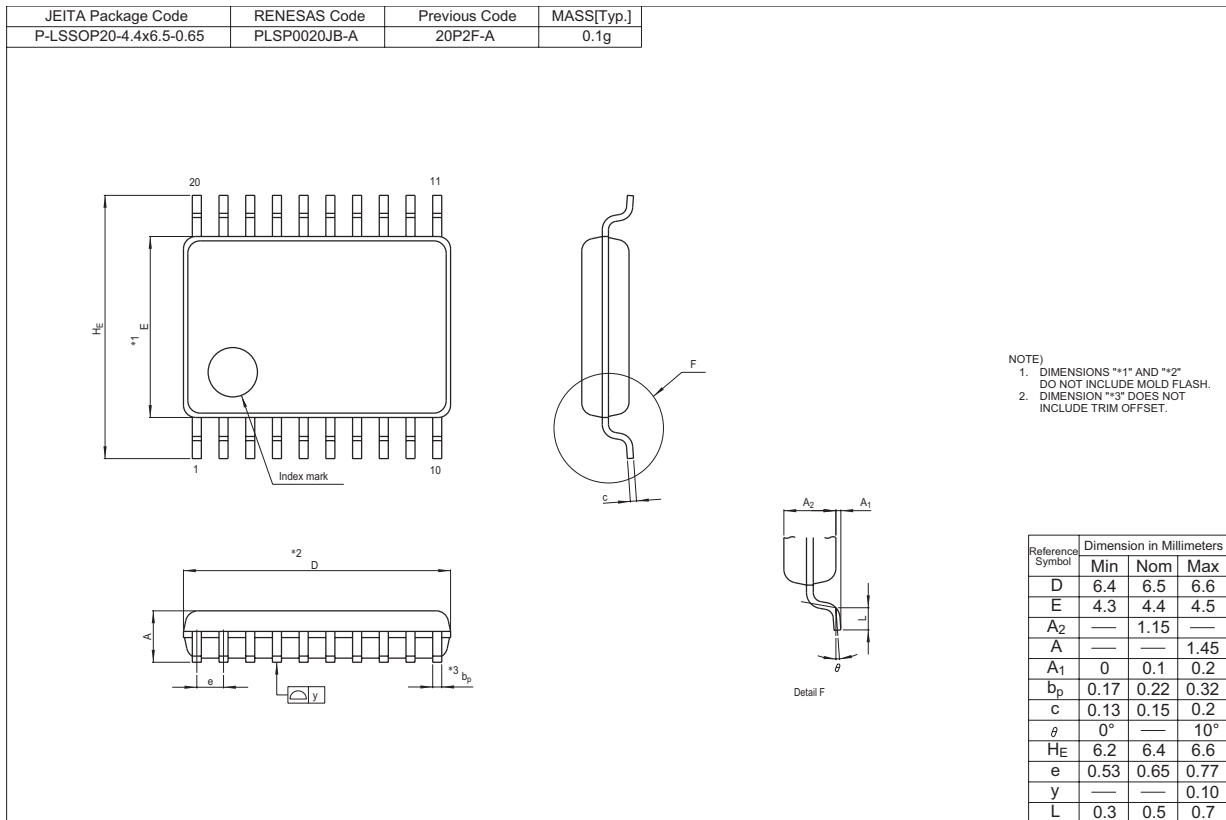
オンチップデバッグを使用してR8C/1A、R8C/1Bグループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

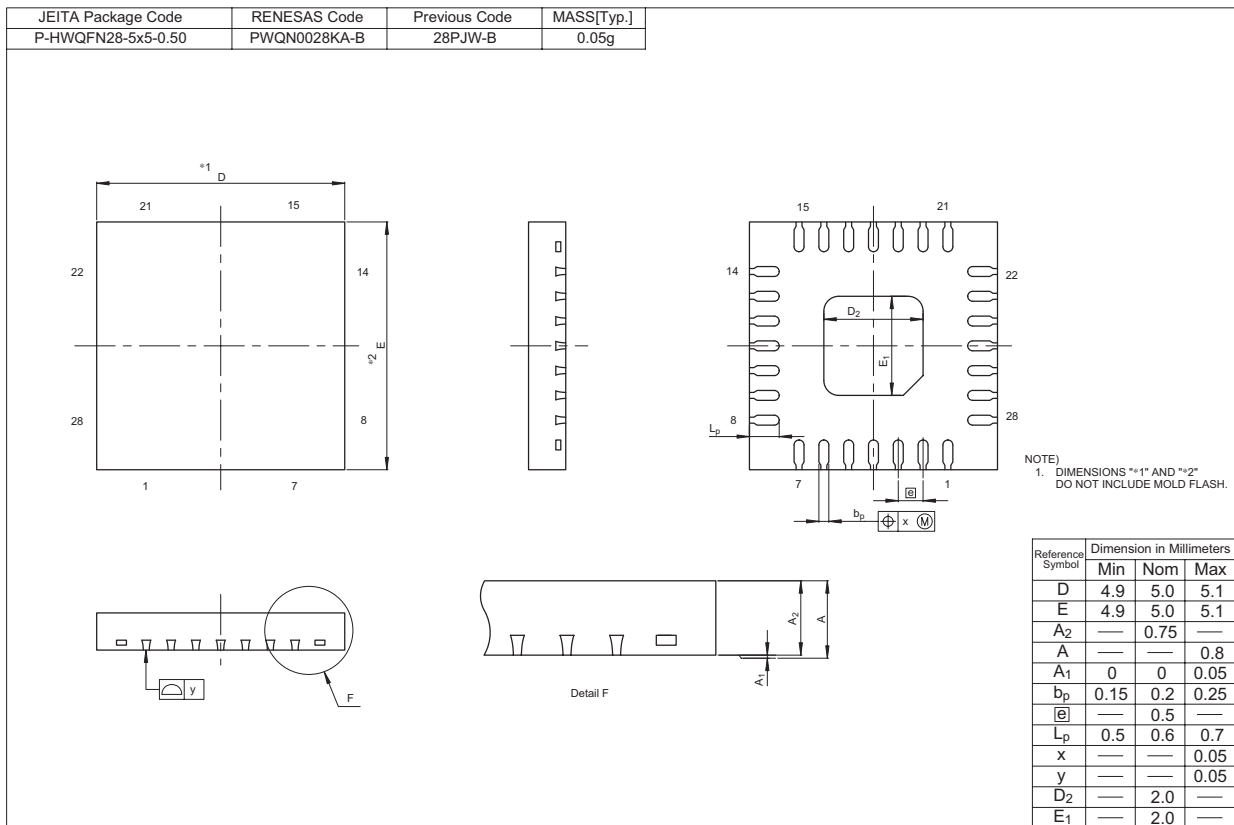
- (1) UART1関連レジスタを、アクセスしないでください。
- (2) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (3) アドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (4) BRK命令をユーザシステムで使用しないでください。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

付録1. 外形寸法図

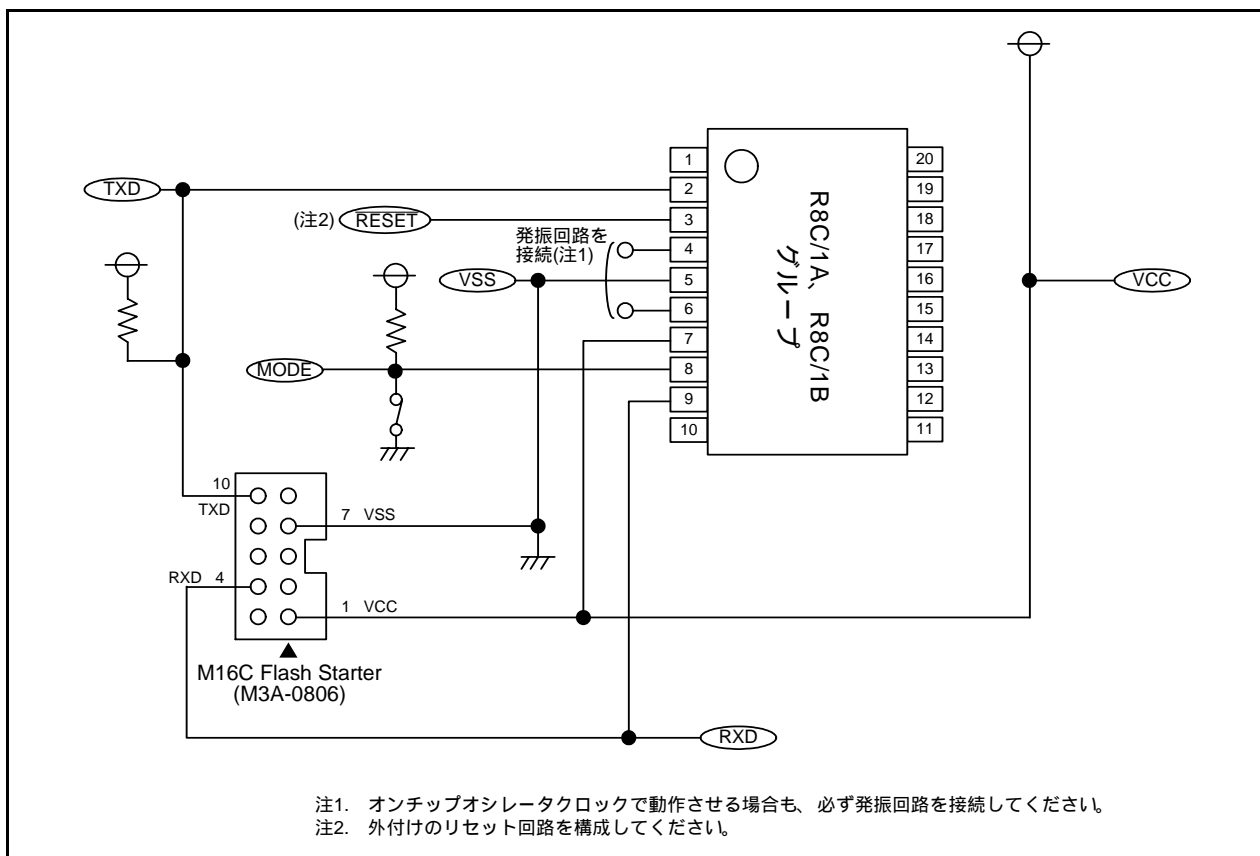
外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。



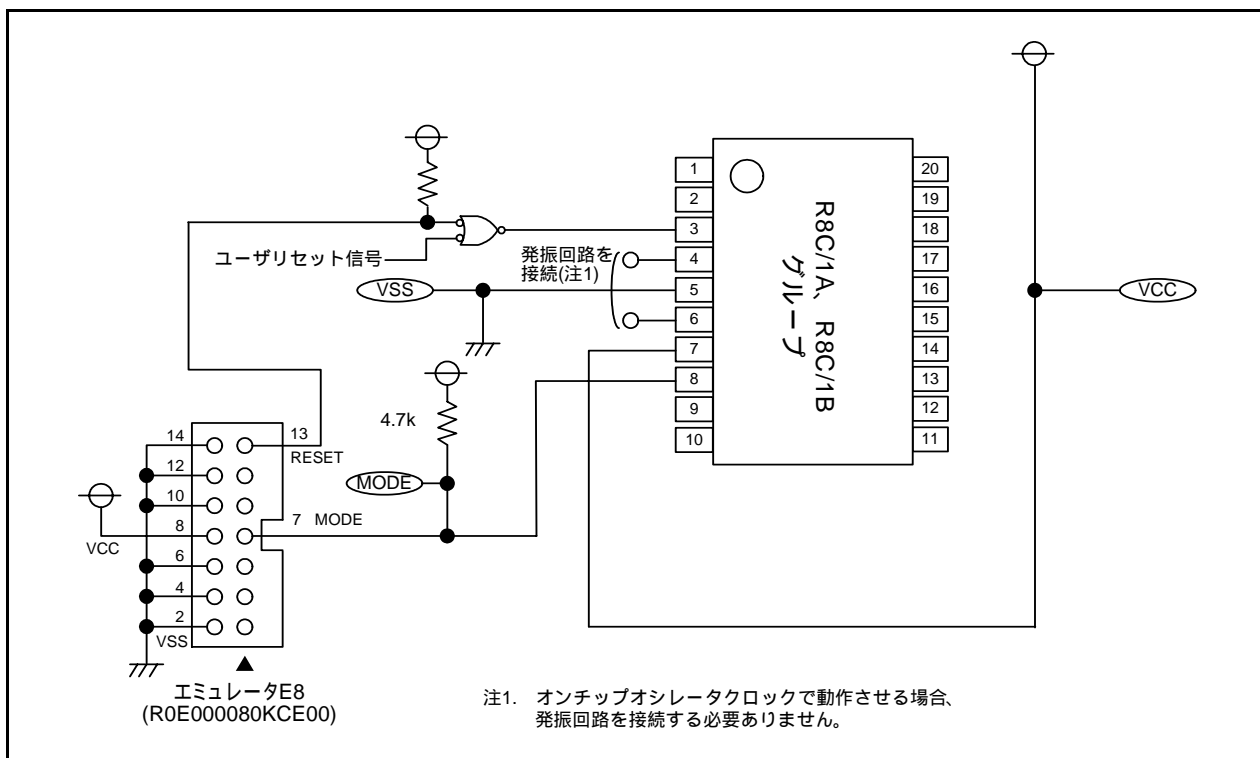


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図 2.1にM16C Flash Starterとの接続例(M3A-0806)を、付図 2.2にエミュレータE8(R0E000080KCE00)との接続例を示します。



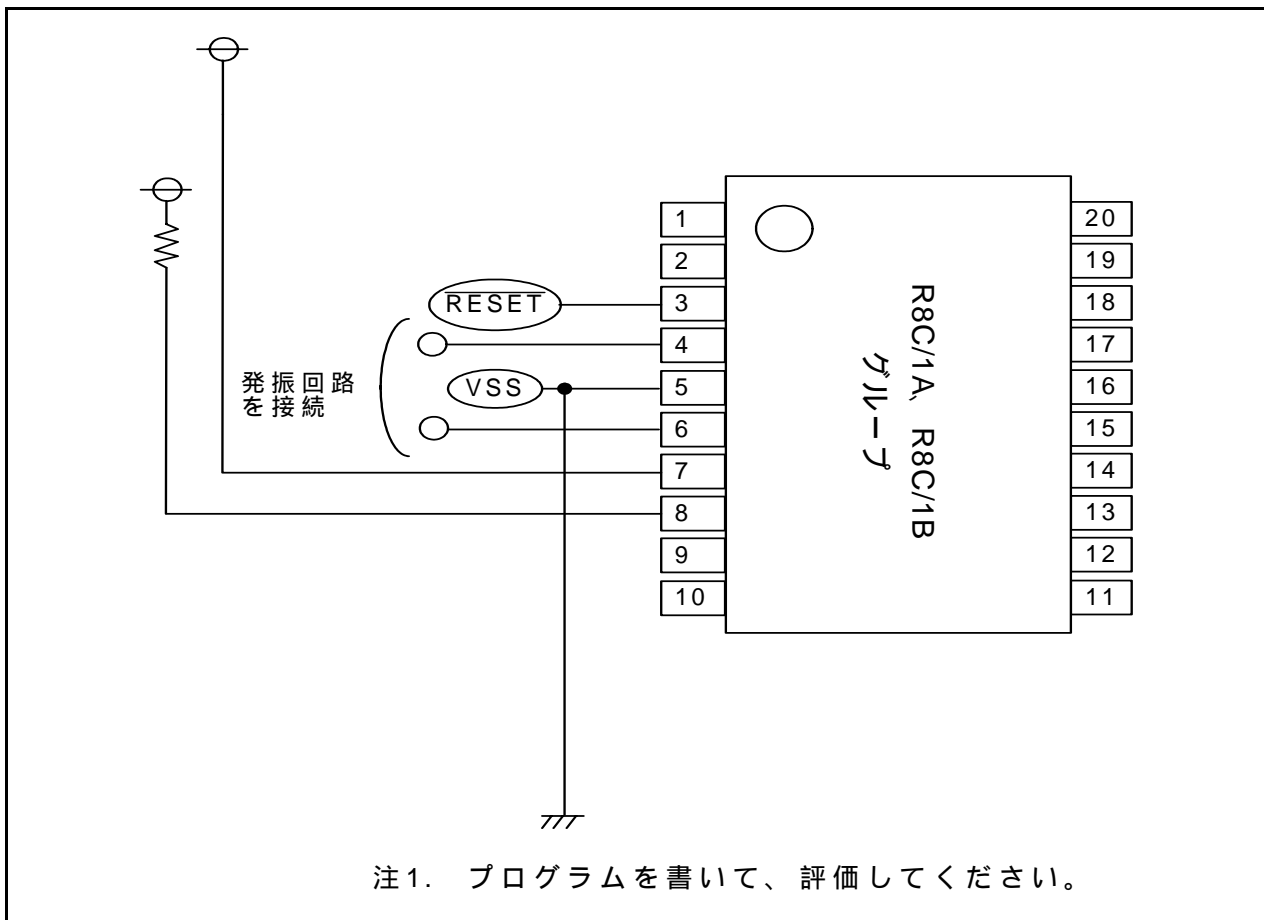
付図 2.1 M16C Flash Starterとの接続例(M3A-0806)



付図 2.2 エミュレータE8(R0E000080KCE00)との接続例

付録3. 発振評価回路例

付図 3.1 に発振評価回路例を示します。



付図 3.1 発振評価回路例

索引

数字

4線式バス通信モード189

A

A/Dコンバータ231
 A0、A116
 AD234
 ADCON0233
 ADCON1233
 ADCON2234
 ADIC82
 AIER99

B

Bフラグ16

C

CM059
 CM160
 CMP0IC82
 CMP1IC82
 CNTR0端子選択機能164
 CPU15
 CPU書き換えモード249
 CPUクロック65
 CPUクロックと周辺機能クロック65
 CSPR105
 Cフラグ16

D

DRR31
 Dフラグ16

E

EW0モード250
 EW1モード250

F

f1、f2、f4、f8、f3265
 FB16
 FLG16

FMR0253
 FMR1254
 FMR4255
 fRING-fast65
 fRING-S65
 fRING、fRING12865

H

HRA062
 HRA162
 HRA262

I

I²Cバスインタフェース197
 I²Cバスインタフェースモード209
 ICCR1200
 ICCR2201
 ICDRR205
 ICDRS205
 ICDRT205
 ICIER203
 ICMR202
 ICSR204
 IDコードチェック機能247, 267
 INT0F91
 INT0IC83
 INT0入力フィルタ92
 INT0割り込み91
 INT1IC82
 INT1割り込み93
 INT3IC82
 INT3割り込み94
 INTB16
 INTEN91
 INT割り込み91
 IPL17
 ISP16
 Iフラグ17

K

KIEN97
 KUPIC82

L

LSBファースト、MSBファースト選択159

O		SSTRSR	179
OCD	61	SSU	168
OFS	104, 248	SSシフトレジスタ	179
Oフラグ	17	Sフラグ	16
P		T	
P1	29	TC	142
P3	29	TCC0	143
P4	30	TCC1	144
PC	16	TCIC	82
PD1	29	TCOUT	145
PD3	29	TCSS	111, 127
PD4	29	TM0	142
PM0	54	TM1	142
PM1	55	TX	111
PMR	30, 176, 206	TXIC	82
PRCR	76	TXMR	110
PREX	111	TZIC	82
PREZ	125	TZMR	124
PUM	126	TZOC	126
PUR0	31	TZPR	125
PUR1	31	TZSC	125
R		U	
R0、R1、R2、R3	16	U0BRG	153
RMAD0	99	U0C0	154
RMAD1	99	U0C1	155
ROMコードプロテクト機能	248, 271	U0MR	154
S		U0RB	153
S0RIC	82	U0TB	153
S0TIC	82	U1BRG	153
S1RIC	82	U1C0	154
S1TIC	82	U1C1	155
SAR	205	U1MR	154
SB	16	U1RB	153
SCS端子制御とアービトレーション	195	U1TB	153
SFR	20	UART	161
SSCRH	170	UCON	155
SSCRL	171	USP	16
SSER	173	Uフラグ	17
SSMR	172	V	
SSMR2	175	VCA1	46
SSRDR	176	VCA2	46
SSSR	174	VCC入力電圧のモニタ	49
SSTDR	176	VW1C	47
		VW2C	48

W	く
WDC104	繰り返しモード237
WDTR105	クロック同期形シリアルI/Oモード156
WDTS105	クロック同期形シリアルインタフェース167
Z	クロック同期式シリアルモード220
Zフラグ16	クロック同期式通信モード182
あ	クロック発生回路57
アウトプットコンペアモード148	クロック非同期形シリアルI/O(UART)モード ..161
アドレス一致割り込み98	こ
アドレスレジスタ16	高速オンチップオシレータクロック64
い	さ
イベントカウンタモード115	サインフラグ16
インプットキャプチャモード146	サンプル&ホールド239
う	し
ウェイトモード67	システムクロック65
ウォッチドッグタイマ103	周辺機能クロック65
ウォッチドッグタイマリセット43	シリアルインタフェース151
お	シリアルライタとオンチップデバッグエミュ レータとの接続例311
応用1	す
オーバフローフラグ17	スタックポインタ指定フラグ17
オンチップオシレータクロック64	スタティックベースレジスタ16
オンチップデバッグの注意事項308	ステータスレジスタ264
か	ストップモード70
外形寸法図309	せ
概要1	性能概要2
各通信モードと端子機能181	製品一覧5
き	ゼロフラグ16
キー入力割り込み96	そ
キャリフラグ16	ソフトウェアコマンド259
極性選択機能159	ソフトウェアリセット43
	ソフトウェア割り込み78

た

タイマ	108
タイマC	140
タイマX	109
タイマZ	123
タイマモード	112, 128
端子の機能説明	12
単発モード	235

ち

チップセレクト付クロック同期形シリアルI/O	168
中央演算処理装置(CPU)	15

つ

通常動作モード	66
---------	----

て

低速オンチップオシレータクロック	64
データレジスタ	16
デバッグフラグ	16
電圧監視1リセット	51, 43
電圧監視2リセット	43
電圧監視2割り込み、電圧監視2リセット	52
電圧検出回路	44
転送クロック	177, 207

と

特殊割り込み	79
--------	----

の

ノイズ除去回路	224
---------	-----

は

ハードウェアリセット	40
バス制御	56
発振停止検出機能	72
発振停止検出機能の使用方法	72
発振評価回路例	312
パラレル入出力モード	271
パルス周期測定モード	119

パルス出力モード	113
パルス幅測定モード	116
パワーコントロール	66

ひ

ビット同期回路	225
ビットレート	165
標準シリアル入出力モード	267
ピン接続図	9

ふ

フラグレジスタ	16
フラッシュメモリ	244
フラッシュメモリ書き換え禁止機能	247
フルステータスチェック	265
フレームベースレジスタ	16
プログラマブルウェイトワンショット発生モード	136
プログラマブル入出力ポート	24
プログラマブル波形発生モード	130
プログラマブルワンショット発生モード	133
プログラムカウンタ	16
プロセッサモード	54
プロセッサ割り込み優先レベル	17
ブロック図	4
プロテクト	76

み

未使用端子の処理	32, 37
----------	--------

め

メインクロック	63
メモリ	18
メモリ配置	245

ゆ

ユーザスタックポインタ	16
-------------	----

よ

予約領域	17
------	----

り

リセット38

れ

レジスタ設定例226

レジスタバンク指定フラグ16

連続受信モード160

わ

割り込み77

割り込み許可フラグ17

割り込みスタックポインタ16

割り込み制御82

割り込み制御レジスタ82

割り込みテーブルレジスタ16

割り込みと割り込みベクタ80

割り込みの概要77

割り込みの分類77

割り込み要求180, 208

改訂記録	R8C/1Aグループ、R8C/1Bグループハードウェアマニュアル
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2005.06.28	-	初版発行
1.00	2005.09.01	全ページ	開発中(暫定仕様書)の表記を削除
		3	表1.2 R8C/1Bグループの性能概要 フラッシュメモリ:(データ領域) (データフラッシュ) (プログラム領域) (プログラムROM)へ変更
		4	図1.1 ブロック図 「周辺機能」追記 「システムクロック発生」「システムクロック発生器」へ変更
		5	表1.3 R8C/1Aグループの製品一覧表 一部型名の「(開)」表記、「(開):開発中」を削除
		6	表1.4 R8C/1Bグループの製品一覧表 一部型名の「(開)」表記、「(開):開発中」を削除 ROM容量: データ領域 データフラッシュ プログラム領域 プログラムROMへ変更
		9	表1.5 端子の機能説明 •電源入力「VCC/AVCC」「VCC _L 」「VSS/AVSS」「VSS」へ変更 •アナログ電源入力行 追記
		11	図2.1 CPUのレジスタ 「予約領域」「予約ビット」へ変更
		13	2.8.10 予約領域 「予約領域」「予約ビット」へ変更
		15	3.2 R8C/1Bグループ、図3.2 R8C/1Bグループのメモリ配置図 (データ領域) (データフラッシュ) (プログラム領域) (プログラムROM)へ変更
		17	表4.2 SFR一覧(2) 004Fh: SSU 割り込み制御レジスタ/IIC 割り込み制御レジスタ(注2) SSUAIC/IIC2AIC XXXXX000b 追記 注2 追記
		18	表4.3 SFR一覧(3) •0085h プリスケラZ プリスケラZレジスタ •0086h タイマZセカンダリ タイマZセカンダリレジスタ •0087h タイマZプライマリ タイマZプライマリレジスタ •008Ch プリスケラX プリスケラXレジスタ •008Dh タイマX タイマXレジスタ •0090h, 0091h タイマC タイマCレジスタ
20 ~ 39	5. リセット、6. プログラマブル入出力ポート 5. プログラマブル入出力ポート、6. リセット へ章の順番を変更		
26	図5.8 PMRレジスタ IICSEL:「SSU」「SSU機能を選択」へ変更		

改訂記録	R8C/1A グループ、R8C/1B グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.01	31	表5.13 ポート P3_4/SCS/SDA/CMP1_1 「SCS」 「SCS」 表5.14 ポート P3_5/SSCK/SCL/CMP1_2 「SSK」 「SSCK」
		33	表5.18 未使用端子の処理例、図5.11 未使用端子の処理例 「ポートP4_2、P4_6、P4_7」 「ポートP4_6、P4_7」 「VREF」 「ポートP4_2/VREF」
		52	表9.2 R8C/1Bグループのアクセス領域に対するバスサイクル 追加 表9.3 アクセス単位とバスの動作 「SFR」 「SFR、データフラッシュ」 「ROM、RAM」 「プログラムROM、ROM、RAM」
		60	10.2.2 高速オンチップオシレータクロック 「高速オンチップオシレータの周波数は、、、参照してください。」追記
		67	10.5.1 発振停止検出機能の使用方法 「周波数が2MHz以下の、、」 「周波数が2MHz未満の、、」
		68	図10.8 低速オンチップオシレータからメインクロックへの切り替え手順 変更
		69	10.6.2 発振停止検出機能 「周波数が2MHz以下の、、」 「周波数が2MHz未満の、、」 10.6.4 高速オンチップオシレータクロック 追加
		84	図12.10 割り込み優先レベルの判定回路 注2削除
		103	図14.1 タイマXのブロック図 「周辺データバス」 「データバス」
		116	14.1.6 タイマX使用上の注意 「カウント停止中にTXSビットに、、、アクセスしないでください。」 「カウント停止中にTXSビットに、、、からカウントを開始します。」
		117	図14.11 タイマZのブロック図 「周辺データバス」 「データバス」
		133	14.2.5 タイマZ使用上の注意 「カウント停止中にTZSビットに、、、アクセスしないでください。」 「カウント停止中にTZSビットに、、、からカウントを開始します。」
		147	図15.3 U0TB ~ U1TB、U0RB ~ U1RB、U0BRG ~ U1BRGレジスタ UARTi送信バッファレジスタ(i=0 ~ 1)、UARTi受信バッファレジスタ (i=0 ~ 1) 変更
		156	表15.5 UARTモード時の使用レジスタと設定値 UiBRG: 「 - 」 「0 ~ 7」変更
		161	表16.1 モード選択 「SSERレジスタのRE、TEビット」列追加
170、200	図16.9 PMRレジスタ、図16.30 PMRレジスタ IICSEL: 「SSU」 「SSU機能を選択」へ変更		
190	16.2.8.2 SSI信号端子の選択 追加		

改訂記録	R8C/1A グループ、R8C/1B グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.01	220	図16.45 マスタ送信モードのレジスタ設定例(クロック同期式シリアルモード) 「・PMRレジスタのIICSELビットを“1”にする」 追記
		225	表17.1 A/Dコンバータの性能 <ul style="list-style-type: none"> アナログ入力電圧(注1): 「0V ~ Vref」 「0V ~ AVCC」 注1 「アナログ入力電圧が基準電圧を、、、ではFFhになります。」 追記
		226	図17.1 A/Dコンバータのブロック図 「Vref」 「Vcom」
		237	表18.1 フラッシュメモリの性能概要 プログラムイレース回数: (データ領域) (データフラッシュ) (プログラム領域) (プログラムROM) へ変更
		238	18.2 メモリ配置 「R8C/1B グループの、、、領域とは、、、ブロックBがあります。」 「R8C/1B グループの、、、領域(プログラムROM)とは、、、ブロックB(データフラッシュ)があります。」 図18.1 R8C/1Aグループのフラッシュメモリのブロック図 変更
		239	図18.2 R8C/1Bグループのフラッシュメモリのブロック図 変更
		254	18.4.3.5 ブロックイレース 「プログラムサスペンド中、、、コマンドは受け付けられません。」 追記
		267	表19.3 A/Dコンバータ特性 Vref: 規格値、VIA: 規格値(最大)、注4 変更
		268	表19.4 フラッシュメモリ(プログラムROM)の電気的特性 注1~7 追記
		269	表19.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性 注1、3 変更
		271	表19.8 リセット回路の電気的特性(電圧監視1リセット使用時) 注2 変更
		272	表19.10 高速オンチップオシレータ発振回路の電気的特性 「高速、、発振の温度依存性」 「高速、、発振周波数の温度依存性」 注2 追記
		279	表19.15 電気的特性(2) [Vcc = 5V] 注1 削除
		283	表19.22 電気的特性(4) [Vcc = 3V] 注1 削除
		290	20.3.1 タイマX使用上の注意 「カウント停止中にTXSビットに、、、アクセスしないでください。」 「カウント停止中にTXSビットに、、、からカウントを開始します。」
		291	20.3.2 タイマZ使用上の注意 「カウント停止中にTZSビットに、、、アクセスしないでください。」 「カウント停止中にTZSビットに、、、からカウントを開始します。」
		293	20.5.1.2 SSI信号端子の選択 追加
299	21. オンチップデバッグの注意事項 (1)追記		
1.10	2006.03.10	-	PWQN0028KA-Bパッケージ製品を追加

改訂記録	R8C/1A グループ、R8C/1B グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2006.03.10	1	1. 「またはSDIPに収められています。」 「SDIPまたは28ピン、、収められています。」
		2、3	表1.1、表1.2 「ピンプラスチックモールドHWQFN」追記
		5、6	表1.3、表1.4 型名を追記、削除
		9	図1.6 追記
		12	表1.7 追記
		16、17	図3.1、図3.2 型名を追記、削除
		34	表5.16 設定値を修正
		40	6.2 「RESET端子にコンデンサを、、、ご注意ください。」追記
		55	表10.1 注2 削除
		56	図10.1 変更
		64	表10.2 CM1レジスタ：「CM17、CM16」修正、「CM13」追記
		71	10.6.1 変更
		100	図13.2 OFSレジスタ：注1 変更、注2 追加 WDCレジスタ：注1 削除
		109	表14.3 注1 追記
		137	図14.25 表 追記
		144	表14.12 注1 変更
		149	図15.3 注3 追記
		150	図15.4 注1 追記
		163	表16.1 変更
		164	表16.2 注2 削除
		172	図16.8 SS送信データレジスタ：旧注1 削除
		179、183 187	16.2.5.2、16.2.5.4、16.2.6.2 「スレーブデバイスに設定、、、連続送信が可能です。」削除
		180、184	図16.14、図16.17 注2 削除
		233	表17.3 仕様 修正
		238	17.7 追加
		245	18.3.2 「ROMコードプロテクトを解除する、、、」変更 図18.4 注1 変更、注2 追記
		250	図18.5 注6 追記
		260	表18.5 リセット後の値を修正
		262	図18.15 変更
		272	表19.4 「Topr」 「周囲温度」、注8 追記
273	表19.5 「Topr」 「周囲温度」、注9 追記		
276	表19.10 注3 追記		

改訂記録	R8C/1A グループ、R8C/1B グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2006.03.10	277	表19.12 注1 「Vcc = 2.2V ~ 5.5V」 「Vcc = 2.7V ~ 5.5V」 規格値 tSA、tOR 最大 : 「1tCYC+50」 「1.5tCYC+100」
		283、287	表19.15、表19.22 「(指定のない場合は、、、)」追記、 測定条件 ストップモード : 「Topr = 25」追記
		285、289	表19.19、表19.26 td(C-Q)、tsu(D-C)の規格値を変更
		290	20.1.1 変更
		304、305	付録1 外形寸法図 変更と追記
		306	付図2.1 変更
		307	付図3.1 変更
1.20	2006.10.03	全ページ	Yバージョン 追加 書き込み出荷品 追加
		2、3	表1.1、表1.2 性能 割り込み : 「内部 : 9要因」 「内部 : 11要因」
		34	表5.12 設定値 変更
		39	表6.2 「リセット後の端子の状態」 「RESET端子のレベルが“L”の期間の端子の状態」
		62	図10.5 高速オンチップオシレータ制御レジスタ1 注2 追記、 高速オンチップオシレータ制御レジスタ2 注4 追記
		73	10.6.1 変更、10.6.2 追記
		103	図13.2 ウォッチドッグタイマ制御レジスタ リセット後の値 b5 : 「読んだ場合、その値は不定」 追記
		120	図14.10 図 変更、注6 「そのときは、読み出し用バッファの、、、判断してください。」削除 注7 削除
		162	図15.9 変更
		170	図16.3 注2 変更
		201	図16.26 注3 変更
		208 ~ 213	図16.31 ~ 図16.35 変更
		248	表18.3 項目 リードステータスレジスタ後のモードを追記
		255	図18.8 変更
		258	18.4.3.1 「また、リセット解除後は、、、になります。」追記 18.4.3.2 「リードステータスレジスタモードは、、、継続されます。」追記
		259	18.4.3.4 「FMR00ビットは、自動、、、終了後は“1”になります。」 「サスペンド機能禁止時、FMR00ビットは、、、終了後は“0”になります。」
		260	図18.13 追加
		262	図18.15 図 変更、注3 追記
		273	表19.2 項目 システムクロック 追記
		307	21. (2)変更、(5)削除
309	外形寸法図 「PWQN0028KA-B」変更		

改訂記録	R8C/1A グループ、R8C/1B グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2006.12.08	20	表4.1 000Fh 番地 リセット後の値 「000XXXXb」 「00X11111b」
		36	表5.17 設定値 追記
		59	図10.2 注4 変更
		69	図10.7 追記
		71	図10.8 追記
		74	10.6.1 「ストップモードに移行するプログラム例」変更 10.6.2 「WAIT命令を実行するプログラム例」変更
		98	表12.6 変更
		104	図13.2 WDCレジスタ リセット後の値 「00011111b」 「00X11111b」
		158	図15.6 変更
		163	図15.9 変更
		166	15.3 「受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。」
		233	図17.2 ADCON0レジスタ 注2 変更
		235	表17.2 停止条件 仕様「ADCAPビットが“0”(ソフトウェアトリガ)の場合、」追記
		236	図17.4 ADCON0レジスタ 注2 変更
		238	図17.5 ADCON0レジスタ 注2 変更
		250	18.4.1、18.4.2 「td(SR-ES)」 「td(SR-SUS)」
274	表19.2 システムクロック 変更		
294	20.1.1 「ストップモードに移行するプログラム例」変更 20.1.2 「WAIT命令を実行するプログラム例」変更		

R8C/1Aグループ、R8C/1Bグループハードウェアマニュアル

発行年月日 2005年6月28日 Rev.0.10
2006年12月8日 Rev.1.30

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

R8C/1A グループ、R8C/1B グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0277-0130