

R32C/116Aグループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ
M16Cファミリ／R32C/100シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R32C/116A グループでは以下のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R32C/116Aグループ データシート	R01DS0066JJ0120
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください	R32C/116Aグループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編/ ソフトウェアマニュアル	CPU命令セットの説明	R32C/100シリーズ ソフトウェアマニュアル	RJJ09B0272-0100
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクス ホームページに掲載されています	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0レジスタのPM03ビット
P3_5端子、VCC端子

(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例) 2進数: 11b
16進数: EFA0h
10進数: 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
・・・

アドレス
・・・h番地

リセット後の値
・・・b

ビットシンボル	ビット名	機能	RW
・・・0	・・・ビット	b1 b0 0 0 : ・・・ 0 1 : ・・・ 1 0 : 設定しないでください 1 1 : ・・・	RW *2
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		— *3
— (b3)	予約ビット	“1”にしてください	RW *4
— (b4)	予約ビット	“0”にしてください 読んだ場合、その値は不定	RW
・・・5	・・・ビット	動作モードによって機能が異なる	WO
・・・6			WO
・・・7	・・・フラグ	0 : ・・・ 1 : ・・・	RO

***1**

- 空白 : 用途に応じて“0”または“1”にしてください
- 0 : “0”にしてください
- 1 : “1”にしてください
- x : 何も配置されていないビットです

***2**

- RW : 読むとビットの値が読めます。書くと有効データになります
- RO : 読むとビットの値が読めます。書いた値は無効になります
- WO : 書くと有効データになります。ビットの値は読めません (読んだ場合は不定値が読めます)
- : 何も配置されていないビットです

***3**

- ・予約ビット
予約ビットです。指定された値にしてください。RWのビットについては、特に記載のない限り書いた値が読めます

***4**

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください
- ・設定しないでください
設定した場合の動作は保証されません
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください

4. 略語および略称の説明

略語/略称	フルスペル	説明
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1
1.1	特長	1
1.1.1	用途	1
1.1.2	仕様概要	2
1.2	製品一覧	6
1.3	ブロック図	8
1.4	ピン接続図	9
1.5	端子機能の説明	20
2.	中央演算処理装置 (CPU)	25
2.1	基本レジスタ	26
2.1.1	データレジスタ (R2R0, R3R1, R6R4, R7R5)	26
2.1.2	アドレスレジスタ (A0, A1, A2, A3)	26
2.1.3	スタティックベースレジスタ (SB)	26
2.1.4	フレームベースレジスタ (FB)	26
2.1.5	プログラムカウンタ (PC)	26
2.1.6	割り込みベクタテーブルベースレジスタ (INTB)	26
2.1.7	ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	26
2.1.8	フラグレジスタ (FLG)	26
2.2	高速割り込みレジスタ	28
2.2.1	フラグ退避レジスタ (SVF)	28
2.2.2	PC退避レジスタ (SVP)	28
2.2.3	ベクタレジスタ (VCT)	28
2.3	DMAC関連レジスタ	29
2.3.1	DMAモードレジスタ (DMD0, DMD1, DMD2, DMD3)	29
2.3.2	DMAターミナルカウンタレジスタ (DCT0, DCT1, DCT2, DCT3)	29
2.3.3	DMAターミナルカウントリロードレジスタ (DCR0, DCR1, DCR2, DCR3)	29
2.3.4	DMAソースアドレスレジスタ (DSA0, DSA1, DSA2, DSA3)	29
2.3.5	DMAソースアドレスリロードレジスタ (DSR0, DSR1, DSR2, DSR3)	29
2.3.6	DMAデスティネーションアドレスレジスタ (DDA0, DDA1, DDA2, DDA3)	29
2.3.7	DMAデスティネーションアドレスリロードレジスタ (DDR0, DDR1, DDR2, DDR3)	29
3.	メモリ	30
4.	SFR	31
5.	リセット	58
5.1	ハードウェアリセット	58
5.2	ソフトウェアリセット	61
5.3	ウォッチドッグタイマリセット	61
5.4	リセットベクタ	62

6.	パワーマネージメント	63
6.1	電圧レギュレータ	63
6.1.1	平滑コンデンサ	64
6.2	電圧低下検出回路	65
6.2.1	電圧低下検出回路の動作	67
6.2.2	電圧低下検出割り込み	67
6.2.3	電圧低下検出回路の応用例	68
7.	プロセッサモード	69
7.1	プロセッサモードの種類	69
7.2	プロセッサモードの設定	69
8.	クロック発生回路	72
8.1	クロック発生回路の種類	72
8.1.1	メインクロック	81
8.1.2	サブクロック (fC)	82
8.1.3	PLLクロック	83
8.1.4	オンチップオシレータクロック	86
8.2	発振停止検出機能	87
8.2.1	発振停止検出機能使用方法	87
8.3	ベースクロック	87
8.4	CPUクロックと周辺バスクロック	88
8.5	周辺機能クロック	88
8.6	クロック出力機能	89
8.7	パワーコントロール	90
8.7.1	通常動作モード	91
8.7.2	ウェイトモード	96
8.7.3	ストップモード	99
8.8	システムクロック保護機能	101
8.9	クロック発生回路使用上の注意	102
8.9.1	サブクロック	102
8.9.2	パワーコントロール	102
9.	バス	103
9.1	バス設定	103
9.2	周辺バスタイミングの設定	104
9.3	外部バスの設定	105
9.3.1	外部アドレス空間の設定	105
9.3.2	外部データバス幅の選択	111
9.3.3	セパレートバス、マルチプレクスバスの選択	113
9.3.4	リード、ライト信号	116
9.3.5	外部バスタイミング	117

9.3.6	ALE 信号	121
9.3.7	$\overline{\text{RDY}}$ 信号	122
9.3.8	$\overline{\text{HOLD}}$ 信号	125
9.3.9	BCLK 出力	125
9.4	内部領域をアクセスしたときの外部バスの状態	125
9.5	バスの注意事項	126
9.5.1	レジスタ設定上の注意事項	126
10.	プロテクト	127
10.1	プロテクトレジスタ (PRCR レジスタ)	127
10.2	プロテクトレジスタ 2 (PRCR2 レジスタ)	128
10.3	プロテクトレジスタ 3 (PRCR3 レジスタ)	128
10.4	プロテクトレジスタ 4 (PRCR4 レジスタ)	129
10.5	プロテクト解除レジスタ (PRR レジスタ)	129
11.	割り込み	130
11.1	割り込みの分類	130
11.2	ソフトウェア割り込み	131
11.3	ハードウェア割り込み	132
11.3.1	特殊割り込み	132
11.3.2	周辺機能割り込み	132
11.4	高速割り込み	132
11.5	割り込みベクタ	133
11.5.1	固定ベクタテーブル	133
11.5.2	可変ベクタテーブル	134
11.6	割り込み要求の受け付け	139
11.6.1	I フラグと IPL	139
11.6.2	割り込み制御レジスタ	140
11.6.3	復帰用割り込み優先レベル設定レジスタ	143
11.6.4	割り込みシーケンス	144
11.6.5	割り込み応答時間	145
11.6.6	割り込み要求受け付け時の IPL の変化	146
11.6.7	レジスタ退避	146
11.7	割り込み処理ルーチンからの復帰	147
11.8	割り込み優先順位	147
11.9	割り込み優先順位判定回路	147
11.10	外部割り込み	149
11.11	NMI	150
11.12	キー入力割り込み	151
11.13	インテリジェント I/O 割り込み	152
11.14	割り込み使用上の注意	155
11.14.1	ISP の設定	155

11.14.2	NMI	155
11.14.3	外部割り込み	155
12.	ウォッチドッグタイマ	156
13.	DMAC	160
13.1	転送サイクル	169
13.1.1	転送番地とデータバス幅の影響	169
13.1.2	バスタイミングの影響	170
13.1.3	$\overline{\text{RDY}}$ 信号の影響	170
13.2	DMA転送サイクル数	172
13.3	チャネル優先順位とDMA転送タイミング	173
13.4	DMAコントローラ使用上の注意	174
13.4.1	DMAC関連レジスタの設定	174
13.4.2	DMAC関連レジスタの読み出し	174
14.	DMAC II	175
14.1	DMAC IIの設定	176
14.1.1	RIPL1、RIPL2レジスタ	176
14.1.2	DMAC IIインデックス	177
14.1.3	周辺機能の割り込み制御レジスタ	180
14.1.4	周辺機能の可変ベクタテーブル	180
14.1.5	IIOiEレジスタ (i=0~11)のIRLTビット	180
14.2	DMAC IIの動作	180
14.3	転送対象	181
14.3.1	メモリ間転送	181
14.3.2	即値転送	181
14.3.3	演算転送	181
14.4	転送方式	182
14.4.1	単転送	182
14.4.2	バースト転送	182
14.4.3	複数転送	182
14.5	チェーン転送	183
14.6	転送完了割り込み	183
14.7	実行時間	184
15.	プログラマブル入出力ポート	185
15.1	ポートPiレジスタ (Piレジスタ、i=0~19)	187
15.2	自己診断機能	188
16.	タイマ	189
16.1	タイマA	191
16.1.1	タイマモード	197

16.1.2	イベントカウンタモード	199
16.1.3	ワンショットタイマモード	203
16.1.4	パルス幅変調モード	205
16.2	タイマB	208
16.2.1	タイマモード	211
16.2.2	イベントカウンタモード	212
16.2.3	パルス周期測定モード、パルス幅測定モード	214
16.3	タイマ使用上の注意	217
16.3.1	タイマA、タイマB共通	217
16.3.2	タイマA	217
16.3.3	タイマB	219
17.	三相モータ制御用タイマ機能	220
17.1	三相モータ制御用タイマのモード	226
17.2	タイマB2	226
17.3	タイマA4、A1、A2	228
17.4	上下同時通電出力禁止機能と短絡防止タイマ	231
17.5	三相モータ制御用タイマの動作例	232
17.6	三相モータ制御用タイマ機能使用上の注意	235
17.6.1	シャットダウン機能	235
17.6.2	レジスタ設定	235
18.	シリアルインタフェース	236
18.1	クロック同期型シリアルインタフェースモード	253
18.1.1	通信エラー発生時の対処方法	258
18.1.2	CLK極性選択	258
18.1.3	LSBファースト、MSBファースト選択	259
18.1.4	連続受信モード	259
18.1.5	シリアルデータ論理切り替え	260
18.1.6	CTS/RTS機能	260
18.2	クロック非同期型シリアルインタフェースモード(UARTモード)	261
18.2.1	ビットレート	266
18.2.2	通信エラー発生時の対処方法	267
18.2.3	LSBファースト、MSBファースト選択	267
18.2.4	シリアルデータ論理切り替え	268
18.2.5	TXD、RXD入出力極性切り替え	269
18.2.6	CTS/RTS機能	269
18.3	特殊モード1(I ² Cモード)	270
18.3.1	スタートコンディション、ストップコンディションの検出	275
18.3.2	スタートコンディション、ストップコンディションの生成	275
18.3.3	アービトレーション	276
18.3.4	SCL制御とクロック同期化	276

18.3.5	SDA出力	278
18.3.6	SDA入力	279
18.3.7	アクノリッジ	279
18.3.8	送受信初期化	279
18.4	特殊モード2	280
18.4.1	\overline{SSi} 入力端子機能 (i=0~6)	282
18.4.2	クロック位相設定機能	283
18.5	シリアルインタフェース使用上の注意	285
18.5.1	UIBRGレジスタ (i=0~10)の変更	285
18.5.2	クロック同期モード	285
18.5.3	特殊モード1 (I ² Cモード)	285
18.5.4	通信異常時または通信中断/再開時の処理	286
19.	A/Dコンバータ	287
19.1	モードの説明	295
19.1.1	単発モード	295
19.1.2	繰り返しモード	296
19.1.3	単掃引モード	297
19.1.4	繰り返し掃引モード0	298
19.1.5	繰り返し掃引モード1	299
19.1.6	マルチポート単掃引モード	300
19.1.7	マルチポート繰り返し掃引モード0	301
19.2	機能	302
19.2.1	分解能選択機能	302
19.2.2	サンプル&ホールド	302
19.2.3	トリガ選択機能	302
19.2.4	DMAC利用モード	302
19.2.5	拡張アナログ入力端子	303
19.2.6	外部オペアンプ接続モード	303
19.2.7	自己診断/断線検出アシスト機能	304
19.2.8	消費電流低減機能	305
19.2.9	センサの出カインピーダンス	305
19.3	A/Dコンバータ使用上の注意	307
19.3.1	基板設計上の注意点	307
19.3.2	プログラム作成上の注意点	307
20.	D/Aコンバータ	309
21.	CRC演算回路	311
22.	X-Y変換回路	314
22.1	読み出し時のデータ変換	315
22.2	書き込み時のデータ変換	317

23.	インテリジェントI/O	318
23.1	ベースタイマ(グループ0~2)	333
23.2	時間計測機能(グループ0、1)	339
23.3	波形生成機能(グループ0~2)	343
23.3.1	単相波形出力モード(グループ0~2)	344
23.3.2	反転波形出力モード(グループ0~2)	346
23.3.3	セット-リセット波形出力(SR波形出力)モード(グループ0~2)	348
23.3.4	ビットモジュレーションPWM出力モード(グループ2)	351
23.3.5	リアルタイムポート(RTP)出力モード(グループ2)	353
23.3.6	並列リアルタイムポート(RTP)出力モード(グループ2)	355
23.4	グループ2通信機能	357
23.4.1	可変長クロック同期型シリアルI/Oモード(グループ2)	362
24.	マルチマスタI ² Cバスインタフェース	365
24.1	マルチマスタI ² Cバスインタフェース関連レジスタ	367
24.1.1	I ² Cバス送受信シフトレジスタ(I2CTRSR)	367
24.1.2	I ² Cバススレーブアドレスレジスタ(I2CSAR)	368
24.1.3	I ² Cバス制御レジスタ0(I2CCR0)	369
24.1.4	I ² Cバスクロック制御レジスタ(I2CCCR)	371
24.1.5	I ² Cバススタートコンディション/ストップコンディション制御レジスタ(I2CSSCR)	373
24.1.6	I ² Cバス制御レジスタ1(I2CCR1)	375
24.1.7	I ² Cバス制御レジスタ2(I2CCR2)	378
24.1.8	I ² Cバスステータスレジスタ(I2CSR)	380
24.1.9	I ² Cバスモードレジスタ(I2CMR)	384
24.2	スタートコンディション生成方法	385
24.3	ストップコンディション生成方法	387
24.4	スタートコンディション重複防止機能	388
24.5	スタートコンディション/ストップコンディション検出	389
24.6	データ送受信	391
24.6.1	マスタ送信例	392
24.6.2	スレーブ受信例	393
24.7	使用上の注意事項	394
24.7.1	I ² Cバスインタフェースの各レジスタアクセス	394
24.7.2	リスタートコンディションの生成	396
25.	プロテクト領域	397
26.	入出力端子	399
26.1	ポートPi方向レジスタ(PDiレジスタ、i=0~19)	400
26.2	出力機能選択レジスタ	401
26.3	入力機能選択レジスタ	422
26.4	プルアップ制御レジスタ0~5(PUR0~PUR5レジスタ)	426

26.5	ポート制御レジスタ (PCR レジスタ).....	430
26.6	未使用端子の処理.....	432
27.	フラッシュメモリ	435
27.1	概要.....	435
27.2	フラッシュメモリプロテクト.....	437
27.2.1	ロックビットプロテクト.....	437
27.2.2	ROMコードプロテクト.....	437
27.2.3	IDコードプロテクト.....	438
27.2.4	強制イレーズ機能.....	439
27.2.5	標準シリアル入出力モード禁止機能.....	440
27.3	CPU 書き換えモード.....	441
27.3.1	フラッシュメモリ書き換えバスタイミング設定.....	449
27.3.2	ソフトウェアコマンド.....	453
27.3.3	モード遷移.....	454
27.3.4	コマンド発行手順.....	455
27.3.5	ステータスチェック.....	461
27.3.6	サスペンド/レジューム機能.....	462
27.4	標準シリアル入出力モード.....	467
27.5	パラレル入出力モード.....	470
27.6	フラッシュメモリ書き換えに関する注意.....	471
27.6.1	電源電圧に関する注意事項.....	471
27.6.2	ハードウェアリセットに関する注意事項.....	471
27.6.3	フラッシュメモリプロテクトに関する注意点.....	471
27.6.4	プログラム作成上の注意点.....	471
27.6.5	割り込み使用上の注意点.....	471
27.6.6	書き換え制御プログラムの書き換えに関する注意点.....	472
27.6.7	プログラム、イレーズ回数とソフトウェアコマンド実行時間.....	472
27.6.8	その他の注意事項.....	472
28.	電气的特性	473
29.	使用上の注意事項	514
29.1	基板設計に関する注意.....	514
29.1.1	電源端子.....	514
29.1.2	電源電圧.....	514
29.2	レジスタ設定時の注意.....	515
29.2.1	ライトオンリのビットを含むレジスタ.....	515
29.3	クロック発生回路使用上の注意.....	517
29.3.1	サブクロック.....	517
29.3.2	パワーコントロール.....	517
29.4	バスの注意事項.....	518

29.4.1	レジスタ設定上の注意事項	518
29.5	割り込み使用上の注意	519
29.5.1	ISPの設定	519
29.5.2	NMI	519
29.5.3	外部割り込み	519
29.6	DMAコントローラ使用上の注意	520
29.6.1	DMAC関連レジスタの設定	520
29.6.2	DMAC関連レジスタの読み出し	520
29.7	タイマ使用上の注意	521
29.7.1	タイマA、タイマB共通	521
29.7.2	タイマA	521
29.7.3	タイマB	523
29.8	三相モータ制御用タイマ機能使用上の注意	524
29.8.1	シャットダウン機能	524
29.8.2	レジスタ設定	524
29.9	シリアルインタフェース使用上の注意	525
29.9.1	UiBRGレジスタ (i=0~10)の変更	525
29.9.2	クロック同期モード	525
29.9.3	特殊モード1 (I ² Cモード)	525
29.9.4	通信異常時または通信中断/再開時の処理	526
29.10	A/Dコンバータ使用上の注意	527
29.10.1	基板設計上の注意点	527
29.10.2	プログラム作成上の注意点	527
29.11	フラッシュメモリ書き換えに関する注意	529
29.11.1	電源電圧に関する注意事項	529
29.11.2	ハードウェアリセットに関する注意事項	529
29.11.3	フラッシュメモリプロテクトに関する注意点	529
29.11.4	プログラム作成上の注意点	529
29.11.5	割り込み使用上の注意点	529
29.11.6	書き換え制御プログラムの書き換えに関する注意点	530
29.11.7	プログラム、イレーズ回数とソフトウェアコマンド実行時間	530
29.11.8	その他の注意事項	530
付録1.外形寸法図		531
索引		533

1. 概要

1.1 特長

M16Cファミリは、高いROM効率、優れたノイズ特性、超低消費電力、実応用での高い処理能力、豊富な内蔵周辺機能などを特長とする32/16ビットCISCマイコンです。同一アーキテクチャで、ピン配置互換、周辺機能上位互換を保持した上位から下位機種までのシリーズ展開により、幅広い応用分野に対応しています。

R32C/100シリーズは、M16Cファミリの最上位の製品です。32ビットCISCアーキテクチャを採用し、4Gバイトのアドレス空間を備えています。また、乗算器や積和演算器、単精度浮動小数点演算器を搭載することで、高い命令効率と処理能力を達成しました。シリアルインタフェース、CRC演算回路、DMAC、A/Dコンバータ、D/Aコンバータ、タイマ、I²Cバスインタフェース、ウォッチドッグタイマなど豊富な周辺機能を搭載しています。

R32C/116AグループはR32C/100シリーズの標準製品です。パッケージは176ピンLQFPと144ピンLQFPを採用し、シリアルインタフェースを11チャンネル、マルチマスタI²Cバスインタフェースを1チャンネル内蔵しています。

1.1.1 用途

カーオーディオ、オーディオ、カメラ、TV、家電、プリンタ、事務機器、産業機器、通信機器、携帯機器、他

1.1.2 仕様概要

表 1.1~表 1.4にR32C/116A グループの仕様概要を示します。

表 1.1 仕様概要 (176ピン版) (1/2)

分類	機能	説明
CPU	中央演算処理装置	R32C/100 シリーズ CPU コア <ul style="list-style-type: none"> • 基本命令数: 108 • 最小命令実行時間: 15.625 ns ($f(\text{CPU}) = 64 \text{ MHz}$) • 乗算器: 32ビット×32ビット→64ビット • 積和演算命令: 32ビット×32ビット+64ビット→64ビット • FPU: 単精度 (IEEE-754 準拠) • バレルシフタ: 32ビット • 動作モード: シングルチップモード、メモリ拡張モード、マイクロプロセッサモード(オプション(注1))
メモリ		フラッシュメモリ: 512K~1Mバイト RAM: 96Kバイト データフラッシュ: 4Kバイト×2ブロック 品種ごとのメモリサイズについては表 1.5をご参照ください
電圧検出	電圧低下検出回路	オプション(注1) 電圧低下検出割り込み
クロック	クロック発生回路	<ul style="list-style-type: none"> • 4回路 (メインクロック、サブクロック、PLL、オンチップオシレータ) • 発振停止検出: メインクロック発振停止、再発振検出機能 • 周波数分周回路: 2~24分周選択 • 低消費電力機構: ウェイトモード、ストップモード
外部バス拡張	バス・メモリ拡張機能	<ul style="list-style-type: none"> • アドレス空間: 4Gバイト (うち64Mバイトまで利用可能) • 外部バスインタフェース: ウェイト挿入可、チップセレクト4出力 • バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8/16/32ビット)
割り込み		割り込みベクタ数: 261 外部割り込み入力: $\overline{\text{NMI}}$ 、 $\overline{\text{INT}} \times 9$ 、キー入力×4 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1 (プリスケール付) リセットスタート機能選択可能
DMA	DMAC	4チャンネル <ul style="list-style-type: none"> • サイクルスチール方式 • 起動要因数: 61 • 転送モード: 単転送、リピート転送
	DMAC II	<ul style="list-style-type: none"> • すべての周辺機能割り込み要因で起動可能 • 即値転送機能、演算転送機能、チェーン転送機能
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> • 入力専用: 2 • CMOS入出力: 156 <ul style="list-style-type: none"> • 内5Vトレラントポート: 52 • 4端子ごとにプルアップ抵抗設定可能(5Vトレラントポート除く)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.2 仕様概要(176ピン版) (2/2)

分類	機能	説明
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアルインタフェース	UART0~UART10	クロック同期/非同期兼用×11チャンネル <ul style="list-style-type: none"> •I²C-bus (UART0~UART6) •特殊モード2 (UART0~UART6) •IEBus (UART0~UART6) (オプション(注1))
A/Dコンバータ		分解能10ビット×34チャンネル サンプル&ホールドあり 断線検出、自己診断モード
D/Aコンバータ		分解能8ビット×2回路
CRC演算回路		CRC-CCITT ($X^{16}+X^{12}+X^5+1$)
X-Y変換回路		16ビット×16ビット
インテリジェントI/O		時間計測機能(インプットキャプチャ): 16ビット×16 波形生成機能(アウトプットコンペア): 16ビット×24 通信機能: 可変長クロック同期型シリアルI/O、IEBus (オプション(注1))
マルチマスタI ² Cバスインタフェース		1チャンネル
フラッシュメモリ		プログラム、イレーズ電圧: VCC = 3.0 ~ 5.5 V プログラム、イレーズ回数: 1000回 サスペンド/レジューム機能あり プログラムセキュリティ: ROMコードプロテクト、IDコードプロテクト デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		64 MHz / VCC = 3.0 ~ 5.5 V
動作周囲温度		-40°C ~ 85°C (Dバージョン) -40°C ~ 85°C (Pバージョン)
消費電流		45 mA (VCC = 5.0 V、f(CPU) = 64 MHz) 8 μA (VCC = 3.3 V、f(XCIN) = 32.768 kHz、ウェイトモード)
パッケージ		176ピンプラスチックモールドLQFP (PLQP0176KB-A)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.3 仕様概要(144ピン版) (1/2)

分類	機能	説明
CPU	中央演算処理装置	R32C/100 シリーズ CPU コア <ul style="list-style-type: none"> • 基本命令数: 108 • 最小命令実行時間: 15.625 ns ($f(\text{CPU}) = 64 \text{ MHz}$) • 乗算器: 32ビット×32ビット→64ビット • 積和演算命令: 32ビット×32ビット+64ビット→64ビット • FPU: 単精度 (IEEE-754 準拠) • バレルシフタ: 32ビット • 動作モード: シングルチップモード、メモリ拡張モード、マイクロプロセッサモード(オプション(注1))
メモリ		フラッシュメモリ: 512K~1Mバイト RAM: 96Kバイト データフラッシュ: 4Kバイト×2ブロック 品種ごとのメモリサイズについては表 1.5 をご参照ください
電圧検出	電圧低下検出回路	オプション(注1) 電圧低下検出割り込み
クロック	クロック発生回路	<ul style="list-style-type: none"> • 4回路 (メインクロック、サブクロック、PLL、オンチップオシレータ) • 発振停止検出: メインクロック発振停止、再発振検出機能 • 周波数分周回路: 2~24分周選択 • 低消費電力機構: ウェイトモード、ストップモード
外部バス拡張	バス・メモリ拡張機能	<ul style="list-style-type: none"> • アドレス空間: 4Gバイト (うち64Mバイトまで利用可能) • 外部バスインタフェース: ウェイト挿入可、チップセレクト4出力 • バス形式: セパレートバス/マルチプレクスバス切り替え可、データバス幅切り替え可(8/16/32ビット)
割り込み		割り込みベクタ数: 261 外部割り込み入力: $\overline{\text{NMI}}$ 、 $\overline{\text{INT}} \times 9$ 、キー入力×4 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1 (プリスケアラ付) リセットスタート機能選択可能
DMA	DMAC	4チャンネル <ul style="list-style-type: none"> • サイクルスチール方式 • 起動要因数: 61 • 転送モード: 単転送、リピート転送
	DMAC II	<ul style="list-style-type: none"> • すべての周辺機能割り込み要因で起動可能 • 即値転送機能、演算転送機能、チェーン転送機能
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> • 入力専用: 2 • CMOS入出力: 124 <ul style="list-style-type: none"> • 内5Vトレラントポート: 40 • 4端子ごとにプルアップ抵抗設定可能(5Vトレラントポート除く)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.4 仕様概要(144ピン版) (2/2)

分類	機能	説明
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1(タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアルインタフェース	UART0~UART10	クロック同期/非同期兼用×11チャンネル <ul style="list-style-type: none"> •I²C-bus (UART0~UART6) •特殊モード2 (UART0~UART6) •IEBus (UART0~UART6) (オプション(注1))
A/Dコンバータ		分解能10ビット×34チャンネル サンプル&ホールドあり 断線検出、自己診断モード
D/Aコンバータ		分解能8ビット×2回路
CRC演算回路		CRC-CCITT ($X^{16}+X^{12}+X^5+1$)
X-Y変換回路		16ビット×16ビット
インテリジェントI/O		時間計測機能(インプットキャプチャ): 16ビット×16 波形生成機能(アウトプットコンペア): 16ビット×24 通信機能: 可変長クロック同期型シリアルI/O、IEBus (オプション(注1))
マルチマスタI ² Cバスインタフェース		1チャンネル
フラッシュメモリ		プログラム、イレーズ電圧: VCC = 3.0 ~ 5.5 V プログラム、イレーズ回数: 1000回 サスペンド/レジューム機能あり プログラムセキュリティ: ROMコードプロテクト、IDコードプロテクト デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		64 MHz / VCC = 3.0 ~ 5.5 V
動作周囲温度		-40°C ~ 85°C (Dバージョン) -40°C ~ 85°C (Pバージョン)
消費電流		45 mA (VCC = 5.0 V、f(CPU) = 64 MHz) 8 μA (VCC = 3.3 V、f(XCIN) = 32.768 kHz、ウェイトモード)
パッケージ		144ピンプラスチックモールドLQFP (PLQP0144KA-A)

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

1.2 製品一覧

表 1.5に製品一覧表、図 1.1に型名とメモリサイズ・パッケージを示します。

表 1.5 製品一覧表

2014年7月現在

型名	パッケージ(注1)	ROM容量(注2)	RAM容量	備考
R5F6416JADFE	PLQP0176KB-A	512Kバイト +8Kバイト	96Kバイト	-40°C ~ 85°C (Dバージョン)
R5F6416JAPFE				-40°C ~ 85°C (Pバージョン)
R5F6416JADFD	PLQP0144KA-A			-40°C ~ 85°C (Dバージョン)
R5F6416JAPFD				-40°C ~ 85°C (Pバージョン)
R5F6416KADFE	PLQP0176KB-A	640Kバイト +8Kバイト	96Kバイト	-40°C ~ 85°C (Dバージョン)
R5F6416KAPFE				-40°C ~ 85°C (Pバージョン)
R5F6416KADFD	PLQP0144KA-A			-40°C ~ 85°C (Dバージョン)
R5F6416KAPFD				-40°C ~ 85°C (Pバージョン)
R5F6416LADFE	PLQP0176KB-A	768Kバイト +8Kバイト	96Kバイト	-40°C ~ 85°C (Dバージョン)
R5F6416LAPFE				-40°C ~ 85°C (Pバージョン)
R5F6416LADFD	PLQP0144KA-A			-40°C ~ 85°C (Dバージョン)
R5F6416LAPFD				-40°C ~ 85°C (Pバージョン)
R5F6416MADFE	PLQP0176KB-A	1Mバイト +8Kバイト	96Kバイト	-40°C ~ 85°C (Dバージョン)
R5F6416MAPFE				-40°C ~ 85°C (Pバージョン)
R5F6416MADFD	PLQP0144KA-A			-40°C ~ 85°C (Dバージョン)
R5F6416MAPFD				-40°C ~ 85°C (Pバージョン)

注1. 旧パッケージコードは以下のとおりです。

PLQP0144KA-A : 144P6Q-A、PLQP0176KB-A : 176P6Q-A

注2. ROM容量の「+8Kバイト」はデータフラッシュの容量です。

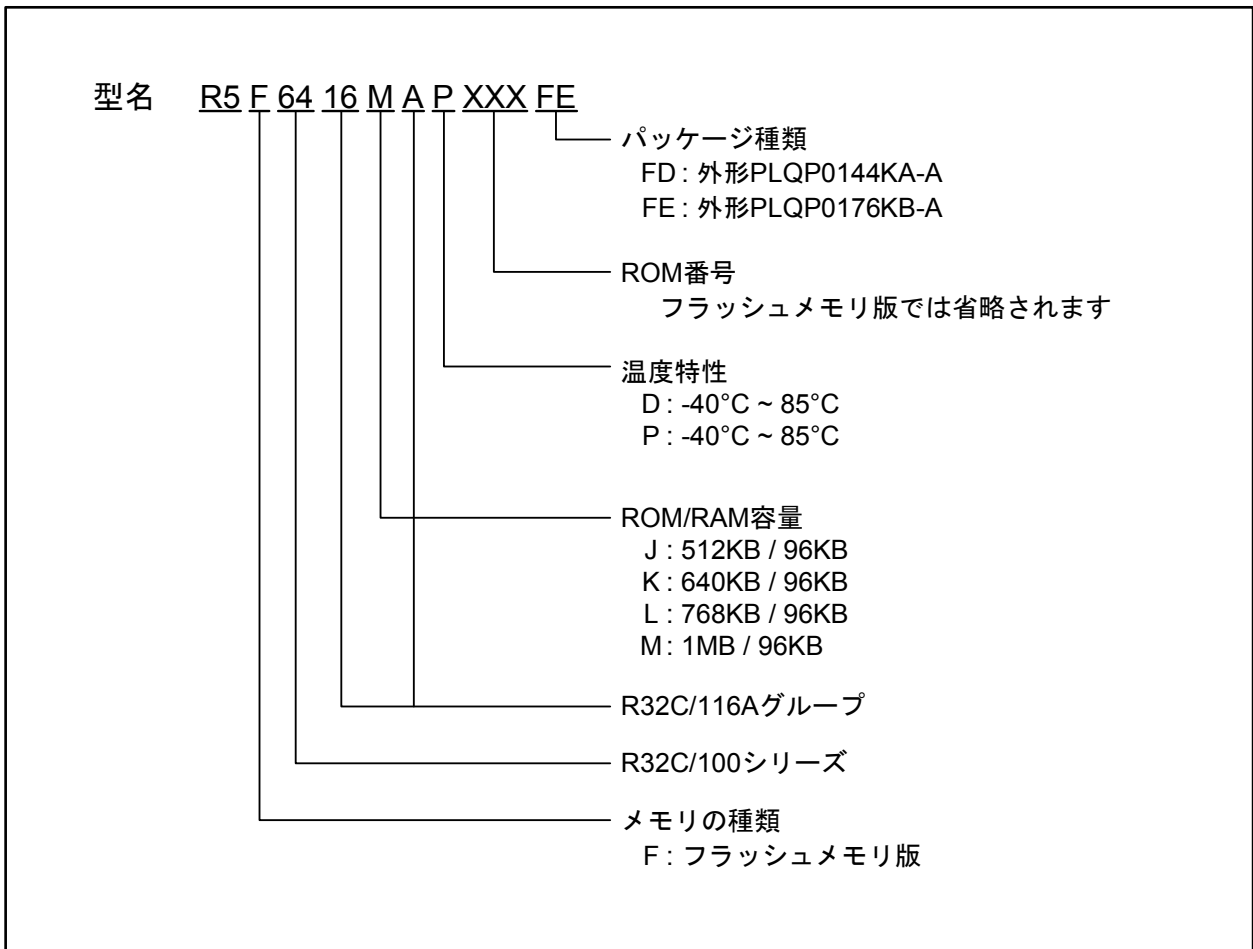


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2にR32C/116A グループのブロック図を示します。

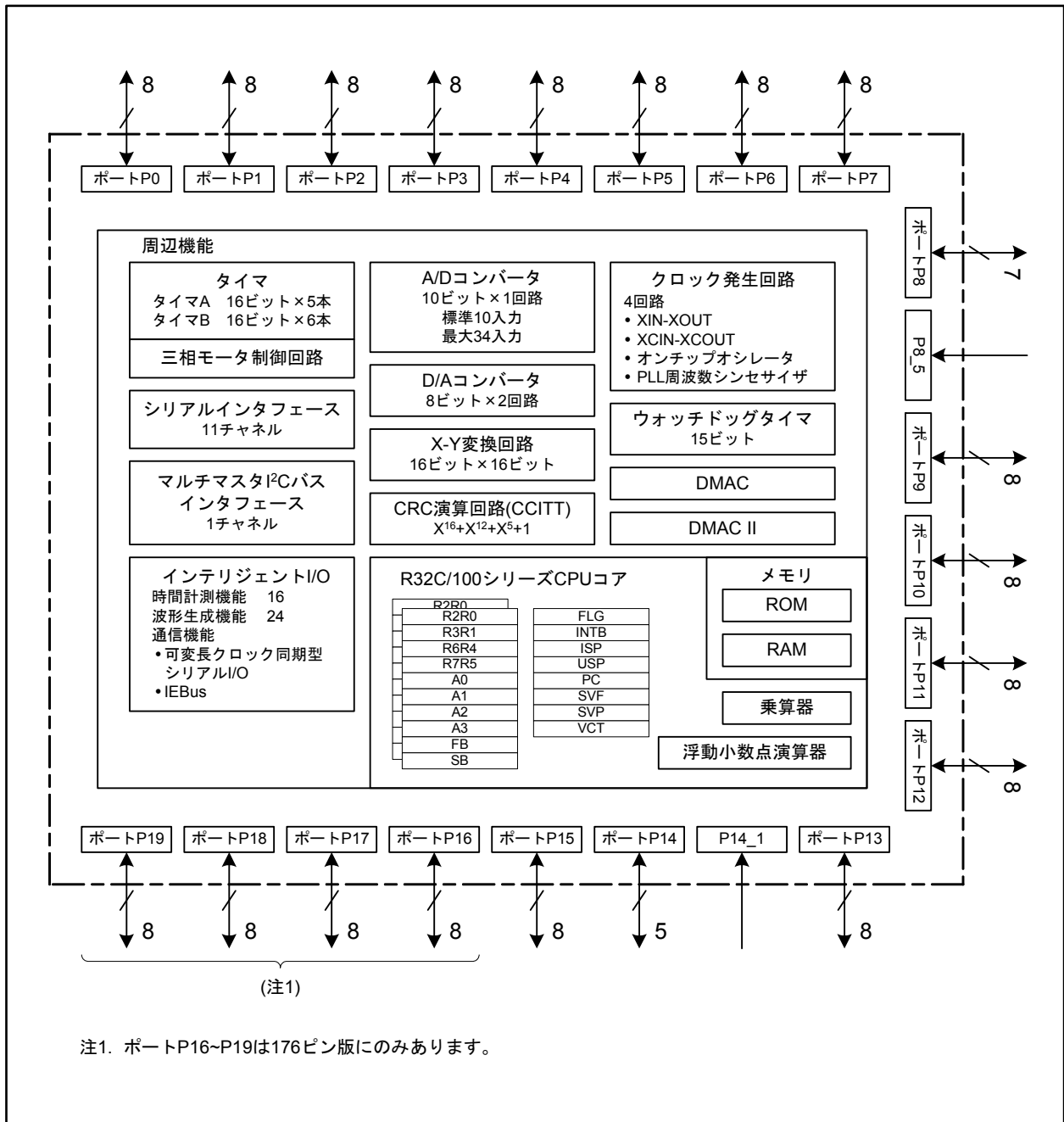


図 1.2 R32C/116A グループのブロック図

1.4 ピン接続図

図 1.3、図 1.4 にピン接続図(上面図)を示します。

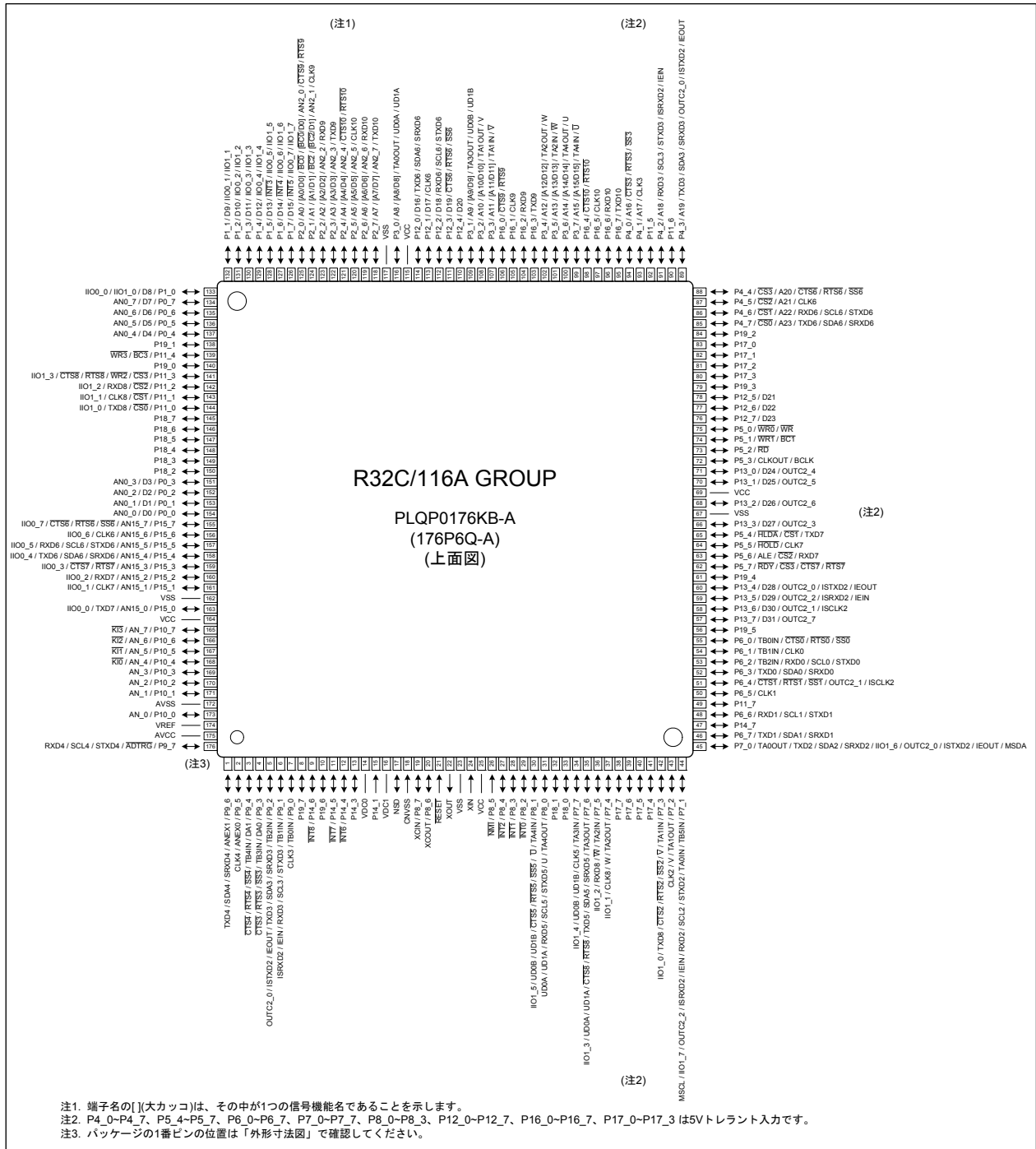


図 1.3 176ピン版ピン接続図(上面図)

表 1.6 176ピン版端子名一覧表 (1/5)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子	バス制御端子
1		P9_6			TXD4/SDA4/SRXD4		ANEX1	
2		P9_5			CLK4		ANEX0	
3		P9_4		TB4IN	CTS4/RTS4/SS4		DA1	
4		P9_3		TB3IN	CTS3/RTS3/SS3		DA0	
5		P9_2		TB2IN	TXD3/SDA3/SRXD3	OUTC2_0/ISTXD2/IEOUT		
6		P9_1		TB1IN	RXD3/SCL3/STXD3	ISRXD2/IEIN		
7		P9_0		TB0IN	CLK3			
8		P19_7						
9		P14_6	INT8					
10		P19_6						
11		P14_5	INT7					
12		P14_4	INT6					
13		P14_3						
14	VDC0							
15		P14_1						
16	VDC1							
17	NSD							
18	CNVSS							
19	XCIN	P8_7						
20	XCOUT	P8_6						
21	RESET							
22	XOUT							
23	VSS							
24	XIN							
25	VCC							
26		P8_5	NMI					
27		P8_4	INT2					
28		P8_3	INT1					
29		P8_2	INT0					
30		P8_1		TA4IN/U	CTS5/RTS5/SS5	IIO1_5/UD0B/UD1B		
31		P8_0		TA4OUT/U	RXD5/SCL5/STXD5	UD0A/UD1A		
32		P18_1						
33		P18_0						
34		P7_7		TA3IN	CLK5	IIO1_4/UD0B/UD1B		
35		P7_6		TA3OUT	TXD5/SDA5/SRXD5/CTS8/RTS8	IIO1_3/UD0A/UD1A		
36		P7_5		TA2IN/W	RXD8	IIO1_2		
37		P7_4		TA2OUT/W	CLK8	IIO1_1		

表 1.7 176ピン版端子名一覧表 (2/5)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子	バス制御端子
38		P17_7						
39		P17_6						
40		P17_5						
41		P17_4						
42		P7_3		TA1IN/V	CTS2/RTS2/SS2/TXD8	IIO1_0		
43		P7_2		TA1OUT/V	CLK2			
44		P7_1		TA0IN/ TB5IN	RXD2/SCL2/STXD2/ MSCL	IIO1_7/OUTC2_2/ ISRXD2/IEIN		
45		P7_0		TA0OUT	TXD2/SDA2/SRXD2/ MSDA	IIO1_6/OUTC2_0/ ISTXD2/IEOUT		
46		P6_7			TXD1/SDA1/SRXD1			
47		P14_7						
48		P6_6			RXD1/SCL1/STXD1			
49		P11_7						
50		P6_5			CLK1			
51		P6_4			CTS1/RTS1/SS1	OUTC2_1/ISCLK2		
52		P6_3			TXD0/SDA0/SRXD0			
53		P6_2		TB2IN	RXD0/SCL0/STXD0			
54		P6_1		TB1IN	CLK0			
55		P6_0		TB0IN	CTS0/RTS0/SS0			
56		P19_5						
57		P13_7				OUTC2_7		D31
58		P13_6				OUTC2_1/ISCLK2		D30
59		P13_5				OUTC2_2/ISRXD2/ IEIN		D29
60		P13_4				OUTC2_0/ISTXD2/ IEOUT		D28
61		P19_4						
62		P5_7			CTS7/RTS7			RDY/CS3
63		P5_6			RXD7			ALE/CS2
64		P5_5			CLK7			HOLD
65		P5_4			TXD7			HLDA/CS1
66		P13_3				OUTC2_3		D27
67	VSS							
68		P13_2				OUTC2_6		D26
69	VCC							
70		P13_1				OUTC2_5		D25
71		P13_0				OUTC2_4		D24
72		P5_3						CLKOUT/ BCLK
73		P5_2						RD
74		P5_1						WR1/BC1
75		P5_0						WR0/WR

表 1.8 176ピン版端子名一覧表 (3/5)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子	バス制御端子
76		P12_7						D23
77		P12_6						D22
78		P12_5						D21
79		P19_3						
80		P17_3						
81		P17_2						
82		P17_1						
83		P17_0						
84		P19_2						
85		P4_7			TXD6/SDA6/SRXD6			CS0/A23
86		P4_6			RXD6/SCL6/STXD6			CS1/A22
87		P4_5			CLK6			CS2/A21
88		P4_4			CTS6/RTS6/SS6			CS3/A20
89		P4_3			TXD3/SDA3/SRXD3	OUTC2_0/ISTXD2/IEOUT		A19
90		P11_6						
91		P4_2			RXD3/SCL3/STXD3	ISRXD2/IEIN		A18
92		P11_5						
93		P4_1			CLK3			A17
94		P4_0			CTS3/RTS3/SS3			A16
95		P16_7			TXD10			
96		P16_6			RXD10			
97		P16_5			CLK10			
98		P16_4			CTS10/RTS10			
99		P3_7		TA4IN \bar{U}				A15(/D15)
100		P3_6		TA4OUT/U				A14(/D14)
101		P3_5		TA2IN \bar{W}				A13(/D13)
102		P3_4		TA2OUT/W				A12(/D12)
103		P16_3			TXD9			
104		P16_2			RXD9			
105		P16_1			CLK9			
106		P16_0			CTS9/RTS9			
107		P3_3		TA1IN \bar{V}				A11(/D11)
108		P3_2		TA1OUT/V				A10(/D10)
109		P3_1		TA3OUT		UD0B/UD1B		A9(/D9)
110		P12_4						D20
111		P12_3			CTS6/RTS6/SS6			D19
112		P12_2			RXD6/SCL6/STXD6			D18
113		P12_1			CLK6			D17
114		P12_0			TXD6/SDA6/SRXD6			D16
115	VCC							
116		P3_0		TA0OUT		UD0A/UD1A		A8(/D8)

表 1.9 176ピン版端子名一覧表 (4/5)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子	バス制御端子
117	VSS							
118		P2_7			TXD10		AN2_7	A7(/D7)
119		P2_6			RXD10		AN2_6	A6(/D6)
120		P2_5			CLK10		AN2_5	A5(/D5)
121		P2_4			CTS10/RTS10		AN2_4	A4(/D4)
122		P2_3			TXD9		AN2_3	A3(/D3)
123		P2_2			RXD9		AN2_2	A2(/D2)
124		P2_1			CLK9		AN2_1	A1(/D1)/ BC2(/D1)
125		P2_0			CTS9/RTS9		AN2_0	A0(/D0)/ BC0(/D0)
126		P1_7	INT5			IIO0_7/IIO1_7		D15
127		P1_6	INT4			IIO0_6/IIO1_6		D14
128		P1_5	INT3			IIO0_5/IIO1_5		D13
129		P1_4				IIO0_4/IIO1_4		D12
130		P1_3				IIO0_3/IIO1_3		D11
131		P1_2				IIO0_2/IIO1_2		D10
132		P1_1				IIO0_1/IIO1_1		D9
133		P1_0				IIO0_0/IIO1_0		D8
134		P0_7					AN0_7	D7
135		P0_6					AN0_6	D6
136		P0_5					AN0_5	D5
137		P0_4					AN0_4	D4
138		P19_1						
139		P11_4						BC3/WR3
140		P19_0						
141		P11_3			CTS8/RTS8	IIO1_3		CS3/WR2
142		P11_2			RXD8	IIO1_2		CS2
143		P11_1			CLK8	IIO1_1		CS1
144		P11_0			TXD8	IIO1_0		CS0
145		P18_7						
146		P18_6						
147		P18_5						
148		P18_4						
149		P18_3						
150		P18_2						
151		P0_3					AN0_3	D3
152		P0_2					AN0_2	D2
153		P0_1					AN0_1	D1
154		P0_0					AN0_0	D0

表 1.10 176ピン版端子名一覧表 (5/5)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	アナログ端子	バス制御端子
155		P15_7			CTS6/RTS6/SS6	IIO0_7	AN15_7	
156		P15_6			CLK6	IIO0_6	AN15_6	
157		P15_5			RXD6/SCL6/STXD6	IIO0_5	AN15_5	
158		P15_4			TXD6/SDA6/SRXD6	IIO0_4	AN15_4	
159		P15_3			CTS7/RTS7	IIO0_3	AN15_3	
160		P15_2			RXD7	IIO0_2	AN15_2	
161		P15_1			CLK7	IIO0_1	AN15_1	
162	VSS							
163		P15_0			TXD7	IIO0_0	AN15_0	
164	VCC							
165		P10_7	KI3				AN_7	
166		P10_6	KI2				AN_6	
167		P10_5	KI1				AN_5	
168		P10_4	KI0				AN_4	
169		P10_3					AN_3	
170		P10_2					AN_2	
171		P10_1					AN_1	
172	AVSS							
173		P10_0					AN_0	
174	VREF							
175	AVCC							
176		P9_7			RXD4/SCL4/STXD4		ADTRG	

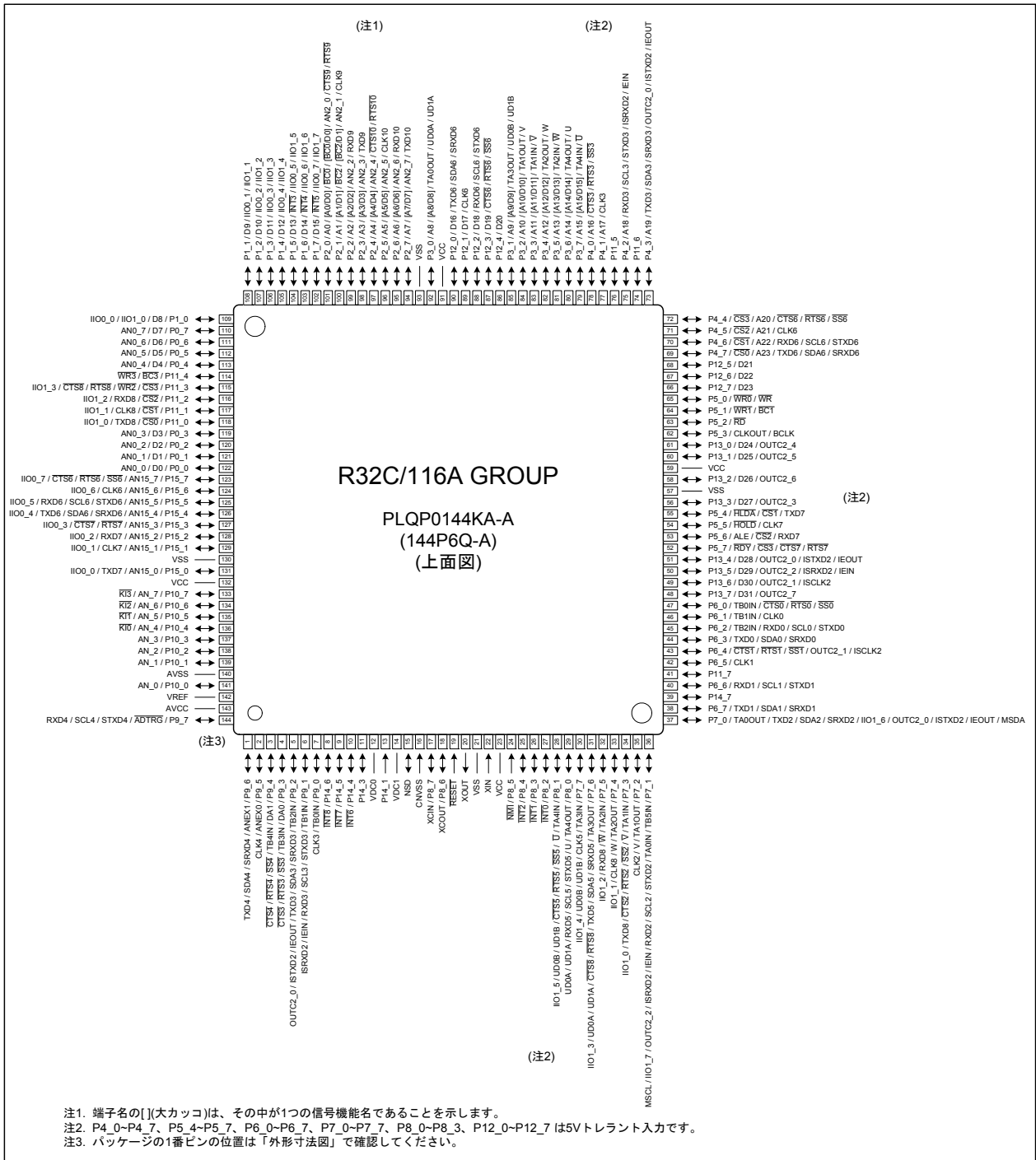


図 1.4 144ピン版ピン接続図(上面図)

表 1.11 144ピン版端子名一覧表 (1/4)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子	バス制御端子
1		P9_6			TXD4/SDA4/SRXD4		ANEX1	
2		P9_5			CLK4		ANEX0	
3		P9_4		TB4IN	CTS4/RTS4/SS4		DA1	
4		P9_3		TB3IN	CTS3/RTS3/SS3		DA0	
5		P9_2		TB2IN	TXD3/SDA3/SRXD3	OUTC2_0/ISTXD2/IEOUT		
6		P9_1		TB1IN	RXD3/SCL3/STXD3	ISRXD2/IEIN		
7		P9_0		TB0IN	CLK3			
8		P14_6	INT8					
9		P14_5	INT7					
10		P14_4	INT6					
11		P14_3						
12	VDC0							
13		P14_1						
14	VDC1							
15	NSD							
16	CNVSS							
17	XCIN	P8_7						
18	XCOUT	P8_6						
19	RESET							
20	XOUT							
21	VSS							
22	XIN							
23	VCC							
24		P8_5	NMI					
25		P8_4	INT2					
26		P8_3	INT1					
27		P8_2	INT0					
28		P8_1		TA4IN/U	CTS5/RTS5/SS5	IIO1_5/UD0B/UD1B		
29		P8_0		TA4OUT/U	RXD5/SCL5/STXD5	UD0A/UD1A		
30		P7_7		TA3IN	CLK5	IIO1_4/UD0B/UD1B		
31		P7_6		TA3OUT	TXD5/SDA5/SRXD5/CTS8/RTS8	IIO1_3/UD0A/UD1A		
32		P7_5		TA2IN/W	RXD8	IIO1_2		
33		P7_4		TA2OUT/W	CLK8	IIO1_1		
34		P7_3		TA1IN/V	CTS2/RTS2/SS2/TXD8	IIO1_0		
35		P7_2		TA1OUT/V	CLK2			
36		P7_1		TA0IN/TB5IN	RXD2/SCL2/STXD2/MSCL	IIO1_7/OUTC2_2/ISRXD2/IEIN		

表 1.12 144ピン版端子名一覧表 (2/4)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子	バス制御端子
37		P7_0		TA0OUT	TXD2/SDA2/SRXD2/ MSDA	IIO1_6/OUTC2_0/ ISTXD2/IEOUT		
38		P6_7			TXD1/SDA1/SRXD1			
39		P14_7						
40		P6_6			RXD1/SCL1/STXD1			
41		P11_7						
42		P6_5			CLK1			
43		P6_4			CTS1/RTS1/SS1	OUTC2_1/ISCLK2		
44		P6_3			TXD0/SDA0/SRXD0			
45		P6_2		TB2IN	RXD0/SCL0/STXD0			
46		P6_1		TB1IN	CLK0			
47		P6_0		TB0IN	CTS0/RTS0/SS0			
48		P13_7				OUTC2_7		D31
49		P13_6				OUTC2_1/ISCLK2		D30
50		P13_5				OUTC2_2/ISRXD2/ IEIN		D29
51		P13_4				OUTC2_0/ISTXD2/ IEOUT		D28
52		P5_7			CTS7/RTS7			RDY/CS3
53		P5_6			RXD7			ALE/CS2
54		P5_5			CLK7			HOLD
55		P5_4			TXD7			HLDA/CS1
56		P13_3				OUTC2_3		D27
57	VSS							
58		P13_2				OUTC2_6		D26
59	VCC							
60		P13_1				OUTC2_5		D25
61		P13_0				OUTC2_4		D24
62		P5_3						CLKOUT/ BCLK
63		P5_2						RD
64		P5_1						WR1/BC1
65		P5_0						WR0/WR
66		P12_7						D23
67		P12_6						D22
68		P12_5						D21
69		P4_7			TXD6/SDA6/SRXD6			CS0/A23
70		P4_6			RXD6/SCL6/STXD6			CS1/A22
71		P4_5			CLK6			CS2/A21
72		P4_4			CTS6/RTS6/SS6			CS3/A20

表 1.13 144ピン版端子名一覧表 (3/4)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子	バス制御端子
73		P4_3			TXD3/SDA3/SRXD3	OUTC2_0/ISTXD2/IEOUT		A19
74		P11_6						
75		P4_2			RXD3/SCL3/STXD3	ISRXD2/IEIN		A18
76		P11_5						
77		P4_1			CLK3			A17
78		P4_0			CTS3/RTS3/SS3			A16
79		P3_7		TA4IN/U				A15(/D15)
80		P3_6		TA4OUT/U				A14(/D14)
81		P3_5		TA2IN/W				A13(/D13)
82		P3_4		TA2OUT/W				A12(/D12)
83		P3_3		TA1IN/V				A11(/D11)
84		P3_2		TA1OUT/V				A10(/D10)
85		P3_1		TA3OUT		UD0B/UD1B		A9(/D9)
86		P12_4						D20
87		P12_3			CTS6/RTS6/SS6			D19
88		P12_2			RXD6/SCL6/STXD6			D18
89		P12_1			CLK6			D17
90		P12_0			TXD6/SDA6/SRXD6			D16
91	VCC							
92		P3_0		TA0OUT		UD0A/UD1A		A8(/D8)
93	VSS							
94		P2_7			TXD10		AN2_7	A7(/D7)
95		P2_6			RXD10		AN2_6	A6(/D6)
96		P2_5			CLK10		AN2_5	A5(/D5)
97		P2_4			CTS10/RTS10		AN2_4	A4(/D4)
98		P2_3			TXD9		AN2_3	A3(/D3)
99		P2_2			RXD9		AN2_2	A2(/D2)
100		P2_1			CLK9		AN2_1	A1(/D1)/ BC2(/D1)
101		P2_0			CTS9/RTS9		AN2_0	A0(/D0)/ BC0(/D0)
102		P1_7	INT5			IIO0_7/IIO1_7		D15
103		P1_6	INT4			IIO0_6/IIO1_6		D14
104		P1_5	INT3			IIO0_5/IIO1_5		D13
105		P1_4				IIO0_4/IIO1_4		D12
106		P1_3				IIO0_3/IIO1_3		D11
107		P1_2				IIO0_2/IIO1_2		D10
108		P1_1				IIO0_1/IIO1_1		D9

表 1.14 144ピン版端子名一覧表 (4/4)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェントI/O端子	アナログ端子	バス制御端子
109		P1_0				IIO0_0/IIO1_0		D8
110		P0_7					AN0_7	D7
111		P0_6					AN0_6	D6
112		P0_5					AN0_5	D5
113		P0_4					AN0_4	D4
114		P11_4						BC3/WR3
115		P11_3			CTS8/RTS8	IIO1_3		CS3/WR2
116		P11_2			RXD8	IIO1_2		CS2
117		P11_1			CLK8	IIO1_1		CS1
118		P11_0			TXD8	IIO1_0		CS0
119		P0_3					AN0_3	D3
120		P0_2					AN0_2	D2
121		P0_1					AN0_1	D1
122		P0_0					AN0_0	D0
123		P15_7			CTS6/RTS6/SS6	IIO0_7	AN15_7	
124		P15_6			CLK6	IIO0_6	AN15_6	
125		P15_5			RXD6/SCL6/STXD6	IIO0_5	AN15_5	
126		P15_4			TXD6/SDA6/SRXD6	IIO0_4	AN15_4	
127		P15_3			CTS7/RTS7	IIO0_3	AN15_3	
128		P15_2			RXD7	IIO0_2	AN15_2	
129		P15_1			CLK7	IIO0_1	AN15_1	
130	VSS							
131		P15_0			TXD7	IIO0_0	AN15_0	
132	VCC							
133		P10_7	KI3				AN_7	
134		P10_6	KI2				AN_6	
135		P10_5	KI1				AN_5	
136		P10_4	KI0				AN_4	
137		P10_3					AN_3	
138		P10_2					AN_2	
139		P10_1					AN_1	
140	AVSS							
141		P10_0					AN_0	
142	VREF							
143	AVCC							
144		P9_7			RXD4/SCL4/STXD4		ADTRG	

1.5 端子機能の説明

表 1.15 端子機能の説明 (1/4)

分類	端子名	入出力	機能
電源入力	VCC, VSS	入力	VCC端子には、3.0～5.5Vを入力してください。VSS端子は、グラウンドに接続してください
平滑コンデンサ 接続端子	VDC0, VDC1	—	両端子間に内部ロジック電圧安定用の平滑コンデンサを接続してください
アナログ電源入力	AVCC, AVSS	入力	A/Dコンバータの電源入力です。AVCCはVCCに接続してください。AVSSはVSSに接続してください
リセット入力	$\overline{\text{RESET}}$	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります
CNVSS	CNVSS	入力	抵抗を介してVSSにプルダウンしてください
デバッグポート	NSD	入出力	デバッグとの通信に使用します。1k～4.7kΩの抵抗で、VCCにプルアップしてください
メインクロック 入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください
メインクロック 出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XCINから入力しXCOUTは開放にしてください
サブクロック出力	XCOUT	出力	
BCLK出力	BCLK	出力	バスクロック信号を出力します
クロック出力	CLKOUT	出力	低速クロック、f8または、f32と同じ周期のクロックを出力します
外部割り込み入力	$\overline{\text{INT0}}\sim\overline{\text{INT8}}$	入力	外部割り込みの入力です
NMI入力	P8_5/ $\overline{\text{NMI}}$	入力	NMIの入力です
キー入力割り込み	$\overline{\text{KI0}}\sim\overline{\text{KI3}}$	入力	キー入力割り込みの入力です
バス制御端子	D0～D7	入出力	セパレートバスを選択している領域をアクセスしたとき、データ(D0～D7)の入出力を行います
	D8～D15	入出力	外部データバス幅が16ビットまたは32ビットで、セパレートバスを選択している領域をアクセスしたとき、データ(D8～D15)の入出力を行います
	D16～D31	入出力	外部データバス幅に32ビットを選択している領域をアクセスしたとき、データ(D16～D31)の入出力を行います
	A0～A23	出力	アドレスA0～A23を出力します

表 1.16 端子機能の説明 (2/4)

分類	端子名	入出力	機能
バス制御端子	A0/D0~A7/D7	入出力	マルチプレクスバスを選択している領域をアクセスしたとき、アドレス(A0~A7)の出力とデータ(D0~D7)の入出力を時分割で行います
	A8/D8~A15/D15	入出力	外部データバス幅が16ビットまたは32ビットで、マルチプレクスバスを選択している領域をアクセスしたとき、アドレス(A8~A15)の出力とデータ(D8~D15)の入出力を時分割で行います
	$\overline{BC0}/D0, \overline{BC2}/D1$	入出力	マルチプレクスバスを選択している領域をアクセスしたとき、バイトコントロール($\overline{BC0}, \overline{BC2}$)の出力とデータ(D0, D1)の入出力を時分割で行います
	$\overline{CS0}\sim\overline{CS3}$	出力	チップセレクト信号を出力します
	$\overline{WR0}/\overline{WR1}/\overline{WR2}/\overline{WR3},$ $\overline{WR}/\overline{BC0}/\overline{BC1}/\overline{BC2}/\overline{BC3},$ \overline{RD}	出力	ライト信号、バイトコントロール信号、リード信号を出力します。プログラムで \overline{WRx} を使用するか、 $\overline{WR}, \overline{BCx}$ を使用するかを選択できます ■ $\overline{WR0}, \overline{WR1}, \overline{WR2}, \overline{WR3}, \overline{RD}$ 選択時 外部データバス幅が32ビットの場合、 $\overline{WR0}$ 信号が“L”のときは4n+0番地に、 $\overline{WR1}$ 信号が“L”のときは4n+1番地に、 $\overline{WR2}$ 信号が“L”のときは4n+2番地に、 $\overline{WR3}$ 信号が“L”のときは4n+3番地に書き込みます。 外部データバス幅が16ビットの場合、 $\overline{WR0}$ 信号が“L”のときは偶数番地に、 $\overline{WR1}$ 信号が“L”のときは奇数番地に書き込みます。 \overline{RD} 信号が“L”のとき読み出します ■ $\overline{WR}, \overline{BC0}, \overline{BC1}, \overline{BC2}, \overline{BC3}, \overline{RD}$ 選択時 \overline{WR} 信号が“L”のとき書き込みます。 \overline{RD} 信号が“L”のとき読み出します。 外部データバス幅が32ビットの場合、 $\overline{BC0}$ 信号が“L”のときは4n+0番地を、 $\overline{BC1}$ 信号が“L”のときは4n+1番地を、 $\overline{BC2}$ 信号が“L”のときは4n+2番地を、 $\overline{BC3}$ 信号が“L”のときは4n+3番地をアクセスします。 外部データバス幅が16ビットの場合、 $\overline{BC0}$ 信号が“L”のときは偶数番地を、 $\overline{BC1}$ 信号が“L”のときは奇数番地をアクセスします
	ALE	出力	マルチプレクスバスを選択しているときに、アドレス信号をラッチするための信号です
	HOLD	入力	この端子が“L”の期間、マイクロコンピュータはホールド状態になります
	HLDA	出力	マイクロコンピュータがホールド状態の期間、“L”を出力します
	RDY	入力	BCLKの立ち下がり時にこの端子に“L”が入力されると、CPUはバスサイクルを延長します

表 1.17 端子機能の説明 (3/4)

分類	端子名	入出力	機能
入出力ポート (注1)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7	入出力	CMOSの入出力ポートです。 1端子ごとに入力ポートまたは出力ポートに設定できます。 一部のポートは5Vトレラント入力です。また、ポートによって、プルアップ抵抗、Nチャネルオープンドレイン出力の設定を有効にできます。詳細は「表 1.19 端子の機能一覧」を参照してください
入力ポート	P14_1	入力	CMOSの入力ポートです。 プルアップ抵抗の有無を選択できます。 詳細は「表 1.19 端子の機能一覧」を参照してください
タイマA	TA0OUT~TA4OUT	入出力	タイマA0~A4の入出力です
	TA0IN~TA4IN	入力	タイマA0~A4の入力です
タイマB	TB0IN~TB5IN	入力	タイマB0~B5の入力です
三相モータ制御用 タイマ出力	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	三相モータ制御用タイマの出力です
シリアル インタフェース	CTS0~CTS10	入力	ハンドシェイク入力です
	RTS0~RTS10	出力	ハンドシェイク出力です
	CLK0~CLK10	入出力	送受信クロック入出力です
	RXD0~RXD10	入力	シリアルデータ入力です
	TXD0~TXD10	出力	シリアルデータ出力です
簡易型I ² Cバス	SDA0~SDA6	入出力	シリアルデータ入出力です
	SCL0~SCL6	入出力	送受信クロック入出力です
シリアル インタフェース 特殊機能	STXD0~STXD6	出力	スレーブモードを選択したときのシリアルデータ出力です
	SRXD0~SRXD6	入力	スレーブモードを選択したときのシリアルデータ入力です
	$\bar{SS}0$ ~ $\bar{SS}6$	入力	シリアルインタフェース特殊機能の制御用入力です

注1. P16~P19は、176ピン版にのみあります。

表 1.18 端子機能の説明 (4/4)

分類	端子名	入出力	機能
A/Dコンバータ	AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7	入力	A/Dコンバータのアナログ入力です
	ADTRG	入力	A/Dコンバータの外部トリガ入力です
	ANEXO	入出力	A/Dコンバータの拡張アナログ入力兼、外部オペアンプ接続モードでの出力です
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です
D/Aコンバータ	DA0, DA1	出力	D/Aコンバータの出力です
基準電圧入力	VREF	入力	A/DコンバータとD/Aコンバータの基準電圧入力です
インテリジェント I/O	IIO0_0~IIO0_7	入出力	インテリジェントI/Oグループ0の入出力です。イン プットキャプチャ入力とアウトプットコンペア出力を切 り替えられます
	IIO1_0~IIO1_7	入出力	インテリジェントI/Oグループ1の入出力です。イン プットキャプチャ入力とアウトプットコンペア出力を切 り替えられます
	UD0A, UD0B, UD1A, UD1B	入力	二相エンコーダ用の入力です
	OUTC2_0~ OUTC2_7	出力	インテリジェントI/Oグループ2のアウトプットコンペ ア出力です
	ISCLK2	入出力	通信機能部のクロック入出力です
	ISRXD2	入力	通信機能部の受信データ入力です
	ISTXD2	出力	通信機能部の送信データ出力です
	IEIN	入力	通信機能部の受信データ入力です
	IEOUT	出力	通信機能部の送信データ出力です
	マルチマスタ I ² Cバス	MSDA	入出力
MSCL		入出力	送受信クロック入出力です

表 1.19 端子の機能一覧

端子名	パッケージ		選択可能な機能		5Vトレラント入力 (注3)
	176 ピン版	144 ピン版	プルアップ抵抗 (注1)	Nチャンネルオープン ドレイン出力(注2)	
P0_0~P0_7	○	○	○		
P1_0~P1_7	○	○	○		
P2_0~P2_7	○	○	○	○	
P3_0~P3_7	○	○	○		
P4_0~P4_7	○	○		○	○
P5_0~P5_3	○	○	○		
P5_4~P5_7	○	○		○	○
P6_0~P6_7	○	○		○	○
P7_0~P7_7	○	○		○	○
P8_0~P8_3	○	○		○	○
P8_4, P8_6, P8_7	○	○	○		
P9_0~P9_7	○	○	○	○	
P10_0~P10_7	○	○	○		
P11_0~P11_3	○	○	○	○	
P11_4~P11_7	○	○	○		
P12_0~P12_7	○	○		○	○
P13_0~P13_7	○	○	○		
P14_1, P14_3	○	○	○		
P14_4~P14_7	○	○	○		
P15_0~P15_7	○	○	○	○	
P16_0~P16_7	○			○	○
P17_0~P17_3	○			○	○
P17_4~P17_7	○		○		
P18_0~P18_7	○		○		
P19_0~P19_7	○		○		

注1. $Pi_0 \sim Pi_3$ ($i=0 \sim 19$)の4端子と $Pi_4 \sim Pi_7$ の4端子ごとに一括でプルアップ抵抗の有無を選択できます。プルアップ抵抗は、入力に設定した端子でのみ有効になります。

注2. 1端子ごとにNチャンネルオープンドレイン出力に設定できます。

注3. 5Vトレラントは入力端子に設定したときに有効になります。入出力端子で5Vトレラントを有効にする場合、Nチャンネルオープンドレイン出力に設定してください。

2. 中央演算処理装置 (CPU)

図 2.1 に CPU のレジスタを示します。これらのうち、R2R0、R3R1、R6R4、R7R5、A0、A1、A2、A3、SB、FBの10個のレジスタは2バンクあります。

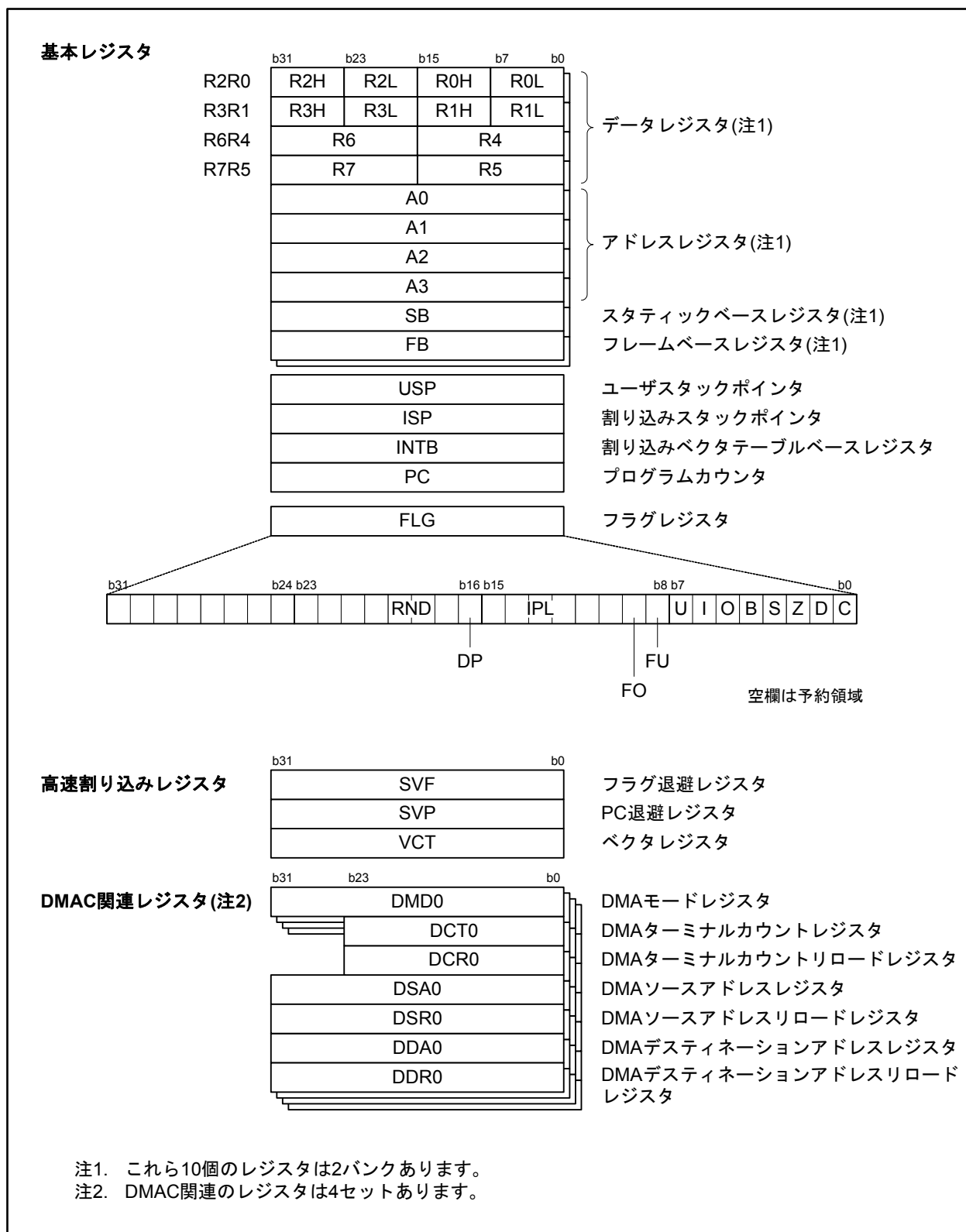


図 2.1 中央演算処理装置のレジスタ構成

2.1 基本レジスタ

2.1.1 データレジスタ (R2R0, R3R1, R6R4, R7R5)

R2R0、R3R1、R6R4、R7R5は32ビットで構成されており、主に転送や算術、論理演算に使用します。R2R0は、上位(R2)と下位(R0)を別々に16ビットのデータレジスタとして使用できます。R3R1、R6R4、R7R5も同様に2つの16ビットレジスタに分割できます。

また、R2R0は、上位(R2H)、中上位(R2L)、中下位(R0H)、下位(R0L)を別々に8ビットのデータレジスタとしても使用できます。R3R1も同様に4つの8ビットレジスタに分割できます。

2.1.2 アドレスレジスタ (A0, A1, A2, A3)

A0、A1、A2、A3は32ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、データレジスタ同様転送や算術、論理演算にも使用できます。

2.1.3 スタティックベースレジスタ (SB)

SBは32ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ (FB)

FBは32ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ (PC)

PCは32ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みベクタテーブルベースレジスタ (INTB)

INTBは32ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類があり、ともに32ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグについては「2.1.8 フラグレジスタ (FLG)」を参照してください。

使用するスタックポインタ (USP/ISP)は、スタックポインタ指定フラグ(Uフラグ)によって切り替えられます。スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

USP、ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なく、割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ (FLG)

FLGは32ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリーフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

2.1.8.2 デバッグフラグ (Dフラグ)

デバッグ専用です。書くときは“0”を書いてください。

2.1.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

2.1.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ (Bフラグ)

レジスタバンクの選択を行います。Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバフローしたとき“1”になり、それ以外るとき“0”になります。

2.1.8.7 割り込み許可フラグ (Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、Iフラグは“0”になります。

2.1.8.8 スタックポインタ指定フラグ (Uフラグ)

Uフラグが“0”のとき割り込みスタックポインタ (ISP) が指定され、“1”のときユーザスタックポインタ (USP) が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~127のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 浮動小数点アンダフローフラグ (FUフラグ)

浮動小数点演算の結果が、最小の正規化数を下回った場合(アンダフロー)、“1”になり、それ以外るとき“0”になります。

また、オペランドのデータが正規化数でも0でもない(不正入力値)場合にも、“1”になります。

2.1.8.10 浮動小数点オーバフローフラグ (FOフラグ)

浮動小数点演算の結果が、最大の正規化数を上回った場合(オーバフロー)、“1”になり、それ以外るとき“0”になります。

また、オペランドのデータが正規化数でも0でもない(不正入力値)場合にも、“1”になります。

2.1.8.11 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0からレベル7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの要求レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みが許可されます。

プロセッサ割り込み優先レベル (IPL) をレベル7 (111b) に設定した場合、すべての割り込みが禁止されます。

2.1.8.12 固定小数点位置指定ビット (DPビット)

固定小数点の小数点位置を指定するビットです。また、固定小数点乗算の結果から、どの部分を最終演算結果として抜き出すかを指定するビットでもあります。

MULX命令で使用します。

2.1.8.13 浮動小数点丸め演算モード (RND)

浮動小数点丸め演算モード (RND) は2ビットで構成されており、浮動小数点演算の結果を丸める方式を指定します。

2.1.8.14 予約領域

書くときは“0”を書いてください。読んだときその値は不定です。

2.2 高速割り込みレジスタ

高速割り込みレジスタは、割り込みシーケンスを高速に行うための専用レジスタです。

高速割り込みレジスタには以下の3つのレジスタがあります。詳細は、「11.4 高速割り込み」を参照してください。

2.2.1 フラグ退避レジスタ (SVF)

フラグ退避レジスタ (SVF) は32ビットで構成されており、高速割り込み発生時にフラグレジスタを退避させるために使用します。

2.2.2 PC退避レジスタ (SVP)

PC退避レジスタ (SVP) は32ビットで構成されており、高速割り込み発生時プログラムカウンタを退避させるために使用します。

2.2.3 ベクタレジスタ (VCT)

ベクタレジスタ (VCT) は32ビットで構成されており、高速割り込み発生時の分岐先番地を示します。

2.3 DMAC 関連レジスタ

DMAC 関連レジスタには以下の7種類のレジスタがあります。詳細は、「13. DMAC」を参照してください。

2.3.1 DMA モードレジスタ (DMD0, DMD1, DMD2, DMD3)

DMA モードレジスタ (DMD0, DMD1, DMD2, DMD3) は32ビットで構成されており、DMA の転送モードなどを設定するレジスタです。

2.3.2 DMA ターミナルカウントレジスタ (DCT0, DCT1, DCT2, DCT3)

DMA ターミナルカウントレジスタ (DCT0, DCT1, DCT2, DCT3) は24ビットで構成されており、DMA の転送回数を設定するレジスタです。

2.3.3 DMA ターミナルカウントリロードレジスタ (DCR0, DCR1, DCR2, DCR3)

DMA ターミナルカウントリロードレジスタ (DCR0, DCR1, DCR2, DCR3) は24ビットで構成されており、DMA ターミナルカウントレジスタのリロード値を設定するレジスタです。

2.3.4 DMA ソースアドレスレジスタ (DSA0, DSA1, DSA2, DSA3)

DMA ソースアドレスレジスタ (DSA0, DSA1, DSA2, DSA3) は32ビットで構成されており、DMA の転送元のアドレスを設定するレジスタです。

2.3.5 DMA ソースアドレスリロードレジスタ (DSR0, DSR1, DSR2, DSR3)

DMA ソースアドレスリロードレジスタ (DSR0, DSR1, DSR2, DSR3) は32ビットで構成されており、DMA ソースアドレスレジスタへのリロード値を設定するレジスタです。

2.3.6 DMA デスティネーションアドレスレジスタ (DDA0, DDA1, DDA2, DDA3)

DMA デスティネーションアドレスレジスタ (DDA0, DDA1, DDA2, DDA3) は32ビットで構成されており、DMA の転送先のアドレスを設定するレジスタです。

2.3.7 DMA デスティネーションアドレスリロードレジスタ (DDR0, DDR1, DDR2, DDR3)

DMA デスティネーションアドレスリロードレジスタ (DDR0, DDR1, DDR2, DDR3) は32ビットで構成されており、DMA デスティネーションアドレスレジスタへのリロード値を設定するレジスタです。

3. メモリ

R32C/116A グループのメモリ配置図を図 3.1 に示します。

アドレス空間は 00000000h 番地から FFFFFFFFh 番地までの 4G バイトあります。

内部 ROM は FFFFFFFFh 番地から下位方向に配置されています。たとえば 1M バイトの内部 ROM は、FFF00000h 番地から FFFFFFFFh 番地までに配置されています。

固定割り込みベクタは FFFFFFFDCh 番地から FFFFFFFFh 番地までに配置されています。ここに割り込み処理ルーチンの先頭アドレスを格納します。

内部 RAM は 00000400h 番地から上位方向に配置されています。たとえば 96K バイトの内部 RAM は、00000400h 番地から 000183FFh 番地までに配置されています。内部 RAM はデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFR (Special Function Register) は、00000000h 番地から 000003FFh 番地までと、00040000h 番地から 0004FFFFh 番地までに配置されています。ここには、周辺装置の制御レジスタが配置されています。SFR 領域のうち何も配置されていない番地は、すべて予約領域のため、アクセスしないでください。

メモリ拡張モード時、または、マイクロプロセッサモード時、一部の領域は内部予約領域となり使用できません。

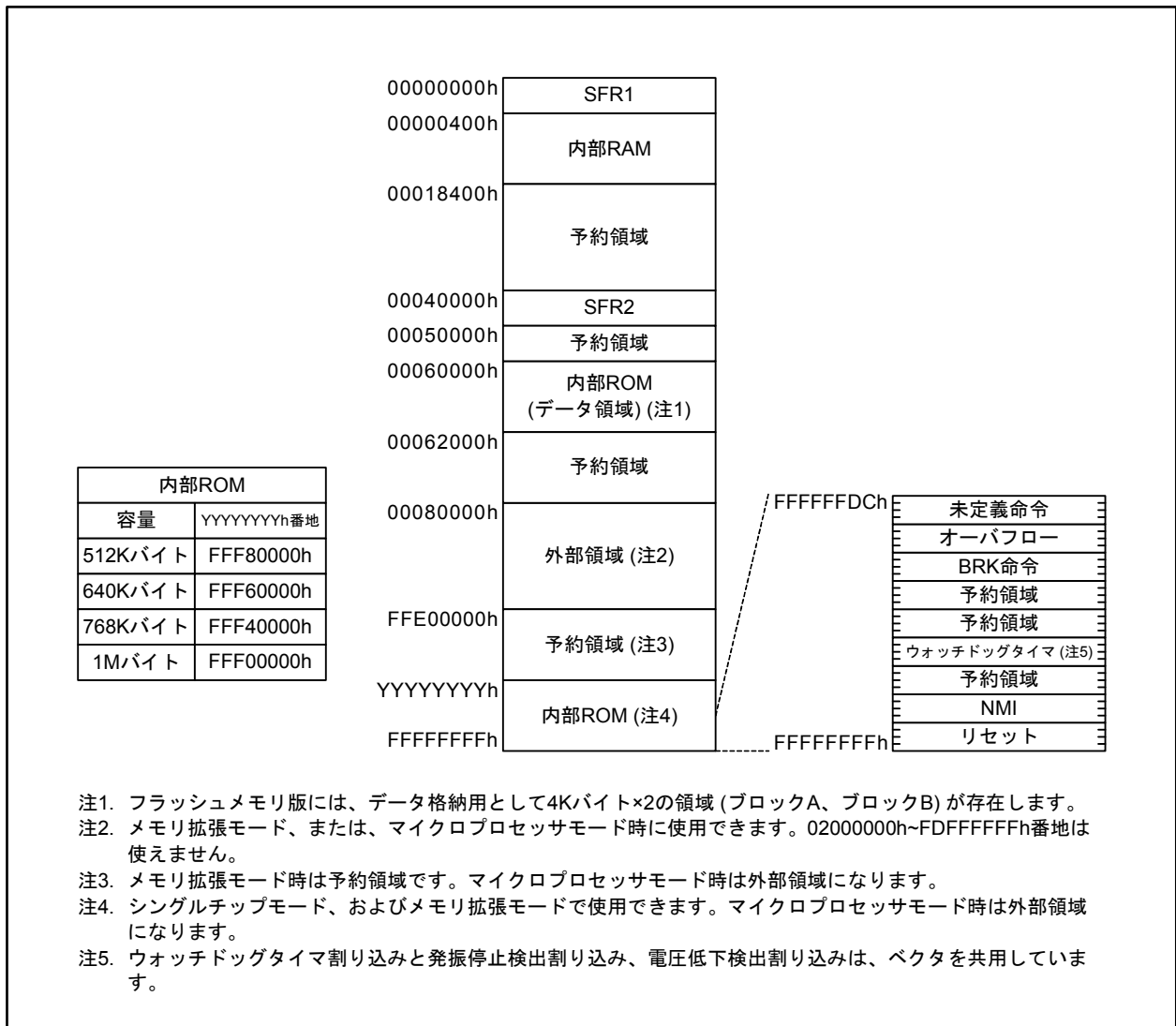


図 3.1 メモリ配置図

4. SFR

SFR (Special Function Register)は、周辺機能の制御をしたり、状態を取得するためのレジスタです。
表 4.1 SFR 一覧(1)~表 4.27 SFR 一覧(27)に SFR の一覧を示します。

表 4.1 SFR 一覧(1)

番地	レジスタ	シンボル	リセット後の値
000000h			
000001h			
000002h			
000003h			
000004h	クロック制御レジスタ	CCR	0001 1000b
000005h			
000006h	フラッシュメモリ制御レジスタ	FMCR	0000 0001b
000007h	プロテクト解除レジスタ	PRR	00h
000008h	フラッシュメモリ書き換えバス制御レジスタ	FEBC	0000h
000009h			
00000Ah			
00000Bh			
00000Ch			
00000Dh			
00000Eh			
00000Fh			
000010h	外部バス制御レジスタ3	EBC3	0000h
000011h			
000012h	チップセレクト2-3境界設定レジスタ	CB23	00h
000013h			
000014h	外部バス制御レジスタ2	EBC2	0000h
000015h			
000016h	チップセレクト1-2境界設定レジスタ	CB12	00h
000017h			
000018h	外部バス制御レジスタ1	EBC1	0000h
000019h			
00001Ah	チップセレクト0-1境界設定レジスタ	CB01	00h
00001Bh			
00001Ch	外部バス制御レジスタ0	EBC0	0000h
00001Dh			
00001Eh	周辺バス制御レジスタ	PBC	0504h
00001Fh			
000020h~ 00005Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.2 SFR 一覧(2)

番地	レジスタ	シンボル	リセット後の値
000060h			
000061h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
000062h	UART5送信/NACK割り込み制御レジスタ	S5TIC	XXXX X000b
000063h	UART2受信/ACK割り込み制御レジスタ/I ² Cバスライン割り込み制御レジスタ	S2RIC/I2CLIC	XXXX X000b
000064h	UART6送信/NACK割り込み制御レジスタ	S6TIC	XXXX X000b
000065h	UART3受信/ACK割り込み制御レジスタ	S3RIC	XXXX X000b
000066h	UART5/6バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN5IC/BCN6IC	XXXX X000b
000067h	UART4受信/ACK割り込み制御レジスタ	S4RIC	XXXX X000b
000068h	DMA0転送完了割り込み制御レジスタ	DM0IC	XXXX X000b
000069h	UART0/3バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN0IC/BCN3IC	XXXX X000b
00006Ah	DMA2転送完了割り込み制御レジスタ	DM2IC	XXXX X000b
00006Bh	A/Dコンバータ0変換完了割り込み制御レジスタ	AD0IC	XXXX X000b
00006Ch	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
00006Dh	インテリジェントI/O割り込み制御レジスタ0	IIO0IC	XXXX X000b
00006Eh	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
00006Fh	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X000b
000070h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
000071h	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X000b
000072h	UART0受信/ACK割り込み制御レジスタ	S0RIC	XXXX X000b
000073h	インテリジェントI/O割り込み制御レジスタ6	IIO6IC	XXXX X000b
000074h	UART1受信/ACK割り込み制御レジスタ	S1RIC	XXXX X000b
000075h	インテリジェントI/O割り込み制御レジスタ8	IIO8IC	XXXX X000b
000076h	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
000077h	インテリジェントI/O割り込み制御レジスタ10	IIO10IC	XXXX X000b
000078h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
000079h			
00007Ah	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
00007Bh			
00007Ch	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
00007Dh			
00007Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
00007Fh			
000080h			
000081h	UART2送信/NACK割り込み制御レジスタ/I ² Cバスインタフェース割り込み制御レジスタ	S2TIC/I2CIC	XXXX X000b
000082h	UART5受信/ACK割り込み制御レジスタ	S5RIC	XXXX X000b
000083h	UART3送信/NACK割り込み制御レジスタ	S3TIC	XXXX X000b
000084h	UART6受信/ACK割り込み制御レジスタ	S6RIC	XXXX X000b
000085h	UART4送信/NACK割り込み制御レジスタ	S4TIC	XXXX X000b
000086h			
000087h	UART2バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN2IC	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.3 SFR一覧(3)

番地	レジスタ	シンボル	リセット後の値
000088h	DMA1転送完了割り込み制御レジスタ	DM1IC	XXXX X000b
000089h	UART1/4バス衝突、スタートコンディション/ストップコンディション検出割り込み制御レジスタ	BCN1IC/BCN4IC	XXXX X000b
00008Ah	DMA3転送完了割り込み制御レジスタ	DM3IC	XXXX X000b
00008Bh	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
00008Ch	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
00008Dh	インテリジェントI/O割り込み制御レジスタ1	IIO1IC	XXXX X000b
00008Eh	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
00008Fh	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000b
000090h	UART0送信/NACK割り込み制御レジスタ	S0TIC	XXXX X000b
000091h	インテリジェントI/O割り込み制御レジスタ5	IIO5IC	XXXX X000b
000092h	UART1送信/NACK割り込み制御レジスタ	S1TIC	XXXX X000b
000093h	インテリジェントI/O割り込み制御レジスタ7	IIO7IC	XXXX X000b
000094h	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
000095h	インテリジェントI/O割り込み制御レジスタ9	IIO9IC	XXXX X000b
000096h	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
000097h	インテリジェントI/O割り込み制御レジスタ11	IIO11IC	XXXX X000b
000098h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
000099h			
00009Ah	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
00009Bh			
00009Ch	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
00009Dh			
00009Eh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
00009Fh			
0000A0h	インテリジェントI/O割り込み要求レジスタ0	IIO0IR	0000 0XX1b
0000A1h	インテリジェントI/O割り込み要求レジスタ1	IIO1IR	0000 0XX1b
0000A2h	インテリジェントI/O割り込み要求レジスタ2	IIO2IR	0000 0X01b
0000A3h	インテリジェントI/O割り込み要求レジスタ3	IIO3IR	0000 XXX1b
0000A4h	インテリジェントI/O割り込み要求レジスタ4	IIO4IR	000X 0XX1b
0000A5h	インテリジェントI/O割り込み要求レジスタ5	IIO5IR	000X 0XX1b
0000A6h	インテリジェントI/O割り込み要求レジスタ6	IIO6IR	000X 0XX1b
0000A7h	インテリジェントI/O割り込み要求レジスタ7	IIO7IR	X00X 0XX1b
0000A8h	インテリジェントI/O割り込み要求レジスタ8	IIO8IR	XX0X 0XX1b
0000A9h	インテリジェントI/O割り込み要求レジスタ9	IIO9IR	0X00 0XX1b
0000AAh	インテリジェントI/O割り込み要求レジスタ10	IIO10IR	0X00 0XX1b
0000ABh	インテリジェントI/O割り込み要求レジスタ11	IIO11IR	0X00 0XX1b
0000ACh			
0000ADh			
0000AEh			
0000AFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.4 SFR一覧(4)

番地	レジスタ	シンボル	リセット後の値
0000B0h	インテリジェントI/O割り込み許可レジスタ0	IIO0IE	00h
0000B1h	インテリジェントI/O割り込み許可レジスタ1	IIO1IE	00h
0000B2h	インテリジェントI/O割り込み許可レジスタ2	IIO2IE	00h
0000B3h	インテリジェントI/O割り込み許可レジスタ3	IIO3IE	00h
0000B4h	インテリジェントI/O割り込み許可レジスタ4	IIO4IE	00h
0000B5h	インテリジェントI/O割り込み許可レジスタ5	IIO5IE	00h
0000B6h	インテリジェントI/O割り込み許可レジスタ6	IIO6IE	00h
0000B7h	インテリジェントI/O割り込み許可レジスタ7	IIO7IE	00h
0000B8h	インテリジェントI/O割り込み許可レジスタ8	IIO8IE	00h
0000B9h	インテリジェントI/O割り込み許可レジスタ9	IIO9IE	00h
0000BAh	インテリジェントI/O割り込み許可レジスタ10	IIO10IE	00h
0000BBh	インテリジェントI/O割り込み許可レジスタ11	IIO11IE	00h
0000BCh			
0000BDh			
0000BEh			
0000BFh			
0000C0h			
0000C1h			
0000C2h			
0000C3h			
0000C4h			
0000C5h			
0000C6h			
0000C7h			
0000C8h			
0000C9h			
0000CAh			
0000CBh			
0000CCh			
0000CDh			
0000CEh			
0000CFh			
0000D0h			
0000D1h			
0000D2h			
0000D3h			
0000D4h			
0000D5h			
0000D6h			
0000D7h			
0000D8h			
0000D9h	UART9送信割り込み制御レジスタ	S9TIC	XXXX X000b
0000DAh			
0000DBh	UART10送信割り込み制御レジスタ	S10TIC	XXXX X000b
0000DCh			
0000DDh	UART7送信割り込み制御レジスタ	S7TIC	XXXX X000b
0000DEh	INT7割り込み制御レジスタ	INT7IC	XX00 X000b
0000DFh	UART8送信割り込み制御レジスタ	S8TIC	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.5 SFR一覧(5)

番地	レジスタ	シンボル	リセット後の値
0000E0h			
0000E1h			
0000E2h			
0000E3h			
0000E4h			
0000E5h			
0000E6h			
0000E7h			
0000E8h			
0000E9h			
0000EAh			
0000EBh			
0000ECh			
0000EDh			
0000EEh			
0000EFh			
0000F0h			
0000F1h			
0000F2h			
0000F3h			
0000F4h			
0000F5h			
0000F6h			
0000F7h			
0000F8h			
0000F9h	UART9 受信割り込み制御レジスタ	S9RIC	XXXX X000b
000FAh			
000FBh	UART10 受信割り込み制御レジスタ	S10RIC	XXXX X000b
000FCh	INT8 割り込み制御レジスタ	INT8IC	XX00 X000b
000FDh	UART7 受信割り込み制御レジスタ	S7RIC	XXXX X000b
000FEh	INT6 割り込み制御レジスタ	INT6IC	XX00 X000b
000FFh	UART8 受信割り込み制御レジスタ	S8RIC	XXXX X000b
000100h	グループ1 時間計測/波形生成レジスタ0	G1TM0/G1PO0	XXXXh
000101h			
000102h	グループ1 時間計測/波形生成レジスタ1	G1TM1/G1PO1	XXXXh
000103h			
000104h	グループ1 時間計測/波形生成レジスタ2	G1TM2/G1PO2	XXXXh
000105h			
000106h	グループ1 時間計測/波形生成レジスタ3	G1TM3/G1PO3	XXXXh
000107h			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.6 SFR一覧(6)

番地	レジスタ	シンボル	リセット後の値
000108h 000109h	グループ1 時間計測/波形生成レジスタ4	G1TM4/G1PO4	XXXXh
00010Ah 00010Bh	グループ1 時間計測/波形生成レジスタ5	G1TM5/G1PO5	XXXXh
00010Ch 00010Dh	グループ1 時間計測/波形生成レジスタ6	G1TM6/G1PO6	XXXXh
00010Eh 00010Fh	グループ1 時間計測/波形生成レジスタ7	G1TM7/G1PO7	XXXXh
000110h	グループ1 波形生成制御レジスタ0	G1POCR0	0000 X000b
000111h	グループ1 波形生成制御レジスタ1	G1POCR1	0X00 X000b
000112h	グループ1 波形生成制御レジスタ2	G1POCR2	0X00 X000b
000113h	グループ1 波形生成制御レジスタ3	G1POCR3	0X00 X000b
000114h	グループ1 波形生成制御レジスタ4	G1POCR4	0X00 X000b
000115h	グループ1 波形生成制御レジスタ5	G1POCR5	0X00 X000b
000116h	グループ1 波形生成制御レジスタ6	G1POCR6	0X00 X000b
000117h	グループ1 波形生成制御レジスタ7	G1POCR7	0X00 X000b
000118h	グループ1 時間計測制御レジスタ0	G1TMCR0	00h
000119h	グループ1 時間計測制御レジスタ1	G1TMCR1	00h
00011Ah	グループ1 時間計測制御レジスタ2	G1TMCR2	00h
00011Bh	グループ1 時間計測制御レジスタ3	G1TMCR3	00h
00011Ch	グループ1 時間計測制御レジスタ4	G1TMCR4	00h
00011Dh	グループ1 時間計測制御レジスタ5	G1TMCR5	00h
00011Eh	グループ1 時間計測制御レジスタ6	G1TMCR6	00h
00011Fh	グループ1 時間計測制御レジスタ7	G1TMCR7	00h
000120h 000121h	グループ1 ベースタイマレジスタ	G1BT	XXXXh
000122h	グループ1 ベースタイマ制御レジスタ0	G1BCR0	0000 0000b
000123h	グループ1 ベースタイマ制御レジスタ1	G1BCR1	0000 0000b
000124h	グループ1 時間計測プリスケアラレジスタ6	G1TPR6	00h
000125h	グループ1 時間計測プリスケアラレジスタ7	G1TPR7	00h
000126h	グループ1 機能許可レジスタ	G1FE	00h
000127h	グループ1 機能選択レジスタ	G1FS	00h
000128h			
000129h			
00012Ah			
00012Bh			
00012Ch			
00012Dh			
00012Eh			
00012Fh			
000130h~ 00013Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.7 SFR一覧(7)

番地	レジスタ	シンボル	リセット後の値
000140h	グループ2 波形生成レジスタ0	G2PO0	XXXXh
000141h			
000142h	グループ2 波形生成レジスタ1	G2PO1	XXXXh
000143h			
000144h	グループ2 波形生成レジスタ2	G2PO2	XXXXh
000145h			
000146h	グループ2 波形生成レジスタ3	G2PO3	XXXXh
000147h			
000148h	グループ2 波形生成レジスタ4	G2PO4	XXXXh
000149h			
00014Ah	グループ2 波形生成レジスタ5	G2PO5	XXXXh
00014Bh			
00014Ch	グループ2 波形生成レジスタ6	G2PO6	XXXXh
00014Dh			
00014Eh	グループ2 波形生成レジスタ7	G2PO7	XXXXh
00014Fh			
000150h	グループ2 波形生成制御レジスタ0	G2POCR0	0000 0000b
000151h	グループ2 波形生成制御レジスタ1	G2POCR1	0000 0000b
000152h	グループ2 波形生成制御レジスタ2	G2POCR2	0000 0000b
000153h	グループ2 波形生成制御レジスタ3	G2POCR3	0000 0000b
000154h	グループ2 波形生成制御レジスタ4	G2POCR4	0000 0000b
000155h	グループ2 波形生成制御レジスタ5	G2POCR5	0000 0000b
000156h	グループ2 波形生成制御レジスタ6	G2POCR6	0000 0000b
000157h	グループ2 波形生成制御レジスタ7	G2POCR7	0000 0000b
000158h			
000159h			
00015Ah			
00015Bh			
00015Ch			
00015Dh			
00015Eh			
00015Fh			
000160h	グループ2 ベースタイマレジスタ	G2BT	XXXXh
000161h			
000162h	グループ2 ベースタイマ制御レジスタ0	G2BCR0	0000 0000b
000163h	グループ2 ベースタイマ制御レジスタ1	G2BCR1	0000 0000b
000164h	ベースタイマスタートレジスタ	BTSR	XXXX 0000b
000165h			
000166h	グループ2 機能許可レジスタ	G2FE	00h
000167h	グループ2 RTP出力バッファレジスタ	G2RTP	00h
000168h			
000169h			
00016Ah	グループ2 SI/O通信モードレジスタ	G2MR	00XX X000b
00016Bh	グループ2 SI/O通信制御レジスタ	G2CR	0000 X110b
00016Ch	グループ2 SI/O送信バッファレジスタ	G2TB	XXXXh
00016Dh			
00016Eh	グループ2 SI/O受信バッファレジスタ	G2RB	XXXXh
00016Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.8 SFR一覧(8)

番地	レジスタ	シンボル	リセット後の値
000170h	グループ2 IEBus アドレスレジスタ	IEAR	XXXXh
000171h			
000172h	グループ2 IEBus 制御レジスタ	IECR	00XX X000b
000173h	グループ2 IEBus 送信割り込み要因判別レジスタ	IETIF	XXX0 0000b
000174h	グループ2 IEBus 受信割り込み要因判別レジスタ	IERIF	XXX0 0000b
000175h			
000176h			
000177h			
000178h			
000179h			
00017Ah			
00017Bh			
00017Ch			
00017Dh			
00017Eh			
00017Fh			
000180h	グループ0 時間計測/波形生成レジスタ0	G0TM0/G0PO0	XXXXh
000181h			
000182h	グループ0 時間計測/波形生成レジスタ1	G0TM1/G0PO1	XXXXh
000183h			
000184h	グループ0 時間計測/波形生成レジスタ2	G0TM2/G0PO2	XXXXh
000185h			
000186h	グループ0 時間計測/波形生成レジスタ3	G0TM3/G0PO3	XXXXh
000187h			
000188h	グループ0 時間計測/波形生成レジスタ4	G0TM4/G0PO4	XXXXh
000189h			
00018Ah	グループ0 時間計測/波形生成レジスタ5	G0TM5/G0PO5	XXXXh
00018Bh			
00018Ch	グループ0 時間計測/波形生成レジスタ6	G0TM6/G0PO6	XXXXh
00018Dh			
00018Eh	グループ0 時間計測/波形生成レジスタ7	G0TM7/G0PO7	XXXXh
00018Fh			
000190h	グループ0 波形生成制御レジスタ0	G0POCR0	0000 X000b
000191h	グループ0 波形生成制御レジスタ1	G0POCR1	0X00 X000b
000192h	グループ0 波形生成制御レジスタ2	G0POCR2	0X00 X000b
000193h	グループ0 波形生成制御レジスタ3	G0POCR3	0X00 X000b
000194h	グループ0 波形生成制御レジスタ4	G0POCR4	0X00 X000b
000195h	グループ0 波形生成制御レジスタ5	G0POCR5	0X00 X000b
000196h	グループ0 波形生成制御レジスタ6	G0POCR6	0X00 X000b
000197h	グループ0 波形生成制御レジスタ7	G0POCR7	0X00 X000b
000198h	グループ0 時間計測制御レジスタ0	G0TMCR0	00h
000199h	グループ0 時間計測制御レジスタ1	G0TMCR1	00h
00019Ah	グループ0 時間計測制御レジスタ2	G0TMCR2	00h
00019Bh	グループ0 時間計測制御レジスタ3	G0TMCR3	00h
00019Ch	グループ0 時間計測制御レジスタ4	G0TMCR4	00h
00019Dh	グループ0 時間計測制御レジスタ5	G0TMCR5	00h
00019Eh	グループ0 時間計測制御レジスタ6	G0TMCR6	00h
00019Fh	グループ0 時間計測制御レジスタ7	G0TMCR7	00h

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.9 SFR一覧(9)

番地	レジスタ	シンボル	リセット後の値
0001A0h	グループ0 ベースタイマレジスタ	G0BT	XXXXh
0001A1h			
0001A2h	グループ0 ベースタイマ制御レジスタ0	G0BCR0	0000 0000b
0001A3h	グループ0 ベースタイマ制御レジスタ1	G0BCR1	0000 0000b
0001A4h	グループ0 時間計測プリスケアラレジスタ6	G0TPR6	00h
0001A5h	グループ0 時間計測プリスケアラレジスタ7	G0TPR7	00h
0001A6h	グループ0 機能許可レジスタ	G0FE	00h
0001A7h	グループ0 機能選択レジスタ	G0FS	00h
0001A8h			
0001A9h			
0001AAh			
0001ABh			
0001ACh			
0001ADh			
0001AEh			
0001AFh			
0001B0h			
0001B1h			
0001B2h			
0001B3h			
0001B4h			
0001B5h			
0001B6h			
0001B7h			
0001B8h			
0001B9h			
0001BAh			
0001BBh			
0001BCh			
0001BDh			
0001BEh			
0001BFh			
0001C0h			
0001C1h			
0001C2h			
0001C3h			
0001C4h	UART5 特殊モードレジスタ4	U5SMR4	00h
0001C5h	UART5 特殊モードレジスタ3	U5SMR3	00h
0001C6h	UART5 特殊モードレジスタ2	U5SMR2	00h
0001C7h	UART5 特殊モードレジスタ	U5SMR	00h
0001C8h	UART5 送受信モードレジスタ	U5MR	00h
0001C9h	UART5 ビットレートレジスタ	U5BRG	XXh
0001CAh	UART5 送信バッファレジスタ	U5TB	XXXXh
0001CBh			
0001CCh	UART5 送受信制御レジスタ0	U5C0	0000 1000b
0001CDh	UART5 送受信制御レジスタ1	U5C1	0000 0010b
0001CEh	UART5 受信バッファレジスタ	U5RB	XXXXh
0001CFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.10 SFR一覧(10)

番地	レジスタ	シンボル	リセット後の値
0001D0h			
0001D1h			
0001D2h			
0001D3h			
0001D4h	UART6 特殊モードレジスタ 4	U6SMR4	00h
0001D5h	UART6 特殊モードレジスタ 3	U6SMR3	00h
0001D6h	UART6 特殊モードレジスタ 2	U6SMR2	00h
0001D7h	UART6 特殊モードレジスタ	U6SMR	00h
0001D8h	UART6 送受信モードレジスタ	U6MR	00h
0001D9h	UART6 ビットレートレジスタ	U6BRG	XXh
0001DAh	UART6 送信バッファレジスタ	U6TB	XXXXh
0001DBh			
0001DCh	UART6 送受信制御レジスタ 0	U6C0	0000 1000b
0001DDh	UART6 送受信制御レジスタ 1	U6C1	0000 0010b
0001DEh	UART6 受信バッファレジスタ	U6RB	XXXXh
0001DFh			
0001E0h	UART7 送受信モードレジスタ	U7MR	00h
0001E1h	UART7 ビットレートレジスタ	U7BRG	XXh
0001E2h	UART7 送信バッファレジスタ	U7TB	XXXXh
0001E3h			
0001E4h	UART7 送受信制御レジスタ 0	U7C0	00X0 1000b
0001E5h	UART7 送受信制御レジスタ 1	U7C1	XXXX 0010b
0001E6h	UART7 受信バッファレジスタ	U7RB	XXXXh
0001E7h			
0001E8h	UART8 送受信モードレジスタ	U8MR	00h
0001E9h	UART8 ビットレートレジスタ	U8BRG	XXh
0001EAh	UART8 送信バッファレジスタ	U8TB	XXXXh
0001EBh			
0001ECh	UART8 送受信制御レジスタ 0	U8C0	00X0 1000b
0001EDh	UART8 送受信制御レジスタ 1	U8C1	XXXX 0010b
0001EEh	UART8 受信バッファレジスタ	U8RB	XXXXh
0001EFh			
0001F0h	UART7, 8 送受信制御レジスタ 2	U78CON	X000 0000b
0001F1h			
0001F2h			
0001F3h			
0001F4h			
0001F5h			
0001F6h			
0001F7h			
0001F8h			
0001F9h			
0001FAh			
0001FBh			
0001FCh			
0001FDh			
0001FEh			
0001FFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.11 SFR一覧(11)

番地	レジスタ	シンボル	リセット後の値
000200h~ 0002BFh			
0002C0h 0002C1h	X0 レジスタ / Y0 レジスタ	X0R/Y0R	XXXXh
0002C2h 0002C3h	X1 レジスタ / Y1 レジスタ	X1R/Y1R	XXXXh
0002C4h 0002C5h	X2 レジスタ / Y2 レジスタ	X2R/Y2R	XXXXh
0002C6h 0002C7h	X3 レジスタ / Y3 レジスタ	X3R/Y3R	XXXXh
0002C8h 0002C9h	X4 レジスタ / Y4 レジスタ	X4R/Y4R	XXXXh
0002CAh 0002CBh	X5 レジスタ / Y5 レジスタ	X5R/Y5R	XXXXh
0002CCh 0002CDh	X6 レジスタ / Y6 レジスタ	X6R/Y6R	XXXXh
0002CEh 0002CFh	X7 レジスタ / Y7 レジスタ	X7R/Y7R	XXXXh
0002D0h 0002D1h	X8 レジスタ / Y8 レジスタ	X8R/Y8R	XXXXh
0002D2h 0002D3h	X9 レジスタ / Y9 レジスタ	X9R/Y9R	XXXXh
0002D4h 0002D5h	X10 レジスタ / Y10 レジスタ	X10R/Y10R	XXXXh
0002D6h 0002D7h	X11 レジスタ / Y11 レジスタ	X11R/Y11R	XXXXh
0002D8h 0002D9h	X12 レジスタ / Y12 レジスタ	X12R/Y12R	XXXXh
0002DAh 0002DBh	X13 レジスタ / Y13 レジスタ	X13R/Y13R	XXXXh
0002DCh 0002DDh	X14 レジスタ / Y14 レジスタ	X14R/Y14R	XXXXh
0002DEh 0002DFh	X15 レジスタ / Y15 レジスタ	X15R/Y15R	XXXXh
0002E0h 0002E1h	X-Y制御レジスタ	XYC	XXXX XX00b
0002E2h 0002E3h			
0002E4h 0002E5h	UART1 特殊モードレジスタ 4	U1SMR4	00h
0002E6h 0002E7h	UART1 特殊モードレジスタ 3	U1SMR3	00h
0002E8h 0002E9h	UART1 特殊モードレジスタ 2	U1SMR2	00h
0002EAh 0002EBh	UART1 特殊モードレジスタ	U1SMR	00h
0002ECh 0002EDh	UART1 送受信モードレジスタ	U1MR	00h
0002EEh 0002EFh	UART1 ビットレートレジスタ	U1BRG	XXh
	UART1 送信バッファレジスタ	U1TB	XXXXh
	UART1 送受信制御レジスタ 0	U1C0	0000 1000b
	UART1 送受信制御レジスタ 1	U1C1	0000 0010b
	UART1 受信バッファレジスタ	U1RB	XXXXh

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.12 SFR一覧(12)

番地	レジスタ	シンボル	リセット後の値
0002F0h			
0002F1h			
0002F2h			
0002F3h			
0002F4h	UART4 特殊モードレジスタ 4	U4SMR4	00h
0002F5h	UART4 特殊モードレジスタ 3	U4SMR3	00h
0002F6h	UART4 特殊モードレジスタ 2	U4SMR2	00h
0002F7h	UART4 特殊モードレジスタ	U4SMR	00h
0002F8h	UART4 送受信モードレジスタ	U4MR	00h
0002F9h	UART4 ビットレートレジスタ	U4BRG	XXh
0002FAh	UART4 送信バッファレジスタ	U4TB	XXXXh
0002FBh			
0002FCh	UART4 送受信制御レジスタ 0	U4C0	0000 1000b
0002FDh	UART4 送受信制御レジスタ 1	U4C1	0000 0010b
0002FEh	UART4 受信バッファレジスタ	U4RB	XXXXh
0002FFh			
000300h	タイマ B3、B4、B5 カウント開始フラグ	TBSR	000X XXXXb
000301h			
000302h	タイマ A1-1 レジスタ	TA11	XXXXh
000303h			
000304h	タイマ A2-1 レジスタ	TA21	XXXXh
000305h			
000306h	タイマ A4-1 レジスタ	TA41	XXXXh
000307h			
000308h	三相 PWM 制御レジスタ 0	INVC0	00h
000309h	三相 PWM 制御レジスタ 1	INVC1	00h
00030Ah	三相出力バッファレジスタ 0	IDB0	XX11 1111b
00030Bh	三相出力バッファレジスタ 1	IDB1	XX11 1111b
00030Ch	短絡防止タイマ	DTT	XXh
00030Dh	タイマ B2 割り込み発生頻度設定カウンタ	ICTB2	XXh
00030Eh			
00030Fh			
000310h	タイマ B3 レジスタ	TB3	XXXXh
000311h			
000312h	タイマ B4 レジスタ	TB4	XXXXh
000313h			
000314h	タイマ B5 レジスタ	TB5	XXXXh
000315h			
000316h			
000317h			
000318h			
000319h			
00031Ah			
00031Bh	タイマ B3 モードレジスタ	TB3MR	00XX 0000b
00031Ch	タイマ B4 モードレジスタ	TB4MR	00XX 0000b
00031Dh	タイマ B5 モードレジスタ	TB5MR	00XX 0000b
00031Eh			
00031Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.13 SFR一覧(13)

番地	レジスタ	シンボル	リセット後の値
000320h			
000321h			
000322h			
000323h			
000324h	UART3 特殊モードレジスタ 4	U3SMR4	00h
000325h	UART3 特殊モードレジスタ 3	U3SMR3	00h
000326h	UART3 特殊モードレジスタ 2	U3SMR2	00h
000327h	UART3 特殊モードレジスタ	U3SMR	00h
000328h	UART3 送受信モードレジスタ	U3MR	00h
000329h	UART3 ビットレートレジスタ	U3BRG	XXh
00032Ah	UART3 送信バッファレジスタ	U3TB	XXXXh
00032Bh			
00032Ch	UART3 送受信制御レジスタ 0	U3C0	0000 1000b
00032Dh	UART3 送受信制御レジスタ 1	U3C1	0000 0010b
00032Eh	UART3 受信バッファレジスタ	U3RB	XXXXh
00032Fh			
000330h			
000331h			
000332h			
000333h			
000334h	UART2 特殊モードレジスタ 4	U2SMR4	00h
000335h	UART2 特殊モードレジスタ 3	U2SMR3	00h
000336h	UART2 特殊モードレジスタ 2	U2SMR2	00h
000337h	UART2 特殊モードレジスタ	U2SMR	00h
000338h	UART2 送受信モードレジスタ	U2MR	00h
000339h	UART2 ビットレートレジスタ	U2BRG	XXh
00033Ah	UART2 送信バッファレジスタ	U2TB	XXXXh
00033Bh			
00033Ch	UART2 送受信制御レジスタ 0	U2C0	0000 1000b
00033Dh	UART2 送受信制御レジスタ 1	U2C1	0000 0010b
00033Eh	UART2 受信バッファレジスタ	U2RB	XXXXh
00033Fh			
000340h	カウント開始レジスタ	TABSR	0000 0000b
000341h	時計用プリスケアラリセットレジスタ	CPSRF	0XXX XXXXb
000342h	ワンショット開始レジスタ	ONSF	0000 0000b
000343h	トリガ選択レジスタ	TRGSR	0000 0000b
000344h	アップダウン選択レジスタ	UDF	0000 0000b
000345h			
000346h	タイマ A0 レジスタ	TA0	XXXXh
000347h			
000348h	タイマ A1 レジスタ	TA1	XXXXh
000349h			
00034Ah	タイマ A2 レジスタ	TA2	XXXXh
00034Bh			
00034Ch	タイマ A3 レジスタ	TA3	XXXXh
00034Dh			
00034Eh	タイマ A4 レジスタ	TA4	XXXXh
00034Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14)

番地	レジスタ	シンボル	リセット後の値
000350h	タイマB0レジスタ	TB0	XXXXh
000351h			
000352h	タイマB1レジスタ	TB1	XXXXh
000353h			
000354h	タイマB2レジスタ	TB2	XXXXh
000355h			
000356h	タイマA0モードレジスタ	TA0MR	0000 0000b
000357h	タイマA1モードレジスタ	TA1MR	0000 0000b
000358h	タイマA2モードレジスタ	TA2MR	0000 0000b
000359h	タイマA3モードレジスタ	TA3MR	0000 0000b
00035Ah	タイマA4モードレジスタ	TA4MR	0000 0000b
00035Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
00035Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
00035Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
00035Eh	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0b
00035Fh	カウントソースプリスケアラレジスタ	TCSPR	0000 0000b
000360h			
000361h			
000362h			
000363h			
000364h	UART0 特殊モードレジスタ 4	U0SMR4	00h
000365h	UART0 特殊モードレジスタ 3	U0SMR3	00h
000366h	UART0 特殊モードレジスタ 2	U0SMR2	00h
000367h	UART0 特殊モードレジスタ	U0SMR	00h
000368h	UART0 送受信モードレジスタ	U0MR	00h
000369h	UART0 ビットレートレジスタ	U0BRG	XXh
00036Ah	UART0 送信バッファレジスタ	U0TB	XXXXh
00036Bh			
00036Ch	UART0 送受信制御レジスタ 0	U0C0	0000 1000b
00036Dh	UART0 送受信制御レジスタ 1	U0C1	0000 0010b
00036Eh	UART0 受信バッファレジスタ	U0RB	XXXXh
00036Fh			
000370h			
000371h			
000372h			
000373h			
000374h			
000375h			
000376h			
000377h			
000378h			
000379h			
00037Ah			
00037Bh			
00037Ch	CRC データレジスタ	CRCD	XXXXh
00037Dh			
00037Eh	CRC インプットレジスタ	CRCIN	XXh
00037Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.15 SFR一覧(15)

番地	レジスタ	シンボル	リセット後の値
000380h 000381h	A/D0 レジスタ 0	AD00	00XXh
000382h 000383h	A/D0 レジスタ 1	AD01	00XXh
000384h 000385h	A/D0 レジスタ 2	AD02	00XXh
000386h 000387h	A/D0 レジスタ 3	AD03	00XXh
000388h 000389h	A/D0 レジスタ 4	AD04	00XXh
00038Ah 00038Bh	A/D0 レジスタ 5	AD05	00XXh
00038Ch 00038Dh	A/D0 レジスタ 6	AD06	00XXh
00038Eh 00038Fh	A/D0 レジスタ 7	AD07	00XXh
000390h 000391h			
000392h	A/D0 制御レジスタ 4	AD0CON4	XXXX 00XXb
000393h	A/D0 制御レジスタ 5	AD0CON5	00h
000394h	A/D0 制御レジスタ 2	AD0CON2	XX0X X000b
000395h	A/D0 制御レジスタ 3	AD0CON3	XXXX X000b
000396h	A/D0 制御レジスタ 0	AD0CON0	00h
000397h	A/D0 制御レジスタ 1	AD0CON1	00h
000398h 000399h	D/A レジスタ 0	DA0	XXh
00039Ah 00039Bh	D/A レジスタ 1	DA1	XXh
00039Ch 00039Dh	D/A 制御レジスタ	DACON	XXXX XX00b
00039Eh			
00039Fh			
0003A0h			
0003A1h			
0003A2h			
0003A3h			
0003A4h			
0003A5h			
0003A6h			
0003A7h			
0003A8h			
0003A9h			
0003AAh			
0003ABh			
0003ACh			
0003ADh			
0003AEh			
0003AFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.16 SFR一覧(16)

番地	レジスタ	シンボル	リセット後の値
0003B0h			
0003B1h			
0003B2h			
0003B3h			
0003B4h			
0003B5h			
0003B6h			
0003B7h			
0003B8h			
0003B9h			
0003BAh			
0003BBh			
0003BCh			
0003BDh			
0003BEh			
0003BFh			
0003C0h	ポートP0レジスタ	P0	XXh
0003C1h	ポートP1レジスタ	P1	XXh
0003C2h	ポートP0方向レジスタ	PD0	0000 0000b
0003C3h	ポートP1方向レジスタ	PD1	0000 0000b
0003C4h	ポートP2レジスタ	P2	XXh
0003C5h	ポートP3レジスタ	P3	XXh
0003C6h	ポートP2方向レジスタ	PD2	0000 0000b
0003C7h	ポートP3方向レジスタ	PD3	0000 0000b
0003C8h	ポートP4レジスタ	P4	XXh
0003C9h	ポートP5レジスタ	P5	XXh
0003CAh	ポートP4方向レジスタ	PD4	0000 0000b
0003CBh	ポートP5方向レジスタ	PD5	0000 0000b
0003CCh	ポートP6レジスタ	P6	XXh
0003CDh	ポートP7レジスタ	P7	XXh
0003CEh	ポートP6方向レジスタ	PD6	0000 0000b
0003CFh	ポートP7方向レジスタ	PD7	0000 0000b
0003D0h	ポートP8レジスタ	P8	XXh
0003D1h	ポートP9レジスタ	P9	XXh
0003D2h	ポートP8方向レジスタ	PD8	00X0 0000b
0003D3h	ポートP9方向レジスタ	PD9	0000 0000b
0003D4h	ポートP10レジスタ	P10	XXh
0003D5h	ポートP11レジスタ	P11	XXh
0003D6h	ポートP10方向レジスタ	PD10	0000 0000b
0003D7h	ポートP11方向レジスタ	PD11	0000 0000b
0003D8h	ポートP12レジスタ	P12	XXh
0003D9h	ポートP13レジスタ	P13	XXh
0003DAh	ポートP12方向レジスタ	PD12	0000 0000b
0003DBh	ポートP13方向レジスタ	PD13	0000 0000b
0003DCh	ポートP14レジスタ	P14	XXh
0003DDh	ポートP15レジスタ	P15	XXh
0003DEh	ポートP14方向レジスタ	PD14	0000 0000b
0003DFh	ポートP15方向レジスタ	PD15	0000 0000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.17 SFR一覧(17)

番地	レジスタ	シンボル	リセット後の値
0003E0h	ポートP16レジスタ	P16	XXh
0003E1h	ポートP17レジスタ	P17	XXh
0003E2h	ポートP16方向レジスタ	PD16	0000 0000b
0003E3h	ポートP17方向レジスタ	PD17	0000 0000b
0003E4h	ポートP18レジスタ	P18	XXh
0003E5h	ポートP19レジスタ	P19	XXh
0003E6h	ポートP18方向レジスタ	PD18	0000 0000b
0003E7h	ポートP19方向レジスタ	PD19	0000 0000b
0003E8h			
0003E9h			
0003EAh			
0003EBh			
0003ECh			
0003EDh			
0003EEh			
0003EFh			
0003F0h	プルアップ制御レジスタ0	PUR0	0000 0000b
0003F1h	プルアップ制御レジスタ1	PUR1	XXXX X0XXb
0003F2h	プルアップ制御レジスタ2	PUR2	X00X XXXXb
0003F3h	プルアップ制御レジスタ3	PUR3	00XX 0000b
0003F4h	プルアップ制御レジスタ4	PUR4	0XXX 0000b
0003F5h	プルアップ制御レジスタ5	PUR5	XXXX 0000b
0003F6h			
0003F7h			
0003F8h			
0003F9h			
0003FAh			
0003FBh			
0003FCh			
0003FDh			
0003FEh			
0003FFh	ポート制御レジスタ	PCR	?0XX 0XX0b (注1)

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. ビット7の値は、144ピン版では“0”、176ピン版では“1”になります。

表 4.18 SFR一覧(18)

番地	レジスタ	シンボル	リセット後の値
040000h	フラッシュメモリ制御レジスタ0	FMR0	0001 XX00b
040001h	フラッシュメモリステータスレジスタ0	FMSR0	1000 0000b
040002h			
040003h			
040004h			
040005h			
040006h			
040007h			
040008h	フラッシュレジスタプロテクト解除レジスタ0	FPR0	00h
040009h	フラッシュメモリ制御レジスタ1	FMR1	0000 0010b
04000Ah	ブロックプロテクトビットモニタレジスタ0	FBPM0	??X? ???b (注1)
04000Bh	ブロックプロテクトビットモニタレジスタ1	FBPM1	XXX? ???b (注1)
04000Ch			
04000Dh			
04000Eh			
04000Fh			
040010h			
040011h	ブロックプロテクトビットモニタレジスタ2	FBPM2	???? ???b (注1)
040012h			
040013h			
040014h			
040015h			
040016h			
040017h			
040018h			
040019h			
04001Ah			
04001Bh			
04001Ch			
04001Dh			
04001Eh			
04001Fh			
040020h	PLL制御レジスタ0	PLC0	0000 0001b
040021h	PLL制御レジスタ1	PLC1	0001 1111b
040022h			
040023h			
040024h			
040025h			
040026h			
040027h			
040028h			
040029h			
04002Ah			
04002Bh			
04002Ch			
04002Dh			
04002Eh			
04002Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. フラッシュメモリの各ブロックのプロテクトビットの状態が反映されます。

表 4.19 SFR一覧(19)

番地	レジスタ	シンボル	リセット後の値
040030h~ 04003Fh			
040040h			
040041h			
040042h			
040043h			
040044h	プロセッサモードレジスタ0 (注1)	PM0	1000 0000b (CNVSS 端子が“L”) 0000 0011b (CNVSS 端子が“H”)
040045h			
040046h	システムクロック制御レジスタ0	CM0	0000 1000b
040047h	システムクロック制御レジスタ1	CM1	0010 0000b
040048h	プロセッサモードレジスタ3	PM3	00h
040049h			
04004Ah	プロテクトレジスタ	PRCR	XXXX X000b
04004Bh			
04004Ch	プロテクトレジスタ3	PRCR3	0000 0000b
04004Dh	発振停止検出レジスタ	CM2	00h
04004Eh			
04004Fh			
040050h			
040051h			
040052h			
040053h	プロセッサモードレジスタ2	PM2	00h
040054h	チップセレクト出力端子設定レジスタ0	CSOP0	1000 XXXXb
040055h	チップセレクト出力端子設定レジスタ1	CSOP1	01X0 XXXXb
040056h	チップセレクト出力端子設定レジスタ2	CSOP2	XXXX 0000b
040057h			
040058h			
040059h			
04005Ah	低速モードクロック制御レジスタ	CM3	XXXX XX00b
04005Bh			
04005Ch			
04005Dh			
04005Eh			
04005Fh			
040060h	電圧レギュレータ制御レジスタ	VRCR	0000 0000b
040061h			
040062h	電圧低下検出回路制御レジスタ	LVDC	0000 XX00b
040063h			
040064h	検出電圧設定レジスタ	DVCR	0000 XXXXb
040065h			
040066h			
040067h			
040068h~ 040093h			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. PM0 レジスタはソフトウェアリセット、ウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

表 4.20 SFR一覧(20)

番地	レジスタ	シンボル	リセット後の値
040094h			
040095h			
040096h			
040097h	三相出力バッファ制御レジスタ	IOBC	0XXX XXXXb
040098h	入力機能選択レジスタ0	IFS0	X000 0000b
040099h			
04009Ah	入力機能選択レジスタ2	IFS2	0000 00X0b
04009Bh	入力機能選択レジスタ3	IFS3	XX00 XX00b
04009Ch			
04009Dh			
04009Eh			
04009Fh			
0400A0h	ポートP0_0機能選択レジスタ	P0_0S	0XXX X000b
0400A1h	ポートP1_0機能選択レジスタ	P1_0S	XXXX X000b
0400A2h	ポートP0_1機能選択レジスタ	P0_1S	0XXX X000b
0400A3h	ポートP1_1機能選択レジスタ	P1_1S	XXXX X000b
0400A4h	ポートP0_2機能選択レジスタ	P0_2S	0XXX X000b
0400A5h	ポートP1_2機能選択レジスタ	P1_2S	XXXX X000b
0400A6h	ポートP0_3機能選択レジスタ	P0_3S	0XXX X000b
0400A7h	ポートP1_3機能選択レジスタ	P1_3S	XXXX X000b
0400A8h	ポートP0_4機能選択レジスタ	P0_4S	0XXX X000b
0400A9h	ポートP1_4機能選択レジスタ	P1_4S	XXXX X000b
0400AAh	ポートP0_5機能選択レジスタ	P0_5S	0XXX X000b
0400ABh	ポートP1_5機能選択レジスタ	P1_5S	XXXX X000b
0400ACh	ポートP0_6機能選択レジスタ	P0_6S	0XXX X000b
0400ADh	ポートP1_6機能選択レジスタ	P1_6S	XXXX X000b
0400AEh	ポートP0_7機能選択レジスタ	P0_7S	0XXX X000b
0400AFh	ポートP1_7機能選択レジスタ	P1_7S	XXXX X000b
0400B0h	ポートP2_0機能選択レジスタ	P2_0S	00XX X000b
0400B1h	ポートP3_0機能選択レジスタ	P3_0S	XXXX X000b
0400B2h	ポートP2_1機能選択レジスタ	P2_1S	00XX X000b
0400B3h	ポートP3_1機能選択レジスタ	P3_1S	XXXX X000b
0400B4h	ポートP2_2機能選択レジスタ	P2_2S	00XX X000b
0400B5h	ポートP3_2機能選択レジスタ	P3_2S	XXXX X000b
0400B6h	ポートP2_3機能選択レジスタ	P2_3S	00XX X000b
0400B7h	ポートP3_3機能選択レジスタ	P3_3S	XXXX X000b
0400B8h	ポートP2_4機能選択レジスタ	P2_4S	00XX X000b
0400B9h	ポートP3_4機能選択レジスタ	P3_4S	XXXX X000b
0400BAh	ポートP2_5機能選択レジスタ	P2_5S	00XX X000b
0400BBh	ポートP3_5機能選択レジスタ	P3_5S	XXXX X000b
0400BCh	ポートP2_6機能選択レジスタ	P2_6S	00XX X000b
0400BDh	ポートP3_6機能選択レジスタ	P3_6S	XXXX X000b
0400BEh	ポートP2_7機能選択レジスタ	P2_7S	00XX X000b
0400BFh	ポートP3_7機能選択レジスタ	P3_7S	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.21 SFR一覧(21)

番地	レジスタ	シンボル	リセット後の値
0400C0h	ポートP4_0機能選択レジスタ	P4_0S	X0XX X000b
0400C1h	ポートP5_0機能選択レジスタ	P5_0S	XXXX X000b
0400C2h	ポートP4_1機能選択レジスタ	P4_1S	X0XX X000b
0400C3h	ポートP5_1機能選択レジスタ	P5_1S	XXXX X000b
0400C4h	ポートP4_2機能選択レジスタ	P4_2S	X0XX X000b
0400C5h	ポートP5_2機能選択レジスタ	P5_2S	XXXX X000b
0400C6h	ポートP4_3機能選択レジスタ	P4_3S	X0XX X000b
0400C7h	ポートP5_3機能選択レジスタ	P5_3S	XXXX X000b
0400C8h	ポートP4_4機能選択レジスタ	P4_4S	X0XX X000b
0400C9h	ポートP5_4機能選択レジスタ	P5_4S	X0XX X000b
0400CAh	ポートP4_5機能選択レジスタ	P4_5S	X0XX X000b
0400CBh	ポートP5_5機能選択レジスタ	P5_5S	X0XX X000b
0400CCh	ポートP4_6機能選択レジスタ	P4_6S	X0XX X000b
0400CDh	ポートP5_6機能選択レジスタ	P5_6S	X0XX X000b
0400CEh	ポートP4_7機能選択レジスタ	P4_7S	X0XX X000b
0400CFh	ポートP5_7機能選択レジスタ	P5_7S	X0XX X000b
0400D0h	ポートP6_0機能選択レジスタ	P6_0S	X0XX X000b
0400D1h	ポートP7_0機能選択レジスタ	P7_0S	X0XX X000b
0400D2h	ポートP6_1機能選択レジスタ	P6_1S	X0XX X000b
0400D3h	ポートP7_1機能選択レジスタ	P7_1S	X0XX X000b
0400D4h	ポートP6_2機能選択レジスタ	P6_2S	X0XX X000b
0400D5h	ポートP7_2機能選択レジスタ	P7_2S	X0XX X000b
0400D6h	ポートP6_3機能選択レジスタ	P6_3S	X0XX X000b
0400D7h	ポートP7_3機能選択レジスタ	P7_3S	X0XX X000b
0400D8h	ポートP6_4機能選択レジスタ	P6_4S	X0XX X000b
0400D9h	ポートP7_4機能選択レジスタ	P7_4S	X0XX X000b
0400DAh	ポートP6_5機能選択レジスタ	P6_5S	X0XX X000b
0400DBh	ポートP7_5機能選択レジスタ	P7_5S	X0XX X000b
0400DCh	ポートP6_6機能選択レジスタ	P6_6S	X0XX X000b
0400DDh	ポートP7_6機能選択レジスタ	P7_6S	X0XX X000b
0400DEh	ポートP6_7機能選択レジスタ	P6_7S	X0XX X000b
0400DFh	ポートP7_7機能選択レジスタ	P7_7S	X0XX X000b
0400E0h	ポートP8_0機能選択レジスタ	P8_0S	X0XX X000b
0400E1h	ポートP9_0機能選択レジスタ	P9_0S	X0XX X000b
0400E2h	ポートP8_1機能選択レジスタ	P8_1S	X0XX X000b
0400E3h	ポートP9_1機能選択レジスタ	P9_1S	X0XX X000b
0400E4h	ポートP8_2機能選択レジスタ	P8_2S	X0XX X000b
0400E5h	ポートP9_2機能選択レジスタ	P9_2S	X0XX X000b
0400E6h	ポートP8_3機能選択レジスタ	P8_3S	X0XX X000b
0400E7h	ポートP9_3機能選択レジスタ	P9_3S	00XX X000b
0400E8h	ポートP8_4機能選択レジスタ	P8_4S	XXXX X000b
0400E9h	ポートP9_4機能選択レジスタ	P9_4S	00XX X000b
0400EAh			
0400EBh	ポートP9_5機能選択レジスタ	P9_5S	00XX X000b
0400ECh	ポートP8_6機能選択レジスタ	P8_6S	XXXX X000b
0400EDh	ポートP9_6機能選択レジスタ	P9_6S	00XX X000b
0400EEh	ポートP8_7機能選択レジスタ	P8_7S	XXXX X000b
0400EFh	ポートP9_7機能選択レジスタ	P9_7S	X0XX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.22 SFR一覧(22)

番地	レジスタ	シンボル	リセット後の値
0400F0h	ポートP10_0機能選択レジスタ	P10_0S	0XXX X000b
0400F1h	ポートP11_0機能選択レジスタ	P11_0S	X0XX X000b
0400F2h	ポートP10_1機能選択レジスタ	P10_1S	0XXX X000b
0400F3h	ポートP11_1機能選択レジスタ	P11_1S	X0XX X000b
0400F4h	ポートP10_2機能選択レジスタ	P10_2S	0XXX X000b
0400F5h	ポートP11_2機能選択レジスタ	P11_2S	X0XX X000b
0400F6h	ポートP10_3機能選択レジスタ	P10_3S	0XXX X000b
0400F7h	ポートP11_3機能選択レジスタ	P11_3S	X0XX X000b
0400F8h	ポートP10_4機能選択レジスタ	P10_4S	0XXX X000b
0400F9h	ポートP11_4機能選択レジスタ	P11_4S	XXXX X000b
0400FAh	ポートP10_5機能選択レジスタ	P10_5S	0XXX X000b
0400FBh	ポートP11_5機能選択レジスタ	P11_5S	XXXX X000b
0400FCh	ポートP10_6機能選択レジスタ	P10_6S	0XXX X000b
0400FDh	ポートP11_6機能選択レジスタ	P11_6S	XXXX X000b
0400FEh	ポートP10_7機能選択レジスタ	P10_7S	0XXX X000b
0400FFh	ポートP11_7機能選択レジスタ	P11_7S	XXXX X000b
040100h	ポートP12_0機能選択レジスタ	P12_0S	X0XX X000b
040101h	ポートP13_0機能選択レジスタ	P13_0S	XXXX X000b
040102h	ポートP12_1機能選択レジスタ	P12_1S	X0XX X000b
040103h	ポートP13_1機能選択レジスタ	P13_1S	XXXX X000b
040104h	ポートP12_2機能選択レジスタ	P12_2S	X0XX X000b
040105h	ポートP13_2機能選択レジスタ	P13_2S	XXXX X000b
040106h	ポートP12_3機能選択レジスタ	P12_3S	X0XX X000b
040107h	ポートP13_3機能選択レジスタ	P13_3S	XXXX X000b
040108h	ポートP12_4機能選択レジスタ	P12_4S	X0XX X000b
040109h	ポートP13_4機能選択レジスタ	P13_4S	XXXX X000b
04010Ah	ポートP12_5機能選択レジスタ	P12_5S	X0XX X000b
04010Bh	ポートP13_5機能選択レジスタ	P13_5S	XXXX X000b
04010Ch	ポートP12_6機能選択レジスタ	P12_6S	X0XX X000b
04010Dh	ポートP13_6機能選択レジスタ	P13_6S	XXXX X000b
04010Eh	ポートP12_7機能選択レジスタ	P12_7S	X0XX X000b
04010Fh	ポートP13_7機能選択レジスタ	P13_7S	XXXX X000b
040110h			
040111h	ポートP15_0機能選択レジスタ	P15_0S	00XX X000b
040112h			
040113h	ポートP15_1機能選択レジスタ	P15_1S	00XX X000b
040114h			
040115h	ポートP15_2機能選択レジスタ	P15_2S	00XX X000b
040116h	ポートP14_3機能選択レジスタ	P14_3S	XXXX X000b
040117h	ポートP15_3機能選択レジスタ	P15_3S	00XX X000b
040118h	ポートP14_4機能選択レジスタ	P14_4S	XXXX X000b
040119h	ポートP15_4機能選択レジスタ	P15_4S	00XX X000b
04011Ah	ポートP14_5機能選択レジスタ	P14_5S	XXXX X000b
04011Bh	ポートP15_5機能選択レジスタ	P15_5S	00XX X000b
04011Ch	ポートP14_6機能選択レジスタ	P14_6S	XXXX X000b
04011Dh	ポートP15_6機能選択レジスタ	P15_6S	00XX X000b
04011Eh	ポートP14_7機能選択レジスタ	P14_7S	XXXX X000b
04011Fh	ポートP15_7機能選択レジスタ	P15_7S	00XX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.23 SFR一覧(23)

番地	レジスタ	シンボル	リセット後の値
040120h	ポートP16_0機能選択レジスタ	P16_0S	X0XX X000b
040121h	ポートP17_0機能選択レジスタ	P17_0S	X0XX X000b
040122h	ポートP16_1機能選択レジスタ	P16_1S	X0XX X000b
040123h	ポートP17_1機能選択レジスタ	P17_1S	X0XX X000b
040124h	ポートP16_2機能選択レジスタ	P16_2S	X0XX X000b
040125h	ポートP17_2機能選択レジスタ	P17_2S	X0XX X000b
040126h	ポートP16_3機能選択レジスタ	P16_3S	X0XX X000b
040127h	ポートP17_3機能選択レジスタ	P17_3S	X0XX X000b
040128h	ポートP16_4機能選択レジスタ	P16_4S	X0XX X000b
040129h	ポートP17_4機能選択レジスタ	P17_4S	XXXX X000b
04012Ah	ポートP16_5機能選択レジスタ	P16_5S	X0XX X000b
04012Bh	ポートP17_5機能選択レジスタ	P17_5S	XXXX X000b
04012Ch	ポートP16_6機能選択レジスタ	P16_6S	X0XX X000b
04012Dh	ポートP17_6機能選択レジスタ	P17_6S	XXXX X000b
04012Eh	ポートP16_7機能選択レジスタ	P16_7S	X0XX X000b
04012Fh	ポートP17_7機能選択レジスタ	P17_7S	XXXX X000b
040130h	ポートP18_0機能選択レジスタ	P18_0S	XXXX X000b
040131h	ポートP19_0機能選択レジスタ	P19_0S	XXXX X000b
040132h	ポートP18_1機能選択レジスタ	P18_1S	XXXX X000b
040133h	ポートP19_1機能選択レジスタ	P19_1S	XXXX X000b
040134h	ポートP18_2機能選択レジスタ	P18_2S	XXXX X000b
040135h	ポートP19_2機能選択レジスタ	P19_2S	XXXX X000b
040136h	ポートP18_3機能選択レジスタ	P18_3S	XXXX X000b
040137h	ポートP19_3機能選択レジスタ	P19_3S	XXXX X000b
040138h	ポートP18_4機能選択レジスタ	P18_4S	XXXX X000b
040139h	ポートP19_4機能選択レジスタ	P19_4S	XXXX X000b
04013Ah	ポートP18_5機能選択レジスタ	P18_5S	XXXX X000b
04013Bh	ポートP19_5機能選択レジスタ	P19_5S	XXXX X000b
04013Ch	ポートP18_6機能選択レジスタ	P18_6S	XXXX X000b
04013Dh	ポートP19_6機能選択レジスタ	P19_6S	XXXX X000b
04013Eh	ポートP18_7機能選択レジスタ	P18_7S	XXXX X000b
04013Fh	ポートP19_7機能選択レジスタ	P19_7S	XXXX X000b
040140h			
040141h			
040142h			
040143h			
040144h			
040145h			
040146h			
040147h			
040148h			
040149h			
04014Ah			
04014Bh			
04014Ch			
04014Dh			
04014Eh			
04014Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.24 SFR一覧(24)

番地	レジスタ	シンボル	リセット後の値
040150h~ 0402FFh			
040300h	UART9送受信モードレジスタ	U9MR	00h
040301h	UART9ビットレートレジスタ	U9BRG	XXh
040302h	UART9送信バッファレジスタ	U9TB	XXXXh
040303h			
040304h	UART9送受信制御レジスタ0	U9C0	00X0 1000b
040305h	UART9送受信制御レジスタ1	U9C1	XXXX 0010b
040306h	UART9受信バッファレジスタ	U9RB	XXXXh
040307h			
040308h	UART10送受信モードレジスタ	U10MR	00h
040309h	UART10ビットレートレジスタ	U10BRG	XXh
04030Ah	UART10送信バッファレジスタ	U10TB	XXXXh
04030Bh			
04030Ch	UART10送受信制御レジスタ0	U10C0	00X0 1000b
04030Dh	UART10送受信制御レジスタ1	U10C1	XXXX 0010b
04030Eh	UART10受信バッファレジスタ	U10RB	XXXXh
04030Fh			
040310h	UART9, 10送受信制御レジスタ2	U910CON	X000 0000b
040311h			
040312h			
040313h			
040314h			
040315h			
040316h			
040317h			
040318h~ 041FFFh			
042000h~ 04201Fh	プロテクト領域0	—	不定
042020h~ 04203Fh	プロテクト領域1	—	不定
042040h~ 04205Fh	プロテクト領域2	—	不定
042060h~ 04207Fh	プロテクト領域3	—	不定
042080h~ 04209Fh	プロテクト領域4	—	不定
0420A0h~ 0420EFh			
0420F0h	プロテクト領域プロテクト解除レジスタ	PAPR	XXX0 0000b
0420F1h			
0420F2h	プロテクト領域ライトアクセスフラグレジスタ	PAWF	XXX0 0000b
0420F3h			
0420F4h			
0420F5h			
0420F6h			
0420F7h			
0420F8h~ 043FFFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.25 SFR一覧(25)

番地	レジスタ	シンボル	リセット後の値
044000h~ 04403Fh			
044040h			
044041h			
044042h			
044043h			
044044h			
044045h			
044046h			
044047h			
044048h			
044049h			
04404Ah			
04404Bh			
04404Ch	プロテクトレジスタ4	PRCR4	0000 0000b
04404Dh	ウォッチドッグタイマクロック制御レジスタ	WDK	0000 000?b (注1)
04404Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXXX XXXXb
04404Fh	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXXb
044050h			
044051h			
044052h			
044053h			
044054h			
044055h			
044056h			
044057h			
044058h			
044059h			
04405Ah			
04405Bh			
04405Ch			
04405Dh			
04405Eh			
04405Fh	プロテクトレジスタ2	PRCR2	0XXX XXXXb

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. ビット0の値は、最後のリセットの要因がウォッチドッグタイマリセットの場合“1”、その他のリセットの場合“0”になります。

表 4.26 SFR一覧(26)

番地	レジスタ	シンボル	リセット後の値
044060h			
044061h			
044062h			
044063h			
044064h			
044065h			
044066h			
044067h			
044068h			
044069h			
04406Ah			
04406Bh			
04406Ch			
04406Dh	外部割り込み要因選択レジスタ1	IFSR1	X0XX X000b
04406Eh			
04406Fh	外部割り込み要因選択レジスタ0	IFSR0	0000 0000b
044070h	DMA0起動要因選択レジスタ2	DM0SL2	XX00 0000b
044071h	DMA1起動要因選択レジスタ2	DM1SL2	XX00 0000b
044072h	DMA2起動要因選択レジスタ2	DM2SL2	XX00 0000b
044073h	DMA3起動要因選択レジスタ2	DM3SL2	XX00 0000b
044074h			
044075h			
044076h			
044077h			
044078h	DMA0起動要因選択レジスタ	DM0SL	XXX0 0000b
044079h	DMA1起動要因選択レジスタ	DM1SL	XXX0 0000b
04407Ah	DMA2起動要因選択レジスタ	DM2SL	XXX0 0000b
04407Bh	DMA3起動要因選択レジスタ	DM3SL	XXX0 0000b
04407Ch			
04407Dh	復帰用割り込み優先レベル設定レジスタ2	RIPL2	XX0X 0000b
04407Eh			
04407Fh	復帰用割り込み優先レベル設定レジスタ1	RIPL1	XX0X 0000b
044080h			
044081h			
044082h			
044083h			
044084h			
044085h			
044086h			
044087h			
044088h			
044089h			
04408Ah			
04408Bh			
04408Ch			
04408Dh			
04408Eh			
04408Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.27 SFR一覧(27)

番地	レジスタ	シンボル	リセット後の値
044090h~ 0443FFh			
044400h	I ² Cバス送受信シフトレジスタ	I2CTRSR	XXh
044401h			
044402h	I ² Cバススレーブアドレスレジスタ	I2CSAR	00h
044403h	I ² Cバス制御レジスタ0	I2CCR0	0000 0000b
044404h	I ² Cバスクロック制御レジスタ	I2CCCR	0000 0000b
044405h	I ² Cバススタートコンディション/ストップコンディショ ン制御レジスタ	I2CSSCR	0001 1010b
044406h	I ² Cバス制御レジスタ1	I2CCR1	0011 0000b
044407h	I ² Cバス制御レジスタ2	I2CCR2	0X00 0000b
044408h	I ² Cバスステータスレジスタ	I2CSR	0001 000Xb
044409h			
04440Ah			
04440Bh			
04440Ch			
04440Dh			
04440Eh			
04440Fh			
044410h	I ² Cバスモードレジスタ	I2CMR	XXXX 0000b
044411h			
044412h			
044413h			
044414h			
044415h			
044416h			
044417h			
044418h			
044419h			
04441Ah			
04441Bh			
04441Ch			
04441Dh			
04441Eh			
04441Fh			
044420h~ 04FFFFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

5.1 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子は初期化されます(表 5.1 参照)。また、発振回路が初期化され、メインクロックの発振が始まります。 $\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にすると CPU と SFR が初期化され、リセットベクタで示される番地からプログラムを実行します。内部 RAM は初期化されません。また、内部 RAM に書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部 RAM は不定となります。

図 5.1 にリセット回路の一例を、図 5.2 にリセットシーケンスを、表 5.1 に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を、図 5.3 にリセット後の CPU レジスタの状態を示します。リセット後の SFR の状態は「4. SFR」を参照してください。

A. 電源が安定している場合

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) XIN 端子に 20 サイクル以上のクロックを入力する
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

B. 電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たす電圧まで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ
- (4) XIN 端子に 20 サイクル以上のクロックを入力する
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

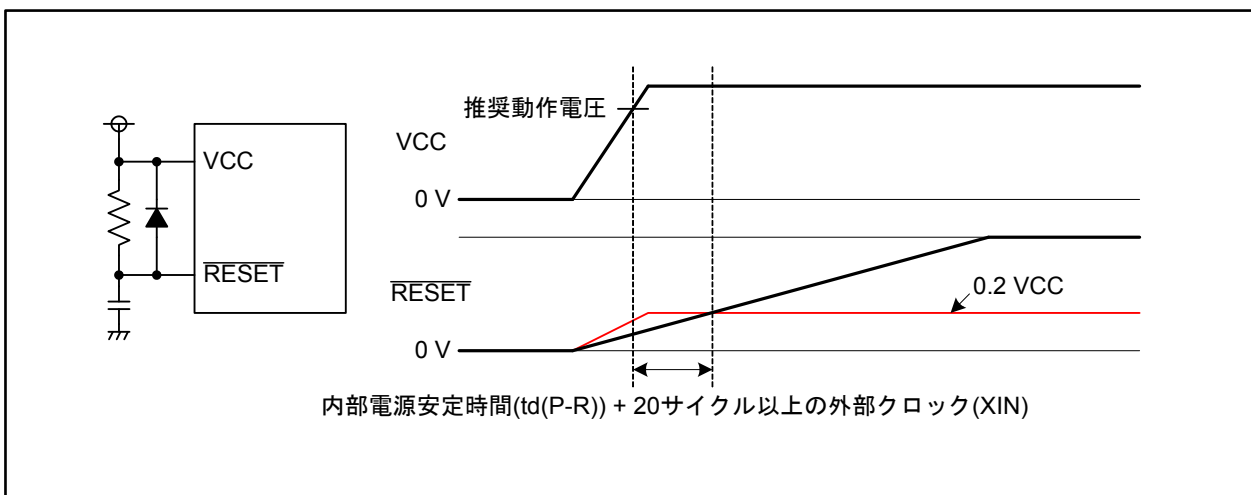


図 5.1 リセット回路の一例

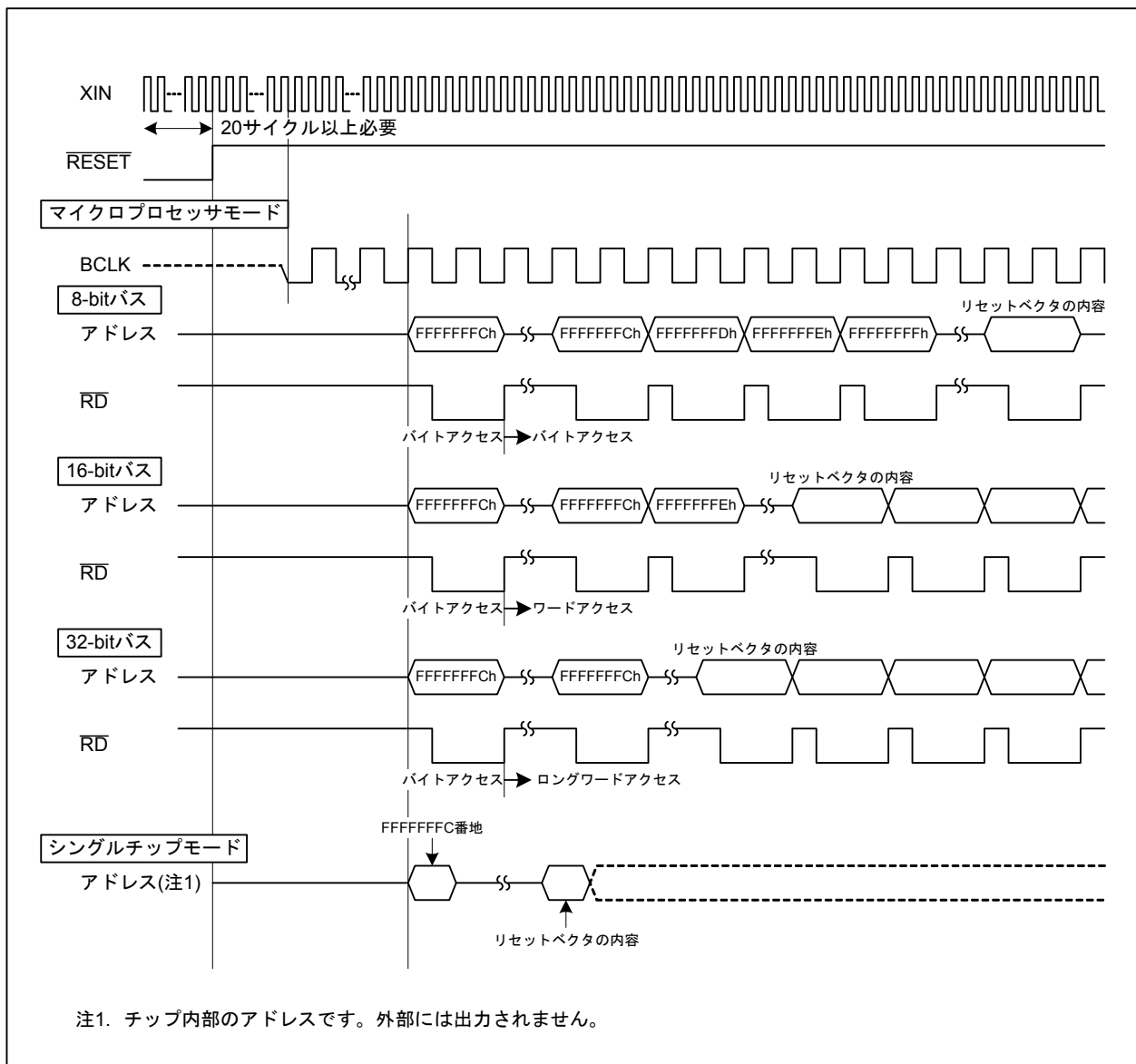


図 5.2 リセットシーケンス

表 5.1 RESET 端子のレベルが“L”の期間の端子の状態(注1)

端子名	端子の状態	
	CNVSS = VSS	CNVSS = VCC
P0	入力ポート(ハイインピーダンス)	データ入力
P1	入力ポート(ハイインピーダンス)	入力ポート(ハイインピーダンス)
P2, P3	入力ポート(ハイインピーダンス)	アドレス出力(不定)
P4_0~P4_6	入力ポート(ハイインピーダンス)	アドレス出力(不定)
P4_7	入力ポート(ハイインピーダンス)	CS0出力(“H”を出力)
P5_0	入力ポート(ハイインピーダンス)	WR出力(“H”を出力)
P5_1	入力ポート(ハイインピーダンス)	BC1出力(不定)
P5_2	入力ポート(ハイインピーダンス)	RD出力(“H”を出力)
P5_3	入力ポート(ハイインピーダンス)	BCLK出力(注2)
P5_4	入力ポート(ハイインピーダンス)	HLDA出力(出力値はHOLD端子の入力値に依存) (注2)
P5_5	入力ポート(ハイインピーダンス)	HOLD入力(ハイインピーダンス)
P5_6	入力ポート(ハイインピーダンス)	CS2出力(“H”を出力)
P5_7	入力ポート(ハイインピーダンス)	RDY入力(ハイインピーダンス)
P6~P19 (注3)	入力ポート(ハイインピーダンス)	入力ポート(ハイインピーダンス)

- 注1. 内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。
- 注2. 電源投入後、内部電源電圧が安定してからの状態です。内部電圧が安定するまでは不定です。
- 注3. ポートP16~P19は176ピン版にのみ存在します。

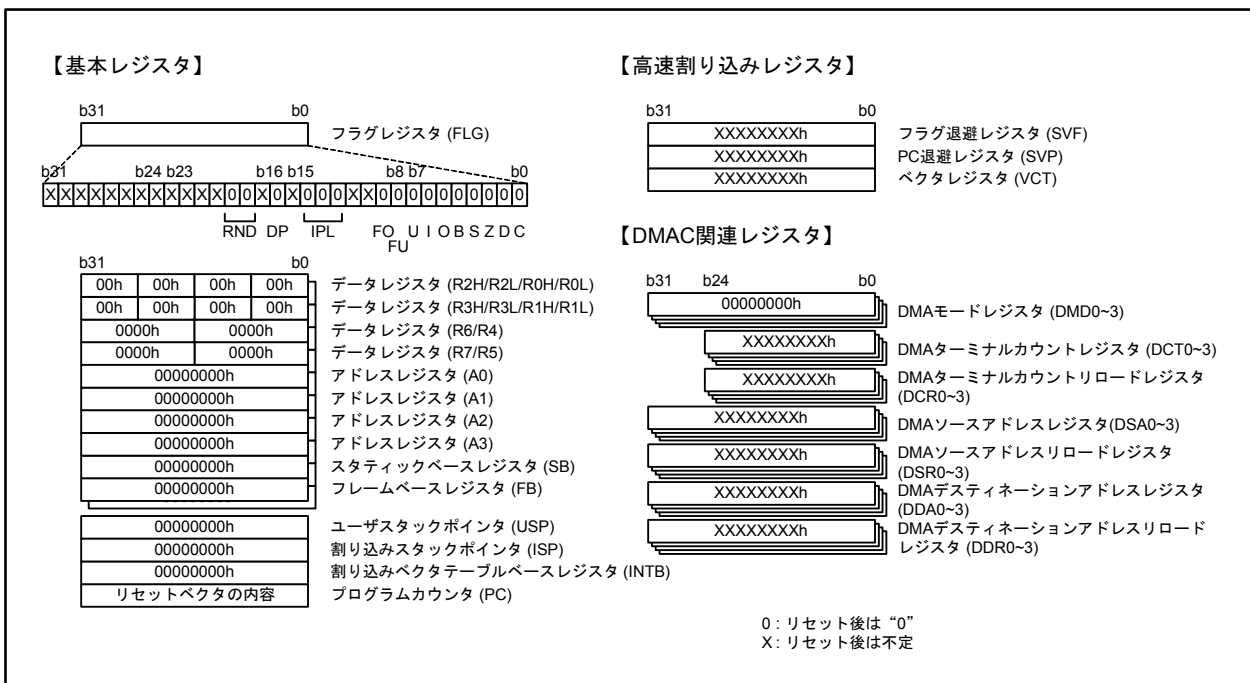


図 5.3 リセット後のCPUレジスタの状態

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータがリセットされ、CPU、SFR、端子が初期化されます。その後、CPUはリセットベクタで示される番地からプログラムを実行します。

CPUクロック源にPLLクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.3 ウォッチドッグタイマリセット

CM0レジスタのCM06ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータがリセットされ、CPU、SFR、端子が初期化されます。その後、CPUはリセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、PM0レジスタのPM01~PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.4 リセットベクタ

R32C/100シリーズのリセットベクタは、図 5.4のとおり構成されています。

リセットベクタの内容の下位2ビットを“00b”にしたものがプログラムの開始番地になり、下位2ビットがマイクロプロセッサモード時の外部バス幅指定ビットになります。このため、プログラムの開始番地は下位2ビットが“00b”となるように4バイトアライメントに配置する必要があります。

シングルチップモード時は外部バス幅指定ビットを“00b”にしてください。

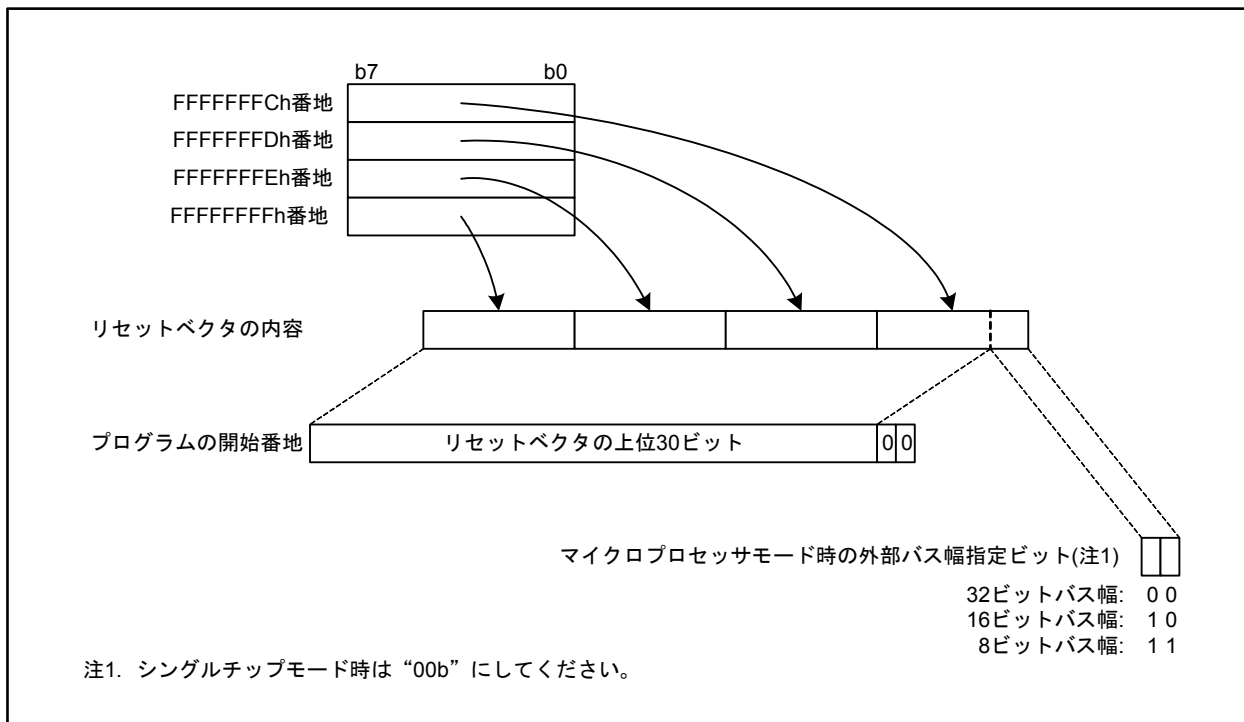


図 5.4 リセットベクタの構成

6. パワーマネージメント

6.1 電圧レギュレータ

内部ロジック電圧は内部電圧レギュレータによって、VCC端子からの入力を降圧して生成されます。図 6.1に内部電圧レギュレータのブロック図を、図 6.2に電圧レギュレータ制御レジスタを示します。

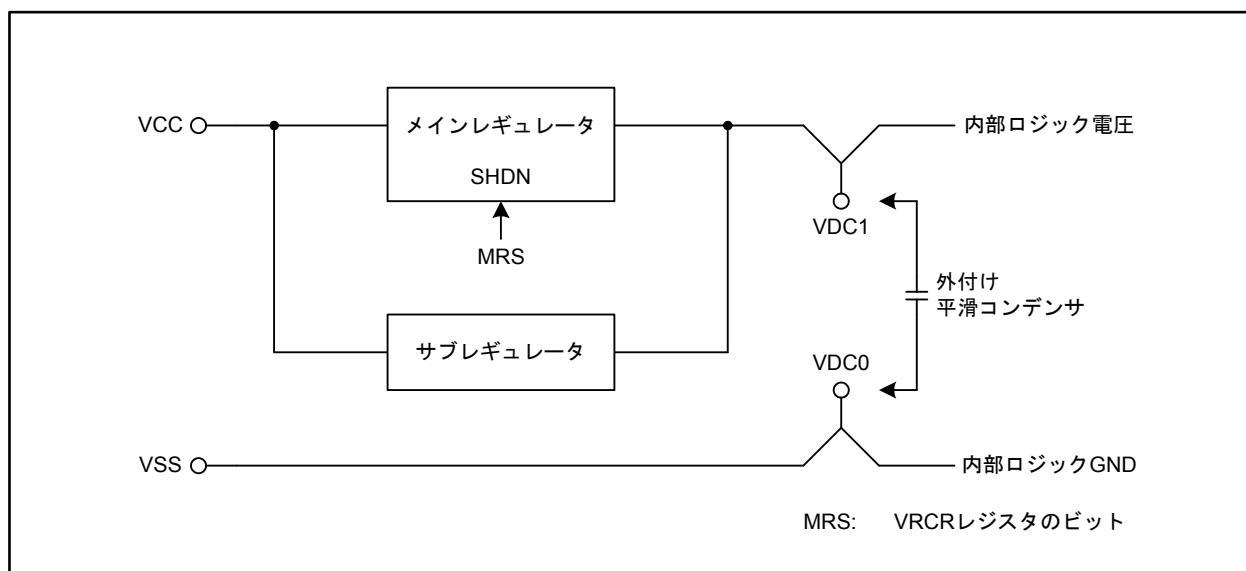


図 6.1 内部電圧レギュレータのブロック図

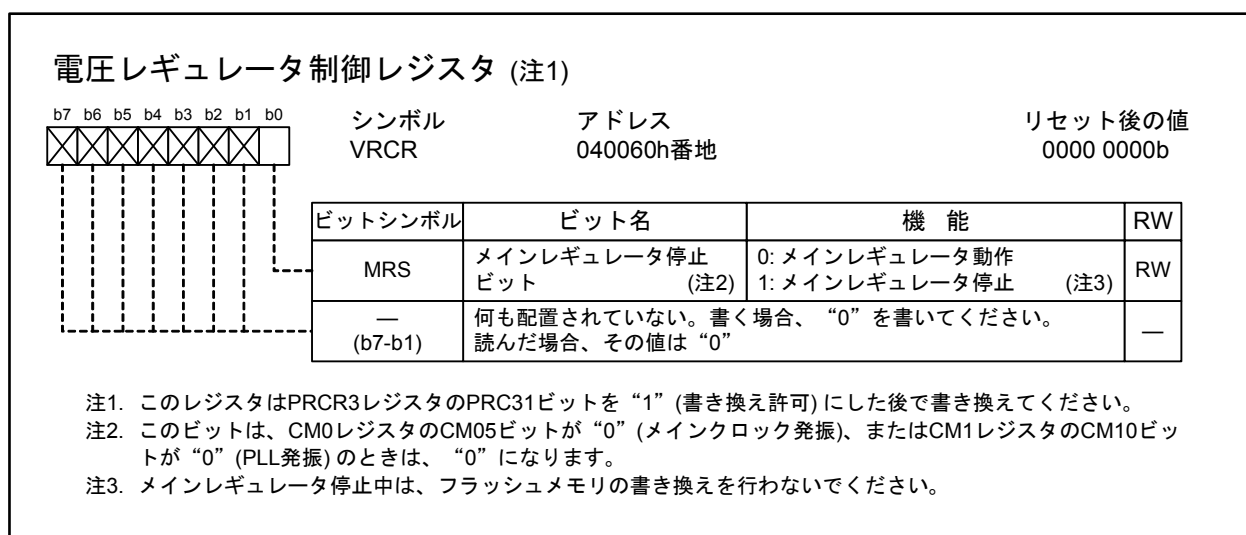


図 6.2 VRCR レジスタ

6.1.1 平滑コンデンサ

内部電圧を安定させるためにチップ外部に平滑コンデンサが必要です。使用するコンデンサは、高周波特性が良く、静電容量温度特性の良いものを選択してください。一般的にはセラミックコンデンサを推奨します。コンデンサの容量は、使用温度、両端子間の直流電圧、経年変化等の条件によって変化します。これらの条件を考慮の上、電気的特性に記載する容量値を満たすようなコンデンサを選択ください。

表 6.1 に推奨するコンデンサの一覧を示します。

また、VDC1/VDC0 端子と平滑コンデンサの間の配線は、できるだけ太く、短くしてください。

表 6.1 推奨コンデンサ一覧

温度特性				定格電圧	静電容量	容量誤差
特性記号		温度範囲	静電容量変化率			
B	JIS	-25°C ~ 85°C	±10%	6.3 V 以上	4.7 μF	±20% 以下
R	JIS	-55°C ~ 125°C	±15%	6.3 V 以上	4.7 μF	±20% 以下
X5R	EIA	-55°C ~ 85°C	±15%	6.3 V 以上	4.7 μF	±20% 以下
X7R	EIA	-55°C ~ 125°C	±15%	6.3 V 以上	4.7 μF	±20% 以下
X8R	EIA	-55°C ~ 150°C	±15%	6.3 V 以上	4.7 μF	±20% 以下
X6S	EIA	-55°C ~ 105°C	±22%	6.3 V 以上	4.7 μF	±20% 以下
X7S	EIA	-55°C ~ 125°C	±22%	6.3 V 以上	4.7 μF	±20% 以下

6.2 電圧低下検出回路

電圧低下検出回路はVCC端子に入力する電源電圧を監視する回路です。

内部電圧レギュレータの入力となるVCC電源電圧を監視し、内部ロジック電圧が低下する前に警告を出すことができます。CPUはこの警告を受けてから、実際に内部ロジック電圧が下がるまでの間に、重要なデータをフラッシュメモリに退避し、安全にシャットダウンすることができます。

図 6.3に電圧低下検出回路のブロック図を、図 6.4~図 6.5に関連レジスタを示します。

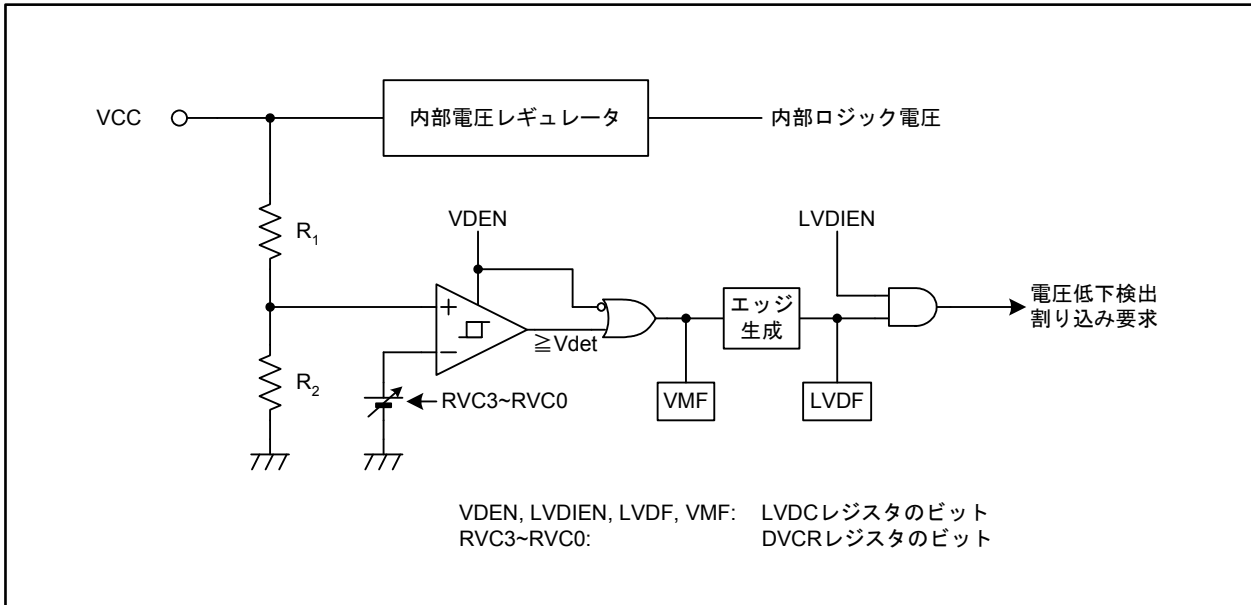


図 6.3 電圧低下検出回路ブロック図

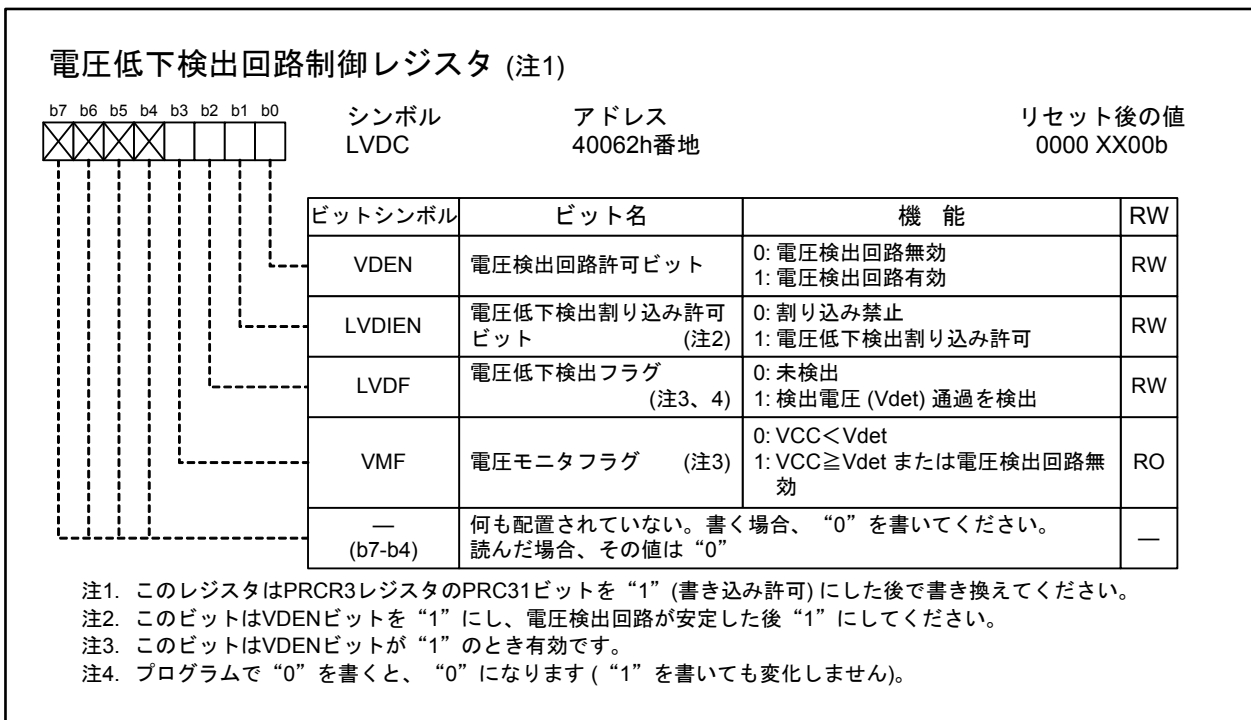


図 6.4 LVDC レジスタ

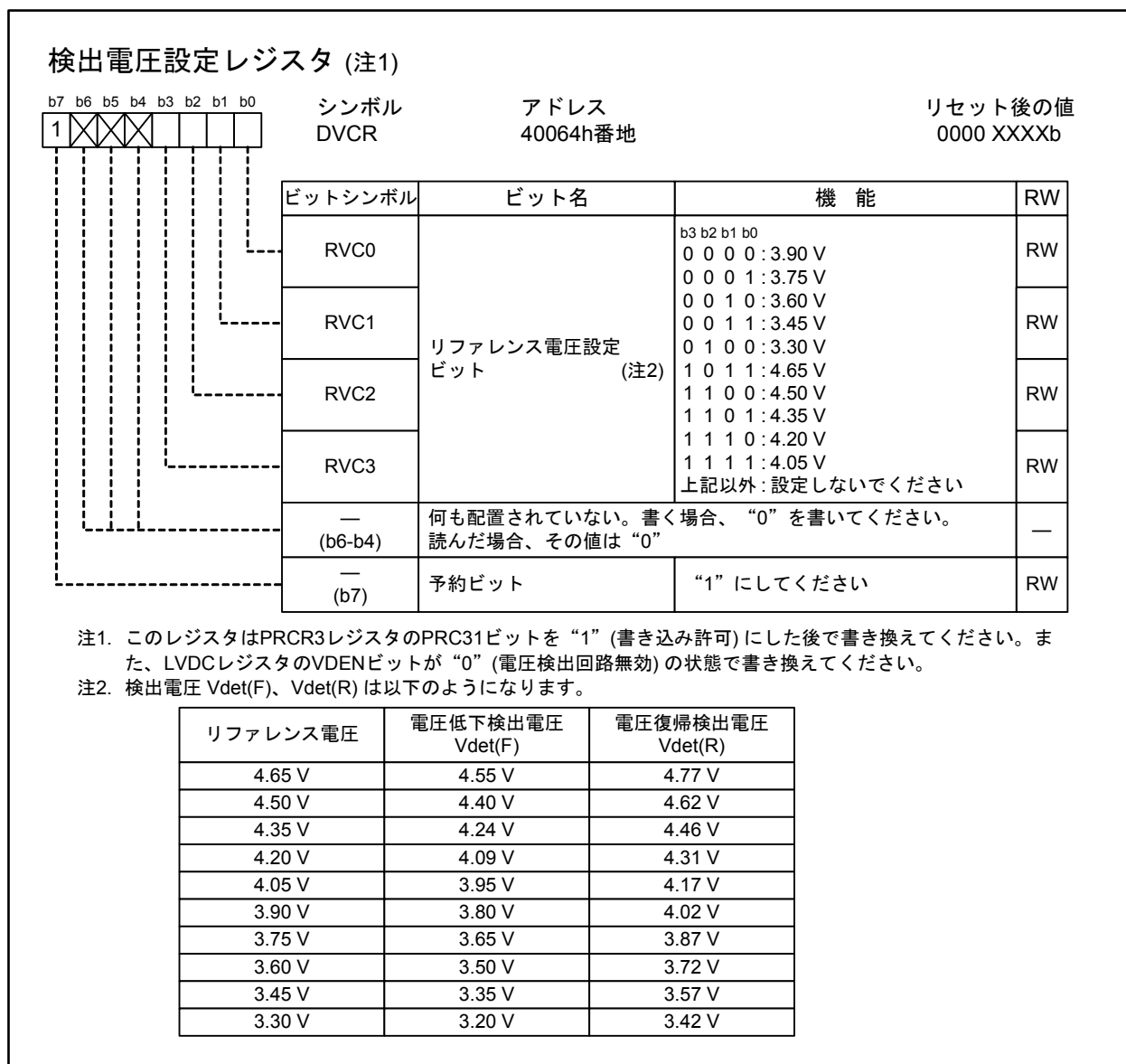


図 6.5 DVCR レジスタ

6.2.1 電圧低下検出回路の動作

LVDCレジスタのVDENビットを“1”（電圧検出回路有効）にすると、 $t_{d(E-A)}$ 後に電圧検出回路が安定動作を開始します。

VCC端子に入力する電圧が低下してVdet(F)未満になるとVMFビットが“0”（ $VCC < V_{det}$ ）になり、LVDFビットが“1”（検出電圧（Vdet）通過を検出）になります。このときLVDIENビットが“1”（電圧低下検出割り込み許可）であると、割り込み要求が発生します。LVDFビットはプログラムで“0”（未検出）にしてください。

また、電圧が再上昇してVdet(R)以上になるとVMFビットが“1”（ $VCC \geq V_{det}$ ）になり、LVDFビットが“1”（検出電圧（Vdet）通過を検出）になります。このときLVDIENビットが“1”（電圧低下検出割り込み許可）であると、割り込み要求が発生します。

図 6.6に電圧低下検出回路の動作を示します。

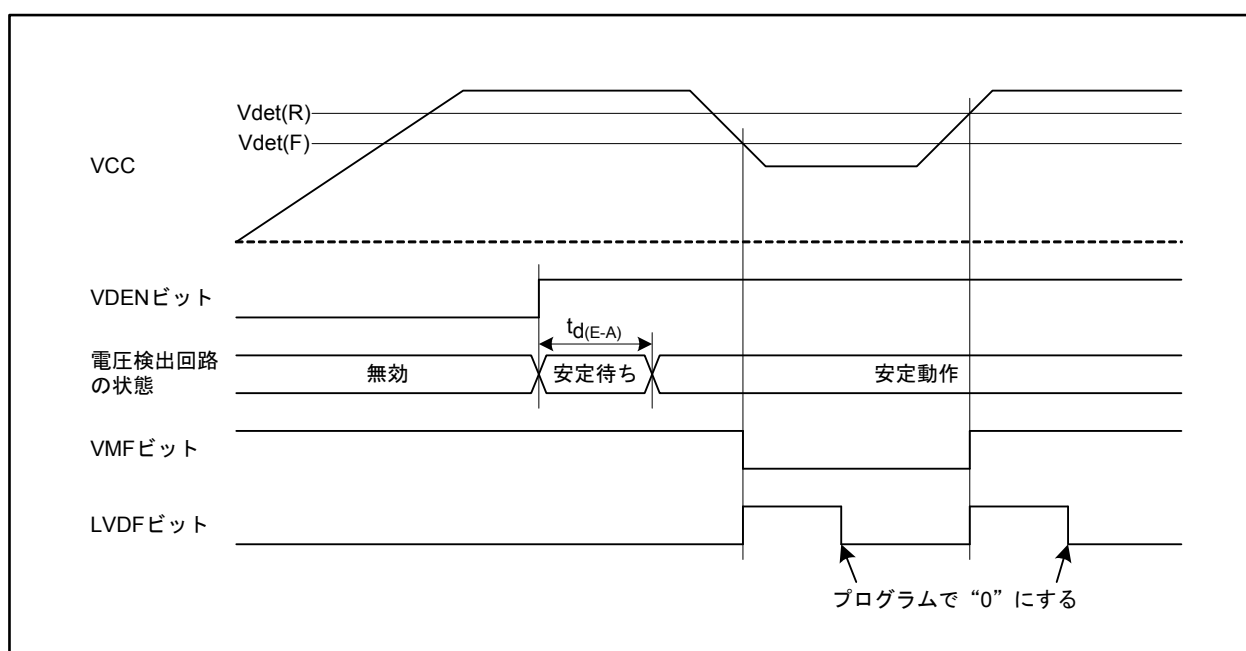


図 6.6 電圧低下検出回路の動作

6.2.2 電圧低下検出割り込み

LVDCレジスタのLVDIENビットが“1”（電圧低下検出割り込み許可）の場合、VCC端子に入力する電圧が降下してVdet(F)未満になったとき、または上昇してVdet(R)以上になったとき、電圧低下検出割り込み要求が発生します。

電圧低下検出割り込みは、ウォッチドッグタイマ割り込み、発振停止検出割り込みと割り込みベクタを共用しています。電圧低下検出割り込みをこれらの割り込みと同時に使用する場合、割り込み処理ルーチンでLVDCレジスタのLVDFビットを読み出し、電圧低下検出割り込みが発生したことを確認してください。

LVDFビットはVCC端子に入力する電圧が上昇または下降してVdetを通過したことを検出したとき“1”になります。LVDFビットが“0”から“1”に変化すると電圧低下検出割り込み要求が発生します。LVDFビットはプログラムで“0”（未検出）にしてください。

6.2.3 電圧低下検出回路の応用例

電圧低下検出割り込みの応用例を図 6.7 に示します。

内部ロジック電圧は内部電圧レギュレータによって、VCC 端子からの入力を降圧して生成されます。このため VCC 電圧が低下し始めたときには、内部ロジック電圧はまだ安定していますが、VCC 電圧がさらに低下すると内部ロジック電圧が低下し始めるため、MCU の動作が保障できなくなります。したがって、VCC 電圧が低下し始めてから内部ロジック電圧が低下し始めるまでの期間がシステムを安全にシャットダウンできる時間となります。この VCC 電圧が低下し始めたことを検出する用途に電圧低下検出割り込みが使用できます。

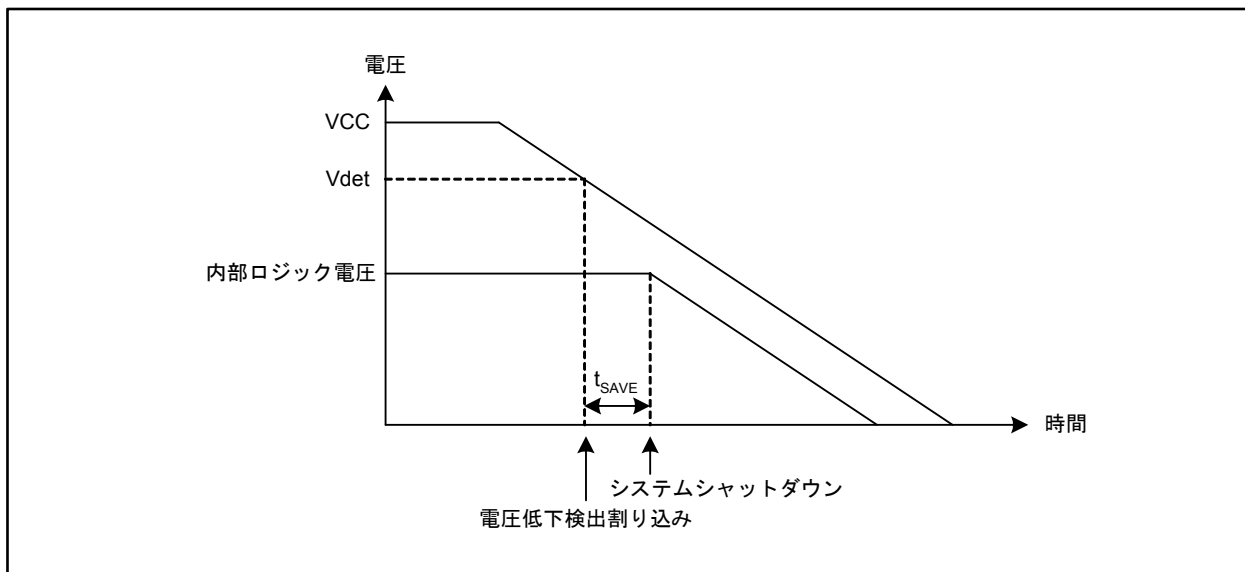


図 6.7 電圧低下検出割り込みの応用例

7. プロセッサモード

7.1 プロセッサモードの種類

R32C/100 シリーズのプロセッサモードには、シングルチップモード、メモリ拡張モード、マイクロプロセッサモードの3種類があります。表 7.1 に各プロセッサモードの特徴を示します。

表 7.1 各プロセッサモードの特徴

プロセッサモード	アクセス可能な領域	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	すべて入出力ポートまたは周辺機能入出力として使用可能
メモリ拡張モード	SFR、内部RAM、内部ROM、外部領域	一部の端子をバス制御端子として使用 (注1)
マイクロプロセッサモード	SFR、内部RAM、外部領域	一部の端子をバス制御端子として使用 (注1)

注1. 詳細は、「9. バス」を参照してください。

R32C/116A グループでは、上記のうちシングルチップモード、メモリ拡張モードを標準でサポートしています。マイクロプロセッサモードはオプションです。ご利用の際は、弊社営業窓口までお問い合わせください。

7.2 プロセッサモードの設定

プロセッサモードは、CNVSS 端子、PM0 レジスタの PM01~PM00 ビットで設定します。

ハードウェアリセット実行後は、CNVSS 端子の状態により表 7.2 に示すとおりシングルチップモード、またはマイクロプロセッサモードで動作を開始します。

表 7.2 ハードウェアリセット実行後のプロセッサモード

CNVSS 端子の入力レベル(注1)	プロセッサモード
“L”	シングルチップモードで動作を開始
“H”	マイクロプロセッサモードで動作を開始

注1. CNVSS 端子は抵抗を介して VCC または VSS に接続してください。

シングルチップモードで動作を開始した後、PM01~PM00 ビットを“01b”(メモリ拡張モード)に書き換えると、メモリ拡張モードに切り替わります。

なお、どちらのプロセッサモードで動作を開始した場合でも、PM01~PM00 ビットを書き換えると、設定値に対応するモードに切り替わりますが、マイクロプロセッサモードで動作を開始した場合は、PM01~PM00 ビットの設定にかかわらず、内部ROMはアクセスできません。

プロセッサモードを変更する場合、以下の点に注意して変更してください。

- 注1. PM01~PM00 ビットを“01b”(メモリ拡張モード)または“11b”(マイクロプロセッサモード)に書き換える場合、PM07~PM02 ビットは変更しないでください。
- 注2. PM07~PM02 ビットを書き換えるときは、PM01~PM00 ビットを変更しないでください。
- 注3. 内部ROMのプログラムを実行中、マイクロプロセッサモードへ移行しないでください。
- 注4. 外部領域にあるプログラムを実行中、シングルチップモードへ移行しないでください。
- 注5. 内部ROMと重なる領域でプログラムを実行中、メモリ拡張モードへ移行しないでください。

図 7.1 に PM0 レジスタ、図 7.2 にプロセッサモード別のメモリ配置図を示します。

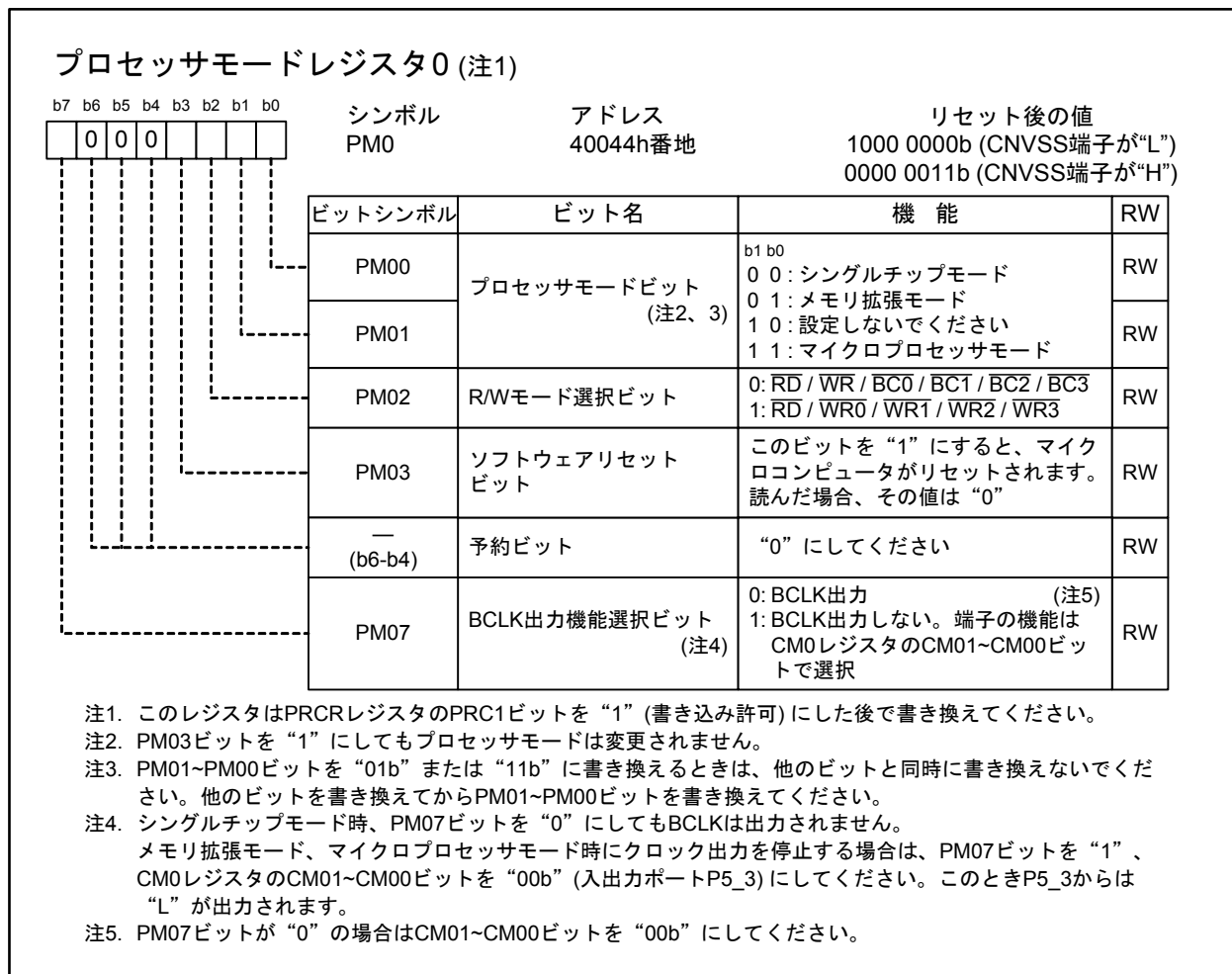


図 7.1 PM0 レジスタ

	シングルチップモード	メモリ拡張モード	マイクロプロセッサモード
00000000h	SFR	SFR	SFR
00000400h	内部RAM	内部RAM	内部RAM
	予約領域 (内部RAM)	予約領域 (内部RAM)	予約領域 (内部RAM)
00040000h	SFR2	SFR2	SFR2
00050000h	予約領域	予約領域	予約領域
00060000h	データROM	データROM	データROM
00062000h	予約領域 (内部ROM)	予約領域 (内部ROM)	予約領域 (内部ROM)
00080000h		外部領域 31.5MB	外部領域 31.5MB
02000000h	使用不可 (注1)	使用不可 (注2)	使用不可 (注2)
FE000000h		外部領域 30MB	外部領域 32MB
FFE00000h	予約領域 (内部ROM)	予約領域 (内部ROM)	
FFFFFFFh	内部ROM	内部ROM	

注1. シングルチップモードでは外部拡張はできません。
注2. プロセッサモードにかかわらず使用禁止です。

図 7.2 プロセッサモード別メモリ配置

8. クロック発生回路

8.1 クロック発生回路の種類

以下に示す4つのクロック発生回路を内蔵しています。

- メインクロック発振回路
- サブクロック発振回路
- PLL周波数シンセサイザ
- オンチップオシレータ

表 8.1 にクロック発生回路の概略仕様を示します。また、図 8.1 にクロック発生回路のブロック図を、図 8.2~図 8.10 にクロック制御関連レジスタを示します。

表 8.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路	PLL周波数 シンセサイザ	オンチップ オシレータ
用途	<ul style="list-style-type: none"> • PLL 基準クロック源 • 周辺機能クロック源 	<ul style="list-style-type: none"> • CPUクロック源 • タイマA、タイマBのカウントソース 	<ul style="list-style-type: none"> • CPUクロック源 • 周辺機能クロック源 	<ul style="list-style-type: none"> • CPUクロック源 • タイマA、タイマBのカウントソース
クロック周波数	4 MHz ~ 16 MHz	32.768 kHz	$f_{SO(PLL)}$ または $f_{(PLL)}$	約 125 kHz
接続できる発振子または付加回路	セラミック共振子 水晶発振子	水晶発振子	—	—
発振子または付加回路の接続端子	XIN, XOUT	XCIN, XCOUT	—	—
発振停止、発振再開機能	あり	あり	あり	あり
リセット後の状態	発振	停止	発振	停止
その他	外部で生成されたクロックも入力可能	外部で生成されたクロックも入力可能	メインクロック停止時はPLL周波数シンセサイザの自励発振周波数 $f_{SO(PLL)}$ で発振	OFS領域のCSPMビットを“0”にしておくと、リセット後から発振

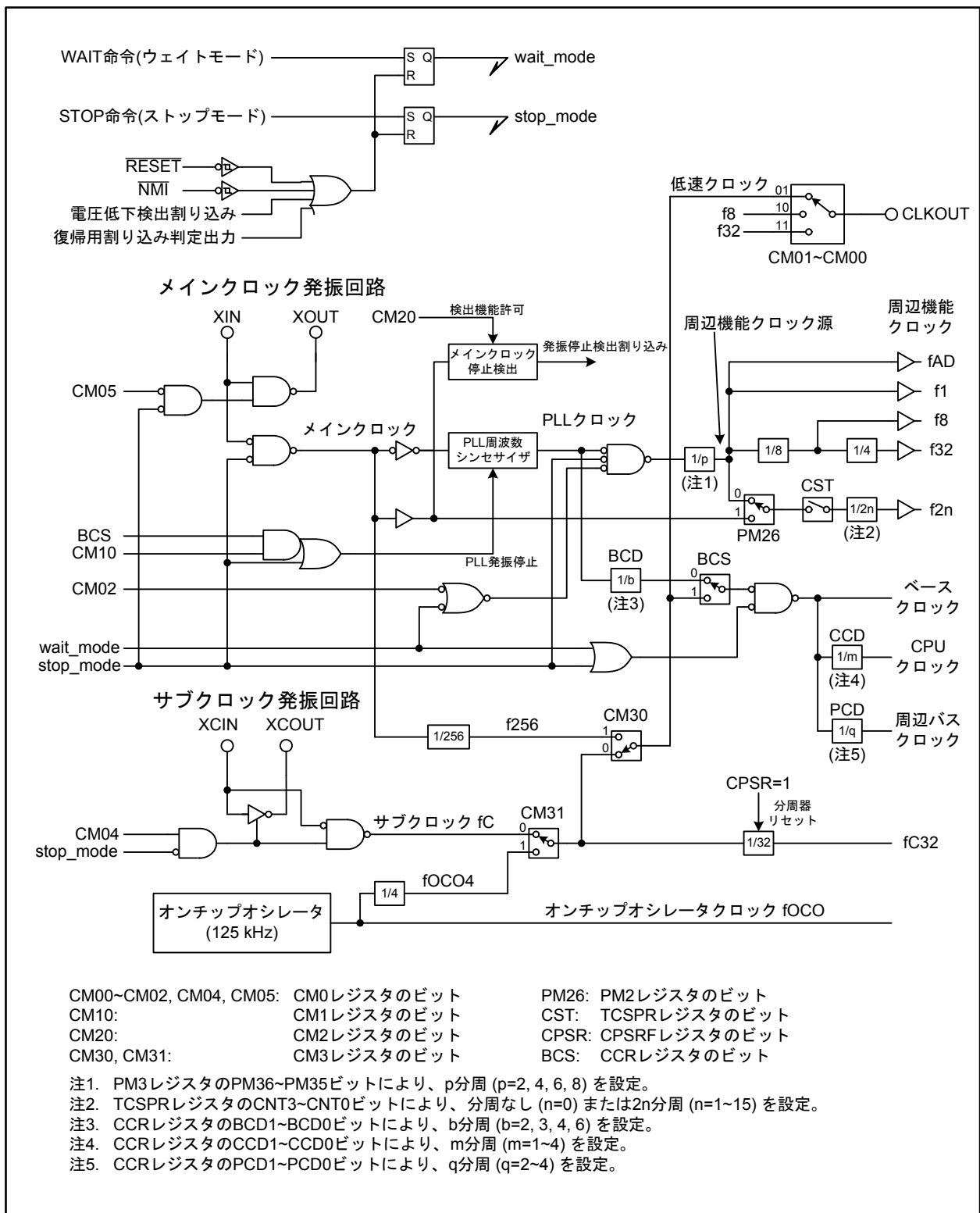


図 8.1 クロック発生回路のブロック図

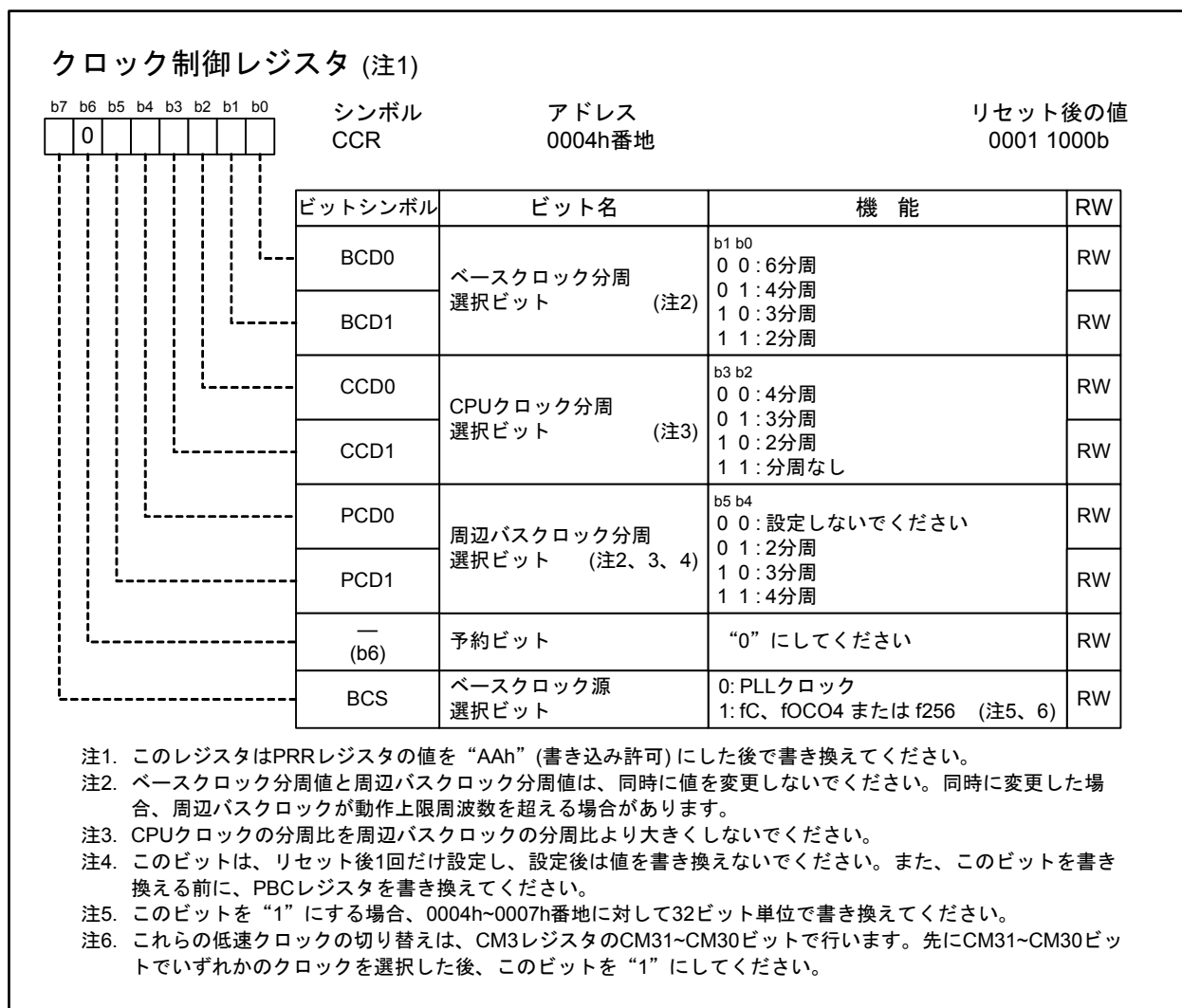


図 8.2 CCRレジスタ

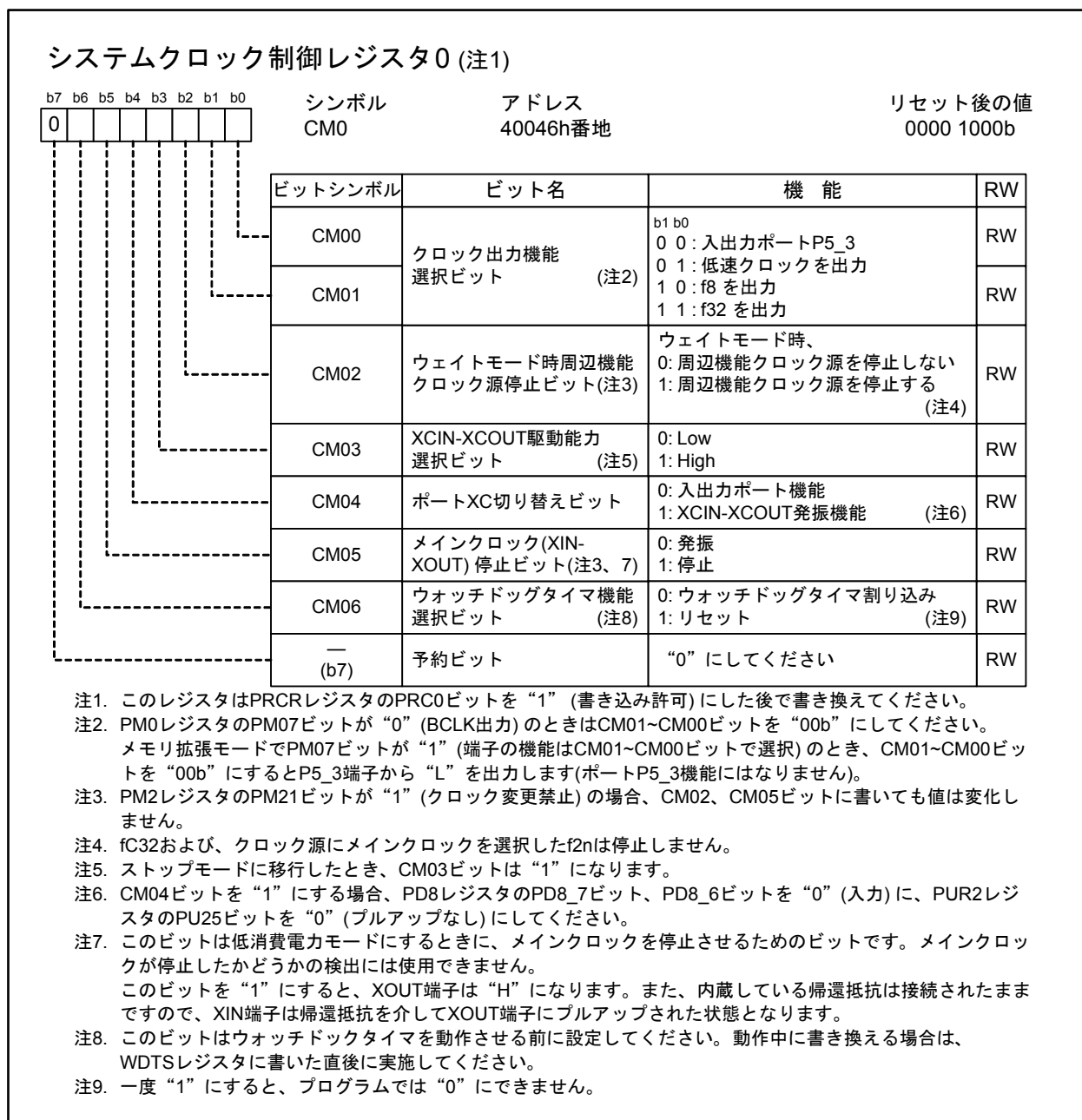


図 8.3 CM0 レジスタ

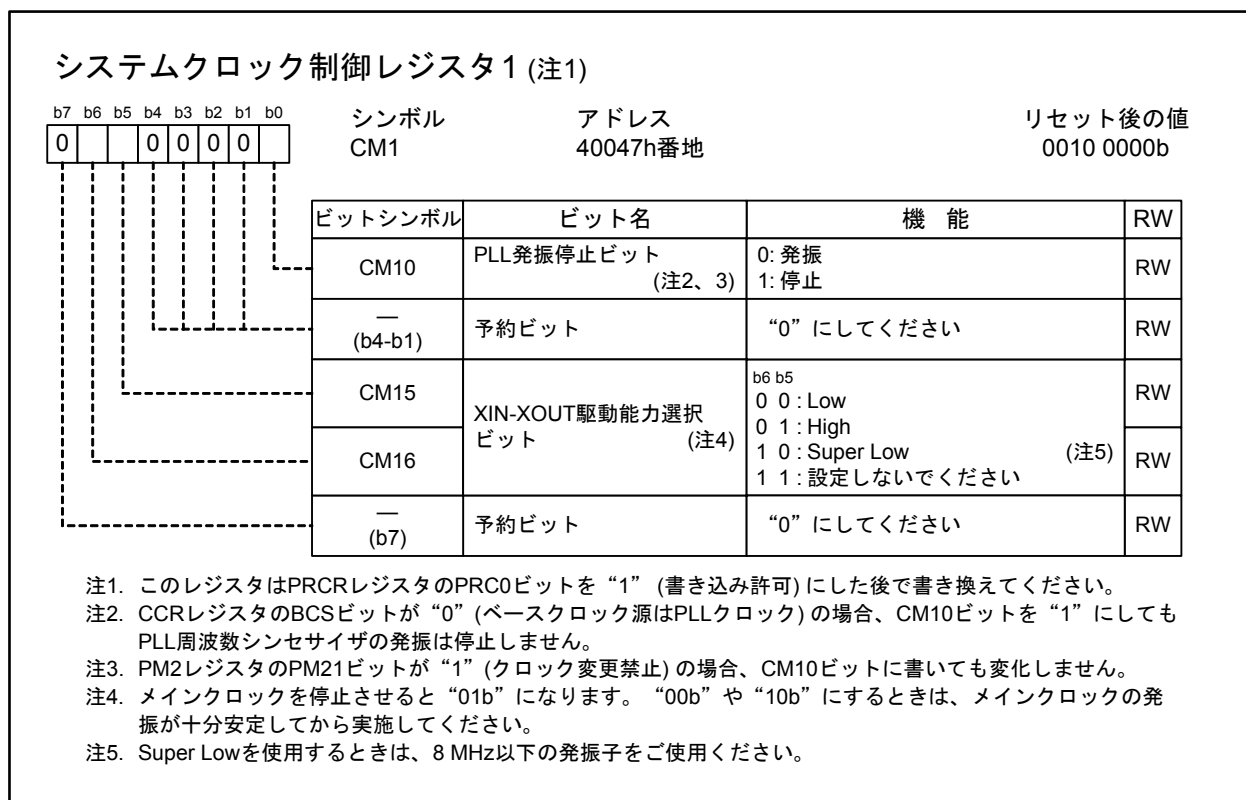


図 8.4 CM1 レジスタ

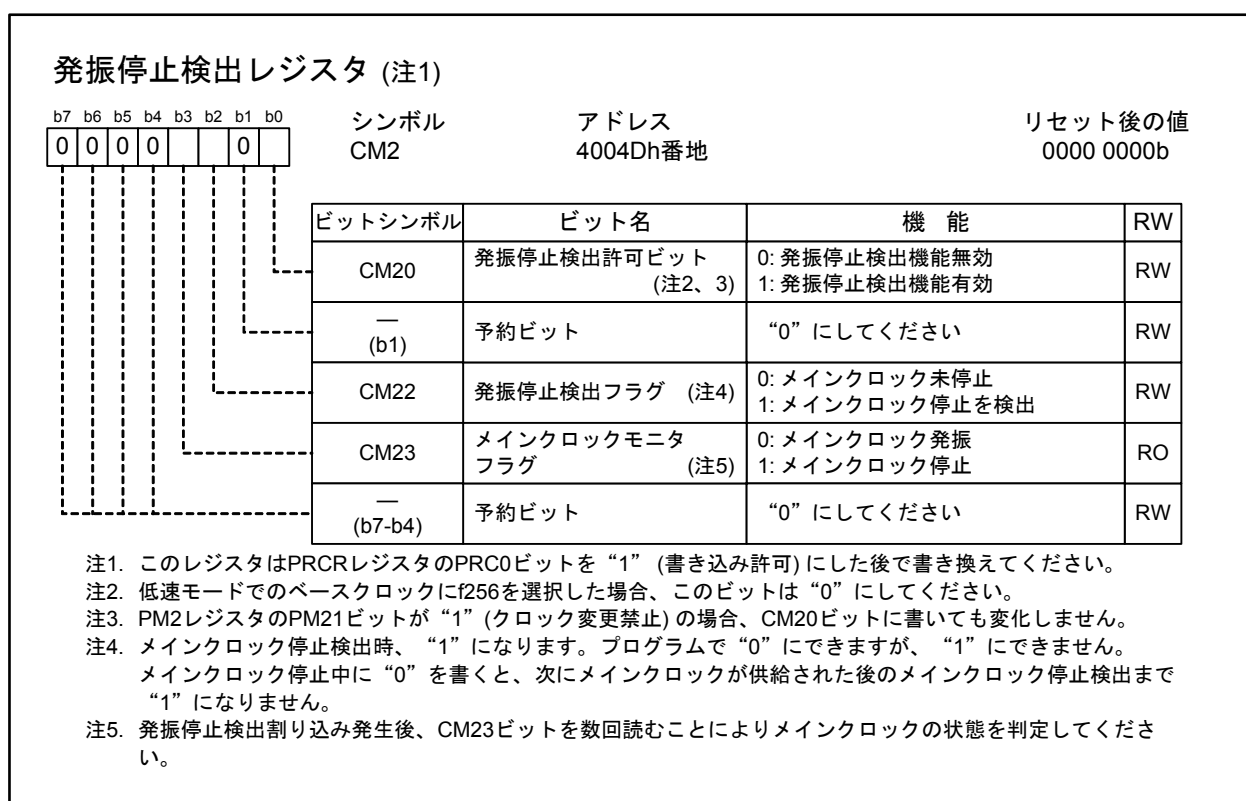


図 8.5 CM2 レジスタ

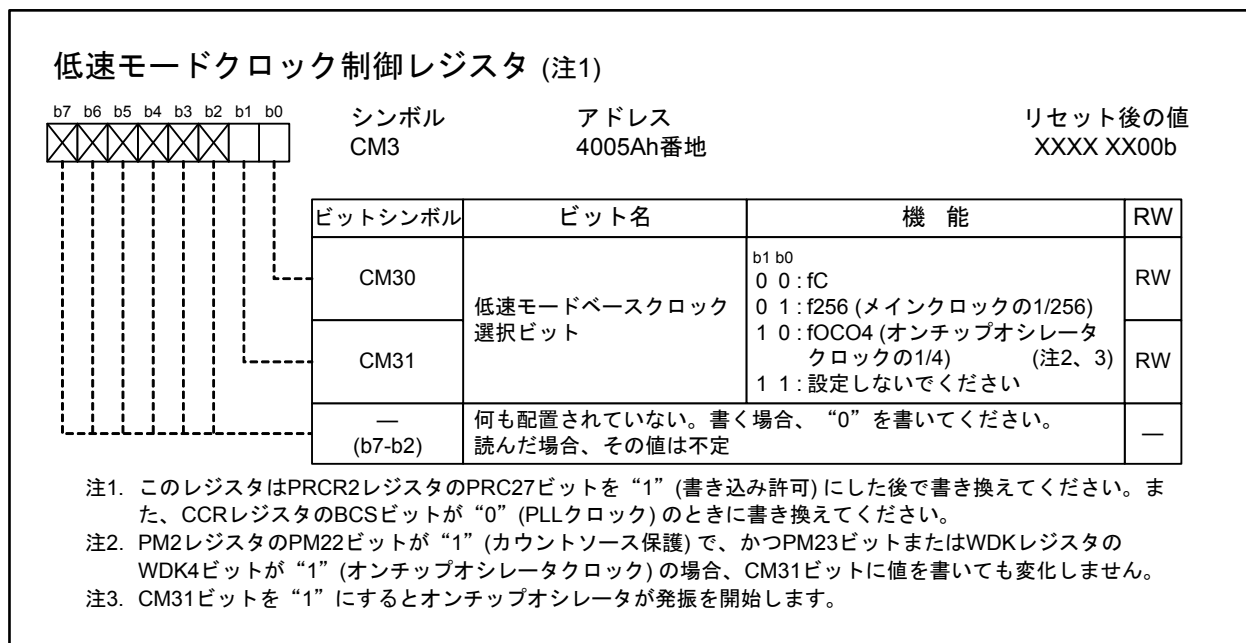


図 8.6 CM3 レジスタ

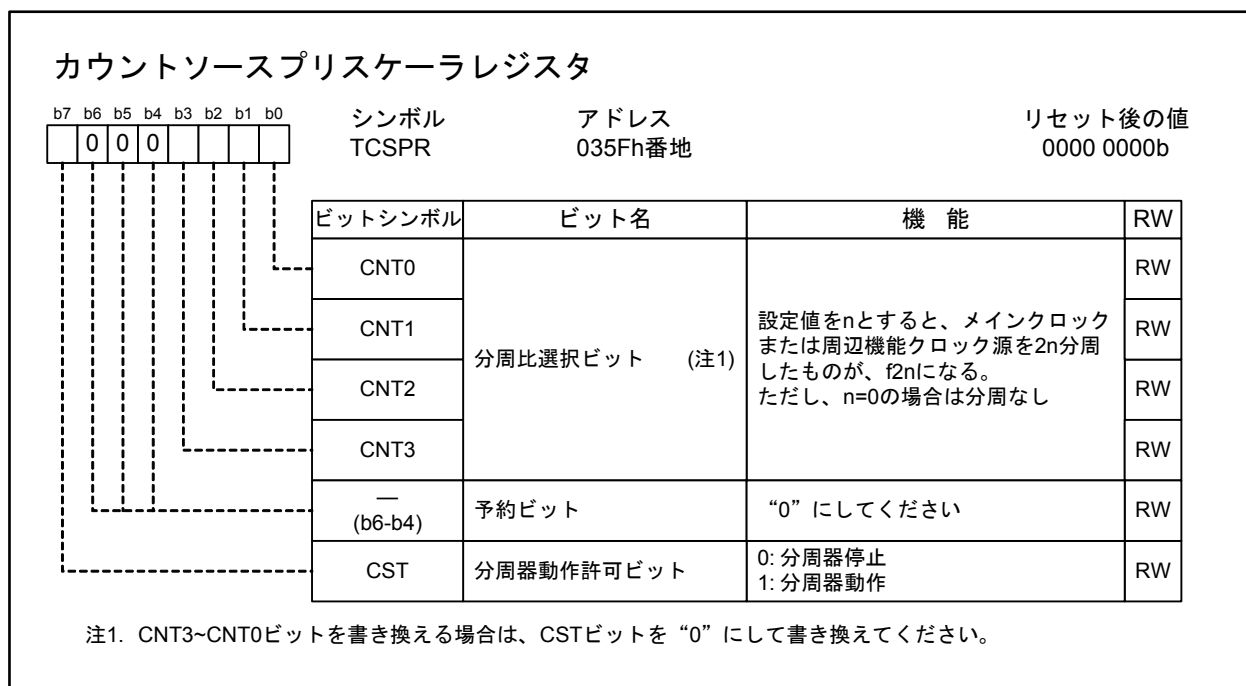


図 8.7 TCSPR レジスタ

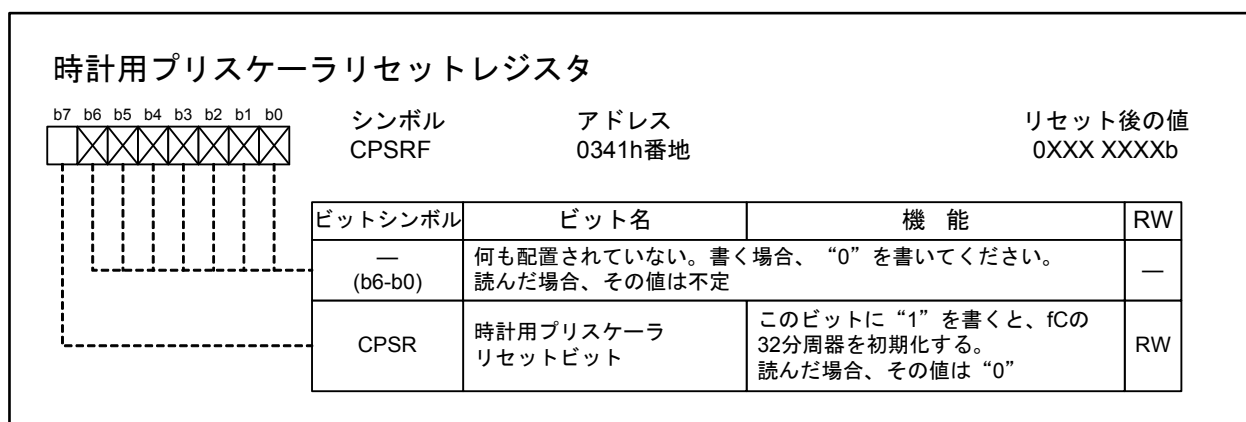


図 8.8 CPSRF レジスタ

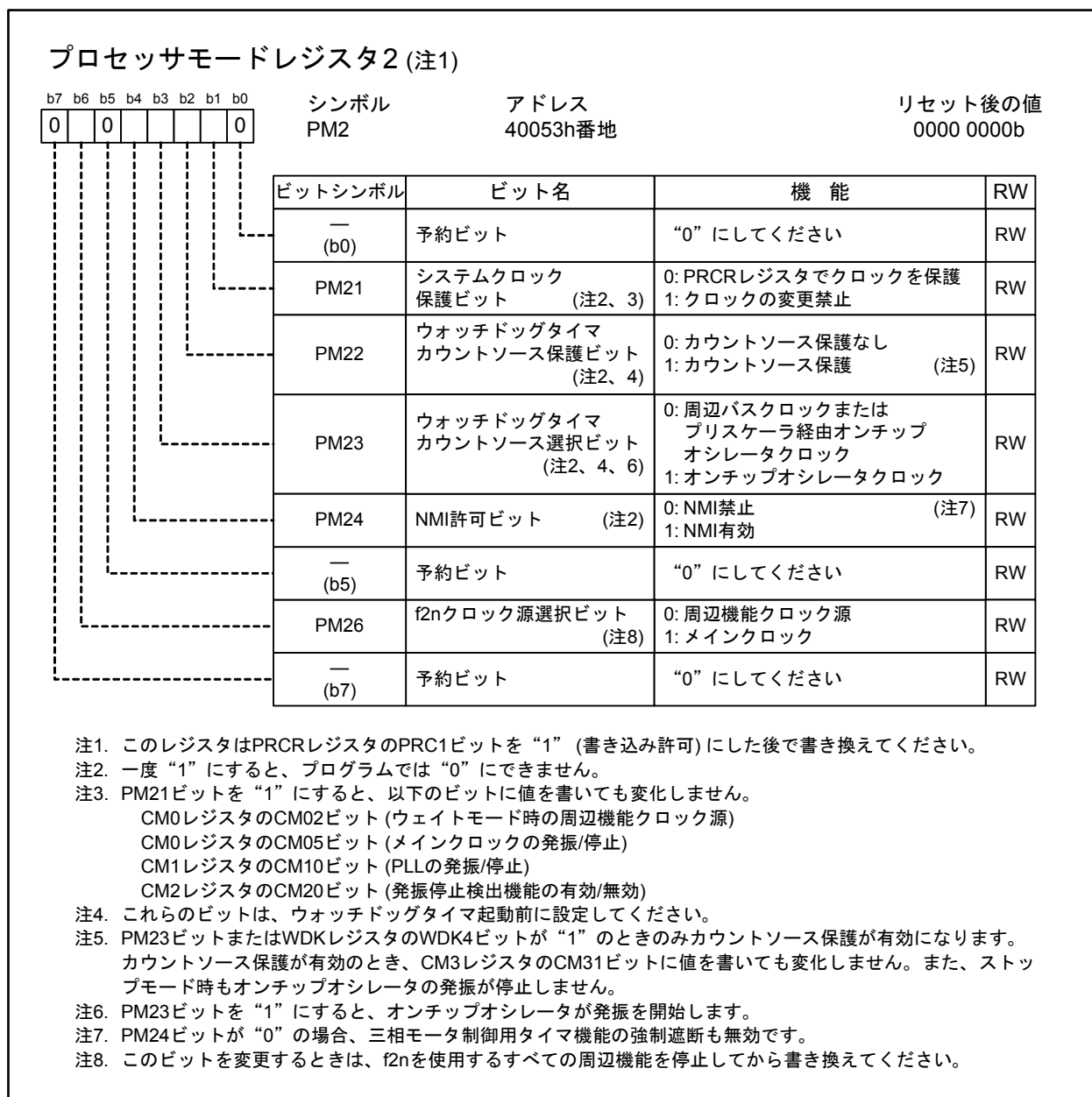


図 8.9 PM2 レジスタ

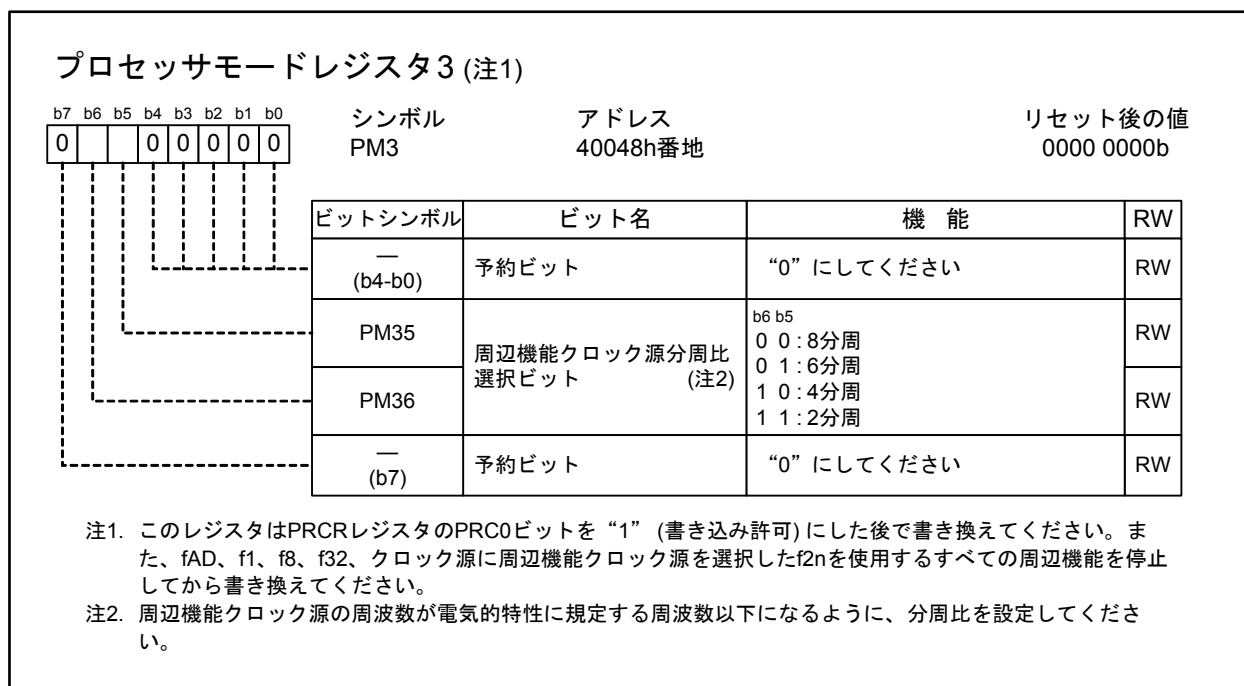


図 8.10 PM3 レジスタ

クロック発生回路で生成するクロックを説明します。

8.1.1 メインクロック

メインクロック発振回路が供給するクロックです。PLL基準クロックや、周辺機能クロックのクロック源になります。

メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図8.11にメインクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、メインクロック発振回路は動作していますが、PLL周波数シンセサイザの入力で切断された状態になっており、CPUにはPLL周波数シンセサイザの自励発振周波数の12分周が供給されています。

CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、XINとXOUTはチップ内部の帰還抵抗で接続されていますので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を“1”にしないでください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「8.7 パワーコントロール」を参照してください。

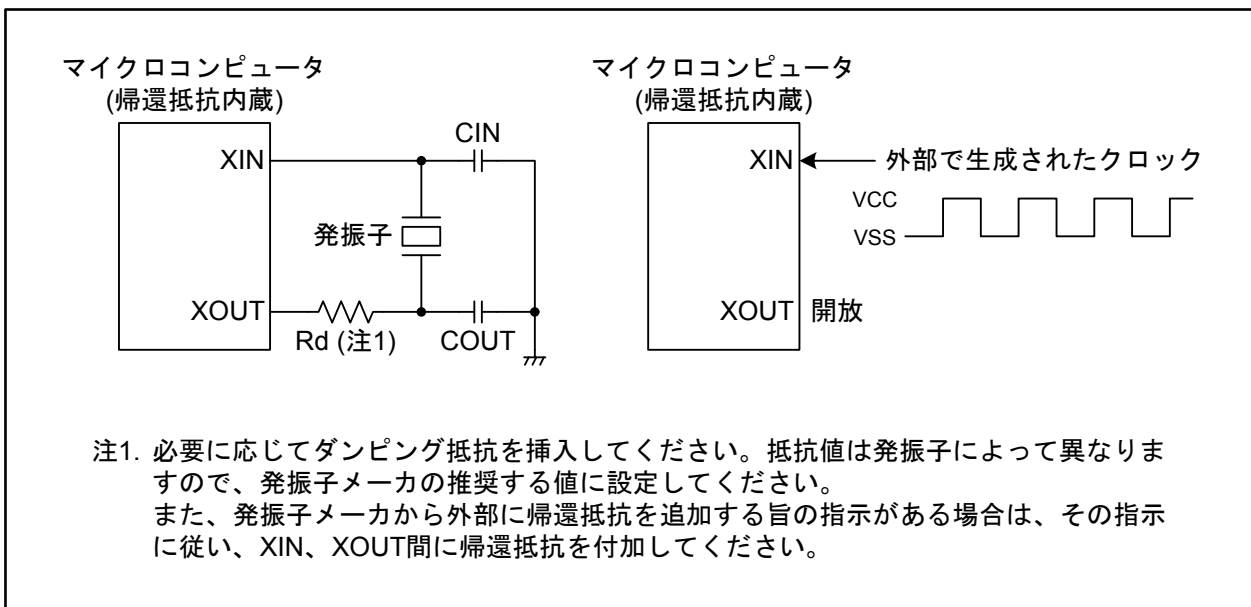


図 8.11 メインクロックの接続回路例

8.1.2 サブクロック (fC)

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。また、CLKOUT端子から外部に出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図8.12にサブクロックの回路接続例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。PD8レジスタのPD8_6、PD8_7ビットの両方を“0”（入力モード）にし、PUR2レジスタのPU25ビットを“0”（プルアップしない）にした後、CM0レジスタのCM04ビットを“1”（XCIN-XCOUT発振機能）にすると、サブクロック発振回路が発振を始めます。外部で生成したクロックをXCIN端子へ入力する場合は、PD8_7ビットを“0”にし、PU25ビットを“0”にした後、CM04ビットを“1”にすると、XCIN端子へ入力されたクロックがサブクロック源になります。

サブクロックの発振が安定した後、CM3レジスタに“00h”（fC）を書き、CCRレジスタのBCSビットを“1”（fC、fOCO4またはf256）にすると、サブクロックがCPUと周辺バスのベースクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「8.7 パワーコントロール」を参照してください。

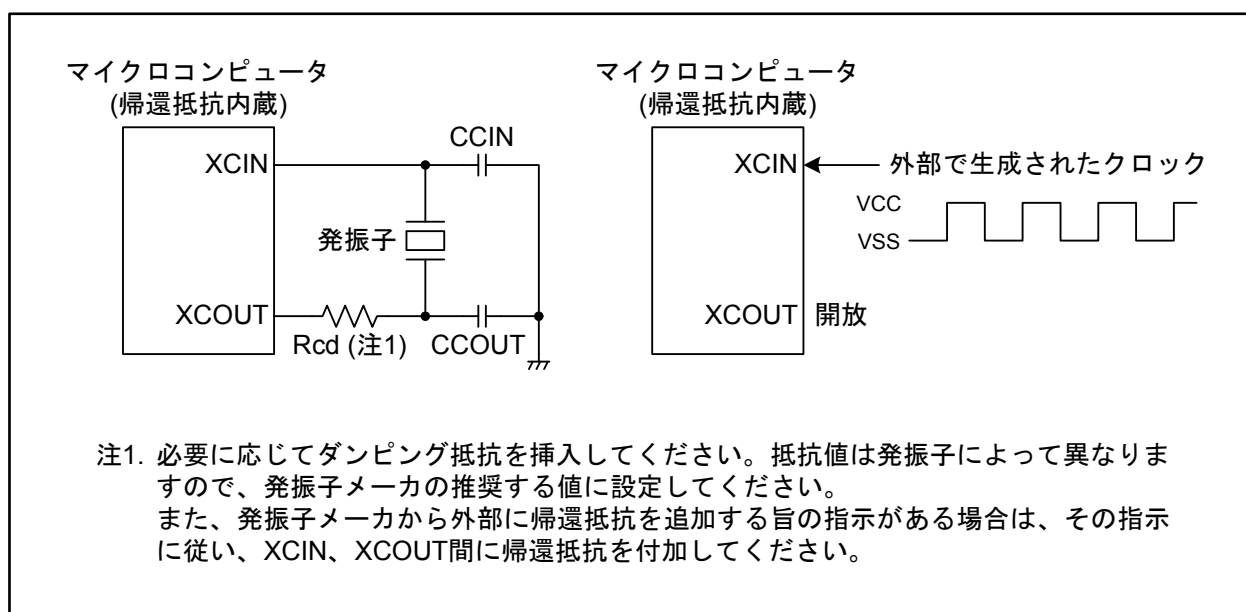


図 8.12 サブクロックの接続例

8.1.3 PLLクロック

PLLクロックは、PLL周波数シンセサイザがメインクロックを元に生成するクロックで、CPUクロックや、周辺機能クロックなど、すべてのクロック源に使用します。

図 8.13にPLL周波数シンセサイザのブロック図を、図 8.14にPLC0レジスタ、図 8.15にPLC1レジスタを示します。

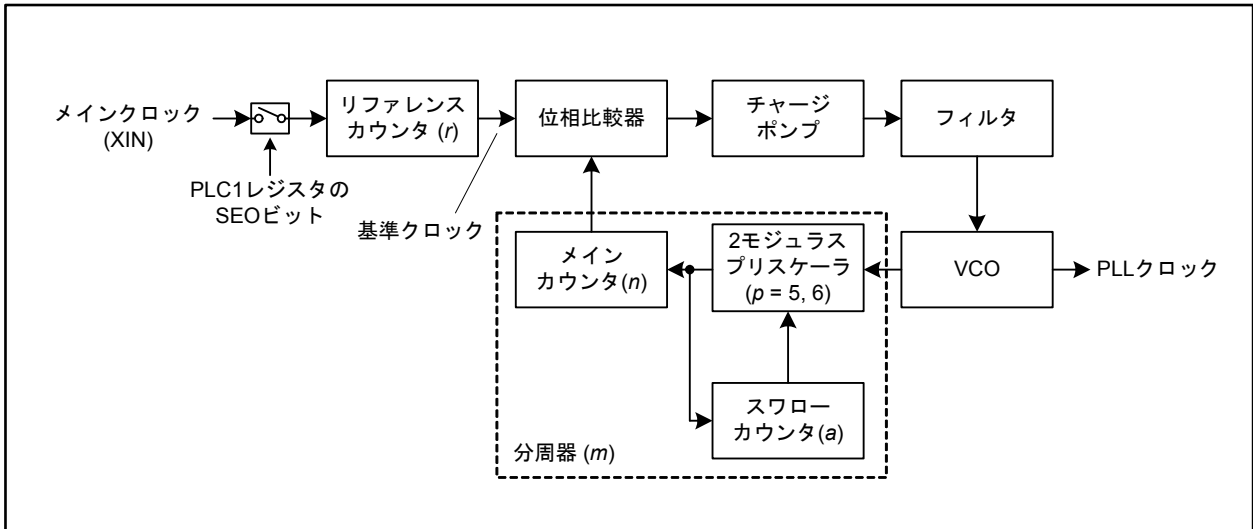


図 8.13 PLL周波数シンセサイザブロック図

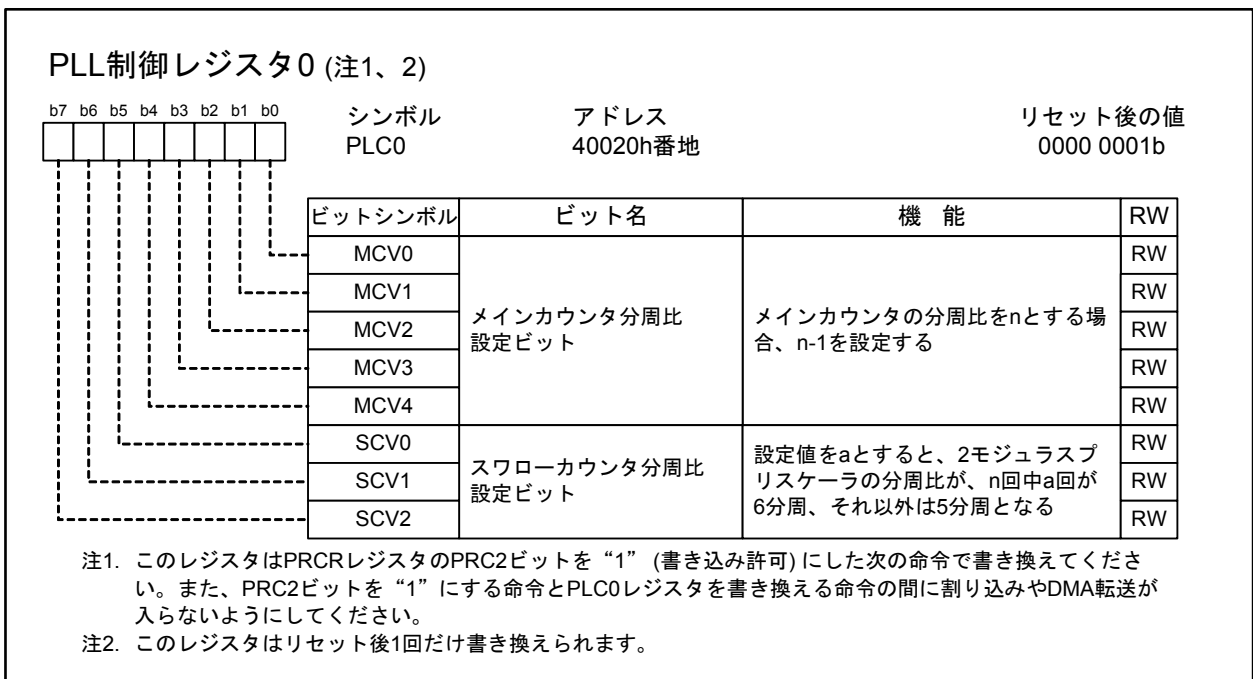


図 8.14 PLC0レジスタ

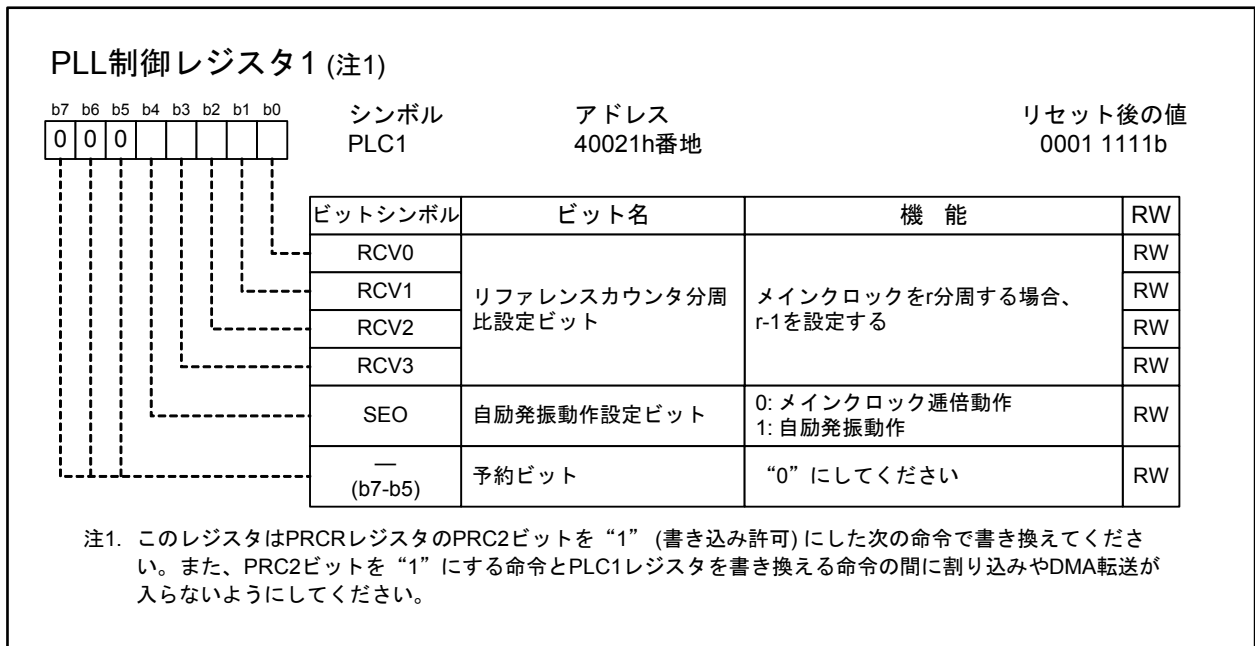


図 8.15 PLC1 レジスタ

PLL周波数シンセサイザはパルススワロー方式で、分周比 m は $n \times p$ で表せますが、 p の分周比は、スワローカウンタの機能により、 n 回中 a 回が6分周、それ以外は5分周となります。したがって、実際の分周比 m は、

$$\begin{aligned} m &= n \times p \\ &= n \times \left(\frac{a}{n} \cdot 6 + \frac{n-a}{n} \cdot 5 \right) \\ &= 5n + a \end{aligned}$$

と表せます。ただし、設定できる a の範囲は、 $0 \leq a < 5$ 、 $0 \leq a \leq n$ です。

また、リファレンスカウンタの r 分周と併せて、PLLクロックはメインクロック (XIN)周波数の m/r 倍の周波数となります。

$$\begin{aligned} \text{PLLクロック周波数 } f(\text{PLL}) &= \frac{m}{r} \cdot \text{メインクロック周波数} \\ &= \frac{5n+a}{r} \cdot \text{メインクロック周波数} \end{aligned}$$

リセット後、リファレンスカウンタは16分周、PLL周波数シンセサイザは10通倍になりますが、リファレンスとなるメインクロックが接続されていないため、固有の周波数 $f_{\text{SO(PLL)}}$ で自励発振を行います。

なお、メインクロックを r 分周した基準クロックは2 MHz以上、4 MHz以下になるように、また分周比 m が25~100になるように各レジスタの値を設定する必要があります。

表 8.2にPLC1~PLC0レジスタの設定値を示します。この表に記載している設定値をご使用ください。メインクロックの発振が安定している状態で、PLC1~PLC0レジスタの設定を変更してからPLLクロックが安定するまで、 $t_{\text{LOCK(PLL)}}$ の待ち時間が必要です。

表 8.2 PLC1~PLC0 レジスタの設定値(注1)

メイン クロック	r	基準 クロック	n	a	m	PLC1 設定値	PLC0 設定値	m/r	PLLクロック
4 MHz	2	2 MHz	9	3	48	01h	68h	24	96 MHz
6 MHz	2	3 MHz	6	2	32	01h	45h	16	96 MHz
8 MHz	3	2.6667 MHz	7	1	36	02h	26h	12	96 MHz
10 MHz	5	2 MHz	9	3	48	04h	68h	9.6	96 MHz
12 MHz	4	3 MHz	6	2	32	03h	45h	8	96 MHz
16 MHz	5	3.2 MHz	6	0	30	04h	05h	6	96 MHz
4 MHz	1	4 MHz	5	0	25	00h	04h	25	100 MHz
6 MHz	3	2 MHz	10	0	50	02h	09h	16.6667	100 MHz
8 MHz	2	4 MHz	5	0	25	01h	04h	12.5	100 MHz
10 MHz	3	3.3333 MHz	6	0	30	02h	05h	10	100 MHz
12 MHz	3	4 MHz	5	0	25	02h	04h	8.3333	100 MHz
16 MHz	4	4 MHz	5	0	25	03h	04h	6.25	100 MHz
4 MHz	1	4 MHz	6	0	30	00h	05h	30	120 MHz
6 MHz	2	3 MHz	8	0	40	01h	07h	20	120 MHz
8 MHz	2	4 MHz	6	0	30	01h	05h	15	120 MHz
10 MHz	3	3.3333 MHz	7	1	36	02h	26h	12	120 MHz
12 MHz	3	4 MHz	6	0	30	02h	05h	10	120 MHz
16 MHz	4	4 MHz	6	0	30	03h	05h	7.5	120 MHz
4 MHz	1	4 MHz	6	2	32	00h	45h	32	128 MHz
6 MHz	3	2 MHz	12	4	64	02h	8Bh	21.3333	128 MHz
8 MHz	2	4 MHz	6	2	32	01h	45h	16	128 MHz
10 MHz	5	2 MHz	12	4	64	04h	8Bh	12.8	128 MHz
12 MHz	3	4 MHz	6	2	32	02h	45h	10.6667	128 MHz
16 MHz	4	4 MHz	6	2	32	03h	45h	8	128 MHz

注1. この表に記載している設定値をご使用ください。

8.1.4 オンチップオシレータクロック

オンチップオシレータ(OCO)が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。発振周波数はおおよそ 125 kHz で、この 1/4 の周波数のクロックがCPUや周辺バスのベースクロックとして使用できます。

OFS領域のWCSSビットが“1”でかつWPCSビットが“0”の場合、リセット後オンチップオシレータは停止しています。CM3レジスタのCM31ビット、PM2レジスタのPM23ビット、またはWDKレジスタのWDK4ビットを“1”にすると、オンチップオシレータが発振を開始します。オンチップオシレータはほぼ瞬時に発振を開始しますので、安定待ちは必要ありません。

8.2 発振停止検出機能

外部の要因でメインクロックが停止した場合に、クロックの停止を検出する機能です。

CM2レジスタのCM20ビットが“1”(発振停止検出機能有効)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。このときPLL周波数シンセサイザは固有の発振周波数で自励発振を行いますので、PLLクロックをCPUクロックや周辺機能クロックのクロック源にしている場合、これらの動作は停止しません。

発振停止が検出されたとき、CM2レジスタの以下のビットが変化します。

- CM22ビット=1(メインクロック停止を検出)
- CM23ビット=1(メインクロック停止)

8.2.1 発振停止検出機能使用方法

発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧低下検出割り込みとベクタを共用しています。発振停止検出割り込みとこれらの割り込みを同時に使用する場合は、割り込み処理ルーチン内でCM22ビットを読み出し、発振停止検出割り込み要求が発生したことを確認してください。

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムでメインクロックの再発振を抑止する(CM0レジスタのCM05ビットを“1”にする)か、ベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

低速モード時、CM20ビットが“1”(発振停止検出機能有効)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。このとき、CPUクロックは低速クロックのまま変化しません。なお、低速モードでベースクロックにf256(メインクロックの256分周)を使用する場合、発振停止検出機能は使えません。

この機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止させる場合、すなわち、ストップモードにする、またはCM05を“1”(メインクロック発振停止)にする場合は、CM20ビットを“0”(発振停止検出機能無効)にしてください。また、ウェイトモードにする場合も、CM20ビットを“0”にしてください。

発振停止検出機能は、コンデンサへの充電電圧がある値以下かどうかで判断しています。したがって、実際にはメインクロックが約500kHzを下回ると発振停止と認識します。このため、割り込み処理ルーチン内でCM22ビットを“0”にするようなプログラムを記述した場合、メインクロックの発振周波数が500kHz前後で上昇下降を繰り返した場合に多重割り込みが発生し、スタックがオーバーフローすることがあります。

8.3 ベースクロック

ベースクロックはCPUクロックや周辺バスクロックの元となる基準クロックです。リセット後、ベースクロックはPLLクロックの6分周になっています。

ベースクロック源には、PLLクロックまたは低速クロックが選択できます。低速クロックとしては、サブクロック(fC)、オンチップオシレータクロックの4分周(fOCO4)、メインクロックの256分周(f256)が選択できます。

ベースクロックのクロック源としてPLLクロックを選択した場合、選択したクロックを2、3、4、6分周したものがベースクロックとなり、低速クロックを選択した場合は低速クロックそのものがベースクロックとなります。

ベースクロック源の選択はCCRレジスタのBCSビットで、PLLクロックからの分周比はCCRレジスタのBCD1~BCD0ビットで、低速クロックの選択はCM3レジスタのCM31~CM30ビットで設定できます。

8.4 CPUクロックと周辺バスクロック

CPUクロックはCPUの動作クロックです。リセット後、CPUクロックはベースクロックの2分周になっています。

CPUクロック源はベースクロックであり、分周比はCCRレジスタのCCD1~CCD0ビットで選択できます。また、ベースクロックを2~4分周したものが周辺バスクロックになり、分周比はCCRレジスタのPCD1~PCD0ビットで選択できます。

周辺バスクロックはウォッチドッグタイマのカウントソースにも使用します。

メモリ拡張モードまたはマイクロプロセッサモード時、マイクロコンピュータ外部でのタイミング生成のための基準クロックとして、周辺バスクロックをBCLKとしてBCLK端子から出力できます。詳細は「8.6 クロック出力機能」を参照してください。

暴走時、PLLクロックをクロック源とするCPUクロックが停止しないようにしたい場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の状態です。以下の処理をしてください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする

8.5 周辺機能クロック

ウォッチドッグタイマを除く周辺機能の動作クロックまたはカウントソースです。周辺機能クロックの基準となる周辺機能クロック源はPLLクロックと同一周波数のクロックをPM3レジスタのPM36~PM35ビットの設定によって2、4、6、8分周したクロックです。

周辺機能クロックは大きく以下の3種類に分類できます。

(1) f1、f8、f32、f2n

f1、f8、f32は周辺機能クロック源をそれぞれ1、8、32分周したクロックです。f2nのクロック源は、PM2レジスタのPM26ビットにより、周辺機能クロック源またはメインクロックのどちらかを選択できます。また、f2nはTCSPRレジスタのCNT3~CNT0ビットにより、分周比を設定できます(n=1~15、n=0のときは分周なし)。

CM02ビットを“1”(ウェイトモード時、周辺機能クロック源を停止する)にしてウェイトモードに移行した場合、および低消費電力モード時、f1、f8、f32、クロック源に周辺機能クロック源を選択したf2nは停止します。

f1、f8、f2nは、タイマA、タイマBのカウントソース、シリアルインタフェースの動作クロックに使用します。また、f1はインテリジェントI/Oの動作クロックにも使用します。

f8とf32はCLKOUT端子から出力できます。詳細は「8.6 クロック出力機能」を参照してください。

(2) fAD

周辺機能クロック源と同一周波数です。A/Dコンバータの動作クロックです。

CM02ビットを“1”(ウェイトモード時、周辺機能クロック源を停止する)にしてウェイトモードに移行した場合、および低消費電力モード時、このクロックは停止します。

(3) fC32

サブクロックの32分周、またはオンチップオシレータクロックの128分周で、タイマA、タイマBのカウントソースに使用します。サブクロックまたはオンチップオシレータクロックが供給されているときに使用できます。

8.6 クロック出力機能

低速クロック、f8、またはf32をCLKOUT端子から出力できます。

また、メモリ拡張モードまたはマイクロプロセッサモード時、ベースクロックを2~4分周した周辺バスクロックをBCLKとしてBCLK端子から出力できます。

表 8.3にシングルチップモードでのCLKOUT端子の機能を、表 8.4にメモリ拡張モードまたはマイクロプロセッサモードでのCLKOUT端子の機能を示します。

表 8.3 シングルチップモードでのCLKOUT端子の機能

PM0レジスタ(注1)	CM0レジスタ(注2)		CLKOUT端子の機能
	PM07	CM01	
0または1	0	0	入出力ポートP5_3
1	0	1	低速クロックを出力
1	1	0	f8を出力
1	1	1	f32を出力

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

表 8.4 メモリ拡張モードまたはマイクロプロセッサモードでのCLKOUT端子の機能

PM0レジスタ(注1)	CM0レジスタ(注2)		CLKOUT端子の機能
	PM07	CM01	
0	0(注3)	0(注3)	BCLKを出力
1	0	0	“L”を出力(P5_3になりません)
1	0	1	低速クロックを出力
1	1	0	f8を出力
1	1	1	f32を出力

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注3. PM07ビットが“0”(BCLK出力)の場合、CM01~CM00ビットは“00b”(入出力ポートP5_3)にしてください。

8.7 パワーコントロール

パワーコントロールには、通常動作モード、ウェイトモード、ストップモードの3つのモードがあります。なお、「通常動作モード」は本節にて限定的に使用する便宜上の名称であり、ウェイトモード、ストップモード以外の状態を指します。

図 8.16 に通常動作モード、ウェイトモード、ストップモードの状態遷移図を示します。

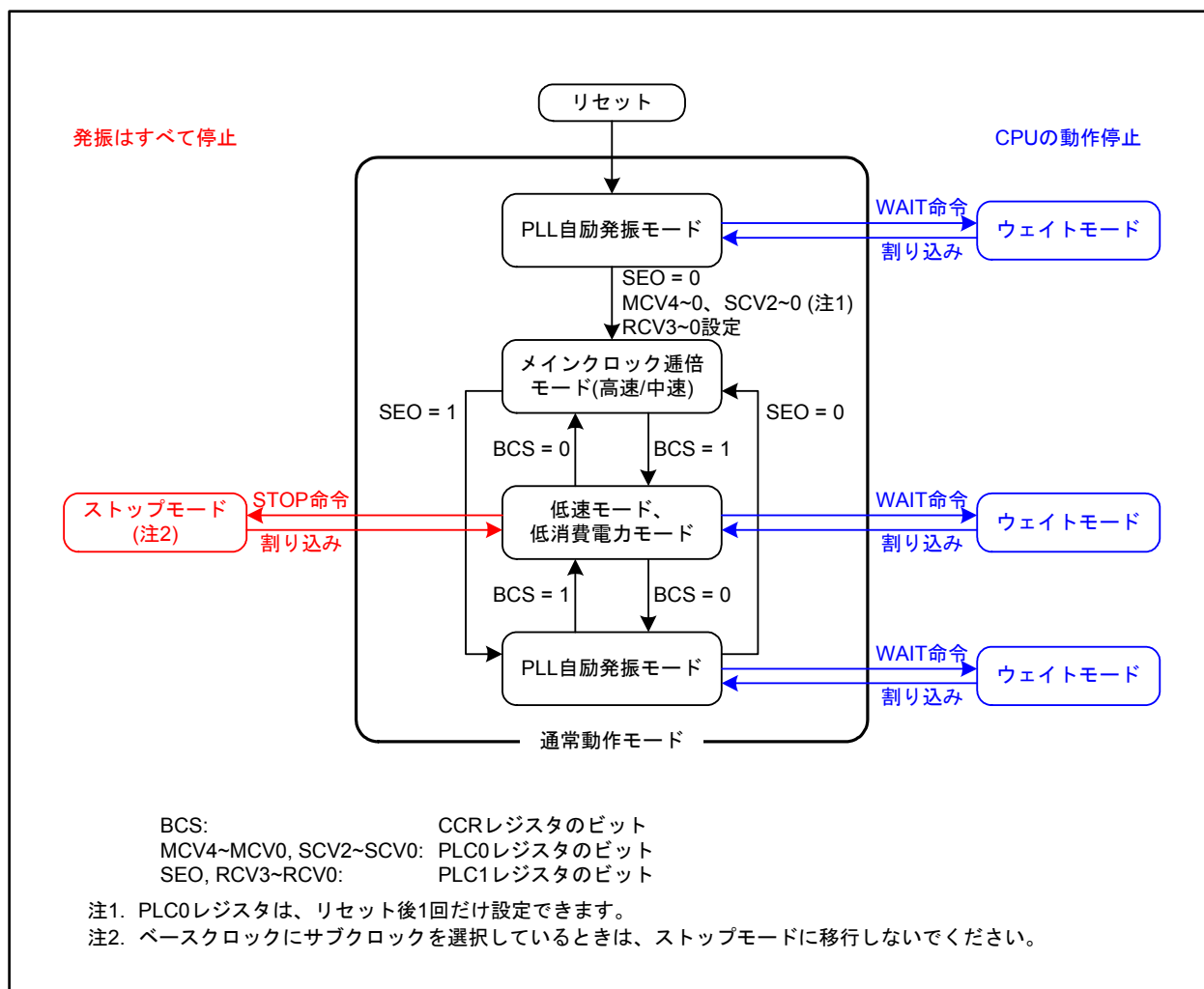


図 8.16 ウェイトモード、ストップモードの状態遷移図

8.7.1 通常動作モード

通常動作モードには、さらに以下の5つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックがともに供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は下がります。また、不要な発振回路を停止させるとさらに消費電力を低減できます。

(1) メインクロック逡倍モード(高速モード)

ベースクロック源にPLLクロックを選択し、PLL周波数シンセサイザのリファレンス入力となるメインクロックを供給している状態をメインクロック逡倍モードと言います。このうち、CPUを最高動作周波数で動作させるモードを高速モードと言います。PLLクロックの2分周をベースクロックに、ベースクロックとCPUクロックを同一周波数にします。周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

(2) メインクロック逡倍モード(中速モード)

メインクロック逡倍モードのうち高速モード以外の状態を指します。PLLクロックの2、3、4、6分周がベースクロックに、ベースクロックの1~4分周がCPUクロックになります。周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

(3) 低速モード

ベースクロック源に低速クロックを使用するモードです。低速クロックがベースクロックに、ベースクロックの1~4分周がCPUクロックになります。周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

(4) 低消費電力モード

低速モードにした後、メインクロックおよび、PLL周波数シンセサイザを停止させた状態です。サブクロックまたはオンチップオシレータクロックの4分周がベースクロックに、ベースクロックの1~4分周がCPUクロックになります。fC32がタイマA、タイマBのカウントソースに使用できます。周辺機能クロックはfC32のみです。このモードのときVRCRレジスタのMRSビットを“1”(メインレギュレータ停止)にすると、さらに消費電流を減らすことができます。

(5) PLL自励発振モード

ベースクロック源にPLLクロックを選択し、PLL周波数シンセサイザのリファレンス入力となるメインクロックの供給を停止させた状態です。PLL周波数シンセサイザは固有の発振周波数で自励発振を行います。PLLクロックの2、3、4、6分周がベースクロックに、ベースクロックの1~4分周がCPUクロックになります。また、周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

通常動作モード内の状態遷移は非常に複雑なため、代表的な状態についてのみ遷移図を示します。図 8.17にサブクロック使用時の状態遷移図、図 8.18にメインクロックの256分周使用時の状態遷移図、図 8.19にオンチップオシレータ使用時の状態遷移図を示します。これ以外の状態への遷移につきましては、各レジスタの設定内容、および以下の注意事項を参考に判断してください。

- PLLをメインクロック逡倍動作から自励発振動作に切り替えるときは、PLC1レジスタのSEOビットを“1”(自励発振動作)にすることで実施してください。メインクロックを停止させる場合は、SEOビットを“1”にした後、CM0レジスタのCM05ビットを“1”(停止)にしてください。
- PLL自励発振モードからメインクロック逡倍モードに戻る場合、SEOビットを“0”(メインクロック逡倍動作)にする前に、CCRレジスタのBCD1~BCD0ビット、およびPM3レジスタのPM36~PM35ビットによりクロックの分周比を上げて、周波数を下げてください。SEOビットを“0”にした後、PLLの発振が安定してから、BCD1~BCD0ビット、PM36~PM35ビットの設定を元に戻してください。
- CPUクロックを切り替える場合は、切り替え先のクロックが安定してから切り替えてください。特にサブクロックは発振が安定するまで時間(注1)を要しますので、電源投入直後や、ストップモードからの復帰後は、プログラムで待ち時間をとってから移行してください。

注1. 発振安定時間は各発振子メーカーへお問い合わせください。

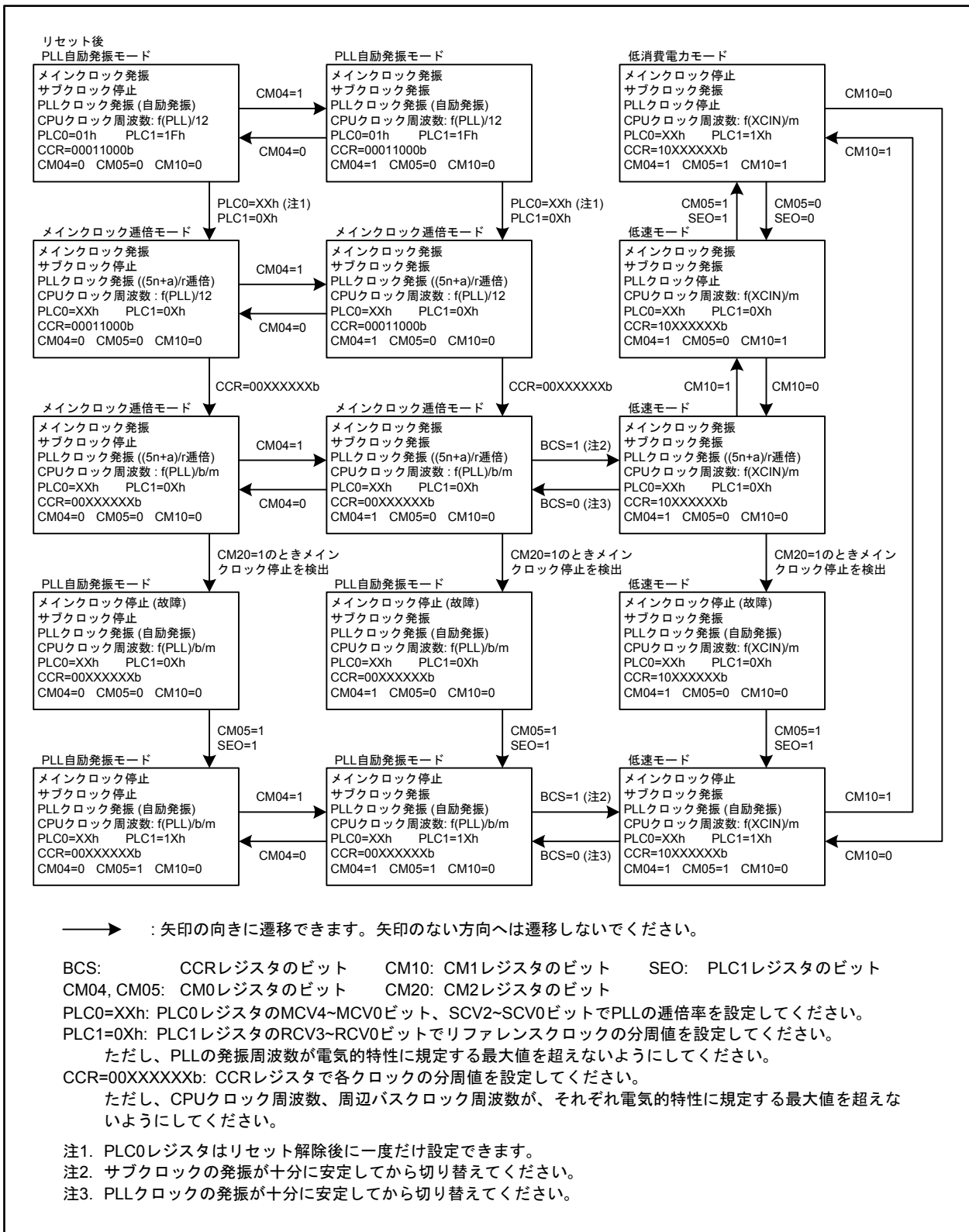


図 8.17 状態遷移図(サブクロック使用時)

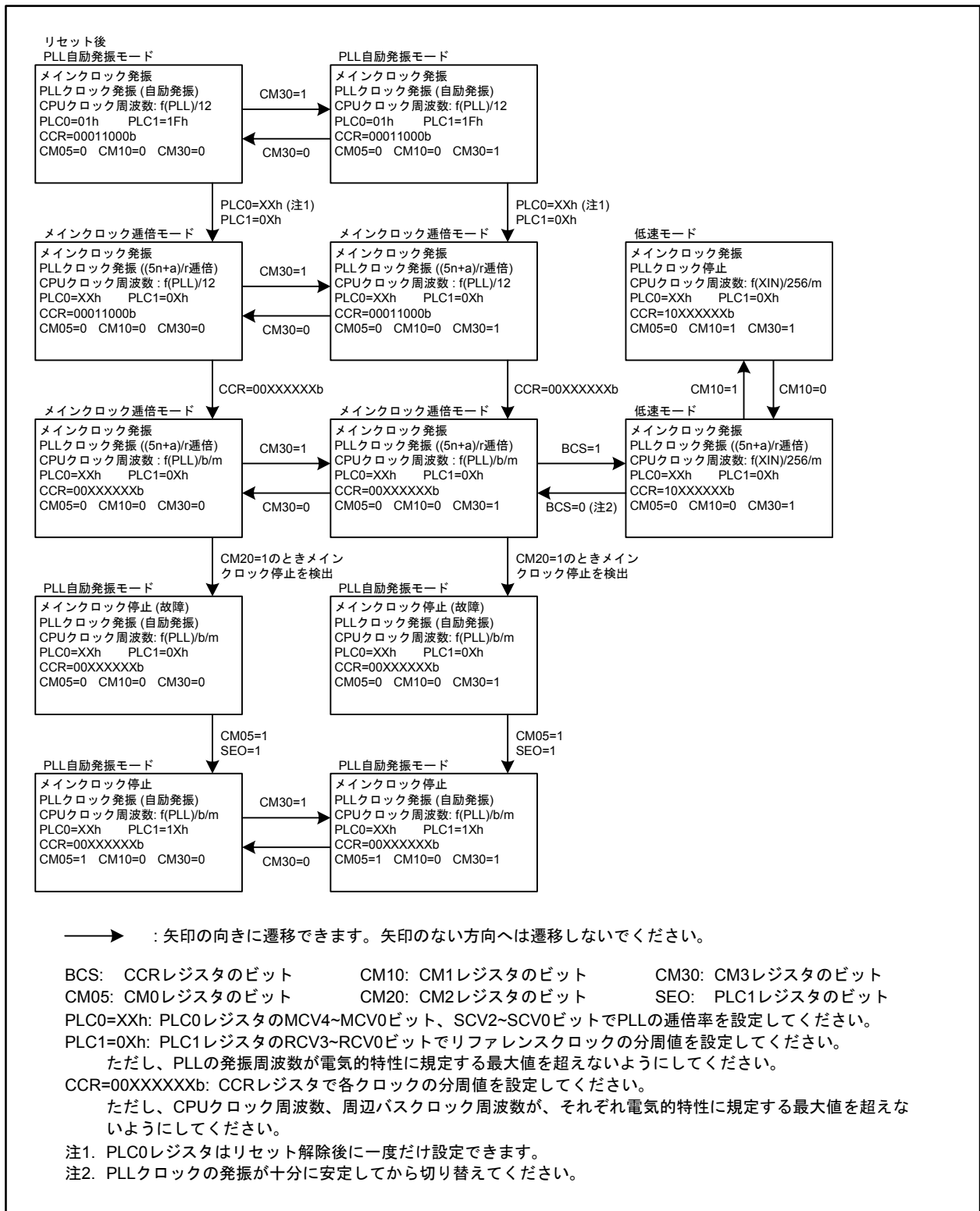


図 8.18 状態遷移図(メインクロックの256分周使用時)

8.7.2 ウェイトモード

ウェイトモードではベースクロックが停止しますので、ベースクロックから作られる CPU クロックと周辺バスクロックも停止します。そのためこれらのクロックで動作する CPU とウォッチドッグタイマも停止します。ただし、PM2 レジスタの PM23 ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)または WDK レジスタの WDK4 ビットが“1”(ウォッチドッグタイマプリスケアラのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマは停止しません。メインクロック、サブクロック、PLL クロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

8.7.2.1 周辺機能クロック源停止機能

CM0 レジスタの CM02 ビットが“1”(ウェイトモード時、周辺機能クロック源を停止する)の場合、ウェイトモード時に f1、f8、f32、クロック源に周辺機能クロックを選択したときの f2n、fAD が停止しますので、消費電力が低減できます。fC32 と、クロック源にメインクロックを選択したときの f2n は停止しません。

8.7.2.2 ウェイトモードへの移行

WAIT 命令を実行するとウェイトモードになります。

ウェイトモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- 初期設定での処理

復帰用割り込み優先レベル(RIPL1 レジスタ、RIPL2 レジスタの RLVL2~RLVL0 ビット)を“7”にした後、各割り込み要求レベルを設定する

- ウェイトモード移行前の処理

- (1) I フラグを“0”にする
- (2) 割り込み番号 1~127 の割り込みのうち割り込み要求レベルが“0”でないものを“0”にする
- (3) いずれかの割り込み制御レジスタをダミーリードする
- (4) フラグレジスタの IPL を“0”にする
- (5) 一時的に割り込みを許可する(以下の命令を実行)
 - FSET I
 - NOP
 - NOP
 - FCLR I
- (6) ウェイトモードからの復帰に使用する割り込みの割り込み要求レベルを設定する
これ以降割り込み制御レジスタを書き換えしないでください
- (7) フラグレジスタの IPL を設定する
- (8) 復帰用割り込み優先レベルを IPL と同じ値に設定する
復帰に使用する割り込みの割り込み要求レベル > IPL = 復帰用割り込み優先レベル
- (9) 発振停止検出機能を使用している場合、CM2 レジスタの CM20 ビットを“0”(発振停止検出機能無効)にする
- (10) 動作モードを PLL 自励発振モード、低速モード、または低消費電力モードに変更する
- (11) I フラグを“1”にする
- (12) WAIT 命令を実行する

- ウェイトモード復帰後の処理

ウェイトモード復帰後、すぐに復帰用割り込み優先レベルを“7”にする

8.7.2.3 ウェイトモード時の端子の状態

表 8.5 にウェイトモード時の端子の状態を示します。

表 8.5 ウェイトモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス、データバス、 CS0~CS3、BC0~BC3		ウェイトモードに入る直前の状態を保持	—
RD, WR, WR0~WR3		“H”	—
HLDA, BCLK		“H”	—
ALE		“H”	—
ポート		ウェイトモードに入る直前の状態を保持	
DA0, DA1		ウェイトモードに入る直前の状態を保持	
CLKOUT	低速クロック選択時	クロック出力	
	f8、f32 選択時	CM0 レジスタの CM02 ビットが“0” (ウェイトモード時、周辺機能クロック源を停止しない) のときは、クロック出力。 CM02 ビットが“1” (ウェイトモード時、周辺機能クロック源を停止する) のときは、ウェイトモードに入る直前の状態を保持	

8.7.2.4 ウェイトモードからの復帰

ハードウェアリセット、NMI、または割り込み番号 0~63 に割り当てられている周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みを使用せず、ハードウェアリセットまたは NMI で復帰する場合、周辺機能割り込みの ILVL2~ILVL0 ビットを“000b” (割り込み禁止) にした後、WAIT 命令を実行してください。

周辺機能割り込みは CM0 レジスタの CM02 ビットの影響を受けます。CM02 ビットが“0” (ウェイトモード時、周辺機能クロック源を停止しない) の場合、割り込み番号 0~63 の周辺機能割り込みがウェイトモードからの復帰に使用できます。CM02 ビットが“1” (ウェイトモード時、周辺機能クロック源を停止する) の場合、周辺機能クロック源から生成されるクロック (f1、f8、f32、クロック源に周辺機能クロック源を選択した f2n、fAD) で動作する周辺機能は停止しますので、ウェイトモードからの復帰に使用できません。ただし、周辺機能クロック源に依存しないクロック (fC32、外部クロック、クロック源にメインクロックを選択した f2n) で動作する周辺機能は停止しませんので、これらが生成する割り込みのうち、割り込み番号 0~63 に割り当てられた割り込みはウェイトモードからの復帰に使用できます。

周辺機能割り込みまたは NMI でウェイトモードから復帰したときの CPU クロックは、WAIT 命令実行時の CPU クロックと同じクロックです。

表 8.6 にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表 8.6 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
NMI	使用可能	使用可能
外部割り込み(注1)	使用可能	使用可能
キー入力割り込み	使用可能	使用可能
電圧低下検出割り込み	使用可能	使用可能
タイマA割り込み タイマB割り込み	すべてのモードで使用可能	イベントカウンタモード、またはカウントソースがfC32、f2n(クロック源にメインクロックを選択)のとき使用可能
シリアルインタフェース割り込み(注2)	内部クロックでも外部クロックでも使用可能	外部クロックまたはf2n(クロック源にメインクロックを選択)使用時は使用可能
A/D変換割り込み	単発モード、または単掃引モードで使用可能	使用しないでください
インテリジェントI/O割り込み	使用可能	使用しないでください
I ² Cバスインタフェース割り込み	使用可能	使用しないでください
I ² Cバスライン割り込み	使用可能	使用可能

注1. INT6~INT8はインテリジェントI/O割り込みのみ使用可能

注2. UART7~UART10を除く

8.7.3 ストップモード

ストップモードでは、停止しないように保護されたクロックを除くすべてのクロックの発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

8.7.3.1 ストップモードへの移行

STOP 命令を実行すると、ストップモードになります。

ストップモードを使用する場合、以下の設定を行った後、STOP 命令を実行してください。

- 初期設定での処理

復帰用割り込み優先レベル(RIPL1レジスタ、RIPL2レジスタのRLVL2~RLVL0ビット)を“7”にした後、各割り込み要求レベルを設定する

- ストップモード移行前の処理

- (1) Iフラグを“0”にする
- (2) 割り込み番号1~127の割り込みのうち割り込み要求レベルが“0”でないものを“0”にする
- (3) いずれかの割り込み制御レジスタをダミーリードする
- (4) フラグレジスタのIPLを“0”にする
- (5) 一時的に割り込みを許可する(以下の命令を実行)
 - FSET I
 - NOP
 - NOP
 - FCLR I
- (6) ストップモードからの復帰に使用する割り込みの割り込み要求レベルを設定する
これ以降割り込み制御レジスタを書き換えしないでください
- (7) フラグレジスタのIPLを設定する
- (8) 復帰用割り込み優先レベルをIPLと同じ値に設定する
復帰に使用する割り込みの割り込み要求レベル > IPL = 復帰用割り込み優先レベル
- (9) 発振停止検出機能を使用している場合、CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする
- (10) ベースクロックをメインクロックの256分周(f256)またはオンチップオシレータの4分周(fOCO4)に変更する
- (11) Iフラグを“1”にする
- (12) STOP 命令を実行する

- ストップモード復帰後の処理

ストップモード復帰後、すぐに復帰用割り込み優先レベルを“7”にする

8.7.3.2 ストップモード時の端子の状態

表 8.7 にストップモード時の端子の状態を示します。

表 8.7 ストップモード時の端子の状態

端子	メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス、データバス、 CS0~CS3、BC0~BC3	ストップモードに入る直前の状態を保持	—
RD, WR, WR0~WR3	“H”	—
HLDA, BCLK	“H”	—
ALE	“H”	—
ポート	ストップモードに入る直前の状態を保持	
DA0, DA1	ストップモードに入る直前の状態を保持	
CLKOUT	低速クロック選択時	“H”
	f8、f32 選択時	ストップモードに入る直前の状態を保持
XIN	ハイインピーダンス	
XOUT	“H”	
XCIN, XCOUT	ハイインピーダンス	

8.7.3.3 ストップモードからの復帰

ハードウェアリセット、NMI、電圧低下検出割り込み、または割り込み番号 0~63 に割り当てられている周辺機能割り込みにより、ストップモードから復帰します。

周辺機能割り込みを使用せず、ハードウェアリセットまたは NMI で復帰する場合、周辺機能割り込みの ILVL2~ILVL0 ビットをすべて“000b” (割り込み禁止) にした後、STOP 命令を実行してください。

周辺機能割り込みまたは NMI でストップモードから復帰したときの CPU クロックは、STOP 命令実行時の CPU クロックと同じクロックです。

表 8.8 にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表 8.8 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	条件
NMI	
電圧低下検出割り込み	
外部割り込み	INT6~INT8 はインテリジェント I/O 割り込み使用時
キー入力割り込み	
タイマ A 割り込み タイマ B 割り込み	イベントカウンタモードで周波数 100 Hz 以下の外部パルスのカウント時
シリアルインタフェース割り込み(注1)	外部クロック使用時
I ² C バスライン割り込み	

注1. UART7~UART10 を除く

8.8 システムクロック保護機能

ベースクロックのクロック源にPLLクロックを選択しているとき、プログラムの暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、以下のビットに書き込めなくなります。

- CM0レジスタのCM02ビット、CM05ビット
- CM1レジスタのCM10ビット
- CM2レジスタのCM20ビット
- PM2レジスタのPM27ビット

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CCRレジスタのBCSビットが“0”(ベースクロックのクロック源はPLLクロック)の状態です。以下の処理をしてください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
- (3) PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする

8.9 クロック発生回路使用上の注意

8.9.1 サブクロック

8.9.1.1 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングは、駆動能力 High と駆動能力 Low の両方とも確認してください。

発振回路定数のマッチングに関しては発振子メーカーにお問い合わせください。

8.9.2 パワーコントロール

ベースクロック源を切り替えるとき、クロック分周比を切り替えるときは、使用するクロックの発振が安定してから切り替えてください。オンチップオシレータはCM3レジスタのCM31ビットを“1”にすると瞬時に発振を開始しますので、発振安定を待つ必要はありません。

ベースクロック源をPLLクロックから低速クロックに切り替える(CCRレジスタのBCSビットを“1”にする)場合は、MOV.L命令またはOR.L命令を使用してください。

- アセンブリ言語の場合の例

```
OR.L    #80h, 0004h
```

- C言語の場合の例

```
asm("OR.L #80h, 0004h");
```

8.9.2.1 ストップモード

- ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。

8.9.2.2 消費電力を低減するためのポイント

システム設計やプログラムを作成するときに参考にしてください。

- 端子処理

入力端子を開放のままにすると、貫通電流が流れることがあります。未使用端子は入力に設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放してください。

- A/Dコンバータ

A/D変換を行わないときはAD0CON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。なお、A/D変換を行うときは、VCUTビットを“1”(VREF接続)にしてから1μs以上経過した後、A/D変換を開始させてください。

- D/Aコンバータ

D/A変換を行わないときは、DACONレジスタのDAiEビット(i=0, 1)を“0”(出力禁止)にし、DAiレジスタを“00h”にしてください。

- 周辺機能の停止

ウェイトモードへ移行するとき、CM0レジスタのCM02ビットで周辺機能クロック源を停止することにより、消費電力を低減させることができます。ただし、fC32は停止しません。

9. バス

バスには、内部バスと外部バスがあり、内部バスには高速に動作する CPU バスと、低速な周辺バスがあります。バスブロック図を図 9.1 に示します。

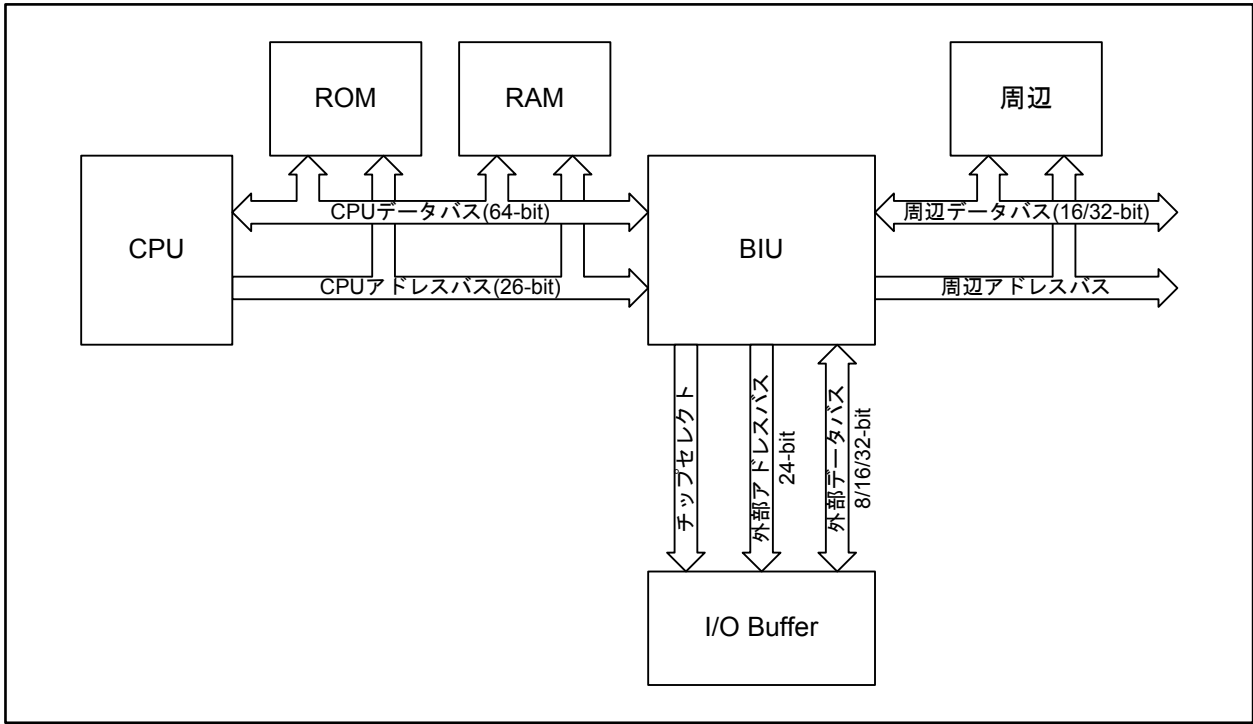


図 9.1 バスブロック図

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子がアドレスバス、データバスを制御するバス制御端子となります。バス制御端子には A0~A23、D0~D31、 $\overline{CS0}$ ~ $\overline{CS3}$ 、 $\overline{WR0}$ / \overline{WR} 、 $\overline{BC0}$ 、 $\overline{WR1}$ / $\overline{BC1}$ 、 $\overline{WR2}$ / $\overline{BC2}$ 、 $\overline{WR3}$ / $\overline{BC3}$ 、 \overline{RD} 、 \overline{BCLK} 、 \overline{HLDA} 、 \overline{HOLD} 、 \overline{ALE} 、 \overline{RDY} があります。

9.1 バス設定

バスの設定は、リセットベクタの下位2ビット、PBCレジスタ、EBC0~EBC3レジスタ、CSOP0~CSOP2レジスタで切り替えられます。

表 9.1 にバスの設定と切り替え要因を示します。

表 9.1 バスの設定と切り替え要因

バスの設定	切り替え要因
内部SFRバスタイミング	PBC レジスタ
外部バスタイミング	EBC0~EBC3 レジスタ
外部データバス幅	PBC レジスタ、EBC0~EBC3 レジスタ
リセット後の外部データバス幅	リセットベクタの下位2ビット
セパレートバス/マルチプレクスバス選択	PBC レジスタ、EBC0~EBC3 レジスタ
チップセレクトを出力する端子	CSOP0~CSOP2 レジスタ

9.2 周辺バスタイミングの設定

周辺バスは最大32 MHz (理論値。品種ごとの最大値は「28. 電気的特性」に定める f(BCLK)の値になります)で動作する16/32ビット幅のバスです。高速に動作する64ビット幅のCPUバスとのタイミング調整、バス幅変換は、バスインタフェースユニット(BIU)で行います。

周辺バスのタイミングを設定するPBCレジスタを図9.2に示します。

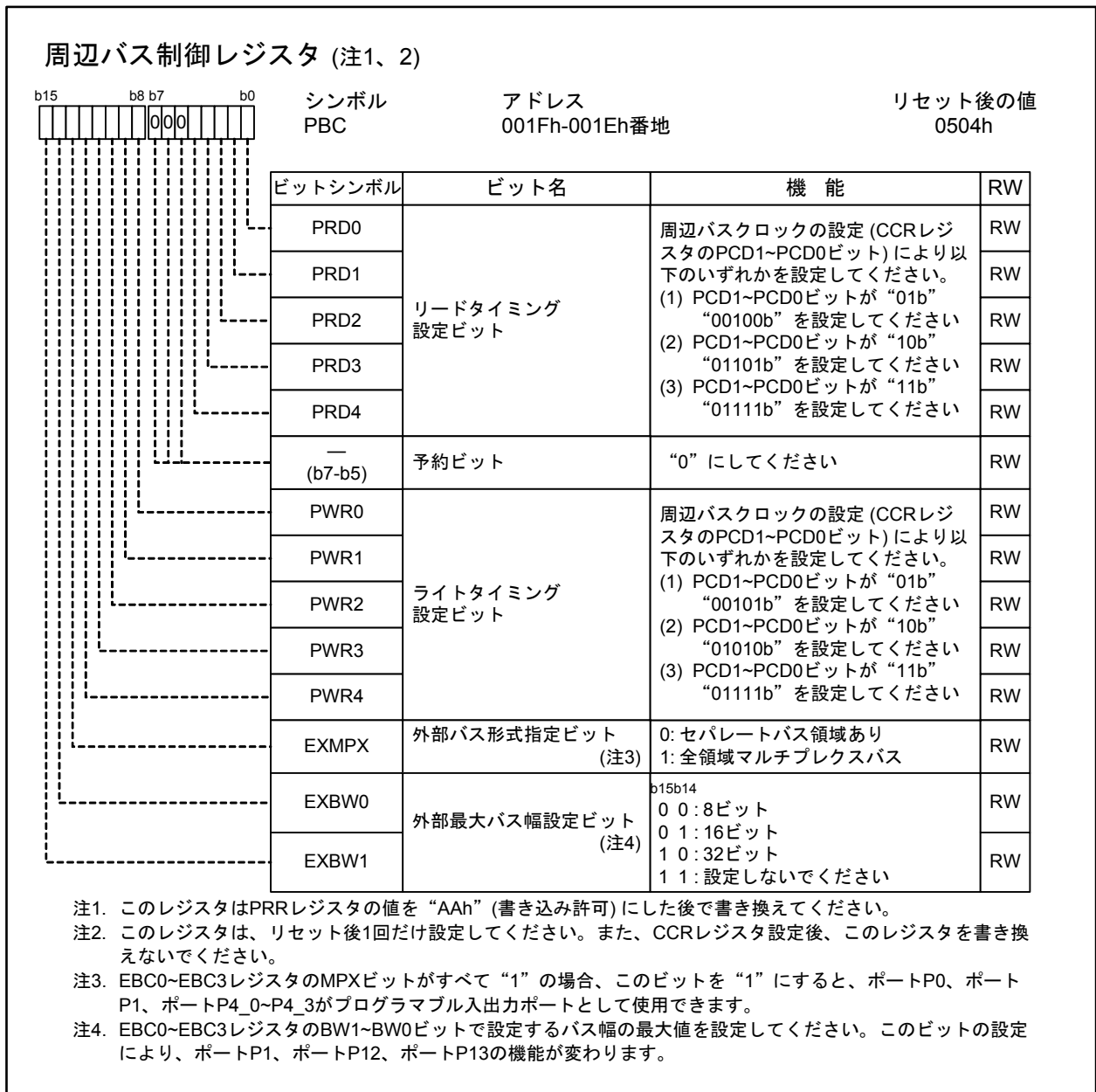


図 9.2 PBC レジスタ

9.3 外部バスの設定

外部バスは最大32 MHz (理論値。品種ごとの最大値は「28. 電気的特性」に定めるf(BCLK)の値と同じになります)で動作する8/16/32ビット幅のバスです。高速に動作する64ビット幅のCPUバスとのタイミング調整、バス幅変換は、バスインタフェースユニット(BIU)で行います。

9.3.1 外部アドレス空間の設定

R32C/100 シリーズ CPU では、MCU 内部のアドレスバスはA0~A25の26本で構成されています。A26~A31はA25を符号拡張していますので、アクセス可能な領域は、00000000h~01FFFFFFh番地とFE000000h~FFFFFFFh番地の計64MBの領域となります。

このうち外部に出力されるアドレスはA0~A23の最大24本です。また、A18~A25をデコードして生成されるチップセレクト信号が $\overline{CS3}$ ~ $\overline{CS0}$ の4本あります。すべてのチップセレクト信号に16MBの空間を割り当てることで、最大63.5MBの空間を外部に割り当てることができます。なお、シングルチップモードからメモリ拡張モードに変更したとき、アドレスバスの状態は外部領域をアクセスするまで不定です。

チップセレクト信号 $\overline{CS3}$ ~ $\overline{CS0}$ はそれぞれA20~A23と端子を共用しています。また、 $\overline{CS0}$ ~ $\overline{CS3}$ はP11_0~P11_3から、 $\overline{CS1}$ ~ $\overline{CS3}$ はP5_4、P5_6、P5_7からも出力可能です。

マイクロプロセッサモードの場合、リセット後ポートP4_7から $\overline{CS0}$ 信号が出力されます。A23は使用できませんので、1つのチップセレクトあたりの最大領域サイズは8MBになります。なお、 $\overline{CS1}$ ~ $\overline{CS3}$ は設定するまで出力されません。

\overline{CSi} (i=0~3)は外部領域iをアクセス中は“L”を出力します。別の外部領域をアクセスすると“H”を出力します。図9.3にアドレスバスとチップセレクト信号の出力例を示します。

使用するチップセレクト信号の種類、出力する端子はCSOP0~CSOP2レジスタで、各チップセレクトの領域はCB01、CB12、CB23レジスタで設定できます。

図9.4~図9.6にCSOP0~CSOP2レジスタを示します。また、図9.7、図9.8、図9.9にCB01、CB12、CB23レジスタを、図9.10、図9.11にチップセレクトの領域を示します。

CSOP0~CSOP2レジスタには、同じチップセレクト信号が複数の端子から出力されないように設定してください。また、CB01、CB12、CB23レジスタは以下の条件を満たすように設定してください。

- メモリ拡張モードの場合

$$0080000h \leq (CB23 \times 2^{18}) \leq (CB12 \times 2^{18}) \leq (CB01 \times 2^{18}) \leq 3DC0000h$$

- マイクロプロセッサモードの場合

$$0080000h \leq (CB23 \times 2^{18}) \leq (CB12 \times 2^{18}) \leq (CB01 \times 2^{18}) \leq 3FC0000h$$

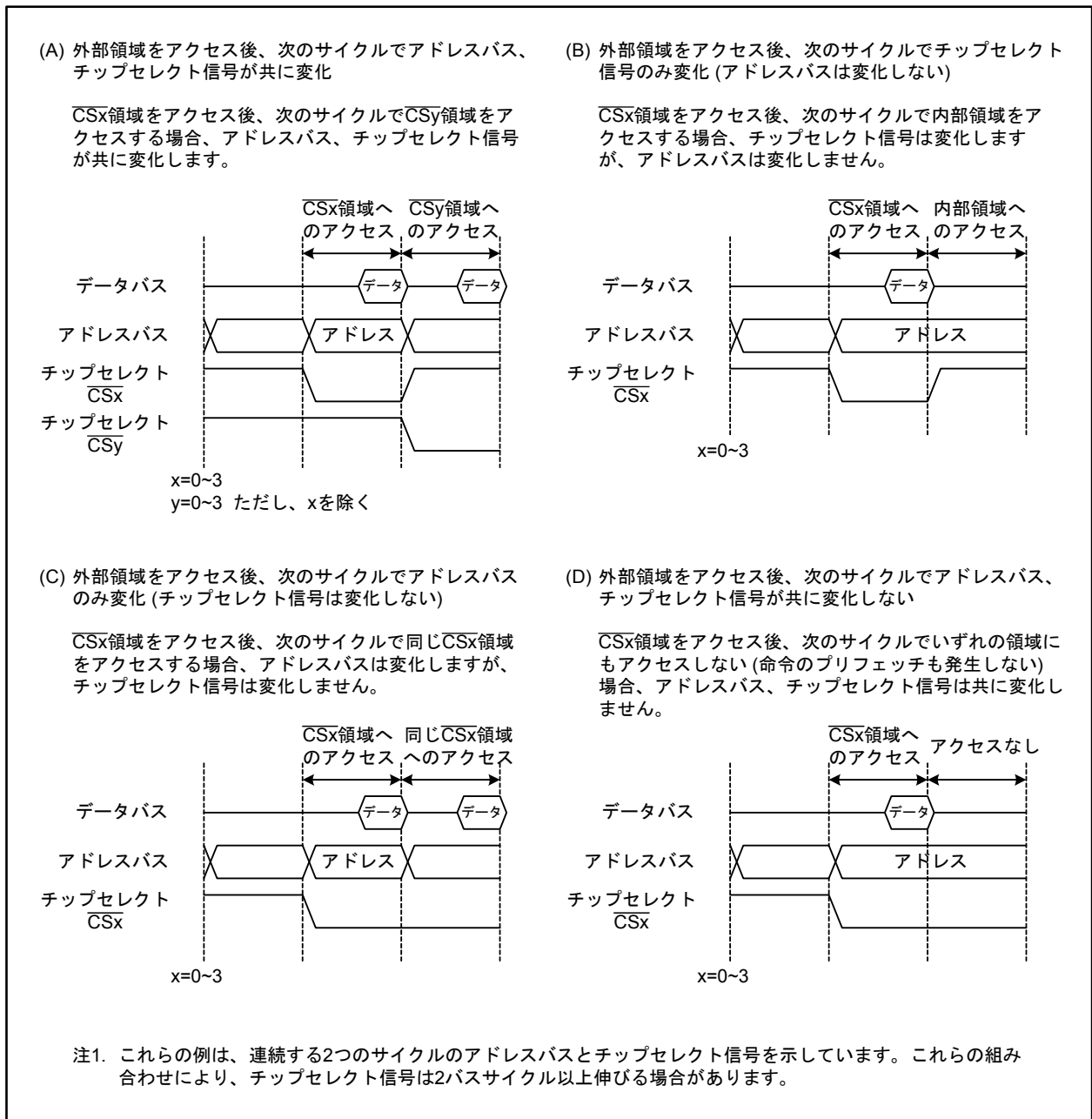


図 9.3 アドレスバスとチップセレクト信号の出力例(セパレートバス)

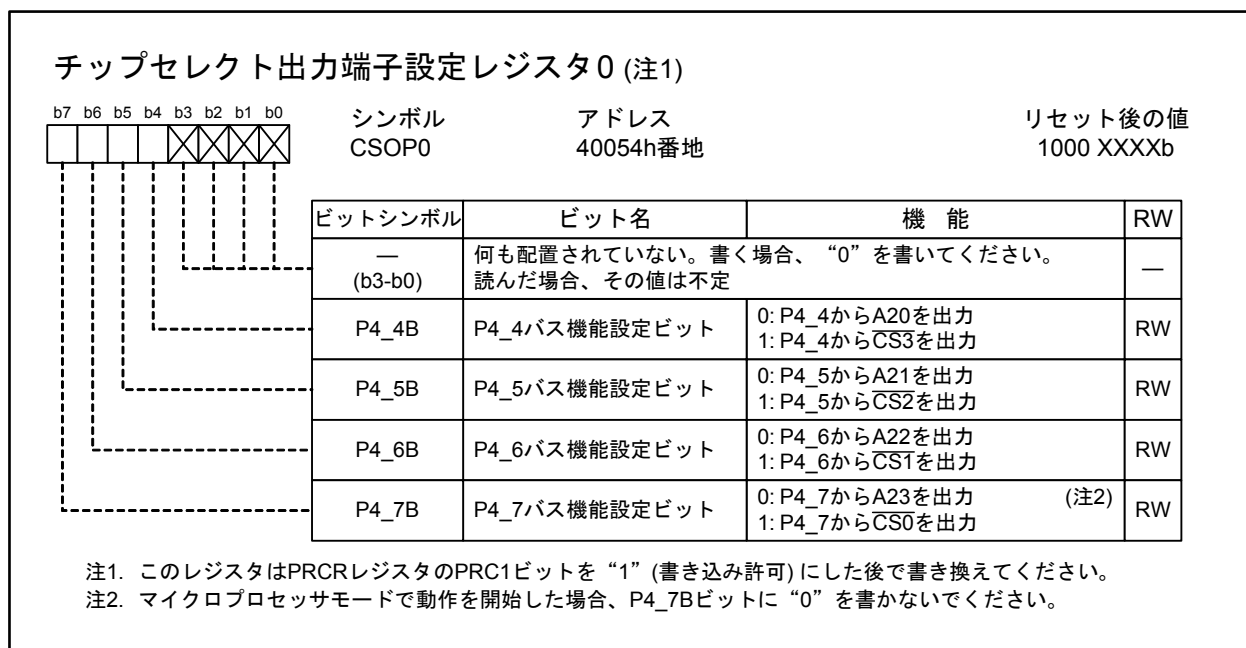


図 9.4 CSOP0 レジスタ

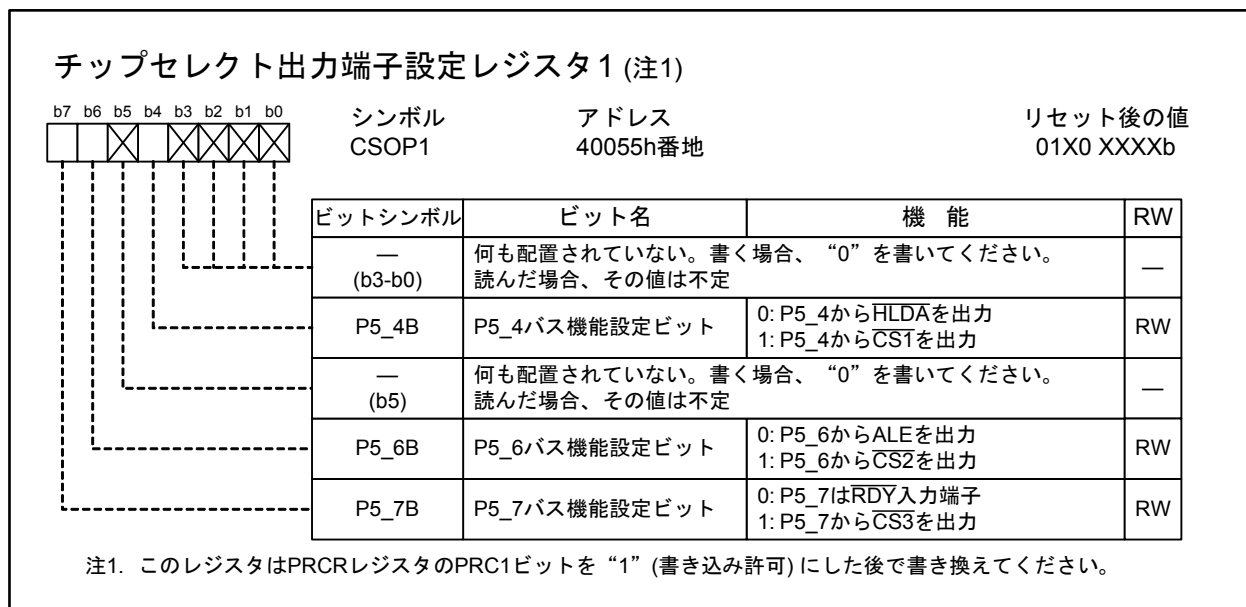


図 9.5 CSOP1 レジスタ

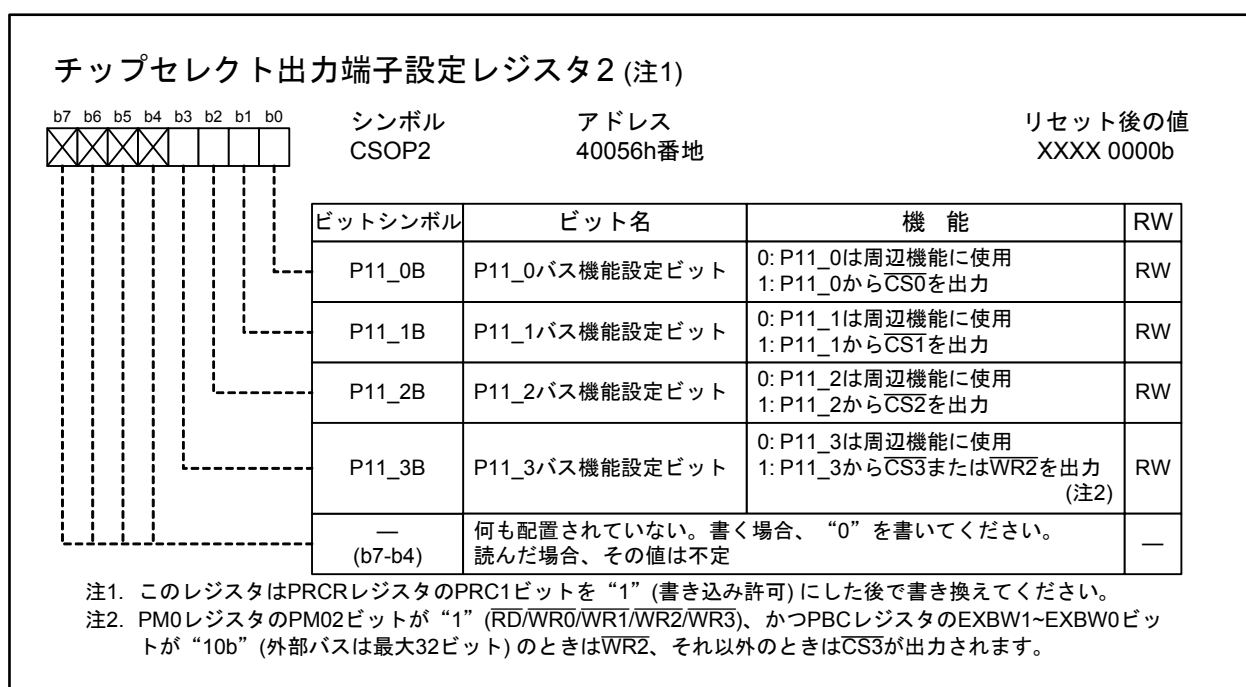


図 9.6 CSOP2 レジスタ

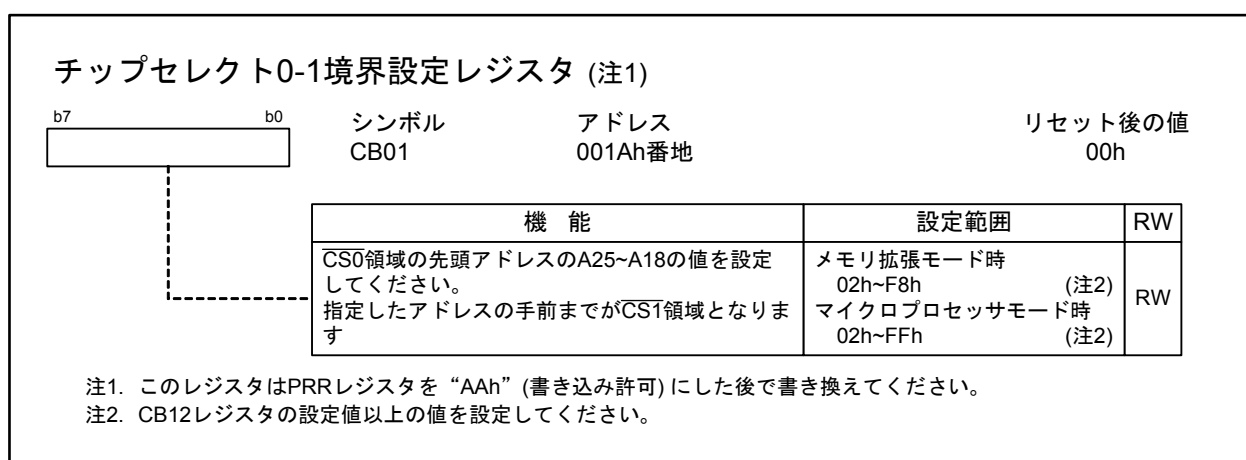


図 9.7 CB01 レジスタ

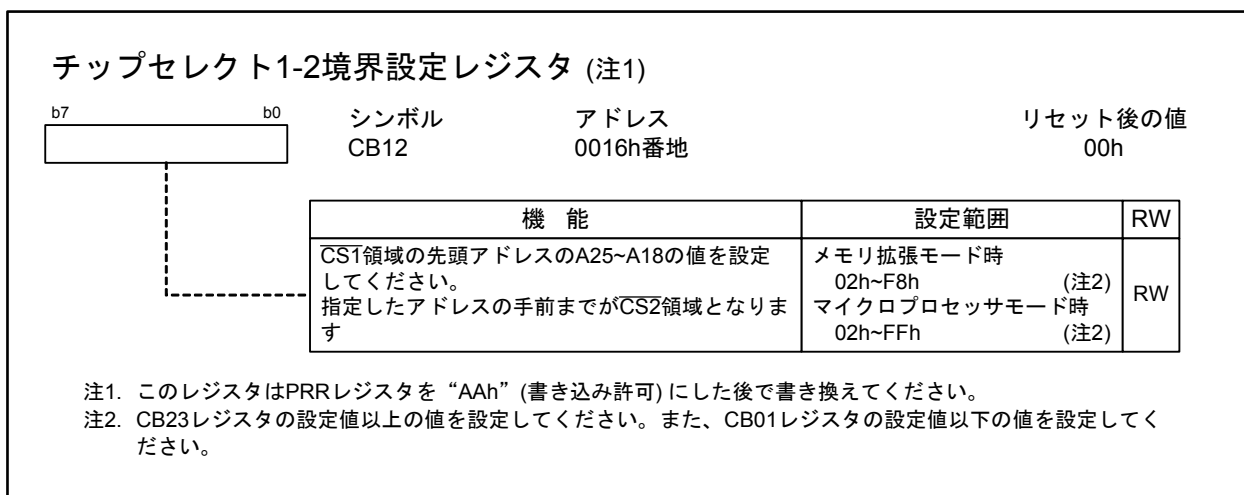


図 9.8 CB12レジスタ

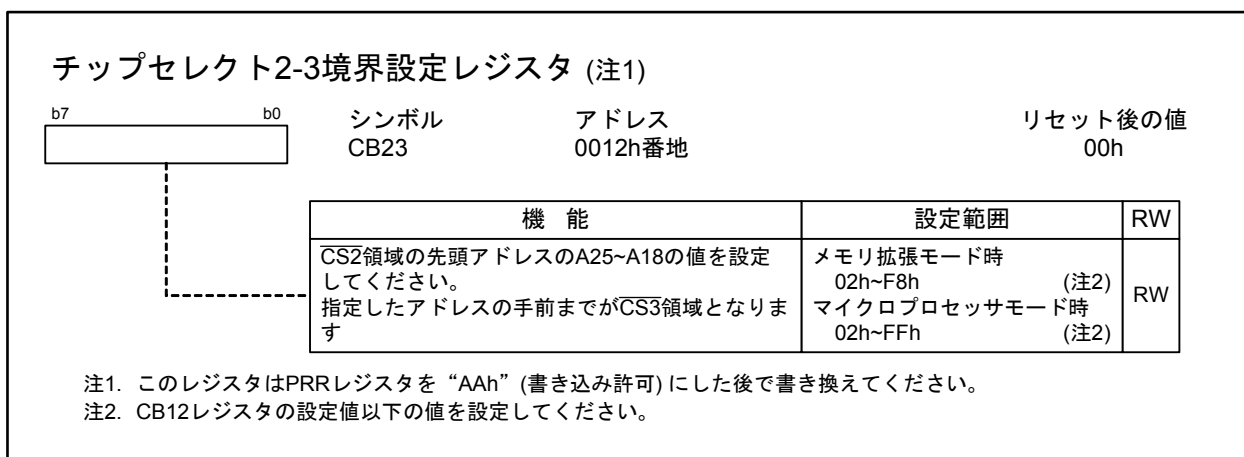


図 9.9 CB23レジスタ

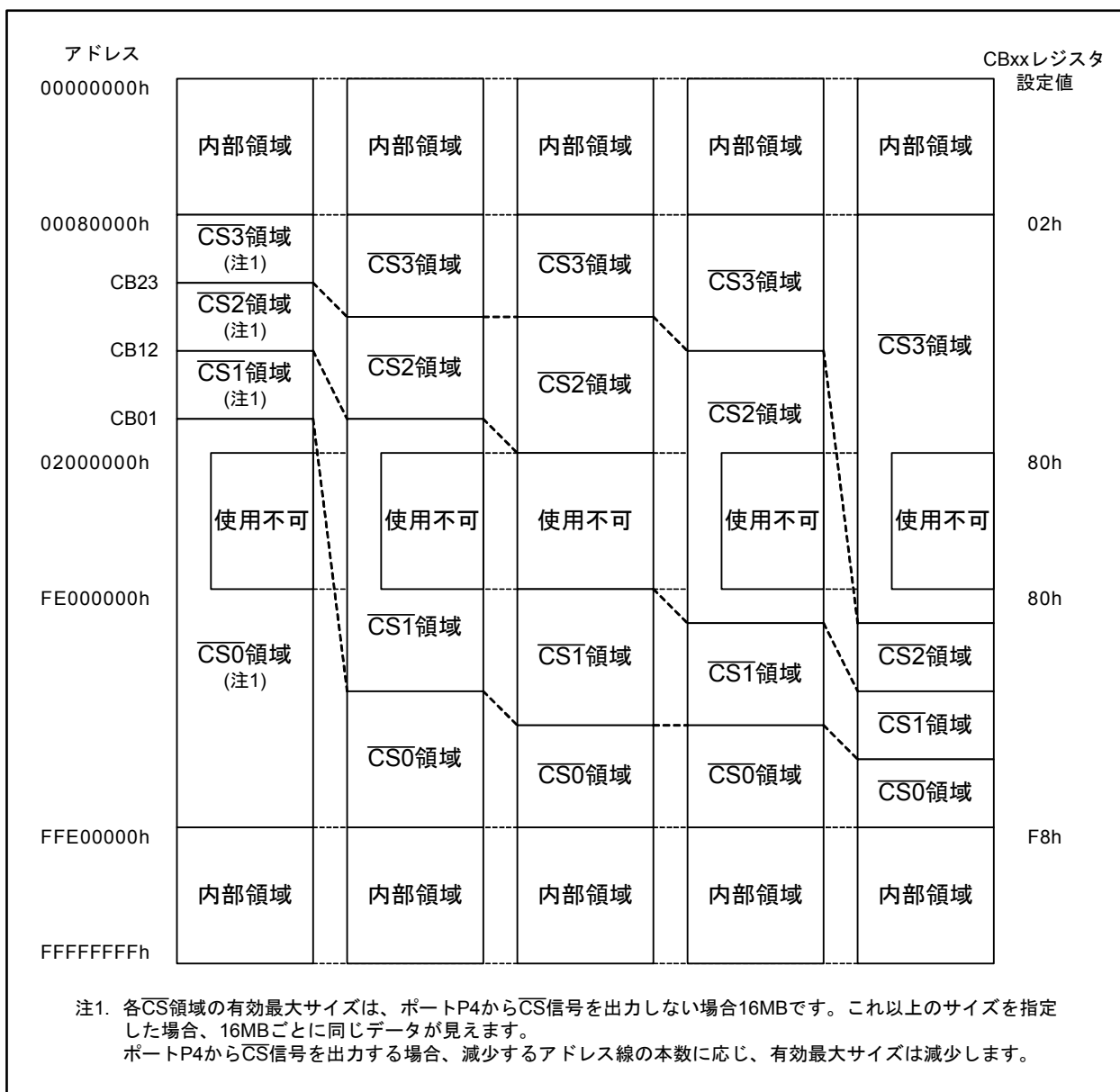


図 9.10 メモリ拡張モード時のチップセレクト領域

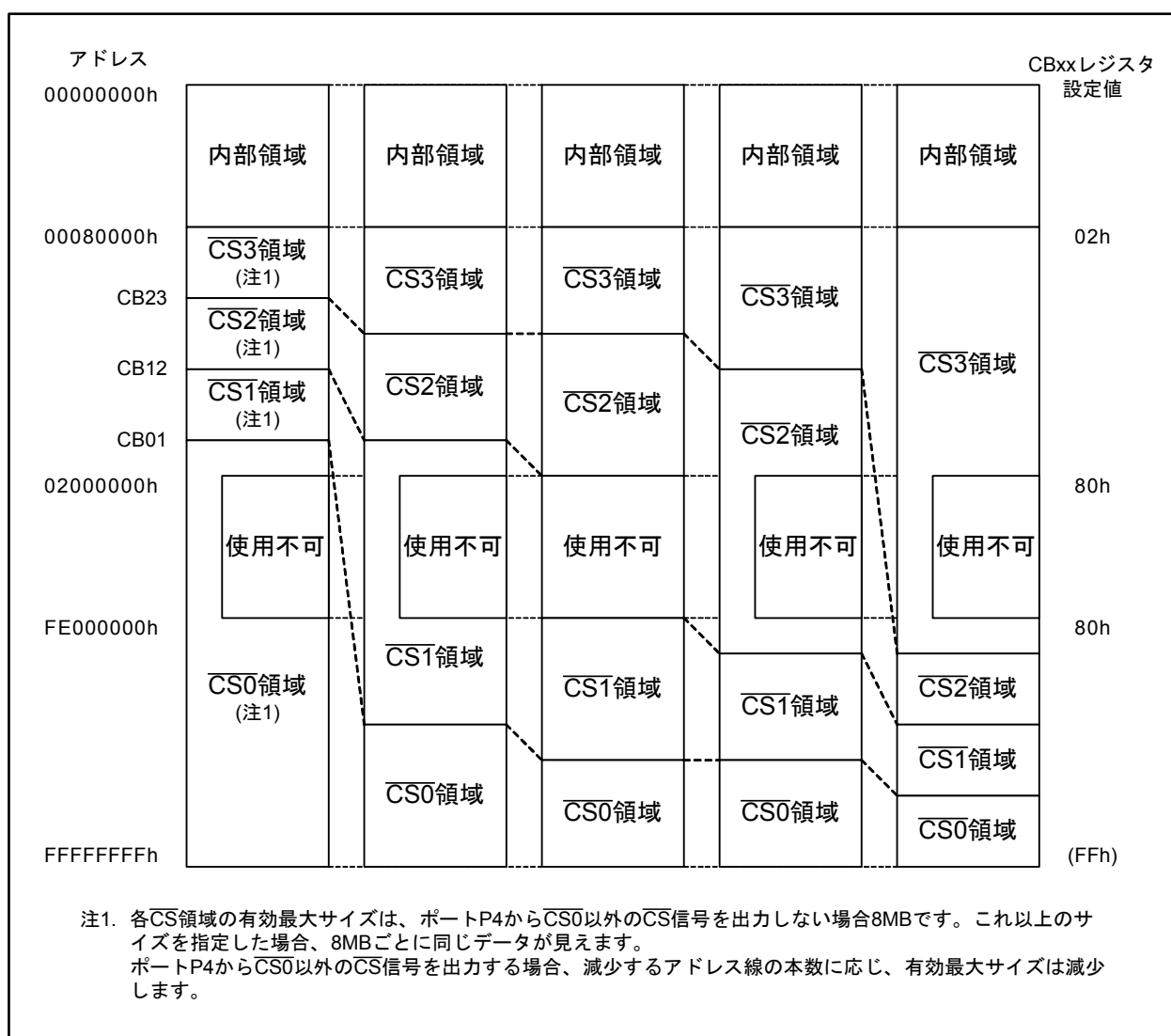


図 9.11 マイクロプロセッサモード時のチップセレクト領域

9.3.2 外部データバス幅の選択

外部データバス幅は、8ビット、16ビット、32ビットを選択できます。領域ごとのバス幅は、EBC0~EBC3レジスタのBW1~BW0ビットで指定します。また、全領域中の最大バス幅をPBCレジスタのEXBW1~EXBW0ビットで指定します。EXBW1~EXBW0ビットで指定するバス幅が、BW1~BW0ビットで指定したバス幅を下回らないようにしてください。

なお、EXBW1~EXBW0ビットで指定したバス幅よりもバス幅が狭い領域にアクセスした場合、使用されないデータ出力端子からは不定値が出力されます。

図 9.12にEBC0~EBC3レジスタを示します。

外部バス制御レジスタ*i* (i=0~3) (注1)

シンボル アドレス リセット後の値

EBC0, EBC1 001Dh-001Ch, 0019h-0018h番地 0000h

EBC2, EBC3 0015h-0014h, 0011h-0010h番地 0000h

ビットシンボル	ビット名	機能	RW
ESUR0	リード前アドレス セットアップ時間 設定ビット (注2)	b1 b0 0 0 : <i>sur</i> = 0 0 1 : <i>sur</i> = 1 1 0 : <i>sur</i> = 2 1 1 : <i>sur</i> = 3	RW
ESUR1			
EWR0	リード信号パルス幅 設定ビット (注2)	b3 b2 0 0 : <i>wr</i> = 1 0 1 : <i>wr</i> = 2 1 0 : <i>wr</i> = 3 1 1 : <i>wr</i> = 4	RW
EWR1			
— (b4)	予約ビット	“1” にしてください	RW
RDY	RDY信号モニタビット	0: RDY信号を無視する 1: RDY信号を使用する	RW
MPY0	設定サイクル数通倍ビット (注2)	b7 b6 0 0 : <i>mpy</i> = 1 0 1 : <i>mpy</i> = 2 1 0 : <i>mpy</i> = 3 1 1 : <i>mpy</i> = 4	RW
MPY1			
ESUW0	ライト前アドレス セットアップ時間 設定ビット (注2)	b9 b8 0 0 : <i>suw</i> = 0 0 1 : <i>suw</i> = 1 1 0 : <i>suw</i> = 2 1 1 : <i>suw</i> = 3	RW
ESUW1			
EWW0	ライト信号パルス幅 設定ビット (注2)	b11b10 0 0 : <i>ww</i> = 1 0 1 : <i>ww</i> = 2 1 0 : <i>ww</i> = 3 1 1 : <i>ww</i> = 4	RW
EWW1			
— (b12)	予約ビット	“1” にしてください	RW
MPX	外部バス形式選択ビット	0: セパレートバス 1: マルチプレクスバス	RW
BW0	外部バス幅設定ビット (注3)	b15b14 0 0 : 8ビット 0 1 : 16ビット 1 0 : 32ビット 1 1 : 設定しないでください	RW
BW1			

注1. このレジスタはPRRレジスタの値を“AAh” (書き込み許可)にした後で書き換えてください。

注2. レジスタへの設定値と実際のタイミングとの関係は、「9.3.5 外部バスタイミング」を参照してください。

注3. ここで設定したバス幅の最大値を、PBCレジスタのEXBW1~EXBW0ビットに設定してください。

図 9.12 EBC0~EBC3 レジスタ

9.3.3 セパレートバス、マルチプレクスバスの選択

バスの形式は、セパレートバスまたはマルチプレクスバスを選択できます。領域ごとのバス形式の設定は、EBC0~EBC3 レジスタの MPX ビットで指定します。また、すべての領域でマルチプレクスバスを使用する場合は、PBC レジスタの EXMPX ビットを“1” (全領域マルチプレクスバス) にすると、ポート P0、P1、P4_0~P4_3 をプログラマブル入出力ポートとして使用できます。

(1) セパレートバス

データとアドレスを異なる端子から個別に入出力するバスの形式です。

EBC0~EBC3 レジスタの MPX ビットを“0”にすると、当該領域はセパレートバスになります。

データバス幅は、EBC0~EBC3 レジスタの BW1~BW0 ビットにより 8 ビット、16 ビット、または 32 ビットを選択できます。

PBC レジスタの EXBW1~EXBW0 ビットが“00b” (8 ビットデータバス) のときは、ポート P0 はデータバス、ポート P1、P12、P13 はプログラマブル入出力ポートとなります。

EXBW1~EXBW0 ビットが“01b” (16 ビットデータバス) のときはポート P0、P1 はデータバス、ポート P12、P13 はプログラマブル入出力ポートとなります。ただし、BW1~BW0 ビットが“00b” (8 ビットデータバス) の領域にアクセスしたとき、ポート P1 (D8~D15) は不定です。

EXBW1~EXBW0 ビットが“10b” (32 ビットデータバス) のときはポート P0、P1、P12、P13 はデータバスとなります。ただし、BW1~BW0 ビットが“00b” (8 ビットデータバス) の領域にアクセスしたとき、ポート P1、P12、P13 (D8~D31) が、BW1~BW0 ビットが“01b” (16 ビットデータバス) の領域にアクセスしたとき、ポート P12、P13 (D16~D31) が不定となります。

(2) マルチプレクスバス

データとアドレスを同一の端子から時分割で入出力するバスの形式です。

EBC0~EBC3 レジスタの MPX ビットを“1”にすると、当該領域はマルチプレクスバスになります。

EBC0~EBC3 レジスタの BW1~BW0 ビットを“00b” (8 ビットデータバス) に設定した領域では、D0~D7 が A0~A7 とマルチプレクスされます。BW1~BW0 ビットを“01b” (16 ビットデータバス) または、“10b” (32 ビットデータバス) に設定した領域では D0~D15 が $\overline{BC0}$ 、A1/ $\overline{BC2}$ 、A2~A15 とマルチプレクスされます。

マイクロプロセッサモードでは、リセット後セパレートバスで動作しますので、 $\overline{CS1}$ ~ $\overline{CS3}$ の領域をマルチプレクスバスに設定することはできますが、 $\overline{CS0}$ の領域をマルチプレクスバスに設定することはできません。

プロセッサモード別の端子の機能を表 9.2 に、バス形式別の端子の機能を表 9.3 に示します。

表 9.2 プロセッサモードと端子の機能

プロセッサモード	シングルチップモード	マイクロプロセッサモード/メモリ拡張モード						メモリ拡張モード		
バス形式	—	セパレートバスのみ (EXMPX=0)			セパレートバス、マルチプレクスバス混在 (EXMPX=0)			マルチプレクスバスのみ (EXMPX=1)		
データバス幅	—	8ビットバスのみ	8/16ビットバス混在	8/16/32ビットバス混在	8ビットバスのみ	8/16ビットバス混在	8/16/32ビットバス混在	8ビットバスのみ	8/16ビットバス混在	8/16/32ビットバス混在
P0_0 ~ P0_7	入出力ポート	D0 ~ D7						入出力ポート		
P1_0 ~ P1_7	入出力ポート	入出力ポート	D8 ~ D15		入出力ポート	D8 ~ D15		入出力ポート		
P2_0	入出力ポート	A0	A0 または $\overline{BC0}$		A0 または A0/D0	A0 または A0/D0 または $\overline{BC0}$ または $\overline{BC0}/D0$		A0/D0	A0/D0 または $\overline{BC0}/D0$	
P2_1	入出力ポート	A1		A1 または $\overline{BC2}$	A1 または A1/D1		A1 または A1/D1 または $\overline{BC2}$ または $\overline{BC2}/D1$	A1/D1		A1/D1 または $\overline{BC2}/D1$
P2_2 ~ P2_7	入出力ポート	A2 ~ A7			A2 ~ A7 または A2/D2 ~ A7/D7			A2/D2 ~ A7/D7		
P3_0 ~ P3_7	入出力ポート	A8 ~ A15			A8 ~ A15	A8 ~ A15 または A8/D8 ~ A15/D15		A8 ~ A15	A8/D8 ~ A15/D15	
P4_0 ~ P4_3	入出力ポート	A16 ~ A19						入出力ポート		
P4_4	入出力ポート	A20 または $\overline{CS3}$								
P4_5	入出力ポート	A21 または $\overline{CS2}$								
P4_6	入出力ポート	A22 または $\overline{CS1}$								
P4_7	入出力ポート	A23 または $\overline{CS0}$								
P5_0	入出力ポート	\overline{WR} または $\overline{WR0}$								
P5_1	入出力ポート	不定 (注1)	$\overline{BC1}$ または $\overline{WR1}$		不定 (注1)	$\overline{BC1}$ または $\overline{WR1}$		不定 (注1)	$\overline{BC1}$ または $\overline{WR1}$	
P5_2	入出力ポート	RD								
P5_3	入出力ポート	BCLK								
P5_4	入出力ポート	HLDA または $\overline{CS1}$								
P5_5	入出力ポート	\overline{HOLD}								
P5_6	入出力ポート	ALE または $\overline{CS2}$			ALE に設定してください					
P5_7	入出力ポート	RDY または $\overline{CS3}$								
P11_0 ~ P11_2	入出力ポート	$\overline{CS0}$ ~ $\overline{CS2}$ または 入出力ポート								
P11_3	入出力ポート	$\overline{CS3}$ または 入出力ポート		$\overline{CS3}$ または $\overline{WR2}$	入出力ポート		$\overline{CS3}$ または $\overline{WR2}$	入出力ポート		$\overline{CS3}$ または $\overline{WR2}$
P11_4	入出力ポート	入出力ポート		$\overline{BC3}$ または $\overline{WR3}$	入出力ポート		$\overline{BC3}$ または $\overline{WR3}$	入出力ポート		$\overline{BC3}$ または $\overline{WR3}$
P12_0 ~ P12_7	入出力ポート	入出力ポート		D16 ~ D23	入出力ポート		D16 ~ D23	入出力ポート		D16 ~ D23
P13_0 ~ P13_7	入出力ポート	入出力ポート		D24 ~ D31	入出力ポート		D24 ~ D31	入出力ポート		D24 ~ D31

注1. 不定値が出力されます。

表 9.3 バス形式と端子の機能(マイクロプロセッサモード/メモリ拡張モード)

バス形式	セパレートバス			マルチプレクスバス		
MPXビット	"0"			"1"		
バス幅	8ビット	16ビット	32ビット	8ビット	16ビット	32ビット
BW1 ~ BW0 ビット	"00b"	"01b"	"10b"	"00b"	"01b"	"10b"
P0_0 ~ P0_7	D0 ~ D7			入出力ポート		
P1_0 ~ P1_7	入出力ポート	D8 ~ D15		入出力ポート		
P2_0	A0	$\overline{BC0}$		A0/D0	$\overline{BC0/D0}$	
P2_1	A1		$\overline{BC2}$	A1/D1		$\overline{BC2/D1}$
P2_2 ~ P2_7	A2 ~ A7			A2/D2 ~ A7/D7		
P3_0 ~ P3_7	A8 ~ A15			A8/D8 ~ A15/D15		
P4_0 ~ P4_3	A16 ~ A19			A16 ~ A19または入出力ポート		
P4_4	A20または $\overline{CS3}$					
P4_5	A21または $\overline{CS2}$					
P4_6	A22または $\overline{CS1}$					
P4_7	A23または $\overline{CS0}$ (マイクロプロセッサモード時は $\overline{CS0}$ 固定)					
P5_0	\overline{WR} または $\overline{WR0}$					
P5_1	不定(注1)	$\overline{BC1}$ または $\overline{WR1}$		不定(注1)	$\overline{BC1}$ または $\overline{WR1}$	
P5_2	\overline{RD}					
P5_3	BCLK					
P5_4	\overline{HLDA} または $\overline{CS1}$					
P5_5	\overline{HOLD}					
P5_6	ALEまたは $\overline{CS2}$			ALEに設定してください		
P5_7	RDYまたは $\overline{CS3}$					
P11_0 ~ P11_2	$\overline{CS0}$ ~ $\overline{CS2}$ または入出力ポート					
P11_3	$\overline{CS3}$ または入出力ポート		$\overline{CS3}$ または $\overline{WR2}$	$\overline{CS3}$ または入出力ポート		$\overline{CS3}$ または $\overline{WR2}$
P11_4	入出力ポート		$\overline{BC3}$ または $\overline{WR3}$	入出力ポート		$\overline{BC3}$ または $\overline{WR3}$
P12_0 ~ P12_7	入出力ポート		D16 ~ D23	入出力ポート		D16 ~ D23
P13_0 ~ P13_7	入出力ポート		D24 ~ D31	入出力ポート		D24 ~ D31

注1. 不定値が出力されます。

9.3.4 リード、ライト信号

データバスが16ビットまたは32ビットのとき、リード、ライト信号はPM0レジスタのPM02ビットで、 \overline{RD} 、 \overline{WR} 、 $\overline{BC0}$ 、 $\overline{BC1}$ 、 $\overline{BC2}$ 、 $\overline{BC3}$ の組み合わせ、または \overline{RD} 、 $\overline{WR0}$ 、 $\overline{WR1}$ 、 $\overline{WR2}$ 、 $\overline{WR3}$ の組み合わせを選択できます。

PBCレジスタのEXBW1~EXBW0ビットが“00b”（外部領域は8ビットデータバスのみ）のとき、PM02ビットを“0”（ $\overline{RD}/\overline{WR}/\overline{BC0}/\overline{BC1}/\overline{BC2}/\overline{BC3}$ ）にしてください。EXBW1~EXBW0ビットが“01b”（外部領域は最大16ビット幅）または“10b”（外部領域は最大32ビット幅）で、8ビット幅の領域をアクセスするとき、PM02ビットの値にかかわらず、 \overline{RD} 、 \overline{WR} 、 $\overline{BC0}$ 、 $\overline{BC1}$ 、 $\overline{BC2}$ 、 $\overline{BC3}$ の組み合わせとなります。

表 9.4、表 9.5に各信号の動作を示します。

リセット後、リード、ライト信号は \overline{RD} 、 \overline{WR} 、 $\overline{BC0}$ 、 $\overline{BC1}$ 、 $\overline{BC2}$ 、 $\overline{BC3}$ の組み合わせです。 \overline{RD} 、 $\overline{WR0}$ 、 $\overline{WR1}$ 、 $\overline{WR2}$ 、 $\overline{WR3}$ の組み合わせに切り替えるときは、PM02ビットを切り替えてから外部のメモリに書いてください。

表 9.4 \overline{RD} 、 $\overline{WR0}$ 、 $\overline{WR1}$ 、 $\overline{WR2}$ 、 $\overline{WR3}$ の動作

データバス幅	\overline{RD}	$\overline{WR0}$	$\overline{WR1}$	$\overline{WR2}$	$\overline{WR3}$	外部データバスの状態
32ビット	L	H	H	H	H	4バイトのデータを読む
	H	L	H	H	H	4n+0番地に1バイトのデータを書く
	H	H	L	H	H	4n+1番地に1バイトのデータを書く
	H	H	H	L	H	4n+2番地に1バイトのデータを書く
	H	H	H	H	L	4n+3番地に1バイトのデータを書く
	H	L	L	H	H	4n+0~1番地に2バイトのデータを書く
	H	H	L	L	H	4n+1~2番地に2バイトのデータを書く
	H	H	H	L	L	4n+2~3番地に2バイトのデータを書く
	H	L	L	L	H	4n+0~2番地に3バイトのデータを書く
	H	H	L	L	L	4n+1~3番地に3バイトのデータを書く
H	L	L	L	L	4n+0~3番地に4バイトのデータを書く	
16ビット	L	H	H	H/L (A1)	—	2バイトのデータを読む
	H	L	H	H/L (A1)	—	偶数番地に1バイトのデータを書く
	H	H	L	H/L (A1)	—	奇数番地に1バイトのデータを書く
	H	L	L	H/L (A1)	—	偶奇数両番地に2バイトのデータを書く
8ビット	L	H (\overline{WR})	—	H/L (A1)	—	1バイトのデータを読む
	H	L (\overline{WR})	—	H/L (A1)	—	1バイトのデータを書く

表 9.5 \overline{RD} 、 \overline{WR} 、 $\overline{BC0}$ 、 $\overline{BC1}$ 、 $\overline{BC2}$ 、 $\overline{BC3}$ の動作

データバス幅	RD	WR	BC0	BC1	BC2	BC3	外部データバスの状態
32ビット	L	H	L	L	L	L	4バイトのデータを読む
	H	L	L	H	H	H	4n+0番地に1バイトのデータを書く
	H	L	H	L	H	H	4n+1番地に1バイトのデータを書く
	H	L	H	H	L	H	4n+2番地に1バイトのデータを書く
	H	L	H	H	H	L	4n+3番地に1バイトのデータを書く
	H	L	L	L	H	H	4n+0~1番地に2バイトのデータを書く
	H	L	H	L	L	H	4n+1~2番地に2バイトのデータを書く
	H	L	H	H	L	L	4n+2~3番地に2バイトのデータを書く
	H	L	L	L	L	H	4n+0~2番地に3バイトのデータを書く
	H	L	H	L	L	L	4n+1~3番地に3バイトのデータを書く
	H	L	L	L	L	L	4n+0~3番地に4バイトのデータを書く
16ビット	L	H	L	L	H/L (A1)	—	2バイトのデータを読む
	H	L	L	H	H/L (A1)	—	偶数番地に1バイトのデータを書く
	H	L	H	L	H/L (A1)	—	奇数番地に1バイトのデータを書く
	H	L	L	L	H/L (A1)	—	偶奇数両番地に2バイトのデータを書く
8ビット	L	H	H/L (A0)	—	H/L (A1)	—	1バイトのデータを読む
	H	L	H/L (A0)	—	H/L (A1)	—	1バイトのデータを書く

9.3.5 外部バスタイミング

外部バスのタイミングは、EBC0~EBC3レジスタで行います。基準クロックはCCRレジスタのBCD1~BCD0ビットで設定されるベースクロックです。

MPY1~MPY0ビット、ESUR1~ESUR0ビットの設定値とTsu(A-R) (リード前アドレスセットアップサイクル数) の関係を表 9.6に、MPY1~MPY0ビット、EWR1~EWR0ビットの設定値とTw(R) (リードパルス幅) の関係を表 9.7に、MPY1~MPY0ビット、ESUW1~ESUW0ビットの設定値とTsu(A-W) (ライト前アドレスセットアップサイクル数) の関係を表 9.8に、MPY1~MPY0ビット、EWW1~EWW0ビットの設定値とTw(W) (ライトパルス幅) の関係を表 9.9にそれぞれ示します。

表 9.6 MPY1~MPY0ビット、ESUR1~ESUR0ビットの設定値とTsu(A-R)の関係(単位:サイクル)

ESUR1~ESUR0 ビットの設定値	セパレートバス				マルチプレクスバス				
	MPY1~MPY0ビットの設定値				MPY1~MPY0ビットの設定値				
	00b	01b	10b	11b	00b	01b	10b	11b	
	<i>mpy</i> =1	<i>mpy</i> =2	<i>mpy</i> =3	<i>mpy</i> =4	<i>mpy</i> =1	<i>mpy</i> =2	<i>mpy</i> =3	<i>mpy</i> =4	
00b	<i>sur</i> =0	0.5	0.5	0.5	0.5	1	1	1	1
01b	<i>sur</i> =1	1.5	2.5	3.5	4.5	2	3	4	5
10b	<i>sur</i> =2	2.5	4.5	6.5	8.5	3	5	7	9
11b	<i>sur</i> =3	3.5	6.5	9.5	12.5	4	7	10	13
計算式		$Tsu(A-R) = sur \times mpy + 0.5$				$Tsu(A-R) = sur \times mpy + 1$			

表 9.7 MPY1~MPY0ビット、EWR1~EWR0ビットの設定値とTw(R)の関係(単位:サイクル)

EWR1~EWR0 ビットの設定値		セパレートバス				マルチプレクスバス			
		MPY1~MPY0ビットの設定値				MPY1~MPY0ビットの設定値			
		00b	01b	10b	11b	00b	01b	10b	11b
		<i>mpy</i> =1	<i>mpy</i> =2	<i>mpy</i> =3	<i>mpy</i> =4	<i>mpy</i> =1	<i>mpy</i> =2	<i>mpy</i> =3	<i>mpy</i> =4
00b	<i>wr</i> =1	1.5	2.5	3.5	4.5	0.5 (注1)	1.5	2.5	3.5
01b	<i>wr</i> =2	2.5	4.5	6.5	8.5	1.5	3.5	5.5	7.5
10b	<i>wr</i> =3	3.5	6.5	9.5	12.5	2.5	5.5	8.5	11.5
11b	<i>wr</i> =4	4.5	8.5	12.5	16.5	3.5	7.5	11.5	15.5
計算式		$T_w(R) = wr \times mpy + 0.5$				$T_w(R) = wr \times mpy - 0.5$			

注1. 設定しないでください。

表 9.8 MPY1~MPY0ビット、ESUW1~ESUW0ビットの設定値とTsu(A-W)の関係(単位:サイクル)

ESUW1~ESUW0 ビットの設定値		MPY1~MPY0ビットの設定値			
		00b	01b	10b	11b
		<i>mpy</i> =1	<i>mpy</i> =2	<i>mpy</i> =3	<i>mpy</i> =4
00b	<i>suw</i> =0	1	1	1	1
01b	<i>suw</i> =1	2	3	4	5
10b	<i>suw</i> =2	3	5	7	9
11b	<i>suw</i> =3	4	7	10	13
計算式		$T_{su}(A-W) = suw \times mpy + 1$			

表 9.9 MPY1~MPY0ビット、EWW1~EWW0ビットの設定値とTw(W)の関係(単位:サイクル)

EWW1~EWW0 ビットの設定値		MPY1~MPY0ビットの設定値			
		00b	01b	10b	11b
		<i>mpy</i> =1	<i>mpy</i> =2	<i>mpy</i> =3	<i>mpy</i> =4
00b	<i>ww</i> =1	0.5 (注1)	1.5	2.5	3.5
01b	<i>ww</i> =2	1.5	3.5	5.5	7.5
10b	<i>ww</i> =3	2.5	5.5	8.5	11.5
11b	<i>ww</i> =4	3.5	7.5	11.5	15.5
計算式		$T_w(W) = ww \times mpy - 0.5$			

注1. 設定しないでください。

MPXビットが“0”(セパレートバス)のときの外部バスタイミング例を図9.13に、MPXビットが“1”(マルチプレクスバス)のときの外部バスタイミング例を図9.14に示します。

なお、実際のバスサイクル数は、以下のように周辺バスクロック周期の整数倍になるよう調整されます。

- 2分周の場合 バスサイクル数の計算値が奇数の場合、バスサイクル数が偶数となるようにアイドルサイクルが挿入される
- 3分周の場合 バスサイクル数の計算値が3の倍数でない場合、バスサイクル数が3の倍数となるようにアイドルサイクルが挿入される
- 4分周の場合 バスサイクル数の計算値が4の倍数でない場合、バスサイクル数が4の倍数となるようにアイドルサイクルが挿入される

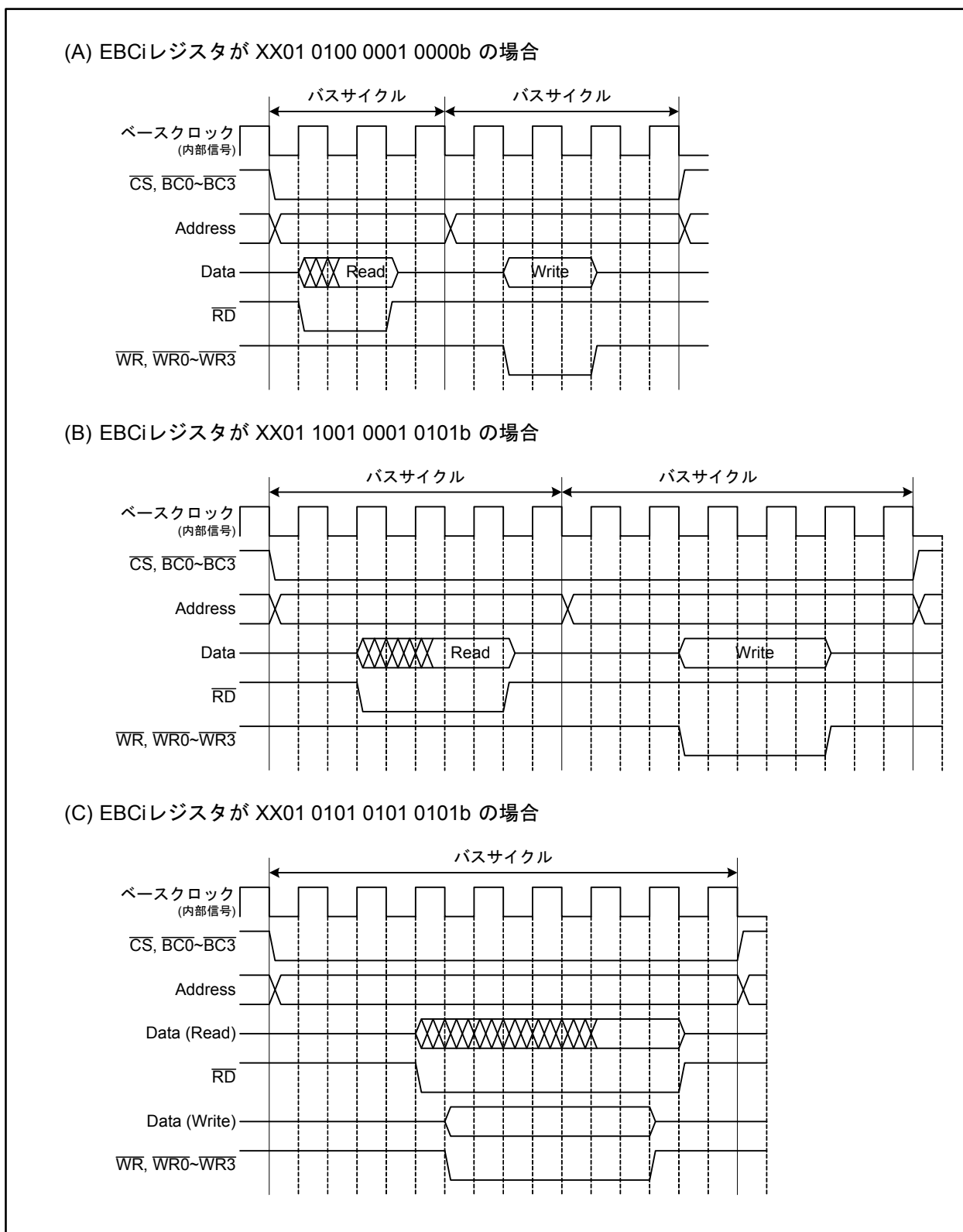


図 9.13 セパレートバス選択時の外部バスタイミング例 (i=0~3)

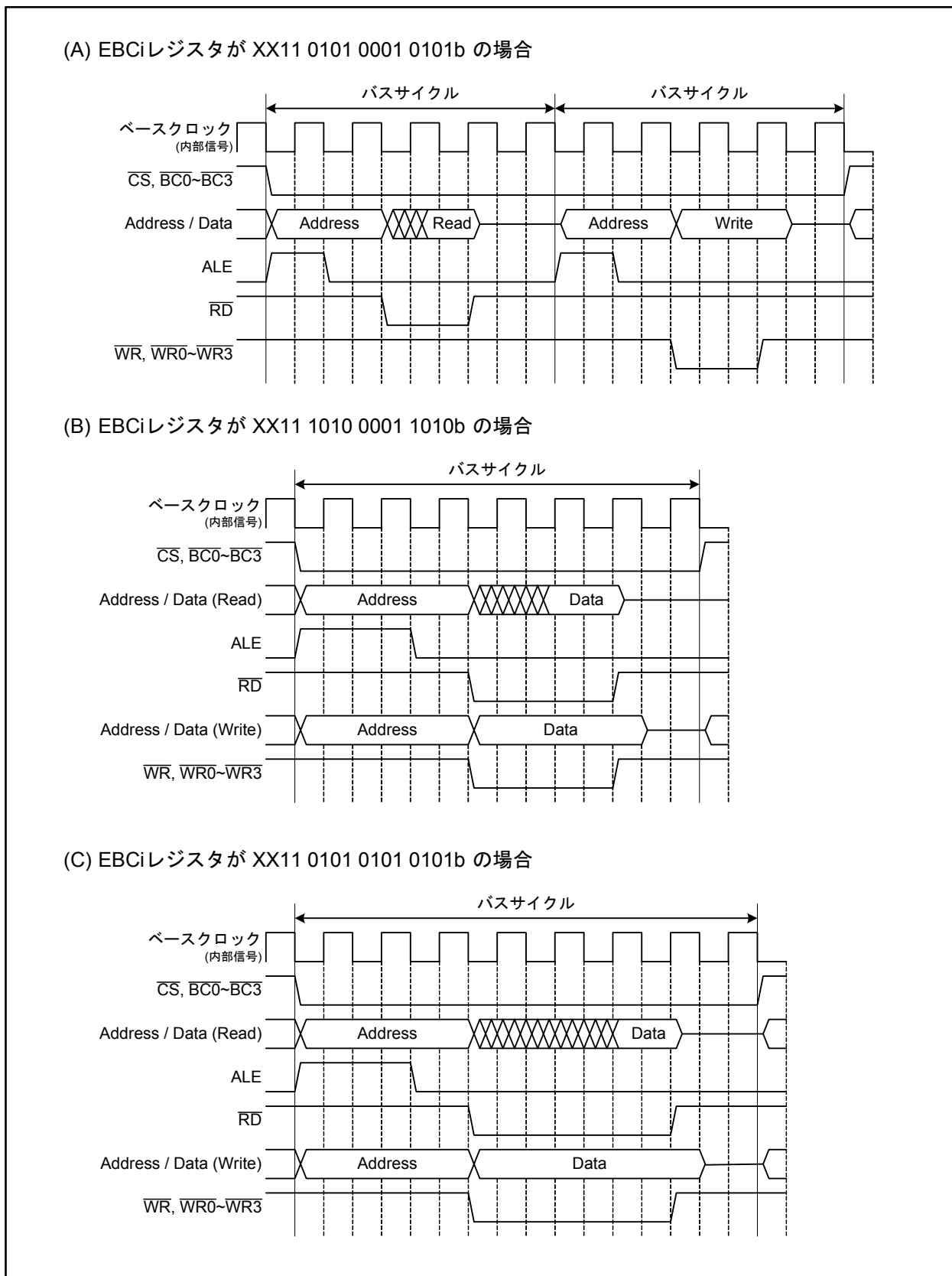


図 9.14 マルチプレクスバス選択時の外部バスタイミング例 (i=0~3)

9.3.6 ALE 信号

マルチプレクスバスのアドレスをラッチするための信号です。ALE 信号の立ち下がりでアドレスをラッチしてください。ALE 信号は内部領域、外部領域どちらをアクセスするかにかかわらず出力します。

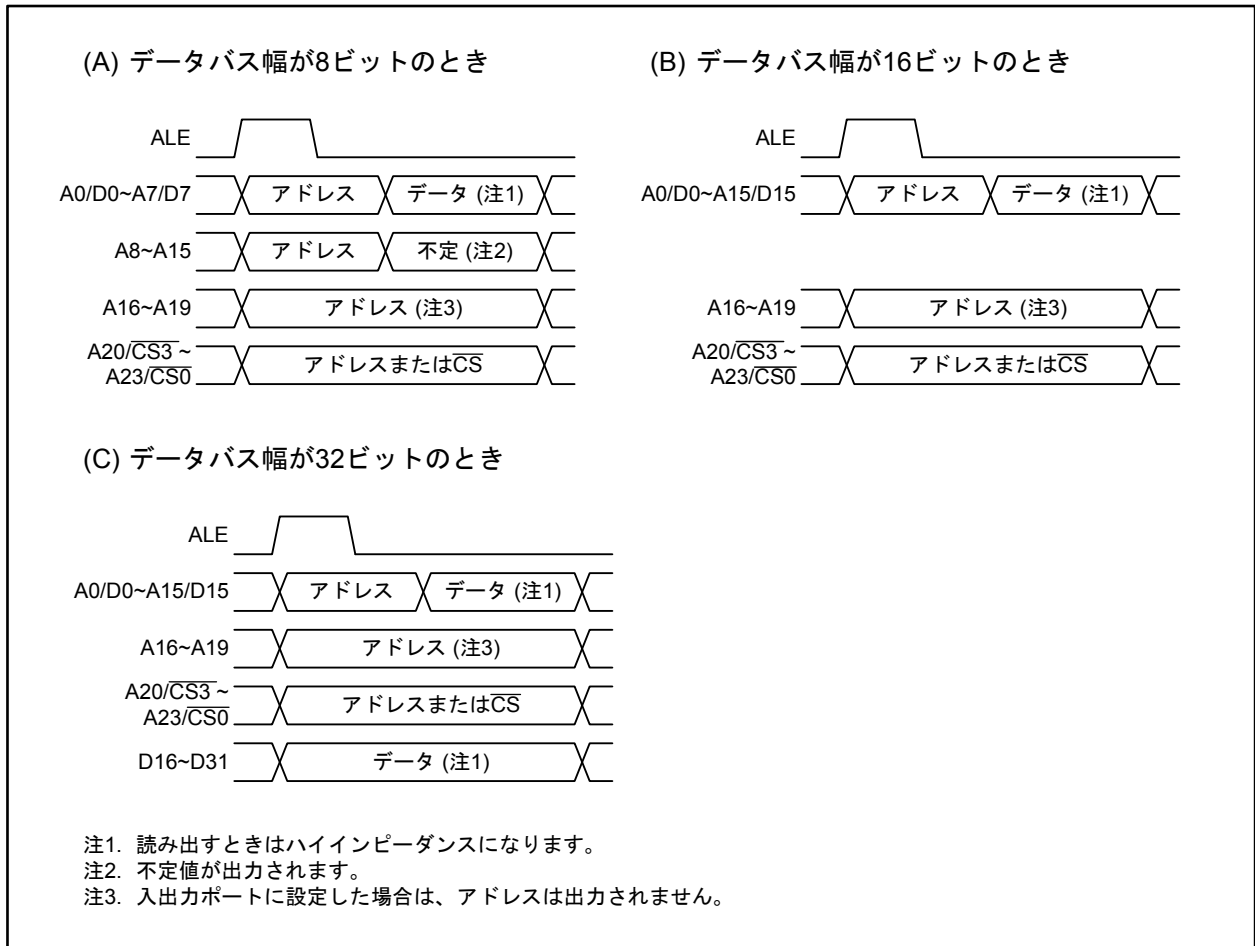
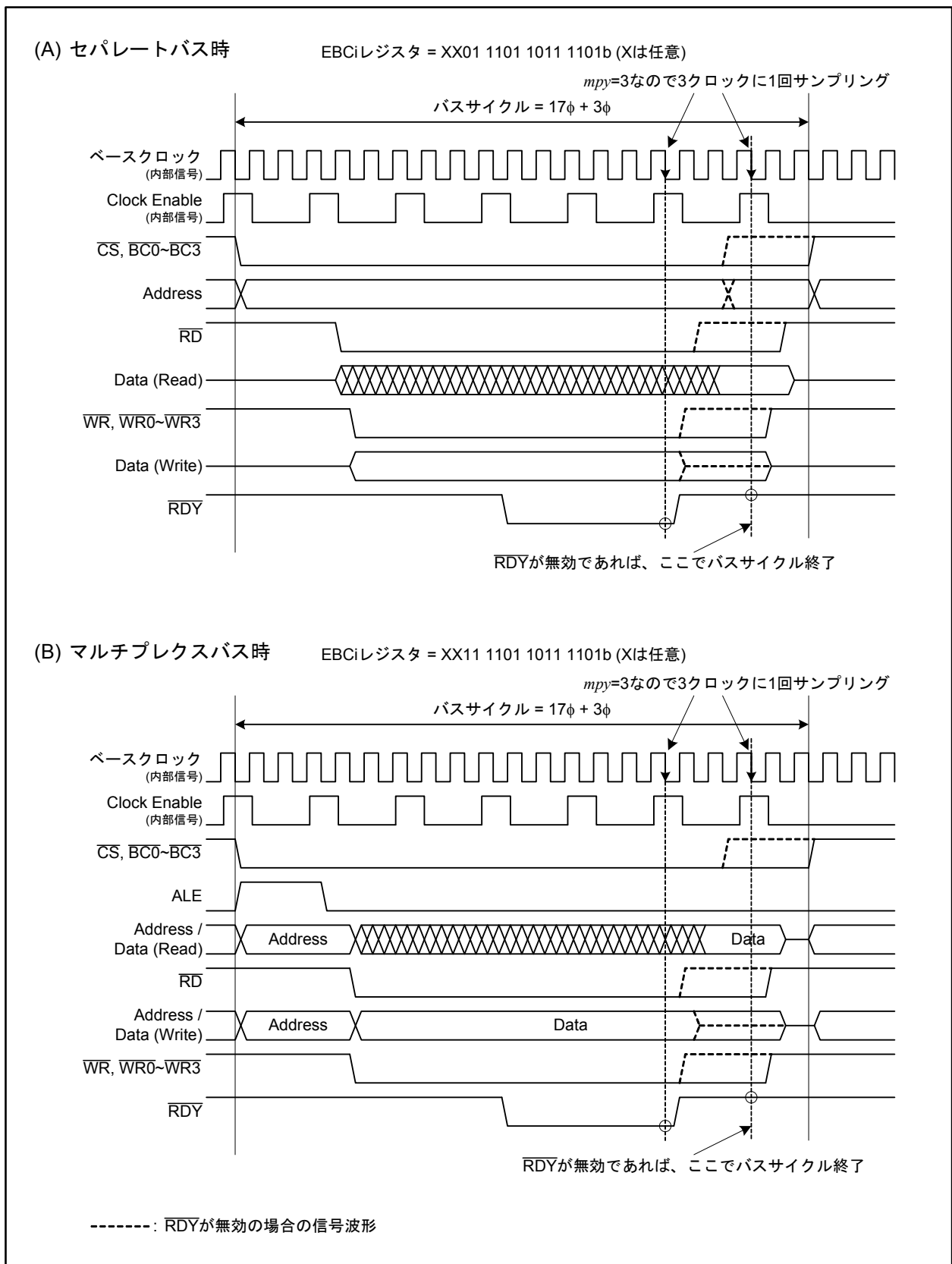


図 9.15 ALE 信号とアドレスバス、データバス

ALE 信号は、バスサイクルの開始とともに“H”になり、リード信号またはライト信号が“L”になる半ベースクロック前 ($T_{su}(A-R) = 1$, $T_{su}(A-W) = 1$ の場合)、または 1 ベースクロック前 ($T_{su}(A-R) > 1$, $T_{su}(A-W) > 1$ の場合)に“L”になります。

表 9.10 図 9.16の回路を使用するときのEBCiレジスタの設定条件(i=0~3)

周辺バスクロック周波数	設定条件	設定例
ベースクロック周波数の 1/2	$mpy=3$ セパレートバス時 \overline{RD} 信号パルス幅 ≥ 9.5 \overline{WR} 信号パルス幅 ≥ 11.5 $\overline{RD}/\overline{WR}$ 信号“H”幅 ≥ 2.5 マルチプレクスバス時 \overline{RD} 信号パルス幅 ≥ 11.5 \overline{WR} 信号パルス幅 ≥ 11.5	セパレートバス時 EBCi = XX01 1101 1011 1001b など マルチプレクスバス時 EBCi = XX11 1101 1011 1101b など
ベースクロック周波数の 1/3	$mpy=3$ セパレートバス時 \overline{RD} 信号パルス幅 ≥ 12.5 \overline{WR} 信号パルス幅 ≥ 11.5 $\overline{RD}/\overline{WR}$ 信号“H”幅 ≥ 3.5 マルチプレクスバス時 \overline{RD} 信号パルス幅 ≥ 11.5 \overline{WR} 信号パルス幅 ≥ 11.5	セパレートバス時 EBCi = XX01 1101 1011 1101b など マルチプレクスバス時 EBCi = XX11 1101 1011 1101b など
ベースクロック周波数の 1/4	$mpy=4$ セパレートバス時 \overline{RD} 信号パルス幅 ≥ 20.5 \overline{WR} 信号パルス幅 ≥ 19.5 $\overline{RD}/\overline{WR}$ 信号“H”幅 ≥ 4.5 マルチプレクスバス時 \overline{RD} 信号パルス幅 ≥ 19.5 \overline{WR} 信号パルス幅 ≥ 19.5	セパレートバス時 使用不可能 マルチプレクスバス時 使用不可能

図 9.17 バスサイクルがRDYによって延長された例($f(\text{BCLK})=1/2 f(\text{Base})$) ($i=0\sim 3$)

9.3.8 $\overline{\text{HOLD}}$ 信号

外部バスマスタが外部バスの使用权を CPU に要求するための信号です。外部バスマスタが $\overline{\text{HOLD}}$ 端子を“L”にすると、CPU はその時点のバスサイクルを終了した後 $\overline{\text{HLDA}}$ 端子から“L”を出力し、外部バスを外部バスマスタへ譲渡します。CPU は $\overline{\text{HOLD}}$ 端子が“L”の間は次のバスサイクルを開始しません。

外部バスマスタが外部バスの使用权を CPU に返すときは、 $\overline{\text{HOLD}}$ 端子を“H”にします。このとき、 $\overline{\text{HLDA}}$ 端子が“L”になっていることを確認してから $\overline{\text{HOLD}}$ 端子を“H”にしてください。

表 9.11 にホールド中のマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、外部バスマスタ、DMAC、CPU となります。

表 9.11 ホールド中のマイクロコンピュータの状態

項目	状態
発振	動作
アドレスバス、データバス、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 、 $\overline{\text{BC0}}\sim\overline{\text{BC3}}$	ハイインピーダンス
$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WR0}}\sim\overline{\text{WR3}}$	ハイインピーダンス
プログラマブル入出力ポート	$\overline{\text{HOLD}}$ 信号を受け付けたときの状態を保持
$\overline{\text{HLDA}}$ 端子	“L”を出力
内蔵周辺回路	動作(ただしウォッチドッグタイマは停止)
ALE 端子	“L”を出力

9.3.9 BCLK 出力

BCLK は周辺バスクロックと同じ周波数のクロックで、PLL が生成したクロックを分周したものです。メモリ拡張モード、マイクロプロセッサモード時に、PM0 レジスタの PM07 ビットを“0” (BCLK 出力)、CM0 レジスタの CM01~CM00 ビットを“00b” (入出力ポート P5_3) にすると、P5_3 より出力されません。シングルチップモード時に BCLK を出力することはできません。詳細は、「8. クロック発生回路」を参照してください。

9.4 内部領域をアクセスしたときの外部バスの状態

表 9.12 に内部領域をアクセスしたときの外部バスの状態を示します。

表 9.12 内部領域をアクセスしたときの外部バスの状態

端子	SFR をアクセスしたとき	内部メモリをアクセスしたとき
アドレスバス	アドレスを出力	直前にアクセスされた SFR または外部領域のアドレスを保持
データバス	リード時 ライト時	ハイインピーダンス 不定
$\overline{\text{CS0}}\sim\overline{\text{CS3}}$	“H”を出力	“H”を出力
$\overline{\text{BC0}}\sim\overline{\text{BC3}}$	$\overline{\text{BC0}}\sim\overline{\text{BC3}}$ を出力	直前にアクセスされた SFR または外部領域のアドレスを保持
$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WR0}}\sim\overline{\text{WR3}}$	$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WR0}}\sim\overline{\text{WR3}}$ を出力	“H”を出力
ALE	ALE 信号を出力	ALE 信号を出力

9.5 バスの注意事項

9.5.1 レジスタ設定上の注意事項

9.5.1.1 チップセレクト境界設定レジスタについて

メモリ拡張モードを使用しない場合、CB01、CB12、CB23 レジスタの値をリセット後の値のまま変更しないでください。

メモリ拡張モードを使用する場合、これらのレジスタは各チップセレクト領域を使用する/しないに関わらず、すべて指定の範囲の値を設定してください。

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタが容易に書き換えられないように保護する機能です。PRCRレジスタと、PRCR2~PRCR4レジスタ、PRRレジスタがあります。

10.1 プロテクトレジスタ (PRCRレジスタ)

図 10.1に PRCR レジスタを示します。PRCR レジスタが保護するレジスタは表 10.1のとおりです。

表 10.1 PRCRレジスタが保護するレジスタ

ビット	保護されるレジスタ
PRC0ビット	CM0レジスタ、CM1レジスタ、CM2レジスタ、PM3レジスタ
PRC1ビット	PM0レジスタ、PM2レジスタ、CSOP0レジスタ、CSOP1レジスタ、CSOP2レジスタ、INVC0レジスタ、INVC1レジスタ、IOBCレジスタ、I2CMRレジスタ
PRC2ビット	PLC0レジスタ、PLC1レジスタ、PD9レジスタ、P9_iSレジスタ (i=0~7)

PRC2ビットを“1”(書き込み許可)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止)になります。PD9レジスタ、P9_iSレジスタ (i=0~7)、PLC0レジスタ、PLC1レジスタは、PRC2ビットを“1”にした次の命令で変更してください。また、PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC1、PRC0ビットは任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

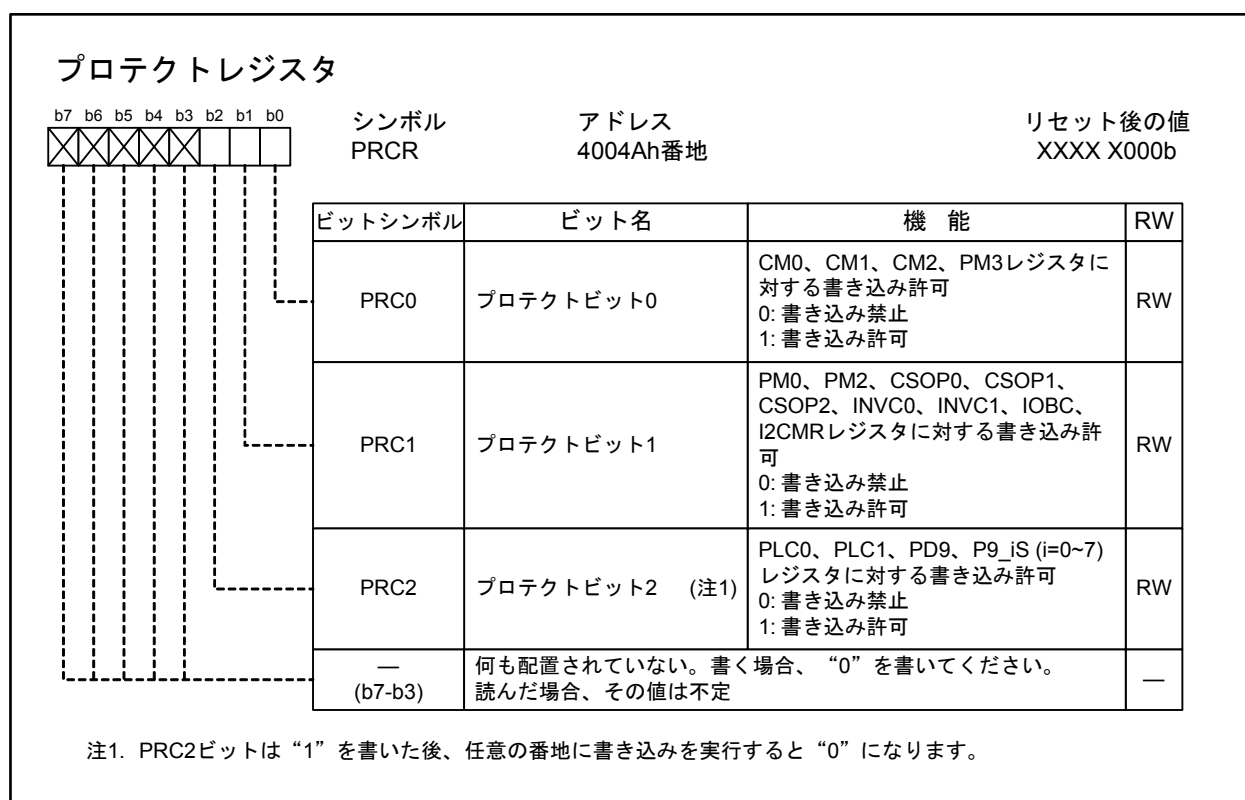


図 10.1 PRCRレジスタ

10.2 プロテクトレジスタ2 (PRCR2レジスタ)

図 10.2に PRCR2レジスタを示します。PRCR2レジスタが保護するレジスタはCM3レジスタのみです。

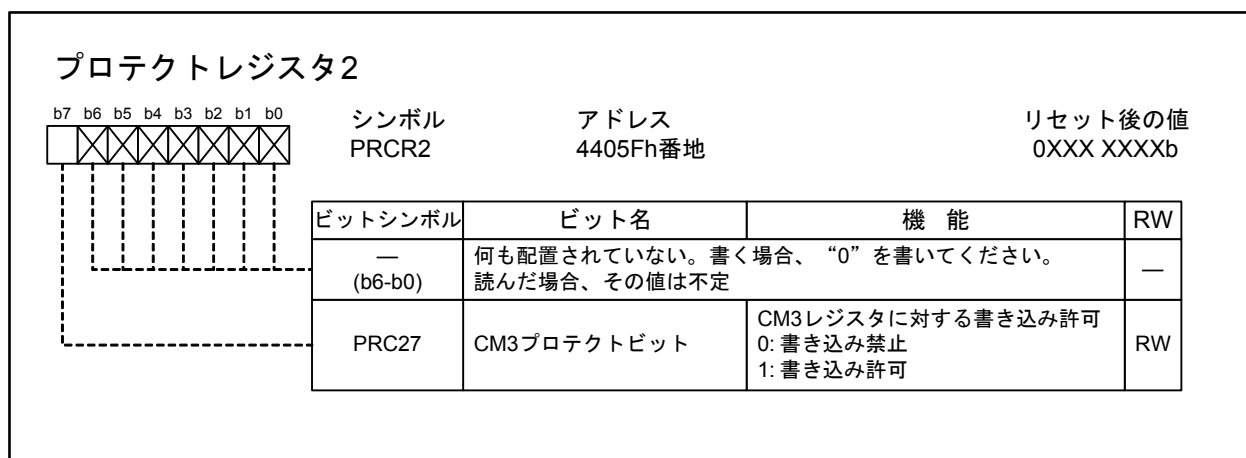


図 10.2 PRCR2レジスタ

10.3 プロテクトレジスタ3 (PRCR3レジスタ)

図 10.3に PRCR3レジスタを示します。PRCR3レジスタが保護するレジスタは表 10.2のとおりです。

表 10.2 PRCR3レジスタが保護するレジスタ

ビット	保護されるレジスタ
PRC31ビット	VRCRレジスタ、LVDCレジスタ、DVCRレジスタ

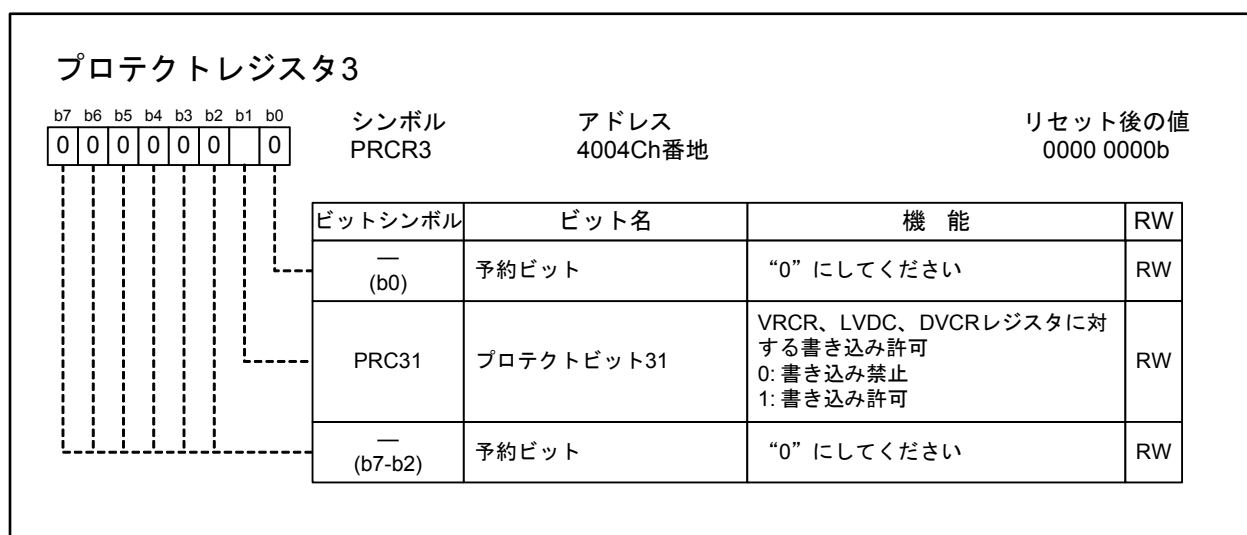


図 10.3 PRCR3レジスタ

10.4 プロテクトレジスタ4 (PRCR4レジスタ)

図 10.4にPRCR4レジスタを示します。PRCR4レジスタが保護するレジスタは表 10.3のとおりです。

表 10.3 PRCR4レジスタが保護するレジスタ

ビット	保護されるレジスタ
PRC40ビット	WDTSレジスタ

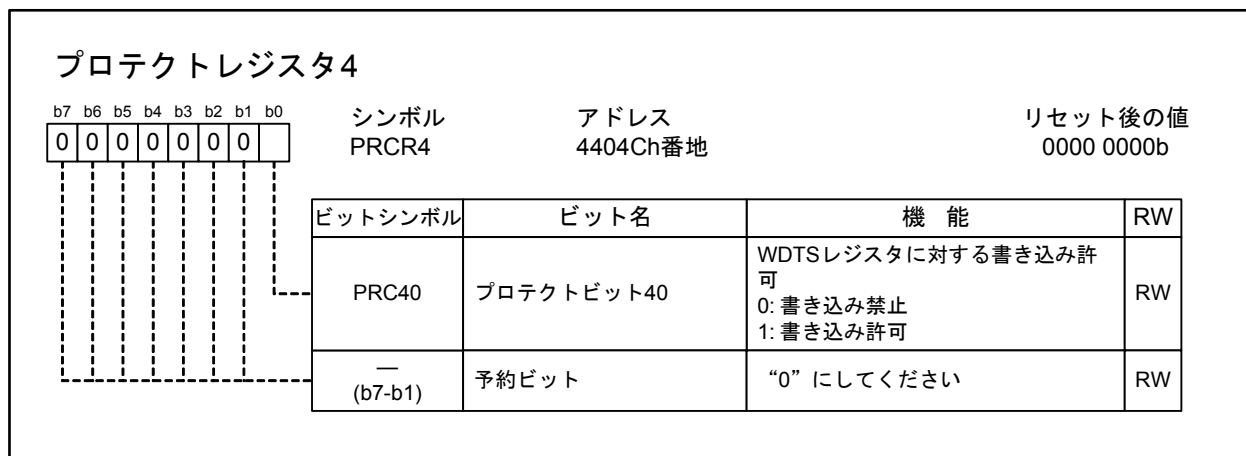


図 10.4 PRCR4レジスタ

10.5 プロテクト解除レジスタ (PRRレジスタ)

図 10.5にPRRレジスタを示します。PRRレジスタが保護するレジスタは表 10.4のとおりです。

表 10.4 PRRレジスタが保護するレジスタ

CCRレジスタ、FMCRレジスタ、PBCレジスタ、FEBCレジスタ、EBC0~EBC3レジスタ、CB01レジスタ、CB12レジスタ、CB23レジスタ
--

PRRレジスタに“AAh” (書き込み許可)を書いた後、上記のレジスタに書き込みできます。上記のレジスタにデータを書く必要がないときは、意図しない書き込みから上記レジスタを保護するために、PRRレジスタには“AAh”以外の値を書いてください。

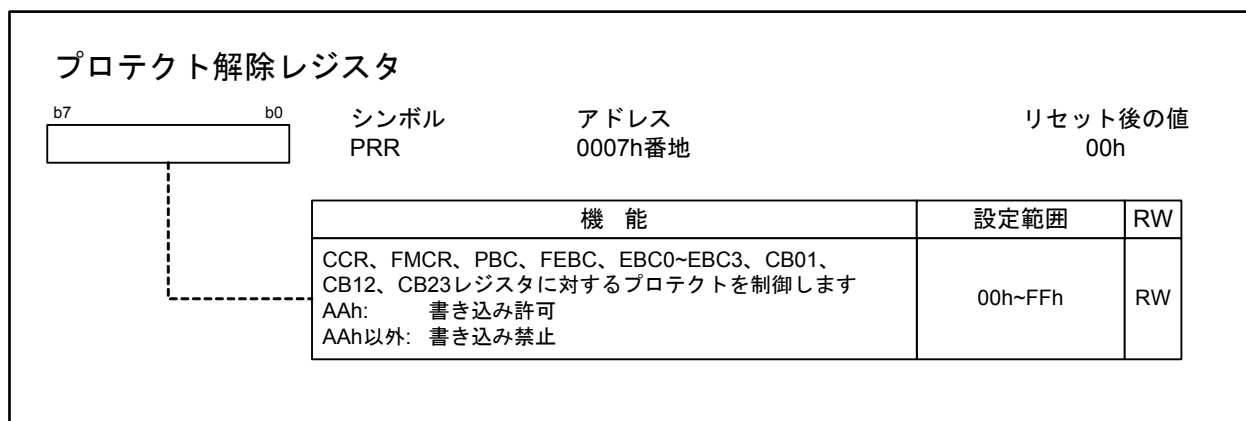


図 10.5 PRRレジスタ

11. 割り込み

11.1 割り込みの分類

図 11.1に割り込みの分類を示します。

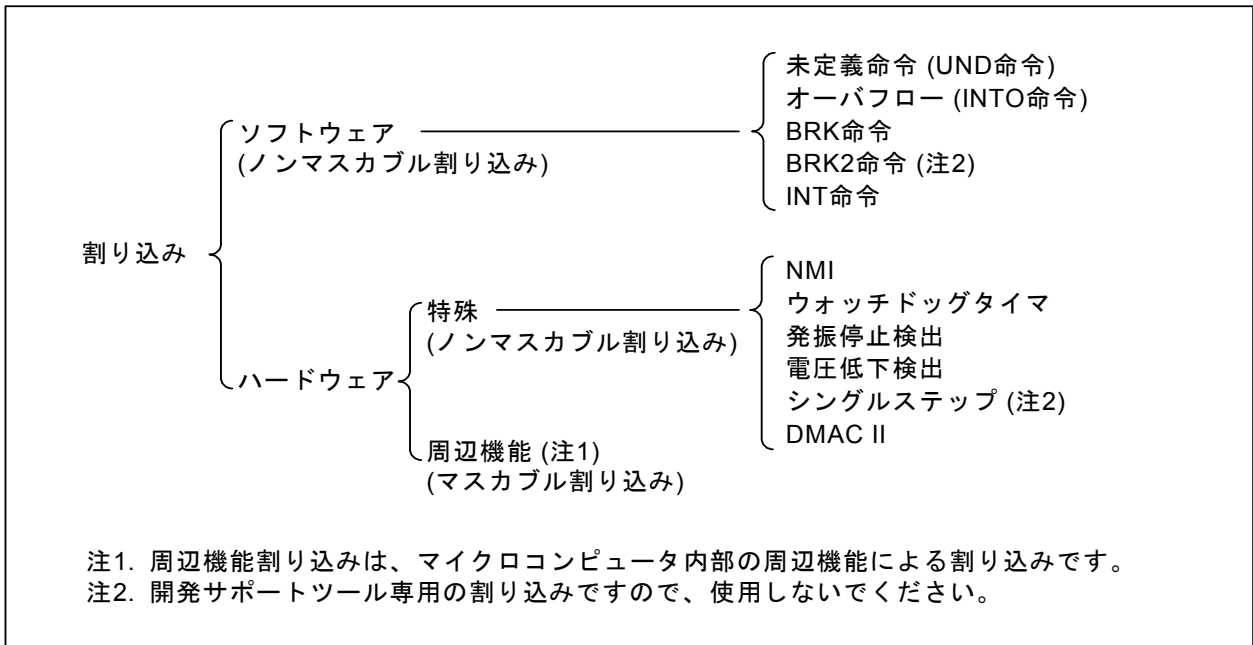


図 11.1 割り込みの分類

また、上記分類のほか、マスクの可、不可によりマスクابل割り込みとノンマスクابل割り込みに分類できます。

(1) マスクابل割り込み

割り込み許可フラグ(Iフラグ)による割り込み許可/禁止や、割り込み要求レベルによる割り込み優先順位の変更が可能な割り込みです。

(2) ノンマスクابل割り込み

割り込み許可フラグ(Iフラグ)による割り込み許可/禁止や、割り込み要求レベルによる割り込み優先順位の変更が不可能な割り込みです。

11.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

ソフトウェア割り込みには以下の5つがあります。

(1) 未定義命令割り込み

未定義命令割り込みは、UND 命令を実行すると発生します。

(2) オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のとき INTO 命令を実行すると発生します。演算によってOフラグが変化する命令は以下のとおりです。

ABS, ADC, ADCF, ADD, ADDF, ADSF, CMP, CMPF, CNVIF, DIV, DIVF, DIVU, DIVX, EDIV, EDIVU, EDIVX, MUL, MULF, MULU, MULX, NEG, RMPA, ROUND, SBB, SCMPU, SHA, SUB, SUBF, SUNTIL, SWHILE

(3) BRK 命令割り込み

BRK 命令割り込みはBRK 命令を実行すると発生します。

(4) BRK2 命令割り込み

BRK2 命令割り込みはBRK2 命令を実行すると発生します。

開発サポートツール専用の割り込みですので、使用しないでください。

(5) INT 命令割り込み

INT 命令割り込みは、ソフトウェア割り込み番号0~255を指定し、INT 命令を実行すると発生します。なお、ソフトウェア割り込み番号0~127は周辺機能割り込みに割り当てられますので、INT 命令を実行することで周辺機能割り込みと同じ割り込み処理ルーチンを実行できます。

INT 命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0~127では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込み処理ルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号128~255では、スタックポインタは切り替わりません。

11.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。
周辺機能割り込みでは最優先の割り込み1つだけに高速割り込みを設定することができます。

11.3.1 特殊割り込み

特殊割り込みはノンマスカブル割り込みです。特殊割り込みには以下の5つがあります。

(1) NMI (Non Maskable Interrupt)

NMIは、 $\overline{\text{NMI}}$ 端子からの入力信号が“H”から“L”に変化すると発生します。NMIの詳細は、「11.11 NMI」を参照してください。

(2) ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込みの詳細は、「12. ウォッチドッグタイマ」を参照してください。

(3) 発振停止検出割り込み

発振停止検出機能により、メインクロックの発振停止を検出すると発生する割り込みです。発振停止検出の詳細は、「8.2 発振停止検出機能」を参照してください。

(4) 電圧低下検出割り込み

電圧検出回路機能により、VCC端子の電圧低下を検出すると発生する割り込みです。電圧検出回路の詳細は、「6.2 電圧低下検出回路」を参照してください。

(5) シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

11.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~127と同一です。周辺機能割り込みは、マスカブル割り込みです。

周辺機能割り込みの割り込み要因は、表 11.2~表 11.5 を参照してください。また、周辺機能の詳細は、各機能の説明を参照してください。

11.4 高速割り込み

高速割り込みは、割り込みの応答を高速に実行できる割り込みで、周辺機能割り込みの中で最優先の割り込み1つだけに使用できます。

高速割り込みは以下の手順で利用できます。

- (1) RIPL1レジスタとRIPL2レジスタの両方のFSITビットを“1”(割り込み要求レベル7は高速割り込みに使用)にする
- (2) RIPL1レジスタとRIPL2レジスタの両方のDMAIIビットを“0”(割り込み要求レベル7は割り込みに使用)にする
- (3) 高速割り込み処理ルーチンの先頭番地をVCTレジスタに設定する

この状態で割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にした割り込みが高速割り込みとなります。このとき複数の割り込みをレベル7にしないでください。

高速割り込みでは割り込みを受け付けると、FLGレジスタをSVFレジスタ、PCをSVPレジスタに退避し、VCTレジスタで示される番地からプログラムを実行します。

高速割り込み処理ルーチンからの復帰にはFREIT命令を実行してください。FREIT命令を実行すると、SVFレジスタ、SVPレジスタに退避していた値が、それぞれFLGレジスタ、PCに復帰します。

11.5 割り込みベクタ

割り込みベクタはそれぞれ4バイトから構成されています。割り込みベクタには割り込み処理ルーチンの先頭番地を設定してください。割り込み要求を受け付けられると、割り込みベクタに設定した番地へ分岐します。図 11.2に割り込みベクタの内容を示します。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中下位	
ベクタアドレス+2	アドレスの中上位	
ベクタアドレス+3	アドレスの上位	

図 11.2 割り込みベクタ

11.5.1 固定ベクタテーブル

固定ベクタテーブルはFFFFFFDCh番地からFFFFFFFh番地に配置されています。表 11.1に固定ベクタテーブルを示します。

表 11.1 固定ベクタテーブル

割り込み要因	ベクタテーブル番地 (番地(L)~番地(H))	備考	参照先
未定義命令	FFFFFFDCh~FFFFFFDFh	UND命令で割り込み	R32C/100シリーズ ソフトウェアマニュアル
オーバフロー	FFFFFFE0h~FFFFFFE3h	INTO命令で割り込み	
BRK命令	FFFFFFE4h~FFFFFFE7h	FFFFFFE7h番地が“FFh”の場合は可変ベクタテーブル内のソフトウェア割り込み番号0のベクタが示す番地へ分岐	
—	FFFFFFE8h~FFFFFFEBh	予約領域	
—	FFFFFFECh~FFFFFFEFh	予約領域	
ウォッチドッグ タイマ 発振停止検出 電圧低下検出	FFFFFFF0h~FFFFFFF3h	ウォッチドッグタイマ割り込みと発振停止検出割り込みと電圧低下検出割り込みで共用	12. ウォッチドッグタイマ 8. クロック発生回路 6.2 電圧低下検出回路
—	FFFFFFF4h~FFFFFFF7h	予約領域	
NMI	FFFFFFF8h~FFFFFFFBh	NMI端子による外部割り込み	
リセット	FFFFFFFCh~FFFFFFFh		5. リセット

11.5.2 可変ベクタテーブル

INTB レジスタに設定された先頭番地から 1024 バイトが可変ベクタテーブルの領域となります。表 11.2~表 11.5 に可変ベクタテーブルを示します。

INTB レジスタに設定する値は4の倍数にしてください。4の倍数を設定したほうが割り込みシーケンスの実行速度が速くなります。

表 11.2 可変ベクタテーブル(1)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注1)	ソフトウェア 割り込み番号	参照先
BRK命令(注2)	+0~+3 (0000h~0003h)	0	R32C/100シリーズ ソフトウェア マニュアル
予約領域	+4~+7 (0004h~0007h)	1	
UART5送信、NACK(注3)	+8~+11 (0008h~000Bh)	2	18. シリアルインタ フェース
UART5受信、ACK(注3)	+12~+15 (000Ch~000Fh)	3	
UART6送信、NACK(注3)	+16~+19 (0010h~0013h)	4	
UART6受信、ACK(注3)	+20~+23 (0014h~0017h)	5	
バス衝突検出、スタートコンディショ ン検出またはストップコンディション 検出(UART5またはUART6)(注3、4)	+24~+27 (0018h~001Bh)	6	
予約領域	+28~+31 (001Ch~001Fh)	7	
DMA0転送完了	+32~+35 (0020h~0023h)	8	13. DMAC
DMA1転送完了	+36~+39 (0024h~0027h)	9	
DMA2転送完了	+40~+43 (0028h~002Bh)	10	
DMA3転送完了	+44~+47 (002Ch~002Fh)	11	
タイマA0	+48~+51 (0030h~0033h)	12	16.1 タイマA
タイマA1	+52~+55 (0034h~0037h)	13	
タイマA2	+56~+59 (0038h~003Bh)	14	
タイマA3	+60~+63 (003Ch~003Fh)	15	
タイマA4	+64~+67 (0040h~0043h)	16	
UART0送信、NACK(注3)	+68~+71 (0044h~0047h)	17	18. シリアルインタ フェース
UART0受信、ACK(注3)	+72~+75 (0048h~004Bh)	18	
UART1送信、NACK(注3)	+76~+79 (004Ch~004Fh)	19	
UART1受信、ACK(注3)	+80~+83 (0050h~0053h)	20	
タイマB0	+84~+87 (0054h~0057h)	21	16.2 タイマB
タイマB1	+88~+91 (0058h~005Bh)	22	
タイマB2	+92~+95 (005Ch~005Fh)	23	
タイマB3	+96~+99 (0060h~0063h)	24	
タイマB4	+100~+103 (0064h~0067h)	25	
INT5	+104~+107 (0068h~006Bh)	26	11.10 外部割り込み
INT4	+108~+111 (006Ch~006Fh)	27	
INT3	+112~+115 (0070h~0073h)	28	
INT2	+116~+119 (0074h~0077h)	29	
INT1	+120~+123 (0078h~007Bh)	30	
INT0	+124~+127 (007Ch~007Fh)	31	
タイマB5	+128~+131 (0080h~0083h)	32	16.2 タイマB

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグで割り込み禁止にはできません。

注3. I²Cモード時、NACK、ACK、スタートコンディション/ストップコンディション検出が割り込み要因になります。

注4. UART5、UART6のどちらの割り込みに使用するかは、IFSR1レジスタのIFSR16ビットで選択してください。

表 11.3 可変ベクタテーブル(2)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注1)	ソフトウェア 割り込み番号	参照先
UART2送信、NACK (注2)/I ² Cバスインタフェース(注3)	+132~+135 (0084h~0087h)	33	18. シリアルインタフェース /24. マルチマスタI ² Cバスインタフェース
UART2受信、ACK (注2)/I ² Cバスライン(注3)	+136~+139 (0088h~008Bh)	34	
UART3送信、NACK (注2)	+140~+143 (008Ch~008Fh)	35	
UART3受信、ACK (注2)	+144~+147 (0090h~0093h)	36	
UART4送信、NACK (注2)	+148~+151 (0094h~0097h)	37	
UART4受信、ACK (注2)	+152~+155 (0098h~009Bh)	38	
バス衝突検出、スタートコンディション検出またはストップコンディション検出(UART2) (注2)	+156~+159 (009Ch~009Fh)	39	
バス衝突検出、スタートコンディション検出またはストップコンディション検出(UART3またはUART0) (注2、4)	+160~+163 (00A0h~00A3h)	40	
バス衝突検出、スタートコンディション検出またはストップコンディション検出(UART4またはUART1) (注2、4)	+164~+167 (00A4h~00A7h)	41	
A/D0	+168~+171 (00A8h~00ABh)	42	19. A/Dコンバータ
キー入力	+172~+175 (00ACh~00AFh)	43	11.12 キー入力割り込み
インテリジェントI/O割り込み0	+176~+179 (00B0h~00B3h)	44	11.13 インテリジェントI/O割り込み、 23. インテリジェントI/O
インテリジェントI/O割り込み1	+180~+183 (00B4h~00B7h)	45	
インテリジェントI/O割り込み2	+184~+187 (00B8h~00BBh)	46	
インテリジェントI/O割り込み3	+188~+191 (00BCh~00BFh)	47	
インテリジェントI/O割り込み4	+192~+195 (00C0h~00C3h)	48	
インテリジェントI/O割り込み5	+196~+199 (00C4h~00C7h)	49	
インテリジェントI/O割り込み6	+200~+203 (00C8h~00CBh)	50	
インテリジェントI/O割り込み7	+204~+207 (00CCh~00CFh)	51	
インテリジェントI/O割り込み8	+208~+211 (00D0h~00D3h)	52	
インテリジェントI/O割り込み9	+212~+215 (00D4h~00D7h)	53	
インテリジェントI/O割り込み10	+216~+219 (00D8h~00DBh)	54	
インテリジェントI/O割り込み11	+220~+223 (00DCh~00DFh)	55	
予約領域	+224~+227 (00E0h~00E3h)	56	
予約領域	+228~+231 (00E4h~00E7h)	57	
予約領域	+232~+235 (00E8h~00EBh)	58	
予約領域	+236~+239 (00ECh~00EFh)	59	
予約領域	+240~+243 (00F0h~00F3h)	60	
予約領域	+244~+247 (00F4h~00F7h)	61	
予約領域	+248~+251 (00F8h~00FBh)	62	
予約領域	+252~+255 (00FCh~00FFh)	63	

注1. INTBレジスタが示す番地からの相対番地です。

注2. I²Cモード時、NACK、ACK、スタートコンディション/ストップコンディション検出が割り込み要因になります。

注3. UART2とI²Cバスのどちらを使用するかは、I2CMRレジスタのI2CENビットで選択してください。

注4. UART0、UART3のどちらの割り込みに使用するかは、IFSR0レジスタのIFSR06ビットで、UART1、UART4のどちらの割り込みに使用するかは、IFSR07ビットで選択してください。

表 11.4 可変ベクタテーブル(3)(注1)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注2)	ソフトウェア 割り込み番号	参照先
予約領域	+256~+259 (0100h~0103h)	64	
予約領域	+260~+263 (0104h~0107h)	65	
予約領域	+264~+267 (0108h~010Bh)	66	
予約領域	+268~+271 (010Ch~010Fh)	67	
予約領域	+272~+275 (0110h~0113h)	68	
予約領域	+276~+279 (0114h~0117h)	69	
予約領域	+280~+283 (0118h~011Bh)	70	
予約領域	+284~+287 (011Ch~011Fh)	71	
予約領域	+288~+291 (0120h~0123h)	72	
予約領域	+292~+295 (0124h~0127h)	73	
予約領域	+296~+299 (0128h~012Bh)	74	
予約領域	+300~+303 (012Ch~012Fh)	75	
予約領域	+304~+307 (0130h~0133h)	76	
予約領域	+308~+311 (0134h~0137h)	77	
予約領域	+312~+315 (0138h~013Bh)	78	
予約領域	+316~+319 (013Ch~013Fh)	79	
予約領域	+320~+323 (0140h~0143h)	80	
予約領域	+324~+327 (0144h~0147h)	81	
予約領域	+328~+331 (0148h~014Bh)	82	
予約領域	+332~+335 (014Ch~014Fh)	83	
予約領域	+336~+339 (0150h~0153h)	84	
予約領域	+340~+343 (0154h~0157h)	85	
予約領域	+344~+347 (0158h~015Bh)	86	
予約領域	+348~+351 (015Ch~015Fh)	87	
予約領域	+352~+355 (0160h~0163h)	88	
予約領域	+356~+359 (0164h~0167h)	89	
予約領域	+360~+363 (0168h~016Bh)	90	
予約領域	+364~+367 (016Ch~016Fh)	91	
予約領域	+368~+371 (0170h~0173h)	92	
INT8	+372~+375 (0174h~0177h)	93	11.10 外部割り込み
INT7	+376~+379 (0178h~017Bh)	94	
INT6	+380~+383 (017Ch~017Fh)	95	

注1. ウェイトモード、ストップモードからの復帰には使用できません。

注2. INTBレジスタが示す番地からの相対番地です。

表 11.5 可変ベクタテーブル(4)(注1)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注2)	ソフトウェア 割り込み番号	参照先
予約領域	+384~+387 (0180h~0183h)	96	
予約領域	+388~+391 (0184h~0187h)	97	
予約領域	+392~+395 (0188h~018Bh)	98	
予約領域	+396~+399 (018Ch~018Fh)	99	
予約領域	+400~+403 (0190h~0193h)	100	
予約領域	+404~+407 (0194h~0197h)	101	
予約領域	+408~+411 (0198h~019Bh)	102	
予約領域	+412~+415 (019Ch~019Fh)	103	
予約領域	+416~+419 (01A0h~01A3h)	104	
予約領域	+420~+423 (01A4h~01A7h)	105	
予約領域	+424~+427 (01A8h~01ABh)	106	
予約領域	+428~+431 (01ACh~01AFh)	107	
予約領域	+432~+435 (01B0h~01B3h)	108	
予約領域	+436~+439 (01B4h~01B7h)	109	
予約領域	+440~+443 (01B8h~01BBh)	110	
予約領域	+444~+447 (01BCh~01BFh)	111	
予約領域	+448~+451 (01C0h~01C3h)	112	
予約領域	+452~+455 (01C4h~01C7h)	113	
予約領域	+456~+459 (01C8h~01CBh)	114	
予約領域	+460~+463 (01CCh~01CFh)	115	
予約領域	+464~+467 (01D0h~01D3h)	116	
予約領域	+468~+471 (01D4h~01D7h)	117	
予約領域	+472~+475 (01D8h~01DBh)	118	
予約領域	+476~+479 (01DCh~01DFh)	119	
UART9送信	+480~+483 (01E0h~01E3h)	120	18. シリアルインタ フェース
UART9受信	+484~+487 (01E4h~01E7h)	121	
UART10送信	+488~+491 (01E8h~01EBh)	122	
UART10受信	+492~+495 (01ECh~01EFh)	123	
UART7送信	+496~+499 (01F0h~01F3h)	124	
UART7受信	+500~+503 (01F4h~01F7h)	125	
UART8送信	+504~+507 (01F8h~01FBh)	126	
UART8受信	+508~+511 (01FCh~01FFh)	127	
INT命令(注3)	+0~+3 (0000h~0003h) ~ +1020~+1023 (03FCh~03FFh)	0 ~ 255	11.2 ソフトウェア 割り込み

注1. ウェイトモード、ストップモードからの復帰には使用できません。

注2. INTBレジスタが示す番地からの相対番地です。

注3. Iフラグで割り込み禁止にはできません。

11.6 割り込み要求の受け付け

ソフトウェア割り込みと特殊割り込みは、割り込み要求が発生すると無条件に受け付けられます。周辺機能割り込みは以下の3つの条件がすべて成立したとき受け付けられます。

- Iフラグ = 1
- IRビット = 1
- ILVL2~ILVL0ビット > IPL

Iフラグ、IPL、IRビット、ILVL2~ILVL0ビットはそれぞれ独立しており、互いに影響を与えることはありません。IフラグとIPLはFLGレジスタにあります。IRビットとILVL2~ILVL0ビットは割り込み制御レジスタにあります。

これらのフラグ、ビットについて以下で説明します。

11.6.1 IフラグとIPL

Iフラグ(割り込み許可フラグ)は、マスカブル割り込みを禁止または許可します。Iフラグを“1”(許可)にすると、すべてのマスカブル割り込みは許可され、“0”(禁止)にすると禁止されます。Iフラグはリセット後“0”(禁止)になります。

IPL(プロセッサ割り込み優先レベル)は3ビットで構成されており、レベル0~7の8段階のプロセッサ割り込み優先レベルを示します。要求があった割り込みの割り込み要求レベル(ILVL2~ILVL0)がIPLより大きい場合、その割り込みは許可されます。

表 11.6にIPLの内容による割り込み許可レベルを示します。

表 11.6 プロセッサ割り込み優先レベル(IPL)の内容と受け付けられる割り込み要求レベル

プロセッサ割り込み優先レベル(IPL)			受け付けられる割り込み要求レベル
IPL2	IPL1	IPL0	
1	1	1	すべてのマスカブル割り込みを禁止
1	1	0	レベル7のみを許可
1	0	1	レベル6以上を許可
1	0	0	レベル5以上を許可
0	1	1	レベル4以上を許可
0	1	0	レベル3以上を許可
0	0	1	レベル2以上を許可
0	0	0	レベル1以上を許可

11.6.2 割り込み制御レジスタ

周辺機能割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。

図 11.3、図 11.4に割り込み制御レジスタを示します。

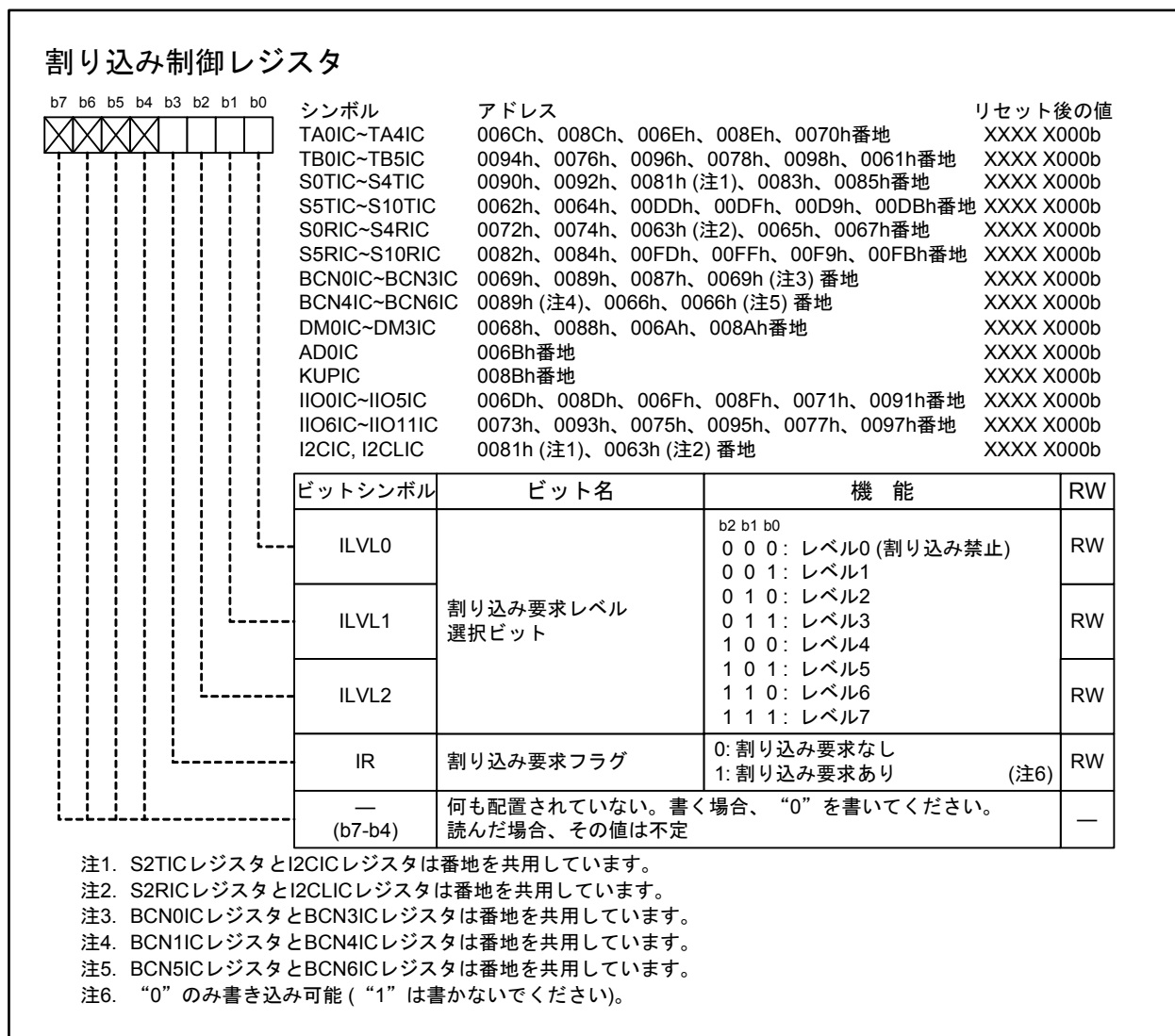


図 11.3 割り込み制御レジスタ (1)

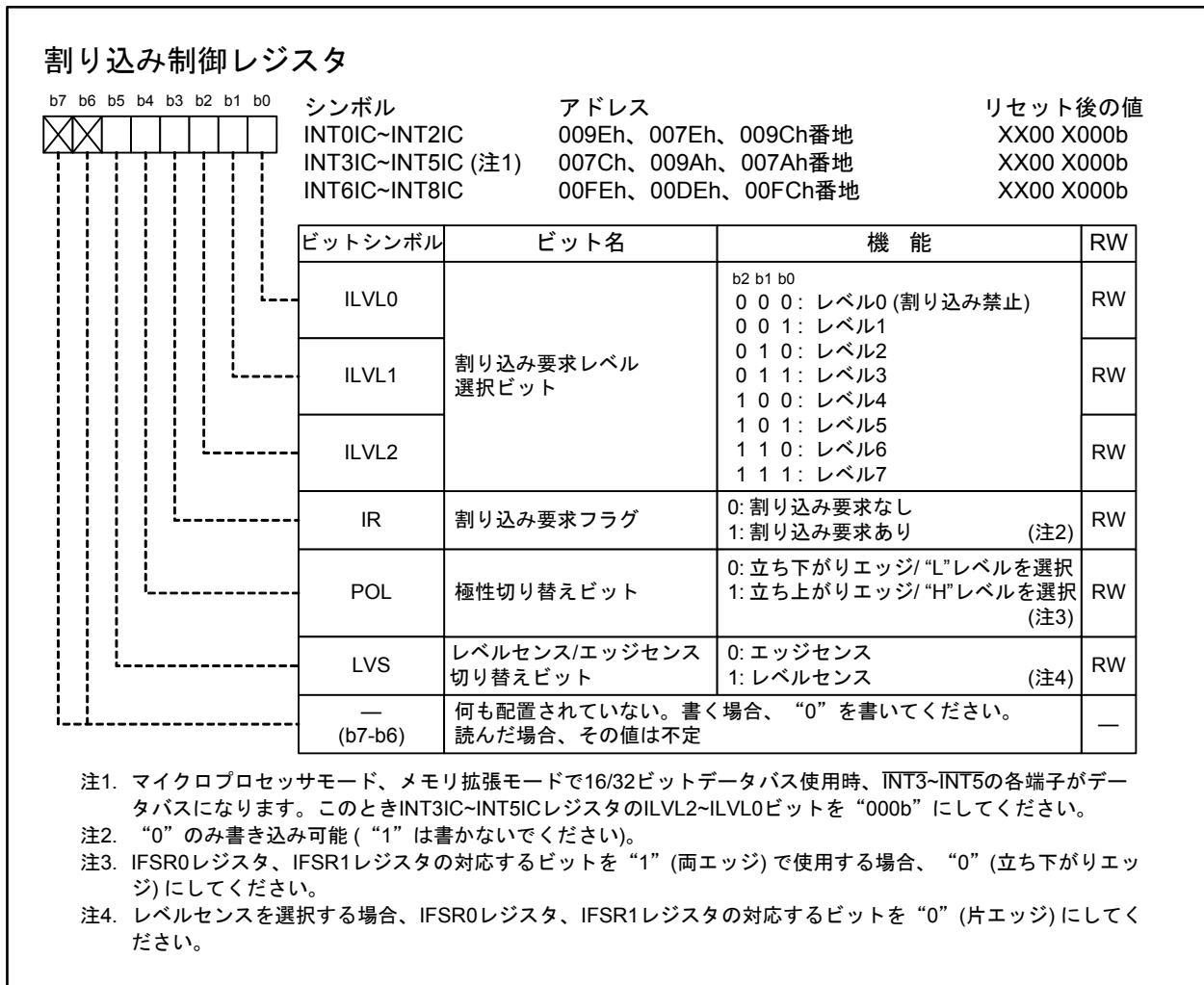


図 11.4 割り込み制御レジスタ (2)

ILVL2~ILVL0 ビット

ILVL2~ILVL0 ビットで割り込み要求レベルを選択します。割り込み要求レベルの値が大きいほど割り込みの優先順位が高くなります。

割り込み要求発生時、割り込み要求レベルはIPLと比較され、割り込みの要求レベルがIPLより大きい場合だけ、その割り込みが許可されます。したがって、ILVL2~ILVL0ビットに“000b”を設定すれば、その割り込みは禁止されます。

IR ビット

IRビットは割り込み要求が発生すると“1” (割り込み要求あり) になり、割り込み要求が受け付けられるまで保持されます。割り込み要求が受け付けられ対応する割り込みベクタに分岐した後、“0” (割り込み要求なし) になります。

IRビットはプログラムによって“0”にできます (“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止してから変更してください。

また、割り込み制御レジスタを変更した直後に割り込みを許可するときは、割り込み制御レジスタの書き込みが終了する前に割り込み許可フラグ(Iフラグ)が“1”(割り込み許可)にならないように、2つの命令の間にNOPを挿入する、割り込み制御レジスタをダミーリードするなどの対策を行ってください。

割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によってはIRビットが“1”(割り込み要求あり)にならないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを書き換えるようにしてください。

- AND
- OR
- BCLR
- BSET

IRビットを“0”(割り込み要求なし)にするとき、AND命令やBCLR命令では書き換え中の割り込み要求を保持するために、IRビットが“0”にならないことがあります。このことが問題になる場合は、MOV命令を使用してレジスタを書き換えてください。IRビットのみを“0”にしたい場合は、一旦メモリなどに値を読んだ後、メモリ上でANDやBCLRを実行し、メモリの値をMOV命令で書き戻してください。

11.6.3 復帰用割り込み優先レベル設定レジスタ

復帰用割り込み優先レベル設定レジスタ(RIPL1、RIPL2レジスタ)はウェイトモードやストップモードからの復帰に割り込みを使用するとき、高速割り込みを使用するときを使用します。

ウェイトモードやストップモードからの復帰については「8.7.2 ウェイトモード」、「8.7.3 ストップモード」を参照してください。高速割り込みについては「11.4 高速割り込み」を参照してください。

図 11.5 に RIPL1、RIPL2 レジスタを示します。

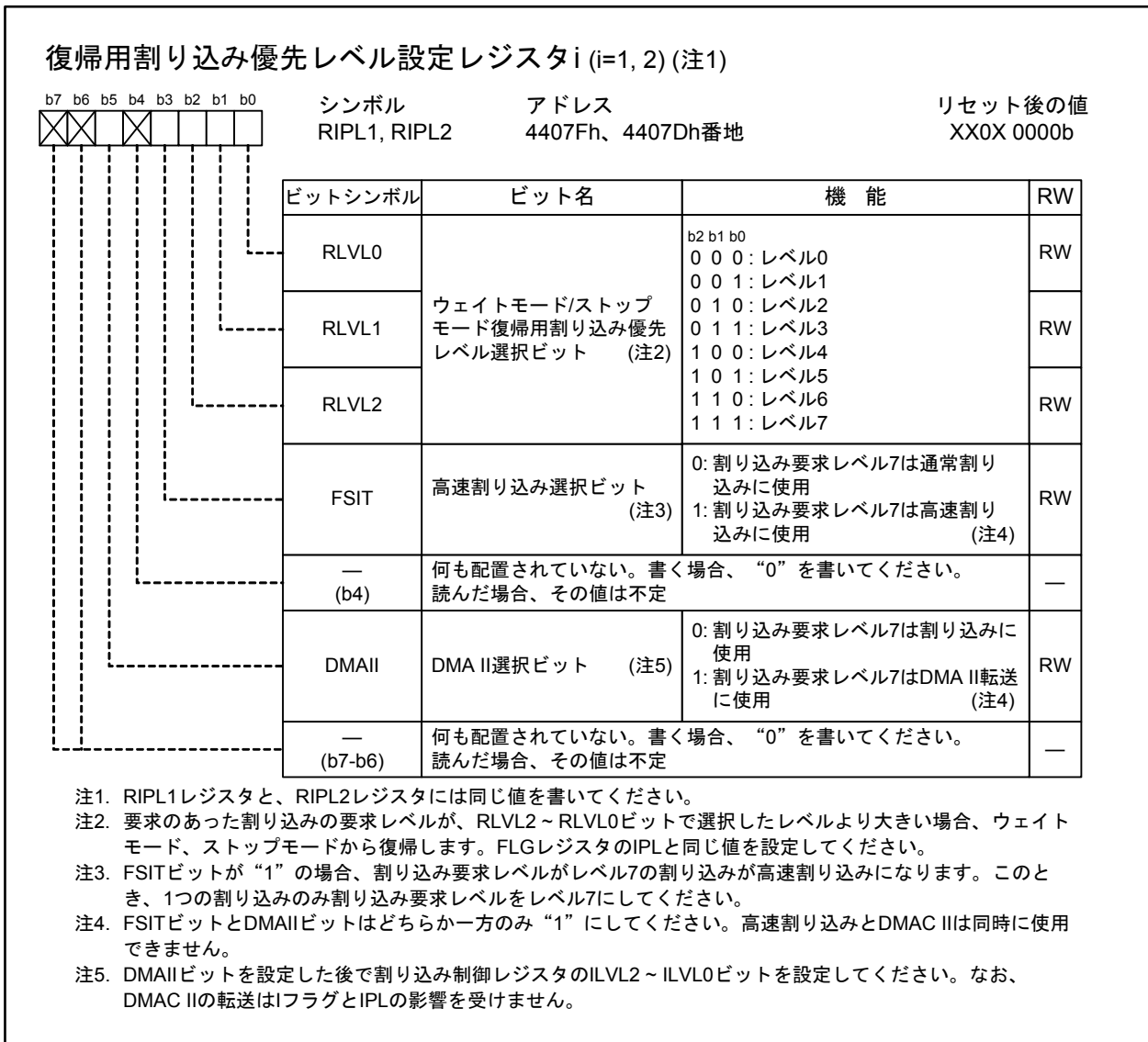


図 11.5 RIPL1、RIPL2 レジスタ

11.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込み処理ルーチンが実行されるまでの割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、RMPA、SCMPU、SIN、SMOVB、SMOVF、SMOVU、SOUT、SSTR、SUNTIL、SWHILEの各命令については、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、以下の動作を順次行います。

- (1) CPUは割り込みアクノリッジを返すことで、割り込みコントローラから割り込み情報(割り込み番号、割り込み要求レベル)を取得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタの内容をCPU内部の一時レジスタ(ユーザは使用できません)に退避します。
- (3) FLGレジスタの各ビットは以下のようになります。
 - Iフラグ(割り込み許可フラグ)=0(割り込み禁止)
 - Dフラグ(デバッグフラグ)=0(シングルステップ割り込み禁止)
 - Uフラグ(スタックポインタ指定フラグ)=0(ISPを指定)
- (4) CPU内部の一時レジスタ(ユーザは使用できません)の内容をスタックに退避します。高速割り込みの場合は、SVF(フラグ退避レジスタ)に退避します。
- (5) PC(プログラムカウンタ)の内容をスタック領域に退避します。高速割り込みの場合は、SVP(PC退避レジスタ)に退避します。
- (6) IPL(プロセッサ割り込み優先レベル)に、受け付けた割り込みの割り込み要求レベルを設定します。
- (7) 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。
- (8) 取得した割り込みベクタをPCに設定します。

割り込みシーケンス終了後は、割り込み処理ルーチンの先頭番地から命令を実行します。

11.6.5 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込み処理ルーチン内の最初の命令を実行するまでの時間を示します。図 11.6 に割り込み応答時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。

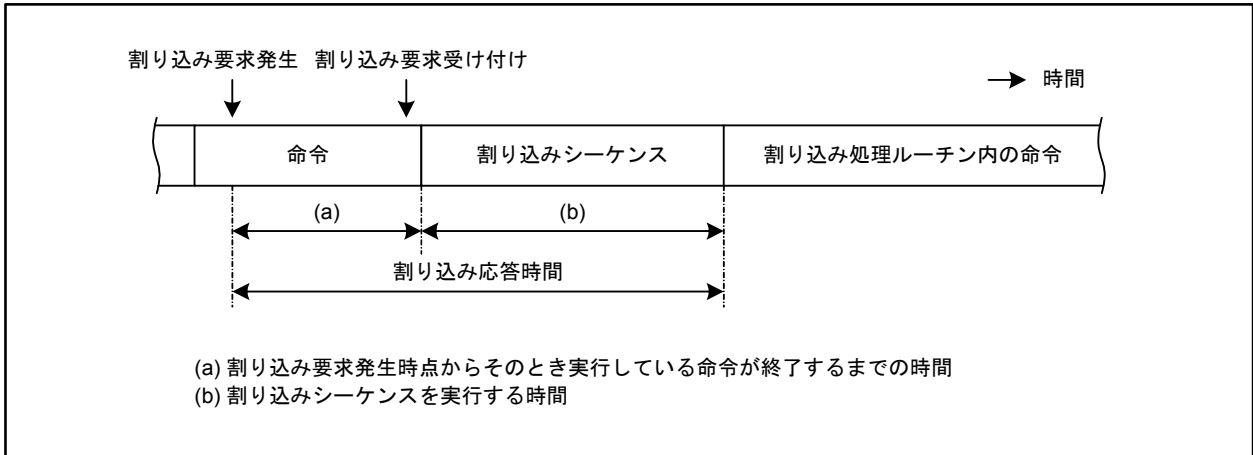


図 11.6 割り込み応答時間

(a) の時間は、実行している命令によって異なります。この時間が最も長くなる命令は、LDCTX、STCTX など、レジスタをスタックに一括退避/復帰する命令です。STCTX 命令の場合、退避するレジスタが10個のときで最短30サイクルで、スタック領域にウェイトがある場合さらに増加します。

(b) の時間は表 11.7 のとおりです。

表 11.7 割り込みシーケンス実行時間(注1)

割り込み	実行時間(CPUクロック換算)
周辺機能	13 + α サイクル(注2)
INT 命令	11 サイクル
NMI	10 サイクル
ウォッチドッグタイマ 発振停止検出 電圧低下検出	11 サイクル
未定義命令	12 サイクル
オーバフロー	12 サイクル
BRK 命令(可変ベクタテーブル)	16 サイクル
BRK 命令(固定ベクタテーブル)	19 サイクル
BRK2 命令	19 サイクル
高速割り込み	11 サイクル

注1. 割り込みベクタを、内部ROMの4の倍数となる番地に配置したときの値です。ただし高速割り込みは除きます。

注2. α は「SFRのウェイト数-2」です。

11.6.6 割り込み要求受け付け時のIPLの変化

周辺機能割り込み要求が受け付けられると、IPL (プロセッサ割り込み優先レベル)には受け付けた割り込みの割り込み要求レベルが設定されます。

ソフトウェア割り込みと特殊割り込みは、割り込み要求レベルを持ちません。これらの割り込み要求が受け付けられたときは、表 11.8に示す値がIPLに設定されます。

表 11.8 割り込み要求レベルを持たない割り込みとIPLの関係

割り込み要求レベルを持たない割り込み要因	設定されるIPLの値
NMI、ウォッチドッグタイマ、発振停止検出、電圧低下検出	7
リセット	0
ソフトウェア	変化しない

11.6.7 レジスタ退避

割り込みシーケンスでは、フラグレジスタ (FLG) とプログラムカウンタ (PC) の内容だけがスタック領域に退避されます。スタック領域へ退避する順番は、フラグレジスタ→プログラムカウンタの順です。図 11.7に割り込み要求受け付け前後のスタックの状態を示します。

高速割り込みの割り込みシーケンスでは、フラグレジスタ (FLG) はフラグ退避レジスタ (SVF) に、プログラムカウンタ (PC) は PC 退避レジスタ (SVP) に退避されます。

その他の必要なレジスタは、割り込み処理ルーチンの最初でソフトウェアによって退避してください。PUSHM 命令を用いると、1 命令でフレームベースレジスタ (FB) とスタックポインタ (SP) を除くすべてのレジスタを退避することができます。

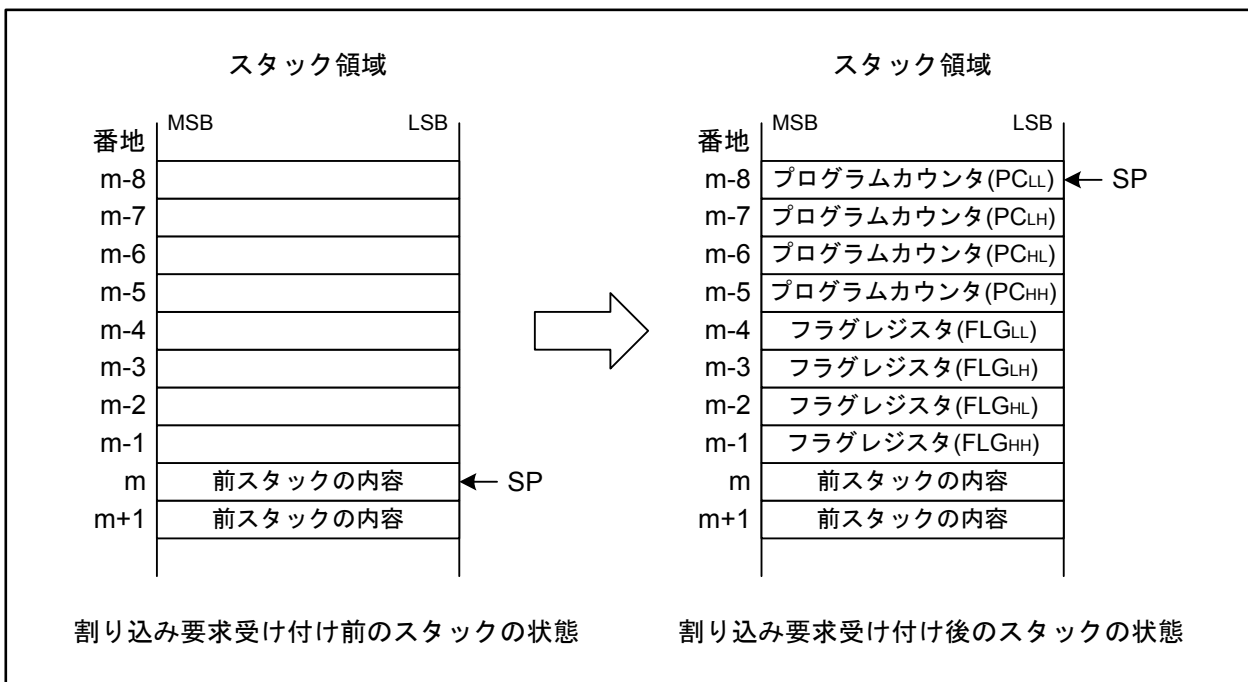


図 11.7 割り込み要求受け付け前後のスタックの状態

11.7 割り込み処理ルーチンからの復帰

割り込み処理ルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ (FLG)、およびプログラムカウンタ (PC) の内容が復帰されます。高速割り込みの場合は、割り込み処理ルーチンの最後でFREIT命令を実行すると、退避レジスタに退避されていた割り込みシーケンス直前のフラグレジスタ (FLG)、およびプログラムカウンタ (PC) の内容が復帰されます。その後、割り込み要求受け付け前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込み処理ルーチン内でソフトウェアによって退避したレジスタは、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み処理ルーチン内でレジスタバンクを切り替えた場合、REITまたはFREIT命令を実行すると、自動的に割り込みシーケンス直前のレジスタバンクに戻ります。

11.8 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先順位は、割り込み要求レベル選択ビット (ILVL2~ILVL0ビット)によって任意の優先順位を設定することができます。ただし、割り込み要求レベルが同じ設定の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。以下にハードウェアで設定されている割り込み優先順位を示します。

ウォッチドッグタイマ
リセット > 発振停止検出 > NMI > 周辺機能
電圧低下検出

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込み処理ルーチンへ分岐します。

11.9 割り込み優先順位判定回路

割り込み優先順位判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図 11.8に割り込み優先順位判定回路を示します。

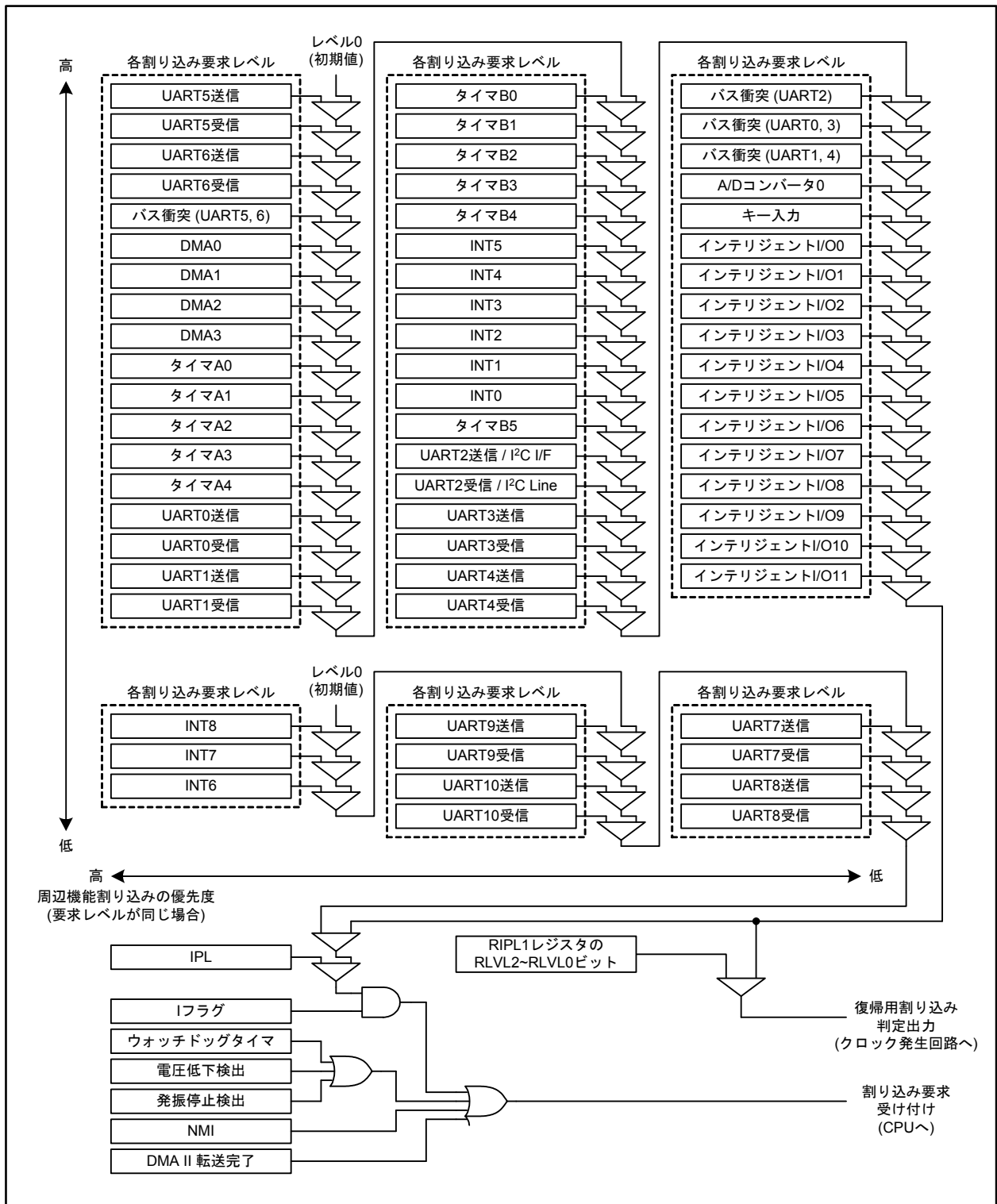


図 11.8 割り込み優先順位判定回路

11.10 外部割り込み

外部割り込みは $\overline{\text{INTi}}$ 端子($i=0\sim 8$)からの外部入力による割り込みです。入力信号のレベルで割り込みをかけるレベルセンスと、エッジで割り込みをかけるエッジセンスを INTiIC レジスタのLVSビットで選択できます。また、入力信号の極性を INTiIC レジスタのPOLビットで選択できます。

エッジセンスを使用する場合は、 $\overline{\text{INTj}}$ ($j=0\sim 5$)ではIFSR0レジスタのIFSR0jビットを、 $\overline{\text{INTm}}$ ($m=6\sim 8$)ではIFSR1レジスタのIFSR1nビット($n=m-6$)を“1”(両エッジ)にすると、外部割り込み入力の立ち上がり、立ち下がり両方のエッジで割り込み要求が発生します。IFSR0jビット、IFSR1nビットを“1”にする場合は、対応するPOLビットを“0”(立ち下がりエッジ)にしてください。

レベルセンスを使用する場合は、IFSR0jビット、IFSR1nビットを“0”(片エッジ)にしてください。 $\overline{\text{INTi}}$ 端子の入力レベルがPOLビットで選択したレベルのときに、 INTiIC レジスタのIRビットが“1”になります。その後、 $\overline{\text{INTi}}$ 端子が変化してもIRビットは“1”を保持し、 INTi 割り込みを受け付けるか、“0”を書くと“0”になります。

図 11.9にIFSR0レジスタを、図 11.10にIFSR1レジスタを示します。

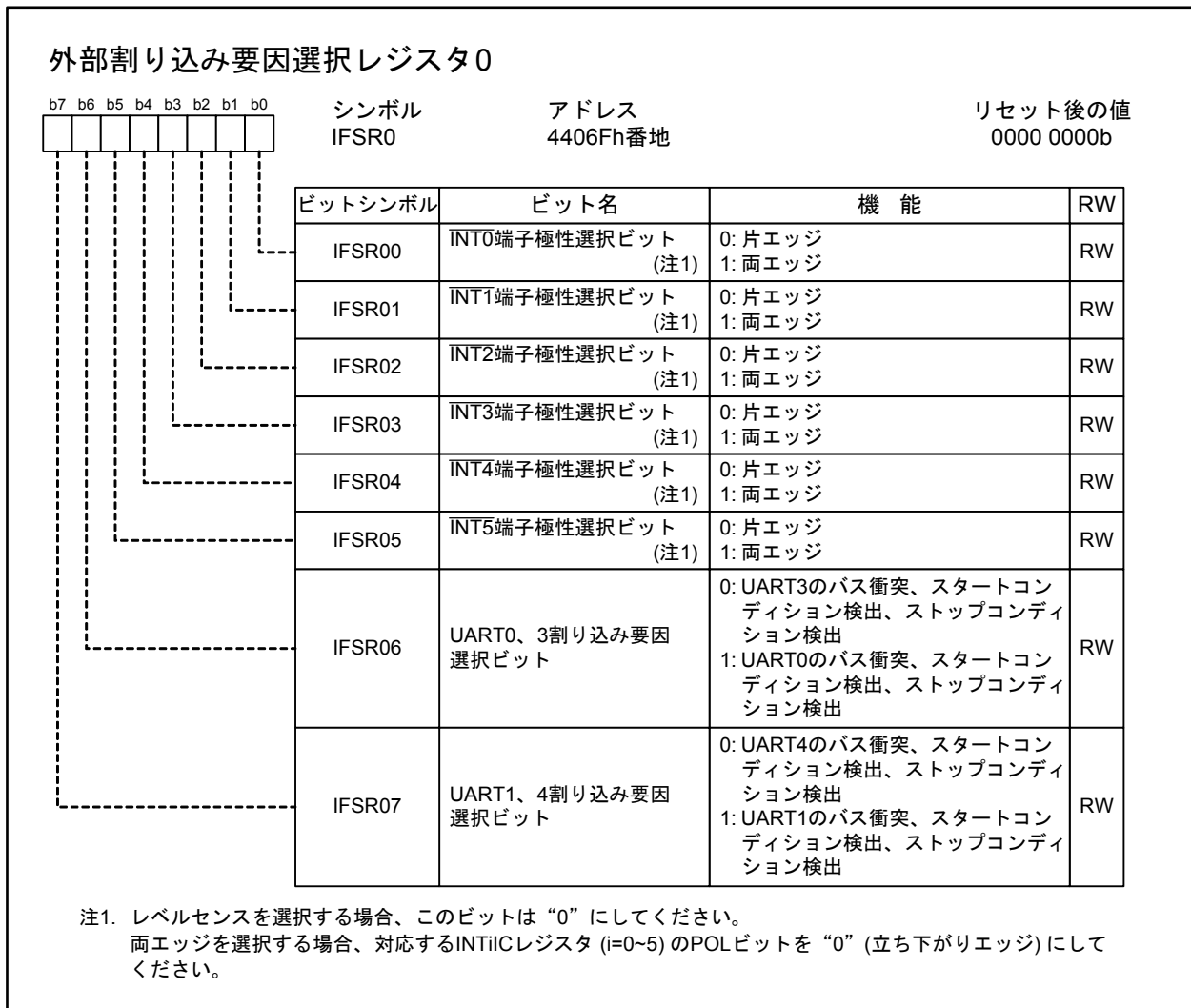


図 11.9 IFSR0レジスタ

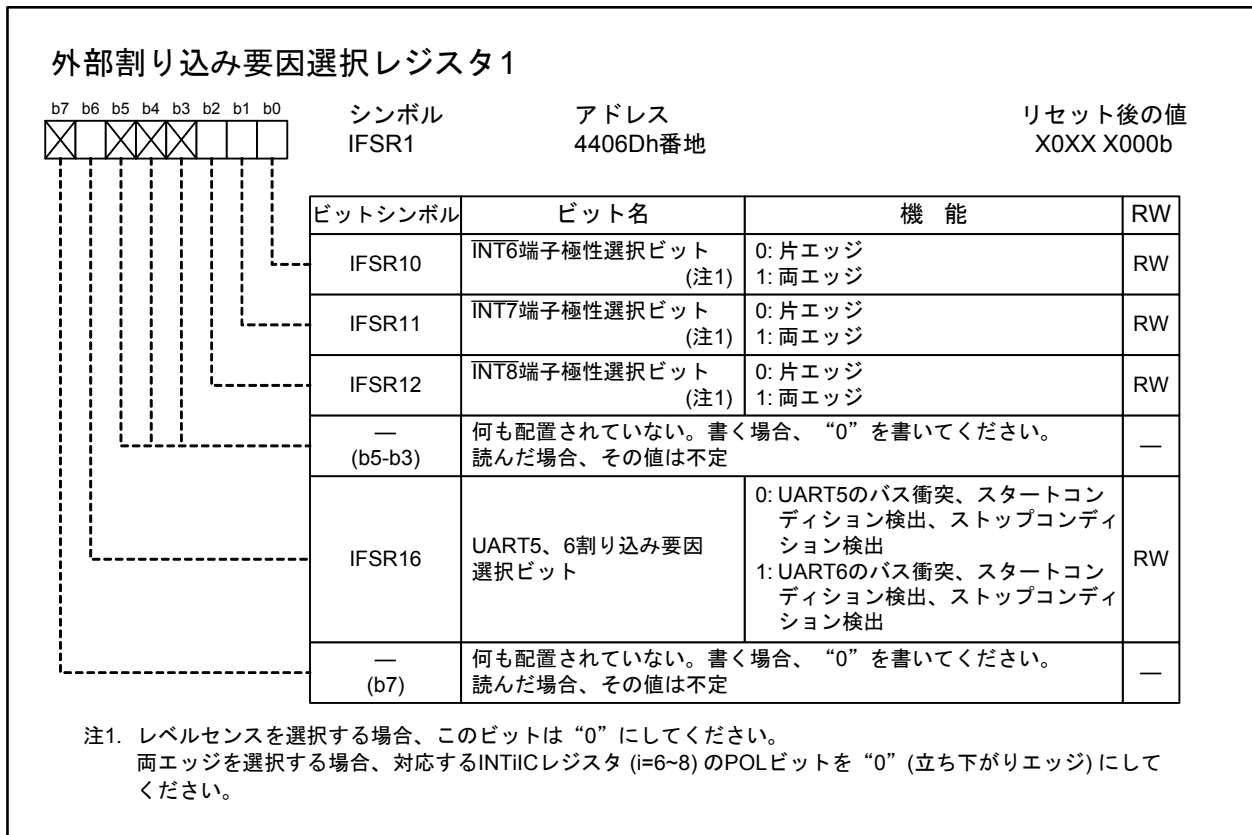


図 11.10 IFSR1 レジスタ

11.11 NMI

NMI (Non Maskable Interrupt) は、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したときに発生します。NMI はノンマスクابل割り込みです。リセット後、NMI は禁止の状態になっています。プログラムの先頭で割り込みスタックポインタ (ISP) を設定した後、PM2レジスタのPM24ビットを“1”にしてNMIを許可にしてください。なお、 $\overline{\text{NMI}}$ 端子はポートP8_5と端子を共用していますので、端子の入力レベルをP8レジスタのP8_5ビットで読むことができます。

注1. NMIの機能を使用しない場合は、PM2レジスタのPM24ビットを“0”から変更しないでください。

11.12 キー入力割り込み

P10_4~P10_7をすべて入力ポートとして設定すると、キー入力割り込み機能を使用できます。

P10_4~P10_7のいずれかの端子が“H”から“L”に変化すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。図 11.11にキー入力割り込みのブロック図を示します。なお、いずれかの端子に“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

キー入力割り込み機能を使用する場合、P10_4S~P10_7Sレジスタはすべて“00h”(ポート)に設定してください。また、PD10_4~PD10_7ビットもすべて“0”(入力)にしてください。これ以外の設定では、キー入力割り込み機能は使用できません。

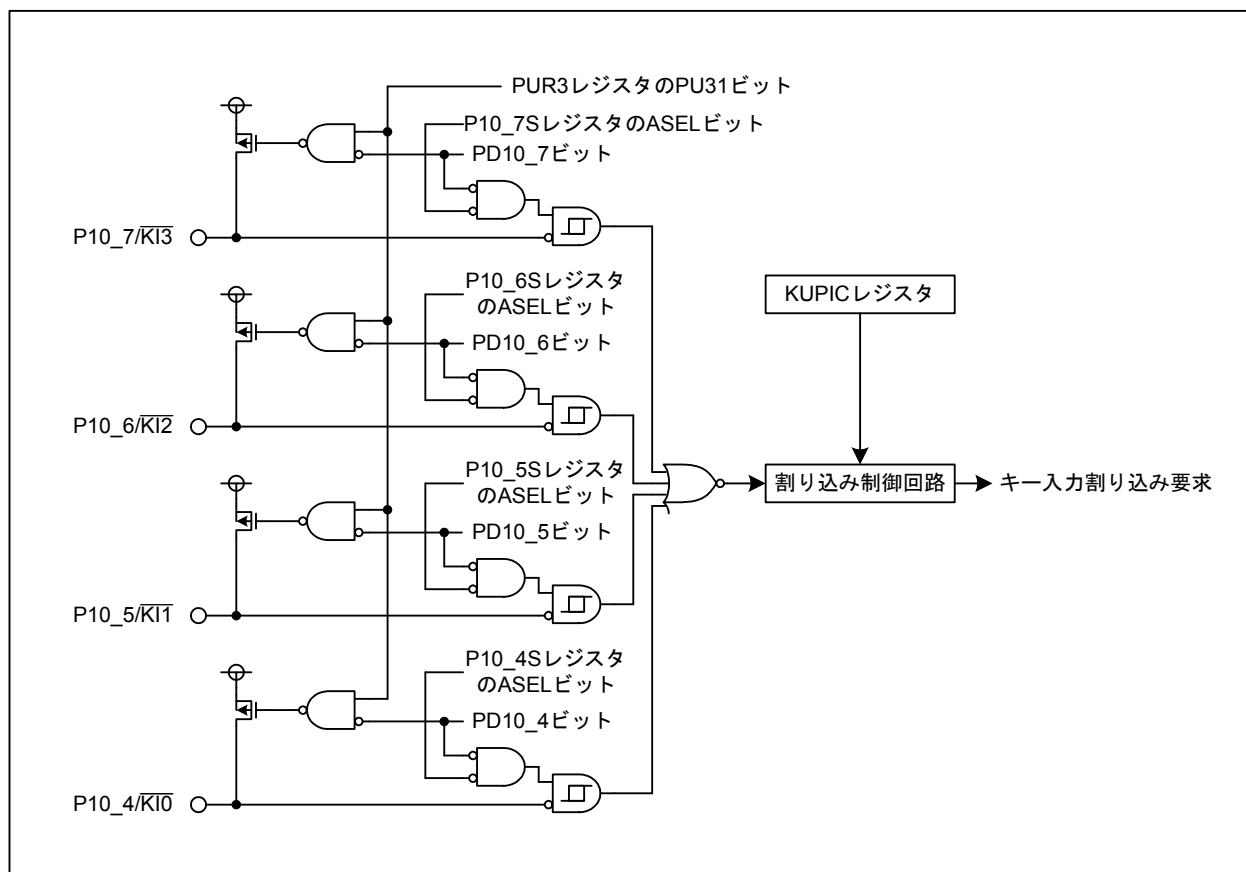


図 11.11 キー入力割り込みのブロック図

11.13 インテリジェント I/O 割り込み

インテリジェント I/O 割り込みは、ソフトウェア割り込み番号 44~55 に割り当てられています。

図 11.12 にインテリジェント I/O 割り込みのブロック図を、図 11.13 に IIOiR レジスタ (i=0~11) を、図 11.14 に IIOiE レジスタを示します。

インテリジェント I/O 割り込みを使用する場合は、IIOiE レジスタの IRLT ビットを“1” (割り込み要求を割り込みで使用する) にしてください。

インテリジェント I/O 割り込みには、多数の割り込み要因があります。インテリジェント I/O の各機能で割り込み要求が発生すると、IIOiR レジスタの該当するビットが“1” (割り込み要求あり) になります。このとき、IIOiE レジスタの対応するビットが“1” (割り込み許可) であれば、該当する IIOiC レジスタの IR ビットが“1” (割り込み要求あり) になります。

なお、IR ビットが“0”から“1”になった後、別の割り込み要因によって、IIOiR レジスタのビットが“1”になり、かつ、IIOiE レジスタの該当するビットが“1”だった場合は、IR ビットは“1”のまま変化しません。

また、IIOiR レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムで AND 命令または BCLR 命令を使用して“0”にしてください。これらのビットを“1”のままにしておくと、それ以降に成立した割り込み要求がすべて無効になります。

インテリジェント I/O 割り込みを DMA II の起動要因として使用する場合、IIOiE レジスタの IRLT ビットを“0” (割り込み要求を DMA、DMA II で使用) にし、IIOiE レジスタで使用する割り込み要求を許可にしてください。

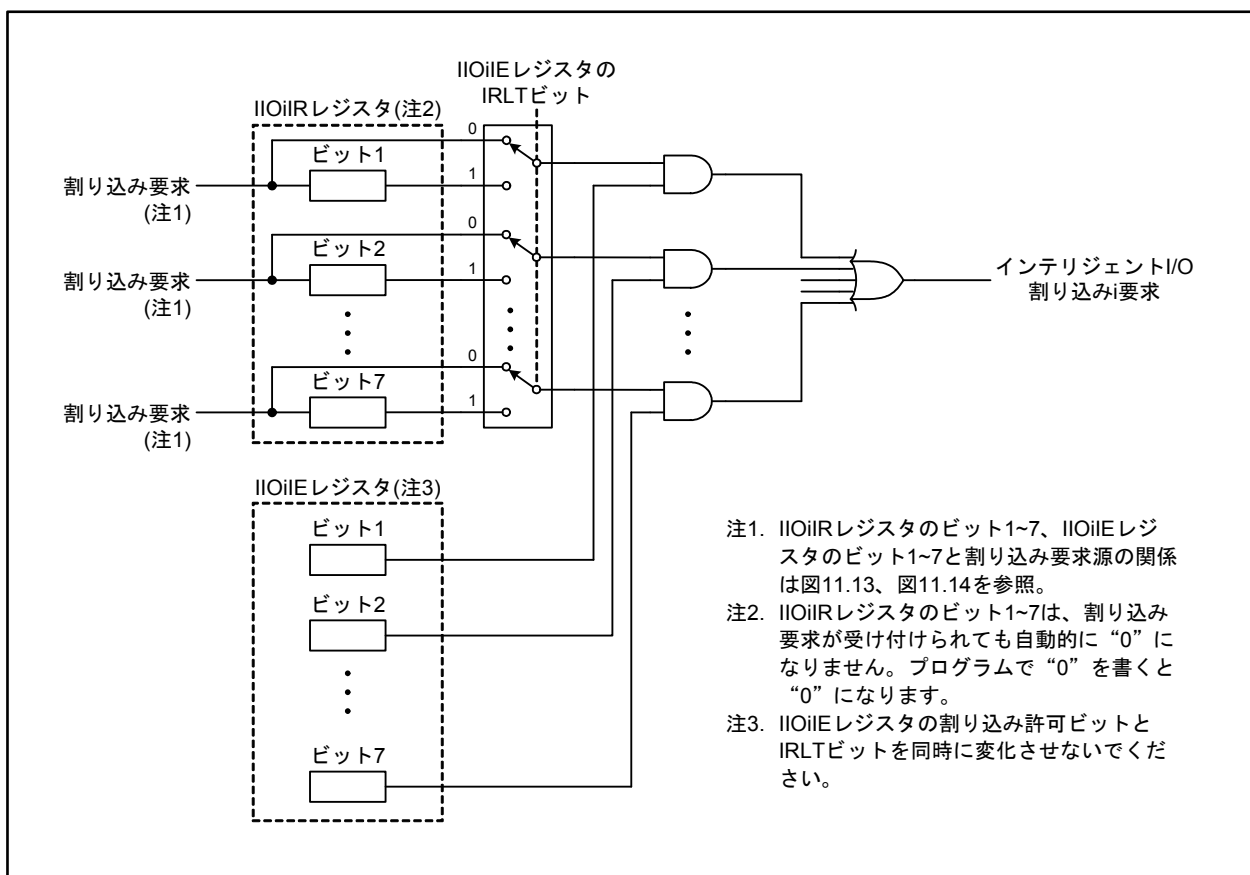


図 11.12 インテリジェント I/O 割り込みのブロック図 (i=0~11)

インテリジェントI/O割り込み要求レジスタ*i* (*i*=0~11)

シンボル	アドレス	リセット後の値
IIO0IR~IIO11IR	下表参照	??? ????1b (注1)

ビットシンボル	ビット名	機能	RW
— (b0)	何も配置されていない。読んだ場合、その値は“1”		—
(注2)	0: 割り込み要求なし 1: 割り込み要求あり	(注3)	RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり	(注3)	RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり	(注3)	RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり	(注3)	RW
— (b5)	予約ビット	“0” にしてください	RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり	(注3)	RW
(注2)	0: 割り込み要求なし 1: 割り込み要求あり	(注3)	RW

注1. 当該ビットに機能が割り当てられている場合、リセット後の値は“X” (不定)です。機能が割り当てられていない場合、リセット後の値は“0”です。

注2. ビットシンボルは下表を参照してください。

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。“0”を書く場合、AND命令またはBCLR命令を使用してください。

機能が割り当てられていない場合 (予約ビットの場合)、“0”にしてください。

インテリジェントI/O割り込み要求レジスタのビットシンボルー覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IR	00A0h	—	—	—	—	—	TM13R/PO13R	TM02R/PO02R	—
IIO1IR	00A1h	—	—	—	—	—	TM14R/PO14R	TM00R/PO00R	—
IIO2IR	00A2h	—	—	—	—	—	TM12R/PO12R	—	—
IIO3IR	00A3h	—	—	—	—	PO27R	TM10R/PO10R	TM03R/PO03R	—
IIO4IR	00A4h	—	—	—	BT1R	—	TM17R/PO17R	TM04R/PO04R	—
IIO5IR	00A5h	—	—	—	SIO2RR	—	PO21R	TM05R/PO05R	—
IIO6IR	00A6h	—	—	—	SIO2TR	—	PO20R	TM06R/PO06R	—
IIO7IR	00A7h	IE0R	—	—	BT0R	—	PO22R	TM07R/PO07R	—
IIO8IR	00A8h	IE1R	IE2R	—	BT2R	—	PO23R	TM11R/PO11R	—
IIO9IR	00A9h	—	INT6R	—	—	—	PO24R	TM15R/PO15R	—
IIO10IR	00AAh	—	INT7R	—	—	—	PO25R	TM16R/PO16R	—
IIO11IR	00ABh	—	INT8R	—	—	—	PO26R	TM01R/PO01R	—

BTxR: インテリジェントI/Oグループx ベースタイマ割り込み要求 (x=0~2)

TMxyR: インテリジェントI/Oグループx 時間計測機能 チャネルy 割り込み要求 (x=0, 1, y=0~7)

POxyR: インテリジェントI/Oグループx 波形生成機能 チャネルy 割り込み要求 (x=0~2, y=0~7)

IEzR: インテリジェントI/Oグループ2 IEBus通信機能割り込み要求 (z=0~2)

SIO2RR: インテリジェントI/Oグループ2 通信部受信割り込み要求

SIO2TR: インテリジェントI/Oグループ2 通信部送信割り込み要求

INTmR: INTm割り込み要求 (m=6~8)

図 11.13 IIO0IR~IIO11IR レジスタ

インテリジェントI/O割り込み許可レジスタ*i* (*i*=0~11)

シンボル	アドレス	リセット後の値
IIO0IE~IIO11IE	下表参照	0000 0000b

ビットシンボル	ビット名	機能	RW
IRLT	割り込み要求選択ビット (注2)	0: 割り込み要求をDMA、DMA IIで使用 1: 割り込み要求を割り込みで使用	RW
(注1)	0: IIOiRレジスタのビット1の割り込みを禁止 1: IIOiRレジスタのビット1の割り込みを許可		RW
(注1)	0: IIOiRレジスタのビット2の割り込みを禁止 1: IIOiRレジスタのビット2の割り込みを許可		RW
(注1)	0: IIOiRレジスタのビット3の割り込みを禁止 1: IIOiRレジスタのビット3の割り込みを許可		RW
(注1)	0: IIOiRレジスタのビット4の割り込みを禁止 1: IIOiRレジスタのビット4の割り込みを許可		RW
— (b5)	予約ビット	“0” にしてください	RW
(注1)	0: IIOiRレジスタのビット6の割り込みを禁止 1: IIOiRレジスタのビット6の割り込みを許可		RW
(注1)	0: IIOiRレジスタのビット7の割り込みを禁止 1: IIOiRレジスタのビット7の割り込みを許可		RW

注1. ビットシンボルは下表を参照してください。

注2. 割り込み要求を割り込みで使用する場合、IRLTビットを“1”にした後、ビット1~4、6、7を“1”にしてください。

インテリジェントI/O割り込み許可レジスタのビットシンボルー覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IE	00B0h	—	—	—	—	—	TM13E/PO13E	TM02E/PO02E	IRLT
IIO1IE	00B1h	—	—	—	—	—	TM14E/PO14E	TM00E/PO00E	IRLT
IIO2IE	00B2h	—	—	—	—	—	TM12E/PO12E	—	IRLT
IIO3IE	00B3h	—	—	—	—	PO27E	TM10E/PO10E	TM03E/PO03E	IRLT
IIO4IE	00B4h	—	—	—	BT1E	—	TM17E/PO17E	TM04E/PO04E	IRLT
IIO5IE	00B5h	—	—	—	SIO2RE	—	PO21E	TM05E/PO05E	IRLT
IIO6IE	00B6h	—	—	—	SIO2TE	—	PO20E	TM06E/PO06E	IRLT
IIO7IE	00B7h	IE0E	—	—	BT0E	—	PO22E	TM07E/PO07E	IRLT
IIO8IE	00B8h	IE1E	IE2E	—	BT2E	—	PO23E	TM11E/PO11E	IRLT
IIO9IE	00B9h	—	INT6E	—	—	—	PO24E	TM15E/PO15E	IRLT
IIO10IE	00BAh	—	INT7E	—	—	—	PO25E	TM16E/PO16E	IRLT
IIO11IE	00BBh	—	INT8E	—	—	—	PO26E	TM01E/PO01E	IRLT

BTxE: インテリジェントI/Oグループx ベースタイマ割り込み許可 (x=0~2)

TMxyE: インテリジェントI/Oグループx 時間計測機能 チャネルy 割り込み許可 (x=0, 1, y=0~7)

POxyE: インテリジェントI/Oグループx 波形生成機能 チャネルy 割り込み許可 (x=0~2, y=0~7)

IEzE: インテリジェントI/Oグループ2 IEBus通信機能割り込み許可 (z=0~2)

SIO2RE: インテリジェントI/Oグループ2 通信部受信割り込み許可

SIO2TE: インテリジェントI/Oグループ2 通信部送信割り込み許可

INTmE: INTm割り込み許可 (m=6~8)

図 11.14 IIO0IE~IIO11IE レジスタ

11.14 割り込み使用上の注意

11.14.1 ISPの設定

リセット後、ISP (割り込みスタックポインタ)は“00000000h”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なくなり、割り込みシーケンスの実行速度が速くなります。

特にNMIを使用する場合は割り込みを禁止できませんので、プログラムの先頭でISPを設定した後、PM2レジスタのPM24ビットを“1”(NMI有効)にしてください。

11.14.2 NMI

- NMIは、PM2レジスタのPM24ビットを“1”(NMI有効)にした後は禁止できません。NMIを使用しない場合はPM24ビットを“0”から変更しないでください。
- PM2レジスタのPM24ビットが“1”(NMI有効)の場合、P8レジスタのP8_5ビットは、 $\overline{\text{NMI}}$ 端子の状態を確認する用途にのみ使用できます。汎用ポートとしては使用できません。

11.14.3 外部割り込み

- $\overline{\text{INT}}_i$ 端子($i=0\sim 8$)に入力する信号には、電気的特性で規定する信号幅が必要です。規定の最小幅を下回った場合、割り込みが受け付けられない場合があります。
- INT_iIC レジスタ($i=0\sim 8$)のPOLビット、LVSビット、IFSR0レジスタのIFSR0 i ビット($i=0\sim 5$)、IFSR1レジスタのIFSR1 j ビット($j=i-6, i=6\sim 8$)で $\overline{\text{INT}}_i$ 端子の有効エッジや有効レベルを切り替えたとき、対応するIRビットが“1”(割り込み要求あり)になる場合があります。これらのビットは、 INT_iIC レジスタのILVL2 \sim ILVL0ビットを“000b”(割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応するIRビットを“0”(割り込み要求なし)にしてからILVL2 \sim ILVL0ビットを設定してください。
- $\overline{\text{INT}}_6\sim\overline{\text{INT}}_8$ 端子への割り込み入力信号は、IIO9IR \sim IIO11IRレジスタのINT6R \sim INT8Rビットにも接続されています。これらインテリジェントI/O割り込みを使用することで、 $\overline{\text{INT}}_6\sim\overline{\text{INT}}_8$ 端子への割り込み入力をウェイトモード/ストップモードからの復帰要因として使用できます。なお、インテリジェントI/O割り込みに割り付けられた外部割り込み信号は立ち下がりエッジのみが有効です。 INT_iIC レジスタ($i=0\sim 8$)のPOLビット、LVSビット、IFSR0レジスタのIFSR0 i ビット($i=0\sim 5$)、IFSR1レジスタのIFSR1 j ビット($j=i-6, i=6\sim 8$)の影響は受けません。

12. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知するために使用します。ウォッチドッグタイマは15ビットのカウントを持ち、周辺バスクロックまたはオンチップオシレータクロックをプリスケアラで分周したクロックによりダウンカウントします。

ウォッチドッグタイマがアンダフローしたときに、割り込み要求を発生させるか、リセットをかけるかをCM0レジスタのCM06ビットで選択できます。一度CM06ビットを“1”(リセット)にすると、プログラムでは“0”(ウォッチドッグタイマ割り込み)にできません。CM06ビットはリセットによってのみ“0”にできます。また、CM06ビットが“0”のときは、アンダフロー後にウォッチドッグタイマを停止させるか、リロードして動作を継続させるかをWDKレジスタのWDK5ビットで選択できます。

ウォッチドッグタイマにはプリスケアラが2つあります。1つはオンチップオシレータクロックを1、2、4、8分周するもの、もう1つは周辺バスクロックまたは1つ目のプリスケアラの出力を16、128分周するものです。1つ目のプリスケアラの分周比はWDKレジスタのWDK3~WDK2ビット、2つ目のプリスケアラのカウントソースはWDK4ビット、分周比はWDCレジスタのWDC7ビットで選択できます。

ウォッチドッグタイマのカウントソースはPM2レジスタのPM23ビットとWDKレジスタのWDK4ビットの組み合わせで選択できます。カウントソースに周辺バスクロックを選択した場合、MCUがウェイトモードまたはストップモードのとき、 $\overline{\text{HOLD}}$ 信号が“L”のときは、カウントを停止し、これらの状態が解除されると保持していた値からカウントを再開します。カウントソースにオンチップオシレータを選択し、カウントソース保護を選択した場合、ウォッチドッグタイマは停止しません。カウントソース保護はPM2レジスタのPM22ビットで設定できます。

ウォッチドッグタイマの周期は以下のように計算できます。ただし、WDTSレジスタに書き込むタイミングによっては、最大でプリスケアラ出力1周期分の誤差が生じます。

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周値(16または128)} \times 32768}{\text{周辺バスクロック周波数}}$$

または

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周値}((1, 2, 4, \text{または} 8) \times (1, 16, \text{または} 128)) \times 2048}{\text{オンチップオシレータクロック周波数}}$$

たとえば、カウントソースに周辺バスクロックを選択し、CPUクロック周波数が64 MHzで周辺バスクロック周波数がその1/2、プリスケアラの分周値が16の場合、ウォッチドッグタイマの周期は約16.4 msとなります。また、カウントソースにオンチップオシレータクロックを選択し、プリスケアラで8×128分周した場合、オンチップオシレータクロック周波数が125 kHzのときのウォッチドッグタイマの周期は約16.8 sとなります。

ウォッチドッグタイマは、WDTSレジスタへ書き込みを行ったとき、またはウォッチドッグタイマ割り込みの割り込み要求が発生したときに初期化されます。プリスケアラのカウント値はリセット後にのみ初期化されます。

あらかじめフラッシュメモリのOFS領域に値を設定しておくことで、リセット後自動的にウォッチドッグタイマを起動させることができます。OFS領域のWDTONビットが“1”の場合、リセット後はウォッチドッグタイマとプリスケアラのカウントは停止しており、WDTSレジスタに値を書くことによりカウントを開始します。WDTONビットが“0”の場合、リセット後からウォッチドッグタイマはカウントを開始しません。

図12.1にウォッチドッグタイマのブロック図、図12.2~図12.5にウォッチドッグタイマ関連のレジスタを示します。

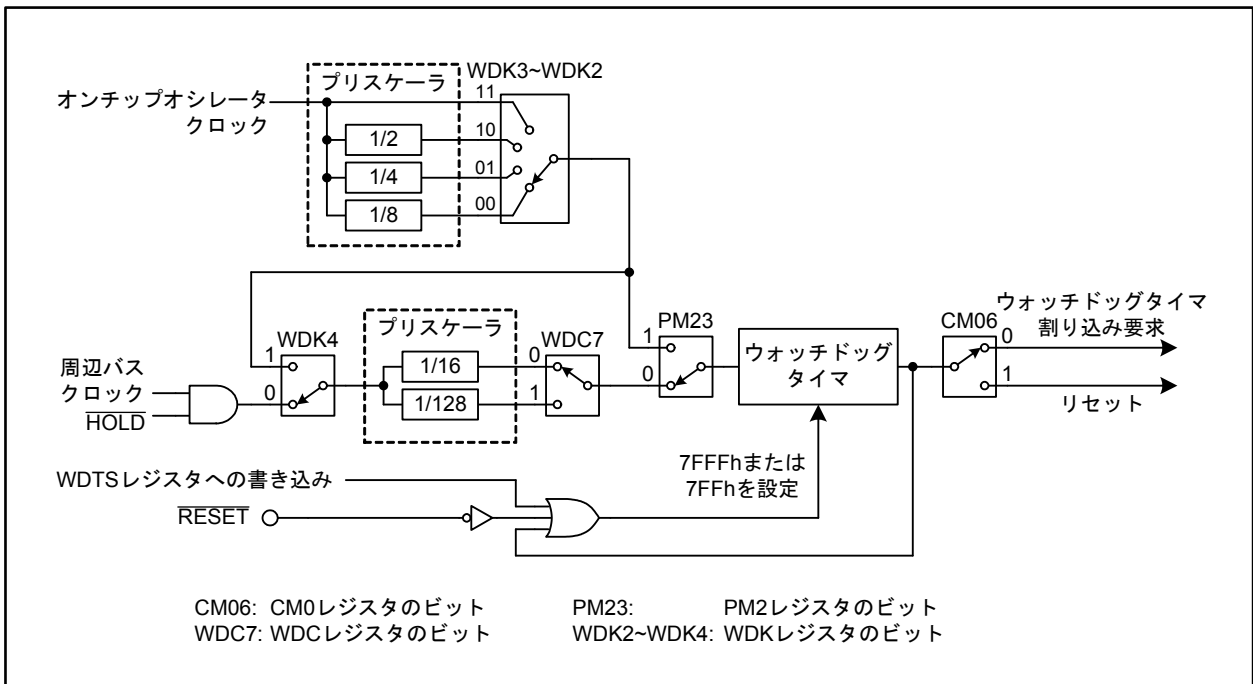


図 12.1 ウォッチドッグタイマのブロック図

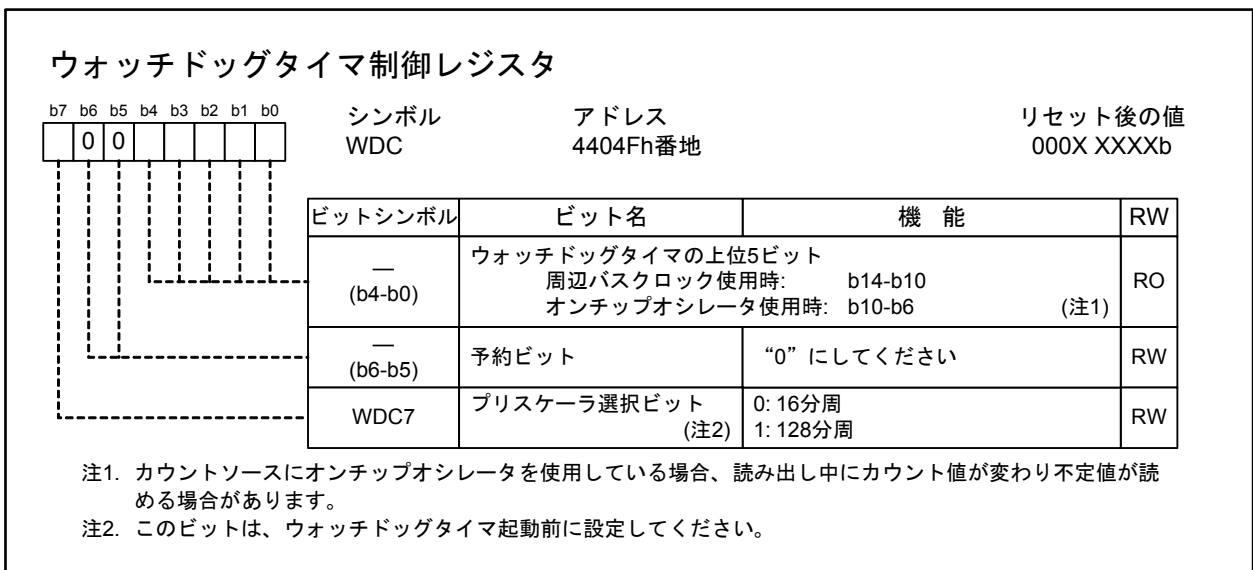


図 12.2 WDCレジスタ

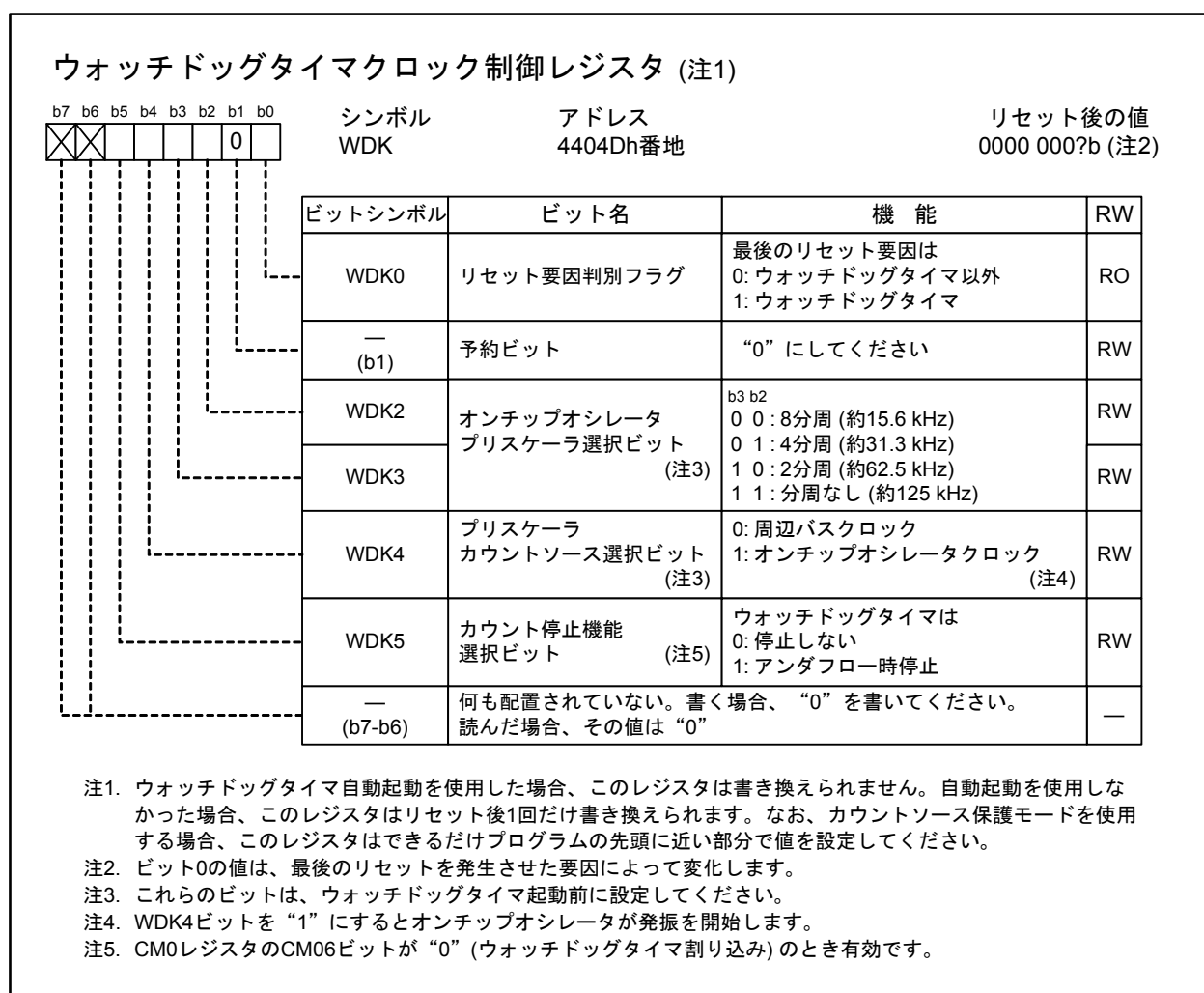


図 12.3 WDKレジスタ

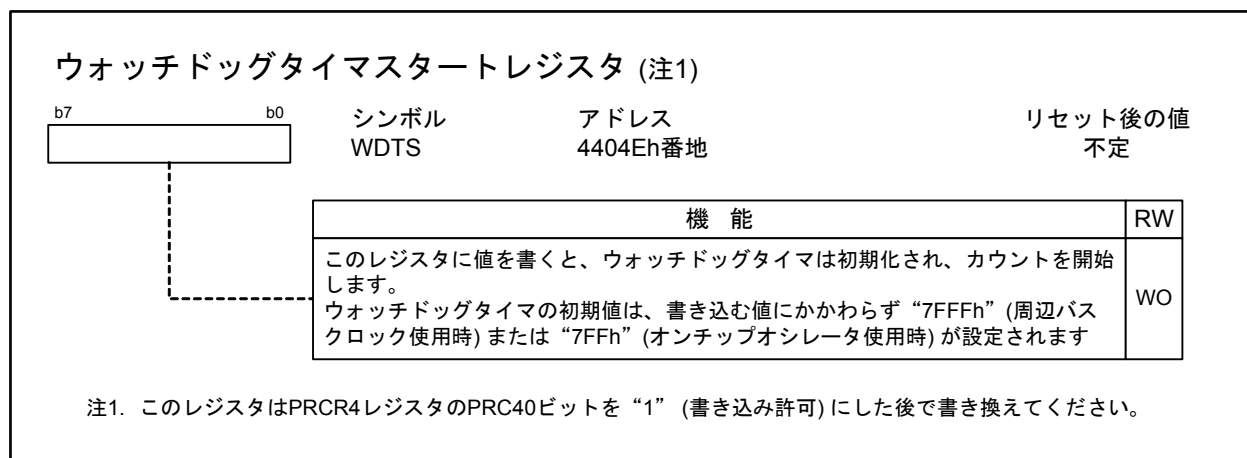


図 12.4 WDTSレジスタ

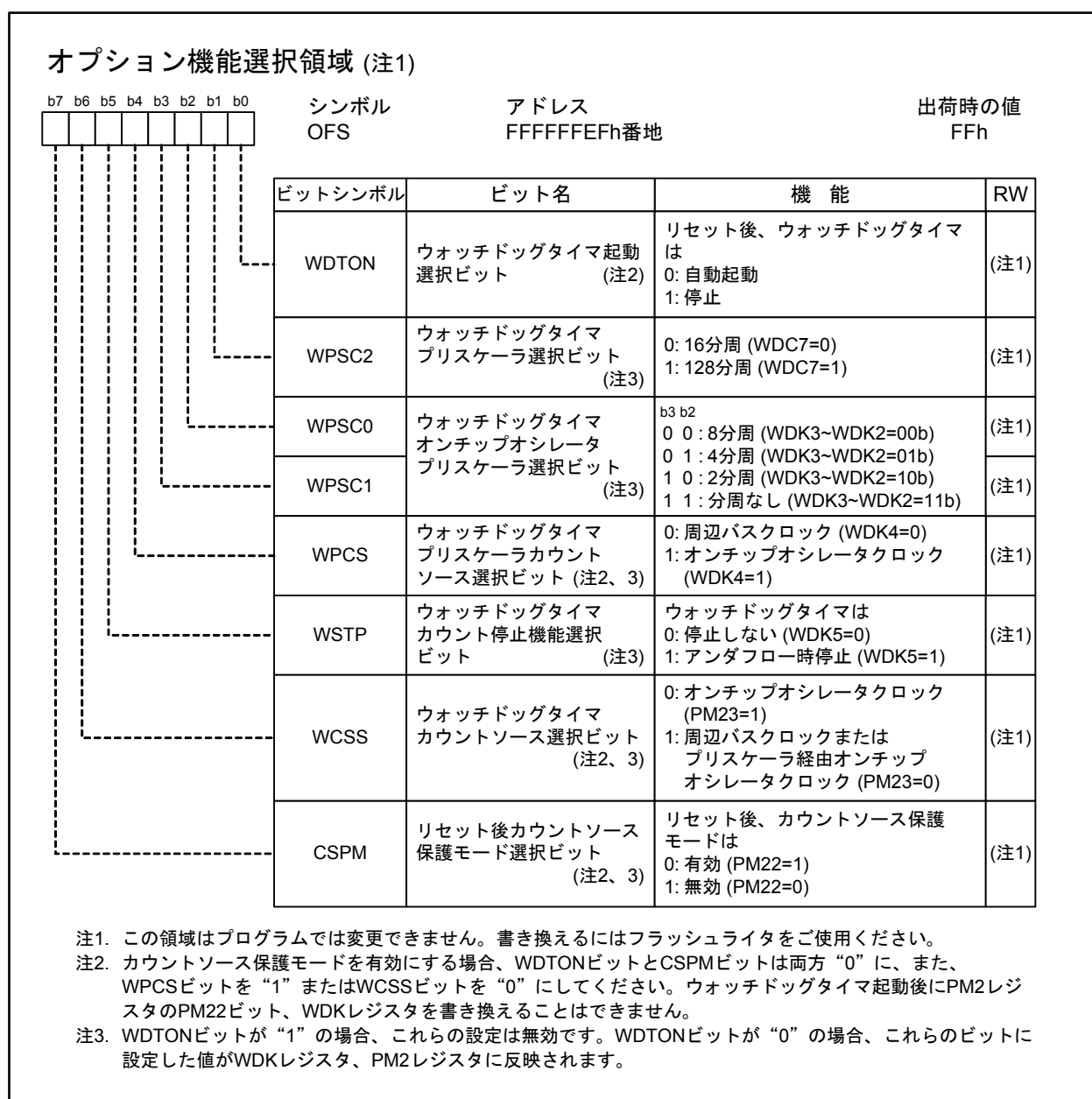


図 12.5 OFS 領域

13. DMAC

DMA (ダイレクト・メモリ・アクセス)とはCPUの命令を使用せずにデータを転送する機能で、DMAを行うコントローラをDMAC (DMA コントローラ)とといいます。

R32C/100シリーズではサイクルスチール方式のDMACを4チャンネル搭載しています。

DMACは、転送要求が1回発生するごとに、転送元番地から転送先番地へ8、16、または32ビットのデータを1回だけ転送します。CPUとDMACは同じバスを使用しますが、バスアクセスの優先順位はDMACのほうがCPUよりも高いため、転送要求が発生してから1回のデータ転送を完了するまでの動作を高速に行えます。

図 13.1にCPU内蔵DMAC関連レジスタ一覧、表 13.1にDMACの仕様、図 13.2~図 13.10にDMAC関連レジスタを示します。図 13.1に示すレジスタはCPU内部に配置されているため、アクセスする場合はLDC、STC命令を使用してください。

DMAC関連レジスタ	
DMD0	DMA0モードレジスタ
DMD1	DMA1モードレジスタ
DMD2	DMA2モードレジスタ
DMD3	DMA3モードレジスタ
DCT0	DMA0ターミナルカウントレジスタ
DCT1	DMA1ターミナルカウントレジスタ
DCT2	DMA2ターミナルカウントレジスタ
DCT3	DMA3ターミナルカウントレジスタ
DCR0	DMA0ターミナルカウントリロードレジスタ (注1)
DCR1	DMA1ターミナルカウントリロードレジスタ (注1)
DCR2	DMA2ターミナルカウントリロードレジスタ (注1)
DCR3	DMA3ターミナルカウントリロードレジスタ (注1)
DSA0	DMA0ソースアドレスレジスタ
DSA1	DMA1ソースアドレスレジスタ
DSA2	DMA2ソースアドレスレジスタ
DSA3	DMA3ソースアドレスレジスタ
DSR0	DMA0ソースアドレスリロードレジスタ (注1)
DSR1	DMA1ソースアドレスリロードレジスタ (注1)
DSR2	DMA2ソースアドレスリロードレジスタ (注1)
DSR3	DMA3ソースアドレスリロードレジスタ (注1)
DDA0	DMA0デスティネーションアドレスレジスタ
DDA1	DMA1デスティネーションアドレスレジスタ
DDA2	DMA2デスティネーションアドレスレジスタ
DDA3	DMA3デスティネーションアドレスレジスタ
DDR0	DMA0デスティネーションアドレスリロードレジスタ (注1)
DDR1	DMA1デスティネーションアドレスリロードレジスタ (注1)
DDR2	DMA2デスティネーションアドレスリロードレジスタ (注1)
DDR3	DMA3デスティネーションアドレスリロードレジスタ (注1)

注1. リピート転送で使用するレジスタです。単転送では使用しません。

図 13.1 CPU内蔵DMAC関連レジスタ一覧

表 13.1 DMAC仕様(i=0~3)

項目		仕様
チャンネル数		4チャンネル
方式		サイクルスチール方式
転送空間		64Mバイト(00000000h~01FFFFFFhおよびFE000000h~FFFFFFFh)の任意の空間から64Mバイトの任意の空間へデータ転送
最大転送バイト数		64Mバイト(32ビット転送時)、32Mバイト(16ビット転送時)、16Mバイト(8ビット転送時)
DMA起動要因(注1)		INT0~INT3、INT6~INT8端子への入力の立ち下がりエッジまたは両エッジ タイマA0~タイマA4割り込み要求 タイマB0~タイマB5割り込み要求 UART0~UART10送信と受信割り込み要求 A/D変換割り込み要求 インテリジェントI/O割り込み要求 マルチマスタI ² Cバス割り込み要求 ソフトウェアトリガ
チャンネル優先順位		DMA0>DMA1>DMA2>DMA3 (DMA0が最優先)
転送サイズ		8ビット、16ビット、32ビット
アドレッシング		インクリメント、または固定
転送モード	単転送	DCTiレジスタが“00000000h”になると転送が終了する
	リピート転送	DCTiレジスタが“00000000h”になるとDCRiレジスタの値がDCTiレジスタにリロードされ、DMA転送を継続する
DMA転送完了割り込み要求発生タイミング		DCTiレジスタが“00000001h”から“00000000h”になるとき
DMA転送開始	単転送	DCTiレジスタに“00000001h”以上の値を設定し、DMDiレジスタのMDi1~MDi0ビットを“01b”(単転送)にした後、DMA転送要求が発生すると開始
	リピート転送	DCTiレジスタに“00000001h”以上の値を設定し、MDi1~MDi0ビットを“11b”(リピート転送)にした後、DMA転送要求が発生すると開始
DMA転送停止	単転送	MDi1~MDi0ビットを“00b”(DMA転送禁止)にする
	リピート転送	MDi1~MDi0ビットを“00b”(DMA転送禁止)にする
DCTiレジスタ、DSAiレジスタ、DDAiレジスタへのリロードのタイミング		リピート転送モードでDCTiレジスタが“00000001h”から“00000000h”になるとき
DMA転送サイクル数		最小3サイクル

注1. DMA転送は、各割り込みに影響を与えません。

DMA転送要求には、DMiSL2レジスタ (i=0~3)のDSRビットへの書き込みによるソフトウェアトリガのほか、DMiSLレジスタのDSEL4~DSEL0ビット、DMiSL2レジスタのDSEL24~DSEL20ビットで指定した各機能から出力される割り込み要求を使用しています。ただし、DMA転送要求は割り込み要求とは異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でも受け付けられます。また、DMA転送は割り込みに影響を与えませんので、DMA転送によって割り込み制御レジスタのIRビットが変化することはありません。

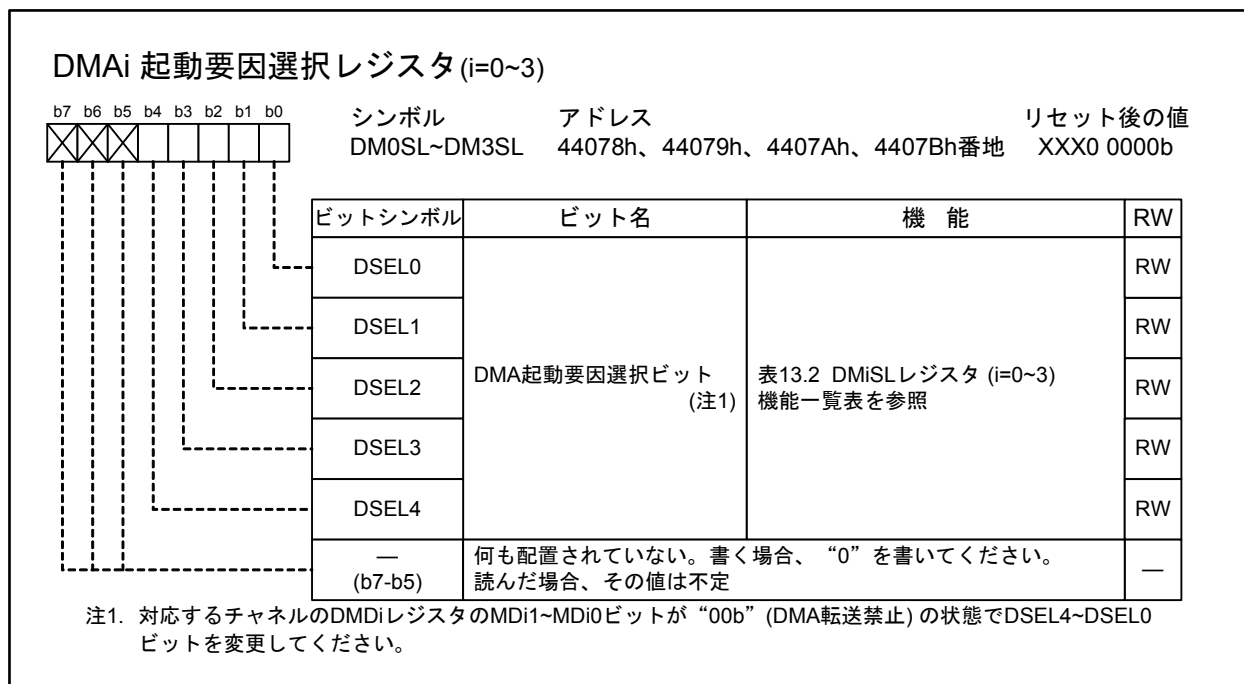


図 13.2 DM0SL~DM3SL レジスタ

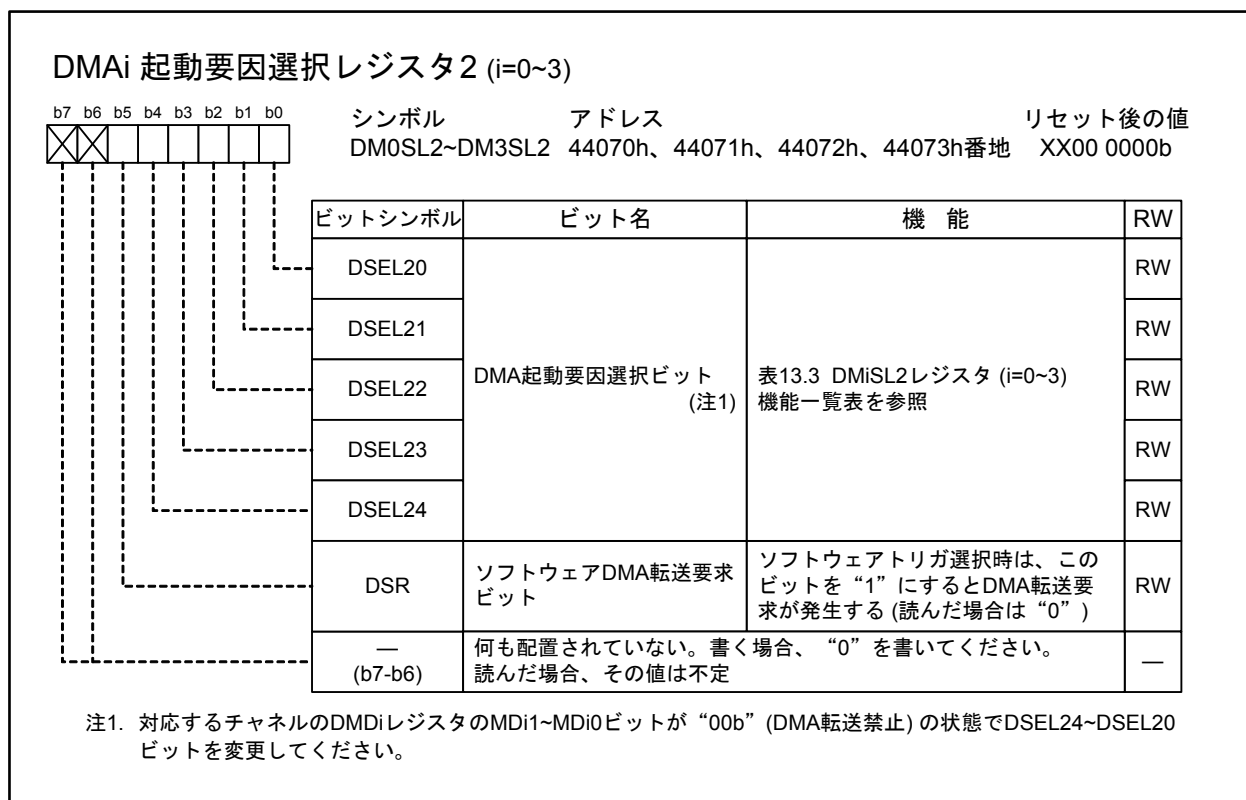


図 13.3 DM0SL2~DM3SL2 レジスタ

表 13.2 DMiSL レジスタ (i=0~3)機能一覧表

設定値 b4 b3 b2 b1 b0	DMA起動要因				
	DMA0	DMA1	DMA2	DMA3	
0 0 0 0 0	起動要因選択レジスタ2から選択				
0 0 0 0 1	INT0立ち下がリエッジ	INT1立ち下がリエッジ	INT2立ち下がリエッジ	INT3立ち下がリエッジ(注1)	(注2)
0 0 0 1 0	INT0両エッジ	INT1両エッジ	INT2両エッジ	INT3両エッジ(注1)	(注2)
0 0 0 1 1	タイマA0割り込み要求				
0 0 1 0 0	タイマA1割り込み要求				
0 0 1 0 1	タイマA2割り込み要求				
0 0 1 1 0	タイマA3割り込み要求				
0 0 1 1 1	タイマA4割り込み要求				
0 1 0 0 0	タイマB0割り込み要求				
0 1 0 0 1	タイマB1割り込み要求				
0 1 0 1 0	タイマB2割り込み要求				
0 1 0 1 1	タイマB3割り込み要求				
0 1 1 0 0	タイマB4割り込み要求				
0 1 1 0 1	タイマB5割り込み要求				
0 1 1 1 0	UART0送信割り込み要求				
0 1 1 1 1	UART0受信またはACK割り込み要求(注3)				
1 0 0 0 0	UART1送信割り込み要求				
1 0 0 0 1	UART1受信またはACK割り込み要求(注3)				
1 0 0 1 0	UART2送信割り込み要求またはI ² Cバスインタフェース割り込み要求(注4)				
1 0 0 1 1	UART2受信またはACK割り込み要求(注3)またはI ² Cバスライン割り込み要求(注4)				
1 0 1 0 0	UART3送信割り込み要求		UART5送信割り込み要求		
1 0 1 0 1	UART3受信またはACK割り込み要求(注3)		UART5受信またはACK割り込み要求(注3)		
1 0 1 1 0	UART4送信割り込み要求		UART6送信割り込み要求		
1 0 1 1 1	UART4受信またはACK割り込み要求(注3)		UART6受信またはACK割り込み要求(注3)		
1 1 0 0 0	A/D0割り込み要求				
1 1 0 0 1	インテリジェントI/O 割り込み0要求	インテリジェントI/O 割り込み7要求	インテリジェントI/O 割り込み2要求	インテリジェントI/O 割り込み9要求	
1 1 0 1 0	インテリジェントI/O 割り込み1要求	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求	インテリジェントI/O 割り込み10要求	
1 1 0 1 1	インテリジェントI/O 割り込み2要求	インテリジェントI/O 割り込み9要求	インテリジェントI/O 割り込み4要求	インテリジェントI/O 割り込み11要求	
1 1 1 0 0	インテリジェントI/O 割り込み3要求	インテリジェントI/O 割り込み10要求	インテリジェントI/O 割り込み5要求	インテリジェントI/O 割り込み0要求	
1 1 1 0 1	インテリジェントI/O 割り込み4要求	インテリジェントI/O 割り込み11要求	インテリジェントI/O 割り込み6要求	インテリジェントI/O 割り込み1要求	
1 1 1 1 0	インテリジェントI/O 割り込み5要求	インテリジェントI/O 割り込み0要求	インテリジェントI/O 割り込み7要求	インテリジェントI/O 割り込み2要求	
1 1 1 1 1	インテリジェントI/O 割り込み6要求	インテリジェントI/O 割り込み1要求	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求	

注1. メモリ拡張モード、マイクロプロセッサモードでINT3端子がデータバスとなる場合、DMA3の起動要因にINT3端子入力は使用できません。

注2. INTi端子(i=0~3)への入力の立ち下がリエッジと両エッジがDMA起動要因になります。外部割り込み(INTiICレジスタのPOLビット、LVSビット、IFSR0レジスタ)の影響を受けません。また、外部割り込みへ影響を与えません。

注3. UARTi受信(i=0~6)とACKの切り替えは、UiSMRレジスタとUiSMR2レジスタによって行います。

注4. UART2とI²Cバスインタフェースのどちらを使用するかは、I2CMRレジスタのI2CENビットで選択してください。

表 13.3 DMiSL2 レジスタ (i=0~3) 機能一覧表

設定値 b4 b3 b2 b1 b0	DMA起動要因				
	DMA0	DMA1	DMA2	DMA3	
0 0 0 0 0	ソフトウェアトリガ				
0 0 0 0 1	INT6立ち下がリエッジ	INT7立ち下がリエッジ	INT8立ち下がリエッジ	予約	(注1)
0 0 0 1 0	INT6両エッジ	INT7両エッジ	INT8両エッジ	予約	(注1)
0 0 0 1 1	予約				
0 0 1 0 0	予約				
0 0 1 0 1	予約				
0 0 1 1 0	予約				
0 0 1 1 1	予約				
0 1 0 0 0	予約				
0 1 0 0 1	予約				
0 1 0 1 0	予約				
0 1 0 1 1	予約				
0 1 1 0 0	予約				
0 1 1 0 1	予約				
0 1 1 1 0	予約				
0 1 1 1 1	予約				
1 0 0 0 0	予約				
1 0 0 0 1	予約				
1 0 0 1 0	予約				
1 0 0 1 1	予約				
1 0 1 0 0	予約				
1 0 1 0 1	予約				
1 0 1 1 0	予約				
1 0 1 1 1	予約				
1 1 0 0 0	UART7送信割り込み要求				
1 1 0 0 1	UART7受信割り込み要求				
1 1 0 1 0	UART8送信割り込み要求				
1 1 0 1 1	UART8受信割り込み要求				
1 1 1 0 0	UART9送信割り込み要求				
1 1 1 0 1	UART9受信割り込み要求				
1 1 1 1 0	UART10送信割り込み要求				
1 1 1 1 1	UART10受信割り込み要求				

注1. INT_i端子 (i=6~8) への入力の立ち下がリエッジと両エッジがDMA起動要因になります。外部割り込み (INT_iICレジスタのPOLビット、LVSビット、IFSR1レジスタ) の影響を受けません。また、外部割り込みへ影響を与えません。

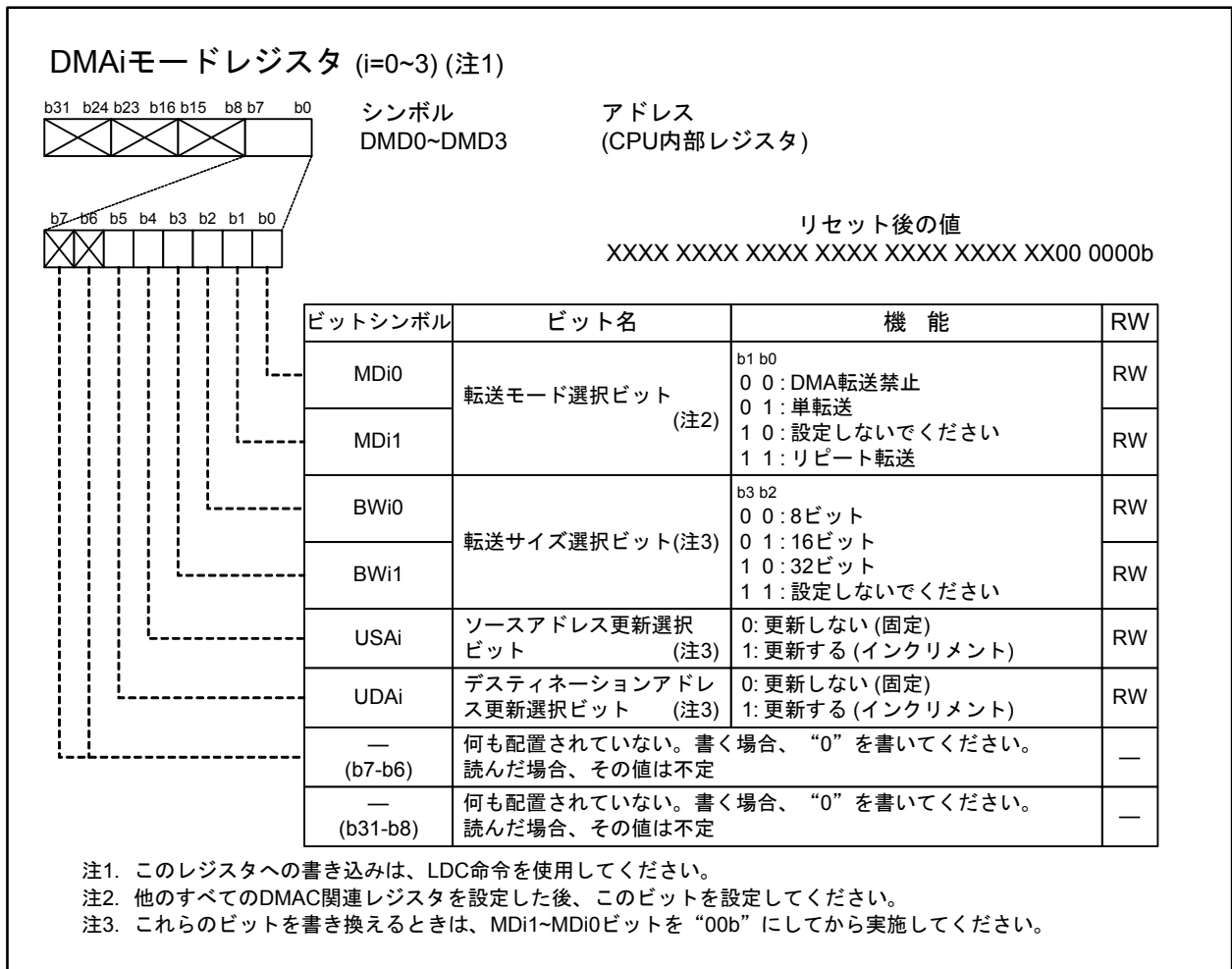


図 13.4 DMD0~DMD3 レジスタ

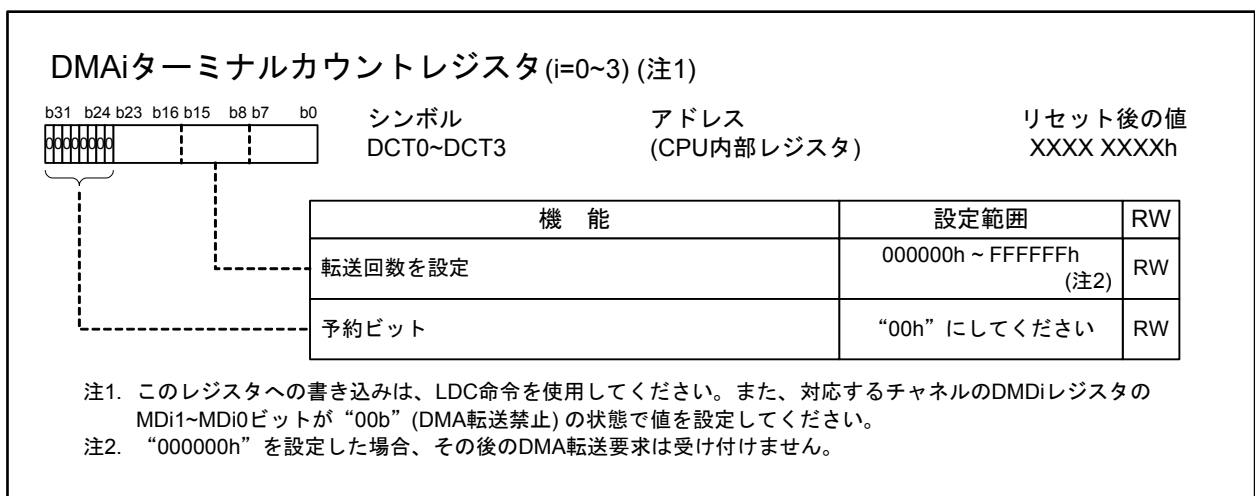


図 13.5 DCT0~DCT3 レジスタ

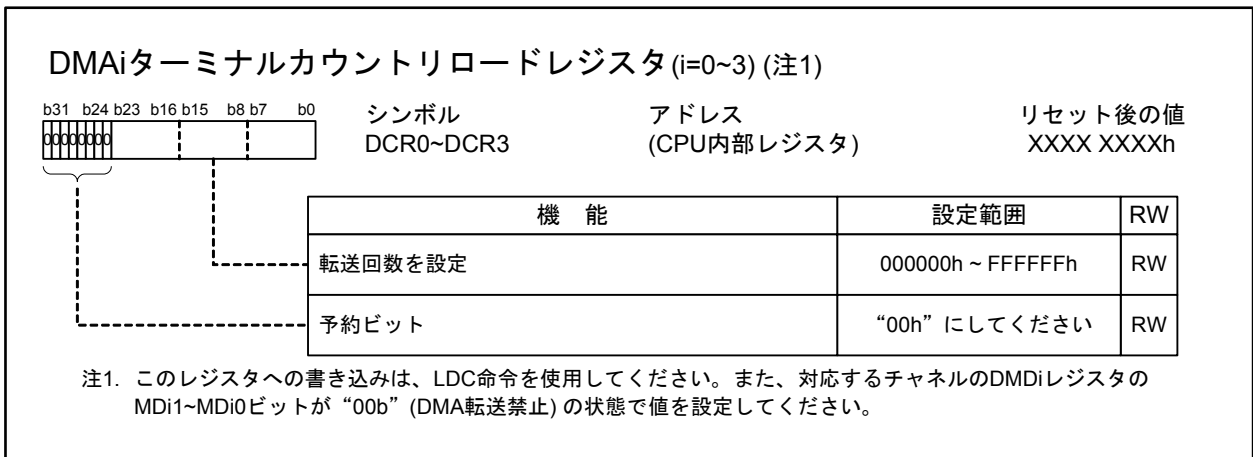


図 13.6 DCR0~DCR3 レジスタ

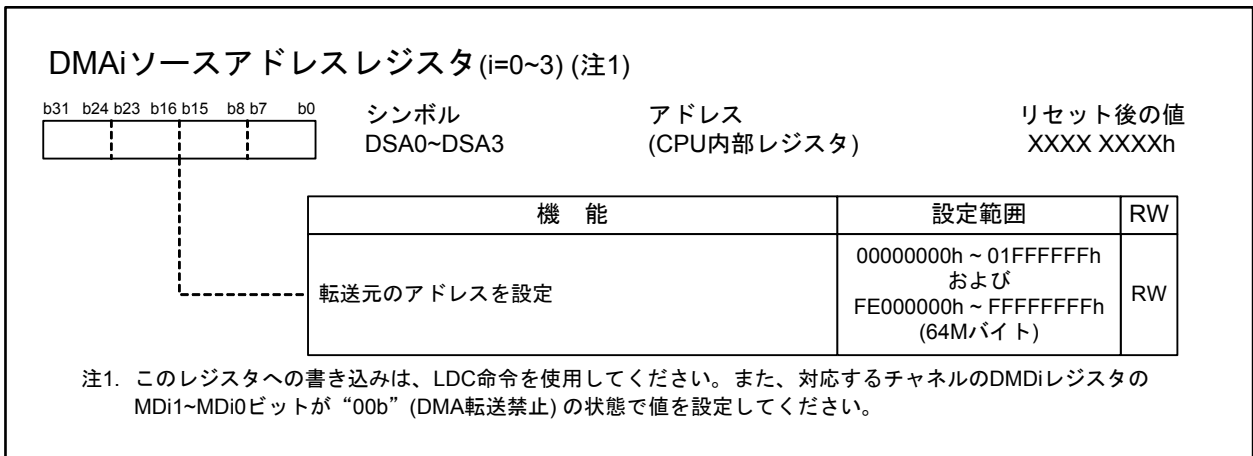


図 13.7 DSA0~DSA3 レジスタ

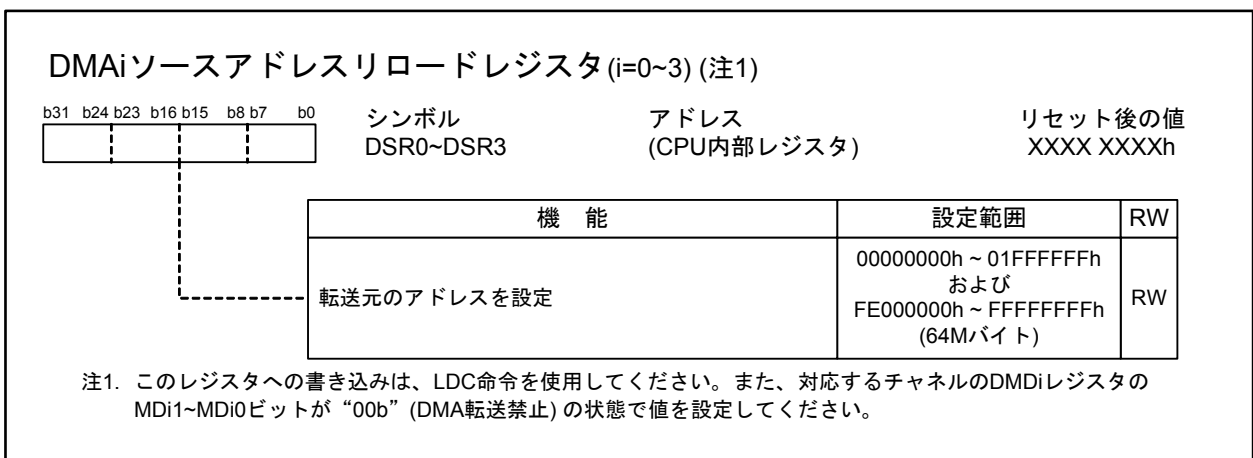


図 13.8 DSR0~DSR3 レジスタ

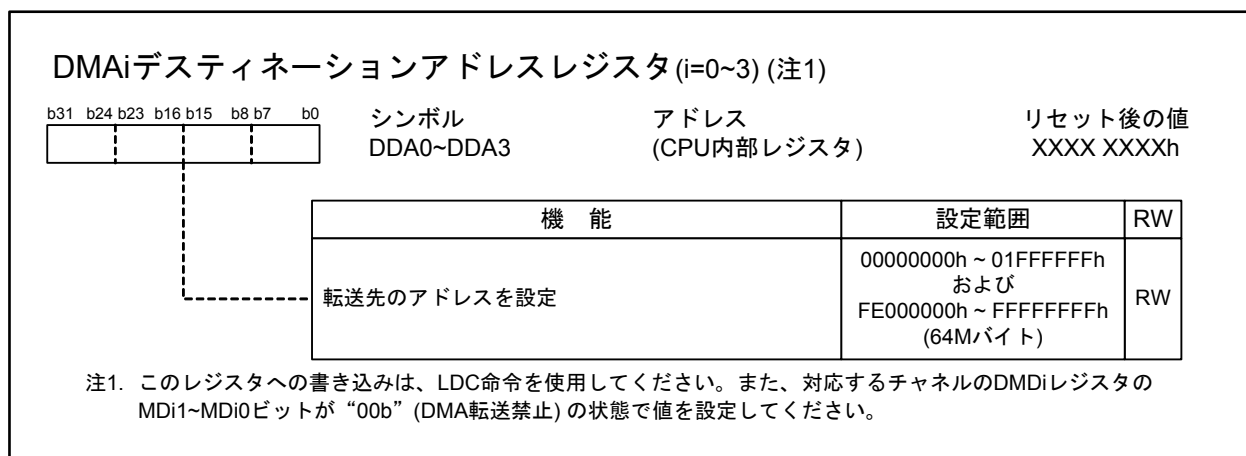


図 13.9 DDA0~DDA3レジスタ

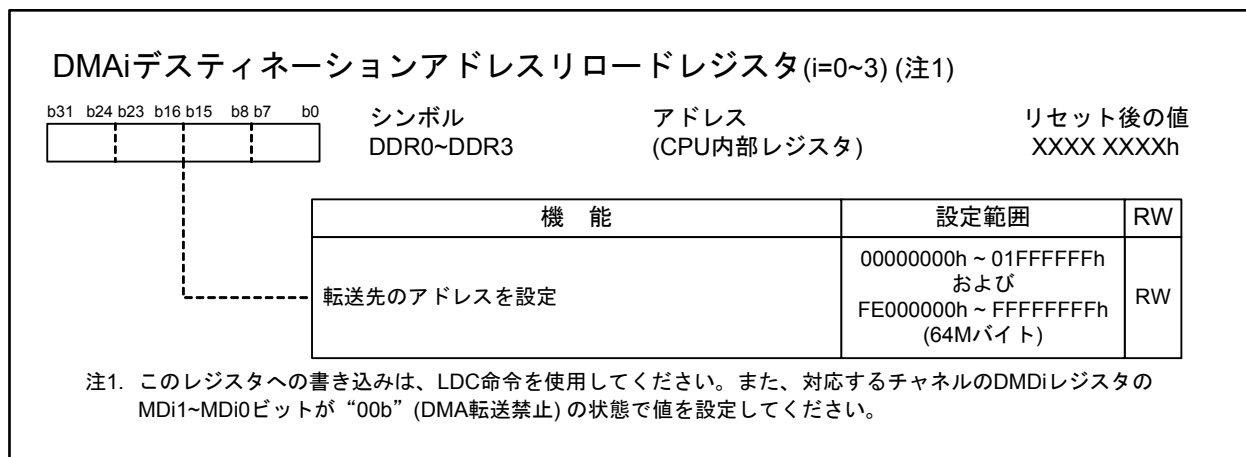


図 13.10 DDR0~DDR3レジスタ

13.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと、書き込み(destinations ライト)のバスサイクルで構成されています。

読み出しと書き込みのバスサイクル数は、DSAi レジスタ (i=0~3) と DDAi レジスタに設定する値や、対象とするデバイスが接続されているバスのデータバス幅、バスタイミングの影響を受けます。

13.1.1 転送番地とデータバス幅の影響

表 13.4 に転送番地のアライメントやデータバス幅によるバスサイクル数の増加を、転送単位別に示します。

表 13.4 転送番地とデータバス幅によるバスサイクル数の増加

転送単位	データバス幅	転送番地	増加するバスサイクル数	発生するバスサイクル	
8ビット	8~64ビット	n番地	0	[n]	
16ビット	8ビット	n番地	+1	[n]-[n+1]	
		16ビット	2n番地	0	[2n]
	32ビット	16ビット	2n+1番地	+1	[2n+1]-[2n+2]
			4n番地	0	[4n]
			4n+1番地	0	[4n+1]
			4n+2番地	0	[4n+2]
	64ビット	32ビット	4n+3番地	+1	[4n+3]-[4n+4]
			8n番地	0	[8n]
			8n+1番地	0	[8n+1]
			8n+2番地	0	[8n+2]
			8n+3番地	0	[8n+3]
			8n+4番地	0	[8n+4]
			8n+5番地	0	[8n+5]
	8n+6番地	0	[8n+6]		
8n+7番地	+1	[8n+7]-[8n+8]			
32ビット	8ビット	n番地	+3	[n]-[n+1]-[n+2]-[n+3]	
		16ビット	4n番地	+1	[4n]-[4n+2]
	32ビット	16ビット	4n+1番地	+2	[4n+1]-[4n+2]-[4n+4]
			4n+2番地	+1	[4n+2]-[4n+4]
			4n+3番地	+2	[4n+3]-[4n+4]-[4n+6]
			4n番地	0	[4n]
	64ビット	32ビット	4n+1番地	+1	[4n+1]-[4n+4]
			4n+2番地	+1	[4n+2]-[4n+4]
			4n+3番地	+1	[4n+3]-[4n+4]
			8n番地	0	[8n]
			8n+1番地	0	[8n+1]
			8n+2番地	0	[8n+2]
			8n+3番地	0	[8n+3]
			8n+4番地	0	[8n+4]
8n+5番地	+1	[8n+5]-[8n+8]			
8n+6番地	+1	[8n+6]-[8n+8]			
8n+7番地	+1	[8n+7]-[8n+8]			

13.1.2 バスタイミングの影響

R32C/100 シリーズでは、デバイスごとに接続されるバスを分割し、それぞれバス幅、バスタイミングが異なります。デバイスごとのバス幅、アクセスサイクル数を表 13.5 に示します。

表 13.5 デバイスごとのバス幅およびバスサイクル数

デバイス名称	アドレス(注1)	バス幅	アクセスサイクル数(注2)	基準クロック
フラッシュメモリ	FFE00000h~FFFFFFFFh	64ビット	2 または 3 (注3)	CPUクロック
データフラッシュ	00060000h~00061FFFh	64ビット	5	CPUクロック
RAM	00000400h~0003FFFFh	64ビット	1 または 2 (注4)	CPUクロック
SFR領域	00000000h~0000001Fh	16ビット	3 (注5)	周辺バスクロック
	00000020h~000003FFh	16ビット	2 (注5)	周辺バスクロック
SFR2領域	00040000h~00041FFFh	16ビット	2 (注5)	周辺バスクロック
	00042000h~00043FFFh	32ビット	2 (注5)	周辺バスクロック
	00044000h~000440DFh	16ビット	2 (注5、6)	周辺バスクロック
	000440E0h~000443FFFh	16ビット	3 (注5、6)	周辺バスクロック
	00044400h~00045FFFh	16ビット	2 (注5、6)	周辺バスクロック
	00046000h~000467FFFh	32ビット	3 (注5、6)	周辺バスクロック
	00046800h~00047FFFh	32ビット	2 (注5、6)	周辺バスクロック
	00048000h~0004FFFFh	64ビット	2	CPUクロック
外部バス	00080000h~01FFFFFFh FE000000h~FFDFFFFFFh	8/16/32 ビット	EBCnレジスタ(n=0~3) の設定値に依存(注5)	周辺バスクロック

注1. 予約領域を含みます。

注2. アクセスサイクル数は、それぞれのバスのクロックを基準にしています。

注3. 同一ページ内は2サイクル、ページを外れると3サイクルになります。

注4. ライトサイクルが連続する場合、2回目のライトサイクルは2サイクルになります。また、ライトサイクル直後のリードサイクルも2サイクルになります。

注5. SFRアクセスが連続した場合、2回目以降のアクセスはベースクロック1サイクル分増えます。

注6. 周辺バスクロックの位相によっては、最大1サイクル増える場合があります。

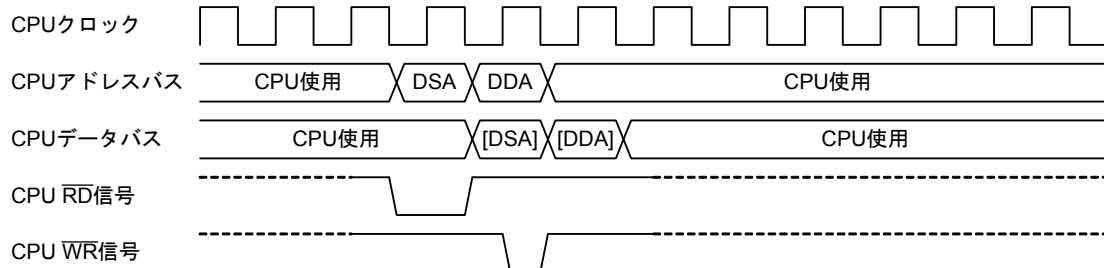
図 13.11 にソースリードについての転送サイクル例を示します。この図では、デスティネーションを内部RAMとし、デスティネーションライトサイクルを1サイクルとして、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にデスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、デスティネーションライトサイクルとソースリードサイクルに各条件を適用してください。たとえば図 13.11 (B) のようにバスサイクルが2回発生する場合は、ソースリードサイクルとデスティネーションライトサイクルは、それぞれにバスサイクルが2回必要となります。

13.1.3 RDY 信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域ではRDY信号の影響を受けます。詳細は「9.3.7 RDY信号」を参照してください。

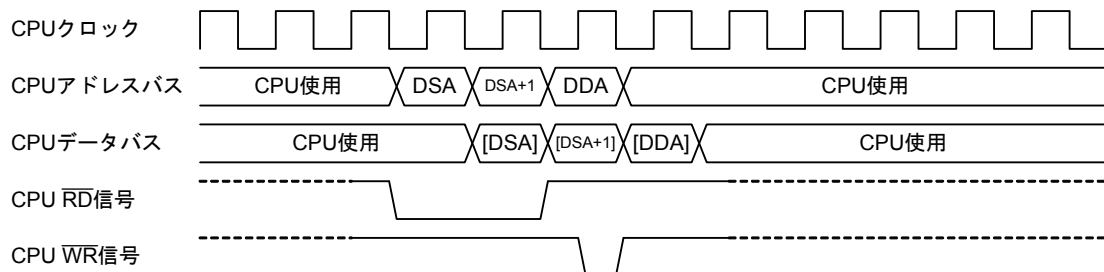
(A) ソースリードが1サイクルで完了する場合

例: RAM上の8n番地から16ビットデータを転送する場合



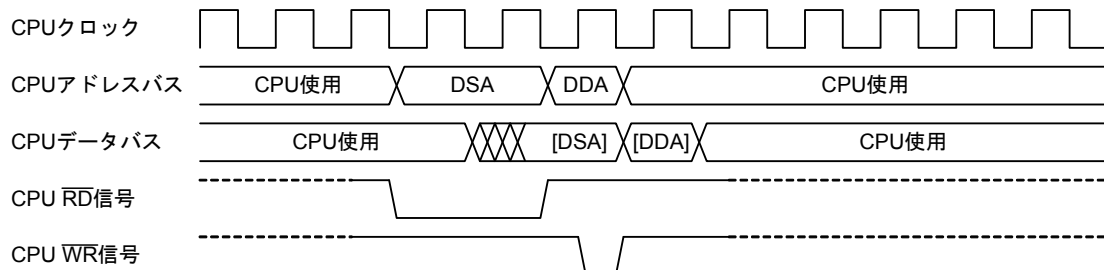
(B) ソースリードのバスサイクルが2回発生する場合

例: RAM上の8n+7番地から16ビットデータを転送する場合



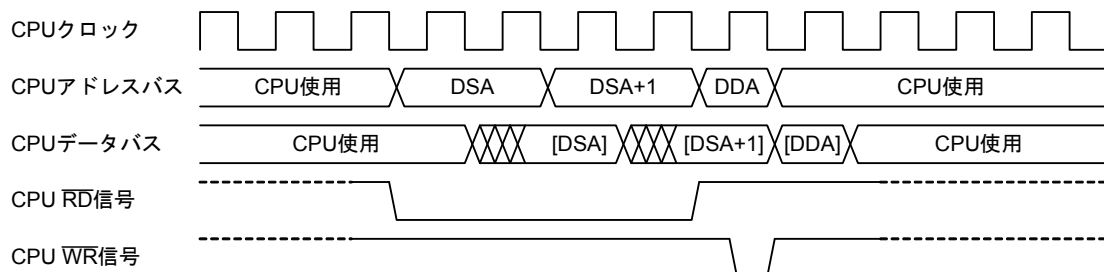
(C) (A) の条件でソースリードに1ウェイトが入ったとき

例: ROM上の16n番地から16ビットデータを転送する場合



(D) (B) の条件でソースリードに1ウェイトが入ったとき

例: ROM上の16n+7番地から16ビットデータを転送する場合



注1. デスティネーションライトサイクルが1サイクルの例です。
 デスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図 13.11 ソースリードについての転送サイクル例

13.2 DMA転送サイクル数

DMA転送のサイクル数は以下のとおり計算できます。

$$1 \text{ 転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k + 1$$

読み出しサイクル数はソースリードに必要なバスサイクル数、書き込みサイクル数はデスティネーションライトに必要なバスサイクル数で、それぞれ最低1サイクル必要です。アドレスによってサイクル数が増加しますので表 13.4からバスサイクル数を求めてください。

j は読み出しに必要なアクセスサイクル数、 k は書き込みに必要なアクセスサイクル数で、表 13.5を参照ください。

最後の+1はDCT i レジスタ($i=0\sim 3$)の減算サイクルです。

たとえば400h番地(RAM)から800h番地(RAM)に32ビットデータのDMA転送を行う場合、転送サイクル数は、

$$\begin{aligned} \text{転送サイクル数} &= 1 \times 1 + 1 \times 1 + 1 \\ &= 3 \end{aligned}$$

と計算できます。

また、周辺バスクロックがCPUクロックの1/2の周波数のときに、AD00レジスタ(380h番地)からP1レジスタ(3C1h番地)、P0レジスタ(3C0h番地)に16ビットデータのDMA転送を行う場合、転送サイクル数は、

$$\begin{aligned} \text{転送サイクル数} &= 1 \times 2 \times 2 + 1 \times 2 \times 2 + 1 \\ &= 9 \end{aligned}$$

と計算できます。

13.3 チャンネル優先順位とDMA転送タイミング

複数のDMA転送要求が同一サンプリング期間(CPUクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)に入った場合、これらの要求は同時にDMACに入力されます。この場合のチャンネル優先順位は、DMA0>DMA1>DMA2>DMA3です。

以下、DMA0とDMA1への転送要求が同一サンプリング期間に入った場合の動作を、図13.12に示す外部要因によるDMA転送例を例に説明します。

図13.12ではDMA0への転送要求とDMA1への転送要求が同時に発生したので、まずチャンネル優先順位が高いDMA0が転送を開始し、1転送単位終了後CPUにバスを明け渡します。CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバスを明け渡します。

なお、DMA転送要求の回数はカウントできませんので、図13.12のDMA1のようにバスの使用が許可されるまでに複数回 $\overline{INT1}$ 割り込みが発生した場合も、転送回数は1回です。

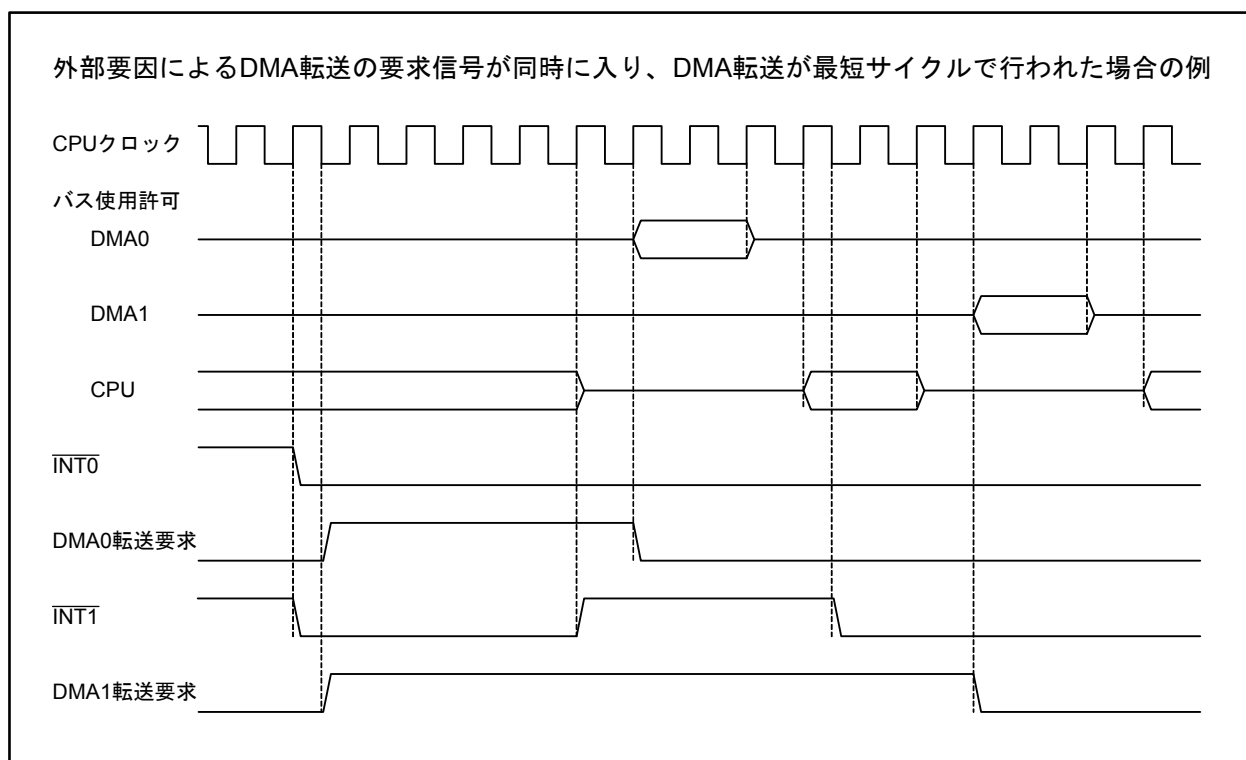


図 13.12 外部要因によるDMA転送例

13.4 DMAコントローラ使用上の注意

13.4.1 DMAC関連レジスタの設定

- DMAC関連レジスタを設定する場合、設定するチャンネルのDMDiレジスタ (i=0~3)のMDi1~MDi0ビットが“00b”(DMA転送禁止)の状態を設定し、最後にMDi1~MDi0ビットを“01b”(単転送)または“11b”(リピート転送)に設定してください。DMDiレジスタのUDAi、USAi、BWi1~BWi0ビットを書き換える場合も、MDi1~MDi0ビットが“00b”(DMA転送禁止)のときに実施してください。
- DMA転送を許可した後でDMAC関連レジスタを書き換える必要が生じた場合、まずDMA転送要求が発生しないようにDMA起動要因となる周辺機能を停止し、次に書き換えたいチャンネルのDMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてから実施してください。
- 一旦DMA転送要求が受け付けられた後は、DMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてもDMA転送を禁止することはできません。この場合、DMA転送が完了するまでMDi1~MDi0ビット以外のDMAC関連レジスタの設定を変更しないでください。
- DMiSL、DMiSL2レジスタを設定した後、周辺バスクロックで6クロック以上待ってから、DMDiレジスタのMDi1~MDi0ビットに“01b”(単転送)または“11b”(リピート転送)を書いてください。

13.4.2 DMAC関連レジスタの読み出し

- DMiSL、DMiSL2レジスタをそれぞれ連続して読み出す場合、以下の順で読み出してください。
DM0SL→DM1SL→DM2SL→DM3SL
DM0SL2→DM1SL2→DM2SL2→DM3SL2

14. DMAC II

周辺機能からの割り込み要求により起動し、CPUの命令を介さずにデータ転送を行います。転送対象にはメモリ、即値、メモリ+メモリ、即値+メモリが選択できます。

表 14.1にDMAC IIの仕様を示します。

表 14.1 DMAC IIの仕様

項目	仕様
DMAC II起動要因	割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求
転送対象	<ul style="list-style-type: none"> •メモリ→メモリ(メモリ間転送) •即値→メモリ(即値転送) •メモリ+メモリ→メモリ(演算転送) •即値+メモリ→メモリ(演算転送)
転送サイズ	8ビット、16ビット
転送空間	64Mバイト(00000000h~01FFFFFFhおよびFE000000h~FFFFFFFh)の任意の空間から64Mバイトの任意の空間へデータ転送(注1)
アドレッシング	転送元と転送先で個別に以下の2つから選択可能 <ul style="list-style-type: none"> •固定: 毎回同じアドレス •インクリメント: データ転送1回ごとにアドレスを1(転送サイズ=8ビット)または2(転送サイズ=16ビット)加算
転送方式	<ul style="list-style-type: none"> •単転送: 一度の転送要求でデータ転送を1回だけ実行 •バースト転送: 一度の転送要求で転送カウンタに設定された回数のデータ転送を連続して実行 •複数転送: 一度の転送要求でそれぞれ異なる転送元/転送先に対する複数回のメモリ間転送を実行
チェーン転送機能	複数のDMAC IIインデックス(転送情報)を順次切り替えてデータ転送を実行
転送完了割り込み要求	転送カウンタが“0000h”になったとき発生

注1. ただし、転送サイズが16ビットで転送先アドレスが“FFFFFFFh”のとき、FFFFFFFh番地と00000000h番地に転送します。転送元アドレスが“FFFFFFFh”のときも同様です。

14.1 DMAC IIの設定

DMAC IIを使用する場合、以下の設定を行ってください。

- RIPL1レジスタ、RIPL2レジスタ
- DMAC IIインデックス
- DMAC IIの起動要因となる周辺機能の割り込み制御レジスタ
- DMAC IIの起動要因となる周辺機能の可変ベクタ
- インテリジェントI/O割り込みを使用する場合、IIOiIEレジスタ (i=0~11)のIRLTビット。IIOiIEレジスタについては「11. 割り込み」を参照してください。

14.1.1 RIPL1、RIPL2レジスタ

RIPL1、RIPL2レジスタ両方のDMAIIビットを“1”(DMA II転送)に、FSITビットを“0”(通常割り込み)にすると、割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求で、DMAC IIが起動します。

図 14.1にRIPL1、RIPL2レジスタを示します。

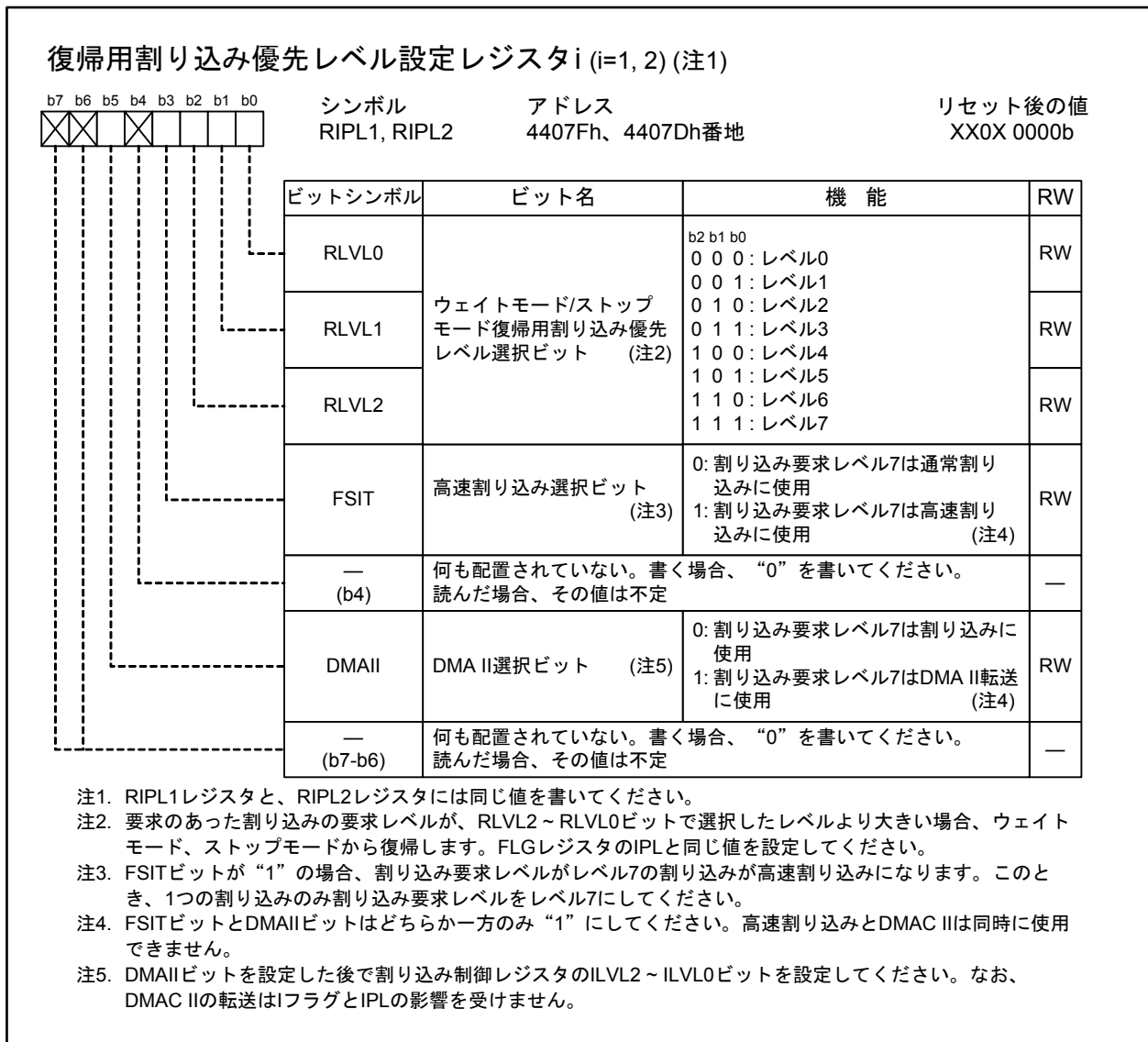


図 14.1 RIPL1、RIPL2レジスタ

14.1.2 DMAC II インデックス

DMAC II インデックスは12~60バイトで構成されるデータテーブルで、転送モード、転送カウンタ、転送元アドレス(または即値データ)、演算対象のアドレス、転送先アドレス、チェーン転送ベースアドレス、転送完了割り込み処理分岐先アドレスの各パラメータを格納します。

DMAC II インデックスはRAMに配置してください。

図 14.2 に DMAC II インデックスを、表 14.2 に DMAC II インデックスの記述例を示します。

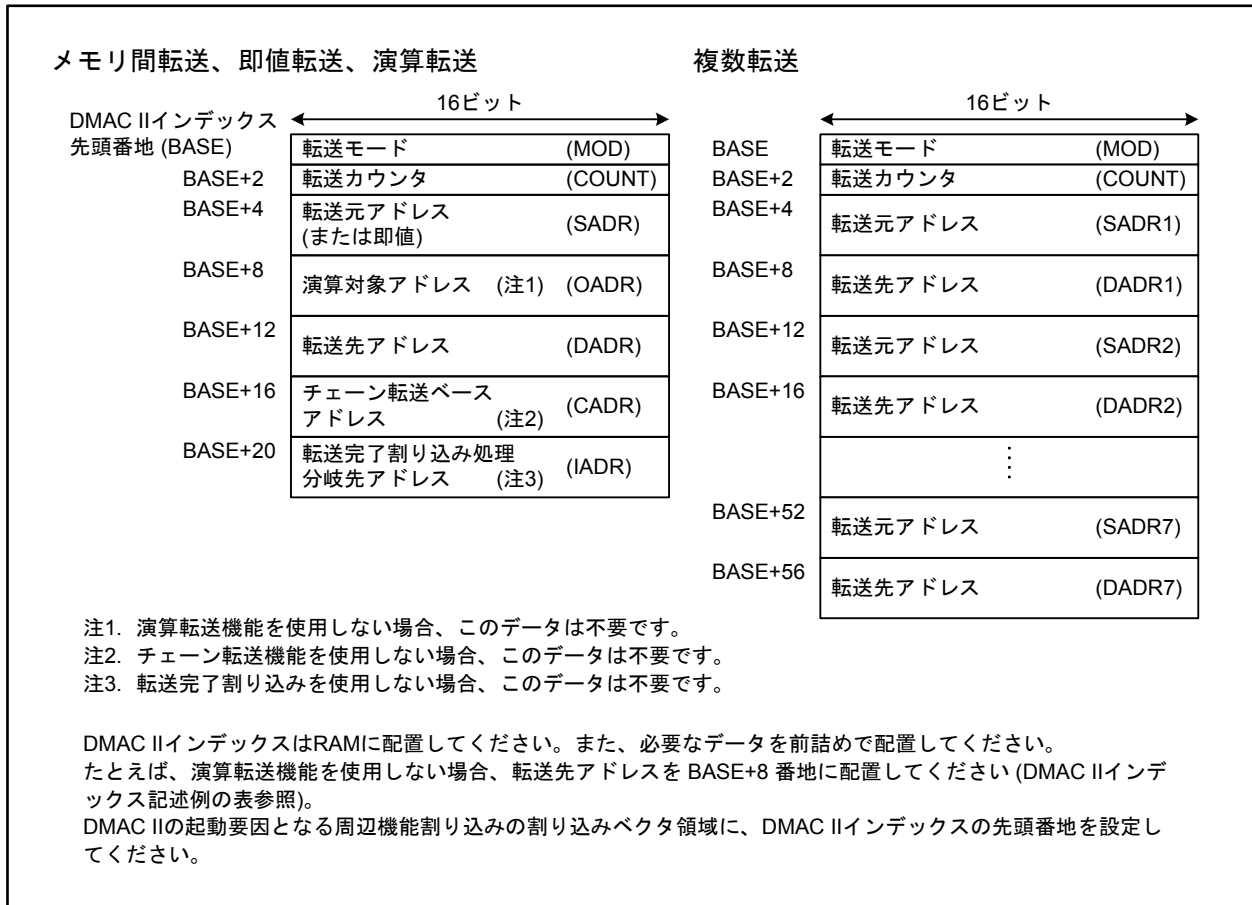


図 14.2 DMAC II インデックス

次に、DMAC II インデックスの内容を説明します。これらのデータは使用する DMAC II の転送モードに応じて表 14.2 に示す順序で配置してください。

- **転送モード (MOD)**
2バイトデータで、転送モードを設定してください。図 14.3 に転送モードの設定内容を示します。
- **転送カウンタ (COUNT)**
2バイトデータで、転送回数を設定してください。
- **転送元アドレス (SADR)**
4バイトデータで、転送元メモリのアドレスまたは即値を設定してください。即値の場合、上位2バイトは無視されます。
- **演算対象アドレス (OADR)**
4バイトデータで、演算対象となるメモリのアドレスを設定してください。演算転送機能を使用する場合のみ、このデータを設定してください。

- 転送先アドレス (DADR)

4バイトデータで、転送先メモリのアドレスを設定してください。
- チェーン転送ベースアドレス (CADR)

4バイトデータで、次回に行う転送のDMAC IIインデックス先頭番地 (BASE) を設定してください。チェーン転送機能を使用する場合のみ、このデータを設定してください。
- 転送完了割り込み処理分岐先アドレス (IADR)

4バイトデータで、転送完了割り込み処理ルーチンの先頭番地を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

なお、これ以降の説明では各パラメータ名は上記()内の記号を使用します。

表 14.2 DMAC IIインデックス記述例

転送データ	メモリ間転送/即値転送				演算転送				複数転送	
	不使用	使用	不使用	使用	不使用	使用	不使用	使用	使用できません	
チェーン転送	不使用	使用	不使用	使用	不使用	使用	不使用	使用	使用できません	
転送完了割り込み	不使用	不使用	使用	使用	不使用	不使用	使用	使用	使用できません	
DMAC II インデックス	MOD	MOD	MOD	MOD	MOD	MOD	MOD	MOD	MOD	
	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	
	SADR	SADR	SADR	SADR	SADR	SADR	SADR	SADR	SADR ₁	
	DADR	DADR	DADR	DADR	OADR	OADR	OADR	OADR	DADR ₁	
	12バイト	CADR	IADR	CADR	IADR	DADR	DADR	DADR	DADR	
			16バイト	16バイト		16バイト				
				20バイト		20バイト	20バイト			
								24バイト		
								i=1~7 最大60バイト (i=7のとき)		



図 14.3 MOD

14.1.3 周辺機能の割り込み制御レジスタ

DMAC II の起動要因に使用する周辺機能割り込みの割り込み制御レジスタは、ILVL2~ILVL0 ビットを“111b” (レベル7) にしてください。

14.1.4 周辺機能の可変ベクタテーブル

DMAC II の起動要因となる周辺機能割り込みの割り込みベクタ領域に、DMAC II インデックスの先頭番地を設定してください。

チェーン転送を使用するときは、可変ベクタテーブルをRAMに配置してください。

14.1.5 IIOiE レジスタ (i=0~11) のIRLT ビット

インテリジェントI/O割り込みによりDMAC IIを起動する場合、起動要因となる割り込みのIIOiEレジスタのIRLTビットを“0” (割り込み要求をDMA、DMA IIで使用) にしてください。

14.2 DMAC IIの動作

RIPL1、RIPL2レジスタのDMAIIビットを“1” (割り込み要求レベル7はDMA II転送に使用) にすると、DMA II転送機能が選択されます。割り込み制御レジスタのILVL2~ILVL0ビットを“111b” (レベル7) にしたすべての周辺機能割り込み要求が、DMAC IIの起動要因になります。これらの周辺機能の割り込み要求は、DMA II転送要求となりますので、CPUへの割り込み要求としては使用できません。

ILVL2~ILVL0ビットが“111b”の割り込み要求が発生すると、IフラグとIPLに関係なくDMAC IIが起動します。

なお、DMAC IIの起動要因となる周辺機能割り込み要求と、より優先順位の高い割り込み要求(ウォッチドッグタイマ割り込み、電圧低下検出割り込み、発振停止検出割り込み、NMI)が同時に発生した場合、優先順位の高い割り込みがDMA II転送よりも優先して受け付けられ、その割り込みシーケンス終了後にDMA II転送が開始されます。

14.3 転送対象

DMAC IIでは、以下の3種類の転送対象に対し8ビットまたは16ビット単位でデータ転送を行います。

- メモリ間転送: 64Mバイト空間(00000000h~01FFFFFFhおよびFE000000h~FFFFFFFh)の任意のメモリから同空間の任意のメモリに転送します。
- 即値転送: 即値データを64Mバイト空間の任意のメモリに転送します。
- 演算転送: 2つのデータを加算し、加算結果を64Mバイト空間の任意のメモリに転送します。

ただし、転送サイズが16ビットでDADRが“FFFFFFFh”のとき、FFFFFFFh番地と00000000h番地に転送します。SADRが“FFFFFFFh”のときも同様です。

14.3.1 メモリ間転送

任意のメモリから任意のメモリへ転送します。転送の種類は、以下のとおりです。

- アドレス固定のメモリからアドレス固定のメモリへの転送
- アドレス固定のメモリから連続するメモリ領域への転送
- 連続するメモリ領域からアドレス固定のメモリへの転送
- 連続するメモリ領域から連続するメモリ領域への転送

アドレッシングに「インクリメント」を選択した場合、転送後、次回の転送のためにSADR、DADRがインクリメントされます。アドレスは、転送サイズが8ビットの場合は1、16ビットの場合は2加算されます。アドレスを加算することでSADRまたはDADRが“FFFFFFFh”を超える場合、アドレスは“00000000h”に戻ります。同様にSADRまたはDADRが“01FFFFFFh”を超える場合、アドレスは“02000000h”となりますが、実際の転送はFE000000h番地に対して実行されます。

14.3.2 即値転送

即値を任意のメモリへ転送します。転送先のアドレッシングには「固定」または「インクリメント」を選択できます。SADRに即値を格納してください。8ビットの即値を転送する場合、SADRの下位1バイトに、16ビットの即値を転送する場合、SADRの下位2バイトにデータを設定してください(それぞれ上位3バイト、上位2バイトは無視されます)。

14.3.3 演算転送

任意のメモリの内容と任意のメモリの内容、または即値と任意のメモリの内容を加算した結果を任意のメモリに転送します。SADRに演算対象データのアドレスまたは即値を設定し、OADRにもう一方の演算対象データのアドレスを設定してください。メモリ+メモリ演算転送の場合、転送元と転送先のアドレッシングに「固定」または「インクリメント」が選択できます。転送元アドレッシングが「インクリメント」の場合には、演算対象のアドレッシングも「インクリメント」となります。即値+メモリ演算転送の場合、転送先のアドレッシングのみ「固定」または「インクリメント」から選択できます。

14.4 転送方式

DMAC IIでは単転送、バースト転送、複数転送が行えます。転送回数はCOUNTで設定します。COUNTが“0000h”の場合、転送は行いません。

14.4.1 単転送

MODのBRSTビットを“0”にすると単転送が選択されます。

一度の転送要求で、データ転送を1回だけ実行します。

転送元または転送先のアドレッシングに「インクリメント」を選択した場合、転送後、次回の転送のためにアドレスをインクリメントします。COUNTは、データ転送が1回実行されるごとにデクリメントされます。MODのINTEビットが“1”(転送完了割り込みを使用する)の場合、COUNTが“0000h”になった時点で、転送完了割り込み要求が発生します。

14.4.2 バースト転送

MODのBRSTビットを“1”にするとバースト転送が選択されます。

一度の転送要求で、COUNTで設定された回数分、連続してデータ転送を実行します。

COUNTはデータ転送が1回実行されるごとにデクリメントされ、“0000h”になったときバースト転送が終了します。INTEビットが“1”(転送完了割り込みを使用する)の場合、バースト転送終了時、転送完了割り込み要求が発生します。

なお、バースト転送中は、すべての割り込みを受け付けません。

14.4.3 複数転送

MODのMULTビットを“1”にすると複数転送が選択されます。

一度の転送要求でそれぞれ異なる転送元/転送先に対する複数回のメモリ間転送を行います。転送数はMODのCNT2~CNT0ビットで“001b”(1回)~“111b”(7回)が選択できます。なお、CNT2~CNT0ビットは“000b”にしないでください。

転送数分のSDAR、DADRをMOD、COUNTに続く番地にそれぞれ交互に配置してください。

複数転送選択時、演算転送、バースト転送、チェーン転送、および転送完了割り込みの各機能は使用できません。

14.5 チェーン転送

MODのCHAINビットを“1”にするとチェーン転送機能が有効になります。

チェーン転送時は以下のように動作します。

- (1) 転送要求が発生すると、その要因の割り込みベクタが示すDMAC IIインデックスの内容に従ってデータ転送を実行します。BRSTビットが“0”のときは単転送、“1”のときはバースト転送が実行されます。
- (2) COUNTが“0000h”になったとき、(1)の割り込みベクタがCADRの値に書き換わります。INTEビットが“1”の場合は、同時に転送完了割り込み要求が発生します。
- (3) 次にDMA II転送要求が発生すると、(2)で書き換えた割り込みベクタが示すDMAC IIインデックスの内容に従ってデータ転送を実行します。

図 14.4にチェーン転送時の可変ベクタとDMAC IIインデックスを示します。

チェーン転送を使用する場合、可変ベクタテーブルはRAMに配置してください。

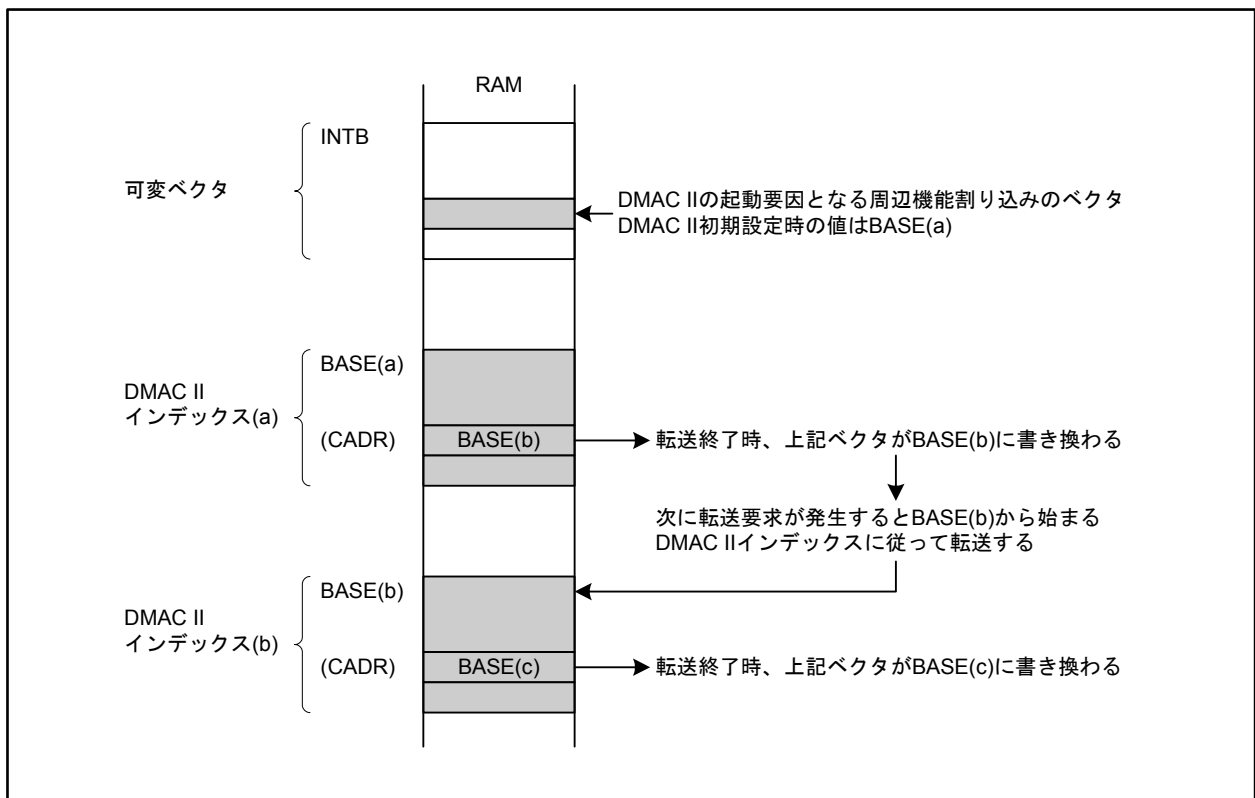


図 14.4 チェーン転送時の可変ベクタとDMAC IIインデックス

14.6 転送完了割り込み

MODのINTEビットを“1”にすると、転送完了割り込み要求を発生させることができます。転送完了割り込み処理ルーチンの先頭番地をIADRに設定してください。転送完了割り込み要求は、COUNTが“0000h”になったとき発生します。

転送完了割り込み処理ルーチンの最初の命令は、DMA II転送が完了した7サイクル後に実行されます。

14.7 実行時間

DMAC IIの実行サイクル数は以下のとおり計算できます。

複数転送以外: $t = 6 + (26 + a + b + c + d) \times m + (4 + e) \times n$ [サイクル]

複数転送: $t = 21 + (11 + b + c) \times k$ [サイクル]

- a: IMM = 0 (転送元が即値)の場合 a = 0、
IMM = 1 (転送元がメモリ)の場合 a = -1
- b: UPDS = 1 (転送元アドレッシングがインクリメント)の場合 b = 0、
UPDS = 0 (転送元アドレッシングが固定)の場合 b = 1
- c: UPDD = 1 (転送先アドレッシングがインクリメント)の場合 c = 0、
UPDD = 0 (転送先アドレッシングが固定)の場合 c = 1
- d: OPER = 0 (演算機能なし)の場合 d = 0
OPER = 1 (演算機能あり)でUPDS = 0 (転送元が即値かアドレス固定)の場合 d = 7、
OPER = 1 (演算機能あり)でUPDS = 1 (転送元アドレッシングがインクリメント)の場合 d = 8
- e: CHAIN = 0 (チェーン転送機能なし)の場合 e = 0、
CHAIN = 1 (チェーン転送機能あり)の場合 e = 4
- m: BRST = 0 (単転送)の場合 m = 1、
BRST = 1 (バースト転送)の場合 m = COUNT
- n: COUNTが“0001h”の場合 n = 0、
COUNTが“0002h”以上の場合 n = 1
- k: CNT2~CNT0ビットで設定した転送数

上式は概算値であり、CPUの状態、バスウェイトやDMAC IIインデックスの配置によりサイクル数は変化します。

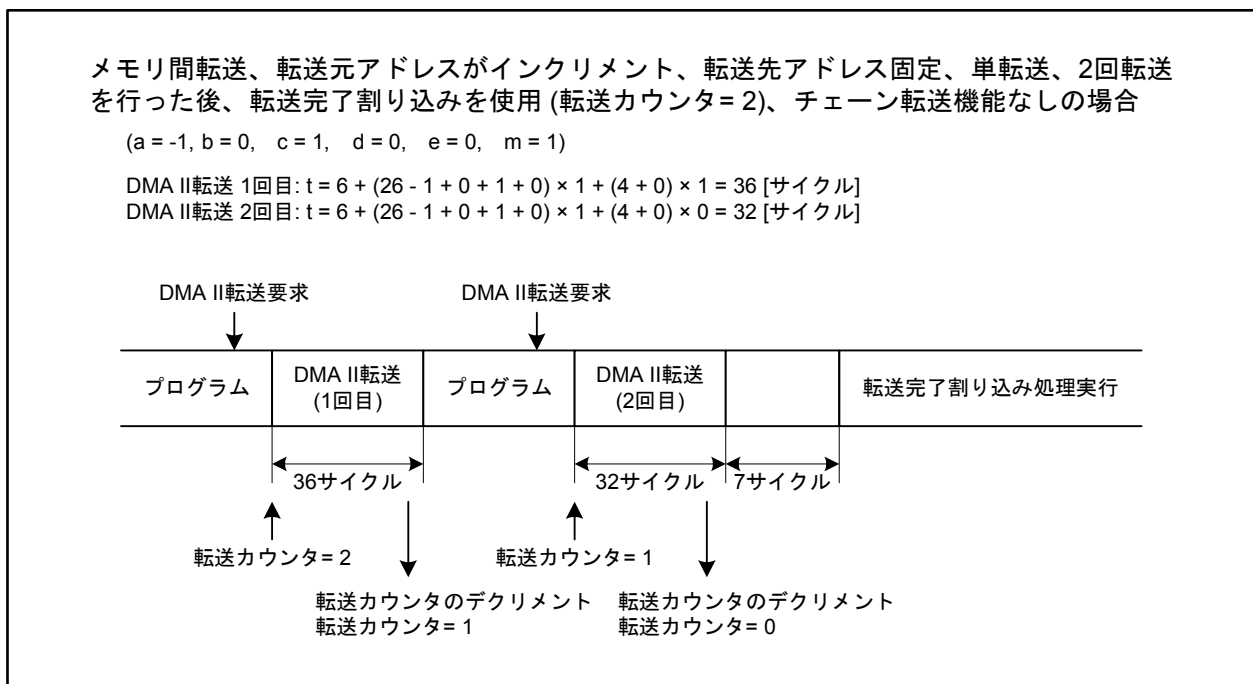


図 14.5 転送時間

15. プログラマブル入出力ポート

プログラマブル入出力ポートは、144ピン版ではP0~P15 (P8_5、P14_0~P14_2は除く)の124本、176ピン版ではP0~P19 (P8_5、P14_0~P14_2は除く)の156本あります。

ポートの入出力方向は、方向レジスタによって1本ごとに設定できます。ただし、P8_5とP14_1は入力専用です。P8_5は $\overline{\text{NMI}}$ と端子を共用していますので、 $\overline{\text{NMI}}$ 入力レベルをP8レジスタのP8_5ビットから読みます。

図 15.1 にプログラマブル入出力ポートの構成を、図 15.2、図 15.3 に入力専用ポートの構成を示します。

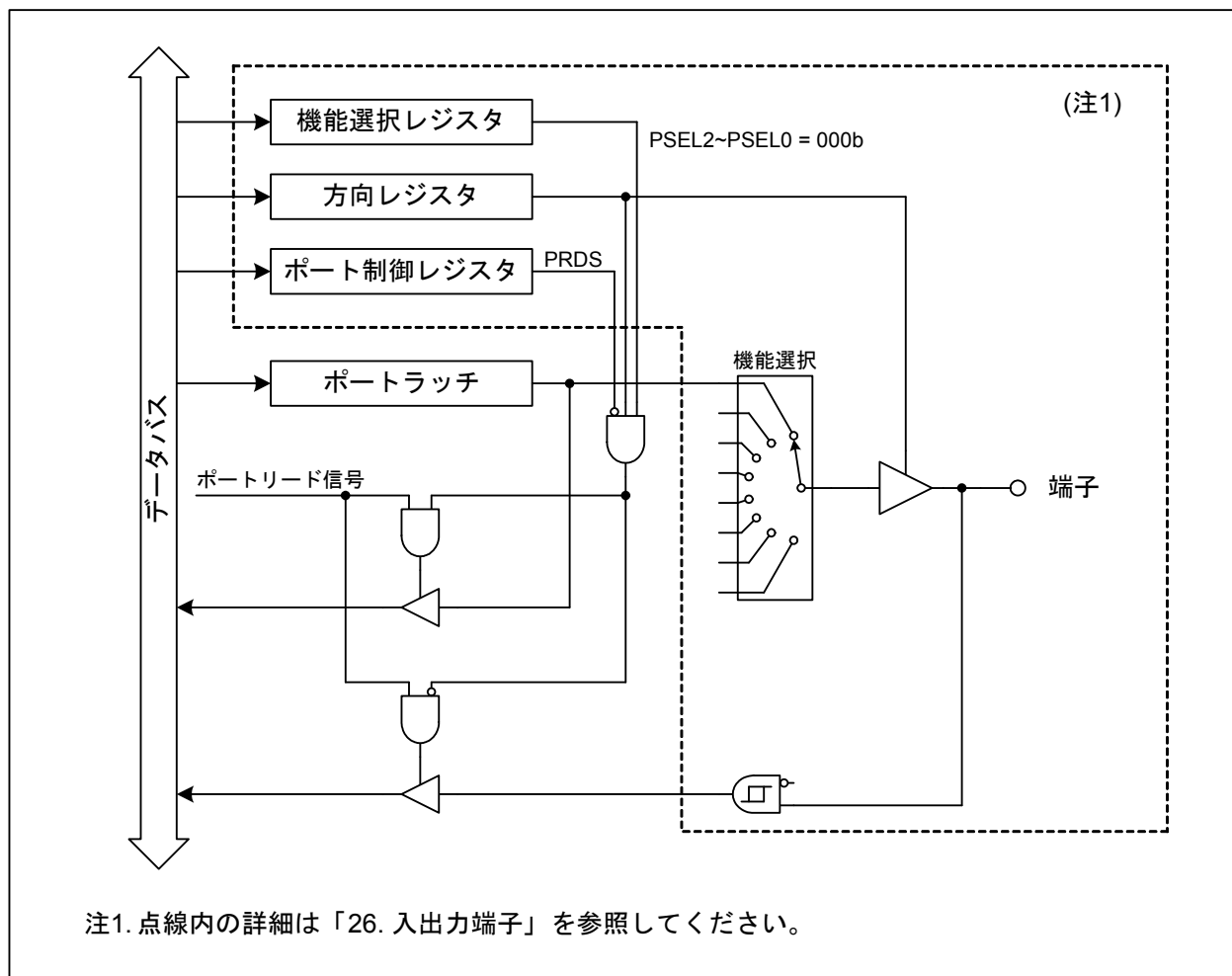


図 15.1 プログラマブル入出力ポートの構成

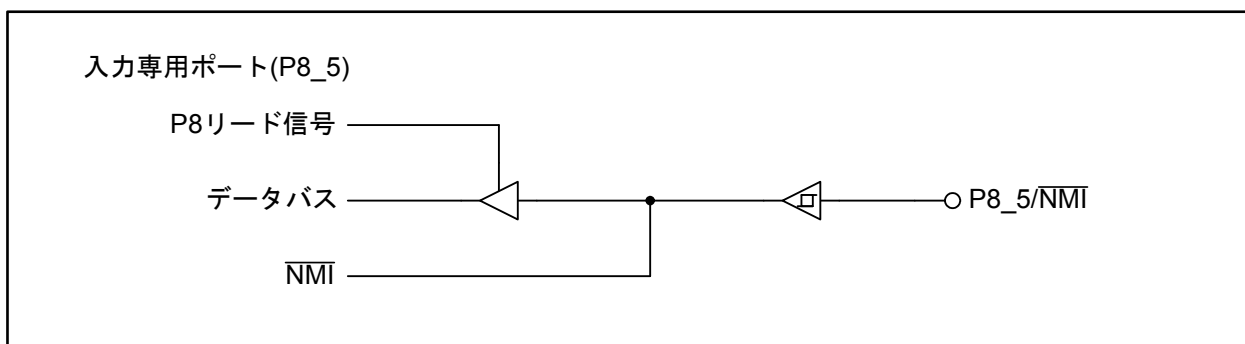


図 15.2 入力専用ポートの構成(1)

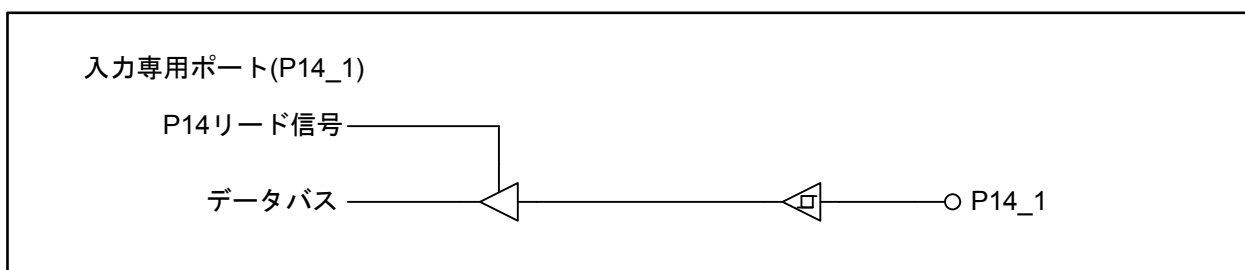


図 15.3 入力専用ポートの構成(2)

15.1 ポートPiレジスタ (Piレジスタ、i=0~19)

外部とのデータ入出力は、Piレジスタへの書き込みと読み出しによって行います。Piレジスタは出力データを保持するポートラッチと端子の状態を読む回路で構成されています。Piレジスタの各ビットは各ポートと一対一に対応しています。

出力機能選択レジスタでプログラマブル入出力ポートを選択した場合、出力のときはポートラッチの値が、入力の場合は端子の状態が読めます。

メモリ拡張モードとマイクロプロセッサモードでは、バス制御信号 ($A0\sim A23$, $D0\sim D31$, $\overline{CS0}\sim\overline{CS3}$, $\overline{WR}/\overline{WR0}$, $\overline{BC0}$, $\overline{BC1}/\overline{WR1}$, $\overline{BC2}/\overline{WR2}$, $\overline{BC3}/\overline{WR3}$, \overline{RD} , $\overline{CLKOUT}/\overline{BCLK}$, \overline{HLDA} , \overline{HOLD} , \overline{ALE} , \overline{RDY}) が割り当てられている端子のPiレジスタは変更できません。

図 15.4にPiレジスタを示します。

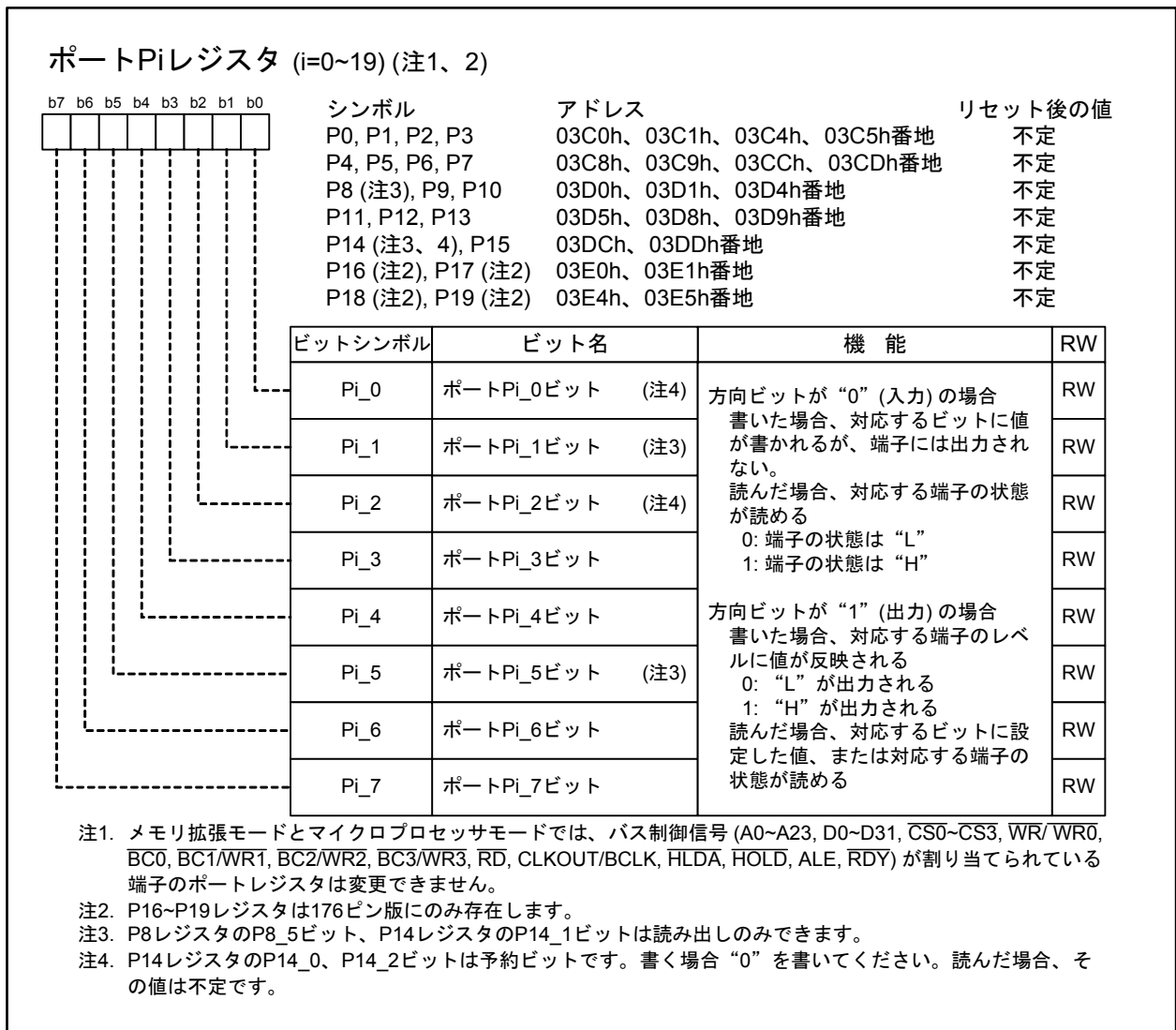


図 15.4 P0~P19レジスタ

15.2 自己診断機能

出力端子について、ポートの出力が正常かどうかを確認することで、端子の状態を診断することができます。

PDi レジスタの PDi_j ビットが“1” (出力) のとき、PCR レジスタの PRDS ビットを“1” (端子の状態) にすると、ポート Pi_j の端子の状態が読めます。この値と Pi レジスタの Pi_j ビットに書いた値が一致すれば、ポートに設定した値が正常に端子に出力されていることがわかります。もし一致しなければ、端子になんらかの異常があることがわかります。

たとえば“1”を設定したにもかかわらず“0”が読めた場合は、当該端子が VSS とショートしていることが考えられますし、“0”を設定したにもかかわらず“1”が読めた場合は、VCC とショートしていることが考えられます。また、他の出力端子とショートしている場合も、書いた値と読んだ値が一致しないことがあります。

設定値“0”、“1”の両方に対して同じ値が読めた場合、その端子は少なくとも VCC や VSS とはショートしていないと判断できます。

なお、Pi レジスタの1ビットだけを書き換える場合は、PCR レジスタの PRDS ビットは“0” (ポートラッチの値) にしてください。“1” (端子の状態) のままですと、他のビットの値まで書き換わることがあります。

16. タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマはそれぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 16.1 にタイマAの構成、図 16.2 にタイマBの構成を示します。

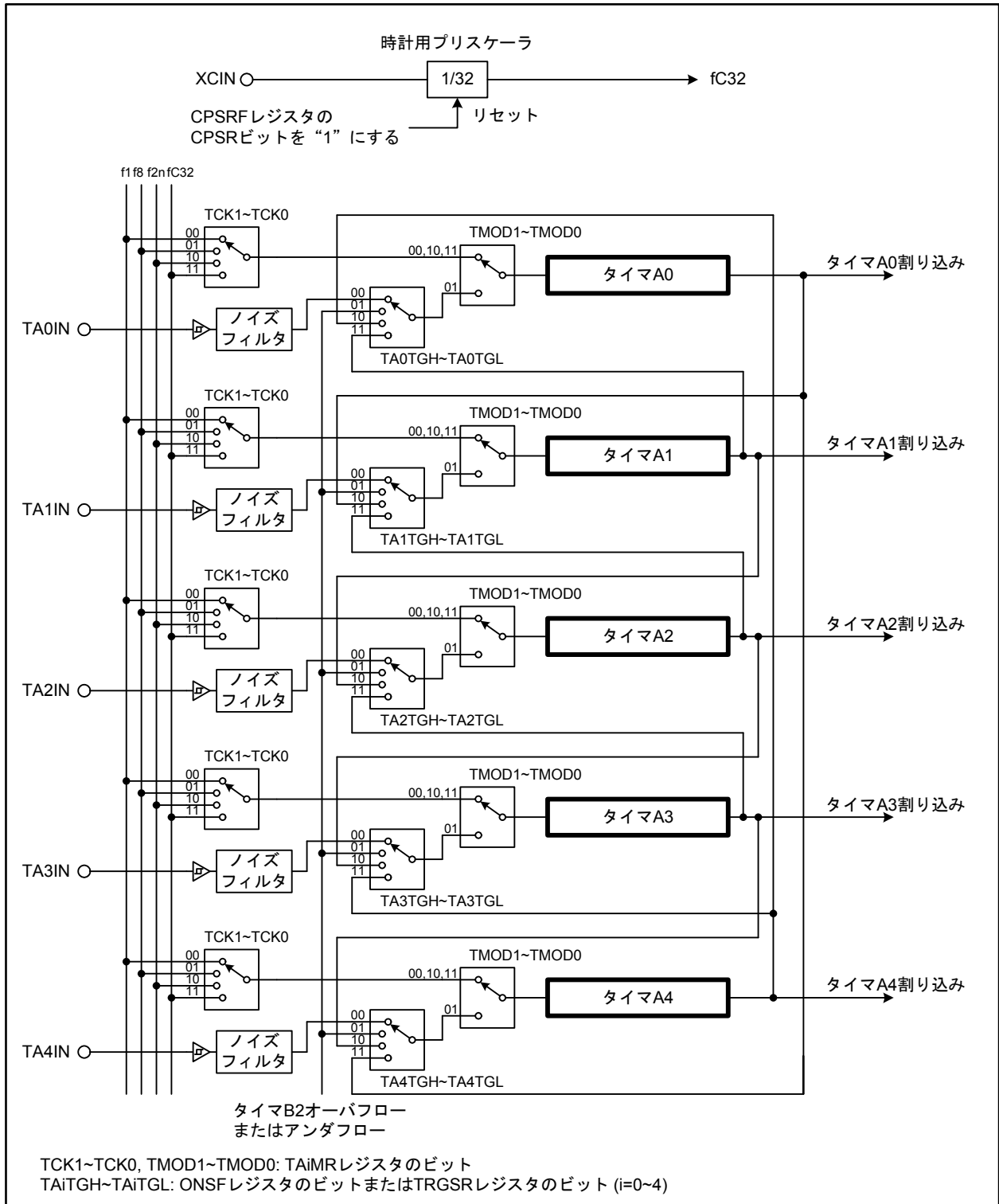


図 16.1 タイマAの構成

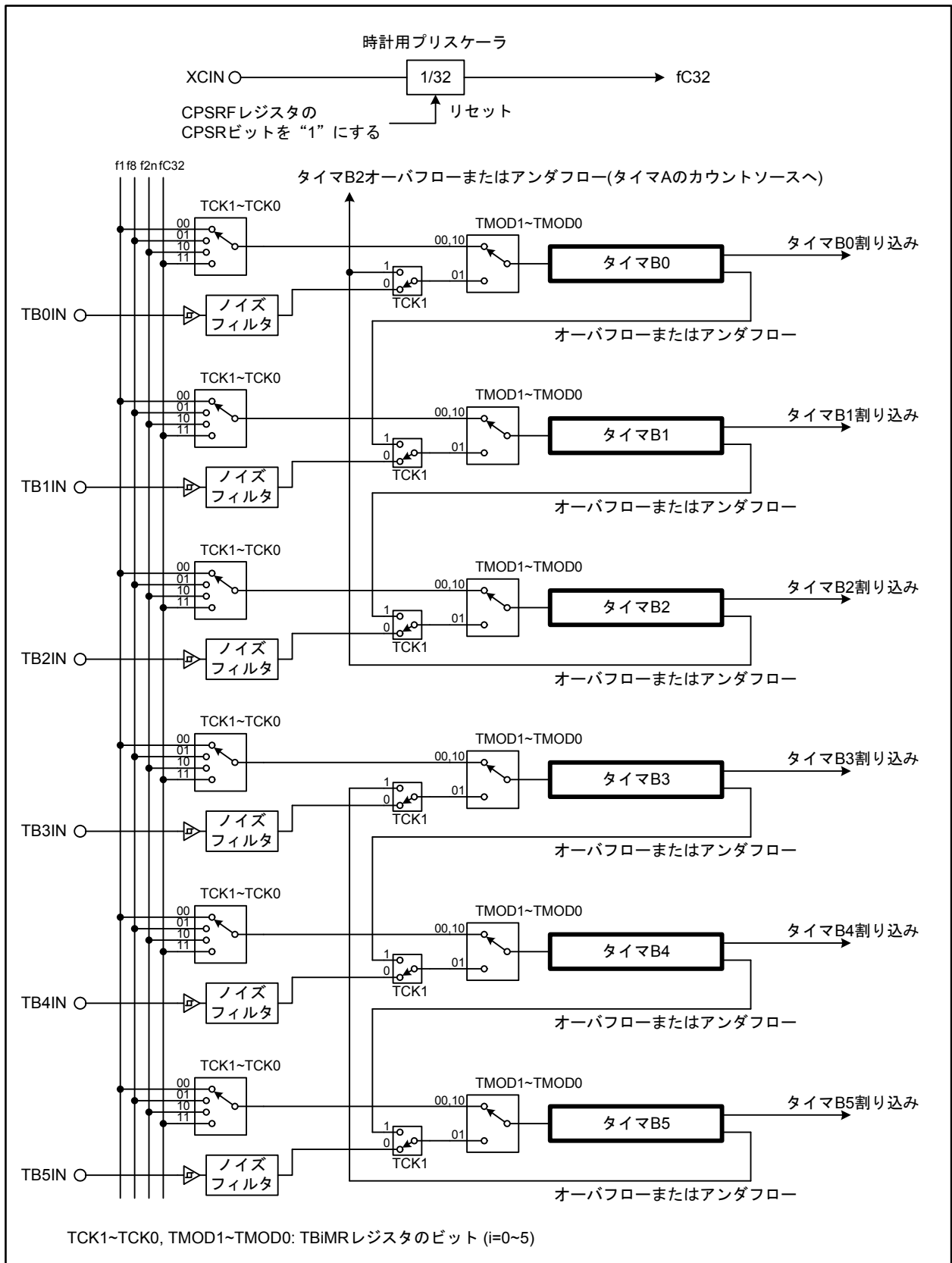


図 16.2 タイマBの構成

16.1 タイマA

図 16.3 にタイマAのブロック図を、図 16.4~図 16.10 にタイマA関連のレジスタを示します。

タイマAには以下の4種類のモードがあり、イベントカウンタモードを除いてタイマA0~A4は同一の機能を持ちます。各モードはTA0MR~TA4MRレジスタのTMOD1~TMOD0ビットで選択できます。

- タイマモード 内部カウントソースをカウントするモード
- イベントカウンタモード 外部からのパルスまたは他のタイマのオーバフローとアンダフローをカウントするモード
- ワンショットタイマモード トリガが入力されてからカウント値が“0000h”になるまでの期間、パルスを出力するモード
- パルス幅変調モード 任意のパルス幅を連続して出力するモード

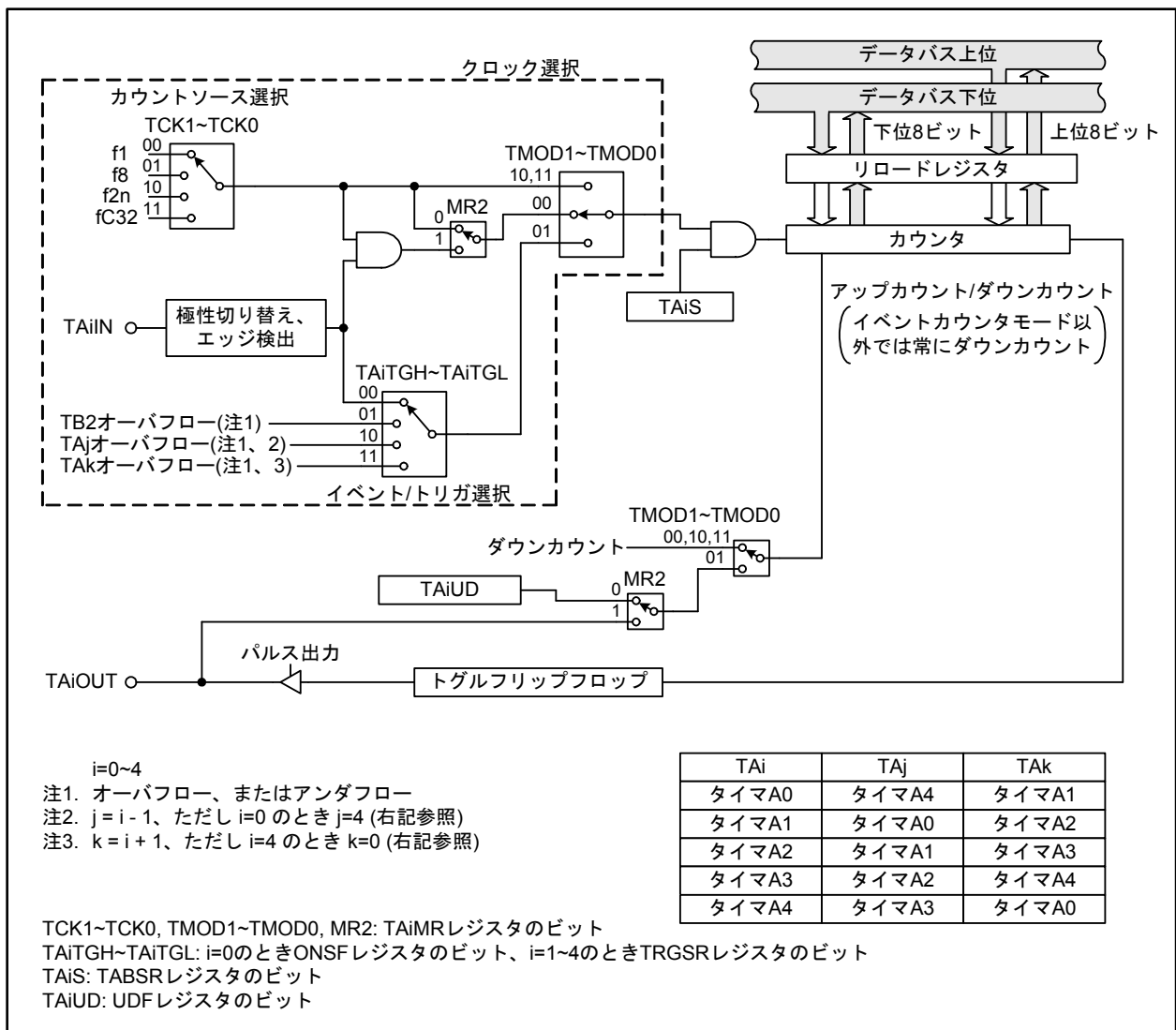
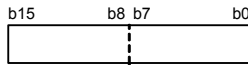


図 16.3 タイマAブロック図

タイマAiレジスタ (i=0~4) (注1)



シンボル	アドレス	リセット後の値
TA0~TA2	0347h-0346h、0349h-0348h、034Bh-034Ah番地	不定
TA3, TA4	034Dh-034Ch、034Fh-034Eh番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをアップカウント時、FFFFh-n+1分周し、ダウンカウント時、n+1分周する (注2)	0000h~FFFFh	RW
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する (注3)	0000h~FFFFh (注4)	WO
パルス幅変調モード (16ビットPWM)	カウントソースの周波数fj、TAiレジスタの設定値をnとすると、PWMの周期: $(2^{16}-1)/fj$ PWMパルスの“H”幅: n/fj (注5)	0000h~FFFEh (注4)	WO
パルス幅変調モード (8ビットPWM)	カウントソースの周波数fj、TAiレジスタの上位アドレスの設定値をn、下位アドレスの設定値をmとすると、PWMの周期: $(2^8-1) \times (m+1)/fj$ PWMパルスの“H”幅: $(m+1)n/fj$ (注5)	00h~FEh (上位アドレス) 00h~FFh (下位アドレス) (注4)	WO

fj: f1, f8, f2n, fC32

注1. 読み出しと書き込みは16ビット単位で実行してください。

注2. 外部入力パルスまたは他のタイマのオーバフローとアンダフローをカウント。

注3. TAIレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。

注4. TAIレジスタへはMOV命令を使用して書いてください。

注5. TAIレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAiレジスタの上位8ビットを“00h”にした場合も同様です。

図 16.4 TA0~TA4 レジスタ

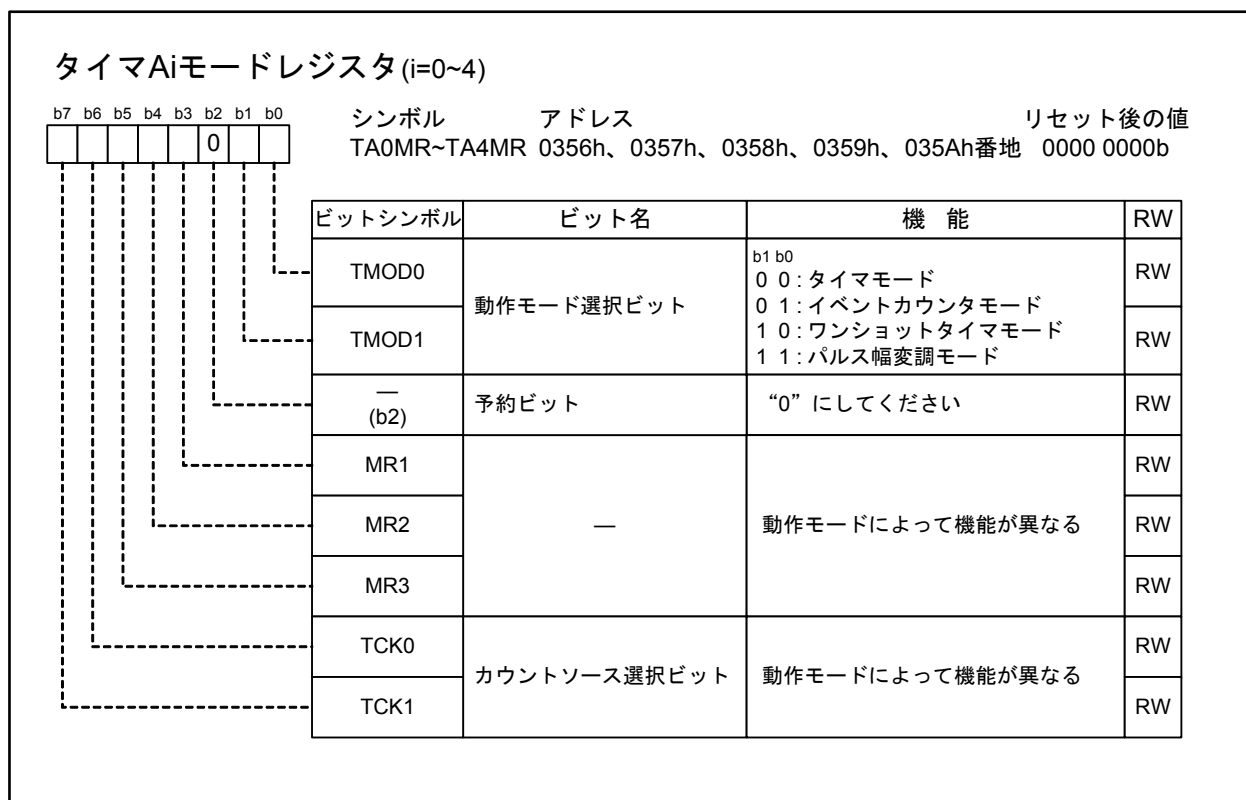


図 16.5 TA0MR~TA4MR レジスタ

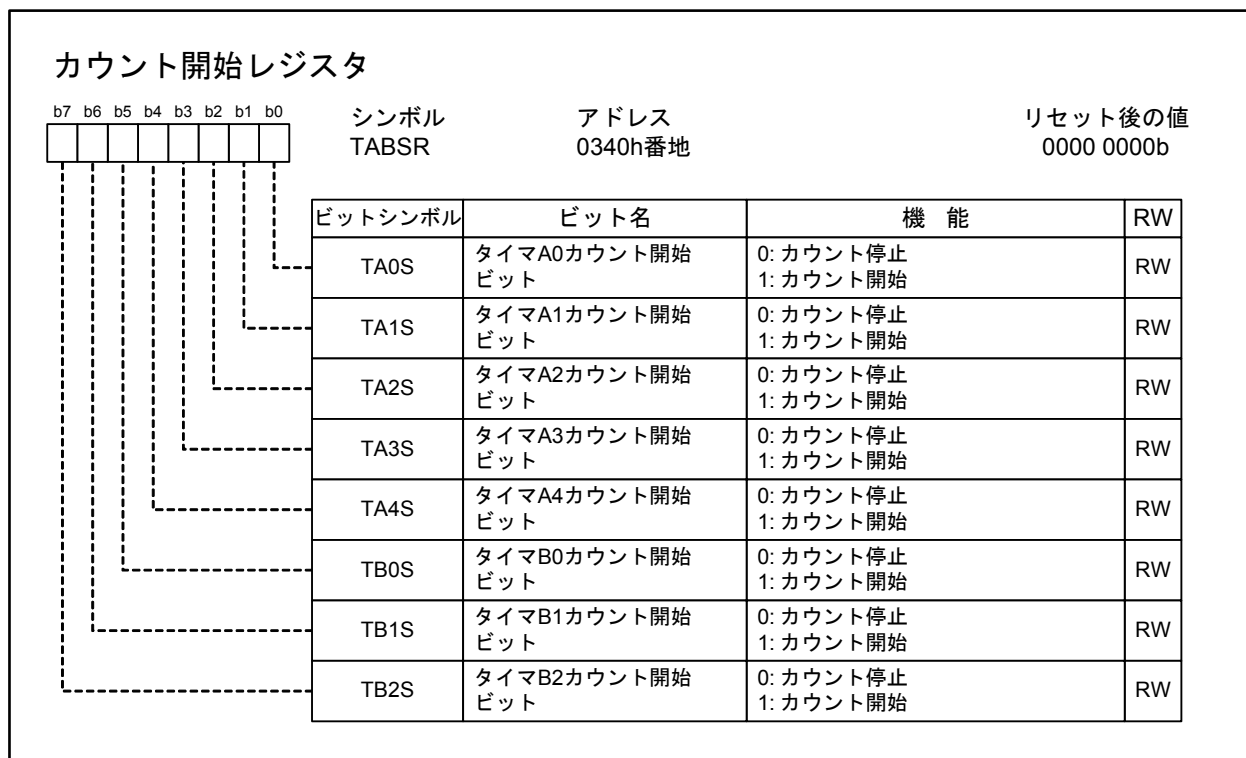


図 16.6 TABSR レジスタ

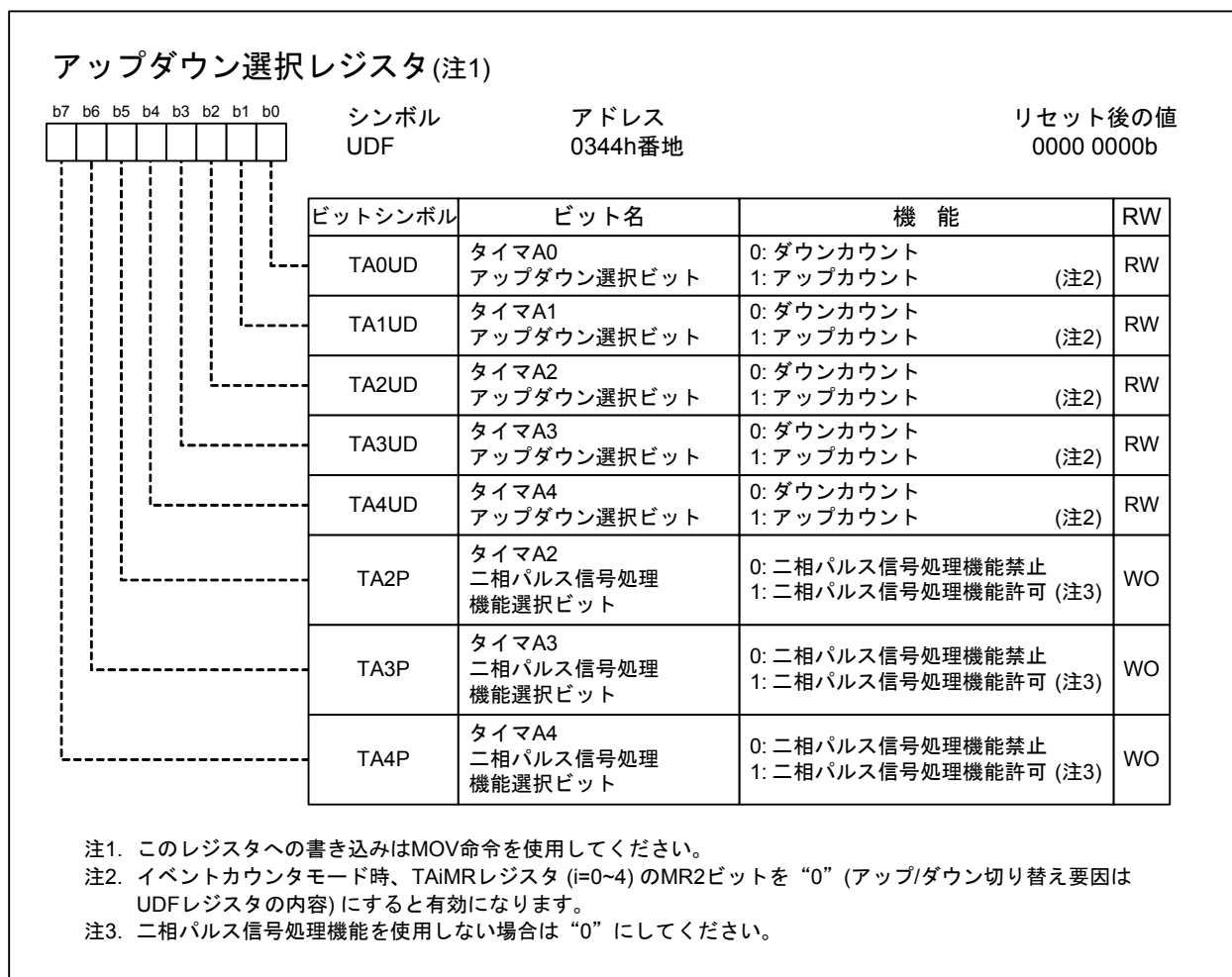


図 16.7 UDFレジスタ

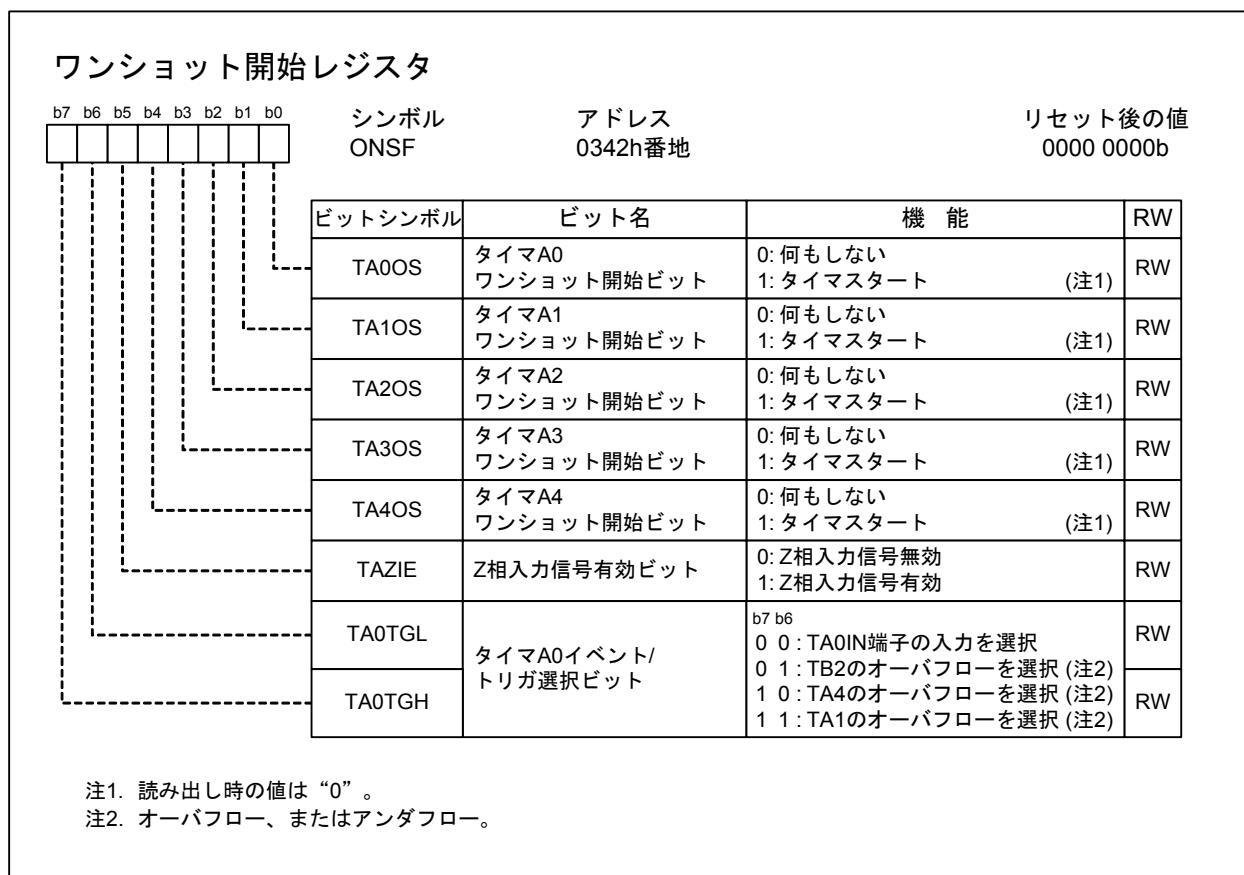


図 16.8 ONSF レジスタ

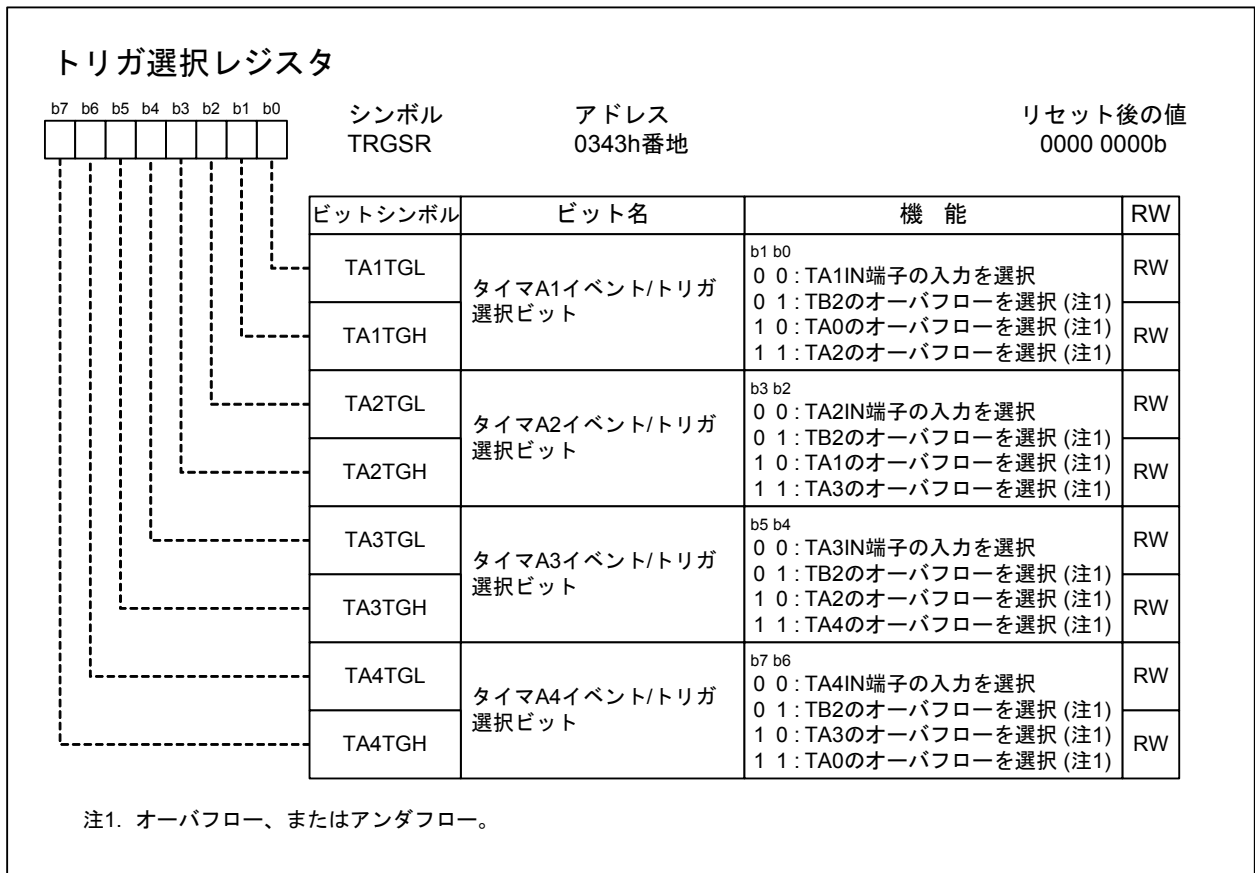


図 16.9 TRGSR レジスタ

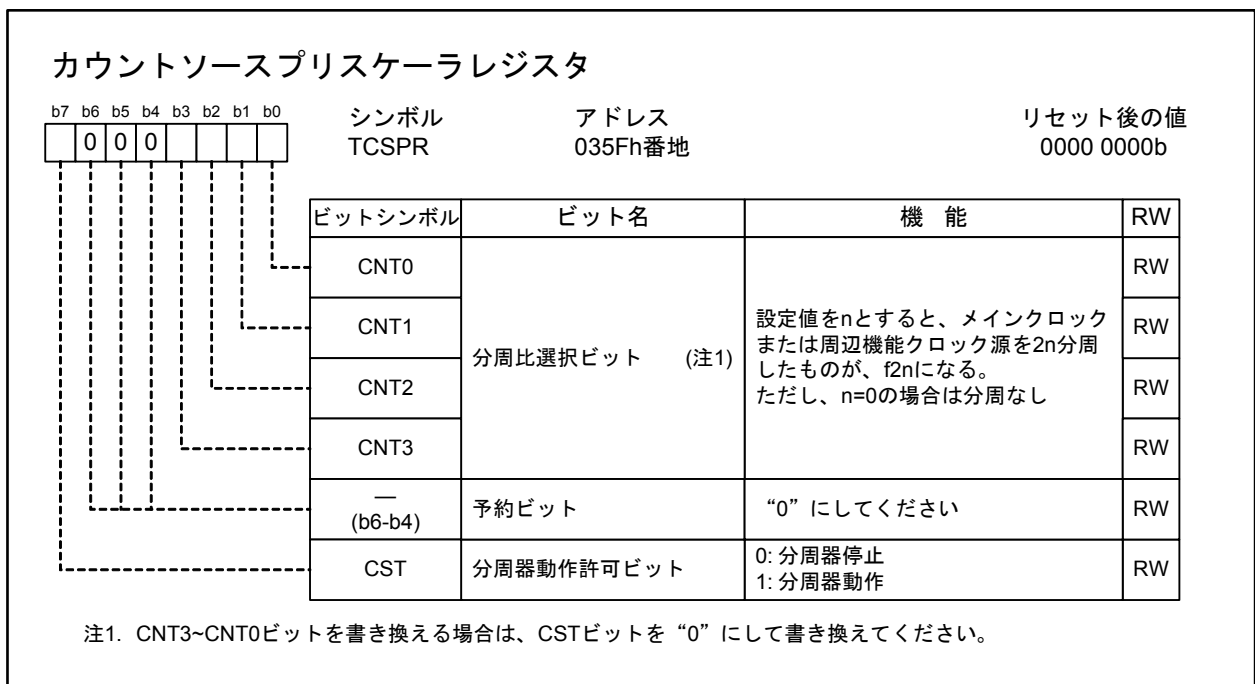


図 16.10 TCSPR レジスタ

16.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 16.1 にタイマモードの仕様を、図 16.11 にタイマモード時の TA0MR~TA4MR レジスタを示します。

表 16.1 タイマモードの仕様(i=0~4)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時、リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{n+1}$ n: TAIレジスタ設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TABSRレジスタのTAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能	<ul style="list-style-type: none"> • ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 • パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転 TAISビットが“0”(カウント停止)の期間は“L”出力

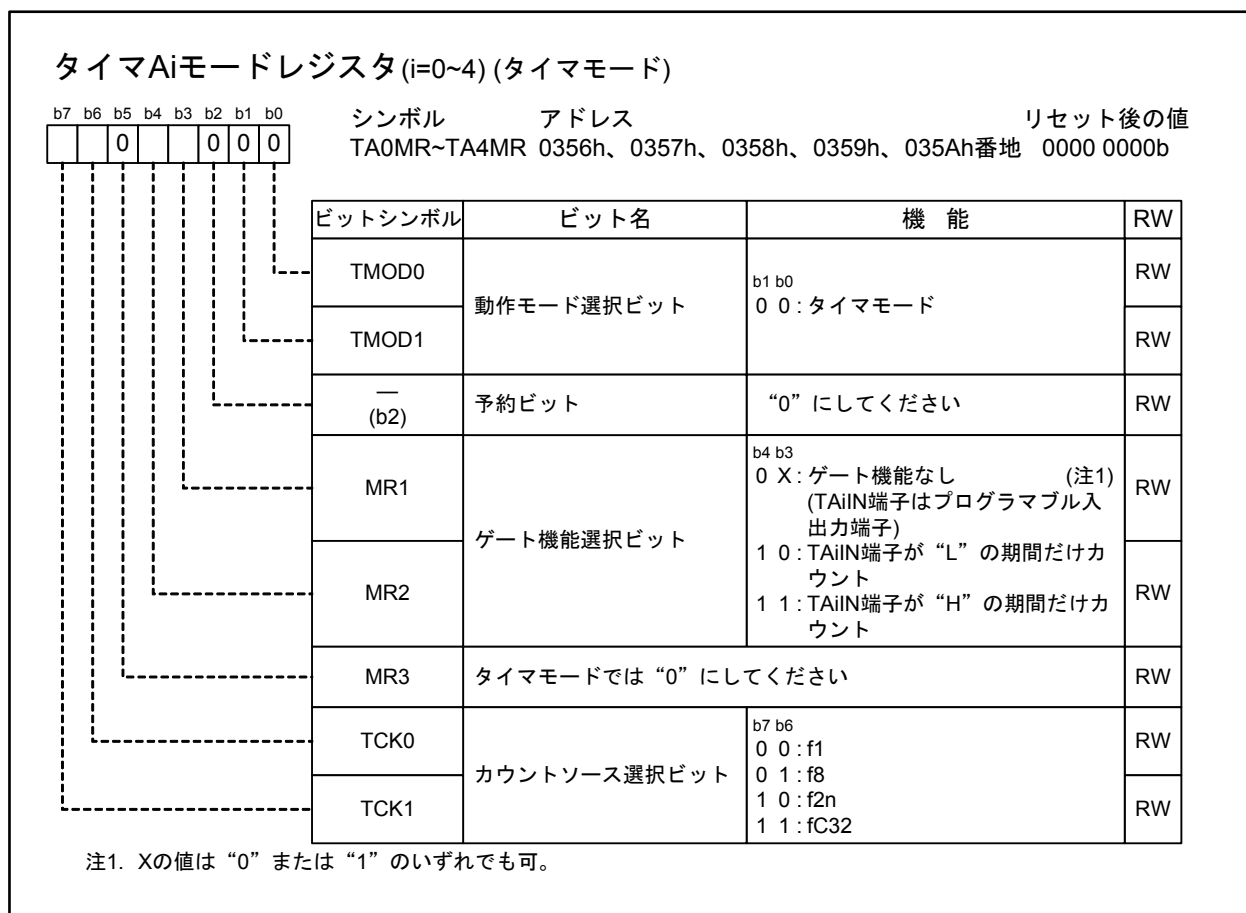


図 16.11 タイマモード時のTA0MR~TA4MRレジスタ

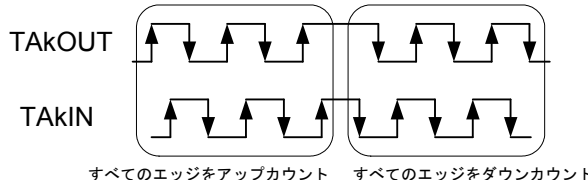
16.1.2 イベントカウンタモード

外部信号または他のタイマのオーバーフローとアンダフローをカウントするモードです。タイマ A2、A3、A4 は、二相の外部信号をカウントできます。表 16.2 にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、表 16.3 にイベントカウンタモードの仕様(タイマ A2、A3、A4 で二相パルス信号処理を使用する場合)を示します。図 16.12 にイベントカウンタモード時の TA0MR~TA4MR レジスタを示します。

表 16.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合) (i=0~4)

項目	仕様
カウントソース	<ul style="list-style-type: none"> TAiIN 端子に入力された外部信号(プログラムにて有効エッジを選択可能) タイマ B2 のオーバーフローとアンダフロー、タイマ Aj (j = i - 1、ただし i = 0 のとき j = 4) のオーバーフローとアンダフロー、タイマ Ak (k = i + 1、ただし i = 4 のとき k = 0) のオーバーフローとアンダフロー
カウント動作	<ul style="list-style-type: none"> アップカウントまたはダウンカウントを、外部信号またはプログラムで選択可能 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続します。フリーラン機能選択時はリロードせずカウントを継続します
分周比	<ul style="list-style-type: none"> アップカウント時: $\frac{1}{FFFFh - n + 1}$ ダウンカウント時: $\frac{1}{n + 1}$ n: TAI レジスタ設定値 0000h~FFFFh
カウント開始条件	TABSR レジスタの TAI _S ビットを“1” (カウント開始)にする
カウント停止条件	TABSR レジスタの TAI _S ビットを“0” (カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時とアンダフロー時
TAiIN 端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT 端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAI レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中、カウント開始後 1 回目のカウントソースが入力されるまで TAI レジスタに書くと、リロードレジスタとカウンタの両方に書かれる カウント中 TAI レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能	<ul style="list-style-type: none"> フリーランカウント機能 オーバーフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバーフローまたはアンダフローするごとに TAIOUT 端子の極性が反転 TAI_S ビットが“0” (カウント停止)の期間は“L”出力

表 16.3 イベントカウンタモードの仕様(タイマA2~A4で二相パルス信号処理を使用する場合)(i=2~4)

項目	仕様
カウントソース	TAiIN、TAiOUT 端子に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントを二相パルス信号によって切り替え可 • オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続します。フリーラン機能選択時はリロードせずカウントを継続します
分周比	<ul style="list-style-type: none"> • アップカウント時: $\frac{1}{FFFFh - n + 1}$ • ダウンカウント時: $\frac{1}{n + 1}$ n: TAI設定値 0000h~FFFFh
カウント開始条件	TABSR レジスタのTAIS ビットを“1” (カウント開始)にする
カウント停止条件	TABSR レジスタのTAIS ビットを“0” (カウント停止)にする
割り込み要求発生タイミング	オーバフロー時とアンダフロー時
TAiIN 端子機能	二相パルス入力
TAiOUT 端子機能	二相パルス入力
タイマの読み出し	TAi レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能(注1)	<ul style="list-style-type: none"> • 通常処理動作(タイマA2、タイマA3) TAjOUT 端子(j=2, 3)の入力信号が“H”レベルの期間TAjIN 端子の立ち上がりや下りをアップカウントし、立ち下りをダウンカウントします  <p style="text-align: center;">アップ アップ アップ ダウン ダウン ダウン カウント カウント カウント カウント カウント カウント</p> • 4 通倍処理動作(タイマA3、タイマA4) TAKOUT 端子(k=3, 4)の入力信号が“H”の期間にTAKIN 端子が立ち上がる位相関係の場合、TAKOUT、TAKIN 端子の立ち上がり、立ち下りをアップカウントします。TAKOUT 端子の入力信号が“H”の期間にTAKIN 端子が立ち下がる位相関係の場合、TAKOUT、TAKIN 端子の立ち上がり、立ち下りをダウンカウントします  <p style="text-align: center;">すべてのエッジをアップカウント すべてのエッジをダウンカウント</p> • Z相入力によるカウンタ初期化(タイマA3) Z相入力により、タイマのカウント値を“0”にします

注1. タイマA3だけいずれかを選択できます。タイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

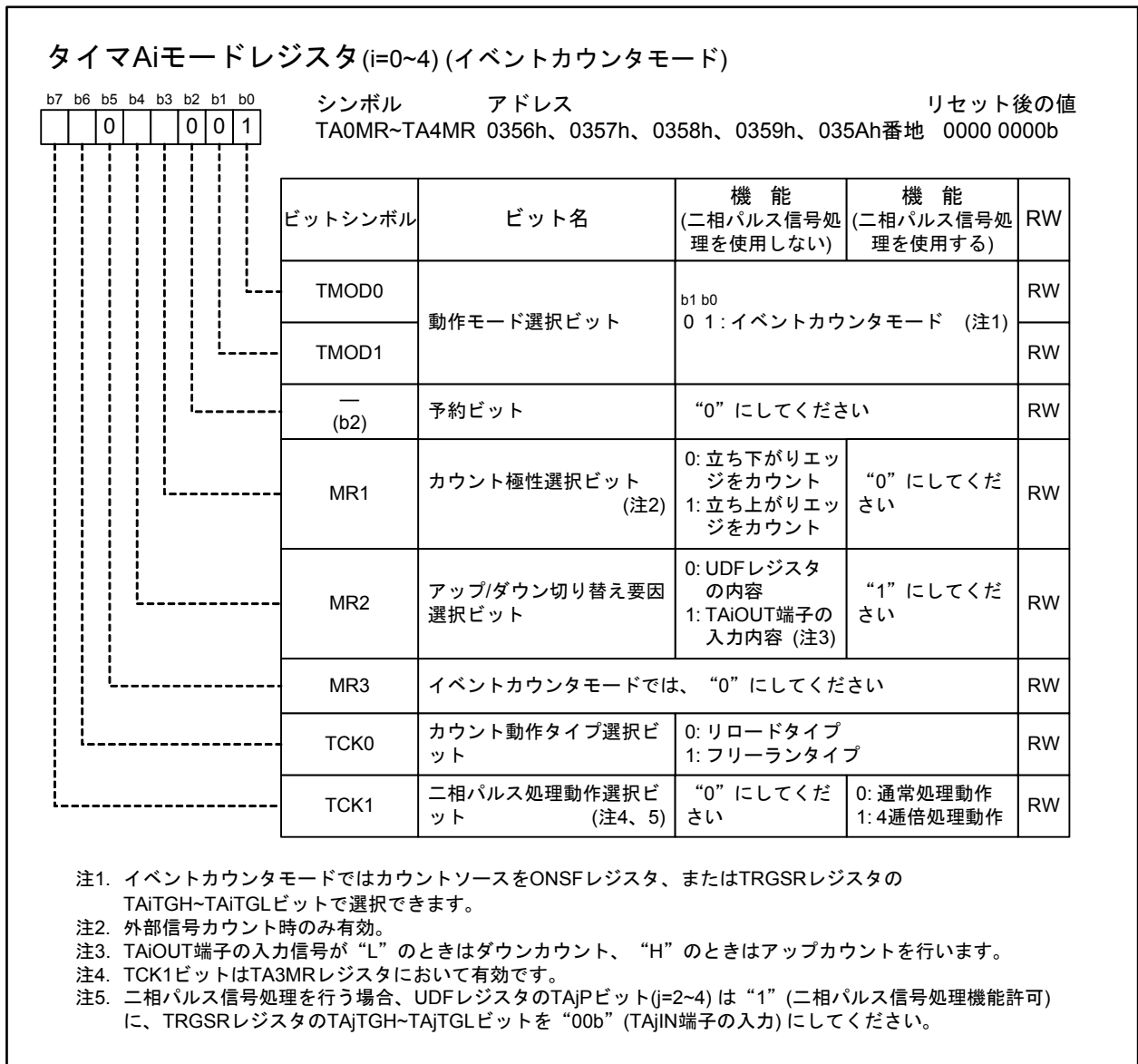


図 16.12 イベントカウンタモード時のTA0MR~TA4MRレジスタ

16.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力信号により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相は $\overline{\text{INT2}}$ 端子から入力します。

ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。また、Z相入力でカウンタを“0”にするためには、TA3レジスタにあらかじめ“0000h”を書いてください。

Z相入力は、 $\overline{\text{INT2}}$ 入力のエッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期分以上になるように入力してください。図16.13に二相パルス(A相、B相)とZ相の関係を示します。

Z相入力でのカウンタが初期化されるタイミングは、Z相入力を受けた次のカウンタソースタイミングになります。図16.14にカウンタ初期化タイミングを示します。

タイマA3のオーバフローとアンダフロータイミングと $\overline{\text{INT2}}$ 入力によるカウンタの初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、本機能使用時はタイマA3の割り込み要求は使用しないでください。

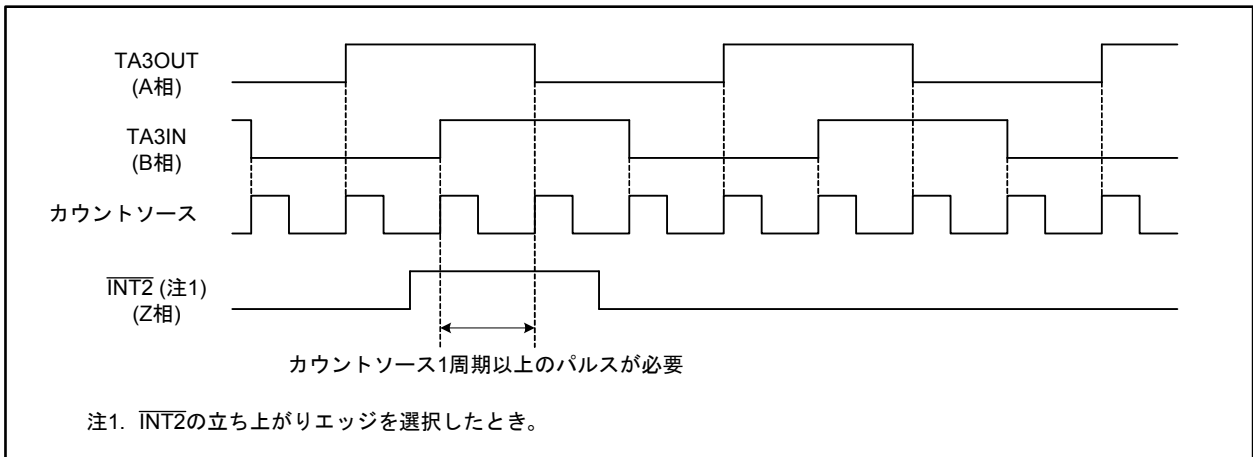


図 16.13 二相パルス(A相、B相)とZ相の関係

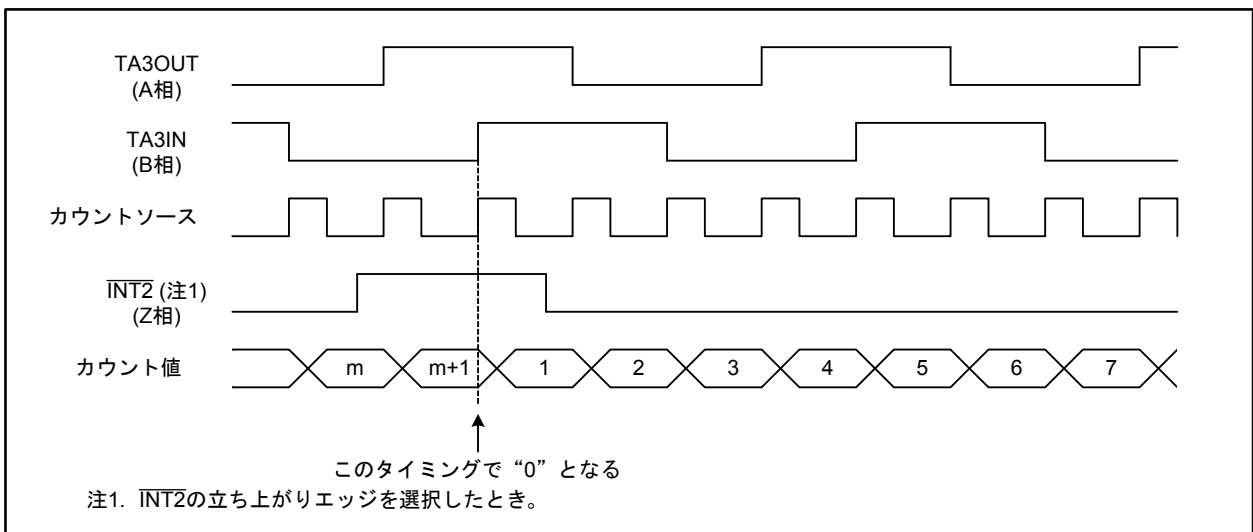


図 16.14 カウンタ初期化タイミング

16.1.3 ワンショットタイマモード

一度のトリガに対して一度だけタイマが動作するモードです。表 16.4 にワンショットタイマモードの仕様を示します。トリガが発生するとその時点から任意の期間、タイマが動作します。図 16.15 にワンショットタイマモード時の TA0MR~TA4MR レジスタを示します。

表 16.4 ワンショットタイマモードの仕様(i=0~4)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・カウントの値が0000hになるタイミングでリロードしてカウントを停止 ・カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	$\frac{1}{n}$ n: TAIレジスタ設定値 0000h~FFFFh (ただし、“0000h”の場合、カウンタは動作しない)
カウント開始条件	TABSRレジスタのTAISビットが“1”(カウント開始)で、かつ以下のトリガが発生 <ul style="list-style-type: none"> ・TAiIN端子からの外部トリガ入力 ・タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー ・ONSFレジスタのTAIOSビットを“1”(タイマスタート)にする
カウント停止条件	<ul style="list-style-type: none"> ・カウントの値が“0000h”になり、リロードした後 ・TABSRレジスタのTAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウントの値が“0000h”になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読んだ場合、その値は不定
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能	<ul style="list-style-type: none"> ・パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

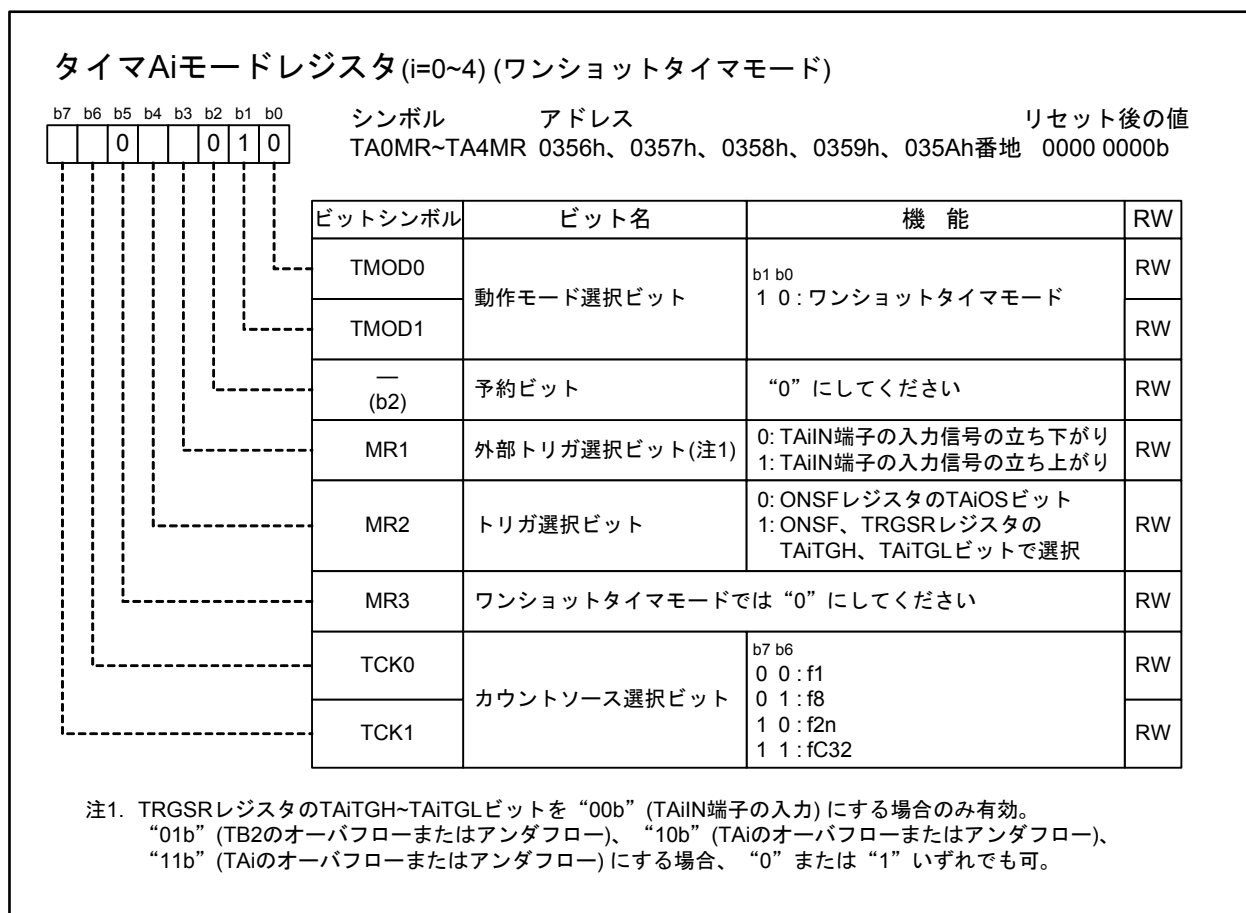


図 16.15 ワンショットタイマモード時のTA0MR~TA4MRレジスタ

16.1.4 パルス幅変調モード

任意の幅のパルスを連続して出力するモードです。表 16.5 にパルス幅変調モードの仕様を示します。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図 16.16 にパルス幅変調モード時の TA0MR~TA4MR レジスタ、図 16.17 に 16ビットパルス幅変調器の動作例、図 16.18 に 8ビットパルス幅変調器の動作例を示します。

表 16.5 パルス幅変調モードの仕様 (i=0~4)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント (8ビット、または 16ビットパルス幅変調器として動作) • PWMパルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> • “H”幅: $\frac{n}{fj}$ n: TAIレジスタ設定値 0000h~FFFEh fj: カウントソース周波数 • 周期: $\frac{2^{16}-1}{fj}$ 固定
8ビットPWM	<ul style="list-style-type: none"> • “H”幅: $\frac{n \times (m+1)}{fj}$ n: TAIレジスタの上位番地の設定値 00h~FEh • 周期: $\frac{(2^8-1) \times (m+1)}{fj}$ m: TAIレジスタの下位番地の設定値 00h~FFh
カウント開始条件	以下のいずれかを選択可能 <ul style="list-style-type: none"> • TABSRレジスタのTAISビットを“1” (カウント開始)にする • TAISビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAISビットが“1”で、かつ以下のトリガが発生 タイマB2のオーバフローまたはアンダフロー、タイマAj (j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk (k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント停止条件	TABSRレジスタのTAISビットを“0” (カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAIレジスタを読んだ場合、その値は不定
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAIレジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAIレジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)

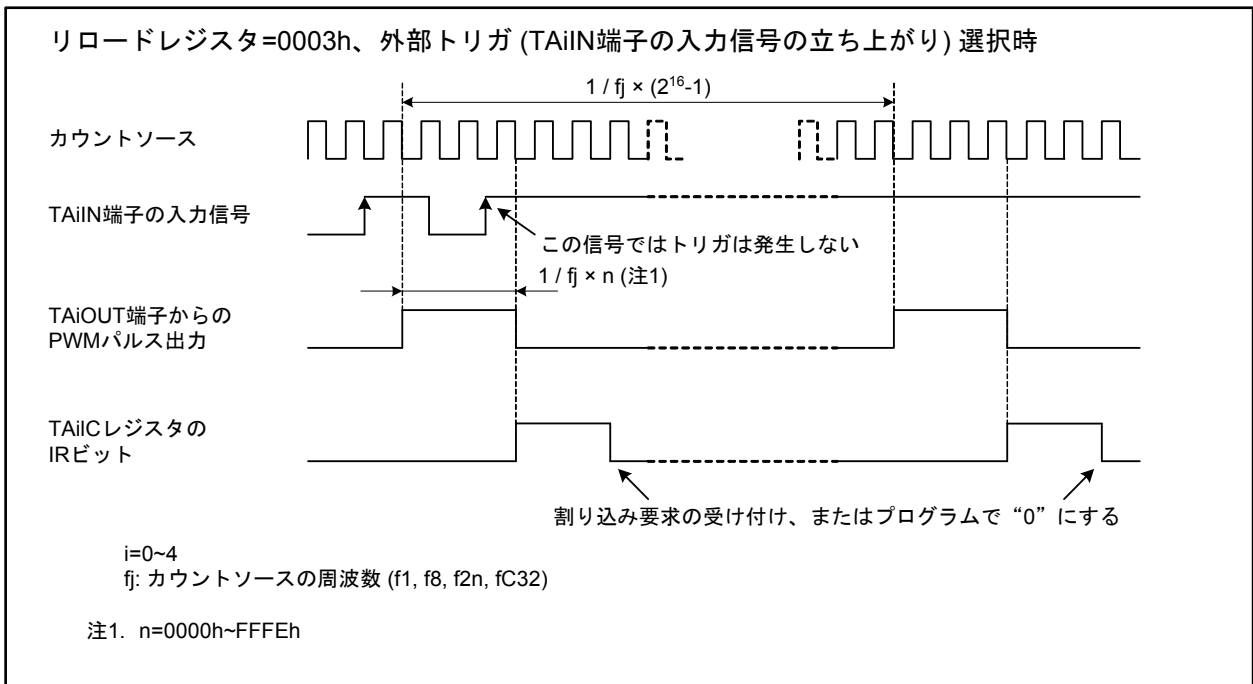


図 16.17 16ビットパルス幅変調器の動作例

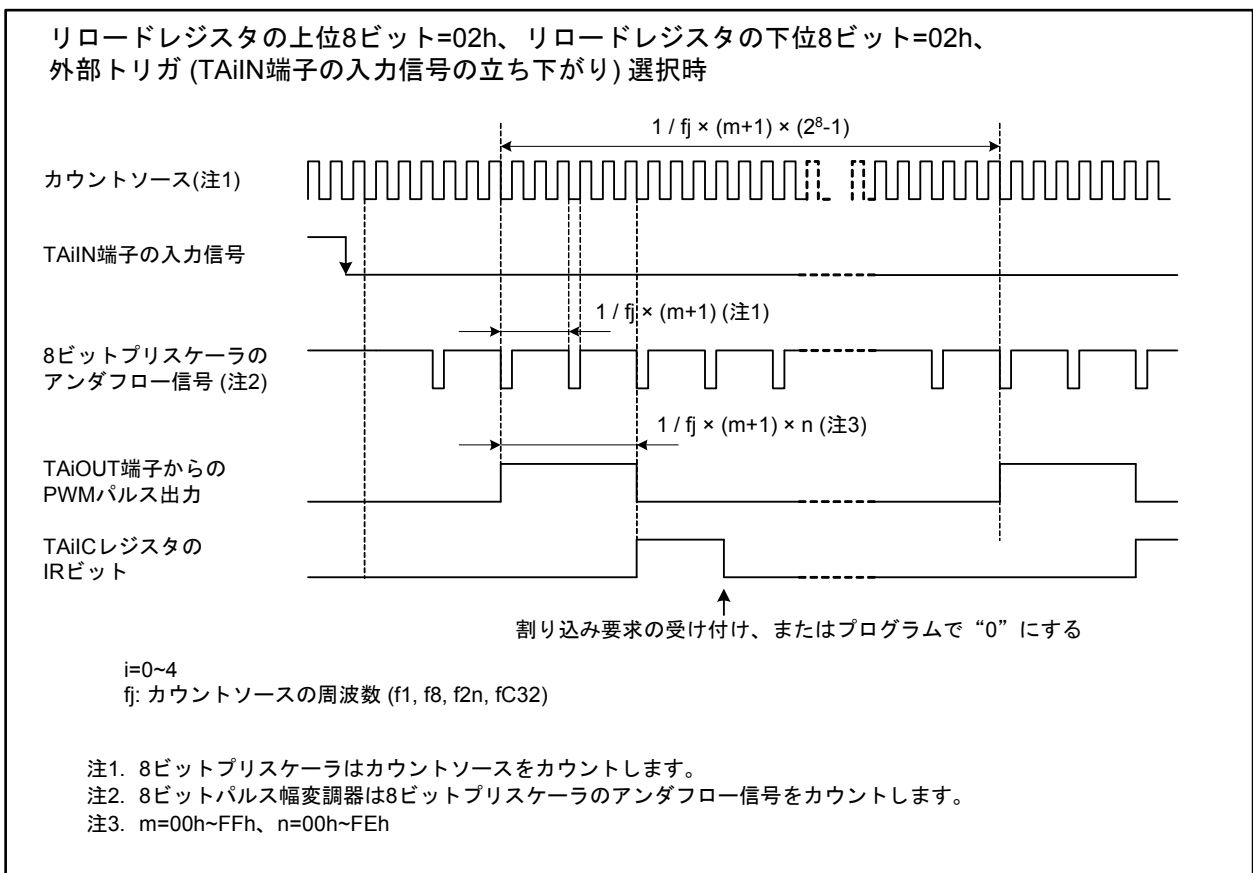


図 16.18 8ビットパルス幅変調器の動作例

タイマBiレジスタ (i=0~5) (注1)

シンボル	アドレス	リセット後の値
TB0~TB2	0351h-0350h、0353h-0352h、0355h-0354h番地	不定
TB3~TB5	0311h-0310h、0313h-0312h、0315h-0314h番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する (注2)	0000h~FFFFh	RW
パルス周期測定モード パルス幅測定モード	TBiIN入力パルスの有効エッジから有効エッジまでの期間、カウントソースをアップカウントする	—	RO

注1. 読み出し、または書き込みは16ビット単位で実行してください。

注2. 外部入力パルスまたは他のタイマのオーバフローとアンダフローをカウント。

図 16.20 TB0~TB5 レジスタ

タイマBiモードレジスタ (i=0~5)

シンボル	アドレス	リセット後の値
TB0MR~TB2MR	035Bh、035Ch、035Dh番地	00XX 0000b
TB3MR~TB5MR	031Bh、031Ch、031Dh番地	00XX 0000b

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定モード、パルス幅測定モード 1 1 : 設定しないでください	RW
TMOD1			RW
MR0	—	動作モードによって機能が異なる (注1、2)	RW
MR1			RW
MR2			RW
MR3			RW
TCK0	カウントソース選択ビット	動作モードによって機能が異なる	RW
TCK1			RW

注1. MR2ビットは、TB0MR、TB3MRレジスタにのみ存在します。

注2. TB1MR、TB2MR、TB4MR、TB5MRレジスタでは、MR2ビットには何も配置されていません。

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図 16.21 TB0MR~TB5MR レジスタ

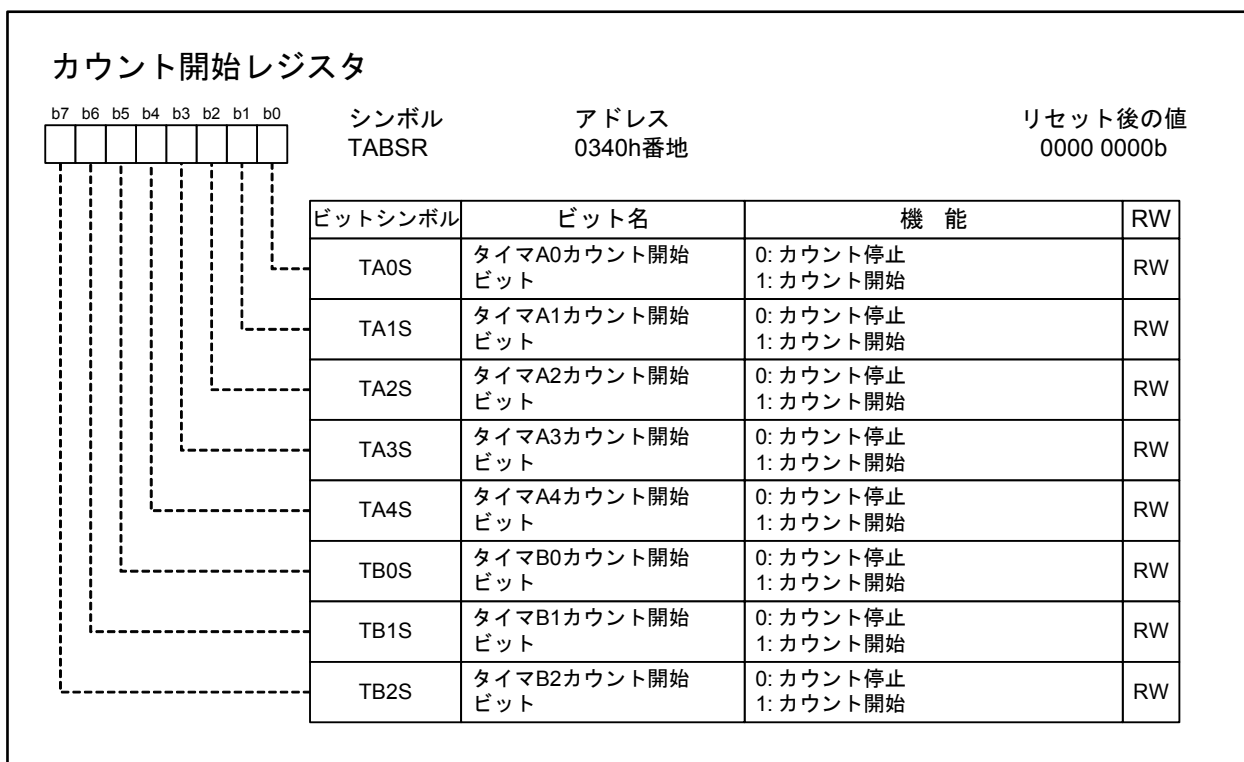


図 16.22 TABSR レジスタ

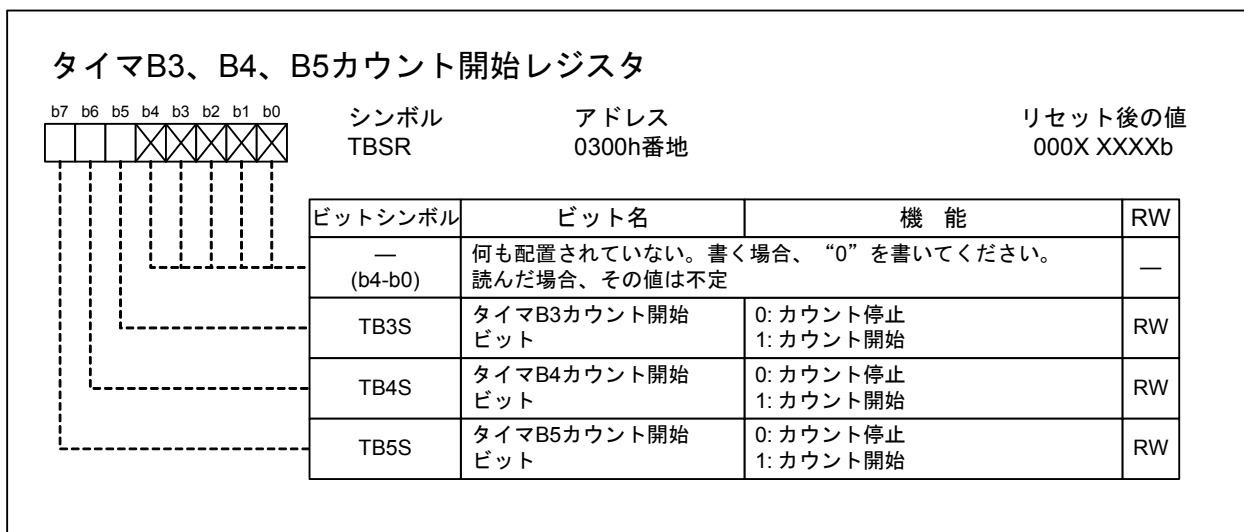


図 16.23 TBSR レジスタ

16.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 16.6 にタイマモードの仕様を、図 16.24 にタイマモード時の TB0MR~TB5MR レジスタを示します。

表 16.6 タイマモードの仕様(i=0~5)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{n+1}$ n: TBi レジスタ設定値 0000h~FFFFh
カウント開始条件	TABSR、TBSR レジスタの TBiS ビットを“1” (カウント開始) にする
カウント停止条件	TABSR、TBSR レジスタの TBiS ビットを“0” (カウント停止) にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	プログラマブル入出力ポート
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TBi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる カウント中 TBi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

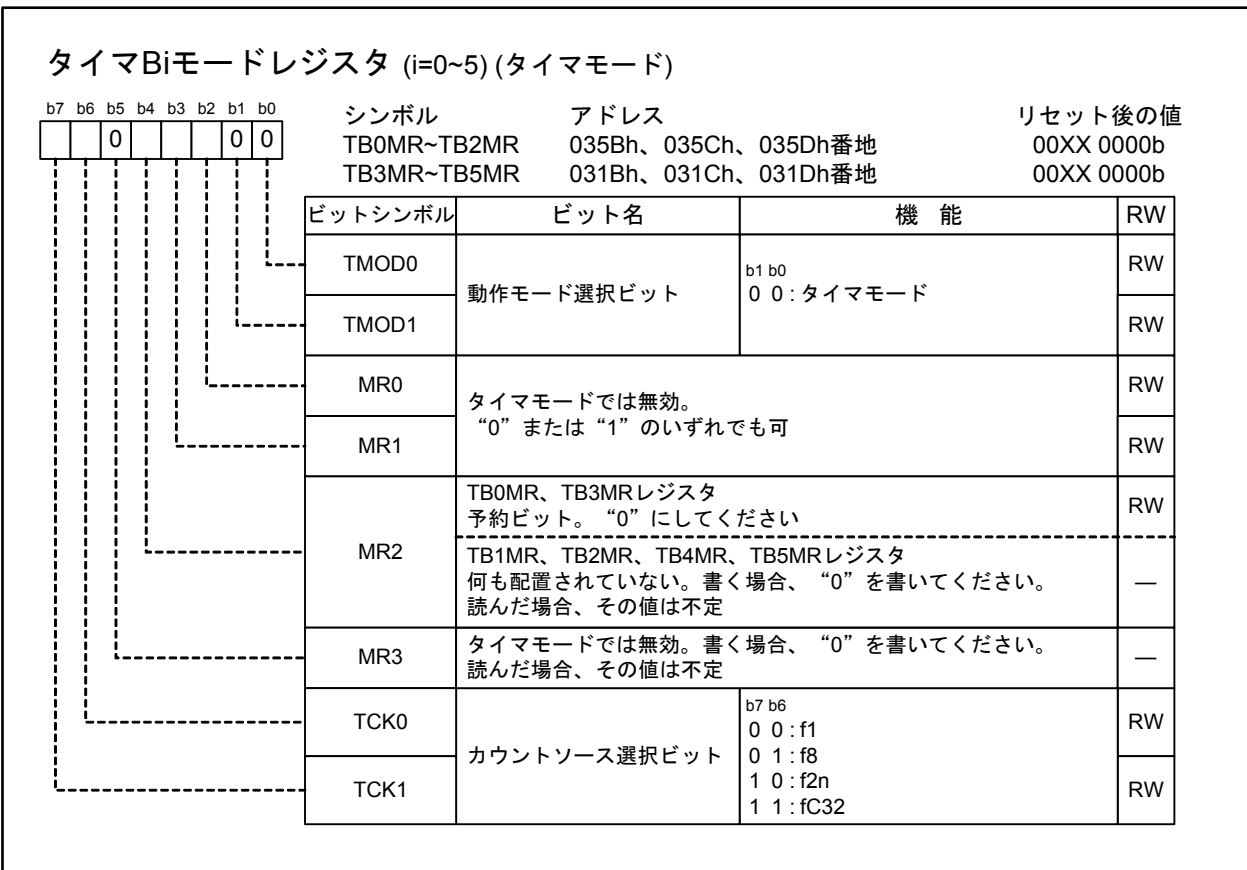


図 16.24 タイマモード時の TB0MR~TB5MR レジスタ

16.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフローまたはアンダフローをカウントするモードです。表 16.7 にイベントカウンタモードの仕様を、図 16.25 にイベントカウンタモード時の TB0MR~TB5MR レジスタを示します。

表 16.7 イベントカウンタモードの仕様 (i=0~5)

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TBiIN 端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がり立ち上りをプログラムによって選択可 • TBj のオーバフローとアンダフロー (j = i - 1、ただし i = 0 のとき j = 2、i = 3 のとき j = 5)
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{n+1}$ n: TBi レジスタ設定値 0000h~FFFFh
カウント開始条件	TBSR レジスタ、TBSR レジスタの TBiS ビットを "1" (カウント開始) にする
カウント停止条件	TABSР レジスタ、TBSR レジスタの TBiS ビットを "0" (カウント停止) にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	プログラマブル入出力ポート、カウントソース入力
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き出し	<ul style="list-style-type: none"> • カウント停止中、カウント開始後 1 回目のカウントソースが入力されるまで TBi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TBi レジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)

タイマBiモードレジスタ (i=0~5) (イベントカウンタモード)

ビットシンボル	ビット名	機能	RW
シンボル アドレス リセット後の値 TB0MR~TB2MR 035Bh、035Ch、035Dh番地 00XX 0000b TB3MR~TB5MR 031Bh、031Ch、031Dh番地 00XX 0000b			
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
TMOD1			RW
MR0	カウント極性選択ビット (注1)	b3 b2 0 0: 立ち下がりエッジをカウント 0 1: 立ち上がりエッジをカウント 1 0: 両エッジをカウント 1 1: 設定しないでください	RW
MR1			RW
MR2	TB0MR、TB3MRレジスタ 予約ビット。“0”にしてください		RW
MR3	TB1MR、TB2MR、TB4MR、TB5MRレジスタ 何も配置されていない。書く場合“0”を書いてください。 読んだ場合、その値は不定		—
TCK0	イベントカウンタモードでは無効。 書く場合“0”を書いてください。読んだ場合、その値は不定		—
TCK1	イベントクロック選択 ビット	0: TBiIN端子からの入力 1: TBjのオーバフローまたは、アンダ フロー (注2)	RW

- 注1. TCK1ビットが“0”の場合有効。
TCK1ビットが“1”の場合は、“0”または“1”のいずれでも可。
- 注2. $j = i - 1$ 。ただし、 $i=0$ のとき $j=2$ 、 $i=3$ のとき $j=5$ 。

図 16.25 イベントカウンタモード時のTB0MR~TB5MRレジスタ

16.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。表 16.8 にパルス周期測定モード、パルス幅測定モードの仕様を、図 16.26 にパルス周期測定モード、パルス幅測定モード時の TB0MR ~ TB5MR レジスタ、図 16.27 にパルス周期測定時の動作例、図 16.28 にパルス幅測定時の動作例を示します。

表 16.8 パルス周期測定モード、パルス幅測定モードの仕様 (i=0~5)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	アップカウント 被測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TABSR レジスタ、TBSR レジスタの TBiS ビットを“1” (カウント開始) にする
カウント停止条件	TABSR レジスタ、TBSR レジスタの TBiS ビットを“0” (カウント停止) にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> 被測定パルスの有効エッジ入力時 (注1) オーバフロー時 (同時に TBiMR レジスタの MR3 ビットが“1” (オーバフローあり) になります (注2))
TBiIN 端子機能	被測定パルス入力
タイマの読み出し	TBi レジスタを読むと、リロードレジスタの内容 (測定結果) が読める (注3)
タイマの書き込み	TBi レジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. TBiS ビットが“1” (カウント開始) のとき、MR3 ビットが“1” (オーバフローあり) になってからカウントソース1クロック以上経過した後、TBiMR レジスタに書くと“0” (オーバフローなし) になります。

注3. カウント開始後2回目の有効エッジ入力までは、TBi レジスタからの読み出し値は不定です。

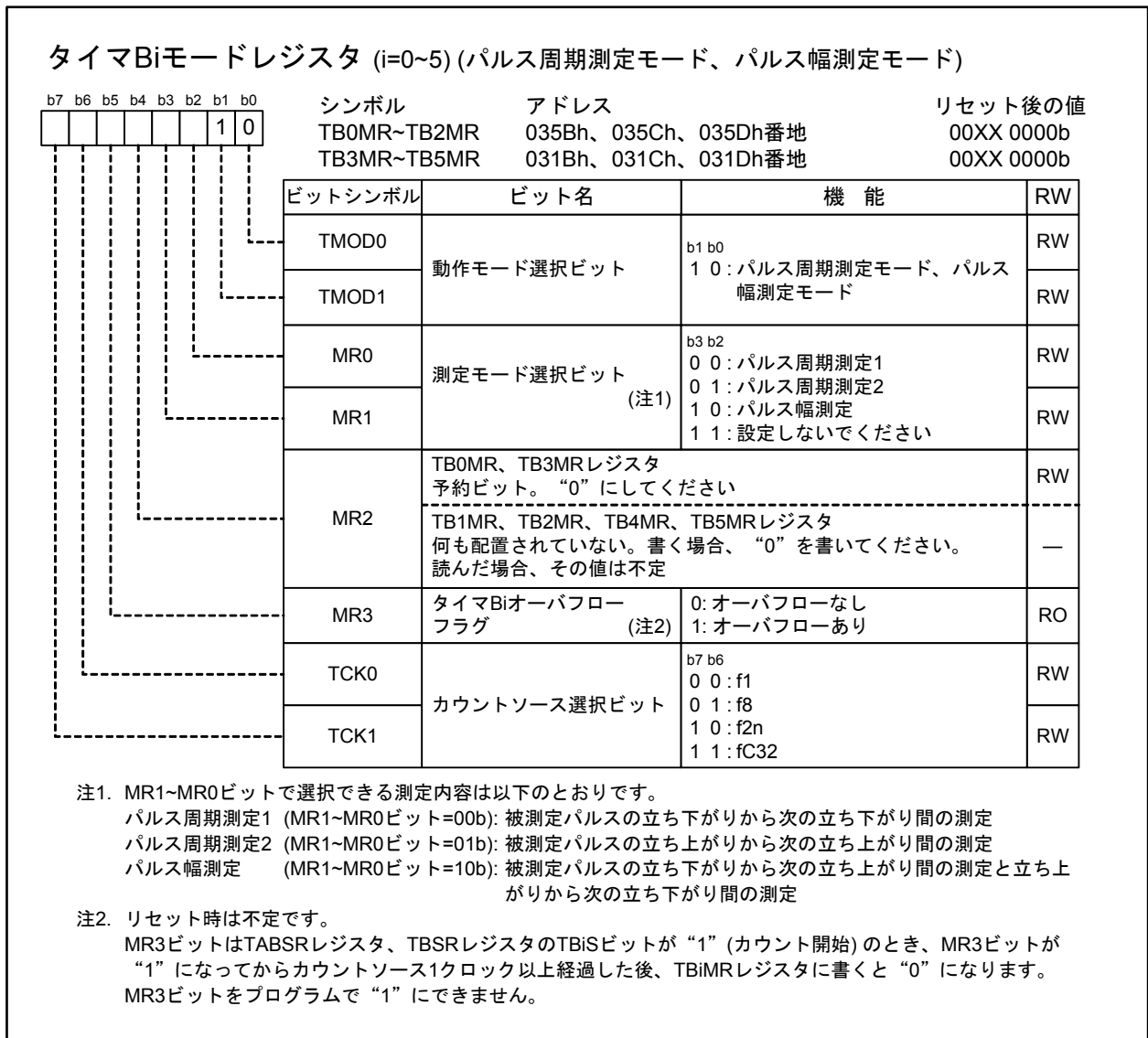


図 16.26 パルス周期測定モード、パルス幅測定モード時のTB0MR~TB5MRレジスタ

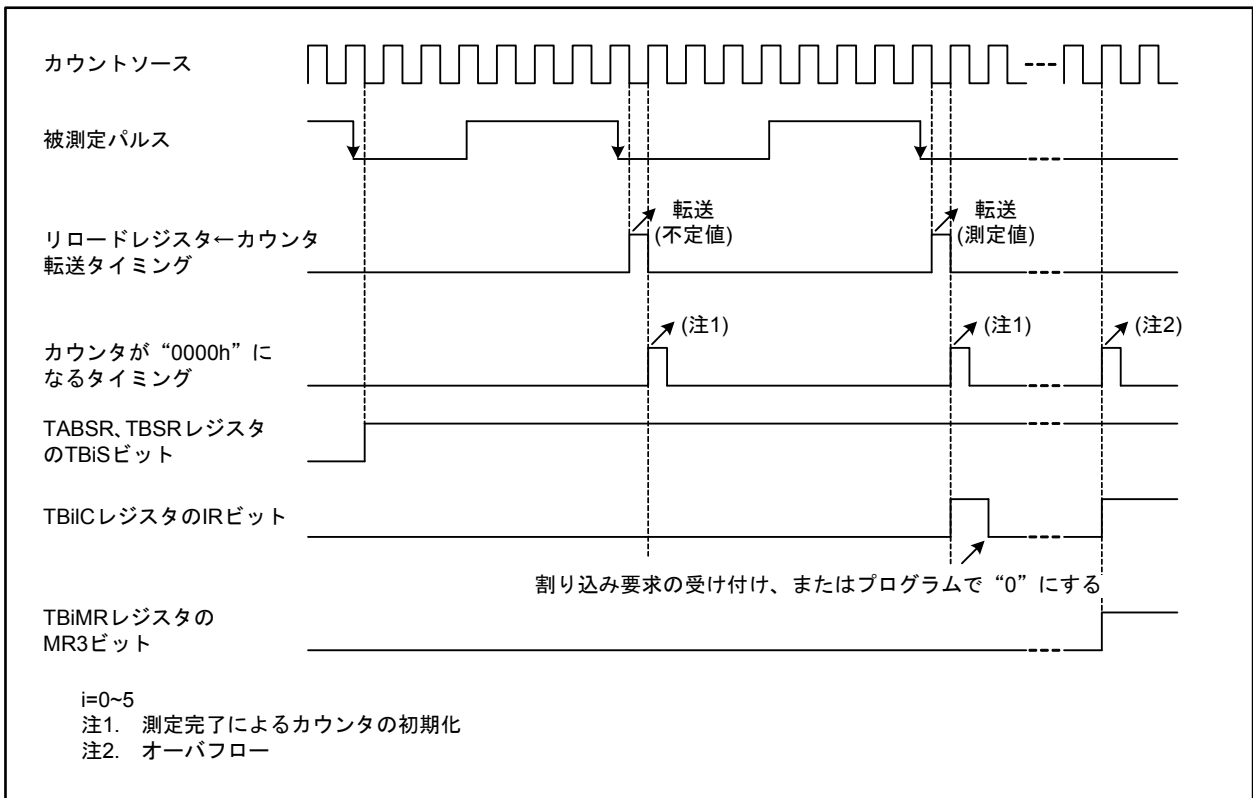


図 16.27 パルス周期測定時の動作図

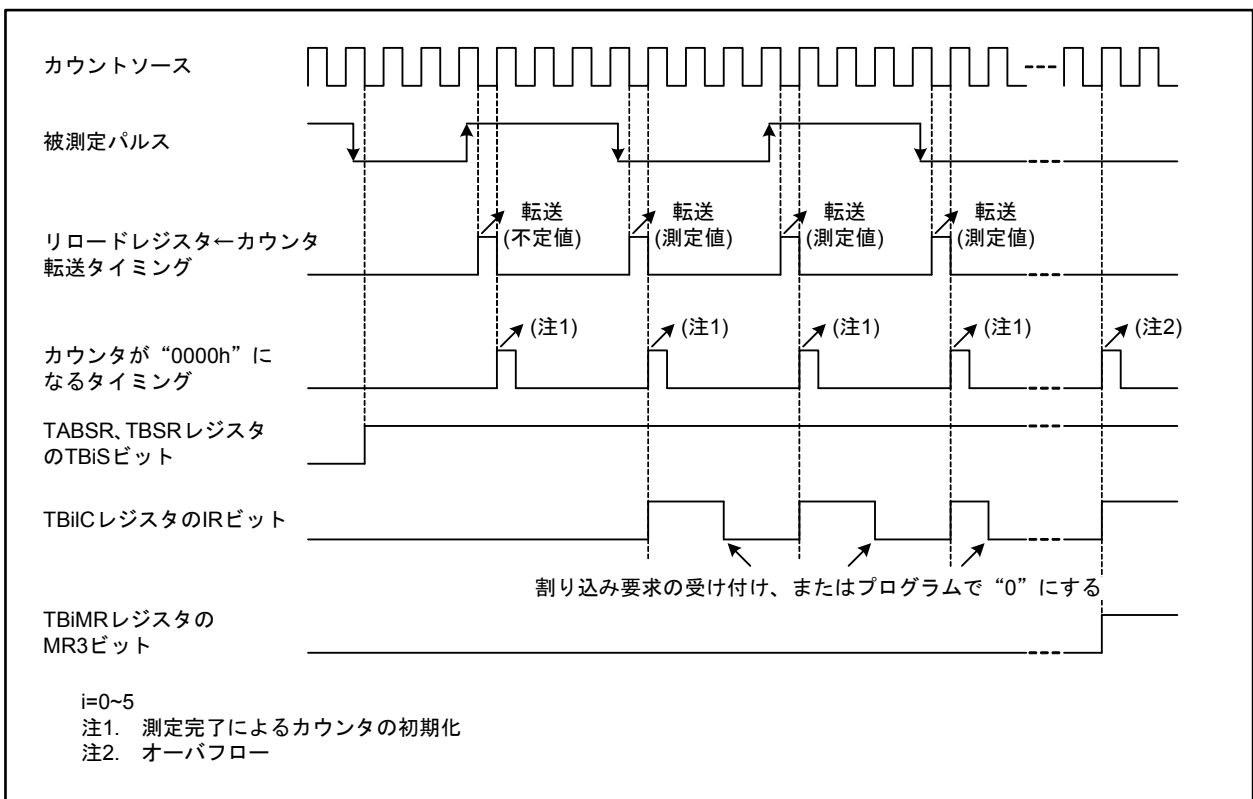


図 16.28 パルス幅測定時の動作図

16.3 タイマ使用上の注意

16.3.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSРレジスタまたはTBSRレジスタの、TAiSビット(i=0~4)またはTBjSビット(j=0~5)を“1”(カウント開始)にしてください。

以下のレジスタ、ビットは、対応するTAiSビットまたはTBjSビットが“0”(カウント停止)の状態に変更してください。

- TAiMRレジスタ、TBjMRレジスタ
- UDFレジスタ
- ONSFレジスタのTAZIEビット、TA0TGLビット、TA0TGHビット
- TRGSRレジスタ

16.3.2 タイマA

16.3.2.1 タイマモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

16.3.2.2 イベントカウンタモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なった場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

16.3.2.3 ワンショットタイマモード時

- カウント中にTABSРレジスタのTAiSビットを“0”(カウント停止)にすると、以下のようになります。
 - カウンタはカウントを停止し、TAiレジスタの設定値をリロードします。
 - TAiOUT端子は“L”を出力します。
 - CPUクロックの1サイクル後、TAiCレジスタのIRビットが“1”(割り込み要求あり)になります。
- ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、トリガにTAiIN端子への入力を選択している場合、トリガ入力からワンショットタイマの出力までに、最大でカウントソース1クロック分の遅延が生じます。
- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、下記の設定を行った後、IRビットを“0”にしてください。
 - リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

- カウント中に再トリガが発生した場合は、カウンタは1回ダウンカウントした後、TAiレジスタ (i=0~4) の設定値をリロードしてカウントを続けます。カウント中に再トリガを発生させる場合は、前回のトリガの発生からタイマのカウントソース1クロック以上経過した後に発生させてください。
- カウント開始条件にTAiIN端子へのトリガ入力を選択している場合、タイマAのカウント値が“0000h”になる直前の300 nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

16.3.2.4 パルス幅変調モード時

- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、以下の設定を行った後、IRビットを“0”にしてください。
 - リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したとき
- PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると以下のようになります。
 - カウンタはカウントを停止します。
 - TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
 - TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

16.3.3 タイマB

16.3.3.1 タイマモード、イベントカウンタモード時

- カウント中のカウンタの値は、TBjレジスタ(j=0~5)を読むことでいつでも知ることができます。ただし、TBjレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTBjレジスタに値を設定して、カウント開始前にTBjレジスタを読んだ場合、設定した値が読めます。

16.3.3.2 パルス周期測定/パルス幅測定モード時

- TBjMRレジスタのMR3ビットを“0”(オーバーフローなし)にするには、TBjSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバーフローあり)になってからカウントソース1クロック以上経過した後に、TBjMRレジスタに書いてください。
- オーバーフローだけの検出にはTBjICレジスタのIRビットを使用してください。MR3ビットは、割り込み処理ルーチンで割り込み要因を判断するときだけに使用してください。
- カウント開始時のカウンタの値は不定です。したがって、カウント開始後最初の有効エッジが入力されるまでにカウンタがオーバーフローし、タイマBj割り込み要求が発生する可能性があります。
- カウント開始後、最初の有効エッジが入力された時は、カウンタの値が不定なので不定値がリロードレジスタに転送されます。なお、このときタイマBj割り込み要求は発生しません。
- カウント開始後にTBjMRレジスタのMR1~MR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。ただし、MR1~MR0ビットに同じ値を上書きした場合は、IRビットは変化しません。
- パルス幅測定モードでは、連続してパルス幅を測定します。測定結果が“H”幅の測定結果であるか“L”幅の測定結果であるかは、プログラムで判断してください。
- パルス周期測定モードでは、カウンタのオーバーフローと同時に有効エッジが入力された場合、割り込み要求が1回しか発生しないため、有効エッジが入力されたことを確認できません。カウンタがオーバーフローしない範囲で使用してください。
- パルス幅測定モードでは、タイマBj割り込みの処理ルーチンでポートのレベルを読んで、カウンタがオーバーフローしたか、有効エッジが入力されたかを判断してください。

17. 三相モータ制御用タイマ機能

タイマ A1、A2、A4、B2 を使用して三相モータ駆動波形を出力できます。INVC0 レジスタの INV02 ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマ B2 を搬送波制御に、タイマ A4、A1、A2 を三相 PWM 出力 (U, \bar{U} , V, \bar{V} , W, \bar{W}) の制御に使用します。

表 17.1 に三相モータ制御用タイマ機能の仕様を、図 17.1 にブロック図を示します。また、図 17.2~図 17.6 に関連レジスタを示します。

表 17.1 三相モータ制御用タイマ機能の仕様

項目	仕様
三相 PWM 波形出力端子	6本 (U, \bar{U} , V, \bar{V} , W, \bar{W})
強制遮断入力(注1)	NMI 端子に“L”を入力
使用タイマ	タイマ A4、A1、A2 (ワンショットタイマモードで使用) タイマ A4: U、 \bar{U} 相波形制御 タイマ A1: V、 \bar{V} 相波形制御 タイマ A2: W、 \bar{W} 相波形制御 タイマ B2 (タイマモードで使用) 搬送波周期制御 短絡防止タイマ (8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 ・1周期すべて“H”または“L”出力可能 ・上側通電信号と下側通電信号の出力論理を独立して設定可能
搬送波周期	三角波変調: カウントソース $\times (m + 1) \times 2$ 鋸波変調: カウントソース $\times (m + 1)$ m: TB2 レジスタ設定値 0000h~FFFFh カウントソース: f1, f8, f2n, fC32
三相 PWM 出力幅	三角波変調: カウントソース $\times n \times 2$ 鋸波変調: カウントソース $\times n$ n: TA4、TA1、TA2 (INVC1 レジスタの INV11 ビットが“1”のときは TA4、TA41、TA1、TA11、TA2、TA21) レジスタ設定値 0001h~FFFFh カウントソース: f1, f8, f2n, fC32
短絡防止時間(幅)	カウントソース $\times p$ 、または短絡防止時間なし p: DTT レジスタ設定値 01h~FFh カウントソース: f1、または f1 の 2 分周
通電出力論理	アクティブ“H”またはアクティブ“L”選択可能
上下同時通電出力禁止機能	上下同時通電出力禁止機能あり、上下同時通電出力検出機能あり
割り込み頻度	タイマ B2 割り込みは、搬送波周期ごと~搬送波周期 15 回ごと選択

注1. NMI 入力による強制遮断は、PM2 レジスタの PM24 ビットが“1” (NMI 有効) で、INVC0 レジスタの INV02 ビットが“1” (三相モータ制御用タイマ機能を使用)、かつ INV03 ビットが“1” (三相モータ制御用タイマ出力許可) のとき有効です。

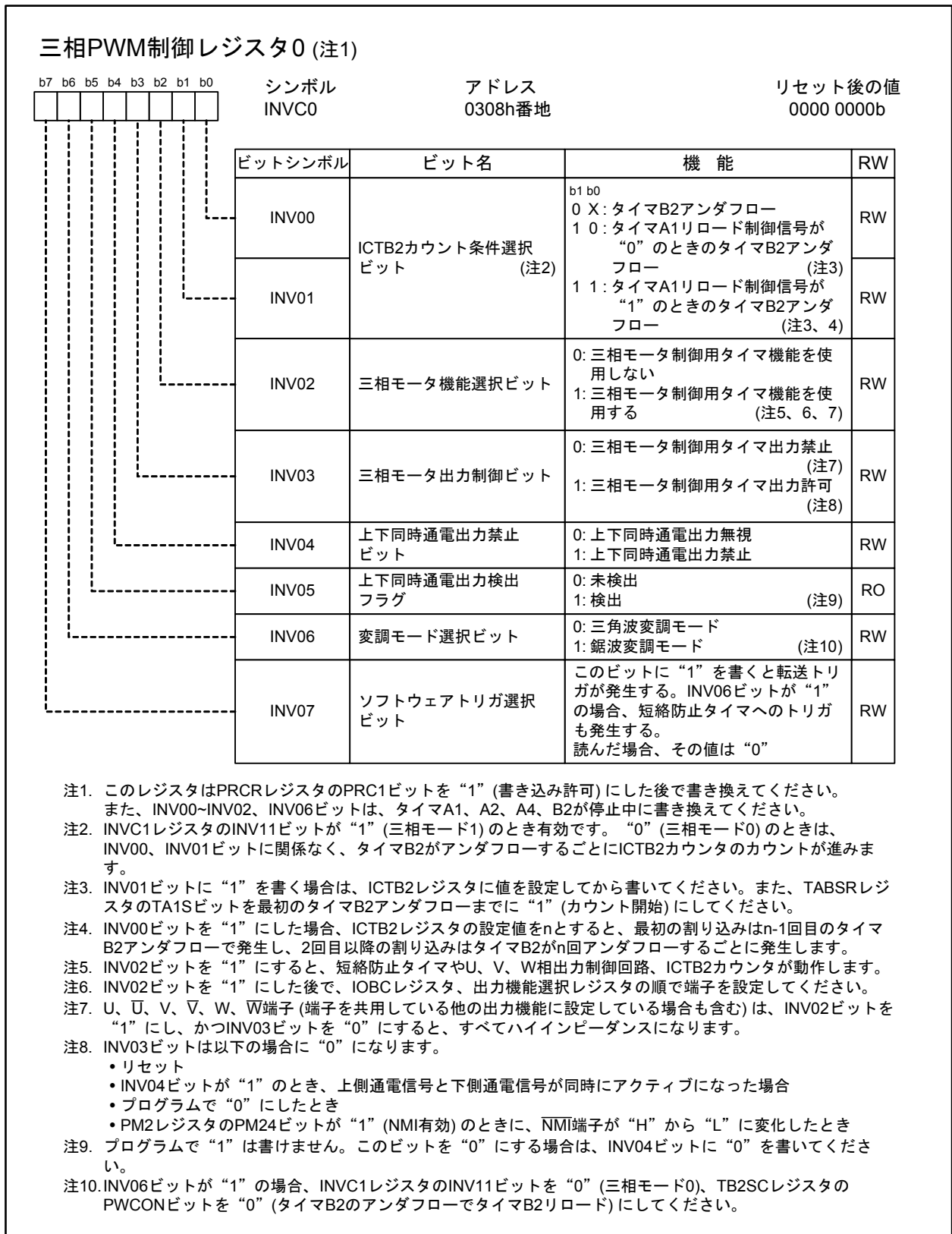


図 17.2 INVC0 レジスタ

三相PWM制御レジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0
 0

シンボル
INVC1

アドレス
0309h番地

リセット後の値
0000 0000b

ビットシンボル	ビット名	機能	RW
INV10	タイマA1、A2、A4 スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、TB2レジスタへの書き込み	RW
INV11	タイマA1-1、A2-1、A4-1 制御ビット	0: 三相モード0 (注2、3) 1: 三相モード1	RW
INV12	短絡防止タイマカウン トソース選択ビット	0: f1 1: f1の2分周	RW
INV13	搬送波状態検出フラグ (注4)	0: タイマA1リロード制御信号が “0” 1: タイマA1リロード制御信号が “1”	RO
INV14	通電出力論理制御ビット	0: アクティブ “L” 1: アクティブ “H”	RW
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW
INV16	短絡防止時間タイマトリガ 選択ビット	0: タイマ (A4、A1、A2) のワンショッ トパルスの立ち下がり (注5) 1: 三相出力シフトレジスタ (U、V、 W相) 出力の立ち上がり	RW
— (b7)	予約ビット	“0” にしてください	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可) にした後で書き換えてください。
また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

注2. INVC0レジスタのINV06ビットが“1” (鋸波変調モード) の場合は、“0” にしてください。

注3. INV11ビットを“0” にした場合、TB2SCレジスタのPWCONビットを“0” (タイマB2のアンダフローでタイマB2リロード) にしてください。

注4. INV13ビットは、INV06ビットが“0” (三角波変調モード) かつINV11ビットが“1” のときのみ有効です。

注5. 以下の条件すべてに該当する場合は、INV16ビットを“1” にしてください。

- INV15ビットが“0”
- INV03ビットが“1” (三相モータ制御用タイマ出力許可) のときは、常にDijビット (i=U、VまたはW、j=0~1) とDiBjビットの値が異なる (短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。

また、上記の条件に該当しない場合は、INV16ビットを“0” にしてください。

図 17.3 INVC1 レジスタ

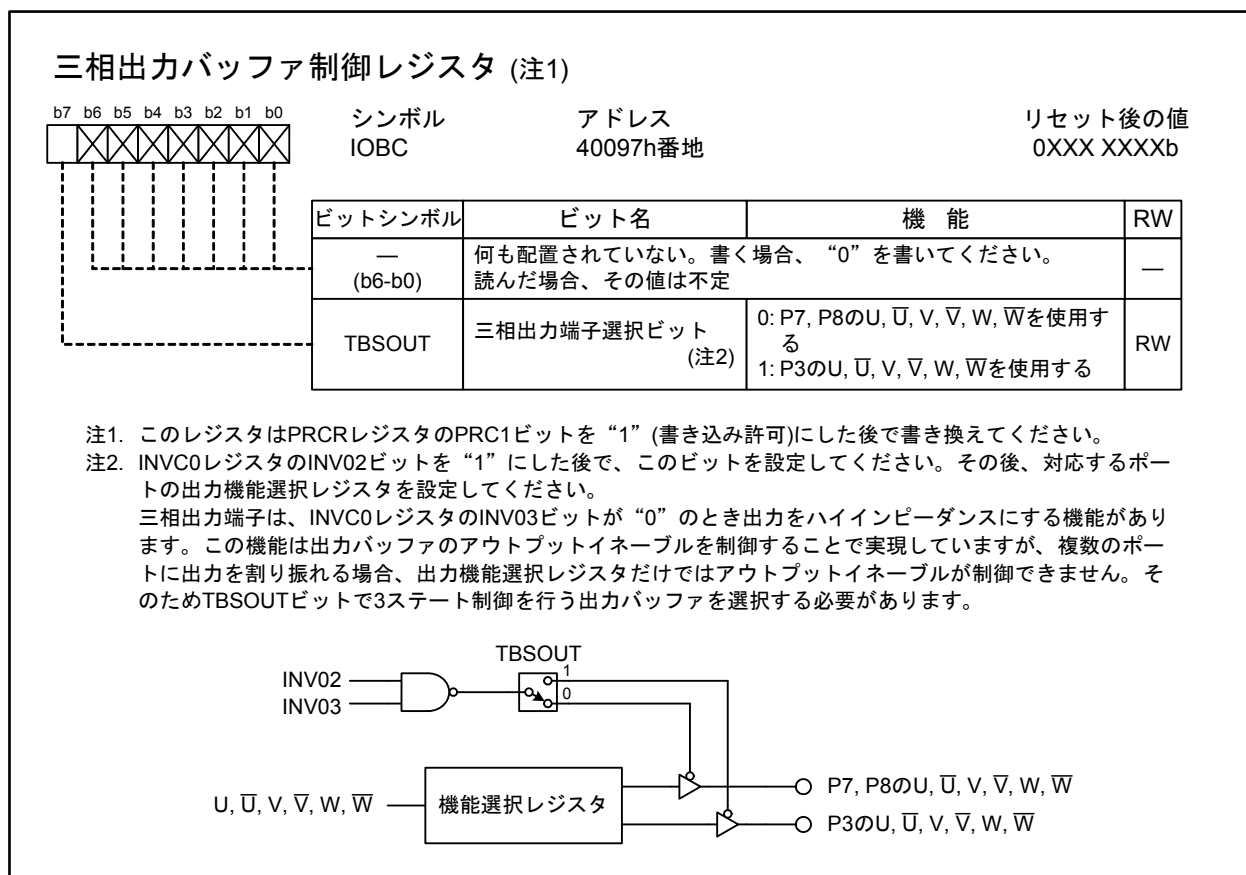


図 17.4 IOBC レジスタ

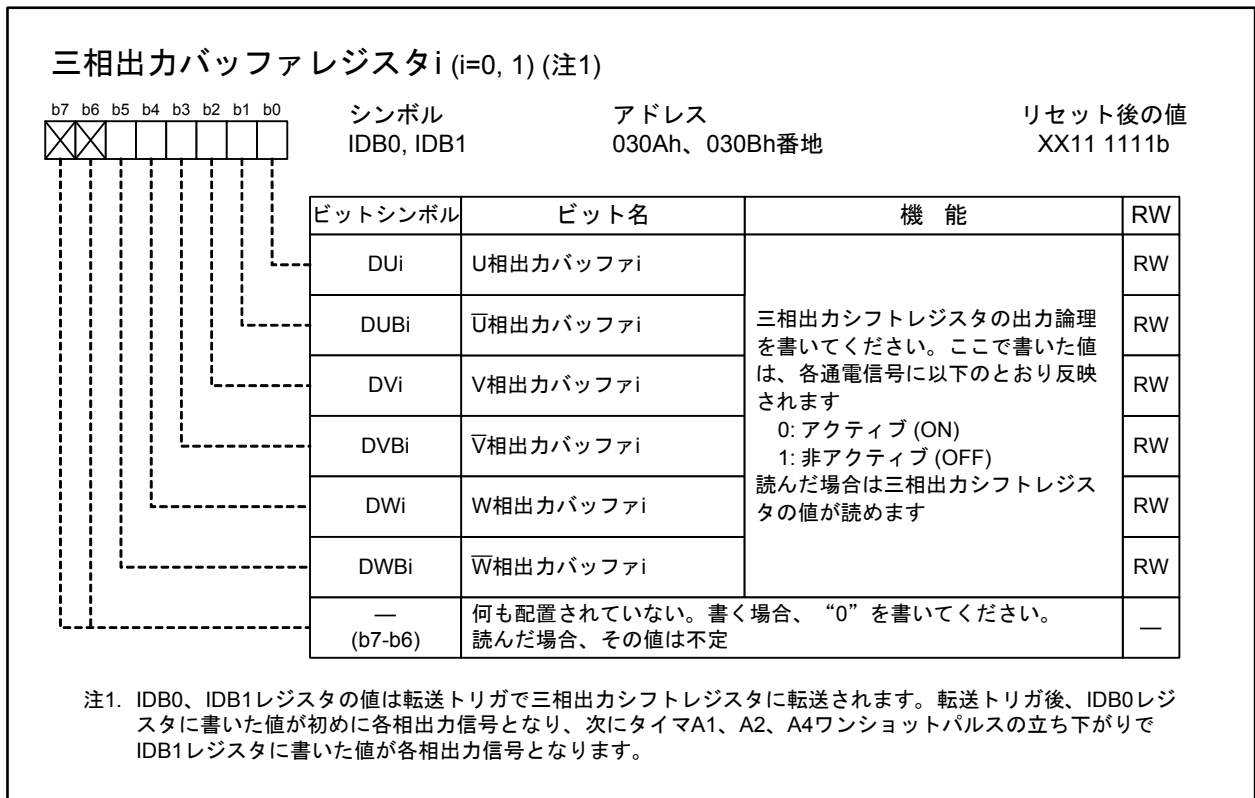


図 17.5 IDB0、IDB1レジスタ

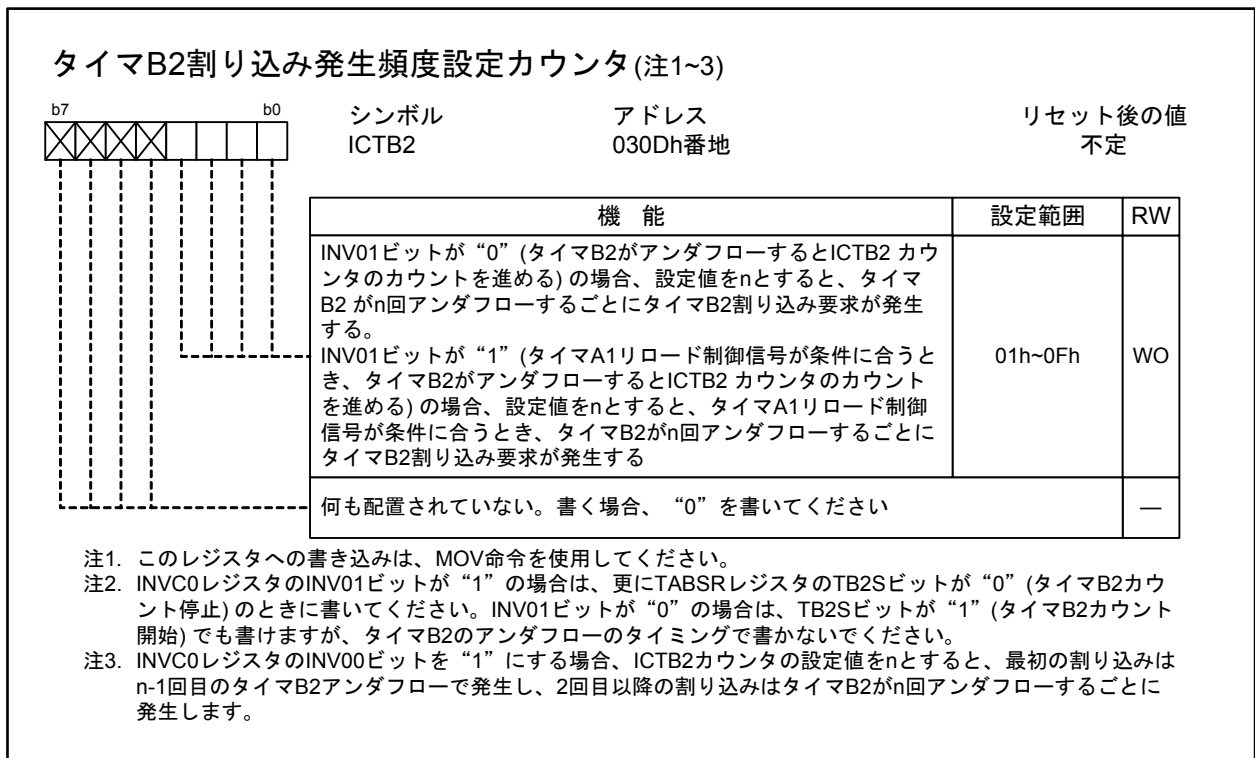


図 17.6 ICTB2レジスタ

17.1 三相モータ制御用タイマのモード

三相モータ制御用タイマには、三角波変調モードと鋸波変調モードがあり、さらに三角波変調モードには三相モード0と三相モード1があります。それぞれの特徴と設定を表 17.2 に示します。

表 17.2 モード一覧

項目	三角波変調モード		鋸波変調モード
	三相モード0	三相モード1	(三相モード0)
設定	INV06 = 0, INV11 = 0, PWCON = 0	INV06 = 0, INV11 = 1	INV06 = 1, INV11 = 0, PWCON = 0
搬送波波形	三角波		鋸波
TA11、TA21、TA41 レジスタ	使用しない	使用する	使用しない
IDB0 レジスタ、IDB1 レジスタから三相出力シフトレジスタへの転送タイミング	IDB0 レジスタ、IDB1 レジスタに書いた後、転送トリガ(注1)に同期して1回のみ転送		転送トリガ(注1)ごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期		タイマA1、A2、A4のワンショットパルスの立ち下がりと、転送トリガに同期
INVC0 レジスタの INV00 ビット、INV01 ビット	無効 INV00、INV01 ビットの値に関係なくタイマB2がアンダフローするごとにICTB2 カウント	有効	無効 INV00、INV01 ビットの値に関係なくタイマB2がアンダフローするごとにICTB2 カウント
INV13 ビット	無効	有効	無効

注1. 転送トリガ: タイマB2アンダフローとINV07ビットへの書き込み、またはINV10ビットが“1”のときのTB2レジスタへの書き込み

17.2 タイマB2

三相モータ制御用タイマ機能を使用する場合、タイマB2は搬送波制御に使用します。

タイマB2はタイマモードに設定します。

図 17.7 に三相モータ制御用タイマ機能時のTB2レジスタ、図 17.8 に三相モータ制御用タイマ機能時のTB2MRレジスタを示します。また、三相モード1のときに搬送波周期を変更するタイミングを切り替えるTB2SCレジスタを図 17.9 に示します。

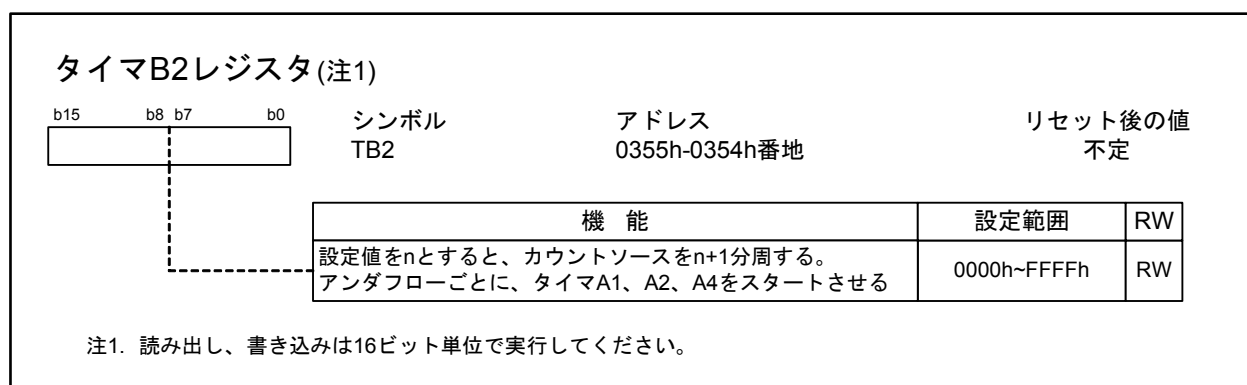


図 17.7 三相モータ制御用タイマ機能時のTB2レジスタ

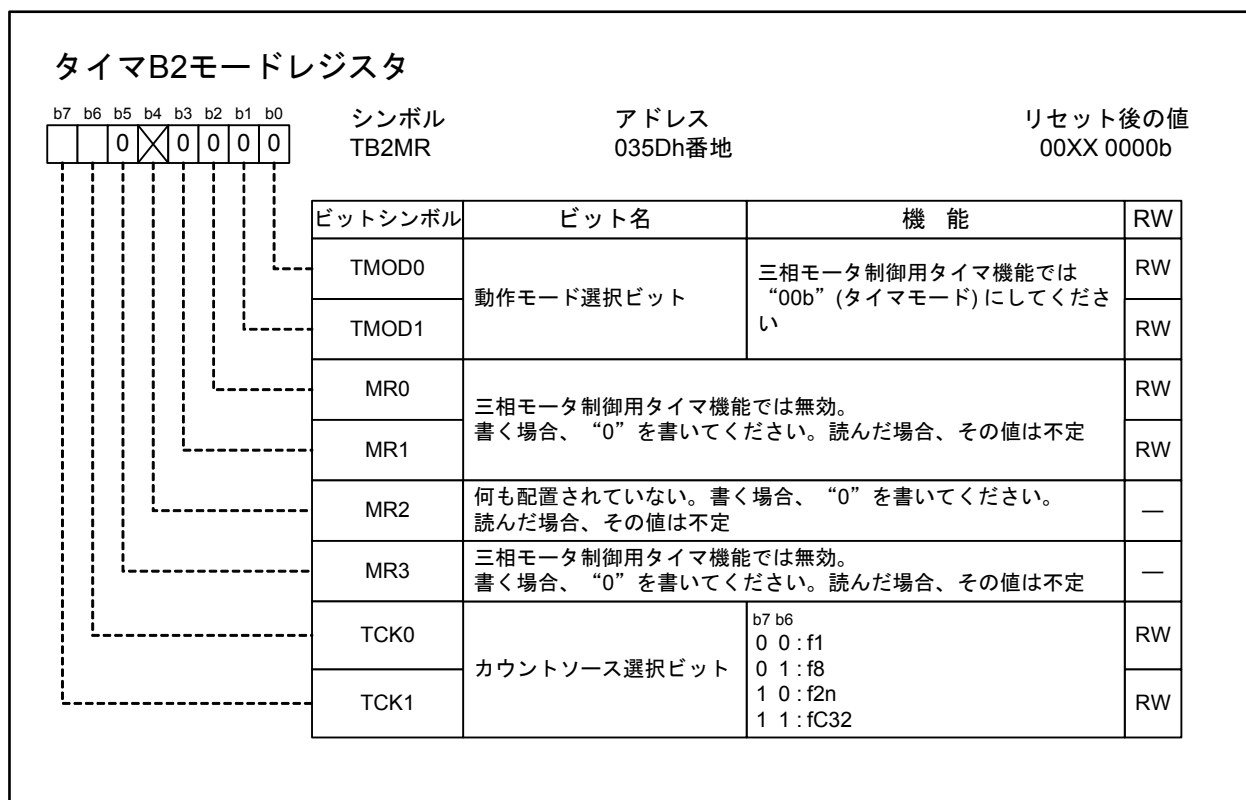


図 17.8 三相モータ制御用タイマ機能時のTB2MRレジスタ

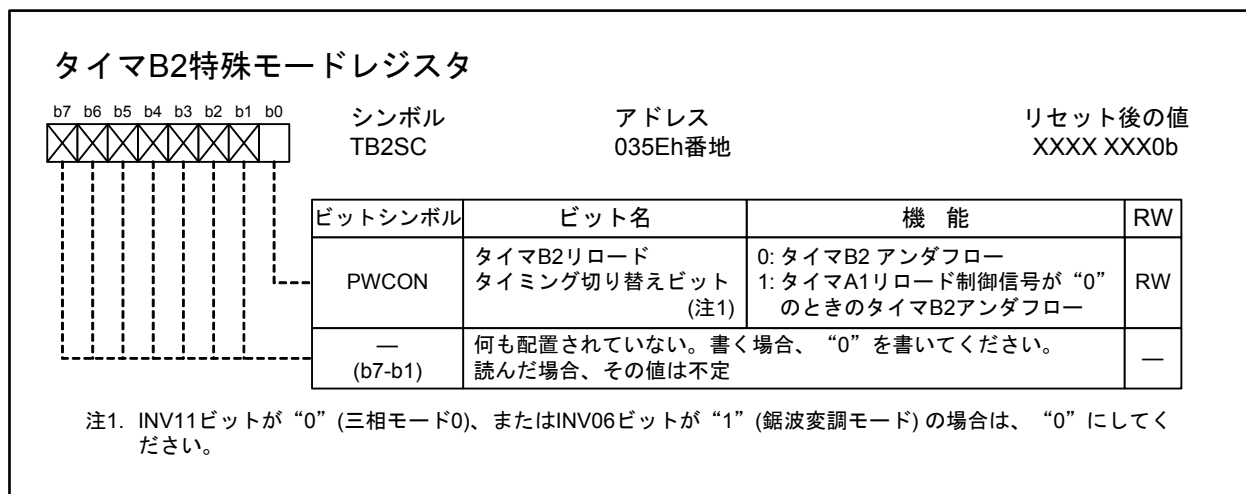


図 17.9 TB2SCレジスタ

17.3 タイマA4、A1、A2

三相モータ制御用タイマ機能を使用する場合、タイマA4、A1、A2は三相PWM出力(U, \bar{U} , V, \bar{V} , W, \bar{W})の制御に使用します。

タイマA4、A1、A2はワンショットタイマモードに設定します。タイマB2がアンダフローするごとにタイマA4、A1、A2にトリガが入力され、ワンショットパルスが生成されます。したがって、タイマB2割り込みが発生するごとにTA4、TA1、TA2レジスタの値を書き換えることでPWM波形のデューティ比を変えることができます。

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1} (i=4, 1, 2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

図 17.10に三相モータ制御用タイマ機能時のTA1、TA2、TA4、TA11、TA21、TA41レジスタ、図 17.11に三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MRレジスタ、図 17.12に三相モータ制御用タイマ機能時のTRGSRレジスタ、図 17.13にTABSRレジスタを示します。

タイマAi、Ai-1レジスタ (i=1, 2, 4) (注1~6)

シンボル	アドレス	リセット後の値
TA1, TA2, TA4	0349h-0348h, 034Bh-034Ah, 034Fh-034Eh番地	不定
TA11, TA21, TA41	0303h-0302h, 0305h-0304h, 0307h-0306h番地	不定

機能	設定範囲	RW
設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで各相出力信号が変化する	0000h~FFFFh	WO

注1. 書き込みは16ビット単位で行ってください。
 注2. これらのレジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。
 注3. これらのレジスタへの書き込みにはMOV命令を使用してください。
 注4. INVC1レジスタのINV15ビットが“0” (短絡防止時間有効) の場合、通電出力がアクティブになるタイミングが遅れ、短絡防止タイマが停止するタイミングで変化します。
 注5. INVC1レジスタのINV11ビットが“0” (三相モード0) の場合、タイマAiスタートトリガによってTAiレジスタの値がリロードレジスタに転送されます。
 INV11ビットが“1” (三相モード1) の場合、タイマAiスタートトリガによってまずTAi1レジスタの値が、次のタイマAiスタートトリガ時にTAiレジスタの値がリロードレジスタに転送されます。以降、TAi1レジスタの値とTAiレジスタの値が交互にリロードレジスタに転送されます。
 注6. タイマB2アンダフローが発生するタイミングで、これらのレジスタへ書かないでください。

図 17.10 TA1、TA2、TA4、TA11、TA21、TA41レジスタ

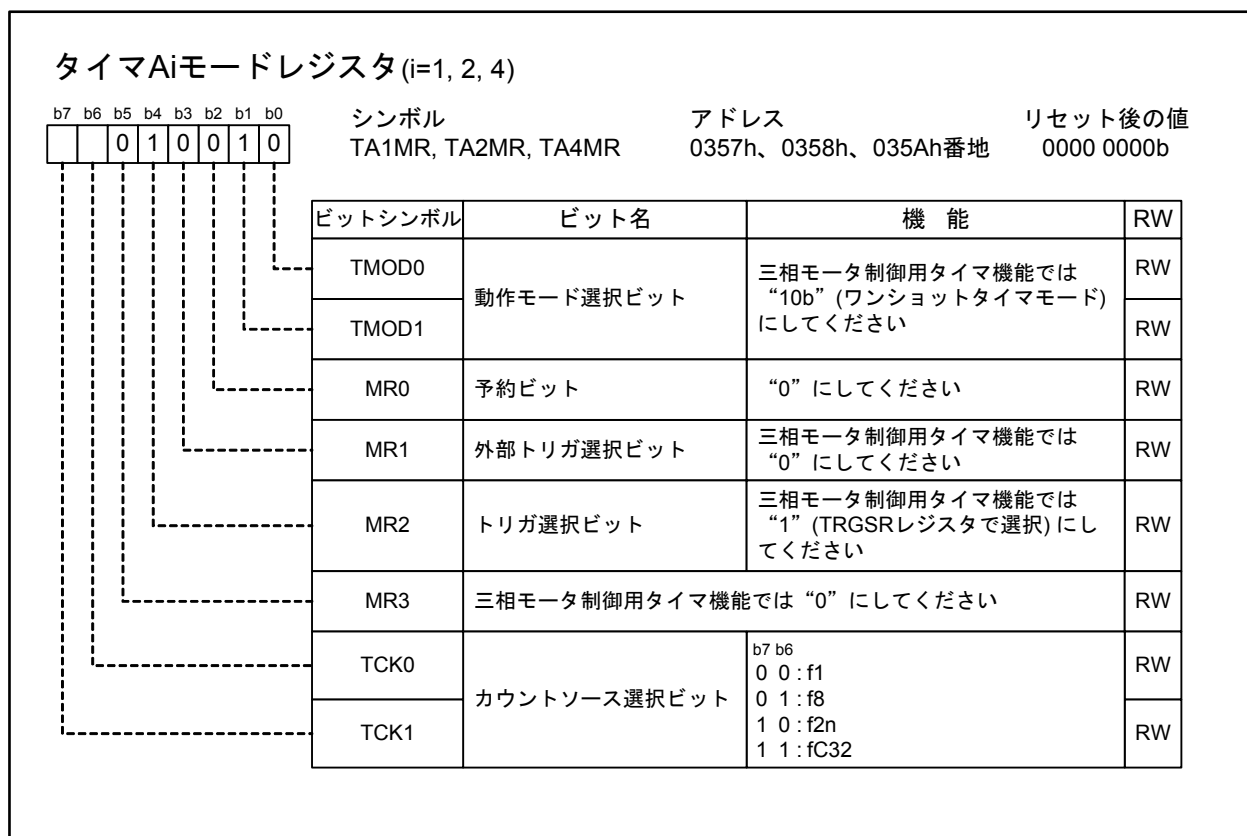


図 17.11 三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MRレジスタ

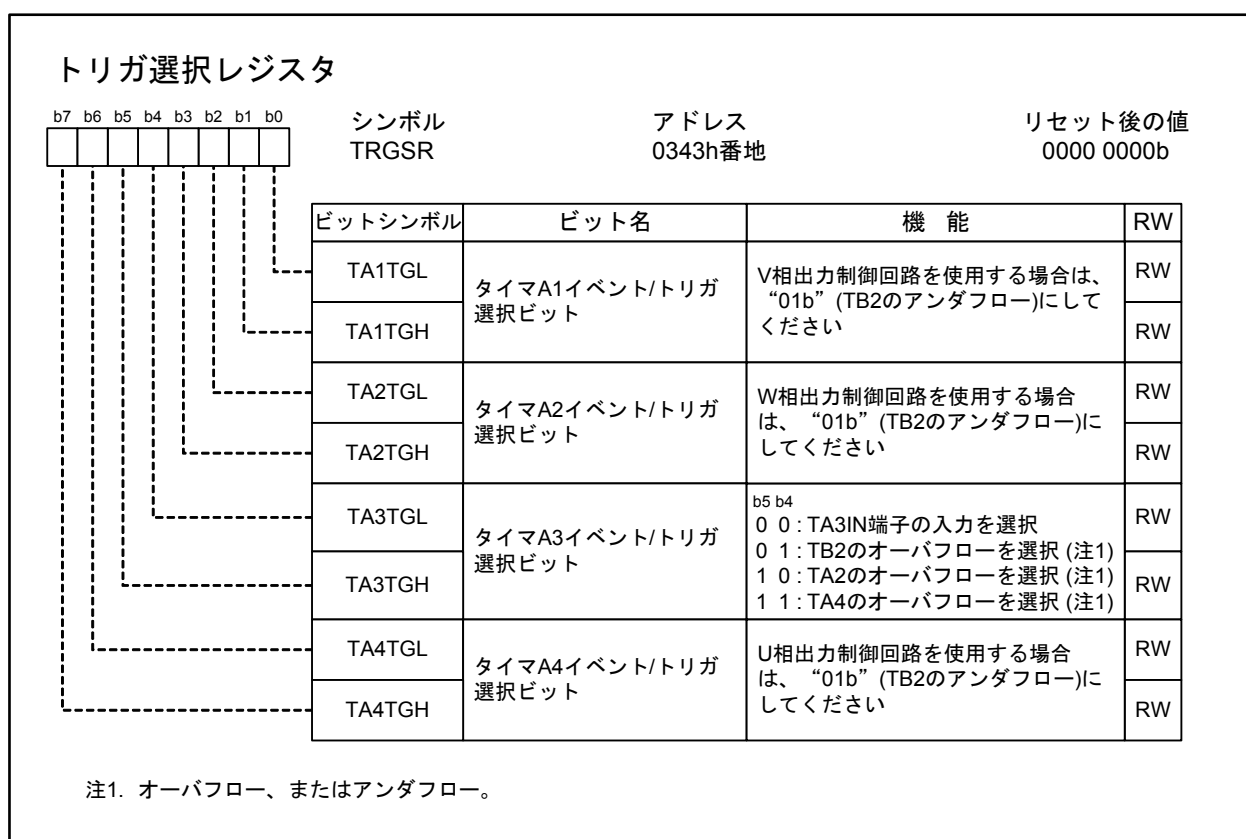


図 17.12 三相モータ制御用タイマ機能時の TRGSR レジスタ

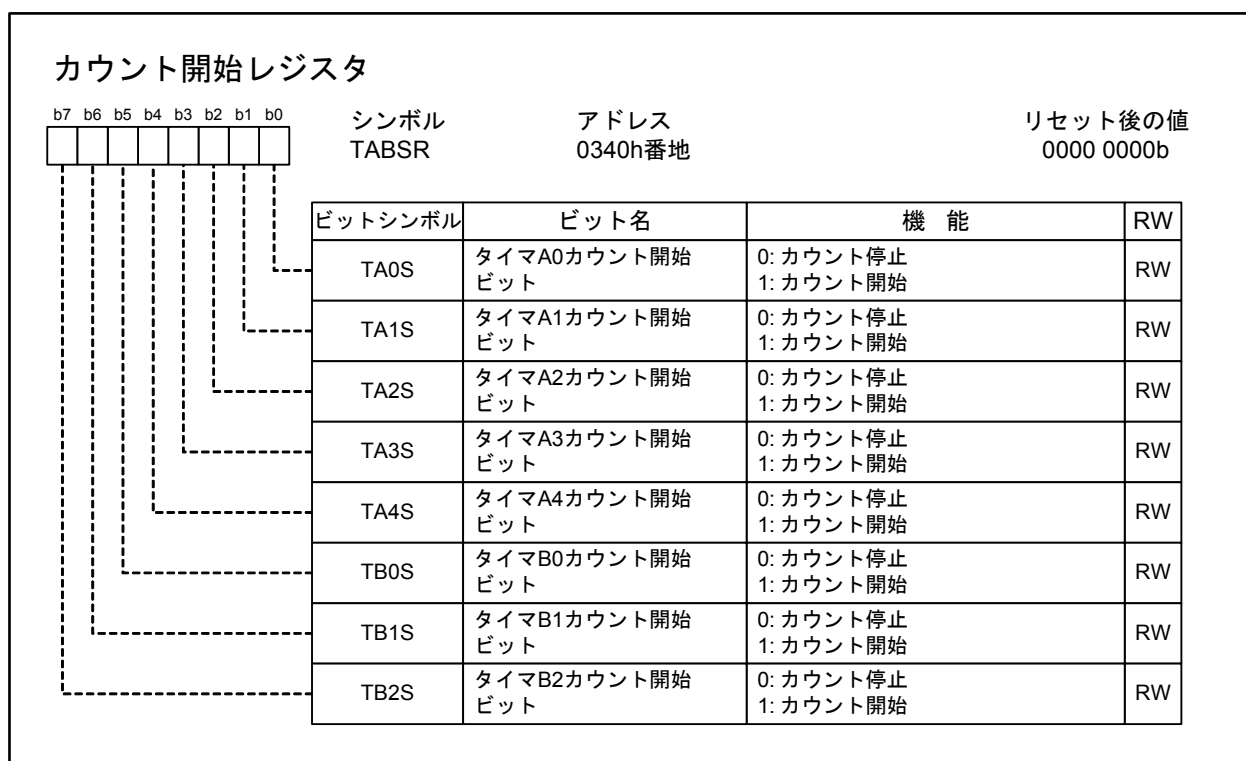


図 17.13 TABSR レジスタ

17.4 上下同時通電出力禁止機能と短絡防止タイマ

三相モータ制御用タイマには、上側トランジスタと下側トランジスタが同時に導通することで発生するアーム短絡を防止する機能があります。1つはプログラムの間違い等によって上下通電出力が同時にアクティブにならないようにする上下同時通電出力禁止機能、もう1つはトランジスタのターンオフ遅れによって上下トランジスタが同時にONにならないようにする短絡防止タイマです。

上下同時通電出力禁止機能はINVC0レジスタのINV04ビットを“1”にすることで設定できます。このとき、U相と \bar{U} 相、V相と \bar{V} 相、あるいはW相と \bar{W} 相が同時にアクティブになると、三相モータ制御出力端子はすべてハイインピーダンスになります。図 17.14 に上下同時通電出力禁止時の出力波形例を示します。

短絡防止タイマはINVC1レジスタのINV15ビットを“0”にすることで有効になります。短絡防止時間はDTTレジスタで設定します。図 17.15 に DTT レジスタを、図 17.16 に短絡防止タイマ使用時の出力波形例を示します。

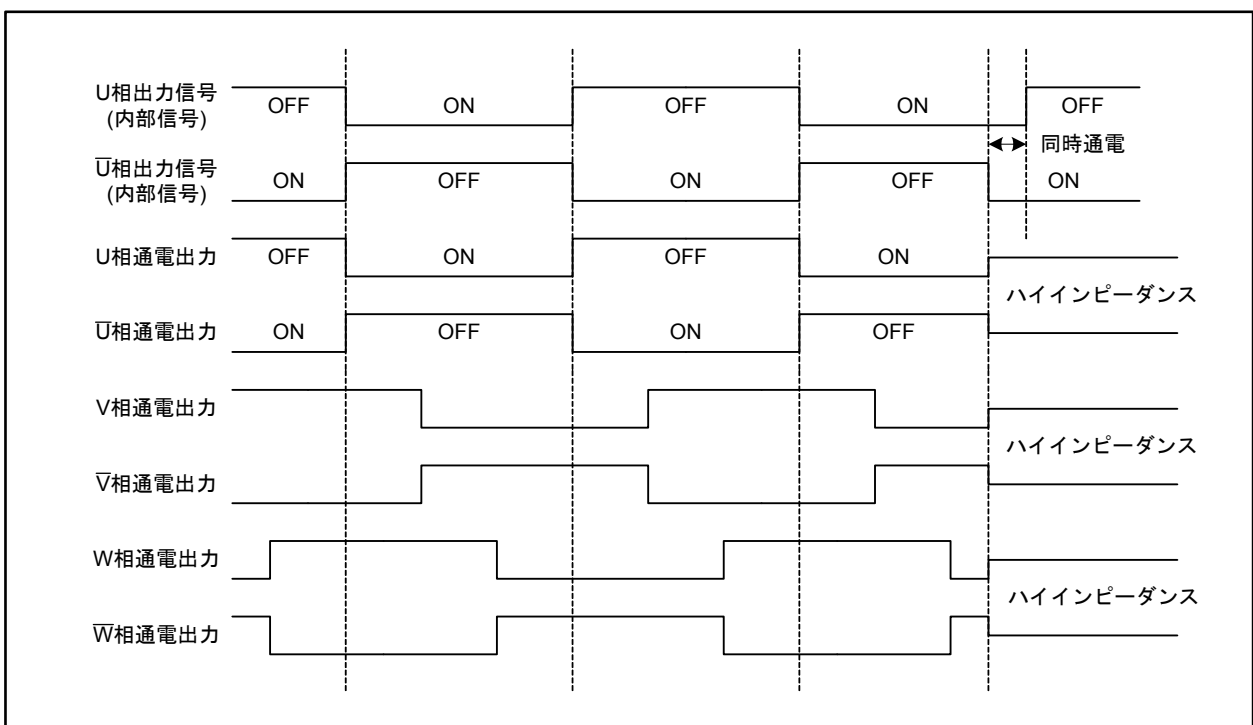


図 17.14 上下同時通電出力禁止時の出力波形例

短絡防止タイマ (注1、2)

b7 [] b0	シンボル DTT	アドレス 030Ch番地	リセット後の値 不定
機 能		設定範囲	RW
上側トランジスタと下側トランジスタが同時に通電しないように、通電信号がアクティブになるタイミングを遅らせるためのワンショットタイマです。設定値をnとすると、トリガが入った後カウントソースをn回カウントして停止します (注3)		01h~FFh	WO

- 注1. このレジスタへの書き込みはMOV命令を使用してください。
 注2. INVC1レジスタのINV15ビットが“0” (短絡防止時間有効) のとき有効です。INV15ビットが“1” (短絡防止時間無効) のとき短絡防止時間はありません。
 注3. トリガはINVC1レジスタのINV16ビットで、カウントソースはINVC1レジスタのINV12ビットで選択してください。

図 17.15 DTTレジスタ

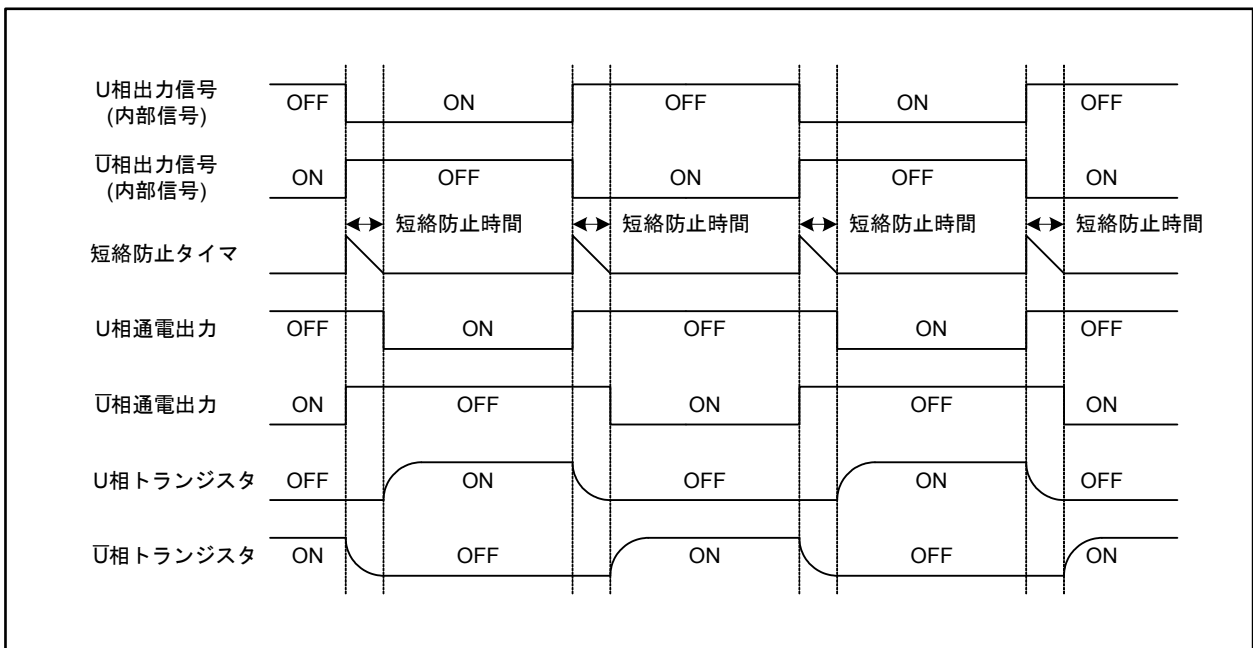


図 17.16 短絡防止タイマ使用時の出力波形例

17.5 三相モータ制御用タイマの動作例

図 17.17に三角波変調波形例を、図 17.18に鋸波変調波形例を示します。

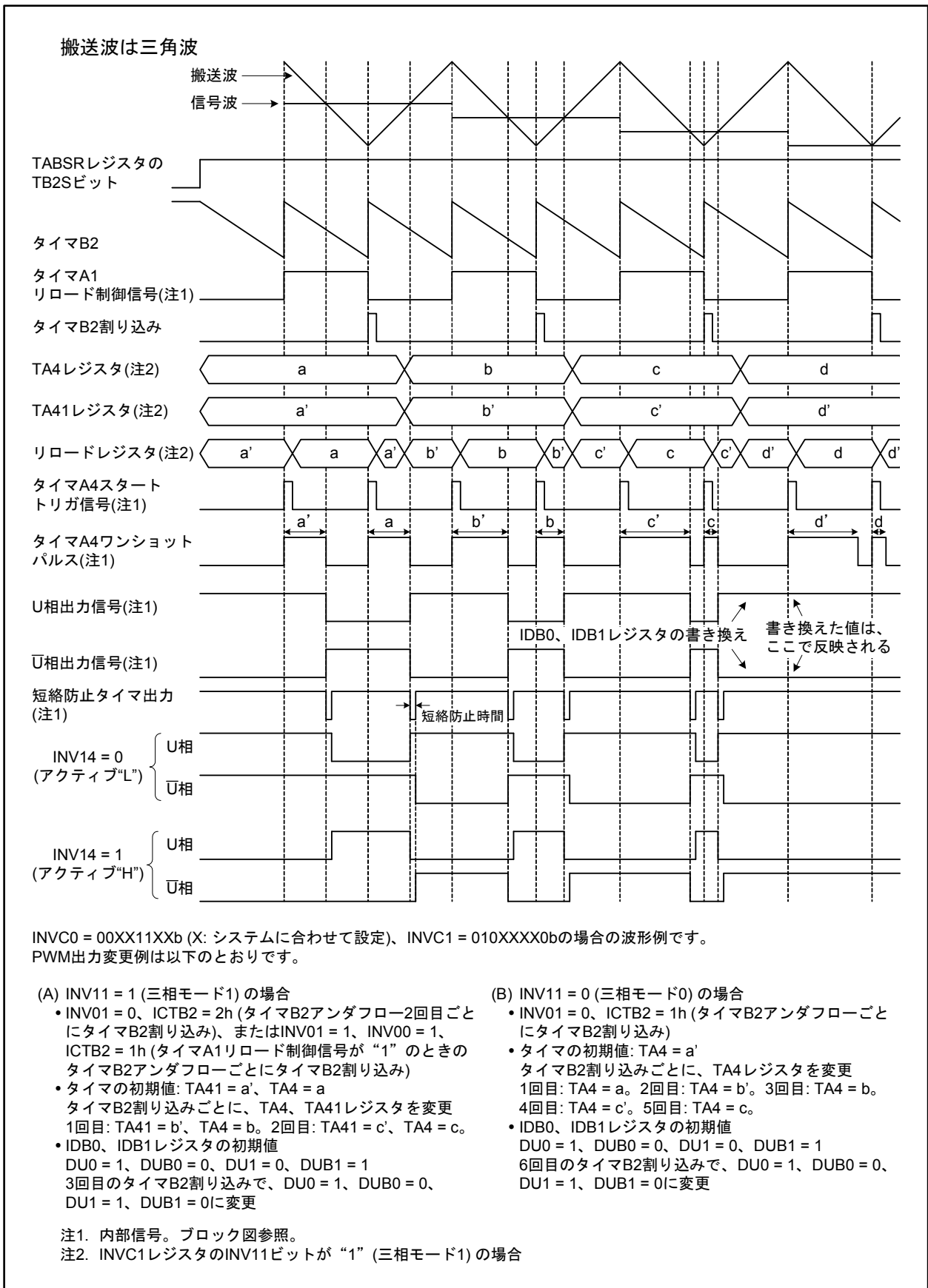


図 17.17 三角波変調動作例

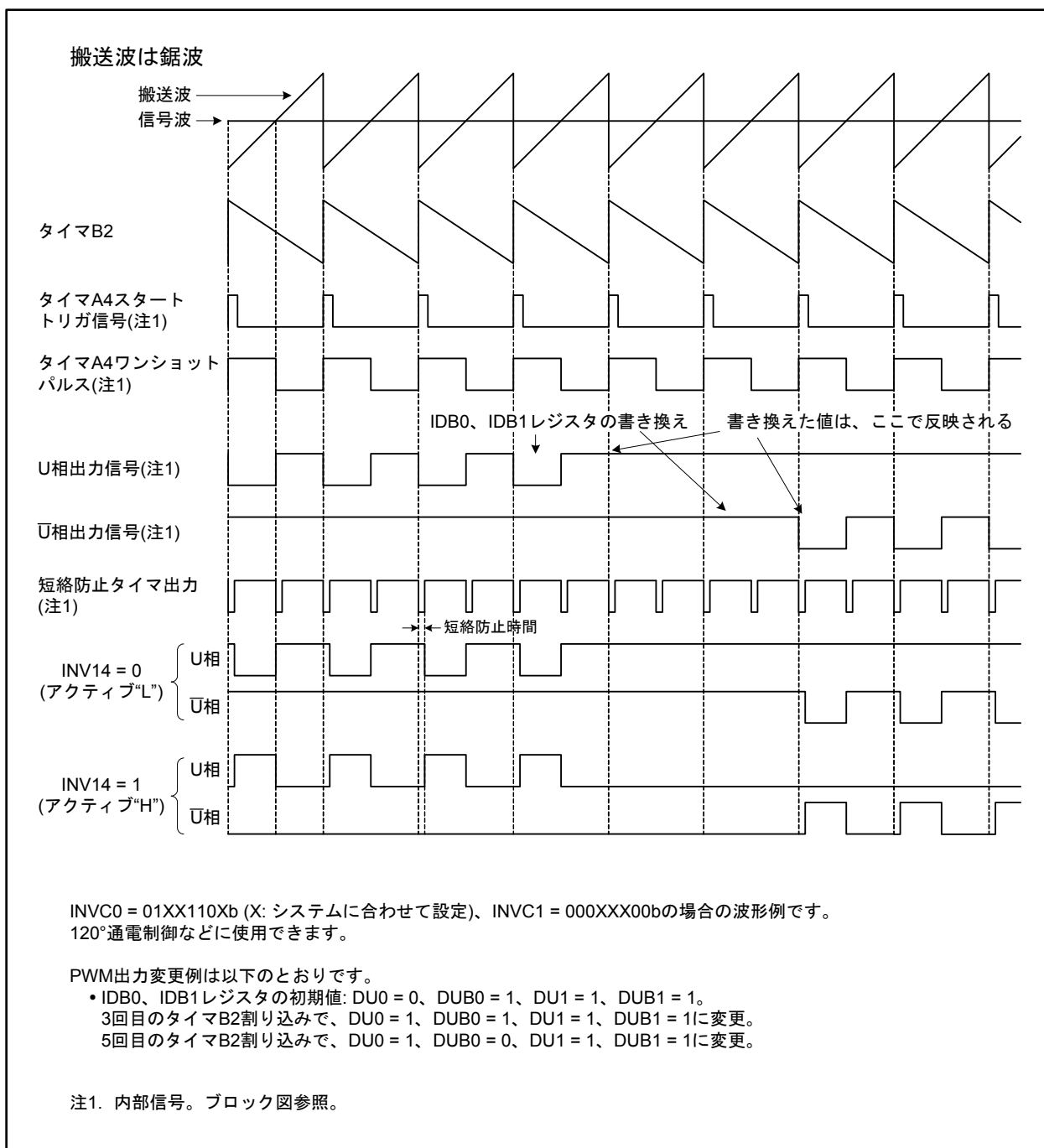


図 17.18 鋸波変調動作例

17.6 三相モータ制御用タイマ機能使用上の注意

17.6.1 シャットダウン機能

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

17.6.2 レジスタ設定

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

18. シリアルインタフェース

シリアルインタフェースは11チャンネル (UART0~UART10) あります。

UARTi (i=0~10) は、それぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。

図 18.1 に UART0~UART6 のブロック図を、図 18.2 に UART7~UART10 のブロック図を示します。

UARTi には、以下のモードがあります。

- クロック同期型シリアルインタフェースモード (UART0 ~ UART10)
- クロック非同期型シリアルインタフェースモード (UARTモード) (UART0 ~ UART10)
- 特殊モード1 (I²Cモード) (UART0 ~ UART6)
- 特殊モード2 (UART0 ~ UART6)
- 特殊モード4 (バス衝突検出機能、IEモード)(オプション(注1)) (UART0 ~ UART6)

図 18.3~図 18.20 に、UARTi 関連のレジスタを示します。

レジスタの設定、端子の設定はモードごとの表を参照してください。

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 18.1 UART0~UART10の機能比較

モード/機能	UART0~UART6	UART7~UART10
クロック同期型シリアルインタフェースモード	あり	あり
シリアルデータ論理切り替え選択	可能	選択できません
UARTモード	あり	あり
CTS/RTS機能選択	可能	可能
TXD、RXD入出力極性切り替え選択	可能	選択できません
特殊モード1 (I ² Cモード)	あり	なし
特殊モード2	あり	なし
特殊モード4 (IEモード)(オプション(注1))	あり	なし
TXD、RXD端子出力形式	プッシュプル出力 機能選択レジスタにより、 Nチャンネルオープンドレイン出力に設定可能	プッシュプル出力 機能選択レジスタにより、 Nチャンネルオープンドレイン出力に設定可能

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

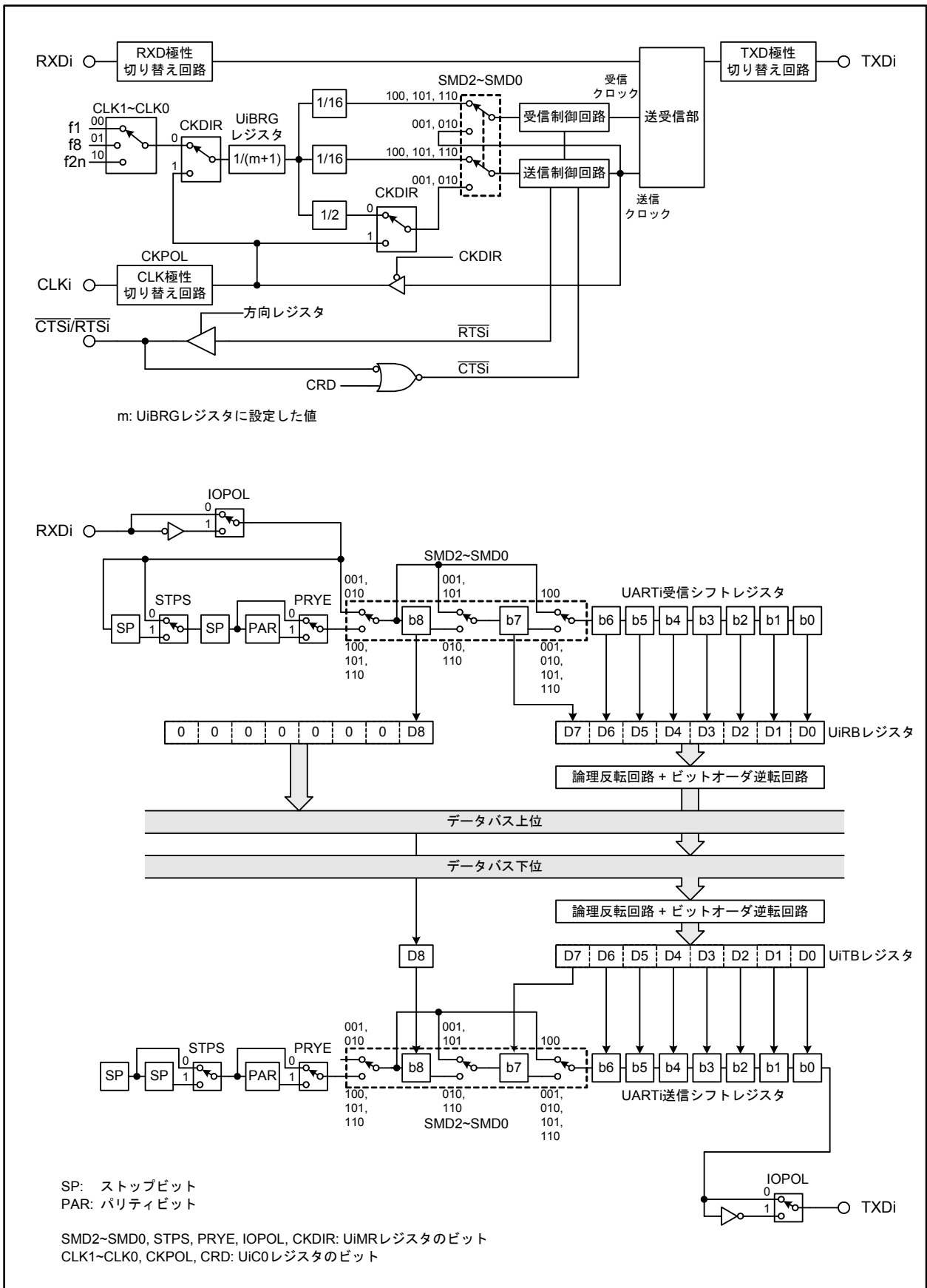


図 18.1 UARTi (i=0~6) ブロック図

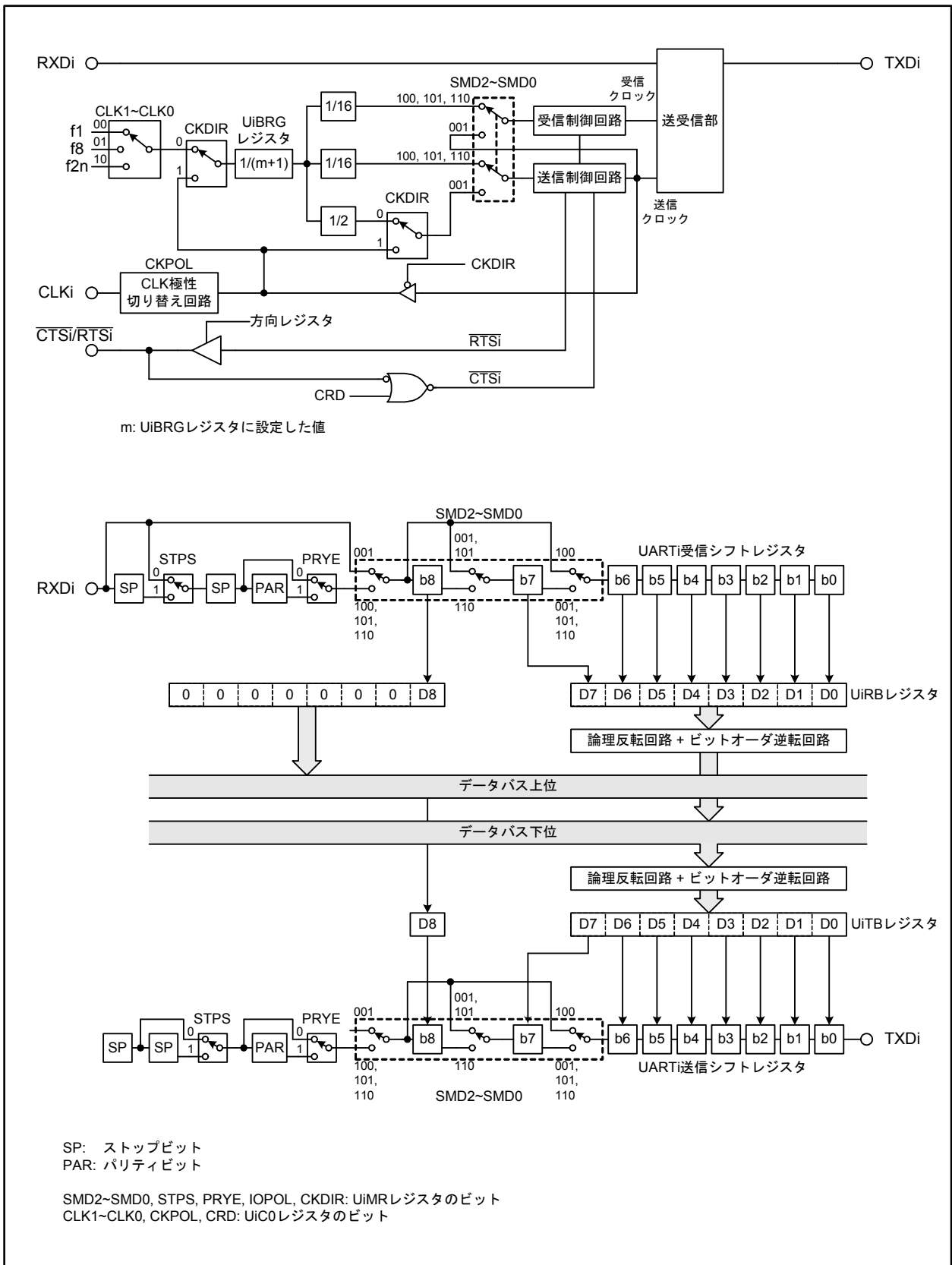


図 18.2 UARTi (i=7~10) ブロック図

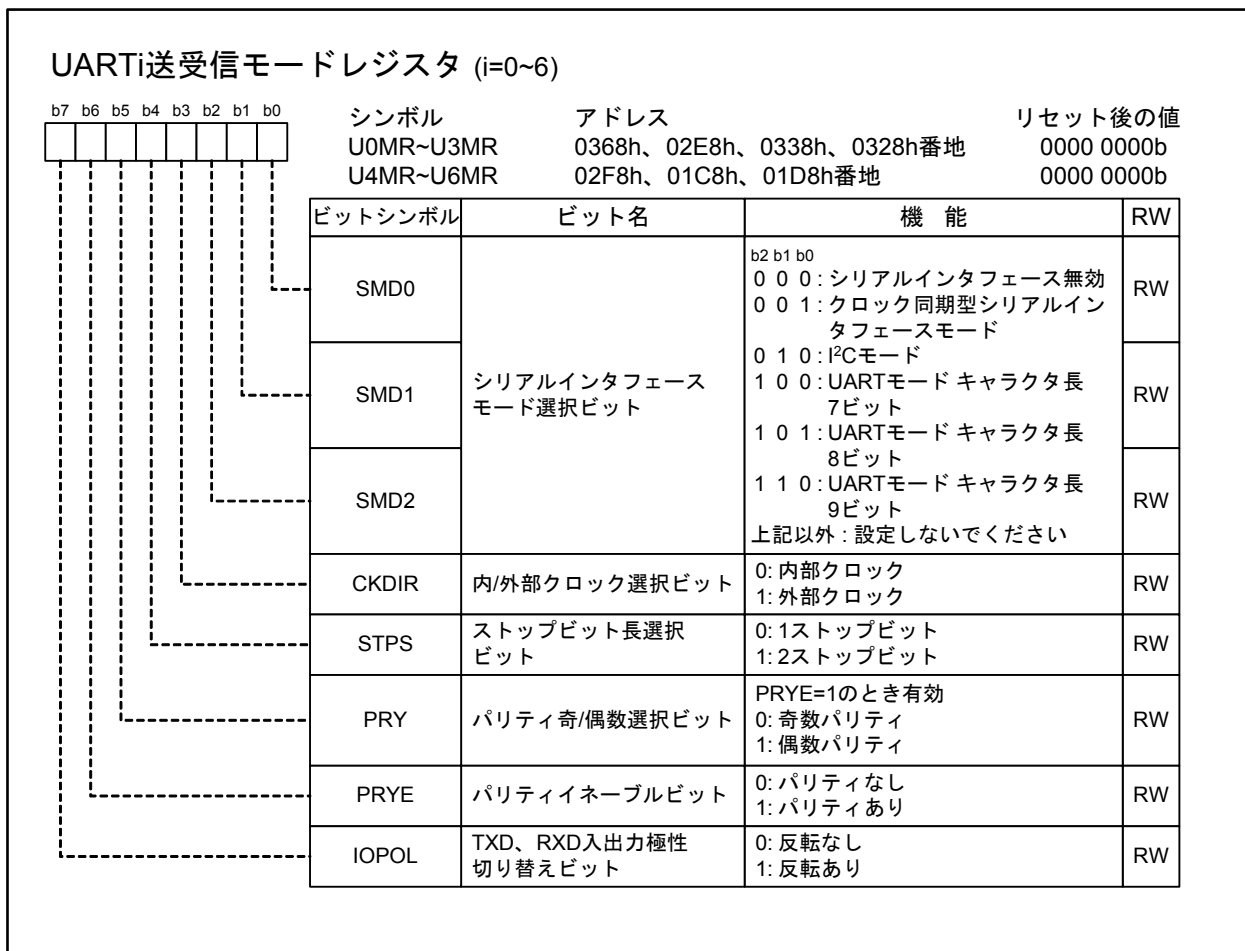


図 18.3 U0MR~U6MR レジスタ

UART_i送受信モードレジスタ (i=7~10)

b7 b6 b5 b4 b3 b2 b1 b0
 0

シンボル アドレス リセット後の値
 U7MR~U10MR 01E0h、01E8h、40300h、40308h番地 0000 0000b

ビットシンボル	ビット名	機能	RW
SMD0	シリアルインタフェース モード選択ビット	b2 b1 b0 0 0 0: シリアルインタフェース無効 0 0 1: クロック同期型シリアルイン タフェースモード	RW
SMD1		1 0 0: UARTモード キャラクタ長 7ビット	RW
SMD2		1 0 1: UARTモード キャラクタ長 8ビット 1 1 0: UARTモード キャラクタ長 9ビット 上記以外: 設定しないでください	RW
CKDIR		内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック
STPS	ストップビット長選択 ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶数選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティイネーブルビット	0: パリティなし 1: パリティあり	RW
— (b7)	予約ビット	“0” にしてください	RW

図 18.4 U7MR~U10MR レジスタ

UART_i送受信制御レジスタ0 (i=0~6)

シンボル	アドレス	リセット後の値
U0C0~U3C0	036Ch、02ECh、033Ch、032Ch番地	0000 1000b
U4C0~U6C0	02FCh、01CCh、01DCh番地	0000 1000b

ビットシンボル	ビット名	機能	RW
CLK0	UiBRGカウント ソース選択ビット	b1 b0 0 0 : f1を選択 0 1 : f8を選択 1 0 : f2nを選択 1 1 : 設定しないでください	RW
CLK1			RW
— (b2)	予約ビット	“0” にしてください	RW
TXEPT	送信シフトレジスタ空 フラグ	0: 送信シフトレジスタにデータあり (送信中) 1: 送信シフトレジスタにデータなし (送信完了)	RO
CRD	CTS機能禁止ビット	0: CTS機能許可 1: CTS機能禁止	RW
— (b5)	予約ビット	“0” にしてください	RW
CKPOL	CLK極性選択ビット	0: 送受信クロックの立ち下がりに同 期して送信データ出力、立ち上が りに同期して受信データ入力 1: 送受信クロックの立ち上がりに同 期して送信データ出力、立ち下が りに同期して受信データ入力	RW
UFORM	ビットオーダ選択ビット (注1)	0: LSBファースト 1: MSBファースト	RW

注1. UIMRレジスタのSMD2~SMD0ビットが“001b” (クロック同期型シリアルインタフェースモード)、または
“101b” (UARTモードキャラクタ長8ビット) のとき選択できます。
SMD2~SMD0ビットが“010b” (I²Cモード) のときは“1”に、“100b” (UARTモードキャラクタ長7ビット)
または“110b” (UARTモードキャラクタ長9ビット) のときは“0” にしてください。

図 18.5 U0C0~U6C0 レジスタ

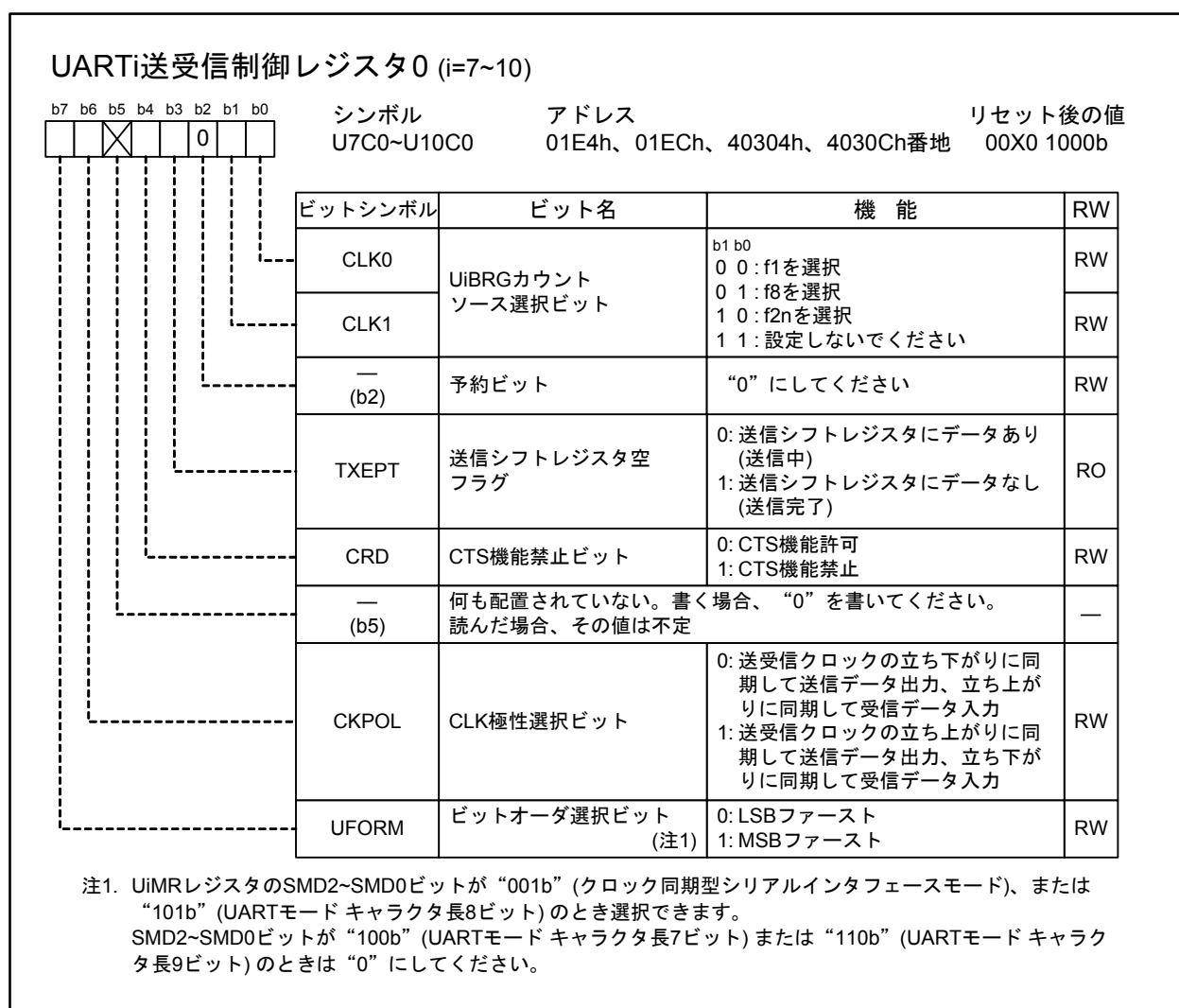


図 18.6 U7C0~U10C0 レジスタ

UART_i送受信制御レジスタ1 (i=0~6)

シンボル	アドレス	リセット後の値
U0C1~U3C1	036Dh, 02EDh, 033Dh, 032Dh番地	0000 0010b
U4C1~U6C1	02FDh, 01CDh, 01DDh番地	0000 0010b

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
UiIRS	UART _i 送信割り込み要因 選択ビット	0: 送信バッファ空 (TI = 1) 1: 送信完了 (TXEPT = 1)	RW
UiRRM	UART _i 連続受信モード許可 ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
UiLCH	データ論理選択ビット (注1)	0: 反転なし 1: 反転あり	RW
— (b7)	予約ビット	“0” にしてください	RW

注1. UiMRレジスタのSMD2~SMD0ビットが“001b” (クロック同期型シリアルインタフェースモード)、
“100b” (UARTモードキャラクタ長7ビット)、または“101b” (UARTモードキャラクタ長8ビット)のとき
選択できます。
SMD2~SMD0ビットが“010b” (I²Cモード)、または“110b” (UARTモードキャラクタ長9ビット)のときは
“0” にしてください。

図 18.7 U0C1~U6C1 レジスタ

UART_i送受信制御レジスタ1 (i=7~10)

シンボル	アドレス	リセット後の値
U7C1~U10C1	01E5h, 01EDh, 40305h, 4030Dh番地	XXXX 0010b

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

図 18.8 U7C1~U10C1 レジスタ

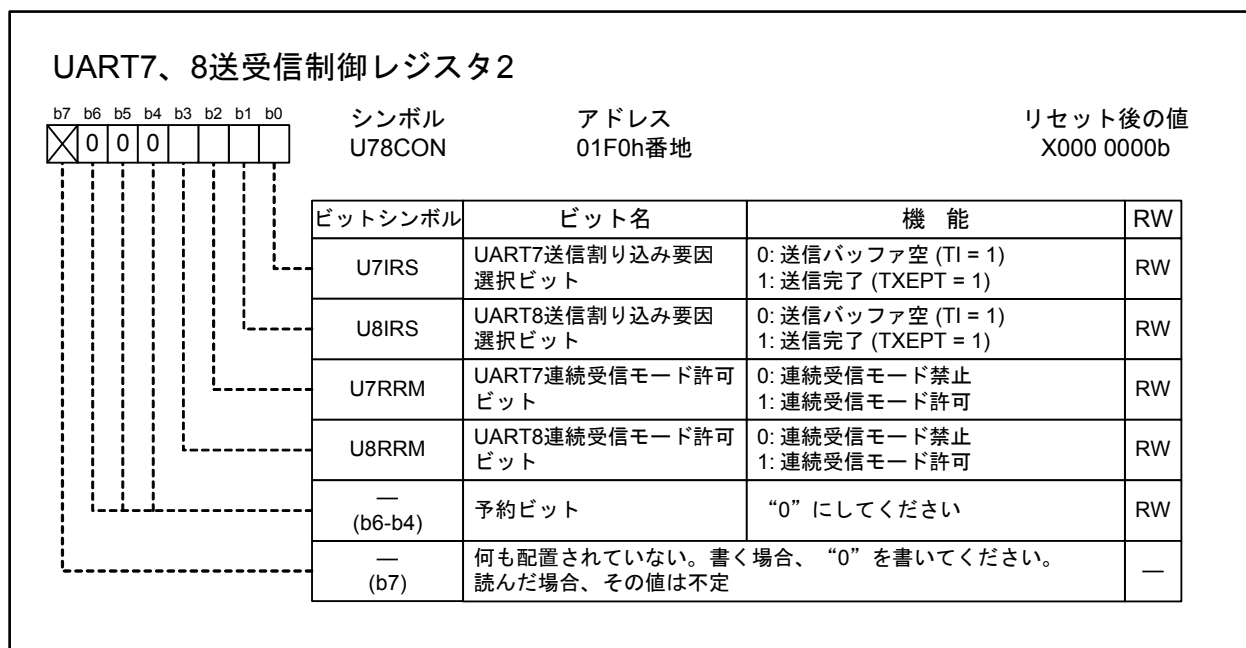


図 18.9 U78CON レジスタ

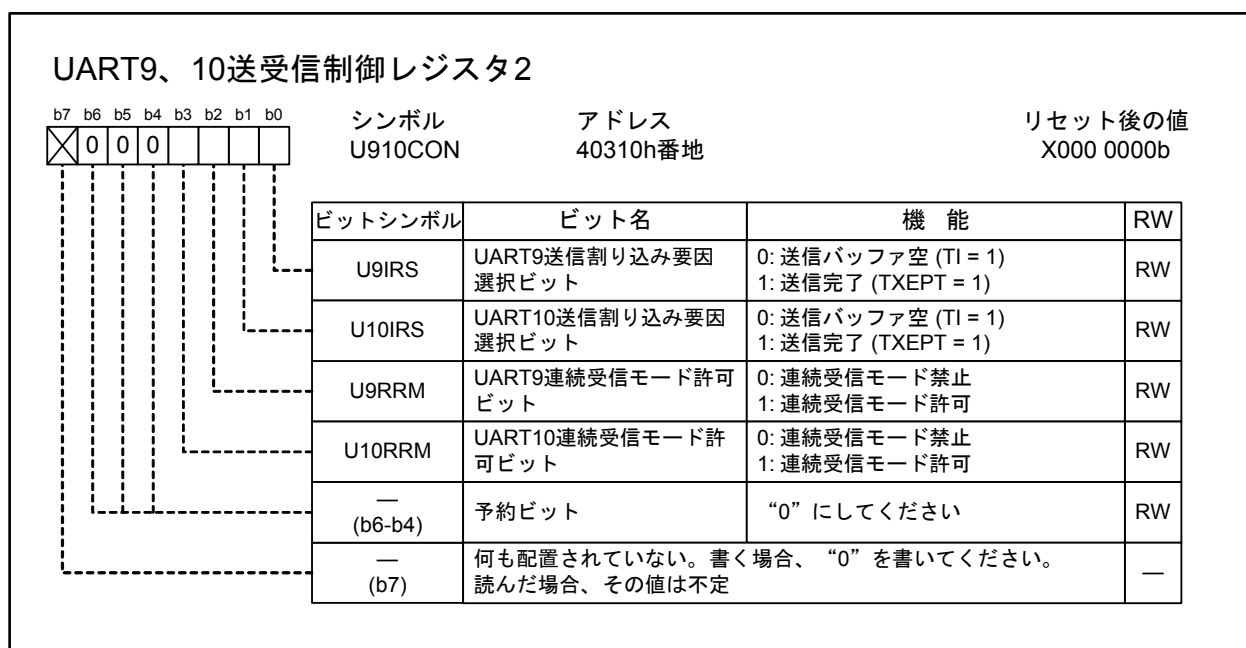


図 18.10 U910CON レジスタ

UART_i特殊モードレジスタ (i=0~6)

ビットシンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット (注1)	0: I ² Cモード以外 1: I ² Cモード	RW
ABC	アービトレーションロスト検出フラグ制御 (注1)	0: 1ビットごとに更新 1: 1バイトごとに更新	RW
BBS	バスビジーフラグ (注1、2)	0: ストップコンディション検出 1: スタートコンディション検出 (バスビジー)	RW
— (b3)	予約ビット	“0” にしてください	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット (注3)	0: 送受信クロックの立ち上がり 1: タイマA _j のアンダフロー (j=0, 3, 4) (注4)	RW
ACSE	送信許可ビット自動クリア機能選択ビット (注3)	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット (注3)	0: RXDiと無関係 1: RXDiに同期	RW
— (b7)	予約ビット	“0” にしてください	RW

注1. I²Cモードで使します。
 注2. “0” のみ書けます。“1” を書いても変化しません。
 注3. IEモードで使します。
 注4. UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、UART2ではタイマA0のアンダフロー信号、UART3ではタイマA3のアンダフロー信号、UART4ではタイマA4のアンダフロー信号、UART5ではタイマA3のアンダフロー信号、UART6ではタイマA4のアンダフロー信号。

図 18.11 U0SMR~U6SMR レジスタ

UARTi特殊モードレジスタ2 (i=0~6)

ビットシンボル	ビット名	機能	RW
IICM2	I ² Cモード選択ビット2	0: ACK/NACK割り込みを使用 1: 送受信割り込みを使用	RW
CSC	クロック同期化ビット (注1)	0: クロック同期を実施しない 1: クロック同期を実施する	RW
SWC	SCLウェイト自動挿入 ビット (注2)	0: ウェイトなし/ウェイト解除 1: 8ビット受信後、SCLi端子を“L” に固定	RW
ALS	SDA出力自動停止ビット (注1)	アービトレーションロスト検出時、 0: SDAi出力を停止しない 1: SDAi出力を停止する	RW
STC	UARTi自動初期化ビット (注2)	スタートコンディション検出時、 0: 回路を初期化しない 1: 回路を初期化する	RW
SWC2	SCLウェイト出力ビット2 (注1)	0: SCLi端子に送受信クロックを出力 1: SCLi端子を“L”に固定	RW
SDHI	SDA出力停止ビット (注2)	0: データ出力 1: 出力停止 (ハイインピーダンス)	RW
— (b7)	予約ビット	“0” にしてください	RW

注1. I²Cモードでマスタの場合に使用します。
注2. I²Cモードでスレーブの場合に使用します。

図 18.12 U0SMR2~U6SMR2 レジスタ

UART_i特殊モードレジスタ3 (i=0~6)

シンボル	アドレス	リセット後の値
U0SMR3~U3SMR3	0365h、02E5h、0335h、0325h番地	0000 0000b
U4SMR3~U6SMR3	02F5h、01C5h、01D5h番地	0000 0000b

ビットシンボル	ビット名	機能	RW
SSE	SS端子機能許可ビット (注1、2)	0: スレーブセレクト機能禁止 1: スレーブセレクト機能許可	RW
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	RW
DINC	シリアル入力端子設定 ビット (注1)	0: TXDi、RXDiを選択 (マスターモード) 1: STXDi、SRXDiを選択 (スレーブ モード)	RW
— (b3)	予約ビット	“0” にしてください	RW
ERR	モードフォルトフラグ (注1)	0: モードフォルトなし 1: モードフォルトあり (注3)	RW
DL0	SDAiデジタル遅延値 設定ビット (注4、5)	UiBRGレジスタのカウンタソースを 基準にSDAi出力を以下のサイクル数 遅延します b7 b6 b5 0 0 0: 遅延なし 0 0 1: 1~2サイクル 0 1 0: 2~3サイクル 0 1 1: 3~4サイクル 1 0 0: 4~5サイクル 1 0 1: 5~6サイクル 1 1 0: 6~7サイクル 1 1 1: 7~8サイクル	RW
DL1			RW
DL2			RW

注1. 特殊モード2で使用します。
 注2. このビットを“1”にする場合、UIC0レジスタのCRDビットを“1” (CTS機能を禁止) にしてください。
 注3. “0”のみ書けます。“1”を書いても変化しません。
 注4. DL2~DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場
 合、“000b”にしてください。
 注5. 外部クロックを選択した場合、100 ns程度遅延が大きくなります。

図 18.13 U0SMR3~U6SMR3 レジスタ

UARTi特殊モードレジスタ4 (i=0~6)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値
U0SMR4~U3SMR4	0364h、02E4h、0334h、0324h番地	0000 0000b
U4SMR4~U6SMR4	02F4h、01C4h、01D4h番地	0000 0000b

ビットシンボル	ビット名	機能	RW
STAREQ	スタートコンディション生成ビット (注1)	0: クリア 1: スタート (注2)	RW
RSTAREQ	リスタートコンディション生成ビット (注1)	0: クリア 1: スタート (注2)	RW
STPREQ	ストップコンディション生成ビット (注1)	0: クリア 1: スタート (注2)	RW
STSPSEL	SCL、SDA出力選択ビット (注1)	0: シリアル入出力回路選択 1: スタートコンディション/ストップコンディション生成回路選択 (注3)	RW
ACKD	ACKデータビット (注4)	0: ACK 1: NACK	RW
ACKC	ACKデータ出力許可ビット (注4)	0: シリアルデータ出力 1: ACKデータ出力	RW
SCLHI	SCL出力停止ビット (注1)	ストップコンディション検出時、 0: SCLi出力を停止しない 1: SCLi出力を停止する	RW
SWC9	SCLウェイト自動挿入ビット3 (注4)	0: ウェイトなし/ウェイト解除 1: 9ビット目を受信後、SCLi端子を“L”に固定	RW

注1. I²Cモードでマスタの場合に使用します。UiSMRレジスタのIICMビットが“1” (I²Cモード) のとき“1”にできます。

注2. 各コンディションが生成されたとき、“0”になります。生成失敗時は“1”のままとなります。

注3. 先にSTAREQ、RSTAREQ、STPREQビットのいずれかを“1”にした後、“1”にしてください。

注4. I²Cモードでスレーブの場合に使用します。UiSMRレジスタのIICMビットが“1” (I²Cモード) のとき“1”にできます。

図 18.14 U0SMR4~U6SMR4 レジスタ

UARTiビットレートレジスタ (i=0~10) (注1、2、3)

b7 b0

シンボル	アドレス	リセット後の値
U0BRG~U3BRG	0369h、02E9h、0339h、0329h番地	不定
U4BRG~U7BRG	02F9h、01C9h、01D9h、01E1h番地	不定
U8BRG~U10BRG	01E9h、40301h、40309h番地	不定

機能	設定範囲	RW
設定値をnとすると、UiBRGiはカウントソースをn+1分周する	00h~FFh	WO

注1. このレジスタは、UiC0レジスタのCLK1~CLK0ビットを設定した後で書き換えてください。

注2. このレジスタへは、MOV命令を使用して書いてください。

注3. 送受信停止中に値を書いてください。

図 18.15 U0BRG~U10BRG レジスタ

UART_i送信バッファレジスタ (i=0~10) (注1)

シンボル	アドレス	リセット後の値
U0TB~U2TB	036Bh-036Ah, 02EBh-02EAh, 033Bh-033Ah番地	不定
U3TB~U5TB	032Bh-032Ah, 02FBh-02FAh, 01CBh-01CAh番地	不定
U6TB~U8TB	01DBh-01DAh, 01E3h-01E2h, 01EBh-01EAh番地	不定
U9TB, U10TB	40303h-40302h, 4030Bh-4030Ah番地	不定

ビットシンボル	機能	RW
— (b7-b0)	送信データ (D7~D0)	WO
— (b8)	送信データ (D8)	WO
— (b15-b9)	何も配置されていない。書く場合、“0”を書いてください	—

注1. このレジスタはMOV命令を使用して書いてください。

図 18.16 U0TB~U10TB レジスタ

UART_i受信バッファレジスタ (i=0~6)

シンボル	アドレス	リセット後の値
U0RB~U2RB	036Fh-036Eh, 02EFh-02EEh, 033Fh-033Eh番地	不定
U3RB~U5RB	032Fh-032Eh, 02FFh-02FEh, 01CFh-01CEh番地	不定
U6RB	01DFh-01DEh番地	不定

ビットシンボル	ビット名	機能	RW
— (b7-b0)	—	受信データ (D7~D0)	RO
— (b8)	—	受信データ (D8)	RO
— (b10-b9)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”	—	—
ABT	アービトラージロスト検出フラグ (注1)	0: 未検出 (勝) 1: 検出 (負)	RW
OER	オーバランエラーフラグ (注2)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ (注2、3)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注2、3)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注2、3)	0: エラーなし 1: エラー発生	RO

注1. ABTビットは“0”のみ書けます。

注2. UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、OER、FER、PER、SUMビットは“0”になります。OER、FER、PERビットがすべて“0”になると、SUMビットも“0”になります。

また、UiRBレジスタの下位バイトを読んだときも、FER、PERビットは“0”になります。

注3. SMD2~SMD0ビットが“001b”(クロック同期型シリアルインタフェースモード)または“010b”(I²Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

図 18.17 U0RB~U6RB レジスタ

UART_i受信バッファレジスタ (i=7~10)

シンボル	アドレス	リセット後の値
U7RB, U8RB	01E7h-01E6h、01EFh-01EEh番地	不定
U9RB, U10RB	40307h-40306h、4030Fh-4030Eh番地	不定

ビットシンボル	ビット名	機能	RW
— (b7-b0)	—	受信データ (D7~D0)	RO
— (b8)	—	受信データ (D8)	RO
— (b11-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”	—	—
OER	オーバランエラーフラグ (注1)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ (注1、2)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注1、2)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注1、2)	0: エラーなし 1: エラー発生	RO

注1. UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェース無効) にしたとき、またはUiC1レジスタのREビットを“0” (受信禁止) にしたとき、OER、FER、PER、SUMビットは“0”になります。OER、FER、PERビットがすべて“0”になると、SUMビットも“0”になります。また、UIRBレジスタの下位バイトを読んだときも、FER、PERビットは“0”になります。

注2. SMD2~SMD0ビットが“001b” (クロック同期型シリアルインタフェースモード) のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

図 18.18 U7RB~U10RB レジスタ

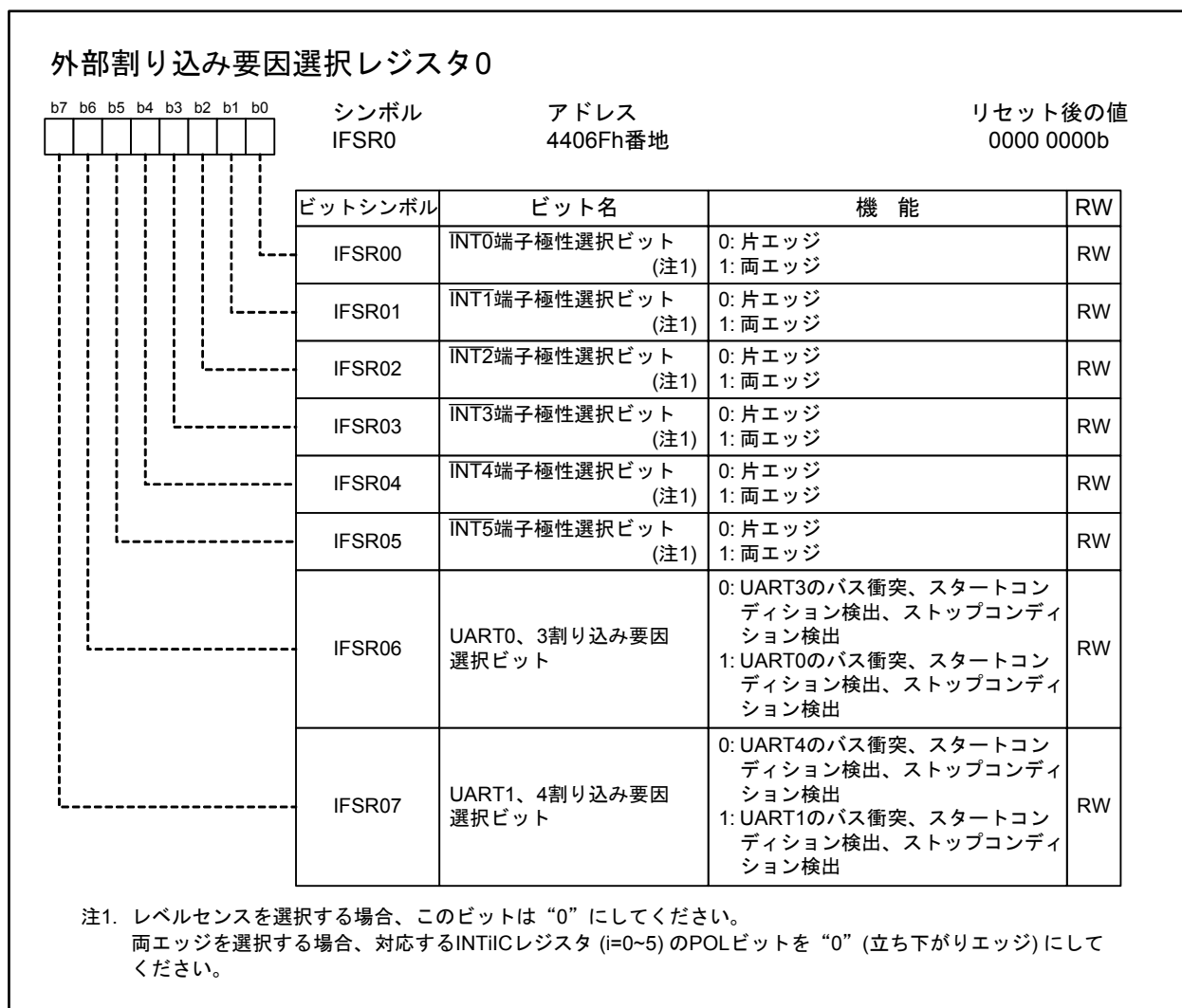


図 18.19 IFSR0 レジスタ

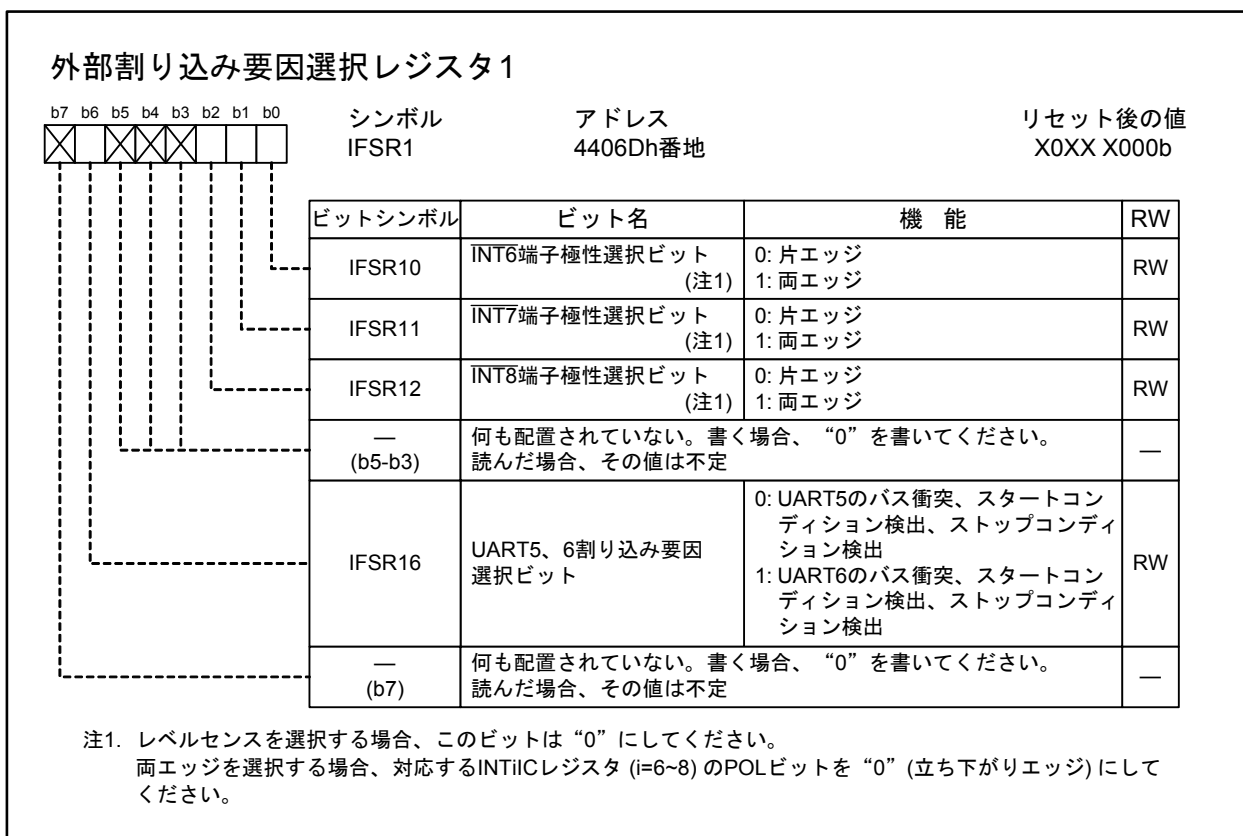


図 18.20 IFSR1 レジスタ

18.1 クロック同期型シリアルインタフェースモード

クロック同期型シリアルインタフェースモードは、送受信クロックに同期してデータの送受信を行うモードです。表 18.2 にクロック同期型シリアルインタフェースモードの仕様を示します。

表 18.2 クロック同期型シリアルインタフェースモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • UiMR レジスタ (i=0~10) の CKDIR ビットが“0” (内部クロック): $\frac{fx}{2(m+1)} \quad fx = f1, f8, f2n \quad m : \text{UiBRG レジスタ設定値 (00h~FFh)}$ • CKDIR ビットが“1” (外部クロック): CLKi 端子からの入力
送信制御、受信制御	CTS 機能、RTS 機能、CTS/RTS 機能無効を選択
送信開始条件	送信開始には、以下の条件が必要です (注1) <ul style="list-style-type: none"> • UiC1 レジスタの TE ビットが“1” (送信許可) • UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり) • CTS 機能選択時、$\overline{\text{CTS}i}$ 端子への入力信号が“L”
受信開始条件	受信開始には、以下の条件が必要です (注1) <ul style="list-style-type: none"> • UiC1 レジスタの RE ビットが“1” (受信許可) • TE ビットが“1” (送信許可) • TI ビットが“0” (UiTB レジスタにデータあり) • CTS 機能選択時、$\overline{\text{CTS}i}$ 端子への入力信号が“L”
割り込み要求発生タイミング	送信割り込みは、U0C1~U6C1、U78CON、U910CON レジスタの UiIRS ビットの設定により、以下の条件のいずれかを選択できます <ul style="list-style-type: none"> • UiIRS ビットが“0” (送信バッファ空): UiTB レジスタから UARTi 送信シフトレジスタへデータ転送時 (送信開始時) • UiIRS ビットが“1” (送信完了): UARTi 送信シフトレジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> • UARTi 受信シフトレジスタから UiRB レジスタへデータ転送時 (受信完了時)
エラー検出	オーバランエラー (注2) UiRB レジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生
その他選択項目	<ul style="list-style-type: none"> • CLK 極性選択 送受信データの出力と入力タイミングが、送受信クロックの立ち上がり同期するか、立ち下がり同期するかを選択できます • ビットオーダー選択 LSB ファーストまたは MSB ファーストを選択できます • 連続受信モード選択 UiRB レジスタを読むと同時に、受信許可にすることができます • シリアルデータ論理切り替え (UART0~UART6) 送受信データの論理を反転することができます

注1. 外部クロック選択時、UiC0 レジスタの CKPOL ビットが“0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力) の場合は CLKi 端子が“H”の状態、CKPOL ビットが“1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力) の場合は CLKi 端子が“L”の状態、これらの条件を満たすようにしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタは不定になります。SiRIC レジスタの IR ビットは“1” (割り込み要求あり) に変化しません。

表 18.3、表 18.4に使用するレジスタと設定値を示します。なお、UART_i (i=0~10)の動作モード選択後、送信開始までは、TXD_i端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス)。

図 18.21にクロック同期型シリアルインタフェースモード時の送信動作例を、図 18.22にクロック同期型シリアルインタフェースモード時の受信動作例を示します。

表 18.3 クロック同期型シリアルインタフェースモードで使用するレジスタと設定値(UART0~UART6)

レジスタ	ビット	機能
UiMR	(b7~b4)	“0000b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	“001b”にしてください
UiC0	UFORM	LSBファースト、またはMSBファーストを選択してください
	CKPOL	送受信クロックの極性を選択してください
	(b5)	“0”にしてください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信シフトレジスタ空フラグ
	(b2)	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	(b7)	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UART _i 送信割り込み要因を選択してください
	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送受信を許可する場合、“1”にしてください
UiSMR	—	“00h”にしてください
UiSMR2	—	“00h”にしてください
UiSMR3	—	“00h”にしてください
UiSMR4	—	“00h”にしてください
UiBRG	—	ビットレートに応じた分周比を設定してください
IFS0	IFS06	CLK3、RXD3、CTS3の入力端子を選択してください
	IFS03~IFS02	CLK6、RXD6、CTS6の入力端子を選択してください
UiTB	(b7~b0)	送信データを設定してください
UiRB	OER	オーバランエラーフラグ
	(b7~b0)	受信データが読めます

i=0~6

表 18.4 クロック同期型シリアルインタフェースモードで使用するレジスタと設定値(UART7~UART10)

レジスタ	ビット	機能
UiMR	(b7~b4)	“0000b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	“001b”にしてください
UiC0	UFORM	LSBファースト、またはMSBファーストを選択してください
	CKPOL	送受信クロックの極性を選択してください
	(b5)	“0”にしてください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信シフトレジスタ空フラグ
	(b2)	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	(b7~b4)	“0000b”にしてください
	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送受信を許可する場合、“1”にしてください
U78CON	(b7~b4)	“0000b”にしてください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
U910CON	(b7~b4)	“0000b”にしてください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
IFS0	IFS05	CLK7、RXD7、CTS7の入力端子を選択してください
	IFS04	CLK8、RXD8、CTS8の入力端子を選択してください
IFS3	IFS35	CLK10、RXD10、CTS10の入力端子を選択してください
	IFS34	CLK9、RXD9、CTS9の入力端子を選択してください
UiBRG	—	ビットレートに応じた分周比を設定してください
UiTB	(b7~b0)	送信データを設定してください
UiRB	OER	オーバランエラーフラグ
	(b7~b0)	受信データが読めます

i=7~10

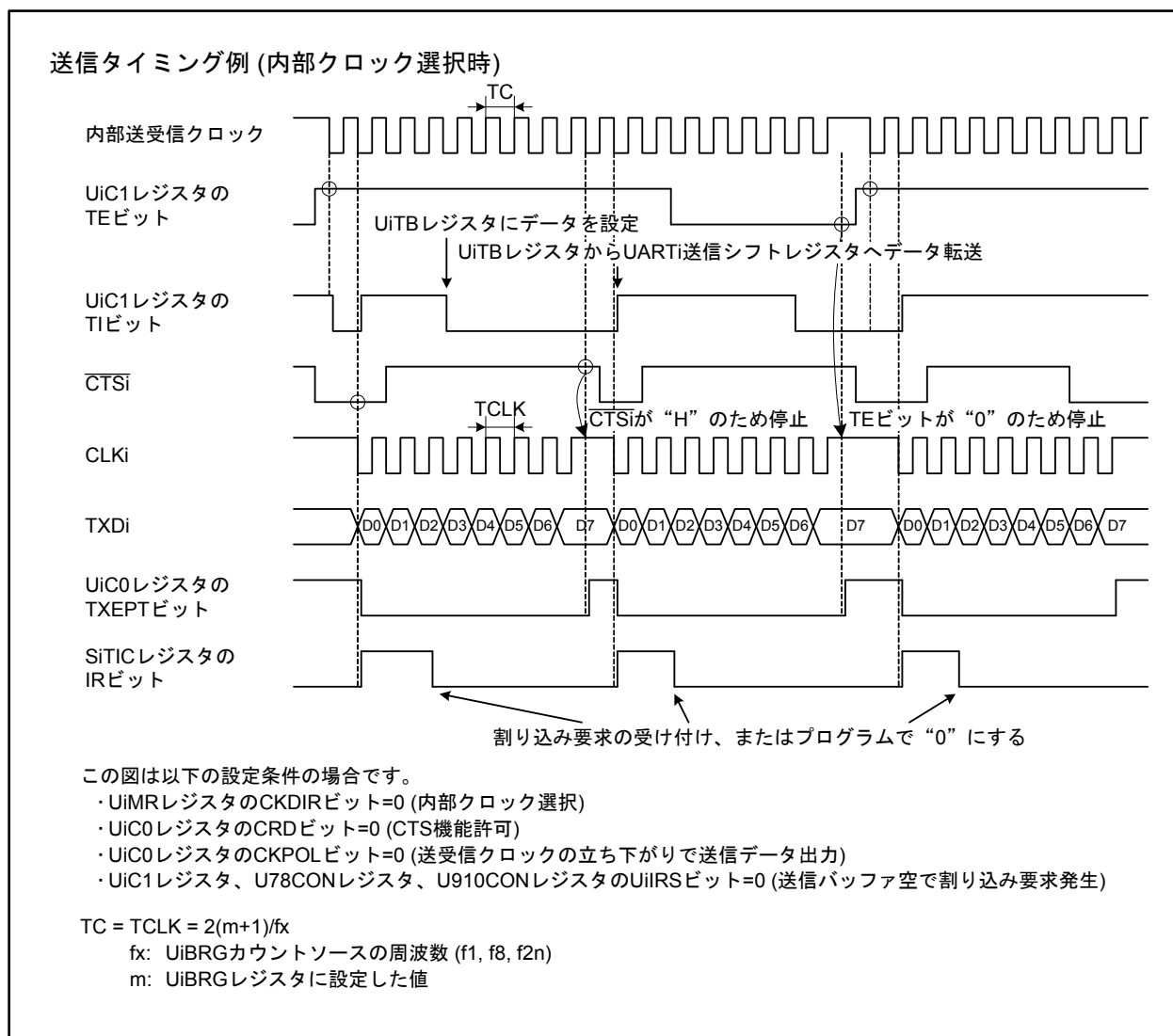


図 18.21 クロック同期型シリアルインタフェースモード時の送信動作例

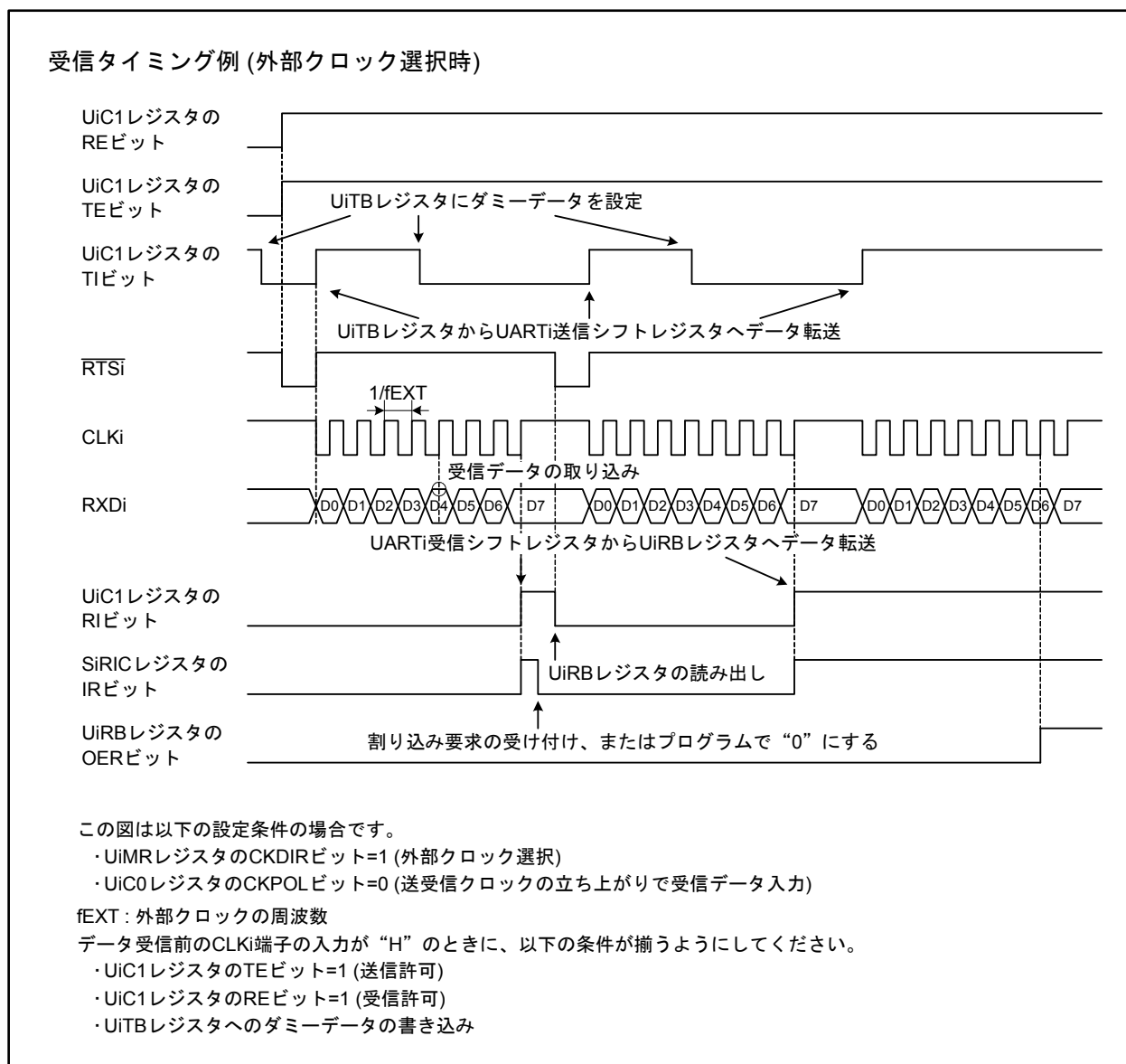


図 18.22 クロック同期型シリアルインタフェースモード時の受信動作例

18.1.1 通信エラー発生時の対処方法

クロック同期型シリアルインタフェースモードで受信または送信時に通信エラーが発生した場合、以下の手順で再設定を行ってください。

- (1) UiC1 レジスタ (i=0~10) の TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にする。
- (2) UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェース無効) にする。
- (3) UiMR レジスタの SMD2~SMD0 ビットを“001b” (クロック同期型シリアルインタフェースモード) にする。
- (4) UiC1 レジスタの TE ビットを“1” (送信許可)、RE ビットを“1” (受信許可) にする。

18.1.2 CLK 極性選択

図 18.23 に示すように UiC0 レジスタ (i=0~10) の CKPOL ビットで送受信クロックの極性を選択できます。

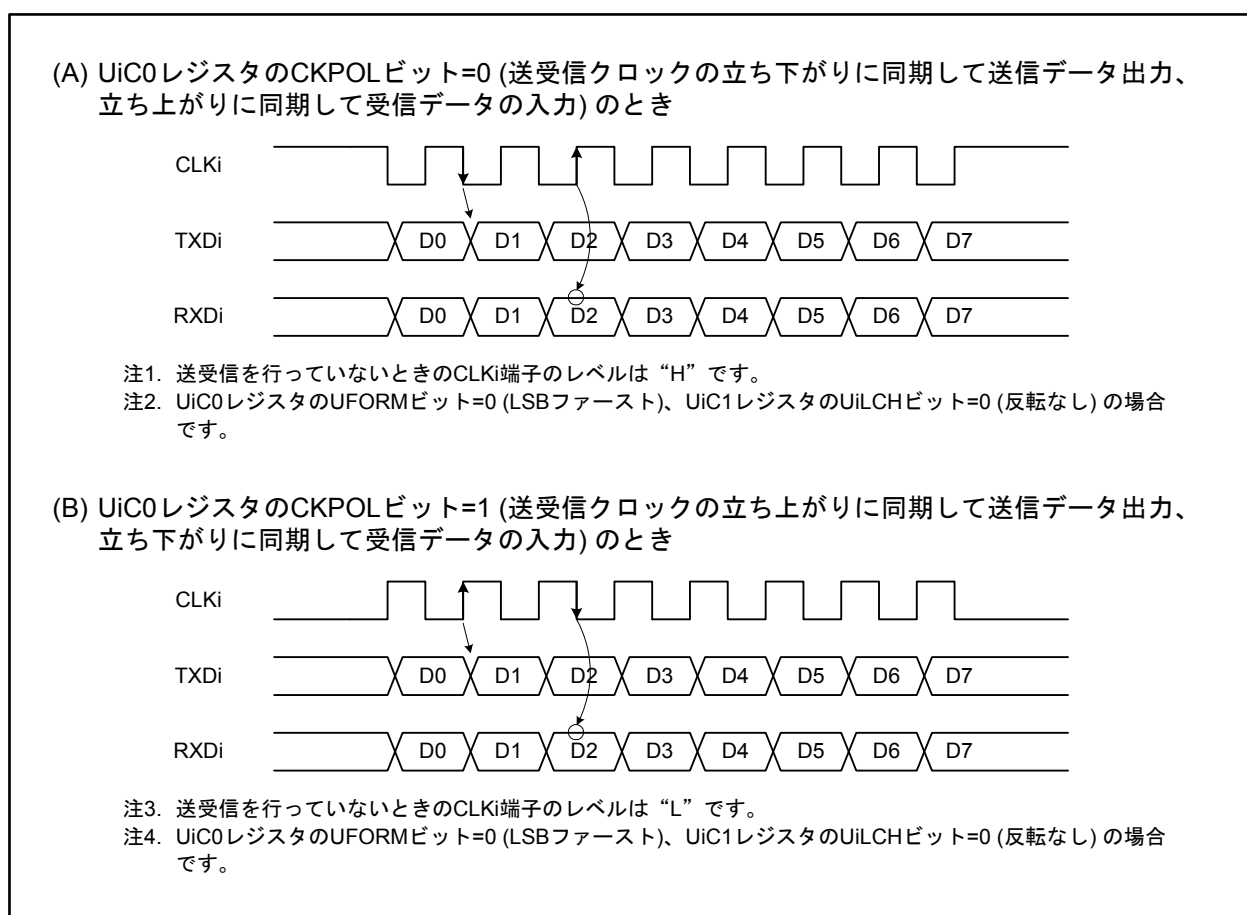


図 18.23 送受信クロックの極性 (i=0~10)

18.1.3 LSB ファースト、MSB ファースト選択

図 18.24 に示すように、UiC0 レジスタ (i=0~10) の UFORM ビットでビットオーダを選択できます。

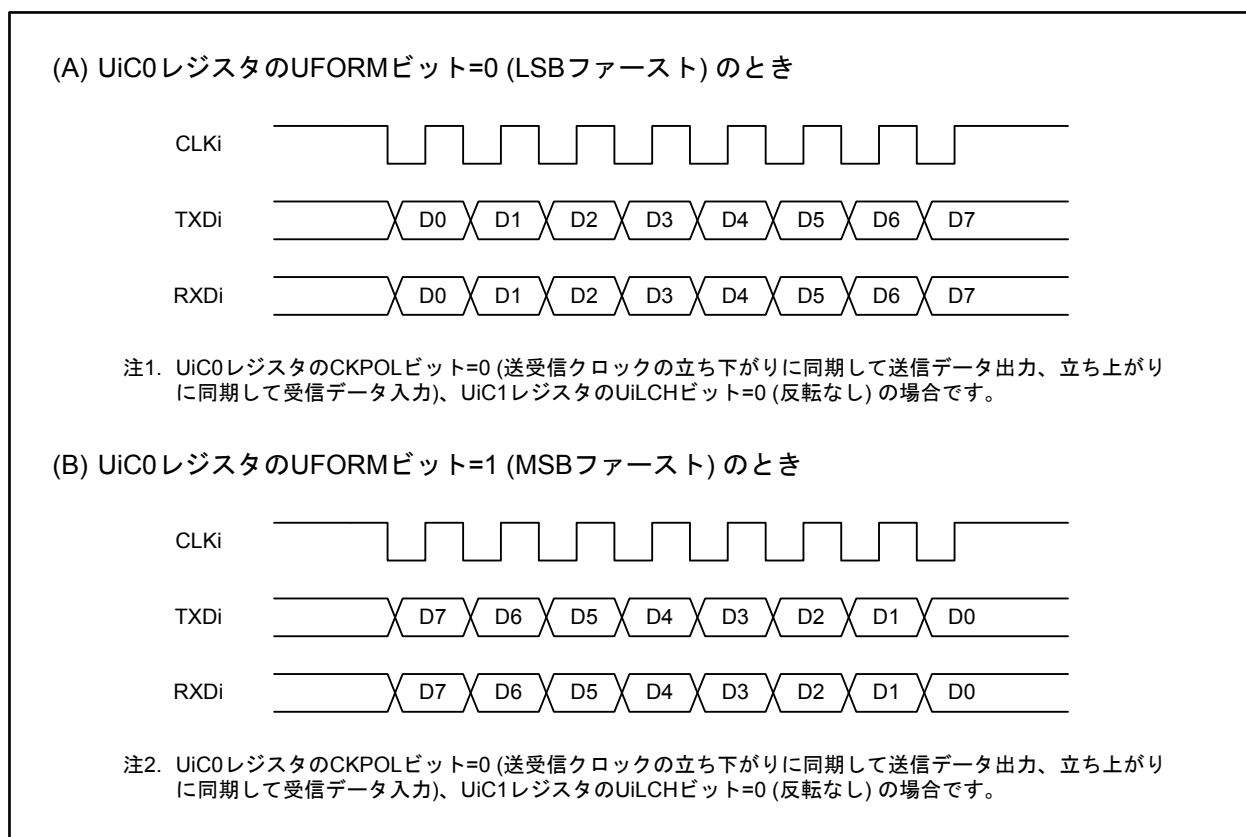


図 18.24 ビットオーダ (i=0~10)

18.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すと自動的に受信許可になるモードです。このモードを選択すれば、受信を許可するために送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U0C1~U6C1、U78CON、U910CON レジスタの UiRRM ビット (i=0~10) を“1” (連続受信モード) にすると、UiRB レジスタを読むことで UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり) になります。UiRRM ビットが“1”の場合、UiTB レジスタにダミーデータを書かないでください。

18.1.5 シリアルデータ論理切り替え

UiC1レジスタ ($i=0\sim 6$)のUiLCHビットが“1”(反転あり)の場合、送信時にUiTBレジスタに書いた値の論理を反転して送信します。また、UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図 18.25にシリアルデータ論理を示します。

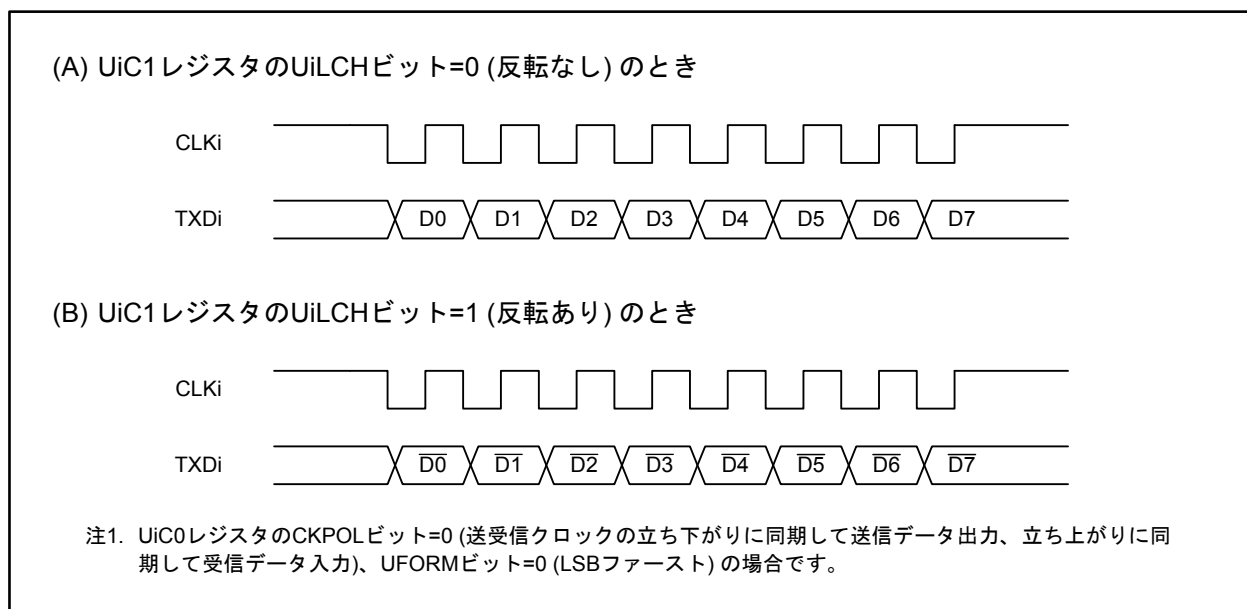


図 18.25 シリアルデータ論理 ($i=0\sim 6$)

18.1.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子 ($i=0\sim 10$)を使用して送信制御を行う機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、最終ビットまで送信した後、次のデータから送信を停止します。

クロック同期型シリアルインタフェースモードでは、受信時にも送信回路を動作させる必要がありますので、CTS機能を有効にした場合、受信を開始する場合にも $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルを“L”にする必要があります。

RTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子を使用して受信回路の状態を示す機能です。受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。CLKi端子の最初の立ち下がりで出力レベルが“H”になります。

18.2 クロック非同期型シリアルインタフェースモード(UARTモード)

UARTモードは、スタートビットの立ち下がりトリガとして内部クロックをデータに同期させて送受信を行うモードです。表 18.5にUARTモードの仕様を示します。

表 18.5 UARTモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> スタートビット 1ビット データビット(データキャラクタ) 7ビット、8ビット、9ビット選択可 パリティビット 奇数、偶数、なし選択可 ストップビット 1ビット、2ビット選択可
送受信クロック	<ul style="list-style-type: none"> UiMRレジスタ(i=0~10)のCKDIRビットが“0”(内部クロック)の場合 $\frac{f_x}{16(m+1)} \quad f_x = f_1, f_8, f_{2n} \quad m: \text{UiBRGレジスタ設定値}(00h\sim FFh)$ CKDIRビットが“1”(外部クロック)の場合 $\frac{f_{EXT}}{16(m+1)} \quad f_{EXT}: \text{CLKi端子入力クロック}$
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には以下の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) CTS機能選択時、$\overline{\text{CTS}}_i$端子への入力信号が“L”
受信開始条件	受信開始には、以下の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	送信割り込みは、U0C1~U6C1、U78CON、U910CONレジスタのUiIRSビットの設定により、以下の条件のいずれかを選択できます <ul style="list-style-type: none"> UiIRSビットが“0”(送信バッファ空): UiTBレジスタからUARTi送信シフトレジスタへデータ転送時(送信開始時) UiIRSビットが“1”(送信完了): UARTi送信シフトレジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> UARTi受信シフトレジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注1) UiRBレジスタを読む前に次のデータの最終ストップビットの1つ前のビット(2ストップビット選択時は1ストップビット目)を受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティありの場合に、受信したデータキャラクタとパリティビットに含まれる“1”の個数(奇/偶)が設定した個数(奇/偶)でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
その他選択項目	<ul style="list-style-type: none"> ビットオーダ選択 LSBファーストまたはMSBファーストを選択できます シリアルデータ論理切り替え 送受信データの論理を反転することができます。スタートビットとストップビットは反転しません TXD、RXD入出力極性切り替え TXD端子からの出力レベルとRXD端子への入力レベルを反転することができます。入出力する信号のレベルがすべて反転します

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表 18.6、表 18.7に使用するレジスタと設定値を示します。なお、UART_i (i=0~10)の動作モード選択後、送信開始までは、TXD_i端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス)。

図 18.26、図 18.27にUARTモード時の送信動作例を、図 18.28にUARTモード時の受信動作例を示します。

表 18.6 UARTモードで使用するレジスタと設定値(UART0~UART6)

レジスタ	ビット	機能
UiMR	IOPOL	TXD端子、RXD端子の入出力極性を選択してください
	PRY, PRYE	パリティの有無、偶数奇数を選択してください
	STPS	ストップビット長を選択してください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	キャラクタ長が7ビットの場合、“100b”にしてください キャラクタ長が8ビットの場合、“101b”にしてください キャラクタ長が9ビットの場合、“110b”にしてください
UiC0	UFORM	キャラクタ長が8ビットの場合、LSBファースト、MSBファーストを選択できます。キャラクタ長が7ビットまたは9ビットの場合は“0”にしてください
	CKPOL	“0”にしてください
	(b5)	“0”にしてください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信シフトレジスタ空フラグ
	(b2)	“0”にしてください
UiC1	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
	(b7)	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiRRM	“0”にしてください
	UiIRS	UART _i 送信割り込み要因を選択してください
	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
TE		送信を許可する場合、“1”にしてください
UiSMR	—	“00h”にしてください
UiSMR2	—	“00h”にしてください
UiSMR3	—	“00h”にしてください
UiSMR4	—	“00h”にしてください
UiBRG	—	ビットレートに応じた分周比を設定してください
IFS0	IFS06	CLK3、RXD3、CTS3の入力端子を選択してください
	IFS03~IFS02	CLK6、RXD6、CTS6の入力端子を選択してください
UiTB	(b8~b0)	送信データを設定してください(注1)
UiRB	OER, FER, PER, SUM	エラーフラグ
	(b8~b0)	受信データが読めます(注1)

i=0~6

注1. 使用するビットは以下のとおりです。

- キャラクタ長7ビット: b6~b0
- キャラクタ長8ビット: b7~b0
- キャラクタ長9ビット: b8~b0

表 18.7 UARTモードで使用するレジスタと設定値(UART7~UART10)

レジスタ	ビット	機能	
UiMR	(b7)	“0”にしてください	
	PRY, PRYE	パリティの有無、偶数奇数を選択してください	
	STPS	ストップビット長を選択してください	
	CKDIR	内部クロック、外部クロックを選択してください	
	SMD2~SMD0		キャラクタ長が7ビットの場合、“100b”にしてください
			キャラクタ長が8ビットの場合、“101b”にしてください
		キャラクタ長が9ビットの場合、“110b”にしてください	
UiC0	UFORM	キャラクタ長が8ビットの場合、LSBファースト、MSBファーストを選択できます。キャラクタ長が7ビットまたは9ビットの場合は“0”にしてください	
	CKPOL	“0”にしてください	
	(b5)	“0”にしてください	
	CRD	CTS機能の許可、または禁止を選択してください	
	TXEPT	送信シフトレジスタ空フラグ	
	(b2)	“0”にしてください	
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください	
UiC1	(b7~b4)	“0000b”にしてください	
	RI	受信完了フラグ	
	RE	受信を許可する場合、“1”にしてください	
	TI	送信バッファ空フラグ	
	TE	送信を許可する場合、“1”にしてください	
U78CON	(b7~b4)	“0000b”にしてください	
	UiRRM	“0”にしてください	
	UiIRS	UARTi送信割り込み要因を選択してください	
U910CON	(b7~b4)	“0000b”にしてください	
	UiRRM	“0”にしてください	
	UiIRS	UARTi送信割り込み要因を選択してください	
UiBRG	—	ビットレートに応じた分周比を設定してください	
IFS0	IFS05	CLK7、RXD7、 $\overline{CTS7}$ の入力端子を選択してください	
	IFS04	CLK8、RXD8、 $\overline{CTS8}$ の入力端子を選択してください	
IFS3	IFS35	CLK10、RXD10、 $\overline{CTS10}$ の入力端子を選択してください	
	IFS34	CLK9、RXD9、 $\overline{CTS9}$ の入力端子を選択してください	
UiTB	(b8~b0)	送信データを設定してください(注1)	
UiRB	OER, FER, PER, SUM	エラーフラグ	
	(b8~b0)	受信データが読めます(注1)	

i=7~10

注1. 使用するビットは以下のとおりです。

キャラクタ長7ビット: b6~b0

キャラクタ長8ビット: b7~b0

キャラクタ長9ビット: b8~b0

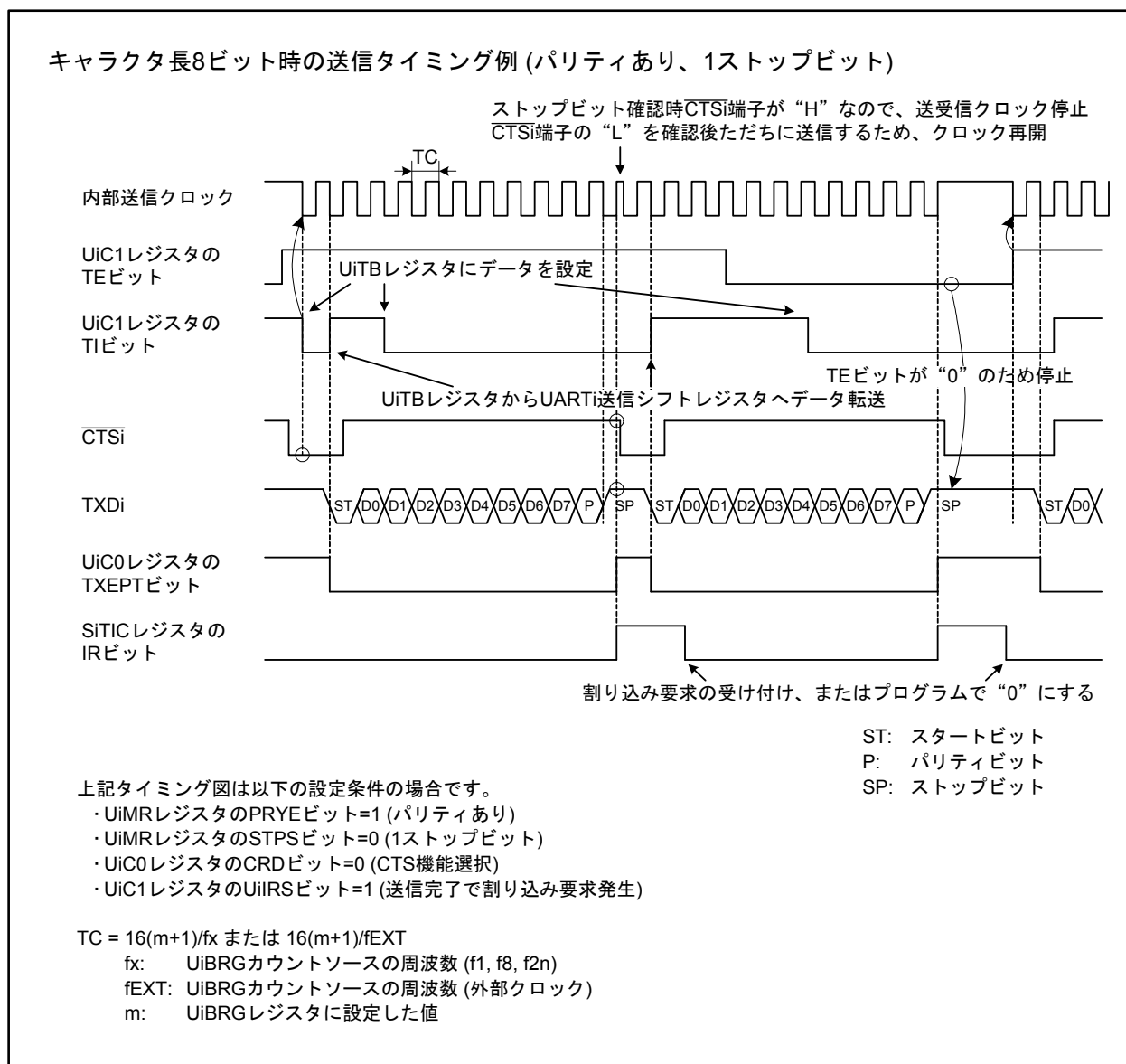


図 18.26 UARTモード時の送信動作例(1) (i=0~10)

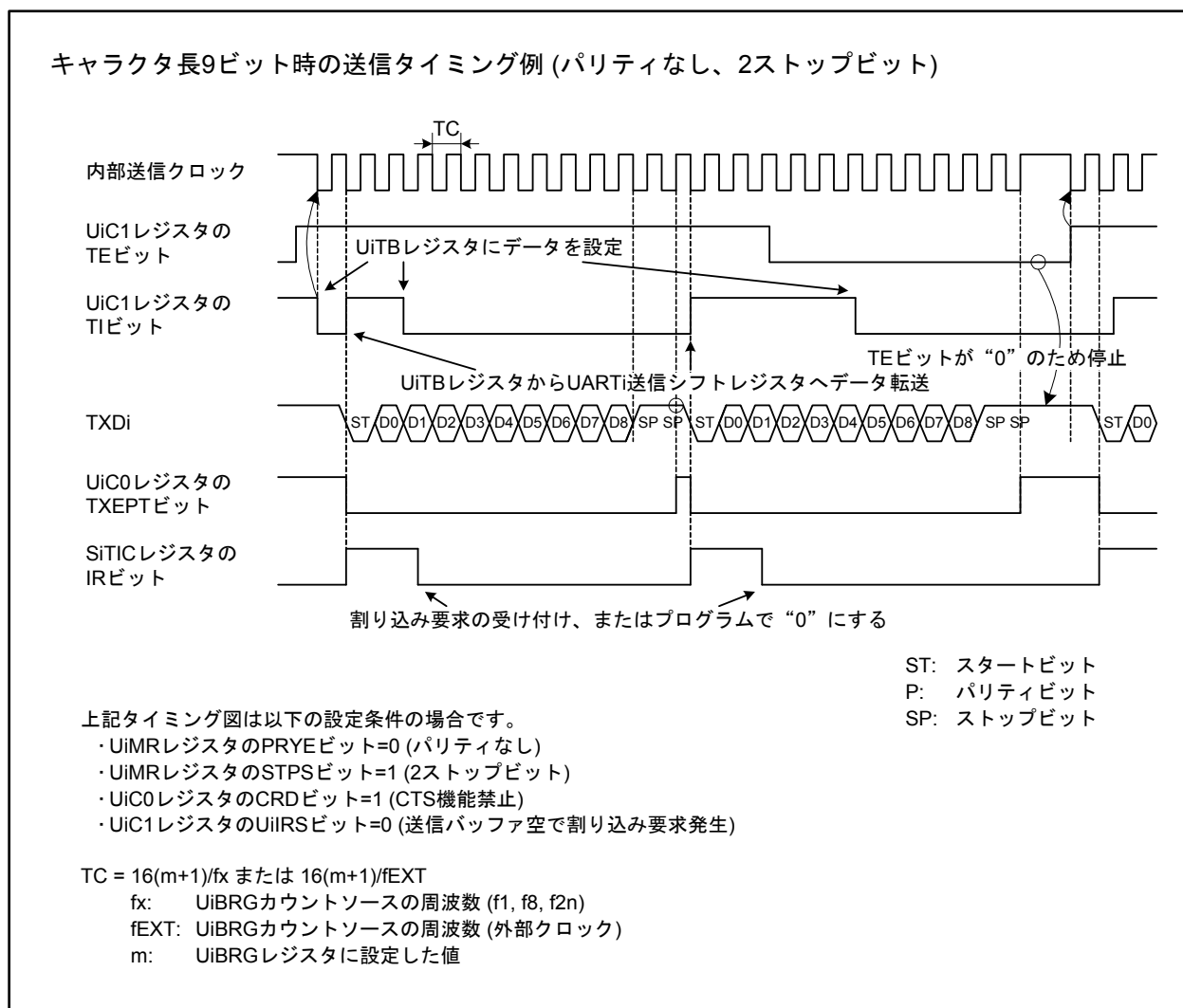


図 18.27 UARTモード時の送信動作例(2) (i=0~10)

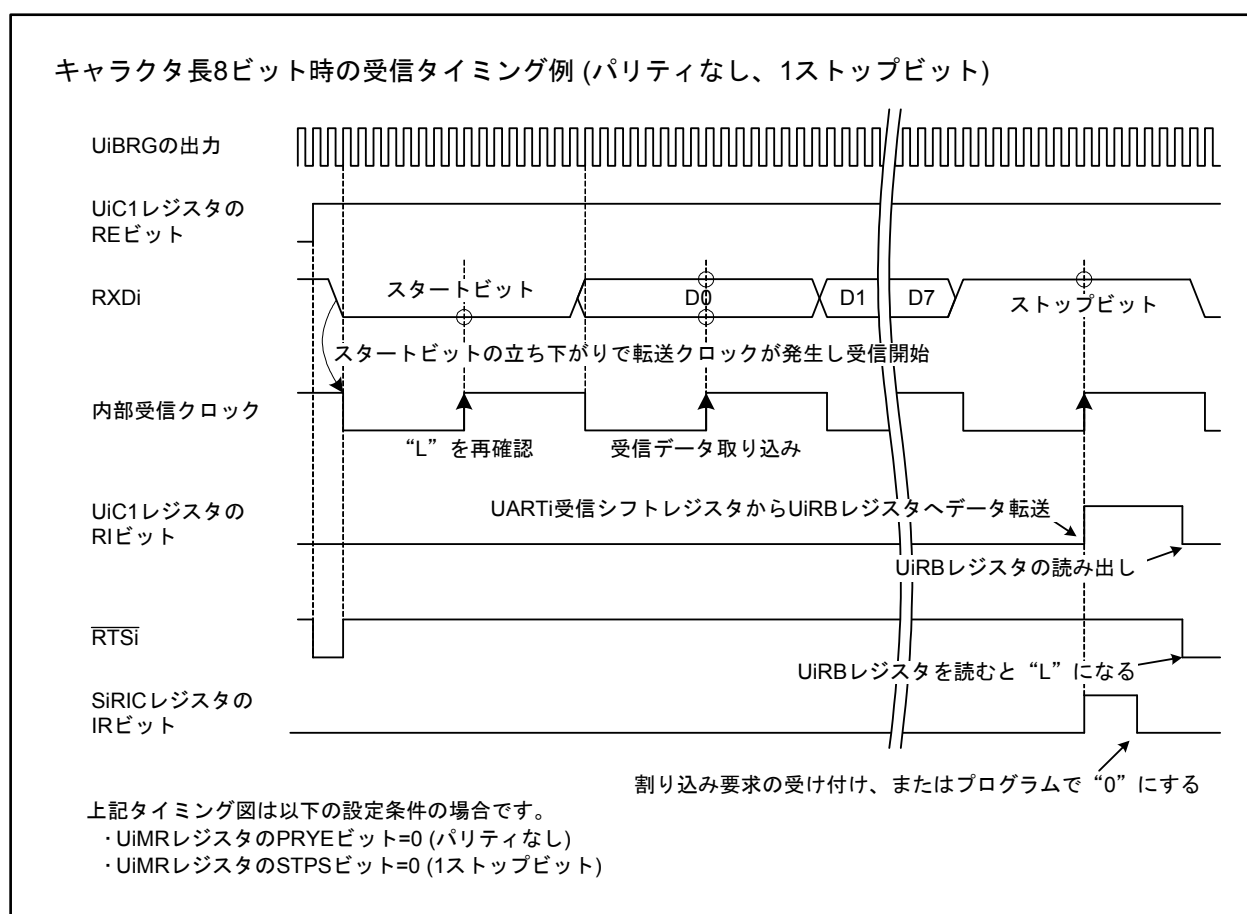


図 18.28 UARTモード時の受信動作例(i=0~10)

18.2.1 ビットレート

UARTモードでは、カウントソースをUiBRGレジスタ(i=0~10)で分周した周波数の16分周がビットレートになります。表 18.8にビットレートの設定例を示します。

表 18.8 ビットレートの設定例

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロック : 30 MHz		周辺機能クロック : 32 MHz	
		UiBRGの 設定値: n	実際のビット レート (bps)	UiBRGの 設定値: n	実際のビット レート (bps)
1200	f8	194 (C2h)	1202	207 (CFh)	1202
2400	f8	97 (61h)	2392	103 (67h)	2404
4800	f8	48 (30h)	4783	51 (33h)	4808
9600	f1	194 (C2h)	9615	207 (CFh)	9615
14400	f1	129 (81h)	14423	138 (8Ah)	14388
19200	f1	97 (61h)	19133	103 (67h)	19231
28800	f1	64 (40h)	28846	68 (44h)	28986
31250	f1	59 (3Bh)	31250	63 (3Fh)	31250
38400	f1	48 (30h)	38265	51 (33h)	38462
51200	f1	36 (24h)	50676	38 (26h)	51282

18.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、以下の手順で再設定を行ってください。

- (1) UiC1レジスタ (i=0~10)のTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを再設定 (“001b”, “101b”, “110b”)する。
- (4) UiC1レジスタのTEビットを“1” (送信許可)、REビットを“1” (受信許可)にする。

18.2.3 LSBファースト、MSBファースト選択

図 18.29に示すように、UiC0レジスタ (i=0~10)のUFORMビットでビットオーダを選択できます。この機能はキャラクタ長8ビットのときに使用できます。

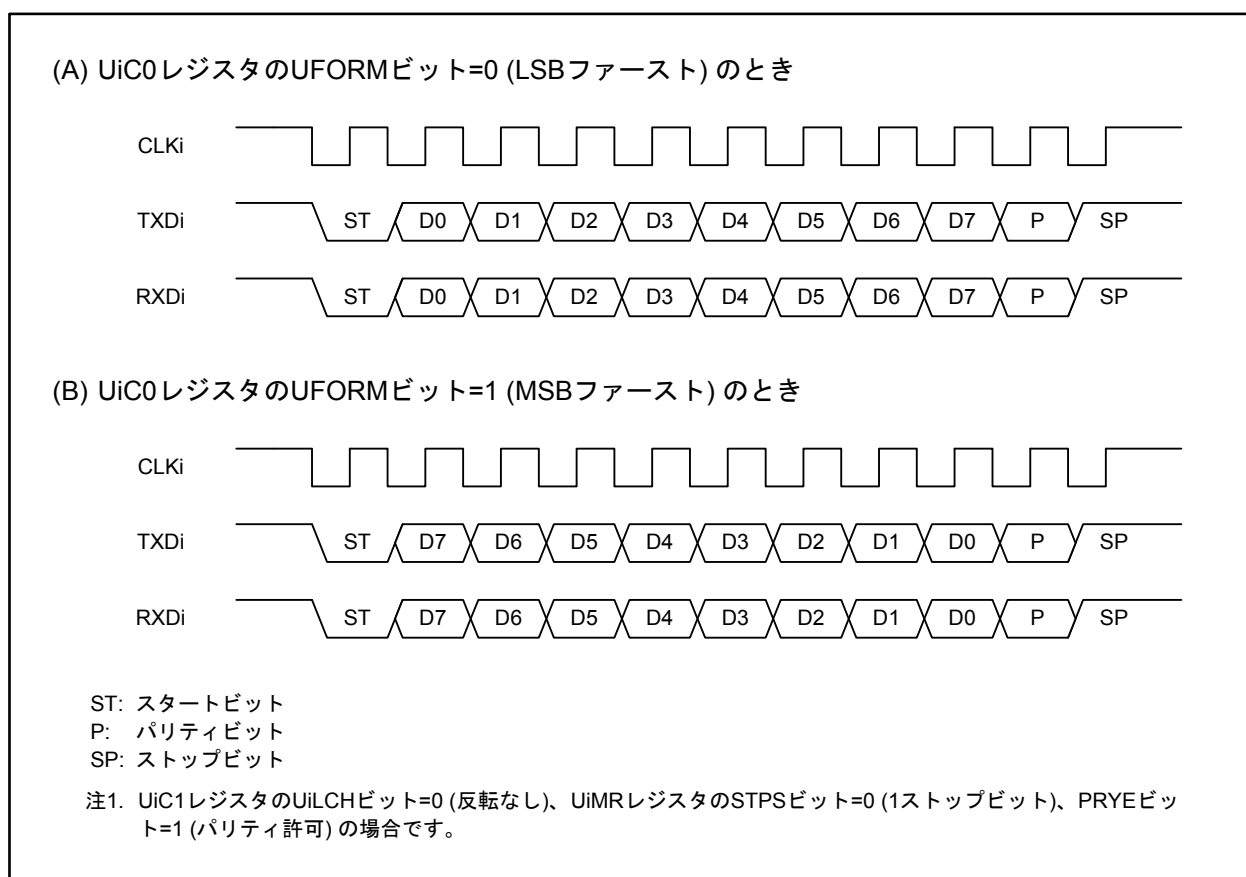


図 18.29 ビットオーダ (i=0~10)

18.2.4 シリアルデータ論理切り替え

UiC1レジスタ(i=0~6)のUiLCHビットを“1”(反転あり)にすると、UiTBレジスタへ書くときと、UiRBレジスタから読むときにデータの論理を反転させます。パリティビットは反転しません。

図 18.30にシリアルデータ論理を示します。

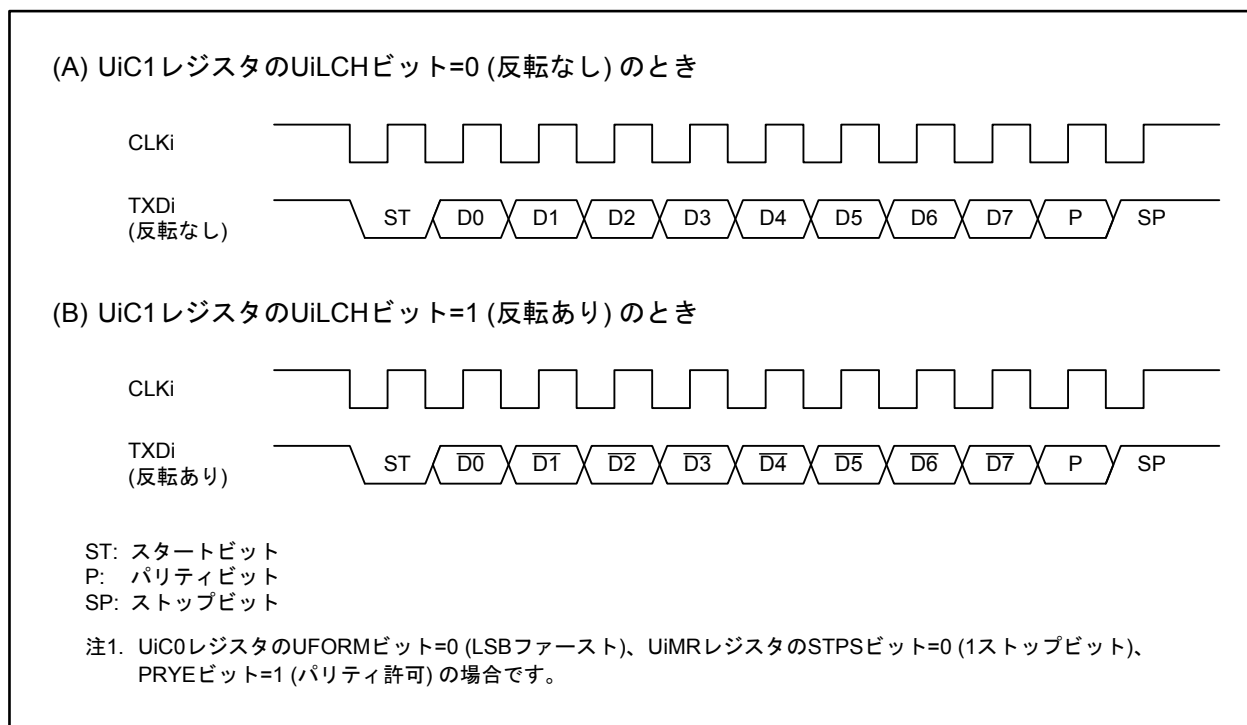


図 18.30 シリアルデータ論理(i=0~6)

18.2.5 TXD、RXD入出力極性切り替え

TXD端子からの出力レベルとRXD端子への入力レベルを反転する機能です。UiMRレジスタ(i=0~6)のIOPOLビットを“1”(反転あり)にすると、入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図 18.31にTXD、RXD入出力極性切り替えを示します。

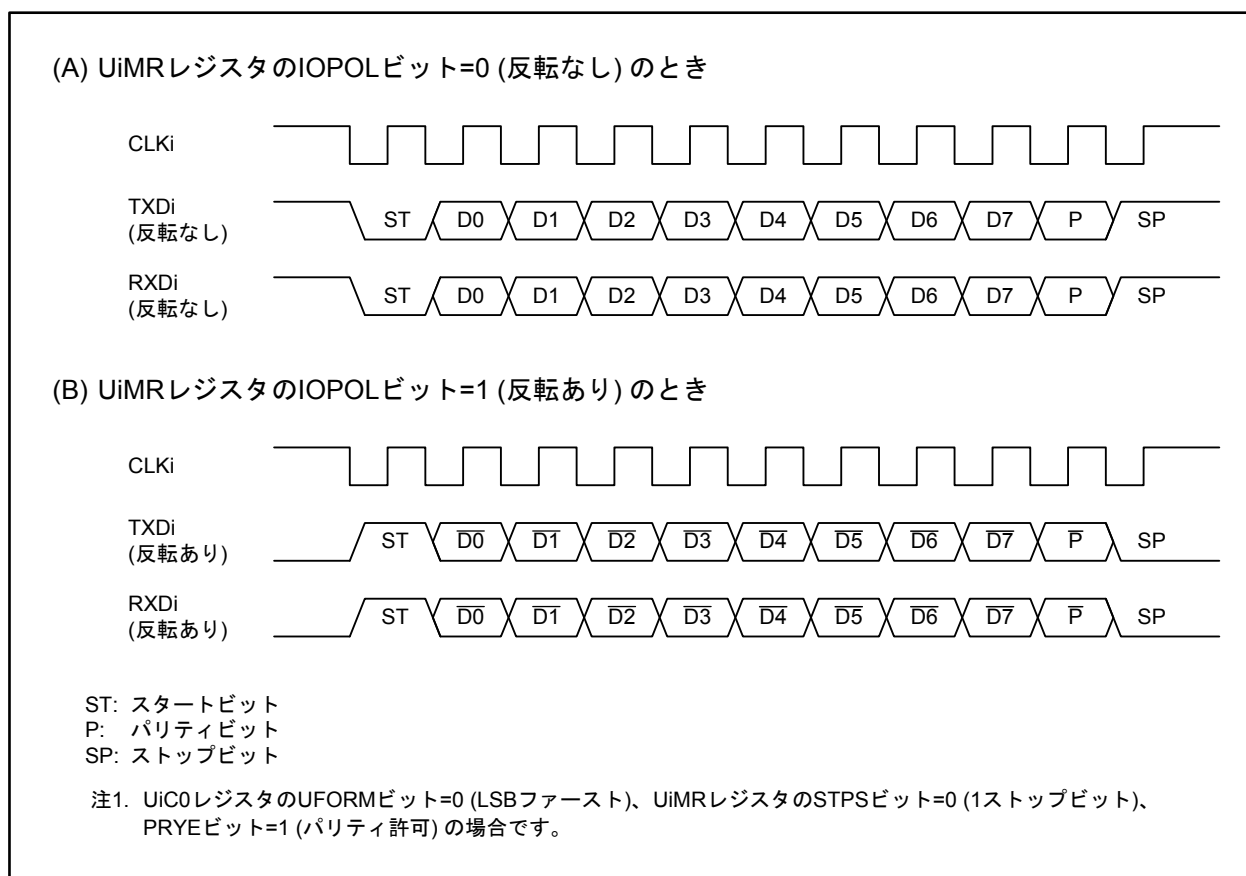


図 18.31 TXD、RXD入出力極性切り替え (i=0~6)

18.2.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}_i/\text{RTS}_i}$ 端子(i=0~10)を使用して送信制御を行う機能です。 $\overline{\text{CTS}_i/\text{RTS}_i}$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、 $\overline{\text{CTS}_i/\text{RTS}_i}$ 端子を使用して受信回路の状態を示す機能です。受信準備が整ったとき、 $\overline{\text{CTS}_i/\text{RTS}_i}$ 端子の出力レベルが“L”になります。CLKi端子の最初の立ち下がりで出力レベルが“H”になります。

18.3 特殊モード1 (I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表 18.9にI²Cモードの仕様を示します。

表 18.9 I²Cモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	マスタ時 ・UiMRレジスタ (i=0~6)のCKDIRビットが“0” (内部クロック): $\frac{f_x}{2(m+1)} \quad f_x = f_1, f_8, f_{2n} \quad m : \text{UiBRG レジスタ設定値 (00h~FFh)}$ スレーブ時 ・CKDIRビットが“1” (外部クロック): SCLi端子からの入力
送信開始条件	送信開始には、以下の条件が必要です(注1) ・UiC1レジスタのTEビットが“1” (送信許可) ・UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です(注1) ・UiC1レジスタのREビットが“1” (受信許可) ・TEビットが“1” (送信許可) ・TIビットが“0” (UiTBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、 ACK (Acknowledge)検出または受信完了、 NACK (Not-Acknowledge)検出または送信完了
エラー検出	オーバランエラー (注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
その他選択項目	・アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択できます ・SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を選択できます ・クロック位相設定 クロック遅れあり、なしを選択できます

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSIRICレジスタのIRビットは変化しません。

表 18.10にI²Cモードで使用するレジスタと設定値を、表 18.11にI²Cモード時の各機能を、図 18.32にI²Cモード時のブロック図を、図 18.33にUiRBレジスタ (i=0~6)への転送、割り込みのタイミングを示します。

表 18.11に示すように、UiMRレジスタ (i=0~6)のSMD2~SMD0ビットを“010b”に、UiSMRレジスタのHCMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表 18.10 I²Cモードで使用するレジスタと設定値(i=0~6)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiMR	IOPOL	"0"にしてください	
	(b6~b4)	"000b"にしてください	
	CKDIR	"0"にしてください	"1"にしてください
	SMD2~SMD0	"010b"にしてください	
UiC0	(b7~b4)	"1001b"にしてください	
	TXEPT	送信シフトレジスタ空フラグ	
	(b2)	"0"にしてください	
	CLK1~CLK0	UiBRGのカウントソースを選択してください	無効
UiC1	(b7~b5)	"000b"にしてください	
	UiIRS	"1"にしてください	
	RI	受信完了フラグ	
	RE	受信を許可する場合、"1"にしてください	
	TI	送信バッファ空フラグ	
	TE	送受信を許可する場合、"1"にしてください	
UiSMR	(b7~b3)	"00000b"にしてください	
	BBS	バスビジーフラグ	
	ABC	アービトラーションロスト検出タイミングを選択してください	無効
	IICM	"1"にしてください	
UiSMR2	(b7)	"0"にしてください	
	SDHI	SDA出力を禁止する場合、"1"にしてください	
	SWC2	SCLの出力を強制的に"L"にする場合、"1"にしてください	
	STC	"0"にしてください	スタートコンディション検出でUARTiを初期化する場合、"1"にしてください
	ALS	アービトラーションロスト検出時にSDAiの出力を停止する場合、"1"にしてください	"0"にしてください
	SWC	8ビット受信後にSCLiを"L"出力固定にする場合、"1"にしてください	
	CSC	クロック同期を実施する場合、"1"にしてください	"0"にしてください
	IICM2	表 18.11参照	
UiSMR3	DL2~DL0	SDAiのデジタル遅延値を設定してください	
	(b4~b2)	"000b"にしてください	
	CKPH	表 18.11参照	
	SSE	"0"にしてください	
UiSMR4	SWC9	"0"にしてください	9ビット受信後にSCLiを"L"出力固定にする場合、"1"にしてください
	SCLHI	ストップコンディション検出時にSCL出力停止を許可する場合、"1"にしてください	"0"にしてください
	ACKC	ACKデータを出力する場合、"1"にしてください	
	ACKD	ACK、NACKを選択してください	
	STSPSEL	各コンディション出力時に"1"にしてください	"0"にしてください
	STPREQ	ストップコンディションを生成する場合、"1"にしてください	"0"にしてください
	RSTAREQ	リスタートコンディションを生成する場合、"1"にしてください	"0"にしてください
	STAREQ	スタートコンディションを生成する場合、"1"にしてください	"0"にしてください
UiBRG	—	ビットレートに応じた分周比を設定してください	無効
IFSR0	IFSR06, IFSR07	割り込みを使用するUARTを選択してください	
IFSR1	IFSR16	割り込みを使用するUARTを選択してください	
IFS0	IFS06	SCL3、SDA3の入力端子を選択してください	
	IFS03~IFS02	SCL6、SDA6の入力端子を選択してください	
UITB	(b8)	送信時は"1"を、受信時はACKビットの値を設定してください	
	(b7~b0)	送信時は送信データを、受信時は"FFh"を設定してください	
UiRB	OER	オーバランエラーフラグ	
	ABT	アービトラーションロスト検出フラグ	無効
	(b8)	受信割り込み発生直後はD0が、送信割り込み発生後はACK、NACKが入ります	
	(b7~b0)	受信割り込み発生直後はD7~D1が、送信割り込み発生後はD7~D0が読めます	

表 18.11 I²Cモード時の各機能(i=0~6)

機能	クロック同期型シリアルインタフェースモード(SMD2~SMD0 = 001b, IICM = 0)	I ² Cモード(SMD2~SMD0 = 010b, IICM = 1)			
		IICM2 = 0 (ACK/NACK 割り込み)		IICM2 = 1 (送受信割り込み)	
		CKPH = 0 (クロック遅れなし)	CKPH = 1 (クロック遅れあり)	CKPH = 0 (クロック遅れなし)	CKPH = 1 (クロック遅れあり)
割り込み番号6、39~41の要因(注1)(図 18.33参照)	—	スタートコンディション検出、ストップコンディション検出(表 18.12参照)			
割り込み番号2、4、17、19、33、35、37の要因(注1)(図 18.33参照)	UARTi送信 送信開始、または送信完了(UiIRSで選択)	NACK検出 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目のSCLiの立ち下がり	UARTi送信 9ビット目のSCLiの立ち下がり
割り込み番号3、5、18、20、34、36、38の要因(注1)(図 18.33参照)	UARTi受信 8ビット目の受信時 CKPOL = 0: 立ち上がり CKPOL = 1: 立ち下がり	ACK検出 9ビット目のSCLiの立ち上がり	UARTi受信 8ビット目のSCLiの立ち下がり		
UARTi受信シフトレジスタからUiRBレジスタへのデータ転送タイミング	CKPOL = 0: 立ち上がり CKPOL = 1: 立ち下がり	9ビット目のSCLiの立ち上がり	8ビット目のSCLiの立ち下がり	8ビット目のSCLiの立ち下がりと、9ビット目の立ち上がり	
UARTi送信出力遅延	遅延なし	遅延あり			
P6_3, P6_7, P7_0, P7_3, P7_6, P9_2, P9_6, P11_0, P12_0, P15_0, P15_4端子の機能	TXDi出力	SDAi入出力			
P6_2, P6_6, P7_1, P7_5, P8_0, P9_1, P9_7, P11_2, P12_2, P15_2, P15_5端子の機能	RXDi入力	SCLi入出力			
P6_1, P6_5, P7_2, P7_4, P7_7, P9_0, P9_5, P11_1, P12_1, P15_1, P15_6端子の機能	CLKi入力または出力	— (I ² Cモードでは使用しない)			
RXDi、SCLi端子レベルの読み込み	対応するポート方向ビットの内容に関係なく可能				
SDAi出力端子の初期値	—	H (機能選択レジスタでポートを選択した場合はポートレジスタの値)			
SCLiの初期値、終了値	—	H	L	H	L
DMA要因(図 18.33参照)	UARTi受信	ACK検出	UARTi受信 8ビット目のSCLiの立ち下がり		
受信データ格納	1~8ビット目をUiRBレジスタのビット0~7に格納	1~8ビット目をUiRBレジスタのビット7~0に格納	1~7ビット目をUiRBレジスタのビット6~0に、8ビット目をUiRBレジスタのビット8に格納	1回目(注2)は左に同じ。 2回目(注3)は1~8ビット目をUiRBレジスタのビット7~0に、9ビット目をUiRBレジスタのビット8に格納	
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す	UiRBレジスタのビット6~0はビット7~1として、ビット8はビット0として読み出す		1回目(注2)は左に同じ。 2回目(注3)はUiRBレジスタの状態をそのまま読み出す	

注1. 要因を切り替える場合、以下の手順で行ってください。

- (1) 対応する割り込み番号の割り込みを禁止する
- (2) 要因を切り替える
- (3) 対応する割り込み番号のIRビットを“0”(割り込みなし)にする
- (4) 対応する割り込み番号のILVL2~ILVL0を設定する

注2. 8ビット目のSCLi立ち下がり時に1回目のUiRBレジスタへの転送が行われます。

注3. 9ビット目のSCLi立ち上がり時に2回目のUiRBレジスタへの転送が行われます。

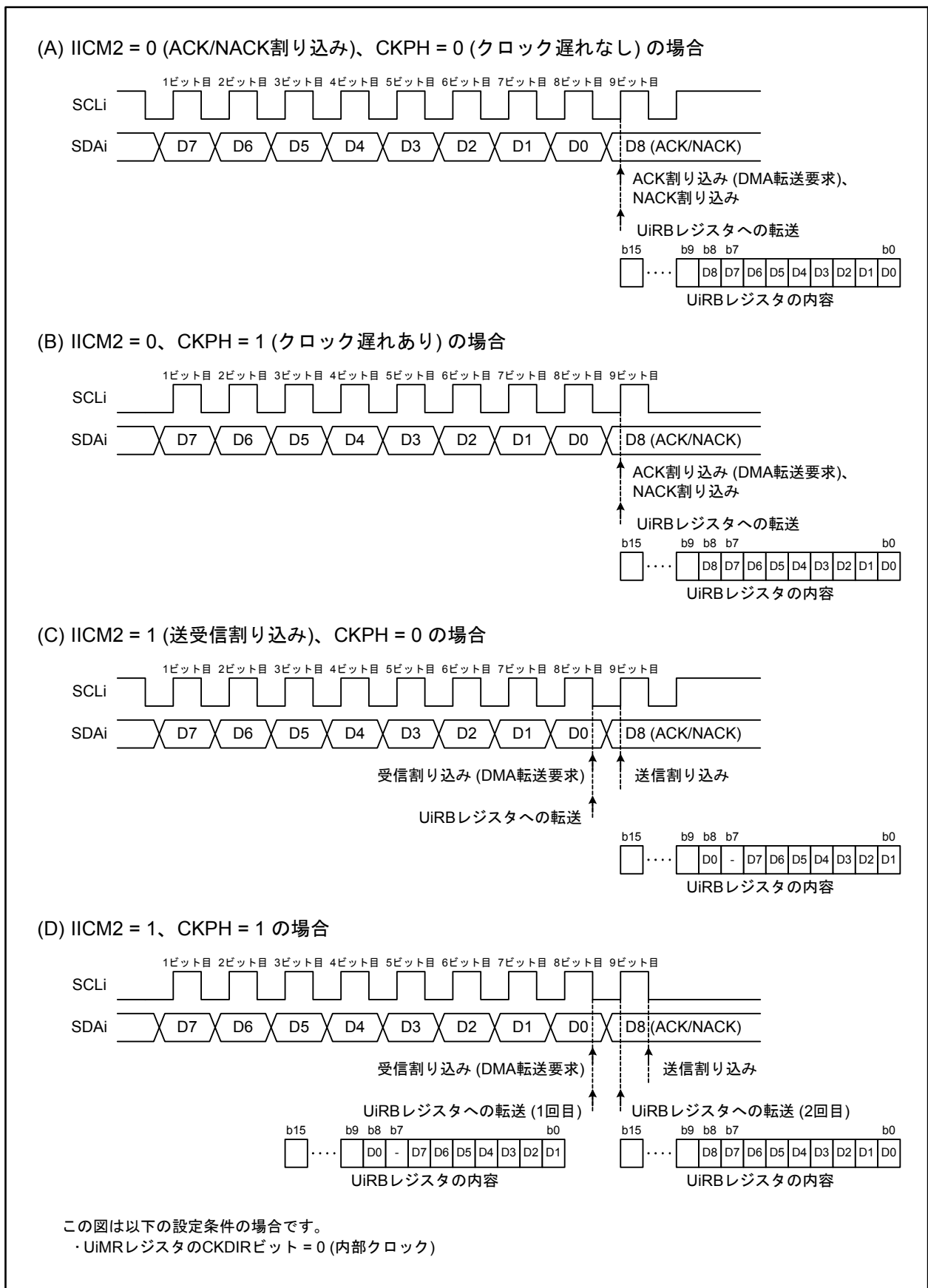


図 18.33 UiRB レジスタへの転送、割り込みのタイミング (i=0~6)

18.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出回路によりスタートコンディションを、ストップコンディション検出回路によりストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCLi端子(i=0~6)が“H”の状態、SDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態、SDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みとストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共有していますので、どちらの要求による割り込みかはUiSMRレジスタのBBSビットで判定してください。

スタートコンディション、ストップコンディションを検出するには、図 18.34 に示すとおりセットアップ時間、ホールド時間もともに周辺機能クロック(f1)の6サイクル以上必要です。Fast-Modeの仕様を満たすためには、f1は10 MHz以上である必要があります。

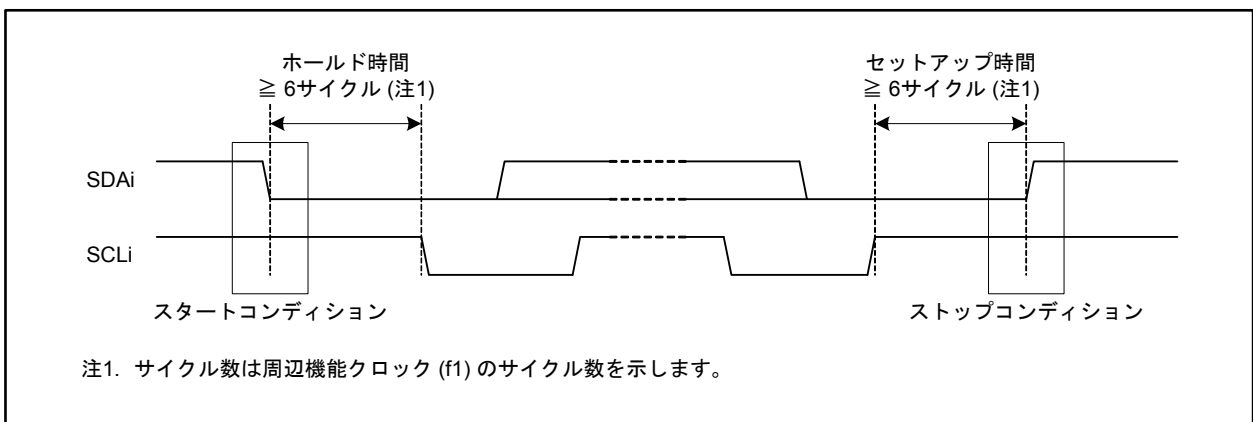


図 18.34 スタートコンディション、ストップコンディションの検出タイミング(i=0~6)

18.3.2 スタートコンディション、ストップコンディションの生成

UiSMR4レジスタ(i=0~6)のSTAREQビット、RSTAREQビット、STPREQビットを使用して、それぞれスタートコンディション、リスタートコンディション、ストップコンディションを生成できます。

STAREQビットを“1”(スタート)にした後、UiSMR4レジスタのSTSPSELビットを“1”(スタートコンディション/ストップコンディション生成回路選択)にするとスタートコンディションを出力します。同様に、RSTAREQビットを“1”(スタート)にした後、STSPSELビットを“1”にするとリスタートコンディション、STPREQビットを“1”(スタート)にした後、STSPSELビットを“1”にするとストップコンディションを出力します。

表 18.12 と図 18.35 に STSPSEL ビットの機能を示します。

表 18.12 STSPSEL ビットの機能

項目	STSPSEL = 0 の場合	STSPSEL = 1 の場合
スタートコンディション、ストップコンディションの生成	ソフトウェアでポートを制御して実現(ハードウェアによる自動発生はしない)	STAREQ ビット、RSTAREQ ビット、STPREQ ビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出時	スタートコンディション、ストップコンディション生成終了時

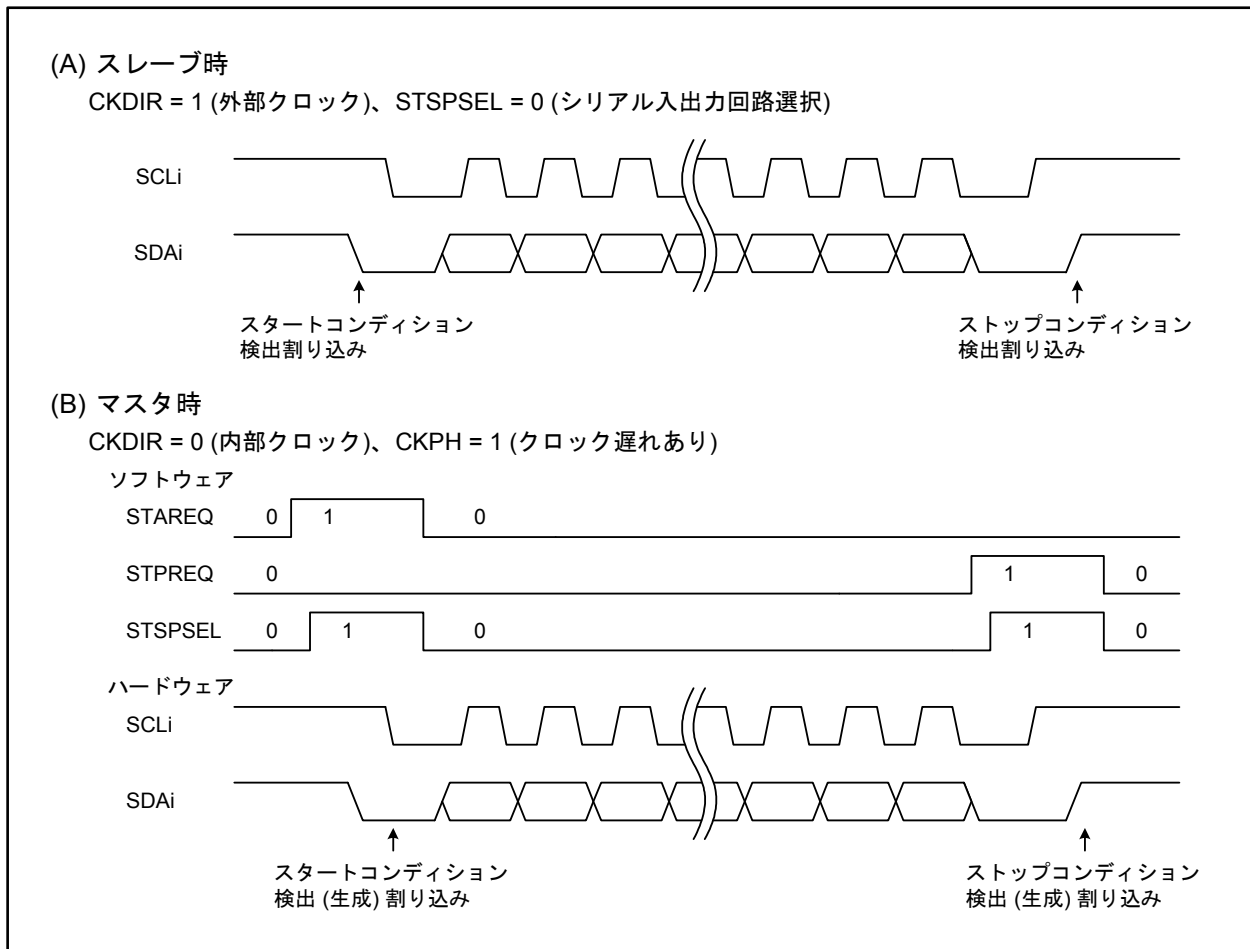


図 18.35 STSPSEL ビットの機能 (i=0~6)

18.3.3 アービトレーション

SCLi の立ち上がり時に、自身の送信データと SDAi 端子からの入力データが一致しているかを判定し、一致していなければ出力を停止することによりアービトレーションを行います。

UiSMR レジスタ (i=0~6) の ABC ビットで UiRB レジスタの ABT ビットの更新タイミングを選択します。ABC ビットが“0” (ビットごとに更新) の場合、判定時に不一致を検出すると同時に ABT ビットが“1”に、検出しないと“0”になります。ABC ビットが“1” (バイトごとに更新) の場合、判定時に一度でも不一致が検出された場合、8 ビット目の SCLi の立ち下がり ABT ビットが“1” (検出) になります。なお、バイトごとに更新する場合は、1 バイト目の ACK 検出完了後、ABT ビットを“0” (未検出) にしてから、次の 1 バイトの転送を開始してください。

UiSMR2 レジスタの ALS ビットを“1” (SDA 出力を停止する) にすると、アービトレーションロストが発生し ABT ビットが“1”になると同時に SDAi 端子がハイインピーダンスになります。

18.3.4 SCL 制御とクロック同期化

I²C モードでの送受信は、図 18.33 に示すような送受信クロックで行います。しかし、送受信クロックが速くなってくると、ACK の生成や送信データの準備に必要な時間を確保することが難しくなってきます。I²C モードではこの時間を確保するためのウェイト挿入の機能、および他デバイスが挿入したウェイトに対しクロックを同期させる機能をサポートしています。

UiSMR2レジスタ(i=0~6)のSWCビットは、アクノリッジ生成のためのウェイトを挿入するときに使用します。SWCビットが“1”(8ビット受信後、SCLi端子を“L”に固定)の場合、8ビット目のSCLiの立ち下がり(SCLi端子が“L”固定になります。SWCビットを“0”(ウェイトなし/ウェイト解除)にすると、“L”固定を解除できます。

UiSMR2レジスタのSWC2ビットを“1”(SCLi端子を“L”に固定)にすると、送受信中でもSCLi端子を“L”固定にできます。SWC2ビットを“0”(SCLi端子に送受信クロックを出力)にすると、SCLi端子からの“L”固定は解除され、送受信クロックが出力されます。

UiSMR4レジスタのSWC9ビットは、受信したアクノリッジビットを判定するためのウェイトを挿入するときに使用します。UiSMR3レジスタのCKPHビットが“1”(クロック遅れあり)のとき、SWC9ビットを“1”(9ビット受信後、SCLi端子を“L”に固定)にすると、9ビット目のSCLiの立ち下がり(SCLi端子が“L”固定になります。SWC9ビットを“0”(ウェイトなし/ウェイト解除)にすると“L”固定を解除できます。

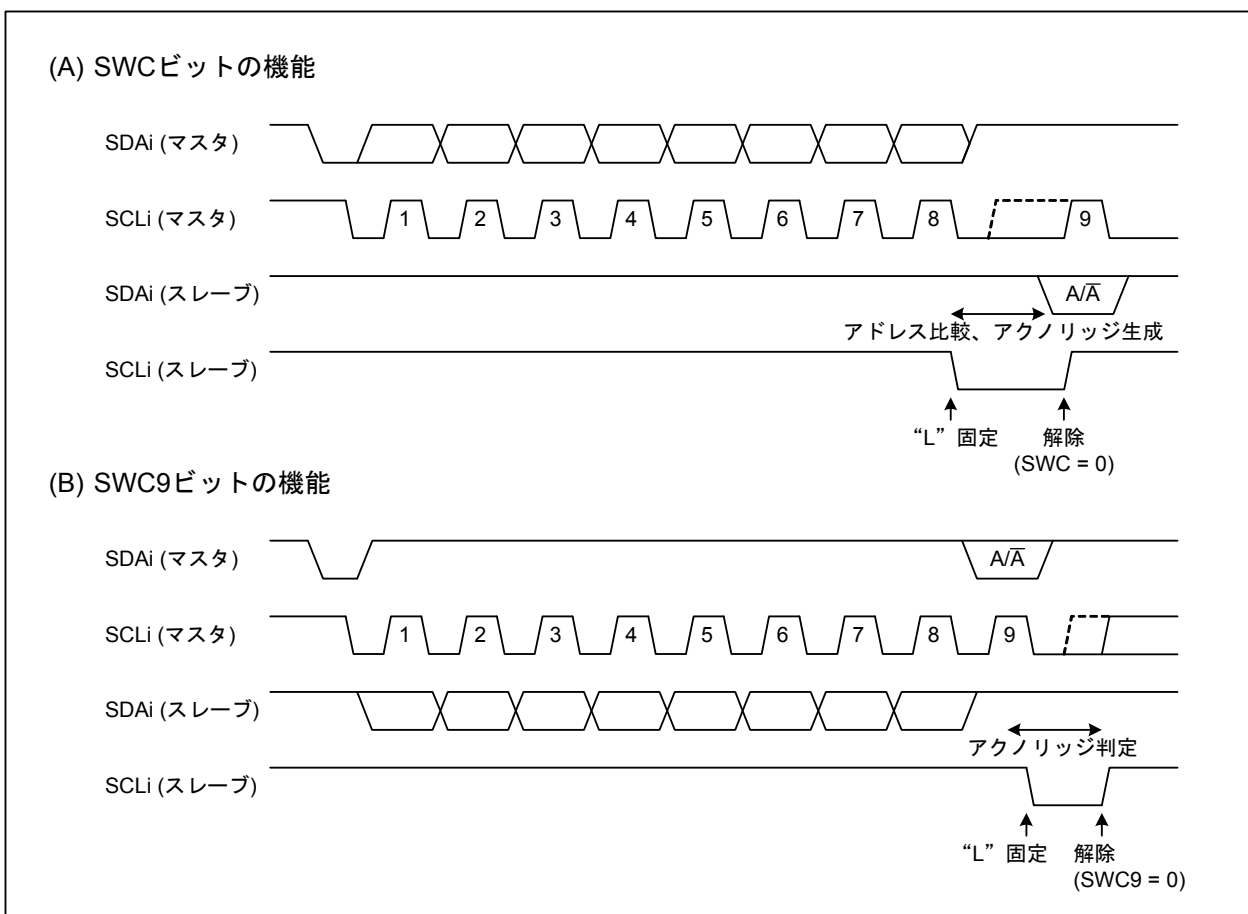


図 18.36 SWCビット、SWC9ビットによるウェイトの挿入(i=0~6)

UiSMR2レジスタのCSCビットは、他のデバイスがウェイトを挿入するなどしたために、自身が出力したクロックとSCLi端子に入力されたクロックが異なったとき、内部で生成するクロックをSCLi端子から入力されるクロックに同期させるためのビットです。CSCビットが“1”(クロック同期を実施する)の場合、内部生成クロックが“H”のときにSCLi端子が“H”から“L”に変化すると、内部生成クロックを“L”にし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部生成クロックが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの送受信クロックは、内部生成クロックとSCLi端子の信号の論理積になります。送受信クロックは、内部生成クロックの1クロック前から9クロック目まで同期化されます。CSCビットはUiMRレジスタのCKDIRビットが“0”(内部クロック)のときのみ“1”にできます。

UiSMR4レジスタのSCLHIビットは、自身がマスタとして送受信を行っているときに他のマスタがストップコンディションを生成した場合に、SCLi端子を開放するために使用します。SCLHIビットを“1” (出力停止)にすると、ストップコンディション検出時にSCLi端子を開放し(ハイインピーダンス)、クロック出力を停止します。

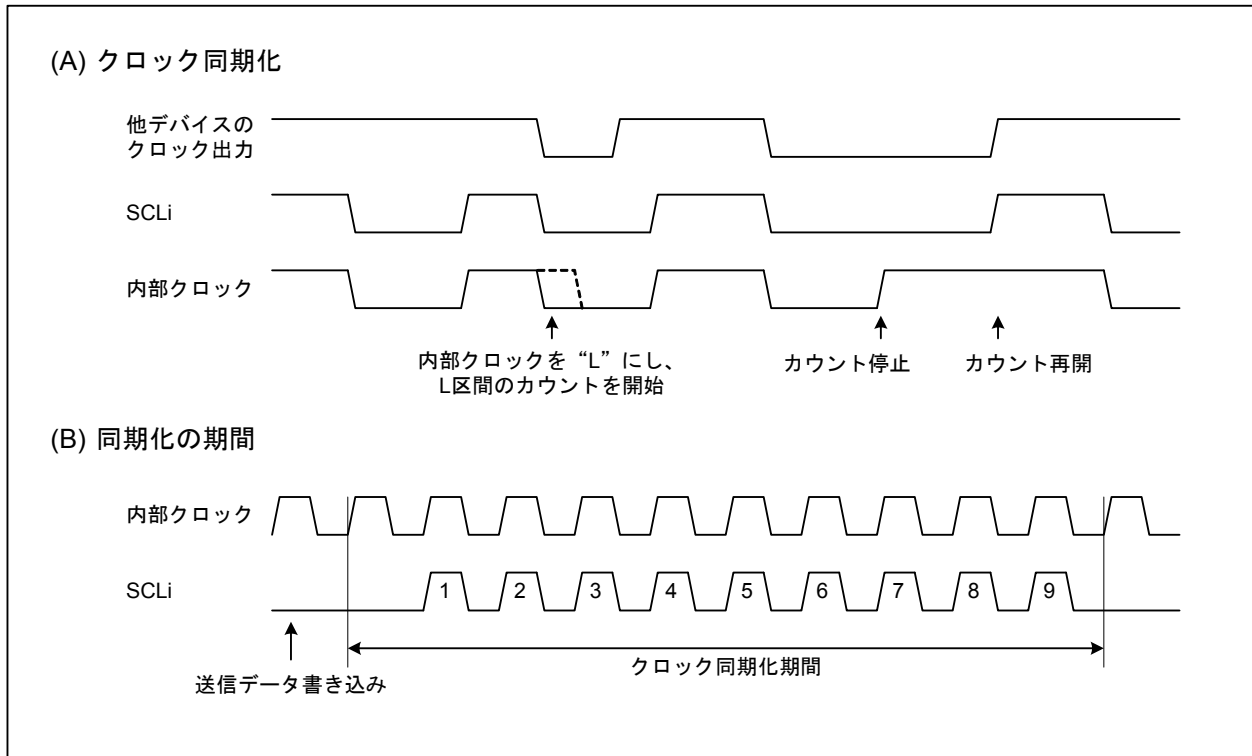


図 18.37 クロック同期化(i=0~6)

18.3.5 SDA出力

UiTBレジスタ(i=0~6)のビット8~0(D8~D0)に書いた値を、D7から順にD0まで、最後にD8の順で出力します。D8はアクノリッジ信号のためのビットですから、送信時はD8には“1”を設定してバスを開放する必要があります。また、受信時はD8にACKもしくはNACKを設定します。

UiSMR3レジスタのDL2~DL0ビットにより、SCLiの立ち下りエッジに対するSDAiの遅延量を設定できます。遅延量はUiBRGカウントソースを基準に、0サイクル(なし)または2~8サイクルの範囲で設定できます。

UiSMR2レジスタのSDHIビットを“1”(出力停止)にすることで、いつでもSDAi端子をハイインピーダンスにできます。I²Cモード設定後に、ポートの機能をSDAiに割り当て、端子を出力に設定すると、SDAi端子からは“L”が出力されます。このときSDHIビットが“1”であれば、SDAi端子はハイインピーダンスになります。

なお、SCLi端子が“H”のときにSDHIビットを書き換えた場合、スタートコンディションやストップコンディションを生成することになります。また、SCLiの立ち上がり直前にSDHIビットを書き換えた場合、アービトレーションロストと誤検出されることがあります。SCLi端子が“L”の時にSDAi端子が変化するように、SDHIビットを書き換えてください。

18.3.6 SDA入力

UiSMR2レジスタ(i=0~6)のIICM2ビットが“0”(ACK/NACK割り込みを使用)の場合、受信したデータの1~8ビット目(D7~D0)をUiRBレジスタのビット7~0に、9ビット目(ACK/NACK)をUiRBレジスタのビット8に格納します。

IICM2ビットが“1”(送受信割り込みを使用)の場合、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”の場合でも、UiSMR3レジスタのCKPHビットが“1”(クロック遅れあり)であれば、9ビット目のSCLiの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”の場合と同様のデータが読み出せます。

18.3.7 アクノリッジ

データを受信することが確定している場合、UiTBレジスタに00FFhをダミーデータとして設定することで、8ビット受信後にACKが出力されます。

また、UiSMR4レジスタ(i=0~6)のSTSPSELビットが“0”(シリアル入出力回路選択)で、UiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、9ビット目のSCLiの立ち上がり時にSDAi端子が“H”であればNACK割り込み要求が、“L”であればACK割り込み要求が発生します。

DMA起動要因に「UARTi受信またはACK割り込み要求」を選択すると、ACK検出によってDMA転送を起動できます。

18.3.8 送受信初期化

UiMRレジスタ(i=0~6)のCKDIRビットが“1”(外部クロック)で、UiSMR2レジスタのSTCビットが“1”(回路を初期化する)の場合、スタートコンディションを検出すると以下のように動作します。

- 送信シフトレジスタが初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。次のSCLiの立ち下がりエッジを1ビット目の送信クロックとして送信を開始します。ただし、SCLiの立ち下がりからデータが出力されるまでの間、SDAi端子からは初期化前の送信シフトレジスタの値が出力されます。
- 受信シフトレジスタは初期化され、次のSCLiの立ち下がりエッジを1ビット目の受信クロックとして受信を開始します。
- UiSMR2レジスタのSWCビットが“1”(8ビット受信後、SCL端子を“L”に固定)になります。

なお、この機能を使用しUARTiの送受信を開始した場合、UiC1レジスタのTIビットは変化しません。

18.4 特殊モード2

特殊モード2は、1つまたは複数のマスタから複数のスレーブへ、クロックに同期してシリアル通信を行うモードです。 \overline{SSi} 入力端子 ($i=0\sim6$) を用いて、シリアルバスの通信を制御します。表 18.13 に特殊モード2の仕様を示します。

表 18.13 特殊モード2の仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • UiMR レジスタ ($i=0\sim6$) の CKDIR ビットが“0” (内部クロック): $\frac{f_x}{2(m+1)} \quad f_x = f_1, f_8, f_{2n} \quad m: \text{UiBRG レジスタ設定値 (00h~FFh)}$ • CKDIR ビットが“1” (外部クロック): CLKi 端子からの入力
送信制御、受信制御	スレーブセレクト機能
送信開始条件	送信開始には以下の条件が必要です(注1) <ul style="list-style-type: none"> • UiC1 レジスタの TE ビットが“1” (送信許可) • UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です(注1) <ul style="list-style-type: none"> • UiC1 レジスタの RE ビットが“1” (受信許可) • TE ビットが“1” (送信許可) • TI ビットが“0” (UiTB レジスタにデータあり)
割り込み要求発生タイミング	送信割り込みは、U0C1~U6C1 レジスタの UiIRS ビットの設定により、以下の条件のいずれかを選択できます <ul style="list-style-type: none"> • UiIRS ビットが“0” (送信バッファ空): UiTB レジスタから UARTi 送信シフトレジスタへデータ転送時 (送信開始時) • UiIRS ビットが“1” (送信完了): UARTi 送信シフトレジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> • UARTi 受信シフトレジスタから UiRB レジスタへデータ転送時 (受信完了時)
エラー検出	オーバランエラー (注2) UiRB レジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生
その他選択項目	<ul style="list-style-type: none"> • CLK 極性選択 送受信データの出力と入力タイミングが、送受信クロックの立ち上がり同期するか、立ち下がり同期するかを選択できます • ビットオーダ選択 LSB ファーストまたは MSB ファーストを選択できます • 連続受信モード選択 UiRB レジスタを読むと同時に、受信許可にすることができます • シリアルデータ論理切り替え 送受信データの論理を反転することができます • クロック位相選択 送受信クロックの極性と相の組み合わせで4種類のクロックを選択できます • \overline{SSi} 入力端子機能 \overline{SSi} 端子が“H”のとき、出力端子をハイインピーダンスにすることができます

注1. 外部クロック選択時、UiC0 レジスタの CKPOL ビットが“0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力) の場合は CLKi 端子が“H”の状態、CKPOL ビットが“1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力) の場合は CLKi 端子が“L”の状態、これらの条件を満たすようにしてください。

注2. オーバランエラーが発生した場合、UiRB レジスタは不定になります。SiRIC レジスタの IR ビットは“1” (割り込み要求あり) に変化しません。

表 18.14 に特殊モード2 で使用するレジスタと設定値を示します。

表 18.14 特殊モード2 で使用するレジスタと設定値(i=0~6)

レジスタ	ビット	機能
UiMR	(b7~b4)	“0000b”にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	SMD2~SMD0	“001b”にしてください
UiC0	UFORM	LSB ファースト、またはMSB ファーストを選択してください
	CKPOL	UiSMR3 レジスタのCKPH ビットとの組み合わせでクロック位相を設定できます
	(b5)	“0”にしてください
	CRD	“1”にしてください
	TXEPT	送信シフトレジスタ空フラグ
	(b2)	“0”にしてください
	CLK1~CLK0	UiBRG レジスタのカウントソースを選択してください
UiC1	(b7~b6)	“00b”にしてください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UARTi 送信割り込み要因を選択してください
	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送受信を許可する場合、“1”にしてください
UiSMR	—	“00h”にしてください
UiSMR2	—	“00h”にしてください
UiSMR3	(b7~b5)	“000b”にしてください
	ERR	モードフォルトフラグ
	(b3)	“0”にしてください
	DINC	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	CKPH	UiC0 レジスタのCKPOL ビットとの組み合わせでクロック位相を設定できます
	SSE	“1”にしてください
UiSMR4	—	“00h”にしてください
UiBRG	—	ビットレートに応じた分周比を設定してください
IFS0	IFS06	CLK3、RXD3、SRXD3、SS3 の入力端子を選択してください
	IFS03~IFS02	CLK6、RXD6、SRXD6、SS6 の入力端子を選択してください
UiTB	(b7~b0)	送信データを設定してください
UiRB	OER	オーバランエラーフラグ
	(b7~b0)	受信データが読めます

18.4.1 \overline{SSi} 入力端子機能 (i=0~6)

UiSMR3 レジスタの SSE ビットを“1” (スレーブセレクト機能許可) にするとこのモードが選択され、 $\overline{CTS_i}/\overline{RTS_i}/\overline{SS_i}$ 端子が $\overline{SS_i}$ 入力端子になります。

UiSMR3 レジスタの DINC ビットでマスタとして使用するか、スレーブとして使用するかを選択できます。複数のデバイスをマスタにした場合 (マルチマスタシステム)、 $\overline{SS_i}$ 端子の状態でその時々マスタが決まります。

18.4.1.1 スレーブモードでのスレーブセレクト機能

DINC ビットが“1” (スレーブモード) で $\overline{SS_i}$ 端子に“H”が入力されている場合、STXD_i 端子はハイインピーダンスになり、CLK_i 端子からのクロック入力は無視されます。 $\overline{SS_i}$ 端子に“L”が入力されている場合、クロックの入力が有効となり、STXD_i 端子からシリアルデータが出力され、シリアル通信が可能になります。

18.4.1.2 マスタモードでのスレーブセレクト機能

DINC ビットが“0” (マスタモード) で $\overline{SS_i}$ 端子に“H”が入力されている場合、他にマスタが存在しないか、他のマスタが通信を行っていないこと示すため、マスタとなって通信を開始できます。マスタは CLK_i 端子から送受信クロックを出力します。 $\overline{SS_i}$ 端子に“L”が入力されている場合、他にマスタが存在していることを示し、TXD_i、CLK_i の各端子はハイインピーダンスになります。また、モードフォルトが発生し、UiSMR3 レジスタの ERR ビットが“1”になります。なお、通信中にモードフォルトが発生しても、通信は停止しません。通信を停止したい場合、UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェースは無効) にしてください。

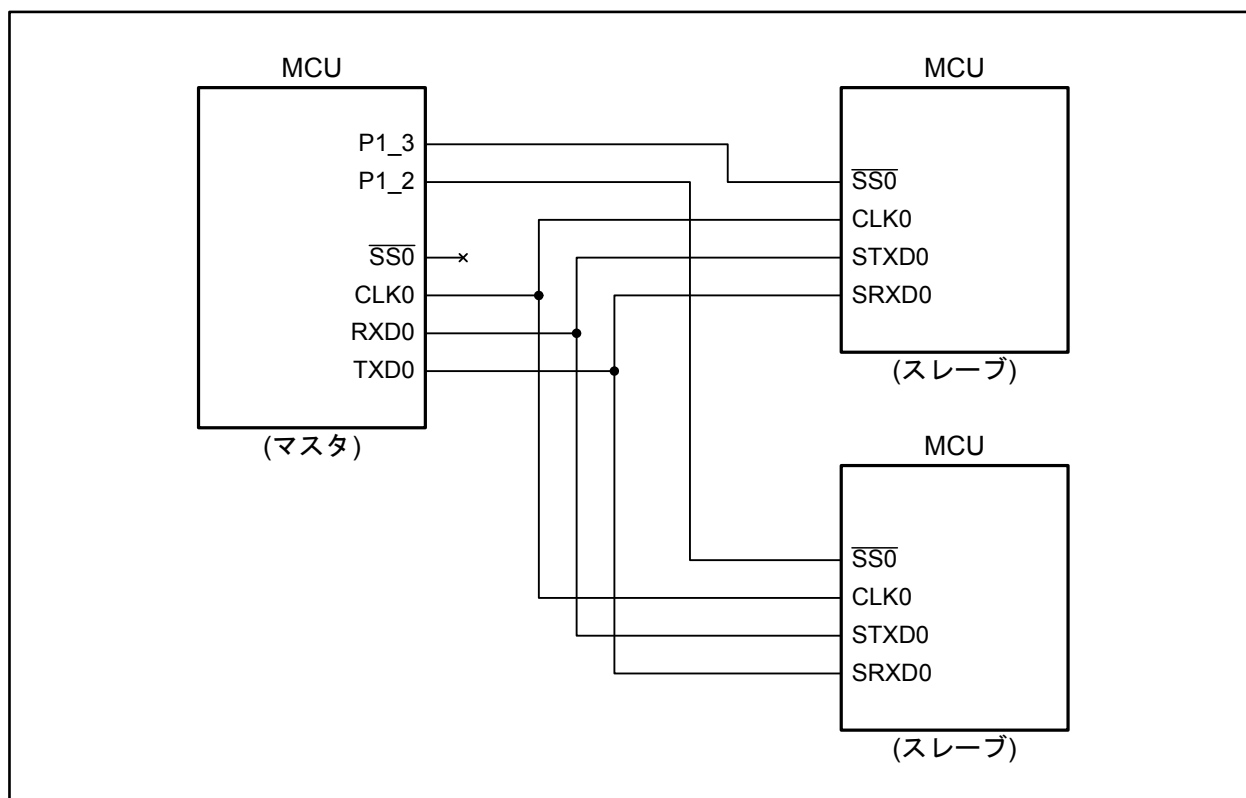


図 18.38 $\overline{SS_i}$ 端子を用いたシリアルバスの通信制御例

18.4.2 クロック位相設定機能

UiC0レジスタのCKPOLビットと、UiSMR3レジスタ(i=0~6)のCKPHビットによって、送受信クロックの極性と位相を変化させることで、4種類のクロックを選択できます。

マスタは、送受信クロックの極性と位相をそのとき通信するスレーブと同じにしてください。

18.4.2.1 マスタモードでの送受信タイミング

DINCビットが“0”(マスタモード)の場合、UiMRレジスタのCKDIRビットを“0”(内部クロック)にして、クロックを生成する必要があります。図 18.39に各クロックの位相ごとの送受信タイミングを示します。

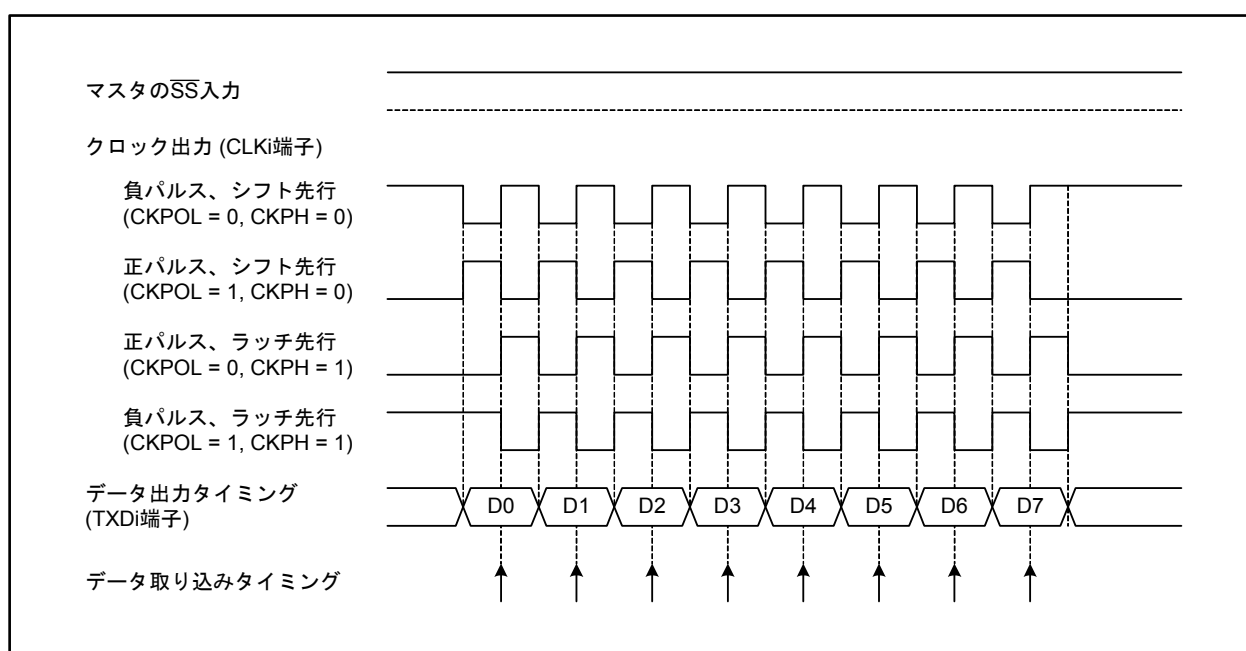


図 18.39 マスタモードでの送受信タイミング

18.4.2.2 スレーブモードでの送受信タイミング

DINCビットが“1”（スレーブモード）の場合、UiMRレジスタのCKDIRビットを“1”（外部クロック）にする必要があります。

CKPHビットが“0”（クロック遅れなし）で \overline{SSi} 端子に“H”が入力されている場合、STXDiはハイインピーダンスです。 \overline{SSi} 端子に“L”が入力されるとデータ送信を開始する条件が揃いますが、出力は不定です。その後、クロックに同期してデータ送信を行います。図 18.40 にタイミングを示します。

CKPHビットが“1”（クロック遅れあり）で \overline{SSi} 端子に“H”が入力されている場合、STXDiはハイインピーダンスです。 \overline{SSi} 端子に“L”が入力されると最初のデータが出力されます。その後、クロックに同期してデータ送信を行います。図 18.41 にタイミングを示します。

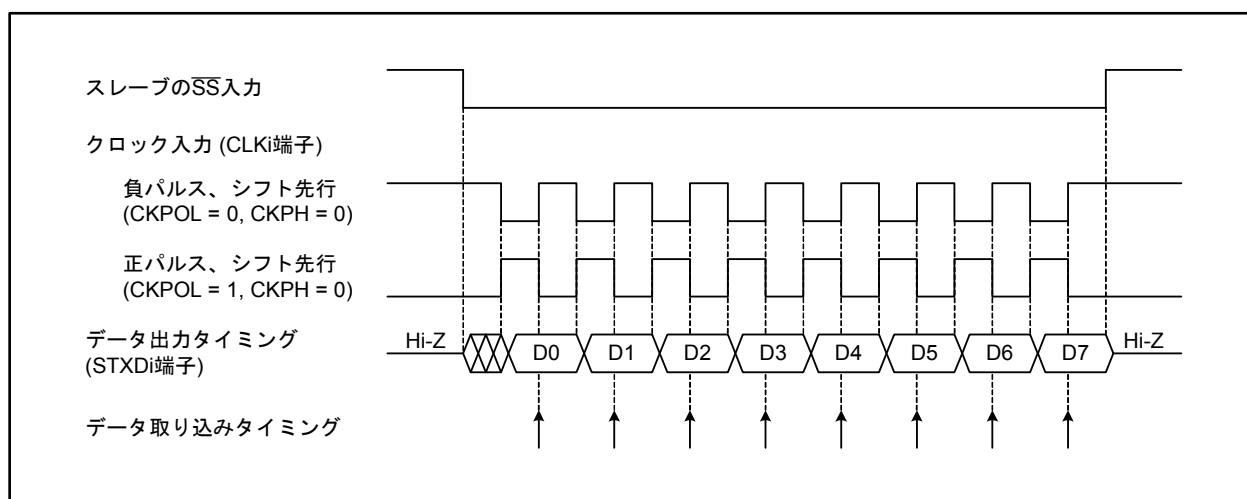


図 18.40 スレーブモードでの送受信タイミング (CKPH = 0)

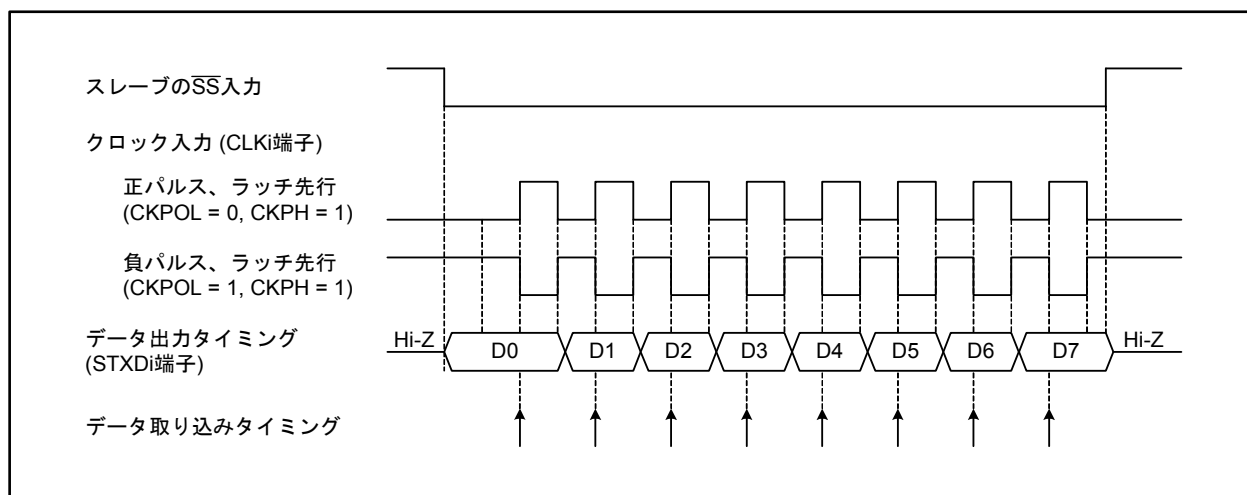


図 18.41 スレーブモードでの送受信タイミング (CKPH = 1)

18.5 シリアルインタフェース使用上の注意

18.5.1 UiBRG レジスタ (i=0~10) の変更

- UiBRG レジスタは UiC0 レジスタの CLK1~CLK0 ビットを設定した後に書いてください。また、CLK1~CLK0 ビットを変更した場合は、UiBRG レジスタも設定し直してください。
- UiBRG レジスタに“00h”を書いた場合、直後にカウンタが動作し“FFh”になる場合があります。この場合、設定した“00h”がリロードされるまで256クロック余分に時間がかかります。“00h”がリロードされた後は、設定どおり分周なしになります。

18.5.2 クロック同期モード

18.5.2.1 外部クロック選択

- 外部クロックを選択している場合、UiC0 レジスタ (i=0~10) の CKPOL ビットが“0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力) のときは外部クロックが“H”の状態、CKPOL ビットが“1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力) のときは外部クロックが“L”の状態以下の条件を満たしてください。
 - UiC1 レジスタの TE ビットが“1” (送信許可)
 - UiC1 レジスタの RE ビットが“1” (受信許可)
 - UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)
送信のみの場合は RE ビットの設定は不要

18.5.2.2 受信

- クロック同期モードでは送信制御回路で送受信クロックを制御します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TXDi 端子 (i=0~10) からはダミーデータが外部に出力されます。
- 連続してデータを受信した場合、UiC1 レジスタの RI ビットが“1” (UiRB レジスタにデータあり) のときに次の受信データの7ビット目を受信するとオーバランエラーが発生し、UiRB レジスタの OER ビットが“1” (オーバランエラー発生) になります。この場合、UiRB レジスタは不定になります。オーバランエラーが発生したときは SiRIC レジスタの IR ビットは“1”に変化しません。

18.5.3 特殊モード1 (I²C モード)

- スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4 レジスタ (i=0~6) の STSPSEL ビットを“0”にした後、送受信クロックの半クロック以上待ってから、各コンディション生成ビット (STAREQ ビット、RSTAREQ ビット、STPREQ ビット) を“0”から“1”にしてください。

18.5.4 通信異常時または通信中断/再開時の処理

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

また、緊急時の対応などで通信を中断/再開する場合も同様に、以下の手順で実施してください。

A. クロック同期モードの場合

- (1) UiC1 レジスタ (i=0~10) の TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にする。
- (2) UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェース無効) にする。
- (3) UiMR レジスタの SMD2~SMD0 ビットを“001b” (クロック同期型シリアルインタフェースモード) にする。
- (4) 必要に応じて UiC1 レジスタの TE ビットを“1” (送信許可)、RE ビットを“1” (受信許可) にする。

B. UART モードの場合

- (1) UiC1 レジスタの TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にする。
- (2) UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェース無効) にする。
- (3) UiMR レジスタの SMD2~SMD0 ビットを“100b” (UART モード キャラクタ長 7 ビット) または、“101b” (UART モード キャラクタ長 8 ビット)、“110b” (UART モード キャラクタ長 9 ビット) にする。
- (4) 必要に応じて UiC1 レジスタの TE ビットを“1” (送信許可)、RE ビットを“1” (受信許可) にする。

19. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

A/D変換の結果は、選択した端子に対応したA/Dレジスタに格納されます。ただし、DMAC利用モードが有効の場合はAD00レジスタのみに格納されます。

A/Dコンバータを使用しない場合、AD0CON1レジスタのVCUTビットを“0” (VREF切断)にすると、VREF端子からラダー抵抗へ供給される電流が流れなくなり、消費電力を減らすことができます。

表 19.1にA/Dコンバータの仕様を、図 19.1にA/Dコンバータのブロック図を、図 19.2~図 19.8にA/Dコンバータ関連のレジスタを示します。

表 19.1 A/Dコンバータの仕様

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧 (注1)	0V ~ AVCC (VCC)
動作クロック ϕ AD (注2)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周またはfADの8分周
分解能	8ビット、10ビット
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1、マルチポート単掃引モード、マルチポート繰り返し掃引モード0、自己診断モード
アナログ入力端子 (注3)	34本 AN、AN0、AN2、AN15各8本。拡張入力2本(ANEX0, ANEX1)
A/D変換開始条件	ソフトウェアトリガ <ul style="list-style-type: none"> AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にする外部トリガ(再トリガ可能) ADSTビットを“1”にした後、ADTRG端子への入力信号が“H”から“L”に変化したとき ハードウェアトリガ(再トリガ可能) <ul style="list-style-type: none"> ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
1端子あたりの変換速度	<ul style="list-style-type: none"> サンプル&ホールドなし 分解能8ビットの場合49ϕADサイクル、分解能10ビットの場合59ϕADサイクル うち2ϕADサイクルはサンプリング時間 サンプル&ホールドあり 分解能8ビットの場合28ϕADサイクル、分解能10ビットの場合33ϕADサイクル うち3ϕADサイクルはサンプリング時間

注1. サンプル&ホールド機能の有無に依存しません。

注2. ϕ ADの周波数は、VCC = 4.2 ~ 5.5Vのとき16 MHz以下に、VCC = 3.0 ~ 4.2Vのとき10 MHz以下にしてください。また、サンプル&ホールド機能なしのとき ϕ ADの周波数は250 kHz以上に、サンプル&ホールド機能ありのとき ϕ ADの周波数は1 MHz以上にしてください。

注3. AVCC = VREF = VCCの場合、AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1のA/D入力電圧はVCC以下にしてください。

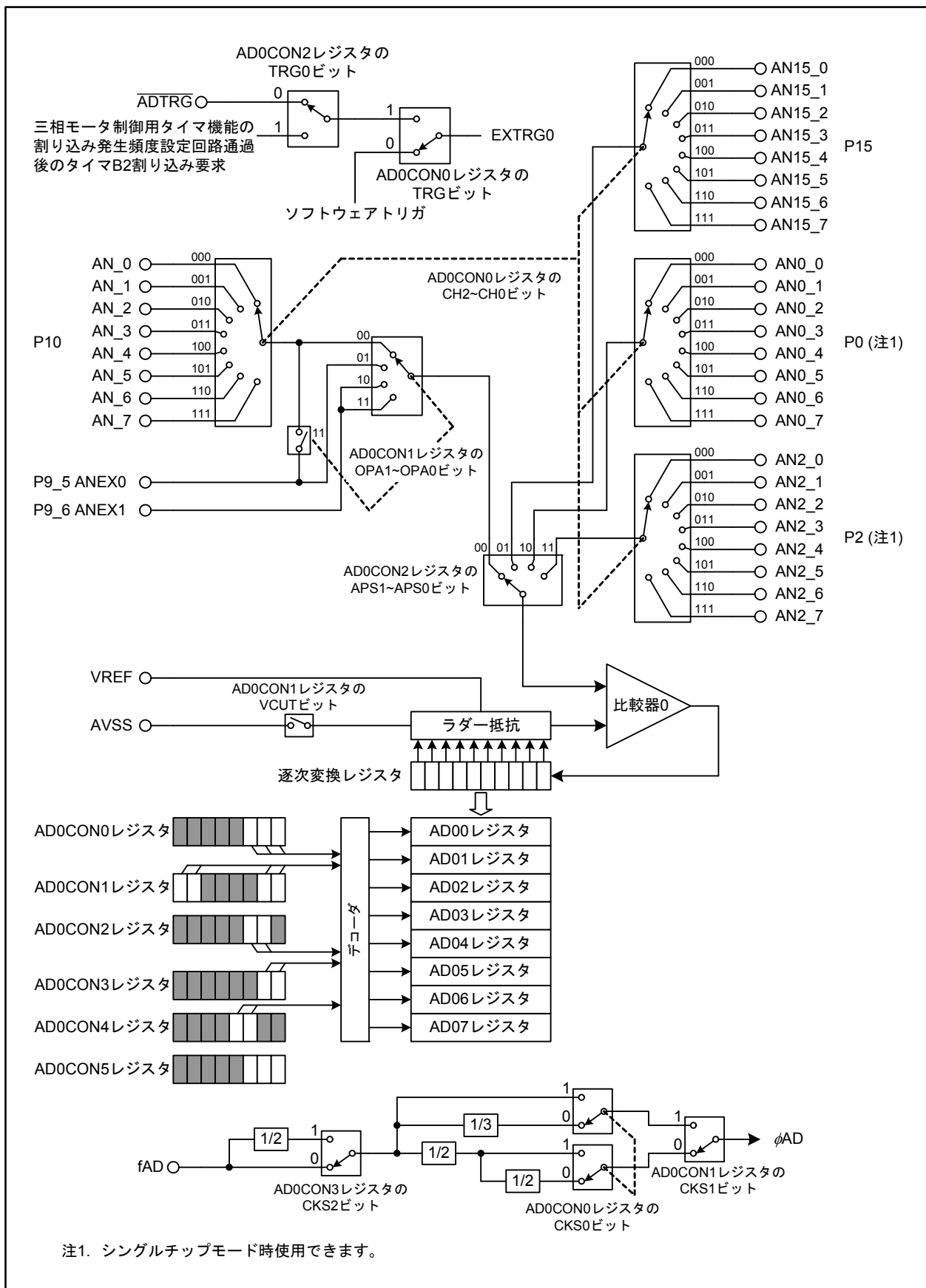


図 19.1 A/Dコンバータのブロック図

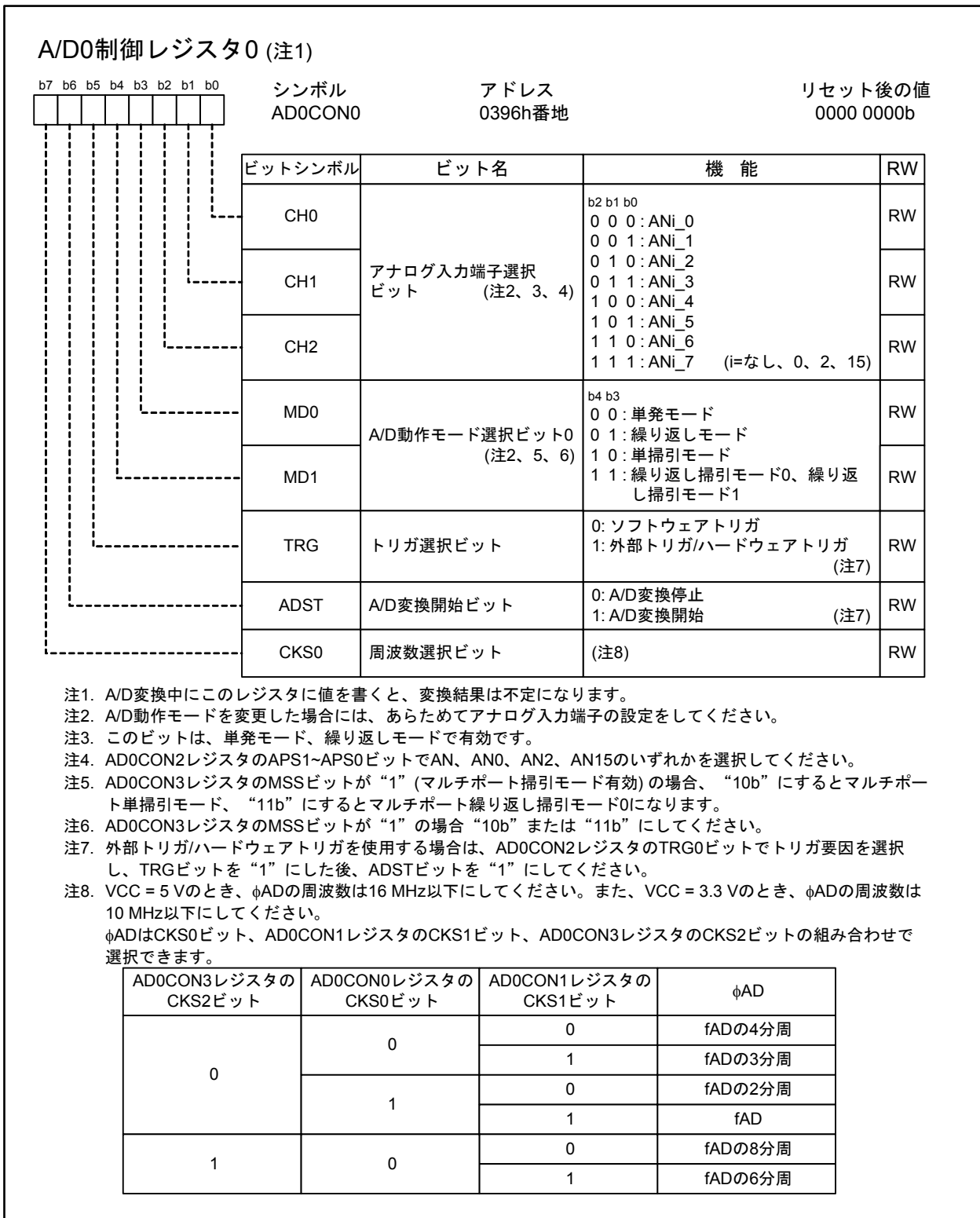


図 19.2 AD0CON0 レジスタ

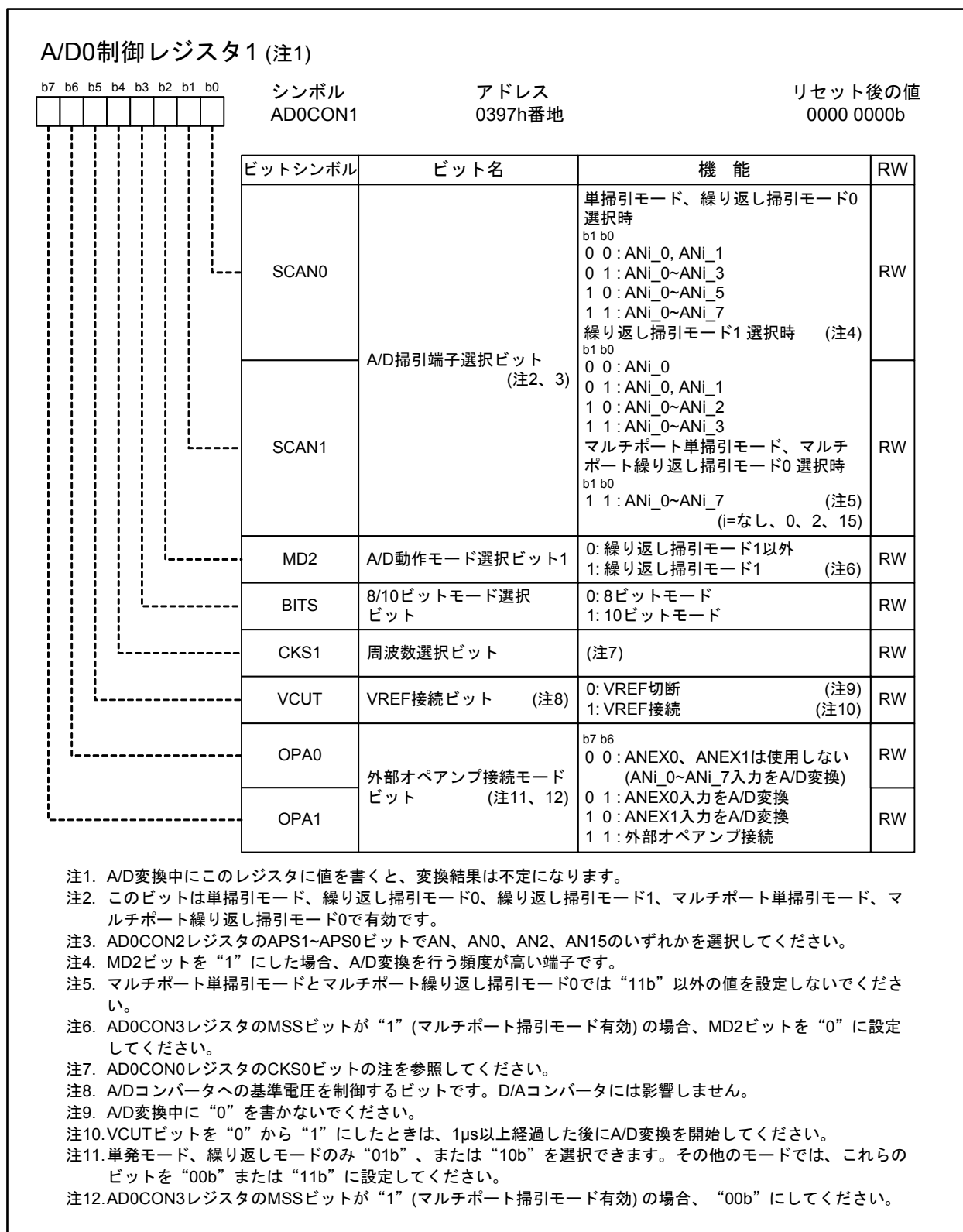


図 19.3 AD0CON1 レジスタ

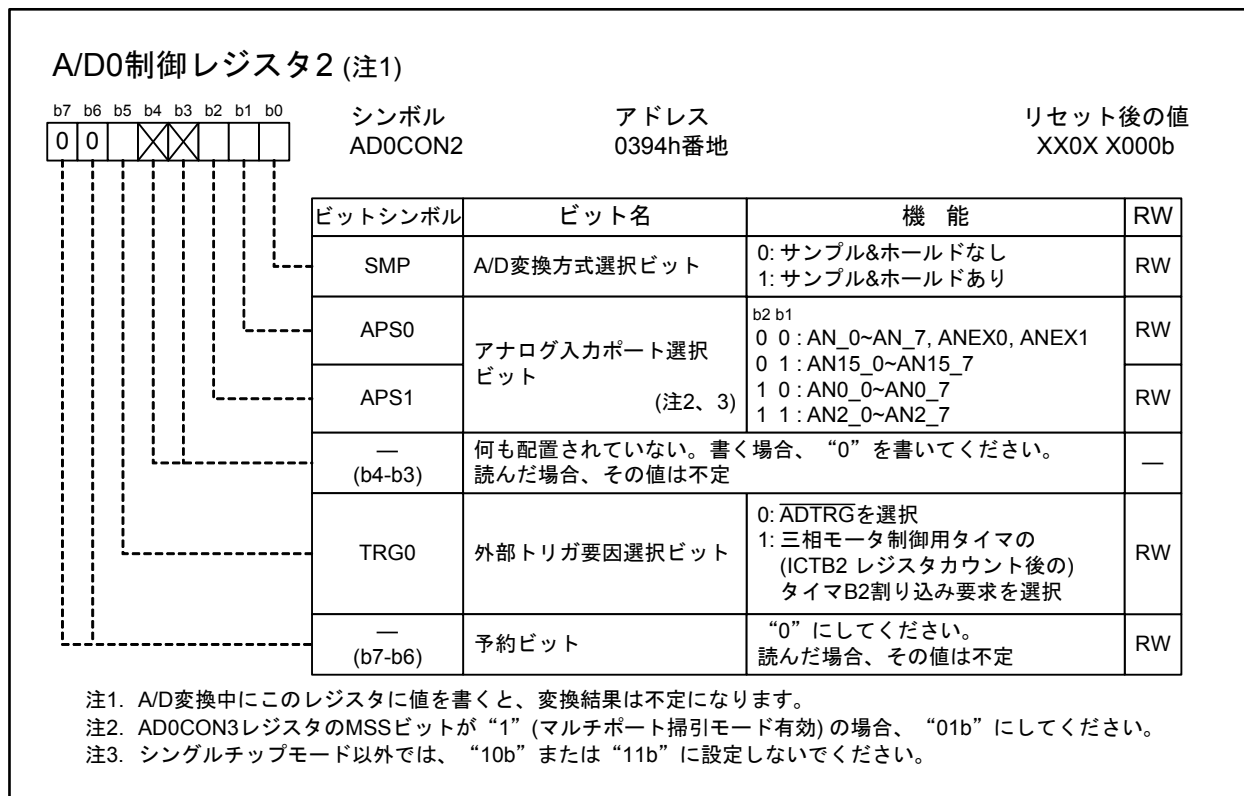


図 19.4 AD0CON2 レジスタ

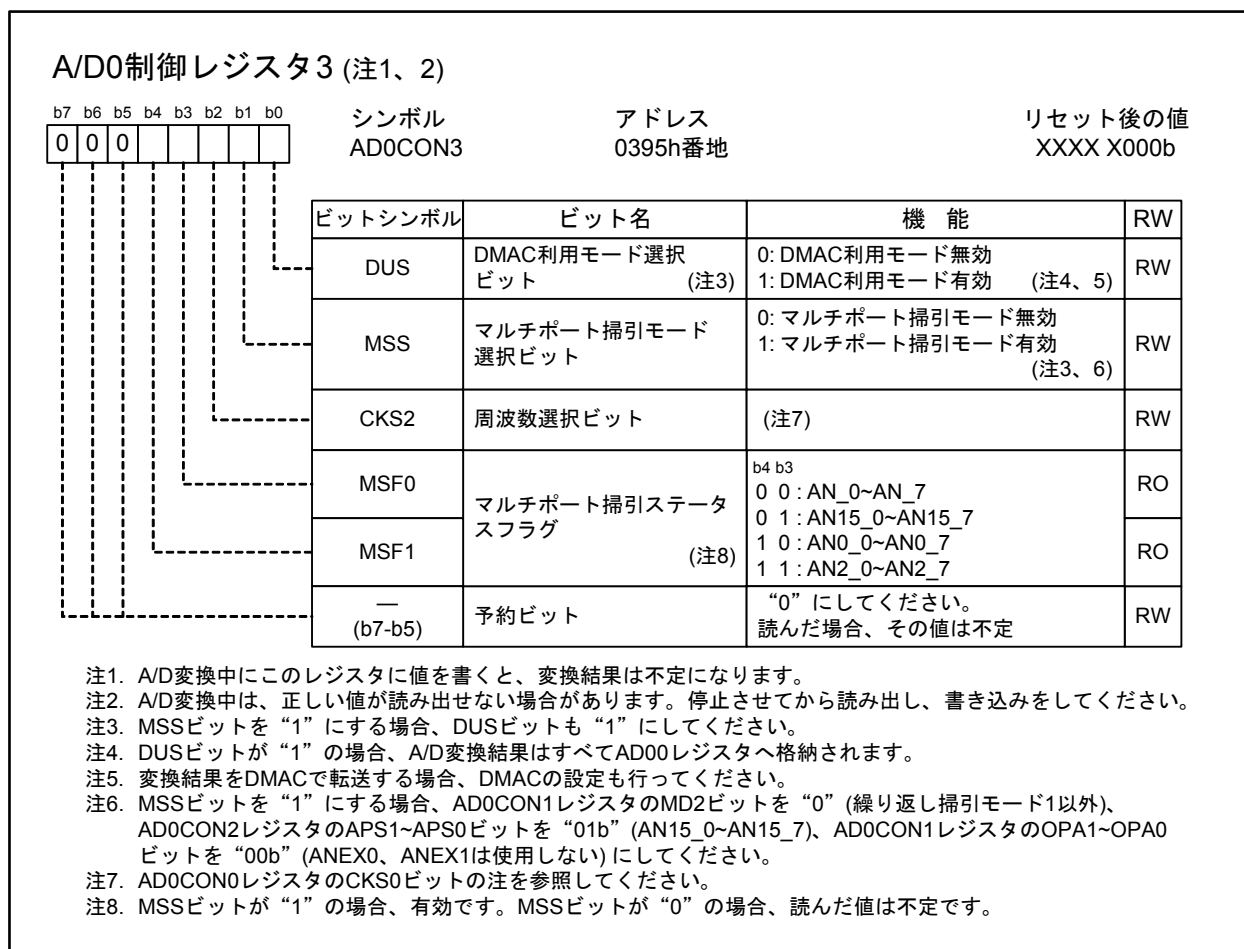


図 19.5 AD0CON3レジスタ

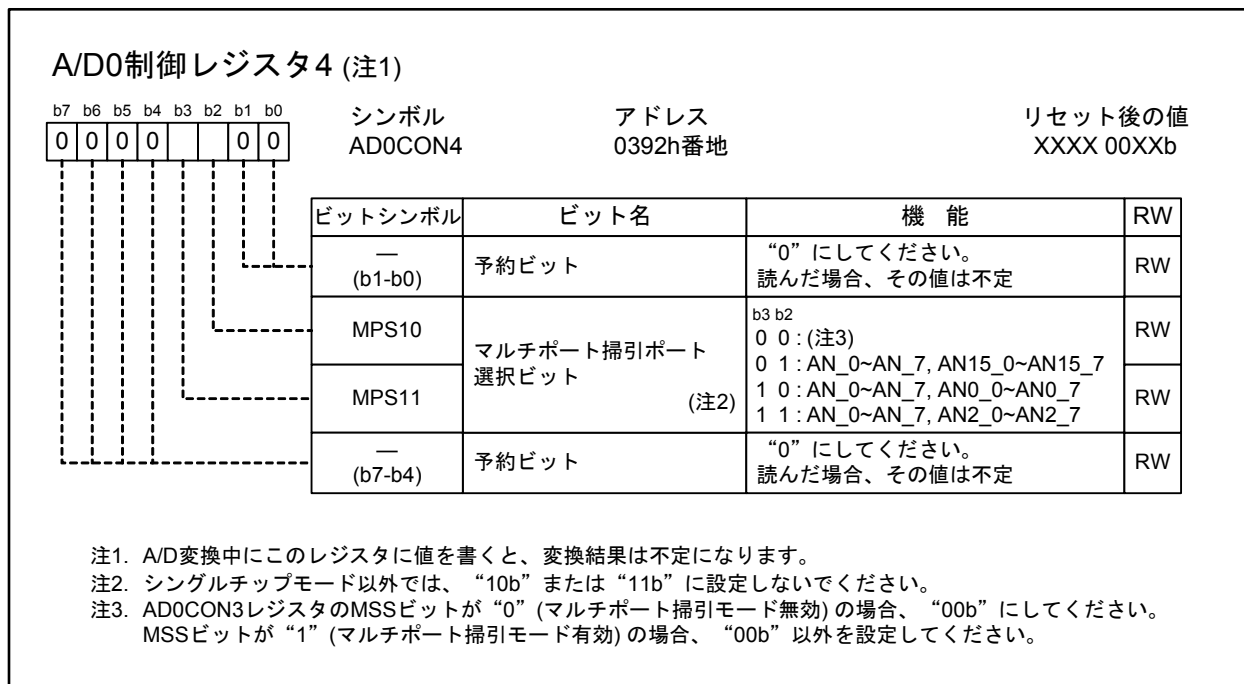


図 19.6 AD0CON4 レジスタ

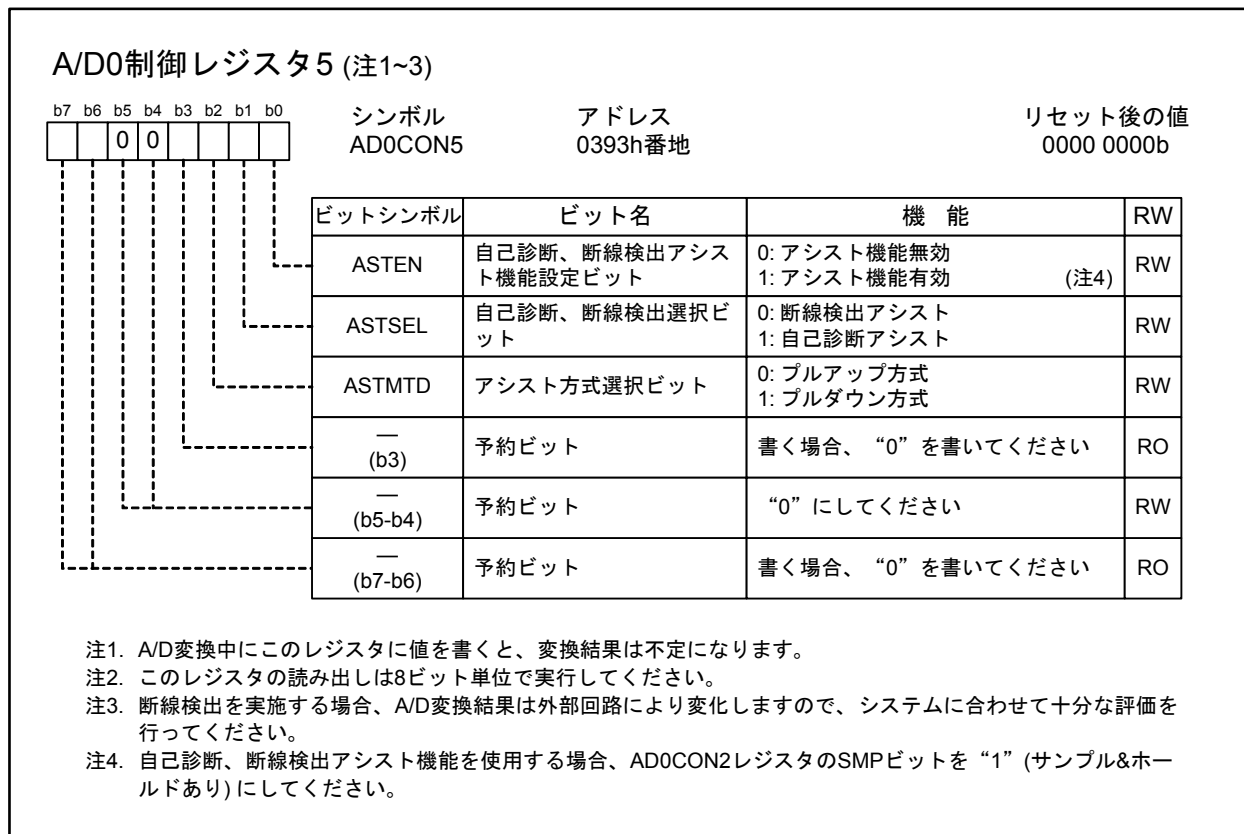


図 19.7 AD0CON5 レジスタ

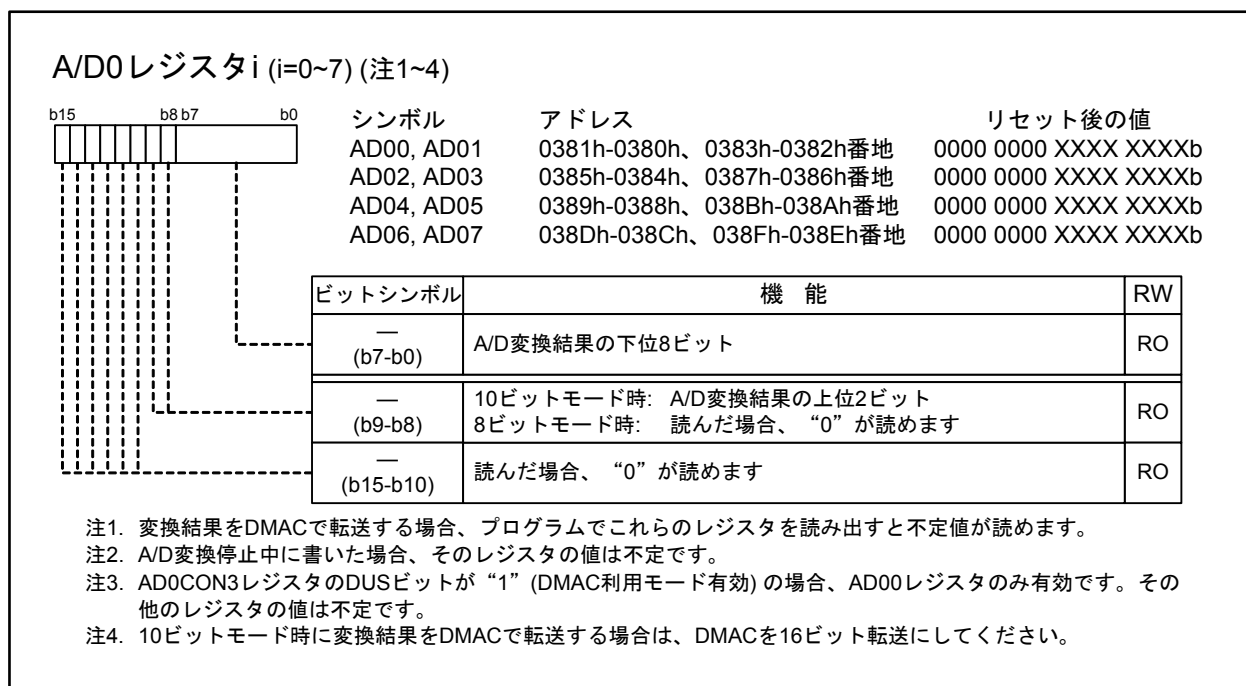


図 19.8 AD00~AD07 レジスタ

19.1 モードの説明

19.1.1 単発モード

選択した1本の端子の入力電圧を1回だけ変換するモードです。表 19.2に単発モードの仕様を示します。

表 19.2 単発モードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2~CH0ビット、AD0CON1レジスタのOPA1~OPA0ビット、AD0CON2レジスタのAPS1~APS0ビットで選択した1本の端子の入力電圧を1回だけ変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 <ul style="list-style-type: none"> • TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき • TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	<ul style="list-style-type: none"> • A/D変換終了時(ソフトウェアトリガ選択時、ADSTビットは“0”になる) • ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

19.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返し変換するモードです。表 19.3に繰り返しモードの仕様を示します。

表 19.3 繰り返しモードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2~CH0ビット、AD0CON1レジスタのOPA1~OPA0ビット、AD0CON2レジスタのAPS1~APS0ビットで選択した1本の端子の入力電圧を繰り返し変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 <ul style="list-style-type: none"> • TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき • TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	• ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	• AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない • DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 <ul style="list-style-type: none"> • 変換結果をDMACで転送する場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください • 変換結果をプログラムで転送する場合 AD0ICレジスタのIRビットが“1”になった後、AD00レジスタを読み出してください。IRビットは“0”にしてください

19.1.3 単掃引モード

選択した複数の端子の入力電圧を1回ずつ変換するモードです。表 19.4に単掃引モードの仕様を示します。

表 19.4 単掃引モードの仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した複数の端子の入力電圧を1回ずつ変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 <ul style="list-style-type: none"> •TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき •TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	<ul style="list-style-type: none"> •A/D変換終了時(ソフトウェアトリガ選択時、ADSTビットは“0”になる) •ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	<ul style="list-style-type: none"> •AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、掃引終了時に発生 •DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi_0 (i=なし、0、2、15)とANi_1 (2端子)、ANi_0~ANi_3 (4端子)、ANi_0~ANi_5 (6端子)、またはANi_0~ANi_7 (8端子)から選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

19.1.4 繰り返し掃引モード0

選択した複数の端子の入力電圧を繰り返し変換するモードです。表 19.5 に繰り返し掃引モード0の仕様を示します。

表 19.5 繰り返し掃引モード0の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した複数の端子の入力電圧を繰り返し変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 <ul style="list-style-type: none"> • TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき • TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	• ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	• AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない • DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi_0 (i=なし、0、2、15)とANi_1 (2端子)、ANi_0~ANi_3 (4端子)、ANi_0~ANi_5 (6端子)、またはANi_0~ANi_7 (8端子)から選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 <ul style="list-style-type: none"> • 変換結果をDMACで転送する場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください • 変換結果をプログラムで転送する場合 AD0ICレジスタのIRビットが“1”になった後、AD00レジスタを読み出してください。IRビットは“0”にしてください

19.1.5 繰り返し掃引モード1

選択した1~4本の端子に重点をおいて、8本の端子の入力電圧を繰り返し変換するモードです。表 19.6 に繰り返し掃引モード1の仕様を示します。

表 19.6 繰り返し掃引モード1の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した1~4本の端子に重点をおいて、8本の端子の入力電圧を繰り返し変換する 例:AN_0を選択した場合AN_0→AN_1→AN_0→AN_2→AN_0→AN_3...の順にA/D変換を行う
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 <ul style="list-style-type: none"> • TRG0ビットが“0” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき(再トリガは無効です) • TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	• ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	• AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない • DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	AN _i _0~AN _i _7 (8端子) (i=なし、0、2、15)
重点的にA/D変換を行う端子	AN _i _0 (1端子)、AN _i _0とAN _i _1 (2端子)、AN _i _0~AN _i _2 (3端子)、AN _i _0~AN _i _3 (4端子) から選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0 _j レジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 <ul style="list-style-type: none"> • 変換結果をDMACで転送する場合 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください • 変換結果をプログラムで転送する場合 AD0ICレジスタのIRビットが“1”になった後、AD00レジスタを読み出してください。IRビットは“0”にしてください

19.1.6 マルチポート単掃引モード

選択した16本の端子の入力電圧を1回ずつ変換するモードです。

AD0CON3レジスタのDUSビットを“1” (DMAC利用モード有効)にしてください。

表 19.7にマルチポート単掃引モードの仕様を示します。

表 19.7 マルチポート単掃引モードの仕様

項目	仕様
機能	AD0CON4レジスタのMPS11~MPS10ビットで選択した16本の端子の入力電圧を、AN_0~AN_7→AN _i _0~AN _i _7 (i=0, 2, 15)の順に1回ずつ変換する 例:MPS11~MPS10ビットが“10b” (AN_0~AN_7, AN0_0~AN0_7)の場合 AN_0→AN_1→AN_2→AN_3→AN_4→AN_5→AN_6→AN_7→AN0_0 →…→AN0_6→AN0_7の順にA/D変換を行う
開始条件	AD0CON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしたとき TRGビットが“1” (外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 • TRG0ビットが“0” ADSTビットを“1”にした後、 $\overline{\text{ADTRG}}$ 端子への入力信号が“H”から“L”に変化したとき • TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	• A/D変換終了時(ソフトウェアトリガ選択時、ADSTビットは“0”になる) • ADSTビットを“0” (A/D変換停止)にしたとき
割り込み要求発生タイミング	各A/D変換終了時に発生(DUSビットを“1”に設定してください)
入力端子	AN_0~AN_7→AN15_0~AN15_7、AN_0~AN_7→AN0_0~AN0_7、 AN_0~AN_7→AN2_0~AN2_7から選択
A/D変換値の読み出し	DUSビットを“1”に設定してください 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

19.1.7 マルチポート繰り返し掃引モード0

選択した16本の端子の入力電圧を繰り返し変換するモードです。

AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にしてください。

表 19.8にマルチポート繰り返し掃引モード0の仕様を示します。

表 19.8 マルチポート繰り返し掃引モード0の仕様

項目	仕様
機能	AD0CON4レジスタのMPS11~MPS10ビットで選択した16本の端子の入力電圧を、AN ₀ ~AN ₇ →AN _i ₀ ~AN _i ₇ (i=0, 2, 15)の順に繰り返し変換する 例:MPS11~MPS10ビットが“10b”(AN ₀ ~AN ₇ , AN0 ₀ ~AN0 ₇)の場合 AN ₀ →AN ₁ →AN ₂ →AN ₃ →AN ₄ →AN ₅ →AN ₆ →AN ₇ →AN0 ₀ →AN0 ₁ →…→AN0 ₆ →AN0 ₇ の順に、繰り返しA/D変換を行う
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG0ビットで条件を選択 • TRG0ビットが“0” ADSTビットを“1”にした後、ADTRG端子への入力信号が“H”から“L”に変化したとき • TRG0ビットが“1” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき
停止条件	• ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	各A/D変換終了時に発生(DUSビットを“1”に設定してください)
入力端子	AN ₀ ~AN ₇ →AN15 ₀ ~AN15 ₇ 、AN ₀ ~AN ₇ →AN0 ₀ ~AN0 ₇ 、 AN ₀ ~AN ₇ →AN2 ₀ ~AN2 ₇ から選択
A/D変換値の読み出し	DUSビットを“1”に設定してください 「13. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

19.2 機能

19.2.1 分解能選択機能

AD0CON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度は10ビット)にすると、A/D変換結果がAD0iレジスタ(i=0~7)のビット0~9に格納されます。BITSビットを“0”(変換精度は8ビット)にすると、A/D変換結果がAD0iレジスタのビット0~7に格納されます。

19.2.2 サンプル&ホールド

AD0CON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクルになります。サンプル&ホールドは、すべての動作モードで有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

19.2.3 トリガ選択機能

AD0CON0レジスタのTRGビットとAD0CON2レジスタのTRG0ビットの組み合わせにより、A/D変換の開始トリガを選択できます。表 19.9にトリガ選択機能の設定を示します。

表 19.9 トリガ選択機能設定

ビットと設定値		トリガ
AD0CON0レジスタ	AD0CON2レジスタ	
TRG = 0	—	ソフトウェアトリガ AD0CON0レジスタのADSTビットを“1”にすると、A/D変換を開始する
TRG = 1 (注1、2)	TRG0 = 0	外部トリガ ADTRG入力信号の立ち下がり/A/D変換を開始する
	TRG0 = 1	ハードウェアトリガ 三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求でA/D変換を開始する

注1. ADSTビットが“1”(A/D変換開始)の状態、トリガが発生するとA/D変換を開始します。

注2. A/D変換中に外部トリガまたはハードウェアトリガが入力されると、それまでに行っていたA/D変換は中断され、再度A/D変換を開始します。

19.2.4 DMAC利用モード

すべてのモードでDMAC利用モードが使用できます。マルチポート単掃引モードとマルチポート繰り返し掃引モード0の場合は、DMAC利用モードを使用してください。AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にすると、A/D変換結果はすべてAD00レジスタへ格納されます。DMACを利用することで、1端子のA/D変換が終了するたびに、AD00レジスタから任意のメモリ空間へDMA転送が行われます。分解能が8ビットの場合は8ビット転送を、分解能が10ビットの場合は16ビット転送を設定してください。DMACの使用方法については、「13. DMAC」を参照してください。

19.2.5 拡張アナログ入力端子

単発モードと繰り返しモードでは、ANEX0、ANEX1 端子をアナログ入力端子として使用できます。AD0CON1 レジスタの OPA1~OPA0 ビットで選択してください(表 19.10 参照)。ANEX0 入力の A/D 変換結果は AD00 レジスタへ、ANEX1 入力の A/D 変換結果は AD01 レジスタへ格納されます。ただし、AD0CON3 レジスタの DUS ビットが“1”(DMAC 利用モード有効)の場合、AD00 レジスタへ格納されます。

拡張アナログ入力端子を使用する場合は、AD0CON2 レジスタの APS1~APS0 ビットを“00b”(アナログ入力ポートは AN_0~AN_7、ANEX0、ANEX1)、AD0CON3 レジスタの MSS ビットを“0”(マルチポート掃引モード無効)にしてください。

表 19.10 拡張アナログ入力端子の設定

AD0CON1 レジスタ		ANEX0 の機能	ANEX1 の機能
OPA1	OPA0		
0	0	使用しない	使用しない
0	1	アナログ入力	使用しない
1	0	使用しない	アナログ入力
1	1	外部オペアンプへの出力	外部オペアンプからの入力

19.2.6 外部オペアンプ接続モード

拡張アナログ入力端子 ANEX0、ANEX1 を用いて複数のアナログ入力を 1 個の外部オペアンプで増幅できます。

AD0CON1 レジスタの OPA1~OPA0 ビットが“11b”(外部オペアンプ接続)のとき、AN_0~AN_7 の入力を ANEX0 端子から出力します。この出力を外部オペアンプで増幅し、ANEX1 端子へ入力してください。

A/D 変換は、ANEX1 入力に対して行われ、A/D 変換結果は対応する AD0i レジスタ (i=0~7) に格納されます。A/D 変換速度は外部オペアンプの応答特性に依存します。なお、ANEX0 端子と ANEX1 端子を直結しないでください。

外部オペアンプ接続モードを使用する場合は、AD0CON2 レジスタの APS1~APS0 ビットは“00b”にしてください。

図 19.9 に外部オペアンプ接続モードの接続例を示します。

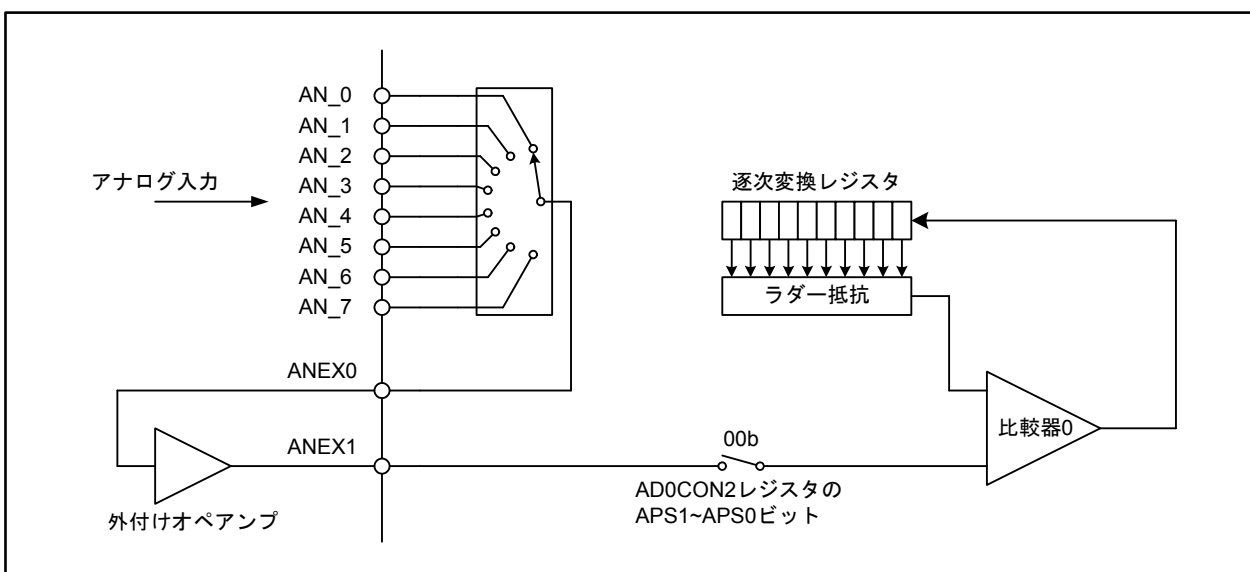


図 19.9 外部オペアンプ接続モードの接続例

19.2.7 自己診断/断線検出アシスト機能

アナログ入力端子での断線を検出できます。また、この機能を用いることで自己診断が行えます。
図 19.10 に断線検出アシスト回路のブロック図を示します。

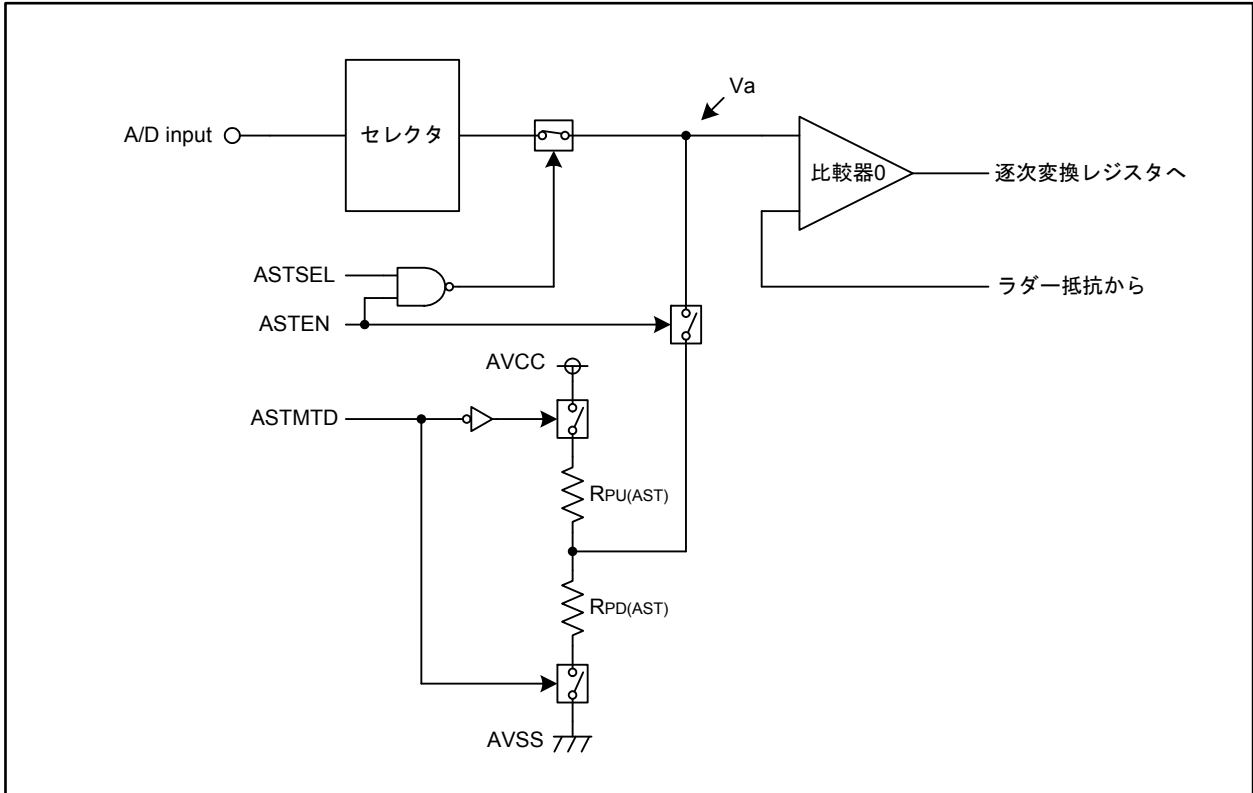


図 19.10 断線検出アシスト回路ブロック図

断線検出機能は、AD0CON5 レジスタの ASTSEL ビットを“0” (断線検出アシスト) にして使用します。ASTEN ビットを“1” (アシスト機能有効)、ASTSEL ビットを“0”、ASTMTD ビットを“0” (プルアップ方式) にすると、図 19.10 中の Va が AVCC と A/D 入力電圧の間の電圧になります。このとき A/D 入力信号が断線していれば、Va は AVCC 付近の電圧になります。また同様に、ASTEN ビットを“1”、ASTSEL ビットを“0”、ASTMTD ビットを“1” (プルダウン方式) にすると、図 19.10 中の Va が AVSS と A/D 入力電圧の間の電圧になります。このとき A/D 入力信号が断線していれば、Va は AVSS 付近の電圧になります。この機能により A/D 変換結果が常に最大値付近、最小値付近であれば、A/D 入力が断線していると判断できます。

自己診断機能は、AD0CON5 レジスタの ASTSEL ビットを“1” (自己診断アシスト) にして使用します。ASTEN ビットを“1” (アシスト機能有効)、ASTSEL ビットを“1”、ASTMTD ビットを“0” (プルアップ方式) にすると、図 19.10 中の Va が AVCC 付近の電圧になります。また、ASTEN ビットを“1”、ASTSEL ビットを“1”、ASTMTD ビットを“1” (プルダウン方式) にすると、図 19.10 中の Va が AVSS 付近の電圧となります。それぞれの状態で変換結果が最大値付近、最小値付近になるかどうかで、A/D コンバータが正常かどうか判断できます。

19.2.8 消費電流低減機能

A/Dコンバータを使用しないとき、AD0CON1レジスタのVCUTビットを“0” (VREF切断)にすることで、A/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ供給される電流が流れなくなり、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1” (VREF接続)にして1 μ s以上経過した後、AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしてください。ADSTビットとVCUTビットに同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”にしないでください。

なお、VCUTビットはD/Aコンバータの供給電源には影響しません(図 19.11 参照)。

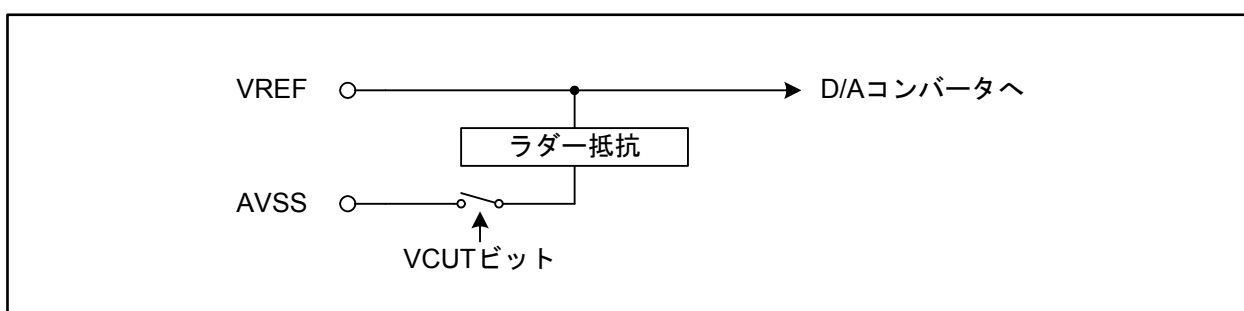


図 19.11 VCUTビットによる電源供給

19.2.9 センサの出カインピーダンス

図 19.12にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、図 19.12に示す内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間といい、サンプル&ホールドなしのとき2 ϕ ADサイクル、サンプル&ホールドありのとき3 ϕ ADサイクルです。

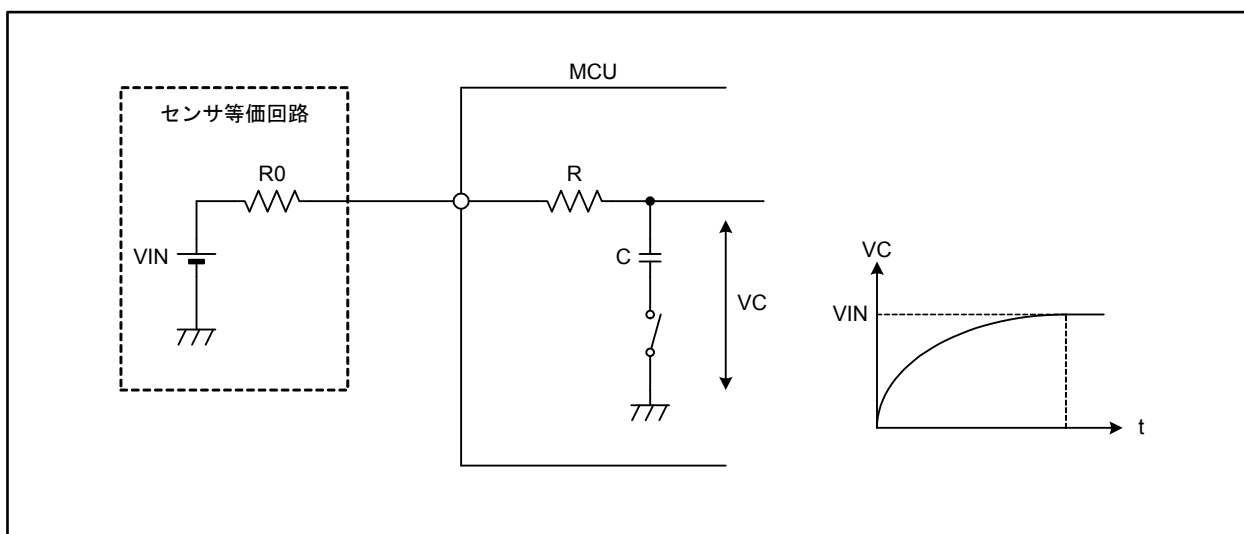


図 19.12 アナログ入力端子と外部センサの等価回路

サンプリング時間を T [s]、センサの出力インピーダンスを $R0$ [Ω]、マイコンの内部抵抗を R [Ω]、A/D コンバータの精度(誤差)を x [LSB]、分解能を y [階調](10ビットモード時1024、8ビットモード時256)とすると、コンデンサ C の両端の電位差 VC は、

$$VC = VIN \left\{ 1 - e^{-\frac{t}{C(R0+R)}} \right\}$$

で表され、 $t=T$ のとき、変換誤差を x 以下にするには、

$$VC = VIN - \frac{x}{y} VIN = VIN \left(1 - \frac{x}{y} \right)$$

でなければならぬため、

$$e^{-\frac{T}{C(R0+R)}} = \frac{x}{y}$$

$$-\frac{T}{C(R0+R)} = \ln \frac{x}{y}$$

$$R0 = -\frac{T}{C \ln \frac{x}{y}} - R$$

と計算できます。

$\phi_{AD} = 10$ MHz、サンプル&ホールドあり、10ビットモードのときに、誤差を0.1 LSB以下にするセンサの出力インピーダンス $R0$ は、 $T = 0.3 \mu\text{s}$ 、 $x = 0.1$ 、 $y = 1024$ 、 $R = 2.0 \text{ k}\Omega$ (参考値)、 $C = 6.5 \text{ pF}$ (参考値) を代入して、

$$R0 = -\frac{0.3 \times 10^{-6}}{6.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 2.0 \times 10^3$$

$$= 2998$$

と計算できます。

以上から、A/D コンバータの精度(誤差)を0.1 LSB以下にするためには、センサの出力インピーダンス $R0$ が約3 k Ω 以下でないといけないことがわかります。

なお、実際の誤差は、上記の0.1 LSBに絶対精度が加わった値になります。

19.3 A/Dコンバータ使用上の注意

19.3.1 基板設計上の注意点

- ノイズによる誤動作やラッチアップの防止、または変換誤差の低減のため、AVCC端子、VREF端子、アナログ入力端子(AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7)とAVSS端子の間にそれぞれコンデンサを挿入してください。図 19.13に端子の処理例を示します。

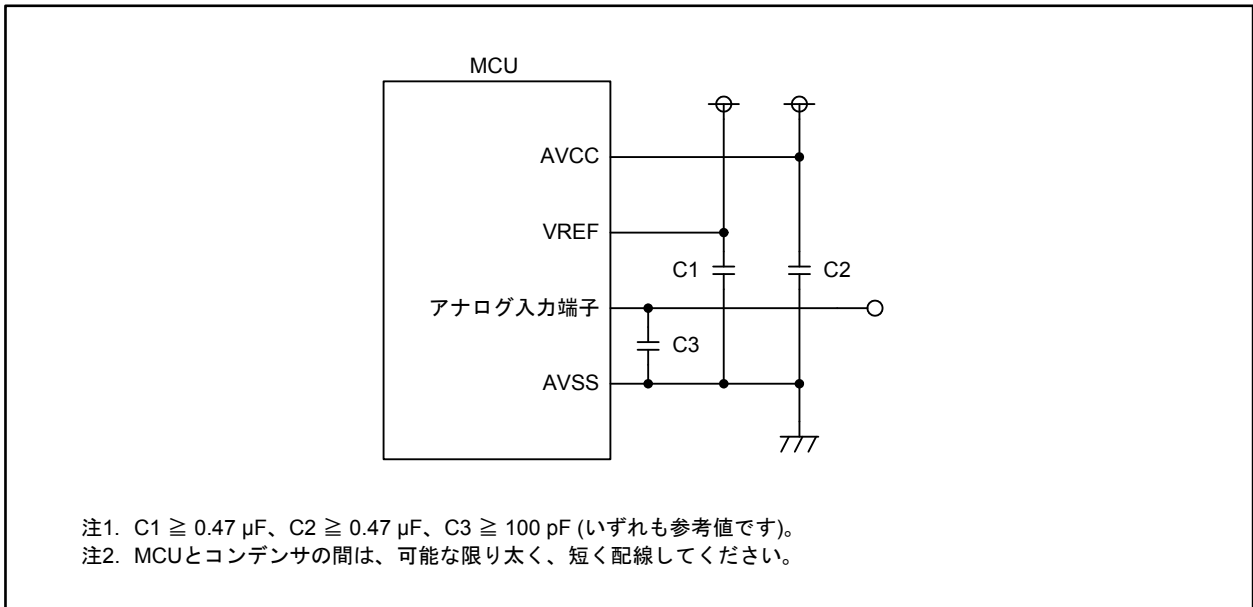


図 19.13 A/D関連端子の処理例

- キー入力割り込みを使用する場合、AN_4~AN_7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧がVIL以下になると、キー入力割り込み要求が発生します)。
- AVCC = VREF = VCCの場合、AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1のA/D入力電圧はVCC以下にしてください。

19.3.2 プログラム作成上の注意点

- AD0CON0レジスタ(ADSTビットを除く)、AD0CON1レジスタ、AD0CON2レジスタ、AD0CON3レジスタ、AD0CON4レジスタ、AD0CON5レジスタは、A/D変換停止時(トリガ発生前)に書いてください。
- AD0CON1レジスタのVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。A/D変換を行わないときは、消費電流を低減させるためにVCUTビットを“1”から“0”にしてください。
- アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力)にしてください。また、対応するポートの機能選択レジスタのASELビットを“1”(A/D入力として使用する)にしてください。
- AD0CON0レジスタのTRGビットが“1”(外部トリガ・ハードウェアトリガ)の場合は、ADTRG端子に対応するポート方向ビット(PD9_7ビット)は“0”(入力)にしてください。

- ϕ ADは、VCC = 4.2 ~ 5.5 Vのとき 16 MHz以下に、VCC = 3.0 ~ 4.2 Vのとき 10 MHz以下にしてください。サンプル&ホールド機能なしの場合、 ϕ ADの周波数は250 kHz以上にしてください。サンプル&ホールド機能ありの場合、 ϕ ADの周波数は1 MHz以上にしてください。
- A/D動作モード(AD0CON0レジスタのMD1~MD0ビット、AD0CON1レジスタのMD2ビット)を変更した場合は、AD0CON0レジスタのCH2~CH0ビットまたは、AD0CON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。
- A/D変換結果がAD0iレジスタ (i=0~7)に格納される時にCPUがAD0iレジスタを読んだ場合、誤った値がAD0iレジスタに格納されることがあります。A/D変換が完了したことを確認してからAD0iレジスタを読んでください。
単発モード、単掃引モードを使用する場合は、AD0ICレジスタのIRビットが“1”(割り込み要求あり)になったことを確認してから対象のAD0iレジスタを読んでください。
繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1を使用する場合は、AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にすれば変換完了ごとに割り込み要求を発生させることができます。上と同様、AD0ICレジスタのIRビットが“1”(割り込み要求あり)になったことを確認してからAD00レジスタを読んでください。
- A/D変換中にAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にしてA/D変換を中断した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD0iレジスタも不定になる場合があります。A/D変換を中断した場合は、いずれのAD0iレジスタの値も使用しないでください。
- DMAC利用モードでは、外部トリガは使用できません。また、変換結果をDMACで転送する場合、AD00レジスタをプログラムで読まないでください。
- 単掃引モードでA/D変換中にAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にしてA/D変換を中断した場合、掃引が終了していないにもかかわらず割り込み要求が発生することがあります。A/D変換を中断する場合は、割り込みを禁止した後、ADSTビットを“0”(A/D変換停止)にしてください。

20. D/Aコンバータ

8ビットのR-2R抵抗ラダー方式によるD/Aコンバータです。独立した2つのD/Aコンバータがあります。

D/A変換は、対応したDA_iレジスタ (i=0, 1)に値を書くと実行されます。変換結果を出力するかどうかはDACONレジスタのDA_iEビットで選択してください。DA_iEビットを“1”(出力許可)にするとDA_i端子から変換結果が出力されます。なお、このとき対応するポートのプルアップは禁止されます。

出力されるアナログ電圧(V)は、DA_iレジスタに設定した値n (nは10進数)で決まります。

$$V = \frac{VREF \times n}{256} \quad (n = 0 \sim 255)$$

VREF: 基準電圧

表 20.1にD/Aコンバータの仕様を、図 20.1にD/Aコンバータのブロック図を、図 20.2~図 20.3にD/Aコンバータ関連レジスタを、図 20.4にD/Aコンバータの等価回路を示します。

D/Aコンバータを使用しないときは、DA_iレジスタを“00h”、DA_iEビットを“0”(出力禁止)にしてください。

表 20.1 D/Aコンバータの仕様

項目	仕様
変換方式	R-2R抵抗ラダー方式
分解能	8ビット
アナログ出力端子	2チャンネル

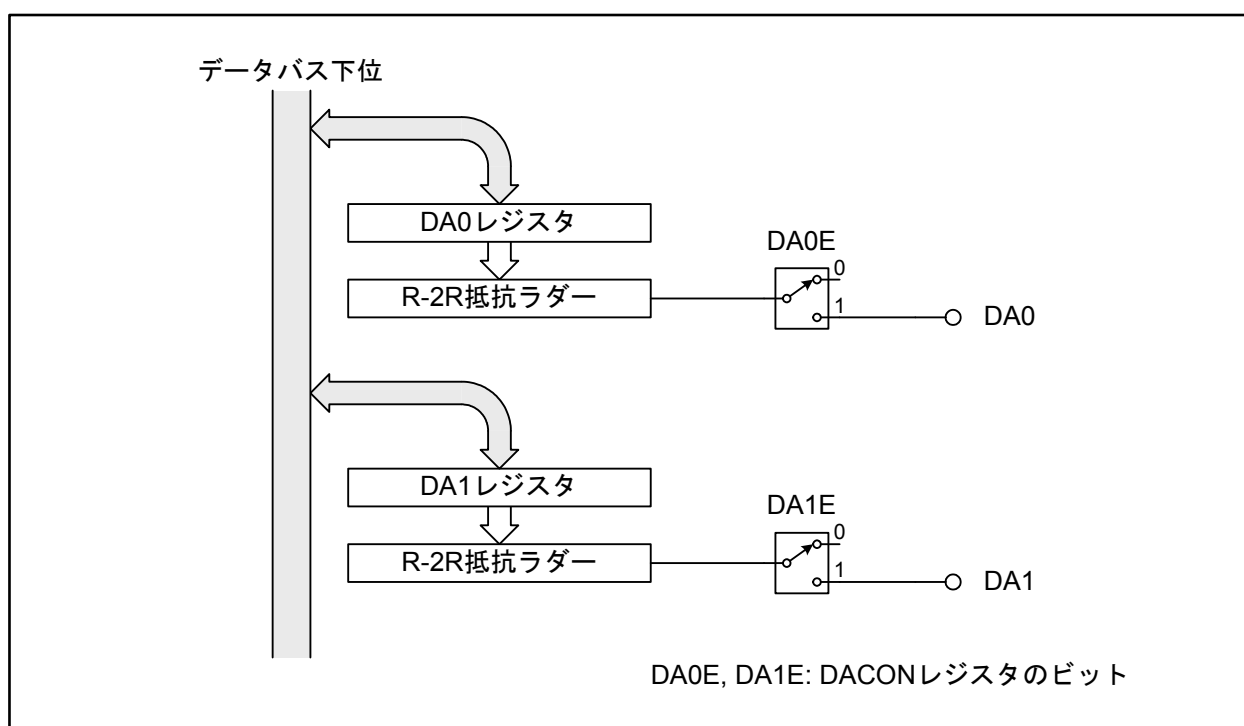


図 20.1 D/Aコンバータのブロック図

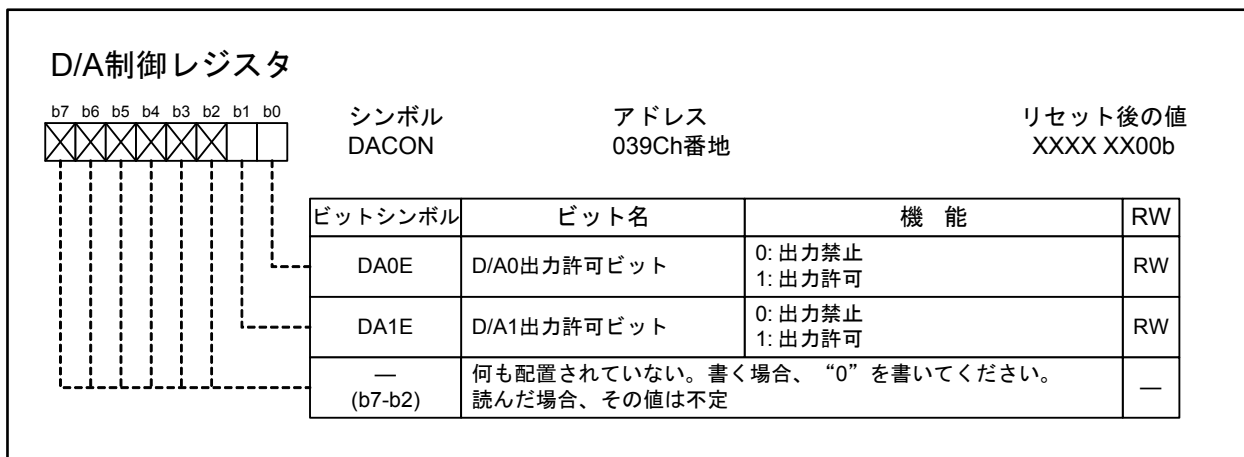


図 20.2 DACON レジスタ



図 20.3 DA0、DA1 レジスタ

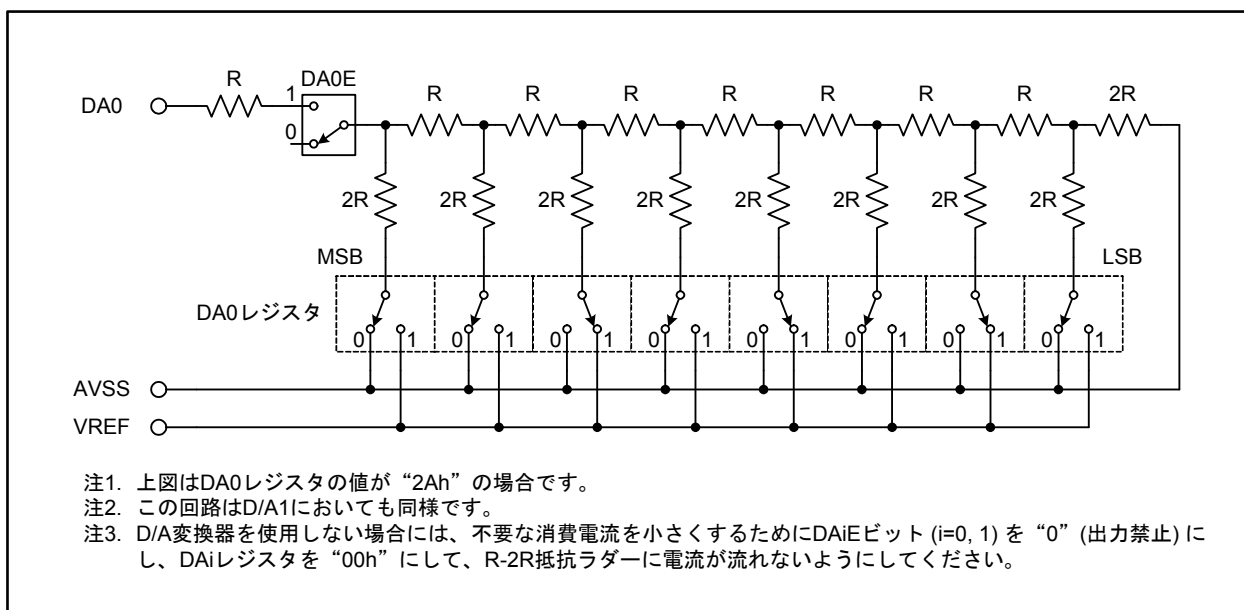


図 20.4 D/Aコンバータの等価回路

21. CRC 演算回路

CRC (Cyclic Redundancy Check) 演算回路は、データブロックの誤り検出に使用します。CRC コードの生成には CRC-CCITT ($X^{16}+X^{12}+X^5+1$) の生成多項式を使用します。

CRC コードは、8 ビット単位の任意長データブロックに対し生成される 16 ビットのコードです。CRC コードは、CRCD レジスタに初期値を設定した後、1 バイトのデータを CRCIN レジスタに書くごとに、CRCD レジスタに設定されます。

図 21.1 に CRC 演算回路のブロック図、図 21.2~図 21.3 に CRC の関連レジスタを示します。また、図 21.4 に CRC 演算例を示します。

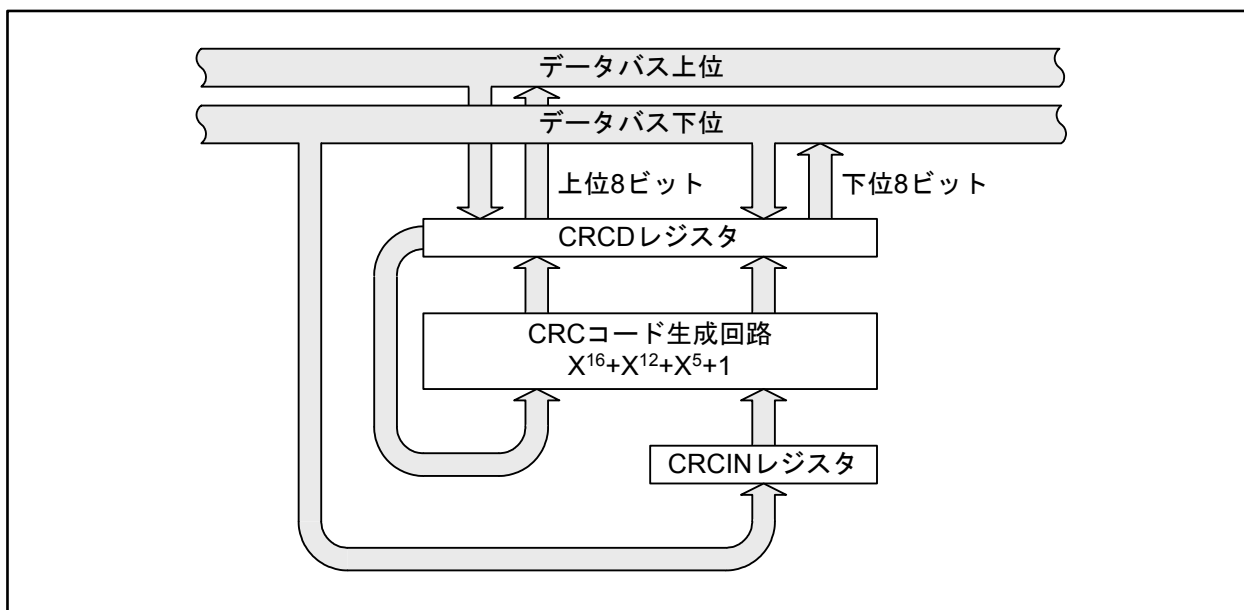


図 21.1 CRC 演算回路のブロック図



図 21.2 CRCD レジスタ

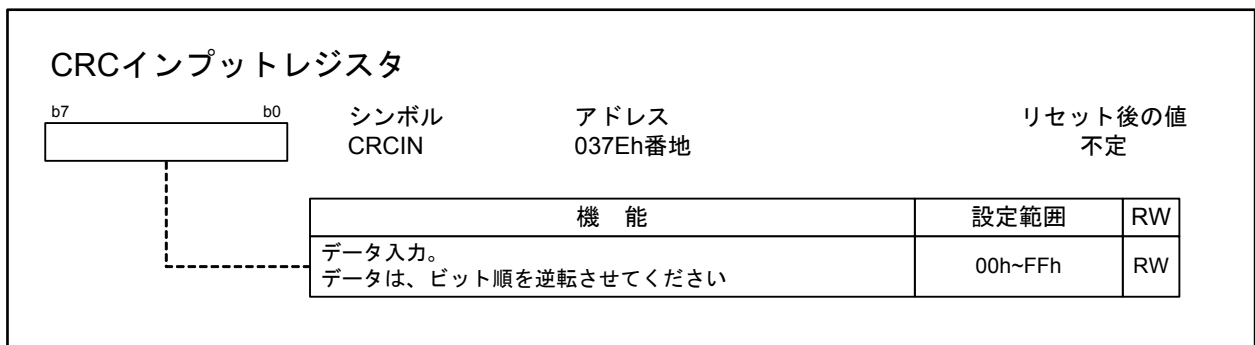


図 21.3 CRCIN レジスタ

22. X-Y変換回路

X-Y変換回路は16×16ビットのマトリクスデータを90度回転させたり、16ビットデータのビット順を逆転させることができます。

X-Y変換回路の動作はXYCレジスタにより設定します。図22.1にXYCレジスタを示します。

また、データの書き込みはXiRレジスタ(i=0~15)から、変換したデータの読み出しはYjRレジスタ(j=0~15)から行います。XiRレジスタとYjRレジスタは同一アドレスに配置されており、XiRレジスタは書き込み専用、YjRレジスタは読み出し専用です。

図22.2にXiRレジスタ、図22.3にYjRレジスタを示します。XiRレジスタとYjRレジスタは偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。

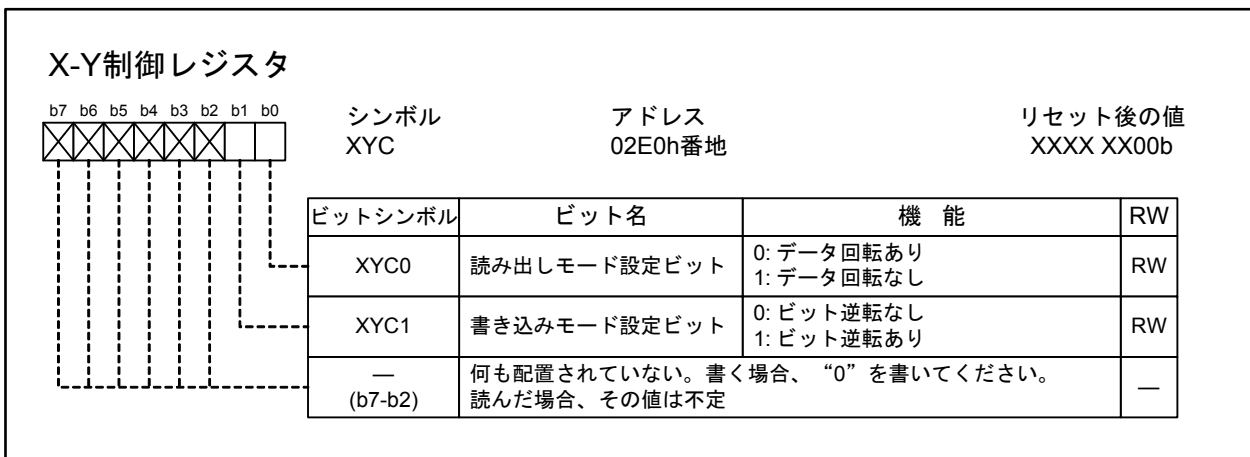


図 22.1 XYCレジスタ

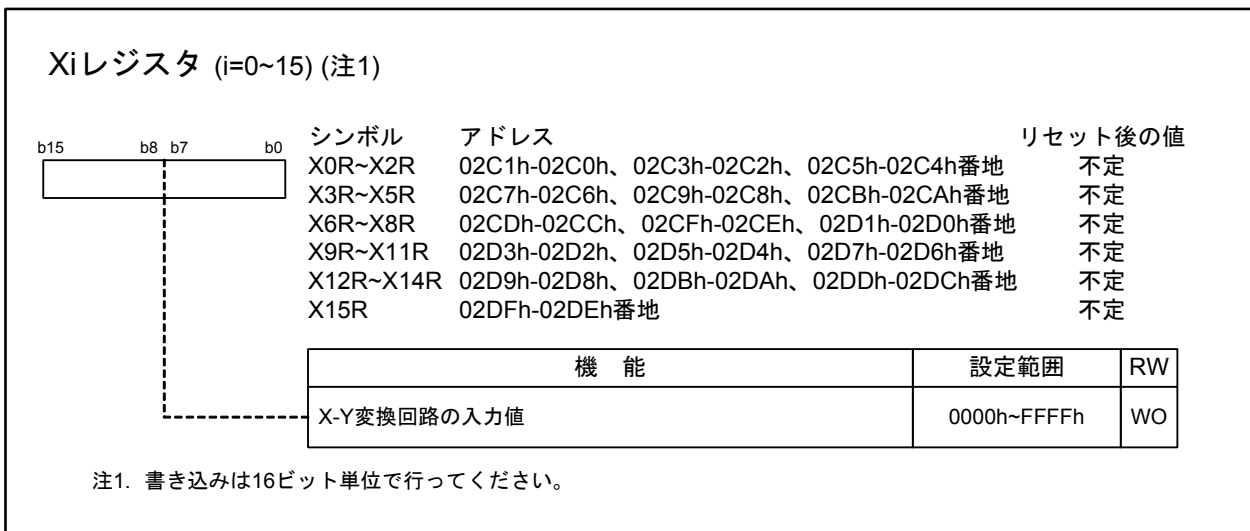


図 22.2 X0R~X15Rレジスタ

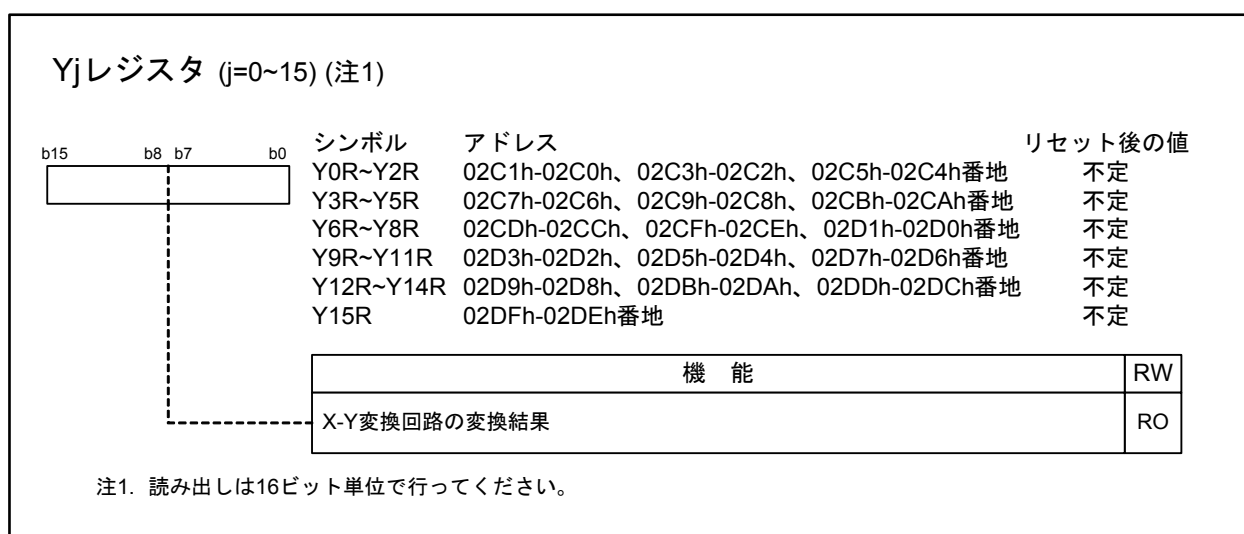


図 22.3 Y0R~Y15Rレジスタ

22.1 読み出し時のデータ変換

YjRレジスタの読み出し方法は、XYCレジスタのXYC0ビットで選択できます。

XYC0ビットが“0” (データ回転あり) でYjRレジスタを読むと、X0R~X15Rレジスタのビットjを同時に読めます。

例えば、Y0Rレジスタを読むと、ビット0でX0Rレジスタのビット0、ビット1でX1Rレジスタのビット0、…、ビット14でX14Rレジスタのビット0、ビット15でX15Rレジスタのビット0が読めます。同様にY15Rレジスタを読むと、ビット0でX0Rレジスタのビット15、ビット1でX1Rレジスタのビット15、…、ビット14でX14Rレジスタのビット15、ビット15でX15Rレジスタのビット15が読めます。

図 22.4にXYC0ビットが“0”の場合の変換テーブルを、図 22.5にX-Y変換例を示します。

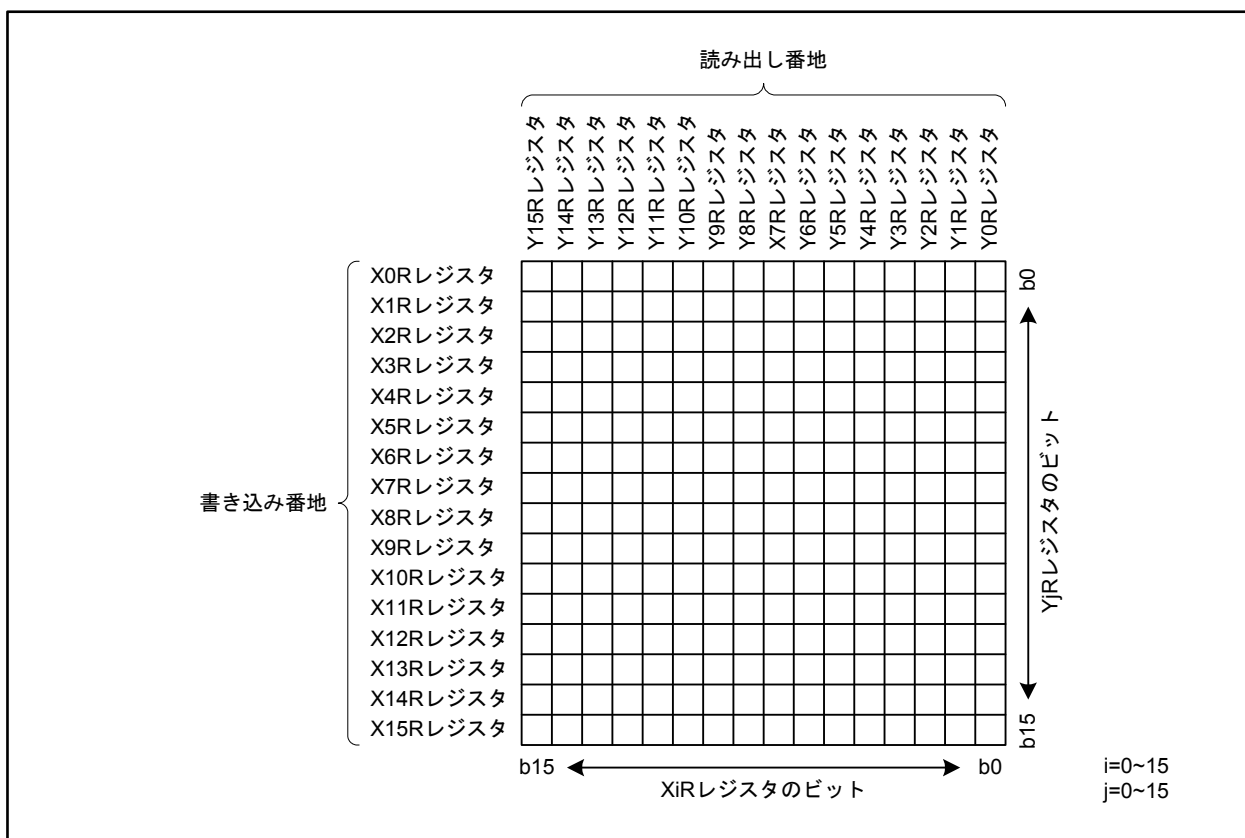


図 22.4 XYC0ビットが“0”の場合の変換テーブル図

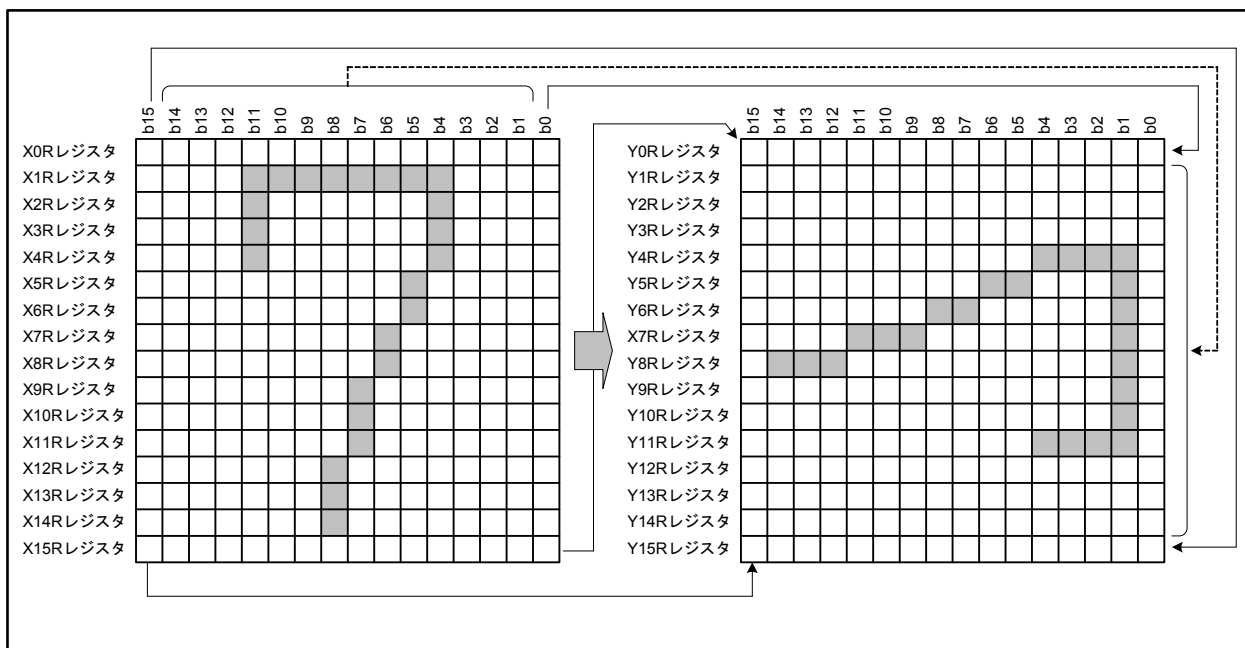


図 22.5 X-Y変換例

XYCレジスタのXYC0ビットを“1”(データ回転なし)にしてYjRレジスタを読むと、XiRレジスタに書かれた値がそのまま読めます。図 22.6にXYC0ビットが“1”の場合の変換テーブルを示します。

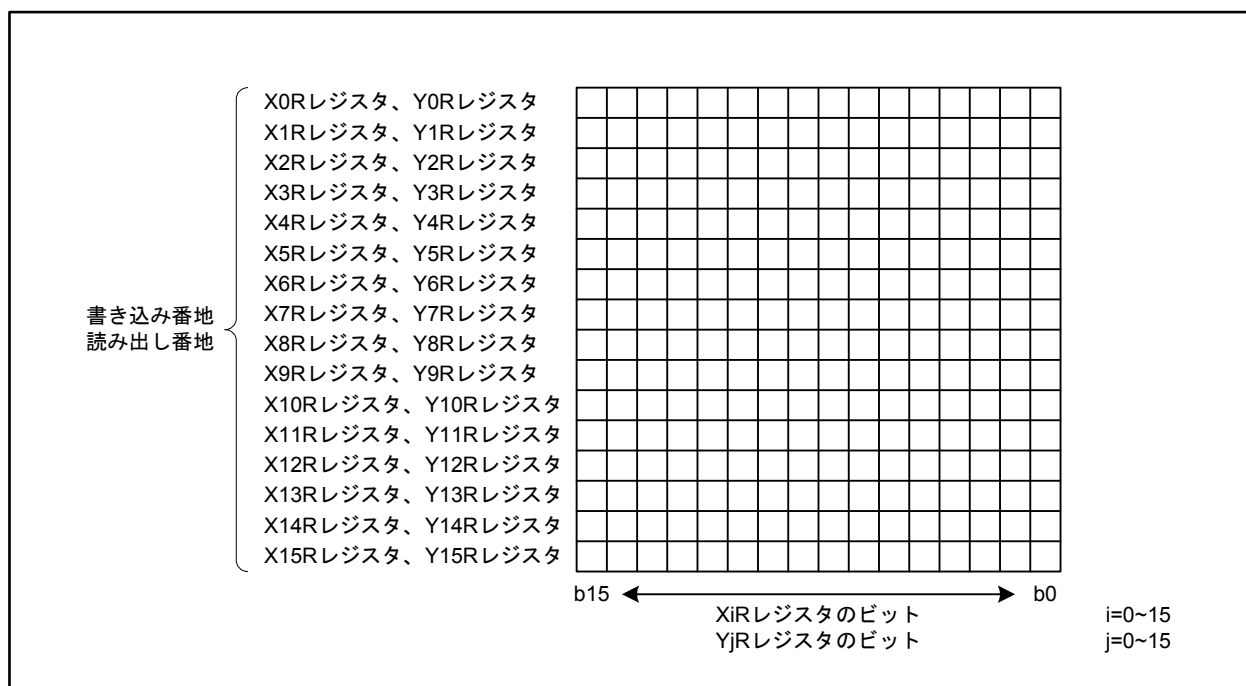


図 22.6 XYC0ビットが“1”の場合の変換テーブル

22.2 書き込み時のデータ変換

XiRレジスタに書く値のビット配置は、XYCレジスタのXYC1ビットで選択できます。

XYC1ビットを“0”(ビット逆転なし)にしてXiRレジスタに書くと、ビット順はそのまま書かれます。

XYC1ビットを“1”(ビット逆転あり)にしてXiRレジスタに書くと、ビット順を逆転して書きます。図 22.7にXYC1ビットが“1”の場合の変換を示します。

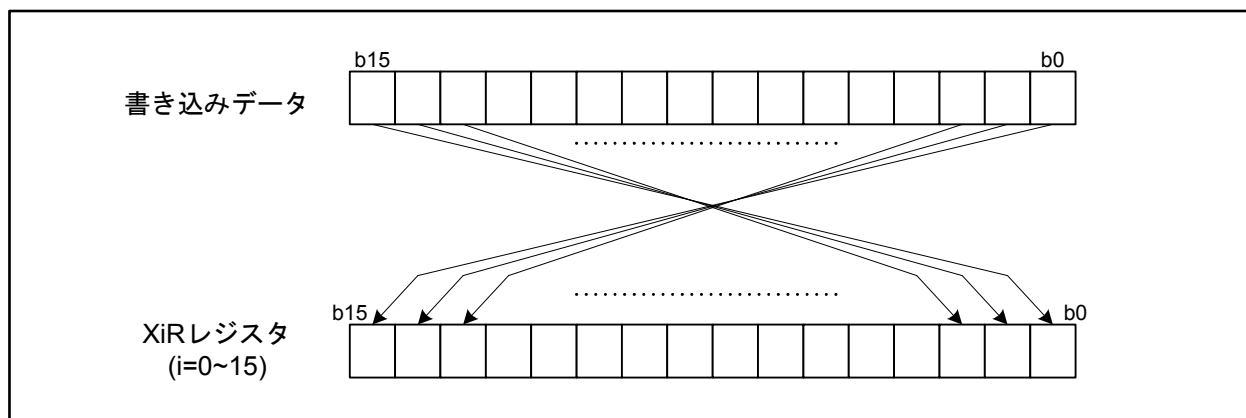


図 22.7 XYC1ビットが“1”の場合の変換

23. インテリジェント I/O

インテリジェント I/O は、時間計測、波形生成、可変長クロック同期シリアル I/O、IEBus 通信 (オプション) を実現できる高機能入出力ポートです。

インテリジェント I/O は 3 つのグループがあり、各グループは、フリーラン動作を行う 16 ビットベースタイマを 1 本、時間計測または波形生成用 16 ビットレジスタを 8 本備えています。

表 23.1 にインテリジェント I/O の機能とチャネルを示します。

表 23.1 インテリジェント I/O の機能とチャネル

機能		グループ0	グループ1	グループ2
時間計測(注1)	デジタルフィルタ	8チャネル	8チャネル	なし
	トリガ入力プリスケラ	2チャネル	2チャネル	
	トリガ入力ゲート	2チャネル	2チャネル	
波形生成(注1)	単相波形出力モード	8チャネル	8チャネル	8チャネル
	反転波形出力モード	8チャネル	8チャネル	8チャネル
	SR波形出力モード	8チャネル	8チャネル	8チャネル
	ビットモジュレーションPWMモード	なし	なし	8チャネル
	RTPモード			8チャネル
	並列RTPモード			8チャネル
通信	可変長クロック同期型シリアル I/O モード	なし	なし	あり
	IEBus モード(オプション(注2))			

注1. 時間計測機能と波形生成機能は端子を共有しています。

注2. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

時間計測機能と波形生成機能は、チャネルごとに機能を選択できます。

図 23.1~図 23.3 にインテリジェント I/O のブロック図を示します。

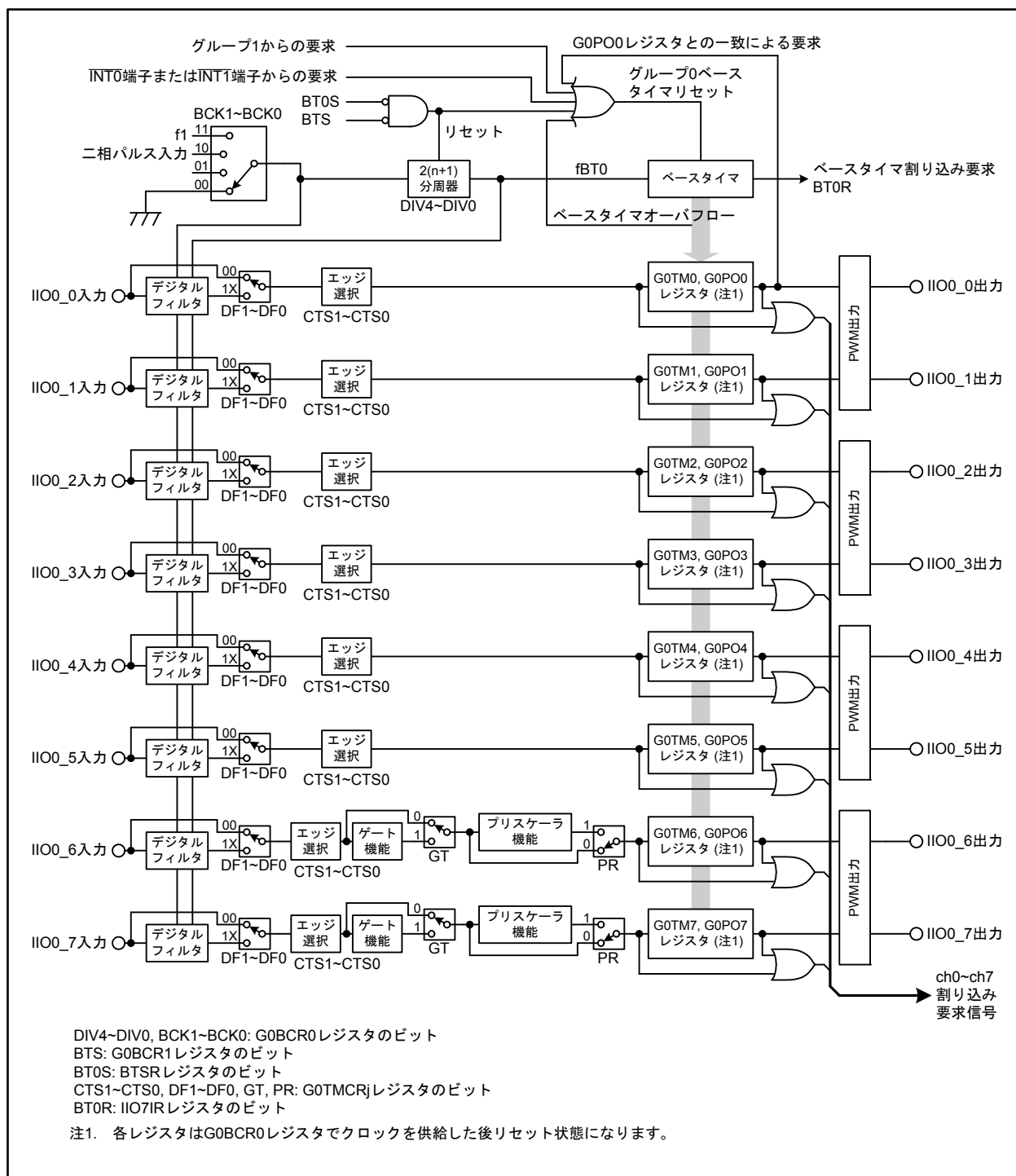


図 23.1 インテリジェント I/O グループ 0 ブロック図 (j=0~7)

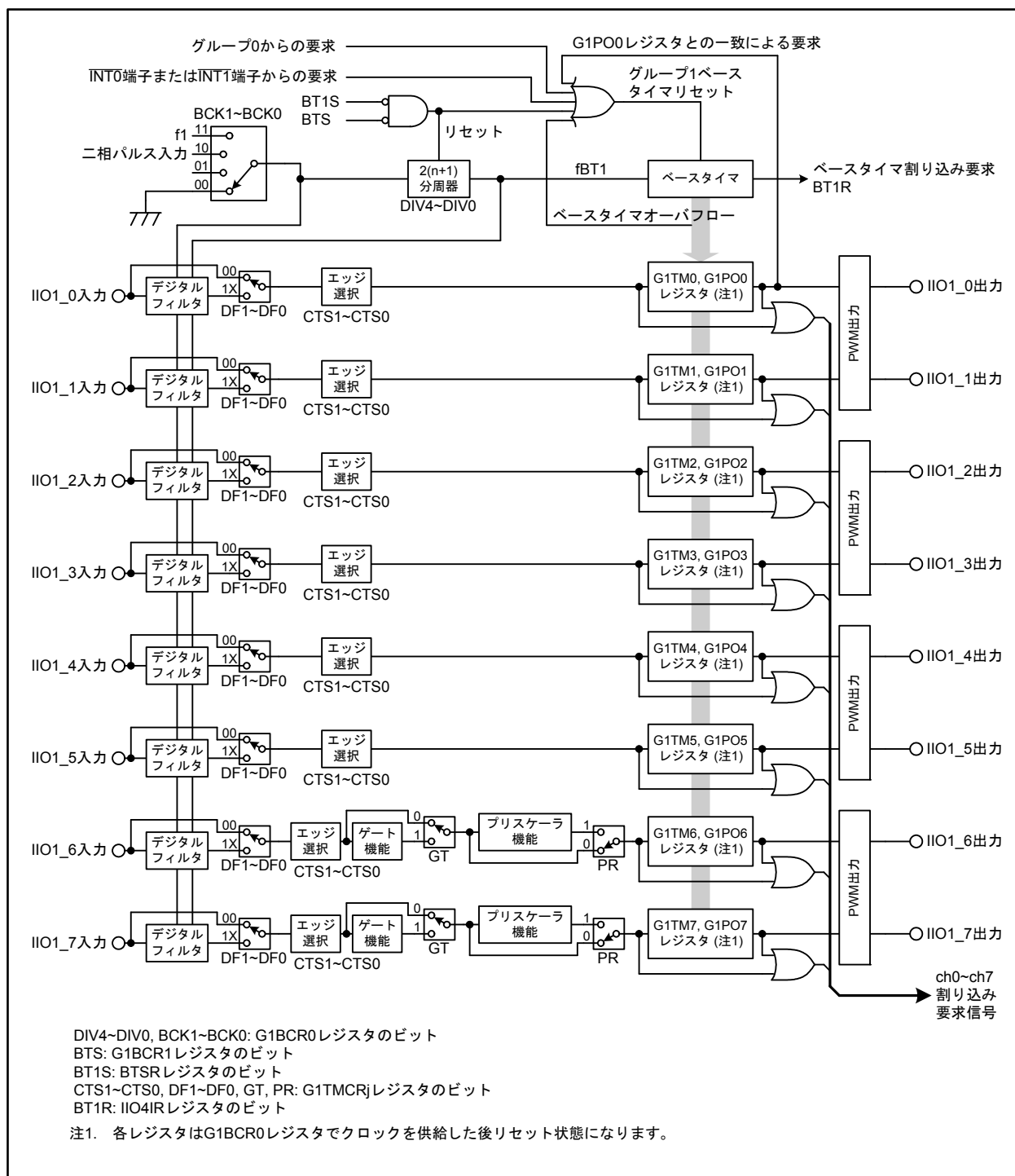


図 23.2 インテリジェント I/O グループ1 ブロック図 (j=0~7)

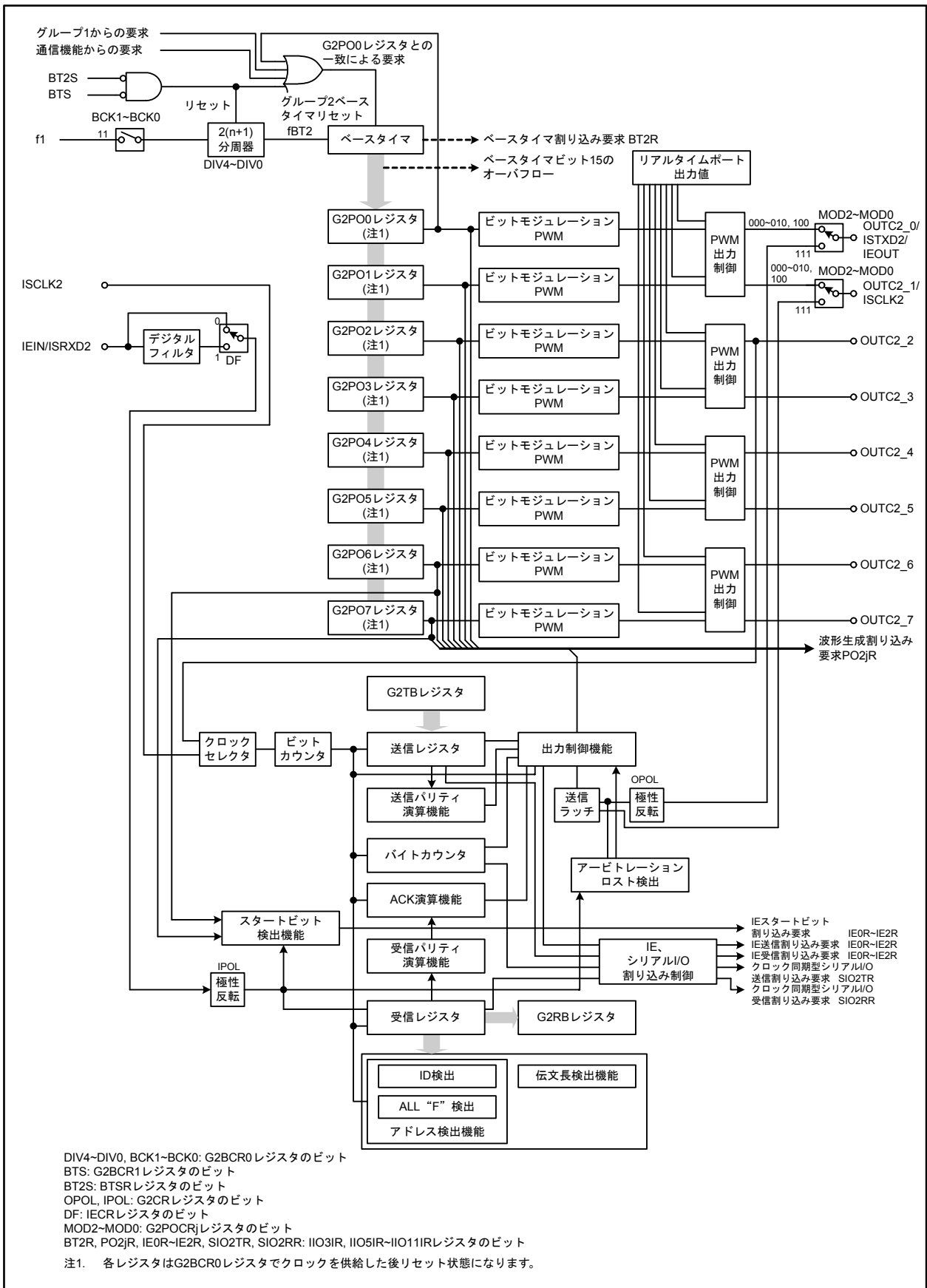


図 23.3 インテリジェント I/O グループ 2 ブロック図 (j=0~7)

図 23.4~図 23.17にインテリジェント I/O のベースタイマ、時間計測機能、波形生成機能関連レジスタを示します(通信機能関連レジスタは図 23.33~図 23.40を参照してください)。

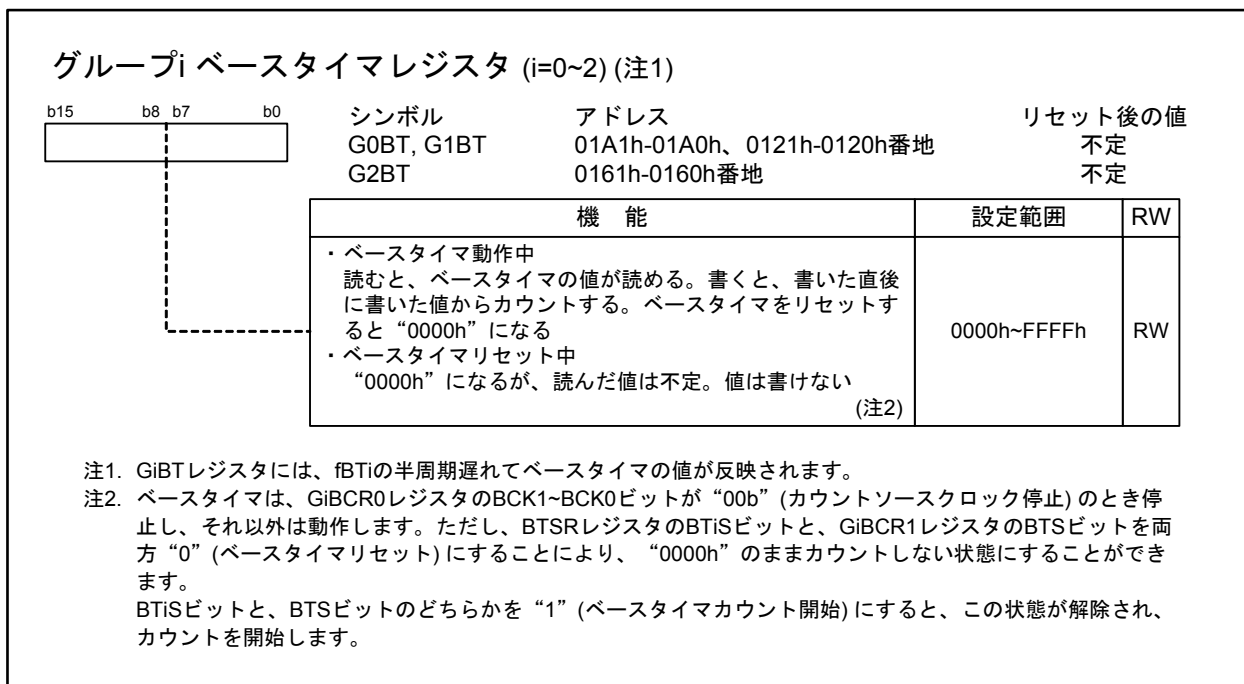


図 23.4 G0BT~G2BT レジスタ

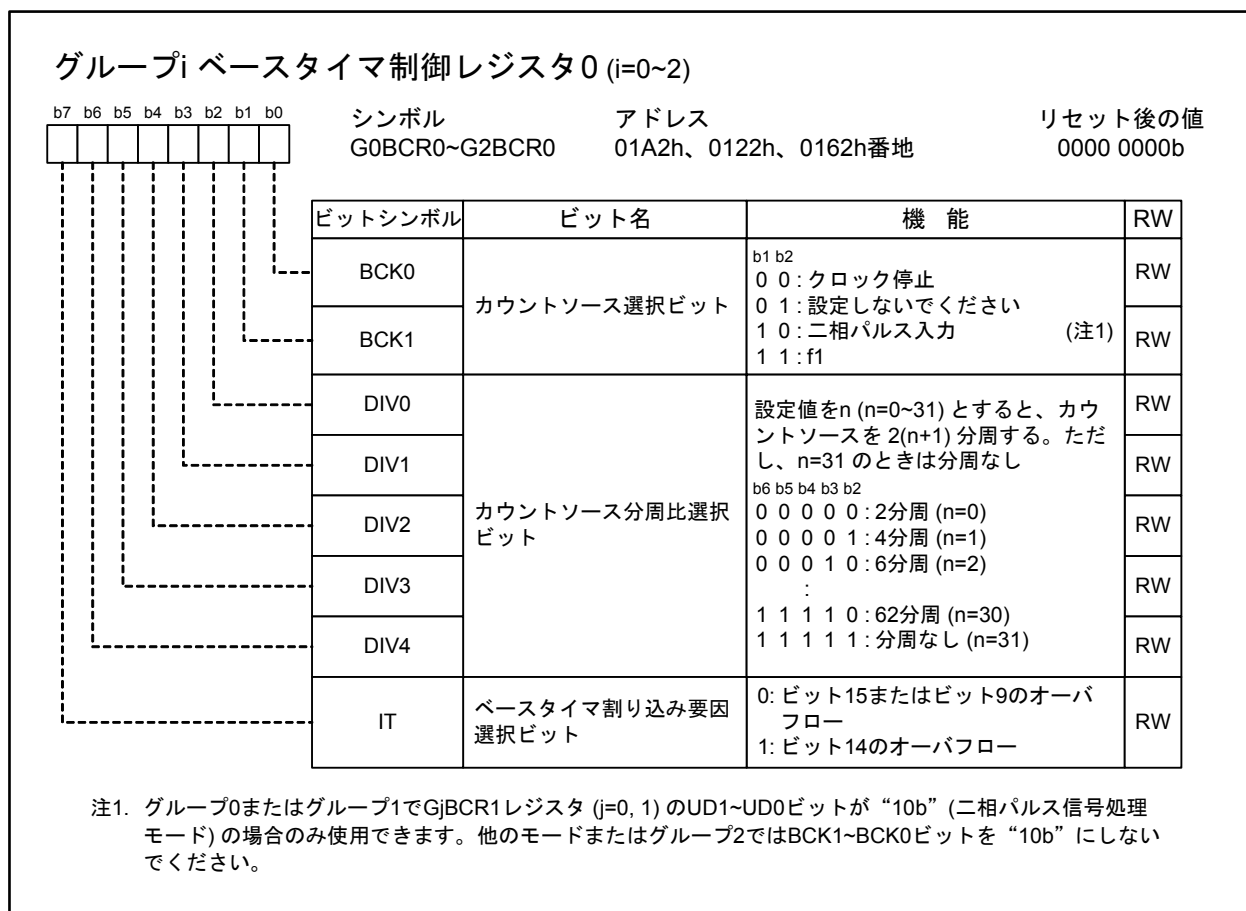


図 23.5 G0BCR0~G2BCR0 レジスタ

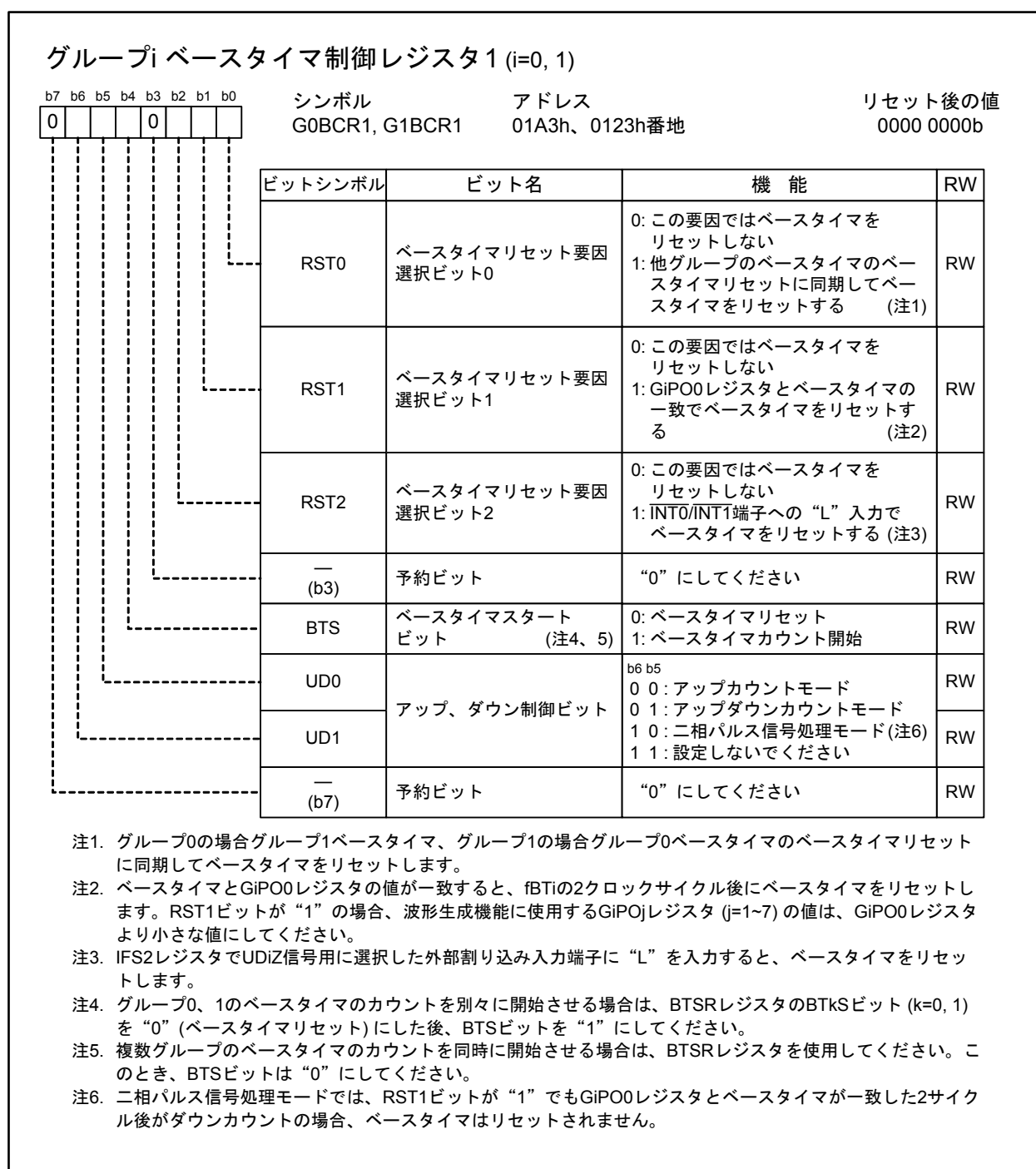


図 23.6 G0BCR1、G1BCR1 レジスタ

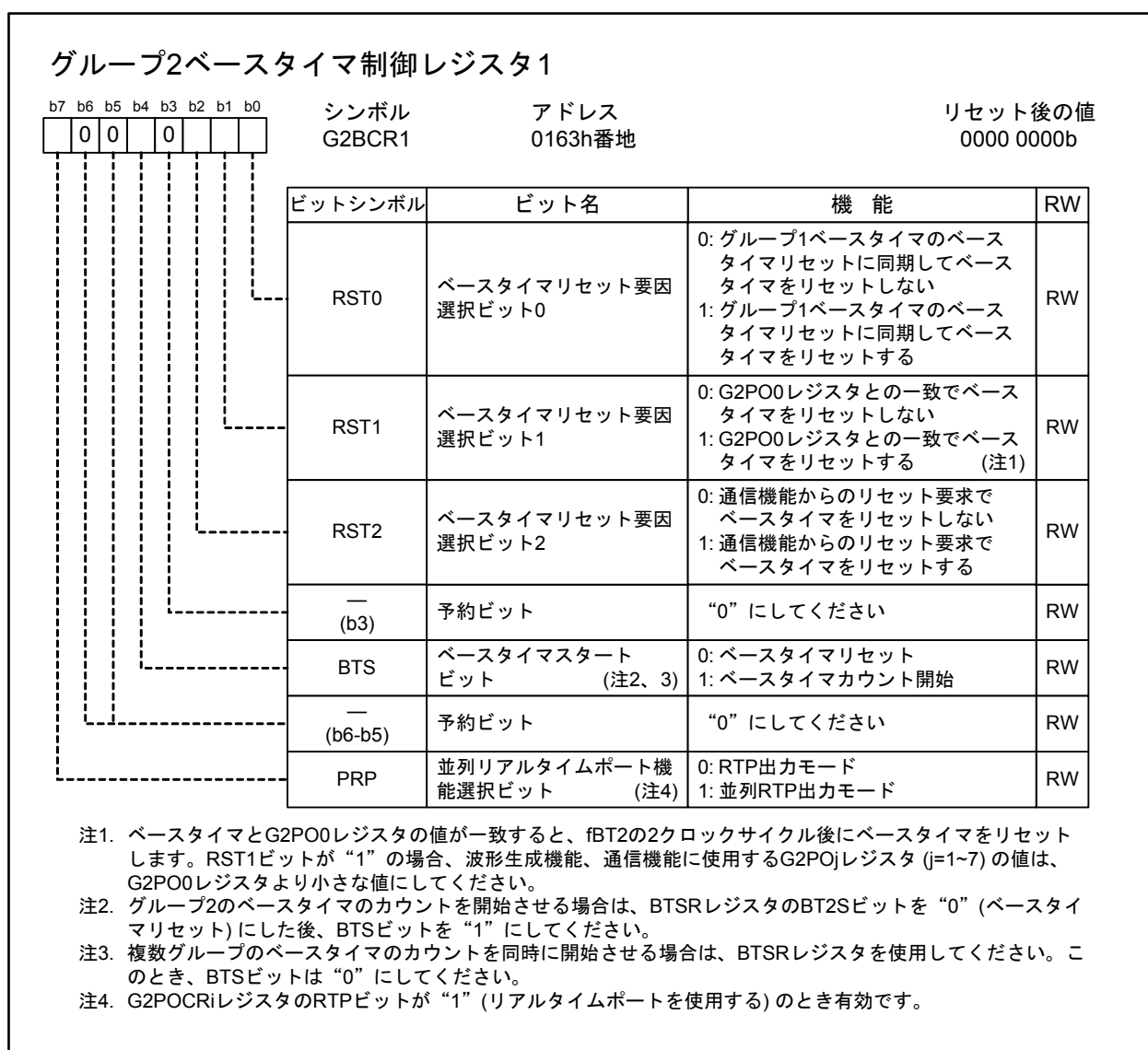


図 23.7 G2BCR1 レジスタ

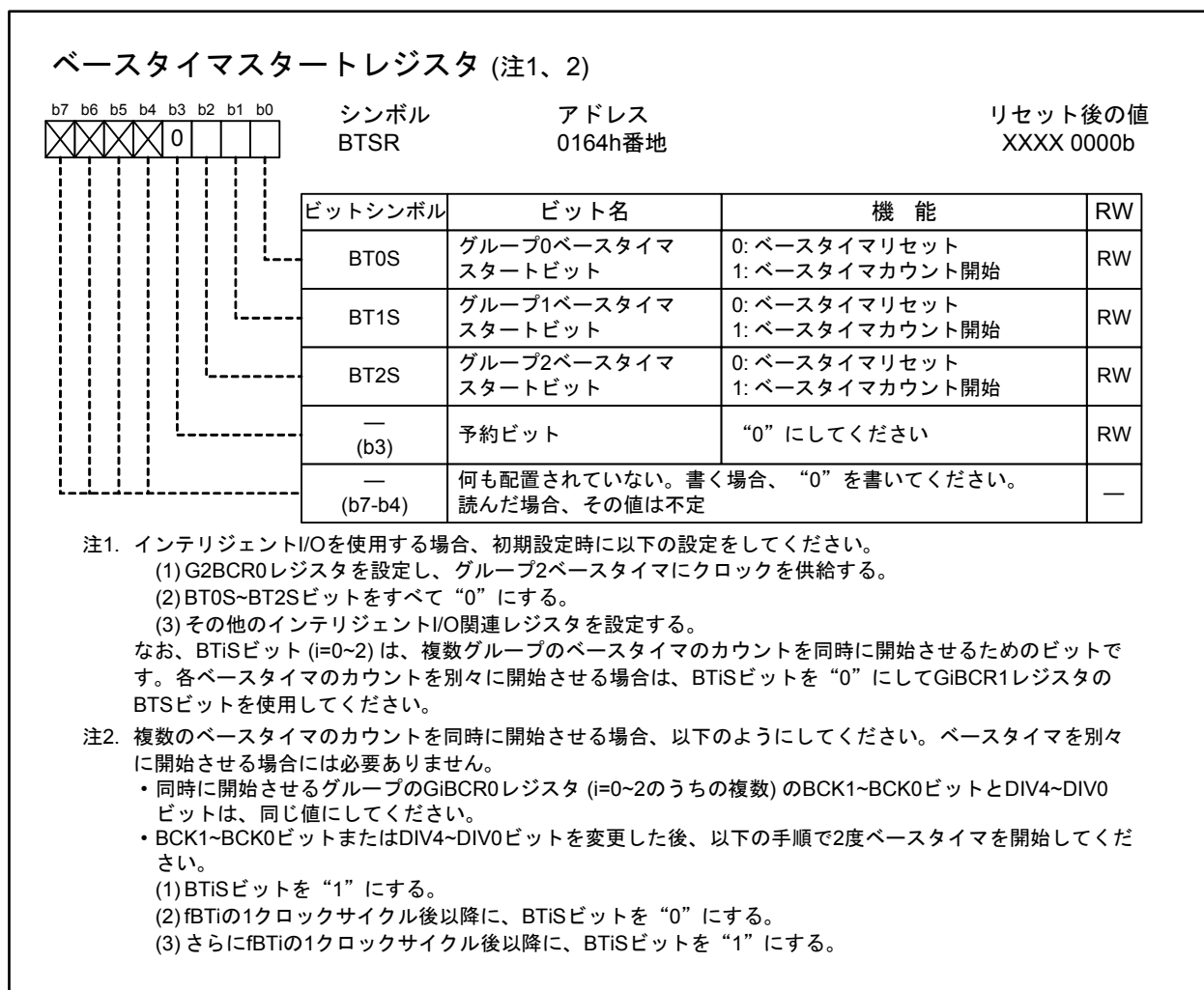


図 23.8 BTSR レジスタ

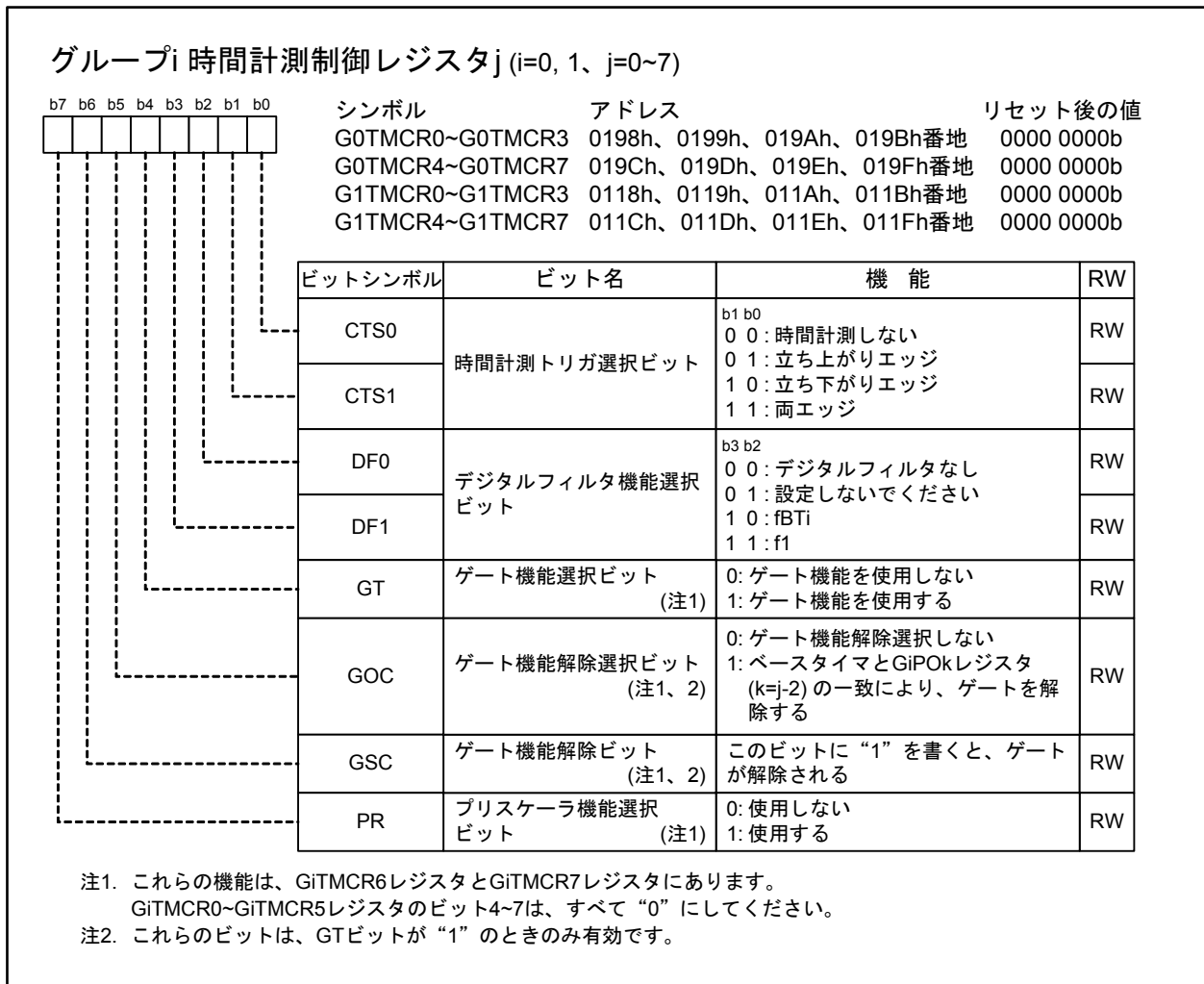


図 23.9 G0TMCR0~G0TMCR7、G1TMCR0~G1TMCR7 レジスタ

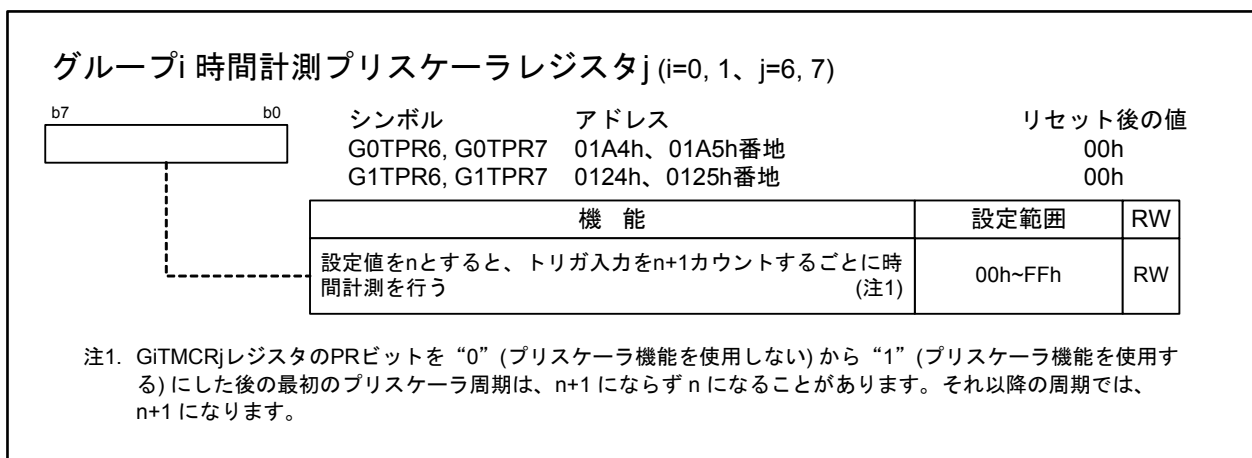


図 23.10 G0TPR6、G0TPR7、G1TPR6、G1TPR7 レジスタ

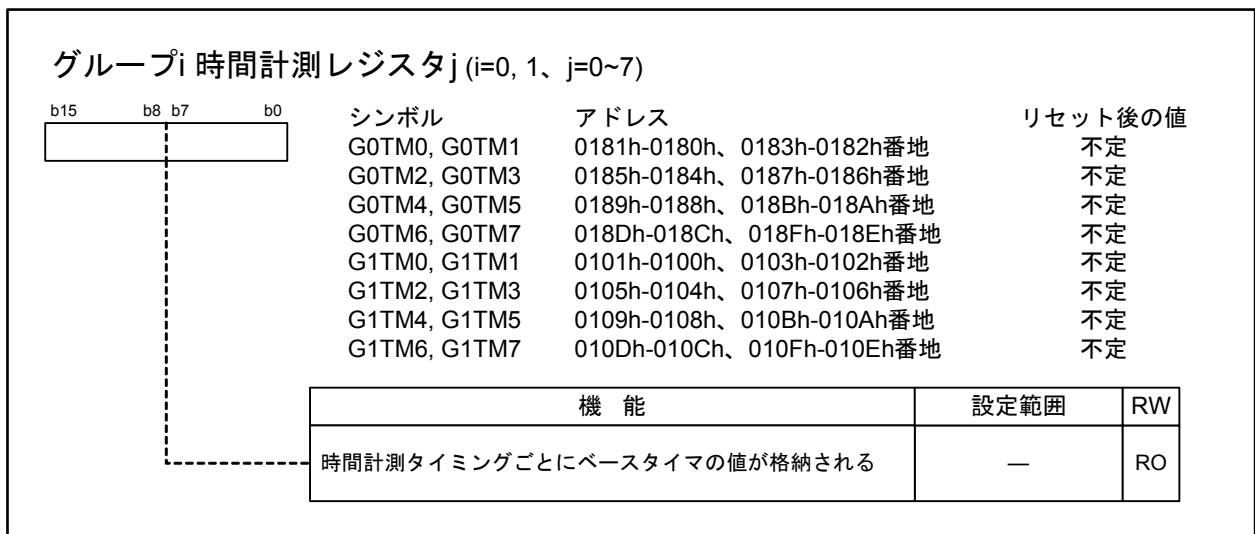


図 23.11 G0TM0~G0TM7、G1TM0~G1TM7 レジスタ

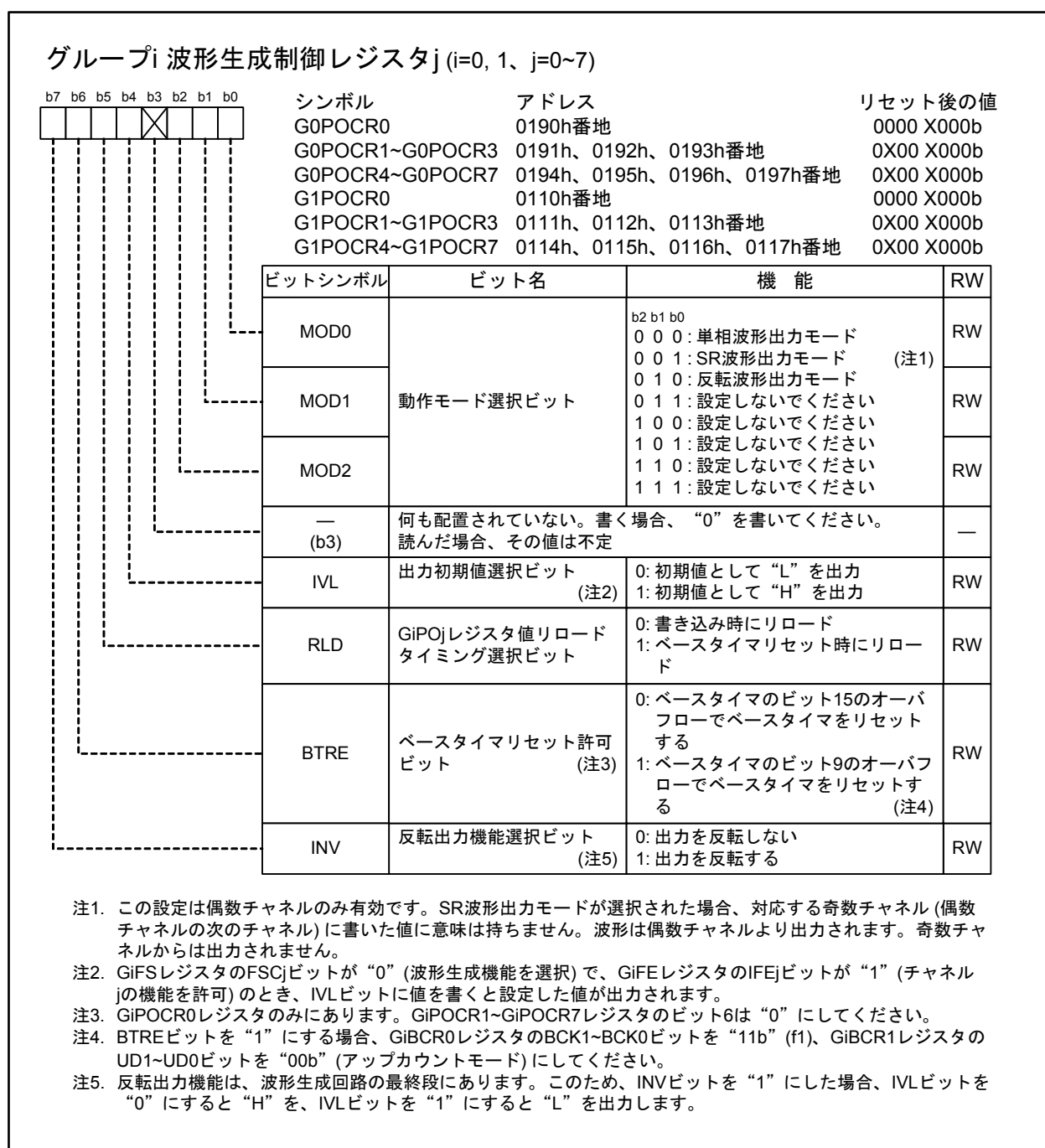


図 23.12 G0POCR0~G0POCR7、G1POCR0~G1POCR7 レジスタ

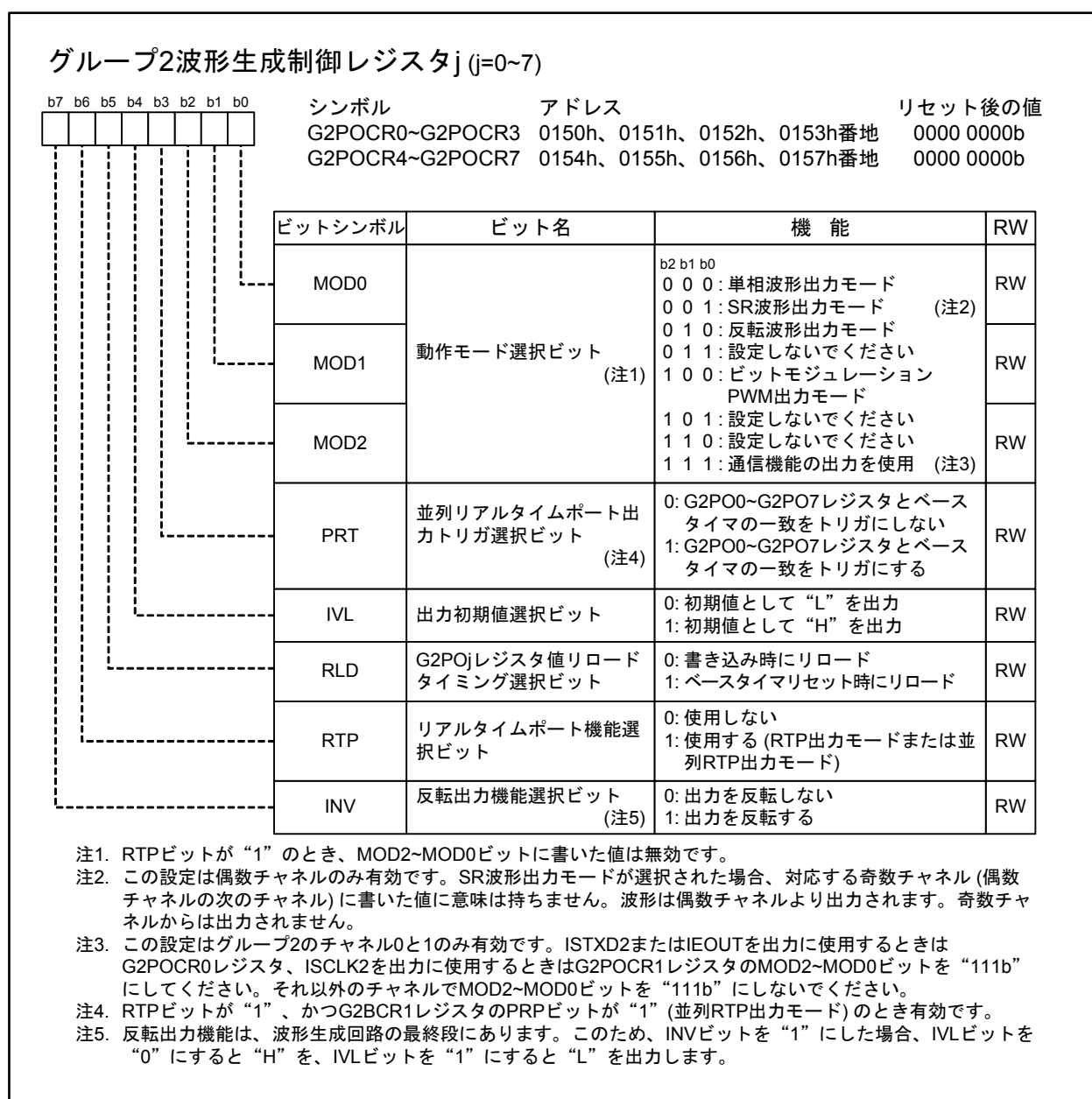


図 23.13 G2POCR0~G2POCR7 レジスタ

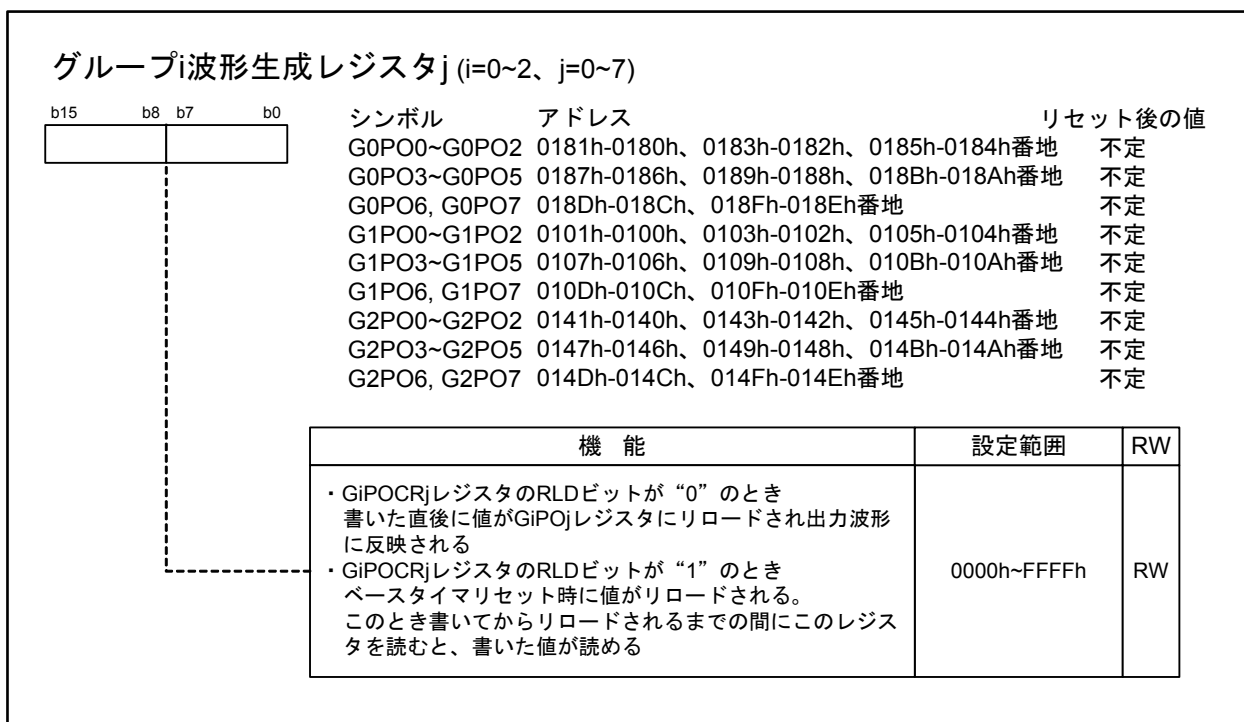


図 23.14 G0PO0~G0PO7、G1PO0~G1PO7、G2PO0~G2PO7 レジスタ

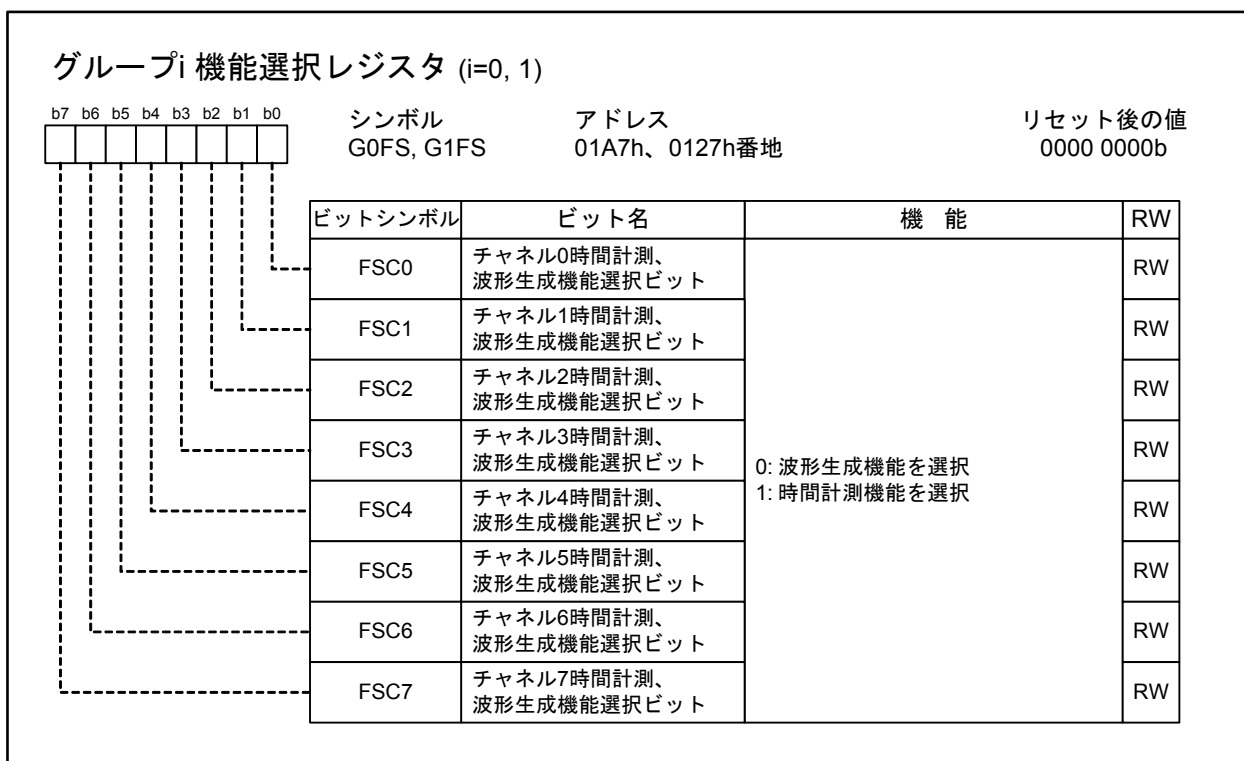


図 23.15 G0FS、G1FS レジスタ

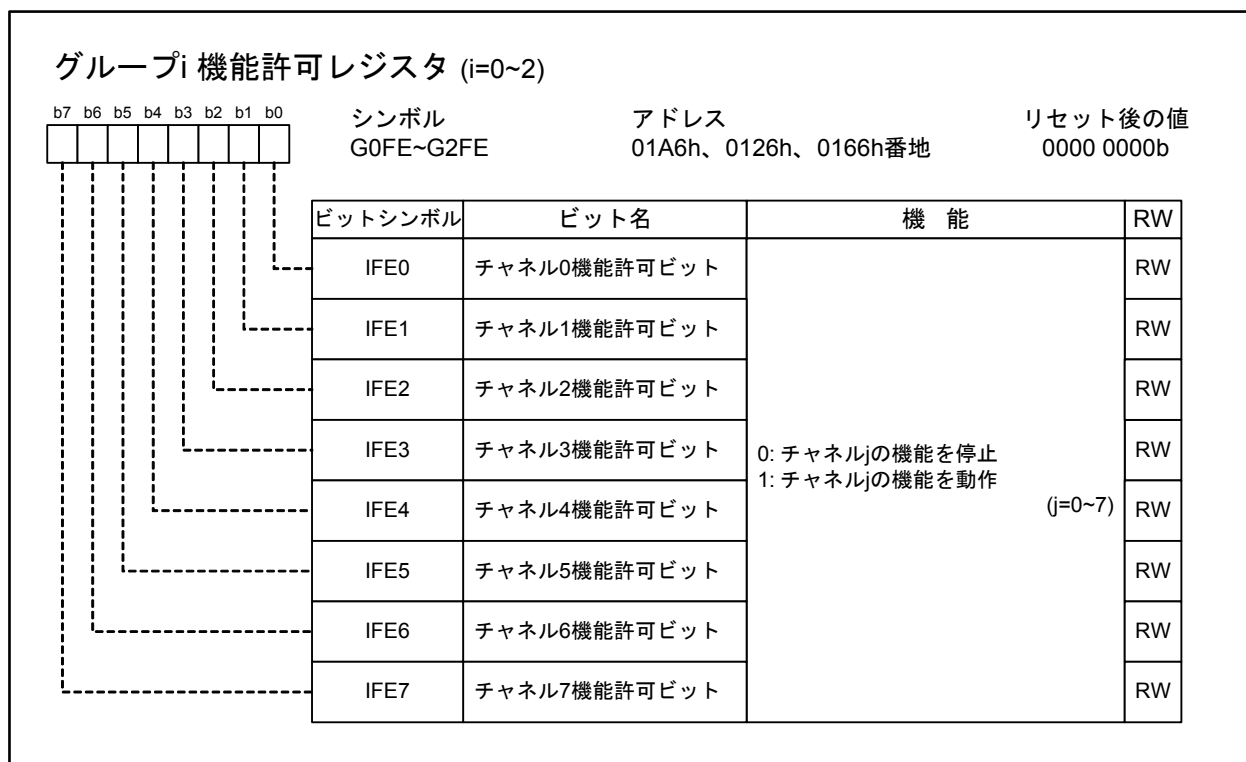


図 23.16 G0FE~G2FE レジスタ

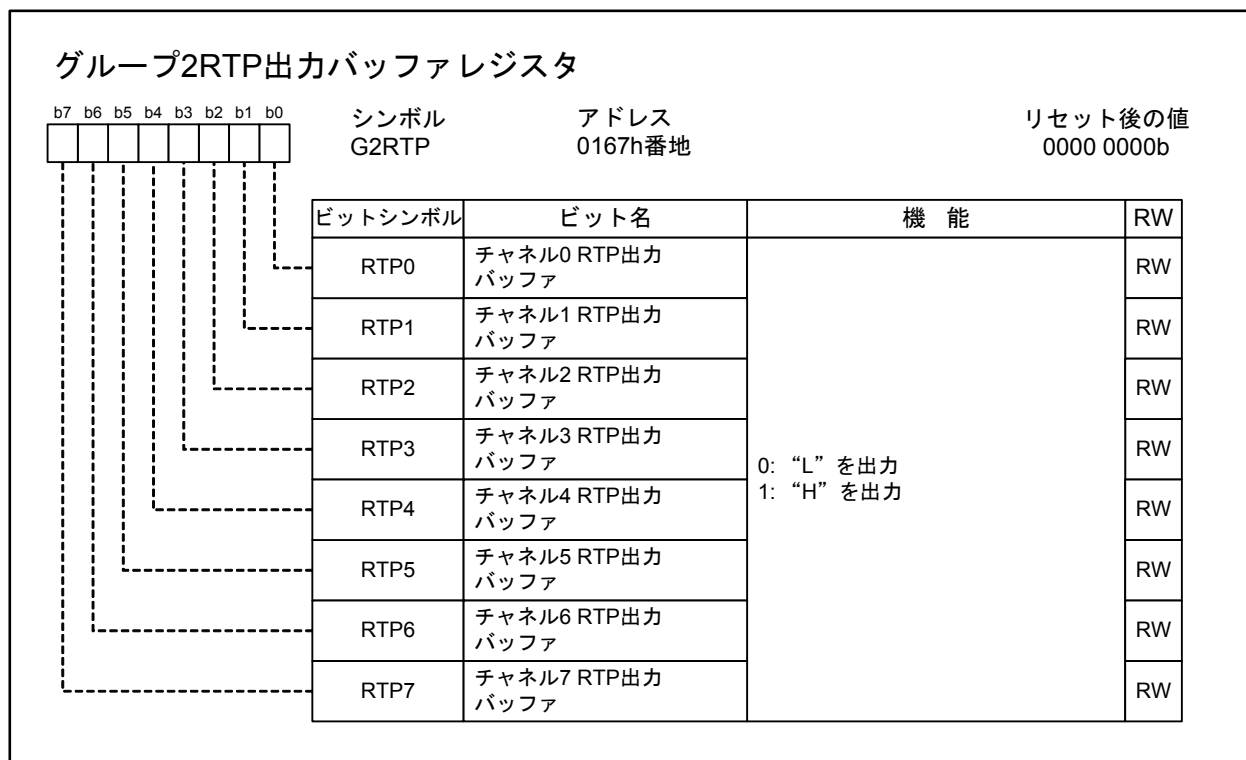


図 23.17 G2RTP レジスタ

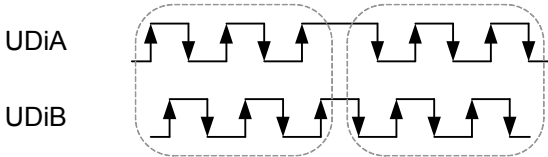
23.1 ベースタイマ(グループ0~2)

内部で生成されたカウントソースをフリーランカウントします。表 23.2 にベースタイマの仕様を、図 23.4~図 23.17 にベースタイマ関連レジスタを、図 23.18 にベースタイマのブロック図を、図 23.19 にベースタイマ(グループ0、1)アップカウントモードの動作例を、図 23.20 にベースタイマアップダウンカウントモードの動作例を、図 23.21 に二相パルス信号処理モードの動作例を示します。

表 23.2 ベースタイマの仕様 (i=0~2)

項目	仕様
カウントソース (fBTi)	f1 の 2(n+1) 分周 (グループ0~2)、二相パルス入力の 2(n+1) 分周 (グループ0、1) n: GiBCR0 レジスタの DIV4~DIV0 ビットで設定。n=0~31。ただし n=31 の場合、分周しない
カウント動作	<ul style="list-style-type: none"> • アップカウント • アップダウンカウント • 二相パルス処理
カウント開始条件	<ul style="list-style-type: none"> • 各グループのベースタイマのカウントを別々に開始させる場合 GiBCR1 レジスタの BTS ビットを“1” (ベースタイマカウント開始) にする • 複数グループのベースタイマのカウントを同時に開始させる場合 BTISR レジスタの BTIS ビットを“1” (ベースタイマカウント開始) にする
カウント停止条件	BTISR レジスタの BTIS ビットを“0” (ベースタイマリセット)、かつ GiBCR1 レジスタの BTS ビットを“0” (ベースタイマリセット) にする
ベースタイマリセット条件	<ul style="list-style-type: none"> • ベースタイマと GiPO0 レジスタの値が一致 • 外部割り込み端子 (INT0 または INT1) に“L”を入力 グループ0: IFS2 レジスタの IFS23~IFS22 ビットで選択 グループ1: IFS2 レジスタの IFS27~IFS26 ビットで選択 • ベースタイマビット15のオーバフロー、ベースタイマビット9のオーバフロー時 • 通信機能からの初期化要求 (グループ2)
ベースタイマリセット時の値	“0000h”
割り込み要求	ベースタイマのビット9または、ビット14、ビット15のオーバフロー時に、割り込み要求レジスタの BTiR ビットが“1” (割り込み要求あり) になる (図 11.12 参照)
ベースタイマの読み出し	<ul style="list-style-type: none"> • ベースタイマ動作中に GiBT レジスタを読むとベースタイマの値が読める • ベースタイマのリセット中に GiBT レジスタを読むと不定値になる
ベースタイマへの書き込み	ベースタイマ動作中に値を書いた場合、書いた直後に書いた値からカウントされる。ベースタイマのリセット中は書けない

表 23.2 ベースタイマの仕様 (i=0~2)

項目	仕様
その他選択項目	<ul style="list-style-type: none"> • アップダウンカウンタモード(グループ0、1) BTSビットまたはBTISビットを“1”にするとベースタイマはカウントを開始し、“FFFFh”になるとダウンカウントする。また、GiBCR1レジスタのRST1ビットが“1”(GiPO0レジスタとの一致でベースタイマをリセットする)の場合、GiPO0レジスタと一致した2カウント後にダウンカウントする。次に“0000h”になると再びアップカウントする(図 23.20参照) • 二相パルス処理モード(グループ0、1) UDiA、UDiBからの二相パルスをカウントする(図 23.21参照) <div style="text-align: center; margin: 10px 0;">  <p style="font-size: small; margin-top: 5px;">すべてのエッジをアップカウント すべてのエッジをダウンカウント</p> </div>

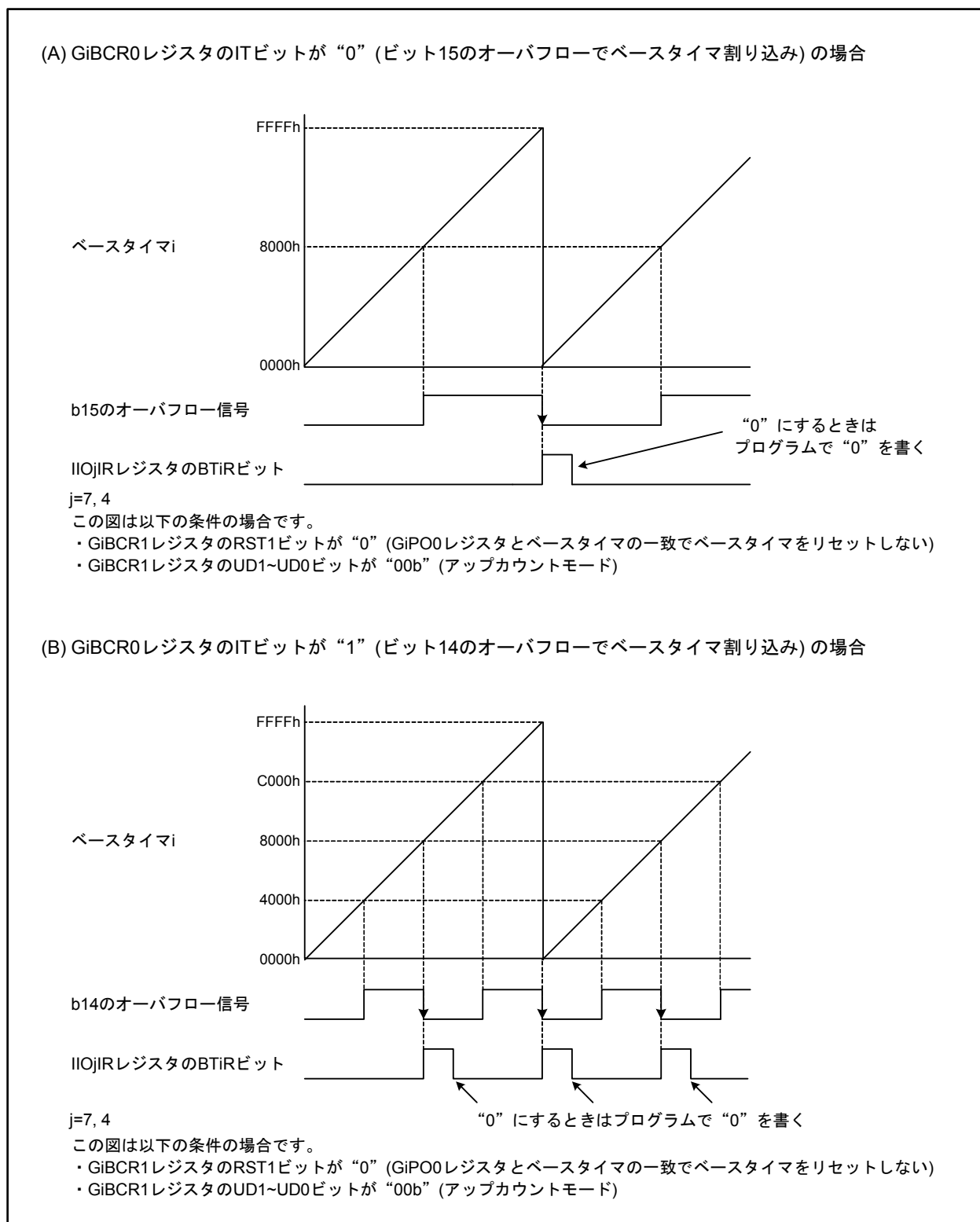
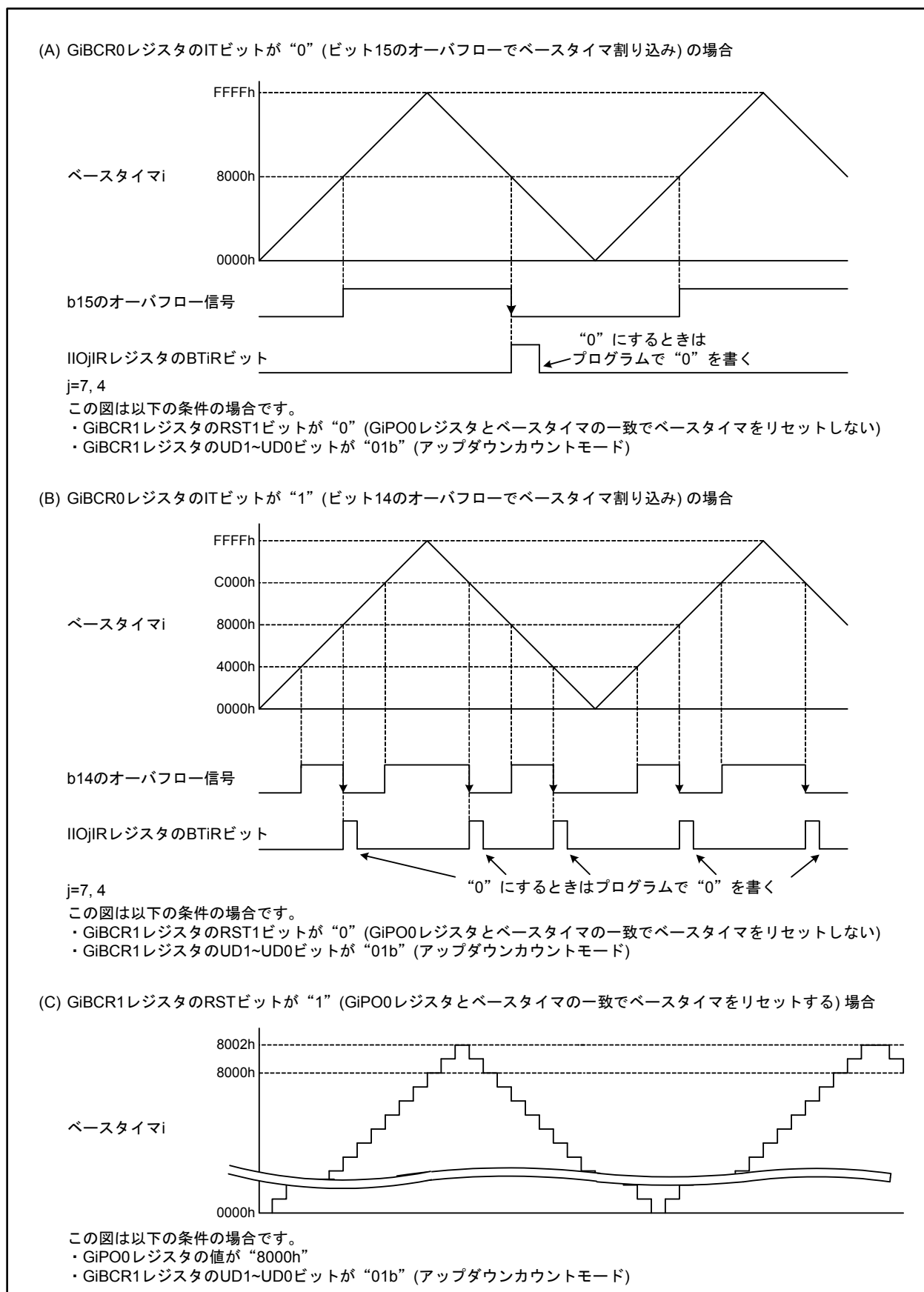


図 23.19 ベースタイマのアップモードの動作例 (i=0, 1) (グループ0、1)

図 23.20 ベースタイマのアップダウンモードの動作例 ($i=0, 1$) (グループ0、1)

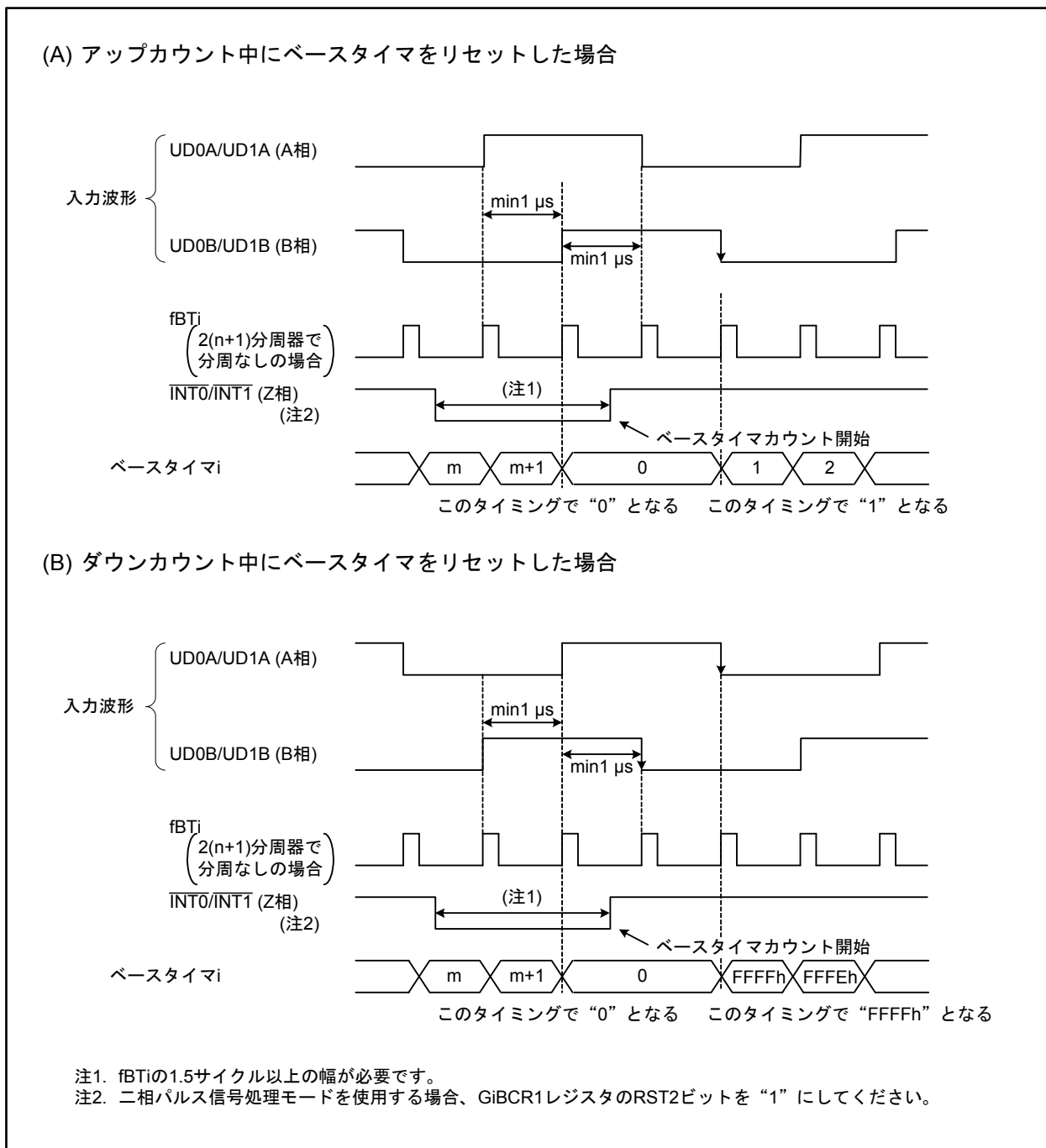


図 23.21 ベースタイマの二相パルス信号処理モードの動作例(i=0, 1) (グループ0, 1)

23.2 時間計測機能(グループ0、1)

外部トリガが入力されるごとにベースタイマの値を GiTMj レジスタ (i=0, 1, j=0~7) に格納します。表 23.4 に時間計測機能の仕様を、表 23.5 に時間計測機能関連レジスタの設定を示します。図 23.22、図 23.23 に時間計測機能の動作例を、図 23.24 にプリスケアラ機能、ゲート機能使用時の動作例を示します。

表 23.4 時間計測機能の仕様 (i=0, 1, j=0~7)

項目	仕様
計測チャンネル	グループ0: チャンネル0~7 グループ1: チャンネル0~7
トリガ入力極性選択	IIOi_j端子の立ち上がりエッジ、立ち下がりエッジ、または両エッジ
計測開始条件	GiFSレジスタのFSCjビットが“1”(時間計測機能を選択)の状態で、GiFEレジスタのIFEjビットを“1”(チャンネルjの機能を動作)にする
計測停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
時間計測タイミング	<ul style="list-style-type: none"> プリスケアラ機能なし: トリガ入力ごと プリスケアラ機能あり(チャンネル6、7): GiTPRkレジスタ(k=6, 7)値+1回目のトリガ入力ごと
割り込み要求	時間計測タイミングに、割り込み要求レジスタのTMijRビットが“1”(割り込み要求あり)になる(図 11.12 参照)
IIOi_j端子(入力)	トリガ入力
その他選択項目	<ul style="list-style-type: none"> デジタルフィルタ機能 トリガ入力レベルをf1またはfBTiごとに判定し、3回一致したパルス成分を通過させる プリスケアラ機能(チャンネル6、7) トリガ入力をカウントし、(GiTPRkレジスタの値+1)回目のトリガ入力ごとに時間計測を実行 ゲート機能(チャンネル6、7) 最初のトリガ入力による時間計測以降、トリガ入力の受け付けを禁止する。GiTMCRkレジスタのGOCビットが“1”(GiPOpレジスタ(p=4, 5, k=6のときp=4, k=7のときp=5)の一致によりゲートを解除)の状態で、ベースタイマとGiPOpレジスタの値が一致、またはGiTMCRkレジスタのGSCビットを“1”にすると、再度トリガ入力の受け付けを許可

表 23.5 時間計測機能(グループ0、1)関連レジスタの設定 (i=0, 1, j=0~7, k=6, 7)

レジスタ	ビット	機能
GiTMCRj	CTS1~CTS0	時間計測トリガ選択
	DF1~DF0	デジタルフィルタ機能選択
	GT, GOC, GSC	ゲート機能選択
	PR	プリスケアラ機能選択
GiTPRk	—	プリスケアラ値設定
GiFS	FSCj	“1”(時間計測機能)にしてください
GiFE	IFEj	“1”(チャンネルjの機能を動作)にしてください

グループ、チャンネルによって、ビット構成、機能が違います。
ベースタイマ関連レジスタを設定後に、時間計測機能関連レジスタを設定してください。

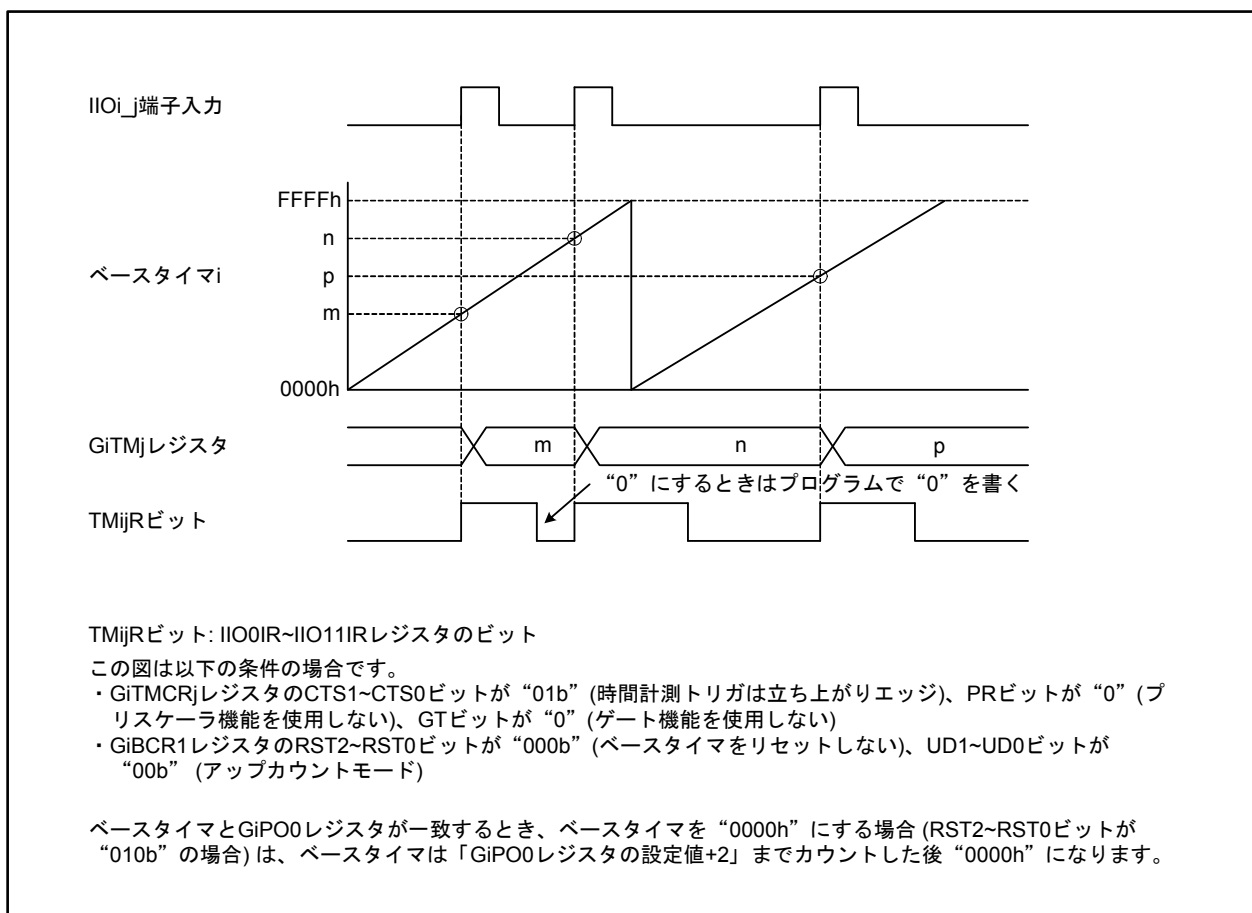
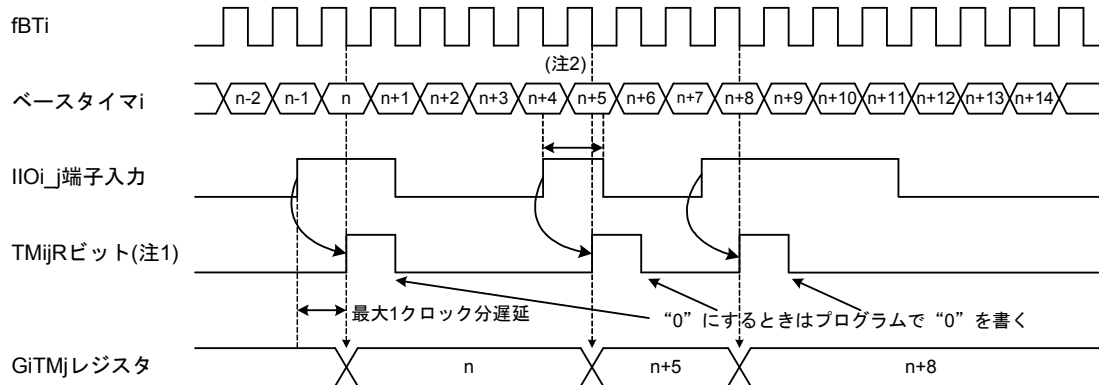
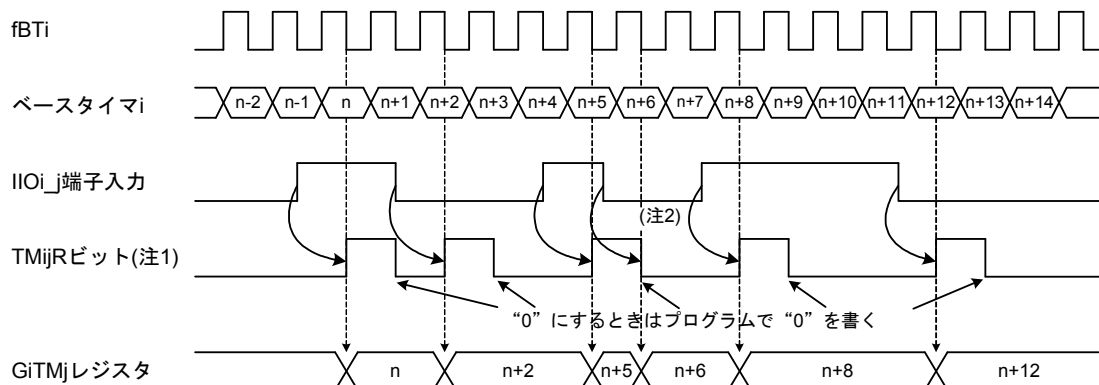


図 23.22 時間計測機能の動作例(1) (i=0, 1、j=0~7)

(A) 時間測定トリガに立ち上がりエッジを選択した場合
(GiTMCRjレジスタのCTS1~CTS0ビットが“01b”)



(B) 時間計測トリガに両エッジを選択した場合 (CTS1~CTS0ビットが“11b”)



(C) デジタルフィルタを使用した場合のトリガ信号
(GiTMCRjレジスタのDF1~DF0ビットが“10b”または“11b”)

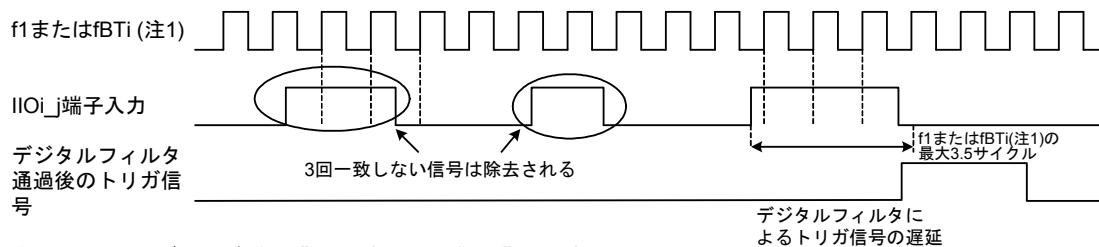
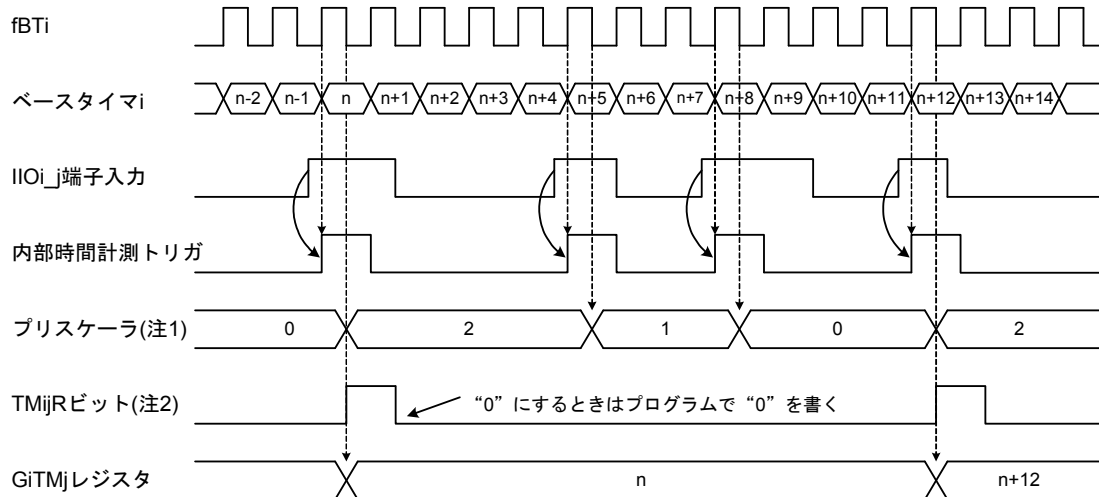


図 23.23 時間計測機能の動作例(2) (i=0, 1, j=0~7)

(A) プリスケアラ機能を使用した場合

(GiTPRjレジスタが“02h”、GiTMCRjレジスタのPRビットが“1”)

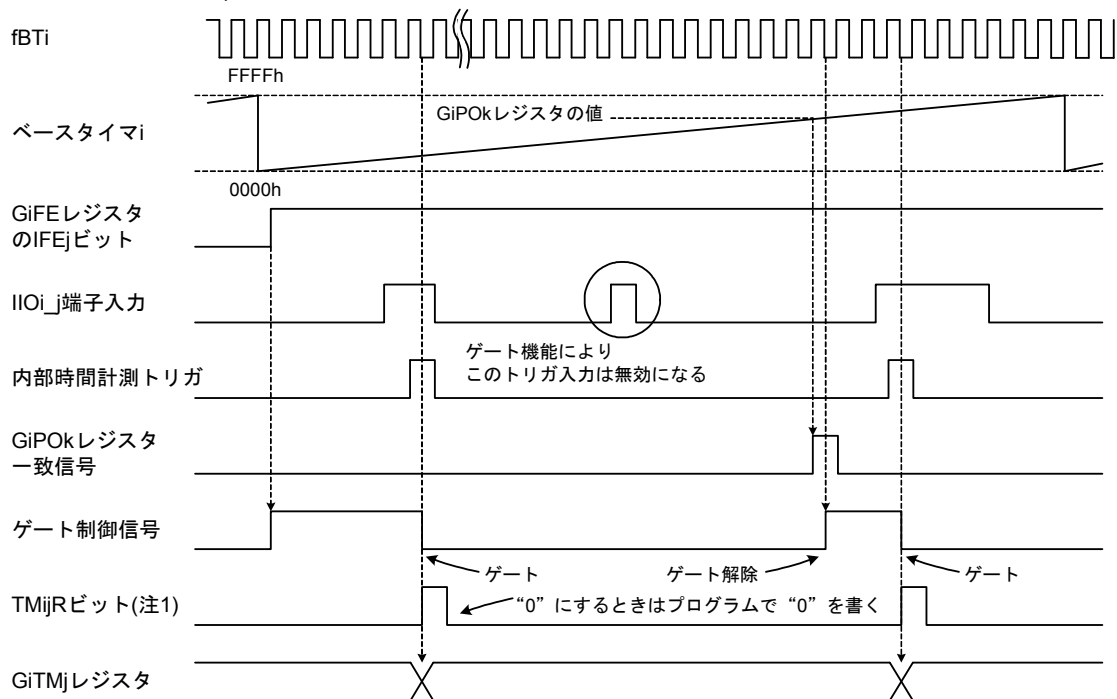


注1. GiTMCRjレジスタのPRビットを“1” (プリスケアラ機能を使用する) にした後の2回目以降のプリスケアラ周期のものであります。

注2. IIO0IR~IIO11IRレジスタのビット。

(B) ゲート機能を使用した場合

(GiPOkレジスタの一致によりゲート機能解除、GiTMCRjレジスタのGTビットが“1”、GOCビットが“1”)



k=4, 5

注1. IIO0IR~IIO11IRレジスタのビット。

図 23.24 プリスケアラ機能、ゲート機能使用時の動作例 (i=0, 1, j=6, 7)

23.3 波形生成機能(グループ0~2)

ベースタイマと GiPOj レジスタ (i=0~2, j=0~7) の値の一致により、波形生成を行います。
波形生成機能には、以下の6つのモードがあります。

- 単相波形出力モード(グループ0~2)
- 反転波形出力モード(グループ0~2)
- セット-リセット波形出力(SR 波形出力)モード(グループ0~2)
- ビットモジュレーションPWM出力モード(グループ2)
- リアルタイムポート(RTP)出力モード(グループ2)
- 並列リアルタイムポート(RTP)出力モード(グループ2)

表 23.6 に波形生成機能関連レジスタの設定を示します。

表 23.6 波形生成機能関連レジスタの設定 (i=0~2, j=0~7)

レジスタ	ビット	機能
GiPOCRj	MOD2~MOD0	波形出力モードを選択
	PRT (注1)	並列RTP出力モードを使用する場合は“1”にしてください
	IVL	出力初期値選択
	RLD	GiPOjレジスタ値リロードタイミング選択
	RTP (注1)	RTP出力モードまたは並列RTP出力モードを使用する場合は“1”にしてください。このビットが“1”の場合、MOD2~MOD0のビット値は無効になります
	INV	出力反転選択
G2BCR1	PRP	並列RTP出力モードを使用する場合は“1”にしてください
GiPOj	—	出力波形のレベルを反転させるタイミングを設定
GiFS	FSCj	“0”(波形生成機能)にしてください(グループ0、1のみ)
GiFE	IFEj	“1”(チャンネルjの機能を動作)にしてください
G2RTP	RTP0~RTP7	RTP出力モード、並列RTP出力モードでのRTP出力値を設定します

グループ、チャンネルによって、ビット構成、機能が違います。

ベースタイマ関連レジスタを設定した後に、波形生成機能関連レジスタを設定してください。

注1. このビットは、G2POCRjレジスタにあります。G0POCRj、G1POCRjレジスタにはありません。

23.3.1 単相波形出力モード(グループ0~2)

ベースタイマと GiPOj レジスタ (i=0~2, j=0~7) の値が一致すると IIOi_j 端子 (グループ2は OUTC2_j 端子) の出力レベルは“H”になり、ベースタイマが“0000h”になると“L”になります。GiPOCRj レジスタの IVL ビットを“1” (初期値として“H”を出力) にすると、波形出力開始時の出力レベルは“H”になります。INV ビットを“1” (出力を反転する) にすると、出力波形のレベルを反転して出力します。詳細は、図 23.25 を参照してください。

表 23.7 に単相波形出力モードの仕様を示します。

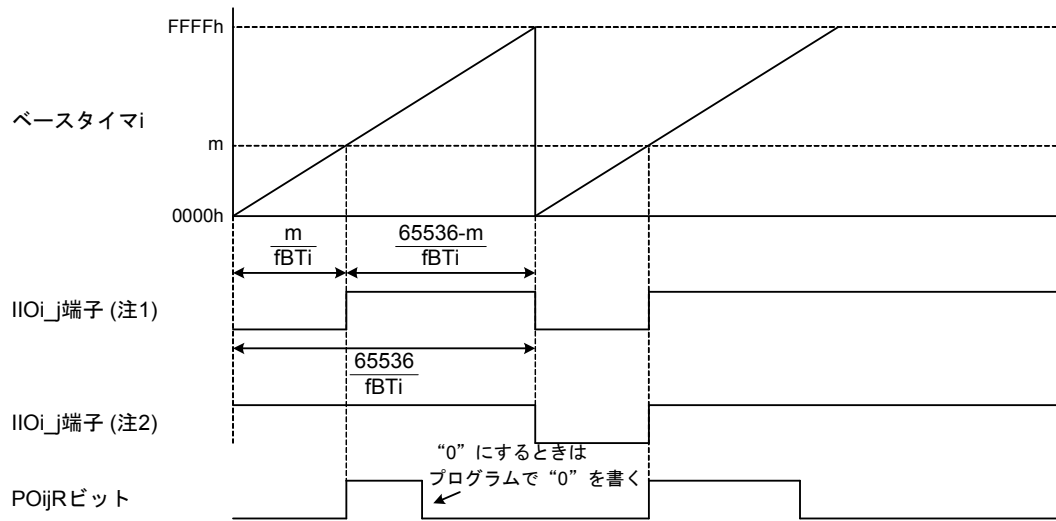
表 23.7 単相波形出力モードの仕様 (i=0~2)

項目	仕様
出力波形(注1)	<ul style="list-style-type: none"> フリーラン動作 (GiBCR1 レジスタの RST2~RST0 ビットが“000b”) の場合 周期: $\frac{65536}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ “H”幅: $\frac{65536 - m}{fBTi}$ <i>m</i>: GiPOj レジスタ (j=0~7) の設定値 0000h~FFFFh ベースタイマと GiPO0 レジスタが一致するとき、ベースタイマを“0000h”にする (GiBCR1 レジスタの RST2~RST0 ビットが“010b”) 場合 周期: $\frac{n+2}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ “H”幅: $\frac{n+2-m}{fBTi}$ <i>m</i>: GiPOj レジスタ (j=1~7) の設定値 0000h~FFFFh <i>n</i>: GiPO0 レジスタの設定値 0001h~FFFDh <i>m</i> ≥ <i>n</i> + 2 の場合、出力レベルは“L”固定
波形出力開始条件(注2)	GiFE レジスタの IFEj ビット (j=0~7) を“1” (チャンネルjの機能を動作) にする
波形出力停止条件	IFEj ビットを“0” (チャンネルjの機能を停止) にする
割り込み要求	ベースタイマと GiPOj レジスタの値が一致したときに、インテリジェント I/O 割り込み要求レジスタの POijR ビットが“1” (割り込み要求あり) になる (図 11.12 参照)
IIOi_j 端子 (出力) (グループ2は OUTC2_j 端子)	パルス出力
その他選択項目	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形のレベルを反転して、IIOi_j 端子 (グループ2は OUTC2_j 端子) から出力

注1. GiPOCRj レジスタの INV ビットが“1” (出力を反転する) の場合、“L”幅と“H”幅は逆になります。

注2. 時間計測機能と波形生成機能が共用されているチャンネルを使用する場合、GiFS レジスタの FSCj ビットを“0” (波形生成機能を選択) にしてください。

(A) フリーラン動作の場合 (GiBCRレジスタのRST2~RST0ビットが“000b”)



j=0~7

m: GiPOjレジスタの値 (0000h~FFFFh)

POijRビット: IIO0iR~IIO11iRレジスタのビット

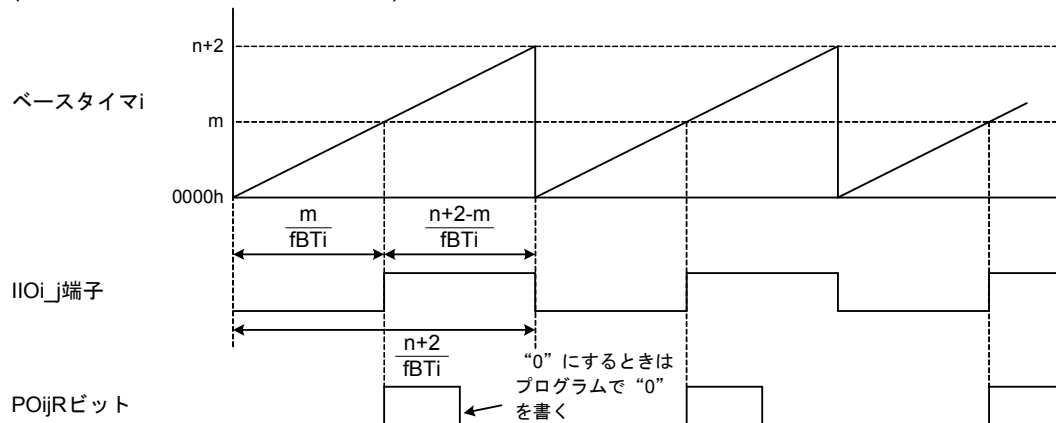
注1. GiPOCRjレジスタのINVビットが“0” (出力を反転しない)、IVLビットが“0” (初期値として“L”を出力)のときの波形です。

注2. INVビットが“0” (出力を反転しない)、IVLビットが“1” (初期値として“H”を出力)のときの波形です。

この図は以下の条件の場合です。

- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)

(B) ベースタイマとGiPO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



j=1~7

m: GiPOjレジスタの値 (0000h~FFFFh)

n: GiPO0レジスタの値 (0001h~FFFDh)

POijRビット: IIO0iR~IIO11iRレジスタのビット

この図は以下の条件の場合です。

- ・ GiPOCRjレジスタのIVLビットが“0” (初期値として“L”を出力)、INVビットが“0” (出力を反転しない)
- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)
- ・ $m < n + 2$

図 23.25 単相波形出力モードの動作例 (i=0~2)

23.3.2 反転波形出力モード(グループ0~2)

ベースタイマとGiPOjレジスタ(i=0~2,j=0~7)の値が一致するごとにIIoi_j端子(グループ2はOUTC2_j端子)の出力レベルを反転します。

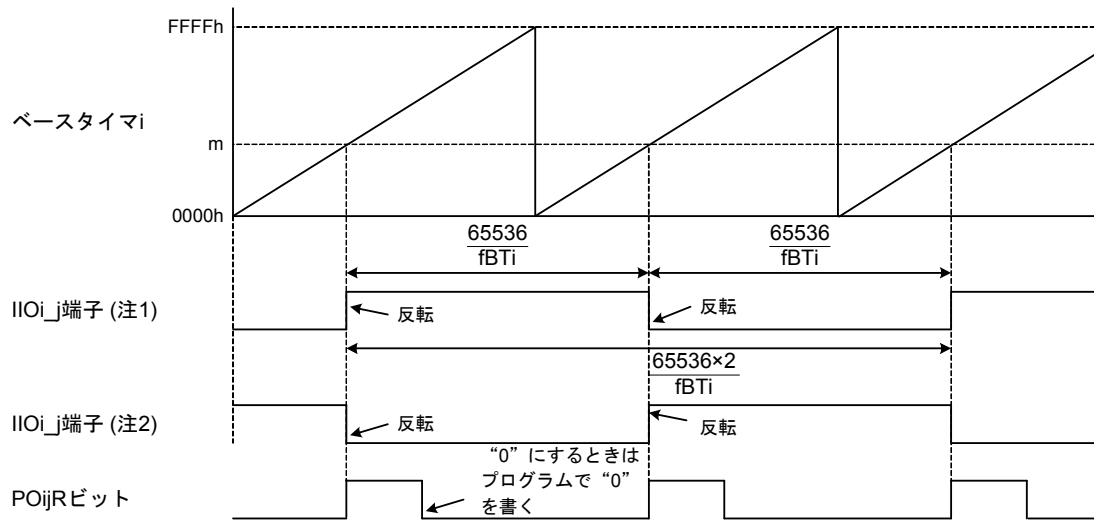
表 23.8に反転波形出力モードの仕様を、図 23.26に反転波形出力モードの動作例を示します。

表 23.8 反転波形出力モードの仕様 (i=0~2)

項目	仕様
出力波形	<ul style="list-style-type: none"> •フリーラン動作(GiBCR1レジスタのRST2~RST0ビットが“000b”)の場合 周期: $\frac{65536 \times 2}{fBTi}$ “H”幅、“L”幅: $\frac{65536}{fBTi}$ GiPOjレジスタ(j=0~7)の設定値(0000h~FFFFh) •ベースタイマとGiPO0レジスタが一致した時ベースタイマを“0000h”にする(RST2~RST0ビットが“010b”)場合 周期: $\frac{2(n+2)}{fBTi}$ “H”幅、“L”幅: $\frac{n+2}{fBTi}$ n: GiPO0レジスタの設定値(0001h~FFFDh) GiPOjレジスタ(j=1~7)の設定値(0000h~FFFFh) GiPOjレジスタの値$\geq n+2$の場合、出力レベルは反転しません
波形出力開始条件(注1)	GiFEレジスタのIFEjビット(j=0~7)を“1”(チャンネルjの機能を動作)にする
波形出力停止条件	GiFEレジスタのIFEjビットを“0”(チャンネルjの機能を停止)にする
割り込み要求	ベースタイマとGiPOjレジスタの値が一致したとき、インテリジェントI/O割り込み要求レジスタのPOijRビットが“1”(割り込み要求あり)になる(図 11.12参照)
IIoi_j端子(出力)(グループ2はOUTC2_j端子)	パルス出力
その他選択項目	<ul style="list-style-type: none"> •初期値設定機能 波形出力開始時の出力レベルを設定 •反転出力機能 出力波形のレベルを反転して、IIoi_j端子(グループ2はOUTC2_j端子)から出力

注1. 時間計測機能と波形生成機能が共用されているチャンネルを使用する場合、GiFSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

(A) フリーラン動作の場合 (GiBCR1レジスタのRST2~RST0ビットが“000b”)



j=0~7

m: GiPOjレジスタの値 (0000h~FFFFh)

POijRビット: IIO0iR~IIO11iRレジスタのビット

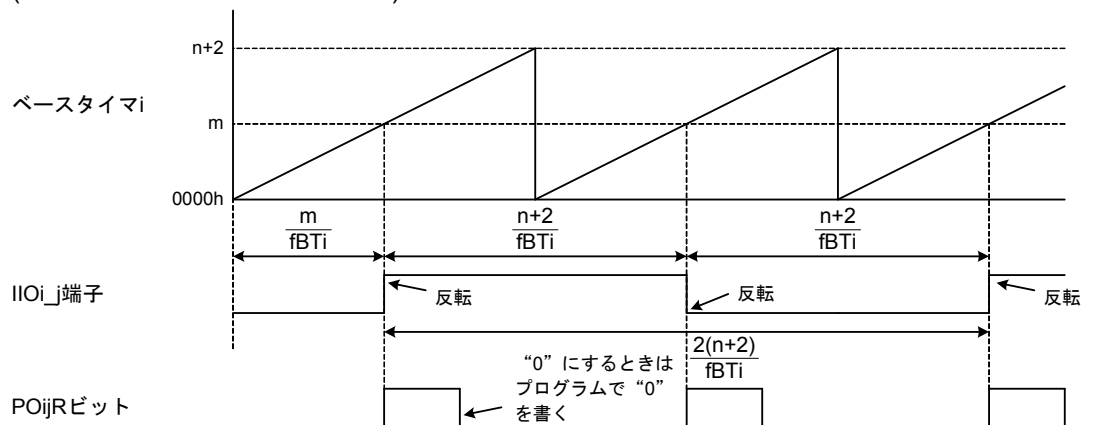
注1. GiPOCRjレジスタのINVビットが“0” (出力を反転しない)、IVLビットが“0” (初期値として“L”を出力)のときの波形です。

注2. INVビットが“0” (出力を反転しない)、IVLビットが“1” (初期値として“H”を出力)のときの波形です。

この図は以下の条件の場合です。

- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)

(B) ベースタイマとGiPO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



j=1~7

m: GiPOjレジスタの値 (0000h~FFFFh)

n: GiPO0レジスタの値 (0001h~FFFDh)

POijRビット: IIO0iR~IIO11iRレジスタのビット

この図は以下の条件の場合です。

- ・ GiPOCRjレジスタのIVLビットが“0” (初期値として“L”を出力)、INVビットが“0” (出力を反転しない)
- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)
- ・ $m < n + 2$

図 23.26 反転波形出力モード時の動作例 (i=0~2)

23.3.3 セット-リセット波形出力(SR波形出力)モード(グループ0~2)

ベースタイマとGiPOjレジスタ($i=0\sim 2, j=0, 2, 4, 6$)の値が一致するとIIOi_j端子(グループ2はOUTC2_j端子)の出力レベルは“H”になり、ベースタイマとGiPOkレジスタ($k=j+1$)の値が一致するか、ベースタイマが“0000h”になると“L”になります。GiPOCRjレジスタ($j=0\sim 7$)のIVLビットを“1”(初期値として“H”を出力)にすると、波形出力開始時の出力レベルは“H”になります。INVビットを“1”(出力を反転する)にすると、出力波形のレベルを反転して出力します。詳細は、図 23.27を参照してください。表 23.9にSR波形出力モードの仕様を示します。

表 23.9 SR波形出力モードの仕様 (i=0~2)

項目	仕様
出力波形(注1)	<ul style="list-style-type: none"> フリーラン動作(GiBCR1レジスタのRST2~RST0ビットが“000b”)の場合 <ul style="list-style-type: none"> (A) $m < n$ の場合 <ul style="list-style-type: none"> “H”幅: $\frac{n-m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ (注2) + $\frac{65536-n}{fBTi}$ (注3) (B) $m \geq n$ の場合 <ul style="list-style-type: none"> “H”幅: $\frac{65536-m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ m: GiPOjレジスタ (j=0, 2, 4, 6)の設定値 n: GiPOkレジスタ (k=j+1)の設定値 m、nの値は0000h~FFFFh ベースタイマとGiPO0レジスタが一致したとき、ベースタイマを“0000h”にする (RST2~RST0ビットが“010b”)場合(注4) <ul style="list-style-type: none"> (A) $m < n < p+2$ の場合 <ul style="list-style-type: none"> “H”幅: $\frac{n+m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ (注2) + $\frac{p+2-n}{fBTi}$ (注3) (B) $m < p+2 \leq n$ の場合 <ul style="list-style-type: none"> “H”幅: $\frac{p+2-m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ (C) $m \geq p+2$ の場合、出力レベルは“L”固定 p: GiPO0レジスタの設定値 m: GiPOjレジスタ (j=2, 4, 6)の設定値 n: GiPOkレジスタ (k=j+1)の設定値 pの値は0001h~FFFDh m、nの値は0000h~FFFFh
波形出力開始条件(注5)	GiFEレジスタのIFEqビット(q=0~7)を“1”(チャンネルqの機能を動作)にする
波形出力停止条件	GiFEレジスタのIFEqビットを“0”(チャンネルqの機能を停止)にする
割り込み要求	ベースタイマとGiPOjレジスタの値が一致したとき、インテリジェントI/O割り込み要求レジスタのPOijRビットが“1”になり、ベースタイマとGiPOkレジスタの値が一致したとき、POikRビットが“1”(割り込み要求あり)になる(図 11.12参照)
IIOi_j端子(出力)(グループ2はOUTC2_j端子)	パルス出力
その他選択項目	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形のレベルを反転して、IIOi_j端子(グループ2はOUTC2_j端子)から出力

注1. GiPOCRjレジスタのINVビットが“1”(出力を反転する)の場合、“L”幅と“H”幅は逆になります。

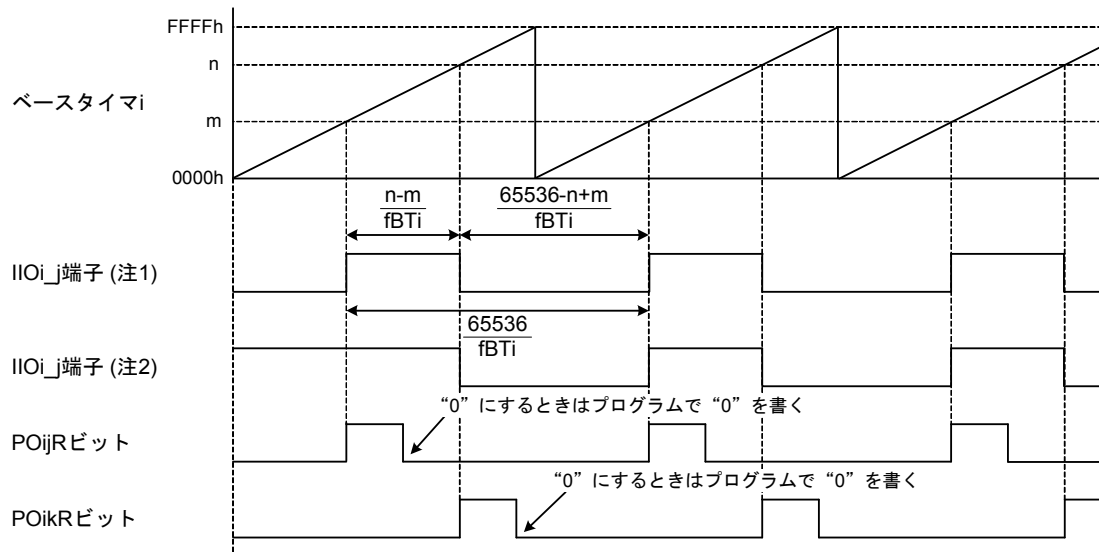
注2. ベースタイマをリセットしてから出力レベルが“H”になるまでの期間

注3. 出力レベルが“L”になってから、ベースタイマをリセットするまでの期間

注4. GiPO0レジスタとベースタイマの一致でベースタイマをリセットする場合、チャンネル0、1のSR波形生成機能は使用できません。

注5. 時間計測機能と波形生成機能が共用されているチャンネルを使用する場合、GiFSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

(A) フリーラン動作の場合 (GiBCR1レジスタのRST2~RST0ビットが“000b”)



$j=0, 2, 4, 6, k=j+1$

m: GiPOjレジスタの値 (0000h~FFFFh)

n: GiPOkレジスタの値 (0000h~FFFFh)

POijRビット、POikRビット: IIO0iR~IIO11iRレジスタのビット

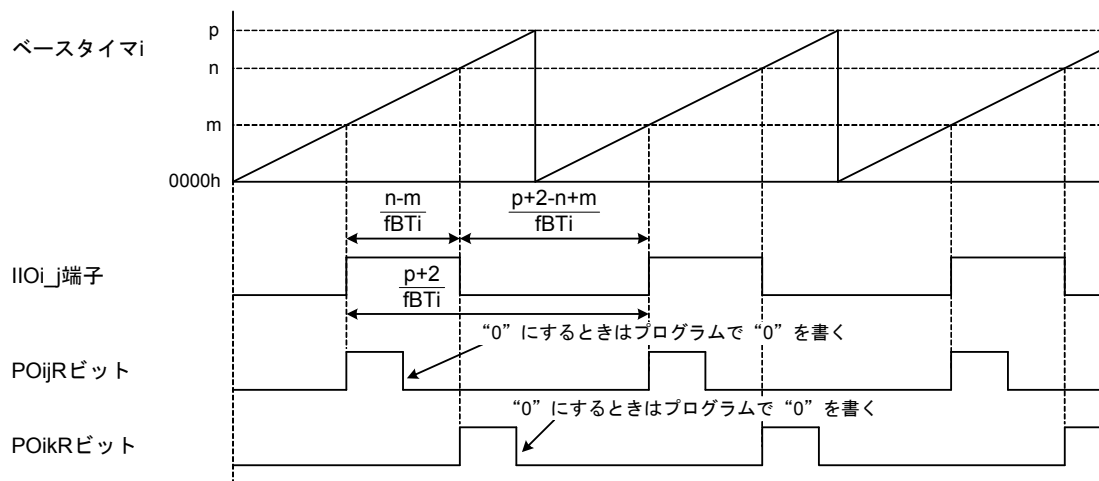
注1. GiPOCRjレジスタのINVビットが“0” (出力を反転しない)、IVLビットが“0” (初期値として“L”を出力)のときの波形です。

注2. INVビットが“0” (出力を反転しない)、IVLビットが“1” (初期値として“H”を出力)のときの波形です。

この図は以下の条件の場合です。

- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)
- ・ $m < n$

(B) ベースタイマとGiPO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



$j=2, 4, 6, k=j+1$

m: GiPOjレジスタの値 (0000h~FFFFh)

n: GiPOkレジスタの値 (0000h~FFFFh)

p: GiPO0レジスタの値 (0001h~FFFDh)

POijRビット、POikRビット: IIO0iR~IIO11iRレジスタのビット

この図は以下の条件の場合です。

- ・ GiPOCRkレジスタのIVLビットが“0” (初期値として“L”を出力)、INVビットが“0” (出力を反転しない)
- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)
- ・ $m < n < p + 2$

図 23.27 SR波形出力モードの動作例 ($i=0\sim 2$)

23.3.4 ビットモジュレーションPWM出力モード(グループ2)

ビットモジュレーションPWM出力モードでは、16ビット分解能のPWM出力をすることができます。

1024回連続した小区間tを1周期とするパルスを繰り返し出力します。小区間tの周期は $\frac{64}{f_{BT2}}$ で、“L”

の基本幅はG2POjレジスタ(j=0~7)の上位6ビットで設定し、下位10ビットで最小分解能ビット幅(1クロック)を付加した“L”幅の1周期における小区間数を設定します。

INVビットを“1”(出力を反転する)にすると、出力波形のレベルを反転して出力します。

表 23.10にビットモジュレーションPWM出力モードの仕様を、表 23.11にモジュレート付加小区間数と最小分解能ビット幅を付加する小区間tの関係を、図 23.28にビットモジュレーションPWM出力モードの動作例を示します。

表 23.10 ビットモジュレーションPWM出力モードの仕様

項目	仕様
出力波形(注1、2)	PWMの繰り返し周期T: $\frac{65536}{f_{BT2}} (= \frac{64}{f_{BT2}} \times 1024)$ 小区間tの周期: $\frac{64}{f_{BT2}}$ “L”幅: m区間で $\frac{n+1}{f_{BT2}}$ 、(1024-m)区間で $\frac{n}{f_{BT2}}$ 平均“L”幅: $\frac{1}{f_{BT2}} \times \left(n + \frac{m}{1024} \right)$ n: G2POjレジスタ(j=0~7)の設定値(上位6ビット) 00h~3Fh m: G2POjレジスタの設定値(下位10ビット) 000h~3FFh
波形出力開始条件	G2FEレジスタのIFEjビットを“1”(チャンネルjの機能を動作)にする
波形出力停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
割り込み要求	ベースタイマの下位6ビットとG2POjレジスタの上位6ビットで設定した値が一致したとき、割り込み要求レジスタのPO2jRビットが“1”(割り込み要求あり)になる(図 11.12参照)
OUTC2_j端子	パルス出力
その他選択項目	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形のレベルを反転して、OUTC2_j端子から出力

注1. ビットモジュレーションPWM出力モードを使用する場合は、G2BCR1レジスタのRST2~RST0ビットを“000b”にしてください。

注2. G2POCRjレジスタのINVビットが“1”の場合、“L”幅と“H”幅は逆になります。

表 23.11 モジュレート付加小区間数と最小分解能ビット幅を付加する小区間tの関係

モジュレート付加小区間数	最小分解能ビット幅を付加する小区間
00 0000 0000b	なし
00 0000 0001b	t512
00 0000 0010b	t256, t768
00 0000 0100b	t128, t384, t640, t896
00 0000 1000b	t64, t192, t320, t448, t576, t704, t832, t960
:	:
10 0000 0000b	t1, t3, t5, t7, ... t1019, t1021, t1023

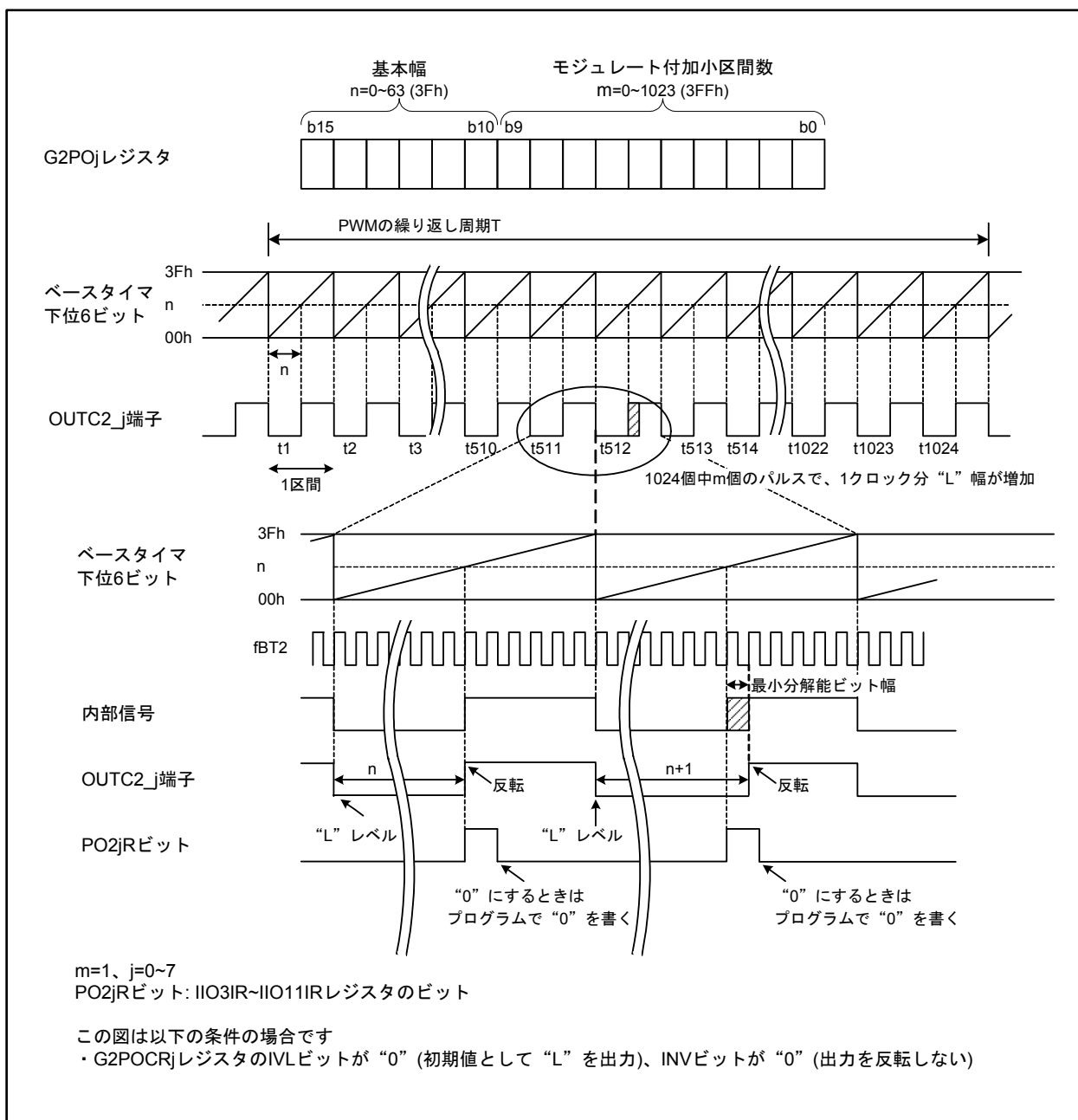


図 23.28 ビットモジュレーションPWM出力モードの動作例

23.3.5 リアルタイムポート(RTP)出力モード(グループ2)

ベースタイマと G2POj レジスタ (j=0~7) の値が一致すると、G2RTP レジスタで設定した値をビット単位で OUTC2_j 端子から出力します。表 23.12 に RTP 出力モードの仕様を、図 23.29 に RTP 出力機能のブロック図を、図 23.30 に RTP 出力モード動作例を示します。

表 23.12 RTP 出力モードの仕様

項目	仕様
波形出力開始条件	G2FE レジスタの IFEj ビット (j=0~7) を “1” (チャンネルjの機能を動作) にする
波形出力停止条件	G2FE レジスタの IFEj ビットを “0” (チャンネルjの機能を停止) にする
割り込み要求	ベースタイマと G2POj レジスタの値 (0000h~FFFFh(注1)) が一致したとき、割り込み要求レジスタの PO2jR ビットが “1” (割り込み要求あり) になる (図 11.12 参照)
OUTC2_j 端子	RTP 出力
その他選択項目	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形のレベルを反転して、OUTC2_j 端子から出力

注1. ベースタイマと G2PO0 レジスタが一致するとき、ベースタイマを “0000h” にする (G2BCR1 レジスタの RST2~RST0 ビットが “010b”) 場合、G2PO0 レジスタの値は 0001h~FFFDh にしてください。

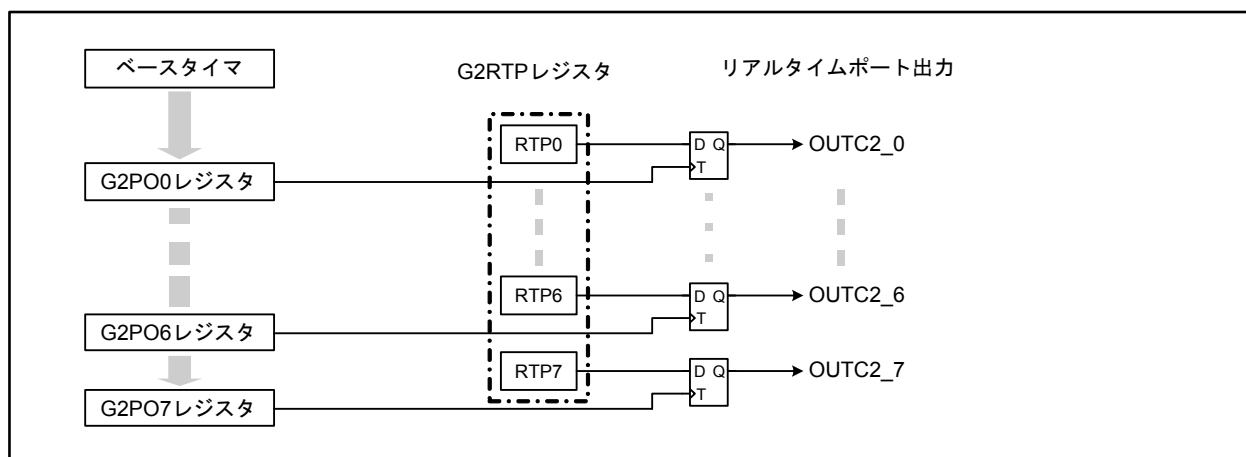
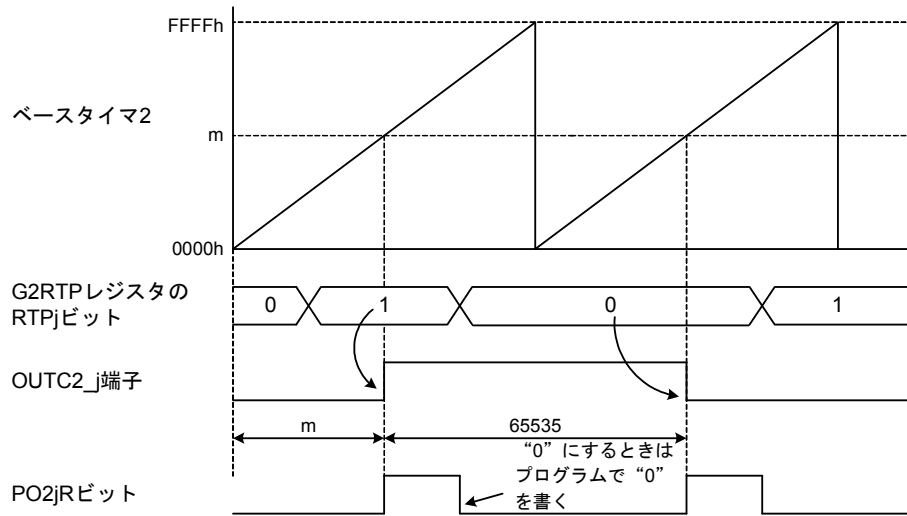


図 23.29 RTP 出力機能のブロック図

(A) フリーラン動作の場合 (G2BCR1レジスタのRST2~RST0ビットが“000b”)



j=0~7

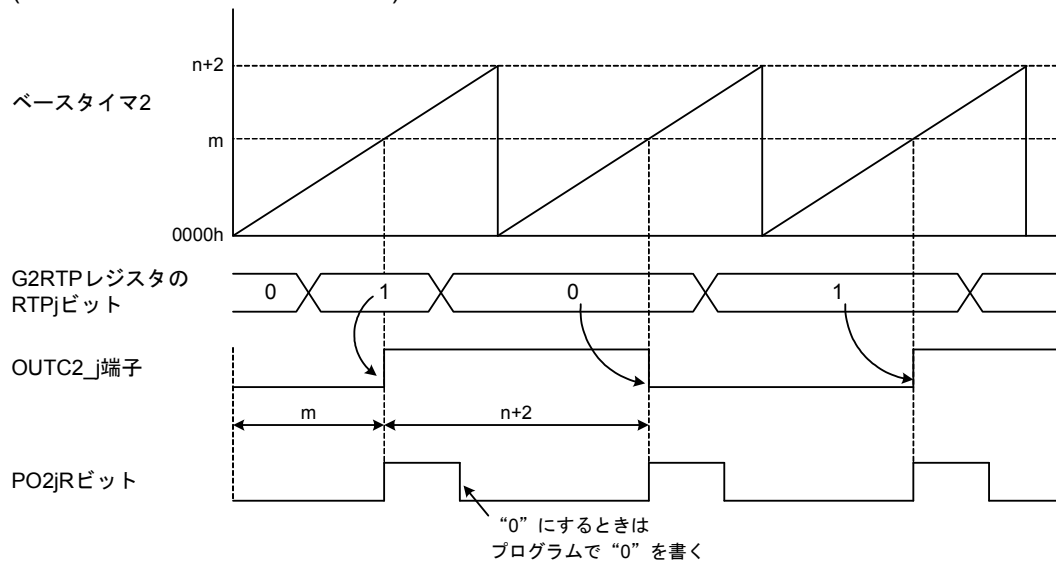
m: G2POjレジスタの値 (0000h~FFFFh)

PO2jRビット: IIO03R~IIO11Rレジスタのビット

この図は以下の条件の場合です。

- ・ G2POCRjレジスタのIVLビットが“0” (初期化として“L”を出力)、IVLビットが“0” (出力を反転しない)

(B) ベースタイマとG2PO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



j=1~7

m: G2POjレジスタの値 (0000h~FFFFh)

n: G2POjレジスタの値 (0001h~FFFDh)

PO2jRビット: IIO03R~IIO11Rレジスタのビット

この図は以下の条件の場合です。

- ・ G2POCRjレジスタのIVLビットが“0” (初期値として“L”を出力)、INVビットが“0” (出力を反転しない)
- ・ $m < n+2$

図 23.30 RTP出力モードの動作例

23.3.6 並列リアルタイムポート(RTP)出力モード(グループ2)

ベースタイマと G2PO_j レジスタ (j=0~7) の値が一致すると、G2RTP レジスタで設定したすべての値をバイト単位で OUTC2_j 端子から出力します。表 23.13 に並列 RTP 出力モードの仕様を、図 23.7 に G2BCR1 レジスタを示します。図 23.31 に並列 RTP 出力機能のブロック図を、図 23.32 に並列 RTP 出力モードの動作例を示します。

表 23.13 並列 RTP 出力モードの仕様

項目	仕様
波形出力開始条件	G2FE レジスタの IFE _j ビット (j=0~7) を“1” (チャンネル j の機能を動作) にする
波形出力停止条件	IFE _j ビットを“0” (チャンネル j の機能を停止) にする
割り込み要求	ベースタイマと G2PO _j レジスタの値 (0000h~FFFFh (注1)) が一致したとき、割り込み要求レジスタの PO2 _j R ビットが“1” (割り込み要求あり) になる (図 11.12 参照)
OUTC2 _j 端子	RTP 出力
その他選択項目	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形のレベルを反転して、OUTC2_j 端子から出力

注1. ベースタイマと G2PO0 レジスタが一致するとき、ベースタイマを“0000h”にする (G2BCR1 レジスタの RST2~RST0 ビットが“010b”) 場合、G2PO0 レジスタの値は 0001h~FFFDh にしてください。

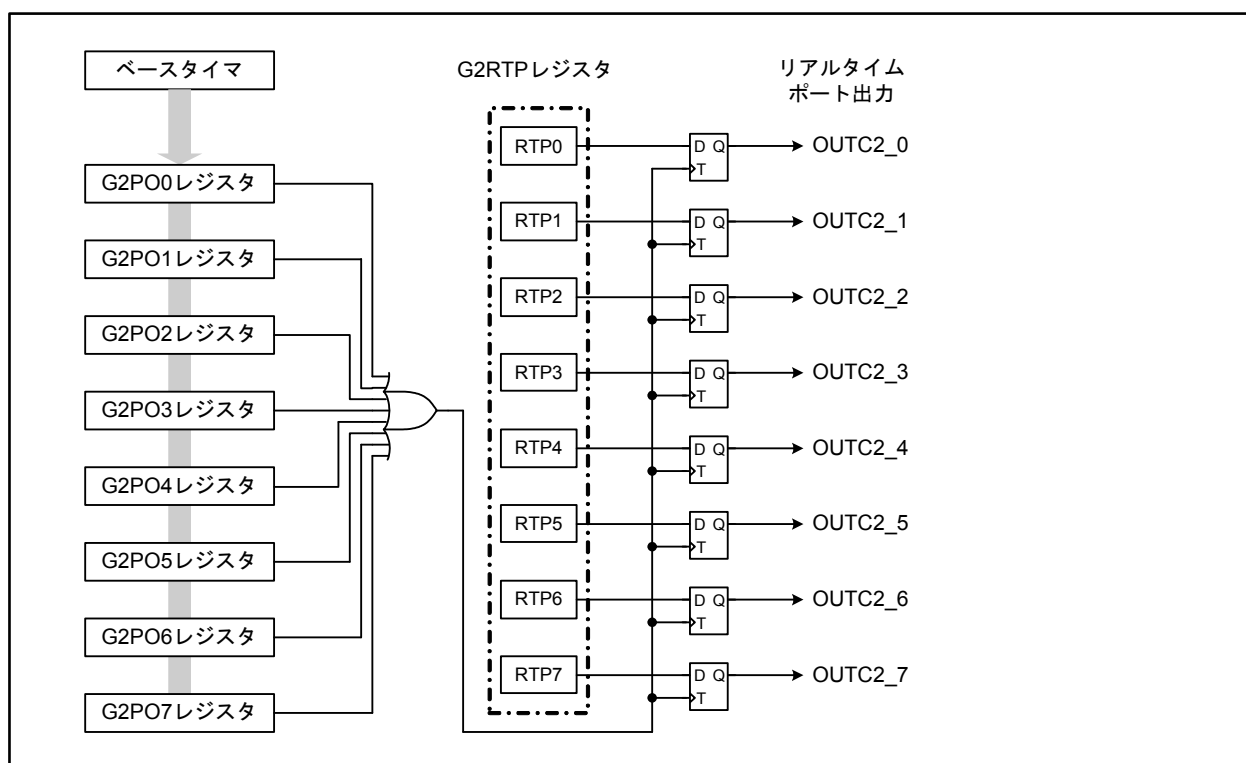


図 23.31 並列 RTP 出力機能のブロック図

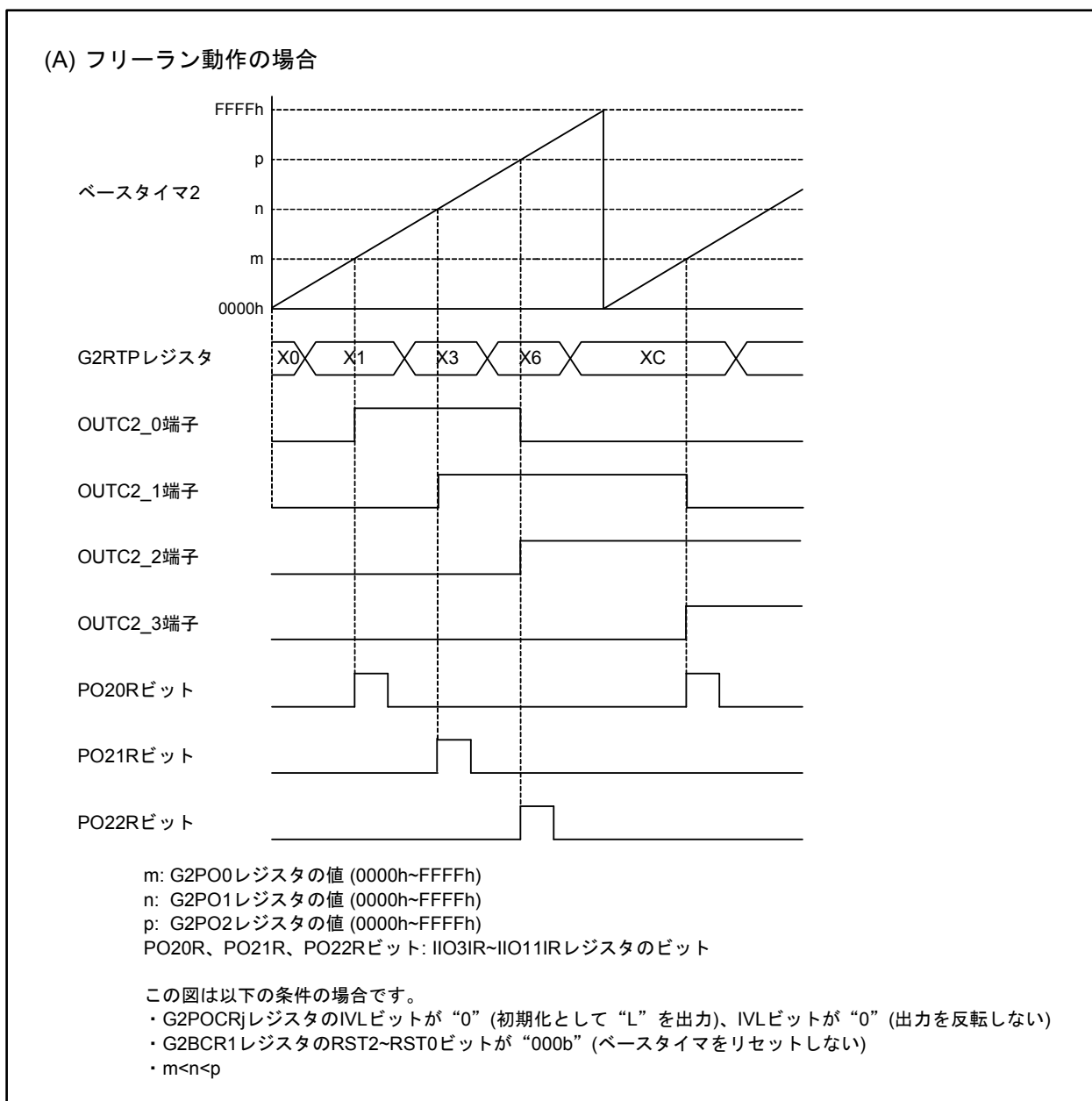


図 23.32 並列RTP出力モードの動作例

23.4 グループ2通信機能

2本の8ビットシフトレジスタと波形生成機能を使用することで通信機能は動作します。

インテリジェント I/O グループ2では、可変長クロック同期型シリアル I/O または IEBus 通信 (オプション(注1))を行います。

図 23.33~図 23.40 に関連するレジスタを示します。

注1. オプション機能をご使用になる場合は、弊社営業窓口までお問い合わせください。

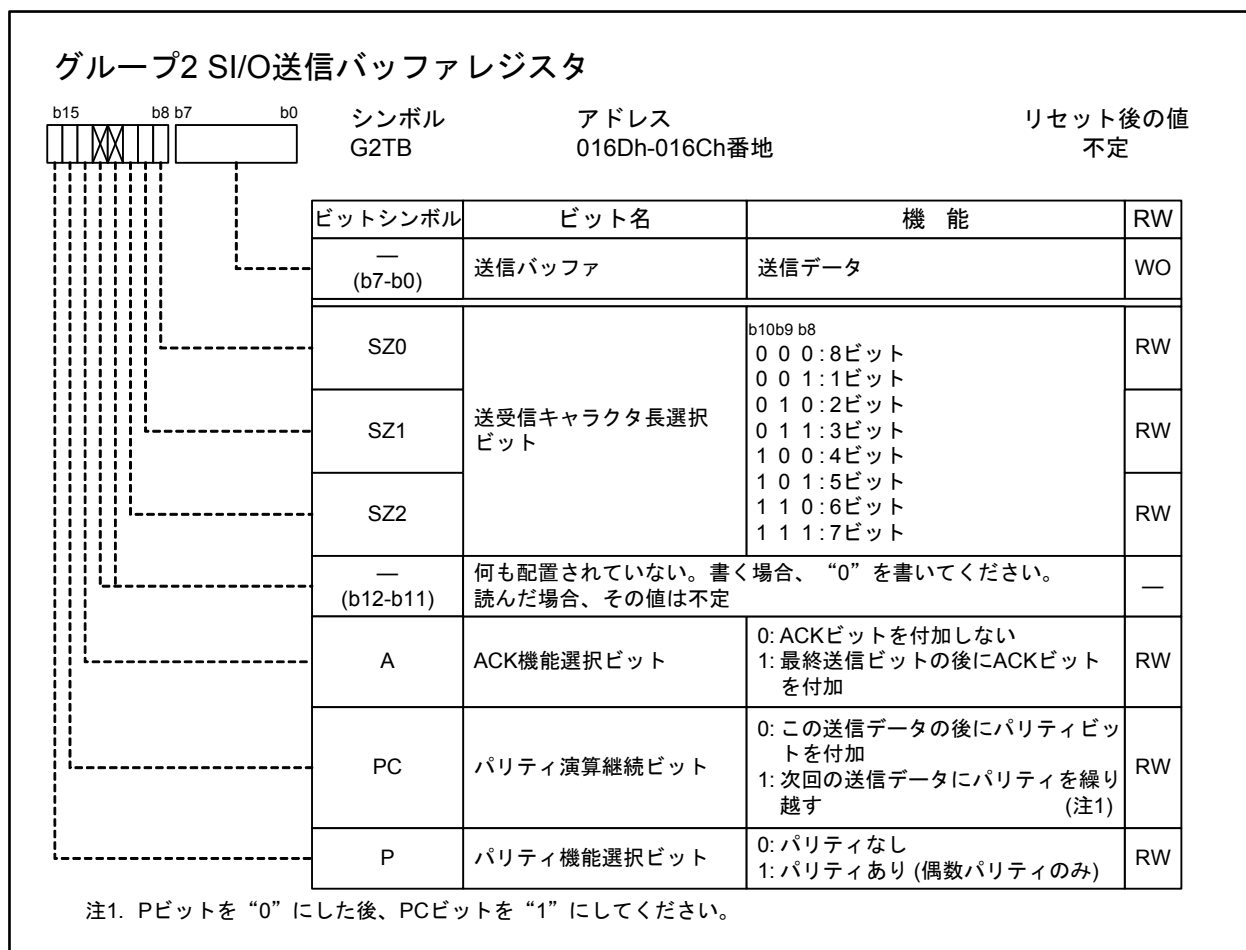


図 23.33 G2TB レジスタ

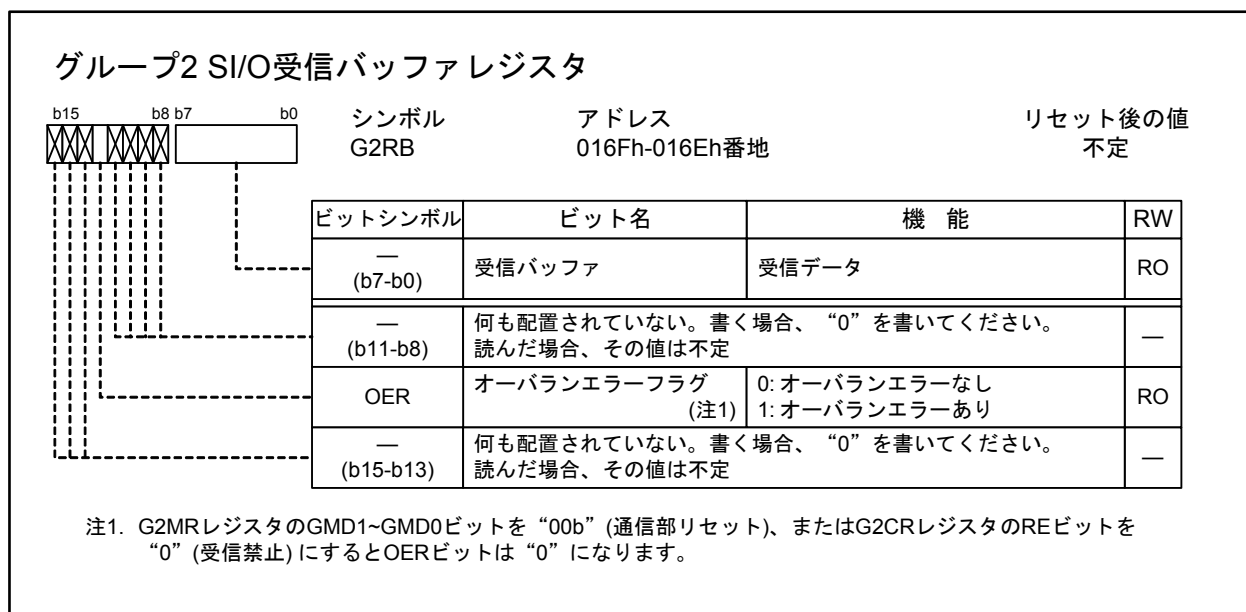


図 23.34 G2RB レジスタ

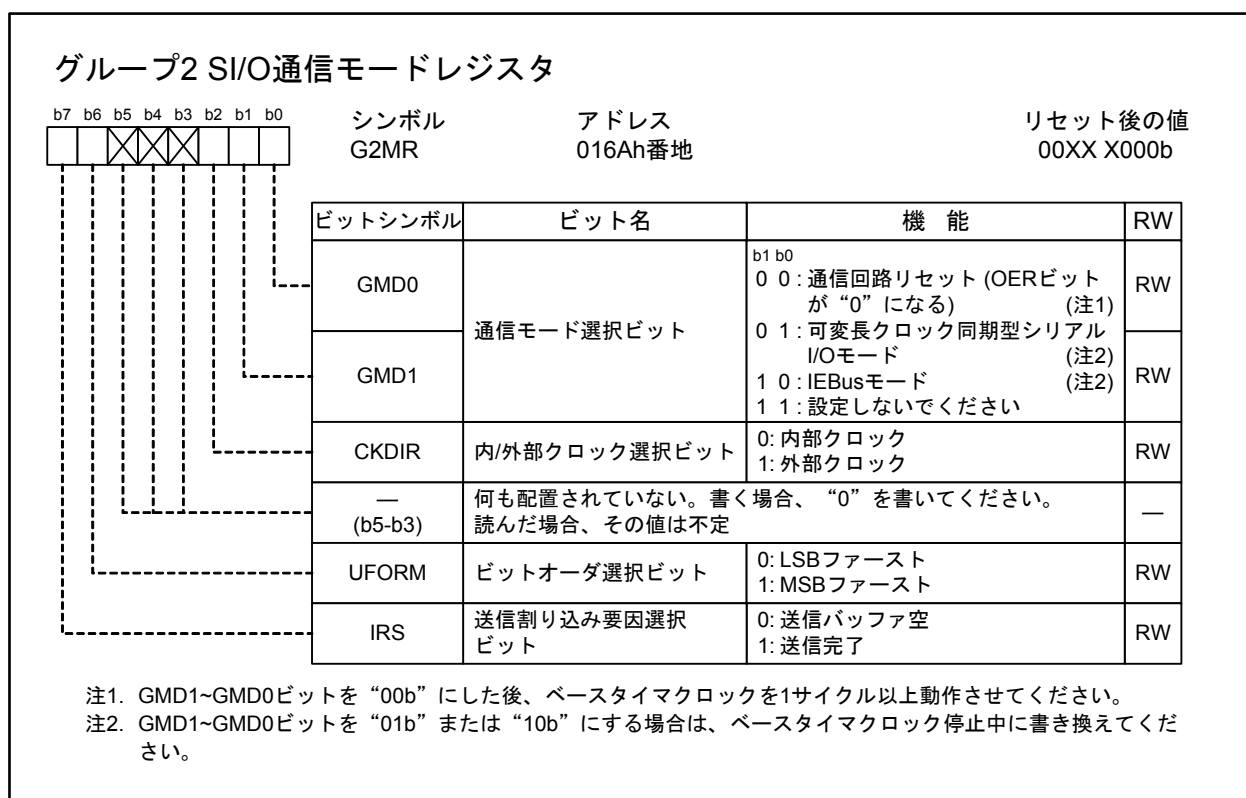


図 23.35 G2MR レジスタ

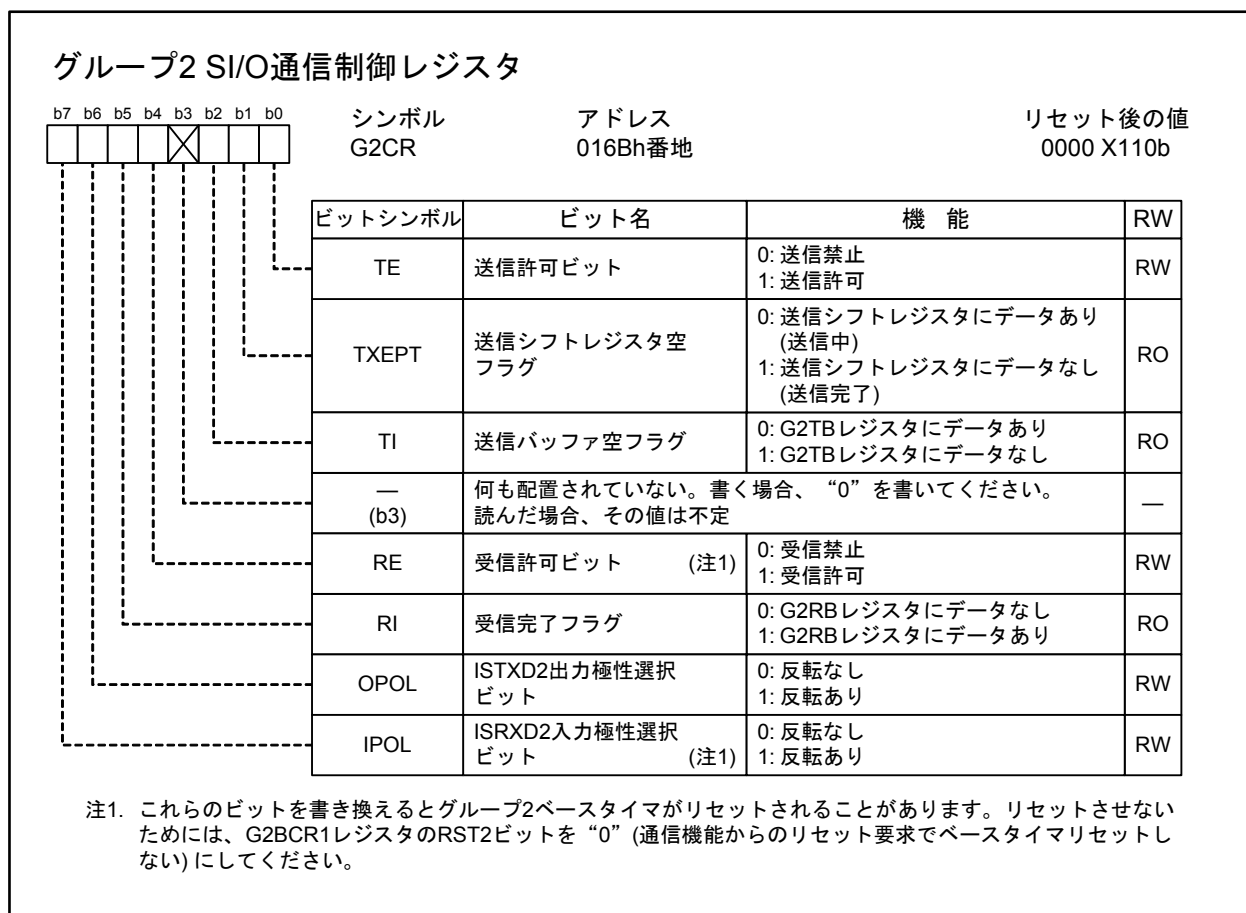


図 23.36 G2CR レジスタ

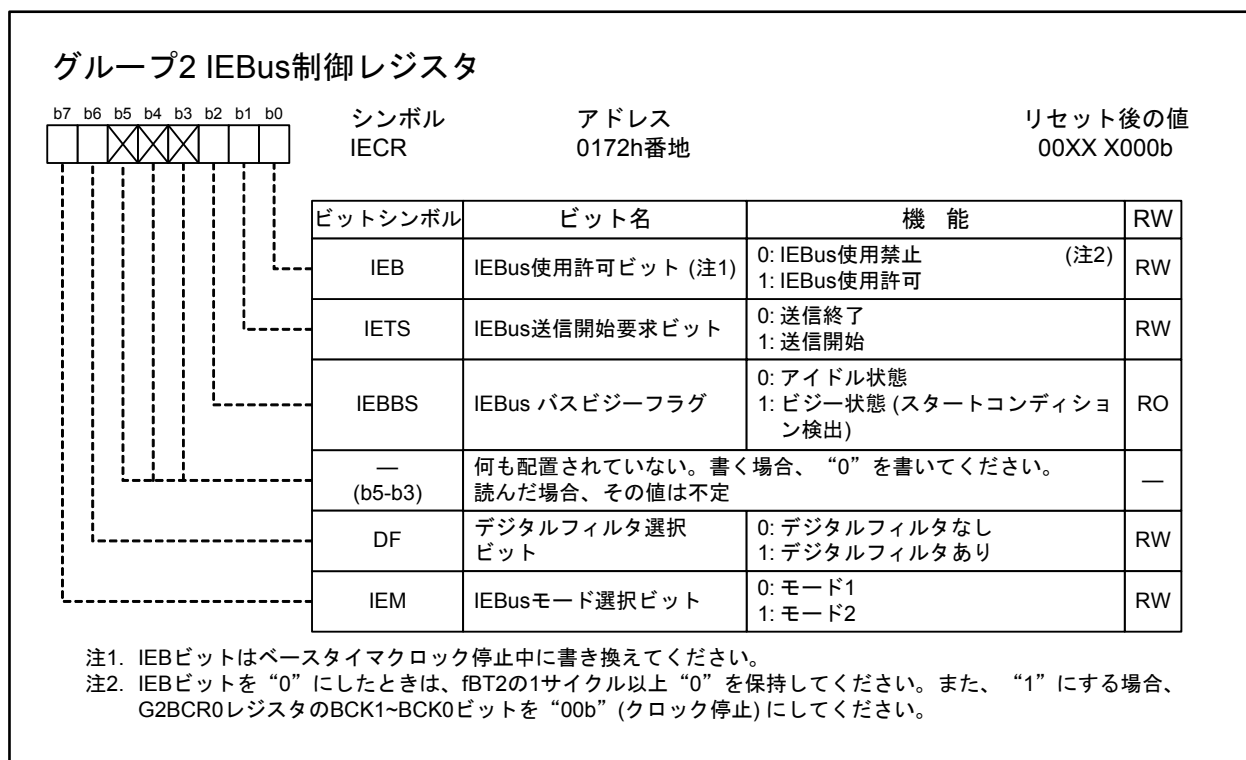


図 23.37 IECR レジスタ

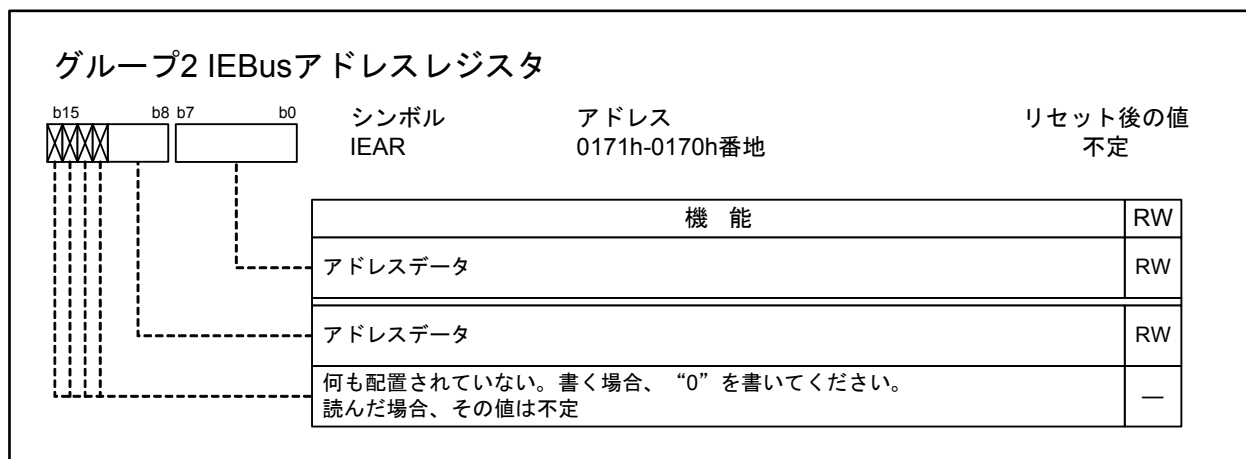


図 23.38 IEAR レジスタ

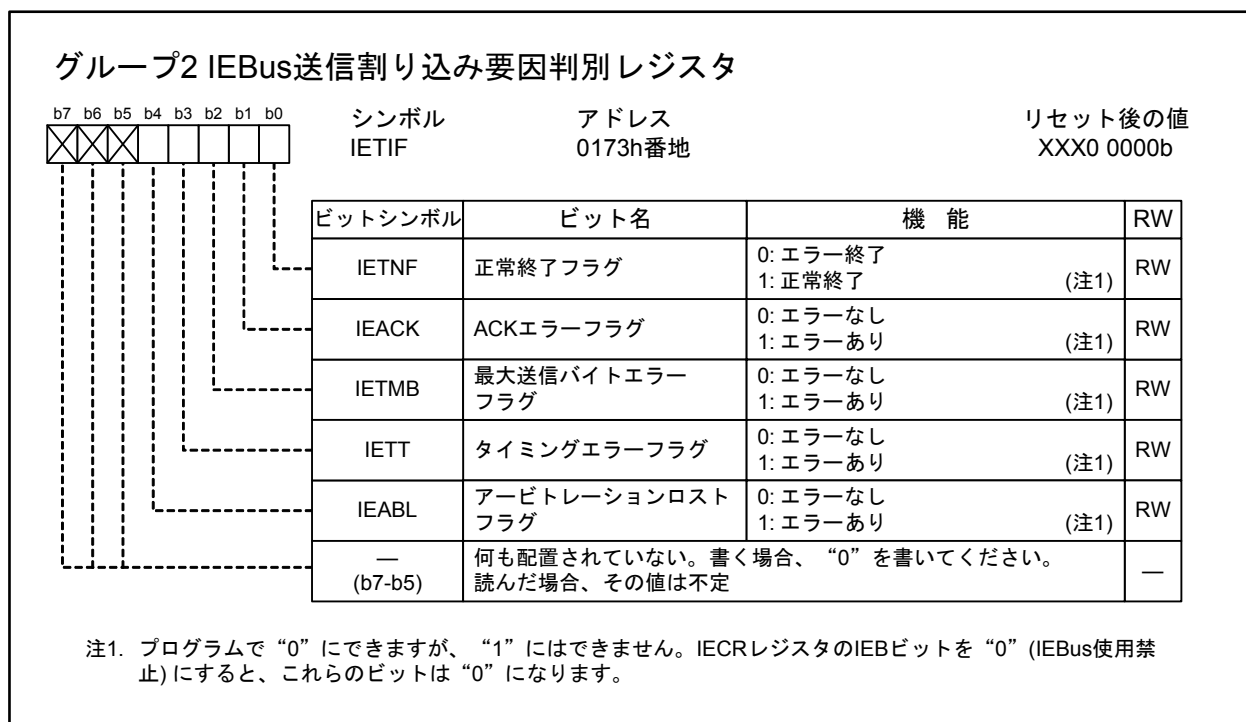


図 23.39 IETIF レジスタ

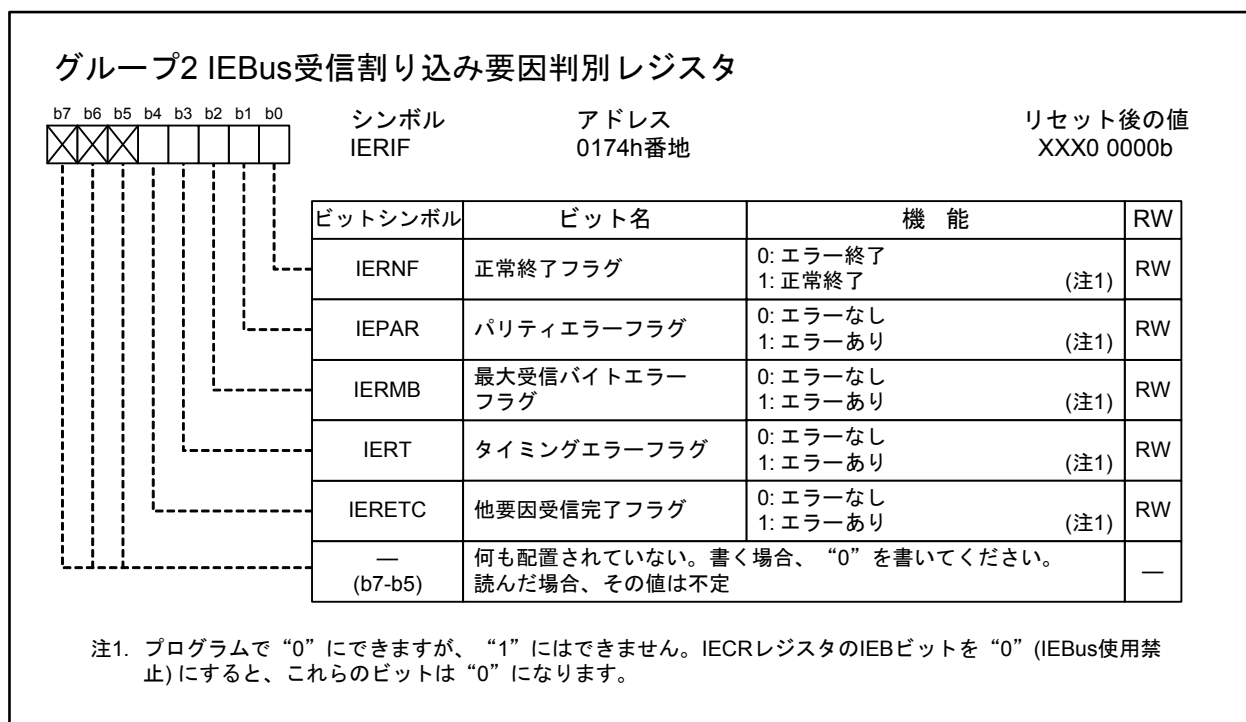


図 23.40 IERIF レジスタ

23.4.1 可変長クロック同期型シリアルI/Oモード(グループ2)

送受信クロックに同期してデータ送受信を行うモードです。このモードでは、キャラクタ長を1~8ビットから選択できます。表 23.14にグループ2の可変長クロック同期型シリアルI/Oモードの仕様を、表 23.15に使用レジスタと設定値を、図 23.41に送信、受信動作例を示します。

表 23.14 グループ2の可変長クロック同期型シリアルI/Oモードの仕様

項目	仕様
データフォーマット	キャラクタ長: 1~8ビット
送受信クロック	<ul style="list-style-type: none"> • G2MRレジスタのCKDIRビットが“0”(内部クロック選択): $\frac{f_{BT2}}{2(n+2)}$ n: G2PO0レジスタの設定値(0000h~FFFFh)(注1) ビットレートをG2PO0レジスタで決定し、チャンネル2波形生成機能、反転波形出力モードで生成 • CKDIRビットが“1”(外部クロック選択): ISCLK2端子へ入力(注2)
送信開始条件	送信開始には以下の条件が必要です <ul style="list-style-type: none"> • G2CRレジスタのTEビットが“1”(送信許可) • G2CRレジスタのTIビットが“0”(G2TBレジスタにデータあり)
受信開始条件	受信開始には以下の条件が必要です <ul style="list-style-type: none"> • G2CRレジスタのREビットが“1”(受信許可) • G2CRレジスタのTEビットが“1”(送信許可) • G2CRレジスタのTIビットが“0”(G2TBレジスタにデータあり)
割り込み要求	送信時 以下の条件のいずれかを選択できます。条件が成立するとIIO6IRレジスタのSIO2TRビットが“1”(割り込み要求あり)になります(図 11.12参照) <ul style="list-style-type: none"> • G2MRレジスタのIRSビットが“0”(G2TBレジスタ空で割り込み)の場合、G2TBレジスタから送信シフトレジスタへデータが転送された時(送信開始時) • IRSビットが“1”(送信完了で割り込み)の場合、送信シフトレジスタからのデータ送信が完了した時 受信時 受信シフトレジスタからG2RBレジスタへデータが転送された時(受信完了時)、IIO5IRレジスタのSIO2RRビットが“1”(割り込み要求あり)になります(図 11.12参照)
エラー検出	オーバーランエラー(注3) G2RBレジスタを読む前に次のデータ受信を開始し、最終ビットのデータを受信すると発生
その他選択項目	<ul style="list-style-type: none"> • ビットオーダ選択 LSBファーストまたはMSBファーストを選択できます • シリアルデータ極性切り替え ISTXD2、ISRXD2端子の送受信データの極性を反転することができます • 送受信キャラクタ長選択 送受信キャラクタ長を1~8ビットの間で設定できます

注1. 通信機能を使用する場合、G2PO0レジスタには1以上を設定してください。

注2. 送受信クロック周波数が、fBT2を20分周した周波数を超えないようにしてください。

注3. オーバーランエラーが発生した場合、G2RBレジスタは不定になります。

表 23.15 グループ2の可変長クロック同期型シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
G2BCR0	BCK1~BCK0	“11b”にしてください
	DIV4~DIV0	カウントソースの分周比を選択してください
	IT	“0”にしてください
G2BCR1	7~0	“0001 0010b”にしてください
G2POCR0	7~0	“0000 0111b”にしてください
G2POCR1	7~0	“0000 0111b”にしてください
G2POCR2	7~0	“0000 0010b”にしてください
G2PO0	15~0	波形生成用の比較値を設定してください $\frac{f_{BT2}}{2 \times (\text{設定値} + 2)}$ が送受信クロック周波数になります
G2PO2	15~0	G2PO0レジスタの値より小さい値を設定してください
G2FE	IFE2~IFE0	“111b”にしてください
G2MR	GMD1~GMD0	“01b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
	IRS	送信割り込み要因を選択してください
G2CR	TE	送受信を許可する場合、“1”にしてください
	TXEPT	送信シフトレジスタ空フラグ
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	OPOL	ISTXD2出力極性切り替え(通常は“0”にしてください)
	IPOL	ISRXD2入力極性切り替え(通常は“0”にしてください)
G2TB	15~0	送受信キャラクタ長、送信データを書いてください
G2RB	15~0	受信データとエラーフラグが格納されます

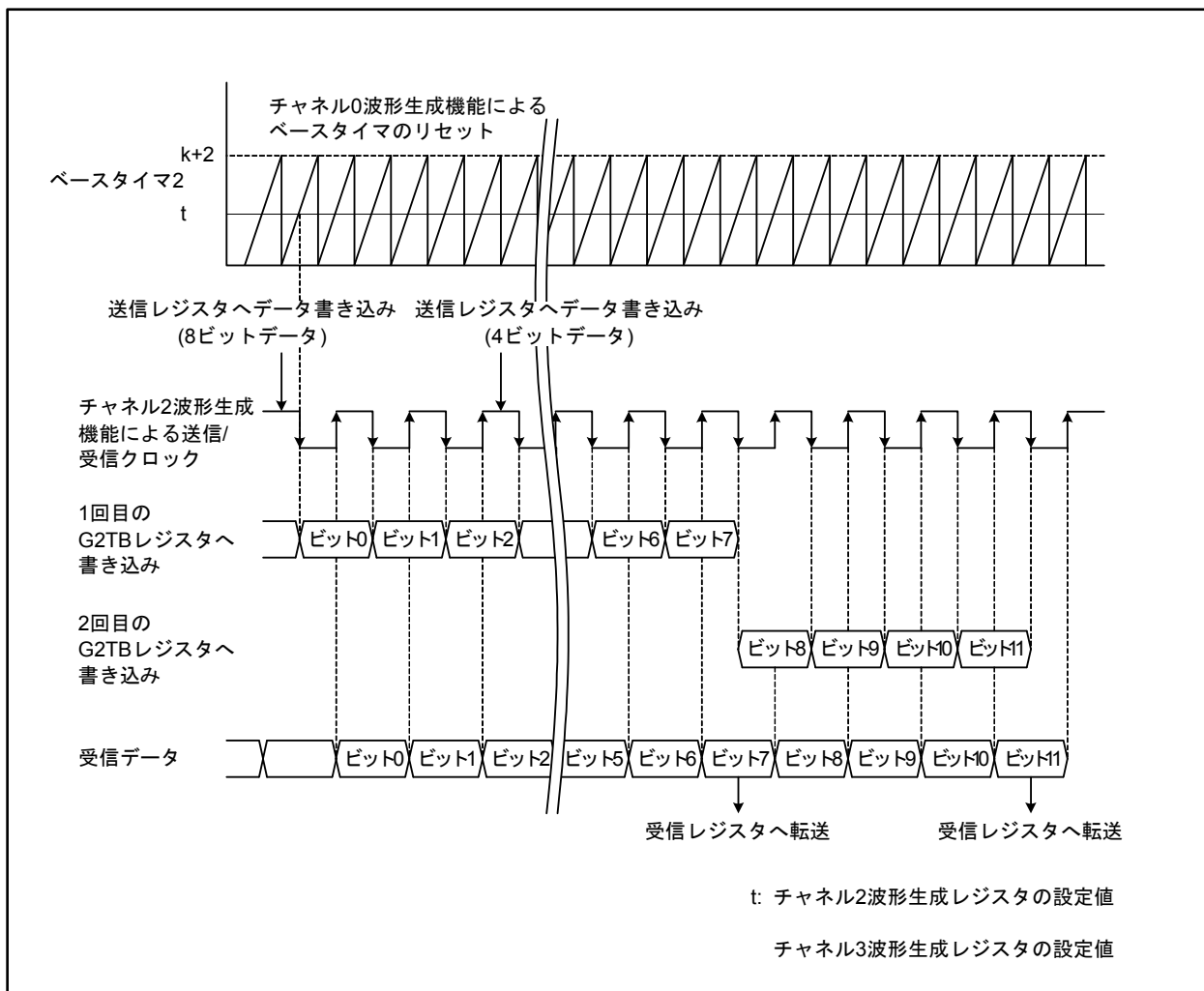


図 23.41 グループ2の変長クロック同期型シリアルI/Oモード時の送信、受信動作例

24. マルチマスタ I²C バスインタフェース

マルチマスタ I²C バスインタフェース (MMI²C) は、I²C バスのデータ送受信フォーマットに基づいてシリアル送受信を行う回路です。アービトラクションロスト検出機能とクロック同期機能を持ちます。表 24.1 にマルチマスタ I²C バスインタフェースの仕様を、表 24.2 にマルチマスタ I²C バスインタフェースの検出機能を、図 24.1 にマルチマスタ I²C バスインタフェースのブロック図を示します。

表 24.1 マルチマスタ I²C バスインタフェースの仕様

項目	機能
データフォーマット	I ² C バス規格準拠 <ul style="list-style-type: none"> 7ビットアドレッシングフォーマット 高速モード 標準モード
マスタ / スレーブデバイス	選択可能
入出力端子	シリアルデータライン: MSDA (SDA) シリアルクロックライン: MSCL (SCL)
送受信クロック	16.1k ~ 400kbps (ϕ IIC = 4 MHz) ϕ IIC: I ² C バスシステムクロック
送受信モード	I ² C バス規格準拠 <ul style="list-style-type: none"> マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
割り込み要求	<ul style="list-style-type: none"> I²C バスインタフェース割り込み: 6種類 (送信完了、受信完了、スレーブアドレス一致検出、ジェネラルコールアドレス検出、ストップコンディション検出、タイムアウト検出) I²C バスライン割り込み: 2種類 (MSDA 端子、MSCL 端子の立ち上がりまたは立ち下がり)
その他の機能	<ul style="list-style-type: none"> タイムアウト検出 バスビジー中に一定時間以上 MSCL 端子のレベルが“H”になったことを検出する機能 フリーフォーマット選択 スレーブアドレスの値にかかわらず、1バイト目の受信時に割り込み要求発生を選択する機能

表 24.2 マルチマスタI²Cバスインタフェースの検出機能

項目	機能
スレーブアドレス一致検出	スレーブ受信時、スレーブアドレスの検出を行い、一致した場合はACKを自動的に送じます。一致しない場合はNACKを送出し、それ以降は送受信を行いません
ジェネラルコールアドレス検出	スレーブ受信時、ジェネラルコールアドレスを検出します
アービトレーションロスト検出	アービトレーションロストを検出し、検出時はただちにMSDA端子の出力を停止します
バスビジー検出	バスビジーを検出しBBSYビットをセット/リセットします

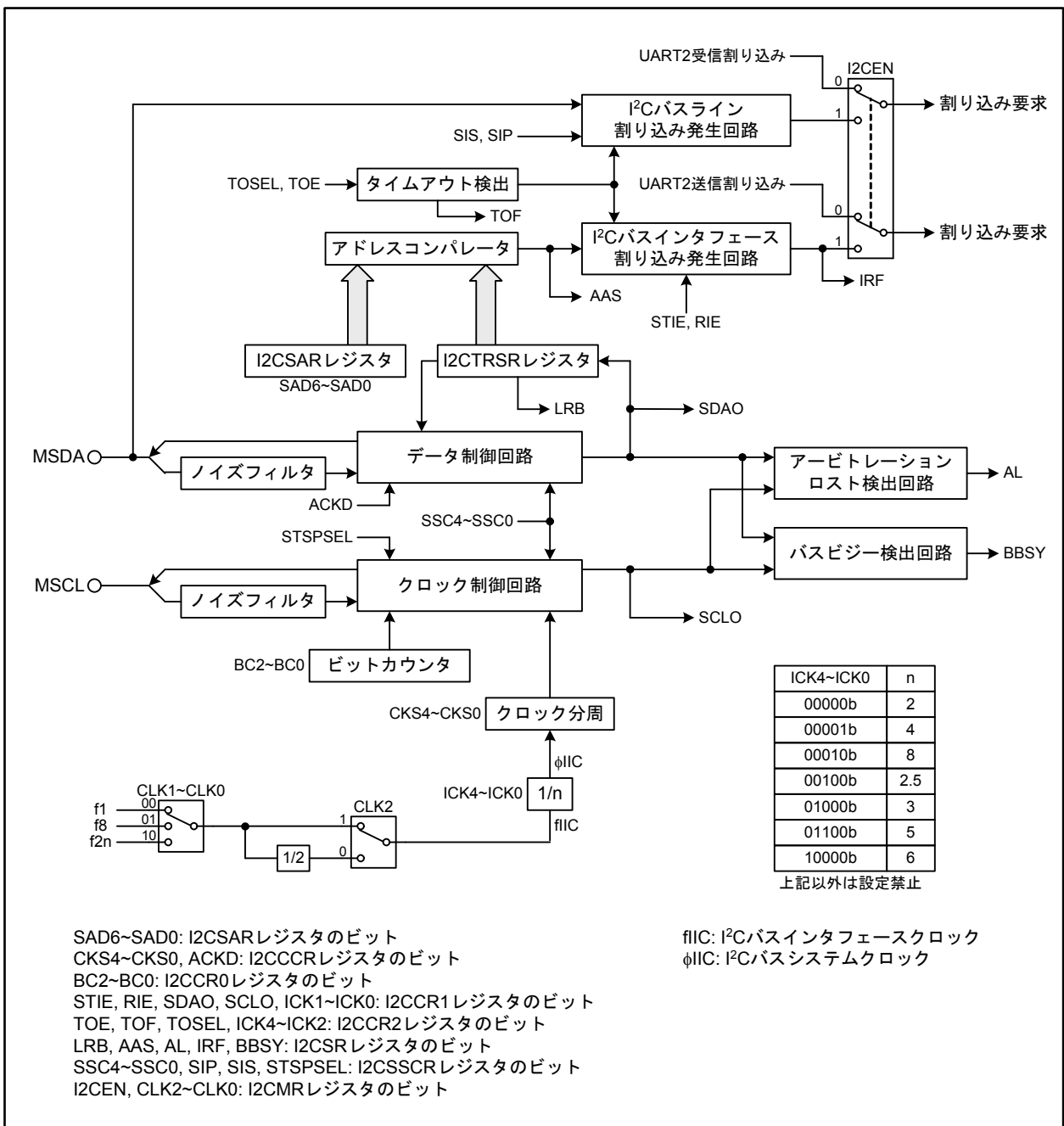


図 24.1 マルチマスタI²Cバスインタフェースのブロック図

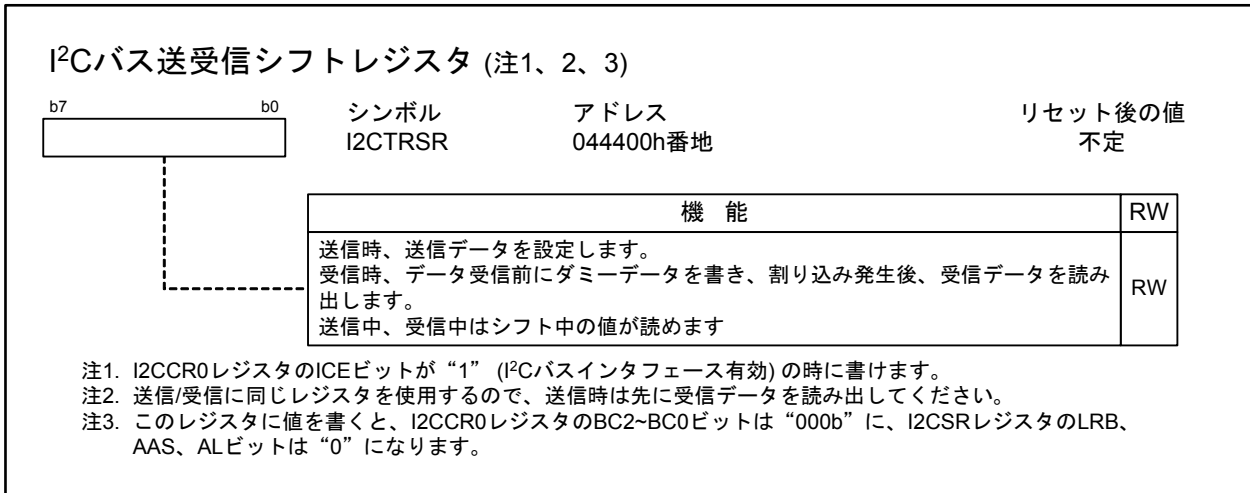
24.1 マルチマスタ I²C バスインタフェース関連レジスタ24.1.1 I²C バス送受信シフトレジスタ (I2CTRSR)

図 24.2 I2CTRSR レジスタ

I2CTRSR レジスタは、受信データの格納、および送信データを書くための8ビットシフトレジスタです。送信データをI2CTRSRレジスタに書くと、SCLクロックに同期してビット7から順に外部へ送出されます。1ビット送出されるたびに1ビットシフトされます。データ受信時はSCLクロックに同期してビット0から順に格納され、1ビット入力されるごとに1ビットシフトされます。受信データがI2CTRSRレジスタに格納されるタイミングを図24.3に示します。

I2CTRSRレジスタは、I2CCR0レジスタのICEビットが“1” (I²Cバスインタフェース有効)のとき書き込みが可能です。ICEビットが“1”、I2CSRレジスタのMSTビットが“1” (マスタモード)のとき、I2CTRSRレジスタにデータを書くと、ビットカウンタがリセットされ、SCLクロックが出力されます。

I2CTRSRレジスタへの書き込みは、スタートコンディション生成時、またはMSCL端子に“L”を出力しているときに、行ってください。I2CTRSRレジスタからの読み出しは常時可能です。

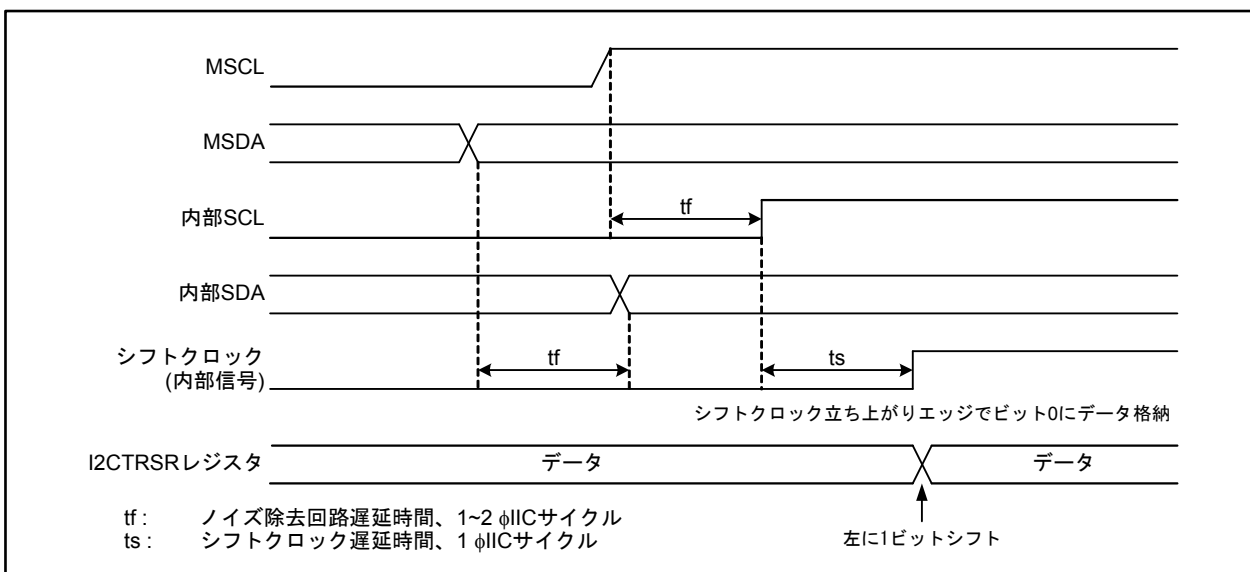


図 24.3 受信データをI2CTRSRレジスタに格納するタイミング

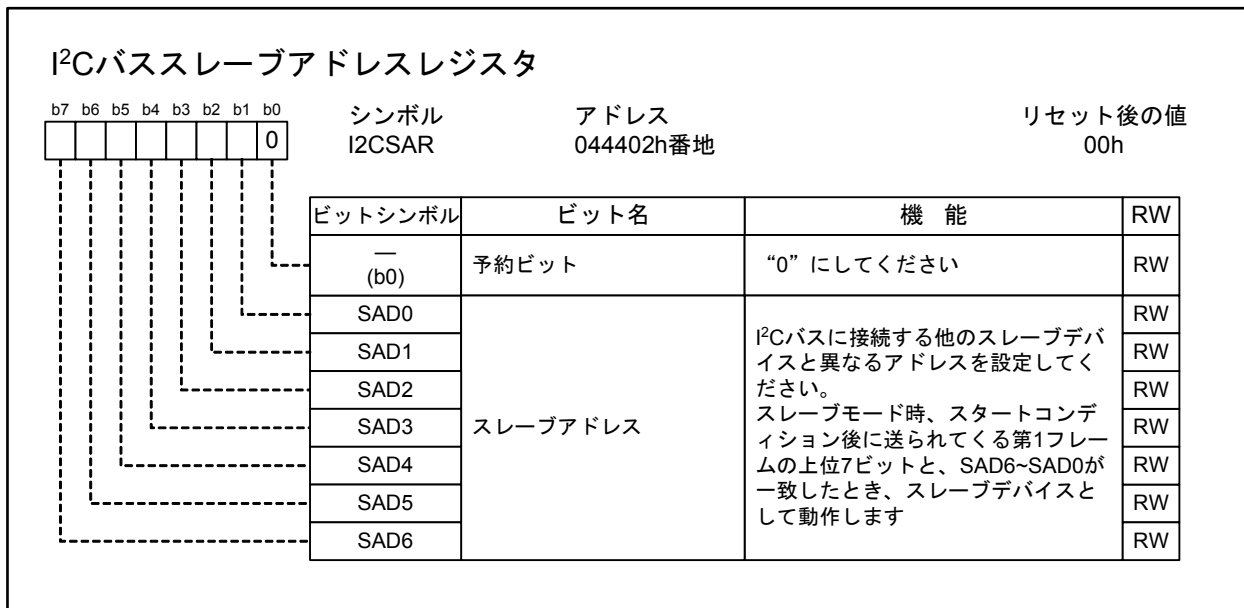
24.1.2 I²C バススレーブアドレスレジスタ (I2CSAR)

図 24.4 I2CSARレジスタ

I2CSARレジスタは、スレーブデバイスとして自動認識させるために、スレーブアドレスを格納するレジスタです。I2CSARレジスタに設定されたスレーブアドレスと受信したアドレスが一致すれば、スレーブデバイスとして動作します。

24.1.2.1 SAD6~SAD0ビット

SAD6~SAD0ビットは、スレーブアドレスを格納するビットで、7ビットで構成されます。アドレスシグナチャフォーマット時は、受信したアドレスデータの7ビットとSAD6~SAD0ビットの内容が比較され、一致が検出されるとスレーブデバイスとして動作します。

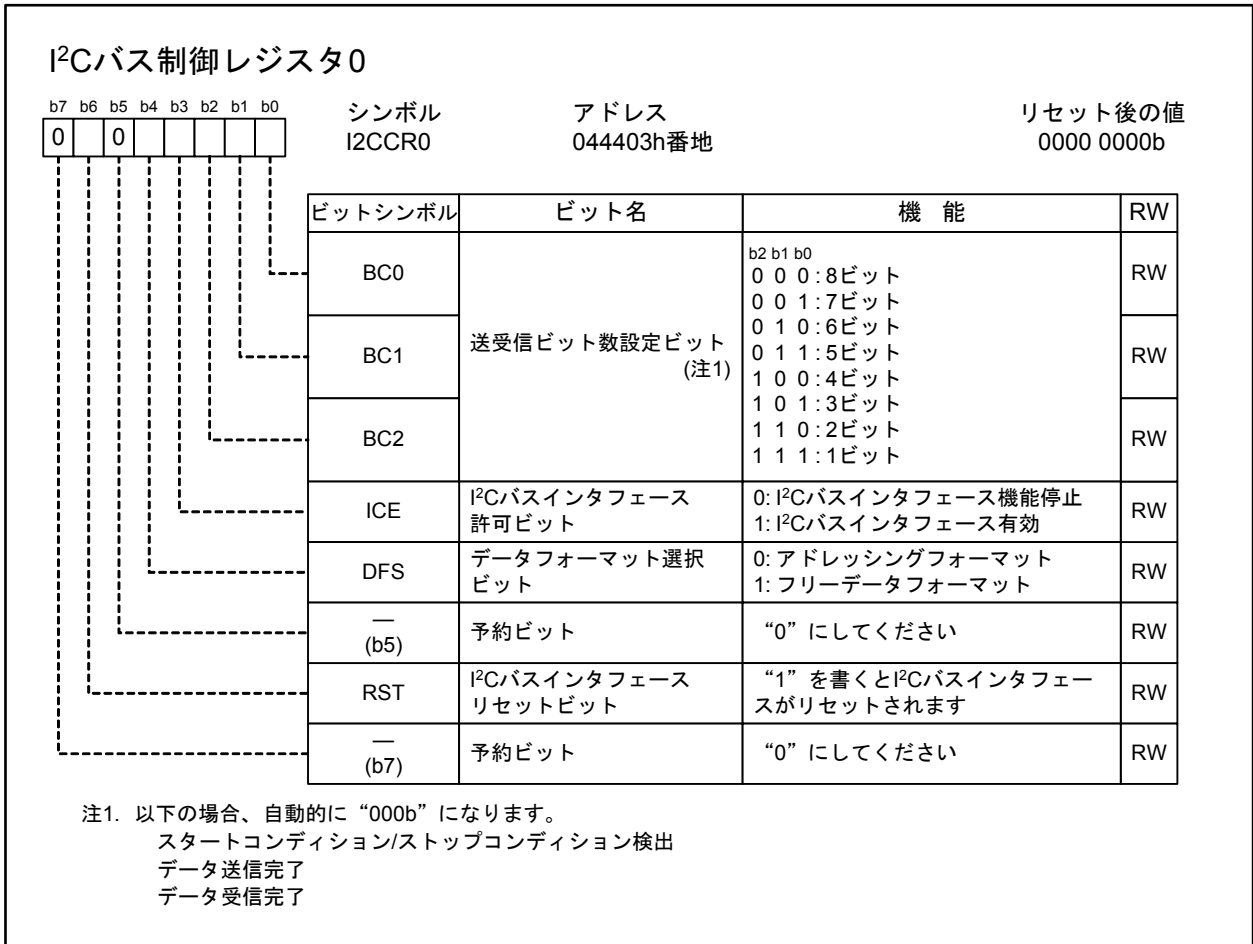
24.1.3 I²C バス制御レジスタ 0 (I2CCR0)

図 24.5 I2CCR0 レジスタ

I2CCR0 レジスタはデータ通信フォーマットの制御を行うレジスタです。

24.1.3.1 BC2~BC0 ビット

BC2~BC0 ビットは、次に送受信されるデータのビット数を設定するビットです。これらのビットで指定したデータビット数(I2CCR レジスタの ACKCLK ビットが“1”の場合、ACK クロックも合わせたビット数)の送受信完了後、I²C バスインタフェース割り込み要求が発生し、BC2~BC0 ビットは“000b”に戻ります。また、スタートコンディションを検出しても BC2~BC0 ビットは“000b”になります。アドレスデータは、BC2~BC0 ビットの設定値に関係なく 8 ビットで送受信されます。

24.1.3.2 ICE ビット

ICE ビットは、I²C バスインタフェースの使用を許可するビットです。ICE ビットを“1”にすると、I²C バスインタフェースを使用することができます。ICE ビットを“0”にすると、MSDA および MSCL 端子が“H”固定(P7_0S、P7_1S レジスタの NOD ビットが“1”の場合、ハイインピーダンス)になり、使用できません。

ICE ビットを“0”にすると以下の状態になります。

- I²CSR レジスタの ADZ、AAS、AL、BBSY、TRS、MST ビットが“0”、IRF ビットが“1”
- I²CTRSR レジスタへの書き込み禁止
- I²C バスシステムクロック(ϕ IIC)が停止、内部カウンタ、フラグがリセット
- I²CCR2 レジスタの TOF ビットが“0” (タイムアウト未検出)

24.1.3.3 DFS ビット

DFS ビットは、スレーブアドレスの自動認識を許可するビットです。“0”の場合は、アドレッシングフォーマットが選択され、スレーブアドレスが自動認識されます。I²CSAR レジスタに格納されたスレーブアドレスと受信したアドレスを比較して一致した場合、またはジェネラルコールアドレスを受信した場合のみ、データの受信処理を行います。DFS ビットを“1”にした場合は、フリーデータフォーマットとなり、スレーブアドレスを認識しないので、すべてのデータ受信処理を行います。

24.1.3.4 RST ビット

RST ビットは、通信異常発生時に、I²C バスインタフェースをリセットするビットです。ICE ビットが“1” (I²C バスインタフェース有効) のとき、RST ビットに“1” (リセット) を書くと、I²C バスインタフェースは以下の状態になります。

- I²CSR レジスタの ADZ、AAS、AL、BBSY、TRS、MST ビットが“0”、IRF ビットが“1”
- I²CCR2 レジスタの TOF ビットが“0” (タイムアウト未検出)
- 内部カウンタ、フラグがリセット

RST ビットに“1”を書くと、最大 2.5ϕ IIC サイクル後にマルチマスタ I²C バスインタフェースのリセット処理が完了し、RST ビットは自動的に“0”になります。

図 24.6 に I²C バスインタフェースのリセットタイミングを示します。

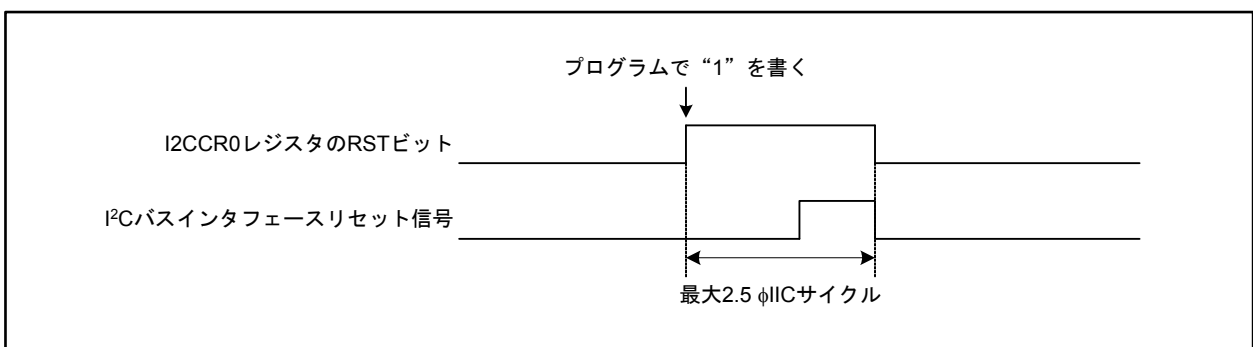


図 24.6 I²C バスインタフェースのリセットタイミング

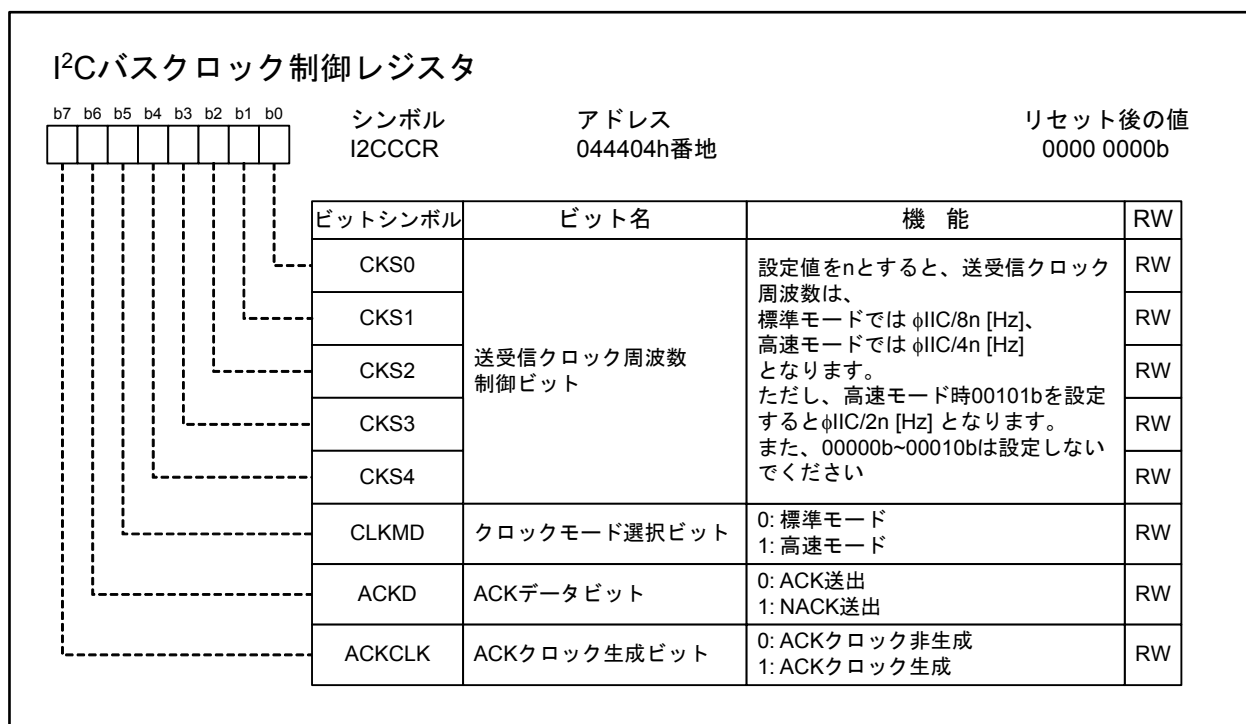
24.1.4 I²C バスクロック制御レジスタ (I2CCCR)

図 24.7 I2CCCR レジスタ

I2CCCR レジスタは、ACK の制御、SCL モードの設定、SCL クロックの周波数を設定するレジスタです。データ送受信中は、ACKD ビット以外のビットを書き換えないでください。

24.1.4.1 CKS4~CKS0 ビット

CKS4~CKS0 ビットは、SCL クロック周波数を設定するビットです。CKS4~CKS0 ビットの設定値を n (有効値 3~31) とすると、SCL クロック周波数は表 24.3 に示す値となります。CKS4~CKS0 ビットは送受信中に書き換えないでください。

表 24.3 I2CCCR レジスタの設定値と SCL 周波数

CKS4~CKS0 の設定値 (n)	SCL 周波数 ($\phi IIC = 4$ MHz の場合) (注 1)	
	標準モード	高速モード
0~2	設定禁止 (注 2)	設定禁止 (注 2)
3	設定禁止 (注 3)	333 kHz ($\phi IIC/4n$)
4	設定禁止 (注 3)	250 kHz ($\phi IIC/4n$)
5	100 kHz ($\phi IIC/8n$)	400 kHz ($\phi IIC/2n$) (注 4)
6~31	83 k ~ 16 kHz ($\phi IIC/8n$)	166 k ~ 32 kHz ($\phi IIC/4n$)

注 1. SCL クロック周波数が、標準モードでは 100 kHz 以下、高速モードでは 400 kHz 以下となるよう、CKS 値を設定してください。SCL クロックの“H”期間は、標準モードで $+2\sim 4\phi IIC$ 、高速モードで $+2\sim 2\phi IIC$ の変動があります。負値変動の場合、“H”期間が短くなる分、“L”期間が長くなるので、周波数は変わりません。

注 2. ϕIIC の周波数に関係なく、0~2 の値は設定しないでください。

注 3. ϕIIC が 4 MHz 以上の場合、SCL クロック周波数が規格範囲外になるので設定しないでください。

注 4. SCL クロックのデューティ比は通常 50% ですが、高速モードで CKS 値が“5”の場合のみ、35% ~ 45% になります。

24.1.4.2 CLKMD ビット

CLKMD ビットは、SCL モードを選択するビットです。“0”を設定すると標準モードになり、“1”を設定すると高速モードになります。高速モード I²C バス規格(最高 400k ビット/秒)で使用する場合、 ϕ IIC を 4 MHz 以上にしてください。

24.1.4.3 ACKD ビット

ACKD ビットは、ACK クロック時の MSDA 端子の状態を設定するビットです。ACKD ビットを“0”に設定すると、ACK クロック時に MSDA 端子が“L” (ACK 応答)になります。“1”に設定すると、ACK クロック時の MSDA 端子は“H”の状態を保持します。

表 24.4 に ACK クロック時の MSDA 端子の状態を示します。

表 24.4 ACK クロック時の MSDA 端子の状態

受信内容	DFS ビット	ACKD ビット	スレーブアドレス	MSDA 端子の状態
スレーブアドレス	0	0	一致	“L” (ACK)
			不一致	“H” (NACK)
	1	0	—	“L” (ACK)
			1	—
データ	—	0	—	“L” (ACK)
		1	—	“H” (NACK)

24.1.4.4 ACKCLK ビット

ACKCLK ビットは、ACK 応答の有無を設定するビットです。ACKCLK ビットを“1” (ACK クロック生成)にすると、1 バイトのデータ送受信に続いて ACK クロックが生成されます。ACKCLK ビットが“0” (ACK クロック非生成)の場合、データ送受信後に ACK クロックは生成されません。その場合、データ送受信の最終クロックの立ち下がりで I²CIC レジスタの IR ビットが“1” (I²C バスインタフェース割り込み要求あり)になります。

24.1.5 I²C バススタートコンディション/ストップコンディション制御レジスタ (I2CSSCR)

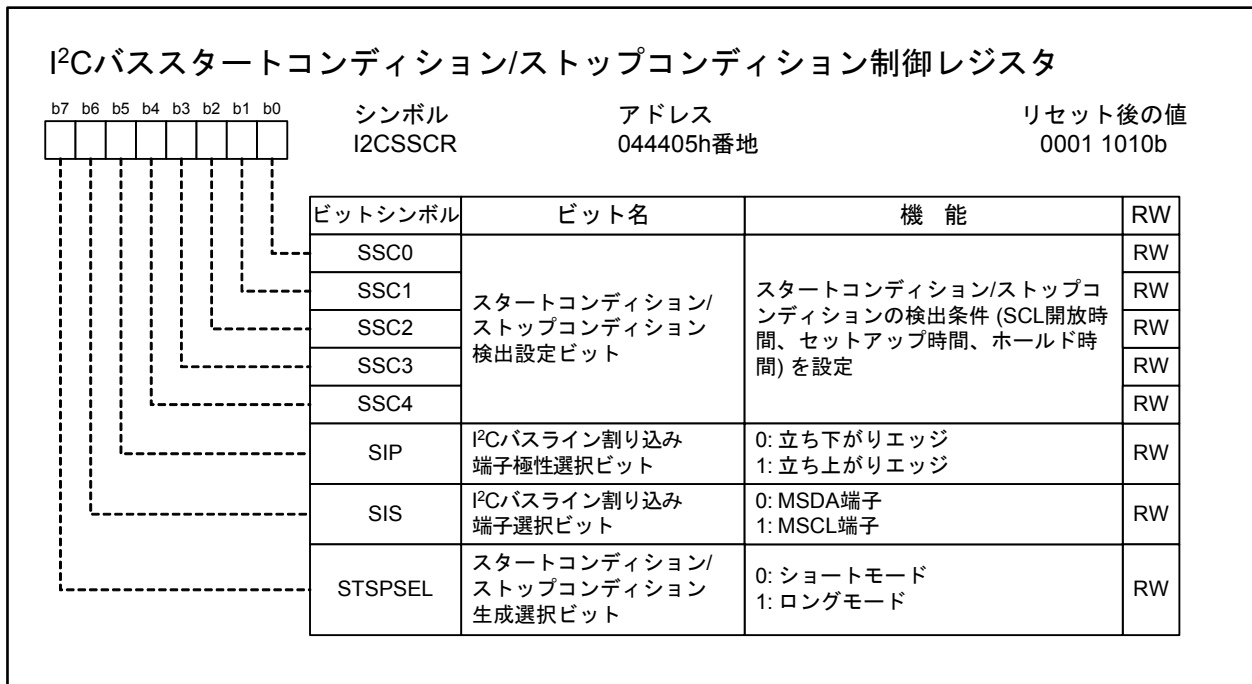


図 24.8 I2CSSCR レジスタ

I2CSSCR レジスタは、スタートコンディション/ストップコンディションの検出や生成を制御するレジスタです。

24.1.5.1 SSC4~SSC0 ビット

SSC4~SSC0 ビットは、標準モード時のスタートコンディション/ストップコンディションの検出条件 (SCL 開放時間、セットアップ/ホールド時間) を選択するビットです。この条件は I²C バスシステムクロック (ϕ IIC) が基準なので、XIN 周波数や、I²C バスシステムクロック選択ビット (I2CCR2~I2CCR1 レジスタの ICK4~ICK0 ビット) によって変わります。SSC4~SSC0 ビットには奇数および“00000b”を設定しないでください。スタートコンディション/ストップコンディションの検出は、I2CCR0 レジスタの ICE ビットに“1” (I²C バスインタフェース有効) を設定した直後より開始されます。SSC4~SSC0 の推奨設定値を表 24.11 に示します。

24.1.5.2 SIP ビット

SIP ビットは、MSCL、MSDA 端子の入力信号により I²C バスライン割り込みを発生させる場合のエッジ検出極性を選択するビットです。SIP ビットに“0”を設定すると立ち下がりエッジ、“1”を設定すると立ち上がりエッジを検出します。

24.1.5.3 SIS ビット

SIS ビットは、I²C バスライン割り込みの発生要因となる入力信号を選択するビットです。SIS ビットに“0”を設定すると MSDA 端子、“1”を設定すると MSCL 端子からの入力信号が要因となります。

24.1.5.4 STSPSELビット

STSPSELビットは、スタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間を選択するビットです。STSPSELビットに“0”を設定するとショートモード、“1”を設定するとロングモードになります。φIIC周波数が4 MHzを超える場合は、STSPSELビットを“1”(ロングモード)にしてください。図 24.16にスタートコンディション生成タイミングを、表 24.9にスタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間を示します。

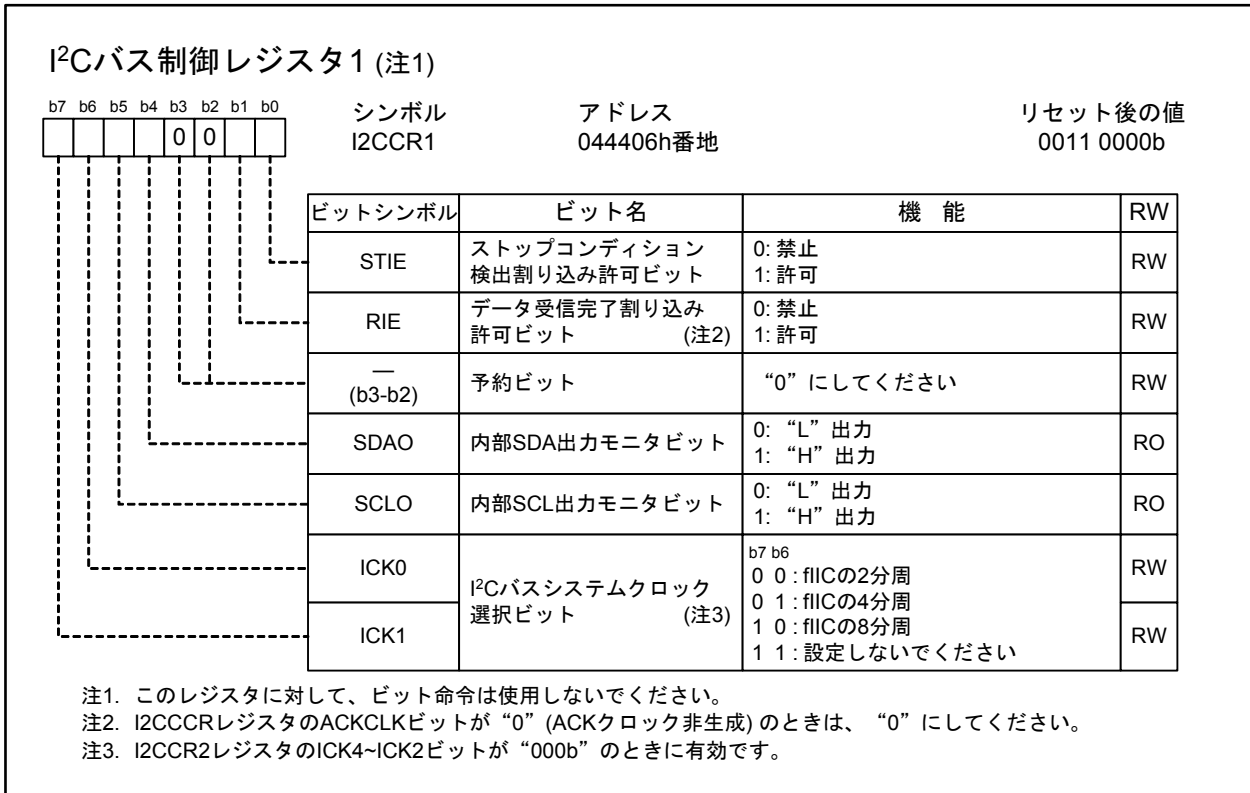
24.1.6 I²C バス制御レジスタ 1 (I2CCR1)

図 24.9 I2CCR1 レジスタ

I2CCR1 レジスタは、I²C バスインタフェースの各制御を行うレジスタです。

24.1.6.1 STIE ビット

STIE ビットは、ストップコンディション検出時の割り込みを許可するビットです。STIE ビットに“1”を設定すると、ストップコンディション検出時に I²C バスインタフェース割り込みが発生し、I2CCR2 レジスタの STOP ビットが“1” (ストップコンディション検出割り込み要求あり)、I2CIC レジスタの IR ビットが“1” (I²C バスインタフェース割り込み要求あり) になります。

24.1.6.2 RIE ビット

RIE ビットは、I2CCCR レジスタの ACKCLK ビットが“1” (ACK クロック生成) の場合に、データの最終ビットを受信したときの割り込みを許可するビットです。RIE ビットを“1”にすると、受信データの最終ビット(8クロック目の SCL 立ち下がり)で、I²C バスインタフェース割り込みが発生します。

RIE ビットの設定値に関係なく、ACK ビット(9クロック目の SCL 立ち下がり)で、I²C バスインタフェース割り込みが発生するので、RIE ビットが“1”の場合は1データにつき2回の I²C バスインタフェース割り込みが発生することになります。どちらの要因で発生した割り込みかは、RIE ビットを読み出すことで判断することができます。RIE ビットの読み出し値は、内部 WAIT フラグの状態を示し、“1”の場合データの最終ビット、“0”の場合 ACK ビットが要因となって発生した割り込みであると判断できません。

I2CCCR レジスタの ACKCLK ビットが“0” (ACK クロック非生成) の場合は、RIE ビットは“0”にしてください。データ送信時、スレーブアドレス受信時は、RIE ビットの設定値に関わらず、内部 WAIT フラグは“0”で、ACK ビット(9クロック目の SCL 立ち下がり)時のみ、I²C バスインタフェース割り込みが発生します。

表 24.5 データ受信時の I²C バス割り込み要求発生タイミングと送受信再開の方法

I ² C バスインタフェース 割り込み発生タイミング	内部WAIT フラグ	送受信再開方法
データ最終ビット(8クロック目)	1	I2CCCRレジスタのACKDビットへの書き込み
ACKビット(9クロック目)	0	I2CTRSRレジスタへの書き込み

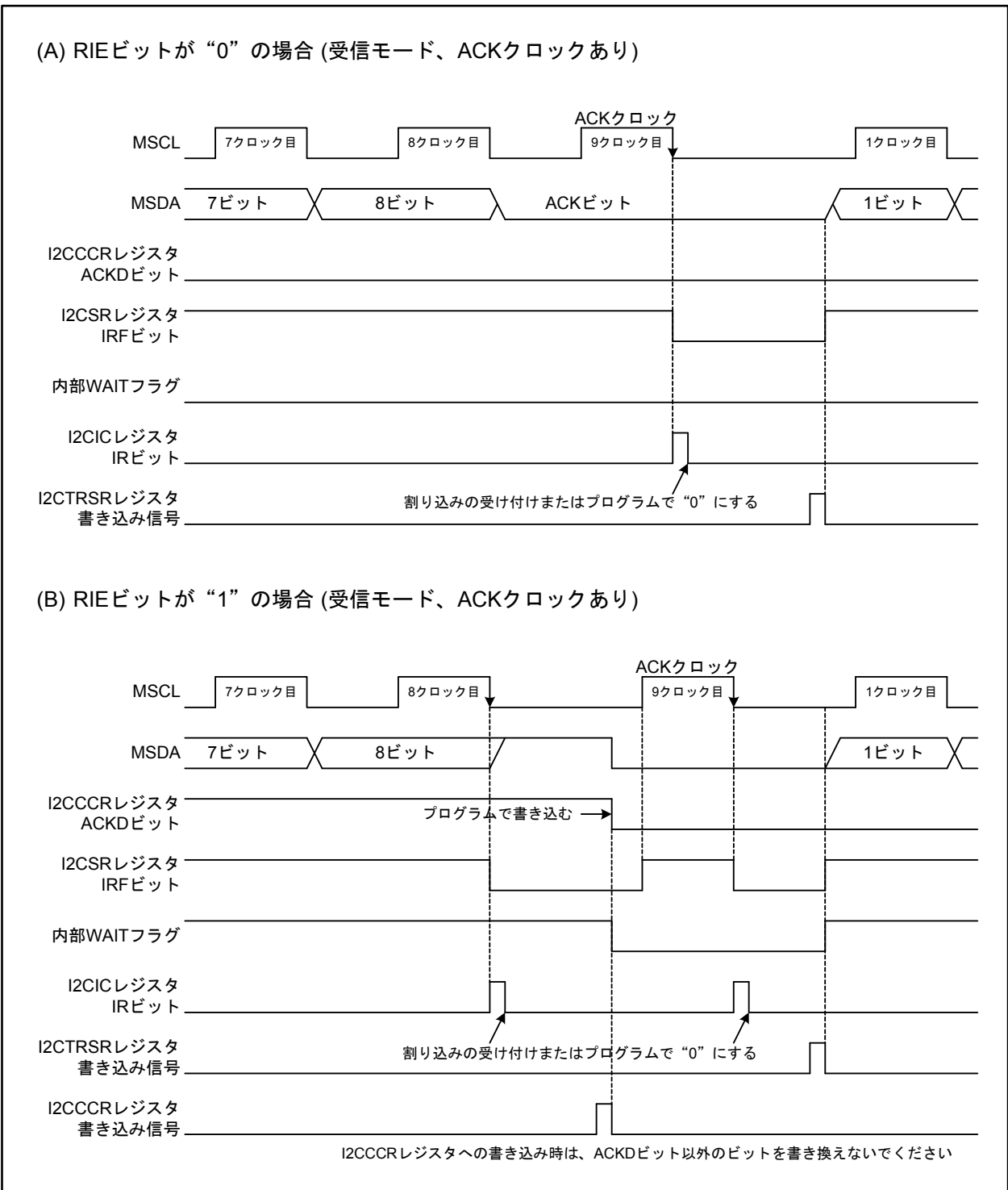


図 24.10 データ受信時の割り込み要求発生タイミング

24.1.6.3 SDAO / SCLO ビット

SDAO/SCLO ビットは、それぞれ内部 SDA 出力信号、内部 SCL 出力信号の論理値をモニタする、読み出し専用ビットです。書くときは“0”を書いてください。内部 SDA 出力信号、内部 SCL 出力信号は、外部デバイスの影響を受ける前の出力レベルであり、MSDA、MSCL 端子の状態を示すものではありません。

24.1.6.4 ICK1~ICK0 ビット

ICK1~ICK0 ビットは、I²C バスシステムクロック (ϕ IIC) の周波数を選択するビットで、I2CCR2 レジスタの ICK4~ICK2 ビットが“000b”のときに有効です。I2CCR0 レジスタの ICE ビットが“0” (I²C バスインタフェース機能停止) のとき書き換えてください。I²C バスシステムクロック (ϕ IIC) を、fIIC の 2 分周、4 分周、8 分周から選択できます。I2CCR2 レジスタの ICK4~ICK2 ビットで 2.5 分周、3 分周、5 分周、6 分周も選択できますが、その場合、ICK1~ICK0 ビットは無効になります。

表 24.6 I²C バスシステムクロック (ϕ IIC) 選択ビット

I2CCR2 レジスタ			I2CCR1 レジスタ		ϕ IIC
ICK4 ビット	ICK3 ビット	ICK2 ビット	ICK1 ビット	ICK0 ビット	
0	0	0	0	0	fIIC の 2 分周
			0	1	fIIC の 4 分周
			1	0	fIIC の 8 分周
0	0	1	0	0	fIIC の 2.5 分周
0	1	0	0	0	fIIC の 3 分周
0	1	1	0	0	fIIC の 5 分周
1	0	0	0	0	fIIC の 6 分周

上記以外の組み合わせは設定しないでください。

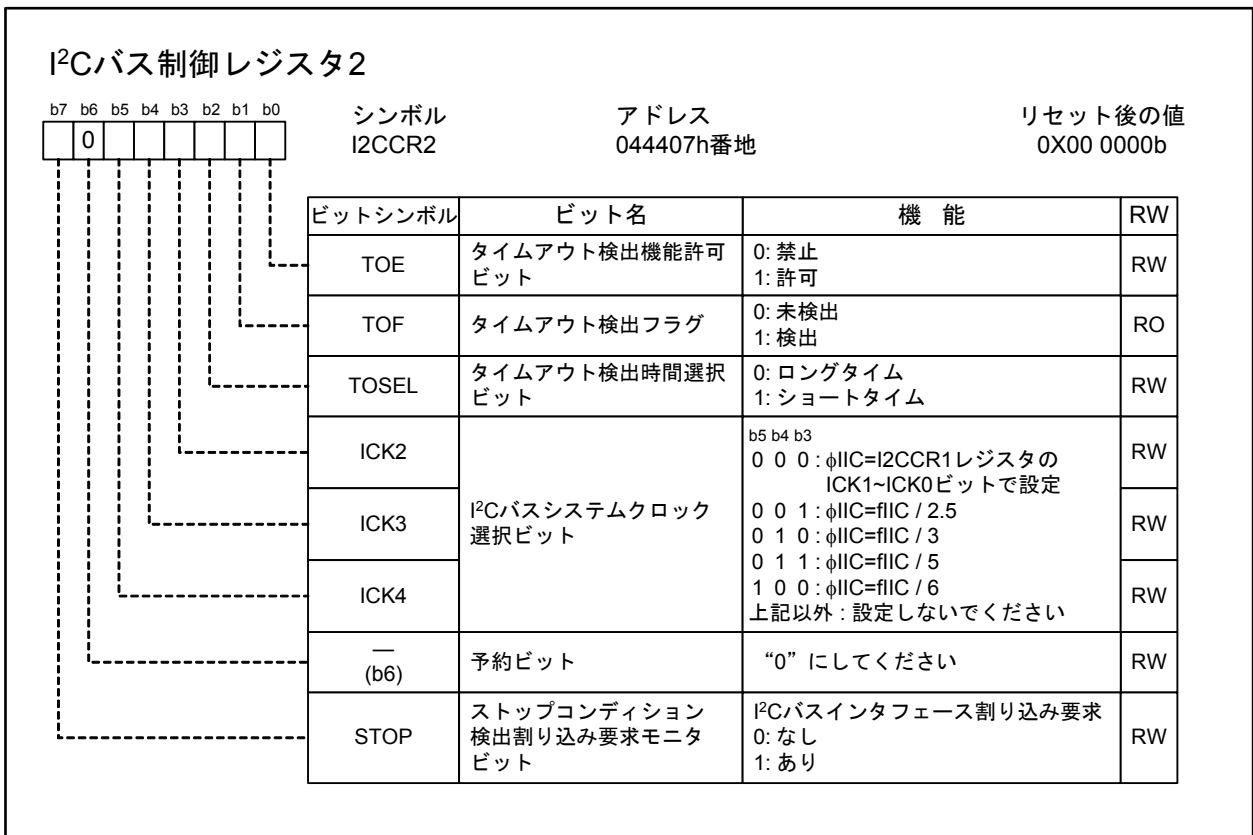
24.1.7 I²C バス制御レジスタ 2 (I2CCR2)

図 24.11 I2CCR2 レジスタ

I2CCR2 レジスタは、通信異常検出を制御するレジスタです。送受信中に SCL クロックが停止すると、各デバイスは通信状態のまま停止します。それを回避するため、送受信中に SCL クロックが“H”状態のまま一定時間経過すると、I²C バスインタフェース割り込みを発生させる機能を備えています。

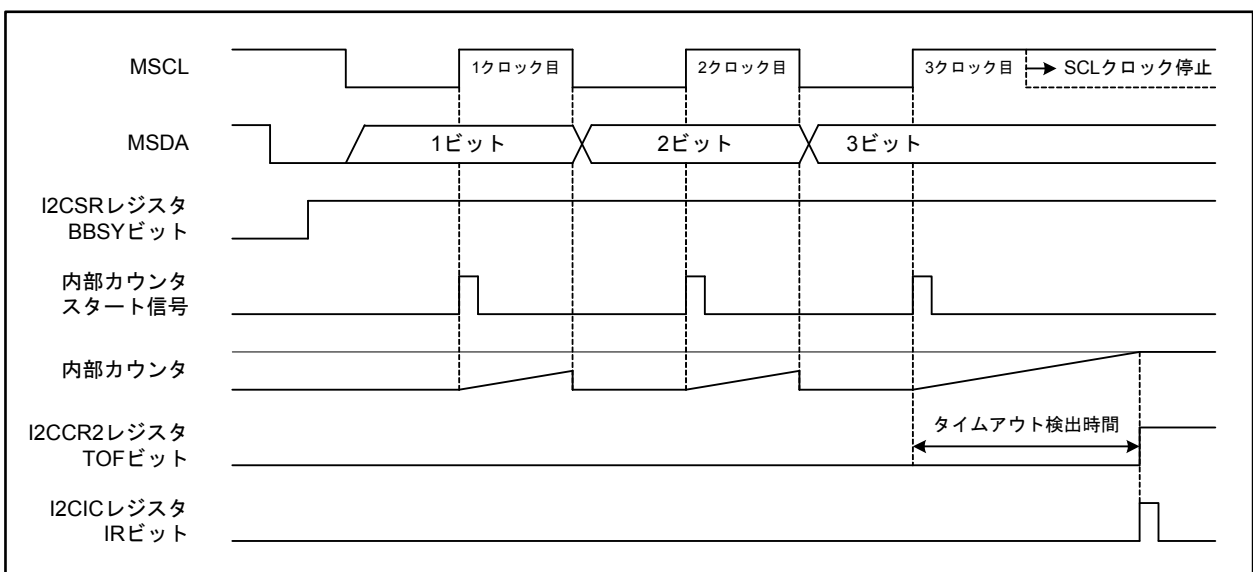


図 24.12 タイムアウト検出タイミング図

24.1.7.1 TOE ビット

TOE ビットは、タイムアウト検出機能を許可するビットです。TOE ビットを“1”に設定すると、タイムアウト検出機能が許可され、I²CSR レジスタの BBSY ビットが“1” (バスビジー) のまま SCL クロックが一定時間以上“H”の状態が続いたとき、I²C バスインタフェース割り込み要求が発生します。

タイムアウト検出時間は、 ϕ IIC をカウントソースとする内部カウンタにより計測され、TOSEL ビットにより、ロングタイムとショートタイムから選択できます。「24.1.7.3 TOSEL ビット」を参照してください。

タイムアウトが検出された場合は、I²CCR0 レジスタの ICE ビットを“0” (I²C バスインタフェース機能停止) にして、I²C バスインタフェースを初期化してください。

24.1.7.2 TOF ビット

TOF ビットは、タイムアウト検出状態を示すフラグです。TOE ビットが“1” のときに有効で、TOF ビットが“1” (タイムアウト検出) になると同時に I²CIC レジスタの IR ビットが“1” (I²C バスインタフェース割り込み要求あり) になります。

24.1.7.3 TOSEL ビット

TOSEL ビットは、タイムアウト検出時間を選択するビットです。TOE ビットが“1” (タイムアウト検出機能許可) のとき有効で、ロングタイムとショートタイムから選択できます。TOSEL ビットを“0” に設定するとロングタイムが選択され、内部カウンタは 16 ビットカウンタとして機能します。TOSEL ビットを“1” に設定するとショートタイムが選択され、内部カウンタは 14 ビットカウンタとして機能します。内部カウンタは、I²C バスシステムクロック (ϕ IIC) をカウントソースとしてアップカウントします。タイムアウト検出時間は、表 24.7 のようになります。

表 24.7 タイムアウト検出時間例

ϕ IIC	ロングタイム (TOSEL=0)	ショートタイム (TOSEL=1)
4 MHz	16.4 ms	4.1 ms
2 MHz	32.8 ms	8.2 ms
1 MHz	65.6 ms	16.4 ms

24.1.7.4 ICK4~ICK2 ビット

ICK4~ICK2 ビットは、I²C バスシステムクロック (ϕ IIC) の周波数を選択するビットです。I²CCR0 レジスタの ICE ビットが“0” (I²C バスインタフェース機能停止) のとき書き換えてください。

I²C バスシステムクロック (ϕ IIC) を、fIIC の 2.5 分周、3 分周、5 分周、6 分周から選択できます。ICK4~ICK2 ビットに“000b”を設定すると、I²CCR1 レジスタの ICK1~ICK0 ビットにより 2 分周、4 分周、8 分周が選択可能になります。表 24.6 を参照してください。

24.1.7.5 STOP ビット

STOP ビットは、ストップコンディション検出割り込みをモニタするビットです。ストップコンディション検出による I²C バスインタフェース割り込みが発生すると“1”になります。I²CCR1 レジスタの STIE ビットが“1” (ストップコンディション検出による I²C バスインタフェース割り込み許可) の場合に有効です。このビットはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。

24.1.8 I²Cバスステータスレジスタ (I2CSR)

I ² Cバスステータスレジスタ		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		I2CSR	044408h番地	0001 000Xb
ビットシンボル	ビット名	機能		RW
LRB	最終受信ビット (注1、2)	0: 最終ビット=0 1: 最終ビット=1		RW
ADZ	ジェネラルコールアドレス検出フラグ (注1、2)	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出		RW
AAS	スレーブアドレス一致フラグ (注1、2)	0: アドレス不一致 1: アドレス一致		RW
AL	アービトラージンロスト検出フラグ (注1、2)	0: 未検出 1: 検出		RW
IRF	I ² Cバスインタフェース割り込み要求フラグ (注3)	0: 割り込み要求あり 1: 割り込み要求なし		RO
BBSY	バスビジーフラグ (注2)	0: バスフリー 1: バスビジー		RW
TRS	送受信切り替えビット	0: 受信モード 1: 送信モード (注1)		RW
MST	マスタ/スレーブ選択ビット	0: スレーブモード 1: マスタモード (注1)		RW

注1. スタートコンディション/ストップコンディションを生成しないで、TRSビットまたはMSTビットに“1”を設定する場合、下位4ビットには“1111b”を書いてください。
 注2. ステータスのチェックとして使用する場合は読み出し専用です。
 注3. 読み出し専用です。書く場合は、“0”を書いてください。

図 24.13 I2CSRレジスタ

I2CSRレジスタは、I²Cバスインタフェースの状態をモニタするレジスタです。表 24.8に示す機能を使用する場合のみ、書き込みを行います。表 24.8に示す値以外の値をI2CSRレジスタに書かないでください。表 24.8に示す値をI2CSRレジスタに書いたとしても、I2CSRレジスタの下位6ビットは変化しません。

表 24.8 I2CSRレジスタ書き込みによる機能

I2CSRレジスタ書き込み値								機能
MST	TRS	BBSY	IRF	AL	AAS	ADZ	LRB	
0	0	X	0	1	1	1	1	スレーブ受信モードを選択
0	1							スレーブ送信モードを選択
1	0							マスタ受信モードを選択
1	1							マスタ送信モードを選択
1	1	0	0	0	0	0	0	マスタ送信モードを選択し、ストップコンディション待機状態に設定
		1						マスタ送信モードを選択し、スタートコンディション待機状態に設定

24.1.8.1 LRB ビット

LRB ビットは、受信したデータの最終ビット値を格納するビットです。ACK 応答受信の結果を確認する場合に使用します。I2CCCR レジスタの ACKCLK ビットが“1” (ACK クロック生成) で、ACK 応答を受信した場合、LRB ビットは“0”になります。ACK 応答を受信しなかった場合、LRB ビットは“1”になります。I2CCCR レジスタの ACKCLK ビットが“0” (ACK クロック非生成) の場合、LRB ビットには受信データの最終ビット値が入ります。I2CTRSR レジスタに値を書くと、LRB ビットは“0”になります。

24.1.8.2 ADZ ビット

ADZ ビットは、ジェネラルコールアドレスを受信したことを示すフラグです。スレーブ受信モードで、I2CCR0 レジスタの DFS ビットが“0” (アドレッシングフォーマット) の場合にジェネラルコールアドレスを受信すると、ADZ ビットが“1”になります。

ADZ ビットは、以下のいずれかの場合に“0”になります。

- スタートコンディション/ストップコンディションを検出したとき
- I2CCR0 レジスタの ICE ビットを“0” (I²C バスインタフェース機能停止) にしたとき
- I2CCR0 レジスタの RST ビットに“1” (I²C バスインタフェースリセット) を書いたとき

24.1.8.3 AAS ビット

AAS ビットは、受信したアドレスデータが一致したかを示すフラグです。スレーブ受信モードで、I2CCR0 レジスタの DFS ビットが“0” (アドレッシングフォーマット) の場合に、受信したアドレスデータが、I2CSAR レジスタの SAD6~SAD0 ビット (スレーブアドレス) と一致したか、ジェネラルコールアドレスであった場合に、AAS ビットが“1”になります。

AAS ビットは、以下のいずれかの場合に“0”になります。

- I2CTRSR レジスタにデータを書いたとき
- I2CCR0 レジスタの ICE ビットを“0” (I²C バスインタフェース機能停止) にしたとき
- I2CCR0 レジスタの RST ビットに“1” (I²C バスインタフェースリセット) を書いたとき

24.1.8.4 AL ビット

AL ビットは、アービトレーションロストの検出を示すフラグです。マスタ送信時に、他のデバイスによって MSDA 端子が“L”に変化した場合、AL ビットが“1”になります。そのとき、I2CSR レジスタの TRS ビットが“0” (受信モード) になり、アービトレーションロストとなったバイトの最後で、I2CSR レジスタの MST ビットが“0” (スレーブモード) になります。

AL ビットは、以下のいずれかの場合に“0”になります。

- I2CTRSR レジスタにデータを書いたとき
- I2CCR0 レジスタの ICE ビットを“0” (I²C バスインタフェース機能停止) にしたとき
- I2CCR0 レジスタの RST ビットに“1” (I²C バスインタフェースリセット) を書いたとき

24.1.8.5 IRF ビット

IRF ビットは、I²C バスインタフェース割り込みの要求信号を発生させるビットです。I²C バスインタフェース割り込みの要因が発生すると、まず IRF ビットが“0”になり、IRF ビットの立ち下がりに同期して、I²C バスインタフェース割り込みが発生します。タイミング例として図 24.10 を参照してください。

IRF ビットは、以下のいずれかの場合に“0”になります。

- 1バイトのデータが送信完了したとき(アービトレーションロスト検出時も含む)
- 1バイトのデータを受信完了したとき
- スレーブ受信時、アドレッシングフォーマットでスレーブアドレスの一致が検出されたとき
- スレーブ受信時、アドレッシングフォーマットでジェネラルコールアドレスを受信したとき
- スレーブ受信時、フリーフォーマットでアドレスデータを受信完了したとき

IRF ビットは、以下のいずれかの場合に“1”になります。

- I2CTSR レジスタにデータを書いたとき
- I2CCCR レジスタにデータを書いたとき (RIE=1、内部 WAIT フラグ=1)
- I2CCR0 レジスタの ICE ビットを“0” (I²C バスインタフェース機能停止)にしたとき
- I2CCR0 レジスタの RST ビットに“1” (I²C バスインタフェースリセット)を書いたとき

24.1.8.6 BBSY ビット

BBSY ビットは、I²C バスの使用状況を示すフラグです。BBSY ビットは、スタートコンディション検出時に“1”になり、ストップコンディション検出時に“0”になります。BBSY ビットが“0”の時は、I²C バスが使用されていない状態なので、スタートコンディションを生成することが可能です。

スタートコンディション/ストップコンディションの検出条件は、I2CSSCR レジスタの SSC4~SSC0 ビットの設定に従います。

BBSY ビットは、以下のいずれかの場合に“0”になります。

- ストップコンディションを検出したとき
- I2CCR0 レジスタの ICE ビットを“0” (I²C バスインタフェース機能停止)にしたとき
- I2CCR0 レジスタの RST ビットに“1” (I²C バスインタフェースリセット)を書いたとき

24.1.8.7 TRS ビット

TRS ビットは、データの通信方向を指定するビットです。TRS ビットに“0”を設定すると、受信モードとなり、他のデバイスからのデータを待ちます。TRS ビットに“1”を設定すると、送信モードとなり、SCL クロックに同期して SDA にアドレスやデータを出力します。

TRS ビットは、スレーブ受信モードのアドレッシングフォーマット時にアドレス一致が検出され、受信した R/W ビットが“1” (データ要求)の場合、自動的に“1” (送信モード)になります。

TRS ビットは、以下のいずれかの場合に“0”になります。

- プログラムで TRS ビットに“0”を書いたとき
- アービトレーションロストを検出したとき
- ストップコンディションを検出したとき
- スタートコンディション重複防止機能が動作したとき
- スレーブモードでスタートコンディションを検出したとき
- スレーブモードで NACK 応答を検出したとき
- I2CCR0 レジスタの ICE ビットを“0” (I²C バスインタフェース機能停止)にしたとき
- I2CCR0 レジスタの RST ビットに“1” (I²C バスインタフェースリセット)を書いたとき

24.1.8.8 MSTビット

MSTビットは、マスタ/スレーブを指定するビットです。MSTビットを“0”にするとスレーブモードになり、マスタデバイスが発生させたSCLクロックに同期して通信を行います。MSTビットを“1”にするとマスタモードになり、SCLクロックを発生させて通信を行います。

MSTビットは、以下のいずれかの場合に“0”になります。

- プログラムでMSTビットに“0”を書いたとき
- アービトレーションロストを検出し、当該バイトの通信が完了したとき
- ストップコンディションを検出したとき
- スタートコンディションを検出したとき
- スタートコンディション重複防止機能が動作したとき
- I2CCR0レジスタのICEビットを“0” (I²Cバスインタフェース機能停止)にしたとき
- I2CCR0レジスタのRSTビットに“1” (I²Cバスインタフェースリセット)を書いたとき

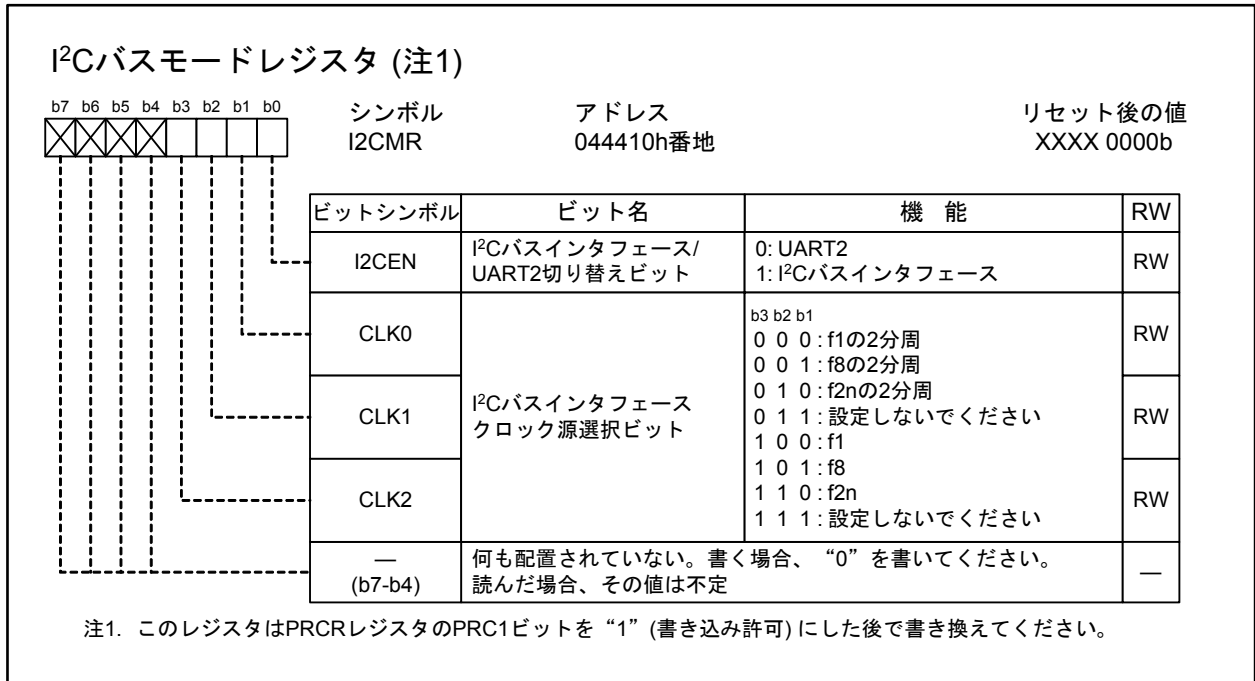
24.1.9 I²C バスモードレジスタ (I2CMR)

図 24.14 I2CMR レジスタ

I2CMR レジスタは、I²C バスインタフェースの信号切り替えや、クロック源の選択を行うレジスタです。このレジスタを書き換える場合、PRCR レジスタのPRC1 ビットを“1” (書き込み許可)にした後で書き換えてください。

24.1.9.1 I2CEN ビット

I2CEN ビットは、UART2 の信号と I²C バスインタフェースの信号を切り替えるビットです。I2CEN ビットを“1”にすると I²C バスインタフェースが選択され、MSDA 信号、MSCL 信号、I²C バスインタフェース割り込み、I²C バスライン割り込みが有効になります。I2CEN ビットを“0”にすると、MSDA 信号、MSCL 信号、I²C バスインタフェース割り込み、I²C バスライン割り込みは無効になり、UART2 の信号が有効になります。

24.1.9.2 CLK2~CLK0 ビット

CLK2~CLK0 ビットは、I²C バスインタフェースクロック (fIIC) のクロック源を選択するビットです。f1、f8、f2n および、それらの2分周から選択することができます。ここで選択した I²C バスインタフェースクロック (fIIC) は、更に I²C バスシステムクロック (φIIC) のクロック源として利用されます。

24.2 スタートコンディション生成方法

I²CCR0 レジスタの ICE ビットが“1” (I²C バスインタフェース有効)、I²CSR レジスタの BBSY ビットが“0” (バスフリー) の状態で、I²CSR レジスタに“E0h”を書き、スタートコンディションスタンバイ状態にします。次に、I²CTRSR レジスタにスレーブアドレスを書くと、スタートコンディションが生成されます。その後、ビットカウンタが“000b”になり1バイト分の SCL クロックが出力され、スレーブアドレスが送信されます。図 24.15 にスタートコンディション生成手順を示します。

なお、ストップコンディション生成後、BBSY ビットが“0” (バスフリー) になってから ϕ IIC の 1.5 サイクル間は、I²CSR レジスタに値を書けません。ストップコンディション生成後すぐにスタートコンディション生成を行う場合は、I²CSR レジスタに“E0h”を書いた後、I²CSR レジスタの TRS ビット、MST ビットがともに“1”になっている事を確認してから、I²CTRSR レジスタにスレーブアドレスを書いてください。

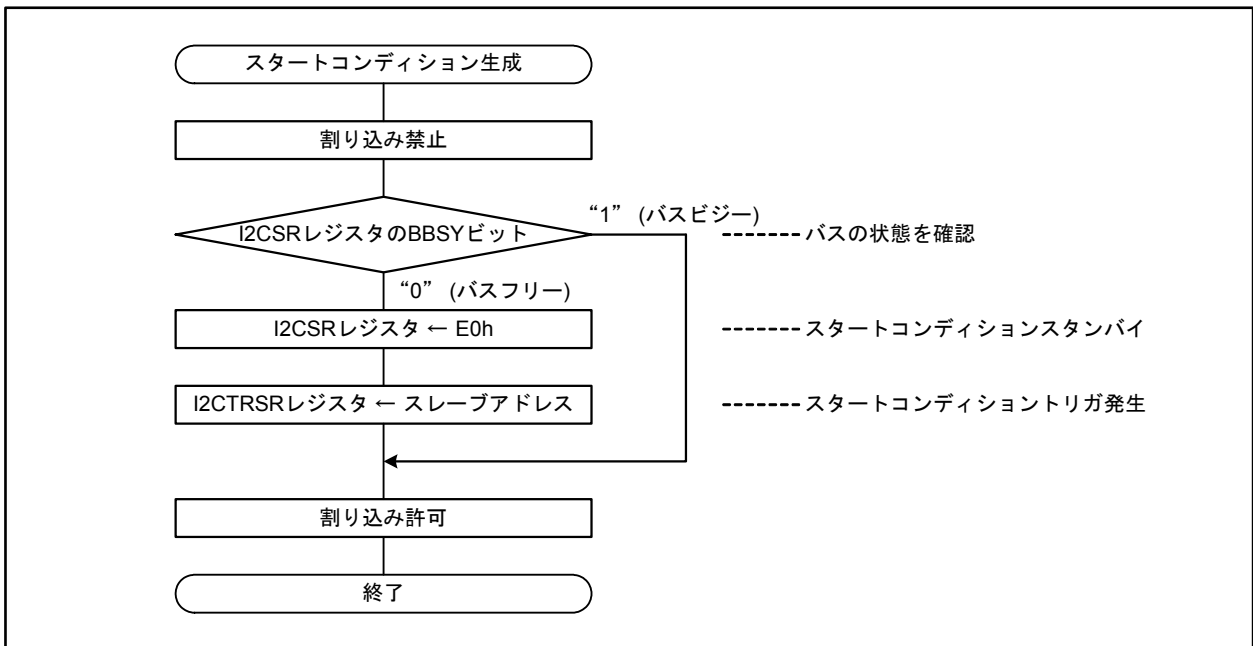


図 24.15 スタートコンディション生成手順

スタートコンディションの生成タイミングは、標準モードと高速モードで異なります。図 24.16 にスタートコンディション生成タイミングを、表 24.9 にスタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間を示します。

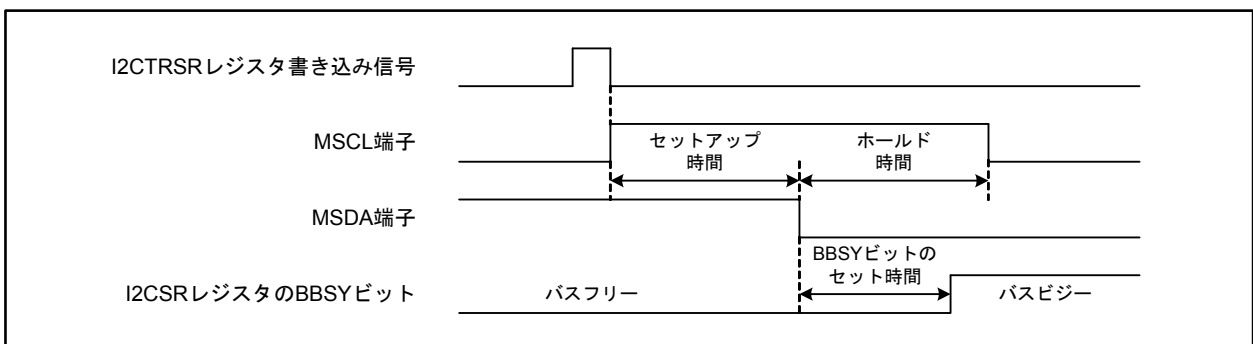


図 24.16 スタートコンディション生成タイミング

表 24.9 スタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間

項目	SCLモード	ショートモード (STSPSEL=0)	ロングモード (STSPSEL=1)
セットアップ時間	標準モード(CLKMD=0)	5.0 μ s (20)	13.0 μ s (52)
	高速モード(CLKMD=1)	2.5 μ s (10)	6.5 μ s (26)
ホールド時間	標準モード(CLKMD=0)	5.0 μ s (20)	13.0 μ s (52)
	高速モード(CLKMD=1)	2.5 μ s (10)	6.5 μ s (26)

CLKMD: I2CCCRレジスタのビット

STSPSEL: I2CSSCRレジスタのビット

()内は ϕ IICのサイクル数

24.3 ストップコンディション生成方法

I2CCR0 レジスタの ICE ビットが“1” (I²C バスインタフェース有効) の状態で、I2CSR レジスタに“C0h” を書くと、ストップコンディションスタンバイ状態になり、MSDA 端子が“L”になります。次に、I2CTRSR レジスタにダミーデータを書くと、ストップコンディションが生成されます。図 24.17 にストップコンディション生成手順を示します。

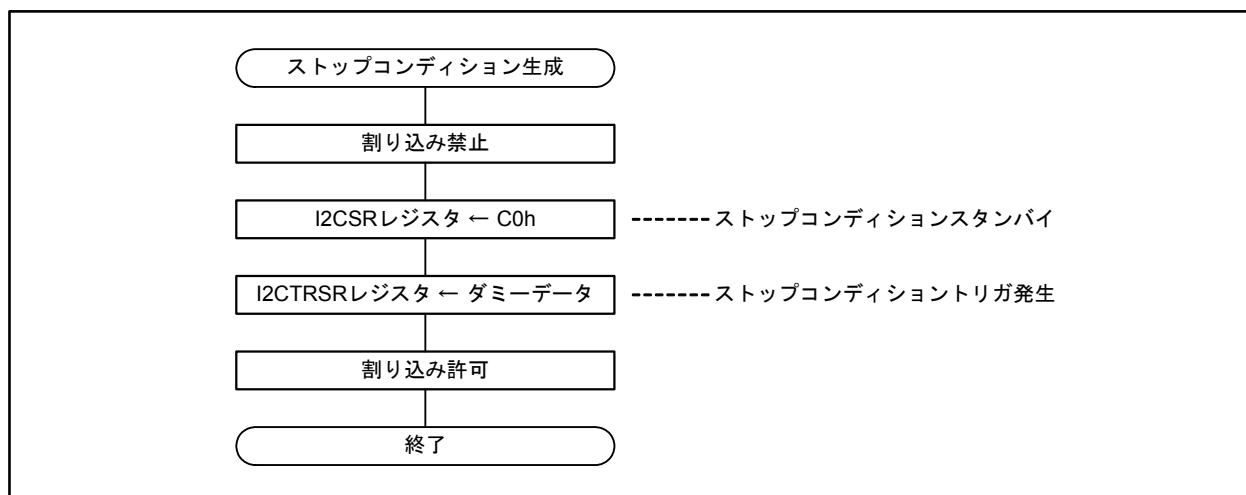


図 24.17 ストップコンディション生成手順

ストップコンディションの生成タイミングは、標準モードと高速モードで異なります。図 24.18 にストップコンディション生成タイミングを、表 24.9 にスタートコンディション/ストップコンディション生成時のセットアップ/ホールド時間を示します。

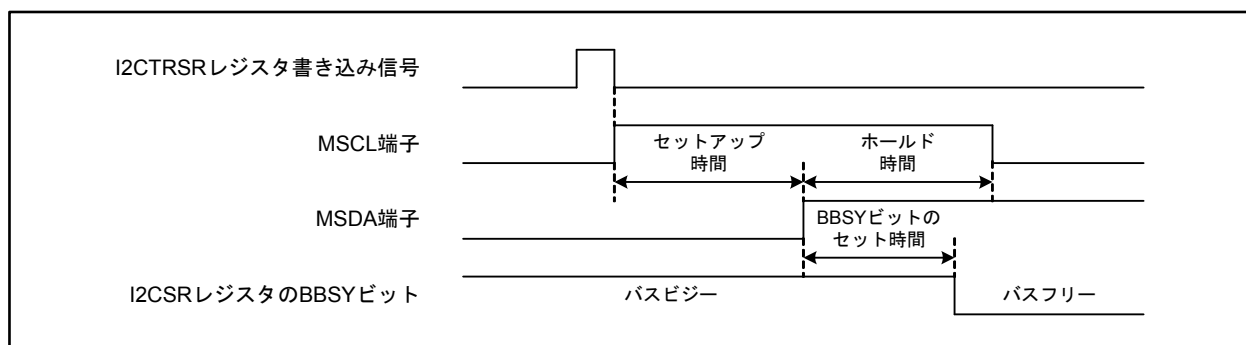


図 24.18 ストップコンディション生成タイミング

なお、ストップコンディション生成の指示をし、I2CSR レジスタの BBSY ビットが“0” (バスフリー) になるまでの間、I2CSR レジスタまたは I2CTRSR レジスタに書き込みを行わないでください。ストップコンディションが正常に生成できない場合があります。

また、ストップコンディション生成の指示をし、MSCL 端子のレベルが“H”になった後、I2CSR レジスタの BBSY ビットが“0” (バスフリー) になるまでの間に、MSCL 端子の入力信号が“L”になると、内部 SCL 出力を“L”にします。この場合、ストップコンディションの生成、I2CCR0 レジスタの ICE ビットへの“0”書き込み (I²C バスインタフェース機能停止)、RST ビットへの“1”書き込み (I²C バスインタフェースリセット) のいずれかを行うと、MSCL 端子の“L”出力を停止 (開放) します。

24.4 スタートコンディション重複防止機能

スタートコンディション生成時は、バスが使用されていないことを、I²CSR レジスタの BBSY ビットで確認した後、スタートコンディションを生成させますが、BBSY ビットの確認後スタートコンディションが生成される間に、他のマスタデバイスがスタートコンディションを生成し、BBSY ビットが“1”になる可能性があります。その場合、スタートコンディション重複防止機能が動作し、スタートコンディションの生成は中止されます。

スタートコンディション重複防止機能の動作は以下のとおりです。

- スタートコンディションスタンバイ設定を禁止 (スタンバイ状態を解除)
- I²CTRSR レジスタへの書き込みを禁止 (スタートコンディショントリガ発生禁止)
- I²CSR レジスタの MST、TRS ビットが“0”になる (スレーブ受信モードに移行)
- I²CSR レジスタの AL ビットが“1”になる (アービトラージロスト検出)

図 24.19 にスタートコンディション重複防止機能動作例を示します。

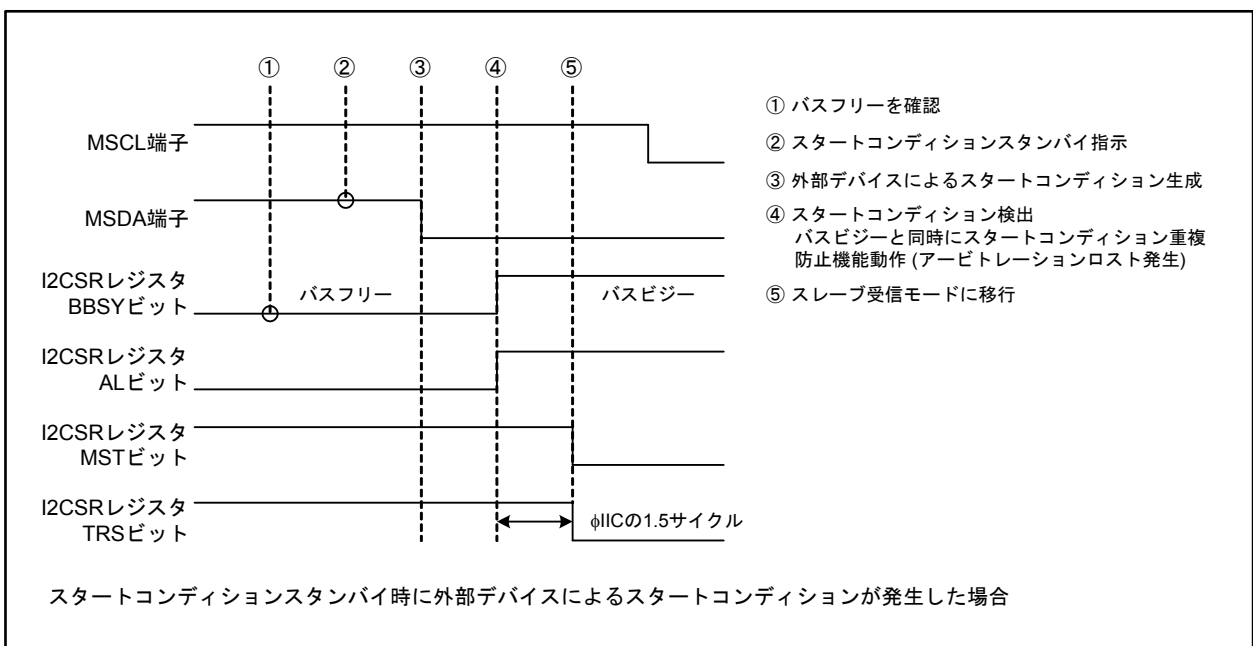


図 24.19 スタートコンディション重複防止機能動作例

スタートコンディション重複防止機能の有効期間は、スタートコンディションの SDA 立ち下がりからスレーブアドレスの受信完了までです。すなわち、この期間に I²CSR レジスタ、I²CTRSR レジスタに書き込むと上記の動作をします。図 24.20 にスタートコンディション重複防止機能有効期間を示します。

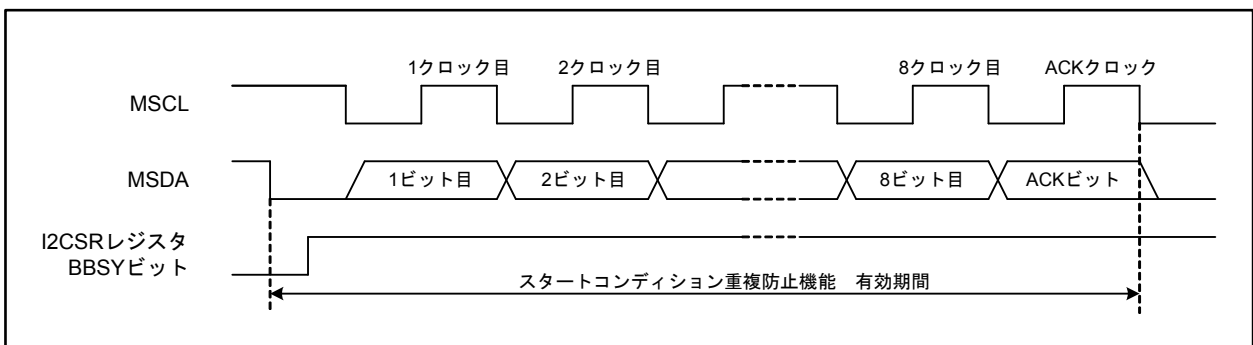


図 24.20 スタートコンディション重複防止機能有効期間

24.5 スタートコンディション/ストップコンディション検出

図 24.21 にスタートコンディション検出、図 24.22 にストップコンディション検出、表 24.10 にスタートコンディション/ストップコンディションの検出条件を示します。スタートコンディション/ストップコンディションはI²CSSCRレジスタのSSC4~SSC0ビットにより条件が設定され、MSCL端子、MSDA端子の入力信号が、表 24.10のMSCL端子開放時間、セットアップ時間、ホールド時間の3つの条件を満たす場合のみ検出できます。

I²CSRレジスタのBBSYビットは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。BBSYビットのセット/リセットタイミングは標準モードと高速モードで異なります。表 24.11のBBSYビットセット/リセット時間を参照してください。また、表 24.11に標準モードでのSSC4~SSC0ビットの推奨値を示します。

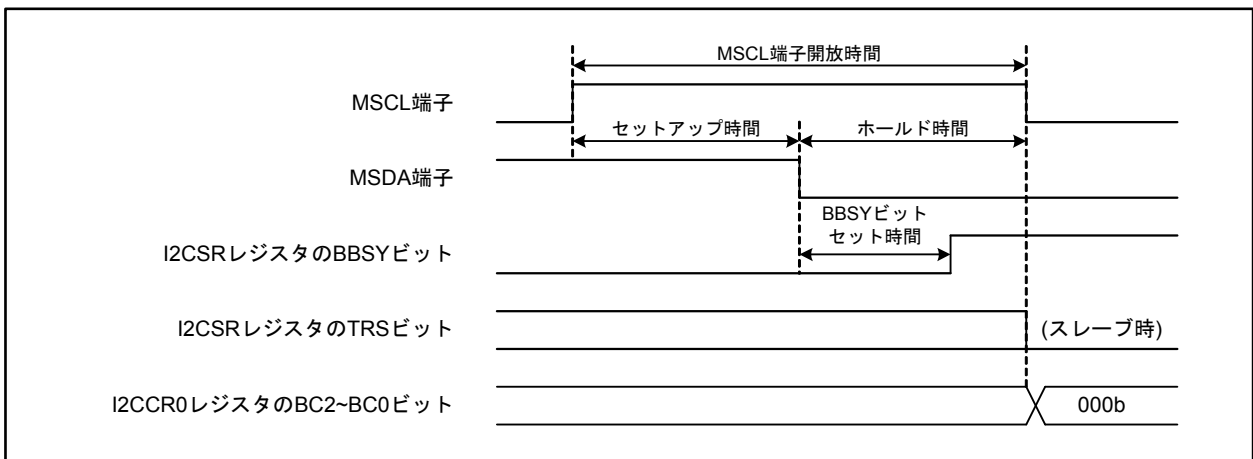


図 24.21 スタートコンディション検出

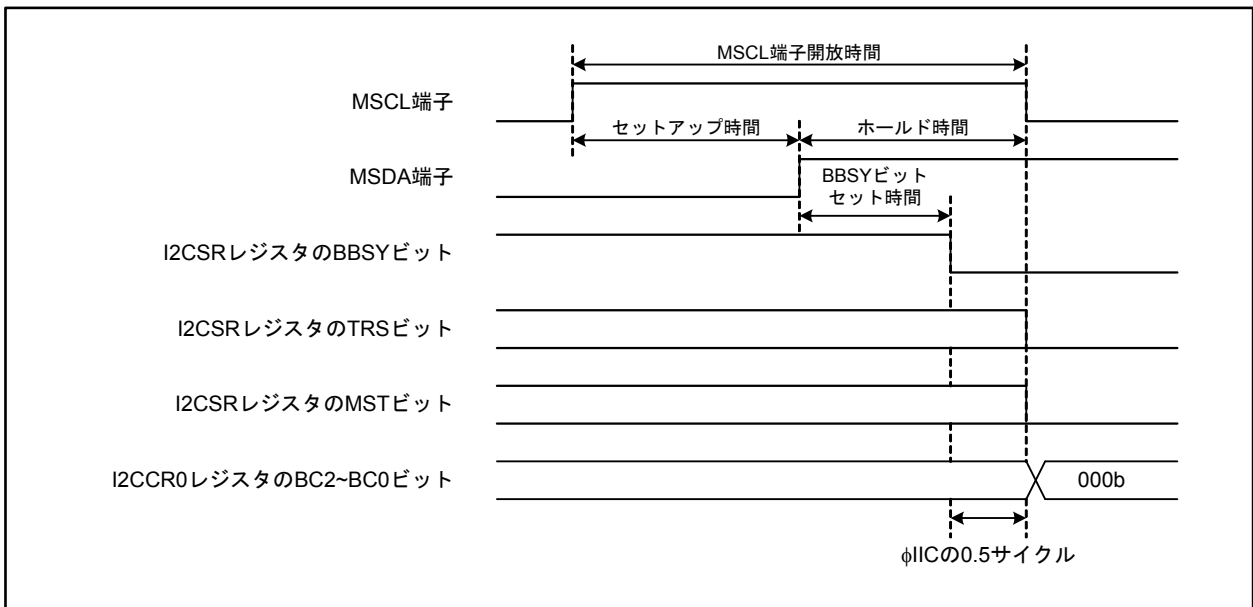


図 24.22 ストップコンディション検出

表 24.10 スタートコンディション/ストップコンディションの検出条件

項目	標準モード	高速モード
MSCL 端子開放時間	SSC 値 + 1 サイクル (6.25 μs)	4 サイクル (1.0 μs)
セットアップ時間	$\frac{\text{SSC 値}}{2} + 1$ サイクル < 4.0 μs (3.25 μs)	2 サイクル (0.5 μs)
ホールド時間	$\frac{\text{SSC 値}}{2}$ サイクル < 4.0 μs (3.0 μs)	2 サイクル (0.5 μs)
BBSY ビットセット/リセット時間	$\frac{\text{SSC 値} - 1}{2} + 2$ サイクル (3.375 μs)	3.5 サイクル (0.875 μs)

単位: φIIC のサイクル数

SSC 値: I2CSSCR レジスタの SSC4~SSC0 ビットの値で、0 および奇数は設定禁止

() 内は、φIIC = 4 MHz 時、I2CSSCR レジスタ = 18h の場合の時間例

表 24.11 標準モードでの SSC4~SSC0 ビットの推奨値

φIIC	SSC 推奨値	スタートコンディション/ストップコンディションの検出条件			BBSY ビット セット/リセット時間
		MSCL 端子開放時間	セットアップ時間	ホールド時間	
5 MHz	30	6.2 μs (31)	3.2 μs (16)	3.0 μs (15)	4.125 μs (16.5)
4 MHz	26	6.75 μs (27)	3.5 μs (14)	3.25 μs (13)	3.625 μs (14.5)
	24	6.25 μs (25)	3.25 μs (13)	3.0 μs (12)	3.375 μs (13.5)
2 MHz	12	6.5 μs (13)	3.5 μs (7)	3.0 μs (6)	3.75 μs (7.5)
	10	5.5 μs (11)	3.0 μs (6)	2.5 μs (5)	3.25 μs (6.5)
1 MHz	4	5.0 μs (5)	3.0 μs (3)	2.0 μs (2)	3.5 μs (3.5)

() 内は φIIC のサイクル数

SSC 推奨値: I2CSSCR レジスタの SSC4~SSC0 ビットの 10 進値

24.6 データ送受信

7ビットアドレスフォーマットでマスタ送信またはスレーブ受信を行う場合のデータ送受信フォーマット例を、「24.6.1 マスタ送信例~24.6.2 スレーブ受信例」に示します。これらの例は、表 24.12 の条件による初期設定後に通信を始めた場合の例です。

表 24.12 初期設定例

レジスタ	設定値	設定項目	設定内容
I2CSAR	02h	自己スレーブアドレス	1
I2CCCR	85h	SCL周波数	100 kHz (ϕ IIC = 4 MHz)
		クロックモード	標準モード
		ACKクロック	あり
I2CCR2	00h	タイムアウト検出	禁止
I2CCR1	13h	ストップコンディション検出割り込み	許可
		データ受信完了割り込み	許可
		ϕ IIC選択	fIICの2分周
I2CSR	0Fh	通信モード	スレーブ受信モード
I2CSSCR	98h	SSC値(表 24.11 参照)	24
		スタートコンディション/ストップコンディション生成選択	ロングモード
I2CCR0	08h	送受信ビット数	8ビット
		I ² Cバスインタフェース機能	有効(通信許可)
		データフォーマット	アドレッシングフォーマット
I2CMR	09h	I ² Cバスインタフェース/UART2切り替え	I ² Cバスインタフェースを選択
		I ² Cバスインタフェースクロック源	fIIC = f2n

24.6.1 マスタ送信例

マスタ送信の手順と動作を説明します。図 24.23 にマスタ送信の動作例を示します。下記(A)~(C)は、それぞれ図 24.23 に対応した実行手順を示し、その中の(1)~(3)はプログラムによる指示、「→」で始まる行はマイコンによる自動処理を意味します。

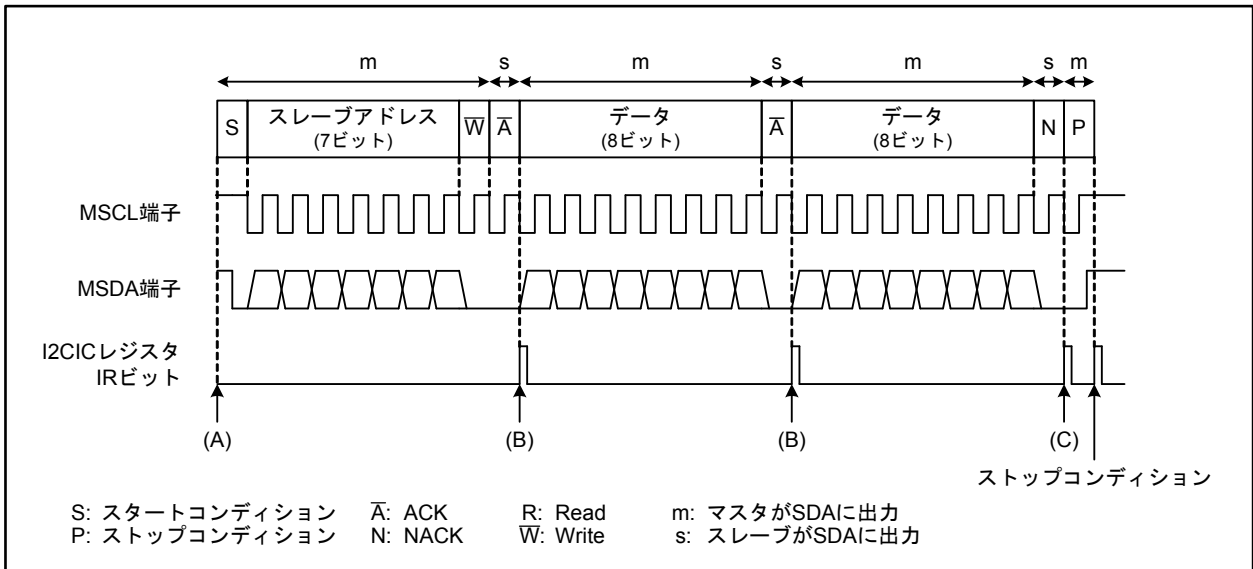


図 24.23 マスタ送信の動作例

(A) スレーブアドレス送信

- (1) I2CSR レジスタの BBSY ビットが“0” (バスフリー) であることを確認
- (2) I2CSR レジスタに“E0h”を書く
→ スタートコンディションスタンバイ状態になる
- (3) I2CTRSR レジスタの上位7ビットに送信先(スレーブ)のアドレスを書く
→ スタートコンディションが生成される
→ スレーブアドレスが送信される

(B) データ送信 (I²C バス割り込みルーチン内での処理)

- (1) I2CTRSR レジスタに送信データを書く
→ データが送信される
複数バイトのデータを送信する場合、I2CTRSR レジスタに連続してデータを書きます。

(C) マスタ送信完了 (I²C バス割り込みルーチン内での処理)

- (1) I2CSR レジスタに“C0h”を書く
→ ストップコンディションスタンバイ状態になる
- (2) I2CTRSR レジスタにダミーデータを書く
→ ストップコンディションが生成される

送信が完了した場合の他、スレーブデバイスから ACK 応答がない場合 (図 24.23 のように NACK が返った場合) もマスタ送信完了の処理をしてください。

24.6.2 スレーブ受信例

スレーブ受信の手順と動作を説明します。図 24.24 にスレーブ受信の動作例を示します。下記(A)~(D)は、それぞれ図 24.24 に対応した実行手順を示し、その中の(1)~(3)はプログラムによる指示、「→」で始まる行はマイコンによる自動処理を意味します。

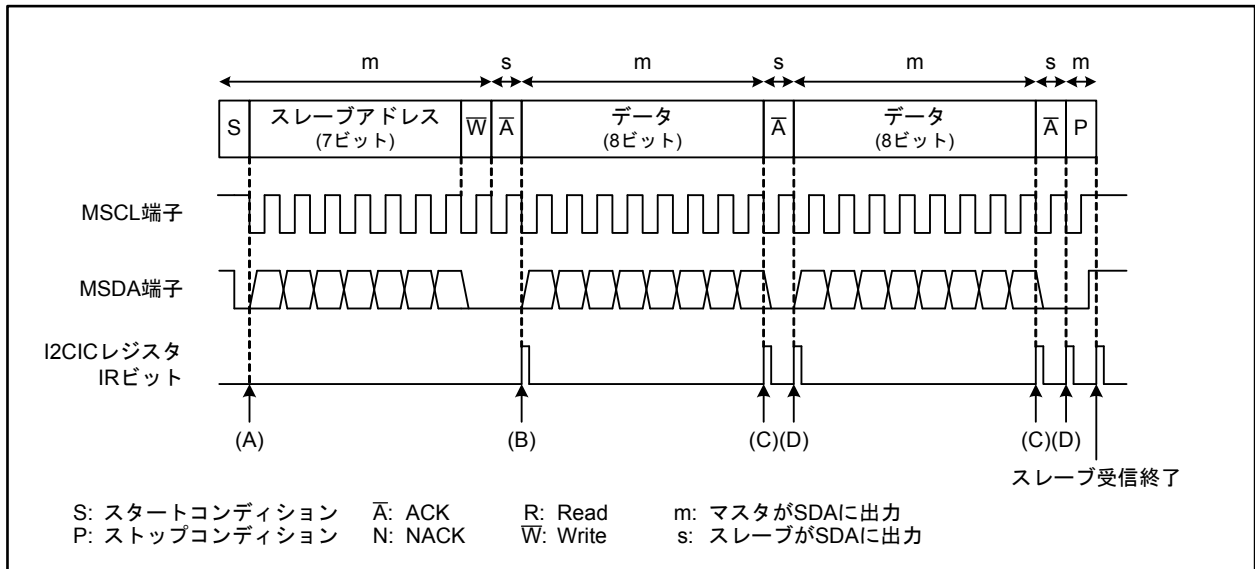


図 24.24 スレーブ受信の動作例

(A) スレーブアドレス受信(マイコンによる自動処理)

- スタートコンディションを検出
- スレーブアドレスを受信
- 以下の場合ACKが送信され、I²Cバスインタフェース割り込みが発生
 - ジェネラルコールアドレスを受信(I2CSRレジスタのADZビットが“1”)
 - アドレス一致検出(I2CSRレジスタのAASビットが“1”)

(B) スレーブ受信開始(I²Cバス割り込みルーチン内での処理)

- (1) I2CSRレジスタの内容確認。TRSビットが“0”ならスレーブ受信
- (2) I2CTRSRレジスタにダミーデータを書く
 - データ受信開始

(C) データ受信完了(I²Cバス割り込みルーチン内での処理)

- (1) I2CTRSRレジスタから受信データ読み出し
- (2) 最終データの場合は、I2CCCRレジスタのACKDビットを“1”(NACK)にする
- (3) 最終データ以外の場合は、I2CCCRレジスタのACKDビットを“0”(ACK)にする
 - ACK/NACKが送信され、I²Cバスインタフェース割り込みが発生

(D) ACK送信完了(I²Cバス割り込みルーチン内での処理)

- (1) I2CTRSRレジスタにダミーデータを書く
 - 最終データの場合は、ストップコンディションを検出
 - 最終データ以外の場合は、再度データ受信開始

24.7 使用上の注意事項

24.7.1 I²C バスインタフェースの各レジスタアクセス

I²C バスインタフェースの各制御レジスタに対して、読み出しや書き込みをする場合の注意事項を示します。

- I2CTRSR レジスタ

データ送受信中に書き込みを行わないでください。送受信ビットカウンタがリセットされ、正常にデータ送受信ができなくなります。

- I2CCR0 レジスタ

スタートコンディション検出時と1バイト送受信完了時に BC2~BC0 ビットが“000b”になるので、このタイミングで読み出しや書き込みを行った場合、意図しない値になることがあります。ビットカウンタのリセットタイミングを図 24.26、図 24.27 に示します。

- I2CCCR レジスタ

送受信途中で、ACKD ビット以外のビットを書き換えしないでください。送受信中に書き換えを行うと、I²C バスクロック回路がリセットされ、正常に送受信ができません。

- I2CCR1 レジスタ

ICK4~ICK0 ビットは I2CCR0 レジスタの ICE ビットを“0” (I²C バスインタフェース機能停止) に設定している状態で書き換えを行ってください。RIE ビットは、読み出しを行うと内部 WAIT フラグが読み出されます。よって本レジスタにはビット処理命令 (リードモディファイライト命令) を使用しないでください。

- I2CSR レジスタ

すべてのビットが通信状態により変化するので、ビット処理命令 (リードモディファイライト命令) を使用しないでください。また、通信モードを設定する MST、TRS ビットが変化するタイミングでは、読み出しや書き込みを行わないでください。意図しない値になることがあります。MST、TRS ビットが変化するタイミングを図 24.25~図 24.27 に示します。

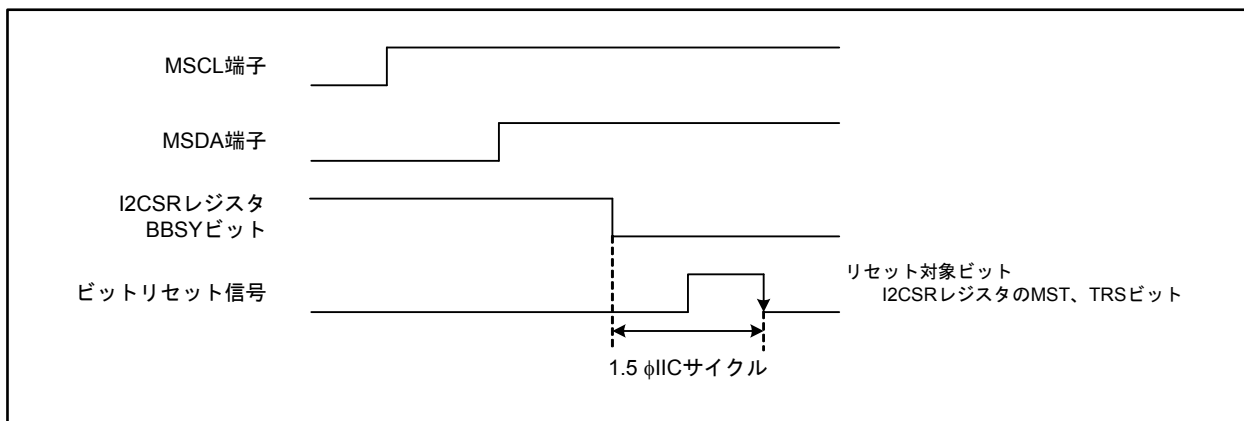


図 24.25 ビットリセットタイミング(ストップコンディション検出時)

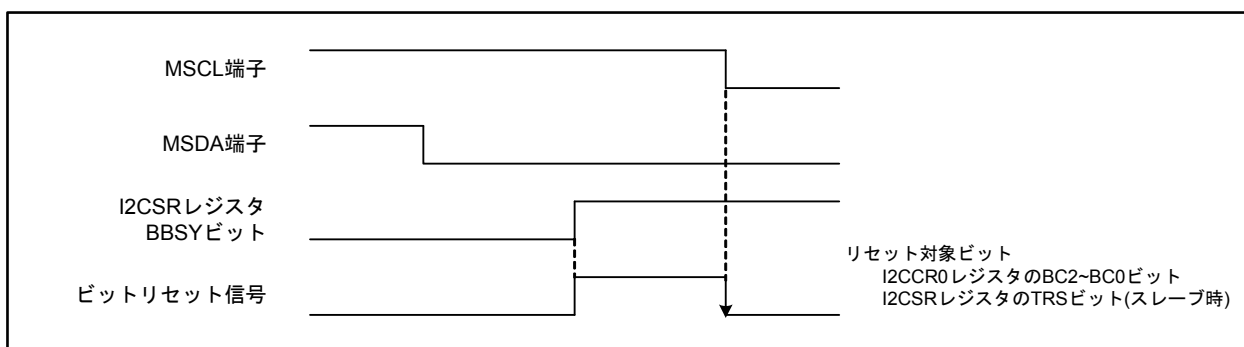


図 24.26 ビットリセットタイミング(スタートコンディション検出時)

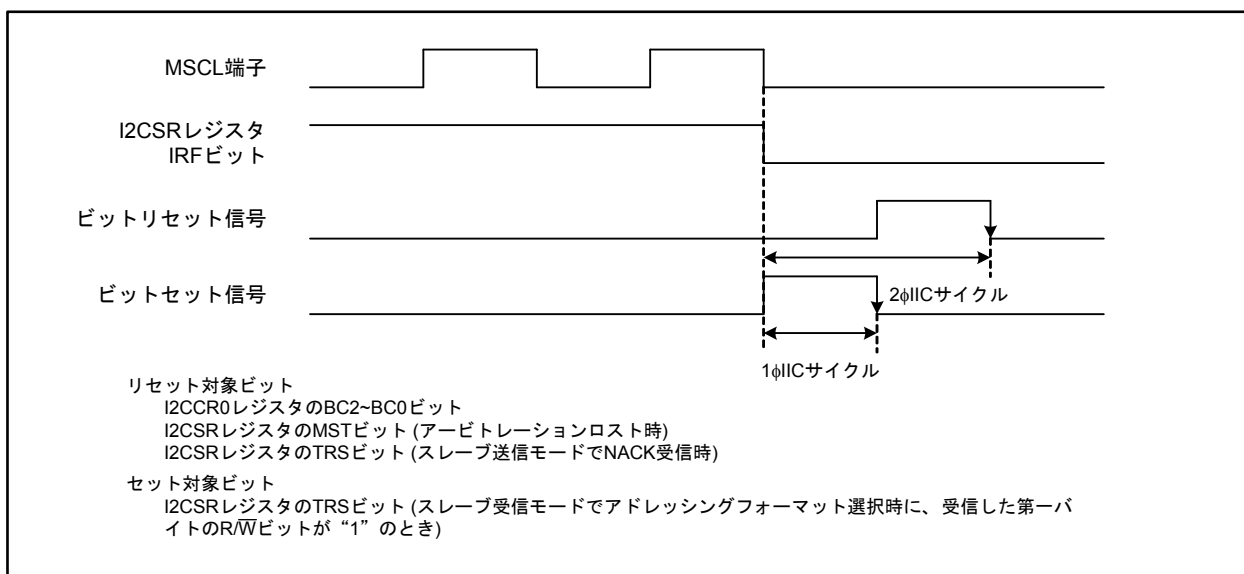


図 24.27 ビットセット/リセットタイミング(データ送受信完了時)

24.7.2 リスタートコンディションの生成

1 バイトのデータ送信完了後にリスタートコンディションを生成させる場合は、以下の手順を実行してください。

- (1) I2CSR レジスタに“E0h”を書く (スタートコンディションスタンバイ状態、MSDA 端子開放)
- (2) MSDA 端子が“H”になるまで待つ
- (3) I2CTRSR レジスタにスレーブアドレスを書く (スタートコンディショントリガ生成)

図 24.28 にリスタートコンディション生成タイミングを示します。

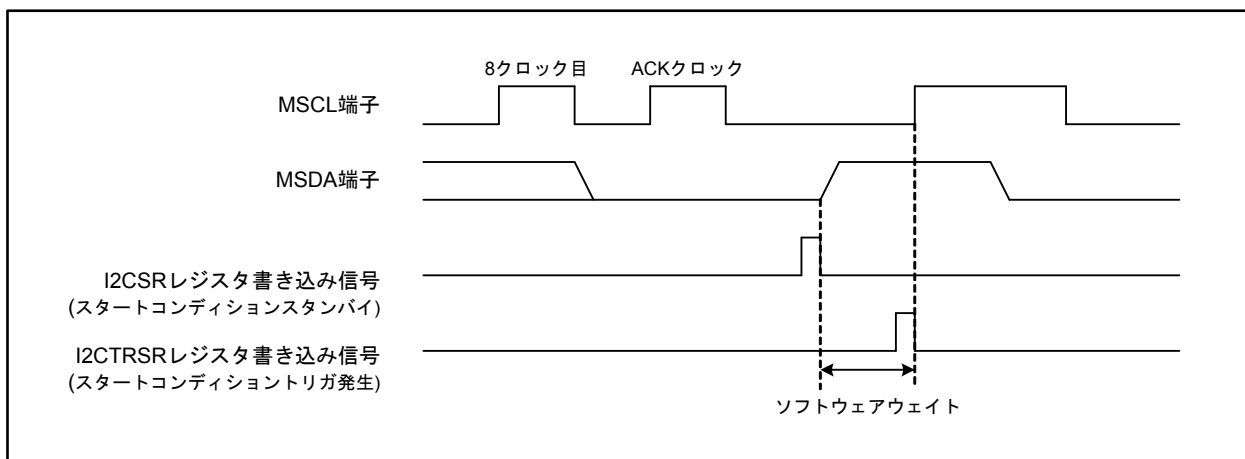


図 24.28 リスタートコンディション生成タイミング

25. プロテクト領域

R32C/116A グループには、不用意な書き込みから保護された32バイトのプロテクト領域が5つあります。

プロテクト領域は、RAMと同様にランダムにアクセスできる領域ですが、プロテクトを解除しない限り書き換えることはできません。

表 25.1 にプロテクト領域の配置を、図 25.1~図 25.2 に関連するレジスタを示します。

表 25.1 プロテクト領域の配置

名称	アドレス
プロテクト領域0	42000h~4201Fh
プロテクト領域1	42020h~4203Fh
プロテクト領域2	42040h~4205Fh
プロテクト領域3	42060h~4207Fh
プロテクト領域4	42080h~4209Fh

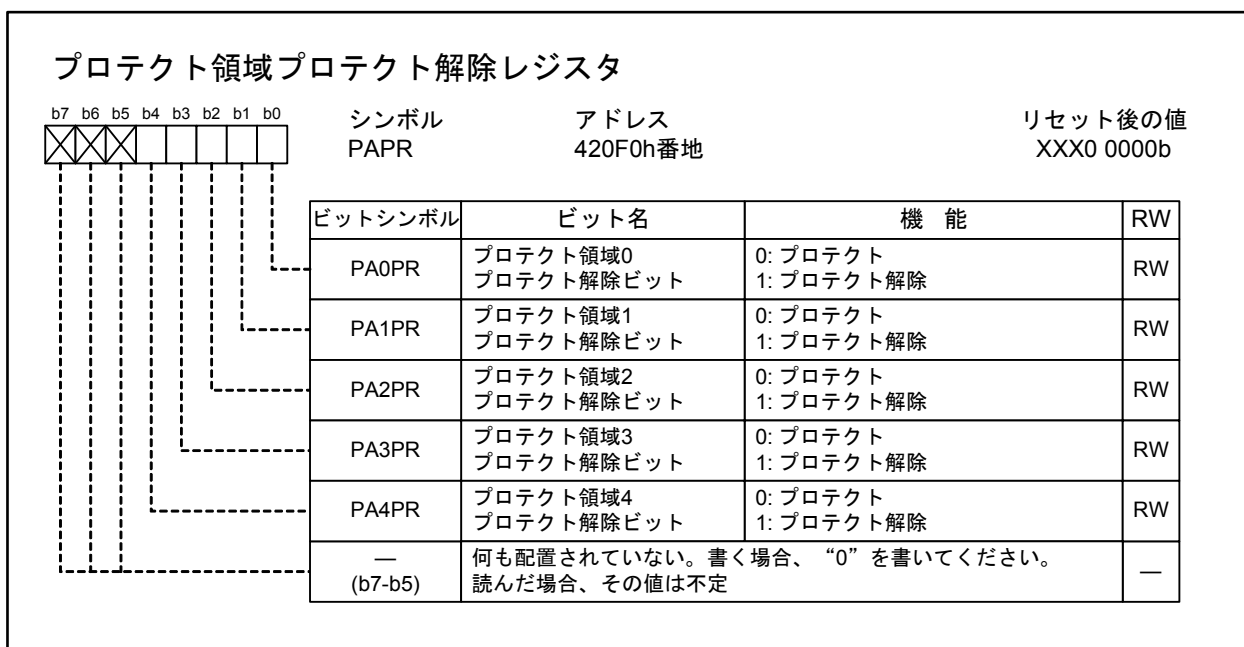


図 25.1 PAPR レジスタ

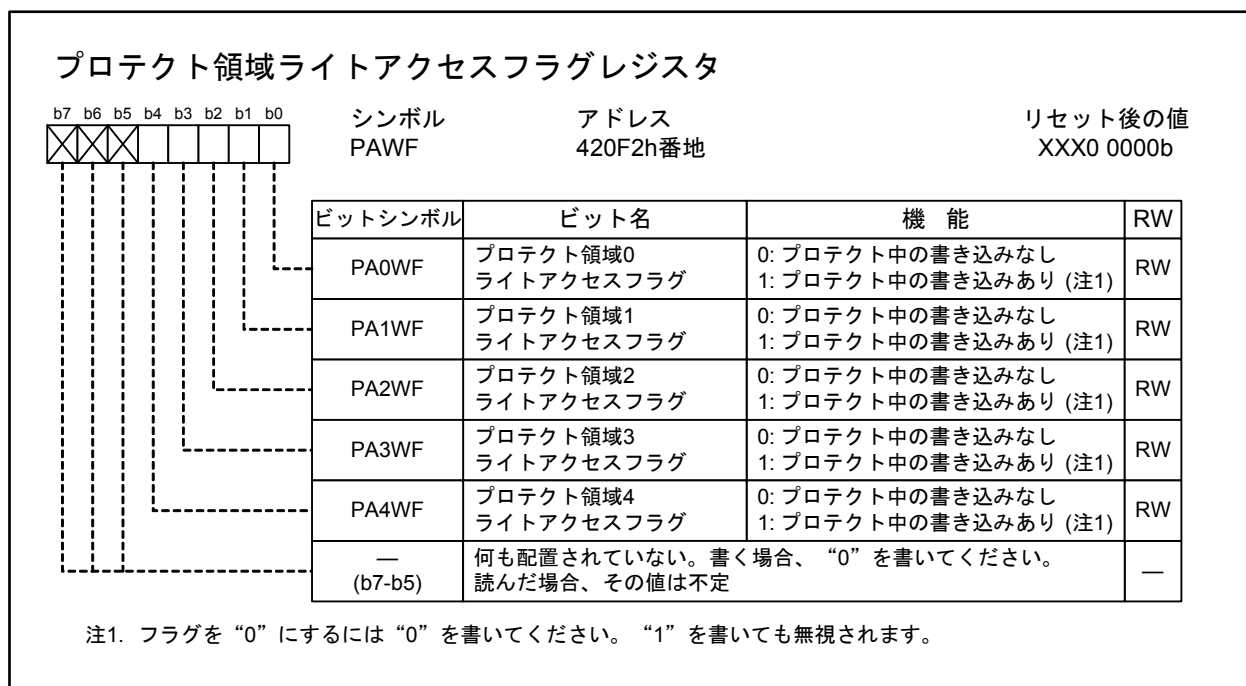


図 25.2 PAWF レジスタ

26. 入出力端子

本マイコンの各端子は、プログラマブル入出力ポート、内部周辺機能の入出力、またはバス制御端子として機能します。これらの機能は、機能選択レジスタや、プロセッサモードレジスタで切り替えて使用することができます。ここでは、機能選択レジスタについて説明します。バス制御端子として使用する場合は、「7. プロセッサモード」、「9. バス」を参照してください。

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は、端子が出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

図 26.1 に代表的な入出力端子のブロック図を示します。

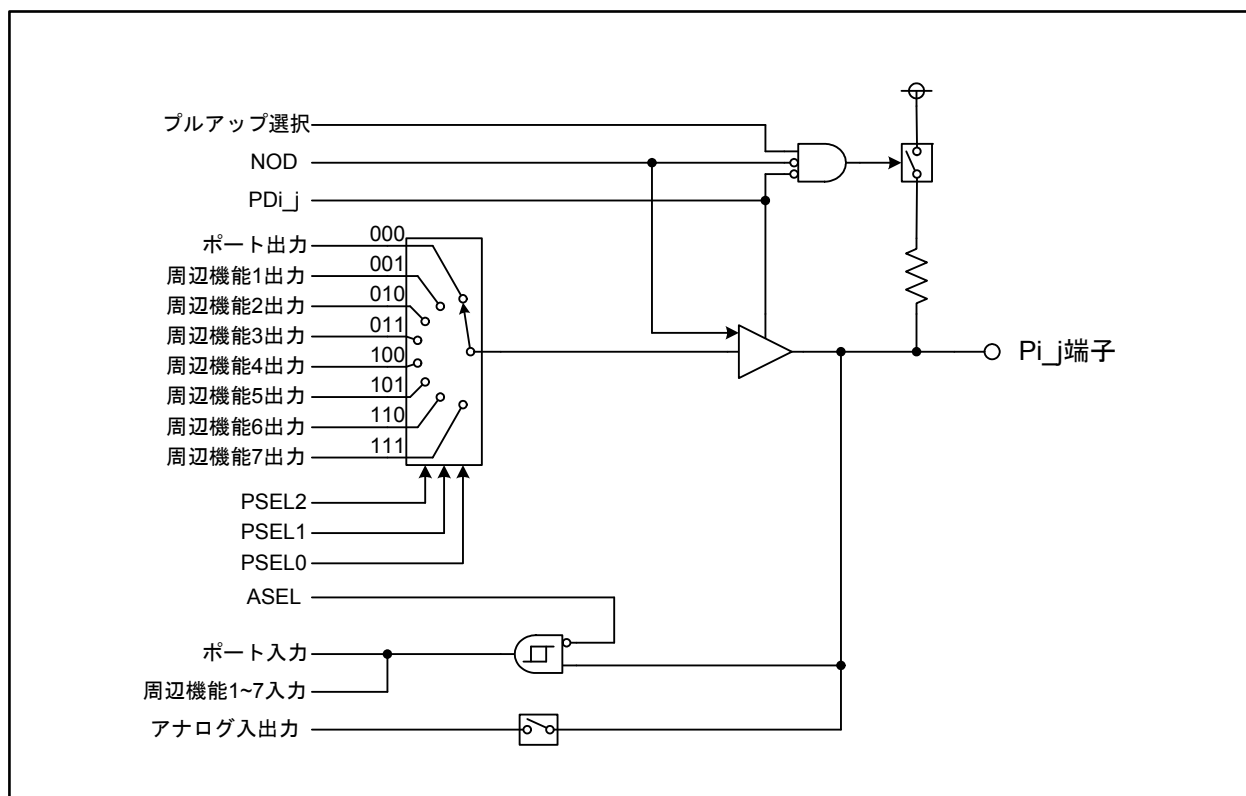


図 26.1 入出力端子ブロック図(代表例) ($i=0\sim 19$ 、 $j=0\sim 7$)

入出力端子には、端子の入出力方向を決定する方向レジスタと、端子の機能を決定する出力機能選択レジスタ、プルアップ抵抗を制御するプルアップ制御レジスタがあります。出力機能選択レジスタには、プログラマブル入出力ポートと周辺機能出力(アナログ出力を除く)のいずれを使用するかを選択するためのビット PSEL2~PSEL0 と、端子の出力を N チャンネルオープンドレインにするためのビット NOD、アナログ入出力時に発生する中間電位によって入力バッファの消費電流が増大するのを防ぐためのビット ASEL があります。

アナログ入出力端子として使用する場合は、 PDi_j に“0”(入力)を設定し、PSEL2~PSEL0 に“000b”を、ASEL ビットに“1”を設定してください。

ポート P8_5 は \overline{NMI} と端子を共用する入力専用端子となっており、機能選択レジスタ、方向レジスタのビット 5 とともにありません。また、ポート P14_1 も入力専用端子となっており、機能選択レジスタ、方向レジスタのビット 1 とともに予約領域になっています。

また、ポート P9 は PRCR レジスタの PRC2 ビットにより、意図しない書き込みから保護されています(「10. プロテクト」参照)。

26.1 ポートPi方向レジスタ (PDiレジスタ、i=0~19)

端子の入出力方向を選択するためのレジスタです。このレジスタの各ビットは、各端子と一対一に対応しています。

メモリ拡張モードとマイクロプロセッサモードでは、バス制御信号(A0~A23, D0~D31, $\overline{CS0}$ ~ $\overline{CS3}$, \overline{WR} / $\overline{WR0}$, $\overline{BC0}$, $\overline{BC1}/\overline{WR1}$, $\overline{BC2}/\overline{WR2}$, $\overline{BC3}/\overline{WR3}$, \overline{RD} , CLKOUT/BCLK, HLDA, HOLD, ALE, RDY)が割り当てられている端子のPDiレジスタは変更できません。

図 26.2にPDiレジスタを示します。

なお、P8_5に対応する方向レジスタのビットはありません。またP14_1に対応する方向レジスタのビットは予約ビットとなっております。

また、PD9レジスタはPRCRレジスタのPRC2ビットにより、意図しない書き込みから保護されています(「10. プロテクト」参照)。

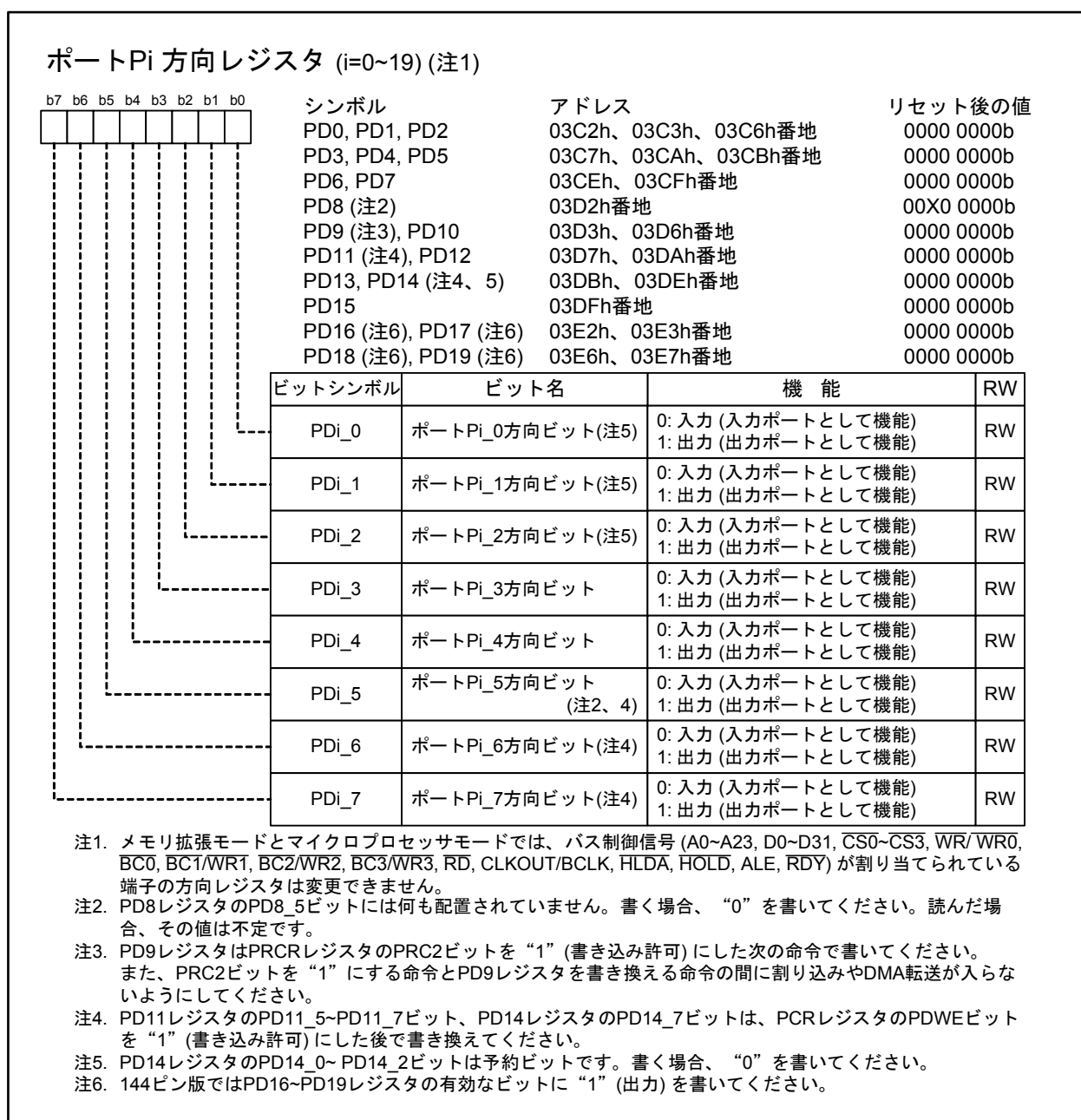


図 26.2 PD0~PD19 レジスタ

26.2 出力機能選択レジスタ

プログラマブル入出力ポートと周辺機能出力が端子を共用している場合、その端子の出力機能を決定するレジスタです。入力に関しては、このレジスタの設定にかかわらず、接続されたすべての周辺機能に入力されます。

出力機能選択レジスタには、プログラマブル入出力ポートと周辺機能出力(アナログ出力を除く)のいずれを使用するかを選択するためのビットPSEL2~PSEL0と、端子の出力をNチャンネルオープンドレインにするためのビットNOD、アナログ入出力時に発生する中間電位による消費電流増大を防ぐためのビットASELがあります。

表 26.1にPSEL2~PSEL0の値と周辺機能の相関を、図 26.3~図 26.22に機能選択レジスタを示します。

なお、ポートP8_5、P14_1は入力専用端子ですので、出力機能選択レジスタはありません。

また、P9_iSレジスタはPRCRレジスタのPRC2ビットにより、意図しない書き込みから保護されています(「10. プロテクト」参照)。

表 26.1 周辺機能の割り当て

PSEL2~PSEL0	周辺機能
001b	タイマ
010b	三相モータ制御機能
011b	UART
100b	UART 特殊機能
101b	インテリジェントI/Oグループ0, 2
110b	インテリジェントI/Oグループ1
111b	UART8

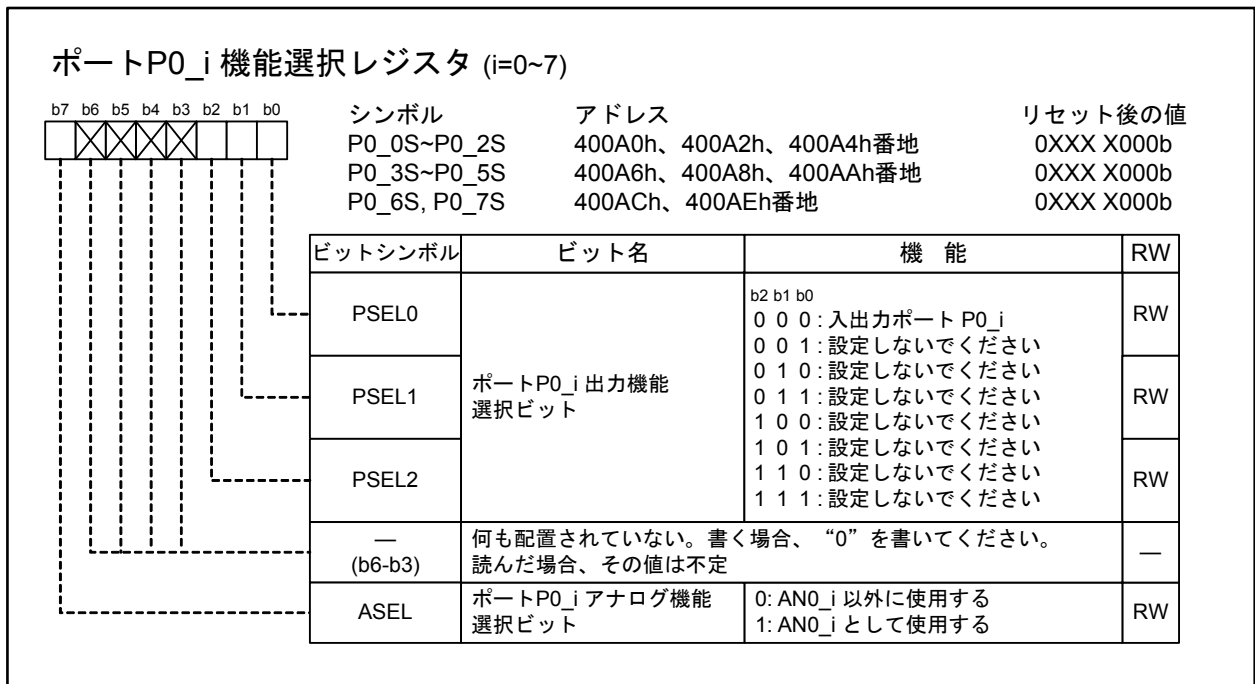


図 26.3 P0_0S~P0_7S レジスタ

ポートP0_i (i=0~7)はA/Dコンバータ入力AN0_iと端子を共用しています。

プログラマブル入出力ポートとして使用する場合、P0_iS レジスタには“00h”を設定してください。A/Dコンバータ入力として使用する場合は、P0_iS レジスタに“80h”を設定し、PD0_iを“0”(ポートP0_iを入力)に設定してください。

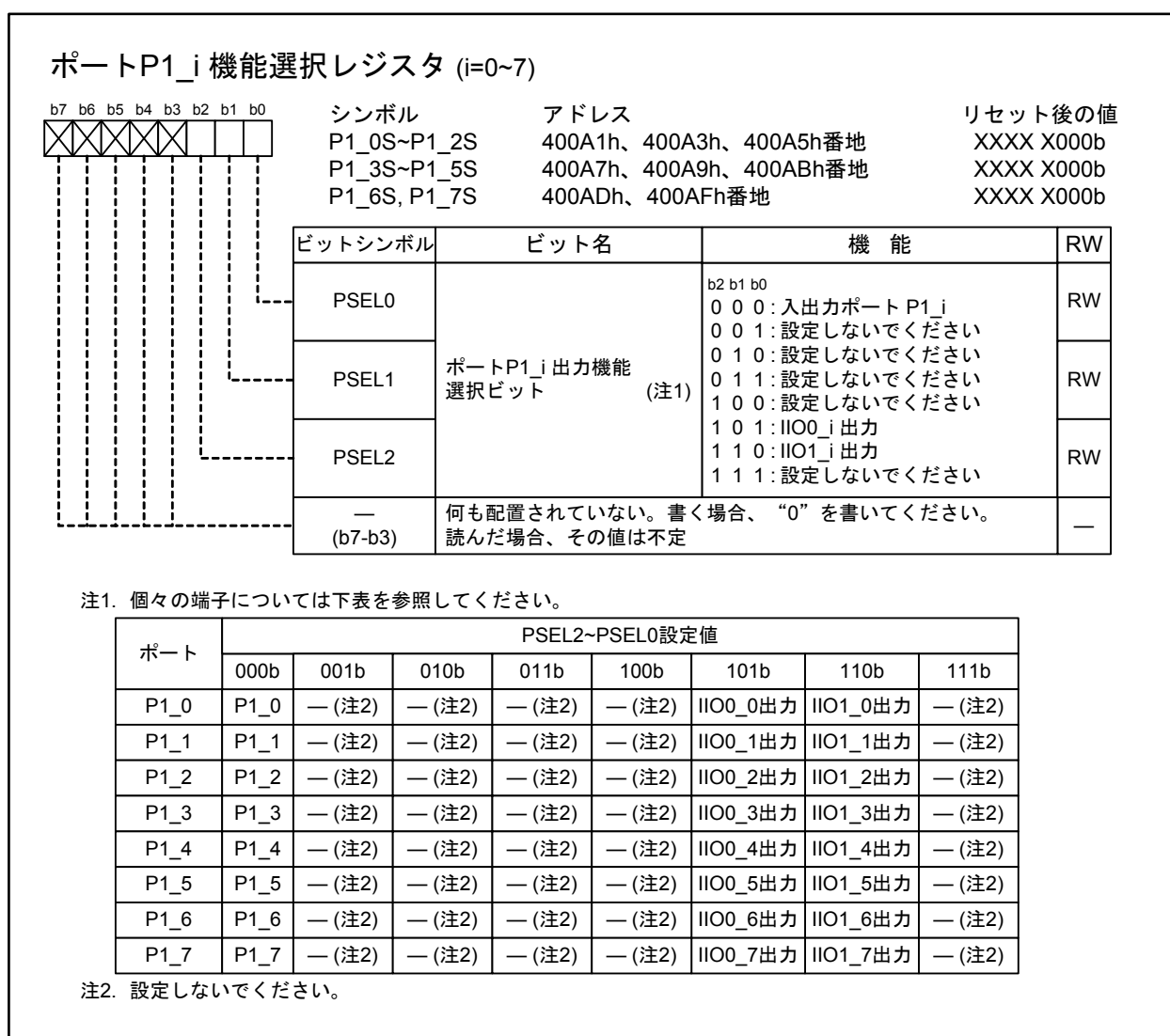


図 26.4 P1_0S~P1_7S レジスタ

ポートP1_i (i=0~7)はインテリジェントI/Oグループ0、1 (IIO0, IIO1)、外部割り込み入力と端子を共有しています。

出力端子として使用する場合は、PD1_iを“1” (ポートP1_iを出力)に設定し、図 26.4に従って機能を選択してください。また、入力端子として使用する場合は、PD1_iを“0” (ポートP1_iを入力)に設定してください。

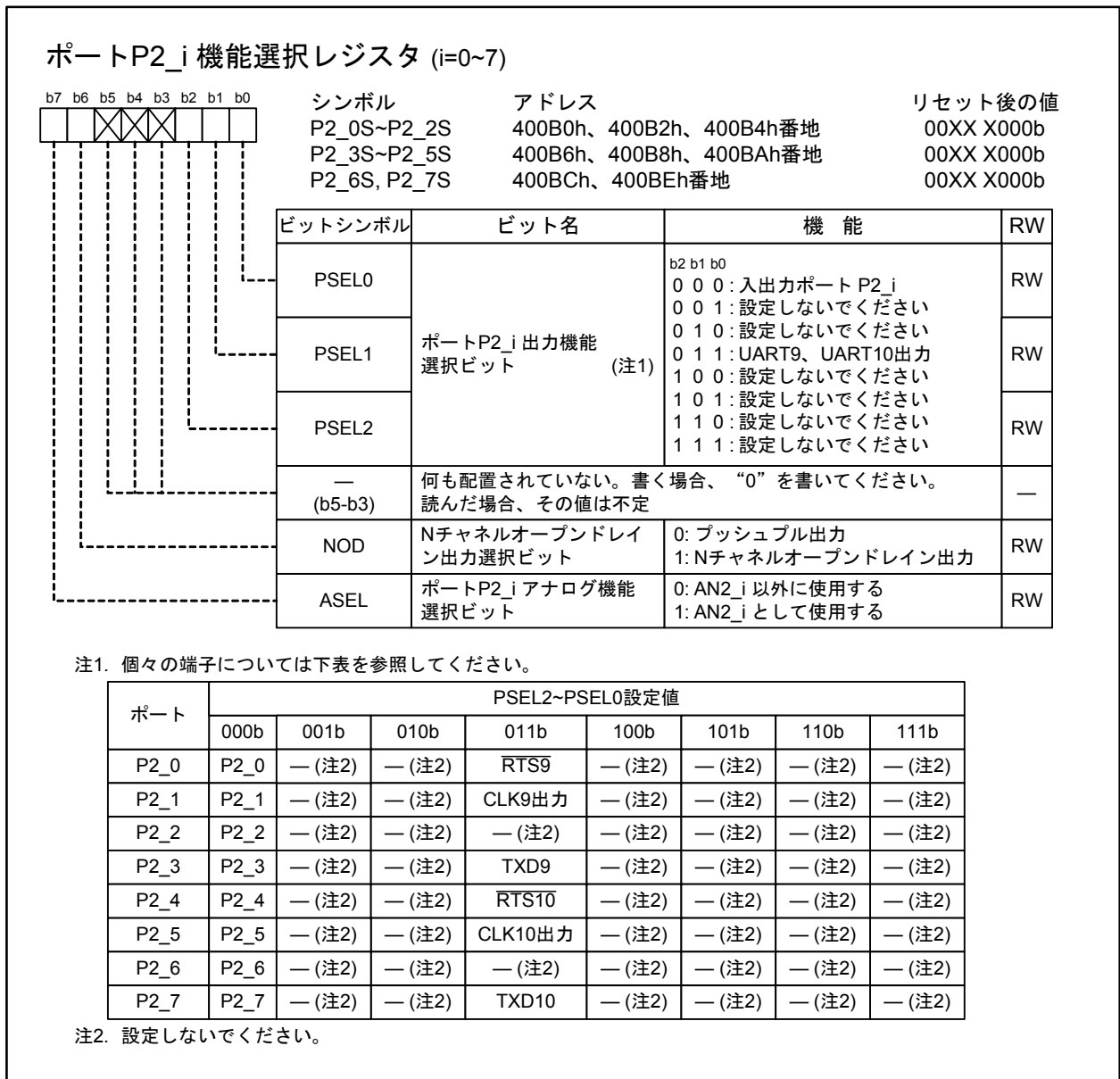


図 26.5 P2_0S~P2_7S レジスタ

ポートP2_i (i=0~7)はシリアルインタフェース(UART9, UART10)、A/Dコンバータ入力AN2_iと端子を共用しています。

出力端子として使用する場合は、PD2_iを“1”(ポートP2_iを出力)に設定し、図26.5に従って機能を選択してください。また、A/Dコンバータ以外の入力端子として使用する場合は、PD2_iを“0”(ポートP2_iを入力)に設定してください。A/Dコンバータ入力として使用する場合は、P2_iSレジスタに“80h”を設定し、PD2_iを“0”(ポートP2_iを入力)に設定してください。



図 26.6 P3_0S~P3_7S レジスタ

ポートP3_i (i=0~7)はタイマ出力、三相モータ制御出力と端子を共用しています。

出力端子として使用する場合は、PD3_iを“1”(ポートP3_iを出力)に設定し、図 26.6に従って機能を選択してください。また、入力端子として使用する場合は、PD3_iを“0”(ポートP3_iを入力)に設定してください。

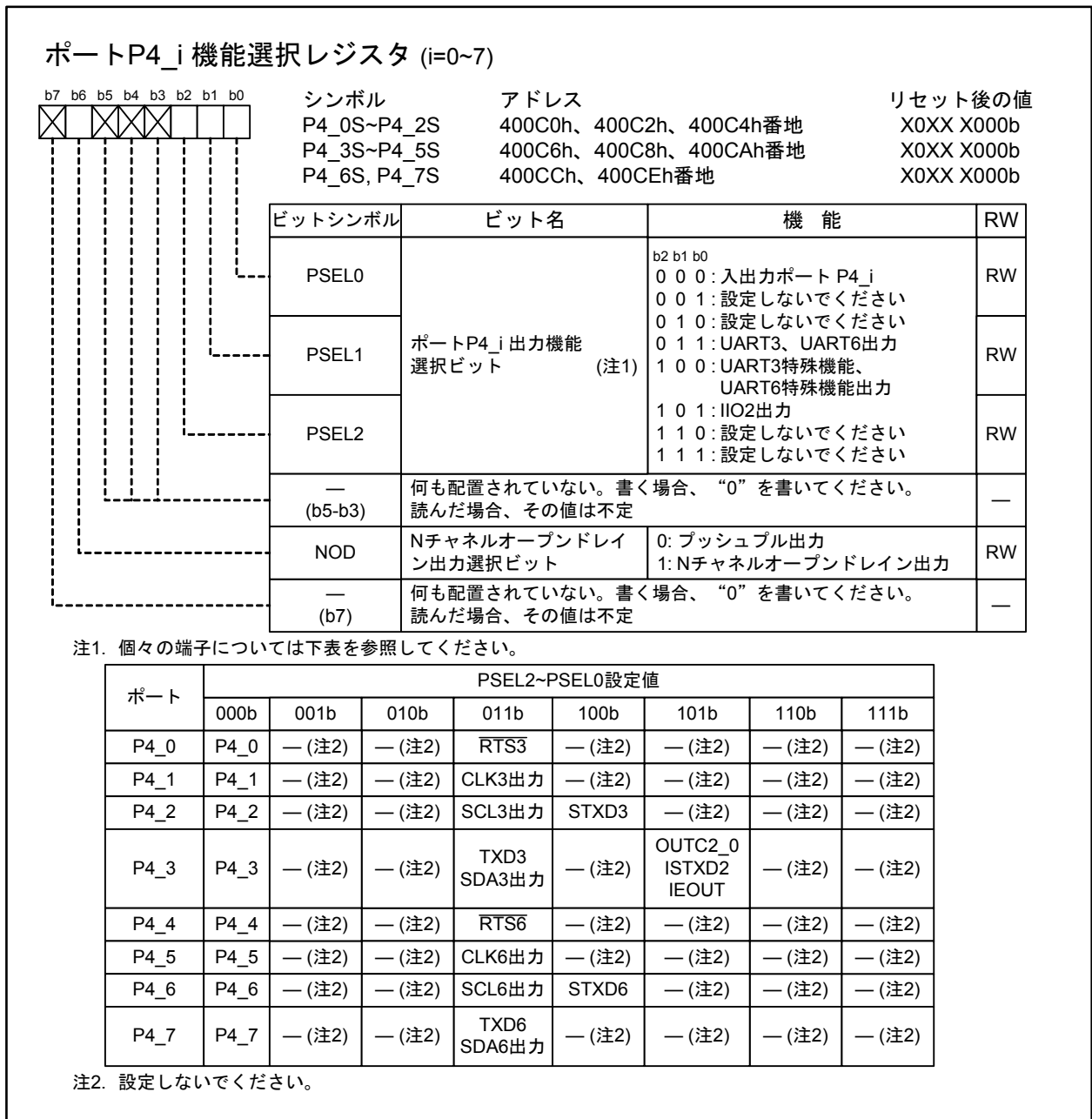


図 26.7 P4_0S~P4_7S レジスタ

ポートP4_i (i=0~7)はシリアルインタフェース(UART3, UART6)、インテリジェントI/Oグループ2 (IIO2)と端子を共用しています。

出力端子として使用する場合は、PD4_iを“1”(ポートP4_iを出力)に設定し、図 26.7に従って機能を選択してください。また、入力端子として使用する場合は、PD4_iを“0”(ポートP4_iを入力)に設定してください。

ポートP4_0~P4_7は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャンネルオープンドレイン出力にしてください。

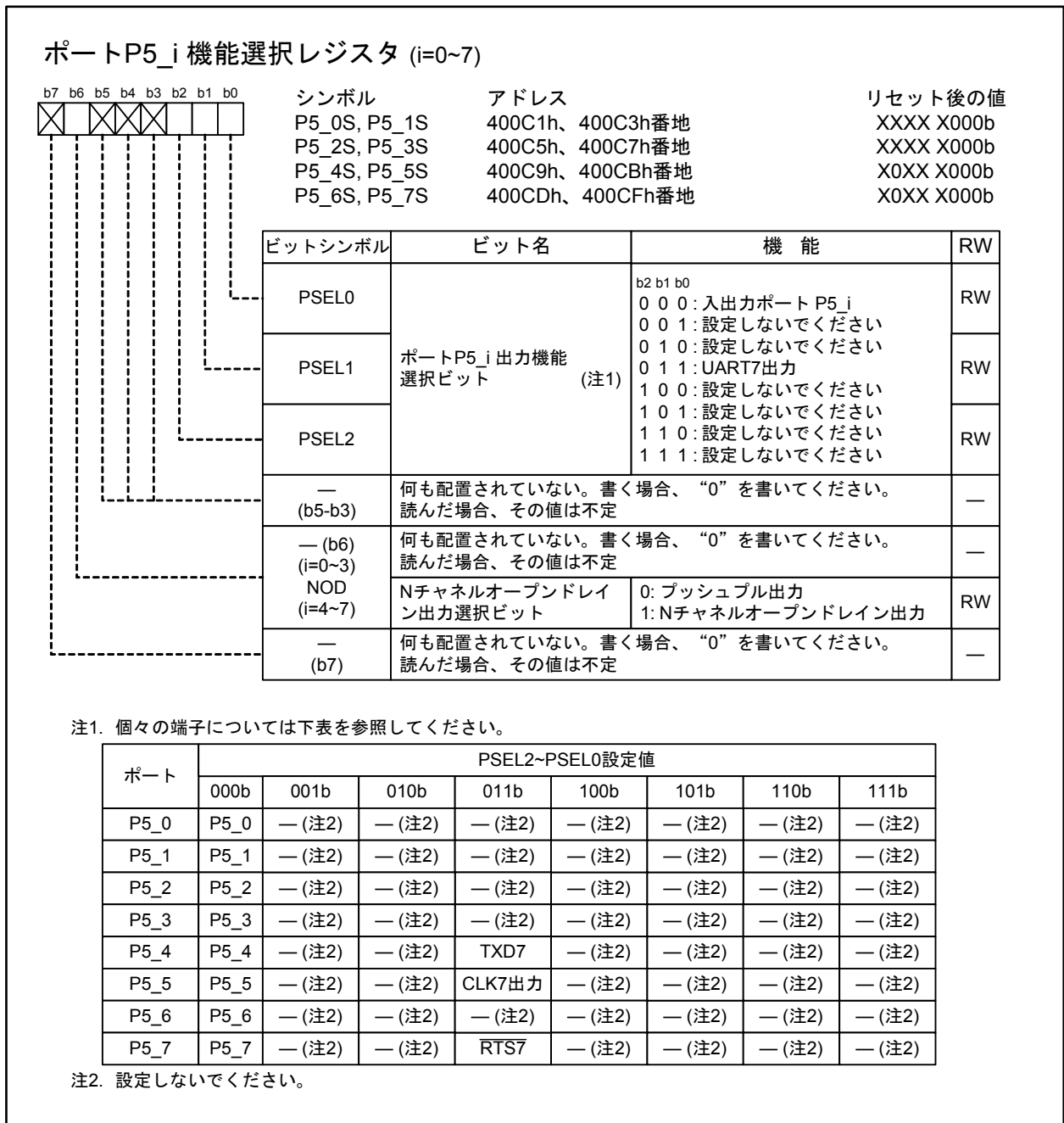


図 26.8 P5_0S~P5_7S レジスタ

ポートP5_i (i=0~7)はシリアルインタフェース(UART7)と端子を共用しています。

出力端子として使用する場合は、PD5_iを“1”(ポートP5_iを出力)に設定し、図 26.8に従って機能を選択してください。また、入力端子として使用する場合は、PD5_iを“0”(ポートP5_iを入力)に設定してください。

ポートP5₄~P5₇は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャンネルオープンドレイン出力にしてください。

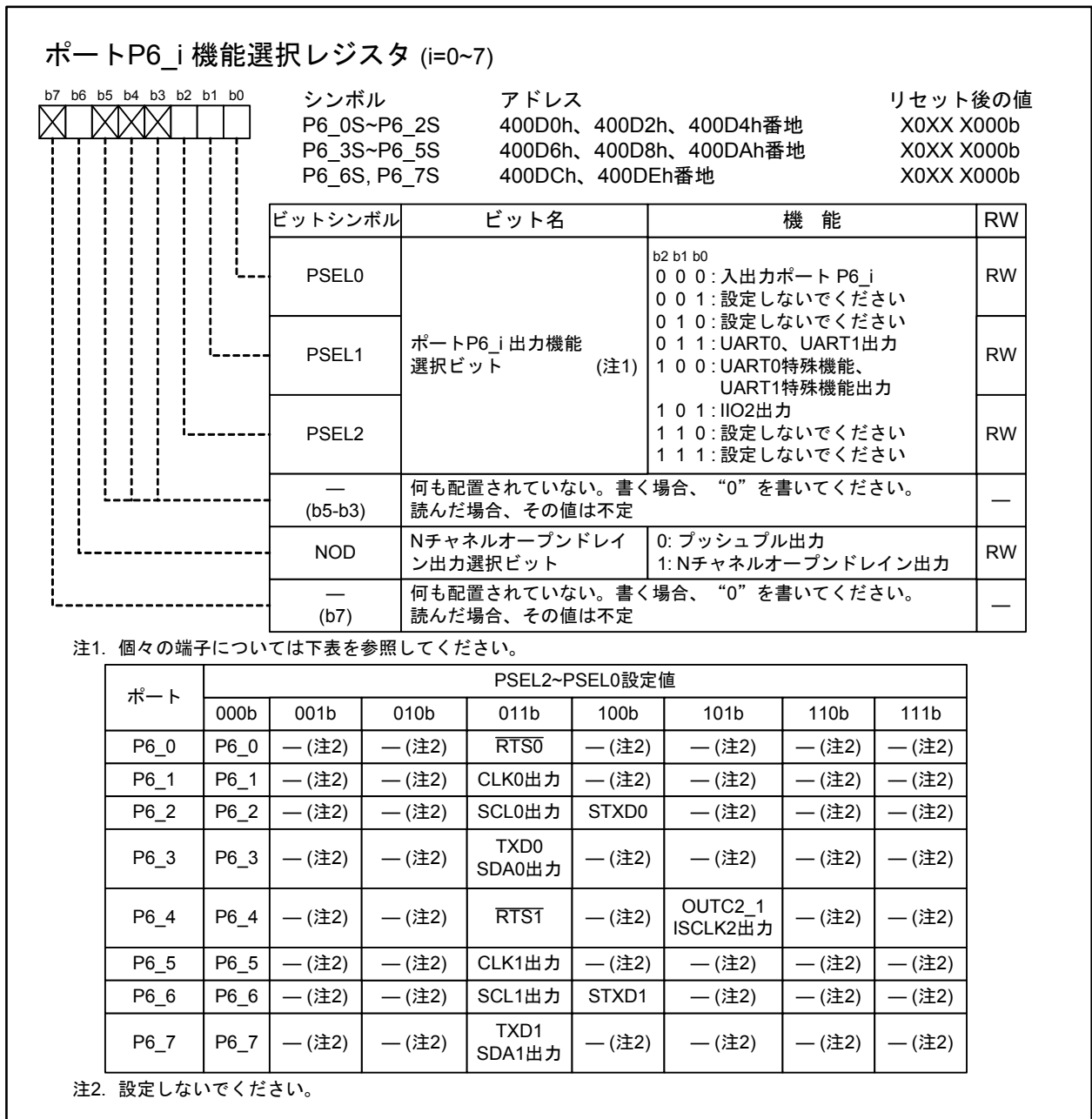


図 26.9 P6_0S~P6_7S レジスタ

ポートP6_i (i=0~7)はシリアルインタフェース(UART0, UART1)、インテリジェントI/Oグループ2 (IIO2)と端子を共用しています。

出力端子として使用する場合は、PD6_iを“1”(ポートP6_iを出力)に設定し、図 26.9に従って機能を選択してください。また、入力端子として使用する場合は、PD6_iを“0”(ポートP6_iを入力)に設定してください。

ポートP6_0~P6_7は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャンネルオープンドレイン出力にしてください。

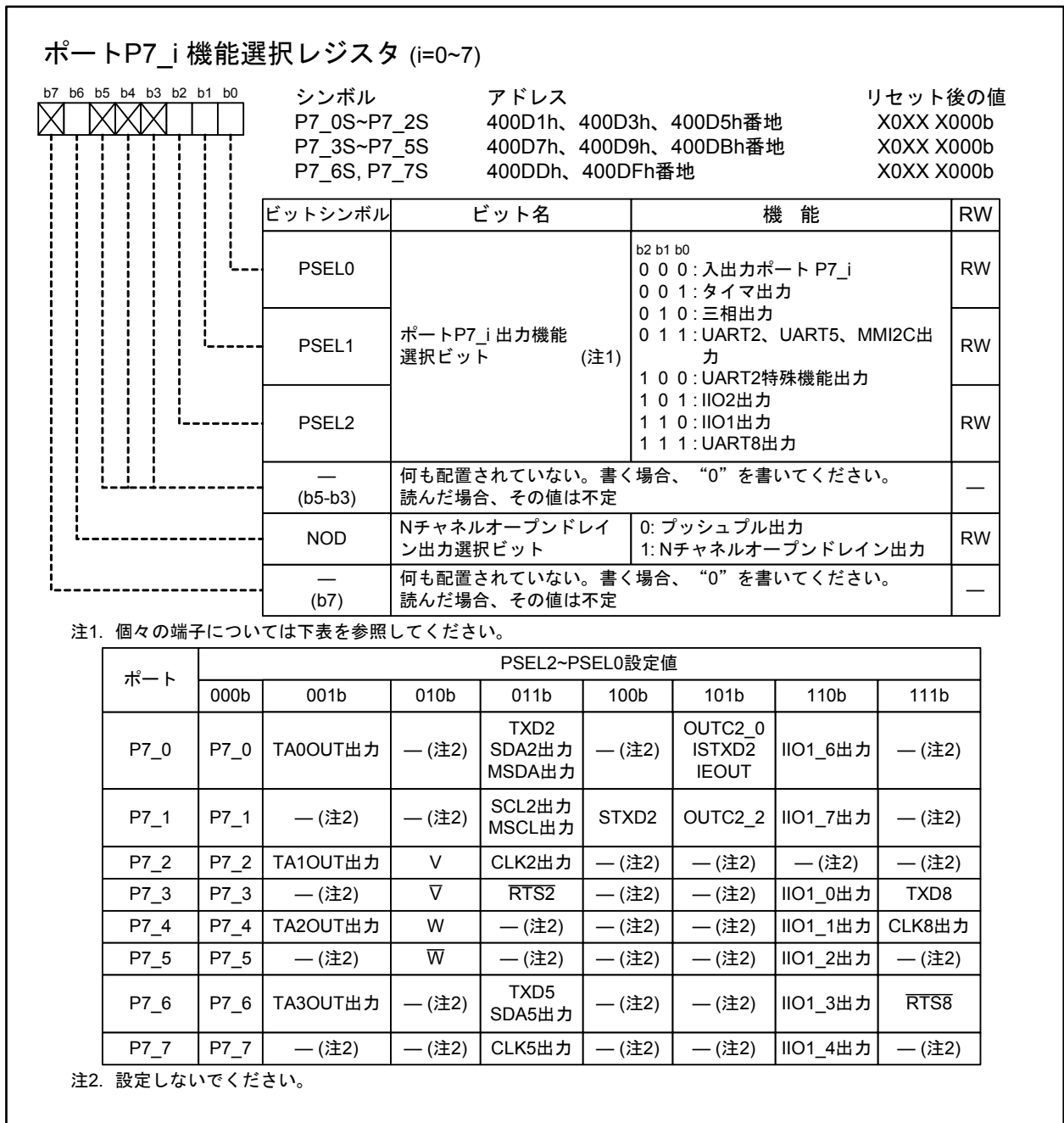
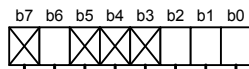


図 26.10 P7_0S~P7_7S レジスタ

ポートP7_i (i=0~7)はタイマ、三相モータ制御、シリアルインタフェース(UART2, UART5, UART8)、マルチマスタI²Cバスインタフェース(MMI2C)、インテリジェントI/Oグループ1、2(IIO1, IIO2)と端子を共有しています。

出力端子として使用する場合は、PD7_iを“1”(ポートP7_iを出力)に設定し、図26.10に従って機能を選択してください。また、入力端子として使用する場合は、PD7_iを“0”(ポートP7_iを入力)に設定してください。

ポートP7_0~P7_7は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャンネルオープンドレイン出力にしてください。

ポートP8_i 機能選択レジスタ (i=0~4, 6, 7)

シンボル	アドレス	リセット後の値
P8_0S, P8_1S	400E0h, 400E2h番地	X0XX X000b
P8_2S, P8_3S	400E4h, 400E6h番地	X0XX X000b
P8_4S	400E8h番地	XXXX X000b
P8_6S, P8_7S	400ECh, 400EEh番地	XXXX X000b

ビットシンボル	ビット名	機能	RW
PSEL0		b2 b1 b0 0 0 0: 出力ポート P8 _i 0 0 1: タイマ出力	RW
PSEL1	ポートP8 _i 出力機能 選択ビット (注1)	0 1 0: 三相出力	RW
		0 1 1: UART5出力	
		1 0 0: UART5特殊機能出力	
PSEL2		1 0 1: 設定しないでください	RW
		1 1 0: IIO1出力	
		1 1 1: 設定しないでください	
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD (i=0~3)	Nチャンネルオープンドレイン出力選択ビット	0: プッシュプル出力 1: Nチャンネルオープンドレイン出力	RW
— (b6) (i=4, 6, 7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P8_0	P8_0	TA4OUT出力	U	SCL5出力	STXD5	—(注2)	—(注2)	—(注2)
P8_1	P8_1	—(注2)	U	RTS5	—(注2)	—(注2)	IIO1_5出力	—(注2)
P8_2	P8_2	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)
P8_3	P8_3	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)
P8_4	P8_4	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)
P8_6	P8_6	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)
P8_7	P8_7	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)	—(注2)

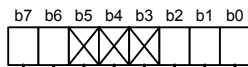
注2. 設定しないでください。

図 26.11 P8_0S~P8_4S、P8_6S、P8_7S レジスタ

ポートP8_i (i=0~4, 6, 7)はタイマ、三相モータ制御、シリアルインタフェース(UART5)、インテリジェントI/Oグループ1 (IIO1)、外部割り込み入力と端子を共用しています。

出力端子として使用する場合は、PD8_iを“1”(ポートP8_iを出力)に設定し、図 26.11に従って機能を選択してください。また、入力端子として使用する場合は、PD8_iを“0”(ポートP8_iを入力)に設定してください。

ポートP8_0~P8_3は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャンネルオープンドレイン出力にしてください。

ポートP9_i 機能選択レジスタ (i=0~7) (注1)

シンボル	アドレス	リセット後の値
P9_0S~P9_2S	400E1h、400E3h、400E5h番地	X0XX X000b
P9_3S~P9_5S	400E7h、400E9h、400EBh番地	00XX X000b
P9_6S	400EDh番地	00XX X000b
P9_7S	400EFh番地	X0XX X000b

ビットシンボル	ビット名	機能	RW
PSEL0	ポートP9 _i 出力機能 選択ビット (注2)	b2 b1 b0 0 0 0: 出力ポート P9 _i 0 0 1: 設定しないでください 0 1 0: 設定しないでください 0 1 1: UART3、UART4出力 1 0 0: UART3特殊機能、 UART4特殊機能出力 1 0 1: IIO2出力 1 1 0: 設定しないでください 1 1 1: 設定しないでください	RW
PSEL1		RW	
PSEL2		RW	
— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
NOD	Nチャンネルオープンドレイン出力選択ビット	0: プッシュプル出力 1: Nチャンネルオープンドレイン出力	RW
— (b7) (i=0~2, 7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
ASEL (i=3~6)	ポートP9 _i (i=3~6) アナログ機能選択ビット	0: アナログ端子以外に使用する 1: アナログ端子として使用する	RW

注1. これらのレジスタはPRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。また、PRC2ビットを“1”にする命令とP9_iSレジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

注2. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P9_0	P9_0	— (注3)	— (注3)	CLK3出力	— (注3)	— (注3)	— (注3)	— (注3)
P9_1	P9_1	— (注3)	— (注3)	SCL3出力	STXD3	— (注3)	— (注3)	— (注3)
P9_2	P9_2	— (注3)	— (注3)	TXD3 SDA3出力	— (注3)	OUTC2_0 ISTXD2 IEOUT	— (注3)	— (注3)
P9_3	P9_3	— (注3)	— (注3)	RTS3	— (注3)	— (注3)	— (注3)	— (注3)
P9_4	P9_4	— (注3)	— (注3)	RTS4	— (注3)	— (注3)	— (注3)	— (注3)
P9_5	P9_5	— (注3)	— (注3)	CLK4出力	— (注3)	— (注3)	— (注3)	— (注3)
P9_6	P9_6	— (注3)	— (注3)	TXD4 SDA4出力	— (注3)	— (注3)	— (注3)	— (注3)
P9_7	P9_7	— (注3)	— (注3)	SCL4出力	STXD4	— (注3)	— (注3)	— (注3)

注3. 設定しないでください。

図 26.12 P9_0S~P9_7S レジスタ

ポートP9_i (i=0~7)はシリアルインタフェース(UART3, UART4)、インテリジェントI/Oグループ2 (IIO2)と端子を共用しています。このうち、ポートP9_i (i=3~6)は、A/Dコンバータ入出力(ANEX0, ANEX1)、D/Aコンバータ出力とも端子を共用しています。

A/Dコンバータ、D/Aコンバータ以外の出力端子として使用する場合は、PD9_iを“1”（ポートP9_iを出力）に設定し、図26.12に従って機能を選択してください。また、A/Dコンバータ、D/Aコンバータ以外の入力端子として使用する場合は、PD9_iを“0”（ポートP9_iを入力）に設定してください。A/Dコンバータ、

D/A コンバータとして使用する場合は、P9_iSレジスタに“80h”を設定し、入出力方向にかかわらずPD9_iを“0” (ポートP9_iを入力)に設定してください。

NODビットを“1”にすると、該当する端子はNチャンネルオープンドレイン出力となります。

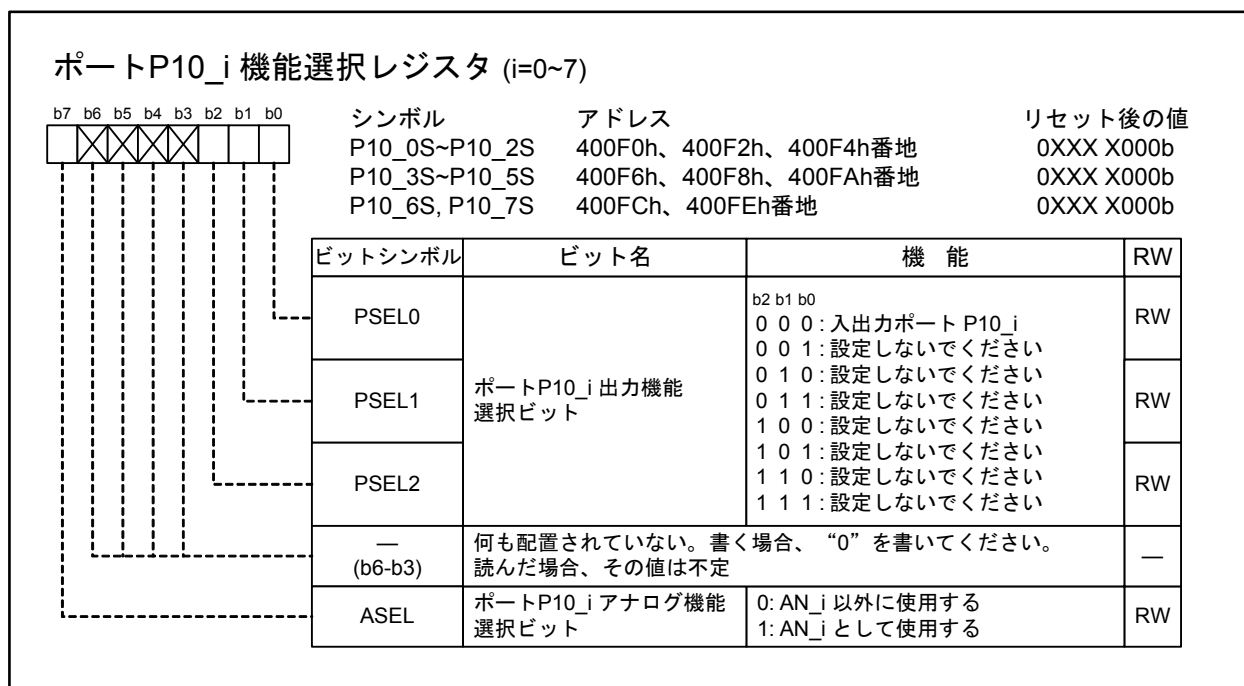


図 26.13 P10_0S~P10_7S レジスタ

ポートP10_i (i=0~7)はA/Dコンバータ入力AN_i、キー入力割り込みと端子を共用しています。

プログラマブル入出力ポートとして使用する場合は、P10_iSレジスタには“00h”を設定してください。A/Dコンバータ以外の入力端子として使用する場合は、PD10_iを“0”(ポートP10_iを入力)に設定してください。A/Dコンバータ入力として使用する場合は、P10_iSレジスタに“80h”を設定し、PD10_iを“0”(ポートP10_iを入力)に設定してください。

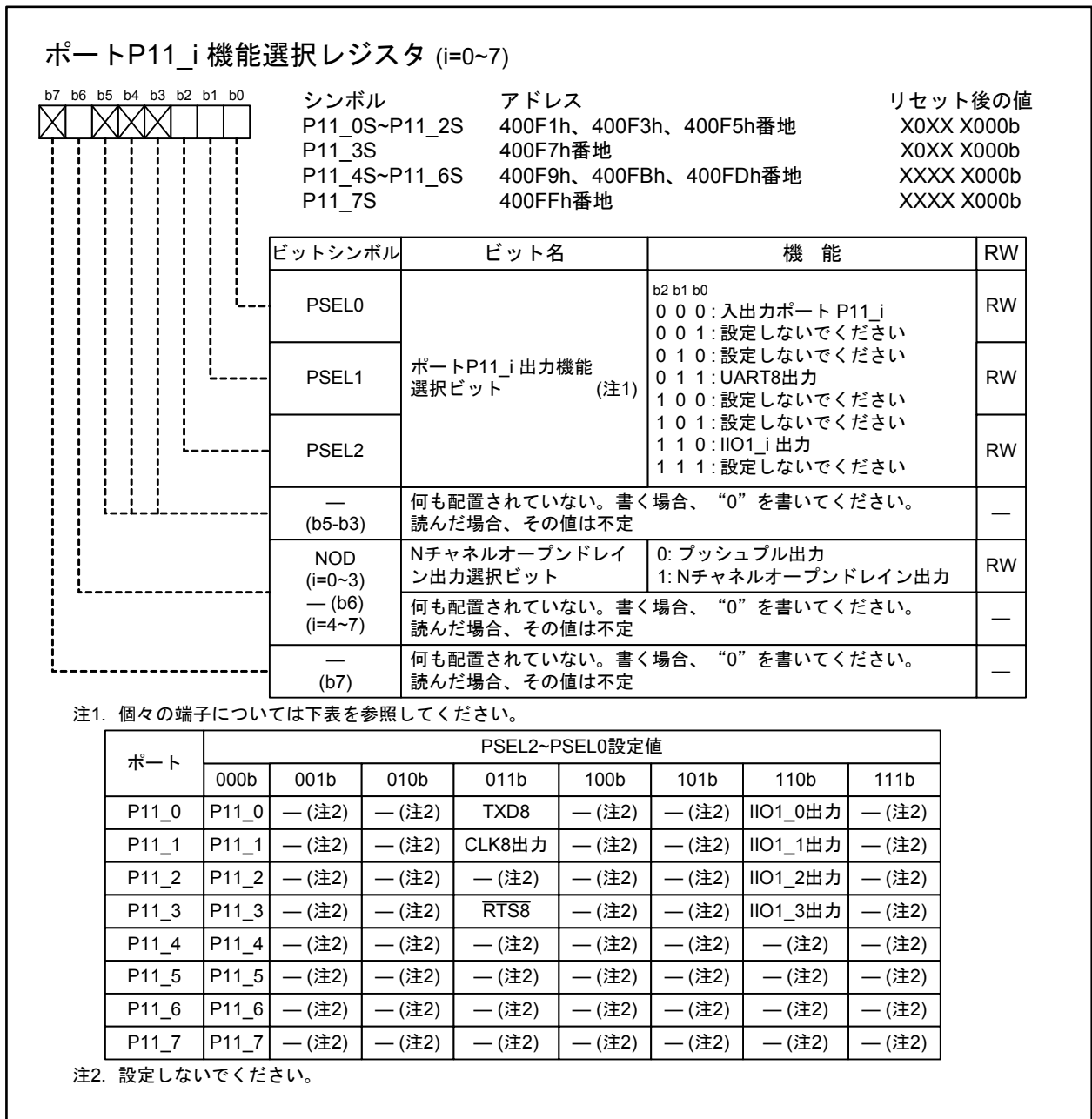


図 26.14 P11_0S~P11_7S レジスタ

ポートP11_i (i=0~7)はシリアルインタフェース(UART8)、インテリジェントI/Oグループ1 (IIO1)と端子を共用しています。

出力端子として使用する場合は、PD11_iを“1” (ポートP11_iを出力)に設定し、図 26.14に従って機能を選択してください。また、入力端子として使用する場合は、PD11_iを“0” (ポートP11_iを入力)に設定してください。

NODビットを“1”にすると、該当する端子はNチャンネルオープンドレイン出力となります。

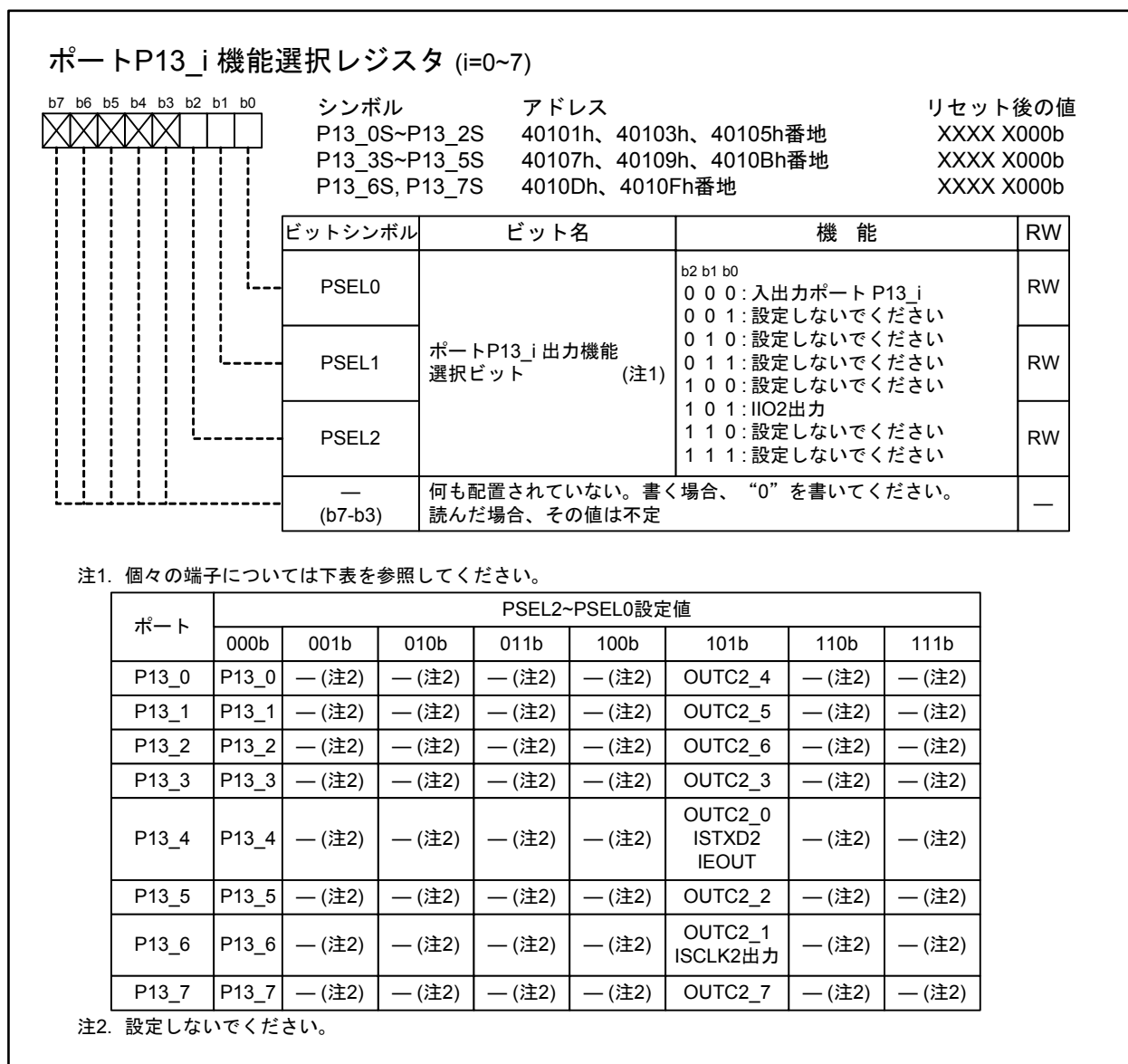


図 26.16 P13_0S~P13_7S レジスタ

ポートP13_i (i=0~7)はインテリジェントI/Oグループ2 (IIO2)と端子を共用しています。

出力端子として使用する場合は、PD13_iを“1” (ポートP13_iを出力)に設定し、図 26.16に従って機能を選択してください。また、入力端子として使用する場合は、PD13_iを“0” (ポートP13_iを入力)に設定してください。

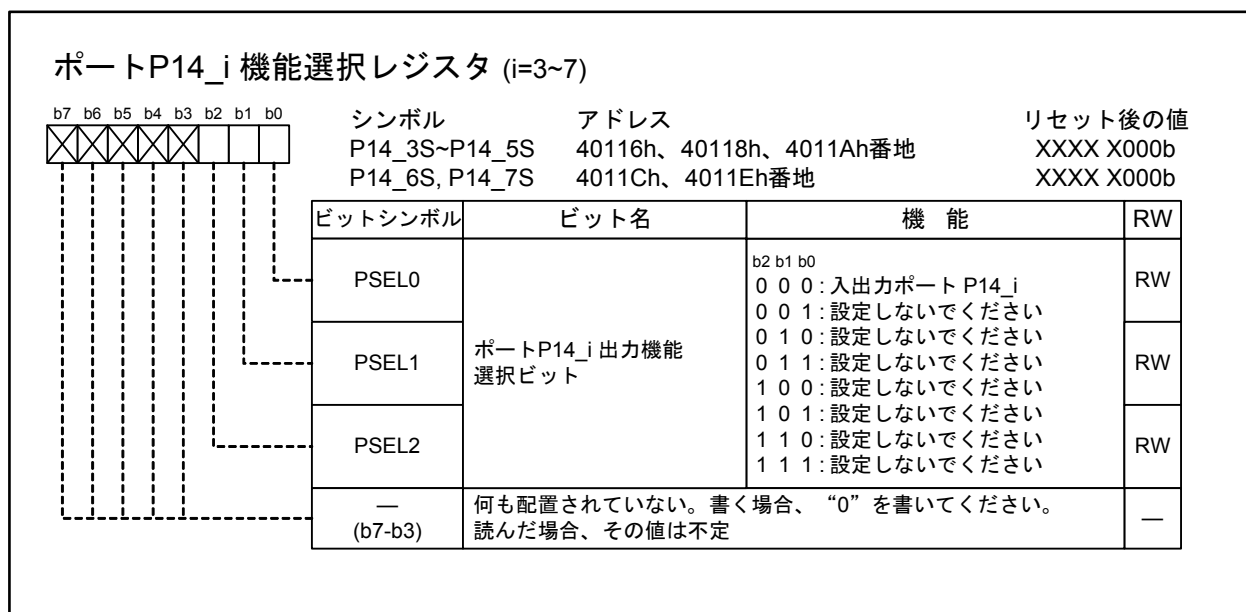


図 26.17 P14_3S~P14_7Sレジスタ

ポート P14_i (i=3~7) は外部割り込み入力と端子を共用しています。P14_iS レジスタには“00h” (入出力ポート) を設定してください。

ポートP15_i 機能選択レジスタ (i=0~7)

ビットシンボル	ビット名	機能	RW
PSEL0	ポートP15 _i 出力機能 選択ビット (注1)	b2 b1 b0 0 0 0: 入出力ポート P15 _i 0 0 1: 設定しないでください 0 1 0: 設定しないでください 0 1 1: UART6、UART7出力 1 0 0: UART6特殊機能 1 0 1: IIO0 _i 出力 1 1 0: 設定しないでください 1 1 1: 設定しないでください	RW
PSEL1		RW	
PSEL2		RW	
— (b5-b3)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定	—
NOD	Nチャンネルオープンドレイン 出力選択ビット	0: プッシュプル出力 1: Nチャンネルオープンドレイン出力	RW
ASEL	ポートP15 _i アナログ機能 選択ビット	0: AN15 _i 以外に使用する 1: AN15 _i として使用する	RW

注1. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P15_0	P15_0	—(注2)	—(注2)	TXD7	—(注2)	IIO0_0出力	—(注2)	—(注2)
P15_1	P15_1	—(注2)	—(注2)	CLK7出力	—(注2)	IIO0_1出力	—(注2)	—(注2)
P15_2	P15_2	—(注2)	—(注2)	—(注2)	—(注2)	IIO0_2出力	—(注2)	—(注2)
P15_3	P15_3	—(注2)	—(注2)	RTS7	—(注2)	IIO0_3出力	—(注2)	—(注2)
P15_4	P15_4	—(注2)	—(注2)	TXD6 SDA6出力	—(注2)	IIO0_4出力	—(注2)	—(注2)
P15_5	P15_5	—(注2)	—(注2)	SCL6出力	STXD6	IIO0_5出力	—(注2)	—(注2)
P15_6	P15_6	—(注2)	—(注2)	CLK6出力	—(注2)	IIO0_6出力	—(注2)	—(注2)
P15_7	P15_7	—(注2)	—(注2)	RTS6	—(注2)	IIO0_7出力	—(注2)	—(注2)

注2. 設定しないでください。

図 26.18 P15_0S~P15_7Sレジスタ

ポート P15_i (i=0~7) はシリアルインタフェース (UART6, UART7)、インテリジェント I/O グループ 0 (IIO0)、A/D コンバータ入力 AN15_i と端子を共用しています。

出力端子として使用する場合は、PD15_i を“1” (ポート P15_i を出力) に設定し、図 26.18 に従って機能を選択してください。また、A/D コンバータ以外の入力端子として使用する場合は、PD15_i を“0” (ポート P15_i を入力) に設定してください。A/D コンバータ入力として使用する場合は、P15_iS レジスタに“80h”を設定し、PD15_i を“0” (ポート P15_i を入力) に設定してください。

NOD ビットを“1”にすると、該当する端子はNチャンネルオープンドレイン出力となります。

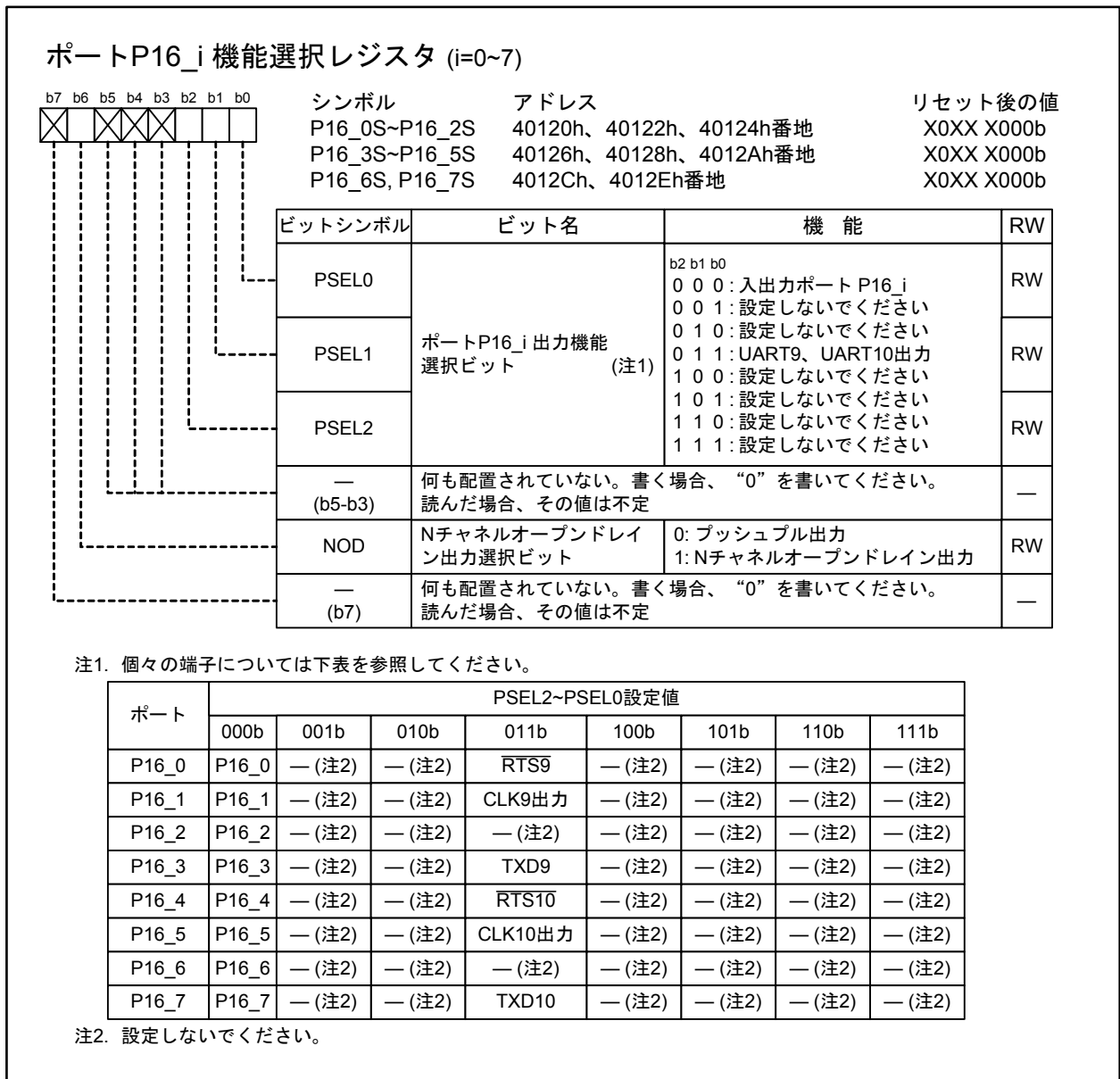


図 26.19 P16_0S~P16_7S レジスタ

ポートP16_i (i=0~7)はシリアルインタフェース(UART9, UART10)と端子を共有しています。

出力端子として使用する場合は、PD16_iを“1”(ポートP16_iを出力)に設定し、図 26.19に従って機能を選択してください。入力端子として使用する場合は、PD16_iを“0”(ポートP16_iを入力)に設定してください。

ポートP16_0~P16_7は5Vトレラント入力です。入出力端子として使用するときに5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャンネルオープンドレイン出力にしてください。

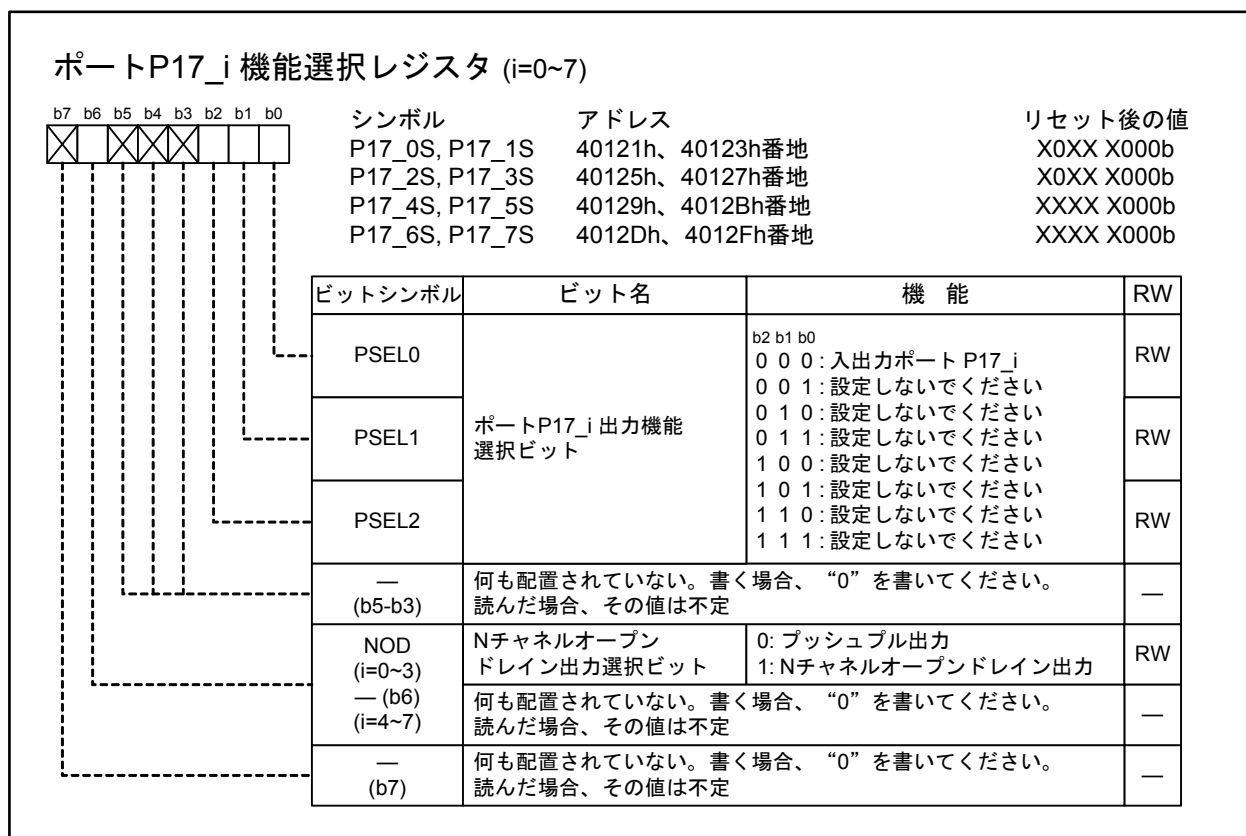


図 26.20 P17_0S~P17_7Sレジスタ

ポートP17₀~P17₃は5Vトレラント入力です。入出力端子として使用するとき5Vトレラント入力を有効にする場合は、NODビットを“1”にして該当する端子をNチャンネルオープンドレイン出力にしてください。

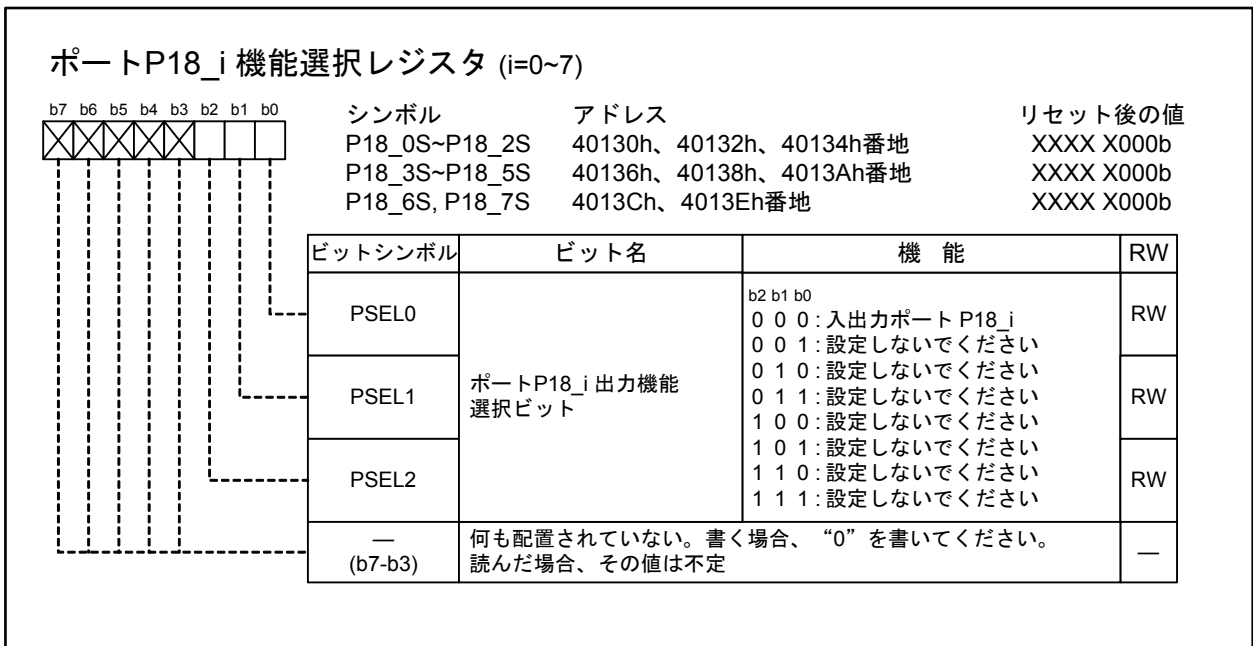


図 26.21 P18_0S~P18_7S レジスタ

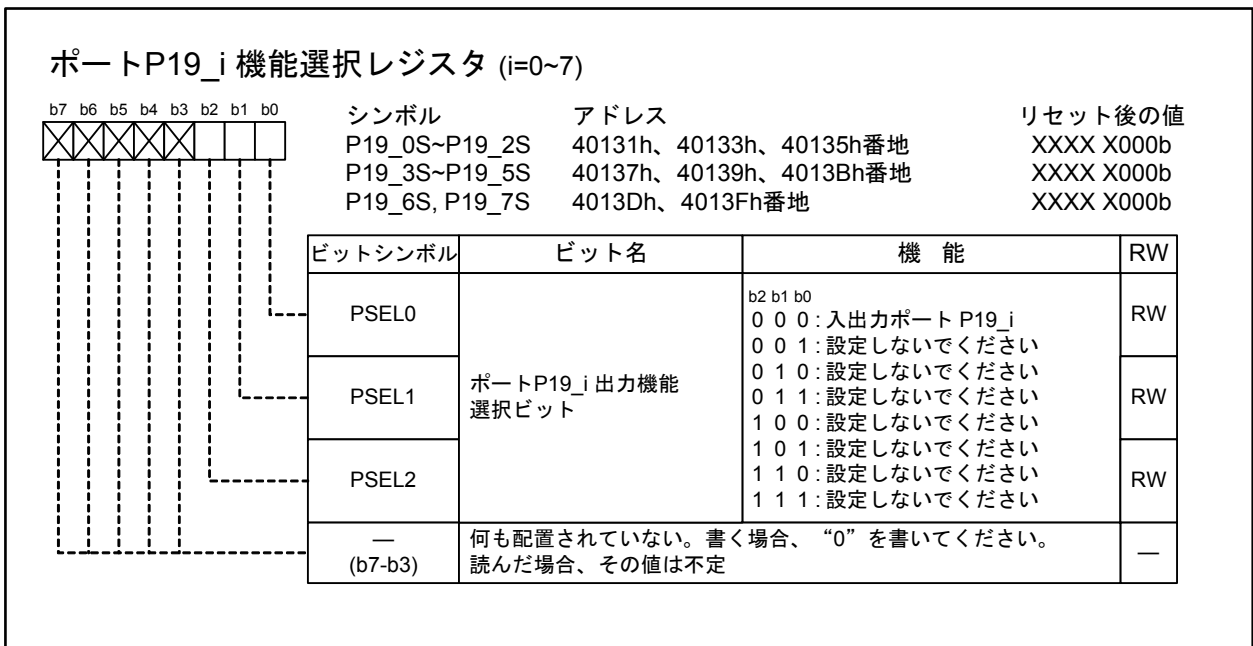


図 26.22 P19_0S~P19_7S レジスタ

ポートP18、P19にはプログラマブル入出力ポート以外の機能は割り当てられていません。
機能選択レジスタには“00h”以外の値を設定しないでください。

26.3 入力機能選択レジスタ

周辺機能の入力が複数の端子に配置されている場合、どの端子の入力を周辺機能に接続するかを決定するレジスタです。

図 26.23~図 26.25に入力機能選択レジスタを示します。

入力機能選択レジスタ0

ビットシンボル	ビット名	機能	RW
IFS00	タイマA入力端子切り替えビット (注1)	タイマA入力を 0: ポートP3に割り当てる 1: ポートP7、P8に割り当てる	RW
IFS01	タイマB入力端子切り替えビット (注2)	タイマB入力を 0: ポートP6に割り当てる 1: ポートP9に割り当てる	RW
IFS02	UART6入力端子切り替えビット (注3)	UART6入力を b3 b2 0 0: ポートP4に割り当てる 0 1: 設定しないでください 1 0: ポートP15に割り当てる 1 1: ポートP12に割り当てる	RW
IFS03			RW
IFS04	UART8入力端子切り替えビット (注4)	UART8入力を 0: ポートP7に割り当てる 1: ポートP11に割り当てる	RW
IFS05	UART7入力端子切り替えビット (注5)	UART7入力を 0: ポートP5に割り当てる 1: ポートP15に割り当てる	RW
IFS06	UART3入力端子切り替えビット (注6)	UART3入力を 0: ポートP4に割り当てる 1: ポートP9に割り当てる	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—

注1. タイマAの端子ごとの設定は下表を参照してください。

IFS00	TA0OUT入力	TA1OUT入力	TA1IN	TA2OUT入力	TA2IN	TA3OUT入力	TA4OUT入力	TA4IN
0	P3_0	P3_2	P3_3	P3_4	P3_5	P3_1	P3_6	P3_7
1	P7_0	P7_2	P7_3	P7_4	P7_5	P7_6	P8_0	P8_1

注2. タイマBの端子ごとの設定は下表を参照してください。

IFS01	TB0IN	TB1IN	TB2IN
0	P6_0	P6_1	P6_2
1	P9_0	P9_1	P9_2

注3. UART6の端子ごとの設定は下表を参照してください。

IFS03	IFS02	SDA6入力/SRXD6	RXD6/SCL6入力	CLK6入力	CTS6/SS6
0	0	P4_7	P4_6	P4_5	P4_4
1	0	P15_4	P15_5	P15_6	P15_7
1	1	P12_0	P12_2	P12_1	P12_3

注4. UART8の端子ごとの設定は下表を参照してください。

IFS04	CLK8入力	RXD8	CTS8
0	P7_4	P7_5	P7_6
1	P11_1	P11_2	P11_3

注5. UART7の端子ごとの設定は下表を参照してください。

IFS05	CLK7入力	RXD7	CTS7
0	P5_5	P5_6	P5_7
1	P15_1	P15_2	P15_3

注6. UART3の端子ごとの設定は下表を参照してください。

IFS06	SDA3入力/SRXD3	RXD3/SCL3入力	CLK3入力	CTS3/SS3
0	P4_3	P4_2	P4_1	P4_0
1	P9_2	P9_1	P9_0	P9_3

図 26.23 IFS0 レジスタ

入力機能選択レジスタ2

ビットシンボル	ビット名	機能	RW
IFS20	インテリジェントI/O グループ0入力端子 切り替えビット (注1)	IIO0入力を 0: ポートP1に割り当てる 1: ポートP15に割り当てる	RW
— (b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
IFS22	インテリジェントI/O グループ0二相パルス入力 端子切り替えビット (注2)	グループ0二相パルス入力を b3 b2 0 0: ポートP8とINT1に割り当てる 0 1: ポートP7とINT0に割り当てる 1 0: ポートP3とINT1に割り当てる 1 1: ポートP3とINT0に割り当てる	RW
IFS23			RW
IFS24	インテリジェントI/O グループ1入力端子 切り替えビット (注3)	IIO1入力を b5 b4 0 0: ポートP7、P8に割り当てる 0 1: ポートP11に割り当てる 1 0: ポートP1に割り当てる 1 1: 設定しないでください	RW
IFS25			RW
IFS26	インテリジェントI/O グループ1二相パルス入力 端子切り替えビット (注4)	グループ1二相パルス入力を b7 b6 0 0: ポートP8とINT1に割り当てる 0 1: ポートP7とINT0に割り当てる 1 0: ポートP3とINT1に割り当てる 1 1: ポートP3とINT0に割り当てる	RW
IFS27			RW

注1. インテリジェントI/Oグループ0の端子ごとの設定は下表を参照してください。

IFS20	IIO0_0入力	IIO0_1入力	IIO0_2入力	IIO0_3入力	IIO0_4入力	IIO0_5入力	IIO0_6入力	IIO0_7入力
0	P1_0	P1_1	P1_2	P1_3	P1_4	P1_5	P1_6	P1_7
1	P15_0	P15_1	P15_2	P15_3	P15_4	P15_5	P15_6	P15_7

注2. インテリジェントI/Oグループ0二相パルス入力の端子ごとの設定は下表を参照してください。

IFS23	IFS22	UD0A	UD0B	UD0Z
0	0	P8_0	P8_1	P8_3 (INT1)
0	1	P7_6	P7_7	P8_2 (INT0)
1	0	P3_0	P3_1	P8_3 (INT1)
1	1	P3_0	P3_1	P8_2 (INT0)

注3. インテリジェントI/Oグループ1の端子ごとの設定は下表を参照してください。

IFS25	IFS24	IIO1_0入力	IIO1_1入力	IIO1_2入力	IIO1_3入力	IIO1_4入力	IIO1_5入力	IIO1_6入力	IIO1_7入力
0	0	P7_3	P7_4	P7_5	P7_6	P7_7	P8_1	P7_0	P7_1
0	1	P11_0	P11_1	P11_2	P11_3	—	—	—	—
1	0	P1_0	P1_1	P1_2	P1_3	P1_4	P1_5	P1_6	P1_7

注4. インテリジェントI/Oグループ1二相パルス入力の端子ごとの設定は下表を参照してください。

IFS27	IFS26	UD1A	UD1B	UD1Z
0	0	P8_0	P8_1	P8_3 (INT1)
0	1	P7_6	P7_7	P8_2 (INT0)
1	0	P3_0	P3_1	P8_3 (INT1)
1	1	P3_0	P3_1	P8_2 (INT0)

図 26.24 IFS2 レジスタ

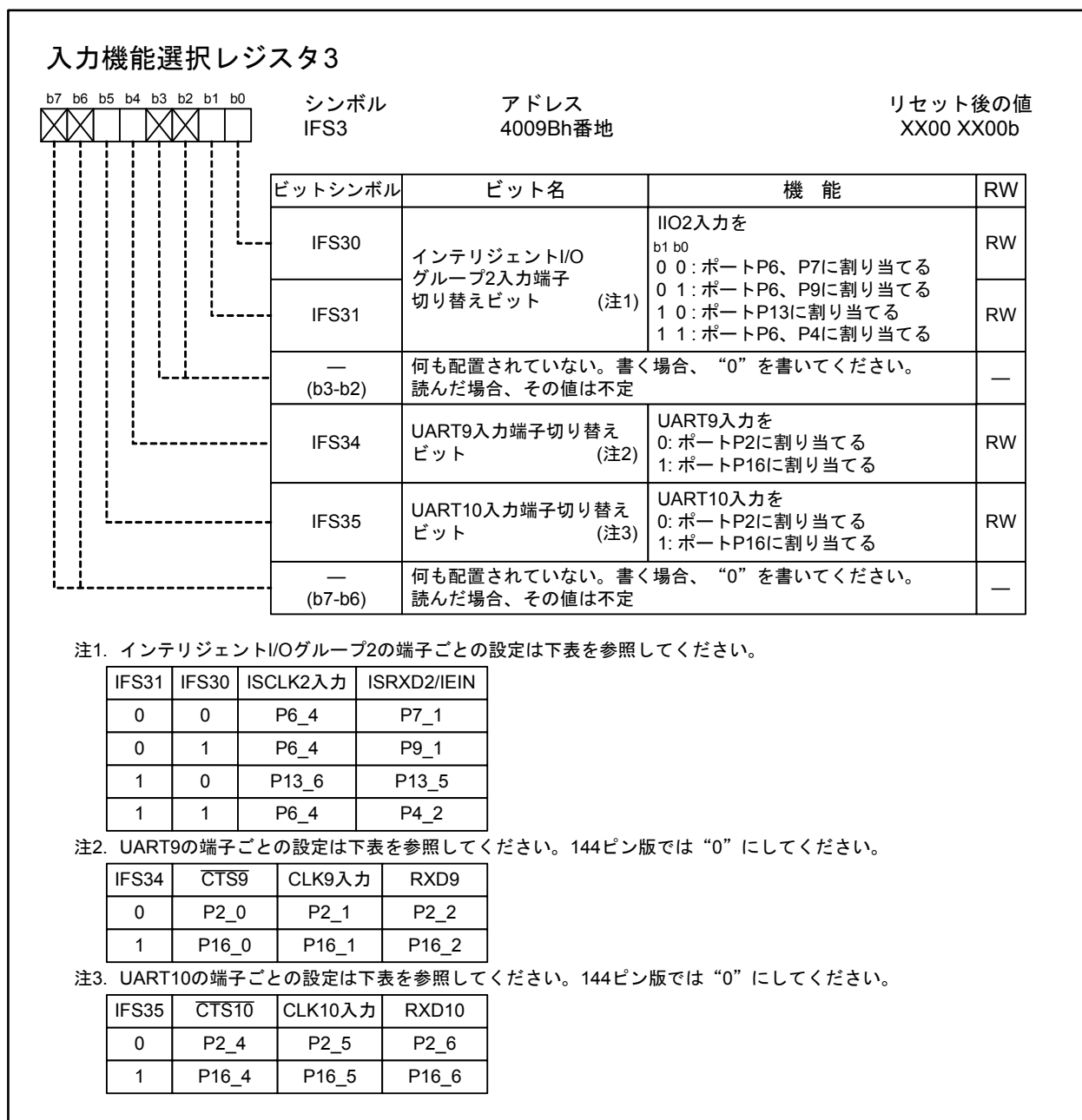


図 26.25 IFS3 レジスタ

26.4 プルアップ制御レジスタ 0~5 (PUR0~PUR5 レジスタ)

図 26.26~図 26.31 に PUR0~PUR5 レジスタを示します。

PUR0~PUR5 レジスタによって、4 端子ごとにプルアップするかしないかを設定できます。これらのレジスタのビットを“1” (プルアップする)、方向レジスタを“0” (入力モード) に設定したポートはプルアップされます。

メモリ拡張モード、マイクロプロセッサモード時、バスとして動作している P0~P5、P11、P13 のプルアップ制御ビットは“0” (プルアップしない) にしてください。なお、メモリ拡張モード、マイクロプロセッサモード時、P0、P1、P11、P13 を入力ポートとして使用する場合は、これらのポートはプルアップできます。

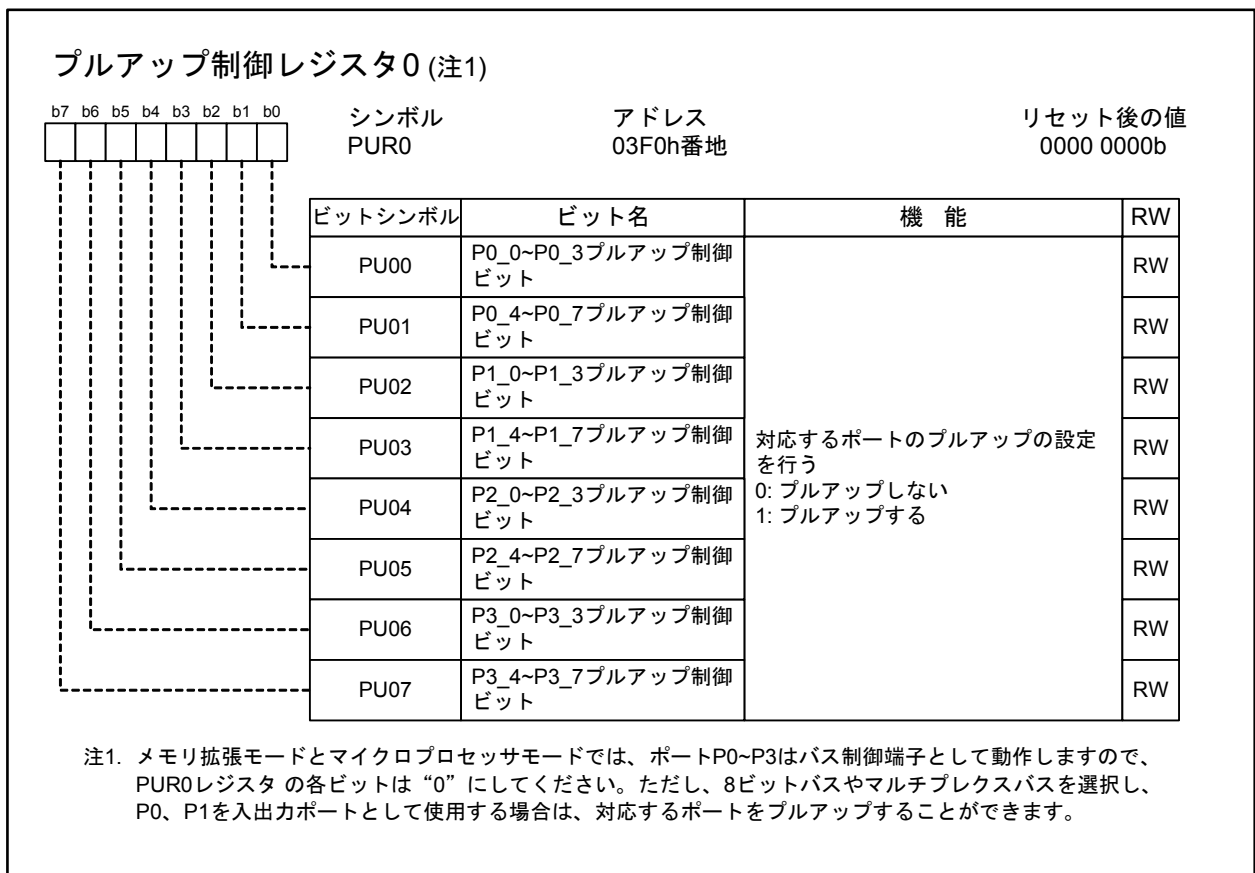


図 26.26 PUR0 レジスタ

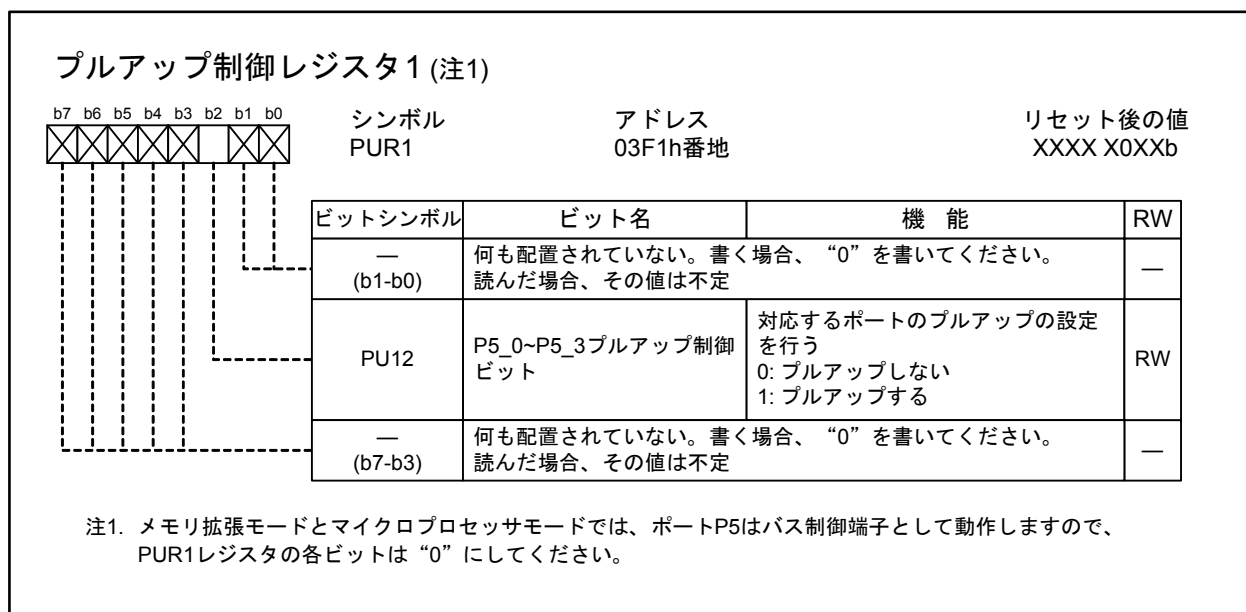


図 26.27 PUR1 レジスタ

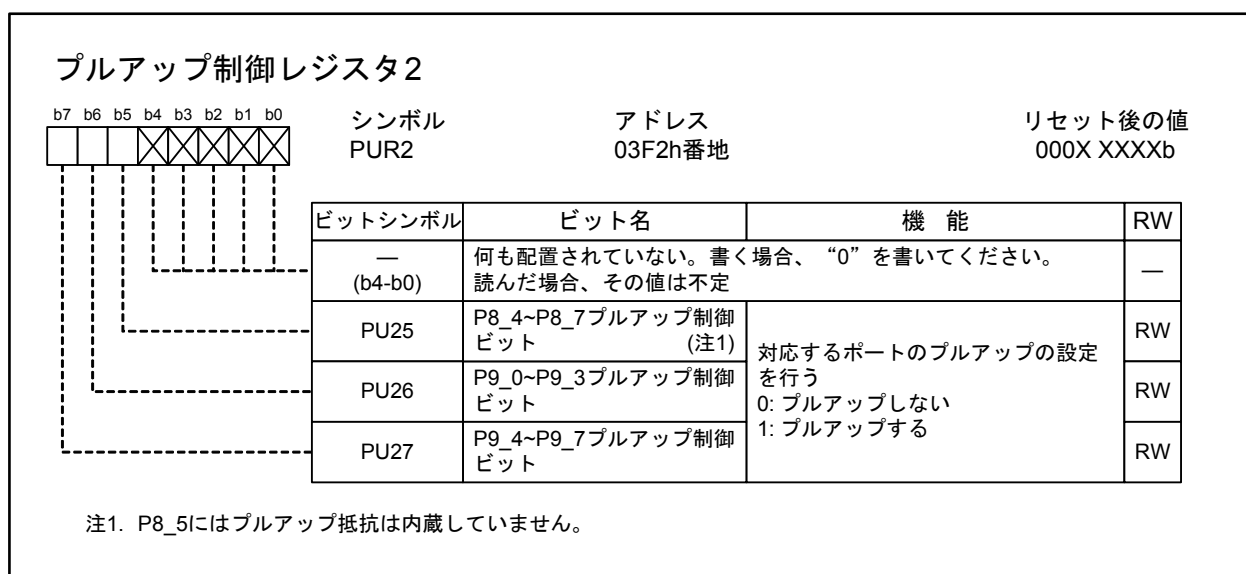


図 26.28 PUR2 レジスタ

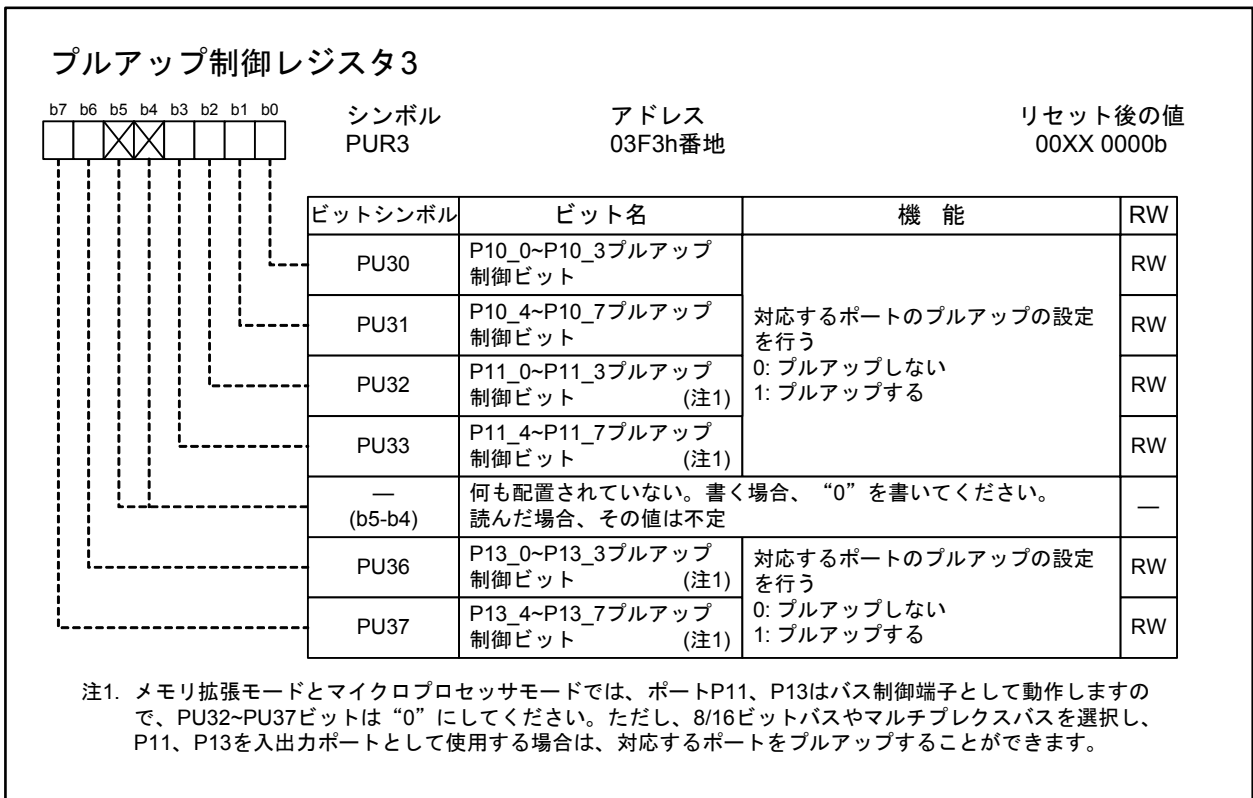


図 26.29 PUR3 レジスタ

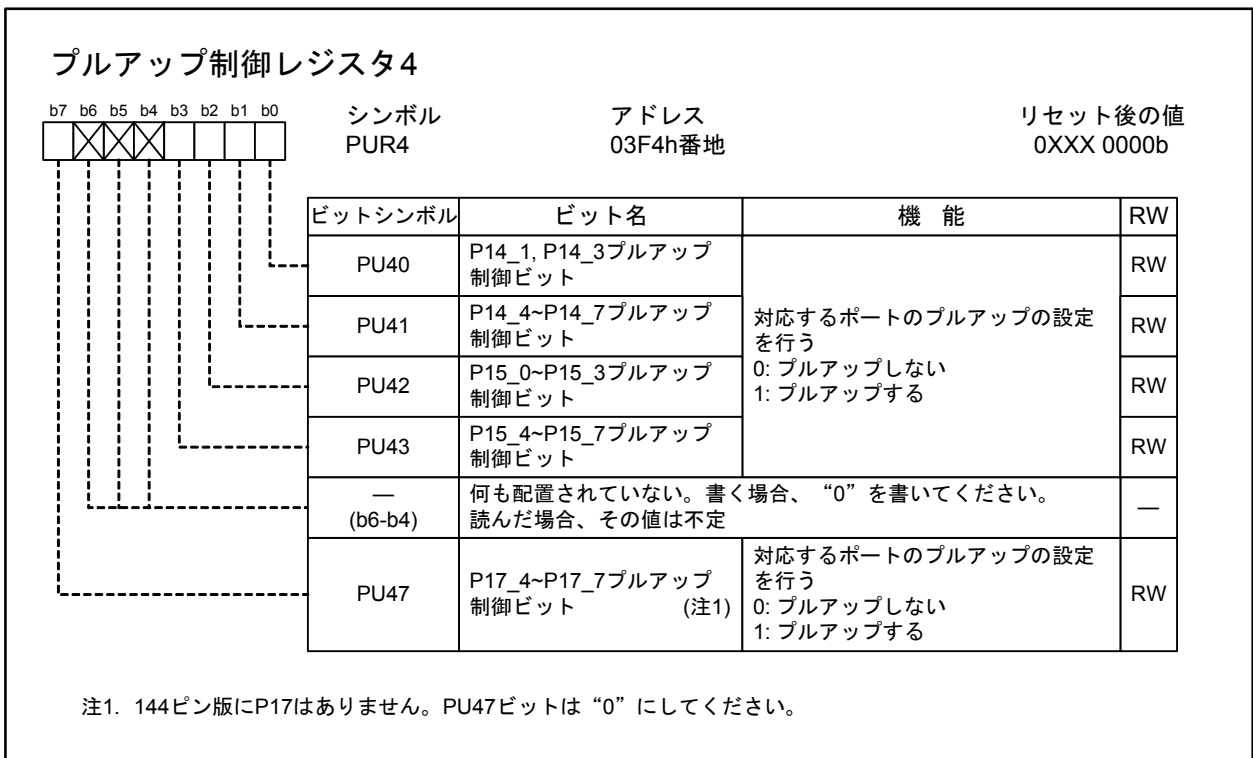


図 26.30 PUR4 レジスタ

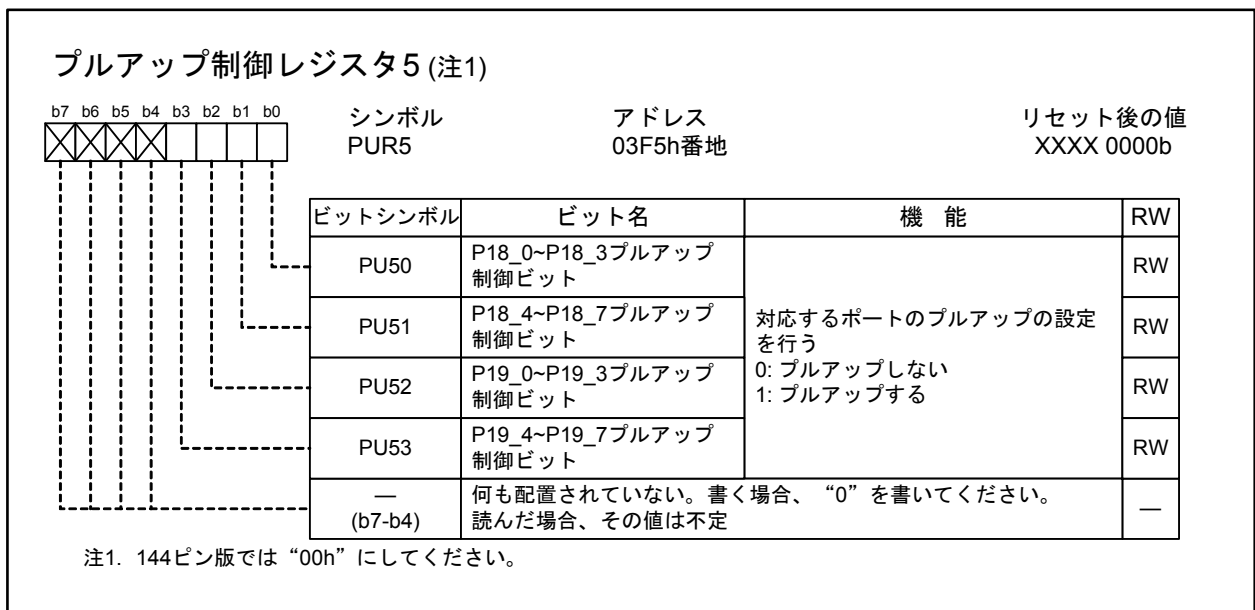


図 26.31 PUR5 レジスタ

26.5 ポート制御レジスタ (PCR レジスタ)

図 26.32 に PCR レジスタを示します。

ポート P1 の出力形式をプッシュプル出力とするか擬似 N チャネルオープンドレイン出力とすることを選擇するレジスタです。PCR0 ビットを“1”にした場合、出力バッファの P チャネルトランジスタを常時 OFF にします。ただし、寄生ダイオードは残ったままになりますので、ポート P1 は完全なオープンドレインにはならず、入力電圧の絶対最大定格は“-0.3 V ~ VCC + 0.3 V”となります(図 26.33 参照)。

なお、メモリ拡張モード、マイクロプロセッサモード時、ポート P1 をデータバスに使用する場合は、PCR0 ビットを“0”にしてください。ただし、メモリ拡張モード、マイクロプロセッサモード時でもポート P1 をプログラマブル入出力ポートや周辺機能入出力として使用する場合は、PCR0 ビットで出力形式を選擇できます。

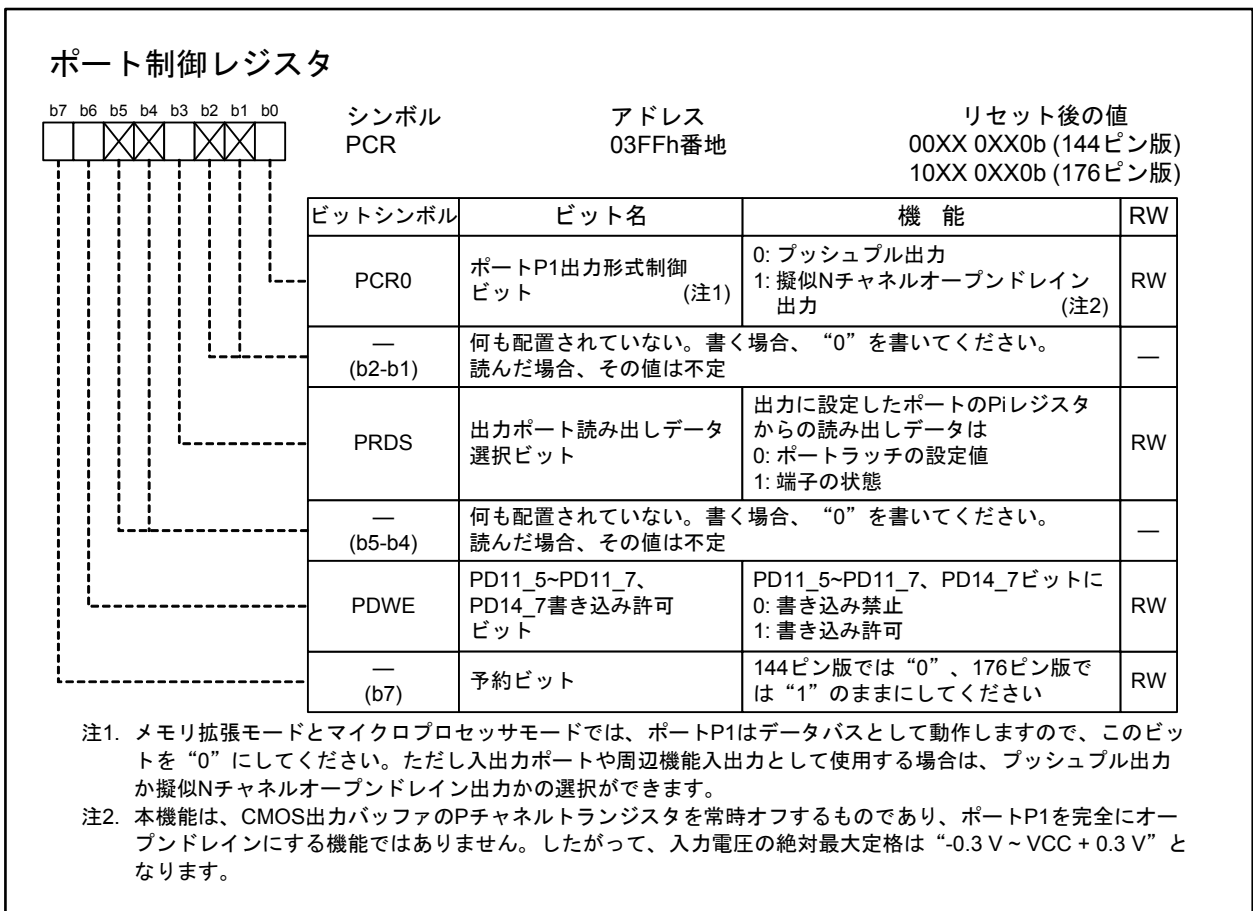


図 26.32 PCR レジスタ

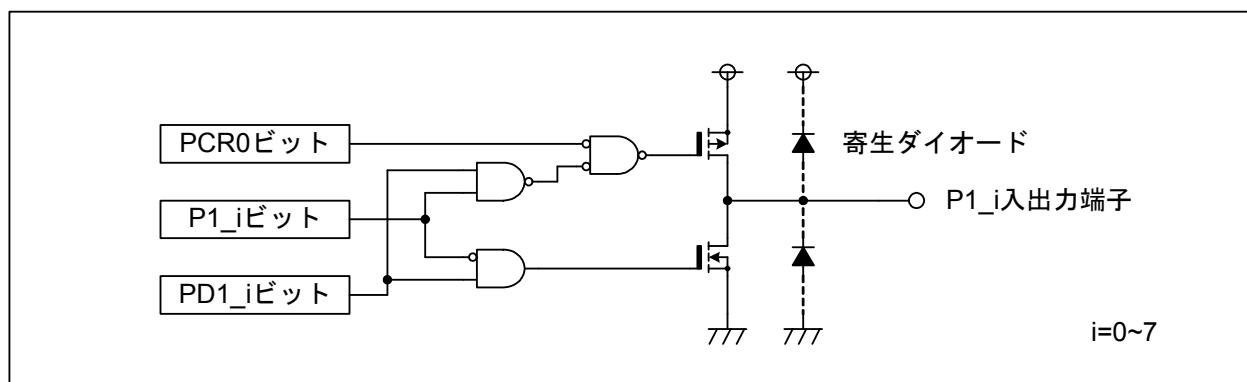


図 26.33 ポートP1出力バッファの構成

26.6 未使用端子の処理

ボード上で使用しない端子の処理例を表 26.2、表 26.3、図 26.35 に示します。

表 26.2 シングルチップモード時の未使用端子の処理例(注1)

端子名	処理内容
ポート P0~P19 (P8_5、P14_1 は除く) (注2、3、4)	入力に設定し、端子ごとに抵抗(注5)を介して VSS に接続(プルダウン)するか、または出力に設定し、端子を開放
P14_1	抵抗(注5)を介して VSS に接続(プルダウン)
XOUT (注6)	開放
NMI (P8_5)	抵抗(注5)を介して VCC に接続(プルアップ)
AVCC	VCC に接続
AVSS, VREF	VSS に接続
NSD	1k ~ 4.7kΩ の抵抗を介して、VCC に接続(プルアップ)

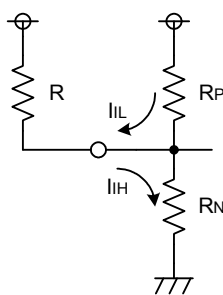
- 注1. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2 cm 以内)で処理してください。
- 注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。
- 注3. ポート P16~P19 は 176 ピン版にのみ存在します。
- 注4. 144 ピン版では、PD16~PD19 レジスタを“FFh”にしてください。
- 注5. 抵抗値はシステムにあわせて最適な値を選択してください。推奨値は 10k ~ 100kΩ です。
- 注6. XIN 端子に外部クロックを入力しているとき。

表 26.3 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例(注1)

端子名	処理内容
ポートP1、P6~P19 (P8_5、P14_1は除く)(注2、3、4)	入力に設定し、端子ごとに抵抗(注5)を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放
P14_1	抵抗(注5)を介してVSSに接続(プルダウン)
BC0~BC3, WR0~WR3, ALE, HLDA, XOUT (注6), BCLK	開放
HOLD, RDY	抵抗(注5)を介してVCCに接続(プルアップ)
NMI (P8_5)	抵抗(注5)を介してVCCに接続(プルアップ)
AVCC	VCCに接続
AVSS, VREF	VSSに接続
NSD	1k ~ 4.7kΩの抵抗を介して、VCCに接続(プルアップ)

- 注1. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2 cm以内)で処理してください。
- 注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。
- 注3. ポートP16~P19は176ピン版にのみ存在します。
- 注4. 144ピン版では、PD16~PD19レジスタを“FFh”にしてください。
- 注5. 抵抗値はシステムにあわせて最適な値を選択してください。推奨値は10k ~ 100kΩです。
- 注6. XIN端子に外部クロックを入力しているとき。

プルアップ/プルダウン抵抗の考え方



左に入力端子の等価回路を示します。
入力電流 I_{IL} 、 I_{IH} から等価入力抵抗 R_P 、 R_N を計算します。

(例) $V_{CC} = 5.0\text{ V}$ 、 $I_{IH} = I_{IL} = 5\ \mu\text{A}$ とすると

$$R_P = R_N = \frac{5.0}{5 \times 10^{-6}} = 1\ \text{M}\Omega$$

“H”と認識される電圧 V_{IH} は $0.8V_{CC}$ 以上なので、

$$R // R_P : R_N = 0.2 : 0.8$$

を満たす R が $V_{IH} = 0.8V_{CC}$ となる抵抗値です。

この式を計算すると、

$$R = \frac{2R_P R_N}{8R_P - 2R_N}$$

となり、プルアップ抵抗 R の最大値が求まります。

(例) $V_{CC} = 5.0\text{ V}$ 、 $I_{IH} = I_{IL} = 5\ \mu\text{A}$ とすると

$$R = \frac{2 \times 10^6 \times 10^6}{8 \times 10^6 - 2 \times 10^6} = 333333$$

から約 330 kΩ と計算できます。

ここで計算した抵抗値にマージンを考慮して、実際の抵抗値を決定します。

図 26.34 プルアップ/プルダウン抵抗の考え方

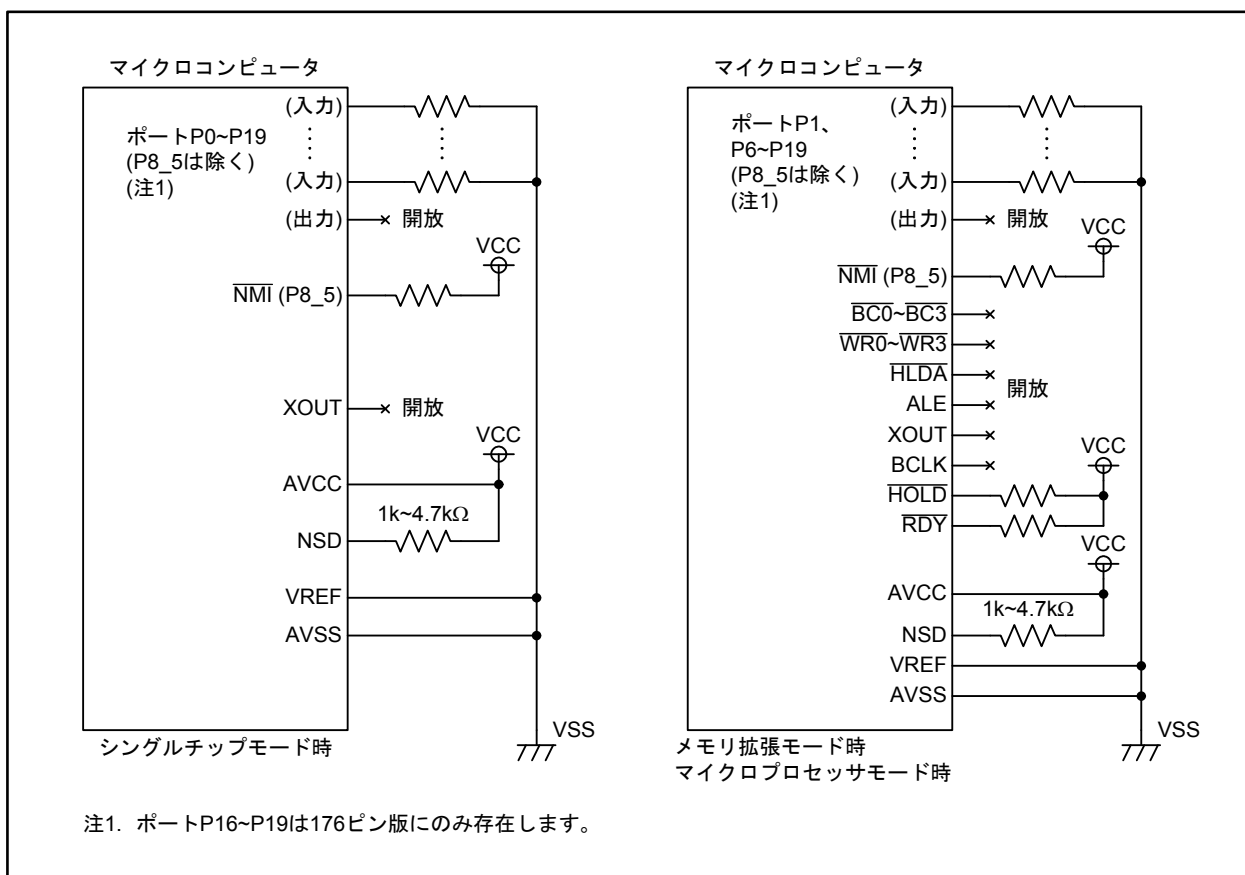


図 26.35 未使用端子の処理例

27. フラッシュメモリ

27.1 概要

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードで書き換えることができます。

表 27.1にフラッシュメモリの仕様を、表 27.2に各書き換えモードの概要を示します。

表 27.1 フラッシュメモリの仕様

項目	仕様
フラッシュメモリ書き換えモード	CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モード
ブロック分割	図 27.1を参照してください
プログラム単位	8バイト単位
イレーズ単位	ブロック単位
プログラム、イレーズ制御方式	ソフトウェアコマンドによる制御
プロテクトの種類	ロックビットプロテクト、ROMコードプロテクト、IDコードプロテクト
ソフトウェアコマンド数	9

表 27.2 フラッシュメモリ書き換えモードの概要

書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
概要	CPUがソフトウェアコマンドを実行することによりフラッシュメモリを書き換える EW0モード: 内蔵フラッシュメモリ以外の領域上のプログラムから書き換え可能 EW1モード: 書き換え対象のブロック以外の領域上のプログラムから書き換え可能	専用シリアルライタを使用してフラッシュメモリを書き換える 標準シリアル入出力モード1: クロック同期型シリアルインタフェースを使用 標準シリアル入出力モード2: クロック非同期型シリアルインタフェースを使用	専用パラレルライタを使用してフラッシュメモリを書き換える
CPU動作モード	シングルチップモード メモリ拡張モード(EW0モード)	標準シリアル入出力モード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ
オンボード書き換え	可能	可能	不可能

図 27.1に内蔵フラッシュメモリのブロック図を示します。

内蔵フラッシュメモリにはユーザプログラムを格納するためのブロック 0~17 (プログラム領域) と、ユーザプログラムが動作した結果得られたデータを格納するためのブロック A、B (データ領域/データフラッシュ)があります。

それぞれのブロックは独立しており、ロックビットを設定することでブロックごとに書き換えや消去を禁止できます。

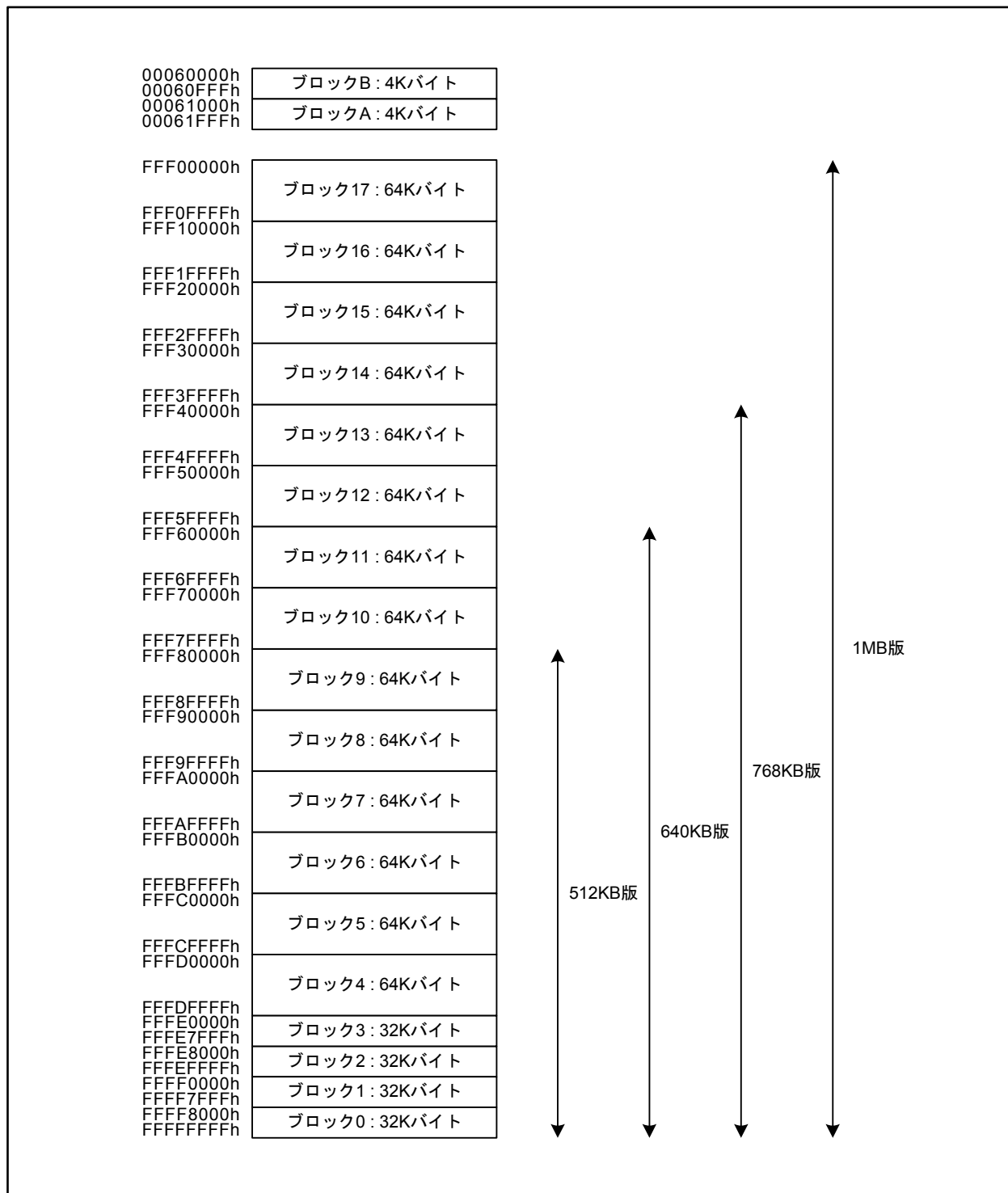


図 27.1 内蔵フラッシュメモリのブロック図

27.2 フラッシュメモリプロテクト

プロテクトの種類には、プログラムの暴走などによる意図しない書き込みや消去から保護するものと、第三者によるフラッシュメモリの読み出し、書き込みから保護するものの2種類があります。前者はロックビットによって実現され、後者はプロテクトビットによるものと、IDコードによるものがあります。それぞれの特長を表 27.3 に示します。

表 27.3 プロテクトの種類と特長

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、書き込み	読み出し、消去、書き込み
対象とする書き換えモード	CPU書き換えモード 標準シリアル入出力モード パラレル入出力モード	パラレル入出力モード	標準シリアル入出力モード
保護範囲	ブロックごと	フラッシュメモリ全領域	フラッシュメモリ全領域
プロテクト方法	ロックビット書き換え	いずれかのブロックのプロテクトビット書き換え	IDコードが設定されたプログラムの書き込み
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	プロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

27.2.1 ロックビットプロテクト

すべての書き換えモードに対して有効なプロテクトです。ロックビットプロテクトが有効な場合、ロックビットが“0”(ロック)のブロックに対して書き換え、消去はできません。

ロックビットを“0”にするには、ソフトウェアコマンドのロックビットプログラムコマンドを発行してください。また、FMR1レジスタのLBDビットを“1”(ロックビット無効)にすると、ロックビットプロテクトが無効になり、全ブロックの書き換え、消去ができるようになります。ロックビットを“0”(ロック)にしたブロックを消去すると、そのブロックのロックビットも消去されて“1”(非ロック)になります。

27.2.2 ROMコードプロテクト

パラレル入出力モードに対して有効なプロテクトです。ROMコードプロテクトが有効な場合、パラレルライターでは、いずれの領域の内容も読み書きできません。ROMコードプロテクトを解除するには、プロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

フラッシュメモリの各ブロックには、プロテクトビットが2ビットずつあります。表 27.4 にソフトウェアコマンドで指定するプロテクトビットのアドレスを示します。これらのプロテクトビットのうちいずれか1つでも“0”(プロテクト)にすると、全領域がプロテクトされます。

表 27.4 プロテクトビットのアドレス一覧

ブロック	プロテクトビット0	プロテクトビット1
Block B	00060100h	00060300h
Block A	00061100h	00061300h
Block 17	FFF00100h	FFF00300h
Block 16	FFF10100h	FFF10300h
Block 15	FFF20100h	FFF20300h
Block 14	FFF30100h	FFF30300h
Block 13	FFF40100h	FFF40300h
Block 12	FFF50100h	FFF50300h
Block 11	FFF60100h	FFF60300h
Block 10	FFF70100h	FFF70300h
Block 9	FFF80100h	FFF80300h
Block 8	FFF90100h	FFF90300h
Block 7	FFFA0100h	FFFA0300h
Block 6	FFFB0100h	FFFB0300h
Block 5	FFFC0100h	FFFC0300h
Block 4	FFFD0100h	FFFD0300h
Block 3	FFFE0100h	FFFE0300h
Block 2	FFFE8100h	FFFE8300h
Block 1	FFFF0100h	FFFF0300h
Block 0	FFFF8100h	FFFF8300h

27.2.3 IDコードプロテクト

標準シリアル入出力モードに対して有効なプロテクトです。シリアルライターから送られてくる7バイトのIDコードとフラッシュメモリに書かれているIDコードが一致すると、シリアルライターからのコマンドが受け付けられるようになります。ただし、リセットベクタが“FFFFFFFFh”の場合は、フラッシュメモリが消去済みであると判断し、IDコードのチェックは行いません。なお、ROMコードプロテクトが有効で、リセットベクタが“FFFFFFFFh”の場合は、消去コマンドしか受け付けません。

IDコードはシリアルライターからID1、ID2、...、ID7の順で送られてきます。IDコードは図 27.2 に示すとおり、ID1から順にそれぞれFFFFFFE8h番地、FFFFFFE9h番地、...、FFFFFFEEh番地に割り当てられています。これらの番地にIDコードを設定したプログラムをフラッシュメモリに書き込むことでプロテクトが有効になります。

IDコードが“ALeRASE”、“Protect”に対応するASCIIコードの組み合わせは予約IDコードとなっています。詳細は表 27.5、「27.2.4 強制イレーズ機能」、「27.2.5 標準シリアル入出力モード禁止機能」を参照してください。

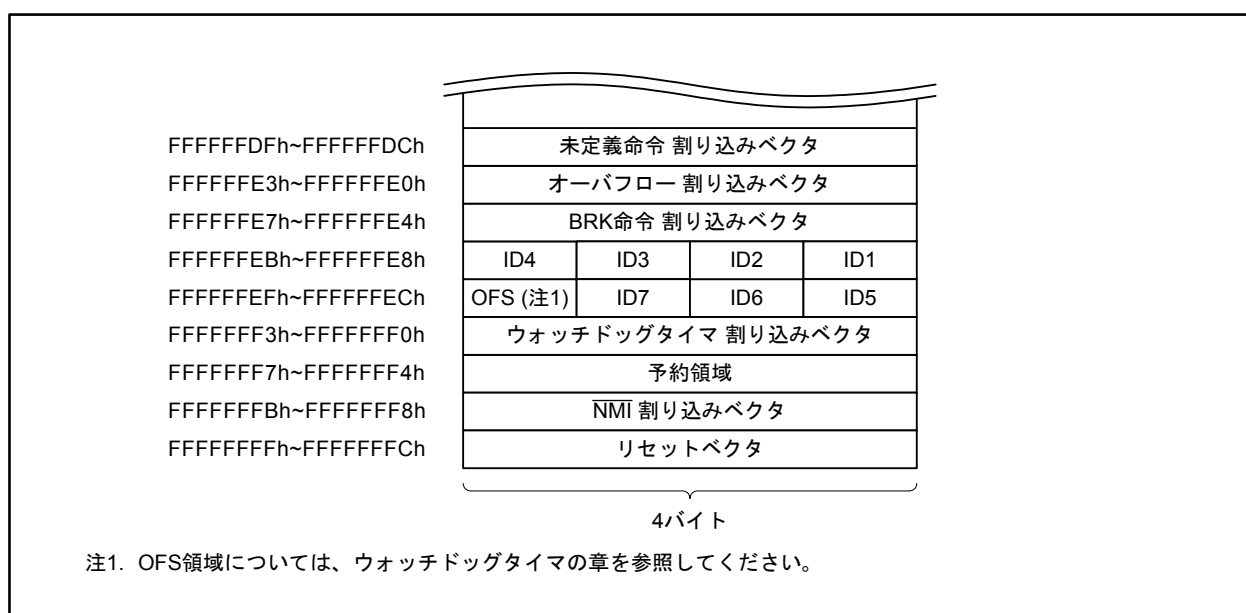


図 27.2 IDコード格納番地

表 27.5 予約IDコード

IDコード		ID1	ID2	ID3	ID4	ID5	ID6	ID7
ALeRASE	文字	"A"	"L"	"e"	"R"	"A"	"S"	"E"
	ASCIIコード	41h	4Ch	65h	52h	41h	53h	45h
Protect	文字	"P"	"r"	"o"	"t"	"e"	"c"	"t"
	ASCIIコード	50h	72h	6Fh	74h	65h	63h	74h

27.2.4 強制イレーズ機能

シリアルライタから送られてきたIDコードが“A”、“L”、“e”、“R”、“A”、“S”、“E”に対応するASCIIコードであったとき、フラッシュメモリの全ブロックをイレーズする機能です。標準シリアル入出力モードで有効です。

ROMコードプロテクトを有効にし、かつフラッシュメモリに“ALeRASE”以外のIDコードをプログラムしている場合、この機能は働きません。

表 27.6 強制イレーズ機能の動作条件

シリアルライタから送られてくるIDコード	フラッシュメモリに書かれているIDコード	ROMコードプロテクト	動作
“ALeRASE”	“ALeRASE”	—	フラッシュメモリの全ブロックをイレーズ
	“ALeRASE”、“Protect”以外	無効 有効	IDコードチェック(不一致)
“ALeRASE”以外	“ALeRASE”	—	IDコードチェック(不一致)
	“ALeRASE”、“Protect”以外	—	IDコードチェック

27.2.5 標準シリアル入出力モード禁止機能

フラッシュメモリに“P”、“r”、“o”、“t”、“e”、“c”、“t”に対応するASCIIコードがIDコードとして書かれているとき、標準シリアル入出力モードによるフラッシュメモリへのアクセスを禁止する機能です。

フラッシュメモリのROMコードプロテクトを有効にし、かつ“Protect”に相当するIDコードをプログラムした場合、シリアルライターでROMコードプロテクトを解除できなくなります。この場合、パラレルライターでフラッシュメモリを消去する以外、MCU外部からフラッシュメモリにアクセスすることはできなくなります。

27.3 CPU書き換えモード

CPU書き換えモードは、CPUがソフトウェアコマンドを実行することによって、フラッシュメモリを書き換えるモードです。CPU書き換えモードでは、CPUバスから直接フラッシュメモリにアクセスせず、フラッシュメモリ書き換え専用のバスを經由してフラッシュメモリにアクセスします(図27.3参照)。

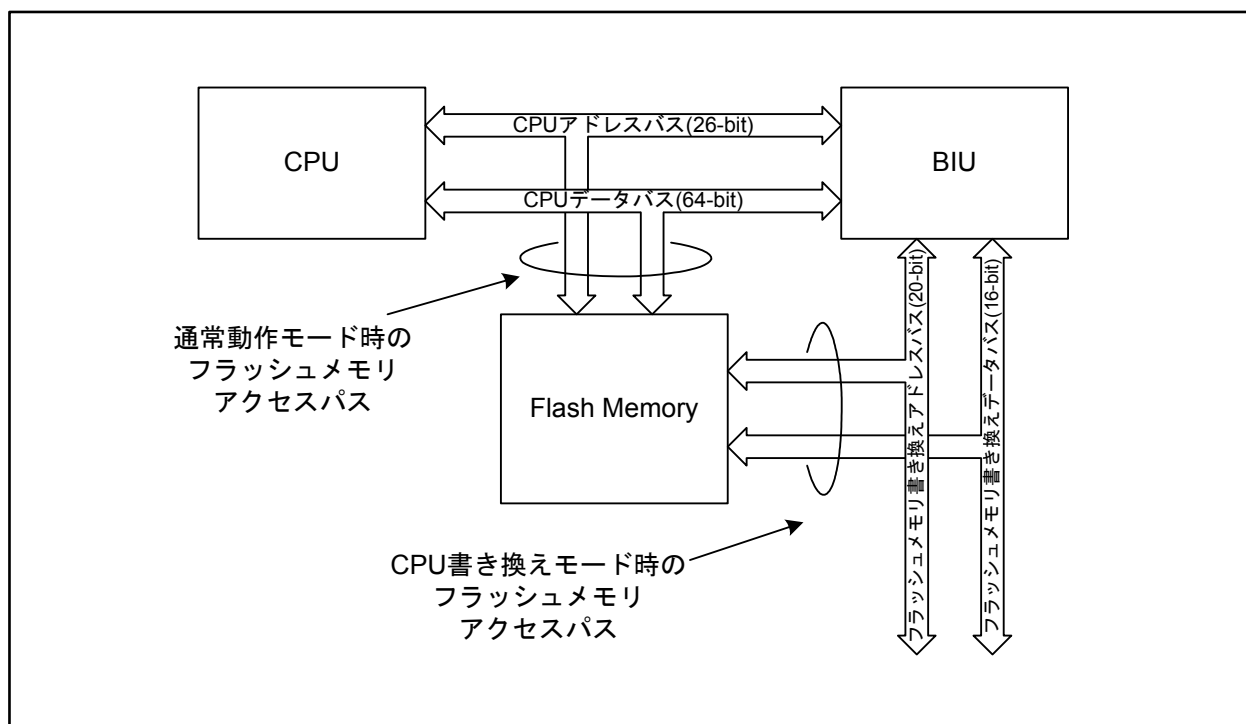


図 27.3 CPU書き換えモード時のフラッシュメモリアクセスパス

フラッシュメモリ書き換えのためのバス設定は、FEBCレジスタで行います。FEBCレジスタは、「27.3.1 フラッシュメモリ書き換えバスタイミング設定」および「28. 電気的特性」を参照して、書き換え条件を満たすように設定してください。

CPU 書き換えモードには、EW0モードとEW1モードがあります。表 27.7にEW0モードとEW1モードの相違点を示します。

表 27.7 EW0モードとEW1モードの相違点

項目	EW0モード	EW1モード
CPU動作モード	シングルチップモード メモリ拡張モード	シングルチップモード
書き換えプログラムを実行できる領域	内蔵フラッシュメモリ以外の領域	書き換え対象のブロック以外の内蔵フラッシュメモリ、内蔵RAM
ソフトウェアコマンドの制限	なし	<ul style="list-style-type: none"> プログラムコマンド/ブロックイレーズコマンド 書き換えプログラムのあるブロックに対して実行禁止 リードステータスレジスタモード移行コマンド 実行禁止 リードロックビットステータスモード移行コマンド RAM上から実行してください リードプロテクトビットステータスモード移行コマンド RAM上から実行してください
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
プログラム、イレーズ中のCPUの状態	動作	SFR、フラッシュメモリ、外部バスにアクセスしない限り動作。上記領域にアクセスすると停止
フラッシュメモリのステータス検知	<ul style="list-style-type: none"> プログラムでFMSR0レジスタを読む リードステータスレジスタモード移行コマンドを実行し、データを読む 	<ul style="list-style-type: none"> プログラムでFMSR0レジスタを読む
サスペンド要求	FMR1レジスタのSUSREQビットを“1”にすると発生	FMR1レジスタのSUSILVLビットで設定したレベル以上の割り込み要求で発生
その他制限	なし	<ul style="list-style-type: none"> サスペンド機能を使用しない場合、プログラム、イレーズ中は割り込み(NMIを除く)を禁止にしてください プログラム、イレーズ中はDMAを禁止にしてください

FMCRCレジスタのFEWビットを“1”にすると、CPU書き換えモードになります。その後、FMR0レジスタのEWMビットの設定値によってEW0モードとEW1モードを選択できます。

FMCRCレジスタ、FMR0レジスタは、それぞれPRRレジスタ、FPR0レジスタにより保護されています。図 27.4~図 27.12に関連するレジスタを示します。

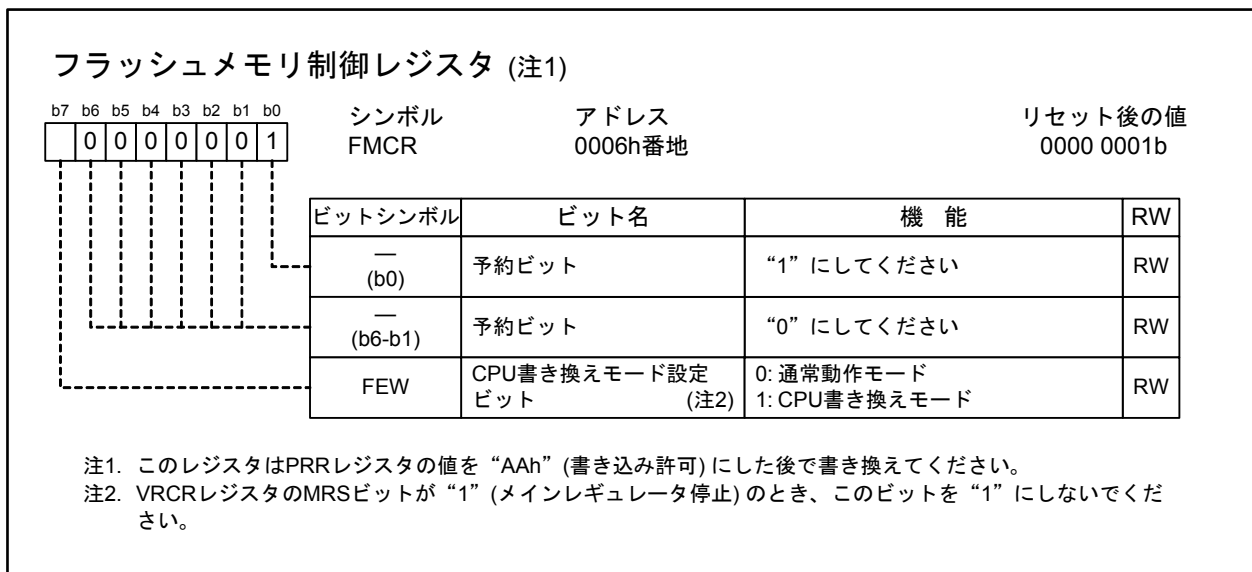


図 27.4 FMCR レジスタ

フラッシュメモリ書き換えバス制御レジスタ (注1)

シンボル
FEBC

アドレス
0008h-0009h番地

リセット後の値
0000h

ビットシンボル	ビット名	機能	RW
FWR0	リード信号パルス幅 設定ビット	b3 b2 b1 b0 0 0 0 0 : wr = 1 0 0 0 1 : wr = 2 0 1 0 1 : wr = 3 0 1 1 0 : wr = 4 1 0 1 0 : wr = 5 1 0 1 1 : wr = 6 1 1 1 1 : wr = 7 上記以外 : 設定しないでください	RW
FWR1		RW	
FWR2		RW	
FWR3		RW	
FWR4	リード信号パルス幅 微調整ビット	0: 微調整しない 1: 微調整する	RW
— (b5)	予約ビット	“0” にしてください	RW
MPY0	設定サイクル数通倍ビット	b7 b6 0 0 : 設定しないでください 0 1 : 設定しないでください 1 0 : mpy = 3 1 1 : mpy = 4	RW
MPY1		RW	
FSUW0	ライト前アドレス セットアップ時間 設定ビット	b9 b8 0 0 : suw = 0 0 1 : suw = 1 1 0 : suw = 2 1 1 : suw = 3	RW
FSUW1			
FWW0	ライト信号パルス幅 設定ビット	b11b10 0 0 : ww = 1 0 1 : ww = 2 1 0 : ww = 3 1 1 : ww = 4	RW
FWW1			
— (b12)	予約ビット	“1” にしてください	RW
— (b13)	予約ビット	“0” にしてください	RW
— (b14)	予約ビット	“1” にしてください	RW
— (b15)	予約ビット	“0” にしてください	RW

注1. このレジスタはPRRレジスタの値を“AAh” (書き込み許可) にした後で書き換えてください。

図 27.5 FEBC レジスタ



図 27.6 FPR0 レジスタ

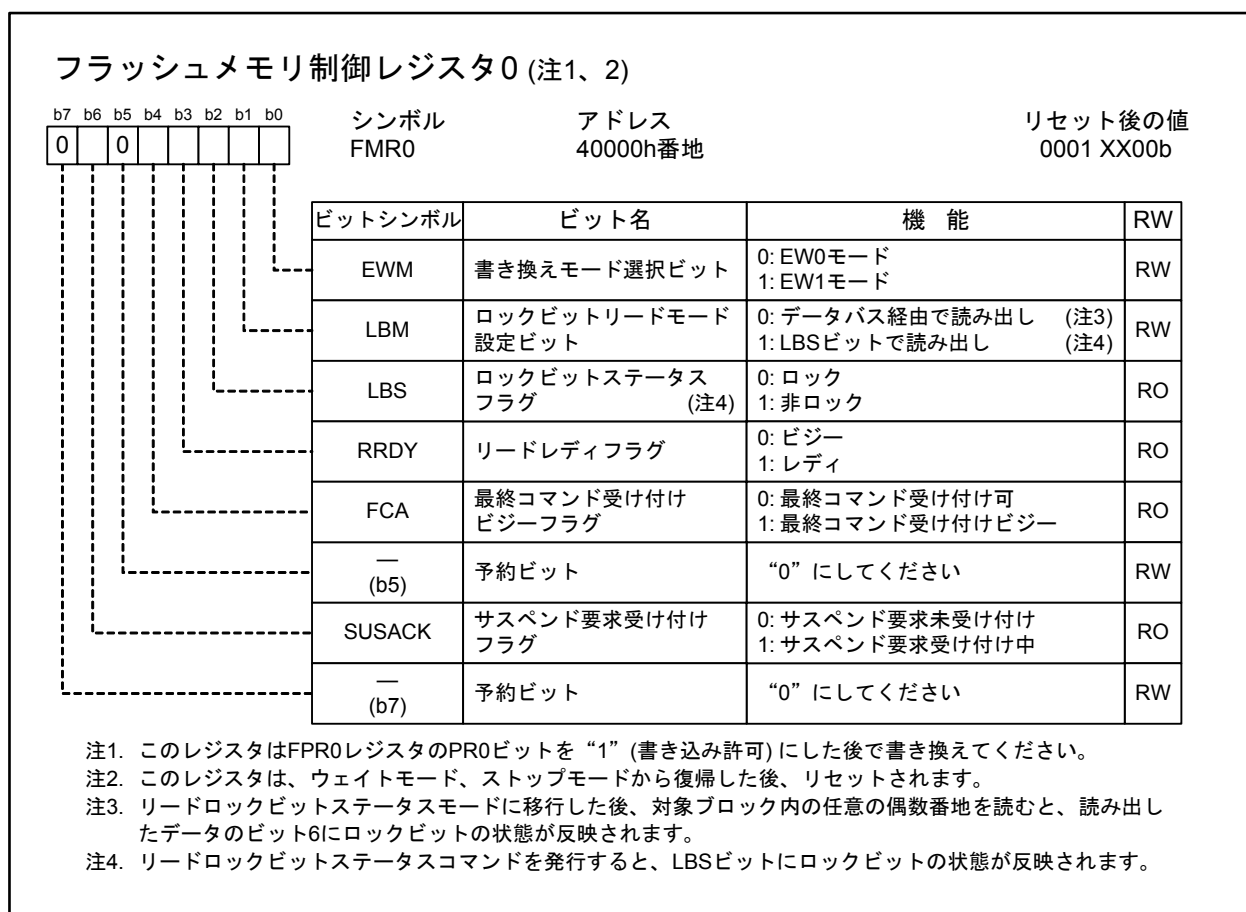


図 27.7 FMR0 レジスタ

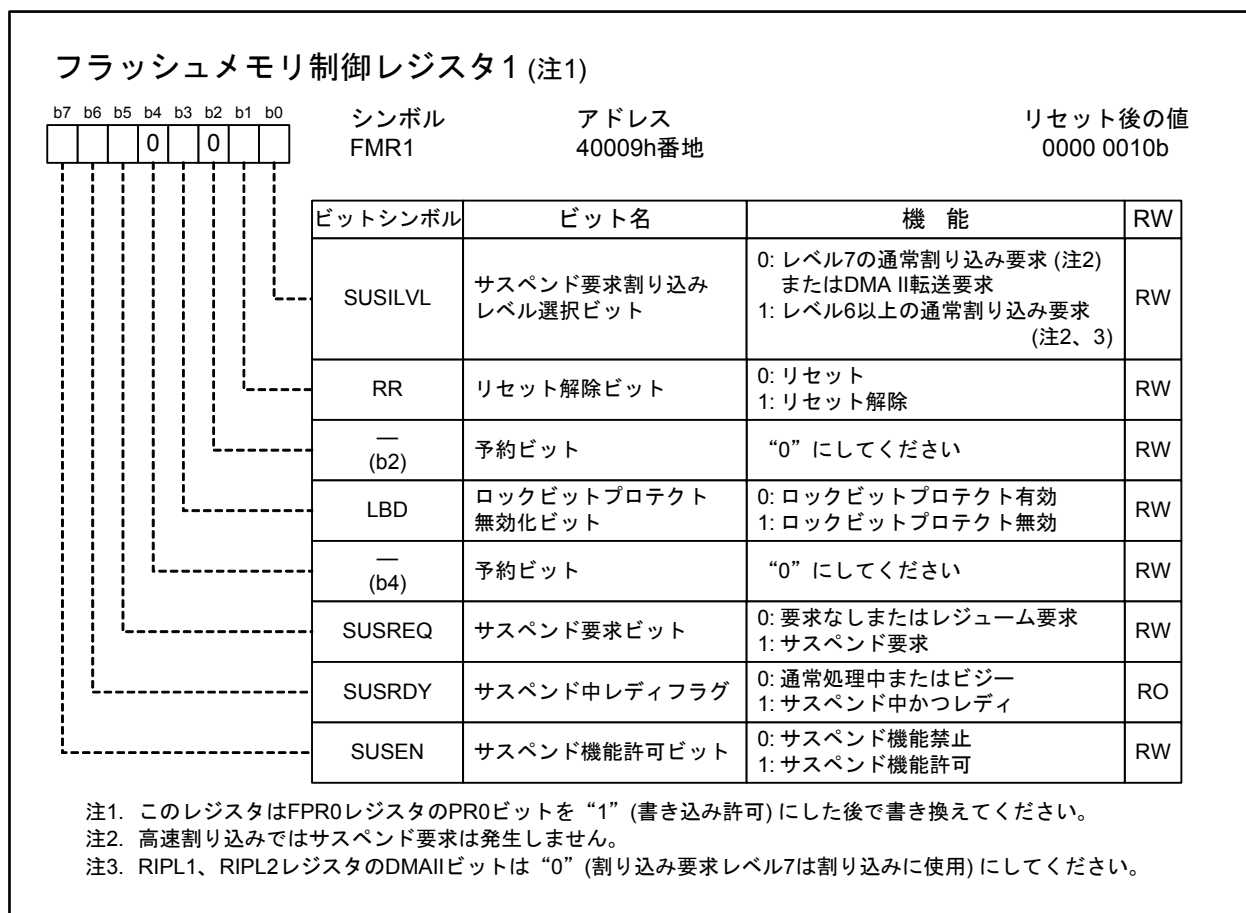


図 27.8 FMR1 レジスタ

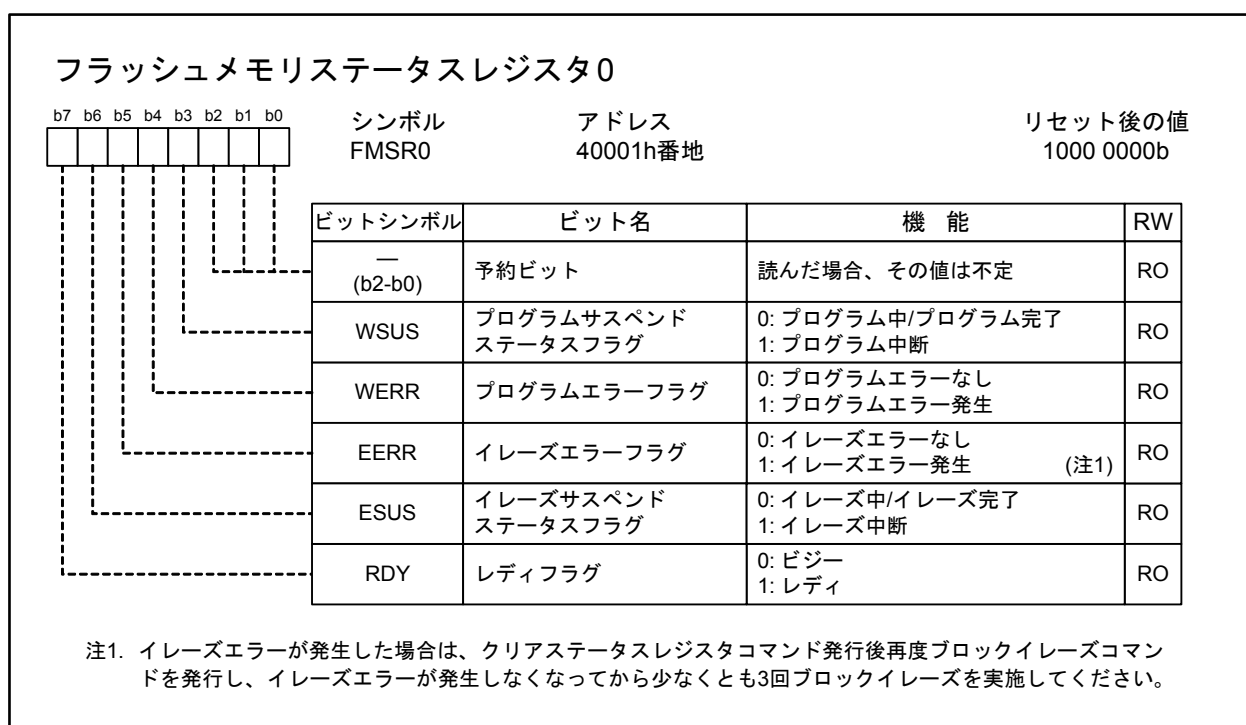


図 27.9 FMSR0 レジスタ

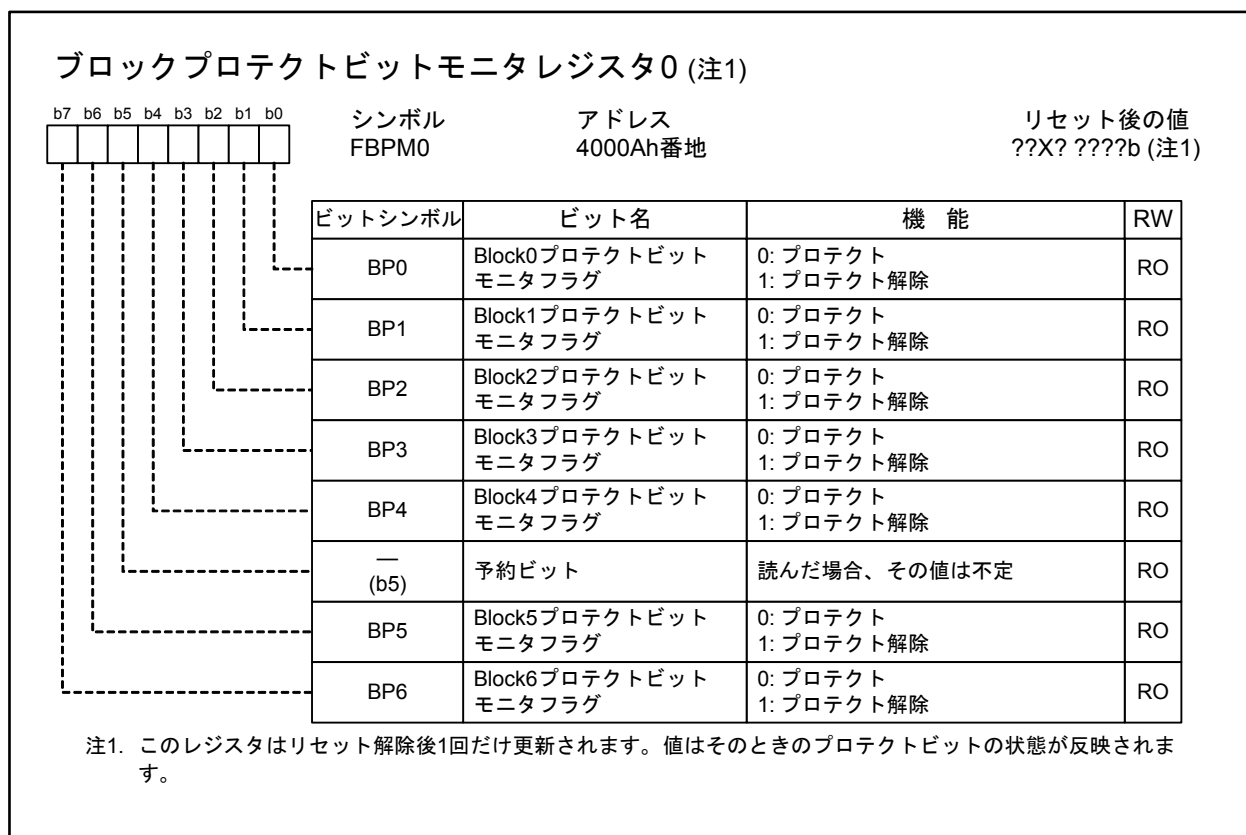


図 27.10 FBPM0 レジスタ

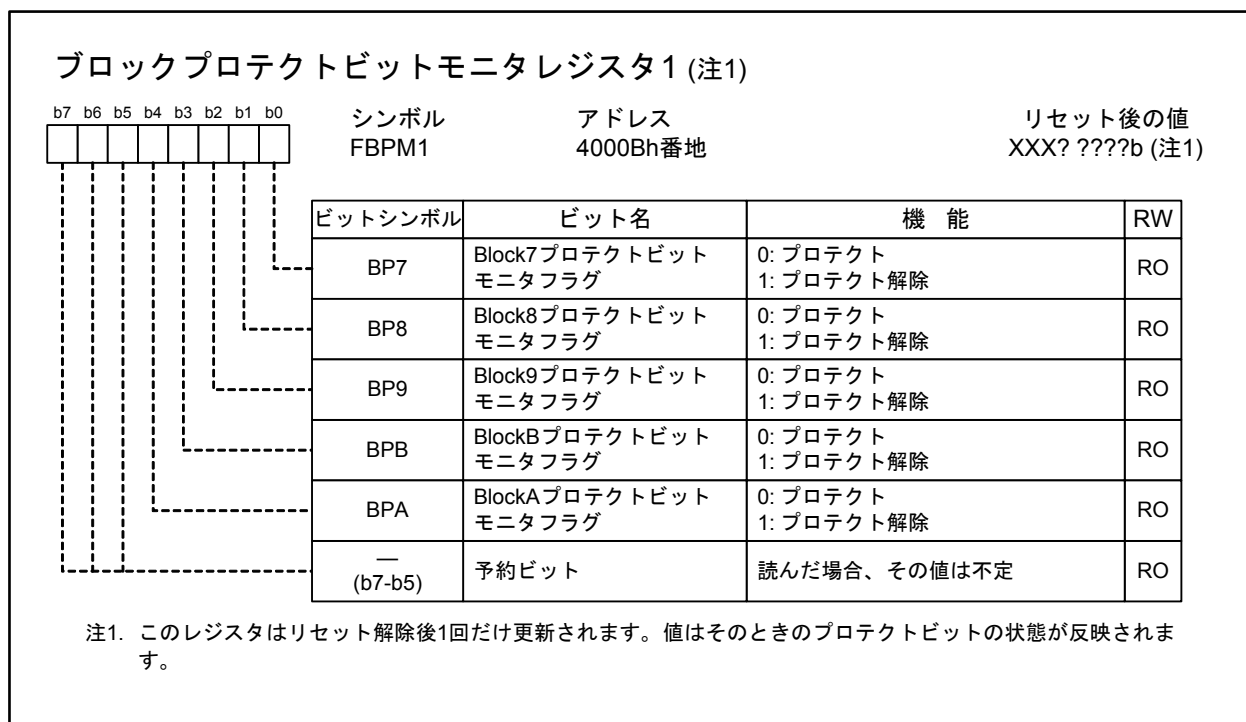


図 27.11 FBPM1 レジスタ

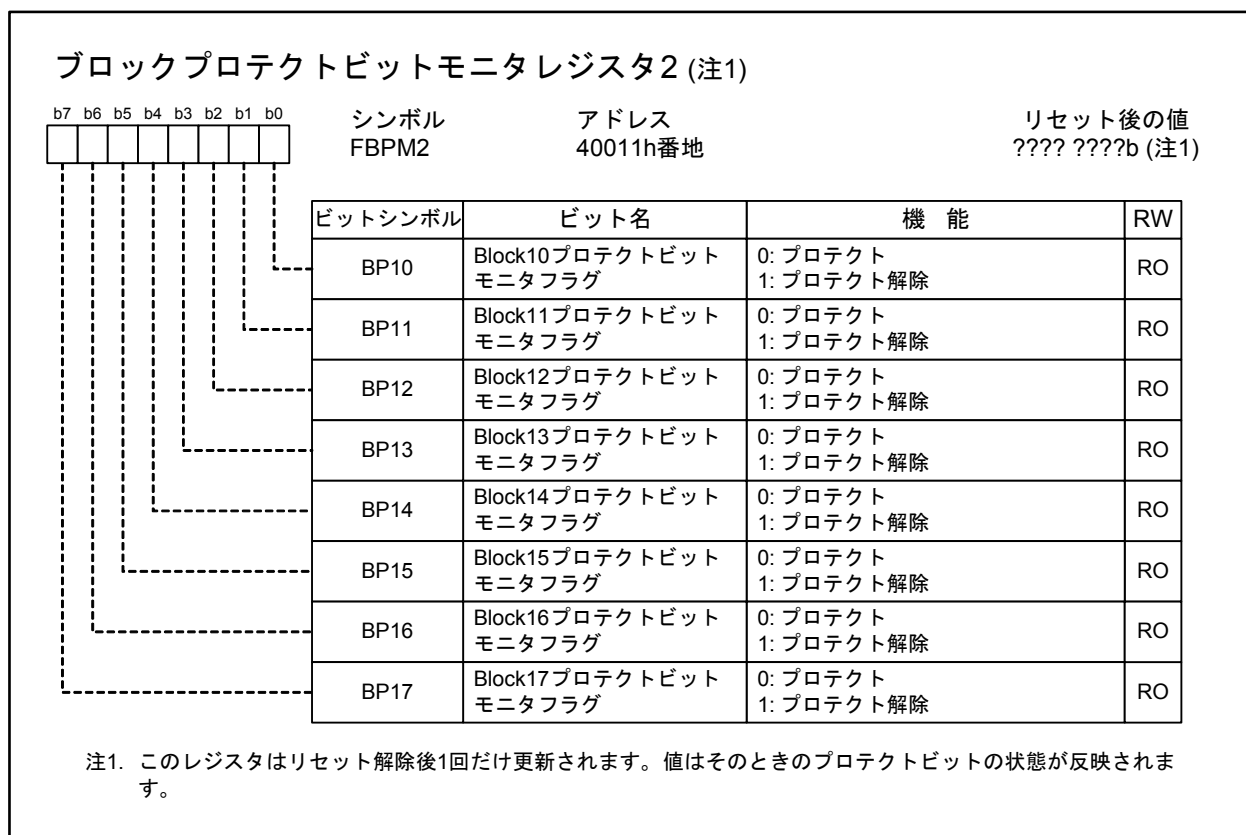


図 27.12 FBPM2 レジスタ

27.3.1 フラッシュメモリ書き換えバスタイミング設定

フラッシュメモリ書き換えのためのバス設定はFEBCレジスタで行います。ここではFEBCレジスタの設定について詳細に説明します。

バスタイミングの基準となるクロックはCCRレジスタのBCD1~BCD0ビットで設定されるベースクロックです。tsu、tw、tc、thなどの時間はベースクロックのサイクル数で規定します。

フラッシュメモリのリードタイミング図を図 27.13に、周辺バスクロック分周値ごとのMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係を表 27.8~表 27.10に、フラッシュメモリのライトタイミング図を図 27.14に、周辺バスクロック分周値ごとのMPY1~MPY0ビット、FSUW1~FSUW0ビット、FWW1~FWW0ビットの設定値とライトサイクルの関係を表 27.11~表 27.13にそれぞれ示します。

電気的特性に示すCPU書き換えモードのタイミング条件を満たすリードサイクル、ライトサイクルのタイミングをこれらの表から選択します。

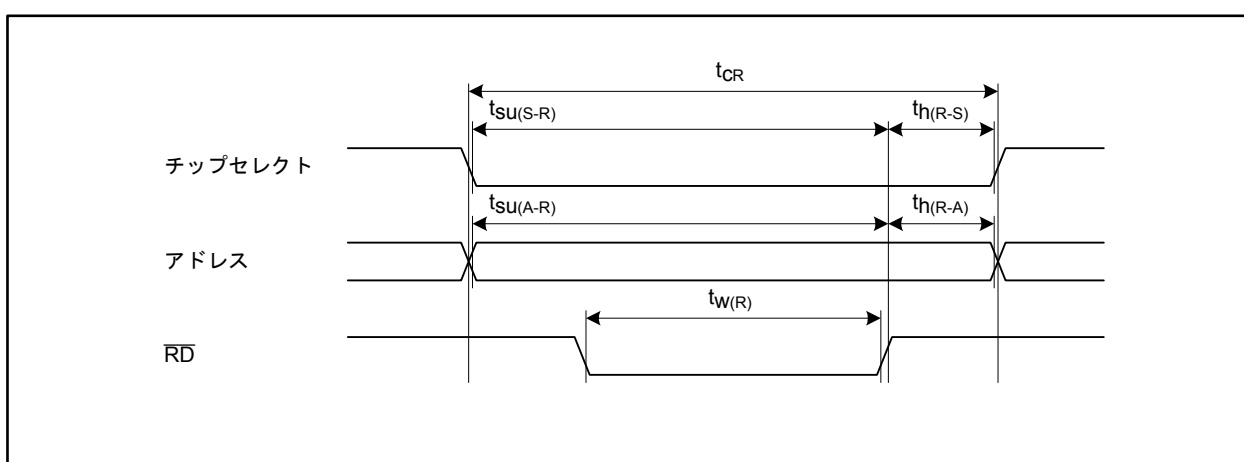


図 27.13 リードタイミング

表 27.8 周辺バスクロック2分周時におけるMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係(単位:サイクル)

FWR3~FWR0 ビットの設定値		FWR4 ビットの 設定値	MPY1~MPY0ビットの設定値							
			10b				11b			
			$mpy = 3$				$mpy = 4$			
			$t_{SU(S-R)}$, $t_{SU(A-R)}$	$t_{W(R)}$	t_{CR}	$t_{H(R-S)}$, $t_{H(R-A)}$	$t_{SU(S-R)}$, $t_{SU(A-R)}$	$t_{W(R)}$	t_{CR}	$t_{H(R-S)}$, $t_{H(R-A)}$
0000b	$wr = 1$	0	4	3	4	0	6	5	6	0
		1	6	5	6	0	6	5	6	0
0001b	$wr = 2$	0	8	7	8	0	10	9	10	0
		1	8	7	8	0	10	9	10	0
0101b	$wr = 3$	0	10	9	10	0	14	13	14	0
		1	12	11	12	0	14	13	14	0
0110b	$wr = 4$	0	14	13	14	0	18	17	18	0
		1	14	13	14	0	18	17	18	0
1010b	$wr = 5$	0	16	15	16	0	22	21	22	0
		1	18	17	18	0	22	21	22	0
1011b	$wr = 6$	0	20	19	20	0	26	25	26	0
		1	20	19	20	0	26	25	26	0
1111b	$wr = 7$	0	22	21	22	0	30	29	30	0
		1	24	23	24	0	30	29	30	0

表 27.9 周辺バスクロック3分周時におけるMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係(単位:サイクル)

FWR3~FWR0 ビットの設定値		FWR4 ビットの 設定値	MPY1~MPY0ビットの設定値							
			10b				11b			
			<i>mpy = 3</i>				<i>mpy = 4</i>			
			tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)	tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)
0000b	<i>wr = 1</i>	0	6	4.5	6	0	6	4.5	6	0
		1	6	4.5	6	0	6	4.5	6	0
0001b	<i>wr = 2</i>	0	9	7.5	9	0	9	7.5	9	0
		1	9	7.5	9	0	12	10.5	12	0
0101b	<i>wr = 3</i>	0	12	10.5	12	0	15	13.5	15	0
		1	12	10.5	12	0	15	13.5	15	0
0110b	<i>wr = 4</i>	0	15	13.5	15	0	18	16.5	18	0
		1	15	13.5	15	0	18	16.5	18	0
1010b	<i>wr = 5</i>	0	18	16.5	18	0	21	19.5	21	0
		1	18	16.5	18	0	24	22.5	24	0
1011b	<i>wr = 6</i>	0	21	19.5	21	0	27	25.5	27	0
		1	21	19.5	21	0	27	25.5	27	0
1111b	<i>wr = 7</i>	0	24	22.5	24	0	30	28.5	30	0
		1	24	22.5	24	0	30	28.5	30	0

表 27.10 周辺バスクロック4分周時におけるMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係(単位:サイクル)

FWR3~FWR0 ビットの設定値		FWR4 ビットの 設定値	MPY1~MPY0ビットの設定値							
			10b				11b			
			<i>mpy = 3</i>				<i>mpy = 4</i>			
			tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)	tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)
0000b	<i>wr = 1</i>	0	4	2	4	0	8	6	8	0
		1	8	6	8	0	8	6	8	0
0001b	<i>wr = 2</i>	0	8	6	8	0	12	10	12	0
		1	8	6	8	0	12	10	12	0
0101b	<i>wr = 3</i>	0	12	10	12	0	16	14	16	0
		1	12	10	12	0	16	14	16	0
0110b	<i>wr = 4</i>	0	16	14	16	0	20	18	20	0
		1	16	14	16	0	20	18	20	0
1010b	<i>wr = 5</i>	0	16	14	16	0	24	22	24	0
		1	20	18	20	0	24	22	24	0
1011b	<i>wr = 6</i>	0	20	18	20	0	28	26	28	0
		1	20	18	20	0	28	26	28	0
1111b	<i>wr = 7</i>	0	24	22	24	0	32	30	32	0
		1	24	22	24	0	32	30	32	0

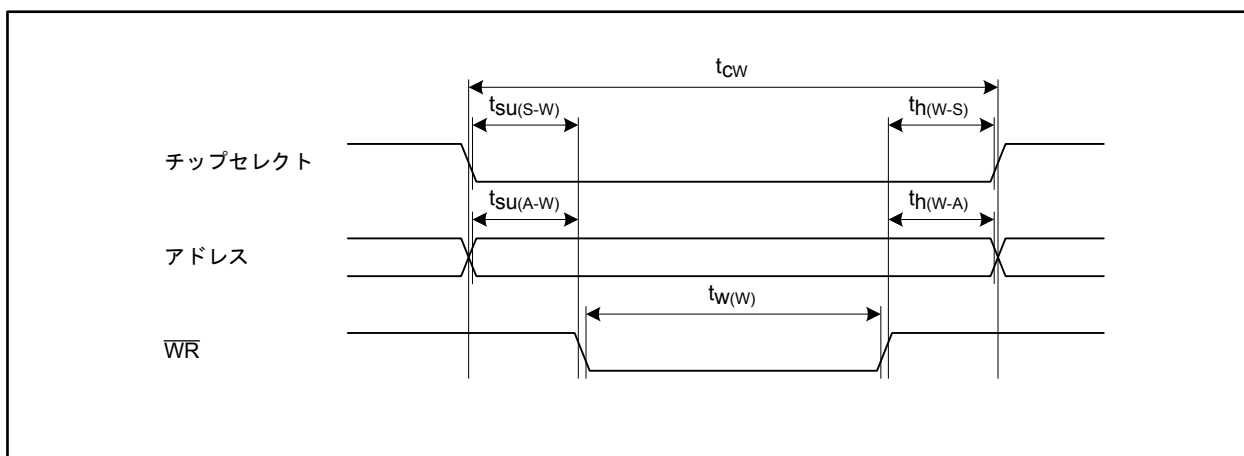


図 27.14 ライトタイミング

表 27.11 周辺バスクロック2分周時におけるMPY1~MPY0ビット、FSUW1~FSUW0、FWW1~FWW0ビットの設定値とライトサイクルの関係(単位:サイクル)

FSUW1~FSUW0 ビットの設定値	FWW1~FWW0 ビットの設定値	MPY1~MPY0ビットの設定値									
		10b					11b				
		$mpy = 3$					$mpy = 4$				
				$t_{su(S-W)},$ $t_{su(A-W)}$	$t_{w(W)}$	t_{cw}	$t_{h(W-S)},$ $t_{h(W-A)}$	$t_{su(S-W)},$ $t_{su(A-W)}$	$t_{w(W)}$	t_{cw}	$t_{h(W-S)},$ $t_{h(W-A)}$
00b	$suw = 0$	00b	$ww = 1$	1	3	6	2	1	4	6	1
		01b	$ww = 2$	1	6	8	1	1	8	10	1
		10b	$ww = 3$	1	9	12	2	1	12	14	1
		11b	$ww = 4$	1	12	14	1	1	16	18	1
01b	$suw = 1$	00b	$ww = 1$	4	3	8	1	5	4	10	1
		01b	$ww = 2$	4	6	12	2	5	8	14	1
		10b	$ww = 3$	4	9	14	1	5	12	18	1
		11b	$ww = 4$	4	12	18	2	5	16	22	1
10b	$suw = 2$	00b	$ww = 1$	7	3	12	2	9	4	14	1
		01b	$ww = 2$	7	6	14	1	9	8	18	1
		10b	$ww = 3$	7	9	18	2	9	12	22	1
		11b	$ww = 4$	7	12	20	1	9	16	26	1
11b	$suw = 3$	00b	$ww = 1$	10	3	14	1	13	4	18	1
		01b	$ww = 2$	10	6	18	2	13	8	22	1
		10b	$ww = 3$	10	9	20	1	13	12	26	1
		11b	$ww = 4$	10	12	24	2	13	16	30	1

表 27.12 周辺バスクロック3分周時におけるMPY1~MPY0ビット、FSUW1~FSUW0、FWW1~FWW0ビットの設定値とライトサイクルの関係(単位:サイクル)

FSUW1~FSUW0 ビットの設定値	FWW1~FWW0 ビットの設定値	MPY1~MPY0ビットの設定値									
		10b					11b				
		<i>mpy = 3</i>					<i>mpy = 4</i>				
				tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)	tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)
00b	<i>suw = 0</i>	00b	<i>ww = 1</i>	1	3	6	2	1	4	6	1
		01b	<i>ww = 2</i>	1	6	9	2	1	8	12	3
		10b	<i>ww = 3</i>	1	9	12	2	1	12	15	2
		11b	<i>ww = 4</i>	1	12	15	2	1	16	18	1
01b	<i>suw = 1</i>	00b	<i>ww = 1</i>	4	3	9	2	6	3	12	3
		01b	<i>ww = 2</i>	4	6	12	2	6	7	15	2
		10b	<i>ww = 3</i>	4	9	15	2	6	11	18	1
		11b	<i>ww = 4</i>	4	12	18	2	6	15	24	3
10b	<i>suw = 2</i>	00b	<i>ww = 1</i>	7	3	12	2	9	4	15	2
		01b	<i>ww = 2</i>	7	6	15	2	9	8	18	1
		10b	<i>ww = 3</i>	7	9	18	2	9	12	24	3
		11b	<i>ww = 4</i>	7	12	21	2	9	16	27	2
11b	<i>suw = 3</i>	00b	<i>ww = 1</i>	10	3	15	2	13	4	18	1
		01b	<i>ww = 2</i>	10	6	18	2	13	8	24	3
		10b	<i>ww = 3</i>	10	9	21	2	13	12	27	2
		11b	<i>ww = 4</i>	10	12	24	2	13	16	30	1

表 27.13 周辺バスクロック4分周時におけるMPY1~MPY0ビット、FSUW1~FSUW0、FWW1~FWW0ビットの設定値とライトサイクルの関係(単位:サイクル)

FSUW1~FSUW0 ビットの設定値	FWW1~FWW0 ビットの設定値	MPY1~MPY0ビットの設定値									
		10b					11b				
		<i>mpy = 3</i>					<i>mpy = 4</i>				
				tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)	tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)
00b	<i>suw = 0</i>	00b	<i>ww = 1</i>	1	3	8	4	1	4	8	3
		01b	<i>ww = 2</i>	1	6	8	1	1	8	12	3
		10b	<i>ww = 3</i>	1	9	12	2	1	12	16	3
		11b	<i>ww = 4</i>	1	12	16	3	1	16	20	3
01b	<i>suw = 1</i>	00b	<i>ww = 1</i>	4	3	8	1	5	4	12	3
		01b	<i>ww = 2</i>	4	6	12	2	5	8	16	3
		10b	<i>ww = 3</i>	4	9	16	3	5	12	20	3
		11b	<i>ww = 4</i>	4	12	20	4	5	16	24	3
10b	<i>suw = 2</i>	00b	<i>ww = 1</i>	8	2	12	2	9	4	16	3
		01b	<i>ww = 2</i>	8	5	16	3	9	8	20	3
		10b	<i>ww = 3</i>	8	8	20	4	9	12	24	3
		11b	<i>ww = 4</i>	8	11	20	1	9	16	28	3
11b	<i>suw = 3</i>	00b	<i>ww = 1</i>	10	3	16	3	13	4	20	3
		01b	<i>ww = 2</i>	10	6	20	4	13	8	24	3
		10b	<i>ww = 3</i>	10	9	20	1	13	12	28	3
		11b	<i>ww = 4</i>	10	12	24	2	13	16	32	3

27.3.2 ソフトウェアコマンド

CPU 書き換えモードにおいて、フラッシュメモリに対してソフトウェアコマンドを発行すると、フラッシュメモリの書き換えや消去を行うことができます。

コマンドの書き込み、データの読み書きは16ビット単位で行ってください。

表 27.14 にソフトウェアコマンドの一覧を示します。

表 27.14 ソフトウェアコマンド一覧

ソフトウェアコマンド	第一コマンド		第二コマンド	
	アドレス	データ	アドレス	データ
リードアレイモード移行	FFFFFF800h	00FFh	—	—
リードステータスレジスタモード移行(注1)	FFFFFF800h	0070h	—	—
クリアステータスレジスタ	FFFFFF800h	0050h	—	—
プログラム(注2)	FFFFFF800h	0043h	WA	WD
ブロックイレーズ	FFFFFF800h	0020h	BA	00D0h
ロックビットプログラム	FFFFFF800h	0077h	BA	00D0h
リードロックビットステータス	FFFFFF800h	0071h	BA	00D0h
リードロックビットステータスモード移行(注3)	FFFFFF800h	0071h	—	—
プロテクトビットプログラム	FFFFFF800h	0067h	PBA	00D0h
リードプロテクトビットステータスモード移行(注3)	FFFFFF800h	0061h	—	—

WA: 書き込みアドレス(偶数)

WD: 書き込みデータ(16ビット)

BA: 対象ブロック内の任意の偶数番地

PBA: プロテクトビットのアドレス(表 27.4 参照)

注1. EW1モードでは使用できません。

注2. プログラムは64ビット(4ワード)単位で行います。第二コマンド以降第五コマンドまでが一連のコマンドです。アドレス(WA)の上位29ビットは固定、下位3ビットは、第二コマンドから順に、000b-010b-100b-110b (0h-2h-4h-6hまたは8h-Ah-Ch-Eh)となるように指定してください。

注3. RAM上のプログラムから発行してください。

27.3.3 モード遷移

CPU書き換えモードにおけるフラッシュメモリの動作モードには以下の4つがあります。

- リードアレイモード
- リードステータスレジスタモード
- リードロックビットステータスモード
- リードプロテクトビットステータスモード

これらのモードにあるときにフラッシュメモリを読み出すと、それぞれ、メモリの内容、ステータスレジスタの内容、読み出したブロックのロックビットの状態、プロテクトビットの状態が読み出されます。これらの内容をそれぞれ表 27.15~表 27.17に示します。

表 27.15 ステータスレジスタの内容

ビット	ビットシンボル	ビット名	内容	
			"0"	"1"
b15-b8	—	無効ビット	—	—
b7	SR7	シーケンサ ステータス	ビジー	レディ
b6	SR6	イレーズサスペンドステータス	イレーズ中/ イレーズ完了	イレーズ中断
b5	SR5	イレーズステータス	正常終了	異常終了
b4	SR4	プログラムステータス	正常終了	異常終了
b3	SR3	プログラムサスペンドステータス	プログラム中/ プログラム完了	プログラム中断
b2	—	予約ビット	—	—
b1	—	予約ビット	—	—
b0	—	予約ビット	—	—

表 27.16 ロックビットステータスの内容

ビット	ビットシンボル	ビット名	内容	
			"0"	"1"
b15-b7	—	無効ビット	—	—
b6	LBS	ロックビットステータス	ロック	非ロック
b5-b0	—	無効ビット	—	—

表 27.17 プロテクトビットステータスの内容

ビット	ビットシンボル	ビット名	内容	
			"0"	"1"
b15-b7	—	無効ビット	—	—
b6	PBS	プロテクトビットステータス	プロテクト	非プロテクト
b5-b0	—	無効ビット	—	—

これらのモードからソフトウェアコマンドを発行することで、フラッシュメモリの書き込みや消去が実行できます。プログラム、イレーズが終了した後は、自動的にリードアレイモード(EW1モードの場合)またはリードステータスレジスタモード(EW0モードの場合)に戻ります。

27.3.4 コマンド発行手順

ここではソフトウェアコマンドの発行手順について説明します。
コマンドはFMSR0レジスタのRDYビットが“1”(レディ)のときに発行してください。

27.3.4.1 リードアレイモード移行コマンド

リードアレイモードに移行するコマンドです。
FFFFFF800h番地に“00FFh”を書くと、フラッシュメモリはリードアレイモードになり、フラッシュメモリ内の任意の番地の内容を読み出せるようになります。
EW1モードに入るとフラッシュメモリは常にリードアレイモードになっています。

27.3.4.2 リードステータスレジスタモード移行コマンド

リードステータスレジスタモードに移行するコマンドです。
FFFFFF800h番地に“0070h”を書くと、フラッシュメモリのどの番地を読んでも、ステータスレジスタの内容が読めます。
EW1モードではこのコマンドを発行しないでください。

27.3.4.3 クリアステータスレジスタコマンド

フラッシュメモリ内部のステータスレジスタをリセットするコマンドです。
FFFFFF800h番地に“0050h”を書くと、ステータスレジスタのSR5、SR4ビットが“0”(正常終了)になります(表 27.15参照)。その結果、FMSR0レジスタのEERR、WERRビットも“0”になります。

27.3.4.4 プログラムコマンド

4ワード(8バイト)単位でフラッシュメモリにデータを書くコマンドです。

FFFFFF800h番地に“0043h”を書き、続けて8n+0番地~8n+6番地にデータを書くと、自動書き込み(データのプログラムとベリファイ)を開始します。最終コマンド発行前にはFMR0レジスタのFCAビットが“0”になることを確認してください。

自動書き込みの終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、自動書き込み中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込みの結果はFMSR0レジスタのWERRビットで確認できます(「27.3.5 ステータスチェック」参照)。

なお、すでにプログラムされた番地に追加書き込みをしないでください。

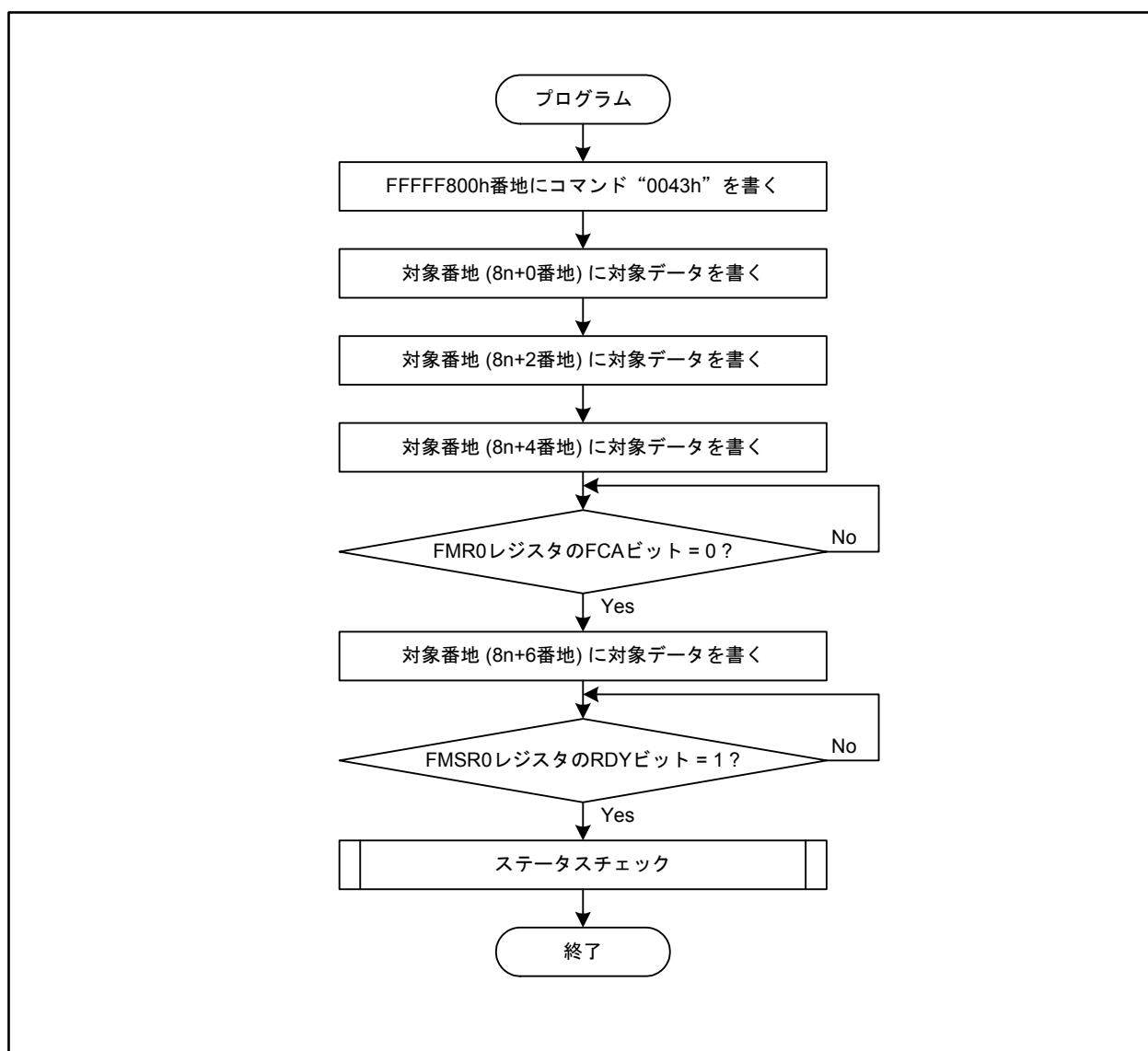


図 27.15 プログラムコマンド発行のフローチャート

27.3.4.5 ブロックイレーズコマンド

フラッシュメモリの指定したブロックを消去するコマンドです。

FFFFFF800h 番地に“0020h”を書き、FMR0 レジスタのFCA ビットが“0”になることを確認した後、対象とするブロックの任意の偶数番地に“00D0h”を書くと、指定されたブロックの自動消去(イレーズとベリファイ)を開始します。

自動消去の終了はFMSR0 レジスタのRDY ビットで確認できます。RDY ビットは、自動消去中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去の結果はFMSR0 レジスタのEERR ビットで確認できます(「27.3.5 ステータスチェック」参照)。

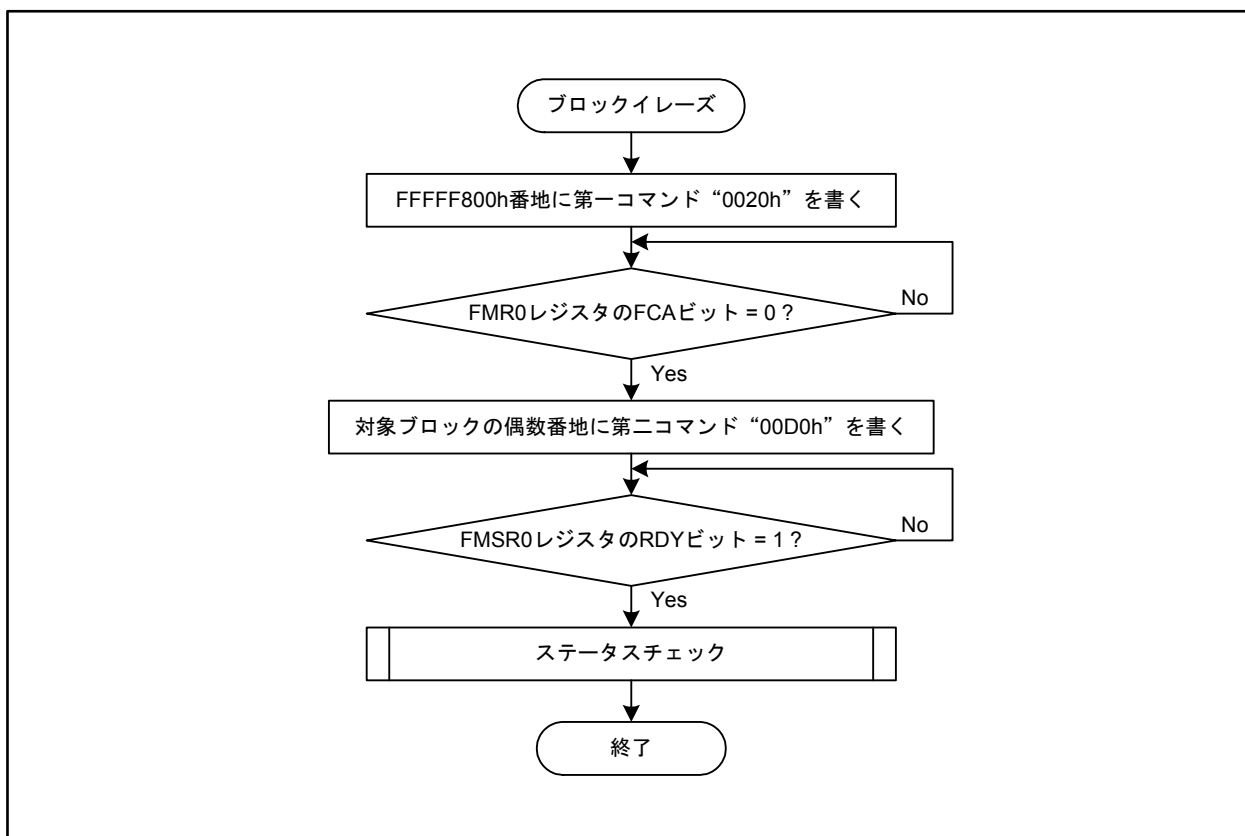


図 27.16 ブロックイレーズコマンド発行のフローチャート

27.3.4.6 ロックビットプログラムコマンド

フラッシュメモリの指定したブロックをロックするコマンドです。

FFFFFF800h番地に“0077h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックの任意の偶数番地に“00D0h”を書くと、指定されたブロックのロックビットに“0”（ロック）が書かれます。

ロックビットプログラムの終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、ロックビットプログラム中は“0”（ビジー）、終了後は“1”（レディ）になります。

ロックビットの状態はFMR0レジスタのLBMビットが“1”（LBSビット経由で読み出し）の場合、リードロックビットステータスコマンドで確認できます（「27.3.4.7 リードロックビットステータスコマンド」参照）。LBMビットが“0”（データバス経由で読み出し）の場合は、リードロックビットステータスモードに移行してください（「27.3.4.8 リードロックビットステータスモード移行コマンド」参照）。

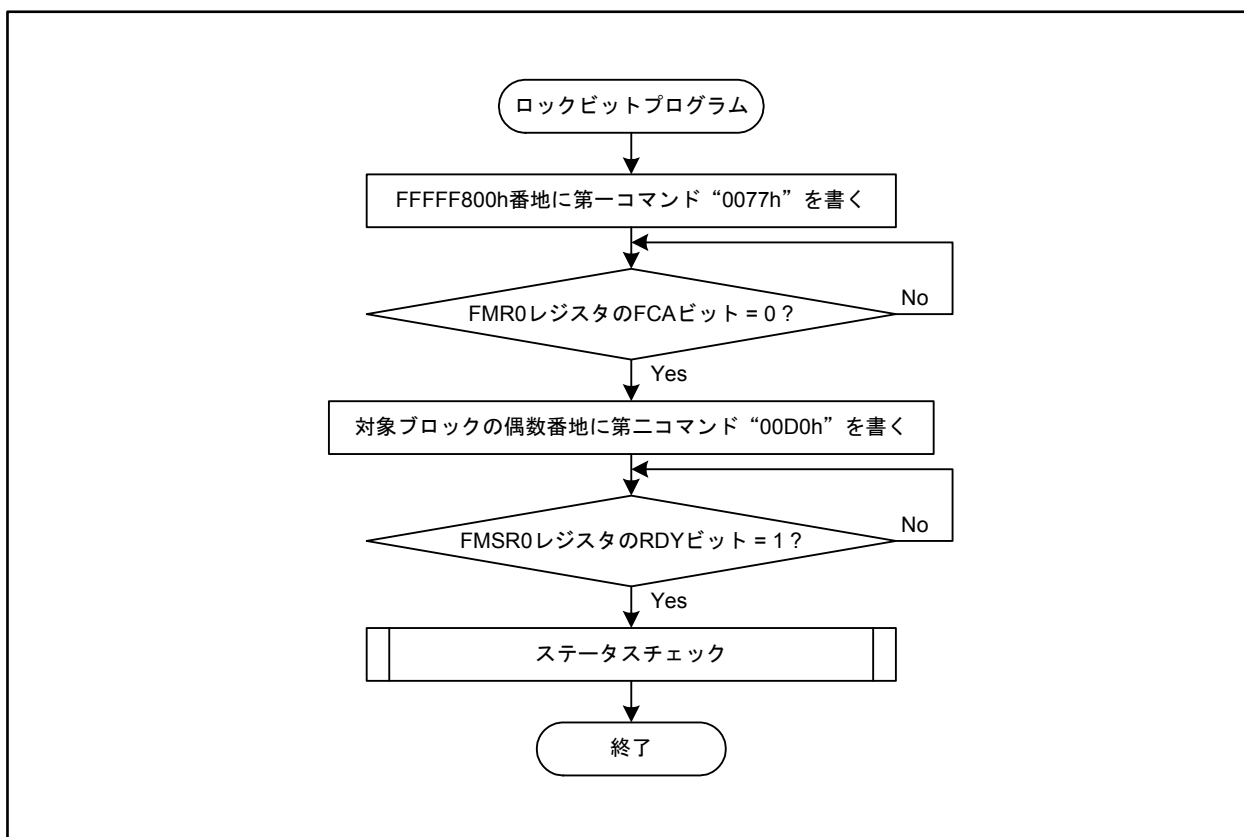


図 27.17 ロックビットプログラムコマンド発行のフローチャート

27.3.4.7 リードロックビットステータスコマンド

フラッシュメモリの指定したブロックのロック状態を確認するコマンドです。FMR0レジスタのLBMビットが“1” (LBSビット経由で読み出し) の場合に使用できます。

FFFFF800h 番地に“0071h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックの任意の偶数番地に“00D0h”を書くと、指定されたブロックのロックビットの状態がFMR0レジスタのLBSビットに反映されます。

FMSR0レジスタのRDYビットが“1” (レディ) になってからLBSビットを読んでください。

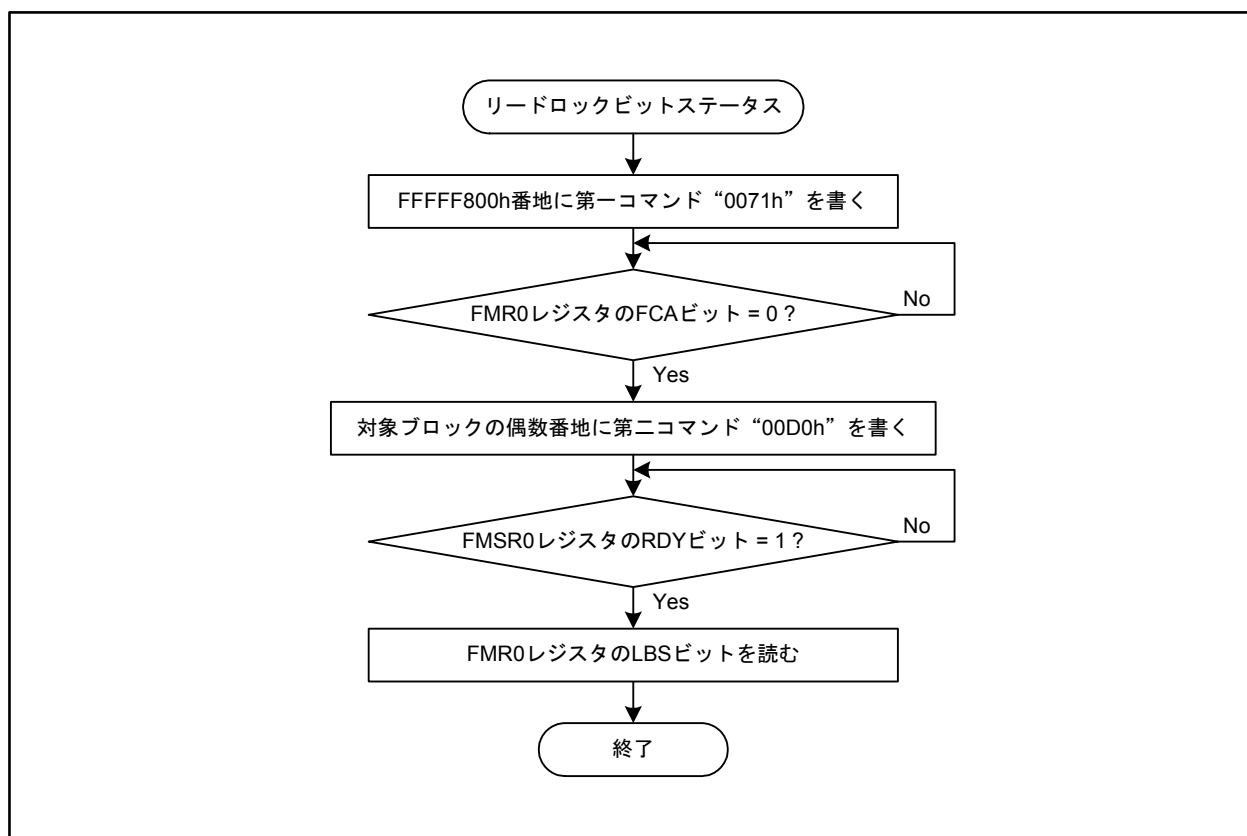


図 27.18 リードロックビットステータスコマンド発行のフローチャート

27.3.4.8 リードロックビットステータスモード移行コマンド

リードロックビットステータスモードに移行するコマンドです。FMR0レジスタのLBMビットが“0” (データバス経由で読み出し) の場合に使用できます。

FFFFF800h 番地に“0071h”を書くと、フラッシュメモリのどの番地を読んでも、読んだブロックのロックビットステータス(表 27.16 参照)が読めます。

このコマンドを発行するプログラムはRAM上で実行してください。

27.3.4.9 プロテクトビットプログラムコマンド

フラッシュメモリの指定したブロックをプロテクトするコマンドです。いずれかのブロックのプロテクトビットを“0”にすると、ROMコードプロテクトが有効になります。

FFFFFF800h番地に“0067h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックのプロテクトビット(表 27.4参照)に対して“00D0h”を書くと、指定されたブロックのプロテクトビットに“0”(プロテクト)が書かれます。

プロテクトビットプログラムの終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、プロテクトビットプログラム中は“0”(ビジー)、終了後は“1”(レディ)になります。

プロテクトビットの状態は、リードプロテクトビットステータスモードに移行して(「27.3.4.10 リードプロテクトビットステータスモード移行コマンド」参照)、フラッシュメモリを読み出すことで確認できます。

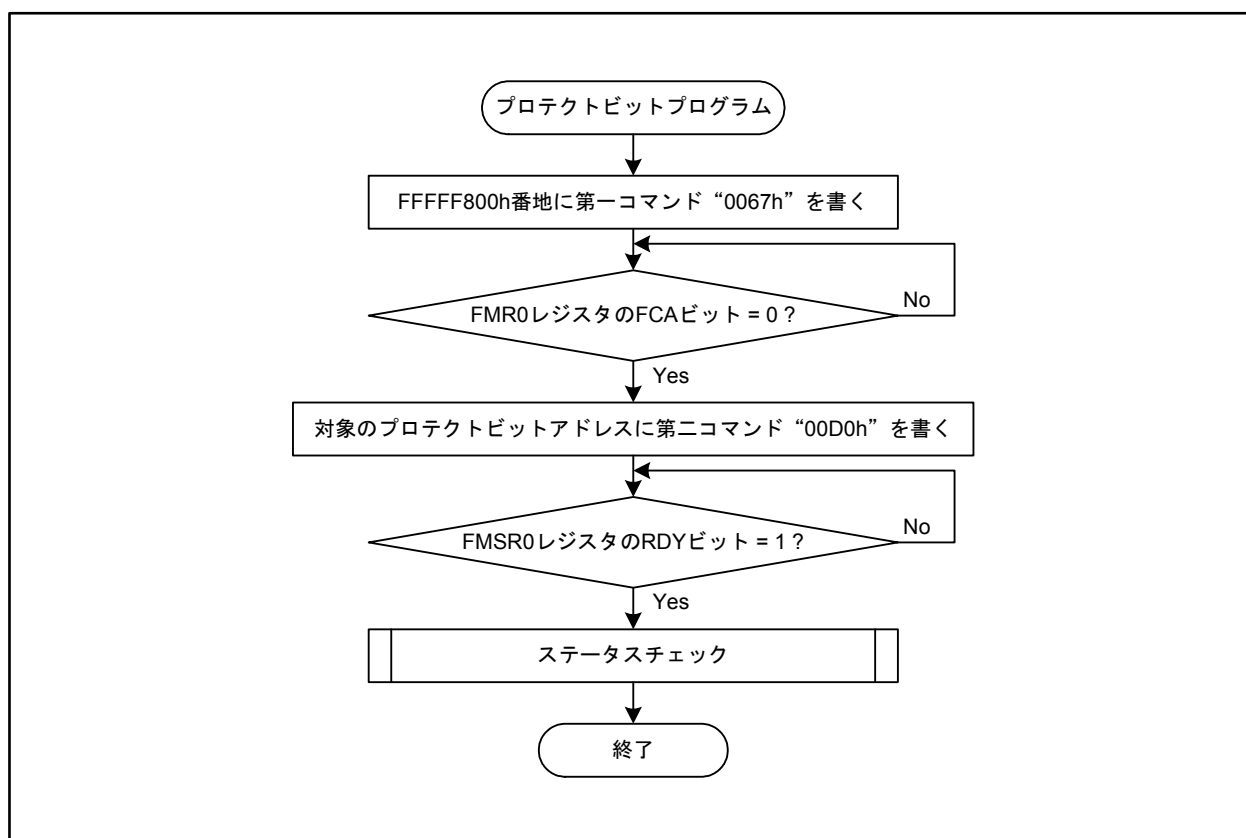


図 27.19 プロテクトビットプログラムコマンド発行のフローチャート

27.3.4.10 リードプロテクトビットステータスモード移行コマンド

リードプロテクトビットステータスモードに移行するコマンドです。

FFFFFF800h番地に“0061h”を書くと、フラッシュメモリのどの番地を読んでも、読んだブロックのプロテクトビットステータス(表 27.17参照)が読めます。

このコマンドを発行するプログラムはRAM上で実行してください。

27.3.5 ステータスチェック

ソフトウェアコマンドが正常に実行できたかどうかは、FMSR0 レジスタの EERR、WERR ビット、もしくはステータスレジスタの SR5、SR4 ビットを読むことで確認できます。

これらのビットの意味を表 27.18 に、ステータスチェックのフロー例を図 27.20 に示します。

表 27.18 ステータスとエラー内容

FMSR0 レジスタ (ステータスレジスタ)		エラー内容	エラー発生原因
EERR ビット (SR5 ビット)	WERR ビット (SR4 ビット)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> • 第二コマンドまであるソフトウェアコマンドの最終コマンドで“00D0h”もしくは“00FFh” (コマンドキャンセル) 以外の値を書いた • アドレスを指定するコマンドで実在しないアドレスを指定した
1	0	イレーズエラー	<ul style="list-style-type: none"> • ロックされたブロックをイレーズしようとした • 対象のブロックが正しくイレーズできなかった
0	1	プログラムエラー	<ul style="list-style-type: none"> • ロックされたブロックにプログラムしようとした • データが正しくプログラムできなかった • ロックビットが正しくプログラムできなかった • プロテクトビットが正しくプログラムできなかった
0	0	正常終了	

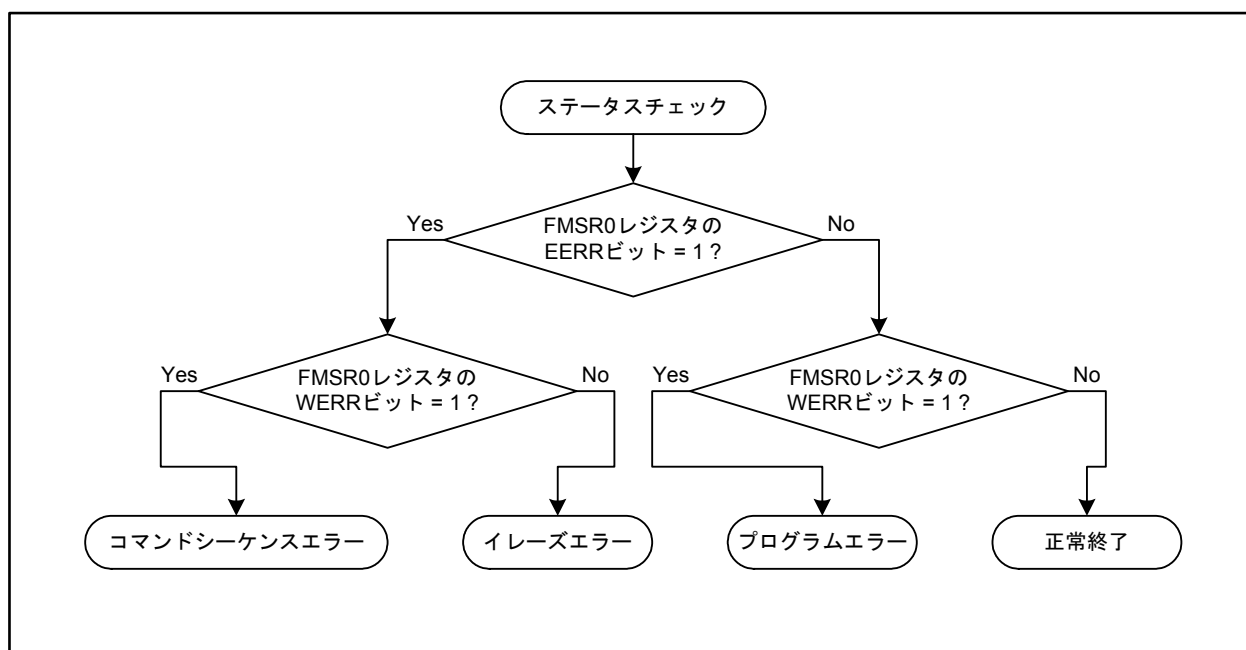


図 27.20 ステータスチェックのフローチャート

エラー発生時は、クリアステータスレジスタコマンドを発行してからエラー処理を行ってください。プログラムが正しいにもかかわらずイレーズエラーやプログラムエラーが頻発する場合、当該ブロックは使用できなくなった可能性があります。

27.3.6 サスペンド/レジューム機能

フラッシュメモリのプログラム/イレーズ処理を一時停止(サスペンド)させて、他の処理を優先して実施することができます。また、ノンマスクابل割り込みによる中断とは異なり、一時停止したプログラム/イレーズ処理を再開(レジューム)することができます。

サスペンド可能なソフトウェアコマンドは以下のとおりです。これら以外のコマンドはサスペンドさせることができません。

- ブロックイレーズ
- プログラム

27.3.6.1 サスペンド要求

ソフトウェアコマンドを発行する前にFMR1レジスタのSUSENビットを“1”(サスペンド機能許可)にすると、サスペンド要求を発生させることができますようになります。

以下、EW0モード、EW1モードそれぞれでのサスペンド要求の方法について説明します。

(1) EW0モードでのサスペンド要求

EW0モードではプログラムによってサスペンドを要求します。ソフトウェアコマンド発行後、プログラム/イレーズ実行中(FMSR0レジスタのRDYビットが“0”(ビジー)の間)にFMR1レジスタのSUSREQビットを“1”(サスペンド要求)にすると、サスペンド要求が発生します。

(2) EW1モードでのサスペンド要求

EW1モードでは割り込みによってサスペンドを要求します。ソフトウェアコマンド発行後、プログラム/イレーズ実行中(RDYビットが“0”(ビジー)の間)に、FMR1レジスタのSUSILVLビットで設定したレベル以上の割り込み要求が発生するとサスペンド要求が発生します。なお、高速割り込みではサスペンド要求は発生しません。

割り込み関連のレジスタ設定はCPU書き換えモードに入る前に実施してください。このとき、FMR1レジスタのSUSILVLビットを“0”(レベル7の通常割り込み要求またはDMA II転送要求)にした場合、IPLの値は“6”に、“1”(レベル6以上の通常割り込み要求)にした場合は、“5”に設定してください。また、IPLを設定した後は、割り込み関連のレジスタを書き換えしないでください。

27.3.6.2 サスペンド中の処理

サスペンドが正常に行われたかどうかを確認した後、処理を実施してください。

サスペンド要求が受け付けられ、フラッシュメモリへのアクセスが可能になると、FMR1 レジスタの SUSRDY ビットが“1” (サスペンド中かつレディ) になります。このとき、FMR0 レジスタの SUSACK ビット、FMSR0 レジスタの RDY ビットも同時に“1”になり、また、イレーズ中のサスペンドであれば FMSR0 レジスタの ESUS ビット、プログラム中のサスペンドであれば WSUS ビットも“1”になります。

図 27.21 にサスペンドが正常に行われたかどうかを確認するフローチャートの例を示します。

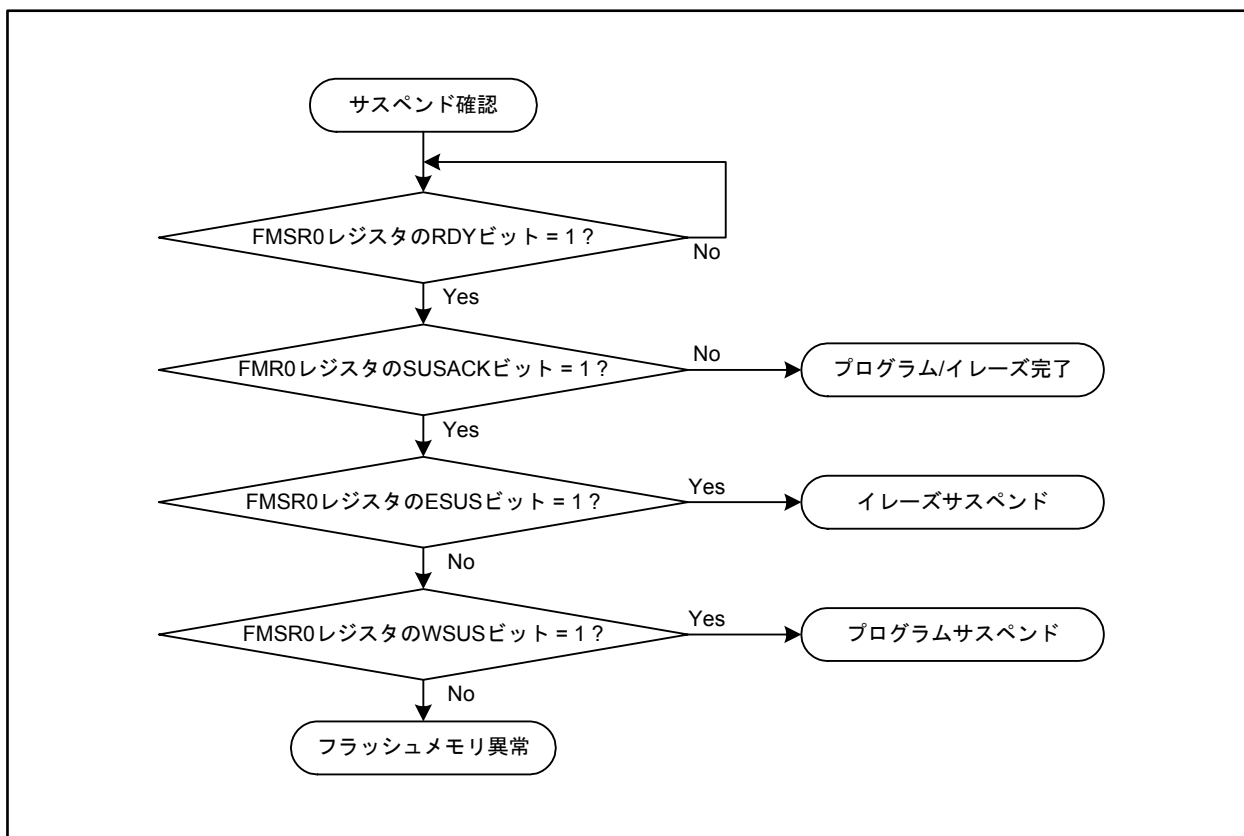


図 27.21 サスペンドの確認フローチャート例

FMSR0 レジスタの RDY ビットが“1” (レディ) で FMR0 レジスタの SUSACK ビットが“0” (サスペンド要求未受け付け) のときは、プログラム/イレーズ処理が完了していることを意味します。なお、このときレジューム要求を実施しても無視されます。

RDY ビットが“1” (レディ) で SUSACK ビットが“1” (サスペンド要求受け付け中) のときは、サスペンド要求が受け付けられたことを意味します。ただし、FMSR0 レジスタの ESUS ビット、WSUS ビットの両方が“0”の場合はフラッシュメモリに異常が発生している可能性があります。

一部のソフトウェアコマンドはサスペンド中でも実行可能です。表 27.19 に、サスペンド中に実行可能なソフトウェアコマンドを示します。サスペンド中に、これら以外のコマンドを発行しないでください。

表 27.19 サスペンド中に実行可能なソフトウェアコマンド

プログラムサスペンド中	イレーズサスペンド中
<ul style="list-style-type: none"> • リードアレイモード移行 • リードステータスレジスタモード移行 • クリアステータスレジスタ 	<ul style="list-style-type: none"> • リードアレイモード移行 • リードステータスレジスタモード移行 • クリアステータスレジスタ • プログラム(注1)

注1. イレーズサスペンド中のブロックに発行するとコマンドシーケンスエラーが発生します。また、ここで実行したプログラムコマンドをサスペンドさせることはできません。

27.3.6.3 レジューム要求

FMR0 レジスタの SUSACK ビットが“1”(サスペンド要求受け付け中)のときに FMR1 レジスタの SUSREQ ビットを“0”(要求なしまたはレジューム要求)にすると、レジューム要求となりサスペンド前の処理を再開します。SUSACK ビットが“0”(サスペンド要求未受け付け)のときに SUSREQ ビットを“0”にしても無視されます。

なお、サスペンド中に FMR0 レジスタの SUSACK ビットが“1”から“0”に変化した場合、フラッシュメモリに異常が発生している可能性があります。このような場合、次の手順で該当ブロックをイレーズしてください。

- (1) FMR レジスタの SUSREQ ビットを“0”(レジューム要求)にする
- (2) FMSR0 レジスタの RDY ビットが“1”(レディ)になるまで待つ、または 150 μ s 以上待つ
- (3) FMR1 レジスタの RR ビットを“0”(リセット)にする
- (4) 20 μ s 以上待つ
- (5) FMR1 レジスタの RR ビットを“1”(リセット解除)にする
- (6) FMR1 レジスタの LBD ビットを“1”(ロックビットプロテクト無効)にする
- (7) 該当ブロックをイレーズする

27.3.6.4 サスペンド/レジューム機能の使用手順

ここではサスペンド/レジューム機能を使用する場合のフローについて説明します。ソフトウェアコマンドの発行手順については「27.3.4 コマンド発行手順」を参照してください。

図 27.22 に EW0 モードで割り込みがあった場合にサスペンド/レジュームを実行する場合のフロー例を示します。この例の場合、割り込み処理ルーチン内でレジューム処理を行っていますので、他の割り込みは禁止しておいてください。他の割り込みを許可する場合は、その割り込み処理ルーチン内ではサスペンド/レジュームを実施しないでください。

図 27.23 に EW1 モードでサスペンド/レジュームを使用する場合のフロー例を示します。EW1 モードではソフトウェアコマンド発行後、SFR、フラッシュ、外部バスにアクセスしない限り CPU は動作を継続しますので、I フラグを“1”(割り込み許可)にした後、FMSR0 レジスタの RDY ビットを読みに行って CPU を停止させます。割り込み要求が発生してプログラム/イレーズ処理がサスペンドすると、CPU が動作を再開し、直後に割り込みシーケンスが実行され割り込み処理ルーチンに分岐します。レジューム処理はメインルーチンで実施します。

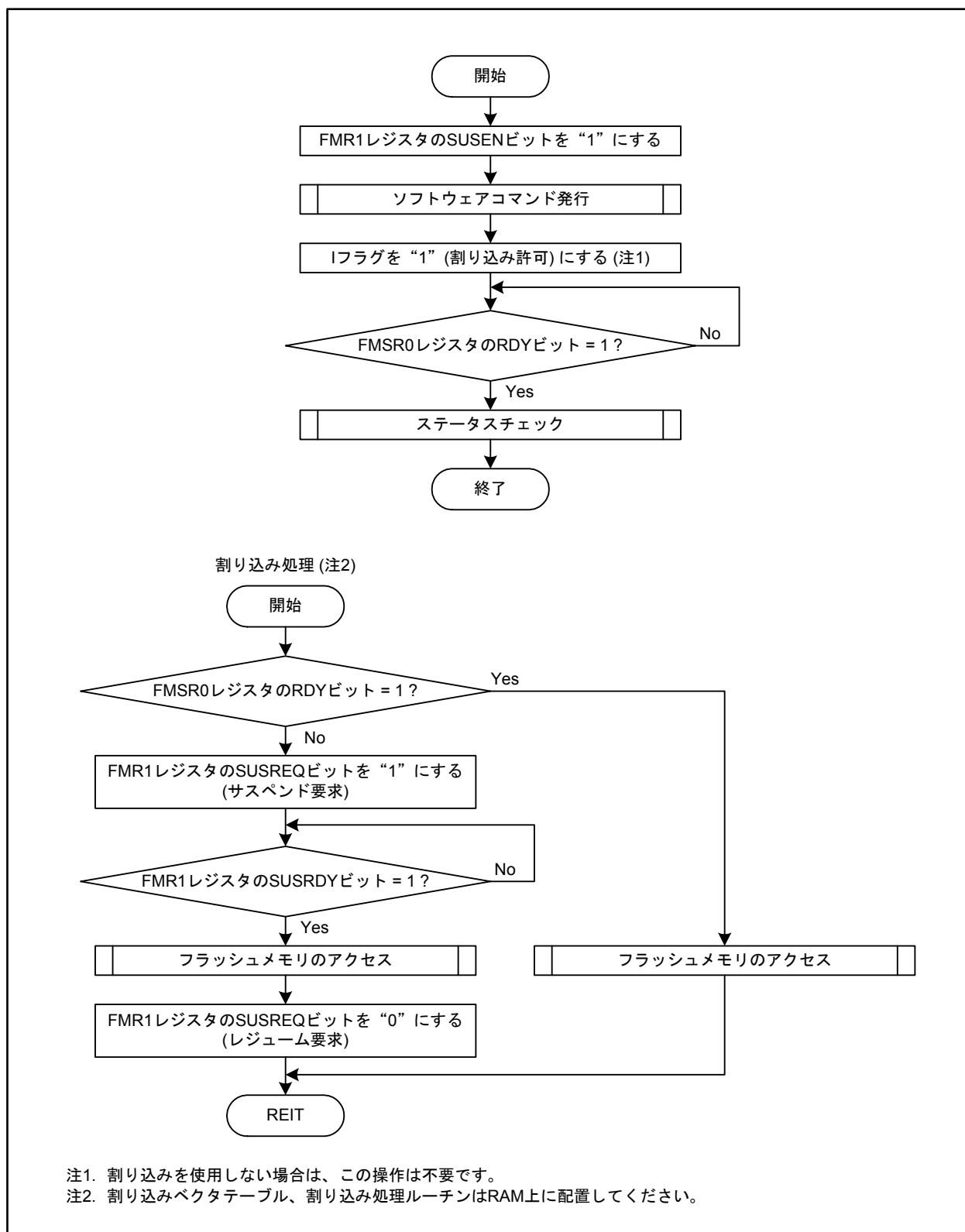


図 27.22 EW0モードでのサスペンド/レジュームのフローチャート

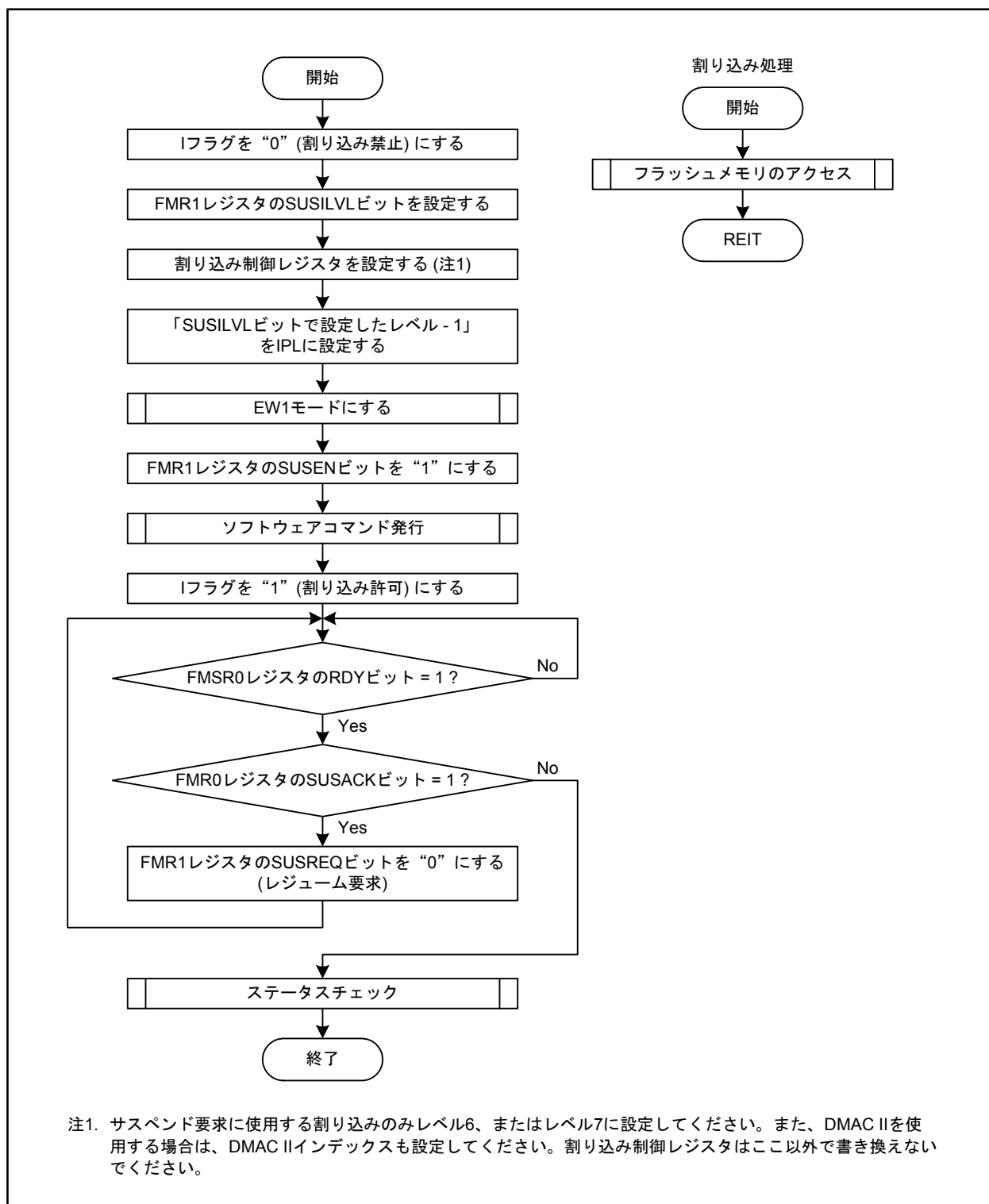


図 27.23 EW1モードでのサスペンド/レジャームのフローチャート

27.4 標準シリアル入出力モード

標準シリアル入出力モードでは、R32C/116A グループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装したままフラッシュメモリの内容を書き換えることができます。

シリアルライターについては各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのマニュアルを参照してください。

標準シリアル入出力モードには、クロック同期型シリアルインタフェースを使用する標準シリアル入出力モード1と、クロック非同期型シリアルインタフェースを使用する標準シリアル入出力モード2の2種類あります。それぞれの特徴を表 27.20 に示します。

表 27.20 標準シリアル入出力モードの種類と特徴

項目		標準シリアル入出力モード1	標準シリアル入出力モード2
通信方式		クロック同期型シリアル通信	クロック非同期型シリアル通信
通信速度		高速	低速
使用シリアルインタフェース		UART1	UART1
端子の設定	CNVSS	“H”	“H”
	CE (P5_0)	“H”	“H”
	$\overline{\text{EPM}}$ (P5_5)	“L”	“L”
	SCLK (P6_5)	リセット時: “L” 通信時: 送受信クロック	リセット時: “L” 通信時: 未使用
端子の機能	BUSY (P6_4)	BUSY信号	プログラム動作チェック用モニタ
	RXD (P6_6)	シリアルデータ入力	シリアルデータ入力
	TXD (P6_7)	シリアルデータ出力	シリアルデータ出力

表 27.21 に標準シリアル入出力モードでの端子の機能を示します。また、図 27.24 に標準シリアル入出力モード1を使用する場合の端子処理例、図 27.25 に標準シリアル入出力モード2を使用する場合の端子処理例を示します。シリアルライターによって制御する端子が異なりますので、詳細はシリアルライターのマニュアルを参照してください。

表 27.21 標準シリアル入出力モードでの端子の機能

端子名	名称	入出力	機能
VCC, VSS	電源入力	入力	VCC 端子にはプログラム、イレーズの保証電圧を、VSS 端子には0 V を入力してください
VDC1, VDC0	平滑コンデンサ接続端子	—	VDC1 端子と VDC0 端子間に内部ロジック電圧安定用の平滑コンデンサを接続してください
CNVSS	CNVSS	入力	VCC にプルアップしてください
RESET	リセット入力	入力	リセット入力端子です。RESET 端子が“L”の間、XIN 端子には20 サイクル以上のクロックを入力してください
XIN	メインクロック入力	入力	XIN と XOUT の間にはセラミック共振子または水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XIN から入力し XOUT は開放にしてください
XOUT	メインクロック出力	出力	
NSD	デバッグポート	入出力	1k ~ 4.7kΩ の抵抗で、VCC にプルアップしてください
AVCC, AVSS	アナログ電源入力	入力	AVCC は VCC に接続してください。AVSS は VSS に接続してください
VREF	基準電圧入力	入力	A/D コンバータと D/A コンバータの基準電圧入力です
P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7	入力ポート	入力	“H” を入力、“L” を入力、または開放してください
P5_0	CE 入力	入力	“H” を入力してください
P5_1~P5_4	入力ポート	入力	“H” を入力、“L” を入力、または開放してください
P5_5	EPM 入力	入力	“L” を入力してください
P5_6, P5_7, P6_0~P6_3	入力ポート	入力	“H” を入力、“L” を入力、または開放してください
P6_4	BUSY 出力	出力	標準シリアル入出力モード1: BUSY 信号の出力端子です 標準シリアル入出力モード2: プログラム動作チェック用モニタ
P6_5	SCLK 入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です 標準シリアル入出力モード2: “L” を入力してください
P6_6	データ入力 RXD	入力	シリアルデータの入力端子です
P6_7	データ出力 TXD	出力	シリアルデータの出力端子です
P7_0~P7_7, P8_0~P8_4	入力ポート	入力	“H” を入力、“L” を入力、または開放してください
P8_5	NMI 入力	入力	VCC にプルアップしてください
P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	入力ポート	入力	“H” を入力、“L” を入力、または開放してください

注1. ポート P16~P19 は 176 ピン版にのみ存在します。

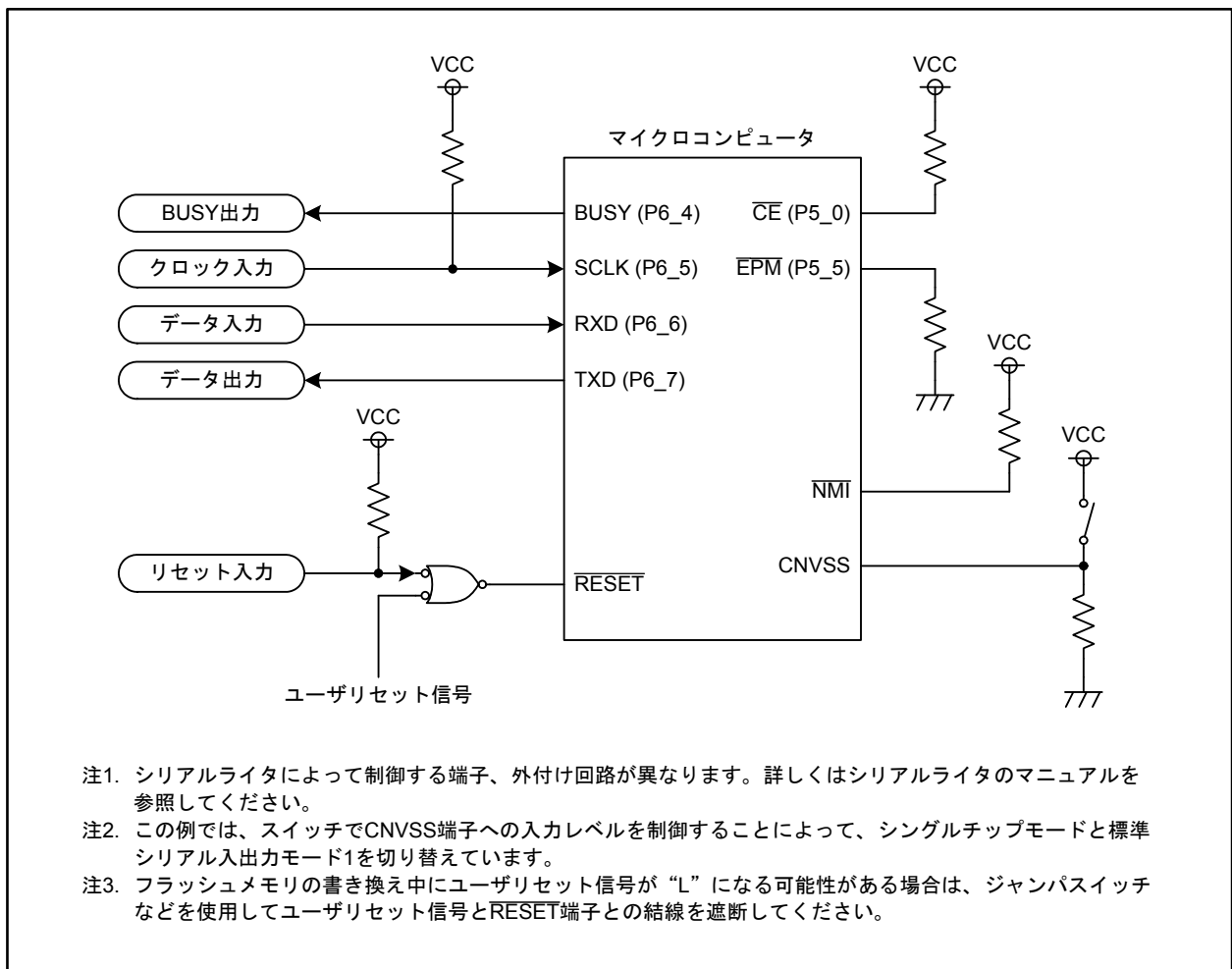


図 27.24 標準シリアル入出力モード1の端子処理例

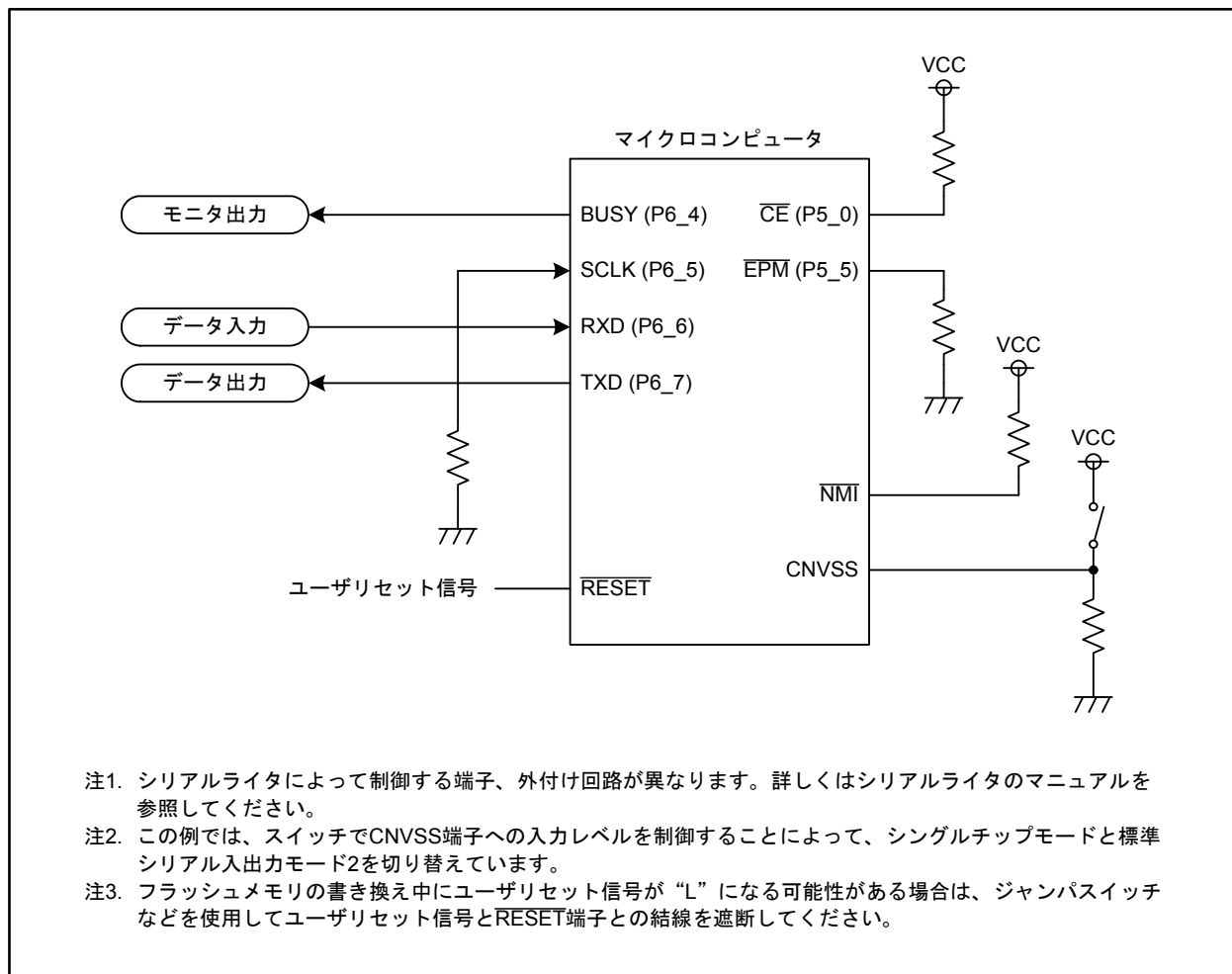


図 27.25 標準シリアル入出力モード2の端子処理例

27.5 パラレル入出力モード

パラレル入出力モードでは、R32C/116A グループに対応したパラレルライターを使用して、フラッシュメモリの内容を書き換えることができます。

パラレルライターについては各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのマニュアルを参照してください。

27.6 フラッシュメモリ書き換えに関する注意

27.6.1 電源電圧に関する注意事項

- フラッシュメモリ書き換え中の電源電圧は、電気的特性に定める電圧の範囲で一定の電圧を供給してください。書き換え中に保証値を超える電圧変動があった場合、フラッシュメモリの保証はできません。

27.6.2 ハードウェアリセットに関する注意事項

- フラッシュメモリ書き換え中は、ハードウェアリセットを行わないでください。

27.6.3 フラッシュメモリプロテクトに関する注意点

- IDコードの格納番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み書きができなくなります。

27.6.4 プログラム作成上の注意点

- 低速モード、低消費電力モードでは、FMCRレジスタのFEWビットを“1” (CPU書き換えモード) にしないでください。また、CPU書き換えモード中にウェイトモード/ストップモードに移行しないでください。
- プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラムは、NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧低下検出割り込みで中断されます。これらのソフトウェアコマンドが中断された場合、当該ブロックをイレーズした後に再度同じコマンドを実行してください。特にブロックイレーズが中断された場合、ロックビットとプロテクトビットの値は不定になりますので、ロック解除後再度ブロックイレーズを実施してください。
- ノンマスクابل割り込みの割り込み処理ルーチン内では、CPU書き換えモードを使用しないでください。

27.6.5 割り込み使用上の注意点

- EW0モード
 - 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
 - NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧低下検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。なお、FMR1レジスタはリセットされませんので、SUSENビットは割り込み処理ルーチン内で“0”(サスペンド機能禁止)にしてください。
 - BRK命令、INT0命令、UND命令は、フラッシュメモリ上のデータを参照するため使用できません。
- EW1モード
 - 可変ベクタテーブルのある領域のプログラム/ブロックイレーズ中に、可変ベクタテーブルにベクタを持つ割り込みが受け付けられないようにしてください。
 - ウォッチドッグタイマ割り込みが発生しないようにしてください。

- NMI、発振停止検出割り込み、電圧低下検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR0レジスタのEWMビットを“1”(EW1モード)、FMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。なお、FMR1レジスタはリセットされませんので、SUSENビットは割り込み処理ルーチン内で“0”(サスペンド機能禁止)にしてください。

27.6.6 書き換え制御プログラムの書き換えに関する注意点

- EW0モード
 - 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後のフラッシュメモリ書き換えができなくなることがあります。書き換えできなくなった場合は、シリアルライター、パラレルライターを使用して書き換えてください。
- EW1モード
 - 書き換え制御プログラムが格納されているブロックは書き換えしないでください。

27.6.7 プログラム、イレーズ回数とソフトウェアコマンド実行時間

- ソフトウェアコマンド(プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラム)の実行時間は、プログラム、イレーズ回数の増加とともに長くなります。特に、プログラム、イレーズ回数が電气的特性に定めるプログラム、イレーズ回数を超えると、ソフトウェアコマンドの実行時間は著しく長くなるため、ソフトウェアコマンドの待ち時間の設定は電气的特性に定める最大時間以上に設定してください。

27.6.8 その他の注意事項

- 電气的特性に定めるプログラム、イレーズ回数は当初の性能を保証できるプログラム、イレーズ回数の最大値です。この回数を超えると直ちにプログラム、イレーズができなくなるわけではありません。
- デバッグでプログラム、イレーズを繰り返したチップは、量産時には使用しないでください。

28. 電気的特性

表 28.1 絶対最大定格(注1)

記号	項目	条件	定格値	単位
V_{CC}	電源電圧	$V_{CC} = AV_{CC}$	-0.3 ~ 6.0	V
AV_{CC}	アナログ電源電圧	$V_{CC} = AV_{CC}$	-0.3 ~ 6.0	V
V_I	入力電圧	XIN, RESET, CNVSS, NSD, V_{REF} , P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P5_0~P5_3, P8_4~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P13_0~P13_7, P14_1, P14_3~P14_7, P15_0~P15_7, P17_4~P17_7, P18_0~P18_7, P19_0~P19_7 (注2)	-0.3 ~ $V_{CC} + 0.3$	V
		P4_0~P4_7, P5_4~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_3, P12_0~P12_7, P16_0~P16_7, P17_0~P17_3 (注2)	-0.3 ~ 6.0	V
V_O	出力電圧	XOUT, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注2)	-0.3 ~ $V_{CC} + 0.3$	V
P_d	消費電力	$T_a = 25^\circ\text{C}$	500	mW
—	動作周囲温度		-40 ~ 85	$^\circ\text{C}$
T_{stg}	保存温度		-65 ~ 150	$^\circ\text{C}$

注1. 絶対最大定格は、瞬時たりとも超過してはならない限界値です。この値を超えて使用した場合には、デバイスの信頼性を著しく下げたり破壊することがあります。また、長期にわたって絶対最大定格の条件下に置かれた場合、デバイスの信頼性に影響することがあります。

注2. ポートP16~P19は176ピン版にのみ存在します。

表 28.2 推奨動作条件(1) (注1)

記号	項目	規格値			単位		
		最小	標準	最大			
V _{CC}	電源電圧	3.0	5.0	5.5	V		
AV _{CC}	アナログ電源電圧		V _{CC}		V		
V _{REF}	基準電圧	3.0		V _{CC}	V		
V _{SS}	電源電圧		0		V		
AV _{SS}	アナログ電源電圧		0		V		
dV _{CC} /dt	V _{CC} 電源立ち上げ勾配 (V _{CC} < 2.0 V)	0.05			V/ms		
V _{IH}	“H” 入力電圧	XIN, RESET, CNVSS, NSD, P2_0~P2_7, P3_0~P3_7, P5_0~P5_3, P8_4~P8_7 (注2), P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_1, P14_3~P14_7, P15_0~P15_7, P17_4~P17_7, P18_0~P18_7, P19_0~P19_7 (注3)	0.8 × V _{CC}		V _{CC}	V	
		P4_0~P4_7, P5_4~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_3, P16_0~P16_7, P17_0~P17_3 (注3)	0.8 × V _{CC}		6.0	V	
		P0_0~P0_7, P1_0~P1_7, P13_0~P13_7	シングルチップモード時	0.8 × V _{CC}		V _{CC}	V
			メモリ拡張、マイクロプロセッサモード時	0.5 × V _{CC}		V _{CC}	V
		P12_0~P12_7	シングルチップモード時	0.8 × V _{CC}		6.0	V
		メモリ拡張、マイクロプロセッサモード時	0.5 × V _{CC}		6.0	V	
V _{IL}	“L” 入力電圧	XIN, RESET, CNVSS, NSD, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7 (注2), P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P14_1, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注3)	0		0.2 × V _{CC}	V	
		P0_0~P0_7, P1_0~P1_7, P12_0~P12_7, P13_0~P13_7	シングルチップモード時	0		0.2 × V _{CC}	V
			メモリ拡張、マイクロプロセッサモード時	0		0.16 × V _{CC}	V
T _{opr}	動作周囲温度	Dバージョン	-40		85	°C	
		Pバージョン	-40		85	°C	

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

注2. P8_7のV_{IH}、V_{IL}はP8_7をプログラマブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

注3. ポートP16~P19は176ピン版にのみ存在します。

表 28.3 推奨動作条件(2) (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$) (注1)

記号	項目		規格値(注2)			単位
			最小	標準	最大	
C_{VDC}	電圧レギュレータ平滑コンデンサ容量	端子間電圧 1.5 V	2.4		10.0	μF

- 注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。
- 注2. 規格値はコンデンサの使用温度、両端子間の直流電圧、経年変化などのあらゆる条件を考慮した上で満たす必要があります。

表 28.4 推奨動作条件(3) (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$) (注1)

記号	項目	規格値			単位	
		最小	標準	最大		
$I_{OH(peak)}$	“H”尖頭出力電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注3)			-10.0	mA
$I_{OH(avg)}$	“H”平均出力電流(注4)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注3)			-5.0	mA
$I_{OL(peak)}$	“L”尖頭出力電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注3)			10.0	mA
$I_{OL(avg)}$	“L”平均出力電流(注4)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注3)			5.0	mA

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

注2. ポートP0, P1, P2, P8_6, P8_7, P9, P10, P11_0~P11_4, P14_3~P14_6, P15, P18_2~P18_7, P19_0, P19_1, P19_6, P19_7の $I_{OL(peak)}$ の合計は80 mA以下、ポートP3, P4, P5, P6, P7, P8_0~P8_4, P11_5~P11_7, P12, P13, P14_7, P16, P17, P18_0, P18_1, P19_2~P19_5の $I_{OL(peak)}$ の合計は80 mA以下、ポートP0, P1, P2, P11_0~P11_4, P18_2~P18_7, P19_0, P19_1の $I_{OH(peak)}$ の合計は-40 mA以下、ポートP8_6, P8_7, P9, P10, P14_3~P14_6, P15, P19_6, P19_7の $I_{OH(peak)}$ の合計は-40 mA以下、ポートP3, P4, P5, P11_5, P11_6, P12, P13, P16, P17_0~P17_3, P19_2~P19_5の $I_{OH(peak)}$ の合計は-40 mA以下、ポートP6, P7, P8_0~P8_4, P11_7, P14_7, P17_4~P17_7, P18_0, P18_1の $I_{OH(peak)}$ の合計は-40 mA以下にしてください。

注3. ポートP16~P19は176ピン版にのみ存在します。

注4. 平均出力電流は100 msの期間内での平均値です。

表 28.5 推奨動作条件(4) (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$) (注1)

記号	項目	規格値			単位
		最小	標準	最大	
$f_{(XIN)}$	メインクロック入力発振周波数	4		16	MHz
$f_{(XRef)}$	基準クロック周波数	2		4	MHz
$f_{(PLL)}$	PLLクロック発振周波数	96		128	MHz
$f_{(Base)}$	ベースクロック周波数			64	MHz
$t_{c(Base)}$	ベースクロックサイクル時間	15.625			ns
$f_{(CPU)}$	CPU動作周波数			64	MHz
$t_{c(CPU)}$	CPUクロックサイクル時間	15.625			ns
$f_{(BCLK)}$	周辺バスクロック周波数			32	MHz
$t_{c(BCLK)}$	周辺バスクロックサイクル時間	31.25			ns
$f_{(PER)}$	周辺機能クロック源周波数			32	MHz
$f_{(XCIN)}$	サブクロック発振周波数		32.768	62.5	kHz

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

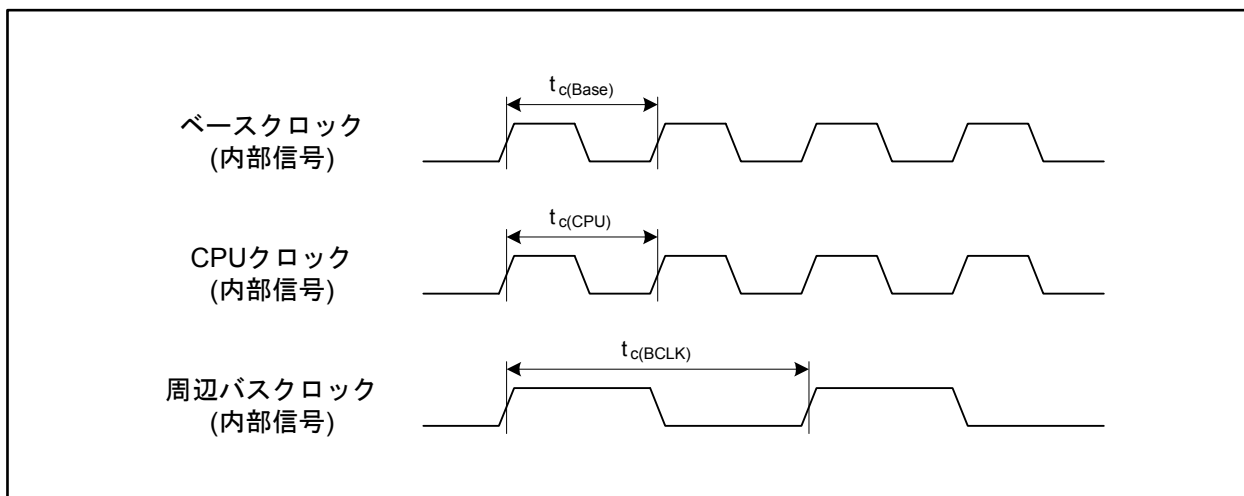


図 28.1 クロックサイクル時間

表 28.6 推奨動作条件(5) (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$) (注1)

記号	項目	規格値			単位
		最小	標準	最大	
$V_{r(VCC)}$	許容電源リップル電圧	$V_{CC} = 5.0 \text{ V}$		0.5	Vp-p
		$V_{CC} = 3.0 \text{ V}$		0.3	Vp-p
$dV_{r(VCC)}/dt$	電源リップル立ち上がり/立ち下がり勾配	$V_{CC} = 5.0 \text{ V}$		± 0.3	V/ms
		$V_{CC} = 3.0 \text{ V}$		± 0.3	V/ms
$f_{r(VCC)}$	許容電源リップル周波数			10	kHz

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

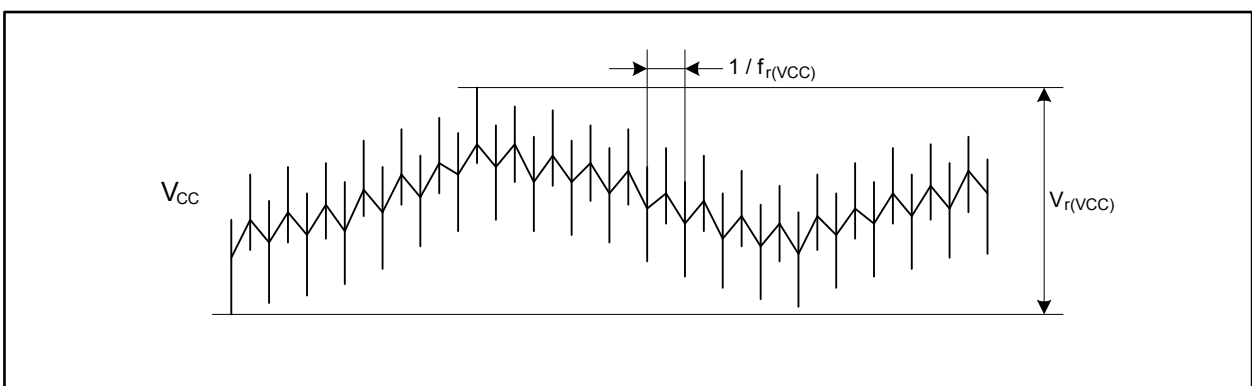


図 28.2 電源リップル波形

表 28.7 RAMの電気的特性 (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{RDR}	RAMデータ保持電圧	ストップモード時	2.0			V

表 28.8 フラッシュメモリの電気的特性 (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目		規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)	プログラム領域	1000			回
		データ領域	10000			回
—	4ワードプログラム時間	プログラム領域		150	900	μs
		データ領域		300	1700	μs
—	ロックビットプログラム時間	プログラム領域		70	500	μs
		データ領域		140	1000	μs
—	ブロックイレーズ時間	4Kバイトブロック		0.12	3.0	s
		32Kバイトブロック		0.17	3.0	s
		64Kバイトブロック		0.20	3.0	s
t_{SUSP}	サスペンド移行時間			250	μs	
—	データ保持時間(注2)	$T_a = 55^\circ\text{C}$ (注3)	10			年

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。プログラム、イレーズ回数がn回の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

たとえば、4KバイトブロックのブロックAについて、それぞれ異なる番地に4ワード書き込みを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。

ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. 規格値は、電源電圧が印加されていない時間、クロックが供給されていない時間も含まれます。

注3. この条件以外でのデータ保持時間につきましては、弊社営業窓口までお問い合わせください。

表 28.9 電源回路のタイミング特性 (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{d(P-R)}$	電源投入時内部電源安定時間				2	ms

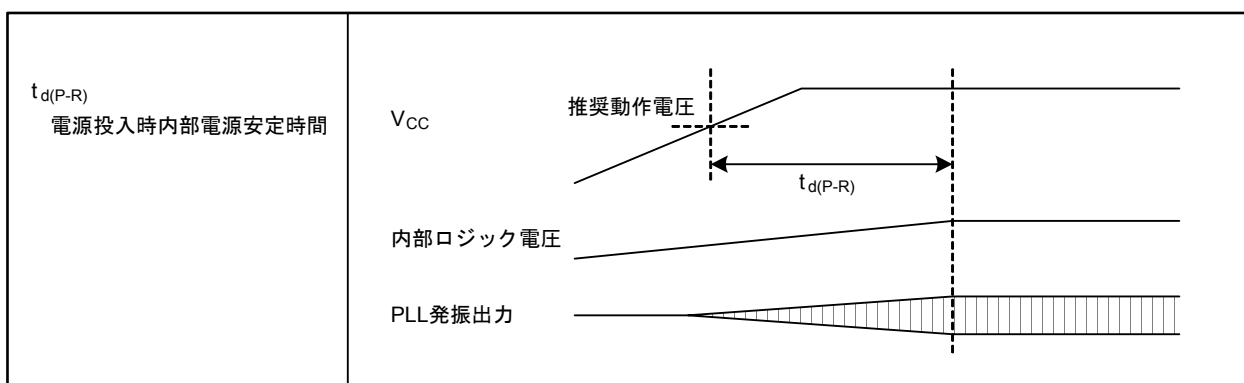


図 28.3 電源回路のタイミング

表 28.10 内部電圧レギュレータの電気的特性 (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{VDC1}	レギュレータ出力電圧			1.5		V

表 28.11 電圧低下検出回路の電気的特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ΔV_{det}	検出電圧誤差				± 0.3	V
$V_{det(R)} - V_{det(F)}$	ヒステリシス幅		0			V
—	自己消費電流	$V_{CC} = 5.0 \text{ V}$ 、電圧検出回路有効		4		μA
$t_{d(E-A)}$	電圧低下検出回路動作開始時間				150	μs

表 28.12 発振回路の電気的特性 (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$f_{SO(PLL)}$	PLL クロック自励発振周波数		35	55	80	MHz
$t_{LOCK(PLL)}$	PLL 発振安定時間(注1)				1	ms
$t_{jitter(p-p)}$	PLL ジッタ周期(p-p)				2.0	ns
$f_{(OCO)}$	オンチップオシレータ発振周波数		62.5	125	250	kHz

注1. メインクロックの発振が安定していることが条件となります。

表 28.13 クロック回路の電気的特性 (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{rec(WAIT)}$	ウェイトモード→低消費電力モードリカバリ時間				225	μs
$t_{rec(STOP)}$	ストップモードリカバリ時間(注1)				225	μs

注1. メインクロックの発振安定時間は含みません。発振が安定する前にCPUは動作を開始します。

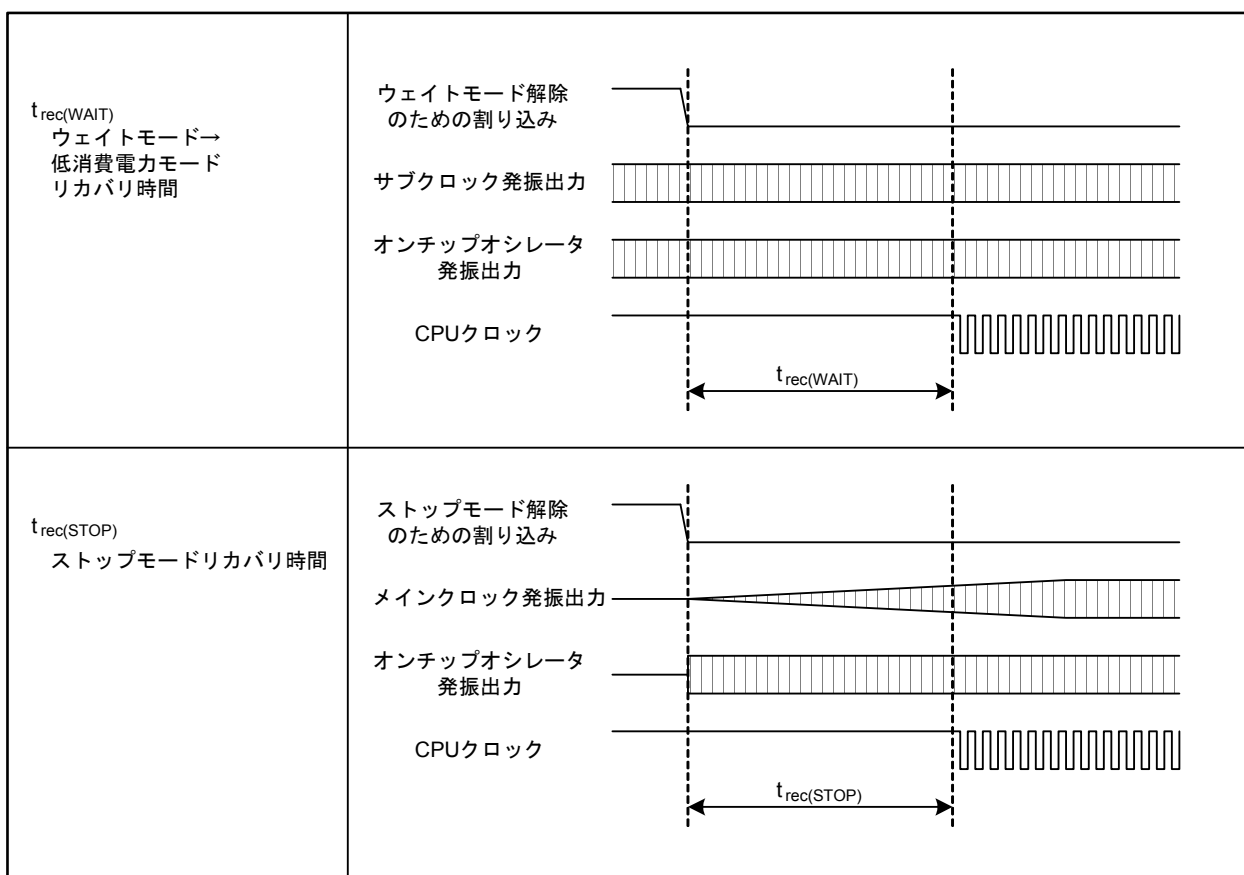


図 28.4 クロック回路のタイミング図

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 28.14 フラッシュメモリCPU書き換えモードタイミング

記号	項目	規格値		単位
		最小	最大	
t_{cR}	リードサイクル時間	200		ns
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	200		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間	0		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間	200		ns
$t_{h(R-A)}$	リード後アドレスホールド時間	0		ns
$t_{w(R)}$	リードパルス幅	100		ns
t_{cW}	ライトサイクル時間	200		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間	0		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間	30		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間	0		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間	30		ns
$t_{w(W)}$	ライトパルス幅	50		ns

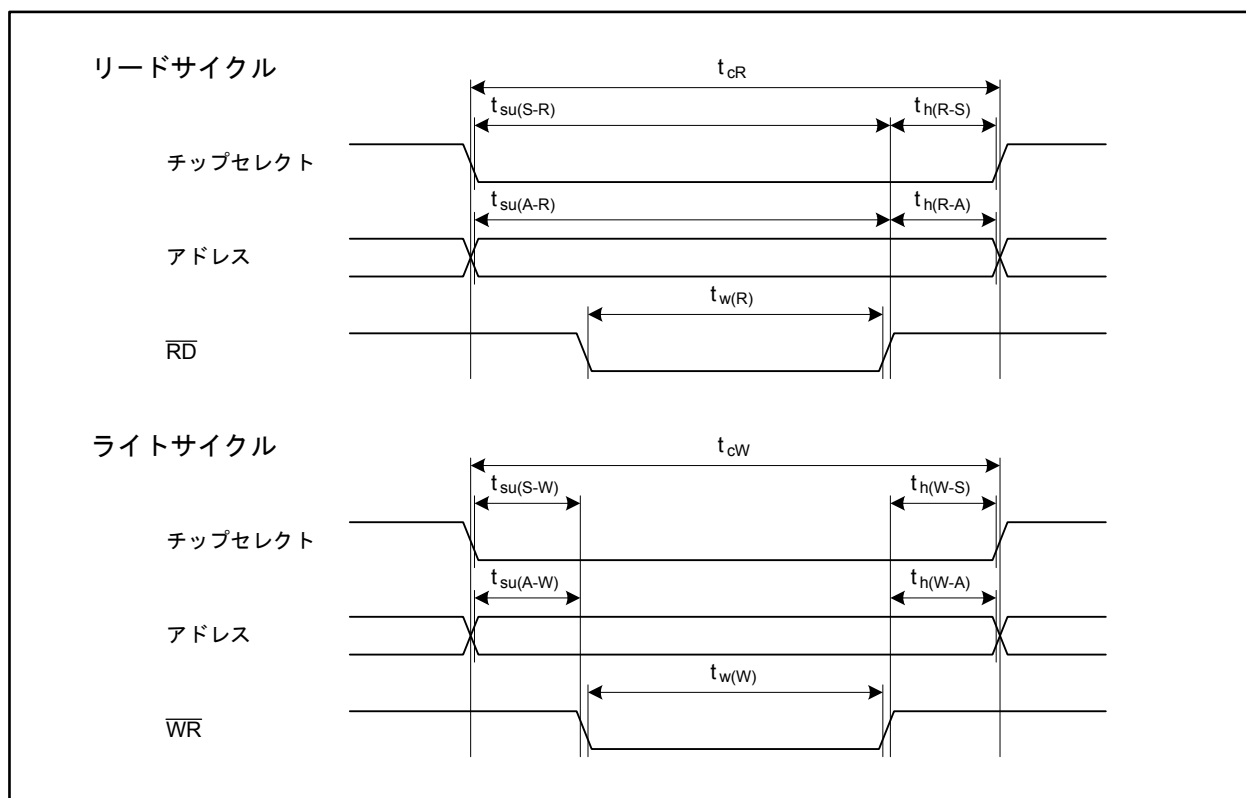


図 28.5 フラッシュメモリCPU書き換えモードタイミング

$V_{CC} = 5 V$

表 28.15 電気的特性(1) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 64 MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{OH}	“H”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	I _{OH} = -5 mA	V _{CC} - 2.0	V _{CC}	V
V _{OL}	“L”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	I _{OL} = 5 mA		2.0	V

注1. ポートP16~P19は176ピン版にのみ存在します。

$$V_{CC} = 5 \text{ V}$$

表 28.16 電気的特性(2) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 64 \text{ MHz}$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
$V_{T+} - V_{T-}$	ヒステリシス	HOLD, RDY, NMI, INT0~INT8, KI0~KI3, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN, CTS0~CTS10, CLK0~CLK10, RXD0~RXD10, SCL0~SCL6, SDA0~SDA6, SS0~SS6, SRXD0~SRXD6, ADTRG, IIO0_0~IIO0_7, IIO1_0~IIO1_7, UD0A, UD0B, UD1A, UD1B, ISCLK2, ISRXD2, IEIN, MSCL, MSDA		0.2	1.0	V	
		RESET	0.2		1.8	V	
I_{IH}	“H”入力電流	XIN, RESET, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	$V_I = 5 \text{ V}$		5.0	μA	
I_{IL}	“L”入力電流	XIN, RESET, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	$V_I = 0 \text{ V}$		-5.0	μA	
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P5_0~P5_3, P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P13_0~P13_7, P14_1, P14_3~P14_7, P15_0~P15_7, P17_4~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	$V_I = 0 \text{ V}$	30	50	170	$\text{k}\Omega$
R_{fXIN}	帰還抵抗	XIN		1.5		$\text{M}\Omega$	
R_{fXCIN}	帰還抵抗	XCIN		15		$\text{M}\Omega$	

注1. ポートP16~P19は176ピン版にのみ存在します。

$$V_{CC} = 5 V$$

表 28.17 電気的特性(3) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I _{CC}	電源電流 シングルチップモードで出力端子は開放、その他の端子はV _{SS} に接続 XIN-XOUT 駆動能力: Low XCIN-XCOUT 駆動能力: Low	f _(CPU) = 64 MHz、f _(BCLK) = 32 MHz、 f _(XIN) = 8 MHz、PLL発振、XCIN停止、 OCO停止		45	60	mA
		f _(CPU) = f _{SO(PLL)} /24 MHz、XIN停止、 PLL自励発振、XCIN停止、OCO停止		12		mA
		f _(CPU) = f _(BCLK) = f _(XIN) /256 MHz、 f _(XIN) = 8 MHz、PLL停止、XCIN停止、 OCO停止		1.2		mA
		f _(CPU) = f _(BCLK) = 32.768 kHz、XIN停止、 PLL停止、XCIN発振、OCO停止、メイ ンレギュレータ停止		220		μA
		f _(CPU) = f _(BCLK) = f _(OCO) /4 kHz、XIN停 止、PLL停止、XCIN停止、OCO発振、 メインレギュレータ停止		230		μA
		f _(CPU) = f _(BCLK) = f _(XIN) /256 MHz、 f _(XIN) = 8 MHz、PLL停止、XCIN停止、 OCO停止、ウェイトモード、T _a = 25°C		960	1600	μA
		f _(CPU) = f _(BCLK) = 32.768 kHz、XIN停止、 PLL停止、XCIN発振、OCO停止、メイ ンレギュレータ停止、ウェイトモード、 T _a = 25°C		8	140	μA
		f _(CPU) = f _(BCLK) = f _(OCO) /4 kHz、XIN停 止、PLL停止、XCIN停止、OCO発振、 メインレギュレータ停止、ウェイトモ ード、T _a = 25°C		10	150	μA
クロック停止、メインレギュレータ停 止、T _a = 25°C		5	70	μA		

$$V_{CC} = 5 \text{ V}$$

表 28.18 A/D変換特性 (指定のない場合は、 $V_{CC} = AV_{CC} = V_{REF} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(BCLK)} = 32 \text{ MHz}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	$V_{REF} = V_{CC}$			10	Bits
—	絶対誤差	$V_{REF} = V_{CC} = 5 \text{ V}$ AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7, ANEX0, ANEX1			± 3	LSB
					± 7	LSB
INL	積分非直線性誤差	$V_{REF} = V_{CC} = 5 \text{ V}$ AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7, ANEX0, ANEX1			± 3	LSB
					± 7	LSB
DNL	微分非直線性誤差				± 1	LSB
—	オフセット誤差				± 3	LSB
—	ゲイン誤差				± 3	LSB
R _{LADDER}	ラダー抵抗	$V_{REF} = V_{CC}$	4		20	k Ω
t _{CONV}	変換時間(10bit)	$\phi_{AD} = 16 \text{ MHz}$ 、サンプル&ホールドあり	2.06			μs
		$\phi_{AD} = 16 \text{ MHz}$ 、サンプル&ホールドなし	3.69			μs
t _{CONV}	変換時間(8bit)	$\phi_{AD} = 16 \text{ MHz}$ 、サンプル&ホールドあり	1.75			μs
		$\phi_{AD} = 16 \text{ MHz}$ 、サンプル&ホールドなし	3.06			μs
t _{SAMP}	サンプリング時間	$\phi_{AD} = 16 \text{ MHz}$	0.188			μs
V _{IA}	アナログ入力電圧		0		V _{REF}	V
ϕ_{AD}	動作クロック周波数	サンプル&ホールドなし	0.25		16	MHz
		サンプル&ホールドあり	1		16	MHz
R _{PU(AST)}	断線検出用 プルアップ抵抗		5	10	15	k Ω
R _{PD(AST)}	断線検出用 プルダウン抵抗		5	10	15	k Ω

$$V_{CC} = 5 \text{ V}$$

表 28.19 D/A 変換特性 (指定のない場合は、 $V_{CC} = AV_{CC} = V_{REF} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
t_s	設定時間				3	μs
R_O	出力抵抗		4	10	20	$\text{k}\Omega$
I_{VREF}	基準電源入力電流	(注1)			1.5	mA

注1. D/A コンバータを1本利用し、使用していないD/A コンバータのDAi レジスタ ($i=0, 1$)の値が“00h”の場合です。A/D コンバータのラダー抵抗分は除きます。
AD0CON1 レジスタのVCUT ビットを“0” (V_{REF} 未接続)にした場合でも、 I_{VREF} は流れます。

$$V_{CC} = 5 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 28.20 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(X)}$	外部クロック入力サイクル時間	62.5	250	ns
$t_{w(XH)}$	外部クロック入力“H”パルス幅	25		ns
$t_{w(XL)}$	外部クロック入力“L”パルス幅	25		ns
$t_{r(X)}$	外部クロック入力立ち上がり時間		5	ns
$t_{f(X)}$	外部クロック入力立ち下がり時間		5	ns
t_w / t_c	外部クロック入力デューティ	40	60	%

表 28.21 外部バスタイミング

記号	項目	規格値		単位
		最小	最大	
$t_{su(D-R)}$	リード前データセットアップ時間	40		ns
$t_{h(R-D)}$	リード後データホールド時間	0		ns
$t_{dis(R-D)}$	リード後データディスエーブル時間		$0.5 \times t_{c(Base)} + 10$	ns

$$V_{CC} = 5 V$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

表 28.22 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 28.23 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	400		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	180		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	180		ns

表 28.24 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 28.25 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 28.26 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(UP)}$	TAiOUT 入力サイクル時間	2000		ns
$t_{W(UPH)}$	TAiOUT 入力 "H" パルス幅	1000		ns
$t_{W(UPL)}$	TAiOUT 入力 "L" パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT 入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT 入力ホールド時間	400		ns

$$V_{CC} = 5 V$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

表 28.27 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	80		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 28.28 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

表 28.29 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

$$V_{CC} = 5 V$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

表 28.30 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi 入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi 入力 "H" パルス幅	80		ns
$t_{w(CKL)}$	CLKi 入力 "L" パルス幅	80		ns
$t_{su(D-C)}$	RXD _i 入力セットアップ時間	80		ns
$t_h(C-D)$	RXD _i 入力ホールド時間	90		ns

表 28.31 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(ADH)}$	ADTRG 入力 "H" パルス幅 ハードウェアトリガ入力 "H" パルス幅	$\frac{3}{\phi_{AD}}$		ns
$t_{w(ADL)}$	ADTRG 入力 "L" パルス幅 ハードウェアトリガ入力 "L" パルス幅	125		ns

表 28.32 外部割り込み \overline{INT}_i 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INT}_i 入力 "H" パルス幅	エッジセンス	250	ns
		レベルセンス	$t_{c(CPU)} + 200$	ns
$t_{w(INL)}$	\overline{INT}_i 入力 "L" パルス幅	エッジセンス	250	ns
		レベルセンス	$t_{c(CPU)} + 200$	ns

表 28.33 インテリジェント I/O 通信機能

記号	項目	規格値		単位
		最小	最大	
$t_{c(ISCLK2)}$	ISCLK2 入力サイクル時間	600		ns
$t_{w(ISCLK2H)}$	ISCLK2 入力 "H" パルス幅	270		ns
$t_{w(ISCLK2L)}$	ISCLK2 入力 "L" パルス幅	270		ns
$t_{su(RXD-ISCLK2)}$	ISRXD2 入力セットアップ時間	150		ns
$t_h(ISCLK2-RXD)$	ISRXD2 入力ホールド時間	100		ns

$$V_{CC} = 5V$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = T_{opr}$)

表 28.34 マルチマスタ I²C バスインタフェース

記号	項目	規格値				単位
		標準モード		高速モード		
		最小	最大	最小	最大	
$t_{w(SCLH)}$	MSCL 入力 "H" パルス幅	600		600		ns
$t_{w(SCLL)}$	MSCL 入力 "L" パルス幅	600		600		ns
$t_{r(SCL)}$	MSCL 入力 立ち上がり時間		1000		300	ns
$t_{f(SCL)}$	MSCL 入力 立ち下がり時間		300		300	ns
$t_{r(SDA)}$	MSDA 入力 立ち上がり時間		1000		300	ns
$t_{f(SDA)}$	MSDA 入力 立ち下がり時間		300		300	ns
$t_{h(SDA-SCL)S}$	スタートコンディション/ リスタートコンディション後 MSCL "H" ホールド時間	(注1)		$2 \times t_{c(\phi IIC)} + 40$		ns
$t_{su(SCL-SDA)P}$	リスタートコンディション/ ストップコンディション前 MSCL "H" セットアップ時間	(注1)		$2 \times t_{c(\phi IIC)} + 40$		ns
$t_{w(SDAH)P}$	ストップコンディション後 MSDA "H" パルス幅	(注1)		$4 \times t_{c(\phi IIC)} + 40$		ns
$t_{su(SDA-SCL)}$	MSDA 入力 セットアップ時間	100		100		ns
$t_{h(SCL-SDA)}$	MSDA 入力 ホールド時間	0		0		ns

注1. I²CSSCR レジスタの SSC4~SSC0 ビットで設定した値 (SSC) に応じて次式で算出されます。

$$t_{h(SDA-SCL)S} = SSC \div 2 \times t_{c(\phi IIC)} + 40 \text{ [ns]}$$

$$t_{su(SCL-SDA)P} = (SSC \div 2 + 1) \times t_{c(\phi IIC)} + 40 \text{ [ns]}$$

$$t_{w(SDAH)P} = (SSC + 1) \times t_{c(\phi IIC)} + 40 \text{ [ns]}$$

$$V_{CC} = 5 V$$

スイッチング特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

表 28.35 外部バスタイミング(セパレートバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	図 28.6 参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		$t_{c(Base)} - 15$		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間		(注1)		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		$t_{c(Base)} - 15$		ns
$t_{w(R)}$	リードパルス幅		(注1)		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間		(注1)		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{w(W)}$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		0		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 ($T_{su(A-R)}$ 、 $T_{w(R)}$ 、 $T_{su(A-W)}$ 、 $T_{w(W)}$) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、「9.3.5 外部バスタイミング」をご参照ください。

$$t_{su(S-R)} = t_{su(A-R)} = T_{su(A-R)} \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_{w(R)} = T_{w(R)} \times t_{c(Base)} - 10 \text{ [ns]}$$

$$t_{su(S-W)} = t_{su(A-W)} = T_{su(A-W)} \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_{w(W)} = t_{su(D-W)} = T_{w(W)} \times t_{c(Base)} - 10 \text{ [ns]}$$

$$V_{CC} = 5V$$

スイッチング特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = T_{opr}$)

表 28.36 外部バスタイミング(マルチプレクスバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-ALE)}$	ALE前チップセレクトセットアップ時間	図 28.6参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{su(A-ALE)}$	ALE前アドレスセットアップ時間		(注1)		ns
$t_{h(ALE-A)}$	ALE後アドレスホールド時間		$t_{c(Base)} - 5$ (注2)		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{d(ALE-R)}$	ALE-リード間遅延時間		$t_{c(Base)} - 5$ (注2)	$t_{c(Base)} + 10$ (注2)	ns
$t_w(ALE)$	ALEパルス幅		(注1)		ns
$t_{dis(R-A)}$	リード後アドレスディスエーブル時間			8	ns
$t_w(R)$	リードパルス幅		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{d(ALE-W)}$	ALE-ライト間遅延時間		$t_{c(Base)} - 5$ (注2)	$t_{c(Base)} + 10$ (注2)	ns
$t_w(W)$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		$0.5 \times t_{c(Base)}$		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 ($T_{su(A-R)}$ 、 $T_w(R)$ 、 $T_{su(A-W)}$ 、 $T_w(W)$) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、「9.3.5 外部バスタイミング」をご参照ください。

$$t_{su(S-ALE)} = t_{su(A-ALE)} = t_w(ALE) = (T_{su(A-R)} - 1) \times t_{c(Base)} - 15 \text{ [ns]} \quad (T_{su(A-R)} > 1 \text{ の場合})$$

$$t_{su(S-ALE)} = t_{su(A-ALE)} = t_w(ALE) = 0.5 \times t_{c(Base)} - 15 \text{ [ns]} \quad (T_{su(A-R)} = 1 \text{ の場合})$$

$$t_w(R) = T_w(R) \times t_{c(Base)} - 10 \text{ [ns]}$$

$$t_w(W) = t_{su(D-W)} = T_w(W) \times t_{c(Base)} - 10 \text{ [ns]}$$

注2. $T_{su(A-R)} > 1$ または、 $T_{su(A-W)} > 1$ の場合。 $T_{su(A-R)} = 1$ または、 $T_{su(A-W)} = 1$ の場合は「 $t_{c(Base)}$ 」の部分に「 $0.5 \times t_{c(Base)}$ 」に読み替えてください。

$$V_{CC} = 5 V$$

スイッチング特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

表 28.37 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(C-Q)}$	TXDi出力遅延時間	図 28.6 参照		80	ns
$t_h(C-Q)$	TXDi出力ホールド時間		0		ns

表 28.38 インテリジェント I/O 通信機能

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(ISCLK2-TXD)}$	ISTXD2出力遅延時間	図 28.6 参照		180	ns
$t_h(ISCLK2-RXD)$	ISTXD2出力ホールド時間		0		ns

表 28.39 マルチマスタ I²C バスインタフェース (標準モード)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_f(SCL)$	MSCL出力立ち下がり時間	図 28.6 参照	2		ns
$t_f(SDA)$	MSDA出力立ち下がり時間		2		ns
$t_{d(SDA-SCL)S}$	スタートコンディション/ リスタートコンディション後 MSCL出力遅延時間		$20 \times t_{c(\phi IIC)} - 120$	$52 \times t_{c(\phi IIC)} - 40$	ns
$t_{d(SCL-SDA)P}$	MSCL“H”後リスタート コンディション/ストップ コンディション出力遅延時間		$20 \times t_{c(\phi IIC)} + 40$	$52 \times t_{c(\phi IIC)} + 120$	ns
$t_{d(SCL-SDA)}$	MSDA出力遅延時間		$2 \times t_{c(\phi IIC)} + 40$	$3 \times t_{c(\phi IIC)} + 120$	ns

表 28.40 マルチマスタ I²C バスインタフェース (高速モード)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_f(SCL)$	MSCL出力立ち下がり時間	図 28.6 参照	2 (注1)		ns
$t_f(SDA)$	MSDA出力立ち下がり時間		2 (注1)		ns
$t_{d(SDA-SCL)S}$	スタートコンディション/ リスタートコンディション後 MSCL出力遅延時間		$10 \times t_{c(\phi IIC)} - 120$	$26 \times t_{c(\phi IIC)} - 40$	ns
$t_{d(SCL-SDA)P}$	MSCL“H”後リスタート コンディション/ストップ コンディション出力遅延時間		$10 \times t_{c(\phi IIC)} + 40$	$26 \times t_{c(\phi IIC)} + 120$	ns
$t_{d(SCL-SDA)}$	MSDA出力遅延時間		$2 \times t_{c(\phi IIC)} + 40$	$3 \times t_{c(\phi IIC)} + 120$	ns

注1. I²C-busの仕様を満たすには、外部回路が必要です。

$$V_{CC} = 3.3 \text{ V}$$

表 28.41 電気的特性(1) (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 64 \text{ MHz}$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V_{OH}	“H”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	$I_{OH} = -1 \text{ mA}$	$V_{CC} - 0.6$		V_{CC}	V
V_{OL}	“L”出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	$I_{OL} = 1 \text{ mA}$		0.5		V

注1. ポートP16~P19は176ピン版にのみ存在します。

$$V_{CC} = 3.3 \text{ V}$$

表 28.42 電気的特性(2) (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 64 \text{ MHz}$)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
$V_{T+} - V_{T-}$	ヒステリシス	HOLD, RDY, NMI, INT0~INT8, KI0~KI3, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN, CTS0~CTS10, CLK0~CLK10, RXD0~RXD10, SCL0~SCL6, SDA0~SDA6, SS0~SS6, SRXD0~SRXD6, ADTRG, IIO0_0~IIO0_7, IIO1_0~IIO1_7, UD0A, UD0B, UD1A, UD1B, ISCLK2, ISRXD2, IEIN, MSCL, MSDA		0.2		1.0	V
		RESET		0.2		1.8	V
I_{IH}	“H”入力電流	XIN, RESET, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	$V_I = 3.3 \text{ V}$			4.0	μA
I_{IL}	“L”入力電流	XIN, RESET, CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P12_0~P12_7, P13_0~P13_7, P14_1, P14_3~P14_7, P15_0~P15_7, P16_0~P16_7, P17_0~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	$V_I = 0 \text{ V}$			-4.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P5_0~P5_3, P8_4, P8_6, P8_7, P9_0~P9_7, P10_0~P10_7, P11_0~P11_7, P13_0~P13_7, P14_1, P14_3~P14_7, P15_0~P15_7, P17_4~P17_7, P18_0~P18_7, P19_0~P19_7 (注1)	$V_I = 0 \text{ V}$	50	100	500	k Ω
R_{fXIN}	帰還抵抗	XIN			3		M Ω
R_{fXCIN}	帰還抵抗	XCIN			25		M Ω

注1. ポートP16~P19は176ピン版にのみ存在します。

$$V_{CC} = 3.3 \text{ V}$$

表 28.43 電気的特性(3) (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I_{CC}	電源電流 シングルチップモードで出力端子は開放、その他の端子は V_{SS} に接続 XIN-XOUT 駆動能力: Low XCIN-XCOUT 駆動能力: Low	$f_{(CPU)} = 64 \text{ MHz}$ 、 $f_{(BCLK)} = 32 \text{ MHz}$ 、 $f_{(XIN)} = 8 \text{ MHz}$ 、PLL 発振、XCIN 停止、OCO 停止		40	55	mA
		$f_{(CPU)} = f_{SO(PLL)}/24 \text{ MHz}$ 、XIN 停止、PLL 自励発振、XCIN 停止、OCO 停止		9		mA
		$f_{(CPU)} = f_{(BCLK)} = f_{(XIN)}/256 \text{ MHz}$ 、 $f_{(XIN)} = 8 \text{ MHz}$ 、PLL 停止、XCIN 停止、OCO 停止		670		μA
		$f_{(CPU)} = f_{(BCLK)} = 32.768 \text{ kHz}$ 、XIN 停止、PLL 停止、XCIN 発振、OCO 停止、メインレギュレータ停止		180		μA
		$f_{(CPU)} = f_{(BCLK)} = f_{(OCO)}/4 \text{ kHz}$ 、XIN 停止、PLL 停止、XCIN 停止、OCO 発振、メインレギュレータ停止		190		μA
		$f_{(CPU)} = f_{(BCLK)} = f_{(XIN)}/256 \text{ MHz}$ 、 $f_{(XIN)} = 8 \text{ MHz}$ 、PLL 停止、XCIN 停止、OCO 停止、ウェイトモード、 $T_a = 25^\circ\text{C}$		500	900	μA
		$f_{(CPU)} = f_{(BCLK)} = 32.768 \text{ kHz}$ 、XIN 停止、PLL 停止、XCIN 発振、OCO 停止、メインレギュレータ停止、ウェイトモード、 $T_a = 25^\circ\text{C}$		8	140	μA
		$f_{(CPU)} = f_{(BCLK)} = f_{(OCO)}/4 \text{ kHz}$ 、XIN 停止、PLL 停止、XCIN 停止、OCO 発振、メインレギュレータ停止、ウェイトモード、 $T_a = 25^\circ\text{C}$		10	150	μA
クロック停止、メインレギュレータ停止、 $T_a = 25^\circ\text{C}$		5	70	μA		

$$V_{CC} = 3.3 \text{ V}$$

表 28.44 A/D変換特性 (指定のない場合は、 $V_{CC} = AV_{CC} = V_{REF} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$ 、 $f_{(BCLK)} = 32 \text{ MHz}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能	$V_{REF} = V_{CC}$			10	Bits
—	絶対誤差	$V_{REF} = V_{CC} = 3.3 \text{ V}$ AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7, ANEX0, ANEX1			±5	LSB
					±7	LSB
INL	積分非直線性誤差	$V_{REF} = V_{CC} = 3.3 \text{ V}$ AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7, ANEX0, ANEX1			±5	LSB
					±7	LSB
DNL	微分非直線性誤差	$V_{REF} = V_{CC} = 3.3 \text{ V}$			±1	LSB
—	オフセット誤差				±3	LSB
—	ゲイン誤差				±3	LSB
R _{LADDER}	ラダー抵抗	$V_{REF} = V_{CC}$	4		20	kΩ
t _{CONV}	変換時間(10bit)	$\phi_{AD} = 10 \text{ MHz}$ 、サンプル&ホールドあり	3.3			μs
t _{CONV}	変換時間(8bit)	$\phi_{AD} = 10 \text{ MHz}$ 、サンプル&ホールドあり	2.8			μs
t _{SAMP}	サンプリング時間	$\phi_{AD} = 10 \text{ MHz}$	0.3			μs
V _{IA}	アナログ入力電圧		0		V _{REF}	V
φ _{AD}	動作クロック周波数	サンプル&ホールドなし	0.25		10	MHz
		サンプル&ホールドあり	1		10	MHz
R _{PU(AST)}	断線検出用 プルアップ抵抗		5	10	15	kΩ
R _{PD(AST)}	断線検出用 プルダウン抵抗		5	10	15	kΩ

$$V_{CC} = 3.3 \text{ V}$$

表 28.45 D/A 変換特性 (指定のない場合は、 $V_{CC} = AV_{CC} = V_{REF} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = AV_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
t_s	設定時間				3	μs
R_O	出力抵抗		4	10	20	$\text{k}\Omega$
I_{VREF}	基準電源入力電流	(注1)			1.0	mA

注1. D/A コンバータを1本利用し、使用していないD/A コンバータのDAi レジスタ ($i=0, 1$)の値が“00h”の場合です。A/D コンバータのラダー抵抗分は除きます。
AD0CON1 レジスタのVCUT ビットを“0” (V_{REF} 未接続)にした場合でも、 I_{VREF} は流れます。

$$V_{CC} = 3.3 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 28.46 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(X)}$	外部クロック入力サイクル時間	62.5	250	ns
$t_{w(XH)}$	外部クロック入力“H”パルス幅	25		ns
$t_{w(XL)}$	外部クロック入力“L”パルス幅	25		ns
$t_{r(X)}$	外部クロック入力立ち上がり時間		5	ns
$t_{f(X)}$	外部クロック入力立ち下がり時間		5	ns
t_w / t_c	外部クロック入力デューティ	40	60	%

表 28.47 外部バスタイミング

記号	項目	規格値		単位
		最小	最大	
$t_{su(D-R)}$	リード前データセットアップ時間	40		ns
$t_{h(R-D)}$	リード後データホールド時間	0		ns
$t_{dis(R-D)}$	リード後データディスエーブル時間		$0.5 \times t_{c(Base)} + 10$	ns

$$V_{CC} = 3.3 V$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

表 28.48 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 28.49 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	400		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	180		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	180		ns

表 28.50 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN 入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 28.51 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{W(TAH)}$	TAiIN 入力 "H" パルス幅	80		ns
$t_{W(TAL)}$	TAiIN 入力 "L" パルス幅	80		ns

表 28.52 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(UP)}$	TAiOUT 入力サイクル時間	2000		ns
$t_{W(UPH)}$	TAiOUT 入力 "H" パルス幅	1000		ns
$t_{W(UPL)}$	TAiOUT 入力 "L" パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT 入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT 入力ホールド時間	400		ns

$$V_{CC} = 3.3 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 28.53 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	80		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 28.54 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

表 28.55 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

$$V_{CC} = 3.3 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 28.56 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi 入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi 入力 "H" パルス幅	80		ns
$t_{w(CKL)}$	CLKi 入力 "L" パルス幅	80		ns
$t_{su(D-C)}$	RXD _i 入力セットアップ時間	80		ns
$t_h(C-D)$	RXD _i 入力ホールド時間	90		ns

表 28.57 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(ADH)}$	ADTRG 入力 "H" パルス幅 ハードウェアトリガ入力 "H" パルス幅	$\frac{3}{\phi_{AD}}$		ns
$t_{w(ADL)}$	ADTRG 入力 "L" パルス幅 ハードウェアトリガ入力 "L" パルス幅	125		ns

表 28.58 外部割り込み \overline{INT}_i 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INT}_i 入力 "H" パルス幅	エッジセンス	250	ns
		レベルセンス	$t_{c(CPU)} + 200$	ns
$t_{w(INL)}$	\overline{INT}_i 入力 "L" パルス幅	エッジセンス	250	ns
		レベルセンス	$t_{c(CPU)} + 200$	ns

表 28.59 インテリジェント I/O 通信機能

記号	項目	規格値		単位
		最小	最大	
$t_{c(ISCLK2)}$	ISCLK2 入力サイクル時間	600		ns
$t_{w(ISCLK2H)}$	ISCLK2 入力 "H" パルス幅	270		ns
$t_{w(ISCLK2L)}$	ISCLK2 入力 "L" パルス幅	270		ns
$t_{su(RXD-ISCLK2)}$	ISRXD2 入力セットアップ時間	150		ns
$t_h(ISCLK2-RXD)$	ISRXD2 入力ホールド時間	100		ns

$$V_{CC} = 3.3 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 28.60 マルチマスタ I²C バスインタフェース

記号	項目	規格値				単位
		標準モード		高速モード		
		最小	最大	最小	最大	
$t_{w(SCLH)}$	MSCL 入力 "H" パルス幅	600		600		ns
$t_{w(SCLL)}$	MSCL 入力 "L" パルス幅	600		600		ns
$t_{r(SCL)}$	MSCL 入力 立ち上がり時間		1000		300	ns
$t_{f(SCL)}$	MSCL 入力 立ち下がり時間		300		300	ns
$t_{r(SDA)}$	MSDA 入力 立ち上がり時間		1000		300	ns
$t_{f(SDA)}$	MSDA 入力 立ち下がり時間		300		300	ns
$t_{h(SDA-SCL)S}$	スタートコンディション/ リスタートコンディション後 MSCL "H" ホールド時間	(注1)		$2 \times t_{c(\phi IIC)} + 40$		ns
$t_{su(SCL-SDA)P}$	リスタートコンディション/ ストップコンディション前 MSCL "H" セットアップ時間	(注1)		$2 \times t_{c(\phi IIC)} + 40$		ns
$t_{w(SDAH)P}$	ストップコンディション後 MSDA "H" パルス幅	(注1)		$4 \times t_{c(\phi IIC)} + 40$		ns
$t_{su(SDA-SCL)}$	MSDA 入力 セットアップ時間	100		100		ns
$t_{h(SCL-SDA)}$	MSDA 入力 ホールド時間	0		0		ns

注1. I²CSSCR レジスタの SSC4~SSC0 ビットで設定した値 (SSC) に応じて次式で算出されます。

$$t_{h(SDA-SCL)S} = SSC \div 2 \times t_{c(\phi IIC)} + 40 \text{ [ns]}$$

$$t_{su(SCL-SDA)P} = (SSC \div 2 + 1) \times t_{c(\phi IIC)} + 40 \text{ [ns]}$$

$$t_{w(SDAH)P} = (SSC + 1) \times t_{c(\phi IIC)} + 40 \text{ [ns]}$$

$$V_{CC} = 3.3 \text{ V}$$

スイッチング特性 (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 28.61 外部バスタイミング(セパレートバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	図 28.6 参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		$t_{c(Base)} - 15$		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間		(注1)		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		$t_{c(Base)} - 15$		ns
$t_{w(R)}$	リードパルス幅		(注1)		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間		(注1)		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{w(W)}$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		0		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 ($T_{su(A-R)}$ 、 $T_{w(R)}$ 、 $T_{su(A-W)}$ 、 $T_{w(W)}$) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、「9.3.5 外部バスタイミング」をご参照ください。

$$t_{su(S-R)} = t_{su(A-R)} = T_{su(A-R)} \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_{w(R)} = T_{w(R)} \times t_{c(Base)} - 10 \text{ [ns]}$$

$$t_{su(S-W)} = t_{su(A-W)} = T_{su(A-W)} \times t_{c(Base)} - 15 \text{ [ns]}$$

$$t_{w(W)} = t_{su(D-W)} = T_{w(W)} \times t_{c(Base)} - 10 \text{ [ns]}$$

$$V_{CC} = 3.3 V$$

スイッチング特性 (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 V$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

表 28.62 外部バスタイミング(マルチプレクスバス)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{su(S-ALE)}$	ALE前チップセレクトセットアップ時間	図 28.6参照	(注1)		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{su(A-ALE)}$	ALE前アドレスセットアップ時間		(注1)		ns
$t_{h(ALE-A)}$	ALE後アドレスホールド時間		$t_{c(Base)} - 5$ (注2)		ns
$t_{h(R-A)}$	リード後アドレスホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{d(ALE-R)}$	ALE-リード間遅延時間		$t_{c(Base)} - 5$ (注2)	$t_{c(Base)} + 10$ (注2)	ns
$t_w(ALE)$	ALEパルス幅		(注1)		ns
$t_{dis(R-A)}$	リード後アドレスディスエーブル時間			8	ns
$t_w(R)$	リードパルス幅		(注1)		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間		$1.5 \times t_{c(Base)} - 15$		ns
$t_{d(ALE-W)}$	ALE-ライト間遅延時間		$t_{c(Base)} - 5$ (注2)	$t_{c(Base)} + 10$ (注2)	ns
$t_w(W)$	ライトパルス幅		(注1)		ns
$t_{su(D-W)}$	ライト前データセットアップ時間		(注1)		ns
$t_{h(W-D)}$	ライト後データホールド時間		$0.5 \times t_{c(Base)}$		ns

注1. ベースクロックサイクル時間 $t_{c(Base)}$ と EBC0~EBC3 レジスタで設定したサイクル数 ($T_{su(A-R)}$ 、 $T_w(R)$ 、 $T_{su(A-W)}$ 、 $T_w(W)$) に応じて次式で算出されます。算出した数値が負の値になる場合は、設定値を見直してください。サイクル数の設定方法については、「9.3.5 外部バスタイミング」をご参照ください。

$$t_{su(S-ALE)} = t_{su(A-ALE)} = (T_{su(A-R)} - 1) \times t_{c(Base)} - 15 \text{ [ns]} \quad (T_{su(A-R)} > 1 \text{ の場合})$$

$$t_{su(S-ALE)} = t_{su(A-ALE)} = 0.5 \times t_{c(Base)} - 15 \text{ [ns]} \quad (T_{su(A-R)} = 1 \text{ の場合})$$

$$t_w(ALE) = (T_{su(A-R)} - 1) \times t_{c(Base)} - 20 \text{ [ns]} \quad (T_{su(A-R)} > 1 \text{ の場合})$$

$$t_w(ALE) = 0.5 \times t_{c(Base)} - 20 \text{ [ns]} \quad (T_{su(A-R)} = 1 \text{ の場合})$$

$$t_w(R) = T_w(R) \times t_{c(Base)} - 10 \text{ [ns]}$$

$$t_w(W) = t_{su(D-W)} = T_w(W) \times t_{c(Base)} - 10 \text{ [ns]}$$

注2. $T_{su(A-R)} > 1$ または、 $T_{su(A-W)} > 1$ の場合。 $T_{su(A-R)} = 1$ または、 $T_{su(A-W)} = 1$ の場合は「 $t_{c(Base)}$ 」の部分に「 $0.5 \times t_{c(Base)}$ 」に読み替えてください。

$$V_{CC} = 3.3 \text{ V}$$

スイッチング特性 (指定のない場合は、 $V_{CC} = 3.0 \sim 3.6 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 28.63 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(C-Q)}$	TXDi出力遅延時間	図 28.6 参照		80	ns
$t_h(C-Q)$	TXDi出力ホールド時間		0		ns

表 28.64 インテリジェント I/O 通信機能

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(ISCLK2-TXD)}$	ISTXD2出力遅延時間	図 28.6 参照		180	ns
$t_h(ISCLK2-RXD)$	ISTXD2出力ホールド時間		0		ns

表 28.65 マルチマスタ I²C バスインタフェース (標準モード)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_f(SCL)$	MSCL出力立ち下がり時間	図 28.6 参照	2		ns
$t_f(SDA)$	MSDA出力立ち下がり時間		2		ns
$t_d(SDA-SCL)S$	スタートコンディション/ リスタートコンディション後 MSCL出力遅延時間		$20 \times t_{c(\phi IIC)} - 120$	$52 \times t_{c(\phi IIC)} - 40$	ns
$t_d(SCL-SDA)P$	MSCL“H”後リスタート コンディション/ストップ コンディション出力遅延時間		$20 \times t_{c(\phi IIC)} + 40$	$52 \times t_{c(\phi IIC)} + 120$	ns
$t_d(SCL-SDA)$	MSDA出力遅延時間		$2 \times t_{c(\phi IIC)} + 40$	$3 \times t_{c(\phi IIC)} + 120$	ns

表 28.66 マルチマスタ I²C バスインタフェース (高速モード)

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_f(SCL)$	MSCL出力立ち下がり時間	図 28.6 参照	2 (注1)		ns
$t_f(SDA)$	MSDA出力立ち下がり時間		2 (注1)		ns
$t_d(SDA-SCL)S$	スタートコンディション/ リスタートコンディション後 MSCL出力遅延時間		$10 \times t_{c(\phi IIC)} - 120$	$26 \times t_{c(\phi IIC)} - 40$	ns
$t_d(SCL-SDA)P$	MSCL“H”後リスタート コンディション/ストップ コンディション出力遅延時間		$10 \times t_{c(\phi IIC)} + 40$	$26 \times t_{c(\phi IIC)} + 120$	ns
$t_d(SCL-SDA)$	MSDA出力遅延時間		$2 \times t_{c(\phi IIC)} + 40$	$3 \times t_{c(\phi IIC)} + 120$	ns

注1. I²C-busの仕様を満たすには、外部回路が必要です。

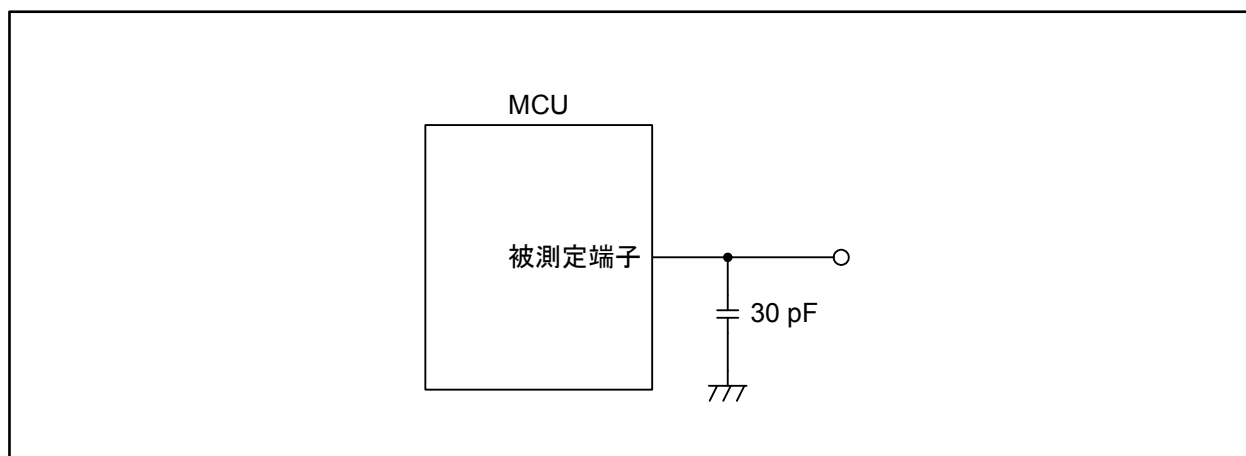


図 28.6 スイッチング特性の測定回路

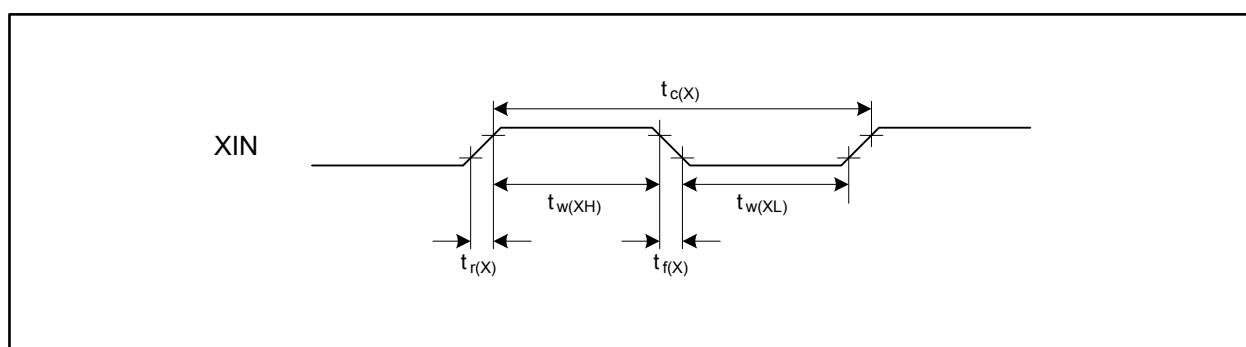


図 28.7 外部クロック入力タイミング図

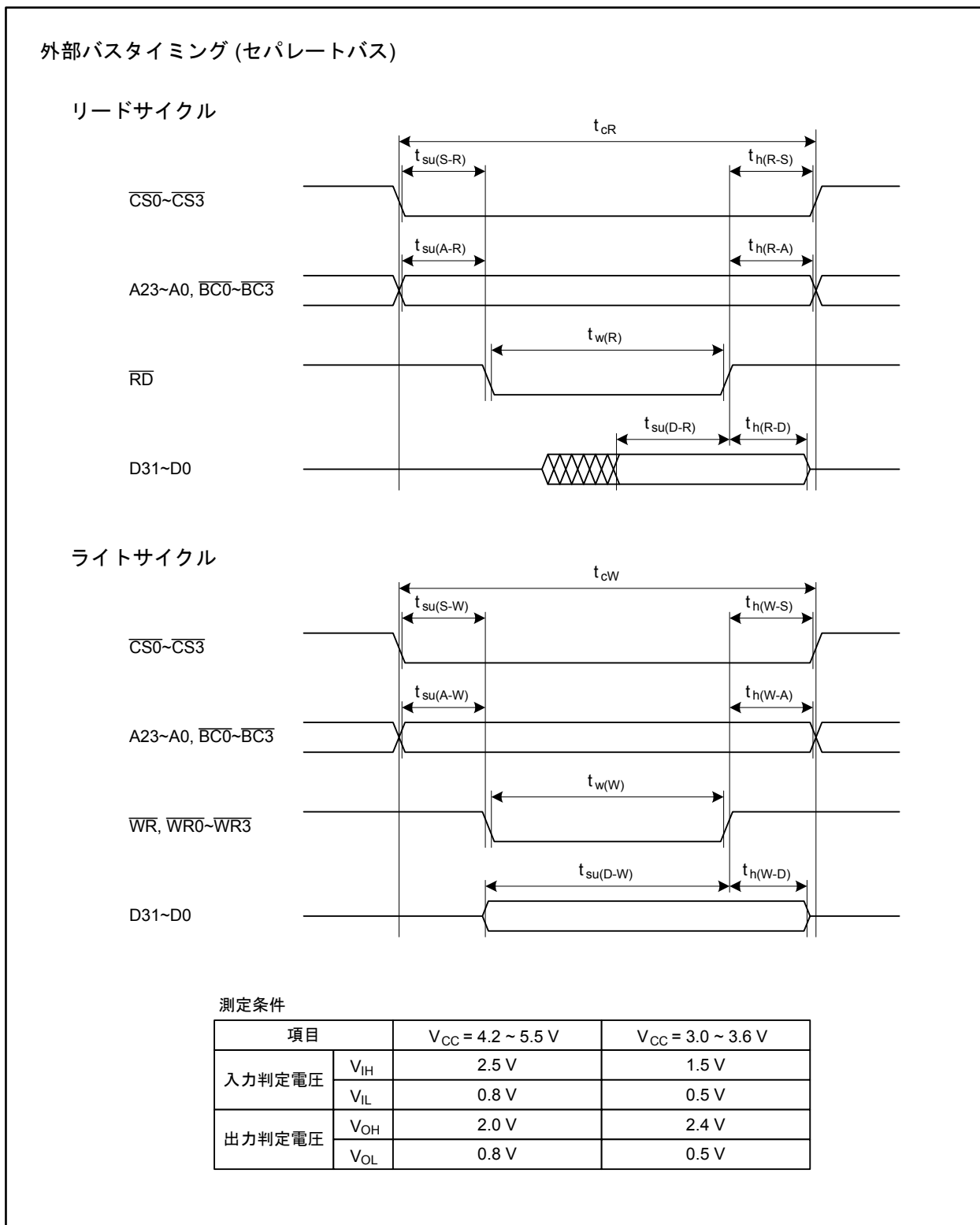
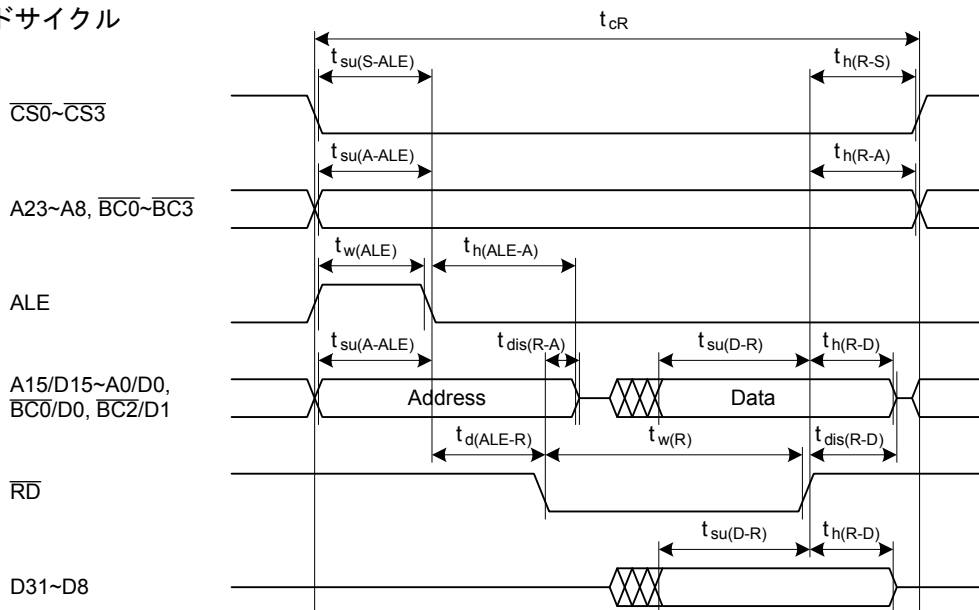


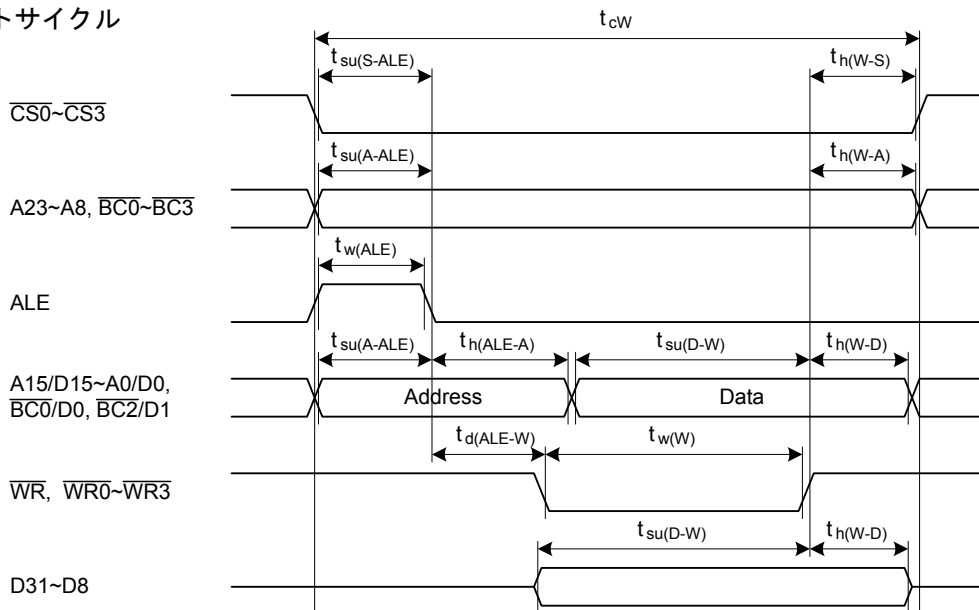
図 28.8 外部バスタイミング図(セパレートバス)

外部バスタイミング (マルチプレクスバス)

リードサイクル



ライトサイクル



測定条件

項目		V _{CC} = 4.2 ~ 5.5 V	V _{CC} = 3.0 ~ 3.6 V
入力判定電圧	V _{IH}	2.5 V	1.5 V
	V _{IL}	0.8 V	0.5 V
出力判定電圧	V _{OH}	2.0 V	2.4 V
	V _{OL}	0.8 V	0.5 V

図 28.9 外部バスタイミング図(マルチプレクスバス)

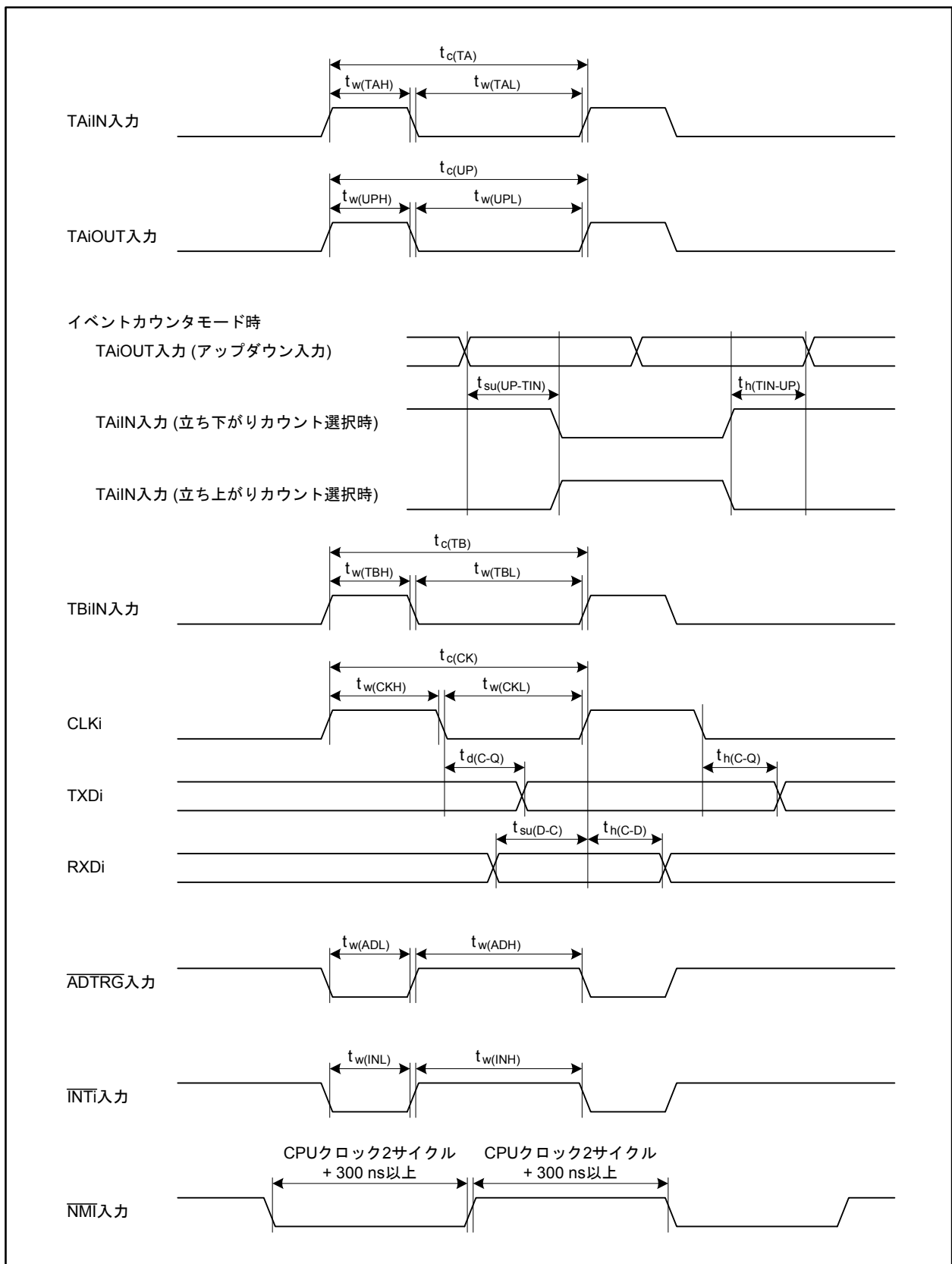
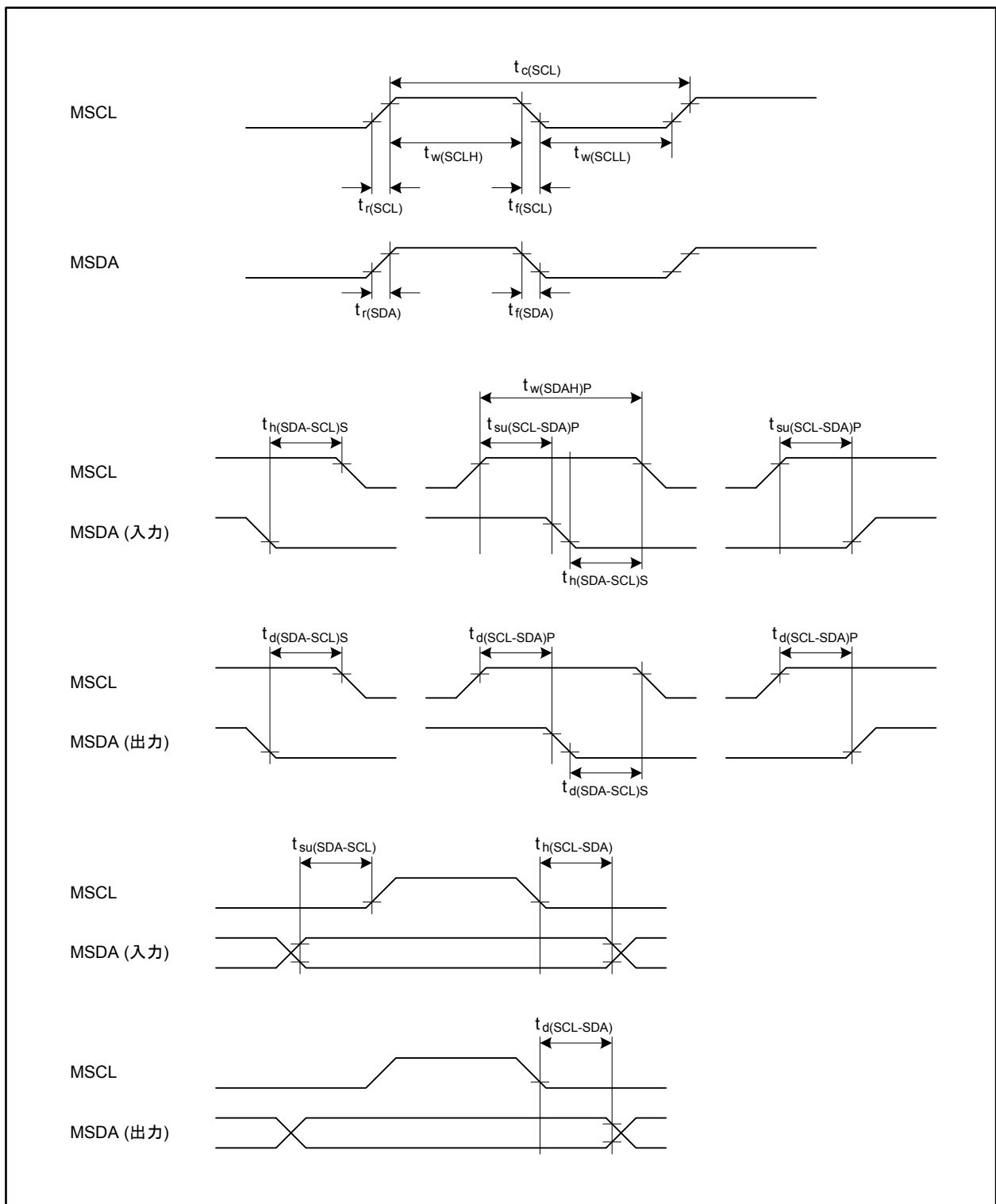


図 28.10 周辺機能タイミング図

図 28.11 マルチマスタ I²C バスインタフェースタイミング図

29. 使用上の注意事項

29.1 基板設計に関する注意

29.1.1 電源端子

端子名が同じ電源端子には、端子間での電位差が生じないように以下に注意して基板を設計してください。

- 複数ある VSS 端子はすべて同じ GND に接続し、端子間で電位差が生じないように各端子への配線はできる限り太いパターンを使用してください。
- 複数ある VCC 端子はすべて同じ電源に接続し、端子間で電位差が生じないように各端子への配線はできる限り太いパターンを使用してください。

ノイズによる誤動作を防止するため、各 VCC 端子と VSS 端子の間には周波特性の良いコンデンサを挿入してください。コンデンサは 0.1 μ F 程度の容量のものを、できる限り電源端子の近傍に配置し、最短距離かつできる限り太いパターンを使用して接続してください。

29.1.2 電源電圧

電源電圧が電气的特性に定める推奨動作電圧の範囲外になった場合のマイコンの動作は保証できません。

電源電圧が推奨動作電圧以下になる前に $\overline{\text{RESET}}$ 端子を“L”にしてください。

29.2 レジスタ設定時の注意

29.2.1 ライトオンリのビットを含むレジスタ

ライトオンリ (WO) のビットを含むレジスタに値を設定する場合、リードモディファイライト命令は使用できません。リードモディファイライト命令は、対象アドレスの値を読み、その値を変更して書き戻す命令です。表 29.1 にリードモディファイライト命令を、表 29.2 にライトオンリ (WO) のビットを含むレジスタを示します。前回の値を加工して次の値を決める場合は、レジスタに書く値を RAM にも書いておき、次の値は RAM の内容を変更した後、MOV 命令を使用してレジスタに転送してください。

表 29.1 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR, BMC <i>nd</i> , BNOT, BSET, BTSTC, BTSTS
シフト	ROL <i>C</i> , ROR <i>C</i> , ROT, SHA, SHL
算術演算	ABS, ADC, ADCF, ADD, ADSF, DEC, DIV, DIVU, DIVX, EXTS, EXTZ, INC, MUL, MULU, NEG, SBB, SUB
10進演算	DADC, DADD, DSBB, DSUB
浮動小数点演算	ADDF, DIVF, MULF, SUBF
論理演算	AND, NOT, OR, XOR

表 29.2 ライトオンリ (WO) のビットを含むレジスタ一覧

モジュール	レジスタ	シンボル	番地
ウォッチドッグタイマ	ウォッチドッグタイマスタートレジスタ	WDTS	04404Eh
タイマA	タイマA0レジスタ(注1)	TA0	0347h-0346h
	タイマA1レジスタ(注1)	TA1	0349h-0348h
	タイマA2レジスタ(注1)	TA2	034Bh-034Ah
	タイマA3レジスタ(注1)	TA3	034Dh-034Ch
	タイマA4レジスタ(注1)	TA4	034Fh-034Eh
	アップダウン選択レジスタ	UDF	0344h
三相モータ制御用 タイマ機能	タイマB2割り込み発生頻度設定カウンタ	ICTB2	030Dh
	タイマA1-1レジスタ	TA11	0303h-0302h
	タイマA2-1レジスタ	TA21	0305h-0304h
	タイマA4-1レジスタ	TA41	0307h-0306h
	短絡防止タイマ	DTT	030Ch
シリアル インタフェース	UART0ビットレートレジスタ	U0BRG	0369h
	UART1ビットレートレジスタ	U1BRG	02E9h
	UART2ビットレートレジスタ	U2BRG	0339h
	UART3ビットレートレジスタ	U3BRG	0329h
	UART4ビットレートレジスタ	U4BRG	02F9h
	UART5ビットレートレジスタ	U5BRG	01C9h
	UART6ビットレートレジスタ	U6BRG	01D9h
	UART7ビットレートレジスタ	U7BRG	01E1h
	UART8ビットレートレジスタ	U8BRG	01E9h
	UART9ビットレートレジスタ	U9BRG	040301h
	UART10ビットレートレジスタ	U10BRG	040309h
	UART0送信バッファレジスタ	U0TB	036Bh-036Ah
	UART1送信バッファレジスタ	U1TB	02EBh-02EAh
	UART2送信バッファレジスタ	U2TB	033Bh-033Ah
	UART3送信バッファレジスタ	U3TB	032Bh-032Ah
	UART4送信バッファレジスタ	U4TB	02FBh-02FAh
	UART5送信バッファレジスタ	U5TB	01CBh-01CAh
	UART6送信バッファレジスタ	U6TB	01DBh-01DAh
	UART7送信バッファレジスタ	U7TB	01E3h-01E2h
	UART8送信バッファレジスタ	U8TB	01EBh-01EAh
	UART9送信バッファレジスタ	U9TB	040303h-040302h
	UART10送信バッファレジスタ	U10TB	04030Bh-04030Ah
インテリジェントI/O	グループ2 SIO送信バッファレジスタ	G2TB	016Dh-016Ch

注1. ワンショットタイマモード時とパルス幅変調モード時のみ

29.3 クロック発生回路使用上の注意

29.3.1 サブクロック

29.3.1.1 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングは、駆動能力 High と駆動能力 Low の両方とも確認してください。

発振回路定数のマッチングに関しては発振子メーカーにお問い合わせください。

29.3.2 パワーコントロール

ベースクロック源を切り替えるとき、クロック分周比を切り替えるときは、使用するクロックの発振が安定してから切り替えてください。オンチップオシレータはCM3レジスタのCM31ビットを“1”にすると瞬時に発振を開始しますので、発振安定を待つ必要はありません。

ベースクロック源をPLLクロックから低速クロックに切り替える(CCRレジスタのBCSビットを“1”にする)場合は、MOV.L命令またはOR.L命令を使用してください。

- アセンブリ言語の場合の例

```
OR.L    #80h, 0004h
```

- C言語の場合の例

```
asm("OR.L #80h, 0004h");
```

29.3.2.1 ストップモード

- ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。

29.3.2.2 消費電力を低減するためのポイント

システム設計やプログラムを作成するときに参考にしてください。

- 端子処理

入力端子を開放のままにすると、貫通電流が流れることがあります。未使用端子は入力に設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放してください。

- A/Dコンバータ

A/D変換を行わないときはAD0CON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。なお、A/D変換を行うときは、VCUTビットを“1”(VREF接続)にしてから1μs以上経過した後、A/D変換を開始させてください。

- D/Aコンバータ

D/A変換を行わないときは、DACONレジスタのDAiEビット(i=0, 1)を“0”(出力禁止)にし、DAiレジスタを“00h”にしてください。

- 周辺機能の停止

ウェイトモードへ移行するとき、CM0レジスタのCM02ビットで周辺機能クロック源を停止することにより、消費電力を低減させることができます。ただし、fC32は停止しません。

29.4 バスの注意事項

29.4.1 レジスタ設定上の注意事項

29.4.1.1 チップセレクト境界設定レジスタについて

メモリ拡張モードを使用しない場合、CB01、CB12、CB23 レジスタの値をリセット後の値のまま変更しないでください。

メモリ拡張モードを使用する場合、これらのレジスタは各チップセレクト領域を使用する/しないに関わらず、すべて指定の範囲の値を設定してください。

29.5 割り込み使用上の注意

29.5.1 ISPの設定

リセット後、ISP (割り込みスタックポインタ)は“00000000h”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なくなり、割り込みシーケンスの実行速度が速くなります。

特にNMIを使用する場合は割り込みを禁止できませんので、プログラムの先頭でISPを設定した後、PM2レジスタのPM24ビットを“1”(NMI有効)にしてください。

29.5.2 NMI

- NMIは、PM2レジスタのPM24ビットを“1”(NMI有効)にした後は禁止できません。NMIを使用しない場合はPM24ビットを“0”から変更しないでください。
- PM2レジスタのPM24ビットが“1”(NMI有効)の場合、P8レジスタのP8_5ビットは、 $\overline{\text{NMI}}$ 端子の状態を確認する用途にのみ使用できます。汎用ポートとしては使用できません。

29.5.3 外部割り込み

- INT_i 端子($i=0\sim 8$)に入力する信号には、電気的特性で規定する信号幅が必要です。規定の最小幅を下回った場合、割り込みが受け付けられない場合があります。
- INT_iIC レジスタ($i=0\sim 8$)のPOLビット、LVSビット、IFSR0レジスタのIFSR0 i ビット($i=0\sim 5$)、IFSR1レジスタのIFSR1 j ビット($j=i-6, i=6\sim 8$)で $\overline{\text{INT}}_i$ 端子の有効エッジや有効レベルを切り替えたとき、対応するIRビットが“1”(割り込み要求あり)になる場合があります。これらのビットは、 INT_iIC レジスタのILVL2 \sim ILVL0ビットを“000b”(割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応するIRビットを“0”(割り込み要求なし)にしてからILVL2 \sim ILVL0ビットを設定してください。
- $\overline{\text{INT}}_6\sim\overline{\text{INT}}_8$ 端子への割り込み入力信号は、IIO9IR \sim IIO11IRレジスタのINT6R \sim INT8Rビットにも接続されています。これらインテリジェントI/O割り込みを使用することで、 $\overline{\text{INT}}_6\sim\overline{\text{INT}}_8$ 端子への割り込み入力をウェイトモード/ストップモードからの復帰要因として使用できます。なお、インテリジェントI/O割り込みに割り付けられた外部割り込み信号は立ち下がりエッジのみが有効です。 INT_iIC レジスタ($i=0\sim 8$)のPOLビット、LVSビット、IFSR0レジスタのIFSR0 i ビット($i=0\sim 5$)、IFSR1レジスタのIFSR1 j ビット($j=i-6, i=6\sim 8$)の影響は受けません。

29.6 DMAコントローラ使用上の注意

29.6.1 DMAC関連レジスタの設定

- DMAC関連レジスタを設定する場合、設定するチャンネルのDMDiレジスタ (i=0~3)のMDi1~MDi0ビットが“00b”(DMA転送禁止)の状態を設定し、最後にMDi1~MDi0ビットを“01b”(単転送)または“11b”(リピート転送)に設定してください。DMDiレジスタのUDAi、USAi、BWi1~BWi0ビットを書き換える場合も、MDi1~MDi0ビットが“00b”(DMA転送禁止)のときに実施してください。
- DMA転送を許可した後でDMAC関連レジスタを書き換える必要が生じた場合、まずDMA転送要求が発生しないようにDMA起動要因となる周辺機能を停止し、次に書き換えたいチャンネルのDMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてから実施してください。
- 一旦DMA転送要求が受け付けられた後は、DMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてもDMA転送を禁止することはできません。この場合、DMA転送が完了するまでMDi1~MDi0ビット以外のDMAC関連レジスタの設定を変更しないでください。
- DMiSL、DMiSL2レジスタを設定した後、周辺バスクロックで6クロック以上待ってから、DMDiレジスタのMDi1~MDi0ビットに“01b”(単転送)または“11b”(リピート転送)を書いてください。

29.6.2 DMAC関連レジスタの読み出し

- DMiSL、DMiSL2レジスタをそれぞれ連続して読み出す場合、以下の順で読み出してください。
DM0SL→DM1SL→DM2SL→DM3SL
DM0SL2→DM1SL2→DM2SL2→DM3SL2

29.7 タイマ使用上の注意

29.7.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSРレジスタまたはTBSRレジスタの、TAiSビット(i=0~4)またはTBjSビット(j=0~5)を“1”(カウント開始)にしてください。

以下のレジスタ、ビットは、対応するTAiSビットまたはTBjSビットが“0”(カウント停止)の状態に変更してください。

- TAiMRレジスタ、TBjMRレジスタ
- UDFレジスタ
- ONSFレジスタのTAZIEビット、TA0TGLビット、TA0TGHビット
- TRGSРレジスタ

29.7.2 タイマA

29.7.2.1 タイマモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

29.7.2.2 イベントカウンタモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なった場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

29.7.2.3 ワンショットタイマモード時

- カウント中にTABSРレジスタのTAiSビットを“0”(カウント停止)にすると、以下のようになります。
 - カウンタはカウントを停止し、TAiレジスタの設定値をリロードします。
 - TAiOUT端子は“L”を出力します。
 - CPUクロックの1サイクル後、TAiCレジスタのIRビットが“1”(割り込み要求あり)になります。
- ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、トリガにTAiIN端子への入力を選択している場合、トリガ入力からワンショットタイマの出力までに、最大でカウントソース1クロック分の遅延が生じます。
- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、下記の設定を行った後、IRビットを“0”にしてください。
 - リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

- カウント中に再トリガが発生した場合は、カウンタは1回ダウンカウントした後、TAiレジスタ (i=0~4) の設定値をリロードしてカウントを続けます。カウント中に再トリガを発生させる場合は、前回のトリガの発生からタイマのカウントソース1クロック以上経過した後に発生させてください。
- カウント開始条件にTAiIN端子へのトリガ入力を選択している場合、タイマAのカウント値が“0000h”になる直前の300 nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

29.7.2.4 パルス幅変調モード時

- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、以下の設定を行った後、IRビットを“0”にしてください。
 - リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したとき
- PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると以下のようになります。
 - カウンタはカウントを停止します。
 - TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
 - TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

29.7.3 タイマB

29.7.3.1 タイマモード、イベントカウンタモード時

- カウント中のカウンタの値は、TBj レジスタ (j=0~5) を読むことでいつでも知ることができます。ただし、TBj レジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTBj レジスタに値を設定して、カウント開始前にTBj レジスタを読んだ場合、設定した値が読めます。

29.7.3.2 パルス周期測定/パルス幅測定モード時

- TBjMR レジスタのMR3 ビットを“0” (オーバフローなし) にするには、TBjS ビットが“1” (カウント開始) のとき、MR3 ビットが“1” (オーバフローあり) になってからカウントソース1クロック以上経過した後に、TBjMR レジスタに書いてください。
- オーバフローだけの検出にはTBjIC レジスタのIR ビットを使用してください。MR3 ビットは、割り込み処理ルーチンで割り込み要因を判断するときだけに使用してください。
- カウント開始時のカウンタの値は不定です。したがって、カウント開始後最初の有効エッジが入力されるまでにカウンタがオーバフローし、タイマBj 割り込み要求が発生する可能性があります。
- カウント開始後、最初の有効エッジが入力された時は、カウンタの値が不定なので不定値がリロードレジスタに転送されます。なお、このときタイマBj 割り込み要求は発生しません。
- カウント開始後にTBjMR レジスタのMR1~MR0 ビットを変更すると、IR ビットが“1” (割り込み要求あり) になることがあります。ただし、MR1~MR0 ビットに同じ値を上書きした場合は、IR ビットは変化しません。
- パルス幅測定モードでは、連続してパルス幅を測定します。測定結果が“H”幅の測定結果であるか“L”幅の測定結果であるかは、プログラムで判断してください。
- パルス周期測定モードでは、カウンタのオーバフローと同時に有効エッジが入力された場合、割り込み要求が1回しか発生しないため、有効エッジが入力されたことを確認できません。カウンタがオーバフローしない範囲で使用してください。
- パルス幅測定モードでは、タイマBj 割り込みの処理ルーチンでポートのレベルを読んで、カウンタがオーバフローしたか、有効エッジが入力されたかを判断してください。

29.8 三相モータ制御用タイマ機能使用上の注意

29.8.1 シャットダウン機能

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

29.8.2 レジスタ設定

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

29.9 シリアルインタフェース使用上の注意

29.9.1 UiBRG レジスタ (i=0~10) の変更

- UiBRG レジスタは UiC0 レジスタの CLK1~CLK0 ビットを設定した後に書いてください。また、CLK1~CLK0 ビットを変更した場合は、UiBRG レジスタも設定し直してください。
- UiBRG レジスタに“00h”を書いた場合、直後にカウンタが動作し“FFh”になる場合があります。この場合、設定した“00h”がリロードされるまで256クロック余分に時間がかかります。“00h”がリロードされた後は、設定どおり分周なしになります。

29.9.2 クロック同期モード

29.9.2.1 外部クロック選択

- 外部クロックを選択している場合、UiC0 レジスタ (i=0~10) の CKPOL ビットが“0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力) のときは外部クロックが“H”の状態、CKPOL ビットが“1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力) のときは外部クロックが“L”の状態以下の条件を満たしてください。
 - UiC1 レジスタの TE ビットが“1” (送信許可)
 - UiC1 レジスタの RE ビットが“1” (受信許可)
 - UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)
送信のみの場合は RE ビットの設定は不要

29.9.2.2 受信

- クロック同期モードでは送信制御回路で送受信クロックを制御します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TXDi 端子 (i=0~10) からはダミーデータが外部に出力されます。
- 連続してデータを受信した場合、UiC1 レジスタの RI ビットが“1” (UiRB レジスタにデータあり) のときに次の受信データの7ビット目を受信するとオーバランエラーが発生し、UiRB レジスタの OER ビットが“1” (オーバランエラー発生) になります。この場合、UiRB レジスタは不定になります。オーバランエラーが発生したときは SiRIC レジスタの IR ビットは“1”に変化しません。

29.9.3 特殊モード1 (I²C モード)

- スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4 レジスタ (i=0~6) の STSPSEL ビットを“0”にした後、送受信クロックの半クロック以上待ってから、各コンディション生成ビット (STAREQ ビット、RSTAREQ ビット、STPREQ ビット) を“0”から“1”にしてください。

29.9.4 通信異常時または通信中断/再開時の処理

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

また、緊急時の対応などで通信を中断/再開する場合も同様に、以下の手順で実施してください。

A. クロック同期モードの場合

- (1) UiC1 レジスタ (i=0~10) の TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にする。
- (2) UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェース無効) にする。
- (3) UiMR レジスタの SMD2~SMD0 ビットを“001b” (クロック同期型シリアルインタフェースモード) にする。
- (4) 必要に応じて UiC1 レジスタの TE ビットを“1” (送信許可)、RE ビットを“1” (受信許可) にする。

B. UART モードの場合

- (1) UiC1 レジスタの TE ビットを“0” (送信禁止)、RE ビットを“0” (受信禁止) にする。
- (2) UiMR レジスタの SMD2~SMD0 ビットを“000b” (シリアルインタフェース無効) にする。
- (3) UiMR レジスタの SMD2~SMD0 ビットを“100b” (UART モード キャラクタ長 7 ビット) または、“101b” (UART モード キャラクタ長 8 ビット)、“110b” (UART モード キャラクタ長 9 ビット) にする。
- (4) 必要に応じて UiC1 レジスタの TE ビットを“1” (送信許可)、RE ビットを“1” (受信許可) にする。

29.10 A/Dコンバータ使用上の注意

29.10.1 基板設計上の注意点

- ノイズによる誤動作やラッチアップの防止、または変換誤差の低減のため、AVCC端子、VREF端子、アナログ入力端子(AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, AN15_0~AN15_7)とAVSS端子の間にそれぞれコンデンサを挿入してください。図 29.1に端子の処理例を示します。

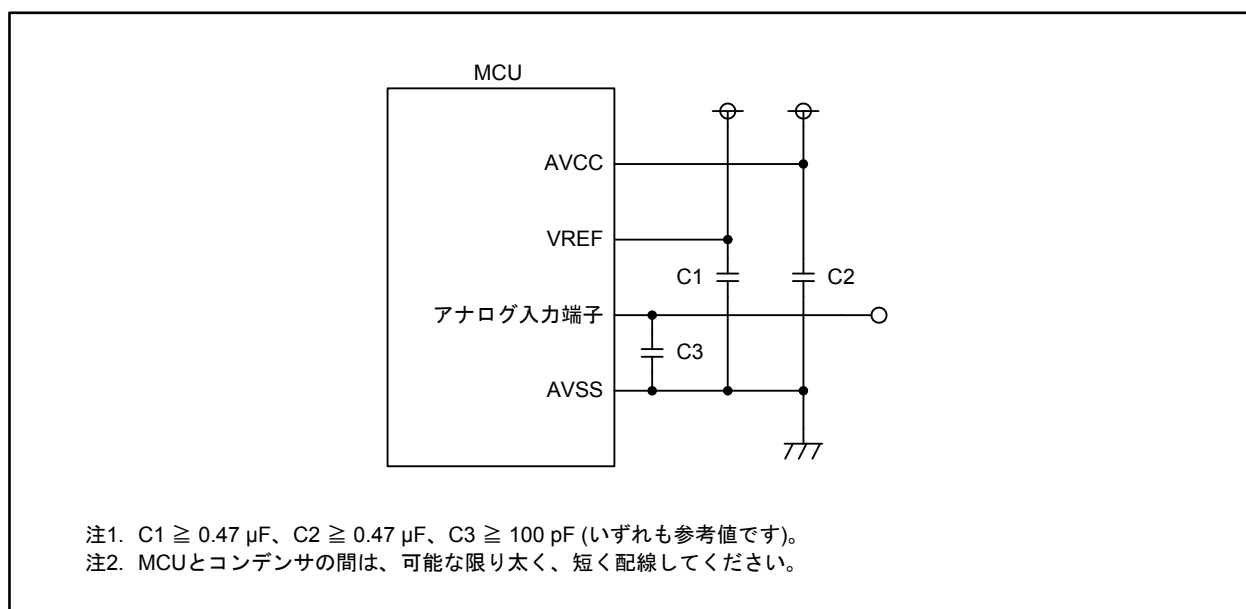


図 29.1 A/D関連端子の処理例

- キー入力割り込みを使用する場合、AN_4~AN_7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧がVIL以下になると、キー入力割り込み要求が発生します)。
- AVCC = VREF = VCCの場合、AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、AN15_0~AN15_7、ANEX0、ANEX1のA/D入力電圧はVCC以下にしてください。

29.10.2 プログラム作成上の注意点

- AD0CON0レジスタ(ADSTビットを除く)、AD0CON1レジスタ、AD0CON2レジスタ、AD0CON3レジスタ、AD0CON4レジスタ、AD0CON5レジスタは、A/D変換停止時(トリガ発生前)に書いてください。
- AD0CON1レジスタのVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μs 以上経過した後にA/D変換を開始させてください。A/D変換を行わないときは、消費電流を低減させるためにVCUTビットを“1”から“0”にしてください。
- アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力)にしてください。また、対応するポートの機能選択レジスタのASELビットを“1”(A/D入力として使用する)にしてください。
- AD0CON0レジスタのTRGビットが“1”(外部トリガ・ハードウェアトリガ)の場合は、ADTRG端子に対応するポート方向ビット(PD9_7ビット)は“0”(入力)にしてください。

- ϕ ADは、VCC = 4.2 ~ 5.5 Vのとき 16 MHz以下に、VCC = 3.0 ~ 4.2 Vのとき 10 MHz以下にしてください。サンプル&ホールド機能なしの場合、 ϕ ADの周波数は250 kHz以上にしてください。サンプル&ホールド機能ありの場合、 ϕ ADの周波数は1 MHz以上にしてください。
- A/D動作モード(AD0CON0レジスタのMD1~MD0ビット、AD0CON1レジスタのMD2ビット)を変更した場合は、AD0CON0レジスタのCH2~CH0ビットまたは、AD0CON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。
- A/D変換結果がAD0iレジスタ (i=0~7)に格納される時にCPUがAD0iレジスタを読んだ場合、誤った値がAD0iレジスタに格納されることがあります。A/D変換が完了したことを確認してからAD0iレジスタを読んでください。
単発モード、単掃引モードを使用する場合は、AD0ICレジスタのIRビットが“1”(割り込み要求あり)になったことを確認してから対象のAD0iレジスタを読んでください。
繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1を使用する場合は、AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にすれば変換完了ごとに割り込み要求を発生させることができます。上と同様、AD0ICレジスタのIRビットが“1”(割り込み要求あり)になったことを確認してからAD00レジスタを読んでください。
- A/D変換中にAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にしてA/D変換を中断した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD0iレジスタも不定になる場合があります。A/D変換を中断した場合は、いずれのAD0iレジスタの値も使用しないでください。
- DMAC利用モードでは、外部トリガは使用できません。また、変換結果をDMACで転送する場合、AD00レジスタをプログラムで読まないでください。
- 単掃引モードでA/D変換中にAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にしてA/D変換を中断した場合、掃引が終了していないにもかかわらず割り込み要求が発生することがあります。A/D変換を中断する場合は、割り込みを禁止した後、ADSTビットを“0”(A/D変換停止)にしてください。

29.11 フラッシュメモリ書き換えに関する注意

29.11.1 電源電圧に関する注意事項

- フラッシュメモリ書き換え中の電源電圧は、電気的特性に定める電圧の範囲で一定の電圧を供給してください。書き換え中に保証値を超える電圧変動があった場合、フラッシュメモリの保証はできません。

29.11.2 ハードウェアリセットに関する注意事項

- フラッシュメモリ書き換え中は、ハードウェアリセットを行わないでください。

29.11.3 フラッシュメモリプロテクトに関する注意点

- IDコードの格納番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み書きができなくなります。

29.11.4 プログラム作成上の注意点

- 低速モード、低消費電力モードでは、FMCR レジスタのFEWビットを“1” (CPU書き換えモード) にしないでください。また、CPU書き換えモード中にウェイトモード/ストップモードに移行しないでください。
- プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラムは、NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧低下検出割り込みで中断されます。これらのソフトウェアコマンドが中断された場合、当該ブロックをイレーズした後に再度同じコマンドを実行してください。特にブロックイレーズが中断された場合、ロックビットとプロテクトビットの値は不定になりますので、ロック解除後再度ブロックイレーズを実施してください。
- ノンマスクابل割り込みの割り込み処理ルーチン内では、CPU書き換えモードを使用しないでください。

29.11.5 割り込み使用上の注意点

- EW0モード
 - 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
 - NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧低下検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。なお、FMR1レジスタはリセットされませんので、SUSENビットは割り込み処理ルーチン内で“0”(サスペンド機能禁止)にしてください。
 - BRK命令、INTO命令、UND命令は、フラッシュメモリ上のデータを参照するため使用できません。
- EW1モード
 - 可変ベクタテーブルのある領域のプログラム/ブロックイレーズ中に、可変ベクタテーブルにベクタを持つ割り込みが受け付けられないようにしてください。
 - ウォッチドッグタイマ割り込みが発生しないようにしてください。

- NMI、発振停止検出割り込み、電圧低下検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR0レジスタのEWMビットを“1”(EW1モード)、FMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。なお、FMR1レジスタはリセットされませんので、SUSENビットは割り込み処理ルーチン内で“0”(サスペンド機能禁止)にしてください。

29.11.6 書き換え制御プログラムの書き換えに関する注意点

- EW0モード
 - 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後のフラッシュメモリ書き換えができなくなることがあります。書き換えできなくなった場合は、シリアルライター、パラレルライターを使用して書き換えてください。
- EW1モード
 - 書き換え制御プログラムが格納されているブロックは書き換えしないでください。

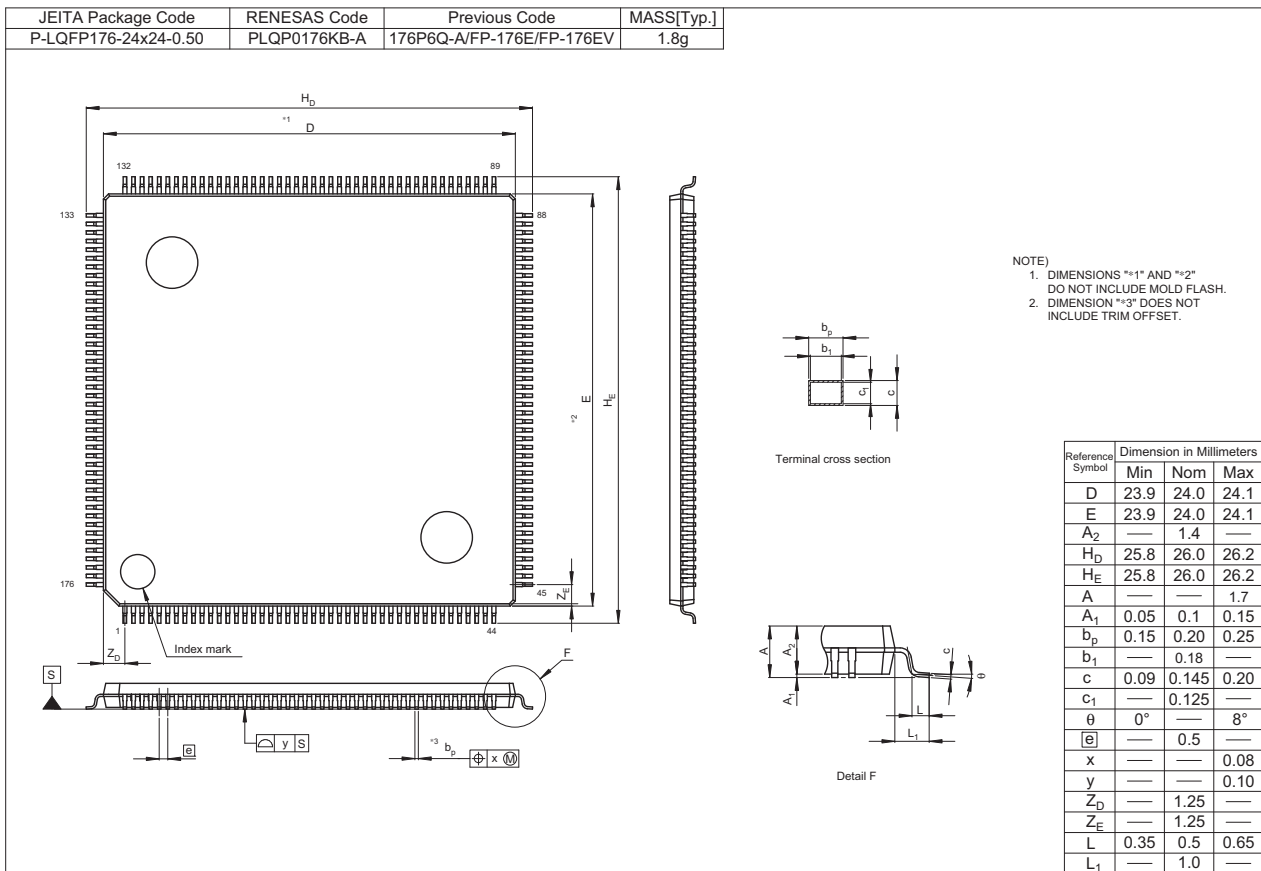
29.11.7 プログラム、イレーズ回数とソフトウェアコマンド実行時間

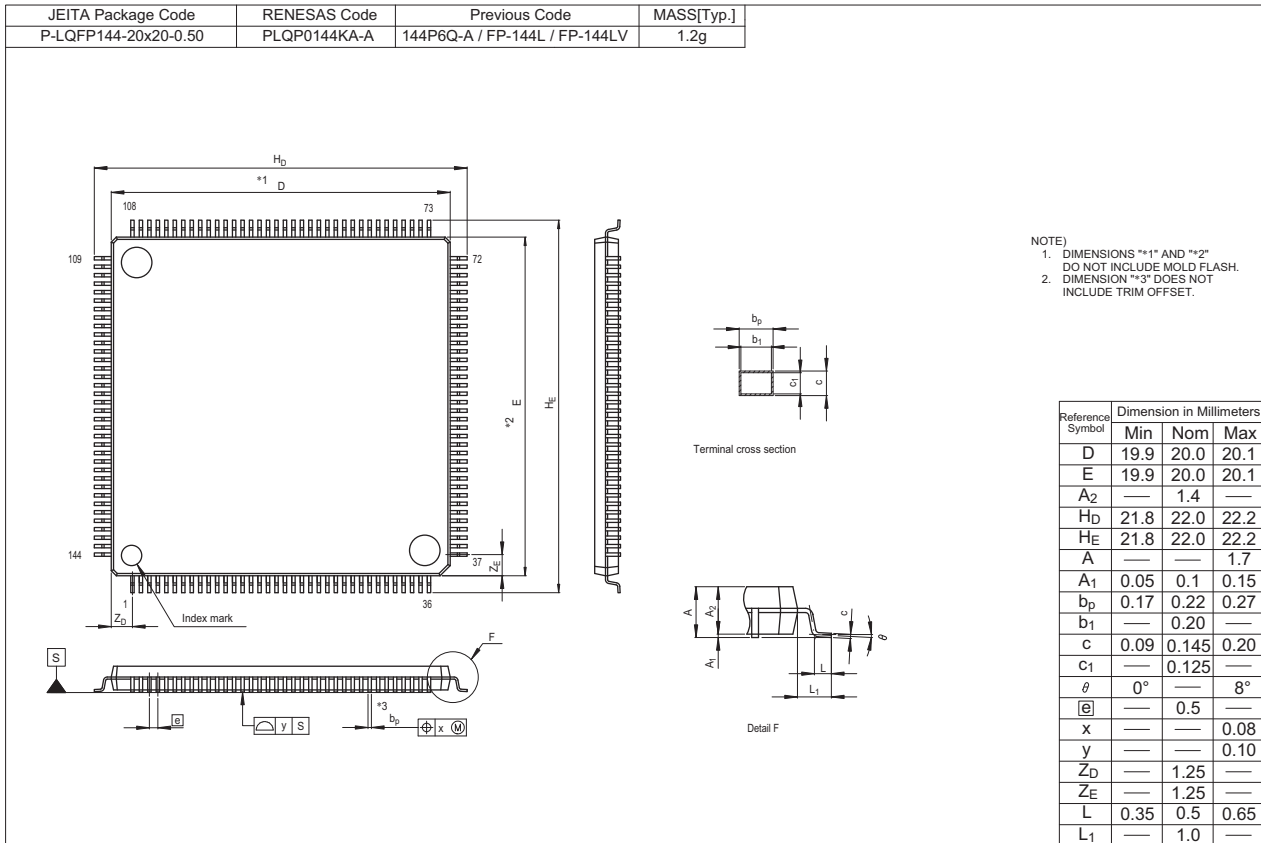
- ソフトウェアコマンド(プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラム)の実行時間は、プログラム、イレーズ回数の増加とともに長くなります。特に、プログラム、イレーズ回数が電气的特性に定めるプログラム、イレーズ回数を超えると、ソフトウェアコマンドの実行時間は著しく長くなるため、ソフトウェアコマンドの待ち時間の設定は電气的特性に定める最大時間以上に設定してください。

29.11.8 その他の注意事項

- 電气的特性に定めるプログラム、イレーズ回数は当初の性能を保証できるプログラム、イレーズ回数の最大値です。この回数を超えると直ちにプログラム、イレーズができなくなるわけではありません。
- デバッグでプログラム、イレーズを繰り返したチップは、量産時には使用しないでください。

付録 1. 外形寸法図





索引

A

A0	26
A1	26
A2	26
A3	26
AD00~AD07	294
AD0CON0	289
AD0CON1	290
AD0CON2	291
AD0CON3	292
AD0CON4	293
AD0CON5	293
AD0IC	140

B

BCN0IC~BCN6IC	140
BRK2 命令割り込み	131
BRK 命令割り込み	131
BTSR	326
B フラグ	27

C

CB01	108
CB12	109
CB23	109
CCR	74
CM0	75
CM1	76
CM2	77
CM3	77
CPSRF	78
CRCD	311
CRCIN	312
CSOP0	107
CSOP1	107
CSOP2	108
C フラグ	27

D

DA0, DA1	310
DACON	310
DCR0~DCR3	29, 167
DCT0~DCT3	29, 166
DDA0~DDA3	29, 168
DDR0~DDR3	29, 168
DM0IC~DM3IC	140

DM0SL~DM3SL	162
DM0SL2~DM3SL2	163
DMA ソースアドレスリロードレジスタ	29
DMA ソースアドレスレジスタ	29
DMA ターミナルカウントリロードレジスタ	29
DMA ターミナルカウントレジスタ	29
DMA デスティネーションアドレスリロードレジスタ	29
DMA デスティネーションアドレスレジスタ	29
DMA モードレジスタ	29
DMD0~DMD3	29, 166
DP ビット	28
DSA0~DSA3	29, 167
DSR0~DSR3	29, 167
DTT	232
DVCR	66
D フラグ	27

E

EBC0~EBC3	112
-----------	-----

F

FB	26
FBPM0	447
FBPM1	448
FBPM2	448
FEBC	444
FLG	26
FMCR	443
FMR0	445
FMR1	446
FMSR0	447
FO フラグ	27
FPR0	445
FU フラグ	27

G

G0BCR0~G2BCR0	323
G0BCR1, G1BCR1	324
G0BT~G2BT	322
G0FE~G2FE	332
G0FS, G1FS	331
G0PO0~G0PO7	331
G0POCR0~G0POCR7	329
G0TM0~G0TM7	328
G0TMCR0~G0TMCR7	327
G0TPR6, G0TPR7	327
G1PO0~G1PO7	331
G1POCR0~G1POCR7	329
G1TM0~G1TM7	328

G1TMCR0~G1TMCR7	327
G1TPR6, G1TPR7	327
G2BCR1	325
G2CR	359
G2MR	358
G2PO0~G2PO7	331
G2POCR0~G2POCR7	330
G2RB	358
G2RTP	332
G2TB	357

I

I2CCCR	371
I2CCR0	369
I2CCR1	375
I2CCR2	378
I2CIC	140
I2CLIC	140
I2CMR	384
I2CSAR	368
I2CSR	380
I2CSSCR	373
I2CTRSR	367
ICTB2	225
IDB0, IDB1	225
IEAR	360
IECR	360
IERIF	361
IETIF	361
IFS0	423
IFS2	424
IFS3	425
IFSR0	149, 251
IFSR1	150, 252
IIO0IC~IIO11IC	140
IIO0IE~IIO11IE	154
IIO0IR~IIO11IR	153
INT0IC~INT8IC	141
INTB	26
INT 命令割り込み	131
INVC0	222
INVC1	223
IOBC	224
IPL	28, 139
ISP	26
Iフラグ	27

K

KUPIC	140
-------------	-----

L

LVDC	65
------------	----

N

NMI	132
-----------	-----

O

OFS	159
ONSF	195
Oフラグ	27

P

P0~P19	187
P0_0S~P0_7S	402
P10_0S~P10_7S	413
P1_0S~P1_7S	403
P11_0S~P11_7S	414
P12_0S~P12_7S	415
P13_0S~P13_7S	416
P14_3S~P14_7S	417
P15_0S~P15_7S	418
P16_0S~P16_7S	419
P17_0S~P17_7S	420
P18_0S~P18_7S	421
P2_0S~P2_7S	404
P3_0S~P3_7S	405
P4_0S~P4_7S	406
P5_0S~P5_7S	407
P6_0S~P6_7S	408
P7_0S~P7_7S	409
P8_0S~P8_4S, P8_6S, P8_7S	410
P9_0S~P9_7S	411
PAPR	397
PAWF	398
PBC	104
PC	26
PCR	430
PC 退避レジスタ	28
PD0~PD19	400
PLC0	83
PLC1	84
PM0	70
PM2	79
PM3	80
PRCR	127
PRCR2	128
PRCR3	128
PRCR4	129
PRR	129

PUR0	426
PUR1	427
PUR2	427
PUR3	428
PUR4	428
PUR5	429

R

R2R0	26
R3R1	26
R6R4	26
R7R5	26
RIPL1, RIPL2	143, 176
RND	28

S

S0RIC~S10RIC	140
S0TIC~S10TIC	140
SB	26
SP	26
SVF	28
SVP	28
Sフラグ	27

T

TA0~TA4	192
TA0IC~TA4IC	140
TA0MR~TA4MR	193, 198, 201, 204, 206
TA1, TA2, TA4	228
TA11, TA21, TA41	228
TA1MR, TA2MR, TA4MR	229
TABSR	193, 210, 230
TB0~TB5	209
TB0IC~TB5IC	140
TB0MR~TB5MR	209, 211, 213, 215
TB2	226
TB2MR	227
TB2SC	227
TBSR	210
TCSPR	78, 196
TRGSR	196, 230

U

U0BRG~U10BRG	248
U0C0~U6C0	241
U0C1~U6C1	243
U0RB~U6RB	249
U0SMR~U6SMR	245

U0SMR2~U6SMR2	246
U0SMR3~U6SMR3	247
U0SMR4~U6SMR4	248
U0TB~U10TB	249
U78CON	244
U7C0~U10C0	242
U7C1~U10C1	243
U7MR~U10MR	240
U7RB~U10RB	250
U910CON	244
UDF	194
USP	26
Uフラグ	27

V

VCT	28
VRCR	63

W

WDC	157
WDK	158
WDTS	158

X

X0R~X15R	314
XYC	314

Y

Y0R~Y15R	315
----------------	-----

Z

Zフラグ	27
------------	----

あ

アドレスレジスタ	26
----------------	----

う

ウォッチドッグタイマ割り込み	132
----------------------	-----

お

オーバフローフラグ	27
オーバフロー割り込み	131

き		ふ	
キャリーフラグ	27	浮動小数点アンダフローフラグ	27
		浮動小数点オーバフローフラグ	27
こ		浮動小数点丸め演算モード	28
高速割り込み	132	フラグ退避レジスタ	28
固定小数点位置指定ビット	28	フラグレジスタ	26
		フレームベースレジスタ	26
さ		プログラムカウンタ	26
サインフラグ	27	プロセッサ割り込み優先レベル	28, 139
		へ	
し		ベクタレジスタ	28
周辺機能割り込み	132		
シングルステップ割り込み	132	ま	
		マスクابل割り込み	130
す		み	
スタックポインタ	26	未定義命令割り込み	131
スタックポインタ指定フラグ	27		
スタティックベースレジスタ	26	ゆ	
		ユーザスタックポインタ	26
せ			
ゼロフラグ	27	れ	
		レジスタバンク指定フラグ	27
そ			
ソフトウェア割り込み	131	わ	
		割り込み	
て		分類	130
データレジスタ	26	レジスタ退避	146
デバッグフラグ	27	割り込み応答時間	145
電圧低下検出回路	65	割り込み許可フラグ	27
電圧低下検出割り込み	67, 132	割り込みシーケンス	144
		割り込みスタックポインタ	26
と		割り込み制御レジスタ	140
特殊割り込み	132	割り込みベクタテーブルベースレジスタ	26
		割り込み要求レベル	141
の			
ノンマスクابل割り込み	130		
		は	
は		ハードウェア割り込み	132
ハードウェア割り込み	132	発振停止検出割り込み	132

改訂記録	R32C/116Aグループ ユーザーズマニュアル ハードウェア編
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2010.03.03	—	初版発行
1.00	2010.07.26	—	第二版発行
		—	•新ルネサスフォーマットに変更
		3, 5 6 8 20	「1. 概要」 •表 1.2、表 1.4 消費電流値を記載、注1削除 •表 1.5 パッケージコードを修正 •図 1.2 注1削除 •表 1.15 クロック出力の「fC」を「低速クロック」に修正
		38 41 43 45 57	「4.SFR」 •表 4.8 「IE Bus」を「IEBus」に修正 •表 4.11 「XY制御レジスタ」を「X-Y制御レジスタ」に修正 •表 4.13 TABSR、ONSF、TRGSR レジスタのリセット後の値を2進数に変更 •表 4.15 AD0CON2 レジスタのリセット後の値を修正 •表 4.27 I2CSSCR、I2CCR1、I2CCR2、I2CSR、I2CMR レジスタのリセット後の値を修正
		58	「5.リセット」 •5.1 B (2) 「条件を満たすレベル」を「条件を満たす電圧」に変更
		73 74 75 76 77 79 80 84 87 89 90 91-95 91-92 93-95 93 94, 95 97 98 99	「8.クロック発生回路」 •図 8.1 CLKOUT セレクタの fC 入力を低速クロックに修正 •図 8.2 注2 最後の文章を削除、注6追記 •図 8.3 CM01~CM00 ビットの機能欄「fC」を「低速クロック」に修正、注7一部変更、注8追加 •図 8.4 注4追加 •図 8.6 注1追記 •図 8.9 PM26 ビット「クロックソース」を「クロック源」に変更、注3 各ビットのカッコ内の記述を修正、注8追加 •図 8.10 注1追記 •図 8.15 SEO ビットの「モード」を「動作」に変更 •8.2.1 発振停止検出後の処置として CM05 ビットを“1”にする方法を追加 •8.6 本文、表 8.3、表 8.4 「fC」を「低速クロック」に修正 •8.7 本文 見直し •8.7 構成変更、図 8.17~図 8.19 を 8.7.1 項に移動 •8.7.1 (1)~(3)、(5) 本文 見直し、図 8.17~図 8.19 に関する説明を追加 •図 8.17~図 8.19 メインクロック停止と CM05=1 を分割 •図 8.17 注4削除 •図 8.18、図 8.19 注3削除 •表 8.5 「fC」を「低速クロック」に修正 •8.7.2.4 本文 見直し •表 8.6 注1 追加 •8.7.3 本文 1行目 例外を追加

改訂記録	R32C/116Aグループ ユーザーズマニュアル ハードウェア編
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		100	<ul style="list-style-type: none"> 表 8.7 「fC」を「低速クロック」に修正 8.7.3.3 本文 一部見直し 表 8.8 外部割り込みに条件を追加
		114	「9. バス」 <ul style="list-style-type: none"> 表 9.2 バス形式行の見出しにEXMPXビットの値を追加、マルチプレクスバスのみをの時のP4_0~P4_3の機能を入出力ポートのみに修正 図 9.15 (1) A8~A15をA0/D0~A7/D7と同様の波形に修正、注2追加 9.3.6 本文 ALE 信号が“L”になるタイミングを変更
		121	
		148	「11. 割り込み」 <ul style="list-style-type: none"> 図 11.8 RIPL2レジスタ関連部分を削除、「DMAC II」を「DMA II 転送完了」に変更 図 11.13 b0の機能欄「書く場合、“0”を書いてください」を削除、注3「書いても変化しません」を「書かないでください」に修正 11.14.3 3項目目を全文修正
		153	
		155	
		157	「12. ウォッチドッグタイマ」 <ul style="list-style-type: none"> 図 12.2 注1追加 図 12.5 注3追記
		159	
		190	「16. タイマ」 <ul style="list-style-type: none"> 図 16.2 割り込み信号とオーバフロー/アンダフロー信号を分離
		223	「17. 三相モータ制御用タイマ機能」 <ul style="list-style-type: none"> 図 17.3 INV13ビットの機能欄「タイマA」を「タイマA1」に修正 図 17.8 MR2、MR3ビットの機能を修正 図 17.9 PWCONビットの機能欄 記載内容を修正 図 17.17 (1) 1項目目のビット設定の説明部を修正 17.6.1 条件の記載順序を変更 17.6.2 本文 「オーバフロー」を「アンダフロー」に修正
		227	
		233	
		235	
		264, 265	
		286	「18. シリアルインタフェース」 <ul style="list-style-type: none"> 図 18.26、図 18.27 「外部ロック」を「外部クロック」に修正 18.5.4 「通信異常時の対処方法」項を追加
		319	「23. インテリジェントI/O」 <ul style="list-style-type: none"> 図 23.1 「INT0端子からの要求」を「INT0端子またはINT1端子からの要求」に修正 図 23.2 「INT1端子からの要求」を「INT0端子またはINT1端子からの要求」に修正 図 23.6 RST2ビット機能欄 「INTi端子」を「INT0/INT1端子」に修正、注3記載内容を修正 表 23.2 ベースタイマリセット条件欄の記載内容を修正 図 23.18 「INTi端子」を「INT0/INT1端子」に修正、「i=0~2」を図タイトル部へ移動 図 23.19、図 23.20 「(i=0, 1)」を図タイトル部へ移動 23.4 本文 注1削除
		320	
		324	
		333	
		335	
		336, 337	
		357	
		—	「24. マルチマスタI ² Cバスインタフェース」 <ul style="list-style-type: none"> 用語「インタフェース回路」を「インタフェース」に変更

改訂記録	R32C/116Aグループ ユーザーズマニュアル ハードウェア編
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		—	•用語「ジェネラルコール」を「ジェネラルコールアドレス」に修正
		—	•「xxxフラグ」を「xxxビット」に修正(xxxはビットシンボル)
		—	•I2CCR0レジスタのICEビットが“1”の場合の補足説明部を「(I2Cバスインタフェース有効)」に修正
		—	•I2CCR0レジスタのRSTビットに対して「“1”にしたとき」を「“1”を書いたとき」に修正
		—	•I2CCR1レジスタのACKCLKビットが“0”の場合と“1”の場合の補足説明部をそれぞれ「(ACKCLK非生成)」と「(ACKCLK生成)」に修正
		371	•24.1.4 本文「I2CCCRレジスタのACKCLKビット」を「ACKDビット」に修正
		375	•図24.9 注2と注3を入れ替え、「(注2)」を機能欄からビット名欄に移動、ビットシンボル「ICKO(オー)」を「ICK0(ゼロ)」に修正
		379	•24.1.7.3 本文「TOSELビットを“1”」を「TOSELビットを“0”」に、「TOEビットを“0”」を「TOSELビットを“1”」に修正
		380	•24.1.7.4 本文「IICK4~ICK2」を「ICK4~ICK2」に修正
		380	•図24.13 「(注1)」~「(注3)」を機能欄からビット名欄に移動、TRS、MSTビットの機能欄に「(注1)」を追加
		381	•24.1.8.4 本文「アービトレーションを失ったデータの送信が完了した後」を「アービトレーションロストとなったバイトの最後で」に修正
		382	•24.1.8.7 本文「R/Wビット」を「R/ \bar{W} ビット」に修正
		383	•24.1.8.8 本文「失った1バイトデータの」を「当該バイトの」に変更
		387	•24.3 本文 下から2行目の「(I2Cバスインタフェース有効)」を「(I2Cバスインタフェース機能停止)」に修正
		390	•表24.10 見出しの「標準クロックモード」、「高速クロックモード」をそれぞれ「標準モード」、「高速モード」に修正
		393	•24.6.2 本文「(A)~(C)」を「(A)~(D)」に、「図24.23」を「図24.24」に修正
		395	•図24.27 「TRXビット」を「TRSビット」に、下側の「リセット対象ビット」を「セット対象ビット」に修正、TRSビットの補足説明を修正
		437	「27.フラッシュメモリ」 •表27.3 ROMコードプロテクトの対象から「消去」を削除、併せて解除方法も修正、IDコードプロテクトの対象に「消去」を追加
		439	•27.2.2 本文「シリアルライターを使って」を削除
		440	•図27.2 FFFFFFFEFh番地の「予約」を「OFS」に変更、注1追加
		440	•27.2.5 本文一部変更
		442	•表27.7 「プログラム、イレーズコマンド」を「プログラムコマンド/ブロックイレーズコマンド」に、「リードステータスレジスタコマンド」を「リードステータスレジスタモード移行コマンド」に修正
		450, 452	•図27.13、図27.14 信号線名を削除
		440, 441	•図27.24、図27.25 注3 「フラッシュ」を「フラッシュメモリ」に修正
		—	「28.電気的特性」 •新規作成

改訂記録	R32C/116Aグループ ユーザーズマニュアル ハードウェア編
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		519 524 526	「29. 使用上の注意事項」 ・29.5.3 3項目目を全文修正 ・29.8.1 条件の記載順序を変更 ・29.8.2 本文「オーバフロー」を「アンダフロー」に修正 ・29.9.4 「通信異常時の対処方法」項を追加
		531, 532	「付録1. 外形寸法図」 ・基準面情報を追加
1.10	2012.03.12	— —	第三版発行 ・資料番号を「RJ09B0610-0100」から「R01UH0213JJ0110」に変更
		6 9, 15 11, 16 14 24	「1. 概要」 ・表1.5 製品ステータスを更新 ・図1.3、図1.4 信号名の記載順を変更 ・表1.7 44番ピン、表1.11 36番ピン タイマ端子名の記載順を変更 ・表1.10 「インテリジェントI/O / オーディオI/F端子」を「インテリジェントI/O端子」に修正 ・表1.19 P2_0~P2_7 「選択可能な機能」として、「Nチャンネルオープンドレイン出力」を追加、注1、注3 説明文を見直し
		36, 37, 39	「4. SFR」 ・表4.6、表4.7、表4.9 GiBCR0レジスタのリセット後の値を2進数に変更
		61	「5. リセット」 ・5.2、5.3 本文一部見直し
		69	「7. プロセッサモード」 ・7.2 注1、注2 説明文を見直し
		72 73 75 76 87	「8. クロック発生回路」 ・8.1 本文、表8.1 一部表現を見直し ・図8.1 PLL発振停止条件にBCSビットを追加 ・図8.3 注8 追記 ・図8.4 注2 一部変更 ・8.2 「(図8.17 状態遷移図(サブクロック使用時)参照)」を削除
		105 107, 108 108, 109 109 110, 111	「9. バス」 ・9.3.1 本文 一部見直し、「<」を「≤」に修正 ・図9.4~図9.6 注2 削除 ・図9.7、図9.8 設定範囲の最小値を「02h」に変更 ・図9.7~図9.9 注2 「設定値より大きい値」を「設定値以上の値」、「設定値より小さい値」を「設定値以下の値」に変更 ・図9.8、図9.9 設定範囲の最大値を「F8h」(メモリ拡張モード時)、「FFh」(マイクロプロセッサモード時)に変更 ・図9.10、図9.11 注1 「ポート4」を「ポートP4」に修正
		170	「13. DMAC」 ・表13.5 外部バスアドレス「00060000h」を「00080000h」に修正

改訂記録	R32C/116Aグループ ユーザーズマニュアル ハードウェア編
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		177, 178	「14. DMAC II」 <ul style="list-style-type: none"> • 14.1.2 本文、図 14.2、表 14.2 上部 「転送完了割り込みベクタアドレス」を「転送完了割り込み処理分岐先アドレス」に変更
		177, 180 178	<ul style="list-style-type: none"> • 図 14.2、14.1.4 「割り込みベクタ」を「割り込みベクタ領域」に変更 • 表 14.2 上部 「転送完了割り込み処理の飛び先アドレス」を「転送完了割り込み処理ルーチンの先頭番地」に変更
		228	「17. 三相モータ制御用タイマ機能」 <ul style="list-style-type: none"> • 17.3 本文 一部削除
		243	「18. シリアルインタフェース」 <ul style="list-style-type: none"> • 図 18.7 UiIRS ビットの機能欄「UiTB レジスタ空」を「送信バッファ空」に変更
		256	<ul style="list-style-type: none"> • 図 18.21 「TXEPT フラグ」を「TXEPT ビット」に修正、「UiIRS ビット」を「UiIRS ビット」に修正
		297-299	「19. A/D コンバータ」 <ul style="list-style-type: none"> • 19.1.3~19.1.5 本文、表 19.4~表 19.6 一部表現を見直し
		299	<ul style="list-style-type: none"> • 表 19.6 見出し「重点的に行う端子」を「重点的にA/D変換を行う端子」に変更
		311	「21. CRC 演算回路」 <ul style="list-style-type: none"> • 図 21.1 データの流れを示す矢印を追加
		313	<ul style="list-style-type: none"> • 図 21.4 「16(8)ビット左シフト」を「左へ16(8)ビットシフト」に変更
		322	「23. インテリジェントI/O」 <ul style="list-style-type: none"> • 図 23.4 注2 一部表現を変更
		327	<ul style="list-style-type: none"> • 図 23.9 注3 削除
		366	「24. マルチマスタ I ² C バスインタフェース」 <ul style="list-style-type: none"> • 表 24.2 「スレーブ送受信時」を「スレーブ受信時」に変更、アービトレーションロスト検出の機能欄 一部表現を見直し
		388, 389	<ul style="list-style-type: none"> • 図 24.19、図 24.22 「VIIC」を「φIIC」に修正
		399	「26. 入出力端子」 <ul style="list-style-type: none"> • 26 本文、図 26.1 プルアップ抵抗が切り離される要因からASEL を除外
		442	「27. フラッシュメモリ」 <ul style="list-style-type: none"> • 表 27.7 下本文「図 27.4~図 27.11」を「図 27.4~図 27.12」に修正
		484, 497	「28. 電気的特性」 <ul style="list-style-type: none"> • 表 28.16、表 28.42 MSCL、MSDA を追加
1.20	2014.07.31	—	第四版発行
		1	「1. 概要」 <ul style="list-style-type: none"> • 1.1 本文 8行目 「I²C」を「I²Cバスインタフェース」に修正
		3, 5	<ul style="list-style-type: none"> • 表 1.2、表 1.4 動作周囲温度からNバージョンを削除
		6	<ul style="list-style-type: none"> • 表 1.5 「計画中(計)」の製品をすべて削除
		7	<ul style="list-style-type: none"> • 図 1.1 温度特性からNバージョンを削除
		39-44 54	「4. SFR」 <ul style="list-style-type: none"> • 表 4.9~表 4.14、表 4.24 「UARTi 転送速度レジスタ」を「UARTi ビットレートレジスタ」に変更
		127	「10. プロテクト」 <ul style="list-style-type: none"> • 図 10.1 注1 PRC2 ビットに関係のない説明を削除

改訂記録	R32C/116Aグループ ユーザーズマニュアル ハードウェア編
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		161	「13. DMAC」 •表 13.1 「(i=0~3)」を表タイトル部に移動
		191 202 206	「16. タイマ」 •16.1 本文 ワンショットタイマモードに関する説明を修正 •図 16.13、図 16.14 端子名「INT2」を「INT2」に修正 •図 16.16 MR2ビットの機能欄「TAISビット」を「TAIOSビット」に修正
		233	「17. 三相モータ制御用タイマ機能」 •図 17.17 注2「INV1レジスタ」を「INVC1レジスタ」に修正
		— 237 247 248 254,255, 262,263, 272,281 255 256 258, 267 260 263 264, 265 266 270 272 286	「18. シリアルインタフェース」 •「送信レジスタ」を「送信シフトレジスタ」に、「受信レジスタ」を「受信シフトレジスタ」に変更 •「SS機能」を「スレーブセレクト機能」に変更 •図 18.1 SMD2~SMD0ビットの値「010」の位置を修正 •図 18.13 「モードフォルトエラー」を「モードフォルト」に、「BRG カウントソース」を「UiBRGレジスタのカウントソース」に修正、注2 一部表現を見直し •図 18.15 レジスタ名「UARTi転送速度レジスタ」を「UARTiビットレートレジスタ」に変更 •表 18.3、表 18.4、表 18.6、表 18.7、表 18.10、表 18.14 UiBRGレジスタの機能欄を修正 •表 18.4 UiC1レジスタ、U78CONレジスタのb7~b4を追加 •図 18.21 IRビットの波形を少し右へ移動 •18.1.1、18.2.2 本文 手順の記載方法を見直し •18.1.6 本文 2行目に「最終ビットまで送信した後、」を追加 •表 18.7 UiMRレジスタのb7、UiC1レジスタ、U78CONレジスタのb7~b4を追加 •図 18.26、図 18.27 「内部送受信クロック」を「内部送信クロック」に修正 •図 18.28 「送受信クロック」を「内部受信クロック」に修正、RIビットの波形を修正 •表 18.8 「BRG」を「UiBRG」に、「実時間」を「実際のビットレート」に修正 •表 18.9 割り込み要求発生タイミングの仕様欄を修正 •表 18.10 UiMRレジスタのb6~b4を追加 •18.5.4 通信中断/再開に関する記述を追加
		382	「24. マルチマスタI ² Cインタフェース」 •24.1.8.5 IRFビットが“1”になる条件の2項目目「WIT=1」を「RIE=1」に修正
		432, 433	「26. 入出力端子」 •表 26.2、表 26.3 注4「03E2h、03E3h、03E6h、03E7h番地」を「PD16~PD19レジスタ」に変更

改訂記録	R32C/116Aグループ ユーザーズマニュアル ハードウェア編
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
		474	「28. 電気的特性」 • 表 28.2 動作周囲温度から Nバージョンを削除
		516	「29. 使用上の注意事項」 • 表 29.2 「UARTi 転送速度レジスタ」を「UARTi ビットレートレジスタ」に変更
		526	• 29.9.4 通信中断/再開に関する記述を追加

R32C/116Aグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2010年3月3日 Rev.0.50
2014年7月31日 Rev.1.20

発行 ルネサスエレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/contact/>

R32C/116Aグループ