

M16C/5LD、M16C/56D グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

M16C ファミリ / M16C/50 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M16C/5LD、M16C/56D グループでは以下のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	M16C/5LD、M16C/56D グループデータシート	R01DS0132JJ0120
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください	M16C/5LD、M16C/56D グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	M16C/60、M16C/20、M16C/Tiny シリーズ ユーザーズマニュアル ソフトウェア編	RJJ09B0136
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクス ホームページに掲載されています	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0レジスタのPM03ビット
P3_5端子、VCC端子

(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例) 2進数: 11b
16進数: EFA0h
10進数: 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
・・・

アドレス
・・・h番地

リセット後の値
・・・b

ビットシンボル	ビット名	機能	RW
・・・0	・・・ビット	b1 b0 0 0 : ・・・ 0 1 : ・・・ 1 0 : 設定しないでください 1 1 : ・・・	RW *2
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		— *3
— (b3)	予約ビット	“1”にしてください	RW *4
— (b4)	予約ビット	“0”にしてください 読んだ場合、その値は不定	RW
・・・5	・・・ビット	動作モードによって機能が異なる	WO
・・・6			WO
・・・7	・・・フラグ	0: ・・・ 1: ・・・	RO

***1**

- 空白 : 用途に応じて“0”または“1”にしてください
- 0 : “0”にしてください
- 1 : “1”にしてください
- x : 何も配置されていないビットです

***2**

- RW : 読むとビットの値が読めます。書くと有効データになります
- RO : 読むとビットの値が読めます。書いた値は無効になります
- WO : 書くと有効データになります。ビットの値は読めません (読んだ場合は不定値が読めます)
- : 何も配置されていないビットです

***3**

- ・予約ビット
予約ビットです。指定された値にしてください。RWのビットについては、特に記載のない限り書いた値が読めます

***4**

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください
- ・設定しないでください
設定した場合の動作は保証されません
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください

4. 略語および略称の説明

略語/略称	フルスペル	説明
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

番地別ページ早見表	B-1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.2 仕様概要	2
1.3 製品一覧	6
1.4 ブロック図	8
1.5 ピン接続図	10
1.6 端子機能の説明	16
2. 中央演算処理装置	19
2.1 データレジスタ (R0、R1、R2、R3)	20
2.2 アドレスレジスタ (A0、A1)	20
2.3 フレームベースレジスタ (FB)	20
2.4 割り込みテーブルレジスタ (INTB)	20
2.5 プログラムカウンタ (PC)	20
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	20
2.7 スタティックベースレジスタ (SB)	20
2.8 フラグレジスタ (FLG)	20
2.8.1 キャリフラグ (Cフラグ)	20
2.8.2 デバッグフラグ (Dフラグ)	20
2.8.3 ゼロフラグ (Zフラグ)	20
2.8.4 サインフラグ (Sフラグ)	20
2.8.5 レジスタバンク指定フラグ (Bフラグ)	20
2.8.6 オーバフローフラグ (Oフラグ)	21
2.8.7 割り込み許可フラグ (Iフラグ)	21
2.8.8 スタックポインタ指定フラグ (Uフラグ)	21
2.8.9 プロセッサ割り込み優先レベル (IPL)	21
2.8.10 予約領域	21
3. メモリ	22
4. SFR	24
4.1 SFR	24
4.2 SFR使用上の注意事項	56
4.2.1 レジスタ設定時の注意事項	56
5. プロテクト	58
5.1 概要	58
5.2 レジスタの説明	58
5.2.1 プロテクトレジスタ (PRCR)	58
5.3 プロテクト使用上の注意事項	60

6.	リセット	61
6.1	概要	61
6.2	レジスタの説明	63
6.2.1	プロセッサモードレジスタ0 (PM0)	63
6.2.2	リセット要因判別レジスタ (RSTFR)	64
6.3	オプション機能選択領域の説明	65
6.3.1	オプション機能選択1番地 (OFS1)	65
6.4	動作説明	67
6.4.1	リセット後の状態	67
6.4.2	ハードウェアリセット	69
6.4.3	パワーオンリセット機能	70
6.4.4	電圧監視0リセット	71
6.4.5	電圧監視2リセット	71
6.4.6	発振停止検出リセット	72
6.4.7	ウォッチドッグタイマリセット	72
6.4.8	ソフトウェアリセット	72
6.5	リセット使用上の注意事項	73
6.5.1	電源立ち上がり勾配	73
6.5.2	パワーオンリセット	73
6.5.3	OSDRビット (発振停止検出リセット検出フラグ)	73
6.5.4	VCC < Vdet0の場合のハードウェアリセット	73
7.	電圧検出回路	74
7.1	概要	74
7.2	レジスタの説明	75
7.2.1	電圧検出2回路フラグレジスタ (VCR1)	76
7.2.2	電圧検出回路動作許可レジスタ (VCR2)	77
7.2.3	電圧監視機能選択レジスタ (VWCE)	78
7.2.4	電圧検出2レベル選択レジスタ (VD2LS)	79
7.2.5	電圧監視0回路制御レジスタ (VW0C)	80
7.2.6	電圧監視2回路制御レジスタ (VW2C)	81
7.3	オプション機能選択領域の説明	83
7.3.1	オプション機能選択1番地 (OFS1)	83
7.4	動作説明	84
7.4.1	デジタルフィルタ	84
7.4.2	電圧検出0回路	85
7.4.3	電圧検出2回路	87
7.5	割り込み	90
8.	クロック発生回路	91
8.1	概要	91
8.2	レジスタの説明	93

8.2.1	システムクロック制御レジスタ0 (CM0)	94
8.2.2	システムクロック制御レジスタ1 (CM1)	96
8.2.3	発振停止検出レジスタ (CM2)	98
8.2.4	周辺クロック選択レジスタ (PCLKR)	100
8.2.5	PLL制御レジスタ0 (PLC0)	101
8.2.6	プロセッサモードレジスタ2 (PM2)	102
8.3	クロック発生回路で生成するクロック	103
8.3.1	メインクロック	103
8.3.2	PLLクロック	104
8.3.3	125kHzオンチップオシレータクロック (fOCO-S)	104
8.3.4	サブクロック (fC)	105
8.4	CPUクロックと周辺機能クロック	106
8.4.1	CPUクロックとBCLK	106
8.4.2	周辺機能クロック (f1、fOCO-S、fC32、fC、メインクロック)	106
8.5	クロック出力機能	108
8.6	システムクロック保護機能	108
8.7	発振停止/再発振検出機能	109
8.7.1	CM27ビットが“0” (発振停止検出リセット)の場合の動作	109
8.7.2	CM27ビットが“1” (発振停止/再発振検出割り込み)の場合の動作	110
8.7.3	発振停止/再発振検出機能使用方法	111
8.8	割り込み	111
8.9	クロック発生回路使用上の注意事項	112
8.9.1	発振子を用いた発振回路	112
8.9.2	発振回路のノイズ対策	113
8.9.3	CPUクロック	114
8.9.4	発振停止/再発振検出機能	114
8.9.5	PLL周波数シンセサイザ使用時	115
9.	パワーコントロール	116
9.1	概要	116
9.2	レジスタの説明	116
9.2.1	フラッシュメモリ制御レジスタ0 (FMR0)	117
9.2.2	フラッシュメモリ制御レジスタ2 (FMR2)	118
9.3	クロック	119
9.3.1	通常動作モード	119
9.3.2	モード遷移手順	123
9.3.3	ウェイトモード	126
9.3.4	ストップモード	128
9.4	フラッシュメモリのパワーコントロール	130
9.4.1	フラッシュメモリの停止	130
9.4.2	フラッシュメモリの読み出し	131

9.5	消費電力を少なくするためのポイント	133
9.5.1	ポート	133
9.5.2	A/Dコンバータ	133
9.5.3	周辺機能の停止	133
9.5.4	発振駆動能力の切り替え	133
9.6	パワーコントロール使用上の注意事項	134
9.6.1	CPUクロック	134
9.6.2	ウェイトモード	134
9.6.3	ストップモード	134
9.6.4	低消費電流リードモード	135
9.6.5	スローリードモード	135
10.	プロセッサモード	136
10.1	概要	136
10.2	レジスタの説明	137
10.2.1	プロセッサモードレジスタ1 (PM1)	137
10.2.2	プログラム2領域制御レジスタ (PRG2C)	138
10.2.3	フラッシュメモリ制御レジスタ1 (FMR1)	139
10.3	ソフトウェアウェイト	140
10.4	バスホールド	140
11.	プログラマブル入出力ポート	141
11.1	概要	141
11.2	入出力ポート、端子の構成	142
11.3	レジスタの説明	149
11.3.1	$\overline{\text{NMI}}$ デジタルデバウンスレジスタ (NDDR)	150
11.3.2	P1_7 デジタルデバウンスレジスタ (P17DDR)	150
11.3.3	プルアップ制御レジスタ0 (PUR0)	151
11.3.4	プルアップ制御レジスタ1 (PUR1)	151
11.3.5	プルアップ制御レジスタ2 (PUR2)	152
11.3.6	ポート制御レジスタ (PCR)	153
11.3.7	端子割り当て制御レジスタ (PACR)	154
11.3.8	ポートPi レジスタ (Pi) (i=0~3, 6~10)	155
11.3.9	ポートPi 方向レジスタ (PDi) (i=0~3, 6~10)	156
11.4	周辺機能の入出力	157
11.4.1	周辺機能入出力とポート方向ビット	157
11.4.2	周辺機能入出力の優先順位	157
11.4.3	デジタルデバウンスフィルタ	158
11.5	未使用端子の処理	160
11.6	プログラマブル入出力ポート使用上の注意事項	162
11.6.1	端子割り当て制御	162
11.6.2	$\overline{\text{SD}}$ 入力の影響	162

11.6.3	入力閾値電圧	162
12.	割り込み	163
12.1	概要	163
12.2	レジスタの説明	164
12.2.1	プロセッサモードレジスタ2 (PM2)	166
12.2.2	割り込み制御レジスタ1 (BCNIC/TMOSIC、DM0IC~DM3IC、KUPIC/ADEIC、ADIC、S0TIC~S2TIC、 S0RIC~S3RIC、TA0IC~TA4IC、TB0IC~TB2IC、S4TIC/RTCCIC、S4RIC、C0WIC、 S3TIC/C0EIC、RTCTIC、C0RIC、C0TIC、C0FRIC、C0FTIC、ICOC0IC、ICOCH0IC、 ICOC1IC/ICIC、ICOCH1IC/SCLDAIC、ICOCH2IC~ICOCH3IC、BTIC)	167
12.2.3	割り込み制御レジスタ2 (INT3IC、INT5IC、INT4IC、INT0IC~INT2IC)	168
12.2.4	割り込み要因選択レジスタ3 (IFSR3A)	169
12.2.5	割り込み要因選択レジスタ2 (IFSR2A)	170
12.2.6	割り込み要因選択レジスタ (IFSR)	171
12.2.7	アドレス一致割り込み許可レジスタ (AIER)	171
12.2.8	アドレス一致割り込み許可レジスタ2 (AIER2)	172
12.2.9	アドレス一致割り込みレジスタi (RMADi) (i=0~3)	172
12.2.10	NMI デジタルデバウンスレジスタ (NDDR)	173
12.2.11	P1_7 デジタルデバウンスレジスタ (P17DDR)	173
12.3	割り込みの分類	174
12.4	ソフトウェア割り込み	175
12.4.1	未定義命令割り込み	175
12.4.2	オーバフロー割り込み	175
12.4.3	BRK割り込み	175
12.4.4	INT命令割り込み	175
12.5	ハードウェア割り込み	176
12.5.1	特殊割り込み	176
12.5.2	周辺機能割り込み	176
12.6	割り込みと割り込みベクタ	177
12.6.1	固定ベクタテーブル	177
12.6.2	可変ベクタテーブル	178
12.7	割り込み制御	180
12.7.1	マスカブル割り込みの制御	180
12.7.2	割り込みシーケンス	181
12.7.3	割り込み応答時間	182
12.7.4	割り込み要求受け付け時のIPLの変化	182
12.7.5	レジスタ退避	183
12.7.6	割り込みルーチンからの復帰	184
12.7.7	割り込み優先順位	184
12.7.8	割り込み優先レベル判定回路	184
12.7.9	多重割り込み	186

12.8	$\overline{\text{INT}}$ 割り込み	186
12.9	$\overline{\text{NMI}}$ 割り込み	186
12.10	キー入力割り込み	187
12.11	アドレス一致割り込み	188
12.12	ノンマスカブル割り込み要因の判別	189
12.13	割り込み使用上の注意事項	190
12.13.1	00000h 番地の読み出し	190
12.13.2	SP の設定	190
12.13.3	$\overline{\text{NMI}}$ 割り込み	190
12.13.4	割り込み要因の変更	191
12.13.5	割り込み制御レジスタの変更	192
12.13.6	割り込み制御レジスタを変更する命令	192
12.13.7	$\overline{\text{INT}}$ 割り込み	192
13.	ウォッチドッグタイマ	193
13.1	概要	193
13.2	レジスタの説明	195
13.2.1	電圧監視2回路制御レジスタ (VW2C)	196
13.2.2	カウントソース保護モードレジスタ (CSPR)	197
13.2.3	ウォッチドッグタイマリフレッシュレジスタ (WDTR)	197
13.2.4	ウォッチドッグタイマスタートレジスタ (WDTS)	198
13.2.5	ウォッチドッグタイマ制御レジスタ (WDC)	198
13.3	オプション機能選択領域	199
13.3.1	オプション機能選択1番地 (OFS1)	199
13.3.2	オプション機能選択2番地 (OFS2)	200
13.4	動作説明	201
13.4.1	リフレッシュ可能期間	201
13.4.2	カウントソース保護モード無効時	202
13.4.3	カウントソース保護モード有効時	203
13.5	割り込み	204
13.6	ウォッチドッグタイマ使用上の注意事項	205
14.	DMAC	206
14.1	概要	206
14.2	レジスタの説明	208
14.2.1	DMA _i ソースポインタ (SAR _i) (i=0~3)	209
14.2.2	DMA _i ディスティネーションポインタ (DAR _i) (i=0~3)	209
14.2.3	DMA _i 転送カウンタ (TCR _i) (i=0~3)	210
14.2.4	DMA _i 制御レジスタ (DMiCON) (i=0~3)	211
14.2.5	DMA _i 要因選択レジスタ (DMiSL) (i=0~3)	212
14.3	動作説明	215
14.3.1	DMA 許可	215

14.3.2	DMA 要求	215
14.3.3	転送サイクル	216
14.3.4	DMAC 転送サイクル数	218
14.3.5	単転送モード	219
14.3.6	リピート転送モード	220
14.3.7	チャンネルの優先順位とDMA 転送タイミング	221
14.4	割り込み	222
14.5	DMAC 使用上の注意事項	223
14.5.1	DMICON レジスタのDMAE ビットへの書き込み (i=0~3)	223
14.5.2	DMA 要求要因の変更	223
15.	タイマ A	224
15.1	概要	224
15.2	レジスタの説明	227
15.2.1	周辺クロック選択レジスタ (PCLKR)	228
15.2.2	時計用プリスケアラリセットフラグ (CPSRF)	228
15.2.3	タイマ A カウントソース選択レジスタ i (TACSi) (i=0~2)	229
15.2.4	16 ビットパルス幅変調モード機能選択レジスタ (PWMFS)	230
15.2.5	タイマ A 波形出力機能選択レジスタ (TAPOFS)	231
15.2.6	タイマ A 出力波形変更許可レジスタ (TAOW)	232
15.2.7	タイマ Ai レジスタ (TAi) (i=0~4)	233
15.2.8	タイマ Ai-1 レジスタ (TAi1) (i=1, 2, 4)	234
15.2.9	カウント開始フラグ (TABSR)	235
15.2.10	ワンショット開始フラグ (ONSF)	236
15.2.11	トリガ選択レジスタ (TRGSR)	237
15.2.12	アップダウンフラグ (UDF)	238
15.2.13	タイマ Ai モードレジスタ (TAiMR) (i=0~4)	239
15.3	動作説明	240
15.3.1	複数モードに関わる共通事項	240
15.3.2	タイマモード	242
15.3.3	イベントカウンタモード (二相パルス信号処理を使用しない場合)	246
15.3.4	イベントカウンタモード (二相パルス信号処理を使用する場合)	250
15.3.5	ワンショットタイマモード	255
15.3.6	パルス幅変調モード (PWM モード)	259
15.3.7	プログラマブル出力モード (タイマ A1、A2、A4)	264
15.4	割り込み	268
15.5	タイマ A 使用上の注意事項	269
15.5.1	複数モードに関わる共通事項	269
15.5.2	タイマ A (タイマモード)	269
15.5.3	タイマ A (イベントカウンタモード)	270
15.5.4	タイマ A (ワンショットタイマモード)	270

15.5.5	タイマA (パルス幅変調モード)	270
15.5.6	タイマA (プログラマブル出力モード)	271
16.	タイマB	272
16.1	概要	272
16.2	レジスタの説明	275
16.2.1	周辺クロック選択レジスタ (PCLKR)	276
16.2.2	時計用プリスケアラリセットフラグ (CPSRF)	276
16.2.3	タイマBi レジスタ (TBi) (i=0~2)	277
16.2.4	タイマBi-1 レジスタ (TBi1) (i=0~2)	278
16.2.5	パルス周期/幅測定モード機能選択レジスタ 1 (PPWFS1)	279
16.2.6	タイマB カウントソース選択レジスタ i (TBCSi) (i=0~1)	280
16.2.7	カウント開始フラグ (TABSR)	281
16.2.8	タイマBi モードレジスタ (TBiMR) (i=0~2)	281
16.3	動作説明	282
16.3.1	複数モードに関わる共通事項	282
16.3.2	タイマモード	284
16.3.3	イベントカウンタモード	286
16.3.4	パルス周期測定モード、パルス幅測定モード	289
16.4	割り込み	294
16.5	タイマB 使用上の注意事項	295
16.5.1	複数モードに関わる共通事項	295
16.5.2	タイマB (タイマモード)	295
16.5.3	タイマB (イベントカウンタモード)	295
16.5.4	タイマB (パルス周期測定/パルス幅測定モード)	295
17.	三相モータ制御用タイマ機能	297
17.1	概要	297
17.2	レジスタの説明	300
17.2.1	タイマB2 レジスタ (TB2)	301
17.2.2	タイマAi、Ai-1 レジスタ (TAi、TAi1) (i=1, 2, 4)	301
17.2.3	三相PWM制御レジスタ 0 (INVC0)	302
17.2.4	三相PWM制御レジスタ 1 (INVC1)	304
17.2.5	三相出力バッファレジスタ i (IDBi) (i=0, 1)	306
17.2.6	短絡防止タイマ (DTT)	306
17.2.7	タイマB2 割り込み発生頻度設定カウンタ (ICTB2)	307
17.2.8	タイマB2 特殊モードレジスタ (TB2SC)	308
17.2.9	位置データ保持機能制御レジスタ (PDRF)	309
17.2.10	ポート機能制御レジスタ (PFCR)	310
17.2.11	三相プロテクト制御レジスタ (TPRC)	310
17.3	動作説明	311
17.3.1	複数モードに関わる共通事項	311

17.3.2	三角波変調 三相モード0	317
17.3.3	三角波変調 三相モード1	322
17.3.4	鋸波変調モード	329
17.4	割り込み	334
17.4.1	タイマB2割り込み	334
17.4.2	タイマA1、A2、A4割り込み	334
17.5	三相モータ制御用タイマ機能使用上の注意事項	335
17.5.1	タイマA、タイマB	335
17.5.2	\overline{SD} 入力の影響	335
18.	タイマS	336
18.1	概要	336
18.2	レジスタの説明	340
18.2.1	時間計測レジスタj (G1TMj) (j=0~7)	342
18.2.2	波形生成レジスタj (G1POj) (j=0~7)	342
18.2.3	波形生成制御レジスタj (G1POCRj) (j=0~7)	343
18.2.4	時間計測制御レジスタj (G1TMCRj) (j=0~7)	345
18.2.5	ベースタイマレジスタ (G1BT)	347
18.2.6	ベースタイマ制御レジスタ0 (G1BCR0)	348
18.2.7	ベースタイマ制御レジスタ1 (G1BCR1)	349
18.2.8	時間計測プリスケラレジスタj (G1TPRj) (j=6, 7)	350
18.2.9	機能許可レジスタ (G1FE)	351
18.2.10	機能選択レジスタ (G1FS)	352
18.2.11	ベースタイマリセットレジスタ (G1BTRR)	353
18.2.12	カウントソース分周レジスタ (G1DV)	353
18.2.13	波形出カマスタ許可レジスタ (G1OER)	354
18.2.14	タイマS I/O 制御レジスタ0 (G1IOR0)	355
18.2.15	タイマS I/O 制御レジスタ1 (G1IOR1)	356
18.2.16	割り込み要求レジスタ (G1IR)	357
18.2.17	割り込み有効レジスタ0 (G1IE0)	358
18.2.18	割り込み有効レジスタ1 (G1IE1)	359
18.3	動作説明	360
18.3.1	ベースタイマ	360
18.3.2	時間計測機能	368
18.3.3	波形生成機能	372
18.3.4	入出力ポート機能選択	384
18.4	割り込み	385
18.4.1	IC/OCベースタイマ割り込み	386
18.4.2	IC/OCチャネル0割り込み~ IC/OCチャネル3割り込み	386
18.4.3	IC/OC割り込み0、IC/OC割り込み1	386
18.5	タイマS使用上の注意事項	387

18.5.1	レジスタアクセス	387
18.5.2	G1IRレジスタの変更	387
18.5.3	ICOCiICレジスタの変更 (i=0, 1)	389
18.5.4	BTSビットによるベースタイマリセット中の出力波形	389
18.5.5	G1PO0レジスタによるベースタイマリセット中のOUTC1_0端子出力	389
18.5.6	時間測定機能選択時の割り込み要求	389
19.	タスク監視タイマ	390
19.1	概要	390
19.2	レジスタの説明	391
19.2.1	タスク監視タイマレジスタ (TMOS)	391
19.2.2	タスク監視タイマカウント開始フラグ (TMOSSR)	391
19.2.3	タスク監視タイマカウントソース選択レジスタ (TMOSCS)	392
19.2.4	タスク監視タイマプロテクトレジスタ (TMOSPR)	392
19.3	動作説明	393
19.4	割り込み	394
19.5	タスク監視タイマの注意事項	395
19.5.1	レジスタ設定	395
19.5.2	タイマの読み出し	395
20.	リアルタイムクロック	396
20.1	概要	396
20.2	レジスタの説明	398
20.2.1	リアルタイムクロック秒データレジスタ (RTCSEC)	399
20.2.2	リアルタイムクロック分データレジスタ (RTCMIN)	400
20.2.3	リアルタイムクロック時データレジスタ (RTCHR)	401
20.2.4	リアルタイムクロック日データレジスタ (RTCWK)	402
20.2.5	リアルタイムクロック制御レジスタ1 (RTCCR1)	403
20.2.6	リアルタイムクロック制御レジスタ2 (RTCCR2)	405
20.2.7	リアルタイムクロックカウントソース選択レジスタ (RTCCSR)	406
20.2.8	リアルタイムクロック秒コンペアデータレジスタ (RTCCSEC)	407
20.2.9	リアルタイムクロック分コンペアデータレジスタ (RTCCMIN)	408
20.2.10	リアルタイムクロック時コンペアデータレジスタ (RTCCHR)	409
20.3	動作説明	410
20.3.1	基本動作	410
20.3.2	コンペアモード	413
20.4	割り込み	419
20.5	リアルタイムクロック使用上の注意事項	420
20.5.1	カウント開始、停止	420
20.5.2	レジスタ設定 (時刻データ他)	420
20.5.3	レジスタ設定 (コンペアデータ)	420
20.5.4	リアルタイムクロックモードの時刻読み出し手順	421

21.	シリアルインタフェース UART _i (i=0~4)	422
21.1	概要	422
21.2	レジスタの説明	425
21.2.1	周辺クロック選択レジスタ (PCLKR)	427
21.2.2	UART _i 送受信モードレジスタ (UiMR) (i=0~4)	428
21.2.3	UART _i ビットレートレジスタ (UiBRG) (i=0~4)	429
21.2.4	UART _i 送信バッファレジスタ (UiTB) (i=0~4)	429
21.2.5	UART _i 送受信制御レジスタ 0 (UiC0) (i=0~4)	430
21.2.6	UART _i 送受信制御レジスタ 1 (UiC1) (i=0~4)	432
21.2.7	UART _i 受信バッファレジスタ (UiRB) (i=0~4)	433
21.2.8	UART2特殊モードレジスタ 4 (U2SMR4)	435
21.2.9	UART2特殊モードレジスタ 3 (U2SMR3)	437
21.2.10	UART2特殊モードレジスタ 2 (U2SMR2)	438
21.2.11	UART2特殊モードレジスタ (U2SMR)	439
21.2.12	端子割り当て制御レジスタ (PACR)	440
21.3	動作説明	441
21.3.1	クロック同期形シリアルI/Oモード	441
21.3.2	クロック非同期形シリアルI/O (UART)モード	449
21.3.3	特殊モード1 (I ² Cモード) (UART2)	458
21.3.4	特殊モード2 (UART2)	474
21.3.5	特殊モード3 (IEモード) (UART2)	478
21.3.6	特殊モード4 (SIMモード) (UART2)	480
21.4	割り込み	485
21.4.1	割り込み関連レジスタ	485
21.4.2	受信割り込み	486
21.5	シリアルインタフェース UART _i (i=0~4) 使用上の注意事項	487
21.5.1	複数モードに関わる共通事項	487
21.5.2	クロック同期形シリアルI/Oモード	487
21.5.3	特殊モード (I ² Cモード)	489
21.5.4	特殊モード4 (SIMモード)	490
22.	マルチマスタ I ² C-bus インタフェース	491
22.1	概要	491
22.2	レジスタの説明	494
22.2.1	I2C0データシフトレジスタ (S00)	495
22.2.2	I2C0アドレスレジスタ i (i=0~2) (S0D0~S0D2)	496
22.2.3	I2C0制御レジスタ 0 (S1D0)	497
22.2.4	I2C0クロック制御レジスタ (S20)	500
22.2.5	I2C0スタート/ストップコンディション制御レジスタ (S2D0)	502
22.2.6	I2C0制御レジスタ 1 (S3D0)	503
22.2.7	I2C0制御レジスタ 2 (S4D0)	507

22.2.8	I2C0ステータスレジスタ0 (S10)	509
22.2.9	I2C0ステータスレジスタ1 (S11)	514
22.3	動作説明	515
22.3.1	クロック	515
22.3.2	スタートコンディション発生方法	517
22.3.3	ストップコンディション発生方法	519
22.3.4	リスタートコンディションの発生	520
22.3.5	スタートコンディション重複防止機能	521
22.3.6	アービトレーションロスト	523
22.3.7	スタート/ストップコンディション検出	524
22.3.8	スレーブアドレス/データ送受信完了時の動作	527
22.3.9	タイムアウト検出	528
22.3.10	データ送受信例	529
22.4	割り込み	534
22.5	マルチマスタI2C-busインタフェース使用上の注意事項	537
22.5.1	CPUクロックの制限	537
22.5.2	レジスタアクセス	537
22.5.3	ストップコンディション生成	537
23.	CANモジュール	540
23.1	CAN SFR	543
23.1.1	CAN0制御レジスタ (C0CTLR)	544
23.1.2	CAN0クロック選択レジスタ (C0CLKR)	548
23.1.3	CAN0ビットコンフィグレーションレジスタ (C0BCR)	549
23.1.4	CAN0マスクレジスタk (C0MKRk) (k=0~7)	551
23.1.5	CAN0 FIFO受信ID比較レジスタn (C0FIDCR0、C0FIDCR1) (n=0, 1)	552
23.1.6	CAN0マスク無効レジスタ (C0MKIVLR)	554
23.1.7	CAN0メールボックスレジスタj (C0MBj) (j=0~31)	555
23.1.8	CAN0メールボックス割り込み許可レジスタ (C0MIER)	559
23.1.9	CAN0メッセージ制御レジスタj (C0MCTLj) (j=0~31)	560
23.1.10	CAN0受信FIFO制御レジスタ (C0RFCR)	564
23.1.11	CAN0受信FIFOポインタ制御レジスタ (C0RFPCR)	567
23.1.12	CAN0送信FIFO制御レジスタ (C0TFCR)	568
23.1.13	CAN0送信FIFOポインタ制御レジスタ (C0TFPCR)	570
23.1.14	CAN0ステータスレジスタ (C0STR)	571
23.1.15	CAN0メールボックスサーチモードレジスタ (C0MSMR)	574
23.1.16	CAN0メールボックスサーチステータスレジスタ (C0MSSR)	575
23.1.17	CAN0チャンネルサーチサポートレジスタ (C0CSSR)	577
23.1.18	CAN0アクセプタンスフィルタサポートレジスタ (C0AFSR)	578
23.1.19	CAN0エラー割り込み許可レジスタ (C0EIER)	579
23.1.20	CAN0エラー割り込み要因判定レジスタ (C0EIFR)	581

23.1.21	CAN0受信エラーカウントレジスタ (C0RECR)	584
23.1.22	CAN0送信エラーカウントレジスタ (C0TECR)	585
23.1.23	CAN0エラーコード格納レジスタ (C0ECSR)	586
23.1.24	CAN0タイムスタンプレジスタ (C0TSR)	588
23.1.25	CAN0テスト制御レジスタ (C0TCR)	589
23.2	動作モード	592
23.2.1	CANリセットモード	593
23.2.2	CAN Halt モード	594
23.2.3	CANスリープモード	595
23.2.4	CANオペレーション モード(バスオフ状態以外)	596
23.2.5	CANオペレーションモード(バスオフ状態)	597
23.3	CAN通信速度の設定	598
23.3.1	CANクロックの設定	598
23.3.2	ビットタイミングの設定	598
23.3.3	ビットレート	599
23.4	メールボックスとマスクレジスタの構成	600
23.5	アクセプタンスフィルタ処理とマスク機能	602
23.6	受信、送信	605
23.6.1	受信	606
23.6.2	送信	608
23.7	CAN割り込み	609
24.	A/Dコンバータ	610
24.1	概要	610
24.2	レジスタの説明	614
24.2.1	タイマB2割り込み発生頻度設定カウンタ (ICTB2)	615
24.2.2	タイマB2特殊モードレジスタ (TB2SC)	616
24.2.3	A/Djレジスタ i (ADji) (i=0~7)	617
24.2.4	A/Djトリガ制御レジスタ (ADjTRGCON)	618
24.2.5	A/Dj制御レジスタ 2 (ADjCON2)	619
24.2.6	A/Dj制御レジスタ 0 (ADjCON0)	620
24.2.7	A/Dj制御レジスタ 1 (ADjCON1)	622
24.3	動作説明	624
24.3.1	A/D変換サイクル数	624
24.3.2	A/D変換開始条件	626
24.3.3	A/D変換結果	628
24.3.4	消費電流低減機能	628
24.4	動作モード	629
24.4.1	単発モード	629
24.4.2	繰り返しモード	631
24.4.3	単掃引モード	633

24.4.4	繰り返し掃引モード0	635
24.5	外部センサ	637
24.6	割り込み	638
24.7	A/Dコンバータ使用上の注意事項	639
24.7.1	アナログ入力選択	639
24.7.2	端子の処理	639
24.7.3	レジスタアクセス	639
24.7.4	A/D変換開始	639
24.7.5	A/D動作モードの変更	640
24.7.6	強制終了時の状態	640
24.7.7	A/D変換終了の検出方法	640
24.7.8	繰り返しモード、繰り返し掃引モード0	641
25.	CRC演算回路	642
25.1	概要	642
25.2	レジスタの説明	643
25.2.1	SFR監視アドレスレジスタ (CRCSAR)	643
25.2.2	CRCモードレジスタ (CRCMR)	644
25.2.3	CRCデータレジスタ (CRCD)	644
25.2.4	CRCインプットレジスタ (CRCIN)	644
25.3	動作説明	645
25.3.1	基本動作	645
25.3.2	SFRアクセス監視機能	645
26.	フラッシュメモリ	648
26.1	概要	648
26.2	メモリ配置	650
26.3	レジスタの説明	651
26.3.1	フラッシュメモリ制御レジスタ0 (FMR0)	651
26.3.2	フラッシュメモリ制御レジスタ1 (FMR1)	654
26.3.3	フラッシュメモリ制御レジスタ2 (FMR2)	655
26.3.4	フラッシュメモリ制御レジスタ3 (FMR3)	656
26.3.5	フラッシュメモリ制御レジスタ6 (FMR6)	657
26.4	オプション機能選択領域の説明	658
26.4.1	オプション機能選択1番地 (OFS1)	659
26.4.2	オプション機能選択2番地 (OFS2)	660
26.5	フラッシュメモリ書き換え禁止機能	661
26.6	ブートモード	661
26.7	ユーザブートモード	661
26.7.1	ユーザブート機能	661
26.8	CPU書き換えモード	665
26.8.1	EW0モード	666

26.8.2	EW1モード	672
26.8.3	動作速度	678
26.8.4	データ保護機能	678
26.8.5	サスペンド機能	679
26.8.6	ソフトウェアコマンド	681
26.8.7	ステータスレジスタ	688
26.9	標準シリアル入出力モード	691
26.9.1	IDコードチェック機能	692
26.9.2	強制イレーズ機能	693
26.9.3	標準シリアル入出力モード禁止機能	693
26.9.4	標準シリアル入出力モード1	694
26.9.5	標準シリアル入出力モード2	696
26.10	パラレル入出力モード	697
26.10.1	ROMコードプロテクト機能	697
26.11	フラッシュメモリ使用上の注意事項	698
26.11.1	OFS1番地、OFS2番地、IDコード格納番地	698
26.11.2	データフラッシュの読み出し	698
26.11.3	CPU書き換えモード	699
26.11.4	ユーザブート	701
27.	電気的特性	702
27.1	電気的特性(5V、3V共通)	702
27.1.1	絶対最大定格	702
27.1.2	推奨動作条件	703
27.1.3	A/D変換特性	705
27.1.4	フラッシュメモリの電気的特性	706
27.1.5	電圧検出回路、電源回路の電気的特性	709
27.1.6	発振回路の電気的特性	711
27.2	電気的特性($V_{CC}=5V$)	712
27.2.1	電気的特性	712
27.2.2	タイミング必要条件(周辺機能、他)	714
27.3	電気的特性($V_{CC}=3V$)	721
27.3.1	電気的特性	721
27.3.2	タイミング必要条件(周辺機能、他)	723
28.	使用上の注意事項	730
28.1	ノイズに関する注意事項	730
28.2	SFR使用上の注意事項	731
28.2.1	レジスタ設定時の注意事項	731
28.3	プロテクト使用上の注意事項	733
28.4	リセット使用上の注意事項	734
28.4.1	電源立ち上がり勾配	734

28.4.2	パワーオンリセット	734
28.4.3	OSDRビット(発振停止検出リセット検出フラグ)	734
28.4.4	VCC < Vdet0の場合のハードウェアリセット	734
28.5	クロック発生回路使用上の注意事項	735
28.5.1	発振子を用いた発振回路	735
28.5.2	発振回路のノイズ対策	736
28.5.3	CPUクロック	737
28.5.4	発振停止/再発振検出機能	737
28.5.5	PLL周波数シンセサイザ使用時	738
28.6	パワーコントロール使用上の注意事項	739
28.6.1	CPUクロック	739
28.6.2	ウェイトモード	739
28.6.3	ストップモード	739
28.6.4	低消費電流リードモード	740
28.6.5	スローリードモード	740
28.7	プログラマブル入出力ポート使用上の注意事項	741
28.7.1	端子割り当て制御	741
28.7.2	\overline{SD} 入力の影響	741
28.7.3	入力閾値電圧	741
28.8	割り込み使用上の注意事項	742
28.8.1	00000h番地の読み出し	742
28.8.2	SPの設定	742
28.8.3	\overline{NMI} 割り込み	742
28.8.4	割り込み要因の変更	743
28.8.5	割り込み制御レジスタの変更	744
28.8.6	割り込み制御レジスタを変更する命令	744
28.8.7	\overline{INT} 割り込み	744
28.9	ウォッチドッグタイマ使用上の注意事項	745
28.10	DMAC使用上の注意事項	746
28.10.1	DMiCONレジスタのDMAEビットへの書き込み(i=0~3)	746
28.10.2	DMA要求要因の変更	746
28.11	タイマA使用上の注意事項	747
28.11.1	複数モードに関わる共通事項	747
28.11.2	タイマA(タイマモード)	747
28.11.3	タイマA(イベントカウンタモード)	748
28.11.4	タイマA(ワンショットタイマモード)	748
28.11.5	タイマA(パルス幅変調モード)	748
28.11.6	タイマA(プログラマブル出力モード)	749
28.12	タイマB使用上の注意事項	750
28.12.1	複数モードに関わる共通事項	750
28.12.2	タイマB(タイマモード)	750

28.12.3	タイマB (イベントカウンタモード)	750
28.12.4	タイマB (パルス周期測定/パルス幅測定モード)	750
28.13	三相モータ制御用タイマ機能使用上の注意事項	752
28.13.1	タイマA、タイマB	752
28.13.2	\overline{SD} 入力の影響	752
28.14	タイマS使用上の注意事項	753
28.14.1	レジスタアクセス	753
28.14.2	G1IRレジスタの変更	753
28.14.3	ICOCiICレジスタの変更 (i=0, 1)	755
28.14.4	BTSビットによるベースタイマリセット中の出力波形	755
28.14.5	G1PO0レジスタによるベースタイマリセット中のOUTC1_0端子出力	755
28.14.6	時間測定機能選択時の割り込み要求	755
28.15	タスク監視タイマの注意事項	756
28.15.1	レジスタ設定	756
28.15.2	タイマの読み出し	756
28.16	リアルタイムクロック使用上の注意事項	757
28.16.1	カウント開始、停止	757
28.16.2	レジスタ設定 (時刻データ他)	757
28.16.3	レジスタ設定 (コンペアデータ)	757
28.16.4	リアルタイムクロックモードの時刻読み出し手順	758
28.17	シリアルインタフェースUARTi (i=0~4) 使用上の注意事項	759
28.17.1	複数モードに関わる共通事項	759
28.17.2	クロック同期形シリアルI/Oモード	759
28.17.3	特殊モード (I ² Cモード)	761
28.17.4	特殊モード4 (SIMモード)	762
28.18	マルチマスタI ² C-busインタフェース使用上の注意事項	763
28.18.1	CPUクロックの制限	763
28.18.2	レジスタアクセス	763
28.18.3	ストップコンディション生成	763
28.19	CANモジュール使用上の注意事項	766
28.20	A/Dコンバータ使用上の注意事項	767
28.20.1	アナログ入力選択	767
28.20.2	端子の処理	767
28.20.3	レジスタアクセス	767
28.20.4	A/D変換開始	768
28.20.5	A/D動作モードの変更	768
28.20.6	強制終了時の状態	768
28.20.7	A/D変換終了の検出方法	768
28.20.8	繰り返しモード、繰り返し掃引モード0	769
28.21	フラッシュメモリ使用上の注意事項	770
28.21.1	OFS1番地、OFS2番地、IDコード格納番地	770

28.21.2	データフラッシュの読み出し	770
28.21.3	CPU書き換えモード	771
28.21.4	ユーザブート	773
索引	774

番地別ページ早見表

掲載ページは1箇所だけ示しています。詳細は索引を参照してください

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	63
0005h	プロセッサモードレジスタ1	PM1	137
0006h	システムクロック制御レジスタ0	CM0	94
0007h	システムクロック制御レジスタ1	CM1	96
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	58
000Bh			
000Ch	発振停止検出レジスタ	CM2	98
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	138
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	100
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	228
0016h			
0017h			
0018h	リセット要因判別レジスタ	RSTFR	64
0019h	電圧検出2回路フラグレジスタ	VCR1	76
001Ah	電圧検出回路動作許可レジスタ	VCR2	77
001Bh			
001Ch	PLL制御レジスタ0	PLC0	101
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	102
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	電圧監視機能選択レジスタ	VWCE	78
0027h			
0028h	電圧検出2レベル選択レジスタ	VD2LS	79
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	80
002Bh			
002Ch	電圧監視2回路制御レジスタ	VW2C	81
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			

番地	レジスタ	シンボル	掲載ページ
0041h			
0042h			
0043h			
0044h	INT3割り込み制御レジスタ	INT3IC	168
0045h			
0046h			
0047h			
0048h	INT5割り込み制御レジスタ	INT5IC	168
0049h	INT4割り込み制御レジスタ	INT4IC	168
004Ah	UART2バス衝突検出割り込み制御レジスタ タスク監視タイマ割り込み制御レジスタ	BCNIC、 TMOSIC	167
004Bh	DMA0割り込み制御レジスタ	DM0IC	167
004Ch	DMA1割り込み制御レジスタ	DM1IC	167
004Dh	キー入力割り込み制御レジスタ、 A/D1変換割り込み制御レジスタ	KUPIC、 ADEIC	167
004Eh	A/D変換割り込み制御レジスタ	ADIC	167
004Fh	UART2送信割り込み制御レジスタ	S2TIC	167
0050h	UART2受信割り込み制御レジスタ	S2RIC	167
0051h	UART0送信割り込み制御レジスタ	S0TIC	167
0052h	UART0受信割り込み制御レジスタ	S0RIC	167
0053h	UART1送信割り込み制御レジスタ	S1TIC	167
0054h	UART1受信割り込み制御レジスタ	S1RIC	167
0055h	タイマA0割り込み制御レジスタ	TA0IC	167
0056h	タイマA1割り込み制御レジスタ	TA1IC	167
0057h	タイマA2割り込み制御レジスタ	TA2IC	167
0058h	タイマA3割り込み制御レジスタ	TA3IC	167
0059h	タイマA4割り込み制御レジスタ	TA4IC	167
005Ah	タイマB0割り込み制御レジスタ	TB0IC	167
005Bh	タイマB1割り込み制御レジスタ	TB1IC	167
005Ch	タイマB2割り込み制御レジスタ	TB2IC	167
005Dh	INT0割り込み制御レジスタ	INT0IC	168
005Eh	INT1割り込み制御レジスタ	INT1IC	168
005Fh	INT2割り込み制御レジスタ	INT2IC	168
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	167
006Ah	DMA3割り込み制御レジスタ	DM3IC	167
006Bh			
006Ch			
006Dh			
006Eh			
006Fh	UART4送信割り込み制御レジスタ、リアル タイムクロックコンペア割り込み制御レジスタ	S4TIC、 RTCCIC	167
0070h	UART4受信割り込み制御レジスタ	S4RIC	167
0071h	CAN0ウェイクアップ割り込み制御レジスタ	C0WIC	167
0072h	UART3送信割り込み制御レジスタ、CAN0 エラー割り込み制御レジスタ	S3TIC、 C0EIC	167
0073h	UART3受信割り込み制御レジスタ	S3RIC	167
0074h	リアルタイムクロック周期割り込み制御レジ スタ	RTCTIC	167
0075h	CAN0受信完了割り込み制御レジスタ	C0RIC	167
0076h	CAN0送信完了割り込み制御レジスタ	C0TIC	167
0077h	CAN0受信FIFO割り込み制御レジスタ	C0FRIC	167
0078h	CAN0送信FIFO割り込み制御レジスタ	C0FTIC	167
0079h	IC/OC割り込み0制御レジスタ	ICOC0IC	167
007Ah	IC/OCチャンネル0割り込み制御レジスタ	ICOC0IC	167
007Bh	IC/OC割り込み1制御レジスタ I2C-busインタフェース割り込み制御レジスタ	ICOC1IC、 IICIC	167
007Ch	SCL/SDA割り込み制御レジスタ IC/OCチャンネル1割り込み制御レジスタ	SCLDAIC、 ICOC1IC	167
007Dh	IC/OCチャンネル2割り込み制御レジスタ	ICOC2IC	167
007Eh	IC/OCチャンネル3割り込み制御レジスタ	ICOC3IC	167
007Fh	IC/OCベースタイマ割り込み制御レジスタ	BTIC	167

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0080h~013Fh			
0140h	A/D1 レジスタ 0	AD10	617
0141h			
0142h	A/D1 レジスタ 1	AD11	617
0143h			
0144h	A/D1 レジスタ 2	AD12	617
0145h			
0146h	A/D1 レジスタ 3	AD13	617
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h	A/D1 トリガ制御レジスタ	AD1TRGCON	618
0153h			
0154h	A/D1 制御レジスタ 2	AD1CON2	619
0155h			
0156h	A/D1 制御レジスタ 0	AD1CON0	620
0157h	A/D1 制御レジスタ 1	AD1CON1	622
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

番地	レジスタ	シンボル	掲載ページ
0180h	DMA0 ソースポインタ	SAR0	209
0181h			
0182h			
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	209
0185h			
0186h			
0187h			
0188h	DMA0 転送カウンタ	TCR0	210
0189h			
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	211
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	209
0191h			
0192h			
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	209
0195h			
0196h			
0197h			
0198h	DMA1 転送カウンタ	TCR1	210
0199h			
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	211
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	209
01A1h			
01A2h			
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	209
01A5h			
01A6h			
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	210
01A9h			
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	211
01ADh			
01AEh			
01AFh			
01B0h	DMA3 ソースポインタ	SAR3	209
01B1h			
01B2h			
01B3h			
01B4h	DMA3 ディスティネーションポインタ	DAR3	209
01B5h			
01B6h			
01B7h			
01B8h	DMA3 転送カウンタ	TCR3	210
01B9h			
01BAh			
01BBh			
01BCh	DMA3 制御レジスタ	DM3CON	211
01BDh			
01BEh			
01BFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
01C0h	タイマB0-1レジスタ	TB01	278
01C1h			
01C2h	タイマB1-1レジスタ	TB11	278
01C3h			
01C4h	タイマB2-1レジスタ	TB21	278
01C5h			
01C6h	パルス周期/幅測定モード機能選択レジスタ1	PPWFS1	279
01C7h			
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	280
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	280
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ0	TACS0	229
01D1h	タイマAカウントソース選択レジスタ1	TACS1	229
01D2h	タイマAカウントソース選択レジスタ2	TACS2	229
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	230
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	231
01D6h			
01D7h			
01D8h	タイマA出力波形変更許可レジスタ	TAOW	232
01D9h			
01DAh	三相プロテクト制御レジスタ	TPRC	310
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	タスク監視タイマレジスタ	TMOS	391
01F1h			
01F2h	タスク監視タイマカウント開始フラグ	TMOSSR	391
01F3h	タスク監視タイマカウントソース選択レジスタ	TMOSCS	392
01F4h	タスク監視タイマプロテクトレジスタ	TMOSPR	392
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			

番地	レジスタ	シンボル	掲載ページ
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	割り込み要因選択レジスタ3	IFSR3A	169
0206h	割り込み要因選択レジスタ2	IFSR2A	170
0207h	割り込み要因選択レジスタ	IFSR	171
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	171
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	172
0210h	アドレス一致割り込みレジスタ0	RMAD0	172
0211h			
0212h			
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	172
0215h			
0216h			
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	172
0219h			
021Ah			
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	172
021Dh			
021Eh			
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	651
0221h	フラッシュメモリ制御レジスタ1	FMR1	654
0222h	フラッシュメモリ制御レジスタ2	FMR2	118
0223h	フラッシュメモリ制御レジスタ3	FMR3	656
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	657
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0244h			
0245h			
0246h			
0247h			
0248h	UART0送受信モードレジスタ	U0MR	428
0249h	UART0ビットレートレジスタ	U0BRG	429
024Ah	UART0送信バッファレジスタ	U0TB	429
024Bh			
024Ch	UART0送受信制御レジスタ0	U0C0	430
024Dh	UART0送受信制御レジスタ1	U0C1	432
024Eh	UART0受信バッファレジスタ	U0RB	433
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h	UART1送受信モードレジスタ	U1MR	428
0259h	UART1ビットレートレジスタ	U1BRG	429
025Ah	UART1送信バッファレジスタ	U1TB	429
025Bh			
025Ch	UART1送受信制御レジスタ0	U1C0	430
025Dh	UART1送受信制御レジスタ1	U1C1	432
025Eh	UART1受信バッファレジスタ	U1RB	433
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	435
0265h	UART2特殊モードレジスタ3	U2SMR3	437
0266h	UART2特殊モードレジスタ2	U2SMR2	438
0267h	UART2特殊モードレジスタ	U2SMR	439
0268h	UART2送受信モードレジスタ	U2MR	428
0269h	UART2ビットレートレジスタ	U2BRG	429
026Ah	UART2送信バッファレジスタ	U2TB	429
026Bh			
026Ch	UART2送受信制御レジスタ0	U2C0	430
026Dh	UART2送受信制御レジスタ1	U2C1	432
026Eh	UART2受信バッファレジスタ	U2RB	433
026Fh			
0270h			
0271h			
0272h			
0273h			
0274h			
0275h			
0276h			
0277h			
0278h			
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h			
0285h			
0286h			
0287h			

番地	レジスタ	シンボル	掲載ページ
0288h			
0289h			
028Ah			
028Bh			
028Ch			
028Dh			
028Eh			
028Fh			
0290h			
0291h			
0292h			
0293h			
0294h			
0295h			
0296h			
0297h			
0298h	UART4送受信モードレジスタ	U4MR	428
0299h	UART4ビットレートレジスタ	U4BRG	429
029Ah	UART4送信バッファレジスタ	U4TB	429
029Bh			
029Ch	UART4送受信制御レジスタ0	U4C0	430
029Dh	UART4送受信制御レジスタ1	U4C1	432
029Eh	UART4受信バッファレジスタ	U4RB	433
029Fh			
02A0h			
02A1h			
02A2h			
02A3h			
02A4h			
02A5h			
02A6h			
02A7h			
02A8h	UART3送受信モードレジスタ	U3MR	428
02A9h	UART3ビットレートレジスタ	U3BRG	429
02AAh	UART3送信バッファレジスタ	U3TB	429
02ABh			
02ACh	UART3送受信制御レジスタ0	U3C0	430
02ADh	UART3送受信制御レジスタ1	U3C1	432
02AEh	UART3受信バッファレジスタ	U3RB	433
02AFh			
02B0h	I2C0データシフトレジスタ	S00	495
02B1h			
02B2h	I2C0アドレスレジスタ0	S0D0	496
02B3h	I2C0制御レジスタ0	S1D0	497
02B4h	I2C0クロック制御レジスタ	S20	500
02B5h	I2C0スタート/ストップコンディション制御レジスタ	S2D0	502
02B6h	I2C0制御レジスタ1	S3D0	503
02B7h	I2C0制御レジスタ2	S4D0	507
02B8h	I2C0ステータスレジスタ0	S10	509
02B9h	I2C0ステータスレジスタ1	S11	514
02BAh	I2C0アドレスレジスタ1	S0D1	496
02BBh	I2C0アドレスレジスタ2	S0D2	496
02BCh			
02BDh			
02BEh			
02BFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
02C0h	時間計測レジスタ0、波形生成レジスタ0	G1TM0、G1PO0	342
02C1h			
02C2h	時間計測レジスタ1、波形生成レジスタ1	G1TM1、G1PO1	342
02C3h			
02C4h	時間計測レジスタ2、波形生成レジスタ2	G1TM2、G1PO2	342
02C5h			
02C6h	時間計測レジスタ3、波形生成レジスタ3	G1TM3、G1PO3	342
02C7h			
02C8h	時間計測レジスタ4、波形生成レジスタ4	G1TM4、G1PO4	342
02C9h			
02CAh	時間計測レジスタ5、波形生成レジスタ5	G1TM5、G1PO5	342
02CBh			
02CCh	時間計測レジスタ6、波形生成レジスタ6	G1TM6、G1PO6	342
02CDh			
02CEh	時間計測レジスタ7、波形生成レジスタ7	G1TM7、G1PO7	342
02CFh			
02D0h	波形生成制御レジスタ0	G1POCR0	343
02D1h	波形生成制御レジスタ1	G1POCR1	343
02D2h	波形生成制御レジスタ2	G1POCR2	343
02D3h	波形生成制御レジスタ3	G1POCR3	343
02D4h	波形生成制御レジスタ4	G1POCR4	343
02D5h	波形生成制御レジスタ5	G1POCR5	343
02D6h	波形生成制御レジスタ6	G1POCR6	343
02D7h	波形生成制御レジスタ7	G1POCR7	343
02D8h	時間計測制御レジスタ0	G1TMCR0	345
02D9h	時間計測制御レジスタ1	G1TMCR1	345
02DAh	時間計測制御レジスタ2	G1TMCR2	345
02DBh	時間計測制御レジスタ3	G1TMCR3	345
02DCh	時間計測制御レジスタ4	G1TMCR4	345
02DDh	時間計測制御レジスタ5	G1TMCR5	345
02DEh	時間計測制御レジスタ6	G1TMCR6	345
02DFh	時間計測制御レジスタ7	G1TMCR7	345
02E0h	ベースタイマレジスタ	G1BT	347
02E1h			
02E2h	ベースタイマ制御レジスタ0	G1BCR0	348
02E3h	ベースタイマ制御レジスタ1	G1BCR1	349
02E4h	時間計測プリスケアラレジスタ6	G1TPR6	350
02E5h	時間計測プリスケアラレジスタ7	G1TPR7	350
02E6h	機能許可レジスタ	G1FE	351
02E7h	機能選択レジスタ	G1FS	352
02E8h	ベースタイマリセットレジスタ	G1BTRR	353
02E9h			
02EAh	カウントソース分周レジスタ	G1DV	353
02EBh			
02ECh	波形出力マスタ許可レジスタ	G1OER	354
02EDh			
02EEh	タイマS I/O 制御レジスタ0	G1IOR0	355
02EFh	タイマS I/O 制御レジスタ1	G1IOR1	356
02F0h	割り込み要求レジスタ	G1IR	357
02F1h	割り込み有効レジスタ0	G1IE0	358
02F2h	割り込み有効レジスタ1	G1IE1	359
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh	NMI デジタルデバウンスレジスタ	NDDR	173
02FFh	P1_7 デジタルデバウンスレジスタ	P17DDR	173

番地	レジスタ	シンボル	掲載ページ
0300h			
0301h			
0302h	タイマA1-1レジスタ	TA11	234
0303h			
0304h	タイマA2-1レジスタ	TA21	234
0305h			
0306h	タイマA4-1レジスタ	TA41	234
0307h			
0308h	三相PWM制御レジスタ0	INVC0	302
0309h	三相PWM制御レジスタ1	INVC1	304
030Ah	三相出力バッファレジスタ0	IDB0	306
030Bh	三相出力バッファレジスタ1	IDB1	306
030Ch	短絡防止タイマ	DTT	306
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	307
030Eh	位置データ保持機能制御レジスタ	PDRF	309
030Fh			
0310h			
0311h			
0312h			
0313h			
0314h			
0315h			
0316h			
0317h			
0318h	ポート機能制御レジスタ	PFCR	310
0319h			
031Ah			
031Bh			
031Ch			
031Dh			
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	235
0321h			
0322h	ワンショット開始フラグ	ONSF	236
0323h	トリガ選択レジスタ	TRGSR	237
0324h	アップダウンフラグ	UDF	238
0325h			
0326h	タイマA0レジスタ	TA0	233
0327h			
0328h	タイマA1レジスタ	TA1	233
0329h			
032Ah	タイマA2レジスタ	TA2	233
032Bh			
032Ch	タイマA3レジスタ	TA3	233
032Dh			
032Eh	タイマA4レジスタ	TA4	233
032Fh			
0330h	タイマB0レジスタ	TB0	277
0331h			
0332h	タイマB1レジスタ	TB1	277
0333h			
0334h	タイマB2レジスタ	TB2	277
0335h			
0336h	タイマA0モードレジスタ	TA0MR	239
0337h	タイマA1モードレジスタ	TA1MR	239
0338h	タイマA2モードレジスタ	TA2MR	239
0339h	タイマA3モードレジスタ	TA3MR	239
033Ah	タイマA4モードレジスタ	TA4MR	239

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
033Bh	タイマB0モードレジスタ	TB0MR	281
033Ch	タイマB1モードレジスタ	TB1MR	281
033Dh	タイマB2モードレジスタ	TB2MR	281
033Eh	タイマB2特殊モードレジスタ	TB2SC	308
033Fh			
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	399
0341h	リアルタイムクロック分データレジスタ	RTCMIN	400
0342h	リアルタイムクロック時データレジスタ	RTCHR	401
0343h	リアルタイムクロック日データレジスタ	RTCWK	402
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	403
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	405
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	406
0347h			
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	407
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	408
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	409
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh			
035Fh			
0360h	ブルアップ制御レジスタ0	PUR0	151
0361h	ブルアップ制御レジスタ1	PUR1	151
0362h	ブルアップ制御レジスタ2	PUR2	152
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	153
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			

番地	レジスタ	シンボル	掲載ページ
0370h	端子割り当て制御レジスタ	PACR	162
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	197
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	197
037Eh	ウォッチドッグタイムスタートレジスタ	WDTS	198
037Fh	ウォッチドッグタイム制御レジスタ	WDC	198
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	DMA2要因選択レジスタ	DM2SL	212
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	212
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	212
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	212
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR監視アドレスレジスタ	CRCSAR	643
03B5h			
03B6h	CRCモードレジスタ	CRCMR	644
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	644
03BDh			
03BEh	CRC入力レジスタ	CRCIN	644
03BFh			
03C0h	A/Dレジスタ0	AD0	617
03C1h			
03C2h	A/Dレジスタ1	AD1	617
03C3h			
03C4h	A/Dレジスタ2	AD2	617
03C5h			
03C6h	A/Dレジスタ3	AD3	617
03C7h			
03C8h	A/Dレジスタ4	AD4	617
03C9h			
03CAh	A/Dレジスタ5	AD5	617
03CBh			
03CCh	A/Dレジスタ6	AD6	617
03CDh			
03CEh	A/Dレジスタ7	AD7	617
03CFh			
03D0h			
03D1h			
03D2h	A/Dトリガ制御レジスタ	ADTRGCON	618
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	619
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	620
03D7h	A/D制御レジスタ1	ADCON1	622
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	155
03E1h	ポートP1レジスタ	P1	155
03E2h	ポートP0方向レジスタ	PD0	156
03E3h	ポートP1方向レジスタ	PD1	156
03E4h	ポートP2レジスタ	P2	155
03E5h	ポートP3レジスタ	P3	155
03E6h	ポートP2方向レジスタ	PD2	156
03E7h	ポートP3方向レジスタ	PD3	156
03E8h			
03E9h			
03EAh			
03EBh			
03ECh	ポートP6レジスタ	P6	155
03EDh	ポートP7レジスタ	P7	155
03EEh	ポートP6方向レジスタ	PD6	156
03EFh	ポートP7方向レジスタ	PD7	156

番地	レジスタ	シンボル	掲載ページ
03F0h	ポートP8レジスタ	P8	155
03F1h	ポートP9レジスタ	P9	155
03F2h	ポートP8方向レジスタ	PD8	156
03F3h	ポートP9方向レジスタ	PD9	156
03F4h	ポートP10レジスタ	P10	155
03F5h			
03F6h	ポートP10方向レジスタ	PD10	156
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
0400~D4FF			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
D500h	CAN0 メールボックス0: メッセージ識別子	COMB0	555
D501h			
D502h			
D503h			
D504h			
D505h	CAN0 メールボックス0: データ長		
D506h	CAN0 メールボックス0: データフィールド		
D507h			
D508h			
D509h			
D50Ah			
D50Bh			
D50Ch			
D50Dh			
D50Eh	CAN0 メールボックス0: タイムスタンプ		
D50Fh			
D510h	CAN0 メールボックス1: メッセージ識別子	COMB1	555
D511h			
D512h			
D513h			
D514h			
D515h	CAN0 メールボックス1: データ長		
D516h	CAN0 メールボックス1: データフィールド		
D517h			
D518h			
D519h			
D51Ah			
D51Bh			
D51Ch			
D51Dh			
D51Eh	CAN0 メールボックス1: タイムスタンプ		
D51Fh			
D520h	CAN0 メールボックス2: メッセージ識別子	COMB2	555
D521h			
D522h			
D523h			
D524h			
D525h	CAN0 メールボックス2: データ長		
D526h	CAN0 メールボックス2: データフィールド		
D527h			
D528h			
D529h			
D52Ah			
D52Bh			
D52Ch			
D52Dh			
D52Eh	CAN0 メールボックス2: タイムスタンプ		
D52Fh			
D530h	CAN0 メールボックス3: メッセージ識別子	COMB3	555
D531h			
D532h			
D533h			
D534h			
D535h	CAN0 メールボックス3: データ長		
D536h	CAN0 メールボックス3: データフィールド		
D537h			
D538h			
D539h			
D53Ah			
D53Bh			
D53Ch			
D53Dh			
D53Eh	CAN0 メールボックス3: タイムスタンプ		
D53Fh			

番地	レジスタ	シンボル	掲載ページ
D540h	CAN0 メールボックス4: メッセージ識別子	COMB4	555
D541h			
D542h			
D543h			
D544h			
D545h	CAN0 メールボックス4: データ長		
D546h	CAN0 メールボックス4: データフィールド		
D547h			
D548h			
D549h			
D54Ah			
D54Bh			
D54Ch			
D54Dh			
D54Eh	CAN0 メールボックス4: タイムスタンプ		
D54Fh			
D550h	CAN0 メールボックス5: メッセージ識別子	COMB5	555
D551h			
D552h			
D553h			
D554h			
D555h	CAN0 メールボックス5: データ長		
D556h	CAN0 メールボックス5: データフィールド		
D557h			
D558h			
D559h			
D55Ah			
D55Bh			
D55Ch			
D55Dh			
D55Eh	CAN0 メールボックス5: タイムスタンプ		
D55Fh			
D560h	CAN0 メールボックス6: メッセージ識別子	COMB6	555
D561h			
D562h			
D563h			
D564h			
D565h	CAN0 メールボックス6: データ長		
D566h	CAN0 メールボックス6: データフィールド		
D567h			
D568h			
D569h			
D56Ah			
D56Bh			
D56Ch			
D56Dh			
D56Eh	CAN0 メールボックス6: タイムスタンプ		
D56Fh			
D570h	CAN0 メールボックス7: メッセージ識別子	COMB7	555
D571h			
D572h			
D573h			
D574h			
D575h	CAN0 メールボックス7: データ長		
D576h	CAN0 メールボックス7: データフィールド		
D577h			
D578h			
D579h			
D57Ah			
D57Bh			
D57Ch			
D57Dh			
D57Eh	CAN0 メールボックス7: タイムスタンプ		
D57Fh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ		
D580h	CAN0 メールボックス 8: メッセージ識別子	COMB8	555		
D581h					
D582h					
D583h					
D584h					
D585h	CAN0 メールボックス 8: データ長				
D586h	CAN0 メールボックス 8: データフィールド				
D587h					
D588h					
D589h					
D58Ah					
D58Bh					
D58Ch					
D58Dh					
D58Eh	CAN0 メールボックス 8: タイムスタンプ				
D58Fh					
D590h	CAN0 メールボックス 9: メッセージ識別子			COMB9	555
D591h					
D592h					
D593h					
D594h					
D595h	CAN0 メールボックス 9: データ長				
D596h	CAN0 メールボックス 9: データフィールド				
D597h					
D598h					
D599h					
D59Ah					
D59Bh					
D59Ch					
D59Dh					
D59Eh	CAN0 メールボックス 9: タイムスタンプ				
D59Fh					
D5A0h	CAN0 メールボックス 10: メッセージ識別子			COMB10	555
D5A1h					
D5A2h					
D5A3h					
D5A4h					
D5A5h	CAN0 メールボックス 10: データ長				
D5A6h	CAN0 メールボックス 10: データフィールド				
D5A7h					
D5A8h					
D5A9h					
D5AAh					
D5ABh					
D5ACh					
D5ADh					
D5AEh	CAN0 メールボックス 10: タイムスタンプ				
D5AFh					
D5B0h	CAN0 メールボックス 11: メッセージ識別子			COMB11	555
D5B1h					
D5B2h					
D5B3h					
D5B4h					
D5B5h	CAN0 メールボックス 11: データ長				
D5B6h	CAN0 メールボックス 11: データフィールド				
D5B7h					
D5B8h					
D5B9h					
D5BAh					
D5BBh					
D5BCh					
D5BDh					
D5BEh	CAN0 メールボックス 11: タイムスタンプ				
D5BFh					

番地	レジスタ	シンボル	掲載ページ		
D5C0h	CAN0 メールボックス 12: メッセージ識別子	COMB12	555		
D5C1h					
D5C2h					
D5C3h					
D5C4h					
D5C5h	CAN0 メールボックス 12: データ長				
D5C6h	CAN0 メールボックス 12: データフィールド				
D5C7h					
D5C8h					
D5C9h					
D5CAh					
D5CBh					
D5CCh					
D5CDh					
D5CEh	CAN0 メールボックス 12: タイムスタンプ				
D5CFh					
D5D0h	CAN0 メールボックス 13: メッセージ識別子			COMB13	555
D5D1h					
D5D2h					
D5D3h					
D5D4h					
D5D5h	CAN0 メールボックス 13: データ長				
D5D6h	CAN0 メールボックス 13: データフィールド				
D5D7h					
D5D8h					
D5D9h					
D5DAh					
D5DBh					
D5DCh					
D5DDh					
D5DEh	CAN0 メールボックス 13: タイムスタンプ				
D5DFh					
D5E0h	CAN0 メールボックス 14: メッセージ識別子			COMB14	555
D5E1h					
D5E2h					
D5E3h					
D5E4h					
D5E5h	CAN0 メールボックス 14: データ長				
D5E6h	CAN0 メールボックス 14: データフィールド				
D5E7h					
D5E8h					
D5E9h					
D5EAh					
D5EBh					
D5ECh					
D5EDh					
D5EEh	CAN0 メールボックス 14: タイムスタンプ				
D5EFh					
D5F0h	CAN0 メールボックス 15: メッセージ識別子			COMB15	555
D5F1h					
D5F2h					
D5F3h					
D5F4h					
D5F5h	CAN0 メールボックス 15: データ長				
D5F6h	CAN0 メールボックス 15: データフィールド				
D5F7h					
D5F8h					
D5F9h					
D5FAh					
D5FBh					
D5FCh					
D5FDh					
D5FEh	CAN0 メールボックス 15: タイムスタンプ				
D5FFh					

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
D600h	CAN0 メールボックス 16: メッセージ識別子	COMB16	555
D601h			
D602h			
D603h			
D604h			
D605h	CAN0 メールボックス 16: データ長		
D606h	CAN0 メールボックス 16: データフィールド		
D607h			
D608h			
D609h			
D60Ah			
D60Bh			
D60Ch			
D60Dh			
D60Eh	CAN0 メールボックス 16: タイムスタンプ		
D60Fh			
D610h	CAN0 メールボックス 17: メッセージ識別子	COMB17	555
D611h			
D612h			
D613h			
D614h			
D615h	CAN0 メールボックス 17: データ長		
D616h	CAN0 メールボックス 17: データフィールド		
D617h			
D618h			
D619h			
D61Ah			
D61Bh			
D61Ch			
D61Dh			
D61Eh	CAN0 メールボックス 17: タイムスタンプ		
D61Fh			
D620h	CAN0 メールボックス 18: メッセージ識別子	COMB18	555
D621h			
D622h			
D623h			
D624h			
D625h	CAN0 メールボックス 18: データ長		
D626h	CAN0 メールボックス 18: データフィールド		
D627h			
D628h			
D629h			
D62Ah			
D62Bh			
D62Ch			
D62Dh			
D62Eh	CAN0 メールボックス 18: タイムスタンプ		
D62Fh			
D630h	CAN0 メールボックス 19: メッセージ識別子	COMB19	555
D631h			
D632h			
D633h			
D634h			
D635h	CAN0 メールボックス 19: データ長		
D636h	CAN0 メールボックス 19: データフィールド		
D637h			
D638h			
D639h			
D63Ah			
D63Bh			
D63Ch			
D63Dh			
D63Eh	CAN0 メールボックス 19: タイムスタンプ		
D63Fh			

番地	レジスタ	シンボル	掲載ページ
D640h	CAN0 メールボックス 20: メッセージ識別子	COMB20	555
D641h			
D642h			
D643h			
D644h			
D645h	CAN0 メールボックス 20: データ長		
D646h	CAN0 メールボックス 20: データフィールド		
D647h			
D648h			
D649h			
D64Ah			
D64Bh			
D64Ch			
D64Dh			
D64Eh	CAN0 メールボックス 20: タイムスタンプ		
D64Fh			
D650h	CAN0 メールボックス 21: メッセージ識別子	COMB21	555
D651h			
D652h			
D653h			
D654h			
D655h	CAN0 メールボックス 21: データ長		
D656h	CAN0 メールボックス 21: データフィールド		
D657h			
D658h			
D659h			
D65Ah			
D65Bh			
D65Ch			
D65Dh			
D65Eh	CAN0 メールボックス 21: タイムスタンプ		
D65Fh			
D660h	CAN0 メールボックス 22: メッセージ識別子	COMB22	555
D661h			
D662h			
D663h			
D664h			
D665h	CAN0 メールボックス 22: データ長		
D666h	CAN0 メールボックス 22: データフィールド		
D667h			
D668h			
D669h			
D66Ah			
D66Bh			
D66Ch			
D66Dh			
D66Eh	CAN0 メールボックス 22: タイムスタンプ		
D66Fh			
D670h	CAN0 メールボックス 23: メッセージ識別子	COMB23	555
D671h			
D672h			
D673h			
D674h			
D675h	CAN0 メールボックス 23: データ長		
D676h	CAN0 メールボックス 23: データフィールド		
D677h			
D678h			
D679h			
D67Ah			
D67Bh			
D67Ch			
D67Dh			
D67Eh	CAN0 メールボックス 23: タイムスタンプ		
D67Fh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
D700h	CAN0 マスクレジスタ 0	COMKR0	551
D701h			
D702h			
D703h			
D704h	CAN0 マスクレジスタ 1	COMKR1	551
D705h			
D706h			
D707h			
D708h	CAN0 マスクレジスタ 2	COMKR2	551
D709h			
D70Ah			
D70Bh			
D70Ch	CAN0 マスクレジスタ 3	COMKR3	551
D70Dh			
D70Eh			
D70Fh			
D710h	CAN0 マスクレジスタ 4	COMKR4	551
D711h			
D712h			
D713h			
D714h	CAN0 マスクレジスタ 5	COMKR5	551
D715h			
D716h			
D717h			
D718h	CAN0 マスクレジスタ 6	COMKR6	551
D719h			
D71Ah			
D71Bh			
D71Ch	CAN0 マスクレジスタ 7	COMKR7	551
D71Dh			
D71Eh			
D71Fh			
D720h	CAN0FIFO 受信ID 比較レジスタ 0	C0FIDCR0	552
D721h			
D722h			
D723h			
D724h	CAN0FIFO 受信ID 比較レジスタ 1	C0FIDCR1	552
D725h			
D726h			
D727h			
D728h	CAN0 マスク無効レジスタ	COMKIVLR	554
D729h			
D72Ah			
D72Bh			
D72Ch	CAN0 メールボックス割り込み許可レジスタ	COMIER	559
D72Dh			
D72Eh			
D72Fh			
D730h~D79F			
D7A0h	CAN0 メッセージ制御レジスタ 0	COMCTL0	560
D7A1h	CAN0 メッセージ制御レジスタ 1	COMCTL1	560
D7A2h	CAN0 メッセージ制御レジスタ 2	COMCTL2	560
D7A3h	CAN0 メッセージ制御レジスタ 3	COMCTL3	560
D7A4h	CAN0 メッセージ制御レジスタ 4	COMCTL4	560
D7A5h	CAN0 メッセージ制御レジスタ 5	COMCTL5	560
D7A6h	CAN0 メッセージ制御レジスタ 6	COMCTL6	560
D7A7h	CAN0 メッセージ制御レジスタ 7	COMCTL7	560
D7A8h	CAN0 メッセージ制御レジスタ 8	COMCTL8	560
D7A9h	CAN0 メッセージ制御レジスタ 9	COMCTL9	560
D7AAh	CAN0 メッセージ制御レジスタ 10	COMCTL10	560
D7ABh	CAN0 メッセージ制御レジスタ 11	COMCTL11	560
D7ACh	CAN0 メッセージ制御レジスタ 12	COMCTL12	560
D7ADh	CAN0 メッセージ制御レジスタ 13	COMCTL13	560
D7AEh	CAN0 メッセージ制御レジスタ 14	COMCTL14	560
D7AFh	CAN0 メッセージ制御レジスタ 15	COMCTL15	560

番地	レジスタ	シンボル	掲載ページ
D7B0h	CAN0 メッセージ制御レジスタ 16	COMCTL16	560
D7B1h	CAN0 メッセージ制御レジスタ 17	COMCTL17	560
D7B2h	CAN0 メッセージ制御レジスタ 18	COMCTL18	560
D7B3h	CAN0 メッセージ制御レジスタ 19	COMCTL19	560
D7B4h	CAN0 メッセージ制御レジスタ 20	COMCTL20	560
D7B5h	CAN0 メッセージ制御レジスタ 21	COMCTL21	560
D7B6B	CAN0 メッセージ制御レジスタ 22	COMCTL22	560
D7B7h	CAN0 メッセージ制御レジスタ 23	COMCTL23	560
D7B8h	CAN0 メッセージ制御レジスタ 24	COMCTL24	560
D7B9h	CAN0 メッセージ制御レジスタ 25	COMCTL25	560
D7BAh	CAN0 メッセージ制御レジスタ 26	COMCTL26	560
D7BBh	CAN0 メッセージ制御レジスタ 27	COMCTL27	560
D7BCh	CAN0 メッセージ制御レジスタ 28	COMCTL28	560
D7BDh	CAN0 メッセージ制御レジスタ 29	COMCTL29	560
D7BEh	CAN0 メッセージ制御レジスタ 30	COMCTL30	560
D7BFh	CAN0 メッセージ制御レジスタ 31	COMCTL31	560
D7C0h	CAN0 制御レジスタ	COCTLR	544
D7C1h			
D7C2h	CAN0 ステータスレジスタ	C0STR	571
D7C3h			
D7C4h	CAN0 ビットコンフィギュレーションレジスタ	C0BCR	549
D7C5h			
D7C6h			
D7C7h	CAN0 クロック選択レジスタ	C0CLKR	548
D7C8h	CAN0 受信FIFO制御レジスタ	C0RFCR	564
D7C9h	CAN0 受信FIFOポインタ制御レジスタ	C0RFPCR	567
D7CAh	CAN0 送信FIFO制御レジスタ	C0TFCR	568
D7CBh	CAN0 送信FIFOポインタ制御レジスタ	C0TFPCR	570
D7CCh	CAN0 エラー割り込み許可レジスタ	C0EIER	579
D7CDh	CAN0 エラー割り込み要因判定レジスタ	C0EIFR	581
D7CEh	CAN0 受信エラーカウントレジスタ	C0RECR	584
D7CFh	CAN0 送信エラーカウントレジスタ	C0TECR	585
D7D0h	CAN0 エラーコード格納レジスタ	C0ECSR	586
D7D1h	CAN0 チャネルサーチサポートレジスタ	C0CSSR	577
D7D2h	CAN0 メールボックスサーチステータスレジスタ	COMSSR	575
D7D3h	CAN0 メールボックスサーチモードレジスタ	COMSMR	574
D7D4h	CAN0 タイムスタンプレジスタ	C0TSR	588
D7D5h			
D7D6h	CAN0 アクセプタンスフィルタサポートレジスタ	C0AFSR	578
D7D7h			
D7D8h	CAN0 テスト制御レジスタ	C0TCR	589
D7D9h			
D7DAh			
D7DBh			
D7DCh			
D7DDh			
D7DEh			
D7DFh			

空欄は予約領域です。アクセスしないでください。

FFFFBh	オプション機能選択2番地	OFS2	659
FFFFFh	オプション機能選択1番地	OFS1	659

OFS1番地、OFS2番地はSFRではありません。

1. 概要

1.1 特長

M16C/5LD、M16C/56Dグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、64ピンまたは80ピンプラスチックモールドLQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、命令を高速に実行する能力を備えています。CANモジュールを1チャンネル内蔵し(M16C/5LDグループ)、FAのLANシステムに適したマイクロコンピュータです。乗算器、DMACがあるため、高速な演算処理が必要なOA、家電製品、産業機器の制御にも適しています。

1.1.1 用途

FAのLANシステム、オーディオ、カメラ、TV、家電、事務機器、通信機器、携帯機器、産業機器、他

1.2 仕様概要

表 1.1~表 1.4にM16C/5LD、M16C/56Dグループの仕様概要を示します。

表 1.1 仕様概要 (80ピン版)(1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60シリーズコア(乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 31.25ns (f(BCLK)=32MHz、VCC=3.0~5.5V) 40ns (f(BCLK)=25MHz、VCC=2.7~5.5V) 動作モード: シングルチップモード
メモリ	ROM、RAM、データフラッシュ	「表 1.5 製品一覧~表 1.6 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> 電圧検出2点
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路(メインクロック、サブクロック、PLL周波数シンセサイザ、125kHzオンチップオシレータ) 発振停止検出: メインクロック発振停止/再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
I/Oポート	プログラマブル入出力ポート	CMOS入出力:71 (プルアップ抵抗設定可能)
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数: 70 外部割り込み入力: 11 (NMI、INT×6、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 15ビット×1 (プリスケール付) リセットスタート機能選択可能 ウォッチドッグタイマ専用125kHzオンチップオシレータ付き
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 42 転送モード: 2 (単転送、リピート転送)
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3 プログラマブル出力モード×3
	タイマB	16ビットタイマ×3 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1 (タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
	タイマS (インプットキャプチャ/アウトプットコンペア)	<ul style="list-style-type: none"> 16ビットタイマ×1 (ベースタイマ) 入出力8チャンネル
	タスク監視タイマ	16ビットタイマ×1チャンネル
	リアルタイムクロック	秒、分、時、曜日をカウント
シリアルインタフェース	UART0~UART4	<ul style="list-style-type: none"> 4チャンネル(UART、クロック同期形シリアルI/O) 1チャンネル(UART、クロック同期形シリアルI/O、I²C-bus、IEBus)
A/Dコンバータ		分解能10ビット×27チャンネル(A/D回路) 分解能10ビット×4チャンネル(A/D1回路)

表 1.2 仕様概要 (80ピン版)(2/2)

分類	機能	説明
CRC演算回路		<ul style="list-style-type: none"> • 1回路 • CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠 • MSB/LSB選択可能
マルチマスタI ² C-busインタフェース		1チャンネル
CANモジュール		32スロット×1チャンネル (M16C/5LDグループのみ)
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧: 2.7V~5.5V • プログラム、イレーズ回数:1,000回(プログラムROM1、プログラムROM2) / 10,000回(データフラッシュ) • プログラムセキュリティ: ROMコードプロテクト、IDコードチェック
デバッグ機能		オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧		32MHz/3.0V~5.5V 25MHz/2.7V~5.5V
消費電流		「27. 電気的特性」に記載
動作周囲温度		-40℃~85℃ (注1)
パッケージ		80ピンLQFP: PLQP0080KB-A (旧パッケージコード: 80P6Q-A)

注1. 動作周囲温度は、「表 1.5 M16C/5LDグループ製品一覧表~表 1.6 M16C/56Dグループ製品一覧表」を参照してください。

表 1.3 仕様概要 (64ピン版)(1/2)

分類	機能	説明
CPU	中央演算処理装置	M16C/60シリーズコア(乗算器: 16ビット×16ビット→32ビット、積和演算命令: 16ビット×16ビット+32ビット→32ビット) <ul style="list-style-type: none"> 基本命令数: 91 最小命令実行時間: 31.25ns (f(BCLK)=32MHz、VCC=3.0~5.5V) 40ns (f(BCLK)=25MHz、VCC=2.7~5.5V) 動作モード: シングルチップモード
メモリ	ROM、RAM、データフラッシュ	「表 1.5 製品一覧~表 1.6 製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> 電圧検出2点
クロック	クロック発生回路	<ul style="list-style-type: none"> 4回路(メインクロック、サブクロック、PLL周波数シンセサイザ、125kHzオンチップオシレータ) 発振停止検出: メインクロック発振停止/再発振検出機能 周波数分周回路: 1, 2, 4, 8, 16分周選択 低消費電力機構: ウェイトモード、ストップモード リアルタイムクロックあり
I/Oポート	プログラマブル入出力ポート	CMOS入出力:55 (プルアップ抵抗設定可能)
割り込み		<ul style="list-style-type: none"> 割り込みベクタ数: 70 外部割り込み入力: 11 (NMI、INT×6、キー入力×4) 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		<ul style="list-style-type: none"> 15ビット×1 (プリスケラ付) リセットスタート機能選択可能 ウォッチドッグタイマ専用125kHzオンチップオシレータ付き
DMA	DMAC	<ul style="list-style-type: none"> 4チャンネル、サイクルスチール方式 起動要因数: 40 転送モード: 2 (単転送、リピート転送)
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3 プログラマブル出力モード×3
	タイマB	16ビットタイマ×3 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード
	三相モータ制御用タイマ機能	三相モータ制御用タイマ×1 (タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
	タイマS (インプットキャプチャ/アウトプットコンペア)	<ul style="list-style-type: none"> 16ビットタイマ×1 (ベースタイマ) 入出力8チャンネル
	タスク監視タイマ	16ビットタイマ×1チャンネル
	リアルタイムクロック	秒、分、時、曜日をカウント
シリアルインタフェース	UART0~UART3	<ul style="list-style-type: none"> 3チャンネル(UART、クロック同期形シリアルI/O) 1チャンネル(UART、クロック同期形シリアルI/O、I²C-bus、IEBus)
A/Dコンバータ		分解能10ビット×16チャンネル(A/D回路) 分解能10ビット×4チャンネル(A/D1回路)

表 1.4 仕様概要 (64ピン版)(2/2)

分類	機能	説明
CRC演算回路		<ul style="list-style-type: none"> • 1回路 • CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠 • MSB/LSB選択可能
マルチマスタI ² C-busインタフェース		1チャンネル
CANモジュール		32スロット×1チャンネル (M16C/5LDグループのみ)
フラッシュメモリ		<ul style="list-style-type: none"> • プログラム、イレーズ電圧: 2.7V~5.5V • プログラム、イレーズ回数:1,000回(プログラムROM1、プログラムROM2) / 10,000回(データフラッシュ) • プログラムセキュリティ: ROMコードプロテクト、IDコードチェック
デバッグ機能		オンボードフラッシュ書き換え機能、アドレス一致割り込み×4
動作周波数/電源電圧		32MHz/3.0V~5.5V 25MHz/2.7V~5.5V
消費電流		「27. 電気的特性」に記載
動作周囲温度		-40℃~85℃ (注1)
パッケージ		64ピンLQFP: PLQP0064KB-A (旧パッケージコード: 64P6Q-A)

注1. 動作周囲温度は、「表 1.5 M16C/5LDグループ製品一覧表~表 1.6 M16C/56Dグループ製品一覧表」を参照してください。

1.3 製品一覧

表 1.5にM16C/5LDグループ製品一覧表、表 1.6にM16C/56Dグループ製品一覧表、図 1.1に型名とメモリスizes・パッケージ、図 1.2にフラッシュメモリ版のマーキング図(上面図)を示します。

表 1.5 M16C/5LDグループ製品一覧表

2011年11月現在

型名	ROM容量			RAM容量	CAN	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ				
R5F35L30DFF	64Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	1チャンネル	PLQP0064KB-A	
R5F35L23DFE	96Kバイト	16Kバイト	4Kバイト ×2ブロック	8Kバイト		PLQP0080KB-A	
R5F35L33DFF						PLQP0064KB-A	
R5F35L26DFE	128Kバイト	16Kバイト	4Kバイト ×2ブロック	12Kバイト		PLQP0080KB-A	
R5F35L36DFF						PLQP0064KB-A	
R5F35L2EDFE	256Kバイト	16Kバイト	4Kバイト ×2ブロック	20Kバイト		PLQP0080KB-A	
R5F35L3EDFF						PLQP0064KB-A	

(開): 開発中
(計): 計画中

旧パッケージコードは以下のとおりです。
PLQP0080KB-A: 80P6Q-A
PLQP0064KB-A: 64P6Q-A

表 1.6 M16C/56Dグループ製品一覧表

2011年11月現在

型名	ROM容量			RAM容量	CAN	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ				
R5F35630DFF	64Kバイト	16Kバイト	4Kバイト ×2ブロック	4Kバイト	—	PLQP0064KB-A	
R5F35623DFE	96Kバイト	16Kバイト	4Kバイト ×2ブロック	8Kバイト		PLQP0080KB-A	
R5F35633DFF						PLQP0064KB-A	
R5F35626DFE	128Kバイト	16Kバイト	4Kバイト ×2ブロック	12Kバイト		PLQP0080KB-A	
R5F35636DFF						PLQP0064KB-A	
R5F3562EDFE	256Kバイト	16Kバイト	4Kバイト ×2ブロック	20Kバイト		PLQP0080KB-A	
R5F3563EDFF						PLQP0064KB-A	

(開): 開発中
(計): 計画中

旧パッケージコードは以下のとおりです。
PLQP0080KB-A: 80P6Q-A
PLQP0064KB-A: 64P6Q-A

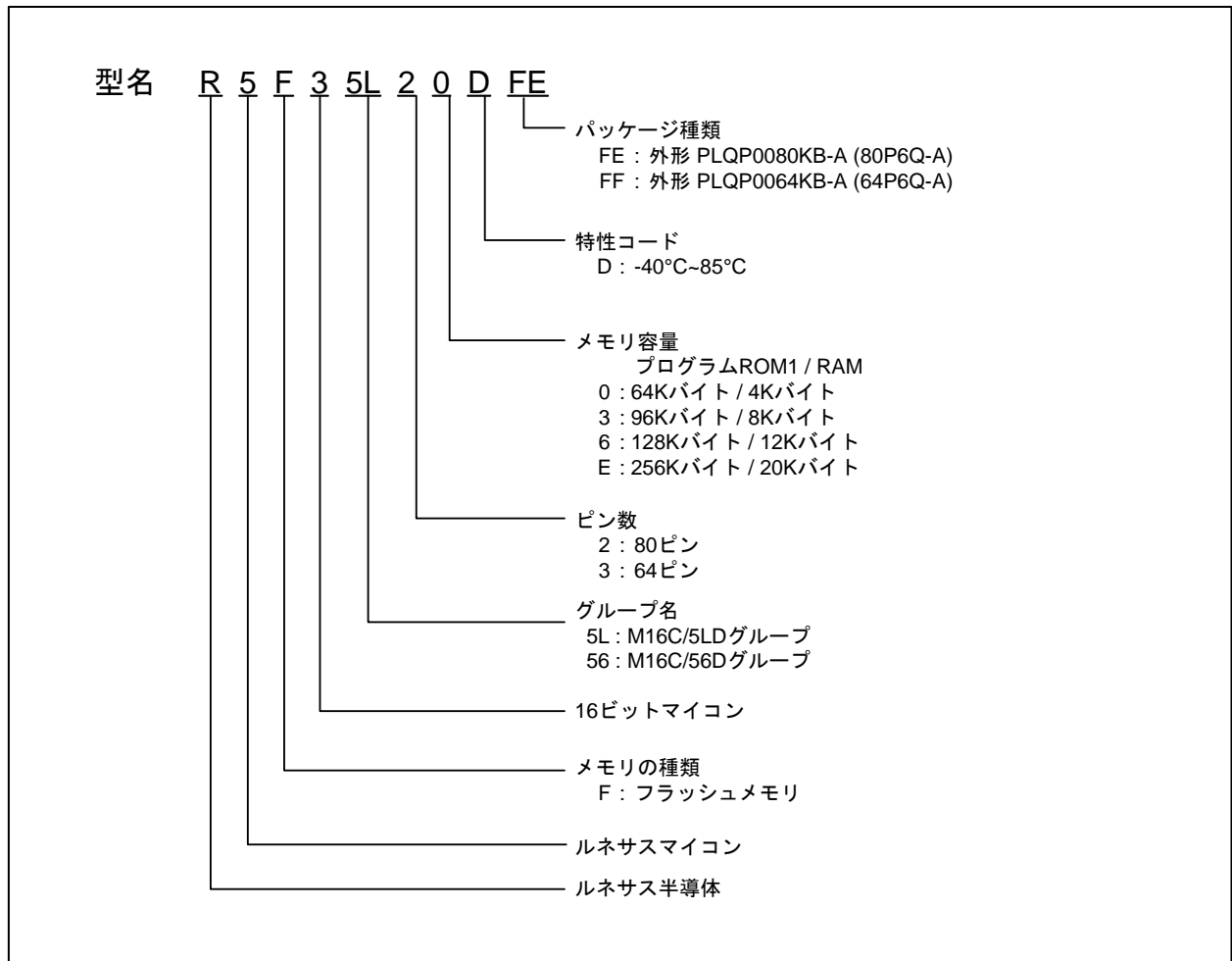


図 1.1 型名とメモリサイズ・パッケージ

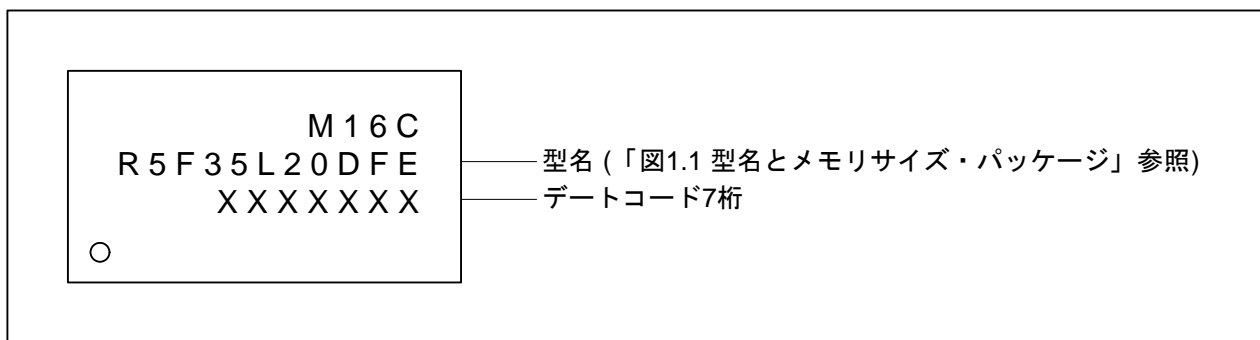


図 1.2 フラッシュメモリ版のマーキング図(上面図)

1.4 ブロック図

図 1.3~図 1.4にM16C/5LD、M16C/56Dグループのブロック図を示します。

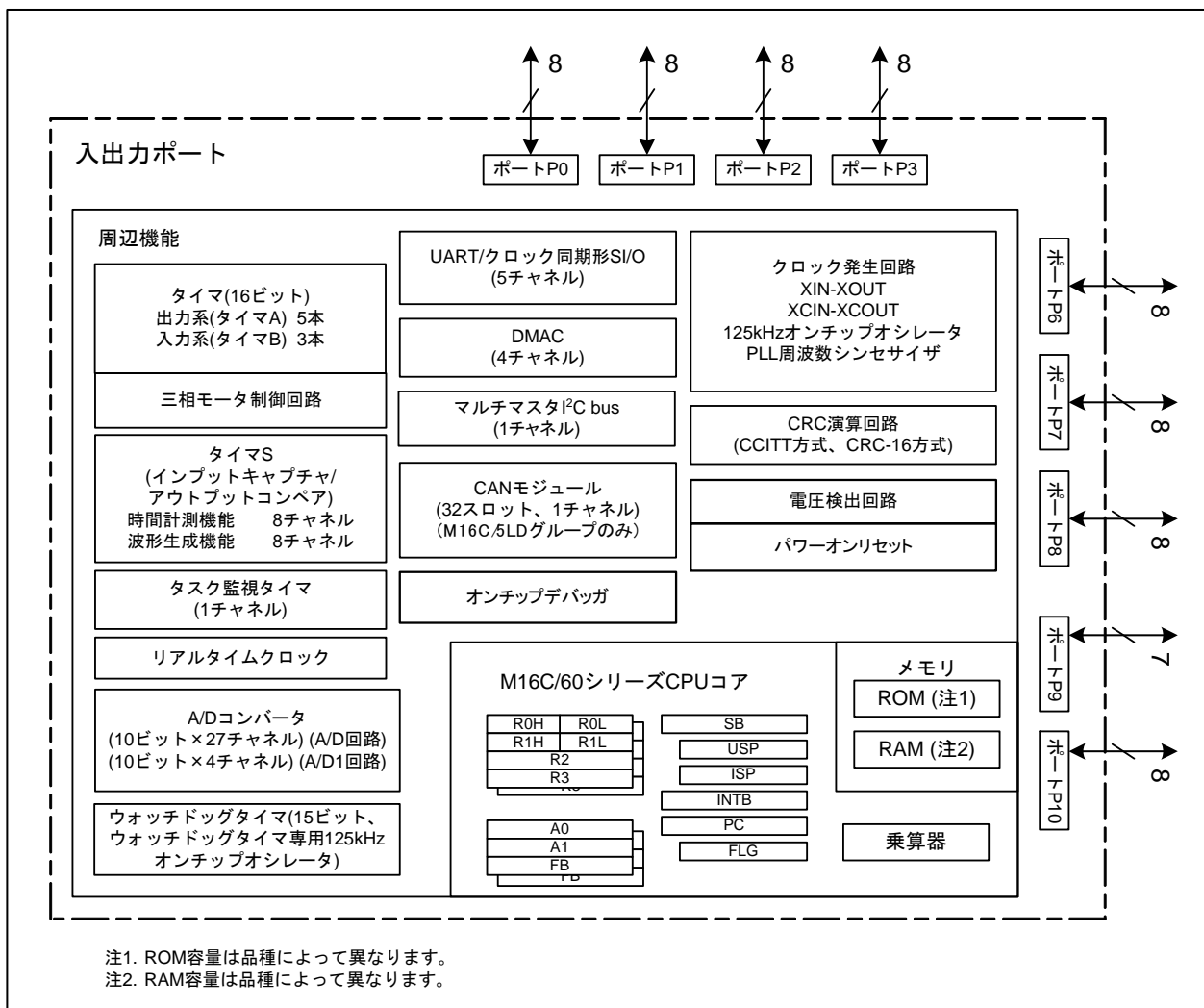


図 1.3 ブロック図 (80ピン版)

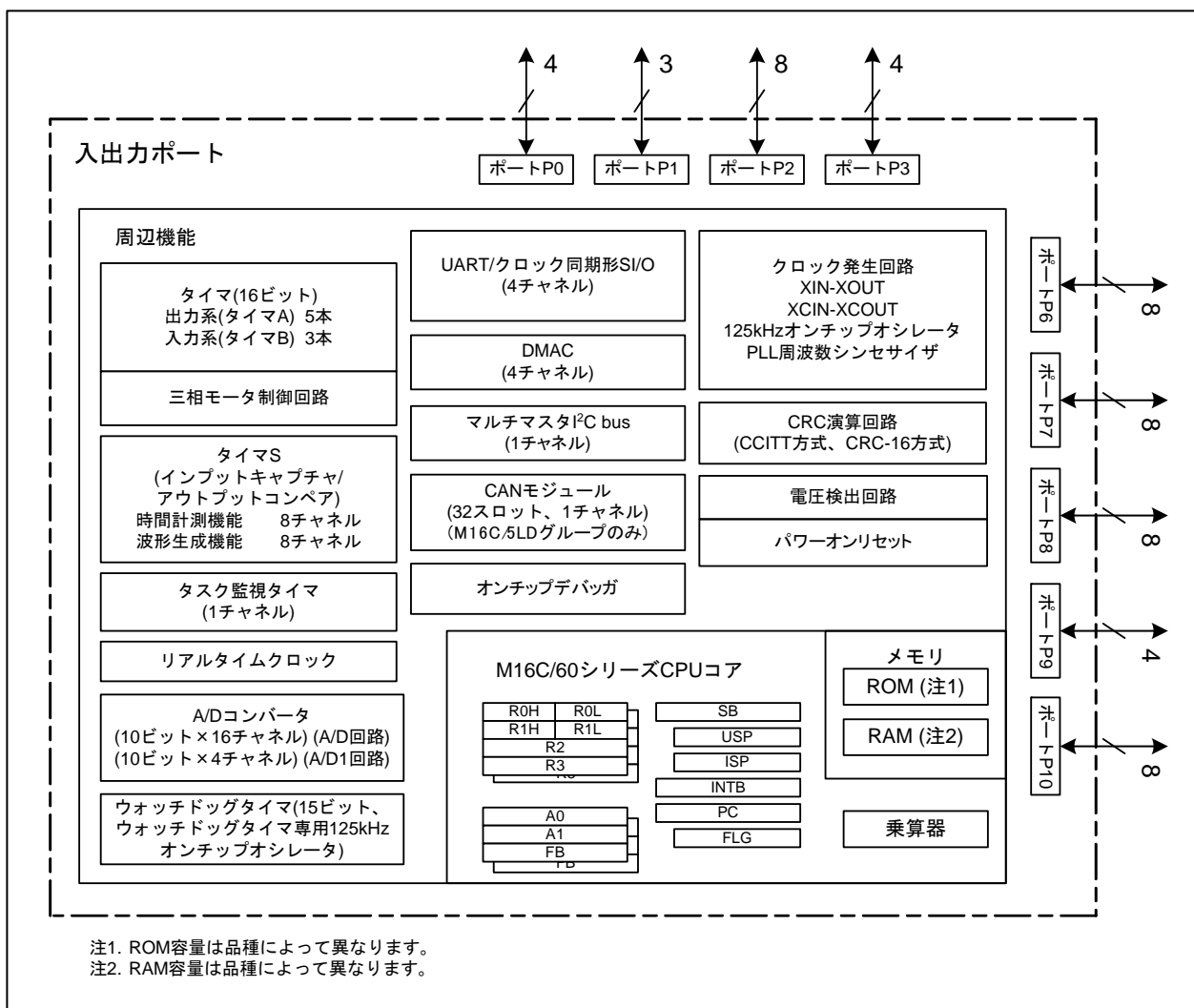


図 1.4 ブロック図 (64ピン版)

1.5 ピン接続図

図 1.5に80ピン版ピン接続図(上面図)、表 1.7~表 1.8に80ピン版端子名一覧表を示します。

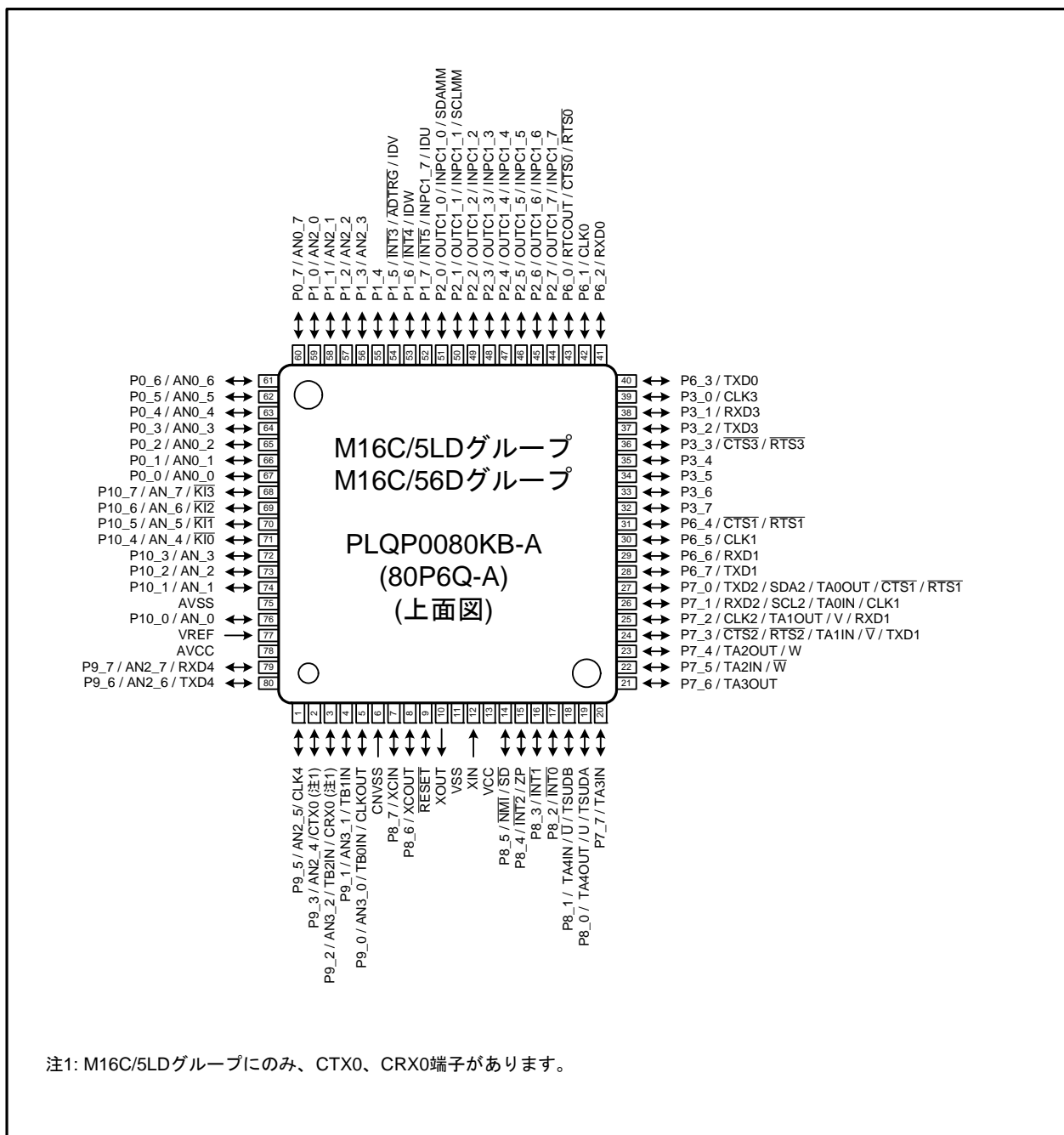


図 1.5 80ピン版ピン接続図(上面図)

リセット後、各端子に対して入出力を行うより前に、PACRレジスタのPACR2~PACR0ビットを“011b”に設定してください。PACRレジスタが設定されない場合、一部の端子の入出力機能が動作しません。

表 1.7 80ピン版端子名一覧表 (1/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN	マルチマスタ I ² C-bus	アナログ
1		P9_5				CLK4		AN2_5
2		P9_3				CTX0 (注1)		AN2_4
3		P9_2		TB2IN		CRX0 (注1)		AN3_2
4		P9_1		TB1IN				AN3_1
5	CLKOUT	P9_0		TB0IN				AN3_0
6	CNVSS							
7	XCIN	P8_7						
8	XCOU	P8_6						
9	RESET							
10	XOUT							
11	VSS							
12	XIN							
13	VCC							
14		P8_5	NMI	SD				
15		P8_4	INT2	ZP				
16		P8_3	INT1					
17		P8_2	INT0					
18		P8_1		TA4IN/U	TSUDB			
19		P8_0		TA4OUT/U	TSUDA			
20		P7_7		TA3IN				
21		P7_6		TA3OUT				
22		P7_5		TA2IN/W				
23		P7_4		TA2OUT/W				
24		P7_3		TA1IN/V		CTS2/RTS2/TXD1		
25		P7_2		TA1OUT/V		CLK2/RXD1		
26		P7_1		TA0IN		RXD2/SCL2/CLK1		
27		P7_0		TA0OUT		TXD2/SDA2/CTS1/RTS1		
28		P6_7				TXD1		
29		P6_6				RXD1		
30		P6_5				CLK1		
31		P6_4				CTS1/RTS1		
32		P3_7						
33		P3_6						
34		P3_5						
35		P3_4						
36		P3_3				CTS3/RTS3		
37		P3_2				TXD3		
38		P3_1				RXD3		
39		P3_0				CLK3		
40		P6_3				TXD0		

注1. M16C/5LDグループにのみ、CTX0、CRX0端子があります。

表 1.8 80ピン版端子名一覧表 (2/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN	マルチマスタ I ² C-bus	アナログ
41		P6_2				RXD0		
42		P6_1				CLK0		
43		P6_0		RTCOUT		CTS0/RTS0		
44		P2_7			OUTC1_7/INPC1_7			
45		P2_6			OUTC1_6/INPC1_6			
46		P2_5			OUTC1_5/INPC1_5			
47		P2_4			OUTC1_4/INPC1_4			
48		P2_3			OUTC1_3/INPC1_3			
49		P2_2			OUTC1_2/INPC1_2			
50		P2_1			OUTC1_1/INPC1_1		SCLMM	
51		P2_0			OUTC1_0/INPC1_0		SDAMM	
52		P1_7	INT5	IDU	INPC1_7			
53		P1_6	INT4	IDW				
54		P1_5	INT3	IDV				ADTRG
55		P1_4						
56		P1_3						AN2_3
57		P1_2						AN2_2
58		P1_1						AN2_1
59		P1_0						AN2_0
60		P0_7						AN0_7
61		P0_6						AN0_6
62		P0_5						AN0_5
63		P0_4						AN0_4
64		P0_3						AN0_3
65		P0_2						AN0_2
66		P0_1						AN0_1
67		P0_0						AN0_0
68		P10_7	KI3					AN_7
69		P10_6	KI2					AN_6
70		P10_5	KI1					AN_5
71		P10_4	KI0					AN_4
72		P10_3						AN_3
73		P10_2						AN_2
74		P10_1						AN_1
75	AVSS							
76		P10_0						AN_0
77	VREF							
78	AVCC							
79		P9_7				RXD4		AN2_7
80		P9_6				TXD4		AN2_6

図 1.6に64ピン版ピン接続図(上面図)、表 1.9~表 1.10に64ピン版端子名一覧表を示します。

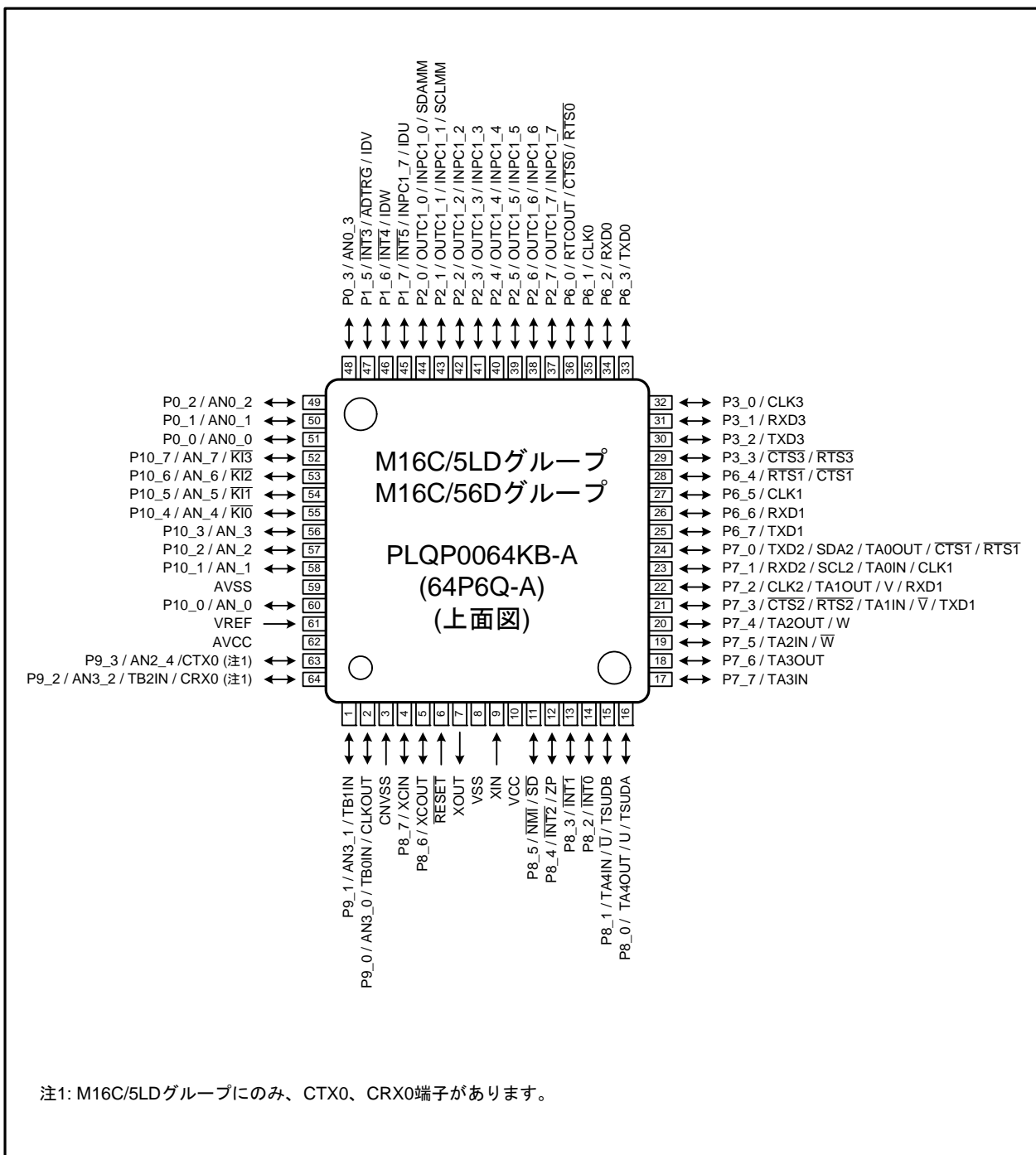


図 1.6 64ピン版ピン接続図(上面図)

リセット後、各端子に対して入出力を行うより前に、PACRレジスタのPACR2~PACR0ビットを“010b”に設定してください。PACRレジスタが設定されない場合、一部の端子の入出力機能が動作しません。

表 1.9 64ピン版端子名一覧表 (1/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN	マルチマスタ I ² C-bus	アナログ
1		P9_1		TB1IN				AN3_1
2	CLKOUT	P9_0		TB0IN				AN3_0
3	CNVSS							
4	XCIN	P8_7						
5	XCOU	P8_6						
6	RESET							
7	XOUT							
8	VSS							
9	XIN							
10	VCC							
11		P8_5	NMI	SD				
12		P8_4	INT2	ZP				
13		P8_3	INT1					
14		P8_2	INT0					
15		P8_1		TA4IN/U	TSUDB			
16		P8_0		TA4OUT/U	TSUDA			
17		P7_7		TA3IN				
18		P7_6		TA3OUT				
19		P7_5		TA2IN/W				
20		P7_4		TA2OUT/W				
21		P7_3		TA1IN/V		CTS2/RTS2/TXD1		
22		P7_2		TA1OUT/V		CLK2/RXD1		
23		P7_1		TA0IN		RXD2/SCL2/CLK1		
24		P7_0		TA0OUT		TXD2/SDA2/CTS1/RTS1		
25		P6_7				TXD1		
26		P6_6				RXD1		
27		P6_5				CLK1		
28		P6_4				CTS1/RTS1		
29		P3_3				CTS3/RTS3		
30		P3_2				TXD3		

表 1.10 64ピン版端子名一覧表 (2/2)

Pin No.	制御端子	ポート	割り込み	タイマ	タイマS	UART/CAN	マルチマスタ I ² C-bus	アナログ
31		P3_1				RXD3		
32		P3_0				CLK3		
33		P6_3				TXD0		
34		P6_2				RXD0		
35		P6_1				CLK0		
36		P6_0		RTCOU \bar{T}		CTS0/RTS0 \bar{O}		
37		P2_7			OUTC1_7/INPC1_7			
38		P2_6			OUTC1_6/INPC1_6			
39		P2_5			OUTC1_5/INPC1_5			
40		P2_4			OUTC1_4/INPC1_4			
41		P2_3			OUTC1_3/INPC1_3			
42		P2_2			OUTC1_2/INPC1_2			
43		P2_1			OUTC1_1/INPC1_1		SCLMM	
44		P2_0			OUTC1_0/INPC1_0		SDAMM	
45		P1_7	INT5 \bar{I}	IDU	INPC1_7			
46		P1_6	INT4 \bar{I}	IDW				
47		P1_5	INT3 \bar{I}	IDV				ADTRG \bar{A}
48		P0_3						AN0_3
49		P0_2						AN0_2
50		P0_1						AN0_1
51		P0_0						AN0_0
52		P10_7	KI3 \bar{K}					AN_7
53		P10_6	KI2 \bar{K}					AN_6
54		P10_5	KI1 \bar{K}					AN_5
55		P10_4	KI0 \bar{K}					AN_4
56		P10_3						AN_3
57		P10_2						AN_2
58		P10_1						AN_1
59	AVSS							
60		P10_0						AN_0
61	VREF							
62	AVCC							
63		P9_3				CTX0 (注1)		AN2_4
64		P9_2		TB2IN		CRX0 (注1)		AN3_2

注1. M16C/5LDグループにのみ、CTX0、CRX0端子があります。

1.6 端子機能の説明

表 1.11 端子機能の説明(64ピン版、80ピン版共通)(1/2)

分類	端子名	入出力	機能
電源入力	VCC, VSS	入力	VSS端子には、0Vを入力してください。VCC端子には、2.7~5.5Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	A/Dコンバータの電源入力です。AVCC端子はVCCに接続してください。AVSS端子はVSSに接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	抵抗を介してVSSに接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください。メインクロック回路を使用しない場合、XINをVCC端子に接続し、XOUTは開放してください。
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶振動子を接続してください。(注1)
サブクロック出力	XCOUT	出力	
クロック出力	CLKOUT	出力	f1、f8、f32またはfCと同じ周期を持つクロックを出力します。
INT割り込み入力	INT0~INT5	入力	INT割り込みの入力です。
NMI入力	NMI	入力	NMIの入力です。
キー入力割り込み	KI0~KI3	入力	キー入力割り込みの入力端子です。
タイマA	TA0OUT~ TA4OUT	入出力	タイマA0~A4の入出力です。
	TA0IN~TA4IN	入力	タイマA0~A4の入力です。
	ZP	入力	Z相の入力です。
タイマB	TB0IN~TB2IN	入力	タイマB0~B2の入力です。
三相モータ制御用 タイマ	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	三相モータ制御用タイマの出力です。
	IDU, IDW, IDV, \bar{SD}	入力	三相モータ制御用タイマの入力です。
リアルタイム クロック	RTCOUT	出力	リアルタイムクロックの出力です。
シリアルインタ フェース UART0~UART3	CTS0~CTS3	入力	送信制御用入力です。
	RTS0~RTS3	出力	受信制御用出力です。
	CLK0~CLK3	入出力	転送クロック入出力です。
	RXD0~RXD3	入力	シリアルデータ入力です。
	TXD0~TXD3	出力	シリアルデータ出力です。
UART2 I ² Cモード	SDA2	入出力	シリアルデータ入出力です。
	SCL2	入出力	転送クロック入出力です。
マルチマスタ I ² C-bus	SDAMM	入出力	シリアルデータ入出力です。
	SCLMM		転送クロック入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN_0~AN_7 AN0_0~AN0_3 AN2_4 AN3_0~AN3_2	入力	アナログ入力です。
	ADTRG	入力	外部トリガ入力です。

注1. 発振特性は発振子メーカーにお問い合わせください。

表 1.12 端子機能の説明(64ピン版、80ピン版共通) (2/2)

分類	端子名	入出力	機能
タイマS	INPC1_0~INPC1_7	入力	時間計測機能の入力です。
	OUTC1_0~OUTC1_7	出力	波形生成機能の出力です。
	TSUDA、TSUDB	入力	二相パルス入力です。
CANモジュール (注1)	CRX0	入力	CAN通信機能の受信データ入力です。
	CTX0	出力	CAN通信機能の送信データ出力です。
入出力ポート	P0_0~P0_3 P1_5~P1_7 P2_0~P2_7 P3_0~P3_3 P6_0~P6_7 P7_0~P7_7 P8_0~P8_7 P9_0~P9_3 P10_0~P10_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートに設定できます。また、入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。

注1. M16C/5LDグループにのみ、CANモジュールがあります。

表 1.13 端子機能の説明(80ピン版のみ)

分類	端子名	入出力	機能
シリアルインタフェース UART4	CLK4	入出力	転送クロック入出力です。
	RXD4	入力	シリアルデータ入力です。
	TXD4	出力	シリアルデータ出力です。
A/Dコンバータ	AN0_4~AN0_7 AN2_0~AN2_3 AN2_5~AN2_7	入力	アナログ入力です。
入出力ポート	P0_4~P0_7 P1_0~P1_4 P3_4~P3_7 P9_5~P9_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートに設定できます。 また、入力ポートは、4ビット単位でプルアップ抵抗の有無を選択できます。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

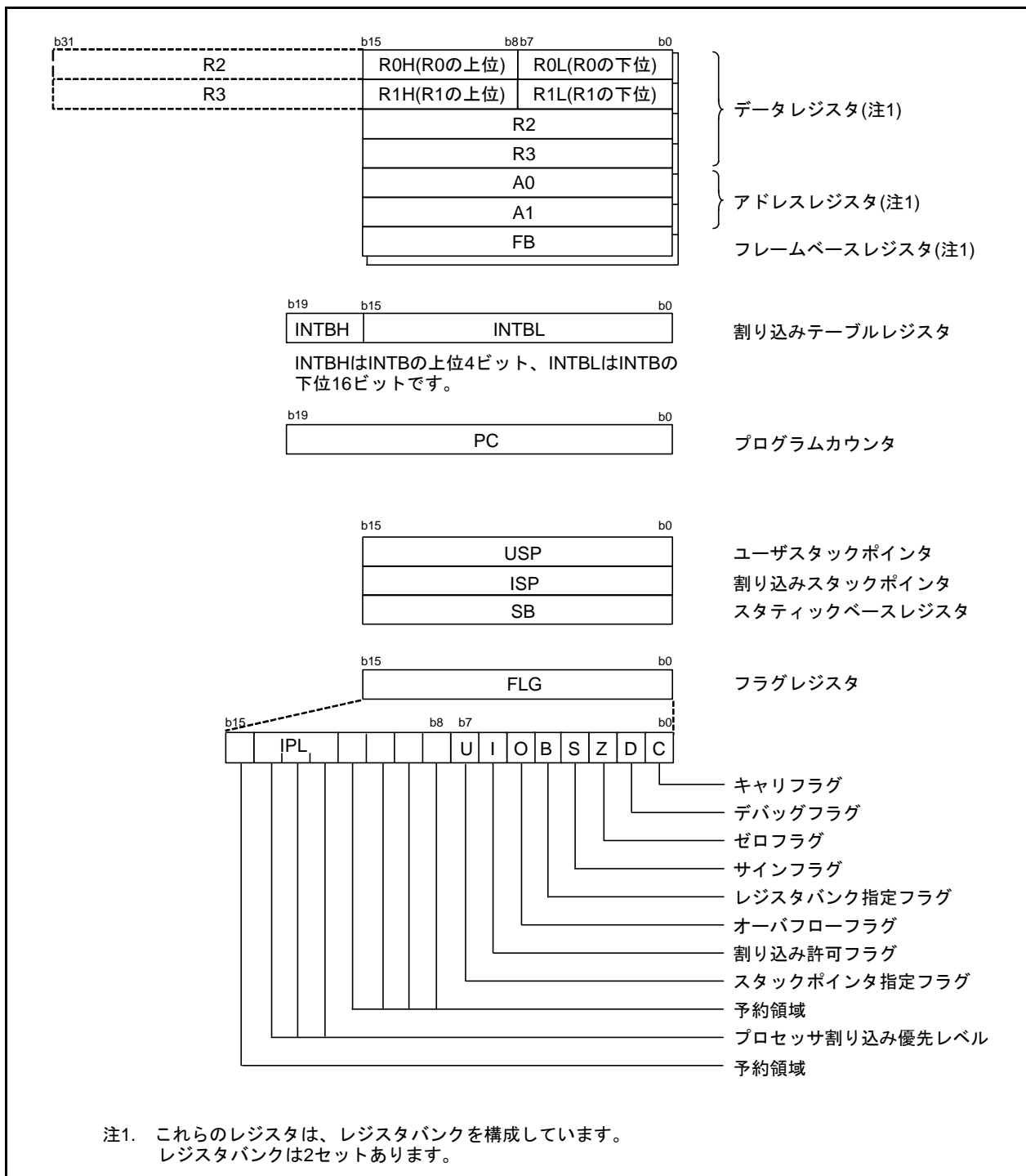


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1~R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組み合わせて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組み合わせて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、ともに16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

SFRは、00000h番地から003FFh番地と、0D000h番地から0D7FFh番地に配置されています。ここには周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、アクセスしないでください。

内部RAMは00400h番地から上位方向に配置されます。たとえば8Kバイトの内部RAMは、00400h番地から023FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時の、スタックとしても使用します。

内部ROMはフラッシュメモリです。内部ROMにはデータフラッシュ、プログラムROM1、プログラムROM2があります。

データフラッシュは、0E000h番地から0FFFFh番地に配置されます。この領域は主にデータ格納用ですが、プログラムを格納することもできます。

プログラムROM2は、10000h番地から13FFFh番地に配置されます。プログラムROM1は、FFFFh番地から下位方向に配置されます。たとえば64KバイトのプログラムROM1は、F0000h番地からFFFFFh番地に配置されます。

スペシャルページベクタテーブルはFFE00h番地からFFFD7h番地に配置されます。このベクタはJMPS命令またはJSRS命令で使用します(「M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル」参照)。

割り込みの固定ベクタテーブル、IDコード格納番地、OFS1番地、OFS2番地はFFFDBh番地からFFFFFh番地に配置されます。

割り込みの可変ベクタテーブルは、INTBレジスタに設定された先頭番地から256バイトの領域に配置されます。

図 3.1にメモリ配置を示します。

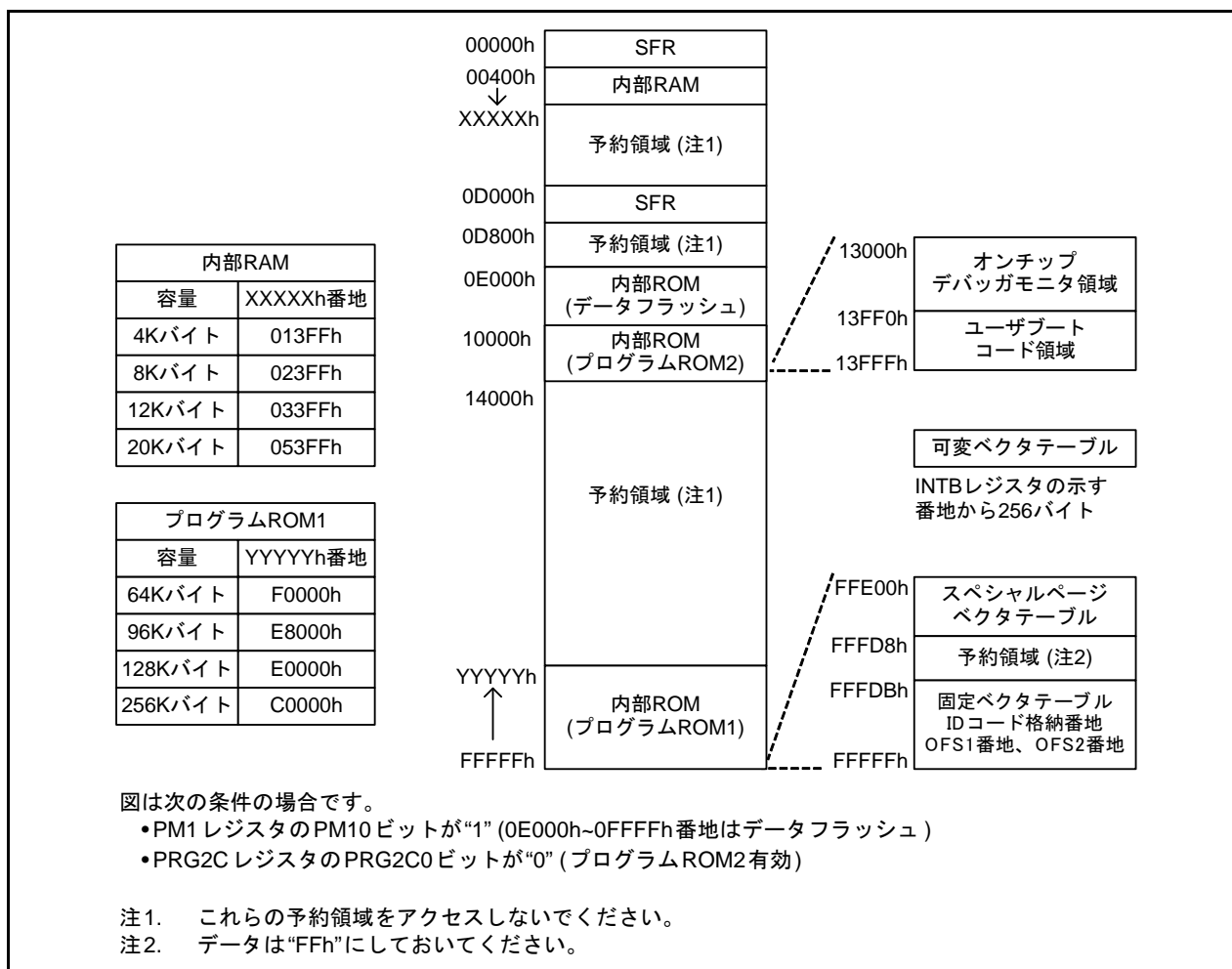


図 3.1 メモリ配置図

4. SFR

4.1 SFR

SFR (Special Function Register)は、周辺機能の制御レジスタです。

表 4.1 SFR一覧(1) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注3)
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
0016h			
0017h			
0018h	リセット要因判別レジスタ	RSTFR	XX0X 001Xb (ハードウェアリセット) (注4)
0019h	電圧検出2回路フラグレジスタ	VCR1	0000 1000b (注2)
001Ah	電圧検出回路動作許可レジスタ	VCR2	000X 0000b (注2、5) 001X 0000b (注2、6)
001Bh			
001Ch	PLL制御レジスタ0	PLC0	0X01 X010b
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
001Fh			

X: 不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
- 注2. 次のレジスタは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視2リセット時は変化しません。
VCR1レジスタ、VCR2レジスタ
- 注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
- 注4. RSTFRレジスタの各ビットは、リセットの種類によって状態が異なります。
- 注5. OFS1番地のLVDASビットが“1”かつハードウェアリセット。
- 注6. 下記のいずれかのリセット後
- ・電圧監視0リセット
 - ・OFS1番地のLVDASビットが“0”かつハードウェアリセット
 - ・パワーオンリセット

表 4.2 SFR一覧(2) (注1)

番地	レジスタ	シンボル	リセット後の値
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h	電圧監視機能選択レジスタ	VWCE	00h
0027h			
0028h	電圧検出2レベル選択レジスタ	VD2LS	0000 0100b (注2)
0029h			
002Ah	電圧監視0回路制御レジスタ	VW0C	1000 1X10b (注3、4) 1100 1X11b (注3、5)
002Bh			
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b (注3、6)
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

X: 不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
- 注2. ハードウェアリセット、パワーオンリセット、電圧監視0リセットまたは電圧監視2リセット
- 注3. 次のレジスタまたはビットは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット、電圧監視2リセット時は変化しません。
VW0Cレジスタ、VW2CレジスタのVW2C2ビット、VW2C3ビット。
- 注4. OFS1番地のLVDASビットが“1”かつハードウェアリセット
- 注5. 下記のいずれかのリセット後
・電圧監視0リセット
・OFS1番地のLVDASビットが“0”かつハードウェアリセット
・パワーオンリセット
- 注6. ハードウェアリセット、パワーオンリセットまたは電圧監視0リセット

表 4.3 SFR一覧(3) (注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
0045h			
0046h			
0047h			
0048h	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
0049h	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ タスク監視タイマ割り込み制御レジスタ	BCNIC TMOSIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ A/D1変換割り込み制御レジスタ	KUPIC ADEIC	XXXX X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00 X000b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.4 SFR一覧(4) (注1)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2 割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3 割り込み制御レジスタ	DM3IC	XXXX X000b
006Bh			
006Ch			
006Dh			
006Eh			
006Fh	UART4 送信割り込み制御レジスタ リアルタイムクロックコンペア割り込み制御レジスタ	S4TIC RTCCIC	XXXX X000b
0070h	UART4 受信割り込み制御レジスタ	S4RIC	XXXX X000b
0071h	CAN0 ウェイクアップ割り込み制御レジスタ	C0WIC	XXXX X000b
0072h	UART3 送信割り込み制御レジスタ CAN0 エラー割り込み制御レジスタ	S3TIC C0EIC	XXXX X000b
0073h	UART3 受信割り込み制御レジスタ	S3RIC	XXXX X000b
0074h	リアルタイムクロック周期割り込み制御レジスタ	RTCTIC	XXXX X000b
0075h	CAN0 受信完了割り込み制御レジスタ	C0RIC	XXXX X000b
0076h	CAN0 送信完了割り込み制御レジスタ	C0TIC	XXXX X000b
0077h	CAN0 受信FIFO割り込み制御レジスタ	C0FRIC	XXXX X000b
0078h	CAN0 送信FIFO割り込み制御レジスタ	C0FTIC	XXXX X000b
0079h	IC/OC 割り込み0制御レジスタ	ICOC0IC	XXXX X000b
007Ah	IC/OC チャンネル0割り込み制御レジスタ	ICOCH0IC	XXXX X000b
007Bh	IC/OC 割り込み1制御レジスタ I2C-bus インタフェース割り込み制御レジスタ	ICOC1IC IICIC	XXXX X000b
007Ch	IC/OC チャンネル1割り込み制御レジスタ SCL/SDA 割り込み制御レジスタ	ICOCH1IC SCLDAIC	XXXX X000b
007Dh	IC/OC チャンネル2割り込み制御レジスタ	ICOCH2IC	XXXX X000b
007Eh	IC/OC チャンネル3割り込み制御レジスタ	ICOCH3IC	XXXX X000b
007Fh	IC/OC ペースタイマ割り込み制御レジスタ	BTIC	XXXX X000b
0080h~ 012Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.5 SFR一覧(5) (注1)

番地	レジスタ	シンボル	リセット後の値
0130h			
0131h			
0132h			
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h	A/D1 レジスタ 0	AD10	XXXX XXXXb
0141h			0000 00XXb
0142h	A/D1 レジスタ 1	AD11	XXXX XXXXb
0143h			0000 00XXb
0144h	A/D1 レジスタ 2	AD12	XXXX XXXXb
0145h			0000 00XXb
0146h	A/D1 レジスタ 3	AD13	XXXX XXXXb
0147h			0000 00XXb
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h	A/D1 トリガ制御レジスタ	AD1TRGCON	XXXX 00XXb
0153h			
0154h	A/D1 制御レジスタ 2	AD1CON2	0000 X00Xb
0155h			
0156h	A/D1 制御レジスタ 0	AD1CON0	0000 0XXXb
0157h	A/D1 制御レジスタ 1	AD1CON1	0000 X000b
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h~ 017Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.6 SFR一覧(6) (注1)

番地	レジスタ	シンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0187h			
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	0000 0X00b
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0197h			
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	0000 0X00b
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	0000 0X00b
01ADh			
01AEh			
01AFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.7 SFR一覧(7) (注1)

番地	レジスタ	シンボル	リセット後の値
01B0h	DMA3 ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B3h			
01B4h	DMA3 ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B7h			
01B8h	DMA3 転送カウンタ	TCR3	XXh
01B9h			XXh
01BAh			
01BBh			
01BCh	DMA3 制御レジスタ	DM3CON	0000 0X00b
01BDh			
01BEh			
01BFh			
01C0h	タイマB0-1 レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1 レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1 レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ 1	PPWFS1	XXXX X000b
01C7h			
01C8h	タイマBカウントソース選択レジスタ 0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ 1	TBCS1	X0h
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ 0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ 1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ 2	TACS2	X0h
01D3h			
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D6h			
01D7h			
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
01D9h			
01DAh	三相プロテクト制御レジスタ	TPRC	00h
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.8 SFR一覧(8) (注1)

番地	レジスタ	シンボル	リセット後の値
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h	タスク監視タイマレジスタ	TMOS	XXh
01F1h			XXh
01F2h	タスク監視タイマカウント開始フラグ	TMOSSR	XXXX XXX0b
01F3h	タスク監視タイマカウントソース選択レジスタ	TMOSCS	XXXX 0000b
01F4h	タスク監視タイマプロテクトレジスタ	TMOSPR	00h
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.9 SFR一覧(9) (注1)

番地	レジスタ	シンボル	リセット後の値
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0223h	フラッシュメモリ制御レジスタ3	FMR3	XXXX 0000b
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
0240h			
0241h			
0242h			
0243h			
0244h			
0245h			
0246h			
0247h			
0248h	UART0送受信モードレジスタ	U0MR	00h
0249h	UART0ビットレートレジスタ	U0BRG	XXh
024Ah	UART0送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
024Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
024Eh	UART0受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h	UART1送受信モードレジスタ	U1MR	00h
0259h	UART1ビットレートレジスタ	U1BRG	XXh
025Ah	UART1送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1送受信制御レジスタ0	U1C0	0000 1000b
025Dh	UART1送受信制御レジスタ1	U1C1	0000 0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X 0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X000 0000b
0267h	UART2特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
026Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.11 SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
0270h			
0271h			
0272h			
0273h			
0274h			
0275h			
0276h			
0277h			
0278h			
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h			
0285h			
0286h			
0287h			
0288h			
0289h			
028Ah			
028Bh			
028Ch			
028Dh			
028Eh			
028Fh			
0290h			
0291h			
0292h			
0293h			
0294h			
0295h			
0296h			
0297h			
0298h	UART4送受信モードレジスタ	U4MR	00h
0299h	UART4ビットレートレジスタ	U4BRG	XXh
029Ah	UART4送信バッファレジスタ	U4TB	XXh
029Bh			XXh
029Ch	UART4送受信制御レジスタ0	U4C0	0000 1000b
029Dh	UART4送受信制御レジスタ1	U4C1	0000 0010b
029Eh	UART4受信バッファレジスタ	U4RB	XXh
029Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.12 SFR一覧(12) (注1)

番地	レジスタ	シンボル	リセット後の値
02A0h			
02A1h			
02A2h			
02A3h			
02A4h			
02A5h			
02A6h			
02A7h			
02A8h	UART3送受信モードレジスタ	U3MR	00h
02A9h	UART3ビットレートレジスタ	U3BRG	XXh
02AAh	UART3送信バッファレジスタ	U3TB	XXh
02ABh			XXh
02ACh	UART3送受信制御レジスタ0	U3C0	0000 1000b
02ADh	UART3送受信制御レジスタ1	U3C1	0000 0010b
02AEh	UART3受信バッファレジスタ	U3RB	XXh
02AFh			XXh
02B0h	I2C0データシフトレジスタ	S00	XXh
02B1h			
02B2h	I2C0アドレスレジスタ0	S0D0	0000 000Xb
02B3h	I2C0制御レジスタ0	S1D0	00h
02B4h	I2C0クロック制御レジスタ	S20	00h
02B5h	I2C0スタート/ストップコンディション制御レジスタ	S2D0	0001 1010b
02B6h	I2C0制御レジスタ1	S3D0	0011 0000b
02B7h	I2C0制御レジスタ2	S4D0	00h
02B8h	I2C0ステータスレジスタ0	S10	0001 000Xb
02B9h	I2C0ステータスレジスタ1	S11	XXXX X000b
02BAh	I2C0アドレスレジスタ1	S0D1	0000 000Xb
02BBh	I2C0アドレスレジスタ2	S0D2	0000 000Xb
02BCh			
02BDh			
02BEh			
02BFh			
02C0h	時間計測レジスタ0、波形生成レジスタ0	G1TM0	XXh
02C1h		G1PO0	XXh
02C2h	時間計測レジスタ1、波形生成レジスタ1	G1TM1	XXh
02C3h		G1PO1	XXh
02C4h	時間計測レジスタ2、波形生成レジスタ2	G1TM2	XXh
02C5h		G1PO2	XXh
02C6h	時間計測レジスタ3、波形生成レジスタ3	G1TM3	XXh
02C7h		G1PO3	XXh
02C8h	時間計測レジスタ4、波形生成レジスタ4	G1TM4	XXh
02C9h		G1PO4	XXh
02CAh	時間計測レジスタ5、波形生成レジスタ5	G1TM5	XXh
02CBh		G1PO5	XXh
02CCh	時間計測レジスタ6、波形生成レジスタ6	G1TM6	XXh
02CDh		G1PO6	XXh
02CEh	時間計測レジスタ7、波形生成レジスタ7	G1TM7	XXh
02CFh		G1PO7	XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.13 SFR一覧(13)(注1)

番地	レジスタ	シンボル	リセット後の値
02D0h	波形生成制御レジスタ0	G1POCR0	0X00 XX00b
02D1h	波形生成制御レジスタ1	G1POCR1	0X00 XX00b
02D2h	波形生成制御レジスタ2	G1POCR2	0X00 XX00b
02D3h	波形生成制御レジスタ3	G1POCR3	0X00 XX00b
02D4h	波形生成制御レジスタ4	G1POCR4	0X00 XX00b
02D5h	波形生成制御レジスタ5	G1POCR5	0X00 XX00b
02D6h	波形生成制御レジスタ6	G1POCR6	0X00 XX00b
02D7h	波形生成制御レジスタ7	G1POCR7	0X00 XX00b
02D8h	時間計測制御レジスタ0	G1TMCR0	00h
02D9h	時間計測制御レジスタ1	G1TMCR1	00h
02DAh	時間計測制御レジスタ2	G1TMCR2	00h
02DBh	時間計測制御レジスタ3	G1TMCR3	00h
02DCh	時間計測制御レジスタ4	G1TMCR4	00h
02DDh	時間計測制御レジスタ5	G1TMCR5	00h
02DEh	時間計測制御レジスタ6	G1TMCR6	00h
02DFh	時間計測制御レジスタ7	G1TMCR7	00h
02E0h	ベースタイマレジスタ	G1BT	XXh
02E1h			XXh
02E2h	ベースタイマ制御レジスタ0	G1BCR0	00h
02E3h	ベースタイマ制御レジスタ1	G1BCR1	00h
02E4h	時間計測プリスケアラレジスタ6	G1TPR6	00h
02E5h	時間計測プリスケアラレジスタ7	G1TPR7	00h
02E6h	機能許可レジスタ	G1FE	00h
02E7h	機能選択レジスタ	G1FS	00h
02E8h	ベースタイマリセットレジスタ	G1BTRR	XXh
02E9h			XXh
02EAh	カウントソース分周レジスタ	G1DV	00h
02EBh			
02ECh	波形出力マスタ許可レジスタ	G1OER	00h
02EDh			
02EEh	タイマS I/O 制御レジスタ0	G1IOR0	00h
02EFh	タイマS I/O 制御レジスタ1	G1IOR1	00h
02F0h	割り込み要求レジスタ	G1IR	XXh
02F1h	割り込み有効レジスタ0	G1IE0	00h
02F2h	割り込み有効レジスタ1	G1IE1	00h
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh	NMI デジタルデバウンスレジスタ	NDDR	FFh
02FFh	P1_7 デジタルデバウンスレジスタ	P17DDR	FFh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14) (注1)

番地	レジスタ	シンボル	リセット後の値
0300h			
0301h			
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh	位置データ保持機能制御レジスタ	PDRF	XXXX 0000b
030Fh			
0310h			
0311h			
0312h			
0313h			
0314h			
0315h			
0316h			
0317h			
0318h	ポート機能制御レジスタ	PFCR	0011 1111b
0319h			
031Ah			
031Bh			
031Ch			
031Dh			
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	00h
0321h			
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0325h			
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.15 SFR一覧(15)(注1)

番地	レジスタ	シンボル	リセット後の値
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h
033Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
033Eh	タイマB2特殊モードレジスタ	TB2SC	X000 0000b
033Fh			
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	00h
0341h	リアルタイムクロック分データレジスタ	RTCMIN	X000 0000b
0342h	リアルタイムクロック時データレジスタ	RTCHR	XX00 0000b
0343h	リアルタイムクロック日データレジスタ	RTCWK	XXXX X000b
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	0000 X00Xb
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	X000 0000b
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	XXX0 0000b
0347h			
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	X000 0000b
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	X000 0000b
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	X000 0000b
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh			
035Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.16 SFR一覧(16)(注1)

番地	レジスタ	シンボル	リセット後の値
0360h	プルアップ制御レジスタ0	PUR0	00h
0361h	プルアップ制御レジスタ1	PUR1	00h
0362h	プルアップ制御レジスタ2	PUR2	00h
0363h			
0364h			
0365h			
0366h	ポート制御レジスタ	PCR	0XX0 0XX0b
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h	端子割り当て制御レジスタ	PACR	0XXX X000b
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注2)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイムスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイム制御レジスタ	WDC	00XX XXXXb
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFS1番地のCSPROINIビットが“0”の場合は“1000 0000b”になります。

表 4.17 SFR一覧(17)(注1)

番地	レジスタ	シンボル	リセット後の値
0390h	DMA2要因選択レジスタ	DM2SL	00h
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	00h
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	00h
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	00h
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h	SFR監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRCモードレジスタ	CRCMR	0XXX XXX0b
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.18 SFR一覧(18) (注1)

番地	レジスタ	シンボル	リセット後の値
03C0h	A/Dレジスタ0	AD0	XXXX XXXXb
03C1h			0000 00XXb
03C2h	A/Dレジスタ1	AD1	XXXX XXXXb
03C3h			0000 00XXb
03C4h	A/Dレジスタ2	AD2	XXXX XXXXb
03C5h			0000 00XXb
03C6h	A/Dレジスタ3	AD3	XXXX XXXXb
03C7h			0000 00XXb
03C8h	A/Dレジスタ4	AD4	XXXX XXXXb
03C9h			0000 00XXb
03CAh	A/Dレジスタ5	AD5	XXXX XXXXb
03CBh			0000 00XXb
03CCh	A/Dレジスタ6	AD6	XXXX XXXXb
03CDh			0000 00XXb
03CEh	A/Dレジスタ7	AD7	XXXX XXXXb
03CFh			0000 00XXb
03D0h			
03D1h			
03D2h	A/Dトリガ制御レジスタ	ADTRGCON	XXXX 00XXb
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	0000 X00Xb
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	0000 0XXXb
03D7h	A/D制御レジスタ1	ADCON1	0000 X000b
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh			
03DFh			
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h			
03E9h			
03EAh			
03EBh			
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.19 SFR一覧(19) (注1)

番地	レジスタ	シンボル	リセット後の値
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h	ポートP9方向レジスタ	PD9	000X 0000b
03F4h	ポートP10レジスタ	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.20 SFR一覧(20) (注1)

番地	レジスタ	シンボル	リセット後の値	
D500h	CAN0 メールボックス0: メッセージ識別子	COMB0	XXh	
D501h			XXh	
D502h			XXh	
D503h			XXh	
D504h				
D505h	CAN0 メールボックス0: データ長		XXh	
D506h	CAN0 メールボックス0: データフィールド		XXh	
D507h		XXh		
D508h		XXh		
D509h		XXh		
D50Ah		XXh		
D50Bh		XXh		
D50Ch		XXh		
D50Dh		XXh		
D50Eh		CAN0 メールボックス0: タイムスタンプ		XXh
D50Fh			XXh	
D510h	CAN0 メールボックス1: メッセージ識別子	COMB1	XXh	
D511h			XXh	
D512h			XXh	
D513h			XXh	
D514h				
D515h	CAN0 メールボックス1: データ長		XXh	
D516h	CAN0 メールボックス1: データフィールド		XXh	
D517h		XXh		
D518h		XXh		
D519h		XXh		
D51Ah		XXh		
D51Bh		XXh		
D51Ch		XXh		
D51Dh		XXh		
D51Eh		CAN0 メールボックス1: タイムスタンプ		XXh
D51Fh			XXh	
D520h	CAN0 メールボックス2: メッセージ識別子	COMB2	XXh	
D521h			XXh	
D522h			XXh	
D523h			XXh	
D524h				
D525h	CAN0 メールボックス2: データ長		XXh	
D526h	CAN0 メールボックス2: データフィールド		XXh	
D527h		XXh		
D528h		XXh		
D529h		XXh		
D52Ah		XXh		
D52Bh		XXh		
D52Ch		XXh		
D52Dh		XXh		
D52Eh		CAN0 メールボックス2: タイムスタンプ		XXh
D52Fh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.21 SFR一覧(21)(注1)

番地	レジスタ	シンボル	リセット後の値		
D530h	CAN0 メールボックス3: メッセージ識別子	COMB3	XXh		
D531h			XXh		
D532h			XXh		
D533h			XXh		
D534h					
D535h	CAN0 メールボックス3: データ長		XXh		
D536h	CAN0 メールボックス3: データフィールド		XXh		
D537h			XXh		
D538h			XXh		
D539h			XXh		
D53Ah			XXh		
D53Bh			XXh		
D53Ch			XXh		
D53Dh			XXh		
D53Eh			CAN0 メールボックス3: タイムスタンプ		XXh
D53Fh					XXh
D540h	CAN0 メールボックス4: メッセージ識別子	COMB4	XXh		
D541h			XXh		
D542h			XXh		
D543h			XXh		
D544h					
D545h	CAN0 メールボックス4: データ長		XXh		
D546h	CAN0 メールボックス4: データフィールド		XXh		
D547h			XXh		
D548h			XXh		
D549h			XXh		
D54Ah			XXh		
D54Bh			XXh		
D54Ch			XXh		
D54Dh			XXh		
D54Eh			CAN0 メールボックス4: タイムスタンプ		XXh
D54Fh					XXh
D550h	CAN0 メールボックス5: メッセージ識別子	COMB5	XXh		
D551h			XXh		
D552h			XXh		
D553h			XXh		
D554h					
D555h	CAN0 メールボックス5: データ長		XXh		
D556h	CAN0 メールボックス5: データフィールド		XXh		
D557h			XXh		
D558h			XXh		
D559h			XXh		
D55Ah			XXh		
D55Bh			XXh		
D55Ch			XXh		
D55Dh			XXh		
D55Eh			CAN0 メールボックス5: タイムスタンプ		XXh
D55Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.22 SFR一覧(22) (注1)

番地	レジスタ	シンボル	リセット後の値		
D560h	CAN0 メールボックス6: メッセージ識別子	COMB6	XXh		
D561h			XXh		
D562h			XXh		
D563h			XXh		
D564h					
D565h	CAN0 メールボックス6: データ長		XXh		
D566h	CAN0 メールボックス6: データフィールド		XXh		
D567h			XXh		
D568h			XXh		
D569h			XXh		
D56Ah			XXh		
D56Bh			XXh		
D56Ch			XXh		
D56Dh			XXh		
D56Eh			CAN0 メールボックス6: タイムスタンプ		XXh
D56Fh					XXh
D570h	CAN0 メールボックス7: メッセージ識別子	COMB7	XXh		
D571h			XXh		
D572h			XXh		
D573h			XXh		
D574h					
D575h	CAN0 メールボックス7: データ長		XXh		
D576h	CAN0 メールボックス7: データフィールド		XXh		
D577h			XXh		
D578h			XXh		
D579h			XXh		
D57Ah			XXh		
D57Bh			XXh		
D57Ch			XXh		
D57Dh			XXh		
D57Eh			CAN0 メールボックス7: タイムスタンプ		XXh
D57Fh					XXh
D580h	CAN0 メールボックス8: メッセージ識別子	COMB8	XXh		
D581h			XXh		
D582h			XXh		
D583h			XXh		
D584h					
D585h	CAN0 メールボックス8: データ長		XXh		
D586h	CAN0 メールボックス8: データフィールド		XXh		
D587h			XXh		
D588h			XXh		
D589h			XXh		
D58Ah			XXh		
D58Bh			XXh		
D58Ch			XXh		
D58Dh			XXh		
D58Eh			CAN0 メールボックス8: タイムスタンプ		XXh
D58Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.23 SFR一覧(23) (注1)

番地	レジスタ	シンボル	リセット後の値	
D590h	CAN0 メールボックス 9: メッセージ識別子	COMB9	XXh	
D591h			XXh	
D592h			XXh	
D593h			XXh	
D594h				
D595h	CAN0 メールボックス 9: データ長		XXh	
D596h	CAN0 メールボックス 9: データフィールド		XXh	
D597h		XXh		
D598h		XXh		
D599h		XXh		
D59Ah		XXh		
D59Bh		XXh		
D59Ch		XXh		
D59Dh		XXh		
D59Eh		CAN0 メールボックス 9: タイムスタンプ		XXh
D59Fh			XXh	
D5A0h	CAN0 メールボックス 10: メッセージ識別子	COMB10	XXh	
D5A1h			XXh	
D5A2h			XXh	
D5A3h			XXh	
D5A4h				
D5A5h	CAN0 メールボックス 10: データ長		XXh	
D5A6h	CAN0 メールボックス 10: データフィールド		XXh	
D5A7h		XXh		
D5A8h		XXh		
D5A9h		XXh		
D5AAh		XXh		
D5ABh		XXh		
D5ACh		XXh		
D5ADh		XXh		
D5AEh		CAN0 メールボックス 10: タイムスタンプ		XXh
D5AFh			XXh	
D5B0h	CAN0 メールボックス 11: メッセージ識別子	COMB11	XXh	
D5B1h			XXh	
D5B2h			XXh	
D5B3h			XXh	
D5B4h				
D5B5h	CAN0 メールボックス 11: データ長		XXh	
D5B6h	CAN0 メールボックス 11: データフィールド		XXh	
D5B7h		XXh		
D5B8h		XXh		
D5B9h		XXh		
D5BAh		XXh		
D5BBh		XXh		
D5BCh		XXh		
D5BDh		XXh		
D5BEh		CAN0 メールボックス 11: タイムスタンプ		XXh
D5BFh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.24 SFR一覧(24) (注1)

番地	レジスタ	シンボル	リセット後の値		
D5C0h	CAN0 メールボックス 12: メッセージ識別子	COMB12	XXh		
D5C1h			XXh		
D5C2h			XXh		
D5C3h			XXh		
D5C4h					
D5C5h	CAN0 メールボックス 12: データ長		XXh		
D5C6h	CAN0 メールボックス 12: データフィールド		XXh		
D5C7h			XXh		
D5C8h			XXh		
D5C9h			XXh		
D5CAh			XXh		
D5CBh			XXh		
D5CCh			XXh		
D5CDh			XXh		
D5CEh			CAN0 メールボックス 12: タイムスタンプ		XXh
D5CFh					XXh
D5D0h	CAN0 メールボックス 13: メッセージ識別子	COMB13	XXh		
D5D1h			XXh		
D5D2h			XXh		
D5D3h			XXh		
D5D4h					
D5D5h	CAN0 メールボックス 13: データ長		XXh		
D5D6h	CAN0 メールボックス 13: データフィールド		XXh		
D5D7h			XXh		
D5D8h			XXh		
D5D9h			XXh		
D5DAh			XXh		
D5DBh			XXh		
D5DCh			XXh		
D5DDh			XXh		
D5DEh			CAN0 メールボックス 13: タイムスタンプ		XXh
D5DFh					XXh
D5E0h	CAN0 メールボックス 14: メッセージ識別子	COMB14	XXh		
D5E1h			XXh		
D5E2h			XXh		
D5E3h			XXh		
D5E4h					
D5E5h	CAN0 メールボックス 14: データ長		XXh		
D5E6h	CAN0 メールボックス 14: データフィールド		XXh		
D5E7h			XXh		
D5E8h			XXh		
D5E9h			XXh		
D5EAh			XXh		
D5EBh			XXh		
D5ECh			XXh		
D5EDh			XXh		
D5EEh			CAN0 メールボックス 14: タイムスタンプ		XXh
D5EFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.25 SFR一覧(25) (注1)

番地	レジスタ	シンボル	リセット後の値	
D5F0h	CAN0 メールボックス 15: メッセージ識別子	COMB15	XXh	
D5F1h			XXh	
D5F2h			XXh	
D5F3h			XXh	
D5F4h				
D5F5h	CAN0 メールボックス 15: データ長		XXh	
D5F6h	CAN0 メールボックス 15: データフィールド		XXh	
D5F7h		XXh		
D5F8h		XXh		
D5F9h		XXh		
D5FAh		XXh		
D5FBh		XXh		
D5FCh		XXh		
D5FDh		XXh		
D5FEh		CAN0 メールボックス 15: タイムスタンプ		XXh
D5FFh			XXh	
D600h	CAN0 メールボックス 16: メッセージ識別子	COMB16	XXh	
D601h			XXh	
D602h			XXh	
D603h			XXh	
D604h				
D605h	CAN0 メールボックス 16: データ長		XXh	
D606h	CAN0 メールボックス 16: データフィールド		XXh	
D607h		XXh		
D608h		XXh		
D609h		XXh		
D60Ah		XXh		
D60Bh		XXh		
D60Ch		XXh		
D60Dh		XXh		
D60Eh		CAN0 メールボックス 16: タイムスタンプ		XXh
D60Fh			XXh	
D610h	CAN0 メールボックス 17: メッセージ識別子	COMB17	XXh	
D611h			XXh	
D612h			XXh	
D613h			XXh	
D614h				
D615h	CAN0 メールボックス 17: データ長		XXh	
D616h	CAN0 メールボックス 17: データフィールド		XXh	
D617h		XXh		
D618h		XXh		
D619h		XXh		
D61Ah		XXh		
D61Bh		XXh		
D61Ch		XXh		
D61Dh		XXh		
D61Eh		CAN0 メールボックス 17: タイムスタンプ		XXh
D61Fh			XXh	

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.26 SFR一覧(26) (注1)

番地	レジスタ	シンボル	リセット後の値		
D620h	CAN0 メールボックス 18: メッセージ識別子	COMB18	XXh		
D621h			XXh		
D622h			XXh		
D623h			XXh		
D624h					
D625h	CAN0 メールボックス 18: データ長		XXh		
D626h	CAN0 メールボックス 18: データフィールド		XXh		
D627h			XXh		
D628h			XXh		
D629h			XXh		
D62Ah			XXh		
D62Bh			XXh		
D62Ch			XXh		
D62Dh			XXh		
D62Eh			CAN0 メールボックス 18: タイムスタンプ		XXh
D62Fh					XXh
D630h	CAN0 メールボックス 19: メッセージ識別子	COMB19	XXh		
D631h			XXh		
D632h			XXh		
D633h			XXh		
D634h					
D635h	CAN0 メールボックス 19: データ長		XXh		
D636h	CAN0 メールボックス 19: データフィールド		XXh		
D637h			XXh		
D638h			XXh		
D639h			XXh		
D63Ah			XXh		
D63Bh			XXh		
D63Ch			XXh		
D63Dh			XXh		
D63Eh			CAN0 メールボックス 19: タイムスタンプ		XXh
D63Fh					XXh
D640h	CAN0 メールボックス 20: メッセージ識別子	COMB20	XXh		
D641h			XXh		
D642h			XXh		
D643h			XXh		
D644h					
D645h	CAN0 メールボックス 20: データ長		XXh		
D646h	CAN0 メールボックス 20: データフィールド		XXh		
D647h			XXh		
D648h			XXh		
D649h			XXh		
D64Ah			XXh		
D64Bh			XXh		
D64Ch			XXh		
D64Dh			XXh		
D64Eh			CAN0 メールボックス 20: タイムスタンプ		XXh
D64Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.27 SFR一覧(27) (注1)

番地	レジスタ	シンボル	リセット後の値		
D650h	CAN0 メールボックス 21: メッセージ識別子	COMB21	XXh		
D651h			XXh		
D652h			XXh		
D653h			XXh		
D654h					
D655h	CAN0 メールボックス 21: データ長		XXh		
D656h	CAN0 メールボックス 21: データフィールド		XXh		
D657h			XXh		
D658h			XXh		
D659h			XXh		
D65Ah			XXh		
D65Bh			XXh		
D65Ch			XXh		
D65Dh			XXh		
D65Eh			CAN0 メールボックス 21: タイムスタンプ		XXh
D65Fh					XXh
D660h	CAN0 メールボックス 22: メッセージ識別子	COMB22	XXh		
D661h			XXh		
D662h			XXh		
D663h			XXh		
D664h					
D665h	CAN0 メールボックス 22: データ長		XXh		
D666h	CAN0 メールボックス 22: データフィールド		XXh		
D667h			XXh		
D668h			XXh		
D669h			XXh		
D66Ah			XXh		
D66Bh			XXh		
D66Ch			XXh		
D66Dh			XXh		
D66Eh			CAN0 メールボックス 22: タイムスタンプ		XXh
D66Fh					XXh
D670h	CAN0 メールボックス 23: メッセージ識別子	COMB23	XXh		
D671h			XXh		
D672h			XXh		
D673h			XXh		
D674h					
D675h	CAN0 メールボックス 23: データ長		XXh		
D676h	CAN0 メールボックス 23: データフィールド		XXh		
D677h			XXh		
D678h			XXh		
D679h			XXh		
D67Ah			XXh		
D67Bh			XXh		
D67Ch			XXh		
D67Dh			XXh		
D67Eh			CAN0 メールボックス 23: タイムスタンプ		XXh
D67Fh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.28 SFR一覧(28) (注1)

番地	レジスタ	シンボル	リセット後の値		
D680h	CAN0 メールボックス 24: メッセージ識別子	COMB24	XXh		
D681h			XXh		
D682h			XXh		
D683h			XXh		
D684h					
D685h	CAN0 メールボックス 24: データ長		XXh		
D686h	CAN0 メールボックス 24: データフィールド		XXh		
D687h			XXh		
D688h			XXh		
D689h			XXh		
D68Ah			XXh		
D68Bh			XXh		
D68Ch			XXh		
D68Dh			XXh		
D68Eh			CAN0 メールボックス 24: タイムスタンプ		XXh
D68Fh					XXh
D690h	CAN0 メールボックス 25: メッセージ識別子	COMB25	XXh		
D691h			XXh		
D692h			XXh		
D693h			XXh		
D694h					
D695h	CAN0 メールボックス 25: データ長		XXh		
D696h	CAN0 メールボックス 25: データフィールド		XXh		
D697h			XXh		
D698h			XXh		
D699h			XXh		
D69Ah			XXh		
D69Bh			XXh		
D69Ch			XXh		
D69Dh			XXh		
D69Eh			CAN0 メールボックス 25: タイムスタンプ		XXh
D69Fh					XXh
D6A0h	CAN0 メールボックス 26: メッセージ識別子	COMB26	XXh		
D6A1h			XXh		
D6A2h			XXh		
D6A3h			XXh		
D6A4h					
D6A5h	CAN0 メールボックス 26: データ長		XXh		
D6A6h	CAN0 メールボックス 26: データフィールド		XXh		
D6A7h			XXh		
D6A8h			XXh		
D6A9h			XXh		
D6AAh			XXh		
D6ABh			XXh		
D6ACh			XXh		
D6ADh			XXh		
D6AEh			CAN0 メールボックス 26: タイムスタンプ		XXh
D6AFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.29 SFR一覧(29) (注1)

番地	レジスタ	シンボル	リセット後の値		
D6B0h	CAN0 メールボックス 27: メッセージ識別子	COMB27	XXh		
D6B1h			XXh		
D6B2h			XXh		
D6B3h			XXh		
D6B4h					
D6B5h	CAN0 メールボックス 27: データ長		XXh		
D6B6h	CAN0 メールボックス 27: データフィールド		XXh		
D6B7h			XXh		
D6B8h			XXh		
D6B9h			XXh		
D6BAh			XXh		
D6BBh			XXh		
D6BCh			XXh		
D6BDh			XXh		
D6BEh			CAN0 メールボックス 27: タイムスタンプ		XXh
D6BFh					XXh
D6C0h	CAN0 メールボックス 28: メッセージ識別子	COMB28	XXh		
D6C1h			XXh		
D6C2h			XXh		
D6C3h			XXh		
D6C4h					
D6C5h	CAN0 メールボックス 28: データ長		XXh		
D6C6h	CAN0 メールボックス 28: データフィールド		XXh		
D6C7h			XXh		
D6C8h			XXh		
D6C9h			XXh		
D6CAh			XXh		
D6CBh			XXh		
D6CCh			XXh		
D6CDh			XXh		
D6CEh			CAN0 メールボックス 28: タイムスタンプ		XXh
D6CFh					XXh
D6D0h	CAN0 メールボックス 29: メッセージ識別子	COMB29	XXh		
D6D1h			XXh		
D6D2h			XXh		
D6D3h			XXh		
D6D4h					
D6D5h	CAN0 メールボックス 29: データ長		XXh		
D6D6h	CAN0 メールボックス 29: データフィールド		XXh		
D6D7h			XXh		
D6D8h			XXh		
D6D9h			XXh		
D6DAh			XXh		
D6DBh			XXh		
D6DCh			XXh		
D6DDh			XXh		
D6DEh			CAN0 メールボックス 29: タイムスタンプ		XXh
D6DFh					XXh

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.30 SFR一覧(30)(注1)

番地	レジスタ	シンボル	リセット後の値		
D6E0h	CAN0 メールボックス 30: メッセージ識別子	COMB30	XXh		
D6E1h			XXh		
D6E2h			XXh		
D6E3h			XXh		
D6E4h					
D6E5h	CAN0 メールボックス 30: データ長		XXh		
D6E6h	CAN0 メールボックス 30: データフィールド		XXh		
D6E7h			XXh		
D6E8h			XXh		
D6E9h			XXh		
D6EAh			XXh		
D6EBh			XXh		
D6ECh			XXh		
D6EDh			XXh		
D6EEh			CAN0 メールボックス 30: タイムスタンプ		XXh
D6EFh					XXh
D6F0h	CAN0 メールボックス 31: メッセージ識別子	COMB31	XXh		
D6F1h			XXh		
D6F2h			XXh		
D6F3h			XXh		
D6F4h					
D6F5h	CAN0 メールボックス 31: データ長		XXh		
D6F6h	CAN0 メールボックス 31: データフィールド		XXh		
D6F7h			XXh		
D6F8h			XXh		
D6F9h			XXh		
D6FAh			XXh		
D6FBh			XXh		
D6FCh			XXh		
D6FDh			XXh		
D6FEh			CAN0 メールボックス 31: タイムスタンプ		XXh
D6FFh					XXh
D700h	CAN0 マスクレジスタ 0	COMKR0	XXh		
D701h			XXh		
D702h			XXh		
D703h			XXh		
D704h	CAN0 マスクレジスタ 1	COMKR1	XXh		
D705h			XXh		
D706h			XXh		
D707h			XXh		
D708h	CAN0 マスクレジスタ 2	COMKR2	XXh		
D709h			XXh		
D70Ah			XXh		
D70Bh			XXh		
D70Ch	CAN0 マスクレジスタ 3	COMKR3	XXh		
D70Dh			XXh		
D70Eh			XXh		
D70Fh			XXh		

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.31 SFR一覧(31)(注1)

番地	レジスタ	シンボル	リセット後の値
D710h	CAN0 マスクレジスタ 4	COMKR4	XXh
D711h			XXh
D712h			XXh
D713h			XXh
D714h	CAN0 マスクレジスタ 5	COMKR5	XXh
D715h			XXh
D716h			XXh
D717h			XXh
D718h	CAN0 マスクレジスタ 6	COMKR6	XXh
D719h			XXh
D71Ah			XXh
D71Bh			XXh
D71Ch	CAN0 マスクレジスタ 7	COMKR7	XXh
D71Dh			XXh
D71Eh			XXh
D71Fh			XXh
D720h	CAN0FIFO 受信ID比較レジスタ 0	C0FIDCR0	XXh
D721h			XXh
D722h			XXh
D723h			XXh
D724h	CAN0FIFO 受信ID比較レジスタ 1	C0FIDCR1	XXh
D725h			XXh
D726h			XXh
D727h			XXh
D728h	CAN0 マスク無効レジスタ	COMKIVLR	XXh
D729h			XXh
D72Ah			XXh
D72Bh			XXh
D72Ch	CAN0 メールボックス割り込み許可レジスタ	COMIER	XXh
D72Dh			XXh
D72Eh			XXh
D72Fh			XXh
D730h~ D79Fh			
D7A0h	CAN0 メッセージ制御レジスタ 0	COMCTL0	00h
D7A1h	CAN0 メッセージ制御レジスタ 1	COMCTL1	00h
D7A2h	CAN0 メッセージ制御レジスタ 2	COMCTL2	00h
D7A3h	CAN0 メッセージ制御レジスタ 3	COMCTL3	00h
D7A4h	CAN0 メッセージ制御レジスタ 4	COMCTL4	00h
D7A5h	CAN0 メッセージ制御レジスタ 5	COMCTL5	00h
D7A6h	CAN0 メッセージ制御レジスタ 6	COMCTL6	00h
D7A7h	CAN0 メッセージ制御レジスタ 7	COMCTL7	00h
D7A8h	CAN0 メッセージ制御レジスタ 8	COMCTL8	00h
D7A9h	CAN0 メッセージ制御レジスタ 9	COMCTL9	00h
D7AAh	CAN0 メッセージ制御レジスタ 10	COMCTL10	00h
D7ABh	CAN0 メッセージ制御レジスタ 11	COMCTL11	00h
D7ACh	CAN0 メッセージ制御レジスタ 12	COMCTL12	00h
D7ADh	CAN0 メッセージ制御レジスタ 13	COMCTL13	00h
D7AEh	CAN0 メッセージ制御レジスタ 14	COMCTL14	00h
D7AFh	CAN0 メッセージ制御レジスタ 15	COMCTL15	00h

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表 4.32 SFR一覧(32) (注1)

番地	レジスタ	シンボル	リセット後の値
D7B0h	CAN0メッセージ制御レジスタ 16	C0MCTL16	00h
D7B1h	CAN0メッセージ制御レジスタ 17	C0MCTL17	00h
D7B2h	CAN0メッセージ制御レジスタ 18	C0MCTL18	00h
D7B3h	CAN0メッセージ制御レジスタ 19	C0MCTL19	00h
D7B4h	CAN0メッセージ制御レジスタ 20	C0MCTL20	00h
D7B5h	CAN0メッセージ制御レジスタ 21	C0MCTL21	00h
D7B6h	CAN0メッセージ制御レジスタ 22	C0MCTL22	00h
D7B7h	CAN0メッセージ制御レジスタ 23	C0MCTL23	00h
D7B8h	CAN0メッセージ制御レジスタ 24	C0MCTL24	00h
D7B9h	CAN0メッセージ制御レジスタ 25	C0MCTL25	00h
D7BAh	CAN0メッセージ制御レジスタ 26	C0MCTL26	00h
D7BBh	CAN0メッセージ制御レジスタ 27	C0MCTL27	00h
D7BCh	CAN0メッセージ制御レジスタ 28	C0MCTL28	00h
D7BDh	CAN0メッセージ制御レジスタ 29	C0MCTL29	00h
D7BEh	CAN0メッセージ制御レジスタ 30	C0MCTL30	00h
D7BFh	CAN0メッセージ制御レジスタ 31	C0MCTL31	00h
D7C0h	CAN0制御レジスタ	C0CTLR	0000 0101b
D7C1h			0000 0000b
D7C2h	CAN0ステータスレジスタ	C0STR	0000 0101b
D7C3h			0000 0000b
D7C4h	CAN0ビットコンフィグレーションレジスタ	C0BCR	00h
D7C5h			00h
D7C6h			00h
D7C7h	CAN0クロック選択レジスタ	C0CLKR	00h
D7C8h	CAN0受信FIFO制御レジスタ	C0RFCR	1000 0000b
D7C9h	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR	XXh
D7CAh	CAN0送信FIFO制御レジスタ	C0TFPCR	1000 0000b
D7CBh	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR	XXh
D7CCh	CAN0エラー割り込み許可レジスタ	C0EIER	00h
D7CDh	CAN0エラー割り込み要因判定レジスタ	C0EIFR	00h
D7CEh	CAN0受信エラーカウントレジスタ	C0RECR	00h
D7CFh	CAN0送信エラーカウントレジスタ	C0TECR	00h
D7D0h	CAN0エラーコード格納レジスタ	C0ECSR	00h
D7D1h	CAN0チャネルサーチサポートレジスタ	C0CSSR	XXh
D7D2h	CAN0メールボックスサーチステータスレジスタ	C0MSSR	1000 0000b
D7D3h	CAN0メールボックスサーチモードレジスタ	C0MSMR	0000 0000b
D7D4h	CAN0タイムスタンプレジスタ	C0TSR	00h
D7D5h			00h
D7D6h	CAN0アクセプタンスフィルタサポートレジスタ	C0AFSR	XXh
D7D7h			XXh
D7D8h	CAN0テスト制御レジスタ	C0TCR	00h
D7D9h			
D7DAh			
D7DBh			
D7DCh			
D7DDh			
D7DEh			
D7DFh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

4.2 SFR使用上の注意事項

4.2.1 レジスタ設定時の注意事項

表 4.33 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表 4.33 書き込みのみ可能なビットを含むレジスタ

アドレス	レジスタ名	シンボル
0249h	UART0ビットレートレジスタ	U0BRG
024Bh~024Ah	UART0送信バッファレジスタ	U0TB
0259h	UART1ビットレートレジスタ	U1BRG
025Bh~025Ah	UART1送信バッファレジスタ	U1TB
0269h	UART2ビットレートレジスタ	U2BRG
026Bh~026Ah	UART2送信バッファレジスタ	U2TB
0299h	UART4ビットレートレジスタ	U4BRG
029Bh~029Ah	UART4送信バッファレジスタ	U4TB
02A9h	UART3ビットレートレジスタ	U3BRG
02ABh~02AAh	UART3送信バッファレジスタ	U3TB
02B6h	I2C0制御レジスタ1	S3D0
02B8h	I2C0ステータスレジスタ0	S10
0303h~0302h	タイマA1-1レジスタ	TA11
0305h~0304h	タイマA2-1レジスタ	TA21
0307h~0306h	タイマA4-1レジスタ	TA41
030Ah	三相出力バッファレジスタ0	IDB0
030Bh	三相出力バッファレジスタ1	IDB1
030Ch	短絡防止タイマ	DTT
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2
0327h~0326h	タイマA0レジスタ	TA0
0329h~0328h	タイマA1レジスタ	TA1
032Bh~032Ah	タイマA2レジスタ	TA2
032Dh~032Ch	タイマA3レジスタ	TA3
032Fh~032Eh	タイマA4レジスタ	TA4
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS
D7C9h	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR
D7CBh	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR

表 4.34 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROLC、RORC、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

5. プロテクト

5.1 概要

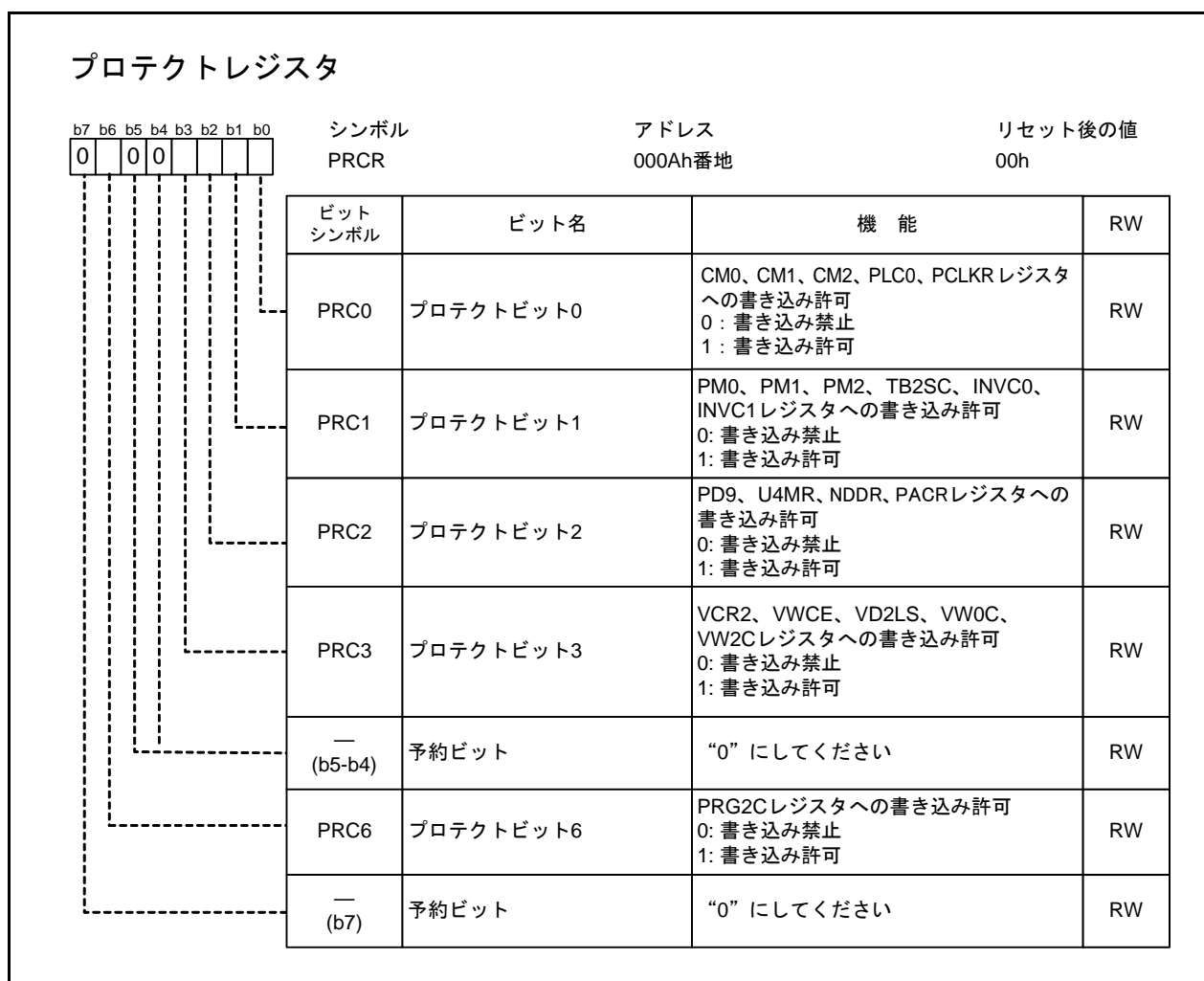
プロテクトはプログラムが暴走したときに備え、重要なレジスタが簡単に書き換えられないように保護する機能です。

5.2 レジスタの説明

表 5.1 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
000Ah	プロテクトレジスタ	PRCR	00h

5.2.1 プロテクトレジスタ (PRCR)



PRC6、PRC3、PRC1、PRC0 (プロテクトビット6、3、1、0) (b6、b3、b1、b0)

PRC6、PRC3、PRC1、PRC0ビットはプログラムで“1”(書き込み許可)を書くと、その後“1”(書き込み許可)の状態が続きます。これらのビットで保護されるレジスタは次の手順で変更してください。

- (1)PRCi (i=0, 1, 3, 6) ビットに“1”を書く
- (2)PRCi ビットで保護されるレジスタに値を書く
- (3)PRCi ビットに“0”(書き込み禁止)を書く

PRC2 (プロテクトビット2) (b2)

PRC2ビットにプログラムで“1”(書き込み許可)を書いた後、任意のSFRに書き込みを実施すると、PRC2ビットは“0”(書き込み禁止)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。下に手順を示します。手順の(1)と(2)の間に割り込みやDMA転送が入らないようにしてください。

- (1)PRC2ビットに“1”を書く
- (2)PRC2ビットで保護されるレジスタに値を書く

5.3 プロテクト使用上の注意事項

PRC2ビットにプログラムで“1” (書き込み許可) を書いた後、任意のSFRに書き込みを実行すると、PRC2ビットは“0” (書き込み禁止) になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

6. リセット

6.1 概要

リセットには、ハードウェアリセット、パワーオンリセット、電圧監視0リセット、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1にリセットの種類、図 6.1にリセット回路のブロック図を示します。図表中の記号(A)～(D)のレジスタ、ビットは表 6.3に示します。

表 6.1 リセットの種類

リセットの名称	要因	初期化されないレジスタ、ビット
ハードウェアリセット	RESET端子の入力電圧が“L”	(A)
パワーオンリセット	VCCの上昇	なし
電圧監視0リセット	VCCの下降 (監視電圧: Vdet0)	なし
電圧監視2リセット	VCCの下降 (監視電圧: Vdet2)	(B)
発振停止検出リセット	メインクロック発振回路の停止を検出	(B)(C)(D)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー	(B)(C)
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く	(B)(C)

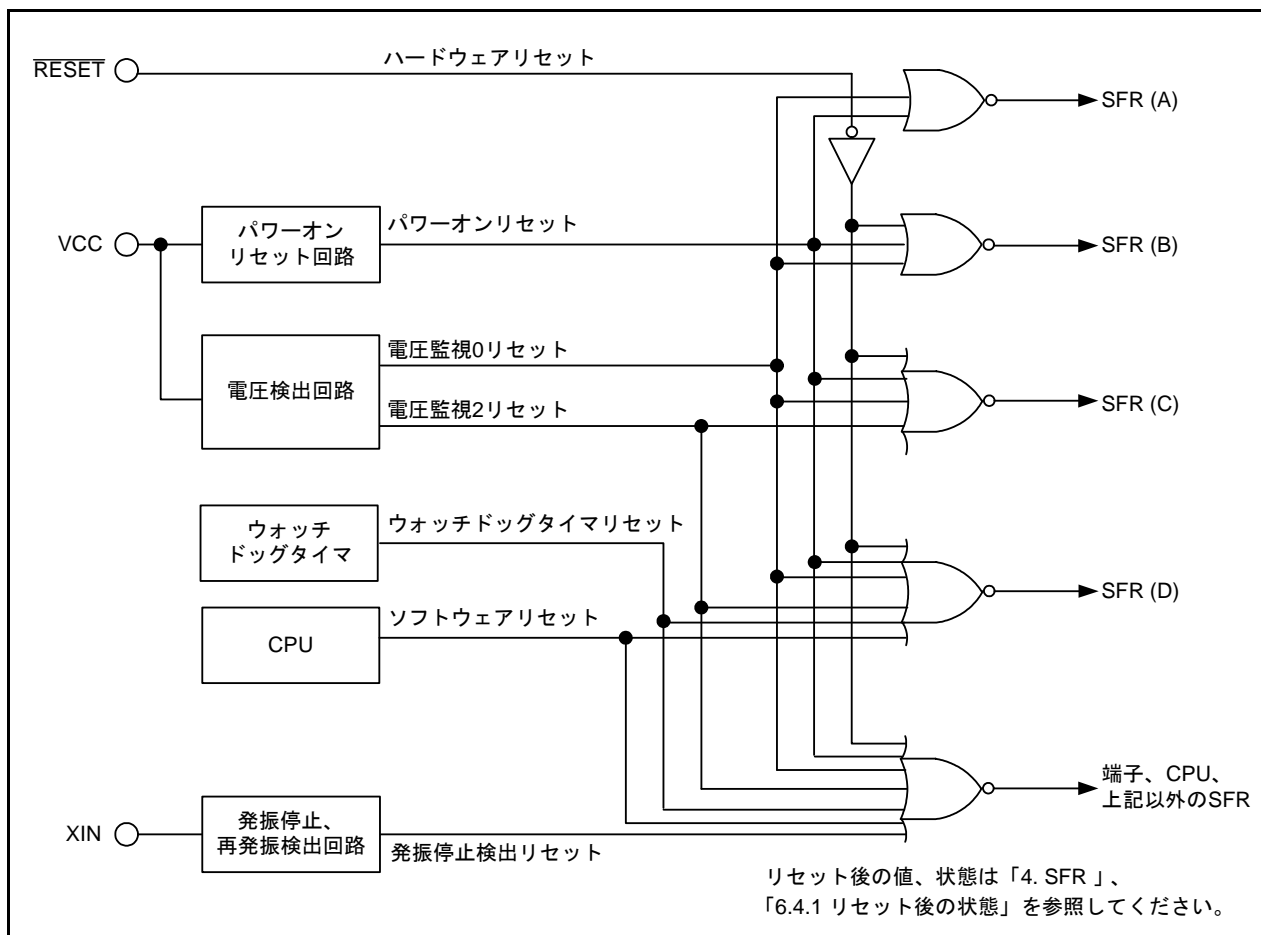


図 6.1 リセット回路のブロック図

表 6.2 リセット時のSFRの分類

SFRの分類	レジスタ、ビット
SFR(A)	RSTFR レジスタのOSDR ビット
SFR(B)	VCR1 レジスタ、VCR2 レジスタ、VW0C レジスタ VW2C レジスタのVW2C2 ビット、VW2C3 ビット
SFR(C)	VD2LS レジスタ
SFR(D)	CM2 レジスタのCM20、CM21、CM27 ビット

表 6.3 入出力端子

端子名	入出力	機能
RESET	入力	ハードウェアリセットの入力
VCC	入力	電源入力。パワーオンリセット、電圧監視0リセット、電圧監視2リセットはVCCを監視する
XIN	入力	メインクロック入力。発振停止検出リセットはメインクロックを監視する

6.2 レジスタの説明

電圧監視0リセット、電圧監視2リセットで使用するレジスタは「7. 電圧検出回路」を参照してください。ウォッチドッグタイマリセットで使用するレジスタは「13. ウォッチドッグタイマ」を参照してください。発振停止検出リセットで使用するレジスタは「8.7 発振停止/再発振検出機能」を参照してください。

表 6.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0004h	プロセッサモードレジスタ0	PM0	00h
0018h	リセット要因判別レジスタ	RSTFR	— (注1)

注1. 「6.2.2 リセット要因判別レジスタ (RSTFR)」参照

6.2.1 プロセッサモードレジスタ0 (PM0)



このレジスタはPRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

PM03 (ソフトウェアリセットビット) (b3)

PM03ビットに“1”を書くと、ソフトウェアリセットします。

6.2.2 リセット要因判別レジスタ (RSTFR)

リセット要因判別レジスタ			
シンボル RSTFR	アドレス 0018h番地	リセット後の値 「表 6.5」参照	
ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	書く場合は“0”を書いてください。 読んだ場合、その値は不定。	RW
HWR	ハードウェアリセット検出 フラグ	0: 未検出 1: 検出	RO
SWR	ソフトウェアリセット検出 フラグ	0: 未検出 1: 検出	RO
WDR	ウォッチドッグタイマリセット 検出フラグ	0: 未検出 1: 検出	RO
— (b4)	予約ビット	書く場合は“0”を書いてください。 読んだ場合、その値は不定。	RW
LVD2R	電圧監視2リセット検出フラグ	0: 未検出 1: 検出	RO
OSDR	発振停止検出リセット検出 フラグ	0: 未検出 1: 検出	RW
— (b7)	予約ビット	書く場合は“0”を書いてください。 読んだ場合、その値は不定。	RW

表 6.5 リセット後のRSTFRレジスタのビットの値

リセット	RSTFRレジスタのビット				
	OSDR	LVD2R	WDR	SWR	HWR
ハードウェアリセット	変化しない	0	0	0	1
パワーオンリセット	0	0	0	0	0
電圧監視0リセット	0	0	0	0	0
電圧監視2リセット	0	1	0	0	0
発振停止検出リセット	1	0	0	0	0
ウォッチドッグタイマリセット	0	0	1	0	0
ソフトウェアリセット	0	0	0	1	0

HWR (ハードウェアリセット検出フラグ) (b1)

OFS1番地のLVDASビットが“0” (ハードウェアリセット後、電圧監視0リセット有効)の場合、またはリセット後プログラムで電圧監視0リセットを有効にした場合、ハードウェアリセット後のHWRビットの値は不定です。

OSDR (発振停止検出リセット検出フラグ) (b6)

OSDRビットは、次の条件でも変化します。

["0"になる条件]

- 電源投入
- OSDRビットに“0”を書く

プログラムで“1”を書いても変化しません。

6.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

6.3.1 オプション機能選択1番地 (OFS1)

オプション機能選択1番地								
b7	b6	b5	b4	b3	b2	b1	b0	
		0	1			1		
シンボル OFS1								
アドレス FFFFh番地								
ビット シンボル	ビット名							機能
WDTON	ウォッチドッグタイマ起動選択ビット							0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態
— (b1)	予約ビット							“1” にしてください
ROMCR	ROMコードプロテクト解除ビット							0: ROMコードプロテクト解除 1: ROMCP1ビット有効
ROMCP1	ROMコードプロテクトビット							0: ROMコードプロテクト有効 1: ROMコードプロテクト解除
— (b4)	予約ビット							“1” にしてください
— (b5)	予約ビット							“0” にしてください
LVDAS	電圧検出回路起動ビット							0: ハードウェアリセット後、電圧監視0リセット有効 1: ハードウェアリセット後、電圧監視0リセット無効
CSPROINI	リセット後カウントソース保護モード選択ビット							0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効

WDTON (ウォッチドッグタイマ起動選択ビット) (b0)

CSPROINI (リセット後カウントソース保護モード選択ビット) (b7)

リセット後のウォッチドッグタイマの状態を決めるビットです。

CSPROINIビットを“0”(リセット後、カウントソース保護モード有効)にするときは、WDTONビットも“0”(リセット後、ウォッチドッグタイマは自動的に起動)にしてください。

ウォッチドッグタイマ、カウントソース保護モードの詳細は「13. ウォッチドッグタイマ」を参照してください。

ROMCR (ROMコードプロテクト解除ビット) (b2)**ROMCP1 (ROMコードプロテクトビット) (b3)**

パラレル入出力モードによるフラッシュメモリの読み出しや値の変更を禁止します。

表 6.6 ROMコードプロテクト

ビットの設定値		ROMコードプロテクト
ROMCRビット	ROMCP1ビット	
0	0	解除
0	1	
1	0	有効
1	1	解除

予約ビット (b5)

“0”にしてください。

LVDAS (電圧検出0回路起動ビット) (b6)

パワーオンリセットを使用する場合は、LVDAS ビットを“0” (ハードウェアリセット後、電圧監視0リセット有効)にしてください。

シングルチップモードで有効です。ブートモードでは無効です。

6.4 動作説明

6.4.1 リセット後の状態

リセット後のSFRの状態はリセットの種類によって変わります。「4. SFR」の「リセット後の値」を参照してください。表 6.7に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態、図 6.2にリセット後のCPUレジスタの状態、図 6.3にリセットシーケンスを示します。

表 6.7 $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態 (注1)
P0~P3、 P6~P10	入力ポート(ハイインピーダンス)

注1. 電源投入後、内部電源電圧が安定してからの状態です。電源投入後、td(P-R) 経つまでは不定です。

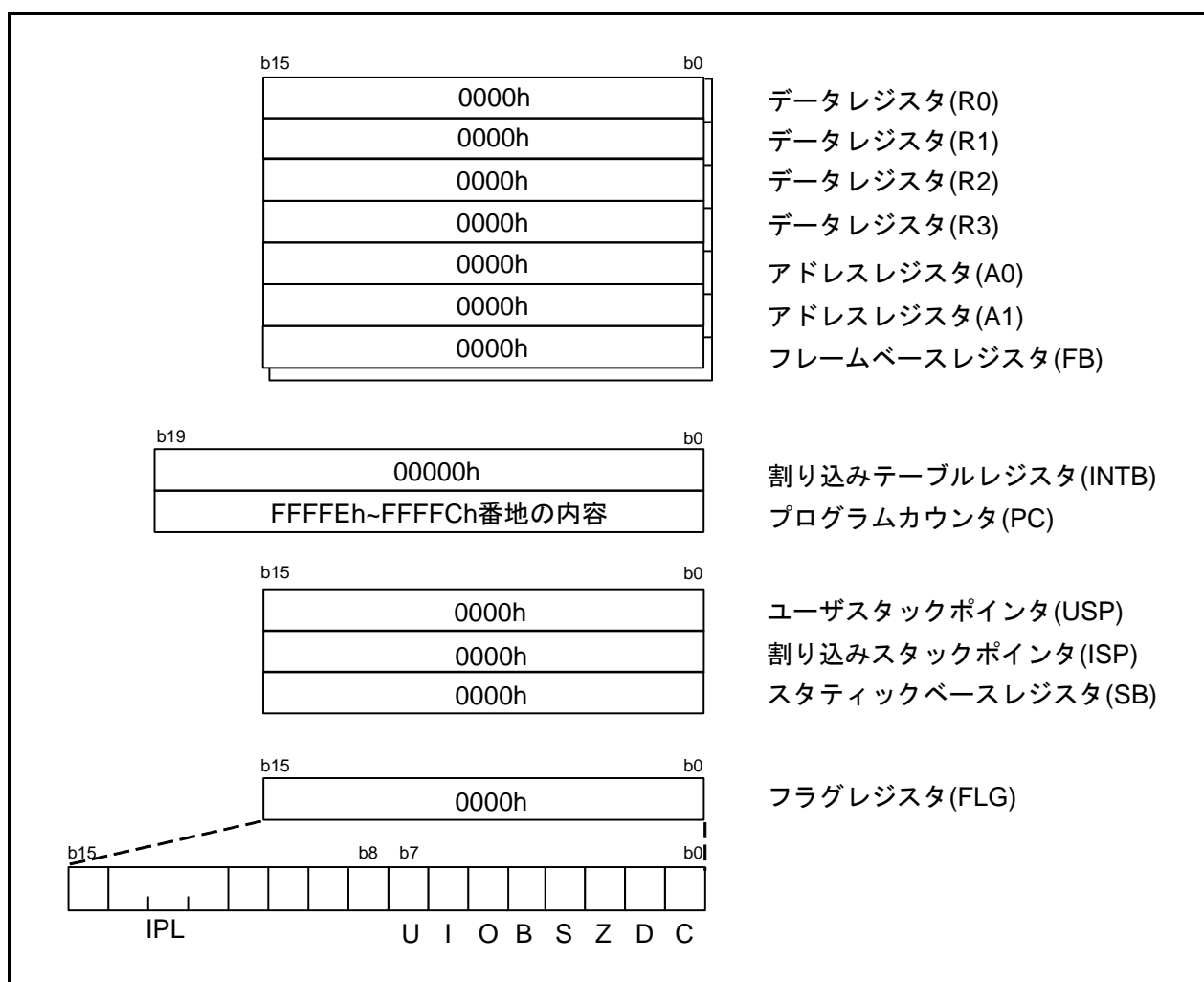


図 6.2 リセット後のCPUレジスタの状態

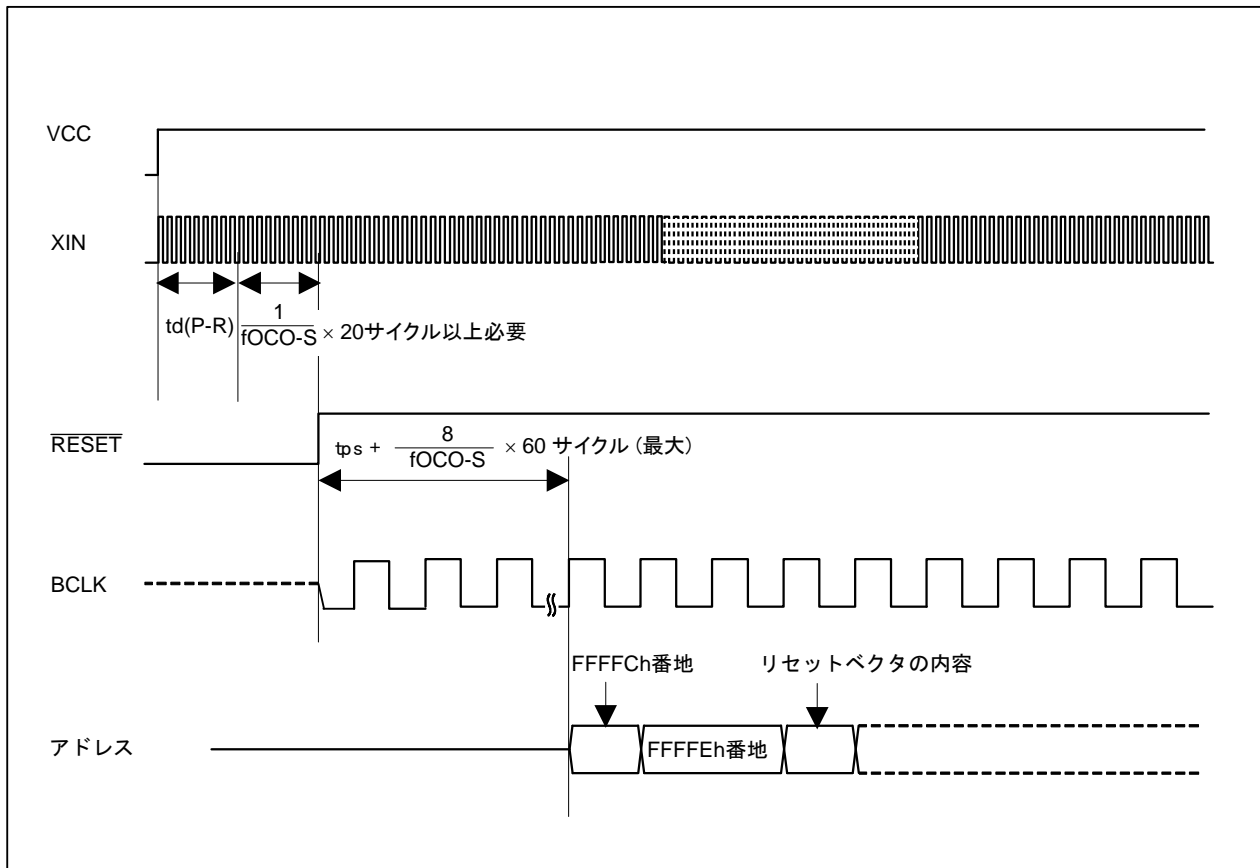


図 6.3 リセットシーケンス

6.4.2 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子、CPU、SFRが初期化されます。

$\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ハードウェアリセット後、RSTFRレジスタのHWRビットが“1”(ハードウェアリセット検出)になります。ただし、電圧監視0リセット有効の場合、HWRビットは不定です。その他のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへの書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部RAMは不定となります。

ハードウェアリセットを発生させる手順は次のとおりです。

電源が安定している場合

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) $t_w(\text{RSTL})$ 待つ
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ
- (4) $\frac{1}{f_{\text{OCO-S}}} \times 20$ サイクル待つ
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

図 6.4 にリセット回路の例を示します。

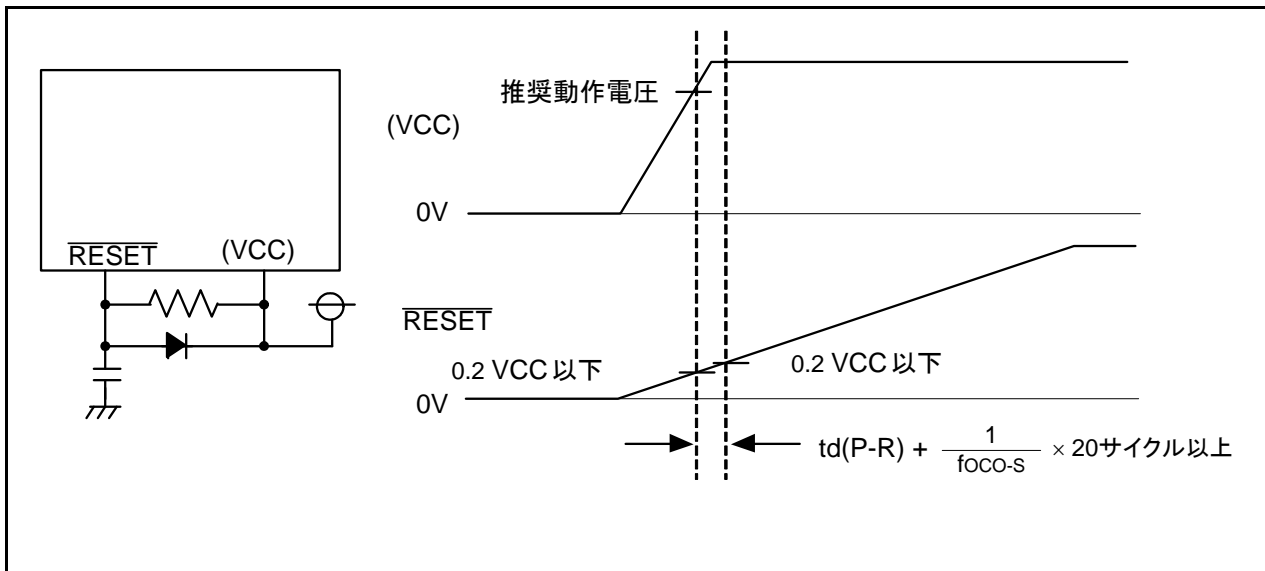


図 6.4 リセット回路の例

6.4.3 パワーオンリセット機能

抵抗を介して $\overline{\text{RESET}}$ 端子をVCCに接続し、VCCを立ち上がり傾き trth で立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。 $\overline{\text{RESET}}$ 端子にコンデンサを接続する場合も、 $\overline{\text{RESET}}$ 端子の電圧は常に V_{IH} の範囲内にしてください。

次にVCC端子に入力する電圧が V_{det0} 以上になると、fOCO-Sのカウントを開始します。fOCO-Sを128回カウントすると、内部リセット信号が“H”になり、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。内部RAMは初期化されません。

パワーオンリセットは、電圧監視0リセットを併用してください。パワーオンリセットを使用する場合は、OFS1番地のLVDASビットを“0”（ハードウェアリセット後、電圧監視0リセット有効）にしてください。この場合、電圧監視0リセットが有効（VW0CレジスタのVW0C0ビットが“1”、ビット6が“1”、VCR2レジスタのVC25ビットが“1”）になります。プログラムでこれらが無効にしないでください。

電圧監視0リセットの設定手順などは「7. 電圧検出回路」を参照してください。

図 6.5 にパワーオンリセット動作を示します。

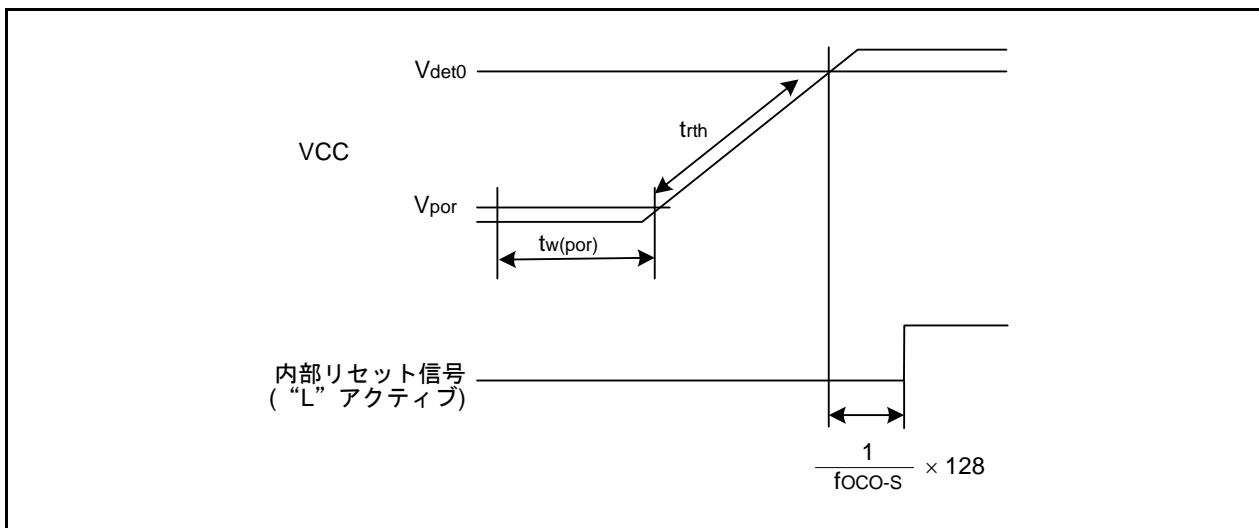


図 6.5 パワーオンリセット動作

6.4.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、fOCO-Sのカウントを開始します。fOCO-Sを128回カウントすると、内部リセット信号が“H”になり、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「7. 電圧検出回路」を参照してください。

6.4.5 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet2です。

VW2CレジスタのVW2C6ビットが“1” (Vdet2通過時に電圧監視2リセット)の場合、VCC端子に入力する電圧がVdet2以下になると端子、CPU、SFRが初期化されます。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。その後、一定時間経つとリセットベクタで示される番地からプログラムを実行します。

電圧監視2リセット後RSTFRレジスタのLVD2Rビットが“1” (電圧監視2リセット検出)になります。電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。

電圧監視2リセットの詳細は「7. 電圧検出回路」を参照してください。

6.4.6 発振停止検出リセット

CM2レジスタのCM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。

発振停止検出リセット後RSTFRレジスタのOSDRビットが“1”(発振停止検出リセット検出)になります。発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にメインクロック発振回路の停止を検出すると、内部RAMは不定となります。

発振停止検出リセットはハードウェアリセットまたは電圧監視0リセットで解除されます。

発振停止検出機能の詳細は「8.7 発振停止/再発振検出機能」を参照してください。

6.4.7 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセット後RSTFRレジスタのWDRビットが“1”(ウォッチドッグタイマリセット検出)になります。ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

6.4.8 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、fOCO-Sの8分周クロックが自動的に選択されます。

ソフトウェアリセット後RSTFRレジスタのSWRビットが“1”(ソフトウェアリセット検出)になります。ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。

6.5 リセット使用上の注意事項

6.5.1 電源立ち上がり勾配

電源投入時等、VCC端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源立ち上がり勾配 (VCC) (電圧範囲0V~2.0V)	0.05			V/ms

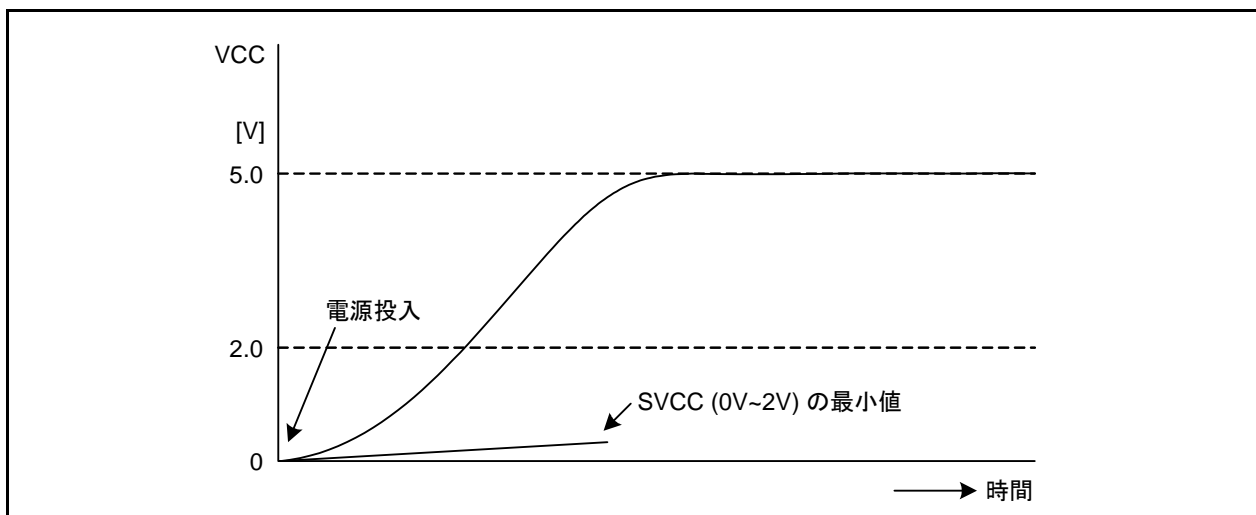


図 6.6 SVCCのタイミング例

6.5.2 パワーオンリセット

パワーオンリセットは、電圧監視0リセットを併用してください。パワーオンリセットを使用する場合はOFS1番地のLVDASビットを“0”（ハードウェアリセット後、電圧監視0リセット有効）にしてください。この場合、電圧監視0リセットが有効（VW0CレジスタのVW0C0ビットが“1”、ビット6が“1”、VCR2レジスタのVC25ビットが“1”）になります。プログラムでこれらを無効にしないでください。

6.5.3 OSDRビット（発振停止検出リセット検出フラグ）

発振停止検出リセットが発生すると、マイクロコンピュータは初期化後、停止します。この状態はハードウェアリセット、または電圧監視0リセットで解除されます。

ただし、RSTFRレジスタのOSDRビットはハードウェアリセットでは変化しませんが、電圧監視0リセットでは“0”（未検出）になります。

6.5.4 VCC < Vdet0の場合のハードウェアリセット

OFS1番地のLVDASビットが“0”（ハードウェアリセット後、電圧監視0リセット有効）かつVCC < Vdet0の状態、ハードウェアリセットした場合、 $\overline{\text{RESET}}$ 端子の入力レベルが“L”から“H”になると、リセットベクタで示される番地からプログラムを開始します。電圧監視0リセットにはなりません。

7. 電圧検出回路

7.1 概要

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。また、電圧監視0リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

表 7.1 に電圧検出回路の仕様を、図 7.1 に電圧検出回路ブロック図を示します。

表 7.1 電圧検出回路の仕様

項目		電圧検出0	電圧検出2
VCC監視	監視する電圧	Vdet0	Vdet2
	検出対象	上昇または下降してVdet0を通過したか	上昇または下降してVdet2を通過したか
	モニタ	なし	VCR1レジスタのVC13ビット Vdet2より高いか低いか
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット; VCC > Vdet0でCPU動作再開	電圧監視2リセット Vdet2 > VCCでリセット; 一定時間後にCPU動作再開
	割り込み	なし	電圧監視2割り込み デジタルフィルタ有効時はVdet2 > VCC、VCC > Vdet2の両方で割り込み要求; デジタルフィルタ無効時はVdet2 > VCC、VCC > Vdet2のどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	なし	あり
	サンプリング時間	なし	(fOCO-Sのn分周)×3 n: 1、2、4、8

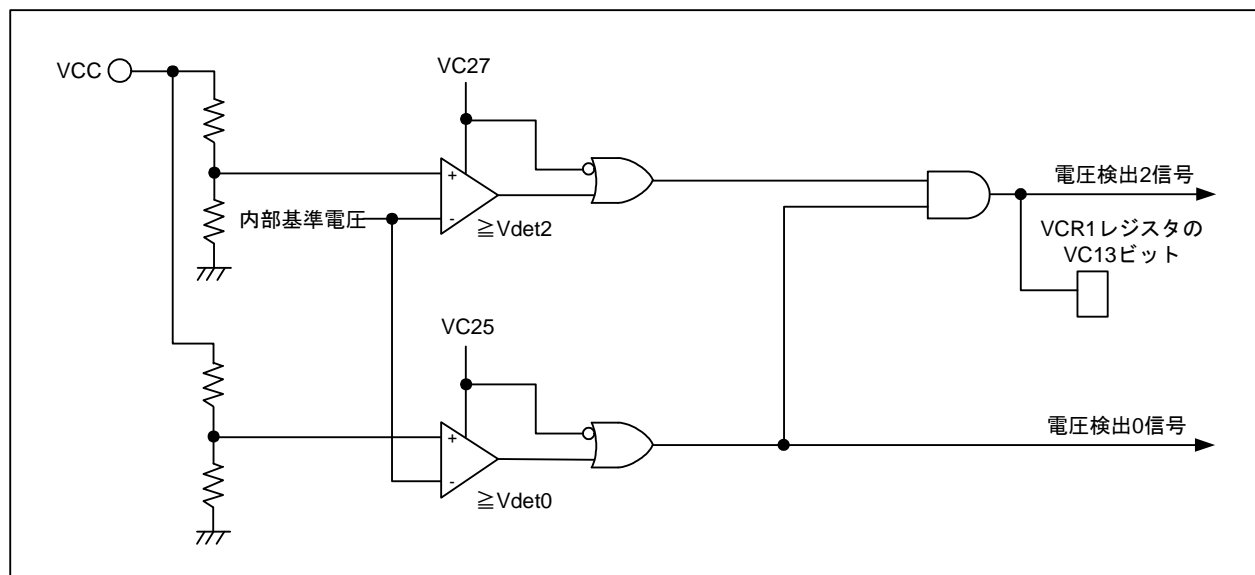


図 7.1 電圧検出回路ブロック図

7.2 レジスタの説明

表 7.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0019h	電圧検出2回路フラグレジスタ	VCR1	0000 1000b (注1、5)
001Ah	電圧検出回路動作許可レジスタ	VCR2	000X 0000b (注2、5) 001X 0000b (注3、5)
0026h	電圧監視機能選択レジスタ	VWCE	00h
0028h	電圧検出2レベル選択レジスタ	VD2LS	0000 0100b (注4、6)
002Ah	電圧監視0回路制御レジスタ	VW0C	1000 1X10b (注2、5) 1100 1X11b (注3、5)
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b (注1、7)

注1. ハードウェアリセット、パワーオンリセット、または電圧監視0リセット

注2. OFS1番地のLVDASビットが“1”、かつハードウェアリセット

注3. 下記のいずれかのリセット後

- ・電圧監視0リセット
- ・OFS1番地のLVDASビットが“0”かつハードウェアリセット
- ・パワーオンリセット

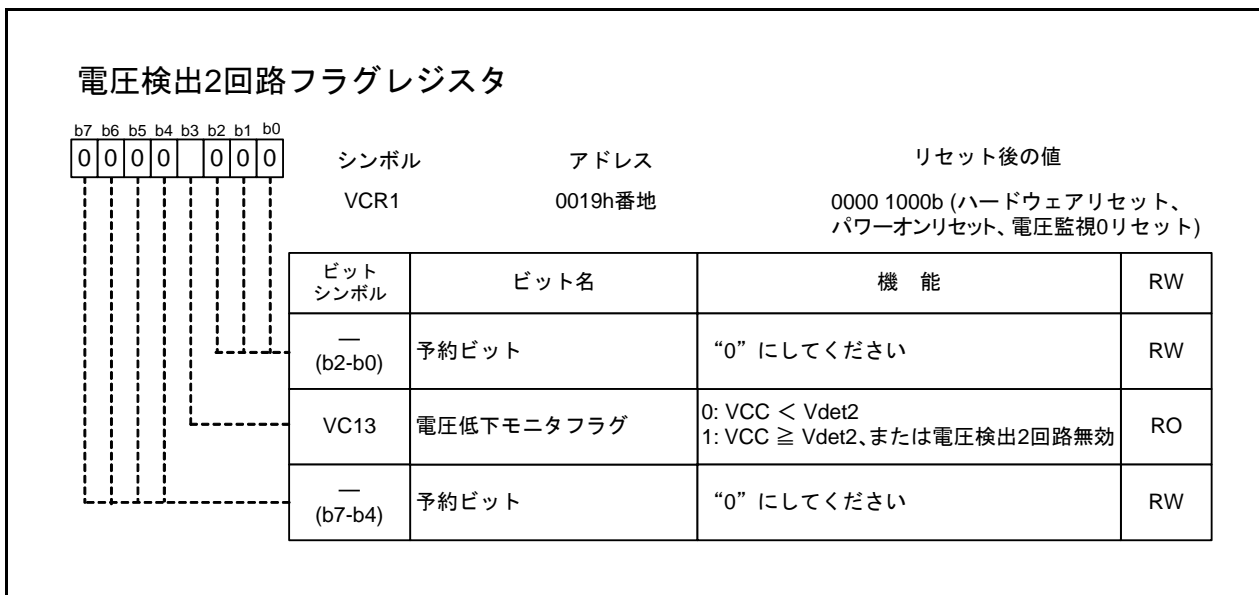
注4. ハードウェアリセット、パワーオンリセット、電圧監視0リセット、または電圧監視2リセット

注5. 電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

注6. 発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

注7. VW2C2、VW2C3ビットは、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

7.2.1 電圧検出2回路フラグレジスタ (VCR1)



電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VC13 (電圧低下モニタフラグ) (b3)

VWCEレジスタのVW12Eビットが“1”(電圧監視2回路有効)かつVCR2レジスタのVC27ビットが“1”(電圧検出2回路有効)のとき、VC13ビットは有効です。

[“0”になる条件]

- VCC < Vdet2 (VW12Eビットが“1”かつVC27ビットが“1”の場合)

[“1”になる条件]

- VCC ≥ Vdet2 (VW12Eビットが“1”かつVC27ビットが“1”の場合)
- VCR2レジスタのVC27ビットが“0”(電圧検出2回路無効)

7.2.2 電圧検出回路動作許可レジスタ (VCR2)

電圧検出回路動作許可レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
0	0	X	0	0	0	0	0

シンボル
VCR2

アドレス
001Ah番地

リセット後の値
000X 0000b (注1)
001X 0000b (注2)

ビットシンボル	ビット名	機能	RW
— (b3-b0)	予約ビット	“0” にしてください。	RW
— (b4)	何も配置されていない。書く場合は、“0” を書いてください。読んだ場合、その値は不定。		—
VC25	電圧検出0許可ビット	0: 電圧検出0回路無効 1: 電圧検出0回路有効	RW
— (b6)	予約ビット	“0” にしてください。	RW
VC27	電圧検出2許可ビット	0: 電圧検出2回路無効 1: 電圧検出2回路有効	RW

注1. OFS1番地のLVDASビットが“1” かつハードウェアリセット
注2. 下記のいずれかのリセット後

- ・電圧監視0リセット
- ・OFS1番地のLVDASビットが“0” かつハードウェアリセット
- ・パワーオンリセット

VCR2レジスタはPRCRレジスタのPRC3ビットを“1” (書き込み許可)にした後で書き換えてください。
VCR2レジスタの値は、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VC25 (電圧検出0許可ビット) (b5)

電圧監視0リセットを使用する場合、VC25ビットを“1” (電圧検出0回路有効)にしてください。VC25ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

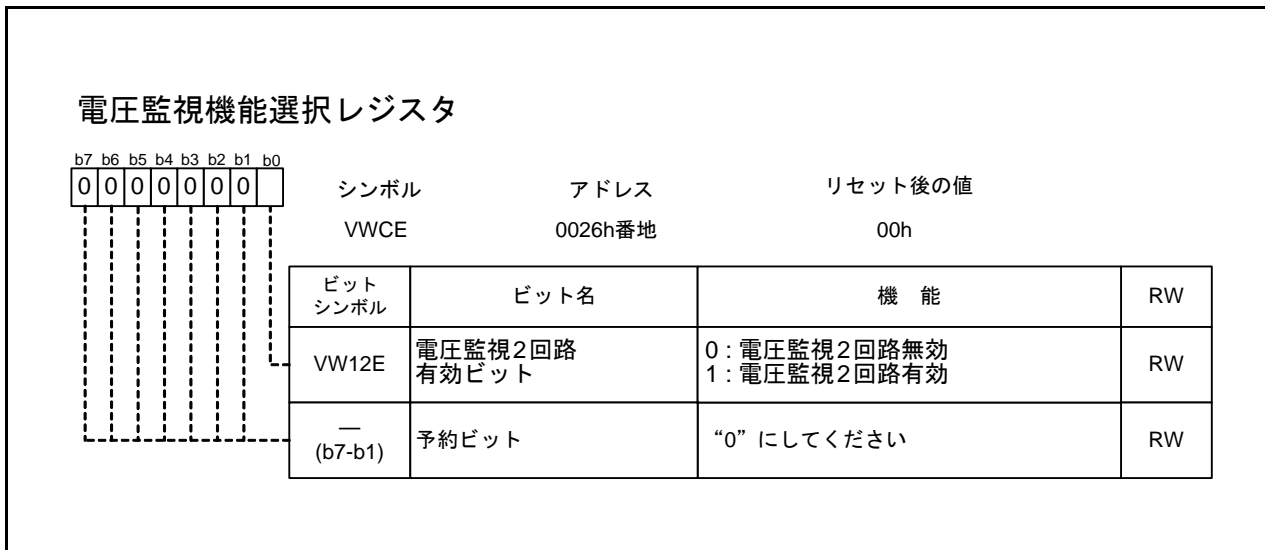
VC27 (電圧検出2許可ビット) (b7)

VWCEレジスタのVW12Eビットが“1” (電圧監視2回路有効)、かつVC27ビットが“1” (電圧検出2回路有効)のとき、電圧検出2回路が有効になります。次のときVW12EビットとVC27ビットをともに“1”にしてください。

- ・電圧監視2割り込み/リセットを使用する
- ・VCR1レジスタのVC13ビットを使用する
- ・VW2CレジスタのVW2C2ビットを使用する

VC27ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

7.2.3 電圧監視機能選択レジスタ (VWCE)

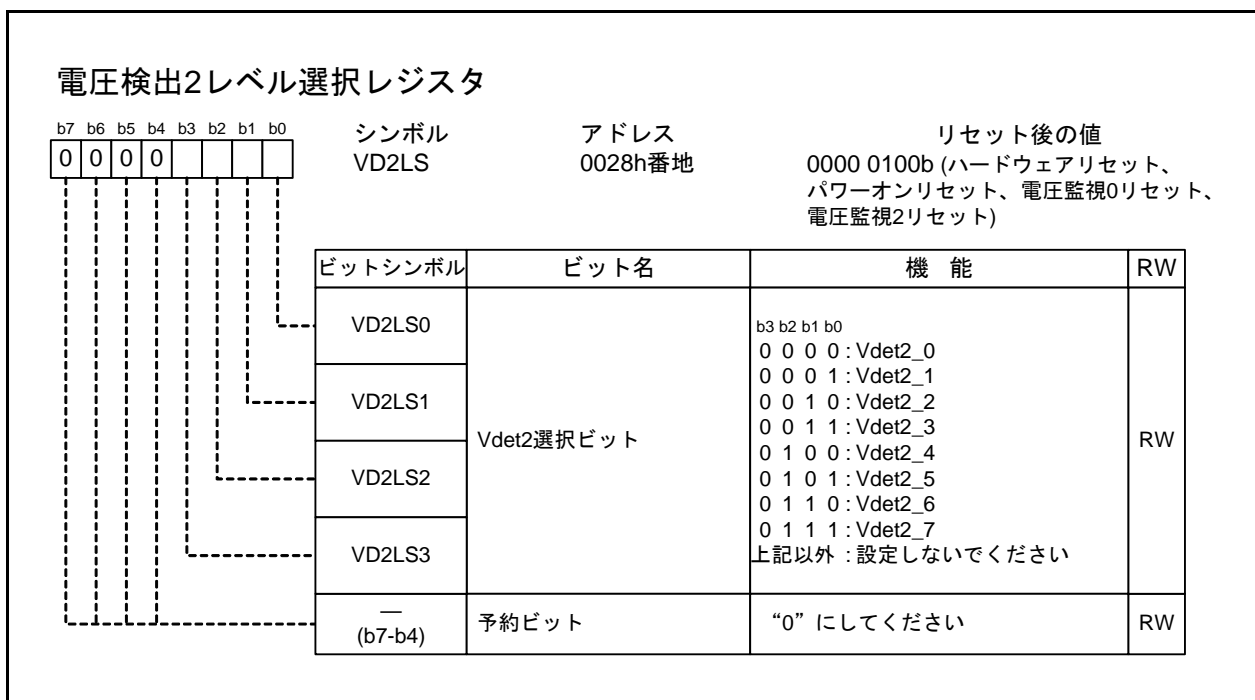


VWCEレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW12E (電圧監視2回路有効ビット) (b0)

VCR2レジスタのVC27ビットを“1”(有効)にする場合、VW12Eビットを“1”(有効)にしてください。

7.2.4 電圧検出2レベル選択レジスタ (VD2LS)



VD2LSレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VD2LSレジスタの値は、VWCEレジスタのVW12Eビットの影響を受けます。表7.3にVD2LSレジスタの値を示します。VD2LSレジスタに値を設定した後、VW12Eビットを“0”にし、再び“1”にすると以前設定した値に戻ります。

表 7.3 VD2LSレジスタの値

VW12Eビット	VD2LSレジスタの値
0	0000 0100b
1	VD2LSレジスタに設定した値 (VD2LSレジスタに何も設定していない場合は“0000 0111b”)

VD2LS3~VD2LS0 (Vdet2選択ビット) (b3~b0)

電圧検出2回路を使用する場合、上記VD2LSレジスタ図に示した値を設定してください。

電圧検出2回路を使用しない場合はリセット後の値のまま構いません。

7.2.5 電圧監視0回路制御レジスタ (VW0C)

電圧監視0回路制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 1 1 0 0 0 1 1	シンボル VW0C	アドレス 002Ah番地	リセット後の値 1000 1X10b (注1) 1100 1X11b (注2)
--	--------------	-----------------	---

ビット シンボル	ビット名	機 能	RW
VW0C0	電圧監視0リセット許可 ビット	0: 禁止 1: 許可	RW
— (b1)	予約ビット	“1” にしてください。	RW
— (b2)	予約ビット	“0” にしてください。 読んだ場合、その値は不定。	RW
— (b3)	予約ビット	読んだ場合、その値は不定。	RO
— (b4)	予約ビット	“0” にしてください。	RW
— (b5)	予約ビット	“0” にしてください。	RW
— (b7-b6)	予約ビット	“1” にしてください。	RW

注1. OFS1番地のLVDASビットが“1” かつハードウェアリセット
注2. 電圧監視0リセット、OFS1番地のLVDASビットが“0” かつハードウェアリセット、
パワーオンリセット

VW0C レジスタはPRCR レジスタのPRC3 ビットを“1” (書き込み許可)にした後で書き換えてください。

電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW0C0 (電圧監視0リセット許可ビット) (b0)

VW0C0 ビットはVCR2 レジスタのVC25 ビットが“1” (電圧検出0回路有効) のとき有効です。VC25 ビットが“0” (電圧検出0回路無効) のときは、VW0C0 ビットを“0” (禁止) にしてください。

VW0C0 ビットを“1” (許可) にするときは、VW0C レジスタのビット6も併せて“1” にしてください。

7.2.6 電圧監視2回路制御レジスタ (VW2C)

電圧監視2回路制御レジスタ			
ビット シンボル	ビット名	機能	RW
VW2C0	電圧監視2割り込み/ リセット許可ビット	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ 無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	RW
VW2C2	電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ	0: 未検出 1: ウォッチドッグタイマアンダフロー検出	RW
VW2F0	サンプリングクロック選択 ビット	b5 b4	RW
VW2F1		0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	
VW2C6	電圧監視2回路モード選択 ビット	0: Vdet2通過時に電圧監視2割り込み 1: Vdet2通過時に電圧監視2リセット	RW
VW2C7	電圧監視2割り込み/ リセット発生条件選択ビット	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	RW

シンボル VW2C アドレス 002Ch番地 リセット後の値 1000 0X10b (ハードウェアリセット、パワーオンリセット、電圧監視0リセット)

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2C3、VW2C2ビットは、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW2Cレジスタ(VW2C3ビットを除く)を書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

VW2C0 (電圧監視2割り込み/リセット許可ビット) (b0)

VW2C0ビットは、VWCEレジスタのVW12Eビットが“1”(電圧監視2回路有効)かつVCR2レジスタのVC27ビットが“1”(電圧検出2回路有効)のとき有効です。VC27ビットが“0”(電圧検出2回路無効)のときは、VW2C0ビットを“0”(禁止)にしてください。

VW2C1 (電圧監視2デジタルフィルタ無効モード選択ビット) (b1)

電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合は、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。

VW2C2 (電圧変化検出フラグ) (b2)

VW2C2ビットはVCR2レジスタのVC27ビットが“1”(電圧検出2回路有効)のとき有効です。VW2C2ビットはプログラムで“1”を書いても変化しません。

[“0”になる条件]

- プログラムで“0”を書く

[“1”になる条件]

表 7.4 VW2C2ビットが“1”になる条件

ビット設定(注1)			VW2C2ビットが“1”になる条件
VW2C1	VW2C6	VW2C7	
0	0	0または1	VC13ビットが変化(“0”から“1”、“1”から“0”の両方)
	1	1	VC13ビットが“1”から“0”に変化
1	0	0	VC13ビットが“0”から“1”に変化
		1	VC13ビットが“1”から“0”に変化
	1	1	VC13ビットが“1”から“0”に変化

VC13ビット: VCR1レジスタのビット

注1. 上記以外の組み合わせを設定しないでください。

VW2C6 (電圧監視2回路モード選択ビット) (b6)

VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効です。

VW2C7 (電圧監視2割り込み/リセット発生条件選択ビット) (b7)

VW2C6ビットが“0”(Vdet2通過時に電圧監視2割り込み)、かつVW2C1ビットが“1”(デジタルフィルタ無効)のとき、VW2C7ビットで電圧監視2割り込み/リセット発生条件が選択できます。

VW2C6ビットが“1”(Vdet2通過時に電圧監視2リセット)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。

VW2C1ビットが“0”(デジタルフィルタ有効)のとき、VW2C7ビットに関係なく、電圧監視2割り込みは、VCCがVdet2以上になるとき、以下になるときの両方で発生します。

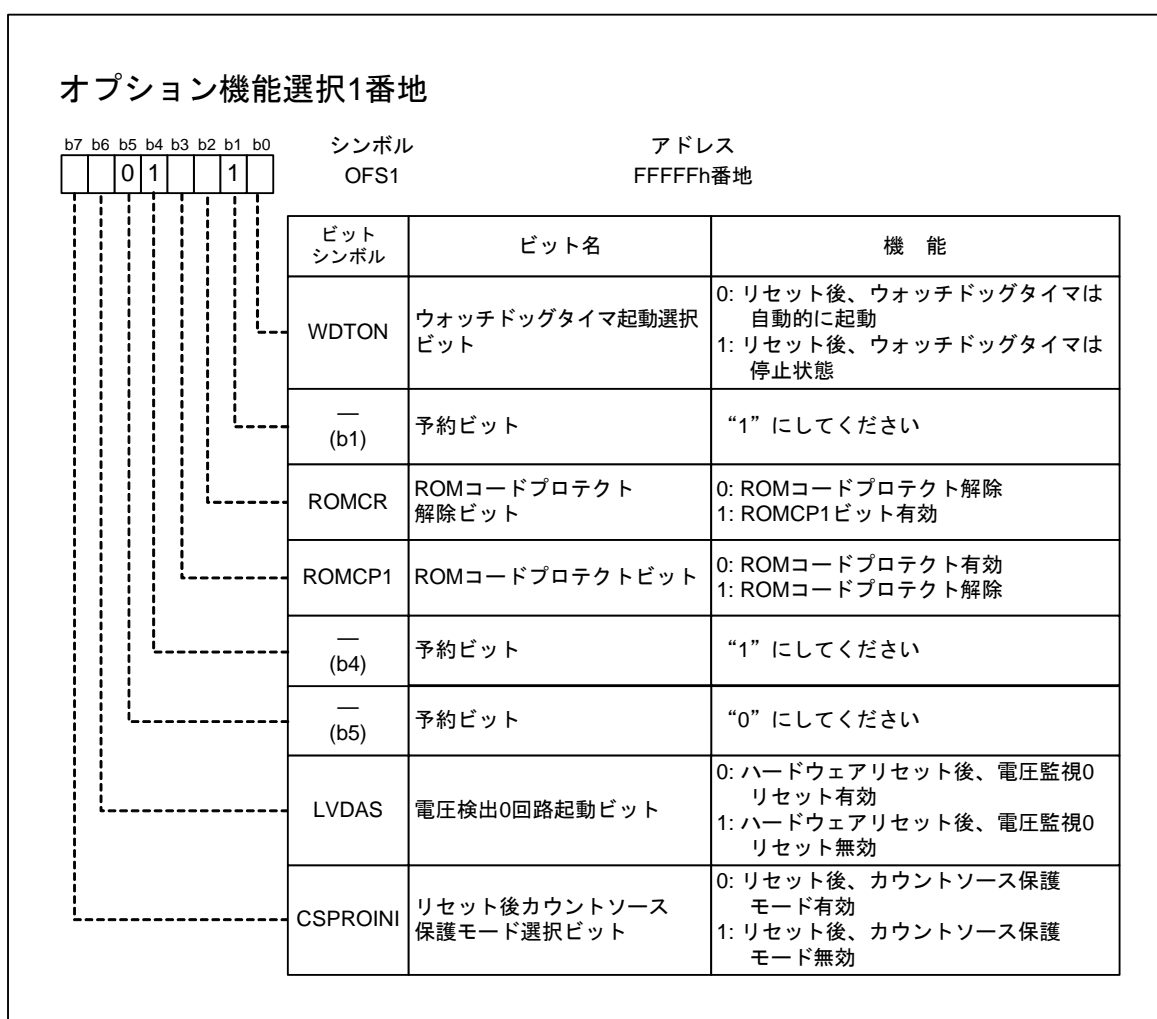
7.3 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地の値は、ユーザがプログラムで設定した値です。

7.3.1 オプション機能選択1番地 (OFS1)



LVDAS (電圧検出0回路起動ビット) (b6)

パワーオンリセットを使用する場合は、LVDASビットを“0” (ハードウェアリセット後、電圧監視0リセット有効) にしてください。

LVDASビットはシングルチップモードで有効です。ブートモードでは無効です。

7.4 動作説明

7.4.1 デジタルフィルタ

VCC入力電圧の監視にデジタルフィルタを使用できます。電圧検出2回路はVW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にするとデジタルフィルタが有効になります。

サンプリングクロックはfOCO-Sの1、2、4、8分周から選択できます。デジタルフィルタを使用する場合、CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振)にしてください。

デジタルフィルタは、サンプリングクロックごとにVCC入力電圧のレベルをサンプリングします。サンプリング時にレベルが3度続けて一致すると、3度目のサンプリングタイミングで、内部リセット信号が“L”になる、または電圧監視2割り込み要求が発生します。したがって、デジタルフィルタを使用するとVCC入力電圧のレベルがVdet2を通過してから、リセットまたは割り込みが発生するまで、最大でサンプリングクロックの3サイクルかかります。

なお、ストップモードではfOCO-Sが停止しますので、デジタルフィルタが動作しません。ストップモードからの復帰に電圧検出2回路を使用する場合はVW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

図7.2にデジタルフィルタの動作例を示します。

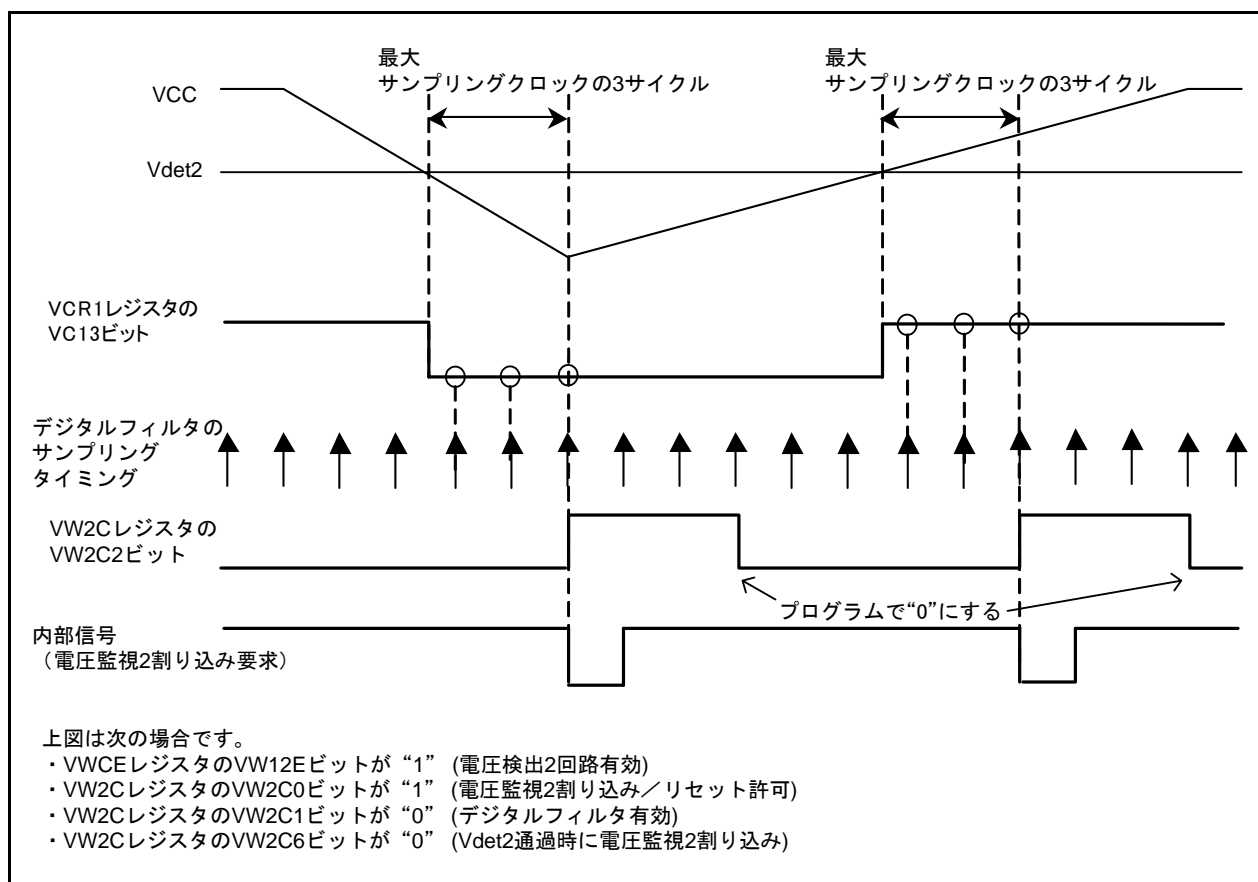


図 7.2 デジタルフィルタの動作例

7.4.2 電圧検出0回路

VCR2レジスタのVC25ビットが“1”（電圧検出0回路有効）のとき、VCC端子に入力する電圧が上昇または下降してVdet0を通過したか監視します。

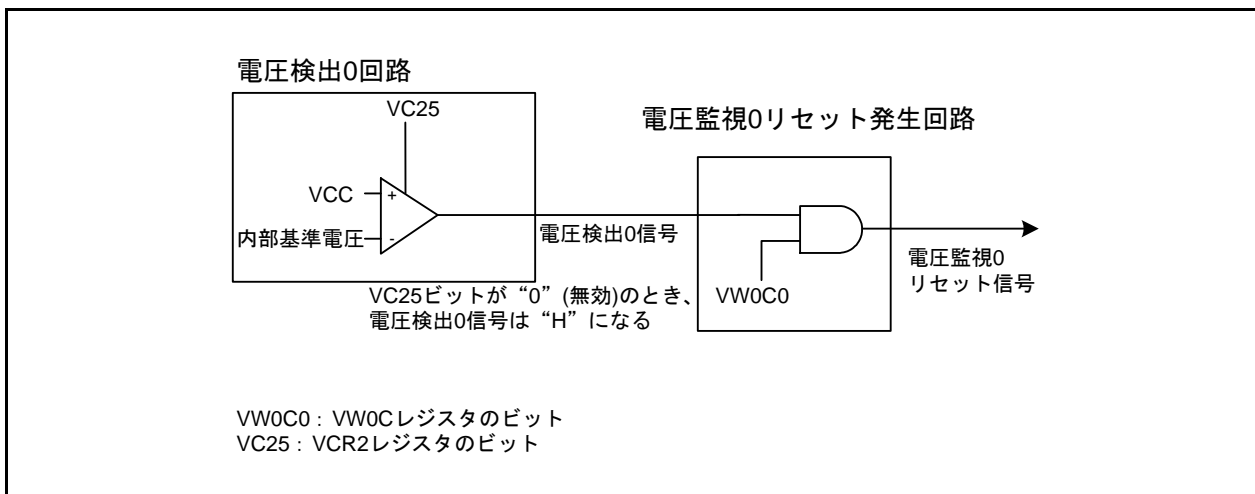


図 7.3 電圧監視0リセット発生回路のブロック図

7.4.2.1 電圧監視0リセット

表 7.5 に電圧監視0リセット関連ビットの設定手順を示します。

表 7.5 電圧監視0リセット関連ビットの設定手順

手順	
1	VCR2レジスタのVC25ビットを“1”（電圧検出0回路有効）にする
2	td(E-A)待つ
3	VW0Cレジスタのビット6、7を“1”にする
4	VW0Cレジスタのビット2を“0”にする（手順3の後、改めてビット2を“0”にする）
5	VW0CレジスタのVW0C0ビットを“1”（電圧監視0リセット許可）にする

図 7.4に電圧監視0リセット動作例を示します。

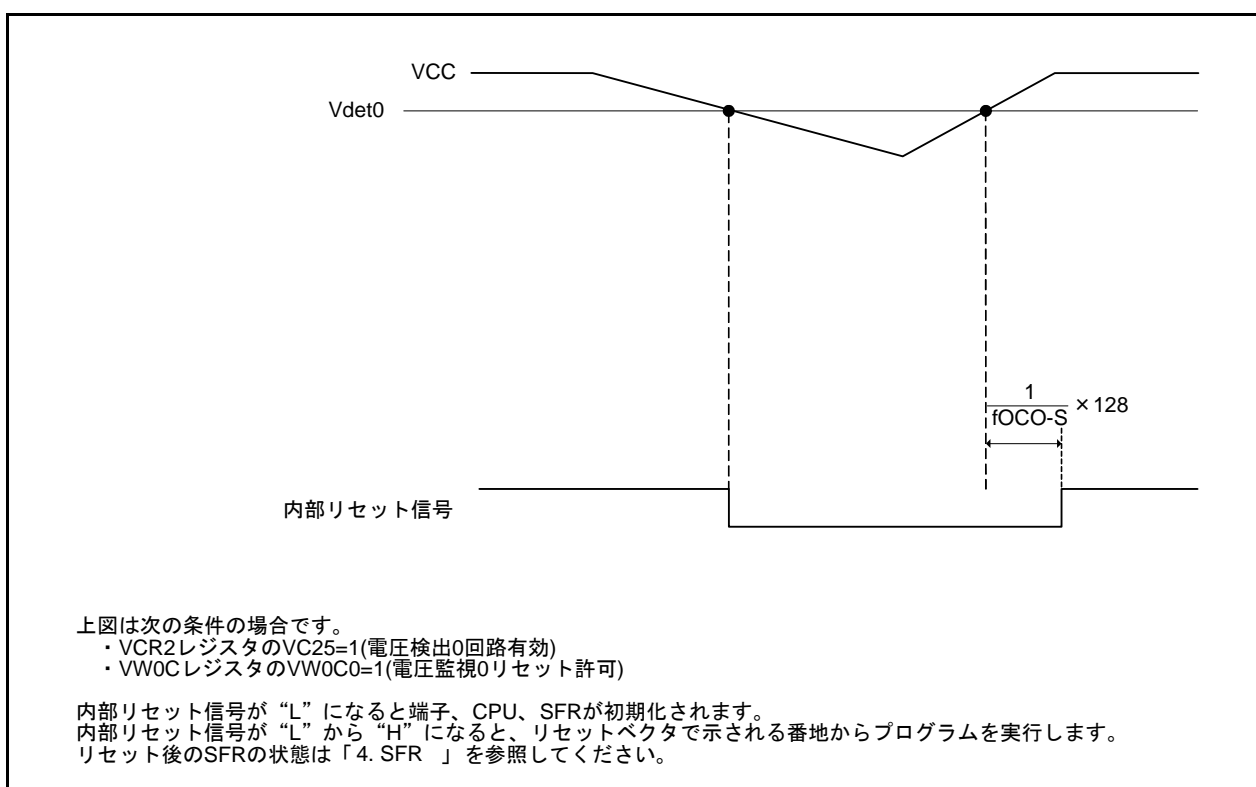


図 7.4 電圧監視0リセット動作例

7.4.3 電圧検出2回路

VWCEレジスタのVW12Eビットが“1”(電圧監視2回路有効)、かつVCR2レジスタのVC27ビットが“1”(電圧検出2回路有効)のとき、VCC端子の入力する電圧が上昇または下降してVdet2を通過したか監視します。

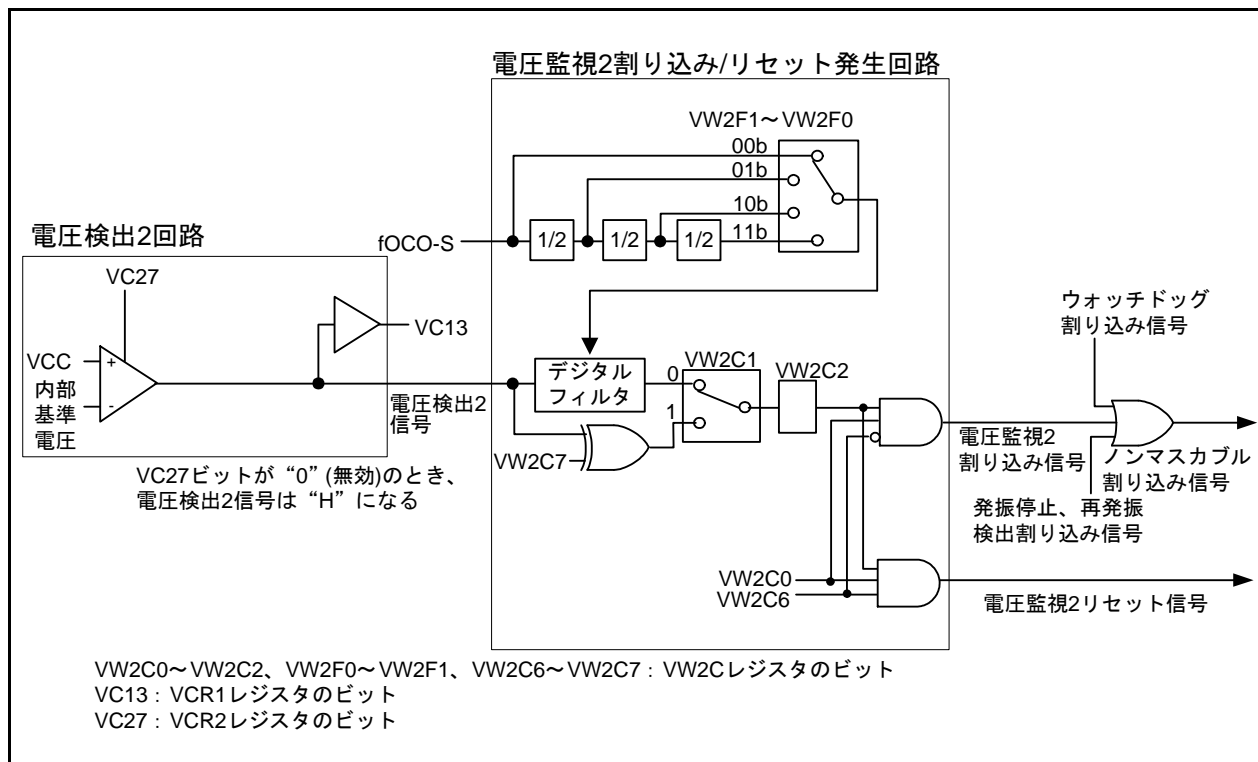


図 7.5 電圧監視2割り込み/リセット発生回路のブロック図

7.4.3.1 Vdet2のモニタ

VWCEレジスタのVW12Eビットを“1”(電圧監視2回路有効)にし、かつVCR2レジスタのVC27ビットを“1”(電圧検出2回路有効)にしてください。td(E-A)経過後、VCR1レジスタのVC13ビットでVdet2をモニタできます。

7.4.3.2 電圧監視2割り込み、電圧監視2リセット

表 7.6に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を示します。

表 7.6 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振)にする		—	
2	デジタルフィルタのサンプリングクロックの3サイクル待つ		— (待ち時間なし)	
3	VWCEレジスタのVW12Eビットを“1”(電圧監視2回路有効)にする			
4	VD2LSレジスタのVD2LS3~VD2LS0ビットでVdet2を選択する			
5	VCR2レジスタのVC27ビットを“1”(電圧検出2回路有効)にする			
6	td(E-A)待つ			
7	VW2CレジスタのVW2F0~VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
8 (注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする	
9 (注2)	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込み)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセット)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込み)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセット)にする
10	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
11	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”のとき、手順7、8と9は同時に(1命令で)実行しても構いません。

電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

電圧監視2リセットが発生するとRSTFRレジスタのLVD2Rビットが“1”(電圧監視2リセット検出)になります。リセット後の状態などは「6.4.5 電圧監視2リセット」を参照してください。

図 7.6に電圧監視2割り込み、電圧監視2リセット動作例を示します。

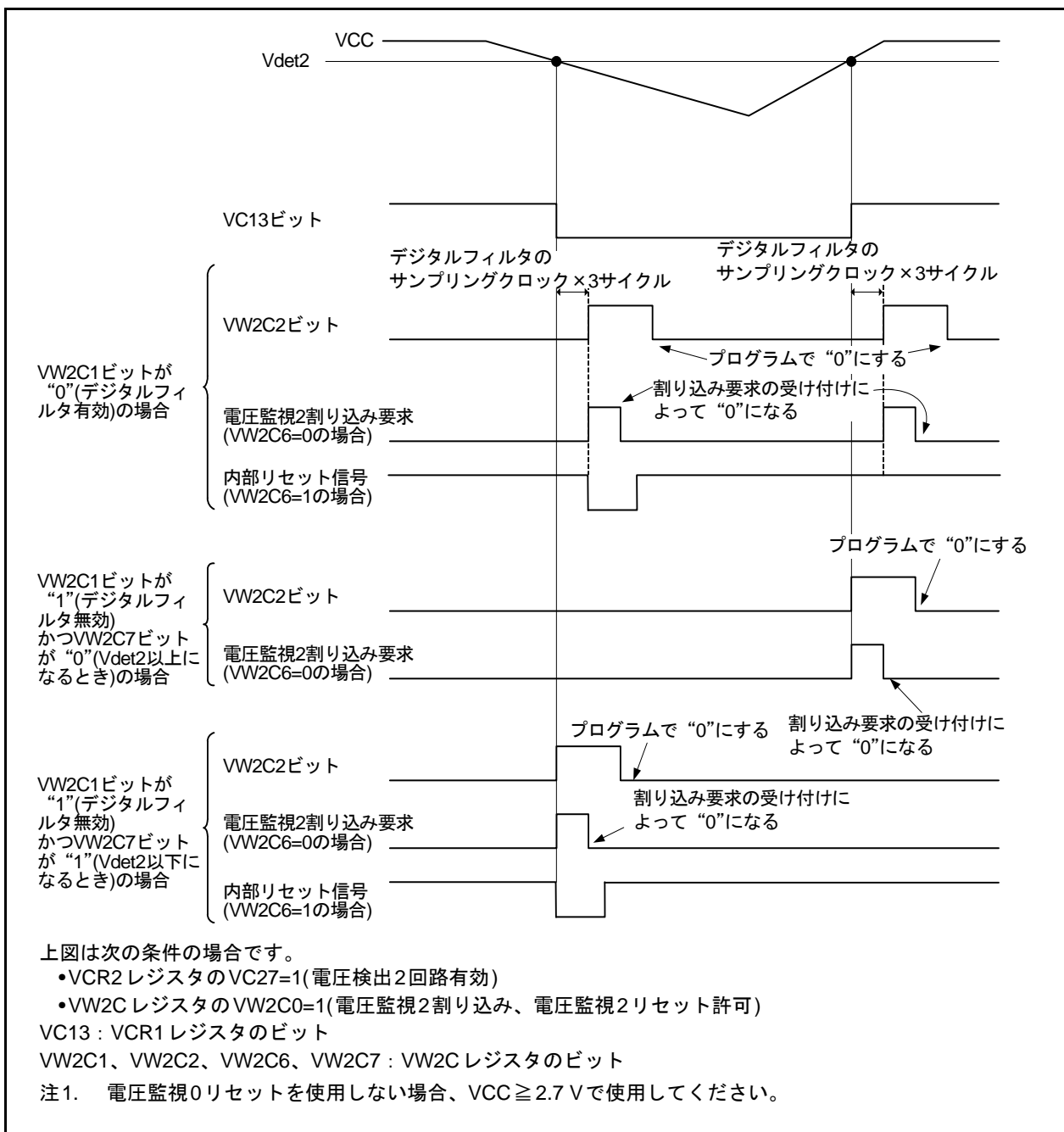


図 7.6 電圧監視2割り込み、電圧監視2リセット動作例

7.5 割り込み

電圧監視2割り込みはノンマスクابل割り込みです。

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。

電圧監視2の検出フラグは、VW2CレジスタのVW2C2ビットです。VW2C2ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

8. クロック発生回路

8.1 概要

CPUや周辺機能の動作クロックを発生する機能です。クロック発生回路として、次の回路があります。

- メインクロック発振回路
- PLL周波数シンセサイザ
- 125kHzオンチップオシレータ
- サブクロック発振回路

表 8.1にクロック発生回路の仕様を示します。また、図 8.1にシステムクロック発生回路のブロック図を示します。

表 8.1 クロック発生回路の仕様

項目	メインクロック 発振回路	PLL周波数 シンセサイザ	125kHz オンチップオシレータ	サブクロック 発振回路
用途	<ul style="list-style-type: none"> •CPUの クロック源 •周辺機能の クロック源 	<ul style="list-style-type: none"> •CPUの クロック源 •周辺機能の クロック源 	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源 •メインクロック発振停止時のCPU、周辺機能のクロック源 •CPUクロック停止時のウォッチドッグタイマのカウンタソース 	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源
クロック周波数	f(XIN)	f(PLL)	fOCO-S	f(XCIN)
接続できる 発振子	<ul style="list-style-type: none"> •セラミック 共振子 •水晶発振子 	-(注1)	-	水晶発振子
発振子の 接続端子	XIN、XOUT	-(注1)	-	XCIN、XCOUT
発振の開始、 停止機能	あり	あり	あり	あり
リセット後の 状態	発振	停止	発振	停止
その他	外部で生成 されたクロック を入力可能	-(注1)	-	-

注1. PLL周波数シンセサイザは基準クロック源としてメインクロック発振回路を使用します。したがって、これらの項目はメインクロック発振回路に準じます。

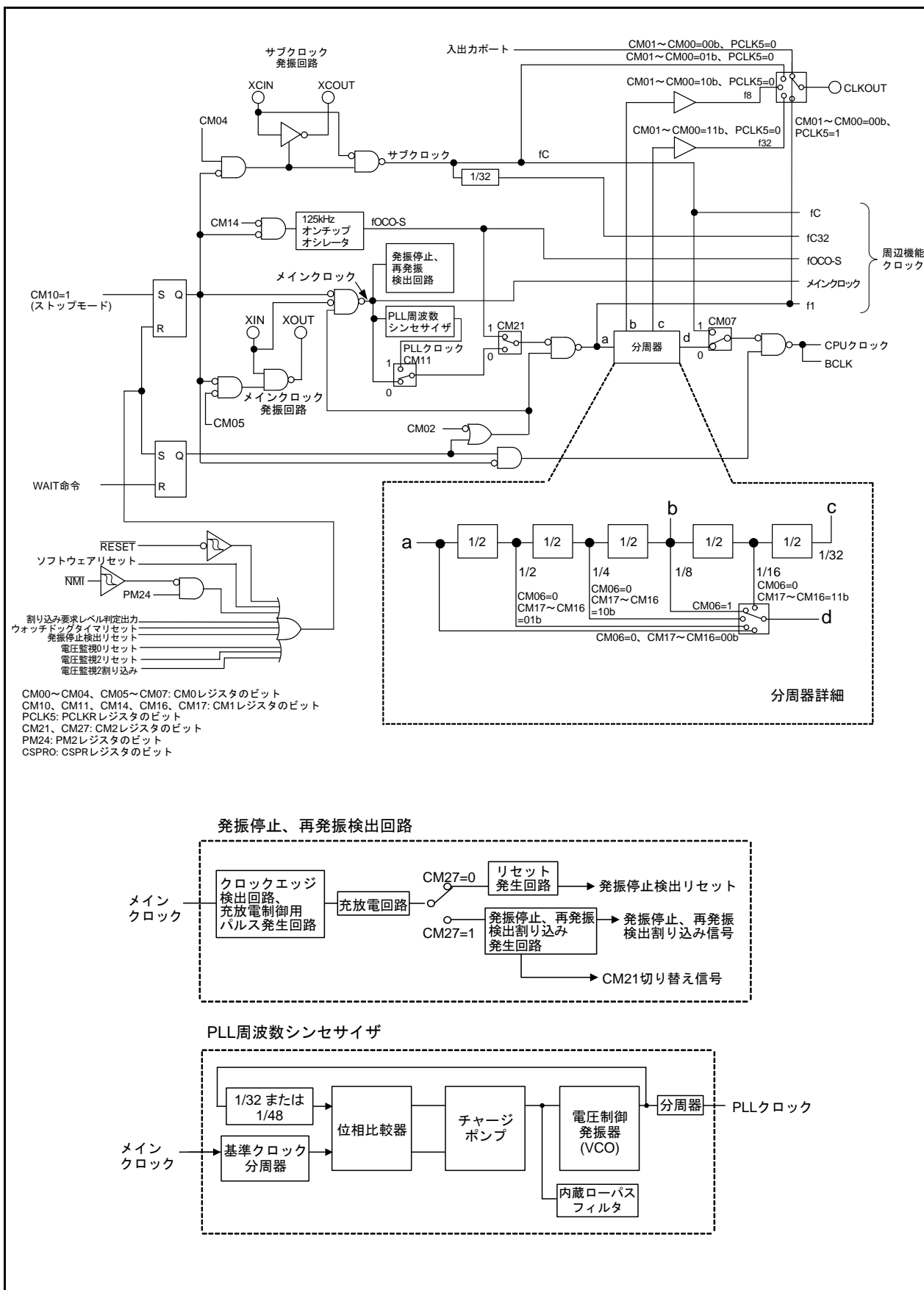


図 8.1 システムクロック発生回路

表 8.2 入出力端子

端子名	入出力	機能
XIN	入力	メインクロック発振回路を構成する
XOUT	出力	
XCIN	入力(注1)	サブクロック発振回路を構成する
XCOU	出力(注1)	
CLKOUT	出力	クロック出力

注1. 端子を共用するポートの方向ビットは“0” (入力モード)にしてください。

8.2 レジスタの説明

表 8.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0006h	システムクロック制御レジスタ0	CM0	0100 1000b
0007h	システムクロック制御レジスタ1	CM1	0010 0000b
000Ch	発振停止検出レジスタ	CM2	0X00 0010b (注1)
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
001Ch	PLL制御レジスタ0	PLC0	0X01 X010b
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b

注1. CM20、CM21、CM27ビットは発振停止検出リセットでは変化しません。

8.2.1 システムクロック制御レジスタ0 (CM0)

システムクロック制御レジスタ0			
ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	CM0	0006h番地	0100 1000b
	ビットシンボル	ビット名	機能
	CM00	クロック出力機能選択ビット	b1 b0 0 0: 入出力ポート 0 1: fCを出力 1 0: f8を出力 1 1: f32を出力
	CM01		
	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックf1停止しない 1: ウェイトモード時、周辺機能クロックf1停止する
	CM03	XCIN-XCOUT駆動能力選択ビット	0: Low 1: High
	CM04	ポートXC切り替えビット	0: 入出力ポート 1: XCIN-XCOUT発振機能
	CM05	メインクロック停止ビット	0: 発振 1: 停止
	CM06	メインクロック分周比選択ビット0	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード
	CM07	システムクロック選択ビット	0: メインクロック、PLLクロック またはオンチップオシレータクロック 1: サブクロック

CM0レジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

CM01~CM00 (クロック出力機能選択ビット) (b1~b0)

CLKOUT端子の出力を選択できます。PCLKRレジスタのPCLK5ビットが“0”（CM01~CM00ビットで選択）の場合に有効です。PCLK5ビットが“1”の場合はCM01~CM00ビットを“00b”にしてください。表 8.4にCLKOUT端子の機能を示します。

表 8.4 CLKOUT端子の機能

PCLKRレジスタ PCLK5ビット	CM0レジスタ		CLKOUT端子の出力
	CM01ビット	CM00ビット	
0	0	0	入出力ポート
0	0	1	fCを出力
0	1	0	f8を出力
0	1	1	f32を出力
1	0	0	f1を出力

上記以外の組み合わせを設定しないでください。

CM02 (ウェイトモード時周辺機能クロック停止ビット) (b2)

ウェイトモード時に周辺機能クロックのf1を停止させる機能です。周辺機能クロックのfC、fC32、fOCO-SはCM02ビットの影響を受けません。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02ビットに書いても変化しません。

CM03 (XCIN-XCOUT駆動能力選択ビット) (b3)

サブクロックの発振が安定しているとき、駆動能力をLowにすると、消費電力が少なくなります。

CM04ビットが“0”(P8_6、P8_7は入出力ポート)の間、またはストップモードへ遷移したとき、CM03ビットは“1”(High)になります。

CM04 (ポートXC切り替えビット) (b4)

CM04ビットが“0”(P8_6、P8_7は入出力ポート)の間、CM03ビットは“1”(High)になります。

CM05 (メインクロック停止ビット) (b5)

CM05ビットはメインクロックを停止させるためのビットです。メインクロックを停止させるのは次の場合です。

- 低消費電力モードにする
- 125kHz オンチップオシレータ低消費電力モードにする

CM05ビットはメインクロックが停止したかどうかの検出には使用できません。メインクロックの停止検出は「8.7 発振停止/再発振検出機能」を参照してください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM05ビットに書いても変化しません。

CM06 (メインクロック分周比選択ビット0) (b6)

次の条件のとき、CM06ビットは“1”(8分周モード)になります。

- ストップモードに遷移
- CM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)かつCM05ビットが“1”(メインクロック停止)のとき

CM07 (システムクロック選択ビット) (b7)

CPUクロック源と周辺機能クロックf1は、CM07ビット、CM1レジスタのCM11ビット、CM2レジスタのCM21ビットの組み合わせで決まります。CM07ビットが“0”(CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック)の場合、CM11ビットとCM21ビットの組み合わせでCPUクロック源と周辺機能クロックf1が選択できます。CM07ビットが“1”(CPUクロック源はサブクロック)の場合、CPUクロック源はfCで、CM11ビットとCM21ビットの組み合わせで周辺機能クロックf1が選択できます。

PM21ビットを“1”(クロック変更禁止)にする場合、CM07ビットを“0”(メインクロック)にした後で、PM21ビットを“1”にしてください。PM21ビットが“1”の場合、CM07ビットに書いても変化しません。

8.2.2 システムクロック制御レジスタ1 (CM1)

システムクロック制御レジスタ1		シンボル	アドレス	リセット後の値
		CM1	0007h番地	0010 0000b
ビットシンボル	ビット名	機能	RW	
CM10	全クロック停止制御ビット	0: クロック発振 1: 全クロック停止(ストップモード)	RW	
CM11	システムクロック選択ビット1	0: メインクロック 1: PLLクロック	RW	
— (b2)	予約ビット	“0” にしてください	RW	
CM13	XIN-XOUT帰還抵抗 選択ビット	0: 内蔵帰還抵抗接続 1: 内蔵帰還抵抗未接続	RW	
CM14	125 kHzオンチップオシレータ 発振停止ビット	0: 125 kHzオンチップオシレータ発振 1: 125 kHzオンチップオシレータ停止	RW	
CM15	XIN-XOUT駆動能力選択ビット	0: Low 1: High	RW	
CM16	メインクロック分周比 選択ビット1	b7 b6 0 0: 分周なしモード 0 1: 2分周モード 1 0: 4分周モード 1 1: 16分周モード	RW	
CM17				

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

CM10 (全クロック停止制御ビット) (b0)

CM11ビットが“1”(PLLクロック)、またはCM2レジスタのCM20ビットが“1”(発振停止/再発振検出機能有効)の場合、CM10ビットを“1”にしないでください。

次の場合、CM10ビットに書いても変化しません(ストップモードになりません)。

- PM2レジスタのPM21ビットが“1”(クロック変更禁止)
- CSPRレジスタのCSPROビットが“1”(ウォッチドッグタイマのカウントソース保護モード有効)
- PLC0レジスタのPLC07ビットが“1”(PLL動作)
- $\overline{\text{NMI}}$ 端子に“L”を入力

CM11 (システムクロック選択ビット1) (b1)

CM11ビットはCM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)のとき有効です。

CM07ビットが“0”(CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック)の場合、CM11ビットでCPUクロック源と周辺機能クロック f1 が選択できます。CM07ビットが“1”(CPUクロック源はサブクロック)の場合、CM11ビットで周辺機能クロック f1 が選択できます。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM11ビットに書いても変化しません。

CM13 (XIN-XOUT帰還抵抗選択ビット) (b3)

CM13ビットは、メインクロックをまったく使用しない場合、またはXIN端子に外部で生成したクロックを供給する場合に使用できます。XIN-XOUT端子間にセラミック共振子または水晶発振子を接続する場合は、CM13ビットを“0” (内蔵帰還抵抗接続) にしてください (CM13ビットを“1”にしないでください)。

CM10ビットが“1” (ストップモード) のときは、CM13ビットの値に関わらず帰還抵抗は未接続になります。

CM14 (125kHzオンチップオシレータ発振停止ビット) (b4)

CM14ビットは、CM21ビットが“0” (メインクロックまたはPLLクロック) のとき、“1” (125kHzオンチップオシレータ停止) にできます。CM21ビットを“1” (オンチップオシレータクロック) にすると、CM14ビットは“0” (125kHzオンチップオシレータ発振) になり、“1”を書いても変化しません (125kHzオンチップオシレータは停止しません)。

CSPRレジスタのCSPROビットが“1” (ウォッチドッグタイマのカウントソース保護モード有効) のとき、CM14ビットは“0” (125kHzオンチップオシレータ発振) になり、“1”を書いても変化しません (125kHzオンチップオシレータは停止しません)。

CM15 (XIN-XOUT駆動能力選択ビット) (b5)

次の条件のとき、CM15ビットが“1” (駆動能力High) に固定されます。

- ストップモードに遷移
- CM2レジスタのCM21ビットを“0” (メインクロックまたはPLLクロック) かつCM0レジスタのCM05ビットを“1” (メインクロック停止) にしたとき

CM17~CM16 (メインクロック分周比選択ビット1) (b7~b6)

CM06ビットが“0” (CM17~CM16ビット有効) の場合に有効です。

8.2.3 発振停止検出レジスタ (CM2)

発振停止検出レジスタ		シンボル	アドレス	リセット後の値						
b7	b6	b5	b4	b3	b2	b1	b0	CM2	000Ch番地	0X00 0010b
	X	0	0							
ビットシンボル	ビット名	機能	RW							
CM20	発振停止/再発振検出許可ビット	0: 発振停止/再発振検出機能無効 1: 発振停止/再発振検出機能有効	RW							
CM21	システムクロック選択ビット2	0: メインクロックまたはPLLクロック 1: オンチップオシレータクロック	RW							
CM22	発振停止/再発振検出フラグ	0: メインクロック停止/再発振を未検出 1: メインクロック停止/再発振を検出	RW							
CM23	XINモニタフラグ	0: メインクロック発振 1: メインクロック停止	RO							
— (b5-b4)	予約ビット	“0” にしてください	RW							
— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—							
CM27	発振停止/再発振検出時の動作選択ビット	0: 発振停止検出リセット 1: 発振停止/再発振検出割り込み	RW							

CM2レジスタはPRCRレジスタのPRC0ビットを“1”（書き込み許可）にした後で書き換えてください。CM20、CM21、CM27ビットは、発振停止検出リセット時は変化しません。クロック、モードの選択は「表 9.3 クロック関連ビットの設定とモード」を参照してください。

CM20 (発振停止/再発振検出許可ビット) (b0)

ストップモードへ遷移する場合、CM20ビットを“0”（発振停止/再発振検出機能無効）にしてください。ストップモードからの復帰後、改めてCM20ビットを“1”（有効）にしてください。

PM2レジスタのPM21ビットが“1”（クロック変更禁止）の場合、CM20ビットに書いても変化しません。

CM21 (システムクロック選択ビット2) (b1)

CM07ビットが“0”（CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック）の場合、CM21ビットでCPUクロック源と周辺機能クロックf1が選択できます。CM07ビットが“1”（CPUクロック源はサブクロック）の場合、CM21ビットで周辺機能クロックf1が選択できます。

CM20ビットが“1”（発振停止/再発振検出機能有効）で、かつCM23ビットが“1”（メインクロック停止）のとき、CM21ビットを“0”（メインクロックまたはPLLクロック）にしないでください。

CM20ビットが“1”（発振停止/再発振検出機能有効）、CM27ビットが“1”（発振停止/再発振検出割り込み）、かつCPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ビットは“1”（オンチップオシレータクロック）になります。詳細は「8.7 発振停止/再発振検出機能」を参照してください。

CM22 (発振停止/再発振検出フラグ) (b2)

["0"になる条件]

- プログラムで“0”を書く

["1"になる条件]

- メインクロック停止検出
- メインクロック再発振検出
(プログラムで“1”を書いても変化しない)

CM22ビットが“0”から“1”に変化すると発振停止/再発振検出割り込み要求が発生します。割り込みルーチンで発振停止/再発振検出割り込みと他の割り込みとの要因判別のために使用してください。

CM22ビットが“1”のとき、発振停止または再発振を検出しても、発振停止/再発振検出割り込みは発生しません。また、発振停止/再発振検出割り込み要求が受け付けられても、“0”になりません。

CM23 (XINモニタフラグ) (b3)

発振停止/再発振検出割り込みルーチンで、CM23ビットを数回読むことによりメインクロックの状態を判定してください。

8.2.4 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ		シンボル	アドレス	リセット後の値
		PCLKR	0012h番地	0000 0011b
ビットシンボル	ビット名	機能	RW	
PCLK0	タイマA、B、S、マルチマスタI ² C-busインタフェースクロック選択ビット (タイマA、タイマB、短絡防止タイマ、タイマS、マルチマスタI ² C-busインタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW	
PCLK1	SI/Oクロック選択ビット (UART0~UART4クロック源)	0 : f2SIO 1 : f1SIO	RW	
— (b4-b2)	予約ビット	“0” にしてください	RW	
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW	
— (b7-b6)	予約ビット	“0” にしてください	RW	

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PCLK5 (クロック出力機能拡張ビット) (b5)

CLKOUT端子の出力を選択できます。PCLK5ビットが“1”の場合はCM01~CM00ビットを“00b”にしてください。「表 8.4 CLKOUT端子の機能」を参照してください。

8.2.5 PLL制御レジスタ0 (PLC0)

PLL制御レジスタ0			
シンボル PLC0		アドレス 001Ch番地	リセット後の値 0X01 X010b
b7	b6	b5	b4
b3	b2	b1	b0
ビットシンボル	ビット名	機能	RW
PLC00	PLL通倍率選択ビット	b2 b1 b0 0 0 0: 設定しないでください	RW
PLC01		0 0 1: 2通倍	RW
PLC02		0 1 0: 4通倍	RW
		0 1 1: 6通倍	
		1 0 0: 8通倍	
	1 0 1:] 設定しないでください	RW	
— (b3)	予約ビット	読んだ場合、その値は不定	RO
PLC04	基準周波数カウンタ設定ビット	b5 b4 0 0: 分周なし	RW
PLC05		0 1: 2分周	RW
		1 0: 4分周	
	1 1: 設定しないでください		
— (b6)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。		—
PLC07	動作許可ビット	0: PLL停止 1: PLL動作	RW

PLC0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLC02~PLC00 (PLL通倍率選択ビット) (b2~b0)

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC02~PLC00ビットに書いても変化しません。

PLC05~PLC04 (基準周波数カウンタ設定ビット) (b5~b4)

PLC07ビットが“0”(PLL停止)のときに書いてください。

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC05~PLC04ビットに書いても変化しません。

PLC07 (動作許可ビット) (b7)

PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、PLC07ビットに書いても変化しません。

8.2.6 プロセッサモードレジスタ2 (PM2)

プロセッサモードレジスタ2			
ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	“1” にしてください	RW
PM21	システムクロック保護ビット	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0” にしてください	RW
PM24	NMI割り込み許可ビット	0: NMI割り込み禁止 1: NMI割り込み許可	RW
PM25	周辺機能クロックfC供給許可 ビット	0: 供給禁止 1: 供給許可	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

PM2レジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PM21 (システムクロック保護ビット) (b1)

CPUクロックを保護するための機能です。（「8.6 システムクロック保護機能」参照）

PM21ビットを“1”にすると次のビットに書き込んでも変化しません。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット、CM11ビット
- CM2レジスタのCM20ビット
- PLC0レジスタの全ビット

PM21ビットが“1”のときは、WAIT命令を実行しないでください。

PM21ビットは、一度“1”にするとプログラムでは“0”にできません（“0”を書いても変化しません）。

PM25 (周辺機能クロックfC供給許可ビット) (b5)

リアルタイムクロックにfC供給するビットです（「図 8.5 周辺機能クロック」参照）。

8.3 クロック発生回路で生成するクロック

クロック発生回路で生成するクロックを説明します。

8.3.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、メインクロックは動作していますが、CPUクロック源にはなっていません。

メインクロック発振回路はXIN-XOUT端子間にセラミック共振子または水晶発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路では、外部で生成されたクロックをXIN端子へ入力することもできます。図8.2にメインクロックの接続回路例を示します。

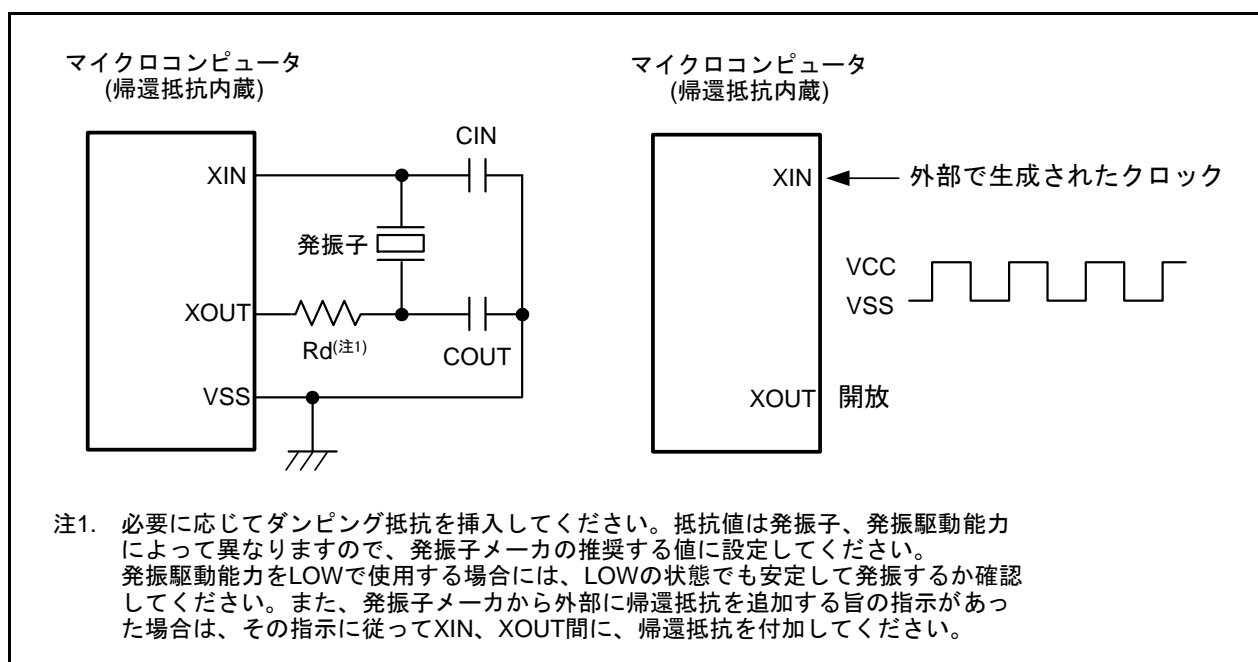


図 8.2 メインクロックの接続回路例

CPUクロックのクロック源をサブクロック (fC) またはオンチップオシレータクロック (fOCO-S) に切り替えた後、CM0レジスタのCM05ビットを“1” (メインクロック発振回路の発振停止) にすると、XOUTは“H”になります。このとき、内蔵している帰還抵抗は接続したままです。XINは帰還抵抗を介してXOUTにプルアップされた状態となります。

メインクロック発振回路をまったく使用しない場合、CM1レジスタのCM13ビットで帰還抵抗未接続を選択できます。

メインクロック発振開始/停止は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

メインクロック発振開始

- (1) CM15ビットを“1” (駆動能力High) にする (XIN-XOUT間にセラミック共振子または水晶発振子を接続している場合)
- (2) CM05ビットを“0” (メインクロック発振) にする
- (3) メインクロック発振安定時間を待つ (外部クロックをXIN端子から入力する場合は、外部クロックを入力する)

メインクロックの発振停止

- (1) CM2レジスタのCM20ビットを“0” (発振停止/再発振検出機能無効) にする
- (2) CM05ビットを“1” (停止) にする
- (3) (外部クロックをXIN端子から入力する場合) 外部クロックを停止させる

8.3.2 PLLクロック

PLLクロックは、PLL周波数シンセサイザが生成するクロックです。CPUクロックと周辺機能クロックのクロック源になります。

リセット後、PLL周波数シンセサイザは停止しています。

メインクロックをPLC0レジスタのPLC05~PLC04ビットで選択した値で分周し、PLC02~PLC00ビットで選択した値で逡倍したものがPLLクロックになります。分周後のクロック周波数が2MHz~5MHzになるようにPLC05~PLC04ビットを設定してください。図 8.3にメインクロックとPLLクロックの関係を示します。

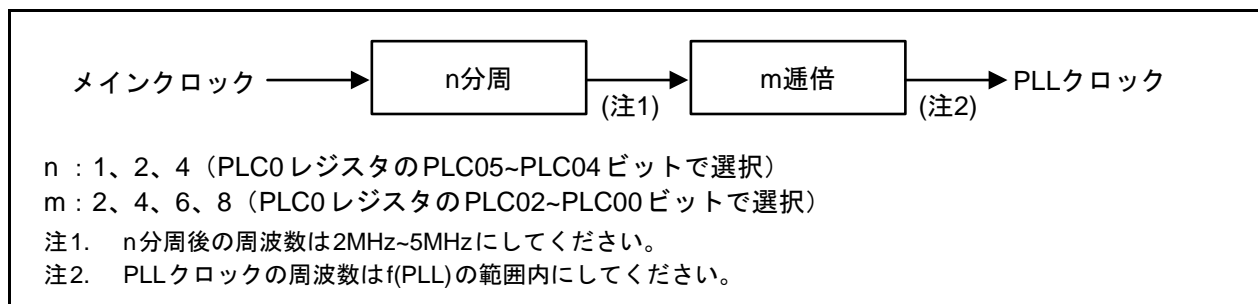


図 8.3 メインクロックとPLLクロックの関係

表 8.5 PLLクロックの周波数設定例

メインクロック	設定値		PLLクロック
	PLC05~PLC04ビット	PLC02~PLC00ビット	
10MHz	01b (2分周)	010b (4逡倍)	20MHz
5MHz	00b (分周なし)	010b (4逡倍)	
12MHz	10b (4分周)	100b (8逡倍)	24MHz
6MHz	01b (2分周)	100b (8逡倍)	
16MHz	10b (4分周)	100b (8逡倍)	32MHz
8MHz	01b (2分周)	100b (8逡倍)	

8.3.3 125kHzオンチップオシレータクロック (fOCO-S)

125kHzオンチップオシレータが供給する約125kHzのクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、fOCO-Sの8分周がCPUクロックになります。

CM2レジスタのCM20ビットが“1” (発振停止/再発振検出機能有効)、かつCM27ビットが“1” (発振停止/再発振検出割り込み)の場合、メインクロックが停止したときに、自動的に125kHzオンチップオシレータが動作を開始し、クロックを供給します。

fOCO-Sの発振開始/停止は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

fOCO-Sの発振開始

(1)CM1レジスタのCM14ビットを“0” (125kHzオンチップオシレータ発振)にする

(2)tsu(fOCO-S)待つ

fOCO-Sの発振停止

(1)CM1レジスタのCM14ビットを“1” (125kHzオンチップオシレータ停止)にする

なお、CM21ビットが“1” (CPUクロック源はオンチップオシレータ) のとき、CM14ビットは“0” (125kHzオンチップオシレータ発振)になります。

8.3.4 サブクロック (fC)

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマB、リアルタイムクロックのカウントソースのクロック源になります。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。図 8.4にサブクロックの接続回路例を示します。

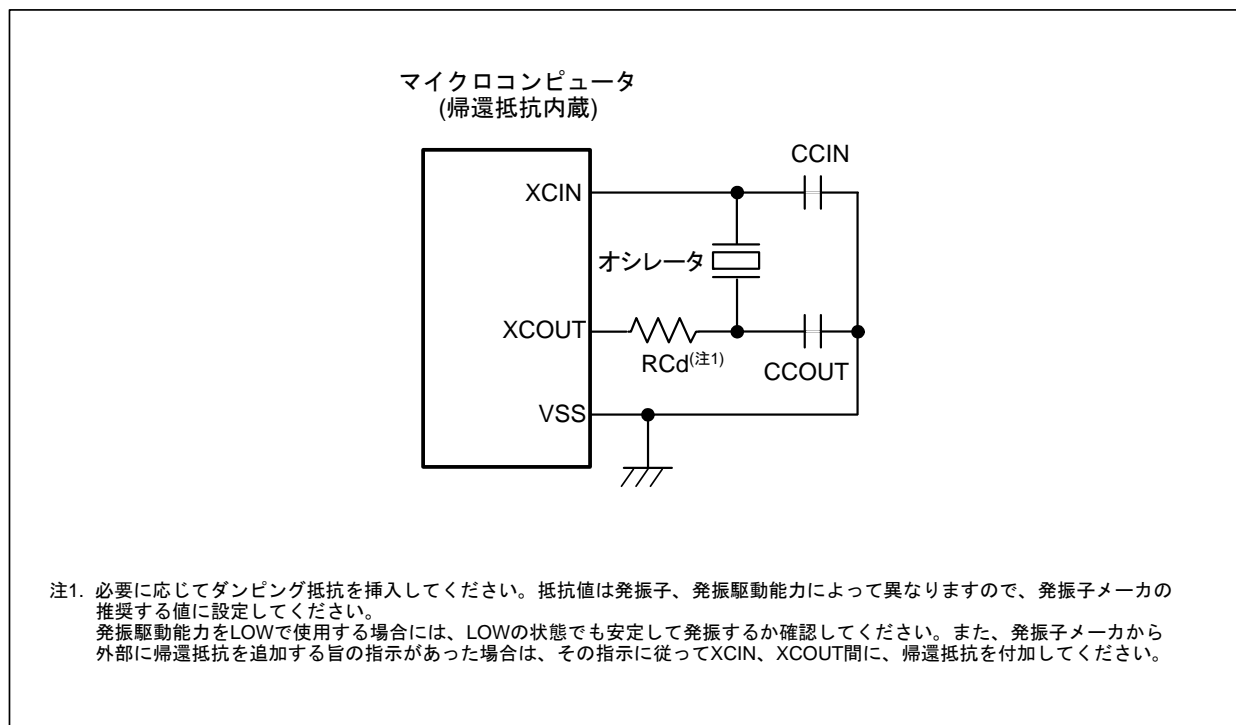


図 8.4 サブクロックの接続回路例

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロック発振開始は次の手順で実行してください。なお、レジスタ、ビットのアクセス方法などは「8.2 レジスタの説明」を参照してください。

- (1) PUR2レジスタのPU21ビットを“0” (P8_4~P8_7はプルアップなし)にする
- (2) PD8レジスタのPD8_6、PD8_7ビットを“0” (ポートP8_6、P8_7は入力ポート)にする
- (3) CM04ビットを“1” (XCIN-XCOUT発振機能)にする。CM03ビットを“1” (XCIN-XCOUT駆動能力High)にする。
- (4) サブクロック発振安定時間を待つ

8.4 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

8.4.1 CPUクロックとBCLK

CPUクロックは、CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、PLLクロック、fOCO-S、またはfCが選択できます(「表 9.2 通常動作モードのクロック」参照)。

CPUクロックのクロック源としてメインクロック、PLLクロック、またはfOCO-Sを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17~CM16ビットで選択できます。

CPUクロックのクロック源としてfCを選択した場合は分周せず、fCがそのままCPUのクロックになります。

リセット後、fOCO-Sの8分周がCPUクロックになります。また、ストップモードへの遷移時、またはCM2レジスタのCM21ビットが“0”(メインクロックまたはPLLクロック)かつCM05ビットが“1”(メインクロック停止)のとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

BCLKはバスの基準クロックです。

8.4.2 周辺機能クロック (f1、fOCO-S、fC32、fC、メインクロック)

f1、fOCO-S、fC32は周辺機能の動作クロックになります。

f1は次のいずれかです。

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)

f1はタイマA、タイマB、タイマS、タスク監視タイマ、リアルタイムクロック、UART0~UART4、マルチマスタI²C-busインタフェース、A/Dコンバータで使用します。また $\overline{\text{NMI}}$ 、P1_7デジタルデバウンスフィルタのサンプリングクロックにもなります。

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックf1を停止する)にした後にWAIT命令を実行した場合、f1は停止します。

fOCO-SはタイマA、タイマBで使用できます。また、リセット、電圧検出回路でも使用します。fOCO-SはCM1レジスタのCM14ビットが“0”(125kHzオンチップオシレータ発振)のとき使用できます。

fC32はfCを32分周したもので、タイマA、タイマBで使用します。fC32はサブクロックが供給されているときに使用できます。

fCは、PM2レジスタのPM25ビットが“1”(周辺機能クロックfC供給許可)の場合、リアルタイムクロックのカウントソースになります。fCはサブクロックが供給されているときに使用できます。

メインクロックはCANモジュールで使用できます。

図 8.5に周辺機能クロックを示します。

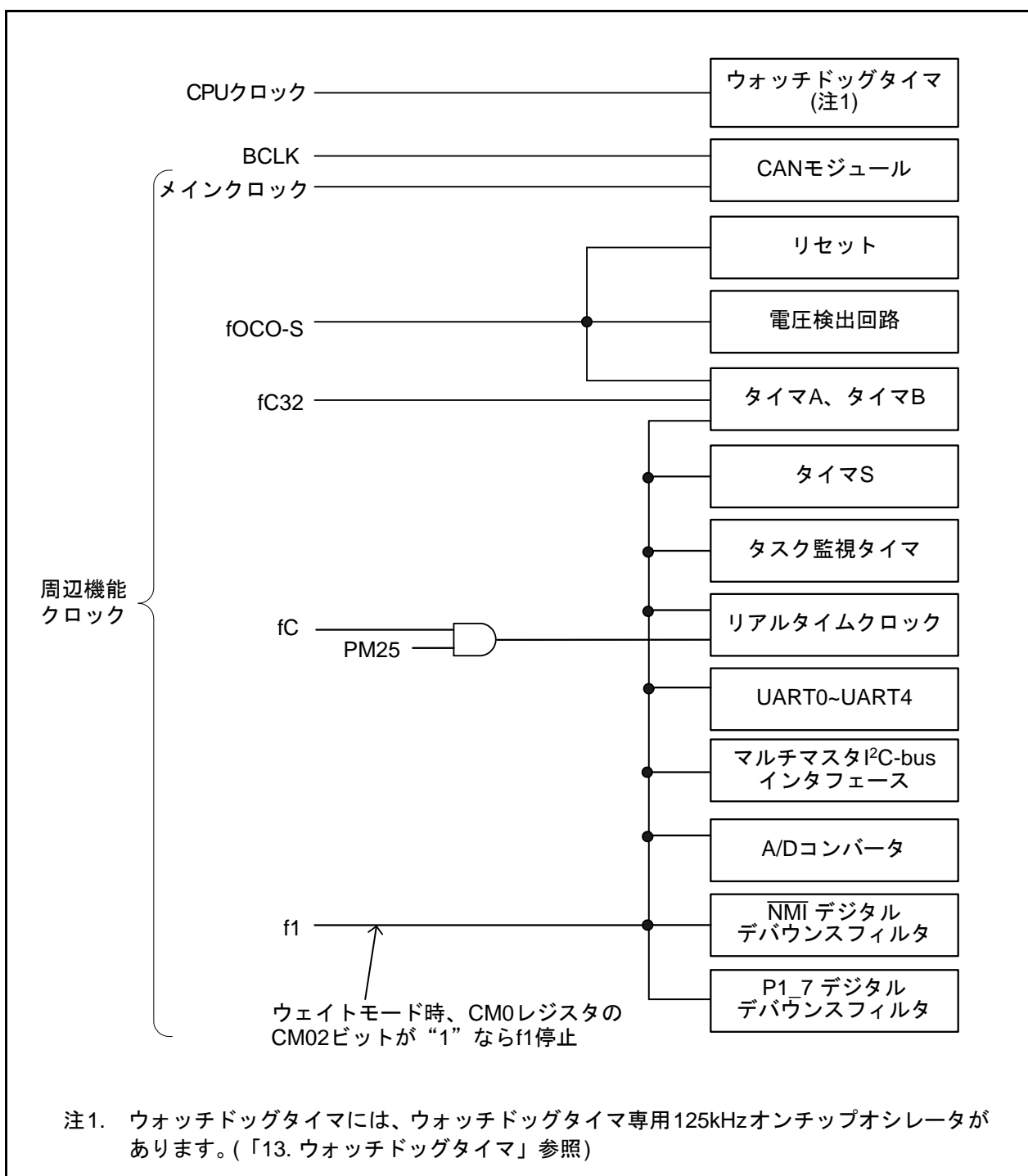


図 8.5 周辺機能クロック

8.5 クロック出力機能

CLKOUT端子からf1、f8、f32、またはfCを出力できます。CM0レジスタのCM01~CM00ビットとPCLKRレジスタのPCLK5ビットで選択してください。f8はf1の8分周と同一周波数、f32はf1の32分周と同一周波数です。

8.6 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、プログラム暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込んでも変化しません。

- CM0レジスタのCM02ビット (ウェイトモード時の周辺機能クロックf1)
- CM0レジスタのCM05ビット (メインクロックを停止させないため)
- CM0レジスタのCM07ビット (CPUクロックのクロック源)
- CM1レジスタのCM10ビット (ストップモードに遷移しない)
- CM1レジスタのCM11ビット (CPUクロックのクロック源)
- CM2レジスタのCM20ビット (発振停止/再発振検出機能の設定)
- PLC0レジスタの全ビット (PLL周波数シンセサイザの設定)

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態です。次の処理をしてください。

- (1)PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (2)PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
- (3)PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする

PM21ビットが“1”のとき、WAIT命令を実行しないでください。

8.7 発振停止/再発振検出機能

発振停止/再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止/再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

発振停止/再発振検出時にはリセットまたは発振停止/再発振検出割り込みが発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

表 8.6に発振停止/再発振検出機能の仕様を示します。

表 8.6 発振停止/再発振検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	$f(XIN) \geq 2\text{MHz}$
発振停止/再発振検出機能有効条件	CM20ビットを“1”(有効)にする
発振停止/再発振検出時の動作	CM27ビットが“0”の場合: 発振停止検出リセット発生 CM27ビットが“1”の場合: 発振停止/再発振検出割り込み発生

8.7.1 CM27ビットが“0”(発振停止検出リセット)の場合の動作

CM20ビットが“1”(発振停止/再発振検出機能有効)のときに、メインクロックの停止を検出した場合、マイクロコンピュータは、初期化され停止します(発振停止検出リセット。「4. SFR」、「6. リセット」参照)。

この状態はハードウェアリセット、または電圧監視0リセットによって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください)。

8.7.2 CM27ビットが“1” (発振停止/再発振検出割り込み)の場合の動作

CM20ビットが“1” (発振停止/再発振検出機能有効)のときに、メインクロックの停止または再発振を検出した場合、表 8.7に示す状態になります。

高速モード、中速モード、低速モードではCM21ビットが“1”になります。したがって、高速モード、中速モードは 125kHz オンチップオシレータモードになります。CM07ビットは変化しませんので、低速モードは低速モードのままですが、周辺機能クロックのクロック源はfOCO-Sになります。

CM21ビットが“1”になると、CM14ビットは“0” (125kHz オンチップオシレータ発振)になります。

PLL動作モードではCM21ビットは変化しませんので、割り込みルーチン内で 125kHz オンチップオシレータモードにしてください。

表 8.7 CM27ビットが“1”の場合の発振停止/再発振検出後の状態

条件		検出後の状態
メインクロック 発振停止を検出	高速モード 中速モード	<ul style="list-style-type: none"> 発振停止/再発振検出割り込み要求が発生する CM14ビット=0 (125kHz オンチップオシレータ発振)
	低速モード 125kHzオンチップ オシレータモード	<ul style="list-style-type: none"> CM21ビット=1 (fOCO-SがCPUクロックと周辺機能クロックのクロック源)(注1) CM22ビット=1 (メインクロック停止を検出) CM23ビット=1 (メインクロック停止)
	PLL動作モード	<ul style="list-style-type: none"> 発振停止/再発振検出割り込み要求が発生する CM14ビット=0 (125kHz オンチップオシレータ発振) CM21ビットは変化しない CM22ビット=1 (メインクロック停止を検出) CM23ビット=1 (メインクロック停止)
メインクロック 再発振を検出	—	<ul style="list-style-type: none"> 発振停止/再発振検出割り込み要求が発生する CM14ビット=0 (125kHz オンチップオシレータ発振) CM21ビットは変化しない CM22ビット=1 (メインクロック再発振を検出) CM23ビット=0 (メインクロック発振)

CM14 ビット : CM1 レジスタのビット

CM21、CM22、CM23 ビット : CM2 レジスタのビット

注1. 低速モード時のCPUクロックはfC

8.7.3 発振停止/再発振検出機能使用方法

発振停止検出後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図 8.6 にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。

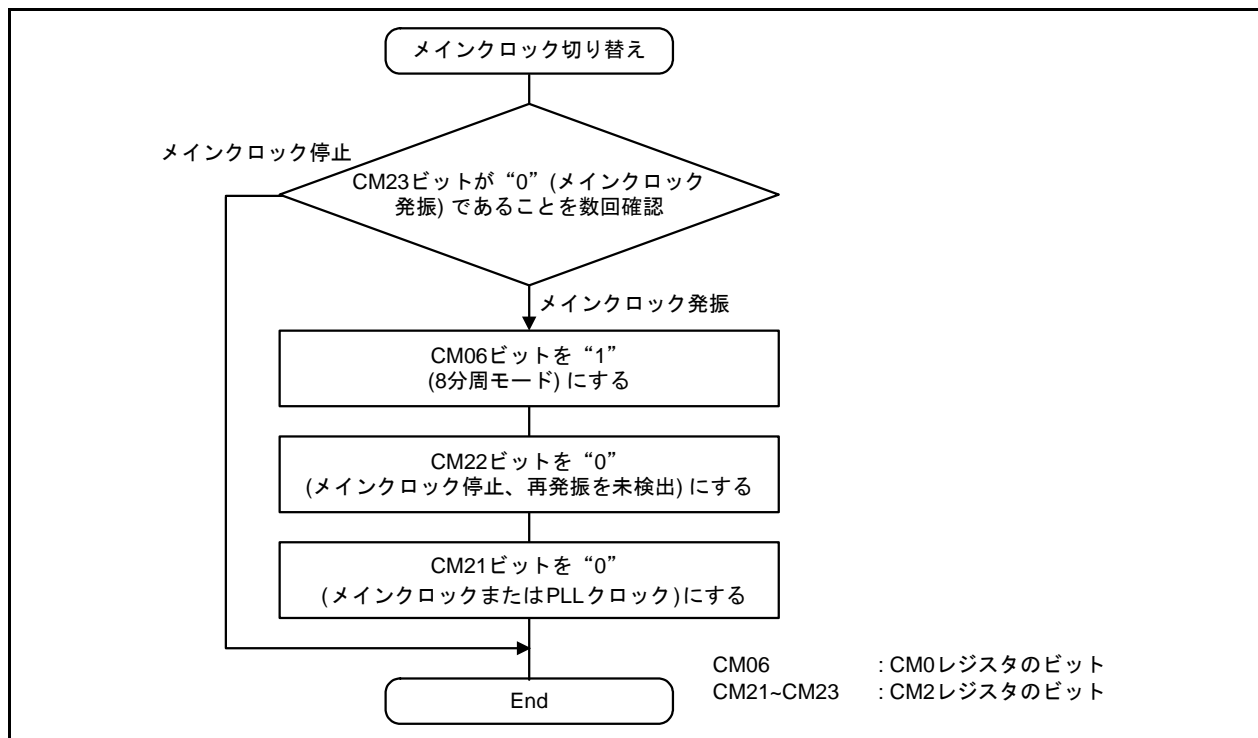


図 8.6 オンチップオシレータクロックからメインクロックへの切り替え手順

発振停止/再発振検出割り込み発生と同時にCM22ビットが“1”になります。CM22ビットが“1”のとき、発振停止/再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止/再発振検出割り込みが許可されます。

8.8 割り込み

発振停止/再発振検出割り込みはノンマスカブル割り込みです。

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。

発振停止/再発振検出の検出フラグは、CM2レジスタのCM22ビットです。CM22ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

8.9 クロック発生回路使用上の注意事項

8.9.1 発振子を用いた発振回路

発振子を接続する場合は次のようにしてください。

- 発振特性はユーザのボード設計に密接に関係しますので、実際のボードで十分評価してください
- 発振回路構成は発振子によって異なります。M16C/5LD、M16C/56Dグループは帰還抵抗を内蔵していますが、外部に帰還抵抗が必要な場合があります。また、回路定数は発振子や実装回路の浮遊容量などで変わります。これらは発振子メーカーにご相談ください。
- 発振回路が生成したクロックが、マイコン内部に正しく伝わっていることをCLKOUT端子の出力で確認してください。

次に各クロックをCLKOUT端子から出力する方法を示します。

メインクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM1レジスタのCM11ビット、CM0レジスタのCM07ビット、CM2レジスタのCM21ビットを、すべて“0”(メインクロック選択)にする
- (3) CLKOUT端子から出力するクロックを選択する(下表参照)
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

表 8.8 メインクロック選択時のCLKOUT端子の出力

ビット設定		CLKOUT端子の出力
PCLKRレジスタ	CM0レジスタ	
PCLK5ビット	CM01~CM00ビット	
1	00b	メインクロックと同一周波数のクロック
0	10b	メインクロックの8分周
0	11b	メインクロックの32分周

サブクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM0レジスタのCM07ビットを“1”(サブクロック選択)にする
- (3) PCLKRレジスタのPCLK5ビットを“0”、CM0レジスタのCM01~CM00ビットを“01b”(CLKOUT端子からfCを出力)にする
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

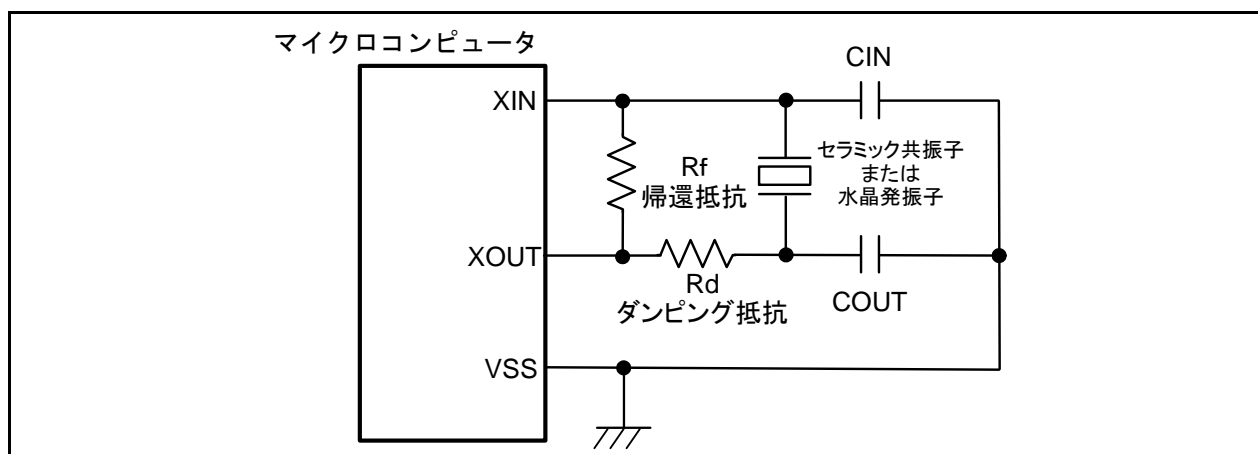


図 8.7 発振回路例

8.9.2 発振回路のノイズ対策

8.9.2.1 クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは最短(20mm以内)の配線で接続してください。

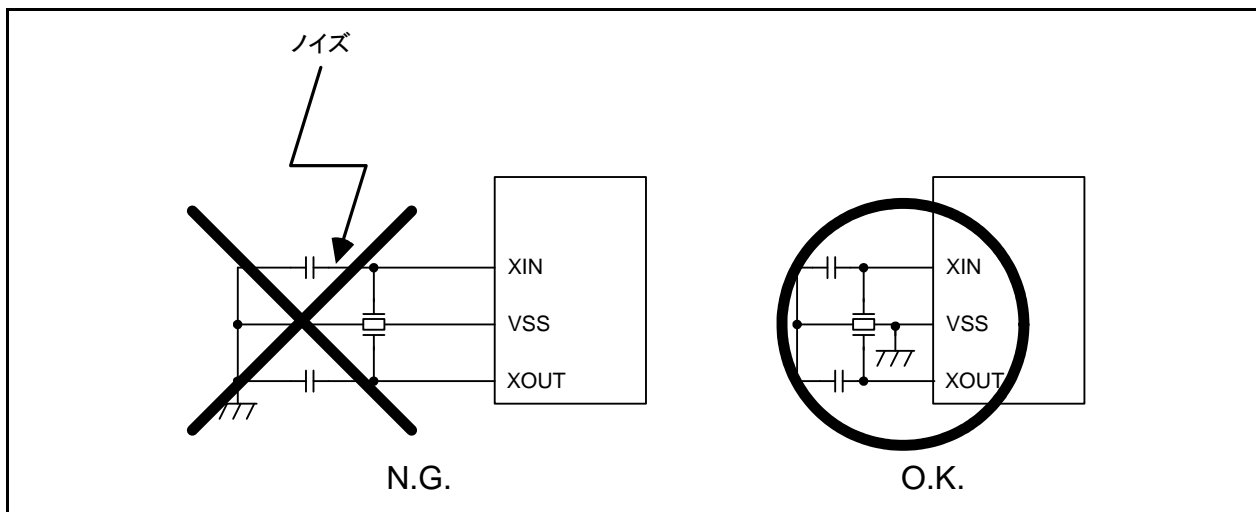


図 8.8 クロック入出力端子の配線

•理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

8.9.2.2 大電流が流れる信号線

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

•理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

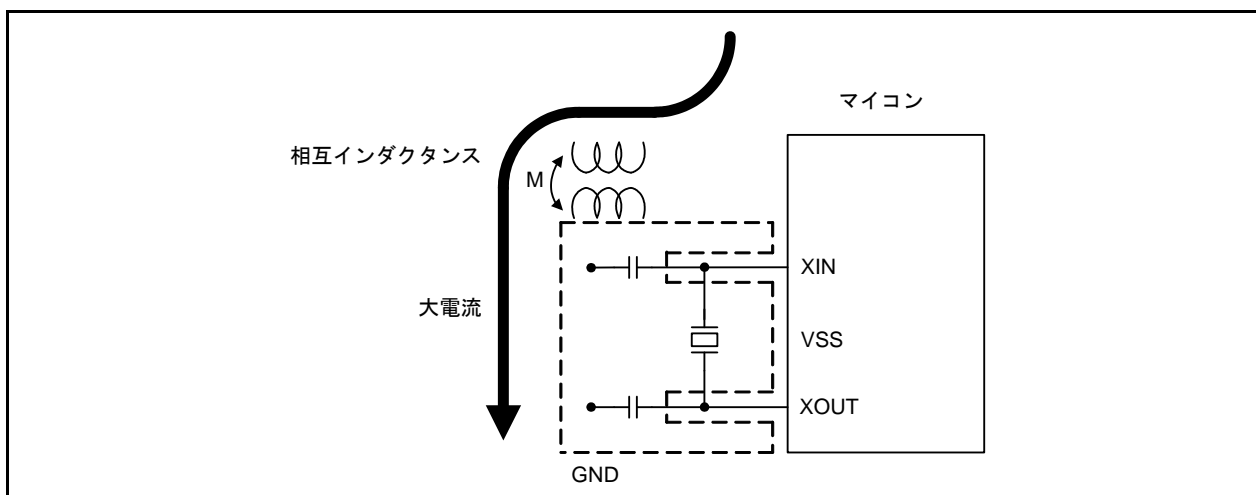


図 8.9 大電流が流れる信号線の配線

8.9.2.3 高速にレベル変化する信号線

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差および平行に長く引き回さないでください。

•理由

高速にレベル変化するTAiOUT端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

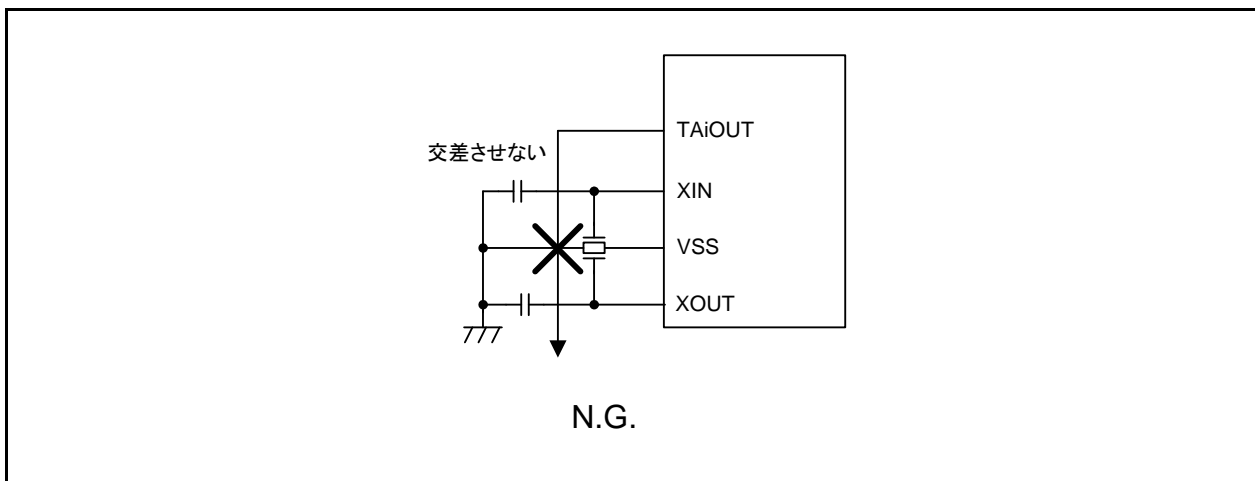


図 8.10 高速にレベル変化する信号線の配線

8.9.3 CPUクロック

(テクニカルアップデート番号: TN-M16C-109-0309)

外部で生成したクロックをXIN端子に入力し、かつCPUクロック源をメインクロックにしている場合、外部で生成したクロックを停止させないでください。

8.9.4 発振停止/再発振検出機能

- 次の場合は、CM20ビットを“0”(発振停止/再発振検出機能無効)にした後、それぞれの状態に遷移してください。

CM05ビットを“1”(メインクロック停止)にする場合

CM10ビットを“1”(ストップモード)にする場合

- 発振停止/再発振検出機能を使用中にウェイトモードへ遷移する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックf1を停止しない)にしてください。
- メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”(発振停止/再発振検出機能無効)にしてください。

8.9.5 PLL周波数シンセサイザ使用時

PLL周波数シンセサイザをご使用になる場合は、電源リップルの許容範囲内で電源電圧を安定させてください。

表 8.9 電源リップルの許容範囲

記号	項目	規格値			単位
		最小	標準	最大	
$f(\text{ripple})$	電源リップル許容周波数(VCC)			10	kHz
$V_{p-p}(\text{ripple})$	電源リップル許容振幅電圧	(VCC=5V時)		0.5	V
		(VCC=3V時)		0.3	V
$VCC(\Delta V/\Delta T)$	電源リップル立ち上がり/立ち下がり勾配	(VCC=5V時)		0.3	V/ms
		(VCC=3V時)		0.3	V/ms

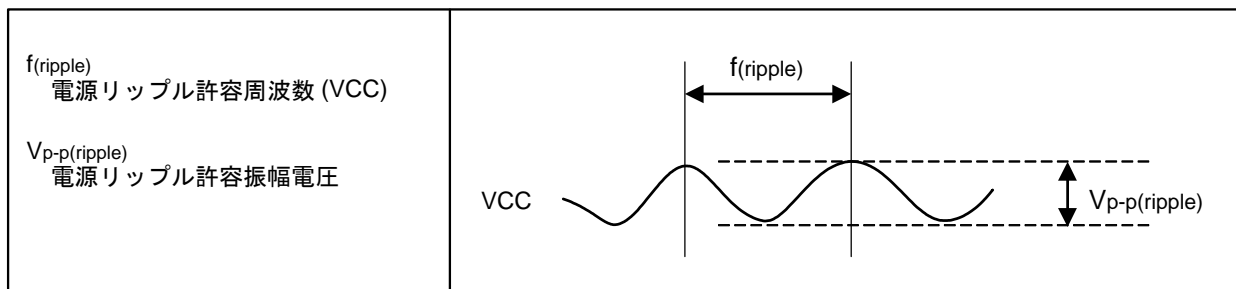


図 8.11 電源変動のタイミング図

9. パワーコントロール

9.1 概要

マイコンの消費電流を少なくするための手段を紹介します。

9.2 レジスタの説明

クロック関連のレジスタは「8. クロック発生回路」を参照してください。

表 9.1 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b

9.2.1 フラッシュメモリ制御レジスタ0 (FMR0)

フラッシュメモリ制御レジスタ0		シンボル	アドレス	リセット後の値						
b7	b6	b5	b4	b3	b2	b1	b0	FMR0	0220h番地	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
ビットシンボル	ビット名	機能	RW							
FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ	RO							
FMR01	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW							
FMR02	ロックビット無効選択ビット	0: ロックビット有効 1: ロックビット無効	RW							
FMSTP	フラッシュメモリ停止ビット	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW							
— (b4)	予約ビット	“0” にしてください	RW							
— (b5)	予約ビット	ユーザブートモード以外では“0” にしてください。 ユーザブートモードでは“1” にしてください。	RW							
FMR06	プログラムステータスフラグ	0: 正常終了 1: エラー終了	RO							
FMR07	イレーズステータスフラグ	0: 正常終了 1: エラー終了	RO							

FMR01 (CPU書き換えモード選択ビット) (b1)

FMR01ビットを“1” (CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR01ビットは、PM2レジスタのPM24ビットが“0” ($\overline{\text{NMI}}$ 割り込み禁止) のとき、または $\overline{\text{NMI}}$ 端子に“H”を入力しているときに変更してください。

また、EW0モード時はRAM上のプログラムで書いてください。

このビットは、リードアレイモードにしてから“0”にしてください。

FMSTP (フラッシュメモリ停止ビット) (b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1” (フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはRAMに配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1” (レディ)に戻らなくなった)

9.2.2 フラッシュメモリ制御レジスタ2 (FMR2)

フラッシュメモリ制御レジスタ2			
ビットシンボル	ビット名	機能	RW
— (b1-b0)	予約ビット	“0” にしてください	RW
FMR22	スローリードモード許可ビット	0: 禁止 1: 許可	RW
FMR23	低消費電流リードモード許可ビット	0: 禁止 1: 許可	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

FMR22 (スローリードモード許可ビット) (b2)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え(CPU書き換えモード)を行う場合はFMR22ビットは“0”(スローリードモード禁止)にしてください。

FMR22ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR23ビットは、FMR22ビットを“1”(スローリードモード許可)にした後で、“1”(低消費電流リードモード許可)にしてください。また、FMR23ビットを“0”(低消費電流リードモード禁止)にした後で、FMR22ビットを“0”(スローリードモード禁止)にしてください。また、FMR22ビットとFMR23ビットを同時に変更しないでください。

FMR23 (低消費電流リードモード許可ビット) (b3)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え(CPU書き換えモード)を行う場合はFMR23ビットは“0”(低消費電流リードモード禁止)にしてください。

低消費電流リードモードはCM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)のときに使用できます。

FMR23ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR23ビットは、FMR22ビットを“1”(スローリードモード許可)にした後で、“1”(低消費電流リードモード許可)にしてください。また、FMR23ビットを“0”(低消費電流リードモード禁止)にした後で、FMR22ビットを“0”(スローリードモード禁止)にしてください。FMR22ビットとFMR23ビットを同時に変更しないでください。

次のいずれかが当てはまる場合は、FMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

- CM07ビットが“0”(CPUクロックはサブクロック以外)
- FMR22ビットが“0”(スローリードモード禁止)
- FMSTPビットが“1”(フラッシュメモリ停止)
- FMSTPビットを“1”から“0”にした後の復帰動作中(tps)

FMR23ビットが“1”のとき、次の処理をしないでください (FMR23ビットを“0”にした後、処理してください)。

- CPUクロックの変更
- FMSTPビットを“1”(フラッシュメモリ停止)にする
- ウェイトモードまたはストップモードに遷移
- 次のコマンドを実行
プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック

9.3 クロック

マイコンの消費電力は、動作しているクロックの数と周波数に関係があります。動作しているクロックが少ないほど、また、周波数が低いほど消費電力は少なくなります。

パワーコントロールには、通常動作モード、ウェイトモード、ストップモードの3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

9.3.1 通常動作モード

通常動作モードでは、CPUクロック、周辺機能クロックがともに供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は少なくなります。また、不要な発振回路を停止させるとさらに消費電力は少なくなります。

9.3.1.1 高速モード、中速モード

高速モードでは、メインクロックの1分周(分周なし)がCPUクロックとなります。

中速モードでは、メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。

高速モード、中速モードとも、メインクロックの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。また、fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。

9.3.1.2 PLL動作モード

PLLクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。また、PLLクロックの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。

PLL動作モードへは中速モードから遷移できます。また、PLL動作モードからは中速モードに遷移できます。ウェイトモード、ストップモードを含む他のモードに遷移するときは、中速モードに遷移した後、他のモードに遷移してください(「図9.1 クロックのモードの状態遷移」参照)。

9.3.1.3 125kHzオンチップオシレータモード

fOCO-Sの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、fOCO-Sの1分周と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合は、fC、fC32が周辺機能クロックとして使用できます。fOCO-Sが周辺機能クロックとして使用できます。

9.3.1.4 125kHzオンチップオシレータ低消費電力モード

125kHzオンチップオシレータモードにした後、メインクロックを停止させた状態です。fOCO-Sの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、fOCO-Sの1分周と同一周波数のf1が周辺機能クロックになります。

fCが供給されている場合はfC、fC32が周辺機能クロックとして使用できます。fOCO-Sが周辺機能クロックとして使用できます。

9.3.1.5 低速モード

fCがCPUクロックとなります。

CM21ビットが“0”かつCM11ビットが“0”(メインクロック)の場合はメインクロックの1分周と同一周波数のf1が周辺機能クロックになります。CM21ビットが“0”かつCM11ビットが“1”(PLLクロック)の場合はPLLクロックの1分周と同一周波数のf1が周辺機能クロックになります。CM21ビットが“1”(オンチップオシレータクロック)の場合はfOCO-Sの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。

fC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。

9.3.1.6 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。fCがCPUクロックとなります。また、CM21ビットが“1”(オンチップオシレータクロック)の場合、fOCO-Sの1分周(分周なし)と同一周波数のf1が周辺機能クロックになります。

fC、fC32が周辺機能クロックとして使用できます。fOCO-Sが供給されている場合はfOCO-Sが周辺機能クロックとして使用できます。

表 9.2 通常動作モードのクロック

モード	CPUクロック	周辺機能クロック(注2)		
		f1	fC、fC32	fOCO-S
高速モード	メインクロックの1分周(注1)	メインクロックの1分周	使用可	使用可
中速モード	メインクロックのn分周(注1)			
PLL動作モード	PLLクロックのn分周(注1)			
125kHzオンチップオシレータモード	fOCO-Sのn分周(注1)	fOCO-Sの1分周	使用可	使用可
125kHzオンチップオシレータ低消費電力モード	fOCO-Sのn分周(注1)	fOCO-Sの1分周	使用可	使用可
低速モード	fC	次のいずれか メインクロックの1分周 (CM21=0かつCM11=0の場合) PLLクロックの1分周 (CM21=0かつCM11=1の場合) fOCO-Sの1分周 (CM21=1の場合)	使用可	使用可
低消費電力モード	fC	fOCO-Sの1分周 (CM21=1の場合)	使用可	使用可

CM11: CM1レジスタのビット

CM21: CM2レジスタのビット

注1. CM0レジスタのCM06ビットと、CM1レジスタのCM17~CM16ビットで選択

注2. 周辺機能クロックは、各クロックが供給されている場合、使用可能です。供給方法は「8. クロック発生回路」を参照してください。

表 9.3 クロック関連ビットの設定とモード

モード	CM2レジスタ	CM1レジスタ		CM0レジスタ		
	CM21	CM14	CM11	CM07	CM05	CM04
高速、中速モード	0	—	0	0	0	—
PLL動作モード	0	—	1	0	0	—
125kHzオンチップオシレータモード	1	0	0	0	0	—
125kHzオンチップオシレータ 低消費電力モード	1	0	0	0	1	—
低速モード	—	—	0	1	0	1
低消費電力モード	—	—	0	1	1	1

— : 0または1

表 9.4 クロック分周関連ビットの選択(注1)

分周	CM1レジスタ	CM0レジスタ
	CM17~CM16	CM06
分周なし(注2)	00b	0
2分周	01b	0
4分周	10b	0
8分周	—	1
16分周	11b	0

— : 00b~11bのいずれでもよい

注1. 高速、中速モード、PLL動作モード、125kHzオンチップオシレータモード、125kHzオンチップオシレータ低消費電力モードの場合です。

注2. 高速モードは分周なしの設定にしてください。

9.3.2 モード遷移手順

図 9.1 にクロックのモードの状態遷移を示します。図 9.1 の矢印はモード間の遷移が可能なことを示します。

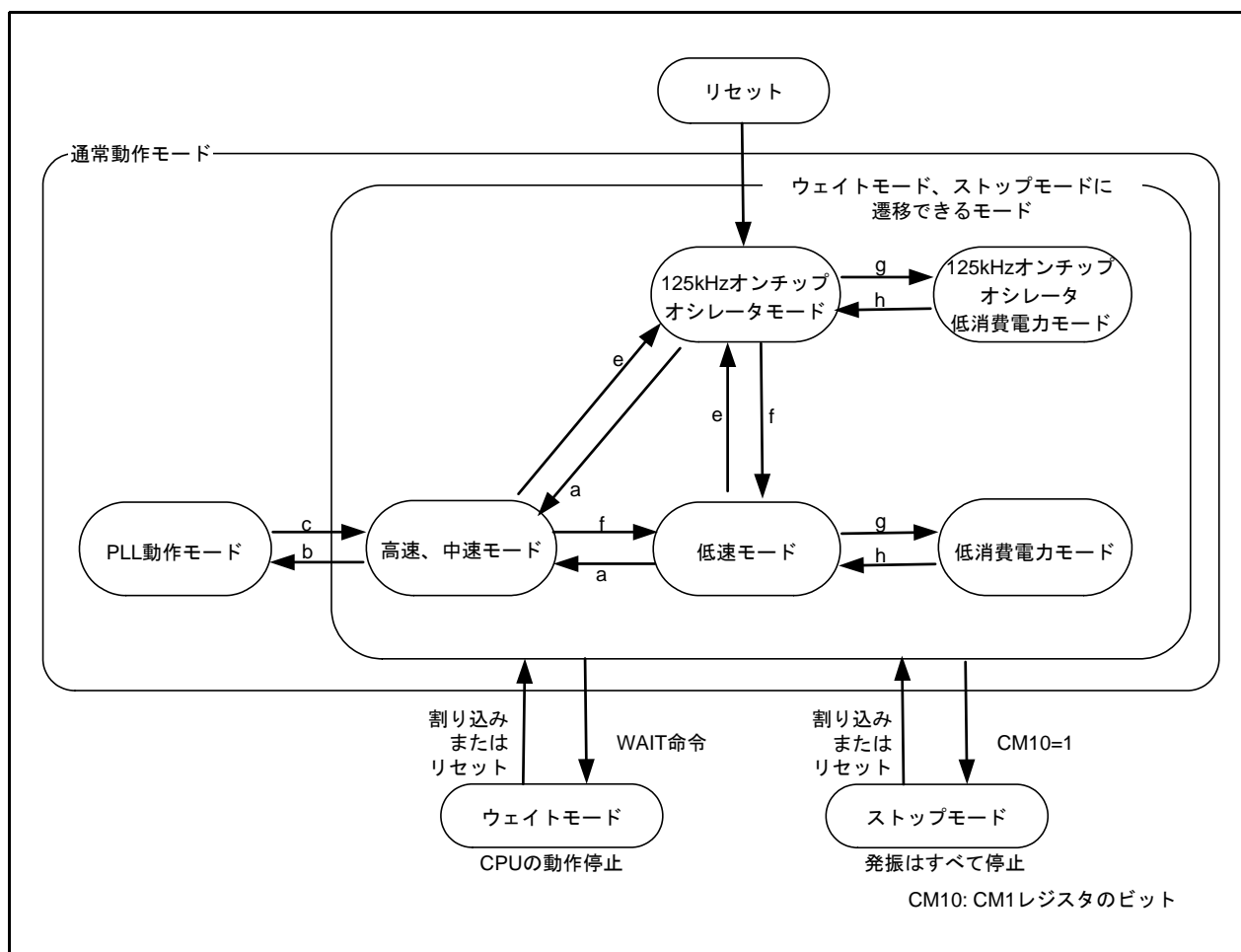


図 9.1 クロックのモードの状態遷移

クロックの発振開始、停止、通常動作モード内のモード遷移は次のようにしてください。

- モードを遷移する場合は、遷移先のクロックが十分安定した後で遷移してください。
- クロックを停止する場合は、モードを遷移し終わった後で停止してください。モードの遷移と遷移元のクロックの停止を同時に行わないでください。
- PLL動作モード、高速、中速モード、125kHzオンチップオシレータモードから他のモードに遷移する場合、または他のモードからこれらのモードに遷移する場合は、これらのモードを8分周または16分周にしてください。
- PLL動作モード、高速、中速モードで分周を切り替える場合は図 9.2 に示す順序で分周を切り替えてください。
- モード遷移は後述の a~c、e~h に示す手順に従って実行してください。ただし、各レジスタ、ビットのアクセス方法などは「9.2 レジスタの説明」を参照してください。なお、a~c、e~h の記号は「図 9.1 クロックのモードの状態遷移」の矢印の a~c、e~h に対応しています。
- 発振開始/停止の方法は「8.3.1 メインクロック」から「8.3.4 サブクロック (fC)」を参照してください。

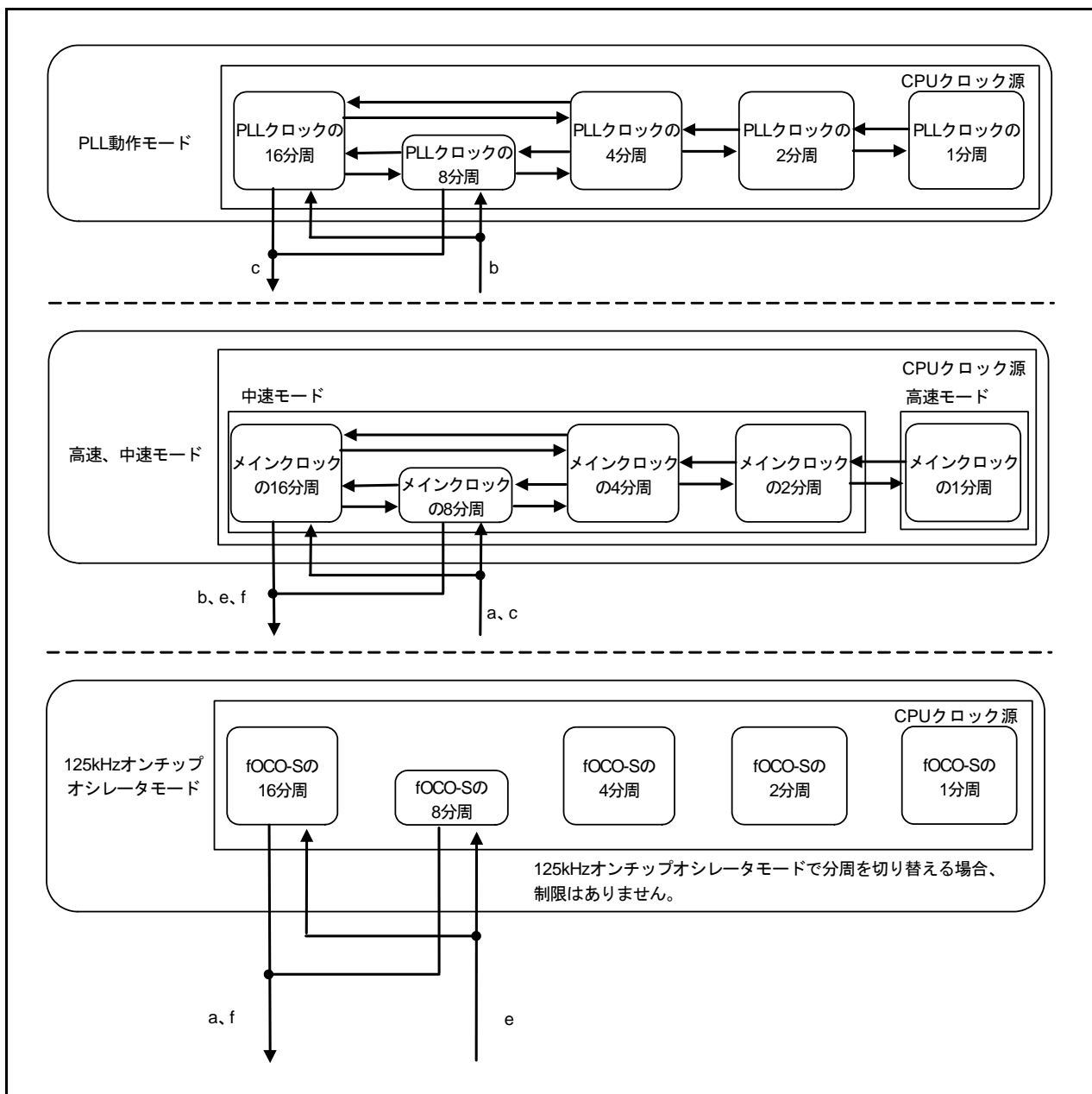


図 9.2 分周切り替えの状態遷移

- a. 125kHz オンチップオシレータ、低速モードから高速モードまたは中速モードに遷移
 - (1)メインクロック発振、安定待ち。「8.3.1 メインクロック」参照
 - (2)CM06ビットを“1” (8分周) にする
 - (3)CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0” (CPUクロック源はメインクロック) にする

- b. 高速、中速モードからPLL動作モードに遷移
 - (1)PLC0レジスタのPLC05~PLC04、PLC02~PLC00ビットで通倍率等を設定する
 - (2)PLC07ビットを“1” (PLL動作) にする
 - (3)PLLクロックが安定するまで (tsu(PLL)) 待つ
 - (4)CM11ビットを“1”、CM21ビットを“0”、CM07ビットを“0” (CPUクロック源はPLLクロック) にする

- c. PLL動作モードから高速モードまたは中速モードに遷移
 - (1)CM06、CM17~CM16ビットで分周比を選択する
 - (2)CM11ビットを“0”、CM21ビットを“0”、CM07ビットを“0” (CPUクロック源はメインクロック) にする
 - (3)PLC07ビットを“0” (PLL停止) にする

- e. 高速、中速、低速モードから125kHzオンチップオシレータモードに遷移
 - (1)125kHzオンチップオシレータ発振、安定待ち。「8.3.3 125kHzオンチップオシレータクロック (fOCO-S)」参照
 - (2)CM21ビットを“1” (CPUクロック源はオンチップオシレータクロック) にする
 - (3)CM07ビットを“0” (CPUクロック源はメインクロック、PLLクロックまたはオンチップオシレータクロック) にする

- f. 高速、中速、125kHzオンチップオシレータモードから低速モードに遷移
 - (1)サブクロック発振、安定待ち。「8.3.4 サブクロック (fC)」参照
 - (2)CM07ビットを“1” (CPUクロック源はサブクロック) にする

- g. 125kHz オンチップオシレータモードから125kHz オンチップオシレータ低消費電力モードに遷移。または低速モードから低消費電力モードに遷移。
 - (1)メインクロック発振停止。「8.3.1 メインクロック」参照

- h. 125kHz オンチップオシレータ低消費電力モードから125kHz オンチップオシレータモードに遷移。または低消費電力モードから低速モードに遷移。
 - (1)メインクロック発振、安定待ち。「8.3.1 メインクロック」参照

9.3.3 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPU、ウォッチドッグタイマが停止します。ただし、CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)の場合、ウォッチドッグタイマは動作します。クロック発生回路は停止しませんので、周辺機能クロックが供給されている周辺機能は動作します。

9.3.3.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックf1を停止する)の場合、ウェイトモード時にf1が停止しますので消費電力が低減できます。f1以外の周辺機能クロック(fOCO-S、fC、fC32)はCM02ビットでは停止しません。

9.3.3.2 ウェイトモードへの遷移

WAIT命令を実行するとウェイトモードになります。

CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にしてからウェイトモードにしてください。PLC07ビットを“0”(PLL停止)にすると、消費電力が低減できます。

ウェイトモードを使用する場合、以下の手順で遷移してください。

- (1) Iフラグを“0”にする
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの、割り込み制御レジスタのILVL2~ILVL0ビットに割り込み優先レベルを設定する。ウェイトモードからの復帰に使用する周辺機能が停止している場合、動作させる。
- (3) ウェイトモードからの復帰に使用しない割り込みのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする
(ハードウェアリセット、電圧監視0リセット、電圧監視2リセット、ウォッチドッグタイマリセット、 $\overline{\text{NMI}}$ 割り込み、または電圧監視2割り込みで復帰する場合、周辺機能割り込みの割り込み制御レジスタのILVL2~ILVL0ビットをすべて“000b”にする)
- (4) Iフラグを“1”にする
- (5) WAIT命令を実行する

9.3.3.3 ウェイトモード時の端子の状態

表 9.5にウェイトモード時の端子の状態を示します。

表 9.5 ウェイトモード時の端子の状態

端子		端子の状態
入出力ポート		ウェイトモードに入る直前の状態を保持
CLKOUT	fC選択時	停止しません
	f1、f8、f32選択時	CM02ビットが“0”のとき停止しません CM02ビットが“1”のときウェイトモードに入る直前の状態を保持

9.3.3.4 ウェイトモードからの復帰

リセットまたは割り込みにより、ウェイトモードから復帰します。表 9.6 にウェイトモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”（ウェイトモード時、周辺機能クロックf1を停止しない）の場合は、周辺機能割り込みをウェイトモードからの復帰に使用できます。CM02ビットが“1”（ウェイトモード時、周辺機能クロックf1を停止する）の場合は、周辺機能クロックf1を使用する周辺機能は停止します。したがって、外部信号、f1以外の周辺機能クロック（fOCO-S、fC、fC32）によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できます。

表 9.6 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件

割り込み、リセット		使用条件	
		CM02=0の場合	CM02=1の場合
割り込み	INT	使用可	使用可 ただし、INT5はデジタルデバウンスフィルタ無効 (P17DDRレジスタが"FFh")のとき使用可
	キー入力	使用可	使用可
	タイマA、 タイマB	すべてのモードで使用可	fOCO-SまたはfC32が供給され、かつそのクロックがカウントソースのとき使用可。 イベントカウンタモードで外部信号をカウント時、使用可
	タイマS	すべてのモードで使用可、 ただし、IC/OC割り込み0およびIC/OC割り込み1は使用不可	使用不可
	シリアル インタフェース	内部クロックまたは外部クロックで使用可	外部クロックで使用可
	マルチマスタ I ² C-bus インタ フェース	使用可	SCL/SDA割り込み使用可
	CAN0ウェイク アップ	CANスリープモードで 使用可	CANスリープモードで使用可
	A/Dコンバータ	単発モードまたは単掃引 モードで使用可	使用しないでください
	リアルタイム クロック	fCが供給され、かつfCがカウントソースのとき使用可	
電圧監視2	デジタルフィルタ無効 (VW2CレジスタのVW2C1ビットが"1") のとき使用可。または、 デジタルフィルタ有効 (VW2CレジスタのVW2C1ビットが"0") かつfOCO-S供給 (CM1 レジスタのCM14ビットが"0") のとき使用可		
NMI	使用可	デジタルデバウンスフィルタ無効 (NDDRレジスタが"FF") のとき使用可	
リ セ ッ ト	ハードウェアリセット	使用可	
	電圧監視0リセット	使用可	
	電圧監視2リセット	デジタルフィルタ無効 (VW2CレジスタのVW2C1ビットが"1") のとき使用可。または、 デジタルフィルタ有効 (VW2CレジスタのVW2C1ビットが"0") かつfOCO-S供給 (CM1 レジスタのCM14ビットが"0") のとき使用可	
	ウォッチドッグタイマ	カウントソース保護モード有効 (CSPRレジスタのCSPROビットが"1") のとき使用可	

割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

9.3.4 ストップモード

ストップモードでは、すべての発振回路が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。VCC端子に印加する電圧を2.7V以下にする場合、 $VCC \geq VRAM$ にしてください。

また、外部信号によって動作する周辺機能は動作します。

9.3.4.1 ストップモードへの遷移

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力High)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止/再発振検出機能無効)にしてからストップモードにしてください。

また、CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にした後、PLC07ビットを“0”(PLL停止)にしてからストップモードにしてください。

ストップモードを使用する場合、以下の手順で遷移してください。

- (1)Iフラグを“0”にする
- (2)ストップモードからの復帰に使用する周辺機能割り込みの、割り込み制御レジスタのILVL2~ILVL0ビットに割り込み優先レベルを設定する。ストップモードからの復帰に使用する周辺機能が停止している場合は、動作させる。
- (3)ストップモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする
(ハードウェアリセット、電圧監視0リセット、 \overline{NMI} 割り込み、または電圧監視2割り込みで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“000b”にする)
- (4)Iフラグを“1”にする。
- (5)CM1レジスタのCM10ビットを“1”にする。

なお、 \overline{NMI} 割り込み復帰する場合はNDDRレジスタに“FFh”を設定してから、 $\overline{INT5}$ 割り込みで復帰する場合はP17DDRレジスタに“FFh”を設定してからCM10ビットを“1”にしてください。

9.3.4.2 ストップモード時の端子の状態

表 9.7にストップモード時の端子の状態を示します。

表 9.7 ストップモード時の端子の状態

端子	端子の状態
入出力ポート	ストップモードに入る直前の状態を保持
CLKOUT	H
XOUT	H
XCIN、XCOUT	ハイインピーダンス

9.3.4.3 ストップモードからの復帰

リセットまたは割り込みにより、ストップモードから復帰します。表 9.8 にストップモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

表 9.8 ストップモードからの復帰に使用できるリセット、割り込みと使用条件

割り込み、リセット		使用条件	
割り込み	周辺機能 割り込み	$\overline{\text{INT}}$	使用可 ただし、 $\overline{\text{INT5}}$ はデジタルデバウンスフィルタ無効 (P17DDRレジスタが“FFh”)のとき使用可
		キー入力	使用可
		タイマA、タイマB	イベントカウンタモードで外部信号をカウント時、使用可
		シリアルインタフェース	外部クロックを選択時、使用可
		マルチマスタI ² C-bus インタフェース	SCL/SDA割り込み使用可
		CAN0ウェイクアップ	CANスリープモードで使用可
	電圧監視2割り込み	デジタルフィルタ無効 (VW2CレジスタのVW2C1ビットが“1”)のとき使用可	
	NMI	デジタルデバウンスフィルタ無効(NDDRレジスタが“FFh”)のとき使用可	
リセット	ハードウェアリセット	使用可	
	電圧監視0リセット	使用可	

ハードウェアリセット、電圧監視0リセット、 $\overline{\text{NMI}}$ 割り込み、または電圧監視2割り込みで復帰する場合、周辺機能割り込みの割り込み制御レジスタのILVL2~ILVL0ビットをすべて“000b”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード遷移前のCPUクロックによって異なります。表 9.9 にストップモードから復帰後のCPUクロックを示します。

表 9.9 ストップモードから復帰後のCPUクロック

ストップモード遷移前のCPUクロック	ストップモードから復帰後のCPUクロック
メインクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周	メインクロックの8分周
fOCO-Sの1分周(分周なし)、2分周、4分周、8分周、または16分周	fOCO-Sの8分周
fC	fC

9.4 フラッシュメモリのパワーコントロール

9.4.1 フラッシュメモリの停止

フラッシュメモリを停止すると、消費電流が少なくなります。フラッシュメモリを停止するので、RAM上でプログラムを実行してください。図 9.3にフラッシュメモリの停止/再開手順を示します。このフローチャートに従って操作してください。

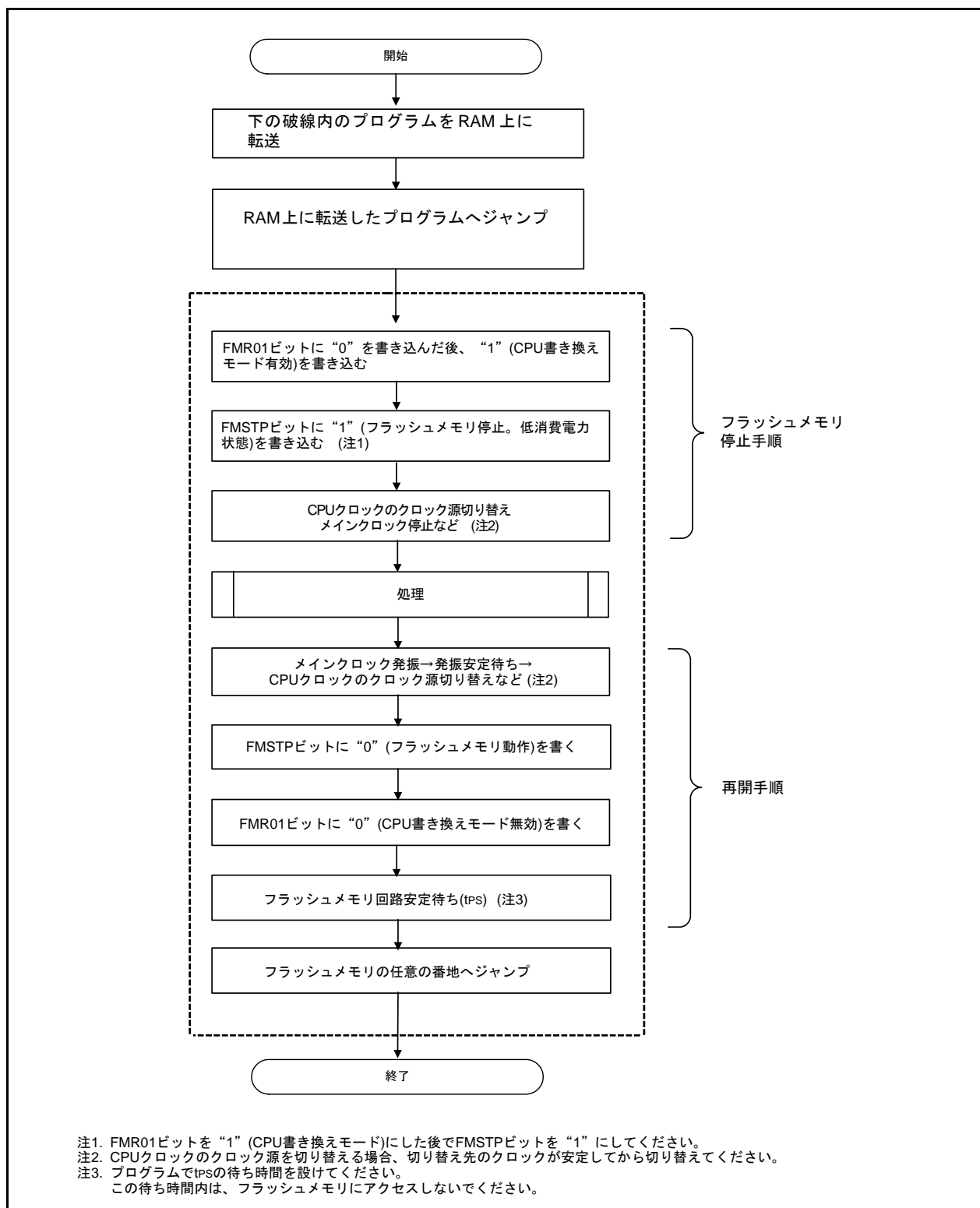


図 9.3 フラッシュメモリの停止/再開手順

9.4.2 フラッシュメモリの読み出し

FMR2 レジスタのFMR22、FMR23 ビットを使って、フラッシュメモリを読み出す際の消費電流を低減できます。

9.4.2.1 スローリードモード

$f(\text{BCLK}) \leq f(\text{SLOW_R})$ 、かつPM1 レジスタのPM17 ビットが“1” (1 ウェイト) のとき使用できます。125kHz オンチップオシレータクロックまたはサブクロックがCPUクロックのクロック源の場合は、ウェイトは不要です。(テクニカルアップデート番号: TN-16C-A179A/J)

図 9.4にスローリードモードの設定、解除を示します。

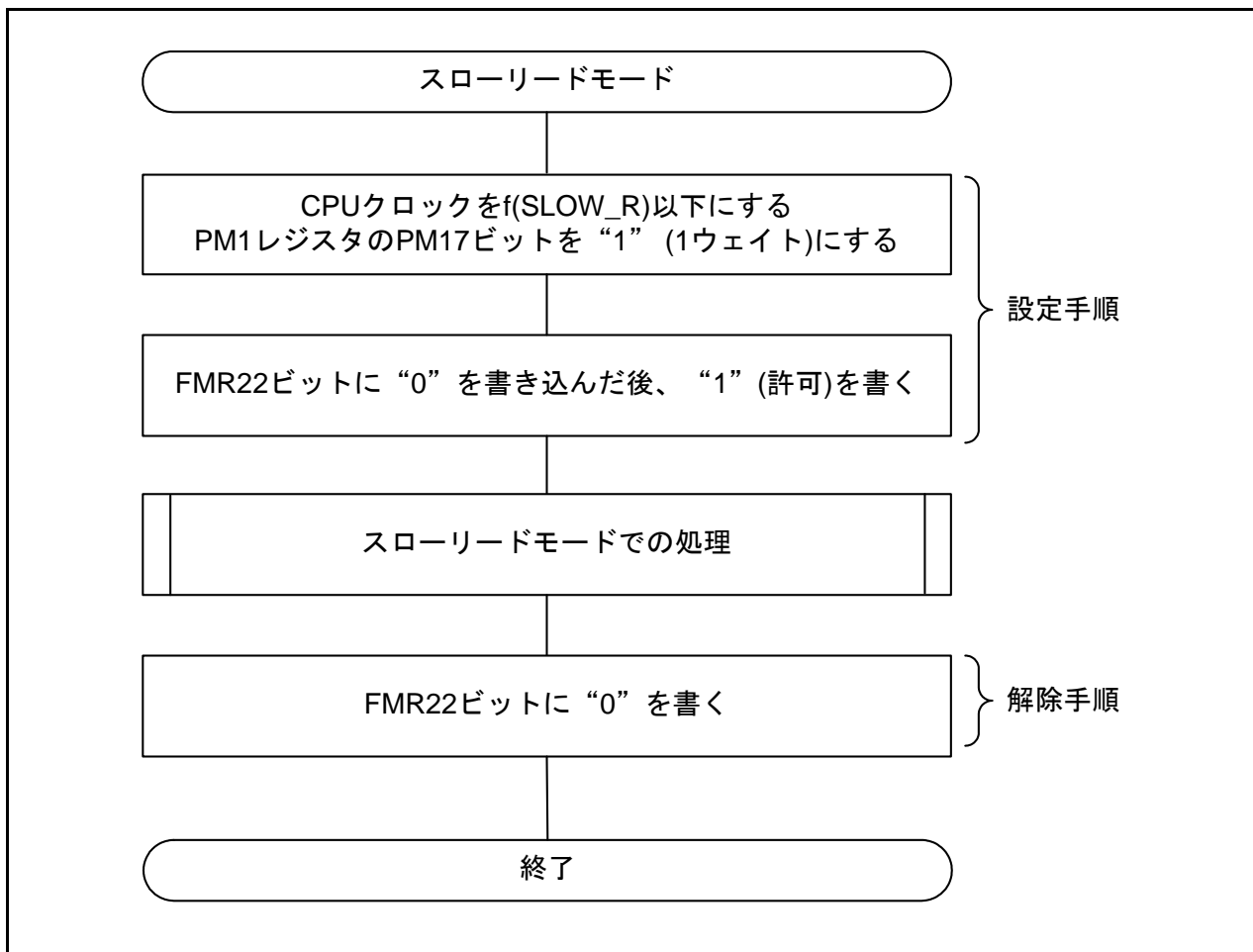


図 9.4 スローリードモードの設定、解除

9.4.2.2 低消費電流リードモード

CM0レジスタのCM07ビットが“1” (CPUクロックはサブクロック) のとき使用できます。図 9.5 に低消費電流リードモードの設定、解除を示します。

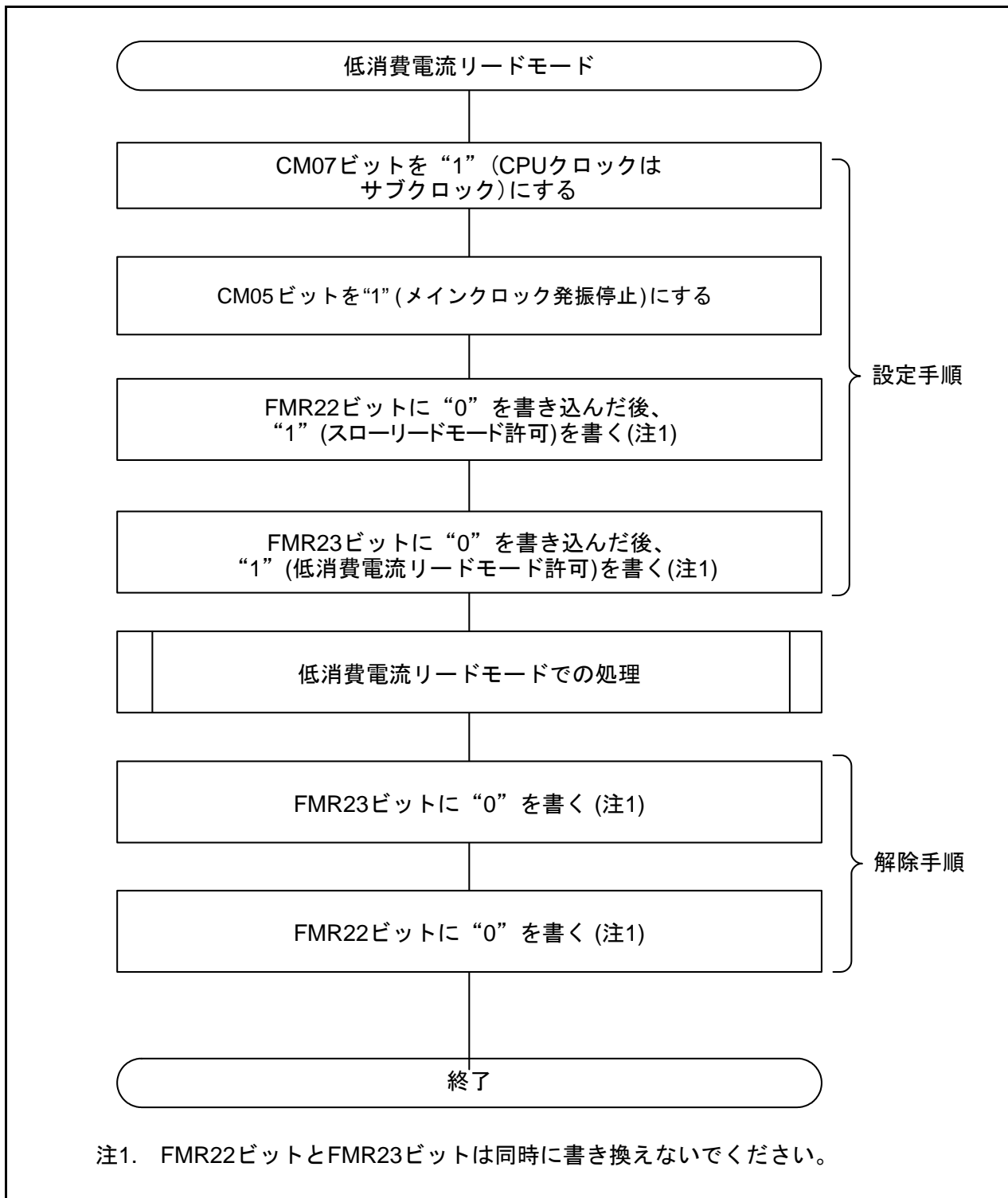


図 9.5 低消費電流リードモードの設定、解除

9.5 消費電力を少なくするためのポイント

消費電力を少なくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

9.5.1 ポート

ウェイトモードまたはストップモードに遷移しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れません。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに遷移してください。

9.5.2 A/Dコンバータ

A/D変換を行わない場合、ADCON1、AD1CON1レジスタのADSTBYビットを“0”（A/D動作停止）にしてください。

9.5.3 周辺機能の停止

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。

9.5.4 発振駆動能力の切り替え

発振が安定している場合、駆動能力を“Low”にしてください。

9.6 パワーコントロール使用上の注意事項

9.6.1 CPUクロック

CPUクロックのクロック源を切り替えるときは、切り替え先の発振が安定してから切り替えてください。ストップから復帰した後は、分周を変更する場合も、発振が安定してから変更してください。

9.6.2 ウェイトモード

- WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに遷移する場合、命令キューはWAIT命令より後の命令まで先読みするため、先読みされた命令がウェイトモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにWAIT命令の直前に、Iフラグを“1”にする命令を配置すると、WAIT命令を実行する前に割り込み要求が受け付けられることはありません。

ウェイトモードに遷移するときのプログラム例を示します。

```
例:      FSET    I          ;
          WAIT          ;ウェイトモードに遷移
          NOP          ;NOP命令を4つ以上
          NOP
          NOP
          NOP
```

- 次の場合は、ウェイトモードに遷移しないでください。()内の処理をした後、ウェイトモードに遷移してください。
 - PLL動作モード (中速モードに遷移した後、PLC07ビットを“0” (PLL停止)にする)
 - 低消費電流リードモード (FMR2レジスタのFMR23ビットを“0” (低消費電流リードモード禁止)にする)
 - CPU書き換えモード (FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にし、DMA転送を禁止にする)
- PLC0レジスタのPLC07ビットを“0” (PLL停止)にしてください。PLC07ビットが“1” (PLL動作)の場合は、ウェイトモードにしても消費電流が低減できません。

9.6.3 ストップモード

- ストップモードからハードウェアリセットによって復帰する場合、fOCO-Sの20サイクル以上 $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ (i=0~4)のMR0ビットを“0” (パルス出力なし)にしてください。
- ストップモードに遷移するとき、CM1レジスタのCM10ビットを“1” (ストップモード)にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに遷移する場合、命令キューはCM10ビットを“1”にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにCM10ビットを“1”にする命令の直前に、Iフラグを“1”にする命令を配置すると、ストップモードになる前に割り込み要求が受け付けられることはありません。

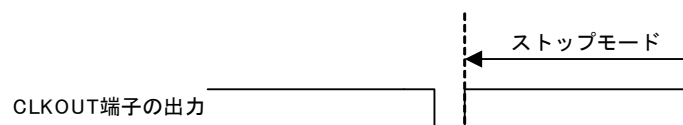
ストップモードに遷移するときのプログラム例を示します。

```

例:      FSET    I
          BSET    0, CM1      ;ストップモードに遷移
          JMP.B   L2          ;JMP.B 命令を挿入

L2:      NOP
          NOP                ;NOP命令を4つ以上
          NOP
          NOP
          NOP
  
```

- ストップモード時、CLKOUT端子は“H”を出力します。したがって、CLKOUT端子の出力が“H”から“L”になった直後にストップモードになると“L”幅が短くなります。



- 次の場合は、ストップモードに遷移しないでください。()内の処理をした後、ストップモードに遷移してください。
 - PLL動作モード(中速モードに遷移した後、PLC07ビットを“0”(PLL停止)にする)
 - 低消費電流リードモード(FMR2レジスタのFMR23ビットを“0”(低消費電流リードモード禁止)にする)
 - CPU書き換えモード(FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止にする)
 - 発振停止/再発振検出機能有効(CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする)
- FMR01ビットが“1”(CPU書き換えモード有効)の場合は、ストップモードに遷移禁止です。このため、フラッシュメモリ停止(FMR01ビットが“1”、かつFMSTPビットが“1”)の場合は、ストップモードに遷移しないでください。

9.6.4 低消費電流リードモード

- 低消費電流リードモードに遷移する際は、スローリードモードを経由してください(「図 9.5 低消費電流リードモードの設定、解除」参照)。
- FMR2レジスタのFMR23ビットが“1”(低消費電流リードモード許可)のとき、FMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。
- FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

9.6.5 スローリードモード

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR22ビットを“1”(スローリードモード許可)にしないでください。

10. プロセッサモード

10.1 概要

プロセッサモードは、シングルチップモードに対応します。表 10.1 にプロセッサモードの特長を示します。

表 10.1 プロセッサモードの特長

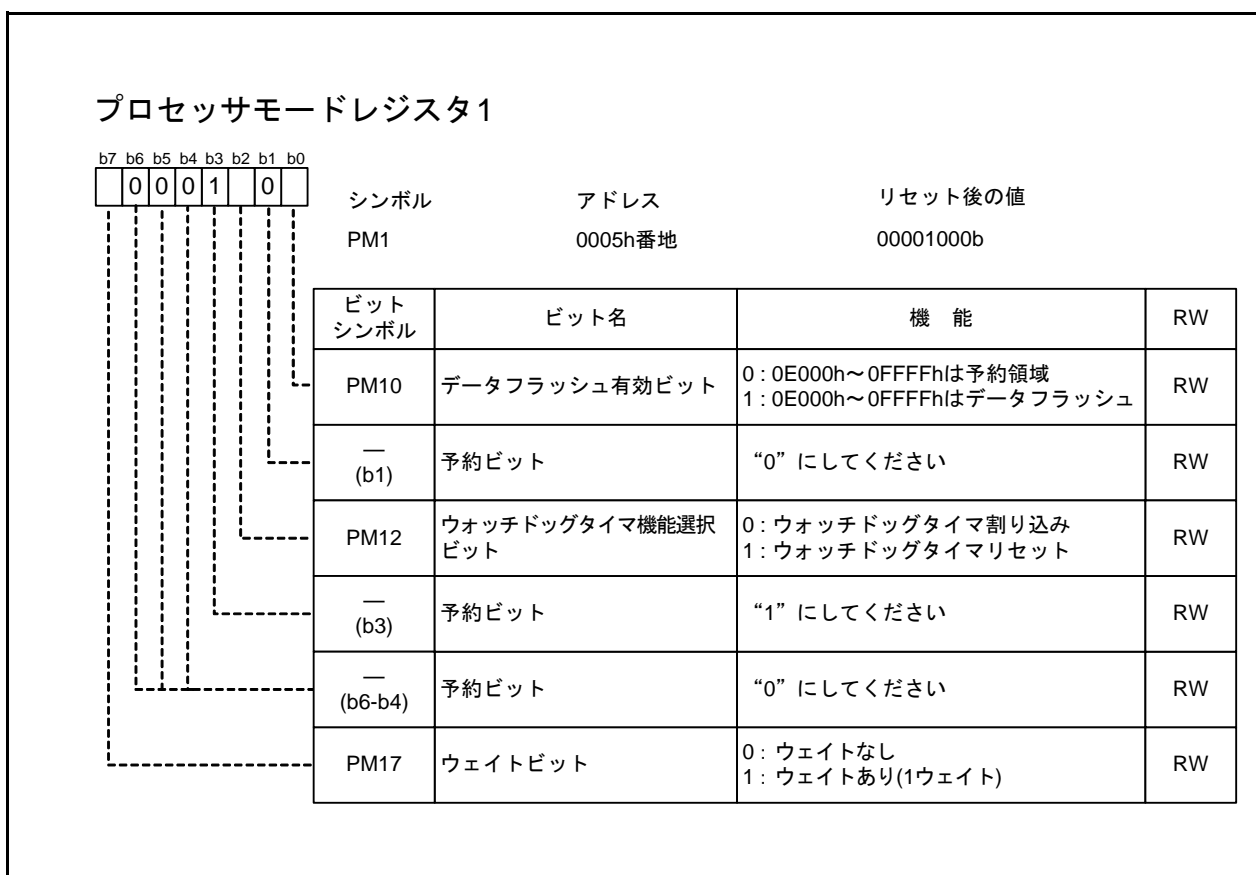
プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子

10.2 レジスタの説明

表 10.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0005h	プロセッサモードレジスタ1	PM1	0000 1000b
0010h	プログラム2領域制御レジスタ	PRG2C	XXXX XX00b
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb

10.2.1 プロセッサモードレジスタ1 (PM1)



このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。PM12ビットはプログラムで“1”を書くと“1”になります（“0”を書いても変化しません）。

PM10 (データフラッシュ有効ビット) (b0)

0E000h~0FFFFh番地の機能を選択するビットです。

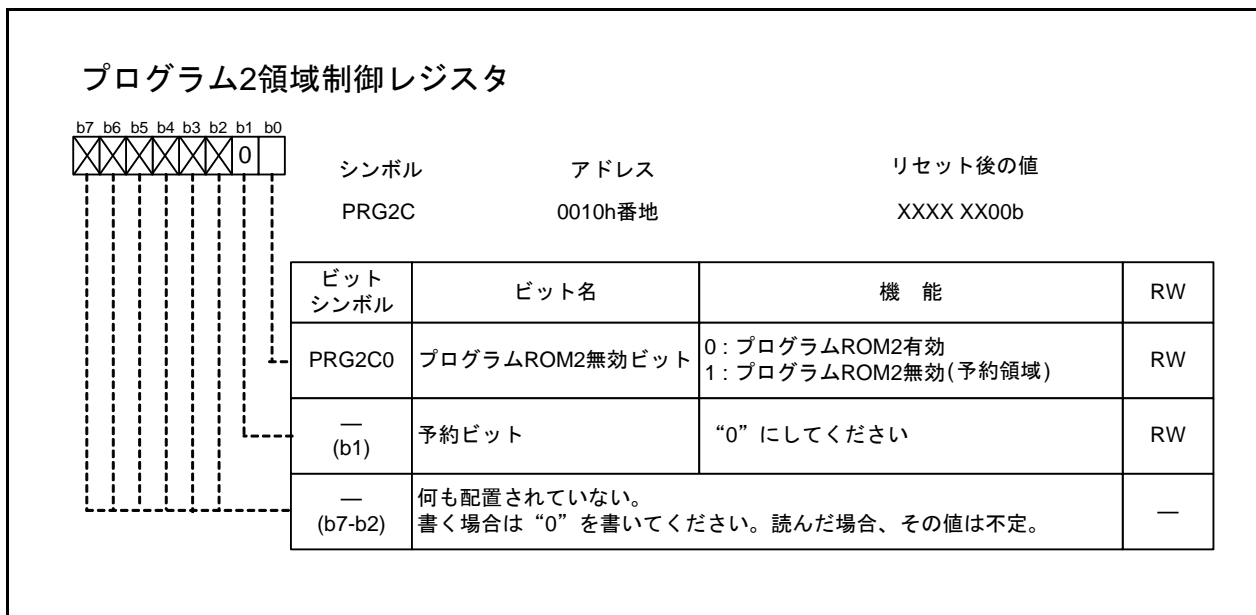
データフラッシュにはブロック A (0E000h~0EFFFh番地)、ブロック B (0F000h~0FFFFh) があります。PM10ビットでデータフラッシュを選択すると、ブロック A、ブロック B両方が使用できます。

PM10ビットは、FMR0レジスタのFMR01ビットが“1”（CPU書き換えモード）の期間、自動的に“1”になります。

PM17 (ウェイトビット) (b7)

内部メモリのソフトウェアウェイトを選択する機能です。

10.2.2 プログラム2領域制御レジスタ (PRG2C)



このレジスタはPRCRレジスタのPRC6ビットを“1”(書き込み許可)にした後で書き換えてください。

PRG2C0 (プログラムROM2無効ビット) (b0)

プログラムROM2 (10000h~13FFFh番地) の機能を選択するビットです。

プログラムROM2はオンチップデバッグモニタ領域、ユーザブートコード領域を含みます。(「26.7.1 ユーザブート機能」参照。)

10.2.3 フラッシュメモリ制御レジスタ1 (FMR1)

フラッシュメモリ制御レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル FMR1	アドレス 0221h番地	リセット後の値 00X0 XX0Xb
	ビット シンボル	ビット名	機 能
— (b0)	予約ビット	読んだ場合、その値は不定	RO
FMR11	FMR6レジスタへの 書き込み許可ビット	0: 禁止 1: 許可	RW
— (b3-b2)	予約ビット	読んだ場合、その値は不定	RO
— (b4)	予約ビット	“0” にしてください	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
FMR16	ロックビットステータス フラグ	0: ロック 1: 非ロック	RO
FMR17	データフラッシュウェイト ビット	0: 1ウェイト 1: PM1レジスタのPM17ビットに従う	RW

FMR17 (データフラッシュウェイトビット) (b7)

データフラッシュのウェイトを選択するビットです。

“0” (1ウェイト) にすると、データフラッシュの読み出しサイクルに1ウェイト挿入します。書き込みサイクルには影響ありません。

10.3 ソフトウェアウェイト

ソフトウェアウェイト関連ビットにはPM1レジスタのPM17ビット、FMR1レジスタのFMR17ビットがあります。これらのビットによってバスサイクルが決定されます。表 10.3 にソフトウェアウェイト関連ビットとバスサイクルの関係を示します。

表 10.3 ソフトウェアウェイト関連ビットとバスサイクル

領域		ソフトウェアウェイト関連ビットの設定		ソフトウェアウェイト	バスサイクル
		FMR1レジスタ FMR17ビット	PM1レジスタ PM17ビット		
SFR		—	—	1ウェイト	BCLKの2サイクル (注1)
内部RAM		—	0	なし	BCLKの1サイクル (注1)
			1	1ウェイト	BCLKの2サイクル
内部ROM	プログラムROM1	—	0	なし	BCLKの1サイクル (注1)
	プログラムROM2		1	1ウェイト	BCLKの2サイクル
	データフラッシュ	0	—	1ウェイト	BCLKの2サイクル (注1)
		1	0	なし	BCLKの1サイクル
			1	1ウェイト	BCLKの2サイクル

—:“0”でも“1”でも影響ない

注1. リセット後の状態

10.4 バスホールド

次の場合は内部バスがホールド状態になります。

- フラッシュメモリをEW1モードで書き換える際の、自動書き込み、自動消去中バスがホールド状態になると、次のような影響が出ます。
 - CPU停止
 - DMAC停止
 - CSPRレジスタのCSPROビットが“0”(カウントソース保護モード無効)の場合、ウォッチドッグタイマ停止
 - 入出力ポートの状態保持

なお、バスの使用優先順位は高い方から順に、バスホールド、DMAC、CPUとなります。ただし、CPUが奇数番地をワード単位でアクセスしている場合、2回に分けられたアクセスの間、DMAはバス使用権を得ることはできません。図 10.1 にバスの使用優先順位を示します。

バスホールド > DMAC > CPU

図 10.1 バスの使用優先順位

11. プログラマブル入出力ポート

注意

64ピン版にはP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P9_5~P9_7はありません。

11.1 概要

プログラマブル入出力ポート(以下、入出力ポートと称す)の仕様を表 11.1に示します。

各端子は、入出力ポート、または周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。また、周辺機能の入出力端子として使用する場合は、「11.4 周辺機能の入出力」を参照してください。

表 11.2に端子構成を示します。

表 11.1 プログラマブル入出力ポートの仕様

項目	仕様	
	80ピン版	64ピン版
本数	71本(CMOS入出力)	55本(CMOS入出力)
入出力選択	1本ごとにプログラムで選択	
選択機能	プルアップ抵抗を4本単位で選択 入力レベルを8本単位で選択	

表 11.2 入出力端子

端子名		入出力	機能
80ピン版	64ピン版		
P0_0~P0_7、 P1_0~P1_7、 P2_0~P2_7、 P3_0~P3_7、 P6_0~P6_7、 P7_0~P7_7、 P8_0~P8_7、 P9_0~P9_3、 P9_5~P9_7、 P10_0~P10_7	P0_0~P0_3、 P1_5~P1_7、 P2_0~P2_7、 P3_0~P3_3、 P6_0~P6_7、 P7_0~P7_7、 P8_0~P8_7、 P9_0~P9_3、 P10_0~P10_7	入出力	入出力ポート CMOS出力、プルアップ抵抗選択可能 入力レベルを選択可能

11.2 入出力ポート、端子の構成

図 11.1~図 11.6、および表 11.3~表 11.8に入出力ポートの構成、図 11.7に端子の構成を示します。

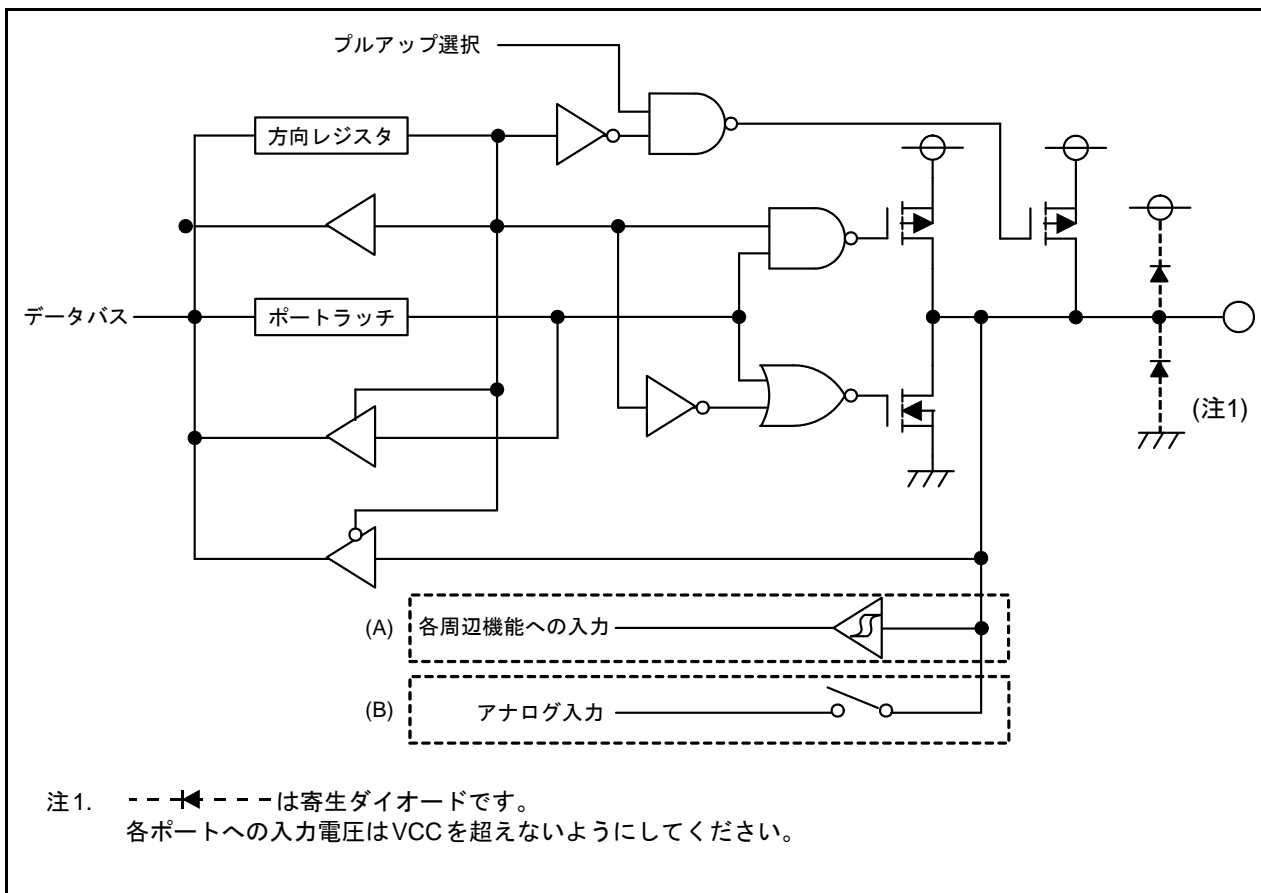


図 11.1 入出力ポートの構成 (基本)

表 11.3 入出力ポートの構成 (基本)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P3_4~P3_7	なし	なし
P0_0~P0_7、P10_0~P10_3、P9_3 (注1)	なし	あり
P3_1、P6_2、P6_6、P7_7、P8_2~P8_4	あり	なし
P9_1、P9_2、P9_7、P10_4~P10_7	あり	あり

注1. P9_3はM16C/56Dグループの場合

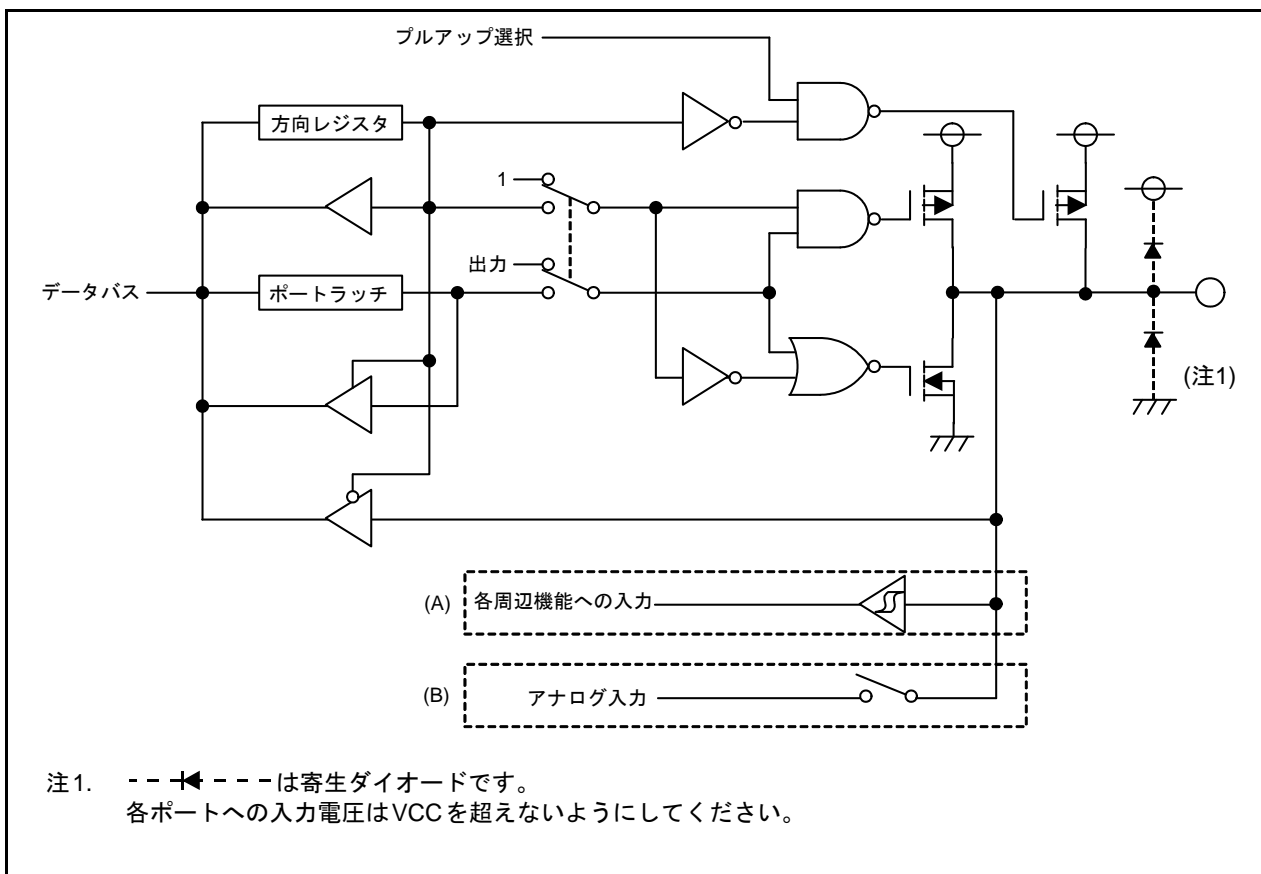


図 11.2 入出力ポートの構成 (出力あり)

表 11.4 入出力ポートの構成 (出力あり)

ポート	周辺機能入出力	
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)
P9_3 (注1)	なし	あり
P2_2~P2_7、P3_0、P3_3、P6_0、P6_1、 P6_4、P6_5、P7_4~P7_6、P8_0、P8_1	あり	なし
P9_0、P9_5	あり	あり

注1. M16C/5LDグループの場合

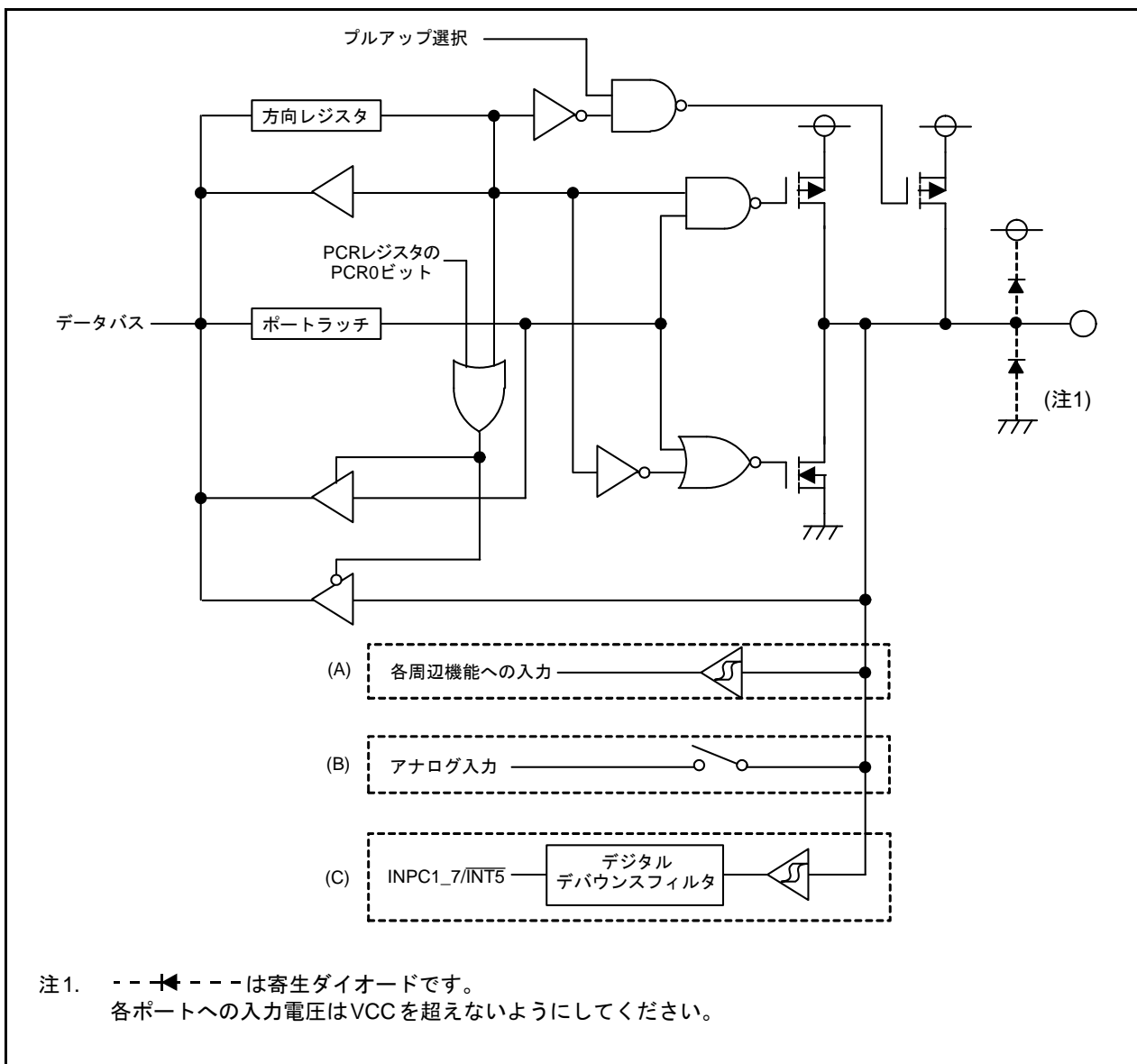


図 11.3 入出力ポートの構成 (ポートP1、P1_7)

表 11.5 入出力ポートの構成 (ポートP1、P1_7)

ポート	周辺機能入出力		
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)	周辺機能入力 図中回路 (C)
P1_4	なし	なし	なし
P1_0~P1_3	なし	あり	なし
P1_5、P1_6	あり	なし	なし
P1_7	あり	なし	あり

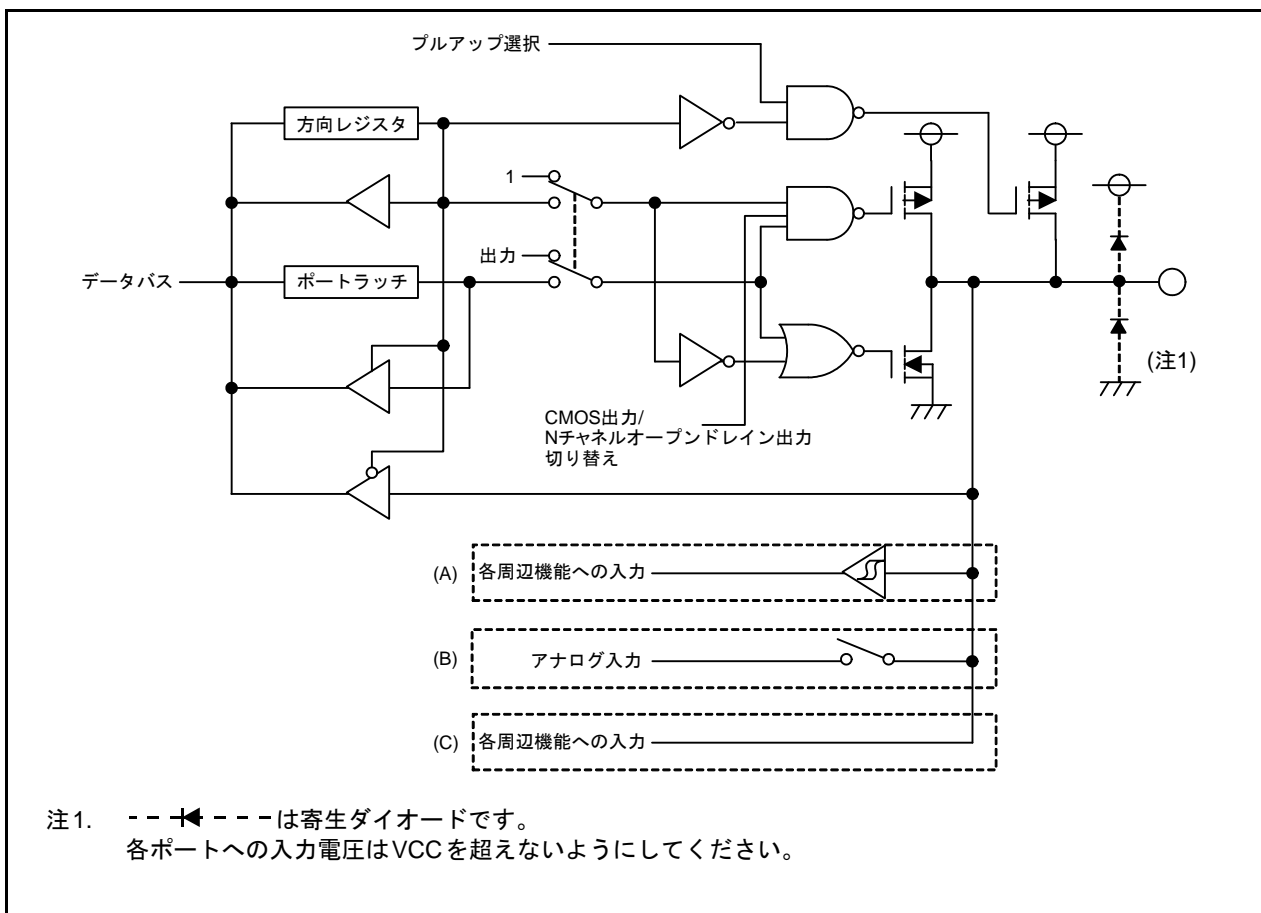


図 11.4 入出力ポートの構成 (CMOS出力/Nチャネルオープンドレイン出力切り替え)

表 11.6 入出力ポートの構成 (CMOS出力/Nチャネルオープンドレイン出力切り替え)

ポート	周辺機能入出力		
	周辺機能入力 図中回路 (A)	アナログ入力 図中回路 (B)	周辺機能入力 図中回路 (C)
P3_2、P6_3、P6_7	なし	なし	なし
P9_6	なし	あり	なし
P7_0~P7_3	あり	なし	なし
P2_0、P2_1	あり	なし	あり

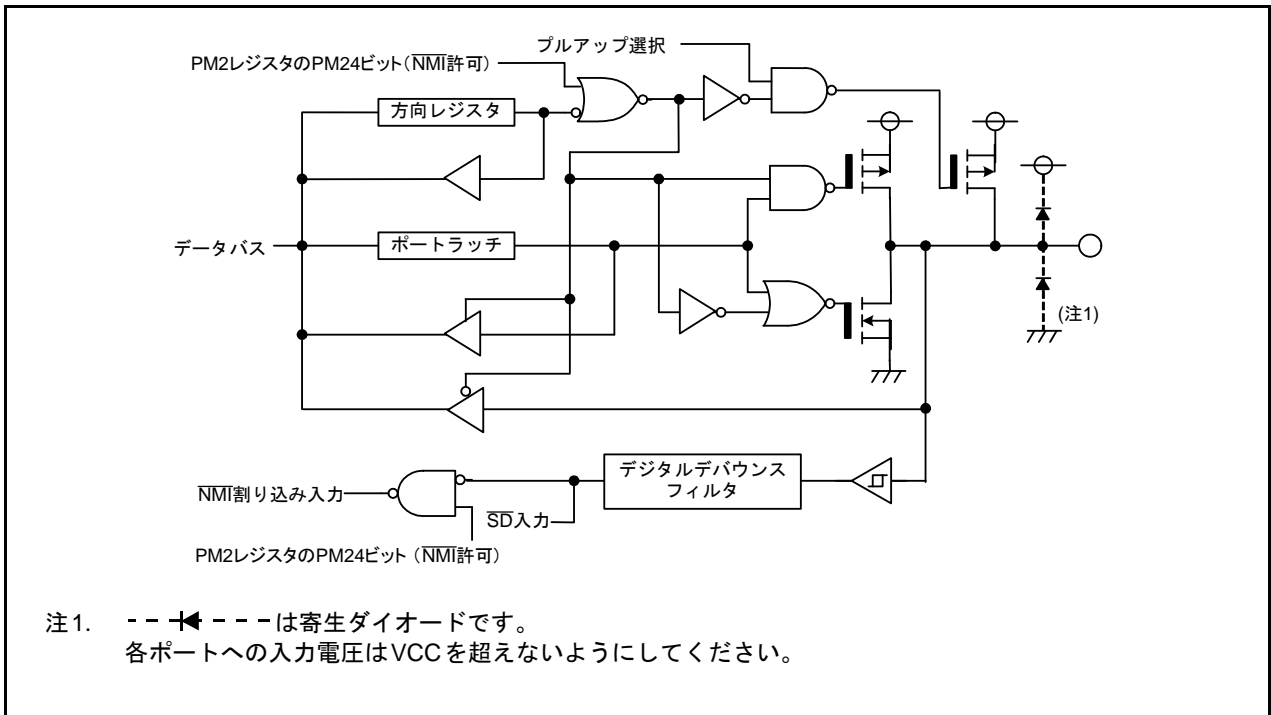


図 11.5 入出力ポートの構成 (NMI)

表 11.7 入出力ポートの構成 (NMI)

ポート	周辺機能入出力	
	周辺機能入力	アナログ入力
P8_5	あり	なし

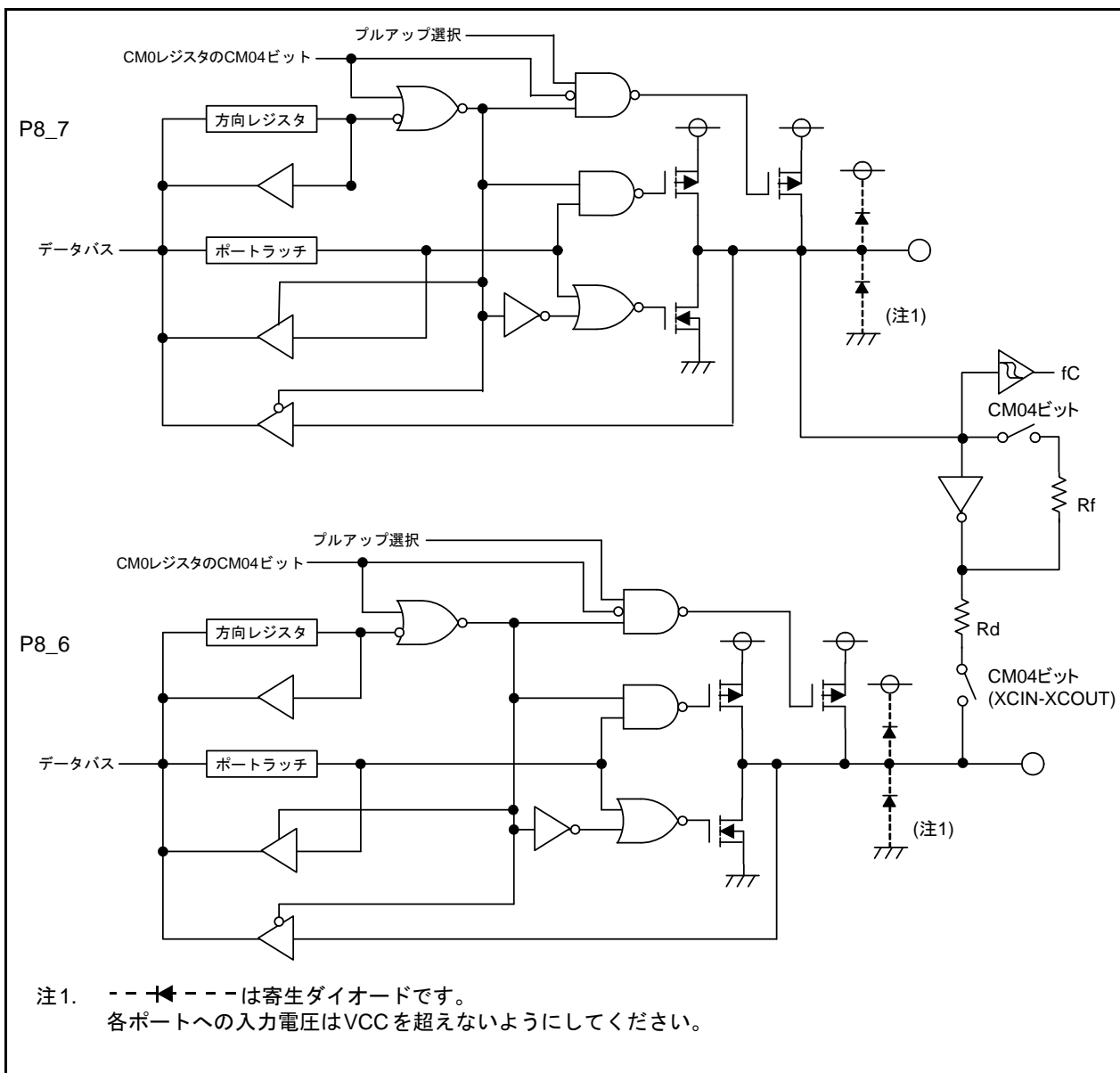


図 11.6 入出力ポートの構成 (XC)

表 11.8 入出力ポートの構成 (XC)

ポート	周辺機能入出力	
	周辺機能入力	アナログ入力
P8_6、P8_7	なし	なし

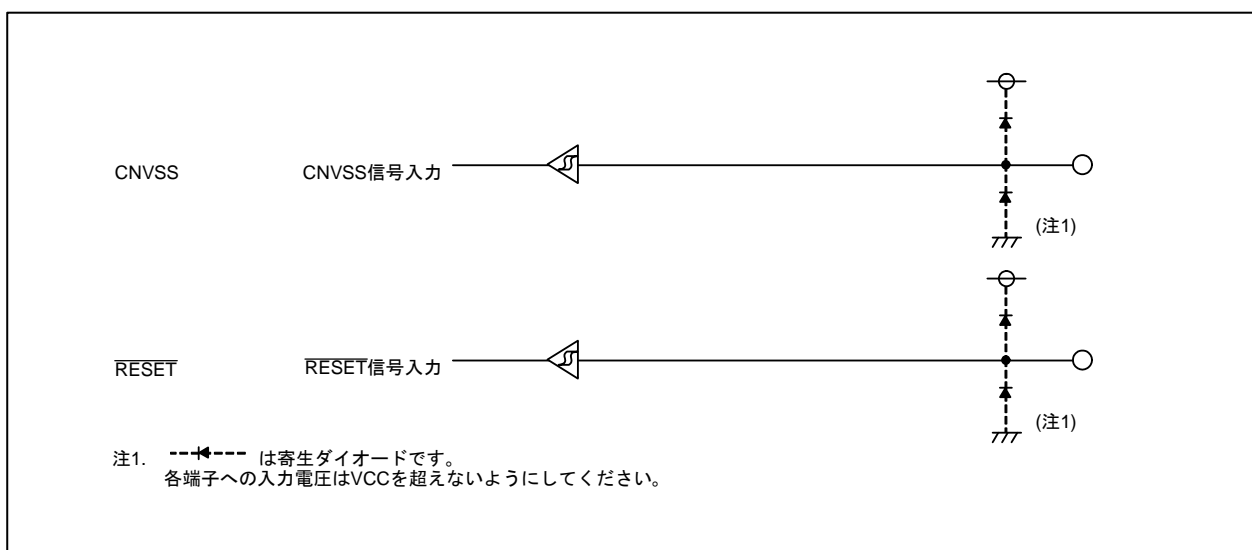


図 11.7 端子の構成

11.3 レジスタの説明

表 11.9 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
02FEh	NMI デジタルデバウンスレジスタ	NDDR	FFh
02FFh	P1_7 デジタルデバウンスレジスタ	P17DDR	FFh
0360h	プルアップ制御レジスタ 0	PUR0	00h
0361h	プルアップ制御レジスタ 1	PUR1	00h
0362h	プルアップ制御レジスタ 2	PUR2	00h
0366h	ポート制御レジスタ	PCR	0XX0 0XX0b
0370h	端子割り当て制御レジスタ	PACR	0XXX X000b
03E0h	ポート P0 レジスタ	P0	XXh
03E1h	ポート P1 レジスタ	P1	XXh
03E2h	ポート P0 方向レジスタ	PD0	00h
03E3h	ポート P1 方向レジスタ	PD1	00h
03E4h	ポート P2 レジスタ	P2	XXh
03E5h	ポート P3 レジスタ	P3	XXh
03E6h	ポート P2 方向レジスタ	PD2	00h
03E7h	ポート P3 方向レジスタ	PD3	00h
03ECh	ポート P6 レジスタ	P6	XXh
03EDh	ポート P7 レジスタ	P7	XXh
03EEh	ポート P6 方向レジスタ	PD6	00h
03EFh	ポート P7 方向レジスタ	PD7	00h
03F0h	ポート P8 レジスタ	P8	XXh
03F1h	ポート P9 レジスタ	P9	XXh
03F2h	ポート P8 方向レジスタ	PD8	00h
03F3h	ポート P9 方向レジスタ	PD9	000X 0000b
03F4h	ポート P10 レジスタ	P10	XXh
03F6h	ポート P10 方向レジスタ	PD10	00h

11.3.1 $\overline{\text{NMI}}$ デジタルデバウンスレジスタ (NDDR)

$\overline{\text{NMI}}$ デジタルデバウンスレジスタ			
b7 [] b0	シンボル NDDR	アドレス 02FEh番地	リセット後の値 FFh
	機 能	設定範囲	RW
	設定値をnとする場合、 ・ n=0~FEh: $\frac{(n+1) \times 8}{f1}$ より大きなパルス幅の信号が $\overline{\text{NMI}}/\overline{\text{SD}}$ に入力されます。 ・ n=FFh: デジタルデバウンスフィルタは禁止となり、すべての信号が入力されます。	00h~FFh	RW

ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、ストップモードに入る前に、NDDRレジスタに“FFh”を設定してください。

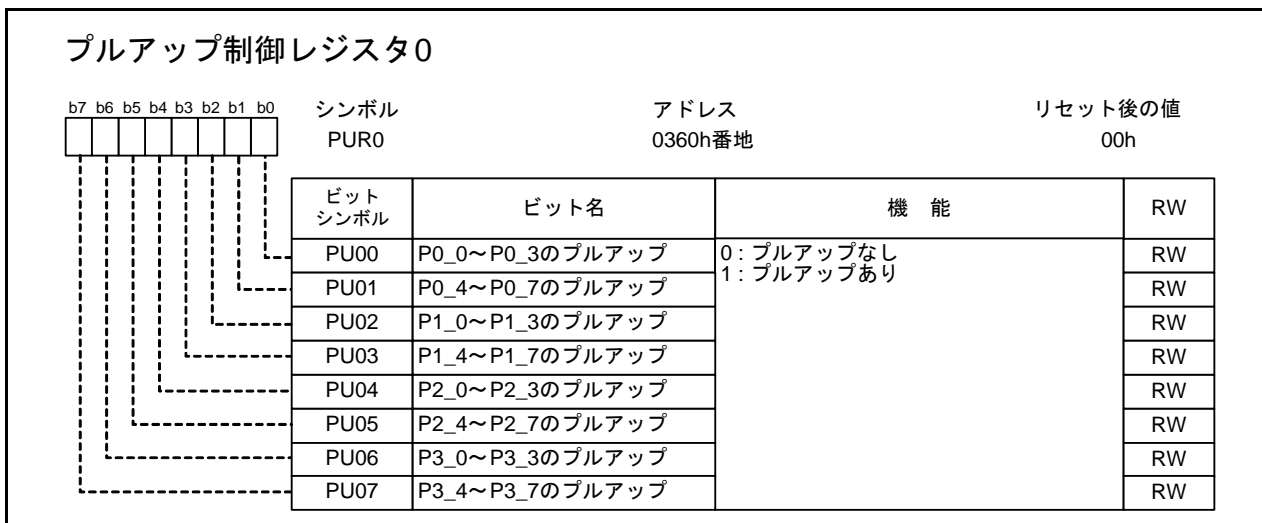
このレジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書いてください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

11.3.2 P1_7デジタルデバウンスレジスタ (P17DDR)

P1_7デジタルデバウンスレジスタ			
b7 [] b0	シンボル P17DDR	アドレス 02FFh番地	リセット後の値 FFh
	機 能	設定範囲	RW
	設定値をnとする場合、 ・ n=0~FEh: $\frac{(n+1) \times 8}{f1}$ より大きなパルス幅の信号が $\text{INPC1}_7/\text{INT5}$ に入力されます。 ・ n=FFh: デジタルデバウンスフィルタは禁止となり、すべての信号が入力されます。	00h~FFh	RW

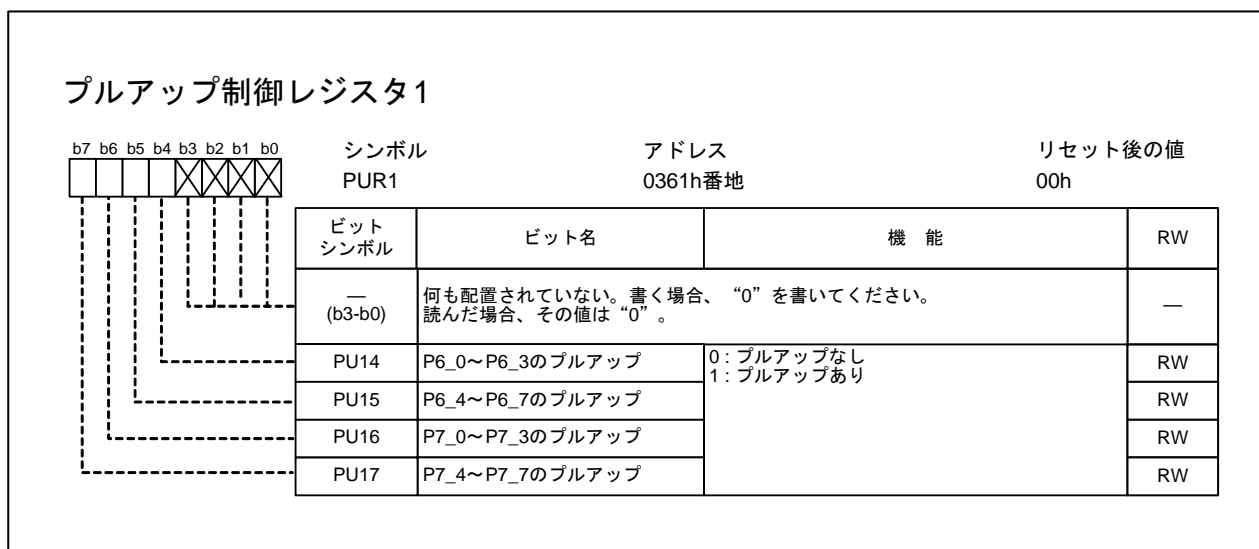
ストップモードからの復帰に $\overline{\text{INT5}}$ 割り込みを使用する場合、ストップモードに入る前に、P17DDRレジスタに“FFh”を設定してください。

11.3.3 プルアップ制御レジスタ0 (PUR0)



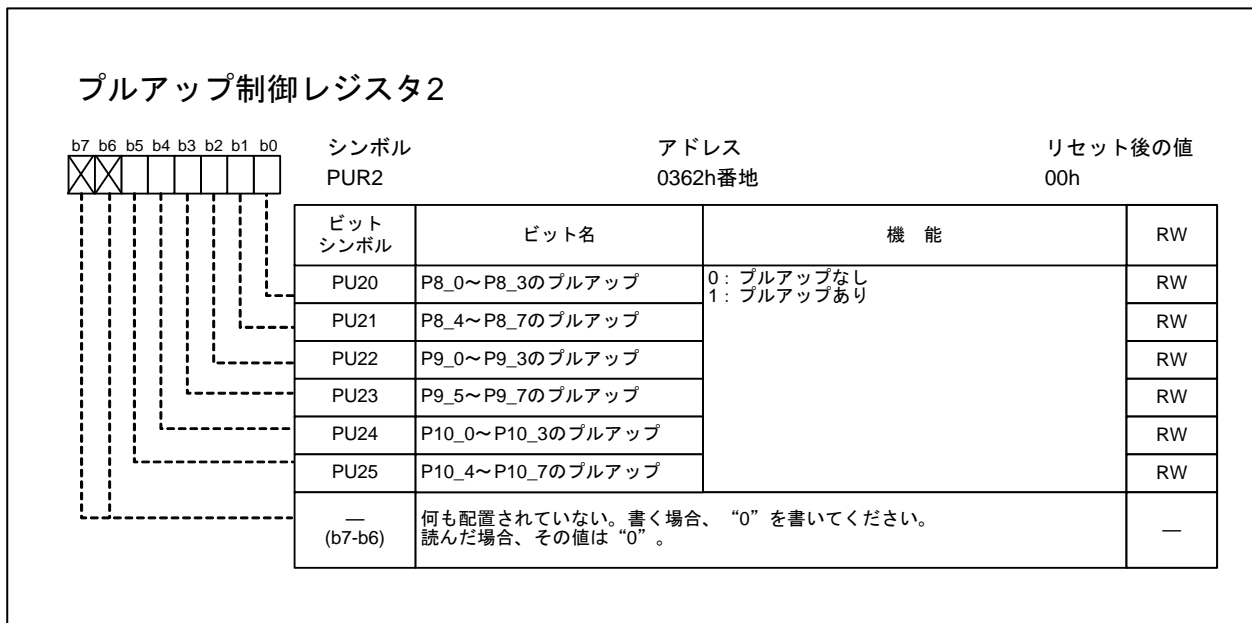
PUR0レジスタのビットが“1” (プルアップあり) でかつ方向ビットが“0” (入力モード) の端子がプルアップされます。

11.3.4 プルアップ制御レジスタ1 (PUR1)



PUR1レジスタのビットが“1” (プルアップあり) でかつ方向ビットが“0” (入力モード) の端子がプルアップされます。

11.3.5 プルアップ制御レジスタ2 (PUR2)



PUR2レジスタのビットが“1”（プルアップあり）でかつ方向ビットが“0”（入力モード）の端子がプルアップされます。

11.3.6 ポート制御レジスタ (PCR)

ポート制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0 X X X 0 0 X X

シンボル
PCR

アドレス
0366h番地

リセット後の値
0XX0 0XX0b

ビットシンボル	ビット名	機能	RW
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0: 入力ポートのとき、P1_0~P1_7端子の入カレベルを読む 出力ポートのとき、ポートラッチを読む 1: 入力ポート、出力ポートにかかわらず、ポートラッチを読む	RW
— (b2-b1)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。		—
— (b4-b3)	予約ビット	“0”にしてください	RW
— (b6-b5)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は不定。		—
— (b7)	予約ビット	“0”にしてください	RW

PCR0 (ポートP1制御ビット) (b0)

PCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

11.3.7 端子割り当て制御レジスタ (PACR)



このレジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

PACR2~PACR0 (端子許可ビット)(b2~b0)

PACR2~PACR0ビットはリセット後“000b”です。使用する製品にあわせて“010b”(64ピン版)または“011b”(80ピン版)を選択してください。

PACR2~PACR0ビットは、各端子の入出力を行うより前に、設定してください。リセット後の値のままでは、一部の端子の入出力機能が動作しません。

11.3.8 ポートPiレジスタ (Pi) (i=0~3, 6~10)

ポートPiレジスタ (i=0~3, 6~8, 10)

シンボル	アドレス	リセット後の値
P0~P3	03E0h、03E1h、03E4h、03E5h番地	XXh
P6~P7	03ECh、03EDh番地	XXh
P8	03F0h番地	XXh
P10	03F4h番地	XXh

ビットシンボル	ビット名	機能	RW
Pi_0	ポートPi_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: “L” レベル 1: “H” レベル	RW
Pi_1	ポートPi_1ビット		RW
Pi_2	ポートPi_2ビット		RW
Pi_3	ポートPi_3ビット		RW
Pi_4	ポートPi_4ビット		RW
Pi_5	ポートPi_5ビット		RW
Pi_6	ポートPi_6ビット		RW
Pi_7	ポートPi_7ビット		RW

ポートP9レジスタ

シンボル	アドレス	リセット後の値
P9	03F1h番地	XXh

ビットシンボル	ビット名	機能	RW
P9_0	ポートP9_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: “L” レベル 1: “H” レベル	RW
P9_1	ポートP9_1ビット		RW
P9_2	ポートP9_2ビット		RW
P9_3	ポートP9_3ビット		RW
— (b4)	何も配置されていない(注1)		—
P9_5	ポートP9_5ビット		RW
P9_6	ポートP9_6ビット		RW
P9_7	ポートP9_7ビット		RW

注1. 何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポータラッチと端子の状態を読む回路で構成されています。

入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポータラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポータラッチを読み、書くとポータラッチに書きます。ポータラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

11.3.9 ポートPi方向レジスタ (PDi) (i=0~3, 6~10)

ポートPi方向レジスタ (i=0~3, 6~8, 10)

シンボル	アドレス	リセット後の値
PD0~PD3	03E2h、03E3h、03E6h、03E7h番地	00h
PD6~PD7	03EEh、03EFh番地	00h
PD8	03F2h番地	00h
PD10	03F6h番地	00h

ビットシンボル	ビット名	機能	RW
PDi_0	ポートPi_0方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PDi_1	ポートPi_1方向ビット		RW
PDi_2	ポートPi_2方向ビット		RW
PDi_3	ポートPi_3方向ビット		RW
PDi_4	ポートPi_4方向ビット		RW
PDi_5	ポートPi_5方向ビット		RW
PDi_6	ポートPi_6方向ビット		RW
PDi_7	ポートPi_7方向ビット		RW

ポートPD9方向レジスタ

シンボル	アドレス	リセット後の値
PD9	03F3h番地	000X 0000b

ビットシンボル	ビット名	機能	RW
PD9_0	ポートP9_0方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PD9_1	ポートP9_1方向ビット		RW
PD9_2	ポートP9_2方向ビット		RW
PD9_3	ポートP9_3方向ビット		RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PD9_5	ポートP9_5方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PD9_6	ポートP9_6方向ビット		RW
PD9_7	ポートP9_7方向ビット		RW

PD9レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書いてください。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

周辺機能の入力端子を使用する場合は、端子を共用しているポートの方向ビットを“0”（入力モード）にしてください。

11.4 周辺機能の入出力

11.4.1 周辺機能入出力とポート方向ビット

プログラマブル入出力ポートは、周辺機能の入出力と端子を共用する場合があります(「表 1.7~表 1.10 端子名一覧表」参照)。周辺機能の入出力端子の機能には、端子を共用するポートの方向ビットの影響を受けるものがあります。表 11.10に周辺機能の入出力として機能する場合の方向ビットの設定を示します。周辺機能の設定方法は、各機能説明を参照してください。

表 11.10 周辺機能の入出力として機能する場合の方向ビットの設定

周辺機能の入出力	端子を共用しているポートの方向ビットの設定
入力	“0”(入力モード)にしてください
出力	“0”でも“1”でもよい(方向ビットの設定に関係なく、出力になる)

11.4.2 周辺機能入出力の優先順位

複数の周辺機能が端子を共用している場合があります。この場合、例えば、ある端子を共用する周辺機能Aと周辺機能Bが動作すると次のようになります。

- その端子が周辺機能Aの入力端子と、周辺機能Bの入力端子の機能を持つ場合
同じ信号をそれぞれの入力信号として入力します。ただし、周辺機能A、Bがその信号を受け付けるタイミングは周辺機能A、Bの内部の遅延などによって異なります。
- その端子が周辺機能Aの出力端子と、周辺機能Bの入力端子の機能を持つ場合
周辺機能Aは出力信号を端子から出力します。その信号を周辺機能Bが入力します。

11.4.3 デジタルデバウンスフィルタ

デジタルデバウンス機能を2回路内蔵しています。デジタルデバウンス機能は、入力信号の立ち上がりエッジ、または立ち下がりエッジの後、プログラムで設定したフィルタ幅の時間を超えてそのレベルが保持された時点でレベルの確定が行われるため、ノイズの除去に有効です。

この機能は、 $\overline{\text{NMI/SD}}$ と $\overline{\text{INT5/INPC1_7}}$ に割り当てられており、デジタルフィルタ幅はそれぞれNDDRレジスタ、P17DDRレジスタで設定します。なお、ポートP1_7/IDUの入力、ポートP8_5の入力に対してデジタルバウンス機能は無効です。

フィルタ幅: $\frac{(n+1) \times 8}{f1}$ n: NDDRレジスタまたはP17DDRレジスタの設定値

NDDRレジスタまたはP17DDRレジスタは、f1の8分周をカウントソースとし、設定値をダウンカウントします。NDDRレジスタ、またはP17DDRレジスタを読み出した場合、カウント値が読み出されず、端子入力の立ち上がりエッジ、または立ち下がりエッジで設定値がリロードされます。

デジタルデバウンス機能を使用する場合、NDDRレジスタまたはP17DDRレジスタの設定可能値は“00h~FFh”です。“FFh”を設定すると、デジタルフィルタなしとなります。詳細を図11.8に示します。

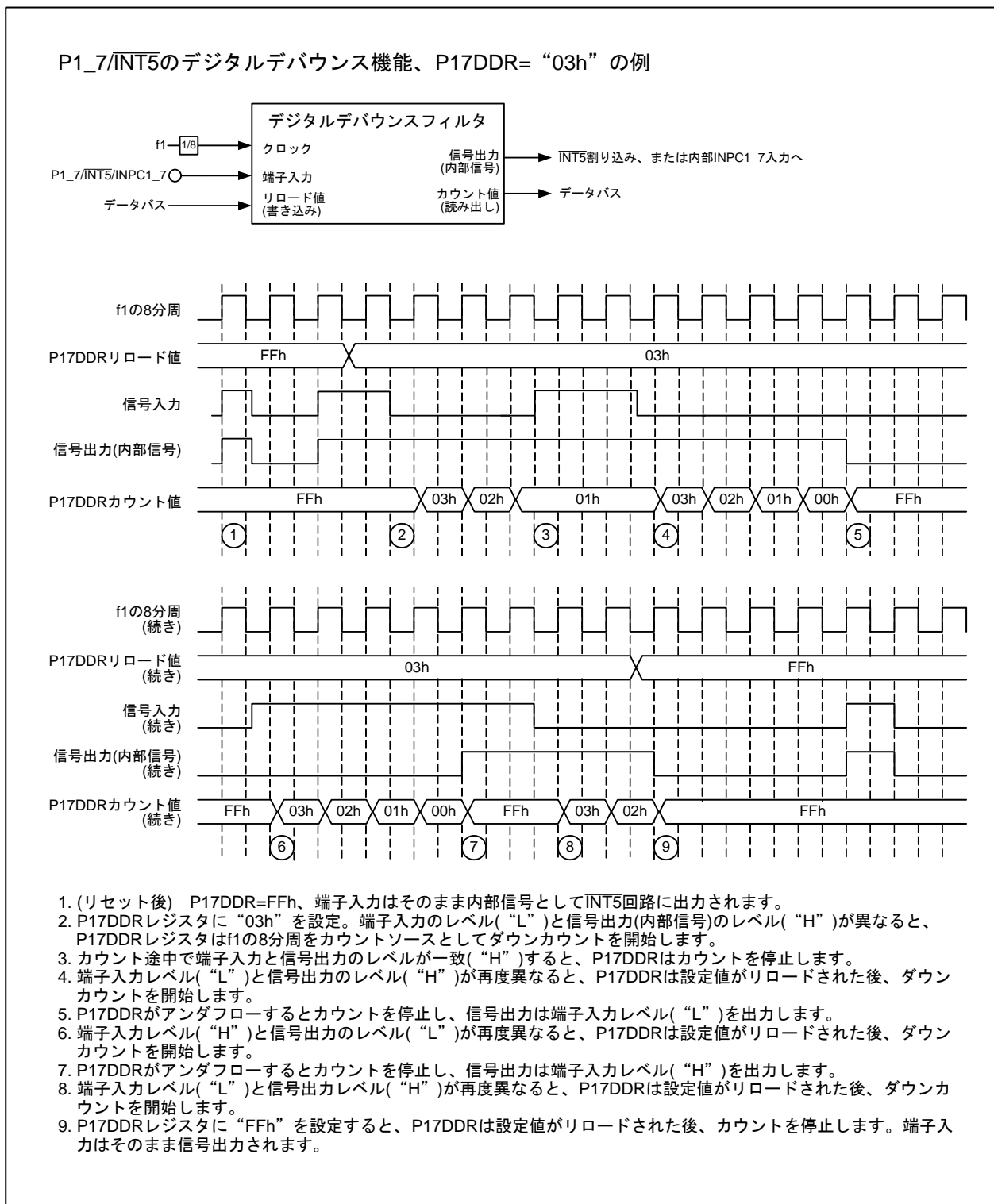


図 11.8 デジタルデバウンスフィルタの動作例

11.5 未使用端子の処理

表 11.11 シングルチップモード時の未使用端子の処理例

端子名	処理内容 (注2)
ポート P0~P3、P6~P10	次のいずれか <ul style="list-style-type: none"> • 入力モードに設定し、端子ごとに抵抗を介してVSSに接続 (プルダウン) • 入力モードに設定し、端子ごとに抵抗を介してVCCに接続 (プルアップ) • 出力モードに設定し、端子を開放 (注1)
XOUT (注3)	開放
XIN	抵抗を介してVCCに接続 (プルアップ)
AVCC	VCCに接続
AVSS、VREF	VSSに接続

- 注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの値が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの値を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線 (2cm 以内) で処理してください。
- 注3. XIN端子に外部クロックを入力している場合、または抵抗を介してVCCに接続している場合。

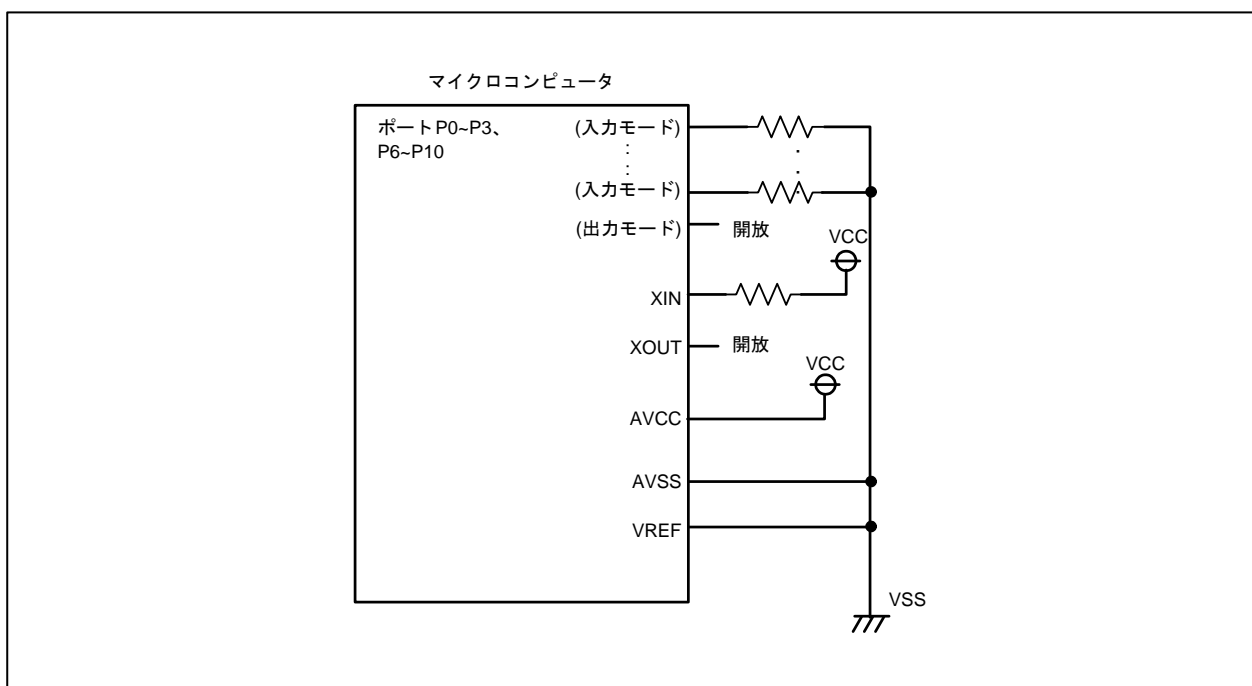


図 11.9 未使用端子の処理例

11.6 プログラマブル入出力ポート使用上の注意事項

11.6.1 端子割り当て制御

PACRレジスタのPACR2~PACR0ビットはリセット後“000b”です。使用する製品にあわせて“010b” (64ピン版)または“011b” (80ピン版)を選択してください。

PACR2~PACR0ビットを設定した後でプログラマブル入出力ポートや周辺機能の入出力を設定してください。

11.6.2 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

11.6.3 入力閾値電圧

プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VILの範囲外 (“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

12. 割り込み

12.1 概要

表 12.1に割り込みの概要を、表 12.2に入出力端子を示します。表 12.2に示す端子は、外部割り込みの入力端子です。周辺機能割り込みに関係する端子は各周辺機能を参照してください。

表 12.1 割り込みの概要

割り込みの分類	割り込み	機能
ソフトウェア	未定義命令(UND命令) オーバフロー (INTO命令) BRK命令 INT命令	命令の実行で割り込みが発生する ノンマスクブル割り込み(注2)
ハードウェア	特殊 NMI ウォッチドッグタイマ 発振停止/再発振検出 電圧監視2 アドレス一致 シングルステップ(注1) DBC(注1)	マイクロコンピュータのハードウェアによる割り込み ノンマスクブル割り込み(注2)
周辺機能	$\overline{\text{INT}}$ 、タイマなど (「12.6.2 可変ベクタテーブル」参照)	マイクロコンピュータ内部の周辺機能による割り込み マスクブル割り込み(割り込み優先レベル: 7レベル) (注2)

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. マスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
ノンマスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

表 12.2 入出力端子

端子名	入出力	機能
$\overline{\text{NMI}}$	入力(注1)	$\overline{\text{NMI}}$ 割り込み入力
$\overline{\text{INTi}}$	入力(注1)	$\overline{\text{INTi}}$ 割り込み入力
KI0~KI3	入力(注1)	キー入力

i=0~5

注1. 端子を共用するポートの方向ビットは“0”(入力モード)にしてください。

12.2 レジスタの説明

表 12.3 レジスタ一覧(1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
001Eh	プロセッサモードレジスタ2	PM2	XX00 0X01b
0044h	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
0048h	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
0049h	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ、 タスク監視タイマ割り込み制御レジスタ	BCNIC、TMOSIC	XXXX X000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
004Dh	キー入力割り込み制御レジスタ、A/D1変換割り 込み制御レジスタ	KUPIC、ADEIC	XXXX X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXX X000b

表 12.4 レジスタ一覧(2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
006Fh	UART4送信割り込み制御レジスタ、リアルタイムクロックコンペア割り込み制御レジスタ	S4TIC、RTCCIC	XXXX X000b
0070h	UART4受信割り込み制御レジスタ	S4RIC	XXXX X000b
0071h	CAN0ウェイクアップ割り込み制御レジスタ	C0WIC	XXXX X000b
0072h	UART3送信割り込み制御レジスタ、CAN0エラー割り込み制御レジスタ	S3TIC、C0EIC	XXXX X000b
0073h	UART3受信割り込み制御レジスタ	S3RIC	XXXX X000b
0074h	リアルタイムクロック周期割り込み制御レジスタ	RTCTIC	XXXX X000b
0075h	CAN0受信完了割り込み制御レジスタ	C0RIC	XXXX X000b
0076h	CAN0送信完了割り込み制御レジスタ	C0TIC	XXXX X000b
0077h	CAN0受信FIFO割り込み制御レジスタ	C0FRIC	XXXX X000b
0078h	CAN0送信FIFO割り込み制御レジスタ	C0FTIC	XXXX X000b
0079h	IC/OC割り込み0制御レジスタ	ICOC0IC	XXXX X000b
007Ah	IC/OCチャンネル0割り込み制御レジスタ	ICOC0IC	XXXX X000b
007Bh	IC/OC割り込み1制御レジスタ、I2C-busインタフェース割り込み制御レジスタ	ICOC1IC、IICIC	XXXX X000b
007Ch	IC/OCチャンネル1割り込み制御レジスタ、SCL/SDA割り込み制御レジスタ	ICOC1IC、SCLDAIC	XXXX X000b
007Dh	IC/OCチャンネル2割り込み制御レジスタ	ICOC2IC	XXXX X000b
007Eh	IC/OCチャンネル3割り込み制御レジスタ	ICOC3IC	XXXX X000b
007Fh	IC/OCベースタイム割り込み制御レジスタ	BTIC	XXXX X000b
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXX XX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXX XX00b
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
02FEh	NMIデジタルデバウンスレジスタ	NDDR	FFh
02FFh	P1_7デジタルデバウンスレジスタ	P17DDR	FFh

12.2.1 プロセッサモードレジスタ2 (PM2)

プロセッサモードレジスタ2

ビット シンボル	ビット名	機 能	RW
— (b0)	予約ビット	“1” にしてください	RW
PM21	システムクロック保護ビット	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0” にしてください	RW
PM24	NMI割り込み許可ビット	0: $\overline{\text{NMI}}$ 割り込み禁止 1: $\overline{\text{NMI}}$ 割り込み許可	RW
PM25	周辺機能クロックfC供給許可 ビット	0: 供給禁止 1: 供給許可	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

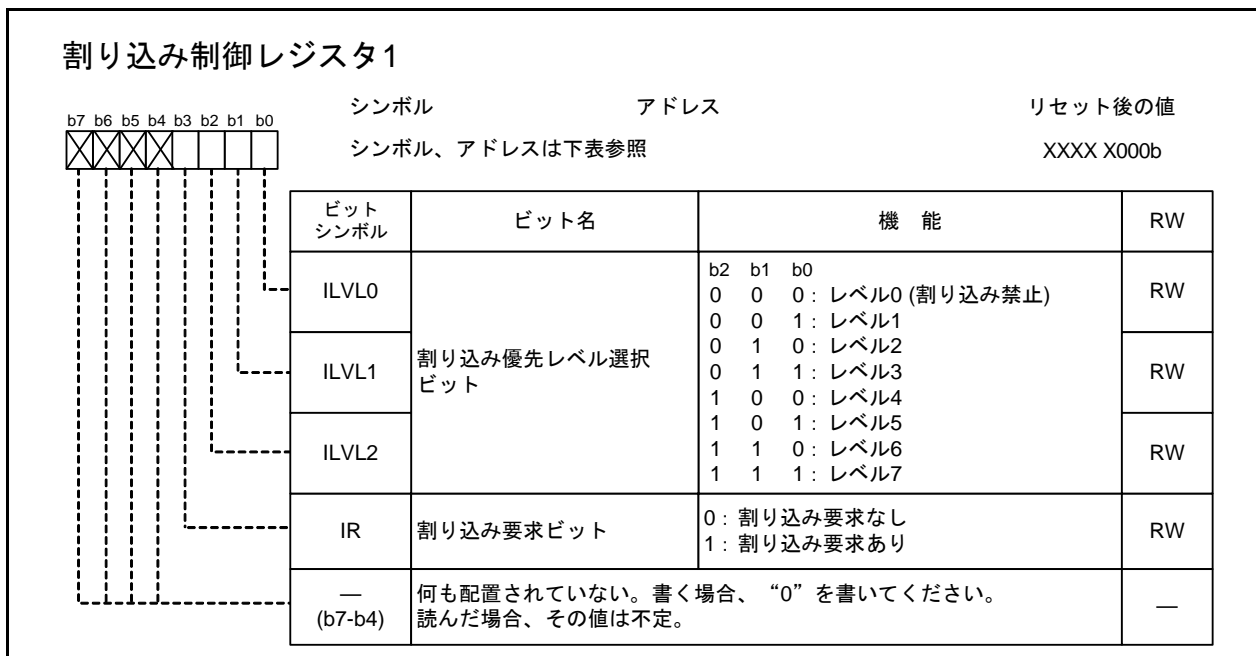
PM2レジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PM24 ($\overline{\text{NMI}}$ 割り込み許可ビット) (b4)

一度“1”にすると、プログラムでは“0”にできません（“0”を書いても変化しません）。

12.2.2 割り込み制御レジスタ1

(BCNIC/TMOSIC、DM0IC~DM3IC、KUPIC/ADEIC、ADIC、S0TIC~S2TIC、S0RIC~S3RIC、TA0IC~TA4IC、TB0IC~TB2IC、S4TIC/RTCCIC、S4RIC、C0WIC、S3TIC/C0EIC、RTCTIC、C0RIC、C0TIC、C0FRIC、C0FTIC、ICOC0IC、ICOCH0IC、ICOC1IC/IICIC、ICOCH1IC/SCLDAIC、ICOCH2IC~ICOCH3IC、BTIC)



シンボル	アドレス
BCNIC/TMOSIC	004Ah 番地
DM0IC	004Bh 番地
DM1IC	004Ch 番地
DM2IC	0069h 番地
DM3IC	006Ah 番地
KUPIC/ADEIC	004Dh 番地
ADIC	004Eh 番地
S0TIC	0051h 番地
S1TIC	0053h 番地
S2TIC	004Fh 番地
S0RIC	0052h 番地
S1RIC	0054h 番地
S2RIC	0050h 番地
S3RIC	0073h 番地

シンボル	アドレス
TA0IC	0055h 番地
TA1IC	0056h 番地
TA2IC	0057h 番地
TA3IC	0058h 番地
TA4IC	0059h 番地
TB0IC	005Ah 番地
TB1IC	005Bh 番地
TB2IC	005Ch 番地
S4TIC/RTCCIC	006Fh 番地
S4RIC	0070h 番地
C0WIC	0071h 番地
S3TIC/C0EIC	0072h 番地

シンボル	アドレス
RTCTIC	0074h 番地
C0RIC	0075h 番地
C0TIC	0076h 番地
C0FRIC	0077h 番地
C0FTIC	0078h 番地
ICOC0IC	0079h 番地
ICOCH0IC	007Ah 番地
ICOC1IC/IICIC	007Bh 番地
ICOCH1IC/SCLDAIC	007Ch 番地
ICOCH2IC	007Dh 番地
ICOCH3IC	007Eh 番地
BTIC	007Fh 番地

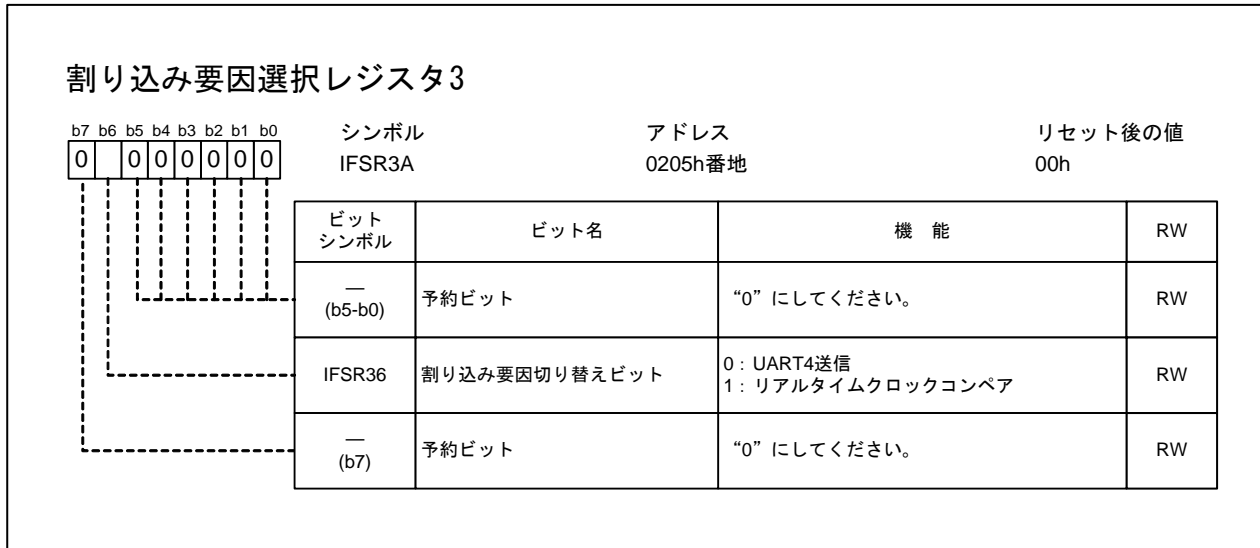
割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。

複数の割り込み要因がレジスタを共用している場合は、IFSR2A、IFSR3A レジスタで選択してください。

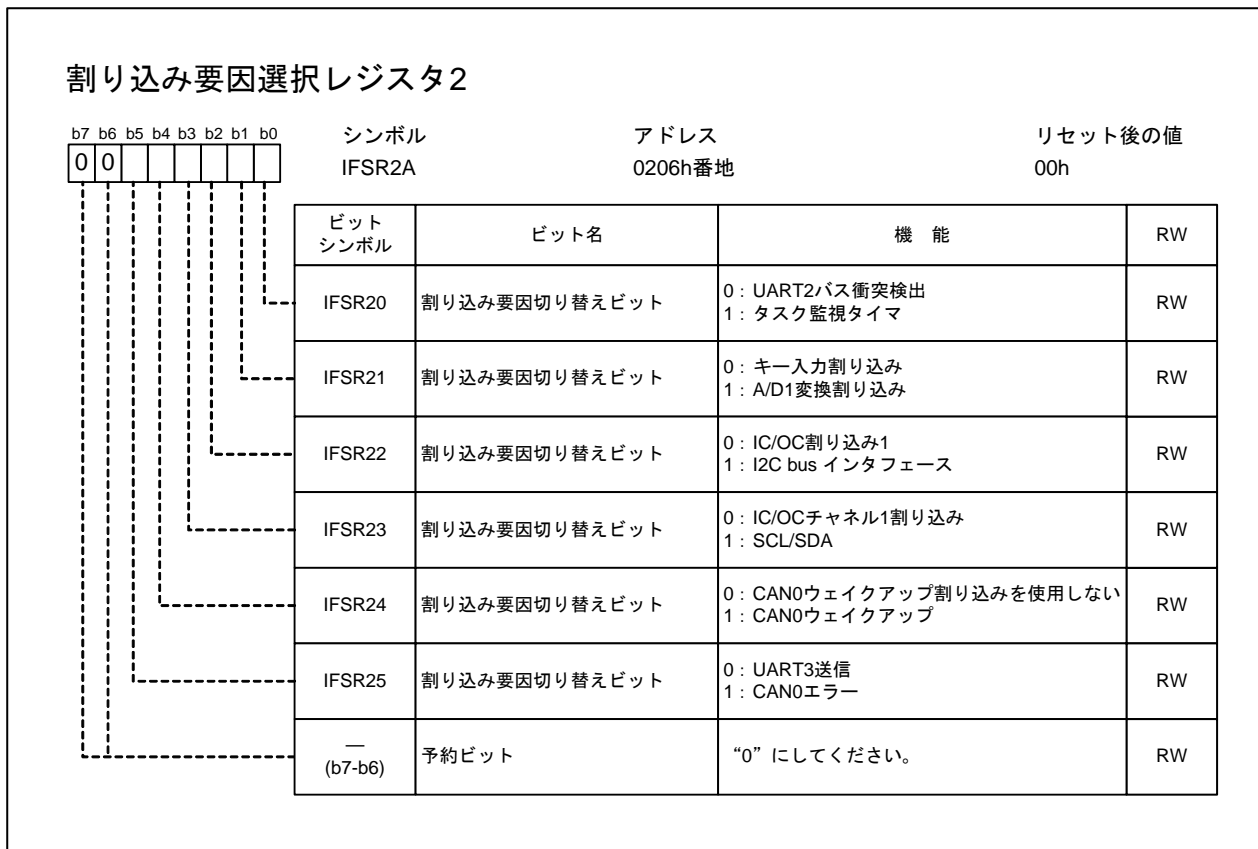
IR (割り込み要求ビット) (b3)

IRビットが“0”のときに“1”を書かないでください。

12.2.4 割り込み要因選択レジスタ3 (IFSR3A)



12.2.5 割り込み要因選択レジスタ2 (IFSR2A)



12.2.6 割り込み要因選択レジスタ (IFSR)

割り込み要因選択レジスタ

ビット シンボル	ビット名	機 能	RW
IFSR0	INT0割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR1	INT1割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR2	INT2割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR3	INT3割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR4	INT4割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR5	INT5割り込み極性切り替え ビット	0: 片エッジ 1: 両エッジ	RW
IFSR6	割り込み要因切り替え ビット	0: INT4割り込みを使用しない 1: INT4	RW
IFSR7	割り込み要因切り替え ビット	0: INT5割り込みを使用しない 1: INT5	RW

シンボル: IFSR
アドレス: 0207h番地
リセット後の値: 00h

IFSR5~IFSR0 (INT5~INT0割り込み極性切り替えビット) (b5~b0)

“1” (両エッジ) を選択する場合は、対応する INTOIC~INT5IC レジスタの POL ビットを“0” (立ち下がりエッジ) にしてください。

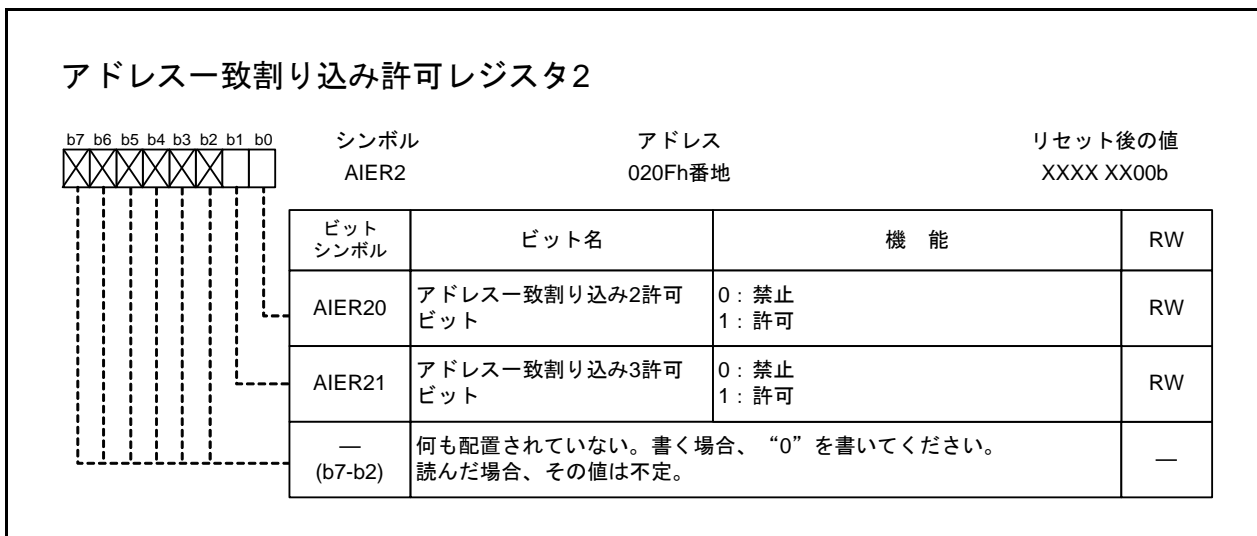
12.2.7 アドレス一致割り込み許可レジスタ (AIER)

アドレス一致割り込み許可レジスタ

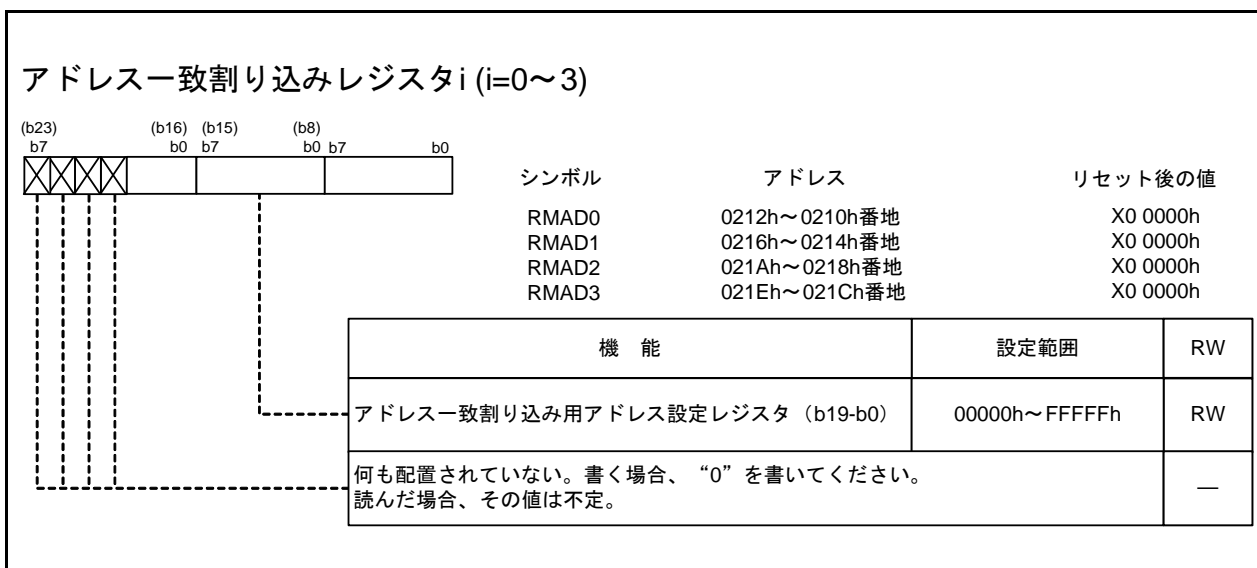
ビット シンボル	ビット名	機 能	RW
AIER0	アドレス一致割り込み0許可 ビット	0: 禁止 1: 許可	RW
AIER1	アドレス一致割り込み1許可 ビット	0: 禁止 1: 許可	RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

シンボル: AIER
アドレス: 020Eh番地
リセット後の値: XXXX XX00b

12.2.8 アドレス一致割り込み許可レジスタ2 (AIER2)



12.2.9 アドレス一致割り込みレジスタi (RMADi) (i=0~3)



12.2.10 $\overline{\text{NMI}}$ デジタルデバウンスレジスタ (NDDR)

NMI デジタルデバウンスレジスタ			
b7 [] b0	シンボル NDDR	アドレス 02FEh番地	リセット後の値 FFh
	機 能	設定範囲	RW
	設定値をnとする場合、 ・ n=0~FEh: $\frac{(n+1) \times 8}{f1}$ より大きなパルス幅の信号が $\overline{\text{NMI}}/\overline{\text{SD}}$ に入力されます。 ・ n=FFh: デジタルデバウンスフィルタは禁止となり、すべての信号が入力されます。	00h~FFh	RW

ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、ストップモードに入る前に、NDDRレジスタに“FFh”を設定してください。

このレジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書いてください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送を入らないようにしてください。

12.2.11 P1_7 デジタルデバウンスレジスタ (P17DDR)

P1_7 デジタルデバウンスレジスタ			
b7 [] b0	シンボル P17DDR	アドレス 02FFh番地	リセット後の値 FFh
	機 能	設定範囲	RW
	設定値をnとする場合、 ・ n=0~FEh: $\frac{(n+1) \times 8}{f1}$ より大きなパルス幅の信号が $\text{INPC1}_7/\text{INT5}$ に入力されます。 ・ n=FFh: デジタルデバウンスフィルタは禁止となり、すべての信号が入力されます。	00h~FFh	RW

ストップモードからの復帰に $\overline{\text{INT5}}$ 割り込みを使用する場合、ストップモードに入る前に、P17DDRレジスタに“FFh”を設定してください。

12.3 割り込みの分類

図 12.1に割り込みの分類を示します。

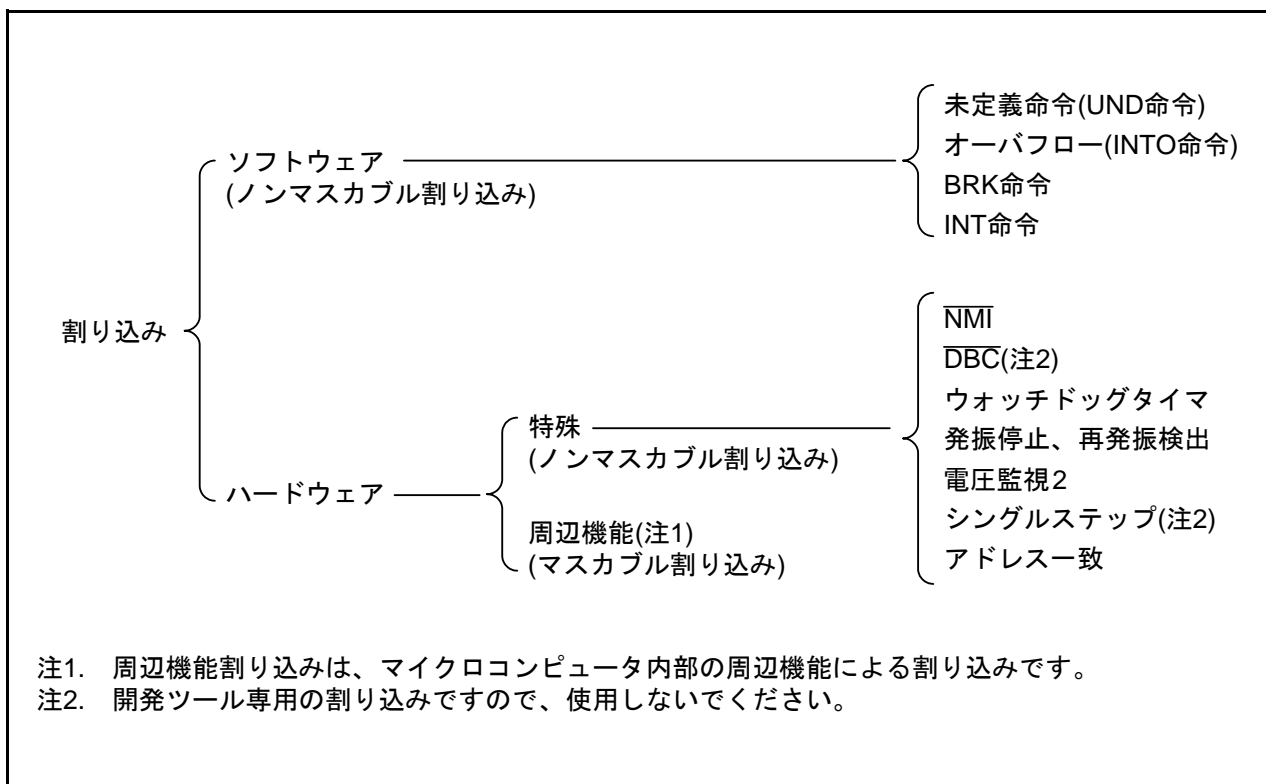


図 12.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

12.4 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

12.4.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

12.4.2 オーバフロー割り込み

オーバフロー割り込みは、FLGレジスタのOフラグが“1”（演算の結果がオーバフロー）の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.4.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

12.4.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0~63です。ソフトウェア割り込み番号4、8~31、41、42、47~63は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できません。

ソフトウェア割り込み番号0~31では、命令実行時にUフラグを退避し、Uフラグを“0”（ISPを選択）にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32~63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

12.5 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

12.5.1 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。

12.5.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は「12.9 $\overline{\text{NMI}}$ 割り込み」を参照してください。

12.5.1.2 $\overline{\text{DBC}}$ 割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.5.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマをリフレッシュしてください。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

12.5.1.4 発振停止/再発振検出割り込み

発振停止/再発振検出機能による割り込みです。発振停止/再発振検出機能の詳細は「8. クロック発生回路」を参照してください。

12.5.1.5 電圧監視2割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

12.5.1.6 シングルステップ割り込み

開発ツール専用の割り込みですので、使用しないでください。

12.5.1.7 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0~RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.11 アドレス一致割り込み」を参照してください。

12.5.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表 12.6 ~ 表 12.7 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

12.6 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図 12.2 に割り込みベクタを示します。

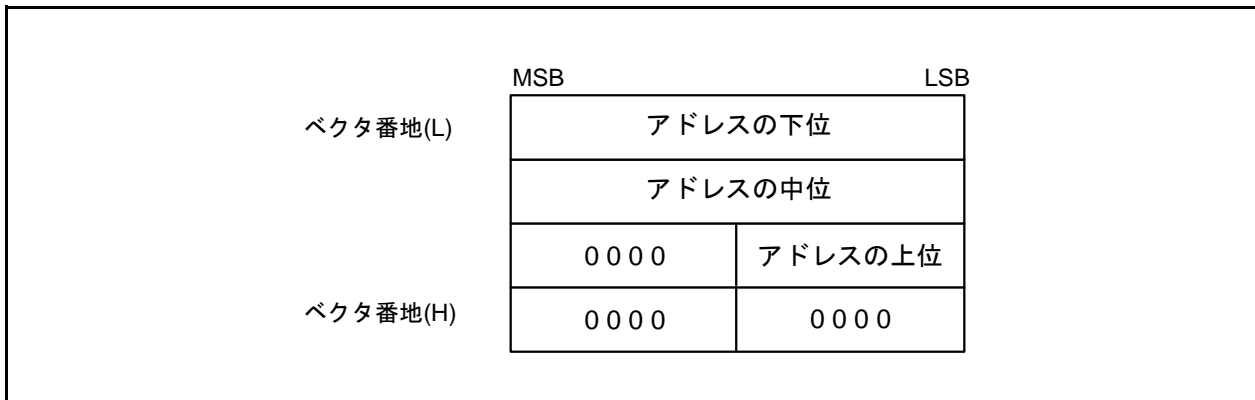


図 12.2 割り込みベクタ

12.6.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDC_h番地からFFFFF_h番地に配置されています。表 12.5 に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能やOFS1番地に使用します。詳細は「26. フラッシュメモリ」を参照してください。

表 12.5 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	参照先
未定義命令(UND命令)	FFFDC _h ~FFFDF _h	M16C/60、M16C/20、M16C/Tiny シリーズソフトウェアマニュアル
オーバフロー(INTO命令)	FFFE0 _h ~FFFE3 _h	
BRK命令(注2)	FFFE4 _h ~FFFE7 _h	
アドレス一致	FFFE8 _h ~FFFE _B _h	12.11 アドレス一致割り込み
シングルステップ(注1)	FFFE _C _h ~FFFE _F _h	—
ウォッチドッグタイマ、 発振停止/再発振検出、 電圧監視2	FFFF0 _h ~FFFF3 _h	13. ウォッチドッグタイマ、 8. クロック発生回路、 7. 電圧検出回路
DBC(注1)	FFFF4 _h ~FFFF7 _h	—
NMI	FFFF8 _h ~FFFF _B _h	12.9 NMI割り込み
リセット	FFFF _C _h ~FFFF _F _h	6. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. FFFE6_h番地の値がFF_hの場合は可変ベクタテーブル内のベクタが示す番地から実行

12.6.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表 12.6 可変ベクタテーブル(1/2)

割り込み要因	ベクタ番地 (注1) 番地 (L) ~ 番地 (H)	ソフトウェア 割り込み番号	参照先
INT命令割り込み (注6)	+0~+3 (0000h~0003h) ~ +252 ~+255 (00FCh~00FFh)	0~63	M16C/60、M16C/20、 M16C/Tiny シリーズソフトウェア マニュアル
BRK命令 (注6)	+0~+3 (0000h~0003h)	0	
—(予約)	+4~+7 (0004h~0007h)	1	
—(予約)	+8~+11 (0008h~000Bh)	2	
—(予約)	+12~+15 (000Ch~000Fh)	3	
INT3	+16~+19 (0010h~0013h)	4	12.8 INT割り込み
—(予約)	+20~+23 (0014h~0017h)	5	
—(予約)	+24~+27 (0018h~001Bh)	6	
—(予約)	+28~+31 (001Ch~001Fh)	7	
INT5 (注2)	+32~+35 (0020h~0023h)	8	12.8 INT割り込み
INT4 (注3)	+36~+39 (0024h~0027h)	9	
UART2バス衝突検出 (注7)、 タスク監視タイマ (注8)	+40~+43 (0028h~002Bh)	10	21. シリアルインタフェース UARTi (i=0~4) 19. タスク監視タイマ
DMA0	+44~+47 (002Ch~002Fh)	11	14. DMAC
DMA1	+48~+51 (0030h~0033h)	12	
キー入力割り込み、A/Dコンバータ (A/D1) (注5)	+52~+55 (0034h~0037h)	13	12.10 キー入力割り込み 24. A/Dコンバータ
A/Dコンバータ (A/D)	+56~+59 (0038h~003Bh)	14	24. A/Dコンバータ
UART2送信、NACK2 (注4)	+60~+63 (003Ch~003Fh)	15	21. シリアルインタフェース UARTi (i=0~4)
UART2受信、ACK2 (注4)	+64~+67 (0040h~0043h)	16	
UART0送信	+68~+71 (0044h~0047h)	17	
UART0受信	+72~+75 (0048h~004Bh)	18	
UART1送信	+76~+79 (004Ch~004Fh)	19	
UART1受信	+80~+83 (0050h~0053h)	20	
タイマA0	+84~+87 (0054h~0057h)	21	15. タイマA
タイマA1	+88~+91 (0058h~005Bh)	22	
タイマA2	+92~+95 (005Ch~005Fh)	23	
タイマA3	+96~+99 (0060h~0063h)	24	
タイマA4	+100~+103 (0064h~0067h)	25	
タイマB0	+104~+107 (0068h~006Bh)	26	16. タイマB
タイマB1	+108~+111 (006Ch~006Fh)	27	
タイマB2	+112~+115 (0070h~0073h)	28	

注1. INTBレジスタが示す番地からの相対番地です。

注2. IFSRレジスタのIFSR7ビットを“1”にしてください。

注3. IFSRレジスタのIFSR6ビットを“1”にしてください。

注4. I²Cモード時にNACK、ACKが割り込み要因になります。

注5. IFSR2AレジスタのIFSR21ビットで選択してください。

注6. Iフラグによる禁止はできません。

注7. バス衝突検出: IEモード時はバス衝突検出が割り込み要因になります。I²Cモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

注8. IFSR2AレジスタのIFSR20ビットで選択してください。

表 12.7 可変ベクタテーブル(2/2)

割り込み要因	ベクタ番地 (注1) 番地 (L) ~ 番地 (H)	ソフトウェア 割り込み番号	参照先
INT0	+116~+119 (0074h~0077h)	29	12.8 INT割り込み
INT1	+120~+123 (0078h~007Bh)	30	
INT2	+124~+127 (007Ch~007Fh)	31	
DMA2	+164~+167 (00A4h~00A7h)	41	14. DMAC
DMA3	+168~+171 (00A8h~00ABh)	42	
—(予約)	+172~+175 (00ACh~00AFh)	43	
—(予約)	+176~+179 (00B0h~00B3h)	44	
—(予約)	+180~+183 (00B4h~00B7h)	45	
—(予約)	+184~+187 (00B8h~00BBh)	46	
UART4送信、リアルタイムクロックコンペア(注2)	+188~+191 (00BCh~00BFh)	47	20. リアルタイムクロック 21. シリアルインタフェース UARTi (i=0~4)
UART4受信	+192~+195 (00C0h~00C3h)	48	
CAN0ウェイクアップ	+196~+199 (00C4h~00C7h)	49	23. CANモジュール
UART3送信、CAN0エラー(注4)	+200~+203 (00C8h~00CBh)	50	21. シリアルインタフェース UARTi (i=0~4)
UART3受信	+204~+207 (00CCh~00CFh)	51	
リアルタイムクロック周期	+208~+211 (00D0h~00D3h)	52	20. リアルタイムクロック
CAN0受信完了	+212~+215 (00D4h~00D7h)	53	23. CANモジュール
CAN0送信完了	+216~+219 (00D8h~00DBh)	54	
CAN0受信FIFO	+220~+223 (00DCh~00DFh)	55	
CAN0送信FIFO	+224~+227 (00E0h~00E3h)	56	
IC/OC割り込み0 (0~7)	+228~+231 (00E4h~00E7h)	57	
IC/OCチャンネル0	+232~+235 (00E8h~00EBh)	58	18. タイマS 22. マルチマスタI ² C-busインタフェース
IC/OC割り込み1 (0~7)、 I ² Cbus割り込み(注3)	+236~+239 (00ECh~00EFh)	59	
IC/OCチャンネル1、SCL/SDA割り込み(注5)	+240~+243 (00F0h~00F3h)	60	
IC/OCチャンネル2	+244~+247 (00F4h~00F7h)	61	
IC/OCチャンネル3	+248~+251 (00F8h~00FBh)	62	
IC/OCベースタイマ	+252~+255 (00FCh~00FFh)	63	

注1. INTBレジスタが示す番地からの相対番地です。

注2. IFSR3AレジスタのIFSR36ビットで選択してください。

注3. IFSR2AレジスタのIFSR22ビットで選択してください。

注4. IFSR2AレジスタのIFSR25ビットで選択してください。

注5. IFSR2AレジスタのIFSR23ビットで選択してください。

12.7 割り込み制御

12.7.1 マスカブル割り込みの制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、**FLG** レジスタの**I**フラグ、**IPL**、各割り込み制御レジスタの**ILVL2~ILVL0**ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタの**IR**ビットに示されます。

12.7.1.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”（許可）にすると、マスカブル割り込みは許可され、“0”（禁止）にするとすべてのマスカブル割り込みは禁止されます。

12.7.1.2 IRビット

IRビットは割り込み要求が発生すると、“1”（割り込み要求あり）になります。割り込み要求が受け付けられた後、IRビットは“0”（割り込み要求なし）になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

12.7.1.3 ILVL2~ILVL0ビット、IPL

割り込み優先レベルは、**ILVL2~ILVL0**ビットで設定できます。

表 12.8 に割り込み優先レベルの設定、表 12.9 に **IPL** により許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2~ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表 12.8 割り込み優先レベルの設定


ILVL2~ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い  高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表 12.9 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

12.7.2 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図 12.3 に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
 - Iフラグは“0”(割り込み禁止)
 - Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
 - Uフラグは“0”(ISPを指定)
 ただしUフラグは、ソフトウェア割り込み番号32~63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

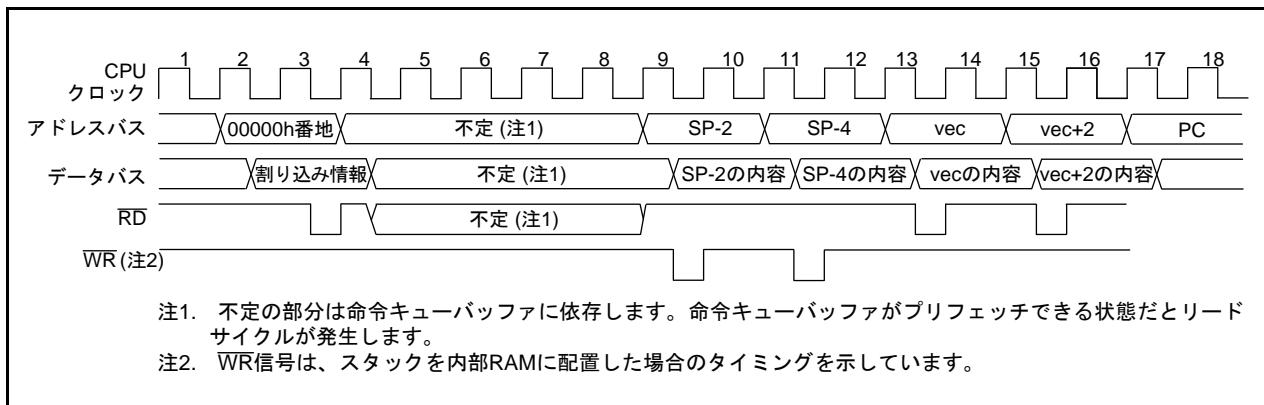


図 12.3 割り込みシーケンスの実行時間

12.7.3 割り込み応答時間

図 12.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図 12.4 の(a))と割り込みシーケンスを実行する時間(図 12.4 の(b))で構成されます。

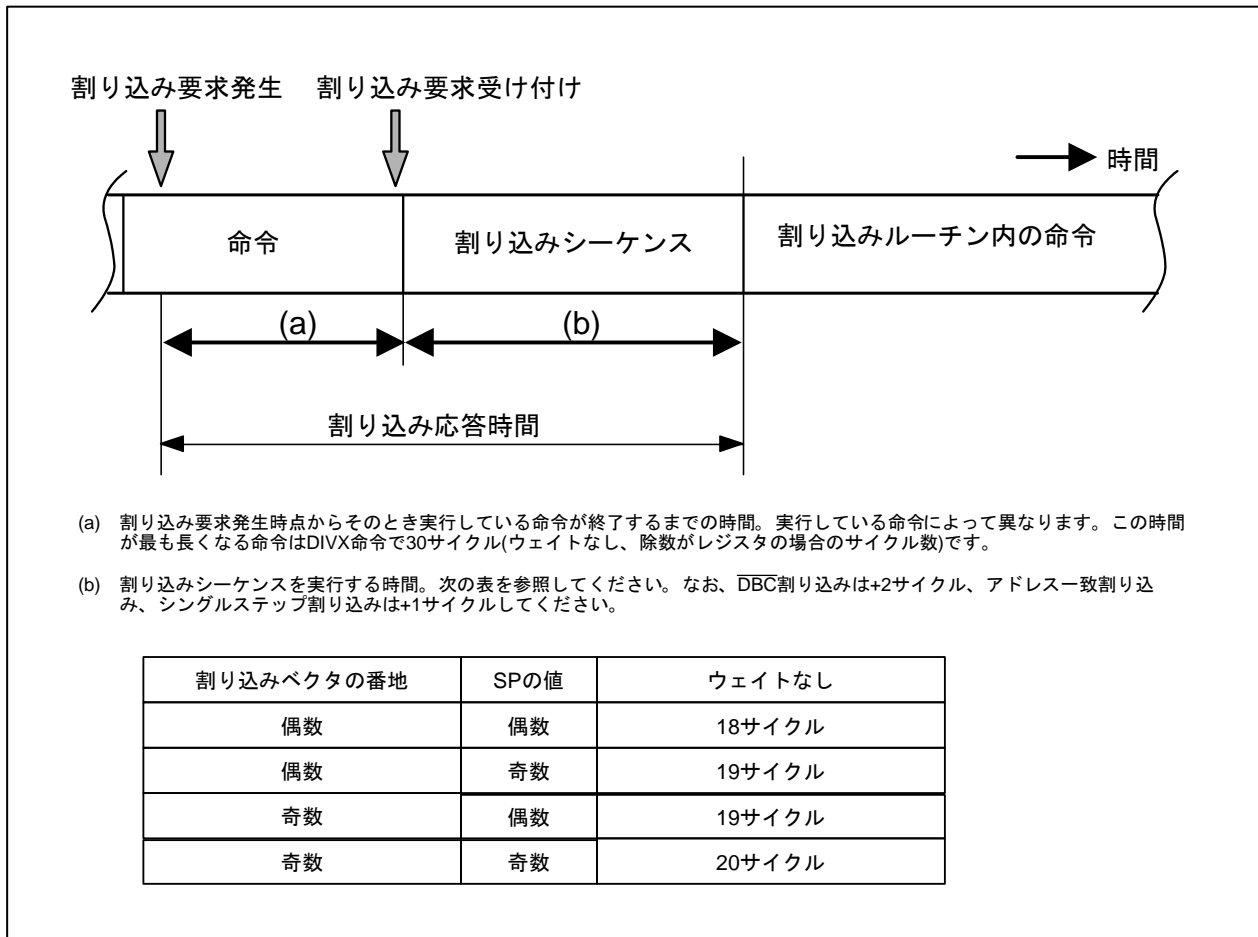


図 12.4 割り込み応答時間

12.7.4 割り込み要求受け付け時のIPLの変化

マスクブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 12.10 に示す値がIPLに設定されます。表 12.10 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 12.10 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、NMI、発振停止/再発振検出、電圧監視2	7
ソフトウェア、アドレス一致、 \overline{DBC} 、シングルステップ	変化しない

12.7.5 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図12.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

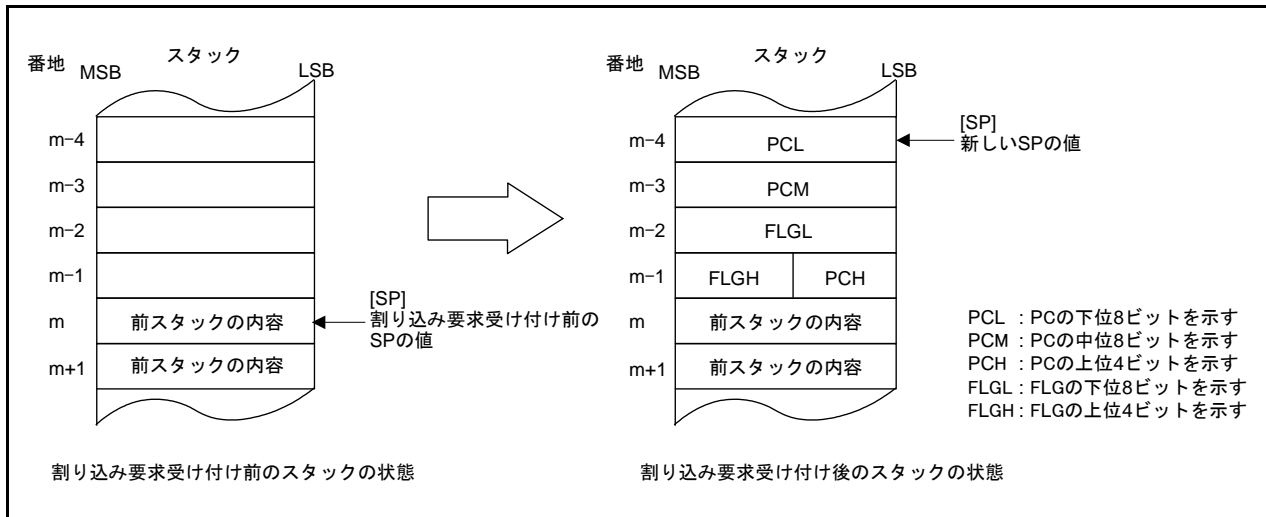


図 12.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図12.6にレジスタ退避動作を示します。

注1. ソフトウェア番号32~63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

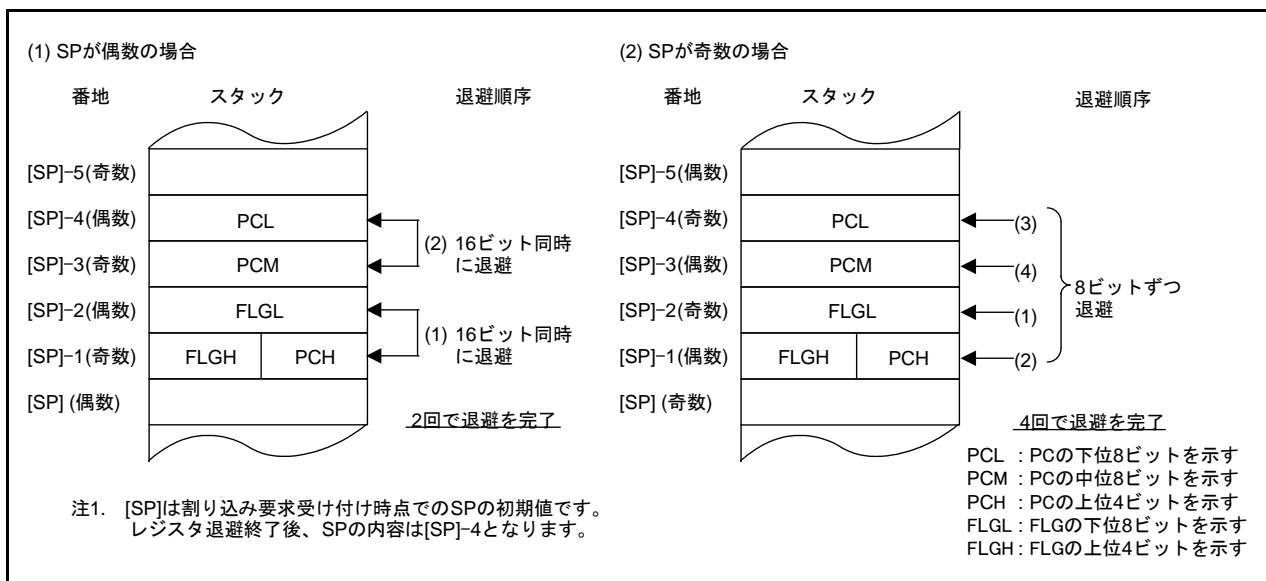


図 12.6 レジスタ退避動作

12.7.6 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

12.7.7 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスクابل割り込み(周辺機能割り込み)の優先レベルは、ILVL2~ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図12.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

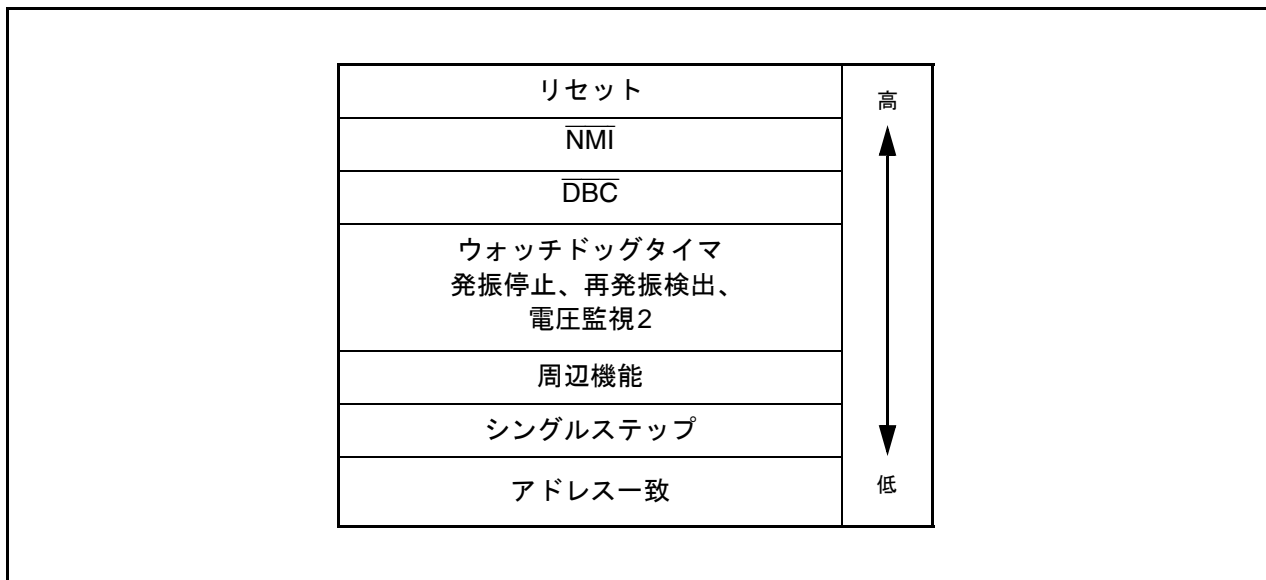


図 12.7 ハードウェア割り込みの割り込み優先順位

12.7.8 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図12.8に割り込み優先レベル判定回路を示します。

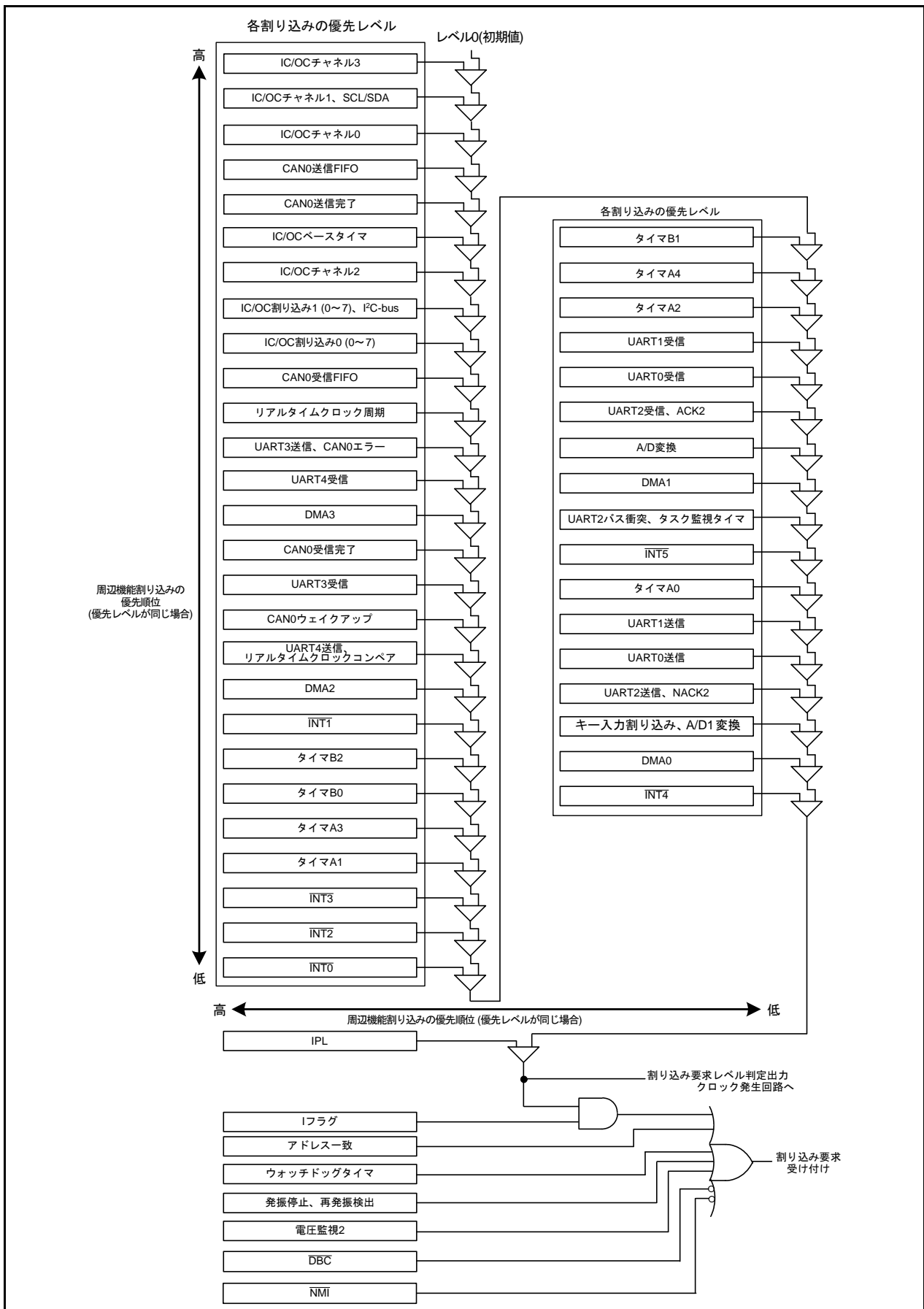


図 12.8 割り込み優先レベル判定回路

12.7.9 多重割り込み

割り込みルーチンへ分岐したときの状態は次のとおりです。

- Iフラグ = 0 (割り込み禁止)
- IRビット = 0 (割り込み要求なし)
- 割り込み優先レベル = IPL

割り込みルーチン内でIフラグを“1” (割り込み許可)にすることによって、IPLより高い優先順位を持つ割り込み要求を受け付けることができます。

なお、優先順位が低いために受け付けられなかった割り込み要求 (IRビット)は保持されます。そして、REIT命令によってIPLが復帰され、割り込み優先順位の判定が行われたとき、次の状態であれば保持されていた割り込み要求が受け付けられます。

保持されていた割り込み要求の > 復帰されたIPL
割り込み優先レベル

12.8 $\overline{\text{INT}}$ 割り込み

$\overline{\text{INT}}_i$ 割り込み($i=0\sim 5$)は外部入力による割り込みです。極性をIFSRレジスタのIFSR $_i$ ビットで選択できます。

$\overline{\text{INT}}_4$ 割り込みを使用するときは、IFSRレジスタのIFSR6ビットを“1” ($\overline{\text{INT}}_4$)に、 $\overline{\text{INT}}_5$ 割り込みを使用するときは、IFSRレジスタのIFSR7ビットを“1” ($\overline{\text{INT}}_5$)にしてください。

12.9 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل割り込みです。 $\overline{\text{NMI}}$ 割り込みを使用する場合は、PM2レジスタのPM24ビットを“1” ($\overline{\text{NMI}}$ 割り込み許可)にしてください。 $\overline{\text{NMI}}$ 入力にはデジタルデバウンス機能があります。デジタルデバウンス機能は「11. プログラマブル入出力ポート」を参照してください。図 12.9に $\overline{\text{NMI}}$ 割り込みのブロック図を示します。

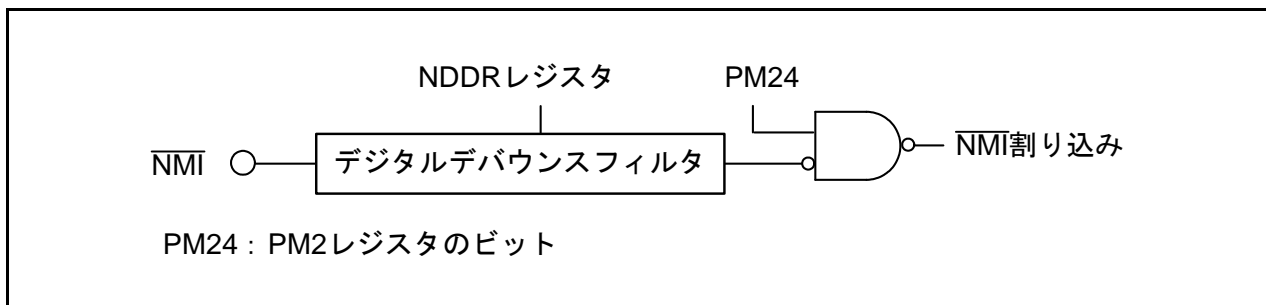


図 12.9 $\overline{\text{NMI}}$ 割り込みのブロック図

12.10 キー入力割り込み

P10_4 ~ P10_7のうち、PD10レジスタのPD10_4 ~ PD10_7ビットを“0” (入力)にしている端子のいずれかの入力が“L”レベルになると、KUPICレジスタのIRビットが“1” (キー入力割り込み要求あり)になります。KI0~KI3端子のいずれかをキー入力割り込み入力に使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。なお、PD10_4 ~ PD10_7ビットを“0” (入力モード)にしている端子のいずれかに“L”が入力されていると、他の端子の入力はキー入力割り込みとして検知されません。

キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

キー入力割り込みを使用するときは、IFSR2AレジスタのIFSR21ビットを“0” (キー入力割り込み)にしてください。

図 12.10にキー入力割り込みのブロック図を示します。

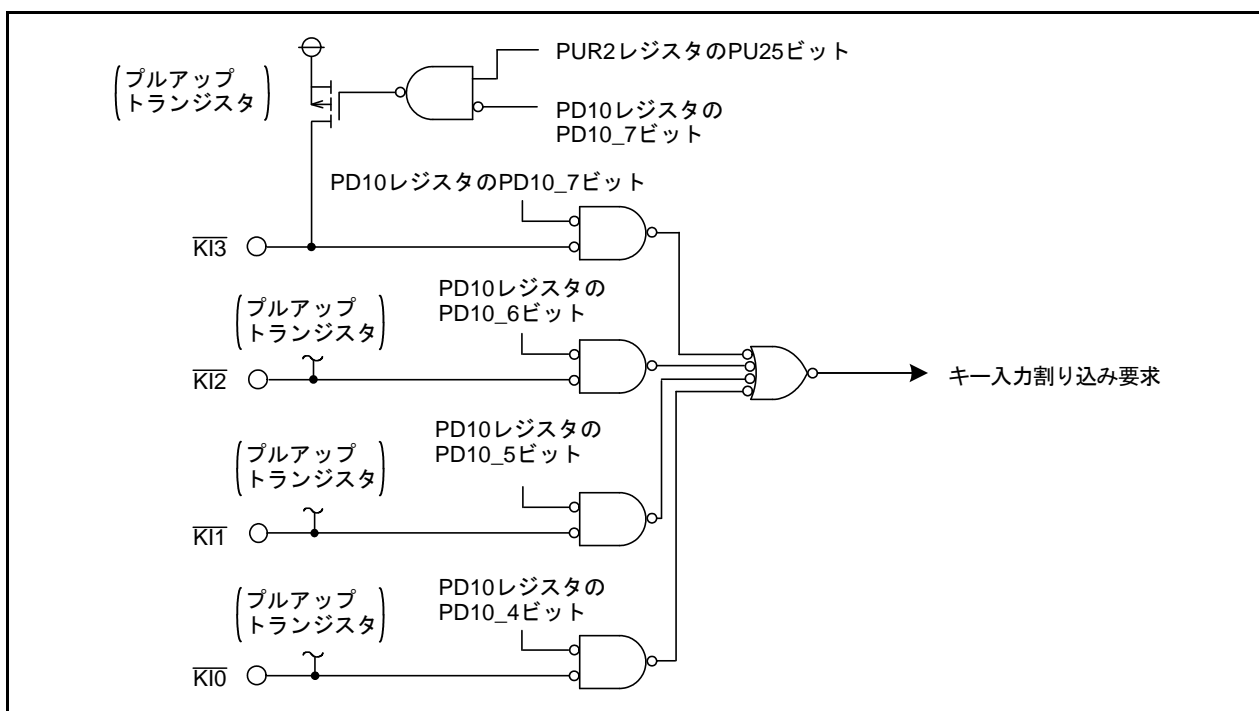


図 12.10 キー入力割り込みのブロック図

12.11 アドレス一致割り込み

RMADi レジスタ (i=0~3) で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMADi レジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIER レジスタの AIER0、AIER1 ビット、AIER2 レジスタの AIER20、AIER21 ビットで選択できます。アドレス一致割り込みは、I フラグ、IPL の影響を受けません。アドレス一致割り込み要求を受け付けたときに退避される PC の値(「12.7.5 レジスタ退避」参照)は、RMADi レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの値を書き換えて REIT 命令で復帰する
- スタックを POP 命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 12.11 アドレス一致割り込み要求受け付け時に退避される PC の値

RMADi レジスタで示される番地の命令	退避される PC の値
<ul style="list-style-type: none"> • 16ビットオペコード命令 • 8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest=A0またはA1)	RMADi レジスタで示される番地+2
上記以外	RMADi レジスタで示される番地+1

退避される PC の値: 「12.7.5 レジスタ退避」参照

表 12.12 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

12.12 ノンマスカブル割り込み要因の判別

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの要因による割り込みかを判定してください。表 12.13にノンマスカブル割り込みの要因判別に使用するビットを示します。

表 12.13 ノンマスカブル割り込みの要因判別に使用するビット

割り込み	検出フラグ	
	ビット位置	機能
ウォッチドッグタイマ	VW2CレジスタのVW2C3ビット(ウォッチドッグタイマアンダフロー検出)	0: 未検出 1: 検出
発振停止/再発振検出	CM2レジスタのCM22ビット(発振停止/再発振検出)	
電圧監視2	VW2CレジスタのVW2C2ビット(Vdet2通過検出)	

12.13 割り込み使用上の注意事項

12.13.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生したりすることがあります。

12.13.2 SPの設定

割り込みを受け付ける前に、SP (USP、ISP) に値を設定してください。リセット後、SP (USP、ISP) は“0000h”です。そのため、SP (USP、ISP) に値を設定する前に割り込みを受け付けると、暴走の要因となります。

プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、すべての割り込みが禁止されています。

12.13.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みを使用しない場合は、PM2レジスタのPM24ビットを“0”($\overline{\text{NMI}}$ 割り込み禁止) にしてください。
- リセット後、 $\overline{\text{NMI}}$ 割り込みは無効です。PM2レジスタのPM24ビットを“1”にすることで有効になります。 $\overline{\text{NMI}}$ 端子に“H”が入力されている状態で、PM24ビットに“1”を設定してください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている状態で、PM24ビットに“1”を設定すると、その時点で $\overline{\text{NMI}}$ 割り込みが発生します。なお、 $\overline{\text{NMI}}$ 割り込みを一度有効にすると、リセットされるまで無効にできません。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに遷移できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに遷移しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

12.13.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 12.11 に割り込み要因の変更手順例を示します。

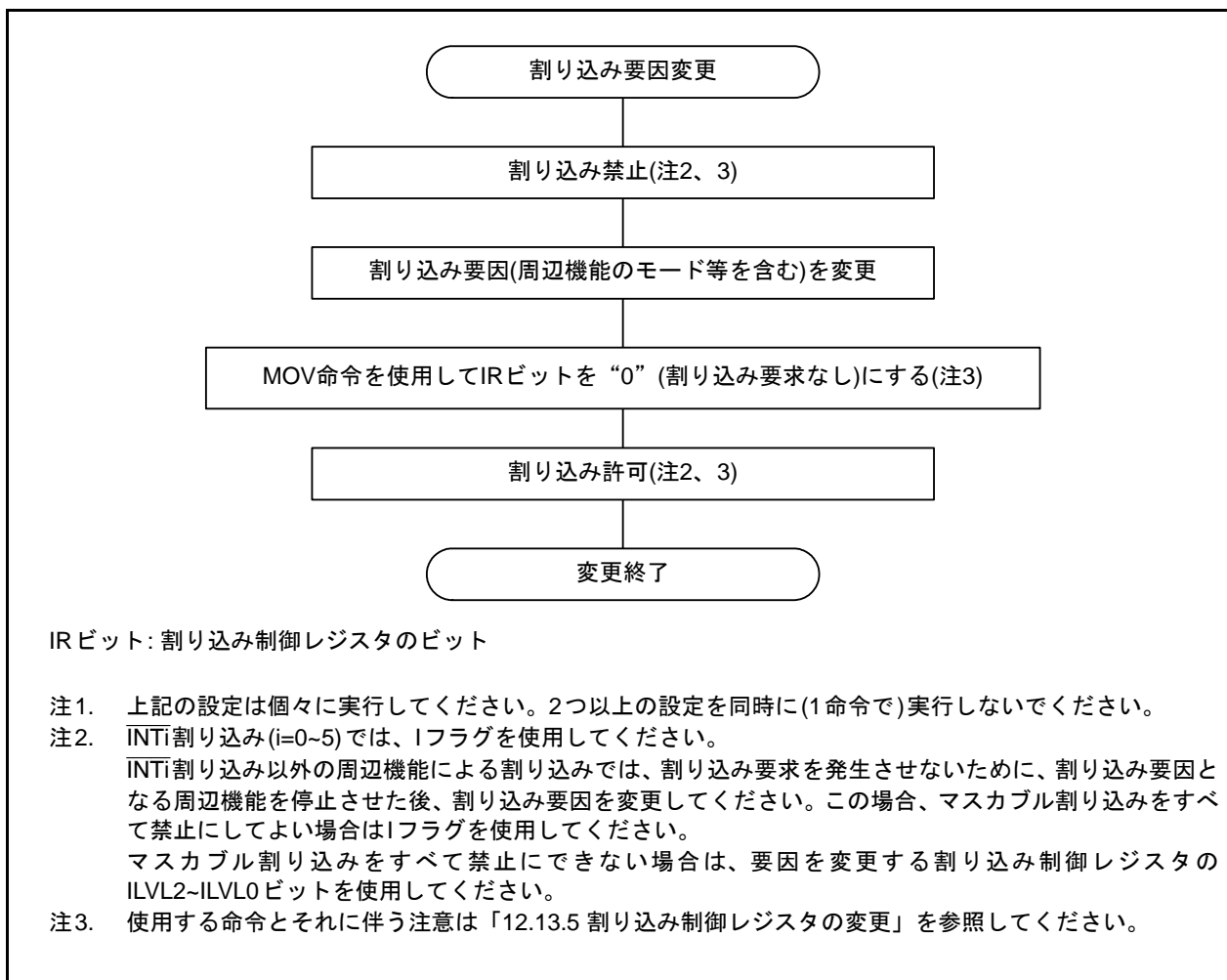


図 12.11 割り込み要因の変更手順例

12.13.5 割り込み制御レジスタの変更

割り込み制御レジスタを変更する場合は、次のいずれかにしてください。

- 割り込み制御レジスタに対応する割り込み要求が、発生しない箇所を変更する
- 割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更する

なお、Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は「12.13.6 割り込み制御レジスタを変更する命令」を参照してください。)

例1~例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I           ;割り込み禁止
  AND.B   #00H, 0055H ;TA0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I           ;割り込み許可
```

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I           ;割り込み禁止
  AND.B   #00H, 0055H ;TA0ICレジスタを“00h”にする
  MOV.W   MEM, R0    ;ダミーリード
  FSET    I           ;割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I           ;割り込み禁止
  AND.B   #00H, 0055H ;TA0ICレジスタを“00h”にする
  POPC    FLG        ;割り込み許可
```

12.13.6 割り込み制御レジスタを変更する命令

- 割り込み制御レジスタの変更に、BTSTC命令、BTSTS命令を使用しないでください。
- 割り込み制御レジスタの変更には、次の命令を使用してください。

AND、OR、BCLR、BSET、MOV

このうち、AND、OR、BCLR、BSET命令では、実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)になり、その状態を保持します。

12.13.7 $\overline{\text{INT}}$ 割り込み

- $\overline{\text{INT0}}$ ~ $\overline{\text{INT5}}$ 端子に入力する信号には、CPUクロックに関係なくtw(INL)以上の“L”幅またはtw(INH)以上の“H”幅が必要です。
- INT0IC ~ INT5IC レジスタのPOLビット、IFSRレジスタのIFSR7~IFSR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

13. ウォッチドッグタイマ

13.1 概要

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表 13.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「6.4.7 ウォッチドッグタイマリセット」を参照してください。

図 13.1にウォッチドッグタイマのブロック図を示します。

表 13.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ専用125kHzオンチップオシレータクロック (fWDT)
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 (OFS1番地のWDTONビットで選択) <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 	
カウント停止条件	<ul style="list-style-type: none"> ストップモード ウェイトモード EW1モードでコマンド実行中(サスペンド中は除く)。 	なし
ウォッチドッグタイマカウンタリフレッシュタイミング	<ul style="list-style-type: none"> リセット(「6. リセット」を参照してください) WDTRレジスタに“00h”、続いて“FFh”を書く(受け付け期間の設定あり) アンダフロー 	
ウォッチドッグタイマの初期値	7FFFh	OFS2番地のWDTUFS1~WDTUFS0ビットで選択
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> プリスケアラの分周比 16分周または128分周 (WDCレジスタのWDC7ビットで選択) ただし、CM0レジスタのCM07ビットが“1”(サブクロック)の場合は2分周 カウントソース保護モード 有効または無効 (OFS1番地のCSPROINIビットまたはCSPRレジスタのCSPROビットで選択) ウォッチドッグタイマのリフレッシュ受け付け周期 OFS2番地のWDTRCS1~WDTRCS0ビットで選択 	

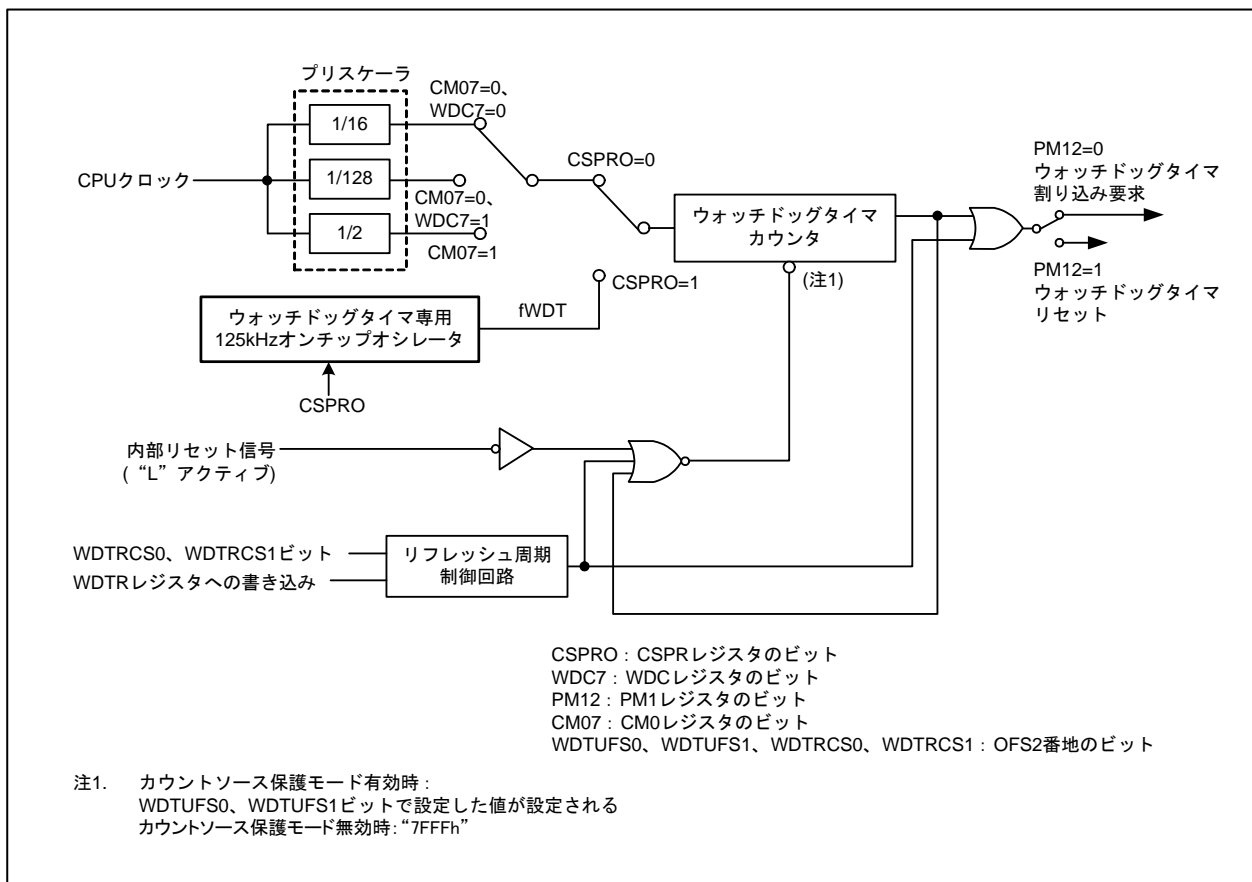


図 13.1 ウォッチドッグタイマのブロック図

13.2 レジスタの説明

表 13.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
002Ch	電圧監視2回路制御レジスタ	VW2C	1000 0X10b
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注1)
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XX XXXXb

注1. OFS1番地のCSPROINIビットが“0”の場合は“1000 0000b”になります。

13.2.1 電圧監視2回路制御レジスタ (VW2C)

シンボル VW2C		アドレス 002Ch番地	リセット後の値 1000 0X10b (ハードウェアリセット、 パワーオンリセット、電圧監視0リセット)
ビット シンボル	ビット名	機能	RW
VW2C0	電圧監視2割り込み/ リセット許可ビット	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ 無効モード選択ビット	0: デジタルフィルタ有効 1: デジタルフィルタ無効	RW
VW2C2	電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ	0: 未検出 1: ウォッチドッグタイマアンダフロー検出	RW
VW2F0	サンプリングクロック選択 ビット	b5 b4	RW
VW2F1		0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	
VW2C6	電圧監視2回路モード選択 ビット	0: Vdet2通過時に電圧監視2割り込み 1: Vdet2通過時に電圧監視2リセット	RW
VW2C7	電圧監視2割り込み/ リセット発生条件選択ビット	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	RW

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタ(VW2C3ビットを除く)を書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

VW2C2、VW2C3ビットは、電圧監視2リセット、発振停止検出リセット、ウォッチドッグタイマリセット、ソフトウェアリセット時は変化しません。

VW2C3 (WDT検出フラグ) (b3)

割り込みルーチンでウォッチドッグタイマ、発振停止/再発振検出、電圧監視2の要因判別に使用してください。

["0"]になる条件]

- プログラムで“0”を書く

["1"]になる条件]

- ウォッチドッグタイマのアンダフロー検出
(プログラムで“1”を書いても変化しません)

13.2.2 カウントソース保護モードレジスタ (CSPR)



CSPRO (カウントソース保護モード選択ビット) (b7)

CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。

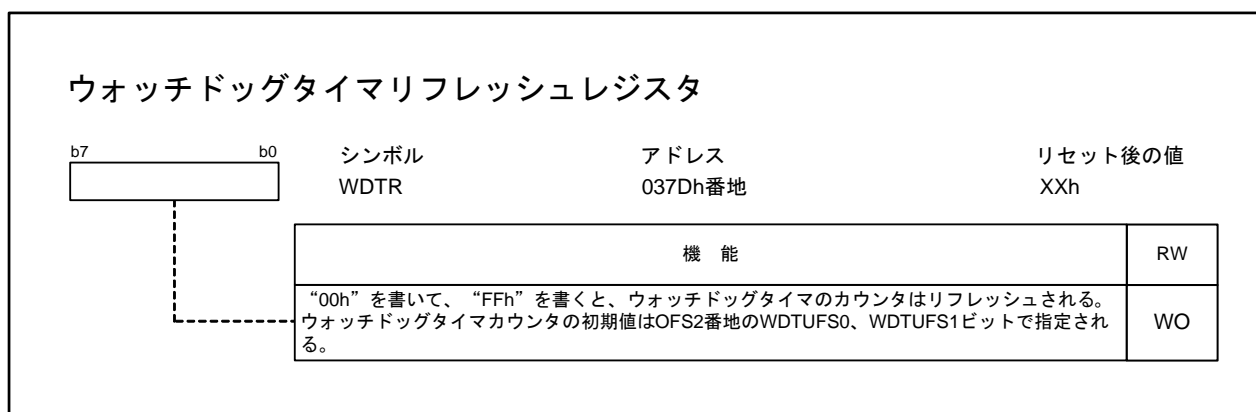
CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると、自動的に次のようになります。

- ウォッチドッグタイマ専用125kHzオンチップオシレータが発振
- PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)
- ウォッチドッグタイマの初期値がOFS2番地のWDTUFS1~WDTUFS0で選択した値になる

OFS1番地のCSPROINIビットが“0”の場合、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFFFh番地のb7に“0”を書き込んでください。

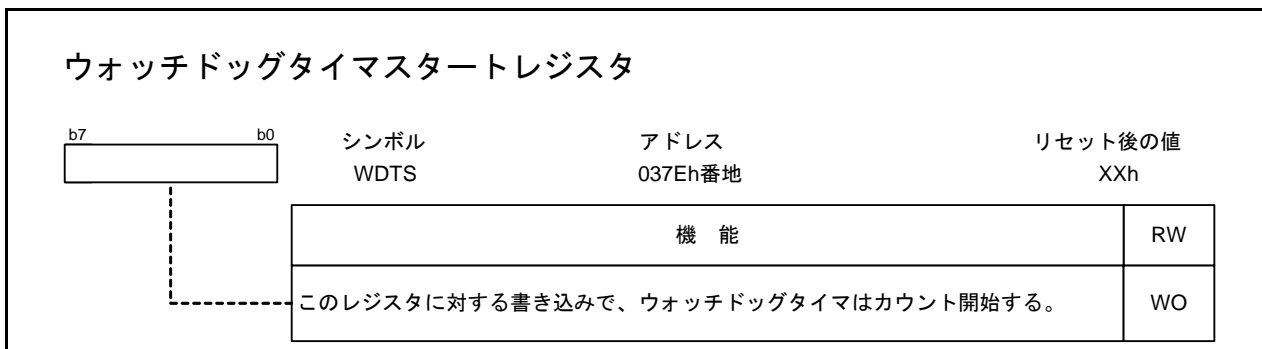
ウォッチドッグタイマ動作中にCSPROビットを変更しないでください。

13.2.3 ウォッチドッグタイマリフレッシュレジスタ (WDTR)



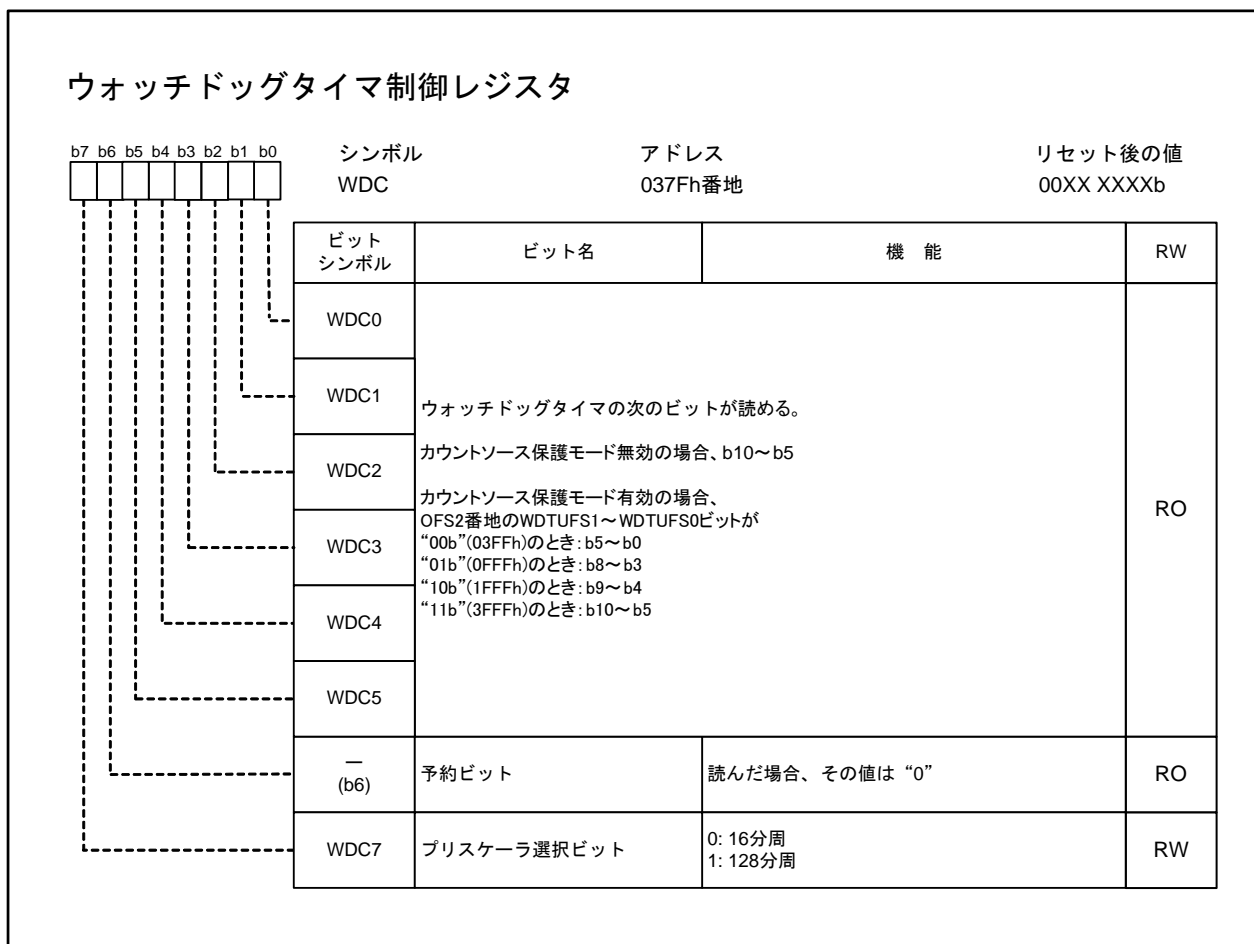
ウォッチドッグタイマ割り込み発生後は、WDTRレジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

13.2.4 ウォッチドッグタイマスタートレジスタ (WDTS)



WDTSレジスタは、OFS1番地のWDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき有効です。

13.2.5 ウォッチドッグタイマ制御レジスタ (WDC)



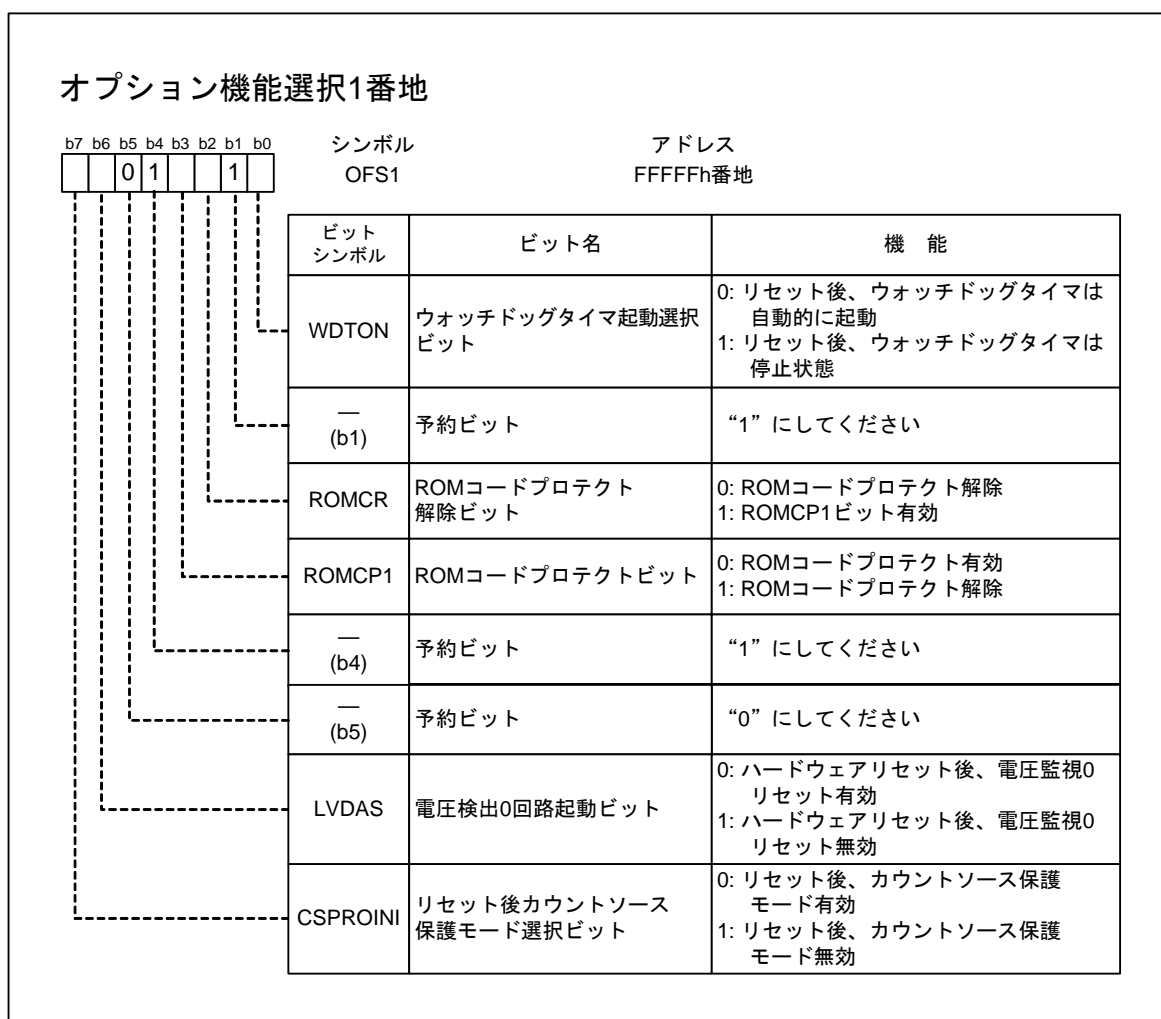
13.3 オプション機能選択領域

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地、OFS2番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS1番地、OFS2番地の値は、ユーザがプログラムで設定した値です。

13.3.1 オプション機能選択1番地(OFS1)



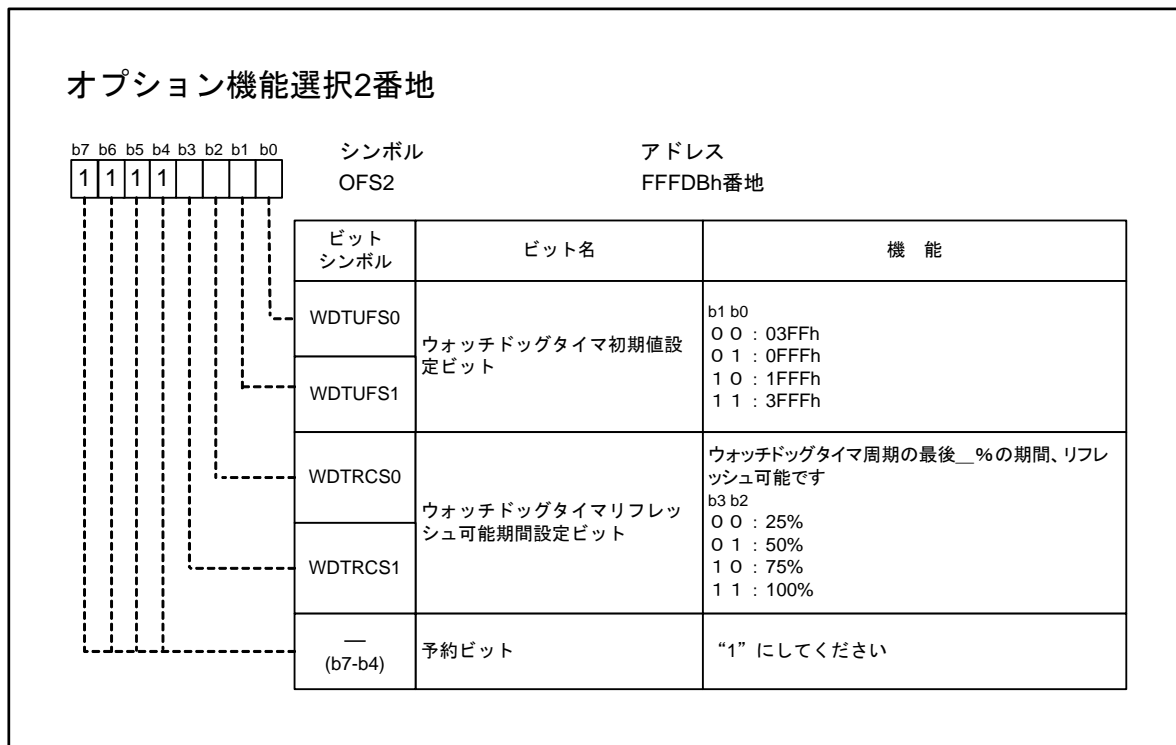
WDTON (ウォッチドッグタイマ起動選択ビット) (b0)

CSPROINI (リセット後カウントソース保護モード選択ビット) (b7)

リセット後のウォッチドッグタイマの状態を決めるビットです。

CSPROINIビットを“0”(リセット後、カウントソース保護モード有効)にするときは、WDTONビットも“0”(リセット後、ウォッチドッグタイマは自動的に起動)にしてください。

13.3.2 オプション機能選択2番地 (OFS2)



WDTUFS1~WDTUFS0 (ウォッチドッグタイマ初期値設定ビット) (b1~b0)

CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)の場合に有効です。

WDTRCS1~WDTRCS0

(ウォッチドッグタイマリフレッシュ可能期間設定ビット) (b3~b2)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受け付け可能な期間を選択できます。

詳細は「13.4.1 リフレッシュ可能期間」を参照してください。

13.4 動作説明

13.4.1 リフレッシュ可能期間

ウォッチドッグタイマをリフレッシュするために、WDTRレジスタに書き込む期間をアンダーフロー前の一定期間に限定することができます。リフレッシュできる期間はOFS2番地のWDTRCS1~WDTRCS0ビットで選択できます。WDTRCS1~WDTRCS0ビットで示す期間は、ウォッチドッグタイマのアンダフロー周期を100%としています。図13.2にウォッチドッグタイマのリフレッシュ可能期間を示します。

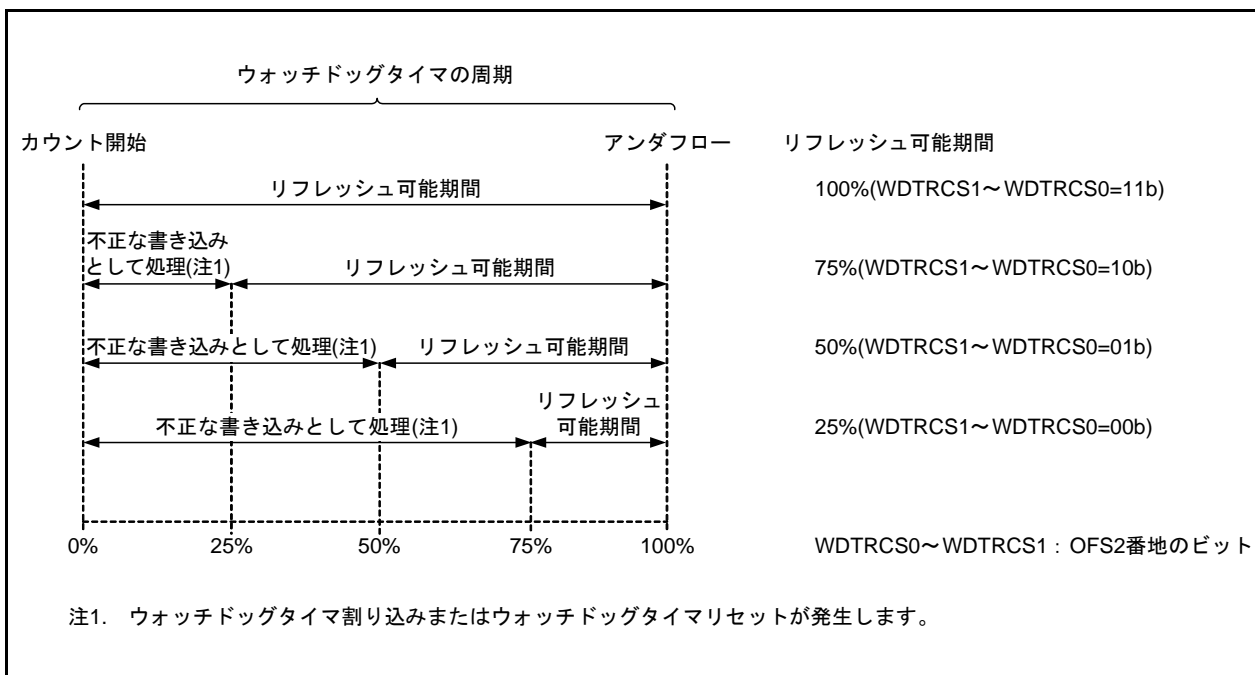


図13.2 ウォッチドッグタイマのリフレッシュ可能期間

13.4.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。
表 13.3にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表 13.3 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	<p>CM0レジスタのCM07ビットが“0”(メインクロック、PLLクロック、125kHzオンチップオシレータ)の場合(注1)</p> $\frac{\text{プリスケアラの分周値}(n) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$ <p>n:16または128 (WDCレジスタのWDC7ビットで選択) 例: CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms</p> <p>CM0レジスタのCM07ビットが“1”(サブクロック)の場合(注1)</p> $\frac{\text{プリスケアラの分周値}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$
ウォッチドッグタイマ カウンタリフレッシュ タイミング	<ul style="list-style-type: none"> リセット(「6. リセット」を参照してください) WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー
カウント開始条件	<p>リセット後のウォッチドッグタイマの動作を、OFS1番地のWDTONビットで選択</p> <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	<ul style="list-style-type: none"> ストップモード ウェイトモード EW1モードでコマンド実行中(サスペンド中は除く)。 <p>解除後、保持されていた値からカウントを継続</p>
アンダフロー時の動作	<ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「6.4.7 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、“FFh”を書くとリフレッシュされます。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。プリスケアラはリセットで、初期化されます。

13.4.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはfWDTです。

表 13.4にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表 13.4 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	fWDT
カウント動作	ダウンカウント
周期	$\frac{\text{ウォッチドッグタイマのカウント値(m)}}{fWDT}$ m: OFS2番地のWDTUFS1~WDTUFS0ビットで設定した値 例: WDTUFS1~WDTUFS0ビットが“00b” (“03FFh”)の場合、周期は約8.2ms
ウォッチドッグタイマ カウンタリフレッシュ タイミング	<ul style="list-style-type: none"> •リセット(「6. リセット」を参照してください) •WDTRレジスタに“00h”、続いて“FFh”を書く •アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFS1番地のWDTONビットで選択 <ul style="list-style-type: none"> •WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 •WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモードでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「6.4.7 ウォッチドッグタイマリセット」参照)

カウントソース保護モード有効時は、ウォッチドッグタイマ専用125kHzオンチップオシレータクロック(fWDT)がウォッチドッグタイマのカウントソースになります。

ウォッチドッグタイマ専用125kHzオンチップオシレータは、CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、自動で発振します。

13.5 割り込み

ウォッチドッグタイマ割り込みはノンマスクابل割り込みです。

ウォッチドッグタイマ割り込み、発振停止/再発振検出割り込み、電圧監視2割り込みは、ベクタを共用しています。これらのうち複数の機能を使用する場合は、割り込み処理プログラム内でこれらの事象の検出フラグを読み、どの割り込み要因による割り込み要求かを判定してください。

ウォッチドッグタイマの検出フラグは、VW2CレジスタのVW2C3ビットです。VW2C3ビットは割り込み判定後、プログラムで“0”(未検出)にしてください。

13.6 ウォッチドッグタイマ使用上の注意事項

ウォッチドッグタイマ割り込み発生後は、WDTR レジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

14. DMAC

14.1 概要

DMAC (ダイレクト・メモリ・アクセス・コントローラ) はCPUを使わずにデータを転送する機能で、4チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ (8ビットまたは16ビット) を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード (16ビット) または1バイト (8ビット) のデータ転送を完了するまでの動作を高速に行えます。表 14.1にDMACの仕様、図 14.1にDMACブロック図を示します。

表 14.1 DMACの仕様

項目	仕様	
チャンネル数	4チャンネル(サイクルスチール方式)	
転送空間	<ul style="list-style-type: none"> • 1Mバイトの任意の空間から固定番地 • 固定番地から1Mバイトの任意の空間 • 固定番地から固定番地 	
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)	
DMA要求要因(注1)	42要因 INT0~INT5端子の立ち下がリエッジ (6) INT0~INT5端子の両エッジ (6) タイマA0~タイマA4割り込み要求 (5) タイマB0~タイマB2割り込み要求 (3) UART0~UART4送信割り込み要求 (5) UART0、UART1、UART3、UART4受信割り込み要求 (4) UART2受信/ACK割り込み要求 (1) IC/OCベースタイマ割り込み要求 (1) IC/OCチャンネル0~IC/OCチャンネル7割り込み (8) A/D変換 (A/D、A/D1) 割り込み要求 (2) ソフトウェアトリガ (1)	
チャンネル優先順位	DMA0 > DMA1 > DMA2 > DMA3 (DMA0が最優先)	
転送単位	8ビットまたは16ビット	
転送番地方向	順方向または固定 (転送元と転送先の両方を順方向にしないでください)	
転送モード	単転送	DMAi転送カウンタがアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング	DMAi転送カウンタがアンダフローしたとき	
DMA転送開始	DMiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される	
DMA転送停止	単転送	<ul style="list-style-type: none"> • DMAEビットを“0”(禁止)にする • DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング	DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiレジスタまたはDARiレジスタのうち、順方向に指定された方のレジスタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード	
DMA転送サイクル数	SFR、内部RAM間:3サイクル	

注1. 選択できる要因はチャンネルによって異なります。
i=0~3

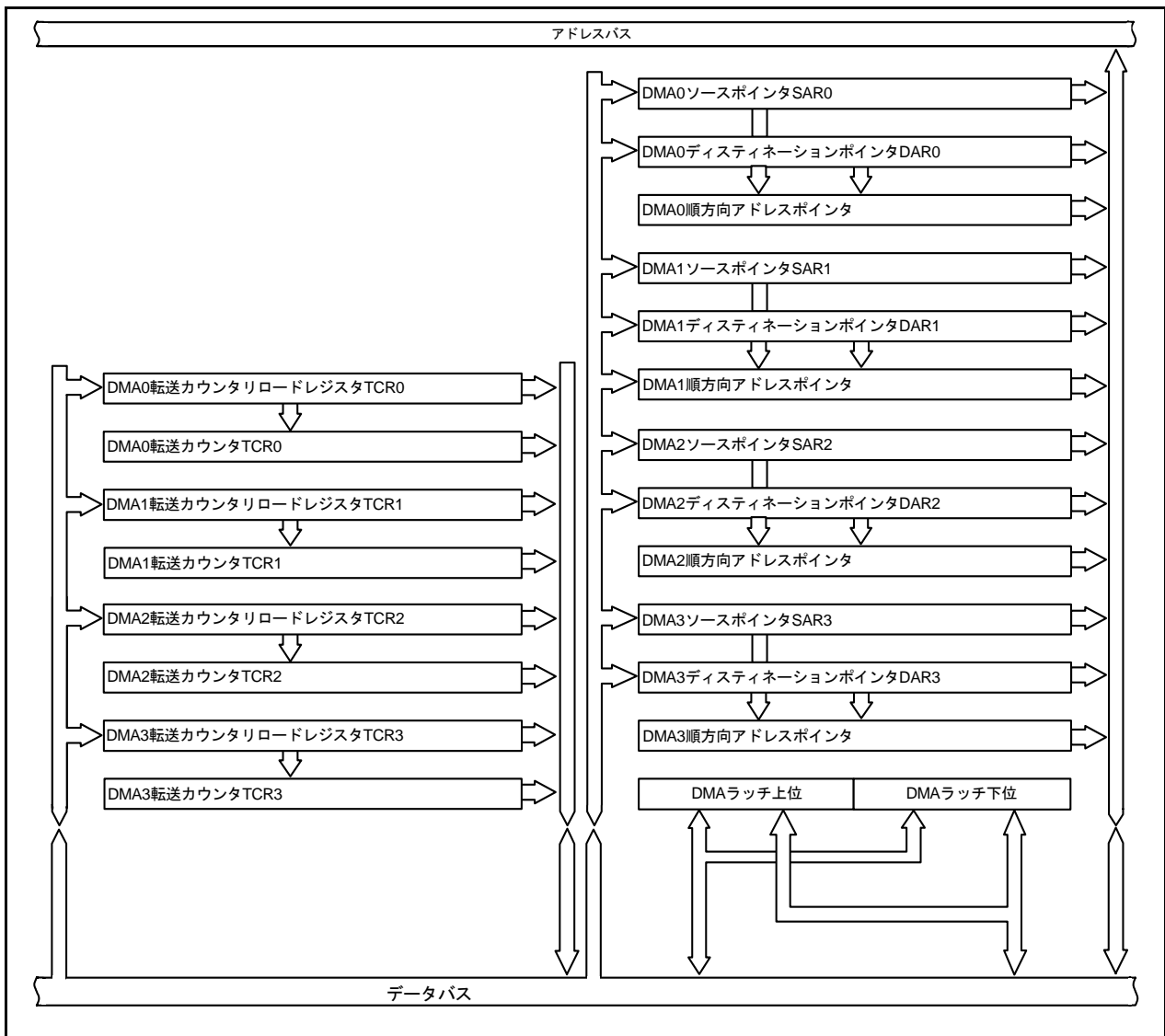


図 14.1 DMAC ブロック図

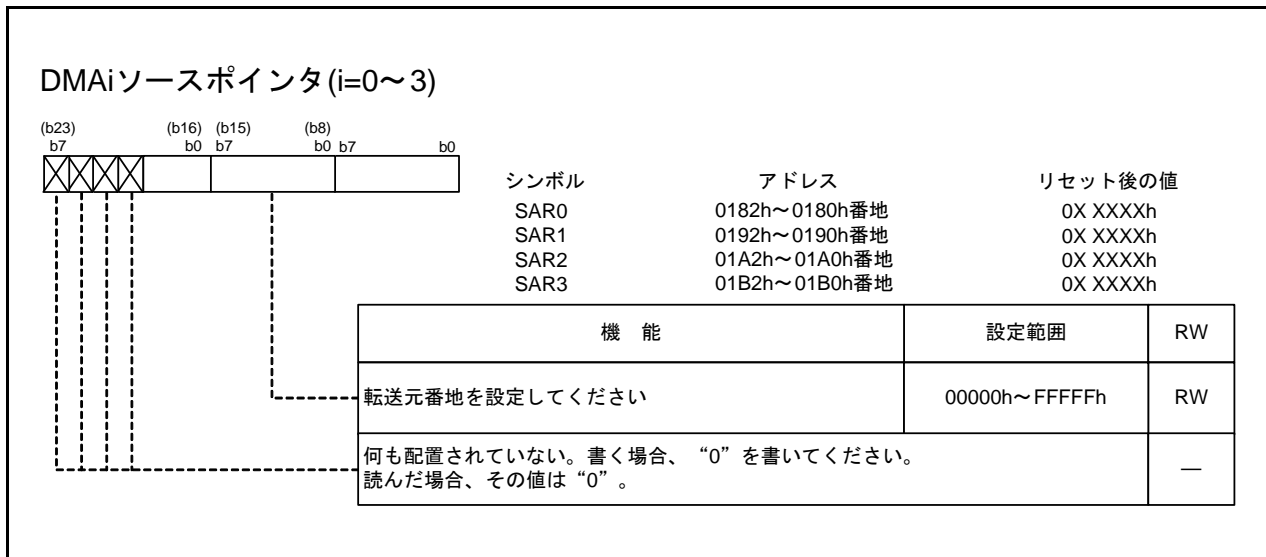
14.2 レジスタの説明

表 14.2にDMACのレジスタを示します。これらのレジスタをDMACでアクセスしないでください。

表 14.2 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ch	DMA0 制御レジスタ	DM0CON	0000 0X00b
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ch	DMA1 制御レジスタ	DM1CON	0000 0X00b
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01ACh	DMA2 制御レジスタ	DM2CON	0000 0X00b
01B0h	DMA3 ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B4h	DMA3 ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B8h	DMA3 転送カウンタ	TCR3	XXh
01B9h			XXh
01BCh	DMA3 制御レジスタ	DM3CON	0000 0X00b
0390h	DMA2 要因選択レジスタ	DM2SL	00h
0392h	DMA3 要因選択レジスタ	DM3SL	00h
0398h	DMA0 要因選択レジスタ	DM0SL	00h
039Ah	DMA1 要因選択レジスタ	DM1SL	00h

14.2.1 DMAi ソースポインタ (SARi) (i=0~3)



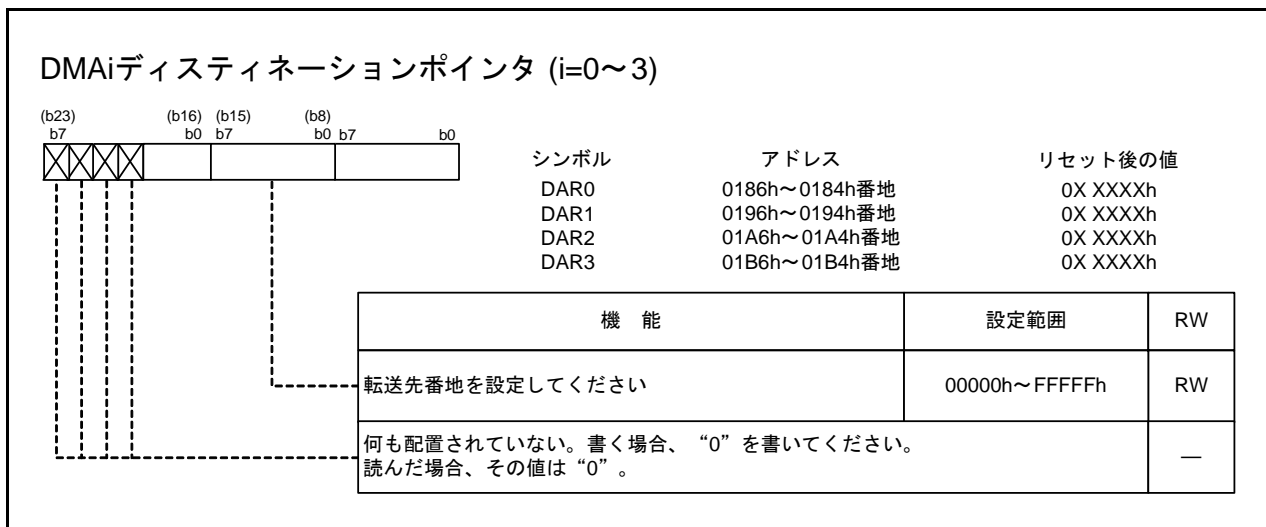
DMiCONレジスタのDSDビットが“0” (固定)の場合、SARiレジスタには、DMiCONレジスタのDMAEビットが“0” (DMA禁止)のとき書いてください。

DSDビットが“1” (順方向)の場合は、いつでも書けます。

DSDビットが“1”かつDMAEビットが“1” (DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

なお、順方向アドレスポインタは、DMA要求を受け付けたときインクリメントされます。

14.2.2 DMAi ディスティネーションポインタ (DARi) (i=0~3)



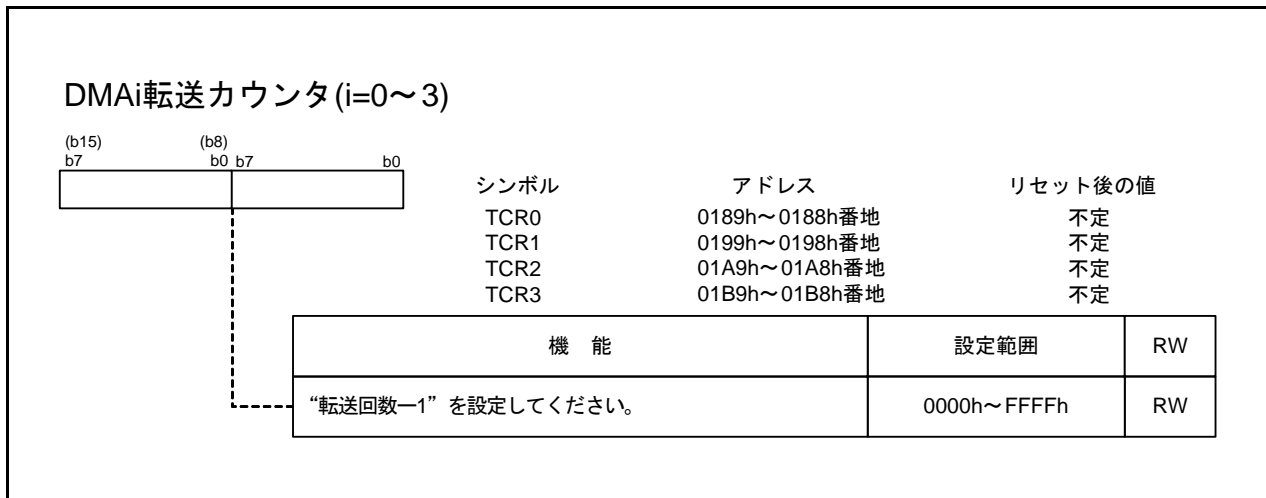
DMiCONレジスタのDADビットが“0” (固定)の場合、DARiレジスタには、DMiCONレジスタのDMAEビットが“0” (DMA禁止)のとき書いてください。

DADビットが“1” (順方向)の場合は、いつでも書けます。

DADビットが“1”かつDMAEビットが“1” (DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

なお、順方向アドレスポインタは、DMA要求を受け付けたときインクリメントされます。

14.2.3 DMAi転送カウンタ (TCRi) (i=0~3)

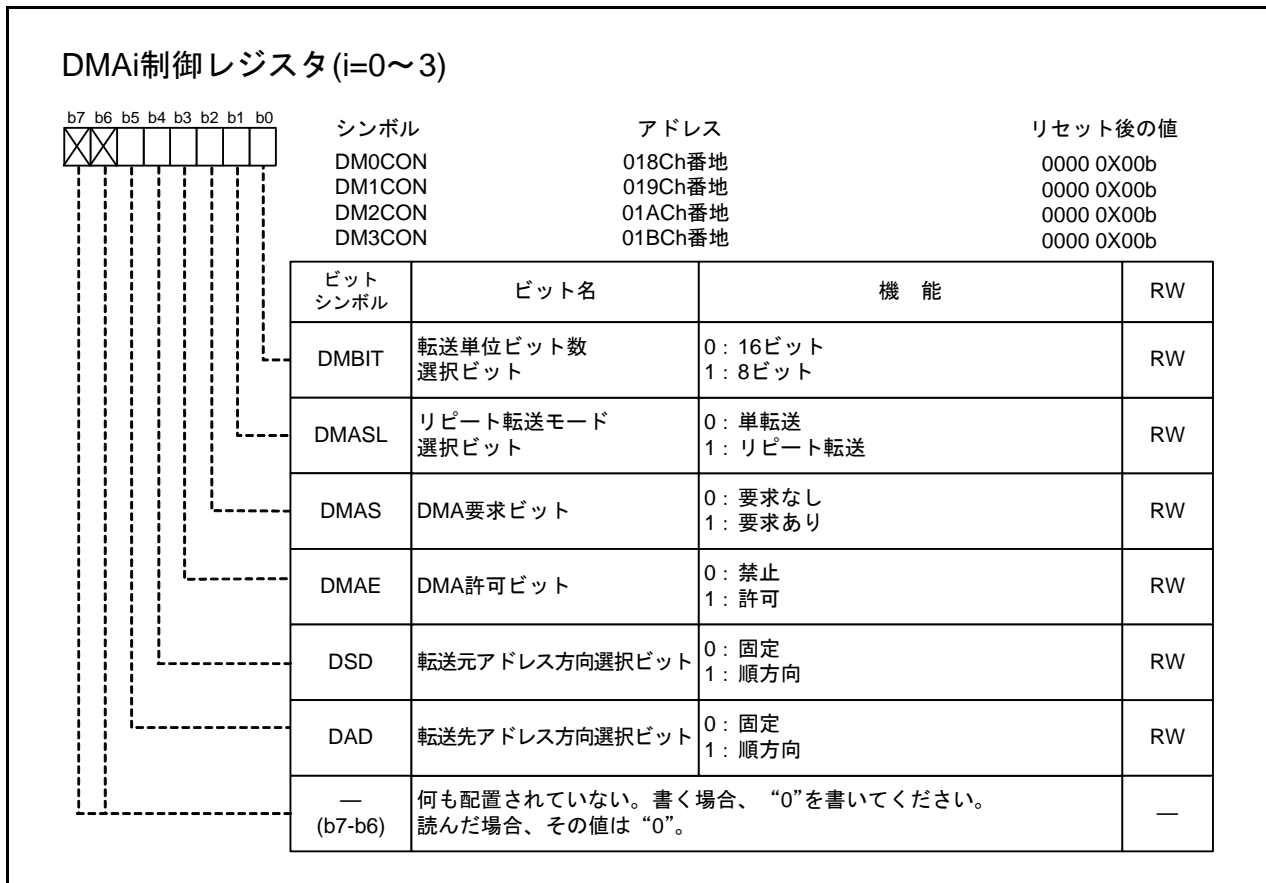


TCRi レジスタに書いた値はDMAi転送カウンタリロードレジスタに格納されます。

DMAi転送カウンタリロードレジスタの値は、次のタイミングでDMAi転送カウンタへ転送されます。

- DMiCONレジスタのDMAEビットに“1” (DMA許可) を書く
(単転送モード、リピータ転送モードとも)
- DMAi転送カウンタがアンダフロー (リピータ転送モード時)

14.2.4 DMAi制御レジスタ (DMiCON) (i=0~3)

**DMAS (DMA 要求ビット) (b2)**

[“0”になる条件]

- プログラムで“0”を書く
- データ転送開始

[“1”になる条件]

- DMA 要求検出
(プログラムで“1”を書いても変化しません)

DMAE (DMA 許可ビット) (b3)

[“0”になる条件]

- プログラムで“0”を書く
- DMA 転送カウンタアンダフロー (単転送モード時)

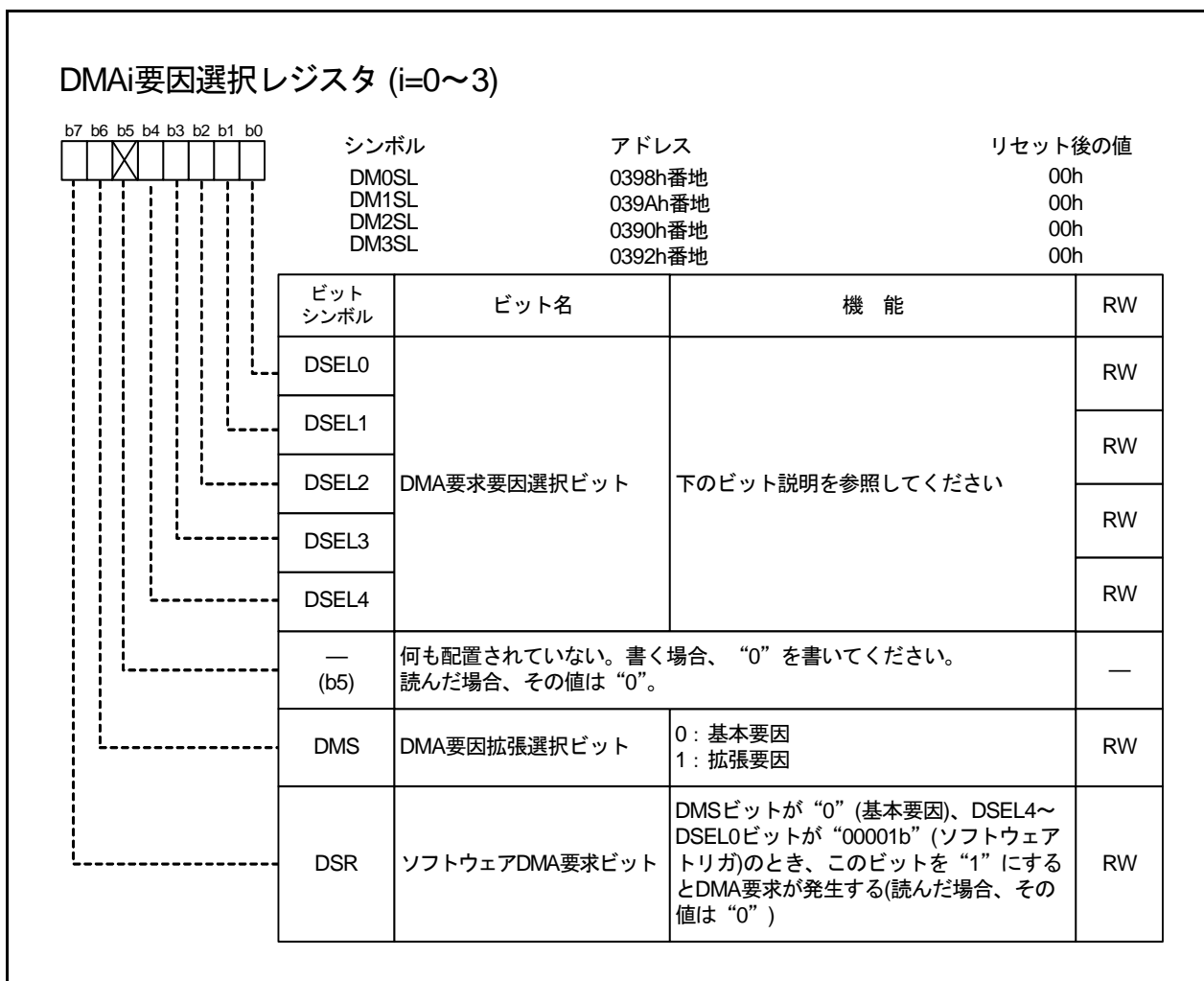
[“1”になる条件]

- プログラムで“1”を書く

DSD (転送元アドレス方向選択ビット) (b4)**DAD (転送先アドレス方向選択ビット) (b5)**

DADビット、DSDビットのうち、少なくともいずれか1ビットは“0”(アドレス方向は固定)にしてください。

14.2.5 DMAi要因選択レジスタ (DMiSL) (i=0~3)



DSEL4~DSEL0 (DMA 要求要因選択ビット) (b4~b0)

DMAiの要求要因は、DMS ビットとDSEL4~DSEL0ビットの組み合わせで表 14.3~表 14.6のとおり選択できます。表 14.3~表 14.6にDMA 要求要因を示します。

表 14.3 DMA0のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT0端子の立ち下がリエッジ	IC/OCベースタイマ
0 0 0 0 1 b	ソフトウェアトリガ	A/D1変換
0 0 0 1 0 b	タイマA0	IC/OCチャンネル0
0 0 0 1 1 b	タイマA1	IC/OCチャンネル1
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	INT0端子の両エッジ
0 0 1 1 1 b	タイマB0	-
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	IC/OCチャンネル2
0 1 0 1 1 b	UART0受信	IC/OCチャンネル3
0 1 1 0 0 b	UART2送信	IC/OCチャンネル4
0 1 1 0 1 b	UART2受信	IC/OCチャンネル5
0 1 1 1 0 b	A/D変換	IC/OCチャンネル6
0 1 1 1 1 b	UART1送信	IC/OCチャンネル7
1 0 0 0 0 b	UART1受信	INT4端子の立ち下がリエッジ
1 0 0 0 1 b	-	INT4端子の両エッジ
1 0 0 1 0 b	-	-
1 0 0 1 1 b	UART4送信	-
1 0 1 0 0 b	UART4受信	-
1 0 1 0 1 b	UART3送信	-
1 0 1 1 0 b	UART3受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" - : 設定しないでください。

表 14.4 DMA1のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT1端子の立ち下がリエッジ	IC/OCベースタイマ
0 0 0 0 1 b	ソフトウェアトリガ	A/D1変換
0 0 0 1 0 b	タイマA0	IC/OCチャンネル0
0 0 0 1 1 b	タイマA1	IC/OCチャンネル1
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	-
0 0 1 1 1 b	タイマB0	INT1端子の両エッジ
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	IC/OCチャンネル2
0 1 0 1 1 b	UART0受信	IC/OCチャンネル3
0 1 1 0 0 b	UART2送信	IC/OCチャンネル4
0 1 1 0 1 b	UART2受信/ACK2	IC/OCチャンネル5
0 1 1 1 0 b	A/D変換	IC/OCチャンネル6
0 1 1 1 1 b	UART1受信	IC/OCチャンネル7
1 0 0 0 0 b	UART1送信	INT5端子の立ち下がリエッジ
1 0 0 0 1 b	-	INT5端子の両エッジ
1 0 0 1 0 b	-	-
1 0 0 1 1 b	UART4送信	-
1 0 1 0 0 b	UART4受信	-
1 0 1 0 1 b	UART3送信	-
1 0 1 1 0 b	UART3受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" - : 設定しないでください。

表 14.5 DMA2のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT2端子の立ち下がリエッジ	IC/OCベースタイム
0 0 0 0 1 b	ソフトウェアトリガ	A/D1変換
0 0 0 1 0 b	タイマA0	IC/OCチャンネル0
0 0 0 1 1 b	タイマA1	IC/OCチャンネル1
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	INT2端子の両エッジ
0 0 1 1 1 b	タイマB0	-
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	IC/OCチャンネル2
0 1 0 1 1 b	UART0受信	IC/OCチャンネル3
0 1 1 0 0 b	UART2送信	IC/OCチャンネル4
0 1 1 0 1 b	UART2受信	IC/OCチャンネル5
0 1 1 1 0 b	A/D変換	IC/OCチャンネル6
0 1 1 1 1 b	UART1送信	IC/OCチャンネル7
1 0 0 0 0 b	UART1受信	-
1 0 0 0 1 b	-	-
1 0 0 1 0 b	-	-
1 0 0 1 1 b	UART4送信	-
1 0 1 0 0 b	UART4受信	-
1 0 1 0 1 b	UART3送信	-
1 0 1 1 0 b	UART3受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" - : 設定しないでください。

表 14.6 DMA3のDMA要求要因

DSEL4~DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT3端子の立ち下がリエッジ	IC/OCベースタイム
0 0 0 0 1 b	ソフトウェアトリガ	A/D1変換
0 0 0 1 0 b	タイマA0	IC/OCチャンネル0
0 0 0 1 1 b	タイマA1	IC/OCチャンネル1
0 0 1 0 0 b	タイマA2	-
0 0 1 0 1 b	タイマA3	-
0 0 1 1 0 b	タイマA4	-
0 0 1 1 1 b	タイマB0	INT3端子の両エッジ
0 1 0 0 0 b	タイマB1	-
0 1 0 0 1 b	タイマB2	-
0 1 0 1 0 b	UART0送信	IC/OCチャンネル2
0 1 0 1 1 b	UART0受信	IC/OCチャンネル3
0 1 1 0 0 b	UART2送信	IC/OCチャンネル4
0 1 1 0 1 b	UART2受信/ACK2	IC/OCチャンネル5
0 1 1 1 0 b	A/D変換	IC/OCチャンネル6
0 1 1 1 1 b	UART1受信	IC/OCチャンネル7
1 0 0 0 0 b	UART1送信	-
1 0 0 0 1 b	-	-
1 0 0 1 0 b	-	-
1 0 0 1 1 b	UART4送信	-
1 0 1 0 0 b	UART4受信	-
1 0 1 0 1 b	UART3送信	-
1 0 1 1 0 b	UART3受信	-
1 0 1 1 1 b	-	-
1 1 X X X b	-	-

X: "0"または"1" - : 設定しないでください。

14.3 動作説明

14.3.1 DMA許可

DMiCONレジスタ (i=0~3)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMAiは次のように動作します。また、DMAEビットが“1”の状態ですべて“1”を書いた場合も同様の動作をします。

- DMiCONレジスタのDSDビットが“1”(順方向)の場合は、SARiレジスタの値を順方向アドレスポインタへリロードする。DMiCONレジスタのDADビットが“1”(順方向)の場合は、DARiレジスタの値を順方向アドレスポインタへリロードする。
- DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする。

14.3.2 DMA要求

DMACは、チャンネルごとにDMiSLレジスタ (i=0~3)のDMSビット、DSEL4~DSEL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表 14.7にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません(“1”を書いても変化しません)。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。また、DMA転送サイクルよりもDMA要求が発生するサイクルが短い場合、転送要求回数と転送回数が一致しない場合があります。

なお、DMA要因に周辺機能を選択した場合、割り込み制御レジスタとの関係は次のとおりです。

- DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。
- DMA転送の受け付けでは、割り込み制御レジスタのIRビットは変化しません。

表 14.7 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	<ul style="list-style-type: none"> •データ転送開始直前 •プログラムで“0”を書いたとき
外部要因	INT0~INT5端子の入力エッジがDMiSLレジスタのDSEL4~DSEL0ビットとDMSビットで選択したものと一致したとき	
周辺機能	DMiSLレジスタのDSEL4~DSEL0ビットとDMSビットで選択した周辺機能の、割り込み要求が発生するタイミング(割り込み制御レジスタのIRビットが“0”なら、“1”に変化するタイミング)	

i=0~3

14.3.3 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。

図 14.2 にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1バスサイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。たとえば、転送単位が16ビットで、転送元番地、転送先番地がともに奇数番地の場合(図 14.2の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

14.3.3.1 転送元番地、転送先番地の影響

転送単位が16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位が16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

14.3.3.2 ソフトウェアウェイトの影響

ソフトウェアウェイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウェイトの分だけ1バスサイクルに要するサイクル数が増えます。

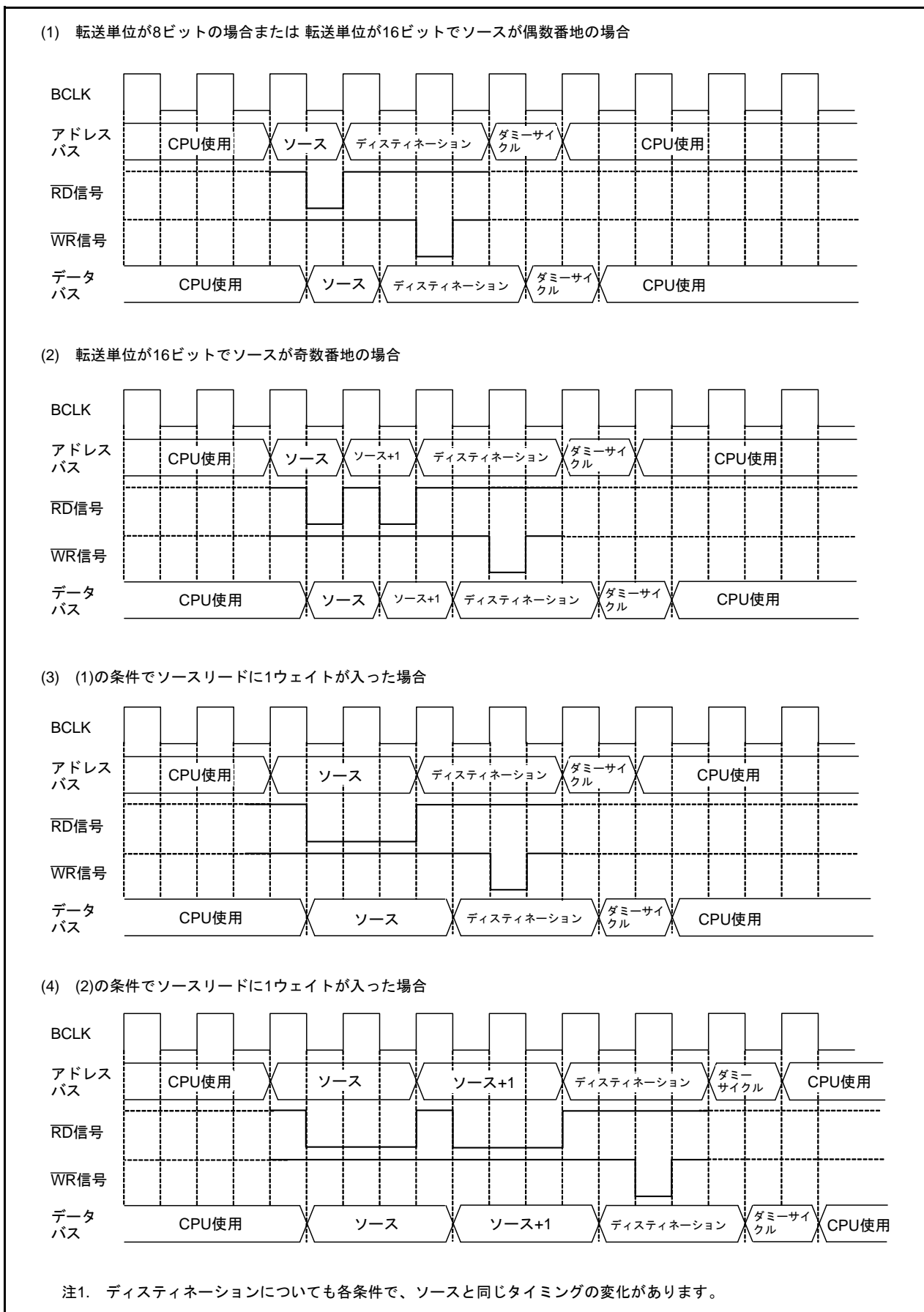


図 14.2 ソースリードサイクル例

14.3.4 DMAC転送サイクル数

DMAC転送サイクル数は次のとおり計算できます。

1転送単位の転送サイクル数=読み出しサイクル数×j+書き込みサイクル数×k

表 14.8 DMAC転送サイクル数

転送単位	アクセス番地	シングルチップモード	
		読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMBIT=1)	偶数	1	1
	奇数	1	1
16ビット転送 (DMBIT=0)	偶数	1	1
	奇数	2	2

DMBIT: DMiCONレジスタのビット (i=0~3)

表 14.9 係数j、k

	内部領域		
	内部ROM、RAM		SFR
	ウェイト なし	ウェイト あり	1ウェイト
j	1	2	2
k	1	2	2

14.3.5 単転送モード

単転送モードでは、DMA i 転送カウンタがアンダフローすると転送が終了します。図 14.3に単転送モードの動作例を示します。

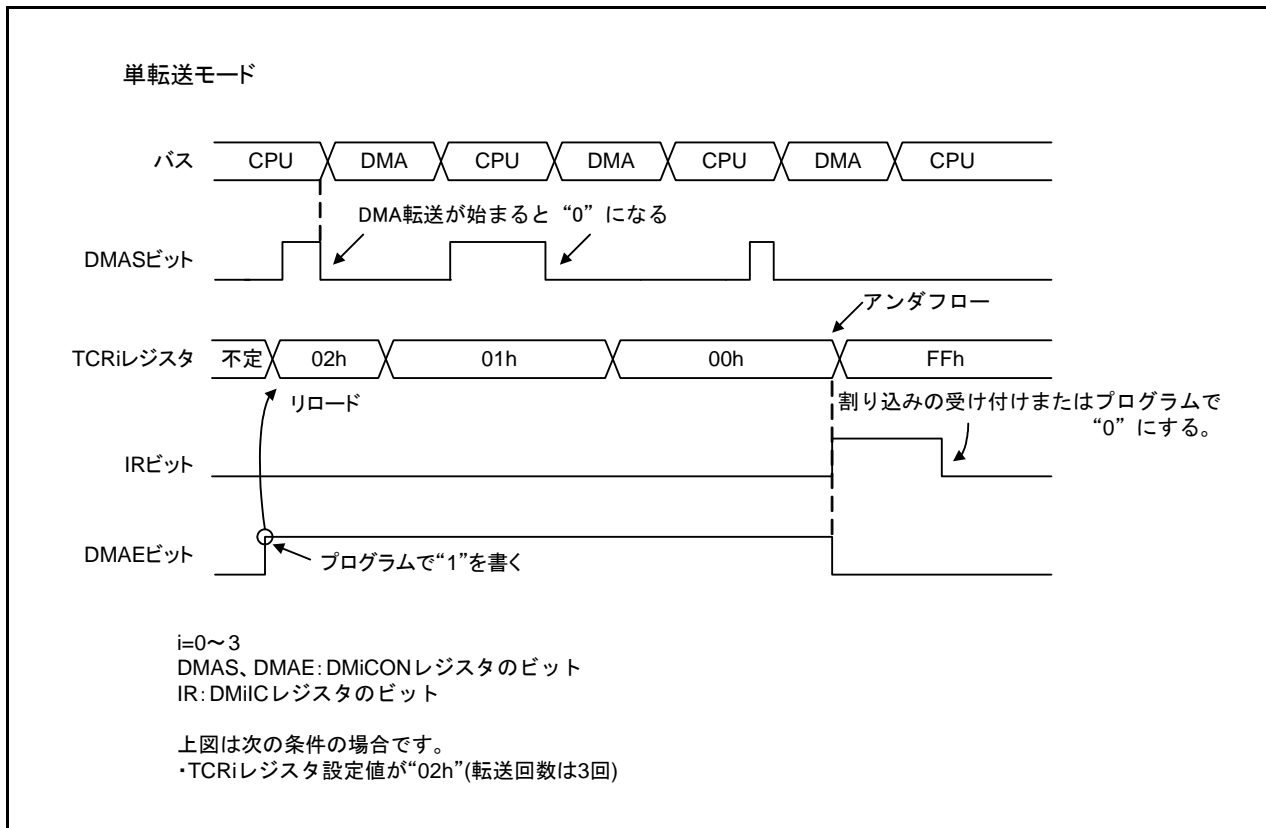


図 14.3 単転送モードの動作例

14.3.6 リピート転送モード

リピート転送モードでは、DMA_i転送カウンタがアンダフローした後、DMA_i転送カウンタリロードレジスタの値がDMA_i転送カウンタにリロードされ、DMA転送を継続します。図 14.4にリピート転送モードの動作例を示します。

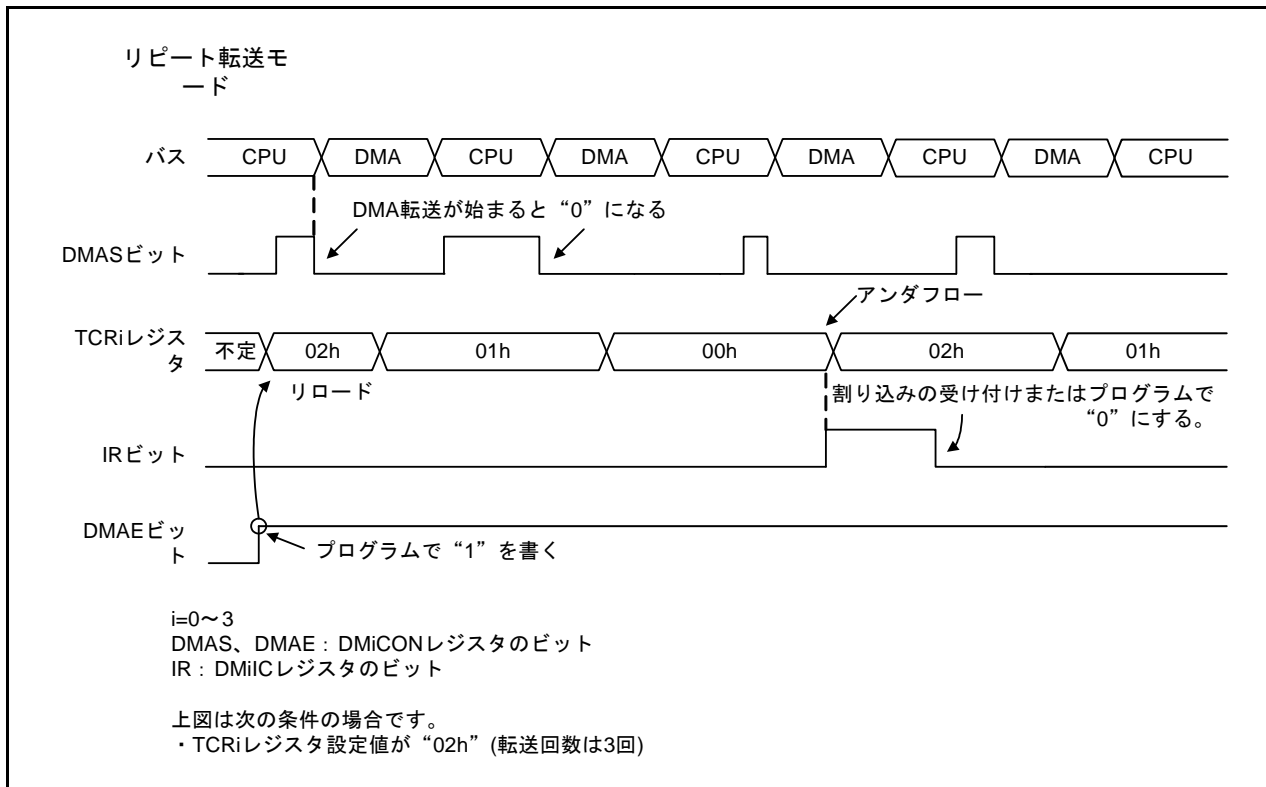


図 14.4 リピート転送モードの動作例

14.3.7 チャンネルの優先順位とDMA転送タイミング

DMA0~DMA3のうち、複数のチャンネルが許可されている場合、複数のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1>DMA2>DMA3です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図14.5に外部要因によるDMA転送例を示します。

図14.5ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用権を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図14.5のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用権を返します。

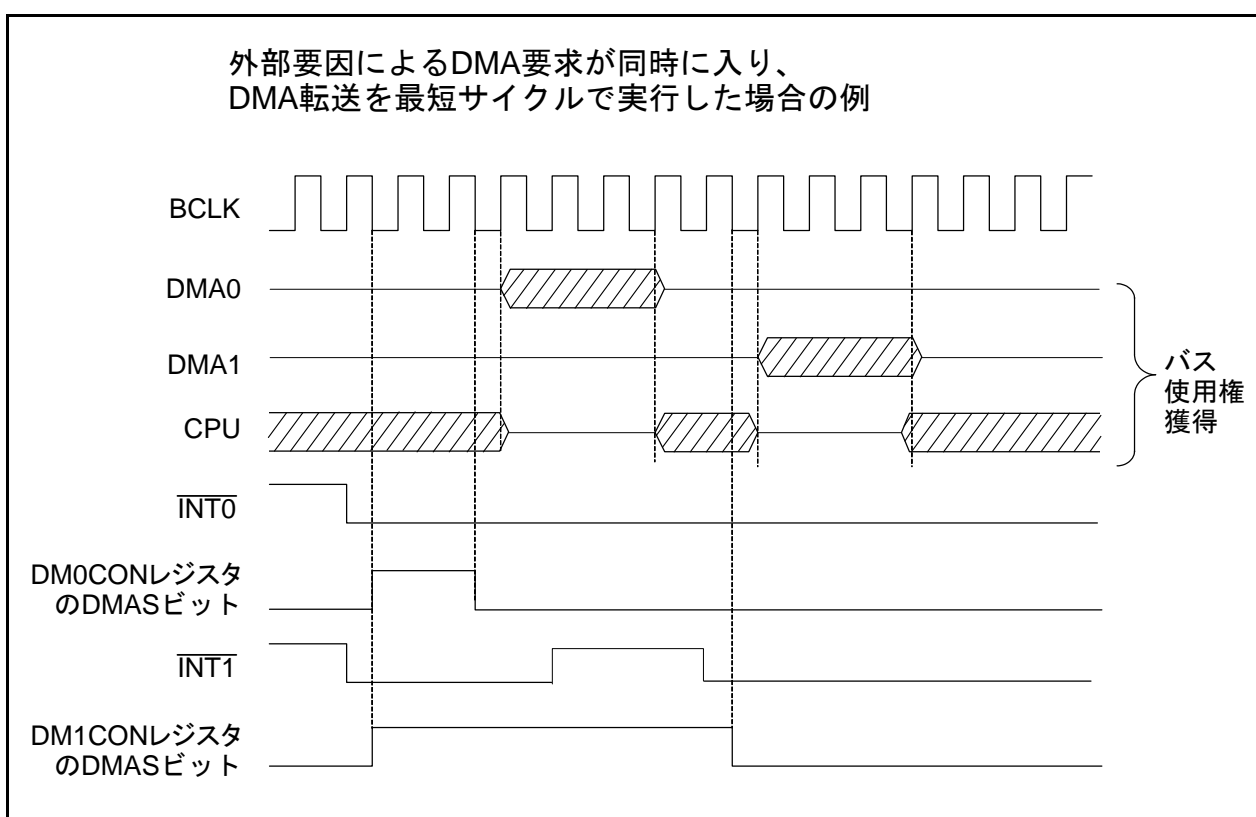


図 14.5 外部要因によるDMA転送例

14.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。
また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。

表 14.10 DMACの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXX X000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXX X000b
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXX X000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXX X000b

DMiSLレジスタのDMSビットまたはDSEL4~DSEL0ビットを変更すると、DMiCONレジスタのDMASビットが“1”(DMA要求あり)になることがあります。DMSビットまたはDSEL4~DSEL0ビットを変更した後は、DMASビットを“0”(DMA要求なし)にしてください。また、「12.13 割り込み使用上の注意事項」も参照してください。

14.5 DMAC使用上の注意事項

14.5.1 DMiCONレジスタのDMAEビットへの書き込み(i=0~3)

(テクニカルアップデート番号: TN-M16C-92-0301)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- DMAEビットが“1” (DMA_iがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。
- (2) DMA_iが初期状態(注2)になっていることを、プログラムで確認する。
DMA_iが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。

DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCR_iレジスタの値で確認してください。

TCR_iレジスタを読んで、DMA転送開始前にTCR_iレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCR_iレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

14.5.2 DMA要求要因の変更

DMiSLレジスタのDMSビットまたはDSEL4~DSEL0ビットを変更すると、DMiCONレジスタのDMASビットが“1”(DMA要求あり)になることがあります。DMSビットまたはDSEL4~DSEL0ビットを変更した後は、DMASビットを“0”(DMA要求なし)にしてください。

15. タイマA

15.1 概要

タイマAにはタイマA0~A4があります。すべてのタイマは独立して動作します。表 15.1にタイマAの仕様を、表 15.2にタイマAの仕様の相違を、図 15.1にタイマA、Bカウントソースを、図 15.2にタイマA構成を、図 15.3にタイマAブロック図を、表 15.3に入出力端子を示します。

表 15.1 タイマAの仕様

項目	内容
構成	16ビットタイマ×5
動作モード	<ul style="list-style-type: none"> タイマモード 内部カウントソースをカウントするモード イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード ワンショットタイマモード カウント値が“0000h”になるまでの間、1度だけパルスを出力するモード パルス幅変調モード (PWMモード) 任意の幅と周期のパルスを連続して出力するモード プログラマブル出力モード 任意の“H”幅、“L”幅のパルスを連続して出力するモード (タイマA1、A2、A4)
割り込み要因	オーバフロー/アンダフロー×5

表 15.2 タイマAの仕様の相違

項目	タイマ				
	A0	A1	A2	A3	A4
イベントカウンタモード (二相パルス処理)	なし	なし	あり	あり	あり
プログラマブル出力モード	なし	あり	あり	なし	あり

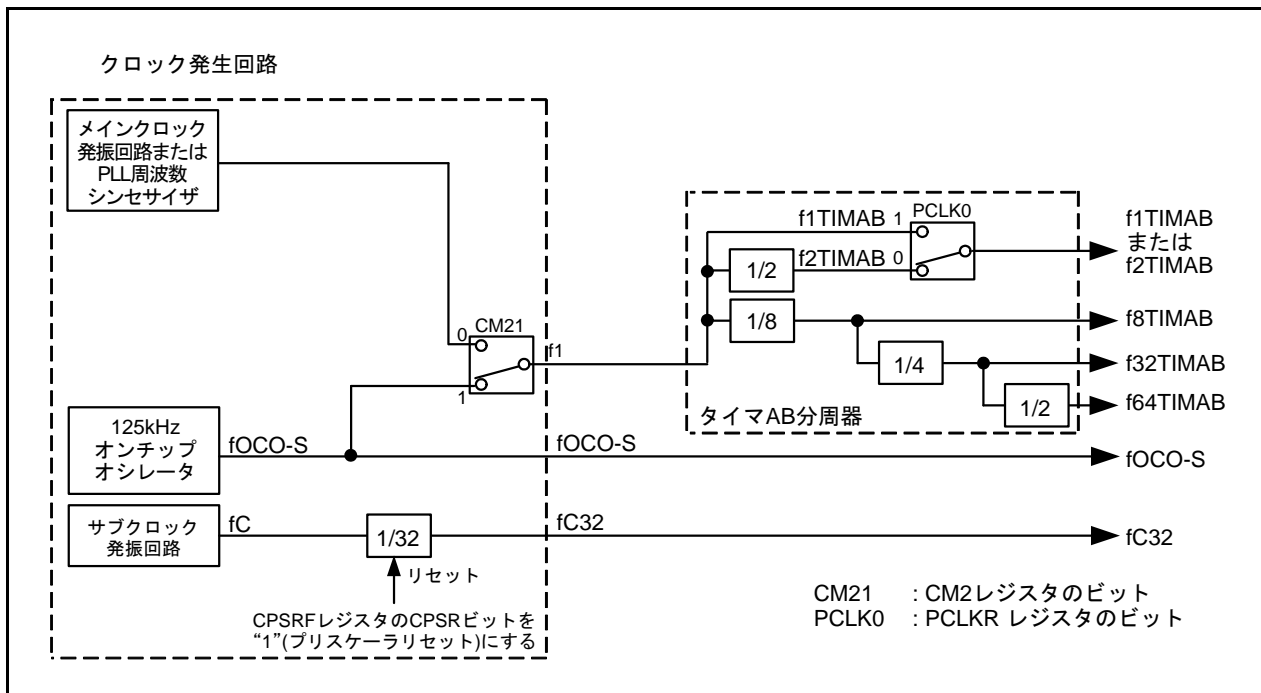


図 15.1 タイマA、Bカウントソース

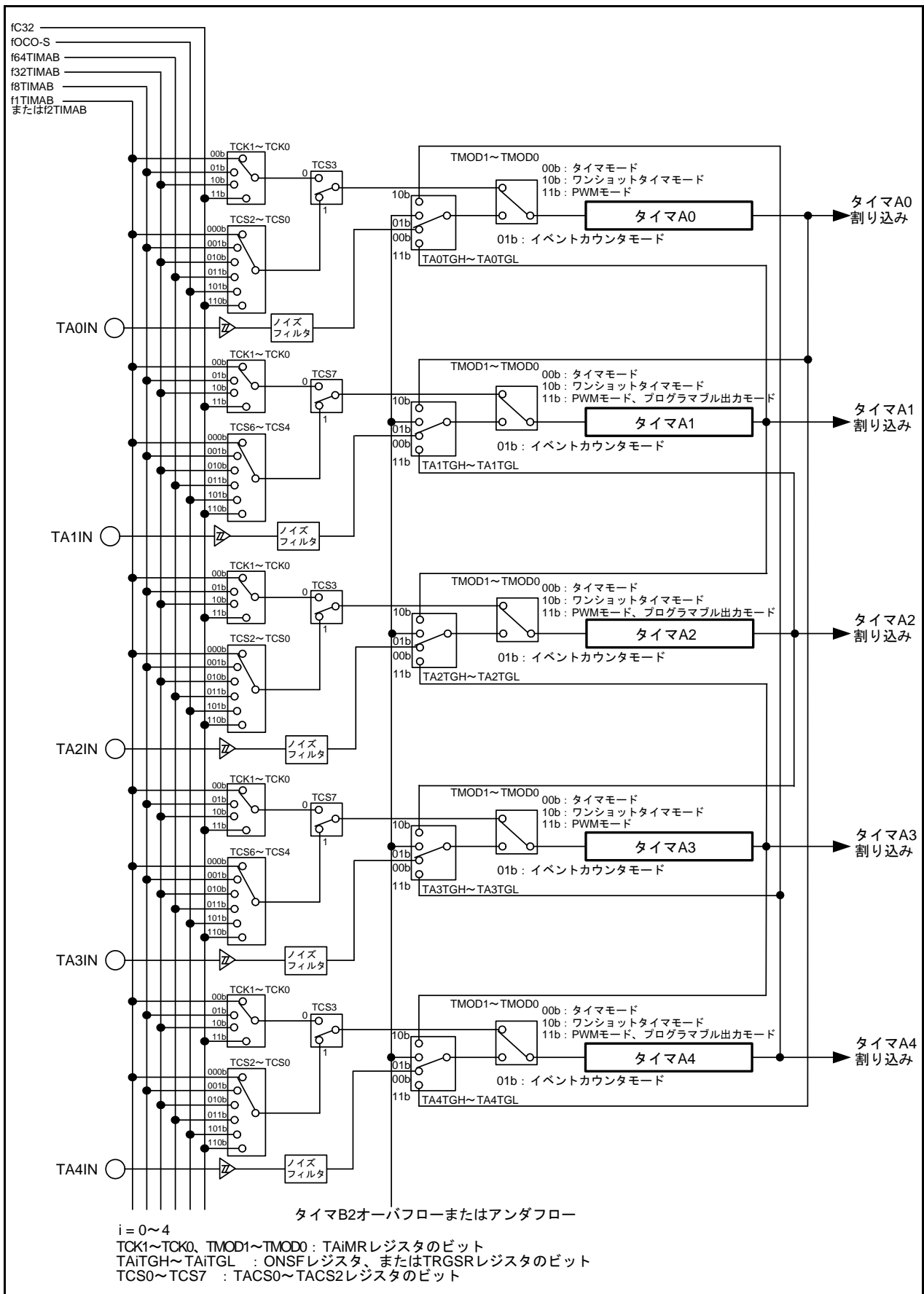


図 15.2 タイマA構成

図 15.3 タイマAブロック図

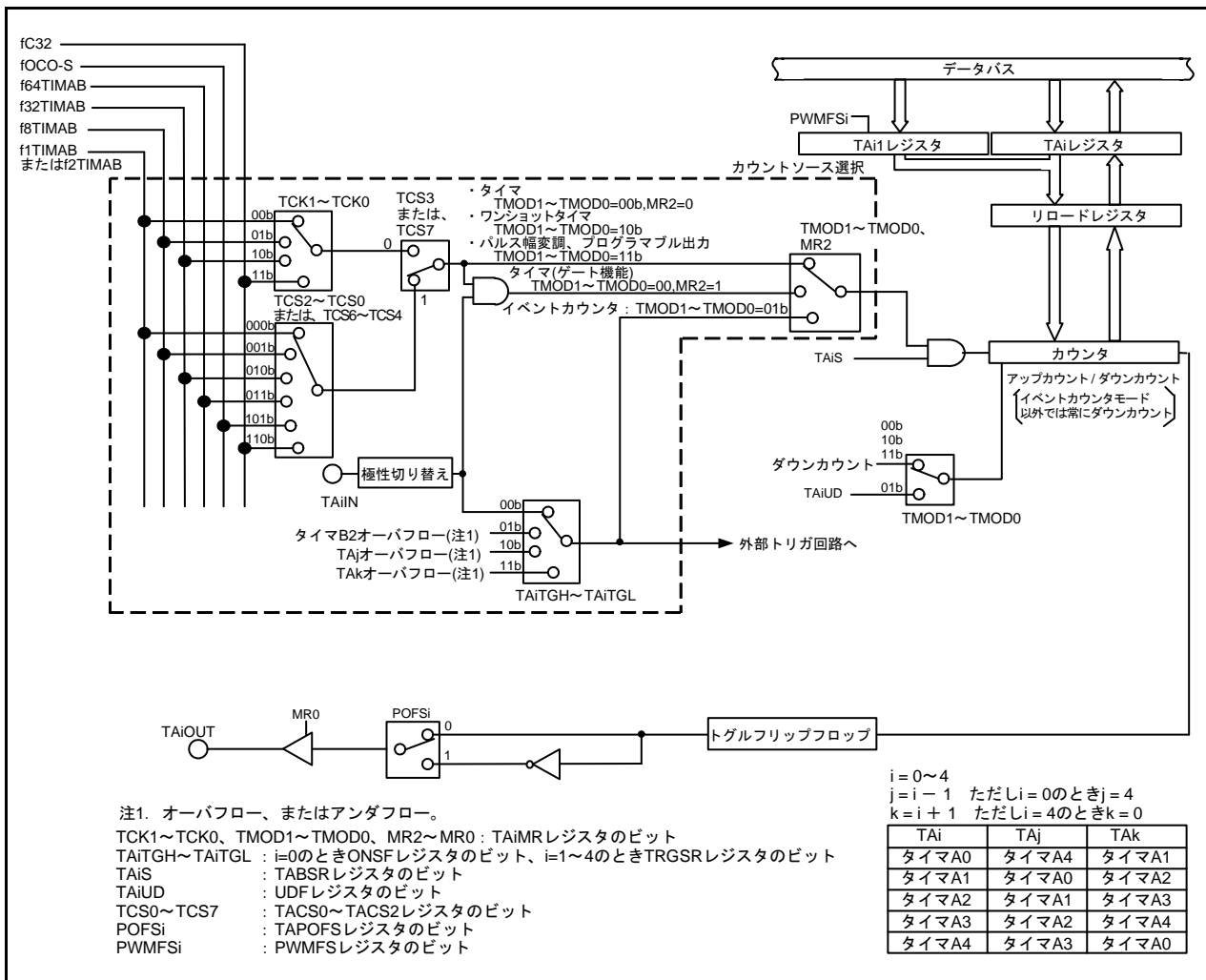


表 15.3 入出力端子

端子名	入出力	機能
TAiIN	入力 (注1)	ゲート入力 (タイマモード) カウントソース入力 (イベントカウンタモード) 二相パルス入力 (イベントカウンタモード (二相パルス信号処理)) トリガ入力 (ワンショットタイマモード、PWMモード、プログラマブル出力モード)
TAiOUT	出力	パルス出力 (タイマモード、イベントカウンタモード、ワンショットタイマモード、PWMモード、プログラマブル出力モード)
	入力 (注1)	二相パルス入力 (イベントカウンタモード (二相パルス信号処理))
ZP	入力 (注1)	Z相 (カウンタ初期化) 入力 (イベントカウンタモード (二相パルス信号処理))

i=0~4、ただし、二相パルス入力はi=2, 3, 4、プログラマブル出力モードはi=1, 2, 4

注1. TAIIN、TAiOUT、ZP 端子を入力で使用する場合、端子を共用するポートの方向ビットを“0” (入力モード)にしてください。

15.2 レジスタの説明

タイマA関連レジスタを表 15.4 レジスタ一覧に示します。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表 15.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
01D0h	タイマAカウントソース選択レジスタ0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ2	TACS2	X0h
01D4h	16ビットパルス幅変調モード機能選択レジスタ	PWMFS	0XX0 X00Xb
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX0 0000b
01D8h	タイマA出力波形変更許可レジスタ	TAOW	XXX0 X00Xb
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0320h	カウント開始フラグ	TABSR	00h
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h

15.2.1 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ											
b7	b6	b5	b4	b3	b2	b1	b0	シンボル PCLKR	アドレス 0012h番地	リセット後の値 0000 0011b	
0	0	0	0	0	0	0	0	ビット シンボル	ビット名	機能	RW
								PCLK0	タイマA、B、S、マルチマスタI ² C-busインタフェースクロック選択ビット (タイマA、タイマB、短絡防止タイマ、タイマS、マルチマスタI ² C-busインタフェースのクロック源)	0: f2TIMAB/f2IIC 1: f1TIMAB/f1IIC	RW
								PCLK1	SI/Oクロック選択ビット (UART0~UART4クロック源)	0: f2SIO 1: f1SIO	RW
								— (b4-b2)	予約ビット	"0" にしてください	RW
								PCLK5	クロック出力機能拡張ビット	0: CM0レジスタのCM01~CM00ビットで選択 1: f1を出力	RW
								— (b7-b6)	予約ビット	"0" にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

15.2.2 時計用プリスケアラリセットフラグ (CPSRF)

時計用プリスケアラリセットフラグ											
b7	b6	b5	b4	b3	b2	b1	b0	シンボル CPSRF	アドレス 0015h番地	リセット後の値 0XXX XXXXb	
								ビット シンボル	ビット名	機能	RW
								— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
								CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される。 (読んだ場合、その値は“0”)	RW

15.2.4 16ビットパルス幅変調モード機能選択レジスタ (PWMFS)

16ビットパルス幅変調モード機能選択レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0 0 X X X X X X X	シンボル PWMFS	アドレス 01D4h番地	リセット後の値 0XX0 X00Xb
ビット シンボル	ビット名	機 能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PWMFS1	タイマA1プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
PWMFS2	タイマA2プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PWMFS4	タイマA4プログラマブル出力モード選択ビット	0: PWMモード 16ビットPWM 1: プログラマブル出力モード	RW
— (b6-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b7)	予約ビット	“0” にしてください。	RW

PWMFS1 (タイマA1プログラマブル出力モード選択ビット) (b1)

PWMFS2 (タイマA2プログラマブル出力モード選択ビット) (b2)

PWMFS4 (タイマA4プログラマブル出力モード選択ビット) (b4)

TAiMRレジスタのTMOD1~TMOD0ビットが“11b”(PWMモードまたはプログラマブル出力モード)、かつMR3ビットが“0”(16ビットPWMモード)のとき有効です。

15.2.5 タイマA波形出力機能選択レジスタ (TAPOFS)

タイマA波形出力機能選択レジスタ			
	シンボル TAPOFS	アドレス 01D5h番地	リセット後の値 XXX0 0000b
ビット シンボル	ビット名	機 能	RW
POFS0	TA0OUT出力極性制御ビット	0: 出力波形 “H” アクティブ 1: 出力波形 “L” アクティブ (出力反転)	RW
POFS1	TA1OUT出力極性制御ビット		RW
POFS2	TA2OUT出力極性制御ビット		RW
POFS3	TA3OUT出力極性制御ビット		RW
POFS4	TA4OUT出力極性制御ビット		RW
— (b7-b5)	何も設定されていない。 書く場合 “0” を書いてください。読んだ場合、その値は不定。		—

15.2.6 タイマA出力波形変更許可レジスタ (TAOW)

タイマA出力波形変更許可レジスタ			
ビット シンボル	ビット名	機 能	RW
— (b0)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
TA1OW	タイマA1出力波形変更許可 ビット	0: 変更禁止 1: 変更許可	RW
TA2OW	タイマA2出力波形変更許可 ビット	0: 変更禁止 1: 変更許可	RW
— (b3)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—
TA4OW	タイマA4出力波形変更許可 ビット	0: 変更禁止 1: 変更許可	RW
— (b7-b5)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は不定。		—

プログラマブル出力モードで有効です。

出力中に出力波形の周期や幅を変更する場合は、次の手順で変更してください。

- (1)TAiOW ビット (i=1, 2, 4)を“0” (出力波形変更禁止)にする
- (2)TAi、TAi1 レジスタの両方またはいずれかに値を書く
- (3)TAiOW ビットを“1” (出力波形変更許可)にする

TAiOUT 出力の立ち上がりエッジ (POFSi ビットが“1”の場合は立ち下がりエッジ)のカウントソース 1 サイクル分前に、TAiOW ビットが“1” (出力波形変更許可)ならば、更新後の値がリロードされます。TAiOW ビットが“0” (出力波形変更禁止)ならば、更新前の値をリロードします。

15.2.7 タイマAiレジスタ (TAi) (i=0~4)

タイマAiレジスタ (i=0~4)			
	シンボル	アドレス	リセット後の値
	TA0	0327h~0326h番地	不定
	TA1	0329h~0328h番地	不定
	TA2	032Bh~032Ah番地	不定
	TA3	032Dh~032Ch番地	不定
	TA4	032Fh~032Eh番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、 カウンタ周期： $\frac{(n+1)}{fj}$	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、 アップカウント時、FFFFh-n+1回カウント ダウンカウント時、n+1回カウント	0000h~FFFFh	RW
ワンショットタイマモード	設定値をnとすると、 パルス幅： $\frac{n}{fj}$	0000h~FFFFh	WO
パルス幅変調モード (16ビットPWMモード)	設定値をnとすると、 PWMの周期： $\frac{(2^{16}-1)}{fj}$ PWMのパルス幅： $\frac{n}{fj}$	0000h~FFFEh	WO
パルス幅変調モード (8ビットPWMモード)	上位番地の設定値をn、下位番地の設定 値をmとすると PWMの周期： $\frac{(2^8-1) \times (m+1)}{fj}$ PWMパルスのパルス幅： $\frac{(m+1)n}{fj}$	00h~FEh (上位番地) 00h~FFh (下位番地)	WO
プログラマブル出力 モード	TAiレジスタ設定値をm、TAi1レジスタ設 定値をnとすると、次の波形を出力する “H”幅： $\frac{m}{fj}$ “L”幅： $\frac{n}{fj}$	0000h~FFFFh	WO

fj: カウントソースの周波数

16ビット単位でアクセスしてください。TAiレジスタへはMOV命令を使用して書いてください。

イベントカウンタモード

外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

ワンショットタイマモード

TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、このとき、パルス出力ありを選択していても、TAiOUT端子からパルスは出力されません。

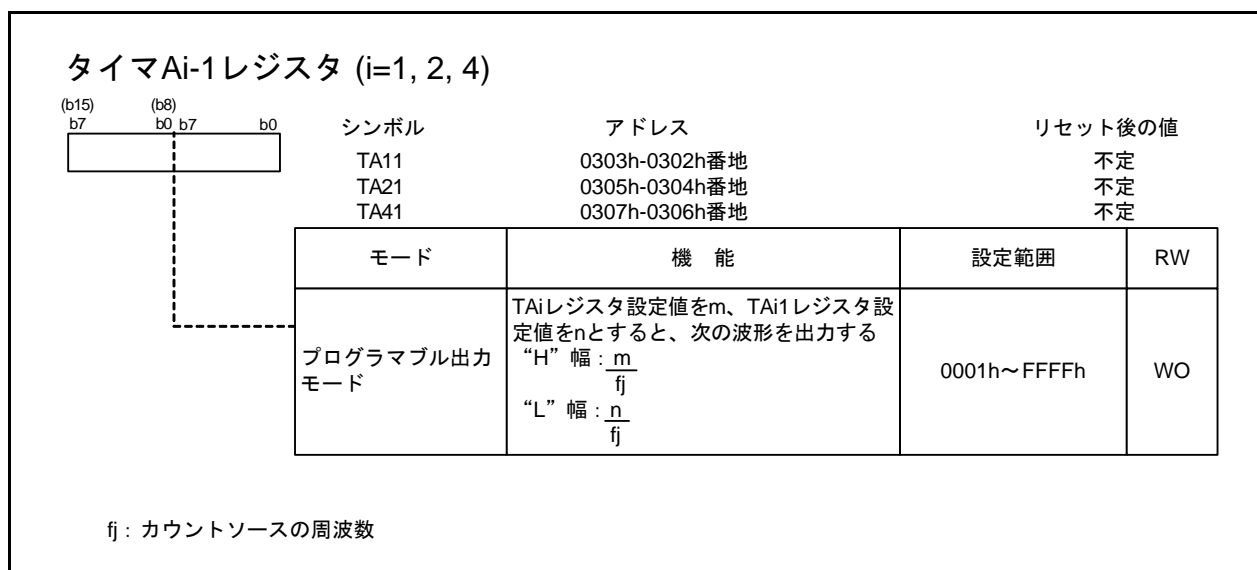
パルス幅変調モード(16ビットPWMモード)

TAiレジスタを“0000h”にした場合、カウンタは動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。

パルス幅変調モード(8ビットPWMモード)

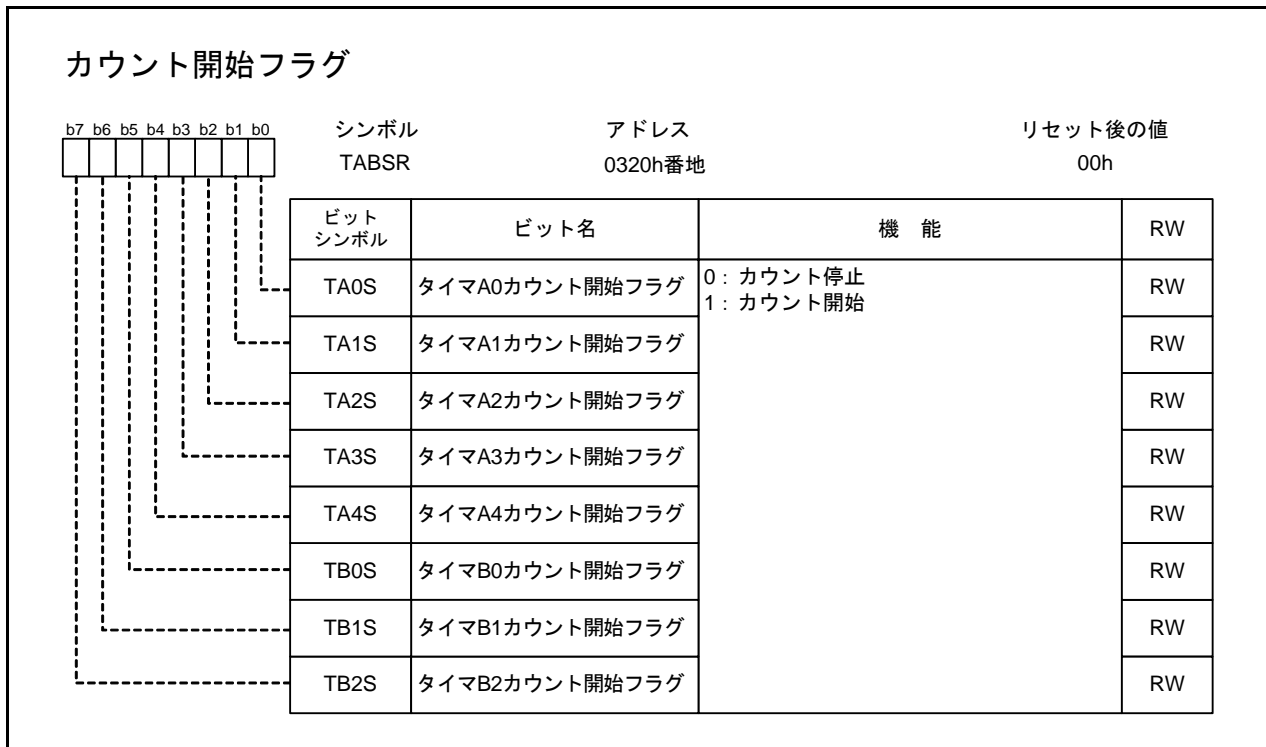
8ビットプリスケアラ(下位8ビット)と8ビットパルス幅変調器(上位8ビット)として動作します。TAiレジスタの上位8ビットに“00h”を設定した場合、カウンタは動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。

15.2.8 タイマAi-1レジスタ (TAi1) (i=1, 2, 4)



16ビット単位でアクセスしてください。MOV命令を使用して書いてください。

15.2.9 カウント開始フラグ (TABSR)



15.2.10 ワンショット開始フラグ(ONSF)

ワンショット開始フラグ		シンボル	アドレス	リセット後の値
		ONSF	0322h番地	00h
ビットシンボル	ビット名	機能		RW
TA0OS	タイマA0ワンショット開始フラグ	このビットを“1”にすると、タイマのカウントを開始する。読んだ場合、その値は“0”。		RW
TA1OS	タイマA1ワンショット開始フラグ			RW
TA2OS	タイマA2ワンショット開始フラグ			RW
TA3OS	タイマA3ワンショット開始フラグ			RW
TA4OS	タイマA4ワンショット開始フラグ			RW
TAZIE	Z相入力有効ビット			0: Z相入力無効 1: Z相入力有効
TA0TGL	タイマA0イベント/トリガ選択ビット	b7 b6 0 0: TA0IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA4を選択 1 1: タイマA1を選択	RW	
TA0TGH			RW	

TAiOS (タイマAiワンショット開始フラグ) (i=0~4) (b4~b0)

ワンショットタイマモードで有効。TAiMRレジスタのMR2ビットが“0” (TAiOSビット有効)の場合、TABSRRレジスタのTAiSビットを“1” (カウント開始)にした後、このビットを“1”にすると、タイマAiのカウントを開始します。

TAZIE (Z相入力有効ビット) (b5)

タイマA3のイベントカウンタモード(二相パルス信号処理)で使用するビットです。詳細は、「15.3.4.3 二相パルス信号処理でのカウンタ初期化」を参照してください。

TA0TGH~TA0TGL (タイマA0イベント/トリガ選択ビット) (b7~b6)

次のモードのイベントまたはトリガを選択できます。

- イベントカウンタモード(二相パルス信号処理を使用しない)のイベント
- ワンショットタイマモード、PWMモードのトリガ

ただし、TA0MRレジスタのMR2ビットが“1” (TA0TGH~TA0TGLビットでトリガ選択)の場合。

TA0TGH~TA0TGLビットが“00b”の場合、TA0MRレジスタのMR1ビットで入力信号の有効エッジを選択できます。

TA0TGH~TA0TGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

15.2.11 トリガ選択レジスタ (TRGSR)

トリガ選択レジスタ		シンボル	アドレス	リセット後の値
		TRGSR	0323h番地	00h
ビットシンボル	ビット名	機能	RW	
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 0 0: TA1IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA0を選択 1 1: タイマA2を選択	RW	
TA1TGH			RW	
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 0 0: TA2IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA1を選択 1 1: タイマA3を選択	RW	
TA2TGH			RW	
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0: TA3IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA2を選択 1 1: タイマA4を選択	RW	
TA3TGH			RW	
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 0 0: TA4IN端子の入力を選択 0 1: タイマB2を選択 1 0: タイマA3を選択 1 1: タイマA0を選択	RW	
TA4TGH			RW	

TA1TGH~TA1TGL (タイマA1イベント/トリガ選択ビット) (b1~b0)

TA2TGH~TA2TGL (タイマA2イベント/トリガ選択ビット) (b3~b2)

TA3TGH~TA3TGL (タイマA3イベント/トリガ選択ビット) (b5~b4)

TA4TGH~TA4TGL (タイマA4イベント/トリガ選択ビット) (b7~b6)

次のモードのイベントまたはトリガを選択できます。

- イベントカウンタモード (二相パルス信号処理を使用しない) のイベント
- ワンショットタイマモード、PWMモード、プログラマブル出力モードのトリガ

ただし、TAiMRレジスタのMR2ビットが“1” (TAiTGH~TAiTGLビットでトリガ選択) の場合。

TAiTGH~TAiTGLビットが“00b”の場合、TAiMRレジスタのMR1ビットで入力信号の有効エッジを選択できます。

TAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します (IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

15.2.12 アップダウンフラグ(UDF)

アップダウンフラグ

ビット シンボル	ビット名	機 能	RW
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント	RW
TA1UD	タイマA1アップダウンフラグ		RW
TA2UD	タイマA2アップダウンフラグ		RW
TA3UD	タイマA3アップダウンフラグ		RW
TA4UD	タイマA4アップダウンフラグ		RW
TA2P	タイマA2二相パルス信号 処理機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可	RW
TA3P	タイマA3二相パルス信号 処理機能選択ビット		RW
TA4P	タイマA4二相パルス信号 処理機能選択ビット		RW

シンボル: UDF
アドレス: 0324h番地
リセット後の値: 00h

TA_iUD (タイマA_iアップダウンフラグ) (i=0~4) (b₄~b₀)

イベントカウンタモード(二相パルス信号処理機能を使用しない場合)時、有効になります。

TA2P (タイマA2二相パルス信号処理機能選択ビット) (b₅)TA3P (タイマA3二相パルス信号処理機能選択ビット) (b₆)TA4P (タイマA4二相パルス信号処理機能選択ビット) (b₇)

二相パルス信号処理機能を使用しない場合、“0”にしてください。

15.2.13 タイマAiモードレジスタ (TAiMR) (i=0~4)

タイマAiモードレジスタ (i=0~4)				
		シンボル TA0MR~TA4MR	アドレス 0336h~033Ah番地	リセット後の値 00h
ビット シンボル	ビット名	機 能	RW	
TMOD0	動作モード選択ビット	b1 b0 0 0: タイマモード 0 1: イベントカウンタモード	RW	
TMOD1		1 0: ワンショットタイマモード 1 1: パルス幅変調 (PWM)モード、 またはプログラマブル出力モード	RW	
MR0	動作モードによって機能が異なる		RW	
MR1		RW		
MR2		RW		
MR3		RW		
TCK0	動作モードによって機能が異なる		RW	
TCK1		RW		

15.3 動作説明

15.3.1 複数モードに関わる共通事項

15.3.1.1 動作クロック

タイマのカウンタソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

たとえば、停止しているカウンタは、カウント開始条件が揃った後、最初のカウンタソースのカウントタイミングからカウントを開始します。したがって、カウント開始条件が揃ってから、カウント開始するまで、遅延があります。図 15.4 にワンショットタイマモードの出力例を示します。

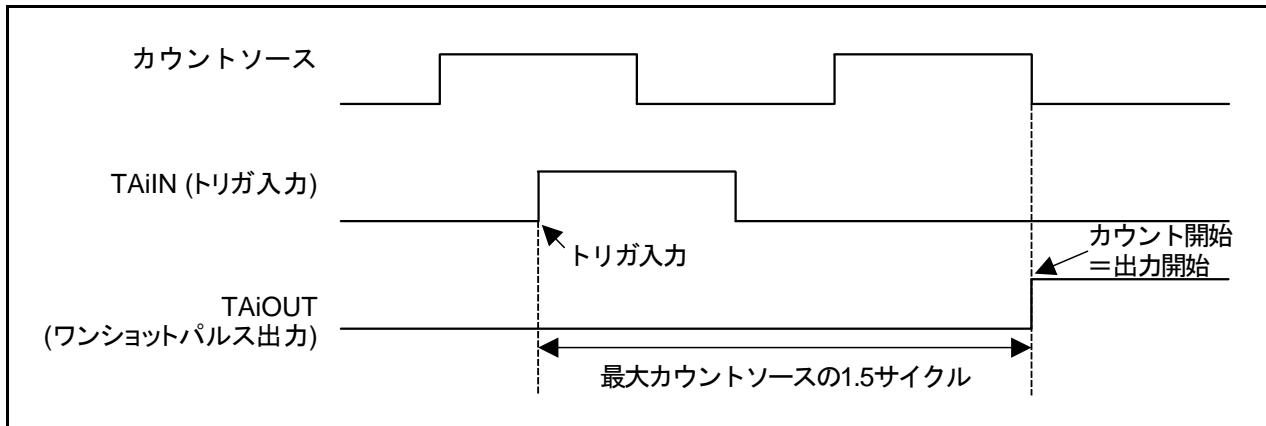


図 15.4 ワンショットタイマモードの出力例

15.3.1.2 カウンタリロードタイミング

タイマ A_i は TA_i レジスタに設定された値 (n とします) からカウントを開始します。 TA_i レジスタは、カウンタとリロードレジスタから成ります。ダウンカウントの場合、カウンタは n からカウンタソースをダウンカウントします。そして、“0000h” になった次のカウンタソースで、リロードレジスタの値をリロードし、ダウンカウントを続けます (アップカウントの場合は同様に“FFFFh” になった次のカウンタソースで、リロードレジスタの値をリロードします)。

TA_i レジスタに書いた値は次のタイミングで、カウンタ、リロードレジスタに反映されます。

- カウントを停止しているとき
- カウントを開始してから最初のカウンタソースが入力されるまで
 TA_i レジスタに値を書き込むと、すぐにカウンタとリロードレジスタの両方に書き込まれる。
- カウントを開始して最初のカウンタソースが入力された後
 TA_i レジスタに値を書き込むと、すぐにリロードレジスタに書き込まれる。
 カウンタはカウント中の値を引き続きカウントし、“0000h” (または“FFFFh”) になった次のカウンタソースでリロードレジスタの値をリロードする。

15.3.1.3 カウントソース

タイマモード、ワンショットタイマモード、PWMモード、プログラマブル出力モードでは、内部のクロックをカウントします(「図 15.1 タイマA、B カウントソース」参照)。表 15.5にタイマAカウントソースを示します。

f1は次のいずれかです。(「8. クロック発生回路」参照)

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)

表 15.5 タイマAカウントソース

カウントソース	ビットの設定値				備考
	PCLK0	TCS3 TCS7	TCS2~TCS0 TCS6~TCS4	TCK1~TCK0	
f1TIMAB	1	0	—	00b	f1
		1	000b	—	
f2TIMAB	0	0	—	00b	f1の2分周
		1	000b	—	
f8TIMAB	—	0	—	01b	f1の8分周
		1	001b	—	
f32TIMAB	—	0	—	10b	f1の32分周
		1	010b	—	
f64TIMAB	—	1	011b	—	f1の64分周
fOCO-S	—	1	101b	—	fOCO-S
fC32	—	0	—	11b	fC32
		1	110b	—	

PCLK0: PCLKRレジスタのビット

TCS7~TCS0: TACS0~TACS2レジスタのビット

TCK1~TCK0: TAI*M*R (i=0~4)レジスタのビット

15.3.2 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 15.6 にタイマモードの仕様を、表 15.7 にタイマモード時の使用レジスタと設定値を、図 15.5 にタイマモード時の動作例を示します。

表 15.6 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの値をリロードしてカウントを継続
カウンタ周期	$\frac{(n+1)}{fj}$ n: TAIレジスタの設定値 0000h~FFFFh fj: カウントソースの周波数
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 • パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。TAISビットが“0”(カウント停止)の期間は“L”を出力 • 出力極性制御 TAiOUT端子の出力極性を反転(TAISビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表 15.7 タイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	- (設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	“00b”にしてください
TRGSR	TAiTGH~TAiTGL	“00b”にしてください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

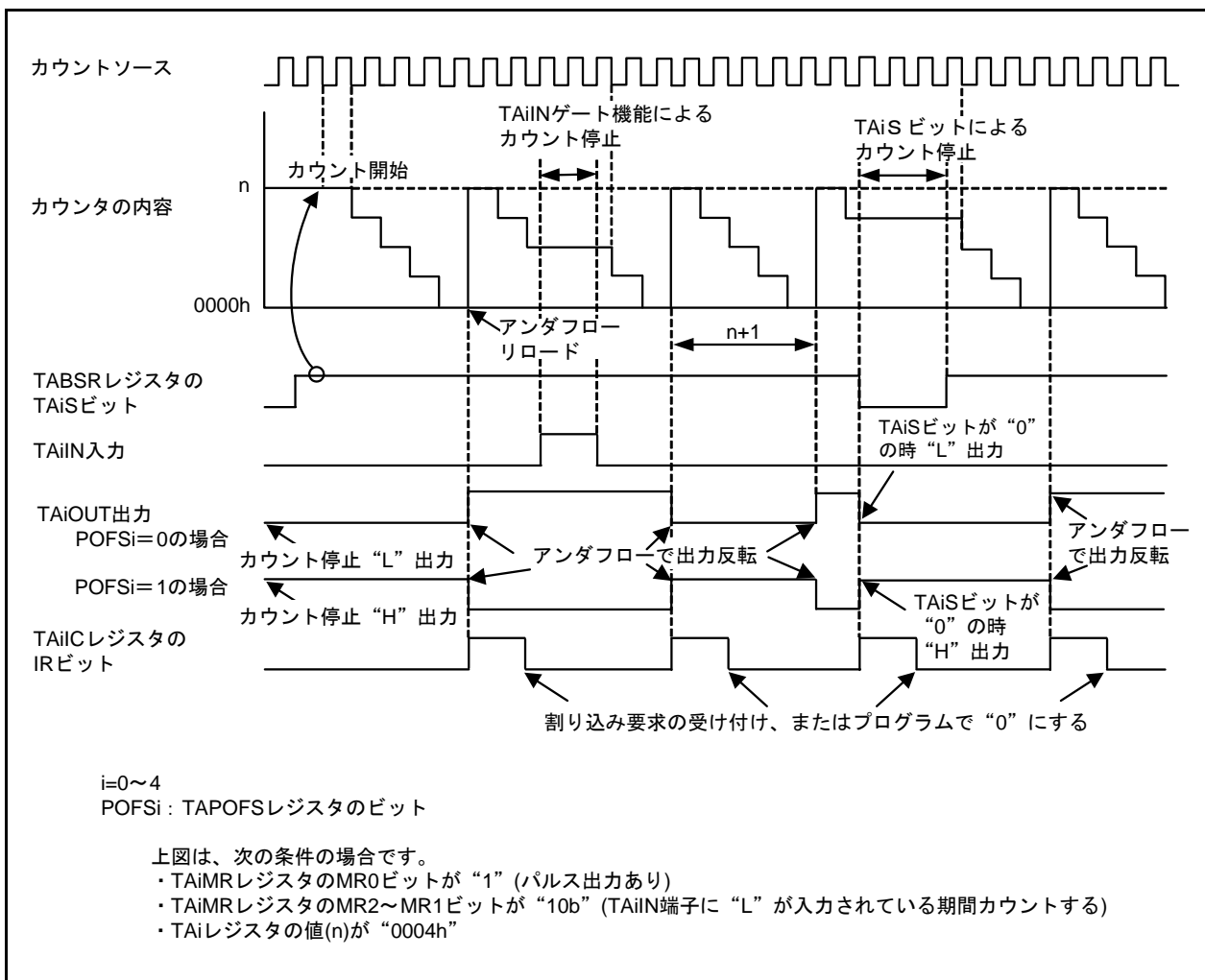


図 15.5 タイマモード時の動作例

15.3.3 イベントカウンタモード (二相パルス信号処理を使用しない場合)

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。

タイマA2、A3、A4は二相の外部信号をカウントできます。(「15.3.4 イベントカウンタモード (二相パルス信号処理を使用する場合)」参照。)

表 15.8にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)を、表 15.9にイベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値(注1)を、図 15.6にイベントカウンタモード時の動作例を示します。

表 15.8 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TAIiN端子に入力された外部信号(有効エッジを選択可能) • タイマB2のオーバフローまたはアンダフロー • タイマAjのオーバフローまたはアンダフロー ($j = i - 1$、ただし$i=0$のとき$j=4$) • タイマAkのオーバフローまたはアンダフロー ($k = i + 1$、ただし$i=4$のとき$k=0$)
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントをプログラムで選択可能 • オーバフローまたはアンダフロー時は、リロードレジスタの値をリロードしてカウントを継続する。フリーランタイプ選択時は、リロードせずカウントを継続する。
カウント回数	リロードタイプ選択時 <ul style="list-style-type: none"> • アップカウント時 $FFFFh - n + 1$ • ダウンカウント時 $n + 1$ n: TAIレジスタの設定値 $0000h \sim FFFFh$
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない • パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。 TAiSビットが“0”(カウント停止)の間は“L”を出力 • 出力極性制御 TAiOUT端子の出力極性を反転(TAiSビットが“0”(カウント停止)の間は“H”を出力)

i=0~4

表 15.9 イベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	-(設定しないでよい)
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントソースを選択してください
TRGSR	TAiTGH~TAiTGL	カウントソースを選択してください
UDF	TAiUD	カウント動作を選択してください
	TAiP	“0”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

イベントカウンタモード (二相パルス信号処理を使用しない場合)
タイマAiモードレジスタ (i=0~4)

シンボル	アドレス	リセット後の値
TA0MR~TA4MR	0336h~033Ah番地	00h

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
			RW
MR0	パルス出力機能選択ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW
MR1	カウント極性選択ビット	0: 外部信号の立ち下がりを実カウント 1: 外部信号の立ち上がりを実カウント	RW
MR2	イベントカウンタモードでは“0”にしてください		RW
MR3	イベントカウンタモードでは“0”にしてください		RW
TCK0	カウント動作タイプ選択ビット	0: リロードタイプ 1: フリーランタイプ	RW
TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可		RW

MR1 (カウント極性選択ビット) (b3)

ONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。

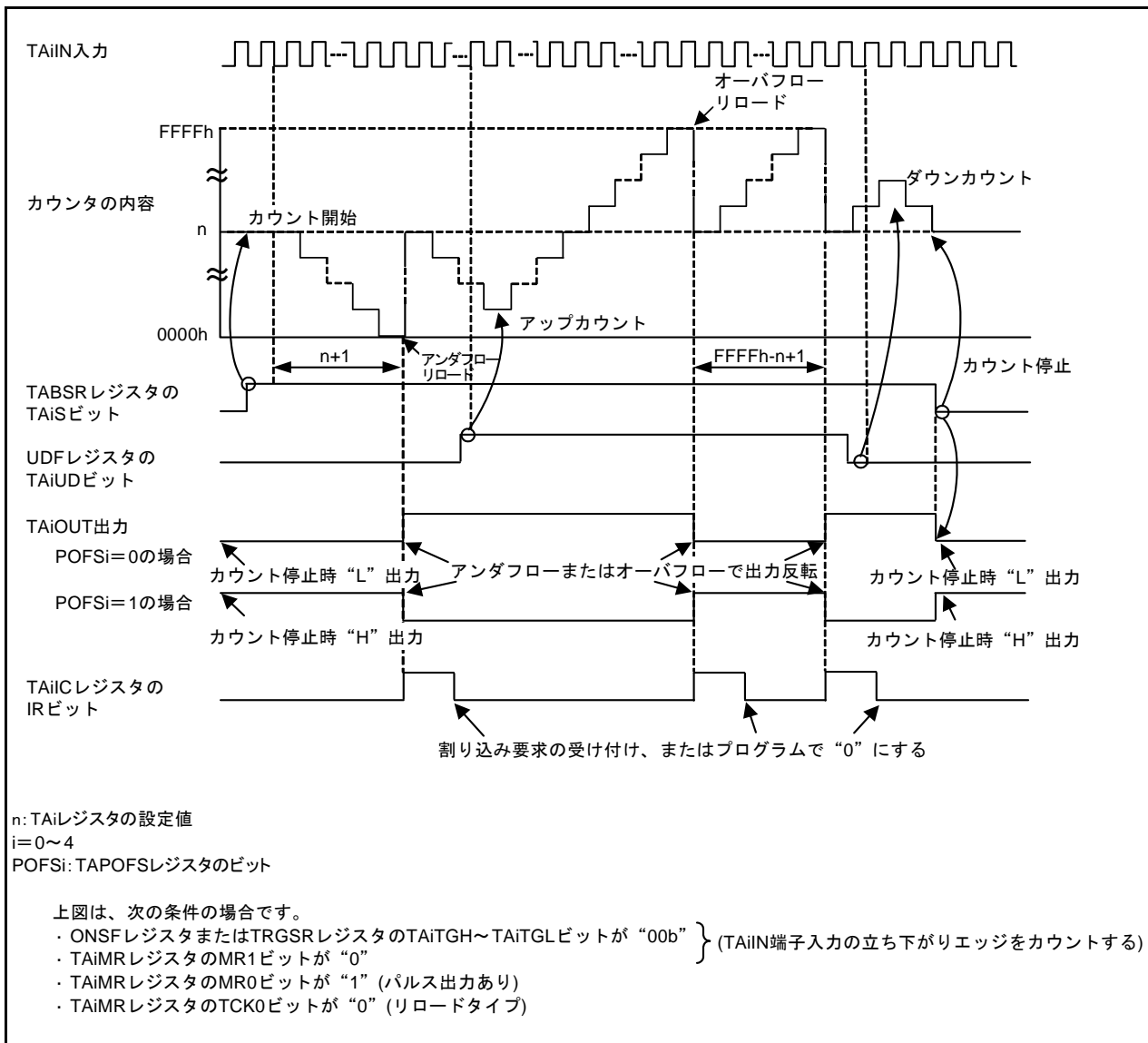


図 15.6 イベントカウンタモード時の動作例

15.3.4 イベントカウンタモード (二相パルス信号処理を使用する場合)

二相パルス信号をカウントするモードです。タイマA2、A3、A4が使用できます。表 15.10にイベントカウンタモードの仕様 (タイマA2、A3、A4で二相パルス信号処理を使用する場合)を、表 15.11にイベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値を示します。

表 15.10 イベントカウンタモードの仕様 (タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT 端子に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 • オーバフローまたはアンダフロー時は、リロードレジスタの値をリロードしてカウントを継続する。フリーランタイプ選択時は、リロードせずカウントを継続する。
カウント回数	リロードタイプ選択時 <ul style="list-style-type: none"> • アップカウント時 $FFFFh - n + 1$ • ダウンカウント時 $n + 1$ n: TAiレジスタの設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 通常処理動作、または4通倍処理動作を選択(タイマA3) • Z相入力によるカウンタ初期化(タイマA3) • Z相入力により、タイマのカウント値を“0”にする

i=2~4

表 15.11 イベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	-(設定しないでよい)
TAPOFS	POFSi	“0”にしてください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	タイマA3でZ相入力を使用するとき“1”にしてください
	TA0TGH~TA0TGL	-(設定しないでよい)
TRGSR	TAiTGH~TAiTGL	“00b”にしてください
UDF	TAiUD	“0”にしてください
	TAiP	“1”にしてください
TAi	15~0	カウント値を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=2~4

注1. この表は手順を示すものではありません。

イベントカウンタモード (二相パルス信号処理を使用する場合)
 タイマAiモードレジスタ (i=2~4)

ビット シンボル	ビット名	機 能	RW
シンボル TA2MR~TA4MR アドレス 0338h~033Ah番地 リセット後の値 00h			
b7			
b6			
b5	0		
b4	1		
b3	0		
b2	0		
b1	0		
b0	1		
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
TMOD1			RW
MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
TCK0	カウント動作タイプ選択ビット	0: リロードタイプ 1: フリーランタイプ	RW
TCK1	二相パルス処理動作選択ビット	0: 通常処理動作 1: 4週倍処理動作	RW

TCK1 (二相パルス処理動作選択ビット) (b7)

タイマA3は選択できます。このビットにかかわらずタイマA2は通常処理動作に、タイマA4は4週倍処理動作に固定です。

15.3.4.1 通常処理動作

TAjOUT 端子 (j=2, 3) の入力信号が“H”の期間、TAjIN 端子の立ち上がりをアップカウントし、立ち下がりをダウンカウントします。

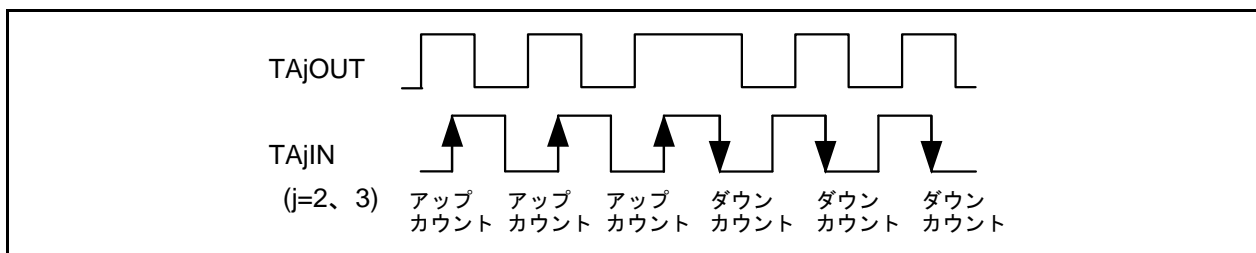


図 15.7 通常処理動作

15.3.4.2 4 通倍処理動作

TAKOUT 端子 (k=3, 4) の入力信号が“H”の期間に TAKIN 端子の入力信号が立ち上がる位相関係の場合、TAKOUT、TAKIN 端子の入力信号の立ち上がり、立ち下りをアップカウントします。TAKOUT 端子の入力信号が“H”の期間に TAKIN 端子の入力信号が立ち下がる位相関係の場合、TAKOUT、TAKIN 端子の入力信号の立ち上がり、立ち下りをダウンカウントします。

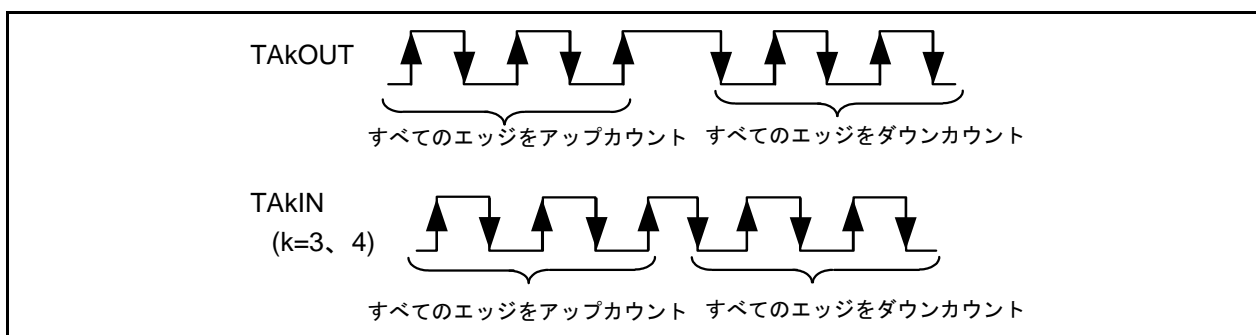


図 15.8 4 通倍処理動作

15.3.4.3 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0000h”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相はZP端子から入力します。

TA3レジスタに“0000h”を書き、ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。

カウンタの初期化はZ相の入力エッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期以上になるように入力してください。

カウンタは、Z相入力を受けた次のカウントタイミングで初期化されます。図15.9 二相パルス(A相、B相)とZ相の関係を示します。

タイマA3のオーバフローまたはアンダフローと、Z相入力によるカウンタ初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、この機能使用時はタイマA3割り込みを使用しないでください。

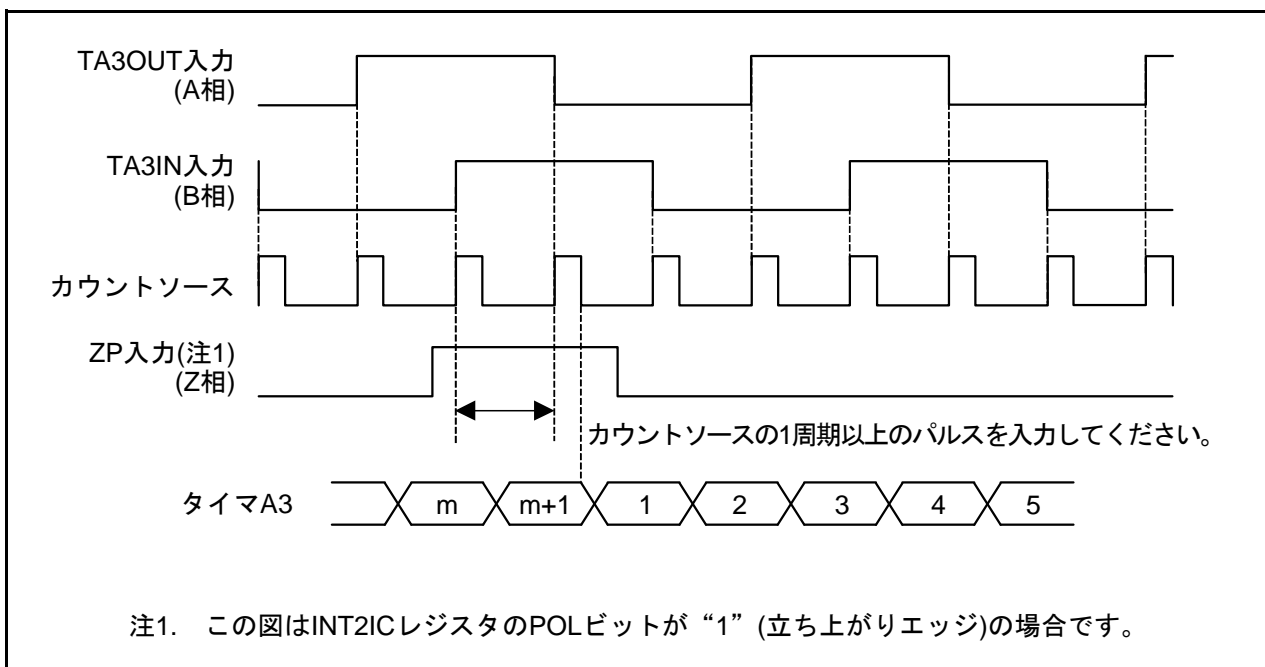
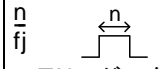


図 15.9 二相パルス(A相、B相)とZ相の関係

15.3.5 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです。トリガが発生するとその時点から任意の期間、タイマが動作します。表 15.12にワンショットタイマモードの仕様を、表 15.13にワンショットタイマモード時の使用レジスタと設定値を、図 15.10にワンショットタイマモード時の動作例を示します。

表 15.12 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • カウンタが“0000h”になるタイミングでリロードしてカウントを停止 • カウント中にトリガが発生した場合、リロードしてカウントを継続
パルス幅	 <p>n: TAIレジスタの設定値 0000h~FFFFh ただし、“0000h”を設定した場合、カウンタは動作しない fj: カウントソースの周波数</p>
カウント開始条件	TABSRレジスタのTAISビットが“1”(カウント開始)で、かつ次のトリガが発生 <ul style="list-style-type: none"> • TAIIN端子からの外部トリガ入力 • タイマB2のオーバフローまたはアンダフロー • タイマAjのオーバフローまたはアンダフロー (j = i - 1、ただしi=0のときj=4) • タイマAkのオーバフローまたはアンダフロー (k = i + 1、ただしi=4のときk=0) • ONSFレジスタのTAIOSビットを“1”(ワンショット開始)にする
カウント停止条件	<ul style="list-style-type: none"> • カウント値が“0000h”になりリロードした後 • TAI Sビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が“0000h”になるタイミング
TAIIN端子機能	入出力ポートまたはトリガ入力
TAIOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAIレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TAIレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中(ただし、1回目のカウントソース入力後) TAIレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力 • 出力極性制御 TAIOUT端子の出力極性を反転(TAISビットが“0”(カウント停止)の間は“H”を出力)

i=0~4

表 15.13 ワンショットタイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	TAiMRレジスタのMR0ビットが“1”(パルス出力あり)の場合、出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	-(設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	MR2ビットが“0”でカウントを開始するとき“1”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	“H”幅を設定してください(注2)
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

注2. TAPOFSレジスタのPOFSiビットが“0”の場合です。

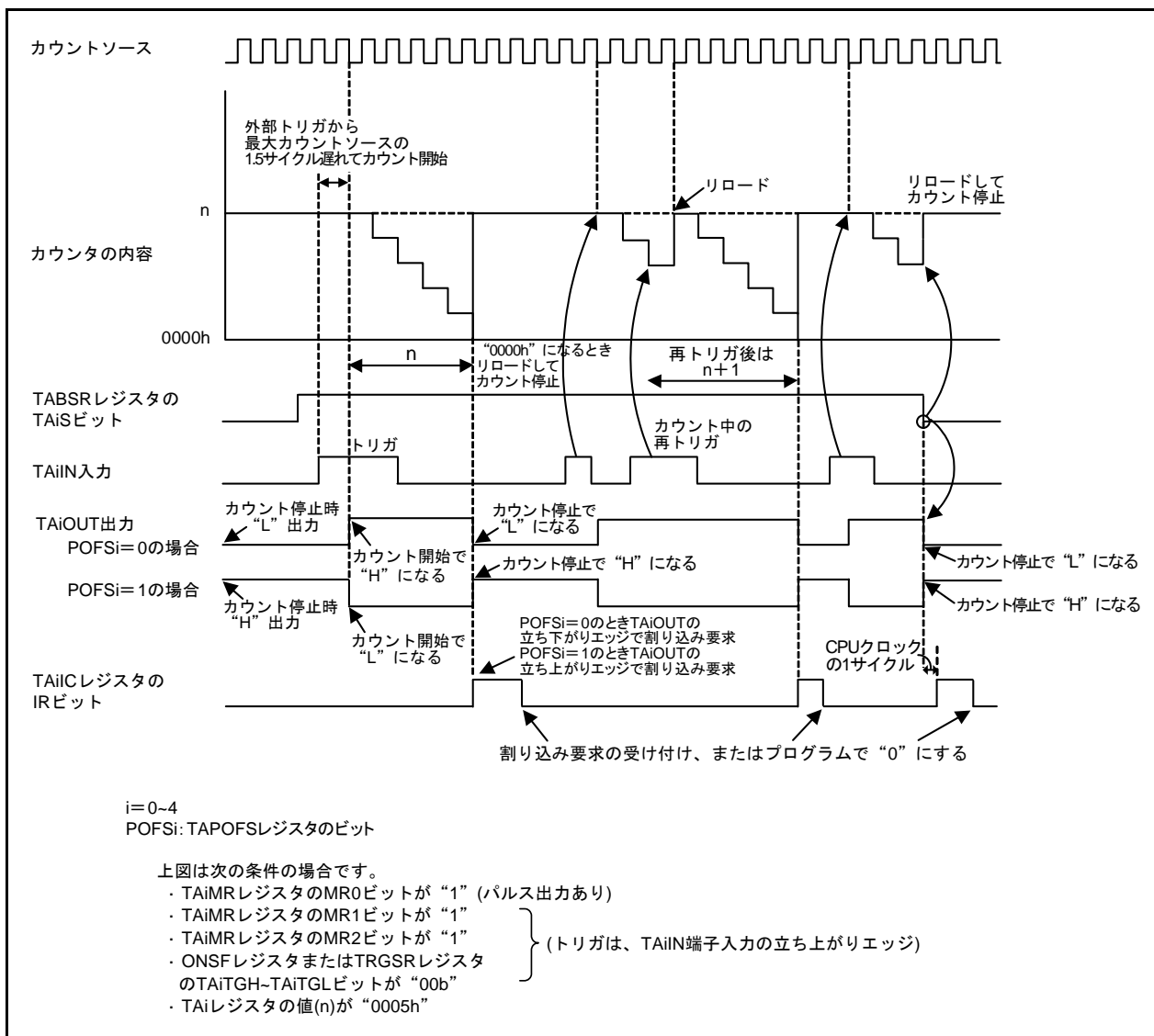
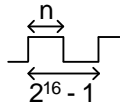
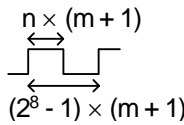


図 15.10 ワンショットタイマモード時の動作例

15.3.6 パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。表 15.14 にパルス幅変調モードの仕様を、表 15.15 にパルス幅変調モード時の使用レジスタと設定値を、図 15.11 に16ビットパルス幅変調モードの動作例を、図 15.12 に8ビットパルス幅変調モードの動作例を示します。

表 15.14 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) • PWMパルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> • パルス幅 $\frac{n}{f_j}$  <ul style="list-style-type: none"> • 周期 $\frac{(2^{16}-1)}{f_j}$ <p>n:TAiレジスタの設定値 fj:カウントソースの周波数</p>
8ビットPWM	<ul style="list-style-type: none"> • パルス幅 $\frac{n \times (m+1)}{f_j}$  <ul style="list-style-type: none"> • 周期 $\frac{(2^8-1) \times (m+1)}{f_j}$ <p>m:TAiレジスタの下位番地の設定値 n:TAiレジスタの上位番地の設定値 fj:カウントソースの周波数</p>
カウント開始条件	<ul style="list-style-type: none"> • TABSRレジスタのTAiSビットを“1”(カウント開始)にする • TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、 タイマAjのオーバフローまたはアンダフロー(j=i-1、ただしi=0のときj=4)、 タイマAkのオーバフローまたはアンダフロー(k=i+1、ただしi=4のときk=0)
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 出力極性制御 TAiOUT端子の出力極性を反転(TAiSビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

表 15.15 パルス幅変調モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“0”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	出力極性を選択してください
TAOW	TAiOW	“0”にしてください
TAi1	15~0	- (設定しないでよい)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	PWMのパルス幅、周期を設定してください
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=0~4

注1. この表は手順を示すものではありません。

パルス幅変調モード タイマAiモードレジスタ (i=0~4)							
シンボル TA0MR~TA4MR		アドレス 0336h~033Ah番地	リセット後の値 00h				
b7	b6	b5	b4	b3	b2	b1	b0
						1	1
ビット シンボル	ビット名	機能	RW				
TMOD0	動作モード選択ビット	b1 b0 1 1: パルス幅変調 (PWM)モード、または プログラマブル出力モード	RW				
			RW				
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW				
MR1	外部トリガ選択ビット	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり	RW				
MR2	トリガ選択ビット	0: TABSRレジスタのTAISビットへの“1”書き込み 1: TAiTGH~TAiTGLビットで選択	RW				
MR3	16/8ビットPWMモード選択 ビット	0: 16ビットPWMモード 1: 8ビットPWMモード	RW				
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW				
TCK1							

MR1 (外部トリガ選択ビット) (b3)

MR2 ビットが“1”、かつ ONSF レジスタまたは TRGSR レジスタの TAiTGH~TAiTGL ビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2 レジスタの TCS3 ビット、または TCS7 ビットが“0” (TCK0~TCK1 有効)の場合に有効。
f1TIMAB または f2TIMAB は、PCLKR レジスタの PCLK0 ビットで選択してください。

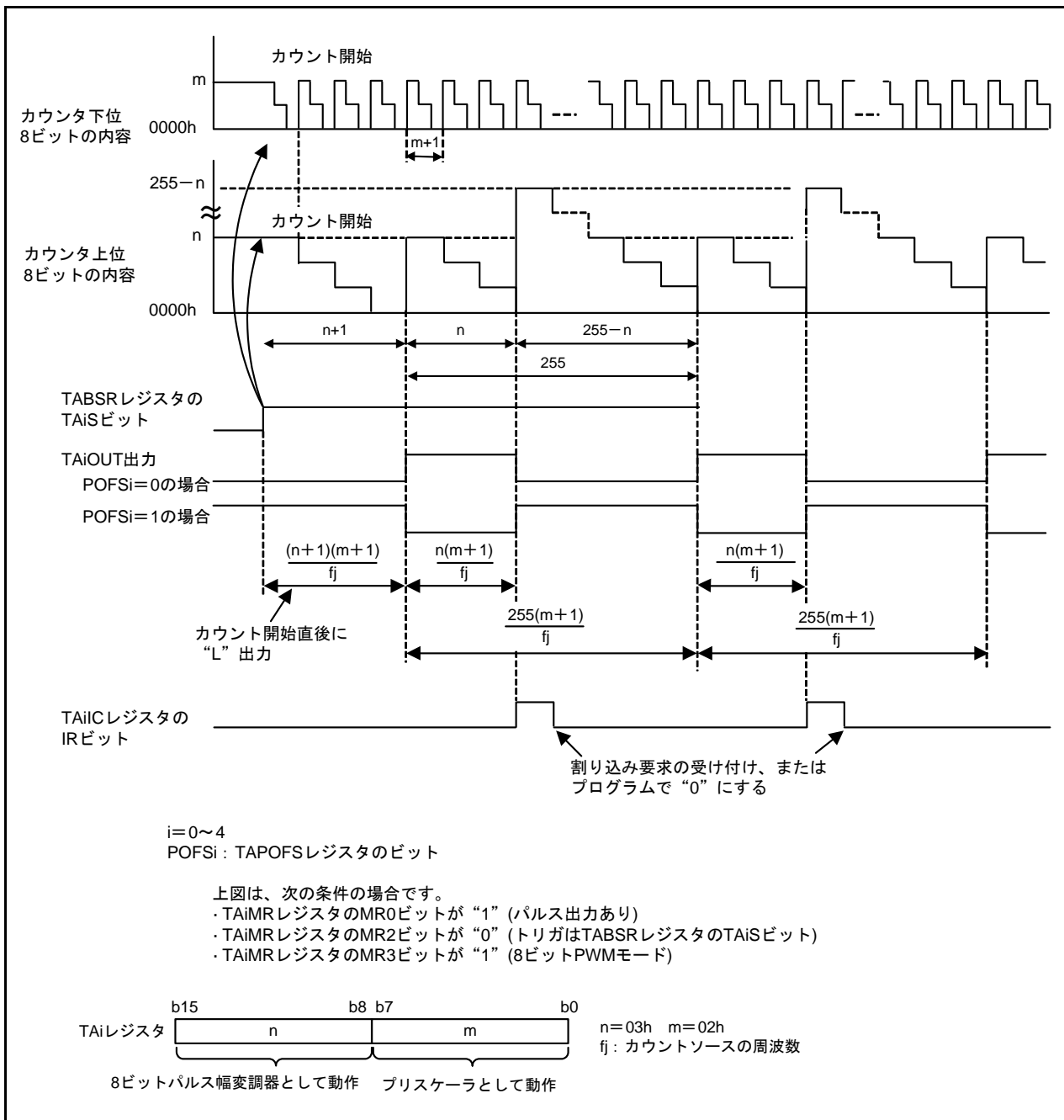
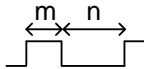


図 15.12 8ビットパルス幅変調モードの動作例

15.3.7 プログラマブル出力モード (タイマA1、A2、A4)

任意の“H”幅、“L”幅のパルスを連続して出力するモードです。表 15.16 にプログラマブル出力モードの仕様を、表 15.17 にプログラマブル出力モード時の使用レジスタと設定値を、図 15.13 にプログラマブル出力モード時の動作例を示します。

表 15.16 プログラマブル出力モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • パルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
パルス幅	<ul style="list-style-type: none"> • “H”幅 $\frac{m}{f_j}$  <ul style="list-style-type: none"> • “L”幅 $\frac{n}{f_j}$ <p>m:TAi レジスタの設定値 n:TAi1 レジスタの設定値 fj: カウントソースの周波数</p>
カウント開始条件	<ul style="list-style-type: none"> • TABSR レジスタのTAiS ビットを“1” (カウント開始)にする • TAiS ビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAiS ビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、 タイマAjのオーバフローまたはアンダフロー (j=i-1)、 タイマAkのオーバフローまたはアンダフロー (k=i+1、ただしi=4 のときk=0)
カウント停止条件	TAiS ビットを“0” (カウント停止)にする
割り込み要求発生タイミング	パルスの立ち上がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAi、TAi1 レジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTAi、TAi1 レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTAi、TAi1 レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • 出力極性制御 TAiOUT端子の出力極性を反転(TAiS ビットが“0” (カウント停止)の期間は“H”を出力)

i=1, 2, 4

表 15.17 プログラマブル出力モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
PWMFS	PWMFSi	“1”にしてください
TACS0~TACS2	7~0	カウントソースを選択してください
TAPOFS	POFSi	出力極性を選択してください
TAOW	TAiOW	出力波形の変更を禁止するとき“0”に、許可するとき“1”にしてください
TAi1	15~0	“L”幅を設定してください(注2)
TABSR	TAiS	カウント開始時“1”に、カウント停止時“0”にしてください
ONSF	TAiOS	“0”にしてください
	TAZIE	“0”にしてください
	TA0TGH~TA0TGL	カウントトリガを選択してください
TRGSR	TAiTGH~TAiTGL	カウントトリガを選択してください
UDF	TAiUD	“0”にしてください
	TAiP	“0”にしてください
TAi	15~0	“H”幅を設定してください(注2)
TAiMR	7~0	次のTAiMRレジスタを参照してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

注2. TAPOFSレジスタのPOFSiビットが“0”の場合です。

プログラマブル出力モード
タイマAiモードレジスタ(i=1, 2, 4)

ビット シンボル	シンボル TA0MR~TA4MR	アドレス 0336h~033Ah番地	リセット後の値 00h
b7 b6 b5 b4 b3 b2 b1 b0			
0 0 0 0 0 1 1			
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 1 1: パルス幅変調 (PWM)モード、または プログラマブル出力モード	RW
			RW
MR0	パルス出力機能選択 ビット	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット	0: TAiIN端子の入力信号の立ち下がり 1: TAiIN端子の入力信号の立ち上がり	RW
MR2	トリガ選択ビット	0: TABSRレジスタのTAISビットへの“1”書き込み 1: TAiTGH~TAiTGLビットで選択	RW
MR3	プログラマブル出力モードでは、“0”にしてください		RW
TCK0	カウントソース選択 ビット	b7 b6 0 0: f1TIMABまたはf2TIMAB 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
TCK1			

MR1 (外部トリガ選択ビット) (b3)

MR2ビットが“1”、かつONSFレジスタまたはTRGSRレジスタのTAiTGH~TAiTGLビットが“00b” (TAiIN端子の入力)のとき有効。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。
f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

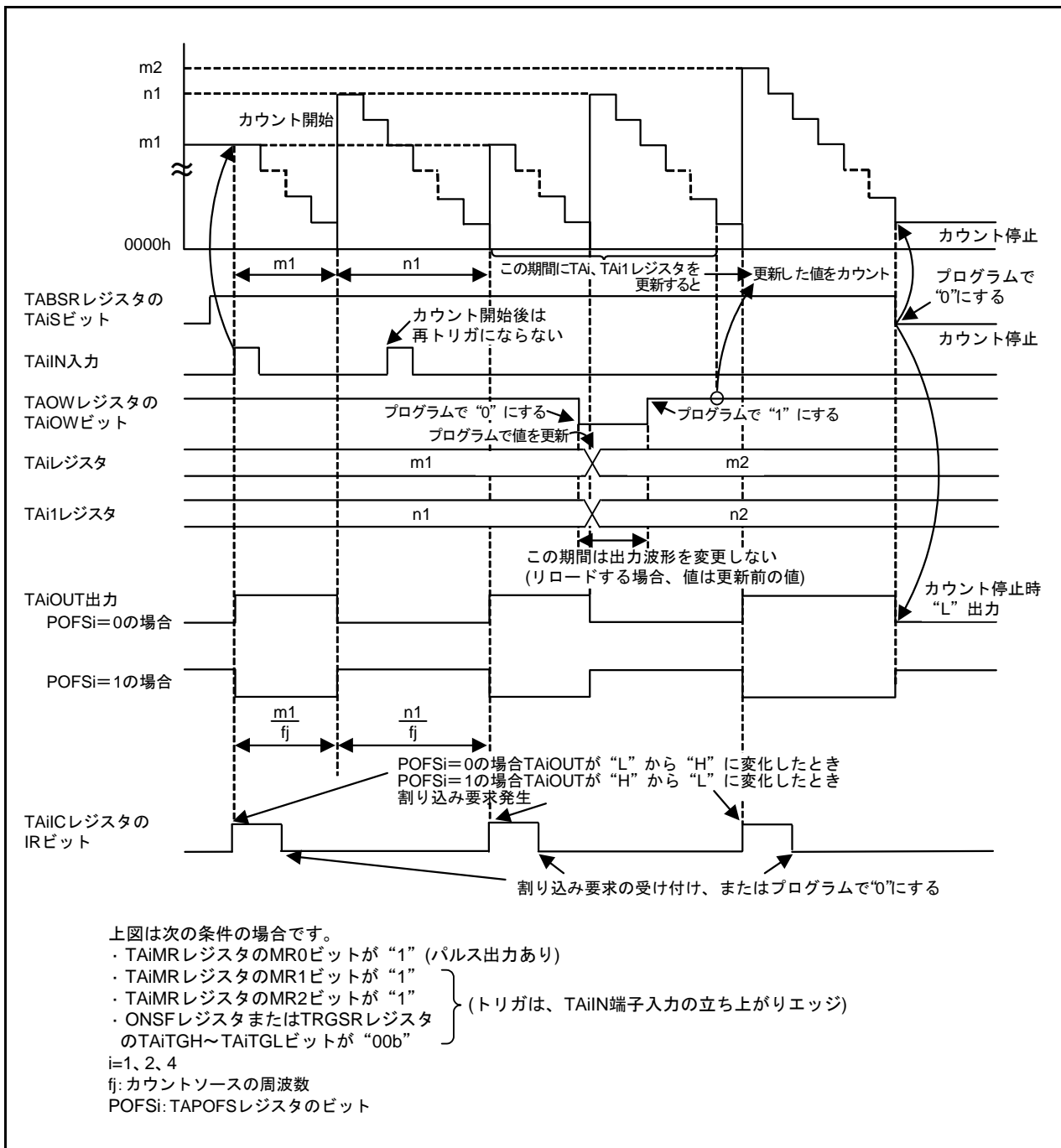


図 15.13 プログラマブル出力モード時の動作例

15.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 15.18にタイマAの割り込み関連レジスタを示します。

表 15.18 タイマAの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b

タイマAi割り込みでは、TAiMRレジスタのTMOD1ビットを“0”から“1”(タイマモードまたはイベントカウンタモードから、ワンショットタイマモード、PWMモードまたはプログラマブル出力モード)に変更すると、TAiICレジスタのIRビットが“1”(割り込み要求あり)になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「12.13 割り込み使用上の注意事項」も参照してください。

- (1)TAiICレジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする。
- (2)TAiMRレジスタを設定する。
- (3)TAiICレジスタのIRビットを“0”(割り込み要求なし)にする。

15.5 タイマA使用上の注意事項

15.5.1 複数モードに関わる共通事項

15.5.1.1 レジスタの設定

リセット後、タイマは停止しています。TAiMR (i=0~4)レジスタ、TAiレジスタ、TAi1レジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

また、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

15.5.1.2 イベントまたはトリガ

ONSFレジスタ、TRGSRレジスタのTAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TAiTGH~TAiTGLビットで選択したタイマのモードによっては、オーバフロー、アンダフロー以外の要因で割り込み要求が発生します。例えば、タイマB2のパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。詳細は各モードの仕様の表の「割り込み要求発生タイミング」を参照してください。

15.5.1.3 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

15.5.2 タイマA(タイマモード)

15.5.2.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

15.5.3 タイマA (イベントカウンタモード)

15.5.3.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

15.5.4 タイマA (ワンショットタイマモード)

15.5.4.1 カウントを中断した場合の状態

カウント中にTAiSビットを“0” (カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの値をリロードします。
- TAiOUT端子は、TAPOFSレジスタのPOFSiビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiCレジスタのIRビットが“1” (割り込み要求あり)になります。

15.5.4.2 外部トリガから出力開始までの遅延

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。

15.5.4.3 動作モードの変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

15.5.4.4 再トリガ

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

また、外部トリガの場合は、カウント値が“0000h”になる前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

15.5.5 タイマA (パルス幅変調モード)

15.5.5.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

15.5.5.2 カウントを中断した場合の状態

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

15.5.6 タイマA(プログラマブル出力モード)

15.5.6.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル入出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル入出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル入出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

15.5.6.2 カウントを中断した場合の状態

パルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

16. タイマB

16.1 概要

タイマBにはタイマB0~B2があります。すべてのタイマは独立して動作します。表 16.1にタイマBの仕様、図 16.1にタイマA、Bカウントソース、図 16.2にタイマB構成、図 16.3にタイマBブロック図、表 16.2に入出力端子を示します。

表 16.1 タイマBの仕様

項目	内容
構成	16ビットタイマ×3
動作モード	<ul style="list-style-type: none"> タイマモード 内部カウントソースをカウントするモード イベントカウンタモード 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード パルス周期測定モード、パルス幅測定モード 外部信号のパルス周期、またはパルス幅を測定するモード
割り込み要因	オーバフロー/アンダフロー/測定パルスの有効エッジ×3

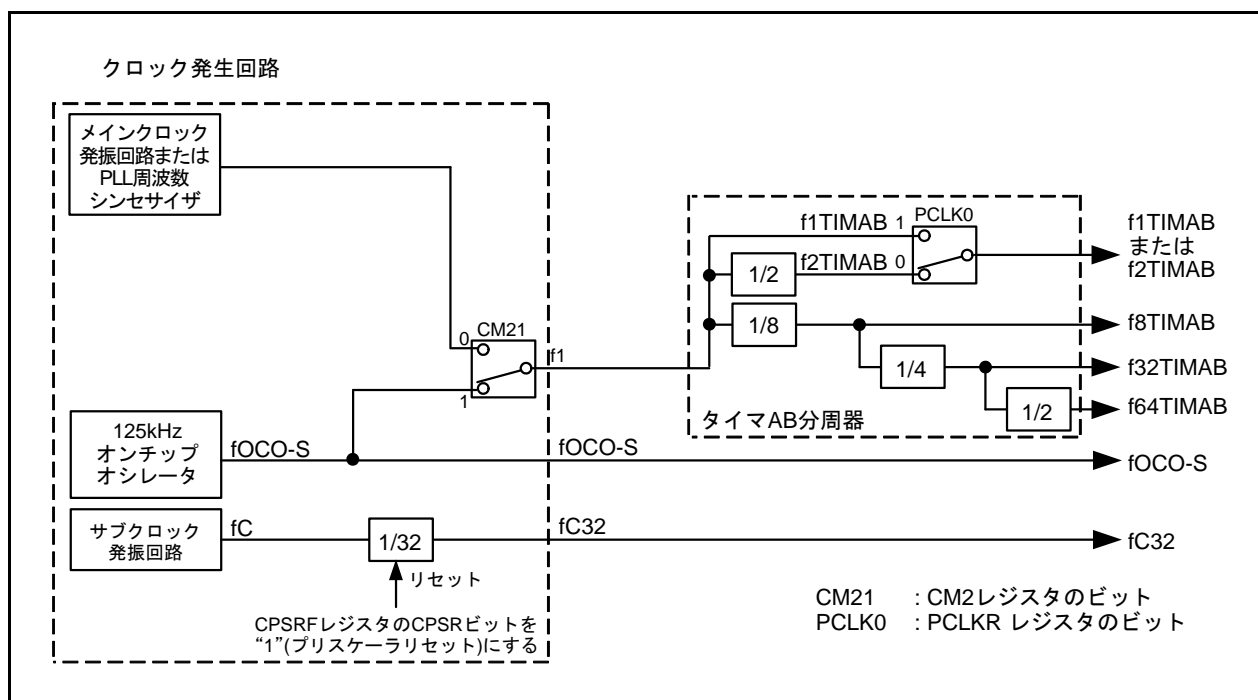


図 16.1 タイマA、Bカウントソース

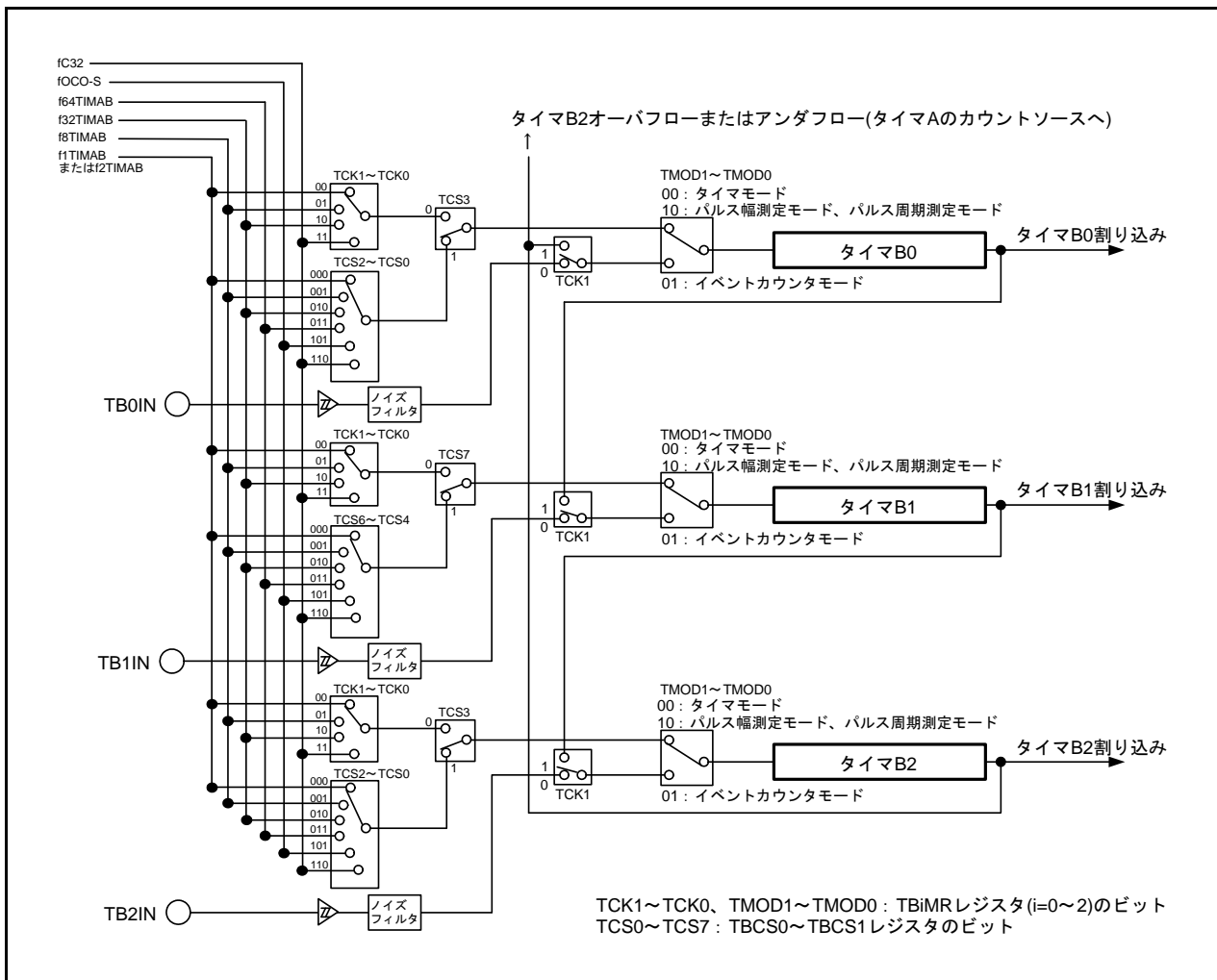


図 16.2 タイマB構成

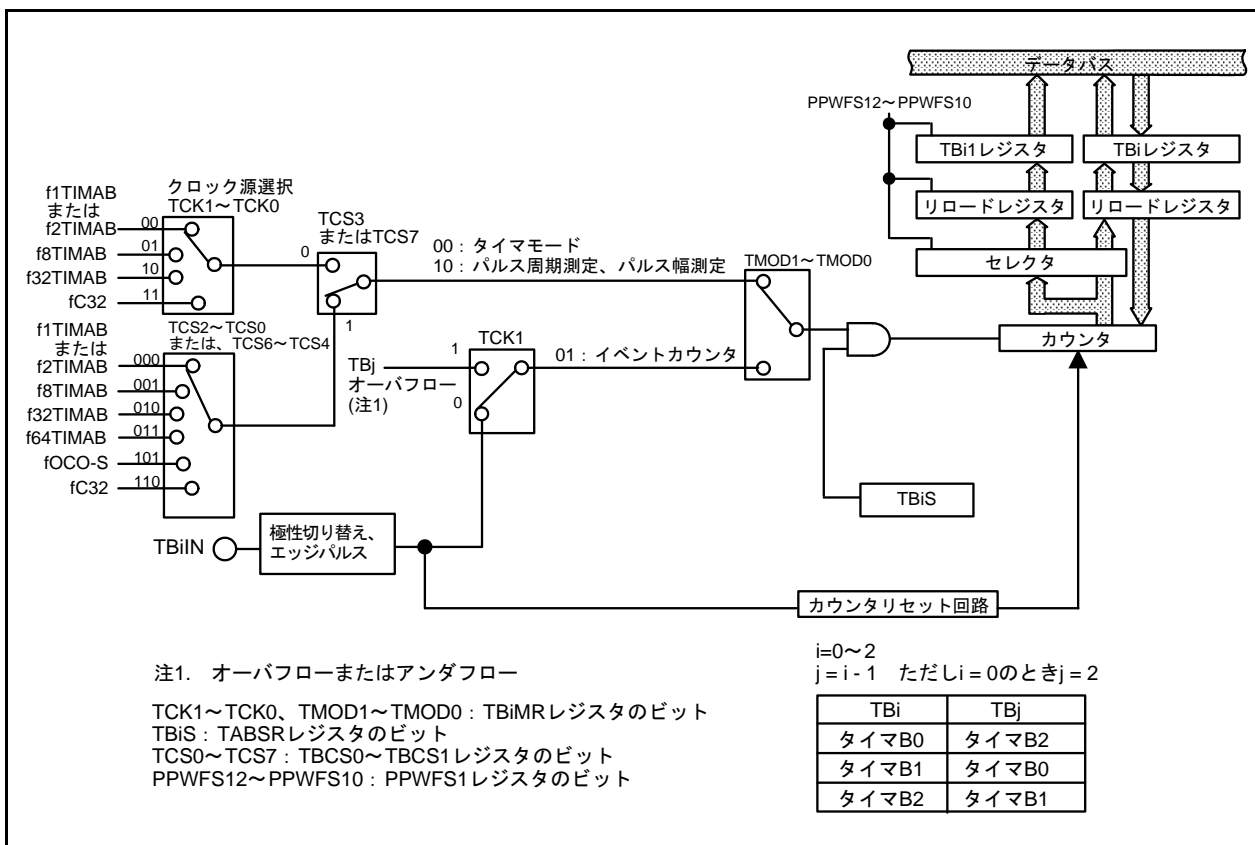


図 16.3 タイマBブロック図

表 16.2 入出力端子

端子名	入出力	機能
TBiIN	入力(注1)	カウントソース入力 (イベントカウンタモード) 測定パルス入力 (パルス周期測定モード、パルス幅測定モード)

i=0~2

注1. TBiIN端子を入力で使用する場合、端子を共用するポートの方向ビットを“0”(入力モード)にしてください。

16.2 レジスタの説明

タイマB関連レジスタを表 16.3レジスタ一覧に示します。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

表 16.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXXb
01C0h	タイマB0-1レジスタ	TB01	XXh
01C1h			XXh
01C2h	タイマB1-1レジスタ	TB11	XXh
01C3h			XXh
01C4h	タイマB2-1レジスタ	TB21	XXh
01C5h			XXh
01C6h	パルス周期/幅測定モード機能選択レジスタ1	PPWFS1	XXXX X000b
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	X0h
0320h	カウント開始フラグ	TABSR	00h
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
033Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b

16.2.1 周辺クロック選択レジスタ (PCLKR)

周辺クロック選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

シンボル
PCLKR

アドレス
0012h番地

リセット後の値
0000 0011b

ビットシンボル	ビット名	機能	RW
PCLK0	タイマA、B、S、マルチマスタI ² C-busインタフェースクロック選択ビット (タイマA、タイマB、短絡防止タイマ、タイマS、マルチマスタI ² C-busインタフェースのクロック源)	0 : f2TIMAB/f2IIC 1 : f1TIMAB/f1IIC	RW
PCLK1	SI/Oクロック選択ビット (UART0~UART4クロック源)	0 : f2SIO 1 : f1SIO	RW
— (b4-b2)	予約ビット	“0” にしてください	RW
PCLK5	クロック出力機能拡張ビット	0 : CM0レジスタのCM01~CM00ビットで選択 1 : f1を出力	RW
— (b7-b6)	予約ビット	“0” にしてください	RW

PCLKRレジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

16.2.2 時計用プリスケアラリセットフラグ(CPSRF)

時計用プリスケアラリセットフラグ

b7 b6 b5 b4 b3 b2 b1 b0

X	X	X	X	X	X	X	X
---	---	---	---	---	---	---	---

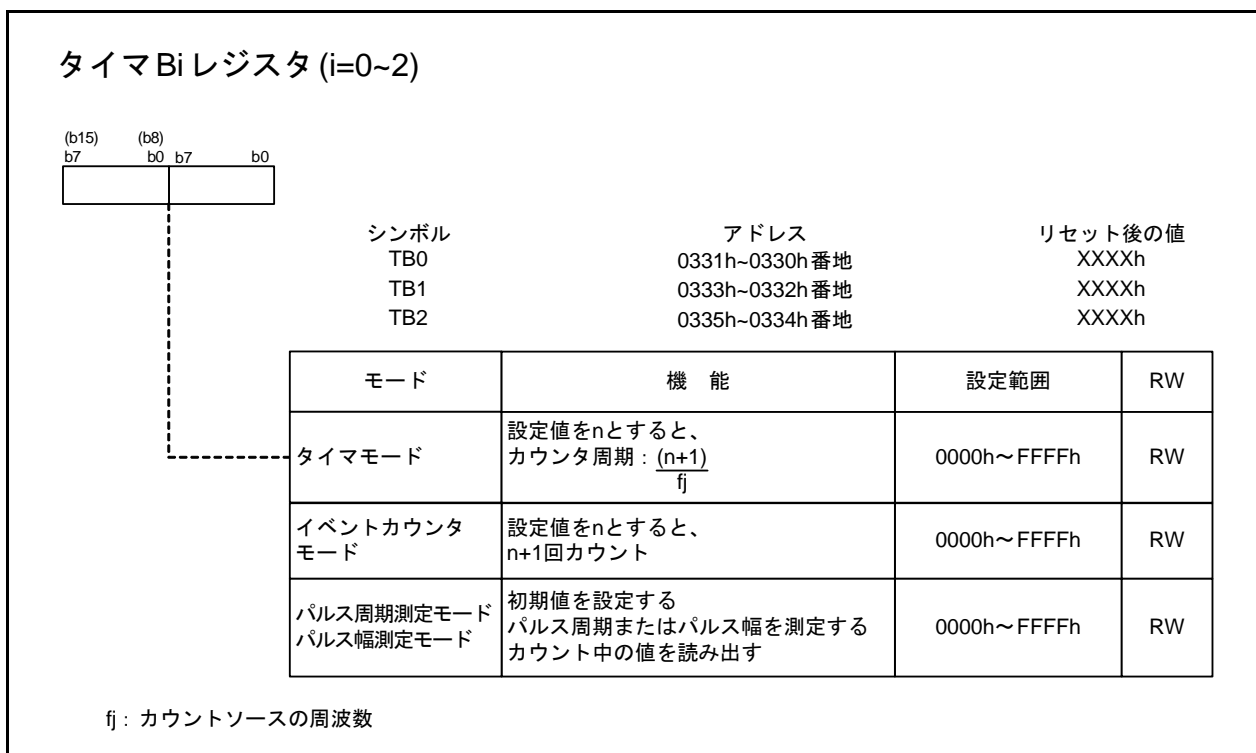
シンボル
CPSRF

アドレス
0015h番地

リセット後の値
0XXX XXXXb

ビットシンボル	ビット名	機能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される。(読んだ場合、その値は“0”)	RW

16.2.3 タイマBiレジスタ (TBi) (i=0~2)



16ビット単位でアクセスしてください。

イベントカウンタモード

外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

パルス周期測定モード、パルス幅測定モード

TABSRレジスタのTBSビットが“0” (カウント停止)のときに設定してください。

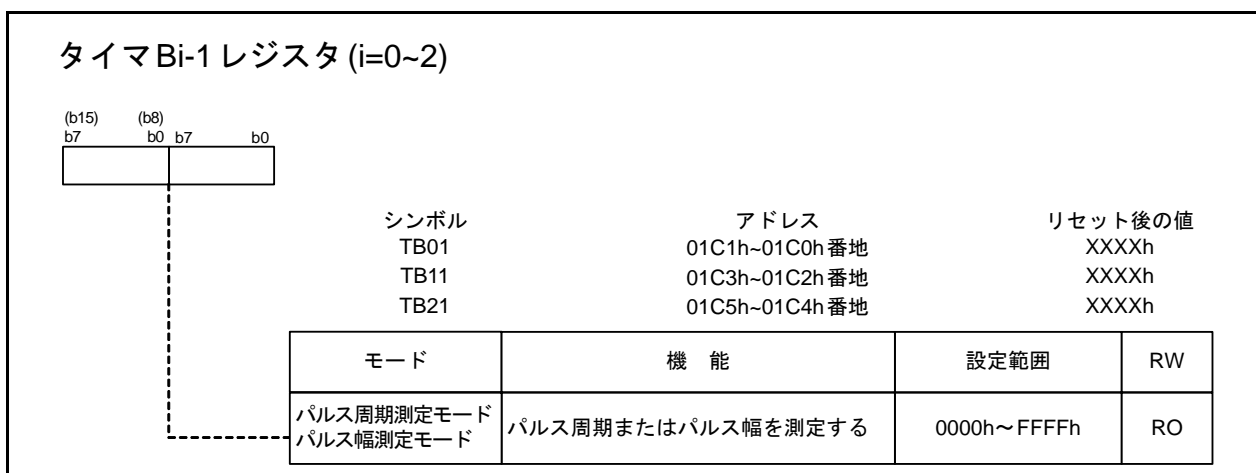
TABSRレジスタのTBSビットが“1” (カウント開始)のときはROになります。

カウンタは測定パルスの有効エッジからカウントソースのカウントを開始し、次の有効エッジでカウント値をレジスタに転送し、カウントを続けます。

PPWFS1レジスタのPPWFS12~PPWFS10ビットが“0”のとき、TBSレジスタを読むと測定結果が読み出せます。

PPWFS12~PPWFS10ビットが“1”のとき、TBSレジスタを読むとカウント中のカウンタの値が読み出せます。

16.2.4 タイマBi-1レジスタ (TBSi) (i=0~2)



16ビット単位でアクセスしてください。

PPWFS1レジスタのPPWFS12~PPWFS10ビットが“1”のとき、TBSiレジスタを読むと測定結果が読み出せます。

PPWFS12~PPWFS10ビットが“0”のとき、TBSiレジスタの値は不定です。

16.2.5 パルス周期/幅測定モード機能選択レジスタ1 (PPWFS1)

パルス周期／幅測定モード機能選択レジスタ1

ビット シンボル	ビット名	機 能	RW
PPWFS10	タイマB0パルス周期／ 幅測定モード機能選択ビット	0: TB0レジスタに測定結果格納、 TB01レジスタを使わない 1: TB0レジスタでカウント値読み出し、 TB01レジスタに測定結果格納	RW
PPWFS11	タイマB1パルス周期／ 幅測定モード機能選択ビット	0: TB1レジスタに測定結果格納、 TB11レジスタを使わない 1: TB1レジスタでカウント値読み出し、 TB11レジスタに測定結果格納	RW
PPWFS12	タイマB2パルス周期／ 幅測定モード機能選択ビット	0: TB2レジスタに測定結果格納、 TB21レジスタを使わない 1: TB2レジスタでカウント値読み出し、 TB21レジスタに測定結果格納	RW
— (b7-b3)	何も配置されていない。書く場合、0を書いてください。 読んだ場合、その値は不定。		—

シンボル: PPWFS1
アドレス: 01C6h番地
リセット後の値: XXXX X000b

パルス周期測定モードまたはパルス幅測定モードのとき有効です。

16.2.6 タイマBカウントソース選択レジスタ*i* (TBCSi) (*i*=0~1)

タイマBカウントソース選択レジスタ0				
b7 b6 b5 b4 b3 b2 b1 b0	シンボル TBCS0	アドレス 01C8h番地	リセット後の値 00h	
	ビット シンボル	ビット名	機能	RW
	TCS0	TB0カウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB 0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB	RW
	TCS1		1 0 0: 設定しないでください 1 0 1: fOCO-S	RW
	TCS2		1 1 0: fC32 1 1 1: 設定しないでください	RW
	TCS3	TB0カウントソース選択肢指定ビット	0: TCK0~TCK1有効、TCS0~TCS2無効 1: TCK0~TCK1無効、TCS0~TCS2有効	RW
	TCS4	TB1カウントソース選択ビット	b6 b5 b4 0 0 0: f1TIMABまたはf2TIMAB 0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB	RW
	TCS5		1 0 0: 設定しないでください 1 0 1: fOCO-S	RW
	TCS6		1 1 0: fC32 1 1 1: 設定しないでください	RW
	TCS7	TB1カウントソース選択肢指定ビット	0: TCK0~TCK1有効、TCS4~TCS6無効 1: TCK0~TCK1無効、TCS4~TCS6有効	RW

タイマBカウントソース選択レジスタ1				
b7 b6 b5 b4 b3 b2 b1 b0	シンボル TBCS1	アドレス 01C9h番地	リセット後の値 X0h	
	ビット シンボル	ビット名	機能	RW
	TCS0	TB2カウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB 0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB	RW
	TCS1		1 0 0: 設定しないでください 1 0 1: fOCO-S	RW
	TCS2		1 1 0: fC32 1 1 1: 設定しないでください	RW
	TCS3	TB2カウントソース選択肢指定ビット	0: TCK0~TCK1有効、TCS0~TCS2無効 1: TCK0~TCK1無効、TCS0~TCS2有効	RW
	— (b7-b4)	何も配置されていない。 書く場合0を書いてください。読んだ場合、その値は不定。		—

TCS2~TCS0 (TB*i*カウントソース選択ビット) (b2~b0)TCS6~TCS4 (TB*j*カウントソース選択ビット) (b6~b4)

f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

16.2.7 カウント開始フラグ (TABSR)

カウント開始フラグ

シンボル TABSR	アドレス 0320h番地	リセット後の値 00h	
b7 b6 b5 b4 b3 b2 b1 b0			
ビット シンボル	ビット名	機能	RW
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

16.2.8 タイマBiモードレジスタ (TBiMR) (i=0~2)

タイマBiモードレジスタ (i=0~2)

シンボル TB0MR~TB2MR	アドレス 033Bh~033Dh番地	リセット後の値 00XX 0000b	
b7 b6 b5 b4 b3 b2 b1 b0			
ビット シンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0: タイマモード 0 1: イベントカウンタモード	RW
TMOD1		1 0: パルス周期測定モード、 パルス幅測定モード 1 1: 設定しないでください	RW
MR0	動作モードによって機能が異なる		RW
MR1			RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	動作モードによって機能が異なる。		RO
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		RW
TCK1			RW

16.3 動作説明

16.3.1 複数モードに関わる共通事項

16.3.1.1 動作クロック

タイマのカウンタソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

16.3.1.2 カウンタリロードタイミング

タイマBiはT_{Bi}レジスタに設定された値(nとします)からカウントを開始します。T_{Bi}レジスタは、カウンタとリロードレジスタから成ります。ダウンカウントの場合、カウンタはnからカウントソースをダウンカウントします。そして、“0000h”になった次のカウントソースで、リロードレジスタの値をリロードし、ダウンカウントを続けます。

T_{Bi}レジスタに書いた値は次のタイミングで、カウンタ、リロードレジスタに反映されます。

- カウントを停止しているとき
- カウントを開始してから最初のカウントソースが入力されるまで
T_{Bi}レジスタに値を書き込むと、すぐにカウンタとリロードレジスタの両方に書き込まれる。
- カウントを開始して最初のカウントソースが入力された後
T_{Bi}レジスタに値を書き込むと、すぐにリロードレジスタに書き込まれる。
カウンタはカウント中の値を引き続きカウントし、“0000h”になった次のカウントソースでリロードレジスタの値をリロードする。

16.3.1.3 カウントソース

タイマモード、パルス周期測定モード、パルス幅測定モードでは、内部のクロックをカウントします(「図 16.1 タイマA、Bカウントソース」参照)。表 16.4にタイマBカウントソースを示します。

f1は次のいずれかです。(「8. クロック発生回路」参照)

- メインクロックの1分周(分周なし)
- PLLクロックの1分周(分周なし)
- fOCO-Sの1分周(分周なし)

表 16.4 タイマBカウントソース

カウントソース	ビットの設定値				備考
	PCLK0	TCS3 TCS7	TCS2~TCS0 TCS6~TCS4	TCK1~TCK0	
f1TIMAB	1	0 1	— 000b	00b —	f1
f2TIMAB	0	0 1	— 000b	00b —	f1の2分周
f8TIMAB	—	0 1	— 001b	01b —	f1の8分周
f32TIMAB	—	0 1	— 010b	10b —	f1の32分周
f64TIMAB	—	1	011b	—	f1の64分周
fOCO-S	—	1	101b	—	fOCO-S
fC32	—	0 1	— 110b	11b —	fC32

PCLK0: PCLKRレジスタのビット

TCS7~TCS0: TBCS0~TBCS1レジスタのビット

TCK1~TCK0: TBIMR (i=0~2)レジスタのビット

16.3.2 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 16.5にタイマモードの仕様、表 16.6にタイマモード時の使用レジスタと設定値、図 16.4にタイマモード時の動作例を示します。

表 16.5 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの値をリロードしてカウントを継続
カウンタ周期	$\frac{1}{(n+1)}$ n: TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i=0~2

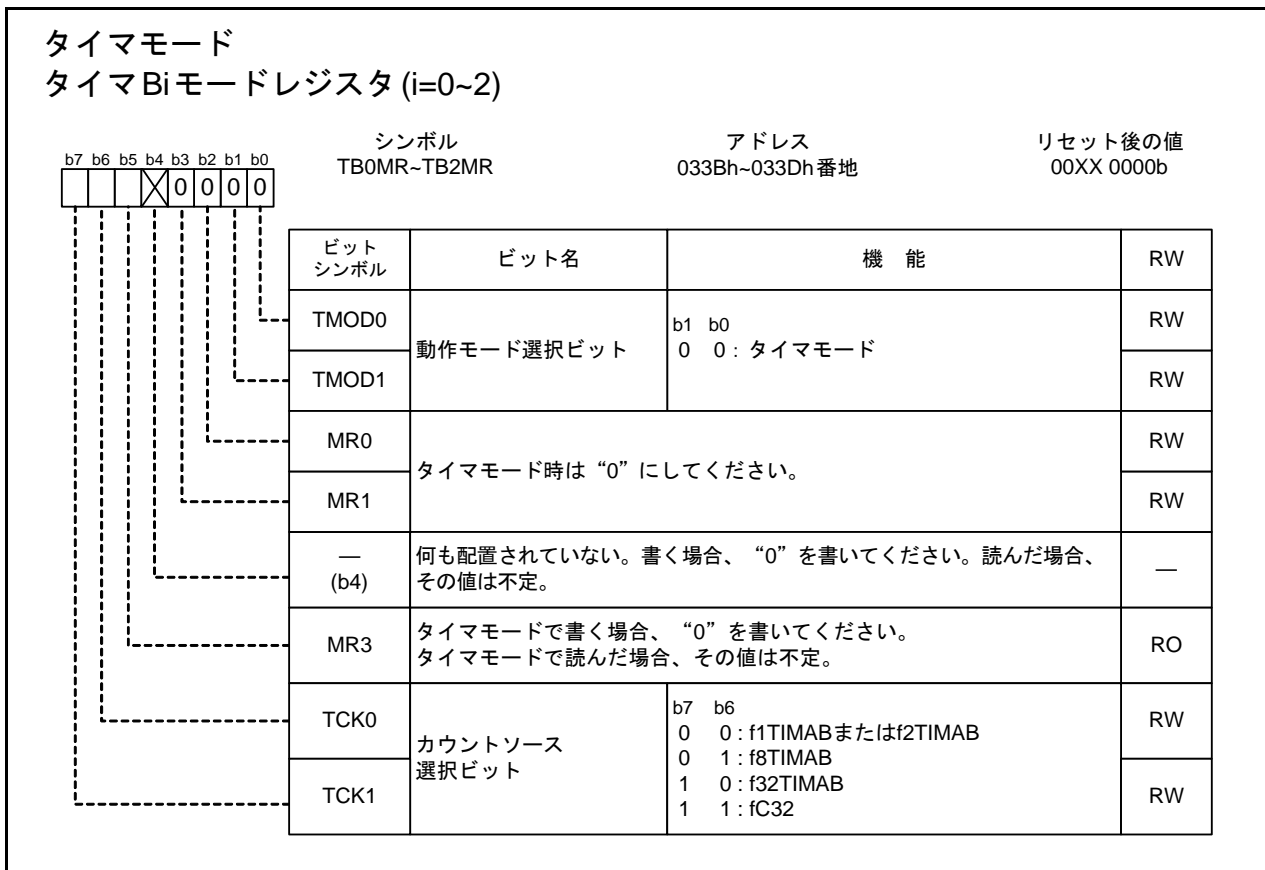
TBiS: TABSRレジスタのビット

表 16.6 タイマモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TBi1	15~0	-(設定しないでよい)
PPWFS1	PPWFS12~ PPWFS10	“0”にしてください
TBCS0~TBCS1	7~0	カウントソースを選択してください
TABSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	カウント値を設定してください
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~2

注1. この表は手順を示すものではありません。



TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TBCS0~TBCS1レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

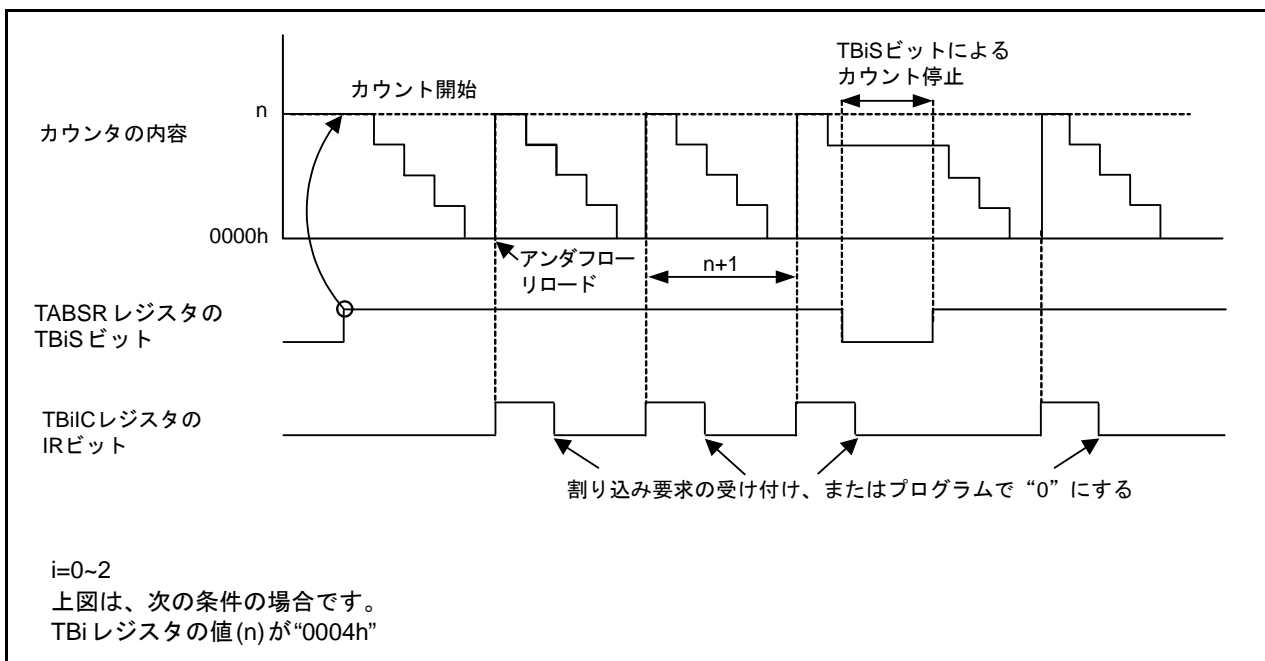


図 16.4 タイマモード時の動作例

16.3.3 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。表 16.7 にイベントカウンタモードの仕様、表 16.8 にイベントカウンタモード時の使用レジスタと設定値、図 16.5 にイベントカウンタモード時の動作例を示します。

表 16.7 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TBiIN端子に入力された外部信号(カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可) • タイマBjのオーバフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時は、リロードレジスタの値をリロードしてカウントを継続
カウント回数	$\frac{1}{(n+1)}$ n: TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i=0~2 j=i-1、ただしi=0のときj=2

TBiS: TABSRレジスタのビット

表 16.8 イベントカウンタモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	-(設定しないでよい)
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TBi1	15~0	-(設定しないでよい)
PPWFS1	PPWFS12~ PPWFS10	“0”にしてください
TBCS0~TBCS1	7~0	-(設定しないでよい)
TABSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	カウント値を設定してください
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~2

注1. この表は手順を示すものではありません。

イベントカウンタモード タイマBiモードレジスタ (i=0~2)		シンボル TB0MR~TB2MR	アドレス 033Bh~033Dh 番地	リセット後の値 00XX 0000b
ビット シンボル	ビット名	機 能		RW
TMOD0	動作モード選択ビット	b1 b0	0 1: イベントカウンタモード	RW
TMOD1				RW
MR0	カウント極性選択ビット	b3 b2	0 0: 外部信号の立ち下がりカウント 0 1: 外部信号の立ち上がりカウント 1 0: 外部信号の立ち上がり立ち下がり カウント 1 1: 設定しないでください	RW
MR1				RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。			—
MR3	イベントカウンタモードで書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。			RO
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。			RW
TCK1	イベントクロック選択 ビット	0: TBiN端子からの入力 1: タイマBj (j=i-1 ただしi=0のときj=2)		RW

MR1~MR0 (カウント極性選択ビット) (b3~b2)

TCK1 ビットが“0” (TBiN 端子からの入力) の場合に有効です。TCK1 ビットが“1” (タイマBj) の場合は、“0”でも“1”でも可。

TCK1 (イベントクロック選択ビット) (b7)

TCK1 ビットが“1”の場合、タイマBj (j=i-1 ただしi=0のときj=2) の割り込み要求発生タイミングで、イベントが発生します (IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントは発生します)。

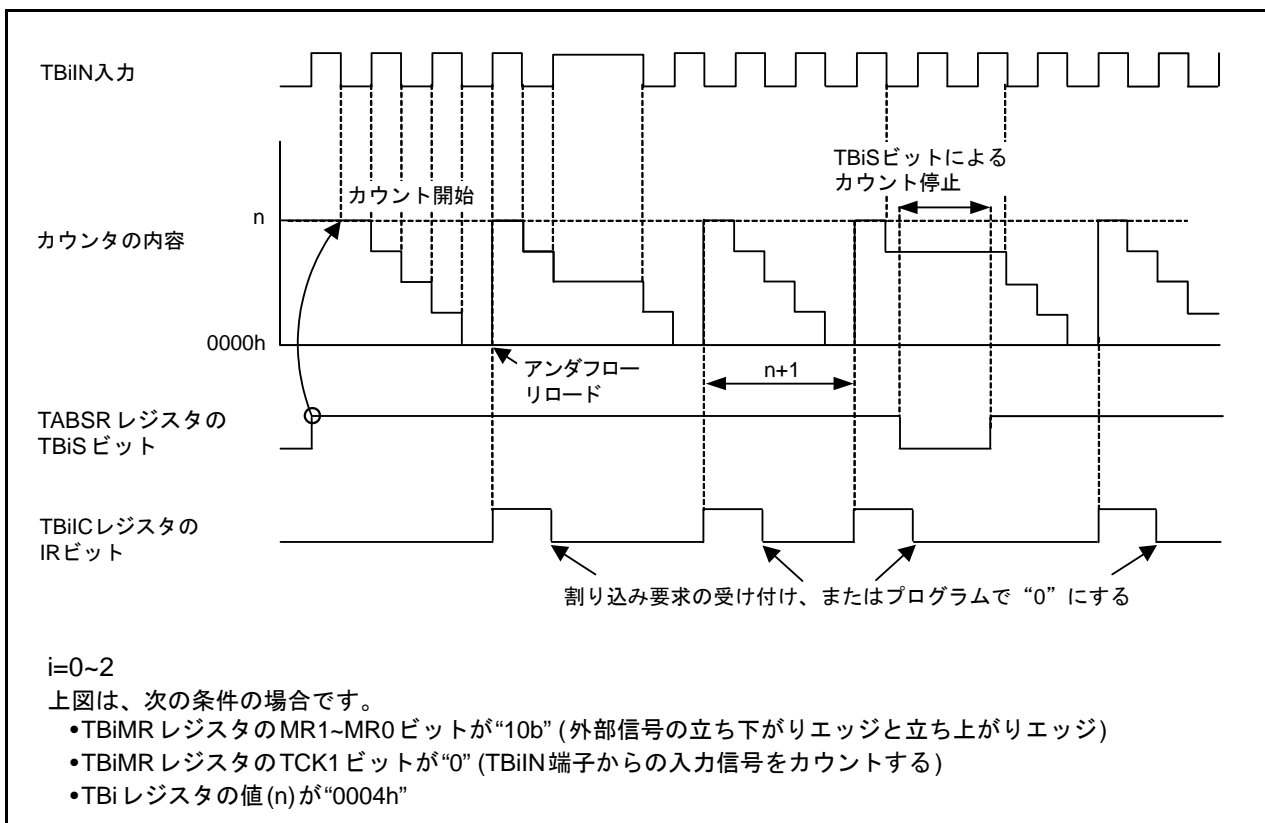


図 16.5 イベントカウンタモード時の動作例

16.3.4 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。表 16.9にパルス周期測定モード、パルス幅測定モードの仕様、表 16.10にパルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値、図 16.6にパルス周期測定モード時の動作図、図 16.7にパルス幅測定モード時の動作図を示します。

表 16.9 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	<ul style="list-style-type: none"> • アップカウント • 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TBiSビットを“1” (カウント開始)にする
カウント停止条件	TBiSビットを“0” (カウント停止)にする
割り込み要求発生タイミング (注3)	<ul style="list-style-type: none"> • 測定パルスの有効エッジ入力時(注1) • オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが“1” (オーバフローあり)になる。
TBiIN端子機能	測定パルス入力
タイマの読み出し	PPWFS1レジスタのPPWFS12~PPWFS10ビットが“0”の場合 TBiレジスタを読むと、リロードレジスタの値(測定結果)が読める(注2) PPWFS1レジスタのPPWFS12~PPWFS10ビットが“1”の場合 TBiレジスタを読むとカウンタの値(カウント中の値)が読める。 TBi1レジスタを読むと、リロードレジスタの値(測定結果)が読める
タイマの書き込み	カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる

i=0~2

TBiS: TABSRレジスタのビット

- 注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。
- 注2. カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。
- 注3. タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

表 16.10 パルス周期測定モード、パルス幅測定モード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能、設定値
PCLKR	PCLK0	カウントソースを選択してください
CPSRF	CPSR	時計用プリスケアラをリセットするとき“1”を書いてください
TBi1	15~0	タイマBiに対応するPPWFS1レジスタのビットが“1”のとき、測定結果が読み出せます
PPWFS1	PPWFS12~PPWFS10	カウント中のカウンタ値を読む場合、“1”にしてください
TBCS0~TBCS1	7~0	カウントソースを選択してください
TABSR	TBiS	カウント開始時“1”に、カウント停止時“0”にしてください
TBi	15~0	初期値を設定してください。 タイマBiに対応するPPWFS1レジスタのビットが“0”の場合、測定結果が読み出せます。 タイマBiに対応するPPWFS1レジスタのビットが“1”の場合、カウント中のカウンタ値が読み出せます
TBiMR	7~0	次のTBiMRレジスタを参照してください

i=0~2

注1. この表は手順を示すものではありません。

パルス周期測定モード、パルス幅測定モード
タイマBiモードレジスタ (i=0~2)

シンボル
TB0MR~TB2MR

アドレス
033Bh~033Dh番地

リセット後の値
00XX 0000b

ビット シンボル	ビット名	機能	RW	
b7	TMOD0	動作モード選択ビット	b1 b0 1 0 : パルス周期測定モード、パルス幅測定モード	RW
b6				RW
b5	MR0	測定モード選択ビット	b3 b2 0 0 : パルス周期測定 (測定/パルスの立ち下がりから次の立ち下がり間の測定) 0 1 : パルス周期測定 (測定/パルスの立ち上がりから次の立ち上がり間の測定) 1 0 : パルス幅測定 (測定/パルスの立ち下がりから次の立ち上がり間の測定と立ち上がりから次の立ち下がり間の測定) 1 1 : 設定しないでください	RW
b4				RW
b3	— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。	—	—
b2	MR3	タイマBiオーバフローフラグ	0 : オーバフローなし 1 : オーバフローあり	RO
b1	TCK0	カウントソース選択ビット	b7 b6 0 0 : f1TIMABまたはf2TIMAB 0 1 : f8TIMAB 1 0 : f32TIMAB 1 1 : fC32	RW
b0				RW

MR3 (タイマBiオーバフローフラグ) (b5)

リセット後は不定です。T*Bi*MRレジスタに書くと、MR3ビットは“0” (オーバフローなし) になります。MR3ビットをプログラムで“1”にできません。

TCK1~TCK0 (カウントソース選択ビット) (b7~b6)

TBCS0~TBCS1レジスタのTCS3ビット、またはTCS7ビットが“0” (TCK0~TCK1有効)の場合に有効。f1TIMABまたはf2TIMABは、PCLKRレジスタのPCLK0ビットで選択してください。

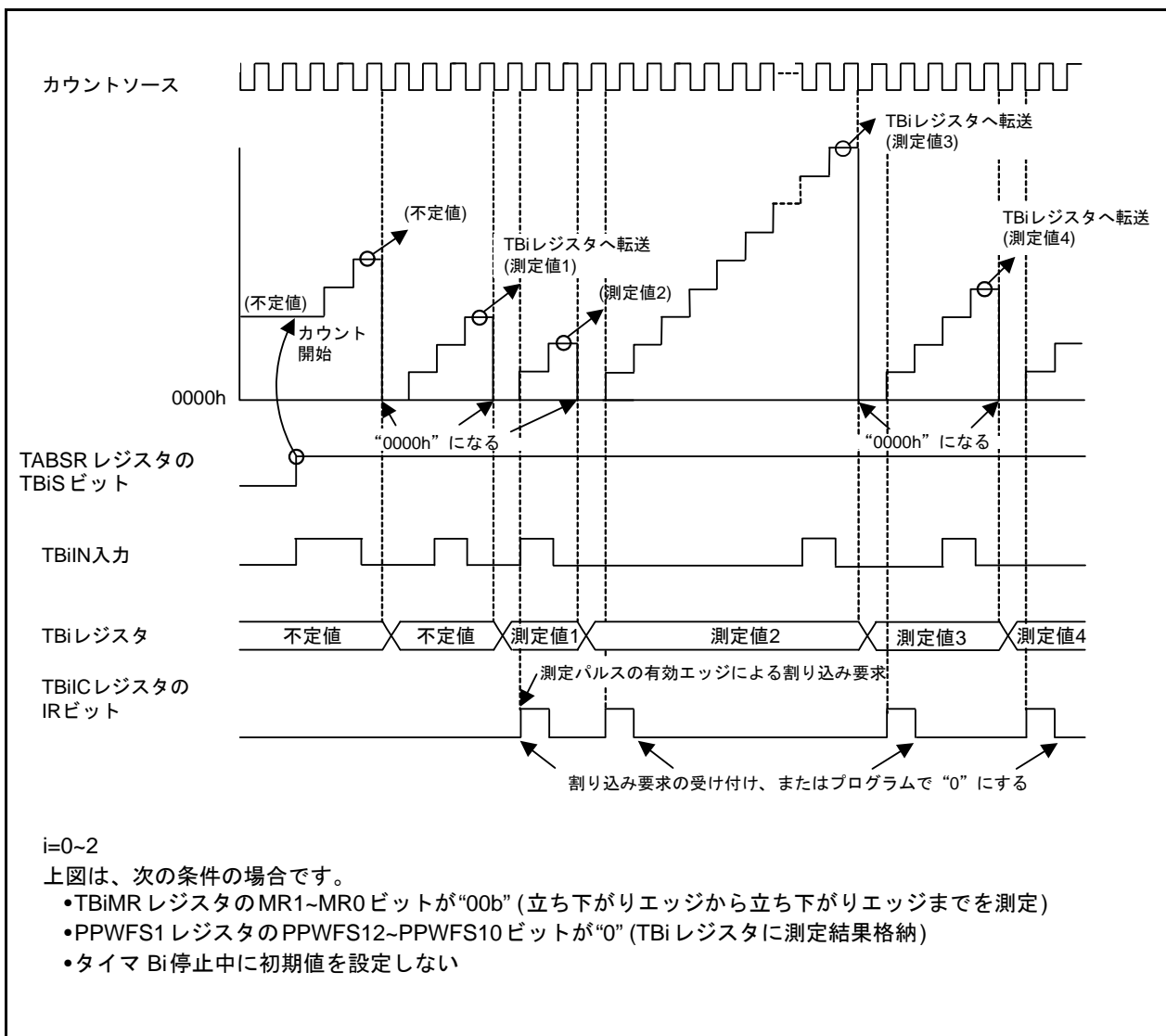


図 16.6 パルス周期測定モード時の動作図

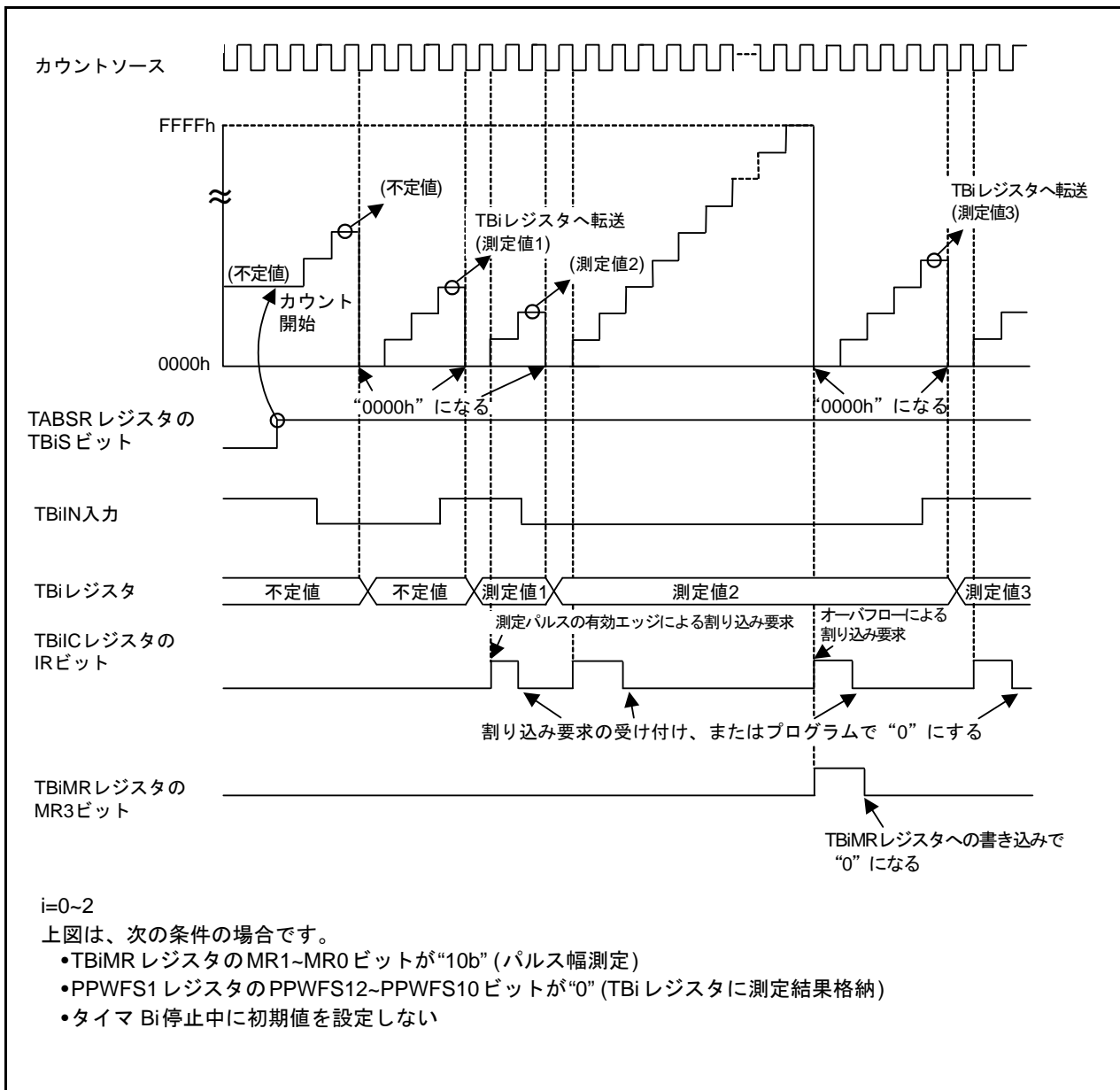


図 16.7 パルス幅測定モード時の動作図

16.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 16.11にタイマBの割り込み関連レジスタを示します。

表 16.11 タイマBの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b

16.5 タイマB使用上の注意事項

16.5.1 複数モードに関わる共通事項

16.5.1.1 レジスタの設定

リセット後、タイマは停止しています。TBiMR (i=0~2) レジスタ、TBCS0~TBCS1 レジスタ、TBi レジスタ、PCLKR レジスタ、PPWFS1 レジスタによって、モードやカウントソース、カウンタ値等を設定した後、TABSR レジスタのTBiS ビットを“1”(カウント開始)にしてください。

なお、TBiMR レジスタ、TBCS0~TBCS1 レジスタ、PCLKR レジスタ、PPWFS1 レジスタは、リセット後に限らずTBiS ビットが“0”(カウント停止)の状態、変更してください。

16.5.2 タイマB (タイマモード)

16.5.2.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

16.5.3 タイマB (イベントカウンタモード)

16.5.3.1 タイマの読み出し

カウント中のカウンタの値は、TBi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

16.5.3.2 イベント

TBiMR レジスタのTCK1 ビットが“1”の場合、選択したタイマの割り込み要求発生タイミングで、イベントが発生します (IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TCK1 ビットで選択したタイマがパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。

16.5.4 タイマB (パルス周期測定/パルス幅測定モード)

16.5.4.1 TBiMR レジスタのMR3 ビット

MR3 ビットを“0”にするために、TBiS ビットが“1”(カウント開始)の状態、TBiMR レジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1 ビットへは前回書いたものと同じ値を、ビット4へは“0”を書いてください。

16.5.4.2 割り込み

TBiIC レジスタ (i=0~2) のIR ビットは、測定パルスの有効エッジが入力されたときとタイマBi がオーバーフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMR レジスタのMR3 ビットで判断できます。

オーバーフローだけの検出にはTBiIC レジスタのIR ビットを使用してください。MR3 ビットは、割り込み要因を判断するときだけ使用してください。

16.5.4.3 イベントまたはトリガ

タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

16.5.4.4 カウント開始から最初の測定まで

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リセット後カウンタの値は不定です。したがって、このままカウントを開始すると、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。TBiSビットが“0”(カウント停止)のときにTBiレジスタに値を設定すると、同じ値がカウンタに入ります。

16.5.4.5 パルス周期測定モード

オーバフローと有効エッジが同時に発生した場合、割り込み要求は1回しか発生しないため、有効エッジで入力を判断できません。オーバフローしない範囲で使用するか、またはパルス幅測定モードで測定してください。

16.5.4.6 パルス幅測定モード

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

また、割り込み要求が発生した場合、割り込みルーチン内でTBiIN端子のレベルを読み、入力パルスのエッジまたはオーバフローを判断してください。TBiIN端子のレベルは端子を共用するポートのレジスタのビットから読み出せます。

17. 三相モータ制御用タイマ機能

17.1 概要

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。

表 17.1 に三相モータ制御用タイマ機能の仕様を、図 17.1~ 図 17.2 に三相モータ制御用タイマ機能のブロック図を、表 17.2 に入出力端子を示します。

表 17.1 三相モータ制御用タイマ機能の仕様

項目	仕様
動作モード	<ul style="list-style-type: none"> • 三角波変調 三相モード0 三角波変調の三相PWM波形を出力する。搬送波の1/2周期ごとに出力データを書き換えて出力波形を生成。 • 三角波変調 三相モード1 三角波変調の三相PWM波形を出力する。搬送波の1周期ごとに出力データを書き換えて出力波形を生成。 • 鋸波変調モード 鋸波変調の三相PWM波形を出力する。
三相PWM波形出力端子	6本 (U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})
強制遮断入力	SD端子に“L”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) タイマA4: U、 \bar{U} 相波形制御 タイマA1: V、 \bar{V} 相波形制御 タイマA2: W、 \bar{W} 相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 • 1周期すべて“H”または“L”出力可能 • 上側通電信号と下側通電信号の出力論理を独立設定可能
搬送波周期	三角波変調: $\frac{(m+1) \times 2}{f_i}$ 鋸波変調: $\frac{m+1}{f_i}$ m: TB2レジスタ設定値。0000h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数
三相PWM出力幅	三角波変調: $\frac{n \times 2}{f_i}$ 鋸波変調: $\frac{n}{f_i}$ n: TA4、TA1、TA2、(三相モード1のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値。0001h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数
短絡防止時間(幅)	$\frac{p}{f_i}$ または短絡防止時間なし p: DTTレジスタ設定値。01h~FFh fi: カウントソース (f1TIMAB、f2TIMAB、f1TIMABの2分周、f2TIMABの2分周)の周波数
通電出力論理	アクティブ“H”またはアクティブ“L”選択可能
上下同時通電出力禁止機能	上下同時通電出力禁止機能あり。上下同時通電出力検出機能あり
割り込み頻度	タイマB2割り込みは、搬送波周期ごと~搬送波周期15回ごと選択

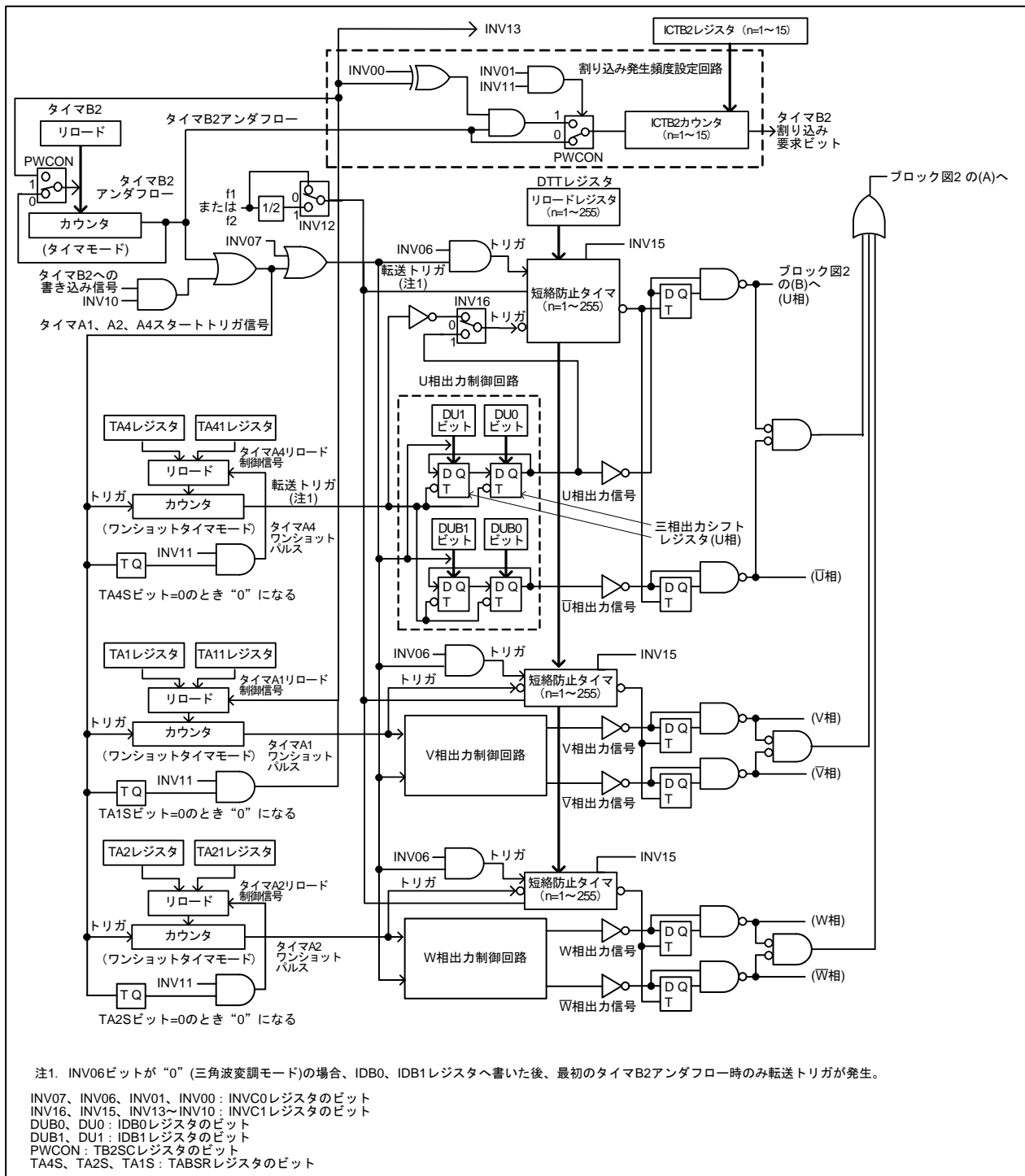


図 17.1 三相モータ制御用タイマ機能のブロック図1

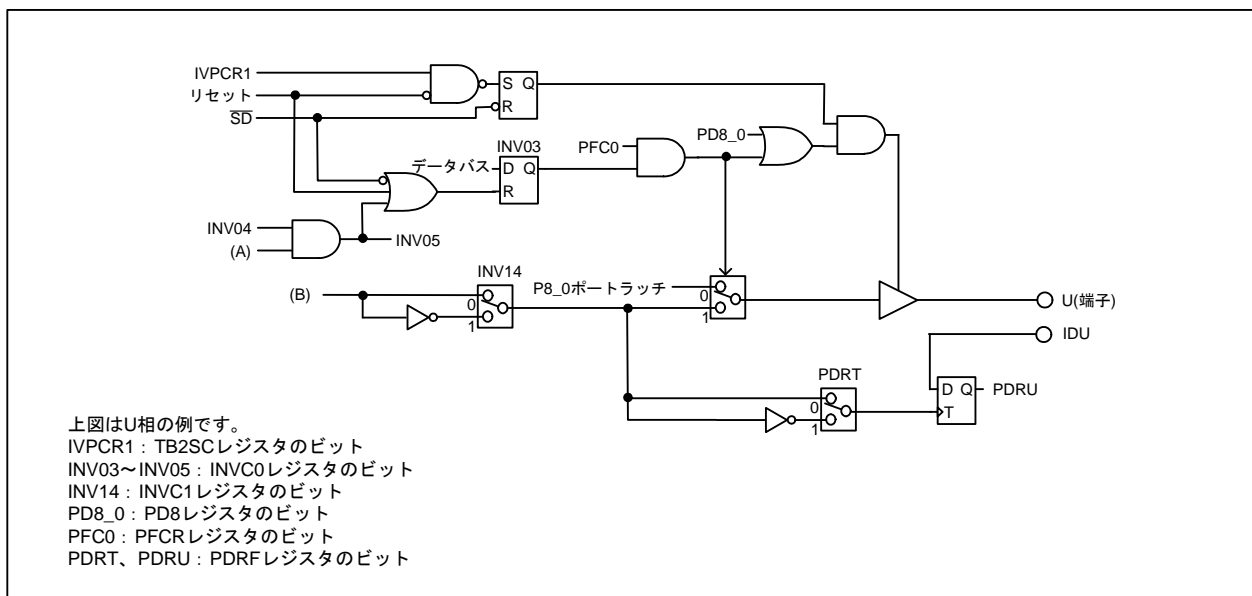


図 17.2 三相モータ制御用タイマ機能のブロック図2

表 17.2 入出力端子

端子名	入出力	機能
U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W}	出力	三相PWM波形出力
\bar{SD}	入力(注1)	強制遮断入力
IDU、IDV、IDW	入力(注2)	位置データ保持機能入力

注1. 端子を共用するポートの方向ビットを“0”(入力モード)にしてください。三相出力強制遮断機能を使用しない場合は、 \bar{SD} 端子に“H”を入力してください。

注2. 端子を共用するポートの方向ビットを“0”(入力モード)にしてください。

17.2 レジスタの説明

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

三相モータ制御用タイマ機能ではタイマA1、A2、A4、B2を使用します。タイマA1、A2、A4、B2関連レジスタは「15. タイマA」、「16. タイマB」を参照してください。

表 17.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
01DAh	三相プロテクト制御レジスタ	TPRC	00h
0302h	タイマA1-1レジスタ	TA11	XXh
0303h			XXh
0304h	タイマA2-1レジスタ	TA21	XXh
0305h			XXh
0306h	タイマA4-1レジスタ	TA41	XXh
0307h			XXh
0308h	三相PWM制御レジスタ0	INVC0	00h
0309h	三相PWM制御レジスタ1	INVC1	00h
030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
030Ch	短絡防止タイマ	DTT	XXh
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
030Eh	位置データ保持機能制御レジスタ	PDRF	XXXX 0000b
0318h	ポート機能制御レジスタ	PFCR	0011 1111b
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
033Eh	タイマB2特殊モードレジスタ	TB2SC	X000 0000b

17.2.1 タイマB2レジスタ (TB2)

タイマB2レジスタ		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0 b7	TB2	0335h-0334h番地	不定
		機能	設定範囲	RW
		設定値をnとすると、 カウンタ周期 $\frac{n+1}{fj}$ アンダフローごとに、タイマA1、A2、A4をスタートさせる。	0000h~FFFFh	RW
fj: カウントソースの周波数				

読み出し、書き込みは16ビット単位で実行してください。

搬送波の周期を決めるカウンタです。タイマB2のアンダフローがタイマA1、A2、A4のワンショットトリガになります。

三相モード1では、TB2SCレジスタのPWCONビットでTB2レジスタのリロードタイミングを選択できます。

17.2.2 タイマAi、Ai-1レジスタ (TAi、TAi1) (i=1, 2, 4)

タイマAi、Ai-1レジスタ (i=1, 2, 4)		シンボル	アドレス	リセット後の値
(b15) b7	(b8) b0 b7	TA1、TA2、TA4	0329h-0328h、032Bh-032Ah、032Fh-032Eh番地	不定
		TA11、TA21、TA41	0303h-0302h、0305h-0304h、0307h-0306h番地	不定
		機能	設定範囲	RW
		設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで各相出力信号が変化する。	0000h~FFFFh	WO

書き込みは16ビット単位で行ってください。これらのレジスタへの書き込みにはMOV命令を使用してください。

これらのレジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。

U、V、W相の波形を決めるカウンタです。タイマB2のアンダフローをトリガにして、ワンショットタイマモードで動作します。

鋸波変調モードと、三角波変調モードの三相モード0では、TA1、TA2、TA4レジスタを使用します。

三角波変調モードの三相モード1では、TA1、TA2、TA4、TA11、TA21、TA41レジスタを使用します。

INVC1レジスタのINV15ビットが“0”（短絡防止時間有効）の場合、上側通電信号と下側通電信号のうち、出力レベルが非アクティブからアクティブに変化する信号は、短絡防止タイマが停止するタイミングで変化します。

三相モード1の場合、最初にTAi1レジスタの値をカウントします。以降、TAiレジスタの値とTAi1レジスタの値を交互にカウントします。

17.2.3 三相PWM制御レジスタ0 (INVC0)

三相PWM制御レジスタ0		アドレス	リセット後の値
ビットシンボル	ビット名	0308h番地	00h
b7 b6 b5 b4 b3 b2 b1 b0	シンボル INVC0		
INVC0	ICTB2カウント条件選択ビット	b1 b0 0 0 } : タイマB2アンダフロー 0 1 } 1 0 : タイマA1リロード制御信号が "0" のときのタイマB2アンダフロー 1 1 : タイマA1リロード制御信号が "1" のときのタイマB2アンダフロー	RW
INVC1	ICTB2カウント条件選択ビット		RW
INVC2	三相モータ機能選択ビット	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能を使用する	RW
INVC3	三相モータ出力制御ビット	0: 三相モータ制御用タイマ出力禁止 1: 三相モータ制御用タイマ出力許可	RW
INVC4	上下同時通電出力禁止ビット	0: 上下同時通電出力許可 1: 上下同時通電出力禁止	RW
INVC5	上下同時通電出力検出フラグ	0: 未検出 1: 検出	RW
INVC6	変調モード選択ビット	0: 三角波変調モード 1: 鋸波変調モード	RW
INVC7	ソフトウェアトリガビット	このビットに“1”を書くと転送トリガが発生する。INVC6ビットが“1”の場合、短絡防止タイマへのトリガも発生する。読んだ場合、その値は“0”。	RW

このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。また、INVC0~INVC2、INVC4、INVC6ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

INVC1~INVC0 (ICTB2カウント条件選択ビット) (b1~b0)

INVC1レジスタのINVC1ビットが“1”（三相モード1）のとき有効。

INVC1ビットを“1”にする場合、ICTB2レジスタに値を設定した後、INVC1ビットを“1”にしてください。また、TABSRレジスタのTA1Sビット（タイマA1カウント開始フラグ）を最初のタイマB2アンダフローまでに“1”にしてください。

INVC1ビットが“0”（三相モード0）の場合は、INVC1、INVC0ビットに関係なくタイマB2アンダフローをカウントします。

INVC2 (三相モータ機能選択ビット) (b2)

INVC2ビットを“1”にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。

INV03 (三相モータ出力制御ビット) (b3)

["0"になる条件]

- INV04ビットが"1" (上下同時通電出力禁止)かつINV05ビットが"1" (上下同時通電出力検出)
- INV03ビットにプログラムで"0"を書く
- \overline{SD} 端子入力が"L"

INV05 (上下同時通電出力検出フラグ) (b5)

プログラムで"1"は書けません。INV05ビットを"0"にする場合は、INV04ビットに"0"を書いてください。

INV06 (変調モード選択ビット) (b6)

INV06ビットの影響は下表のとおりです。

表 17.4 INV06ビットの影響

項目	INV06ビット=0の場合	INV06ビット=1の場合
モード	三角波変調モード	鋸波変調モード
IDB0レジスタ、IDB1レジスタから三相出力シフトレジスタへの転送タイミング	IDB0レジスタ、IDB1レジスタに書いた後、転送トリガに同期して1回のみ転送	転送トリガごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルスの立ち下がりと、転送トリガに同期
INV13ビット	INV11=1かつINV06=0のとき有効	無効

転送トリガ: タイマB2アンダフローとINV07ビットへの書き込み、またはINV10=1のときのタイマB2停止中のTB2レジスタへの書き込み

INV16、INV13、INV11: INVC1レジスタのビット

17.2.4 三相PWM制御レジスタ1 (INVC1)

三相PWM制御レジスタ1		シンボル	アドレス	リセット後の値
ビットシンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	INVC1	0309h番地	00h	
0				
INV10	タイマA1、A2、A4 スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、タイマB2停止中のTB2レジスタへ書き込み	RW	
INV11	タイマA1-1、A2-1、A4-1 制御ビット	0: 三相モード0 1: 三相モード1	RW	
INV12	短絡防止タイマ カウントソース選択ビット	0: f1TIMABまたはf2TIMAB 1: f1TIMABの2分周またはf2TIMABの2分周	RW	
INV13	搬送波状態検出フラグ	0: タイマA1リロード制御信号が“0” 1: タイマA1リロード制御信号が“1”	RO	
INV14	通電出力論理制御ビット	0: アクティブ“L” 1: アクティブ“H”	RW	
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW	
INV16	短絡防止時間タイマ トリガ選択ビット	0: タイマ(A4、A1、A2)のワンショット パルスの立ち下がり 1: 三相出力シフトレジスタ(U、V、W相) 出力の立ち上がり	RW	
— (b7)	予約ビット	“0”にしてください	RW	

このレジスタはPRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

INV11 (タイマA1-1、A2-1、A4-1制御ビット) (b1)

INV11ビットの影響は下表のとおりです。

表 17.5 INV11ビットの影響

項目	INV11ビット=0の場合	INV11ビット=1の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41 レジスタ	使用しない	使用する
INVC0レジスタの INV00ビット、 INV01ビット	無効。 INV00、INV01ビットの値に関係なく タイマB2アンダフローごとに ICTB2カウント	有効
INV13ビット	無効	INV11=1かつINV06=0のとき有効

INVC0レジスタのINV06ビットが“1”（鋸波変調モード）の場合は、INV11ビットを“0”（三相モード0）にしてください。また、INV11ビットが“0”の場合、TB2SCレジスタのPWCONビットを“0”（タイマB2のアンダフローでタイマB2リロード）にしてください。

INV13 (搬送波状態検出フラグ) (b3)

INV13ビットはINV06ビットが“0”(三角波変調モード)かつINV11ビットが“1”(三相モード1)のときのみ有効です。

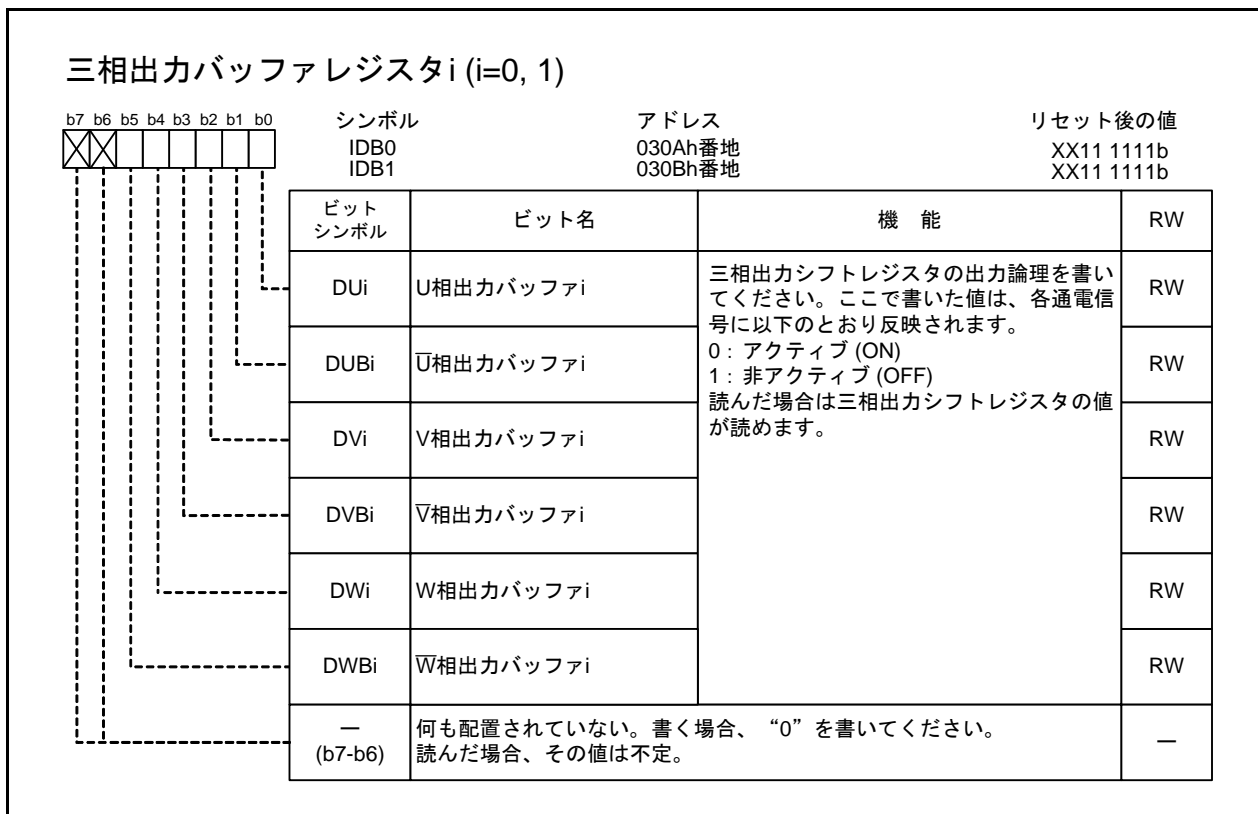
INV16 (短絡防止時間タイマトリガ選択ビット) (b6)

次の条件がすべて該当する場合は、INV16ビットを“1”(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- INV15ビットが“0”(短絡防止時間有効)
- INV03ビットが“1”(三相モータ制御用タイマ出力許可)のときは、常にDij (i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。

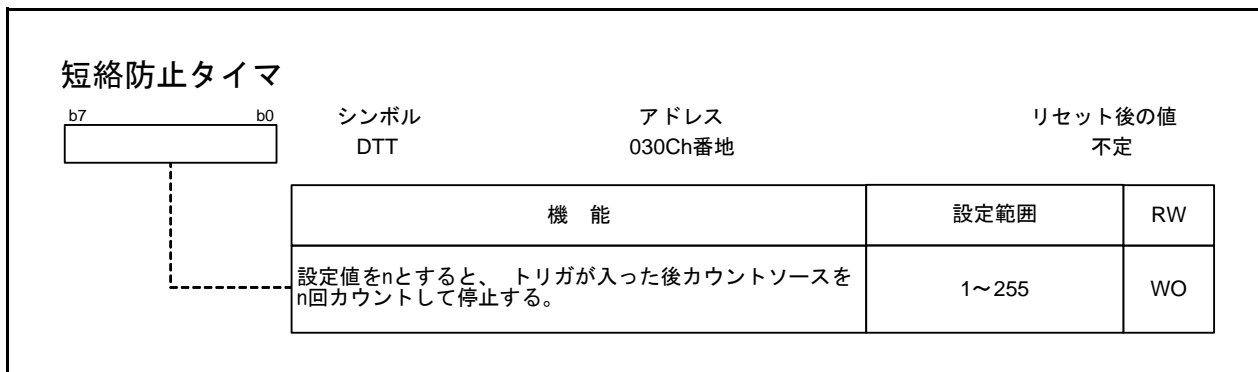
また、上記の条件のいずれかがあてはまらない場合はINV16ビットを“0”(短絡防止タイマのトリガはタイマのワンショットパルスの立ち下がり)にしてください。

17.2.5 三相出力バッファレジスタ*i* (IDB*i*) (*i*=0, 1)



IDB0、IDB1 レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ後、IDB0 レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4 ワンショットパルスの立ち上がりでIDB1 レジスタに書いた値が各相出力信号(内部信号)となります。

17.2.6 短絡防止タイマ (DTT)



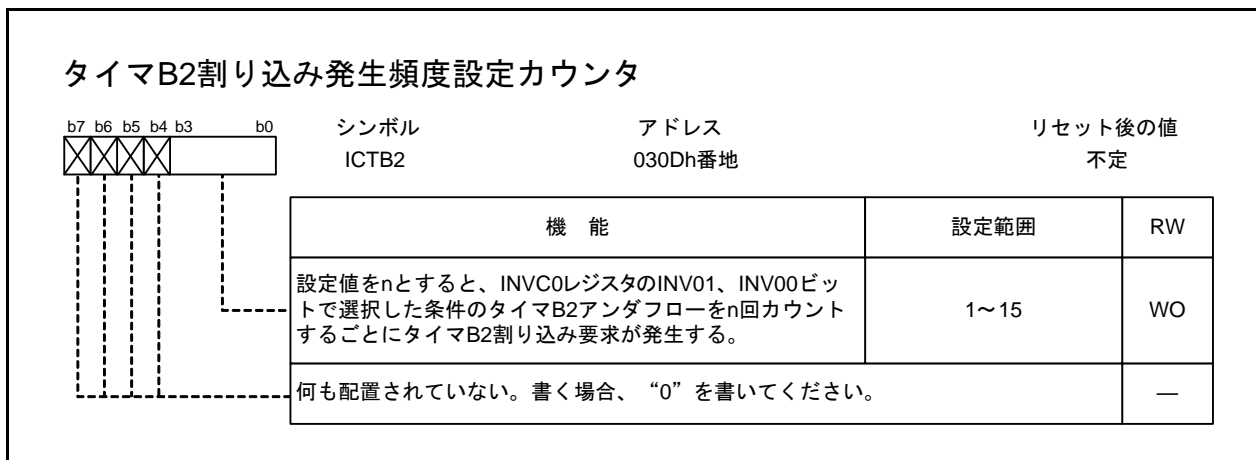
DTT レジスタへの書き込みはMOV 命令を使用してください。

上側トランジスタと下側トランジスタが同時に通電しないように、通電信号がアクティブになるタイミングを遅らせるためのワンショットタイマです。

INVC1 レジスタのINV15ビットが“0”(短絡防止時間有効)のとき有効です。INV15ビットが“1”(短絡防止時間無効)のとき短絡防止時間はありません。

トリガはINVC1 レジスタのINV16ビットで、カウントソースはINVC1 レジスタのINV12ビットで選択してください。

17.2.7 タイマB2割り込み発生頻度設定カウンタ (ICTB2)



ICTB2レジスタは、MOV命令を使用して書いてください。

INVC0レジスタのINV01ビットが“1”の場合は、TABSRレジスタのTB2Sビットが“0” (タイマB2カウント停止)のときに書いてください。INV01ビットが“0”の場合は、TB2Sビットが“1” (タイマB2カウント開始)でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。

INV01~INV00ビットが“11b”の場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

17.2.8 タイマB2特殊モードレジスタ (TB2SC)

タイマB2特殊モードレジスタ										
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0							TB2SC	033Eh番地	X000 0000b
ビットシンボル	ビット名	機能	RW							
PWCON	タイマB2リロード タイミング切り替えビット	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力	RW							
IVPCR1	三相出力ポート \overline{SD} 制御 ビット1	0: \overline{SD} 端子入力による三相出力強制遮断 (ハイインピーダンス)禁止 1: \overline{SD} 端子入力による三相出力強制遮断 (ハイインピーダンス)許可	RW							
TB0EN	タイマB0動作モード 選択ビット	0: A/Dトリガモード以外 1: A/Dトリガモード	RW							
TB1EN	タイマB1動作モード 選択ビット	0: A/Dトリガモード以外 1: A/Dトリガモード	RW							
TB2SEL	トリガ選択ビット	0: タイマB2アンダフロー 1: ICTB2レジスタアンダフロー	RW							
— (b6-b5)	予約ビット	“0” にしてください。	RW							
— (b7)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—							

このレジスタは、PRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

PWCON (タイマB2リロードタイミング切り替えビット) (b0)

INVC1レジスタのINV11ビットが“0”（三相モード0）、またはINVC0レジスタのINV06ビットが“1”（鋸波変調モード）の場合は、PWCONビットを“0”（タイマB2アンダフロー）にしてください。

IVPCR1 (三相出力ポート \overline{SD} 制御ビット1) (b1)

対象端子は、U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} です。

IVPCR1ビットが“1”の場合、 \overline{SD} 端子に“L”が入力されると、対象端子の三相モータ制御用タイマ出力は禁止（INVC0レジスタのINV03ビットが“0”）になります。このとき、対象端子は使用している機能に関係なくハイインピーダンスになります。

強制遮断後は、 \overline{SD} 端子に“H”を入力し、IVPCR1ビットを“0”にすると強制遮断が解除されます。

17.2.9 位置データ保持機能制御レジスタ (PDRF)

位置データ保持機能制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
PDRF

アドレス
030Eh番地

リセット後の値
XXXX 0000b

ビットシンボル	ビット名	機能	RW
PDRW	W相位置データ保持ビット	IDW端子の入カレベルを保持 0: “L” レベル 1: “H” レベル	RO
PDRV	V相位置データ保持ビット	IDV端子の入カレベルを保持 0: “L” レベル 1: “H” レベル	RO
PDRU	U相位置データ保持ビット	IDU端子の入カレベルを保持 0: “L” レベル 1: “H” レベル	RO
PDRT	保持トリガ極性選択ビット	保持トリガの極性を選択する INV14ビットが“0”(アクティブ“L”)の場合 0: 各相の上側通電信号の立ち下がリエッジをトリガとする 1: 各相の上側通電信号の立ち上がりエッジをトリガとする INV14ビットが“1”(アクティブ“H”)の場合 0: 各相の上側通電信号の立ち上がりエッジをトリガとする 1: 各相の上側通電信号の立ち下がリエッジをトリガとする	RW
— (b7-b4)	何も配置されていない。書く場合は、“0”を書いてください。読んだ場合は、その値は不定です		—

このレジスタは、三相モード時のみ有効です。

17.2.10 ポート機能制御レジスタ (PFCR)

ポート機能制御レジスタ			
ビットシンボル	ビット名	機能	RW
PFC0	ポートP8_0出力機能選択ビット	0: 入出力ポートP8_0 1: 三相PWM出力 (U相出力)	RW
PFC1	ポートP8_1出力機能選択ビット	0: 入出力ポートP8_1 1: 三相PWM出力 (\bar{U} 相出力)	RW
PFC2	ポートP7_2出力機能選択ビット	0: 入出力ポートP7_2 1: 三相PWM出力 (V相出力)	RW
PFC3	ポートP7_3出力機能選択ビット	0: 入出力ポートP7_3 1: 三相PWM出力 (\bar{V} 相出力)	RW
PFC4	ポートP7_4出力機能選択ビット	0: 入出力ポートP7_4 1: 三相PWM出力 (W相出力)	RW
PFC5	ポートP7_5出力機能選択ビット	0: 入出力ポートP7_5 1: 三相PWM出力 (\bar{W} 相出力)	RW
— (b7-b6)	何も配置されていない。書く場合は、“0”を書いてください。読んだ場合は、その値は“0”		—

このレジスタは、INVC0レジスタのINVC03ビットが“1” (三相モータ制御用タイマ出力許可)のときのみ有効です。このレジスタは、TPRCレジスタのTPRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

17.2.11 三相プロテクト制御レジスタ (TPRC)

三相プロテクト制御レジスタ			
ビットシンボル	ビット名	機能	RW
TPRC0	三相プロテクト制御ビット	PFCRレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	RW
— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”		—

TPRC0ビットはプログラムで“1” (書き込み許可) を書くと、その後“1” (書き込み許可) の状態が続きます。このビットで保護されるレジスタは次の手順で変更してください。

- (1) TPRC0ビットに“1”を書く
- (2) PFCRレジスタに値を書く
- (3) TPRC0ビットに“0” (書き込み禁止) を書く

17.3 動作説明

17.3.1 複数モードに関わる共通事項

17.3.1.1 搬送波周期制御

タイマB2で搬送波周期を制御します。三角波変調モードではタイマB2アンダフロー周期の2倍が、搬送波の周期になります。鋸波変調モードではタイマB2アンダフロー周期が、搬送波の周期になります。図17.3に搬送波周期とタイマB2の関係を示します。

タイマB2のアンダフローが三相PWM波形を制御するタイマA1、A2、A4のスタートトリガになります。ただし、INVC1レジスタのINV10ビットが“1”の場合は、タイマB2停止中にTB2レジスタに書き込んだときにもタイマA1、A2、A4のトリガが発生します。

三相モータ制御用タイマ機能では、タイマB2割り込み要求の発生頻度を選択できます。

三角波変調の三相モード0、鋸波変調モードでは、ICTB2レジスタ設定値を n とすると、タイマB2のアンダフローの n 回目ごとにタイマB2割り込み要求が発生します。

三角波変調の三相モード1では、ICTB2レジスタ設定値を n とすると、INVC0レジスタのINV01、INV00ビットで選択したタイミングの n 回目ごとにタイマB2割り込み要求が発生します。ただし、INV01、INV00ビットが“11b”の場合、最初の割り込みはタイマB2アンダフローの $n-1$ 回目で発生します。

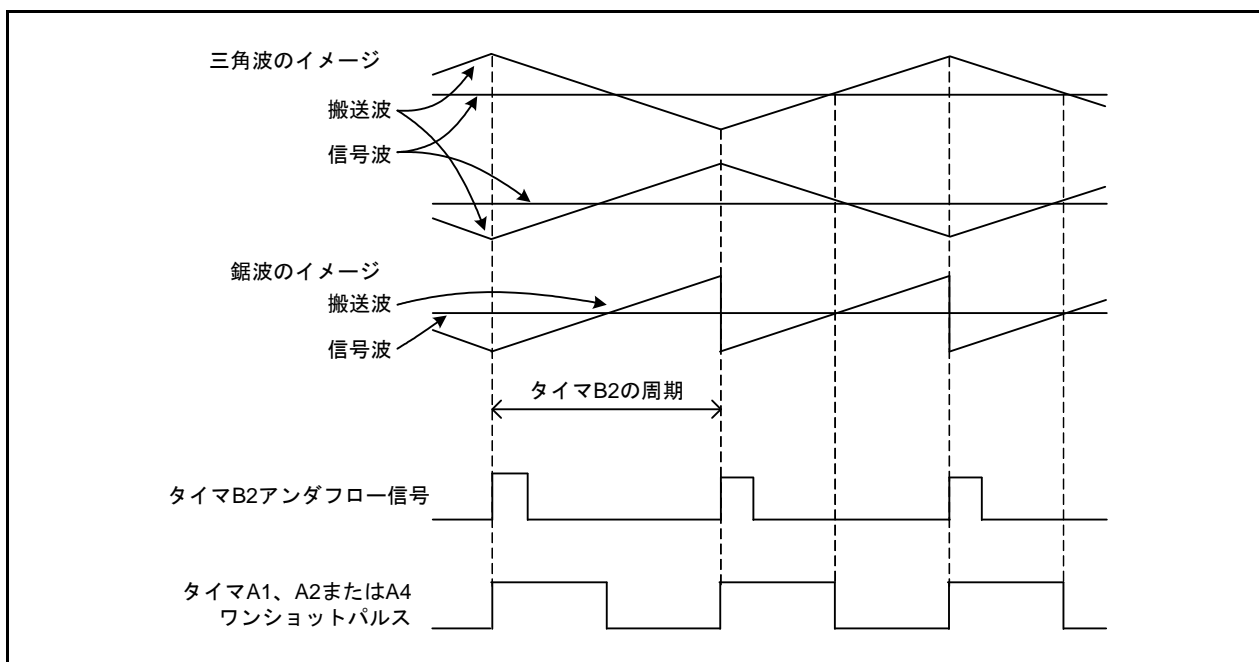


図 17.3 搬送波周期とタイマB2の関係

17.3.1.2 三相PWM波形制御

タイマA4でU相、 \bar{U} 相、タイマA1でV相、 \bar{V} 相、タイマA2でW相、 \bar{W} 相波形を制御します。タイマAi (i=1, 2, 4)は、INVC1レジスタのINV10ビットで選択したトリガでカウントを開始し、ワンショットパルス(内部信号)を発生します。ワンショットパルスの立ち下がリエッジで、各相出力信号が変化します。

三角波変調の三相モード1では、TAi1レジスタの値と、TAiレジスタの値を交互にカウントしワンショットパルスを発生します。

17.3.1.3 短絡防止時間制御

トランジスタのターンオフ遅れによって上下トランジスタが同時にONになるのを防ぐ、8ビットの短絡防止タイマが各相1本、合計3本あります。リロードレジスタは共用です。INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のとき、DTTレジスタで設定した短絡防止時間が有効です。INV15ビットが“1”(短絡防止時間無効)のとき、短絡防止時間はありません。

短絡防止タイマのカウントソースはINVC1レジスタのINV12ビットで選択してください。

短絡防止タイマのトリガはINVC1レジスタのINV16ビットで選択できます。

次の条件が両方該当する場合は、INV16ビットを“1”(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- INV15ビットが“0”(短絡防止時間有効)
- INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)のときは、常にIDBjレジスタのDij (i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、上側通電信号と下側通電信号は常に逆のレベルを出力する)。

また、上記条件のいずれかが当てはまらない場合は、INV16ビットを“0”(短絡防止タイマのトリガはタイマのワンショットパルスの立ち上がり)にしてください。

なお、鋸波変調モードでは転送トリガ発生時にも、短絡防止タイマのトリガが発生します。

17.3.1.4 三相PWM出力端子の出力レベル

各通電信号のアクティブ(ON)、非アクティブ(OFF)をIDB0、IDB1レジスタに設定してください。IDB0、IDB1レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち上がり(内部信号)でIDB1レジスタに書いた値が各相出力信号となります。

転送トリガは、次のとき発生します。

- IDB0、IDB1レジスタ書き込み後、最初のタイマB2アンダフロー(三角波変調モードの場合)
- タイマB2アンダフロー(毎回)(鋸波変調モードの場合)
- タイマB2停止中のTB2レジスタへの書き込み(INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする(ソフトウェアトリガ)

INVC1レジスタのINV14ビットで、通電出力論理(アクティブレベル)を選択できます。

表 17.6 三相PWM出力端子の出力レベル

IDB0、IDB1レジスタの値	各相出力信号(内部信号)	INVC1レジスタのINV14ビットの設定	
		“0”(アクティブ“L”)	“1”(アクティブ“H”)
“0”(アクティブ(ON))	0	L	H
“1”(非アクティブ(OFF))	1	H	L

17.3.1.5 上下同時通電出力禁止機能

プログラムの間違いや暴走等によって上下通電出力が同時にアクティブにならないようにする機能です。INVC0レジスタのINV04ビットで上下同時通電出力を禁止しているときに、上下通電出力が同時にアクティブレベルになると、次のようになります。

- INVC0レジスタのINV03ビット:“0”(三相モータ制御用タイマ出力禁止)
- INVC0レジスタのINV05ビット:“1”(上下同時通電出力検出)
- U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子:ハイインピーダンス

17.3.1.6 三相PWM波形出力端子

U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子は、次の条件のとき、三相PWM波形を出力します。

- INVC0レジスタのINVC02ビットが“1”(三相モータ制御用タイマ機能)
- INVC03ビットが“1”(三相モータ制御用タイマ出力許可)
- PFCRレジスタのPFC5~PFC0ビットが“1”(三相PWM出力(端子1本ごとの選択))

また、 \bar{SD} 端子による三相出力強制遮断機能があります。

17.3.1.7 三相PWM出力端子選択

U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子は、PFCRレジスタのPFCi (i=0~5)ビットが“1” (三相PWM出力)の場合、三相PWM波形を出力します。PFCiビットが“0” (入出力ポート)の場合は、入出力ポート (または他の周辺機能の入出力)になります。したがって、6本のうちの一部の端子から三相PWM波形を出力し、残りの端子を入出力ポート (または他の周辺機能の入出力)として制御できます。

なお、PFCRレジスタは、TPRCレジスタのTPRC0ビットが“1” (PFCRレジスタ書き込み許可)のとき変更できます。TPRC0ビットを“1”にする、PFCRレジスタを書き換える、TPRC0ビットを“0” (PFCRレジスタ書き込み禁止)にする、という手順で三相PWM波形出力端子の機能を変更すれば、暴走などで三相PWM波形出力端子の機能が書き換わることを防げます。

図 17.4に三相出力/入出力ポート切り替え機能の動作例を示します。

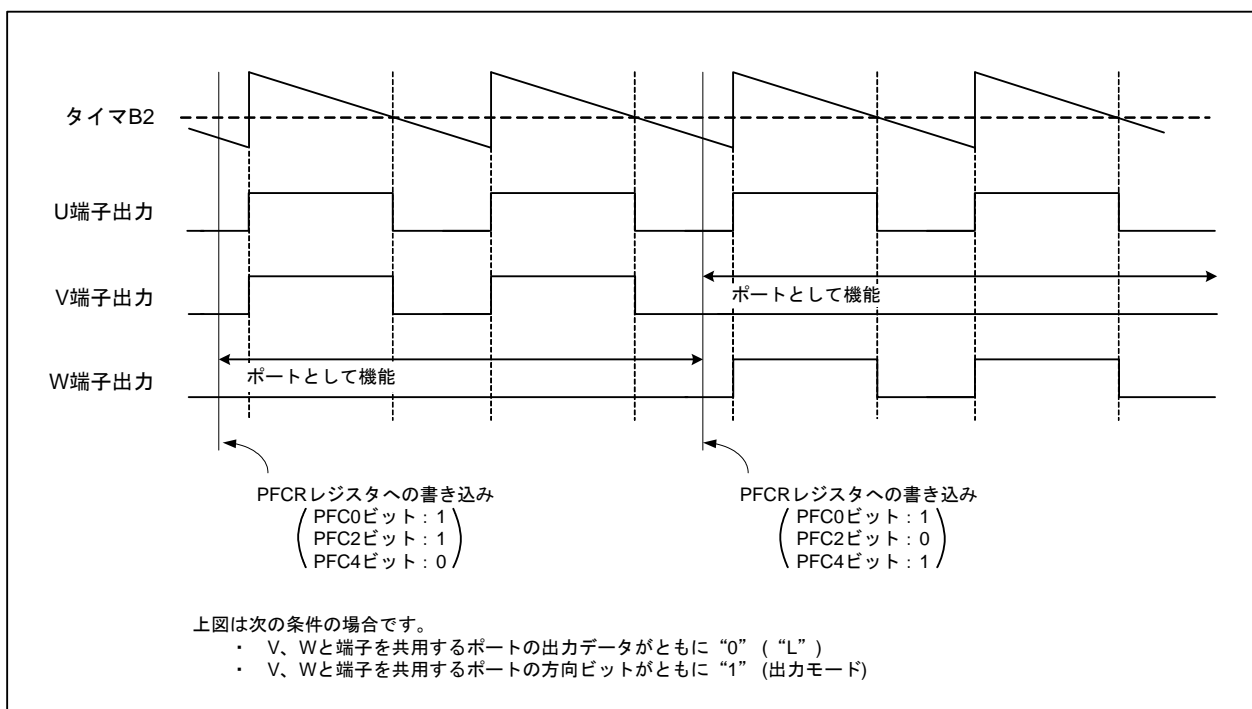


図 17.4 三相出力/入出力ポート切り替え機能の動作例

17.3.1.8 三相出力強制遮断機能

INVC0レジスタのINV02ビットが“1”（三相モータ制御用タイマ機能）、かつINV03ビットが“1”（三相モータ制御用タイマ出力許可）のとき、 \overline{SD} 端子に“L”を入力するとINVC0レジスタのINV03ビットが“0”（三相モータ制御用タイマ出力禁止）になり、U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 出力に当たる端子が一斉に次のように変化します。

- TB2SCレジスタのIVPCR1ビットが“1”（三相出力強制遮断許可）のとき
ハイインピーダンス状態
- TB2SCレジスタのIVPCR1ビットが“0”（三相出力強制遮断禁止）のとき
入出力ポートまたは他の周辺機能の入出力

なお、IVPCR1ビットが“1”のとき \overline{SD} 端子に“L”を入力すると、端子をU、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 出力以外の機能に使用している場合にもハイインピーダンス状態になります。

表 17.7にU、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 端子の状態を示します。

表 17.7 U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 端子の状態(注1)

ビット、端子の状態		U、 \overline{U} 、V、 \overline{V} 、W、 \overline{W} 端子の機能または状態
TB2SCレジスタのIVPCR1ビット	\overline{SD} 端子入力	
1	H	三相PWM出力
	L	ハイインピーダンス
0	H	三相PWM出力
	L	入出力ポートまたは他の周辺機能

注1. INVC02ビット、INVC03ビット、PFCiビットがすべて“1”の場合です。

\overline{SD} 端子にはデジタルデバウンスフィルタがあります。 \overline{SD} 端子のレベルがデジタルデバウンスフィルタの幅以上、保持されると、そのレベルが内部に伝わります。デジタルデバウンスフィルタの幅はNDDRレジスタで設定できます。詳細は「11.4.3 デジタルデバウンスフィルタ」を参照してください。

強制遮断後、端子の機能を三相PWM出力に戻す場合は、次のようにしてください。

- (1) \overline{SD} 端子に“H”を入力
- (2)デジタルデバウンスフィルタの幅以上待つ（デジタルデバウンスフィルタ有効時）
- (3)INVC0レジスタのINV03ビットを“1”（三相モータ制御用タイマ出力許可）にする
- (4)INV03ビットが“1”になっていることを確認する（“0”なら(3)へ戻る）
- (5)IVPCR1ビットを“0”（三相出力強制遮断禁止）にする
- (6)IVPCR1ビットを“1”にする（再度、三相出力強制遮断を許可する場合）

三相出力強制遮断の機能を使用しない場合、 \overline{SD} 入力と端子を共用しているポートの方向ビットを“0”（入力ポート）にし、かつ \overline{SD} 端子に“H”を入力してください。

\overline{SD} 入力は \overline{NMI} 入力と端子を共用しています。 \overline{NMI} 割り込みを禁止する場合はPM2レジスタのPM24ビットを“0”（ \overline{NMI} 割り込み禁止）にしてください。

17.3.1.9 位置データ保持機能

位置データ保持機能は、U相、V相、W相用に3本あります。IDU、IDV、IDW入力レベルを保持する機能です。位置データを保持するためのトリガは、PDRFレジスタのPDRTビットで、各相の上側通電信号の立ち下がりエッジ又は立ち上がりエッジを選択できます。

たとえばU相の場合、U相波形出力のトリガで、IDU端子の状態をPDRFレジスタのPDRUビットに転送します。次のU相波形出力のトリガまでPDRUビットの値は保持されます。

図 17.5に位置データ保持機能の動作例 (U相)を示します。

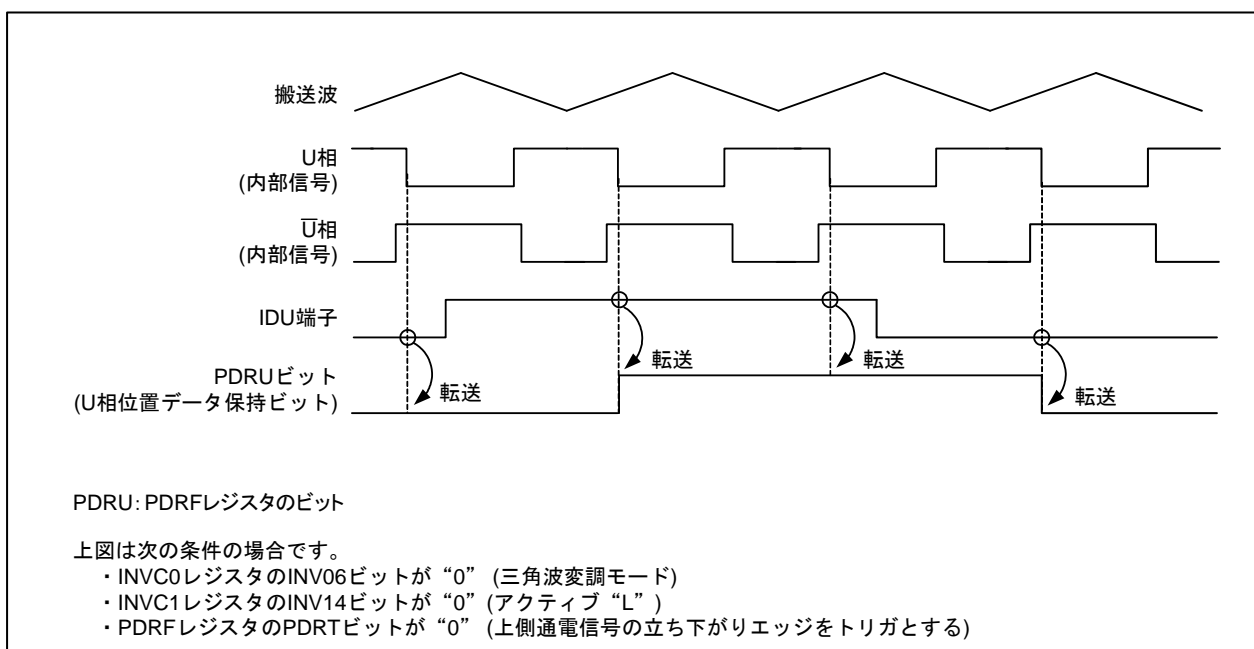


図 17.5 位置データ保持機能の動作例 (U相)

17.3.2 三角波変調 三相モード0

タイマB2の周期を動作基準周期として三角波変調を行います。表 17.8に三相モード0の仕様を、図 17.6に三相モード0の動作例を示します。

表 17.8 三相モード0の仕様

項目	仕様	
搬送波周期	$\frac{(m+1) \times 2}{f_i}$ m: TB2レジスタ設定値。0000h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数	
三相PWM出力幅	$\frac{n \times 2}{f_i}$ n: TAIレジスタ設定値。0001h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数	
三相モード0との相違	動作基準周期	タイマB2の周期 (搬送波の1/2の周期)
	タイマB2リロードタイミング	タイマB2アンダフロー
	三相PWM波形制御	タイマAiスタートトリガごとにTAiレジスタの値をカウント (TAi1レジスタは使用しない)
	タイマB2割り込み	ICTB2レジスタ設定値をnとすると、タイマB2のアンダフローのn回目ごとにタイマB2割り込み要求 (INVC0レジスタのINV00、INV01ビットの影響を受けない)
	搬送波の前半/後半の判定	判定しない (INVC1レジスタのINV13ビットは無効)

i=1, 2, 4

表 17.9 三相モード0時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能、設定値
INVC0	INV00	無効 (設定値に関係なく ICTB2はタイマB2のアンダフローをカウント)
	INV01	
	INV02	“1” (三相モータ制御用タイマ機能を使用する)にしてください
	INV03	“1” (三相モータ制御用タイマ出力許可)にしてください
	INV04	上下同時通電出力許可/禁止を選択してください
	INV05	上下同時通電出力検出フラグ
	INV06	“0” (三角波変調モード)にしてください
	INV07	ソフトウェアトリガビット
INVC1	INV10	タイマA1、A2、A4のスタートトリガを選択してください
	INV11	“0” (三相モード0)にしてください
	INV12	短絡防止タイマのカウンソースを選択してください
	INV13	無効
	INV14	通電出力論理を選択してください
	INV15	短絡防止時間有効/無効を選択してください
	INV16	短絡防止タイマのトリガを選択してください
	7	“0”にしてください
IDB0、IDB1	5~0	三相出力シフトレジスタの出力論理を設定してください
DTT	7~0	短絡防止時間を設定してください
ICTB2	3~0	タイマB2割り込みの要求の発生頻度を設定してください
TB2SC	PWCON	“0”(タイマB2アンダフロー)にしてください
	IVPCR1	三相出力強制遮断許可/禁止を選択してください
	TB0EN	A/Dトリガに使用する場合“1”にしてください
	TB1EN	A/Dトリガに使用する場合“1”にしてください
	TB2SEL	A/Dトリガに使用する場合、トリガタイミングを選択してください
	b7-b5	“0”にしてください
PDRF	PDRU、PDRV、PDRW	位置データ保持ビット
	PDRT	位置データ保持トリガを選択してください
PFCR	PFC5~PFC0	入出力ポート/三相PWM出力を選択してください
TPRC	TPRC0	PFCRレジスタに書き込むとき“1”に、書き込まないとき“0”にしてください
TA1、TA2、TA4	15~0	ワンショットパルス幅を設定してください
TA11、TA21、TA41	15~0	(使用しない)
TB2	15~0	搬送波周期の1/2幅を設定してください
TRGSR	TA1TGH-TA1TGL	“01b” (V相出力制御回路を使用する場合)にしてください
	TA2TGH-TA2TGL	“01b” (W相出力制御回路を使用する場合)にしてください
	TA3TGH-TA3TGL	(三相モータ制御用タイマでは使用しない)
	TA4TGH-TA4TGL	“01b” (U相出力制御回路を使用する場合)にしてください

注1. この表は手順を示すものではありません。

表 17.10 三相モード0時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能、設定値
TABSR	TA0S	(三相モータ制御用タイマでは使用しない)
	TA1S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA2S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA3S	(三相モータ制御用タイマでは使用しない)
	TA4S	カウント開始時“1”に、カウント停止時“0”にしてください
	TB0S	(三相モータ制御用タイマでは使用しない)
	TB1S	(三相モータ制御用タイマでは使用しない)
	TB2S	カウント開始時“1”に、カウント停止時“0”にしてください
TA1MR、 TA2MR、 TA4MR	TMOD1-TMOD0	“10b” (ワンショットタイマモード)にしてください
	MR0	“0”にしてください
	MR1	“0”にしてください
	MR2	“1” (トリガはTAITGH、TAITGLビットで選択)にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
TB2MR	TMOD1-TMOD0	“00b” (タイマモード)にしてください
	MR1-MR0	“00b”にしてください
	4	“0”にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
PCLKR	PCLK0	カウントソースを選択してください
TACS0~TACS2	7~0	カウントソースを選択してください
TBCS1	TCS3~TCS0	カウントソースを選択してください
TAPOFS	POFSi	“0”にしてください
UDF	TAiP	“0”にしてください

i =1, 2, 4

注1. この表は手順を示すものではありません。

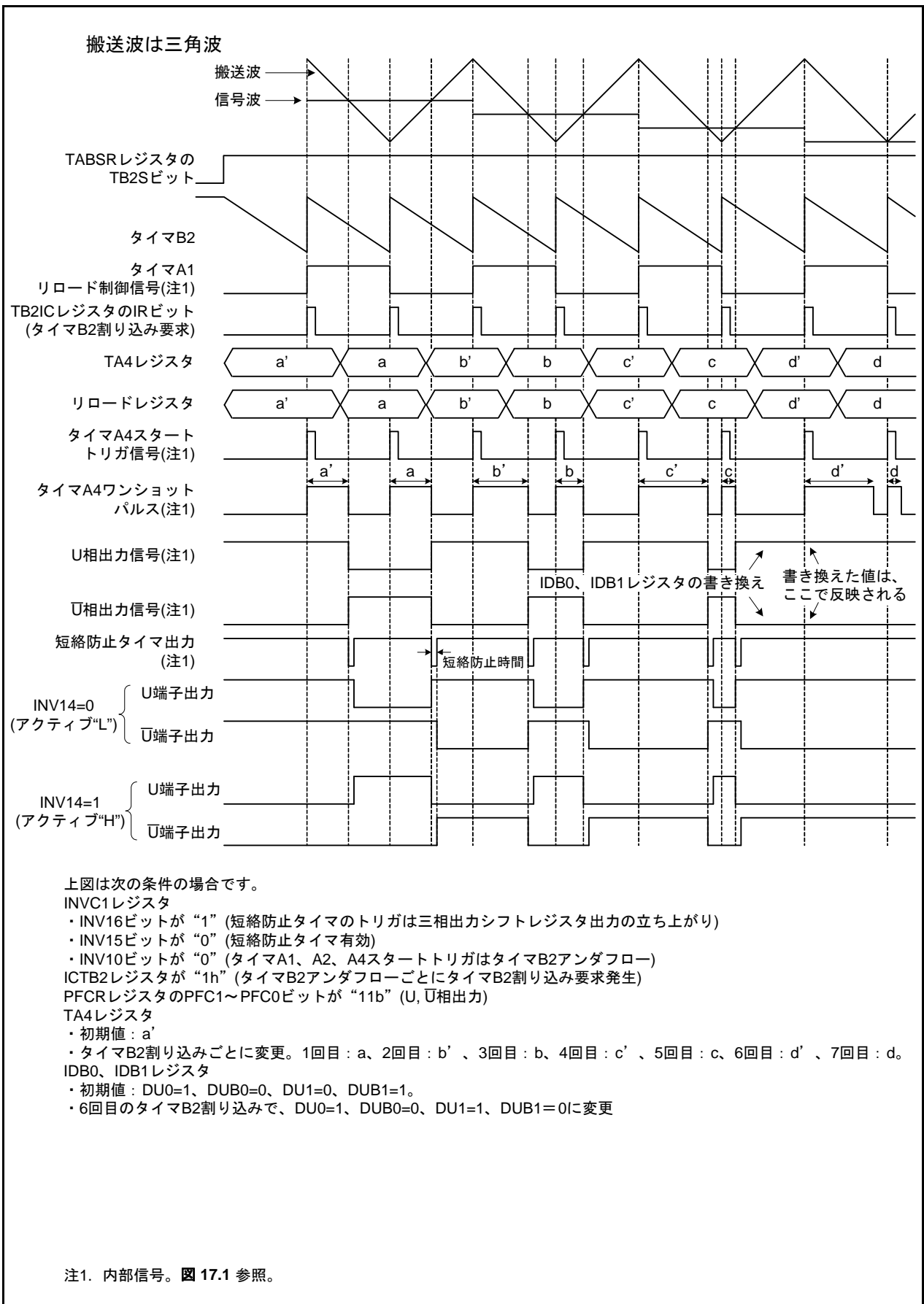


図 17.6 三相モード0の動作例

17.3.2.1 三相PWM波形出力タイミング制御

三相モード0では、タイマA1、A2、A4スタートトリガが発生すると、カウンタはTA_i (i=1, 2, 4)レジスタの値をカウントします。

17.3.2.2 三相PWM波形出力レベル制御

三角波変調モードでは、IDB0、IDB1レジスタに設定した出力レベルは、転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタに書いた値が各相出力信号となり、三相PWM出力が変化します。以後、タイマA1、A2、A4ワンショットパルスの立ち下がりエッジごとにIDB0レジスタとIDB1レジスタの値が交互に各相出力信号となります。

なお、INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のときは、アクティブから、非アクティブに変化する相が各相出力信号(内部信号)と同時に変化し、非アクティブから、アクティブに変化する相は、短絡防止タイマが停止するタイミングで変化します。

転送トリガは、次のとき発生します。

- IDB0、IDB1レジスタ書き込み後、最初のタイマB2アンダフロー
- タイマB2停止中のTB2レジスタへの書き込み (INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする(ソフトウェアトリガ)

17.3.3 三角波変調 三相モード1

タイマB2の2倍の周期を動作基準周期として三角波変調を行います。表 17.11に三相モード1の仕様を、図 17.7に三相モード1の動作例を示します。

表 17.11 三相モード1の仕様

項目	仕様	
搬送波周期	$\frac{(m+1) \times 2}{f_i}$ m: TB2レジスタ設定値。0000h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数	
三相PWM出力幅	$\frac{n \times 2}{f_i}$ n: TAIレジスタ設定値。0001h~FFFFh fi: カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)の周波数	
三 相 モ ー ド 0 と の 相 違	動作基準周期	タイマB2の2倍の周期 (搬送波の周期)
	タイマB2リロードタイミング	次のいずれかを選択 ・タイマB2アンダフロー ・奇数回目のタイマA出力
	三相PWM波形制御	タイマAiスタートトリガごとにTAiレジスタの値と、TAi1レジスタの値を交互にカウント
	タイマB2割り込み	INVC0レジスタのINV00、INV01ビットで、ICTB2レジスタのカウントタイミングを選択 ・タイマB2アンダフロー (毎回) ・INVC1レジスタのINV13ビットが“0”のときのタイマB2アンダフロー ・INV13ビットが“1”のときのタイマB2アンダフロー ICTB2レジスタ設定値をnとすると、INV00、INV01ビットで選択したタイミングのn回目ごとにタイマB2割り込み要求
	搬送波の前半/後半の判定	判定する (INVC1レジスタのINV13ビット有効)

i=1, 2, 4

表 17.12 三相モード1時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能、設定値
INVC0	INV00	ICTB2がカウントするタイミングを選択してください
	INV01	
	INV02	“1” (三相モータ制御用タイマ機能を使用する)にしてください
	INV03	“1” (三相モータ制御用タイマ出力許可)にしてください
	INV04	上下同時通電出力許可/禁止を選択してください
	INV05	上下同時通電出力検出フラグ
	INV06	“0” (三角波変調モード)にしてください
	INV07	ソフトウェアトリガビット
INVC1	INV10	タイマA1、A2、A4のスタートトリガを選択してください
	INV11	“1” (三相モード1)にしてください
	INV12	短絡防止タイマカウントソースを選択してください
	INV13	搬送波状態検出フラグ
	INV14	通電出力論理を選択してください
	INV15	短絡防止時間有効/無効を選択してください
	INV16	短絡防止タイマのトリガを選択してください
	7	“0”にしてください
IDB0、IDB1	5~0	三相出力シフトレジスタの出力論理を設定してください
DTT	7~0	短絡防止時間を設定してください
ICTB2	3~0	タイマB2割り込み要求の発生頻度を設定してください
TB2SC	PWCON	タイマB2リロードタイミングを選択してください
	IVPCR1	三相出力強制遮断許可/禁止を選択してください
	TBOEN	A/Dトリガに使用する場合“1”にしてください
	TB1EN	A/Dトリガに使用する場合“1”にしてください
	TB2SEL	A/Dトリガに使用する場合、トリガタイミングを選択してください
	b7-b5	“0”にしてください
PDRF	PDRU、PDRV、PDRW	位置データ保持ビット
	PDRT	位置データ保持トリガを選択してください
PFCR	PFC5~PFC0	入出力ポート/三相PWM出力を選択してください
TPRC	TPRC0	PFCRレジスタに書き込むとき“1”に、書き込まないとき“0”にしてください
TA1、TA2、TA4	15~0	ワンショットパルス幅を設定してください
TA11、TA21、TA41	15~0	ワンショットパルス幅を設定してください
TB2	15~0	搬送波周期の1/2幅を設定してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

表 17.13 三相モード1時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能、設定値
TRGSR	TA1TGH- TA1TGL	“01b” (V相出力制御回路を使用する場合)にしてください
	TA2TGH- TA2TGL	“01b” (W相出力制御回路を使用する場合)にしてください
	TA3TGH- TA3TGL	(三相モータ制御用タイマでは使用しない)
	TA4TGH- TA4TGL	“01b” (U相出力制御回路を使用する場合)にしてください
TABSR	TA0S	(三相モータ制御用タイマでは使用しない)
	TA1S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA2S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA3S	(三相モータ制御用タイマでは使用しない)
	TA4S	カウント開始時“1”に、カウント停止時“0”にしてください
	TB0S	(三相モータ制御用タイマでは使用しない)
	TB1S	(三相モータ制御用タイマでは使用しない)
	TB2S	カウント開始時“1”に、カウント停止時“0”にしてください
TA1MR、 TA2MR、 TA4MR	TMOD1-TMOD0	“10b” (ワンショットタイマモード)にしてください
	MR0	“0”にしてください
	MR1	“0”にしてください
	MR2	“1” (トリガはTAiTGH、TAiTGLビットで選択)にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
TB2MR	TMOD1-TMOD0	“00b” (タイマモード)にしてください
	MR1-MR0	“00b”にしてください
	4	“0”にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
PCLKR	PCLK0	カウントソースを選択してください
TACS0~TACS2	7~0	カウントソースを選択してください
TBCS1	TCS3~TCS0	カウントソースを選択してください
TAPOFS	POFSi	“0”にしてください
UDF	TAiP	“0”にしてください

i=1, 2, 4

注1. この表は手順を示すものではありません。

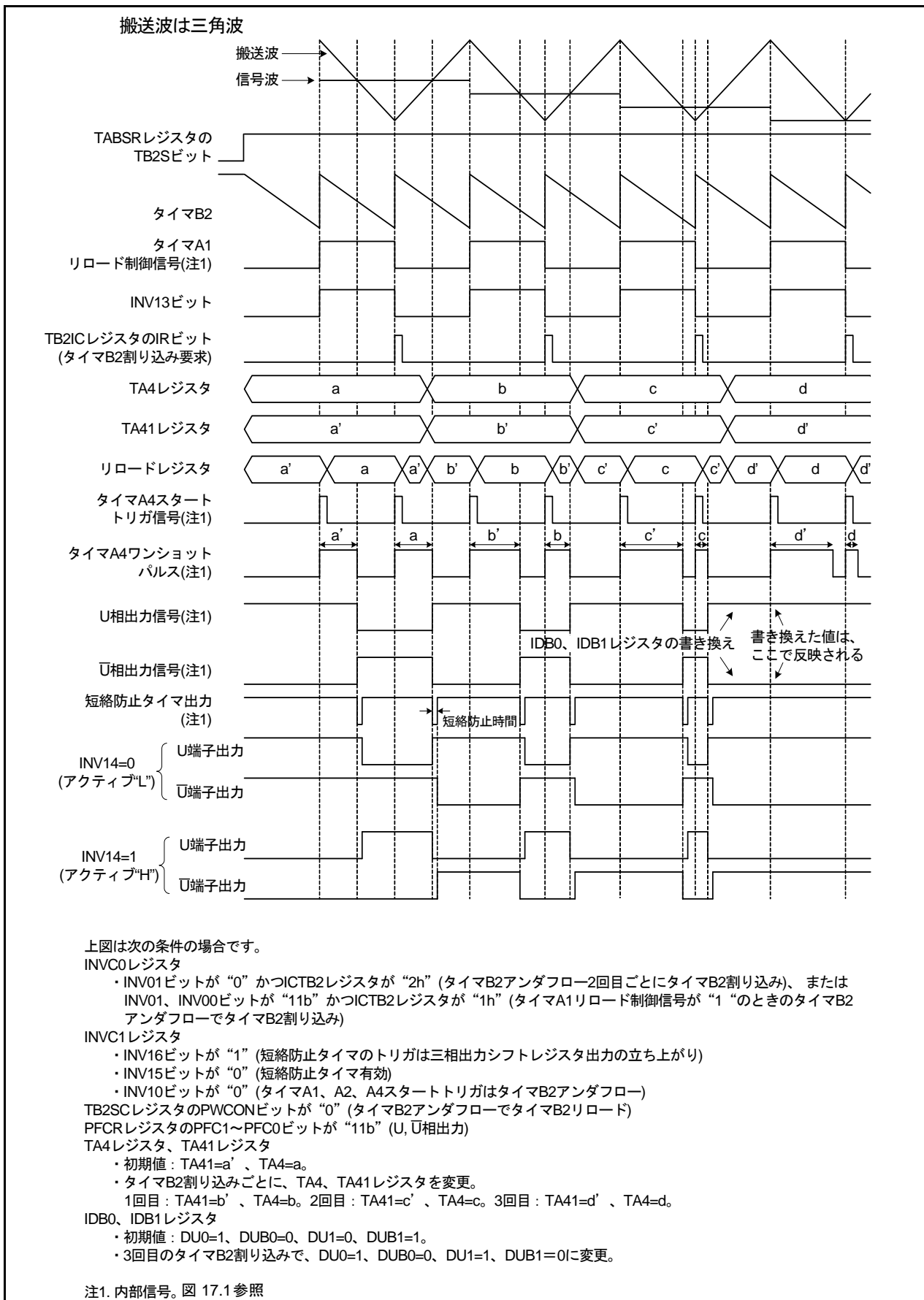


図 17.7 三相モード1の動作例

17.3.3.1 INVC1レジスタのINV13ビット

三相モード1では、搬送波の前半か後半かの判断に、INV13ビットを使用できます。INV13ビットはタイマA1リロード制御信号の状態を見るフラグです。タイマA1リロード制御信号はタイマA1停止中は“0”になり、タイマA1、A2、A4スタートトリガ信号ごとに値が反転します。したがって、タイマB2の1回目のアンダフローから搬送波の周期が始まったと考えると、INV13ビットが“1”のときは搬送波の前半、“0”のときは後半と判断できます。表 17.14にINV13ビットと他の部分の状態の関係を示します。

表 17.14 INV13ビットと他の部分の状態の関係

INV13ビット	1	0
タイマA1リロード制御信号		
ワンショットパルスのカウント値	TAi1レジスタの値	TAiレジスタの値
タイマB2アンダフロー	奇数回目	偶数回目
搬送波	前半	後半

i=1, 2, 4

17.3.3.2 三相PWM波形出力タイミング制御

三相モード1では、タイマA1、A2、A4スタートトリガが発生すると、TAi1レジスタの値が最初にカウントされます。以後、タイマA1、A2、A4スタートトリガごとに、TAi1レジスタの値とTAiレジスタの値が交互にカウントされます。

動作中に、TAiレジスタ、TAi1レジスタの値を書き換えた場合、更新した値は次の搬送波の周期から出力されます。図17.8に三相モード1 TAi、TAi1レジスタ更新タイミングを示します。

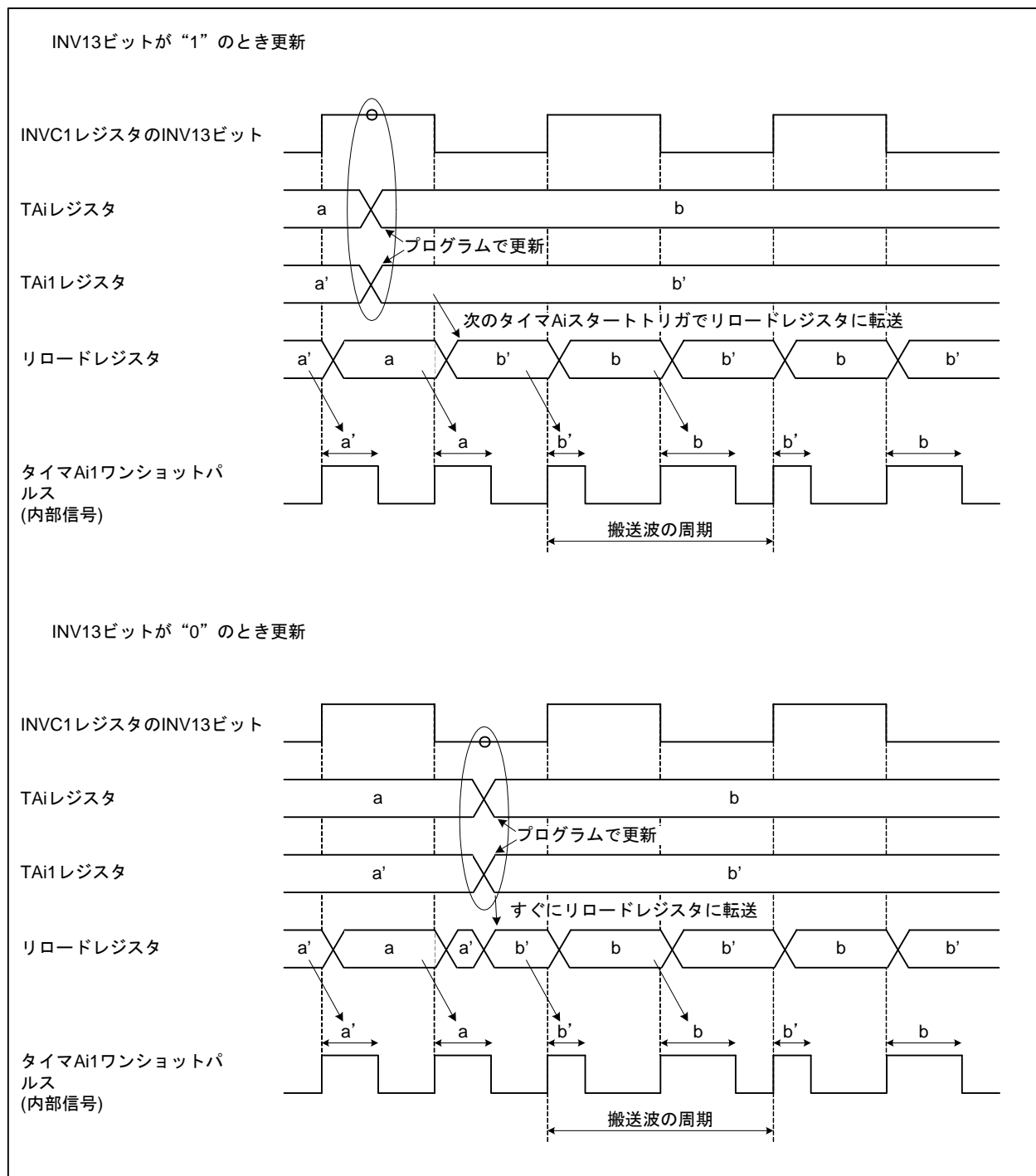


図 17.8 三相モード1 TAi、TAi1 レジスタ更新タイミング

17.3.3.3 搬送波制御

三相モード1では、TB2SCレジスタのPWCONビットでTB2レジスタのリロードタイミングを選択できます。

17.3.3.4 三相PWM波形出力レベル制御

三角波変調モードでは、IDB0、IDB1レジスタに設定した出力レベルは、転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタに書いた値が各相出力信号となり、三相PWM出力が変化します。以後、タイマA1、A2、A4ワンショットパルスの立ち下がりエッジごとにIDB0レジスタとIDB1レジスタの値が交互に各相出力信号となります。

なお、INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のときは、アクティブから、非アクティブに変化する相が各相出力信号(内部信号)と同時に変化し、非アクティブから、アクティブに変化する相は、短絡防止タイマが停止するタイミングで変化します。

転送トリガは、次のとき発生します。

- IDB0、IDB1レジスタ書き込み後、最初のタイマB2アンダフロー
- タイマB2停止中のTB2レジスタへの書き込み (INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする (ソフトウェアトリガ)

17.3.4 鋸波変調モード

鋸波変調を行います。表 17.15 に鋸波変調モードの仕様を、図 17.9 に鋸波変調モードの動作例を示します。

表 17.15 鋸波変調モードの仕様

項目	仕様	
搬送波周期	$\frac{(m+1)}{f_i}$ m: TB2 レジスタ設定値。0000h~FFFFh f _i : カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32) の周波数	
三相PWM出力幅	$\frac{n}{f_i}$ n: TAI レジスタ設定値。0001h~FFFFh f _i : カウントソース (f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32) の周波数	
三角波変調モードとの動作の相違	動作基準周期	タイマB2の周期 (搬送波の周期)
	タイマB2リロードタイミング	タイマB2アンダフロー
	三相PWM波形制御	タイマAiスタートトリガごとにTAIレジスタの値をカウント (TAI1レジスタは使用しない) IDB0、IDB1レジスタに設定した出力レベルをタイマB2アンダフローごとに三相出力シフトレジスタに転送する
	タイマB2割り込み	ICTB2レジスタ設定値をnとすると、タイマB2のアンダフローのn回目ごとにタイマB2割り込み要求 (INVC0レジスタのINV00、INV01ビットの影響を受けない)
	短絡防止タイマのトリガ	転送トリガ (タイマB2アンダフローごとに発生) と、タイマAiワンショットパルスの立ち下がりの両方
	搬送波の前半/後半の判定	—

i=1, 2, 4

表 17.16 鋸波変調モード時の使用レジスタと設定値 (1/2) (注1)

レジスタ	ビット	機能、設定値
INVC0	INV00	無効 (設定値に関係なく ICTB2はタイマB2のアンダフローをカウント)
	INV01	
	INV02	“1” (三相モータ制御用タイマ機能を使用する)にしてください
	INV03	“1” (三相モータ制御用タイマ出力許可)にしてください
	INV04	上下同時通電出力許可/禁止を選択してください
	INV05	上下同時通電出力検出フラグ
	INV06	“1” (鋸波変調モード)にしてください
	INV07	ソフトウェアトリガビット
INVC1	INV10	タイマA1、A2、A4のスタートトリガを選択してください
	INV11	“0”にしてください
	INV12	短絡防止タイマカウントソースを選択してください
	INV13	無効
	INV14	通電出力論理を選択してください
	INV15	短絡防止時間有効/無効を選択してください
	INV16	短絡防止タイマのトリガを選択してください
	7	“0”にしてください
IDB0、IDB1	5~0	三相出力シフトレジスタの出力論理を設定してください
DTT	7~0	短絡防止時間を設定してください
ICTB2	3~0	タイマB2割り込み要求の発生頻度を設定してください
TB2SC	PWCON	“0”(タイマB2アンダフロー)にしてください
	IVPCR1	三相出力強制遮断許可/禁止を選択してください
	TB0EN	A/Dトリガに使用する場合“1”にしてください
	TB1EN	A/Dトリガに使用する場合“1”にしてください
	TB2SEL	A/Dトリガに使用する場合、トリガタイミングを選択してください
	b7-b5	“0”にしてください
PDRF	PDRU、PDRV、PDRW	位置データ保持ビット
	PDRT	位置データ保持トリガを選択してください
PFCR	PFC5~PFC0	入出力ポート/三相PWM出力を選択してください
TPRC	TPRC0	PFCRレジスタに書き込むとき“1”に、書き込まないとき“0”にしてください
TA1、TA2、TA4	15~0	ワンショットパルス幅を設定してください
TA11、TA21、TA41	15~0	(使用しない)
TB2	15~0	搬送波周期を設定してください

i=1, 2, 4

注1. この表は手順を示すものではありません。

表 17.17 鋸波変調モード時の使用レジスタと設定値 (2/2) (注1)

レジスタ	ビット	機能、設定値
TRGSR	TA1TGH- TA1TGL	“01b” (V相出力制御回路を使用する場合) にしてください
	TA2TGH- TA2TGL	“01b” (W相出力制御回路を使用する場合) にしてください
	TA3TGH- TA3TGL	(三相モータ制御用タイマでは使用しない)
	TA4TGH- TA4TGL	“01b” (U相出力制御回路を使用する場合) にしてください
TABSR	TA0S	(三相モータ制御用タイマでは使用しない)
	TA1S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA2S	カウント開始時“1”に、カウント停止時“0”にしてください
	TA3S	(三相モータ制御用タイマでは使用しない)
	TA4S	カウント開始時“1”に、カウント停止時“0”にしてください
	TB0S	(三相モータ制御用タイマでは使用しない)
	TB1S	(三相モータ制御用タイマでは使用しない)
TA1MR、 TA2MR、 TA4MR	TMOD1-TMOD0	“10b” (ワンショットタイマモード) にしてください
	MR0	“0”にしてください
	MR1	“0”にしてください
	MR2	“1” (トリガはTAiTGH、TAiTGLビットで選択) にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
TB2MR	TMOD1-TMOD0	“00b” (タイマモード) にしてください
	MR1-MR0	“00b”にしてください
	4	“0”にしてください
	MR3	“0”にしてください
	TCK1-TCK0	カウントソースを選択してください
PCLKR	PCLK0	カウントソースを選択してください
TACS0~TACS2	7~0	カウントソースを選択してください
TBCS1	TCS3~TCS0	カウントソースを選択してください
TAPOFS	POFSi	“0”にしてください
UDF	TAiP	“0”にしてください

i=1, 2, 4

注1. この表は手順を示すものではありません。

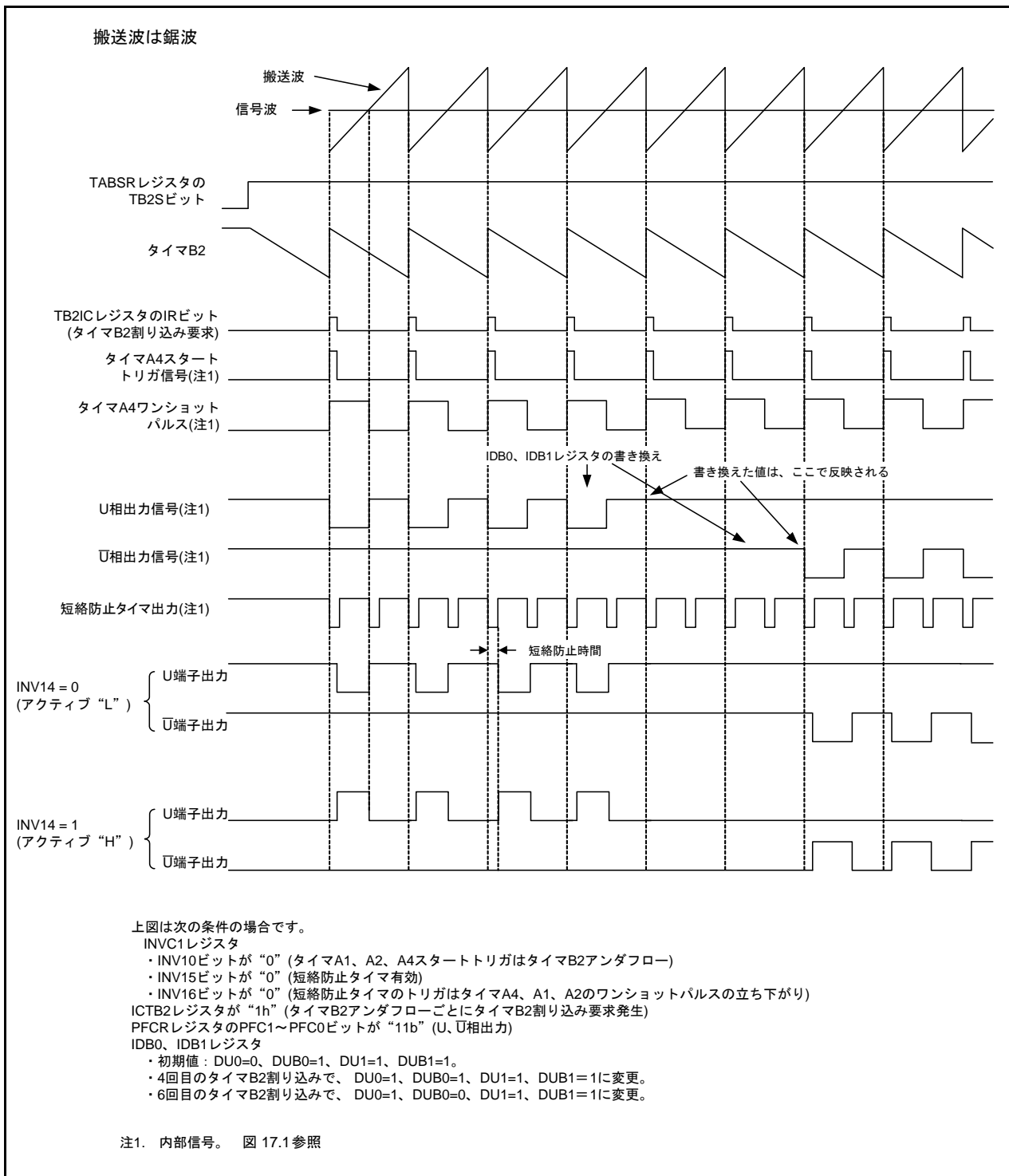


図 17.9 鋸波変調モードの動作例

17.3.4.1 三相PWM波形出力タイミング制御

鋸波変調モードでは、タイマA1、A2、A4スタートトリガが発生すると、カウンタはTA_i (i=1, 2, 4)レジスタの値をカウントします。

17.3.4.2 三相PWM波形出力レベル制御

鋸波変調モードでは、IDB0、IDB1レジスタに設定した出力レベルは、転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が初めに各相出力信号(内部信号)となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタに書いた値が各相出力信号となり、三相PWM出力が変化します。以後、タイマB2のアンダフローによる転送トリガで三相出力シフトレジスタに転送、IDB0レジスタの値が各相出力信号となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりエッジでIDB1レジスタの値が各相出力信号となる、という動作を繰り返します。

なお、INVC1レジスタのINV15ビットが“0”(短絡防止時間有効)のときは、アクティブから、非アクティブに変化する相が各相出力信号(内部信号)と同時に変化し、非アクティブから、アクティブに変化する相は、短絡防止タイマが停止するタイミングで変化します。

転送トリガは、次のとき発生します。

- タイマB2のアンダフロー(毎回)
- タイマB2停止中のTB2レジスタへの書き込み(INVC1レジスタのINV10ビットが“1”の場合)
- INVC0レジスタのINV07ビットを“1”にする(ソフトウェアトリガ)

17.4 割り込み

三相モータ制御用タイマ機能では、タイマB2割り込みと、タイマA1、A2、A4割り込みが使用できます。

17.4.1 タイマB2割り込み

ICTB2レジスタ設定値をnとすると、タイマB2割り込み要求発生タイミングは次のとおりです。詳細は、各モードの仕様や動作例を参照してください。

三角波変調 三相モード0、鋸波変調:

タイマB2アンダフローのn回目

三角波変調 三相モード1:

INVC0レジスタのINV01~INV00ビットで選択したタイミングのn回目

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 17.18 にタイマ B2 割り込み関連レジスタを示します。

表 17.18 タイマB2割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b

17.4.2 タイマA1、A2、A4割り込み

タイマAi (i=1, 2, 4)のワンショットパルス(内部信号)の立ち下がりエッジでタイマAi割り込み要求が発生します。割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 17.19 にタイマA1、A2、A4割り込み関連レジスタレジスタを示します。

表 17.19 タイマA1、A2、A4割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b

タイマAi割り込みでは、TAiMRレジスタのTMOD1ビットを“0”から“1”(タイマモードまたはイベントカウンタモードから、ワンショットタイマモード、PWMモードまたはプログラマブル出力モード)に変更すると、TAiICレジスタのIRビットが“1”(割り込み要求あり)になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「12.13 割り込み使用上の注意事項」も参照してください。

- (1)TAiICレジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にする。
- (2)TAiMRレジスタを設定する。
- (3)TAiICレジスタのIRビットを“0”(割り込み要求なし)にする。

17.5 三相モータ制御用タイマ機能使用上の注意事項

17.5.1 タイマA、タイマB

タイマA、タイマBの使用上の注意事項を参照してください。

17.5.2 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

18. タイマS

18.1 概要

タイマS (インプットキャプチャ/アウトプットコンペア:以後、“IC/OC”と称します。) は、時間計測及び波形生成のための高機能入出力ポートです。IC/OCは、フリーラン動作を行う16ビットベースタイマを1本、および時間計測または波形生成用16ビットレジスタを8本備えています。

表 18.1にIC/OCの機能とチャンネルを示します。

表 18.1 IC/OCの仕様

項目		仕様
時間計測機能 (注1)	計測チャンネル	8チャンネル(チャンネル0~7)
	トリガ入力極性	INPC1_j端子の立ち上がりエッジ、立ち下がりエッジ、両エッジ選択可能
	デジタルフィルタ機能	8チャンネル(チャンネル0~7)
	プリスケアラ機能	2チャンネル(チャンネル6~7)
	ゲート機能	2チャンネル(チャンネル6~7)
	デジタルデバウンスフィルタ	1チャンネル(チャンネル7)
波形出力機能 (注1)	波形生成チャンネル	8チャンネル(チャンネル0~7)
	波形生成機能	単相波形出力、反転波形出力、SR波形出力
	コンペア一致時出力レベル切り替え機能	“H”出力への切り替え及び“L”出力への切り替えが可能
	ポート切り替え機能	ポートの機能を波形出力と入出力ポートから選択
	その他の機能	出力初期値選択可能、出力反転可能
ベースタイマ	ビット長	16ビット
	カウントソース	f1TIMSまたはf2TIMSの(n+1)分周、 二相パルス入力の(n+1)分周 n: G1DVレジスタの設定値。 n=0~255 ただしn=0の場合、分周しない
	カウント動作	アップカウント、アップダウンカウント、 二相パルス信号処理
	ベースタイマリセット条件	<ul style="list-style-type: none"> ベースタイマの値がG1PO0レジスタの値と一致(RST1) 外部割り込み端子INT1に“L”を入力(RST2) ベースタイマの値がG1BTRRレジスタの値と一致(RST4)
割り込み	IC/OCチャンネル割り込み	6本(IC/OCチャンネル0割り込み、IC/OCチャンネル1割り込み、IC/OCチャンネル2割り込み、IC/OCチャンネル3割り込み、IC/OC割り込み0(チャンネル0~7)、IC/OC割り込み1(チャンネル0~7))
	IC/OCベースタイマ割り込み	1本 (G1BTRRレジスタとベースタイマの一致によるベースタイマリセット要求、またはベースタイマオーバフローで発生)

j=0~7

注1. 時間計測機能は、波形生成機能と端子を共有しています。各々のチャンネルに対して時間計測機能または波形生成機能を選択することができます。

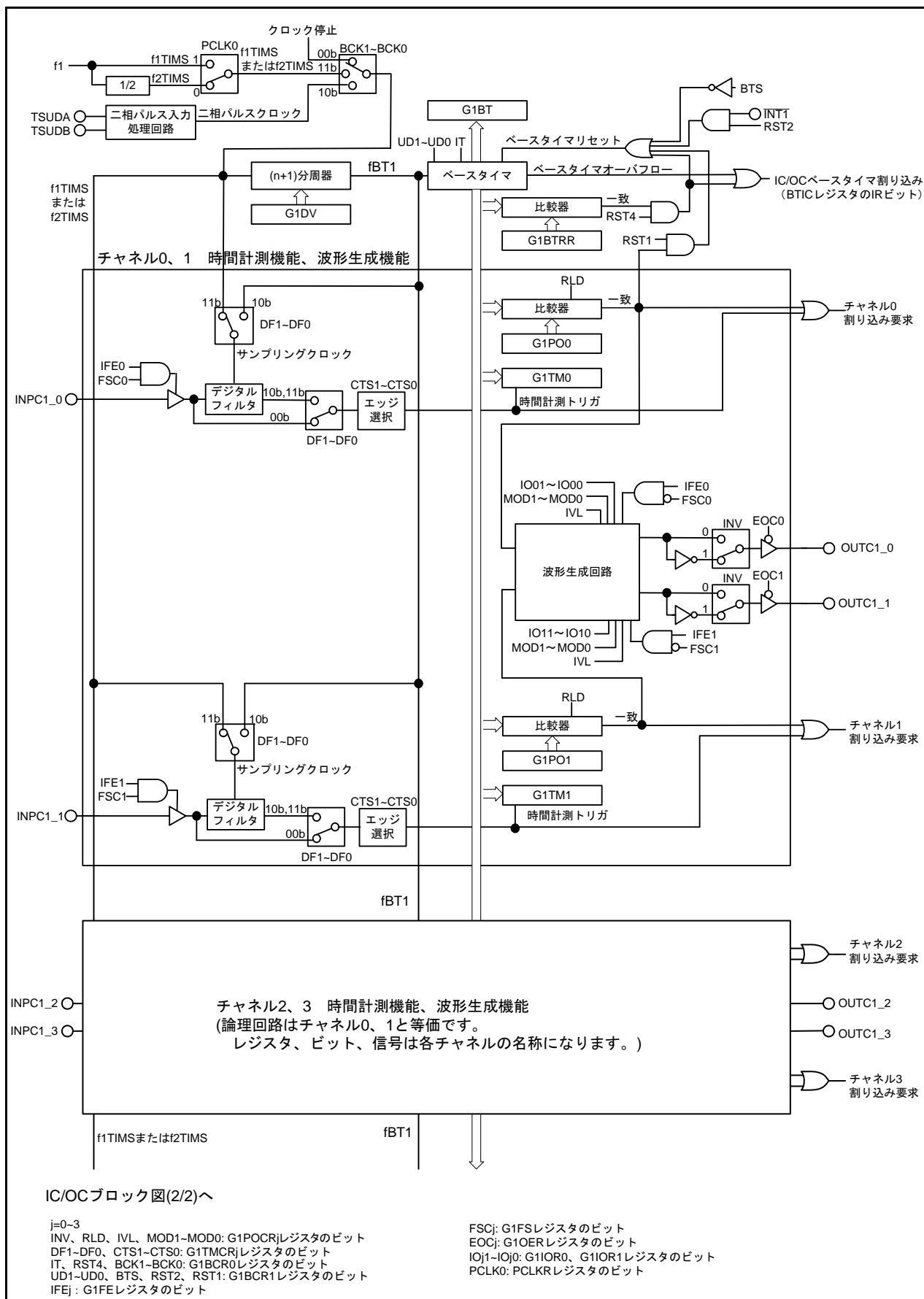


図 18.1 IC/OCブロック図 (1/2)

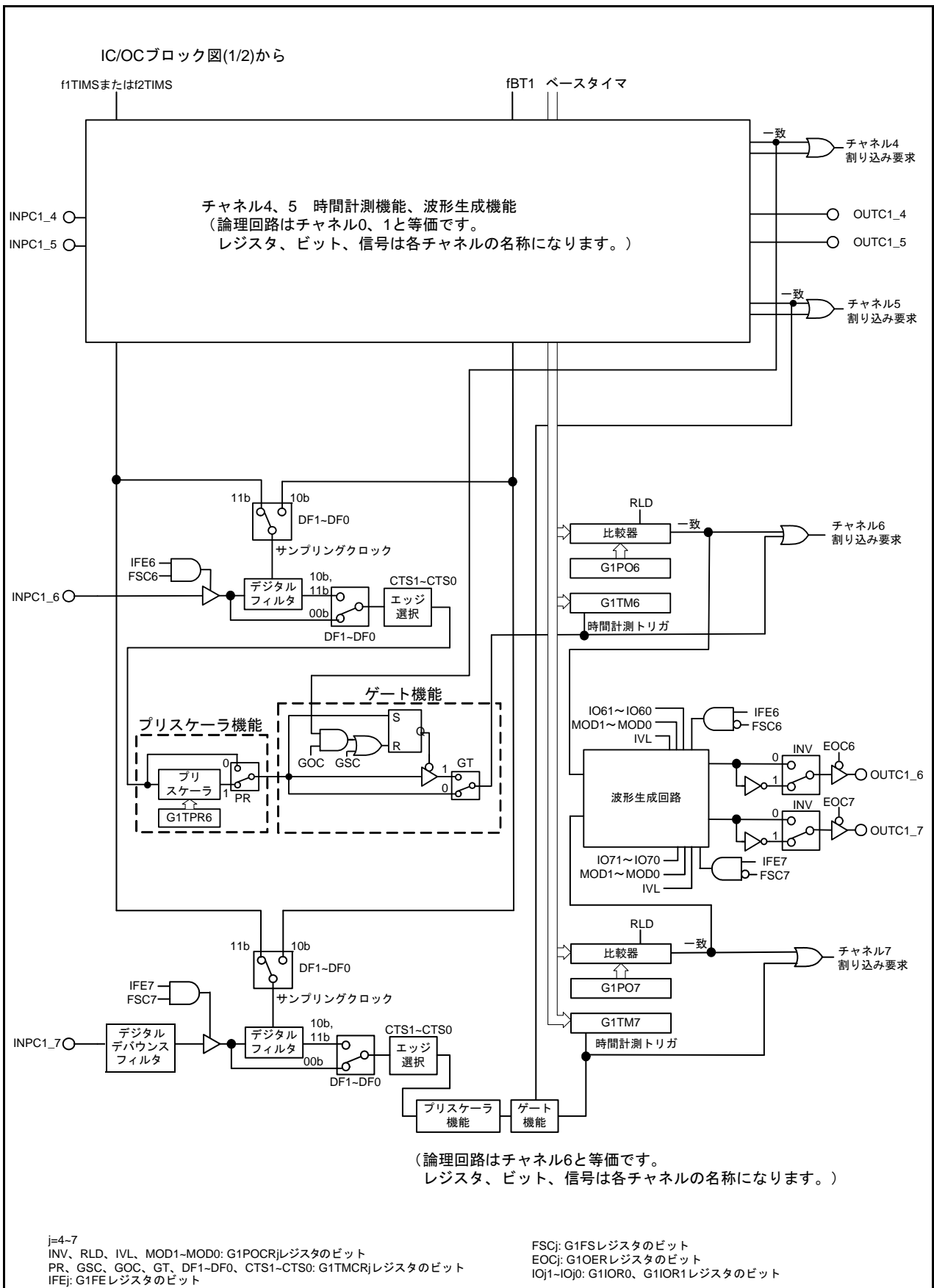


図 18.2 IC/OC ブロック図 (2/2)

表 18.2 入出力端子

端子名	入出力	機能
INPC1_0	入力 (注1)	時間計測機能の入力
INPC1_1	入力 (注1)	
INPC1_2	入力 (注1)	
INPC1_3	入力 (注1)	
INPC1_4	入力 (注1)	
INPC1_5	入力 (注1)	
INPC1_6	入力 (注1)	
INPC1_7	入力 (注1)	
OUTC1_0	出力	波形生成機能の出力
OUTC1_1	出力	
OUTC1_2	出力	
OUTC1_3	出力	
OUTC1_4	出力	
OUTC1_5	出力	
OUTC1_6	出力	
OUTC1_7	出力	
TSUDA	入力 (注1)	二相パルス入力信号処理のA相入力
TSUDB	入力 (注1)	二相パルス入力信号処理のB相入力
INT1	入力 (注1)	二相パルス入力信号処理のZ相入力

注1. 入力で使用する場合、端子を共用するポートの方向ビットを“0” (入力モード)にしてください。

注2. INPC1_j/OUTC1_jの選択は「18.3.4 入出力ポート機能選択」を参照してください。

18.2 レジスタの説明

表 18.3 レジスタ一覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
02C0h	時間計測レジスタ0、波形生成レジスタ0	G1TM0、G1PO0	XXh
02C1h			XXh
02C2h	時間計測レジスタ1、波形生成レジスタ1	G1TM1、G1PO1	XXh
02C3h			XXh
02C4h	時間計測レジスタ2、波形生成レジスタ2	G1TM2、G1PO2	XXh
02C5h			XXh
02C6h	時間計測レジスタ3、波形生成レジスタ3	G1TM3、G1PO3	XXh
02C7h			XXh
02C8h	時間計測レジスタ4、波形生成レジスタ4	G1TM4、G1PO4	XXh
02C9h			XXh
02CAh	時間計測レジスタ5、波形生成レジスタ5	G1TM5、G1PO5	XXh
02CBh			XXh
02CCh	時間計測レジスタ6、波形生成レジスタ6	G1TM6、G1PO6	XXh
02CDh			XXh
02CEh	時間計測レジスタ7、波形生成レジスタ7	G1TM7、G1PO7	XXh
02CFh			XXh
02D0h	波形生成制御レジスタ0	G1POCR0	0X00 XX00b
02D1h	波形生成制御レジスタ1	G1POCR1	0X00 XX00b
02D2h	波形生成制御レジスタ2	G1POCR2	0X00 XX00b
02D3h	波形生成制御レジスタ3	G1POCR3	0X00 XX00b
02D4h	波形生成制御レジスタ4	G1POCR4	0X00 XX00b
02D5h	波形生成制御レジスタ5	G1POCR5	0X00 XX00b
02D6h	波形生成制御レジスタ6	G1POCR6	0X00 XX00b
02D7h	波形生成制御レジスタ7	G1POCR7	0X00 XX00b
02D8h	時間計測制御レジスタ0	G1TMCR0	00h
02D9h	時間計測制御レジスタ1	G1TMCR1	00h
02DAh	時間計測制御レジスタ2	G1TMCR2	00h
02DBh	時間計測制御レジスタ3	G1TMCR3	00h
02DCh	時間計測制御レジスタ4	G1TMCR4	00h
02DDh	時間計測制御レジスタ5	G1TMCR5	00h
02DEh	時間計測制御レジスタ6	G1TMCR6	00h
02DFh	時間計測制御レジスタ7	G1TMCR7	00h

表 18.4 レジスタ一覧 (2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
02E0h	ベースタイマレジスタ	G1BT	XXh
02E1h			XXh
02E2h	ベースタイマ制御レジスタ0	G1BCR0	00h
02E3h	ベースタイマ制御レジスタ1	G1BCR1	00h
02E4h	時間計測プリスケアラレジスタ6	G1TPR6	00h
02E5h	時間計測プリスケアラレジスタ7	G1TPR7	00h
02E6h	機能許可レジスタ	G1FE	00h
02E7h	機能選択レジスタ	G1FS	00h
02E8h	ベースタイマリセットレジスタ	G1BTRR	XXh
02E9h			XXh
02EAh	カウントソース分周レジスタ	G1DV	00h
02ECh	波形出カマスタ許可レジスタ	G1OER	00h
02EEh	タイマS I/O 制御レジスタ0	G1IOR0	00h
02EFh	タイマS I/O 制御レジスタ1	G1IOR1	00h
02F0h	割り込み要求レジスタ	G1IR	XXh
02F1h	割り込み有効レジスタ0	G1IE0	00h
02F2h	割り込み有効レジスタ1	G1IE1	00h

18.2.1 時間計測レジスタj (G1TMj) (j=0~7)

時間計測レジスタj (j=0~7)														
b15 (b7)	b8 (b0) b7	b0												
<table border="1"> <thead> <tr> <th>シンボル</th> <th>アドレス</th> <th>リセット後の値</th> </tr> </thead> <tbody> <tr> <td>G1TM0~G1TM2</td> <td>02C1h~02C0h, 02C3h~02C2h, 02C5h~02C4h番地</td> <td>XXXXh</td> </tr> <tr> <td>G1TM3~G1TM5</td> <td>02C7h~02C6h, 02C9h~02C8h, 02CBh~02CAh番地</td> <td>XXXXh</td> </tr> <tr> <td>G1TM6~G1TM7</td> <td>02CDh~02CCh, 02CFh~02CEh番地</td> <td>XXXXh</td> </tr> </tbody> </table>			シンボル	アドレス	リセット後の値	G1TM0~G1TM2	02C1h~02C0h, 02C3h~02C2h, 02C5h~02C4h番地	XXXXh	G1TM3~G1TM5	02C7h~02C6h, 02C9h~02C8h, 02CBh~02CAh番地	XXXXh	G1TM6~G1TM7	02CDh~02CCh, 02CFh~02CEh番地	XXXXh
シンボル	アドレス	リセット後の値												
G1TM0~G1TM2	02C1h~02C0h, 02C3h~02C2h, 02C5h~02C4h番地	XXXXh												
G1TM3~G1TM5	02C7h~02C6h, 02C9h~02C8h, 02CBh~02CAh番地	XXXXh												
G1TM6~G1TM7	02CDh~02CCh, 02CFh~02CEh番地	XXXXh												
機 能		RW												
時間計測タイミングごとにベースタイマの値が格納されます		RO												

16ビット単位でリードしてください。

18.2.2 波形生成レジスタj (G1POj) (j=0~7)

波形生成レジスタj (j=0~7)														
b15 (b7)	b8 (b0) b7	b0												
<table border="1"> <thead> <tr> <th>シンボル</th> <th>アドレス</th> <th>リセット後の値</th> </tr> </thead> <tbody> <tr> <td>G1PO0~G1PO2</td> <td>02C1h~02C0h, 02C3h~02C2h, 02C5h~02C4h番地</td> <td>XXXXh</td> </tr> <tr> <td>G1PO3~G1PO5</td> <td>02C7h~02C6h, 02C9h~02C8h, 02CBh~02CAh番地</td> <td>XXXXh</td> </tr> <tr> <td>G1PO6~G1PO7</td> <td>02CDh~02CCh, 02CFh~02CEh番地</td> <td>XXXXh</td> </tr> </tbody> </table>			シンボル	アドレス	リセット後の値	G1PO0~G1PO2	02C1h~02C0h, 02C3h~02C2h, 02C5h~02C4h番地	XXXXh	G1PO3~G1PO5	02C7h~02C6h, 02C9h~02C8h, 02CBh~02CAh番地	XXXXh	G1PO6~G1PO7	02CDh~02CCh, 02CFh~02CEh番地	XXXXh
シンボル	アドレス	リセット後の値												
G1PO0~G1PO2	02C1h~02C0h, 02C3h~02C2h, 02C5h~02C4h番地	XXXXh												
G1PO3~G1PO5	02C7h~02C6h, 02C9h~02C8h, 02CBh~02CAh番地	XXXXh												
G1PO6~G1PO7	02CDh~02CCh, 02CFh~02CEh番地	XXXXh												
機 能		設定値												
<ul style="list-style-type: none"> G1POCRjレジスタのRLDビットが“0”の時、書いた直後に値が内部バッファにリロードされ出力波形等に反映されます。 G1POCRjレジスタのRLDビットが“1”の時、ベースタイマリセット時に値がリロードされます。 		RW												
		0000h~FFFFh												
		RW												

16ビット単位でライトしてください。

このレジスタに書いた値は、ベースタイマのカウントソースfBT1に同期して内部バッファに反映されます。波形生成機能では、このレジスタとベースタイマが一致したとき出力波形を変化させます。詳細は「18.3.3.1 単相波形出力モード」、「18.3.3.2 反転波形出力モード」、「18.3.3.3 セット-リセット波形出力 (SR波形出力) モード」を参照してください。

G1BCR1レジスタのRST1ビットが“1”のとき、ベースタイマとG1PO0レジスタの値が一致するとベースタイマが“0000h”になります。この機能を使用する場合、出力波形生成に使用するG1POjレジスタ(j=1~7)の値は、G1PO0レジスタより小さな値にしてください。また、G1PO0レジスタに“0000h”を設定しないでください。RST1ビットが“1”のときは、G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)のときにG1PO0レジスタの値を書き換えてください。詳細は「18.3.1.4 ベースタイマ動作中のベースタイマリセット」を参照してください。

G1TMCRjレジスタ(j=6,7)のGTビットが“1”(ゲート機能を使用する)かつGOCビットが“1”の場合、ベースタイマとG1POkレジスタ(k=j-2)の値が一致するとゲート機能を解除します。この機能を使用する場合は、G1POkレジスタに設定する値をベースタイマの最大値よりも小さい値にしてください。

RLD (G1POjレジスタ値のリロードタイミング選択ビット) (b5)

SR波形出力モードでは、偶数チャンネル(チャンネルj(j=0、2、4、6))だけでなく、奇数チャンネル(チャンネルj+1)も設定してください。

BTSビットが“0”(ベースタイマリセット)かつ、RLDビットが“1”(ベースタイマリセット時にリロード)の場合、G1POjレジスタ(j=0~7)に値を書き込んでもリロードされません。このため、BTSビットが“0”のときは、まずRLDビットを“0”(書き込み時にリロード)にした後、G1POjレジスタに値を書き込み、fBT1の1サイクル以上経過した後にRLDビットを“1”にしてください。

また、RLDビットを“1”にした場合、次のときはリロードされません。

- アップカウントモード、またはアップダウンカウントモードのアップカウント時に、ベースタイマにFFFFhを書き込んだ直後のFFFFhから0000hへのカウント変化時
- アップダウンカウントモードのダウンカウント時に、ベースタイマに0000hを書き込んだ直後の0000hからFFFFhへのカウント変化時

INV (反転出力機能選択ビット) (b7)

反転出力機能は、波形生成回路の最終段にあります。このため、INVビットを“1”(出力反転する)にした場合、IVLビットを“0”にすると出力初期値は“H”に、IVLビットを“1”にすると出力初期値は“L”になります。

18.2.4 時間計測制御レジスタj (G1TMCRj) (j=0~7)

時間計測制御レジスタj (j=0~7)		シンボル	アドレス	リセット後の値
		G1TMCR0~G1TMCR3 G1TMCR4~G1TMCR7	02D8h、02D9h、02DAh、02DBh番地 02DCh、02DDh、02DEh、02DFh番地	00h 00h
ビットシンボル	ビット名	機能		RW
CTS0	時間計測トリガ選択ビット	b1b0 0 0: 時間計測しない 0 1: 立ち上がりエッジ 1 0: 立ち下がりエッジ 1 1: 両エッジ		RW
CTS1				RW
DF0	デジタルフィルタ機能選択ビット	b3b2 0 0: デジタルフィルタなし 0 1: 設定しないでください 1 0: デジタルフィルタあり サンプリングクロックはfBT1 1 1: デジタルフィルタあり サンプリングクロックはf1TIMS またはf2TIMS		RW
DF1				RW
GT	ゲート機能選択ビット	0: ゲート機能を使用しない 1: ゲート機能を使用する		RW
GOC	ゲート機能解除選択ビット	0: ゲート機能解除選択しない 1: ベースタイマとG1POkレジスタの一致により、ゲート機能を解除する (j=6のときk=4、j=7のときk=5)		RW
GSC	ゲート機能解除ビット	このビットに“1”を書くと、ゲート機能を解除する		RW
PR	プリスケアラ機能選択ビット	0: 使用しない 1: 使用する		RW

G1TMCR6、G1TMCR7レジスタに書く場合は、MOV命令を使用してください。このとき、GSCビットには、ゲート解除するなら“1”を、それ以外は“0”を書き込んでください。

CTS1~CTS0 (時間計測トリガ選択ビット) (b1~b0)

G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)のときに書き換えてください。

DF1~DF0 (デジタルフィルタ機能選択ビット) (b3~b2)

G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)のときに書き換えてください。

DF1~DF0ビットが“11b”で、PCLKRレジスタのPCLK0ビットが“0”の場合はf2TIMS、“1”の場合はf1TIMSがサンプリングクロックになります。

なお、G1BCR0レジスタのBCK1~BCK0が“10b”(二相パルスクロック)の場合でも、二相パルスクロックはデジタルフィルタのサンプリングクロックになりません。

GT (ゲート機能選択ビット) (b4)

このビットはG1TMCR6レジスタとG1TMCR7レジスタにあります。G1TMCR0~G1TMCR5レジスタのビット4~7はすべて“0”にしてください。

このビットに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されます。

GOC (ゲート機能解除選択ビット) (b5)

このビットはG1TMCR6レジスタとG1TMCR7レジスタにあります。G1TMCR0~G1TMCR5レジスタのビット4~7はすべて“0”にしてください。

このビットはGTビットが“1”のときのみ有効です。

G1POkレジスタ(j=6のときk=4、j=7のときk=5)については、「18.2.2 波形生成レジスタj (G1POj) (j=0~7)」を参照してください。

このビットに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されます。

GSC (ゲート機能解除ビット) (b6)

このビットはG1TMCR6レジスタとG1TMCR7レジスタにあります。

G1TMCR0~G1TMCR5レジスタのビット4~7はすべて“0”にしてください。

このビットはGTビットが“1”のときのみ有効です。

このビットには、ゲート機能を解除するとき“1”を、それ以外は“0”を書いてください。

このビットに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されます。

PR (プリスケアラ機能選択ビット) (b7)

G1BCR0レジスタのBCK1~BCK0ビットが“00b”(クロック停止)のときに書き換えてください。

このビットはG1TMCR6レジスタとG1TMCR7レジスタにあります。

G1TMCR0~G1TMCR5レジスタのビット4~7はすべて“0”にしてください。

18.2.5 ベースタイマレジスタ (G1BT)

ベースタイマレジスタ		シンボル	アドレス	リセット後の値
<div style="display: flex; justify-content: space-between;"> b15 (b7) b8 (b0) b7 b0 </div> <div style="border: 1px solid black; width: 100px; height: 15px; margin-top: 5px;"></div>	G1BT	02E1h-02E0h番地	不定	
機 能				RW
<ul style="list-style-type: none"> ・ ベースタイマ動作時 (G1BCR1レジスタのBTSビットが“1”かつG1BCR0レジスタのBCK1~BCK0ビットが“00b”以外のとき)、読み出した場合、現在のカウント値が読めます。ベースタイマリセット時は、“0000h”になります。 ・ G1BCR1レジスタのBTSビットが“0”のとき、このレジスタは“0000h”になります。読み出した場合、値は不定です。 				RW

このレジスタは16ビット単位で読んでください。このレジスタには何も書かないでください。

ベースタイマカウント中は、ベースタイマのカウントソースfBT1に同期してベースタイマの値がこのレジスタに格納されます。

G1BCR0レジスタのBCK1~BCK0ビットが“00b”(カウントソースクロック停止)の場合のみベースタイマは停止します。BCK1~BCK0ビットが“00b”以外の場合、ベースタイマは動作します。

G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)の場合、ベースタイマリセット状態になり、値が“0000h”でカウントしない状態が続きます。BTSビットに“1”を設定すると、この状態は解除されベースタイマがカウントを開始します。

18.2.6 ベースタイマ制御レジスタ0 (G1BCR0)

ベースタイマ制御レジスタ0		シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0		G1BCR0	02E2h番地	00h
ビットシンボル	ビット名	機能	RW	
BCK0	カウントソース選択ビット	b1 b0 0 0 : クロック停止 0 1 : 設定しないでください 1 0 : 二相パルスクロック 1 1 : f1TIMSまたはf2TIMS	RW	
BCK1			RW	
RST4	ベースタイマリセット要因選択ビット4	0 : G1BTRRレジスタとベースタイマの一致でベースタイマリセットしない 1 : G1BTRRレジスタとベースタイマの一致でベースタイマリセットする	RW	
— (b5-b3)	予約ビット	“0” にしてください	RW	
CH7INSEL	チャンネル7入力選択ビット	0 : P2_7/OUTC1_7/INPC1_7端子 1 : P1_7/INPC1_7端子	RW	
IT	ベースタイマ割り込み選択ビット	0 : ビット15のオーバーフロー 1 : ビット14のオーバーフロー	RW	

このレジスタの値は、G1BCR1レジスタのBTSビットが“0”（ベースタイマリセット）のときに書き換えてください。

BCK1~BCK0 (カウントソース選択ビット) (b1~b0)

“00b”（クロック停止）から他の値に書き換えた後、再度別の値に書き換える場合、一旦“00b”（クロック停止）に書き換え、元のカウントソースの4クロック以上待った後に、別の値に書き換えてください。

“10b”の二相パルスクロックは、G1BCR1レジスタのUD1、UD0ビットが“10b”（二相パルス信号処理）の場合のみ、使用できます。他のカウント動作では、BCK1~BCK0ビットを“10b”にしないでください。

“11b”のf1TIMSまたはf2TIMSは、PCLKRレジスタのPCLK0ビットが“0”の場合はf2TIMS、“1”の場合はf1TIMSになります。

PCLK0ビットの値は、BCK1~BCK0ビットが“00b”（クロック停止）のときに書き換えてください。

RST4 (ベースタイマリセット要因選択ビット4) (b2)

RST4ビットが“1”の場合、G1BCR1レジスタのRST1ビットは“0”にしてください。

IT (ベースタイマ割り込み選択ビット) (b7)

ITビットが“0”（ビット15のオーバーフロー）の場合、アップカウントのときはカウント中にベースタイマのビット15が“1”から“0”になったとき、すなわちベースタイマの値が“FFFFh”から“0000h”になったときにベースタイマオーバーフローになります。ダウンカウントのときは“0”から“1”になったとき、すなわち“8000h”から“7FFFh”になったときにベースタイマオーバーフローになります。

同様にITビットが“1”（ビット14のオーバーフロー）の場合、アップカウントのときはカウント中にベースタイマのビット14が“1”から“0”になったとき、ダウンカウントのときは“0”から“1”になったとき、ベースタイマオーバーフローになります。

ベースタイマオーバーフローが発生すると、BTICレジスタのIRビットが“1”（IC/OCベースタイマ割り込み要求あり）になります。

18.2.7 ベースタイマ制御レジスタ1 (G1BCR1)

ベースタイマ制御レジスタ1		シンボル G1BCR1	アドレス 02E3h番地	リセット後の値 00h											
b7	b6	b5	b4	b3	b2	b1	b0								
0				0			0								
ビット シンボル	ビット名		機能		RW										
— (b0)	予約ビット		“0” にしてください		RW										
RST1	ベースタイマリセット要因選択 ビット1		0: G1PO0レジスタとベースタイマの一致でベース タイマリセットしない 1: G1PO0レジスタとベースタイマの一致でベース タイマリセットする		RW										
RST2	ベースタイマリセット要因選択 ビット2		0: INT1端子への“L”レベル入力でベースタイ マリセットしない 1: INT1端子への“L”レベル入力でベースタイ マリセットする		RW										
— (b3)	予約ビット		“0” にしてください		RW										
BTS	ベースタイマスタートビット		0: ベースタイマリセット 1: ベースタイマカウント開始		RW										
UD0	アップ、ダウン制御ビット		b6 b5 0 0: アップカウント 0 1: アップダウンカウント 1 0: 二相パルス信号処理 1 1: 設定しないでください		RW										
UD1															
— (b7)	予約ビット		“0” にしてください		RW										

RST1 (ベースタイマリセット要因選択ビット1) (b1)

BTS ビットが“0” (ベースタイマリセット) の状態で書き換え、次に同じ値にしたまま BTS ビットを“1” (ベースタイマカウント開始) に書き換えてください。

RST1 ビットが“1”の場合、ベースタイマと G1PO0 レジスタの値が一致すると、fBT1 の2クロック後にベースタイマリセットします(「18.3.1.4 ベースタイマ動作中のベースタイマリセット」参照)。RST1 ビットが“1”の場合、G1BCR0 レジスタの RST4 ビットは“0” (G1BTRR レジスタとベースタイマの一致でベースタイマリセットしない) にしてください。

RST2 (ベースタイマリセット要因選択ビット2) (b2)

BTS ビットが“0” (ベースタイマリセット) の状態で書き換え、次に同じ値にしたまま BTS ビットを“1” (ベースタイマカウント開始) に書き換えてください。

BTS (ベースタイマスタートビット) (b4)

このビットに書いた値は、ベースタイマのカウントソース fBT1 に同期して内部回路に反映されます。

UD1~UD0 (アップ、ダウン制御ビット) (b6~b5)

BTS ビットが“0” (ベースタイマリセット) の状態で書き換え、次に同じ値にしたまま BTS ビットを“1” (ベースタイマカウント開始) に書き換えてください。

単相波形出力モード及びSR波形出力モード選択時は、このビットを“00b” (アップカウント) に、反転波形出力モード選択時は、“00b” (アップカウント) または“01b” (アップダウンカウント) にしてください。

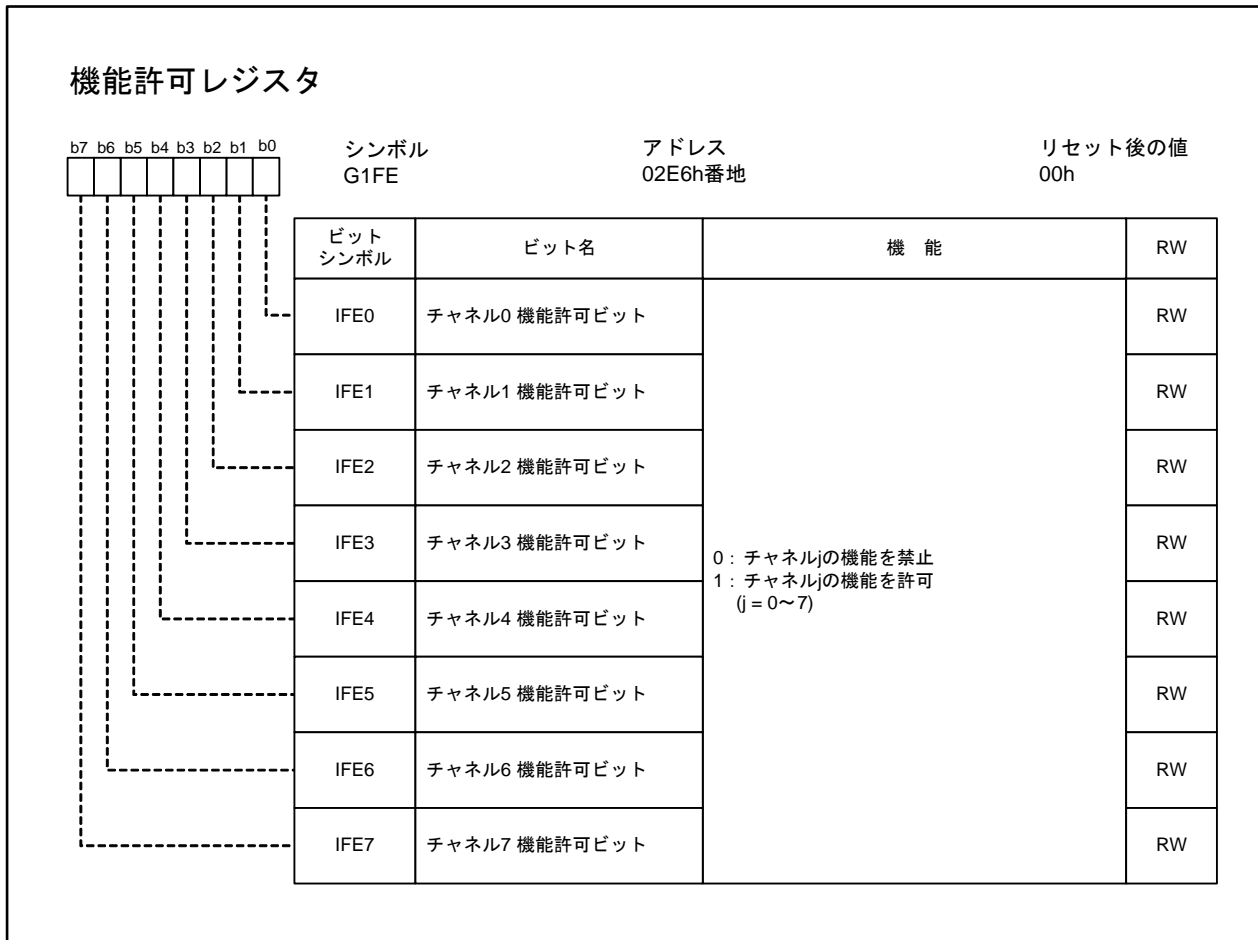
18.2.8 時間計測プリスケアラレジスタj (G1TPRj) (j=6, 7)

時間計測プリスケアラレジスタj (j=6, 7)			
b7 ┌──────────┐ │ │ └──────────┘ ┌──────────┐ │ │ └──────────┘ ┌──────────┐ │ │ └──────────┘	シンボル G1TPR6~G1TPR7	アドレス 02E4h~02E5h番地	リセット後の値 00h
	機 能	設定値	RW
	設定値をnとすると、トリガ入力をn+1カウントするごとに時間計測を行います。	00h~FFh	RW

このレジスタに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されません。

G1TMCRj レジスタのPR ビットを“0” (プリスケアラ機能を使用しない) から“1” (プリスケアラ機能を使用する) にした後の最初のプリスケアラ周期は、設定値nに対してn+1にならずにnになることがあります。それ以降の周期では、設定値nに対してn+1になります。

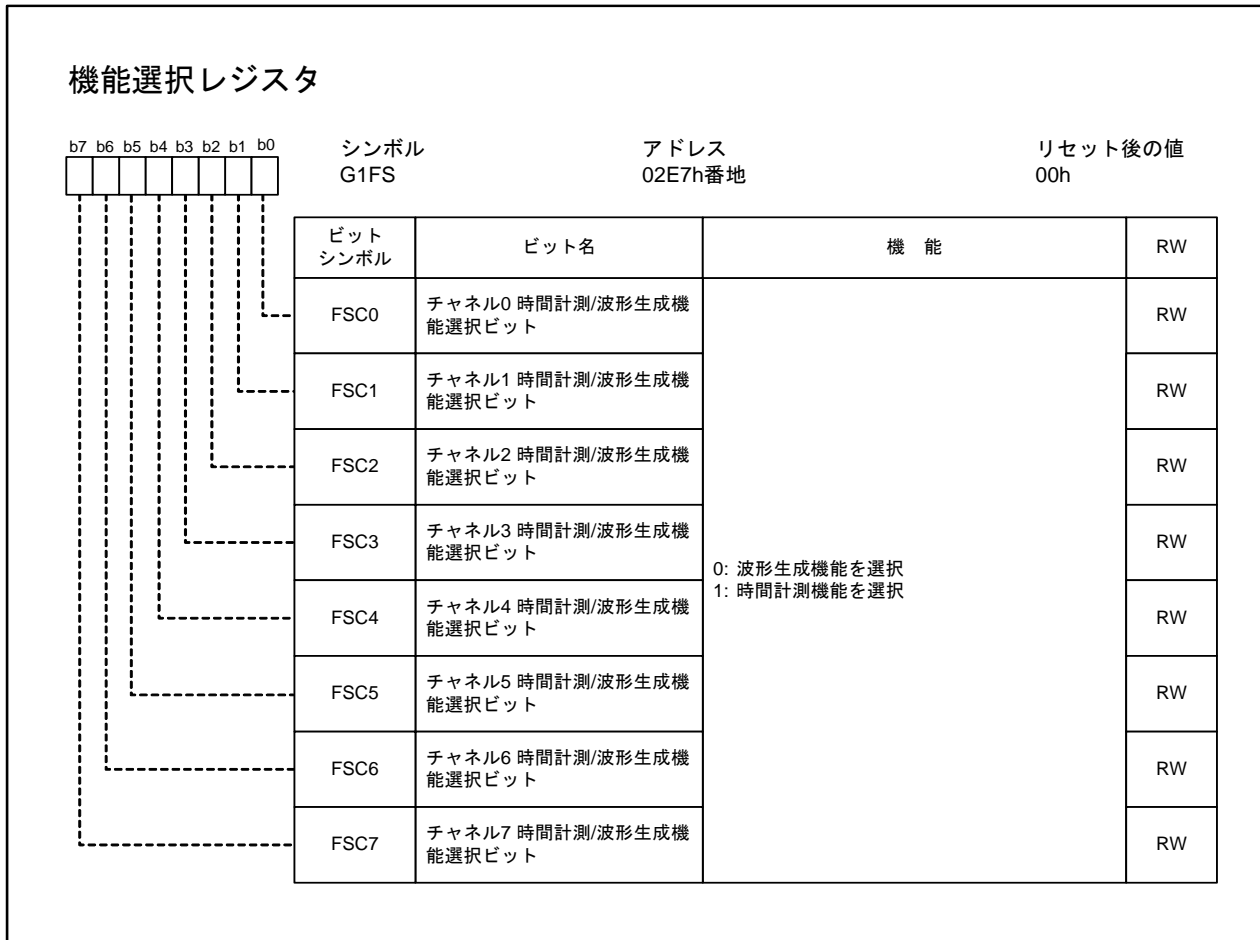
18.2.9 機能許可レジスタ (G1FE)



このレジスタに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されま

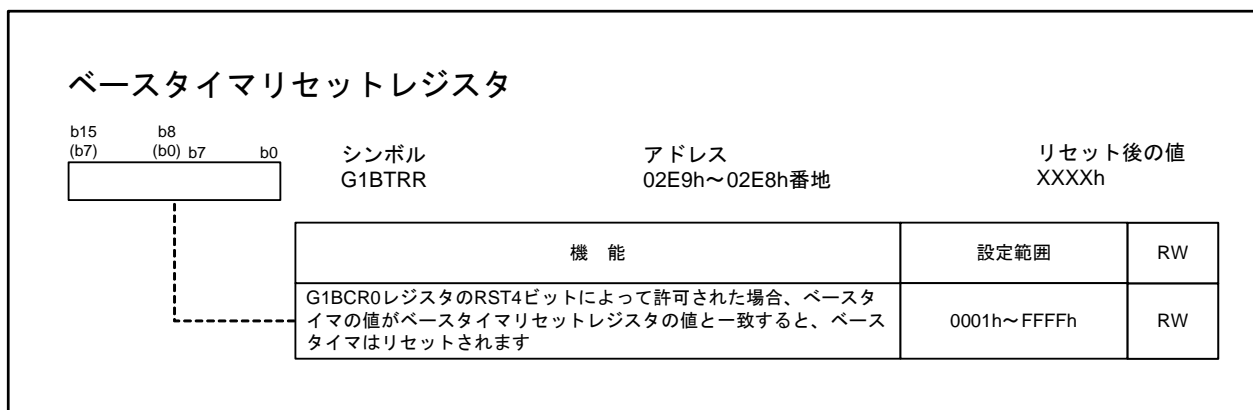
す。
チャンネルj (j=0~7)の機能を禁止したとき、各端子の機能は入出力ポートになります。

18.2.10 機能選択レジスタ (G1FS)



このレジスタの値は、G1BCR1レジスタのBTSビットが“0” (ベースタイマリセット)のときに書き換えてください。

18.2.11 ベースタイマリセットレジスタ (G1BTRR)



16ビット単位でライトしてください。このレジスタに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されます。G1BCR0レジスタのRST4ビットが“1”のときは、G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)のときに、G1BTRRレジスタの値を書き換えてください。

18.2.12 カウントソース分周レジスタ (G1DV)



このレジスタの値は、G1BCR0レジスタのBCK1、BCK0ビットが“00b”(クロック停止)のときに書き換えてください。

18.2.13 波形出カマスタ許可レジスタ (G1OER)

波形出カマスタ許可レジスタ

シンボル G1OER	アドレス 02ECh番地	リセット後の値 00h	
ビット シンボル	ビット名	機 能	RW
EOC0	OUTC1_0 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_0 端子はプログラマブル 入出力ポート)	RW
EOC1	OUTC1_1 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_1 端子はプログラマブル 入出力ポート)	RW
EOC2	OUTC1_2 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_2 端子はプログラマブル 入出力ポート)	RW
EOC3	OUTC1_3 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_3 端子はプログラマブル 入出力ポート)	RW
EOC4	OUTC1_4 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_4 端子はプログラマブル 入出力ポート)	RW
EOC5	OUTC1_5 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_5 端子はプログラマブル 入出力ポート)	RW
EOC6	OUTC1_6 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_6 端子はプログラマブル 入出力ポート)	RW
EOC7	OUTC1_7 出力禁止ビット	0: 出力許可 1: 出力禁止(OUTC1_7 端子はプログラマブル 入出力ポート)	RW

各EOC_jビット(j=0~7)は、G1FSレジスタのFSC_jビットが“0”(波形生成機能を選択)かつG1FEレジスタのIFE_jビットが“1”(チャンネルjの機能を許可)のときのみに有効です。SR波形出力モード選択の奇数チャンネルまたはG1FSレジスタのFSC_jビットが“1”(時間計測機能を選択)の場合は、EOC_jビットを“1”(出力禁止)としてください。各ビットに書いた場合、fBT1と無関係に、書いた時点から出力に反映されます。

18.2.14 タイマS I/O 制御レジスタ0 (G1IOR0)

タイマS I/O制御レジスタ0		シンボル G1IOR0	アドレス 02EEh番地	リセット後の値 00h									
b7	b6	b5	b4	b3	b2	b1	b0						
								ビット シンボル	ビット名	機能	RW		
								IO00	OUTC1_0 出力制御ビット	b1 b0 0 0 : G1POCR0レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO0レジスタのコンペアー致で “L” 出力 1 0 : G1PO0レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW		
								IO01			RW		
								IO10	OUTC1_1 出力制御ビット	b3 b2 0 0 : G1POCR1レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO1レジスタのコンペアー致で “L” 出力 1 0 : G1PO1レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW		
								IO11			RW		
								IO20	OUTC1_2 出力制御ビット	b5 b4 0 0 : G1POCR2レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO2レジスタのコンペアー致で “L” 出力 1 0 : G1PO2レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW		
								IO21			RW		
								IO30	OUTC1_3 出力制御ビット	b7 b6 0 0 : G1POCR3レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO3レジスタのコンペアー致で “L” 出力 1 0 : G1PO3レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW		
								IO31			RW		

このレジスタに書いた値は、ベースタイマのカウンソース fBT1 に同期して内部回路に反映されま
す。

G1FS レジスタの FSC_j ビット (j=0~3) を “1” (時間計測機能を選択) としているチャンネルは、対応する出
力制御ビットの IO_j1~IO_j0 ビットを “00b” にしてください。

また SR 波形出力モードを選択している場合は、奇数チャンネル、偶数チャンネルともに IO_j1~IO_j0 ビット
を “00b” にしてください。

18.2.15 タイマS I/O 制御レジスタ1 (G1IOR1)

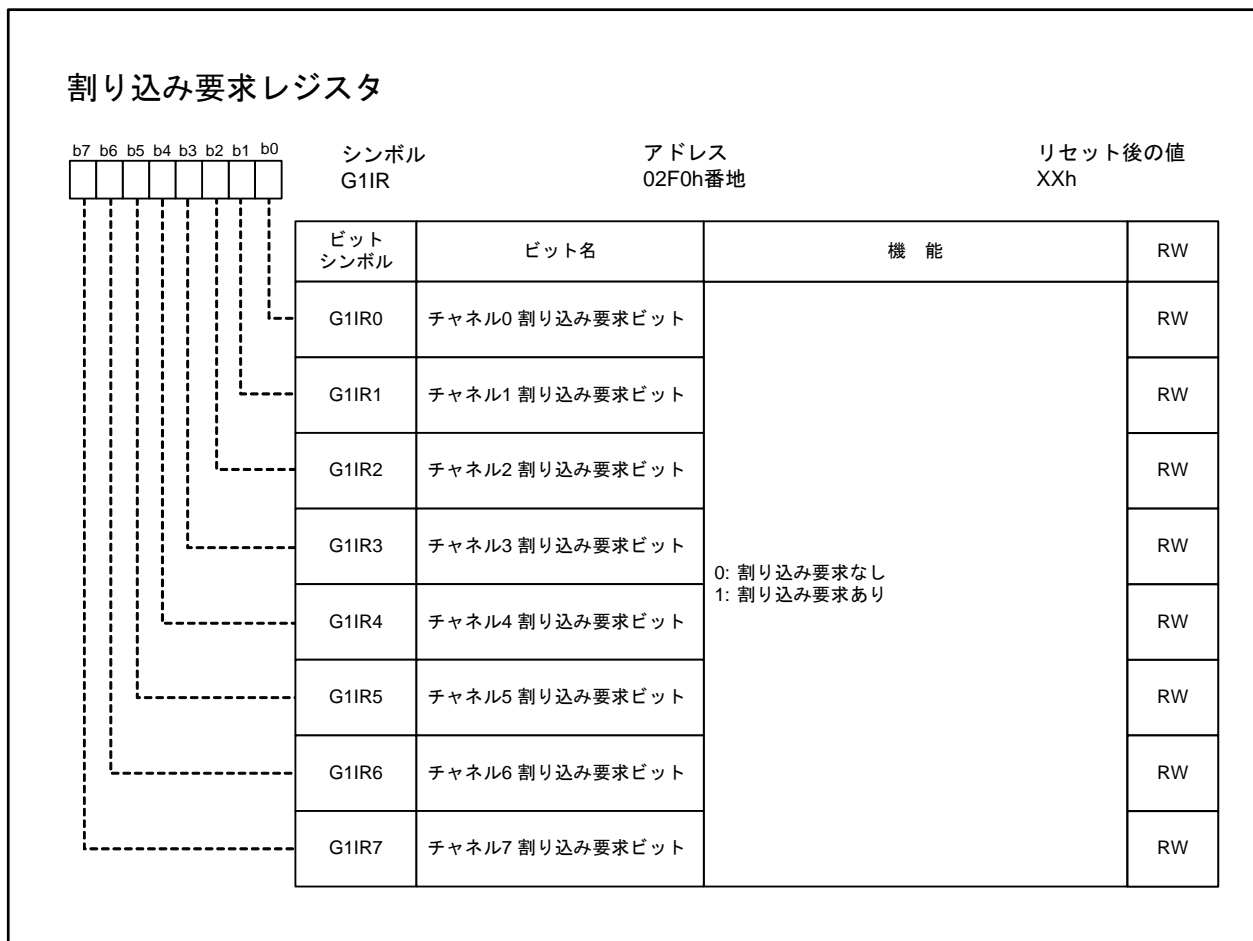
b7 b6 b5 b4 b3 b2 b1 b0		シンボル G1IOR1	アドレス 02EFh番地	リセット後の値 00h	
		ビット シンボル	ビット名	機能	RW
		IO40	OUTC1_4 出力制御ビット	b1 b0 0 0 : G1POCR4レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO4レジスタのコンペアー致で “L” 出力 1 0 : G1PO4レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
		IO41			RW
		IO50	OUTC1_5 出力制御ビット	b3 b2 0 0 : G1POCR5レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO5レジスタのコンペアー致で “L” 出力 1 0 : G1PO5レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
		IO51			RW
		IO60	OUTC1_6 出力制御ビット	b5 b4 0 0 : G1POCR6レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO6レジスタのコンペアー致で “L” 出力 1 0 : G1PO6レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
		IO61			RW
		IO70	OUTC1_7 出力制御ビット	b7 b6 0 0 : G1POCR7レジスタのMOD1~MOD0ビットで 選択したモードに従う 0 1 : G1PO7レジスタのコンペアー致で “L” 出力 1 0 : G1PO7レジスタのコンペアー致で “H” 出力 1 1 : 設定しないで下さい	RW
		IO71			RW

このレジスタに書いた値は、ベースタイマのカウントソースfBT1に同期して内部回路に反映されま
す。

G1FSレジスタのFSCjビット(j=4~7)を“1”(時間計測機能を選択)としているチャンネルは、対応する出
力制御ビットのIOj1~IOj0ビットを“00b”にしてください。

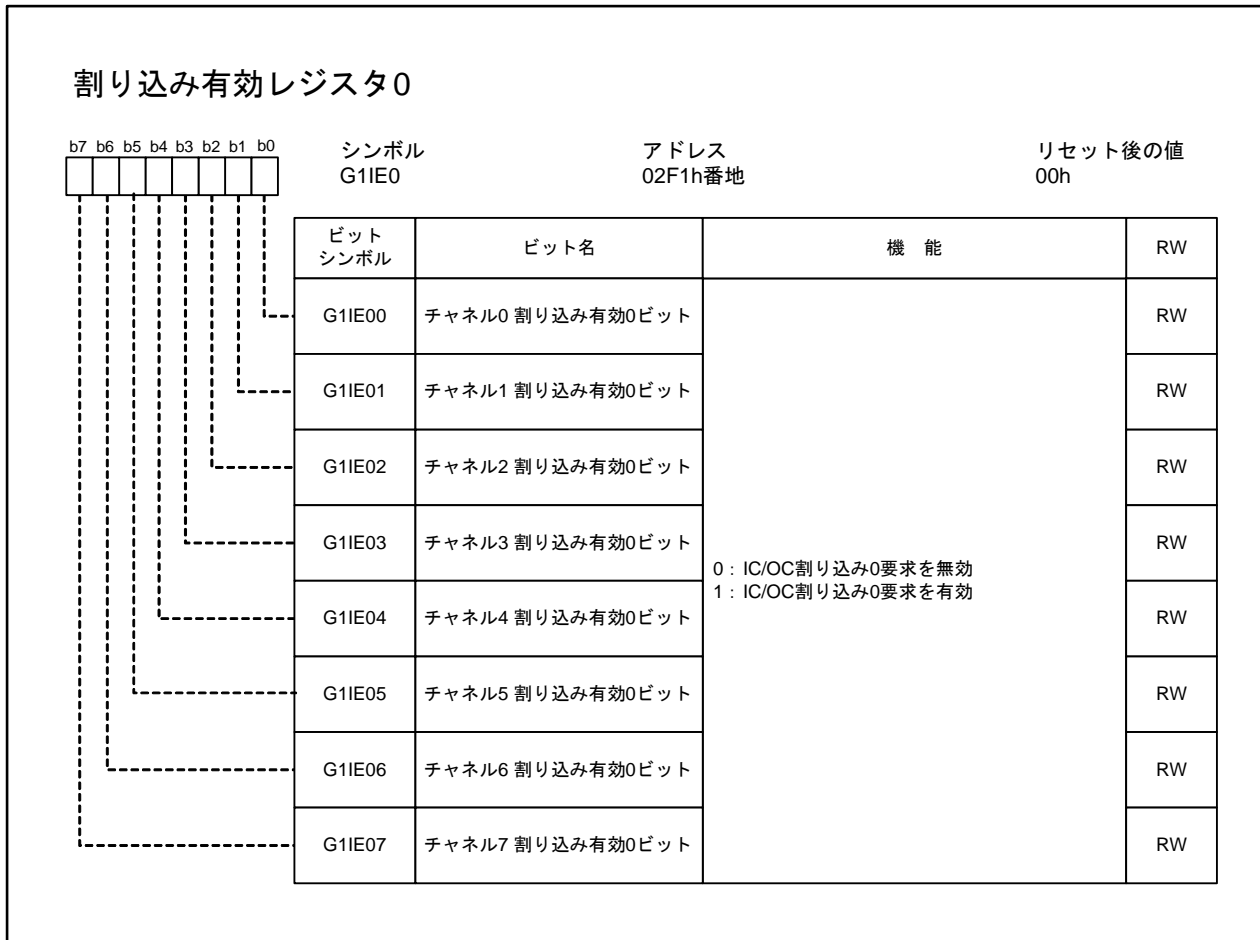
またSR波形出力モードを選択している場合は、奇数チャンネル、偶数チャンネルともにIOj1~IOj0ビッ
トを“00b”にしてください。

18.2.16 割り込み要求レジスタ (G1IR)

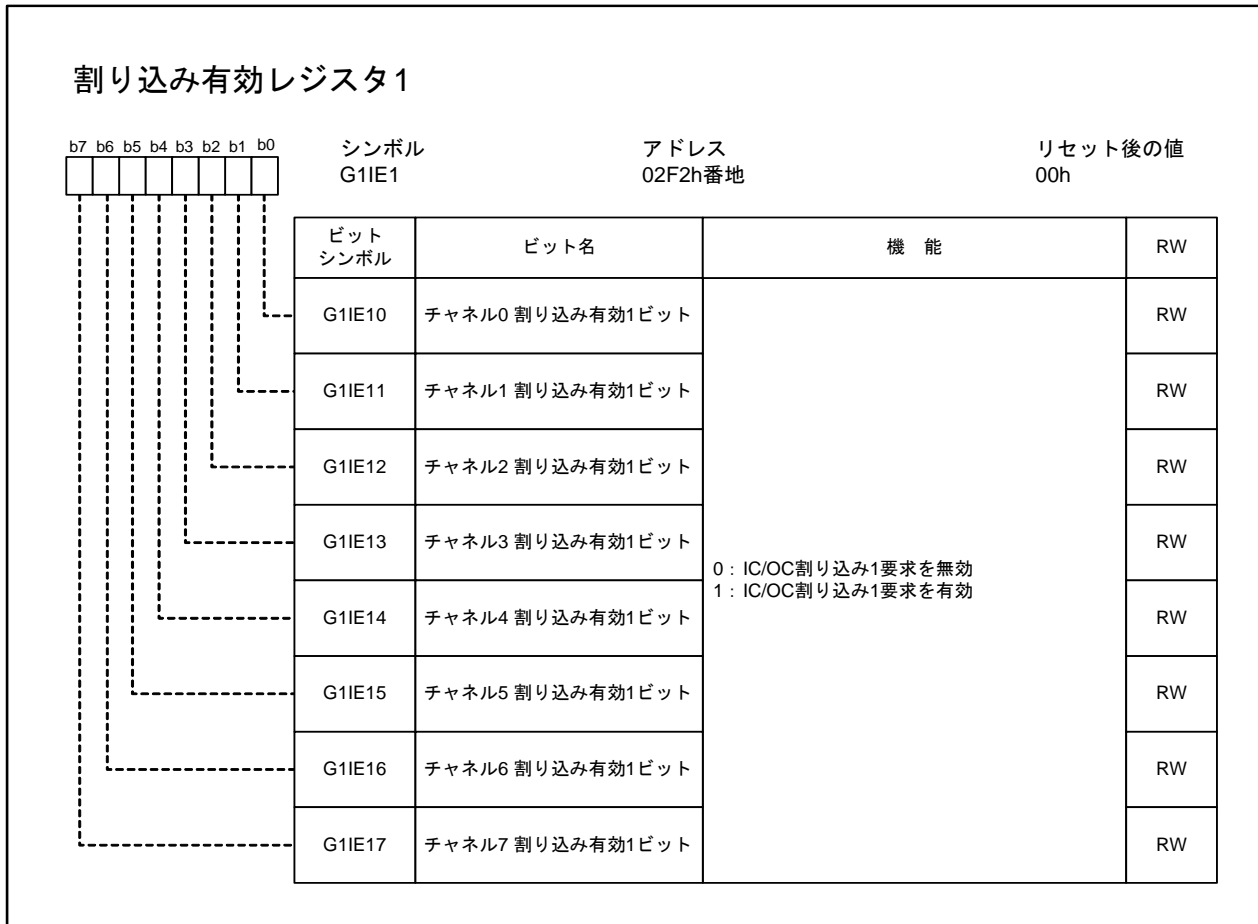


G1IRレジスタの各ビットは割り込みの受け付けによって自動的に“0”になりません。
 “0”にするには割り込み要求が“1”になってからfBT1の1サイクル以上経過した後に「18.5.2 G1IRレジスタの変更」の手順で“0”にしてください。
 このビットの値は、CPUクロックに同期して内部回路に反映されます。

18.2.17 割り込み有効レジスタ0 (G1IE0)



18.2.18 割り込み有効レジスタ1 (G1IE1)



18.3 動作説明

18.3.1 ベースタイマ

内部で生成されたカウントソースをフリーランカウントします。

表 18.5にベースタイマの仕様を、図 18.3にベースタイマのブロック図を、表 18.6にベースタイマ関連レジスタの設定を、図 18.4にアップカウントの動作例を、図 18.5にアップダウンカウントの動作例を、図 18.7に二相パルス信号処理動作(ベースタイマリセットした場合)の動作例を示します。

表 18.5 ベースタイマの仕様

項目	仕様
カウントソース (fBT1)	f1TIMSまたはf2TIMSの(n+1)分周、二相パルスクロックの(n+1)分周 n: G1DVレジスタの設定値。n=0~255。 ただしn=0の場合、分周しない
カウント動作	<ul style="list-style-type: none"> • アップカウント • アップダウンカウント • 二相パルス信号処理
カウント開始条件	G1BCR1レジスタのBTSビットを“1”(ベースタイマカウント開始)にする
カウント停止条件	G1BCR1レジスタのBTSビットを“0”(ベースタイマリセット)にする
ベースタイマリセット条件	<ul style="list-style-type: none"> • ベースタイマとG1BTRRレジスタの値が一致 • ベースタイマとG1PO0レジスタの値が一致 • 外部割り込み端子 $\overline{\text{INT1}}$に“L”を入力 • G1BCR1レジスタのBTSビットが“0”(ベースタイマリセット)
ベースタイマリセット時の値	“0000h”
割り込み要求	<ul style="list-style-type: none"> • G1BTレジスタのビット14またはビット15のオーバフロー • ベースタイマの値がG1BTRRレジスタの値と一致
ベースタイマの読み出し	<ul style="list-style-type: none"> • ベースタイマ動作中にG1BTレジスタを読むと現在のカウント値が読める • BTSビットが“0”のときのベースタイマリセット中にG1BTレジスタを読むと不定値になる

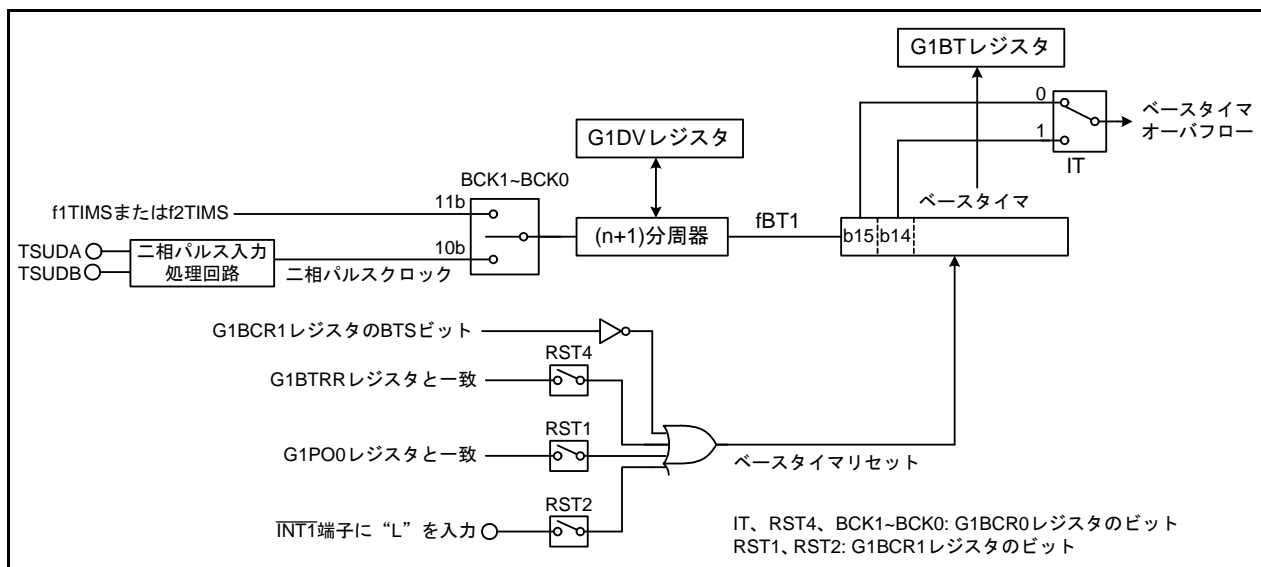


図 18.3 ベースタイマのブロック図

表 18.6 ベースタイマ関連レジスタの設定 (注1)

レジスタ	ビット	機能、設定値		
		ベースタイマリセットを使用しない場合	G1BTRRレジスタによるベースタイマリセットを使用する場合	G1PO0レジスタによるベースタイマリセットを使用する場合
G1BCR0	BCK1~BCK0	カウントソースを選択してください	カウントソースを選択してください	カウントソースを選択してください
	RST4	"0"にしてください	"1"にしてください	"0"にしてください
	IT	IC/OCベースタイマ割り込み要求のタイミングを選択してください	IC/OCベースタイマ割り込み要求のタイミングを選択してください	IC/OCベースタイマ割り込み要求のタイミングを選択してください
G1BCR1	RST1	"0"にしてください	"0"にしてください	"1"にしてください
	RST2	INT1端子をベースタイマリセットに使用する/しないを選択してください	INT1端子をベースタイマリセットに使用する/しないを選択してください	INT1端子をベースタイマリセットに使用する/しないを選択してください
	BTS	ベースタイマのカウント開始時"1"に、ベースタイマリセット時"0"にしてください	ベースタイマのカウント開始時"1"に、ベースタイマリセット時"0"にしてください	ベースタイマのカウント開始時"1"に、ベースタイマリセット時"0"にしてください
	UD1~UD0	カウント動作を選択してください	カウント動作を選択してください	カウント動作を選択してください
G1BT	—	ベースタイマの値の読み出しができません	ベースタイマの値の読み出しができません	ベースタイマの値の読み出しができません
G1DV	—	カウントソース分周比を設定してください	カウントソース分周比を設定してください	カウントソース分周比を設定してください
G1BTRR	—	— (使用しない)	ベースタイマリセットタイミングを設定してください	— (使用しない)
G1POCR0	MOD1~MOD0	— (ベースタイマには使用しない)	—	"00b"にしてください
G1PO0	—	— (ベースタイマには使用しない)	—	ベースタイマリセットタイミングを設定してください
G1FS	FSC0	— (ベースタイマには使用しない)	—	"0"にしてください
G1FE	IFE0	— (ベースタイマには使用しない)	—	"1"にしてください
G1IOR0	IO01~IO00	— (ベースタイマには使用しない)	—	"00b"にしてください

注1. この表は手順を示すものではありません。

18.3.1.1 アップカウント

カウント開始後、“0000h”から“FFFFh”までアップカウントし、“0000h”に戻ってアップカウントを続けます。

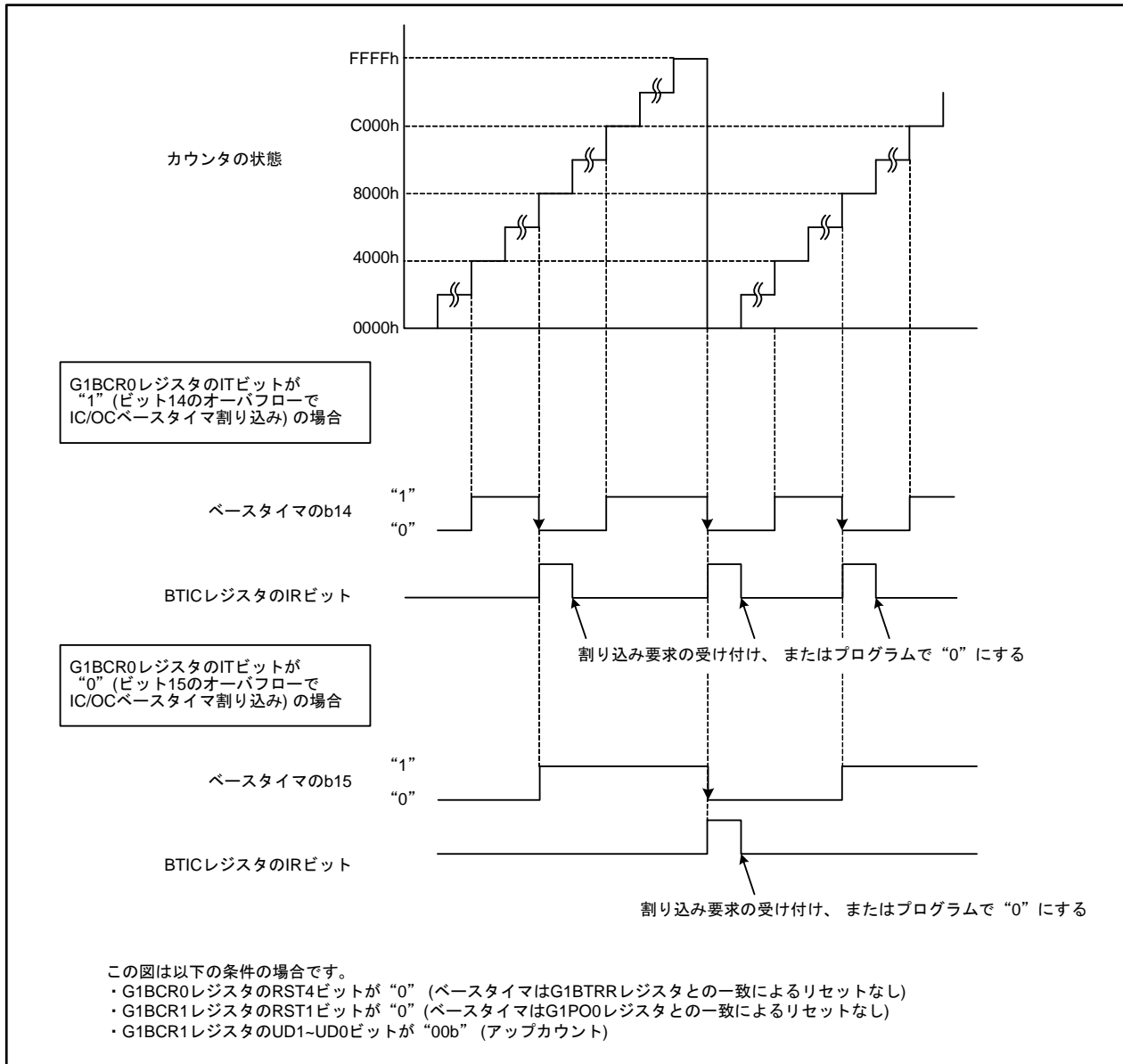


図 18.4 アップカウント

18.3.1.2 アップダウンカウント

カウント開始後、“0000h”から“FFFFh”までアップカウントし、“FFFFh”からは“0000h”までダウンカウントします。以後この動作を繰り返します。

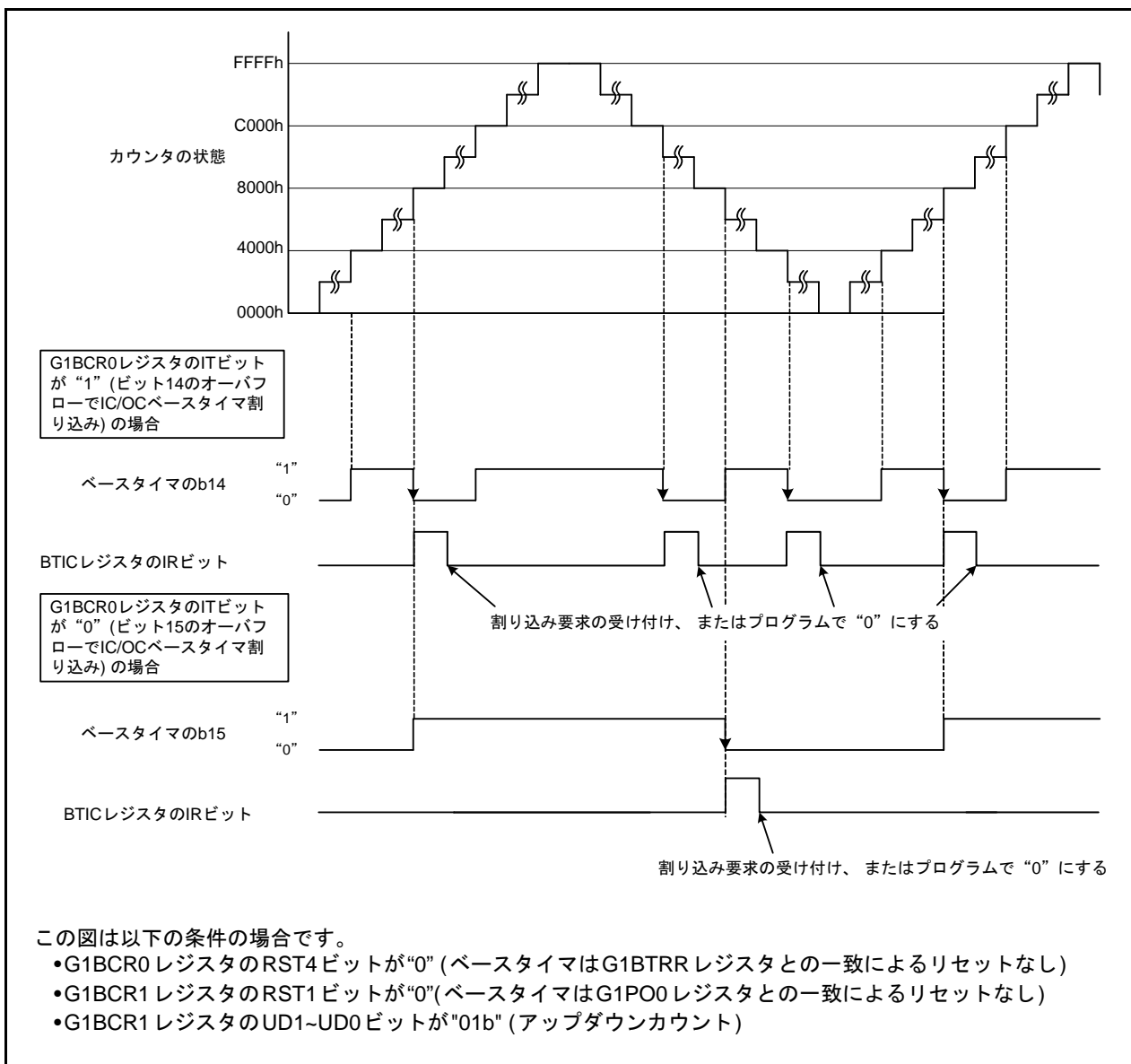


図 18.5 アップダウンカウント

18.3.1.3 二相パルス信号処理

TSUDA、TSUDB端子から入力した二相パルスをカウントします。

二相パルス処理では、次に示すビットを下のように設定してください。

G1BCR0レジスタのBCK1~BCK0: 10b (二相パルスクロック)

G1BCR1レジスタのRST2: 1 (INT1端子への“L”レベル入力でベースタイマをリセットする)

G1BCR1レジスタのUD1~UD0: 10b (二相パルス信号処理)

図 18.6 に二相パルス信号処理動作を、図 18.7 に二相パルス信号処理動作 (ベースタイマリセットした場合)を示します。

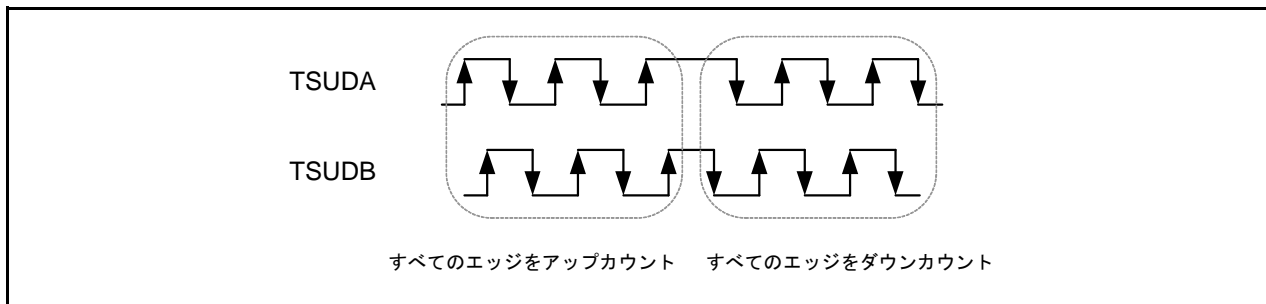


図 18.6 二相パルス信号処理動作

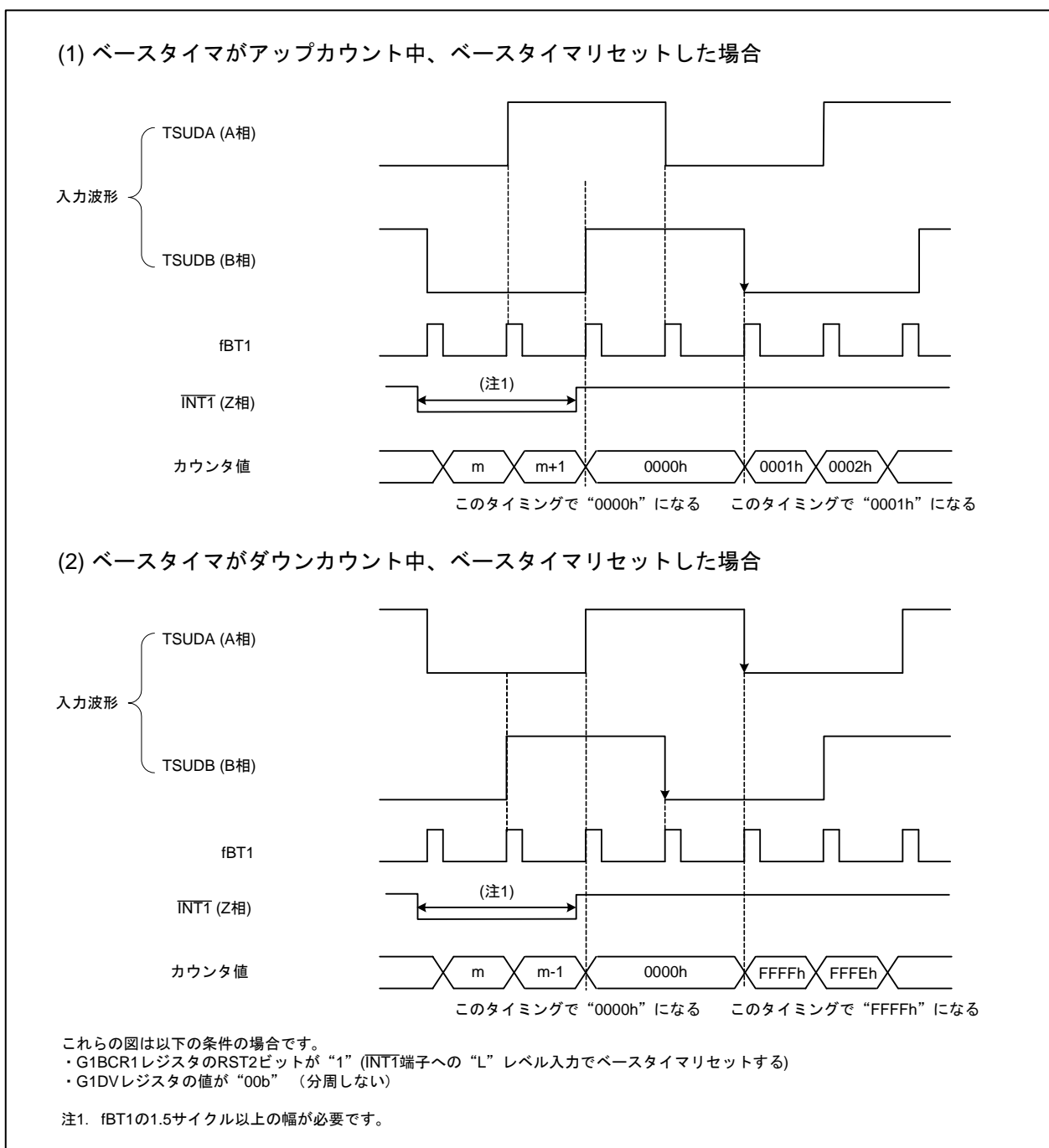


図 18.7 二相パルス信号処理動作 (ベースタイマリセットした場合)

18.3.1.4 ベースタイマ動作中のベースタイマリセット

ベースタイマは下記のいずれかの条件でリセットされます。

- G1BCR0レジスタのRST4ビットを“1”に設定後、G1BTRRレジスタに格納された値とベースタイマの値が一致 (G1BTRRレジスタとの一致によりベースタイマリセット)
- G1BCR1レジスタのRST1ビットを“1”に設定後、G1PO0レジスタに格納された値とベースタイマの値が一致 (G1PO0レジスタとの一致によりベースタイマリセット)
- G1BCR1レジスタのRST2ビットを“1”に設定後、外部割り込み端子 $\overline{INT1}$ に“L”を入力 ($\overline{INT1}$ への“L”入力によりベースタイマリセット)

RST1ビットとRST4ビットを同時に“1”にしないでください。

フリーラン以外でベースタイマが動作している場合、G1BTRRレジスタとの一致によりベースタイマをリセットすると、チャンネル0を波形生成に使用することができます。

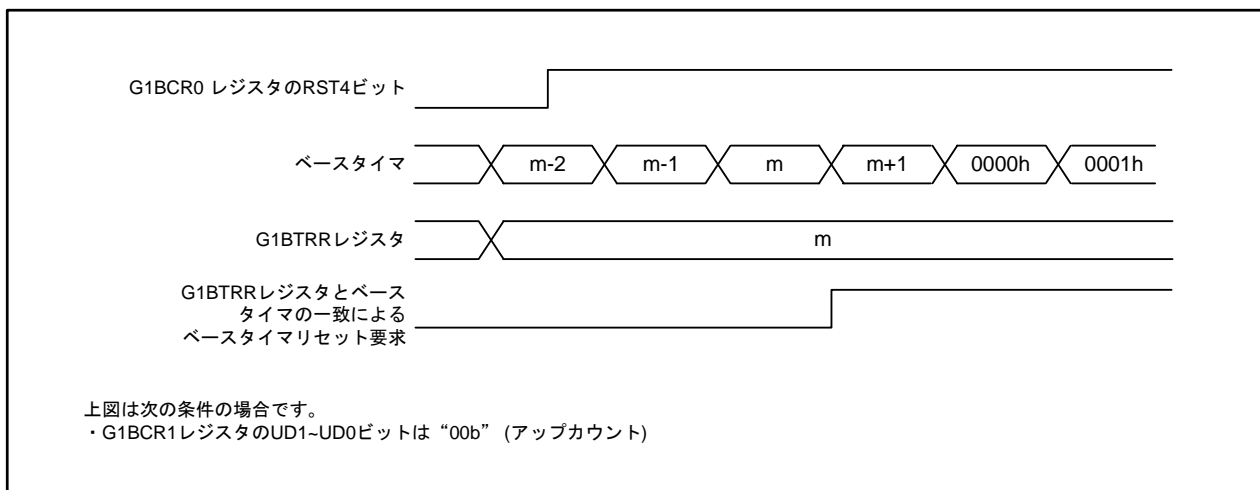


図 18.8 G1BTRRレジスタによるベースタイマリセット動作

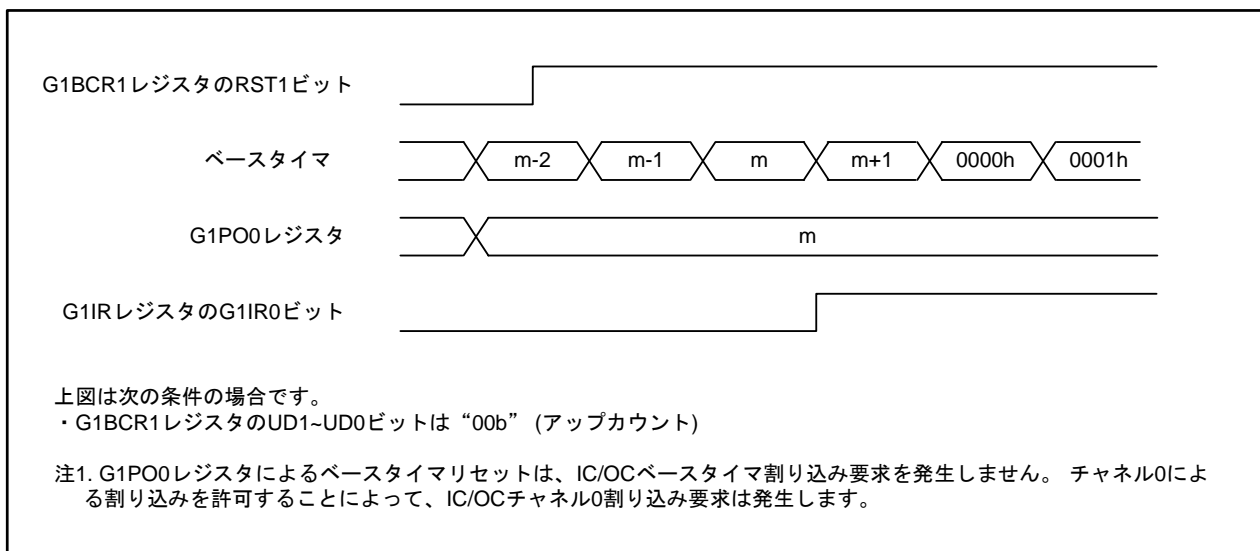


図 18.9 G1PO0レジスタによるベースタイマリセット動作

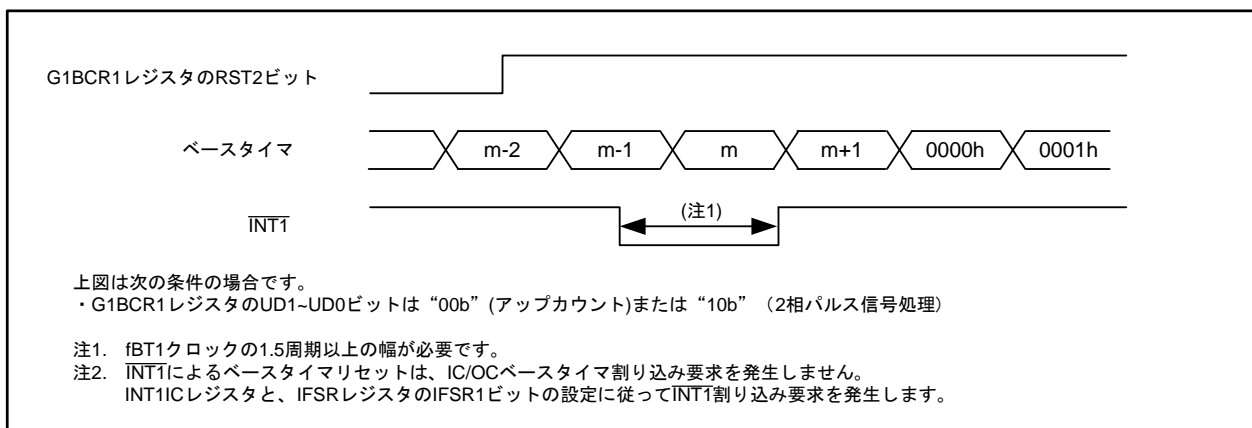


図 18.10 INT1によるベースタイマリセット動作

ベースタイマリセット時におけるベースタイマのカウンタ状態とカウンタ値の変化の関係は、表 18.7~表 18.9のとおりです。

表 18.7 アップカウント時の関係

リセット要因	カウンタ状態の変化	カウンタ値の変化
RST1リセット	変化なし(アップカウント)	0000hに初期化する
RST2リセット	変化なし(アップカウント)	0000hに初期化する
RST4リセット	変化なし(アップカウント)	0000hに初期化する

表 18.8 アップダウンカウンタ時の関係

リセット要因	アップカウントの場合		ダウンカウンタの場合	
	カウンタ状態の変化	カウンタ値の変化	カウンタ状態の変化	カウンタ値の変化
RST1リセット	ダウンカウンタへ変化	0000hに初期化しない	変化なし(ダウンカウンタ継続)	0000hに初期化しない
RST2リセット	ダウンカウンタへ変化	0000hに初期化しない	変化なし(ダウンカウンタ継続)	0000hに初期化しない
RST4リセット	ダウンカウンタへ変化	0000hに初期化しない	変化なし(ダウンカウンタ継続)	0000hに初期化しない

表 18.9 二相パルス信号処理時の関係

リセット要因	アップカウントの場合		ダウンカウンタの場合	
	カウンタ状態の変化	カウンタ値の変化	カウンタ状態の変化	カウンタ値の変化
RST1リセット	変化なし(アップカウンタ継続)	0000hに初期化する	変化なし(ダウンカウンタ継続)	0000hに初期化しない
RST2リセット	変化なし(アップカウンタ継続)	0000hに初期化する	変化なし(ダウンカウンタ継続)	0000hに初期化する
RST4リセット	変化なし(アップカウンタ継続)	0000hに初期化する	変化なし(ダウンカウンタ継続)	0000hに初期化しない

18.3.2 時間計測機能

外部入力をトリガにして、ベースタイマの値をG1TMjレジスタ(j=0~7)に格納します。表 18.10に時間計測機能の仕様を示します。表 18.11に時間計測機能関連レジスタの設定を示します。図 18.11~図 18.12に時間計測機能の動作例を示します。図 18.13にプリスケアラ機能とゲート機能使用時の動作例を示します。

表 18.10 時間計測機能の仕様

項目	仕様
計測チャンネル	チャンネル0~7
トリガ入力極性選択	INPC1_j端子の立ち上がりエッジ、立ち下がりエッジ、または両エッジ
計測開始条件	G1FSレジスタのFSCjビットが“1”(時間計測機能を選択)の状態、G1FEレジスタのIFEjビットを“1”(チャンネルjの機能を許可)にする
計測停止条件	IFEjビットを“0”(チャンネルjの機能を禁止)にする
時間計測タイミング	<ul style="list-style-type: none"> プリスケアラ機能なし: トリガ入力ごと プリスケアラ機能あり(チャンネル6、7): (G1TPRkレジスタ値+1)回目のトリガ入力ごと
割り込み要求発生タイミング	時間計測タイミング
INPC1_j端子機能	トリガ入力
選択機能	<ul style="list-style-type: none"> デジタルフィルタ機能 トリガ入力レベルをサンプリングクロック(f1TIMS、f2TIMSまたはfBT1)ごとに判定し、3回一致したパルス成分を通過させる プリスケアラ機能(チャンネル6、7) トリガ入力をカウントし、(G1TPRkレジスタ値+1)回目のトリガ入力ごとに時間計測を実行 ゲート機能(チャンネル6、7) 最初のトリガ入力による時間計測以降、トリガ入力の受け付けを禁止する デジタルデバウンスフィルタ(チャンネル7) P1_7/INPC1_7入力はデジタルデバウンスフィルタあり

j=0~7、k=6、7

表 18.11 時間計測機能関連レジスタの設定 (注1)

レジスタ	ビット	機能
G1TMj	—	時間計測結果が読めます
G1TMCRj	CTS1~CTS0	時間計測トリガを選択してください
	DF1~DF0	デジタルフィルタ機能を使用する/しない、使用する場合のサンプリングクロックを選択してください
G1TMCRk	GT、GOC、GSC	ゲート機能を使用する場合設定してください
	PR	プリスケラ機能を使用する/しないを選択してください
G1TPRk	—	プリスケラを使用する場合、値を設定してください
G1FS	FSCj	“1” (時間計測機能) にしてください
G1FE	IFEj	“1” (チャンネルjの機能を許可) にしてください
G1POCRp	MOD1~MOD0	“00b” にしてください (注2)
G1POp	—	ゲート解除タイミングを設定してください (注2)
G1FS	FSCp	“0” にしてください (注2)
G1FE	IFEp	“1” にしてください (注2)
G1OER	EOCp	“1” にしてください (注2)
G1IOR1	IOP1~IOP0	“00b” にしてください (注2)
G1BCR0	CH7INSEL	INPC1_7の配置を選択してください。

j=0~7、k=6、7、p=k-2

注1. この表は手順を示すものではありません。

注2. G1TMCRkレジスタのGTビットとGOCビットがともに“1”の場合に設定してください。

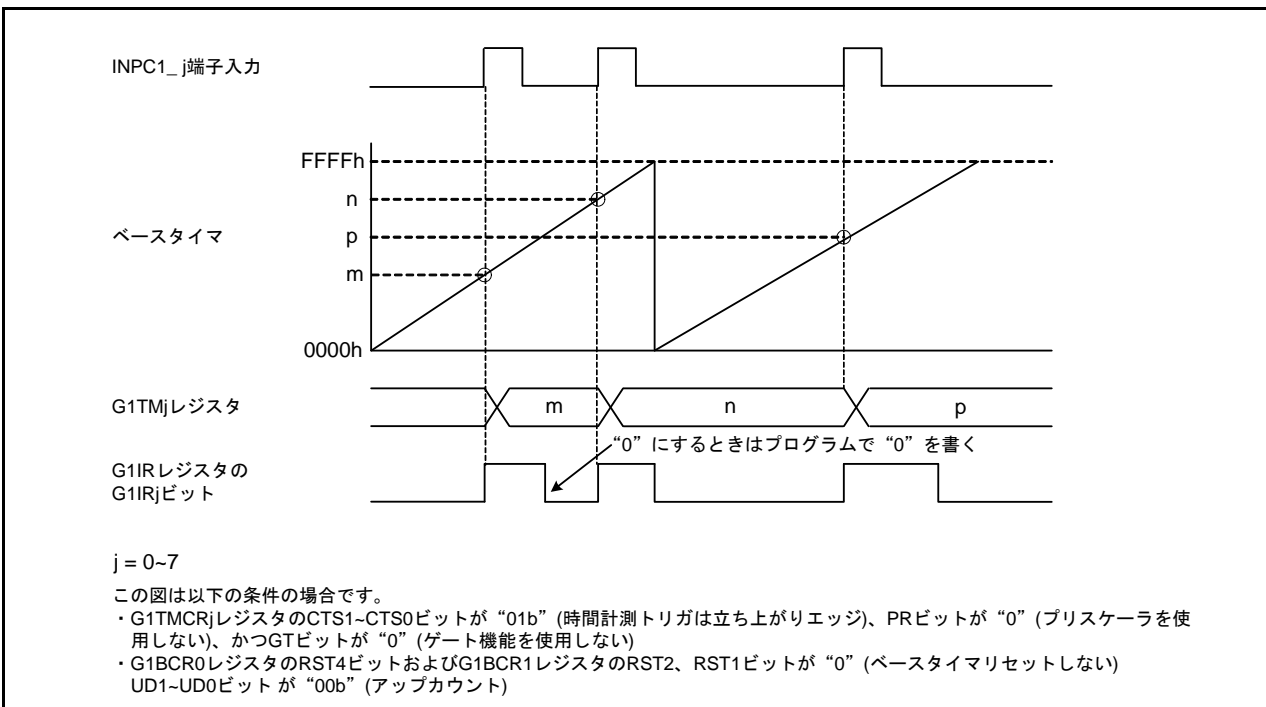


図 18.11 時間計測機能 (1/2)

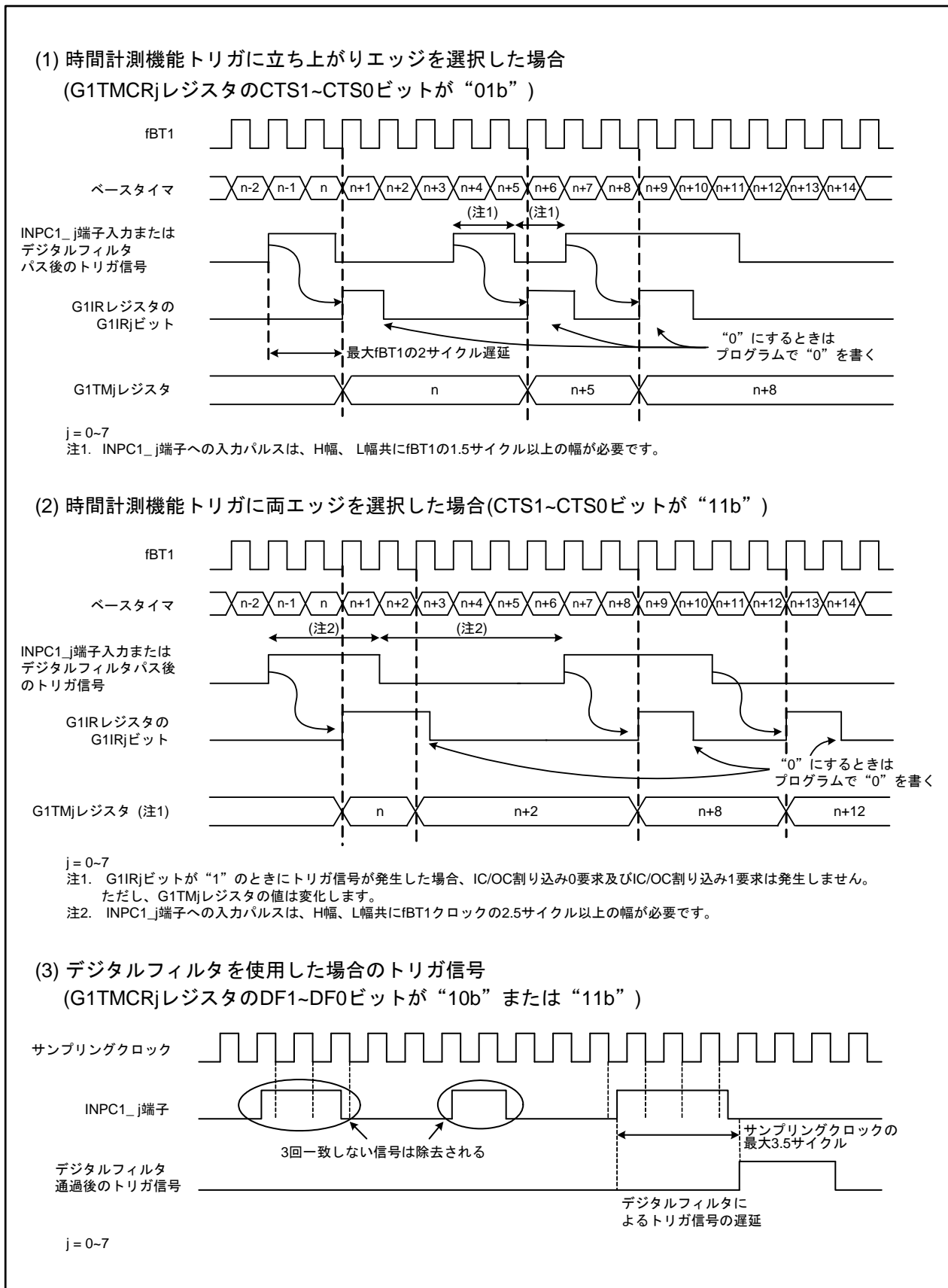


図 18.12 時間計測機能 (2/2)

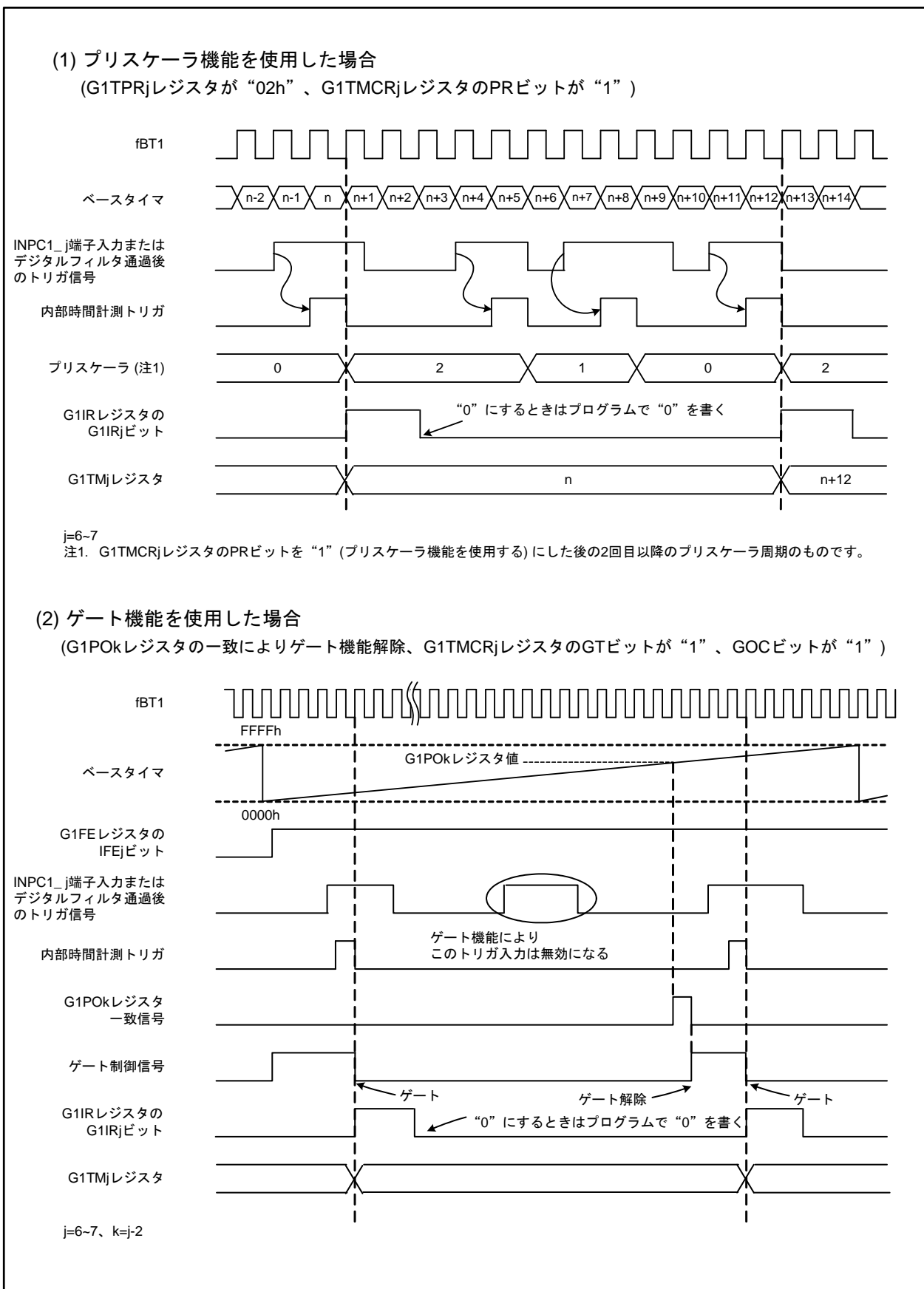


図 18.13 プリスケアラ機能とゲート機能

18.3.2.1 ゲート機能 (チャンネル6、7)

G1TMCRjレジスタ(j=6,7)のGTビットが“1”(ゲート機能を使用する)の場合、最初のトリガ入力による時間計測以降、トリガ入力の受け付けを禁止します。

G1TMCRjレジスタのGSCビットに“1”を書くと、再度トリガ入力の受け付けを許可します。

また、G1TMCRjレジスタのGOCビットが“1”の場合は、ベースタイマとG1POkレジスタ(k=j-2)の値が一致すると、再度トリガ入力の受け付けを許可します。「図 18.13 プリスケアラ機能とゲート機能図」の「(2)ゲート機能を使用した場合」に動作例を示します。

18.3.3 波形生成機能

ベースタイマとG1POjレジスタ(j=0~7)の値により、波形生成を行います。

波形生成機能には次の3つのモードがあります。

- 単相波形出力モード
- 反転波形出力モード
- セット/リセット波形出力(SR波形出力)モード

また単相波形出力モード、反転波形出力モードでは、コンペア一致出力の選択が可能です。

さらにモードによらず、波形生成中に各チャンネル出力を一時的に出力禁止して、プログラマブル入出力ポートに設定することが可能です。

18.3.3.1 単相波形出力モード

ベースタイマとG1POjレジスタ(j=0~7)の値が一致すると、G1POCRjレジスタのINVビットが“0”(出力反転しない)の場合、OUTC1_j端子から“H”レベルを出力します。ベースタイマが“0000h”になるとOUTC1_j端子から“L”レベルを出力します。G1POCRjレジスタのMOD1~MOD0ビットが“00b”(単相波形出力モード)の場合、G1BCR1レジスタのUD1~UD0ビットを“00b”(アップカウント)にしてください。表 18.11~表 18.12に単相波形出力モードの仕様、表 18.13に単相波形出力モード時の使用レジスタと設定値、図 18.14~図 18.15に単相波形出力モードの動作例を示します。

表 18.12 単相波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> フリーラン動作 (G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0” (ベースタイマリセットしない)) <p>周期: $\frac{65536}{f_{BT1}}$</p> <p>初期出力レベル幅: $\frac{m}{f_{BT1}}$</p> <p>反転レベル幅: $\frac{65536 - m}{f_{BT1}}$</p> <ul style="list-style-type: none"> ベースタイマがいずれかのレジスタの値と一致した場合、ベースタイマを“0000h”にする <ul style="list-style-type: none"> G1PO0 (RST1ビットが“1”かつRST4、RST2ビットが“0”) G1BTRR (RST4ビットが“1”かつRST2、RST1ビットが“0”) <p>周期: $\frac{n + 2}{f_{BT1}}$</p> <p>初期出力レベル幅: $\frac{m}{f_{BT1}}$</p> <p>反転レベル幅: $\frac{n + 2 - m}{f_{BT1}}$</p> <p>m: G1POjレジスタの設定値 n: G1PO0レジスタまたはG1BTRRレジスタの設定値 0001h ≤ m < n ≤ FFFDh</p>
波形出力開始条件	G1FEレジスタのIFEjビットを“1” (チャネルjの機能を許可) にする
波形出力停止条件	IFEjビットを“0” (チャネルjの機能を禁止) にする
割り込み要求発生タイミング	ベースタイマ値とG1POjレジスタの値が一致したとき
OUTC1_j端子	パルス出力または入出力ポート
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形をレベル反転して、OUTC1_j端子から出力 コンペアー一致出力機能 コンペアー一致出力を設定すると、ベースタイマがmと一致したときから、出力レベルを“H”または“L”に固定。 コンペアー一致出力を解除すると、次にベースタイマがmと一致したときから再び単相波形を出力。 出力禁止機能 G1OERレジスタのEOCjビットを“1” (出力禁止) に設定すると、OUTC1_j端子は波形出力を中止し、プログラマブル入出力ポートになる。EOCjビットを“0” (出力許可) に設定すると、OUTC1_j端子は再び単相波形を出力。

j=0~7

表 18.13 単相波形出力モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能
G1POj	—	出力レベルを“H” (注2)にするタイミングを設定
G1FS	FSCj	“0” (波形生成機能) にしてください
G1FE	IFEj	“1” (チャンネルjの機能を許可) にしてください
G1POCRj	MOD1~MOD0	“00b” にしてください
	IVL	出力レベルの初期値を選択してください
	RLD	G1POjレジスタ値のリロードタイミングを選択してください
	INV	出力レベルを反転する/しないを選択してください
G1OER	EOCj	OUTC1_j出力を禁止するとき“1”にしてください
G1IOR0 G1IOR1	IOj1~IOj0	コンペア結果が一致したときの出力レベルを選択してください
G1BCR1	UD1~UD0	“00b” にしてください

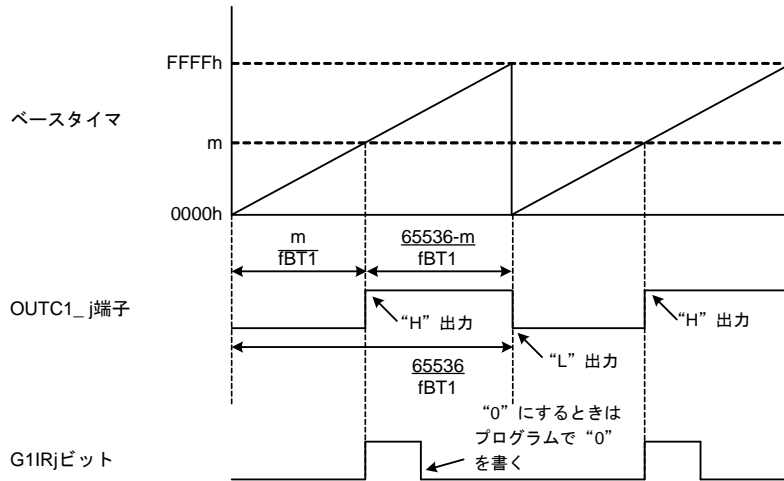
j=0~7。ただし、G1BCR1レジスタのRST1ビットが“1” (G1PO0レジスタによりペースタイマリセットする) の場合、j=1~7

注1. この表は手順を示すものではありません。

注2. G1POCRjレジスタのINVビットが“0” (出力反転しない) の場合です。

(1) フリーラン動作の場合

(G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0”)



j = 0~7
 m: G1POjレジスタ値
 G1IRj: G1IRレジスタのビット

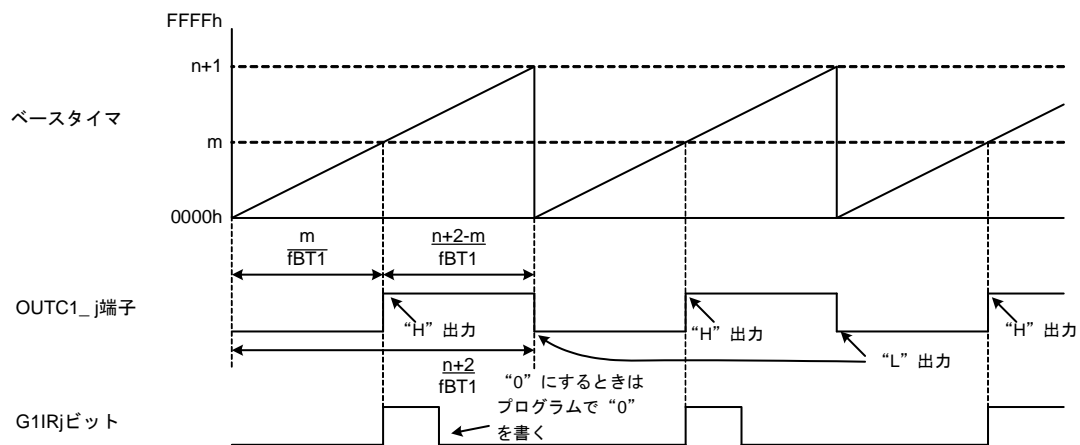
この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、かつINVビットが“0” (出力反転しない)
- ・ G1IOR0、G1IOR1レジスタのIOj1、IOj0ビットが“00b” (G1POCRjのMOD1、MOD0の選択モードに従う)
- ・ G1OERレジスタのEOCjビットが“0” (出力許可)

(2) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット

(a) G1PO0 (RST1ビットが“1”、かつRST4、RST2ビットが“0”)

(b) G1BTRR (RST4ビットが“1”、かつRST2、RST1ビットが“0”)



(a)の場合、j=1~7 (b)の場合、j=0~7

m: G1POjレジスタ値
 n: G1PO0レジスタまたはG1BTRRレジスタの設定値
 G1IRj: G1IRレジスタのビット

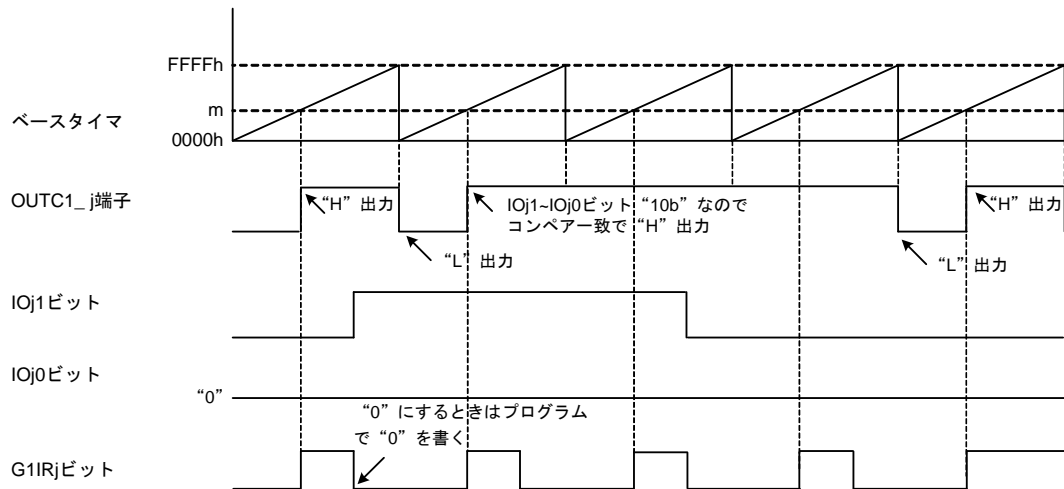
この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・ G1IOR0、G1IOR1レジスタのIOj1、IOj0ビットが“00b” (G1POCRjのMOD1、MOD0の選択モードに従う)
- ・ G1OERレジスタのEOCjビットが“0” (出力許可)

図 18.14 単相波形出力モードの動作例(1/2)

(3) フリーラン動作の場合

(G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0”)



j = 0~7

m: G1POjレジスタ値

IOj1、IOj0ビット: G1IOR1、G1IOR0レジスタのビット

G1Rjビット: G1IRレジスタのビット

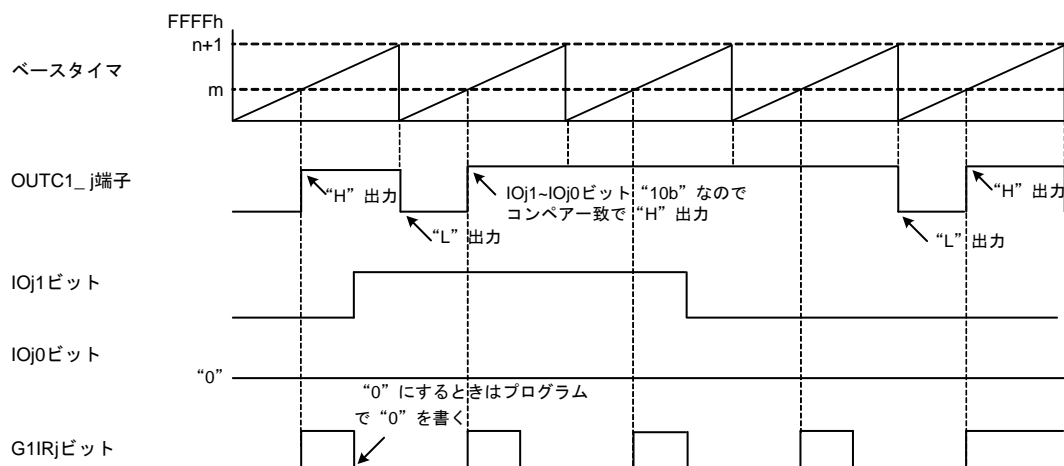
この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、かつINVビットが“0” (出力反転しない)
- ・ G1OERレジスタのEOCjビットが“0” (出力許可)

(4) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット

(a) G1PO0 (RST1ビットが“1”、かつRST4、RST2ビットが“0”)

(b) G1BTRR (RST4ビットが“1”、かつRST2、RST1ビットが“0”)



(a)の場合、j=1~7 (b)の場合、j=0~7

m: G1POjレジスタ値

n: G1PO0レジスタまたはG1BTRRレジスタの設定値

G1Rjビット: G1IRレジスタのビット

この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・ G1OERレジスタのEOCjビットが“0” (出力許可)

図 18.15 単相波形出力モードの動作例(2/2)

18.3.3.2 反転波形出力モード

ベースタイマの値がG1POj (j=0~7) レジスタの値と一致するごとに、OUTC1_j 端子の出力レベルを反転します。G1POCRjレジスタのMOD1~MOD0ビットが“10b” (反転波形出力モード)の場合、G1BCR1レジスタのUD1~UD0ビットを“00b” (アップカウント)、または“01b” (アップダウンカウント)にしてください。表 18.14に反転波形出力モードの仕様、表 18.15に反転波形出力モード時の使用レジスタと設定値、図 18.16~図 18.17に反転波形出力モードの動作例を示します。

表 18.14 反転波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> フリーラン動作 (G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0”(ベースタイマリセットしない)) <p>周期: $\frac{65536 \times 2}{f_{BT1}}$</p> <p>“H”幅、“L”幅: $\frac{65536}{f_{BT1}}$</p> <ul style="list-style-type: none"> ベースタイマがいずれかのレジスタの値と一致した場合、ベースタイマを“0000h”にする <ul style="list-style-type: none"> G1PO0 (RST1ビットが“1”かつRST4、RST2ビットが“0”) G1BTRR (RST4ビットが“1”かつRST2、RST1ビットが“0”) <p>周期: $\frac{2(n+2)}{f_{BT1}}$</p> <p>“H”幅、“L”幅: $\frac{n+2}{f_{BT1}}$</p> <p>m: G1POjレジスタの設定値 n: G1PO0レジスタまたはG1BTRRレジスタの設定値 0000h ≤ m < n ≤ FFFDh</p>
波形出力開始条件	G1FEレジスタのIFEjビットを“1”(チャンネルjの機能を許可)にする
波形出力停止条件	IFEjビットを“0”(チャンネルjの機能を禁止)にする
割り込み要求発生タイミング	ベースタイマ値とG1POjレジスタの値が一致したとき
OUTC1 _j 端子	パルス出力または入出力ポート
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形をレベル反転して、OUTC1_j端子から出力 コンペアー一致出力機能 コンペアー一致出力を設定すると、ベースタイマがmと一致したときから、出力レベルを“H”または“L”に固定。 コンペアー一致出力を解除すると、次にベースタイマがmと一致したときから再び反転波形を出力。 出力禁止機能 G1OERレジスタのEOCjビットを“1”(出力禁止)に設定すると、OUTC1_j端子は波形出力を中止し、プログラマブル入出力ポートになる。EOCjビットを“0”(出力許可)に設定すると、OUTC1_j端子は再び反転波形を出力。

j=0~7

表 18.15 反転波形出力モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能
G1POj	—	波形を反転するタイミングを設定
G1FS	FSCj	“0” (波形生成機能) にしてください
G1FE	IFEj	“1” (チャンネルjの機能を許可) にしてください
G1POCRj	MOD1~MOD0	“10b” にしてください
	IVL	出力レベルの初期値を選択してください
	RLD	G1POjレジスタ値のリロードタイミングを選択してください
	INV	出力レベルを反転する/しないを選択してください
G1OER	EOCj	OUTC1_j出力を禁止するとき“1”にしてください
G1IOR0 G1IOR1	IOj1~IOj0	コンペア結果が一致したときの出力レベルを選択してください
G1BCR1	UD1~UD0	“00b” または “01b” にしてください

j=0~7。ただし、G1BCRレジスタのRST1ビットが“1” (G1PO0レジスタによりベースタイマリセットする) の場合、j=1~7

注1. この表は手順を示すものではありません。

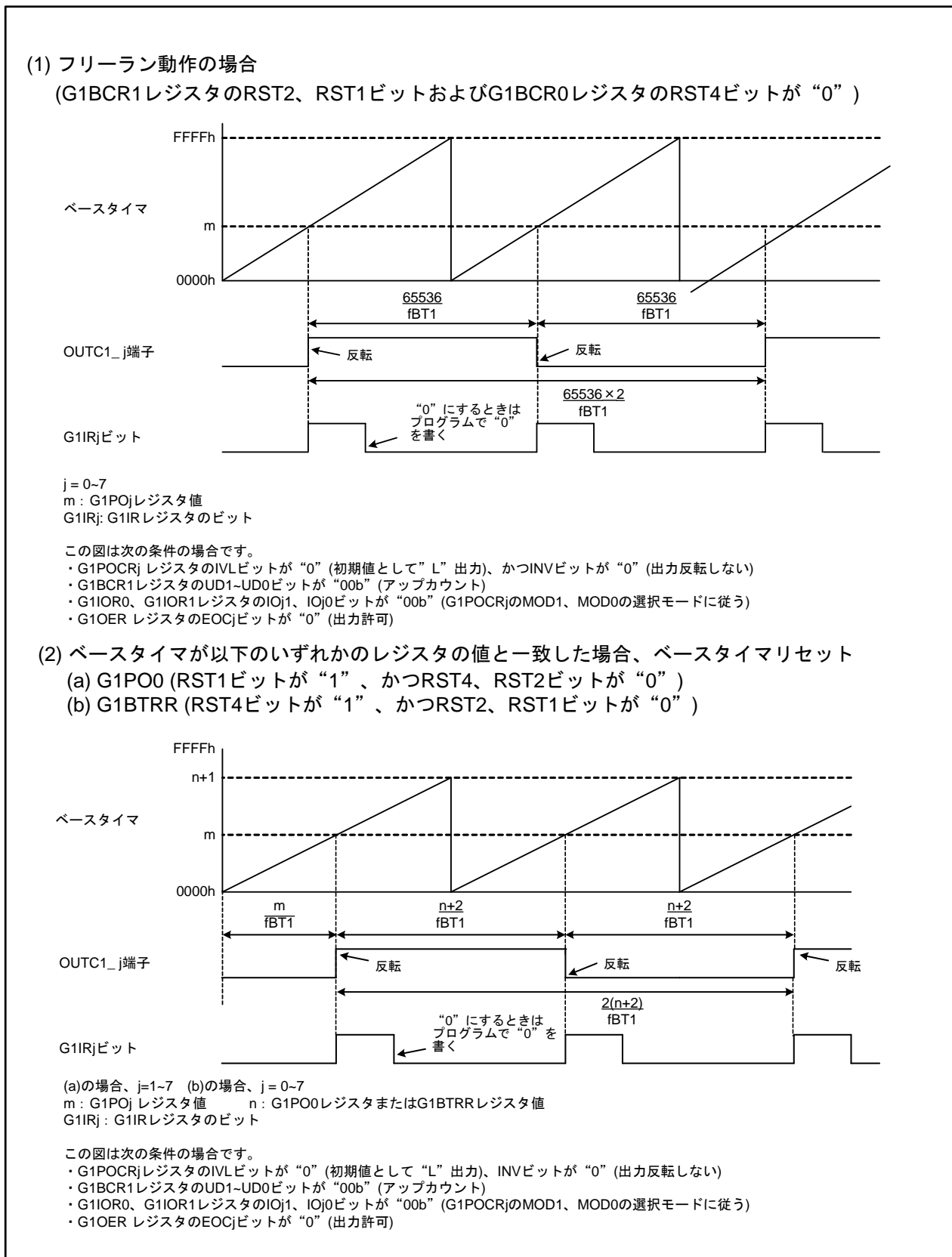
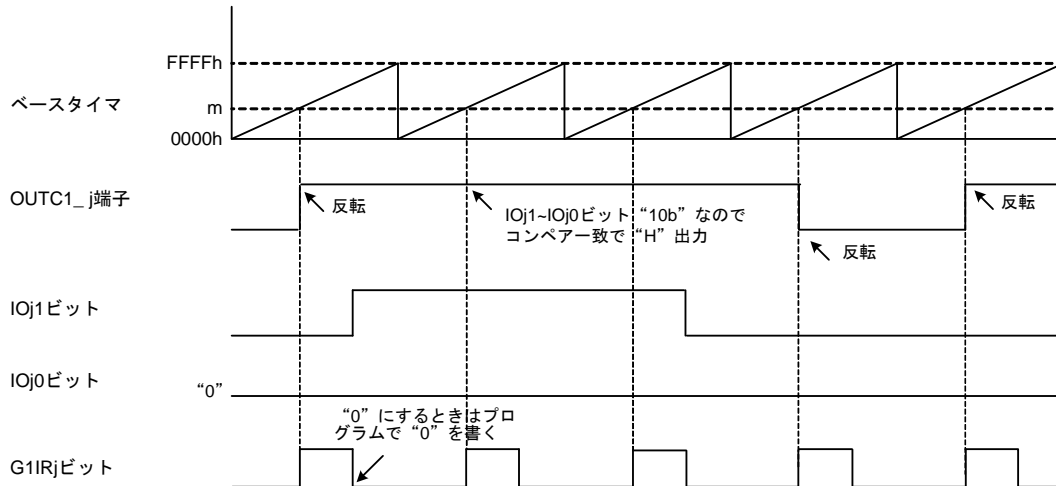


図 18.16 反転波形出力モードの動作例 (1/2)

(3) フリーラン動作の場合

(G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0”)



j = 0~7

m : G1POjレジスタ値

IOj1、IOj0ビット : G1IOR1、G1IOR0レジスタのビット

G1IRjビット : G1IRレジスタのビット

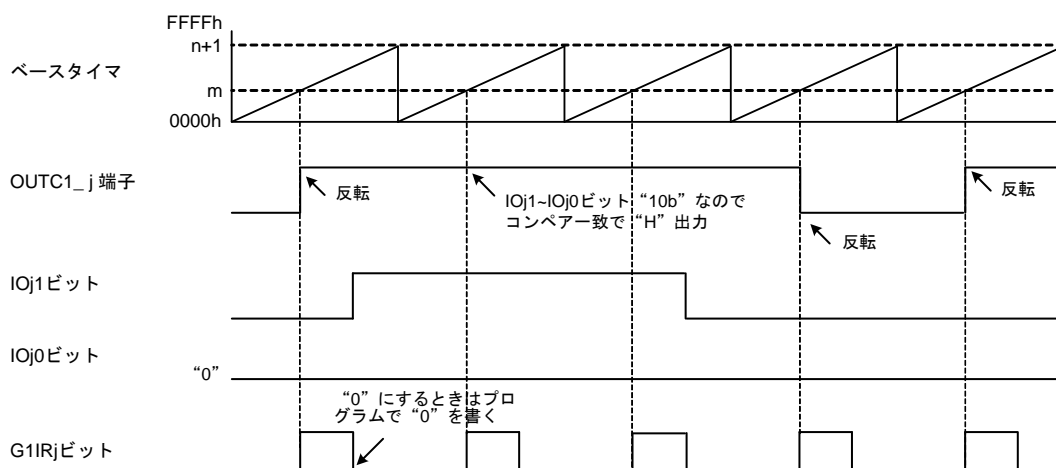
この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、かつINVビットが“0” (出力反転しない)
- ・ G1BCR1レジスタのUD1~UD0ビットが“00b” (アップカウント)
- ・ G1OER レジスタのEOCjビットが“0” (出力許可)

(4) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット

(a) G1PO0 (RST1ビットが“1”、かつRST4、RST2ビットが“0”)

(b) G1BTRR (RST4ビットが“1”、かつRST2、RST1ビットが“0”)



(a)の場合、j=1~7 (b)の場合、j=0~7

m : G1POjレジスタ値 n : G1PO0レジスタまたはG1BTRRレジスタ値

IOj1、IOj0ビット : G1IOR1、G1IOR0レジスタのビット

G1IRjビット : G1IRレジスタのビット

この図は次の条件の場合です。

- ・ G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・ G1BCR1レジスタのUD1~UD0ビットが“00b” (アップカウント)
- ・ G1OER レジスタのEOCjビットが“0” (出力許可)

図 18.17 反転波形出力モードの動作例(2/2)

18.3.3.3 セット-リセット波形出力 (SR波形出力) モード

G1POCRj レジスタ (j=0、2、4、6) の INV ビットが“0” (出力反転しない) の場合、ベースタイマの値が G1POj レジスタの値と一致するとき、OUTC1_j 端子から“H”レベルを出力します。ベースタイマの値が G1POk (k=j+1) レジスタの値と一致した場合、OUTC1_j 端子から“L”レベルを出力します。G1POCRj レジスタ、G1POCRk レジスタの MOD1~MOD0 ビットが“01b” (SR 波形出力モード) の場合、G1BCR1 レジスタの UD1~UD0 を“00b” (アップカウント) に設定してください。表 18.16 に SR 波形出力モードの仕様、表 18.17 に反転波形出力モード時の使用レジスタと設定値、図 18.18 に SR 波形出力モードの動作例を示します。

表 18.16 SR 波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> フリーラン動作 (G1BCR1 レジスタの RST2、RST1 ビットおよび G1BCR0 レジスタの RST4 ビットが“0” (ベースタイマリセットしない)) <p>周期: $\frac{65536}{f_{BT1}}$</p> <p>反転レベル幅: $\frac{n-m}{f_{BT1}}$</p> <ul style="list-style-type: none"> ベースタイマがいずれかのレジスタの値と一致した場合、ベースタイマを“0000h”にする <ul style="list-style-type: none"> G1PO0 (RST1 ビットが“1”かつ RST4、RST2 ビットが“0”) (注1) G1BTRR (RST4 ビットが“1”かつ RST2、RST1 ビットが“0”) <p>周期: $\frac{p+2}{f_{BT1}}$</p> <p>反転レベル幅: $\frac{n-m}{f_{BT1}}$</p> <p>m: G1POj レジスタ の設定値 n: G1POk レジスタの設定値 p: G1PO0 レジスタまたは G1BTRR レジスタの設定値 $0001h \leq m < n < p \leq FFFDh$</p>
波形出力開始条件	G1FE レジスタの IFEj ビットと IFEk ビットを“1” (チャネルjの機能を許可) にする
波形出力停止条件	G1FE レジスタの IFEj ビットと IFEk ビットを“0” (チャネルjの機能を禁止) にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> チャネルj ベースタイマ値と G1POj レジスタの値が一致したとき チャネルk ベースタイマ値と G1POk レジスタの値が一致したとき
OUTC1_j 端子	パルス出力または入出力ポート
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形をレベル反転して、OUTC1_j 端子から出力 出力禁止機能 G1OER レジスタの EOCj ビットを“1” (出力禁止) に設定すると、OUTC1_j 端子は波形出力を中止し、プログラマブル入出力ポートになる。EOCj ビットを“0” (出力許可) に設定すると、OUTC1_j 端子は再び SR 波形を出力。

j=0, 2, 4, 6 k=j+1

注1. G1BCR1 レジスタの RST1 ビットが“1” (G1PO0 レジスタでベースタイマリセット) の場合、チャネル 0、1 の SR 波形生成機能は使用できません。

表 18.17 SR波形出力モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能	
		偶数チャンネル (チャンネルj)	奇数チャンネル (チャンネルk)
G1POj	—	出力レベルを“H” (注2)にするタイミングを設定	出力レベルを“L” (注2)にするタイミングを設定
G1FS	FSCj	“0” (波形生成機能) にしてください	“0” (波形生成機能) にしてください
G1FE	IFEj	“1” (チャンネルjの機能を許可) にしてください	“1” (チャンネルkの機能を許可) にしてください
G1POCRj	MOD1~MOD0	“01b” にしてください	“01b” にしてください
	IVL	出力レベルの初期値を選択してください	— (無効)
	RLD	G1POjレジスタ値のリロードタイミングを選択してください	G1POkレジスタ値のリロードタイミングを選択してください
	INV	出力レベルを反転する/しないを選択してください	— (無効)
G1OER	EOCj	OUTC1_j出力を禁止するとき“1”にしてください	“1”にしてください
G1IOR0 G1IOR1	IOj1~IOj0	“00b” にしてください	“00b” にしてください
G1BCR1	UD1~UD0	“00b” にしてください	

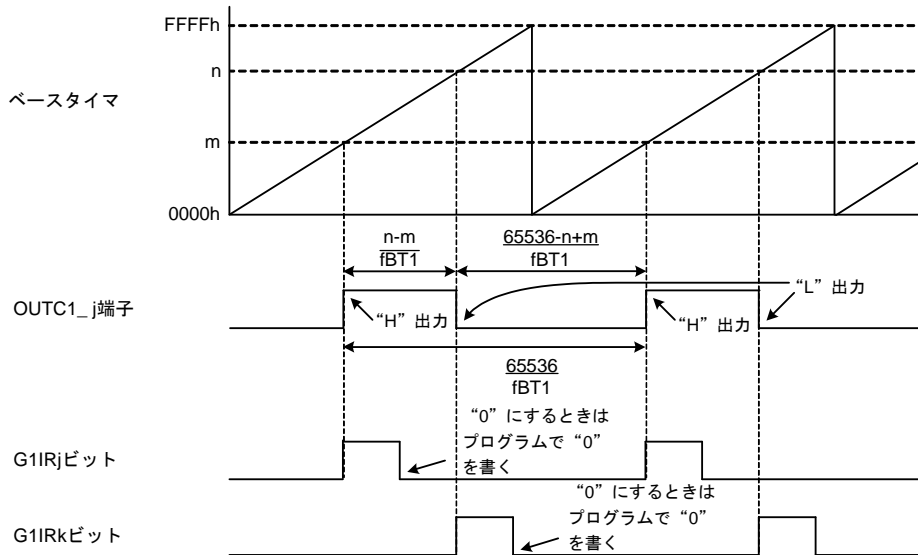
j=0,2,4,6 k=j+1。ただし、G1BCRレジスタのRST1ビットが“1” (G1PO0レジスタによりベースタイマリセットする) の場合、j=2,4,6

注1. この表は手順を示すものではありません。

注2. G1POCRjレジスタのINVビットが“0” (出力反転しない) の場合です。

(1) フリーラン動作の場合

(G1BCR1レジスタのRST2、RST1ビットおよびG1BCR0レジスタのRST4ビットが“0”)



$j = 0, 2, 4, 6$ $k = j+1$
 m: G1POjレジスタ値
 n: G1POkレジスタ値
 G1IRj、G1IRk: G1IRレジスタのビット

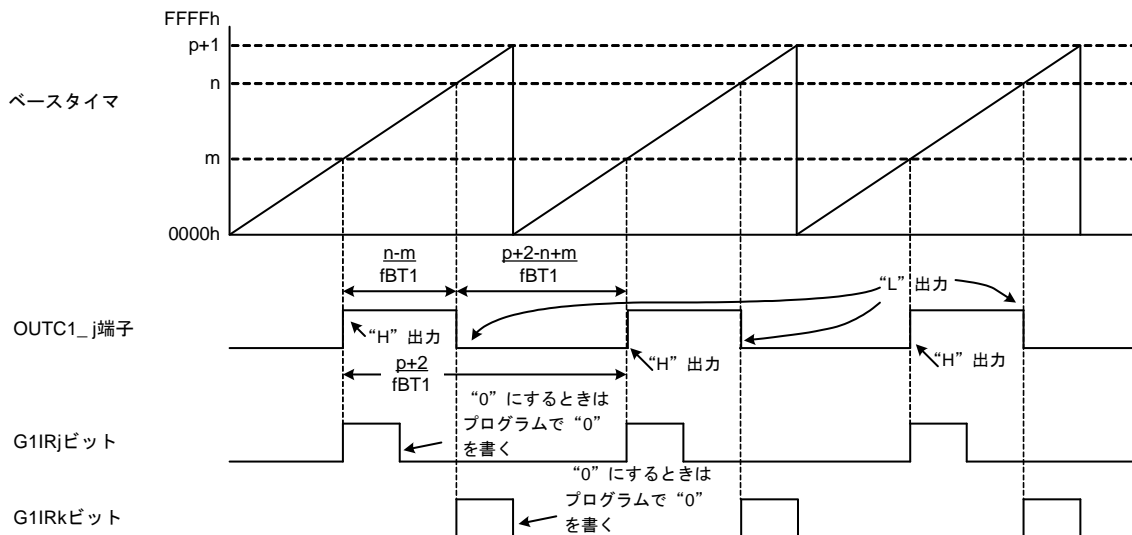
この図は次の条件の場合です。

- ・G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・G1OERレジスタのEOCjビットが“0” (出力許可)

(2) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット

(a) G1PO0 (RST1ビットが“1”、かつRST4、RST2ビットが“0”)

(b) G1BTRR (RST4ビットが“1”、かつRST2、RST1ビットが“0”)



(a)の場合、 $j = 2, 4, 6$ (b)の場合、 $j = 0, 2, 4, 6$ $k = j+1$
 m: G1POjレジスタ値
 p: G1PO0またはG1BTRRレジスタいずれかの値
 G1IRjビット、G1IRkビット: G1IRレジスタのビット

この図は次の条件の場合です。

- ・G1POCRjレジスタのIVLビットが“0” (初期値として“L”出力)、INVビットが“0” (出力反転しない)
- ・G1OERレジスタのEOCjビットが“0” (出力許可)

図 18.18 SR波形出力モードの動作例

18.3.4 入出力ポート機能選択

機能許可レジスタ (G1FE) と機能選択レジスタ (G1FS) と波形出力マスタ許可レジスタ (G1OER) の値によって、IC/OC端子の入出力が決まります。

SR波形出力モード時は、出力波形ごとに偶数チャンネルと奇数チャンネルの2チャンネル分を使用しますが、偶数チャンネルからのみ波形が出力されます。この場合、奇数チャンネルに対応する端子を入出力ポートとして使用することができます。

表 18.18 時間計測と波形出力機能の端子設定

端子	関連ビットの設定				端子の機能
	IFE	FSC	MOD1~MOD0	EOC	
P2_j/ INPC1_j/ OUTC1_j	0	—	—	—	入出力ポートP2_j
	1	1	—	—	INPC1_j (注1)
	1	0	00b	0	OUTC1_j 単相波形出力
	1	0	00b	1	入出力ポートP2_j
	1	0	01b	0	OUTC1_j SR波形出力
	1	0	01b	1	入出力ポートP2_j
	1	0	10b	0	OUTC1_j 反転波形出力
	1	0	10b	1	入出力ポートP2_j

j=0~7

—: 0または1

IFE: G1FEレジスタのIFEjビット

FSC: G1FSレジスタのFSCjビット

MOD1~MOD0: G1POCRjレジスタのビット

EOC: G1OERレジスタのEOCjビット

注1. 端子を共用するポートの方向ビットを“0” (入力モード) にしてください。

IC/OCチャンネル7の時間計測端子は、2端子から選択することができます。G1BCR0レジスタのCH7INSELビット (チャンネル7入力選択ビット) によって、IC/OC INPC1_7を P2_7/OUTC1_7/INPC1_7端子またはP1_7/INPC1_7端子から選択します。

P1_7/INPC1_7端子からのINPC1_7入力は、ノイズ除去に有効なデジタルデバウンスフィルタを持ちます。詳細は「11.4.3 デジタルデバウンスフィルタ」を参照してください。

18.4 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 18.19にタイマSの割り込み関連レジスタを示します

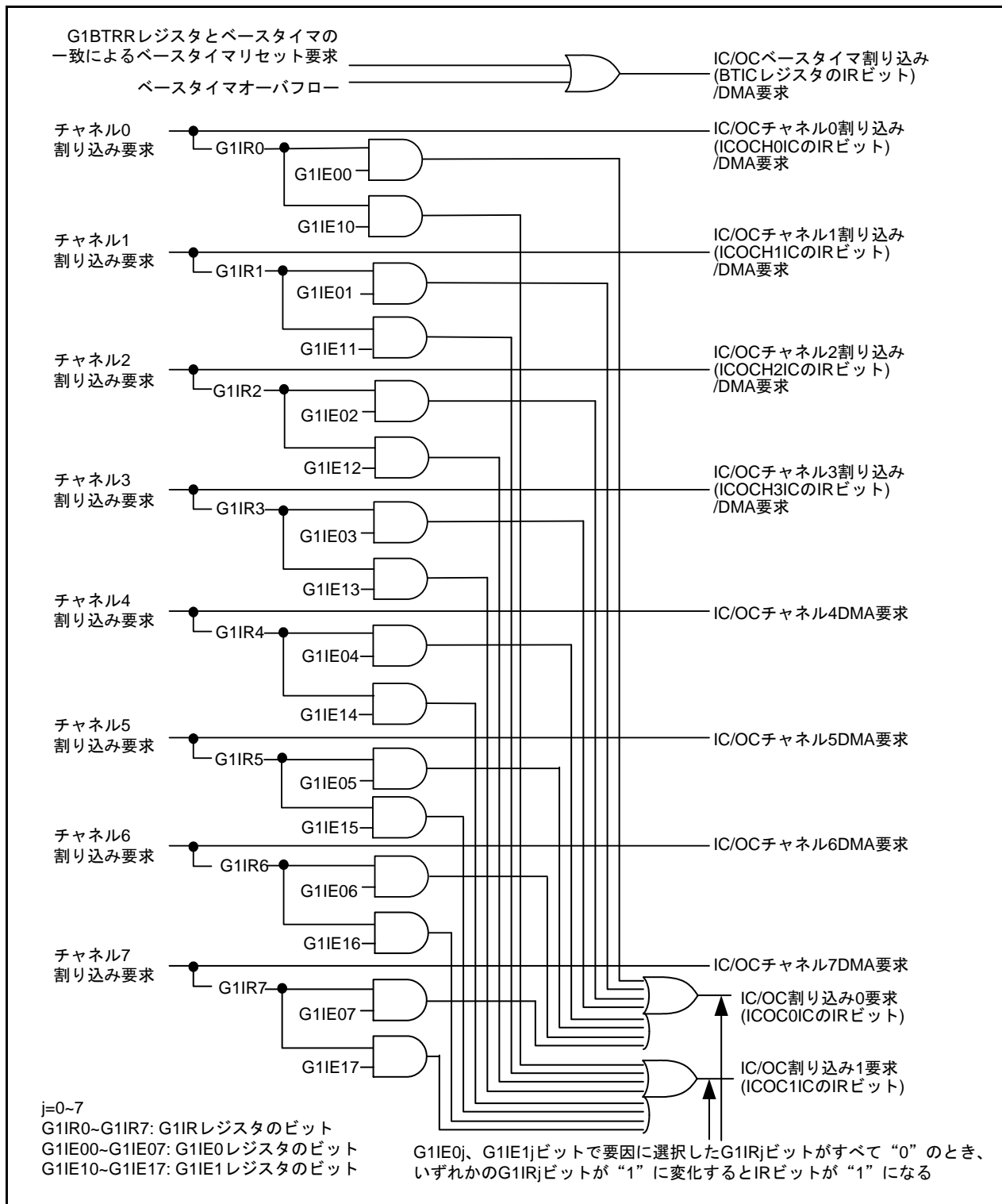


図 18.19 タイマSの割り込みとDMA要求

表 18.19 タイマSの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0079h	IC/OC 割り込み0制御レジスタ	ICOC0IC	XXXX X000b
007Ah	IC/OC チャンネル0 割り込み制御レジスタ	ICOCH0IC	XXXX X000b
007Bh	IC/OC 割り込み1制御レジスタ	ICOC1IC	XXXX X000b
007Ch	IC/OC チャンネル1 割り込み制御レジスタ	ICOCH1IC	XXXX X000b
007Dh	IC/OC チャンネル2 割り込み制御レジスタ	ICOCH2IC	XXXX X000b
007Eh	IC/OC チャンネル3 割り込み制御レジスタ	ICOCH3IC	XXXX X000b
007Fh	IC/OC ベースタイマ 割り込み制御レジスタ	BTIC	XXXX X000b

18.4.1 IC/OC ベースタイマ 割り込み

G1BTRR レジスタとベースタイマの一致によるベースタイマリセット要求、またはベースタイマオーバフローのいずれかが発生すると、BTIC レジスタのIRビットが“1” (割り込み要求あり) になります。

18.4.2 IC/OC チャンネル0 割り込み ~ IC/OC チャンネル3 割り込み

チャンネル0~チャンネル3の割り込み要求が発生すると、ICOCH0IC~ICOCH3IC レジスタのIRビットが“1” (割り込み要求あり) になります。

18.4.3 IC/OC 割り込み0、IC/OC 割り込み1

チャンネルj (j=0~7)の割り込み要求を組み合わせ、IC/OC 割り込みi (i=0, 1)の割り込み要求を発生させます。G1IE i レジスタのG1IE ij ビットを“1” (IC/OC 割り込みi 要求有効) にすると、チャンネルjの割り込み要求がIC/OC 割り込みiの要因になります。

チャンネルjの割り込み要求が発生すると、G1IR レジスタのG1IR j ビットが“1” (割り込み要求あり) になります。G1IE i レジスタで要因に選択したチャンネルに当たるG1IR レジスタのビットがすべて“0” (割り込み要求なし)の状態から、いずれかが“1”になったとき、ICOCiIC レジスタのIRビットが“1” (割り込み要求あり) になります。

ICOCiIC レジスタのIRビットは、割り込み要求が受け付けられると自動的に“0” (割り込み要求なし) になります。しかし、G1IR j ビットは割り込み要求が受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。IRビットが“0”のときG1IR j ビットを“1”のままにしておくと、それ以降、ICOCiIC レジスタのIRビットが“1”にならないため、IC/OC 割り込みiの割り込み要求が発生しません。

18.5 タイマS使用上の注意事項

18.5.1 レジスタアクセス

一部のレジスタまたはビットの説明で「このレジスタ(ビット)に書いた値は、ベースタイマのカウントソース fBT1 に同期して内部回路に反映されます。」と記したものがあります。これらのレジスタ(ビット)に値を書いた場合、内部回路にはすぐに反映されません。そのため、値を書いた後、最大で fBT1 の1サイクルの間は書く前の動作を行います。また、これらのレジスタ(ビット)に書き込んだ直後に同じレジスタ(ビット)を読み出した場合、書き込み前の値を読むことがあります。

18.5.2 G1IRレジスタの変更

G1IRレジスタのG1IR j (j=0~7) ビットは割り込み要求の受け付けでは、自動的に“0”になりませんので、プログラムで“0”にしてください。

ただし、G1IRj ビットが“1”になってから fBT1 の1サイクル間は“0”にできません。G1IR j ビットを“0”にする場合は、G1IR j ビットが“1”になってから fBT1 の1サイクル以上経過した後に“0”にしてください。

また、他のチャンネルの要求を消さないために下の命令を使用してください。

AND、BCLR

図 18.20にIC/OC割り込み0の処理例を示します。この例のように割り込み処理の最後にG1IEiレジスタで一度すべてのチャンネルを禁止にした後、再び許可してください。

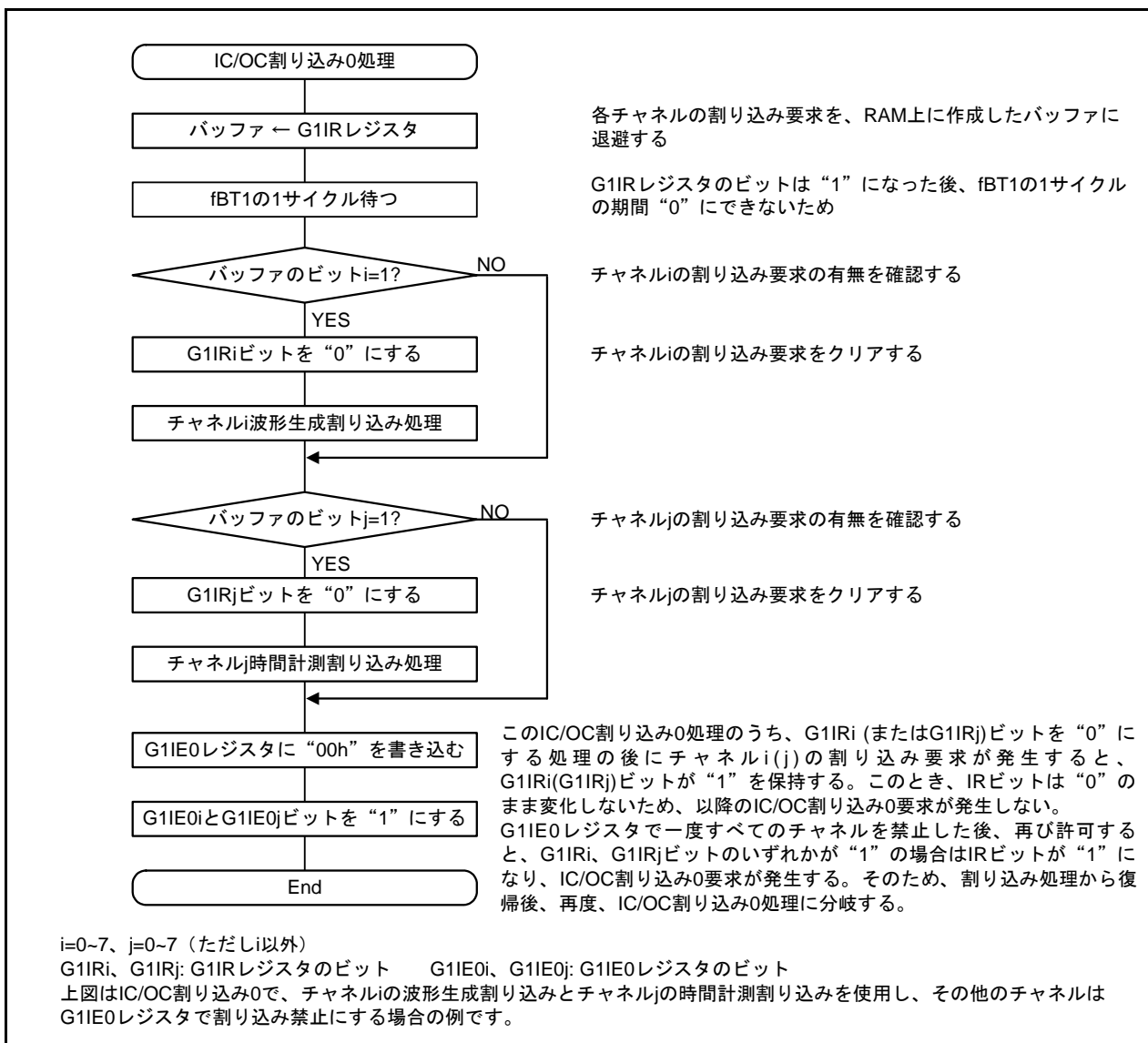


図 18.20 IC/OC割り込み0の処理例

18.5.3 ICOCiICレジスタの変更 (i=0, 1)

G1IEiレジスタのG1IEijビット(j=0~7)を“1”(割り込み許可)にし、かつチャンネルjの割り込み要求が発生する可能性のある箇所でICOCiICレジスタのILVL2~ILVL0ビットを変更する場合は、下の命令を使用してください。これらの命令では命令実行中にチャンネルjの割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)になります。

AND、OR、BCLR、BSET

これをMOV命令で変更すると、MOV命令実行中にチャンネルjの割り込み要求が発生した場合、IRビットが“1”に変化せず割り込み要求が無視されます。このとき、G1IRレジスタのG1IRjビットは“1”(割り込み要求あり)になるので、このままで放置すると、この後、IC/OC割り込みiの要求は発生しません。

なお、タイマSの初期設定を行うときは、ICOCiICレジスタおよびG1IRレジスタにそれぞれ“00h”を設定後、再度ICOCiICレジスタを変更してください。

18.5.4 BTSビットによるベースタイマリセット中の出力波形

波形出力中にG1BCR1レジスタのBTSビットを“0”(ベースタイマリセット)にすると、波形出力端子の出力は、そのときのレベルを保持します。この状態は、BTSビットを“1”(ベースタイマカウント開始)にした後、ベースタイマの値がG1POjレジスタと一致するまで続きます。

18.5.5 G1PO0レジスタによるベースタイマリセット中のOUTC1_0端子出力

G1BCR1レジスタのRST1ビットを“1”(G1PO0レジスタとベースタイマとの一致でベースタイマをリセットする)とした場合、ベースタイマとG1PO0レジスタの値が一致するとfBT1の2クロック後にベースタイマがリセットされます。ベースタイマの一致からベースタイマがリセットされるまでのfBT1の2クロック間はOUTC1_0端子から“H”レベルが出力されますので、G1OERレジスタのEOC0ビットを“1”(出力禁止)にしてください。

18.5.6 時間測定機能選択時の割り込み要求

G1FSレジスタのFSCj(j=0~7)ビットを“1”(時計計測機能)、かつG1FEレジスタのIFEjビットを“1”にすると、最大でfBT1の2サイクル後(注1)にG1IRレジスタのG1IRjビットやICOCiIC(i=0, 1)、ICOCHjIC(ただしj=0~3)レジスタのIRビットが“1”(割り込み要求あり)になることがあります。

このため、IC/OC割り込みiまたはIC/OCチャンネルj割り込みを使用する場合、FSCjビットを“1”かつIFEjビットを“1”にした後、次の処理をしてください。

- (1) fBT1の2サイクル(注1)以上待つ
- (2) ICOCiIC、ICOCHjICレジスタのIRビットを“0”にする
- (3) (時間測定機能選択からfBT1の3サイクル(注1)以上待ってから)G1IRレジスタを“00h”にする(G1IRレジスタはICOCiICレジスタのIRビットを“0”にした後で、“00h”にする)(注2)

注1. デジタルフィルタを使用する場合、その時間も考慮してください。

注2. G1IRレジスタを読み出し“00h”になっていることを確認してください。“00h”になるまで書き込みを繰り返してください。

19. タスク監視タイマ

19.1 概要

タスク監視タイマは内部カウントソースをカウントする16ビットタイマを1本持ちます。関連レジスタはタスク監視タイマプロテクトレジスタによるプロテクト機能を持ちます。

表 19.1 タスク監視タイマの仕様

項目	仕様
カウントソース	f1、f1の8分周、f1の32分周、f1の128分周
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの値をリロードしてカウントを継続
カウンタ周期	$(n+1)/f_j$ n:TMOSレジスタの設定値 0000h~FFFFh, f _j : カウントソースの周波数
カウント開始条件	TMOSSRレジスタのTMOS0Sビットを“1”(カウント開始)にする
カウント停止条件	TMOS0Sビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
タイマの読み出し	TMOSレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中にTMOSレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(TMOS0Sビットを“1”に設定した後)TMOSレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

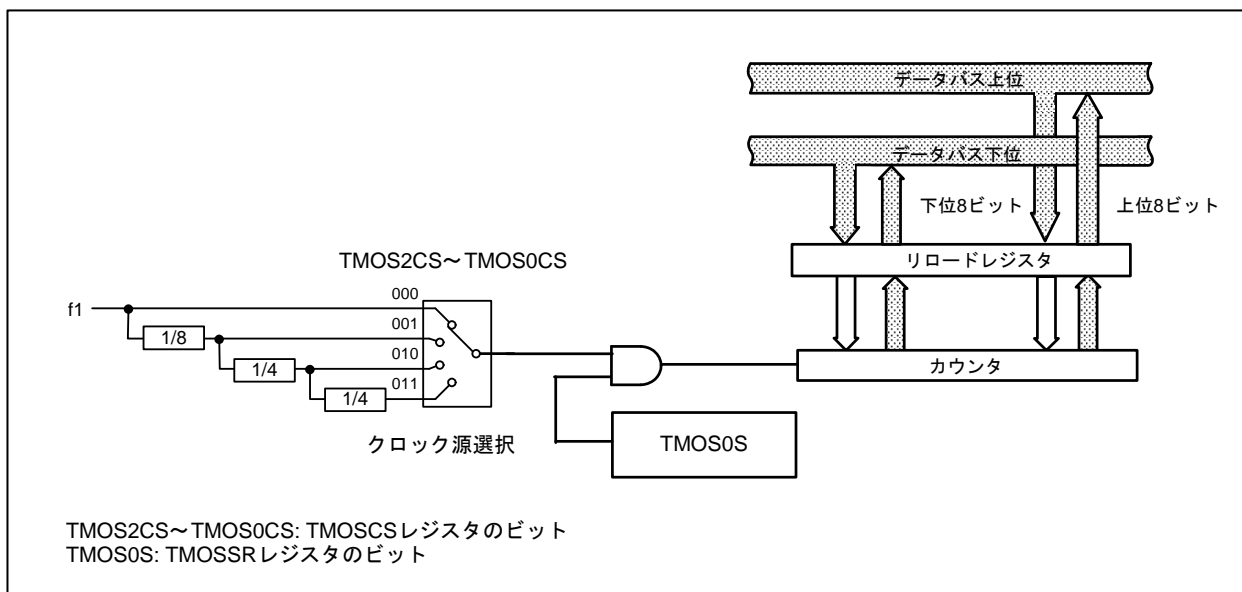


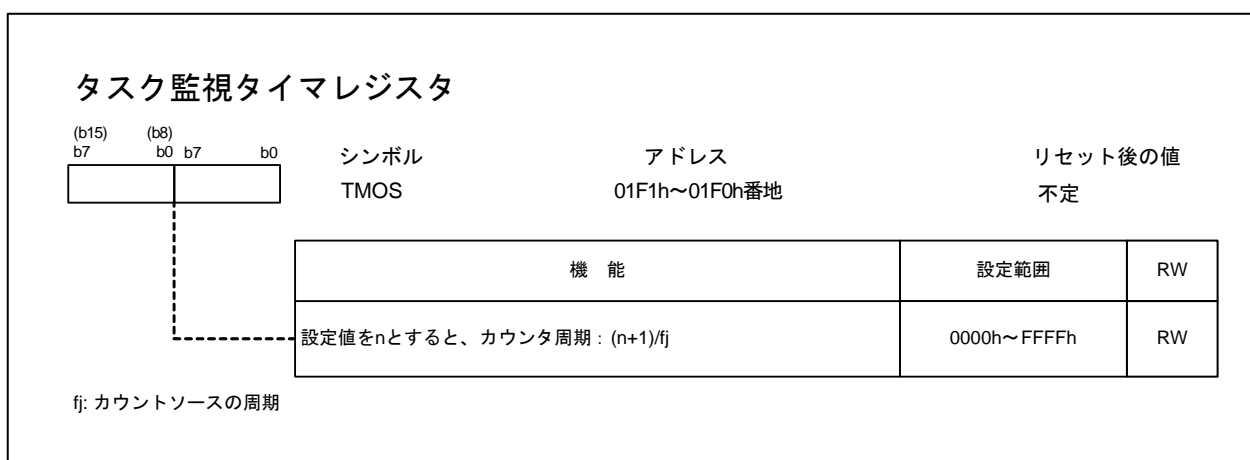
図 19.1 タスク監視タイマブロック図

19.2 レジスタの説明

表 19.2 レジスタ一覧

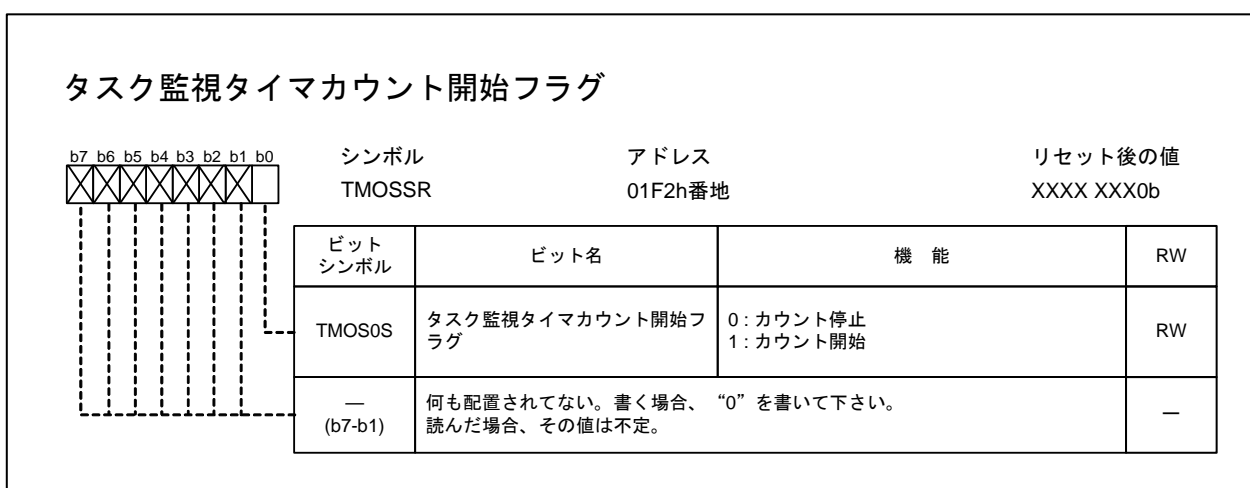
アドレス	レジスタ名	レジスタシンボル	リセット後の値
01F0h	タスク監視タイマレジスタ	TMOS	XXh
01F1h			XXh
01F2h	タスク監視タイマカウント開始フラグ	TMOSSR	XXXX XXX0b
01F3h	タスク監視タイマカウントソース選択レジスタ	TMOSCS	XXXX 0000b
01F4h	タスク監視タイマプロテクトレジスタ	TMOSPR	00h

19.2.1 タスク監視タイマレジスタ (TMOS)

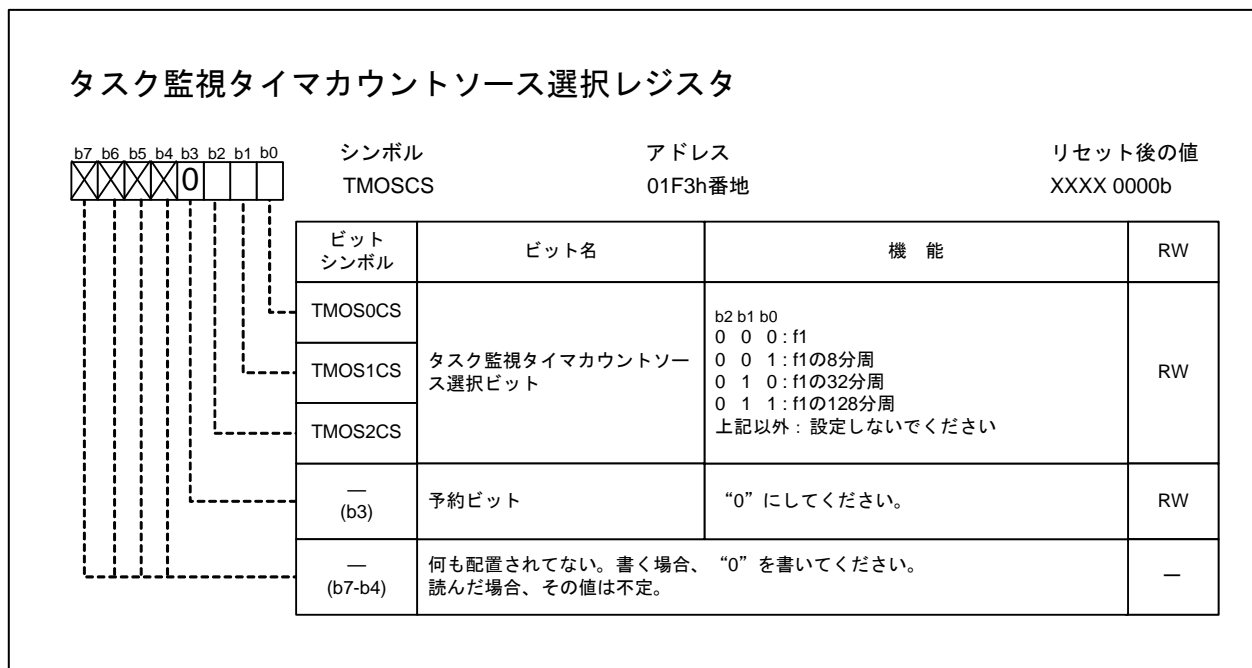


16ビット単位でアクセスしてください。

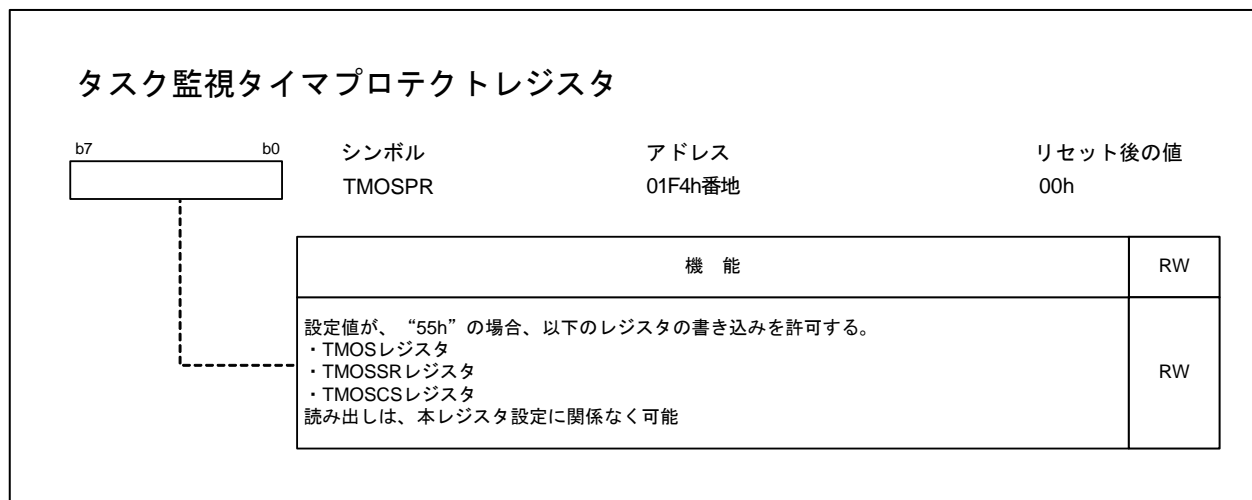
19.2.2 タスク監視タイマカウント開始フラグ (TMOSSR)



19.2.3 タスク監視タイマカウントソース選択レジスタ (TMOSCS)



19.2.4 タスク監視タイマプロテクトレジスタ (TMOSPR)



TMOS、TMOSSR、TMOSCSレジスタを変更する場合、次の手順に従ってください。

- (1) TMOSPRレジスタに“55h”を書く(書き込み許可)
- (2) TMOS、TMOSSR、TMOSCSレジスタのうち、必要なものに値を書く
- (3) TMOSPRレジスタに“55h”以外の値を書く(書き込み禁止)

19.3 動作説明

図 19.2 にタスク監視タイマの動作例を示します。

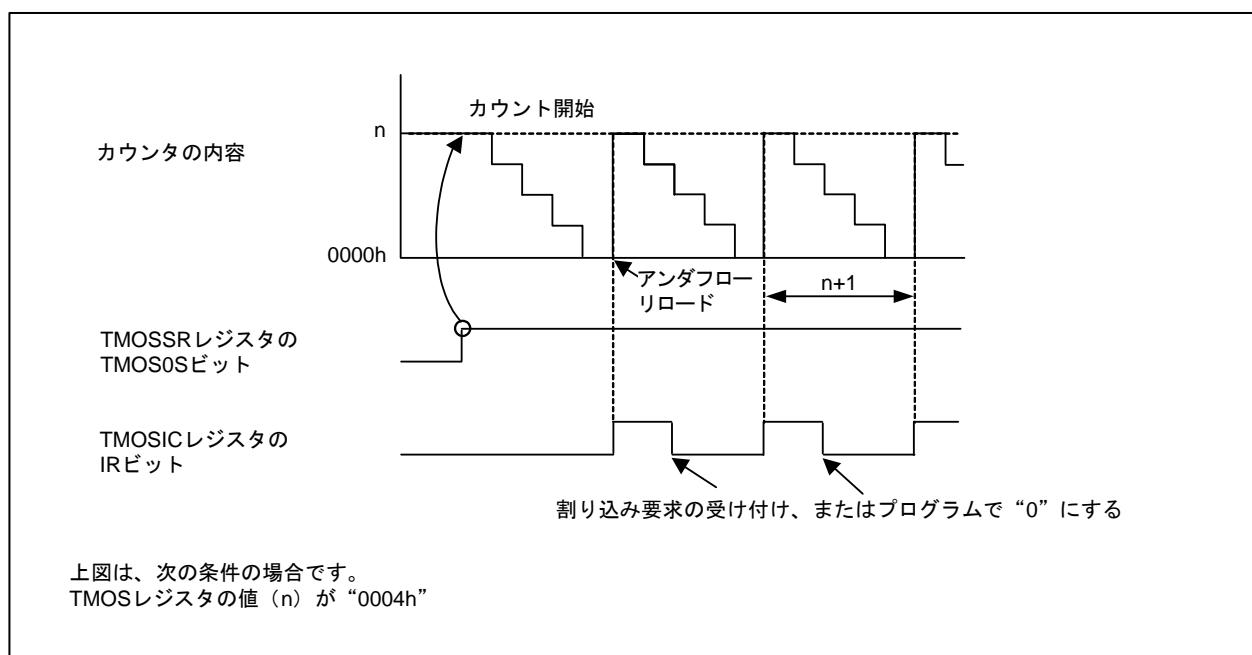


図 19.2 タスク監視タイマの動作例

19.4 割り込み

表 19.3にタスク監視タイマの割り込み関連レジスタを示します。

表 19.3 タスク監視タイマの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Ah	タスク監視タイマ割り込み制御レジスタ	TMOSIC	XXXX X000b

タスク監視タイマは他の周辺機能と割り込みベクタや割り込み制御レジスタを共用しています。タスク監視タイマ割り込みを使用する場合は、IFSR2AレジスタのIFSR20ビットを“1”(タスク監視タイマ)にしてください。

19.5 タスク監視タイマの注意事項

19.5.1 レジスタ設定

リセット後、タイマは停止しています。TMOSレジスタ、TMOSCSレジスタによって、カウンタの値やカウントソースを設定した後、TMOSSRレジスタのTMOS0Sビットを“1”(カウント開始)にしてください。

なお、TMOSCSレジスタは、TMOS0Sビットが“0”(カウント停止)の状態に変更してください。

19.5.2 タイマの読み出し

カウント中のカウンタの値は、TMOSレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTMOSレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

20. リアルタイムクロック

20.1 概要

リアルタイムクロックはカウントソースから1秒を作り、秒、分、時、午前/午後、日、1週間をカウントします。また、特定の秒、分、時との一致を検出します。

表 20.1にリアルタイムクロックの仕様を、図 20.1にリアルタイムクロックのブロック図を、表 20.2に入出力端子を示します。

表 20.1 リアルタイムクロックの仕様

項目	内容
カウントソース	f1、fC
カウント動作	<ul style="list-style-type: none"> • アップカウント • コンペアモードを使用しない場合、またはコンペア1モード カウンタ値継続使用、カウント継続 • コンペア2モード コンペア一致時、カウント値を“0”にしカウント継続 • コンペア3モード コンペア一致時、カウント値を“0”にしカウント停止
カウント開始条件	RTCCR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	RTCCR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 <ul style="list-style-type: none"> • 秒データの更新 • 分データの更新 • 時データの更新 • 日データの更新 • 日データが“000b”になるとき • 時刻のデータとコンペアデータの一致
RTCOUT端子機能	プログラマブル入出力ポート、またはコンペア出力
タイマの読み出し	RTCSEC、RTCMIN、RTCHR、RTCWKレジスタを読むと、カウンタ値が読める。 RTCSEC、RTCMIN、RTCHRレジスタの値はBCDコード
タイマの書き込み	RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときRTCSEC、RTCMIN、RTCHR、RTCWKレジスタに書き込める。 RTCSEC、RTCMIN、RTCHRレジスタに書き込む値はBCDコード
選択機能	<ul style="list-style-type: none"> • 12時間モード/24時間モード切り替え機能 • コンペア出力

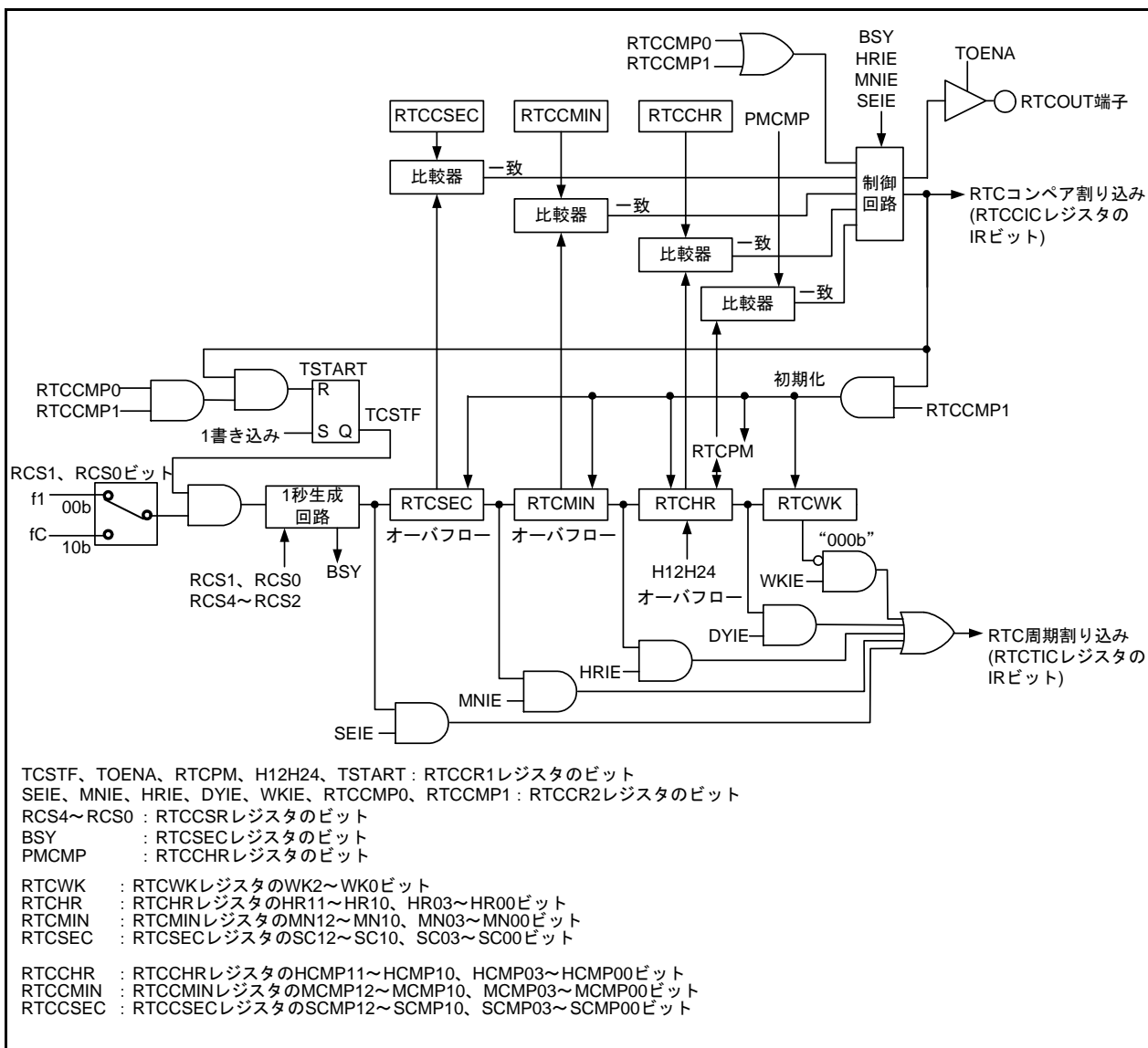


図 20.1 リアルタイムクロックのブロック図

表 20.2 入出力端子

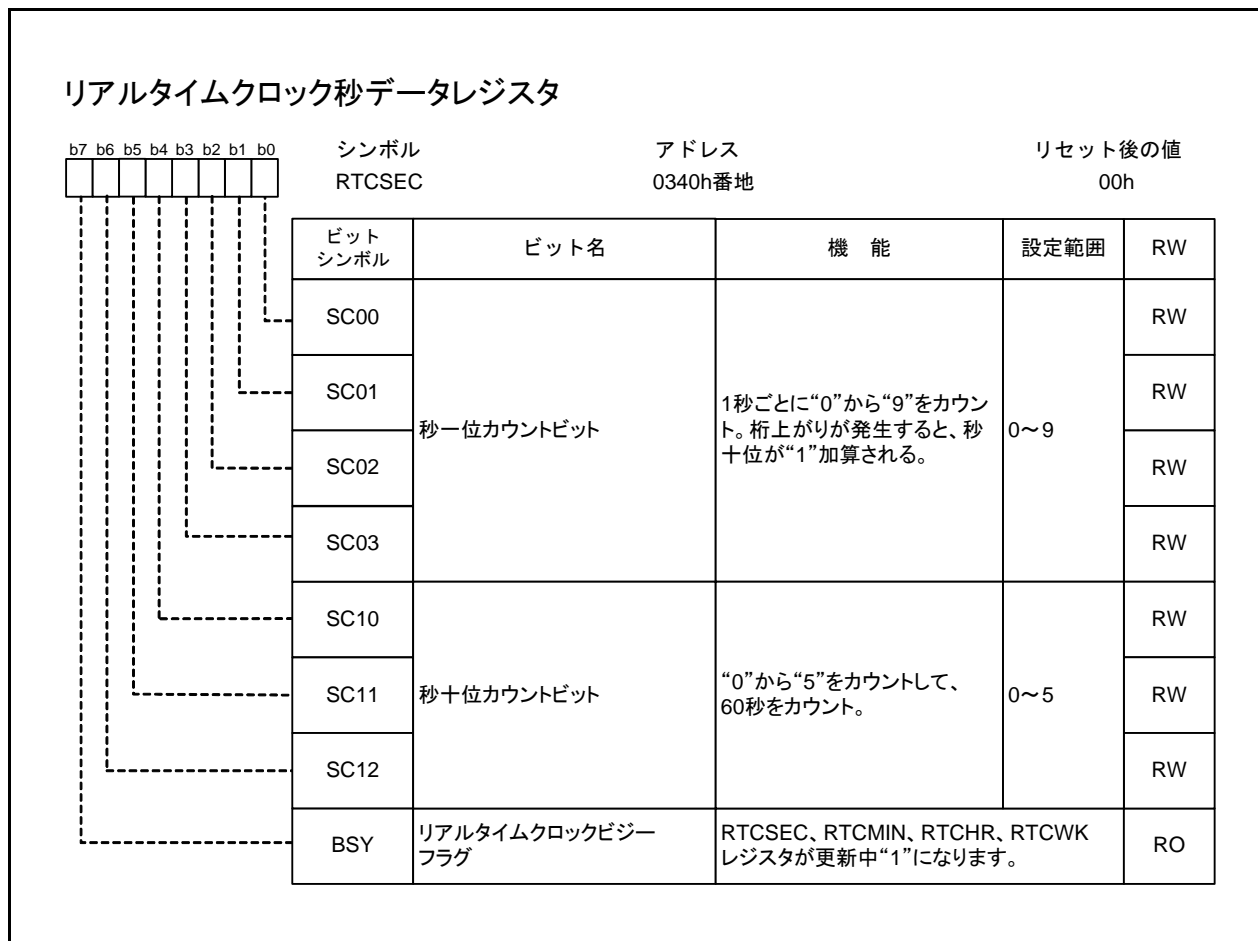
端子名	入出力	機能
RTCOUT	出力	コンペア出力

20.2 レジスタの説明

表 20.3 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0340h	リアルタイムクロック秒データレジスタ	RTCSEC	00h
0341h	リアルタイムクロック分データレジスタ	RTCMIN	X000 0000b
0342h	リアルタイムクロック時データレジスタ	RTCHR	XX00 0000b
0343h	リアルタイムクロック日データレジスタ	RTCWK	XXXX X000b
0344h	リアルタイムクロック制御レジスタ1	RTCCR1	0000 X00Xb
0345h	リアルタイムクロック制御レジスタ2	RTCCR2	X000 0000b
0346h	リアルタイムクロックカウントソース選択レジスタ	RTCCSR	XXX0 0000b
0348h	リアルタイムクロック秒コンペアデータレジスタ	RTCCSEC	X000 0000b
0349h	リアルタイムクロック分コンペアデータレジスタ	RTCCMIN	X000 0000b
034Ah	リアルタイムクロック時コンペアデータレジスタ	RTCCHR	X000 0000b

20.2.1 リアルタイムクロック秒データレジスタ (RTCSEC)



SC03~SC00 (秒一位カウントビット) (b3~b0)

SC12~SC10 (秒十位カウントビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

コンペア2モード、コンペア3モードでは、コンペア一致が起これると“00”になります。

RTCSECレジスタのSC12~SC10、SC03~SC00ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときに書き込んでください。また、BSYビットが“0” (データ更新中ではない) のときに読み出してください。

BSY (リアルタイムクロックビジーフラグ) (b7)

データ更新中に“1”になります。次のビットはBSYビットが“0” (データ更新中ではない) のときに読み出してください。

- RTCSECレジスタのSC12~SC10、SC03~SC00ビット
- RTCMINレジスタのMN12~MN10、MN03~MN00ビット
- RTCHRレジスタのHR11~HR10、HR03~HR00ビット
- RTCWKレジスタのWK2~WK0ビット
- RTCCR1レジスタのRTCPMビット

20.2.2 リアルタイムクロック分データレジスタ (RTCMIN)

リアルタイムクロック分データレジスタ

シンボル RTCMIN	アドレス 0341h番地	リセット後の値 X000 0000b																														
	<table border="1"> <thead> <tr> <th>ビット シンボル</th> <th>ビット名</th> <th>機 能</th> <th>設定範囲</th> <th>RW</th> </tr> </thead> <tbody> <tr> <td>MN00</td> <td rowspan="4">分一位カウントビット</td> <td rowspan="4">1分ごとに“0”から“9”をカウント。桁上がりが発生すると、分十位が“1”加算される。</td> <td rowspan="4">0~9</td> <td>RW</td> </tr> <tr> <td>MN01</td> <td>RW</td> </tr> <tr> <td>MN02</td> <td>RW</td> </tr> <tr> <td>MN03</td> <td>RW</td> </tr> <tr> <td>MN10</td> <td rowspan="3">分十位カウントビット</td> <td rowspan="3">“0”から“5”をカウントして、60分をカウント。</td> <td rowspan="3">0~5</td> <td>RW</td> </tr> <tr> <td>MN11</td> <td>RW</td> </tr> <tr> <td>MN12</td> <td>RW</td> </tr> <tr> <td>— (b7)</td> <td>予約ビット</td> <td>読んだ場合、その値は不定。</td> <td></td> <td>RO</td> </tr> </tbody> </table>	ビット シンボル	ビット名	機 能	設定範囲	RW	MN00	分一位カウントビット	1分ごとに“0”から“9”をカウント。桁上がりが発生すると、分十位が“1”加算される。	0~9	RW	MN01	RW	MN02	RW	MN03	RW	MN10	分十位カウントビット	“0”から“5”をカウントして、60分をカウント。	0~5	RW	MN11	RW	MN12	RW	— (b7)	予約ビット	読んだ場合、その値は不定。		RO	
ビット シンボル	ビット名	機 能	設定範囲	RW																												
MN00	分一位カウントビット	1分ごとに“0”から“9”をカウント。桁上がりが発生すると、分十位が“1”加算される。	0~9	RW																												
MN01				RW																												
MN02				RW																												
MN03				RW																												
MN10	分十位カウントビット	“0”から“5”をカウントして、60分をカウント。	0~5	RW																												
MN11				RW																												
MN12				RW																												
— (b7)	予約ビット	読んだ場合、その値は不定。		RO																												

MN03~MN00 (分一位カウントビット) (b3~b0)

MN12~MN10 (分十位カウントビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

RTCSECレジスタからの桁上がりがあると、“1”加算されます。

コンペア2モード、コンペア3モードでは、コンペアー一致が起こると“00”になります。

RTCMINレジスタのMN12~MN10、MN03~MN00ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに書き込んでください。また、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

20.2.3 リアルタイムクロック時データレジスタ (RTCHR)

リアルタイムクロック時データレジスタ				
ビット シンボル	ビット名	機 能	設定範囲	RW
b7				
b6				
b5				
b4				
b3				
b2				
b1				
b0				
シンボル RTCHR		アドレス 0342h番地	リセット後の値 XX00 0000b	
HR00	時一位カウントビット	1時間ごとに“0”から“9”をカウント。桁上がりが発生すると、時十位が“1”加算される。	0~9	RW
HR01				RW
HR02				RW
HR03				RW
HR10	時十位カウントビット	H12H24ビットが“0” (12時間モード)のとき、“0”から“1”をカウント。 H12H24ビットが“1” (24時間モード)のとき、“0”から“2”をカウント。	0~2	RW
HR11				RW
— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			—
— (b7)	予約ビット	読んだ場合、その値は不定。		RO

HR03~HR00 (時一位カウントビット) (b3~b0)

HR11~HR10 (時十位カウントビット) (b5~b4)

RTCCR1レジスタのH12H24ビットが“0” (12時間モード)の場合はBCDコードで“00”~“11”を設定してください。H12H24ビットが“1” (24時間モード)の場合はBCDコードで“00”~“23”を設定してください。

RTCMINレジスタからの桁上がりがあると、“1”加算されます。

コンペア2モード、コンペア3モードでは、コンペア一致が起こると“00”になります。

RTCHRレジスタのHR11~HR10、HR03~HR00ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止)のときに書き込んでください。また、RTCSECレジスタのBSYビットが“0” (データ更新中ではない)のときに読み出してください。

20.2.4 リアルタイムクロック日データレジスタ (RTCWK)

リアルタイムクロック日データレジスタ

シンボル
RTCWK

アドレス
0343h番地

リセット後の値
XXXX X000b

ビット シンボル	ビット名	機 能	RW
WK0	日カウントビット	b2 b1 b0 0 0 0: 1日目	RW
WK1		0 0 1: 2日目	RW
WK2		0 1 0: 3日目	RW
		0 1 1: 4日目	
		1 0 0: 5日目	
		1 0 1: 6日目	
		1 1 0: 7日目	
— (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b7)	予約ビット	読んだ場合、その値は不定。	RO

WK2~WK0 (日カウントビット) (b2~b0)

“000b” (1日目)~“110b” (7日目) を繰り返しカウントしますので、1週間がカウントできます。“111b”にはなりません。“111b”を設定しないでください。

RTCHRレジスタからの桁上がりがあると、“1”加算されます。

コンペア2モード、コンペア3モードでは、コンペア一致が起こると“000b”になります。

RTCWKレジスタのWK2~WK0ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときに書き込んでください。また、RTCSECレジスタのBSYビットが“0” (データ更新中ではない) のときに読み出してください。

20.2.5 リアルタイムクロック制御レジスタ1 (RTCCR1)

リアルタイムクロック制御レジスタ1							
ビットシンボル	ビット名	機能	RW				
— (b0)	予約ビット	“0” にしてください。	RW				
TCSTF	リアルタイムクロック カウントステータスフラグ	0: カウント停止中 1: カウント中	RO				
TOENA	RTCOUT端子出力ビット	0: コンペア出力禁止 1: コンペア出力許可	RW				
— (b3)	予約ビット	“0” にしてください。	RW				
RTCRST	リアルタイムクロック リセットビット	このビットを“1”にした後、“0”にすると リアルタイムクロックがリセットされます。	RW				
RTCPM	午前/午後ビット	0: 午前 1: 午後	RW				
H12H24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	RW				
TSTART	リアルタイムクロックカウン ト開始ビット	0: カウント停止 1: カウント開始	RW				

TCSTF (リアルタイムクロックカウントステータスフラグ) (b1)

TSTART (リアルタイムクロックカウント開始ビット) (b7)

TSTARTビットはカウント開始または停止を指示するためのビットです。TCSTFビットはカウントが開始または停止したことを示すビットです。

TSTARTビットを“1” (カウント開始) にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1” (カウント開始) になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0” (カウント停止) にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0” (カウント停止) になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

注1. RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR レジスタ

RTCST (リアルタイムクロックリセットビット) (b4)

このビットを“1”にした後、“0”にすると次の状態になります。

- RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHRレジスタがリセット後の値になる
- RTCCR1レジスタのTCSTF、RTCPM、H12H24、TSTARTビットが“0”になる

RTCPM (午前/午後ビット) (b5)

RTCPMビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに書き込んでください。また、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

H12H24ビットが“0”(12時間モード)の場合も“1”(24時間モード)の場合も有効です。したがって、H12H24ビットが“1”で時刻を設定する場合は、次のように設定してください。

- RTCHRレジスタのHR11~HR10、HR03~HR00ビットが“00”~“11”の場合、RTCPMビットを“0”にする。
- RTCHRレジスタのHR11~HR10、HR03~HR00ビットが“12”~“23”の場合、RTCPMビットを“1”にする。

RTCPMビットは、カウント動作中、次のように変化します。

- RTCPMビットが“1”(午後)で、11時59分59秒(24時間モードの場合は23時59分59秒)から、次の00時00分00秒になるとき、“0”になる。
- RTCPMビットが“0”(午前)で、11時59分59秒から、次の00時00分00秒(24時間モードの場合は12時00分00秒)になるとき“1”になる。

図 20.2 に時刻表現の定義を示します。

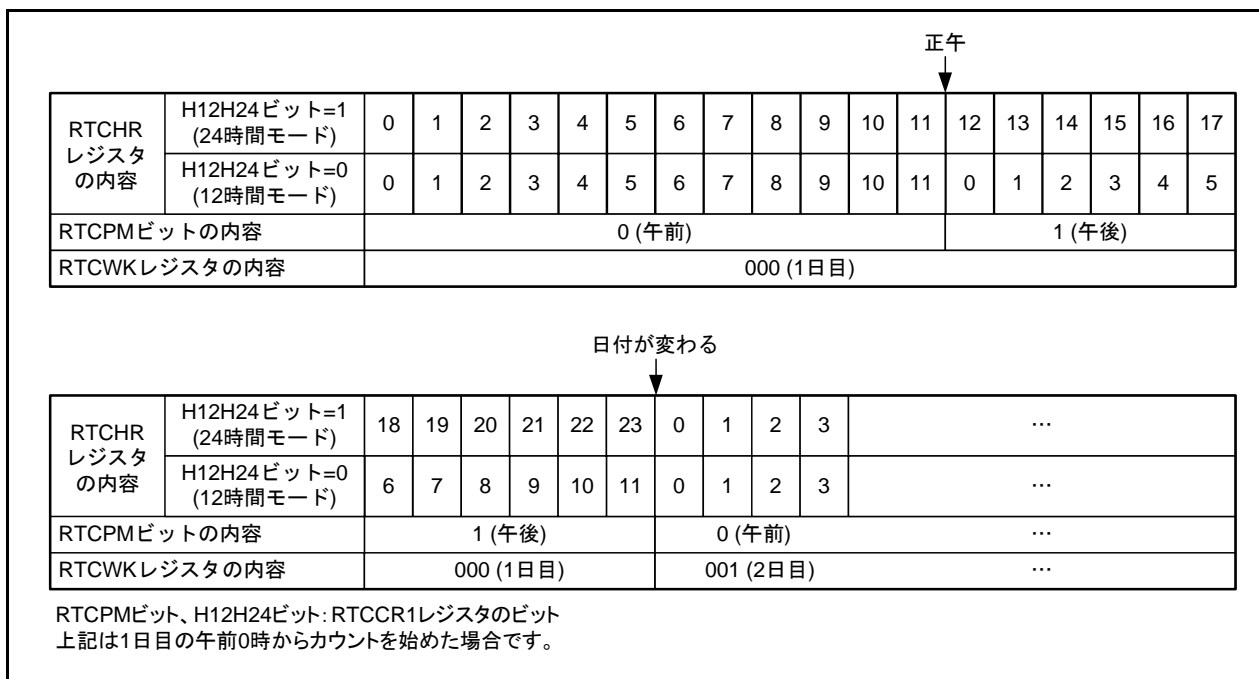


図 20.2 時刻表現

H12H24 (動作モード選択ビット) (b6)

H12H24ビットは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに書き込んでください。

20.2.6 リアルタイムクロック制御レジスタ2 (RTCCR2)

リアルタイムクロック制御レジスタ2			
ビット シンボル	ビット名	機能	RW
SEIE	秒周期割り込み許可ビット	0: 秒周期割り込み禁止 1: 秒周期割り込み許可	RW
MNIE	分周期割り込み許可ビット	0: 分周期割り込み禁止 1: 分周期割り込み許可	RW
HRIE	時周期割り込み許可ビット	0: 時周期割り込み禁止 1: 時周期割り込み許可	RW
DYIE	日周期割り込み許可ビット	0: 日周期割り込み禁止 1: 日周期割り込み許可	RW
WKIE	週周期割り込み許可ビット	0: 週周期割り込み禁止 1: 週周期割り込み許可	RW
RTCCMP0	コンペアモード設定ビット	b6 b5 0 0: コンペアモード使用しない	RW
RTCCMP1		0 1: コンペア1モード 1 0: コンペア2モード 1 1: コンペア3モード	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

RTCCR2レジスタは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”（カウント停止）のときに書き込んでください。

RTCCMP1~RTCCMP0ビットが“00b”（コンペアモード使用しない）の場合、秒、分、時、日、週のいずれかの周期で割り込み要求を発生させることができます。このときSEIE、MNIE、HRIE、DYIE、WKIEビットのうち、いずれか1ビットを“1”（割り込み許可）にしてください（複数ビットを“1”にしないでください）。表 20.4に周期割り込み要因を示します。

表 20.4 周期割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	RTCWKレジスタの値が“000b”になる（1週間周期）	WKIE
日周期割り込み	RTCWKレジスタが更新（1日周期）される	DYIE
時周期割り込み	RTCHRレジスタが更新（1時間周期）される	HRIE
分周期割り込み	RTCMINレジスタが更新（1分周期）される	MNIE
秒周期割り込み	RTCSECレジスタが更新（1秒周期）される	SEIE

RTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”（コンペアモードのいずれか）の場合は、コンペアするものによって、次のようにしてください。

- 秒とコンペアする場合、SEIEビットを“1”（割り込み許可）にしてください
- 分とコンペアする場合、SEIE、MNIEビットをすべて“1”にしてください
- 時間、午前/午後とコンペアする場合、SEIE、MNIE、HRIEビットをすべて“1”にしてください

20.2.7 リアルタイムクロックカウントソース選択レジスタ (RTCCSR)

リアルタイムクロックカウントソース選択レジスタ			
	シンボル RTCCSR	アドレス 0346h番地	リセット後の値 XXX0 0000b
ビットシンボル	ビット名	機能	RW
RCS0	カウントソース選択ビット	b1 b0 0 0 : f1 0 1 : 設定しないでください 1 0 : fC 1 1 : 設定しないでください	RW
RCS1		RW	
RCS2	カウントソース周波数指定ビット	b4 b3 b2 0 0 0 : fC、またはf1=4MHz 0 0 1 : f1=6MHz 0 1 0 : f1=8MHz 0 1 1 : f1=16MHz 1 0 0 : f1=20MHz 1 0 1 : f1=24MHz 1 1 0 : f1=32MHz 1 1 1 : 設定しないでください	RW
RCS3		RW	
RCS4		RW	
— (b6-b5)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—
— (b7)	予約ビット	“0”にしてください	RW

RCS1~RCS0ビットが“10b” (fC) のとき、RCS4~RCS2ビットは“000b”にしてください。

RCS1~RCS0ビットが“00b” (f1) のとき、f1に合う周波数をRCS4~RCS2ビットで指定してください。

RTCCSRレジスタは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0” (カウント停止) のときに書き込んでください。

なお、fCを使用する場合は、PM2レジスタのPM25ビットを“1” (周辺機能クロック fC 供給許可) にしてください。fCの詳細は「8. クロック発生回路」を参照してください。

20.2.8 リアルタイムクロック秒コンペアデータレジスタ (RTCCSEC)

リアルタイムクロック秒コンペアデータレジスタ				
		シンボル RTCCSEC	アドレス 0348h番地	リセット後の値 X000 0000b
ビット シンボル	ビット名	機 能	設定範囲	RW
SCMP00	秒一位コンペアデータビット	コンペアデータ格納	0~9	RW
SCMP01				RW
SCMP02				RW
SCMP03				RW
SCMP10	秒十位コンペアデータビット	コンペアデータ格納	0~5	RW
SCMP11				RW
SCMP12				RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—

RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”(コンペアモードのいずれか)の場合有効です。

SCMP03~SCMP00 (秒一位コンペアデータビット) (b3~b0)

SCMP12~SCMP10 (秒十位コンペアデータビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

20.2.9 リアルタイムクロック分コンペアデータレジスタ (RTCCMIN)

リアルタイムクロック分コンペアデータレジスタ					
b7 b6 b5 b4 b3 b2 b1 b0	シンボル RTCCMIN	アドレス 0349h番地	リセット後の値 X000 0000b		
	ビット シンボル	ビット名	機 能	設定範囲	RW
	MCMP00	分一位コンペアデータビット	コンペアデータ格納	0~9	RW
	MCMP01				RW
	MCMP02				RW
	MCMP03				RW
	MCMP10	分十位コンペアデータビット	コンペアデータ格納	0~5	RW
	MCMP11				RW
	MCMP12				RW
	— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—

RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”(コンペアモードのいずれか)の場合有効です。

MCMP03~MCMP00 (分一位コンペアデータビット) (b3~b0)

MCMP12~MCMP10 (分十位コンペアデータビット) (b6~b4)

BCDコードで“00”~“59”を設定してください。

RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

20.2.10 リアルタイムクロック時コンペアデータレジスタ (RTCCHR)

リアルタイムクロック時コンペアデータレジスタ				
		シンボル RTCCHR	アドレス 034Ah番地	リセット後の値 X000 0000b
ビット シンボル	ビット名	機 能	設定範囲	RW
HCMP00	時一位コンペアデータビット	コンペアデータ格納	0~9	RW
HCMP01				RW
HCMP02				RW
HCMP03				RW
HCMP10	時十位コンペアデータビット	コンペアデータ格納	0~2	RW
HCMP11				RW
PMCMP	午前/午後コンペアビット	0: 午前 1: 午後		RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—

RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“01b”、“10b”、“11b”(コンペアモードのいずれか)の場合有効です。

HCMP03~HCMP00 (時一位コンペアデータビット) (b3~b0)

HCMP11~HCMP10 (時十位コンペアデータビット) (b5~b4)

RTCCR1レジスタのH12H24ビットが“0”(12時間モード)の場合はBCDコードで“00”~“11”を設定してください。H12H24ビットが“1”(24時間モード)の場合はBCDコードで“00”~“23”を設定してください。

RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

PMCMP (午前/午後コンペアビット) (b6)

RTCCR1レジスタのH12H24ビットが“0”(12時間モード)の場合も“1”(24時間モード)の場合も有効です。したがってH12H24ビットが“1”の場合は次のように設定してください。

- HCMP11~HCMP10、HCMP03~HCMP00ビットが“00”~“11”の場合、PMCMPビットを“0”にする
 - HCMP11~HCMP10、HCMP03~HCMP00ビットが“12”~“23”の場合、PMCMPビットを“1”にする
- RTCSECレジスタのBSYビットが“0”(データ更新中ではない)ときに書いてください。

20.3 動作説明

20.3.1 基本動作

RTCCSRレジスタで選択したカウントソースから1秒を作り、秒、分、時、午前/午後、日、1週間をカウントします。

カウントを始める時刻や日は、RTCSEC、RTCMIN、RTCHR、RTCWKレジスタ、RTCCR1レジスタのRTCPMビットで設定できます。また、現在の時刻や日をRTCSEC、RTCMIN、RTCHR、RTCWKレジスタ、RTCCR1レジスタのRTCPMビットから読み出せます。ただし、RTCSECレジスタのBSYビットが“1”（データ更新中）はこれらのレジスタを読み出さないでください。

秒、分、時、日、1週間の周期で割り込み要求を発生させることができます。RTCCR2レジスタのRTCCMP1~RTCCMP0ビットが“00b”（コンペアモードで使用しない）の場合、RTCCR2レジスタの秒、分、時、日、1週間のうち、いずれか1つの割り込みを許可してください。周期割り込み要求が発生するとRTCTICレジスタのIRビットが“1”（割り込み要求あり）になります。

図 20.3 にリアルタイムクロック基本動作例を、図 20.4 に時刻、日変更手順（コンペアモードを使用しない、またはコンペア1モード）を、図 20.5 に時刻、日変更手順（コンペア2モード、またはコンペア3モード）を示します。

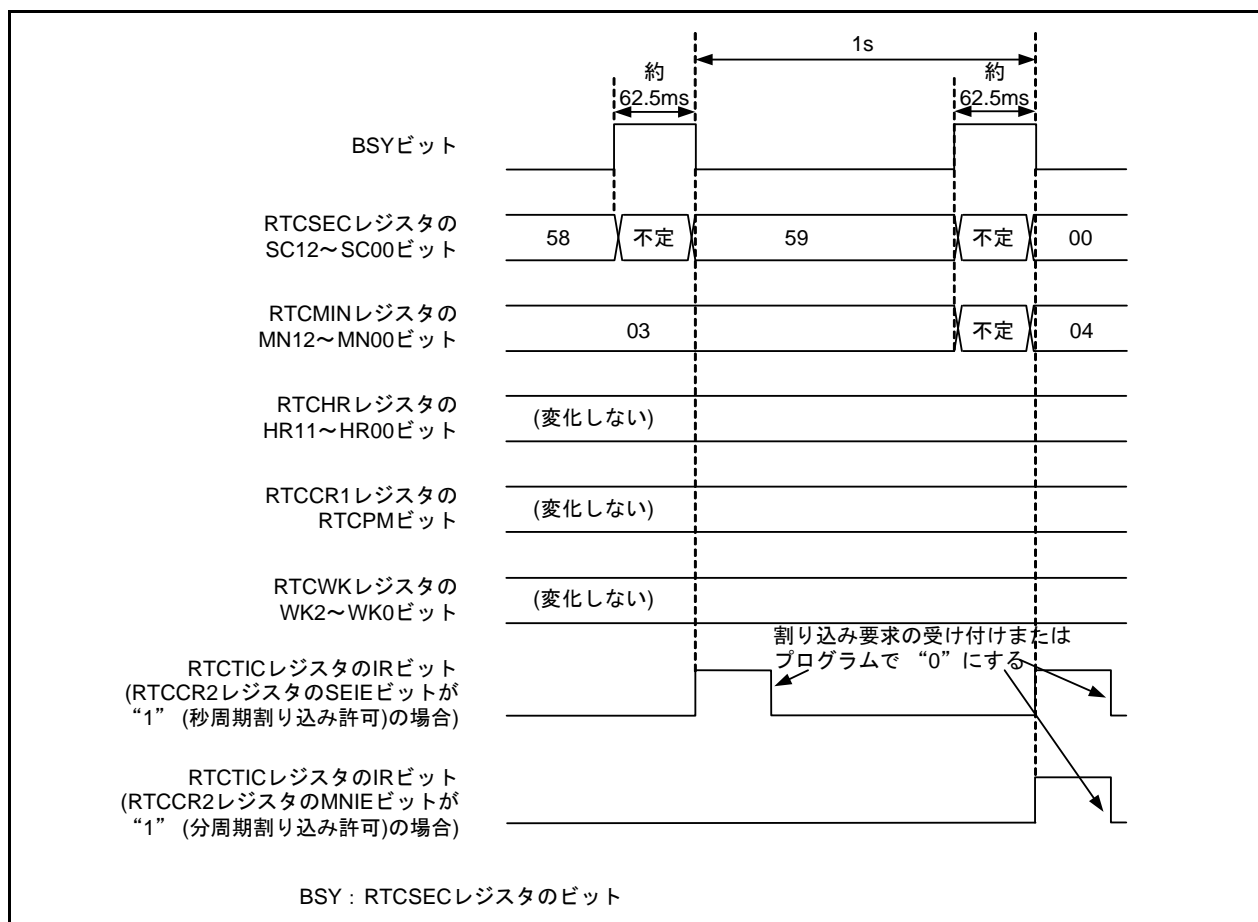


図 20.3 リアルタイムクロック基本動作例

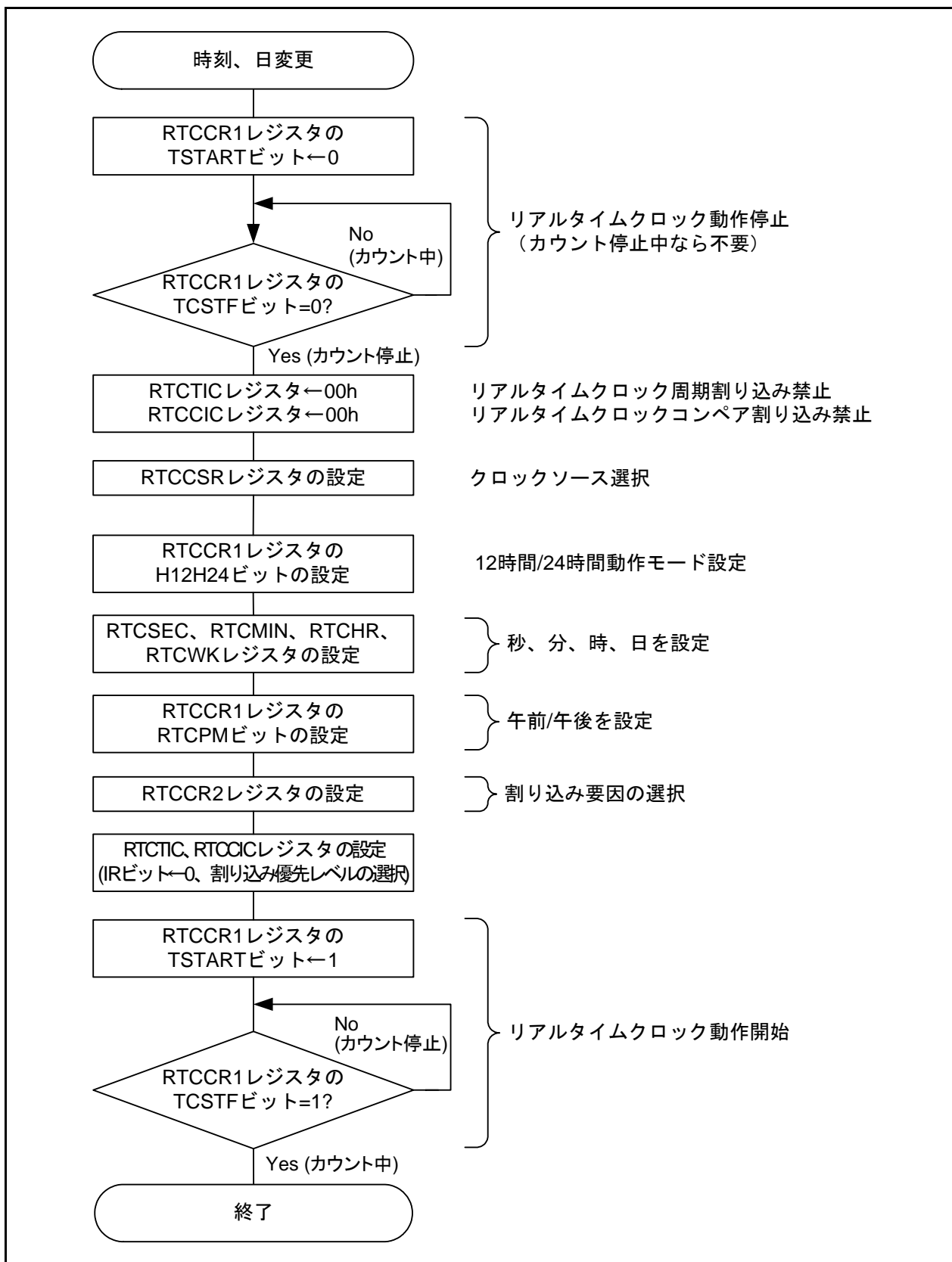


図 20.4 時刻、日変更手順 (コンペアモードを使用しない、またはコンペア1モード)

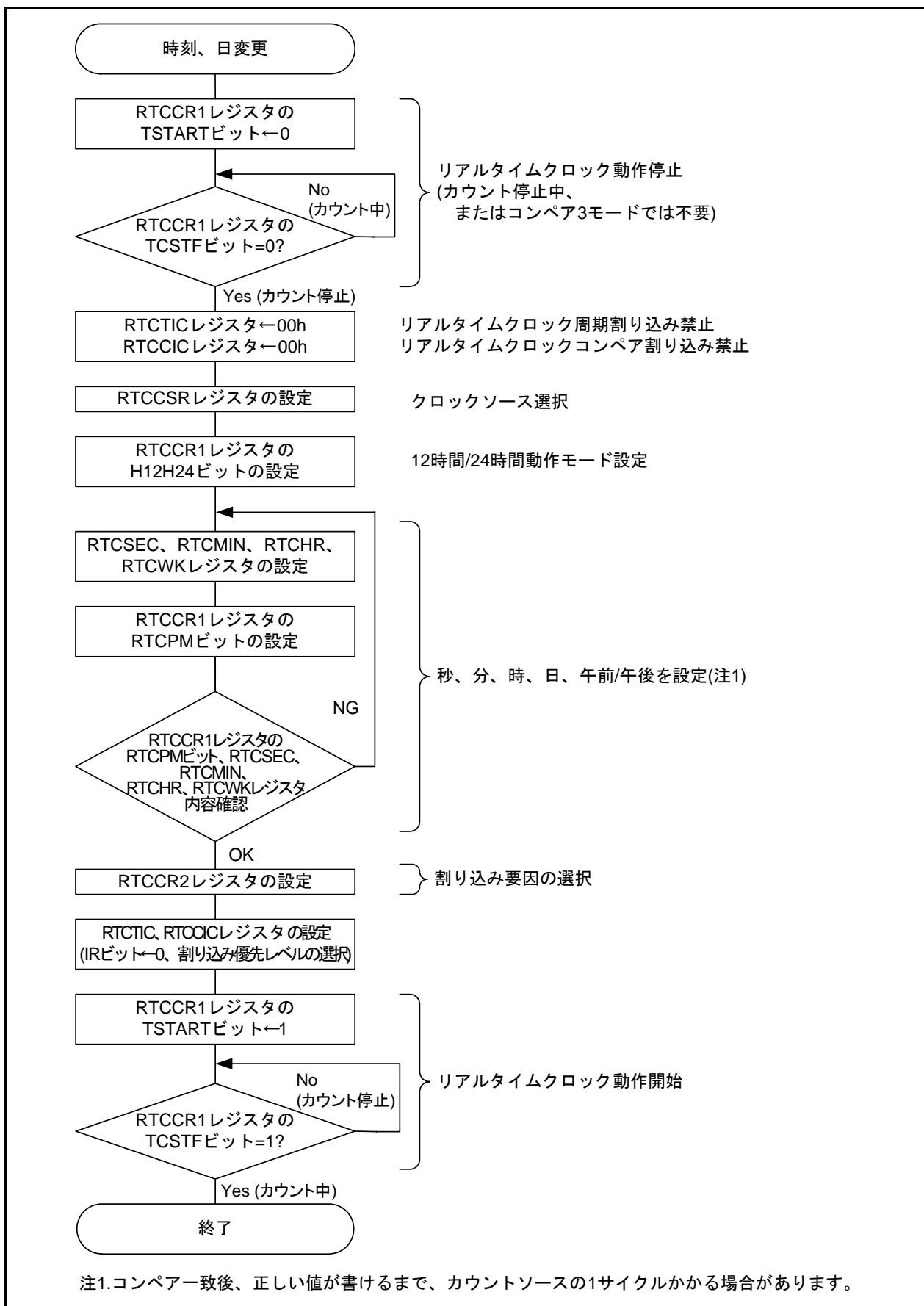


図 20.5 時刻、日変更手順 (コンペア2モード、またはコンペア3モード)

20.3.2 コンペアモード

時刻のデータ(注1)とコンペアデータ(注2)を比較し、一致を検出します。一致すると次のようになります。

- コンペア割り込み要求発生
詳細は「20.4 割り込み」を参照してください。
- RTCOUT端子の出力レベル反転
RTCCR1レジスタのTOENAビットが“1”(コンペア出力許可)の場合、コンペア一致を検出すると、RTCOUT端子の出力レベルを反転します。

注1. 時刻データのビットは次のとおりです。

RTCSECレジスタのSC12~SC10、SC03~SC00ビット
RTCCMINレジスタのMN12~MN10、MN03~MN00ビット
RTCCHRレジスタのHR11~HR10、HR03~HR00ビット
RTCCR1レジスタのRTCPMビット

注2. コンペアデータのビットは次のとおりです。

RTCCSECレジスタのSCMP12~SCMP10、SCMP03~SCMP00ビット
RTCCMINレジスタのMCMP12~MCMP10、MCMP03~MCMP00ビット
RTCCHRレジスタのHCMP11~HCMP10、HCMP03~HCMP00ビット
RTCCHRレジスタのPMCMPビット

コンペアモードを使用する場合、比較するもの(秒、分、時)によって、RTCCR2レジスタのSEIE、MNIE、HRIEビットを“1”(割り込み許可)にしてください。詳細は「20.2.6 リアルタイムクロック制御レジスタ2(RTCCR2)」を参照してください。

コンペアモードには、コンペア1モード~コンペア3モードがあります。コンペア1モード~コンペア3モードはコンペア一致後の動作が違います。

- コンペア1モード
時刻のデータを継続使用し、カウントを継続します。
- コンペア2モード
時刻のデータをリセット後の値にし、カウントを継続します。
- コンペア3モード
時刻のデータをリセット後の値にし、カウンタを停止します。

図 20.6 にコンペアモードの違い、図 20.7 にカウント開始、停止の動作例、図 20.8 にコンペア 1 モードの動作例、図 20.9 にコンペア 2 モードの動作例、図 20.10 にコンペア 3 モードの動作例を示します。

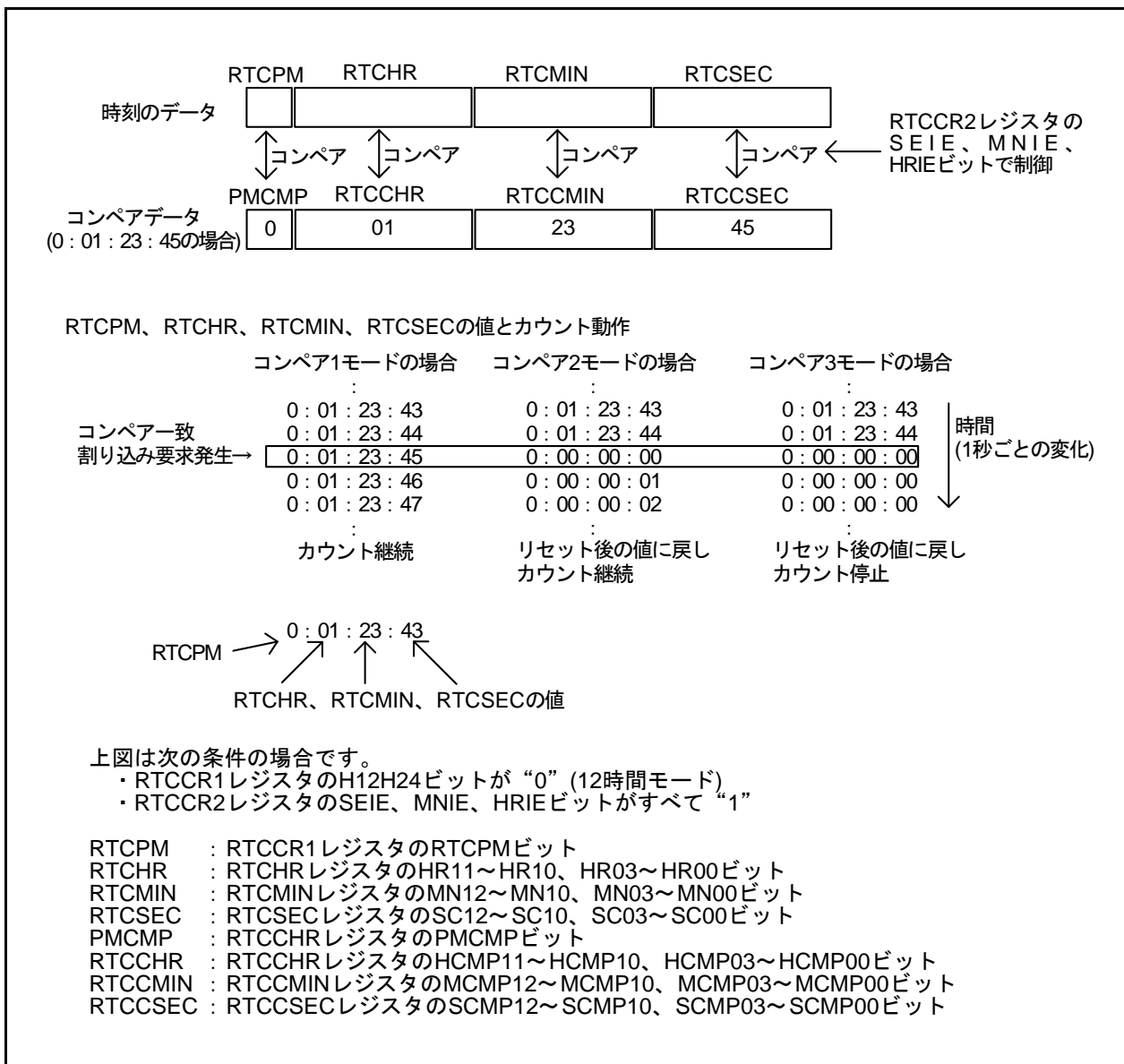


図 20.6 コンペアモードの違い

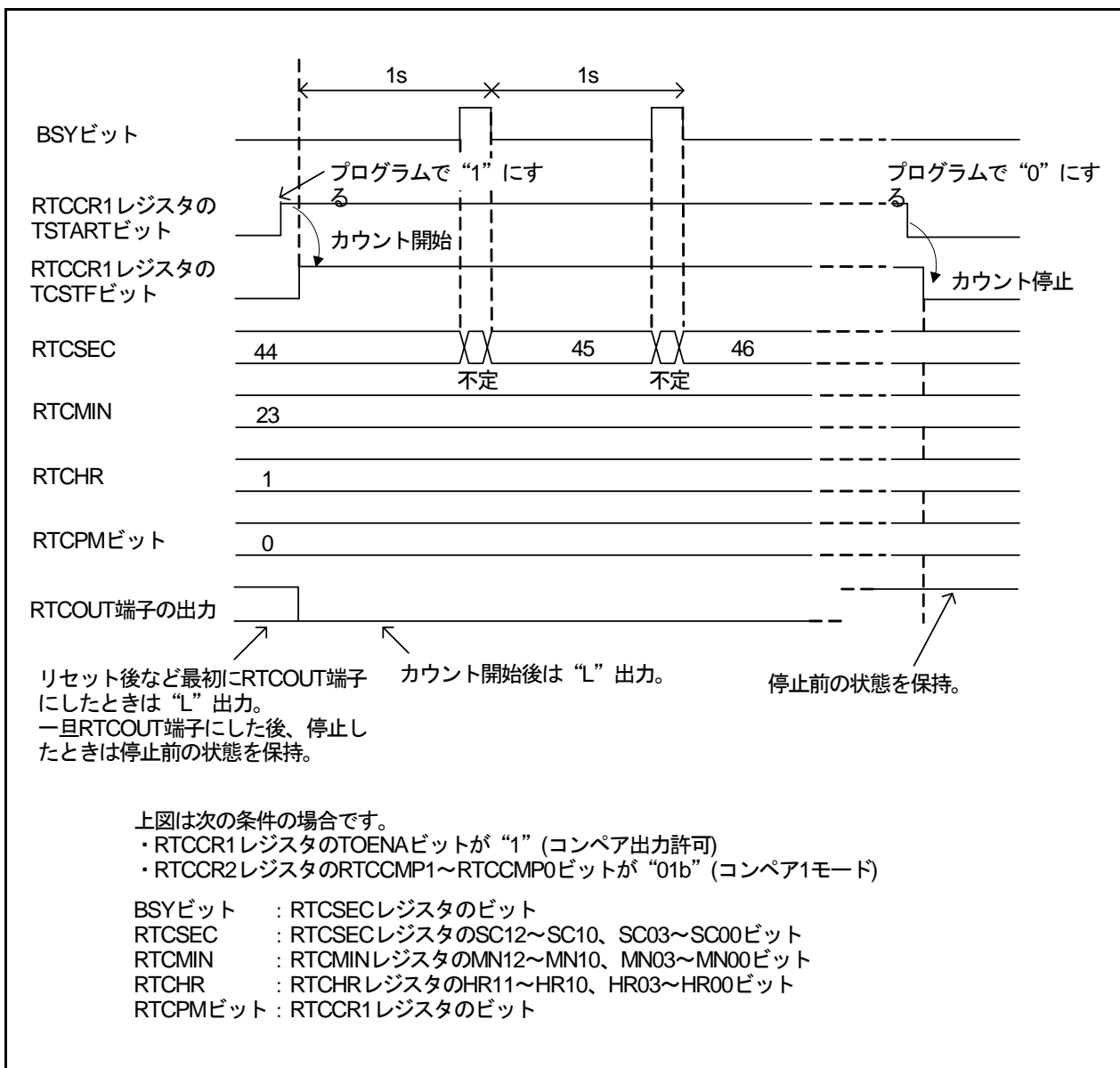


図 20.7 カウント開始、停止の動作例

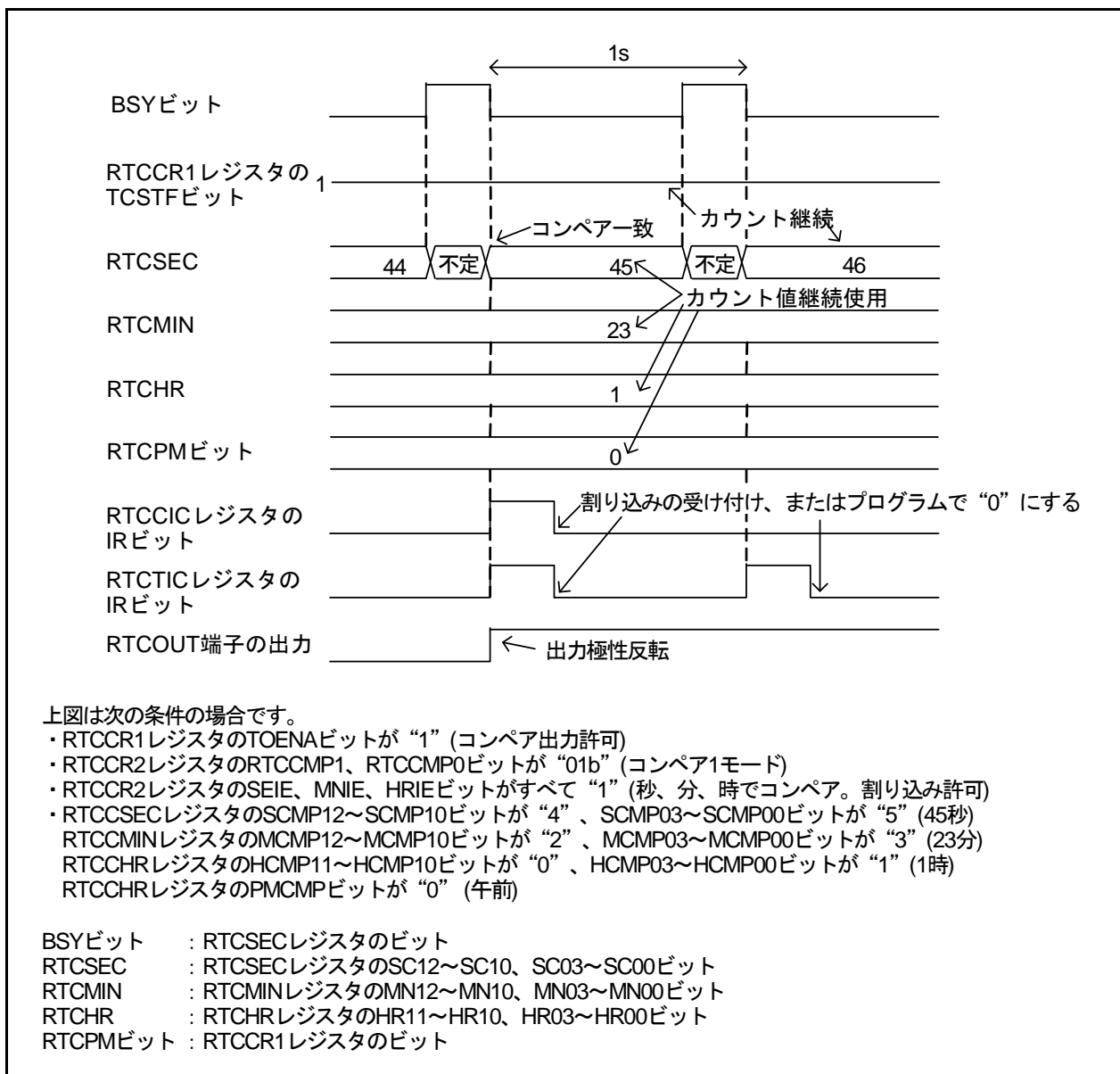


図 20.8 コンペアー1モードの動作例

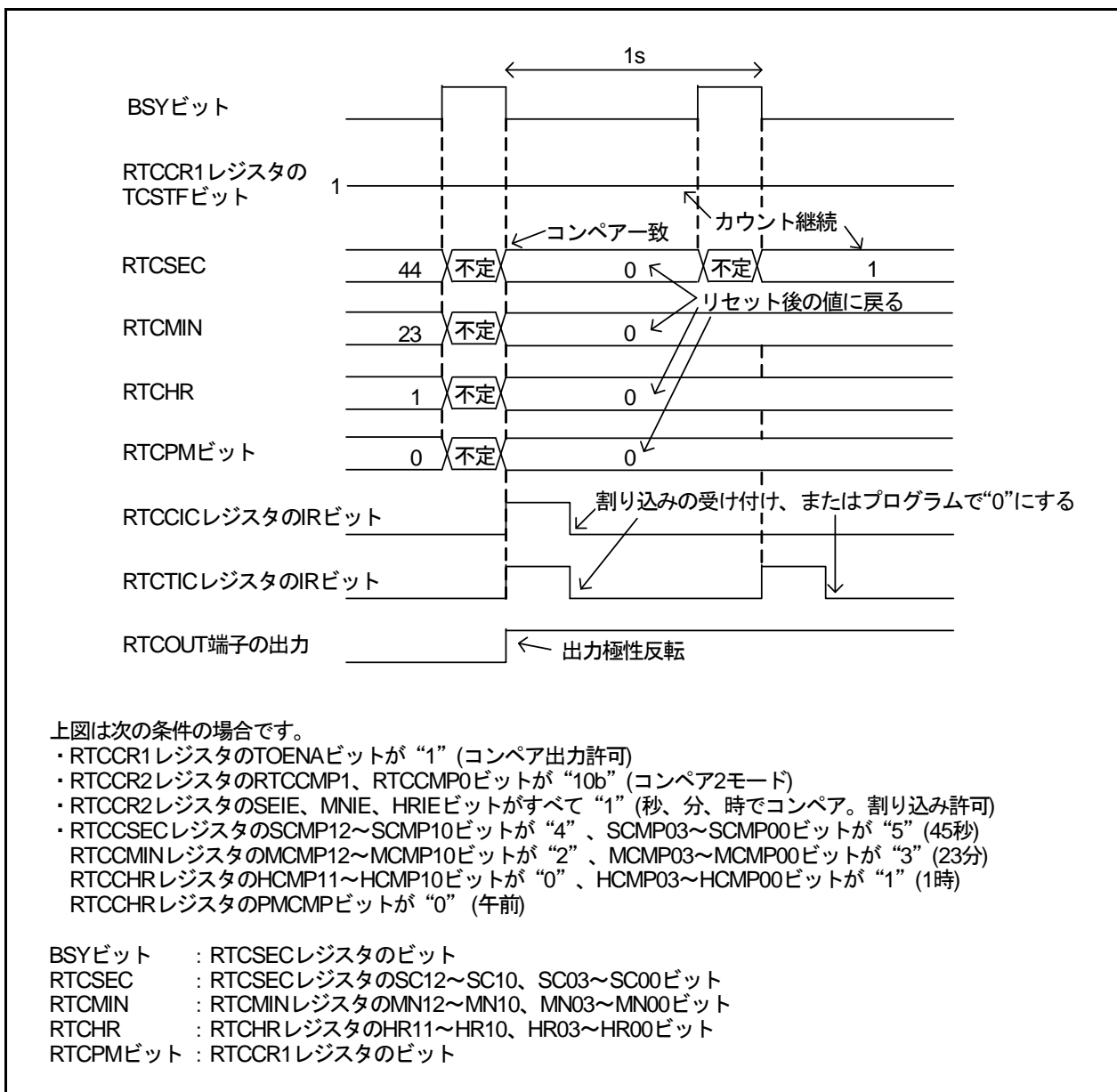


図 20.9 コンペア2モードの動作例

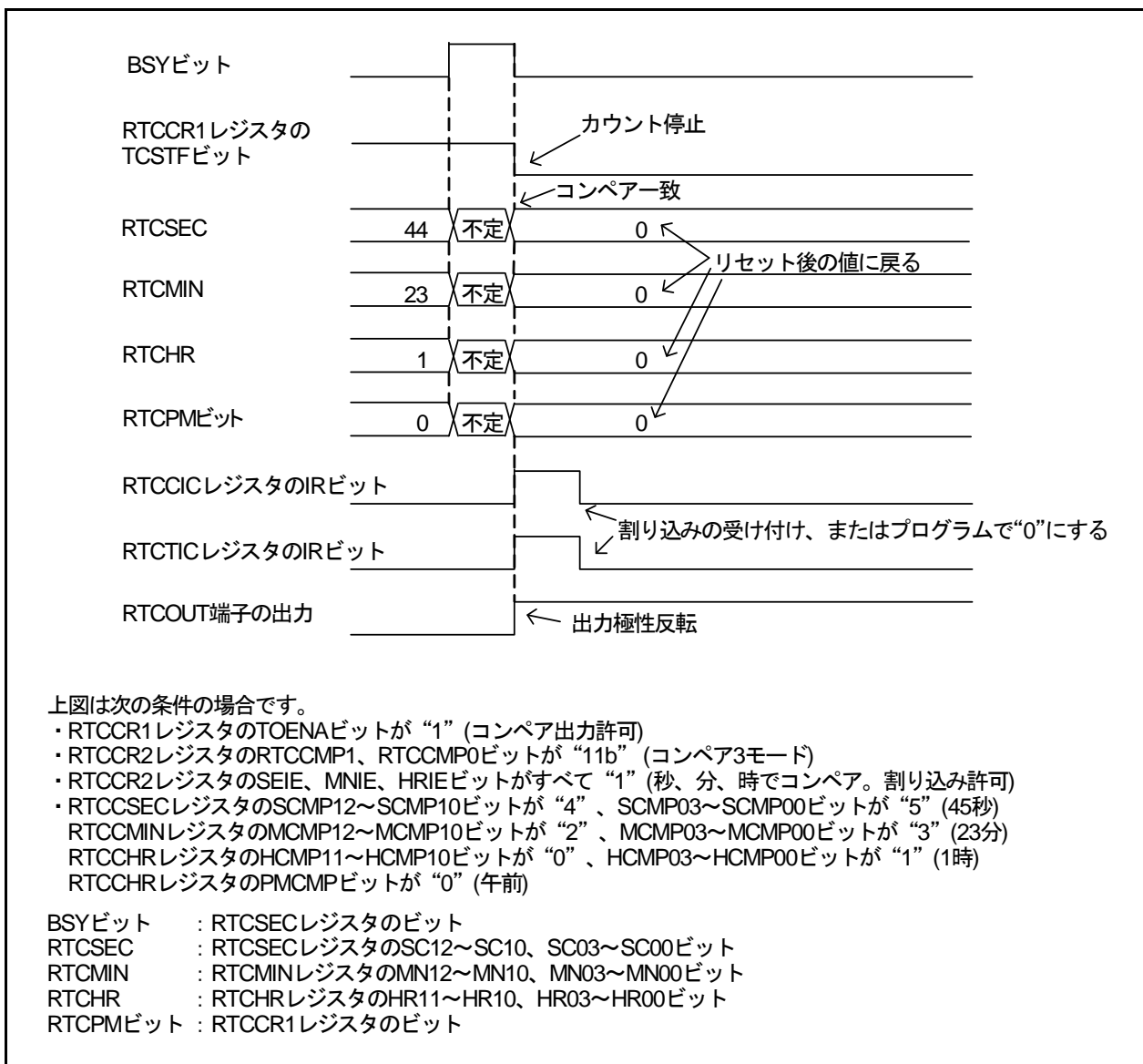


図 20.10 コンペア3モードの動作例

20.4 割り込み

リアルタイムクロックは次の2種類の割り込み要求を発生します。

- 秒、分、時、日、1週間の周期割り込み
- コンペア一致割り込み

周期割り込みの要因は「表 20.4 周期割り込み要因」を参照してください。割り込み要求発生タイミングは、各モードの仕様や動作例を参照してください。また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 20.5 にリアルタイムクロックの割り込み関連レジスタを示します。

表 20.5 リアルタイムクロックの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
006Fh	リアルタイムクロックコンペア割り込み制御レジスタ	RTCCIC	XXXX X000b
0074h	リアルタイムクロック周期割り込み制御レジスタ	RTCTIC	XXXX X000b
0205h	割り込み要因選択レジスタ 3	IFSR3A	00h

リアルタイムクロックは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。コンペア割り込みを使用する場合は、IFSR3A レジスタの IFSR36 ビットを“1”(リアルタイムクロックコンペア)にしてください。

20.5 リアルタイムクロック使用上の注意事項

20.5.1 カウント開始、停止

リアルタイムクロックにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにRTCCR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタをアクセスしないでください。

注1. リアルタイムクロック関連レジスタ: RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR

20.5.2 レジスタ設定(時刻データ他)

次のレジスタやビットは、リアルタイムクロックが停止中に書いてください。

- RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR2レジスタ
- RTCCR1レジスタのH12H24ビット、RTCPMビット
- RTCCSRレジスタのRCS0~RCS4ビット

リアルタイムクロックが停止中とは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(リアルタイムクロック停止)の状態を指します。

また、RTCCR2レジスタは、上記のレジスタやビットの設定の最後(リアルタイムクロックカウント開始の直前)に設定してください。

「図 20.4 時刻、日変更手順(コンペアモードを使用しない、またはコンペア1モード)」 「図 20.5 時刻、日変更手順(コンペア2モード、またはコンペア3モード)」を参照してください。

20.5.3 レジスタ設定(コンペアデータ)

次のレジスタやビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

- RTCCSEC、RTCCMIN、RTCCHRレジスタ

20.5.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データ(注1)のビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

リアルタイムクロック周期割り込みルーチン内で、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法1

プログラムでRTCTICレジスタのIRビットを監視し、“1”(周期割り込み要求発生)になったら、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法2

「図 20.11 時刻データ読み出し」に示す手順で読み出す。

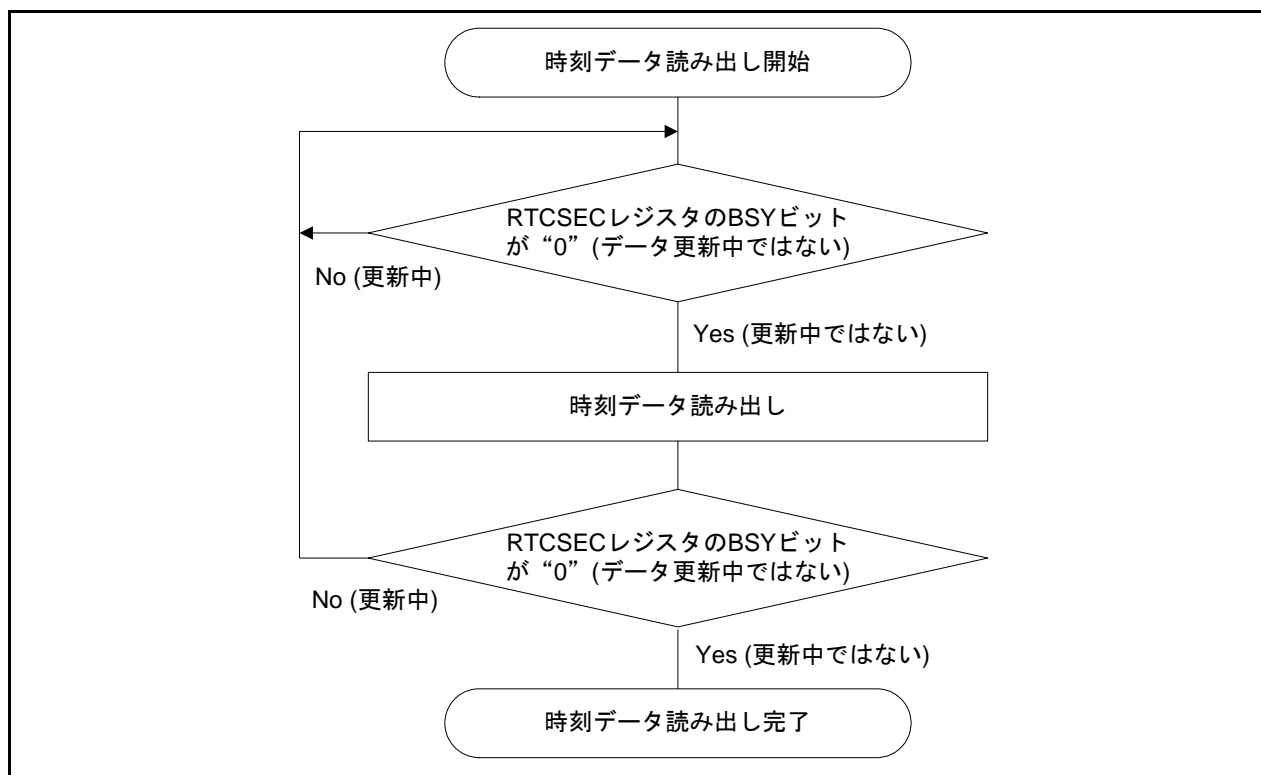


図 20.11 時刻データ読み出し

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. 時刻データのビットは次のとおりです。

RTCSECレジスタのSC12~SC10、SC03~SC00ビット

RTCMINレジスタのMN12~MN10、MN03~MN00ビット

RTCHRレジスタのHR11~HR10、HR03~HR00ビット

RTCWKレジスタのWK2~WK0ビット

RTCCR1レジスタのRTCPMビット

21. シリアルインタフェースUARTi (i=0~4)

注意

64ピン版は、CLK4、RXD4、TXD4端子がありません。UART4関連レジスタをアクセスしないでください。

21.1 概要

シリアルインタフェースは、UART0~UART4の5チャンネルで構成しています。

UARTiはそれぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。

表 21.1 にシリアルインタフェースUARTi (i=0~4) の仕様、表 21.2 にUART0~UART4 の仕様の相違、図 21.1 にUARTiブロック図、図 21.2 にUARTi送受信部ブロック図を示します。

表 21.1 シリアルインタフェースUARTi (i=0~4) の仕様

項目	仕様
動作モード	<ul style="list-style-type: none"> • クロック同期形シリアルI/Oモード • クロック非同期形シリアルI/Oモード(UARTモード) • 特殊モード1 (I²Cモード) UART2で使用できます。 簡易形I²C-busインタフェースに対応したモードです。 • 特殊モード2 UART2で使用できます。送受信クロックの極性と位相を選択できます。 • 特殊モード3 (バス衝突検出機能、IEモード) UART2で使用できます。 UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。 • 特殊モード4 (SIMモード) SIMインタフェースに対応するモードです。

表 21.2 UART0~UART4の仕様の相違

項目	UART0	UART1	UART2	UART3	UART4
クロック同期形シリアルI/Oモード	あり		あり	あり	
クロック非同期形シリアルI/Oモード (UARTモード)	あり		あり	あり	
特殊モード1(I ² Cモード)	なし		あり	なし	
特殊モード2	なし		あり	なし	
特殊モード3(IEモード)	なし		あり	なし	
特殊モード4(SIMモード)	なし		あり	なし	
CTS\RTS端子	あり		あり	あり	なし

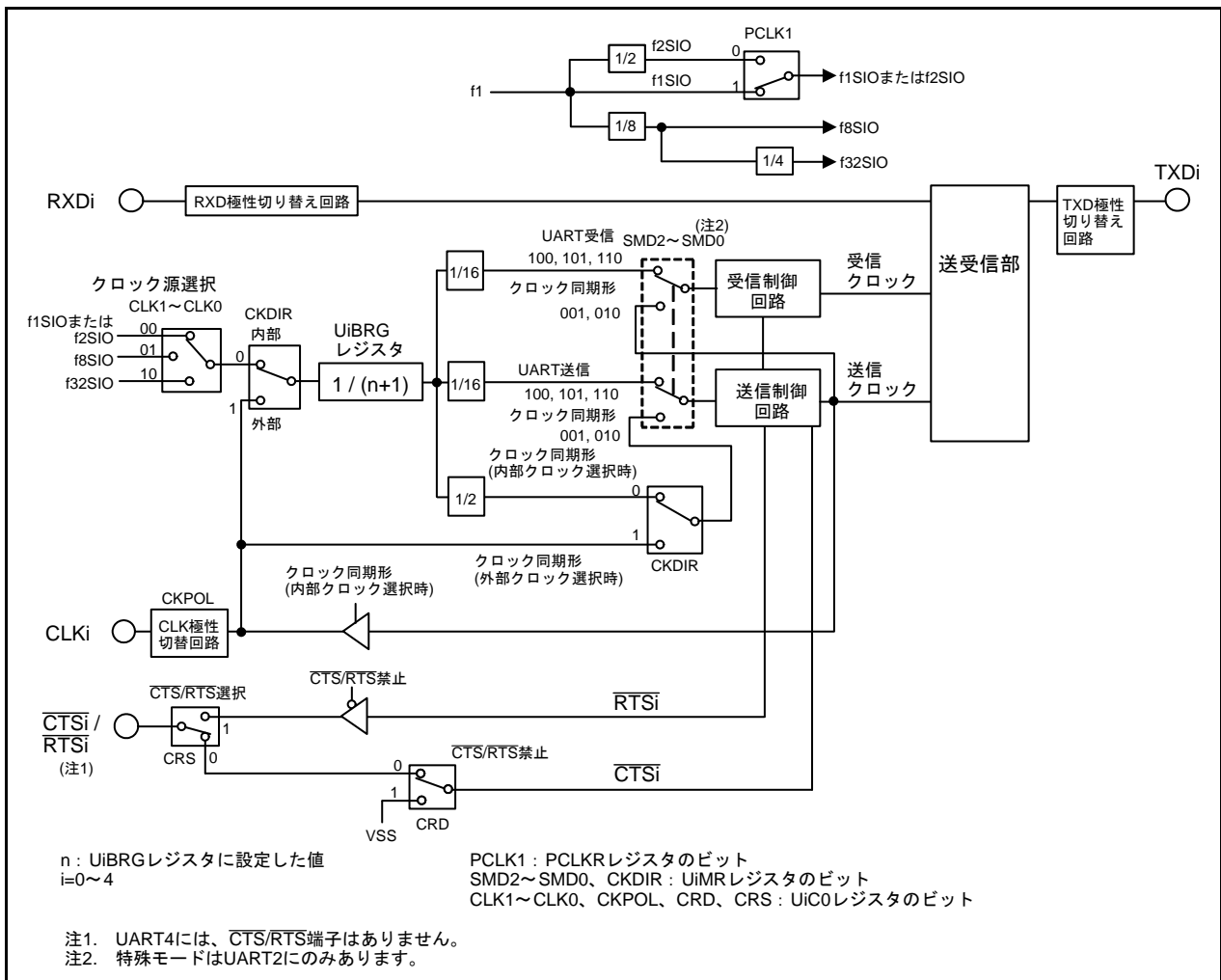


図 21.1 UARTi (i=0~4) ブロック図

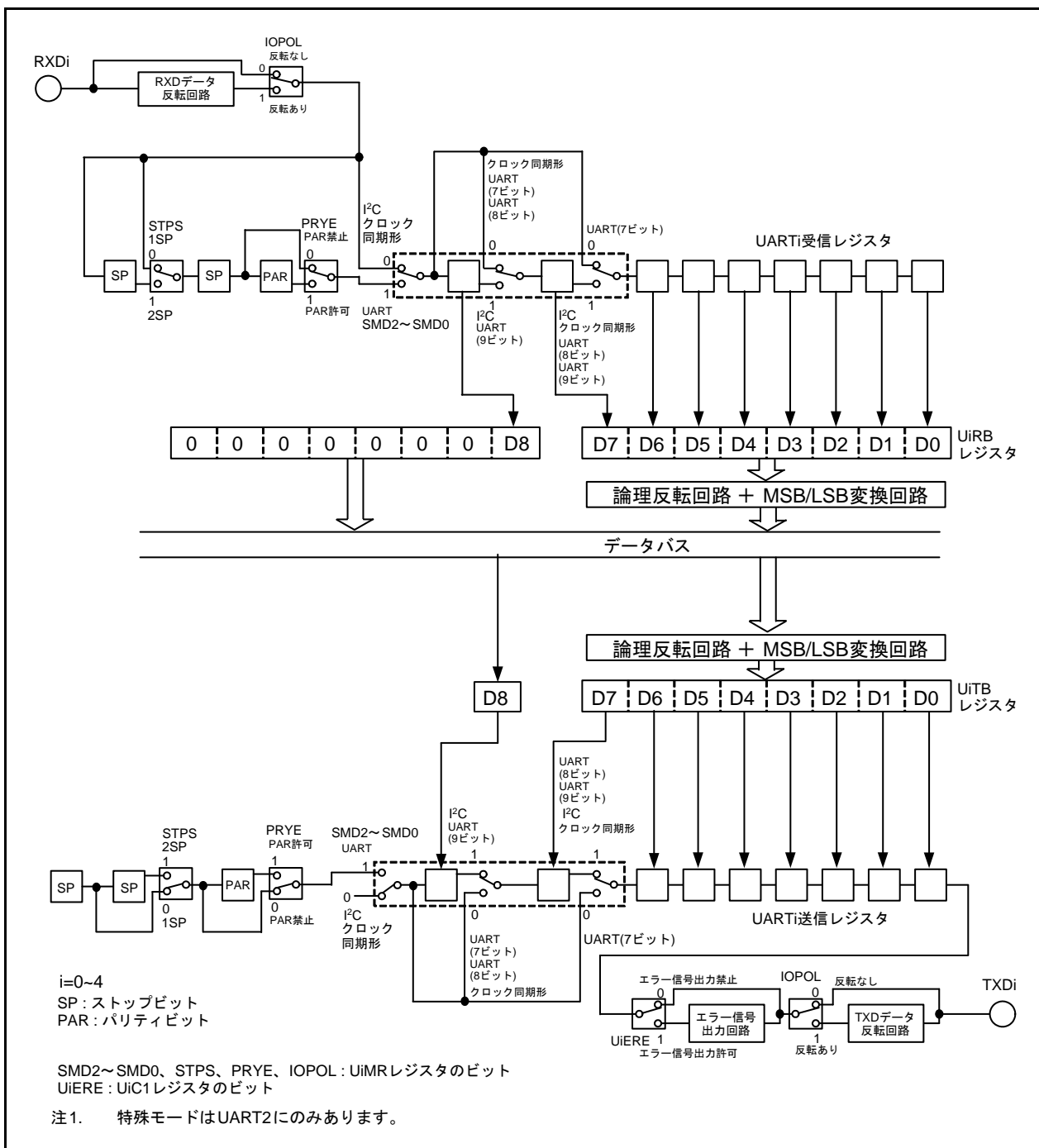


図 21.2 UARTi送受信部ブロック図

21.2 レジスタの説明

UART0~UART4関連レジスタを表 21.3~表 21.4 レジスタ一覧に示します。

レジスタ、ビットの設定値は、各モードの「使用レジスタと設定値」を参照してください。

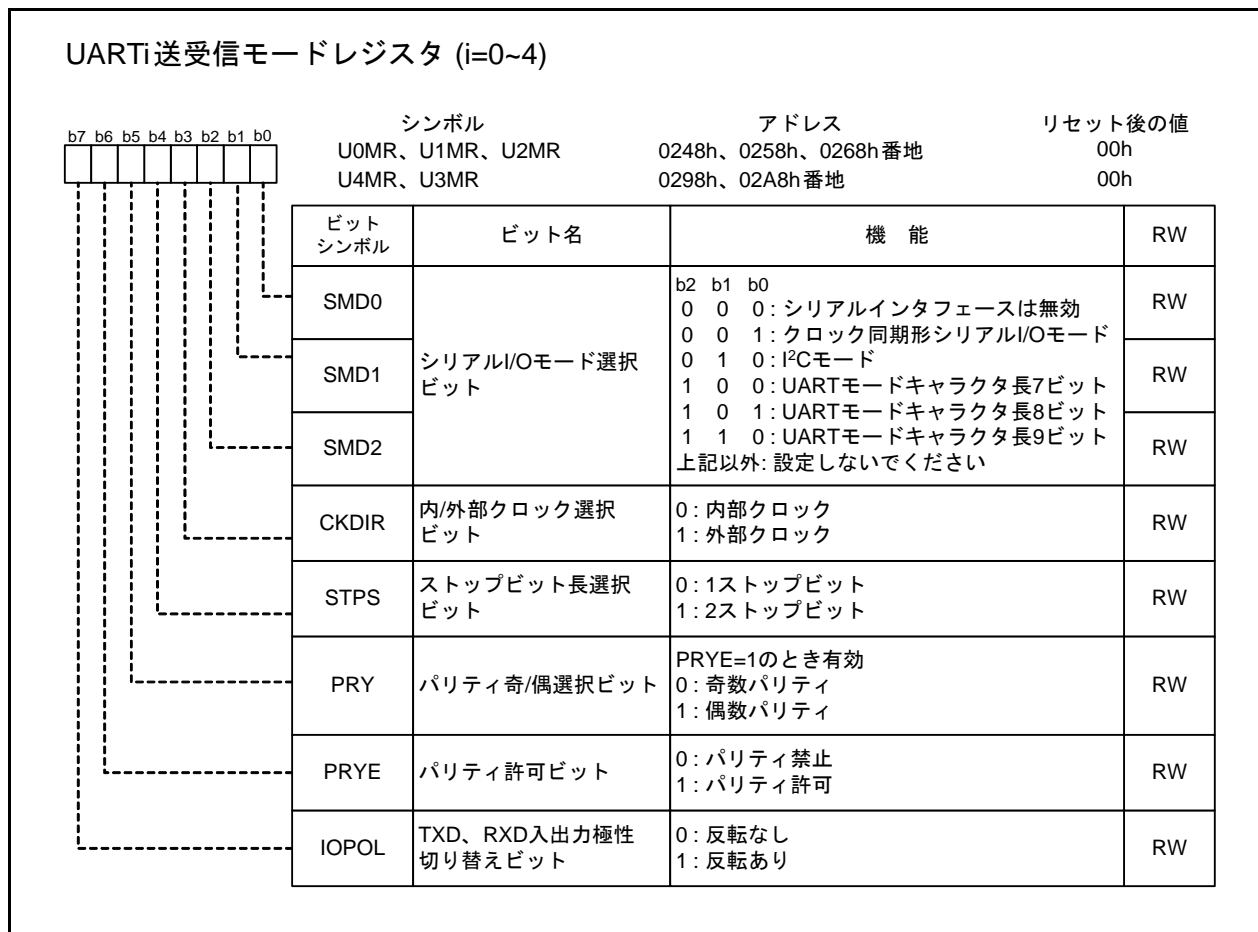
表 21.3 レジスタ一覧 (1/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0012h	周辺クロック選択レジスタ	PCLKR	0000 0011b
0248h	UART0送受信モードレジスタ	U0MR	00h
0249h	UART0ビットレートレジスタ	U0BRG	XXh
024Ah	UART0送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
024Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
024Eh	UART0受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0258h	UART1送受信モードレジスタ	U1MR	00h
0259h	UART1ビットレートレジスタ	U1BRG	XXh
025Ah	UART1送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1送受信制御レジスタ0	U1C0	0000 1000b
025Dh	UART1送受信制御レジスタ1	U1C1	0000 0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X 0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X000 0000b
0267h	UART2特殊モードレジスタ	U2SMR	X000 0000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh

表 21.4 レジスタ一覧 (2/2)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
026Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
026Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh
0298h	UART4送受信モードレジスタ	U4MR	00h
0299h	UART4ビットレートレジスタ	U4BRG	XXh
029Ah	UART4送信バッファレジスタ	U4TB	XXh
029Bh			XXh
029Ch	UART4送受信制御レジスタ0	U4C0	0000 1000b
029Dh	UART4送受信制御レジスタ1	U4C1	0000 0010b
029Eh	UART4受信バッファレジスタ	U4RB	XXh
029Fh			XXh
02A8h	UART3送受信モードレジスタ	U3MR	00h
02A9h	UART3ビットレートレジスタ	U3BRG	XXh
02AAh	UART3送信バッファレジスタ	U3TB	XXh
02ABh			XXh
02ACh	UART3送受信制御レジスタ0	U3C0	0000 1000b
02ADh	UART3送受信制御レジスタ1	U3C1	0000 0010b
02AEh	UART3受信バッファレジスタ	U3RB	XXh
02AFh			XXh
0370h	端子割り当て制御レジスタ	PACR	0XXX X000b

21.2.2 UARTi送受信モードレジスタ (UiMR) (i=0~4)



U4MRレジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

SMD2~SMD0 (シリアルI/Oモード選択ビット) (b2~b0)

SMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にするときは、UiC1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

“010b”(I²Cモード)はU2MRレジスタで選択できます。U0MR、U1MR、U3MR、U4MRレジスタでは“010b”を選択しないでください。

21.2.3 UARTiビットレートレジスタ (UiBRG) (i=0~4)

UARTiビットレートレジスタ (i=0~4)

シンボル	アドレス	リセット後の値
U0BRG、U1BRG、U2BRG	0249h、0259h、0269h番地	XXh
U4BRG、U3BRG	0299h、02A9h番地	XXh

機能	設定範囲	RW
設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h~FFh (I ² Cモード以外) 03h~FFh (I ² Cモード)	WO

送受信停止中に書いてください。
 このレジスタはMOV命令を使用して書いてください。
 このレジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

21.2.4 UARTi送信バッファレジスタ (UiTB) (i=0~4)

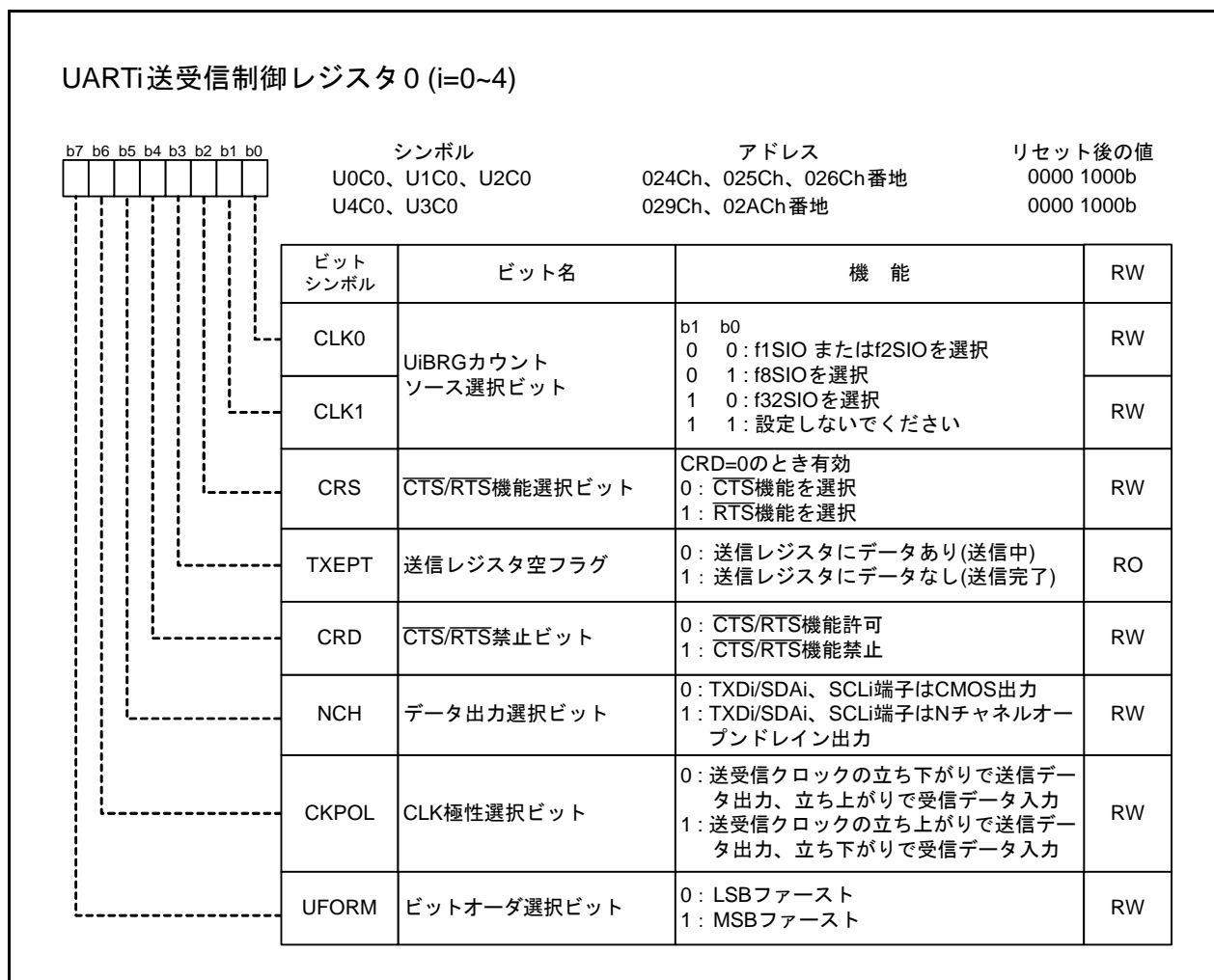
UARTi送信バッファレジスタ (i=0~4)

シンボル	アドレス	リセット後の値
U0TB	024Bh~024Ah番地	XXXXh
U1TB	025Bh~025Ah番地	XXXXh
U2TB	026Bh~026Ah番地	XXXXh
U4TB	029Bh~029Ah番地	XXXXh
U3TB	02ABh~02AAh番地	XXXXh

機能	RW
送信データ	WO
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

このレジスタはMOV命令を使用して書いてください。
 キャラクタ長が9ビット、またはI²Cモードの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

21.2.5 UARTi送受信制御レジスタ0 (UiC0) (i=0~4)



CLK1~CLK0 (UiBRG カウントソース選択ビット) (b1~b0)

“00b” (f1SIO または f2SIO を選択) のとき、PCLKR レジスタの PCLK1 ビットで選択してください。
CLK1~CLK0 ビットを変更した場合は、UiBRG レジスタを設定してください。

CRD (CTS/RTS 禁止ビット) (b4)

CRD ビットが“1” (CTS/RTS 機能禁止) のとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は入出力ポートとして使用できます。
U4C0 レジスタの CRD ビットは“1” (CTS/RTS 機能禁止) にしてください。

NCH (データ出力選択ビット) (b5)

UiMRレジスタのSMD2~SMD0ビットで、クロック同期形シリアルI/Oモード、I²Cモード、UARTモードのいずれかを選択しているとき、NCHビットでTXDi/SDAi端子の出力形式を選択できます。SMD2~SMD0ビットが“000b”(シリアルインタフェース無効)の場合、TXDi/SDAi端子はCMOS出力です。

U2SMRレジスタのIICMビットが“1”(I²Cモード)、SMD2~SMD0ビットが“010b”(I²Cモード)の場合、NCHビットを“1”にするとSCL2端子がNチャンネルオープンドレイン出力になります。IICMビットが“0”(I²Cモード以外)またはSMD2~SMD0ビットが“010b”以外の場合、SCL2端子はCMOS出力です。

本機能はCMOS出力バッファのPチャンネルトランジスタを常時オフにするものであり、TXDi、SDA2、SCL2端子を完全にオープンドレインにする機能ではありません。

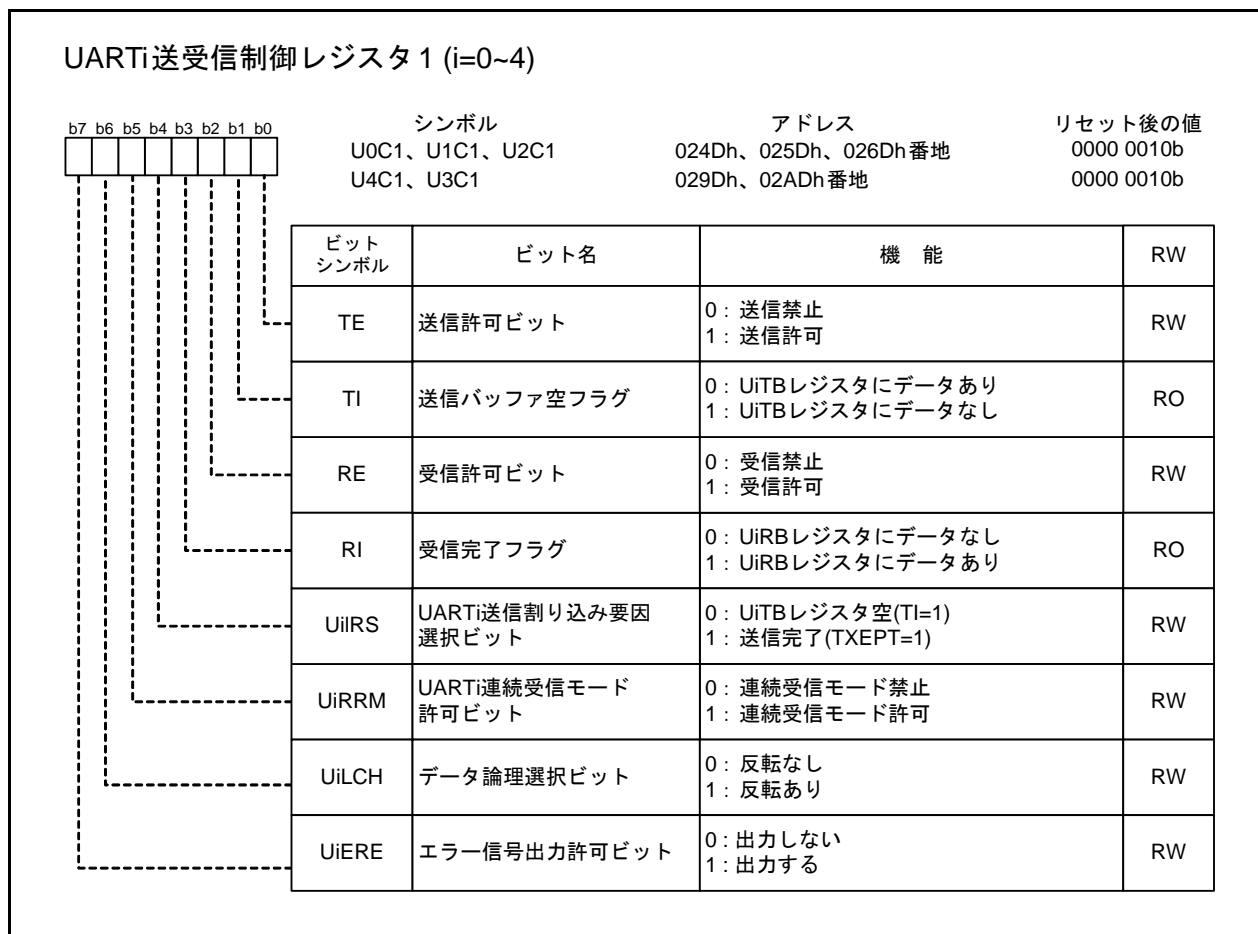
入力できる電圧の範囲については、電気的特性をご確認ください。

UFORM (ビットオーダ選択ビット) (b7)

UFORMビットはUiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。

SMD2~SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモードキャラクタ長7ビット)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

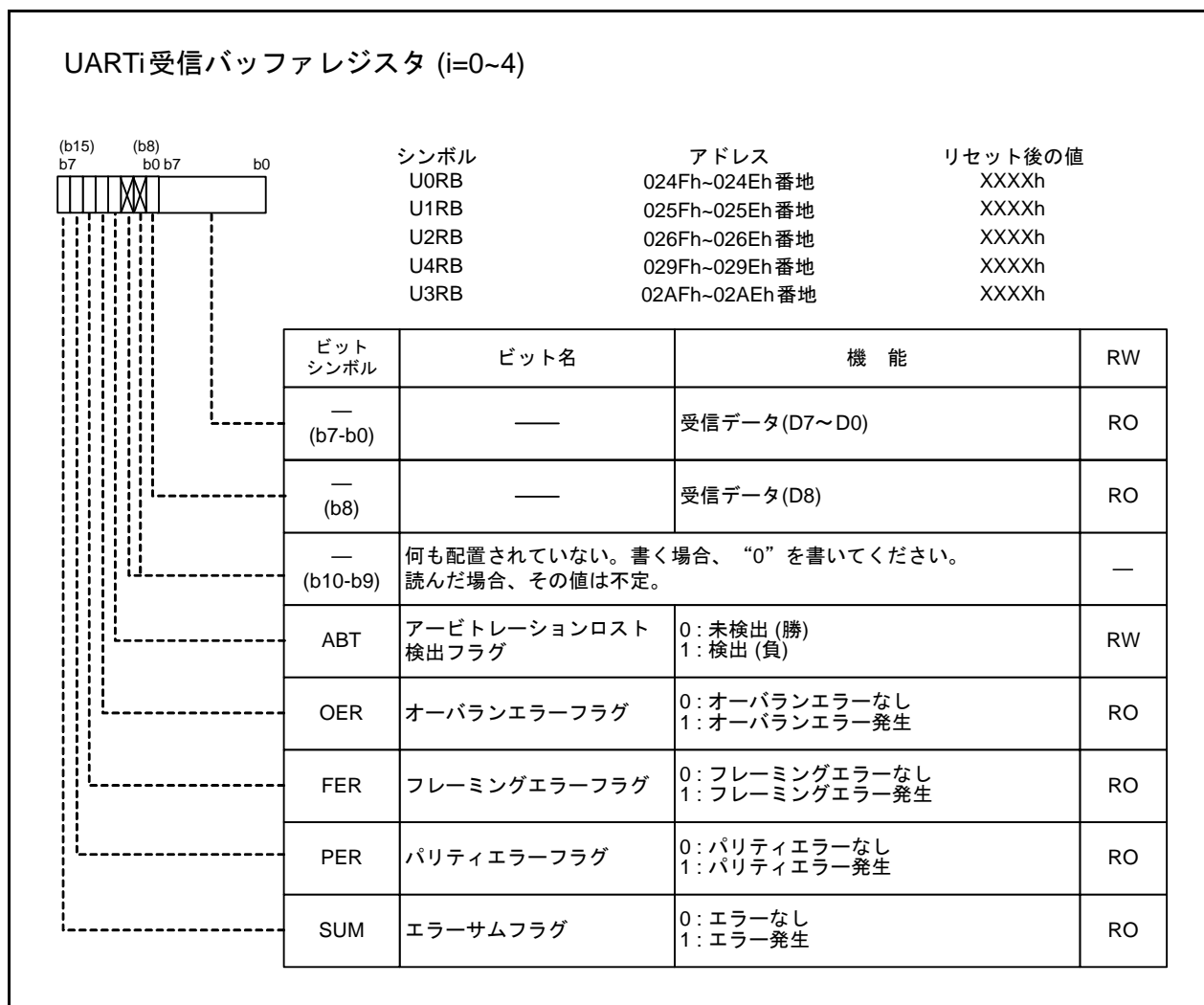
21.2.6 UARTi送受信制御レジスタ1 (UiC1) (i=0~4)



UiLCH (データ論理選択ビット) (b6)

UiLCHビットは、UiMRレジスタのSMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモードキャラクタ長7ビット)または“101b”(UARTモードキャラクタ長8ビット)のとき有効です。SMD2~SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモードキャラクタ長9ビット)のときは“0”にしてください。

21.2.7 UARTi受信バッファレジスタ (UiRB) (i=0~4)



UiMRレジスタのSMD2~SMD0ビットが“100b”、“101b”または“110b”の場合は、16ビット単位で読み出すか、または8ビット単位で上位バイトを先に、下位バイトを後で読み出してください。下位バイトを読み出すと上位バイトに配置されたFER,PERビットが“0”になります。

オーバランエラーが発生したとき、UiRBレジスタの受信データは不定です。

ABT (アービトレーションロスト検出フラグ) (b11)

ABTビットはプログラムで“0”を書くと“0”になります (“1”を書いても変化しません)。

OER (オーバランエラーフラグ) (b12)

["0"になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b” (シリアルインタフェースは無効)
- UiC1レジスタのREビットが“0” (受信禁止)

["1"になる条件]

- UiC1レジスタのRIビットが“1” (UiRBレジスタにデータあり)かつ次のデータの最終ビットを受信

FER (フレーミングエラーフラグ) (b13)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合、FERビットは無効です。これらのモードで読んだ場合、その値は不定です。

["0"]になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが“0”(受信禁止)
- UiRBレジスタの下位バイトを読む

["1"]になる条件]

- 設定した個数のストップビットが検出されない
(受信データをUARTi受信レジスタからUiRBレジスタに転送するタイミングで検出)

PER (パリティエラーフラグ) (b14)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合、PERビットは無効です。これらのモードで読んだ場合、その値は不定です。

UiMRレジスタのPRYEビットが“1”(パリティ許可)の場合に有効です。

["0"]になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが“0”(受信禁止)
- UiRBレジスタの下位バイトを読む

["1"]になる条件]

- パリティビットとキャラクタビット中の“1”の個数が設定した個数でない
(受信データをUARTi受信レジスタからUiRBレジスタに転送するタイミングで検出)

SUM (エラーサムフラグ) (b15)

SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)の場合は、SUMビット無効です。これらのモードで読んだ場合、その値は不定です。

["0"]になる条件]

- UiMRレジスタのSMD2~SMD0ビットが“000b”(シリアルインタフェースは無効)
- UiC1レジスタのREビットが“0”(受信禁止)
- PER、FER、OERビットがすべて“0”(エラーなし)

["1"]になる条件]

- PER、FER、OERビットのうち1つ以上が“1”(エラー発生)

21.2.8 UART2特殊モードレジスタ4 (U2SMR4)

UART2特殊モードレジスタ4		シンボル U2SMR4	アドレス 0264h番地	リセット後の値 00h
b7 b6 b5 b4 b3 b2 b1 b0				
ビット シンボル	ビット名	機能	RW	
STAREQ	スタートコンディション生成ビット	0:クリア 1:スタート	RW	
RSTAREQ	リスタートコンディション生成ビット	0:クリア 1:スタート	RW	
STPREQ	ストップコンディション生成ビット	0:クリア 1:スタート	RW	
STSPSEL	SCL、SDA出力選択ビット	0:シリアル入出力回路選択 1:スタートコンディション/ストップ コンディション生成回路選択	RW	
ACKD	ACKデータビット	0:ACK 1:NACK	RW	
ACKC	ACKデータ出力許可ビット	0:シリアルデータ出力 1:ACKデータ出力	RW	
SCLHI	SCL出力停止ビット	ストップコンディション検出時、 0:SCL2出力を停止しない 1:SCL2出力を停止する	RW	
SWC9	SCLウェイト自動挿入ビット ³	0:ウェイトなし/ウェイト解除 1:9ビット目を受信後、SCL2端子を“L” に固定	RW	

STAREQ (スタートコンディション生成ビット) (b0)

スタートコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1” (I²Cモード) のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

RSTAREQ (リスタートコンディション生成ビット) (b1)

リスタートコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1” (I²Cモード) のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

STPREQ (ストップコンディション生成ビット) (b2)

ストップコンディションが生成されたとき、“0”になります。

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1” (I²Cモード) のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

STSPSEL (SCL、SDA出力選択ビット) (b3)

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

先にSTAREQ、RSTAREQ、STPREQビットのいずれかを“1”(スタート)にした後、“1”(スタートコンディション/ストップコンディション生成回路選択)にしてください。

ACKD (ACKデータビット) (b4)**ACKC (ACKデータ出力許可ビット) (b5)****SWC9 (SCLウェイト自動挿入ビット3) (b7)**

I²Cモードでスレーブの場合に使用します。U2SMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

SCLHI (SCL出力停止ビット) (b6)

I²Cモードでマスタの場合に使用します。U2SMRレジスタのIICMビットが“1”(I²Cモード)のとき“1”にできます。IICMビットが“0”のときは“1”を書かないでください。

21.2.9 UART2特殊モードレジスタ3 (U2SMR3)

UART2特殊モードレジスタ3			
ビット シンボル	ビット名	機能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
NODC	クロック出力選択ビット	0: CLK2はCMOS出力 1: CLK2はNチャネルオープンドレイン出力	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DL0	SDA2デジタル 遅延値設定ビット	b7 b6 b5 0 0 0: 遅延なし	RW
DL1		0 0 1: U2BRGカウントソースの1~2サイクル	RW
		0 1 0: U2BRGカウントソースの2~3サイクル	RW
DL2		0 1 1: U2BRGカウントソースの3~4サイクル	RW
		1 0 0: U2BRGカウントソースの4~5サイクル	
		1 0 1: U2BRGカウントソースの5~6サイクル	
		1 1 0: U2BRGカウントソースの6~7サイクル	
		1 1 1: U2BRGカウントソースの7~8サイクル	

NODC (クロック出力選択ビット) (b3)

本機能はCMOS出力バッファのPチャネルトランジスタを常時オフにするものであり、CLK2端子を完全にオープンドレインにする機能ではありません。

入力できる電圧の範囲については、電気的特性をご確認ください。

DL2~DL0 (SDA2 デジタル遅延値設定ビット) (b7~b5)

DL2~DL0ビットはI²Cモードで、SDA2出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b” (遅延なし) にしてください。

遅延量はSCL2端子、SDA2端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

21.2.10 UART2特殊モードレジスタ2 (U2SMR2)

UART2特殊モードレジスタ2

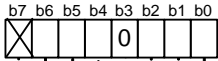
シンボル
U2SMR2

アドレス
0266h番地

リセット後の値
X000 0000b

ビット シンボル	ビット名	機 能	RW
IICM2	I ² Cモード選択ビット2	0: ACK/NACK割り込みを使用 1: 送受信割り込みを使用	RW
CSC	クロック同期化ビット	0: クロック同期を実施しない 1: クロック同期を実施する	RW
SWC	SCLウェイト自動挿入ビット	0: ウェイトなし/ウェイト解除 1: 8ビット受信後、SCL2端子を“L”に固定	RW
ALS	SDA出力自動停止ビット	アービトレーションロスト検出時、 0: SDA2出力を停止しない 1: SDA2出力を停止する	RW
STAC	UART2自動初期化ビット	スタートコンディション検出時、 0: 回路を初期化しない 1: 回路を初期化する	RW
SWC2	SCLウェイト出力ビット2	0: SCL2端子に送受信クロックを出力 1: SCL2端子を“L”に固定	RW
SDHI	SDA出力禁止ビット	0: データ出力 1: 出力停止 (ハイインピーダンス)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

21.2.11 UART2特殊モードレジスタ (U2SMR)

UART2特殊モードレジスタ			
ビット シンボル	シンボル	アドレス	リセット後の値
	U2SMR	0267h番地	X000 0000b
ビット シンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット	0: I ² Cモード以外 1: I ² Cモード	RW
ABC	アービトレーションロスト 検出フラグ制御ビット	0: ビットごとに更新 1: バイトごとに更新	RW
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	RW
— (b3)	予約ビット	“0” にしてください。	RW
ABSCS	バス衝突検出サンプリング クロック選択ビット	0: 送受信クロックの立ち上がり 1: タイマA0のアンダフロー信号	RW
ACSE	送信許可ビット自動クリア 機能選択ビット	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0: RXD2に同期しない 1: RXD2に同期する	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

BBS (バスビジーフラグ) (b2)

BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

SSS (送信開始条件選択ビット) (b6)

送信が始まると、SSSビットは“0”(RXD2に同期しない)になります。

21.2.12 端子割り当て制御レジスタ (PACR)



このレジスタはPRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書いてください。

21.3 動作説明

21.3.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、送受信クロックを用いて送受信を行うモードです。表 21.5 にクロック同期形シリアルI/Oモードの仕様を示します。

表 21.5 クロック同期形シリアルI/Oモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • UiMR レジスタのCKDIR ビットが“0” (内部クロック): $\frac{f_j}{2(n+1)}$ fj=f1SIO、f2SIO、f8SIO、f32SIO n=UiBRG レジスタの設定値 00h~FFh • CKDIR ビットが“1” (外部クロック): CLKi 端子からの入力
送信制御、受信制御	CTS 機能、RTS 機能、CTS/RTS 機能禁止を選択可 (UART0~UART3)
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1 レジスタのTE ビットが“1” (送信許可) • UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり) • CTS 機能を選択している場合、CTS_i 端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • UiC1 レジスタのRE ビットが“1” (受信許可) • UiC1 レジスタのTE ビットが“1” (送信許可) • UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)
割り込み要求発生 タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> • UiC1 レジスタのUiIRS ビットが“0” (送信バッファ空): UiTB レジスタから UARTi 送信レジスタへデータ転送時(送信開始時) • UiIRS ビットが“1” (送信完了): UARTi 送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> • UARTi 受信レジスタから UiRB レジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー (注2) UiRB レジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • CLK 極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 • LSB ファースト、MSB ファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 UiRB レジスタを読むことで、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの論理値を反転する機能

i=0~4

注1. 順序は関係ありません。外部クロックを選択し、UiC0 レジスタのTXEPT ビットが“1” (送信レジスタにデータなし) の状態から送受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

- UiC0 レジスタのCKPOL ビットが“0” (送受信クロックの立ち下がり) で送信データ出力、立ち上がりで受信データ入力) の場合、外部クロックが“H”
- CKPOL ビットが“1” (送受信クロックの立ち上がり) で送信データ出力、立ち下がりで受信データ入力) の場合、外部クロックが“L”

注2. オーバランエラーが発生した場合、UiRB レジスタ受信データは不定になります。また SiRIC レジスタの IR ビットは変化しません。

表 21.6にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、送信開始までは、TXDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 21.6 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	入出力	機能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLKi	出力	送受信クロック出力	UiMRレジスタのCKDIRビット=0
	入力	送受信クロック入力	UiMRレジスタのCKDIRビット=1 端子を共用するポートの方向ビットを“0”にする
CTS \bar{i} /RTS \bar{i} (注1)	入力	$\bar{C}T\bar{S}$ 入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力	入出力ポート	UiC0レジスタのCRDビット=1

i=0~4

注1. UART4にはCTS/RTS端子はありません。

表 21.7 クロック同期形シリアルI/Oモード時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
PCLKR	PCLK1	UiBRGのカウントソースを選択してください
UiTB	0~7	送信データを設定してください
	8	— (設定しないでよい) 書く場合は“0”にしてください
UiRB	0~7	受信データが読めます
	8、11、13~15	読んだ場合、その値は不定
	OER	オーバランエラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください。UART4では“1”(禁止)にしてください
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	送受信クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
U2SMR (注1)	0~7	“0”にしてください
U2SMR2 (注1)	0~7	“0”にしてください
U2SMR3 (注1)	0~2	“0”にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0”にしてください
U2SMR4 (注1)	0~7	“0”にしてください

i=0~4

注1. UART2の場合

注2. この表は手順を示すものではありません。

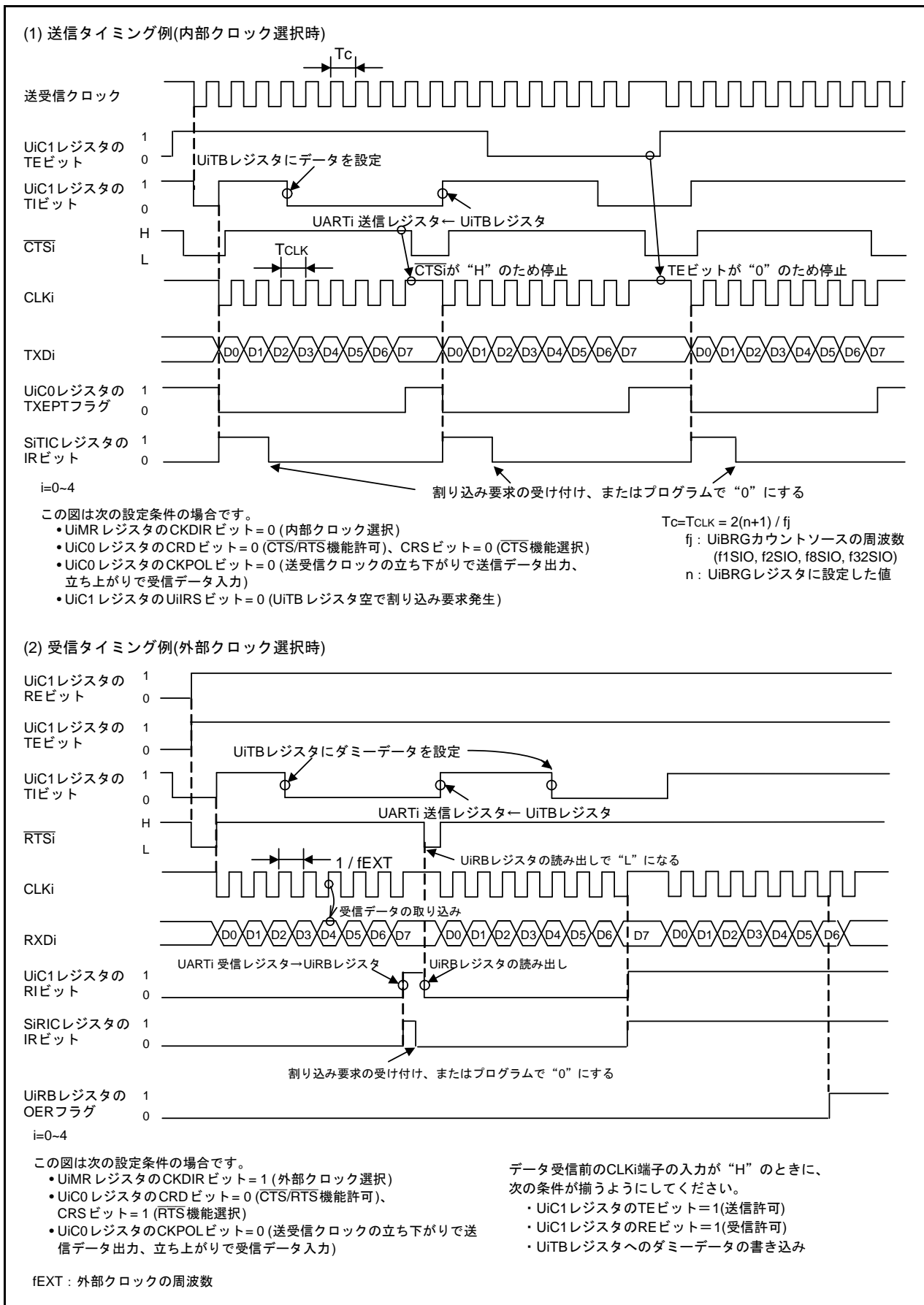


図 21.3 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

21.3.1.1 CLK極性選択

UiC0レジスタ(i=0~4)のCKPOLビットで送受信クロックの極性を選択できます。図21.4 送受信クロックの極性を示します。

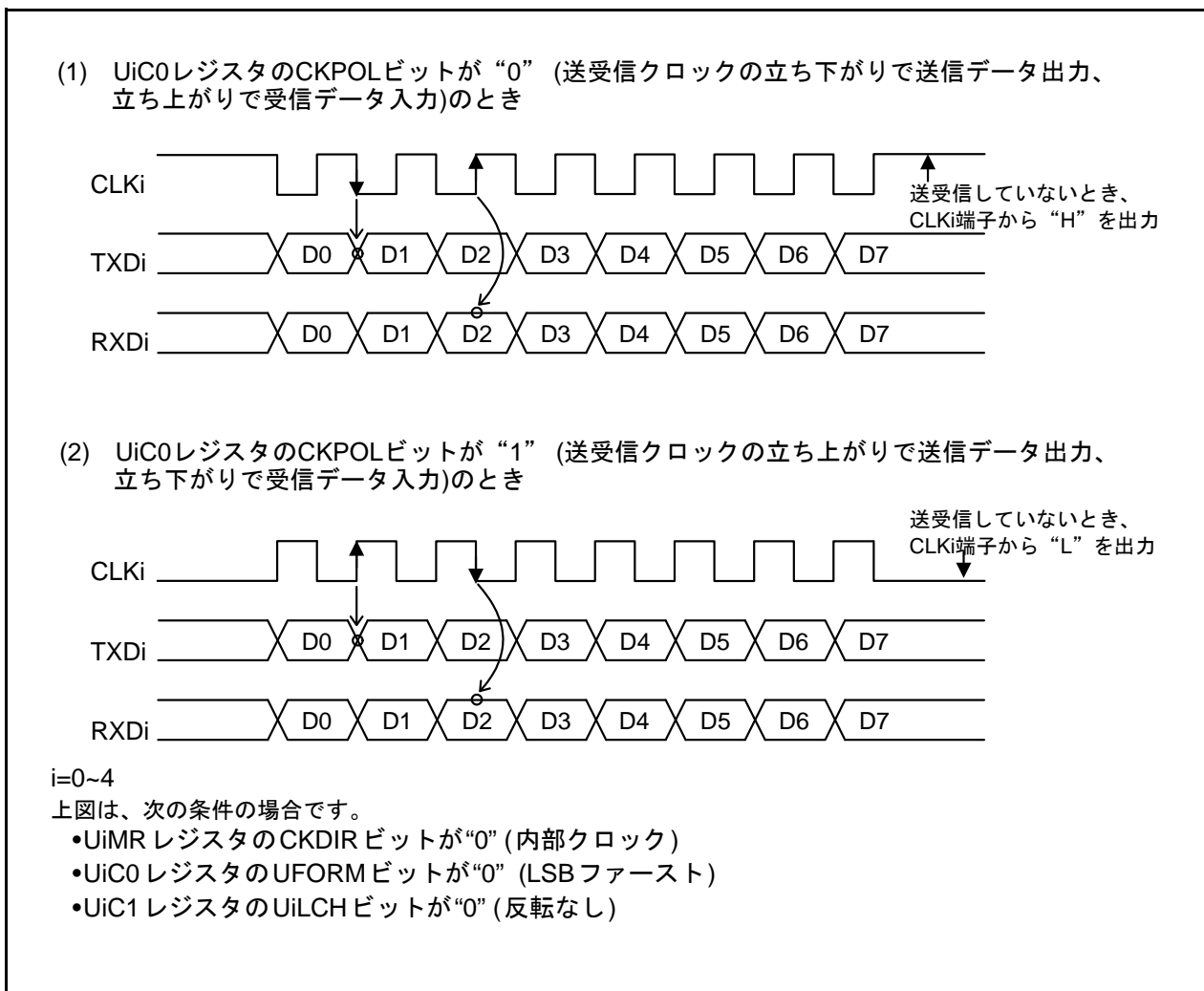


図 21.4 送受信クロックの極性

21.3.1.2 LSBファースト、MSBファースト選択

UiC0レジスタ(i=0~4)のUFORMビットでビットオーダを選択できます。図21.5にビットオーダを示します。

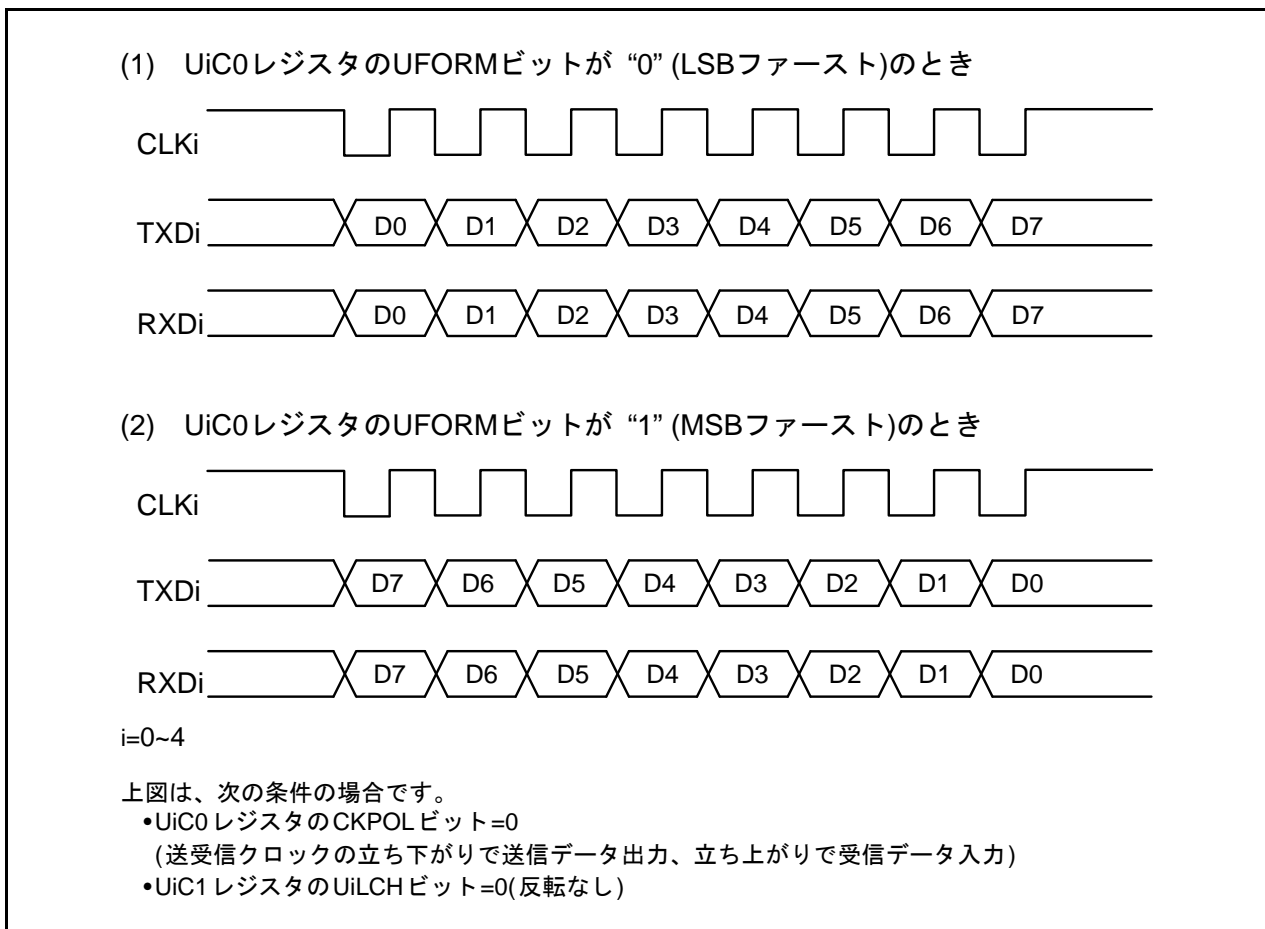


図 21.5 ビットオーダ

21.3.1.3 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiC1レジスタのUiRRMビット(i=0~4)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

外部クロック使用時は、8ビット目のデータを受信してから、次の送信が始まるまでにUiRBレジスタを読み出してください。

図 21.6に連続受信モードの動作例を示します。

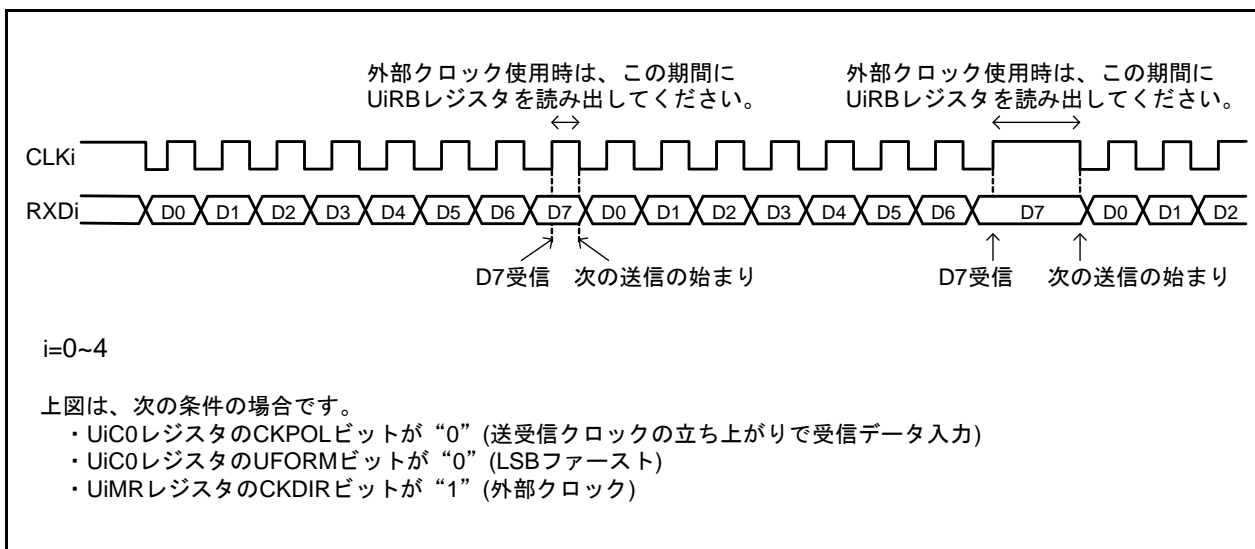


図 21.6 連続受信モードの動作例

21.3.1.4 シリアルデータ論理切り替え

UiC1レジスタ(i=0~4)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図21.7にシリアルデータ論理を示します。

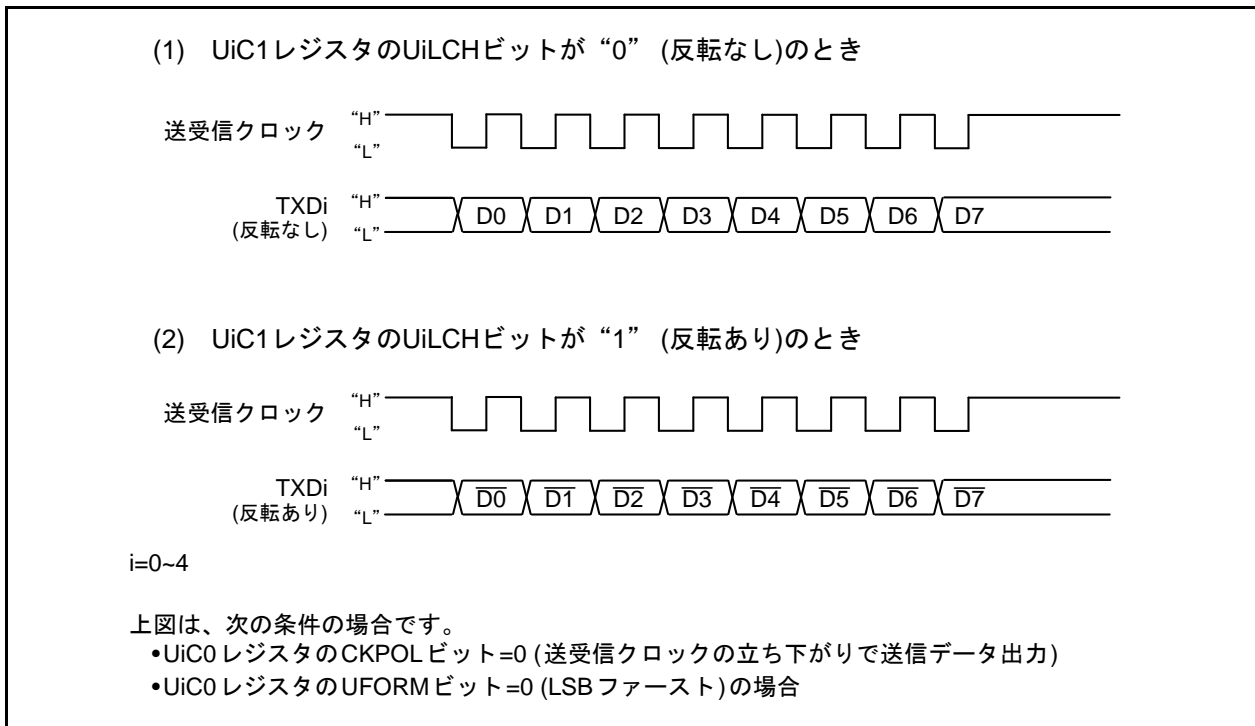


図 21.7 シリアルデータ論理

21.3.1.5 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (i=0~3)端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。スタートビットの検出で出力レベルが“H”になります。

端子の機能選択は「表 21.6 クロック同期形シリアルI/Oモード時の入出力端子の機能」を参照してください。

21.3.1.6 通信の途中終了時、または通信エラー発生時の処理

クロック同期形シリアルI/Oモードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) UiC1レジスタ(i=0~4)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

21.3.2 クロック非同期形シリアルI/O (UART)モード

UARTモードは、任意のビットレート、ビットオーダを設定して送受信を行うモードです。表 21.8 に UARTモードの仕様を示します。

表 21.8 UARTモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> • キャラクタビット 7ビット、8ビット、9ビットを選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、なしを選択可 • ストップビット 1ビット、2ビットを選択可
送受信クロック	<ul style="list-style-type: none"> • UiMRレジスタのCKDIRビットが0 (内部クロック): $\frac{f_j}{16(n+1)}$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=UiBRG$レジスタの設定値 00h~FFh • CKDIRビットが“1” (外部クロック): $\frac{fEXT}{16(n+1)}$ $fEXT$はCLKi端子からの入力 $n=UiBRG$レジスタの設定値 00h~FFh
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可 (UART0~UART3)
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1” (送信許可) • UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり) • CTS機能を選択している場合、CTS端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1” (受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 <ul style="list-style-type: none"> • UiC1レジスタのUiIRSビットが“0” (送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時 (送信開始時) • UiIRSビットが“1” (送信完了): UARTi送信レジスタからデータ送信完了時 受信する場合 <ul style="list-style-type: none"> • UARTi受信レジスタからUiRBレジスタへデータ転送時 (受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー (注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	<ul style="list-style-type: none"> • LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。

i=0~4

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

表 21.9 に UART モード時の入出力端子の機能を示します。なお、UARTi の動作モード選択後、送信開始までは、TXDi 端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 21.9 UARTモード時の入出力端子の機能

端子名	入出力	機能	選択方法
TXDi	出力	シリアルデータ出力	(受信だけを行うときは“H”を出力)
RXDi	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
CLKi	入出力	入出力ポート	UiMR レジスタのCKDIR ビット=0
	入力	送受信クロック入力	UiMR レジスタのCKDIR ビット=1 端子を共用するポートの方向ビットを“0”にする
CTSi/RTSi (注1)	入力	CTS 入力	UiC0 レジスタのCRD ビット=0 UiC0 レジスタのCRS ビット=0 端子を共用するポートの方向ビットを“0”にする
	出力	RTS 出力	UiC0 レジスタのCRD ビット=0 UiC0 レジスタのCRS ビット=1
	入出力	入出力ポート	UiC0 レジスタのCRD ビット=1

i=0~4

注1. UART4にはCTS/RTS端子はありません。

表 21.10 UARTモード時の使用レジスタと設定値 (注4)

レジスタ	ビット	機能
PCLKR	PCLK1	UiBRGのカウンツソースを選択してください。
UiTB	0~8	送信データを設定してください(注1)
UiRB	0~8	受信データが読めます(注1、3)
	11	読んだ場合、その値は不定
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	ビットレートを設定してください
UiMR	SMD2~SMD0	キャラクタ長が7ビットの場合、“100b”を設定してください。
		キャラクタ長が8ビットの場合、“101b”を設定してください。
		キャラクタ長が9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
IOPOL	TXD/RXD入出力極性を選択してください	
UiC0	CLK0、CLK1	UiBRGのカウンツソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください。UART4では“1”(禁止)にしてください。
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	キャラクタ長8ビット時、LSBファースト、MSBファーストを選択できます。キャラクタ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
U2SMR (注2)	0~7	“0”にしてください
U2SMR2 (注2)	0~7	“0”にしてください
U2SMR3 (注2)	0~7	“0”にしてください
U2SMR4 (注2)	0~7	“0”にしてください

i=0~4

注1. 使用するビットは次のとおりです。キャラクタ長7ビット: ビット0~6、キャラクタ長8ビット: ビット0~7、キャラクタ長9ビット: ビット0~8

注2. UART2の場合

注3. キャラクタ長7ビットの場合、ビット7、8の内容は不定です。キャラクタ長8ビットの場合、ビット8の内容は不定です。

注4. この表は手順を示すものではありません。

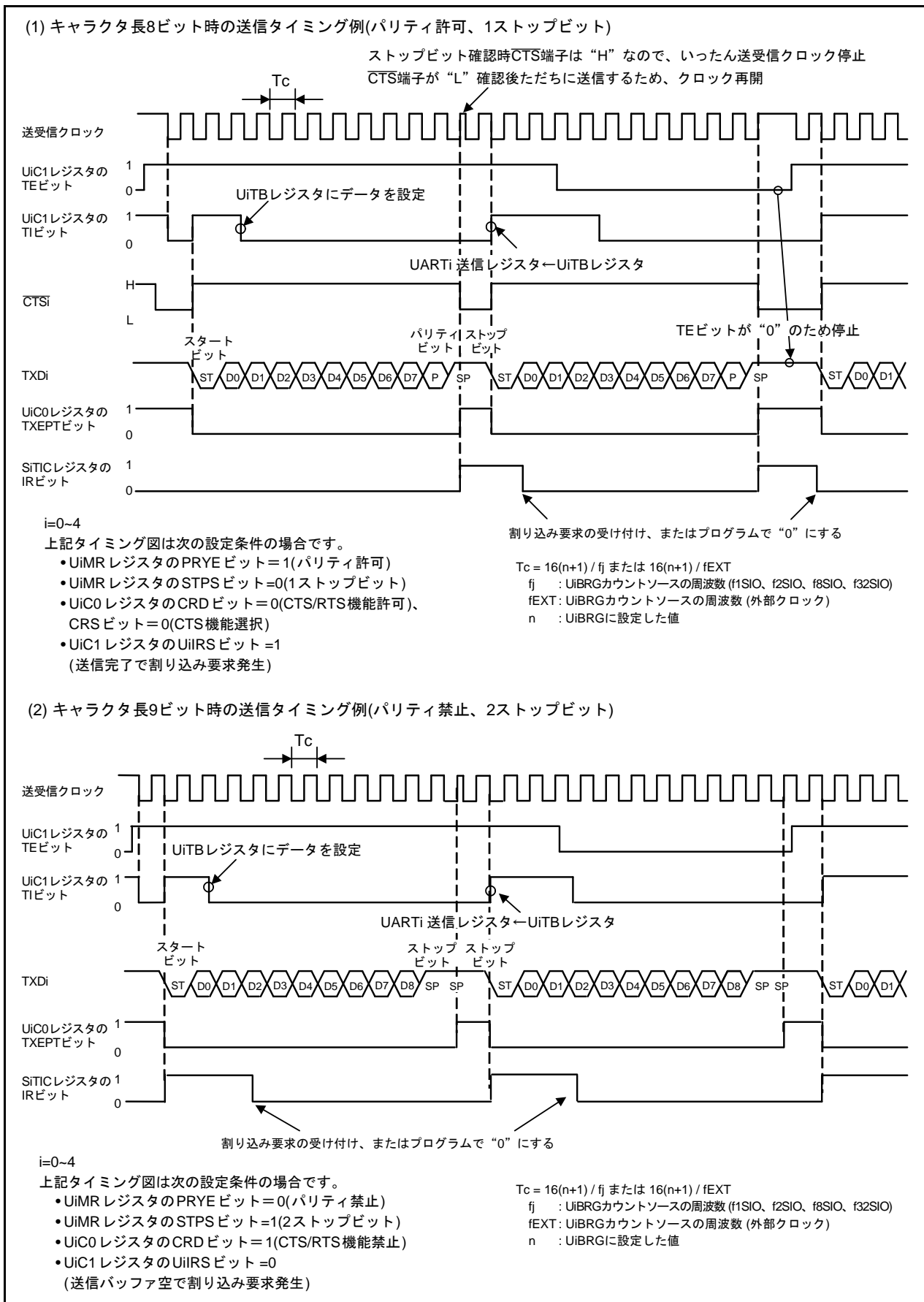


図 21.8 UARTモード時の送信タイミング例

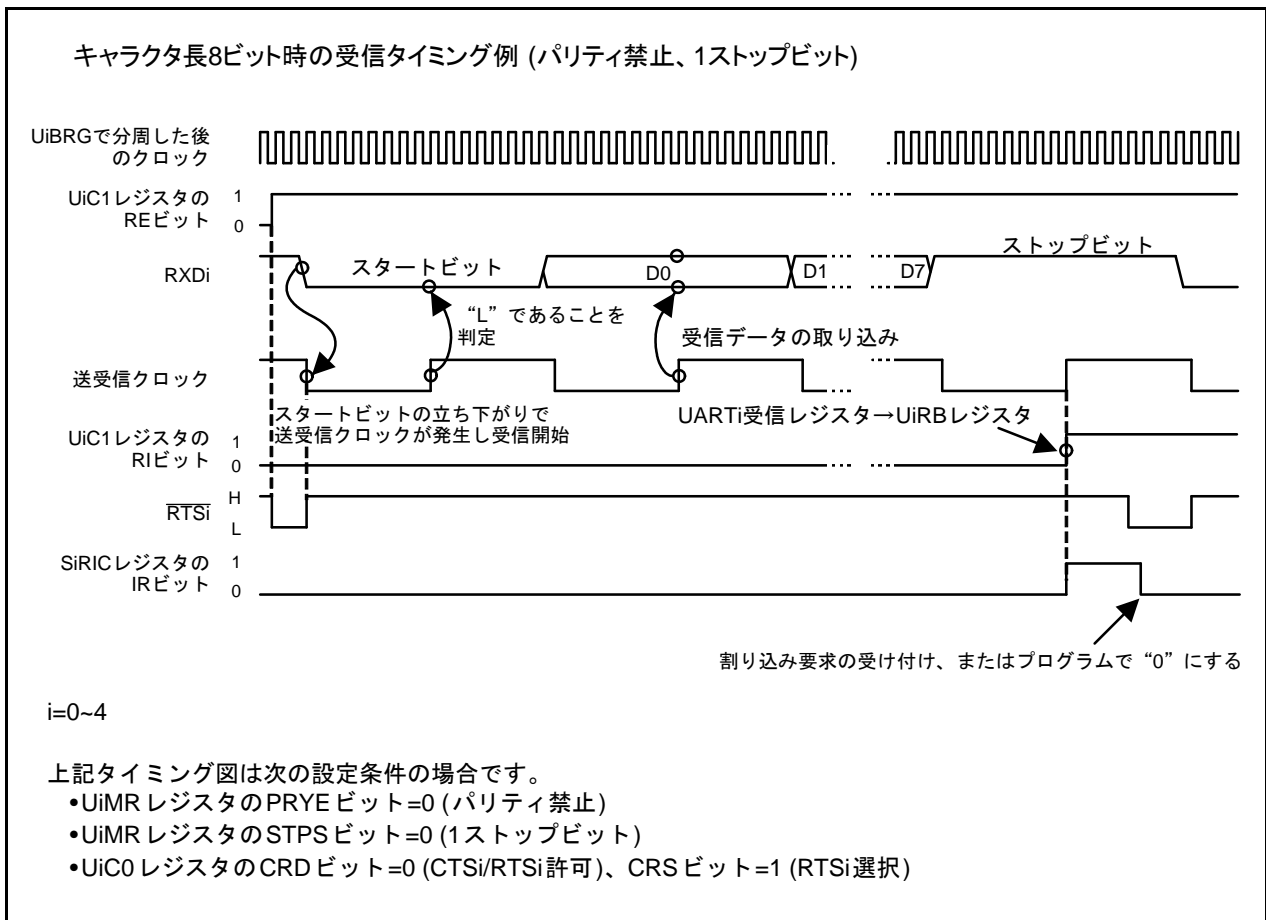


図 21.9 UARTモード時の受信タイミング例

21.3.2.1 ビットレート

UARTモードは、UiBRGレジスタ (i=0~4)で分周した周波数の16分周がビットレートになります。
UiBRGレジスタの設定値 (n)は次の式で求められます。

$$n = \frac{f_j}{\text{ビットレート (bps)} \times 16} - 1$$

$f_j = f1SIO、f2SIO、f8SIO、f32SIO$

$n = 00h \sim FFh$

表 21.11 にビットレートの設定例を示します。

表 21.11 ビットレート

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロック f1: 16 MHz		周辺機能クロック f1: 24 MHz	
		UiBRG の 設定値: n	ビットレート (bps)	UiBRG の 設定値: n	ビットレート (bps)
1200	f8SIO	103 (67h)	1202	155 (9Bh)	1202
2400	f8SIO	51 (33h)	2404	77 (4Dh)	2404
4800	f8SIO	25 (19h)	4808	38 (26h)	4808
9600	f1SIO	103 (67h)	9615	155 (9Bh)	9615
14400	f1SIO	68 (44h)	14493	103 (67h)	14423
19200	f1SIO	51 (33h)	19231	77 (4Dh)	19231
28800	f1SIO	34 (22h)	28571	51 (33h)	28846
31250	f1SIO	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1SIO	25 (19h)	38462	38 (26h)	38462
51200	f1SIO	19 (13h)	50000	28 (1Ch)	51724

21.3.2.2 LSBファースト、MSBファースト選択

図 21.10に示すように、UiC0レジスタのUFORMビットでビットオーダを選択できます。この機能はキャラクタ長8ビットのときに有効です。

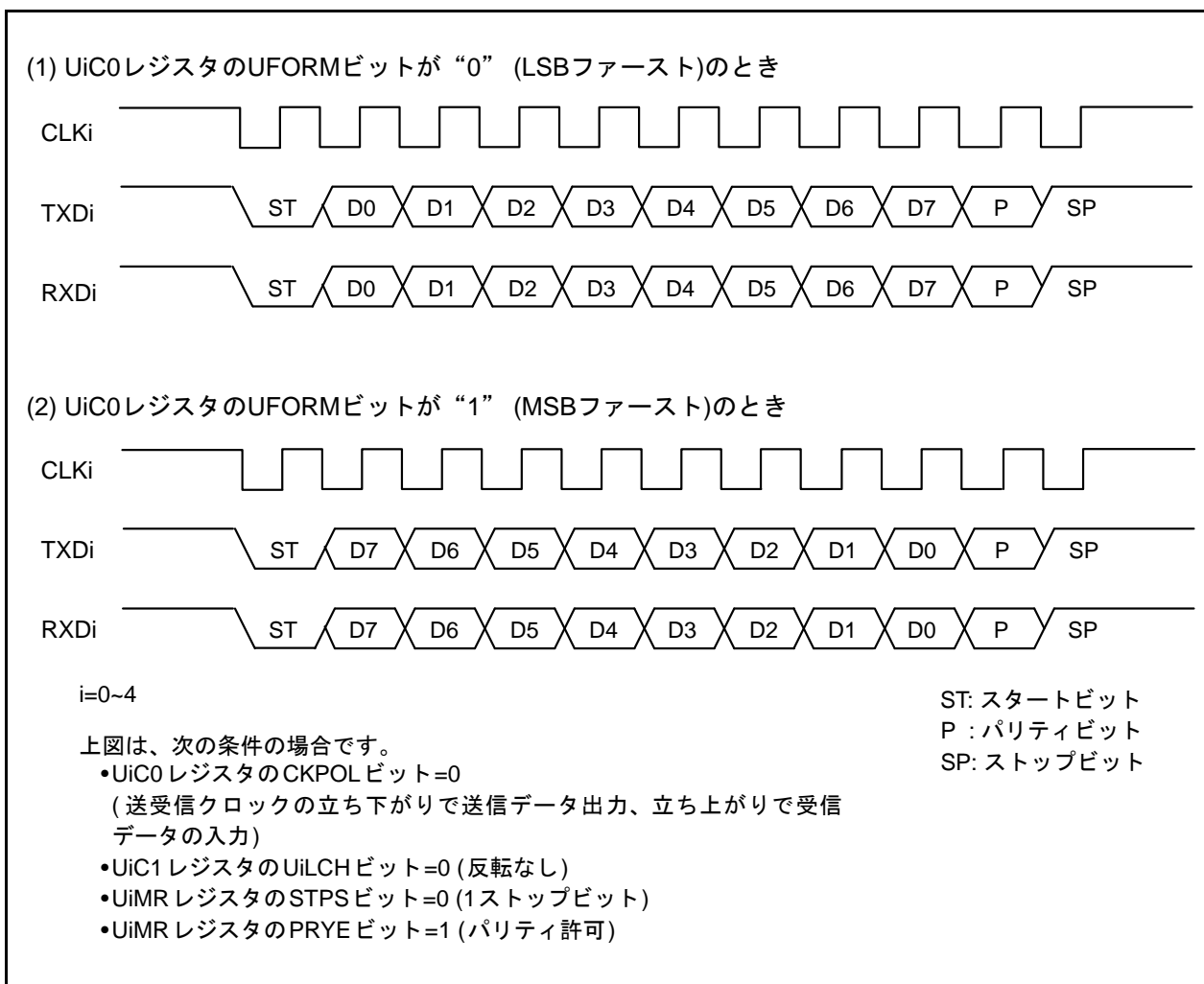


図 21.10 ビットオーダ

21.3.2.3 シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図21.11にシリアルデータ論理を示します。

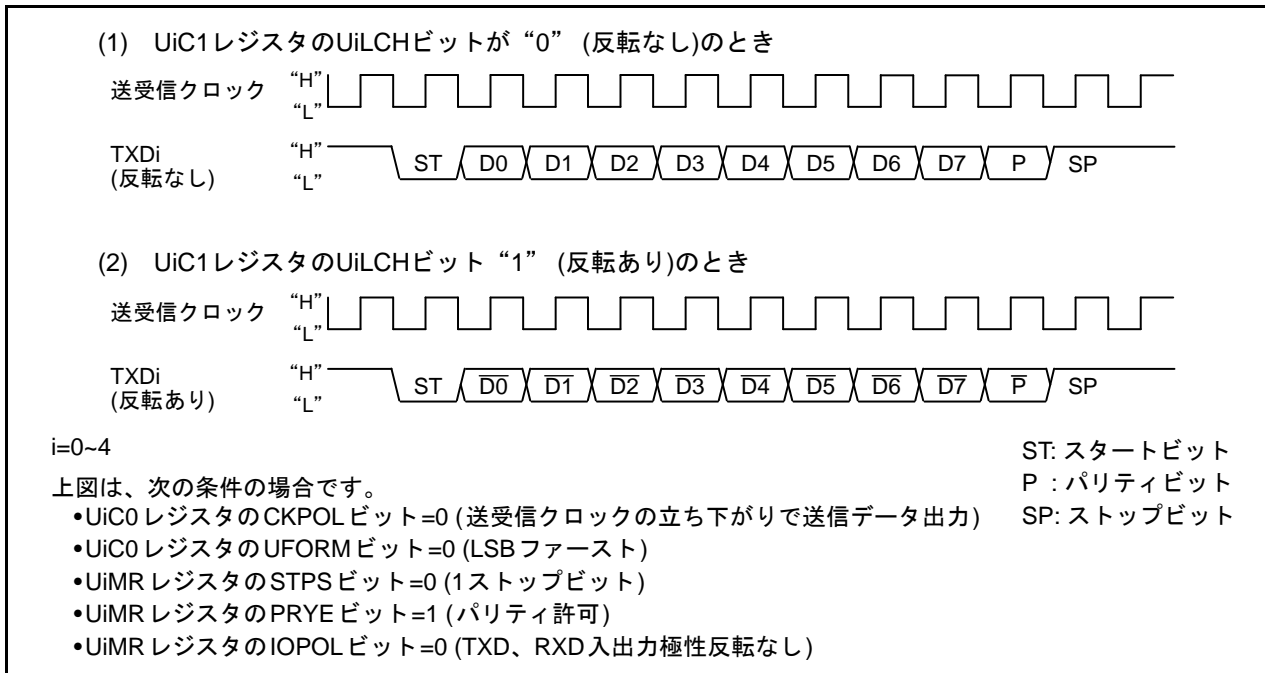


図 21.11 シリアルデータ論理

21.3.2.4 TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図21.12にTXD、RXD入出力極性切り替えを示します。

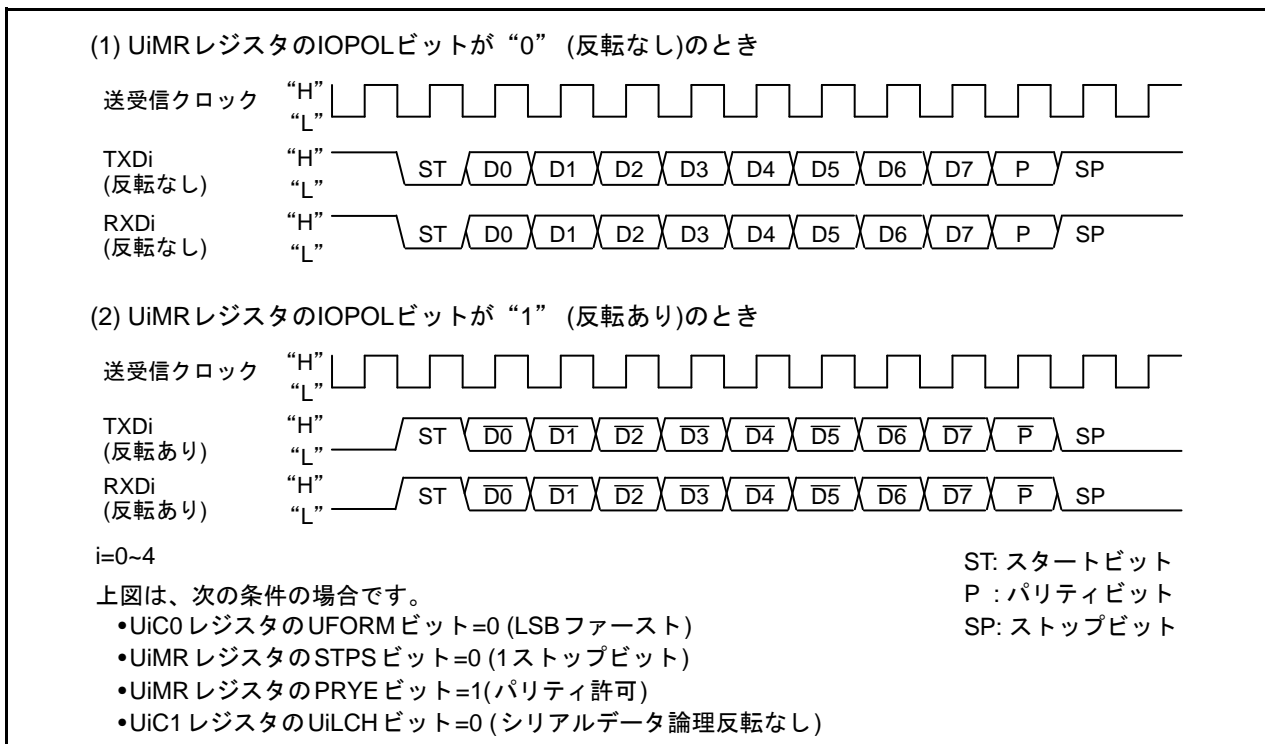


図 21.12 TXD、RXD入出力極性切り替え

21.3.2.5 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能

$\overline{\text{CTS}}$ 機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (i=0~3)端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\text{RTS}}$ 機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。スタートビットの検出で出力レベルが“H”になります。

端子の機能選択は「表 21.9 UARTモード時の入出力端子の機能」を参照してください。

21.3.2.6 通信の途中終了時、または通信エラー発生時の処理

UARTモードで、通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で再設定を行ってください。

- (1) $\text{U}i\text{C}1$ レジスタ (i=0~4)のTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする。
- (2) $\text{U}i\text{MR}$ レジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェースは無効)にする。
- (3) $\text{U}i\text{MR}$ レジスタのSMD2~SMD0ビットを“100b” (UARTモードキャラクタ長7ビット)、“101b” (UARTモードキャラクタ長8ビット)、“110b” (UARTモードキャラクタ長9ビット)のいずれかにする。
- (4) $\text{U}i\text{C}1$ レジスタのTEビットを“1” (送信許可)、REビットを“1” (受信許可)にする。

21.3.3 特殊モード1 (I²Cモード) (UART2)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表 21.12 にI²Cモードの仕様を、表 21.14~表 21.15 にI²Cモード時の使用レジスタと設定値を、表 21.16 にI²Cモード時の各機能を、図 21.13 にI²Cモードのブロック図を示します。

表 21.16 に示すように、U2MR レジスタのSMD2~SMD0 ビットを“010b”に、U2SMR レジスタのIICM ビットを“1”にするとI²Cモードになります。SDA2送信出力には遅延回路が付加されますので、SCL2が“L”になり安定した後、SDA2出力が変化します。

表 21.12 I²Cモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • マスタ時 U2MR レジスタのCKDIR ビットが“0” (内部クロック): $\frac{f_j}{2(n+1)}$ f_j=f1SIO、f2SIO、f8SIO、f32SIO n=U2BRG レジスタの設定値 03h~FFh • スレーブ時 CKDIR ビットが“1” (外部クロック): SCL2端子からの入力
送信開始条件	送信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • U2C1 レジスタのTE ビットが“1” (送信許可) • U2C1 レジスタのTI ビットが“0” (U2TB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) <ul style="list-style-type: none"> • U2C1 レジスタのRE ビットが“1” (受信許可) • U2C1 レジスタのTE ビットが“1” (送信許可) • U2C1 レジスタのTI ビットが“0” (U2TB レジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、ACK (Acknowledge) 検出、NACK (Not-Acknowledge) 検出
エラー検出	オーバランエラー (注2) U2RB レジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> • アービトレーションロスト U2RB レジスタのABT ビットの更新タイミングを選択可 • SDA2 デジタル遅延 デジタル遅延なし、またはU2BRG カウントソースの2~8サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

注1. 順序は関係ありません。スレーブとして、U2C0 レジスタのTXEPT ビットが“1” (送信レジスタにデータなし) の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

注2. オーバランエラーが発生した場合、U2RB レジスタ受信データは不定になります。

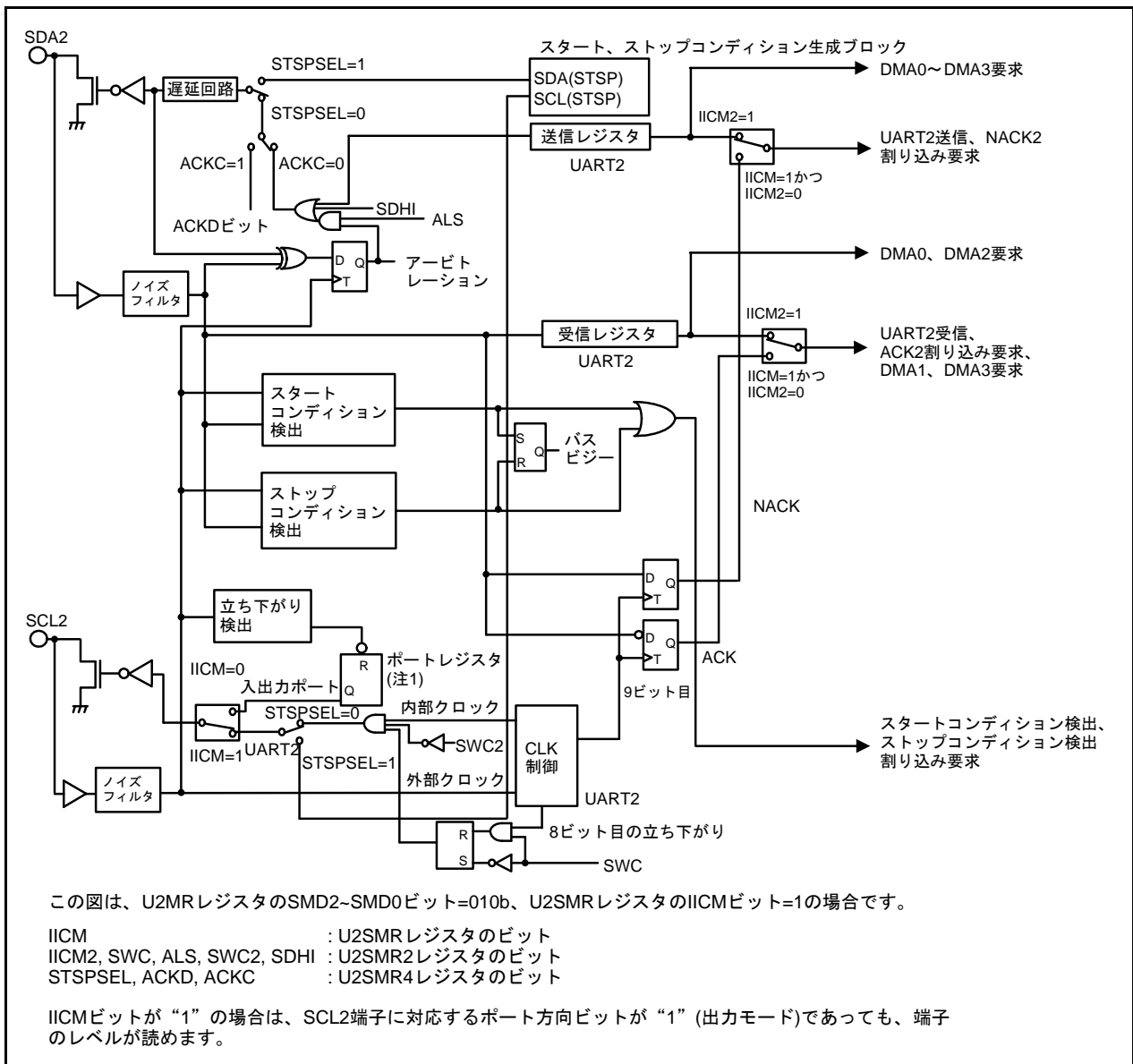


図 21.13 I²Cモードのブロック図

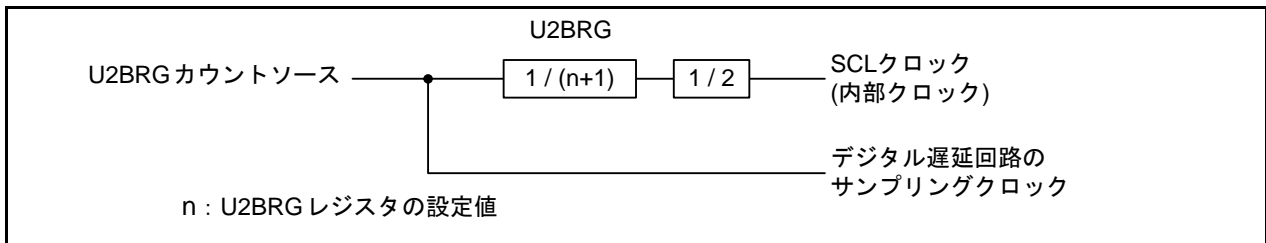


図 21.14 内部クロックの構成

表 21.13 I²Cモード時の入出力端子

端子	入出力	機能
SCL2 (注1、2)	入出力	クロック入出力
SDA2 (注1、2)	入出力	データ入出力

注1. 端子を共用するポートの方向ビットを“0”にしてください。

注2. CLK2、CTS2/RTS2端子は使用しません (入出力ポートに使用できます)。

表 21.14 I²Cモード時の使用レジスタと設定値(1/2) (注1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
PCLKR	PCLK1	U2BRGのカウンツソースを選択してください	U2BRGのカウンツソースを選択してください
U2TB	0~7	送信時は送信データを、受信時は“FFh”を設定してください	送信時は送信データを、受信時は“FFh”を設定してください
	8	送信時は“1”を、受信時はACKビットの値を設定してください	送信時は“1”を、受信時はACKビットの値を設定してください
U2RB	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
	13~15	読んだ場合、その値は不定	読んだ場合、その値は不定
U2BRG	0~7	ビットレートを設定してください	無効
U2MR	SMD2~SMD0	“010b”にしてください	“010b”にしてください
	CKDIR	“0”にしてください	“1”にしてください
	4~6	“0”にしてください	“0”にしてください
	IOPOL	“0”にしてください	“0”にしてください
U2C0	CLK1~CLK0	U2BRGのカウンツソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1”にしてください	“1”にしてください
	NCH	“1”にしてください	“1”にしてください
	CKPOL	“0”にしてください	“0”にしてください
	UFORM	“1”にしてください	“1”にしてください
U2C1	TE	送信を許可する場合、“1”にしてください	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	“1”にしてください	“1”にしてください
	U2RRM、 U2LCH、 U2ERE	“0”にしてください	“0”にしてください
U2SMR	IICM	“1”にしてください	“1”にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0”にしてください	“0”にしてください

注1. この表は手順を示すものではありません。

表 21.15 I²Cモード時の使用レジスタと設定値(2/2) (注1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2SMR2	IICM2	「表 21.16 I ² Cモード時の各機能」参照	「表 21.16 I ² Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	8ビット受信後にSCL2出力を“L”出力固定にする場合、“1”にしてください	8ビット受信後にSCL2出力を“L”出力固定にする場合、“1”にしてください
	ALS	アービトレーションロスト検出時にSDA2の出力を停止する場合“1”にしてください	“0”にしてください
	STAC	“0”にしてください	スタートコンディション検出でUART2を初期化する場合、“1”にしてください
	SWC2	SCL2の出力を強制的に“L”にする場合、“1”にしてください	SCL2の出力を強制的に“L”にする場合、“1”にしてください
	SDHI	SDA2出力を禁止をする場合、“1”にしてください	SDA2出力を禁止をする場合、“1”にしてください
	7	“0”にしてください	“0”にしてください
U2SMR3	0、2、4 NODC	“0”にしてください	“0”にしてください
	CKPH	“1”にしてください	“1”にしてください
	DL2~DL0	SDA2のデジタル遅延値を設定してください	SDA2のデジタル遅延値を設定してください
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください。
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください。
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCL2出力を停止する場合、“1”にしてください	“0”にしてください。
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がりでSCL2を“L”ホールドにする場合、“1”にしてください

注1. この表は手順を示すものではありません。

I²Cモードでは、U2SMR2レジスタのIICM2ビットで機能やタイミングが変わります。

図 21.15 に U2RB レジスタへの転送、割り込みのタイミングを示します。U2RB レジスタへの転送タイミング、U2RB レジスタに格納されるデータのビット位置、割り込みの種類、割り込み要求と DMA 要求の発生タイミングは、この図を参照してください。

その他の機能のクロック同期シリアルI/Oモードとの比較を、表 21.16に示します。

表 21.16 I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=001b, IICM=0)	I ² Cモード(SMD2~SMD0=010b,IICM=1)	
		IICM2=0 (NACK/ACK割り込み)	IICM2=1 (UART送信/UART受信割り込み)
		CKPH=1 (クロック遅れあり)	CKPH=1 (クロック遅れあり)
スタート/ストップ コンディション検出 割り込み(注3)	—	スタートコンディション検出、ストップコンディション検出 (「図 21.17 STSPSELビットの機能」参照)	
送信、NACK割り込み (注2、3)	UART2送信 送信開始、または送信 完了(U2IRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCL2の立ち上がり	UART2送信 9ビット目のSCL2の立ち下がり
受信、ACK割り込み (注2、3)	UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCL2の立ち上がり	UART2受信 9ビット目のSCL2の立ち下がり
UART受信シフトレジスタからU2RBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCL2の立ち上がり	8ビット目のSCL2の立ち下がり と、9ビット目の立ち上がり
UART2送信出力遅延	遅延なし	遅延あり	遅延あり
RXD2,SCL2端子レベル の読み込み	対応するポート方向 ビットが0の場合可能	対応するポート方向ビットの内容 に関係なく、可能	対応するポート方向ビットの内容 に関係なく、可能
TXD2, SDA2出力の 初期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレ ジスタに設定した値(注1)	I ² Cモード設定前に、ポートレ ジスタに設定した値(注1)
SCL2の初期値、終了値	—	L	L
DMA1、DMA3要因 (注2)	UART2受信	アクノリッジ検出(ACK)	UART2受信 9ビット目のSCL2の立ち下がり
受信データ読み出し	1~8ビット目をU2RBレ ジスタのビット0~7に 格納	1~8ビット目をU2RBレジスタ のビット7~0に格納	「図 21.15 U2RBレジスタへの転 送、割り込みのタイミング」参 照

SMD2~SMD0: U2MRレジスタのビット

CKPOL: U2C0レジスタのビット

IICM: U2SMRレジスタのビット

IICM2: U2SMR2レジスタのビット

CKPH: U2SMR3レジスタのビット

U2IRS: U2C1レジスタのビット

注1. SDA2出力の初期値は、SMD2~SMD0ビットが“000b”(シリアルインタフェースが無効)の状態を設定してください。

注2. 「図 21.15 U2RBレジスタへの転送、割り込みのタイミング」参照。

注3. 割り込み要因を切り替える場合、以下の手順で行ってください。

(1) 要因を切り替える割り込みを禁止する

(2) 要因を切り替える

(3) その割り込みの割り込み制御レジスタのIRビットを“0”(割り込みなし)にする

(4) その割り込みの割り込み制御レジスタのILVL2~ILVL0を設定する

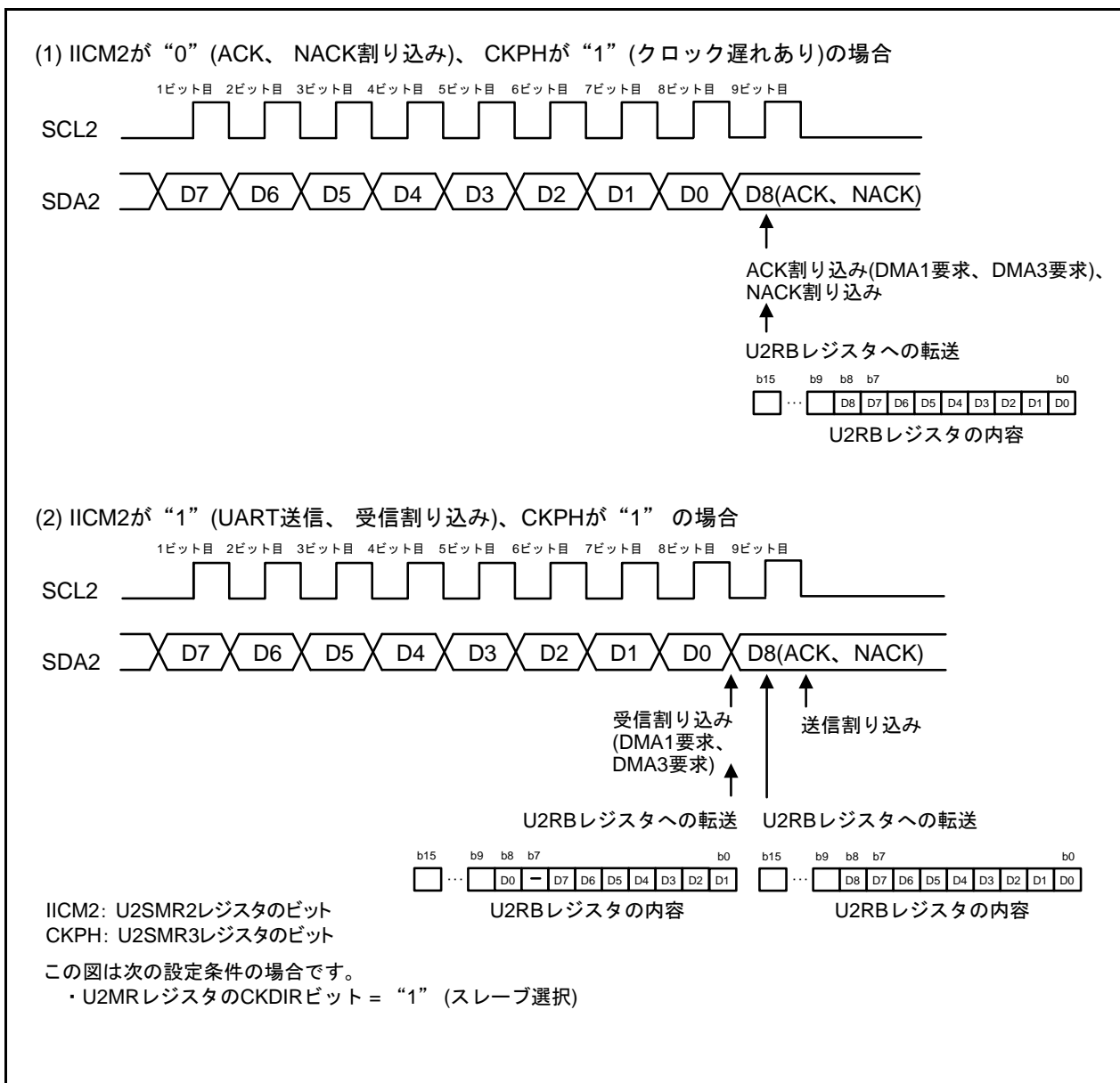


図 21.15 U2RBレジスタへの転送、割り込みのタイミング

21.3.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出回路によりスタートコンディションを、ストップコンディション検出回路によりストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCL2端子が“H”の状態でSDA2端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が“H”の状態でSDA2端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

スタートコンディション、ストップコンディションを検出するには、図 21.16 に示すとおりセットアップ時間、ホールド時間ともにBRG2のカウンタソースの6サイクル以上必要です。Fast-Modeの様を満たすためには、BRG2のカウンタソースは10MHz以上である必要があります。

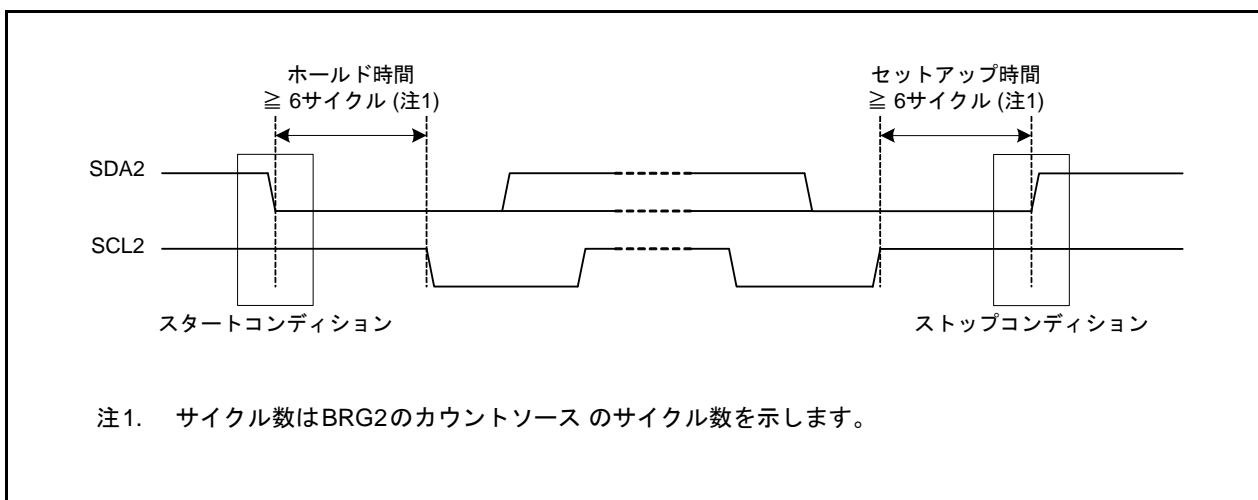


図 21.16 スタートコンディション、ストップコンディションの検出

21.3.3.2 スタートコンディション、ストップコンディションの生成

U2SMR4レジスタのSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次のとおりです。

(1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする

(2) U2SMR4レジスタのSTSPSELビットを“1”(出力)にする

表 21.17 と図 21.17 に STSPSEL ビットの機能を示します。

表 21.17 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCL2、SDA2端子の出力	送受信クロック、データを出力。 スタートコンディション、ストップコン ディションの出力はポートを使ったプロ グラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、 STPREQビットに従って、スタートコン ディション、ストップコンディションを 出力
スタートコンディション、ス トップコンディション割り込 み要求発生タイミング	スタートコンディション、ストップコン ディション検出	スタートコンディション、ストップコン ディション生成終了

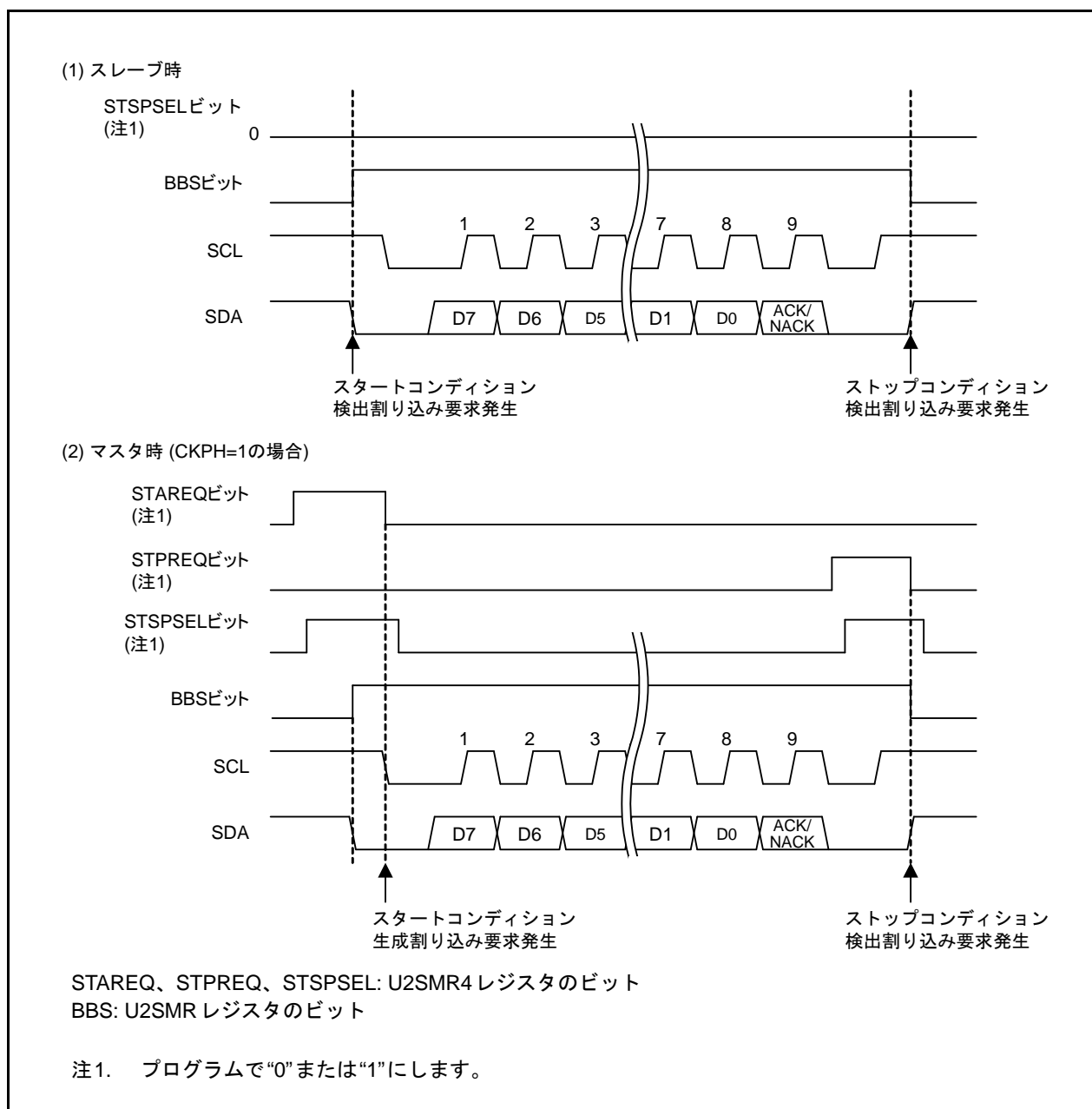


図 21.17 STSPSELビットの機能

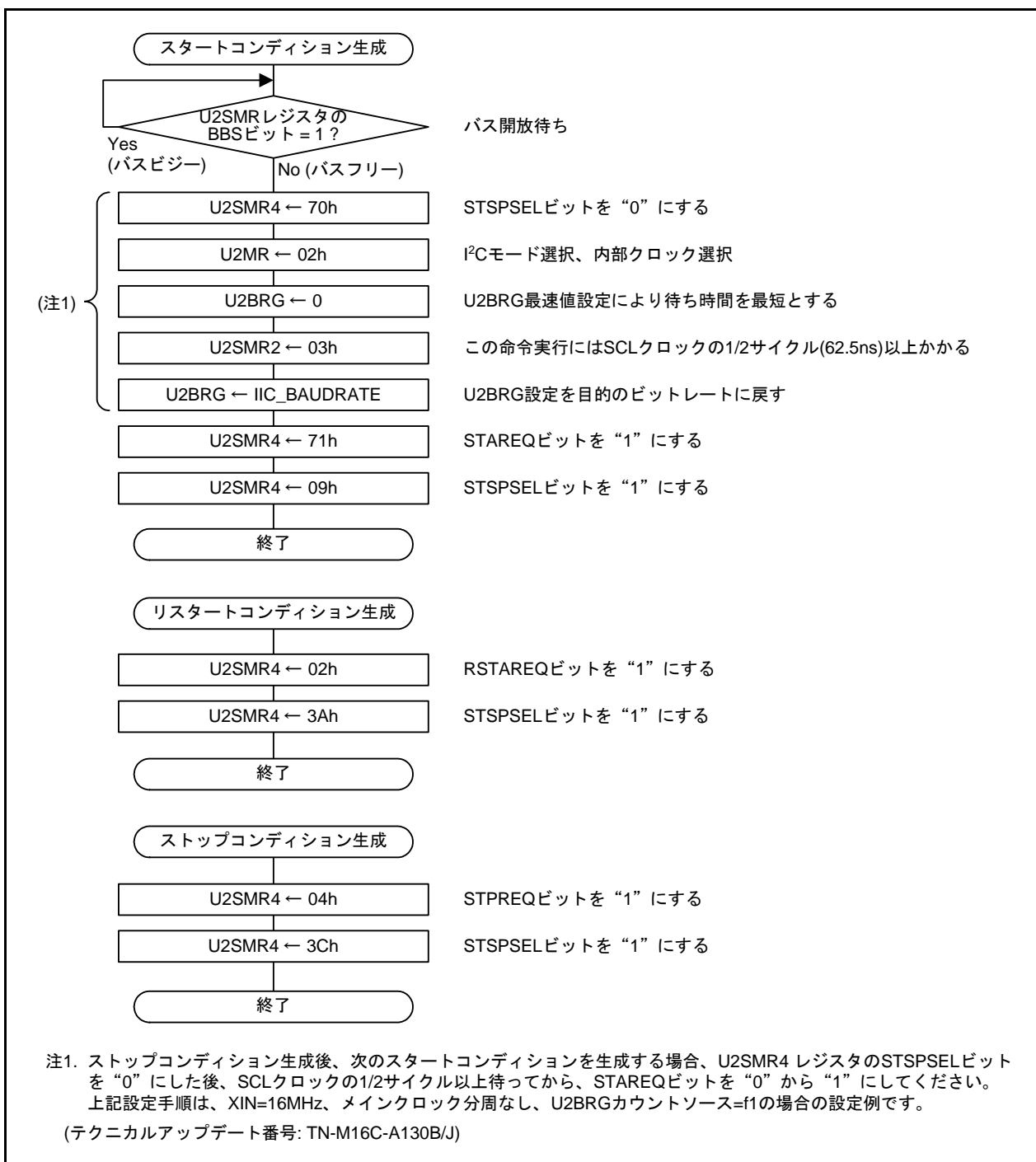


図 21.18 各コンディション生成時のレジスタ設定手順

21.3.3.3 アービトレーション

SCL2の立ち上がり時に、自身の送信データとSDA2端子からの入力データが一致しているかを判定し、一致していなければ出力を停止することによりアービトレーションを行います。

U2SMRレジスタのABCビットでU2RBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットが“1”(バイトごとに更新)の場合、判定時に一度でも不一致が検出された場合、8ビット目のSCL2の立ち下がりではABTビットが“1”(検出)になります。なお、バイトごとに更新する場合は、1バイト目のACK検出完了後、ABTビットを“0”(未検出)にしてから、次の1バイトの送受信を開始してください。

U2SMR2レジスタのALSビットを“1”(SDA出力を停止する)にすると、アービトレーションロストが発生しABTビットが“1”になると同時にSDA2端子がハイインピーダンスになります。

21.3.3.4 SCL制御とクロック同期化

I²Cモードでの送受信は、図21.15 U2RBレジスタへの転送、割り込みのタイミングに示すような送受信クロックで行います。しかし、送受信クロックが速くなってくると、ACKの生成や送信データの準備に必要な時間を確保することが難しくなってきます。I²Cモードではこの時間を確保するためのウェイト挿入の機能、および他デバイスが挿入したウェイトに対しクロックを同期させる機能をサポートしています。

U2SMR2レジスタのSWCビットは、アクノリッジ生成のためのウェイトを挿入するときに使用します。SWCビットが“1”(8ビット受信後、SCL2端子を“L”に固定)の場合、8ビット目のSCL2の立ち下がりではSCL2端子が“L”固定になります。SWCビットを“0”(ウェイトなし/ウェイト解除)にすると、“L”固定を解除できます。

U2SMR2レジスタのSWC2ビットを“1”(SCL2端子を“L”に固定)にすると、送受信中でもSCL2端子を“L”固定にできます。SWC2ビットを“0”(SCL2端子に送受信クロックを出力)にすると、SCL2端子からの“L”固定は解除され、送受信クロックが出力されます。

U2SMR4レジスタのSWC9ビットは、受信したアクノリッジビットを判定するためのウェイトを挿入するときに使用します。U2SMR3レジスタのCKPHビットが“1”(クロック遅れあり)のとき、SWC9ビットを“1”(9ビット受信後、SCL2端子を“L”に固定)にすると、9ビット目のSCL2の立ち下がりではSCL2端子が“L”固定になります。SWC9ビットを“0”(ウェイトなし/ウェイト解除)にすると“L”固定を解除できます。

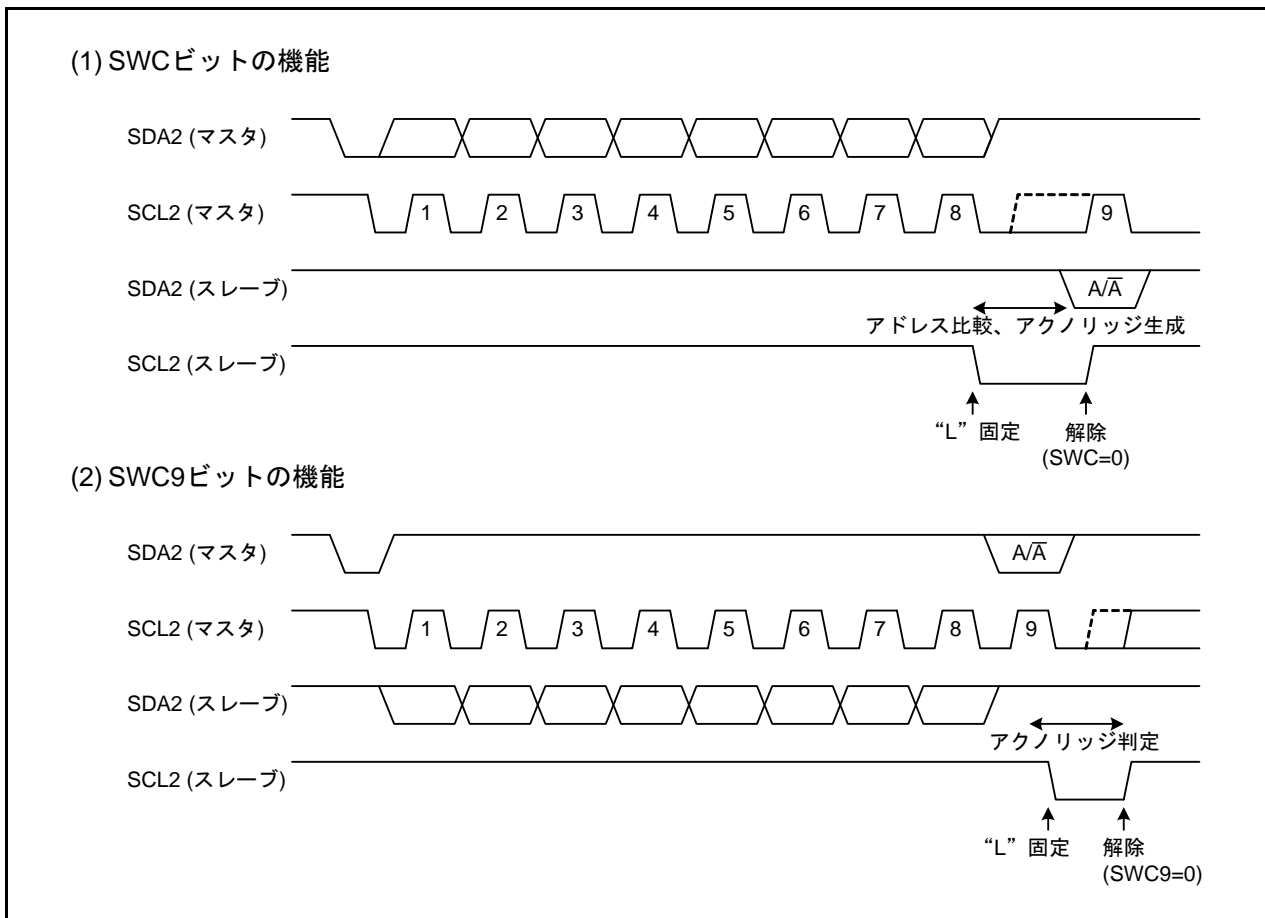


図 21.19 SWCビット、SWC9ビットによるウェイトの挿入

U2SMR2レジスタのCSCビットは、他のデバイスがウェイトを挿入するなどしたために、自身が出力したクロックとSCL2端子に入力されたクロックが異なったとき、内部で生成するクロックをSCL2端子から入力されるクロックに同期させるためのビットです。CSCビットが“1”（クロック同期を実施する）の場合、内部生成クロックが“H”のときにSCL2端子が“H”から“L”に変化すると、内部生成クロックを“L”にし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL2端子が“L”のとき、内部生成クロックが“L”から“H”に変化するとカウントを停止し、SCL2端子が“H”になるとカウントを再開します。したがってUART2の送受信クロックは、内部生成クロックとSCL2端子の信号の論理積になります。送受信クロックは、内部生成クロックの1クロック前から9クロック目まで同期化されます。CSCビットはU2MRレジスタのCKDIRビットが“0”（内部クロック）のときのみ“1”にできます。

U2SMR4レジスタのSCLHIビットは、自身がマスタとして送受信を行っているときに他のマスタがストップコンディションを生成した場合に、SCL2端子を開放するために使用します。SCLHIビットを“1”（出力停止）にすると、ストップコンディション検出時にSCL2端子を開放し（ハイインピーダンス）、クロック出力を停止します。

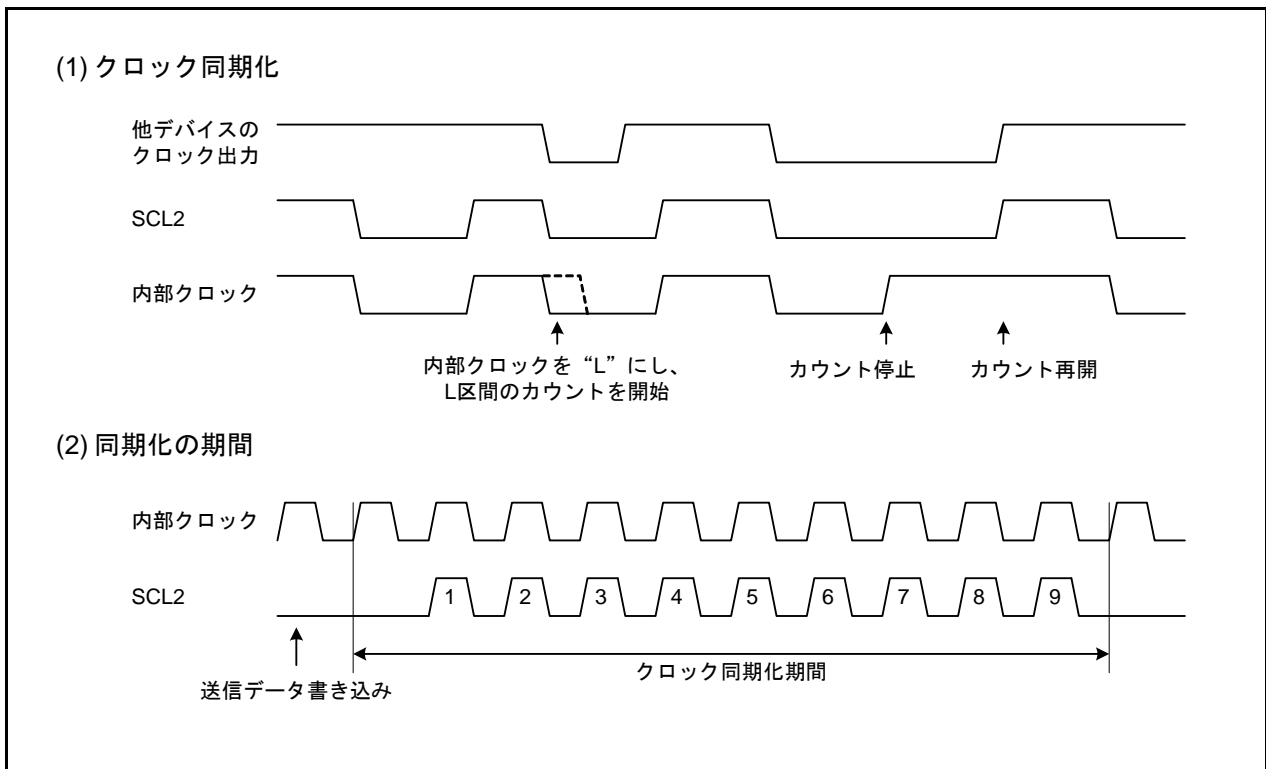


図 21.20 クロック同期化

21.3.3.5 SCLクロックの周波数の考え方

I²Cモードで生成するSCLクロックのDutyは50%です。そのため、I²C-busのFast-Modeの最大SCLクロック(400kbps)を設定すると、SCLクロックの“L”幅は1.25μsとなります。この値は、Fast-ModeのI²C-bus規格($f_{\text{LOW}} = \text{Min.}1.3\mu\text{s}$)を満たしません。よって、SCLクロックの設定を384.6kbps以下とし、SCLクロックの“L”幅が1.3μs以上になるようにしてください。

クロック同期化機能(「図 21.20 クロック同期化」参照)を有効にすると、ノイズフィルタ幅+U2BRGカウントソースの1~1.5サイクルのサンプリング遅延が発生し、SCLクロックの“H”認識が遅れるため、SCLクロックの“H”幅が伸びます。そのため、SCLクロックのビットレートの設定に対して、実際のSCLクロックは遅くなります。

また、SCLクロックの実効値を算出するためには、SCLクロック立ち上がり時間(t_R)も考慮してください。

下記にSCLクロック実効値の算出例を示します。

< 384.6kbps設定時のSCLクロック実効値の算出例 >

- U2BRGカウントソース : $f_1 = 20\text{MHz}$
- U2BRGレジスタの設定値 : $n = 26 - 1$
- SCLクロック立ち上がり時間 : $t_R = 100\text{ns}$
- SCLクロック立ち下がり時間 : $t_F = 0\text{ns}$
- ノイズフィルタ幅 : $t_{\text{NF}} = 100\text{ns}$ (注1)
- サンプリング遅延 : $t_{\text{SD}} = 1\text{cycle}$

の場合、

$$f_{\text{SCL}}(\text{理論値}) = f_1 / (2(n+1)) = 20\text{MHz} / (2(25+1)) = 384.6\text{kbps}$$

$$t_{\text{LOW}} = 1 / (2f_{\text{SCL}}(\text{理論})) = 1 / (2 \times 384.6\text{kbps}) = 1.3\mu\text{s}$$

$$\begin{aligned} t_{\text{HIGH}} &= 1 / (2f_{\text{SCL}}(\text{理論})) + t_{\text{NF}} + (t_{\text{SD}} \times 1 / f_1) \\ &= 1 / (2 \times 384.6\text{kbps}) + 100\text{ns} + (1 \times 1 / 20\text{MHz}) \\ &= 1.45\mu\text{s} \end{aligned}$$

$$f_{\text{SCL}}(\text{実効値}) = 1 / (t_F + t_{\text{LOW}} + t_R + t_{\text{HIGH}}) = 1 / (0\text{ns} + 1.3\mu\text{s} + 100\text{ns} + 1.45\mu\text{s}) \approx 350.8\text{kbps}$$

注1.最大200ns。

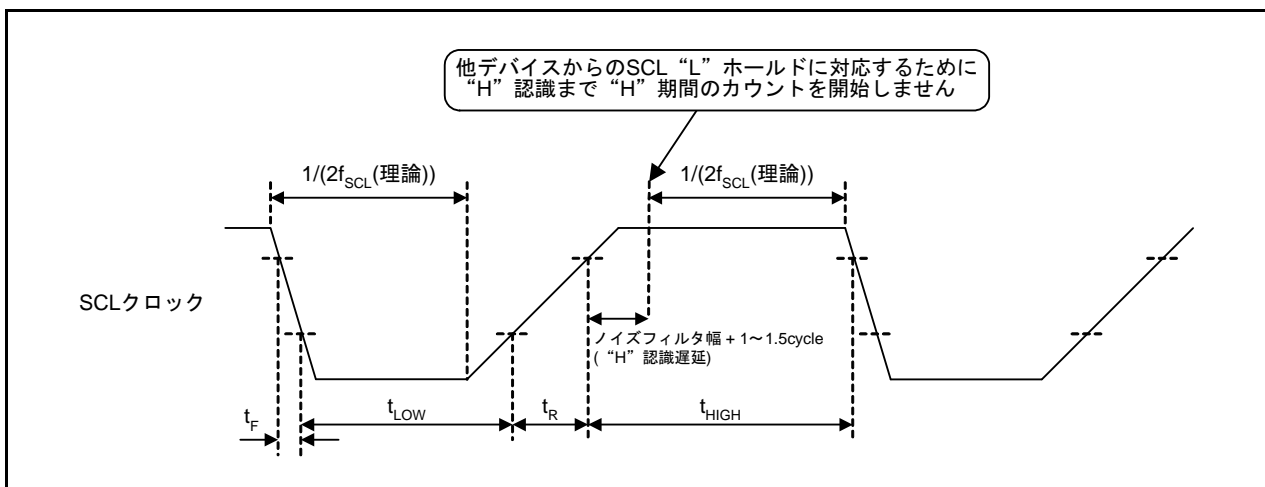


図 21.21 SCLクロック

21.3.3.6 SDA出力制御

バイトデータを送信する場合、1ビット目~8ビット目はSDA2端子から送信データを出力し、9ビット目はアクノリッジを受信するためSDA2端子を開放します。

I²Cモードでは、U2TBレジスタに9ビットのデータを設定してください。9ビットデータのb7~b0には送信データを、b8には“1”を設定してください。

U2C0レジスタのUFORMビットを“1”(MSBファースト)にして、U2TBレジスタに9ビットデータを設定すると、b7→b6→…→b0→b8の順で、SDA2端子からデータが出力されます。b8が“1”なので9ビット目でSDA2端子がハイインピーダンス状態になり、アクノリッジを受信できます。

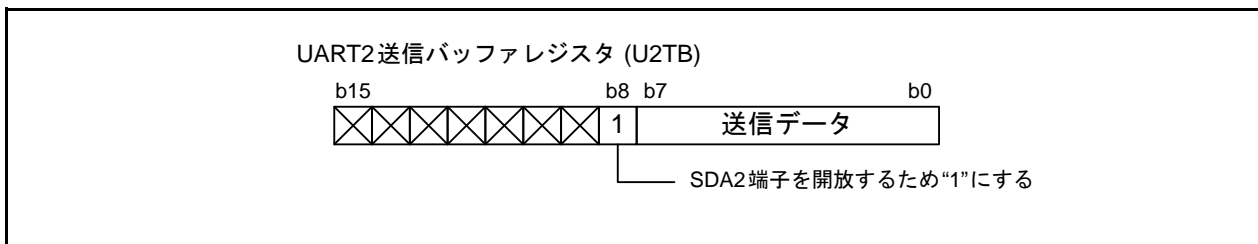


図 21.22 U2TBレジスタの設定 (SDA出力)

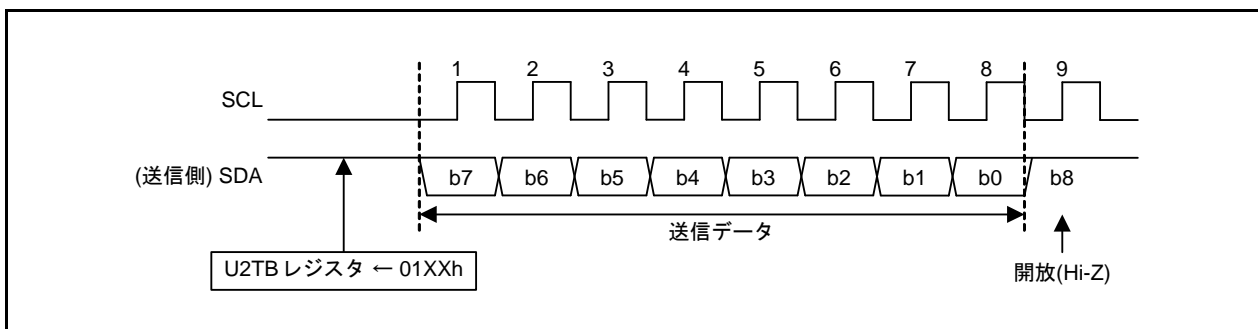


図 21.23 バイトデータの送信

U2SMR3レジスタのDL2~DL0ビットによりSDA2の出力を遅延なし、またはU2BRGカウントソースの1~8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の送受信クロックの立ち上がりのタイミングで書かないでください。U2RBレジスタのABTビットが“1”(検出)になる場合があります。

21.3.3.7 SDAデジタル遅延機能

I²C-busでデータ送信を行う場合、SCLクロックが“L”のときにデータを変化させてください。SCLクロックが“H”のときにSDAが変化すると、各コンディションと認識されます(「21.5.3.3 コンディション生成時のセットアップ時間およびホールド時間」参照)。

SDAデジタル遅延機能は、SDA2端子からの出力を遅延させる機能です。SDAの変化を遅延させることで、SCLクロックが“L”の期間にデータを変化させることができます。

SDAデジタル遅延機能は、U2SMR3レジスタのDL2~DL0ビットを“001b”~“111b”にすると有効になり、“000b”にすると無効になります。

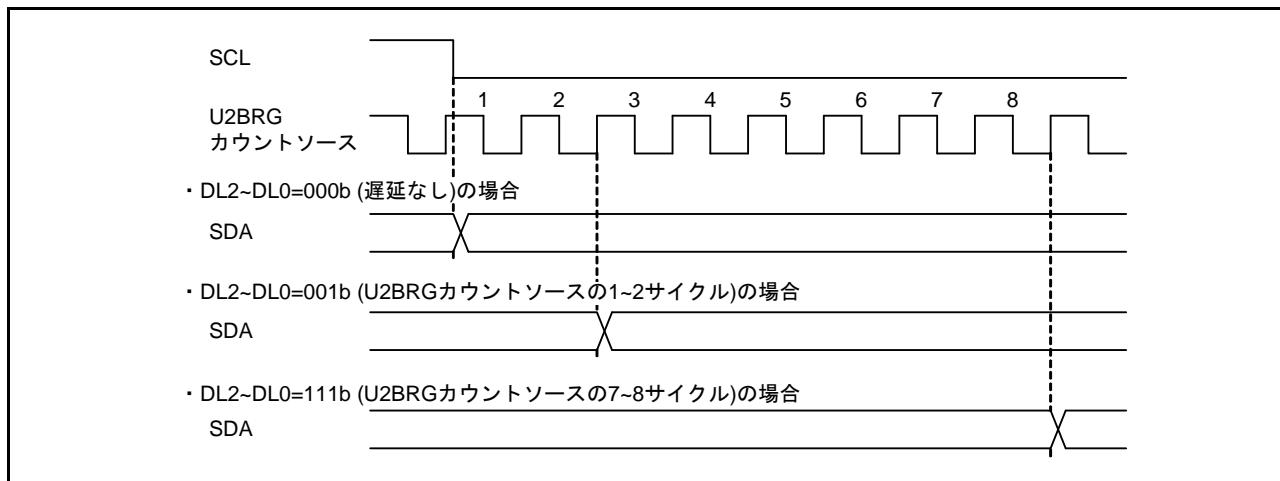


図 21.24 DL2~DL0ビットの設定によるSDA出力切り替え

21.3.3.8 SDA入力

U2SMR2レジスタのIICM2ビットが“0”(ACK/NACK割り込みを使用)の場合、受信したデータの1~8ビット目(D7~D0)をU2RBレジスタのビット7~0に、9ビット目(ACK/NACK)をU2RBレジスタのビット8に格納します。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目(D7~D1)をU2RBレジスタのビット6~0に、8ビット目(D0)をU2RBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、U2SMR3レジスタのCKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

バイトデータを受信する場合、1ビット目~8ビット目はデータを受信するためSDA2端子を開放し、9ビット目はアクノリッジを生成します。マスタ時の最終バイトデータを受信するとき、またはスレーブ時のスレーブアドレス不一致のときはNACKを生成します。それ以外は、通常、ACKを生成します。

I²Cモードでは、U2TBレジスタに9ビットのデータを設定してください。9ビットデータのb7~b0にはSDA2端子を開放するため“FFh”を、b8はACKを生成する場合は“0”、NACKを生成する場合は“1”を設定してください。

U2TBレジスタに9ビットデータの“00FFh”または“01FFh”を設定すると、1ビット目~8ビット目はSDA2端子がハイインピーダンス状態になり、データを受信できます。9ビット目はACKまたはNACKが生成されます。

受信したデータはU2RBレジスタから読み出してください。クロック遅延機能を使用すると、U2RBレジスタへのデータ転送が2回行われ、それぞれのU2RBレジスタの内容が異なります。詳細は「図21.15 U2RBレジスタへの転送、割り込みのタイミング」を参照してください。

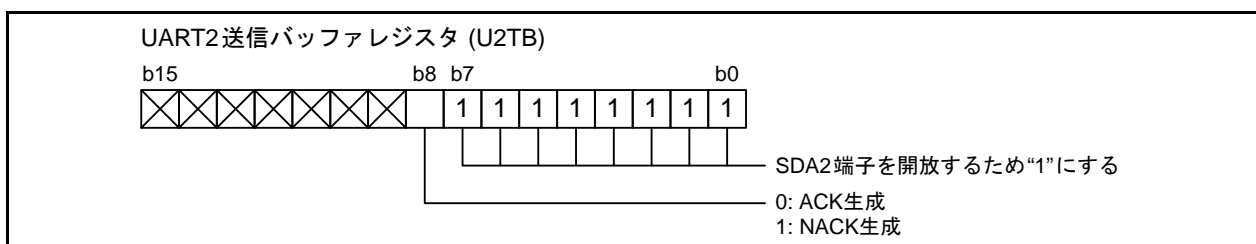


図 21.25 U2TBレジスタの設定 (SDA入力)

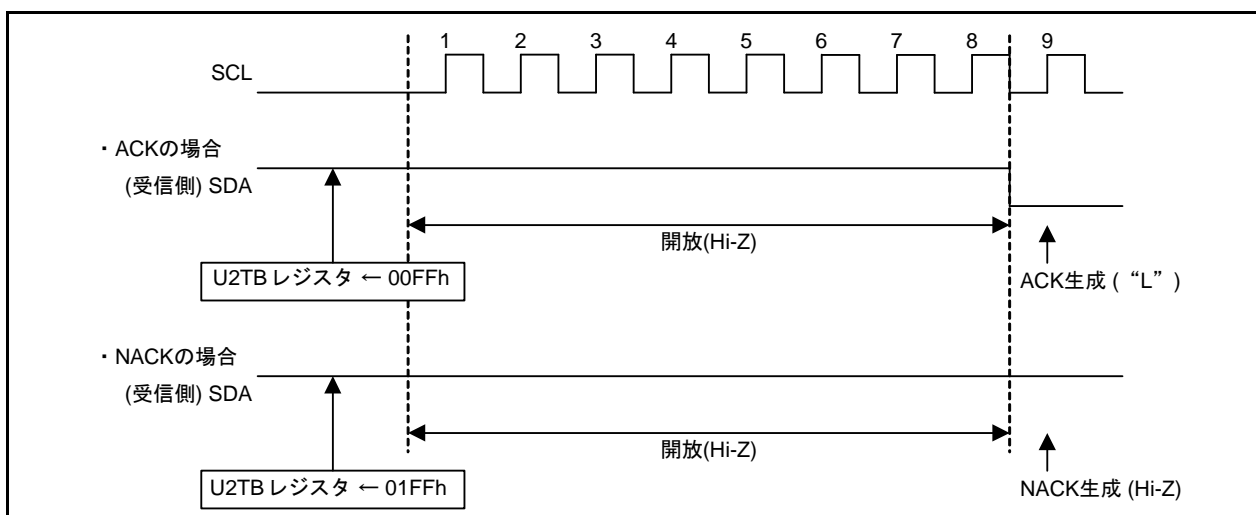


図 21.26 バイトデータの受信

21.3.3.9 ACK、NACK

データを受信することが確定している場合、U2TBレジスタに00FFhをダミーデータとして設定することで、8ビット受信後にACKが出力されます。また、U2SMR4レジスタのSTSPSELビットが“0” (シリアル入出力回路選択)で、U2SMR4レジスタのACKCビットが“1” (ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

U2SMR2レジスタのICM2ビットが“0”の場合、9ビット目のSCL2の立ち上がり時にSDA2端子が“H”であればNACK割り込み要求が、“L”であればACK割り込み要求が発生します。

DMA起動要因に「UART2受信またはACK割り込み要求」を選択すると、ACK検出によってDMA転送を起動できます。

21.3.3.10 送受信初期化

この機能を使用する場合、送受信クロックは外部クロックを選択してください。

U2SMR2レジスタのSTACビットを“1” (スタートコンディション検出時、回路を初期化する)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの値が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1” (8ビット受信後SCL端子を“L”に固定)になります。これにより、クロックの9ビット目の立ち下がり時SCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、U2C1レジスタのTIビットは変化しません。スレープ時、UART2初期化機能を使用すると、スタートコンディション検出時に自動的にUART2が初期化されるため、スタートコンディション検出時に割り込みは必要ありません。

21.3.4 特殊モード2 (UART2)

1つのマスタから、複数のスレーブへシリアル通信できます。また、送受信クロックの極性と位相を選択できます。表 21.18に特殊モード2の仕様を示します。

表 21.18 特殊モード2の仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> マスタモード $U2MR \text{ レジスタのCKDIRビットが"0" (内部クロック選択): } \frac{f_j}{2(n+1)}$ $f_j = f1SIO、f2SIO、f8SIO、f32SIO \quad n: U2BRG \text{ レジスタ設定値 } 00h \sim FFh$
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要 <ul style="list-style-type: none"> U2C1レジスタのTEビットが"1" (送信許可) U2C1レジスタのTIビットが"0" (U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> U2C1レジスタのREビットが"1" (受信許可) TEビットが"1" (送信許可) TIビットが"0" (U2TBレジスタにデータあり)
割り込み要求発生タイミング	送信割り込み時、次の条件のいずれかを選択可 <ul style="list-style-type: none"> U2C1レジスタのU2IRSビットが"0" (送信バッファ空): U2TBレジスタからUART2送信レジスタへデータ転送時 (送信開始時) U2IRSビットが"1" (送信完了): UART2送信レジスタからデータ送信完了時 受信割り込み時 <ul style="list-style-type: none"> UART2受信レジスタからU2RBレジスタへデータ転送時 (受信完了時)
エラー検出	オーバランエラー (注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	<ul style="list-style-type: none"> CLK極性選択 データの出力と入力タイミングが、送受信クロックの立ち上がりか立ち下がりかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 U2RBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え 送受信データの論理値を反転する機能 クロック位相選択 送受信クロックの極性と相の4つの組み合わせを選択可

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

図 21.27 に特殊モード2の通信制御例を、表 21.19 に特殊モード2時の入出力端子を示します。

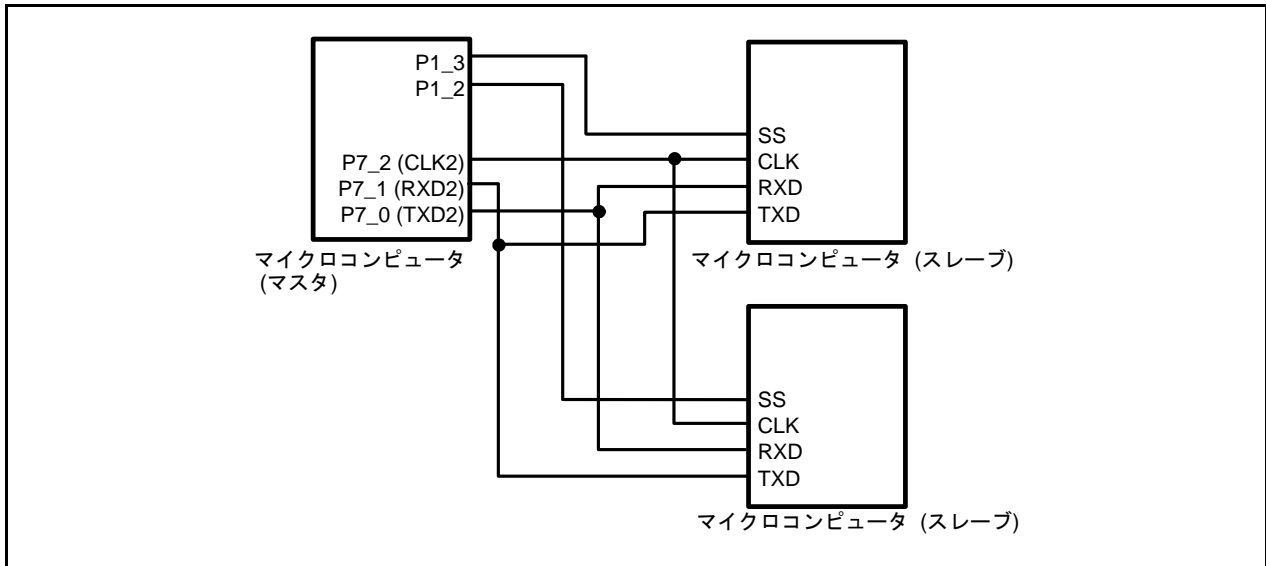


図 21.27 特殊モード2の通信制御例

表 21.19 特殊モード2時の入出力端子

端子名	入出力	機能	選択方法
CLK2	出力	クロック出力	U2MRレジスタのCKDIRビット=0
TXD2	出力	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXD2	入力	シリアルデータ入力	端子を共用するポートの方向ビットを“0”にする
	入力	入力ポート	端子を共用するポートの方向ビットを“0”にする (送信だけを行うときは入力ポートとして使用可)

CTS2/RTS2端子は使用しません(入出力ポートに使用できます)。

表 21.20 特殊モード2時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能
PCLKR	PCLK1	U2BRGのカウンツソースを選択してください
U2TB	0~7	送信データを設定してください
	8	— (設定しないでよい) 書く場合は“0”にしてください
U2RB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
	8、11、13~15	読んだ場合、その値は不定
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	“001b”にしてください
	CKDIR	“0”にしてください
	4~6	“0”にしてください
	IOPOL	“0”にしてください
U2C0	CLK0,CLK1	U2BRGのカウンツソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	U2SMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、“1”にしてください
	U2LCH	データ論理反転を使用する場合、“1”にしてください
	U2ERE	“0”にしてください
U2SMR	0~7	“0”にしてください
U2SMR2	0~7	“0”にしてください
U2SMR3	CKPH	U2C0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0”にしてください
	0、2、4~7	“0”にしてください
U2SMR4	0~7	“0”にしてください

注1. この表は手順を示すものではありません。

21.3.4.1 クロック位相設定機能

U2SMR3レジスタのCKPHビットとU2C0レジスタのCKPOLビットで送受信クロックの相と極性の4つの組み合わせを選択できます。

送受信クロックの極性と相は、送受信を行うマスタとスレーブで同じにしてください。

図 21.28 マスタ(内部クロック)の場合の送受信のタイミングを示します。

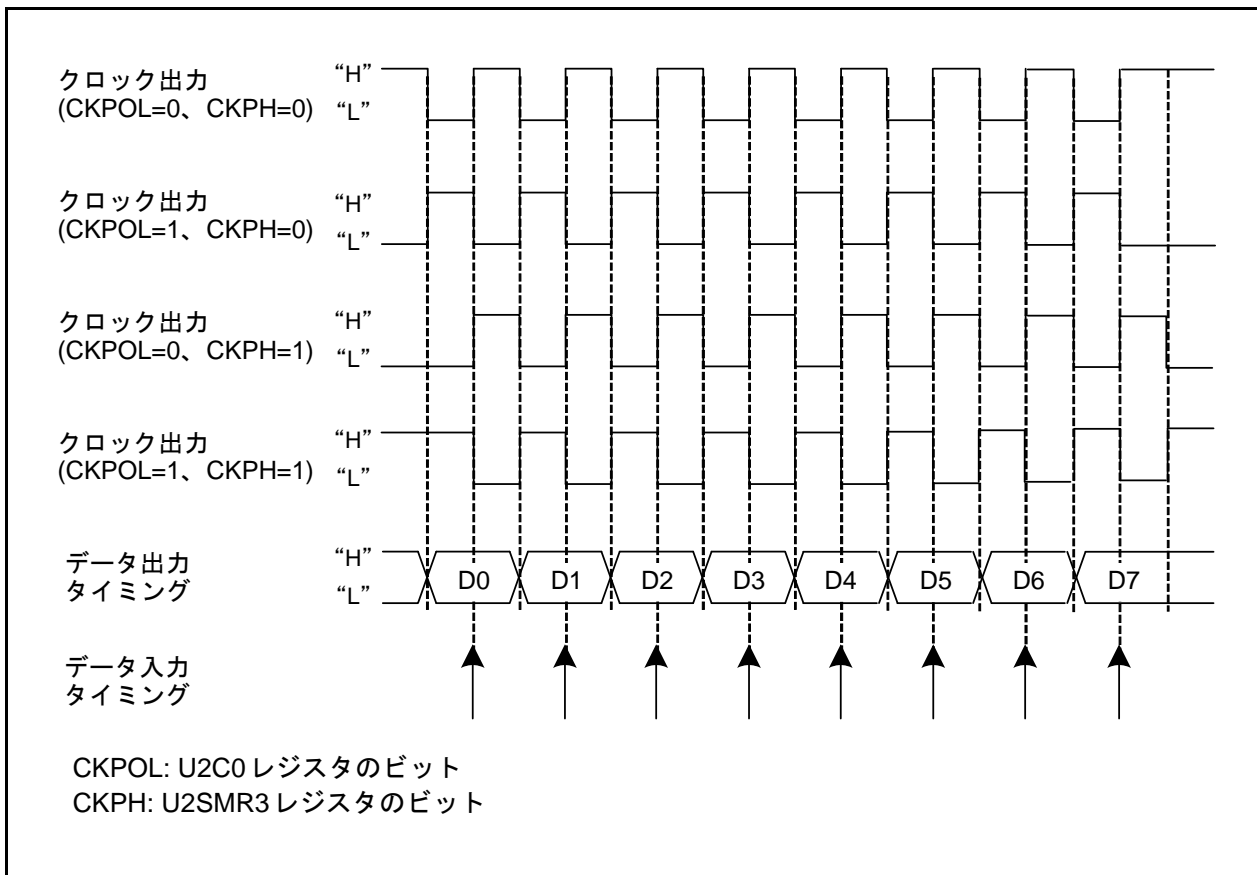


図 21.28 マスタ(内部クロック)の場合の送受信のタイミング

21.3.5 特殊モード3 (IEモード) (UART2)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表 21.21 にIEモード時の使用レジスタと設定値を、図 21.29 バス衝突検出機能関連ビットの機能を示します。

TXD2端子の出力レベルとRXD2端子の入力レベルが異なる場合、UART2バス衝突検出割り込み要求が発生します。

表 21.21 IEモード時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
U2TB	0~8	送信データを設定してください
U2RB(注1)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	"110b"にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	"0"にしてください
	PRY	PRYE=0なので無効
	PRYE	"0"にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
U2C0	CLK1~CLK0	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	"1"にしてください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	"0"にしてください
	UFORM	"0"にしてください
U2C1	TE	送信を許可する場合、"1"にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、"1"にしてください
	RI	受信完了フラグ
	U2IRS	UART送信割り込み要因を選択してください
	U2RRM、U2LCH、U2ERE	"0"にしてください
U2SMR	0~3、7	"0"にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、"1"にしてください
	SSS	送信開始条件を選択してください
U2SMR2	0~7	"0"にしてください
U2SMR3	0~7	"0"にしてください
U2SMR4	0~7	"0"にしてください

注1. この表に記載していないビットはIEモード時に書く場合、"0"を書いてください。

注2. この表は手順を示すものではありません。

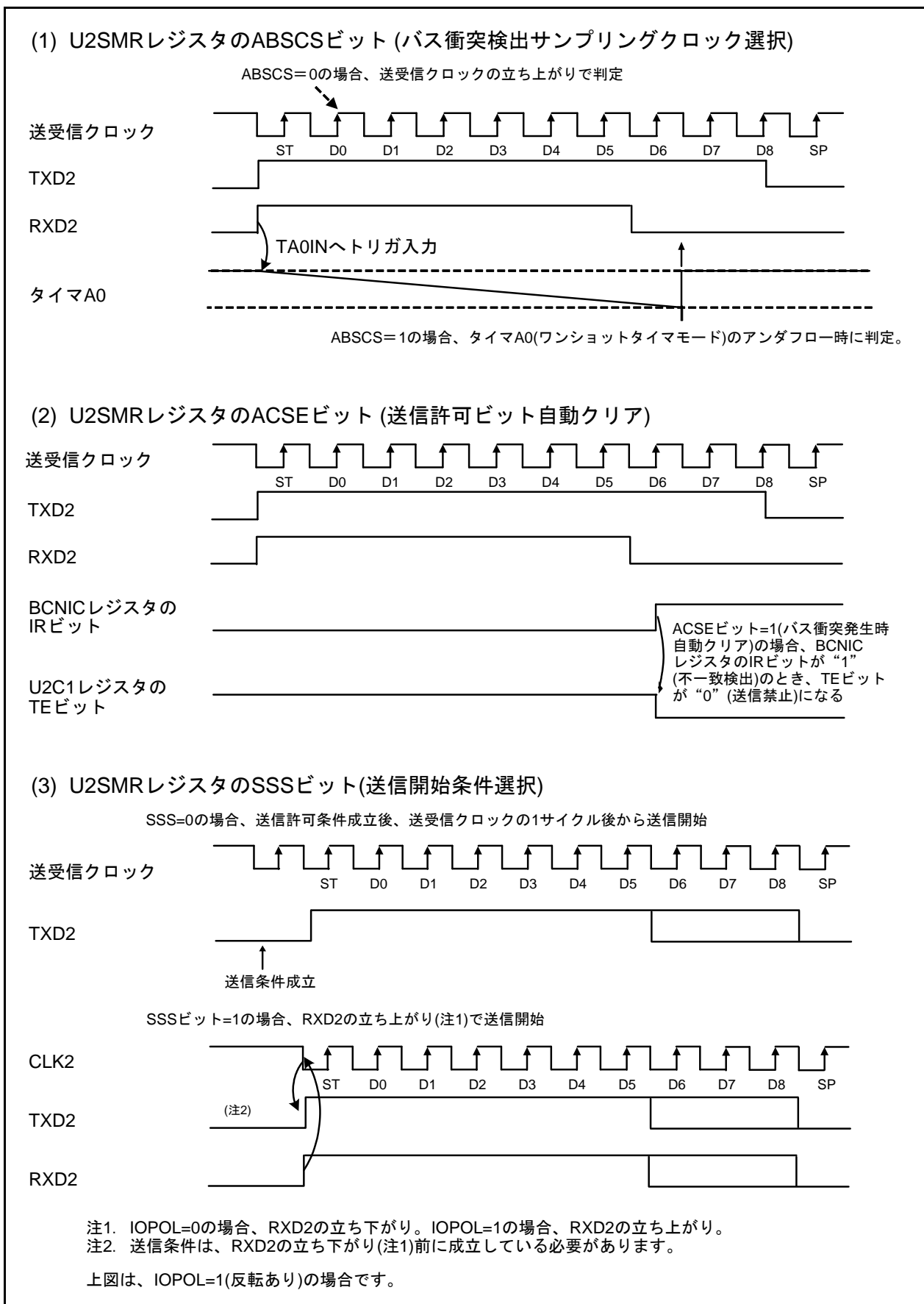


図 21.29 バス衝突検出機能関連ビットの機能

21.3.6 特殊モード4 (SIMモード) (UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表 21.22にSIMモードの仕様を、表 21.23にSIMモード時の使用レジスタと設定値を示します。

表 21.22 SIMモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> •ダイレクトフォーマット •インバースフォーマット
送受信クロック	<ul style="list-style-type: none"> •U2MRレジスタのCKDIRビットが“0” (内部クロック): $f_i/(16(n+1))$ $f_i=f1SIO、f2SIO、f8SIO、f32SIO$ $n=U2BRG$レジスタの設定値 00h~FFh •CKDIRビットが“1” (外部クロック): $f_{EXT}/(16(n+1))$ f_{EXT}はCLK2端子からの入力 $n=U2BRG$レジスタの設定値 00h~FFh
送信開始条件	送信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのTEビットが“1” (送信許可) •U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 <ul style="list-style-type: none"> •U2C1レジスタのREビットが“1” (受信許可) •スタートビットの検出
割り込み要求発生タイミング (注2)	<ul style="list-style-type: none"> •送信時 UART2送信レジスタからデータ送信完了時(U2IRSビット=1) •受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	<ul style="list-style-type: none"> •オーバランエラー (注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー (注3) 設定した個数のストップビットが検出されなかったときに発生 •パリティエラー (注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知 •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力)にした後、TEビットを“1” (送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし)にしてください。

注3. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表 21.23 SIMモード時の使用レジスタと設定値 (注2)

レジスタ	ビット	機能
U2TB (注1)	0~7	送信データを設定してください
U2RB (注1)	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	ビットレートを設定してください
U2MR	SMD2~SMD0	"101b"にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	"0"にしてください
	PRY	ダイレクトフォーマットの場合"1"に、インバースフォーマットの場合"0"にしてください
	PRYE	"1"にしてください
	IOPOL	"0"にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	"1"にしてください
	NCH	"1"にしてください
	CKPOL	"0"にしてください
	UFORM	ダイレクトフォーマットの場合"0"に、インバースフォーマットの場合"1"にしてください
U2C1	TE	送信を許可する場合"1"にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合"1"にしてください
	RI	受信完了フラグ
	U2IRS	"1"にしてください
	U2RRM	"0"にしてください
	U2LCH	ダイレクトフォーマットの場合"0"に、インバースフォーマットの場合"1"にしてください
	U2ERE	"1"にしてください
U2SMR (注1)	0~3	"0"にしてください
U2SMR2	0~7	"0"にしてください
U2SMR3	0~7	"0"にしてください
U2SMR4	0~7	"0"にしてください

注1. この表に記載していないビットはSIMモード時に書く場合、"0"を書いてください。

注2. この表は手順を示すものではありません。

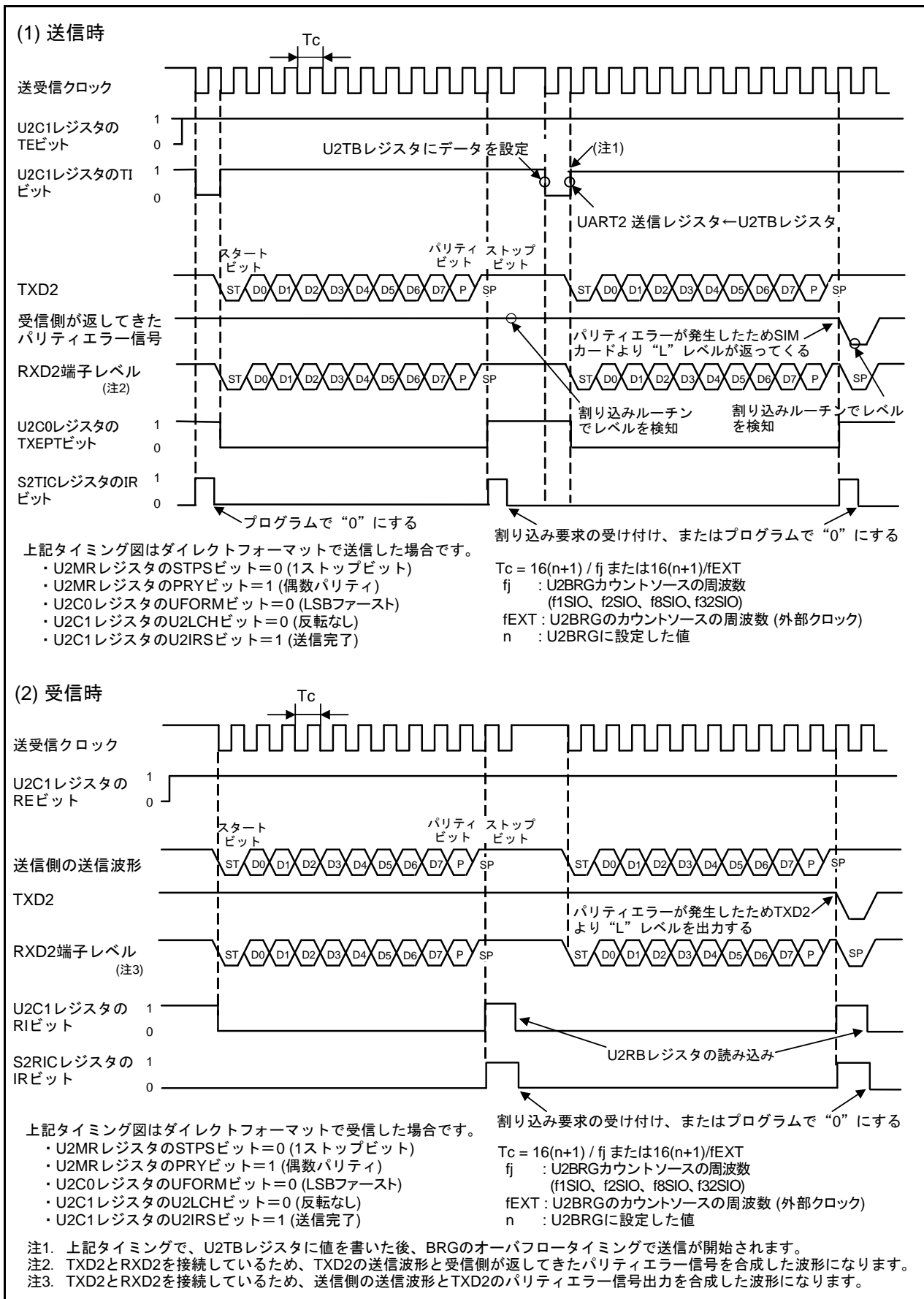


図 21.30 SIMモードの送受信タイミング例

図 21.31 SIM インタフェース接続例を示します。TXD2とRXD2を接続してプルアップしてください。

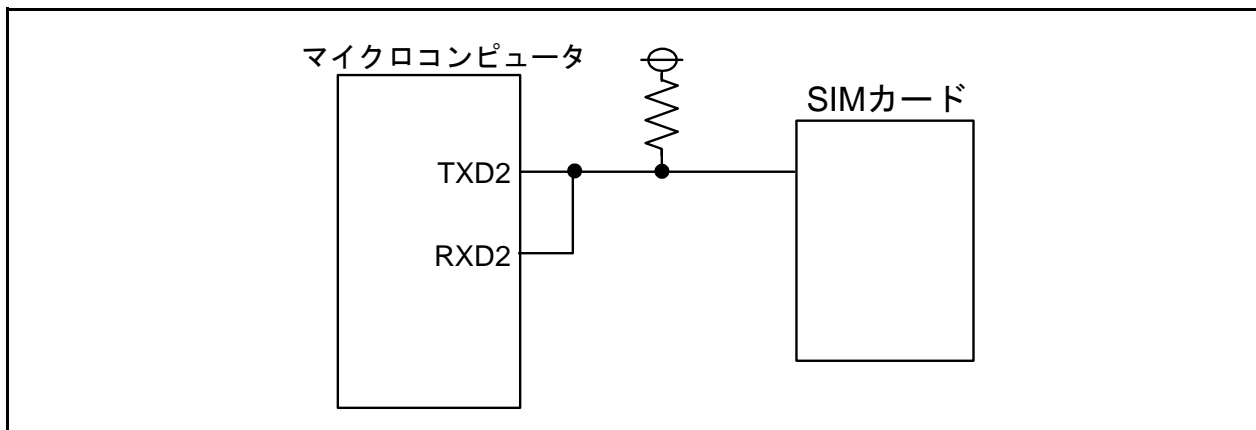


図 21.31 SIM インタフェース接続例

21.3.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”(出力する)にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図 21.32に示すタイミングでTXD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、U2RBレジスタのPERビットが“0”(パリティエラーなし)になり、同時にTXD2出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の送受信クロックの立ち下がりで発生します。したがって、送信完了割り込みルーチンで、RXD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

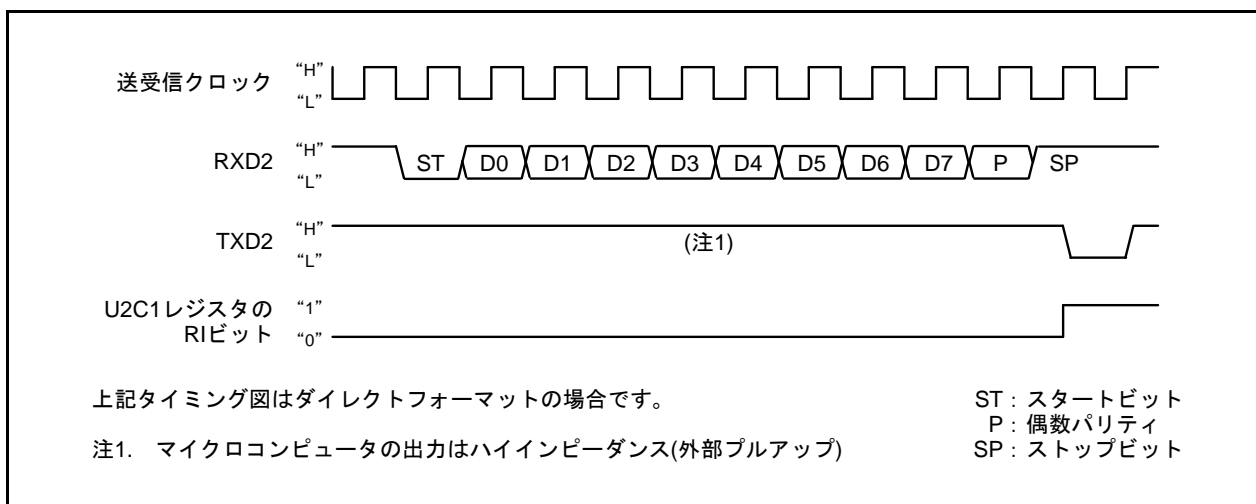


図 21.32 パリティエラー信号出力タイミング

21.3.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、U2C0レジスタのUFORMビットを“0”(LSBファースト)、U2C1レジスタのU2LCHビットを“0”(反転なし)にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図 21.33 に SIM インタフェースフォーマットを示します。

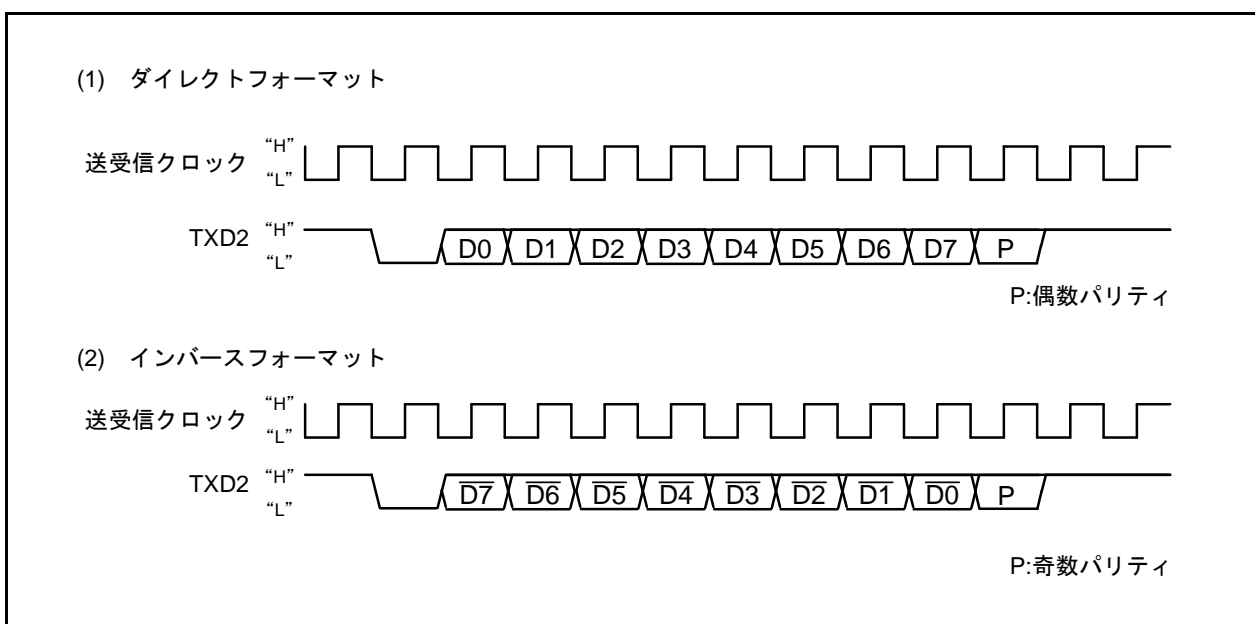


図 21.33 SIM インタフェースフォーマット

21.4 割り込み

UART0~UART4には、送信、受信、ACK、NACK、スタート/ストップコンディション検出、バス衝突検出による割り込みがあります。

21.4.1 割り込み関連レジスタ

割り込みの要因や割り込み要求発生タイミングは、各モードの仕様、動作例を参照してください。また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 21.24にUART0~UART4の割り込み関連レジスタを示します。

表 21.24 UART0~UART4の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXX X000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXX X000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXX X000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXX X000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXX X000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXX X000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXX X000b
006Fh	UART4送信割り込み制御レジスタ	S4TIC	XXXX X000b
0070h	UART4受信割り込み制御レジスタ	S4RIC	XXXX X000b
0072h	UART3送信割り込み制御レジスタ	S3TIC	XXXX X000b
0073h	UART3受信割り込み制御レジスタ	S3RIC	XXXX X000b
0205h	割り込み要因選択レジスタ3	IFSR3A	00h
0206h	割り込み要因選択レジスタ2	IFSR2A	00h

UART0~UART4の割り込みは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共有している場合があります。これらの割り込みを使用する場合は、割り込み要因選択レジスタで選択してください。表 21.25にUART0~UART4割り込み選択方法を示します。

表 21.25 UART0~UART4割り込み選択方法

割り込み要因	割り込み要因選択レジスタの設定		
	レジスタ	ビット	設定値
UART2スタート/ストップコンディション検出、バス衝突検出	IFSR2A	IFSR20	0
UART3送信	IFSR2A	IFSR25	0
UART4送信	IFSR3A	IFSR36	0

また、次のモードの場合、ビット内容の変更によって割り込み要求が発生することがあります。

- 特殊モード1 (I²Cモード)

次のビットを変更した後、UART2の各割り込み制御レジスタのIRビットを“0” (割り込み要求なし) にしてください。

U2MRレジスタのSMD2~SMD0ビット、U2SMRレジスタのIICMビット、
U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

- 特殊モード4 (SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力) にした後、TEビットを“1” (送信許可) にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし) にしてください。

21.4.2 受信割り込み

- U2MRレジスタのSMD2~SMD0ビットが“010b” (I²Cモード) 以外の場合

U2C1レジスタのRIビットが“0” (U2RBレジスタにデータなし) から“1” (U2RBレジスタにデータあり) に変化するとき、S2RICレジスタのIRビットが“1” (割り込み要求あり) になります。オーバランエラー発生時 (RIビットが“1” のとき次のデータ受信) は、RIビットが“1” のまま変化しないため、S2RICレジスタのIRビットは変化しません。

- U2MRレジスタのSMD2~SMD0ビットが“010b” (I²Cモード) の場合

U2C1レジスタのRIビットが“0” (U2RBレジスタにデータなし) から“1” (U2RBレジスタにデータあり) に変化するとき、S2RICレジスタのIRビットが“1” (割り込み要求あり) になります。オーバランエラー発生も、S2RICレジスタのIRビットが“1” になります。

21.5 シリアルインタフェース UARTi (i=0~4) 使用上の注意事項

21.5.1 複数モードに関わる共通事項

21.5.1.1 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

21.5.2 クロック同期形シリアルI/Oモード

21.5.2.1 送受信

外部クロック選択時、 \overline{RTS} 機能を選択した場合は、受信可能状態になると \overline{RTSi} (i=0~3) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると \overline{RTSi} 端子の出力レベルは“H”になります。このため、 \overline{RTSi} 端子を送信側の \overline{CTSi} 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は \overline{RTS} 機能は無効です。

21.5.2.2 送信

外部クロックを選択し、UiC0レジスタ(i=0~4)のTXEPTビットが“1”(送信レジスタにデータなし)の状態から送信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

送信開始条件(順序は関係ありません)

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- $\overline{\text{CTS}}_i$ 機能を選択している場合、 $\overline{\text{CTS}}_i$ 端子の入力が“L”

21.5.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~4)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択し、UiC0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

受信開始条件(順序は関係ありません)

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

21.5.3 特殊モード (I²Cモード)

21.5.3.1 スタートコンディション、ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A130B/J)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、送受信クロックの1/2サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

21.5.3.2 IRビット

次のビットを変更した後、UART2の各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

U2MRレジスタのSMD2~SMD0ビット、U2SMRレジスタのIICMビット、
U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

21.5.3.3 コンディション生成時のセットアップ時間およびホールド時間

スタートコンディション生成時、SCLクロックの1/2サイクル分の時間がホールド時間($t_{HD:STA}$)となります。ストップコンディション生成時、SCLクロックの1/2サイクル分の時間がセットアップ時間($t_{SU:STO}$)となります。

また、SDAデジタル遅延機能を使用する場合、遅延時間を考慮してください(「21.3.3.7 SDA デジタル遅延機能」参照)。

以下にコンディション生成時のホールド時間およびセットアップ時間の算出例を示します。

< 100kbps設定時の算出例 >

- U2BRG カウントソース : $f_1 = 20\text{MHz}$
- U2BRG レジスタの設定値 : $n = 100 - 1$
- SDA デジタル遅延設定値 : $DL2 \sim DL0 = 101b$ (U2BRG カウントソースの5~6サイクル)の場合、

f_{SCL} (理論)	$= f_1 / (2(n+1))$	$= 20\text{MHz} / (2 \times (99+1))$	$= 100\text{kbps}$
t_{DL}	$= \text{遅延サイクル数} / f_1$	$= 6 / 20\text{MHz}$	$= 0.3\mu\text{s}$
$t_{HD:STA}$ (理論)	$= 1 / (2f_{SCL}(\text{理論}))$	$= 1 / (2 \times 100\text{kbps})$	$= 5\mu\text{s}$
$t_{SU:STO}$ (理論)	$= 1 / (2f_{SCL}(\text{理論}))$	$= 1 / (2 \times 100\text{kbps})$	$= 5\mu\text{s}$
$t_{HD:STA}$ (実効)	$= t_{HD:STA}(\text{理論}) - t_{DL}$	$= 5\mu\text{s} - 0.3\mu\text{s}$	$= 4.7\mu\text{s}$
$t_{SU:STO}$ (実効)	$= t_{SU:STO}(\text{理論}) + t_{DL}$	$= 5\mu\text{s} + 0.3\mu\text{s}$	$= 5.3\mu\text{s}$

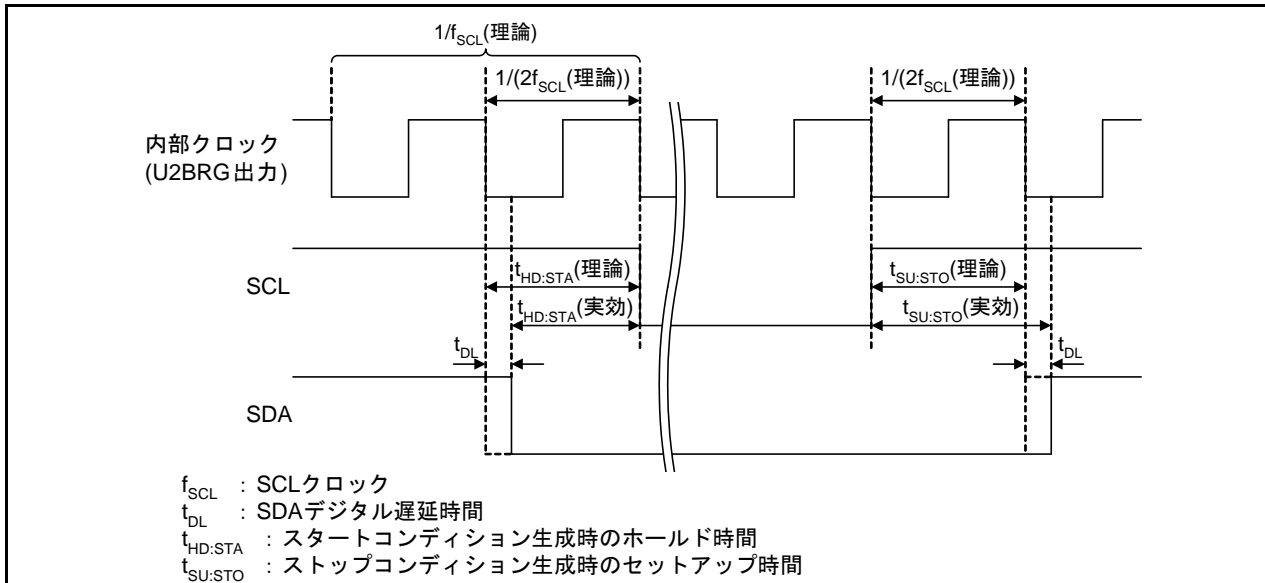


図 21.34 スタートコンディション/ストップコンディション生成時のホールド時間、セットアップ時間

21.5.3.4 U2BRG カウントソースによる最大送受信速度の制限

I²Cモードでは、U2BRGレジスタに設定する値を“03h”以上にしてください。

内部回路がSCLクロックのレベルを認識するまで、最大でU2BRGカウントソースの3サイクルを要します。したがって、接続可能なI²C-busのビットレートは、U2BRGカウントソースの速度の1/3以下です。U2BRGレジスタに“00h”~“02h”を設定した場合は、ビットずれを起こす可能性があります。

21.5.3.5 スレーブ時のリスタートコンディション

スレーブ時、リスタートコンディションを検出すると、その後の処理を正しく実行しない場合があります。スレーブ時はリスタートコンディションを使用しないでください。

21.5.3.6 スレーブ時の送受信開始条件

スレーブとして、U2C0レジスタのTXEPTビットが“1”（送信レジスタにデータなし）の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

送受信開始条件（順序は関係ありません）

送信

- U2C1レジスタのTEビットが“1”（送信許可）
- U2C1レジスタのTIビットが“0”（U2TBレジスタにデータあり）

受信

- U2C1レジスタのREビットが“1”（受信許可）
- U2C1レジスタのTEビットが“1”（送信許可）
- U2C1レジスタのTIビットが“0”（U2TBレジスタにデータあり）

21.5.4 特殊モード4 (SIMモード)

（テクニカルアップデート番号: TN-M16C-101-0308）

リセット解除後、U2C1レジスタのU2IRSビットを“1”（送信完了）、U2EREビットを“1”（エラー信号出力）にした後、TEビットを“1”（送信許可）にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”（割り込み要求なし）にしてください。

22. マルチマスタ I²C-bus インタフェース

22.1 概要

マルチマスタ I²C-bus インタフェース (以下 I²C 回路と称す) は、I²C-bus のデータ送受信フォーマットに基づいてシリアル送受信を行う回路です。アービトラジョンロスト検出機能とシンクロナス機能を持ちます。表 22.1 に I²C 回路の仕様を、表 22.2 に I²C 回路の検出機能を、図 22.1 に I²C 回路のブロック図を、表 22.3 に入出力端子を示します。

表 22.1 I²C 回路の仕様

項目	機能
フォーマット	I ² C-bus 規格準拠 7ビットアドレッシングフォーマット Fast-mode 標準クロックモード
送受信モード	I ² C-bus 規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
ビットレート	16.1 kbps~400 kbps (f _{VIIC} =4MHz)
入出力端子	シリアルデータライン SDAMM (SDA) シリアルクロックライン SCLMM (SCL)
割り込み要求発生要因	<ul style="list-style-type: none"> • I²C-bus 割り込み <ul style="list-style-type: none"> 送信完了 受信完了 スレーブアドレス一致検出 ジェネラルコール検出 ストップコンディション検出 タイムアウト検出 • SDA/SCL 割り込み <ul style="list-style-type: none"> SDAMM 端子、SCLMM 端子の信号の立ち上がりまたは立ち下がり
選択機能	<ul style="list-style-type: none"> • I²C-bus インタフェース 端子入力レベル選択 <ul style="list-style-type: none"> I²C-bus 入力レベル、または SMBus 入力レベルでの入力を選択可能 • タイムアウト検出 <ul style="list-style-type: none"> バスビジー中に一定時間以上 SCLMM 端子のレベルが“H”になったことを検出する機能 • フリーデータフォーマット選択 <ul style="list-style-type: none"> スレーブアドレスの値にかかわらず、1バイト目の受信時に割り込み要求発生を選択する機能

f_{VIIC}: I²C-bus システムクロック

表 22.2 I²C回路の検出機能

項目	機能
スレーブアドレス一致検出	スレーブ送受信時、スレーブアドレスの検出を行い、一致した場合はACKを自動的に送じます。一致しない場合はNACKを送出し、それ以降のデータの送受信を行いません。スレーブアドレスは最大3つまで設定できます
ジェネラルコール検出	スレーブ受信時、ジェネラルコールを検出します
アービトレーションロスト検出	アービトレーションロストを検出し、SDAMM端子、SCLMM端子の出力を停止します
バスビジー検出	バスビジーを検出しBBビットをセット/リセットします

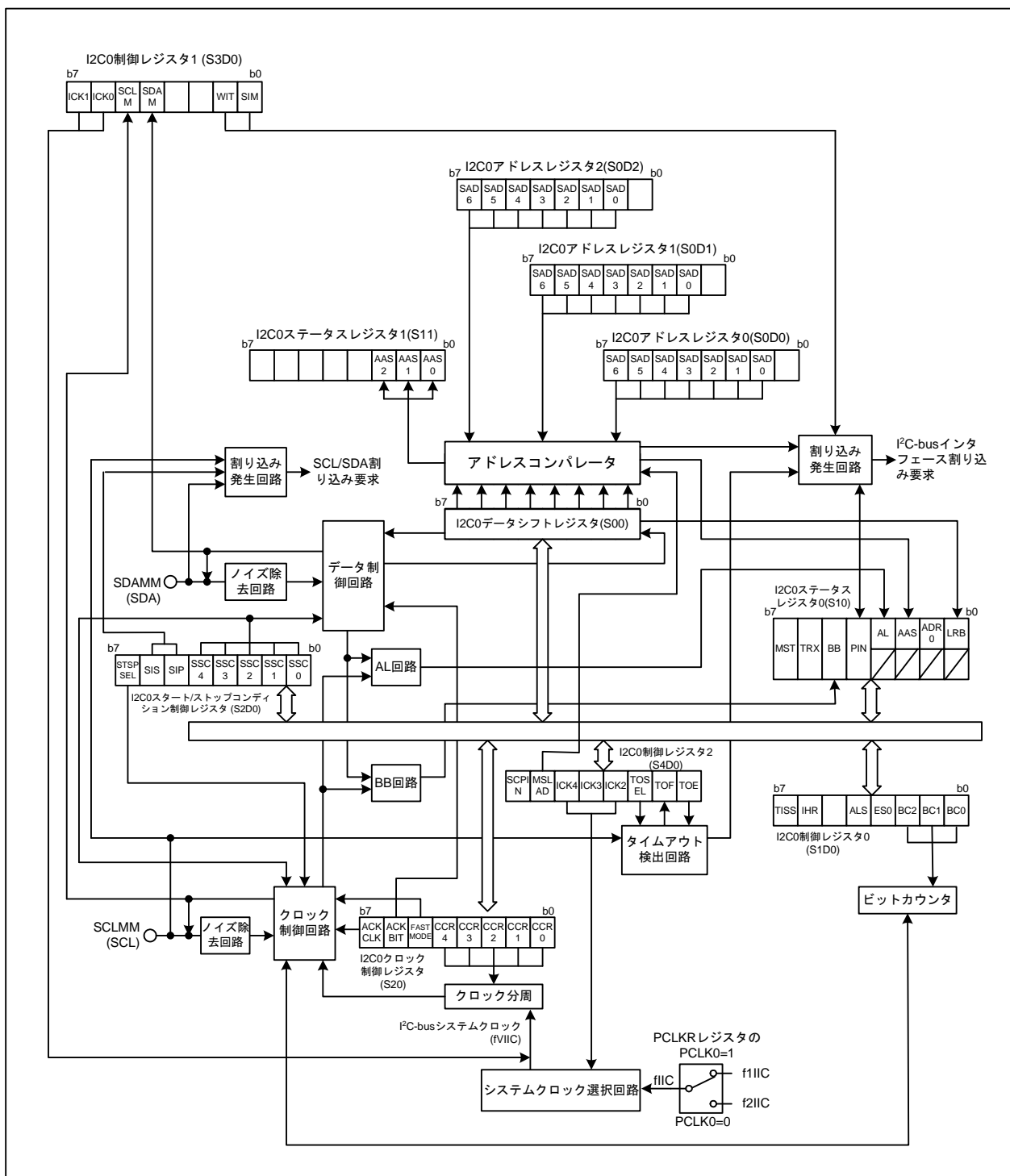


図 22.1 I²C回路のブロック図

表 22.3 入出力端子

端子名	入出力	機能
SDAMM	入出力	SDA入出力 (Nチャンネルオープンドレイン出力)(注1)
SCLMM	入出力	SCL入出力 (Nチャンネルオープンドレイン出力)(注1)

注1. 本機能はCMOS出力バッファのPチャンネルトランジスタを常時オフにするものであり、SDAMM、SCLMMを完全にオープンドレインにする機能ではありません。入力できる電圧の範囲については、電気的特性をご確認ください。

22.2 レジスタの説明

表 22.4 にレジスタ一覧を示します。CM0 レジスタの CM07 ビットが“1” (CPU クロックはサブクロック) の場合、表 22.4 に示すレジスタはアクセスしないでください。CM07 ビットを“0” (メインクロック、PLL クロック、またはオンチップオシレータクロック) にしてアクセスしてください。

表 22.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
02B0h	I2C0 データシフトレジスタ	S00	XXh
02B2h	I2C0 アドレスレジスタ 0	S0D0	0000 000Xb
02B3h	I2C0 制御レジスタ 0	S1D0	00h
02B4h	I2C0 クロック制御レジスタ	S20	00h
02B5h	I2C0 スタート/ストップコンディション 制御レジスタ	S2D0	0001 1010b
02B6h	I2C0 制御レジスタ 1	S3D0	0011 0000b
02B7h	I2C0 制御レジスタ 2	S4D0	00h
02B8h	I2C0 ステータスレジスタ 0	S10	0001 000Xb
02B9h	I2C0 ステータスレジスタ 1	S11	XXXX X000b
02BAh	I2C0 アドレスレジスタ 1	S0D1	0000 000Xb
02BBh	I2C0 アドレスレジスタ 2	S0D2	0000 000Xb

22.2.1 I²C0 データシフトレジスタ (S00)



送信時は送信データを書き込んでください。受信時はS00レジスタを読み出すと受信データが読み出せます。マスタモードでは、スタートコンディションまたはストップコンディションの発生にも使用します。(「22.3.2 スタートコンディション発生方法」「22.3.3 ストップコンディション発生方法」参照)。

S00レジスタは、S1D0レジスタのES0ビットが“1”(I²C回路許可)のとき書き込めます。

送受信中はS00レジスタに書き込まないでください。

データ送信時、S00レジスタのデータは、SCLMM端子のクロックに同期してビット7から順に外部へ送信されます。データを1ビット出力するたびに、S00レジスタの値は左に1ビットシフトします。

データ受信時は、SCLMM端子のクロックに同期してデータがビット0から順にS00レジスタに入力されます。データを1ビット入力するたびに、S00レジスタの値は左に1ビットシフトします。図22.2に受信データをS00レジスタに格納するタイミングを示します。

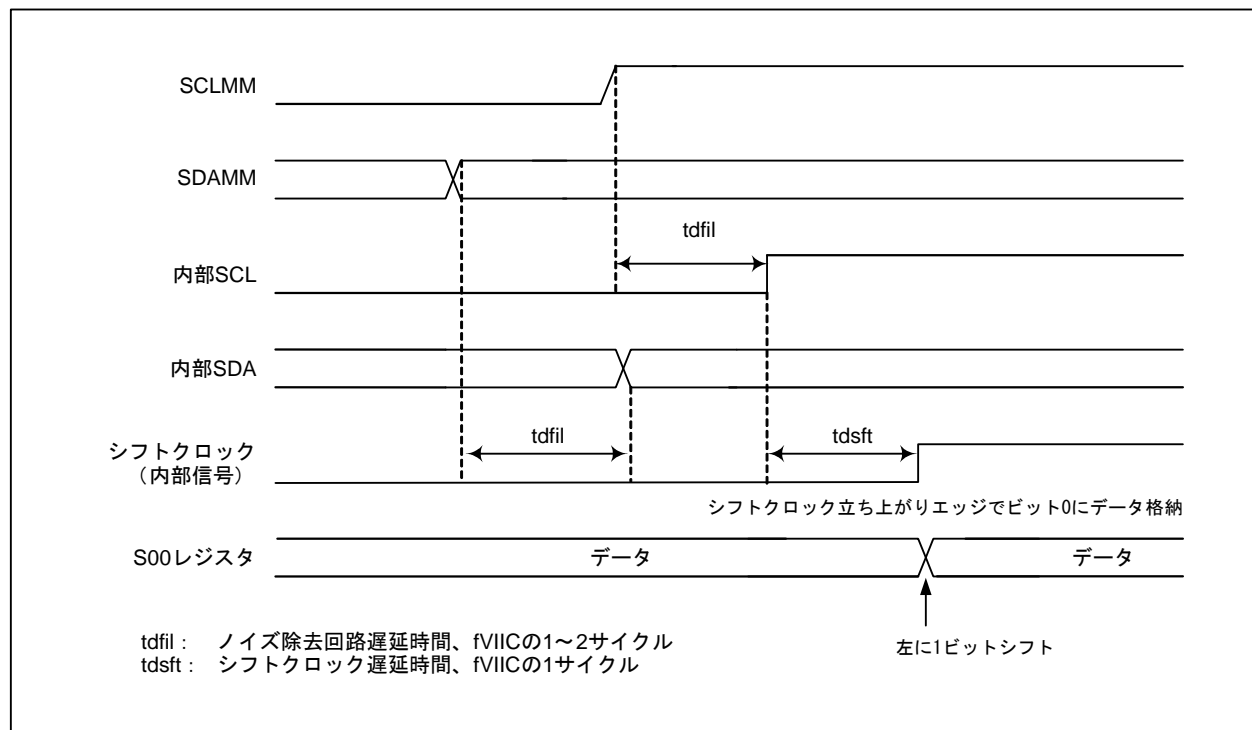
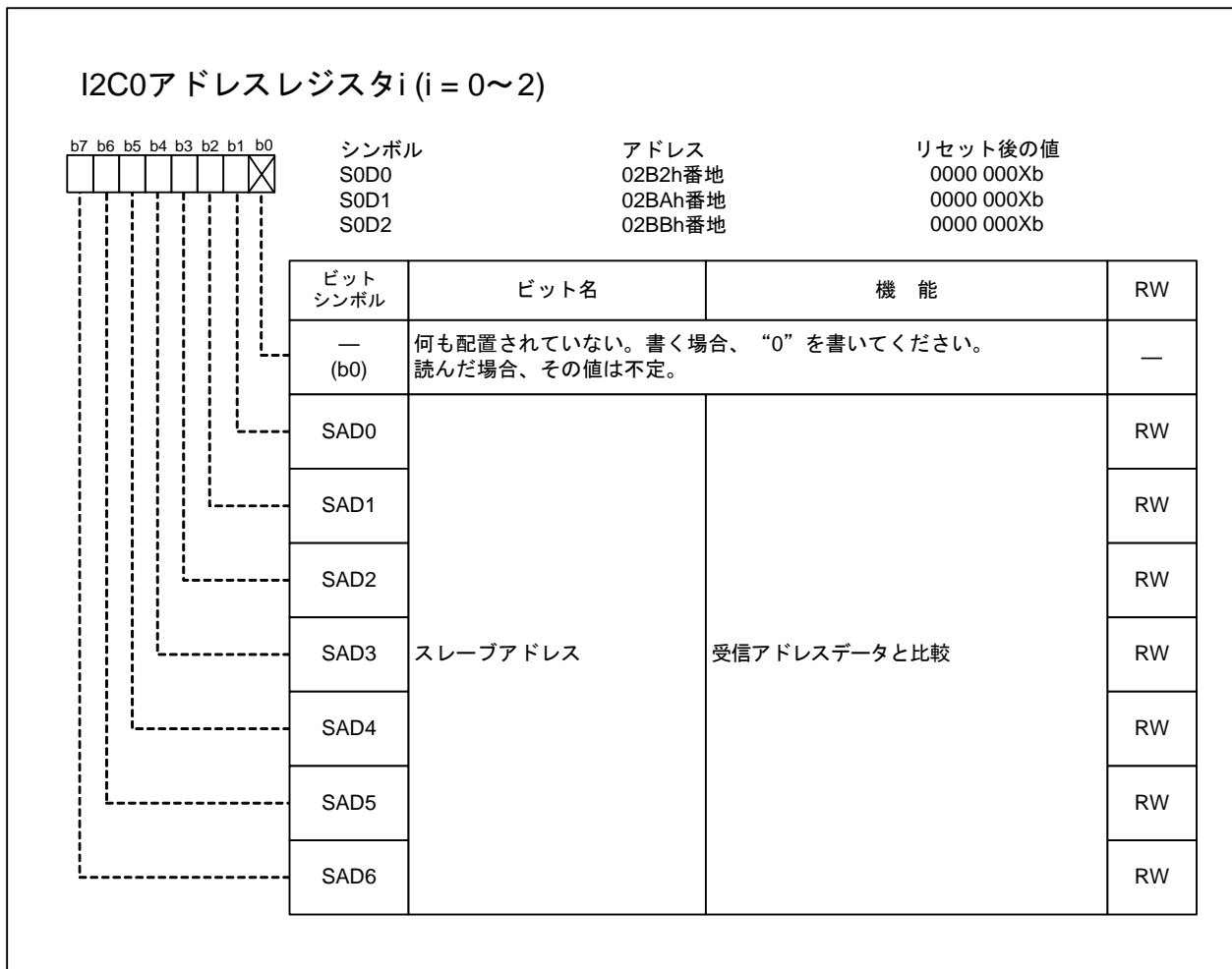


図 22.2 受信データをS00レジスタに格納するタイミング

22.2.2 I²C0 アドレスレジスタ *i* (*i*=0~2) (S0D0~S0D2)



SAD6~SAD0 (スレーブアドレス) (b7~b1)

スレーブモード時に、スレーブアドレス一致検出で比較されるスレーブアドレスを指定するビットです。アドレスは最大3つまで設定できます。スレーブアドレスを設定しないS0Diレジスタには“00h”を設定してください。ただし、S4D0レジスタのMSLADビットが“0”のとき、S0D1レジスタおよびS0D2レジスタは無効となり、S0D0レジスタのみがスレーブアドレス一致検出の対象となります。

22.2.3 I²C0 制御レジスタ 0 (S1D0)

I²C0 制御レジスタ 0

ビットシンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	S1D0	02B3h 番地	00h

ビットシンボル	ビット名	機能	RW
BC0	ビットカウンタ (送信/受信ビット数)	b2 b1 b0 0 0 0 : 8	RW
BC1		0 0 1 : 7	RW
BC2		0 1 0 : 6	RW
		0 1 1 : 5	RW
ES0	I ² C-bus インタフェース許可ビット	0 : 禁止 1 : 許可	RW
ALS	データフォーマット選択ビット	0 : アドレッシングフォーマット 1 : フリーデータフォーマット	RW
— (b5)	予約ビット	“0” にしてください	RW
IHR	I ² C-bus インタフェースリセットビット	0 : リセット解除 (自動) 1 : リセット	RW
TISS	I ² C-bus インタフェース端子入力レベル選択ビット	0 : I ² C-bus 入力 1 : SMBus 入力	RW

BC2~BC0 (ビットカウンタ) (b2~b0)

次のステータスのとき、BC2~BC0ビットは“000b” (8ビット) になります。

- スタートコンディション検出

S20レジスタのACKCLKビットが“0” (ACKクロックなし) の場合、BC2~BC0ビットで指定したビット数のデータを送受信した後、BC2~BC0は“000b”に戻ります。

同様にS20レジスタのACKCLKビットが“1” (ACKクロックあり) の場合、BC2~BC0ビットで指定したビット数とACKクロックの1ビットを送受信した後、BC2~BC0ビットは“000b”に戻ります。

ES0 (I²C-bus インタフェース許可ビット) (b3)

I²C回路の使用を許可するビットです。

ES0 ビットを“0”にすると、I²C回路は次の状態になります。

- SDAMM端子、SCLMM端子: 入出力ポートまたはその他の周辺機能の端子
- S00レジスタへの書き込み禁止
- I²C-bus システムクロック (以下fVIICと称す) 停止
- S10レジスタ
 - ADR0ビット: “0” (ジェネラルコール未検出)
 - AASビット: “0” (スレーブアドレス不一致)
 - ALビット: “0” (アービトレーションロスト未検出)
 - PINビット: “1” (I²C-bus 割り込み要求なし)
 - BBビット: “0” (バスフリー)
 - TRXビット: “0” (受信モード)
 - MSTビット: “0” (スレーブモード)
- S11レジスタのAAS2~AAS0ビット: “0” (スレーブアドレス不一致)
- S4D0レジスタのTOFビット: “0” (タイムアウト未検出)

ALS (データフォーマット選択ビット) (b4)

スレーブ送受信時に有効です。ALS ビットが“0” (アドレッシングフォーマット) の場合は、スレーブアドレスの一致検出を行います。S0D0~S0D2 レジスタのいずれかのSAD6~SAD0 ビットに格納されたスレーブアドレスと受信したスレーブアドレスとを比較して一致した場合、またはジェネラルコールを受信した場合、IICICレジスタのIR ビットが“1” (割り込み要求あり) になります。

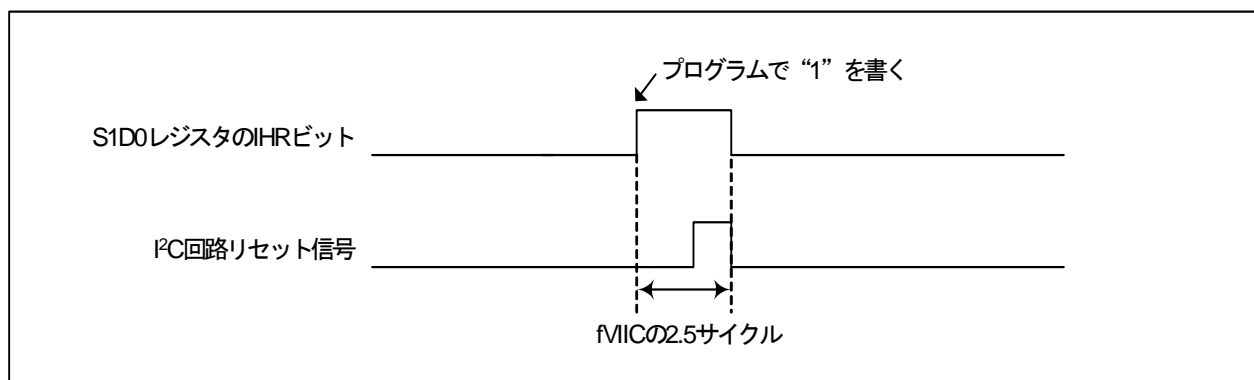
ALS ビットが“1” (フリーデータフォーマット) の場合は、受信したスレーブアドレスの一致検出をしません。したがって受信したスレーブアドレスに関係なくIICIC レジスタのIR ビットが“1” (割り込み要求あり) になります。

IHR (I²C-bus インタフェースリセットビット) (b6)

異常発生時に、I²C回路をリセットするビットです。S1D0レジスタのES0ビットが“1” (I²C回路使用許可) のとき、IHR ビットに“1” (リセット) を書き込むと、I²C回路は次の状態になります。

- S10レジスタ
 - ADR0ビット: “0” (ジェネラルコール未検出)
 - AASビット: “0” (スレーブアドレス不一致)
 - ALビット: “0” (アービトレーションロスト未検出)
 - PINビット: “1” (I²C-bus 割り込み要求なし)
 - BBビット: “0” (バスフリー)
 - TRXビット: “0” (受信モード)
 - MSTビット: “0” (スレーブモード)
- S11レジスタのAAS2~AAS0ビット: “0” (スレーブアドレス不一致)
- S4D0レジスタのTOFビット: “0” (タイムアウト未検出)

IHR ビットに“1”を書き込むと、I²C回路はリセットされ、この時、リセット処理にかかる時間はfVIICクロックの最大2.5サイクルとなります。IHR ビットは自動的に“0”になります。図 22.3 に I²C回路リセットタイミングを示します。

図 22.3 I²C回路リセットタイミング

TISS (I²C-bus インタフェース端子入力レベル選択ビット) (b7)

I²C 回路の SCLMM、SDAMM 端子の入力レベルを選択するビットです。

22.2.4 I²C0クロック制御レジスタ (S20)

I ² C0クロック制御レジスタ		シンボル	アドレス	リセット後の値
		S20	02B4h番地	00h
ビットシンボル	ビット名	機能	RW	
CCR0	ビットレート制御ビット	次の「CCR4~CCR0 (ビットレート制御ビット) (b4~b0)」参照	RW	
CCR1			RW	
CCR2			RW	
CCR3			RW	
CCR4			RW	
FASTMODE	SCLモード指定ビット	0: 標準クロックモード 1: Fast-mode	RW	
ACKBIT	ACKビット	0: ACK応答あり 1: ACK応答なし	RW	
ACKCLK	ACKクロックビット	0: ACKクロックなし 1: ACKクロックあり	RW	

CCR4~CCR0 (ビットレート制御ビット) (b4~b0)

CCR4~CCR0ビットの設定値をCCR値 (CCR値: 3~31) とすると、ビットレートは次の計算式のとおりです。詳細は「22.3.1.2 ビットレートとデューティ」を参照してください。

標準クロックモードの場合

$$\frac{f_{VIIC}}{8 \times \text{CCR値}} \leq 100\text{kbps}$$

Fast-modeかつCCR値が5以外の場合

$$\frac{f_{VIIC}}{4 \times \text{CCR値}} \leq 400\text{kbps}$$

Fast-modeかつCCR値が5の場合

Fast-modeかつCCR値が5の場合はFast-modeの最大値400kbpsにする場合を想定しています。

$$\frac{f_{VIIC}}{2 \times \text{CCR値}} = \frac{f_{VIIC}}{10} \leq 400\text{kbps}$$

f_{VIIC}の周波数に関わらずCCR値を0~2にしないでください。

CCR4~CCR0ビットはS1D0レジスタのES0ビットが“0” (禁止)のときに書き換えてください。

FASTMODE (SCLモード指定ビット) (b5)

Fast-mode I²C-bus規格(最高400kbps)で使用する場合、FASTMODEビットを“1”(Fast-mode)にしてください。また、fVIICを4MHz以上にしてください。

FASTMODEビットはS1D0レジスタのES0ビットが“0”(禁止)のときに書き換えてください。

ACKBIT (ACKビット) (b6)

マスタ受信、スレーブ受信、またはスレーブアドレス受信の場合に有効です。

スレーブアドレス受信の場合、S1D0レジスタのALSビット、ACKBITビット、受信したスレーブアドレスの組み合わせでACKクロック時のSDAMM端子のレベルが決まります。データ受信時はACKBITビットでACKクロック時のSDAMM端子のレベルが決まります。表 22.5にACKクロック時のSDAMM端子のレベルを示します。

表 22.5 ACKクロック時のSDAMM端子のレベル

受信内容	S1D0レジスタのALSビット	S20レジスタのACKBITビット	スレーブアドレスの内容	ACKクロック時のSDAMM端子のレベル
スレーブアドレス	0	0	S4D0レジスタのMSLADビットが“0”のとき S0D0レジスタのSAD6~SAD0ビットと一致 MSLADビットが“1”のとき S0D0~S0D2レジスタのいずれかのSAD6~SAD0ビットと一致	L (ACK)
			0000000b	L (ACK)
			その他	H (NACK)
	1	1	—	H (NACK)
		0	—	L (ACK)
データ	—	1	—	H (NACK)
		0	—	L (ACK)
		1	—	H (NACK)

ACKCLK (ACKクロックビット) (b7)

ACKCLKビットが“1”(ACKクロックあり)の場合、1バイトのデータ送受信(8クロック)に続いてACKクロックを発生します。ACKCLKビットが“0”(ACKクロックなし)の場合、データ送受信(8クロック)後にACKクロックは発生しません。その場合、データ送受信(8クロック)の立ち下がりではICICレジスタのIRビットが“1”(割り込み要求あり)になります。

ACKCLKビットは送受信中に書き換えしないでください。

22.2.6 I²C0制御レジスタ1 (S3D0)

I ² C0制御レジスタ1		シンボル	アドレス	リセット後の値
		S3D0	02B6h番地	0011 0000b
ビットシンボル	ビット名	機能	RW	
SIM	ストップコンディション検出割り込み許可ビット	0 : ストップコンディション検出による I ² C-bus 割り込み禁止 1 : ストップコンディション検出による I ² C-bus 割り込み許可	RW	
WIT	データ受信割り込み許可ビット	書き込み時 : 0 : 8クロック目の I ² C-bus 割り込み禁止 1 : 8クロック目の I ² C-bus 割り込み許可 読み出し時 : 内部WAITビットモニタ 0 : ACKクロックの立ち下がりによる I ² C-bus 割り込み 1 : 8クロック目の I ² C-bus 割り込み	RW	
— (b3-b2)	予約ビット	“0” にしてください	RW	
SDAM	内部SDA出力モニタビット	0 : 0出力 1 : 1出力	RO	
SCLM	内部SCL出力モニタビット	0 : 0出力 1 : 1出力	RO	
ICK0	I ² C-busシステムクロック 選択ビット (S4D0レジスタのICK4~ ICK2が“000b”のとき有効)	b7 b6 0 0 : fIICの2分周 0 1 : fIICの4分周 1 0 : fIICの8分周 1 1 : 設定しないで下さい	RW	
ICK1			RW	

このレジスタに対して、ビット処理命令 (リードモディファイライト命令) を使用しないでください。MOV 命令を使用して書いてください。

SIM (ストップコンディション検出割り込み許可ビット) (b0)

SIM ビットが“1” (ストップコンディション検出による I²C-bus 割り込み許可) の場合、ストップコンディションを検出すると、S4D0 レジスタの SCPIN ビットが“1” (ストップコンディション検出割り込み要求あり)、IICIC レジスタの IR ビットが“1” (割り込み要求あり) になります。

WIT (データ受信割り込み許可ビット) (b1)

マスタ受信、スレーブ受信の場合に有効です。

WITビットは2つの機能を持っています。

- データ受信時の I²C-bus 割り込みタイミングの選択 (書き込み)
- 内部 WAIT フラグの状態のモニタ (読み出し)

次にそれぞれの機能を説明します。

データ受信時、8クロック目 (ACKクロックの前) で I²C-bus 割り込み要求が発生するか、しないかを WITビットに書き込む値で選択できます。

S20レジスタの ACKCLKビットが“1”(ACKクロックあり)で、WITビットに“1”(8クロック目の I²C-bus 割り込み許可)を書いた場合、8クロック目 (ACKクロックの前) で I²C-bus 割り込み要求が発生します。このとき S10レジスタの PINビットが“0”(割り込み要求あり)になります。

S20レジスタの ACKCLKビットが“0”(ACKクロックなし)の場合、WITビットには“0”(データ受信による I²C-bus 割り込み禁止)を書いてください。

データ送信時とスレーブアドレス受信時は、WITビットに書き込む値にかかわらず8クロック目 (ACKクロックの前) では割り込み要求は発生しません。

WITビットを読み出すと内部 WAIT フラグの状態を読み出せます。

9クロック目 (ACKクロック) の立ち下がりでは、WITビットに書き込んだ値に関係なく I²C-bus 割り込み要求が発生します。この場合も S10レジスタの PINビットが“0”(割り込み要求あり)になります。したがって、8クロック目 (ACKクロックの前) の I²C-bus 割り込み要求か、ACKクロックの立ち下がりの I²C-bus 割り込み要求かを判定する場合は、内部 WAIT フラグの状態で判定してください。

WITビットに“1”(データ受信による I²C-bus 割り込み許可)を書き込んだ場合、内部 WAIT フラグは次の条件で変化します。

[0になる条件]

- S20レジスタ (ACKBITビット) への書き込み

[1になる条件]

- データ受信時の S00レジスタへの書き込み

なお、データ送信時とスレーブアドレス受信時は、WITビットに書き込む値にかかわらず、内部 WAIT フラグは“0”で、I²C-bus 割り込み要求は9クロック目 (ACKクロック) の立ち下がり時のみ発生します。

表 22.6 にデータ受信時の割り込み要求発生タイミングと送受信再開の方法を、図 22.4 にデータ受信時の割り込み要求発生タイミングを示します。

表 22.6 データ受信時の割り込み要求発生タイミングと送受信再開の方法

I ² C-bus 割り込み要求発生タイミング	内部 WAIT フラグの状態	送受信再開の方法
8クロック目 (ACKクロックの前) の立ち下がり (注1)	1	S20レジスタの ACKBIT ビットへの書き込み (注3)
9クロック目 (ACKクロック) の立ち下がり (注2)	0	S00レジスタへの書き込み

注1. 図 22.4 IICIC レジスタの IR ビット (1) のタイミング

注2. 図 22.4 IICIC レジスタの IR ビット (2) のタイミング

注3. このとき S20 レジスタの ACKBIT ビット以外のビットの値を変更しないでください。
また、S00 レジスタには書き込まないでください。

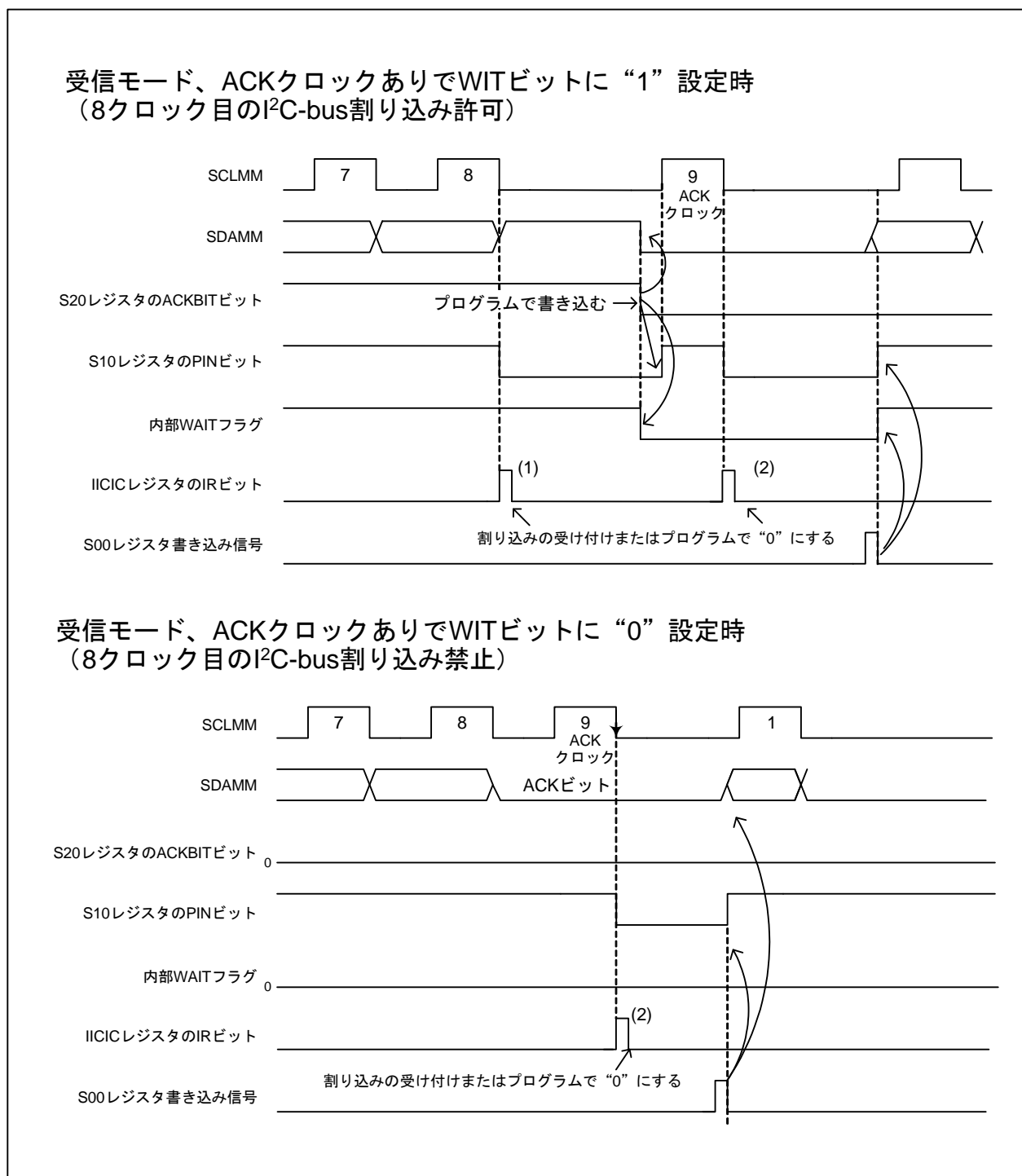


図 22.4 データ受信時の割り込み要求発生タイミング

SDAM (内部SDA出力モニタビット) (b4)**SCLM (内部SCL出力モニタビット) (b5)**

内部SDA出力信号、内部SCL出力信号は、外部デバイスの出力の影響を受ける前のI²C回路の出力レベルです。SDAM、SCLMビットは読み出し専用ビットです。書くときは“0”を書き込んでください。

ICK1~ICK0 (I²C-bus システムクロック選択ビット) (b7~b6)

ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0” (I²C回路禁止) のとき書き換えてください。

ICK1~ICK0ビット、S4D0レジスタのICK4~ICK2ビット、PCLKRレジスタのPCLK0ビットの設定によって、fVIICを選択します。「22.3.1.2 ビットレートとデューティ」を参照してください。

表 22.7 I²C-bus システムクロック選択ビット

S4D0レジスタ			S3D0レジスタ		fVIIC
ICK4ビット	ICK3ビット	ICK2ビット	ICK1ビット	ICK0ビット	
0	0	0	0	0	fIICの2分周
0	0	0	0	1	fIICの4分周
0	0	0	1	0	fIICの8分周
0	0	1	—	—	fIICの2.5分周
0	1	0	—	—	fIICの3分周
0	1	1	—	—	fIICの5分周
1	0	0	—	—	fIICの6分周

—: “0”でも“1”でもよい

上記以外の組み合わせは設定しないでください。

22.2.7 I²C0制御レジスタ2 (S4D0)

I ² C0制御レジスタ2		シンボル S4D0	アドレス 02B7h番地	リセット後の値 00h					
b7	b6	b5	b4	b3	b2	b1	b0		
ビット シンボル	ビット名	機能		RW					
TOE	タイムアウト検出機能許可ビット	0: 禁止 1: 許可		RW					
TOF	タイムアウト検出フラグ	0: 未検出 1: 検出		RO					
TOSEL	タイムアウト検出時間選択ビット	0: ロングタイム 1: ショートタイム		RW					
ICK2	I ² C-busシステムクロック 選択ビット	b5 b4 b3	0 0 0: S3D0レジスタのICK1、 ICK0ビット有効 0 0 1: fIICの2.5分周 0 1 0: fIICの3分周 0 1 1: fIICの5分周 1 0 0: fIICの6分周 上記以外は設定しないでください	RW					
ICK3				RW					
ICK4				RW					
MSLAD		スレーブアドレス制御ビット		0: S0D0レジスタのみ有効 1: S0D0~S0D2レジスタ有効		RW			
SCPIN	ストップコンディション 検出割り込み要求ビット	0: I ² C-bus割り込み要求なし 1: I ² C-bus割り込み要求あり		RW					

TOE (タイムアウト検出機能許可ビット) (b0)

タイムアウト検出機能を許可するビットです。タイムアウトは「22.3.9 タイムアウト検出」を参照してください。

TOF (タイムアウト検出フラグ) (b1)

TOEビットが“1”のとき有効です。TOFビットが“1”(検出)になると、同時にIICICレジスタのIRビットが“1”(割り込み要求あり)になります。

[“0”になる条件]

- S1D0レジスタのES0ビットを“0”(I²C回路禁止)にする
- S1D0レジスタのIHRビットを“1”(I²C回路リセット)にする

[“1”になる条件]

- S10レジスタのBBビットが“1”(バスビジー)のとき、SCLMM端子のレベルがタイムアウト検出時間以上“H”

TOSEL (タイムアウト検出時間選択ビット) (b2)

TOE ビットが“1” (タイムアウト検出機能許可) のとき有効です。タイムアウト検出時間を選択するビットです。ロングタイムでは内部カウンタを16ビットカウンタとして、またショートタイムでは14ビットカウンタとして、fVIICをアップカウントします。したがって、タイムアウト検出時間は次のようになります。

TOSEL ビットが“0” (ロングタイム) の場合

$$65536 \times \frac{1}{fVIIC}$$

TOSEL ビットが“1” (ショートタイム) の場合

$$16384 \times \frac{1}{fVIIC}$$

タイムアウト検出時間例を表 22.8 に示します。

表 22.8 タイムアウト検出時間例

fVIIC	タイムアウト検出時間	
	TOSEL ビット: “0” (ロングタイム)	TOSEL ビット: “1” (ショートタイム)
4MHz	16.4ms	4.1ms
2MHz	32.8ms	8.2ms
1MHz	65.6ms	16.4ms

TOE ビットが“0” のときに書き換えてください。

ICK4~ICK2 (I²C-bus システムクロック選択ビット) (b5~b3)

ICK4~ICK2 ビットは、S1D0 レジスタの ES0 ビットが“0” (I²C 回路禁止) のとき書き換えてください。

ICK4~ICK2 ビット、S3D0 レジスタの ICK1~ICK0 ビット、PCLKR レジスタの PCLK0 ビットの設定によって、fVIIC を選択します。「表 22.7 I²C-bus システムクロック選択ビット」、「22.3.1.2 ビットレートとデューティ」を参照してください。

MSLAD (スレーブアドレス制御ビット) (b6)

MSLAD ビットは、S1D0 レジスタの ALS ビットが“0” (アドレッシングフォーマット) のとき有効です。スレーブアドレス一致検出の対象となる S0Di (i=0~2) レジスタを選択するビットです。

SCPIN (ストップコンディション検出割り込み要求ビット) (b7)

SCPIN ビットは S3D0 レジスタの SIM ビットが“1” (ストップコンディション検出による I²C-bus 割り込み許可) の場合、有効です。

〔“0” になる条件〕

- プログラムで“0” を書く

〔“1” になる条件〕

- ストップコンディション検出
(プログラムで“1” を書いても変化しません)

22.2.8 I²C0ステータスレジスタ0 (S10)

I ² C0ステータスレジスタ0		シンボル S10	アドレス 02B8h番地	リセット後の値 0001 000Xb
ビット シンボル	ビット名	機 能		RW
LRB	最終受信ビット	読み出し時: 0: 最終ビット= 0 1: 最終ビット= 1 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
ADR0	ジェネラルコール検出フラグ	読み出し時: 0: ジェネラルコール未検出 1: ジェネラルコール検出 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
AAS	スレーブアドレス比較フラグ	読み出し時: 0: アドレス不一致 1: アドレス一致 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
AL	アービトラージロスト検出フラグ	読み出し時: 0: 未検出 1: 検出 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
PIN	I ² C-busインタフェース 割り込み要求ビット	読み出し時: 0: 割り込み要求あり 1: 割り込み要求なし 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
BB	バスビジーフラグ	読み出し時: 0: バスフリー 1: バスビジー 書き込み時: 「表 22.9 S10レジスタ書き込みによる機能」参照		RW
TRX	通信モード指定ビット0	0: 受信モード 1: 送信モード		RW
MST	通信モード指定ビット1	0: スレーブモード 1: マスタモード		RW

このレジスタに対して、ビット処理命令（リードモディファイライト命令）を使用しないでください。MOV命令を使用して書いてください。

S10レジスタの下位6ビットはI²C回路の状態をモニタするビットです。プログラムで値を変更することはできません。ただし、下位6ビットを含むS10レジスタへの書き込みは、スタートコンディション、またはストップコンディションを発生させる際に使用します。

MST、TRXビットは読み出し、書き込みが可能です。スタート/ストップコンディションを発生させないで、MSTビットまたはTRXビットを変更する場合、S10レジスタの下位4ビットに書く値は“1111b”にしてください。

表 22.9 に S10 レジスタ書き込みによる機能を示します。表 22.9 に示した値以外の値を S10 レジスタに書き込まないでください。表 22.9 に示す値を S10 レジスタに書き込んだ場合、S10 レジスタの下位 6 ビットは変化しません。

表 22.9 S10 レジスタ書き込みによる機能

S10 レジスタ各ビットの書き込み値								機能
MST	TRX	BB	PIN	AL	AAS	ADR0	LRB	
1	1	1	0	0	0	0	0	マスタ送受信モード時、スタートコンディションスタンバイ状態にする
1	1	0	0	0	0	0	0	マスタ送受信モード時、ストップコンディションスタンバイ状態にする
0	0	—	0	1	1	1	1	スレーブ受信モード
0	1	—	0	1	1	1	1	スレーブ送信モード
1	0	—	0	1	1	1	1	マスタ受信モード
1	1	—	0	1	1	1	1	マスタ送信モード

—: 0でも1でもよい

スタートコンディション、ストップコンディション発生は「22.3.2 スタートコンディション発生方法」、「22.3.3 ストップコンディション発生方法」を参照してください。

LRB (最終受信ビット) (b0)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10 レジスタ書き込みによる機能」を参照してください。

受信した最終ビットの値を格納するビットです。受信したデータの ACK 確認に使用できます。S00 レジスタへの書き込みで“0”になります。

ADR0 (ジェネラルコール検出フラグ) (b1)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10 レジスタ書き込みによる機能」を参照してください。

["0" になる条件]

- ストップコンディションの検出
- スタートコンディションの検出
- S1D0 レジスタの ES0 ビットを“0” (I²C回路禁止) にする
- S1D0 レジスタの IHR ビットを“1” (I²C回路リセット) にする

["1" になる条件]

- スレーブモード時、S1D0 レジスタの ALS ビットが“0” (アドレッシングフォーマット) で、受信したスレーブアドレスが“0000000b” (ジェネラルコール)

AAS (スレーブアドレス比較フラグ) (b2)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10レジスタ書き込みによる機能」を参照してください。

[“0”になる条件]

- S00レジスタへの書き込み
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

[“1”になる条件]

- スレーブ受信モード時、S4D0レジスタのMSLADビットが“1”かつS1D0レジスタのALSビットが“0” (アドレッシングフォーマット) で、受信スレーブアドレスがS0D0~S0D2レジスタのいずれかのSAD6~SAD0ビットと一致
- スレーブ受信モード時、MSLADビットが“0”かつS1D0レジスタのALSビットが“0” (アドレッシングフォーマット) で、受信スレーブアドレスがS0D0レジスタのSAD6~SAD0ビットと一致
- スレーブ受信モード時、S1D0レジスタのALSビットが“0” (アドレッシングフォーマット) で、受信したスレーブアドレスが“0000000b” (ジェネラルコール)

AL (アービトレーションロスト検出フラグ) (b3)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10レジスタ書き込みによる機能」を参照してください。

[“0”になる条件]

- S00レジスタへの書き込み
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

[“1”になる条件]

- マスタ送信モードまたはマスタ受信モードでスレーブアドレス送出時、ACKクロック以外でSDAMM端子のレベルが外部デバイスによって“L”になった
- マスタ送信モードでデータ送信時、ACKクロック以外でSDAMM端子のレベルが外部デバイスによって“L”になった
- マスタ送信モードまたはマスタ受信モードでスタートコンディション送出時、SDAMM端子のレベルが外部デバイスによって“L”になった
- マスタ送信モードまたはマスタ受信モードでストップコンディション送出時、SDAMM端子のレベルが外部デバイスによって“L”になった
- スタートコンディション重複防止機能が動作した

PIN (I²C-bus インタフェース 割り込み要求ビット) (b4)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10 レジスタ書き込みによる機能」を参照してください。

["0" になる条件]

- マスタモード時、スレーブアドレス送信完了 (アービトレーションロストを検出した場合を含む)
- 1バイトのデータ送信完了 (アービトレーションロストを検出した場合を含む)
- 1バイトのデータ受信完了 (S20 レジスタの ACKCLK ビットが "0" の場合、8クロック目の立ち下がりエッジ検出。ACKCLK ビットが "1" の場合 ACK クロックの立ち下がりエッジ検出)
- S3D0 レジスタの WIT ビットが "1" (8クロック目の I²C-bus 割り込み許可) で、1バイトのデータ受信 (ACK クロックの前)
- スレーブ受信モード時、S4D0 レジスタの MSLAD ビットが "1" かつ S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが S0D0~S0D2 レジスタのいずれかの SAD6~SAD0 ビットと一致 (スレーブアドレス一致)
- スレーブ受信モード時、MSLAD ビットが "0" かつ S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが S0D0 レジスタの SAD6~SAD0 ビットと一致 (スレーブアドレス一致)
- スレーブ受信モード時、S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット) で、受信したスレーブアドレスが "0000000b" (ジェネラルコール)
- スレーブ受信モード時、S1D0 レジスタの ALS ビットが "1" (フリーデータフォーマット) で、スレーブアドレス受信完了

["1" になる条件]

- S00 レジスタへの書き込み
- S20 レジスタへの書き込み (WIT ビットが "1" で、内部 WAIT フラグが "1" の場合)
- S1D0 レジスタの ES0 ビットを "0" (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを "1" (I²C 回路リセット) にする

PIN ビットが "0" (I²C-bus 割り込み要求あり) になると同時に IICIC レジスタの IR ビットが "1" (割り込み要求あり) になります。PIN ビットが "0" のとき、SCLMM 端子から "L" を出力します。

ただし、以下のすべての条件を満たすとき、SCLMM 端子から "L" を出力しません。

- マスタモード時、スレーブアドレスもしくはデータでアービトレーションロストを検出する
- S1D0 レジスタの ALS ビットが "0" (アドレッシングフォーマット)
- スレーブアドレスが "0000000b" (ジェネラルコール) でなく、また、どの S0D0~S0D2 レジスタの SAD6~SAD0 ビットとも一致しない場合

BB (バスビジーフラグ) (b5)

読み出し時の機能を説明します。書き込み時の機能は「表 22.9 S10 レジスタ書き込みによる機能」を参照してください。

バスシステムの使用状態を示すビットです。マスタモード、スレーブモードにかかわらず BB フラグは SCLMM、SDAMM 入力信号をもとに変化します。

["0" になる条件]

- ストップコンディションの検出
- S1D0 レジスタの ES0 ビットを "0" (I²C 回路禁止) にする
- S1D0 レジスタの IHR ビットを "1" (I²C 回路リセット) にする

["1" になる条件]

- スタートコンディションの検出

TRX (通信モード指定ビット0) (b6)

送信モードまたは受信モードを選択するビットです。

[“0”になる条件]

- プログラムでTRXビットに“0”を書く
- アービトレーションロスト検出
- ストップコンディション検出
- スタートコンディション重複防止機能が動作
- S10レジスタのMSTビットが“0” (スレーブモード) でスタートコンディション検出
- S10レジスタのMSTビットが“0” (スレーブモード) でACK応答なしを検出
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

[“1”になる条件]

- プログラムでTRXビットに“1”を書く
- スレーブモード時、S1D0レジスタのALSビットが“0” (アドレッシングフォーマット) でスレーブアドレス受信後にS10レジスタのAASビットが“1” (アドレス一致) になり、かつ受信したR/Wビットが“1”

MST (通信モード指定ビット1) (b7)

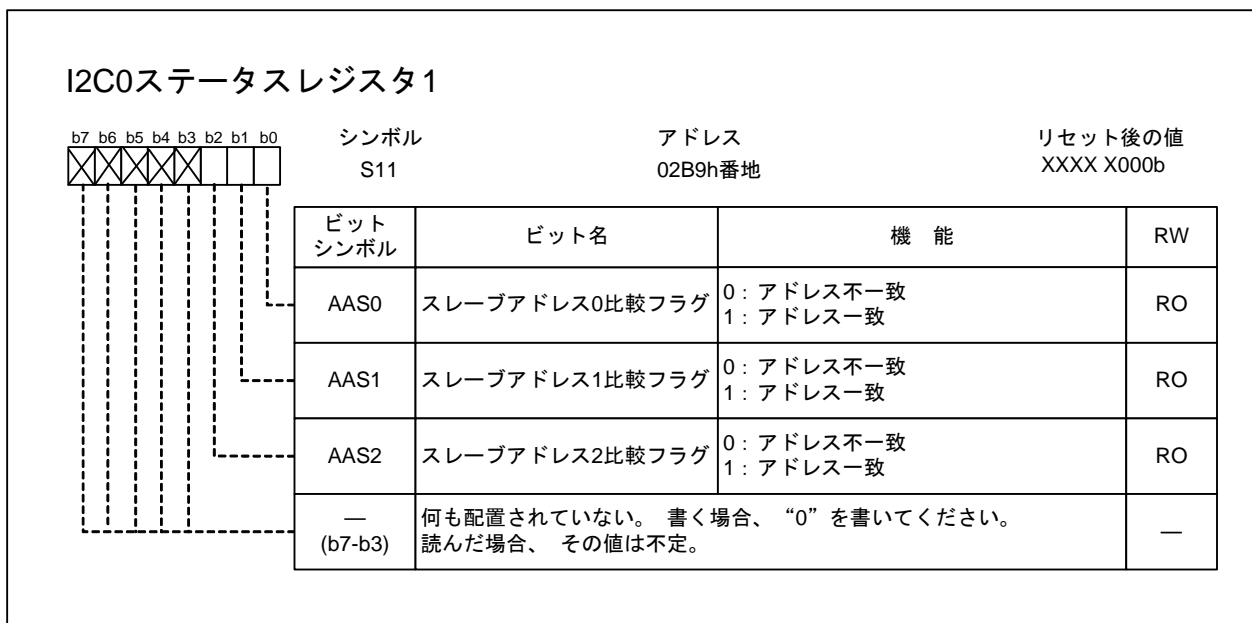
マスタモードまたはスレーブモードを選択するビットです。

[“0”になる条件]

- プログラムでMSTビットに“0”を書く
- アービトレーションロストを検出した場合、アービトレーションを失った1バイトデータの送受信完了
- ストップコンディション検出
- スタートコンディション重複防止機能が動作
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする

[“1”になる条件]

- プログラムでMSTビットに“1”を書く

22.2.9 I²C0ステータスレジスタ1 (S11)

AAS0 (スレーブアドレス0比較フラグ) (b0)

AAS1 (スレーブアドレス1比較フラグ) (b1)

AAS2 (スレーブアドレス2比較フラグ) (b2)

S1D0レジスタのALSビットが“0” (アドレッシングフォーマット) の場合、受信したスレーブアドレスと、S0Diレジスタ (i=0~2) のSAD6~SAD0ビットの値を比較し、その結果をAASiビットに示します。AASiビットは、アドレス一致またはジェネラルコールの場合“1”になります。

S4D0レジスタのMSLADビットが“0” (S0D0レジスタのみ有効) のとき、AAS0ビットが有効になります。MSLADビットが“1” (S0D0~S0D2レジスタ有効) のとき、AAS2~AAS0ビットが有効となります。AAS2~AAS0ビットは次のとき“0”になります。

- S1D0レジスタのESOビットを“0” (I²C回路禁止) にする
- S1D0レジスタのIHRビットを“1” (I²C回路リセット) にする
- S00レジスタへの書き込み

22.3 動作説明

22.3.1 クロック

図 22.5 に I²C 回路のクロックを示します。

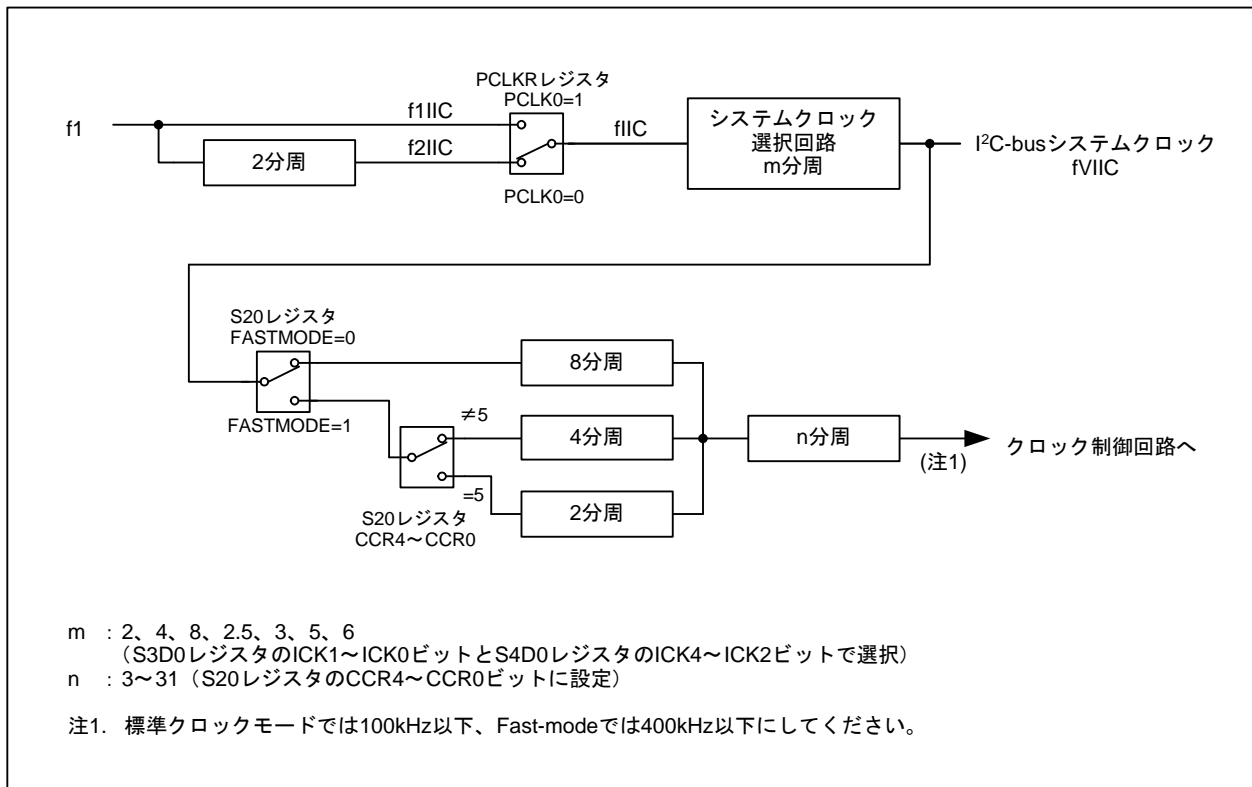


図 22.5 I²C 回路のクロック

22.3.1.1 fVIIC

fVIICは周辺機能クロック f1 の周波数、PCLKR レジスタのPCLK0ビット、S3D0レジスタのICK1~ICK0ビット、S4D0レジスタのICK4~ICK2ビットの組み合わせで決まります。fVIICはS1D0レジスタのES0ビットが“0” (I²C回路禁止) のときは停止します。

「表 22.7 I²C-bus システムクロック選択ビット」を参照してください。

22.3.1.2 ビットレートとデューティ

ビットレートはfVIICと、S20レジスタのCCR4~CCR0ビット、FASTMODEビットの組み合わせで決まります。

表 22.10に内部SCL出力のビットレートとデューティを示します。内部SCL出力の“H”の期間の変動が負値の場合、“H”の期間が短くなった分、“L”の期間が延びますのでビットレートが上がることはありません。なお、これらは外部デバイスのSCL出力の影響を受ける前の内部SCL出力です。

表 22.10 内部SCL出力のビットレートとデューティ

項目	標準クロックモード (FASTMODE=0)	Fast-mode (FASTMODE=1) CCR値が“5”以外	Fast-mode (FASTMODE=1) CCR値が“5”
ビットレート (単位: bps)	$\frac{fVIIC}{8 \times CCR \text{ 値}}$	$\frac{fVIIC}{4 \times CCR \text{ 値}}$	$\frac{fVIIC}{2 \times CCR \text{ 値}} = \frac{fVIIC}{10}$
デューティ	50% “H”の期間の変動: fVIICの+2 ~ -4サイクル	50% “H”の期間の変動: fVIICの+2 ~ -2サイクル	35~45%

CCR値: CCR4~CCR0ビットの設定値

Fast-modeかつCCR4~CCR0ビットの設定値(CCR値)が“5(00101b)”の場合は、ビットレートをFast-modeの最大値400kbpsにする場合を想定しています。そのため、ビットレートやデューティは次のようになります。

- ビットレートは

$$\frac{fVIIC}{2 \times CCR \text{ 値}} = \frac{fVIIC}{10}$$

fVIICが4MHzの場合、ビットレートは400kbps

- デューティは35~45%

ビットレートが400kbpsの場合も、SCLMMの“L”期間最小1.3μs(I²C-bus規格値)を確保します。

表 22.11にfVIICが4MHzの場合のCCR4~CCR0ビットの設定値とビットレートの例を示します。

表 22.11 fVIICが4MHzの場合のCCR4~CCR0ビットの設定値とビットレートの例

S20レジスタのCCR4~CCR0ビット					ビットレート (単位: kbps)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード	Fast-mode
0	0	0	0	0	設定しないでください(注1)	設定しないでください(注1)
0	0	0	0	1	設定しないでください(注1)	設定しないでください(注1)
0	0	0	1	0	設定しないでください(注1)	設定しないでください(注1)
0	0	0	1	1	設定しないでください(注2)	333
0	0	1	0	0	設定しないでください(注2)	250
0	0	1	0	1	100	400
0	0	1	1	0	83.3	166
:	:	:	:	:	(中略)	(中略)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. CCR4~CCR0ビット値はfVIICの周波数に関わらず0~2にしないでください。

注2. ビットレートが、標準クロックモードで100kbps、Fast-modeで400kbpsを超えるような値は設定しないでください。

22.3.1.3 ウェイトモード、ストップモードでのスレーブアドレス受信

CM0レジスタのCM02ビットで“0”（ウェイトモード時、周辺機能クロックf1を停止しない）を選択してウェイトモードに遷移した場合、ウェイトモード中も、I²C回路はスレーブアドレス受信が可能です。

CM0レジスタのCM02ビットで“1”（ウェイトモード時、周辺機能クロックf1を停止する）を選択してウェイトモードに遷移した場合、ストップモード時、または低消費電力モード時はfVIICが供給されないため、I²C回路は動作しません。SCL/SDA割り込みは、ウェイトモード、ストップモードでも使用可能です。

22.3.2 スタートコンディション発生方法

S1D0レジスタのES0ビットが“1”（I²C回路許可）、S10レジスタのBBビットが“0”（バスフリー）の状態、次の手順を実行してください。図 22.6にスタートコンディション発生手順を示します。

(1) S10レジスタに“E0h”を書き込む

スタートコンディションスタンバイ状態になり、SDAMM端子を開放します。

(2) S00レジスタにスレーブアドレスを書き込む

スタートコンディションが発生します。その後、ビットカウンタが“000b”になり1バイト分のSCLクロックが出力され、スレーブアドレスを送信します。

なお、ストップコンディションを発生し、BBビットが“0”（バスフリー）になってからfVIICの1.5サイクル間は、S10レジスタに値を書き込めず、その後、S00レジスタに書き込んででもスタートコンディションは発生しません。BBビットが“1”から“0”に変化した後すぐにスタートコンディション発生の手順を行う場合は、(1)の後にTRXビットおよびMSTビットがともに“1”になっている事を確認後、(2)を実行してください。

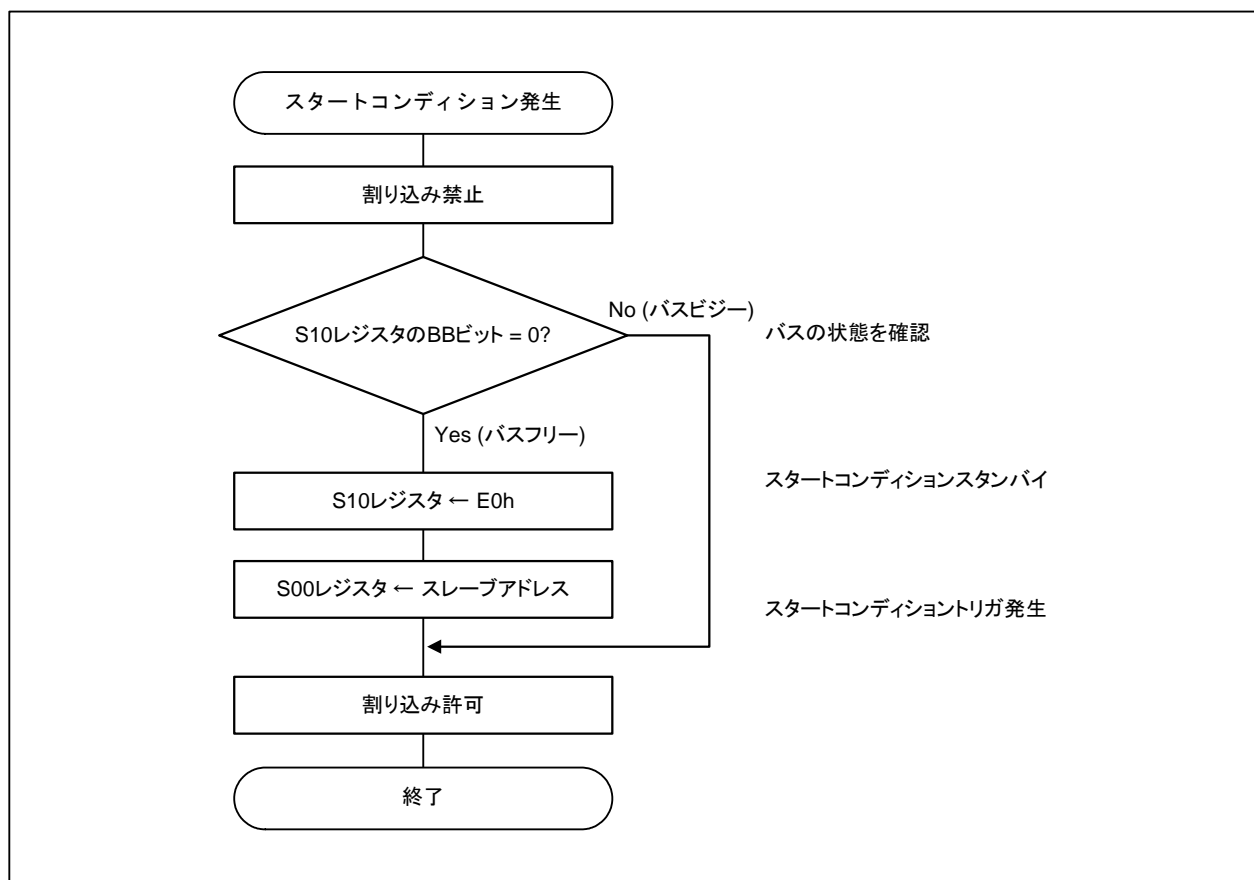


図 22.6 スタートコンディション発生手順

スタートコンディションの発生タイミングは、標準クロックモードと Fast-mode で異なります。図 22.7 にスタートコンディション発生タイミングを示します。

表 22.12 にスタート/ストップコンディション発生のセットアップ/ホールド時間を示します。

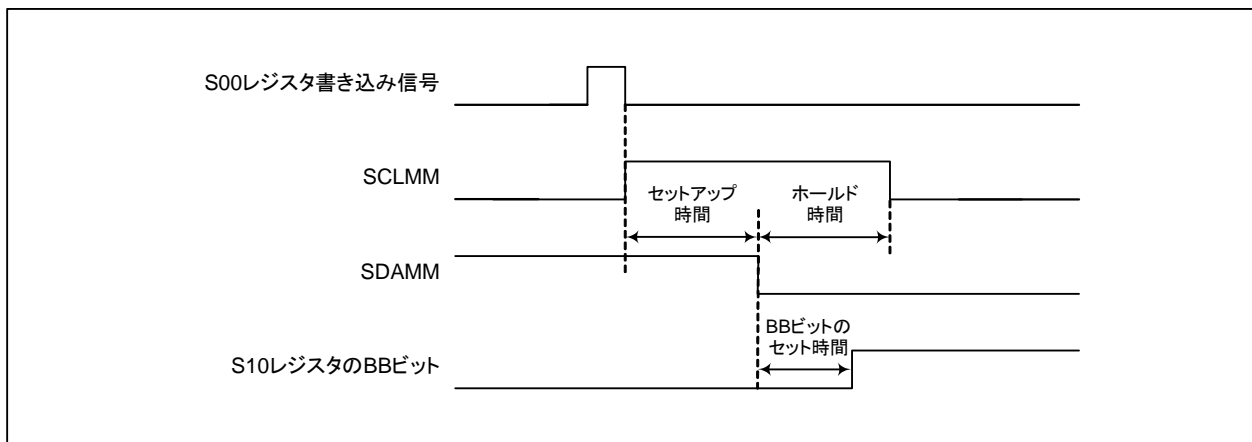


図 22.7 スタートコンディション発生タイミング

表 22.12 スタート/ストップコンディション発生のセットアップ/ホールド時間

項目	STSPSEL ビット	標準クロックモード		Fast-mode	
		fVIIC の サイクル数	fVIIC=4MHz の場合	fVIIC の サイクル数	fVIIC=4MHz の場合
セットアップ時間	0 (ショートモード)	20	5.0µs	10	2.5µs
	1 (ロングモード)	52	13.0µs	26	6.5µs
ホールド時間	0 (ショートモード)	20	5.0µs	10	2.5µs
	1 (ロングモード)	52	13.0µs	26	6.5µs
BB ビットセット/ リセット時間	—	$\frac{SSC \text{ 値} - 1}{2} + 2$	3.375µs (注1)	3.5	0.875µs

—: 0でも1でもよい

STSPSEL: S2D0レジスタのビット

SSC 値: S2D0レジスタのSSC4~SSC0ビットの値

注1. SSC4~SSC0ビットが“11000b”の例

22.3.3 ストップコンディション発生方法

S1D0レジスタのES0ビットが“1” (I²C回路許可) の状態で、次の手順を実行してください。

- (1) S10レジスタの“C0h”を書き込む
ストップコンディションスタンバイ状態になり、SDAMM端子を“L”にします。
- (2) S00レジスタにダミーデータを書き込む
ストップコンディションが発生します。

ストップコンディションの発生タイミングは、標準クロックモードと Fast-mode で異なります。図 22.8 にストップコンディション発生タイミングを示します。セットアップ/ホールド時間は「表 22.12 スタート/ストップコンディション発生時のセットアップ/ホールド時間」を参照してください。

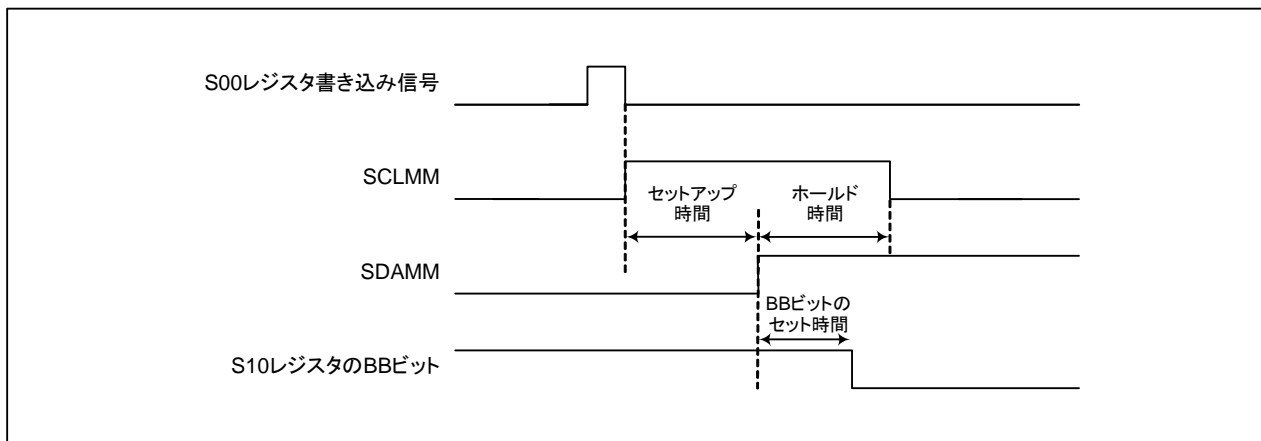


図 22.8 ストップコンディション発生タイミング

なお、ストップコンディションを発生させる命令 (上記(2)を参照) を実行した後、S10レジスタのBBビットが“0” (バスフリー) になるまでの間、S10レジスタまたはS00レジスタに書き込みを行わないでください。

また、ストップコンディションを発生させる命令を実行し、SCLMM端子のレベルが“H”になった後、S10レジスタのBBビットが“0” (バスフリー) になるまでの間に、SCLMM端子の入力信号が“L”になると、内部SCL出力を“L”にします。この場合、以下のいずれかの処理を行うとSCLMM端子の“L”出力を停止 (SCLMM端子を開放) します。

- ストップコンディションの発生 (前述の(1)(2)の手順を実行)
- S1D0レジスタのES0ビットを“0” (I²C回路禁止) にする
- IHRビットを“1” (I²C回路リセット) にする

22.3.4 リスタートコンディションの発生

1バイトのデータ送受信後にリスタートコンディションを発生させる場合は、次の手順を実行してください。

- (1) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態。SDAMM端子開放)
- (2) SDAMM端子が“H”になるまで待つ
- (3) S00レジスタにスレーブアドレスを書き込む(スタートコンディショントリガ発生)

図 22.9 にリスタートコンディション発生タイミングを示します。

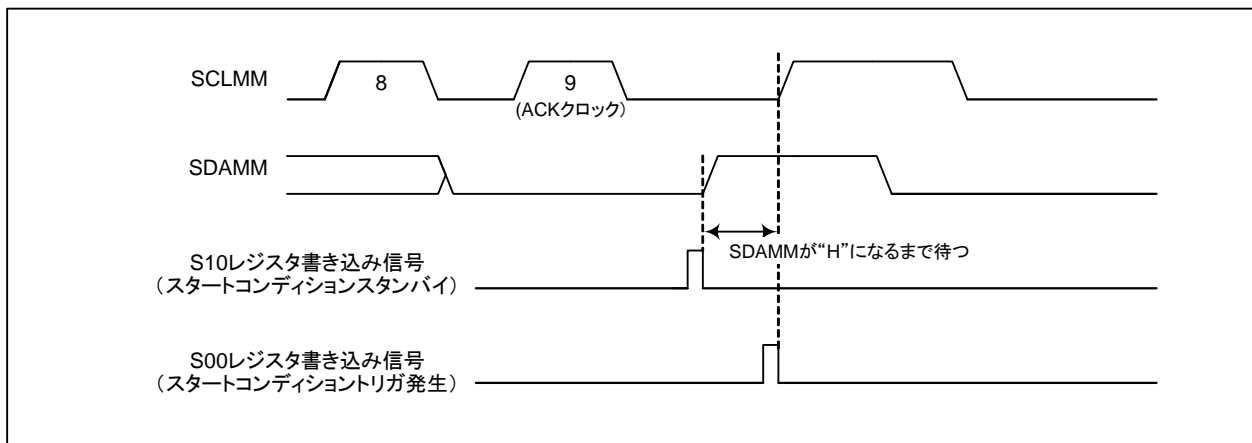


図 22.9 リスタートコンディション発生タイミング

22.3.5 スタートコンディション重複防止機能

スタートコンディション生成時は、プログラムでS10レジスタのBBビットでバスが使用されていないことを確認した後に、プログラムでS10レジスタ、S00レジスタに書き込むと、I²C回路がスタートコンディションを発生します。しかし、BBビットの確認後、S10レジスタ、S00レジスタに書き込む前に別のマスタデバイスがスタートコンディションを生成する可能性があります。この場合、I²C回路がスタートコンディションを検出するとBBビットが“1”（バスビジー）になり、スタートコンディション重複防止機能が動作します。

スタートコンディション重複防止機能の動作は次のとおりです。

- S10レジスタに“E0h”を書いても、スタートコンディションスタンバイ状態にならない
- スタートコンディションスタンバイ状態になっていた場合は、状態を解除する
- プログラムでS00レジスタに書き込んでも、スタートコンディショントリガは発生しない
- S10レジスタのMST、TRXビットが“0”（スレーブ受信モード）になる
- S10レジスタのALビットが“1”（アービトレーションロスト検出）になる

図 22.10 にスタートコンディション重複防止機能動作例を示します。

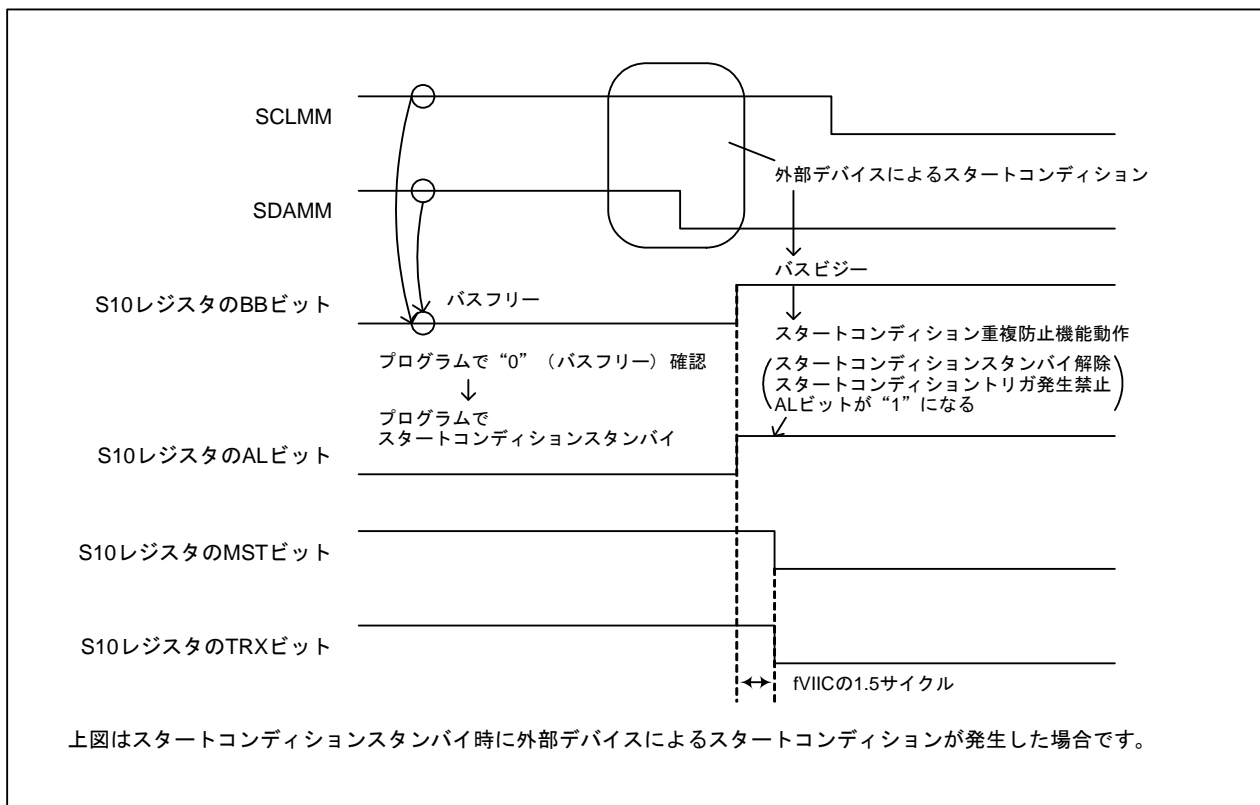


図 22.10 スタートコンディション重複防止機能動作例

スタートコンディション重複防止機能の有効期間は、スタートコンディションのSDAMM立ち下がりからスレーブアドレスの受信完了までです。すなわち、この期間にS10レジスタ、S00レジスタに書き込むと前述の動作をします。図 22.11 にスタートコンディション重複防止機能有効期間を示します。

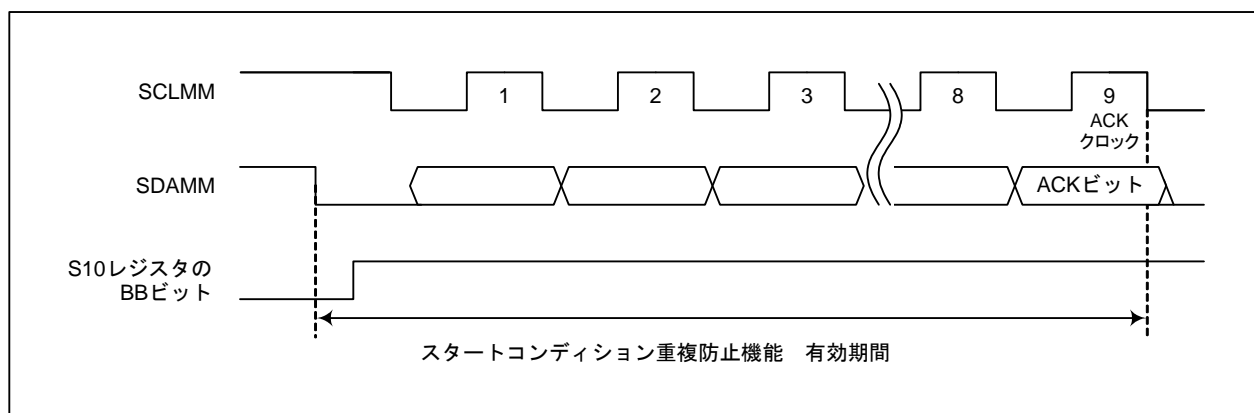


図 22.11 スタートコンディション重複防止機能有効期間

22.3.6 アービトレーションロスト

I²C回路は、次の(a)~(c)の条件をすべて満たす場合に、外部デバイスによってSDAMM端子のレベルが“L”になった、すなわちアービトレーションロストと判定します。

(a) 通信状態: 次のいずれか

- ・マスタ送信モードまたはマスタ受信モードでスレーブアドレス送出(ACKクロック以外)
- ・マスタ送信モードでデータ送信(ACKクロック以外)
- ・マスタ送信モードまたはマスタ受信モードでスタートコンディション送出
- ・マスタ送信モードまたはマスタ受信モードでストップコンディション送出

(b) 内部SDA出力: H

(c) SDAMM端子のレベル: L (SCLMM端子のクロックの立ち上がりエッジでサンプリング)

図 22.12にアービトレーションロスト検出時の動作例を示します。

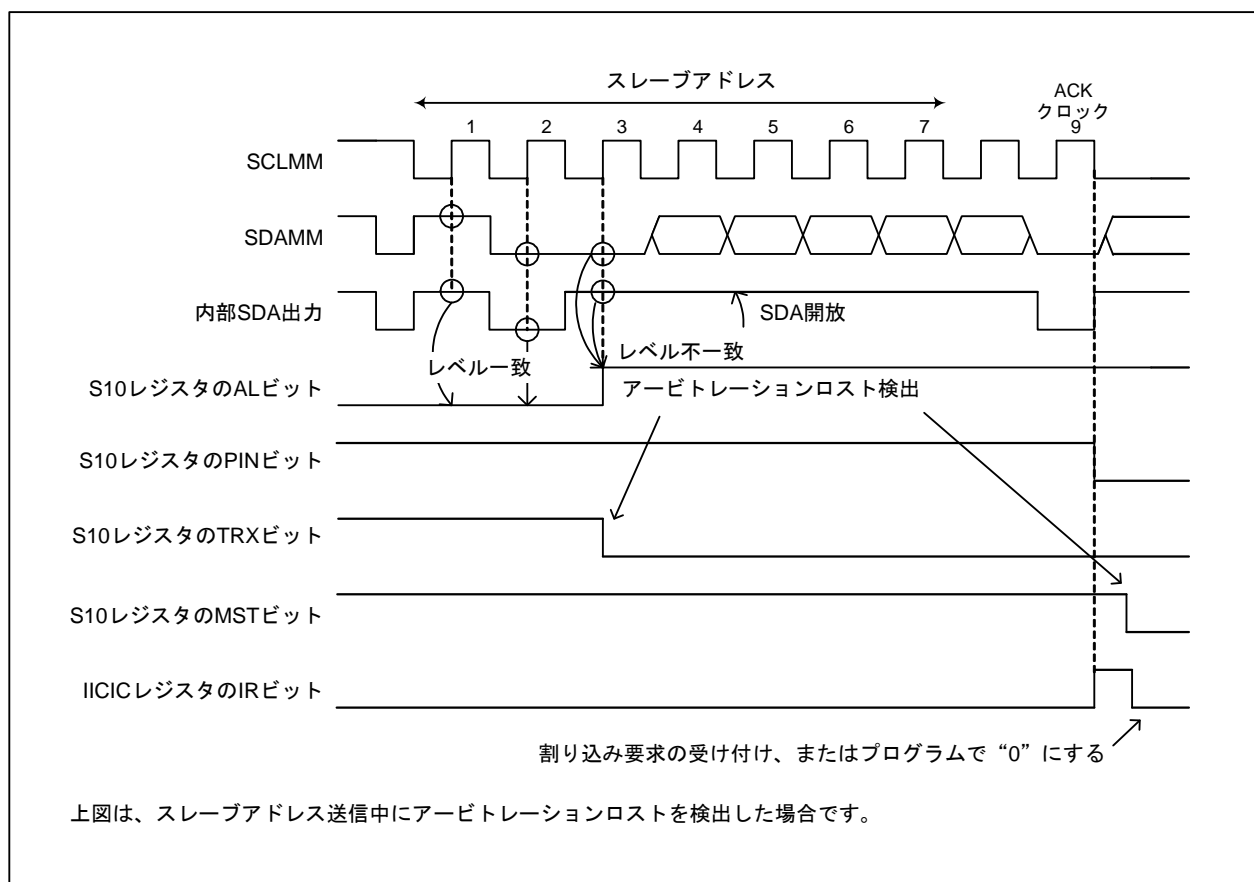


図 22.12 アービトレーションロスト検出時の動作例

アービトレーションロストを検出すると、次のようになります。

- ・S10レジスタのALビット: “1” (アービトレーションロスト検出)
- ・内部SDA出力: “H” (SDAMM開放)
- ・スレーブ受信モードになる
 - S10レジスタのTRXビット: “0” (受信モード)
 - S10レジスタのMSTビット: “0” (スレーブモード)

アービトレーションロスト検出後、ALビットを“0”に戻す場合は、S00レジスタに値を書き込んでください。

スレーブアドレス送信中にアービトレーションロストを検出した場合、自動でスレーブ受信モードになるので、スレーブアドレスを受信できます。S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)の場合、スレーブアドレス比較結果はS10レジスタのADR0ビット、AASビットで分かります。データ送信中にアービトレーションロストを検出した場合も、自動でスレーブ受信モードになるので、データを受信できます。

なお、アービトレーションロストを検出すると、スレーブアドレスの次のビットが“1”(リード)の場合も、TRXビットが“0”(受信モード)になります。このため、アービトレーションロスト検出後は、S00レジスタを読み出し、ビット0が“1”ならば、S10レジスタに“4Fh”(スレーブ送信モード)を書き込んでから、スレーブ送信してください。

22.3.7 スタート/ストップコンディション検出

図 22.13 にスタートコンディション検出、図 22.14 にストップコンディション検出、表 22.13 にスタート/ストップコンディション検出条件を示します。

スタート/ストップコンディションはS2D0レジスタのSSC4~SSC0ビットにより条件が設定され、SCLMM端子、SDAMM端子の入力信号が、表 22.13 のSCLMM開放時間、セットアップ時間、ホールド時間の3つの条件を満たす場合のみ検出できます。

S10レジスタのBBビットは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。BBビットのセット/リセットタイミングは標準クロックモードとFast-modeで異なります。表 22.14 のBBビットセット/リセット時間を参照してください。

表 22.14 に標準クロックモードでのSSC4~SSC0ビットの推奨値を示します。

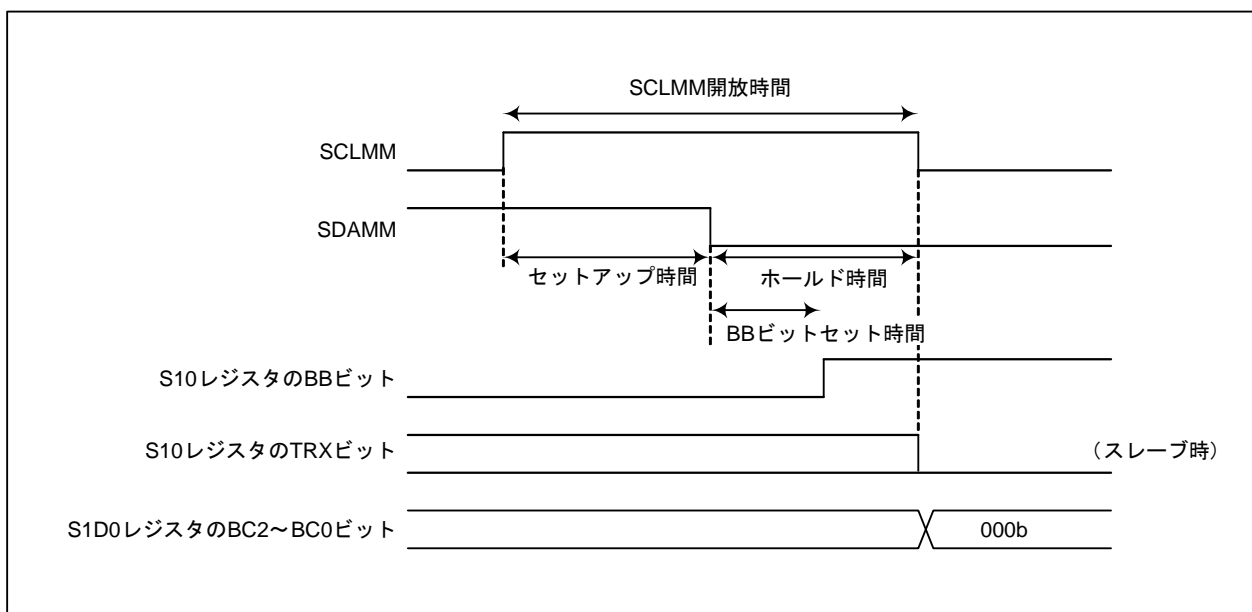


図 22.13 スタートコンディション検出

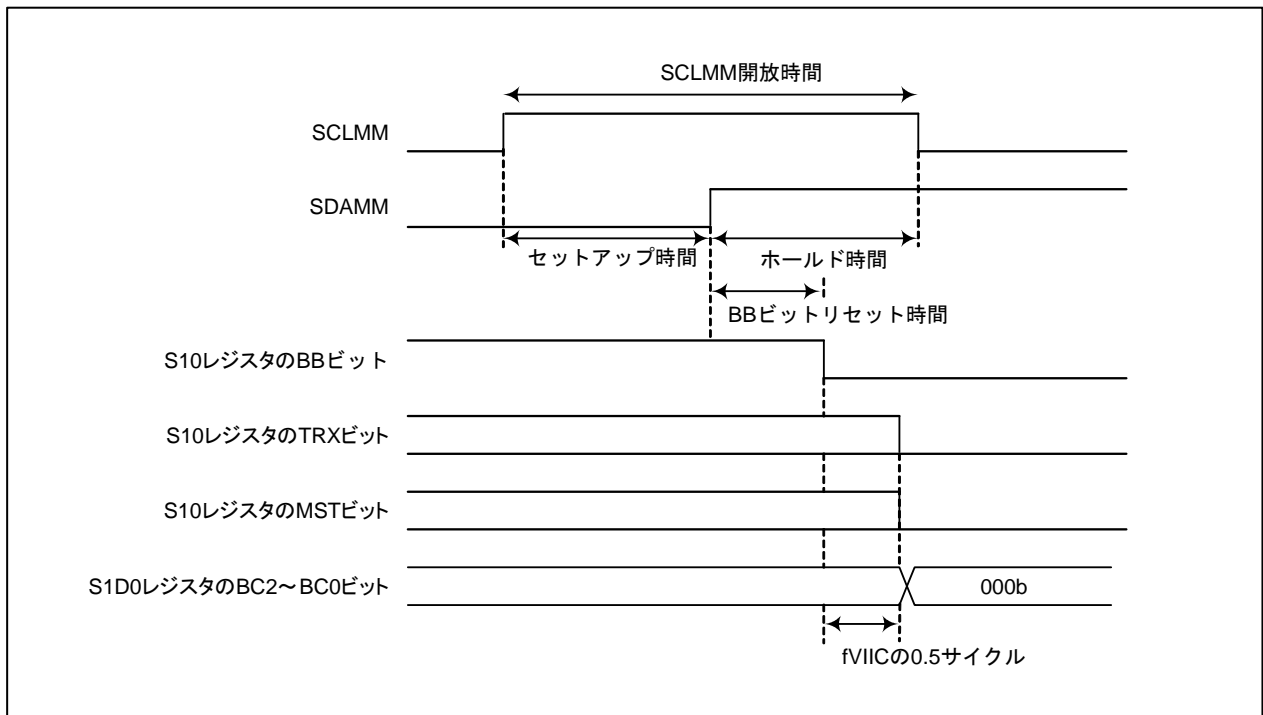


図 22.14 ストップコンディション検出

表 22.13 スタート/ストップコンディション検出条件

	標準クロックモード	Fast-mode
SCLMM開放時間	SSC値+1サイクル	4サイクル
セットアップ時間	$\frac{\text{SSC値}}{2} + 1$ サイクル	2サイクル
ホールド時間	$\frac{\text{SSC値}}{2}$ サイクル	2サイクル
BBビットセット/ リセット時間	$\frac{\text{SSC値}-1}{2} + 2$ サイクル	3.5サイクル

単位: fVIICのサイクル数

SSC値: S2D0レジスタのSSC4~SSC0ビットの値

表 22.14 標準クロックモードでのSSC4~SSC0ビットの推奨値

fVIIC	SSC値 (推奨値)	スタート/ストップコンディションの検出条件			BBビットセット/ リセット時間
		SCLMM開放時間	セットアップ時間	ホールド時間	
5MHz	11110b	6.2μs (31)	3.2μs (16)	3.0μs (15)	3.3μs (16.5)
4MHz	11010b	6.75μs (27)	3.5μs (14)	3.25μs (13)	3.625μs (14.5)
	11000b	6.25μs (25)	3.25μs (13)	3.0μs (12)	3.375μs (13.5)
2MHz	01100b	6.5μs (13)	3.5μs (7)	3.0μs (6)	3.75μs (7.5)
	01010b	5.5μs (11)	3.0μs (6)	2.5μs (5)	3.25μs (6.5)
1MHz	00100b	5.0μs (5)	3.0μs (3)	2.0μs (2)	3.5μs (3.5)

SSC値: S2D0レジスタのSSC4~SSC0ビットの値

()内はfVIICのサイクル数

22.3.8 スレーブアドレス/データ送受信完了時の動作

スレーブアドレス送受信または1バイトのデータ送受信が終わると、ACKクロックの立ち下がり
 S10レジスタのPINビットが“0”(割り込み要求あり)になり、同時にIICICレジスタのIRビットが“1”
 (割り込み要求あり)になります。また、送受信データの状態やSCLMM、SDAMM端子の状態によって
 S10レジスタなどが変化します。図 22.15にスレーブアドレス/データ送受信完了時の動作を示します。

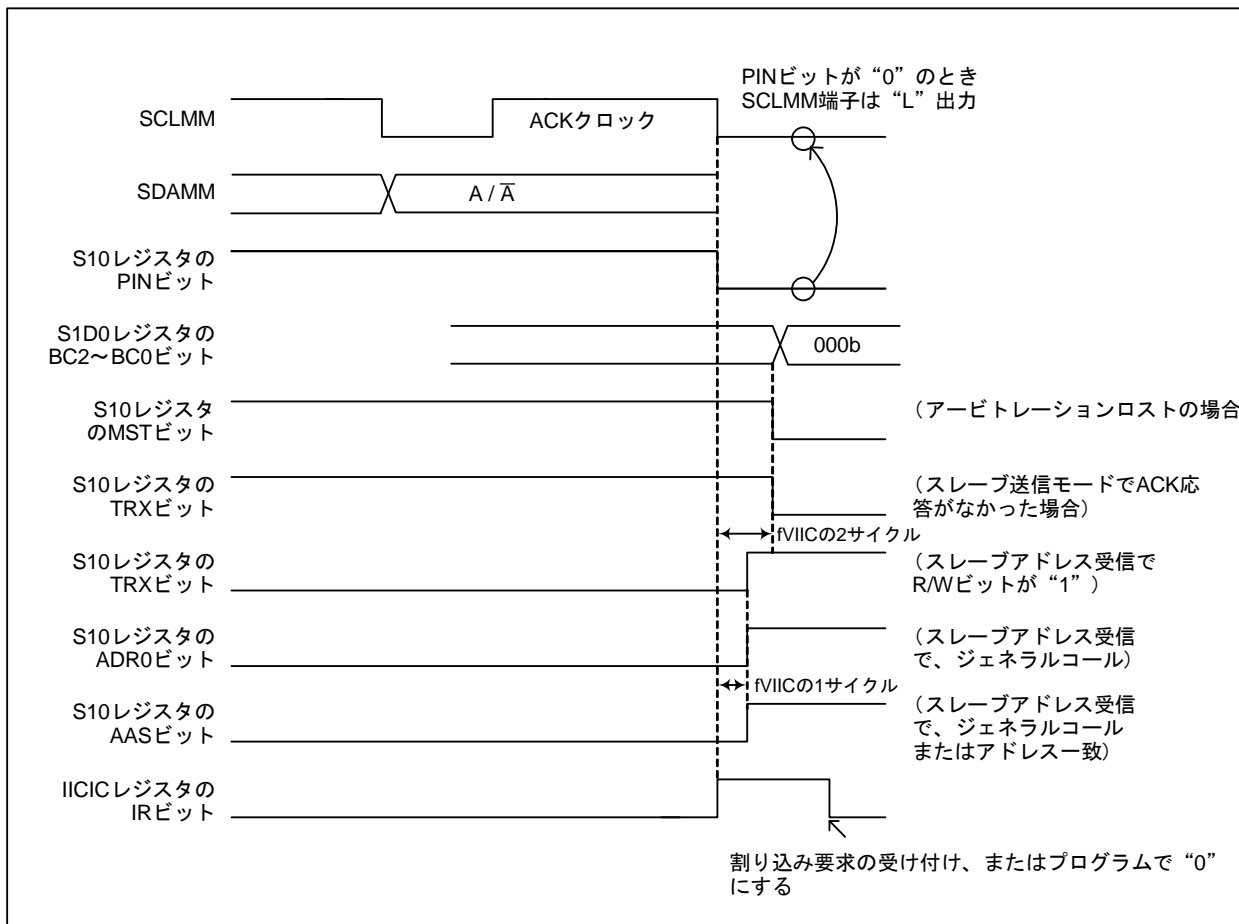


図 22.15 スレーブアドレス/データ送受信完了時の動作

22.3.9 タイムアウト検出

送受信中に SCL クロックが停止すると、各デバイスは通信状態のままで停止してしまいます。それを回避するため、I²C 回路は送受信中に SCLMM 端子のレベルが“H”で一定期間以上停止したときにタイムアウトを検出して I²C-bus 割り込み要求を発生させる機能を備えています。図 22.16 にタイムアウト検出タイミングを示します。タイムアウト検出時間は「22.2.7 I2C0 制御レジスタ 2 (S4D0) の TOSEL (タイムアウト検出時間選択ビット) (b2)」を参照してください。

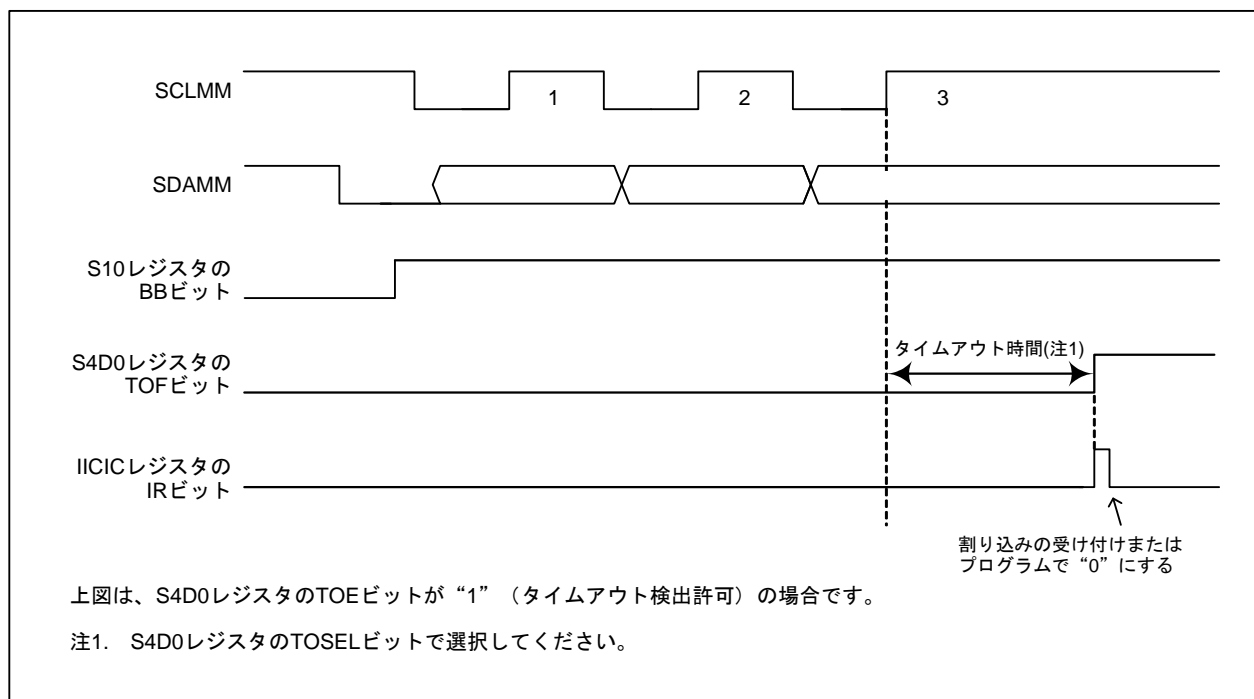


図 22.16 タイムアウト検出タイミング

次の条件をすべて満たすとタイムアウトを検出します。

- S4D0レジスタのTOEビットが“1”（タイムアウト検出機能許可）
- S10レジスタのBBビットが“1”（バスビジー）
- SCLMM端子のレベルがタイムアウト検出時間以上“H”

タイムアウトを検出すると次のようになります。

- S4D0レジスタのTOFビットが“1”（タイムアウト検出）
- IICICレジスタのIRビットが“1”（I²C-bus割り込み要求あり）

タイムアウトを検出した場合には、次のいずれかの処理をしてください。

- S1D0レジスタのES0ビットを“0”（禁止）にする
- S1D0レジスタのIHRビットを“1”（I²C回路リセット）にする

22.3.10 データ送受信例

データ送受信例を示します。この例は次の条件の場合です。

- スレーブアドレス: 7ビット
- データ: 8ビット
- ACKクロックあり
- 標準クロックモード、ビットレート: 100kbps (fIIC: 20MHz、fVIIC: 4MHz)
20MHz (fIIC)の5分周=4MHz (fVIIC)、
4MHz (fVIIC)の8分周の5分周=100kbps (ビットレート)
- 受信モード時、最後のデータ以外はACKを返す。最後のデータ受信後はNACKを返す
- データ受信時、8クロック目(ACKクロックの前)の割り込み: 禁止
- ストップコンディション検出割り込み: 許可
- タイムアウト検出割り込み: 禁止
- 自スレーブアドレスはS0D0レジスタに設定(S0D1、S0D2レジスタは使用しない)

なお、データ受信時、8クロック目(ACKクロックの前)の割り込みを許可にすると、1バイトごとにデータを確認してからACK/NACKのいずれを生成するか判断できます。

22.3.10.1 初期設定

22.3.10.2~22.3.10.5の共通の初期設定です。次の手順で設定してください。

- (1) S0D0レジスタのSAD6~SAD0ビットに自スレーブアドレスを書く
- (2) S20レジスタに“85h”を書く (CCR値: 5、標準クロックモード、ACKクロックあり)
- (3) S4D0レジスタに“18h”を書く (fVIIC: fIICの5分周、タイムアウト検出割り込み禁止)
- (4) S3D0レジスタに“01h”を書く (データ受信時、8クロック目(ACKクロックの前)の割り込み禁止、ストップコンディション検出割り込み許可)
- (5) S10レジスタに“0Fh”を書く (スレーブ受信モード)
- (6) S2D0レジスタに“98h”を書く (SSC値: 18h、スタート/ストップコンディション発生タイミング: ロングモード)
- (7) S1D0レジスタに“08h”を書く (ビットカウンタ: 8、I²C回路許可、アドレッシングフォーマット、入力レベル: I²C-bus入力)

なお、シングルマスタ、かつ、このマイコンがマスタの場合、(1)は省略できます。

22.3.10.2 マスタ送信

マスタ送信の手順と動作を説明します。図 22.17 にマスタ送信の動作例を示します。「22.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(C)では、それぞれ次に示すプログラムを実行するものとします。

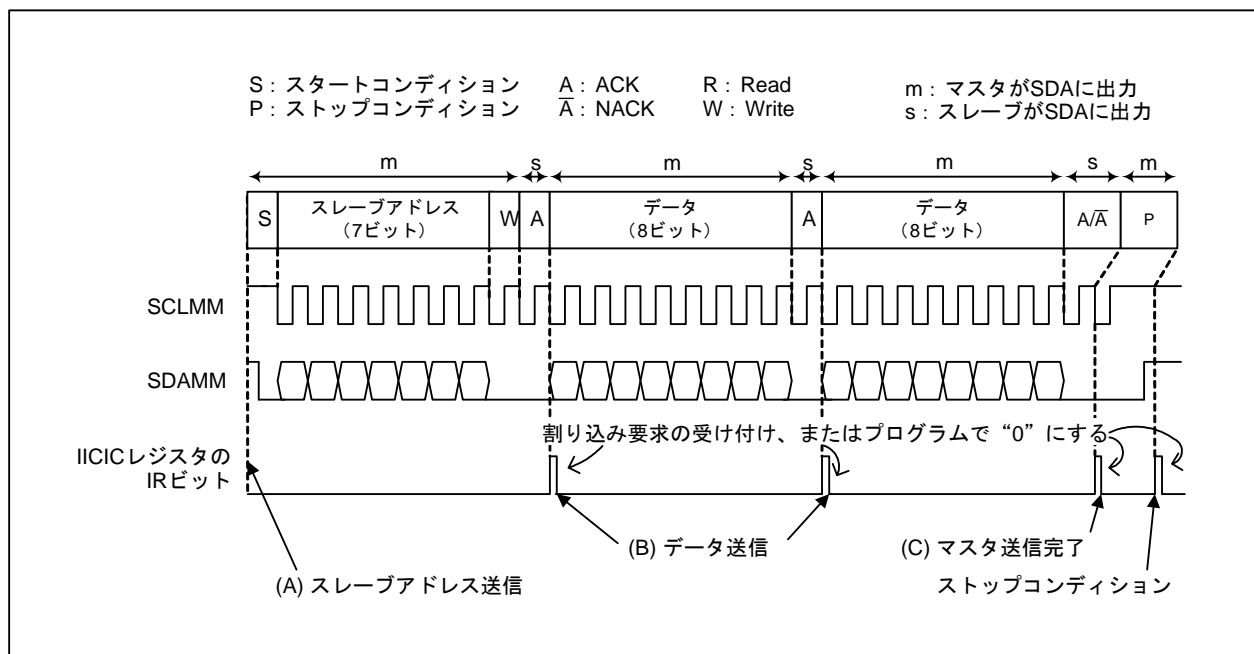


図 22.17 マスタ送信の動作例

(A)スレーブアドレス送信

- (1) S10レジスタのBBビットが“0” (バスマフリー)を確認
- (2) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態)
- (3) S00レジスタの上位7ビットにスレーブアドレスのアドレス、最下位ビットに“0”を書く(スタートコンディション発生、続けてスレーブアドレス送信)

(B)データ送信

- (I²C-bus割り込みルーチンで)
- (1) S00レジスタに送信データを書く(データ送信)

(C)マスタ送信完了

- (I²C-bus割り込みルーチンで)
- (1) S10レジスタに“C0h”を書き込む(ストップコンディションスタンバイ状態)
 - (2) S00レジスタにダミーデータを書く(ストップコンディション発生)

送信が完了した場合、スレーブデバイスからACK応答がない(NACK)場合も上記のマスタ送信完了処理をしてください。

22.3.10.3 マスタ受信

マスタ受信の手順と動作を説明します。図 22.18 にマスタ受信の動作例を示します。「22.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(D)では、それぞれ次に示すプログラムを実行するものとします。

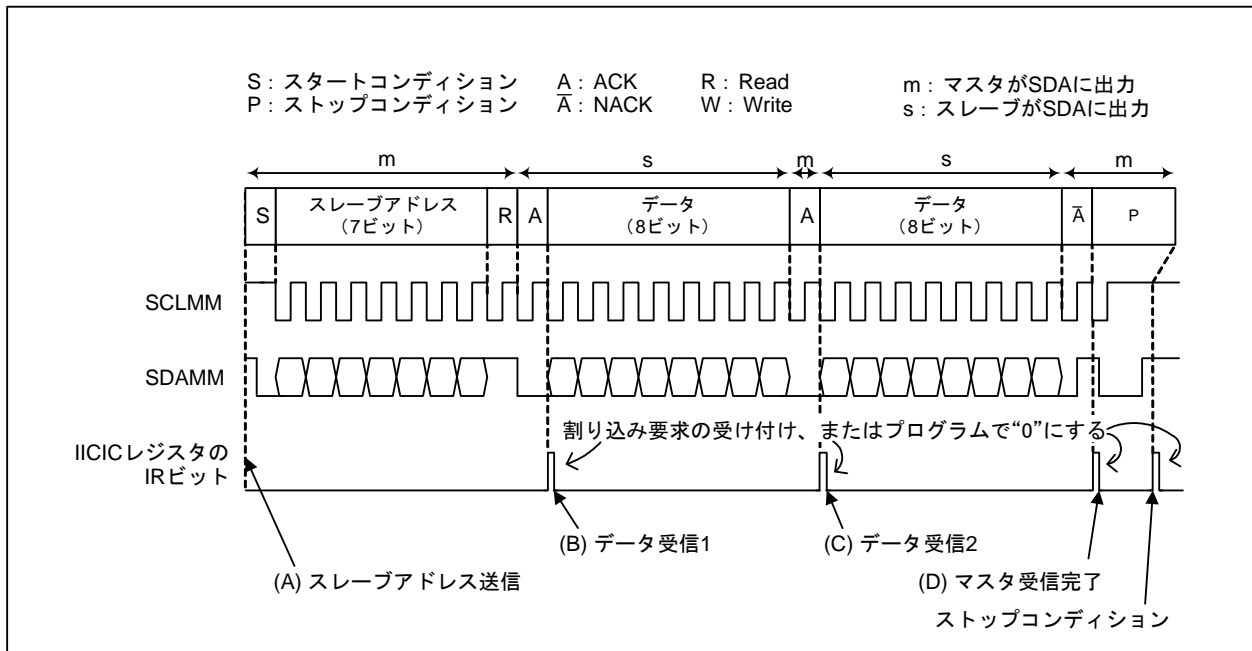


図 22.18 マスタ受信の動作例

(A)スレーブアドレス送信

- (1) S10レジスタのBBビットが“0” (バスフリー)を確認
- (2) S10レジスタに“E0h”を書き込む(スタートコンディションスタンバイ状態)
- (3) S00レジスタの上位7ビットにスレーブアドレスのアドレス、最下位ビットに“1”を書く(スタートコンディション発生、続けてスレーブアドレス送信)

(B)データ受信1(スレーブアドレス送信後)

(I²C-bus割り込みルーチンで)

- (1) S10レジスタに“AFh”を書き込む(マスタ受信モード)
- (2) (最後のデータではないので) S20レジスタのACKBITビットを“0”(ACKあり)にする
- (3) S00レジスタにダミーデータを書く

(C)データ受信2(データ受信)

(I²C-bus割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) (最後のデータなので) S20レジスタのACKBITビットを“1”(ACKなし)にする
- (3) S00レジスタにダミーデータを書く

(D)マスタ受信完了

(I²C-bus割り込みルーチンで)

- (1) S00レジスタから受信データ読み出し
- (2) S10レジスタに“C0h”を書き込む(ストップコンディションスタンバイ状態)
- (3) S00レジスタにダミーデータを書く(ストップコンディション発生)

22.3.10.4 スレーブ受信

スレーブ受信の手順と動作を説明します。図 22.19 にスレーブ受信の動作例を示します。「22.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(C)では、それぞれ次に示すプログラムを実行するものとします。

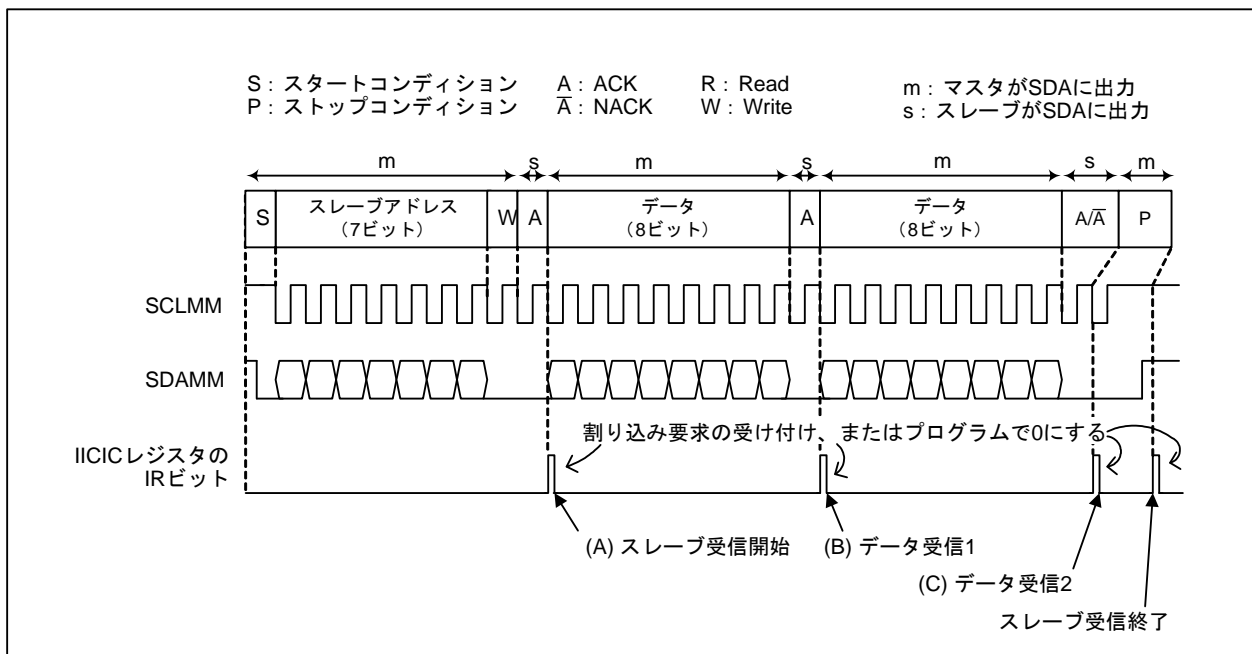


図 22.19 スレーブ受信の動作例

(A)スレーブ受信開始

(I²C-bus 割り込みルーチンで)

- (1) S10 レジスタの値を確認。TRX ビットが“0” ならスレーブ受信
- (2) S00 レジスタにダミーデータを書き込む

(B)データ受信1

(I²C-bus 割り込みルーチンで)

- (1) S00 レジスタから受信データ読み出し
- (2) (最後のデータではないので) S20 レジスタの ACKBIT ビットを“0” (ACK あり) にする
- (3) S00 レジスタにダミーデータを書く

(C)データ受信2

(I²C-bus 割り込みルーチンで)

- (1) S00 レジスタから受信データ読み出し
- (2) (最後のデータなので) S20 レジスタの ACKBIT ビットを“1” (ACK なし) にする
- (3) S00 レジスタにダミーデータを書く

22.3.10.5 スレーブ送信

スレーブ送信の手順と動作を説明します。図 22.20 にスレーブ送信の動作例を示します。「22.3.10.1 初期設定」は済んでいるものとします。また、図中の(A)~(B)では、それぞれ次に示すプログラムを実行するものとします。

なお、アービトレーションロストを検出すると、スレーブアドレスの次のビットが“1”（リード）の場合も、TRX ビットが“0”（受信モード）になります。このため、アービトレーションロスト検出後は、S00レジスタを読み出し、ビット0が“1”ならば、S10レジスタに“4Fh”（スレーブ送信モード）を書いてから、スレーブ送信してください。

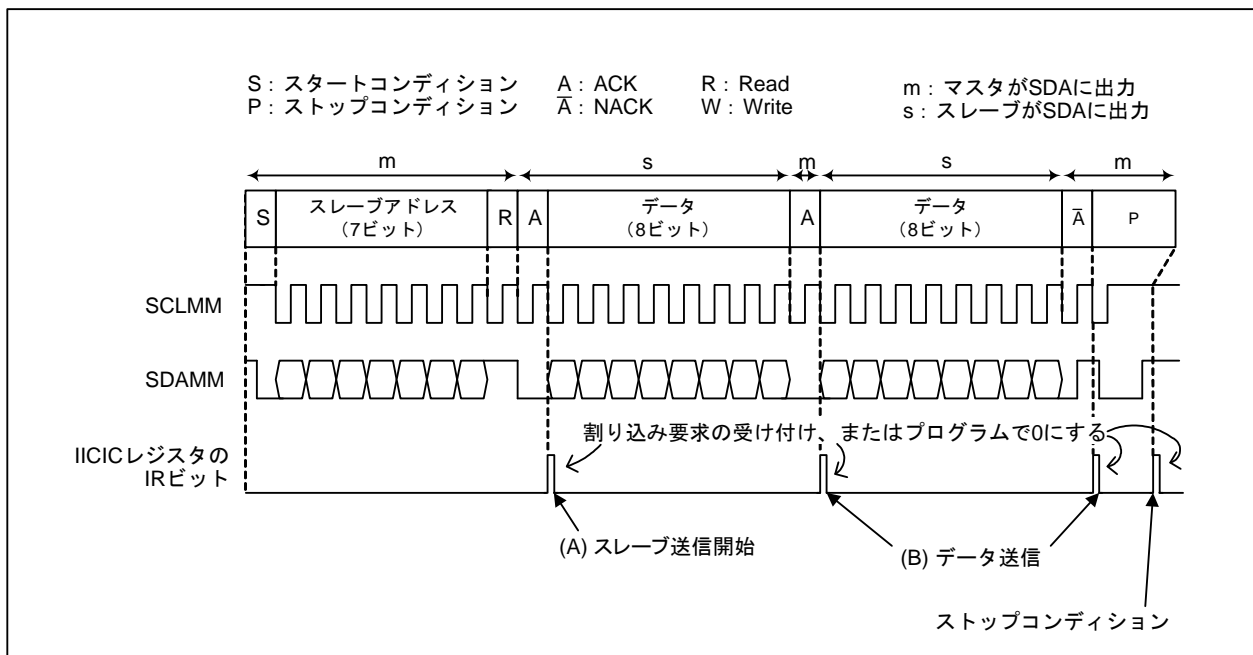


図 22.20 スレーブ送信の動作例

(A)スレーブ送信開始

(I²C-bus 割り込みルーチンで)

- (1) S10レジスタの値を確認。TRX ビットが“1” ならスレーブ送信
- (2) S00レジスタに送信データを書き込む

(B)データ送信

(I²C-bus 割り込みルーチンで)

- (1) S00レジスタに送信データを書き込む

最後のデータ送信のACKクロックの割り込みでも、S00レジスタにダミーデータを書いてください。S00レジスタに書き込むとSCLMM端子のレベルが開放されます。

22.4 割り込み

I²C回路は割り込み要求を発生します。図 22.21 に I²C回路の割り込みを、表 22.15 に I²C回路の割り込みを示します。

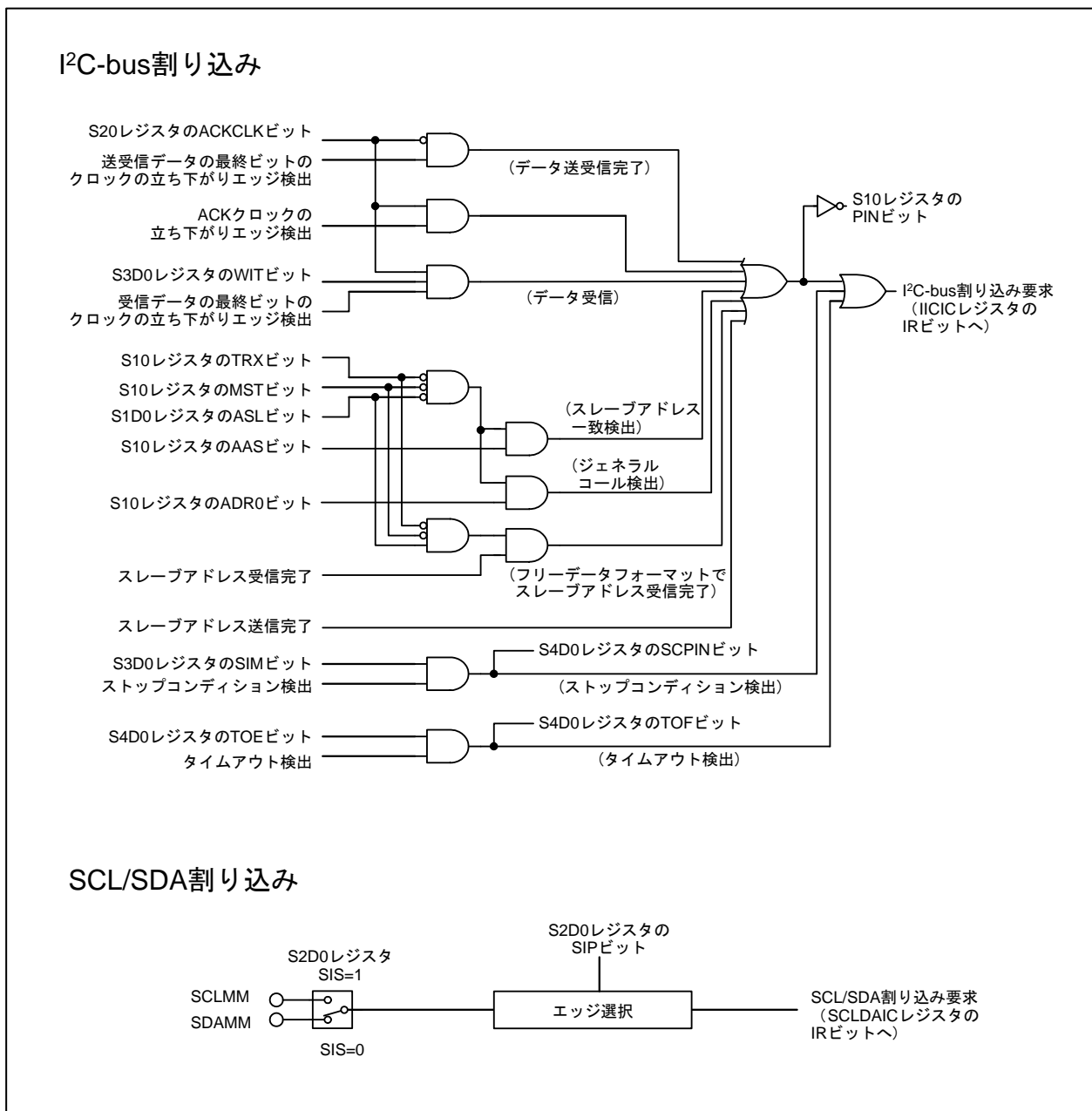


図 22.21 I²C回路の割り込み

表 22.15 I²C回路の割り込み

割り込み	割り込み要因	関連ビット (レジスタ: ビット)		割り込み制御レジスタ
		割り込み許可	割り込み要求	
I ² C-bus 割り込み	データ送受信完了 S20 レジスタのACKCLKビットが“0”の場合、 SCLMM端子の送受信データの最終クロック の立ち下がリエッジ検出 ACKCLKビットが“1”の場合、SCLMM端子の ACKクロックの立ち下がリエッジ検出	—	S10: PIN	IICIC
	データ受信 (ACKクロックの前) SCLMM端子の送受信データの最終クロック の立ち下がリエッジ検出	S3D0: WIT		
	スレーブアドレス一致検出 スレーブ受信モード時、アドレッシング フォーマットで、受信したスレーブアドレス がS0D0~S0D2 レジスタのSAD6~SAD0 ビッ トと一致 (S10 レジスタのAASビットが“1”)	—		
	ジェネラルコール検出 スレーブ受信モード時、アドレッシング フォーマットで、ジェネラルコール (S10レ ジスタのADR0ビットが“1”)	—		
	スレーブ受信モード時、フリーデータフォー マットで、スレーブアドレス受信完了	—		
	ストップコンディション検出	S3D0: SIM	S4D0: SCPIN	
	タイムアウト検出	S4D0: TOE	S4D0: TOF	
SCL/ SDA割 り込み	SCLMMまたはSDAMM端子の、入出力信号 の立ち下がりはまたは立ち上がりエッジ検出	—	—	SCLDAIC

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 22.16にI²C回路の割り込み関連レジスタを示します。

表 22.16 I²C回路の割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
007Bh	I ² C-bus インタフェース割り込み制御レジスタ	IICIC	XXXX X000b
007Ch	SCL/SDA 割り込み制御レジスタ	SCLDAIC	XXXX X000b
0206h	割り込み要因選択レジスタ 2	IFSR2A	00h

I²C-bus インタフェース割り込みを使用する場合は、IFSR2A レジスタのIFSR22 ビットを“1” (I²C-bus 割り込み) にしてください。

SCL/SDA 割り込みを使用する場合は、IFSR2A レジスタのIFSR23 ビットを“1” (SCL/SDA 割り込み) にしてください。

SCL/SDA 割り込みは、ウェイトモード、ストップモードでも有効です。

SCL/SDA 割り込みでは、S1D0 レジスタのES0 ビット、S2D0 レジスタのSIP、SIS ビットのいずれかを変更すると、SCLDAIC レジスタのIR ビットが“1” (割り込み要求あり) になる場合があります。したがって、これらを変更する場合は次のようにしてください。また、「12.13 割り込み使用上の注意事項」も参照してください。

- (1) SCLDAIC レジスタのILVL2~ILVL0 ビットを“000b” (割り込み禁止) にする。
- (2) S1D0 レジスタのES0 ビット、S2D0 レジスタのSIP、SIS ビットを設定する。
- (3) SCLDAIC レジスタのIR ビットを“0” (割り込み要求なし) にする。

22.5 マルチマスタ I²C-bus インタフェース使用上の注意事項

22.5.1 CPUクロックの制限

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)の場合「表 22.4 レジスタ一覧」に示すレジスタはアクセスしないでください。CM07ビットを“0”(メインクロック、PLLクロック、またはオンチップオシレータクロック)にしてアクセスしてください。

22.5.2 レジスタアクセス

I²C回路の各制御レジスタをアクセスする場合の注意事項を示します。なお、ここで言う送受信中とは、(スレーブアドレスまたは1バイトデータ送受信の)1クロックの立ち上がりエッジからACKクロックの立ち下がりエッジまで(ACKCLKビットが“0”(ACKクロックなし)の場合は8クロックの立ち下がりエッジまで)を指します。

22.5.2.1 S00レジスタ

送受信中に書き込まないでください。

22.5.2.2 S1D0レジスタ

送受信中にIHRビット以外のビットを書き換えしないでください。

22.5.2.3 S20レジスタ

送受信中にACKBITビット以外のビットを書き換えしないでください。

22.5.2.4 S3D0レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

22.5.2.5 S4D0レジスタ

ICK4~ICK2ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

22.5.2.6 S10レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- MST、TRXビットが変化するタイミングでは書き込みを行わないでください。
MST、TRXビットが変化するタイミングは「22.3 動作説明」の動作例を参照してください。

22.5.3 ストップコンディション生成

マルチマスタ I²C-bus インタフェースにおいて、スレーブデバイスまたは他のマスタデバイスが SCLMM ラインを“L”にドライブしているときにストップコンディションを生成する操作を行った場合、SCLMM ラインが開放されていないにもかかわらず SDAMM ラインが開放され、正常なストップコンディションが生成されません。

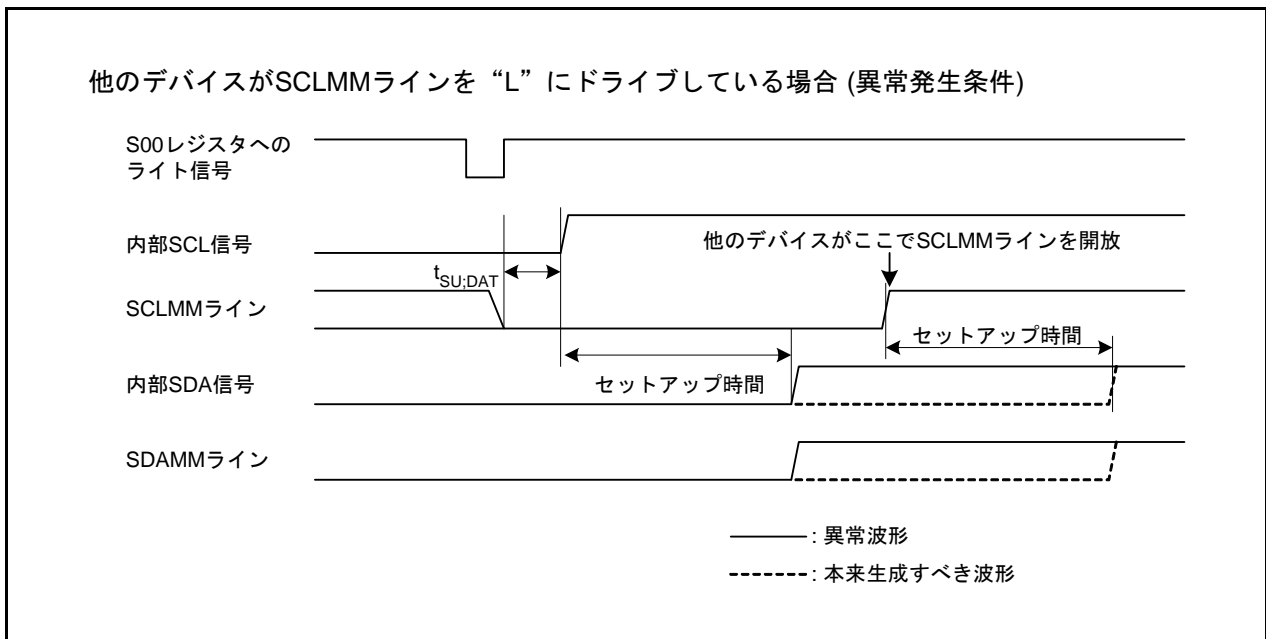


図 22.22 異常波形例

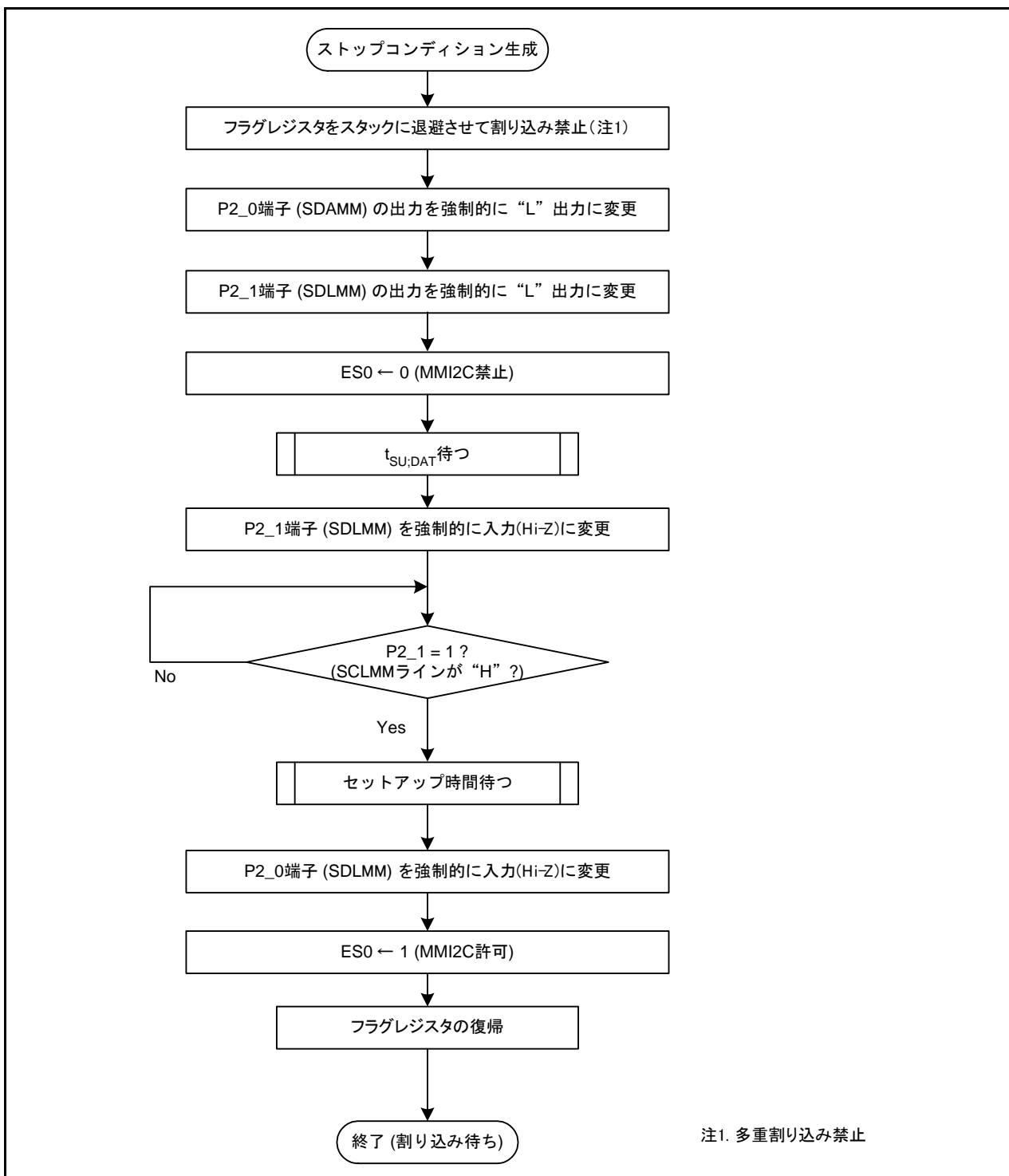


図 22.23 ストップコンディション生成フロー

23. CANモジュール

注意

M16C/56Dグループでは、この機能を使用しないでください。

ISO11898-1仕様に準拠したCAN (Controller Area Network) モジュールを1チャンネル(CAN0)内蔵しています。CANモジュールは標準(11ビット)IDentifier (以下、IDと略す)と拡張(29ビット)IDの両フォーマットのメッセージを送受信できます。

表 23.1、表 23.2にCANモジュールの仕様、図 23.1にCANモジュールブロック図を示します。

なお、CANバストラランシーバは外付けしてください。

表 23.1 CANモジュールの仕様(1)

項目	仕様
プロトコル	ISO11898-1仕様準拠
ビットレート	最大1Mbps
メッセージボックス	32メールボックス 2種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> • 通常メールボックスモード 32個のメールボックスをすべて送信または受信用に設定可能 • FIFOメールボックスモード 24個のメールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOに設定可能
受信	<ul style="list-style-type: none"> • データフレームとリモートフレームを受信可能 • 受信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 • ワンショット受信機能を選択可能 • オーバライトモード(メッセージ上書き)またはオーバランモード(メッセージ破棄)を選択可能 • 受信完了割り込みの許可/禁止をメールボックスごとに設定可能
アクセプタンスフィルタ	8つのアクセプタンスマスク(メールボックス4個ごとに個別のマスク) メールボックスごとにマスクの有効/無効を設定可能
送信	<ul style="list-style-type: none"> • データフレームとリモートフレームを送信可能 • 送信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 • ワンショット送信機能を選択可能 • ID優先送信モードまたはメールボックス番号優先送信モードを選択可能 • 送信要求をアボート可能(フラグでアボート完了を確認可能) • 送信完了割り込みの許可/禁止をメールボックスごとに設定可能

表 23.2 CANモジュールの仕様(2)

項目	仕様
バスオフ復帰モード遷移	バスオフ状態からの復帰モード遷移を選択可能 <ul style="list-style-type: none"> •ISO11898-1仕様準拠 •バスオフ開始でCAN Haltモードへ自動遷移 •バスオフ終了でCAN Haltモードへ自動遷移 •プログラムによるCAN Haltモードへの遷移 •プログラムによるエラーアクティブ状態への遷移
エラー状態の監視	<ul style="list-style-type: none"> •CANバスエラー(スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー)を監視可能 •エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) •エラーカウンタを読み出し可能
タイムスタンプ機能	16ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み要因	6種類 <ul style="list-style-type: none"> •受信完了 •送信完了 •受信FIFO •送信FIFO •エラー •ウェイクアップ
CANスリープモード	CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット <ul style="list-style-type: none"> •アクセプタンスフィルタサポート •メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) •チャンネル検索サポート
CANクロックソース	BCLKかメインクロックを選択可能
テストモード	ユーザ評価用に3つのテストモードを用意 <ul style="list-style-type: none"> •リッスンオンリモード •セルフテストモード0(外部ループバック) •セルフテストモード1(内部ループバック)

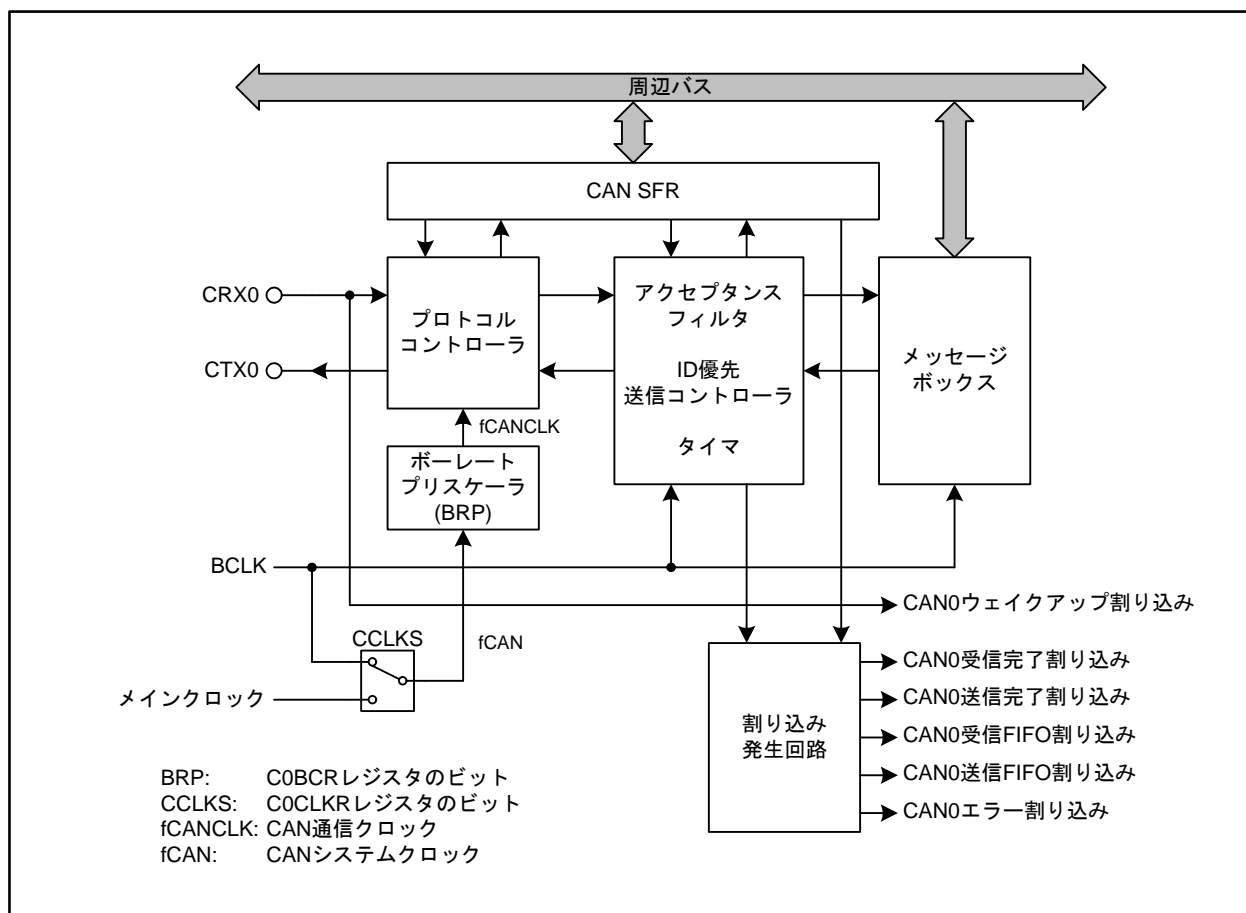


図 23.1 CANモジュールブロック図

- CRX0/CTX0: CANの入出力端子です。
- プロトコルコントローラ: バスアービトラージョンや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。
- メッセージボックス: 送信または受信メールボックスとして使用可能な32個のメールボックスで構成されています。各メールボックスには固有のID、データ長コード、8バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ: 受信メッセージのフィルタ処理を行います。このフィルタ処理には、COMKR0~COMKR7レジスタを使用します。
- タイマ: タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- ウェイクアップ: CANバス上にメッセージが検出されると、CAN0 ウェイクアップ割り込み要求を発生します。
- 割り込み発生回路: 次の5種類の割り込み要求を発生させることができます。
 - CAN0受信完了割り込み
 - CAN0送信完了割り込み
 - CAN0受信FIFO割り込み
 - CAN0送信FIFO割り込み
 - CAN0エラー割り込み
- CAN SFR: CAN関連のレジスタです。詳細は、「23.1 CAN SFR」を参照してください。

23.1 CAN SFR

図 23.2~図 23.11、図 23.13、図 23.14、図 23.16~図 23.20、図 23.22、図 23.24~図 23.30にCAN関連レジスタを示します。

23.1.1 CAN0制御レジスタ (C0CTLR)

CAN0制御レジスタ		シンボル C0CTLR	アドレス D7C1h-D7C0h番地	リセット後の値 0000 0000 0000 0101b
ビットシンボル	ビット名	機能	RW	
CANM	CAN動作モード選択ビット (注1)	b15 b0 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN Haltモード 1 1 : 設定しないでください	RW	
SLPM	CANスリープモードビット (注1、2)	0: CANスリープモードではない 1: CANスリープモード	RW	
BOM	バスオフ復帰モード選択 ビット (注3)	b4 b3 0 0 : ノーマルモード (ISO11898-1仕様準拠) 0 1 : バスオフ開始で自動的に CAN Haltモードへ遷移 1 0 : バスオフ終了で自動的に CAN Haltモードへ遷移 1 1 : プログラムによる要求で CAN Haltモードへ遷移 (バスオフ復帰期間中)	RW	
RBOC	バスオフ強制復帰ビット (注4)	0: 何もしない 1: バスオフからの強制復帰 (注5)	RW	
— (b6)	予約ビット	“0” にしてください	RW	
CPE	CANポート許可ビット (注3)	0: 入出力ポートとして機能 1: CAN入出力として機能	RW	
MBM	CANメールボックスモード 選択ビット (注3)	0: 通常メールボックスモード 1: FIFOメールボックスモード	RW	
IDFM	IDフォーマットモード選択 ビット (注3)	b10b9 0 0 : 標準IDモード 0 1 : 拡張IDモード 1 0 : ミックスIDモード 1 1 : 設定しないでください	RW	
MLM	メッセージロストモード 選択ビット (注3)	0: オーバライトモード 1: オーバランモード	RW	
TPM	送信優先順位モード選択 ビット (注3)	0: ID優先送信モード 1: メールボックス番号優先送信モード	RW	
TSRC	タイムスタンプカウンタ リセットビット (注6)	0: リセットしない 1: リセットする (注5)	RW	
TSPS	タイムスタンプ プリスケアラ選択ビット (注3)	b15b14 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	RW	

注1. CANM、SLPMビットを変更した場合は、C0STRレジスタでモードが切り替わることを確認してください。モードが切り替わるまで、CANM、SLPMビットは変更しないでください。CPUクロックおよびBCLKの周波数は、CANオペレーションモード以外のときに変更してください。

注2. SLPMビットは、CANスリープモード、CANリセットモードおよびCAN Haltモード時に変更してください。SLPMビットを書き換える場合は、本ビットのみ“0”または“1”にしてください。

注3. BOM、CPE、MBM、IDFM、MLM、TPM、TSPSビットは、CANリセットモード時に変更してください。

注4. RBOCビットはバスオフ状態時に“1”にしてください。

注5. “1”にした後自動的に“0”に戻ります。読んだ場合“0”が読めます。

注6. TSRCビットはCANオペレーションモード時に“1”にしてください。

図 23.2 C0CTLRレジスタ

23.1.1.1 CANMビット

CANモジュールのモード(CANオペレーションモード、CANリセットモード、CAN Haltモード)を選択するビットです。詳細は、「23.2 動作モード」を参照してください。

CANスリープモードはSLPMビットで設定します。

“11b”には設定しないでください。

BOMビットの設定によってCAN Haltモードへ遷移した場合は、CANMビットは自動的に“10b”になります。

23.1.1.2 SLPMビット

“1”にすると、CANスリープモードになります。

“0”にすると、CANスリープモードは解除されます。

詳細は、「23.2 動作モード」を参照してください。

23.1.1.3 BOMビット

CANモジュールのバスオフ復帰モードの選択に使用します。

“00b”の場合、バスオフからの復帰はISO11898-1仕様に準拠します。すなわち、CANモジュールは、11の連続するレセシブビットを128回検出後、再びCAN通信(エラーアクティブ状態)に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

“01b”の場合、CANモジュールがバスオフ状態に達すると、C0CTLRレジスタのCANMビットが“10b”(CAN Haltモード)になってから、CAN Haltモードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、C0TECR、C0RECRレジスタは“00h”になります。

“10b”の場合、CANモジュールがバスオフ状態に達するとCANMビットが“10b”になり、バスオフ状態から復帰した(11の連続するレセシブビットを128回検出)後に、CAN Haltモードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、C0TECR、C0RECRレジスタが“00h”になります。

“11b”の場合、CANモジュールがまだバスオフ状態のときにCANMビットを“10b”にすると、CAN Haltモードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、C0TECR、C0RECRレジスタは“00h”になります。しかし、CANMビットを“10b”にする前に、11の連続するレセシブビットを128回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CANモジュールがCAN Haltモードに遷移するのと同様(BOMビットが“01b”のとき:バスオフ開始、またはBOMビットが“10b”のとき:バスオフ終了)に、CPUがCANリセットモードへの遷移を要求した場合は、CPUの要求が優先されます。

23.1.1.4 RBOCビット

バスオフ状態時“1”(バスオフからの強制復帰)にすると、バスオフ状態から強制的に復帰します。このビットは自動的に“0”になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。

“1”にすると、C0RECR、C0TECRレジスタが“00h”になり、C0STRレジスタのBOSTビットは“0”(CANモジュールはバスオフ状態ではない)になります。他のレジスタは変化しません。バスオフからの復帰によるバスオフ復帰割り込み要求は発生しません。

BOMビットが“00b”(ノーマルモード)のときにのみ使用してください。

23.1.1.5 CPEビット

CPEビットを“1”にするとCAN入出力端子(CRX0, CTX0)として機能します。CANモジュールを使用する場合は、このビットを“1”にしてください。

CPEビットを“1”にする場合は、CRX0端子に対応するポートの方向ビットを“0”にしてください。

CPEビットを“0”にするとポート入出力端子として機能します。

CPEビットは、CANリセットモード時のみ変更してください。

CANウェイクアップ割り込みを使用する場合は、CPEビットを“1”にしてください。

23.1.1.6 MBMビット

“0”(通常メールボックスモード)の場合、メールボックス[0]~[31]は送信または受信メールボックスに設定されます。

“1”(FIFOメールボックスモード)の場合、メールボックス[0]~[23]は送信または受信メールボックスに設定され、メールボックス[24]~[27]は送信FIFOに、メールボックス[28]~[31]は受信FIFOに設定されます。

送信データはメールボックス[24]に書き込み(メールボックス[24]は送信FIFOのウィンドウメールボックスです)、受信データはメールボックス[28]から読み出します(メールボックス[28]は受信FIFOのウィンドウメールボックスです)。

表 23.3にメールボックスの設定を示します。

表 23.3 メールボックスの設定

メールボックス	MBM=0 (通常メールボックスモード)	MBM=1(注1) (FIFOメールボックスモード)
メールボックス[0]~[23]	通常メールボックス	通常メールボックス
メールボックス[24]~[27]		送信FIFO
メールボックス[28]~[31]		受信FIFO

注1. MBMビットが“1”のときは、以下の点に注意してください。

- 送信FIFOはC0TFCCRレジスタで制御します。
メールボックス[24]~[27]のC0MCTLjレジスタ(j=0~31)は無効です。
C0MCTL24~C0MCTL27レジスタは使用できません。
- 受信FIFOはC0RFCCRレジスタで制御します。
メールボックス[28]~[31]のC0MCTLjレジスタは無効です。
C0MCTL28~C0MCTL31レジスタは使用できません。
- FIFO割り込みについてはC0MIERレジスタを参照してください。
- C0MKIVLRレジスタのメールボックス[24]~[31]に対応するビットは無効です。これらのビットには“0”を設定してください。
- 送信/受信FIFOはデータフレーム/リモートフレームのいずれにも使用可能です。

23.1.1.7 IDFMビット

IDフォーマットを指定します。

“00b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDのみに対応します。

“01b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、拡張IDのみに対応します。

“10b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]~[23]は対応する

メールボックスのIDEビット、受信FIFOはC0FIDCR0、C0FIDCR1レジスタのIDEビット、送信FIFOはメールボックス[24]のIDEビットで指定します。“11b”は、設定しないでください。

23.1.1.8 MLMビット

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバライトモードまたはオーバランモードを選択できます。すべてのメールボックス(受信FIFOを含む)は、オーバライトモードかオーバランモードのどちらかになります。

“0”の場合、すべてのメールボックスはオーバライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

“1”の場合、すべてのメールボックスはオーバランモードになり、新しいメッセージは破棄されます。

23.1.1.9 TPMビット

メッセージを送信する場合の優先順のモードを指定します。ID優先モードまたはメールボックス番号優先モードを選択できます。

すべてのメールボックスは、ID優先送信またはメールボックス番号優先送信のどちらかになります。

“0”の場合、ID優先送信モードとなり送信優先順位はCANバスアービトレーションルール(ISO11898-1仕様)に準拠します。ID優先送信モードは、通常メールボックスモードのときメールボックス[0]~[31]、FIFOメールボックスモードのときメールボックス[0]~[23]と送信FIFOの送信に設定されたメールボックスのIDを比較します。2つ以上のメールボックスのIDが同じ場合、小さい番号のメールボックスが優先されます。

次に送信FIFOから送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信FIFOのメッセージを送信中の場合、送信FIFO内の次の待機メッセージが送信アービトレーションの対象となります。

“1”の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFOメールボックスモードでは、送信FIFOは通常メールボックス(メールボックス[0]~[23])よりも優先順位が低くなります。

23.1.1.10 TSRCビット

タイムスタンプカウンタをリセットするために使用します。

“1”にするとC0TSRレジスタが“0000h”になります。このビットは自動的に“0”になります。

23.1.1.11 TSPSビット

タイムスタンプ用のプリスケラを選択します。

タイムスタンプの基準クロックは、1、2、4、または8ビットタイムのいずれかを選択できます。

23.1.2 CAN0クロック選択レジスタ (C0CLKR)

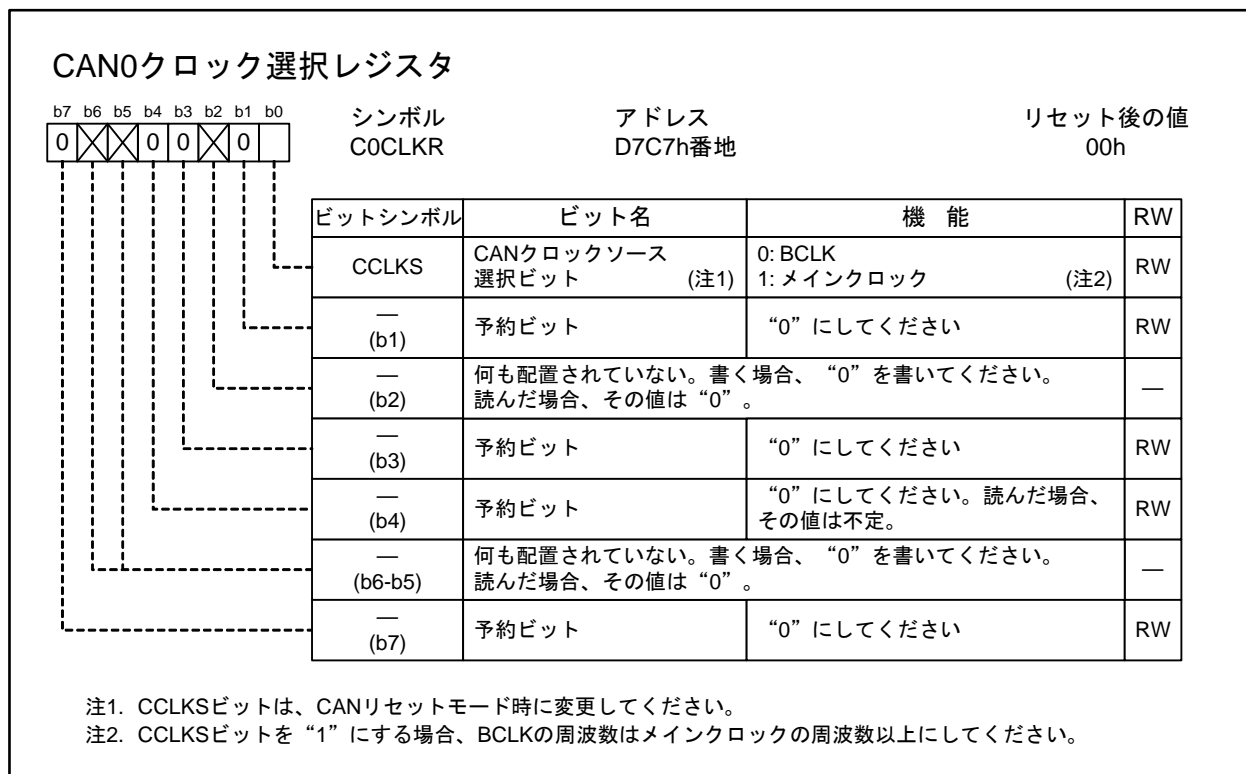


図 23.3 C0CLKR レジスタ

23.1.2.1 CCLKSビット

“0”の場合、CANクロックソース(fCAN)にPLL周波数シンセサイザにより生成されたBCLKが使用されます。

“1”の場合、CANクロックソース(fCAN)にPLL周波数シンセサイザを使用せず、外部のXIN端子から入力されたメインクロックが使用されます。

23.1.3 CAN0ビットコンフィグレーションレジスタ (C0BCR)

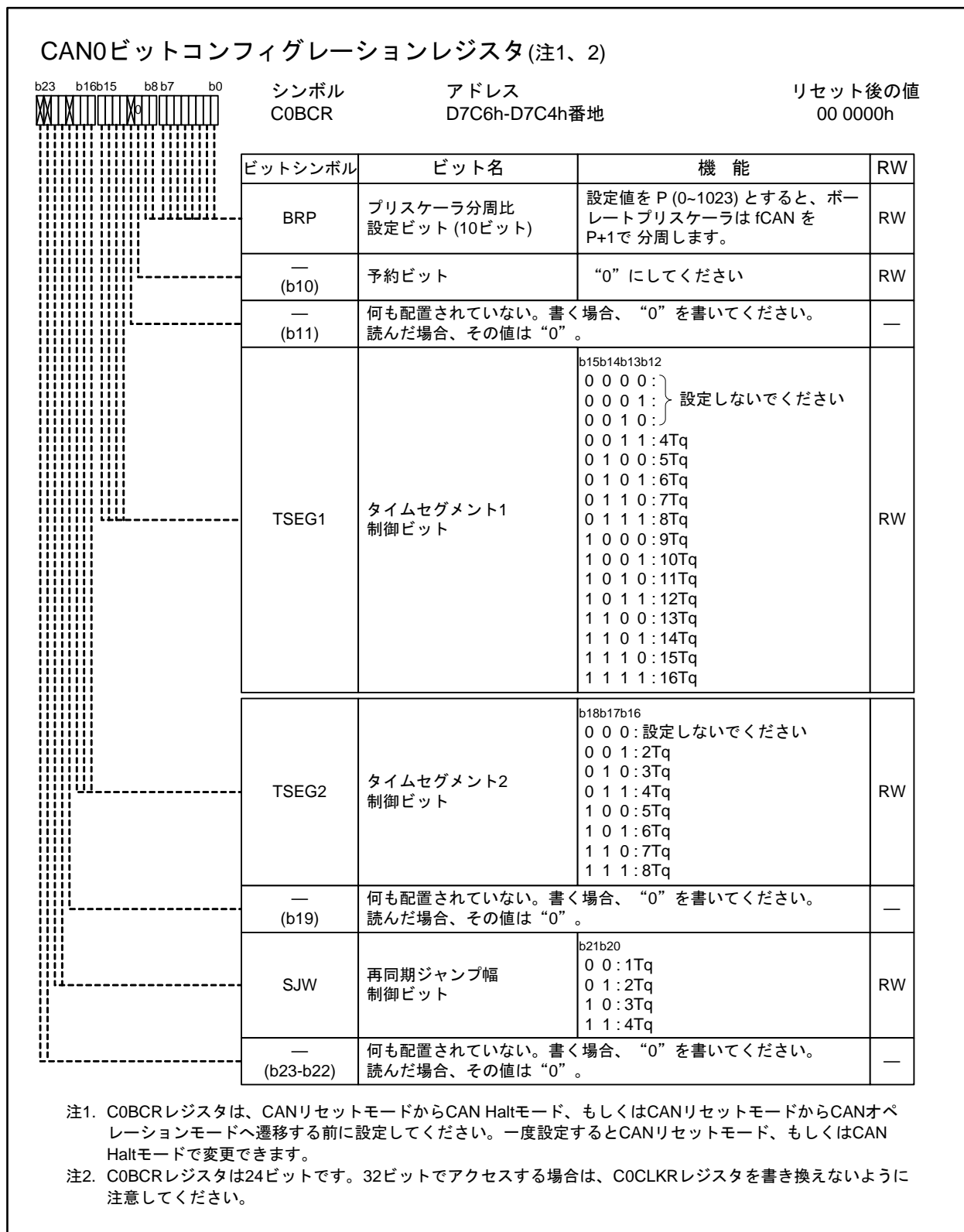


図 23.4 C0BCR レジスタ

ビットタイミングの設定については、「23.3 CAN通信速度の設定」を参照してください。

23.1.3.1 BRP ビット

CAN通信クロック (fCANCLK)の周波数設定に使用します。
fCANCLKの周期が1 Time Quantum (Tq)となります。

23.1.3.2 TSEG1 ビット

プロパゲーションタイムセグメント (PROP_SEG)とフェーズバッファセグメント1 (PHASE_SEG1)の合計長をTq値で指定します。
4~16Tqの値が設定可能です。

23.1.3.3 TSEG2 ビット

フェーズバッファセグメント2 (PHASE_SEG2)の長さをTq値で指定します。
2~8Tqの値が設定可能です。
TSEG1ビットより小さな値を設定してください。

23.1.3.4 SJW ビット

再同期ジャンプ幅 (Resynchronization Jump Width)をTq値で指定します。
1~4Tqの値が設定可能です。
TSEG2ビット以下の値を設定してください。

23.1.4 CAN0マスクレジスタk (COMKRk) (k=0~7)

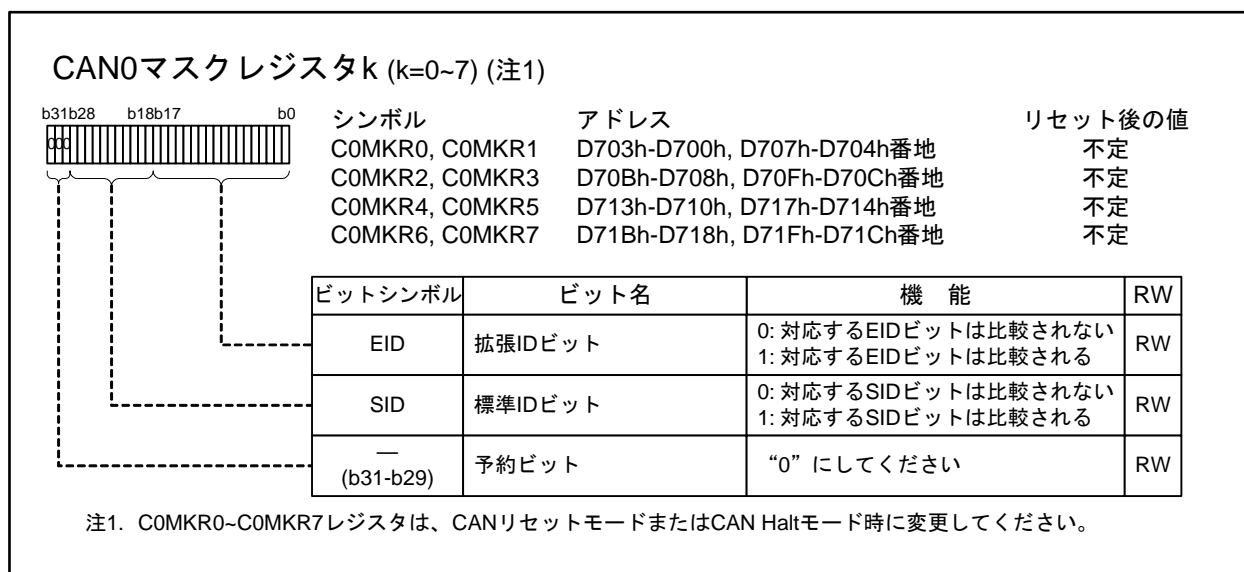


図 23.5 COMKR0~COMKR7レジスタ

FIFO メールボックスモードでのマスク機能については、「23.5 アクセプタンスフィルタ処理とマスク機能」を参照してください。

23.1.4.1 EIDビット

CAN拡張IDビットに対応するフィルタマスクビットです。拡張IDのメッセージを受信する場合に使用します。

“0”の場合、対応するEIDビットは、受信したIDとメールボックスのIDを比較しません。

“1”の場合、対応するEIDビットは、受信したIDとメールボックスのIDを比較します。

23.1.4.2 SIDビット

CAN標準IDビットに対応するフィルタマスクビットです。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

“0”の場合、対応するSIDビットは、受信したIDとメールボックスのIDを比較しません。

“1”の場合、対応するSIDビットは、受信したIDとメールボックスのIDを比較します。

23.1.5 CAN0 FIFO受信ID比較レジスタ n (C0FIDCR0、C0FIDCR1) (n=0, 1)

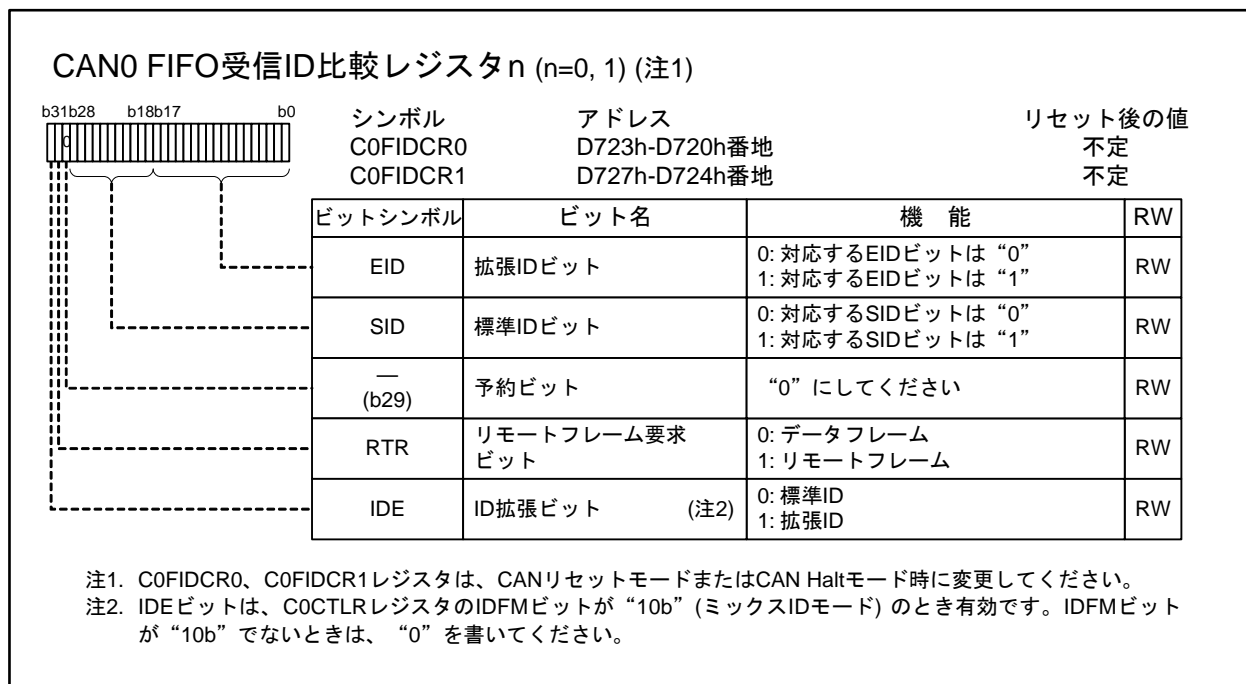


図 23.6 C0FIDCR0、C0FIDCR1レジスタ

COCTRLレジスタのMBMビットが“1” (FIFOメールボックスモード) のとき有効です。
COMB28~COMB31レジスタのEID、SID、RTR、IDEビットは無効です。
使用方法については、「23.5 アクセプタンスフィルタ処理とマスク機能」を参照してください。

23.1.5.1 EIDビット

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを受信する場合に使用します。

23.1.5.2 SIDビット

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

23.1.5.3 RTRビット

データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。
以下の動作を指定します。

- COFIDCR0、COFIDCR1レジスタの両方のRTRビットが“0”の場合、データフレームのみ受信できます。
- COFIDCR0、COFIDCR1レジスタの両方のRTRビットが“1”の場合、リモートフレームのみ受信できます。
- COFIDCR0、COFIDCR1レジスタのRTRビットが“0”と“1”のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

23.1.5.4 IDEビット

標準IDまたは拡張IDのIDフォーマットを設定します。

COCTLRレジスタのIDFMビットが“10b”(ミックスIDモード)のとき有効です。

IDFMビットが“10b”のとき、以下の動作を指定します。

- COFIDCR0、COFIDCR1レジスタの両方のIDEビットが“0”の場合、標準IDフレームのみ受信できます。
- COFIDCR0、COFIDCR1レジスタの両方のIDEビットが“1”の場合、拡張IDフレームのみ受信できます。
- COFIDCR0、COFIDCR1レジスタのIDEビットが“0”と“1”のそれぞれ異なる設定の場合、標準IDと拡張IDのフレームの両方を受信できます。

23.1.6 CAN0マスク無効レジスタ (COMKIVLR)

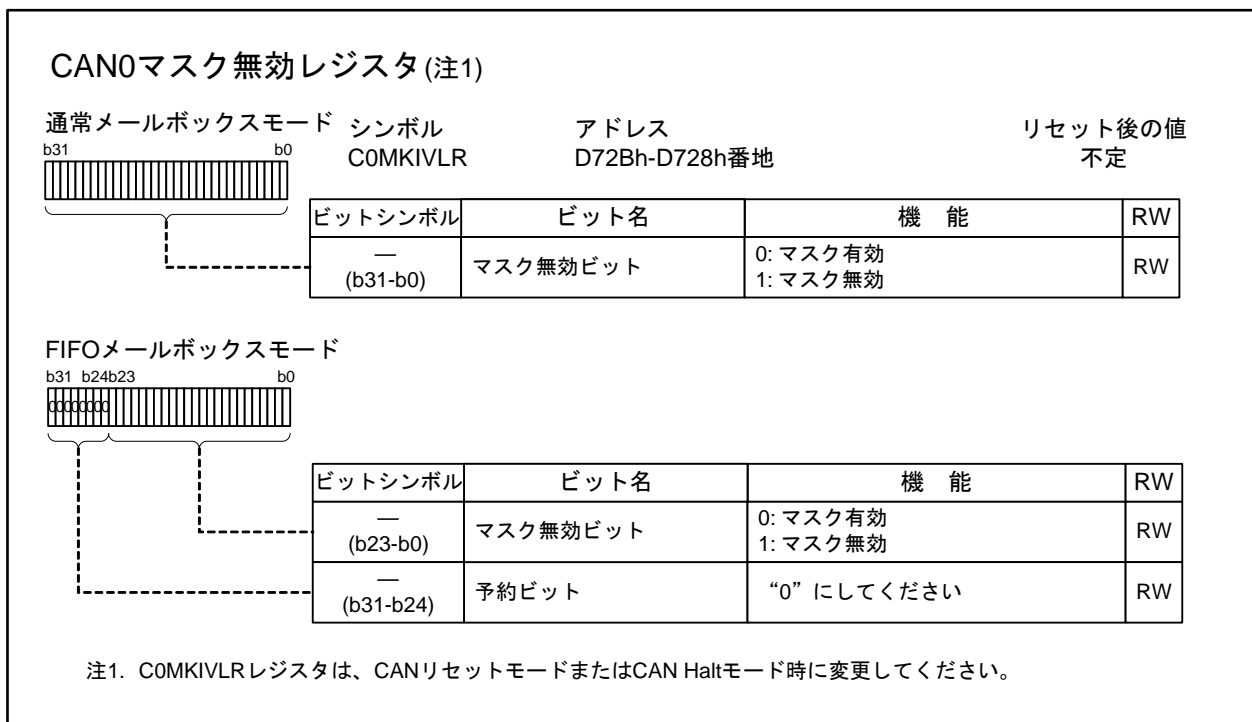


図 23.7 COMKIVLR レジスタ

各ビットは、同じ番号のメールボックスに対応します。“1”の場合、ビット番号に対応するメールボックスのアクセプタンスマスクは無効となります。この場合、メールボックスは受信メッセージのIDとCOMBjレジスタ(j=0~31)のSID、EIDビットが一致する場合にのみ受信します。

23.1.7 CAN0 メールボックスレジスタj (COMBj) (j=0~31)

表 23.4にCAN0メールボックスのメモリ配置、表 23.5にCANデータフレームの構成を示します。
CAN0メールボックスのリセット後の値は不定です。

表 23.4 CAN0メールボックスのメモリ配置

アドレス	メッセージ内容
CAN0	メモリ配置
D500h + j × 16 + 0	EID7~EID0
D500h + j × 16 + 1	EID15~EID8
D500h + j × 16 + 2	SID5~SID0、EID17、EID16
D500h + j × 16 + 3	IDE、RTR、SID10~SID6
D500h + j × 16 + 4	—
D500h + j × 16 + 5	データ長コード (DLC)
D500h + j × 16 + 6	データバイト0
D500h + j × 16 + 7	データバイト1
⋮	⋮
⋮	⋮
⋮	⋮
D500h + j × 16 + 13	データバイト7
D500h + j × 16 + 14	タイムスタンプ下位バイト
D500h + j × 16 + 15	タイムスタンプ上位バイト

j: メールボックス番号(j=0~31)

表 23.5 CANデータフレームの構成

SID10~ SID6	SID5~ SID0	EID17~ EID16	EID15~ EID8	EID7~ EID0	DLC3~ DLC0	DATA0	DATA1	⋯⋯	DATA7
----------------	---------------	-----------------	----------------	---------------	---------------	-------	-------	----	-------

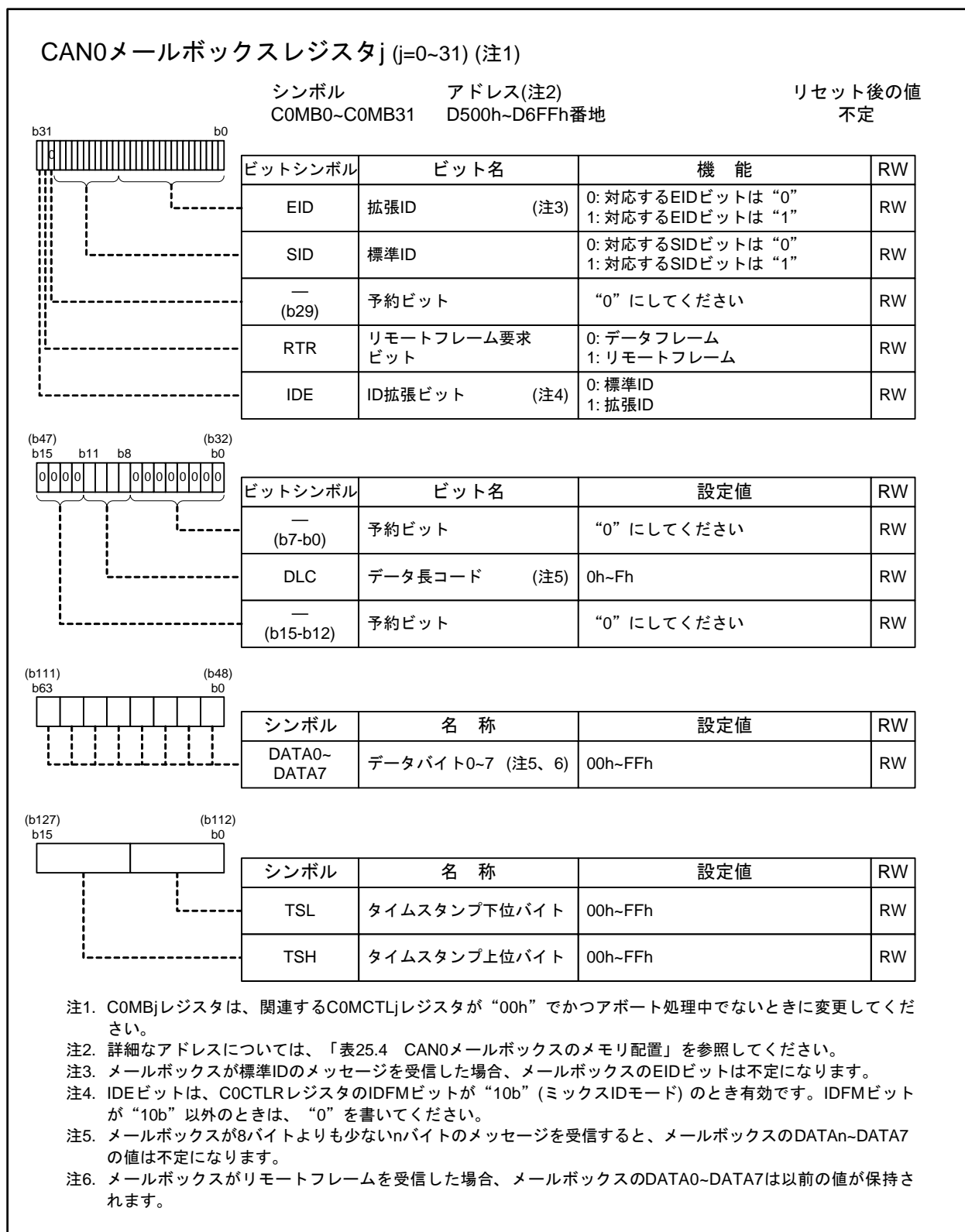


図 23.8 C0MBjレジスタ

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

23.1.7.1 EIDビット

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを送受信する場合に使用します。

23.1.7.2 SIDビット

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを送受信する場合の両方で使用します。

23.1.7.3 RTRビット

データフレームまたはリモートフレームのフレームフォーマットを設定します。以下の動作を指定します。

- 受信メールボックスは、RTRビットで選択したフレームフォーマットのみ受信する
- 送信メールボックスは、RTRビットで選択したフレームフォーマットで送信を行う
- 受信FIFOメールボックスは、COFIDCR0、COFIDCR1レジスタのRTRビットで選択したデータフレーム、リモートフレーム、または両方のフレームを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのRTRビットで選択したデータフレームまたはリモートフレームを送信する

23.1.7.4 IDEビット

標準IDまたは拡張IDのIDフォーマットを設定します。

COCTLRレジスタのIDFMビットが“10b”(ミックスIDモード)のとき有効です。

IDFMビットが“10b”のとき、IDEビットは以下の動作を指定します。

- 受信メールボックスは、IDEビットで選択したIDフォーマットのみ受信する
- 送信メールボックスは、IDEビットで選択したIDフォーマットで送信を行う
- 受信FIFOメールボックスは、COFIDCR0、COFIDCR1レジスタのIDEビットで選択した標準ID、拡張ID、または両方のIDメッセージを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのIDEビットで選択した標準IDまたは拡張IDのメッセージを送信する

23.1.7.5 DLC (Data Length Code)

データフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

表 23.6にDLCと対応するデータ長を示します。

表 23.6 DLCと対応するデータ長

DLC [3]	DLC [2]	DLC [1]	DLC [0]	データ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	X	X	X	8バイト

X: 任意の値

23.1.7.6 DATA0~DATA7

送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます。

23.1.7.7 TSL、TSH

受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。

23.1.8 CAN0メールボックス割り込み許可レジスタ (COMIER)

CAN0メールボックス割り込み許可レジスタ (注1、2)		シンボル COMIER	アドレス D72Fh-D72Ch番地	リセット後の値 不定
通常メールボックスモード				
ビットシンボル	ビット名	機能		RW
— (b31-b0)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可		RW
FIFOメールボックスモード				
ビットシンボル	ビット名	機能		RW
— (b23-b0)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可		RW
— (b24)	送信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可		RW
— (b25)	送信FIFO割り込み発生タイミング制御ビット	送信FIFO割り込み要求は、 0: 毎回の送信完了後発生 1: 送信完了によって送信FIFOが空状態になったとき発生		RW
— (b27-b26)	予約ビット	“0” にしてください		RW
— (b28)	受信FIFO割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可		RW
— (b29)	受信FIFO割り込み発生タイミング制御ビット	受信FIFO割り込み要求は 0: 毎回の受信完了後発生 1: 受信完了によって受信FIFOがバッファワーニングになったとき発生 (注3)		RW
— (b31-b30)	予約ビット	“0” にしてください		RW
<p>注1. COMIERレジスタは、関連するCOMCTLjレジスタ (j=0~31) が“00h”で、対応するメールボックスが送受信アポートの処理をしていないときのみ変更してください。</p> <p>注2. 関連するFIFOのCOMIERレジスタのビットは、FIFOメールボックスモードの場合、C0TFCRレジスタのTFEビットが“0”でTFESTビットが“1”、C0RFCRレジスタでRFEビットが“0”でRFESTビットが“1”のときのみ変更してください。</p> <p>注3. 受信FIFOがフルからバッファワーニングとなった場合、割り込み要求は発生しません。</p>				

図 23.9 COMIERレジスタ

メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード(ビット0~31)とFIFOメールボックスモード(ビット0~23)では、それぞれのビットは同じ番号のメールボックスに対応します。これらのビットは、対応するメールボックスの送信完了/受信完了割り込みを許可/禁止します。

FIFOメールボックスモードのビット24、25、28、29は送信/受信FIFO割り込みの許可/禁止と割り込み要求が発生するタイミングを指定します。

バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

23.1.9 CAN0メッセージ制御レジスタj (COMCTLj) (j=0~31)

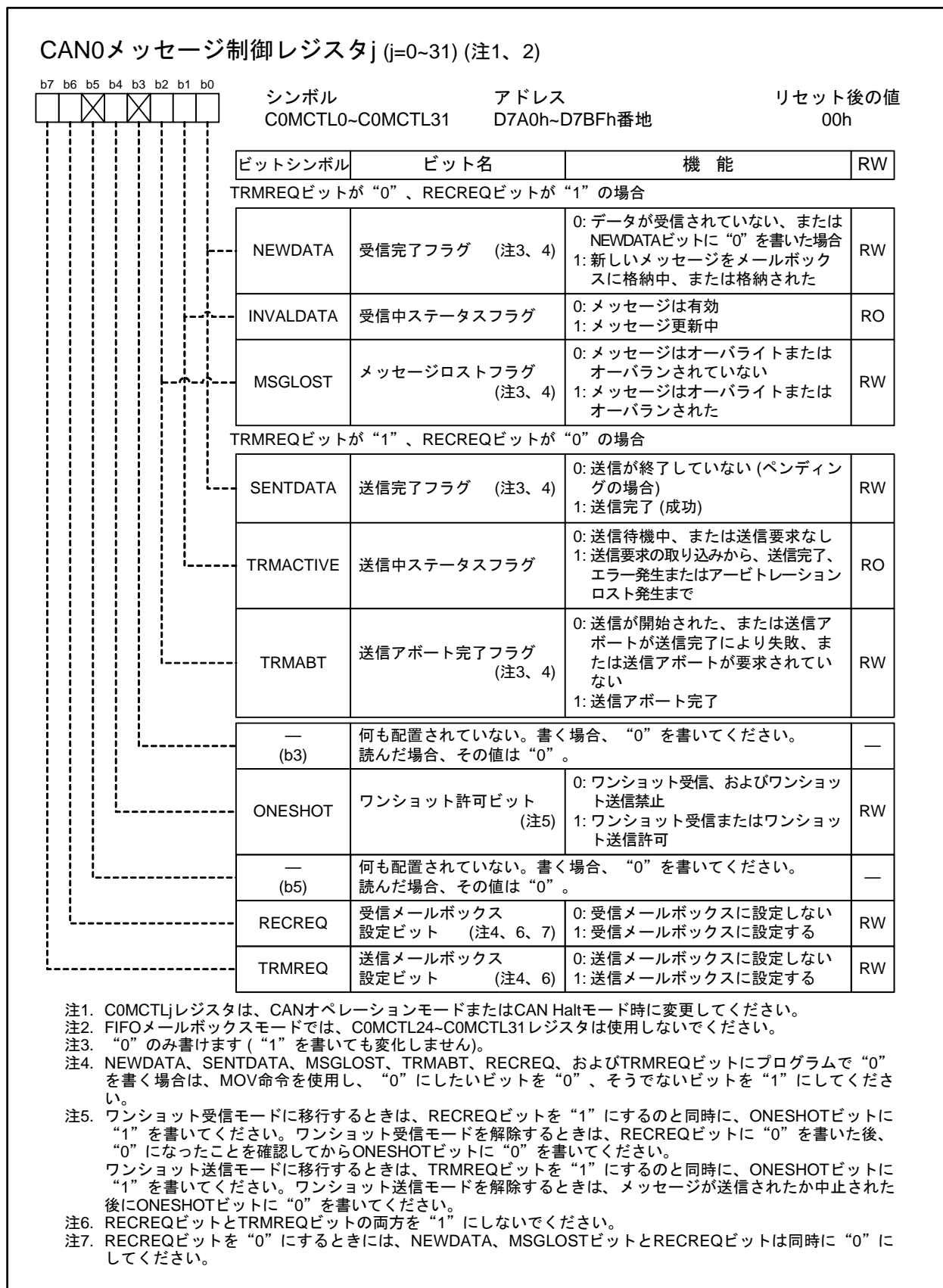


図 23.10 C0MCTLjレジスタ

23.1.9.1 NEWDATA ビット

メールボックスに新しいメッセージを格納中または格納が完了したときに、“1”になります。“1”になるタイミングは、INVALIDDATA ビットと同時です。

プログラムで“0”を書くと“0”になります。

関連するINVALIDDATA ビットが“1”の間は、NEWDATA ビットはプログラムで“0”を書いても“0”になりません。

23.1.9.2 SENTDATA ビット

対応するメールボックスからのデータ送信が完了すると“1”になります。

プログラムで“0”を書くと“0”になります。

“0”にする場合は、TRMREQ ビットを“0”にしてからSENTDATA ビットを“0”にしてください。SENTDATA ビットとTRMREQ ビットは同時に“0”になりません。

メールボックスから新しいメッセージを送信するには、SENTDATA ビットを“0”にしてください。

23.1.9.3 INVALIDDATA ビット

メッセージの受信完了後、受信したメッセージをメールボックスに更新中に“1”になります。

メッセージの格納完了時点で“0”になります。INVALIDDATA ビットが“1”の間にメールボックスを読んだ場合、データは不定値になります。

23.1.9.4 TRMACTIVE ビット

CANモジュールから対応するメールボックスのメッセージ送信を開始すると“1”になります。

CANモジュールがCANバスアービトレーションに負けるか、CANバスエラーが起こるか、あるいはデータ送信が完了すると、“0”になります。

23.1.9.5 MSGLOST ビット

NEWDATA ビットが“1”の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり破棄された場合、“1”になります。EOFの6番目のビットの終わりで“1”になります。

プログラムで“0”を書くと“0”になります。

オーバーライトモードとオーバーランモードの両方において、EOFの6番目のビットに続くfCAN(CANシステムクロック)の5サイクルの間は、MSGLOST ビットはプログラムで“0”を書いても“0”になりません。

23.1.9.6 TRMABT ビット

次の場合、“1”になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合
- ワンショット送信モード(RECREQ ビットが“0”、TRMREQ ビットが“1”、ONESHOT ビットが“1”)で、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合

データ送信が完了すると“1”にはなりません。データ送信が完了した場合はSENTDATA ビットが“1”になります。

プログラムで“0”を書くと“0”になります。

23.1.9.7 ONESHOTビット

ONESHOTビットは受信モードと送信モードの2つの使い方があります。

(1) ワンショット受信モード

受信モード(RECREQビットが“1”、TRMREQビットが“0”)のときONESHOTビットを“1”にすると、メールボックスはメッセージを1回のみ受信します(メッセージを1回受信完了した後は、受信メールボックスとして動作しません)。NEWDATA および INVALIDDATA ビットの動作は、通常の実受信モードと同じです。このモードでは、MSGLOSTビットは“1”にはなりません。

ONESHOTビットを“0”にする場合、RECREQビットへ“0”を書いた後、RECREQビットが“0”になることを確認してから行ってください。

(2) ワンショット送信モード

送信モード(RECREQビットが“0”、TRMREQビットが“1”)のときONESHOTビットを“1”にすると、CANモジュールはメッセージを1回のみ送信します(CANバスエラーまたはCANバスアービトレーション負けの場合でも、メッセージの再送信を行いません)。送信が完了した場合、SENTDATAビットが“1”になります。CANバスエラーまたはCANバスアービトレーション負けによって送信が完了しない場合は、TRMABTビットが“1”になります。

ONESHOTビットを“0”にする場合は、SENTDATAビットが“1”またはTRMABTビットが“1”になった後に行ってください。

23.1.9.8 RECREQビット

表 23.11 に示す受信モードを選択します。

“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

ハードウェアプロテクトの開始

- アクセプタンスフィルタ処理の開始(CRCフィールドの始まり)

ハードウェアプロテクトの解除

- メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、またはCANバスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRCフィールドの始まりからEOFの7番目のビットの終わりまで)
- その他のメールボックスは、アクセプタンスフィルタ処理後
- 受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQビットを“1”にする場合は、TRMREQビットを“1”にしないでください。

メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアポートし、そしてSENTDATAビットとTRMABTビットを“0”にしてください。

23.1.9.9 TRMREQビット

表 23.11 に示す送信モードを選択します。

“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQビットを“1”から“0”に変更すると、TRMABTビットまたはSENTDATAビットが“1”になります。

TRMREQビットを“1”にする場合は、RECREQビットを“1”にしないでください。

メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアポートし、そしてNEWDATAビットとMSGLOSTビットを“0”にしてください。

23.1.10 CAN0受信FIFO制御レジスタ (C0RFCR)

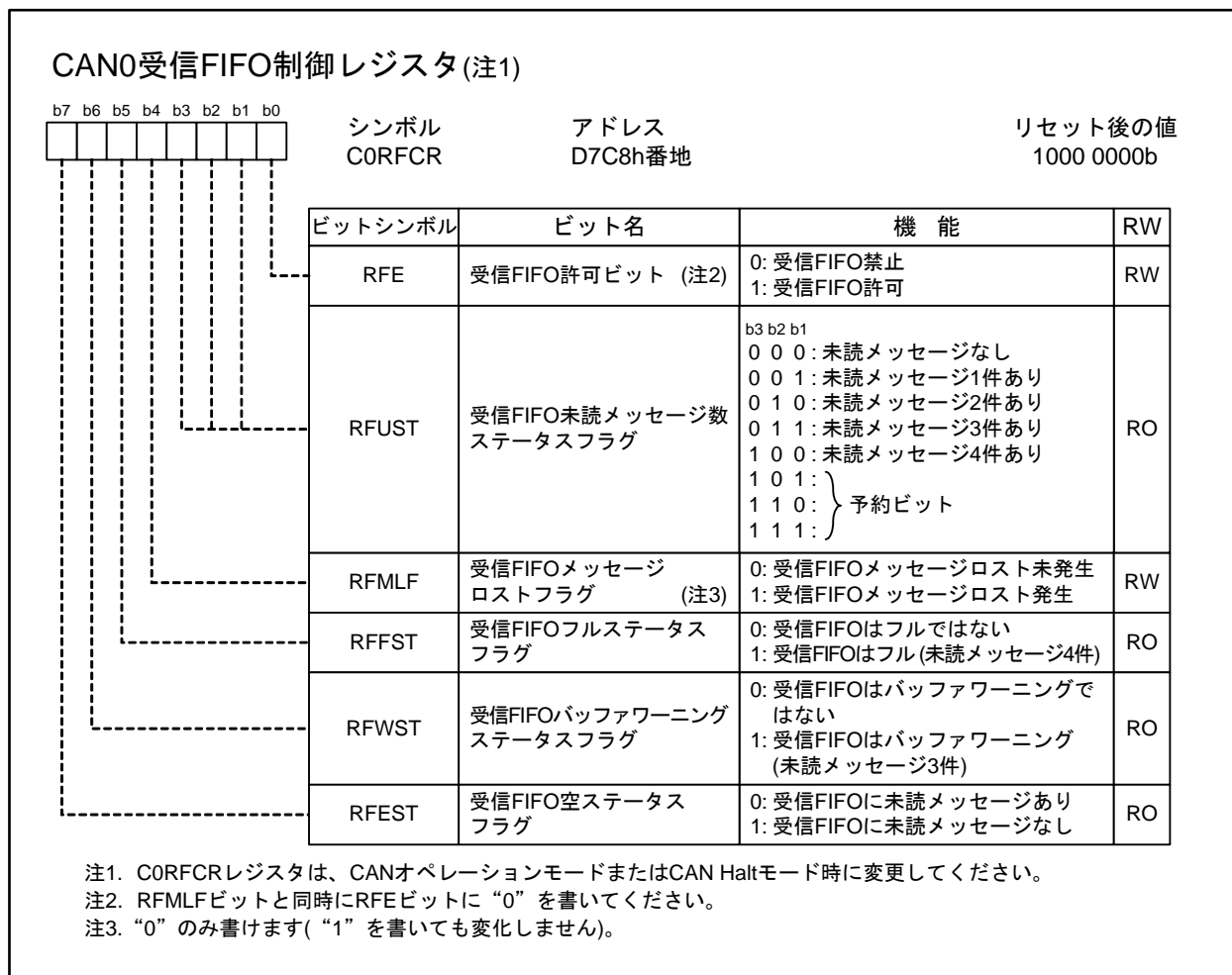


図 23.11 C0RFCR レジスタ

23.1.10.1 RFEビット

“1”にすると、受信FIFOが受信許可になります。

“0”にすると、受信FIFOは受信禁止になり、空状態(RFESTビットが“1”)になります。

通常メールボックスモード(COCTLRレジスタのMBMビットが“0”)では、“1”にしないでください。以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

ハードウェアプロテクトの開始

- アクセプタンスフィルタ処理の開始(CRCフィールドの始まり)

ハードウェアプロテクトの解除

- メッセージの受信に受信FIFOが指定された場合は、受信メッセージが受信FIFOに格納された後、またはCANバスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRCフィールドの始まりからEOFの7番目のビットの終わりまで)
- メッセージの受信に受信FIFOが指定されない場合は、アクセプタンスフィルタ処理後

23.1.10.2 RFUSTビット

受信FIFO内の未読メッセージの数を示します。

RFEビットを“0”にすると、“000b”に初期化されます。

23.1.10.3 RFMLFビット

受信FIFOがフルのときに新しいメッセージを受信すると、“1”(受信FIFOメッセージロス発生)になります。“1”になるタイミングは、EOFの6番目のビットの終わりです。

プログラムで“0”を書くと“0”になります。

オーバランモードとオーバライトモードのどちらも、受信FIFOがフルでメッセージの受信が決定している場合、ハードウェアプロテクトによりEOFの6番目のビットに続くfCAN(CANシステムクロック)の5サイクルの間は、プログラムで“0”(受信FIFOメッセージロス未発生)になりません。

23.1.10.4 RFFSTビット

受信FIFO内の未読メッセージが4件になると、“1”(受信FIFOはフル)になります。受信FIFO内の未読メッセージが4件未満になると、“0”(受信FIFOはフルではない)になります。RFEビットを“0”にすると、“0”になります。

23.1.10.5 RFWSTビット

受信FIFO内の未読メッセージが3件になると、“1”(受信FIFOはバッファワーニング)になります。受信FIFO内の未読メッセージが3件未満もしくは4件になると“0”(受信FIFOはバッファワーニングではない)になります。RFEビットを“0”にすると、“0”になります。

23.1.10.6 RFESTビット

受信FIFO内の未読メッセージがなくなると、“1”(受信FIFOに未読メッセージなし)になります。RFEビットを“0”にすると、“1”になります。受信FIFO内の未読メッセージが1件以上になると、“0”(受信FIFOに未読メッセージあり)になります。

図 23.12に受信FIFOメールボックスの動作を示します。

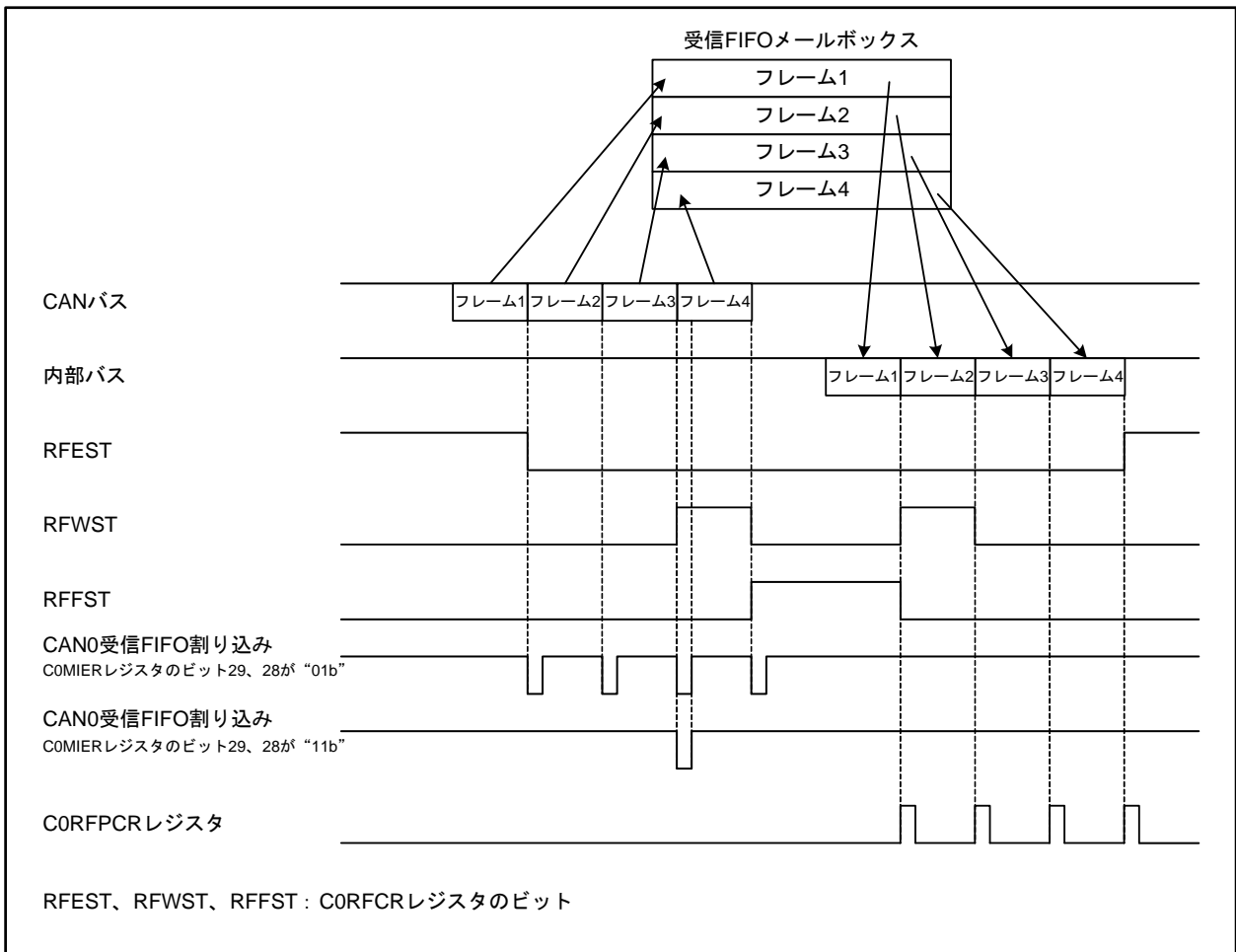


図 23.12 受信FIFOメールボックスの動作 (COMIERレジスタのビット29、28が“01b”または“11b”)

23.1.11 CAN0受信FIFOポインタ制御レジスタ (C0RFPCR)



図 23.13 C0RFPCR レジスタ

受信FIFOが空状態でないとき、受信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムで“FFh”を書いてください。

C0RFPCRレジスタのRFEビットが“0”(受信FIFO禁止)のときは、書かないでください。

受信オーバーライトモードでRFFSTビットが“1”(受信FIFOはフル)のときに新しいメッセージが受信されると、CAN側ポインタとCPU側ポインタの両方が移動します。この状態で、RFMLFビットが“1”のとき、プログラムでC0RFPCRレジスタに書き込んでもCPU側ポインタは移動しません。

23.1.12 CAN0送信FIFO制御レジスタ (C0TFCR)

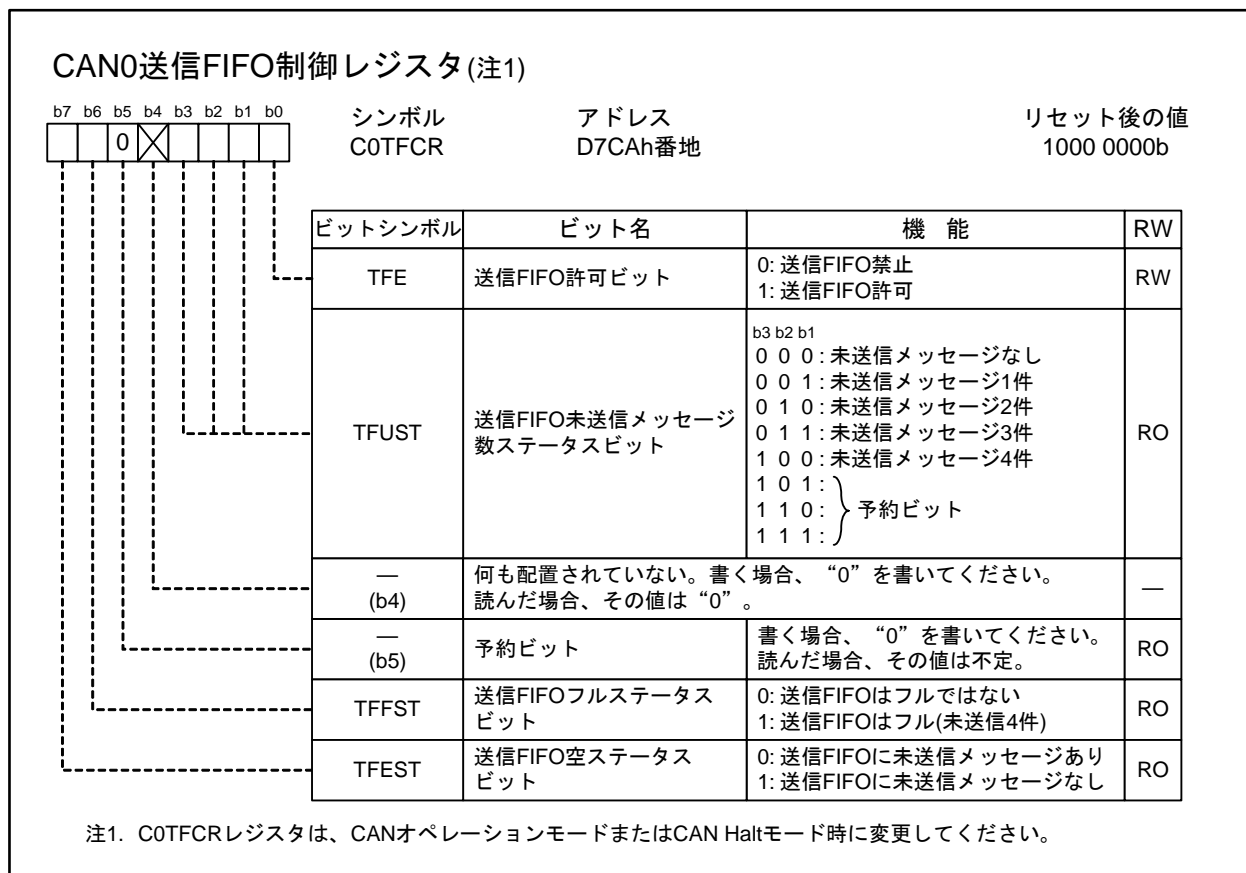


図 23.14 C0TFCR レジスタ

23.1.12.1 TFEビット

“1”にすると、送信 FIFOが送信許可になります。

“0”にすると、送信 FIFOは空状態(TFESTビットが“1”)になり、次のように送信 FIFOからの未送信メッセージが失われます。

- 送信 FIFOからの次の送信予定がなく、また送信中でもないとき、空状態になります。
- 送信 FIFOからの次の送信予定があるかまたはすでに送信中の場合、送信完了、CANバスエラー、アービトレーション負け、またはCAN Haltモードへの遷移に続いて空状態になります。

再度“1”にする前に、TFESTビットが“1”になっているか確認してください。

“1”にした後、送信データをCOMB24レジスタに書いてください。

通常メールボックスモード(COCTLRレジスタのMBMビットが“0”)では、“1”にしないでください。

23.1.12.2 TFUSTビット

送信FIFO内の未送信メッセージの数を示します。

TFEビットを“0”にした後、送信アポート完了または送信完了すると、“000b”になります。

23.1.12.3 TFFSTビット

送信FIFO内の未送信メッセージが4件になると、“1” (送信FIFOはフル)になります。送信FIFO内の未送信メッセージが4件未満になると、“0” (送信FIFOはフルではない)になります。送信FIFOの送信アポートが完了すると、“0”になります。

23.1.12.4 TFESTビット

送信FIFO内の未送信メッセージがなくなると、“1” (送信FIFOにメッセージなし)になります。送信FIFOの送信アポートが完了すると、“1”になります。

送信FIFO内の未送信メッセージが1件以上になると、“0” (送信FIFOにメッセージあり)になります。

図 23.15 に送信FIFO メールボックスの動作を示します。

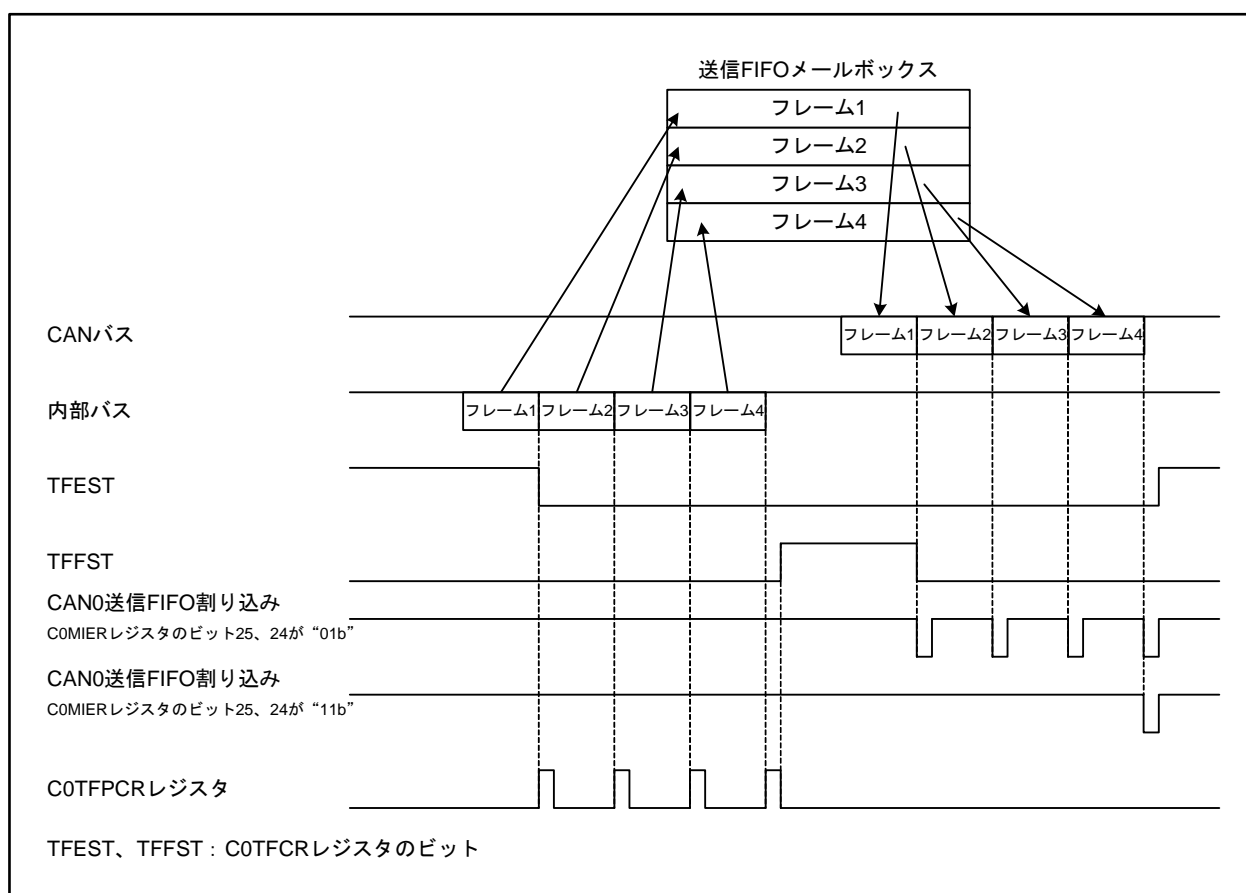


図 23.15 送信FIFO メールボックスの動作(C0MIER レジスタのビット25、24が“01b”または“11b”)

23.1.13 CAN0送信FIFOポインタ制御レジスタ (C0TFPCR)



図 23.16 C0TFPCR レジスタ

送信FIFOがフルでないとき、送信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムで“FFh”を書いてください。

C0TFPCRレジスタのTFEビットが“0” (送信FIFO禁止)のときは、書かないでください。

23.1.14 CAN0ステータスレジスタ (C0STR)

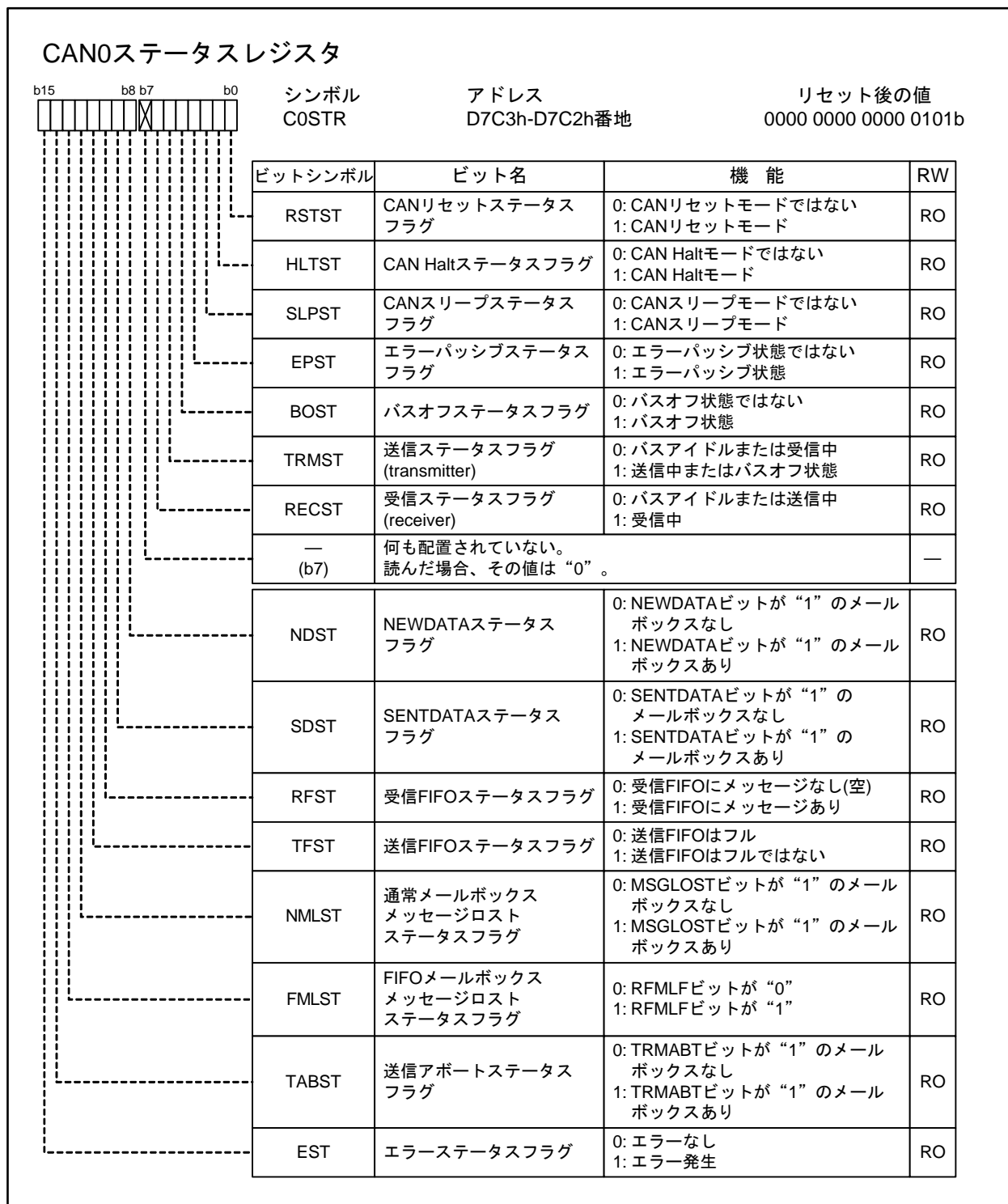


図 23.17 C0STR レジスタ

23.1.14.1 RSTSTビット

CANリセットモードになると、“1”になります。

CANリセットモード以外になると、“0”になります。

CANリセットモードからCANスリープモードに遷移しても、“1”のままです。

23.1.14.2 HLTSTビット

CAN Haltモードになると、“1”になります。

CAN Haltモード以外になると、“0”になります。

CAN HaltモードからCANスリープモードに遷移しても、“1”のままです。

23.1.14.3 SLPSTビット

CANスリープモードになると、“1”になります。

CANスリープモード以外になると、“0”になります。

23.1.14.4 EPSTビット

COTECCRまたはCORECCRレジスタの値が127を超えて、CANモジュールがエラーパッシブ状態($128 \leq \text{TEC} < 256$ または $128 \leq \text{REC} < 256$)になると、“1”になります。エラーパッシブ状態以外になると、“0”になります。

TECは送信エラーカウンタ(COTECCRレジスタ)、RECは受信エラーカウンタ(CORECCRレジスタ)の値です。

23.1.14.5 BOSTビット

COTECCRレジスタの値が255を超えて、CANモジュールがバスオフ状態($\text{TEC} \geq 256$)になると、“1”になります。バスオフ状態以外になると、“0”になります。

23.1.14.6 TRMSTビット

CANモジュールが送信ノードかバスオフ状態になると、“1”になります。受信ノードかバスアイドル状態になると、“0”になります。

23.1.14.7 RECSTビット

CANモジュールが受信ノードになると、“1”になります。送信ノードかバスアイドル状態になると、“0”になります。

23.1.14.8 NDSTビット

COMCTLjレジスタ(j=0~31)のNEWDATAビットが一つでも“1”になると、COMIERレジスタの値とは無関係に“1”になります。

NEWDATAビットがすべて“0”になると、“0”になります。

23.1.14.9 SDSTビット

COMCTLjレジスタ(j=0~31)のSENTDATAビットが一つでも“1”になると、COMIERレジスタの値とは無関係に“1”になります。

SENTDATAビットがすべて“0”になると、“0”になります。

23.1.14.10 RFSTビット

受信FIFOが空状態以外になると、“1”になります。

受信FIFOが空状態になると、“0”になります。

通常メールボックスモードになると、“0”になります。

23.1.14.11 TFSTビット

送信FIFOがフル以外になると、“1”になります。

送信FIFOがフル状態になると、“0”になります。

通常メールボックスモードになると、“0”になります。

23.1.14.12 NMLSTビット

COMCTLjレジスタのMSGLOSTビットが一つでも“1”になると、COMIERレジスタの値とは無関係に“1”になります。

MSGLOSTビットがすべて“0”になると、“0”になります。

23.1.14.13 FMLSTビット

CORFCRレジスタのRFMLFビットが“1”になると、COMIERレジスタの値とは無関係に“1”になります。

RFMLFビットが“0”になると、“0”になります。

23.1.14.14 TABSTビット

COMCTLjレジスタのTRMABTビットが一つでも“1”になると、COMIERレジスタの値とは無関係に“1”になります。

TRMABTビットがすべて“0”になると、“0”になります。

23.1.14.15 ESTビット

COEIFRレジスタで一つでもエラーが検出されると、COEIERレジスタの値とは無関係に“1”になります。

COEIFRレジスタで一つもエラーが検出されないと、“0”になります。

23.1.15 CAN0メールボックスサーチモードレジスタ (COMSMR)

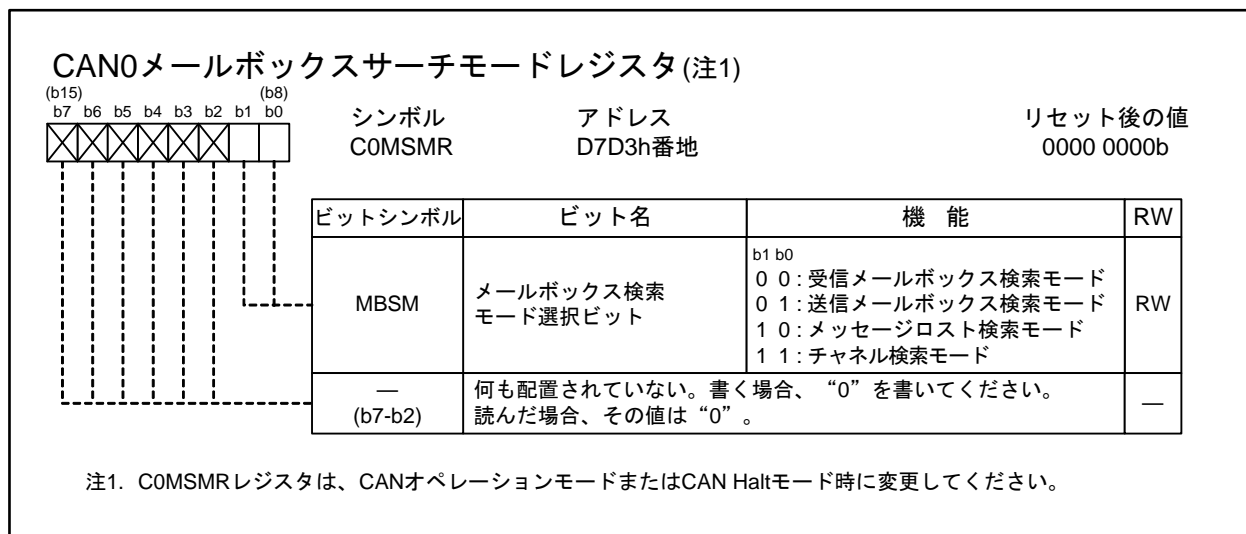


図 23.18 COMSMR レジスタ

23.1.15.1 MBSM ビット

メールボックス検索機能のための検索モードを選択します。

“00b”の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、COMCTLjレジスタ(j=0~31)の通常メールボックスでのNEWDATAビットとCORFCRレジスタのRFESTビットです。

“01b”の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、COMCTLjレジスタのSENTDATAビットです。

“10b”の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、COMCTLjレジスタの通常メールボックスでのMSGLOSTビットとCORFCRレジスタのRFMLFビットです。

“11b”の場合、チャンネル検索モードになります。このモードで検索対象となるレジスタはCOCSSRレジスタです。「23.1.17 CAN0チャンネルサーチサポートレジスタ(COCSSR)」を参照してください。

23.1.16 CAN0メールボックスサーチステータスレジスタ (C0MSSR)



図 23.19 C0MSSR レジスタ

23.1.16.1 MBNSTビット

COMSMRレジスタの各モードで検索された、最小のメールボックス番号が出力されます。

受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが“0”になる
- より優先順位の高いメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが“1”になる

受信メールボックス検索モードおよびメッセージロスト検索モードのとき、受信FIFOが空状態でなく、すべての通常メールボックス(メールボックス[0]~[23])に未読の受信メッセージもロストメッセージもない場合、受信FIFO(メールボックス[28])が出力されます。

送信メールボックス検索モードのとき、送信FIFO(メールボックス[24])は出力されません。

表 23.7にFIFOメールボックスモードでのMBNSTビットの動作を示します。

表 23.7 FIFOメールボックスモードでのMBNSTビットの動作

MBSMビット	メールボックス[24] (送信 FIFO)	メールボックス[28] (受信 FIFO)
00b	メールボックス[24] は出力されない	通常メールボックスの、どのNEWDATA ビットも“1”にならず、また受信FIFOが空でない場合は、メールボックス[28]が出力される
01b		メールボックス[28] は出力されない
10b		通常メールボックスの、どのMSGLOST ビットも“1”にならず、受信FIFO内のRFMLFビットが“1”になると、メールボックス[28]が出力される
11b		メールボックス[28] は出力されない

チャンネル検索モードでは、チャンネル番号が出力されます。COMSSRレジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

23.1.16.2 SESTビット

すべてのメールボックスの検索で該当するメールボックスがない場合、“1”(検索結果なし)になります。

たとえば、送信メールボックス検索モードで、SENTDATAビットが“1”のメールボックスがひとつもない場合“1”になり、ひとつでもある場合“0”になります。

SESTビットが“1”の場合、MBNSTビットの値は不定です。

23.1.17 CAN0チャンネルサーチサポートレジスタ (C0CSSR)



図 23.20 C0CSSRレジスタ

“1”が設定されたC0CSSRレジスタのビットは、8/3エンコーダ(最小ビット位置がより高い優先順位)によってエンコードされ、C0MSSRレジスタのMBNSTビットに出力されます。

C0MSSRレジスタは、C0MSSRレジスタをプログラムで読み出すたびに更新された値が出力されず。

図 23.21にC0CSSR、C0MSSRレジスタの書き込みと読み出しを示します。

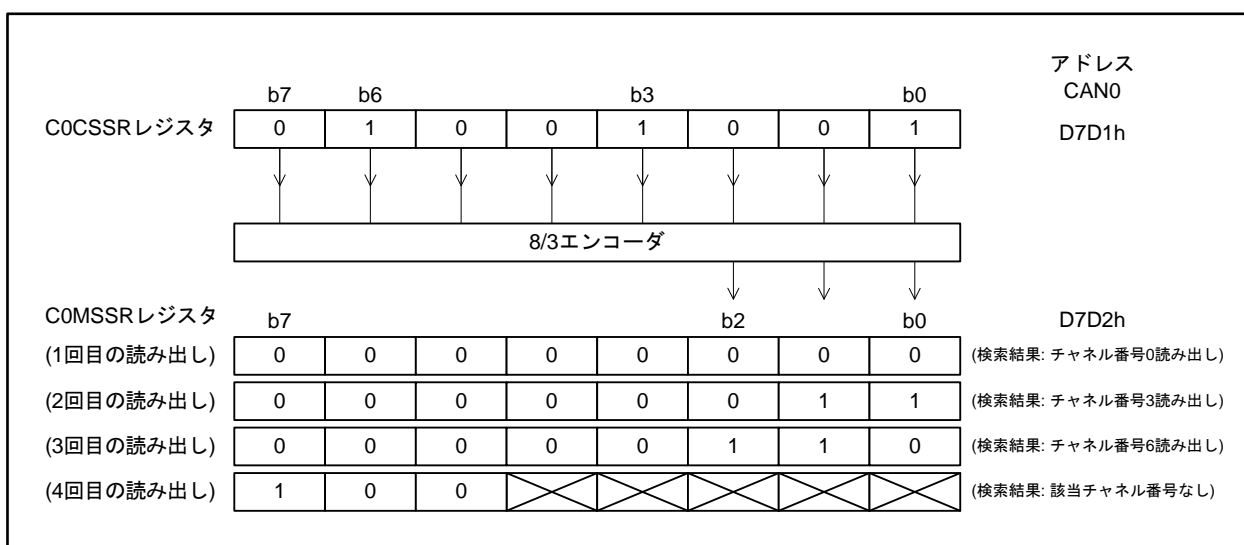


図 23.21 C0CSSR、C0MSSRレジスタの書き込みと読み出し

C0CSSRレジスタの値もC0MSSRレジスタを読み出す度に更新されます。読んだ場合、8/3エンコーダ変換前の値が読めます。

23.1.18 CAN0アクセプタンスフィルタサポートレジスタ (C0AFSR)

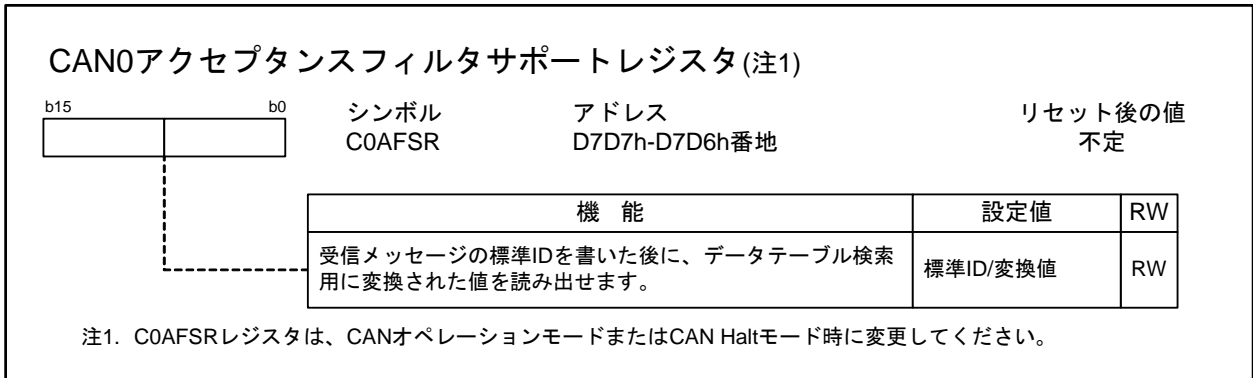


図 23.22 C0AFSR レジスタ

アクセプタンスフィルタサポートユニット (ASU) は、あらかじめユーザにより作成された全標準 ID が有効か無効かを 1 ビット単位で設定したデータテーブル (8 ビット×256) の検索に使用できます。受信した標準 ID が格納された COMBj レジスタ (j=0~31) の SID ビットを含む 16 ビット単位のデータを C0AFSR レジスタへ書くと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と列 (ビット) 位置が読み出せます。ASU は、標準 (11 ビット) ID のみに使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合
例) 受信する ID: 078h、087h、111h
 - 受信する ID が多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合
- 図 23.23 に C0AFSR レジスタの書き込み、読み出しを示します。

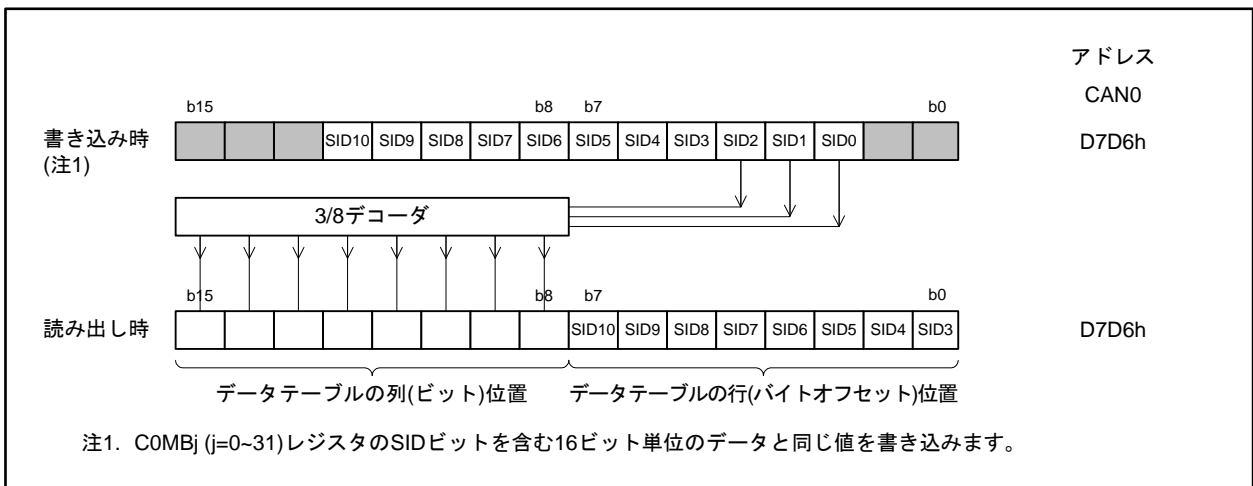


図 23.23 C0AFSR レジスタの書き込み、読み出し

23.1.19 CAN0エラー割り込み許可レジスタ (C0EIER)

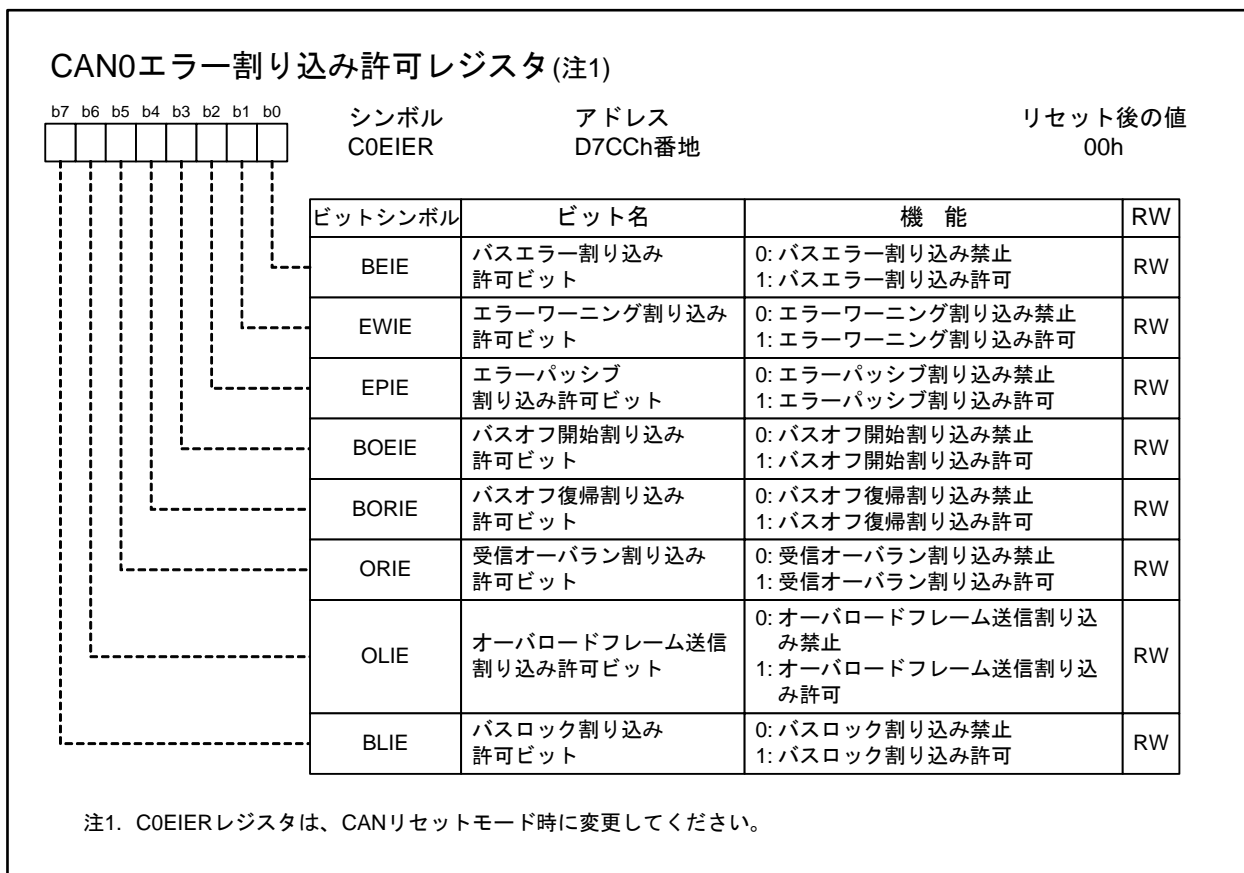


図 23.24 C0EIER レジスタ

C0EIER レジスタは、C0EIFR レジスタのエラー割り込み要因に対して個別にエラー割り込みの許可/禁止を設定できます。

23.1.19.1 BEIE ビット

“0”にすると、COEIFRレジスタのBEIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、BEIFビットが“1”になった場合、エラー割り込み要求が発生します。

23.1.19.2 EWIE ビット

“0”にすると、COEIFRレジスタのEWIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、EWIFビットが“1”になった場合、エラー割り込み要求が発生します。

23.1.19.3 EPIE ビット

“0”にすると、COEIFRレジスタのEPIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、EPIFビットが“1”になった場合、エラー割り込み要求が発生します。

23.1.19.4 BOEIE ビット

“0”にすると、COEIFRレジスタのBOEIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、BOEIFビットが“1”になった場合、エラー割り込み要求が発生します。

23.1.19.5 BORIE ビット

“0”にすると、COEIFRレジスタのBORIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、BORIFビットが“1”になった場合、エラー割り込み要求が発生します。

23.1.19.6 ORIE ビット

“0”にすると、COEIFRレジスタのORIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、ORIFビットが“1”になった場合、エラー割り込み要求が発生します。

23.1.19.7 OLIE ビット

“0”にすると、COEIFRレジスタのOLIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、OLIFビットが“1”になった場合、エラー割り込み要求が発生します。

23.1.19.8 BLIE ビット

“0”にすると、COEIFRレジスタのBLIFビットが“1”になっても、エラー割り込み要求は発生しません。
“1”にすると、BLIFビットが“1”になった場合、エラー割り込み要求が発生します。

23.1.20 CAN0エラー割り込み要因判定レジスタ (C0EIFR)

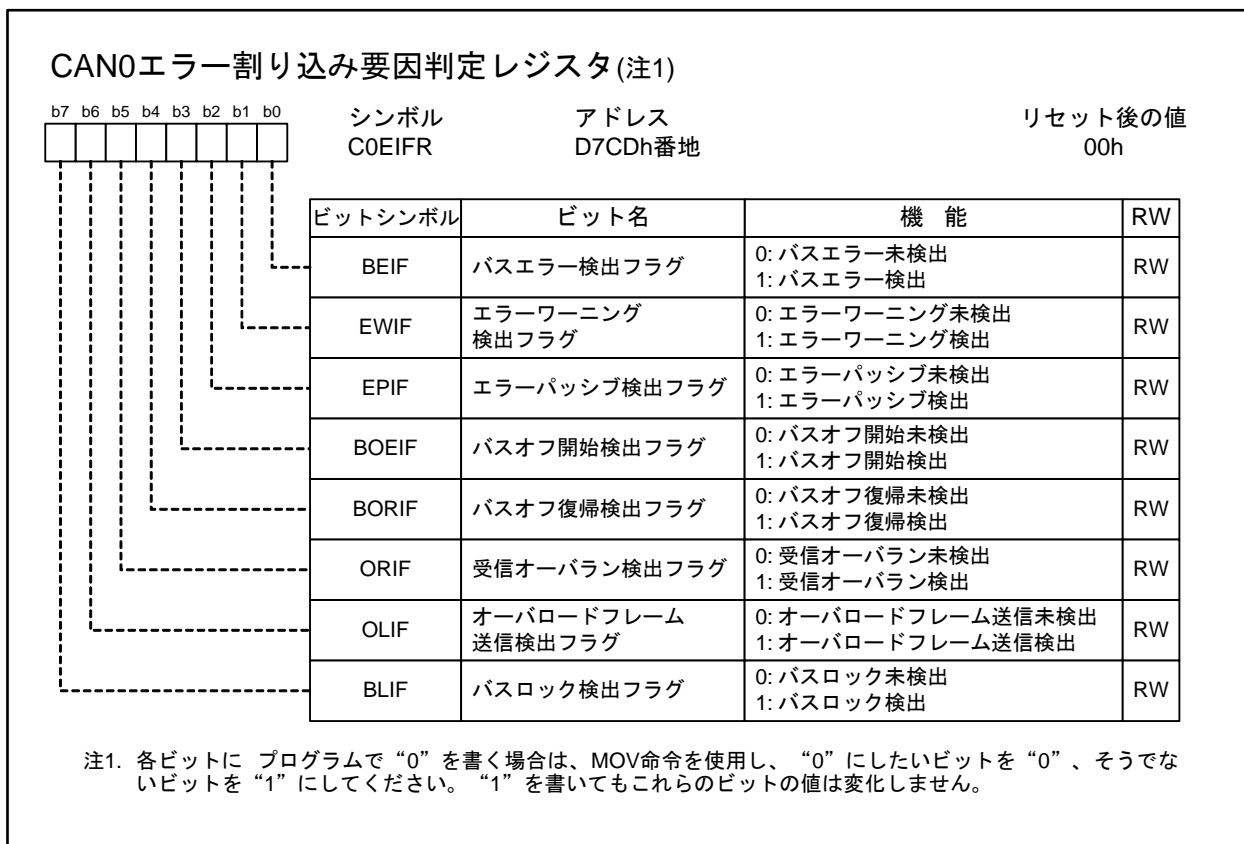


図 23.25 C0EIFR レジスタ

C0EIFR レジスタは、各ビットに対応する現象が発生すると、C0EIFR レジスタの設定にかかわらず対応するビットが“1”になります。

各ビットを“0”にする場合は、プログラムで“0”を書いてください。“1”になるタイミングとプログラムで“0”にするタイミングが同時の場合、そのビットは“1”になります。

23.1.20.1 BEIF ビット

バスエラーが検出されると、“1”になります。

23.1.20.2 EWIF ビット

REC (受信エラーカウンタ) または TEC (送信エラーカウンタ) の値が95を超えると、“1”になります。

REC または TEC が最初に95を超えたときのみ“1”になります。したがって、REC または TEC が95を超えたままで、プログラムで“0”を書いた場合、一度REC と TEC が95以下になり、再びREC または TEC が95を超えるまでは“1”にはなりません。

23.1.20.3 EPIFビット

CAN エラーステートがエラーパッシブ状態 (REC または TEC の値が 127 を超える) になると、“1”になります。

REC または TEC が最初に 127 を超えたときのみ“1”になります。したがって、REC または TEC が 127 を超えたままで、プログラムで“0”を書いた場合、一度 REC と TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは“1”にはなりません。

23.1.20.4 BOEIFビット

CAN エラーステートがバスオフ状態 (TEC の値が 255 を超える) になると、“1”になります。

COCTRL レジスタの BOM ビットが“01b” (バスオフ開始で自動的に CAN Halt モードへ遷移) で、CAN モジュールがバスオフ状態になった場合も、“1”になります。

23.1.20.5 BORIFビット

CAN モジュールが次の条件でバスオフ状態から通常復帰 (11 の連続するレセシブビットを 128 回検出) した場合、“1”になります。

- (1) COCTRL レジスタの BOM ビットが“00b”のとき
- (2) BOM ビットが“10b”のとき
- (3) BOM ビットが“11b” のとき

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、“1”にはなりません。

- (1) COCTRL レジスタの CANM ビットを“01b” (CAN リセットモード) にしたとき
- (2) COCTRL レジスタの RBOC ビットを“1” (バスオフからの強制復帰) にしたとき
- (3) BOM ビットが“01b”のとき
- (4) BOM ビットが“11b”で、通常復帰が発生する前に、CANM ビットを“10b” (CAN Halt モード) にしたとき

表 23.8 に BOM ビットの設定値による BOEIF、BORIF ビットの動作を示します。

表 23.8 BOM ビットの設定値による BOEIF、BORIF ビットの動作

BOM ビット	BOEIF ビット	BORIF ビット
00b	バスオフ状態への遷移時“1”になる	バスオフ状態からの復帰時“1”になる
01b		“1”にはならない
10b		バスオフ状態からの復帰時“1”になる
11b		CANM ビットが“10b” (CAN Halt モード) になる前に、通常のバスオフ状態からの復帰が発生した場合“1”になる

23.1.20.6 ORIFビット

受信オーバランが発生すると、“1”になります。

オーバーライトモードでは“1”にはなりません。オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、“1”にはなりません。

通常メールボックスモードの場合、オーバランモードで、メールボックス [0]~[31] のいずれかでオーバランが発生すると、“1”になります。

FIFO メールボックスモードの場合、オーバランモードで、メールボックス [0]~[23] のいずれかまたは受信 FIFO でオーバランが発生すると、“1”になります。

23.1.20.7 OLIFビット

CANモジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、“1”になります。

23.1.20.8 BLIFビット

CANモジュールがCANオペレーションモードの間、CANバス上に32の連続するドミナントビットを検出すると、“1”になります。

“1”になった後、次のどちらかで再検出します。

- このビットを“1”から“0”にした後、レセシブビットを検出。
- このビットを“1”から“0”にした後、CANリセットモードもしくはCAN Haltモードに遷移し、再度CANオペレーションモードに遷移。

23.1.21 CAN0受信エラーカウントレジスタ (C0RECR)



図 23.26 C0RECR レジスタ

C0RECR レジスタは、受信エラーカウンタの値を示します。
 受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

23.1.22 CAN0送信エラーカウントレジスタ (C0TECR)



図 23.27 C0TECR レジスタ

C0TECR レジスタは、送信エラーカウンタの値を示します。
送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。

23.1.23 CAN0エラーコード格納レジスタ (C0ECSR)

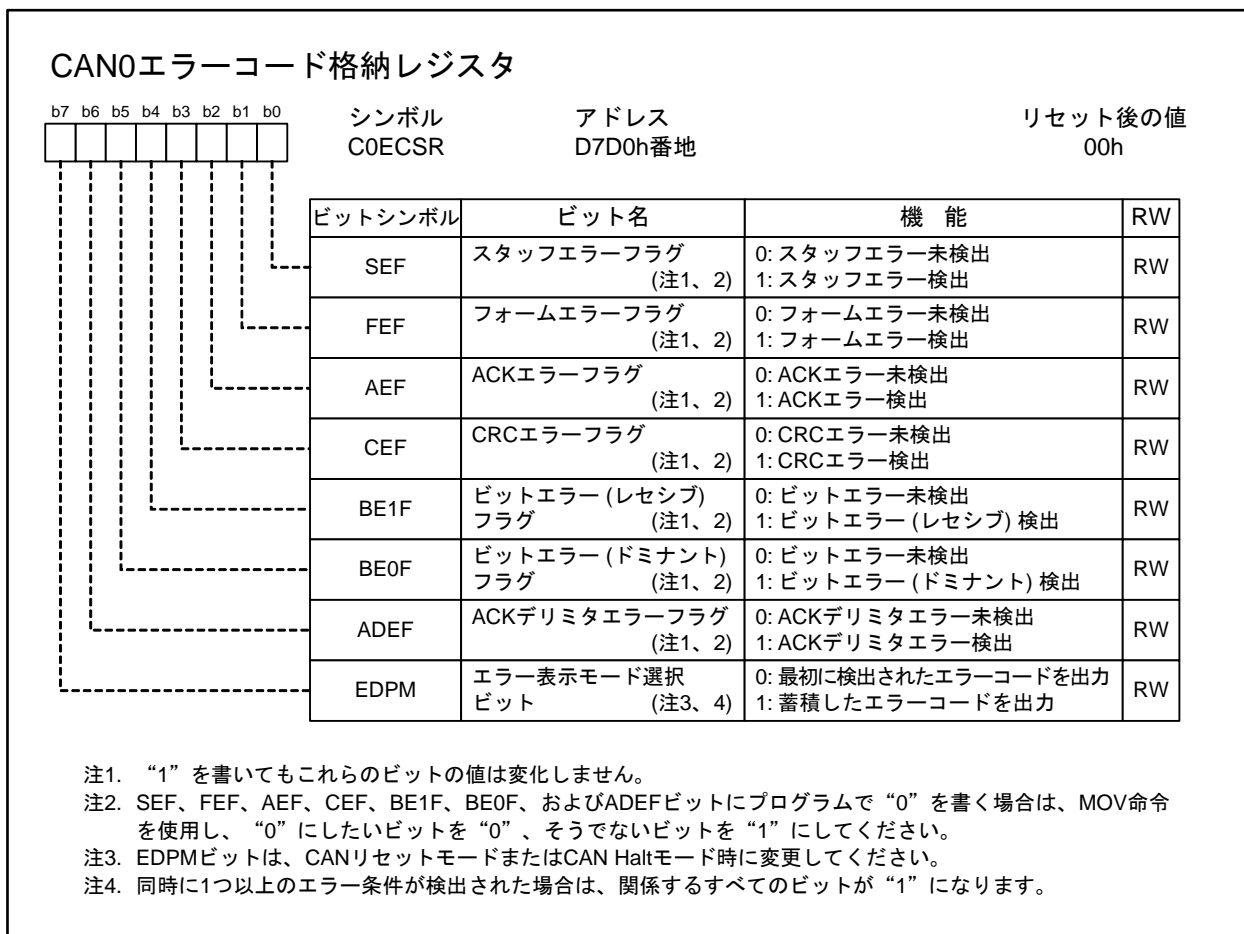


図 23.28 C0ECSR レジスタ

C0ECSRレジスタは、CANバス上のエラーの発生をモニタリングする場合に使用できます。各エラーの発生条件を確認するには、CAN仕様(ISO11898-1)を参照してください。

EDPMビット以外の各ビットを“0”にする場合は、プログラムで“0”を書いてください。各ビットが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのビットは“1”になります。

23.1.23.1 SEFビット

スタッフエラーを検出すると“1”になります。

23.1.23.2 FEFビット

フォームエラーを検出すると“1”になります。

23.1.23.3 AEFビット

ACKエラーを検出すると“1”になります。

23.1.23.4 CEFビット

CRCエラーを検出すると“1”になります。

23.1.23.5 BE1Fビット

レセシブビットエラーを検出すると“1”になります。

23.1.23.6 BE0Fビット

ドミナントビットエラーを検出すると“1”になります。

23.1.23.7 ADEFビット

送信中のACKデリミタでフォームエラーを検出すると“1”になります。

23.1.23.8 EDPMビット

COECSRレジスタの出力モードを選択します。

“0”にすると、COECSRレジスタは最初のエラーコードを出力します。

“1”にすると、COECSRレジスタは蓄積したエラーコードを出力します。

23.1.24 CAN0タイムスタンプレジスタ (C0TSR)

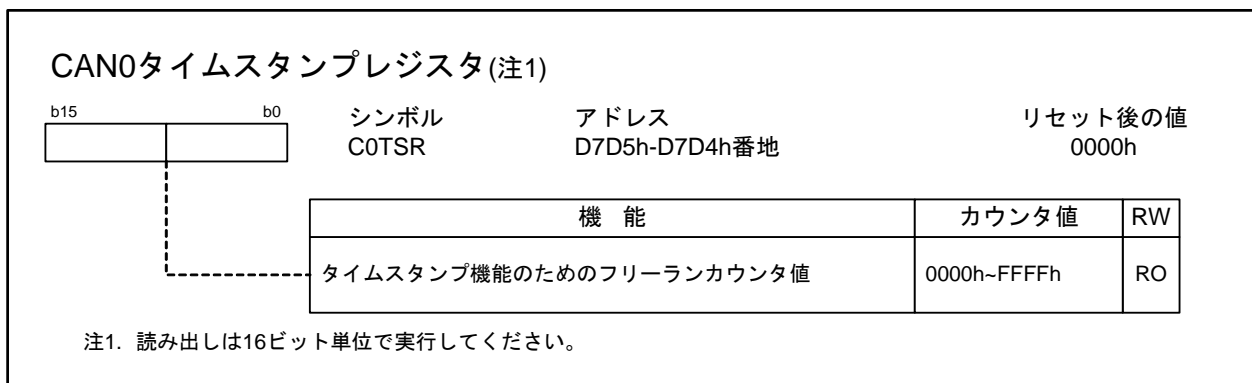


図 23.29 C0TSR レジスタ

C0TSR レジスタを読むと、その時点のタイムスタンプカウンタ (16ビットフリーランカウンタ) の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は1ビットタイムを逡倍したもので、COCTLR レジスタのTSPSビットで設定します。

タイムスタンプカウンタは、CAN スリープモードおよびCAN Halt モードで停止し、CAN リセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときタイムスタンプカウンタの値がCOMBj レジスタ (j=0~31) のTSL、TSHへ格納されます。

23.1.25 CAN0テスト制御レジスタ (C0TCR)

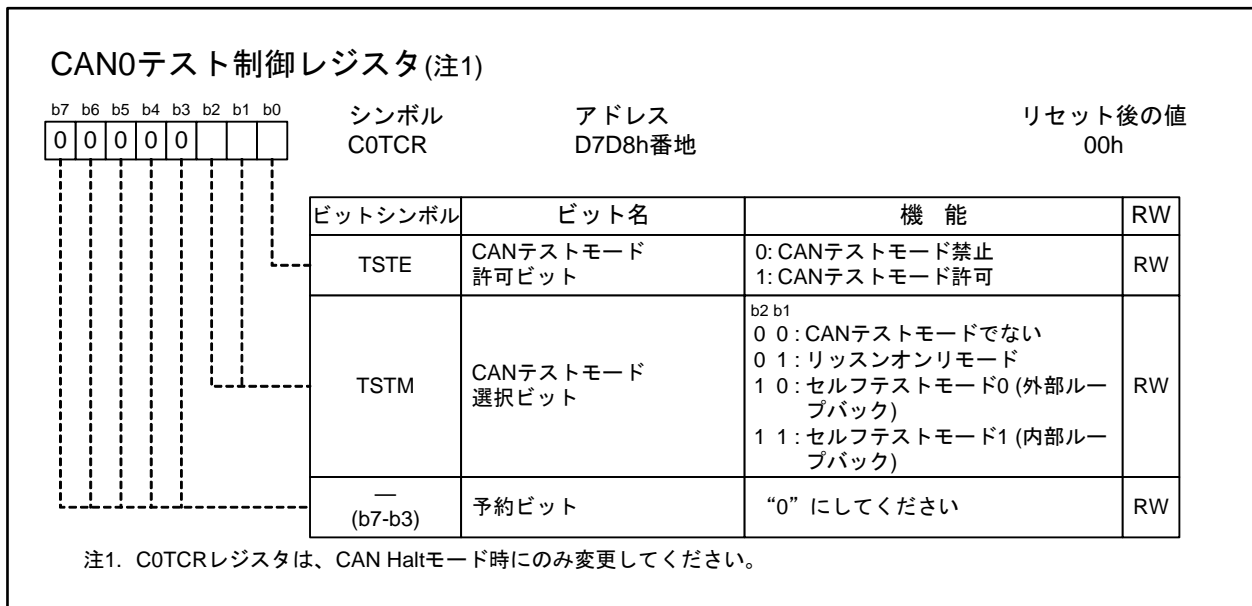


図 23.30 C0TCR レジスタ

23.1.25.1 TSTE ビット

“0”にすると、CANテストモードは禁止になります。
 “1”にすると、CANテストモードは許可になります。

23.1.25.2 TSTM ビット

CANテストモードを選択するビットです。
 各CANテストモードの詳細を、以下に説明します。

23.1.25.3 リッスンオンリモード

CAN仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できます。CANバス上にはレセプビットのみが送信され、ACKビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 23.31 にリッスンオンリモード選択時の接続を示します。

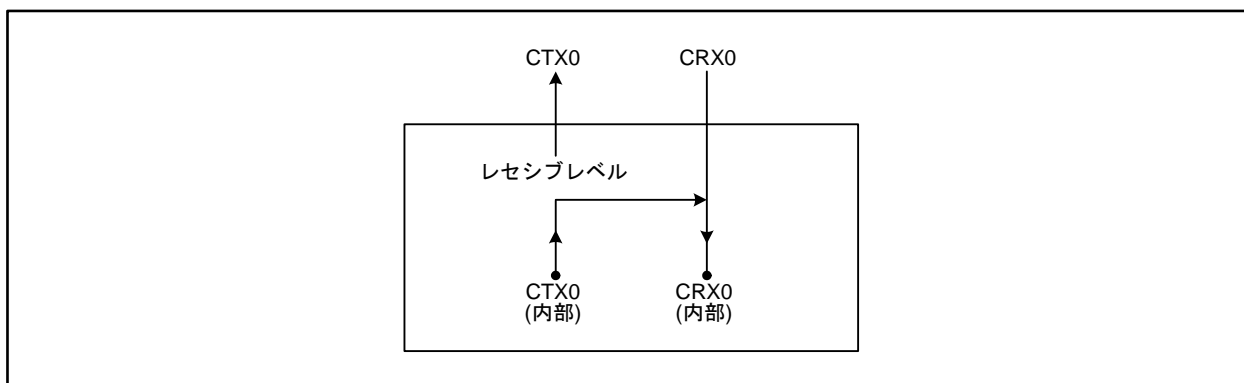


図 23.31 リッスンオンリモード選択時の接続

23.1.25.4 セルフテストモード0 (外部ループバック)

セルフテストモード0はCANトランシーバテスト用です。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

CTX0/CRX0端子はCANトランシーバに接続してください。

図 23.32 にセルフテストモード0選択時の接続を示します。

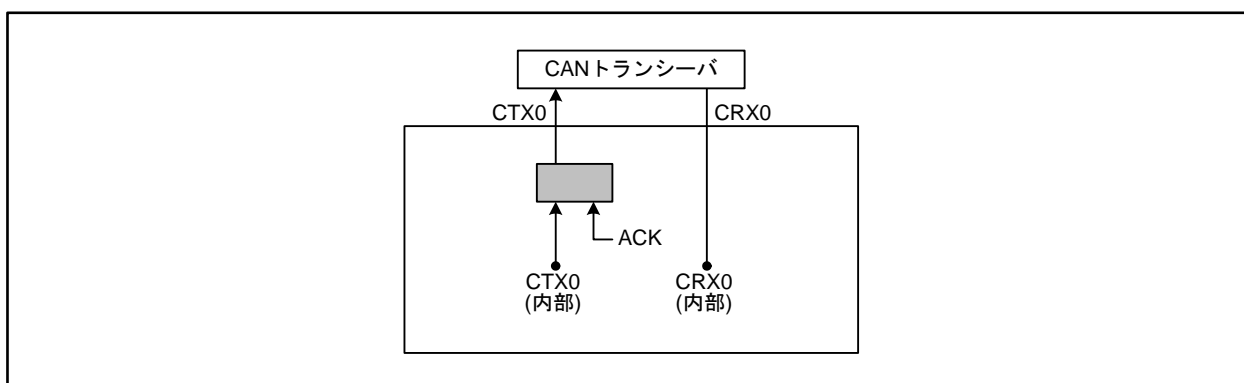


図 23.32 セルフテストモード0選択時の接続

23.1.25.5 セルフテストモード1 (内部ループバック)

セルフテストモード1は、セルフテスト機能用です。

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

セルフテストモード1では内部CTX0端子から内部CRX0端子への内部フィードバックを行います。外部CRX0端子の入力の値は、無視されます。外部CTX0端子はレセシブビットのみ出力します。CTX0/CRX0端子はCANバスや他のどの外部デバイスにも接続する必要がありません。

図 23.33にセルフテストモード1選択時の接続を示します。

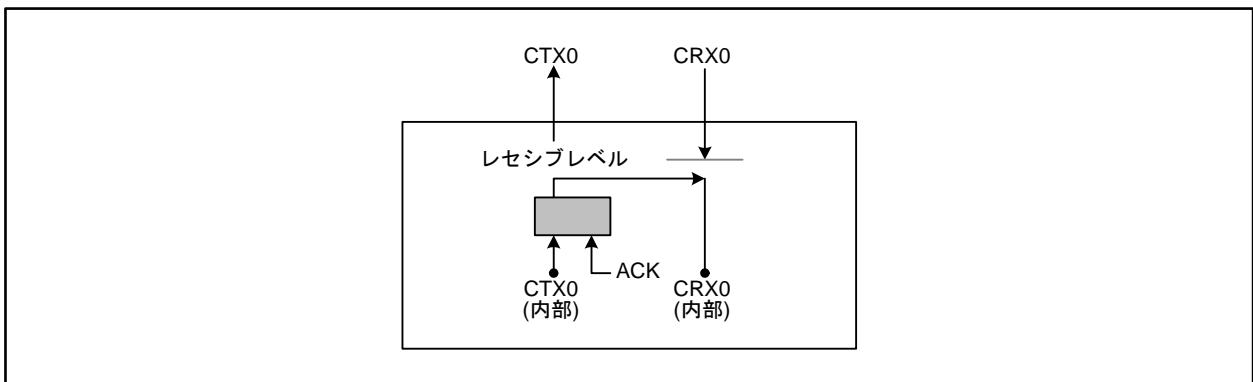


図 23.33 セルフテストモード1選択時の接続

23.2 動作モード

CANモジュールには、次の4つの動作モードがあります。

- CANリセットモード
- CAN Haltモード
- CANオペレーションモード
- CANスリープモード

図 23.34にCAN動作モード間の遷移を示します。

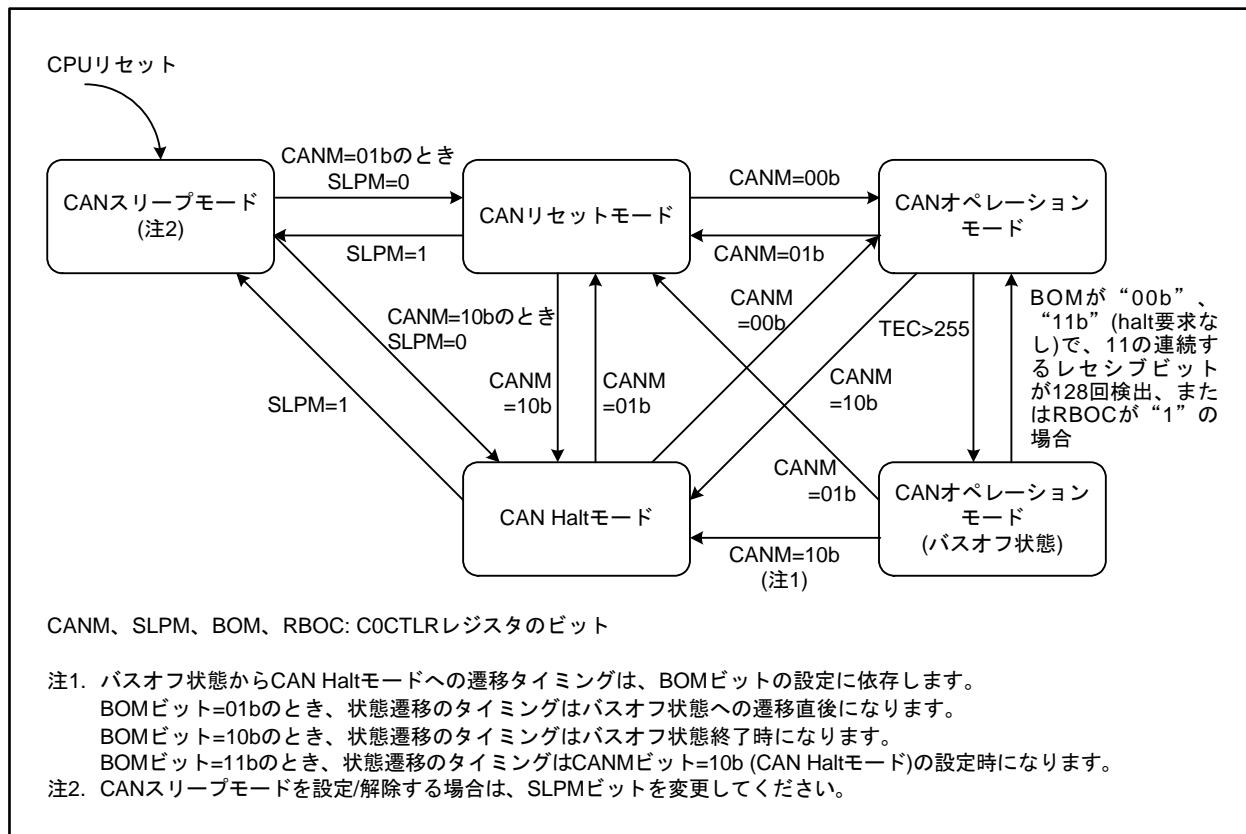


図 23.34 CAN動作モード間の遷移

23.2.1 CANリセットモード

CANリセットモードは、CAN通信の設定を行うモードです。

COCTLRレジスタのCANMビットを“01b”にすると、CANリセットモードになります。そのとき、COSTRレジスタのRSTSTビットが“1”になります。RSTSTビットが“1”になるまで、CANMビットを変更しないでください。

CANリセットモードから他のモードへ遷移する前に、COBCRレジスタを設定してください。

以下のレジスタは、CANリセットモードに遷移した後、それぞれのリセット後の値に初期化され、CANリセットモード中は初期値を保持します。

- COMCTLjレジスタ (j=0~31)
- COSTRレジスタ (SLPSTビットとTFSTビットを除く)
- COEIFRレジスタ
- CORECRレジスタ
- COTECCRレジスタ
- COTSRレジスタ
- COMSSRレジスタ
- COMSMRレジスタ
- CORFCRレジスタ
- COTFCRレジスタ
- COTCRレジスタ
- COECSRレジスタ (EDPMビットを除く)

以下のレジスタは、CANリセットモードに遷移した後も、以前の値を保持します。

- COCLKRレジスタ
- COCTLRレジスタ
- COSTRレジスタ (SLPSTビットとTFSTビット)
- COMIERレジスタ
- COEIERレジスタ
- COBCRレジスタ
- COCSSRレジスタ
- COECSRレジスタ (EDPMビットのみ)
- COMBjレジスタ
- COMKR0~COMKR7レジスタ
- COFIDCR0、COFIDCR1レジスタ
- COMKIVLRレジスタ
- COAFSRレジスタ
- CORFPCRレジスタ
- COTFPCRレジスタ

23.2.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードの設定を行うモードです。

COCTLRレジスタのCANMビットを“10b”にすると、CAN Haltモードになります。そのとき、COSTRレジスタのHLTSTビットが“1”になります。HLTSTビットが“1”になるまで、CANMビットを変更しないでください。

送信または受信時の状態遷移の条件は、「表 23.9 CANリセットモードとCAN Haltモードでの動作」を参照してください。

CAN Haltモードへの遷移では、COSTRレジスタのRSTSTビット、HLTSTビットおよびSLPSTビット以外のビットと他のすべてのレジスタは変化しません。

CAN Haltモードでは、COCLKRレジスタ、COCTLRレジスタ(CANMビットとSLPMビットを除く)およびCOEIERレジスタは変更しないでください。CANテストモードで、自動ポーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN HaltモードでCOBCRレジスタを変更できます。

表 23.9 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード	メッセージ受信の終了を待たずにCANリセットモードに遷移	メッセージ送信の終了を待ってCANリセットモードに遷移(注1、4)	バスオフ復帰の終了を待たずにCANリセットモードに遷移
CAN Haltモード	メッセージ受信の終了を待ってCAN Haltモードに遷移(注2、3)	メッセージ送信の終了を待ってCAN Haltモードに遷移(注1、4)	<p>【BOMビットが“00b”の場合】 バスオフ復帰後のみ、プログラムのHalt要求を受け付ける</p> <p>【BOMビットが“01b”の場合】 バスオフ復帰の終了を待たずに自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“10b”の場合】 バスオフ復帰の終了を待って自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“11b”の場合】 バスオフ中にプログラムによるHalt要求があると、CAN Haltモードに遷移(バスオフ復帰の終了を待たずに)</p>

BOMビット: COCTLRレジスタのビット

- 注1. いくつかのメッセージが送信要求されている場合、最初の送信完了後にモードを遷移します。サスペンドトランSMISSION中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを遷移します。
- 注2. CANバスがドミナントレベルでロックされた場合、COEIFRレジスタのBLIFビットをモニタすると、プログラムはバスロック状態を検出できます。
- 注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに遷移します。
- 注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求されたCANモードに遷移します。

23.2.3 CANスリープモード

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのハードウェアリセットまたはソフトウェアリセット後、CANスリープモードから動作を開始します。

COCTLRレジスタのSLPMビットを“1”にすると、CANスリープモードになります。そのとき、COSTRレジスタのSLPSTビットが“1”になります。SLPSTビットが“1”になるまで、SLPMビットを変更しないでください。CANスリープモードへの遷移時は、他のレジスタは変化しません。

SLPMビットは、CANリセットモードとCAN Haltモードで変更してください。SLPMビットを除く他のレジスタは、CANスリープモード中は変更しないでください。読み出し動作は許可されます。

SLPMビットを“0”にすると、CANスリープモードから解除されます。CANスリープモードからの復帰時、他のレジスタは変化しません。

23.2.4 CANオペレーションモード(バスオフ状態以外)

CANオペレーションモードは、CAN通信をするモードです。

COCTLRレジスタのCANMビットを“00b”にすると、CANオペレーションモードになります。そのとき、COSTRレジスタのRSTSTビットとHLTSTビットが“0”になります。RSTSTビットとHLTSTビットが“0”になるまで、CANMビットを変更しないでください。

CANオペレーションモードに遷移した後、11の連続するレセシブビットを検出すると、CANモジュールは次の状態になります。

- CANモジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CANメッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CANバスのエラー監視処理が行われる

CANバスの状態によって、CANオペレーションモード中に、次の3つのいずれかのサブモードになっています。

- アイドルモード: 送受信を行っていない状態です。
- 受信モード: 他のノードが送信したCANメッセージを受信しています。
- 送信モード: CANメッセージを送信しています。セルフテストモード0 (COTCRレジスタのTSTMビットが“10b”)またはセルフテストモード1 (TSTMビットが“11b”)が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図 23.35にCANオペレーションモードのサブモードを示します。

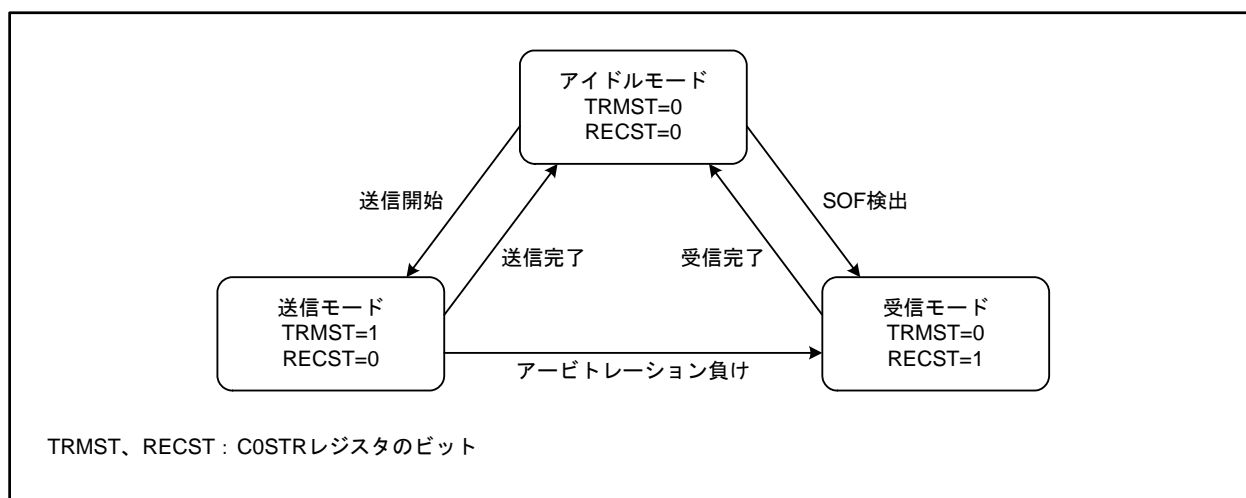


図 23.35 CANオペレーションモードのサブモード

23.2.5 CANオペレーションモード(バスオフ状態)

CAN仕様の送信、受信エラーカウンタの増減ルールに従って、バスオフ状態に遷移します。バスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、COSTR、COEIFR、CORECR、COTECRおよびCOTSRレジスタを除く関連レジスタの値は変化しません。

(1) COCTLRレジスタのBOMビットが“00b”の場合(ノーマルモード)

バスオフ状態からの復帰完了後、エラーアクティブ状態に遷移し、CAN通信ができるようになります。このとき、COEIFRレジスタのBORIFビットが“1”(バスオフ復帰検出)になります。

(2) COCTLRレジスタのRBOCビットを“1”にしたとき(バスオフからの強制復帰)

バスオフ状態になり、RBOCビットが“1”になると、エラーアクティブ状態に遷移し、11の連続するレセプビットを検出した後、再びCAN通信ができるようになります。このとき、BORIFビットは“1”になりません。

(3) BOMビットが“01b”の場合(バスオフ開始で自動的にCAN Haltモードへ遷移)

バスオフ状態に達するとCAN Haltモードになります。このとき、BORIFビットは“1”になりません。

(4) BOMビットが“10b”の場合(バスオフ終了で自動的にCAN Haltモードへ遷移)

バスオフからの復帰が完了するとCAN Haltモードになります。このとき、BORIFビットは“1”になります。

(5) BOMビットが“11b”の場合(プログラムによりCAN Haltモードへ遷移)にバスオフ状態でCOCTLRレジスタのCANMビットを“10b”にしたとき(CAN Haltモード)

バスオフ状態時にCANMビットが“10b”(CAN Haltモード)に設定されると、CAN Haltモードになります。このとき、BORIFビットは“1”になりません。

バスオフ中にCANMビットが“10b”に設定されないときは、(1)と同じ動作になります。

23.3 CAN通信速度の設定

CAN通信速度の設定について、以下に説明します。

23.3.1 CANクロックの設定

本グループでは、CANクロック選択回路があります。

CANクロックは、C0CLKRレジスタのCCLKSビットとC0BCRレジスタのBRPビットで設定できます。

図 23.36にCANクロック発生回路ブロック図を示します。

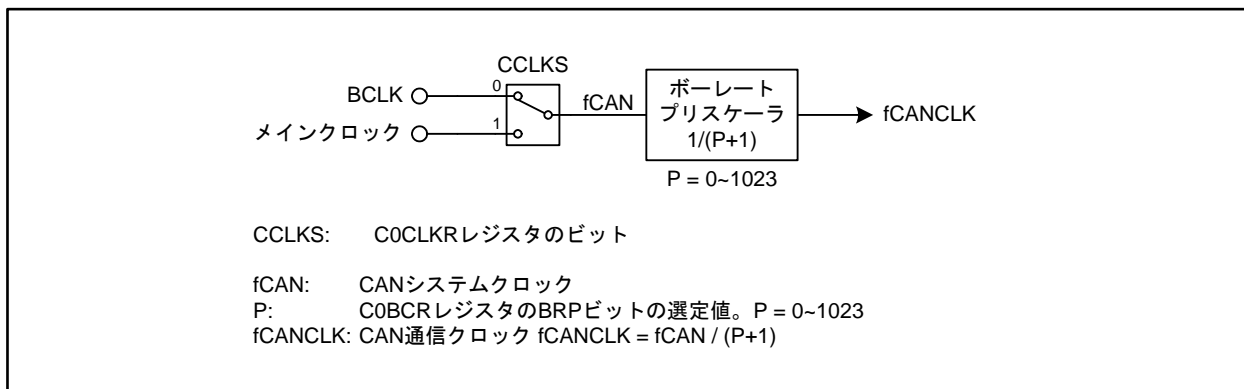


図 23.36 CANクロック発生回路ブロック図

23.3.2 ビットタイミングの設定

ビットタイムは、送信または受信するメッセージの1ビットの時間であり、次の3つのセグメントで構成されます。

図 23.37にビットタイミング図を示します。

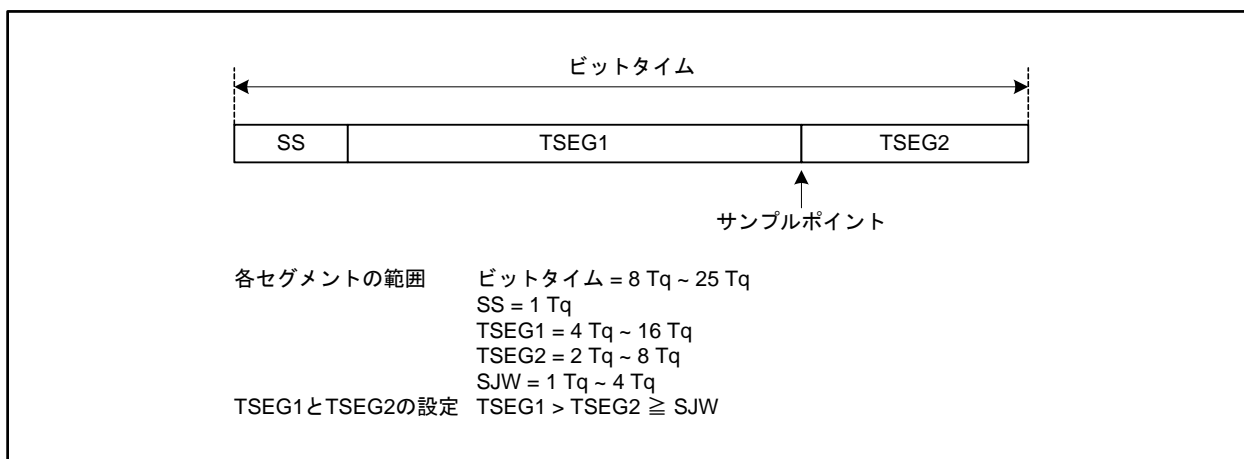


図 23.37 ビットタイミング図

23.3.3 ビットレート

ビットレートは、 f_{CAN} (CANクロック)、ボーレートプリスケアラ分周値、および1ビットタイムの T_q の数に依存します。

$$\text{ビットレート[bps]} = \frac{f_{CAN}}{\text{ボーレートプリスケアラ分周値(注1)} \times 1\text{ビットタイムの}T_q\text{の数}} = \frac{f_{CANCLK}}{1\text{ビットタイムの}T_q\text{数}}$$

注1. ボーレートプリスケアラ分周値= $P+1$ ($P=0\sim 1023$)

P: COBCRレジスタのBRPビットの設定値

表 23.10にビットレートの例を示します。

表 23.10 ビットレートの例

fCAN	32 MHz		24 MHz		20 MHz		16 MHz		8 MHz	
	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1
1 Mbps	8Tq	4	8Tq	3	10Tq	2	8Tq	2	8Tq	1
	16Tq	2			20Tq	1	16Tq	1		
500 kbps	8Tq	8	8Tq	6	10Tq	4	8Tq	4	8Tq	2
	16Tq	4	16Tq	3	20Tq	2	16Tq	2	16Tq	1
250 kbps	8Tq	16	8Tq	12	10Tq	8	8Tq	8	8Tq	4
	16Tq	8	16Tq	6	20Tq	4	16Tq	4	16Tq	2
83.3 kbps	8Tq	48	8Tq	36	8Tq	30	8Tq	24	8Tq	12
	16Tq	24	16Tq	18	10Tq	24	16Tq	12	16Tq	6
					16Tq	15				
					20Tq	12				
33.3 kbps	8Tq	120	8Tq	90	8Tq	75	8Tq	60	8Tq	30
	10Tq	96	10Tq	72	10Tq	60	10Tq	48	10Tq	24
	16Tq	60	16Tq	45	20Tq	30	16Tq	30	16Tq	15
	20Tq	48	20Tq	36			20Tq	24	20Tq	12

23.4 メールボックスとマスクレジスタの構成

同じ構成の32個のメールボックスがあります。

図 23.38にC0MBjレジスタ (j=0~31)の構成を示します。

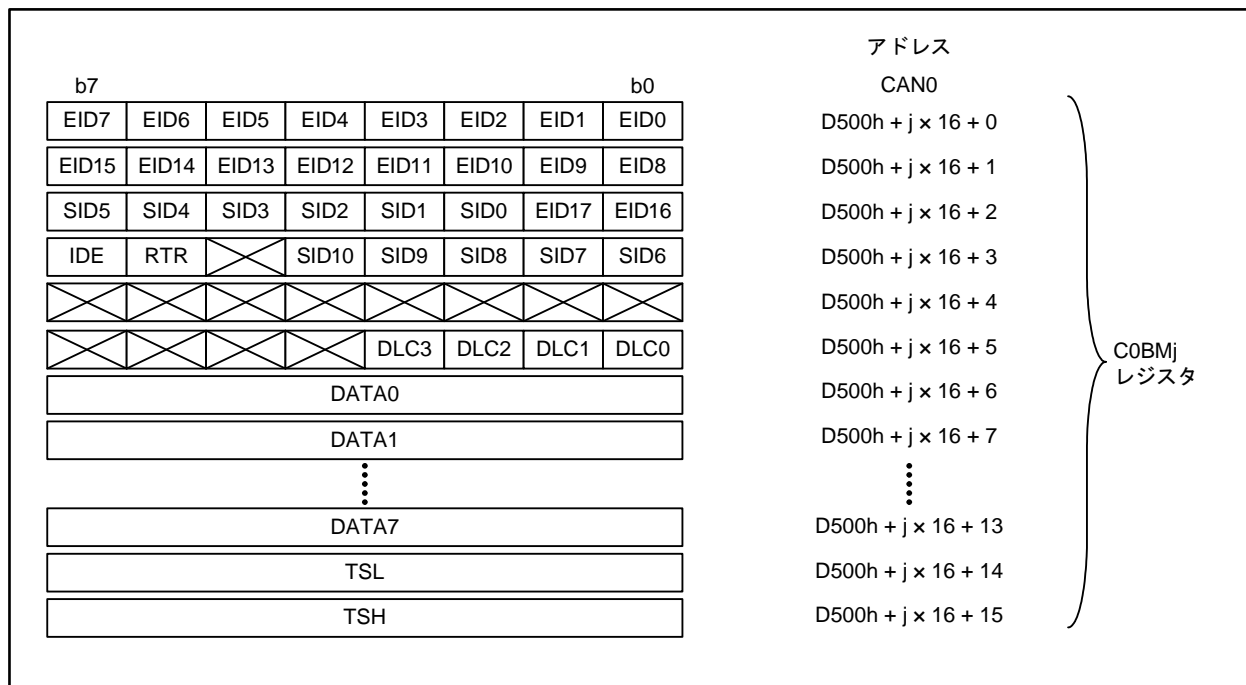


図 23.38 C0MBjレジスタの構成 (j=0~31)

同じ構成の8個のマスクレジスタがあります。

図 23.39にC0MKRkレジスタ (k=0~7)の構成を示します。

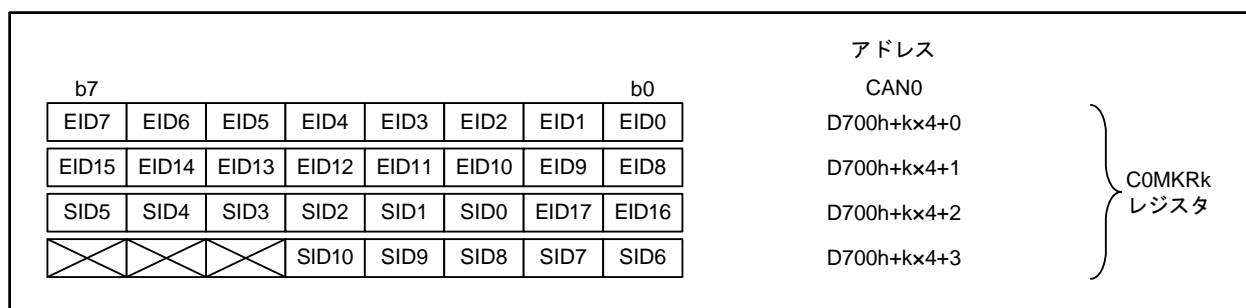


図 23.39 C0MKRkレジスタの構成 (k=0~7)

同じ構成の2個のFIFO受信ID比較レジスタがあります。
 図 23.40にC0FIDCRnレジスタ (n=0, 1)の構成を示します。

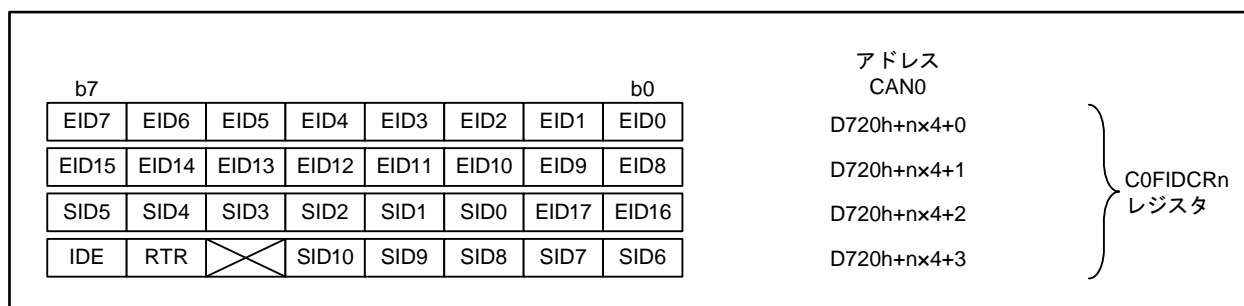


図 23.40 C0FIDCRnレジスタの構成 (n=0, 1)

23.5 アクセプタンスフィルタ処理とマスク機能

アクセプタンスフィルタは、メールボックスに対して一定範囲の複数IDのメッセージ受信を許可します。

C0MKR0~C0MKR7レジスタは標準IDと29ビットの拡張IDのマスクができます。

- C0MKR0レジスタは、メールボックス [0]~[3]に対応
- C0MKR1レジスタは、メールボックス [4]~[7]に対応
- C0MKR2レジスタは、メールボックス [8]~[11]に対応
- C0MKR3レジスタは、メールボックス [12]~[15]に対応
- C0MKR4レジスタは、メールボックス [16]~[19]に対応
- C0MKR5レジスタは、メールボックス [20]~[23]に対応
- C0MKR6レジスタは、通常メールボックスモードの場合はメールボックス [24]~[27]、FIFOメールボックスモードの場合は受信FIFOメールボックス [28]~[31]に対応
- C0MKR7レジスタは、通常メールボックスモードの場合はメールボックス [28]~[31]、FIFOメールボックスモードの場合は受信FIFOメールボックス [28]~[31]に対応

C0MKIVLRレジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

C0MBjレジスタ(j=0~31)のIDEビットは、C0CTLRレジスタのIDFMビットが“10b”(ミックスIDモード)のとき、有効です。

C0MBjレジスタのRTRビットはデータフレームまたはリモートフレームを選択します。

FIFOメールボックスモードでは、通常メールボックス(メールボックス[0]~[23])は、C0MKR0~C0MKR5レジスタの中から対応する1つを使用してアクセプタンスフィルタ処理しますが、受信FIFOメールボックス(メールボックス[28]~[31])は、C0MKR6、C0MKR7レジスタの2つを使用してアクセプタンスフィルタ処理を行います。

また、受信FIFOはC0FIDCR0、C0FIDCR1レジスタの2つを使用して、IDの比較を行います。受信FIFOのC0MB28~C0MB31レジスタのEID、SID、RTR、IDEビットは無効になります。それぞれ2つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信FIFOでは2つの範囲のIDを受信することができます。

C0MKIVLRレジスタは、受信FIFOに対しては無効です。

標準IDと拡張IDの両方がそれぞれC0FIDCR0、C0FIDCR1レジスタのIDEビットに設定された場合、両方のIDフォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれC0FIDCR0、C0FIDCR1レジスタのRTRビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2つの範囲のIDの組み合わせを必要としない場合は、FIFO IDとマスクレジスタの両方に同じマスク値と同じIDを設定してください。

図 23.41 にマスクレジスタとメールボックスの対応、図 23.42 にアクセプタンスフィルタ処理を示します。

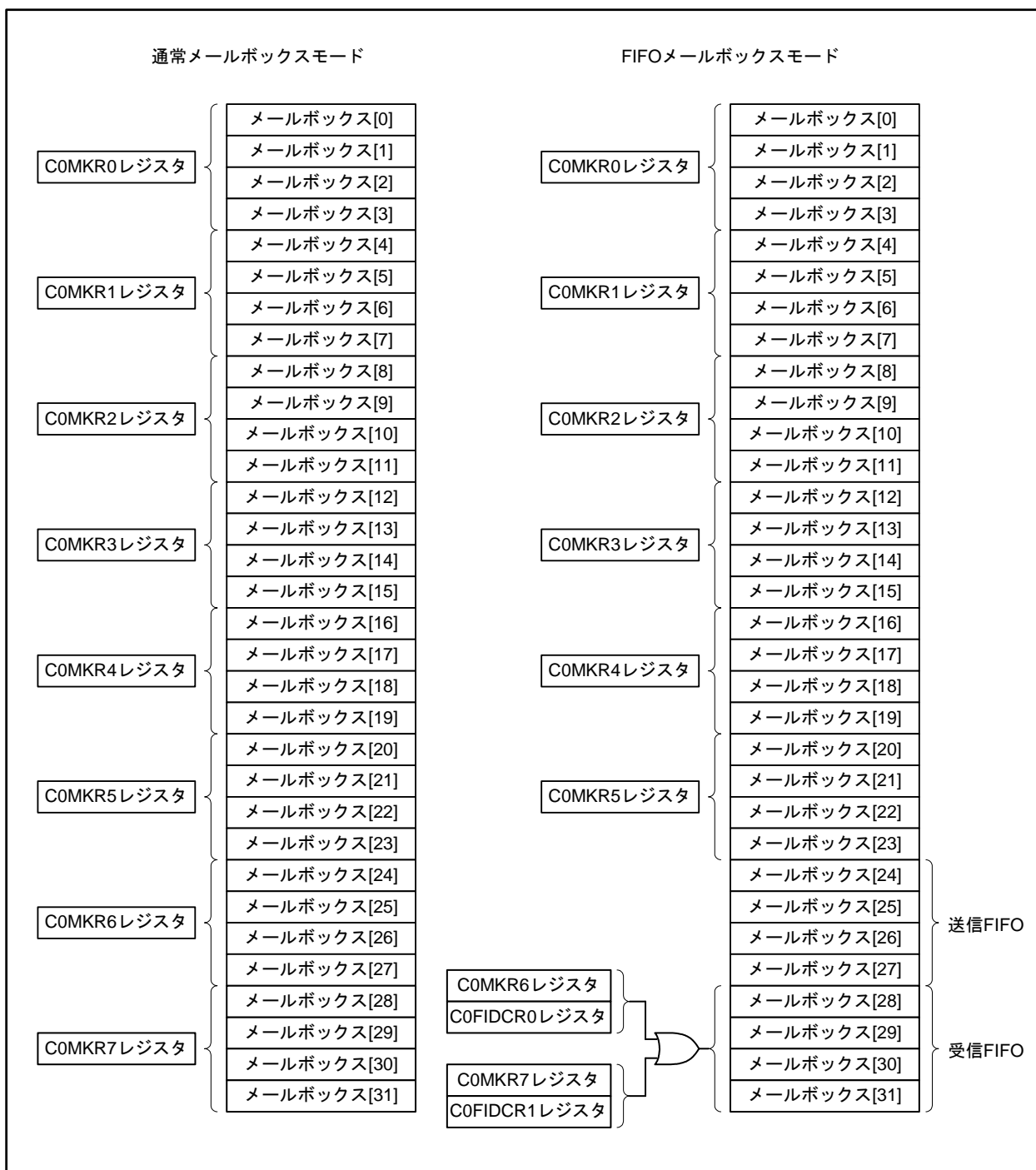


図 23.41 マスクレジスタとメールボックスの対応

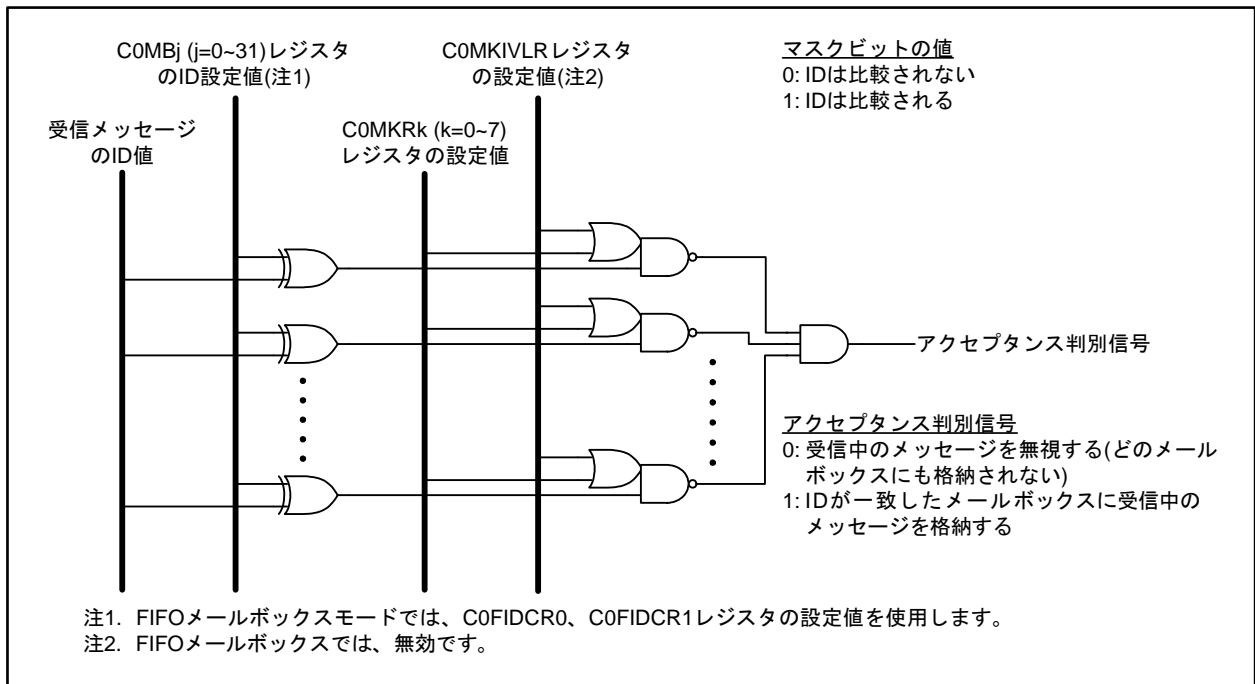


図 23.42 アクセプタンスフィルタ処理

23.6 受信、送信

表 23.11にCAN通信モードの設定方法を示します。

表 23.11 CAN受信モードとCAN送信モードの設定方法

TRMREQ	RECREQ	ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アポート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアポートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

TRMREQ、RECREQ、ONESHOT: COMCTLjレジスタのビット(j=0~31)

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

- (1) メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、COMCTLjレジスタ(j=0~31)を“00h”にしてください。
- (2) 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうが優先順位がより高くなります。
- (3) CANオペレーションモードで、受信メッセージに設定したメールボックスのID/マスクセットに一致するメッセージを送信した場合、CANモジュールは送信データを受信しません。しかしセルフテストモードでは、CANモジュールは送信データを受信します。この場合、CANモジュールはACKを返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

- (1) メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、COMCTLjレジスタを“00h”にして、さらに、アポート処理中でないことを確認してください。

図 23.44 にデータフレーム受信時の動作例(オーバランモードの場合)を示します。

この例は、COMCTL0 レジスタの受信条件に一致する2つの連続したCANメッセージを受信する際、2つ目のメッセージを破棄する場合の動作です。

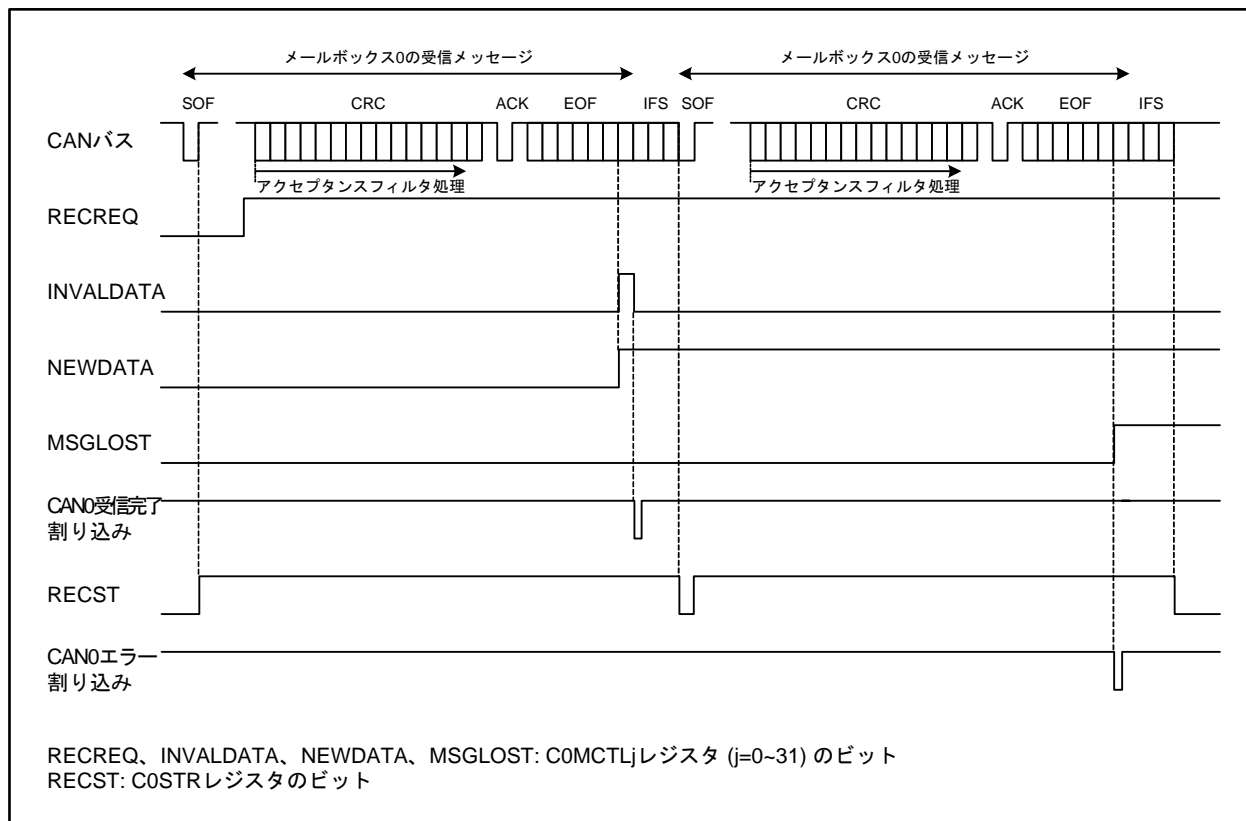


図 23.44 データフレーム受信時の動作例(オーバランモードの場合)

(1)~(5)はオーバライトモードと同じです。

- (6) オーバランモードでは、NEWDATAビットが“0”に設定される前に、次のCANメッセージの受信が完了すると、COMCTLjレジスタ (j=0~31)のMSGLOSTビットが“1”(メッセージはオーバランされた)になります。新しく受信したメッセージは破棄され、COEIERレジスタの対応する割り込み許可ビットが“1”(割り込み許可)の場合、CAN0エラー割り込み要求が発生します。

23.6.2 送信

図 23.45 にデータフレーム送信時の動作例を示します。

この例は、COMCTL0、COMCTL1 レジスタへ設定したメッセージを送信する場合の動作です。

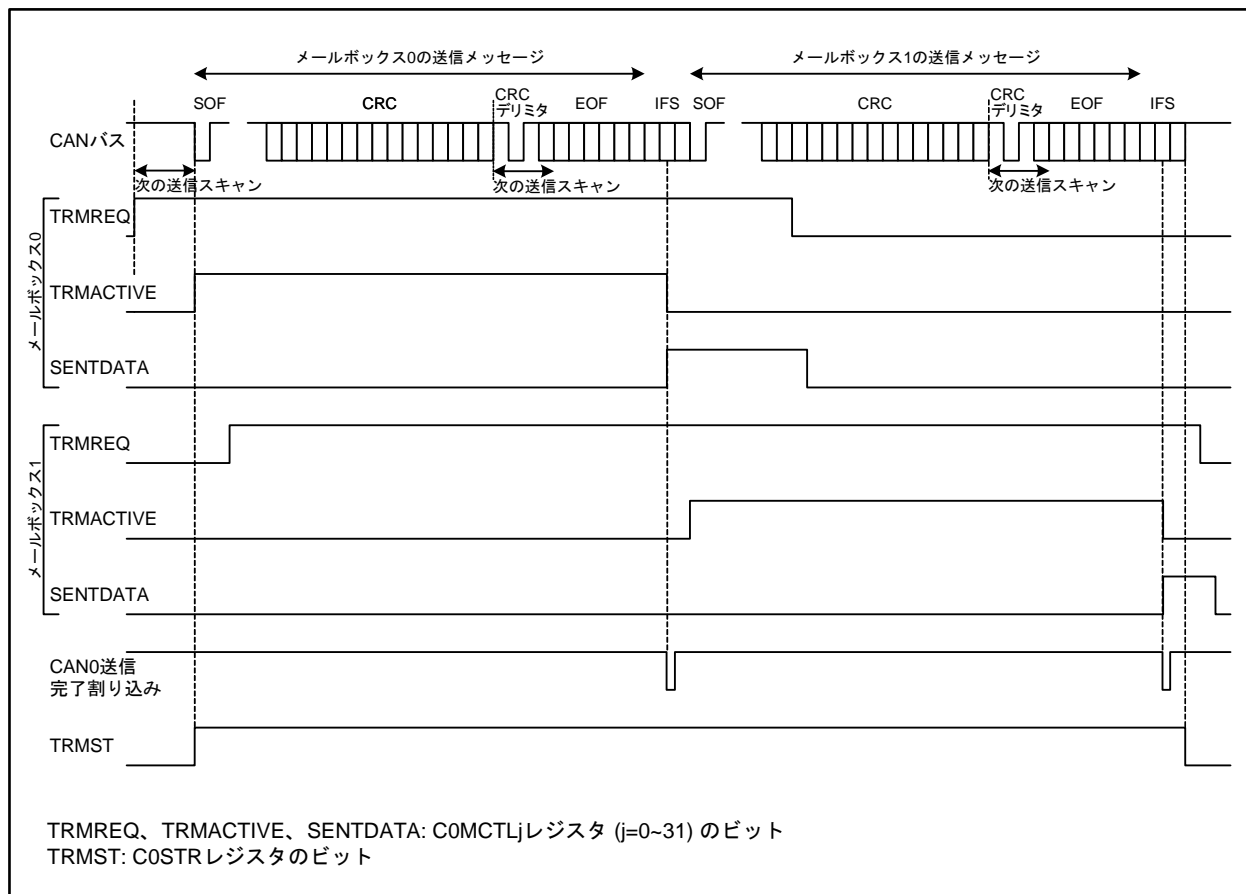


図 23.45 データフレーム送信時の動作例

- (1) バスアイドル状態で、COMCTLj レジスタ (j=0~31) の TRMREQ ビットを“1” (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、COMCTLj レジスタの TRMACTIVE ビットが“1” (送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、C0STR レジスタの TRMST ビットが“1” (送信中) になり、CAN モジュールは送信を開始します (注1)。
- (2) 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
- (3) アービトレーション負けが発生せずに送信が完了すると、COMCTLj レジスタの SENTDATA ビットが“1” (送信完了) に、TRMACTIVE ビットが“0” (送信待機中、または送信要求なし) になります。そして、COMIER レジスタの割り込み許可ビットが“1” (割り込み許可) の場合は、CAN0 送信完了割り込み要求が発生します。
- (4) 同一のメールボックスから次の送信を要求する場合は、SENTDATA ビットと TRMREQ ビットを“0”にして、SENTDATA ビットと TRMREQ ビットが“0”になるのを確認した後、TRMREQ ビットを“1”にしてください。

注1. CANモジュールが送信開始した後でアービトレーション負けをした場合、TRMACTIVE ビットは“0”になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーション負けに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

23.7 CAN割り込み

CANモジュールには、次のCAN割り込みがあります。

- CAN0受信完了割り込み
- CAN0送信完了割り込み
- CAN0受信FIFO割り込み
- CAN0送信FIFO割り込み
- CAN0エラー割り込み

CAN0エラー割り込みには、8つの要因があります。これらの要因は、COEIFRレジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバラン
- オーバロードフレーム送信
- バスロック
- CAN0ウェイクアップ割り込み

24. A/Dコンバータ

注意

64ピン版にはAN0_4~AN0_7、AN2_0~AN2_3、AN2_5~AN2_7はありません。これらをアナログ入力端子として選択しないでください。

24.1 概要

10ビットの逐次比較変換方式のA/Dコンバータが2回路(A/D回路、A/D1回路)あります。

表 24.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式
アナログ入力電圧	0V~AVCC
動作クロックφAD	f1、f1の2分周、f1の3分周、f1の4分周、f1の6分周、f1の12分周
分解能	10ビット
積分非直線性誤差	AVCC=VREF=5V ±3LSB AVCC=VREF=3.3V ±5LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0
アナログ入力端子	A/D回路: 8本 (AN0~AN7) + 8本 (AN0_0~AN0_7) + 8本 (AN2_0~AN2_7) + 3本 (AN3_0~AN3_2) A/D1回路: 4本 (AN0~AN3)
A/D変換開始条件	ソフトウェアトリガ ADCON0またはAD1CON0レジスタのADSTビットを“1”(A/D変換開始)にする 外部トリガ(再トリガ可能) ADSTビットを“1”(A/D変換開始)にした後、 $\overline{\text{ADTRG}}$ 端子の入力が“H”から“L”へ変化 タイマトリガ タイマB0割り込み要求、タイマB1割り込み要求、またはタイマB2割り込み要求 (タイマB2アンダフロー、またはICTB2レジスタアンダフロー)
1端子あたりの変換速度	最短43φADサイクル

なお、本章では、A/D回路とA/D1回路の説明、動作などが同じ場合、A/D_j回路と記載し両方の説明をする場合があります。この場合レジスタシンボル等も同様にjで示します。たとえば、AD_jCON0レジスタは、A/D回路のADCON0レジスタ、A/D1回路のAD1CON0レジスタを示します。

また、端子はiを用いて説明します。たとえばAN_iはAN0~AN7のいずれかを、AN3_iはAN3_0~AN3_2のいずれかを示します。この場合、端子に対応するレジスタのシンボル等も同様にiで示します。したがって、AD_{ji}レジスタは、AD0~AD7レジスタ、AD10~AD13レジスタを示します。

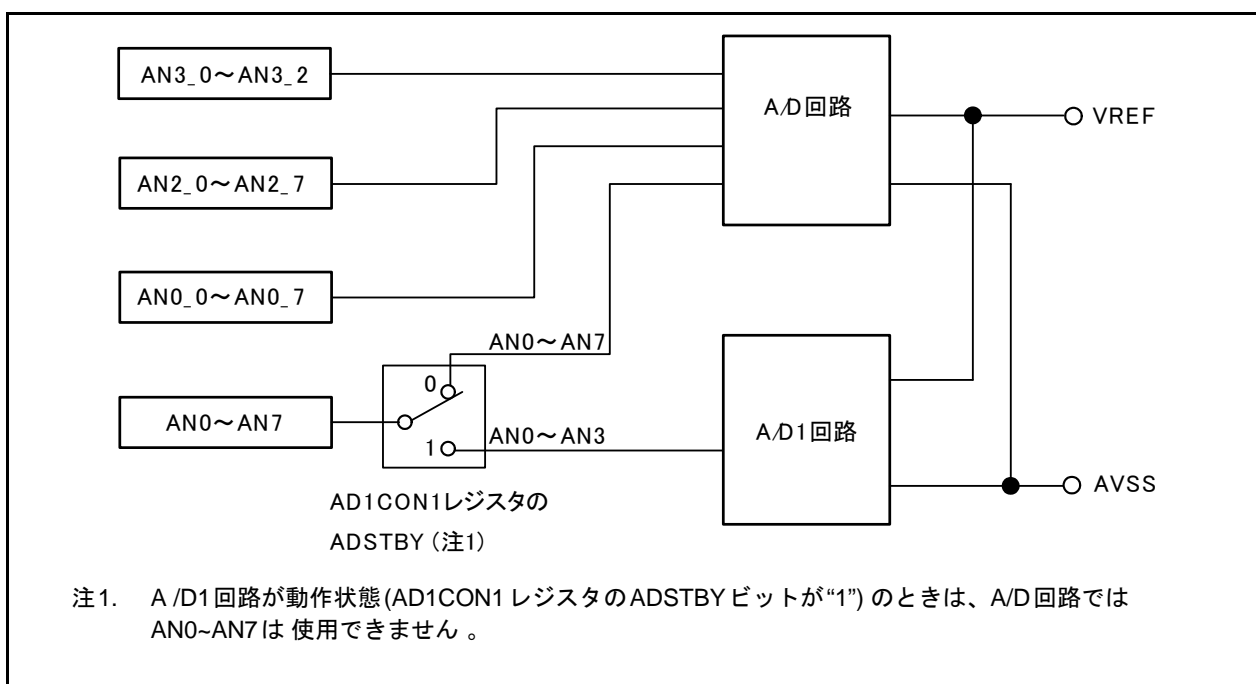


図 24.1 A/Dコンバータのブロック図

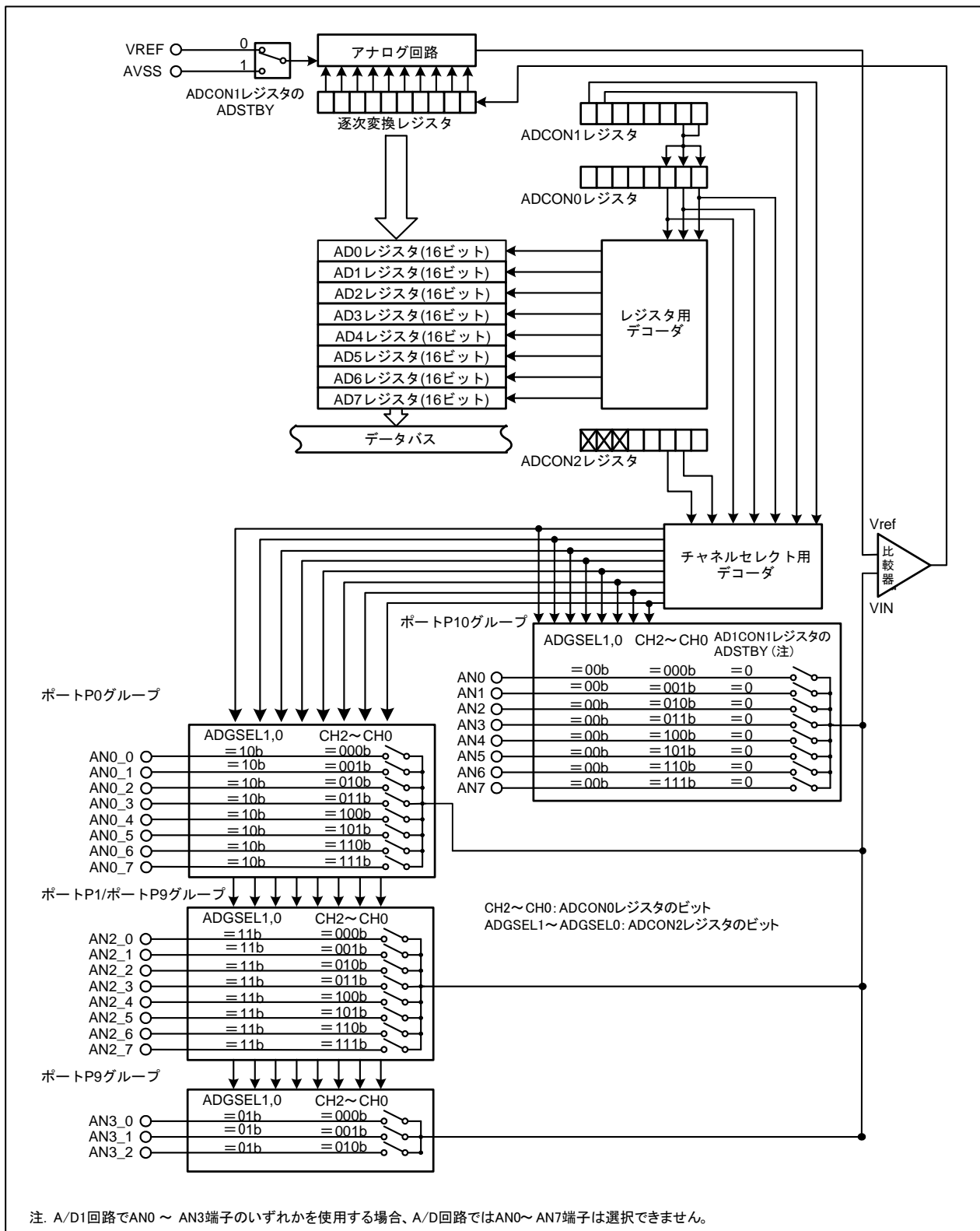


図 24.2 A/Dコンバータのブロック図 (A/D回路)

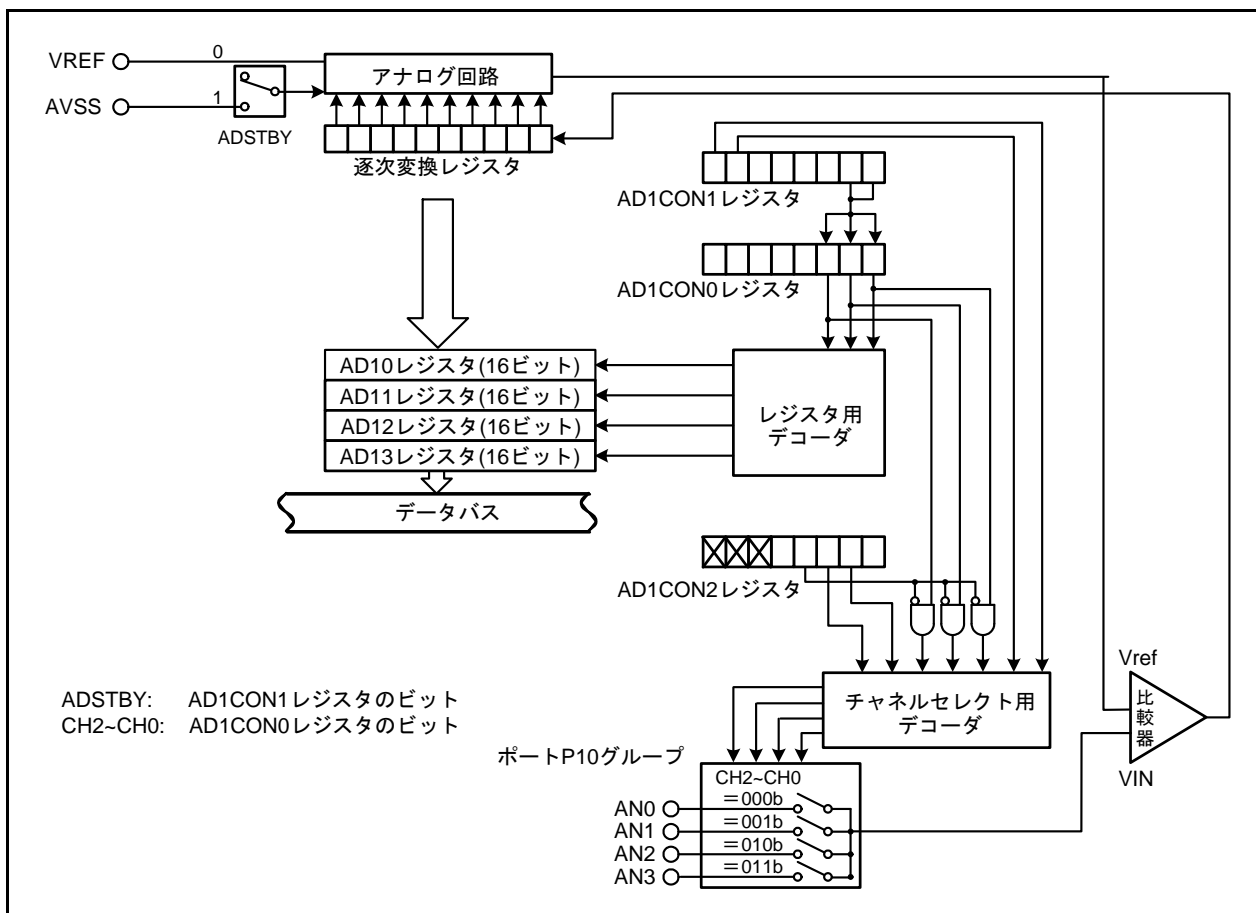


図 24.3 A/Dコンバータのブロック図 (A/D1回路)

表 24.2 入出力端子

端子名	A/D回路		A/D1回路	
	入出力	機能	入出力	機能
AN0~AN3	入力	アナログ入力	入力	アナログ入力
AN4~AN7	入力	アナログ入力	—	使用しない
AN0_0~AN0_7	入力	アナログ入力	—	使用しない
AN2_0~AN2_7	入力	アナログ入力	—	使用しない
AN3_0~AN3_2	入力	アナログ入力	—	使用しない
ADTRG	入力	トリガ入力	入力	トリガ入力

注1. 端子を共有しているポートの方向ビットを“0” (入力モード)にしてください。

24.2 レジスタの説明

表 24.3 レジスタ一覧 (A/D回路、A/D1回路共通)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
033Eh	タイマB2特殊モードレジスタ	TB2SC	X000 0000b

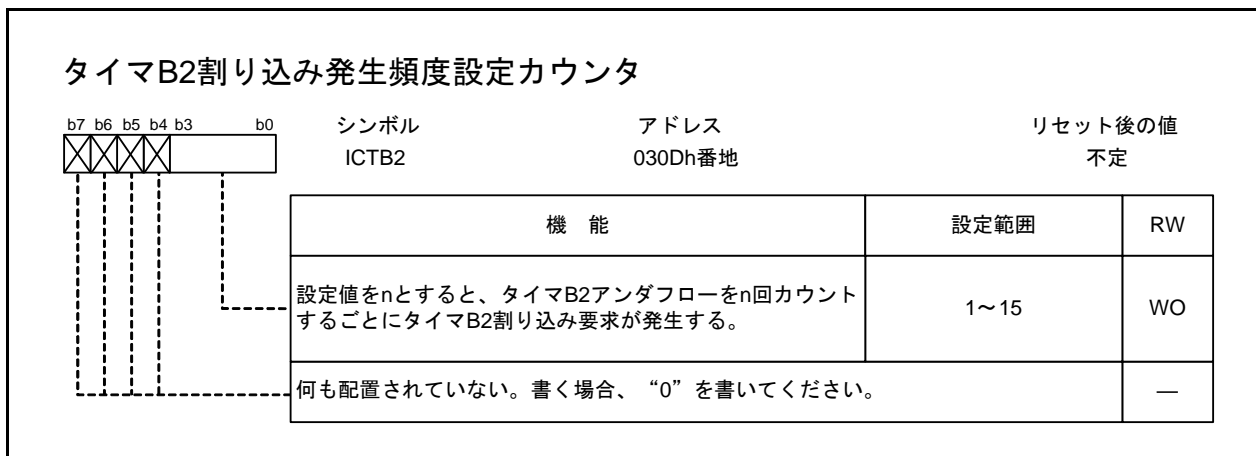
表 24.4 レジスタ一覧 (A/D回路)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
03C0h	A/D レジスタ 0	AD0	XXXX XXXXb
03C1h			0000 00XXb
03C2h	A/D レジスタ 1	AD1	XXXX XXXXb
03C3h			0000 00XXb
03C4h	A/D レジスタ 2	AD2	XXXX XXXXb
03C5h			0000 00XXb
03C6h	A/D レジスタ 3	AD3	XXXX XXXXb
03C7h			0000 00XXb
03C8h	A/D レジスタ 4	AD4	XXXX XXXXb
03C9h			0000 00XXb
03CAh	A/D レジスタ 5	AD5	XXXX XXXXb
03CBh			0000 00XXb
03CCh	A/D レジスタ 6	AD6	XXXX XXXXb
03CDh			0000 00XXb
03CEh	A/D レジスタ 7	AD7	XXXX XXXXb
03CFh			0000 00XXb
03D2h	A/Dトリガ制御レジスタ	ADTRGCON	XXXX 00XXb
03D4h	A/D制御レジスタ 2	ADCON2	0000 X00Xb
03D6h	A/D制御レジスタ 0	ADCON0	0000 0XXXb
03D7h	A/D制御レジスタ 1	ADCON1	0000 X000b

表 24.5 レジスタ一覧 (A/D1回路)

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0140h	A/D1 レジスタ 0	AD10	XXXX XXXXb
0141h			0000 00XXb
0142h	A/D1 レジスタ 1	AD11	XXXX XXXXb
0143h			0000 00XXb
0144h	A/D1 レジスタ 2	AD12	XXXX XXXXb
0145h			0000 00XXb
0146h	A/D1 レジスタ 3	AD13	XXXX XXXXb
0147h			0000 00XXb
0152h	A/D1トリガ制御レジスタ	AD1TRGCON	XXXX 00XXb
0154h	A/D1制御レジスタ 2	AD1CON2	0000 X00Xb
0156h	A/D1制御レジスタ 0	AD1CON0	0000 0XXXb
0157h	A/D1制御レジスタ 1	AD1CON1	0000 X000b

24.2.1 タイマB2割り込み発生頻度設定カウンタ (ICTB2)



ICTB2レジスタは、MOV命令を使用して書いてください。

TABSRレジスタのTB2Sビットが“0”(タイマB2カウント停止)のときに書いてください。また、ADCON0レジスタとAD1CON0レジスタのADSTビットが両方とも“0”(A/D変換停止)のときに書いてください。

ICTB2レジスタは、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)のとき有効です。また、A/Dコンバータでは、TB2SCレジスタのTB2SELビットが“1”(A/DトリガはICTB2レジスタアンダフロー)の場合に有効です。

24.2.2 タイマB2特殊モードレジスタ (TB2SC)

タイマB2特殊モードレジスタ			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル	アドレス	リセット後の値
	TB2SC	033Eh番地	X000 0000b
ビットシンボル	ビット名	機能	RW
PWCON	タイマB2リロード タイミング切り替えビット	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力	RW
IVPCR1	三相出力ポートSD制御 ビット1	0: SD端子入力による三相出力強制遮断 (ハイインピーダンス)禁止 1: SD端子入力による三相出力強制遮断 (ハイインピーダンス)許可	RW
TB0EN	タイマB0動作モード 選択ビット	0: A/Dトリガモード以外 1: A/Dトリガモード	RW
TB1EN	タイマB1動作モード 選択ビット	0: A/Dトリガモード以外 1: A/Dトリガモード	RW
TB2SEL	トリガ選択ビット	0: タイマB2アンダフロー 1: ICTB2レジスタアンダフロー	RW
— (b6-b5)	予約ビット	“0” にしてください。	RW
— (b7)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

このレジスタは、PRCRレジスタのPRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

TB2SEL (トリガ選択ビット) (b4)

TB2SELビットが“0”の場合、タイマB2のアンダフローで、A/DトリガとタイマB2割り込み要求が発生します。

TB2SELビットが“1”の場合、ICTB2レジスタに設定した値をnとすると、タイマB2のアンダフローをn回カウントするごとに、A/DトリガとタイマB2割り込み要求が発生します。

24.2.3 A/D_jレジスタ_i (AD_{ji}) (i=0~7)

A/D _j レジスタ _i (i=0~7)	シンボル	アドレス	リセット後の値
	AD0	03C1h ~ 03C0h番地	0000 00XX XXXX XXXXb
	AD1	03C3h ~ 03C2h番地	0000 00XX XXXX XXXXb
	AD2	03C5h ~ 03C4h番地	0000 00XX XXXX XXXXb
	AD3	03C7h ~ 03C6h番地	0000 00XX XXXX XXXXb
	AD4	03C9h ~ 03C8h番地	0000 00XX XXXX XXXXb
	AD5	03CBh ~ 03CAh番地	0000 00XX XXXX XXXXb
	AD6	03CDh ~ 03CCh番地	0000 00XX XXXX XXXXb
	AD7	03CFh ~ 03CEh番地	0000 00XX XXXX XXXXb
	AD10	0141h ~ 0140h番地	0000 00XX XXXX XXXXb
	AD11	0143h ~ 0142h番地	0000 00XX XXXX XXXXb
	AD12	0145h ~ 0144h番地	0000 00XX XXXX XXXXb
	AD13	0147h ~ 0146h番地	0000 00XX XXXX XXXXb
	機能		RW
	A/D変換結果の下位8ビット		RO
A/D変換結果の上位2ビット		RO	
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—	
予約ビット		読んだ場合、その値は“0”。	

A/D変換した結果は、アナログ入力端子に対応したAD_{ji}レジスタに格納されます。AD_{ji}レジスタは、16ビット単位で読み出してください。

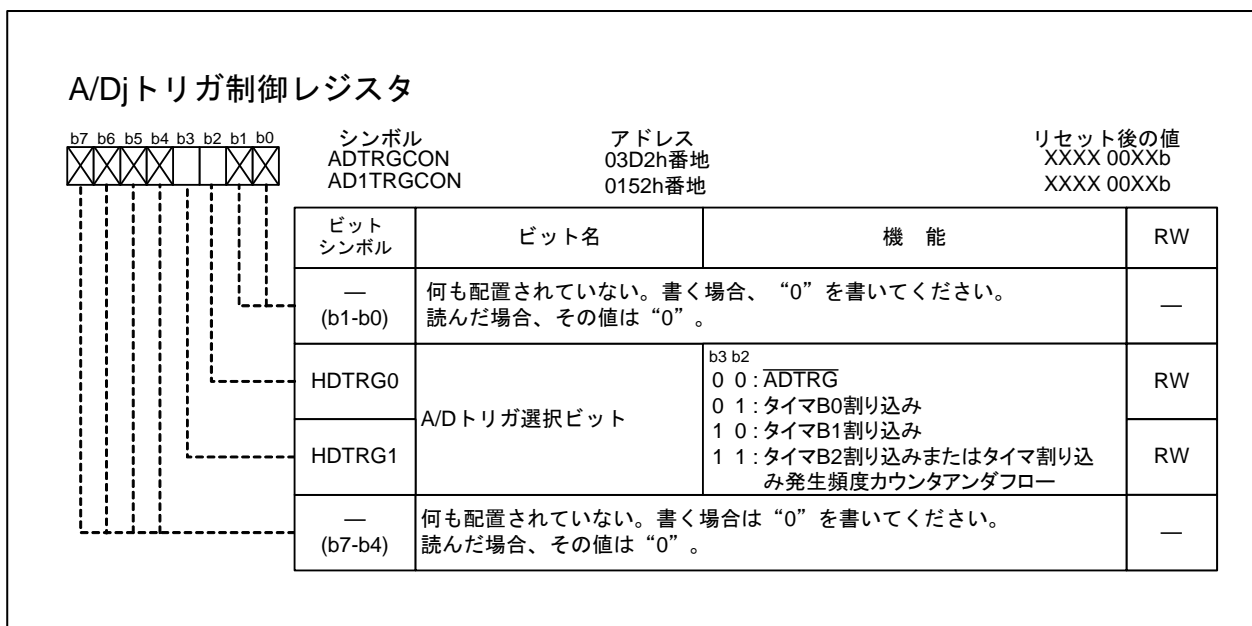
表 24.6 アナログ端子とA/D変換結果格納レジスタ (A/D回路)

アナログ端子				A/D変換結果格納レジスタ
AN0	AN0_0	AN2_0	AN3_0	AD0レジスタ
AN1	AN0_1	AN2_1	AN3_1	AD1レジスタ
AN2	AN0_2	AN2_2	AN3_2	AD2レジスタ
AN3	AN0_3	AN2_3	—	AD3レジスタ
AN4	AN0_4	AN2_4	—	AD4レジスタ
AN5	AN0_5	AN2_5	—	AD5レジスタ
AN6	AN0_6	AN2_6	—	AD6レジスタ
AN7	AN0_7	AN2_7	—	AD7レジスタ

表 24.7 アナログ端子とA/D変換結果格納レジスタ (A/D1回路)

アナログ端子	A/D変換結果格納レジスタ
AN0	AD10レジスタ
AN1	AD11レジスタ
AN2	AD12レジスタ
AN3	AD13レジスタ

24.2.4 A/Djトリガ制御レジスタ (ADjTRGCON)



HDTRG1~HDTRG0 (A/Dトリガ選択ビット) (b3、b2)

ADjCON0レジスタのTRGビットが“1”(ADTRGまたはタイマによるトリガ)のとき有効です。HDTRG1~HDTRG0ビットで選択した要因がA/D変換開始条件(トリガ)になります。

HDTRG1~HDTRG0ビットが“00b”の場合、 $\overline{\text{ADTRG}}$ 入力信号の立ち下がりエッジでトリガが発生します。

HDTRG1~HDTRG0ビットが“01b”、“10b”、“11b”の場合、タイマBk (k=0~2)の割り込み要求が発生するタイミング(タイマBk割り込み制御レジスタのIRビットが“0”なら、“1”に変化するタイミング)で、トリガが発生します。トリガは割り込み禁止でも発生します。

24.2.5 A/D_j制御レジスタ2 (AD_jCON2)

A/D制御レジスタ2			
b7 b6 b5 b4 b3 b2 b1 b0 0 0 0 X X X X	シンボル ADCON2	アドレス 03D4h番地	リセット後の値 0000 X00Xb
ビット シンボル	ビット名	機能	RW
— (b0)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
ADGSEL0	A/D入力グループ選択 ビット	b2 b1 0 0 : AN0~AN7を選択 0 1 : AN3_0~AN3_2を選択 1 0 : AN0_0~AN0_7を選択 1 1 : AN2_0~AN2_7を選択	RW
ADGSEL1			RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS2	周波数選択ビット2	AD _j CON0レジスタのCKS0ビットの説明を参照してください。	RW
— (b7-b5)	予約ビット	“0”にしてください	RW

A/D1制御レジスタ2			
b7 b6 b5 b4 b3 b2 b1 b0 0 0 0 X X X X	シンボル AD1CON2	アドレス 0154h番地	リセット後の値 0000 X00Xb
ビット シンボル	ビット名	機能	RW
— (b0)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
ADGSEL0	A/D入力グループ選択 ビット	b2 b1 0 0 : AN0~AN3を選択 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 設定しないでください	RW
ADGSEL1			RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS2	周波数選択ビット2	AD _j CON0レジスタのCKS0ビットの説明を参照してください。	RW
— (b7-b5)	予約ビット	“0”にしてください	RW

A/D変換中にAD_jCON2レジスタを書き換えた場合、変換結果は不定となります。

24.2.6 A/D_j制御レジスタ0 (AD_jCON0)

A/D制御レジスタ0				
ビットシンボル	シンボル	アドレス	リセット後の値	
b7 b6 b5 b4 b3 b2 b1 b0	ADCON0	03D6h番地	0000 0XXXb	
	ビットシンボル	ビット名	機能	RW
	CH0	アナログ入力端子選択ビット	単発モード、繰り返しモードの場合 b2 b1 b0 0 0 0: AN0を選択 0 0 1: AN1を選択 0 1 0: AN2を選択 0 1 1: AN3を選択 1 0 0: AN4を選択 1 0 1: AN5を選択 1 1 0: AN6を選択 1 1 1: AN7を選択	RW
	CH1			RW
	CH2			RW
	MD0	A/D動作モード選択ビット0	b4 b3 0 0: 単発モード 0 1: 繰り返しモード 1 0: 単掃引モード 1 1: 繰り返し掃引モード0	RW
	MD1			RW
	TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGまたはタイマによるトリガ	RW
	ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
	CKS0	周波数選択ビット0	CKS0ビットの説明を参照してください	RW

A/D ₁ 制御レジスタ0				
ビットシンボル	シンボル	アドレス	リセット後の値	
b7 b6 b5 b4 b3 b2 b1 b0	AD1CON0	0156h番地	0000 0XXXb	
	ビットシンボル	ビット名	機能	RW
	CH0	アナログ入力端子選択ビット	単発モード、繰り返しモードの場合 b2 b1 b0 0 0 0: AN0を選択 0 0 1: AN1を選択 0 1 0: AN2を選択 0 1 1: AN3を選択 1 0 0: 設定しないでください 1 0 1: 設定しないでください 1 1 0: 設定しないでください 1 1 1: 設定しないでください	RW
	CH1			RW
	CH2			RW
	MD0	A/D動作モード選択ビット0	b4 b3 0 0: 単発モード 0 1: 繰り返しモード 1 0: 単掃引モード 1 1: 繰り返し掃引モード0	RW
	MD1			RW
	TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ADTRGまたはタイマによるトリガ	RW
	ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
	CKS0	周波数選択ビット0	CKS0ビットの説明を参照してください	RW

A/D変換中にAD_jCON0レジスタを書き換えた場合、変換結果は不定になります。

CH2~CH0 (アナログ入力端子選択ビット) (b2~b0)

単掃引モード、繰り返し掃引モード0では無効です。

A/D回路の単発モード、繰り返しモードでは、AN0~AN7端子と同様にAN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2端子を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。

CKS0 (周波数選択ビット0) (b7)

A/Dコンバータの ϕ ADはADjCON0レジスタのCKS0ビット、ADjCON1レジスタのCKS1ビット、ADjCON2レジスタのCKS2ビットの組み合わせで選択できます。表 24.8に ϕ AD周波数選択を示します。

表 24.8 ϕ AD周波数選択

CKS2	CKS1	CKS0	ϕ AD
0	0	0	fAD(f1)の4分周
0	0	1	fAD(f1)の2分周
0	1	0	fAD(f1)
0	1	1	
1	0	0	fAD(f1)の12分周
1	0	1	fAD(f1)の6分周
1	1	0	fAD(f1)の3分周
1	1	1	

注1. 上記以外の組み合わせを設定しないでください。

24.2.7 A/D_j制御レジスタ1 (AD_jCON1)

A/D制御レジスタ1				
		シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000 X000b
ビット シンボル	ビット名	機能	RW	
SCAN0	A/D掃引端子選択ビット	単掃引モード、繰り返し掃引モード0の場合 b1 b0 0 0 : AN0~AN1 (2端子) 0 1 : AN0~AN3 (4端子) 1 0 : AN0~AN5 (6端子) 1 1 : AN0~AN7 (8端子)	RW	
SCAN1			RW	
— (b2)	予約ビット	“0” にしてください	RW	
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定		—	
CKS1	周波数選択ビット1	ADjCON0レジスタのCKS0ビットの説明を 参照してください	RW	
ADSTBY	A/Dスタンバイビット	0 : A/D動作停止(スタンバイ) 1 : A/D動作可能	RW	
— (b7-b6)	予約ビット	“0” にしてください	RW	

A/D1制御レジスタ1				
		シンボル AD1CON1	アドレス 0157h番地	リセット後の値 0000 X000b
ビット シンボル	ビット名	機能	RW	
SCAN0	A/D掃引端子選択ビット	単掃引モード、繰り返し掃引モード0の場合 b1 b0 0 0 : AN0~AN1 (2端子) 0 1 : AN0~AN3 (4端子) 1 0 : 設定しないでください 1 1 : 設定しないでください	RW	
SCAN1			RW	
— (b2)	予約ビット	“0” にしてください	RW	
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定		—	
CKS1	周波数選択ビット1	ADjCON0レジスタのCKS0ビットの説明を 参照してください	RW	
ADSTBY	A/Dスタンバイビット	0 : A/D動作停止(スタンバイ) 1 : A/D動作可能	RW	
— (b7-b6)	予約ビット	“0” にしてください	RW	

A/D変換中にAD_jCON1レジスタを書き換えた場合、変換結果は不定となります。

SCAN1~SCAN0 (A/D掃引端子選択ビット) (b1~b0)

単発モード、繰り返しモードでは無効です。

A/D回路の単掃引モード、繰り返し掃引モード0では、AN0~AN7端子と同様にAN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2端子を使用できます。ADCON2レジスタのADGSEL1~ADGSEL0ビットで選択してください。

ADSTBY (A/Dスタンバイビット) (b5)

ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ ADの1サイクル以上経過した後A/D変換を開始してください。

A/Dコンバータを使用しない場合、ADSTBYビット“0”(A/D動作停止:スタンバイ)にすると、A/Dコンバータで電流が流れなくなり、消費電力を少なくできます。

AD1CON1レジスタのADSTBYビットを“1”(A/D動作可能)にした場合、A/D回路ではAN0~AN7端子を使用しないでください。

24.3 動作説明

24.3.1 A/D変換サイクル数

A/D変換サイクルは、 f_{AD} と ϕ_{AD} が基準になります。 ϕ_{AD} が規格に合う周波数になるように、 f_{AD} を分周してください。図24.4に f_{AD} と ϕ_{AD} を示します。 f_{AD} と ϕ_{AD} はA/D回路、A/D1回路個々に設定できます。

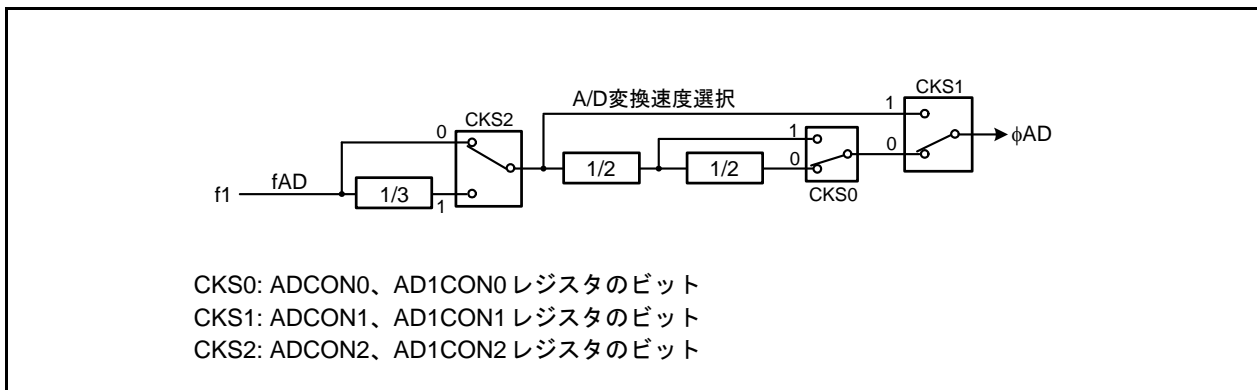


図 24.4 f_{AD} と ϕ_{AD}

図24.5にA/D変換タイミング図を示します。

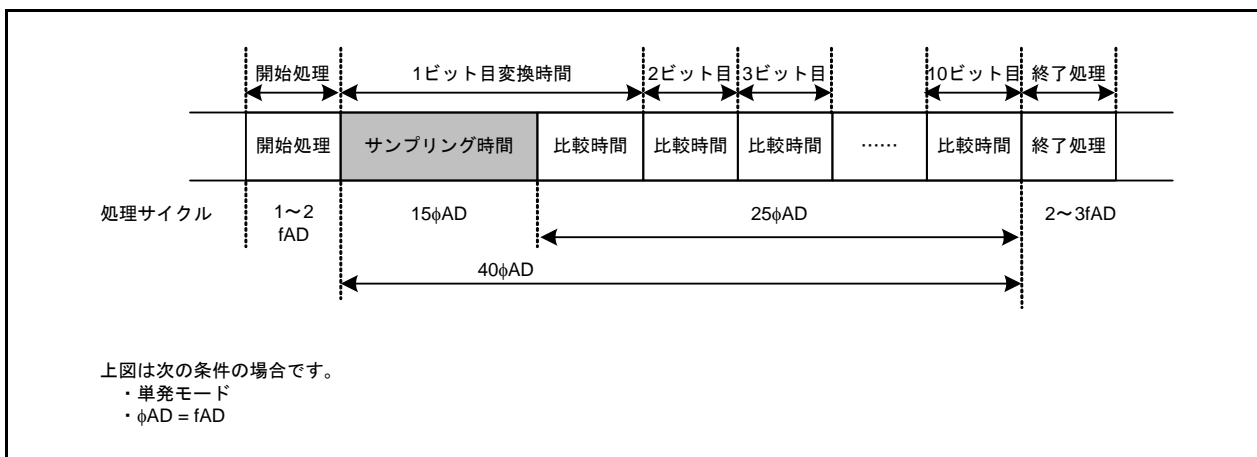


図 24.5 A/D変換タイミング図

表 24.9に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。
開始処理時間は ϕAD の選択によって変わります。

A/D_j回路はAD_jCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D_j回路がA/D変換を始めるまでに、AD_jCON0レジスタのADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間にAD_jCON0レジスタのADSTビットが“0”になり、最後のA/D変換結果がAD_{ji}レジスタに入ります。

- 単発モードの場合
開始処理時間 + A/D変換実行時間 + 終了処理時間
- 単掃引モードで2端子を選択した場合
開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表 24.9 各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	$\phi AD=fAD$	fADの1~2サイクル
	$\phi AD=fAD$ の2分周	fADの2~3サイクル
	$\phi AD=fAD$ の3分周	fADの3~4サイクル
	$\phi AD=fAD$ の4分周	fADの3~4サイクル
	$\phi AD=fAD$ の6分周	fADの4~5サイクル
	$\phi AD=fAD$ の12分周	fADの7~8サイクル
A/D変換実行時間		ϕAD の40サイクル
実行間処理時間		ϕAD の1サイクル
終了処理時間		fADの2~3サイクル

24.3.2 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガ、タイマトリガと外部トリガがあります。図24.6にA/D変換開始トリガを示します。

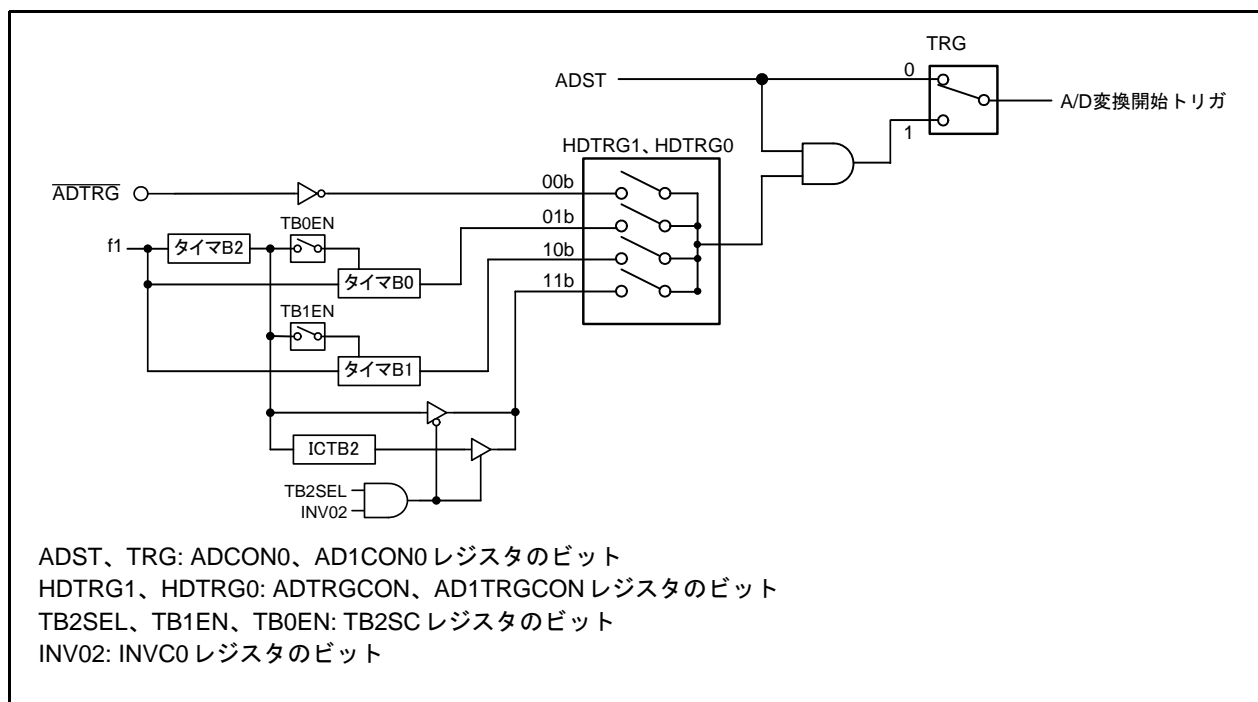


図 24.6 A/D変換開始トリガ

24.3.2.1 ソフトウェアトリガ

ADjCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合です。ADjCON0レジスタのADSTビットを“1”(A/D変換開始)にするとA/D変換を開始します。

24.3.2.2 外部トリガ

この機能を使用する場合は次のようにしてください。

- $\overline{\text{ADTRG}}$ と端子を共用しているポートの方向ビットが“0”(入力モード)
- ADjCON0レジスタのTRGビットが“1”、かつ、ADjTRGCONレジスタのHDTRG1、HDTRG0ビットが“00b”(ADTRGによるトリガ)
- ADjCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態、 $\overline{\text{ADTRG}}$ 端子の入力を“H”から“L”にするとA/D変換を開始します。

なお、 $\overline{\text{ADTRG}}$ 端子に入力するパルスの幅“H”幅、“L”幅は、いずれもfADの2サイクル以上にしてください。

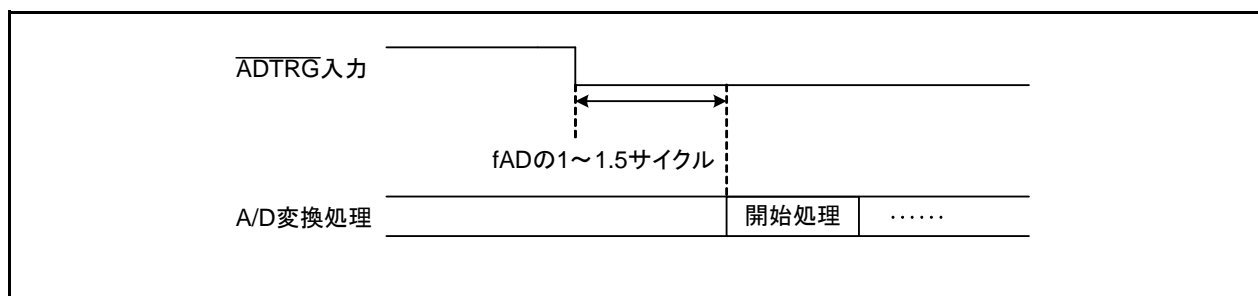


図 24.7 外部トリガ入力時のA/D変換開始タイミング

24.3.2.3 タイマトリガ

ADjCON0 レジスタの TRG ビットが“1”かつ ADjTRGCON レジスタの HDTRG1、HDTRG0 ビット、TB2SC レジスタの TB2SEL、TB1EN、TB0EN ビットが表 24.10 の組み合わせのとき、タイマトリガを使用できます。

表 24.10 タイマトリガ

ADCON0 レジスタ AD1CON0 レジスタ		TB2SC レジスタ			トリガ
HDTRG1 ビット	HDTRG0 ビット	TB2SEL ビット	TB1EN ビット	TB0EN ビット	
0	1	—	—	1	タイマB0割り込み要求
1	0	—	1	—	タイマB1割り込み要求
1	1	0	—	—	タイマB2割り込み要求 (タイマB2アンダフロー)
1	1	1	—	—	タイマB2割り込み要求 (ICTB2レジスタアンダフロー)

A/Dj は ADjCON0 レジスタの ADST ビットを“1”(A/D 変換開始) にすると、選択したトリガにより A/D 変換を開始します。

タイマトリガを使用する場合、fAD はメインクロックまたは PLL クロックにしてください。すなわち高速、中速モードまたは PLL 動作モードのとき、タイマトリガが使用できます。また、トリガに用いるタイマのカウントソースは、fAD と同じクロックで、fAD の2倍以上の周期にしてください。

表 24.11 fAD とトリガに用いるタイマのカウントソース

fAD	トリガに用いるタイマのカウントソース
f1 (メインクロック)	f2TIMAB、f8TIMAB、f32TIMAB、または f64TIMAB
f1 (PLL クロック)	
f1 (fOCO-S)	タイマトリガを使用しないでください

トリガにタイマ B0 を選択した場合は、タイマ B0 をタイマモードに設定してください。TABSR レジスタの TB0S ビットが“1”(カウント開始)のとき、タイマ B2 のアンダフロー信号でタイマ B0 のカウントを開始します。そして、タイマ B0 がアンダフローすると、A/D のトリガとタイマ B0 割り込み要求が発生し、タイマ B0 は停止します。タイマモードの設定方法は「16. タイマ B」を参照してください。

トリガにタイマ B1 を選択した場合は、タイマ B1 をタイマモードに設定してください。TABSR レジスタの TB1S ビットが“1”(カウント開始)のとき、タイマ B2 のアンダフロー信号でタイマ B1 のカウントを開始します。そして、タイマ B1 がアンダフローすると、A/D のトリガとタイマ B1 割り込み要求が発生し、タイマ B1 は停止します。タイマモードの設定方法は「16. タイマ B」を参照してください。

トリガにタイマ B2 を選択した場合は、TB2SC レジスタの TB2SEL ビットが“0”(タイマ B2 アンダフロー)の場合、タイマ B2 のアンダフローで A/D のトリガとタイマ B2 割り込み要求が発生します。

TB2SC レジスタの TB2SEL ビットが“1”(ICTB2 レジスタアンダフロー)の場合、INVC0 レジスタの INV02 ビットを“1”(三相モータ制御用タイマ機能を使用する)にしてください。ICTB2 レジスタに設定した値を n とすると、タイマ B2 のアンダフローを n 回カウントするごとに、A/D のトリガとタイマ B2 割り込み要求が発生します。

24.3.3 A/D変換結果

A/D_j回路のA/D変換が終わる前にAD_{ji}レジスタを読み出すと、不定値を読み出します。AD_{ji}レジスタはA/D変換が終了した後に読み出してください。A/D変換の終了は次の方法で検出してください。

- 単発モード、単掃引モード

A/D_j変換終了時、AD_{ji}レジスタのIRビットが“1”(割り込み要求あり)になりますので、IRビットが“1”になったことを確認してAD_{ji}レジスタを読み出してください。

A/D_j変換割り込みを使用しない場合は、AD_{ji}レジスタ読み出し後、プログラムでIRビットを“0”(割り込み要求なし)にしてください。

- 繰り返しモード、繰り返し掃引モード0、

IRビットは変化しません(割り込み要求は発生しません)。最初は1回分の変換時間が経過した後でAD_{ji}レジスタを読み出してください(「24.3.1 A/D変換サイクル数」参照)。以降は任意のタイミングで読み出すと、それ以前にA/D変換した結果が読み出せます。

1回分のA/D変換が終了するとAD_{ji}レジスタに値を上書きしますので、必要な値はそれまでに読み出してください。

24.3.4 消費電流低減機能

A/D_j回路を使用しないとき、AD_jCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、 ϕ ADの1サイクル以上経過した後で、AD_jCON0レジスタの、ADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

24.4 動作モード

24.4.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表 24.12に単発モードの仕様を示します。

表 24.12 単発モードの仕様

項目	仕様	
	A/D回路	A/D1回路
機能	ADjCON0レジスタのCH2~CH0ビットとADjCON2レジスタのADGSEL1~ADGSEL0ビットで選択した1本の端子の入力電圧を1回A/D変換する	
A/D変換開始条件	<ul style="list-style-type: none"> ADjCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADjCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”かつADjTRGCONレジスタのHDTRG1~HDTRG0ビットが“00b”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から“L”へ変化 TRGビットが“1”かつHDTRG1~HDTRG0ビットが“01b”、“10b”、“11b”(タイマトリガ)の場合 選択したトリガ(タイマB0、タイマB1、またはタイマB2割り込み要求)の発生 	
A/D変換停止条件	<ul style="list-style-type: none"> A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ADSTビットを“0”にする 	
割り込み要求発生タイミング	A/D変換終了時	
アナログ入力端子	<ul style="list-style-type: none"> A/D1動作停止(スタンバイ)時 (AD1CON1レジスタのADSTBYビットが“0”) AN0~AN7、AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2から1端子を選択 A/D1動作可能時(AD1CON1レジスタのADSTBYビットが“1”) AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2から1端子を選択 (AN0~AN7は使用できない) 	AN0~AN3から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し	選択した端子に対応したAD10~AD13レジスタの読み出し

表 24.13 単発モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値	
		A/D回路	A/D1回路
ADjTRGCON	HDTRG1、 HDTRG0	トリガを選択してください	
ADj0~ADj7	b9~b0	A/D変換結果が読み出せます	
ADjCON2	ADGSEL1、 ADGSEL0	アナログ入力端子のグループを 選択してください	“00b”にしてください
	CKS2	φADの周波数を選択してください	
ADjCON0	CH2~CH0	アナログ入力端子を選択してください	
	MD1~MD0	“00b”にしてください	
	TRG	トリガを選択してください	
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください	
	CKS0	φADの周波数を選択してください	
ADjCON1	SCAN1、SCAN0	無効	
	CKS1	φADの周波数を選択してください	
	ADSTBY	A/D変換するときは“1”にしてください	

注1. この表は手順を表すものではありません。

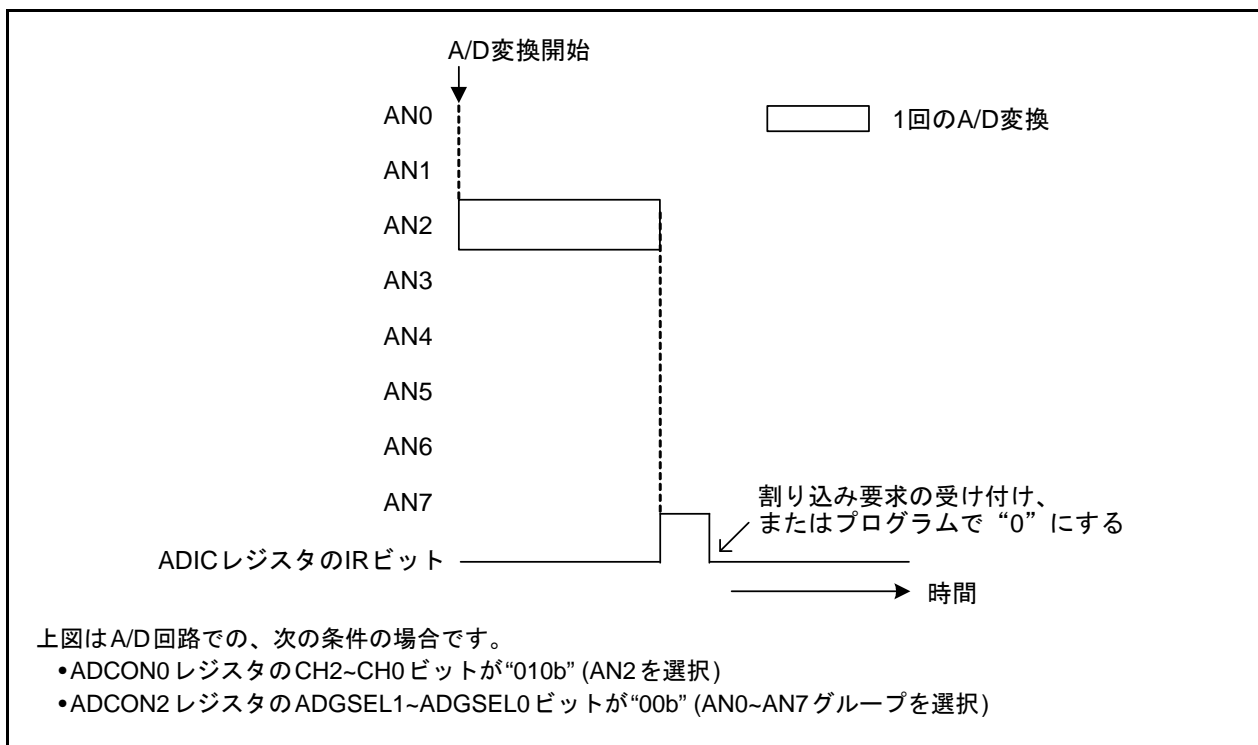


図 24.8 単発モードの動作例

24.4.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表 24.14に繰り返しモードの仕様を示します。

表 24.14 繰り返しモードの仕様

項目	仕様	
	A/D回路	A/D1回路
機能	ADjCON0レジスタのCH2~CH0ビットとADjCON2レジスタのADGSEL1~ADGSEL0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する	
A/D変換開始条件	<ul style="list-style-type: none"> ADjCON0レジスタのTRGビットが“0” (ソフトウェアトリガ) の場合 ADjCON0レジスタのADSTビットを“1” (A/D変換開始) にする TRGビットが“1”かつADjTRGCONレジスタのHDTRG1~HDTRG0ビットが“00b” (ADTRGによるトリガ) の場合 ADSTビットを“1” (A/D変換開始) にした後、ADTRG端子の入力が“H”から“L”へ変化 TRGビットが“1”かつHDTRG1~HDTRG0ビットが“01b”、“10b”、“11b” (タイマトリガ) の場合 選択したトリガ (タイマB0、タイマB1、またはタイマB2割り込み要求) の発生 	
A/D変換停止条件	ADSTビットを“0” (A/D変換停止) にする	
割り込み要求発生タイミング	割り込み要求は発生しない	
アナログ入力端子	<ul style="list-style-type: none"> A/D1動作停止 (スタンバイ) 時 (AD1CON1レジスタのADSTBYビットが“0”) AN0~AN7、AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2から1端子を選択 A/D1動作可能時 (AD1CON1レジスタのADSTBYビットが“1”) AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2から1端子を選択 (AN0~AN7は使用できない) 	AN0~AN3から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し	選択した端子に対応したAD10~AD13レジスタの読み出し

表 24.15 繰り返しモード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値	
		A/D回路	A/D1回路
ADjTRGCON	HDTRG1、 HDTRG0	トリガを選択してください	
ADj0~ADj7	b9~b0	A/D変換結果が読み出せません	
ADjCON2	ADGSEL1、 ADGSEL0	アナログ入力端子のグループ を選択してください	"00b"にしてください
	CKS2	φADの周波数を選択してください	
ADjCON0	CH2~CH0	アナログ入力端子を選択してください	
	MD1~MD0	"01b"にしてください	
	TRG	トリガを選択してください	
	ADST	A/D変換を開始するとき"1"に、停止するとき"0"にしてください	
	CKS0	φADの周波数を選択してください	
ADjCON1	SCAN1、SCAN0	無効	
	CKS1	φADの周波数を選択してください	
	ADSTBY	A/D変換するときは"1"にしてください	

注1. この表は手順を表すものではありません。

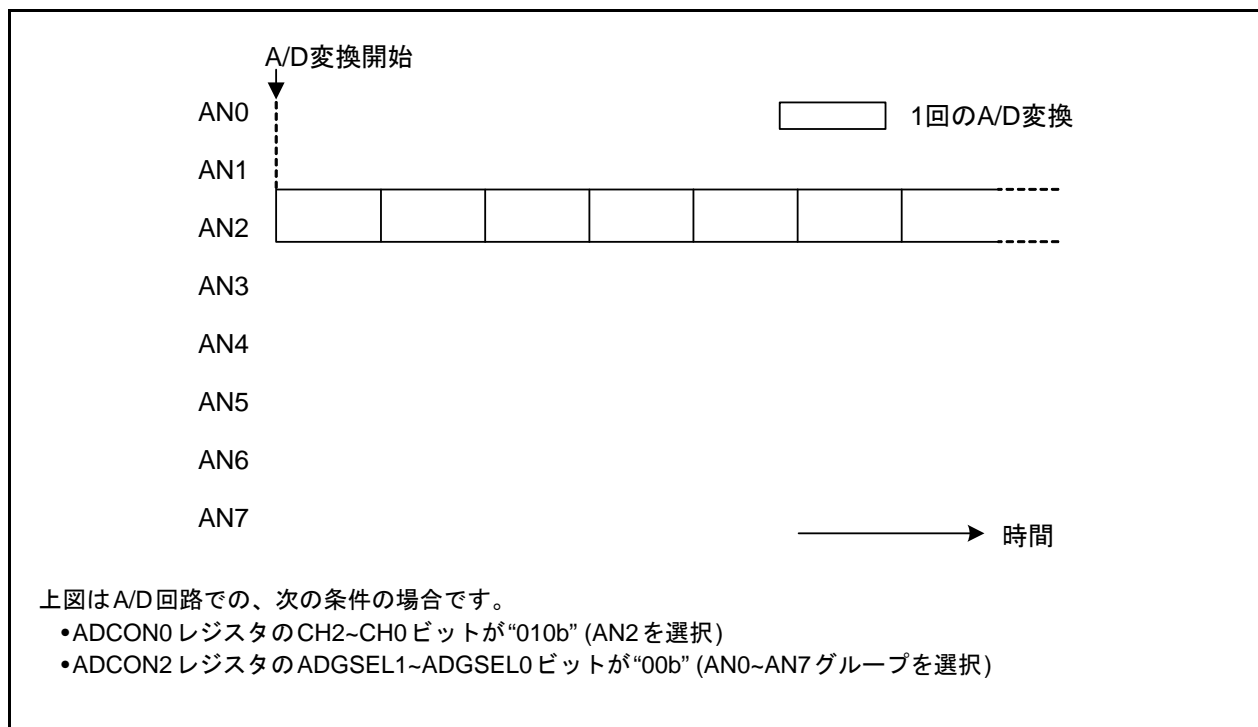


図 24.9 繰り返しモードの動作例

24.4.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表 24.16に単掃引モードの仕様を示します。

表 24.16 単掃引モードの仕様

項目	仕様	
	A/D回路	A/D1回路
機能	ADjCON1レジスタのSCAN1~SCAN0ビットとADjCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する	
A/D変換開始条件	<ul style="list-style-type: none"> ADjCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADjCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”かつADjTRGCONレジスタのHDTRG1~HDTRG0ビットが“00b”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化 TRGビットが“1”かつHDTRG1~HDTRG0ビットが“01b”、“10b”、“11b”(タイマトリガ)の場合 選択したトリガ(タイマB0、タイマB1、またはタイマB2割り込み要求)の発生 	
A/D変換停止条件	<ul style="list-style-type: none"> A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ADSTビットを“0”にする 	
割り込み要求発生タイミング	A/D変換終了時	
アナログ入力端子	<ul style="list-style-type: none"> A/D1動作停止(スタンバイ)時(AD1CON1レジスタのADSTBYビットが“0”) AN0~AN1(2端子)、AN0~AN3(4端子)、AN0~AN5(6端子)、AN0~AN7(8端子)から選択 AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2も同様に選択できる A/D1動作可能時(AD1CON1レジスタのADSTBYビットが“1”) AN0_0~AN0_1(2端子)、AN0_0~AN0_3(4端子)、AN0_0~AN0_5(6端子)、AN0_0~AN0_7(8端子)から選択 AN2_0~AN2_7、AN3_0~AN3_2も同様に選択できる (AN0~AN7は使用できない) 	AN0~AN1(2端子)、AN0~AN3(4端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し	選択した端子に対応したAD10~AD13レジスタの読み出し

表 24.17 単掃引モード時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値	
		A/D回路	A/D1回路
ADjTRGCON	HDTRG1、 HDTRG0	トリガを選択してください	
ADj0~ADj7	b9~b0	A/D変換結果が読み出せます	
ADjCON2	ADGSEL1、 ADGSEL0	アナログ入力端子のグループ を選択してください	"00b"にしてください
	CKS2	φADの周波数を選択してください	
ADjCON0	CH2~CH0	無効	
	MD1~MD0	"10b"にしてください	
	TRG	トリガを選択してください	
	ADST	A/D変換を開始するとき"1"に、停止するとき"0"にしてください	
	CKS0	φADの周波数を選択してください	
ADjCON1	SCAN1、SCAN0	アナログ入力端子を選択してください	
	CKS1	φADの周波数を選択してください	
	ADSTBY	A/D変換するときは"1"にしてください	

注1. この表は手順を表すものではありません。

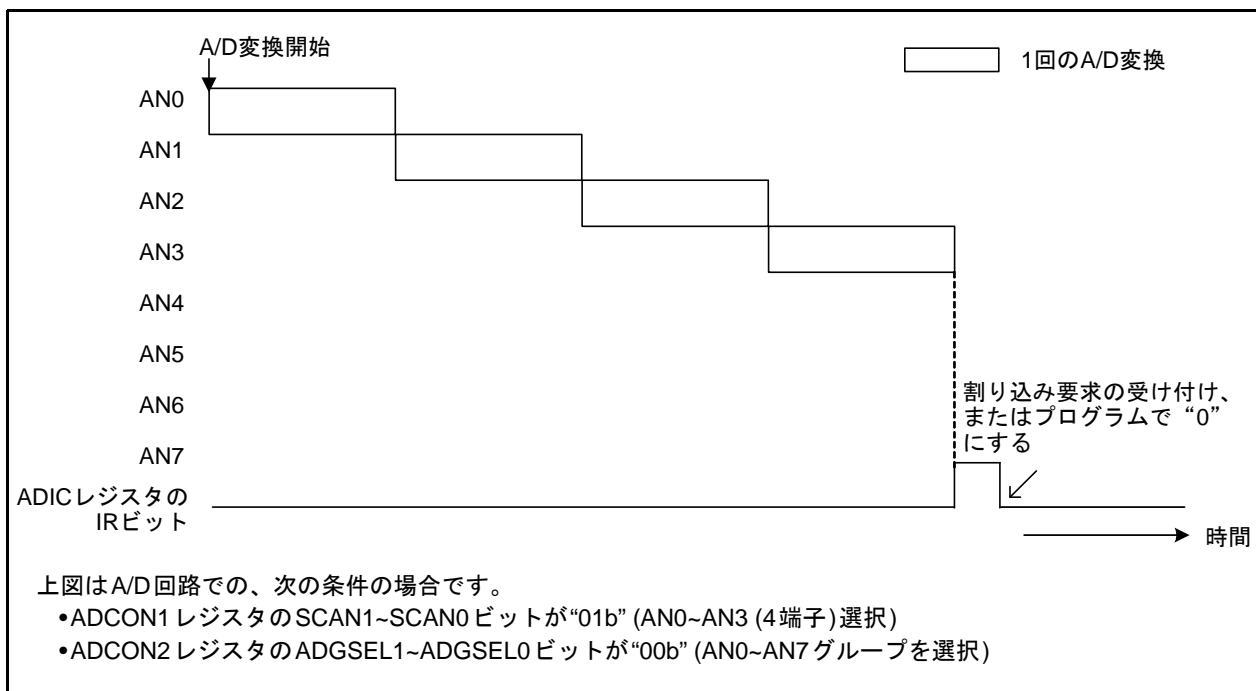


図 24.10 単掃引モードの動作例

24.4.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表 24.18に繰り返し掃引モード0の仕様を示します。

表 24.18 繰り返し掃引モード0の仕様

項目	仕様	
	A/D回路	A/D1回路
機能	ADjCON1レジスタのSCAN1~SCAN0ビットとADjCON2レジスタのADGSEL1~ADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する	
A/D変換開始条件	<ul style="list-style-type: none"> ADjCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADjCON0レジスタのADSTビットを“1”(A/D変換開始)にする TRGビットが“1”かつADjTRGCONレジスタのHDTRG1~HDTRG0ビットが“00b”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化 TRGビットが“1”かつHDTRG1~HDTRG0ビットが“01b”、“10b”、“11b”(タイマトリガ)の場合 選択したトリガ(タイマB0、タイマB1、またはタイマB2割り込み要求)の発生 	
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする	
割り込み要求発生タイミング	割り込み要求は発生しない	
アナログ入力端子	<ul style="list-style-type: none"> A/D1動作停止(スタンバイ)時 (AD1CON1レジスタのADSTBYビットが“0”) AN0~AN1(2端子)、AN0~AN3(4端子)、AN0~AN5(6端子)、AN0~AN7(8端子)から選択 AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2も同様に選択できる A/D1動作可能時(AD1CON1レジスタのADSTBYビットが“1”) AN0_0~AN0_1(2端子)、AN0_0~AN0_3(4端子)、AN0_0~AN0_5(6端子)、AN0_0~AN0_7(8端子)から選択 AN2_0~AN2_7、AN3_0~AN3_2も同様に選択できる (AN0~AN7は使用できない) 	AN0~AN1(2端子)、AN0~AN3(4端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0~AD7レジスタの読み出し	選択した端子に対応したAD10~AD13レジスタの読み出し

表 24.19 繰り返し掃引モード0時の使用レジスタと設定値 (注1)

レジスタ	ビット	機能、設定値	
		A/D回路	A/D1回路
ADjTRGCON	HDTRG1、 HDTRG0	トリガを選択してください	
ADj0~ADj7	b9~b0	A/D変換結果が読み出せません	
ADjCON2	ADGSEL1、 ADGSEL0	アナログ入力端子のグループを 選択してください	“00b”にしてください
	CKS2	φADの周波数を選択してください	
ADjCON0	CH2~CH0	無効	
	MD1~MD0	“11b”にしてください	
	TRG	トリガを選択してください	
	ADST	A/D変換を開始するとき“1”に、停止するとき“0”にしてください	
	CKS0	φADの周波数を選択してください	
ADjCON1	SCAN1、SCAN0	アナログ入力端子を選択してください	
	CKS1	φADの周波数を選択してください	
	ADSTBY	A/D変換するときは“1”にしてください	

注1. この表は手順を表すものではありません。

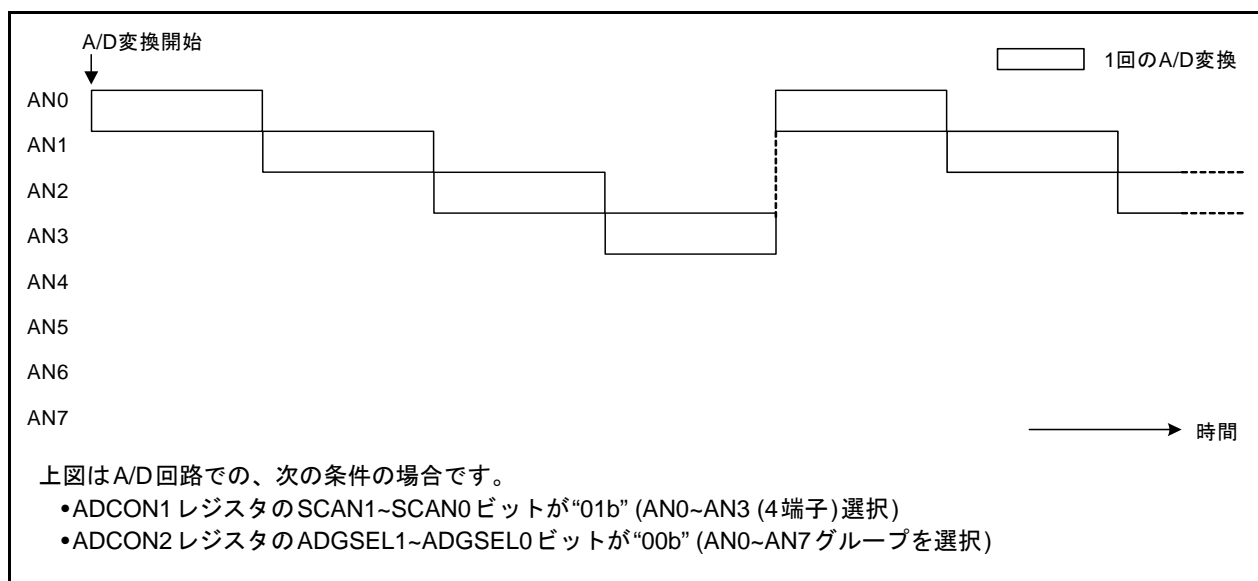


図 24.11 繰り返し掃引モード0の動作例

24.5 外部センサ

A/D変換を正しく行うためには、図 24.12の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは1024)とします。

$$VCは一般に VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$t=Tのとき、VC = VIN - \frac{X}{Y}VIN = VIN \left(1 - \frac{X}{Y} \right) より、$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$よって、R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図 24.12 アナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)はA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

$\phi_{AD}=20\text{MHz}$ のとき、 $T=0.75\mu\text{s}$ となります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

$T=0.75\mu\text{s}$ 、 $R=10\text{k}\Omega$ 、 $C=6.0\text{pF}$ 、 $X=0.1$ 、 $Y=1024$ だから、

$$R0 = -\frac{0.75 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 3.5 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出力インピーダンスR0は最大3.5k Ω になります。

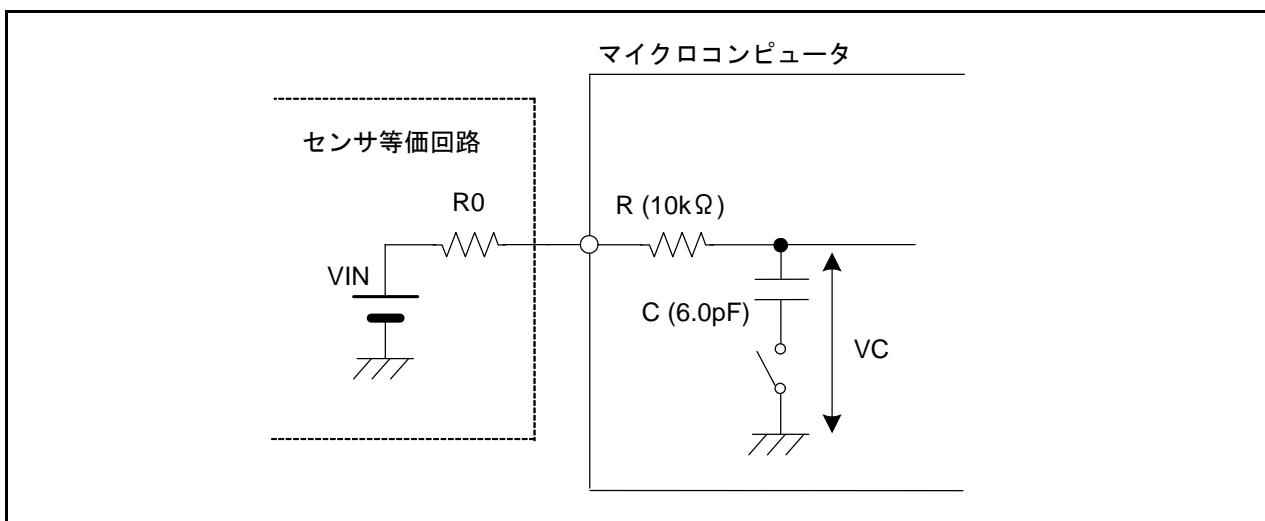


図 24.12 アナログ入力端子と外部センサの等価回路例

24.6 割り込み

割り込み要求発生タイミングは、動作例を参照してください。

また、割り込み制御の詳細は「12.7 割り込み制御」を参照してください。表 24.20にA/Dコンバータの割り込み関連レジスタを示します。

表 24.20 A/Dコンバータの割り込み関連レジスタ

アドレス	レジスタ名	レジスタシンボル	リセット後の値
004Dh	キー入力割り込み制御レジスタ、 A/D1変換割り込み制御レジスタ	KUPIC ADEIC	XXXX X000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXX X000b
0206h	割り込み要因選択レジスタ2	IFSR2A	00h

A/D1変換割り込みは他の周辺機能と、割り込みベクタや割り込み制御レジスタを共用しています。

A/D1変換割り込みを使用する場合は、IFSR2AレジスタのIFSR21ビットを“1”(A/D1)にしてください。

24.7 A/Dコンバータ使用上の注意事項

24.7.1 アナログ入力選択

A/D1回路が動作可能(AD1CON1レジスタのADSTBYビットが“1”)のとき、A/D回路はAN0~AN7端子を使用できません。AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2を選択してください。A/D1回路が動作可能時にA/D回路がAN0~AN7端子を選択してA/D変換した場合、変換結果は不定になります。A/D回路でAN0~AN7端子を使用するときは、A/D1回路を動作停止(AD1CON1レジスタのADSTBYビットを“0”)にしてください。

また、 $\overline{KI0}$ ~ $\overline{KI3}$ 端子のいずれかをキー入力割込みに使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。

ひとつのアナログ信号をA/D回路とA/D1回路で同時に変換しないでください。ひとつのアナログ信号をA/D回路、A/D1回路で変換するときは、一方のA/D変換が終了してから、もう一方のA/D変換を開始してください。また、変換結果はそれぞれの平均をとってください。

24.7.2 端子の処理

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i、AN0_i、AN2_i、AN3_i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC端子とVSS端子の間にもコンデンサを挿入してください。

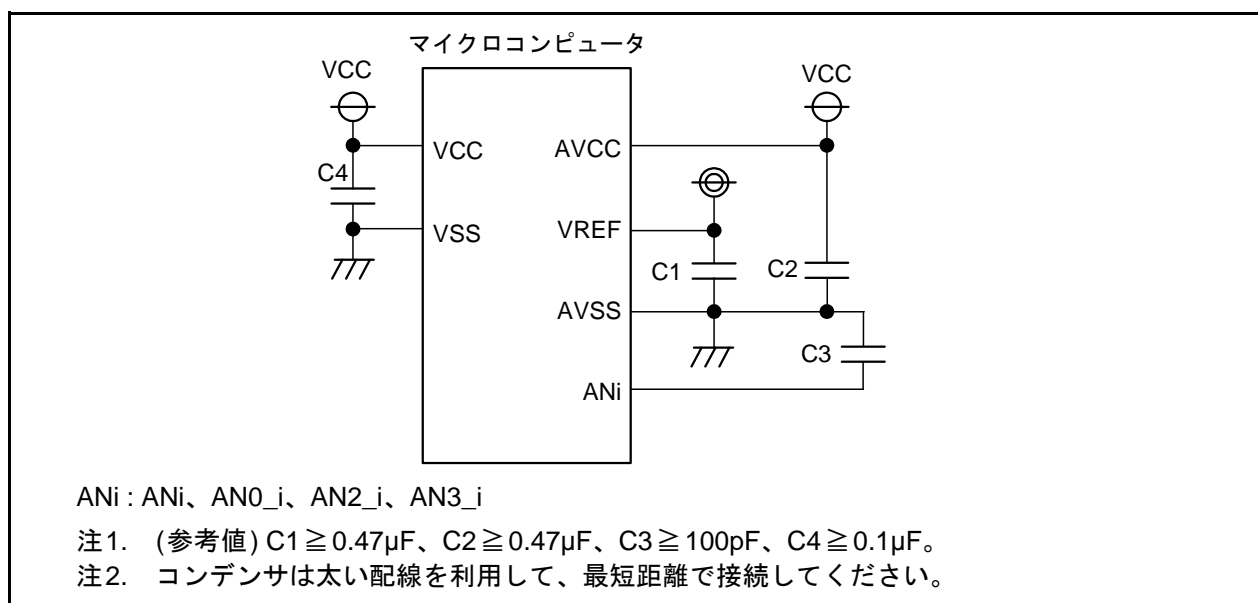


図 24.13 各端子の処理例

24.7.3 レジスタアクセス

AD_jCON0レジスタ(ADSTビットを除く)、AD_jCON1レジスタ、AD_jCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

A/D変換停止後、AD_jCON1レジスタのADSTBYビットを“1”から“0”にしてください。

24.7.4 A/D変換開始

AD_jCON1レジスタのADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、φ_{AD}の1サイクル以上経過した後に、A/D_jのA/D変換を開始させてください。

24.7.5 A/D動作モードの変更

A/D動作モードを変更した場合は、ADjCON0レジスタのCH2~CH0ビットまたはADjCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

24.7.6 強制終了時の状態

A/DjがA/D変換動作中に、プログラムでADjCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADjiレジスタ(i=0~7)も不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADjiレジスタの値を使用しないでください。

24.7.7 A/D変換終了の検出方法

単発モード、単掃引モードでA/D変換の終了を検知する場合は、ADjICレジスタのIRビットを使用してください。割り込みを使用しない場合は、検出後プログラムでIRビットを“0”にしてください。

ADjCON0レジスタのADSTビットは、プログラムで“1”を書いた後、開始処理時間(「表 24.9 各A/D変換項目のサイクル数」参照)後に“1”(A/D変換開始)になるため、“1”書き込み後すぐに読み出すと、“0”(A/D変換停止)が読めることがあります。

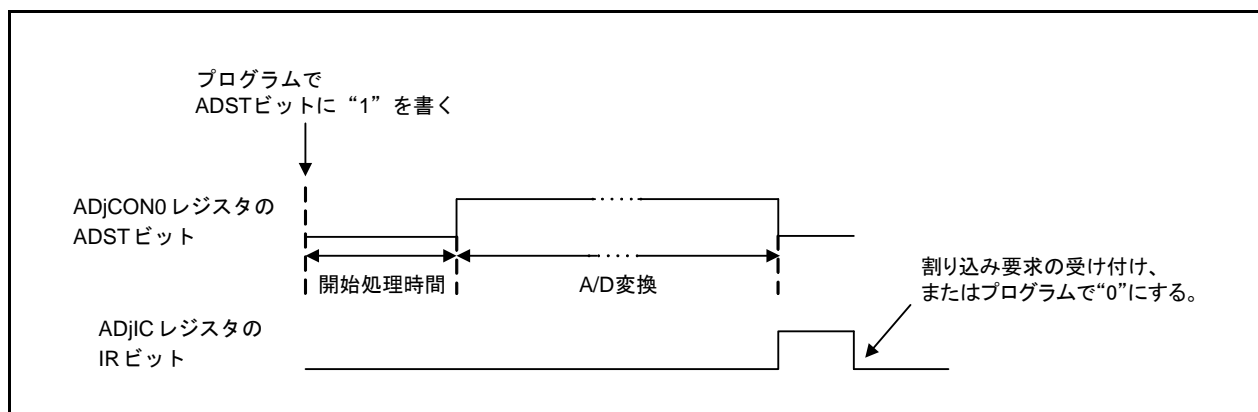


図 24.14 ADSTビットの動作

24.7.8 繰り返しモード、繰り返し掃引モード0

これらのモードでは、AD_{ji}レジスタの値が書き換わる期間にAD_{ji}レジスタを読むと、不定値を読み出すことがあります。そのため、AD_{ji}レジスタを複数回読んで、読んだ値が有効か判断してください。なお、不定値を読み出す期間はfADの1サイクルです。

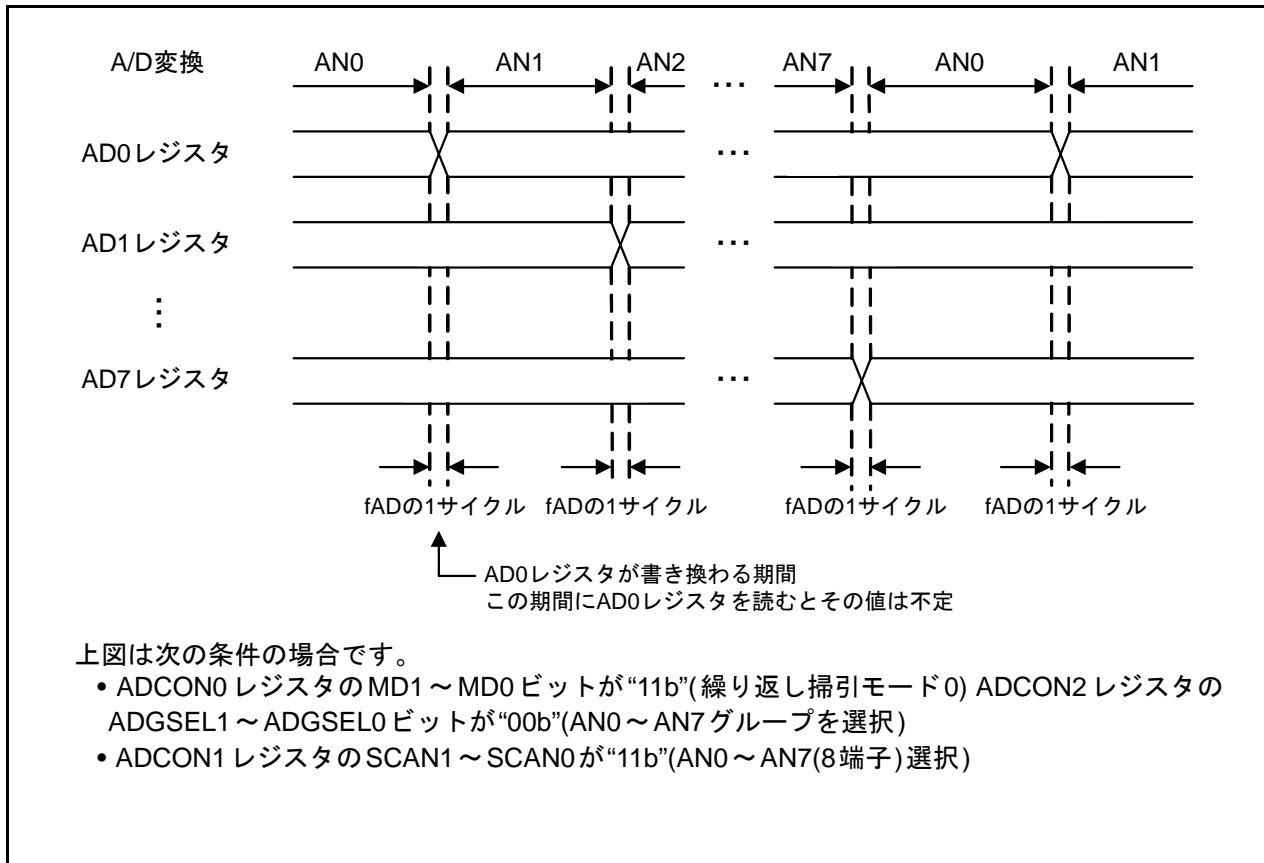


図 24.15 AD_{ji}レジスタの値が書き換わる期間

25. CRC演算回路

25.1 概要

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤りを検出します。さらに、CRC演算回路はSFRへの書き込み/SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。

表 25.1 CRC演算回路の仕様

項目	仕様
生成多項式	CRC-CCITT($X^{16}+X^{12}+X^5+1$)またはCRC-16 ($X^{16}+X^{15}+X^2+1$)
選択機能	<ul style="list-style-type: none"> •MSB/LSB選択可能 •SFRアクセス監視機能

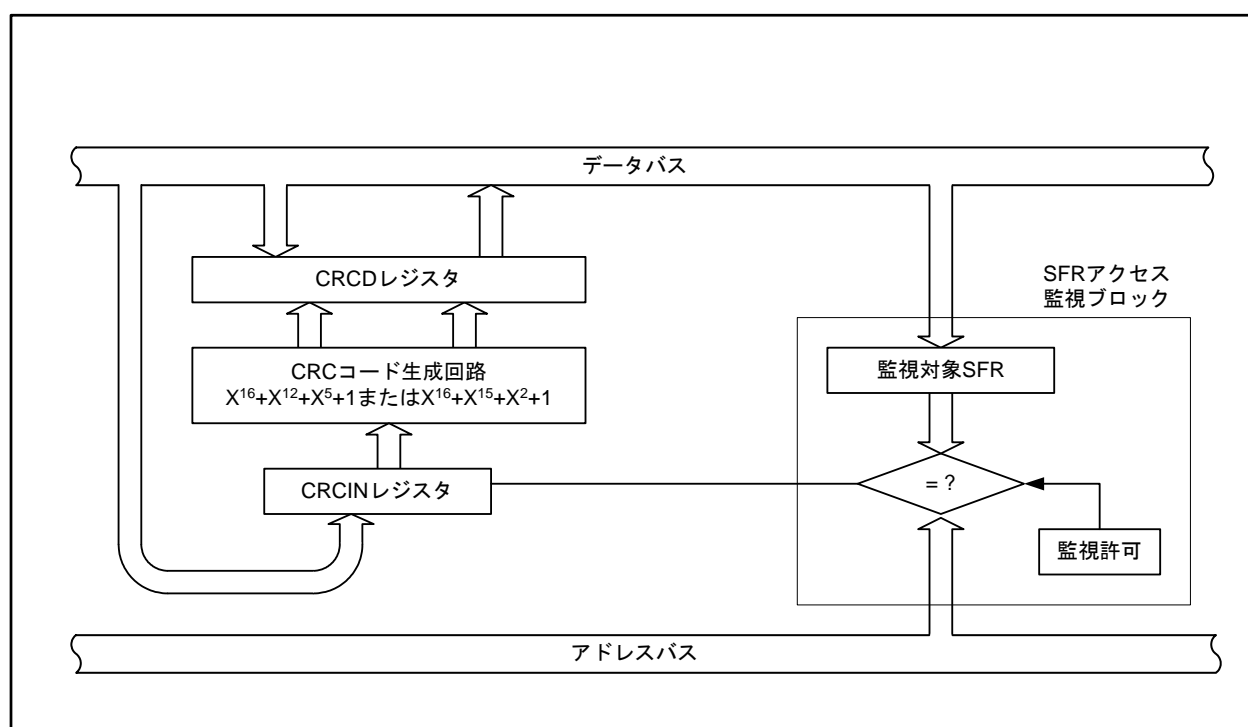


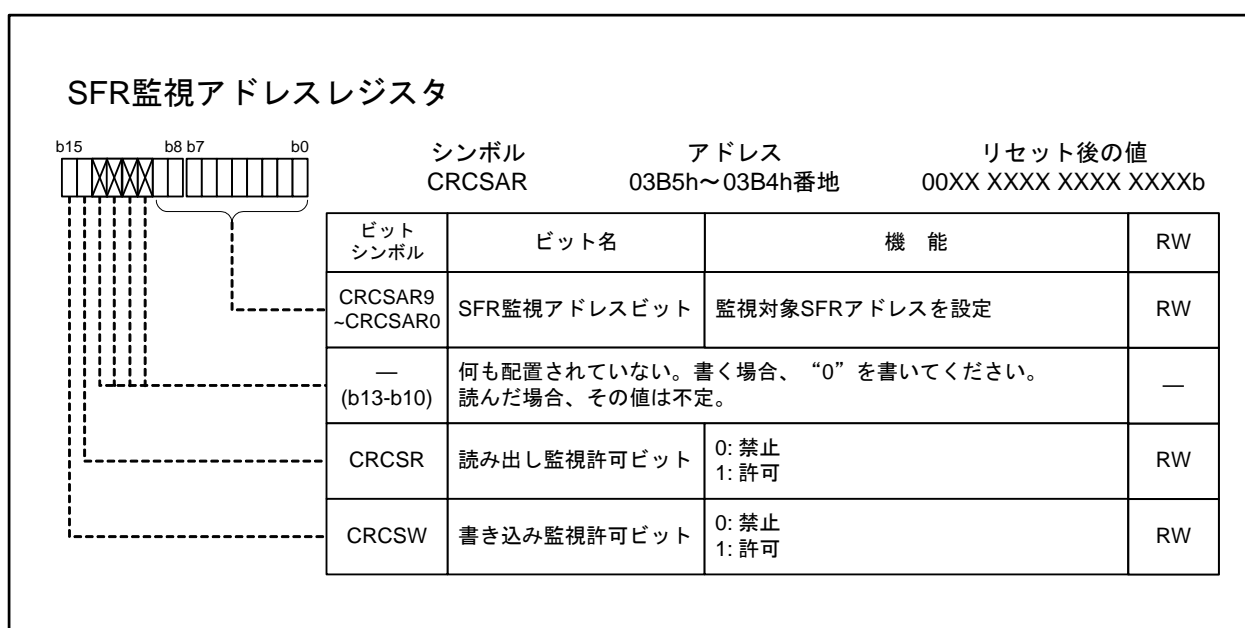
図 25.1 CRC演算回路のブロック図

25.2 レジスタの説明

表 25.2 レジスタ一覧

アドレス	レジスタ名	シンボル	リセット後の値
03B4h	SFR監視アドレスレジスタ	CRCSAR	XXXX XXXXb
03B5h			00XX XXXXb
03B6h	CRCモードレジスタ	CRCMR	0XXX XXX0b
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh

25.2.1 SFR監視アドレスレジスタ (CRCSAR)

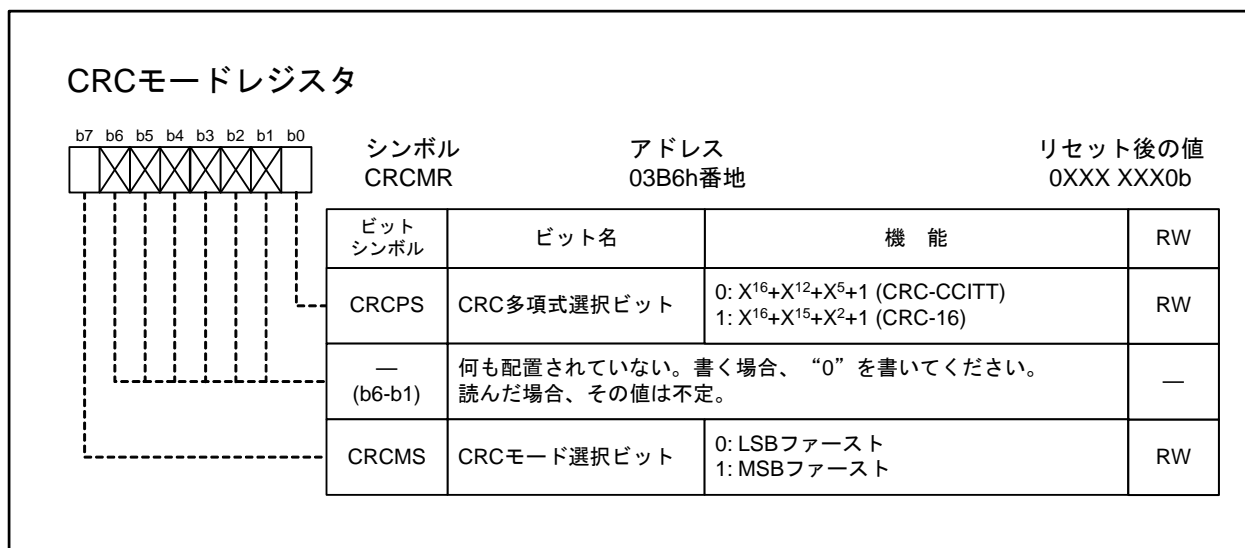


CRCSR (読み出し監視許可ビット) (b14)

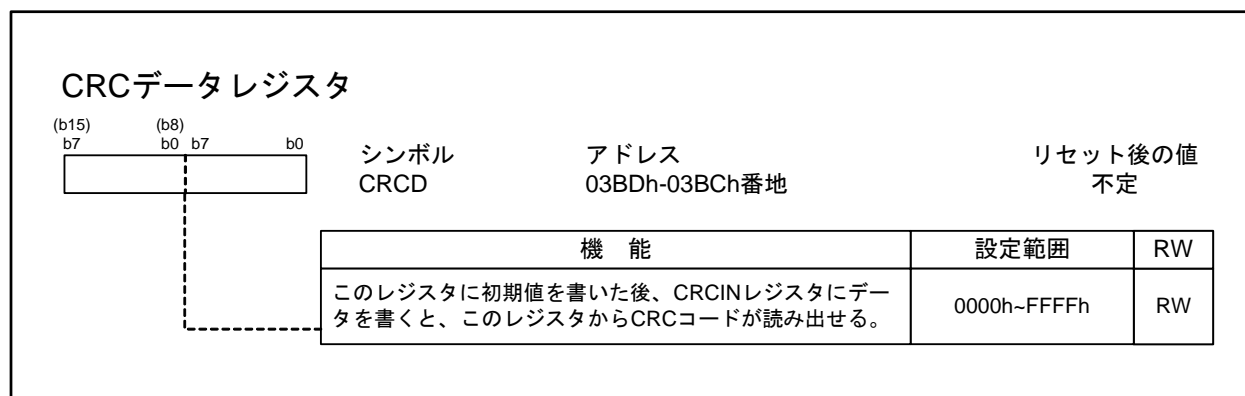
CRCSW (書き込み監視許可ビット) (b15)

CRCSRビットとCRCSWビットの両方が“1”という状態にしないでください。CRCSWビットが“1”のとき、CRCSRビットは“0”にしてください。CRCSRビットが“1”のとき、CRCSWビットは“0”にしてください。

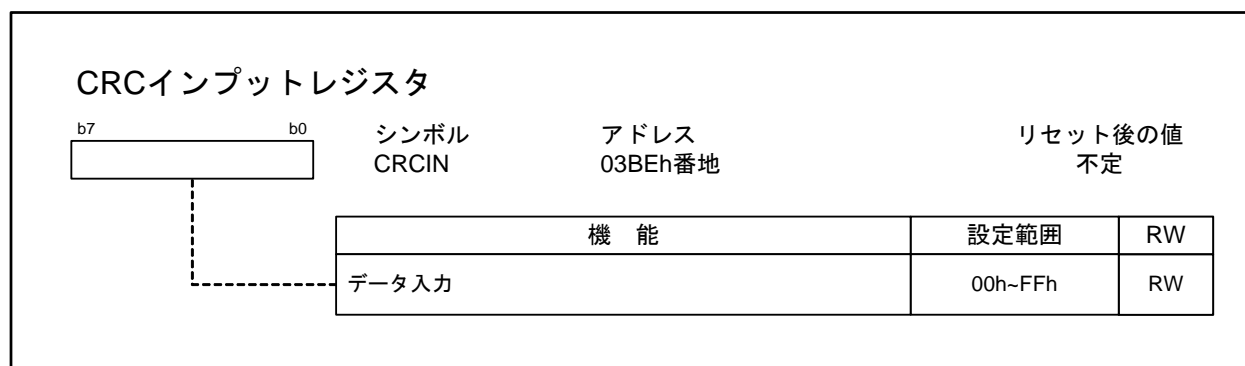
25.2.2 CRCモードレジスタ (CRCMR)



25.2.3 CRCデータレジスタ (CRCD)



25.2.4 CRCインプットレジスタ (CRCIN)



25.3 動作説明

25.3.1 基本動作

CRC(Cyclic Redundancy Check)回路は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)、またはCRC-16 ($X^{16}+X^{15}+X^2+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成はCPUクロックの2サイクルで終了します。

25.3.2 SFRアクセス監視機能

CRC演算回路は、SFRへの書き込み/SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。SFRに書き込まれた、または、SFRから読み出されたデータに対してCRC演算を実行するために、改めてCRCINレジスタにデータを設定する必要がありません。対象となる領域は0020h番地から03FFh番地のSFR領域です。たとえば、UART送信バッファレジスタへの書き込みやUART受信バッファからの読み出しを監視する場合に便利です。

SFRへの書き込み/SFRからの読み出しを監視するためには、対象になるSFRアドレスをCRCSARレジスタのCRCSAR9~CRCSAR0ビットに設定します。CRCSARレジスタのCRCSWビットで対象SFRへの書き込みの監視を、CRCSARレジスタのCRCSRビットで対象SFRの読み出しの監視を許可します。

CRCSWビットに“1”を設定している場合、CPU、またはDMAによって監視対象SFRへの書き込みが実行されると、CRC演算回路は対象SFRに書き込まれたデータをCRCINレジスタに格納し、CRC演算を実行します。同様に、CRCSRビットに“1”を設定している場合、CPU、またはDMAによって監視対象SFRからデータが読み出されると、CRC演算回路は対象SFRから読み出したデータをCRCINレジスタに格納し、CRC演算を実行します。

CRC演算回路は1回につき1バイトのCRC演算を実行します。したがって、監視対象SFRがワード単位でアクセスされた場合、下位1バイトのデータに対してCRCコードを生成します。

“80C4h”のCRCコードを生成する場合の設定手順とCRC演算 (CRC-CCITT使用時、LSBファーストの場合)

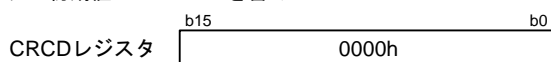
● CRC演算回路の仕様

CRCコード: CRCINレジスタに書いた値の反転したものを被除数、生成多項式を除数とする除算の剰余
生成多項式: $X^{16}+X^{12}+X^5+1$ (1 0001 0000 0010 0001b)

● 設定手順

- (1) プログラムで“80C4h”のビット位置をバイト単位で反転させる
“80h” → “01h”、“C4h” → “23h”

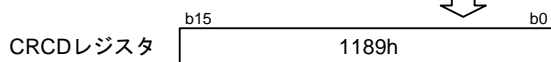
- (2) CRCDレジスタに初期値: “0000h”を書く



- (3) CRCINレジスタに“80h”の反転値“01h”を書く



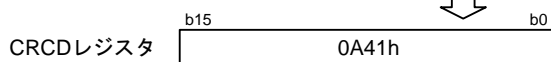
2サイクル後、“80h”のCRCコード
(9188h)のビット位置を反転した
“1189h”が、CRCDレジスタに格納さ
れる



- (4) CRCINレジスタに“C4h”の反転値“23h”を書く

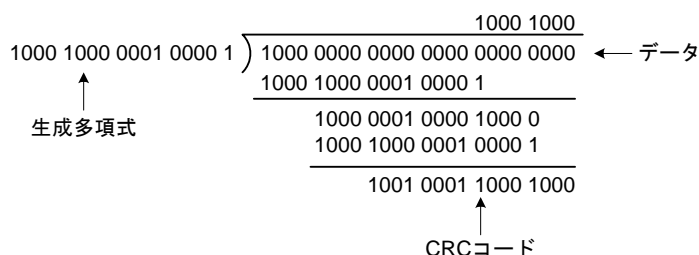


2サイクル後、“80C4h”のCRCコード
(8250h)のビット位置を反転した
“0A41h”が、CRCDレジスタに格納さ
れる



● CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値“01h(0000 0001b)”はビット位置が反転され“80h(1000 0000b)”になる。これを16ビット左シフトした“1000 0000 0000 0000 0000 0000b”と、CRCDレジスタの初期値“0000 0000 0000 0000b”を8ビット左シフトした“0000 0000 0000 0000 0000 0000b”を加算した値をモジュロ2除算する。



モジュロ2の演算とは…
次の法則に基づいた演算です

0 + 0 = 0
0 + 1 = 1
1 + 0 = 1
1 + 1 = 0
-1 = 1

剰余“1001 0001 1000 1000b(9188h)”のビット位置を反転した“0001 0001 1000 1001b(1189h)”がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値“23h(0010 0011b)”はビット位置が反転され“C4h(1100 0100b)”になる。これを16ビット左シフトした“1100 0100 0000 0000 0000 0000b”と、CRCDレジスタに残っている(3)の剰余“1001 0001 1000 1000b”を8ビット左シフトした“1001 0001 1000 1000 0000 0000b”を加算した値をモジュロ2除算する。

剰余“1000 0010 0100 0000b(8250h)”のビット位置を反転した“0000 1010 0100 0001b(0A41h)”がCRCDレジスタから読める。

図 25.2 CRC演算例(CRC-CCITT使用時)

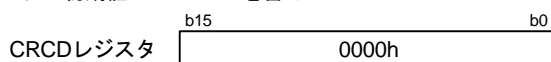
“80C4h”のCRCコードを生成する場合の設定手順とCRC演算 (CRC-16使用時、MSBファーストの場合)

● CRC演算回路の仕様

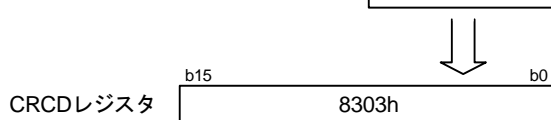
CRCコード: CRCINレジスタに書いた値を被除数、生成多項式を除数とする除算の剰余
生成多項式: $X^{16}+X^{15}+X^2+1$ (1 1000 0000 0000 0101b)

● 設定手順

- (1) CRCDレジスタに初期値: “0000h” を書く



- (2) CRCINレジスタに “80h” を書く



2サイクル後、“80h”のCRCコード
(8303h)がCRCDレジスタに格納される

- (3) CRCINレジスタに “C4h” を書く



2サイクル後、“80C4h”のCRCコード
(0292h)がCRCDレジスタに格納される

● CRC演算詳細

上記(2)の場合、CRCINレジスタに書いた値 “80h (1000 0000b)” を16ビット左シフトした “1000 0000 0000 0000 0000 0000b” と、CRCDレジスタの初期値 “0000 0000 0000 0000b” を8ビット左シフトした “0000 0000 0000 0000 0000 0000b” を加算した値をモジュロ2除算する。

剰余 “1000 0011 0000 0011b (8303h)” がCRCDレジスタから読める。

続けて上記(3)の場合、CRCINレジスタに書いた値 “C4h (1100 0100b)” を16ビット左シフトした “1100 0100 0000 0000 0000 0000b” と、CRCDレジスタに残っている(2)の剰余 “8303h(1000 0011 0000 0011b)” を8ビット左シフトした “1000 0011 0000 0011 0000 0000b” を加算した値をモジュロ2除算する。

剰余 “0000 0010 1001 0010b (0292h)” がCRCDレジスタから読める。

図 25.3 CRC演算例 (CRC-16使用時)

26. フラッシュメモリ

注意

64ピン版のP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P9_5~P9_7は、外部への接続がありません。
64ピン版では、ユーザブート機能のエントリに使用する端子に、これらの端子を指定しないでください。

26.1 概要

本製品のROMはフラッシュメモリです。本章でフラッシュメモリという場合は、マイクロコンピュータ内部のフラッシュメモリを指します。

本製品では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表 26.1にフラッシュメモリの仕様概要を示します(表 26.1に示す以外の項目は「表 1.1~表 1.4 仕様概要」を参照してください)。

表 26.1 フラッシュメモリの仕様概要

項目	性能	
フラッシュメモリの書き換えモード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)	
消去ブロック分割	プログラムROM1	「図 26.1 フラッシュメモリのブロック図」を参照してください。
	プログラムROM2	1分割(16Kバイト)
	データフラッシュ	2分割(各4Kバイト)
プログラム方式	2ワード(4バイト)単位	
イレーズ方式	ブロック消去	
プログラム、イレーズ制御方式	ソフトウェアコマンドによるプログラム、イレーズ制御	
サスペンド機能	プログラムサスペンド、イレーズサスペンド	
プロテクト方式	ロックビットによるブロック単位のプロテクト	
コマンド数	8コマンド	
プログラム、イレーズ回数	プログラムROM1、プログラムROM2	1,000回(注1)
	データフラッシュ	10,000回(注1)
データ保持	20年間	
フラッシュメモリ書き換え禁止機能	パラレル入出力モード ROMコードプロテクト機能 標準シリアル入出力モード IDコードチェック機能、強制イレーズ機能、 標準シリアル入出力モード禁止機能	
ユーザブート機能	ユーザブートモードあり	

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

たとえば、4Kバイトのブロックについて、2ワードの書き込みを1024回に分けて書き込みを行った後、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。

プログラム、イレーズ回数が1,000回の場合、ブロックごとに1,000回ずつイレーズすることができます。

表 26.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換える EW0モード: RAM上で書き換え可能 EW1モード: フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、フラッシュメモリを書き換える 標準シリアル入出力モード1: クロック同期型シリアルI/O 標準シリアル入出力モード2: 2線式クロック非同期型シリアルI/O	専用パラレルライタを使用して、フラッシュメモリを書き換える
書き換えできる領域	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ
CPU動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ
オンボード書き換え	可能	可能	不可能

26.2 メモリ配置

本製品のROMはフラッシュメモリで、プログラムROM1、プログラムROM2、データフラッシュに分けられます。図 26.1にフラッシュメモリのブロック図を示します。

フラッシュメモリはブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。また、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

プログラムROM2はPRG2CレジスタのPRG2C0ビットが“0”(プログラムROM2有効)のとき使用できます。

データフラッシュは、PM1レジスタのPM10ビットを“1”(0E000h~0FFFFhはデータフラッシュ)にすると使用できます。データフラッシュは、ブロックA、ブロックBに分割されます。

表 26.3にプログラムROM1、プログラムROM2、データフラッシュの相違を示します。

なお、シングルチップモードで使用する場合には、プログラムROM1、プログラムROM2、データフラッシュのいずれにもプログラムを配置できます。

表 26.3 プログラムROM1、プログラムROM2、データフラッシュの相違

項目	フラッシュメモリ		
	プログラムROM1	プログラムROM2	データフラッシュ
プログラム、イレーズ回数	1,000回		10,000回
強制イレーズ機能	有効		無効
読み出し時の周波数制限	なし		あり
ユーザブートプログラム	配置しないでください	配置できる	配置しないでください

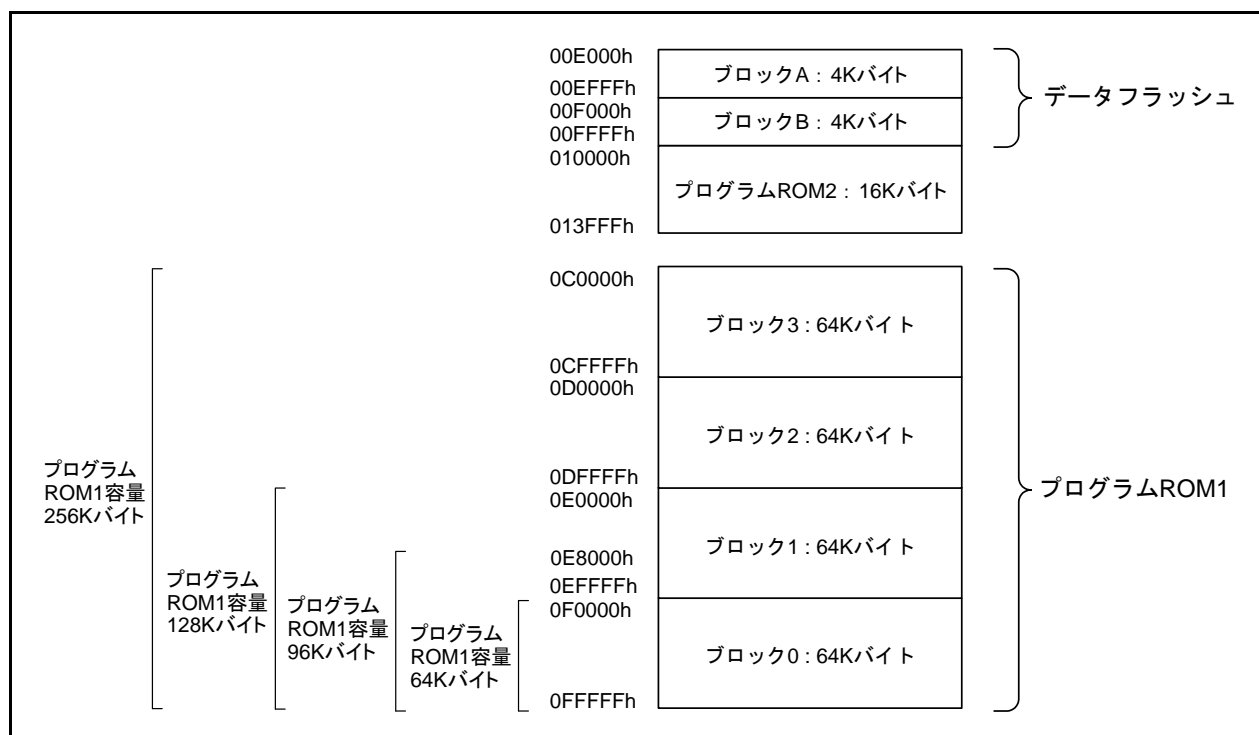


図 26.1 フラッシュメモリのブロック図

26.3 レジスタの説明

表 26.4 レジスタ一覧

アドレス	レジスタ名	レジスタシンボル	リセット後の値
0220h	フラッシュメモリ制御レジスタ0	FMR0	0000 0001b (ユーザブートモード以外) 0010 0001b (ユーザブートモード)
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0 XX0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX 0000b
0223h	フラッシュメモリ制御レジスタ3	FMR3	XXXX 0000b
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0X XX00b

26.3.1 フラッシュメモリ制御レジスタ0 (FMR0)

フラッシュメモリ制御レジスタ0			
ビットシンボル	ビット名	機能	RW
FMR00	RY/ $\overline{\text{BY}}$ ステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ	RO
FMR01	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ロックビット無効選択ビット	0: ロックビット有効 1: ロックビット無効	RW
FMSTP	フラッシュメモリ停止ビット	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
— (b4)	予約ビット	“0” にしてください	RW
— (b5)	予約ビット	ユーザブートモード以外では“0” にしてください。 ユーザブートモードでは“1” にしてください。	RW
FMR06	プログラムステータスフラグ	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータスフラグ	0: 正常終了 1: エラー終了	RO

シンボル: FMR0
 アドレス: 0220h番地
 リセット後の値: 0000 0001b (ユーザブートモード以外)
 0010 0001b (ユーザブートモード)

FMR00 (RY/ $\overline{\text{BY}}$ ステータスフラグ) (b0)

フラッシュメモリの動作状況を示すビットです。

["0"]になる条件]

- 次のコマンド実行中。
プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック
- フラッシュメモリ停止 (FMSTPが“1”)
- FMSTPを“1”にした後、“0”にした場合の復帰動作中

["1"]になる条件]

上記以外

FMR01 (CPU書き換えモード選択ビット) (b1)

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR01ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“H”を入力しているときに変更してください。

また、EW0モード時はRAM上のプログラムで書いてください。

このビットは、リードアレイモードにしてから“0”にしてください。

FMR02 (ロックビット無効選択ビット) (b2)

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「26.8.4 データ保護機能」参照)。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

FMR02ビットを“1”にするときは、FMR01ビットが“1”の状態、FMR02ビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

プログラム中、イレーズ中、サスペンド中、FMR02ビットを変更しないでください。

FMSTP (フラッシュメモリ停止ビット) (b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはRAMに配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)

FMSTPビットは次の手順で書き換えてください。

フラッシュメモリを停止させるとき

- (1)FMSTPビットを“1”にする
- (2)フラッシュメモリ回路安定待ち時間(tps)待つ

フラッシュメモリを再び動作させるとき

- (1)FMSTPビットを“0”にする
- (2)フラッシュメモリ回路安定待ち時間(tps)待つ

FMSTPビットは、FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

FMR22ビットが“1”(スローリードモード許可)またはFMR23ビットが“1”(低消費電流リードモード許可)のとき、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR22ビットまたはFMR23ビットを“1”にしないでください。

FMR06 (プログラムステータスフラグ) (b6)

自動書き込みの状況を示すビットです。

["0"]になる条件]

- クリアステータスコマンド実行

["1"]になる条件]

- 「26.8.7.1 フルステータスチェック」参照

FMR06ビットが“1”のとき、次のコマンドを実行しないでください。

プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック

FMR07 (イレーズステータスフラグ) (b7)

自動消去の状況を示すビットです。

["0"]になる条件]

- クリアステータスコマンド実行

["1"]になる条件]

- 「26.8.7.1 フルステータスチェック」参照

FMR07ビットが“1”のとき、次のコマンドを実行しないでください。

プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック

26.3.2 フラッシュメモリ制御レジスタ1 (FMR1)

フラッシュメモリ制御レジスタ1

ビット シンボル	ビット名	アドレス	機能	RW
— (b0)	予約ビット	0221h番地	読んだ場合、その値は不定	RO
FMR11	FMR6レジスタへの書き込み許可ビット	0: 禁止 1: 許可		RW
— (b3-b2)	予約ビット		読んだ場合、その値は不定	RO
— (b4)	予約ビット		“0” にしてください	RW
— (b5)	何も配置されていない。書く場合、“0” を書いてください。読んだ場合、その値は不定。			—
FMR16	ロックビットステータスフラグ	0: ロック 1: 非ロック		RO
FMR17	データフラッシュウェイトビット	0: 1ウェイト 1: PM1レジスタのPM17ビットに従う		RW

リセット後の値
00X0 XX0Xb

FMR11 (FMR6レジスタへの書き込み許可ビット) (b1)

FMR11ビットは、PM2レジスタのPM24ビットが“0” ($\overline{\text{NMI}}$ 割り込み禁止) のとき、または $\overline{\text{NMI}}$ 端子に“H”を入力しているときに変更してください。

FMR16 (ロックビットステータスフラグ) (b6)

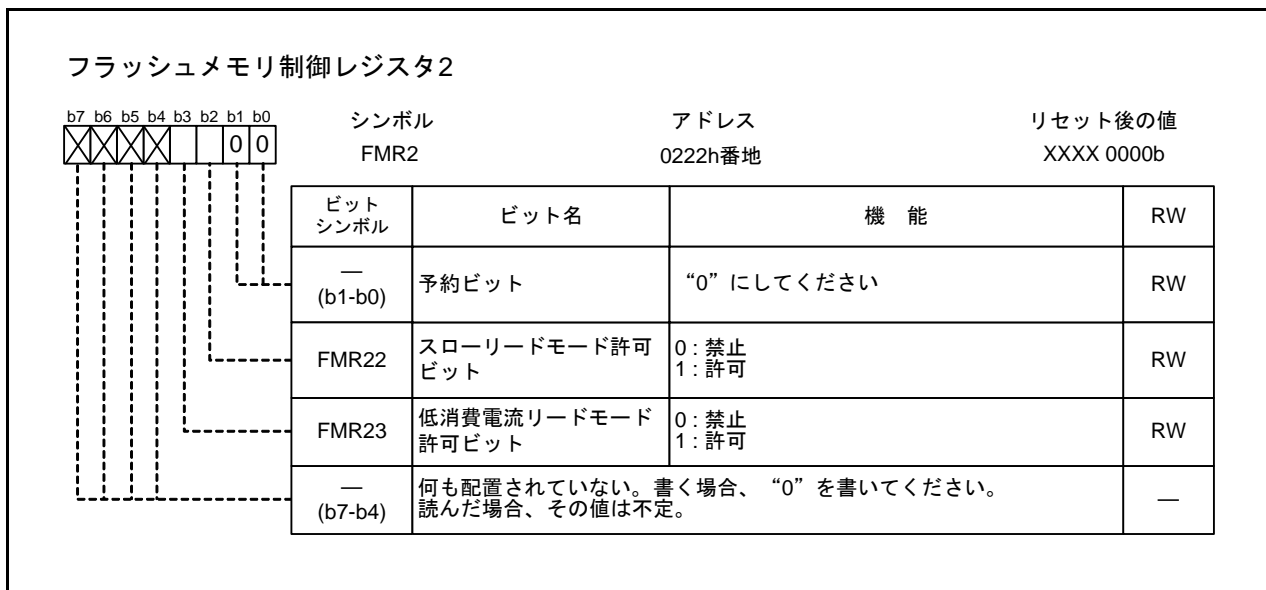
リードロックビットステータスコマンド実行結果を示すビットです。

FMR17 (データフラッシュウェイトビット) (b7)

データフラッシュのウェイトを選択するビットです。

“0” (1ウェイト) にすると、データフラッシュの読み出しサイクルに1ウェイト挿入します。書き込みサイクルには影響ありません。

26.3.3 フラッシュメモリ制御レジスタ2 (FMR2)

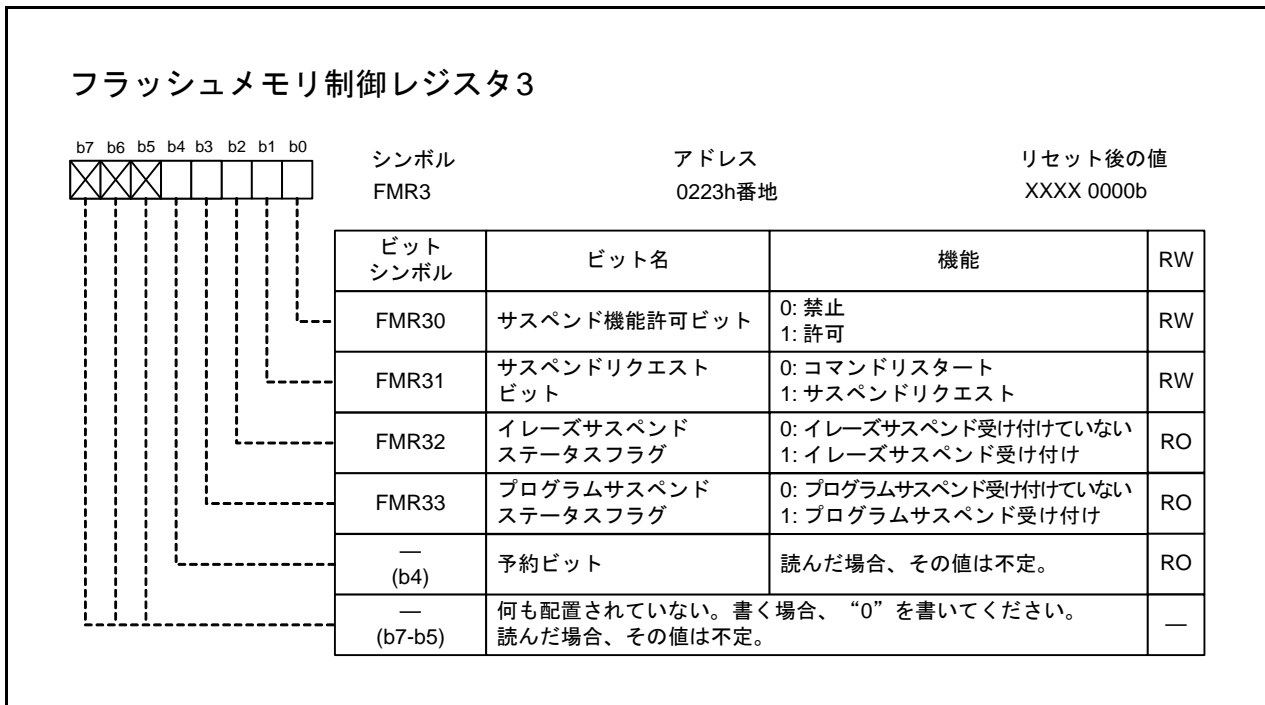


FMR22 (スローリードモード許可ビット) (b2)

FMR23 (低消費電流リードモード許可ビット) (b3)

詳細は「9.4.2 フラッシュメモリの読み出し」を参照してください。

26.3.4 フラッシュメモリ制御レジスタ3 (FMR3)



FMR30(サスペンド機能許可ビット) (b0)

FMR30ビットを“1”にするときは“0”を書いた後、続けて“1”を書いてください。“0”を書いた後“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

26.3.5 フラッシュメモリ制御レジスタ6 (FMR6)

フラッシュメモリ制御レジスタ6			
b7 b6 b5 b4 b3 b2 b1 b0	シンボル FMR6	アドレス 0230h番地	リセット後の値 XX0X XX00b
	ビット シンボル	ビット名	機 能
FMR60	EW1モード選択ビット	0: EW0モード 1: EW1モード	RW
FMR61	予約ビット	“1” にしてください	RW
— (b4-b2)	予約ビット	読んだ場合、その値は不定	RO
— (b5)	予約ビット	“0” にしてください	RW
— (b7-b6)	予約ビット	読んだ場合、その値は不定	RO

FMR6レジスタをアクセスする場合、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”（ウェイトあり）にしてください。

FMR60 (EW1モード選択ビット) (b0)

“1”にするときは、FMR0レジスタのFMR01ビットとFMR1レジスタのFMR11ビットがともに“1”の状態、FMR60ビットに“1”を書いてください。

FMR60ビットは、PM2レジスタのPM24ビットが“0”（ $\overline{\text{NMI}}$ 割り込み禁止）のとき、または $\overline{\text{NMI}}$ 端子に“H”を入力しているときに変更してください。また、FMR0レジスタのFMR00ビットが“1”（レディ）のときに変更してください。

FMR61 (b1)

CPU書き換えモードを使用する場合“1”にしてください。

26.4 オプション機能選択領域の説明

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。

オプション機能選択領域はSFRではありませんので、プログラムでは書き換えられません。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はすべて“FFh”になります。

ブランク出荷品の出荷時、OFS1番地、OFS2番地は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。

書き込み出荷品の出荷時、OFS1番地、OFS2番地の値は、ユーザがプログラムで設定した値です。

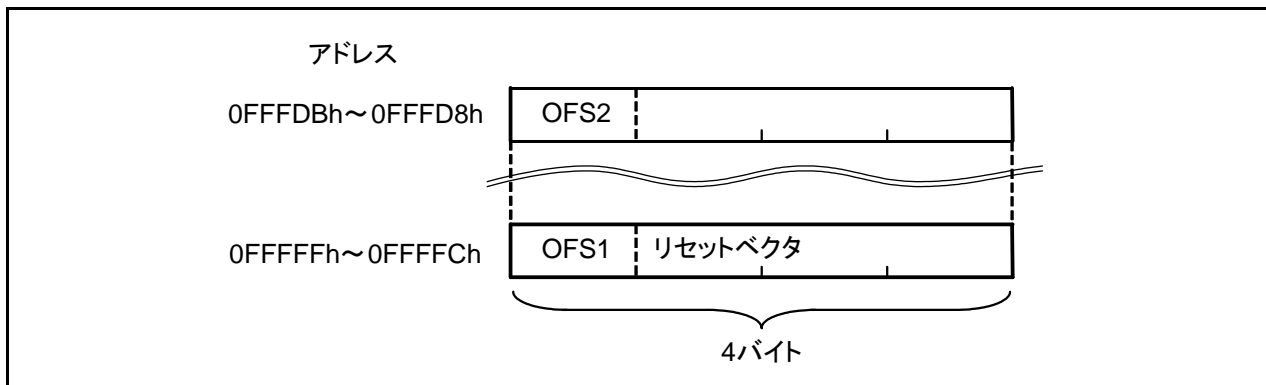


図 26.2 オプション機能選択領域

26.4.1 オプション機能選択1番地 (OFS1)

オプション機能選択1番地									
b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス
		0	1			1		OFS1	FFFFh番地
ビットシンボル		ビット名		機能					
WDTON		ウォッチドッグタイマ起動選択ビット		0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態					
— (b1)		予約ビット		“1” にしてください					
ROMCR		ROMコードプロテクト解除ビット		0: ROMコードプロテクト解除 1: ROMCP1ビット有効					
ROMCP1		ROMコードプロテクトビット		0: ROMコードプロテクト有効 1: ROMコードプロテクト解除					
— (b4)		予約ビット		“1” にしてください					
— (b5)		予約ビット		“0” にしてください					
LVDAS		電圧検出0回路起動ビット		0: ハードウェアリセット後、電圧監視0リセット有効 1: ハードウェアリセット後、電圧監視0リセット無効					
CSPROINI		リセット後カウントソース保護モード選択ビット		0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効					

ROMCR (ROMコードプロテクト解除ビット) (b2)

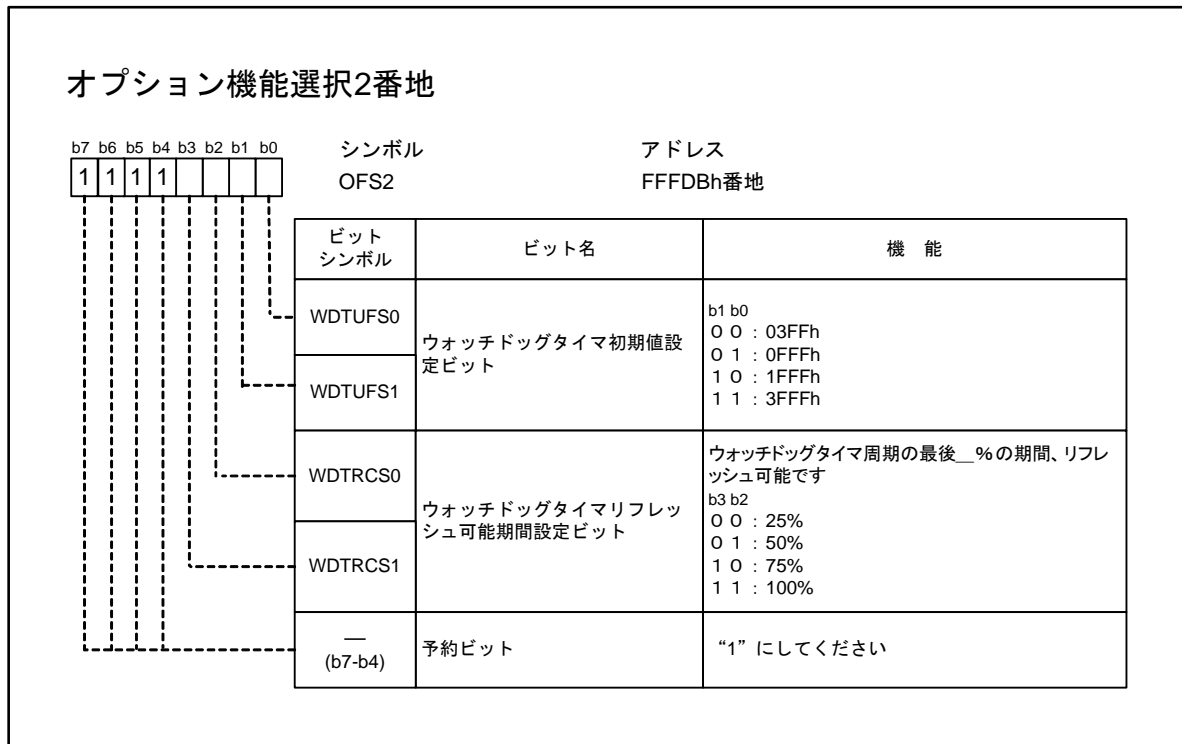
ROMCP1 (ROMコードプロテクトビット) (b3)

パラレル入出力モードによるフラッシュメモリの読み出しや値の変更を禁止します。

表 26.5 ROMコードプロテクト

ビットの設定値		ROMコードプロテクト
ROMCRビット	ROMCP1ビット	
0	0	解除
0	1	
1	0	有効
1	1	解除

26.4.2 オプション機能選択2番地 (OFS2)



26.5 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込み、消去を禁止する機能です。詳細は各モードで説明します。

パラレル入出力モード

- ROMコードプロテクト機能
- 標準シリアル入出力モード
 - IDコードチェック機能、強制イレーズ機能、標準シリアル入出力モード禁止機能

26.6 ブートモード

CNVSS 端子に“H”を入力してハードウェアリセットを行うと、リセット解除後ブートモードになります。ブートモードでは、ユーザブートコード領域の内容に従って、ユーザブートモードまたは標準シリアル入出力モードが選択できます。標準シリアル入出力モードは「26.9 標準シリアル入出力モード」を参照してください。

パワーオンリセット、電圧監視0リセットでは、ブートモードにはなりません。

26.7 ユーザブートモード

ユーザが作成したフラッシュメモリ書き換えプログラムを起動するためのモードです。

フラッシュメモリ書き換えプログラムは、プログラムROM2に配置してください。ユーザブートモードでは10000h番地(プログラムROM2の先頭番地)からプログラムを実行します。起動後はプログラムに従って、EW0モードまたはEW1モードでフラッシュメモリを書き換えます。

26.7.1 ユーザブート機能

ブートモードで起動するとき、任意のポートの状態で、ユーザブートモードを選択できます。表 26.6 にユーザブート機能の仕様を示します。

表 26.6 ユーザブート機能の仕様

項目	仕様
エントリに使用する端子	端子なし、またはポートP0~P3、P6~P10のうち1端子を選択
ユーザブート起動レベル	“H”または“L”選択
ユーザブートの先頭番地	10000h番地(プログラムROM2の先頭番地)

ユーザブートコード領域の13FF0h~13FF7h番地にASCIIコードで“UserBoot”を設定し、13FF8h~13FF9h番地と13FFAh番地でエントリに使用するポートを、13FFBh番地で起動レベルを選択してください。ブートモード起動後、選択したポートの入力レベルに従って、ユーザブートモードまたは標準シリアル入出力モードが起動します。

また、13FF0h~13FF7h番地がASCIIコードで“UserBoot”かつ、13FF8h~13FFBh番地がすべて“00h”の場合はユーザブートモードになります。

ユーザブートモードになると10000h番地(プログラムROM2の先頭番地)からプログラムを実行します。

図 26.3 にユーザブートコード領域を、表 26.7 に起動モードを、表 26.8 に“UserBoot”のASCIIコードを、表 26.9 にエントリに使用できるポートのアドレスを示します。

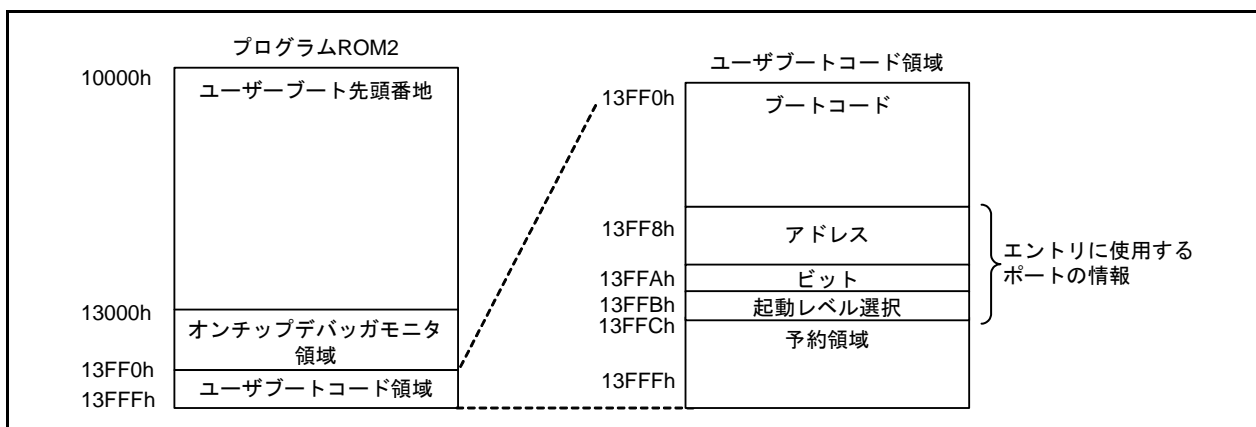


図 26.3 ユーザーブートコード領域

表 26.7 起動モード(エントリに使用するポートをポートPi_jとした場合)(注1)

ブートコード (13FF0h~ 13FF7h番地)	エントリに使用するポートの情報			ポート Pi _j 入力 レベル	起動するモード
	アドレス (13FF8h~ 13FF9h番地)	ビット (13FFAh番地)	起動レベル選択 (13FFBh番地)		
ASCIIコードで "UserBoot" (注2)	0000h Piレジスタの 番地(注3)	00h~07h (jの値)	00h	— H L	ユーザブートモード 標準シリアル入出力モード ユーザブートモード
ASCIIコードで "UserBoot"以外	—	—	—	— H L	ユーザブートモード 標準シリアル入出力モード 標準シリアル入出力モード

i=0~3、6~10 j=0~7

注1. 表 26.7にない値、組み合わせを設定しないでください。

注2. 「表 26.8 "UserBoot"のASCIIコード」参照

注3. 「表 26.9 エントリに使用できるポートのアドレス」参照

表 26.8 "UserBoot"のASCIIコード

番地	ASCIIコード
13FF0h	55h ("U"大文字)
13FF1h	73h ("s"小文字)
13FF2h	65h ("e"小文字)
13FF3h	72h ("r"小文字)
13FF4h	42h ("B"大文字)
13FF5h	6Fh ("o"小文字)
13FF6h	6Fh ("o"小文字)
13FF7h	74h ("t"小文字)

表 26.9 エントリに使用できるポートのアドレス

ポート	アドレス	
	13FF9h	13FF8h
P0	03h	E0h
P1	03h	E1h
P2	03h	E4h
P3	03h	E5h
P6	03h	ECh
P7	03h	EDh
P8	03h	F0h
P9	03h	F1h
P10	03h	F4h

表 26.10 ユーザブートコード領域設定例

ポートP1_5の入力レベルが“L”のときユーザブートモードで起動する場合

番地	設定値	意味
13FF0h	55h	“U”大文字
13FF1h	73h	“s”小文字
13FF2h	65h	“e”小文字
13FF3h	72h	“r”小文字
13FF4h	42h	“B”大文字
13FF5h	6Fh	“o”小文字
13FF6h	6Fh	“o”小文字
13FF7h	74h	“t”小文字
13FF8h	E1h	ポートP1_5
13FF9h	03h	
13FFAh	05h	
13FFBh	00h	“L”レベル

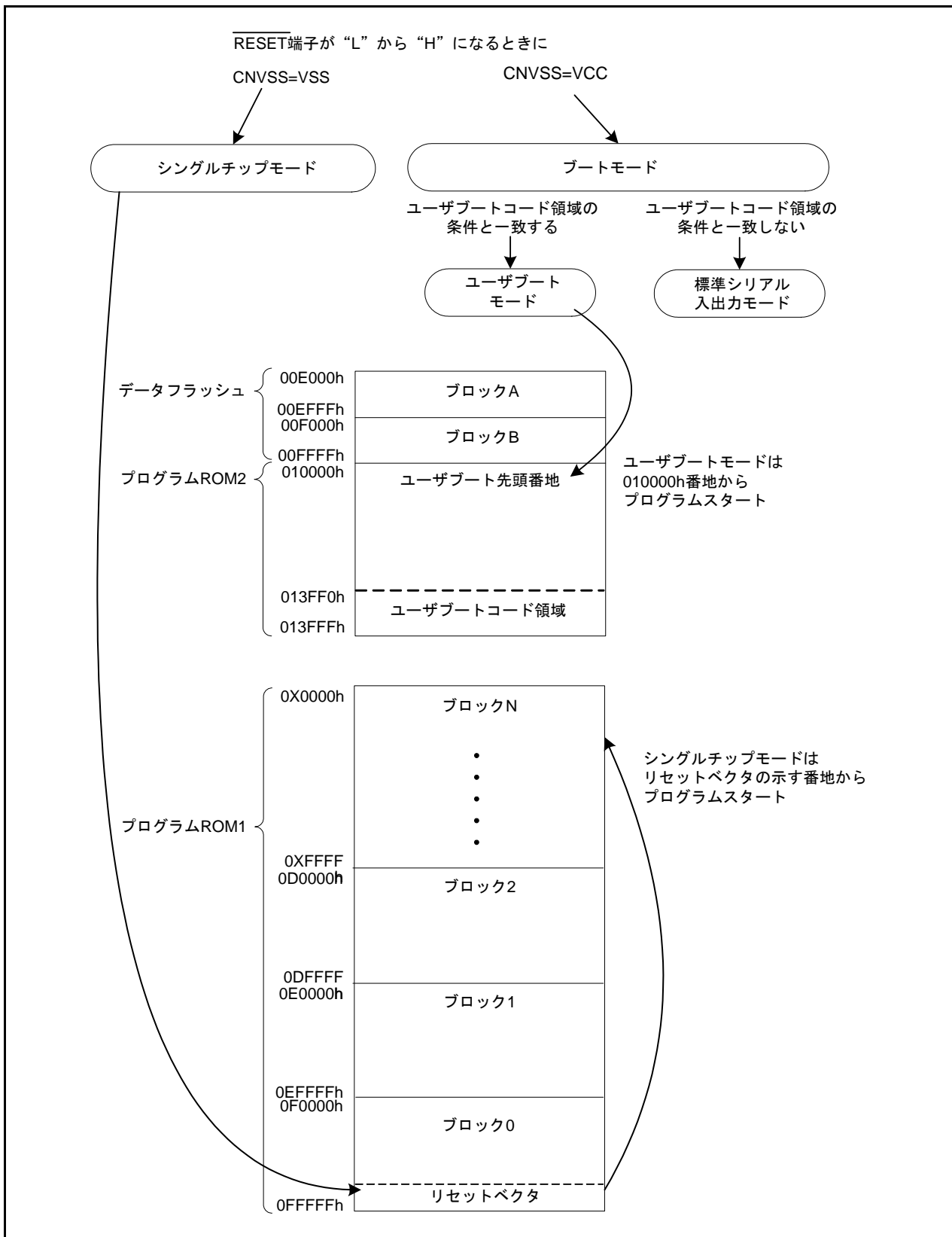


図 26.4 ユーザブートモードのプログラムスタート番地

26.8 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、データフラッシュを書き換えることができます。

プログラム、ブロックイレーズのコマンドは、プログラムROM1、プログラムROM2、データフラッシュの各ブロック領域のみに対して実行してください。

CPU書き換えモードで消去および書き込み動作中に、動作を一時中断するサスペンド機能を持ちます。サスペンド機能の詳細は「26.8.5 サスペンド機能」を参照してください。

CPU書き換えモードには、EW0モードとEW1モードがあります。表26.11にEW0モードとEW1モードの違いを示します。

「26.8.1 EW0モード」、「26.8.2 EW1モード」を参照してください。

表 26.11 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	• シングルチップモード	シングルチップモード
書き換え制御 プログラムを配置 できる領域	• プログラムROM1 • プログラムROM2	• プログラムROM1 • プログラムROM2
書き換え制御 プログラムを実行 できる領域	RAMへ転送してから実行する必要あり	プログラムROM1、プログラムROM2で実行可能
書き換えられる領域	• プログラムROM1 • プログラムROM2 • データフラッシュ	• プログラムROM1 • プログラムROM2 • データフラッシュ ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェア コマンドの制限	なし	• 書き換え制御プログラムがあるブロックに対してプログラム、ブロックイレーズコマンドを実行禁止 • リードステータスレジスタコマンド実行禁止
プログラム、イレーズ 後と、プログラムサ スペンド、イレーズサ スペンド中のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消 去時の状態	バスホールドにならない	バスホールドになる(注1)
フラッシュメモリの ステータス検知	• プログラムでFMR0レジスタのFMR00、FMR06、FMR07、FMR3レジスタのFMR32、FMR33ビットを読む • リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07、FMR3レジスタのFMR32、FMR33ビットを読む

注1. バスホールドの詳細は「10.4 バスホールド」参照。

26.8.1 EW0モード

FMR0レジスタのFMR01ビットを“1” (CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR6レジスタのFMR60ビットが“0”の場合、EW0モードになります。図26.5にEW0モードの設定と解除方法を示します。

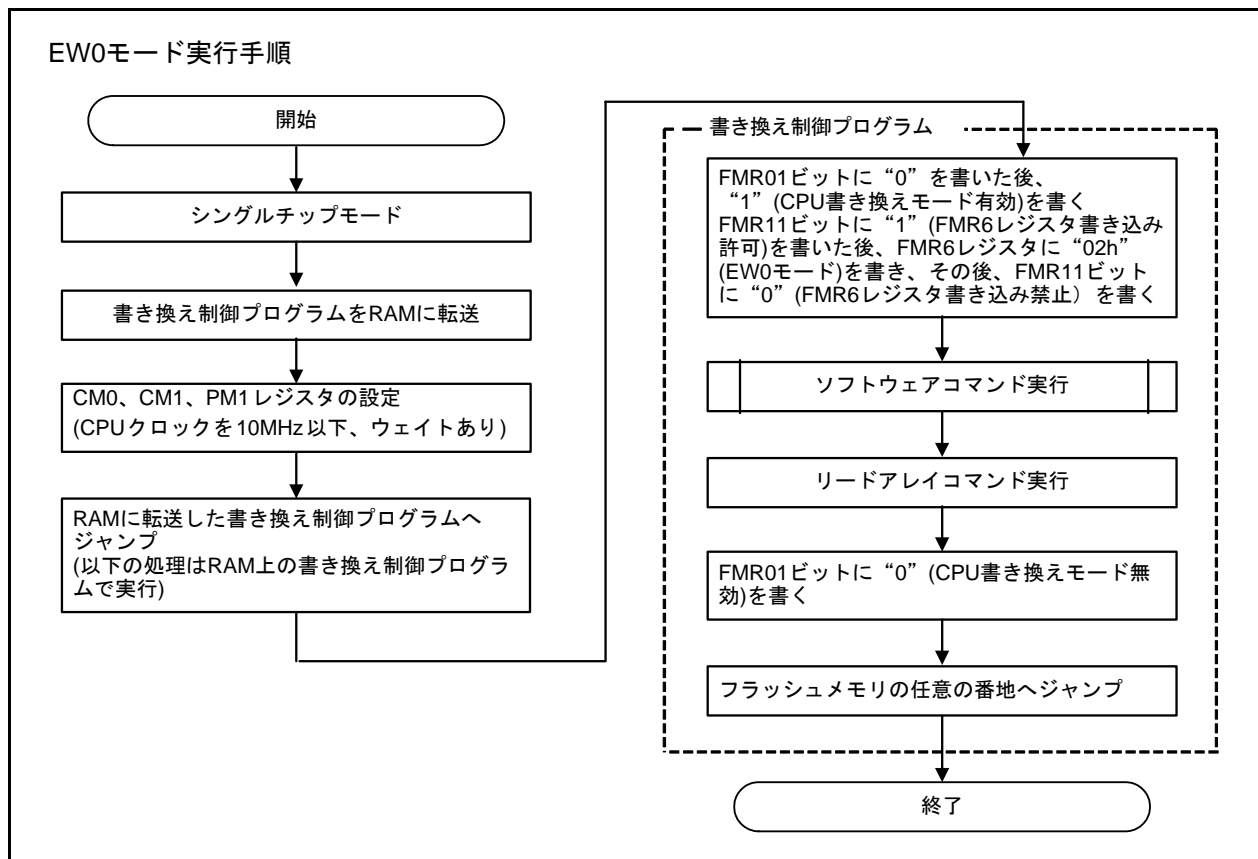


図 26.5 EW0モードの設定と解除方法

EW0モードでは次の命令を実行しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

EW0モードでは、次に示す割り込みが使用できます。自動消去または自動書き込み中に割り込み要求を受け付けた場合、次のようになります。

- マスカブル割り込み(サスペンド禁止時)
可変ベクタテーブルをRAMに配置してあれば使用できます。
- マスカブル割り込み(サスペンド許可時)
可変ベクタテーブルをRAMに配置してあれば使用できます。
割り込みルーチン内でFMR0レジスタのFMR00ビットをチェックし、“0”(書き込み、消去実行中)であれば、FMR3レジスタのFMR31ビットを“1”(サスペンドリクエスト)にすると、td(SR-SUS)時間後に自動消去または自動書き込みを中断します。割り込みの最後にFMR31ビットを“0”(コマンドリスタート)にすると、自動消去または自動書き込みを再開します。
- NMI、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視2割り込み
割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止します。その後割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

なお、ウォッチドッグタイマは自動消去または自動書き込み中も動作します。定期的にウォッチドッグタイマをリフレッシュしてください。

表26.12 コマンド実行後のモード (EW0モード)

コマンド	コマンド実行後のモード
リードアレイ	リードアレイモード
クリアステータスレジスタ	リードアレイモード
プログラム	リードステータスレジスタモード(注1)
ブロックイレーズ	
ロックビットプログラム	
リードロックビットステータス	リードロックビットステータスモード(注1)
ブロックブランクチェック	リードステータスレジスタモード(注1)

注1. フラッシュメモリが読めるのはリードアレイモードのみです。

26.8.1.1 サスペンド機能(EW0モード)

EW0モードでサスペンドを使用する場合は、割り込みルーチン内でフラッシュメモリの状態をチェックして、サスペンドへ移行してください。FMR31ビットを“1”にしてからtd(SR-SUS)時間後にプログラムサスペンドまたはイレーズサスペンドが受け付けられますので、FMR33ビットまたはFMR32ビットで受け付けられたことを確認してから、フラッシュメモリにアクセスしてください。また、フラッシュメモリアクセスが終了したらFMR31ビットを“0”(コマンドリスタート)にして自動消去、自動書き込みを再開させてください。図 26.6~26.8にEW0モードのサスペンド許可時のフローチャートを、図 26.9にEW0モードのサスペンド動作例を示します。

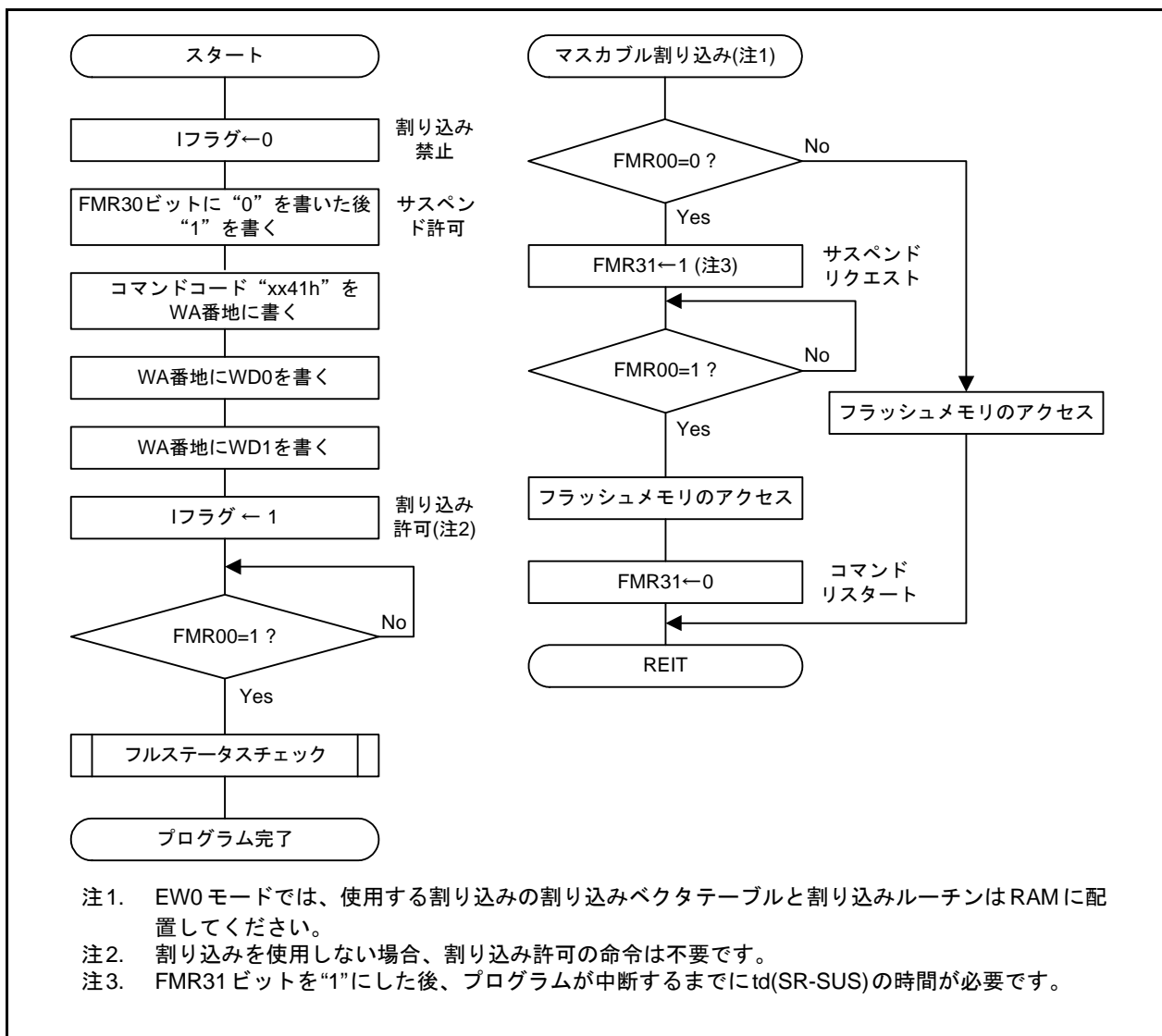


図 26.6 EW0モードのプログラムフローチャート(サスペンド機能許可時)

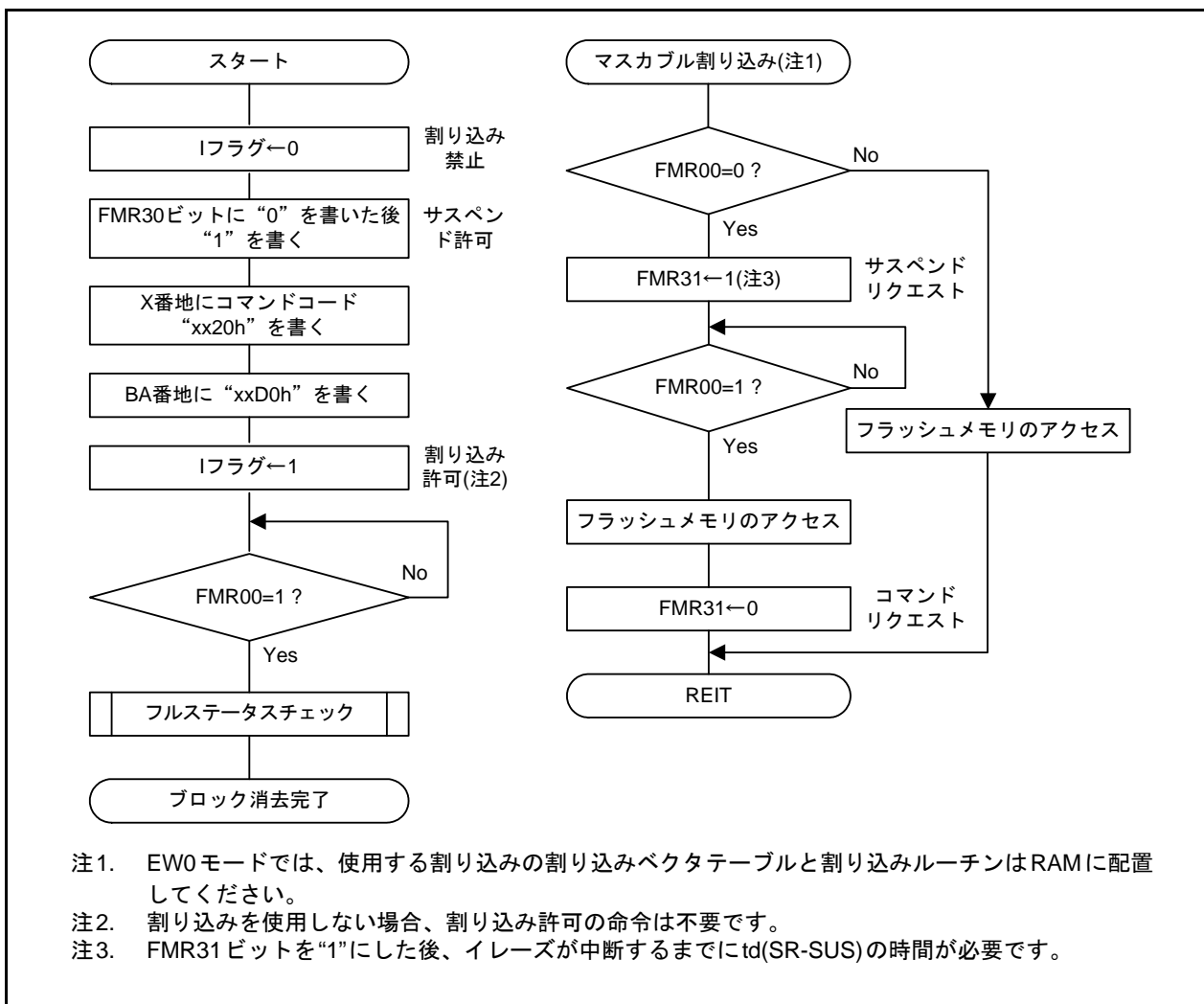


図 26.7 EW0モードのブロックイレーズフローチャート(サスペンド機能許可時)

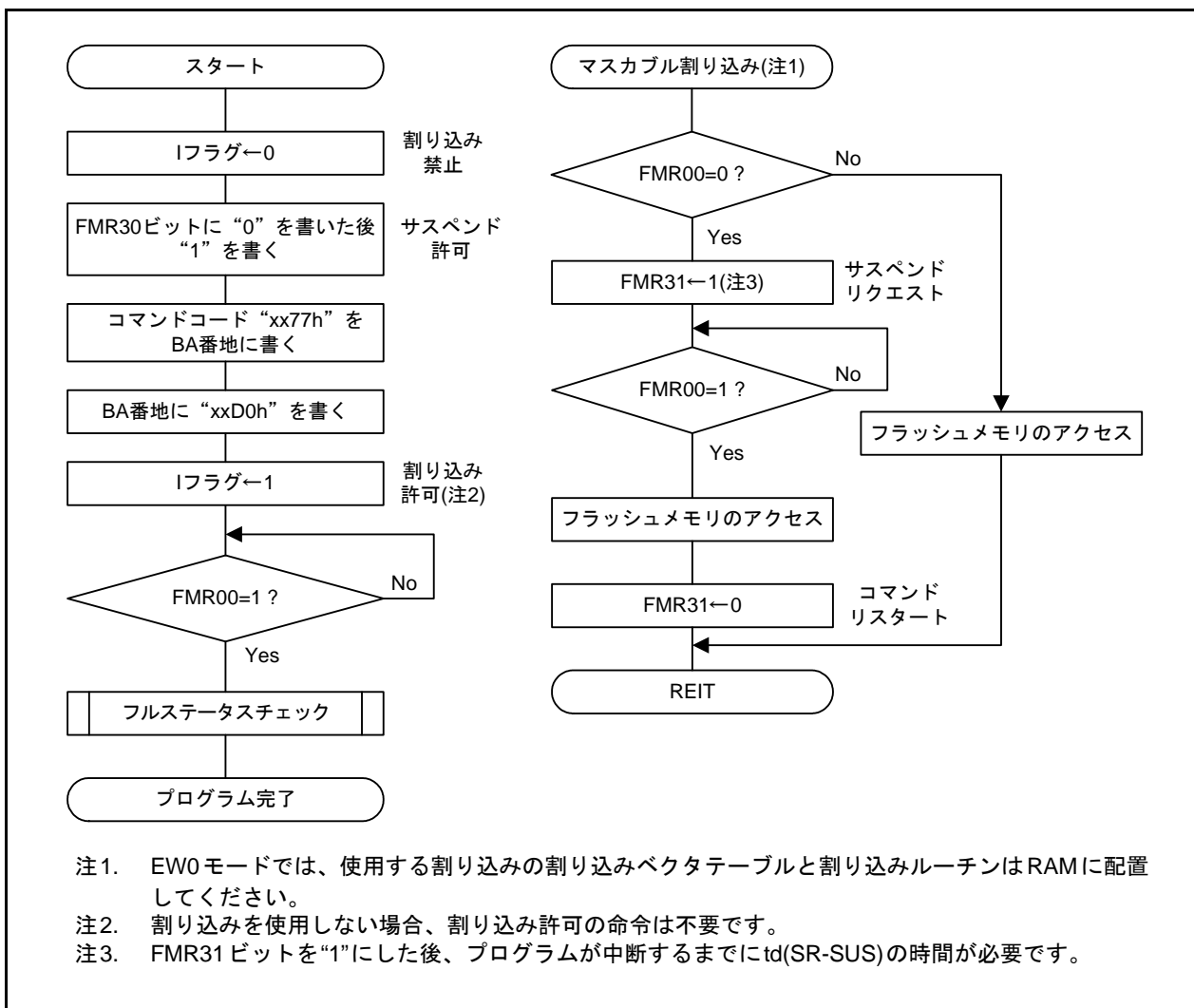


図 26.8 EWOモードのロックビットプログラムフローチャート(サスペンド機能許可時)

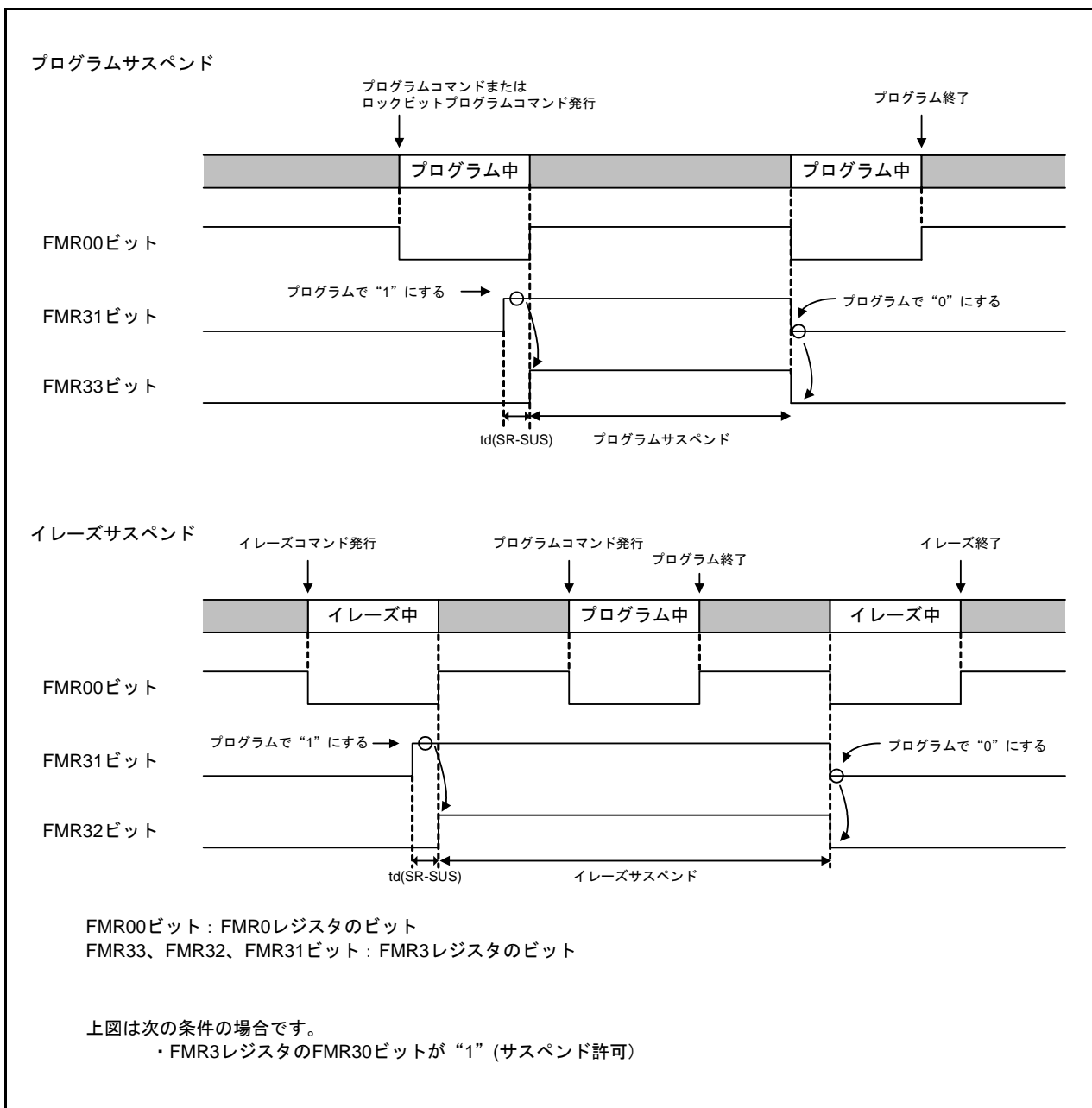


図 26.9 EW0モードのサスペンド動作例

26.8.2 EW1モード

FMR0レジスタのFMR01ビットを“1”にした後、FMR6レジスタのFMR60ビットを“1”にするとEW1モードになります。図26.10にEW1モードの設定と解除方法を示します。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまで、CPUは停止します。

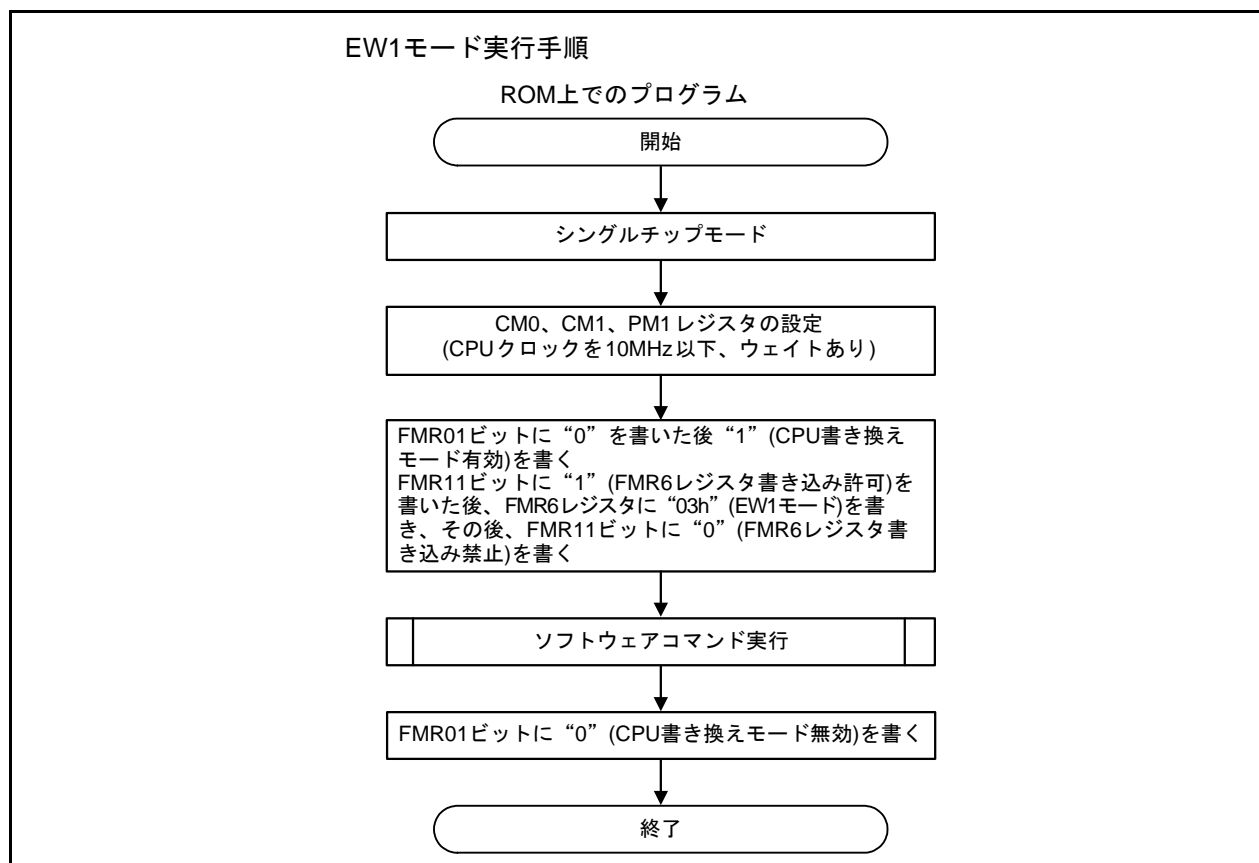


図 26.10 EW1モードの設定と解除方法

EW1モードでは、次に示す割り込みが使用できます。自動消去または自動書き込み中に割り込み要求を受け付けた場合、次のようになります。

- マスカブル割り込み (サスペンド機能許可の場合)
td(SR-SUS)時間後に自動消去または自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR3レジスタのFMR31ビットを“0”(コマンドリスタート)にすることにより、自動消去または自動書き込みを再開することができます。
- マスカブル割り込み (サスペンド機能禁止の場合)
自動消去または自動書き込みが優先され、割り込み要求が待たされます。自動消去または自動書き込みが終了した後、割り込み処理を実行します。
- $\overline{\text{NMI}}$ 、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視2割り込み
割り込み要求を受け付けると、すぐに自動消去または自動書き込みを強制停止します。その後割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマは、自動消去または自動書き込み中カウントを停止します。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のときは、EW1モードを使用しないでください。EW0モードを使用してください。ただし、イレーズサスペンド、またはプログラムサスペンドの期間はカウントを行います。割り込み要求が発生する可能性がありますので、サスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。

表26.13 コマンド実行後のモード (EW1モード)

コマンド	コマンド実行後のモード
リードアレイ	リードアレイモード
クリアステータスレジスタ	
プログラム	
ブロックイレーズ	
ロックビットプログラム	
リードロックビットステータス	
ブロックブランクチェック	

26.8.2.1 サスペンド機能(EW1モード)

EW1モードでサスペンド機能を使用する場合は、割り込み要求の発生からtd(SR-SUS)時間後、割り込み要求が受け付けられます。割り込み要求を受け付けると、イレーズサスペンドまたはプログラムサスペンドに移行します。割り込み終了後、FMR31ビットを“0”(コマンドリスタート)にして自動消去、自動書き込みを再開させてください。図 26.11~26.13にEW1モードのサスペンド許可時のフローチャートを、図 26.14にEW1モードのサスペンド動作例を示します。

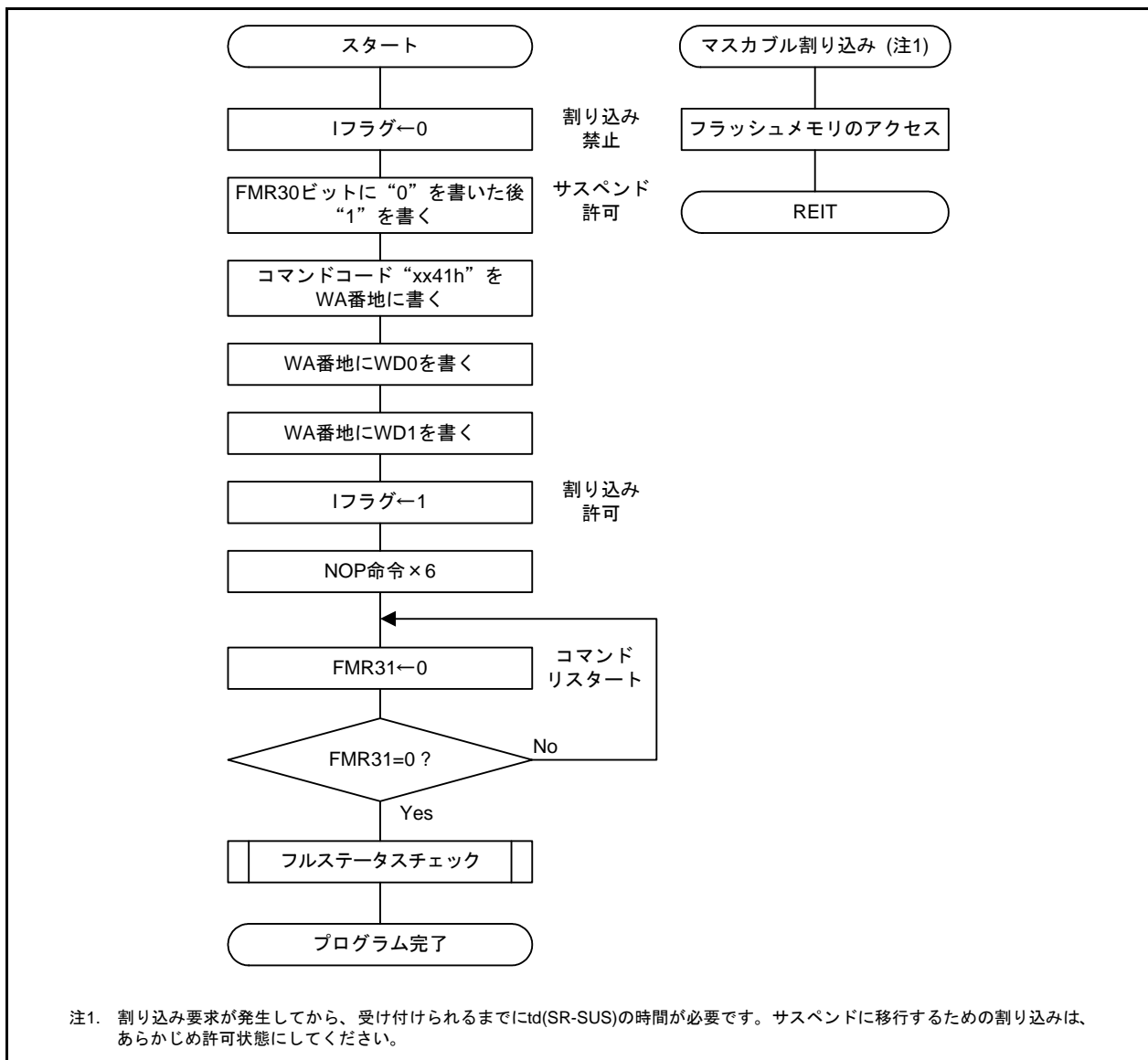


図 26.11 EW1モードのプログラムフローチャート(サスペンド機能許可時)

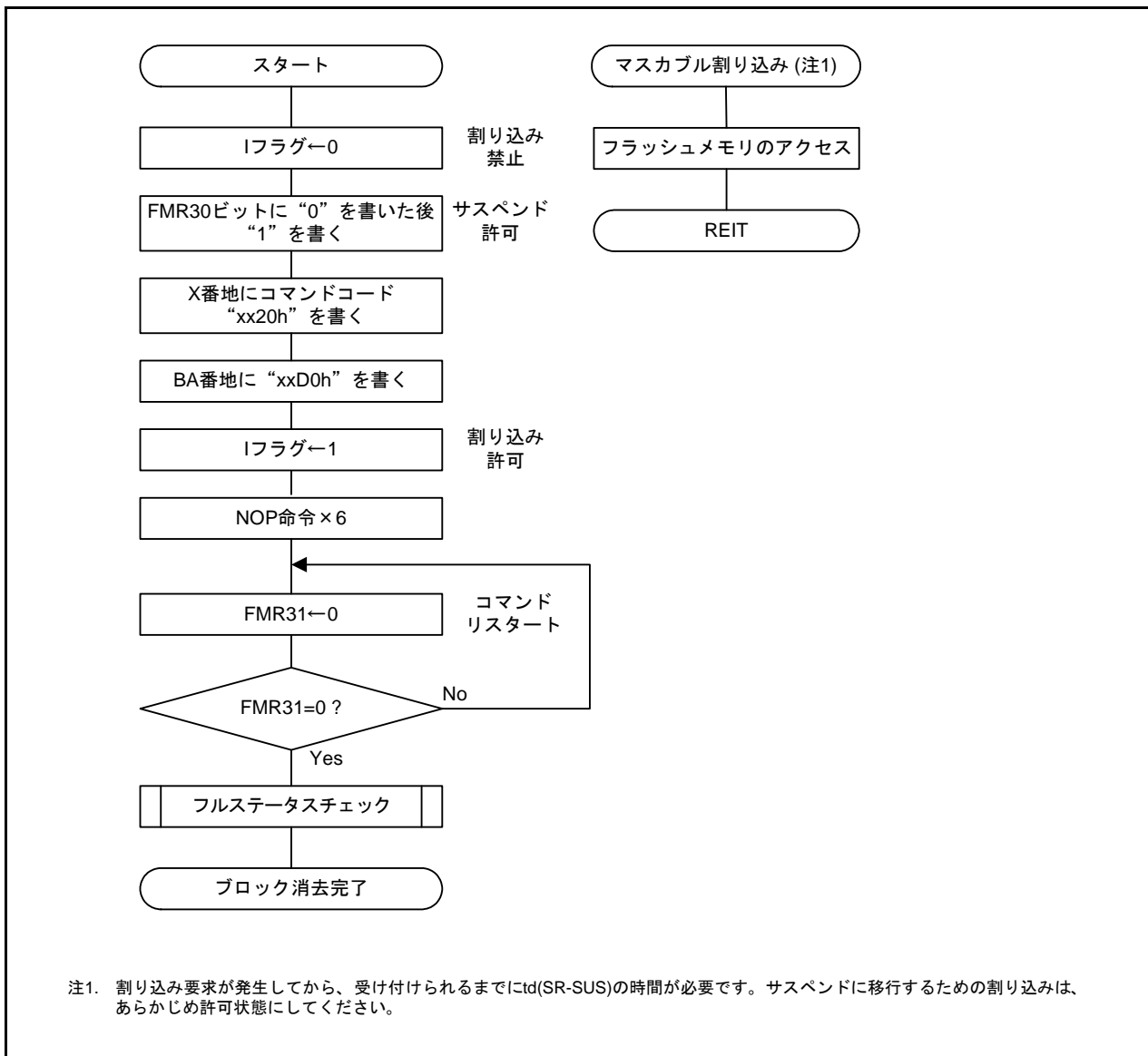


図 26.12 EW1モードのブロックイレーズフローチャート(サスペンド機能許可時)

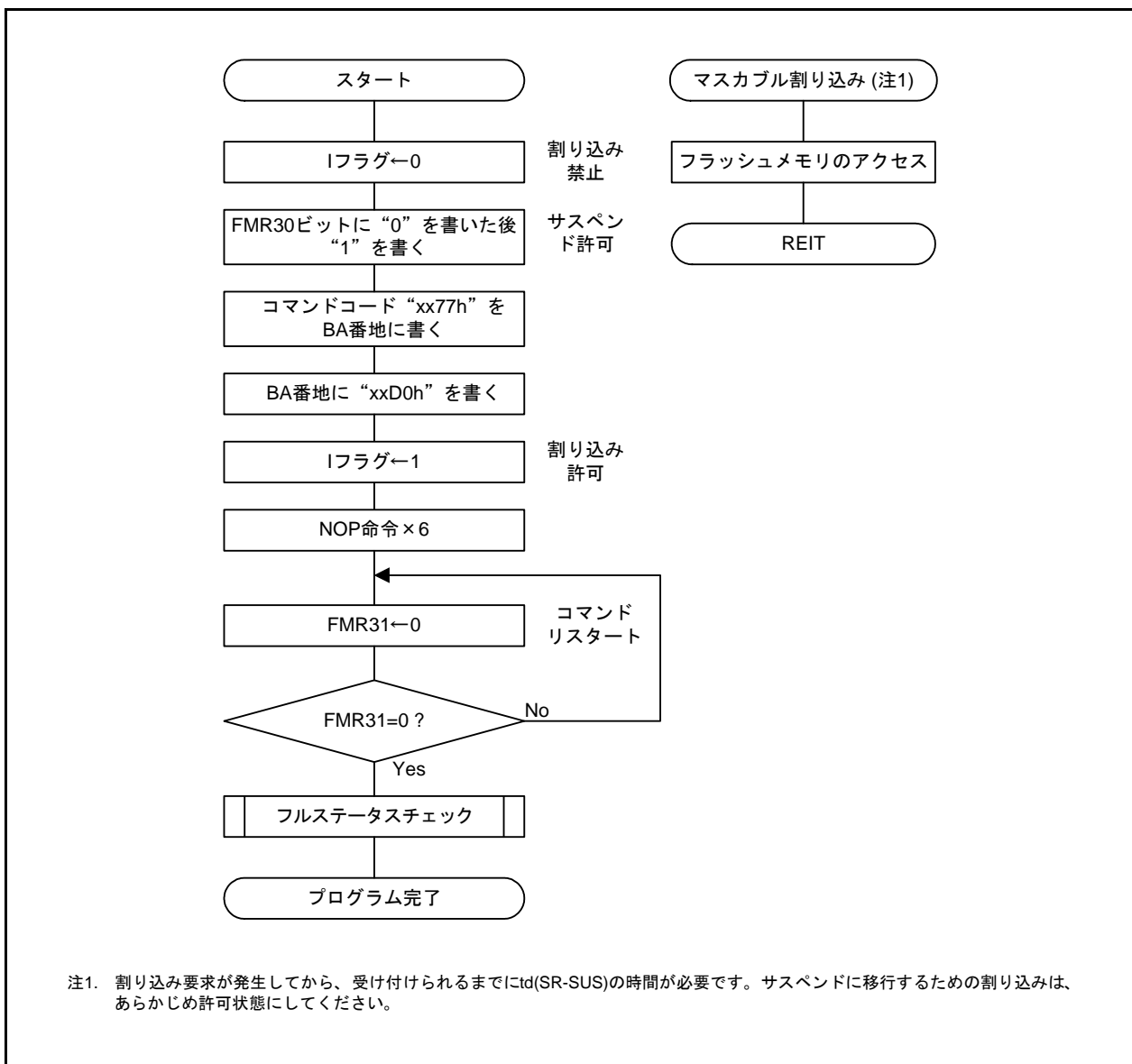


図 26.13 EW1モードのロックビットプログラムフローチャート(サスペンド機能許可時)

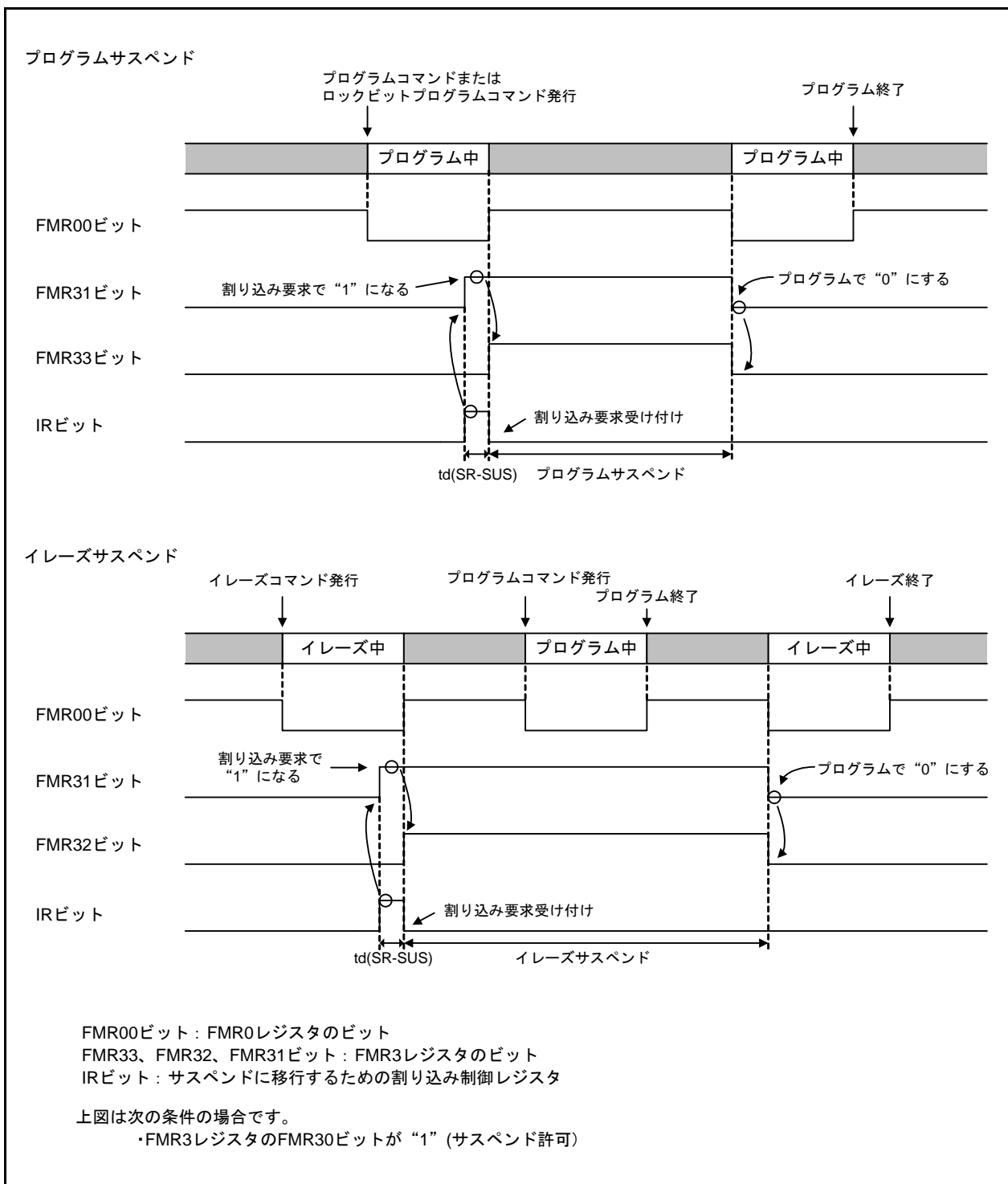


図 26.14 EW1モードのサスペンド動作例

26.8.3 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

26.8.4 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。表 26.14にロックビットとブロックの状態を示します。

表 26.14 ロックビットとブロックの状態

FMR0レジスタのFMR02ビット	ロックビット	ブロックの状態
0 (有効)	0 (ロック)	プログラムまたはイレーズができない
	1 (非ロック)	プログラムまたはイレーズができる
1 (無効)	0 (ロック)	プログラムまたはイレーズができる
	1 (非ロック)	

ロックビットデータが変化する条件は次のとおりです。

["0"になる条件]

- ロックビットプログラムコマンド実行

["1"になる条件]

- FMR0レジスタのFMR02ビットが“1”(ロックビット無効)の状態、ブロックイレーズコマンド実行

FMR02ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。ロックビットデータは、リードロックビットステータスコマンドで読めます。

各コマンドの詳細は、「26.8.6 ソフトウェアコマンド」を参照してください。

26.8.5 サスペンド機能

サスペンド機能は自動消去、自動書き込みの途中で、これらの動作を一時中断する機能です。これらの動作を中断したとき、プログラムROM1、プログラムROM2、データフラッシュを読み出すことができますので、割り込み処理に利用できます。サスペンドに移行するための割り込みを、あらかじめ割り込み許可状態にしてください。

サスペンドの対象になるコマンドは、プログラムコマンド、イレーズコマンド、ロックビットプログラムコマンドです。ロックビットプログラムコマンド実行中のサスペンド動作は、プログラムコマンド実行中と同じですので、プログラムサスペンドとして説明します。

なお、サスペンド中に再度サスペンドしないでください。表 26.15 にサスペンド中にコマンドを発行した場合の動作を示します。

表 26.15 サスペンド中にコマンドを発行した場合の動作

サスペンド	コマンド	動作	
		サスペンド前にイレーズまたはプログラムしていたブロック	他のブロック
イレーズサスペンド (イレーズコマンド実行中のサスペンド)	ブロックイレーズ	コマンドは実行されず、コマンドシーケンスエラーになる	
	プログラム	コマンドは実行されず、コマンドシーケンスエラーになる	コマンドを実行できる。 ここでFMR31ビットを“1”(サスペンドリクエスト)にしても、プログラムサスペンドにはならない。エラーにもならない。
	ロックビットプログラム	コマンドは実行されず、コマンドシーケンスエラーになる	コマンドを実行できる
	リードアレイ	コマンドを実行できる	
	リードステータスレジスタ		
	クリアステータスレジスタ		
	リードロックビットステータス	コマンドは実行されず、コマンドシーケンスエラーになる	コマンドを実行できる
ブロックブランクチェック	コマンドを実行しないでください		
プログラムサスペンド (プログラム、またはロックビットプログラムコマンド実行中のサスペンド)	ブロックイレーズ	コマンドは実行されず、コマンドシーケンスエラーになる (注1)	
	プログラム		
	ロックビットプログラム		
	リードアレイ	コマンドを実行できる	
	リードステータスレジスタ		
	クリアステータスレジスタ	コマンドを実行しないでください (注1)	
	リードロックビットステータス	コマンドを実行しないでください	
ブロックブランクチェック			

注1. ただし、プログラムサスペンド中に誤ってブロックイレーズ、プログラム、またはロックビットプログラムコマンドを実行し、コマンドシーケンスエラーとなった場合は、クリアステータスレジスタコマンドを実行した後、サスペンドを再開してください。

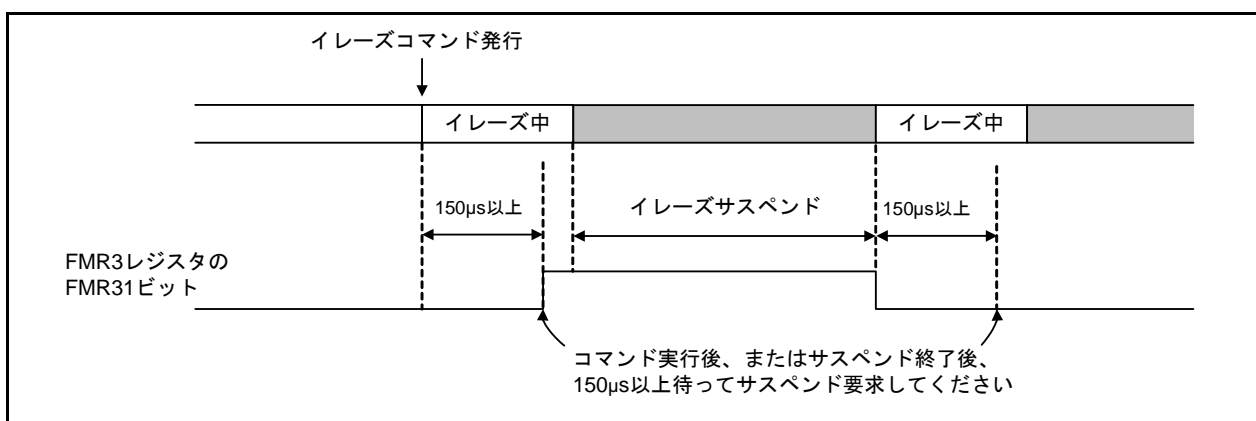


図 26.15 サスペンド要求

26.8.6 ソフトウェアコマンド

表 26.16 にソフトウェアコマンド一覧表を示します。コマンド、データの読み出し、書き込みは 16 ビット単位で行ってください。コマンドコード書き込み時、上位 8 ビット (D15~D8) は無視されます。

表 26.16 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)
リードアレイ	ライト	x	xxFFh	—	—	—	—	—	—
リードステータスレジスタ	ライト	x	xx70h	リード	x	SRD	—	—	—
クリアステータスレジスタ	ライト	x	xx50h	—	—	—	—	—	—
プログラム	ライト	WA	xx41h	ライト	WA	WD0	ライト	WA	WD1
ブロックイレーズ	ライト	x	xx20h	ライト	BA	xxD0h	—	—	—
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h	—	—	—
リードロックビットステータス	ライト	x	xx71h	ライト	BA	xxD0h	—	—	—
ブロックブランクチェック(注1)	ライト	x	xx25h	ライト	BA	xxD0h	—	—	—

SRD : ステータスレジスタデータ (D7~D0)

WA : 書き込み番地 (番地の末尾は 0h、4h、8h または Ch にしてください)

WD0 : 書き込みデータ下位ワード (16 ビット)

WD1 : 書き込みデータ上位ワード (16 ビット)

BA : ブロックの最上位番地 (ただし、偶数番地)

x : プログラム ROM1、プログラム ROM2、またはデータフラッシュ内の任意の偶数番地

xx : コマンドコード上位 8 ビット (無視されます)

注1. ブロックブランクチェックコマンドはライターメカ向けを想定したものであり、一般ユーザ向けのコマンドではありません。

次に各ソフトウェアコマンドを説明します。

フローチャート内の記号は表 26.16 と同じなので、記号の説明はこれらを参照してください。

サスペンド機能を使用する場合のプログラム、ブロックイレーズ、ロックビットプログラムコマンドは「26.8.5 サスペンド機能」を参照してください。

26.8.6.1 リードアレイ

フラッシュメモリを読むコマンドです。

コマンドコード“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の値が 16 ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の値を続けて読めます。

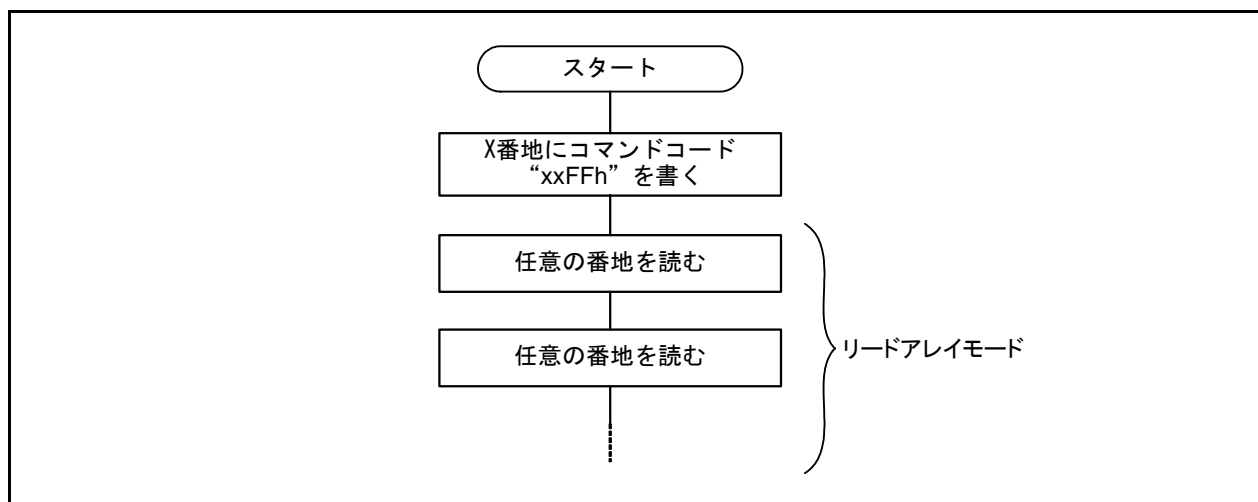


図 26.16 リードアレイフローチャート

26.8.6.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

コマンドコード“xx70h”を書くと、次のバスサイクルでステータスレジスタが読めます(「26.8.7 ステータスレジスタ」参照)。なお、読むときもプログラムROM1、プログラムROM2、またはデータフラッシュ内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

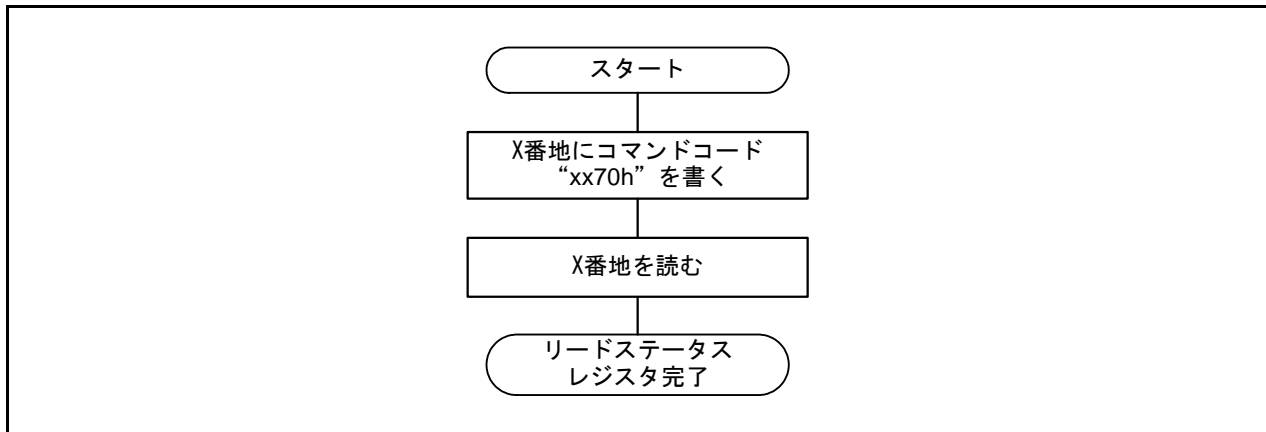


図 26.17 リードステータスレジスタフローチャート

26.8.6.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

コマンドコード“xx50h”を書くと、FMR0レジスタのFMR07~FMR06ビット(ステータスレジスタのSR5~SR4)は“00b”になります。

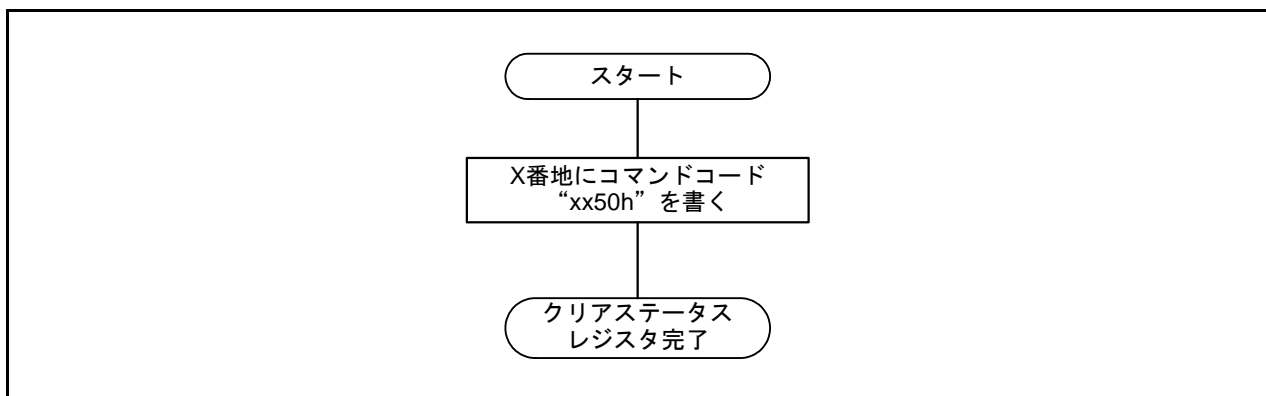


図 26.18 クリアステータスレジスタフローチャート

26.8.6.4 プログラム

2ワード(4バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで書き込み番地に“xx41h”を書き、第2バスサイクルと第3バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。書き込み番地の末尾は0h、4h、8hまたはChにしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「26.8.7.1 フルステータスチェック」参照)。

すでにプログラムされた番地には追加書き込みしないでください。図 26.19 にプログラムフローチャート(サスペンド機能禁止時)を示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「26.8.4 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

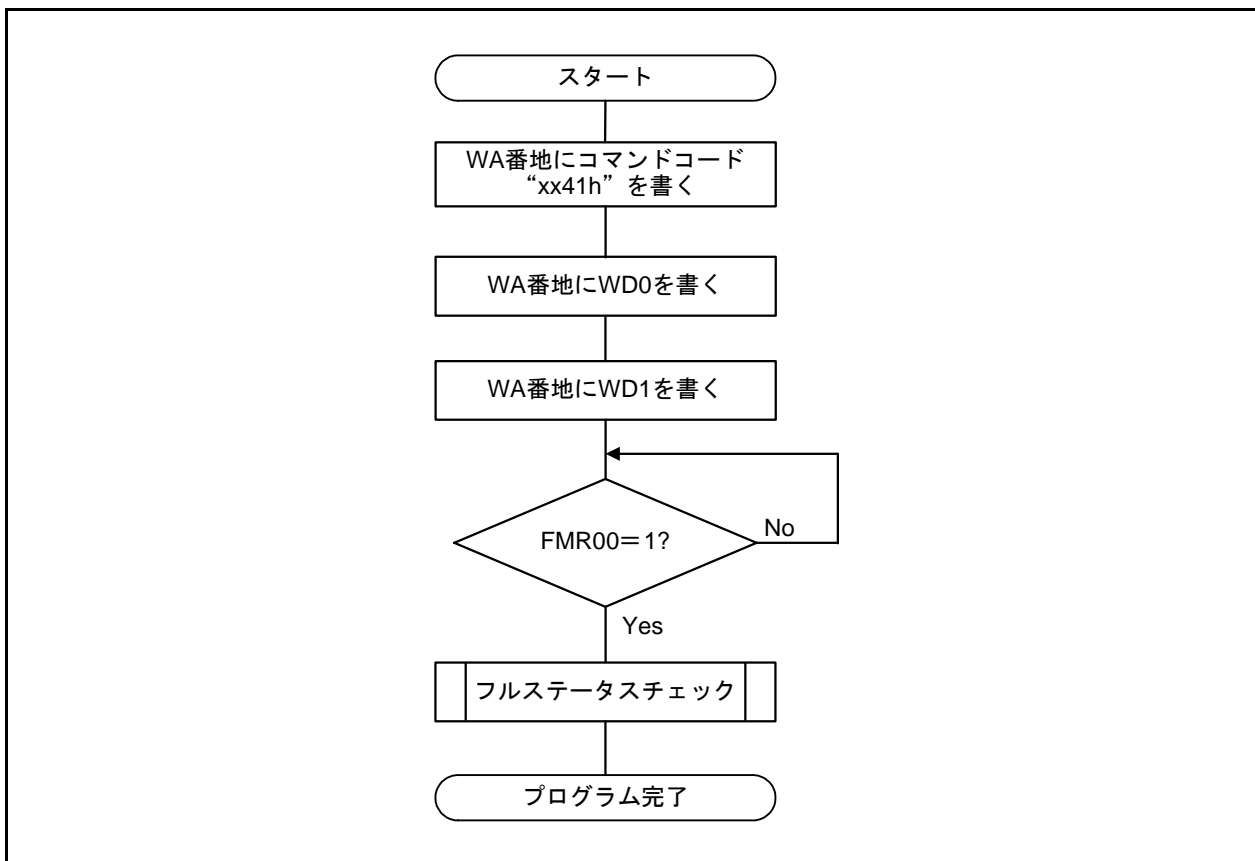


図 26.19 プログラムフローチャート(サスペンド機能禁止時)

26.8.6.5 ブロックイレーズ

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「26.8.7.1 フルステータスチェック」参照)。

図 26.20にブロックイレーズフローチャート(サスペンド機能禁止時)を示します。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「26.8.4 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

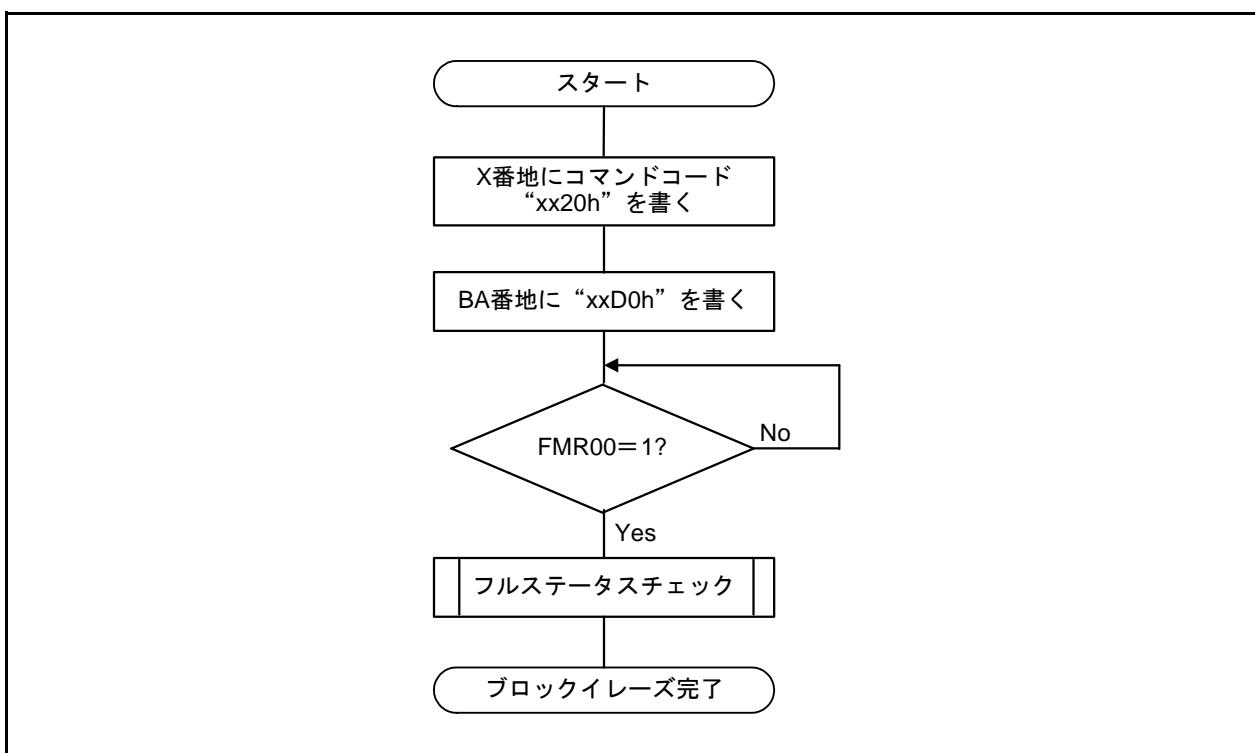


図 26.20 ブロックイレーズフローチャート(サスペンド機能禁止時)

26.8.6.6 ロックビットプログラム

任意のブロックのロックビットを“0”（ロック状態）にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地（ただし、偶数番地）に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図 26.21 にロックビットプログラムフローチャート（サスペンド機能禁止時）を示します。ロックビットの状態（ロックビットデータ）は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

なお、ロックビットの機能、ロックビットを“1”（非ロック状態）にする方法については、「26.8.4 データ保護機能」を参照してください。

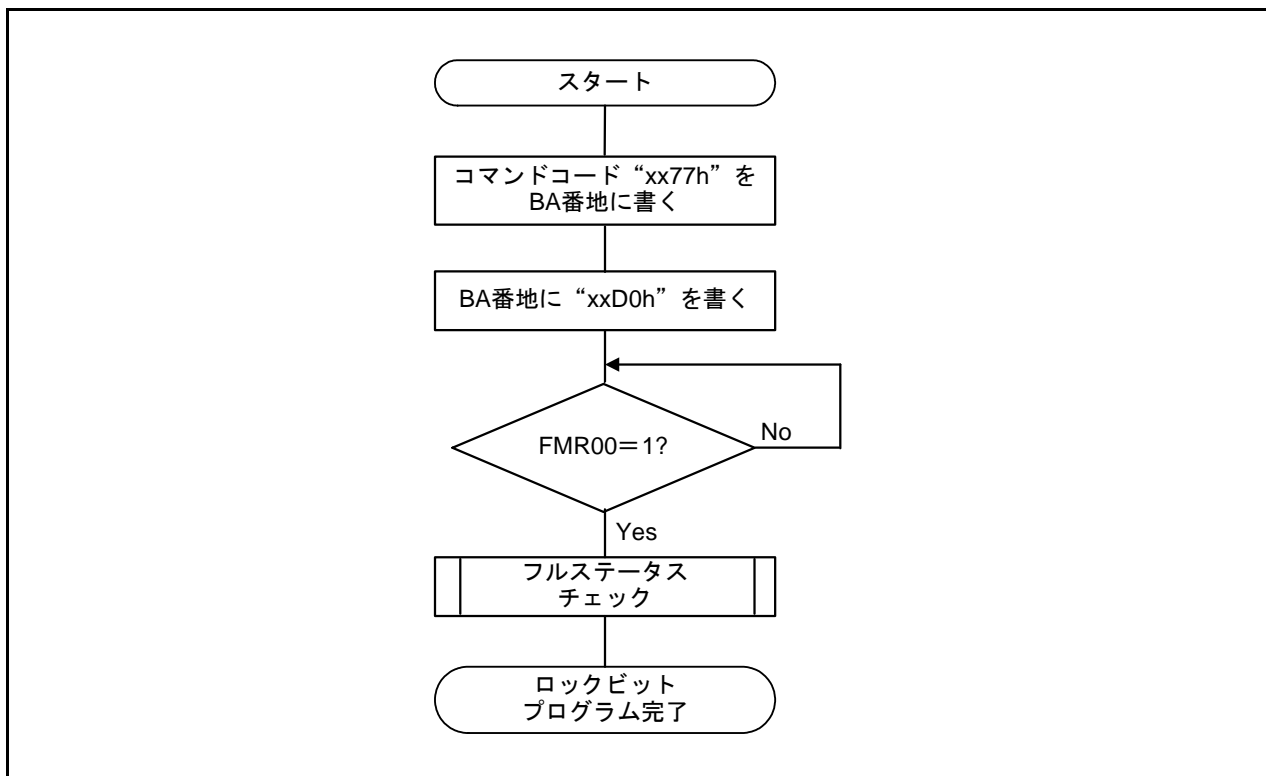


図 26.21 ロックビットプログラムフローチャート（サスペンド機能禁止時）

26.8.6.7 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

図 26.22 にリードロックビットステータスフローチャートを示します。

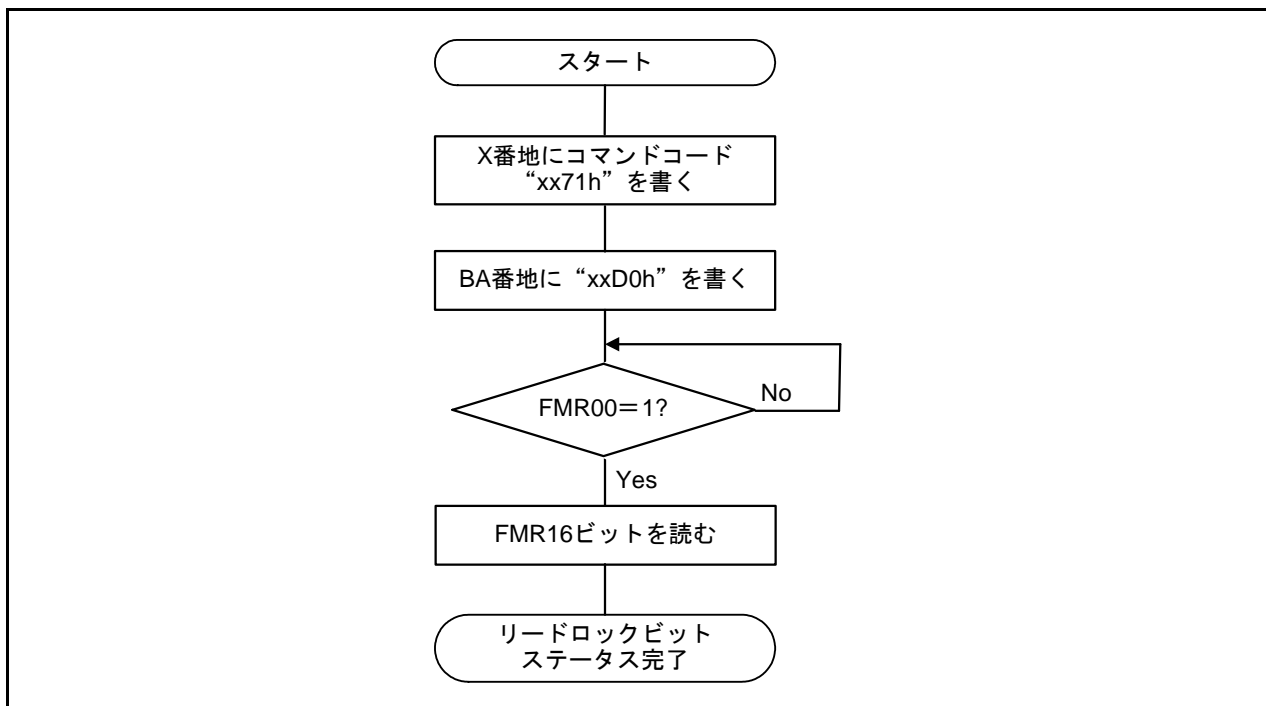


図 26.22 リードロックビットステータスフローチャート

26.8.6.8 ブロックブランクチェック

任意のブロックがブランク(消去後の状態)かチェックするコマンドです。

第1バスサイクルで“xx25h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、チェック結果がFMR0レジスタのFMR07ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR07ビットを読んでください。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

ブロックブランクチェックコマンドは、ロックしていないブロックに対して有効です。

ロックビットが“0”(ロック状態)のブロックに対してブロックブランクチェックコマンドを実行すると、FMR02ビットの状態に関係なくFMR07ビット(SR5)は“1”(ブランクではない)になります。

図 26.23 にブロックブランクチェックフローチャートを示します。

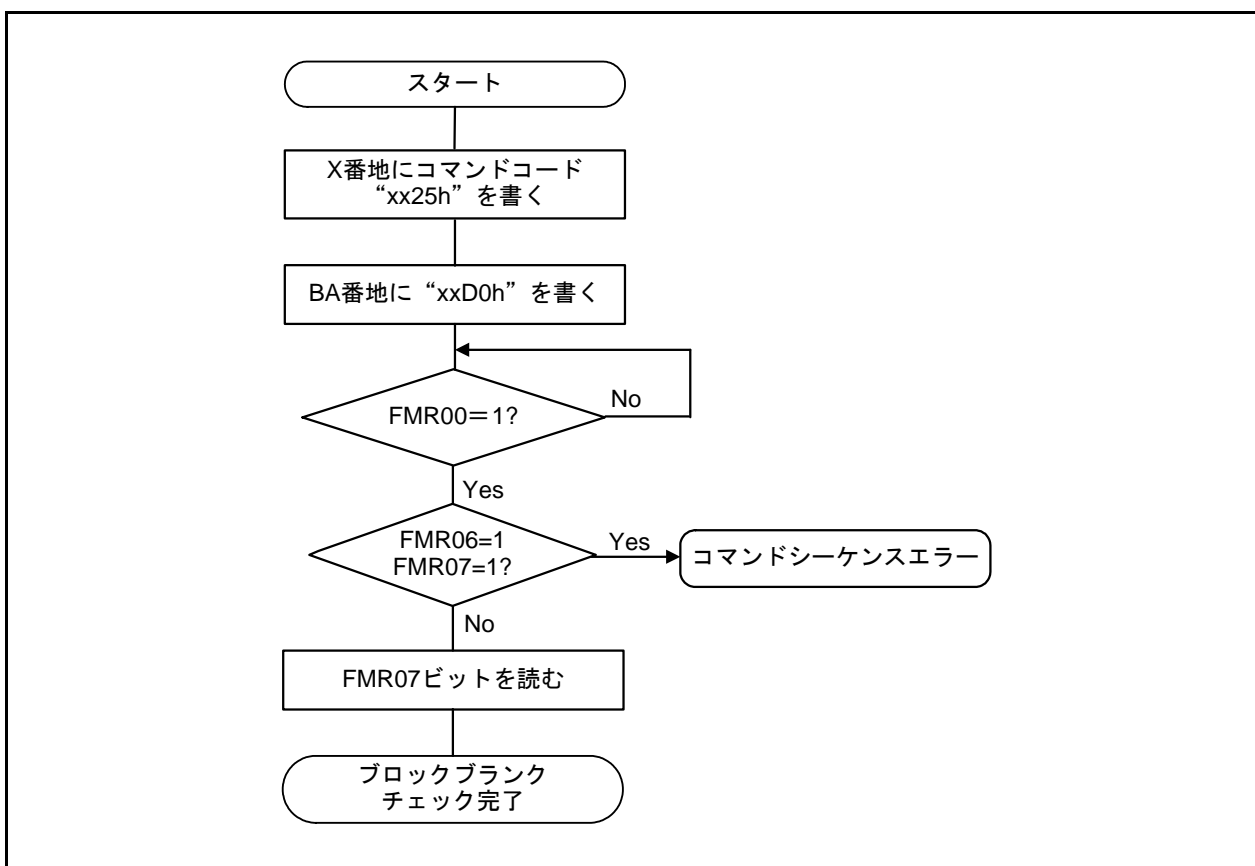


図 26.23 ブロックブランクチェックフローチャート

なお、ブロックブランクチェックの結果、ブランクでなかった場合は、クリアステータスレジスタコマンドを実行した後、その他のソフトウェアコマンドを実行してください。

ブロックブランクチェックコマンドはライター用です。瞬時停電が起こらない環境で使用してください。

ブロックイレーズコマンド実行中に瞬時停電が起こった場合、ブロックイレーズコマンドを再度実行してください。ブロックブランクチェックコマンドでは消去が正常に終了したかどうか判定が出来ないことがあります。

サスペンド中は、ブロックブランクチェックコマンドを実行しないでください。

26.8.7 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。

ステータスレジスタの状態は、FMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。各ビットの説明は「26.3.1 フラッシュメモリ制御レジスタ0 (FMR0)」を参照してください。

表 26.17 ステータスレジスタの読み方の違い

項目	FMR0レジスタ	コマンド
使用条件	制限なし	
読み出し手順	FMR0レジスタのFMR00、FMR06、FMR07ビットを読む	<ul style="list-style-type: none"> リードステータスレジスタコマンドを書いた後、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読む プログラム、ブロックイレーズコマンド、ロックビットプログラム、またはブロックブランクチェックコマンド実行後、リードアレイコマンドを実行するまでの期間に、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読む

表 26.18 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	ステータス		リセット後の値
			0	1	
SR0 (D0)	—	予約ビット	—	—	—
SR1 (D1)	—	予約ビット	—	—	—
SR2 (D2)	—	予約ビット	—	—	—
SR3 (D3)	—	予約ビット	—	—	—
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6 (D6)	—	予約ビット	—	—	—
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0~D7: リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

26.8.7.1 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06~FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 26.19 エラーとFMR0レジスタの状態

FMR00レジスタの状態		エラー	エラー発生条件
FMR07ビット	FMR06ビット		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> •コマンドを正しく書かなかったとき •ロックビットプログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータスコマンドの第2バスサイクルで“xxD0h”、“xxFFh”以外のデータを書いたとき(注1)
1	0	イレーズエラー	<ul style="list-style-type: none"> •ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) •ロックされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかったとき •ブロックブランクチェックコマンドを実行して、チェック結果がブランクでなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> •ロックされたブロックにプログラムコマンドを実行したとき(注2) •ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき •ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、コマンド実行前の状態になり、第1バスサイクルで書いたコマンドコードは取り消されます。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

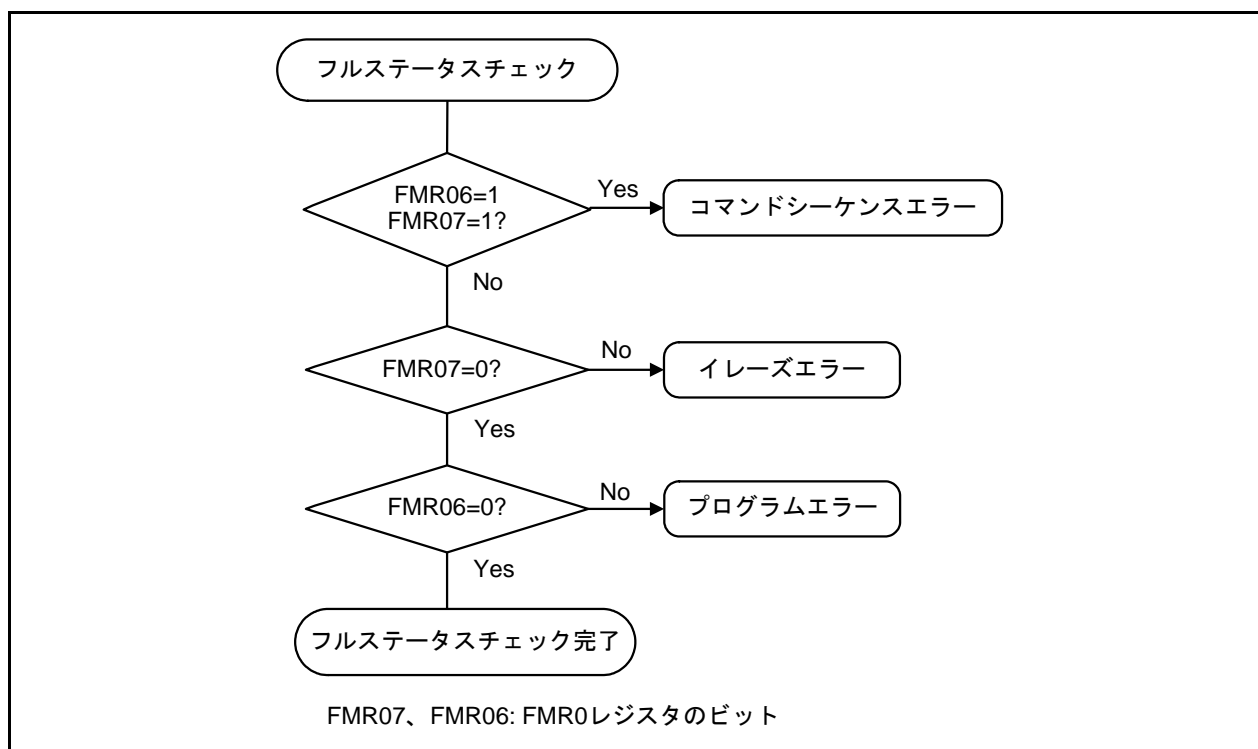


図 26.24 フルステータスチェック

26.8.7.2 各エラー発生時の対処方法

エラーが発生した場合は、以下の手順に従ってください。

なお、FMR06、FMR07ビットのいずれかが“1”(エラー終了)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックの各コマンドを実行しないでください。クリアステータスレジスタコマンドを実行した後、各コマンドを実行してください。

コマンドシーケンスエラー

- (1) クリアステータスレジスタコマンドを実行し、FMR06、FMR07ビットを“0”(正常終了)にする
- (2) コマンドが正しく入力されているかを確認の上、もう一度動作させる

イレーズエラー

- (1) クリアステータスレジスタコマンドを実行し、FMR07ビットを“0”(正常終了)にする
- (2) リードロックビットステータスコマンドを実行し、エラーが発生したブロックのロックビットが“0”(ロック状態)であれば、FMR0レジスタのFMR02ビットを“1”(ロックビット無効)にする
- (3) 再度、ブロックイレーズコマンドを実行する
- (4) イレーズエラーが発生しなくなるまで、(1)(2)(3)を繰り返す

3回繰り返してもエラーが出る場合は、そのブロックを使用しないでください。

なお、ブロックブランクチェックコマンドのイレーズエラーで、イレーズが必要ない場合は、(1)のみ実行してください。

プログラムエラー

[プログラム実行時]

- (1) クリアステータスレジスタコマンドを実行し、FMR06ビットを“0”(正常終了)にする
- (2) リードロックビットステータスコマンドを実行し、エラーが発生したブロックのロックビットが“0”であれば、FMR0レジスタのFMR02ビットを“1”にする。
- (3) 再度、プログラムコマンドを実行する

ロックビットが“1”(非ロック状態)の場合、エラーが発生した番地はそのままの状態では使用しないでください。再度、同一番地を書く場合は、プログラムコマンドを実行する前に、ブロックイレーズコマンドを実行し、エラーが発生したブロックを消去してください。

それでもエラーが出る場合は、その番地を使用しないでください。

[ロックビットプログラム実行時]

- (1) クリアステータスレジスタコマンドを実行し、FMR06ビットを“0”にする
- (2) FMR0レジスタのFMR02ビットを“1”にする
- (3) ブロックイレーズコマンドを実行し、エラーが発生したブロックをイレーズする
- (4) 必要に応じてデータを書いた後、再度、ロックビットプログラムコマンドを実行する

それでもエラーが出る場合は、そのブロックを使用しないでください。

26.9 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/5LD、M16C/56Dグループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、またはデータフラッシュを書き換えることができます。

標準シリアル入出力モードには次のモードがあります。

- 標準シリアル入出力モード1: クロック同期型シリアルI/Oを用いてシリアルライターと接続
 - 標準シリアル入出力モード2: 2線式クロック非同期型シリアルI/Oを用いてシリアルライターと接続
- シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

26.9.1 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDf、0FFFE3h、0FFFEb、0FFFEf、0FFFF3h、0FFFF7h、0FFFFb番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。図 26.25にIDコードの格納番地を示します。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表 26.20にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表 26.20と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表 26.20 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)	
		ALeRASE	Protect
FFFDf	ID1	41h (“A”大文字)	50h (“P”大文字)
FFFE3h	ID2	4Ch (“L”大文字)	72h (“r”小文字)
FFFEb	ID3	65h (“e”小文字)	6Fh (“o”小文字)
FFFEf	ID4	52h (“R”大文字)	74h (“t”小文字)
FFFF3h	ID5	41h (“A”大文字)	65h (“e”小文字)
FFFF7h	ID6	53h (“S”大文字)	63h (“c”小文字)
FFFFb	ID7	45h (“E”大文字)	74h (“t”小文字)

IDコード格納番地のアドレスとデータがすべて表 26.20と一致する場合は予約語です。

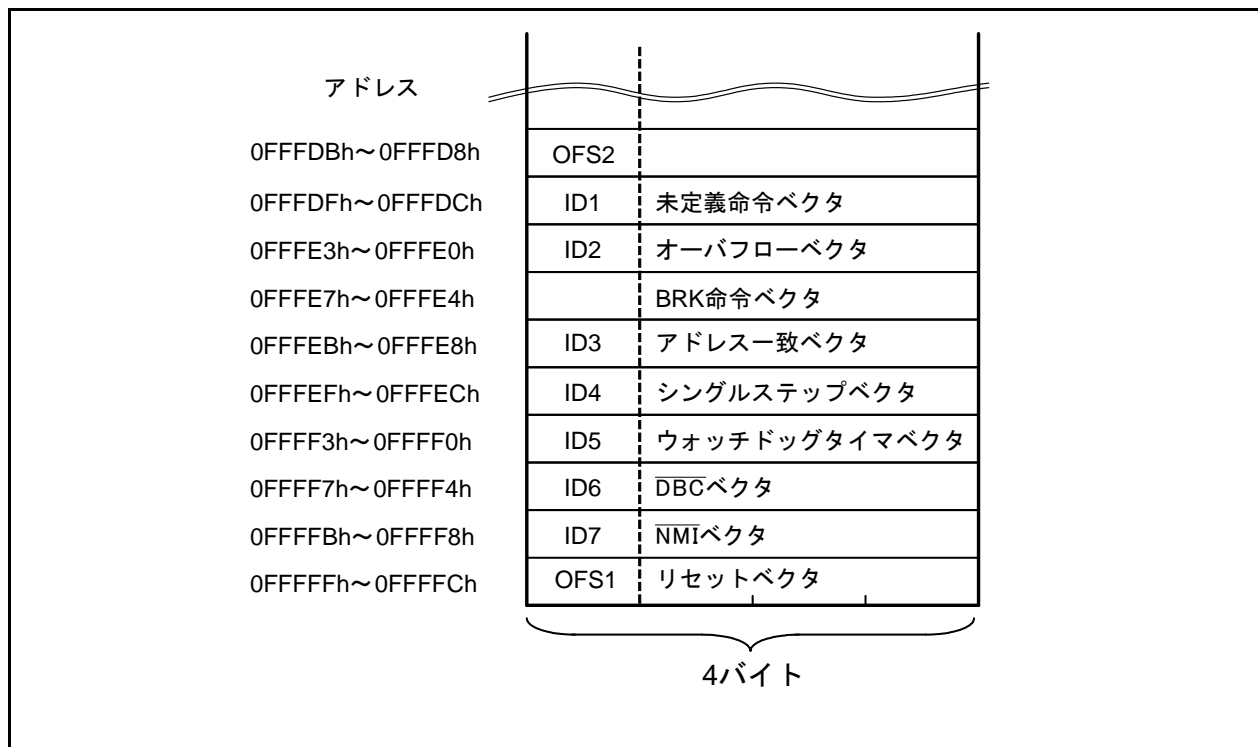


図 26.25 IDコードの格納番地

26.9.2 強制イレーズ機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、プログラムROM1、プログラムROM2をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表 26.20 IDコードの予約語」以外)、OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつOFS1番地のROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表 26.21に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライターから送られてくるIDコードが“ALeRASE”ならばプログラムROM1、プログラムROM2を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、フラッシュメモリを操作できません。

表 26.21 強制イレーズ機能の条件と動作

条件			動作
シリアルライターから送られてくるIDコード	IDコード格納番地のIDコード	OFS1番地のROMCP1ビット	
ALeRASE	ALeRASE	—	プログラムROM1とプログラムROM2すべて消去 (強制イレーズ機能)
	ALeRASE 以外 (注1)	1 (ROMコードプロテクト無効)	IDコードの判定 (IDコードチェック機能。 IDコード不一致になる)
		0 (ROMコードプロテクト有効)	IDコードの判定 (IDコードチェック機能。 IDコード不一致になる)
ALeRASE 以外	ALeRASE	—	IDコードの判定 (IDコードチェック機能。 IDコード不一致になる)
	ALeRASE 以外 (注1)	—	IDコードの判定 (IDコードチェック機能)

注1. “Protect”の場合は「26.9.3 標準シリアル入出力モード禁止機能」参照。

26.9.3 標準シリアル入出力モード禁止機能

標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表 26.20 IDコードの予約語」参照)の場合、シリアルライターとの通信を行いません。このため、シリアルライターによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。IDコードが“Protect”になる組み合わせでも、ユーザブートモードは起動します。

なお、IDコードを“Protect”になる組み合わせにし、OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつ、OFS1番地のROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライターによるROMコードプロテクト解除ができません。したがって、シリアルライターでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

26.9.4 標準シリアル入出力モード1

標準シリアル入出力モード1はクロック同期型シリアルI/Oを用いて、シリアルライタと接続します。

表 26.22 端子機能の説明(フラッシュメモリ標準シリアル入出力モード1)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはフラッシュメモリ書き込み、消去電圧を入力してください。 VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCCに接続してください。
RESET	リセット入力	入力	リセット入力端子です。
XIN	クロック入力	入力	メインクロックを使用しない場合は、XIN端子に“H”を入力し、XOUT端子は開放してください。
XOUT	クロック出力	出力	メインクロックを使用する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。また、外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
AVCC、AVSS	アナログ電源入力		AVCC端子はVCCに、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。標準シリアル入出力モード1を使用する際、VREFの電源が供給されない場合はVSSに接続してください。
P0_0~P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P2_0~P2_7	入力ポートP2	入力	“H”を入力、“L”を入力、または開放してください。
P3_0~P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P6_0~P6_3	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	BUSY信号の出力端子です。
P6_5/CLK1	SCLK入力	入力	シリアルクロックの入力端子です。
P6_6/RXD1	RXD入力	入力	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	シリアルデータの出力端子です。
P7_0~P7_7	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P8_0~P8_7	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P9_0~P9_3, P9_5~P9_7	入力ポートP9	入力	“H”を入力、“L”を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。

表 26.23 標準シリアル入出力モード1設定方法

信号名	入力レベル
CNVSS	VCC
$\overline{\text{RESET}}$	VSS→VCC
SCLK	VCC

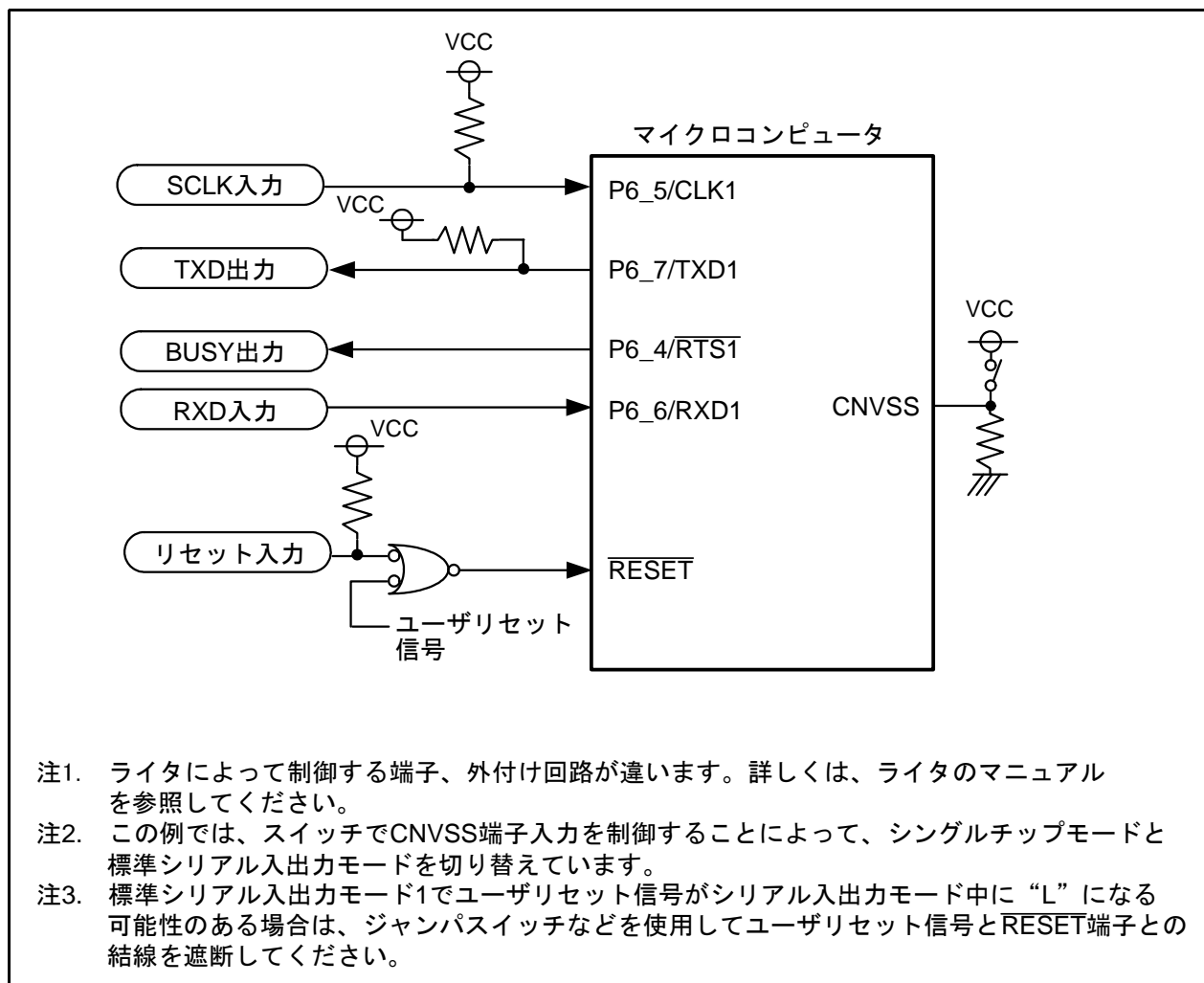


図 26.26 標準シリアル入出力モード1を使用する場合の端子処理例

26.9.5 標準シリアル入出力モード2

標準シリアル入出力モード2は2線式クロック非同期型シリアルI/Oを用いてシリアルライタと接続します。メインクロックを使用します。

表 26.24 端子機能の説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはフラッシュメモリ書き込み、消去電圧を入力してください。VSS端子には0Vを入力してください。
CNVSS	CNVSS	入力	VCCに接続してください。
RESET	リセット入力	入力	リセット入力端子です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。また、外部で生成したクロックを入力するときは、XIN端子から入力しXOUT端子は開放してください。
XOUT	クロック出力	出力	
AVCC、AVSS	アナログ電源入力		AVCC端子はVCCに、AVSS端子はVSSに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。標準シリアル入出力モード2を使用する際、VREFの電源が供給されない場合はVSSに接続してください。
P0_0~P0_7	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P1_0~P1_7	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P2_0~P2_7	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
P3_0~P3_7	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P6_0~P6_3	入力ポートP6	入力	"H"を入力、"L"を入力、または開放してください。
P6_4/RTS $\bar{1}$	BUSY出力	出力	ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	"L"を入力してください。
P6_6/RXD1	RXD入力	入力	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	シリアルデータの出力端子です。
P7_0~P7_7	入力ポートP7	入力	"H"を入力、"L"を入力、または開放してください。
P8_0~P8_7	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
P9_0~P9_3, P9_5~P9_7	入力ポートP9	入力	"H"を入力、"L"を入力、または開放してください。
P10_0~P10_7	入力ポートP10	入力	"H"を入力、"L"を入力、または開放してください。

表 26.25 標準シリアル入出力モード2設定方法

信号名	入力レベル
CNVSS	VCC
$\overline{\text{RESET}}$	VSS→VCC
P6_5/CLK1	VSS

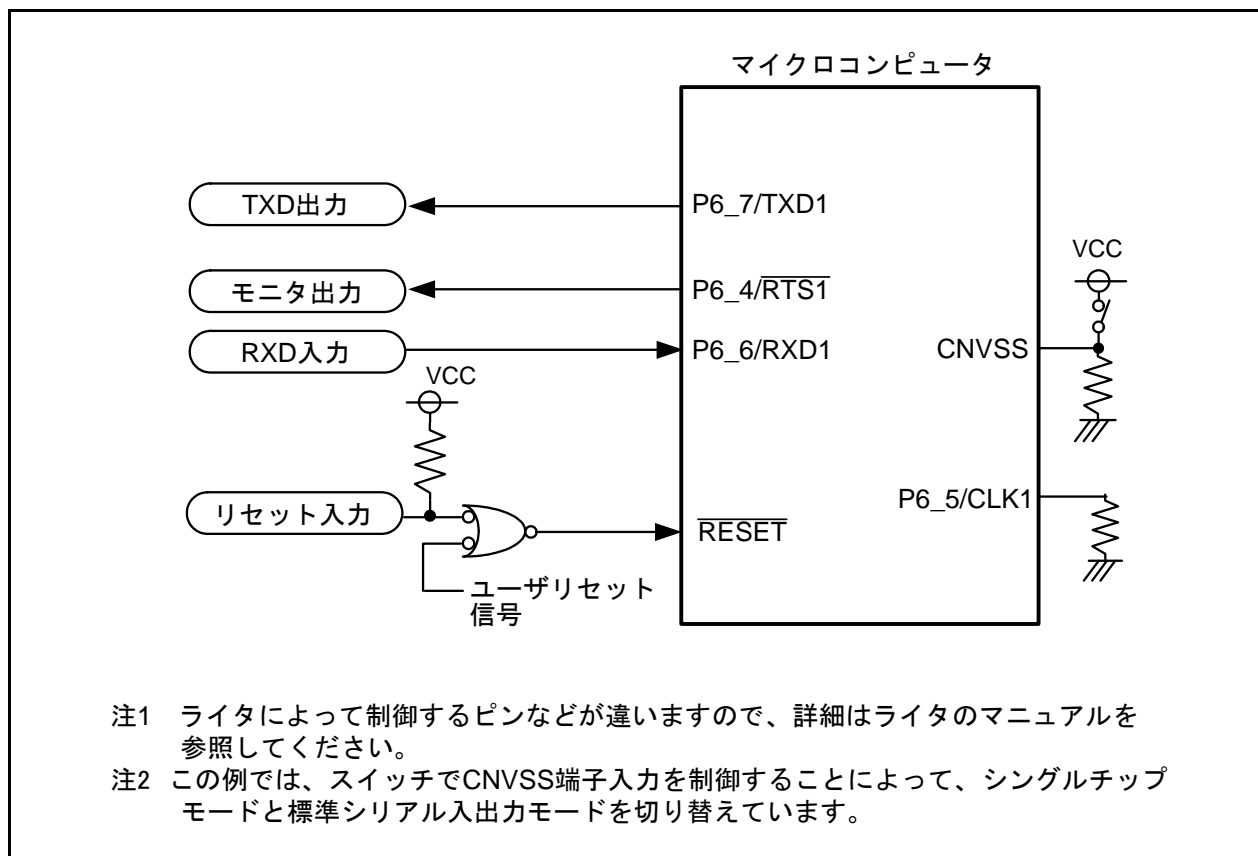


図 26.27 標準シリアル入出力モード2を使用する場合の端子処理例

26.10 パラレル入出力モード

パラレル入出力モードでは、M16C/5LD、M16C/56Dグループに対応したパラレルライタを使用して、プログラムROM1、プログラムROM2、データフラッシュを書き換えられます。パラレルライタについては、各メーカーにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのユーザーズマニュアルを参照してください。

26.10.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。「26.4.1 オプション機能選択1番地 (OFS1)」を参照してください。OFS1番地は、プログラムROM1のブロック0に存在します。

OFS1番地のROMCRビットが“1”(ROMCP1ビット有効)、かつROMCP1ビットを“0”にすると、ROMコードプロテクトが有効になります。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでOFS1番地を含むブロック0を消去してください。

26.11 フラッシュメモリ使用上の注意事項

26.11.1 OFS1番地、OFS2番地、IDコード格納番地

OFS1番地、OFS2番地、IDコード格納番地は、フラッシュメモリの一部です。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。

OFS1番地はリセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する番地です。OFS1番地は0FFFFh番地です。プログラムROM1のブロック0の最上位番地であり、リセットベクタの上位番地にあたります。同様に、OFS2番地、IDコード格納番地もブロック0にあり、割り込みベクタの上位番地にあたります。

IDコードチェック機能を無効にすることはできません。たとえIDコードチェック機能によるプロテクトが不要でも、シリアルライターやデバッガを使用する際には、正しいIDコードを入力しなければ、ライターやデバッガが使用できません。

例) OFS1番地に“FEh”を、OFS2番地に“FFh”を設定する。

アドレス制御命令と論理和を使用した例

```
.org 0FFFDBH
.byte 0FFh
.org 0FFFFCh
RESET:
.lword start | 0FE00000h
```

アドレス制御命令を使用した例

```
.org 0FFFDBH
.byte 0FFh
.org 0FFFFCh
RESET:
.addr start
.byte 0FEh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

26.11.2 データフラッシュの読み出し

$2.7V \leq VCC \leq 3.0V$ かつ $f(BCLK) \geq 16MHz$ の場合、または $3.0V < VCC \leq 5.5V$ かつ $f(BCLK) \geq 20MHz$ の場合は、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイトが必要です。PM1レジスタのPM17ビットまたはFMR1レジスタのFMR17ビットで1ウェイトにしてください。

26.11.3 CPU書き換えモード

26.11.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

26.11.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- $\overline{\text{NMI}}$ 端子に“H”を入力

また、FMR60ビットはFMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

26.11.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

26.11.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

26.11.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

26.11.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

26.11.3.7 DMA転送

EW0モードでは、DMA転送の転送元をフラッシュメモリにしないでください。

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

26.11.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

26.11.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

26.11.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) 高速、中速モード、PLL動作モードで使用してください。また、FMR0レジスタのFMR00ビットが“0”(ビジー)の間は、クロックのモードを変更しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドにつき1回フルステータスチェックしてください(複数のコマンド、または同じコマンドを複数回実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR07ビットのいずれか、もしくは両方が“1”(エラー)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) スローリードモード(FMR22が“1”)、または低消費電流リードモード(FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

26.11.3.11 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

26.11.3.12 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- ハードウェア、パワーオン、電圧監視0、電圧監視2、発振停止検出、ウォッチドッグタイマ、ソフトウェアリセット
- $\overline{\text{NMI}}$ 、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視2割り込み

26.11.4 ユーザブート

26.11.4.1 ユーザブートプログラム

ユーザブートモードを使用する場合、次の点に注意してください。

- ユーザブートモードで起動し実行するプログラムは、プログラムROM2に配置してください。
- OFS1番地のLVDASビット、OFS2番地のWDTRCS1~WDTRCS0ビットはブートモードでは無効です。
- ユーザブートモードで起動した後、再度ユーザブートモードで起動するとRAMが不定になります。
- 13FF8h~13FFBh番地の値がすべて“00h”の場合は、標準シリアル入出力モードにはなりません。したがって、ライターやオンチップデバッグには接続できません。
- リセットシーケンスが異なりますので、プログラムを実行し始めるまでの時間がシングルチップモードより長くなります。
- ユーザブートモードの機能は、オンチップデバッグエミュレータ、フルスペックエミュレータではデバッグできません。
- ユーザブート機能使用中は、ユーザブートモードエントリに使用する端子の入力レベルを変更しないでください。入力レベルが変化する場合は、ユーザブートモードで必要な処理を行った後、入力レベルが変化する前にシングルチップモードで起動し直してください。
- 標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

27. 電気的特性

27.1 電気的特性(5V、3V 共通)

27.1.1 絶対最大定格

表 27.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{CC}	電源電圧		V _{CC} =AV _{CC}	-0.3~6.5	V
AV _{CC}	アナログ電源電圧		V _{CC} =AV _{CC}	-0.3~6.5	V
V _{REF}	アナログ基準電圧			-0.3~V _{CC} +0.1 (注1)	V
V _I	入力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7 XIN, RESET, CNVSS		-0.3~V _{CC} +0.3	V
V _O	出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7 XOUT		-0.3~V _{CC} +0.3	V
P _d	消費電力		-40°C ≤ T _{opr} ≤ 85°C	300	mW
T _{opr}	動作周囲温度	マイコン動作時		-40~85	°C
		フラッシュ書き込み消去時	プログラム領域	0~60	
			データ領域	-40~85	
T _{stg}	保存温度			-65~150	°C

注1. 最大6.5Vです。

27.1.2 推奨動作条件

表 27.2 推奨動作条件 (1/2)

指定のない場合は、 $V_{CC}=2.7V\sim 5.5V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	規格値			単位
		最小	標準	最大	
V_{CC}	電源電圧	2.7		5.5	V
AV_{CC}	アナログ電源電圧		V_{CC}		V
V_{SS}	電源電圧		0		V
AV_{SS}	アナログ電源電圧		0		V
V_{IH}	"H"入力電圧 P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P6_0~P6_7、 P7_0~P7_7、P8_0~P8_7、 P9_0~P9_3、P9_5~P9_7、P10_0~P10_7 XIN, RESET, CNVSS SDAMM, SCLMM				
			$0.7V_{CC}$	V_{CC}	V
			$0.8V_{CC}$	V_{CC}	V
		I ² C-bus入力レベル選択時	$0.7V_{CC}$	V_{CC}	V
V_{IL}	"L"入力電圧 P0_0~P0_7、P1_0~P1_7、P2_0~P2_7、P3_0~P3_7、P6_0~P6_7、 P7_0~P7_7、P8_0~P8_7、 P9_0~P9_3、P9_5~P9_7、P10_0~P10_7 XIN, RESET, CNVSS SDAMM, SCLMM				
			0	$0.3V_{CC}$	V
			0	$0.2V_{CC}$	V
		I ² C-bus入力レベル選択時	0	$0.3V_{CC}$	V
$I_{OH(sum)}$	"H"尖頭総出力 電流			-80	mA
$I_{OH(peak)}$	"H"尖頭出力電流			-10.0	mA
$I_{OH(avg)}$	"H"平均出力電流 (注1)			-5.0	mA
$I_{OL(sum)}$	"L"尖頭総出力 電流			80	mA
$I_{OL(peak)}$	"L"尖頭出力電流			10.0	mA
$I_{OL(avg)}$	"L"平均出力電流 (注1)			5.0	mA
$f_{(XIN)}$	メインクロック入力発振周波数 (注2)	2		20	MHz
$f_{(XCIN)}$	サブクロック発振周波数		32.768	50	kHz
$f_{(PLL)}$	PLLクロック発振周波数 (注2)	$V_{CC}=2.7\sim 5.5V$	10	25	MHz
		$V_{CC}=3.0\sim 5.5V$	10	32	
$f_{(BCLK)}$	CPU動作周波数	2		32	MHz
$t_{su(PLL)}$	PLL周波数シンセサイザ安定待ち時間	$V_{CC}=5.0V$		2	ms
		$V_{CC}=3.0V$		3	

注1. 平均出力電流は100msの期間内での平均値です。

注2. メインクロック入力周波数、PLLクロック周波数と電源電圧の関係を図 27.1のメインクロック発振周波数、PLLクロック発振周波数で示します。

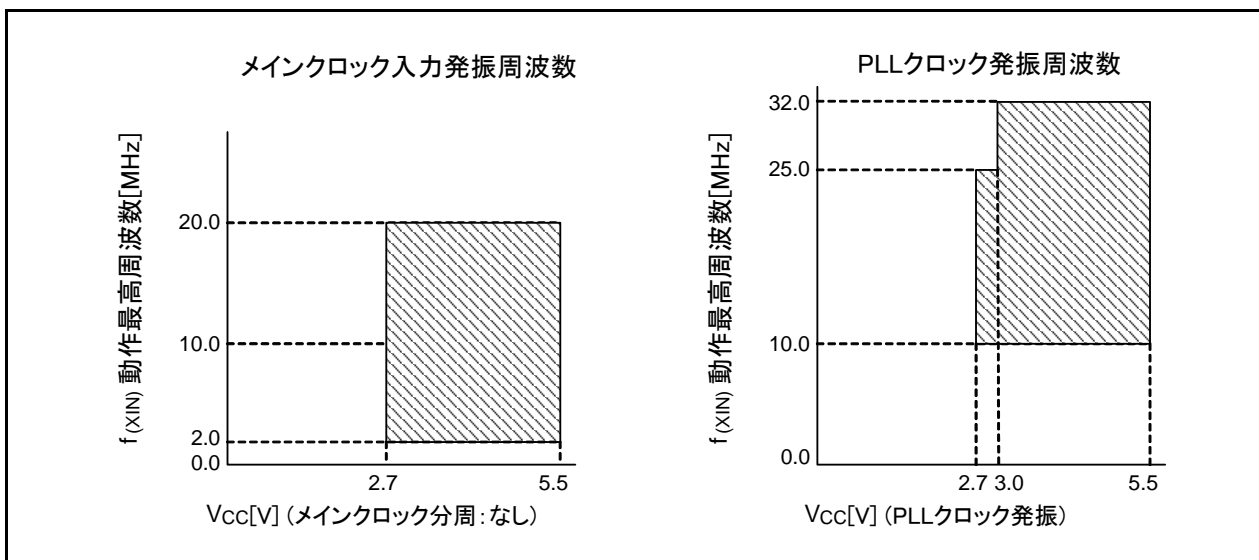


図 27.1 メインクロック発振周波数、PLLクロック発振周波数

表 27.3 推奨動作条件 (2/2)

(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$) (注1)

電源リップルは $V_r(V_{CC})$ 、 $dV_r(V_{CC})/dt$ のどちらか一方または両方を満たしてください。

記号	項目	規格値			単位
		最小	標準	最大	
$V_r(V_{CC})$	許容電源リップル電圧	$V_{CC} = 5.0 V$		0.5	Vp-p
		$V_{CC} = 3.0 V$		0.3	Vp-p
$dV_r(V_{CC})/dt$	電源リップル立ち下がり勾配	$V_{CC} = 5.0 V$		0.3	V/ms
		$V_{CC} = 3.0 V$		0.3	V/ms

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を越えた場合、最大定格内であっても動作は保証されません。

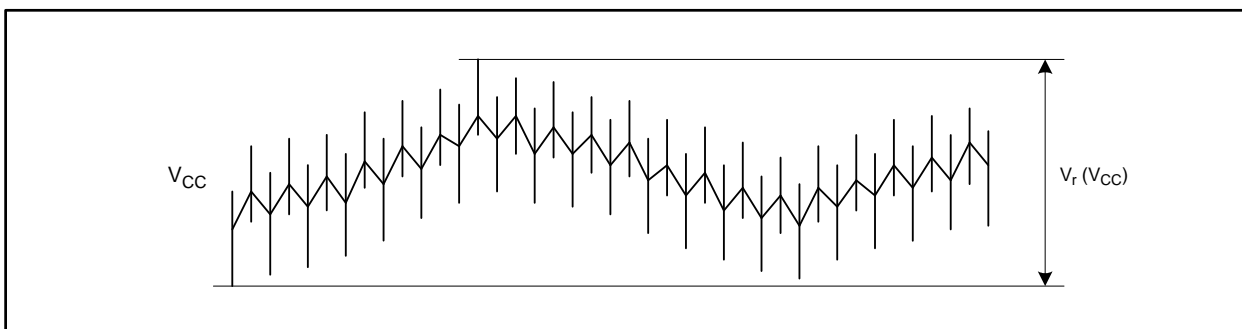


図 27.2 電源リップル波形

27.1.3 A/D変換特性

表 27.4 A/D変換特性(注1、3)

指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC}$			10	Bits
I_{NL}	積分非直線性誤差	$V_{REF}=V_{CC}=5.0V$ (注2)			± 3	LSB
		$V_{REF}=V_{CC}=3.3V$ (注2)			± 5	LSB
-	絶対精度	$V_{REF}=V_{CC}=5.0V$ (注2)			± 3	LSB
		$V_{REF}=V_{CC}=3.3V$ (注2)			± 5	LSB
ϕAD	A/D動作クロック周波数	$4.0V \leq V_{CC} \leq 5.5V$	2		25	MHz
		$3.2V \leq V_{CC} \leq 4.0V$	2		16	MHz
		$3.0V \leq V_{CC} \leq 3.2V$	2		10	MHz
-	許容信号源インピーダンス			3		k Ω
D_{NL}	微分非直線性誤差	(注2)			± 1	LSB
-	オフセット誤差	(注2)			± 3	LSB
-	ゲイン誤差	(注2)			± 3	LSB
t_{CONV}	変換時間(10bit)	$V_{REF}=V_{CC}=5V$ 、 $\phi AD=25MHz$	1.60			μs
t_{SAMP}	サンプリング時間		0.6			μs
V_{REF}	基準電圧		3.0		V_{CC}	V
V_{IA}	アナログ入力電圧(注4)		0		V_{REF}	V

注1. $AV_{CC} = V_{CC}$ で使用してください。

注2. フラッシュメモリ書き換え禁止。測定するアナログ入力端子以外は入力ポートにして V_{SS} に接続。「図 27.3 A/D精度測定回路」を参照してください。

注3. A/Dコンバータ1回路使用、使用していないA/DコンバータのADSTBYビットが“0”(A/D動作停止、スタンバイ)の場合です。

注4. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は3FFhになります。

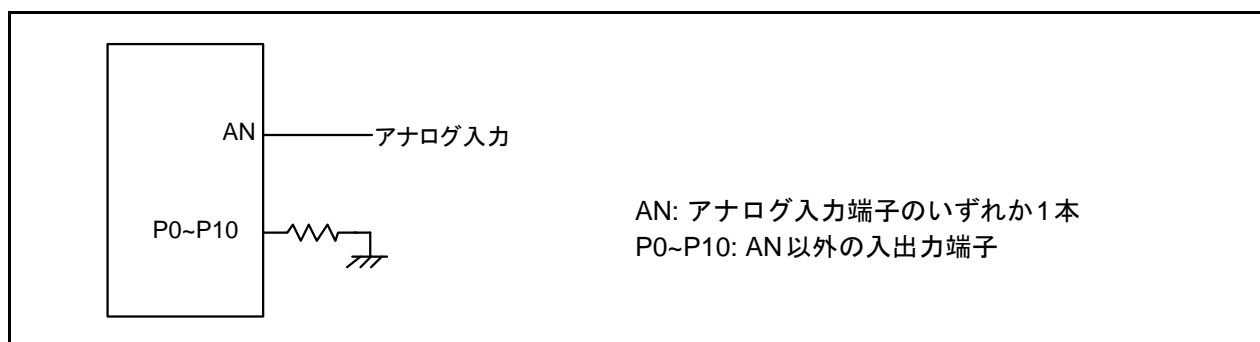


図 27.3 A/D精度測定回路

27.1.4 フラッシュメモリの電気的特性

表27.5 フラッシュメモリ動作時のCPUクロック ($f_{(BCLK)}$)

指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	CPU書き換えモード				10 (注1)	MHz
$f_{(SLOW_R)}$	スローリードモード				5 (注3)	MHz
-	低消費電流リードモード			fC (32.768)	35	kHz
-	データフラッシュリード	$2.7V \leq V_{CC} \leq 3.0V$			16 (注2)	MHz
		$3.0V < V_{CC} \leq 5.5V$			20 (注2)	

- 注1. PM1レジスタのPM17ビットは“1” (1ウェイト) にしてください。
- 注2. この周波数を超える場合は、FMR1レジスタのFMR17ビットを“0” (1ウェイト) にするか、またはPM1レジスタのPM17ビットを“1” (1ウェイト) にしてください。
- 注3. PM1レジスタのPM17ビットを“1” (1ウェイト) にしてください。125kHzオンチップオシレータクロックまたはサブクロックがCPUクロックのクロック源の場合は、ウェイトは不要です。

表27.6 フラッシュメモリ(プログラムROM1、2)の電気的特性

指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=0^{\circ}C\sim 60^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$	1,000 (注2)			回
-	2ワードプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		150	4000	μs
-	ロックビットプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		70	3000	μs
-	ブロックイレーズ時間	$V_{CC}=3.3V$ 、 $T_{opr}=25^{\circ}C$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f(BCLK)}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f(BCLK)}$	μs
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧	$T_{opr}= -40\sim 85^{\circ}C$	2.7		5.5	V
-	書き込み、消去時の温度		0		60	$^{\circ}C$
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55^{\circ}C$	20			年

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。プログラム、イレーズ回数がn回($n=1,000$)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

たとえば、あるブロックについて、それぞれ異なる番地に2ワード書き込みを16,384回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

表27.7 フラッシュメモリ(データフラッシュ)の電気的特性

指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=-40\sim 85\text{ }^{\circ}\text{C}$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数 (注1、3、4)	$V_{CC}=3.3V$ 、 $T_{opr}=25\text{ }^{\circ}\text{C}$	10,000 (注2)			回
-	2ワードプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25\text{ }^{\circ}\text{C}$		300	4000	μs
-	ロックビットプログラム時間	$V_{CC}=3.3V$ 、 $T_{opr}=25\text{ }^{\circ}\text{C}$		140	3000	μs
-	ブロックイレーズ時間	$V_{CC}=3.3V$ 、 $T_{opr}=25\text{ }^{\circ}\text{C}$		0.2	3.0	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間				$5 + \frac{3}{f(BCLK)}$	ms
-	イレーズ開始または再開から次のサスペンド要求までの間隔		0			μs
-	自動消去が終了するために必要なサスペンド間隔(注7)		20			ms
-	サスペンドからイレーズの再開までの時間				$30 + \frac{1}{f(BCLK)}$	μs
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧		2.7		5.5	V
-	書き込み、消去時の温度		-40		85	$^{\circ}\text{C}$
t_{PS}	フラッシュメモリ回路安定待ち時間				50	μs
-	データ保持時間(注6)	周囲温度 = $55\text{ }^{\circ}\text{C}$	20			年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回($n = 10,000$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

たとえば、4Kバイトブロックのブロックについて、それぞれ異なる番地に2ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。たとえば一組16バイトをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックAとブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、弊社営業窓口にお問い合わせください。

注6. 電源電圧またはクロックが印加されていない時間を含みます。

注7. イレーズ開始または再開から次のサスペンド要求まで、20ms以上の間隔をあげない場合はイレーズシーケンスが進みません。

27.1.5 電圧検出回路、電源回路の電気的特性

表27.8 電圧検出0回路の電気的特性

指定のない場合の測定条件は $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det0}	電圧検出レベル V_{det0}	V_{CC} 立ち下がり時	2.70	2.85	3.00	V
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注1)	$V_{CC}=2.7\sim 5.5V$			100	μs

注1. VCR2レジスタのVC25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表27.9 電圧検出2回路の電気的特性

指定のない場合の測定条件は $V_{CC}=2.7\sim 5.5V$ 、 $T_{opr}=-40^{\circ}C\sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det2_0}	電圧検出レベル V_{det2_0}	V_{CC} 立ち下がり時		3.21		V
V_{det2_1}	電圧検出レベル V_{det2_1}			3.36		V
V_{det2_2}	電圧検出レベル V_{det2_2}			3.51		V
V_{det2_3}	電圧検出レベル V_{det2_3}			3.66		V
V_{det2_4}	電圧検出レベル V_{det2_4}		3.51	3.81	4.11	V
V_{det2_5}	電圧検出レベル V_{det2_5}			3.96		V
V_{det2_6}	電圧検出レベル V_{det2_6}			4.10		V
V_{det2_7}	電圧検出レベル V_{det2_7}			4.25		V
-	電圧検出2回路の V_{CC} 立ち上がり時の ヒステリシス幅			0.15		V
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注1)	$V_{CC}=2.7\sim 5.5V$			100	μs

注1. VCR2レジスタのVC27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 27.10 パワーオンリセット回路

指定のない場合の測定条件は $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t_{rth}	外部電源 V_{CC} の立ち上がり傾き		2.0		50000	mV/ms
t_{fth}	外部電源 V_{CC} の立ち下がり傾き				50000	mV/ms
V_{por}	パワーオンリセットが有効になる電圧(注1)				0.1	V
$t_{w(por)}$	パワーオンリセットが有効になるための保持時間		1.0			ms

注1. パワーオンリセットを使用する場合には、OFS1番地のLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

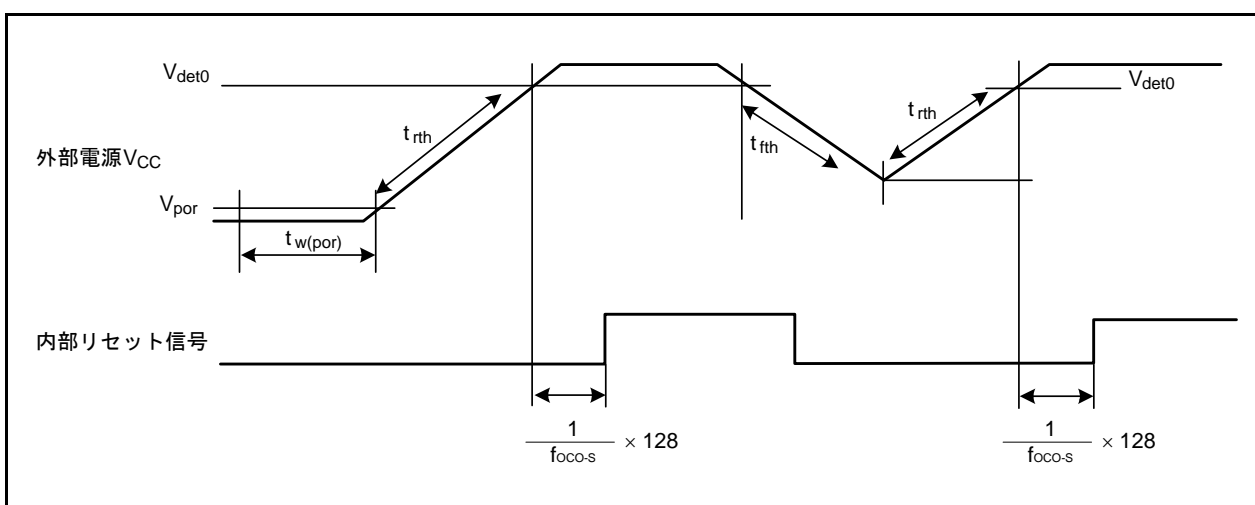


図 27.4 パワーオンリセット回路の電気的特性

表 27.11 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_d(P-R)$	電源投入時内部電源安定時間	$V_{CC}=3.0\sim 5.5V$			5	ms
$t_d(R-S)$	STOP解除時間				300	μs
$t_d(W-S)$	低消費電力モードウェイトモード解除時間				300	μs

注1. $V_{CC}=5V$ 時の標準値

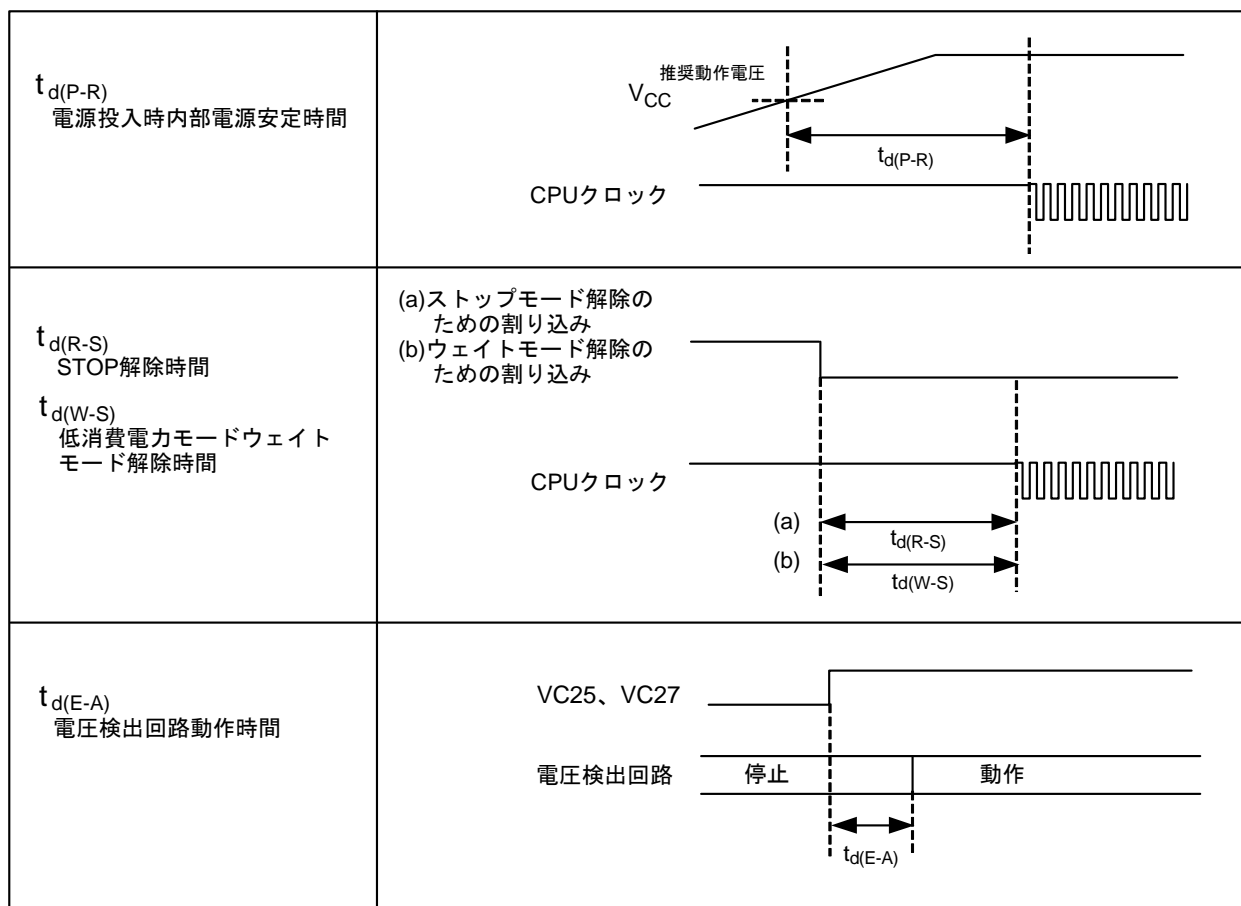


図 27.5 電源回路のタイミング図

27.1.6 発振回路の電気的特性

表 27.12 125kHz オンチップオシレータ発振回路の電気的特性

指定のない場合の測定条件は $V_{CC}=2.7 \sim 5.5V$ 、 $T_{opr} = -40^{\circ}C \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
f_{OCO-S}	125kHz オンチップオシレータ発振周波数		100	125	150	kHz
$t_{su}(f_{OCO-S})$	125kHz オンチップオシレータ発振安定待ち時間	$2.7V \leq V_{CC} \leq 5.5V$			20	μs
f_{WDT}	ウォッチドッグタイマ専用 125kHz オンチップオシレータ発振周波数		100	125	150	kHz

27.2 電気的特性($V_{CC}=5V$)

27.2.1 電気的特性

 $V_{CC}=5V$

表 27.13 電気的特性 (1)

指定のない場合は、 $V_{CC}=4.2\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=32MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OH}=-5mA$	$V_{CC}-2.0$		V_{CC}	V
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OH}=-200\mu A$	$V_{CC}-0.3$		V_{CC}	V
V_{OH}	"H"出力電圧	XOUT	HIGH POWER	$I_{OH}=-1mA$	$V_{CC}-2.0$	V_{CC}	V
			LOW POWER	$I_{OH}=-0.5mA$	$V_{CC}-2.0$	V_{CC}	
	"H"出力電圧	XCOUT	HIGH POWER	無負荷時		2.5	V
			LOW POWER	無負荷時		1.6	
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OL}=5mA$			2.0	V
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OL}=200\mu A$			0.45	V
V_{OL}	"L"出力電圧	XOUT	HIGH POWER	$I_{OL}=1mA$		2.0	V
			LOW POWER	$I_{OL}=0.5mA$		2.0	
	"L"出力電圧	XCOUT	HIGH POWER	無負荷時		0	V
			LOW POWER	無負荷時		0	
$V_{T+}-V_{T-}$	ヒステリシス	TA0IN~TA4IN, TB0IN~TB2IN, INT0~INT5, NM1, ADTRG, CTS0~CTS3, SCL2, SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD4, ZP, IDU, IDW, IDV, SD, INPC1_0~INPC1_7, CRX0		0.2		$0.4V_{CC}$	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET		0.2		2.5	V
$V_{T+}-V_{T-}$	ヒステリシス	XIN		0.2		0.8	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7 XIN, RESET, CNVSS	$V_i=5V$			5.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7 XIN, RESET, CNVSS	$V_i=0V$			-5.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$V_i=0V$	30	50	170	k Ω
R_{FXIN}	帰還抵抗	XIN			1.5		M Ω
R_{FXCIN}	帰還抵抗	XCIN			15		M Ω
V_{RAM}	RAM保持電圧		ストップモード時	2.0			V

$V_{CC}=5V$

表 27.14 電気的特性(2)

指定のない場合は、 $T_{opr} = -40 \sim 85^{\circ}\text{C}$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_{CC}	電源電流 ($V_{CC}=4.2\sim 5.5V$) シングルチップ モードで、 出力端子は開放、 その他の端子は V_{SS}	高速モード	$f_{(BCLK)}=32\text{MHz}$ XIN=8MHz (方形波)、PLL8 通倍、 125kHz オンチップオシレータ発振		28	42	mA
			$f_{(BCLK)}=20\text{MHz}$ XIN=20MHz (方形波)、 125kHz オンチップオシレータ発振		20	30	mA
			$f_{(BCLK)}=16\text{MHz}$ XIN=16MHz (方形波)、 125kHz オンチップオシレータ発振		16		mA
		125kHz オンチップオシレータ モード	メインクロック停止 125kHz オンチップオシレータ発振 8分周 FMR22=FMR23=1 (低消費電流リードモード)		150	500	μA
		低消費電力モード	$f_{(BCLK)}=32\text{kHz}$ フラッシュメモリ上 (注1) FMR22=FMR23=1 (低消費電流リードモード)		160		μA
		ウェイトモード	メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=25^{\circ}\text{C}$		20		μA
			メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=85^{\circ}\text{C}$		50		μA
		ストップモード	$T_{opr}=25^{\circ}\text{C}$		18	30	μA
			$T_{opr}=85^{\circ}\text{C}$		45		μA
		フラッシュメモリプログラム中	$f_{(BCLK)}=10\text{MHz}$ 、PM17=1(1ウェイト) $V_{CC}=5.0V$		20.0		mA
フラッシュメモリエーズ中	$f_{(BCLK)}=10\text{MHz}$ 、PM17=1(1ウェイト) $V_{CC}=5.0V$		30.0		mA		
I_{det2}	電圧低下検出消費電流			3	μA		
I_{det0}	リセット領域検出消費電流			6	μA		

注1. 実行するプログラムが存在するメモリを示します。

$V_{CC}=5V$

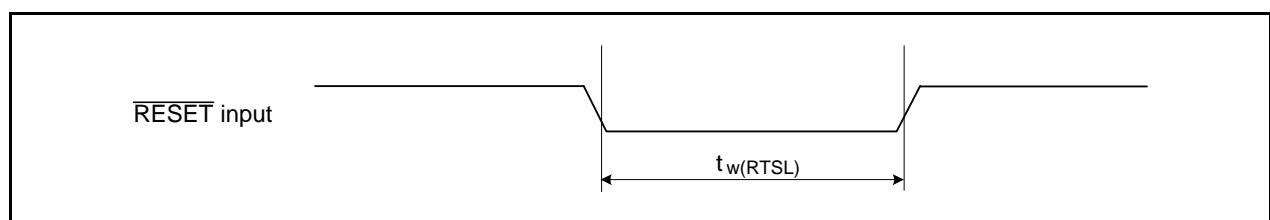
27.2.2 タイミング必要条件(周辺機能、他)

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.2.2.1 リセット入力

表 27.15 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

図 27.6 リセット入力 (\overline{RESET} 入力)

27.2.2.2 外部クロック入力

表 27.16 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

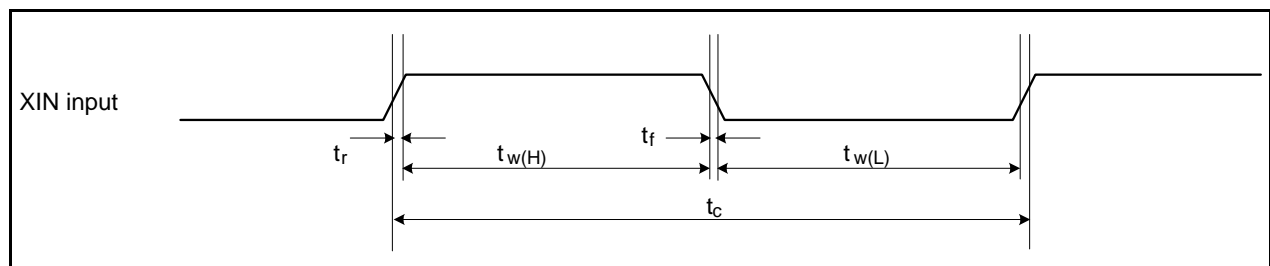
注1. 条件は $V_{CC}=3.0\sim 5.0V$ です。

図 27.7 外部クロック入力 (XIN入力)

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.2.2.3 タイマA入力

表 27.17 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	40		ns

表 27.18 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	200		ns

表 27.19 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

表 27.20 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力“L”パルス幅	100		ns

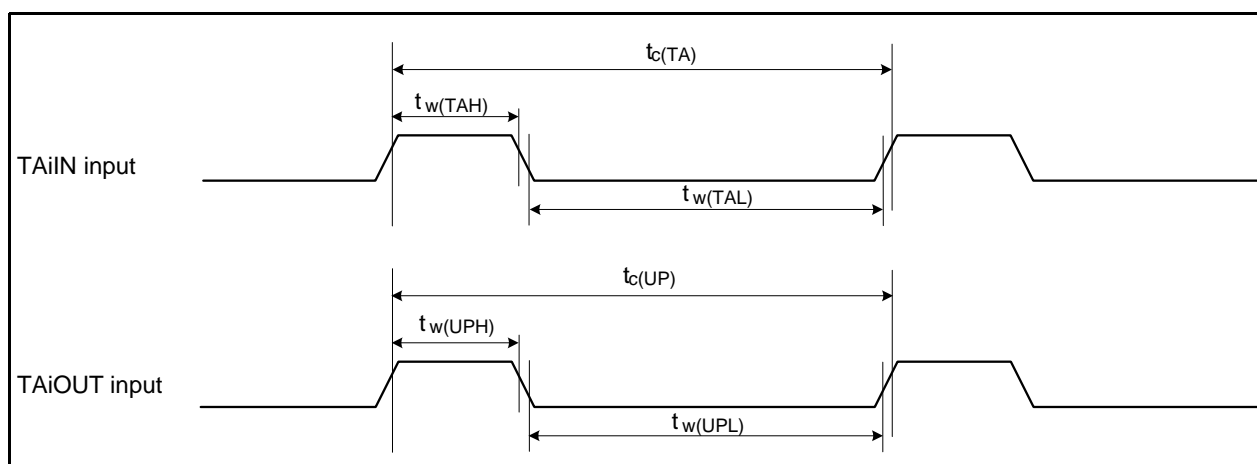


図 27.8 タイマA入力

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

表 27.21 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TA)$	TAiIN入力サイクル時間	800		ns
$t_{su}(TAIN-TAOUT)$	TAiOUT入力セットアップ時間	200		ns
$t_{su}(TAOUT-TAIN)$	TAiIN入力セットアップ時間	200		ns

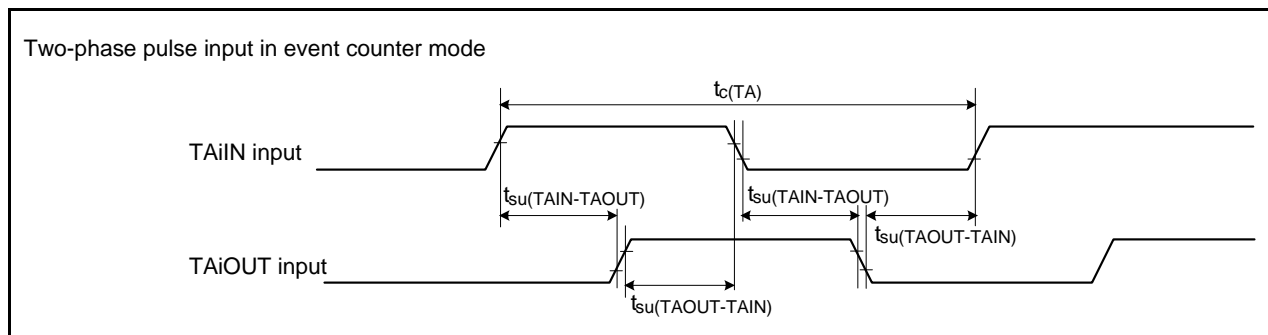


図 27.9 タイマA入力(イベントカウンタモードの二相パルス入力)

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.2.2.4 タイマB入力

表 27.22 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	100		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	40		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	40		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 27.23 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

表 27.24 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	200		ns

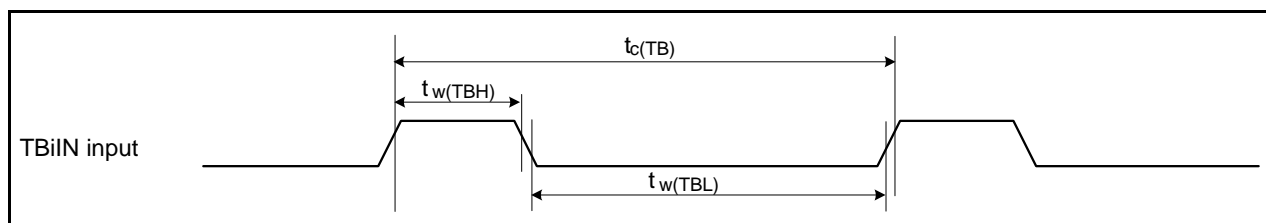


図 27.10 タイマB入力

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.2.2.5 タイマS入力

表 27.25 タイマS入力(二相パルス信号処理モードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TSH)$	TSUDA、TSUDB 入力“H”パルス幅	2		μs
$t_w(TSL)$	TSUDA、TSUDB 入力“L”パルス幅	2		μs
$t_{su}(TSUDA-TSUDB)$	TSUDB 入力セットアップ時間	1		μs
$t_{su}(TSUDB-TSUDA)$	TSUDA 入力セットアップ時間	1		μs

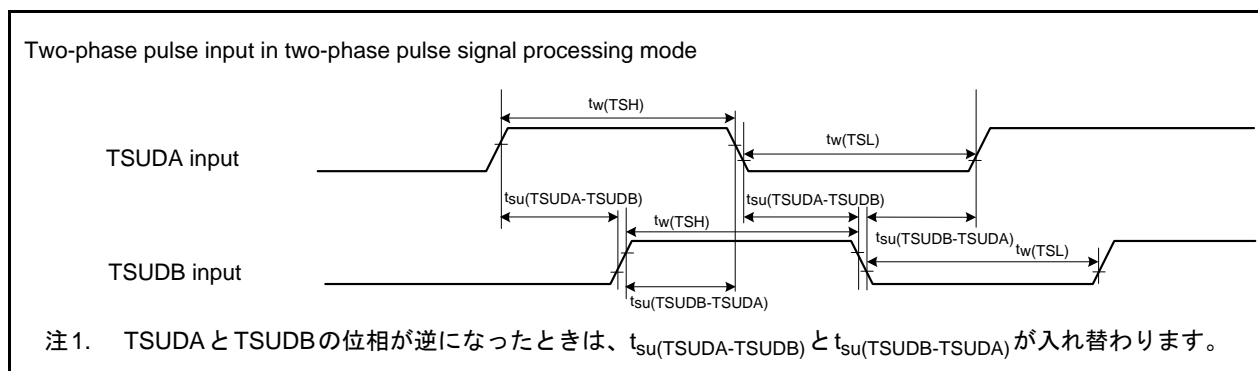


図 27.11 タイマS入力(二相パルス信号処理モードの二相パルス入力)

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.2.2.6 シリアルインタフェース

表 27.26 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	100		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TXDi出力遅延時間		80	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	70		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

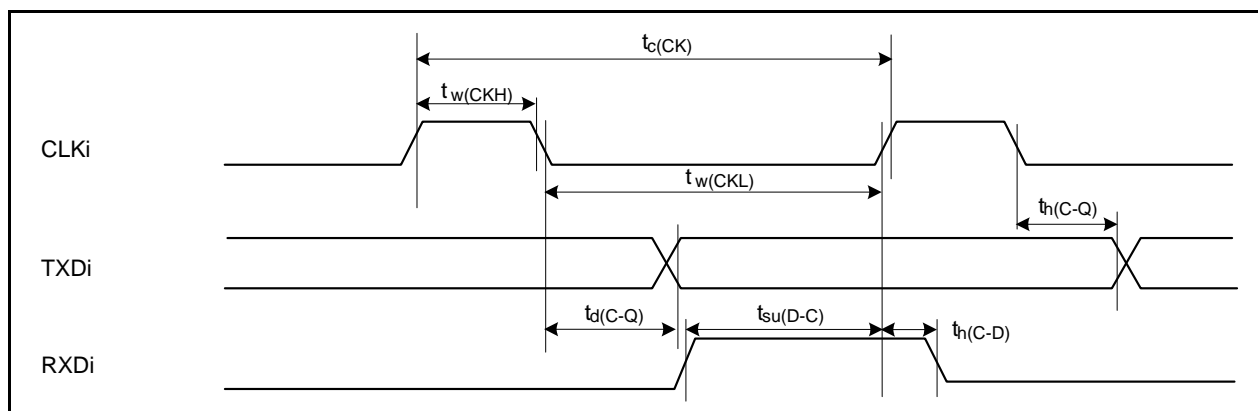
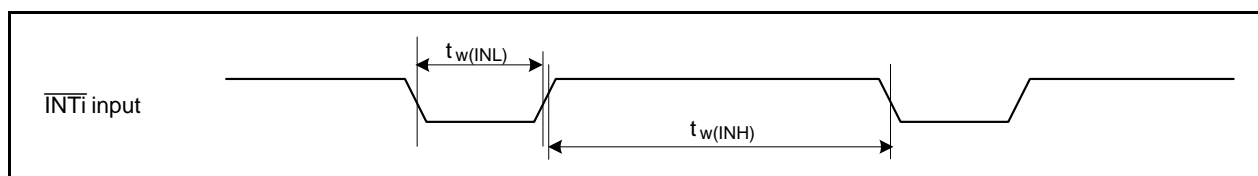


図 27.12 シリアルインタフェース

27.2.2.7 外部割り込み \overline{INTi} 入力表 27.27 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	250		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	250		ns

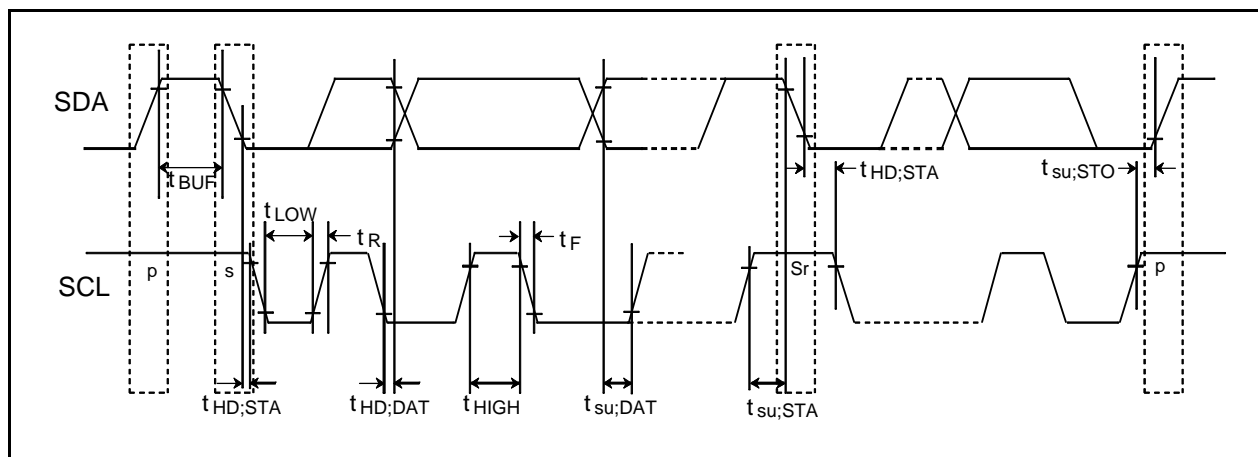
図 27.13 外部割り込み \overline{INTi} 入力

$V_{CC}=5V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)27.2.2.8 マルチマスタ I²C-bus表 27.28 マルチマスタ I²C-bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

図 27.14 マルチマスタ I²C-bus

27.3 電気的特性($V_{CC}=3V$)

27.3.1 電気的特性

 $V_{CC}=3V$

表 27.29 電気的特性 (1)

指定のない場合は、 $V_{CC}=2.7\sim 3.3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$ 、 $f_{(BCLK)}=25MHz$ です。

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OH}=-1mA$	$V_{CC}-0.5$		V_{CC}	V
V_{OH}	"H"出力電圧	XOUT	HIGH POWER	$I_{OH}=-0.1mA$	$V_{CC}-0.5$	V_{CC}	V
			LOW POWER	$I_{OH}=-50\mu A$	$V_{CC}-0.5$	V_{CC}	
	"H"出力電圧	XCOUT	HIGH POWER	無負荷時		2.5	V
			LOW POWER	無負荷時		1.6	
V_{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$I_{OL}=1mA$			0.5	V
V_{OL}	"L"出力電圧	XOUT	HIGH POWER	$I_{OL}=0.1mA$		0.5	V
			LOW POWER	$I_{OL}=50\mu A$		0.5	
	"L"出力電圧	XCOUT	HIGH POWER	無負荷時		0	V
			LOW POWER	無負荷時		0	
$V_{T+}-V_{T-}$	ヒステリシス	TA0IN~TA4IN, TB0IN~TB2IN, INT0~INT5, NMI, ADTRG, CTS0~CTS3, SCL2, SDA2, CLK0~CLK4, TA0OUT~TA4OUT, KI0~KI3, RXD0~RXD4, ZP, IDU, IDW, IDV, SD, INPC1_0~INPC1_7, CRX0				$0.4V_{CC}$	V
$V_{T+}-V_{T-}$	ヒステリシス	RESET				1.8	V
$V_{T+}-V_{T-}$	ヒステリシス	XIN				0.8	V
I_{IH}	"H"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7, XIN, RESET, CNVSS	$V_i=3V$			4.0	μA
I_{IL}	"L"入力電流	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7, XIN, RESET, CNVSS	$V_i=0V$			-4.0	μA
R_{PULLUP}	プルアップ 抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_0~P9_3, P9_5~P9_7, P10_0~P10_7	$V_i=0V$	50	100	500	k Ω
R_{fXIN}	帰還抵抗	XIN			3.0		M Ω
R_{fXCIN}	帰還抵抗	XCIN			25		M Ω
V_{RAM}	RAM保持電圧		ストップモード時	2.0			V

$V_{CC}=3V$

表 27.30 電気的特性 (2)

指定のない場合は、 $T_{opr} = -40 \sim 85^{\circ}C$ です。

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_{CC}	電源電流 ($V_{CC}=3.0\sim 3.6V$) シングルチップ モードで、 出力端子は開放、 その他の端子は V_{SS}	高速モード	$f_{(BCLK)}=25MHz$ XIN=8MHz (方形波)、PLL8 通倍、 125kHz オンチップオシレータ発振		26	40	mA
			$f_{(BCLK)}=20MHz$ XIN=20MHz (方形波)、 125kHz オンチップオシレータ発振		19	28	mA
			$f_{(BCLK)}=16MHz$ XIN=16MHz (方形波)、 125kHz オンチップオシレータ発振		15		mA
		125kHz オンチップオシレータ モード	メインクロック停止 125kHz オンチップオシレータ発振 8分周 FMR22=FMR23=1 (低消費電流リードモード)		150	500	μA
		低消費電力モード	$f_{(BCLK)}=32kHz$ フラッシュメモリ上 (注1) FMR22=FMR23=1 (低消費電流リードモード)		160		μA
		ウェイトモード	メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=25^{\circ}C$		20		μA
			メインクロック停止 125kHz オンチップオシレータ発振 周辺クロック動作 $T_{opr}=85^{\circ}C$		50		μA
		ストップモード	$T_{opr}=25^{\circ}C$		17	27	μA
			$T_{opr}=85^{\circ}C$		45		μA
		フラッシュメモリプログラム中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=3.0V$		20.0		mA
フラッシュメモリエーズ中	$f_{(BCLK)}=10MHz$ 、PM17=1(1ウェイト) $V_{CC}=3.0V$		30.0		mA		
I_{det2}	電圧低下検出消費電流			3	μA		
I_{det0}	リセット領域検出消費電流			6	μA		

注1. 実行するプログラムが存在するメモリを示します。

$V_{CC}=3V$

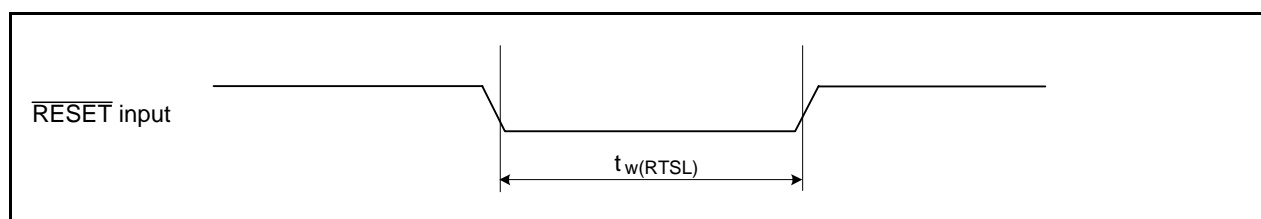
27.3.2 タイミング必要条件 (周辺機能、他)

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.3.2.1 リセット入力

表 27.31 リセット入力 (\overline{RESET} 入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(RSTL)}$	\overline{RESET} 入力“L”パルス幅	10		μs

図 27.15 リセット入力 (\overline{RESET} 入力)

27.3.2.2 外部クロック入力

表 27.32 外部クロック入力 (XIN入力)(注1)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	50		ns
$t_{w(H)}$	外部クロック入力“H”パルス幅	20		ns
$t_{w(L)}$	外部クロック入力“L”パルス幅	20		ns
t_r	外部クロック立ち上がり時間		9	ns
t_f	外部クロック立ち下がり時間		9	ns

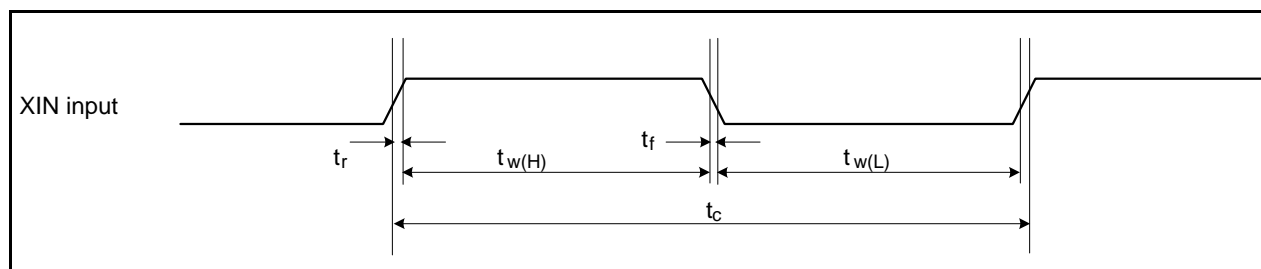
注1. 条件は $V_{CC}=2.7\sim 3.0V$ です。

図 27.16 外部クロック入力 (XIN入力)

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.3.2.3 タイマA入力

表 27.33 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	60		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	60		ns

表 27.34 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	300		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	300		ns

表 27.35 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

表 27.36 タイマA入力(パルス幅変調モード、プログラマブル出力モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIN入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIN入力“L”パルス幅	150		ns

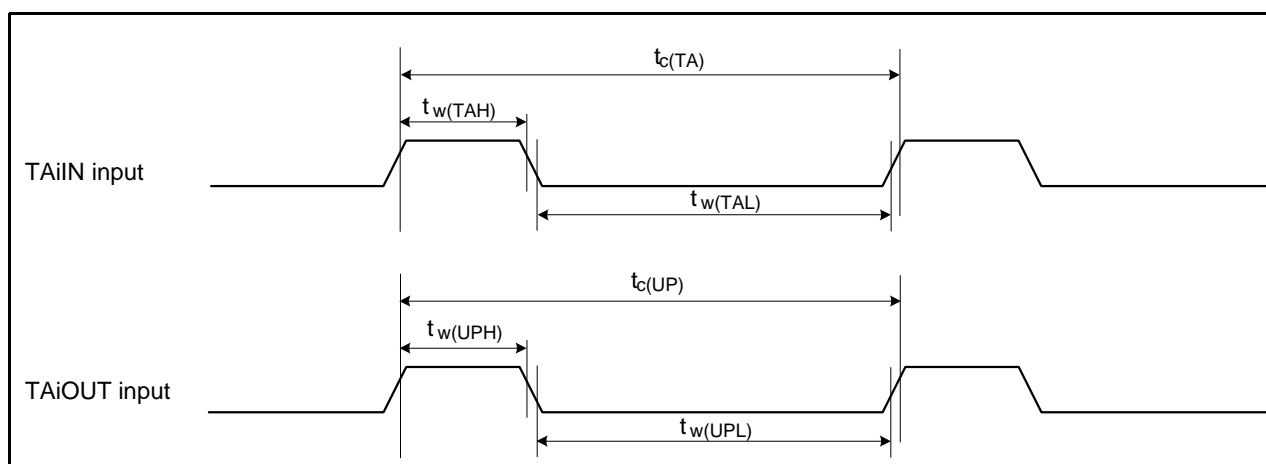


図 27.17 タイマA入力

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

表 27.37 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	2		μs
$t_{su(TAIN-TAOUT)}$	TAiOUT入力セットアップ時間	500		ns
$t_{su(TAOUT-TAIN)}$	TAiIN入力セットアップ時間	500		ns

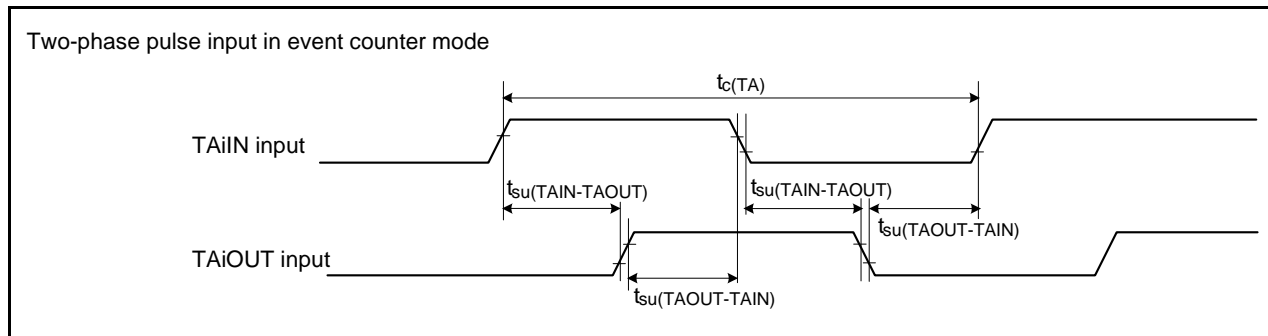


図 27.18 タイマA入力(イベントカウンタモードの二相パルス入力)

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.3.2.4 タイマB入力

表 27.38 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	60		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	120		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	120		ns

表 27.39 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

表 27.40 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	300		ns

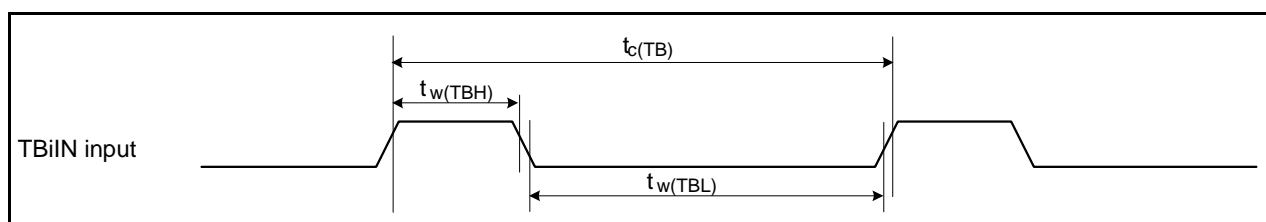


図 27.19 タイマB入力

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.3.2.5 タイマS入力

表 27.41 タイマS入力(二相パルス信号処理モードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TSH)$	TSUDA、TSUDB 入力“H”パルス幅	2		μs
$t_w(TSL)$	TSUDA、TSUDB 入力“L”パルス幅	2		μs
$t_{su}(TSUDA-TSUDB)$	TSUDB 入力セットアップ時間	1		μs
$t_{su}(TSUDB-TSUDA)$	TSUDA 入力セットアップ時間	1		μs

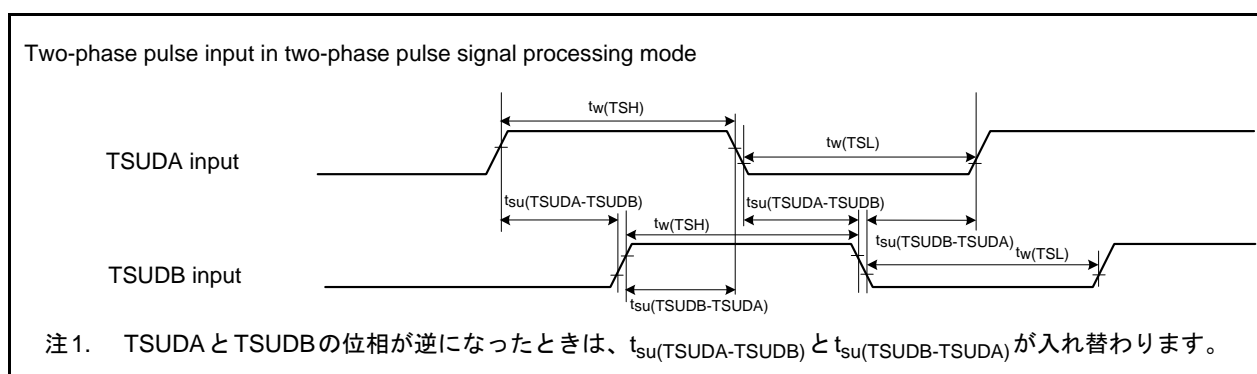


図 27.20 タイマS入力(二相パルス信号処理モードの二相パルス入力)

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)

27.3.2.6 シリアルインタフェース

表 27.42 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	300		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	150		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	150		ns
$t_d(C-Q)$	TXDi出力遅延時間		160	ns
$t_h(C-Q)$	TXDiホールド時間	0		ns
$t_{su}(D-C)$	RXDi入力セットアップ時間	100		ns
$t_h(C-D)$	RXDi入力ホールド時間	90		ns

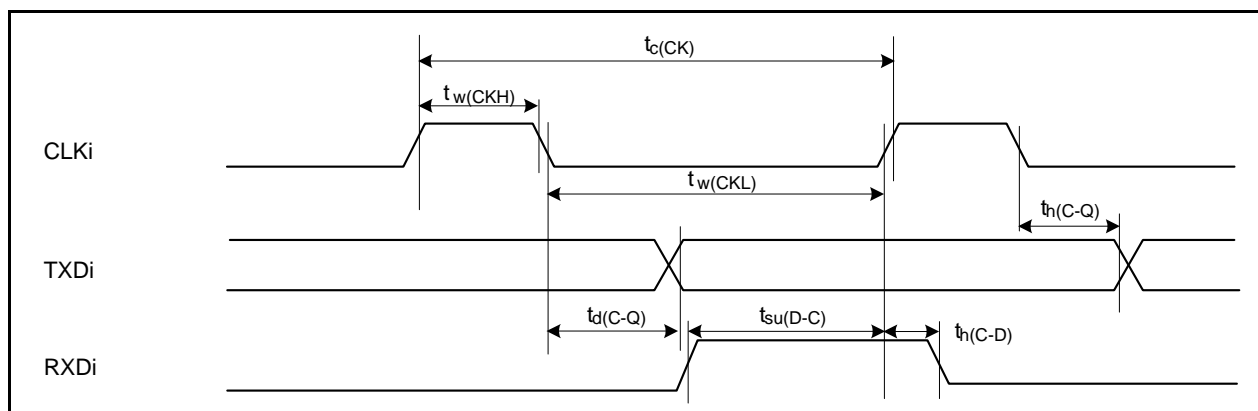
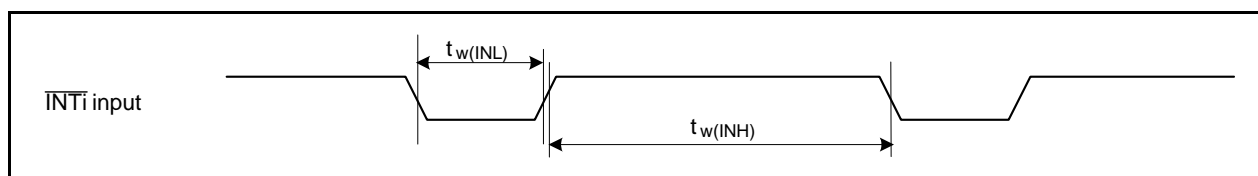


図 27.21 シリアルインタフェース

27.3.2.7 外部割り込み \overline{INTi} 入力表 27.43 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	\overline{INTi} 入力“H”パルス幅	380		ns
$t_w(INL)$	\overline{INTi} 入力“L”パルス幅	380		ns

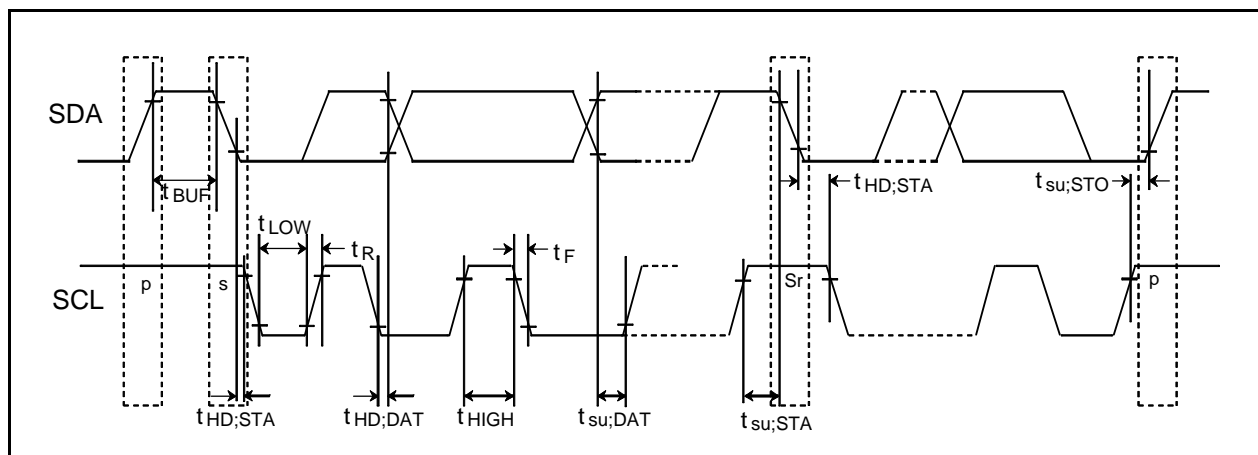
図 27.22 外部割り込み \overline{INTi} 入力

$V_{CC}=3V$

タイミング必要条件

(指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-40\sim 85^{\circ}C$)27.3.2.8 マルチマスタ I²C-bus表 27.44 マルチマスタ I²C-bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
t_{BUF}	バスフリー時間	4.7		1.3		μs
$t_{HD;STA}$	スタートコンディションホールド時間	4.0		0.6		μs
t_{LOW}	SCLクロック“0”ステータスのホールド時間	4.7		1.3		μs
t_R	SCL、SDA信号立ち上がり時間		1000	$20+0.1C_b$	300	ns
$t_{HD;DAT}$	データホールド時間	0		0	0.9	μs
t_{HIGH}	SCLクロック“1”ステータスのホールド時間	4.0		0.6		μs
t_F	SCL、SDA信号立ち下がり時間		300	$20+0.1C_b$	300	ns
$t_{su;DAT}$	データセットアップ時間	250		100		ns
$t_{su;STA}$	リスタートコンディションセットアップ時間	4.7		0.6		μs
$t_{su;STO}$	ストップコンディションセットアップ時間	4.0		0.6		μs

図 27.23 マルチマスタ I²C-bus

28. 使用上の注意事項

28.1 ノイズに関する注意事項

ノイズ対策として、VCC端子とVSS端子間にバイパスコンデンサ(0.1 μ F程度)を最短でかつ、比較的太い配線を使って接続してください。図 28.1 バイパスコンデンサの接続例を示します。

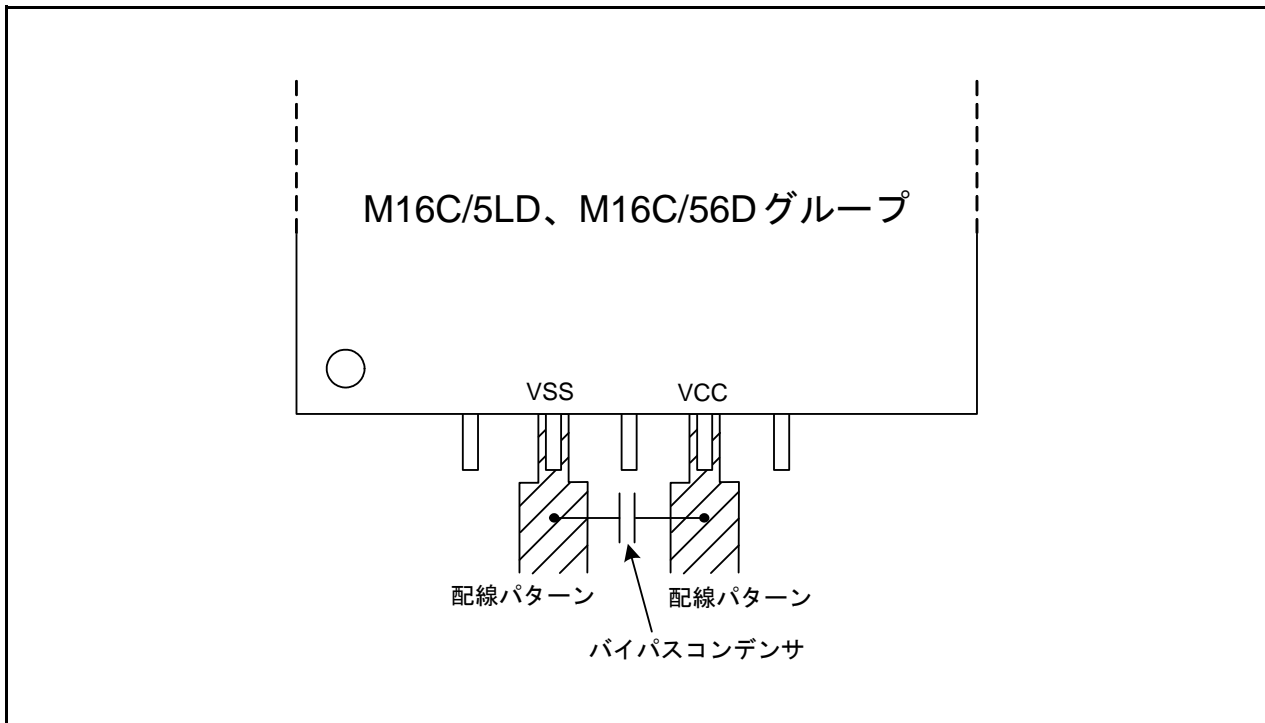


図 28.1 バイパスコンデンサの接続例

28.2 SFR使用上の注意事項

28.2.1 レジスタ設定時の注意事項

表 28.1 に書き込みのみ可能なビットを含むレジスタ、読み出しと書き込みで機能が異なるレジスタを示します。これらのレジスタには即値を設定してください(リードモディファイライト命令を使用しないでください)。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

なお、何も配置されていないビットは、リードモディファイライト命令が使用できます。

表 28.1 書き込みのみ可能なビットを含むレジスタ

アドレス	レジスタ名	シンボル
0249h	UART0ビットレートレジスタ	U0BRG
024Bh~024Ah	UART0送信バッファレジスタ	U0TB
0259h	UART1ビットレートレジスタ	U1BRG
025Bh~025Ah	UART1送信バッファレジスタ	U1TB
0269h	UART2ビットレートレジスタ	U2BRG
026Bh~026Ah	UART2送信バッファレジスタ	U2TB
0299h	UART4ビットレートレジスタ	U4BRG
029Bh~029Ah	UART4送信バッファレジスタ	U4TB
02A9h	UART3ビットレートレジスタ	U3BRG
02ABh~02AAh	UART3送信バッファレジスタ	U3TB
02B6h	I2C0制御レジスタ1	S3D0
02B8h	I2C0ステータスレジスタ0	S10
0303h~0302h	タイマA1-1レジスタ	TA11
0305h~0304h	タイマA2-1レジスタ	TA21
0307h~0306h	タイマA4-1レジスタ	TA41
030Ah	三相出力バッファレジスタ0	IDB0
030Bh	三相出力バッファレジスタ1	IDB1
030Ch	短絡防止タイマ	DTT
030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2
0327h~0326h	タイマA0レジスタ	TA0
0329h~0328h	タイマA1レジスタ	TA1
032Bh~032Ah	タイマA2レジスタ	TA2
032Dh~032Ch	タイマA3レジスタ	TA3
032Fh~032Eh	タイマA4レジスタ	TA4
037Dh	ウォッチドッグタイマリフレッシュレジスタ	WDTR
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS
D7C9h	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR
D7CBh	CAN0送信FIFOポインタ制御レジスタ	C0TFPCR

表 28.2 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROLC、RORC、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、DEC、DIV、DIVU、DIVX、EXTS、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
論理演算	AND、NOT、OR、XOR
ジャンプ	ADJNZ、SBJNZ

28.3 プロテクト使用上の注意事項

PRC2ビットにプログラムで“1”（書き込み許可）を書いた後、任意のSFRに書き込みを実行すると、PRC2ビットは“0”（書き込み禁止）になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

28.4 リセット使用上の注意事項

28.4.1 電源立ち上がり勾配

電源投入時等、VCC端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源立ち上がり勾配 (VCC) (電圧範囲0V~2.0V)	0.05			V/ms

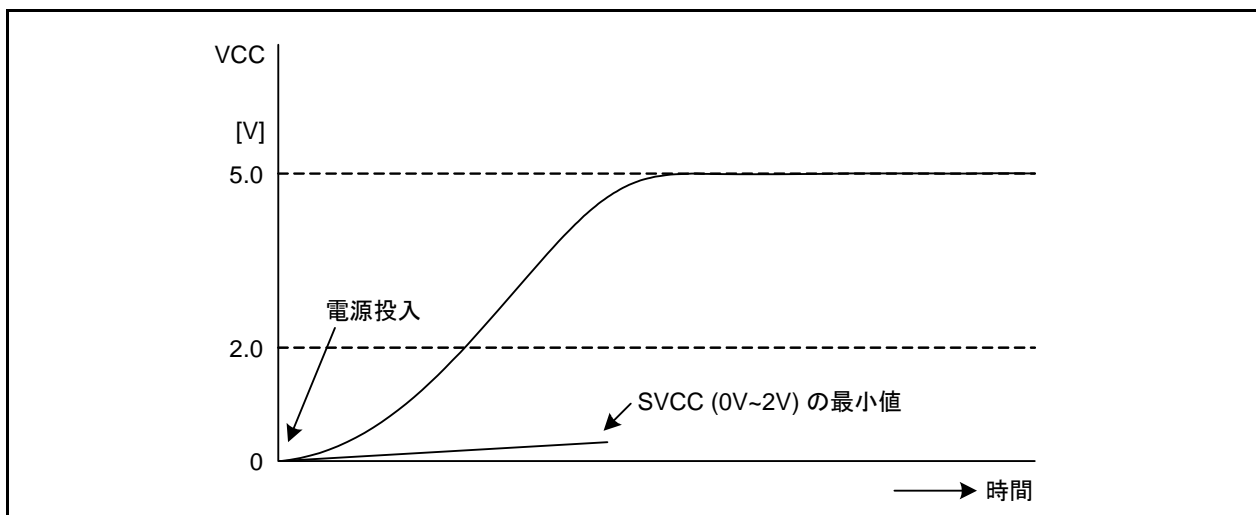


図 28.2 SVCCのタイミング例

28.4.2 パワーオンリセット

パワーオンリセットは、電圧監視0リセットを併用してください。パワーオンリセットを使用する場合はOFS1番地のLVDASビットを“0”（ハードウェアリセット後、電圧監視0リセット有効）にしてください。この場合、電圧監視0リセットが有効（VW0CレジスタのVW0C0ビットが“1”、ビット6が“1”、VCR2レジスタのVC25ビットが“1”）になります。プログラムでこれらを無効にしないでください。

28.4.3 OSDRビット（発振停止検出リセット検出フラグ）

発振停止検出リセットが発生すると、マイクロコンピュータは初期化後、停止します。この状態はハードウェアリセット、または電圧監視0リセットで解除されます。

ただし、RSTFRレジスタのOSDRビットはハードウェアリセットでは変化しませんが、電圧監視0リセットでは“0”（未検出）になります。

28.4.4 VCC < Vdet0の場合のハードウェアリセット

OFS1番地のLVDASビットが“0”（ハードウェアリセット後、電圧監視0リセット有効）かつVCC < Vdet0の状態、ハードウェアリセットした場合、 $\overline{\text{RESET}}$ 端子の入力レベルが“L”から“H”になると、リセットベクタで示される番地からプログラムを開始します。電圧監視0リセットにはなりません。

28.5 クロック発生回路使用上の注意事項

28.5.1 発振子を用いた発振回路

発振子を接続する場合は次のようにしてください。

- 発振特性はユーザのボード設計に密接に関係しますので、実際のボードで十分評価してください
- 発振回路構成は発振子によって異なります。M16C/5LD、M16C/56Dグループは帰還抵抗を内蔵していますが、外部に帰還抵抗が必要な場合があります。また、回路定数は発振子や実装回路の浮遊容量などで変わります。これらは発振子メーカーにご相談ください。
- 発振回路が生成したクロックが、マイコン内部に正しく伝わっていることをCLKOUT端子の出力で確認してください。

次に各クロックをCLKOUT端子から出力する方法を示します。

メインクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM1レジスタのCM11ビット、CM0レジスタのCM07ビット、CM2レジスタのCM21ビットを、すべて“0”(メインクロック選択)にする
- (3) CLKOUT端子から出力するクロックを選択する(下表参照)
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

表 28.3 メインクロック選択時のCLKOUT端子の出力

ビット設定		CLKOUT端子の出力
PCLKRレジスタ	CM0レジスタ	
PCLK5ビット	CM01~CM00ビット	
1	00b	メインクロックと同一周波数のクロック
0	10b	メインクロックの8分周
0	11b	メインクロックの32分周

サブクロック確認方法

- (1) PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
- (2) CM0レジスタのCM07ビットを“1”(サブクロック選択)にする
- (3) PCLKRレジスタのPCLK5ビットを“0”、CM0レジスタのCM01~CM00ビットを“01b”(CLKOUT端子からfCを出力)にする
- (4) PRCRレジスタのPRC0ビットを“0”(書き込み禁止)にする

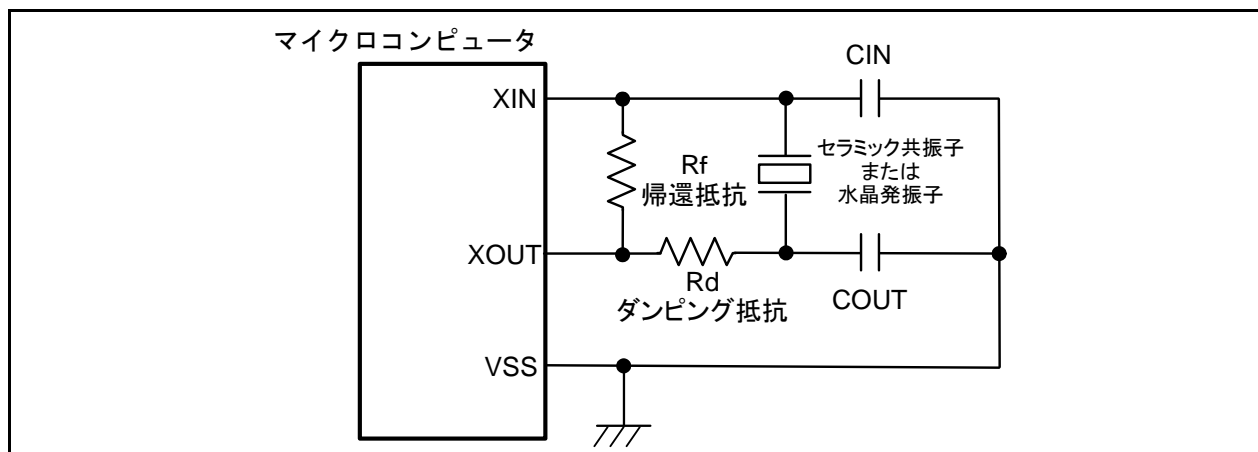


図 28.3 発振回路例

28.5.2 発振回路のノイズ対策

28.5.2.1 クロック入出力端子の配線

- クロック入出力端子に接続する配線は短くしてください。
- 発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは最短(20mm以内)の配線で接続してください。

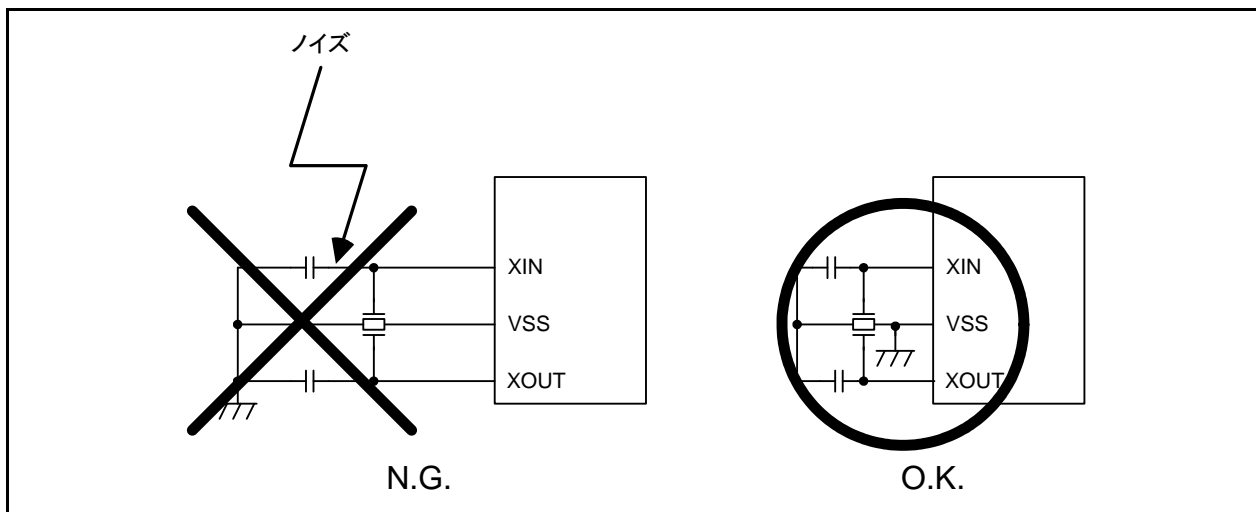


図 28.4 クロック入出力端子の配線

•理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

28.5.2.2 大電流が流れる信号線

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

•理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

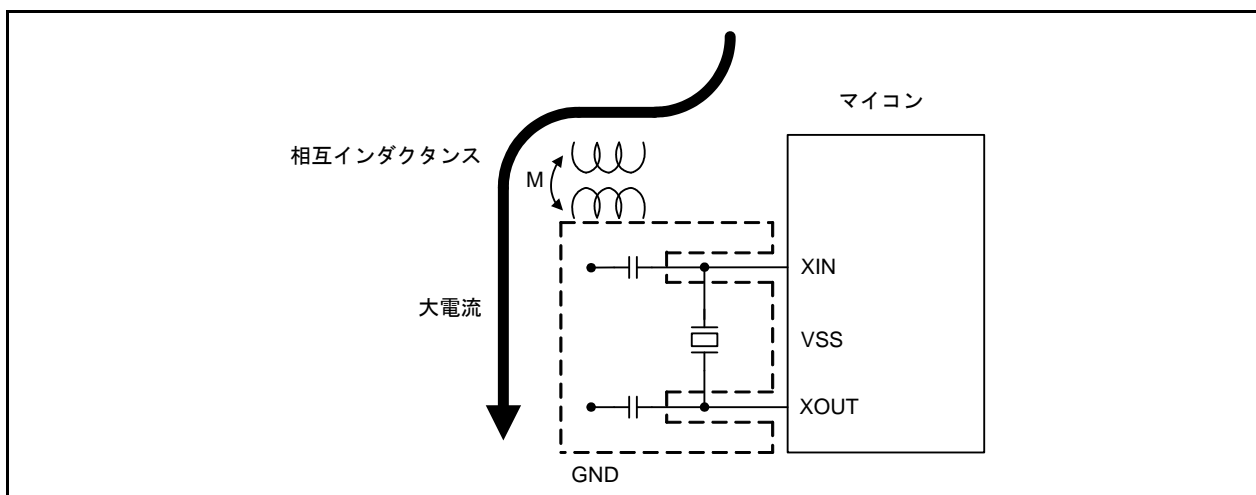


図 28.5 大電流が流れる信号線の配線

28.5.2.3 高速にレベル変化する信号線

高速にレベル変化する信号線は、発振子および発振子の配線パターンからできるだけ遠い位置に配置してください。また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差および平行に長く引き回さないでください。

•理由

高速にレベル変化するTAiOUT端子などの信号は、立ち上がりまたは立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

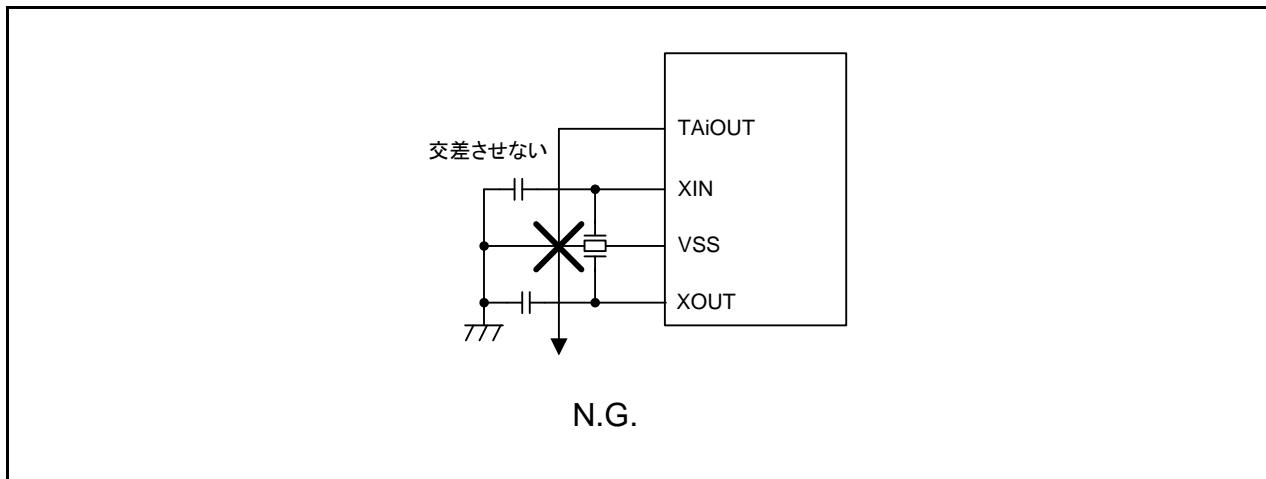


図 28.6 高速にレベル変化する信号線の配線

28.5.3 CPUクロック

(テクニカルアップデート番号: TN-M16C-109-0309)

外部で生成したクロックをXIN端子に入力し、かつCPUクロック源をメインクロックにしている場合、外部で生成したクロックを停止させないでください。

28.5.4 発振停止/再発振検出機能

- 次の場合は、CM20ビットを“0”（発振停止/再発振検出機能無効）にした後、それぞれの状態に遷移してください。

CM05ビットを“1”（メインクロック停止）にする場合

CM10ビットを“1”（ストップモード）にする場合

- 発振停止/再発振検出機能を使用中にウェイトモードへ遷移する場合は、CM02ビットを“0”（ウェイトモード時周辺機能クロックf1を停止しない）にしてください。
- メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”（発振停止/再発振検出機能無効）にしてください。

28.5.5 PLL周波数シンセサイザ使用時

PLL周波数シンセサイザをご使用になる場合は、電源リップルの許容範囲内で電源電圧を安定させてください。

表 28.4 電源リップルの許容範囲

記号	項目	規格値			単位
		最小	標準	最大	
$f(\text{ripple})$	電源リップル許容周波数(VCC)			10	kHz
$V_{p-p}(\text{ripple})$	電源リップル許容振幅電圧	(VCC=5V時)		0.5	V
		(VCC=3V時)		0.3	V
$V_{CC}(\Delta V/\Delta T)$	電源リップル立ち上がり/立ち下がり勾配	(VCC=5V時)		0.3	V/ms
		(VCC=3V時)		0.3	V/ms

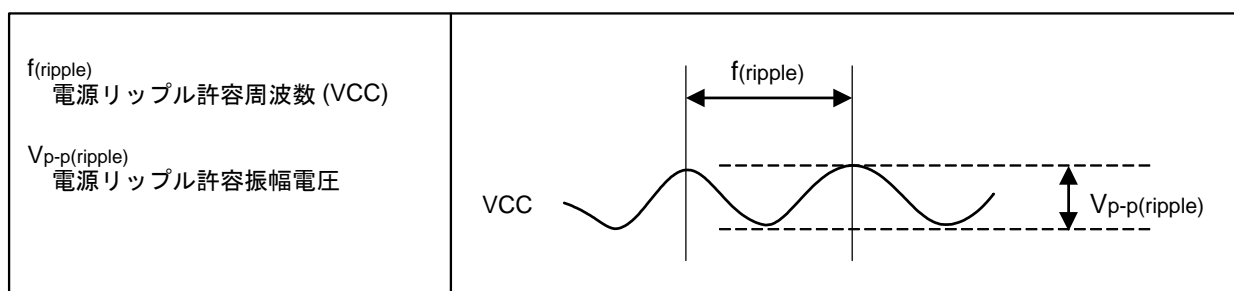


図 28.7 電源変動のタイミング図

28.6 パワーコントロール使用上の注意事項

28.6.1 CPUクロック

CPUクロックのクロック源を切り替えるときは、切り替え先の発振が安定してから切り替えてください。ストップから復帰した後は、分周を変更する場合も、発振が安定してから変更してください。

28.6.2 ウェイトモード

- WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに遷移する場合、命令キューはWAIT命令より後の命令まで先読みするため、先読みされた命令がウェイトモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにWAIT命令の直前に、Iフラグを“1”にする命令を配置すると、WAIT命令を実行する前に割り込み要求が受け付けられることはありません。

ウェイトモードに遷移するときのプログラム例を示します。

```
例:      FSET    I          ;
          WAIT          ;ウェイトモードに遷移
          NOP          ;NOP命令を4つ以上
          NOP
          NOP
          NOP
```

- 次の場合は、ウェイトモードに遷移しないでください。()内の処理をした後、ウェイトモードに遷移してください。
 - PLL動作モード (中速モードに遷移した後、PLC07ビットを“0” (PLL停止)にする)
 - 低消費電流リードモード (FMR2レジスタのFMR23ビットを“0” (低消費電流リードモード禁止)にする)
 - CPU書き換えモード (FMR0レジスタのFMR01ビットを“0” (CPU書き換えモード無効)にし、DMA転送を禁止にする)
- PLC0レジスタのPLC07ビットを“0” (PLL停止)にしてください。PLC07ビットが“1” (PLL動作)の場合は、ウェイトモードにしても消費電流が低減できません。

28.6.3 ストップモード

- ストップモードからハードウェアリセットによって復帰する場合、fOCO-Sの20サイクル以上 $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ (i=0~4)のMR0ビットを“0” (パルス出力なし)にしてください。
- ストップモードに遷移するとき、CM1レジスタのCM10ビットを“1” (ストップモード)にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに遷移する場合、命令キューはCM10ビットを“1”にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。なお、下のプログラムのようにCM10ビットを“1”にする命令の直前に、Iフラグを“1”にする命令を配置すると、ストップモードになる前に割り込み要求が受け付けられることはありません。

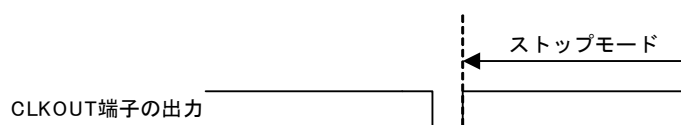
ストップモードに遷移するときのプログラム例を示します。

```

例:      FSET    I
          BSET    0, CM1      ;ストップモードに遷移
          JMP.B   L2          ;JMP.B 命令を挿入

L2:      NOP
          NOP                ;NOP命令を4つ以上
          NOP
          NOP
          NOP
  
```

- ストップモード時、CLKOUT端子は“H”を出力します。したがって、CLKOUT端子の出力が“H”から“L”になった直後にストップモードになると“L”幅が短くなります。



- 次の場合は、ストップモードに遷移しないでください。()内の処理をした後、ストップモードに遷移してください。
 - PLL動作モード(中速モードに遷移した後、PLC07ビットを“0”(PLL停止)にする)
 - 低消費電流リードモード(FMR2レジスタのFMR23ビットを“0”(低消費電流リードモード禁止)にする)
 - CPU書き換えモード(FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止にする)
 - 発振停止/再発振検出機能有効(CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする)
- FMR01ビットが“1”(CPU書き換えモード有効)の場合は、ストップモードに遷移禁止です。このため、フラッシュメモリ停止(FMR01ビットが“1”、かつFMSTPビットが“1”)の場合は、ストップモードに遷移しないでください。

28.6.4 低消費電流リードモード

- 低消費電流リードモードに遷移する際は、スローリードモードを経由してください(「図 9.5 低消費電流リードモードの設定、解除」参照)。
- FMR2レジスタのFMR23ビットが“1”(低消費電流リードモード許可)のとき、FMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。
- FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR23ビットを“1”(低消費電流リードモード許可)にしないでください。

28.6.5 スローリードモード

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモードが有効)のときに、FMR2レジスタのFMR22ビットを“1”(スローリードモード許可)にしないでください。

28.7 プログラマブル入出力ポート使用上の注意事項

注意

64ピン版にはP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P9_5~P9_7はありません。

28.7.1 端子割り当て制御

PACRレジスタのPACR2~PACR0ビットはリセット後“000b”です。使用する製品にあわせて“010b” (64ピン版)または“011b” (80ピン版)を選択してください。

PACR2~PACR0ビットを設定した後でプログラマブル入出力ポートや周辺機能の入出力を設定してください。

28.7.2 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

28.7.3 入力閾値電圧

プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VILの範囲外 (“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

28.8 割り込み使用上の注意事項

28.8.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”(割り込み要求なし)になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生したりすることがあります。

28.8.2 SPの設定

割り込みを受け付ける前に、SP (USP、ISP) に値を設定してください。リセット後、SP (USP、ISP) は“0000h”です。そのため、SP (USP、ISP) に値を設定する前に割り込みを受け付けると、暴走の要因となります。

プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、すべての割り込みが禁止されています。

28.8.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みを使用しない場合は、PM2レジスタのPM24ビットを“0”($\overline{\text{NMI}}$ 割り込み禁止) にしてください。
- リセット後、 $\overline{\text{NMI}}$ 割り込みは無効です。PM2レジスタのPM24ビットを“1”にすることで有効になります。 $\overline{\text{NMI}}$ 端子に“H”が入力されている状態で、PM24ビットに“1”を設定してください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている状態で、PM24ビットに“1”を設定すると、その時点で $\overline{\text{NMI}}$ 割り込みが発生します。なお、 $\overline{\text{NMI}}$ 割り込みを一度有効にすると、リセットされるまで無効にできません。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに遷移できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。
- PM24ビットが“1”($\overline{\text{NMI}}$ 割り込み許可)、かつ $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウェイトモードに遷移しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

28.8.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 28.8に割り込み要因の変更手順例を示します。

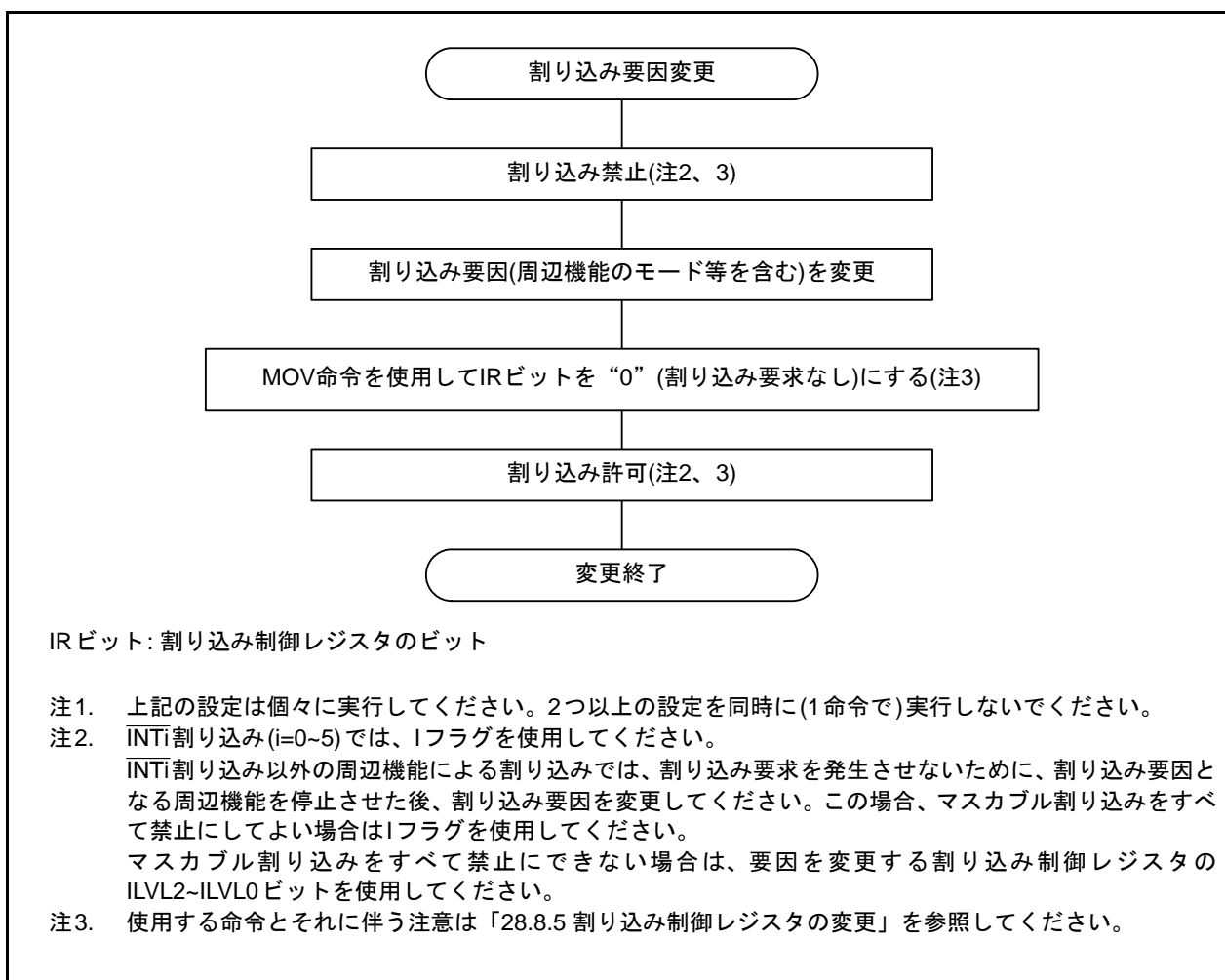


図 28.8 割り込み要因の変更手順例

28.8.5 割り込み制御レジスタの変更

割り込み制御レジスタを変更する場合は、次のいずれかにしてください。

- 割り込み制御レジスタに対応する割り込み要求が、発生しない箇所を変更する
- 割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更する

なお、Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例に従ってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は「28.8.6 割り込み制御レジスタを変更する命令」を参照してください。)

例1~例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ;割り込み禁止
  AND.B   #00H, 0055H     ;TA0ICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ;割り込み許可
```

例2: ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ;割り込み禁止
  AND.B   #00H, 0055H     ;TA0ICレジスタを“00h”にする
  MOV.W   MEM, R0        ;ダミーリード
  FSET    I                ;割り込み許可
```

例3: POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ;割り込み禁止
  AND.B   #00H, 0055H     ;TA0ICレジスタを“00h”にする
  POPC    FLG            ;割り込み許可
```

28.8.6 割り込み制御レジスタを変更する命令

- 割り込み制御レジスタの変更に、BTSTC命令、BTSTS命令を使用しないでください。
- 割り込み制御レジスタの変更には、次の命令を使用してください。

AND、OR、BCLR、BSET、MOV

このうち、AND、OR、BCLR、BSET命令では、実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)になり、その状態を保持します。

28.8.7 $\overline{\text{INT}}$ 割り込み

- $\overline{\text{INT}}0\sim\overline{\text{INT}}5$ 端子に入力する信号には、CPUクロックに関係なくtw(INL)以上の“L”幅またはtw(INH)以上の“H”幅が必要です。
- $\text{INT}0\text{IC}\sim\text{INT}5\text{IC}$ レジスタのPOLビット、IFSRレジスタのIFSR7~IFSR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

28.9 ウォッチドッグタイマ使用上の注意事項

ウォッチドッグタイマ割り込み発生後は、WDTR レジスタでウォッチドッグタイマカウンタをリフレッシュしてください。

28.10 DMAC使用上の注意事項

28.10.1 DMiCONレジスタのDMAEビットへの書き込み(i=0~3)

(テクニカルアップデート番号: TN-M16C-92-0301)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- DMAEビットが“1” (DMA_iがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。
- (2) DMA_iが初期状態(注2)になっていることを、プログラムで確認する。
DMA_iが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。

DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCR_iレジスタの値で確認してください。

TCR_iレジスタを読んで、DMA転送開始前にTCR_iレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCR_iレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

28.10.2 DMA要求要因の変更

DMiSLレジスタのDMSビットまたはDSEL4~DSEL0ビットを変更すると、DMiCONレジスタのDMASビットが“1”(DMA要求あり)になることがあります。DMSビットまたはDSEL4~DSEL0ビットを変更した後は、DMASビットを“0”(DMA要求なし)にしてください。

28.11 タイマA使用上の注意事項

28.11.1 複数モードに関わる共通事項

28.11.1.1 レジスタの設定

リセット後、タイマは停止しています。TAiMR (i=0~4)レジスタ、TAiレジスタ、TAi1レジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

また、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、PWMFSレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタ、PCLKRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

28.11.1.2 イベントまたはトリガ

ONSFレジスタ、TRGSRレジスタのTAiTGH~TAiTGLビットが“01b”~“11b”の場合、選択したタイマの割り込み要求発生タイミングで、イベントまたはトリガが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TAiTGH~TAiTGLビットで選択したタイマのモードによっては、オーバフロー、アンダフロー以外の要因で割り込み要求が発生します。例えば、タイマB2のパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。詳細は各モードの仕様の表の「割り込み要求発生タイミング」を参照してください。

28.11.1.3 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

28.11.2 タイマA(タイマモード)

28.11.2.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.11.3 タイマA (イベントカウンタモード)

28.11.3.1 タイマの読み出し

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.11.4 タイマA (ワンショットタイマモード)

28.11.4.1 カウントを中断した場合の状態

カウント中にTAiSビットを“0” (カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの値をリロードします。
- TAiOUT端子は、TAPOFSレジスタのPOFSiビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiCレジスタのIRビットが“1” (割り込み要求あり)になります。

28.11.4.2 外部トリガから出力開始までの遅延

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。

28.11.4.3 動作モードの変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

28.11.4.4 再トリガ

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

また、外部トリガの場合は、カウント値が“0000h”になる前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

28.11.5 タイマA (パルス幅変調モード)

28.11.5.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

28.11.5.2 カウントを中断した場合の状態

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

28.11.6 タイマA(プログラマブル出力モード)

28.11.6.1 動作モード変更

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードまたはプログラマブル入出力モードを選択したとき
- 動作モードをタイマモードからPWMモードまたはプログラマブル入出力モードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードまたはプログラマブル入出力モードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

28.11.6.2 カウントを中断した場合の状態

パルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化しません。
- IRビットは変化しません。

28.12 タイマB使用上の注意事項

28.12.1 複数モードに関わる共通事項

28.12.1.1 レジスタの設定

リセット後、タイマは停止しています。TBiMR (i=0~2)レジスタ、TBCS0~TBCS1レジスタ、TBiレジスタ、PCLKRレジスタ、PPWFS1レジスタによって、モードやカウントソース、カウンタ値等を設定した後、TABSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタ、TBCS0~TBCS1レジスタ、PCLKRレジスタ、PPWFS1レジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。

28.12.2 タイマB(タイマモード)

28.12.2.1 タイマの読み出し

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.12.3 タイマB(イベントカウンタモード)

28.12.3.1 タイマの読み出し

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.12.3.2 イベント

TBiMRレジスタのTCK1ビットが“1”の場合、選択したタイマの割り込み要求発生タイミングで、イベントが発生します(IフラグやIPL、割り込み制御レジスタの影響を受けないので、割り込み禁止でもイベントまたはトリガは発生します)。

TCK1ビットで選択したタイマがパルス周期測定モード、パルス幅測定モードの場合、測定パルスの有効エッジでも割り込み要求が発生します。

28.12.4 タイマB(パルス周期測定/パルス幅測定モード)

28.12.4.1 TBiMRレジスタのMR3ビット

MR3ビットを“0”にするために、TBiSビットが“1”(カウント開始)の状態、TBiMRレジスタへ書く場合、TMOD0、TMOD1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、ビット4へは“0”を書いてください。

28.12.4.2 割り込み

TBiICレジスタ(i=0~2)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。

オーバフローだけの検出にはTBiICレジスタのIRビットを使用してください。MR3ビットは、割り込み要因を判断するときだけ使用してください。

28.12.4.3 イベントまたはトリガ

タイマBiのパルス周期/パルス幅測定モードを、タイマAやタイマBi以外のタイマBのイベントまたはトリガに使用する場合、オーバフローと、測定パルスの有効エッジの両方でイベントまたはトリガが発生します。

28.12.4.4 カウント開始から最初の測定まで

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

リセット後カウンタの値は不定です。したがって、このままカウントを開始すると、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。TBiSビットが“0”(カウント停止)のときにTBiレジスタに値を設定すると、同じ値がカウンタに入ります。

28.12.4.5 パルス周期測定モード

オーバフローと有効エッジが同時に発生した場合、割り込み要求は1回しか発生しないため、有効エッジで入力を判断できません。オーバフローしない範囲で使用するか、またはパルス幅測定モードで測定してください。

28.12.4.6 パルス幅測定モード

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

また、割り込み要求が発生した場合、割り込みルーチン内でTBiIN端子のレベルを読み、入力パルスのエッジまたはオーバフローを判断してください。TBiIN端子のレベルは端子を共用するポートのレジスタのビットから読み出せます。

28.13 三相モータ制御用タイマ機能使用上の注意事項

28.13.1 タイマA、タイマB

タイマA、タイマBの使用上の注意事項を参照してください。

28.13.2 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

28.14 タイマS使用上の注意事項

28.14.1 レジスタアクセス

一部のレジスタまたはビットの説明で「このレジスタ(ビット)に書いた値は、ベースタイマのカウントソース fBT1 に同期して内部回路に反映されます。」と記したものがあります。これらのレジスタ(ビット)に値を書いた場合、内部回路にはすぐに反映されません。そのため、値を書いた後、最大で fBT1 の1サイクルの間は書く前の動作を行います。また、これらのレジスタ(ビット)に書き込んだ直後に同じレジスタ(ビット)を読み出した場合、書き込み前の値を読むことがあります。

28.14.2 G1IRレジスタの変更

G1IRレジスタのG1IR j (j=0~7) ビットは割り込み要求の受け付けでは、自動的に“0”になりませんが、プログラムで“0”にしてください。

ただし、G1IRj ビットが“1”になってから fBT1 の1サイクル間は“0”にできません。G1IR j ビットを“0”にする場合は、G1IR j ビットが“1”になってから fBT1 の1サイクル以上経過した後に“0”にしてください。

また、他のチャンネルの要求を消さないために下の命令を使用してください。

AND、BCLR

図 28.9にIC/OC割り込み0の処理例を示します。この例のように割り込み処理の最後にG1IEiレジスタで一度すべてのチャンネルを禁止にした後、再び許可してください。

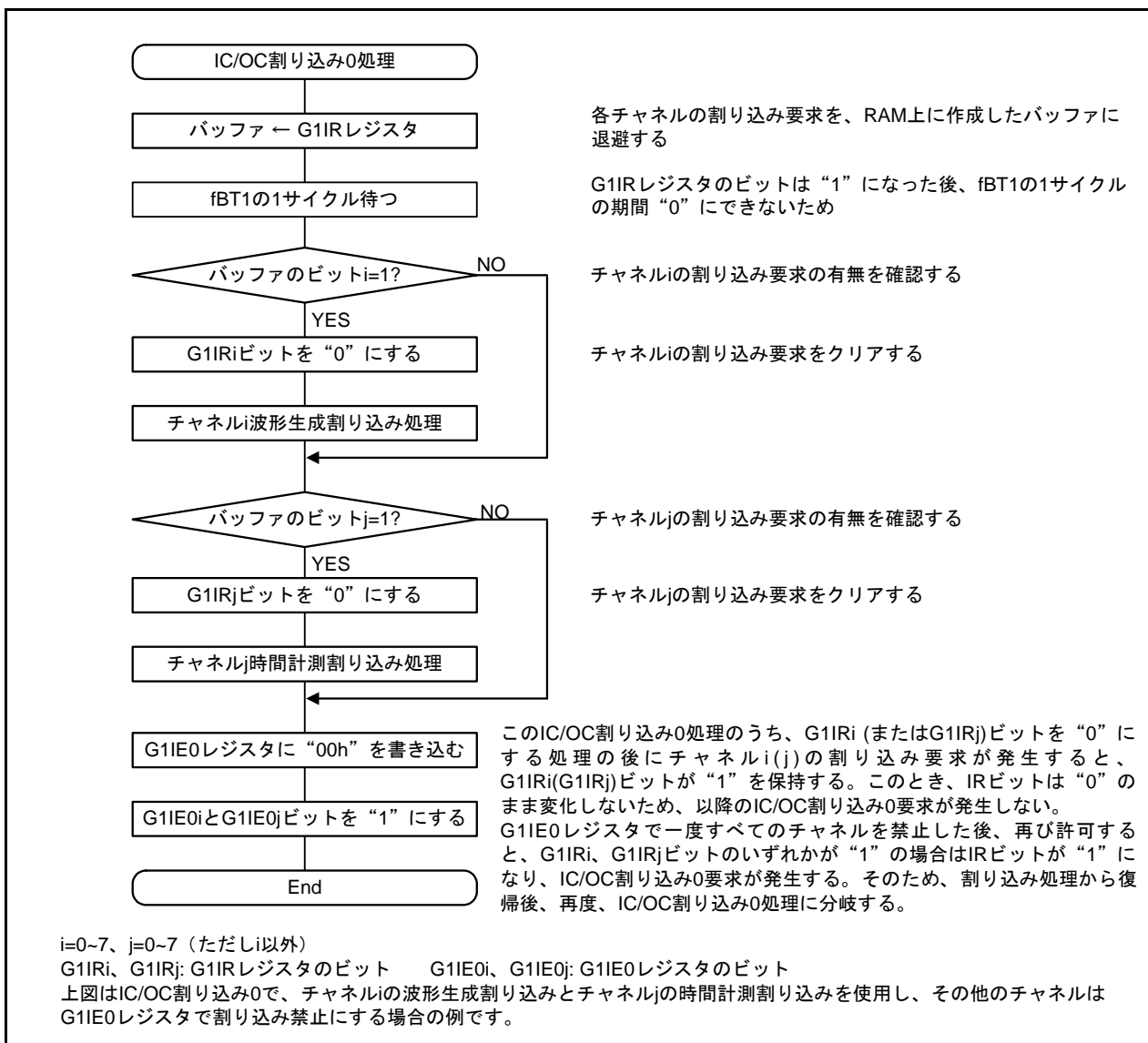


図 28.9 IC/OC割り込み0の処理例

28.14.3 ICOCiIC レジスタの変更 (i=0, 1)

G1IEi レジスタのG1IEij ビット (j=0~7) を“1” (割り込み許可) にし、かつチャンネルjの割り込み要求が発生する可能性のある箇所でICOCiIC レジスタのILVL2~ILVL0 ビットを変更する場合は、下の命令を使用してください。これらの命令では命令実行中にチャンネルjの割り込み要求が発生した場合、IR ビットが“1” (割り込み要求あり) になります。

AND、OR、BCLR、BSET

これをMOV 命令で変更すると、MOV 命令実行中にチャンネルjの割り込み要求が発生した場合、IR ビットが“1”に変化せず割り込み要求が無視されます。このとき、G1IR レジスタのG1IRj ビットは“1” (割り込み要求あり) になるので、このままで放置すると、この後、IC/OC 割り込みiの要求は発生しません。

なお、タイマSの初期設定を行うときは、ICOCiIC レジスタおよびG1IR レジスタにそれぞれ“00h”を設定後、再度ICOCiIC レジスタを変更してください。

28.14.4 BTS ビットによるベースタイマリセット中の出力波形

波形出力中にG1BCR1 レジスタのBTS ビットを“0” (ベースタイマリセット) にすると、波形出力端子の出力は、そのときのレベルを保持します。この状態は、BTS ビットを“1” (ベースタイマカウント開始) にした後、ベースタイマの値がG1POj レジスタと一致するまで続きます。

28.14.5 G1PO0 レジスタによるベースタイマリセット中のOUTC1_0 端子出力

G1BCR1 レジスタのRST1 ビットを“1” (G1PO0 レジスタとベースタイマとの一致でベースタイマをリセットする) とした場合、ベースタイマとG1PO0 レジスタの値が一致するとfBT1の2クロック後にベースタイマがリセットされます。ベースタイマの一致からベースタイマがリセットされるまでのfBT1の2クロック間はOUTC1_0 端子から“H”レベルが出力されますので、G1OER レジスタのEOC0 ビットを“1” (出力禁止) にしてください。

28.14.6 時間測定機能選択時の割り込み要求

G1FS レジスタのFSCj (j=0~7) ビットを“1” (時計計測機能)、かつG1FE レジスタのIFEj ビットを“1” にすると、最大でfBT1の2サイクル後 (注1) にG1IR レジスタのG1IRj ビットやICOCiIC (i=0, 1)、ICOCHjIC (ただしj=0~3) レジスタのIR ビットが“1” (割り込み要求あり) になることがあります。

このため、IC/OC 割り込みiまたはIC/OCチャンネルj割り込みを使用する場合、FSCj ビットを“1”かつIFEj ビットを“1”にした後、次の処理をしてください。

- (1) fBT1の2サイクル (注1) 以上待つ
- (2) ICOCiIC、ICOCHjIC レジスタのIR ビットを“0”にする
- (3) (時間測定機能選択からfBT1の3サイクル (注1) 以上待ってから)G1IR レジスタを“00h”にする (G1IR レジスタはICOCiIC レジスタのIR ビットを“0”にした後で、“00h”にする) (注2)

注1. デジタルフィルタを使用する場合、その時間も考慮してください。デジタルフィルタの詳細は「18.2.4 時間計測制御レジスタ j (G1TMCRj) (j=0~7)」、「図 18.12 時間計測機能 (2/2)」の(3)を参照してください。

注2. G1IR レジスタを読み出し“00h”になっていることを確認してください。“00h”になるまで書き込みを繰り返してください。

28.15 タスク監視タイマの注意事項

28.15.1 レジスタ設定

リセット後、タイマは停止しています。TMOSレジスタ、TMOSCSレジスタによって、カウンタの値やカウントソースを設定した後、TMOSSRレジスタのTMOS0Sビットを“1”(カウント開始)にしてください。

なお、TMOSCSレジスタは、TMOS0Sビットが“0”(カウント停止)の状態に変更してください。

28.15.2 タイマの読み出し

カウント中のカウンタの値は、TMOSレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTMOSレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

28.16 リアルタイムクロック使用上の注意事項

28.16.1 カウント開始、停止

リアルタイムクロックにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにRTCCR1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとリアルタイムクロックがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとリアルタイムクロックがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの3サイクル分の時間がかかります。この間、TCSTFビットを除くリアルタイムクロック関連レジスタをアクセスしないでください。

注1. リアルタイムクロック関連レジスタ: RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR1、RTCCR2、RTCCSR、RTCCSEC、RTCCMIN、RTCCHR

28.16.2 レジスタ設定(時刻データ他)

次のレジスタやビットは、リアルタイムクロックが停止中に書いてください。

- RTCSEC、RTCMIN、RTCHR、RTCWK、RTCCR2レジスタ
- RTCCR1レジスタのH12H24ビット、RTCPMビット
- RTCCSRレジスタのRCS0~RCS4ビット

リアルタイムクロックが停止中とは、RTCCR1レジスタのTSTARTビットとTCSTFビットがともに“0”(リアルタイムクロック停止)の状態を指します。

また、RTCCR2レジスタは、上記のレジスタやビットの設定の最後(リアルタイムクロックカウント開始の直前)に設定してください。

「図 20.4 時刻、日変更手順(コンペアモードを使用しない、またはコンペア1モード)」「図 20.5 時刻、日変更手順(コンペア2モード、またはコンペア3モード)」を参照してください。

28.16.3 レジスタ設定(コンペアデータ)

次のレジスタやビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに書いてください。

- RTCCSEC、RTCCMIN、RTCCHRレジスタ

28.16.4 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データ(注1)のビットは、RTCSECレジスタのBSYビットが“0”(データ更新中ではない)のときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

リアルタイムクロック周期割り込みルーチン内で、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法1

プログラムでRTCTICレジスタのIRビットを監視し、“1”(周期割り込み要求発生)になったら、時刻データのビットのうち、必要な値を読み出す。

- プログラムで監視する方法2

「図 28.10 時刻データ読み出し」に示す手順で読み出す。

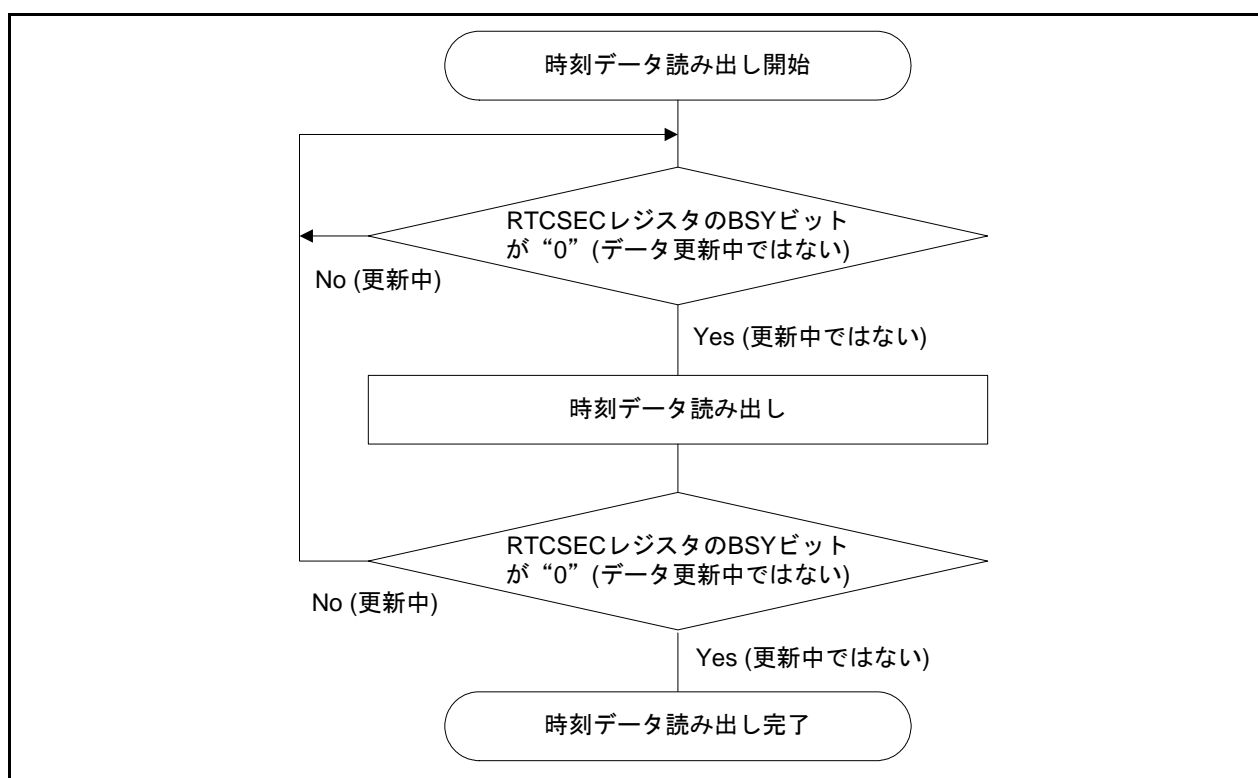


図 28.10 時刻データ読み出し

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

注1. 時刻データのビットは次のとおりです。

RTCSECレジスタのSC12~SC10、SC03~SC00ビット

RTCMINレジスタのMN12~MN10、MN03~MN00ビット

RTCHRレジスタのHR11~HR10、HR03~HR00ビット

RTCWKレジスタのWK2~WK0ビット

RTCCR1レジスタのRTCPMビット

28.17 シリアルインタフェース UART_i (i=0~4) 使用上の注意事項

注意

64ピン版は、CLK4、RXD4、TXD4端子がありません。UART4関連レジスタをアクセスしないでください。

28.17.1 複数モードに関わる共通事項

28.17.1.1 \overline{SD} 入力の影響

TB2SCレジスタのIVPCR1ビットが“1”(\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、次の端子は、ハイインピーダンスになります。

対象端子: P7_2/CLK2/TA1OUT/V/RXD1、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ \overline{V} /TXD1、P7_4/TA2OUT/W、P7_5/TA2IN/ \overline{W} 、P8_0/TA4OUT/U/TSUDA、P8_1/TA4IN/ \overline{U} /TSUDB

28.17.2 クロック同期形シリアルI/Oモード

28.17.2.1 送受信

外部クロック選択時、 \overline{RTS} 機能を選択した場合は、受信可能状態になると \overline{RTSi} (i=0~3)端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると \overline{RTSi} 端子の出力レベルは“H”になります。このため、 \overline{RTSi} 端子を送信側の \overline{CTSi} 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は \overline{RTS} 機能は無効です。

28.17.2.2 送信

外部クロックを選択し、UiC0レジスタ(i=0~4)のTXEPTビットが“1”(送信レジスタにデータなし)の状態から送信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

送信開始条件(順序は関係ありません)

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS}}$ i端子の入力が“L”

28.17.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~4)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのRIビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択し、UiC0レジスタのTXEPTビットが“1”(送信レジスタにデータなし)の状態から受信を始める場合は、外部クロックが下に示すレベルのときに、最後の条件を満たすようにしてください。

外部クロックレベル

- UiC0レジスタのCKPOLビットが“0”(送受信クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)の場合、外部クロックが“H”
- CKPOLビットが“1”(送受信クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)の場合、外部クロックが“L”

受信開始条件(順序は関係ありません)

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

28.17.3 特殊モード (I²Cモード)

28.17.3.1 スタートコンディション、ストップコンディション生成

(テクニカルアップデート番号: TN-16C-A130B/J)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4 レジスタの STSPSEL ビットを“0”にした後、送受信クロックの1/2サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

28.17.3.2 IR ビット

次のビットを変更した後、UART2の各割り込み制御レジスタのIRビットを“0”(割り込み要求なし)にしてください。

U2MR レジスタの SMD2~SMD0 ビット、U2SMR レジスタの IICM ビット、
U2SMR2 レジスタの IICM2 ビット、U2SMR3 レジスタの CKPH ビット

28.17.3.3 コンディション生成時のセットアップ時間およびホールド時間

スタートコンディション生成時、SCLクロックの1/2サイクル分の時間がホールド時間($t_{HD:STA}$)となります。ストップコンディション生成時、SCLクロックの1/2サイクル分の時間がセットアップ時間($t_{SU:STO}$)となります。

また、SDA デジタル遅延機能を使用する場合、遅延時間を考慮してください(「21.3.3.7 SDA デジタル遅延機能」参照)。

以下にコンディション生成時のホールド時間およびセットアップ時間の算出例を示します。

< 100kbps 設定時の算出例 >

- U2BRG カウントソース : $f_1 = 20\text{MHz}$
- U2BRG レジスタの設定値 : $n = 100 - 1$
- SDA デジタル遅延設定値 : $DL2 \sim DL0 = 101b$ (U2BRG カウントソースの5~6サイクル)の場合、

f_{SCL} (理論)	$= f_1 / (2(n+1))$	$= 20\text{MHz} / (2 \times (99+1))$	$= 100\text{kbps}$
t_{DL}	$= \text{遅延サイクル数} / f_1$	$= 6 / 20\text{MHz}$	$= 0.3\mu\text{s}$
$t_{HD:STA}$ (理論)	$= 1 / (2f_{SCL}(\text{理論}))$	$= 1 / (2 \times 100\text{kbps})$	$= 5\mu\text{s}$
$t_{SU:STO}$ (理論)	$= 1 / (2f_{SCL}(\text{理論}))$	$= 1 / (2 \times 100\text{kbps})$	$= 5\mu\text{s}$
$t_{HD:STA}$ (実効)	$= t_{HD:STA}(\text{理論}) - t_{DL}$	$= 5\mu\text{s} - 0.3\mu\text{s}$	$= 4.7\mu\text{s}$
$t_{SU:STO}$ (実効)	$= t_{SU:STO}(\text{理論}) + t_{DL}$	$= 5\mu\text{s} + 0.3\mu\text{s}$	$= 5.3\mu\text{s}$

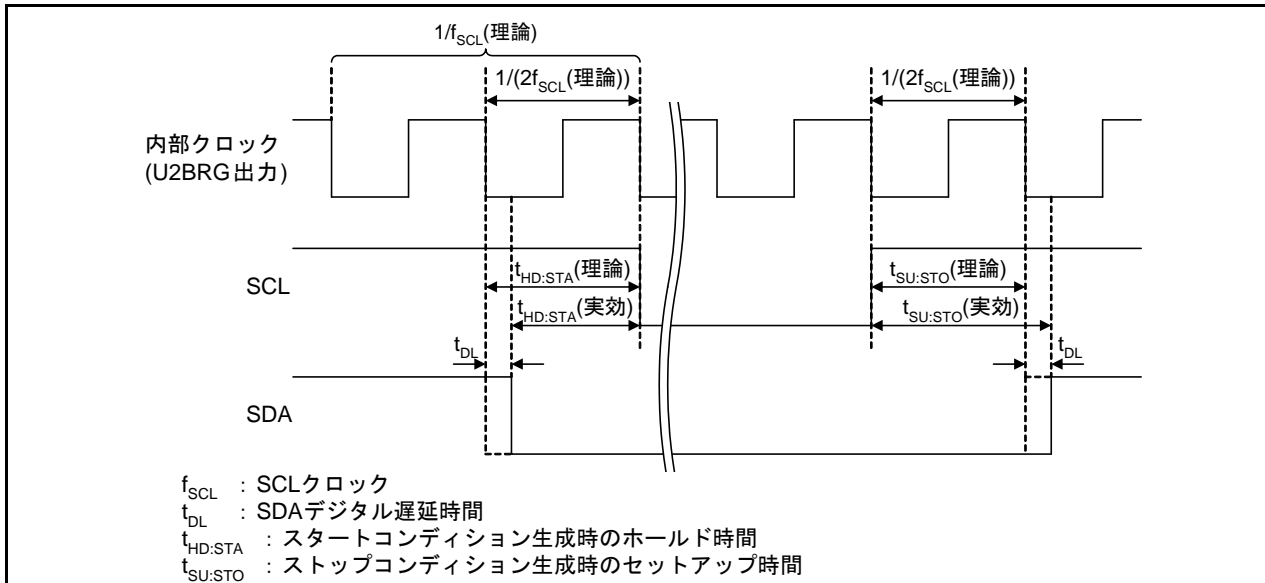


図 28.11 スタートコンディション/ストップコンディション生成時のホールド時間、セットアップ時間

28.17.3.4 U2BRG カウントソースによる最大送受信速度の制限

I²Cモードでは、U2BRGレジスタに設定する値を“03h”以上にしてください。

内部回路がSCLクロックのレベルを認識するまで、最大でU2BRGカウントソースの3サイクルを要します。したがって、接続可能なI²C-busのビットレートは、U2BRGカウントソースの速度の1/3以下です。U2BRGレジスタに“00h”~“02h”を設定した場合は、ビットずれを起こす可能性があります。

28.17.3.5 スレーブ時のリスタートコンディション

スレーブ時、リスタートコンディションを検出すると、その後の処理を正しく実行しない場合があります。スレーブ時はリスタートコンディションを使用しないでください。

28.17.3.6 スレーブ時の送受信開始条件

スレーブとして、U2C0レジスタのTXEPTビットが“1” (送信レジスタにデータなし) の状態から送受信を始める場合は、外部クロックが“H”のときに、最後の条件を満たすようにしてください。

送受信開始条件 (順序は関係ありません)

送信

- U2C1レジスタのTEビットが“1” (送信許可)
- U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)

受信

- U2C1レジスタのREビットが“1” (受信許可)
- U2C1レジスタのTEビットが“1” (送信許可)
- U2C1レジスタのTIビットが“0” (U2TBレジスタにデータあり)

28.17.4 特殊モード4 (SIMモード)

(テクニカルアップデート番号: TN-M16C-101-0308)

リセット解除後、U2C1レジスタのU2IRSビットを“1” (送信完了)、U2EREビットを“1” (エラー信号出力)にした後、TEビットを“1” (送信許可)にし、U2TBレジスタに送信データを書くと、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0” (割り込み要求なし)にしてください。

28.18 マルチマスタ I²C-bus インタフェース使用上の注意事項

28.18.1 CPUクロックの制限

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)の場合「表 22.4 レジスタ一覧」に示すレジスタはアクセスしないでください。CM07ビットを“0”(メインクロック、PLLクロック、またはオンチップオシレータクロック)にしてアクセスしてください。

28.18.2 レジスタアクセス

I²C回路の各制御レジスタをアクセスする場合の注意事項を示します。なお、ここで言う送受信中とは、(スレーブアドレスまたは1バイトデータ送受信の)1クロックの立ち上がりエッジからACKクロックの立ち下がりエッジまで(ACKCLKビットが“0”(ACKクロックなし)の場合は8クロックの立ち下がりエッジまで)を指します。

28.18.2.1 S00レジスタ

送受信中に書き込まないでください。

28.18.2.2 S1D0レジスタ

送受信中にIHRビット以外のビットを書き換えしないでください。

28.18.2.3 S20レジスタ

送受信中にACKBITビット以外のビットを書き換えしないでください。

28.18.2.4 S3D0レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- ICK1~ICK0ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

28.18.2.5 S4D0レジスタ

ICK4~ICK2ビットは、S1D0レジスタのES0ビットが“0”(I²C回路禁止)のとき書き換えてください。

28.18.2.6 S10レジスタ

- このレジスタに対して、ビット処理命令(リードモディファイライト命令)を使用しないでください。MOV命令を使用して書いてください。
- MST、TRXビットが変化するタイミングでは書き込みを行わないでください。
MST、TRXビットが変化するタイミングは「22.3 動作説明」の動作例を参照してください。

28.18.3 ストップコンディション生成

マルチマスタ I²C-bus インタフェースにおいて、スレーブデバイスまたは他のマスタデバイスが SCLMM ラインを“L”にドライブしているときにストップコンディションを生成する操作を行った場合、SCLMM ラインが開放されていないにもかかわらず SDAMM ラインが開放され、正常なストップコンディションが生成されません。

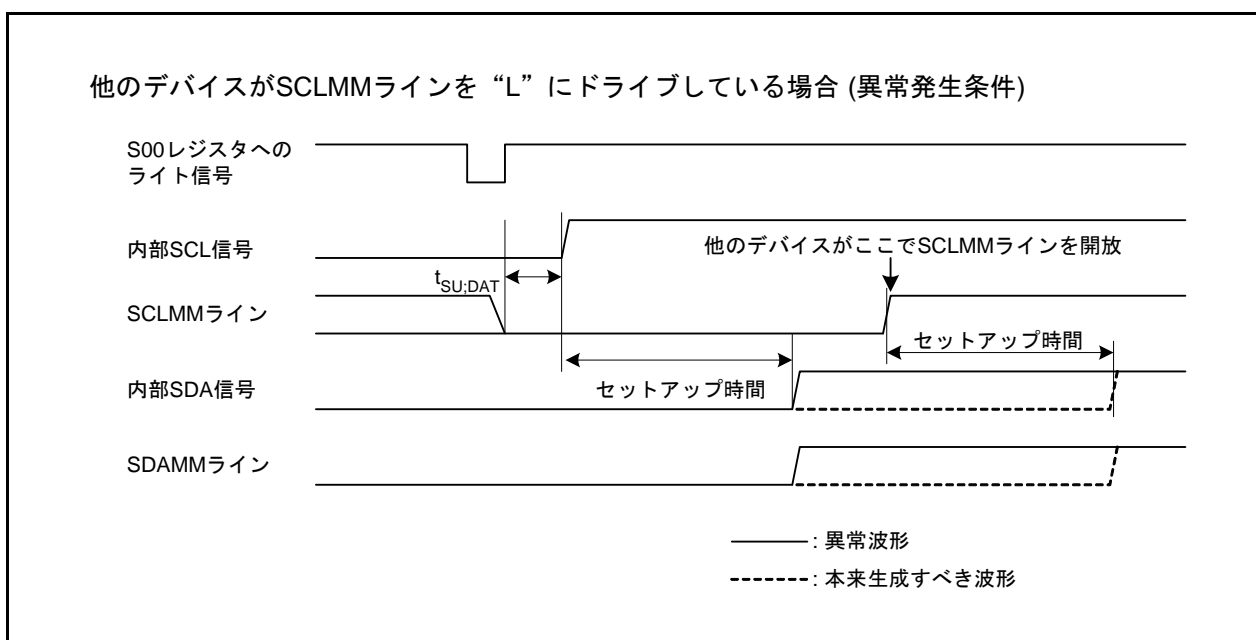


図 28.12 異常波形例

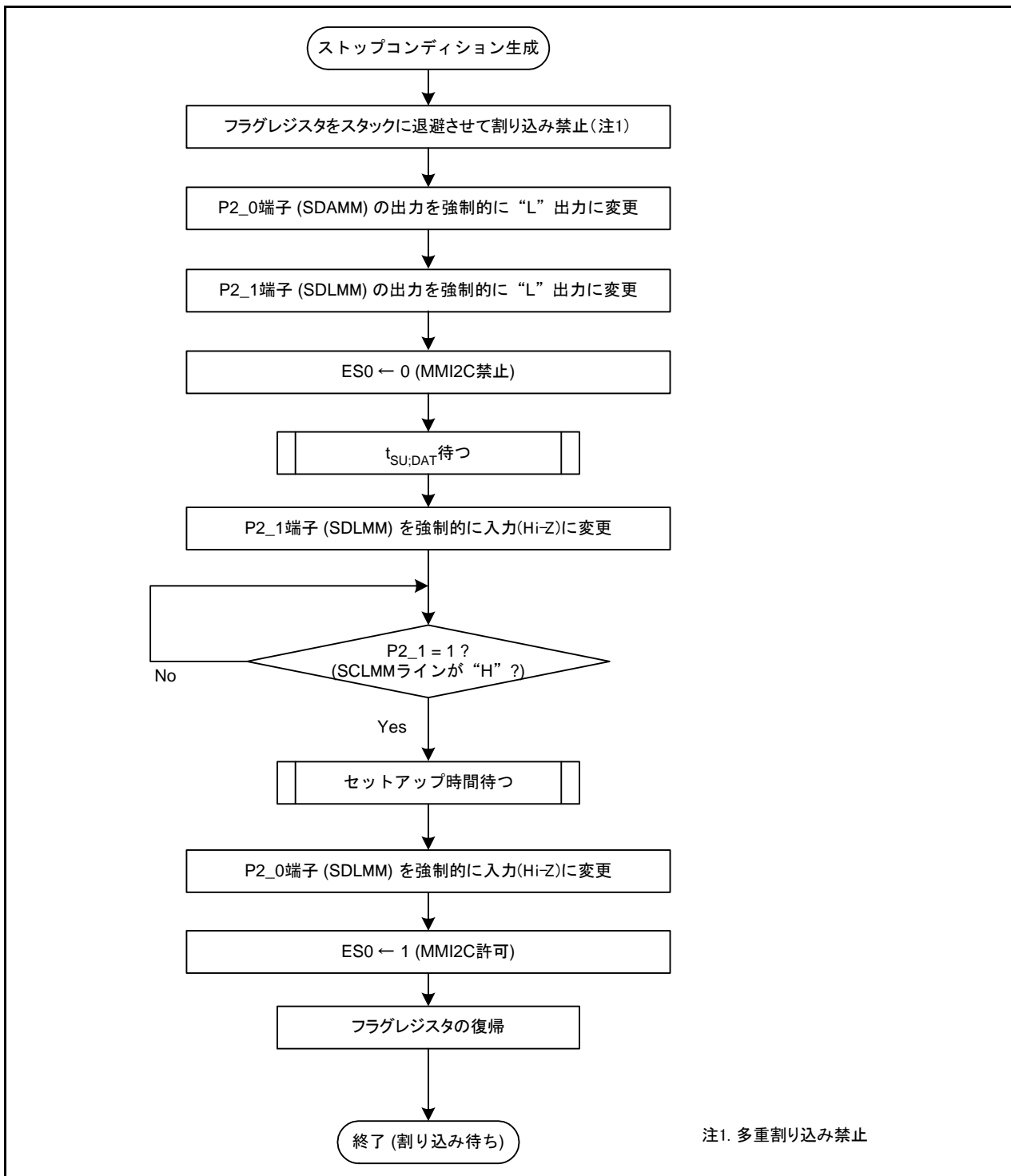


図 28.13 ストップコンディション生成フロー

28.19 CANモジュール使用上の注意事項

注意

M16C/56Dグループでは、この機能を使用しないでください。

28.20 A/Dコンバータ使用上の注意事項

注意

64ピン版にはAN0_4~AN0_7、AN2_0~AN2_3、AN2_5~AN2_7はありません。これらをアナログ入力端子として選択しないでください。

28.20.1 アナログ入力選択

A/D1回路が動作可能(AD1CON1レジスタのADSTBYビットが“1”)のとき、A/D回路はAN0~AN7端子を使用できません。AN0_0~AN0_7、AN2_0~AN2_7、AN3_0~AN3_2を選択してください。A/D1回路が動作可能時にA/D回路がAN0~AN7端子を選択してA/D変換した場合、変換結果は不定になります。A/D回路でAN0~AN7端子を使用するときは、A/D1回路を動作停止(AD1CON1レジスタのADSTBYビットを“0”)にしてください。

また、 $\overline{KI0}$ ~ $\overline{KI3}$ 端子のいずれかをキー入力割込みに使用する場合、AN4~AN7は4本ともアナログ入力端子として使用しないでください。

ひとつのアナログ信号をA/D回路とA/D1回路で同時に変換しないでください。ひとつのアナログ信号をA/D回路、A/D1回路で変換するときは、一方のA/D変換が終了してから、もう一方のA/D変換を開始してください。また、変換結果はそれぞれの平均をとってください。

28.20.2 端子の処理

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(ANi、AN0_i、AN2_i、AN3_i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC端子とVSS端子の間にもコンデンサを挿入してください。

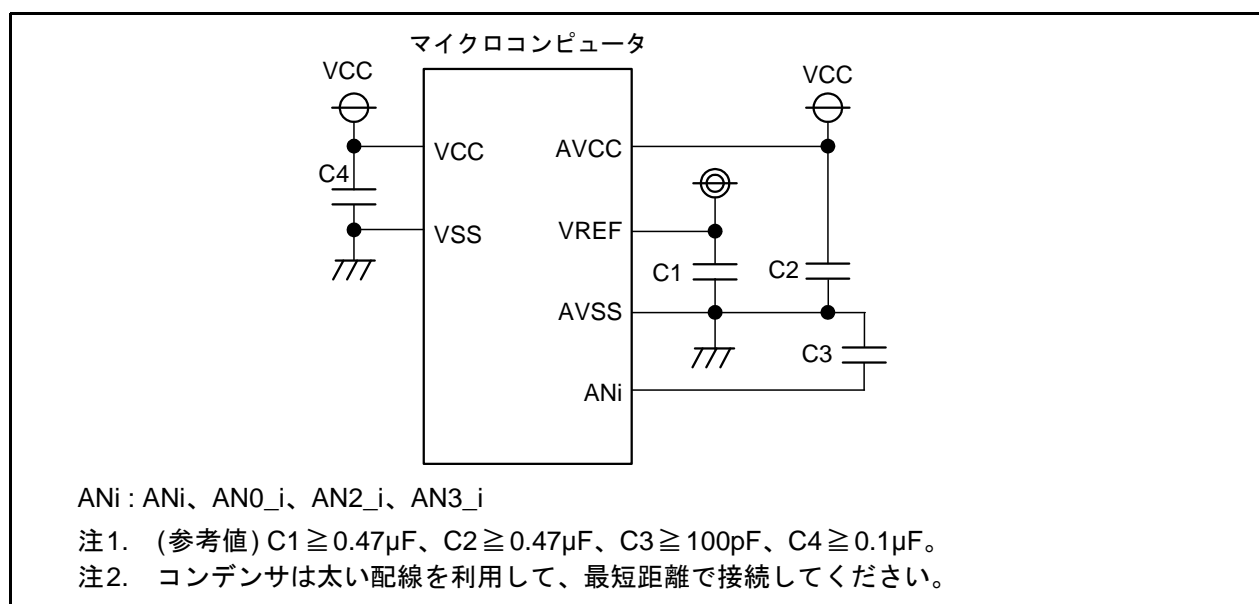


図 28.14 各端子の処理例

28.20.3 レジスタアクセス

ADjCON0レジスタ(ADSTビットを除く)、ADjCON1レジスタ、ADjCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

A/D変換停止後、ADjCON1レジスタのADSTBYビットを“1”から“0”にしてください。

28.20.4 A/D変換開始

ADjCON1レジスタのADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ ADの1サイクル以上経過した後に、A/DjのA/D変換を開始させていただきます。

28.20.5 A/D動作モードの変更

A/D動作モードを変更した場合は、ADjCON0レジスタのCH2~CH0ビットまたはADjCON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

28.20.6 強制終了時の状態

A/DjがA/D変換動作中に、プログラムでADjCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADjiレジスタ(i=0~7)も不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADjiレジスタの値を使用しないでください。

28.20.7 A/D変換終了の検出方法

単発モード、単掃引モードでA/D変換の終了を検知する場合は、ADjICレジスタのIRビットを使用してください。割り込みを使用しない場合は、検出後プログラムでIRビットを“0”にしてください。

ADjCON0レジスタのADSTビットは、プログラムで“1”を書いた後、開始処理時間(「表 24.9 各A/D変換項目のサイクル数」参照)後に“1”(A/D変換開始)になるため、“1”書き込み後すぐに読み出すと、“0”(A/D変換停止)が読めることがあります。

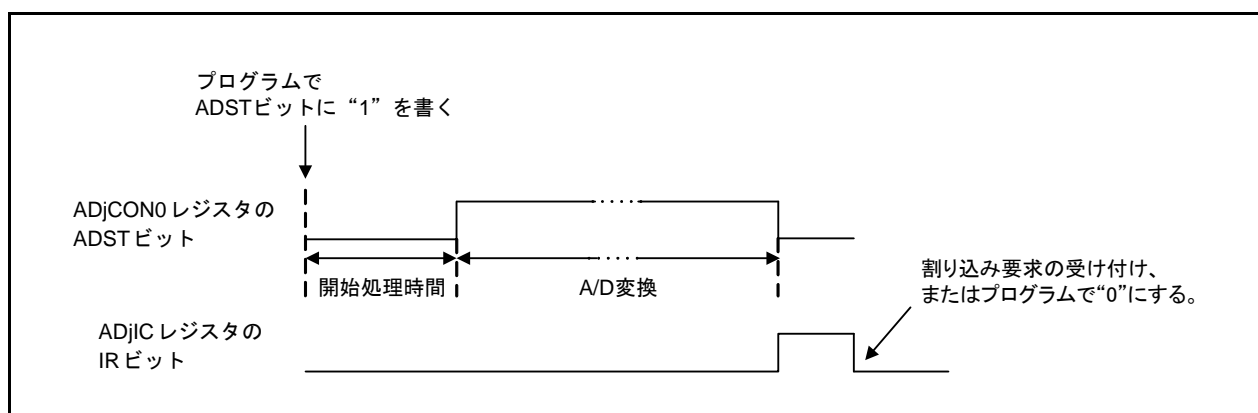


図 28.15 ADSTビットの動作

28.20.8 繰り返しモード、繰り返し掃引モード0

これらのモードでは、AD_{ji}レジスタの値が書き換わる期間にAD_{ji}レジスタを読むと、不定値を読み出すことがあります。そのため、AD_{ji}レジスタを複数回読んで、読んだ値が有効か判断してください。なお、不定値を読み出す期間はfADの1サイクルです。

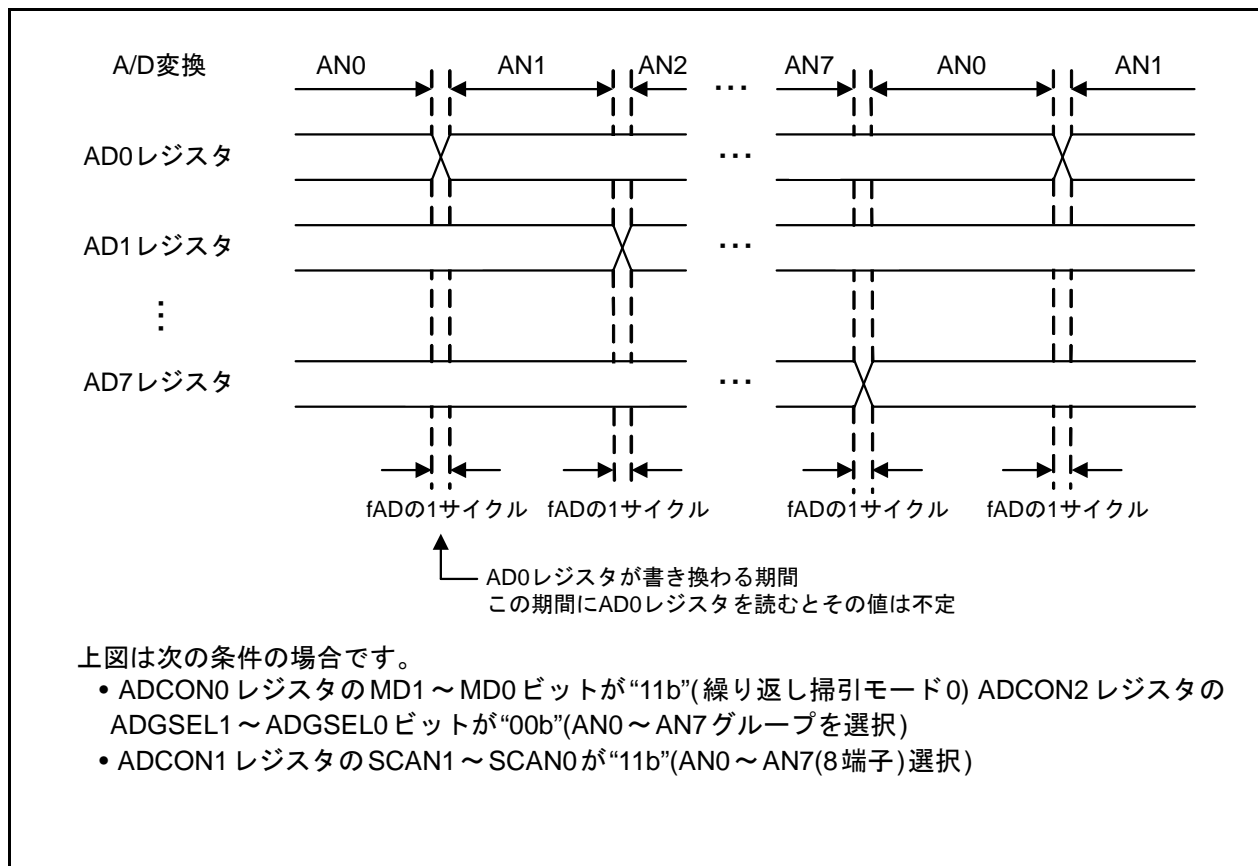


図 28.16 AD_{ji}レジスタの値が書き換わる期間

28.21 フラッシュメモリ使用上の注意事項

注意

64ピン版のP0_4~P0_7、P1_0~P1_4、P3_4~P3_7、P9_5~P9_7は、外部への接続がありません。
64ピン版では、ユーザブート機能のエントリに使用する端子に、これらの端子を指定しないでください。

28.21.1 OFS1番地、OFS2番地、IDコード格納番地

OFS1番地、OFS2番地、IDコード格納番地は、フラッシュメモリの一部です。フラッシュメモリにプログラムを書き込むときに同時に適切な値を書き込んでください。

OFS1番地はリセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する番地です。OFS1番地は0FFFFFFh番地です。プログラムROM1のブロック0の最上位番地であり、リセットベクタの上位番地にあたります。同様に、OFS2番地、IDコード格納番地もブロック0にあり、割り込みベクタの上位番地にあたります。

IDコードチェック機能を無効にすることはできません。たとえIDコードチェック機能によるプロテクトが不要でも、シリアルライターやデバッガを使用する際には、正しいIDコードを入力しなければ、ライターやデバッガが使用できません。

例) OFS1番地に“FEh”を、OFS2番地に“FFh”を設定する。

アドレス制御命令と論理和を使用した例

```
.org 0FFFDBH
.byte 0FFh
.org 0FFFFCh
RESET:
.lword start | 0FE00000h
```

アドレス制御命令を使用した例

```
.org 0FFFDBH
.byte 0FFh
.org 0FFFFCh
RESET:
.addr start
.byte 0FEh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

28.21.2 データフラッシュの読み出し

$2.7V \leq VCC \leq 3.0V$ かつ $f(BCLK) \geq 16MHz$ の場合、または $3.0V < VCC \leq 5.5V$ かつ $f(BCLK) \geq 20MHz$ の場合は、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイトが必要です。PM1レジスタのPM17ビットまたはFMR1レジスタのFMR17ビットで1ウェイトにしてください。

28.21.3 CPU書き換えモード

28.21.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

28.21.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- $\overline{\text{NMI}}$ 端子に“H”を入力

また、FMR60ビットはFMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

28.21.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

28.21.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

28.21.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

28.21.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

28.21.3.7 DMA転送

EW0モードでは、DMA転送の転送元をフラッシュメモリにしないでください。

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

28.21.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

28.21.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

28.21.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) 高速、中速モード、PLL動作モードで使用してください。また、FMR0レジスタのFMR00ビットが“0”(ビジー)の間は、クロックのモードを変更しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドにつき1回フルステータスチェックしてください(複数のコマンド、または同じコマンドを複数回実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR07ビットのいずれか、もしくは両方が“1”(エラー)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) スローリードモード(FMR22が“1”)、または低消費電流リードモード(FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

28.21.3.11 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

28.21.3.12 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- ハードウェア、パワーオン、電圧監視0、電圧監視2、発振停止検出、ウォッチドッグタイマ、ソフトウェアリセット
- $\overline{\text{NMI}}$ 、ウォッチドッグタイマ、発振停止/再発振検出、電圧監視2割り込み

28.21.4 ユーザブート

28.21.4.1 ユーザブートプログラム

ユーザブートモードを使用する場合、次の点に注意してください。

- ユーザブートモードで起動し実行するプログラムは、プログラムROM2に配置してください。
- OFS1番地のLVDASビット、OFS2番地のWDTRCS1~WDTRCS0ビットはブートモードでは無効です。
- ユーザブートモードで起動した後、再度ユーザブートモードで起動するとRAMが不定になります。
- 13FF8h~13FFBh番地の値がすべて“00h”の場合は、標準シリアル入出力モードにはなりません。したがって、ライターやオンチップデバッグには接続できません。
- リセットシーケンスが異なりますので、プログラムを実行し始めるまでの時間がシングルチップモードより長くなります。
- ユーザブートモードの機能は、オンチップデバッグエミュレータ、フルスペックエミュレータではデバッグできません。
- ユーザブート機能使用中は、ユーザブートモードエントリに使用する端子の入力レベルを変更しないでください。入力レベルが変化する場合は、ユーザブートモードで必要な処理を行った後、入力レベルが変化する前にシングルチップモードで起動し直してください。
- 標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

索引

【A】

AD0~AD7	617
AD10~AD13	617
AD1CON0	620
AD1CON1	622
AD1CON2	619
AD1TRGCON	618
ADCON0	620
ADCON1	622
ADCON2	619
ADEIC	167
ADIC	167
ADTRGCON	618
AIER	171
AIER2	172

【B】

BCNIC	167
BTIC	167

【C】

C0AFSR	578
C0BCR	549
C0CLKR	548
C0CSSR	577
C0CTLR	544
C0ECSR	586
C0EIC	167
C0EIER	579
C0EIFR	581
C0FIDCR0、C0FIDCR1	552
C0FRIC	167
C0FTIC	167
C0MB0~C0MB31	555
C0MCTL0~C0MCTL31	560
C0MIER	559
C0MKIVLR	554
C0MKR0~C0MKR7	551
C0MSMR	574
C0MSSR	575
C0RECR	584
C0RFCR	564
C0RFPCR	567
C0RIC	167
C0STR	571
C0TCR	589
C0TECR	585
C0TFCR	568
C0TFPCR	570
C0TIC	167

C0TSR	588
C0WIC	167
CM0	94
CM1	96
CM2	98
CPSRF	228, 276
CRCD	644
CRCIN	644
CRCMR	644
CRCSAR	643
CSPR	197

【D】

DAR0~DAR3	209
DM0CON	211
DM0IC~DM3IC	167
DM0SL	212
DM1CON	211
DM1SL	212
DM2CON	211
DM2SL	212
DM3CON	211
DM3SL	212
DTT	306

【F】

FMR0	117, 651
FMR1	139, 654
FMR2	118, 655
FMR3	656
FMR6	657

【G】

G1BCR0	348
G1BCR1	349
G1BT	347
G1BTRR	353
G1DV	353
G1FE	351
G1FS	352
G1IE0	358
G1IE1	359
G1IOR0	355
G1IOR1	356
G1IR	357
G1OER	354
G1PO0~G1PO7	342
G1POCR0~G1POCR7	343
G1TM0~G1TM7	342
G1TMCR0~G1TMCR7	345

G1TPR6, G1TPR7350

【I】

ICOC0IC167
 ICOC1IC167
 ICOCH0IC167
 ICOCH1IC167
 ICOCH2IC167
 ICOCH3IC167
 ICTB2307, 615
 IDB0、IDB1306
 IFSR171
 IFSR2A170
 IFSR3A169
 IICIC167
 INT0IC~INT2IC168
 INT3IC168
 INT4IC168
 INT5IC168
 INVC0302
 INVC1304

【K】

KUPIC167

【N】

NDDR150, 173

【O】

OFS165, 83, 199, 659
 OFS2200, 660
 ONSF236

【P】

P0~P3、P6~P10155
 P17DDR150, 173
 PACR154, 440
 PCLKR100, 228, 276, 427
 PCR153
 PD0~PD3、PD6~PD10156
 PDRF309
 PFCR310
 PLC0101
 PM063
 PM1137
 PM2102, 166
 PPWFS1279
 PRCR58
 PRG2C138
 PUR0151

PUR1151
 PUR2152
 PWMFS230

【R】

RMAD0~RMAD3172
 RSTFR64
 RTCCHR409
 RTCCIC167
 RTCCMIN408
 RTCCR1403
 RTCCR2405
 RTCCSEC407
 RTCCSR406
 RTCHR401
 RTCMIN400
 RTCSEC399
 RTCTIC167
 RTCWK402

【S】

S00495
 S0D0~S0D2496
 S0RIC~S3RIC167
 S0TIC~S2TIC167
 S10509
 S11514
 S1D0497
 S20500
 S2D0502
 S3D0503
 S3TIC167
 S4D0507
 S4RIC167
 S4TIC167
 SAR0~SAR3209
 SCLDAIC167

【T】

TA0~TA4233
 TA0IC~TA4IC167
 TA0MR239
 TA1、TA2、TA4301
 TA11、TA21、TA41234, 301
 TA1MR239
 TA2MR239
 TA3MR239
 TA4MR239
 TABSR235, 281
 TACS0~TACS2229
 TAOW232
 TAPOFS231
 TB0~TB2277

TB01~TB21	278
TB0IC~TB2IC	167
TB0MR	281
TB1MR	281
TB2	301
TB2MR	281
TB2SC	308, 616
TBCS0~TBCS1	280
TCR0~TCR3	210
TMOS	391
TMOSCS	392
TMOSIC	167
TMOSPR	392
TMOSSR	391
TPRC	310
TRGSR	237

【U】

U0BRG~U4BRG	429
U0C0~U4C0	430
U0C1~U4C1	432
U0MR~U4MR	428
U0RB~U4RB	433
U0TB~U4TB	429
U2SMR	439
U2SMR2	438
U2SMR3	437
U2SMR4	435
UDF	238

【V】

VCR1	76
VCR2	77
VD2LS	79
VW0C	80
VW2C	81, 196
VWCE	78

【W】

WDC	198
WDTR	197
WDT5	198

(1) 本版で修正または追加された箇所

改訂記録	M16C/5L、M16C/56 グループ ユーザーズマニュアル ハードウェア編
-------------	---

Rev.	発行日	ページ	改訂内容	
1.20	2011.11.14	全体	問い合わせ先について、「弊社営業窓口」に統一	
		全体	各章のレジスタの説明の表タイトルを変更 「レジスタ構成」→「レジスタ一覧」	
		全体	用語統一 ・「発振停止、再発振検出機能」→「発振停止/再発振検出機能」 ・CM07、CM21ビットの説明のfOCO-S→「オンチップオシレータクロック」	
		概要		
		3, 5	表 1.2 仕様概要(80ピン版)(2/2)、表 1.4 仕様概要(64ピン版)(2/2): ・「消費電流」行を追加 ・注1を追加	
		8, 9	図 1.3~図 1.4 各ピンのブロック図: ・UART/クロック同期形 SIO: 「8ビット」削除 ・リアルタイムクロック: 「8ビットx1チャンネル」削除 ・マルチマスタ I ² C bus: 「(1チャンネル)」追加 ・ウォッチドッグタイマ専用 125kHz オンチップオシレータ: 「ウォッチドッグタイマ」の括弧内に移動	
		10, 13	図 1.5~図 1.6 各ピンのピン接続図: P8_0に「TSUDA」、P8_1に「TSUDB」追加	
		12, 15	表 1.7、表 1.9 各ピンの端子名一覧表: P8_0に「TSUDA」、P8_1に「TSUDB」追加	
		16	表 1.11 端子機能の説明(64ピン版、80ピン版共通)(1/2): ・「CNVSS」の「機能」: 「抵抗を介して」を追加 ・「機能」が入力/出力/入出力端子のとき: 説明から「端子」を削除 ・「アナログ電源入力」の「機能」: AVCCとAVSSに「端子」を追加 ・「サブクロック入力/出力」: 注1を追加 ・「INT割り込み入力」: 「INT2はタイマAのZ相入力です。」削除 ・「シリアルインタフェース」: 「UART0~UART3」追加 ・「I ² Cモード」: I ² Cモードの前に「UART2」追加	
		17	表 1.12 端子機能の説明(64ピン版、80ピン版共通)(2/2): ・「タイマS」: 「端子名」にTSUDA、TSUDB追加 ・「CANモジュール」: 入力は「CAN通信機能の受信データ」、出力は「通信機能の送信データ」に変更 ・「入出力ポート」の「機能」: 4ポート→4ビット	
		18	表 1.13 端子機能の説明(80ピン版のみ): ・「シリアルインタフェース」: シリアルインタフェースの後に「UART4」追加 ・「入出力ポート」の「機能」: 4ポート→4ビット	
		メモリ		
		23	図 3.1 メモリ配置図: 各予約領域に注1または注2を追加	
		SFR		
		56	4.2.1 レジスタ設定時の注意事項: ・リードモディファイライト命令に関する記述を追加 ・表 4.34 リードモディファイライト命令を追加	
		リセット		
		61	表 6.1 リセットの種類: 「初期化されないレジスタ、ビット」欄を追加	
		61	図 6.1 リセット回路のブロック図: ・各SFRの名称記載を削除して、「表 6.2 リセット時のSFRの分類」で詳細を説明 ・「発振停止リセット」→「発振停止検出リセット」	
		62	表 6.2 リセット時のSFRの分類: 追加	
		63	表 6.4 レジスタ一覧: ・0018h リセット要因判別レジスタのリセット後の値を「XX0X 001Xb」より変更 ・注1を変更	
64	6.2.2 リセット要因判別レジスタ(RSTFR): ・HWRビットの説明: 「リセット後のHWRビットの値は不定」→「ハードウェアリセット後のHWRビットの値は不定」 ・OSDRビットの説明: 値が変化する条件を追加			

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	ページ	改訂内容		
1.20	2011.11.14	65	6.3.1 オプション機能選択1番地 (OFS1): LVDASビットの説明: ブートモードでは無効の文を追加		
		67	表 6.7 RESET端子のレベルが“L”の期間の端子の状態: 注1の不定の期間の説明を変更		
		68	図 6.3 リセットシーケンス: XINの発振の期間を変更		
		69	6.4.2 ハードウェアリセット ・電源が安定している場合: (2)待ち時間の表記を変更 ・電源投入時: (4)式の表記を変更		
		69	図 6.4 リセット回路の例: 式の表記を変更		
		70	6.4.3 パワーオンリセット機能: RESET端子の電圧の表記を変更「0.8VCC以下」→「VIHの範囲内」		
		70	図 6.5 パワーオンリセット動作: 「外部電源VCC」→「VCC」		
		73	図 6.6 SVCCのタイミング例: 変更		
		電圧検出回路			
		78	7.2.3 電圧監視機能選択レジスタ (VWCE): 「電圧検出2回路」→「電圧監視2回路」		
		クロック発生回路			
		8.章	表記変更 HIGH→High, LOW→Low		
		8.章	「0004h プロセッサモードレジスタ0」に関する記述を削除		
		91	表 8.1 クロック発生回路の仕様: クロック周波数の表現を変更		
		92	図 8.1 システムクロック発生回路: ・周辺機能クロックのバッファを削除し、メインクロックを追加 ・PLL周波数シンセサイザの構成を一部変更		
		94	8.2.1 システムクロック制御レジスタ0 (CM0)、CM05ビットの説明: 説明全体の書き方を変更		
		96	8.2.2 システムクロック制御レジスタ1 (CM1) ・CM10ビット: 値が変化しない条件を箇条書きにし、条件を追加 ・CM13ビット: 「発振子」→「セラミック共振子または水晶発振子」		
		102	8.2.6 プロセッサモードレジスタ2 (PM2): PM21ビットの説明に「一度“1”にした後にプログラムで“0”にできない」という内容を追加		
		103	8.3.1 メインクロック: 説明中の「発振子」→「セラミック共振子または水晶発振子」		
		103	図 8.2 メインクロックの接続回路例: 図内の用語変更「オシレータ」→「発振子」		
		104	図 8.3 メインクロックとPLLクロックの関係の注2: 周波数の表記を変更		
		104	8.3.3 125kHzオンチップオシレータクロック (fOCO-S): 最終段落: (CM21ビットが“1”のとき) CM14ビットは“1”→CM14ビットは“0”		
		106	8.4.1 CPUクロックとBCLK: ストップモードへの遷移時の説明を変更		
		106	8.4.2 周辺機能クロック (f1、fOCO-S、fC32、fC、メインクロック): ・fCの説明にPM25ビットの記述を追加 ・メインクロックに関する記述を追加		
		107	図 8.5 周辺機能クロック: 改訂		
		109	8.7.1 CM27ビットが“0” (発振停止検出リセット)の場合の動作: 状態を解除するリセットに「電圧監視0リセット」を追加		
		111	8.7.3 発振停止/再発振検出機能使用方法: 発振停止検出後の説明を残し、他を8.8 割り込みに移動して書き換え		
		111	8.8 割り込み: 追加		
		112	図 8.7 発振回路例: 「オシレータ」→「セラミック共振子または水晶発振子」		
		115	8.9.5 PLL周波数シンセサイザ使用時: 追加		
		パワーコントロール			
		9.章	用語統一 ・fOCO-S→125kHzオンチップオシレータ (信号名と回路名を書き分け) ・移行→遷移		
		117	9.2.1 フラッシュメモリ制御レジスタ0 (FMR0): FMR01ビットとFMSTPビットの説明を書き換え		
		118	9.2.2 フラッシュメモリ制御レジスタ2 (FMR2)、FMR23ビット: 使用制限追加		
		119	9.3 クロック: パワーコントロールの3つのモードを具体的に追加		
		120	9.3.1.6 低消費電力モード: CM06ビットに関する説明を削除		
		121	表 9.2 通常動作モードのクロック: 注2~注5を注2に集約		
		122	表 9.3 クロック関連ビットの設定とモード、表 9.4 クロック分周関連ビットの選択: 表下に「—」の説明を追加		

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	ページ	改訂内容		
1.20	2011.11.14	123	図 9.1 クロックのモードの状態遷移: 図タイトル変更 パワーコントロールモードの状態遷移→クロックのモードの状態遷移		
		123	9.3.2 モード遷移手順 ・ b. の (1): 「PLC05~PLC04ビット(基準クロック分周)と、PLC02~PLC00ビット(通倍率)を設定する」→「PLC05~PLC04、PLC02~PLC00ビットで通倍率等を設定する」 ・ e: 「高速、中速モードから」→「高速、中速、低速モードから」		
		126	9.3.3 ウェイトモード: 周辺機能の動作に関する説明文を変更		
		126	9.3.3.2 ウェイトモードへの遷移: 表 9.6 の後ろの説明を一部移動し、ウェイトモードへの遷移手順を追加		
		127	表 9.6 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件: ・ 「割り込み」の「電圧監視2」: 使用条件の説明を書き換え ・ 「リセット」の「電圧監視0リセット」: 「fOCO-Sが供給されているとき使用可」→「使用可」 ・ 「リセット」の「電圧監視2リセット」: 使用条件の説明を書き換え		
		128	9.3.4.1 ストップモードへの遷移: ・ 説明から以下を削除「ただし、PM2レジスタのPM21ビットが“1”、CSPRレジスタのCSPROビットが“1”のときは、CM10ビットに書いても変化しません。」 ・ 表 9.8 の下の説明を一部移動し、ストップモードへの遷移手順を追加		
		129	9.3.4.3 ストップモードからの復帰: ・ 3段落目、「NMI 割り込みと周辺機能割り込みで復帰する場合」→「割り込みで復帰する場合」 ・ 遷移前の説明を「9.3.4.1 ストップモードへの遷移」に移動		
		130	9.4 フラッシュメモリのパワーコントロール: タイトル追加		
		130	図 9.3 フラッシュメモリの停止/再開手順: ・ プログラムAの記述を削除 ・ 括弧が示す範囲を変更 ・ 注4を削除		
		131	9.4.2.1 スローリードモード: ウェイト不要の場合の説明を追加		
		131, 132	図 9.4 スローリードモードの設定、解除、図 9.5 低消費電流リードモードの設定、解除: 「CPUクロックを元に戻す」を削除		
			9.4.2.2 低消費電流リードモード: 「したがって、低消費電流リードモードに遷移…」の文を削除		
		133	9.5.2 A/Dコンバータ: A/D変換を行う場合の説明を削除		
		134	9.6.1 CPUクロック: 2文目を追加		
		134	9.6.2 ウェイトモード: ・ 1項目目を一部追加 ・ 2項目目を変更 ・ 3項目目を追加		
		134	9.6.3 ストップモード: ・ 3項目目を一部追加 ・ 5項目目を変更 ・ 6項目目を追加		
		135	9.6.4 低消費電流リードモード: 3項目を追加		
		135	9.6.5 スローリードモード: 追加		
		プロセッサモード			
		138	10.2.2 プログラム2領域制御レジスタ (PRG2C): 「ユーザブート領域」→「ユーザブートコード領域」		
		140	「10.4 バスホールド」追加		
		プログラマブル入出力ポート			
		162	11.6.2 SD入力の影響: ・ 「SD端子の影響」から変更 ・ 入力端子を変更		
		割り込み			
		167, 168	12.2.2、12.2.3 割り込み制御レジスタ: シンボル、アドレスを図外に出し、1アドレスごとに示す表を追加		
		170	12.2.5 割り込み要因選択レジスタ2 (IFSR2A): IFSR24の「機能」: 「0: 予約」→「0: CAN0 ウェイクアップ割り込みを使用しない」		
		176	12.5.1.3 ウォッチドッグタイマ割り込み: 「ウォッチドッグタイマを初期化」→「ウォッチドッグタイマをリフレッシュ」		

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	ページ	改訂内容	
1.20	2011.11.14	177	12.6.1 固定ベクタテーブル: 「IDコードチェック機能で使用」→「IDコードチェック機能やOFS1番地に使用」	
		179	表 12.7 可変ベクタテーブル(2/2)、注5: 「ビットを“1”にしてください」→「ビットで選択してください」	
		181	図 12.3 割り込みシーケンスの実行時間の注1: 「命令を取れる状態」→「プリフェッチできる状態」	
		187	12.10 キー入力割り込み: 説明文を書き換え	
		191	図 12.11 割り込み要因の変更手順例の注2: 「要因を変更する割り込みの…」→「要因を変更する割り込み制御レジスタの…」	
		ウォッチドッグタイマ		
		13.章		用語統一: 「ウォッチドッグタイマカウンタ初期条件」→「ウォッチドッグタイマカウンタリフレッシュタイミング」
		193		表 13.1 ウォッチドッグタイマの仕様: 「選択機能」の「プリスケアラの分周比」を変更
		194		図 13.1 ウォッチドッグタイマのブロック図: 図内の「WDTC」を全て「WDC」に修正
		196		13.2.1 電圧監視2回路制御レジスタ (VW2C) <ul style="list-style-type: none"> ・レジスタ説明: 各リセット時に変化しないビットにVW2C2を追加 ・VW2C3ビット: 「0になる条件」から「ハードウェアリセット、パワーオンリセット、または電圧監視0リセット」を削除
		197		13.2.2 カウントソース保護モードレジスタ (CSPR): b6-b0を予約ビットから変更
		DMAC		
		206		表 14.1 DMACの仕様 <ul style="list-style-type: none"> ・「DMA転送開始」: シンボル修正 DMAiCON→DMiCON ・「順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング」: レジスタを示している「ポインタ」を「レジスタ」に変更
		207		図 14.1 DMAC ブロック図: データバスを1本で表現
		215		表 14.7 DMAS ビットが変化するタイミング、「外部要因」: 「DSEL4~DSEL0ビットで選択」→「DSEL4~DSEL0ビットとDMSビットで選択」
		216		14.3.3 転送サイクル: 5行目「1サイクル」→「1バスサイクル」
		221		図 14.5 外部要因によるDMA転送例: レジスタ名修正 <ul style="list-style-type: none"> ・DMA0→DM0CON レジスタ ・DMA1→DM1CON レジスタ
		タイマA		
		226		表 15.3 入出力端子の注1: 「端子に対応するポート」→「端子を共用するポート」
		243, 247, 251, 256, 260		表 15.7, 表 15.9, 表 15.11, 表 15.13, 表 15.15 各モード時の使用レジスタと設定値: <ul style="list-style-type: none"> ・「TAOW」追加 ・「ONFS」のビット: TAIIGH~TAITGL→TA0TGH~TA0TGL
		246		表 15.8 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合): <ul style="list-style-type: none"> ・「カウントソース」の「仕様」1項目: 「プログラムで有効エッジを選択可能」から「プログラムで」を削除 ・「カウント回数」の「仕様」: 「リロードタイプ選択時」追加
		247		表 15.9 イベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値: このモードのレジスタ図内、TCK0のビット名を「カウント動作タイプ選択ビット」に変更
		249		図 15.6 イベントカウンタモード時の動作例: 条件の「TAiMR レジスタのMR0ビットが“0”」→値を“1”に変更
		250		表 15.10 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合): <ul style="list-style-type: none"> ・「カウント動作」の「仕様」2項目目: 「フリーラン機能」→「フリーランタイプ」 ・「カウント回数」の「仕様」: 「リロードタイプ選択時」追加
		254		図 15.9 二相パルス(A相、B相)とZ相の関係: 「Z相」を追加
		255		表 15.12 ワンショットタイマモードの仕様: 「カウント開始条件」の最後の項目: (タイマスタート)→(ワンショット開始)
		259		15.3.6 パルス幅変調モード(PWMモード)、TCK1~TCK0ビットの説明: TBCS0~TBCS2→TACS0~TACS2
		265		表 15.17 プログラマブル出力モード時の使用レジスタと設定値、「ONFS」のビット: TAiIGH~TAITGL→TA0TGH~TA0TGL
		269		15.5 タイマA使用上の注意事項: 共通事項と、モードごとで書き直し
		タイマB		
		16.章		TBSRレジスタの記述を削除

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	ページ	改訂内容	
1.20	2011.11.14	274	表 16.2 入出力端子の注1: 「端子に対応するポート」→「端子を共用するポート」	
		286	16.3.3 イベントカウンタモード: ・レジスタ図、TCK1ビットの「機能」およびMR1~MR0ビットの説明: 「1: TBjのオーバフローまたはアンダフロー」→「タイマBj」 ・TCK1ビットの説明を追加	
		289	表 16.9 パルス周期測定モード、パルス幅測定モードの仕様: ・旧注3はビット説明として注の上に移動 ・新規に注3を追加	
		295	16.5 タイマB使用上の注意事項: 共通事項と、モードごとで書き直し	
		三相モータ制御用タイマ機能		
		335	17.5.2 SD 入力の影響: 「強制遮断入力」からタイトルと内容を変更	
		タイマS		
		18.章	構成変更。詳細説明追加	
		18.章	INT5ピン、iDUピンの記述を削除	
		18.章	用語統一 ・「デジタルデバウンス機能」→「デジタルデバウンスフィルタ」 ・アップカウント、アップダウンカウント、二相パルス信号処理には「モード」を付けない ・「チャンネル割り込み」→「IC/OCチャンネル割り込み」 ・「ベースタイマ割り込み」→「IC/OCベースタイマ割り込み」 ・「ベースタイマリセット」→リセット条件によって書き分ける	
		18.章	モードやレジスタ、ビットの状態の示し方を統一: ・モードはビットとその値を示し、括弧内にモードを示す ・ビットを示すときはレジスタ名も記載し、ビットが属するレジスタは明確にする	
		18.章	fBT1に同期して反映される値の反映先として、説明に「内部回路に」を追加	
		18.章	i, j, kで示される箇所には「i=」などで対応する値を示す	
		18.章	2相クロック入力の端子名、TSUDAおよびTSUDBを追加。 それに伴い次の端子の表記を変更: P8_0→TSUDA、P8_1→TSUDB	
		336	表 18.1 IC/OCの仕様: 「ポート切り替え機能」の「仕様」を変更	
		337, 338	図 18.1 IC/OCブロック図 (1/2)、図 18.2 IC/OCブロック図 (2/2): 詳細追加	
		339	表 18.2 入出力端子: ・TSUDA、TSUDB、INT1の各端子を追加 ・注1、注2を追加	
		342	18.2.2 波形生成レジスタj (G1POj) (j=0~7): ・G1POjレジスタに書いた値が反映される場所を「内部バッファ」として説明 ・詳細追加	
		343	18.2.3 波形生成制御レジスタj (G1POCRj) (j=0~7): MOD1~MOD0ビットの説明を変更	
		345	18.2.4 時間計測制御レジスタj (G1TMCRj) (j=0~7): ・DF1~DF0およびGOCの機能欄を補足 ・レジスタの説明を変更 ・DF1~DF0ビットの説明を補足 ・GSCビットの説明を補足	
		347	18.2.5 ベースタイマレジスタ (G1BT): ・レジスタ図の「機能」欄を変更 ・レジスタを書き込み禁止にしたため、説明を合わせて変更	
		348	18.2.6 ベースタイマ制御レジスタ0 (G1BCR0): ITビットの説明を追加	
		349	18.2.7 ベースタイマ制御レジスタ1 (G1BCR1)、RST1ビットの説明: ・2段落目の先頭に「RST1ビットが“1”の場合、」追加 ・参照先を変更 ・G1POjレジスタに関連する説明を削除。18.2.2に移動	
		350	18.2.8 時間計測プリスケアラレジスタj (G1TPRj) (j=6, 7): レジスタ図に「設定値」欄を追加	
		354	18.2.13 波形出力マスタ許可レジスタ (G1OER)、レジスタの説明: 「EOCjを“0”と」→「EOCjを“1”(出力禁止)と...」	
		355, 356	18.2.14、18.2.15 タイマS I/O 制御レジスタ0、1 (G1IOR0、1): ・各ビットの「機能」: “00”の場合の表現を変更 ・レジスタ図の下の1段落目を変更	

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	ページ	改訂内容
1.20	2011.11.14	357	18.2.16 割り込み要求レジスタ (G1IR): レジスタの説明を変更
		360	表 18.5 ベースタイマの仕様: <ul style="list-style-type: none"> ・「ベースタイマリセット条件」にBTSビットを追加 ・「ベースタイマ動作中のベースタイマリセット時の値」から「ベースタイマ動作中の」を削除 ・「選択機能」を削除。18.3.1.2、18.3.1.3に移動 ・「ベースタイマへの書き込み」を削除
		361	図 18.3 ベースタイマのブロック図: <ul style="list-style-type: none"> ・G1DVレジスタ、G1BTレジスタを追加 ・二相パルスクロック入力端子を明示
		361	表 18.6 ベースタイマ関連レジスタの設定: 詳細追加
		362, 363, 364	18.3.1.1 アップカウント、18.3.1.2 アップダウンカウント、18.3.1.3 二相パルス信号処理: <ul style="list-style-type: none"> ・タイトルと説明を追加。 ・動作図内の割り込み要求の表現を変更
		365	図 18.7 二相パルス信号処理動作 (ベースタイマリセットした場合): <ul style="list-style-type: none"> ・タイミングを示す数値を削除。電気的特性に移動 ・G1DVレジスタに関する条件を追加
		366	18.3.1.4 ベースタイマ動作中のベースタイマリセット: 説明文を書き換え
		366	図 18.8 G1BTRRレジスタによるベースタイマリセット動作: <ul style="list-style-type: none"> ・ベースタイマオーバフロー要求に関する記述を削除 ・条件を追加
		366	図 18.9 G1PO0レジスタによるベースタイマリセット動作: <ul style="list-style-type: none"> ・注1で以下を変更。「ベースタイマ割り込み」→「IC/OCベースタイマ割り込み要求」、「チャンネル0割り込み」→「IC/OCチャンネル0割り込み要求」 ・条件を追加
		367	図 18.10 INT1によるベースタイマリセット動作: <ul style="list-style-type: none"> ・注2を書き換え ・条件を追加
		367	表 18.7、表 18.8、表 18.9 各モード時の関係: 各項目の「状態」を適切な用語に置き換え/削除
		368	18.3.2 時間計測機能: <ul style="list-style-type: none"> ・18.3 動作説明の下の階層に移動 ・文頭の「外部トリガ入力に同期して」→「外部入力をトリガにして」
		368	表 18.10 時間計測機能の仕様: <ul style="list-style-type: none"> ・「割り込み要求」を「割り込み要求発生タイミング」に変更 ・「選択機能」の仕様「ゲート機能」および「デジタルデバウンスフィルタ」の説明を簡素化
		369	表 18.11 時間計測機能関連レジスタの設定: 変更。ゲート機能使用時の設定追加
		369	図 18.11 時間計測機能 (1/2): ベースタイマとG1PO0レジスタが一致するときの記述を削除
		370	図 18.12 時間計測機能 (2/2): タイミング等修正
		371	図 18.13 プリスケアラ機能とゲート機能: G1IRビットのタイミング修正
		372	18.3.2.1 ゲート機能 (チャンネル6、7): 追加
		372	18.3.3 波形生成機能: 動作説明の下の階層に移動
		373	表 18.12 単相波形出力モードの仕様: <ul style="list-style-type: none"> ・「出力波形」のフリーラン動作: 「初期化しない」→「ベースタイマリセットしない」 ・m、nの値の範囲を変更 ・「割り込み要求」を「割り込み要求発生タイミング」に変更 ・「OUTC1_j端子」の仕様に「または入出力ポート」を追加 ・「選択機能」の「コンペアー一致出力機能」の説明を簡素化
		374	表 18.13 単相波形出力モード時の使用レジスタと設定値: 追加
		375	図 18.14 単相波形出力モードの動作例 (1/2)、(1)の図内: fBTi→fBT1
		376	図 18.15 単相波形出力モードの動作例 (2/2): <ul style="list-style-type: none"> ・「コンペアー致で“H”出力」の前に「IOj1～IOj0ビットが“10b”なので」を追加 ・G1OERレジスタのEOCjビットに関する条件を追加
		377	表 18.14 反転波形出力モードの仕様: <ul style="list-style-type: none"> ・「出力波形」のフリーラン動作: 「初期化しない」→「ベースタイマリセットしない」 ・m、nの値の範囲を変更 ・「割り込み要求」を「割り込み要求発生タイミング」に変更 ・「OUTC1_j端子」の仕様に「または入出力ポート」を追加

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	ページ	改訂内容		
1.20	2011.11.14	378	表 18.15 反転波形出力モード時の使用レジスタと設定値: 追加		
		380	図 18.17 反転波形出力モードの動作例(2/2): 「コンペアー致で“H”出力」の前に「IOj1~IOj0ビットが“10b”なので」を追加		
		381	18.3.3.3 セット-リセット波形出力 (SR 波形出力) モード: 4行目に「G1POCRk レジスタ」の記述を追加		
		381	表 18.16 SR 波形出力モードの仕様: <ul style="list-style-type: none"> ・「出力波形」のフリーラン動作: 「初期化しない」→「ベースタイマリセットしない」 ・m、n、pの値の範囲を変更 ・「割り込み要求」を「割り込み要求発生タイミング」に変更 ・「OUTC1_j端子」の仕様に「または入出力ポート」を追加 		
		382	表 18.17 SR 波形出力モード時の使用レジスタと設定値: 追加		
		384	18.3.4 入出力ポート機能選択: 「18.6.1 INPC1_7代替入力端子の選択」と「18.6.2 P1_7/INPC1_7デジタルデバウンス回路」の説明のみを表 18.18の下に残し、タイトルは削除		
		384	表 18.18 時間計測と波形出力機能の端子設定: 関連ビットの順序変更。表の簡素化		
		385	18.4 割り込み: 変更		
		387	18.5.1 レジスタアクセス: 追加		
		387	18.5.2 G1IR レジスタの変更: 内容変更		
		388	図 18.20 IC/OC 割り込み0の処理例: 「IC/OC 割り込み0、1の割り込み処理例」から変更		
		389	18.5.3 ICOCiIC レジスタの変更 (i=0, 1): 「ICOCiIC、ICOCiJC レジスタの変更」から変更		
		389	18.5.4 BTS ビットによるベースタイマリセット中の出力波形、18.5.5 G1P00 レジスタによるベースタイマリセット中のOUTC1_0端子出力: 「波形生成機能」から変更		
		389	18.5.6 時間測定機能選択時の割り込み要求: 追加		
		リアルタイムクロック			
		20.章	用語変更 「1秒作成回路」→「1秒生成回路」		
		396	表 20.1 リアルタイムクロックの仕様、「タイマの書き込み」: 「タイマ停止」→「カウント停止」		
		シリアルインタフェースUARTi			
		21.章	全体的に構成を変更しているため、表やセクションなどの順序が変更されている場合あり		
		21.章	21.3.3.6 SDA出力制御~21.3.3.10 送受信初期化まで全面改訂		
		21.章	「21.8.2 クロック非同同期型シリアルI/O (UART) モード使用上の注意」を削除		
		21.章	用語統一 <ul style="list-style-type: none"> ・「転送クロック」→「送受信クロック」 ・「転送データ長」→「キャラクタ長」 ・「転送データフォーマット」→「ビットオーダ」 		
		422	21.1 概要: 概要部を節と表で構成。		
		424	図 21.2 UARTi送受信部ブロック図: <ul style="list-style-type: none"> ・図内のバスを、上位と下位の2本から1本に表現を変更 ・ビットの説明からCKDIR削除 		
		425	表 21.3 レジスタ一覧 (1/2)、024Dh UART0送受信制御レジスタ 1: 「リセット後の値」を「00XX 0010b」から修正		
		428	21.2.2 UARTi送受信モードレジスタ (UiMR) (i=0~4): SMD2~SMD0ビットの説明: このビットを“000b”にするときの説明を追加		
		429	21.2.3 UARTiビットレートレジスタ (UiBRG) (i=0~4): 設定範囲を変更		
		429	21.2.4 UARTi送信バッファレジスタ (UiTB) (i=0~4): レジスタの説明に「またはI ² Cモード」を追加		
		430	21.2.5 UARTi送受信制御レジスタ0 (UiC0) (i=0~4): <ul style="list-style-type: none"> ・CRS ビットの説明を削除 ・NCH ビット: 1、2段落目を変更 		
		435	21.2.8 UART2特殊モードレジスタ4 (U2SMR4): <ul style="list-style-type: none"> ・レジスタ図内のSTSPSEL、ACKC、SCLHI、SWC9ビットの「機能」欄を変更、SWC9ビットのビット名を変更 ・STAREQ、RSTAREQ、STPREQビットの各説明にI²Cのマスタモードに関する説明を追加 ・既存のビット説明に加えて他の全ビットの説明を追加 		
		438	21.2.10 UART2特殊モードレジスタ2 (U2SMR2): <ul style="list-style-type: none"> ・SWC、ALS、STACのビット名を変更 ・b7以外の機能欄を変更 		
		441	21.3 動作説明: タイトル追加		

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	ページ	改訂内容
1.20	2011.11.14	441	表 21.5 クロック同期形シリアルI/Oモードの仕様: <ul style="list-style-type: none"> ・「受信開始条件」の「仕様」:「UiTBレジスタにダミー書き込み」を削除 ・注1、注2: 説明を書き換え
		442	表 21.6 クロック同期形シリアルI/Oモード時の入出力端子の機能: <ul style="list-style-type: none"> ・「入出力」欄を追加 ・「選択方法」:「xxx端子に対応するポート」→「端子を共用するポート」 ・「RXDi」端子の「入力」に「入力ポート」を追加
		443	表 21.7 クロック同期形シリアルI/Oモード時の使用レジスタと設定値: <ul style="list-style-type: none"> ・PCLKR: 追加 ・UiTB: ビット8を追加 ・UiRB: ビット8、11、13~15を追加 ・UiMR: ビット4~6を追加注1を削除
		447	21.3.1.3 連続受信モード: <ul style="list-style-type: none"> ・外部クロック使用時の説明を追加 ・図 21.6 連続受信モードの動作例: 追加
		448, 457	21.3.1.5 CTS/RTS機能、21.3.2.5 CTS/RTS機能: UIC0レジスタのCRD、CRSビットの設定に関する説明部を参照情報に変更
		448	21.3.1.6 通信の途中終了時、または通信エラー発生時の処理:「21.2.1 送受信回路の初期化」の内容を移動し、説明を書き換え
		449	表 21.8 UARTモードの仕様:注2を削除
		450	表 21.9 UARTモード時の入出力端子の機能: <ul style="list-style-type: none"> ・「入出力」欄を追加 ・「選択方法」:「xxx端子に対応するポート」→「端子を共用するポート」
		451	表 21.10 UARTモード時の使用レジスタと設定値: <ul style="list-style-type: none"> ・PCLKR: 追加 ・UiRB: ビット11を追加
		453	図 21.9 UARTモード時の受信タイミング例: 「UiBRGのカウンツソース」→「UiBRGで分周した後のクロック」に変更
		457	21.3.2.6 通信の途中終了時、または通信エラー発生時の処理:「21.3.2 送受信回路の初期化」の内容を移動し、説明を書き換え
		458	表 21.12 I ² Cモードの仕様: <ul style="list-style-type: none"> ・送受信クロックのn=U2BRGレジスタの設定値を「00h~FFh」から変更 ・注1、注2: 書き換え
		459	図 21.14 内部クロックの構成: 追加
		459	表 21.13 I ² Cモード時の入出力端子:新規に注1を追加し、旧注1を注2に変更
		460	表 21.14 I ² Cモード時の使用レジスタと設定値(1/2): <ul style="list-style-type: none"> ・PCLKR: 追加 ・U2TB: 0-7ビットの説明に「受信時は“FFh”を」を追加、ビット8を追加 ・U2RB: ビット13~15を追加 ・U2MR: ビット4~6を追加 ・注1を削除
		461	表 21.15 I ² Cモード時の使用レジスタと設定値(2/2): <ul style="list-style-type: none"> ・SWC: 「クロックの9ビット目の立ち下がりでSCL2出力」→「8ビット受信後にSCL2出力」 ・CKPH: 参照情報 → 「1」にしてください ・IFSR2A: 削除
		462	表 21.16 I ² Cモード時の各機能: <ul style="list-style-type: none"> ・表の上に説明を追加 ・全体に書き換え
		463	図 21.15 U2RBレジスタへの転送、割り込みのタイミング: <ul style="list-style-type: none"> ・「IICM2が“0”、CKPHが“0”の場合」を削除 ・「IICM2が“1”、CKPHが“0”の場合」を削除
		464	21.3.3.1 スタートコンディション、ストップコンディションの検出:最後の段落を追加
		464	図 21.16 スタートコンディション、ストップコンディションの検出:図を改訂
465	図 21.17 STSPSELビットの機能:図を改訂		
466	図 21.18 各コンディション生成時のレジスタ設定手順:追加		
467	21.3.3.3 アービトレーション:全体的に書き換え		

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	ページ	改訂内容		
1.20	2011.11.14	467~469	21.3.3.4 SCL制御とクロック同期化: 追加 (図含む)		
		470	21.3.3.5 SCLクロックの周波数の考え方: 追加 (図含む)		
		474	表 21.18 特殊モード2の仕様、「割り込み要求発生タイミング」の「仕様」: ・「送信時」→「送信割り込み時」 ・「受信時」→「受信割り込み時」		
		476	表 21.20 特殊モード2時の使用レジスタと設定値: ・PCLKR: 追加 ・U2TB: ビット8を追加 ・U2RB: ビット8、11、13~15を追加 ・U2MR: ビット4~6を追加 ・注1を削除		
		478	表 21.21 IEモード時の使用レジスタと設定値: IFSR2Aを削除		
		480	表 21.22 SIMモードの仕様: 注2を変更		
		482	図 21.30 SIMモードの送受信タイミング例: (1)のS2TICレジスタのIRビットが1になるタイミングを追加		
		485~486	21.4 割り込み、21.4.1 割り込み関連レジスタ、21.4.2 受信割り込み: 追加		
		487	21.5.1 複数モードに関わる共通事項: 追加		
		488, 488	21.5.2.2 送信、21.5.2.3 受信: 外部クロックレベルの説明を箇条書きに変更		
		489~490	下記を追加 ・21.5.3.3 コンディション生成時のセットアップ時間およびホールド時間 ・21.5.3.4 U2BRGカウントソースによる最大送受信速度の制限 ・21.5.3.5 スレープ時のリスタートコンディション ・21.5.3.6 スレープ時の送受信開始条件		
		490	21.5.4 特殊モード4 (SIMモード): ・送信割り込み要求が発生する条件を変更		
		マルチマスタ I²C-bus インタフェース			
		22.章		用語統一 ・「高速クロックモード」→「Fast-mode」 ・「フリーフォーマット選択」→「フリーデータフォーマット選択」	
		497		22.2.3 I2C0制御レジスタ0 (S1D0)、TISSビット: 「P2_0/SDAMM、P2_1/SCLMM端子」→「SCLMM、SDAMM 端子」	
		509		22.2.8 I2C0ステータスレジスタ0 (S10): LRBビット: 0になる条件、1になる条件を削除し、S00で0になる説明を追加	
		520		22.3.4 リスタートコンディションの発生、説明の1行目: 「1バイトのデータ送受信に」→「1バイトのデータ送受信後に」	
		528		図 22.16 タイムアウト検出タイミング: ・図内のビットの表示を削除 ・「タイムアウト検出有効」の記述を削除	
		533		22.3.10.5 スレープ送信: アービトレーションロストを検出した場合の説明を追加	
		537, 537		22.5.2.4 S3D0レジスタ、22.5.2.6 S10レジスタ: 1項目目に「MOV命令を使用して書いてください。」を追加	
		CANモジュール			
		544		23.1.1 CAN0制御レジスタ (COCTRL): 注2、注3を変更	
		A/Dコンバータ			
		612, 613		図 24.2 A/Dコンバータのブロック図 (A/D回路)、図 24.3 A/Dコンバータのブロック図 (A/D1回路): 上位、下位のデータバスを1本のデータバスで表現	
		630, 632, 634, 636		図 24.8~図 24.11 各モードの動作例: 図の見方を変更	
		639		24.7.1 アナログ入力選択: キー入力割り込みを使用する場合の説明を変更	
		CRC演算回路			
		642		図 25.1 CRC演算回路のブロック図: ・上位、下位バスを1本で表現 ・アドレスを削除	
		フラッシュメモリ			
		26.章		「26.10.1 フラッシュメモリ書き換え禁止機能」を削除	
		649		表 26.2 フラッシュメモリ書き換えモードの概要: 「CPU動作モード」、「オンボード書き換え」の行を追加	

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	ページ	改訂内容
1.20	2011.11.14	651	26.3.1 フラッシュメモリ制御レジスタ0 (FMR0): FMSTPの説明でFMR22ビットに関する記述を追加
		661	26.7 ユーザブートモード: 追加
		661	26.7.1 ユーザブート機能: 表 26.6の下から「このとき、OFS1番地の内容は有効です」を削除
		663	表 26.9 エントリに使用できるポートのアドレス: アドレスごとに数値を表記するように変更
		663	表 26.10 ユーザブートコード領域設定例: 追加
		664	図 26.4 ユーザブートモードのプログラムスタート番地: 追加
		665	表 26.11 EW0モードとEW1モードの違い ・「自動書き込み、自動消去時の状態」の「EW1モード」を変更 ・注1を削除し、新たに追加
		666	26.8.1 EW0モード: ・「NMI... 割り込み」の説明を一部削除、変更 ・ウォッチドックタイマについての記述を一部変更
		667	表 26.12 コマンド実行後のモード (EW0モード): 追加
		668, 669, 670	図 26.6 EW0モードのプログラムフローチャート(サスペンド機能許可時) 図 26.7 EW0モードのブロックイレーズフローチャート(サスペンド機能許可時) 図 26.8 EW0モードのロックビットプログラムフローチャート(サスペンド機能許可時): ・「Iフラグ=0」を追加 ・「Iフラグ=1」を移動 ・「td(SR-SUS)待つ」を削除 ・「FMR33=1 ?」 / 「FMR32=1 ?」を「FMR00=1 ?」にし、矢印の行き先を変更
		672	26.8.2 EW1モード: ・「NMI... 割り込み」の説明を一部削除、変更 ・ウォッチドックタイマについての記述を一部変更
		673	表 26.13 コマンド実行後のモード (EW1モード): 追加
		674, 675, 676	図 26.11 EW1モードのプログラムフローチャート(サスペンド機能許可時) 図 26.12 EW1モードのブロックイレーズフローチャート(サスペンド機能許可時) 図 26.13 EW1モードのロックビットプログラムフローチャート(サスペンド機能許可時): ・「Iフラグ=0」追加 ・「Iフラグ=1」移動
		681	表 26.16 ソフトウェアコマンド一覧表: 注1追加
		683, 684	26.8.6.4 プログラム、26.8.6.5 ブロックイレーズ: EW0モードのステータスレジスタに関する記述を削除
		686	図 26.22 リードロックビットステータスフローチャート: 「FMR16=0? (判断)」 → 「FMR16ビットを読む (処理)」
		687	図 26.23 ブロックブランクチェックフローチャート: 「FMR07=0? (判断)」 → 「FMR07ビットを読む (処理)」
		687	26.8.6.8 ブロックブランクチェック: 図下の瞬時停電に関する説明を書き換え
		689	表 26.19 エラーとFMR0レジスタの状態: 注1の“xxFFh”を書いた後の状態を変更
		690	26.8.7.2 各エラー発生時の対処方法: ・イレーズエラー: (4)の後の説明を変更 ・プログラムエラー: プログラム実行時の (3)の後の説明を変更
		693	26.9.2 強制イレーズ機能: ROMCRビットに関する記載を追加
		693	26.9.3 標準シリアル入出力モード禁止機能: ROMCRビットに関する記載を追加
		694, 696	表 26.22、表 26.24 端子機能の説明(フラッシュメモリ標準シリアル入出力モード1、2)「VREF」の「機能」: 説明を追加
		697	26.10 パラレル入出力モード: 項 (26.9.6)から節 (26.10)に変更
		697	26.10.1 ROMコードプロテクト機能: ROMCRビットに関する記述を追加
		698	26.11.1 OFS1番地、OFS2番地、IDコード格納番地: 追加
		699	26.11.3.2 CPU書き換えモードの選択: FMR60ビットに関する記述を追加
		699	26.11.3.7 DMA転送: EW0モードに関する記述を追加
		700	26.11.3.10 ソフトウェアコマンド: (b): 変更 (c): 括弧内に「または同じコマンドを複数回」を追加 (e): 文頭に「スローリードモード...」追加
		700	26.11.3.12 自動消去、自動書き込みの中断: リセットを詳細に記載

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
-------------	--

Rev.	発行日	ページ	改訂内容
1.20	2011.11.14	701	26.11.4.1 ユーザブートプログラム: 「ユーザブートプログラムの配置」と「標準シリアル入出力モード後のユーザブートモード起動」をまとめ、更に内容を追加
		電気的特性	
		27.章	タイマSの端子追加に伴い、表記を変更: ・ P8_0、P8_0 (A相)、P8_0 (A-phase)→TSUDA ・ P8_1、P8_1 (B相)、P8_1 (B-phase)→TSUDB
		5V、3V 共通	
		702	27.1.1 絶対最大定格: V_I の項目からVREFを削除
		703	表 27.2 推奨動作条件 (1/2): ・ V_{CC} の最小値を「3.0」から変更 ・ $I_{OH(sum)}$ の最大値を「80」から変更 ・ $I_{OL(sum)}$ の最大値を「-80」から変更
		709	表 27.9 電圧検出2回路の電気的特性: Vdet2_0~Vdet2_3、Vdet2_5~Vdet2_7を追加
		710	表 27.11 電源回路のタイミング特性: $t_{d(W-S)}$ の最大値を「150」から変更
		711	図 27.5 電源回路のタイミング図: $t_{d(E-A)}$ の項目: 「低電圧検出回路」→「電圧検出回路」
		711	表 27.12 125kHzオンチップオシレータ発振回路の電気的特性: ウォッチドッグタイマ専用125kHzオンチップオシレータ発振周波数を追加
		Vcc=5V	
		712	表 27.13 電気的特性 (1)、TA0INなどが属する「VT+-VT-」: 最大値を「2.5」から変更
		718	27.2.2.5 タイマS入力: 追加
		720	図 27.14 マルチマスタI ² C-bus: 「 $t_{HD;DTA}$ 」→「 $t_{HD;DAT}$ 」、 「 $t_{su;DTA}$ 」→「 $t_{su;DAT}$ 」に修正
		Vcc=3V	
		721	表 27.29 電気的特性 (1)、TA0INなどが属する「VT+-VT-」: 最大値を「1.8」から変更
		727	27.3.2.5 タイマS入力: 追加
		729	図 27.23 マルチマスタI ² C-bus: 「 $t_{HD;DTA}$ 」→「 $t_{HD;DAT}$ 」、 「 $t_{su;DTA}$ 」→「 $t_{su;DAT}$ 」に修正
		使用上の注意事項	
		28.章	28.1 OFS1番地、IDコード格納番地: フラッシュメモリ章の注意事項に同様の記述があるため削除
		28.章	28.22.1 フラッシュメモリ書き換え禁止機能: 削除
		731	28.2.1 レジスタ設定時の注意事項: ・ リードモディファイライト命令に関する記述を追加 ・ 表 28.2 リードモディファイライト命令を追加
		734	図 28.2 SVCCのタイミング例: 図タイトルを追加し、内容を変更
		735	図 28.3 発振回路例: 「オシレータ」→「セラミック共振子または水晶共振子」
		738	28.5.5 PLL周波数シンセサイザ使用時: 追加
		739	28.6.1 CPUクロック: 2行目を追加
		739	28.6.2 ウェイトモード: ・ 1項目目を一部追加 ・ 2項目目を変更 ・ 3項目目を追加
		739	28.6.3 ストップモード: ・ 3項目目を一部追加 ・ 5項目目を変更 ・ 6項目目を追加
		740	28.6.4 低消費電流リードモード: 3項目を追加
		740	28.6.5 スローリードモード: 追加
		741	28.7.2 SD入力の影響: ・ 「SD端子の影響」から変更 ・ 入力端子を変更
		743	図 28.8 割り込み要因の変更手順例の注2: 「要因を変更する割り込みの...」→「要因を変更する割り込み制御レジスタの...」
		747	28.11 タイマA使用上の注意事項: 共通事項と、モードごとで書き直し
		750	28.12 タイマB使用上の注意事項: 共通事項と、モードごとで書き直し
		752	28.13.2 SD入力の影響: 「強制遮断入力」からタイトルと内容を変更
		753	28.14.1 レジスタアクセス: 追加
		753	28.14.2 G1IRレジスタの変更: 内容変更

改訂記録	M16C/5L、M16C/56グループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	ページ	改訂内容
1.20	2011.11.14	754	図 28.9 IC/OC 割り込み 0 の処理例: 「IC/OC 割り込み 0、1 の割り込み処理例」から変更
		755	28.14.3 ICOCiIC レジスタの変更 (i=0, 1): 「ICOCiIC、ICOCHjIC レジスタの変更」から変更
		755	28.14.4 BTS ビットによるベースタイマリセット中の出力波形、28.14.5 G1PO0 レジスタによるベースタイマリセット中の OUTC1_0 端子出力: 「波形生成機能」から変更
		755	28.14.6 時間測定機能選択時の割り込み要求: 追加
		759	28.17.1 複数モードに関わる共通事項: 追加
		760	28.17.2.2 送信、28.17.2.3 受信: 外部クロックレベルの説明を箇条書きに変更
		761~762	下記を追加 <ul style="list-style-type: none"> • 28.17.3.3 コンディション生成時のセットアップ時間およびホールド時間 • 28.17.3.4 U2BRG カウントソースによる最大送受信速度の制限 • 28.17.3.5 スレープ時のリスタートコンディション • 28.17.3.6 スレープ時の送受信開始条件: 追加
		762	28.17.4 特殊モード 4 (SIM モード): 送信割り込み要求が発生する条件を変更
		763, 763	28.18.2.4 S3D0 レジスタ、28.18.2.6 S10 レジスタ: 1 項目目に「MOV 命令を使用して書いてください。」を追加
		767	28.20.1 アナログ入力選択: キー入力割り込みを使用する場合の説明を変更
		770	28.21.1 OFS1 番地、OFS2 番地、ID コード格納番地: 追加
		771	28.21.3.2 CPU 書き換えモードの選択: FMR60 ビットに関する記述を追加
		771	28.21.3.7 DMA 転送: EW0 モードに関する記述を追加
		772	28.21.3.10 ソフトウェアコマンド: (b): 変更 (c): 括弧内、「または同じコマンドを複数回」を追加 (e): 文頭に「スローリードモード...」追加
		772	28.21.3.12 自動消去、自動書き込みの中断: リセットを詳細に記載
		773	28.21.4.1 ユーザブートプログラム: 「ユーザブートプログラムの配置」と「標準シリアル入出力モード後のユーザブートモード起動」をまとめ、更に内容を追加

前版までに修正または追加された箇所は、「(2) 前版までに修正または追加された箇所」を参照してください。

(2) 前版までに修正または追加された箇所

改訂記録		M16C/5LD、M16C/56Dグループハードウェアマニュアル			
Rev.	発行日	ページ	改訂内容		
0.70	2009.09.09	—	初版発行		
1.10	2009.11.27	全体	0366h 「ポート制御レジスタ」: 「リセット後の値」を変更		
			概要		
		8~9	図 1.3、図 1.4 ブロック図: 下記の項目を追加 ・電圧検出回路 ・パワーオンリセット ・オンチップデバッグ		
		15	表 1.10 64ピン版端子名一覧表 (2/2): 「TB2IN」63ピン→64ピンに移動		
			SFR		
		24	表 4.2 SFR一覧(2): 注2に「VW2C2」の記述を追加		
		58	表 4.36 書き込みのみ可能なビットを含むレジスタ: ・表をアドレス順に並べ替え ・D7C9h: CAN0受信FIFOポインタ制御レジスタ (C0RFPCR) 追加 ・D7CBh: CAN0送信FIFOポインタ制御レジスタ (C0TFPCR) 追加		
			リセット		
		65	6.3 オプション機能選択領域の説明: 書き込み出荷品に関する説明を追加		
			電圧検出回路		
		75	表 7.2 レジスタ構成: ・「注4」と「注6」を追加 ・注7 (旧注5)に「VW2C2」を追加		
		78	7.2.3 電圧監視機能選択レジスタ (VWCE)、本文1行目: シンボル修正 PCR3→PRC3		
		79	7.2.4 電圧検出2レベル選択レジスタ (VD2LS): ・レジスタ図: 「機能」欄を変更、b7-b4のRW欄 「—」→「RW」 ・本文1行目: シンボル修正 PCR3→PRC3 ・「VD2LS3~VD2LS0」ビット: 1行目を変更		
		81	7.2.6 電圧監視2回路制御レジスタ (VW2C): ・本文3行目: 「(VW2C3ビットを除く)」を追加 ・本文5行目: 「VW2C2」を追加		
		83	7.3 オプション機能選択領域の説明: 書き込み出荷品に関する説明を追加		
		83	7.3.1 オプション機能選択1番地 (OFS1): 「LVDAS」ビットの説明を追加		
		84	7.4.1 デジタルフィルタの6行目: 「次のサンプリング...」→「3度目のサンプリング...」		
		88	表 7.6 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順: 「手順4」追加		
			クロック		
		8.章			「ウォッチドッグタイマ専用125kHzオンチップオシレータ」に関する記述を削除
		8.章			8.8.5 PLL周波数シンセサイザ使用時: 削除
		96		8.2.2 システムクロック制御レジスタ0 (CM0): ・「CM01~CM00」ビット: 「CM01~CM00ビット有効」→「CM01~CM00ビットで選択」 ・「CM06」ビット: 2項目目を削除	
		98		8.2.3 システムクロック制御レジスタ1 (CM1): 「CM15」ビットの説明を変更	
					パワーコントロール
		120		9.2.2 フラッシュメモリ制御レジスタ2 (FMR2)内、「FMR23」ビットの説明の4行目: ・「f(BCLK) ≤ 32.768kHz時」→「CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)のとき」 ・「f(BCLK) > 32.768kHz時」→「CM07ビットが“0”の場合」	
		130		表 9.6 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件: ・「マルチマスタI ² C-bus」の「CM02=1の場合」 変更 ・「電圧監視0リセット」の「使用条件」 変更	
					プロセッサモード
		144		表 10.3 ソフトウェアウェイト関連ビットとバスサイクル: 「注1」を削除	
					プログラマブル入出力ポート
		146~151		11.2 入出力ポート、端子の構成: 構成を図と表を使った内容に変更	
		161		11.4.2 周辺機能入出力の優先順位: 追加	
					割り込み
		172		12.2.2 割り込み制御レジスタ1: 「IR」ビットの説明を変更	

改訂記録	M16C/5LD、M16C/56D グループ ハードウェアマニュアル
-------------	------------------------------------

Rev.	発行日	ページ	改訂内容
1.10	2009.11.27	173	12.2.3 割り込み制御レジスタ2: 「IR」 ビットの説明を変更
		176	12.2.6 割り込み要因選択レジスタ (IFSR): 「IFSR6」と「IFSR7」の「機能」を変更
		198	12.13.2 SPの設定: 説明を追加
			ウォッチドッグタイマ
		201	表 13.1 ウォッチドッグタイマの仕様: 「カウントソース」に「ウォッチドッグタイマ専用125kHzオンチップオシレータクロック」追加
		202	図 13.1 ウォッチドッグタイマのブロック図: 「ウォッチドッグタイマ専用125kHzオンチップオシレータ」を追加
		204	13.2.1 電圧監視2回路制御レジスタ (VW2C)、本文3行目: 「(VW2C3ビットを除く)」を追加
		207	13.3 オプション機能選択領域: 書き込み出荷品に関する説明を追加
		208	13.3.2 オプション機能選択2番地 (OFS2): シンボル修正 CSPRO→CSPRO
		211	13.4.3 カウントソース保護モード有効時: 表 13.4の下に説明を追加
			DMAC
		223	14.3.2 DMA要求: シンボル修正 DESL4~DESL0→DSEL4~DSEL0
		230	14.4 割り込み、表 14.10の下の説明文: シンボル修正2箇所 DESL4~DESL0→DSEL4~DSEL0
		231	14.5.2 DMA要求要因の変更: シンボル修正 DESL4~DESL0→DSEL4~DSEL0
			タイマA
		233	図 15.2 タイマA構成: 「タイマA0」、「タイマA3」部の「11b」より「プログラマブル出力モード」削除
		255	表 15.9 イベントカウンタモード(二相パルス信号処理を使用しない場合)時の使用レジスタと設定値: 「PCLKR」、「TACS0~TACS2」の「機能、設定値」を変更
		259	表 15.11 イベントカウンタモード(二相パルス信号処理を使用する場合)時の使用レジスタと設定値: 「PCLKR」、「TACS0~TACS2」、「ONSF」の「TAITGH~TAITGL」の「機能、設定値」を変更
			タイマB
		294	表 16.8 イベントカウンタモード時の使用レジスタと設定値: 「TBCS0~TBCS1」の「機能、設定値」: 00b→00hに変更
		297	16.3.4 パルス周期測定モード、パルス幅測定モード: 「タイマの書き込み」の「仕様」欄から2項目目を削除
			タイマS
		356	18.2.5 ベースタイマレジスタ (G1BT): レジスタ図の「機能」に説明を追加
		369	表 18.5 ベースタイマの仕様: ・「ベースタイマ動作中のベースタイマリセット時の値」: 「ベースタイマ動作中の」追加 ・「ベースタイマの読み出し」の「仕様」、2項目目を変更 ・「ベースタイマへの書き込み」の「仕様」、2項目目を変更
		374	18.3.2 ベースタイマ動作中のベースタイマリセット: タイトルに「ベースタイマ動作中の」を追加
		385	表 18.15 反転波形出力モードの仕様、「選択機能」の「仕様」 3及び4項目目: 「単相波形」→「反転波形」
		388	表 18.16 SR波形出力モードの仕様: ・「注1」を削除し、「出力波形」の「n:」の条件に追加 ・「選択機能」の「仕様」 3項目目: 「単相波形」→「SR波形」
			シリアルインタフェースUARTi (i = 0~4)
		21.章	各レジスタ図にタイトルと説明を追加し、構成を改訂
		21.章	スレープモードに関する記述を削除
		434	21.1.1 周辺クロック選択レジスタ (PCLKR): 追加
		464	表 21.11 I ² Cモード時の入出力端子: 追加
		467	表 21.14 I ² Cモード時の各機能: ・「受信データ格納」行を削除 ・「受信データ読み出し」行を変更 ・「注3」、「注4」を削除
		474	表 21.17 特殊モード2時の入出力端子: 追加

改訂記録

M16C/5LD、M16C/56D グループ ハードウェアマニュアル

Rev.	発行日	ページ	改訂内容		
1.10	2009.11.27	484	21.8.1.1 送受信: (i=0~4)→(i=0~3)		
			マルチマスタ I2C-bus インタフェース		
		486	表 22.1 I ² C回路の仕様: 「選択機能」の「タイムアウト検出」の説明を変更		
		487	表 22.2 I ² C回路の検出機能: 「スレーブアドレス一致検出」の「機能」の説明を変更		
		492	22.2.3 I2C0制御レジスタ0 (S1D0) ・「BC2~BC0」ビット: 説明を変更 ・「IHR」ビット: 最終段落の説明を変更		
		499	22.2.6 I2C0制御レジスタ1 (S3D0)、「WIT」ビットの説明の13行目: 「データ送信時とスレーブアドレス送受信時は、…」→ 「データ送信時とスレーブアドレス受信時は、…」		
		507	表 22.9 S10レジスタ書き込みによる機能: 「機能」の「通信モード」を各モードごとに記載		
		509	22.2.8 I2C0ステータスレジスタ0 (S10)、「PIN」ビットの3項目目: 説明を追加		
		514	表 22.11 fVICが4MHzの場合のCCR4~CCR0ビットの設定値とビットレートの例: ・データ行の7行目: 167→166 ・データ行の10行目: 17.6→16.6		
		515	22.3.2 スタートコンディション発生方法: ・(2)の説明: 説明を追加 ・(2)の下の説明: S11→S00		
		519	図 22.10 スタートコンディション重複防止機能動作例: 「S10レジスタのMSTビット」、「S10レジスタのTRXビット」部を変更		
		519	22.3.5 スタートコンディション重複防止機能 図 22.10の下: S10レジスタ→S10レジスタ、S00レジスタ		
		521	22.3.6 アービトレーションロスト: ・(a)の条件を変更 ・セクションの最後に説明を追加		
		526	22.3.9 タイムアウト検出: 「タイムアウトを検出した場合には…」の3項目目を削除		
		528	22.3.10.2 マスタ送信: 「(B)データ送信」から「(1)ACKを確認する」を削除		
		529	22.3.10.3 マスタ受信: 「(B)データ受信1」から「(1)ACKを確認する」を削除		
		530	図 22.19 スレーブ受信の動作例: 「ストップコンディション」→「スレーブ受信終了」		
		530	22.3.10.4 スレーブ受信: ・「(A)スレーブ受信開始」: 「ACK」ビットに関する記述を削除 ・「(B)データ受信1」: 「(最後のデータなので)… ACKなし」→「(最後のデータではないので)… ACKあり」 ・「(C)データ受信2」: (2)を追加		
		531	22.3.10.5 スレーブ送信: 「(B)データ送信」から「ACK確認」を削除		
		533	表 22.15 I ² C回路の割り込み: 「割り込み要因」の5つ目: 「スレーブアドレス送信完了」削除		
					A/Dコンバータ
		608	表 24.1 A/Dコンバータの仕様: 「積分非直線性誤差」の「仕様」の内容を変更		
		616	24.2.4 A/Dトリガ制御レジスタ (ADJTRGCON): シンボル修正 HPTRG0、HPTRG1 → HDTRG0、HDTRG1		
		622	24.3.1 A/D変換サイクル数: 説明を変更		
					フラッシュメモリ
		650	26.3.1 フラッシュメモリ制御レジスタ0 (FMR0): ・「FMR00」ビットの「0」になる条件」に項目を追加 ・「FMR02」ビットの最後に記述を追加		
		655	26.3.5 フラッシュメモリ制御レジスタ6 (FMR6): 「FMR60」ビットの最後に記述を追加		
		656	26.4 オプション機能選択領域の説明: 書き込み出荷品に関する説明を追加		
		661	26.8 CPU書き換えモードの6行目: 説明を追加		
		661	表 26.10 EW0モードとEW1モードの違い: ・「項目」の6つ目: 変更 ・「フラッシュメモリのステータス検知」の各モード: 変更		
		671	図 26.12 ブロックブランクチェックフローチャート: 「コマンドシーケンスエラー」検出を追加		

改訂記録	M16C/5LD、M16C/56D グループ ハードウェアマニュアル
-------------	------------------------------------

Rev.	発行日	ページ	改訂内容		
1.10	2009.11.27	671	26.8.4.8 ブロックブランクチェック: セクションの最後に説明を追加		
		673	表 26.16 エラーとFMR0レジスタの状態: 「エラー発生条件」の1つ目を変更		
		674	26.8.5.2 各エラー発生時の対処方法: 「イレーズエラー」の最後に説明を追加		
		676	図 26.15 EW0モードのプログラムフローチャート(サスペンド機能許可時): 「td(SR-SUS)待つ」を「マスカブル割り込み」のフローチャートに追加		
		677	図 26.16 EW0モードのブロックイレーズフローチャート(サスペンド機能許可時): 「td(SR-SUS)待つ」を「マスカブル割り込み」のフローチャートに追加		
		678	図 26.17 EW0モードのロックビットプログラムフローチャート(サスペンド機能許可時): 「td(SR-SUS)待つ」を「マスカブル割り込み」のフローチャートに追加		
		690	26.9.5 標準シリアル入出力モード2: 「メインクロックを使用」が前提であることを明記		
		693	26.10.3.10 ソフトウェアコマンド: (e)を追加		
					電気的特性
		27.章			章全体を階層化し、構成を改訂
		695			表 27.1 絶対最大定格: ・ V_{REF} アナログ基準電圧」を追加 ・「注1」を追加
		696			表 27.2 推奨動作条件 (1/2): 下記の項目を追加 ・ $I_{OH(sum)}$ “H” 尖頭総出力電流 ・ $I_{OL(sum)}$ “L” 尖頭総出力電流
		698			表 27.4 A/D変換特性: ・ ϕ_{AD} A/D動作クロック周波数を追加し、旧「注2」の記載を反映 ・新規に「注4」を追加
		700			表 27.6 フラッシュメモリ(プログラムROM1、2)の電気的特性: 「読み出し電圧」の「測定条件」を追加
		702			電圧検出回路の電気的特性: ・「表 27.8 電圧検出0回路の電気的特性」と「表 27.9 電圧検出2回路の電気的特性」に切り分け ・各ファイルの項目も改訂
		702			表 27.8 電圧検出0回路の電気的特性: ・「電圧検出0回路反応時間」の「測定条件」を変更 ・「電圧検出回路動作開始までの待ち時間」の「測定条件」を追加
		702			表 27.9 電圧検出2回路の電気的特性: ・「電圧検出回路動作開始までの待ち時間」の「測定条件」を追加
		702			図 27.4 パワーオンリセット回路の電気的特性: t_{th} 部を変更
		703			図 27.5 電源回路のタイミング図: $t^{d(E-A)}$ の図説部: VC26→VC25
		704			表 27.13 電気的特性(1): ・ V_{T+} - V_{T-} (周辺機能の入力)の「項目」を追加
		705			表 27.14 電気的特性(2): 下記の項目を「 I_{CC} 」の「測定条件」に追加 ・フラッシュメモリプログラム中 ・フラッシュメモリイレーズ中
		706			27.2.2.1 リセット入力: 新規に追加
		706			図 27.6 リセット入力 (RESET入力): 新規に追加
		712~719			「27.3 電気的特性($V_{CC}=3V$)」の変更は5Vと同様
					使用上の注意事項
		28.章			28.7.5 PLL周波数シンセサイザ使用時: 削除
		720			28.2 OFS1番地、OFS2番地、IDコード格納番地: OFS2番地に関する記述を追加
		722			表 28.1 書き込みのみ可能なビットを含むレジスタ: ・表をアドレス順に並べ替え ・D7C9h: CAN0受信FIFOポインタ制御レジスタ (C0RFPCR) 追加 ・D7CBh: CAN0送信FIFOポインタ制御レジスタ (C0TFPCR) 追加
		732			28.10.2 SPの設定: 説明を追加
		736			28.12.2 DMA要求要因の変更: シンボル修正 DESL4~DESL0→DSEL4~DSEL0
752			28.19.1.1 送受信: RTSi (i=0~4)→RTSi (i=0~3)		
753			28.19.2.1 送受信: RTSi (i=0~4)→RTSi (i=0~3)		
762			28.23.3.10 ソフトウェアコマンド: (e)を追加		

本版で修正または追加された箇所は、「(1) 本版で修正または追加された箇所」を参照してください。

M16C/5LD、M16C/56Dグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2009年9月9日 Rev.0.70
2011年11月14日 Rev.1.20

発行 ルネサスエレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

M16C/5LD、M16C/56D グループ



ルネサスエレクトロニクス株式会社

R01UH0314JJ0120
(旧番号: RJJ09B0594-0110)