

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

78K0S/KA1+

8ビット・シングルチップ・マイクロコントローラ

μPD78F9221

μPD78F9222

μPD78F9224

μPD78F9221(A)

μPD78F9222(A)

μPD78F9221(A2)

μPD78F9222(A2)

(X モ)

目次要約

第1章	概 説	…	15
第2章	端子機能	…	21
第3章	CPUアーキテクチャ	…	28
第4章	ポート機能	…	54
第5章	クロック発生回路	…	71
第6章	16ビット・タイマ／イベント・カウンタ00	…	88
第7章	8ビット・タイマ80	…	129
第8章	8ビット・タイマH1	…	135
第9章	ウォッチドッグ・タイマ	…	150
第10章	A/Dコンバータ	…	161
第11章	シリアル・インタフェースUART6	…	182
第12章	割り込み機能	…	221
第13章	スタンバイ機能	…	234
第14章	リセット機能	…	246
第15章	パワーオン・クリア回路	…	254
第16章	低電圧検出回路	…	258
第17章	オプション・バイト	…	269
第18章	フラッシュ・メモリ	…	272
第19章	オンチップ・デバッグ機能	…	328
第20章	命令セットの概要	…	332
第21章	電気的特性（標準品，（A）水準品）	…	343
第22章	電気的特性（（A2）水準品）	…	355
第23章	外形図	…	369
第24章	半田付け推奨条件	…	372
付録A	開発ツール	…	374
付録B	ターゲット・システム設計上の注意	…	381
付録C	レジスタ索引	…	383
付録D	注意事項一覧	…	389
付録E	改版履歴	…	404

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、NECエレクトロニクス株式会社の登録商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意： 本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

- 本資料に記載されている内容は2009年2月現在のもので、今後、予告なく変更することがあります。
量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

はじめに

対 象 者 このマニュアルは78K0S/KA1+の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ★
- 78K0S/KA1+： μ PD78F9221, 78F9222, 78F9224, 78F9221(A), 78F9222(A), 78F9221(A2), 78F9222(A2)

目 的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構 成 78K0S/KA1+のマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

78K0S/KA1+ ユーザーズ・マニュアル	78K/0Sシリーズ ユーザーズ・マニュアル 命令編
●端子機能	●CPU機能
●内部ブロック機能	●命令セット
●割り込み	●命令の説明
●その他の内蔵周辺機能	
●電気的特性	

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

☐一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この"★"をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

☐レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がRA78K0Sでは予約語に、CC78K0Sでは #pragma sfr 指令で、sfr変数として定義されているものです。

☐レジスタ名が分かっていてレジスタの詳細を確認するとき

→付録C レジスタ索引を利用してください。

☐78K/0Sシリーズの命令機能の詳細を知りたいとき

→別冊の78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

☐78K0S/KA1+の電気的特性を知りたいとき

→第21章、第22章の電気的特性を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\times\times\times}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数 $\cdots\times\times\times\times$ または $\times\times\times\times B$ 10進数 $\cdots\times\times\times\times$ 16進数 $\cdots\times\times\times\times H$

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
78K0S/KA1+ ユーザーズ・マニュアル	このマニュアル	U16898E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

★ 開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
RA78K0S Ver.2.00 アセンブラ・パッケージ	操作編	U17391J	U17391E
	言語編	U17390J	U17390E
	構造化アセンブリ言語編	U17389J	U17389E
CC78K0S Ver.2.00 Cコンパイラ	操作編	U17416J	U17416E
	言語編	U17415J	U17415E
SM+ システム・シミュレータ	操作編	U18601J	U18601E
	ユーザ・オープン・ インタフェース編	U18212J	U18212E
ID78K0S-QB Ver.3.00 統合デバッガ	操作編	U18493J	U18493E
PM+ Ver.6.30		U18416J	U18416E
Applilet EZ Intelligent Flash		U17211J	—

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資 料 名	資料番号	
	和 文	英 文
QB-78K0SKX1 インサーキット・エミュレータ	U18219J	U18219E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
PG-FP5 フラッシュ・メモリ・プログラマ		U18865J	U18865E
QB-Programmer プログラミングGUI	操作編	U18527J	U18527E

その他の資料

資 料 名		資料番号	
		和 文	英 文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-		X13769X	
半導体デバイス 実装マニュアル		注	
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電（ESD）破壊対策ガイド		C11892J	C11892E
半導体 品質／信頼性ハンドブック		C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	—

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 … 15

- 1.1 特 徴 … 15
- 1.2 オーダ情報 … 16
- 1.3 端子接続図 (Top View) … 17
- 1.4 78K0S/Kx1+の製品展開 … 18
- 1.5 ブロック図 … 19
- 1.6 機能概要 … 20

第2章 端子機能 … 21

- 2.1 端子機能一覧 … 21
- 2.2 端子機能の説明 … 23
 - 2.2.1 P20-P23 (Port 2) … 23
 - 2.2.2 P30, P31, P34 (Port 3) … 23
 - 2.2.3 P40-P45 (Port 4) … 24
 - 2.2.4 P121-P123 (Port 12) … 24
 - 2.2.5 P130 (Port 13) … 25
 - 2.2.6 $\overline{\text{RESET}}$ … 25
 - 2.2.7 X1, X2 … 25
 - 2.2.8 AV_{REF} … 25
 - 2.2.9 V_{DD} … 25
 - 2.2.10 V_{SS} … 25
- 2.3 端子の入出力回路と未使用端子の処理 … 26

第3章 CPUアーキテクチャ … 28

- 3.1 メモリ空間 … 28
 - 3.1.1 内部プログラム・メモリ空間 … 31
 - 3.1.2 内部データ・メモリ空間 … 32
 - 3.1.3 特殊機能レジスタ (SFR: Special Function Register) 領域 … 32
 - 3.1.4 データ・メモリ・アドレッシング … 32
- 3.2 プロセッサ・レジスタ … 35
 - 3.2.1 制御レジスタ … 35
 - 3.2.2 汎用レジスタ … 38
 - 3.2.3 特殊機能レジスタ (SFR) … 39
- 3.3 命令アドレスのアドレッシング … 44
 - 3.3.1 レラティブ・アドレッシング … 44
 - 3.3.2 イミディエト・アドレッシング … 45
 - 3.3.3 テーブル・インダイレクト・アドレッシング … 46
 - 3.3.4 レジスタ・アドレッシング … 46
- 3.4 オペランド・アドレスのアドレッシング … 47
 - 3.4.1 ダイレクト・アドレッシング … 47

- 3.4.2 ショート・ダイレクト・アドレッシング … 48
- 3.4.3 特殊機能レジスタ (SFR) アドレッシング … 49
- 3.4.4 レジスタ・アドレッシング … 50
- 3.4.5 レジスタ・インダイレクト・アドレッシング … 51
- 3.4.6 ベースト・アドレッシング … 52
- 3.4.7 スタック・アドレッシング … 53

第4章 ポート機能 … 54

- 4.1 ポートの機能 … 54
- 4.2 ポートの構成 … 55
 - 4.2.1 ポート2 … 56
 - 4.2.2 ポート3 … 57
 - 4.2.3 ポート4 … 59
 - 4.2.4 ポート12 … 63
 - 4.2.5 ポート13 … 65
- 4.3 ポート機能を制御するレジスタ … 65
- 4.4 ポート機能の動作 … 70
 - 4.4.1 入出力ポートへの書き込み … 70
 - 4.4.2 入出力ポートからの読み出し … 70
 - 4.4.3 入出力ポートでの演算 … 70

第5章 クロック発生回路 … 71

- 5.1 クロック発生回路の機能 … 71
 - 5.1.1 システム・クロック発振回路 … 71
 - 5.1.2 インターバル時間生成用クロック発振回路 … 71
- 5.2 クロック発生回路の構成 … 72
- 5.3 クロック発生回路を制御するレジスタ … 74
- 5.4 システム・クロック発振回路 … 77
 - 5.4.1 高速内蔵発振回路 … 77
 - 5.4.2 水晶／セラミック発振回路 … 77
 - 5.4.3 外部クロック入力回路 … 79
 - 5.4.4 プリスケアラ … 79
- 5.5 CPUクロック発生回路の動作 … 80
- 5.6 周辺ハードウェアへ供給するクロック発生回路の動作 … 86

第6章 16ビット・タイマ／イベント・カウンタ00 … 88

- 6.1 16ビット・タイマ／イベント・カウンタ00の機能 … 88
- 6.2 16ビット・タイマ／イベント・カウンタ00の構成 … 89
- 6.3 16ビット・タイマ／イベント・カウンタ00を制御するレジスタ … 93
- 6.4 16ビット・タイマ／イベント・カウンタ00の動作 … 99
 - 6.4.1 インターバル・タイマとしての動作 … 99
 - 6.4.2 外部イベント・カウンタとしての動作 … 101
 - 6.4.3 パルス幅測定としての動作 … 104
 - 6.4.4 方形波出力としての動作 … 112
 - 6.4.5 PPG出力としての動作 … 114
 - 6.4.6 ワンショット・パルス出力としての動作 … 117

6.5	16ビット・タイマ／イベント・カウンタ00の注意事項	122
-----	----------------------------	-----

第7章 8ビット・タイマ80 … 129

7.1	8ビット・タイマ80の機能	129
7.2	8ビット・タイマ80の構成	129
7.3	8ビット・タイマ80を制御するレジスタ	131
7.4	8ビット・タイマ80の動作	132
7.4.1	インターバル・タイマとしての動作	132
7.5	8ビット・タイマ80の注意事項	134

第8章 8ビット・タイマH1 … 135

8.1	8ビット・タイマH1の機能	135
8.2	8ビット・タイマH1の構成	135
8.3	8ビット・タイマH1を制御するレジスタ	138
8.4	8ビット・タイマH1の動作	140
8.4.1	インターバル・タイマ／方形波出力としての動作	140
8.4.2	PWM出力モードとしての動作	144

第9章 ウォッチドッグ・タイマ … 150

9.1	ウォッチドッグ・タイマの機能	150
9.2	ウォッチドッグ・タイマの構成	152
9.3	ウォッチドッグ・タイマを制御するレジスタ	153
9.4	ウォッチドッグ・タイマの動作	155
9.4.1	オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作	155
9.4.2	オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作	157
9.4.3	STOPモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合）	159
9.4.4	HALTモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合）	160

第10章 A/Dコンバータ … 161

10.1	A/Dコンバータの機能	161
10.2	A/Dコンバータの構成	163
10.3	A/Dコンバータで使用するレジスタ	165
10.4	A/Dコンバータの動作	170
10.4.1	A/Dコンバータの基本動作	170
10.4.2	入力電圧と変換結果	172
10.4.3	A/Dコンバータの動作モード	173
10.5	A/Dコンバータ特性表の読み方	175
10.6	A/Dコンバータの注意事項	178

第11章 シリアル・インタフェースUART6 … 182

- 11.1 シリアル・インタフェースUART6の機能 … 182
- 11.2 シリアル・インタフェースUART6の構成 … 187
- 11.3 シリアル・インタフェースUART6を制御するレジスタ … 190
- 11.4 シリアル・インタフェースUART6の動作 … 199
 - 11.4.1 動作停止モード … 199
 - 11.4.2 アシクロナス・シリアル・インタフェース (UART) モード … 200
 - 11.4.3 専用ボー・レート・ジェネレータ … 215

第12章 割り込み機能 … 221

- 12.1 割り込み機能の種類 … 221
- 12.2 割り込み要因と構成 … 221
- 12.3 割り込み機能を制御するレジスタ … 224
- 12.4 割り込み処理動作 … 229
 - 12.4.1 マスカブル割り込み要求の受け付け動作 … 229
 - 12.4.2 多重割り込み処理 … 231
 - 12.4.3 割り込み要求の保留 … 233

第13章 スタンバイ機能 … 234

- 13.1 スタンバイ機能と構成 … 234
 - 13.1.1 スタンバイ機能 … 234
 - 13.1.2 スタンバイ時に使用するレジスタ … 236
- 13.2 スタンバイ機能の動作 … 237
 - 13.2.1 HALTモード … 237
 - 13.2.2 STOPモード … 241

第14章 リセット機能 … 246

- 14.1 リセット要因を確認するレジスタ … 253

第15章 パワーオン・クリア回路 … 254

- 15.1 パワーオン・クリア回路の機能 … 254
- 15.2 パワーオン・クリア回路の構成 … 255
- 15.3 パワーオン・クリア回路の動作 … 255
- 15.4 パワーオン・クリア回路の注意事項 … 256

第16章 低電圧検出回路 … 258

- 16.1 低電圧検出回路の機能 … 258
- 16.2 低電圧検出回路の構成 … 259
- 16.3 低電圧検出回路を制御するレジスタ … 259
- 16.4 低電圧検出回路の動作 … 262
- 16.5 低電圧検出回路の注意事項 … 266

第17章 オプション・バイト … 269

- 17.1 オプション・バイトの機能 … 269
- 17.2 オプション・バイトのフォーマット … 270
- 17.3 RESET端子を入力専用ポート（P34）として使用した場合の注意事項 … 271

第18章 フラッシュ・メモリ … 272

- 18.1 特 徴 … 272
- 18.2 メモリ構成 … 273
- 18.3 機能概要 … 273
- 18.4 フラッシュ・メモリ・プログラマによる書き込み方法 … 274
- 18.5 プログラミング環境 … 275
- 18.6 オンボード上の端子処理 … 277
 - 18.6.1 X1, X2端子 … 277
 - 18.6.2 RESET端子 … 278
 - 18.6.3 ポート端子 … 279
 - 18.6.4 電 源 … 279
- 18.7 オンボード／オフボード時のフラッシュ・メモリ・プログラミング … 280
 - 18.7.1 フラッシュ・メモリ・プログラミング・モード … 280
 - 18.7.2 通信コマンド … 280
 - 18.7.3 セキュリティ設定 … 281
- 18.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング … 282
 - 18.8.1 セルフ・プログラミングの概要 … 282
 - 18.8.2 セルフ・プログラミング機能の注意事項 … 285
 - 18.8.3 セルフ・プログラミング機能で使用するレジスタ … 285
 - 18.8.4 通常モードからセルフ・プログラミング・モードへの移行例 … 292
 - 18.8.5 セルフ・プログラミング・モードから通常モードへの移行例 … 295
 - 18.8.6 セルフ・プログラミング・モードのブロック消去動作例 … 298
 - 18.8.7 セルフ・プログラミング・モードのブロック・ブランク・チェック動作例 … 301
 - 18.8.8 セルフ・プログラミング・モードのバイト書き込み動作例 … 304
 - 18.8.9 セルフ・プログラミング・モードの内部ベリファイ動作例 … 307
 - 18.8.10 セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例 … 311
 - 18.8.11 セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例 … 317

第19章 オンチップ・デバッグ機能 … 328

- 19.1 QB-MINI2との接続 … 328
 - 19.1.1 INTP3端子の処理 … 329
 - 19.1.2 X1, X2端子の処理 … 330
- 19.2 ユーザ資源の確保 … 331

第20章 命令セットの概要 … 332

- 20.1 オペレーション … 332
 - 20.1.1 オペランドの表現形式と記述方法 … 332
 - 20.1.2 オペレーション欄の説明 … 333

20.1.3	フラグ動作欄の説明 …	333
20.2	オペレーション一覧 …	334
20.3	アドレッシング別命令一覧 …	340
第21章	電気的特性（標準品，（A）水準品） …	343
第22章	電気的特性（（A2）水準品） …	355
第23章	外形図 …	369
第24章	半田付け推奨条件 …	372
付録A	開発ツール …	374
A.1	ソフトウェア・パッケージ …	377
A.2	言語処理用ソフトウェア …	377
A.3	フラッシュ・メモリ書き込み用ツール …	378
A.3.1	フラッシュ・メモリ・プログラマ FL-PR5, PG-FP5を使用する場合 …	378
A.3.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 …	378
A.4	デバッグ用ツール（ハードウェア） …	378
A.4.1	インサーキット・エミュレータ QB-78K0SKX1を使用する場合 …	378
A.4.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 …	379
A.5	デバッグ用ツール（ソフトウェア） …	380
付録B	ターゲット・システム設計上の注意 …	381
付録C	レジスタ索引 …	383
C.1	レジスタ索引（50音順） …	383
C.2	レジスタ索引（アルファベット順） …	386
付録D	注意事項一覧 …	389
付録E	改版履歴 …	404
E.1	本版で改訂された主な箇所 …	404
E.2	改版履歴 …	405

第1章 概 説

1.1 特 徴

○78K0S CPUコア搭載

○ROM, RAM容量

品 名	プログラム・メモリ (フラッシュ・メモリ)	データ・メモリ (内部高速RAM)
μ PD78F9221	2 Kバイト	128バイト
μ PD78F9222	4 Kバイト	256バイト
μ PD78F9224	8 Kバイト	

★

○最小命令実行時間 0.2 μs (10 MHz@4.0~5.5 V動作時)

○クロック

- ・高速システム・クロック … 以下の3種類のソースから選択
 - セラミック／水晶発振子 2~10 MHz (標準品, (A) 水準品)
2~8 MHz ((A2) 水準品)
 - 外部クロック 2~10 MHz (標準品, (A) 水準品)
2~8 MHz ((A2) 水準品)
 - 高速内蔵発振器 8 MHz±3 % (−10~+80°C) ,
8 MHz±5 % (標準品, (A) 水準品: −40~+85°C, (A2) 水準品: −40~+125°C)

- ・低速内蔵発振器 240 kHz (TYP.) … ウォッチドッグ・タイマ, 間欠動作時のタイマ用クロック

○I/Oポート: 17本 (CMOS入出力: 15本, CMOS入力: 1本, CMOS出力: 1本)

○タイマ: 4チャンネル

- ・16ビット・タイマ／イベント・カウンタ : 1チャンネル … タイマ出力×1, キャプチャ入力×2
- ・8ビット・タイマ : 2チャンネル … PWM出力×1
- ・ウォッチドッグ・タイマ : 1チャンネル … 低速内蔵発振クロックで動作可能

○シリアル・インタフェース: UART (LIN (Local Interconnect Network) -bus対応) 1チャンネル

○10ビット分解能A/Dコンバータ: 4チャンネル

○パワーオン・クリア (POC) 回路内蔵 (2.1 V (TYP.) 以下になった時に, 自動的にリセットを発生)

○低電圧検出 (LVI) 回路内蔵 (検出電圧になった時に, 割り込み／リセット (どちらか選択可能) を発生)

- ・検出電圧: 2.35~4.3 V間の10段階から選択可能

○単電源フラッシュ・メモリ

- ・セルフ・プログラミング可能
- ・ソフトウェア保護機能: 第三者からのコピー防止 (フラッシュ読み出しのコマンドなし)
- ・専用フラッシュ・プログラマによる書き込み時間: 約3秒 (4 KB) ※量産工程の書き込みに対応可能

○セーフティ機能

- ・CPUと独立したクロックで動作するウォッチドッグ・タイマ
 - … システム・クロックが停止しても, 暴走監視可能
- ・LVIにより電源電圧の低下を検出可能
 - … 動作電圧以下に電圧低下してしまう前に, 適切な処理を実行することが可能
- ・オプション・バイト機能搭載
 - … 重要なシステム動作設定をハードウェアで設定

○アセンブラ／C言語の両方に対応

○充実した開発環境

・フル機能エミュレータ（IECUBE），簡易エミュレータ（MINICUBE2），シミュレータをサポート

○電源電圧： $V_{DD} = 2.0 \sim 5.5 \text{ V}$

※ただしPOC回路の検出電圧（ V_{POC} ）が含まれるため、下記の電圧範囲で使用してください。

標準品，（A）水準品： $2.2 \sim 5.5 \text{ V}$ ，（A2）水準品： $2.26 \sim 5.5 \text{ V}$

○動作周囲温度

・標準品，（A）水準品： $T_A = -40 \sim +85^\circ\text{C}$

・（A2）水準品： $T_A = -40 \sim +125^\circ\text{C}$

1.2 オーダ情報

オーダ名称

μ PD78F9 $\times \times \times$ $\times \times$ (X) - $\times \times \times$ -X

半導体部材		
-A	鉛フリー	外部端子および内部その他に鉛を含有していない製品（Sn/Biメッキ）
-AX		外部端子および内部その他に鉛を含有していない製品（Ni/Pd/Auメッキ）

品質水準	
なし	標準（一般電子機器用）
(A)	特別（高信頼度電子機器用）
(A2)	

パッケージ・タイプ	
MC-5A4	プラスチックSSOP
MC-CAA	
CS-CAC	プラスチックSDIP

	ピン数	高速RAM容量	フラッシュ・メモリ容量
221	20ピン	128バイト	2 Kバイト
222	20ピン	256バイト	4 Kバイト
224	20ピン	256バイト	8 Kバイト

製品タイプ	
F	フラッシュ・メモリ製品

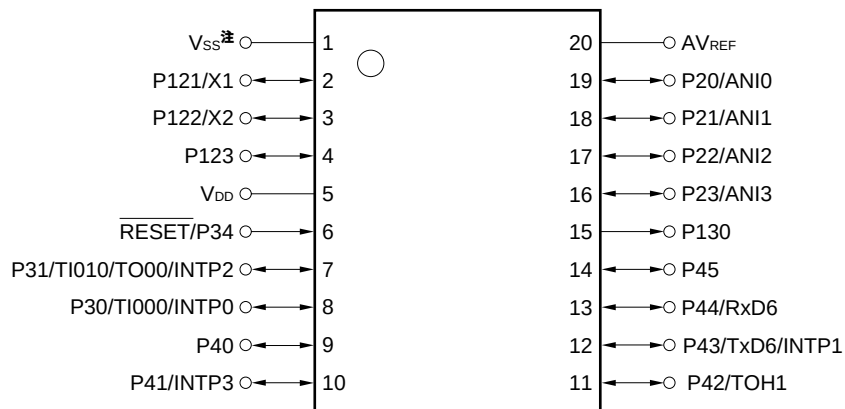
品質水準（標準水準と特別水準）とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（資料番号 C11531J）をご覧ください。

【オーダ名称一覧】

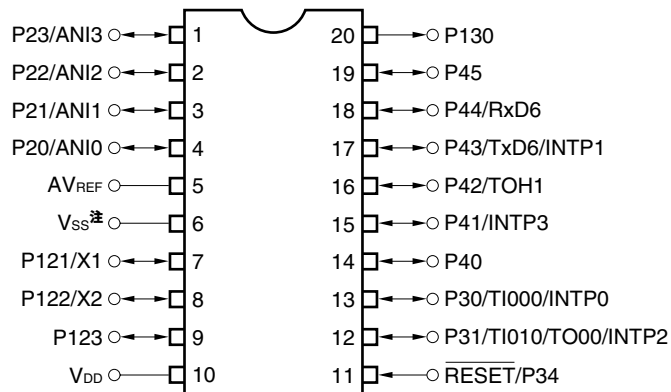
★ μ PD78F9221MC-5A4-A μ PD78F9222MC-5A4-A μ PD78F9224MC-5A4-A
 μ PD78F9221MC(A)-5A4-A μ PD78F9222MC(A)-5A4-A μ PD78F9221MC(A2)-5A4-A μ PD78F9222MC(A2)-5A4-A
 μ PD78F9221MC(A)-CAA-AX μ PD78F9222MC(A)-CAA-AX μ PD78F9221MC(A2)-CAA-AX μ PD78F9222MC(A2)-CAA-AX
 μ PD78F9221CS-CAC-A μ PD78F9222CS-CAC-A

1.3 端子接続図 (Top View)

・20ピン・プラスチックSSOP



・20ピン・プラスチックSDIP



端子名称

ANI0-ANI3	: Analog Input	P130	: Port 13
AVREF	: Analog Power Supply, Analog Reference Voltage, Power Supply for P20 to P23	RESET	: Reset
INTP0-INTP3	: External Interrupt Input	RxD6	: Receive Data
P20-P23	: Port 2	TI000, TI010	: Timer Input
P30, P31, P34	: Port 3	TO00, TOH1	: Timer Output
P40-P45	: Port 4	TxD6	: Transmit Data
P121-P123	: Port 12	VDD	: Power Supply
		Vss ^注	: Ground
		X1, X2	: Crystal Oscillator (X1 Input clock)

注 VssはA/Dコンバータのグラウンド電位と兼用しています。Vssを必ず安定しているGND (= 0 V) に接続してください。

1.4 78K0S/Kx1+の製品展開

78K0S/Kx1+の機能一覧を次に示します。

★

品 名		78K0S/KU1+	78K0S/KY1+	78K0S/KA1+		78K0S/KB1+
項 目						
ピン数		10ピン	16ピン	20ピン		30/32ピン
内部メモリ (バイト)	フラッシュ・メモリ	1 K, 2 K, 4 K		2 K	4 K, 8K	4 K, 8 K
	RAM	128		128	256	256
電源電圧		V _{DD} = 2.0~5.5 V ^{※1}				
最小命令実行時間		0.20 μs (10 MHz, V _{DD} = 4.0~5.5 V時) 0.33 μs (6 MHz, V _{DD} = 3.0~5.5 V時) 0.40 μs (5 MHz, V _{DD} = 2.7~5.5 V時) 1.0 μs (2 MHz, V _{DD} = 2.0~5.5 V時)				
システム・クロック (発振周波数)		高速内蔵発振 (8 MHz (TYP.)) 水晶／セラミック発振 (2~10 MHz) ^{※2} 外部クロック入力発振 (2~10 MHz)				
TMH1, WDT用クロック (発振周波数)		低速内蔵発振 (240 kHz (TYP.))				
ポート	CMOS入出力	7	13	15	24	
	CMOS入力	1	1	1	1	
	CMOS出力	—	—	1	1	
タイマ	16ビット (TM0)	1 ch ^{※3}				
	8ビット (TMH)	1 ch				
	8ビット (TM8)	—		1 ch		
	WDT	1 ch				
シリアル・インタフェース		—		LIN-Bus対応UART : 1 ch		
A/Dコンバータ ^{※4}		10ビット : 4 ch (2.7~5.5 V) ^{※4}				
乗算器 (8ビット×8ビット)		なし				あり
割り込み	内部	5 ^{※5}		9		
	外部	2		4		
リセット	RESET端子	あり				
	POC	2.1 V (TYP.)				
	LVI	あり (ソフトウェアにより選択可能)				
	WDT	あり				
動作周囲温度		標準品 : -40~+85°C	標準品, (A) 水準品 : -40~+85°C, (A2) 水準品 : -40~+125°C			

注 1. パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が含まれるため、下記の電圧範囲で使用してください。

標準品, (A) 水準品: 2.2~5.5 V, (A2) 水準品: 2.26~5.5 V

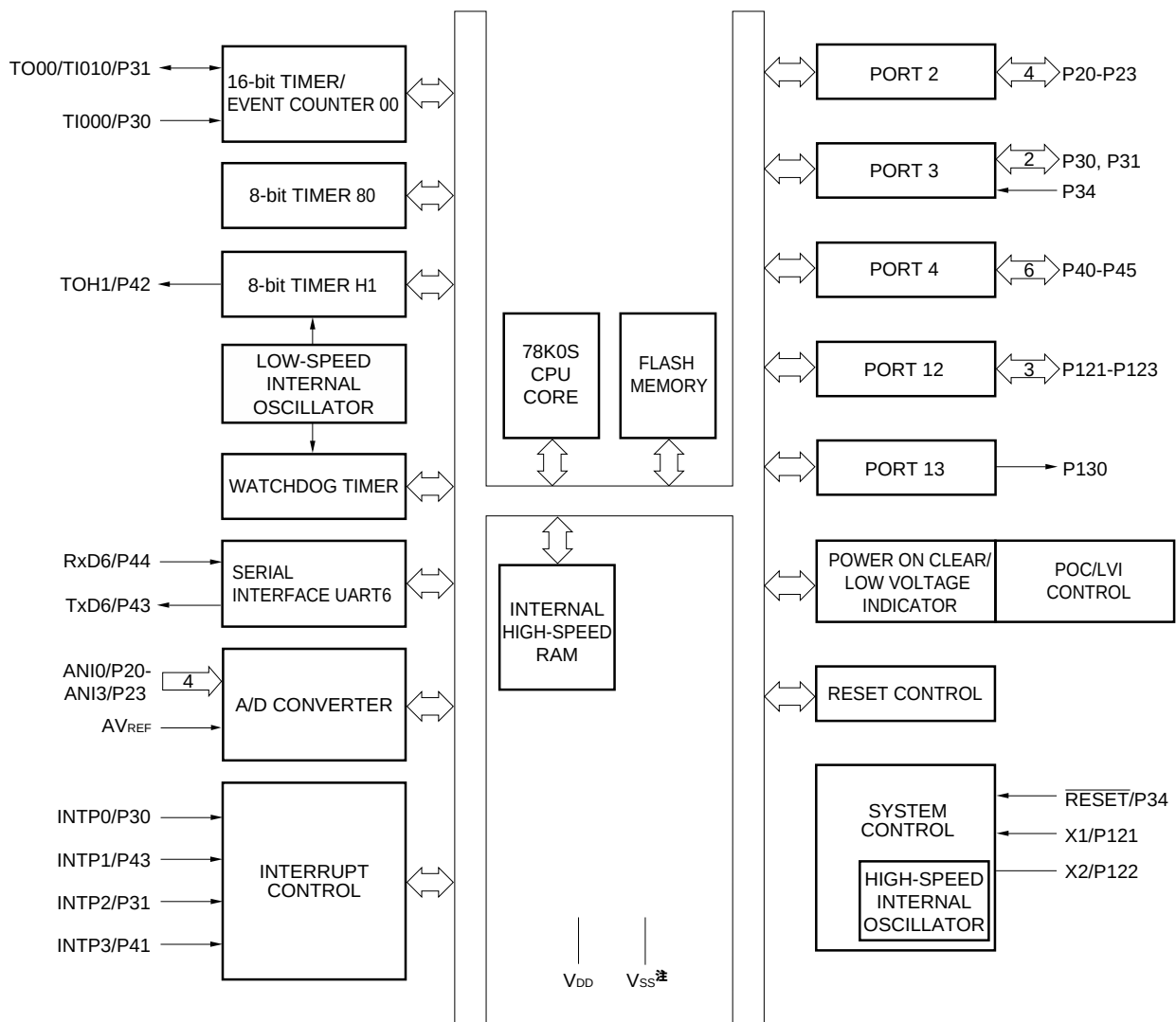
2. $\mu\text{PD78F95xx}$ は、水晶／セラミック発振には対応していません。

3. 78K0S/KU1+のA/Dコンバータ非搭載品 ($\mu\text{PD78F950x}$) では16ビット・タイマ (TM0) は搭載していません。

4. 78K0S/KU1+, 78K0S/KY1+には、それぞれA/Dコンバータ非搭載品 ($\mu\text{PD78F95xx}$) があります。本製品はA/Dコンバータ搭載品です。

5. 78K0S/KU1+のA/Dコンバータ非搭載品の内部要因は、2つです。78K0S/KY1+のA/Dコンバータ非搭載品の内部要因は、4つです。

1.5 ブロック図



注 V_{SS}はA/Dコンバータのグラウンド電位と兼用しています。V_{SS}を必ず安定しているGND (= 0 V) に接続してください。

1.6 機能概要

項 目		μ PD78F9221	μ PD78F9222	μ PD78F9224
内部メモリ	フラッシュ・メモリ	2 Kバイト	4 Kバイト	8 Kバイト
	高速RAM	128バイト	256バイト	
メモリ空間		64 Kバイト		
X1入力クロック（発振周波数）		水晶／セラミック／外部クロック入力： 10 MHz ($V_{DD} = 2.0 \sim 5.5$ V)		
内蔵発振 クロック	高速（発振周波数）	内蔵発振：8 MHz (TYP.)		
	低速（TMH1, WDT用）	内蔵発振：240 kHz (TYP.)		
汎用レジスタ		8ビット×8レジスタ		
命令実行時間		0.2 μ s / 0.4 μ s / 0.8 μ s / 1.6 μ s / 3.2 μ s (X1入力クロック： $f_x = 10$ MHz動作時)		
I/Oポート		合計 : 17本 CMOS入出力 : 15本 CMOS入力 : 1本 CMOS出力 : 1本		
タイマ		・16ビット・タイマ／イベント・カウンタ : 1チャンネル ・8ビット・タイマ（タイマH1） : 1チャンネル ・8ビット・タイマ（タイマ80） : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル		
	タイマ出力	2本（PWM：1本）		
A/Dコンバータ		10ビット分解能×4チャンネル		
シリアル・インタフェース		LIN-bus対応UARTモード：1チャンネル		
ベクタ割り込み要因	外部	4		
	内部	9		
リセット		・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・クリアによる内部リセット ・低電圧検出回路による内部リセット		
電源電圧		$V_{DD} = 2.0 \sim 5.5$ V [※]		
動作周囲温度		標準品, (A) 水準品：-40～+85°C (A2) 水準品：-40～+125°C		
パッケージ		・20ピン・プラスチックSSOP ・20ピン・プラスチックSDIP		

注 パワーオン・クリア（POC）回路の検出電圧（ V_{POC} ）が含まれるため、下記の電圧範囲で使用してください。

標準品, (A) 水準品：2.2～5.5 V, (A2) 水準品：2.26～5.5 V

第2章 端子機能

2.1 端子機能一覧

(1) ポート機能

端子名称	入出力	機 能		リセット時	兼用端子
P20-P23	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能		入力	ANI0-ANI3
P30	入出力	ポート3。	1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能	入力	TI000/INTP0
P31					TI010/TO00/ INTP2
P34 ^注	入力		入力専用	入力	^注 RESET
P40	入出力	ポート4。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	—
P41					INTP3
P42					TOH1
P43					TxD6/INTP1
P44					RxD6
P45					—
P121 ^注	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P123のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	X1 ^注
P122 ^注					X2 ^注
P123					—
P130	出力	ポート13。 1ビット出力専用ポート。		出力	—

注 端子機能の設定方法については、第17章 オプション・バイトを参照してください。

注意 P121/X1, P122/X2は、リセット中プルダウンされています。

(2) ポート以外の機能

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がり の両エッジ）指定可能な外部割り込み入力	入力	P30/TI000
INTP1				P43/TxD6
INTP2				P31/TI010/TO00
INTP3				P41
RxD6	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ 入力	入力	P44
TxD6	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ 出力	入力	P43/INTP1
TI000	入力	16ビット・タイマ／イベント・カウンタ00への外部カウント・ク ロック入力。 16ビット・タイマ／イベント・カウンタ00のキャプチャ・レジス タ（CR000, CR010）へのキャプチャ・トリガ入力。	入力	P30/INTP0
TI010		16ビット・タイマ／イベント・カウンタ00のキャプチャ・レジス タ（CR000）へのキャプチャ・トリガ入力		P31/TO00/INTP2
TO00	出力	16ビット・タイマ／イベント・カウンタ00出力	入力	P31/TI010/INTP2
TOH1	出力	8ビット・タイマH1出力	入力	P42
ANI0-ANI3	入力	A/Dコンバータのアナログ入力	入力	P20-P23
AV _{REF}	—	A/Dコンバータの基準電圧入力およびP20-P23, A/Dコンバータの 正電源	—	—
RESET ^注	入力	システム・リセット入力	—	P34 ^注
X1 ^注	入力	システム・クロック発振用，水晶／セラミック発振子接続。 外部クロック入力。	—	P121 ^注
X2 ^注	—	システム・クロック発振用，水晶／セラミック発振子接続	—	P122 ^注
V _{DD}	—	正電源	—	—
V _{SS}	—	グランド電位	—	—

注 端子機能の設定方法については，第17章 オプション・バイトを参照してください。

注意 P121/X1, P122/X2は，リセット中プルダウンされています。

2.2 端子機能の説明

2.2.1 P20-P23 (Port 2)

4ビットの入出力ポートです。入出力ポートのほかに、A/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ2 (PU2) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI3) として機能します。アナログ入力端子として使用する場合は、10.6 A/Dコンバータの注意事項 (5) ANI0/P20-ANI3/P23を参照してください。

2.2.2 P30, P31, P34 (Port 3)

P30, P31は、2ビットの入出力ポートです。入出力ポートのほかにタイマ入出力、外部割り込み要求入力機能があります。

P34は、1ビットの入力専用ポートです。 $\overline{\text{RESET}}$ と兼用しており、パワーオン時はリセット機能となります。パワーオン後の端子機能の設定方法については、第17章 オプション・バイトを参照してください。

また、P34を入力ポートとして使用する場合は、プルアップ抵抗を接続してください。

P30, P31, P34は、1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P30, P31は、2ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

また、P34は、1ビットの入力専用ポートとして機能します。

(2) コントロール・モード

タイマ入出力、外部割り込み要求入力として機能します。

(a) INTP0, INTP2

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(c) TI010

16ビット・タイマ／イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ信号入力端子です。

(d) TO00

16ビット・タイマ／イベント・カウンタ00の出力端子です。

2.2.3 P40-P45 (Port 4)

6ビットの入出力ポートです。入出力ポートのほかに、タイマ出力、外部割り込み要求入力、シリアル・インタフェースのデータ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4（PU4）の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマ出力、外部割り込み要求入力、シリアル・インタフェースのデータ入出力として機能します。

(a) INTP1, INTP3

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) TOH1

8ビット・タイマH1の出力端子です。

(c) TxD6

アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(d) RxD6

アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

2.2.4 P121-P123 (Port 12)

3ビットの入出力ポートです。

ポート・モード・レジスタ12（PM12）により1ビット単位で入力ポートまたは出力ポートに指定できます。P123のみ、プルアップ抵抗オプション・レジスタ12（PU12）の設定により、内蔵プルアップ抵抗を使用できます。

P121, P122はそれぞれX1, X2と兼用しています。端子機能の設定方法については、第17章 オプション・バイトを参照してください。

注意 P121/X1, P122/X2は、リセット中プルダウンされています。

2.2.5 P130 (Port 13)

1ビットの出力専用ポートです。

2.2.6 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。パワーオン時には、オプション・バイトの設定によらず、リセット機能になります。

2.2.7 X1, X2

X1入力クロック用発振子接続端子です。

X1, X2はそれぞれP121, P122と兼用しています。端子機能の設定方法については、第17章 オプション・バイトを参照してください。

外部クロックを供給するときは、X1に入力してください。

注意 P121/X1, P122/X2は、リセット中プルダウンされています。

2.2.8 AVREF

A/Dコンバータの基準電圧入力およびP20-P23, A/Dコンバータの正電源供給端子です。A/Dコンバータを使用しない場合はV_{DD}に接続してください。

2.2.9 V_{DD}

正電源供給端子です。

2.2.10 V_{SS}

グラウンド電位端子です。

また、V_{SS}はA/Dコンバータのグラウンド電位と兼用しています。V_{SS}を必ず安定しているGND (= 0 V) に接続してください。

2.3 端子の入出力回路と未使用端子の処理

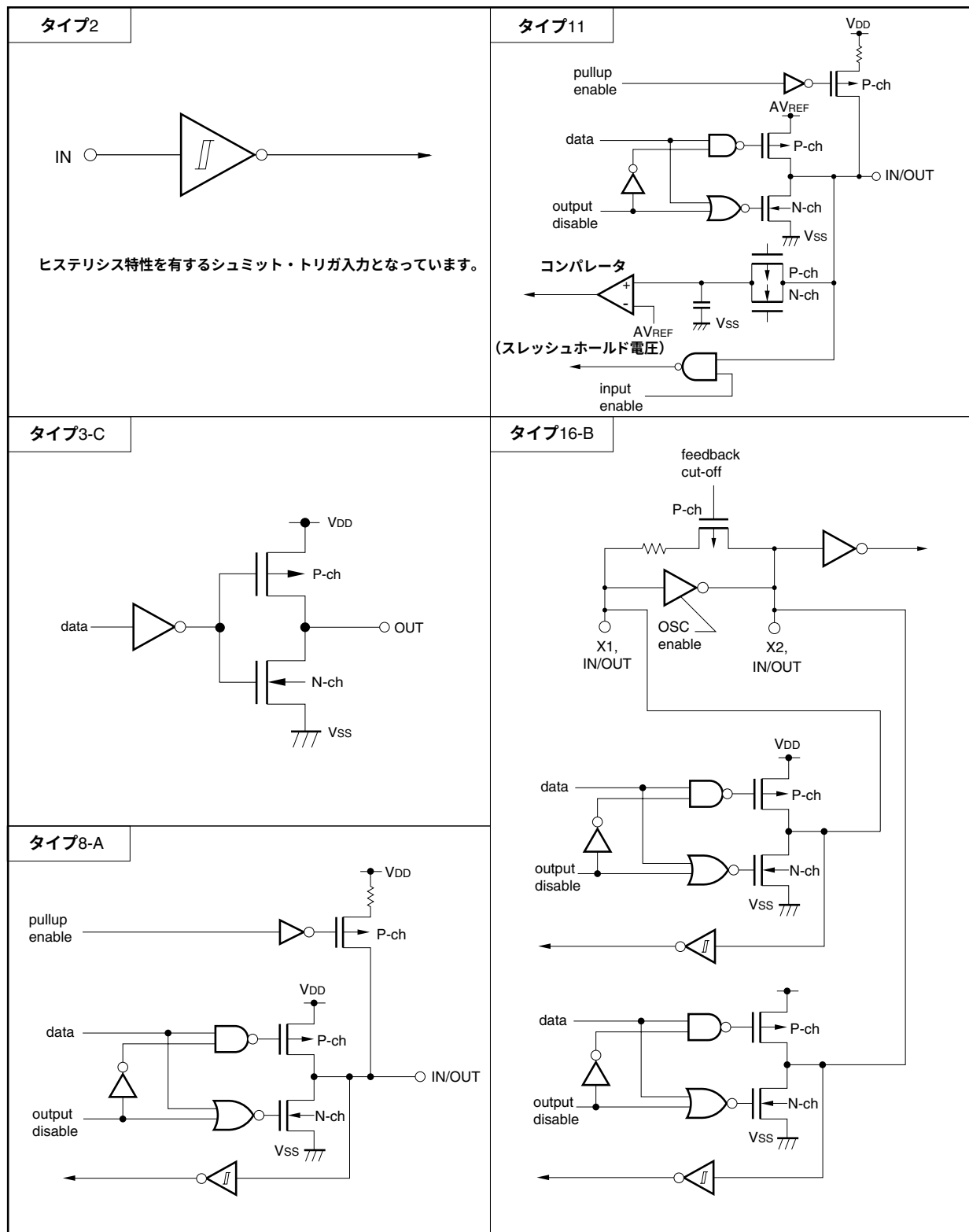
各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P20/ANI0-P23/ANI3	11	入出力	入力時：個別に抵抗を介して、AV _{REF} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P30/TI000/INTP0	8-A		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P31/TI010/TO00/INTP2			入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P34/ $\overline{\text{RESET}}$	2	入力	抵抗を介して、V _{DD} に接続してください。
P40	8-A	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P41/INTP3			
P42/TOH1			
P43/TxD6/INTP1			
P44/RxD6			
P45			
P121/X1	16-B	入出力	入力時：個別に抵抗を介して、V _{SS} に接続してください。 出力時：オープンにしてください。
P122/X2			
P123	8-A		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P130	3-C	出力	オープンにしてください。
AV _{REF}	—	入力	V _{DD} に直接接続してください。

図2-1 端子の入出力回路一覧

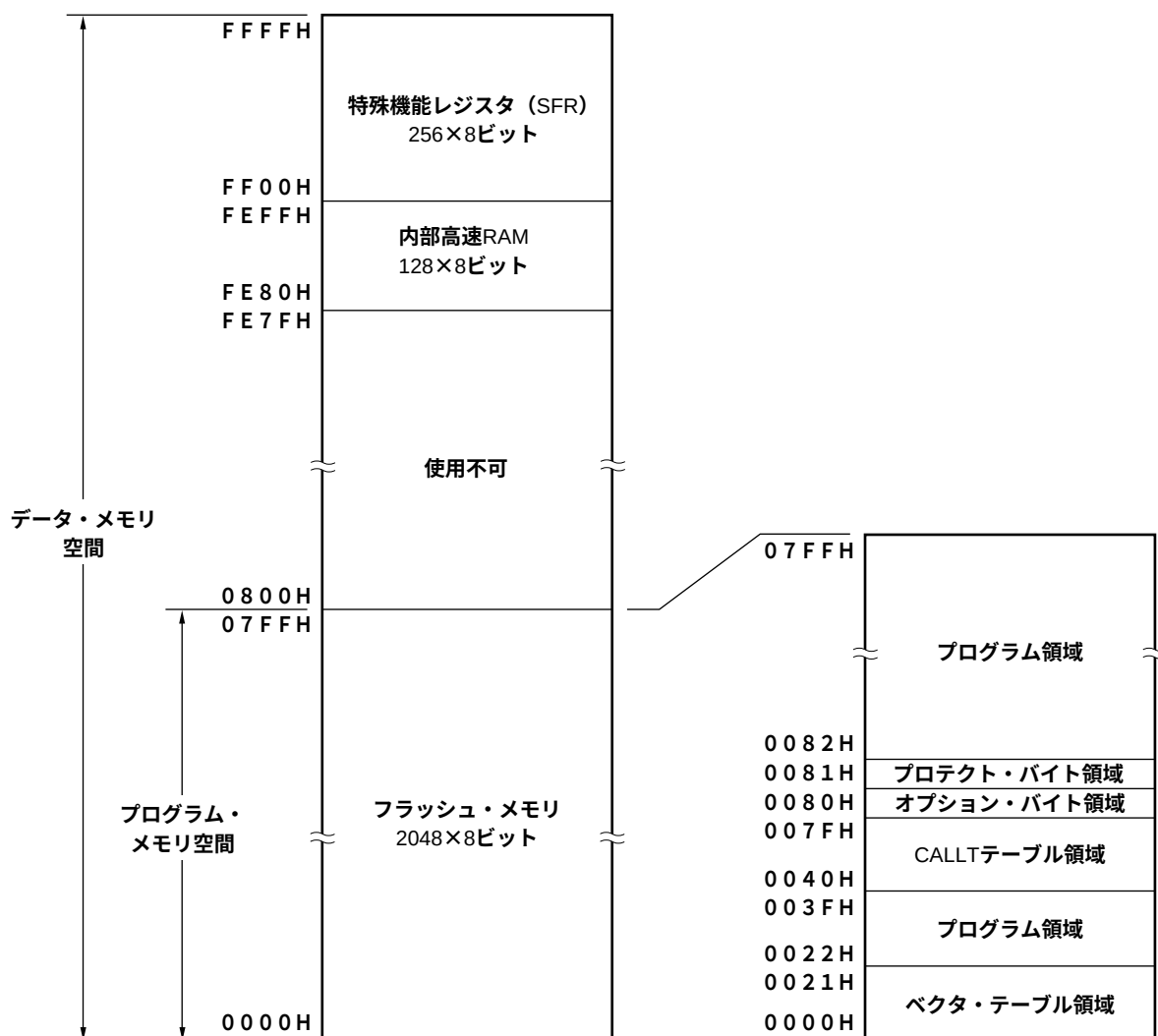


第3章 CPUアーキテクチャ

3.1 メモリ空間

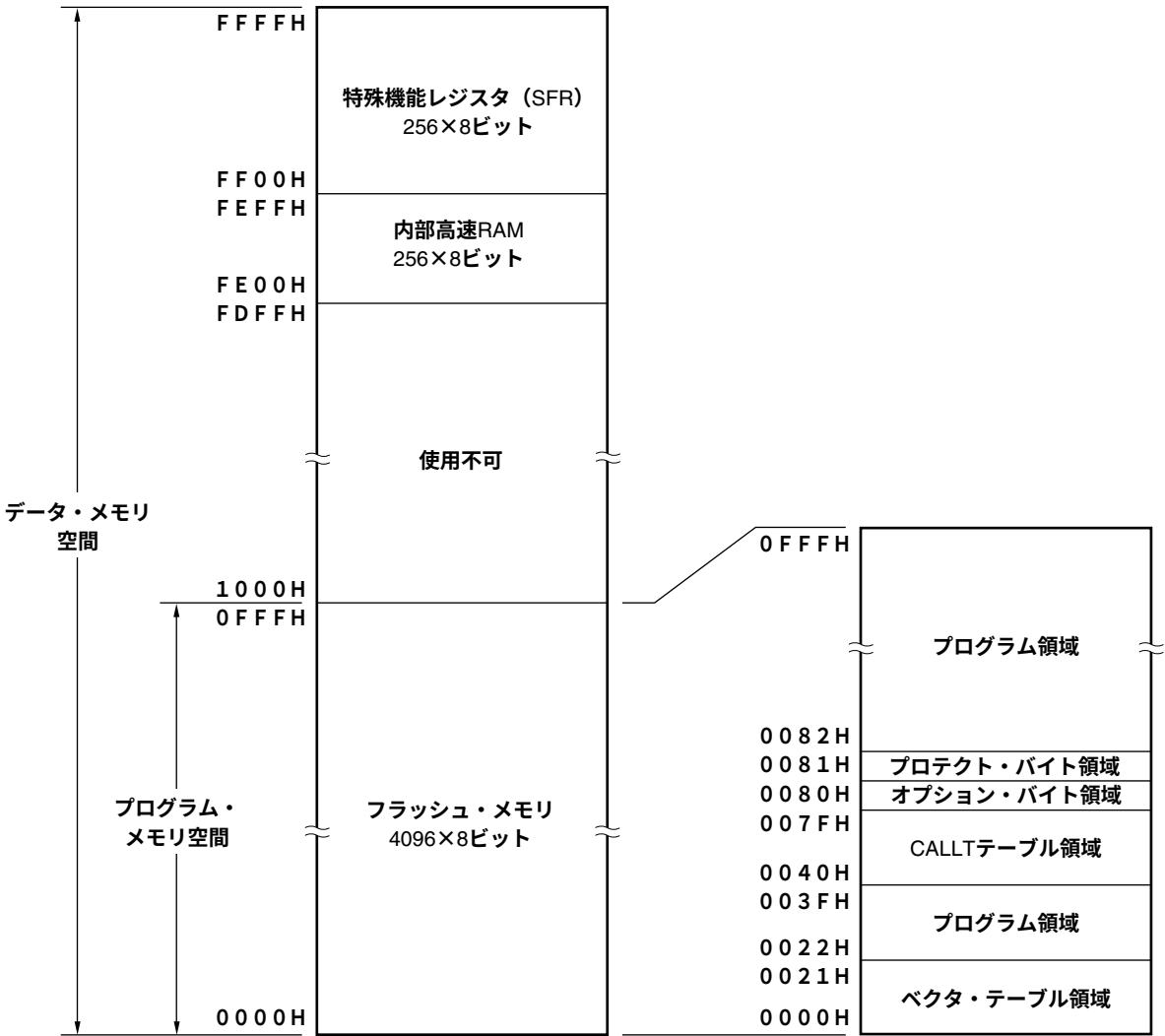
78K0S/KA1+は、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3-1～図3-3に、メモリ・マップを示します。

図3-1 メモリ・マップ (μ PD78F9221)



備考 オプション・バイト、プロテクト・バイトは、それぞれ1バイトのみです。

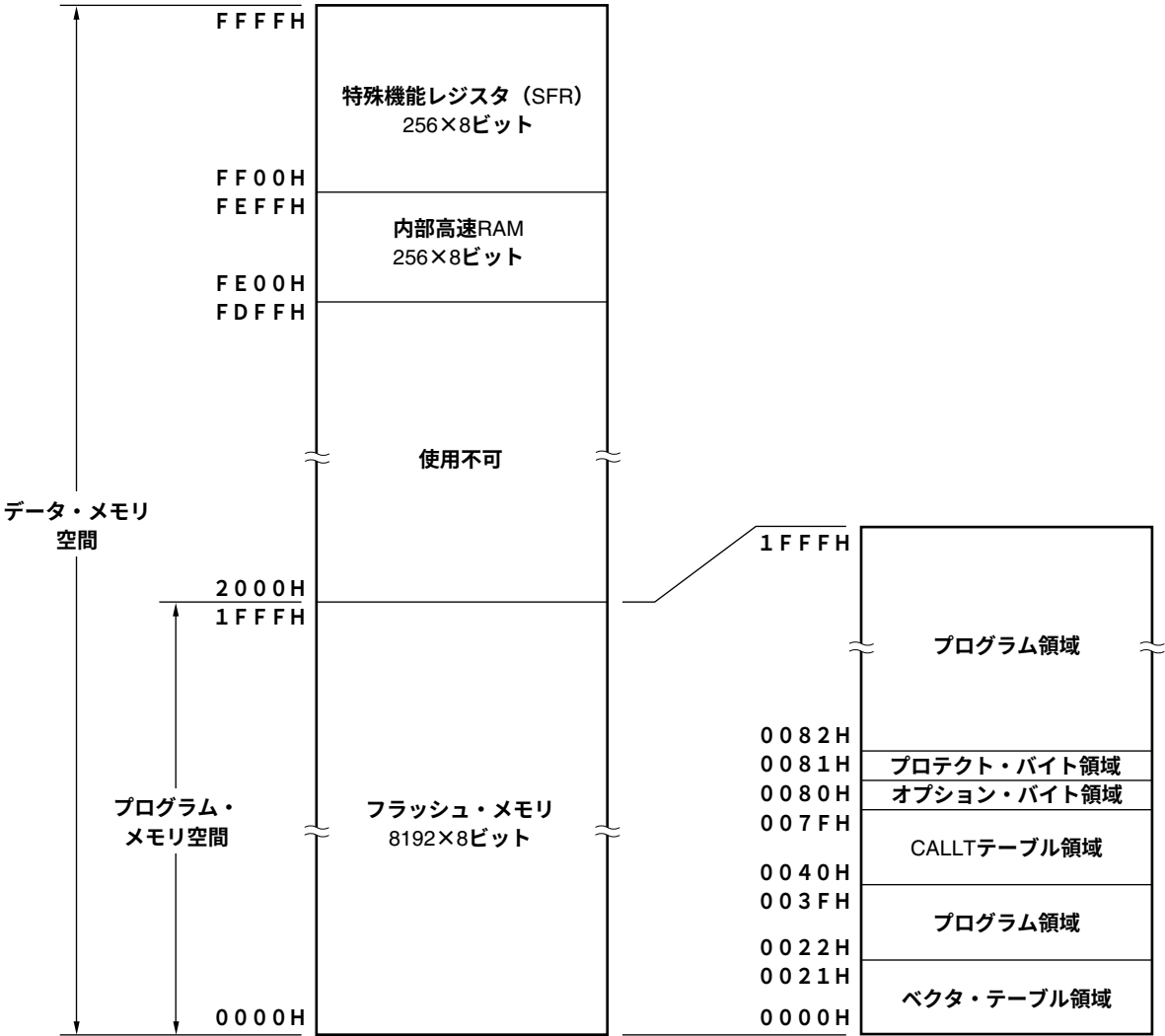
図3-2 メモリ・マップ (μ PD78F9222)



備考 オプション・バイト，プロテクト・バイトは，それぞれ1バイトのみです。

★

図3-3 メモリ・マップ (μ PD78F9224)



備考 オプション・バイト，プロテクト・バイトは，それぞれ1バイトのみです。

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

78K0S/KA1+では、各製品ごとに次の容量の内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μPD78F9221	フラッシュ・メモリ	2048×8ビット
μPD78F9222		4096×8ビット
μPD78F9224		8192×8ビット

★

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-0021Hの34バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	リセット	0012H	INTAD
0006H	INTLVI	0016H	INTP2
0008H	INTP0	0018H	INTP3
000AH	INTP1	001AH	INTTM80
000CH	INTTMH1	001CH	INTSRE6
000EH	INTTM000	001EH	INTSR6
0010H	INTTM010	0020H	INTST6

注意 ベクタ・テーブル・アドレス0014Hに該当する割り込み要因はありません。

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域

0080Hの1バイトの領域にオプション・バイト領域を用意しています。詳細は、第17章 オプション・バイトを参照してください。

(4) プロテクト・バイト領域

0081Hの1バイトの領域にプロテクト・バイト領域を用意しています。詳細は、第18章 フラッシュ・メモリを参照してください。

3.1.2 内部データ・メモリ空間

- ★ μ PD78F9221には128バイト、 μ PD78F09222, 78F09224には256バイトの内部高速RAMを内蔵しています。
内部高速RAMはスタックとしても使用します。

3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3-3参照）。

3.1.4 データ・メモリ・アドレッシング

78K0S/KA1+は、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域（FE80H-FEFFFHまたはFE00H-FEFFFH）や特殊機能レジスタ（SFR）領域などでは、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3-4～図3-6にデータ・メモリのアドレッシングを示します。

図3-4 データ・メモリのアドレッシング（ μ PD78F9221）

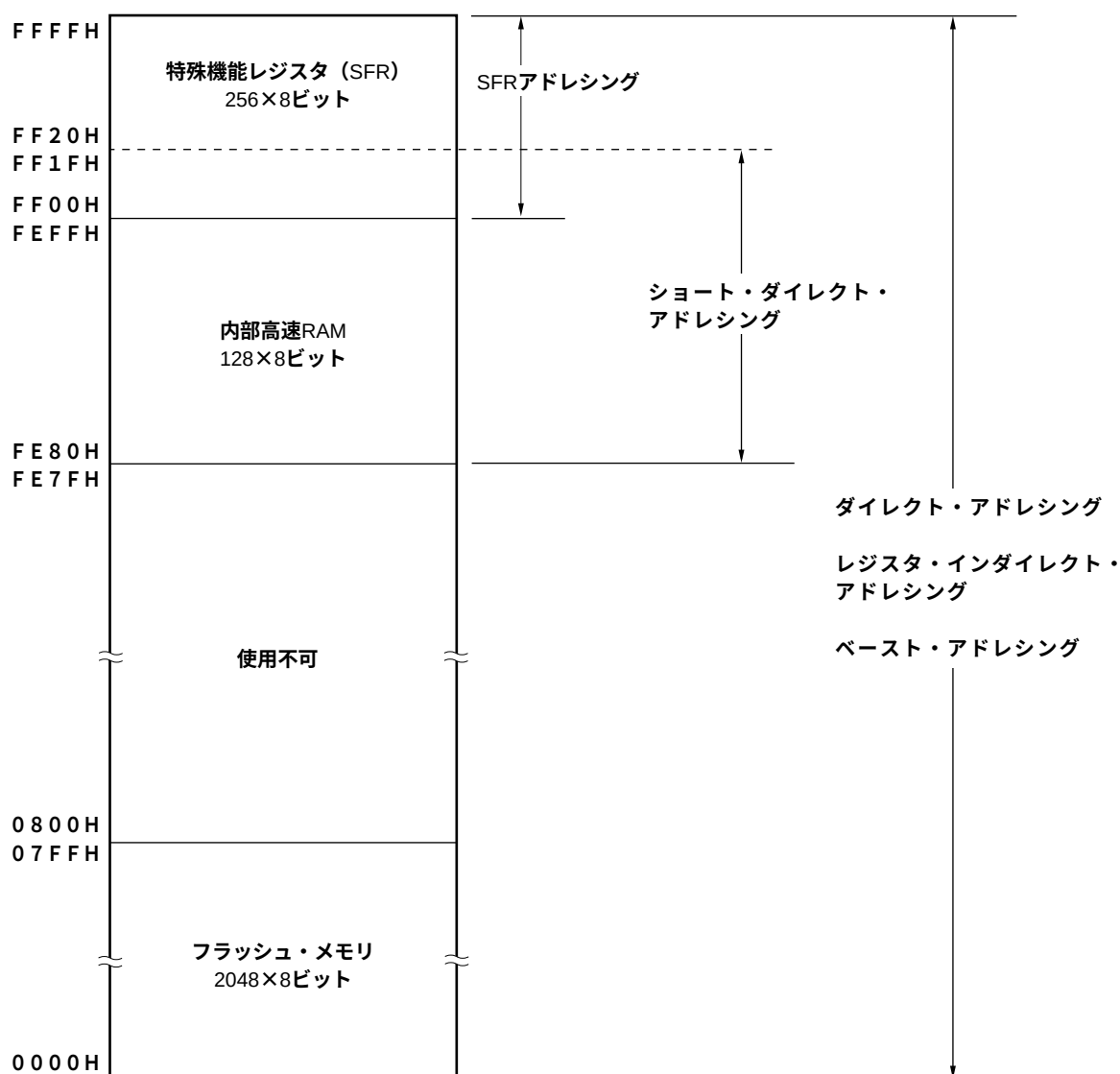
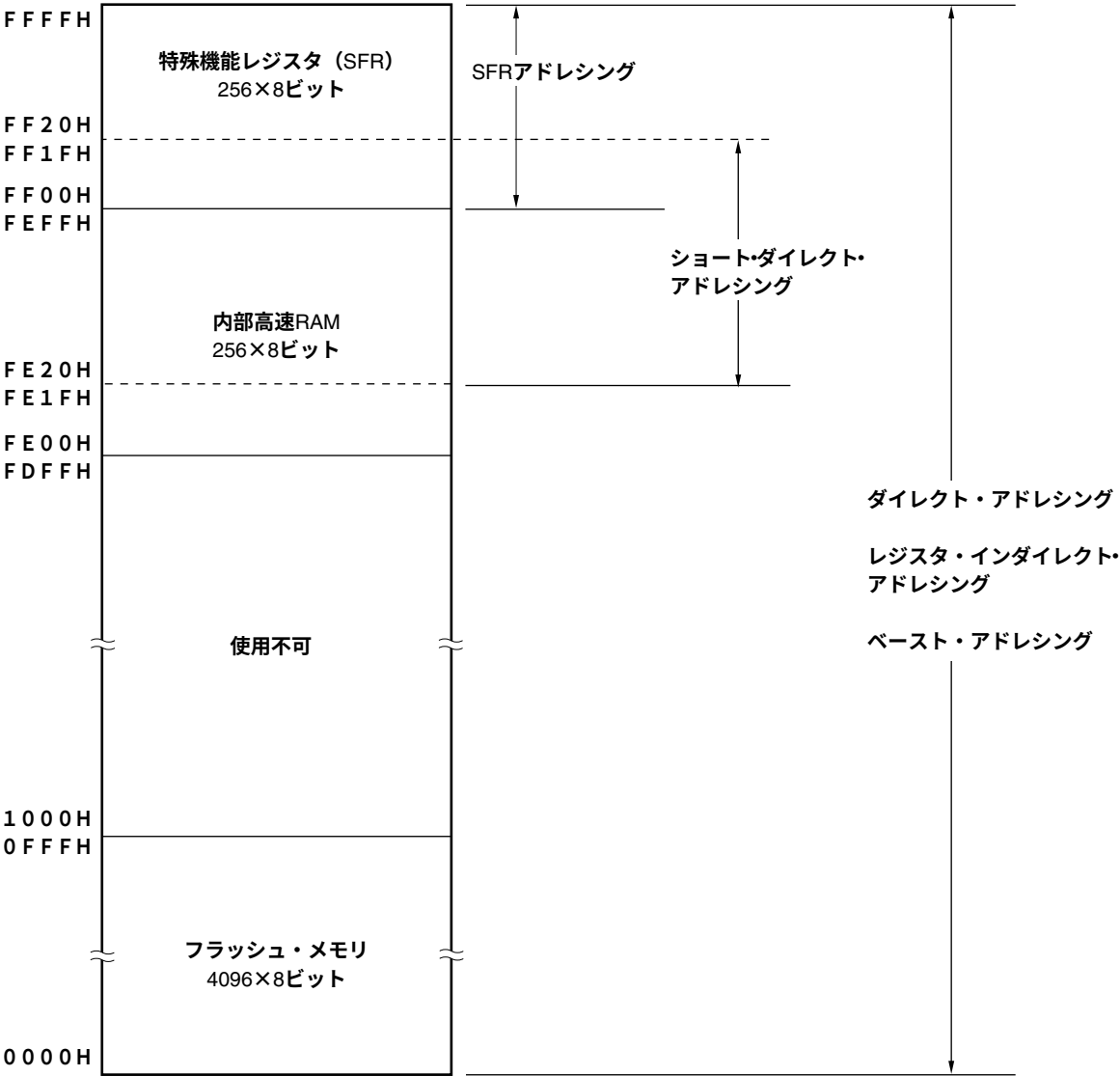
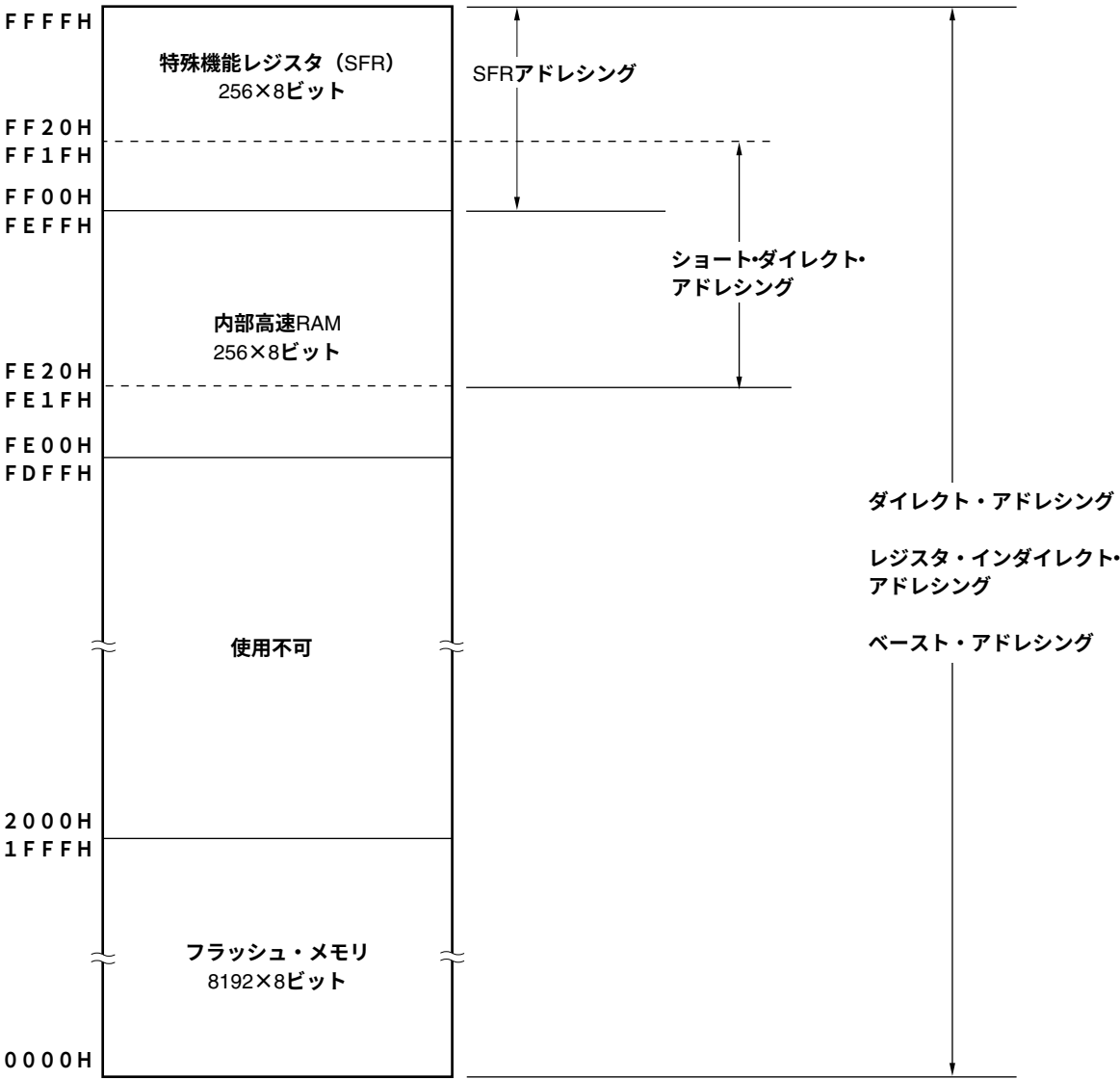


図3-5 データ・メモリのアドレッシング (μ PD78F9222)



★

図3-6 データ・メモリのアドレッシング (μ PD78F9224)



3.2 プロセッサ・レジスタ

78K0S/KA1+は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

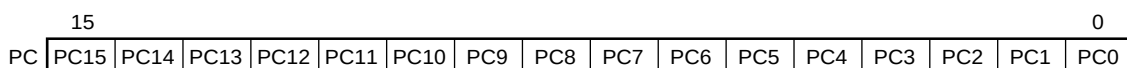
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



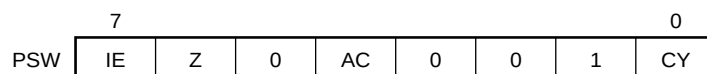
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

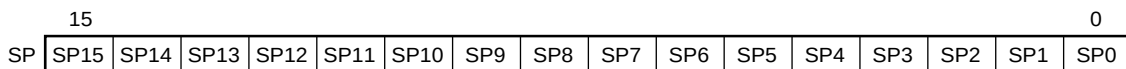
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です（スタック領域としては内部高速RAM領域以外は設定できません）。

図3-9 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3-10、図3-11のようになります。

注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

2. スタック・ポインタは高速RAM領域だけを指すようになっており、実際に設定できるのは下位の10ビットだけです。

そのため、スタック・ポインタに0FF00Hを指定した場合、0FF00Hは高速RAM領域ではなく、SFR領域ですので、高速RAM領域に変換されて0FB00Hになります。

なお、実際にスタックに値をPUSHする場合には0FB00Hはマイナス1されて0FAFFH になりますが、これは高速RAM領域ではないので、変換されて0FEFFHとなり、スタック・ポインタに0FF00Hを設定したときと同じになります。

図3-10 スタック・メモリへ退避されるデータ

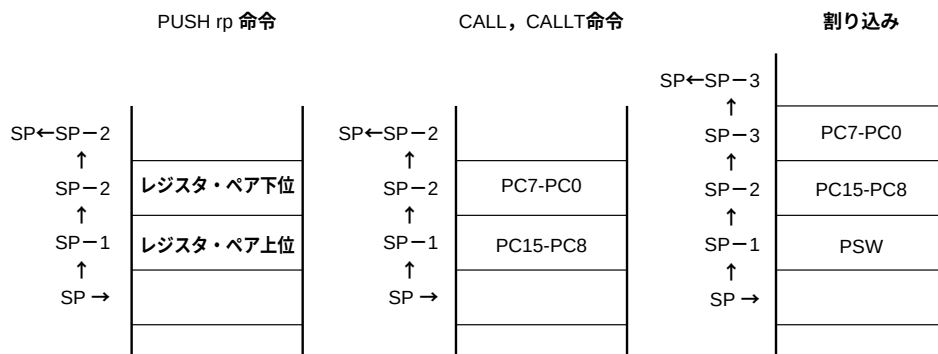
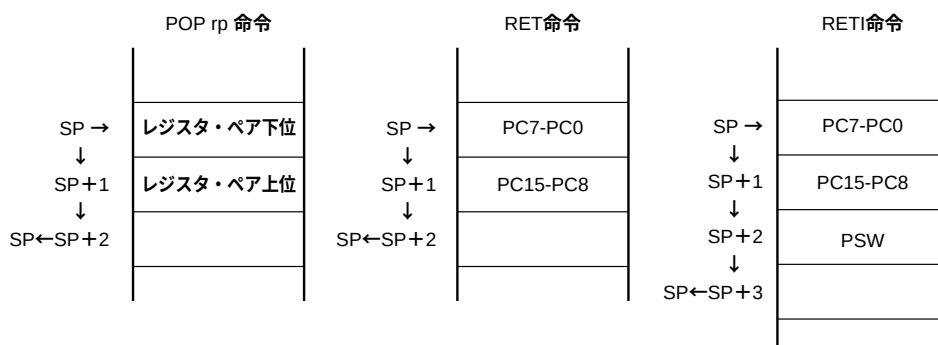


図3-11 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

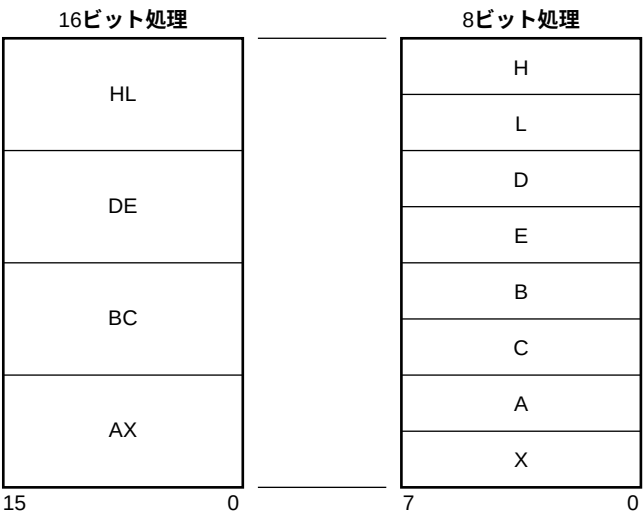
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

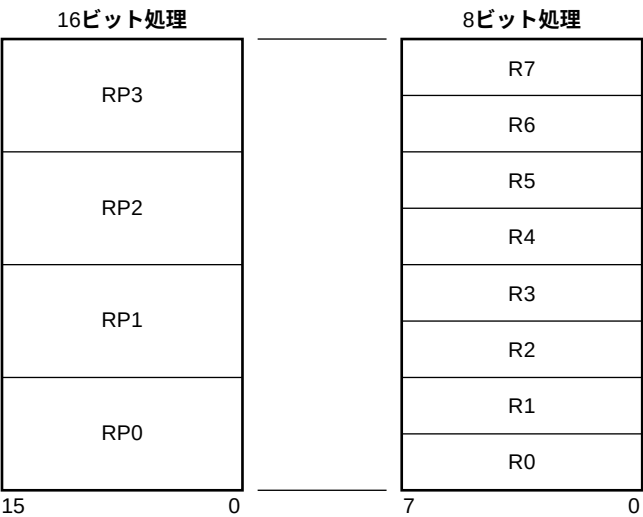
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3-12 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスとビットでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。RA78K0Sで予約語に、CC78K0Sでは#pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、統合デバッガ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- リセット時

リセット入力時の各レジスタの状態を示します。

★

表3-3 特殊機能レジスタ一覧 (1/4)

アドレス	略号	ビット番号								R/W	操作可能ビット単位			リセット 時	参照 ページ
		7	6	5	4	3	2	1	0		1	8	16		
FF00H, FF01H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF02H	P2	0	0	0	0	P23	P22	P21	P20	R/W 注1	○	○	—	00H	66
FF03H	P3	0	0	0	P34	0	0	P31	P30		○	○	—	00H	66
FF04H	P4	0	0	P45	P44	P43	P42	P41	P40		○	○	—	00H	66
FF05H~ FF0BH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF0CH	P12	0	0	0	0	P123	P122	P121	0	R/W 注1	○	○	—	00H	66
FF0DH	P13	0	0	0	0	0	0	0	P130		○	○	—	00H	66
FF0EH	CMP01	—	—	—	—	—	—	—	—	R/W	—	○	—	00H	137
FF0FH	CMP11	—	—	—	—	—	—	—	—		—	○	—	00H	137
FF10H, FF11H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF12H	TM00	—	—	—	—	—	—	—	—	R	—	—	○注2	0000H	90
FF13H		—	—	—	—	—	—	—	—		—	—	○注2	0000H	90
FF14H	CR000	—	—	—	—	—	—	—	—	R/W	—	—	○注2	0000H	90
FF15H		—	—	—	—	—	—	—	—		—	—	○注2	0000H	92
FF16H	CR010	—	—	—	—	—	—	—	—	R	—	—	○注2	不定	168
FF17H		—	—	—	—	—	—	—	—		—	—	○注2	不定	169
FF18H	ADCR	—	—	—	—	—	—	—	—	R	—	—	○注2	不定	168
FF19H		0	0	0	0	0	0	—	—		—	—	○注2	不定	169
FF1AH	ADCRH	—	—	—	—	—	—	—	—	—	—	○	—	—	169
FF1BH~ FF21H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF22H	PM2	1	1	1	1	PM23	PM22	PM21	PM20	R/W	○	○	—	FFH	65, 169
FF23H	PM3	1	1	1	1	1	1	PM31	PM30		○	○	—	FFH	65, 98
FF24H	PM4	1	1	PM45	PM44	PM43	PM42	PM41	PM40		○	○	—	FFH	65, 140, 198
FF25H~ FF2BH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF2CH	PM12	1	1	1	1	PM123	PM122	PM121	1	R/W	○	○	—	FFH	65
FF2DH~ FF31H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF32H	PU2	0	0	0	0	PU23	PU22	PU21	PU20	R/W	○	○	—	00H	69
FF33H	PU3	0	0	0	0	0	0	PU31	PU30		○	○	—	00H	69
FF34H	PU4	0	0	PU45	PU44	PU43	PU42	PU41	PU40		○	○	—	00H	69
FF35H~ FF3BH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF3CH	PU12	0	0	0	0	PU123	0	0	0	R/W	○	○	—	00H	69
FF3DH~ FF47H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF48H	WDTM	0	1	1	WDCS 4	WDCS 3	WDCS 2	WDCS 1	WDCS 0	R/W	—	○	—	67H	153
FF49H	WDTE	—	—	—	—	—	—	—	—		—	○	—	9AH	154

注1. P34のみ、入力専用ポートになります。

2. ショート・ダイレクト・アドレッシングでのみ16ビット・アクセスが可能です。

★

表3-3 特殊機能レジスタ一覧 (2/4)

アドレス	略号	ビット番号								R/W	操作可能ビット単位			リセット時	参照ページ
		7	6	5	4	3	2	1	0		1	8	16		
FF50H	LVIM	LVION	0	0	0	0	0	LVIMD	LVIF	R/W	○	○	—	00H ^{注1}	260
FF51H	LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0		—	○	—	00H ^{注1}	261
FF52H, FF53H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF54H	RESF	0	0	0	WDT RF	0	0	0	LVIRF	R	—	○	—	00H ^{注2}	253
FF55H~ FF57H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF58H	LSRCM	0	0	0	0	0	0	0	LSR STOP	R/W	○	○	—	00H	75
FF59H~ FF5FH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF60H	TMC00	0	0	0	0	TMC 003	TMC 002	TMC 001	OVF00	R/W	○	○	—	00H	93
FF61H	PRM00	ES110	ES100	ES010	ES000	0	0	PRM 001	PRM 000		○	○	—	00H	97
FF62H	CRC00	0	0	0	0	0	CRC 002	CRC 001	CRC 000		○	○	—	00H	95
FF63H	TOC00	0	OSPT 00	OSPE 00	TOC 004	LVS00	LVR00	TOC 001	TOE00		○	○	—	00H	96
FF64H~ FF6FH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF70H	TMHMD 1	TMHE1	CKS12	CKS11	CKS10	TMMD 11	TMMD 10	TOLEV 1	TOEN1	R/W	○	○	—	00H	138
FF71H~ FF7FH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF80H	ADM	ADCS	0	FR2	FR1	FR0	0	0	ADCE	R/W	○	○	—	00H	166
FF81H	ADS	0	0	0	0	0	0	ADS1	ADS0		○	○	—	00H	168
FF82H, FF83H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF84H	PMC2	0	0	0	0	PMC23	PMC22	PMC21	PMC20	R/W	○	○	—	00H	67, 169
FF85H~ FF8BH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF8CH	ISC	0	0	0	0	0	0	ISC1	ISC0	R/W	○	○	—	00H	197
FF8DH ~FF8FH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF90H	ASIM6	POWE R6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6	R/W	○	○	—	01H	190

注1. LVIIによるリセット時の場合のみ、保持になります。

2. リセット要因により変化します。

備考 ビット名を□で囲んでいるものは、そのビット名称がRA78K0Sでは予約語に、CC78K0Sでは#pragma sfr指令で、sfr変数として定義されているものです。

★

表3-3 特殊機能レジスタ一覧 (3/4)

アドレス	略号	ビット番号								R/W	操作可能ビット単位			リセット 時	参照 ページ
		7	6	5	4	3	2	1	0		1	8	16		
FF91H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FF92H	RXB6	—	—	—	—	—	—	—	—	R	—	○	—	FFH	189
FF93H	ASIS6	0	0	0	0	0	PE6	FE6	OVE6		—	○	—	00H	192
FF94H	TXB6	—	—	—	—	—	—	—	—	R/W	—	○	—	FFH	189
FF95H	ASIF6	0	0	0	0	0	0	TXBF6	TXSF6	R	—	○	—	00H	193
FF96H	CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60	R/W	—	○	—	00H	194
FF97H	BRGC6	MLD67	MLD66	MLD65	MLD64	MLD63	MLD62	MLD61	MLD60		—	○	—	FFH	195
FF98H	ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6		○	○	—	16H	196
FF99H~ FF9FH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FFA0H	PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	W	—	○	—	不定	287
FFA1H	PFS	0	0	0	0	0	WEPR ERR	VCERR	FPR ERR	R/W	○	○	—	00H	287
FFA2H	FLPMC	0	PRSEL F4	PRSEL F3	PRSEL F2	PRSEL F1	PRSEL F0	0	FLSPM		—	○	—	不定	286
FFA3H	FLCMD	0	0	0	0	0	FLCMD 2	FLCMD 1	FLCMD 0		○	○	—	00H	289
FFA4H	FLAPL	FLAP7	FLAP6	FLAP5	FLAP4	FLAP3	FLAP2	FLAP1	FLAP0		○	○	—	不定	290
FFA5H	FLAPH	0	0	0	0	FLA P11	FLA P10	FLA P9	FLA P8		○	○	—		290
FFA6H	FLAPHC	0	0	0	0	FLAP C11	FLAP C10	FLAP C9	FLAP C8		○	○	—	00H	290
FFA7H	FLAPLC	FLAP C7	FLAP C6	FLAP C5	FLAP C4	FLAP C3	FLAP C2	FLAP C1	FLAP C0		○	○	—		290
FFA8H	FLW	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0		—	○	—		291
FFA9H~ FFCBH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FFCCH	TMC80	TCE80	0	0	0	0	TCL801	TCL800	0	R/W	○	○	—	00H	131
FFCDH	CR80	—	—	—	—	—	—	—	—	W	—	○	—	不定	130
FFCEH	TM80	—	—	—	—	—	—	—	—	R	—	○	—	00H	130
FFCFH~ FFDFH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FFE0H	IF0	ADIF	TMIF 010	TMIF 000	TMIFH1	PIF1	PIF0	LVIIIF	0	R/W	○	○	—	00H	225
FFE1H	IF1	0	STIF6	SRIF6	SREIF6	TMIF80	PIF3	PIF2	0		○	○	—	00H	225
FFE2H, FFE3H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FFE4H	MK0	ADMK	TMMK 010	TMMK 000	TMMK H1	PMK1	PMK0	LVIMK	1	R/W	○	○	—	FFH	226
FFE5H	MK1	1	STMK6	SRMK6	SREMK 6	TMMK 80	PMK3	PMK2	1		○	○	—	FFH	226

備考 ビット名を□で囲んでいるものは、そのビット名称がRA78K0Sでは予約語に、CC78K0Sでは#pragma sfr指令で、sfr変数として定義されているものです。

★

表3-3 特殊機能レジスター一覧 (4/4)

アドレス	略号	ビット番号								R/W	操作可能ビット単位			リセット 時	参照 ページ
		7	6	5	4	3	2	1	0		1	8	16		
FFE6H～ FFE8H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FFECH	INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	R/W	—	○	—	00H	227
FFEDH	INTM1	0	0	0	0	0	0	ES31	ES30		—	○	—	00H	228
FFEEH～ FFF2H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FFF3H	PPCC	0	0	0	0	0	0	PPCC1	PPCC0	R/W	○	○	—	02H	74
FFF4H	OSTS	0	0	0	0	0	0	OSTS1	OSTS0		—	○	—	不定 ^注	76, 236
FFF5H～ FFFAH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
FFFBH	PCC	0	0	0	0	0	0	PCC1	0	R/W	○	○	—	02H	74
FFFCH～ FFFFH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

注 リセット解除後の発振安定時間はオプション・バイトで設定します。詳細は、第17章 オプション・バイトを参照してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください）。

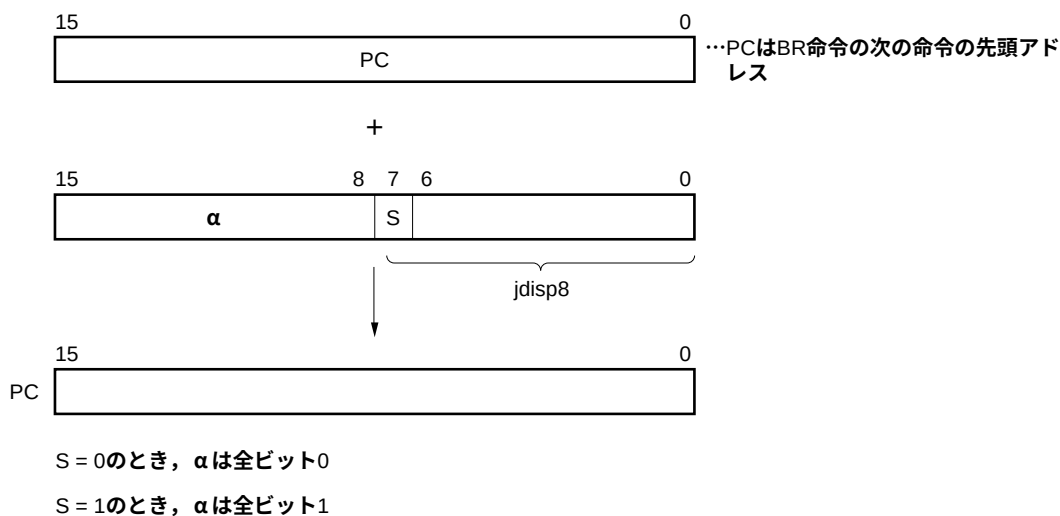
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエート・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

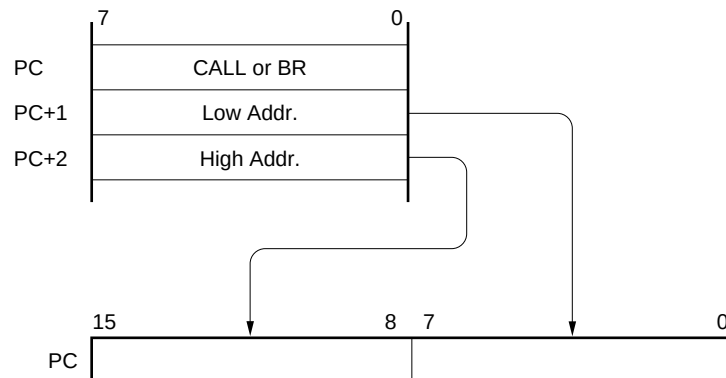
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



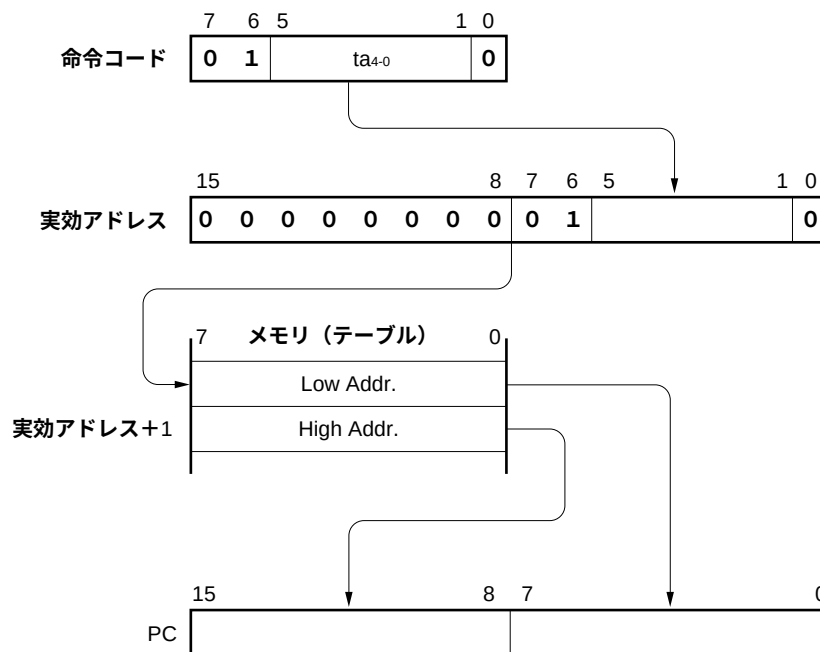
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



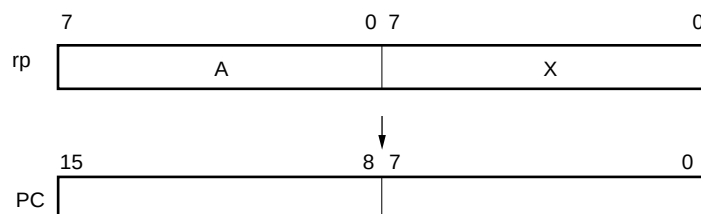
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

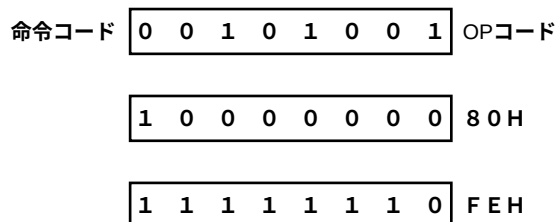
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

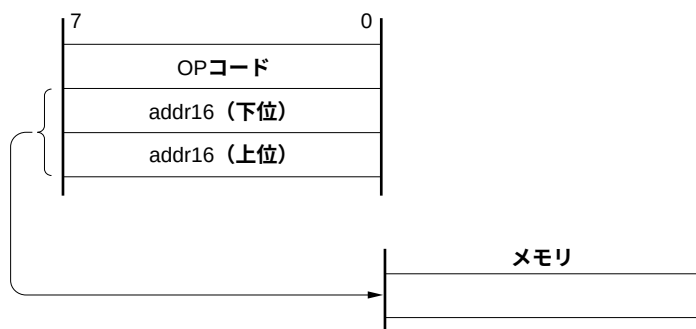
表現形式	記 述 方 法
addr16	レーベルまたは16ビット・イミディエト・データ

【記 述 例】

MOV A, !0FE80H ; !addr16をFE80Hとする場合



【図 解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

★ このアドレッシングが適用される固定空間とは、 μ PD78F9221ではFE80H-FF1FHの160バイト空間（FE80H-FEFFFH（内部高速RAM）+FF00H-FF1FH（特殊機能レジスタ））、 μ PD78F9222, 78F9224ではFE20H-FF1FHの256バイト空間（FE20H-FEFFFH（内部高速RAM）+FF00H-FF1FH（特殊機能レジスタ））です。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

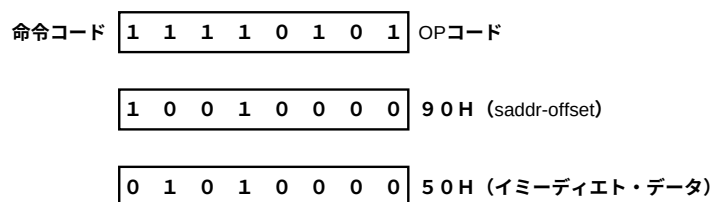
【オペランド形式】

表現形式	記 述 方 法
saddr	μ PD78F9221 : レーベルまたはFE80H-FF1FHのイミディエト・データ μ PD78F9222, 78F9224 : レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	μ PD78F9221 : レーベルまたはFE80H-FF1FHのイミディエト・データ（偶数アドレスのみ） μ PD78F9222, 78F9224 : レーベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

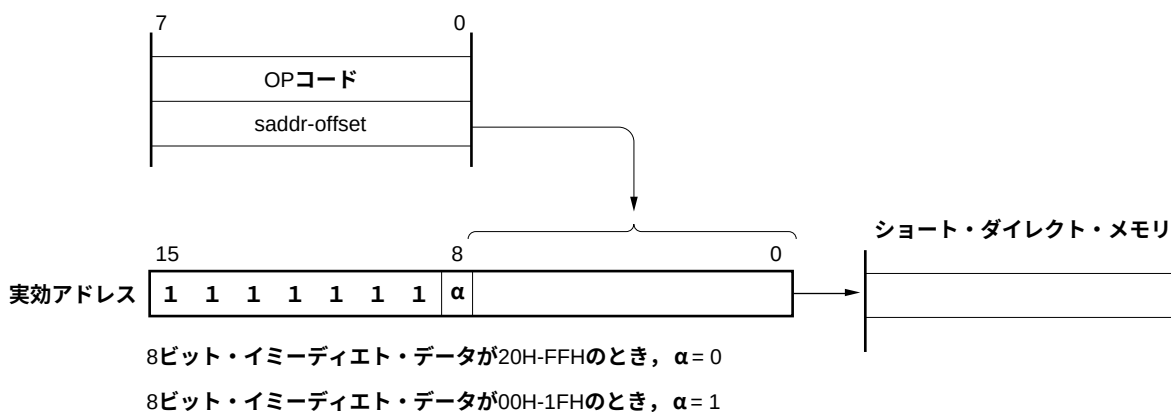
【記 述 例】

EQU DATA1 0FE90H ; DATA1はsaddr領域のFE90Hを示し、

MOV DATA1, #50H ; イミディエト・データを50Hとする場合



【図 解】



3.4.3 特殊機能レジスタ（SFR）アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ（SFR）をアドレスするアドレッシングです。

このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRはショート・ダイレクト・アドレッシングでアクセスします。

【オペランド形式】

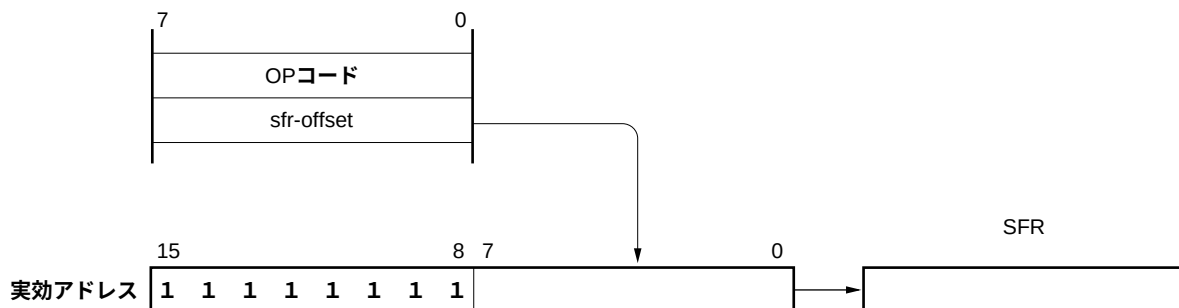
表現形式	記 述 方 法
sfr	特殊機能レジスタ名

【記 述 例】

MOV PM0, A ; sfrにPM0を選択する場合

命令コード	1 1 1 0 0 1 1 1
	0 0 1 0 0 0 0 0

【図 解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

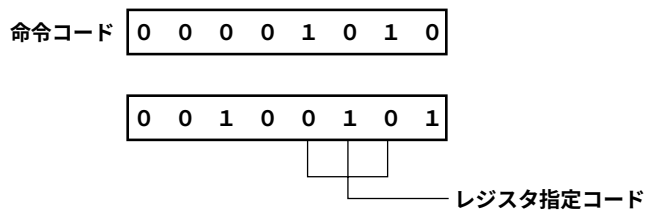
【オペランド形式】

表現形式	記 述 方 法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

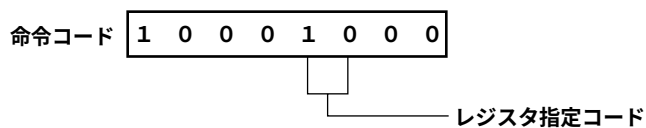
r, rpは、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほかに絶対名称（R0-R7, RP0-RP3）で記述できます。

【記 述 例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記 述 方 法
—	[DE] , [HL]

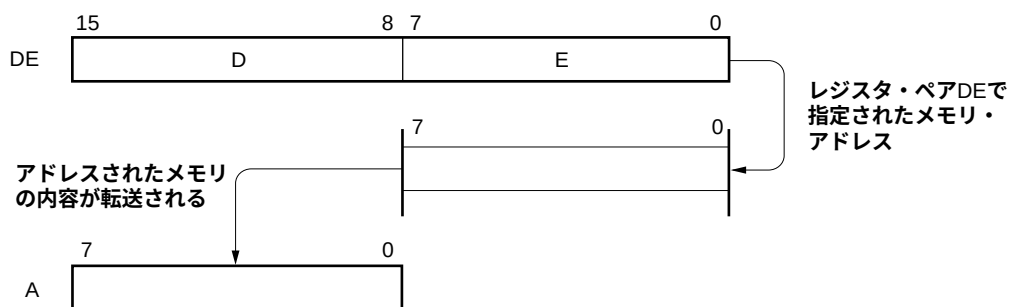
【記 述 例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図 解】



3.4.6 ベース・アドレッシング

【機能】

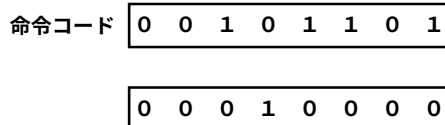
HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

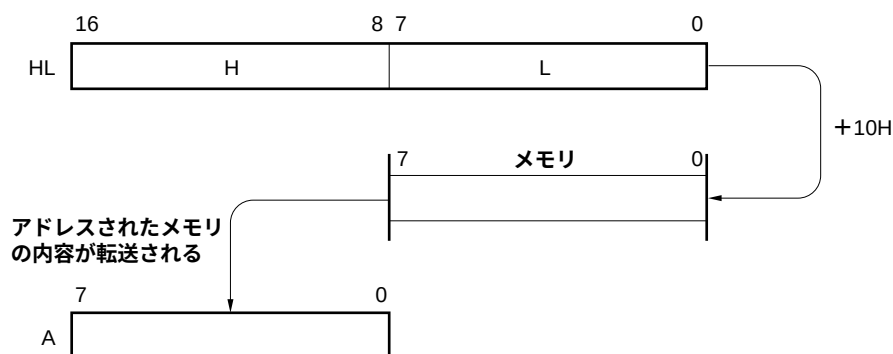
表現形式	記述方法
—	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合



【図解】



3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

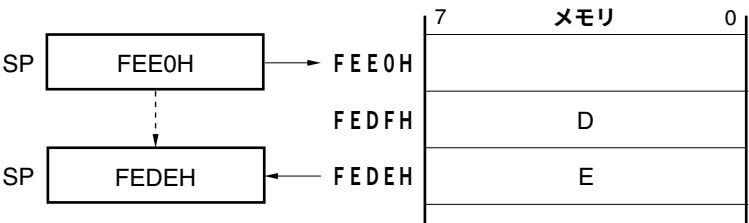
【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

【図解】



第4章 ポート機能

4.1 ポートの機能

78K0S/KA1+は、図4-1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4-1のとおりです。

また、ディジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4-1 ポートの機能

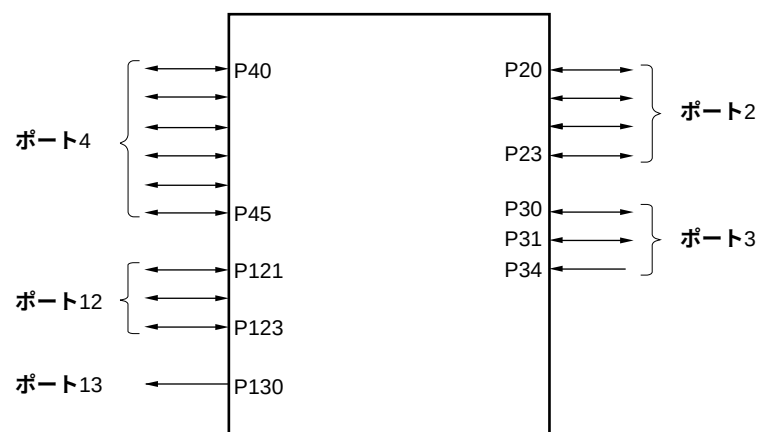


表4-1 ポートの機能

端子名称	入出力	機 能		リセット時	兼用端子
P20-P23	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能		入力	ANI0-ANI3
P30	入出力	ポート3。	1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能	入力	TI000/INTP0
P31					TI010/TO00/ INTP2
P34 ^注	入力		入力専用	入力	$\overline{\text{RESET}}$ ^注
P40	入出力	ポート4。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	—
P41					INTP3
P42					TOH1
P43					TxD6/INTP1
P44					RxD6
P45					—
P121 ^注	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P123のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	X1 ^注
P122 ^注					X2 ^注
P123					—
P130	出力	ポート13。 1ビット出力専用ポート。		出力	—

注 端子機能の設定方法については、第17章 オプション・バイトを参照してください。

注意 P121/X1, P122/X2は、リセット中プルダウンされています。

- 備考1. システム・クロックに高速内蔵発振を選択した場合、P121, P122の割り当てが可能になります。
2. システム・クロックに外部クロック入力を選択した場合、P122の割り当てが可能になります。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PM2, PM3, PM4, PM12) ポート・レジスタ (P2, P3, P4, P12, P13) ポート・モード・コントロール・レジスタ2 (PMC2) プルアップ抵抗オプション・レジスタ (PU2, PU3, PU4, PU12)
ポート	合計：17本 (CMOS入出力：15本, CMOS入力：1本, CMOS出力：1本)
プルアップ抵抗	合計：13本

4.2.1 ポート2

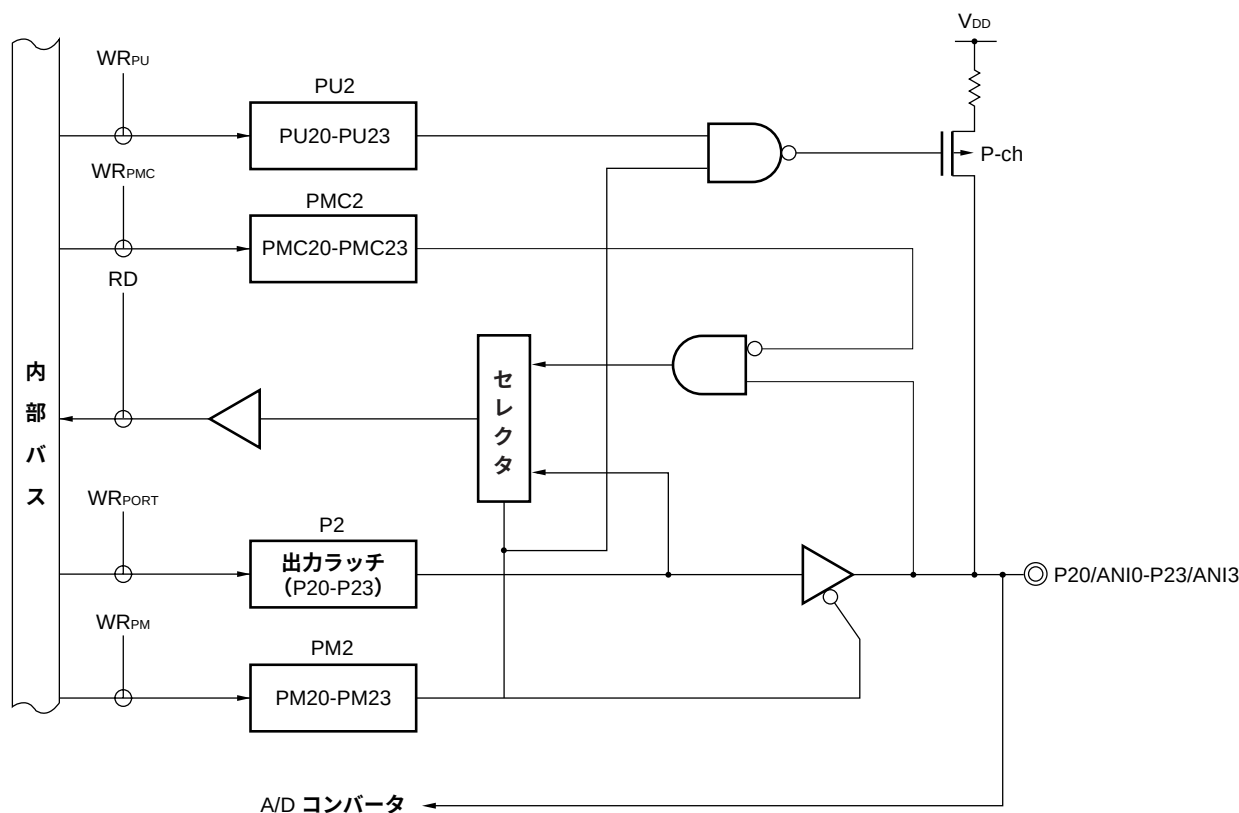
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード／出力モードの指定ができます。P20-P23端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ2 (PU2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

リセット信号の発生により、入力モードになります。

図4-2にポート2のブロック図を示します。

図4-2 P20-P23のブロック図



- | | |
|------|------------------------|
| P2 | : ポート・レジスタ2 |
| PU2 | : プルアップ抵抗オプション・レジスタ2 |
| PM2 | : ポート・モード・レジスタ2 |
| PMC2 | : ポート・モード・コントロール・レジスタ2 |
| RD | : リード信号 |
| WRxx | : ライト信号 |

4.2.2 ポート3

P30, P31端子は、出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード／出力モードの指定ができます。P30, P31端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。また、兼用機能として、タイマ入出力、外部割り込み要求入力があります。

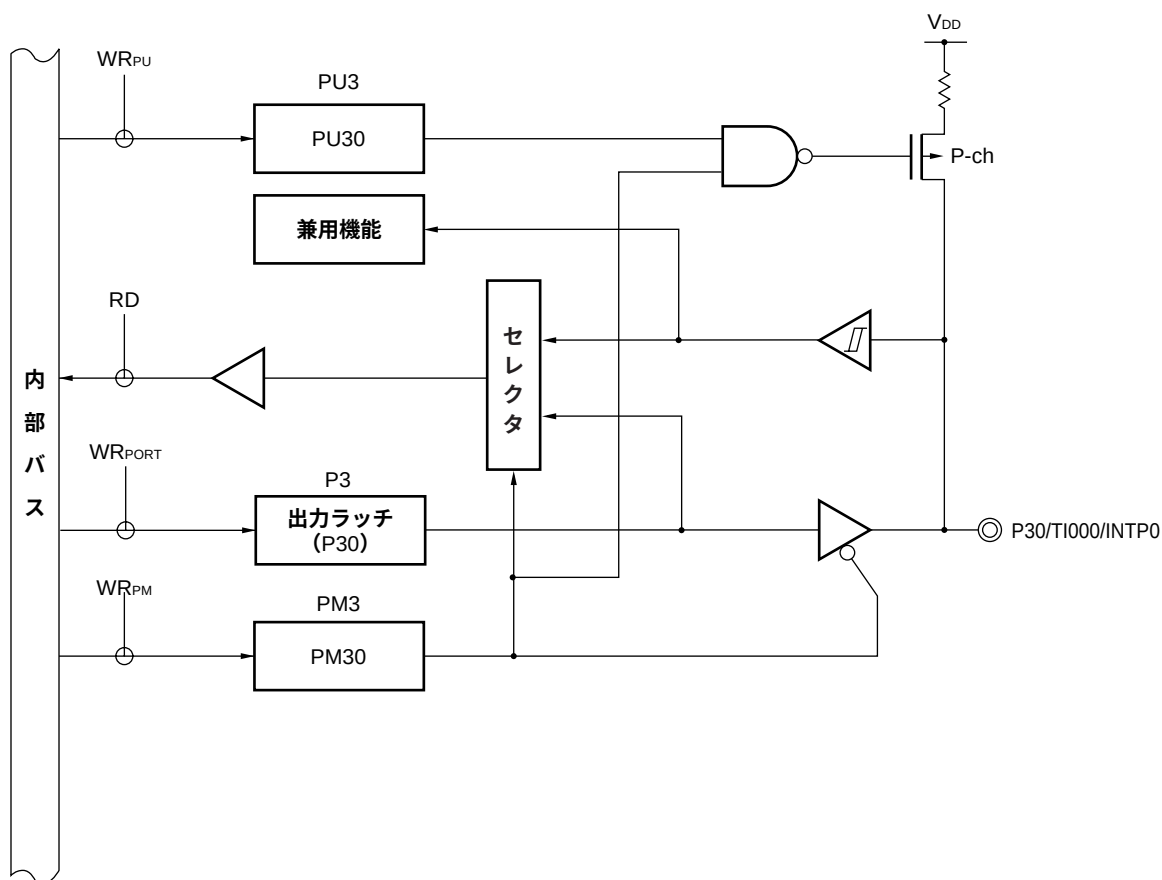
リセット信号の発生により、入力モードになります。

P34端子は、1ビット入力専用ポートです。 $\overline{\text{RESET}}$ 端子と兼用しており、パワーオン時はリセット機能となります。パワーオン後の端子機能の設定方法については、第17章 オプション・バイトを参照してください。

また、P34を入力ポートとして使用する場合は、プルアップ抵抗を接続してください。

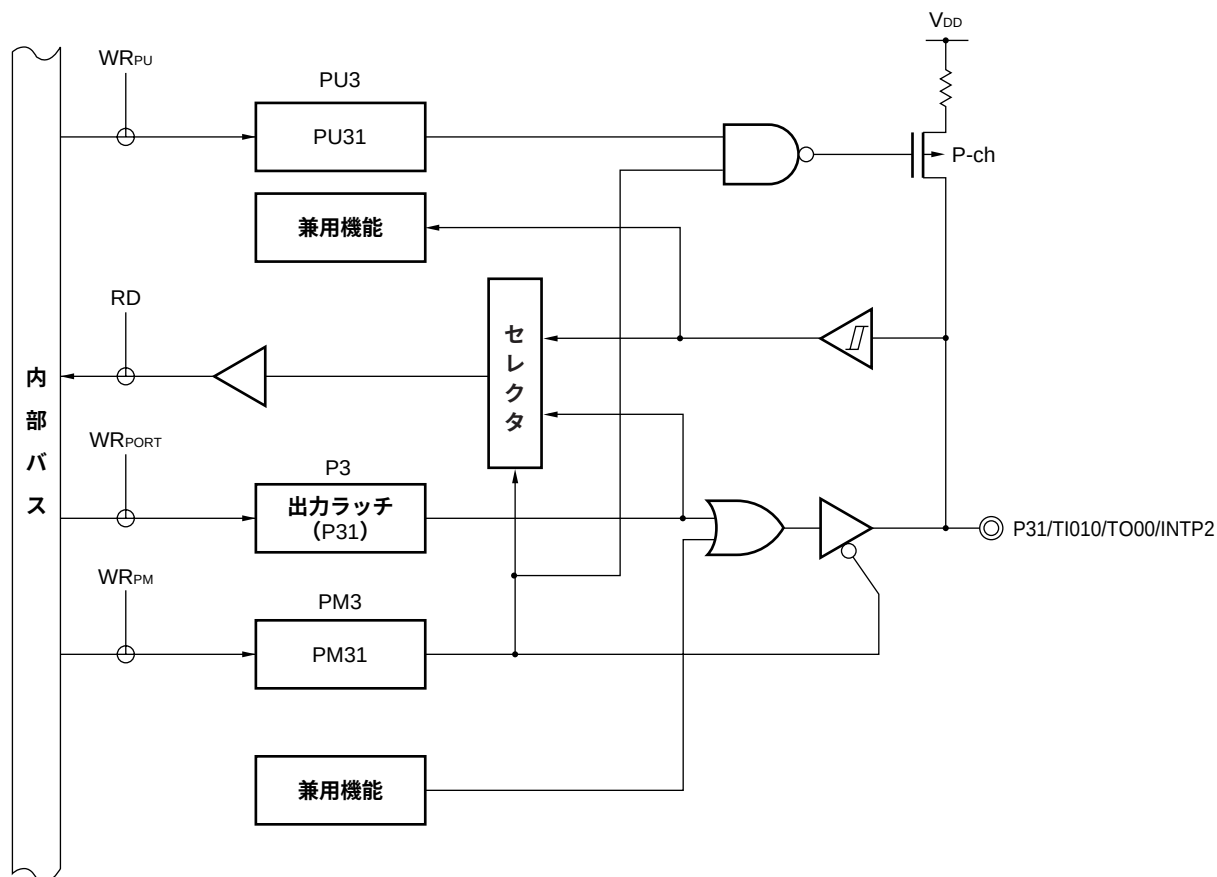
図4-3～図4-5にポート3のブロック図を示します。

図4-3 P30のブロック図



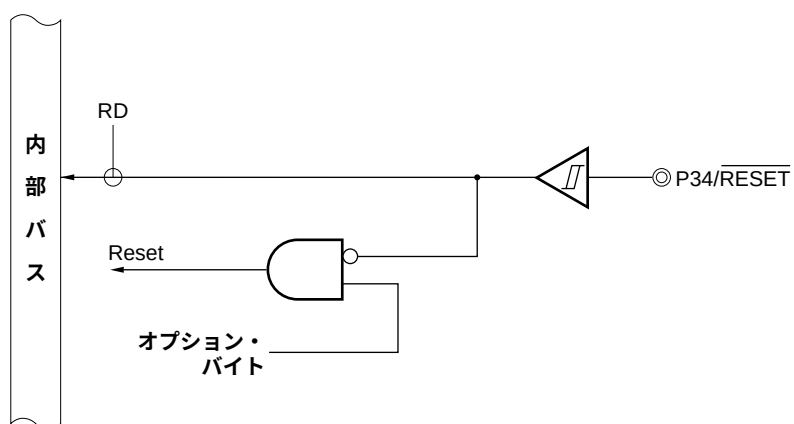
- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

図4-4 P31のブロック図



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_{xx} : ライト信号

図4-5 P34のブロック図



- RD : リード信号

注意 P34端子は、 $\overline{\text{RESET}}$ 端子と兼用していますので、入力ポートとして使用した場合、 $\overline{\text{RESET}}$ 端子への外部リセット信号入力が使えなくなります。また、使用する機能の選択は、オプション・バイトの設定で行います。詳細は、第17章 オプション・バイトを参照してください。

また、オプション・バイトは、リセット解除後に参照するため、参照するまでに $\overline{\text{RESET}}$ 端子へロウ・レベルを入力するとリセット状態が解除されません。入力ポートとして使用する場合は、プルアップ抵抗を接続してください。

4.2.3 ポート4

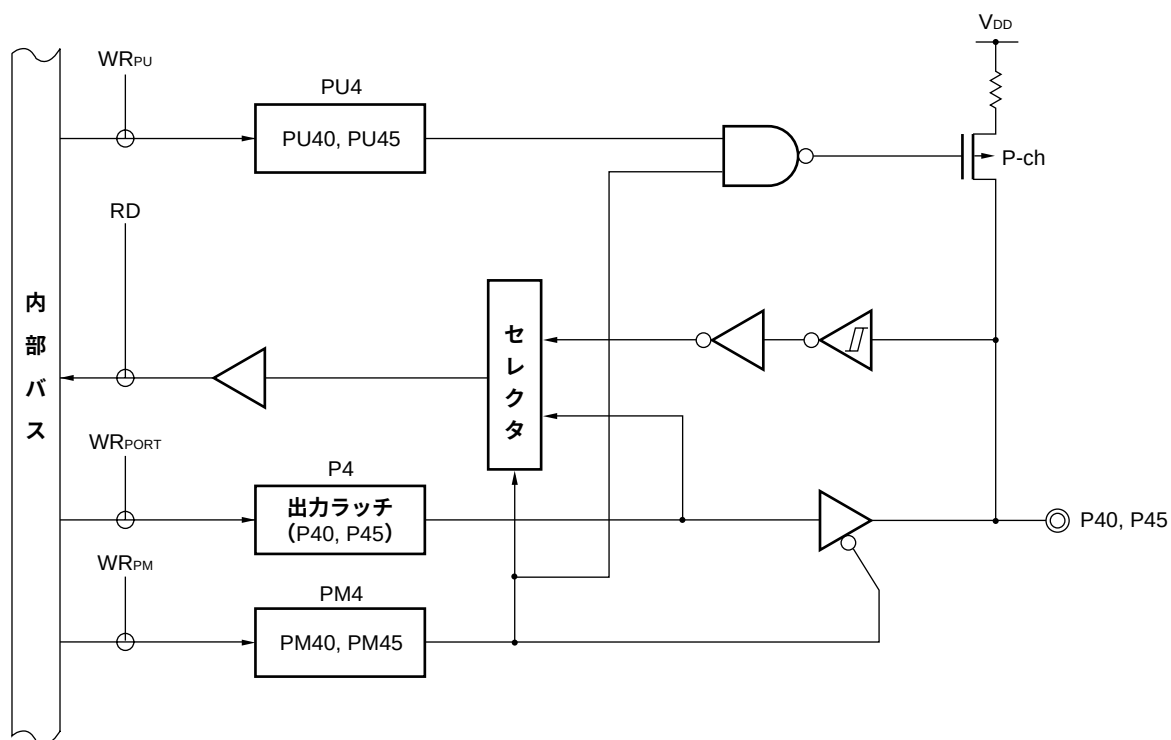
出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード／出力モードの指定ができます。P40-P45端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

兼用機能として、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、タイマの出力があります。

リセット信号の発生により、入力モードになります。

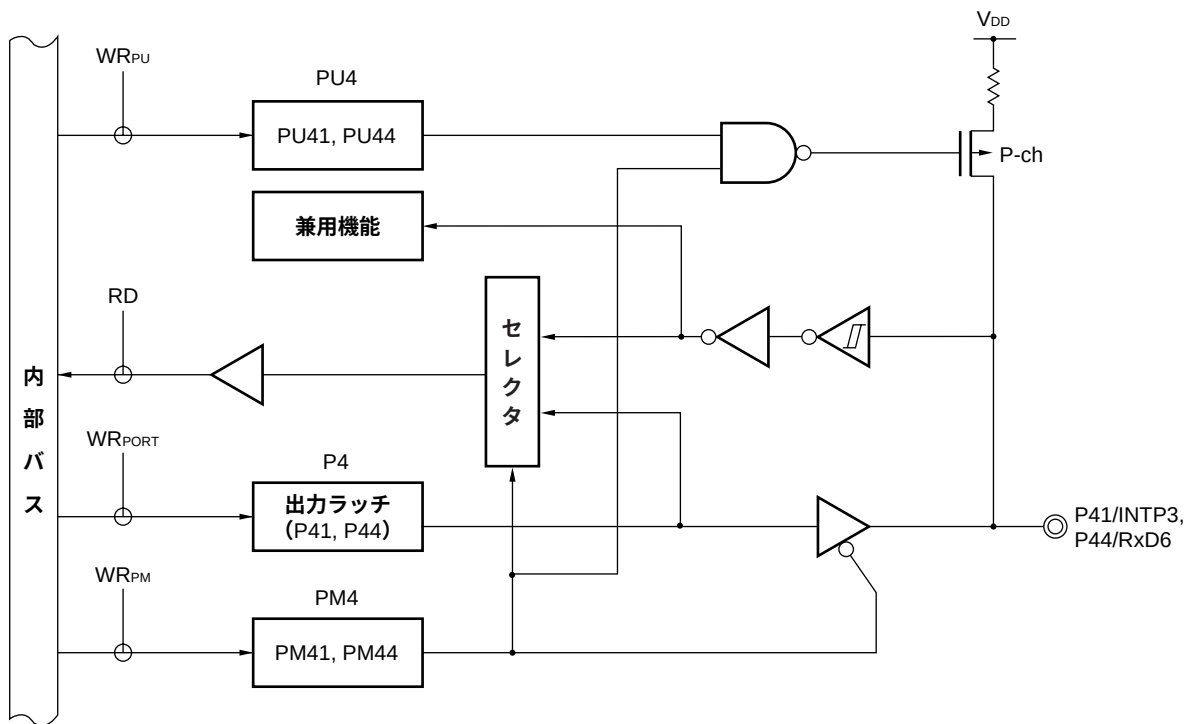
図4-6～図4-9にポート4のブロック図を示します。

図4-6 P40, P45のブロック図



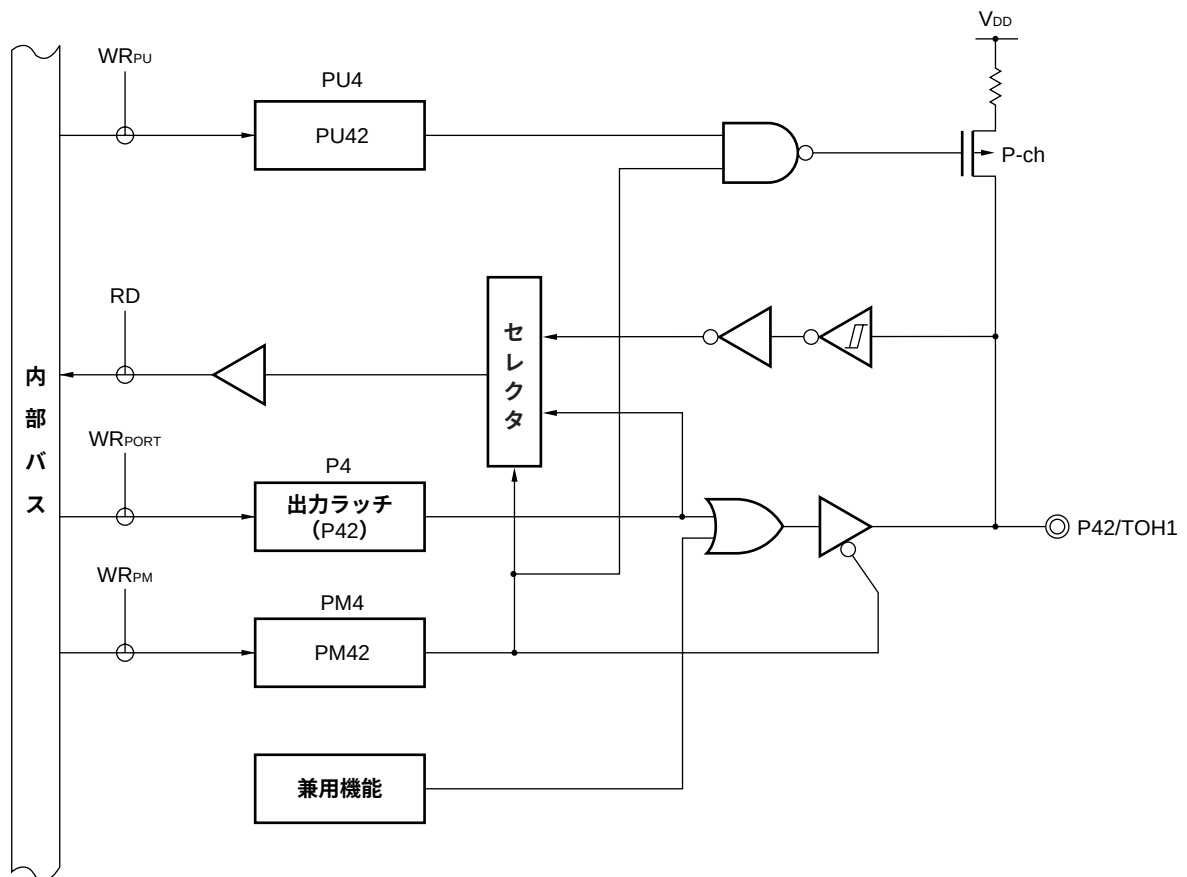
- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図4-7 P41, P44のブロック図



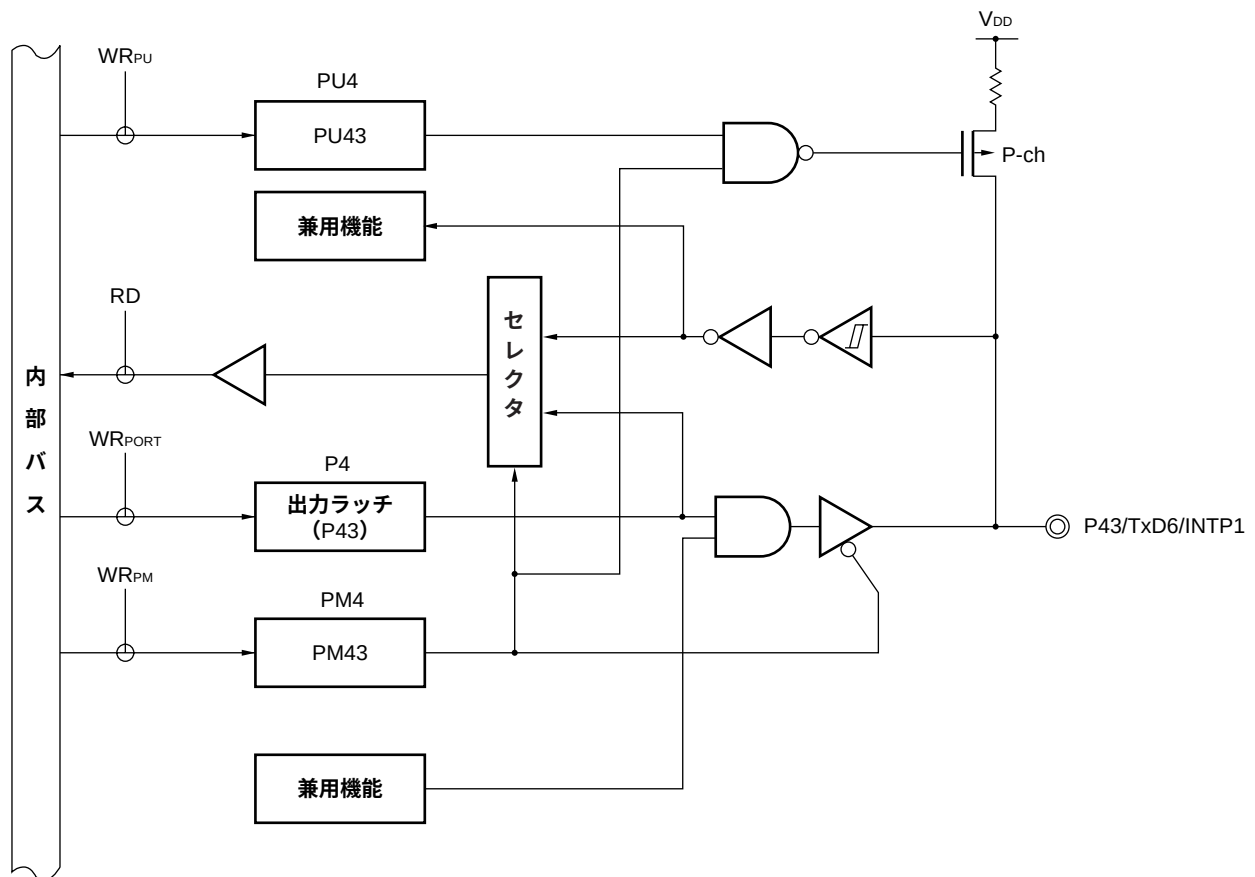
- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_{xx} : ライト信号

図4-8 P42のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_{xx} : ライト信号

図4-9 P43のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_{xx} : ライト信号

4.2.4 ポート12

出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により1ビット単位で入力モード／出力モードの指定ができます。P123端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121, P122端子は、システム・クロック発振回路のX1, X2端子と兼用していますので、選択したシステム・クロック発振回路によって、P121, P122端子の機能が変わります。システム・クロック発振回路は、次の3つがあります。

(1) 高速内蔵発振回路

P121, P122端子を入出力ポートとして使用可能です。

(2) 水晶／セラミック発振回路

P121, P122端子は、それぞれX1, X2端子として使用するため、入出力ポートとして使用できません。

(2) 外部クロック入力

P121端子は、X1端子を外部クロック入力端子として使用するため、入出力ポートとして使用できません。

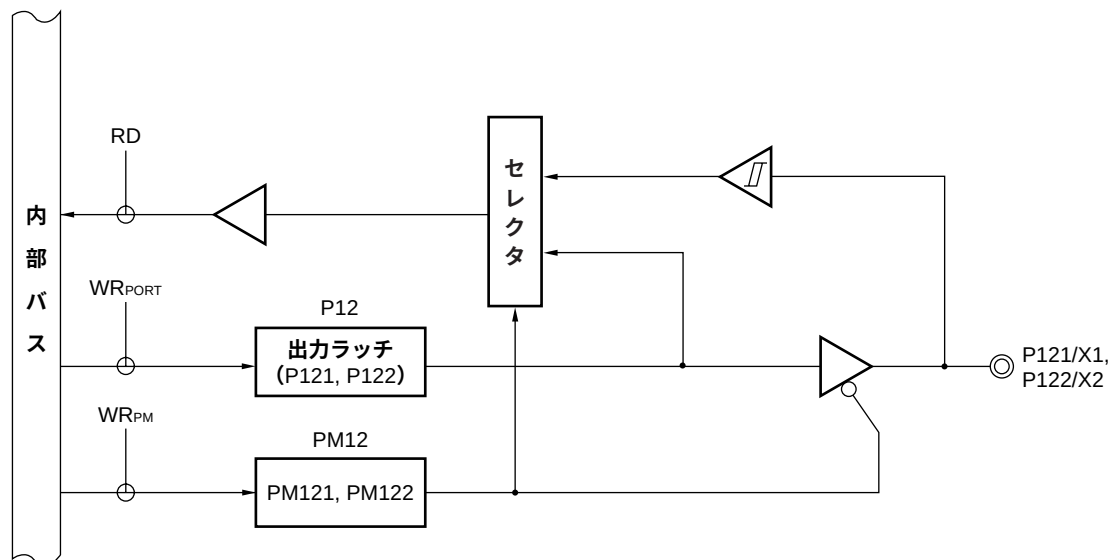
P122端子は、入出力ポートとして使用できます。

システム・クロック発振の選択は、オプション・バイトの設定で行います。詳細は、第17章 オプション・バイトを参照してください。

リセット信号の発生により、入力モードになります。

図4-10、図4-11にポート12のブロック図を示します。

図4-10 P121, 122のブロック図



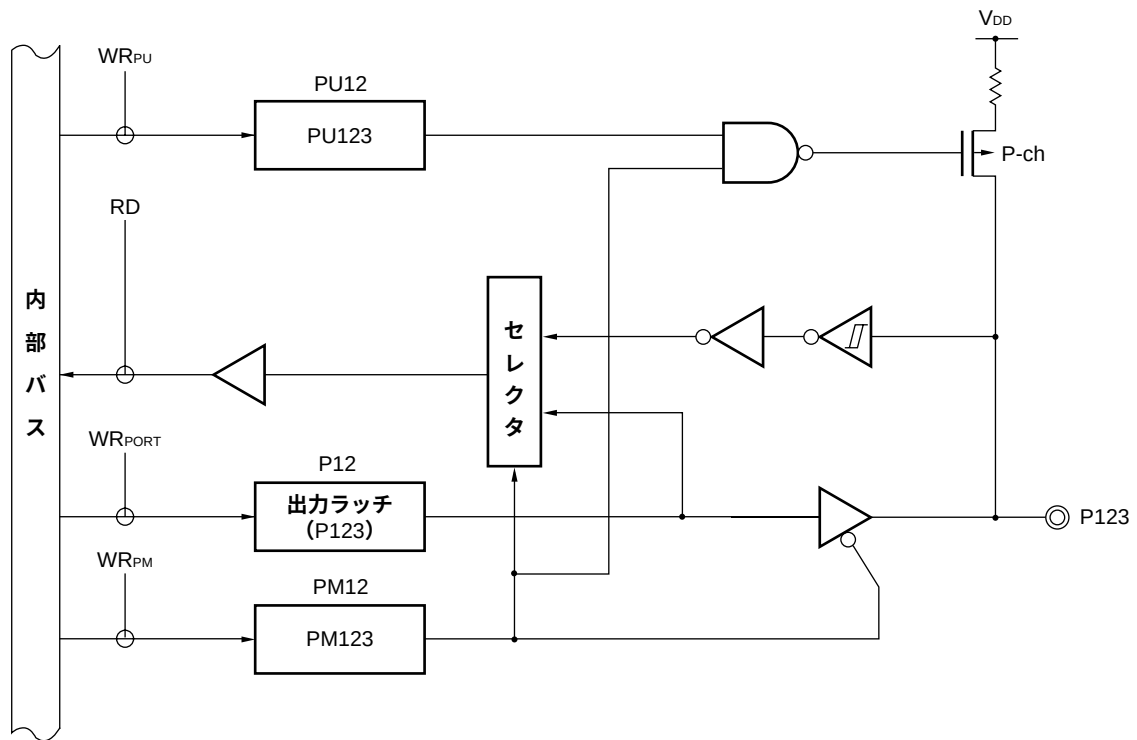
P12 : ポート・レジスタ12

PM12 : ポート・モード・レジスタ12

RD : リード信号

WR_{xx} : ライト信号

図4-11 P123のブロック図



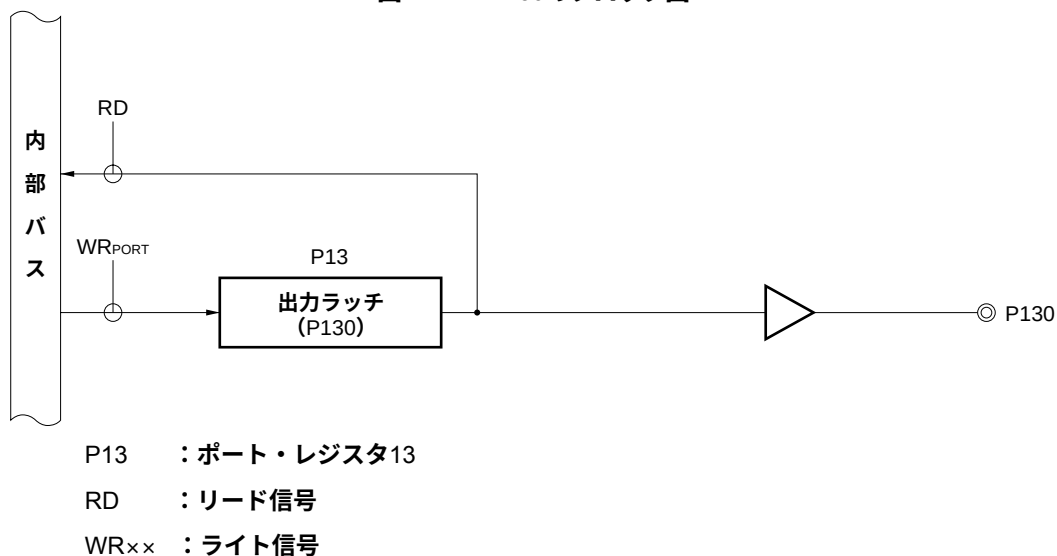
- P12 : ポート・レジスタ12
 PU12 : プルアップ抵抗オプション・レジスタ12
 PM12 : ポート・モード・レジスタ12
 RD : リード信号
 WR_{xx} : ライト信号

4.2.5 ポート13

1ビット出力専用ポートです。

図4-12にポート13のブロック図を示します。

図4-12 P130のブロック図



備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUリセット信号として擬似的に出力するという使い方ができます。

4.3 ポート機能を制御するレジスタ

ポートは、次の4種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM2, PM3, PM4, PM12)
- ・ポート・レジスタ (P2, P3, P4, P12, P13)
- ・ポート・モード・コントロール・レジスタ2 (PMC2)
- ・プルアップ抵抗オプション・レジスタ (PU2, PU3, PU4, PU12)

(1) ポート・モード・レジスタ (PM2, PM3, PM4, PM12)

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 P30, P31, P43は、外部割り込み端子と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

図4-13 ポート・モード・レジスタのフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	1	PM23	PM22	PM21	PM20

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

アドレス：FF24H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	PM45	PM44	PM43	PM42	PM41	PM40

アドレス：FF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	PM123	PM122	PM121	1

PMmn	Pmn端子の入出力モードの選択 (m = 2, 3, 4, 12 ; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) ポート・レジスタ (P2, P3, P4, P12, P13)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

P20-P23, P30, P31, P34, P40-P45, P121-P123, P130は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-14 ポート・レジスタのフォーマット

アドレス：FF02H リセット時：00H（出力ラッチ） R/W

略号	7	6	5	4	3	2	1	0
P2	0	0	0	0	P23	P22	P21	P20

アドレス：FF03H リセット時：00H[※]（出力ラッチ） R/W[※]

略号	7	6	5	4	3	2	1	0
P3	0	0	0	P34	0	0	P31	P30

アドレス：FF04H リセット時：00H（出力ラッチ） R/W

略号	7	6	5	4	3	2	1	0
P4	0	0	P45	P44	P43	P42	P41	P40

アドレス：FF0CH リセット時：00H（出力ラッチ） R/W

略号	7	6	5	4	3	2	1	0
P12	0	0	0	0	P123	P122	P121	0

アドレス：FF0DH リセット時：00H（出力ラッチ） R/W

略号	7	6	5	4	3	2	1	0
P13	0	0	0	0	0	0	0	P130

Pmn	m = 2, 3, 4, 12, 13 ; n = 0-5							
	出力データの制御（出力モード時）				入力データの読み出し（入力モード時）			
0	0を出力				ロウ・レベルを入力			
1	1を出力				ハイ・レベルを入力			

注 P34はリード専用のため、リセット値は不定になります。**(3) ポート・モード・コントロール・レジスタ2 (PMC2)**

ポート・モードまたはA/Dコンバータ・モードを指定します。

PMC2の各ビットは、ポート2の端子1本ずつに対応しており、1ビット単位で指定可能です。

PMC2は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-15 ポート・モード・コントロール・レジスタ2のフォーマット

アドレス：FF84H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC2	0	0	0	0	PMC23	PMC22	PMC21	PMC20

PMC2n	動作モードの指定 (n = 0-3)
0	ポート・モード
1	A/Dコンバータ・モード

注意 PMC20-PMC23に1を設定した場合、P20/ANI0-P23/ANI3端子をポート機能として使用できません。
また、A/Dコンバータ・モードに設定した端子のプルアップ抵抗オプション・レジスタ（PU20-PU23）は、必ず0を設定してください。

表4-3 兼用機能使用時のポート・モード・レジスタ，ポート・レジスタ（出力ラッチ），
ポート・モード・コントロール・レジスタの設定

ポート名称	兼用機能		PM××	P××	PMC2n (n = 0-3)
	名 称	入出力			
P20-P23	ANI0-ANI3	入力	1	×	1
P30	TI000	入力	1	×	—
	INTP0	入力	1	×	—
P31	TO00	出力	0	0	—
	TI010	入力	1	×	—
	INTP2	入力	1	×	—
P41	INTP3	入力	1	×	—
P42	TOH1	出力	0	0	—
P43	TxD6	出力	0	1	—
	INTP1	入力	1	×	—
P44	RxD6	入力	1	×	—

備考 × : don't care

PM×× : ポート・モード・レジスタ, P×× : ポート・レジスタ（ポートの出力ラッチ）

PMC2× : ポート・モード・コントロール・レジスタ

(4) プルアップ抵抗オプション・レジスタ (PU2, PU3, PU4, PU12)

P20-P23, P30, P31, P40-P45, P123の内蔵プルアップ抵抗を使用するか, しないかを設定するレジスタです。PU2, PU3, PU4, PU12を設定することにより, PU2, PU3, PU4, PU12内のビットに対応するポート端子の内蔵プルアップ抵抗を使用できます。

PU2, PU3, PU4, PU12は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, 00Hになります。

図4-16 プルアップ抵抗オプション・レジスタのフォーマット

アドレス: FF32H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PU2	0	0	0	0	PU23	PU22	PU21	PU20

アドレス: FF33H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PU3	0	0	0	0	0	0	PU31	PU30

アドレス: FF34H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PU4	0	0	PU45	PU44	PU43	PU42	PU41	PU40

アドレス: FF3CH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
PU12	0	0	0	0	PU123	0	0	0

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 2, 3, 4, 12 ; n = 0-5)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

4. 4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4. 4. 1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチにデータを書き込みます。また、出力ラッチのデータが端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチにデータを書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4. 4. 2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチのデータが読み出せます。出力ラッチのデータは変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4. 4. 3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチのデータと演算を行います。演算結果は出力ラッチに書き込まれます。また、出力ラッチのデータが端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、そのデータと演算を行います。演算結果は出力ラッチに書き込まれます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロック（システム・クロック）を発生する回路と、ウォッチドッグ・タイマおよび8ビット・タイマH1（TMH1）にのみ供給されるクロック（インターバル時間生成用クロック）を発生する回路があります。

5.1.1 システム・クロック発振回路

システム・クロック発振回路には、次の3種類の回路があります。

- ・高速内蔵発振回路

8 MHz（TYP.）のクロックを内部で発振する回路です。STOP命令の実行で発振を停止できます。

システム・クロックに高速内蔵発振回路を選択した場合、X1, X2端子を入出力ポートとして使用できます。

- ・水晶／セラミック発振回路

水晶／セラミック発振子をX1, X2端子に接続し発振する回路です。2～10 MHzのクロックを発振可能です。また、STOP命令の実行で発振を停止できます。

- ・外部クロック入力回路

外部ICからのクロックをX1端子に供給する回路です。2～10 MHzのクロックが供給可能です。STOP命令の実行で内部のクロック供給を停止できます。

システム・クロックに外部クロック入力を選択した場合、X2端子を入出力ポートとして使用できます。

システム・クロック・ソースの選択は、オプション・バイトの設定で行います。詳細は、**第17章 オプション・バイト**を参照してください。

また、X1, X2端子を入出力ポートとして使用する場合、詳細は、**第4章 ポート機能**を参照してください。

5.1.2 インターバル時間生成用クロック発振回路

インターバル時間生成用クロック発振回路には、次の回路があります。

- ・低速内蔵発振回路

240 kHz（TYP.）のクロックを発振します。また、オプション・バイトで「ソフトウェアにより停止可能」に設定し、低速内蔵発振モード・レジスタ（LSRCM）を設定することで発振を停止することができます。

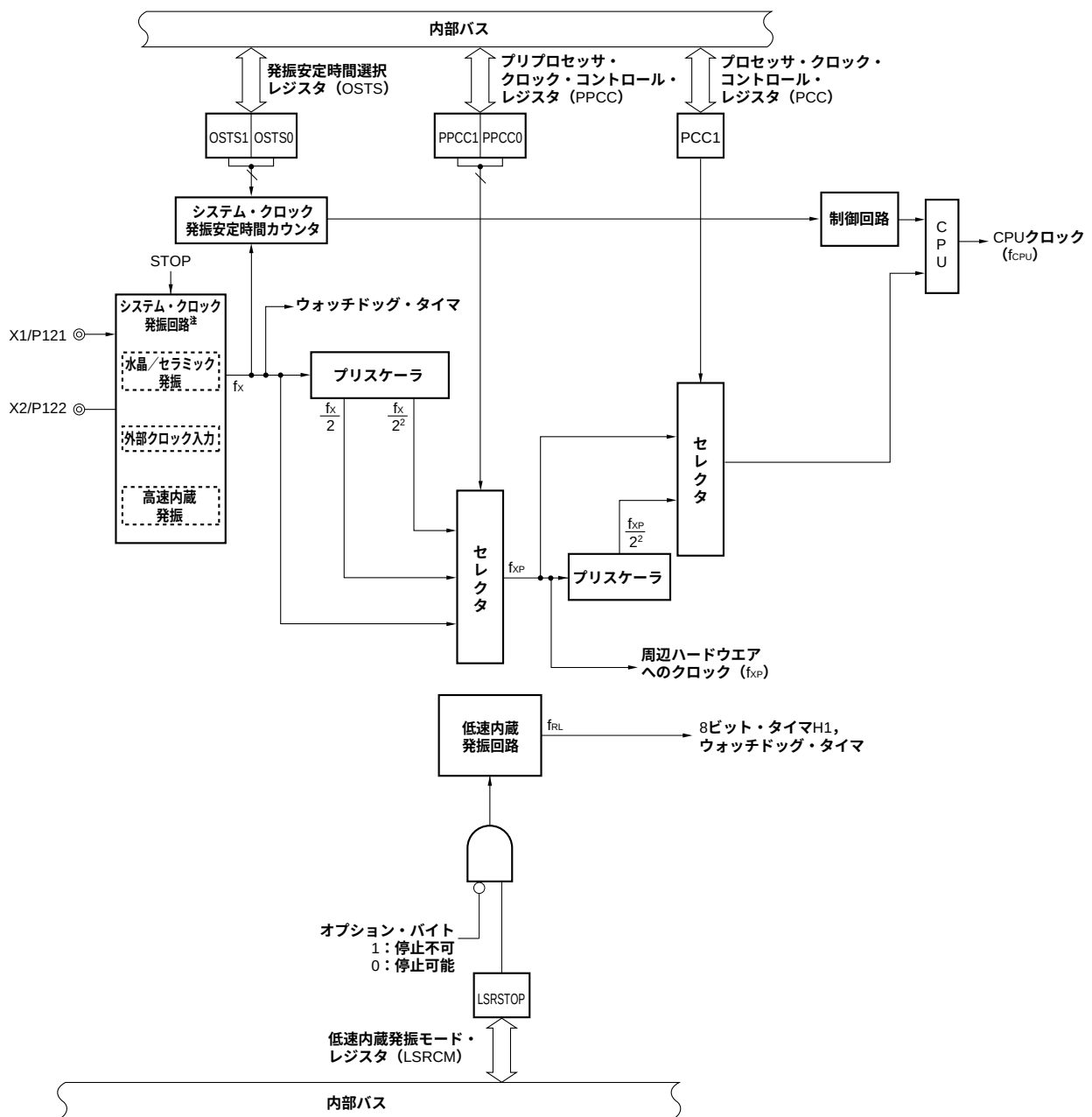
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) プリプロセッサ・クロック・コントロール・レジスタ (PPCC) 低速内蔵発振モード・レジスタ (LSRCM) 発振安定時間選択レジスタ (OSTS)
発振回路	水晶／セラミック発振回路 高速内蔵発振回路 外部クロック入力回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



注 オプション・バイトで高速内蔵発振回路，水晶／セラミック発振回路，外部クロック入力回路のいずれかを，システム・クロック・ソースとして選択してください。

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の4種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・プリプロセッサ・クロック・コントロール・レジスタ (PPCC)
- ・低速内蔵発振モード・レジスタ (LSRCM)
- ・発振安定時間選択レジスタ (OSTS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC) , プリプロセッサ・クロック・コントロール・レジスタ (PPCC)

システム・クロックの分周比を設定するレジスタです。

PCC, PPCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、それぞれ02Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス：FFFBH リセット時：02H R/W

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	0	PCC1	0

図5-3 プリプロセッサ・クロック・コントロール・レジスタ (PPCC) のフォーマット

アドレス：FFF3H リセット時：02H R/W

略号	7	6	5	4	3	2	1	0
PPCC	0	0	0	0	0	0	PPCC1	PPCC0

PPCC1	PPCC0	PCC1	CPUクロックの選択 (f_{CPU})
0	0	0	f_x
0	1	0	$f_x/2$ 注1
0	0	1	$f_x/2^2$
1	0	0	$f_x/2^2$ 注2
0	1	1	$f_x/2^3$ 注1
1	0	1	$f_x/2^4$ 注2
上記以外			設定禁止

注1. PPCC = 01Hに設定した場合、周辺ハードウェアに供給されるクロック (f_{XP}) は $f_x/2$ になります。

2. PPCC = 02Hに設定した場合、周辺ハードウェアに供給されるクロック (f_{XP}) は $f_x/2^2$ になります。

78K0S/KA1+の一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5-2のようになります。

表5-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU}) 注	最小命令実行時間: $2/f_{CPU}$	
	高速内蔵発振クロック (8.0 MHz (TYP.) 動作時)	水晶／セラミック発振クロック または外部クロック入力 (10.0 MHz動作時)
f_x	$0.25 \mu s$	$0.2 \mu s$
$f_x/2$	$0.5 \mu s$	$0.4 \mu s$
$f_x/2^2$	$1.0 \mu s$	$0.8 \mu s$
$f_x/2^3$	$2.0 \mu s$	$1.6 \mu s$
$f_x/2^4$	$4.0 \mu s$	$3.2 \mu s$

注 CPUクロックの設定（高速内蔵発振クロック、水晶／セラミック発振クロック、外部クロック入力）は、オプション・バイトで行います。

(2) 低速内蔵発振モード・レジスタ (LSRCM)

低速内蔵発振器（240 kHz (TYP.)）の動作モードを設定するレジスタです。

このレジスタは、オプション・バイトで低速内蔵発振器を「ソフトウェアにより停止可能」に選択しているときに有効となります。オプション・バイトで低速内蔵発振器を「停止不可」に選択している場合、このレジスタへの設定は無効になり、低速内蔵発振器は、発振し続けます。また、WDTのソース・クロックも低速内蔵発振クロック固定になります。詳しくは、第9章 ウォッチドッグ・タイマを参照してください。

LSRCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-4 低速内蔵発振モード・レジスタ (LSRCM) のフォーマット

アドレス：FF58H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LSRCM	0	0	0	0	0	0	0	LSRSTOP

LSRSTOP	低速内蔵発振器の発振／停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

(3) 発振安定時間選択レジスタ (OSTS)

STOPモード解除後に、発振回路から供給するクロックの発振安定時間を選択するレジスタです。OSTSで設定するウェイト時間は、システム・クロックの供給に水晶／セラミック発振クロックを選択したときのSTOPモード解除後のみ有効になります。システム・クロックに高速内蔵発振クロック、外部クロック入力を選択した場合、ウェイト時間はありません。

システム・クロックの発振回路の選択、および電源投入時またはリセット解除後の発振安定時間の設定は、オプション・バイトで行います。詳細は、第17章 オプション・バイトを参照してください。

OSTSは、8ビット・メモリ操作命令で設定します。

図5-5 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFF4H リセット時：不定 R/W

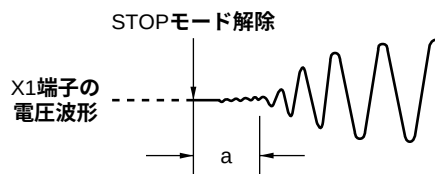
略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	0	OSTS1	OSTS0

OSTS1	OSTS0	発振安定時間の選択
0	0	$2^{10}/f_x$ (102.4 μ s)
0	1	$2^{12}/f_x$ (409.6 μ s)
1	0	$2^{15}/f_x$ (3.27 ms)
1	1	$2^{17}/f_x$ (13.1 ms)

注意1. STOPモードに入り、解除するときは発振安定時間を次のように設定してください。

期待する発振子の発振安定時間 $\leq$ OSTSで設定する発振安定時間

- STOPモード解除時のウェイト時間は、リセット信号の発生による場合も、割り込み発生による場合もSTOPモード解除後からクロック発振を開始するまでの時間（次の図a）は含みません。



- 電源投入時、またはリセット解除後の発振安定時間の設定は、オプション・バイトで行います。詳細は、第17章 オプション・バイトを参照してください。

備考1. () 内は $f_x = 10$ MHz動作時

- 発振子の発振安定時間は、ご使用される発振子の特性を確認してください。

5.4 システム・クロック発振回路

システム・クロック発振回路には、次の3種類の回路があります。

- ・高速内蔵発振回路 : 8 MHz (TYP.) のクロックを内部で発振
- ・水晶／セラミック発振回路 : 2～10 MHzのクロックを発振
- ・外部クロック入力回路 : 2～10 MHzのクロックをX1端子に供給

5.4.1 高速内蔵発振回路

78K0S/KA1+は、高速内蔵発振回路 (8 MHz (TYP.)) を内蔵しています。

オプション・バイトの設定により高速内蔵発振をシステム・クロック・ソースとして選択した場合、X1, X2端子を入出力ポートとして使用できます。

オプション・バイトの詳細は、第17章 オプション・バイト、入出力ポートの詳細は、第4章 ポート機能を参照してください。

5.4.2 水晶／セラミック発振回路

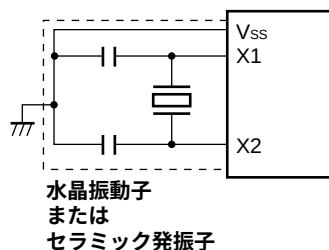
水晶／セラミック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子によって発振します。

オプション・バイトの設定により水晶／セラミック発振をシステム・クロック・ソースとして選択した場合、X1, X2端子は水晶振動子またはセラミック発振子接続端子となります。

オプション・バイトの詳細は、第17章 オプション・バイト、入出力ポートの詳細は、第4章 ポート機能を参照してください。

図5-6に水晶／セラミック発振回路の外付け回路を示します。

図5-6 水晶／セラミック発振回路の外付け回路



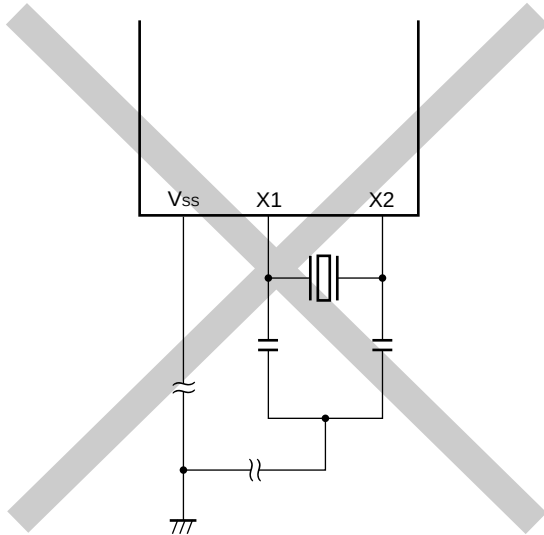
注意 水晶／セラミック発振回路を使用する場合は、配線容量などの影響を避けるために、図5-6の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVssと同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

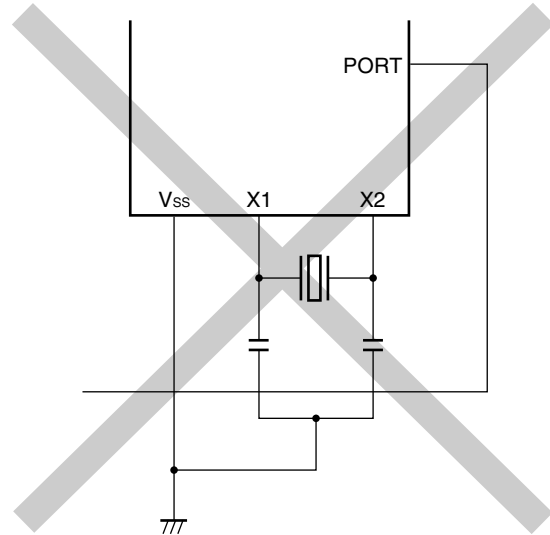
図5-7に発振子の接続の悪い例を示します。

図5-7 発振子の接続の悪い例 (1/2)

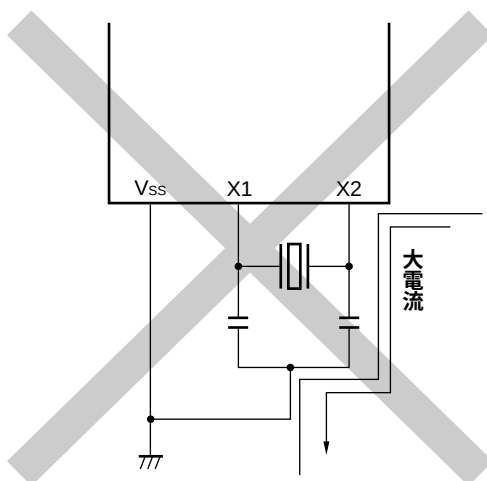
(a) 接続回路の配線が長い



(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)

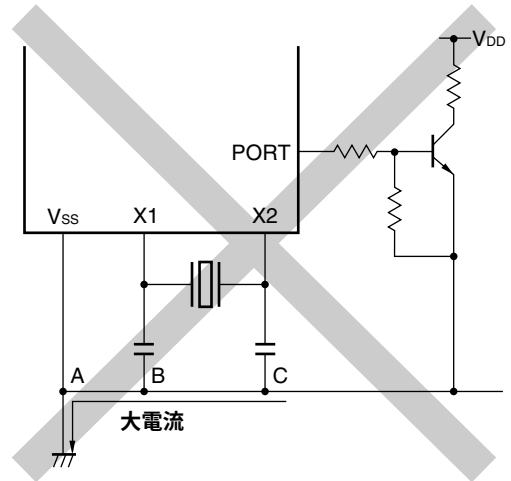
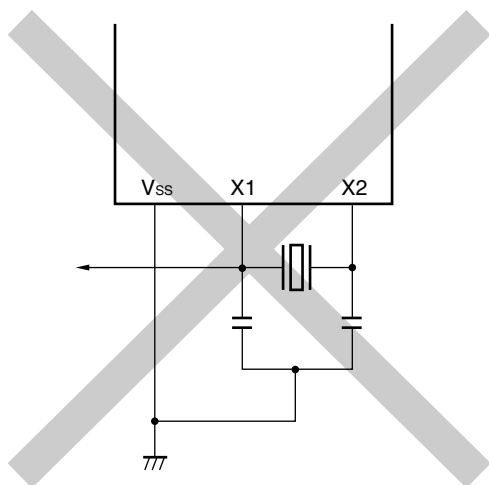


図5-7 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



5.4.3 外部クロック入力回路

外部ICからのクロックをX1端子に供給する回路です。

オプション・バイトの設定により外部クロック入力をシステム・クロック・ソースとして選択した場合、X2端子を入出力ポートとして使用できます。

オプション・バイトの詳細は、第17章 オプション・バイト、入出力ポートの詳細は、第4章 ポート機能を参照してください。

5.4.4 プリスケアラ

プリスケアラは、周辺ハードウェアへのクロック (f_{XP}) をシステム・クロック発振回路出力 (f_X) から分周して生成します。また、CPUへの供給クロックを周辺ハードウェアへのクロック (f_{XP}) から分周して生成します。

備考 オプション・バイトで選択された発振回路（高速内蔵発振回路、水晶／セラミック発振回路、外部クロック入力回路）の出力を分周します。オプション・バイトの詳細は、第17章 オプション・バイトを参照してください。

5.5 CPUクロック発生回路の動作

次の3種類の発振回路で発振されたシステム・クロック (fx) から、CPUヘクロック (fcPU) が供給されます。

- ・高速内蔵発振回路 : 8 MHz (TYP.) のクロックを内部で発振
- ・水晶／セラミック発振回路 : 2～10 MHzのクロックを発振
- ・外部クロック入力回路 : 2～10 MHzのクロックをX1端子に供給

システム・クロックの発振回路の選択は、オプション・バイトで行います。詳細は、第17章 オプション・バイトを参照してください。

(1) 高速内蔵発振回路

オプション・バイトにて、高速内蔵発振を選択した場合、次のことが可能になります。

・起動時間の短縮

発振回路に高速内蔵発振器を選択した場合、システム・クロックの発振安定時間を待たずにCPUを起動できるため、起動時間の短縮が可能です。

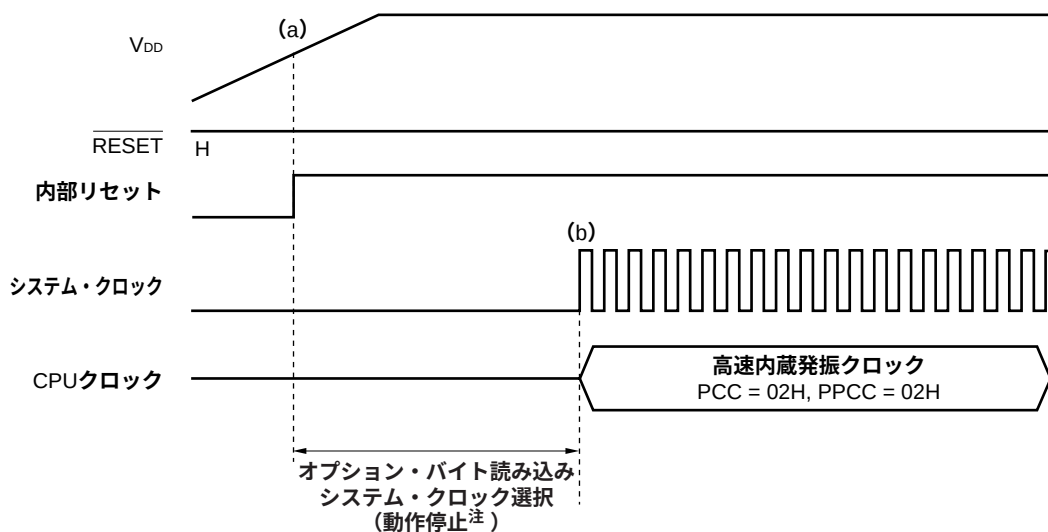
・拡張性の向上

発振回路に高速内蔵発振器を選択した場合、X1, X2端子を入出力ポートとして利用できます。詳細については、第4章 ポート機能を参照してください。

高速内蔵発振によるデフォルト・スタートのタイミング図と状態遷移図を、それぞれ図5-8と図5-9に示します。

備考 高速内蔵発振を使用する場合、クロックの精度は±5%になります。

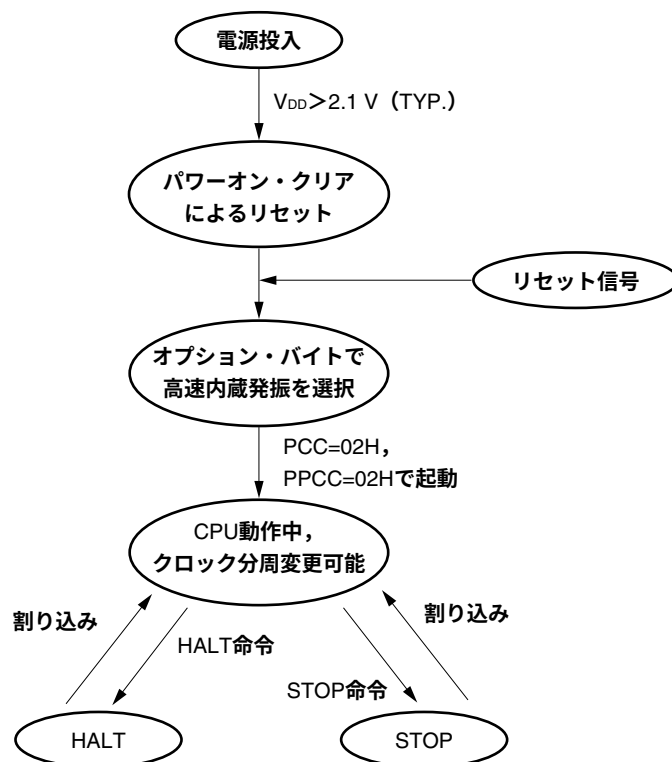
図5-8 高速内蔵発振によるデフォルト・スタートのタイミング図



注 動作停止時間は、277 μ s (MIN.) , 544 μ s (TYP.) , 1.075 ms (MAX.) です。

- (a) 電源投入時にパワーオン・クリアによって内部リセット信号が発生し、リセット後にオプション・バイトを参照し、システム・クロックの選択を行います。
- (b) オプション・バイトを参照し、システム・クロックの選択を行ったあと、高速内蔵発振クロックがシステム・クロックとして動作します。

図5-9 高速内蔵発振によるデフォルト・スタートの状態遷移図



備考 PCC：プロセッサ・クロック・コントロール・レジスタ

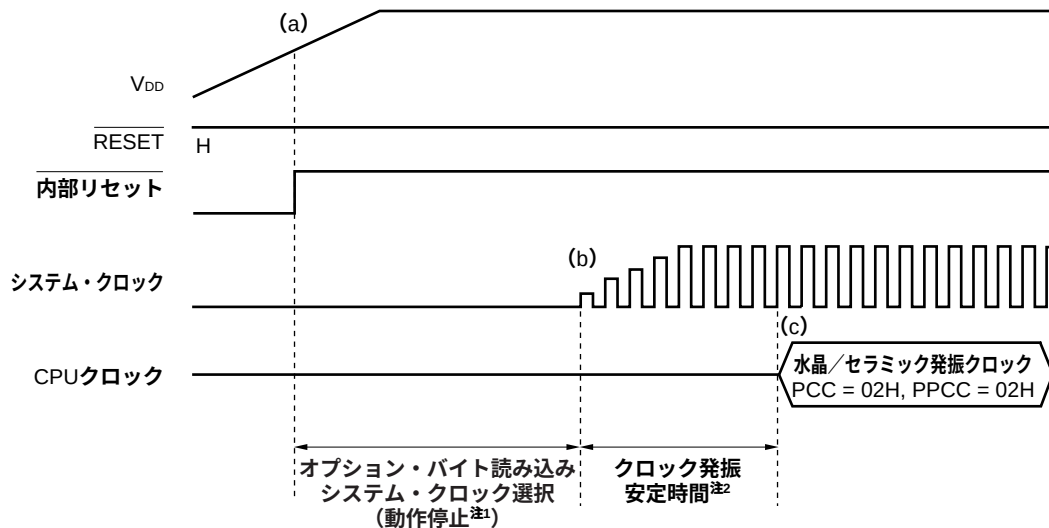
PPCC：プリプロセッサ・クロック・コントロール・レジスタ

(2) 水晶／セラミック発振回路

オプション・バイトにて、水晶／セラミック発振を選択した場合、高速内蔵発振（8 MHz（TYP.））に対して、2 MHzから10 MHzまで選択可能であることと、周波数偏差が小さいため、処理の精度が向上します。

水晶／セラミック発振によるデフォルト・スタートのタイミング図と状態遷移図を、それぞれ図5-10と図5-11に示します。

図5-10 水晶／セラミック発振によるデフォルト・スタートのタイミング図

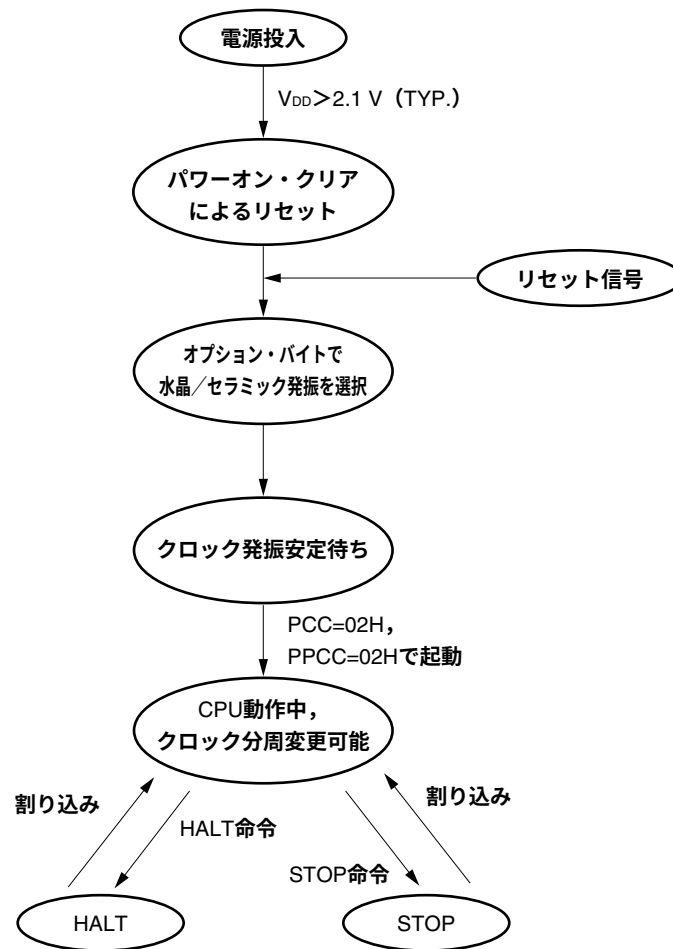


注1. 動作停止時間は、276 μ s（MIN.）, 544 μ s（TYP.）, 1.074 ms（MAX.）です。

2. デフォルト・スタート時のクロック発振安定時間は、オプション・バイトで設定します。詳細は、第17章 オプション・バイトを参照してください。また、STOPモード解除後の発振安定時間は、発振安定時間選択レジスタ（OSTS）で設定します。

- (a) 電源投入時にパワーオン・クリアによって内部リセット信号が発生し、リセット後にオプション・バイトを参照し、システム・クロックの選択を行います。
- (b) 高速内蔵発振クロック発生後、オプション・バイトを参照し、システム・クロックの選択を行います。ここでは、水晶／セラミック発振クロックをシステム・クロックとして選択します。
- (c) システム・クロックが水晶／セラミック発振クロックの場合、クロック発振が安定したあとにCPUクロックとして動作を開始します。ここでのウエイトの時間は、オプション・バイトで設定します。詳細は、第17章 オプション・バイトを参照してください。

図5-11 水晶／セラミック発振によるデフォルト・スタートの状態遷移図



備考 PCC：プロセッサ・クロック・コントロール・レジスタ

PPCC：プリプロセッサ・クロック・コントロール・レジスタ

(3) 外部クロック入力回路

オプション・バイトにて、外部クロック入力を選択した場合、次のことが可能になります。

- ・高速動作

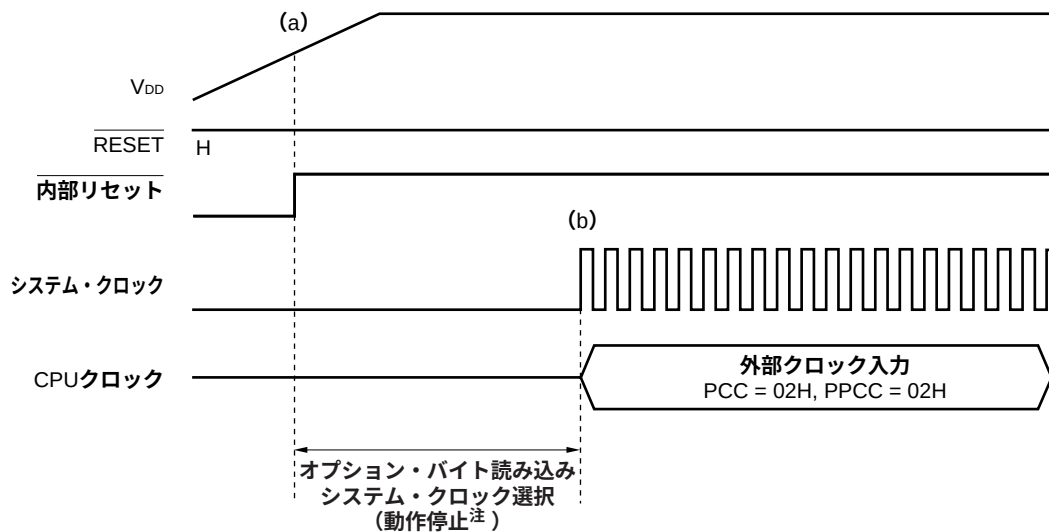
高速内蔵発振（8 MHz（TYP.））に対して、2 MHzから10 MHzまで選択可能であることと、周波数偏差が小さい外部クロックを供給することで、処理の精度が向上します。

- ・拡張性の向上

発振回路に外部クロック入力を選択した場合、X2端子を入出力ポートとして利用できます。詳細については、第4章 ポート機能を参照してください。

外部クロック入力によるデフォルト・スタートのタイミング図と状態遷移図を、それぞれ図5-12と図5-13に示します。

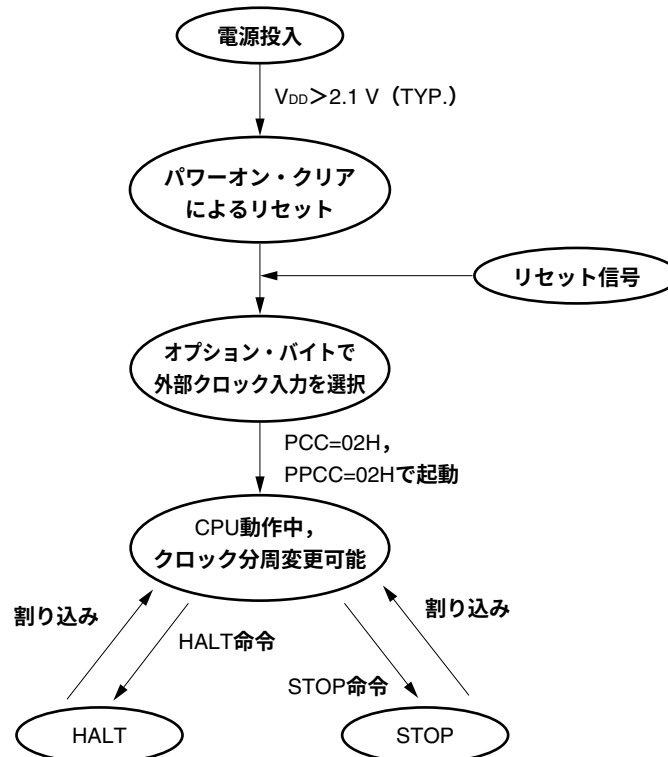
図5-12 外部クロック入力によるデフォルト・スタートのタイミング図



注 動作停止時間は、277 μ s（MIN.）, 544 μ s（TYP.）, 1.075 ms（MAX.）です。

- (a) 電源投入時にパワーオン・クリアによって内部リセット信号が発生し、リセット後にオプション・バイトを参照し、システム・クロックの選択を行います。
- (b) オプション・バイトを参照し、システム・クロックの選択を行った後、外部クロック入力がシステム・クロックとして動作します。

図5-13 外部クロック入力によるデフォルト・スタートの状態遷移図



備考 PCC：プロセッサ・クロック・コントロール・レジスタ
PPCC：プリプロセッサ・クロック・コントロール・レジスタ

5.6 周辺ハードウェアへ供給するクロック発生回路の動作

周辺ハードウェアへ供給するクロックには、次の2種類があります。

- ・周辺ハードウェアへのクロック (f_{XP})
- ・低速内蔵発振クロック (f_{RL})

(1) 周辺ハードウェアへのクロック

周辺ハードウェアへのクロックは、システム・クロック (f_X) を分周して供給しています。分周は、プリプロセッサ・クロック・コントロール・レジスタ (PPCC) によって制御されます。

選択できる周波数は、“ f_X ”と“ $f_X/2$ ”と“ $f_X/2^2$ ”の3種類です。表5-3に周辺ハードウェアへのクロックの一覧を示します。

表5-3 周辺ハードウェアへのクロックの一覧

PPCC1	PPCC0	周辺ハードウェアへのクロックの選択 (f_{XP})
0	0	f_X
0	1	$f_X/2$
1	0	$f_X/2^2$
1	1	設定禁止

(2) 低速内蔵発振クロック

インターバル時間生成用クロック発振回路の低速内蔵発振回路は、リセット解除後に必ず起動し、240 kHz (TYP.) で発振します。

低速内蔵発振器は、オプション・バイトにて「ソフトウェアにて停止可能」または「停止不可」を選択できます。「ソフトウェアより停止可能」を選択した場合は、低速内蔵発振モード・レジスタ (LSRCM) を設定することで、発振／停止を制御することができます。また、「停止不可」を選択した場合には、WDTのクロック・ソースは、低速内蔵発振クロック (f_{RL}) 固定となります。

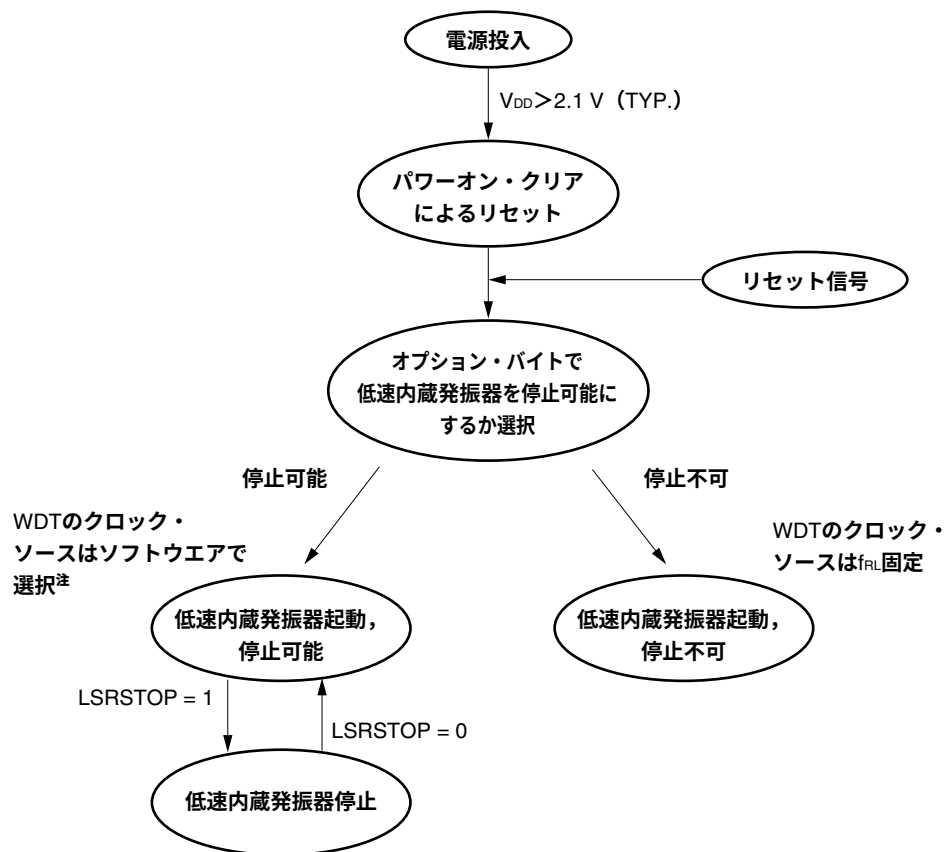
低速内蔵発振回路は、CPUクロックとは独立しているので、WDTのソース・クロックとして使用した場合、CPUクロックが停止しても暴走を検出することが可能です。また、8ビット・タイマH1のカウント・クロックとして使用した場合、スタンバイ状態でも8ビット・タイマH1の動作が可能です。

表5-4に低速内蔵発振クロックをWDTのソース・クロック、8ビット・タイマH1のカウント・クロックとして選択した場合の低速内蔵発振器の動作状態、図5-14に低速内蔵発振器の状態遷移図を示します。

表5-4 低速内蔵発振器の動作状態

オプション・バイト設定		CPUの状態	WDTの状態	TMH1の状態
ソフトウェアにて 停止可能	LSRSTOP = 1	動作モード	停止	停止
	LSRSTOP = 0		動作	動作
	LSRSTOP = 1	スタンバイ	停止	停止
	LSRSTOP = 0		停止	動作
停止不可		動作モード	動作	
		スタンバイ		

図5-14 低速内蔵発振の状態遷移図



注 ウォッチドッグ・タイマ (WDT) のクロック・ソースは、 f_X , f_{RL} , 停止の中から選択します。詳しくは第9章 ウォッチドッグ・タイマを参照してください。

第6章 16ビット・タイマ／イベント・カウンタ00

6.1 16ビット・タイマ／イベント・カウンタ00の機能

16ビット・タイマ／イベント・カウンタ00には、次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

- ・ カウント数：2～65536カウント

(2) 外部イベント・カウンタ

外部から入力される信号の、有効レベル・パルス幅以上のハイ／ロウ・レベル幅を持ったパルス数を測定できます。

- ・ 有効レベル・パルス幅： $2/f_{XP}$ 以上

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

- ・ 有効レベル・パルス幅： $2/f_{XP}$ 以上

(4) 方形波出力

任意の周波数の方形波を出力できます。

- ・ 周期： $(2 \sim 65536) \times 2 \times \text{カウント} \times \text{クロックの周期}$

(5) PPG出力

任意の周期とパルス幅を持った矩形波を出力できます。

- ・ $1 < \text{パルス幅} < \text{周期} \leq 65536$

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

6.2 16ビット・タイマ／イベント・カウンタ⁰⁰の構成

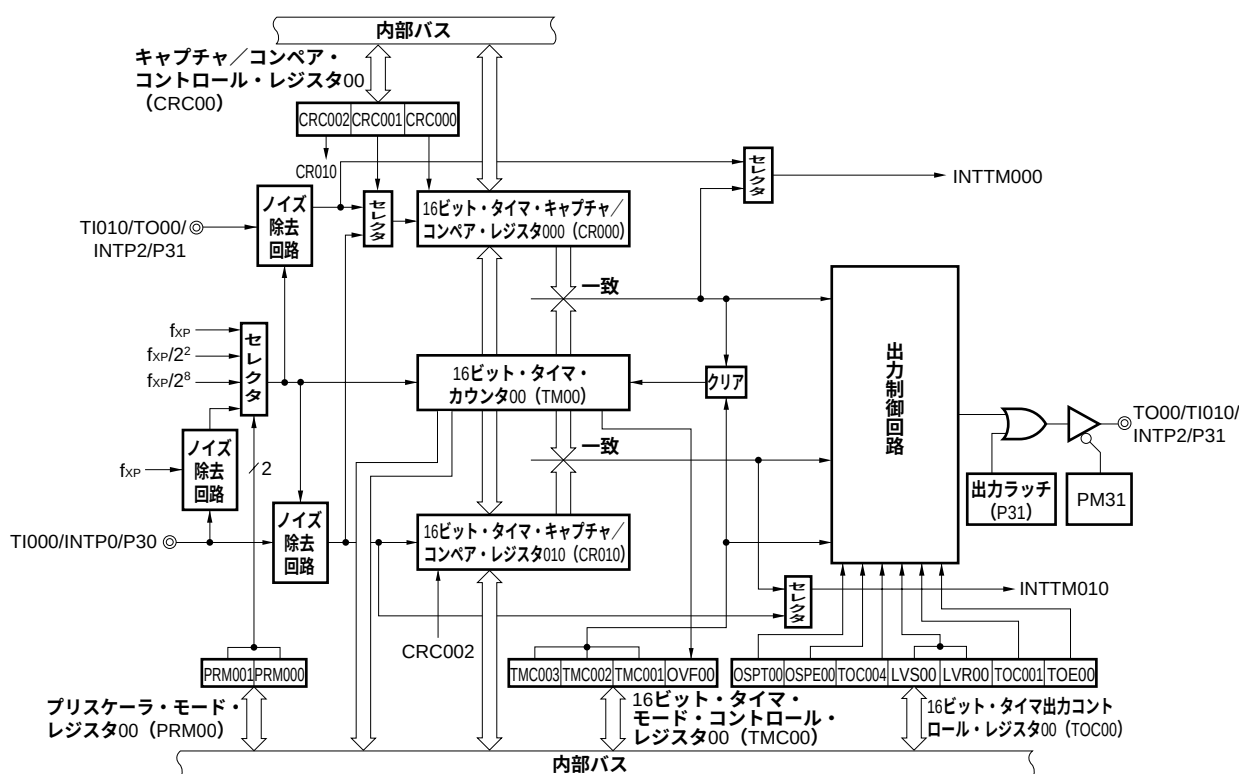
16ビット・タイマ／イベント・カウンタ00は、次のハードウェアで構成されています。

表6-1 16ビット・タイマ／イベント・カウンタ⁰⁰の構成

項 目	構 成
タイマ・カウンタ	16ビット・タイマ・カウンタ00 (TM00)
レジスタ	16ビット・タイマ・キャプチャ／コンペア・レジスタ000, 010 (CR000, CR010)
タイマ入力	TI000, TI010
タイマ出力	TO00, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) プリスケアラ・モード・レジスタ00 (PRM00) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

図6-1にブロック図を示します。

図6-1 16ビット・タイマ／イベント・カウンタ00のブロック図



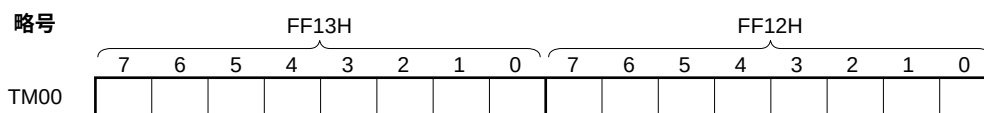
(1) 16ビット・タイマ・カウンタ00 (TM00)

TM00は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。まだ動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。

図6-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット

アドレス：FF12H, FF13H リセット時：0000H R



次の場合、カウント値は0000Hになります。

- ① リセット入力
- ② TMC003かつTMC002をクリア
- ③ TI000有効エッジ入力でクリア&スタート・モード時のTI000有効エッジが入力されたとき
- ④ CR000の一致でクリア&スタート・モード時のTM00とCR000の一致
- ⑤ ワンショット・パルス出力モードで、OSPT00を1にセット

注意1. TM00をリードしても、CR010にはキャプチャしません。

2. TM00リード時には、カウント・クロックの入力を一時停止し、リード後にカウント・クロックの入力を再開しますので、カウント・ミスは発生しません。

(2) 16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000)

CR000は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

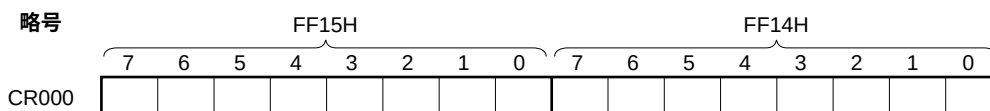
キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) のビット0 (CRC000) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR000は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図6-3 16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000) のフォーマット

アドレス：FF14H, FF15H リセット時：0000H R/W



・CR000をコンペア・レジスタとして使用するとき

CR000に設定した値と16ビット・タイマ・カウンタ00 (TM00) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM000) を発生します。TM00をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR000をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI000端子、またはTI010端子の有効エッジが選択できます。TI000, TI010の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) で設定します (表6-2を参照)。

表6-2 CR000のキャプチャ・トリガとTI000端子とTI010端子の有効エッジ

(1) キャプチャ・トリガとしてTI000端子の有効エッジを選択 (CRC001 = 1, CRC000 = 1)

CR000のキャプチャ・トリガ	TI000端子の有効エッジ		
		ES010	ES000
立ち下がりエッジ	立ち上がりエッジ	0	1
立ち上がりエッジ	立ち下がりエッジ	0	0
キャプチャ動作しない	立ち上がり, 立ち下がりの両エッジ	1	1

(2) キャプチャ・トリガとしてTI010端子の有効エッジを選択 (CRC001 = 0, CRC000 = 1)

CR000のキャプチャ・トリガ	TI010端子の有効エッジ		
		ES110	ES100
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり, 立ち下がりの両エッジ	立ち上がり, 立ち下がりの両エッジ	1	1

備考1. ES010, ES000 = 1, 0およびES110, ES100 = 1, 0は設定禁止です。

2. ES010, ES000 : プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4

ES110, ES100 : プリスケアラ・モード・レジスタ00 (PRM00) のビット7, 6

CRC001, CRC000 : キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) のビット1, 0

注意1. TM00とCR000の一致でクリア&スタート・モードの場合、CR000には0000H以外の値を設定してください。したがって、外部イベント・カウンタとして使用時、1パルスのカウント動作はできません。フリー・ランニング・モードおよびTI000端子の有効エッジのクリア&スタート・モードにおいて、CR000に0000Hを設定した場合は、オーバフロー (FFFFH) 後、0000Hから0001Hになるときに割り込み要求 (INTTM000) を発生します。

2. CR000の変更値が16ビット・タイマ・カウンタ00 (TM00) の値より小さいとき、TM00はカウントを継続しオーバフローして0から再カウントします。したがって、CR000の変更後の値が変更前の値よりも小さいときは、CR000を変更後、タイマをリセットし、再スタートさせる必要があります。

3. 16ビット・タイマ／イベント・カウンタ00停止後のCR000の値は保証されません。

4. コンペア・モードに設定したCR000は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

5. P31をTI010有効エッジの入力端子として使用するとき、タイマ出力 (TO00) として使用できません。また、TO00として使用するとき、TI010有効エッジの入力端子として使用できません。

6. CR000をキャプチャ・レジスタとして使用しているとき、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、キャプチャ・トリガ入力優先され、CR000のリード・データは不定となります。またタイマのカウント停止とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。

注意7. TM00動作中にCR000を変更すると、誤動作する可能性があります。CR000を変更したい場合は、

6.5 16ビット・タイマ／イベント・カウンタ00の注意事項 (17) タイマ動作中のコンペア・レジスタの変更についてを参照してください。

(3) 16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010)

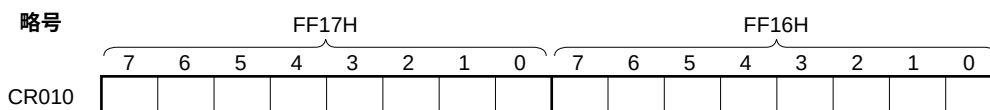
キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) のビット2 (CRC002) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR010は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により0000Hになります。

図6-4 16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010) のフォーマット

アドレス：FF16H, FF17H リセット時：0000H R/W



・CR010をコンペア・レジスタとして使用するとき

CR010に設定した値と16ビット・タイマ・カウンタ00 (TM00) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM010) を発生します。

・CR010をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI000端子の有効エッジが選択できます。TI000の有効エッジは、プリスケラ・モード・レジスタ00 (PRM00) で設定します (表6-3を参照)。

表6-3 CR010のキャプチャ・トリガとTI000端子の有効エッジ (CRC002 = 1)

CR010のキャプチャ・トリガ	TI000端子の有効エッジ		
		ES010	ES000
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり、立ち下がりの両エッジ	立ち上がり、立ち下がりの両エッジ	1	1

備考1. ES010, ES000 = 1, 0は設定禁止です。

2. ES010, ES000 : プリスケラ・モード・レジスタ00 (PRM00) のビット5, 4

CRC002 : キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) のビット2

注意1. フリー・ランニング・モードおよびTI000端子の有効エッジのクリア&スタート・モードにおいて、

CR010に0000Hを設定した場合は、オーバフロー (FFFFH) 後、0000Hから0001Hになるときに割り込み要求 (INTTM010) を発生します。

2. CR010の変更値が16ビット・タイマ・カウンタ00 (TM00) の値より小さいとき、TM00はカウントを継続しオーバフローして0から再カウントします。したがって、CR010の変更後の値が変更前の値よりも小さいときは、CR010を変更後、タイマをリセットし、再スタートさせる必要があります。

注意3. 16ビット・タイマ／イベント・カウンタ00停止後のCR010の値は保証されません。

4. コンペア・モードに設定したCR010は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。
5. CR010をキャプチャ・レジスタとして使用しているとき、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、キャプチャ・トリガ入力が優先され、CR010のリード・データは不定となります。またタイマのカウンタ停止とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
6. TM00動作中にCR010を変更すると、誤動作する可能性があります。CR010を変更したい場合は、
6.5 16ビット・タイマ／イベント・カウンタ00の注意事項 (17) タイマ動作中のコンペア・レジスタの変更についてを参照してください。

6.3 16ビット・タイマ／イベント・カウンタ00を制御するレジスタ

16ビット・タイマ／イベント・カウンタ00を制御するレジスタには、次の6種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)
- ・16ビット・タイマ出力コントロール・レジスタ00 (TOC00)
- ・プリスケラ・モード・レジスタ00 (PRM00)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ00 (TM00) のクリア・モード、出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

注意 16ビット・タイマ・カウンタ00 (TM00) は、TMC002, TMC003に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC002, TMC003に0, 0を設定してください。

図6-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス：FF60H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	TMC001	動作モードおよび クリア・モードの選択	TO00の反転 タイミングの選択	割り込み要求の発生
0	0	0	動作停止	変化なし	発生しない
0	0	1	(TM00は0にクリア)		
0	1	0	フリー・ランニング・モード	TM00とCR000の一致または TM00とCR010の一致	<コンペア・レジスタとして 使用時> TM00とCR000の一致 または TM00とCR010の一致 で発生 <キャプチャ・レジスタと して使用時> TI000端子、TI010端子の有 効エッジで発生
0	1	1		TM00とCR000の一致、 TM00とCR010の一致または TI000端子の有効エッジ	
1	0	0	TI000端子の有効エッジで	—	
1	0	1	クリア&スタート		
1	1	0	TM00とCR000の一致で クリア&スタート	TM00とCR000の一致または TM00とCR010の一致	
1	1	1		TM00とCR000の一致、 TM00とCR010の一致または TI000端子の有効エッジ	

OVF00	16ビット・タイマ・カウンタ00 (TM00) のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意1. OVF00フラグ以外のビットには、タイマ動作を停止してから書き込んでください。

- タイマが停止している場合、TI000/TI010端子へ信号を入力しても、タイマ・カウントやタイマ割り込みは発生しません。
- カウント・クロックにTI000端子の有効エッジを選択している場合を除き、STOPモードまたはシステム・クロック停止モードに設定する前に必ずタイマ動作を停止してください。システム・クロック開始時に、タイマが誤動作する可能性があります。
- TI000端子の有効エッジは、タイマを停止してから、プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5で設定してください。
- TM00とCR000の一致でクリア&スタート、TI000端子の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択した場合、CR000の設定値がFFFFHで、TM00の値がFFFFHから0000Hに変化するとき、OVF00フラグが1に設定されます。
- TM00がオーバーフロー後、次のカウント・クロックがカウントされる (TM00が0001Hになる) 前にOVF00フラグをクリアしても、再度セットされ、クリアは無効となります。
- キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求 (INTTM0n0) は次のカウント・クロックの立ち上がりで発生します。

備考 TM00 : 16ビット・タイマ・カウンタ00

CR000 : 16ビット・タイマ・キャプチャ／コンペア・レジスタ000

CR010 : 16ビット・タイマ・キャプチャ／コンペア・レジスタ010

(2) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)

16ビット・タイマ・キャプチャ／コンペア・レジスタ (CR000, CR010) の動作を制御するレジスタです。

CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図6-6 キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス：FF62H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする [※]

CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注 CRC001が1のとき、TI000端子の有効エッジに、立ち上がり、立ち下りの両エッジを選択した場合には、キャプチャは動作しません。

注意1. CRC00は、必ずタイマ動作を停止してから設定してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) で、TM00とCR000の一致でクリア&スタート・モードを選択したとき、CR000をキャプチャ・レジスタに指定しないでください。
3. 確実にキャプチャをするためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスを必要とします (図6-17を参照)。

(3) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

16ビット・タイマ／イベント・カウンタ出力制御回路の動作を制御するレジスタです。タイマ出力F/Fのセット／リセット，出力の反転許可／禁止，16ビット・タイマ／イベント・カウンタ00のタイマ出力許可／禁止，ワンショット・パルス出力動作の許可／禁止およびソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOC00は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図6-7 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス：FF63H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
OSPT00		ソフトウェアによるワンショット・パルスの出力トリガの制御						
0		ワンショット・パルス出力トリガなし						
1		ワンショット・パルス出力トリガあり						
OSPE00		ワンショット・パルス出力動作の制御						
0		連続パルス出力モード						
1		ワンショット・パルス出力モード ^注						
TOC004		CR010とTM00の一致によるタイマ出力F/Fの制御						
0		反転動作禁止						
1		反転動作許可						
LVS00	LVR00	タイマ出力F/Fの状態の設定						
0	0	変化しない						
0	1	タイマ出力F/Fをリセット (0)						
1	0	タイマ出力F/Fをセット (1)						
1	1	設定禁止						
TOC001		CR000とTM00の一致によるタイマ出力F/Fの制御						
0		反転動作禁止						
1		反転動作許可						
TOE00		タイマ出力の制御						
0		出力禁止 (出力は0レベルに固定)						
1		出力許可						

注 ワンショット・パルス出力モードは，フリー・ランニング・モード，TI000端子の有効エッジでクリア&スタート・モードでのみ正常動作します。TM00とCR000の一致でクリア&スタート・モードでは，オーバフローしないためワンショット・パルス出力はできません。

注意1. OSPT00以外は、必ずタイマ動作を停止してから設定してください。

2. LVS00, LVR00は読み出すと、0になっています。
3. OSPT00は、データ設定後に自動的にクリアされますので、読み出すと0になっています。
4. OSPT00は、ワンショット・パルス出力モード以外でセット（1）しないでください。
5. OSPT00に連続してセット（1）するとき、プリスケアラ・モード・レジスタ00（PRM00）で選択したカウント・クロック2周期分以上のライト間隔が必要です。
6. TOE00が0の場合、8ビット・メモリ操作命令でTOE00, LVS00とLVR00を同時に設定してください。TOE00が1の場合、1ビット・メモリ操作命令でLVS00とLVR00を設定することができます。

(4) プリスケアラ・モード・レジスタ00（PRM00）

16ビット・タイマ・カウンタ00（TM00）のカウント・クロックおよびTI000, TI010端子入力の有効エッジを設定するレジスタです。PRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図6-8 プリスケアラ・モード・レジスタ00（PRM00）のフォーマット

アドレス：FF61H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES110	ES100	ES010	ES000	0	0	PRM001	PRM000

ES110	ES100	TI010端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES010	ES000	TI000端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

PRM001	PRM000	カウント・クロック (f_{sam}) の選択
0	0	f_{XP} (10 MHz)
0	1	$f_{XP}/2^2$ (2.5 MHz)
1	0	$f_{XP}/2^8$ (39.06 kHz)
1	1	TI000端子の有効エッジ ^注

備考1. f_{XP} ：周辺ハードウェアへのクロックの発振周波数

2. () 内は、 $f_{XP} = 10 \text{ MHz}$ 動作時

注 外部クロックは内部クロック (f_{XP}) の2周期分より長いパルスを必要とします。

注意1. PRM00は、必ずタイマ動作を停止させてからデータを設定してください。

2. カウント・クロックにTI000端子の有効エッジを設定する場合、TI000端子の有効エッジでクリア&スタート・モードおよびTI000端子をキャプチャ・トリガに設定しないでください。
3. 次の場合、TI0n0端子の有効エッジは検出されますので、注意してください。
 - ① システム・リセット直後、TI0n0端子にハイ・レベルを入力し、16ビット・タイマ・カウンタ00 (TM00) の動作を許可
→TI0n0端子の有効エッジを立ち上がりまたは両エッジに指定した場合は、TM00動作の許可直後に、立ち上がりエッジを検出
 - ② TI0n0端子がハイ・レベルのときにTM00動作を停止し、TI0n0端子にロウ・レベルを入力したあとにTM00動作を許可
→TI0n0端子の有効エッジを立ち下がりまたは両エッジに指定した場合は、TM00動作の許可直後に、立ち下がりエッジを検出
 - ③ TI0n0端子がロウ・レベルのときにTM00動作を停止し、TI0n0端子にハイ・レベルを入力したあとにTM00動作を許可
→TI0n0端子の有効エッジを立ち上がりまたは両エッジに指定した場合は、TM00動作の許可直後に、立ち上がりエッジを検出
4. TI000の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{XP} で、後者はプリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして、有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。
5. P31を有効エッジの入力端子 (TI010) として使用するときは、タイマ出力端子 (TO00) として使用できません。また、タイマ出力端子 (TO00) として使用するときは、有効エッジの入力端子 (TI010) として使用できません。

備考 n = 0, 1

(5) ポート・モード・レジスタ3 (PM3)

ポート3の入力／出力を1ビット単位で設定するレジスタです。

P31/TO00/TI010/INTP2端子をタイマ出力として使用するとき、PM31およびP31の出力ラッチに0を設定してください。

P30/TI000/INTP0, P31/TO00/TI010/INTP2端子をタイマ入力として使用するとき、PM30, PM31に1を設定してください。このときP30, P31の出力ラッチは、0または1のどちらでもかまいません。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図6-9 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ／イベント・カウンタ00の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) と、キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) を図6-10のように設定することにより、インターバル・タイマとして動作します。

設定方法

基本的な動作設定手順例は次のようになります。

- ① CRC00レジスタの設定 (設定値については図6-10参照)
- ② CR000レジスタに任意の値を設定
- ③ PRM00レジスタによりカウント・クロック設定
- ④ TMC00レジスタ設定：動作開始 (設定値については図6-10参照)

注意 TM00動作中にCR000を変更すると、誤動作する可能性があります。CR000を変更したい場合は、6.5 16ビット・タイマ／イベント・カウンタ00の注意事項 (17) タイマ動作中のコンペア・レジスタの変更についてを参照してください。

備考 INTTM000割り込み許可の設定については、第12章 割り込み機能を参照してください。

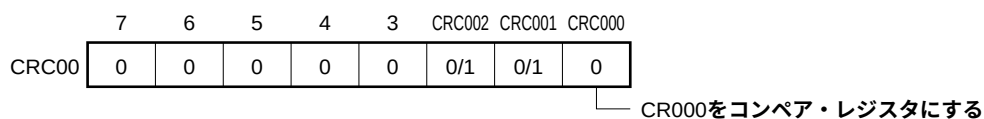
16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

16ビット・タイマ・カウンタ00 (TM00) のカウント値がCR000に設定した値と一致したとき、TM00の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM000) を発生します。

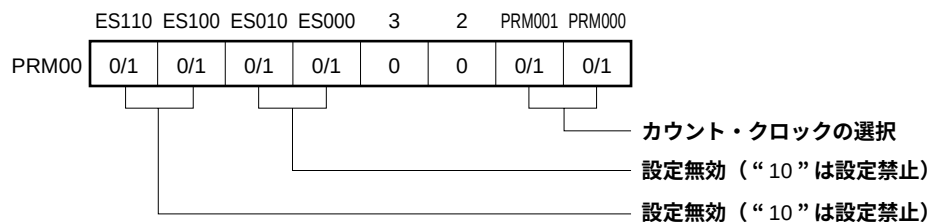
プリスケラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) で16ビット・タイマ／イベント・カウンタのカウント・クロックを選択できます。

図6-10 インターバル・タイマ動作時の制御レジスタ設定内容

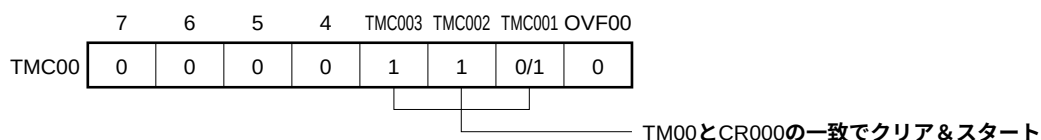
(a) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)



(b) プリスケアラ・モード・レジスタ00 (PRM00)

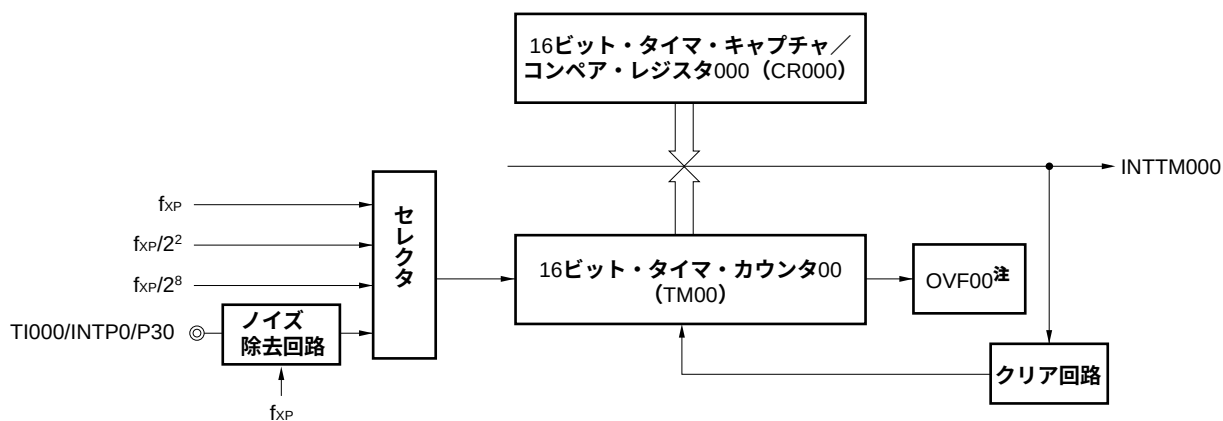


(c) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



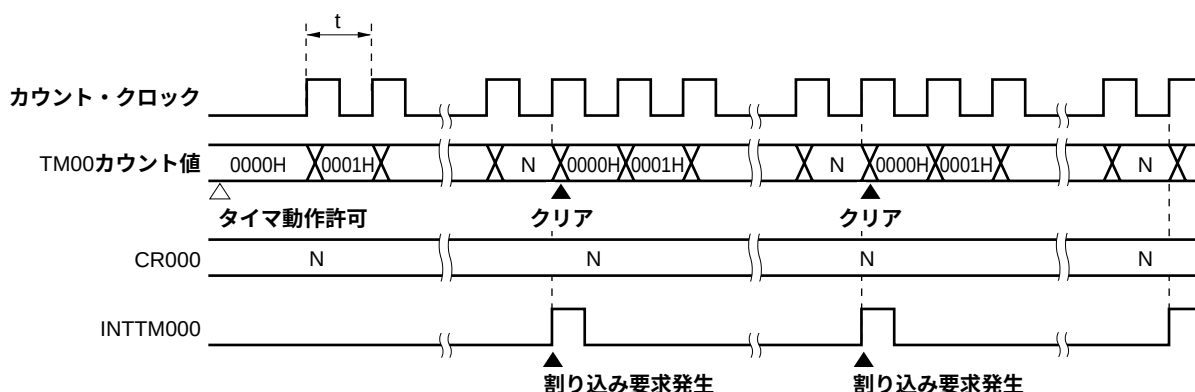
備考 0/1：0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。
詳細は、各制御レジスタの説明を参照してください。

図6-11 インターバル・タイマの構成図



注 16ビット・タイマ・キャプチャ／コンペア・レジスタ00にFFFFHを設定した場合のみ、OVF00は1になります。

図6-12 インターバル・タイマ動作のタイミング

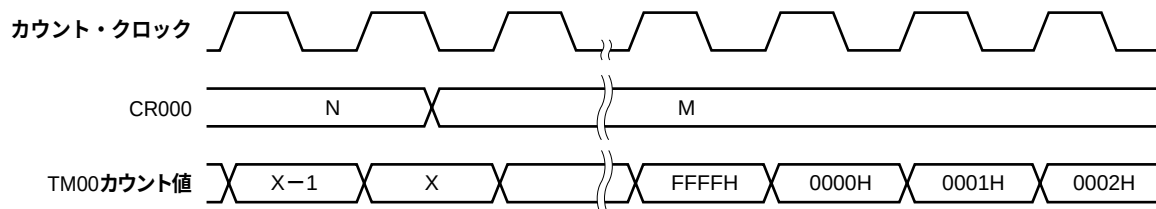


備考 インターバル時間 = (N+1) × t

N = 0001H-FFFFH (設定可能範囲)

タイマ・カウント動作中にコンペア・レジスタを変更したときに、16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000) の変更後の値が、16ビット・タイマ・カウンタ00 (TM00) の値よりも小さい場合は、TM00 はカウントを継続しオーバフローして0から再カウントします。したがって、CR000の変更後の値 (M) が変更前の値 (N) より小さい場合は、CR000を変更後、タイマを再スタートさせる必要があります。

図6-13 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング (N→M : N>M)



備考 N > X > M

6.4.2 外部イベント・カウンタとしての動作

設定方法

基本的な動作設定手順例は次のようになります。

- ① CRC00レジスタの設定 (設定値については図6-14参照)
- ② PRM00レジスタによりカウント・クロック設定
- ③ CR000レジスタに任意の値 (0000Hは設定できません) を設定
- ④ TMC00レジスタ設定：動作開始 (設定値については図6-14参照)

備考1. TI000端子の設定については、6.3 (5) ポート・モード・レジスタ3 (PM3) を参照してください。

2. INTTM000割り込み許可の設定については、第12章 割り込み機能を参照してください。

外部イベント・カウンタは、TI000端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ00（TM00）でカウントするものです。

プリスケアラ・モード・レジスタ00（PRM00）で指定した有効エッジが入力されるたびに、TM00がインクリメントされます。

TM00の計数値が16ビット・タイマ・キャプチャ／コンペア・レジスタ000（CR000）の値と一致すると、TM00は0にクリアされ、割り込み要求信号（INTTM000）が発生します。

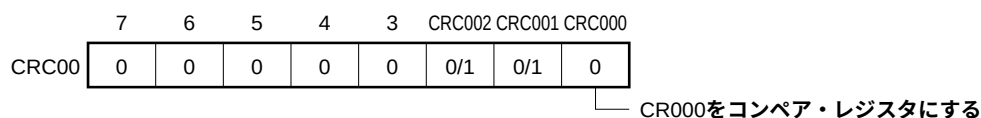
なお、CR000には0000H以外の値を入れてください（1パルスのカウント動作はできません）。

エッジ指定は、プリスケアラ・モード・レジスタ00（PRM00）のビット4, 5（ES000, ES010）により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

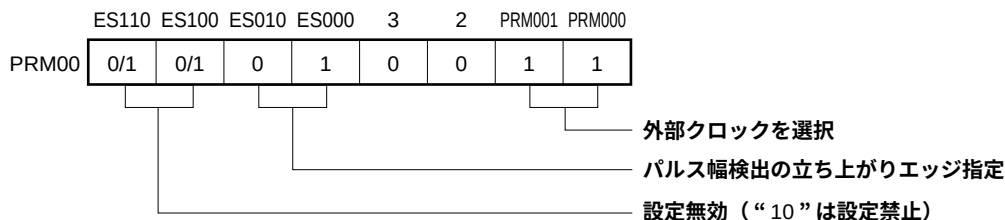
内部クロック（ f_{XP} ）でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

図6-14 外部イベント・カウンタ・モード時の制御レジスタ設定内容（立ち上がりエッジ指定時）

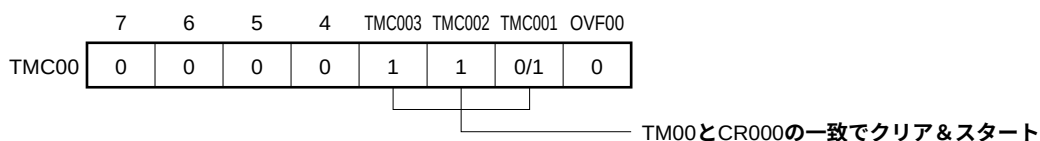
(a) キャプチャ／コンペア・コントロール・レジスタ00（CRC00）



(b) プリスケアラ・モード・レジスタ00（PRM00）

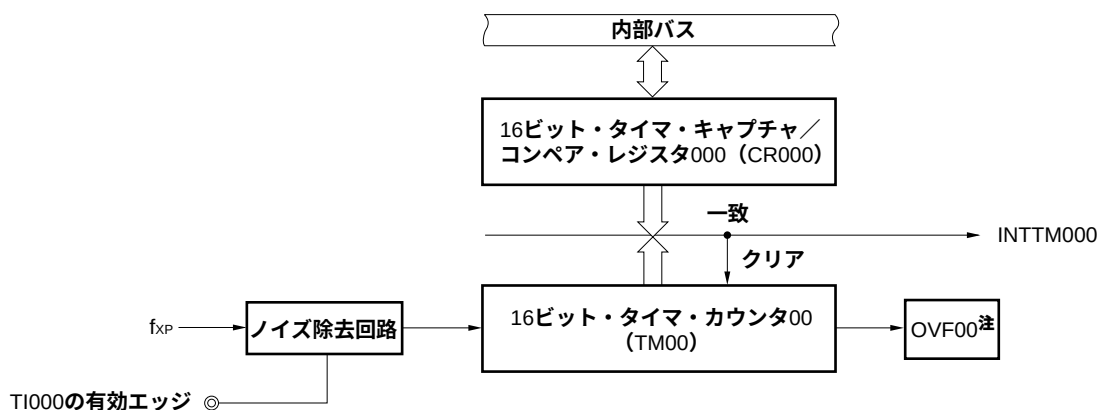


(c) 16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）



備考 0/1:0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。
詳細は、各制御レジスタの説明を参照してください。

図6-15 外部イベント・カウンタの構成図

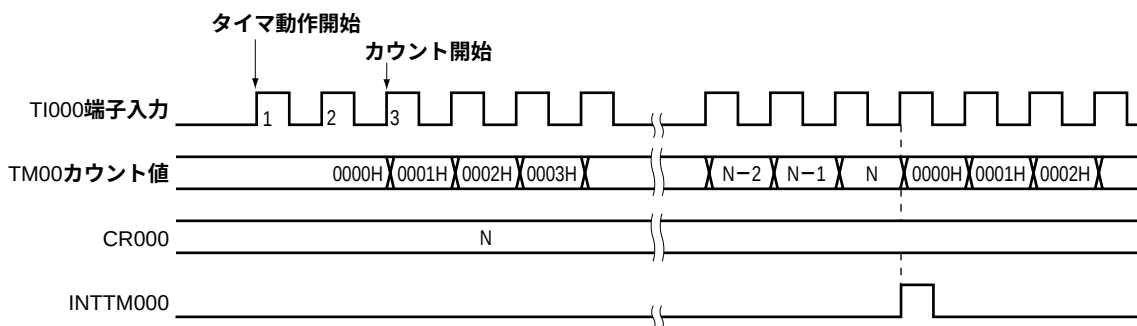


注 16ビット・タイマ・キャプチャ／イベント・カウンタ000にFFFFHを設定した場合のみ、OVF00は1になります。

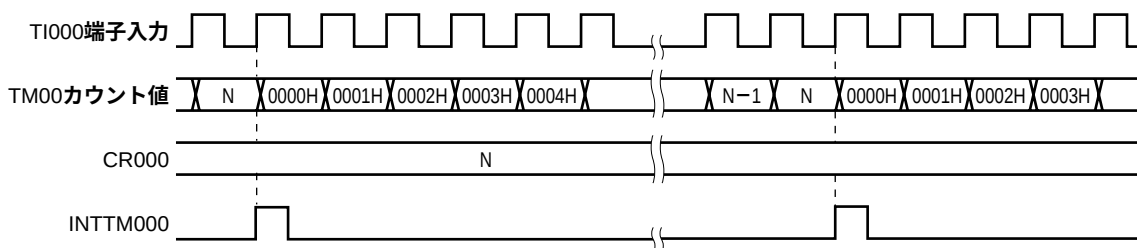
図6-16 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）

(1) 動作開始直後のINTTM000発生タイミング

カウント開始のタイミングは有効エッジ2回検出後になります



(2) INTTM000発生が2度目以降のINTTM000発生タイミング



注意 外部イベント・カウンタのカウント値を読み出す場合は、TM00を読み出してください。

6.4.3 パルス幅測定としての動作

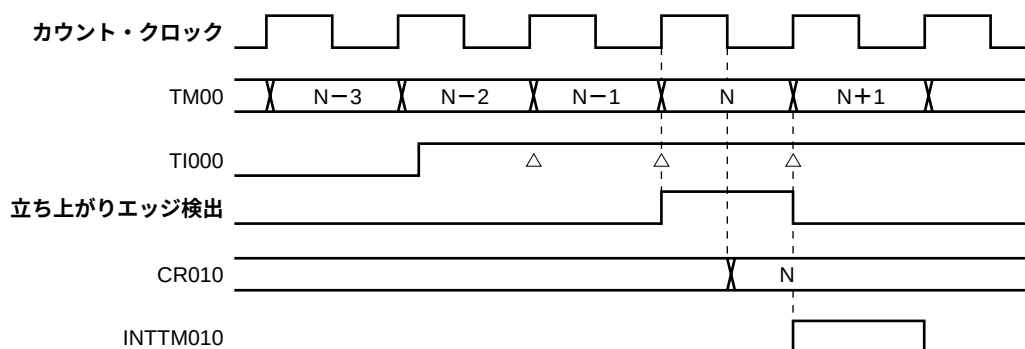
16ビット・タイマ・カウンタ00（TM00）を使用し、TI000端子およびTI010端子に入力される信号のパルス幅を測定できます。

測定方法は、TM00をフリー・ランニングさせて測定する方法とTI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値を読み込み、オーバフロー・フラグを確認したあと、必要なパルス幅を計算してください。オーバフロー・フラグは、確認後クリアしてください。

プリスケラ・モード・レジスタ00（PRM00）で選択したカウント・クロック周期でサンプリングを行い、TI000端子またはTI010端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6-17 立ち上がりエッジ指定時のCR010キャプチャ動作



設定方法

基本的な動作設定手順例は次のようになります。

- ① CRC00レジスタの設定（設定値については図6-18, 6-21, 6-23, 6-25参照）
- ② PRM00レジスタによりカウント・クロック設定
- ③ TMC00レジスタ設定：動作開始（設定値については図6-18, 6-21, 6-23, 6-25参照）

注意 キャプチャ・レジスタを2本使用する場合は、TI000およびTI010端子の設定を行ってください。

備考1. TI000（もしくはTI010）端子の設定については、6.3（5）ポート・モード・レジスタ3（PM3）を参照してください。

2. INTTM000（もしくはINTTM010）割り込み許可の設定については、第12章 割り込み機能を参照してください。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

プリスケラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES010) で、TI000端子の有効エッジを立ち上がり、立ち下りの両エッジに指定します。

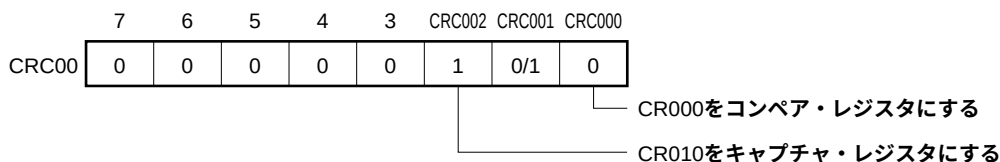
16ビット・タイマ・カウンタ00 (TM00) をフリー・ランニングで動作させているとき、PRM00で指定した有効エッジが入力されるとTM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010) に取り込み、外部割り込み要求信号 (INTTM010) をセットします。

PRM00で選択したカウント・クロックでサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

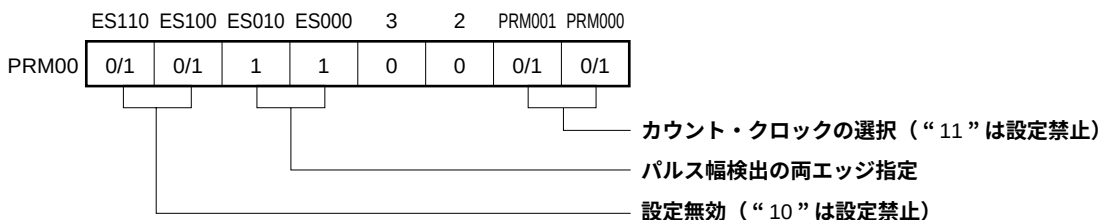
注意 この動作例で測定できるパルス幅は、タイマ・カウンタの1周期までです。

図6-18 フリー・ランニング・カウンタとキャプチャ・レジスタ1本による
パルス幅測定時の制御レジスタ設定内容 (TI000とCR010を使用した場合)

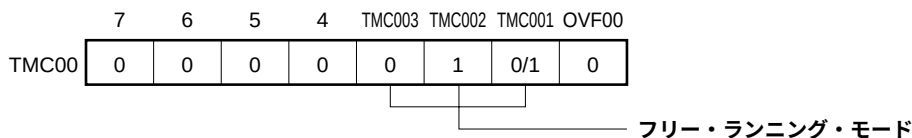
(a) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)



(b) プリスケラ・モード・レジスタ00 (PRM00)



(c) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



備考 0/1:0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6-19 フリー・ランニング・カウンタによるパルス幅測定の構成図

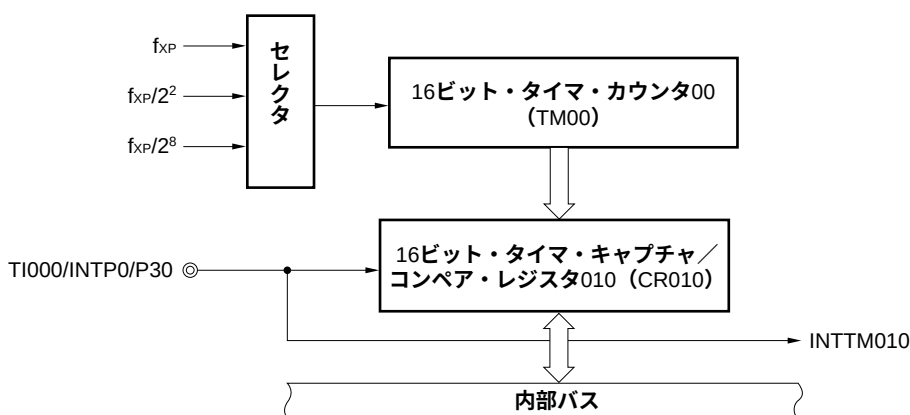
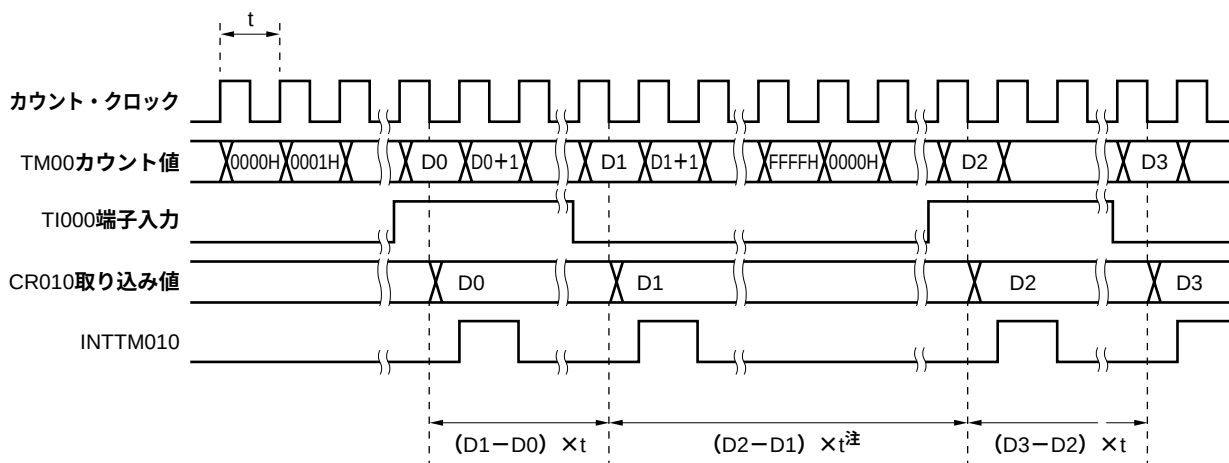


図6-20 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



注 キャリー・フラグはセット (1) されますが、無視してください。

(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ00 (TM00) をフリー・ランニングで動作させているとき、TI000端子およびTI010端子に入力される2つの信号のパルス幅を同時に測定できます。

プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES010) およびビット6, 7 (ES100, ES110) で、TI000端子とTI010端子の有効エッジを立ち上がり、立ち下りの両エッジに指定します。

TI000端子にPRM00のビット4, 5 (ES000, ES010) で指定した有効エッジが入力されると、TM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010) に取り込み、割り込み要求信号 (INTTM010) をセットします。

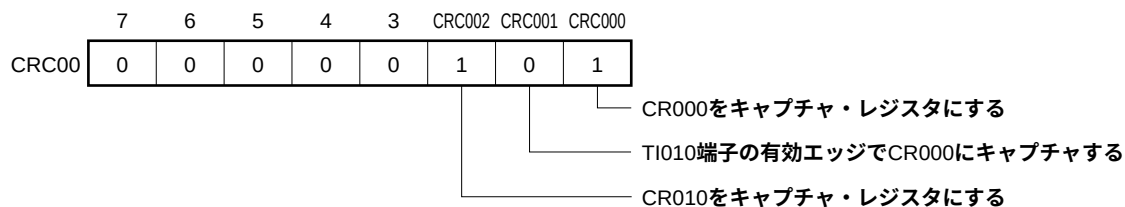
また、TI010端子にPRM00のビット6, 7 (ES100, ES110) で指定した有効エッジが入力されると、TM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000) に取り込み、割り込み要求信号 (INTTM000) をセットします。

プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い、TI000端子またはTI010端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

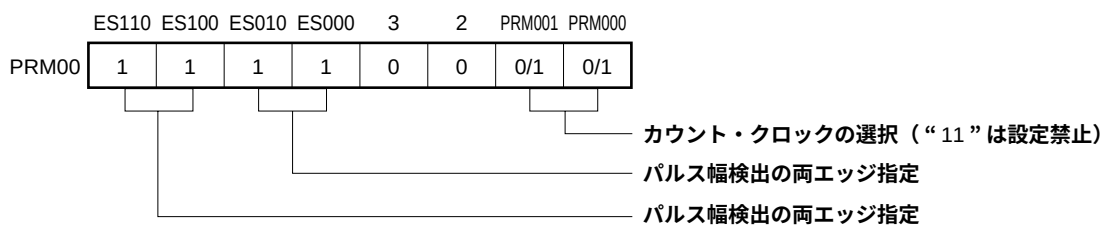
注意 この動作例で測定できるパルス幅は、タイマ・カウンタの1周期までです。

図6-21 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

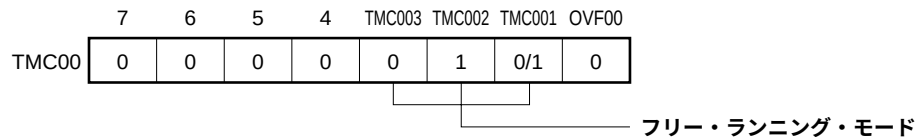
(a) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)



(b) プリスケアラ・モード・レジスタ00 (PRM00)

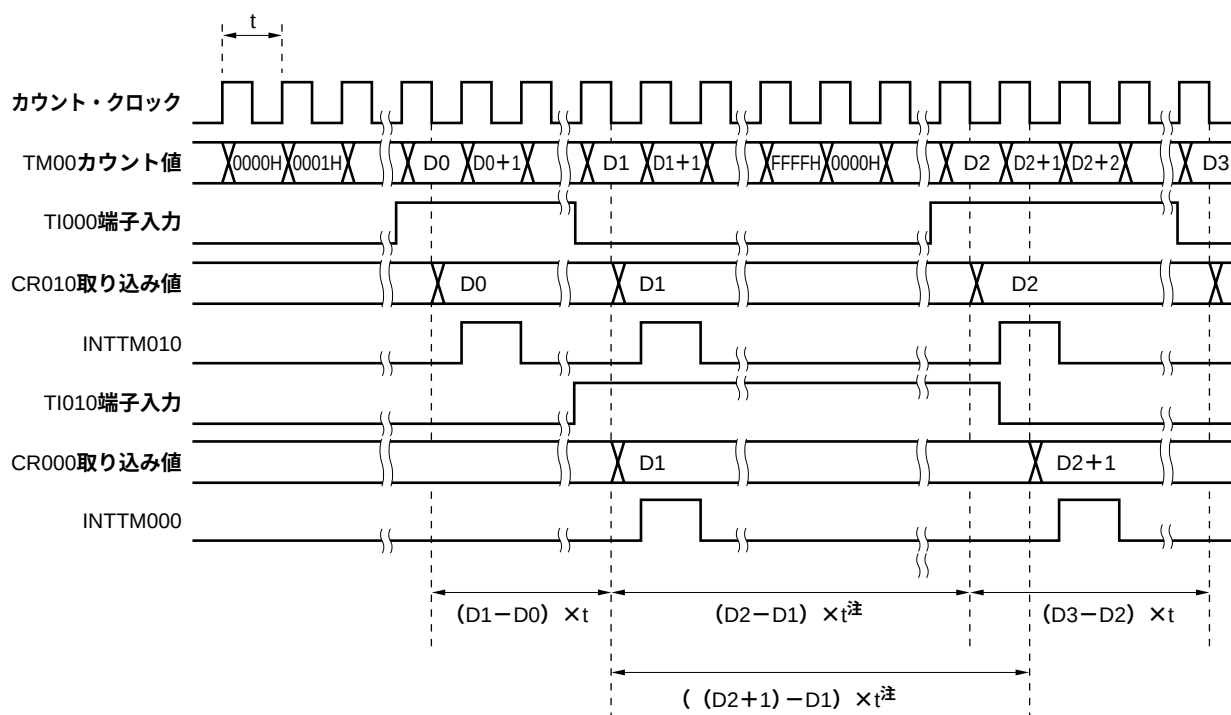


(c) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



備考 0/1：0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6-22 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング（両エッジ指定時）



注 キャリー・フラグはセット (1) されますが、無視してください。

(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ00 (TM00) をフリー・ランニングで動作させているとき、TI000端子に入力する信号のパルス幅を測定できます。

プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES010) で、TI000端子の有効エッジを立ち上がりまたは立ち下がりエッジに指定します。

TI000端子にPRM00のビット4, 5 (ES000, ES010) で有効エッジが入力されると、TM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010) に取り込み、割り込み要求信号 (INTTM010) をセットします。

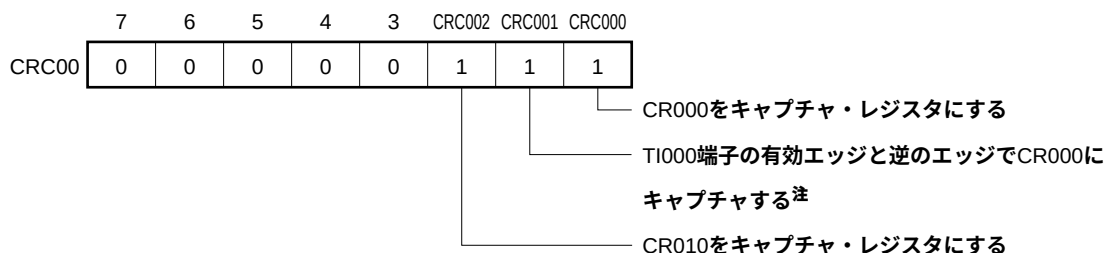
また、CR010へのキャプチャ動作と逆のエッジ入力で、TM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000) に取り込みます。

プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック周期でサンプリングを行い、TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

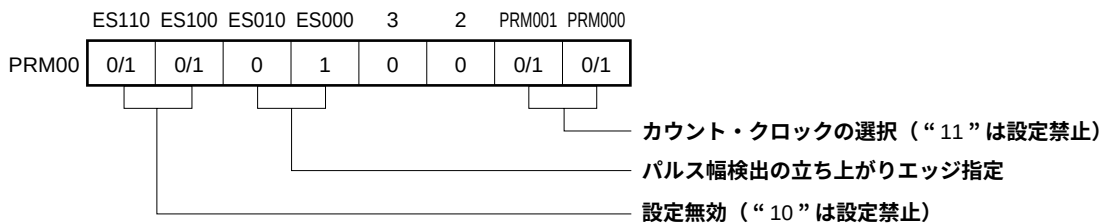
注意 この動作例で測定できるパルス幅は、タイマ・カウンタの1周期までです。

図6-23 フリー・ランニング・カウンタとキャプチャ・レジスタ2本による
パルス幅測定時の制御レジスタ設定内容（立ち上がりエッジ指定時）

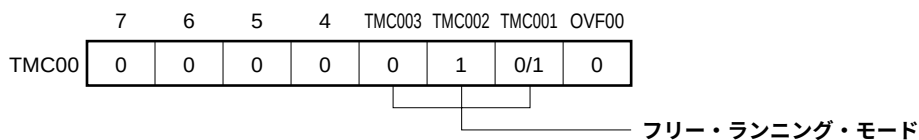
(a) キャプチャ／コンペア・コントロール・レジスタ00（CRC00）



(b) プリスケアラ・モード・レジスタ00（PRM00）



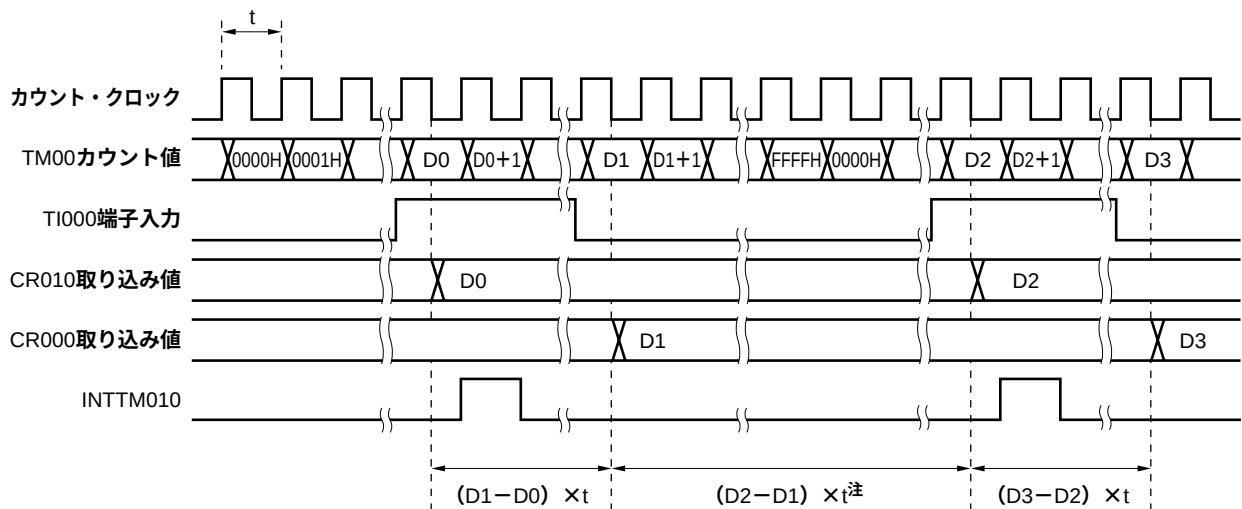
(c) 16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）



注 TI000端子の有効エッジを、立ち上がり、立ち下りの両エッジに指定した場合、16ビット・タイマ・キャプチャ／コンペア・レジスタ000（CR000）はキャプチャ動作を行えません。なおCRC001が1のとき、TI010端子の有効エッジによるCR000へのキャプチャ動作を行えませんが、INTTM000は発生するため、TI010端子を外部割り込みとして使用することができます。

備考 0/1：0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6-24 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



注 キャリー・フラグはセット (1) されますが、無視してください。

(4) リスタートによるパルス幅測定

プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES010) により, TI000端子の有効エッジに立ち上がりエッジまたは立ち下がりエッジを指定します。

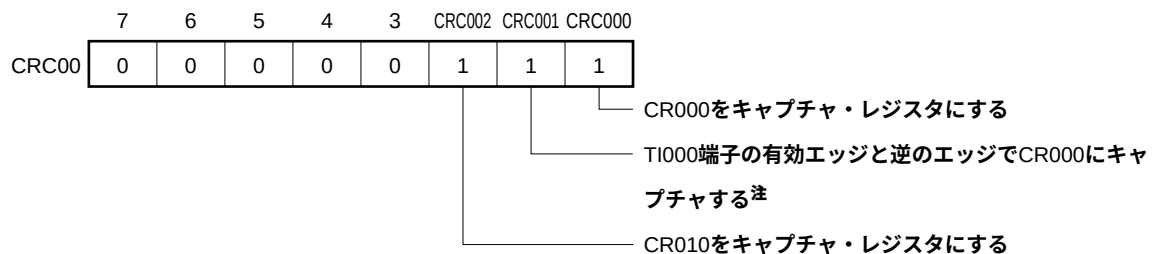
TI000端子の有効エッジを検出したとき, 16ビット・タイマ・カウンタ00 (TM00) のカウント値を16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010) に取り込んだあと, TM00をクリアしてカウントを再開することにより, TI000端子に入力された信号のパルス幅を測定します。

PRM00で選択したカウント・クロック周期でサンプリングを行い, TI000端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

注意 この動作例で測定できるパルス幅は, タイマ・カウンタの1周期までです。

図6-25 リスタートによるパルス幅測定時の制御レジスタ設定内容 (立ち上がりエッジ指定時) (1/2)

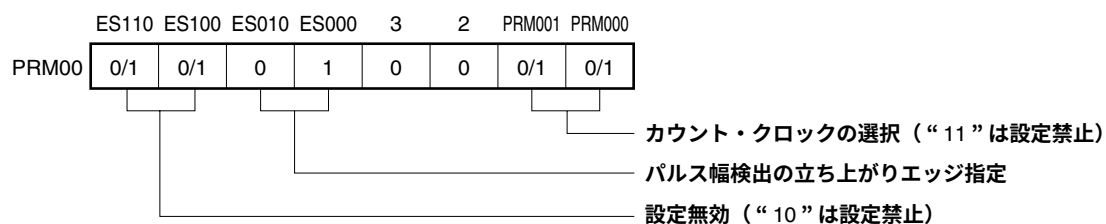
(a) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)



注 TI000端子の有効エッジを, 立ち上がり, 立ち下がり両エッジに指定した場合, 16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000) はキャプチャ動作を行えません。

図6-25 リスタートによるパルス幅測定時の制御レジスタ設定内容（立ち上がりエッジ指定時）（2/2）

(b) プリスケアラ・モード・レジスタ00 (PRM00)



(c) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

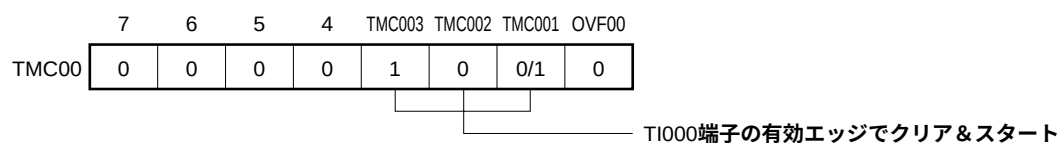
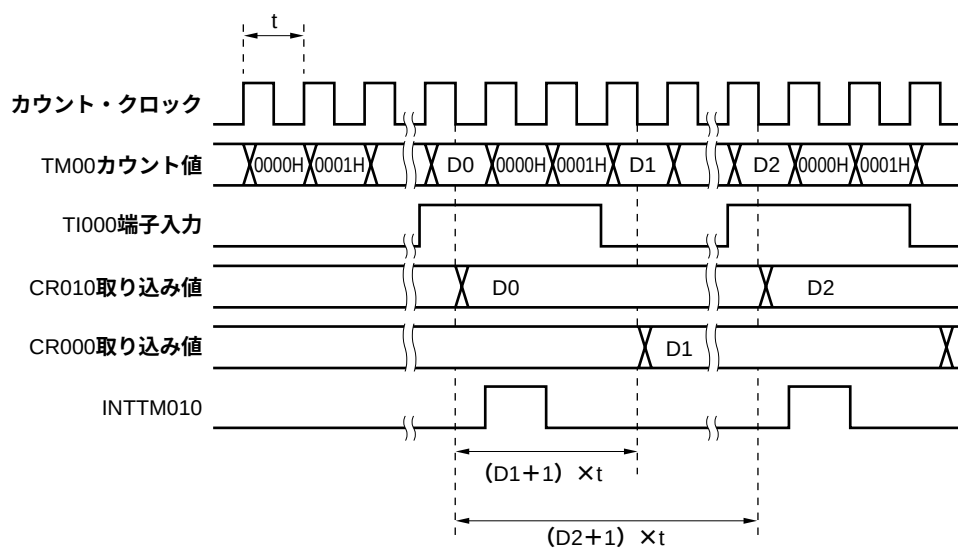


図6-26 リスタートによるパルス幅測定動作のタイミング（立ち上がりエッジ指定時）



6.4.4 方形波出力としての動作

設定方法

基本的な動作設定手順例は次のようになります。

- ① PRM00レジスタによりカウント・クロック設定
- ② CRC00レジスタの設定（設定値については図6-27参照）
- ③ TOC00レジスタの設定（設定値については図6-27参照）
- ④ CR000レジスタに任意の値（0000Hは設定できません）を設定
- ⑤ TMC00レジスタ設定：動作開始（設定値については図6-27参照）

注意 TM00動作中にCR000を変更すると、誤動作する可能性があります。CR000を変更したい場合は、6.5 16ビット・タイマ／イベント・カウンタ00の注意事項（17）タイマ動作中のコンペア・レジスタの変更についてを参照してください。

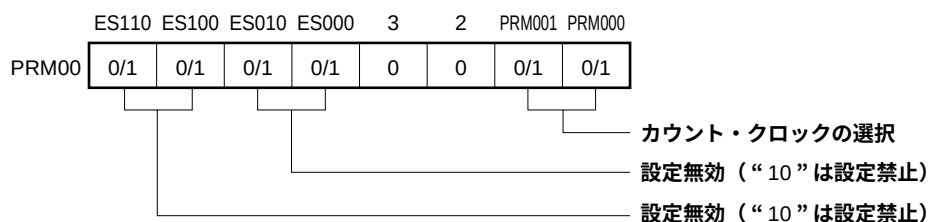
備考1. TO00端子の設定については、6.3（5）ポート・モード・レジスタ3（PM3）を参照してください。
2. INTTM000割り込み許可の設定については、第12章 割り込み機能を参照してください。

16ビット・タイマ・キャプチャ／コンペア・レジスタ000（CR000）にあらかじめ設定したカウント値で決まるインターバルの、任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ00（TOC00）のビット0（TOE00）とビット1（TOC001）に1を設定することにより、CR000にあらかじめ設定したカウント値+1で決まるインターバルでTO00端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図6-27 方形波出力モード時の制御レジスタ設定内容（1/2）

(a) プリスケアラ・モード・レジスタ00（PRM00）



(b) キャプチャ／コンペア・コントロール・レジスタ00（CRC00）

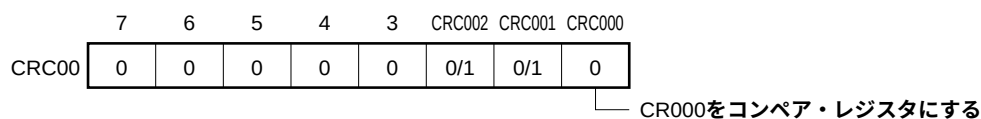
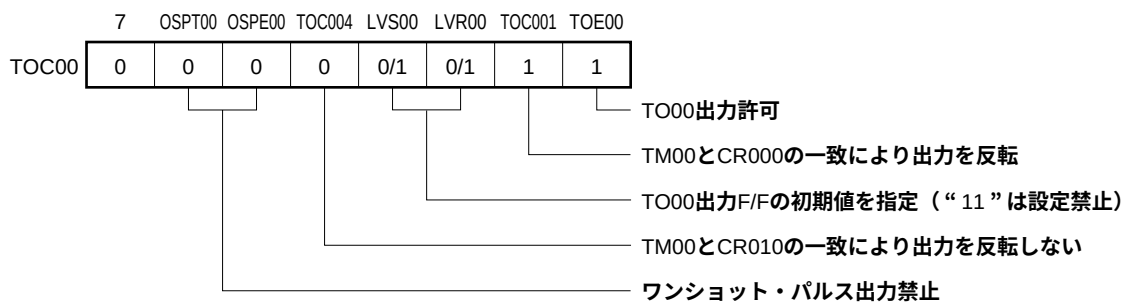
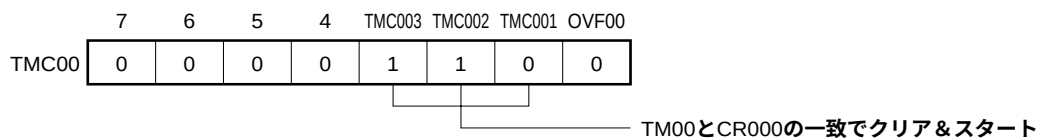


図6-27 方形波出力モード時の制御レジスタ設定内容 (2/2)

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

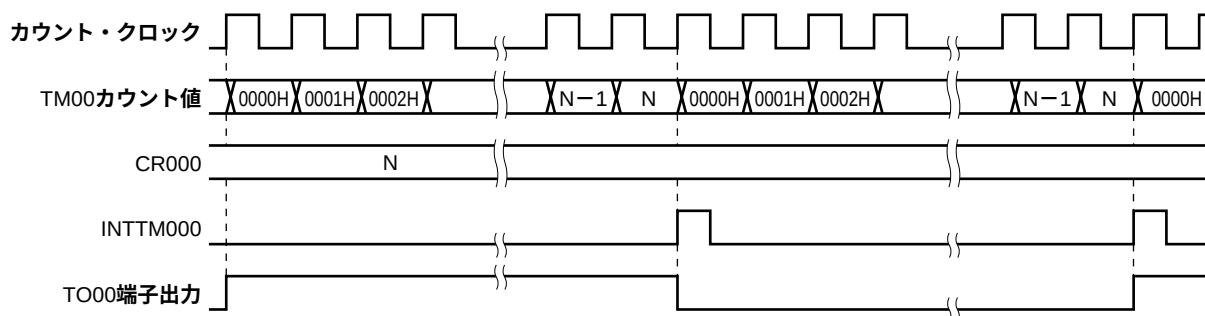


(d) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



備考 0/1:0または1を設定することにより、方形波出力と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

図6-28 方形波出力動作のタイミング



6.4.5 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）と、キャプチャ／コンペア・コントロール・レジスタ00（CRC00）を図6-29のように設定することにより、PPG（Programmable Pulse Generator）出力として動作します。

設定方法

基本的な動作設定手順例は次のようになります。

- ① CRC00レジスタの設定（設定値については図6-29参照）
- ② CR000レジスタに周期となる任意の値を設定
- ③ CR010レジスタにデューティとなる任意の値を設定
- ④ TOC00レジスタの設定（設定値は図6-29参照）
- ⑤ PRM00レジスタによりカウント・クロック設定
- ⑥ TMC00レジスタ設定：動作開始（設定値については図6-29参照）

注意 TM00動作中にCR0n0を変更すると、誤動作する可能性があります。CR0n0を変更したい場合は、6.5 16ビット・タイマ／イベント・カウンタ00の注意事項（17）タイマ動作中のコンペア・レジスタ変更についてを参照してください。

備考1. TO00端子の設定については、6.3（5）ポート・モード・レジスタ3（PM3）を参照してください。

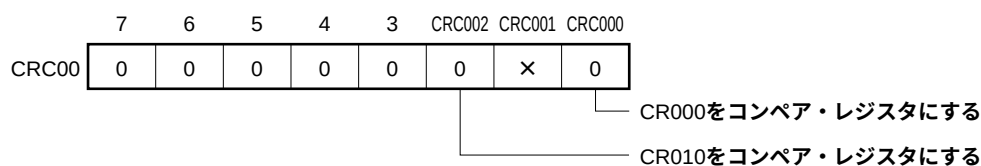
2. INTTM000割り込み許可の設定については、第12章 割り込み機能を参照してください。

3. $n = 0, 1$

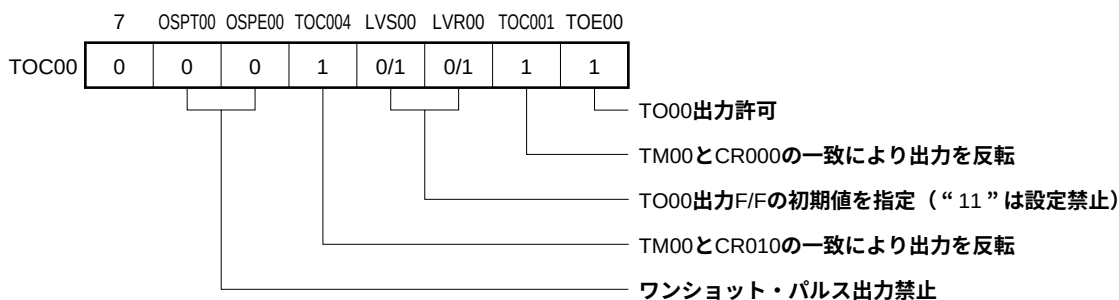
PPG出力パルスは、16ビット・タイマ・キャプチャ／コンペア・レジスタ000（CR000）にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ／コンペア・レジスタ010（CR010）にあらかじめ設定したカウント値をパルス幅とする矩形波をTO00端子から出力します。

図6-29 PPG出力動作時の制御レジスタ設定内容

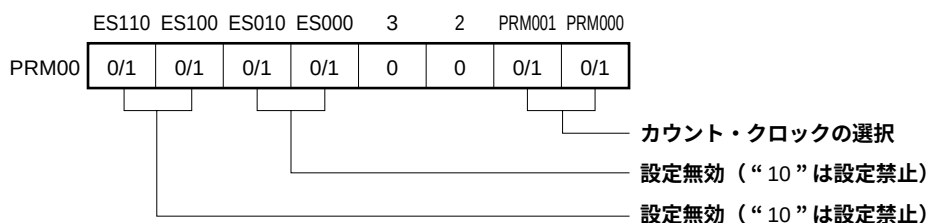
(a) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)



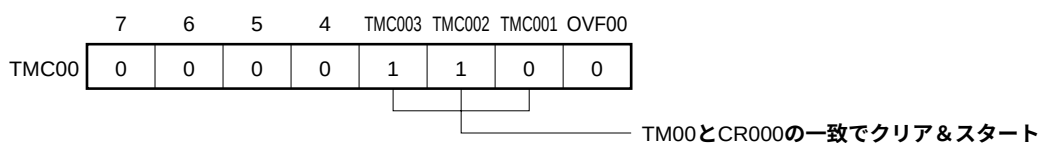
(b) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(c) プリスケアラ・モード・レジスタ00 (PRM00)



(d) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



注意1. CR000とCR010には次の範囲の値を設定してください。

$$0000H < CR010 < CR000 \leq FFFFH$$

2. PPG出力によって生成されるパルスの周期は (CR000の設定値+1) , デューティは (CR010の設定値+1) / (CR000の設定値+1) になります。

備考 × : don't care

図6-30 PPG出力の構成図

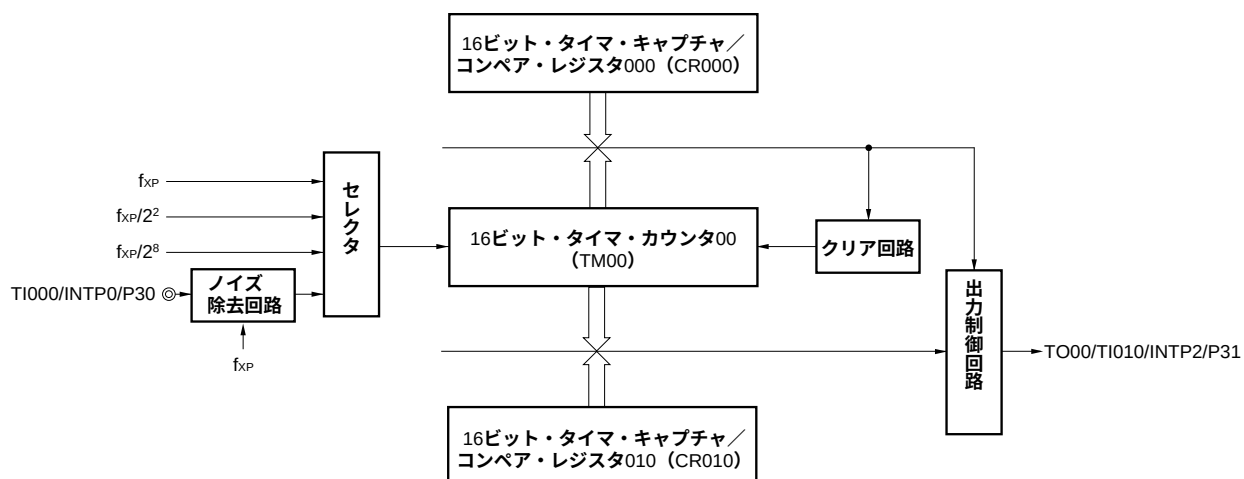
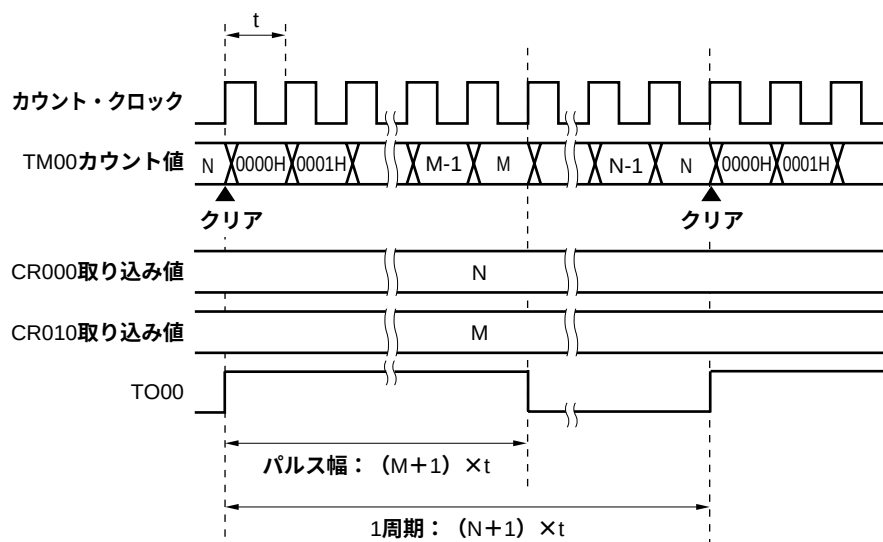


図6-31 PPG出力動作のタイミング



備考 $0000H < M < N \leq FFFFH$

6.4.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ (TI000端子入力) に同期したワンショット・パルスを出力できます。

設定方法

基本的な動作設定手順例は次のようになります。

- ① PRM00レジスタによりカウント・クロック設定
- ② CRC00レジスタの設定 (設定値については図6-32, 6-34参照)
- ③ TOC00レジスタの設定 (設定値については図6-32, 6-34参照)
- ④ CR000, CR010レジスタに任意の値 (0000Hは設定できません) を設定
- ⑤ TMC00レジスタ設定: 動作開始 (設定値については図6-32, 6-34参照)

備考1. TO00端子の設定については, 6.3 (5) ポート・モード・レジスタ3 (PM3) を参照してください。

2. INTTM000 (および必要な場合はINTTM010) 割り込み許可の設定については, 第12章 割り込み機能を参照してください。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00), キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) および16ビット・タイマ出力コントロール・レジスタ00 (TOC00) を図6-32のように設定し, ソフトウェアでTOC00レジスタのビット6 (OSPT00) を1にセットすることにより, ワンショット・パルスをTO00端子から出力します。

OSPT00ビットを1にセットすることにより, 16ビット・タイマ／イベント・カウンタ00がクリア&スタートし, 16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後, 16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります[※]。

ワンショット・パルス出力後も, TM00レジスタは動作を継続しています。TM00レジスタを停止させるためには, TMC00レジスタのTMC003, TMC002ビットに00を設定する必要があります。

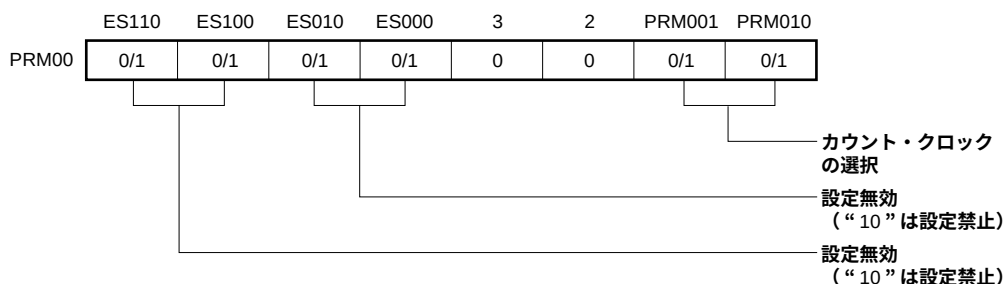
注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCR000レジスタで出力がアクティブになり, CR010レジスタでインアクティブとなります。 $N = M$ は設定しないでください。

注意1. ワンショット・パルスを出力しているときに, 再度OSPT00ビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで行ってください。

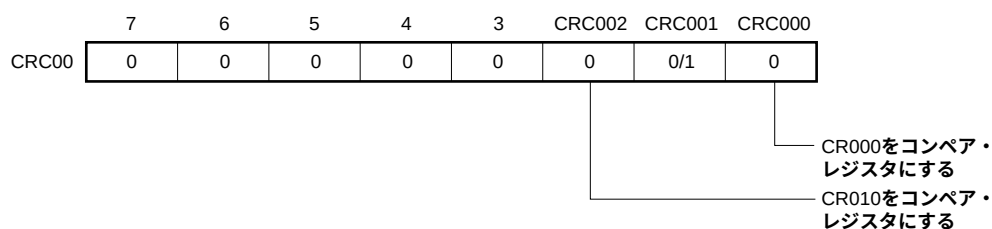
2. 16ビット・タイマ／イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合, TI000端子またはその兼用ポート端子のレベルを変化させないでください。この場合でも外部トリガは有効となっているので, TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい, 意図しないタイミングでパルスが出力されてしまいます。

図6-32 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

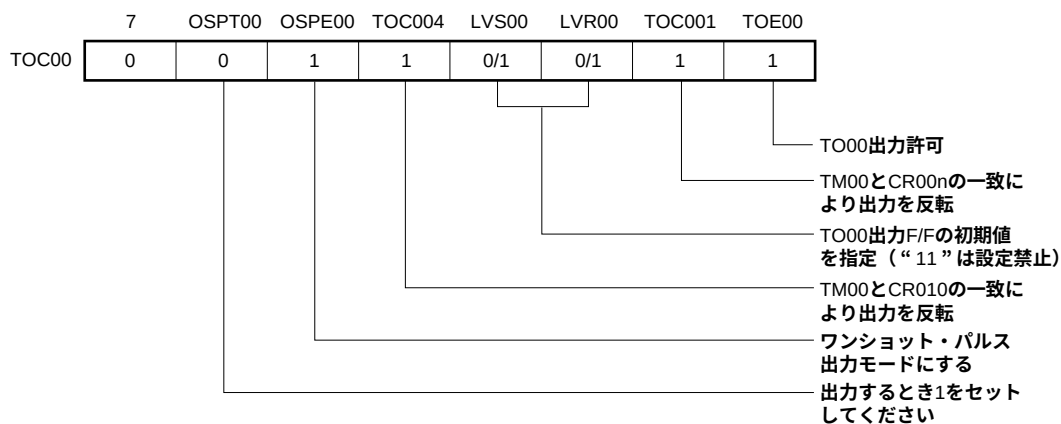
(a) プリスケアラ・モード・レジスタ00 (PRM00)



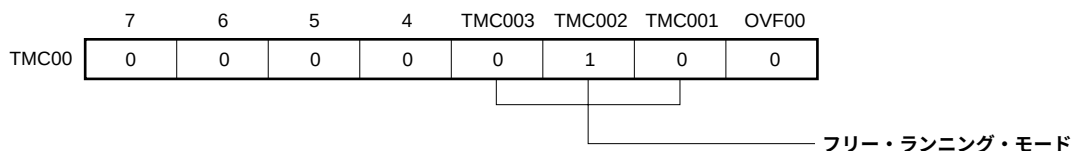
(b) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

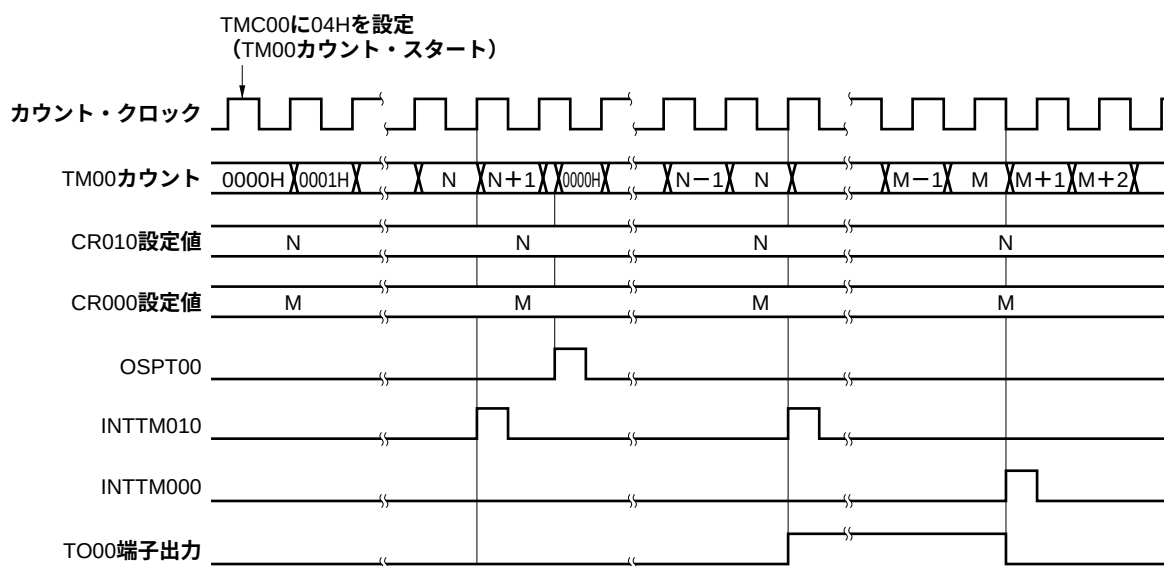


(d) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



注意 CR000レジスタとCR010レジスタに0000Hを設定しないでください。

図6-33 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



注意 16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに00（動作停止モード）以外の値を設定した時点で動作を開始します。

備考 $N < M$

(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）, キャプチャ／コンペア・コントロール・レジスタ00（CRC00）および16ビット・タイマ出力コントロール・レジスタ00（TOC00）を図6-34のように設定し、TI000端子の有効エッジを外部トリガとしてワンショット・パルスをTO00端子から出力します。

TI000端子の有効エッジ指定は、プリスケアラ・モード・レジスタ00（PRM00）のビット4, 5（ES000, ES010）で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

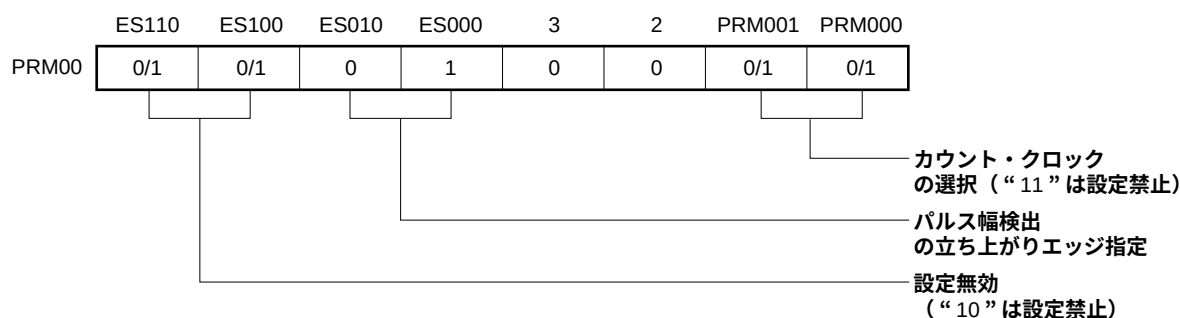
TI000端子への有効エッジで16ビット・タイマ／イベント・カウンタ00がクリア&スタートし、16ビット・タイマ・キャプチャ／コンペア・レジスタ010（CR010）にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・タイマ・キャプチャ／コンペア・レジスタ000（CR000）にあらかじめ設定したカウント値で出力がインアクティブとなります[※]。

注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCR000レジスタで出力がアクティブになり、CR010レジスタでインアクティブとなります。 $N = M$ は設定しないでください。

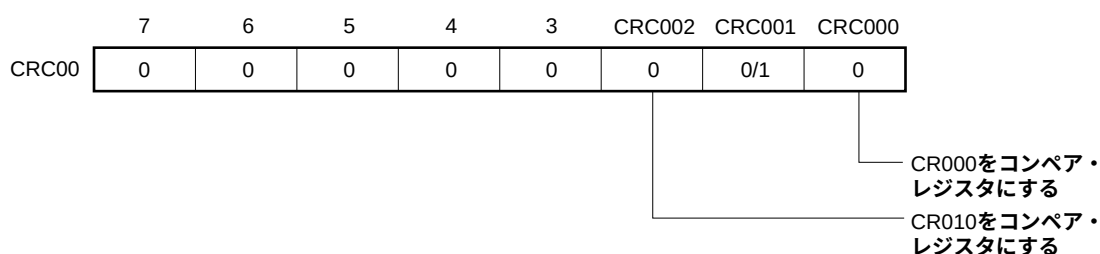
注意 ワンショット・パルスを出力しているときに、再度外部トリガを入力しないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。

図6-34 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容
(立ち上がりエッジ指定時)

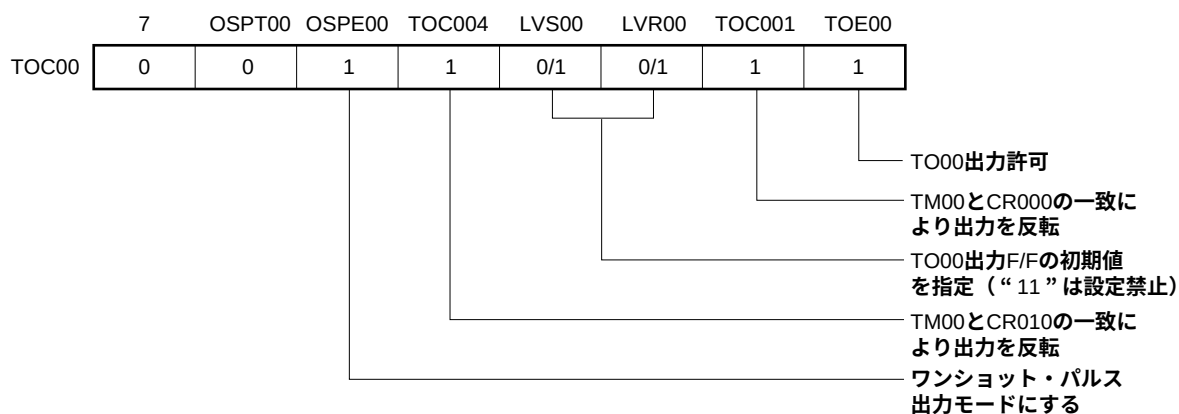
(a) プリスケアラ・モード・レジスタ00 (PRM00)



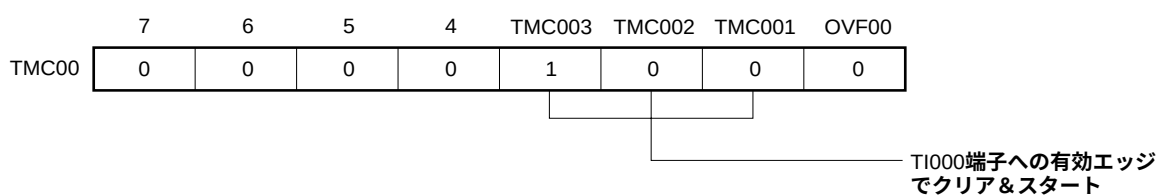
(b) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

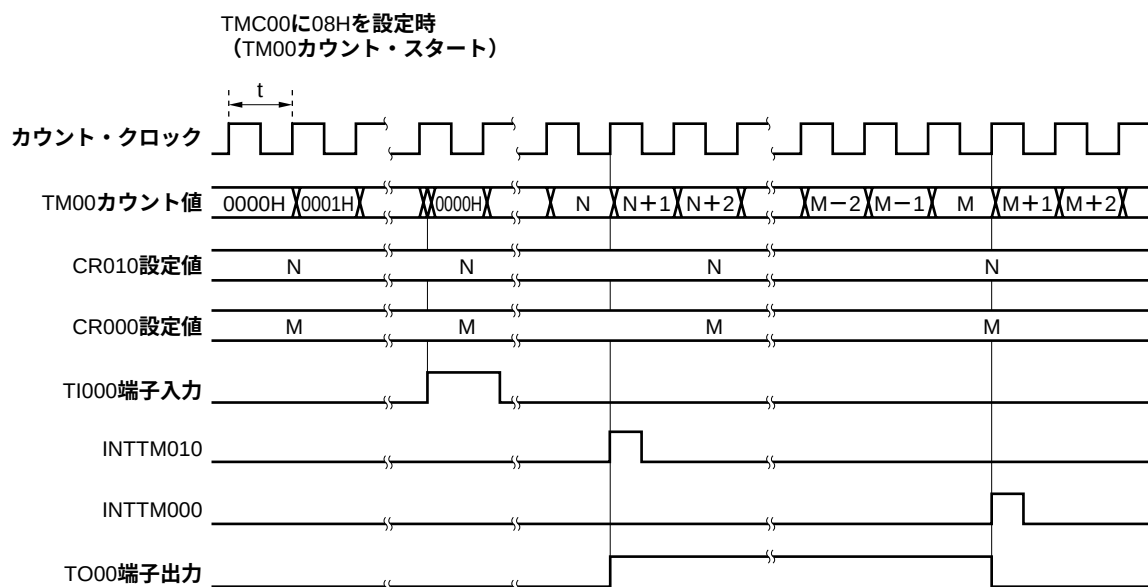


(d) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



注意 CR000レジスタとCR010レジスタに0000Hを設定しないでください。

図6-35 外部トリガによるワンショット・パルス出力動作のタイミング（立ち上がりエッジ指定時）



注意 16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに0, 0（動作停止モード）以外の値を設定した時点で動作を開始します。

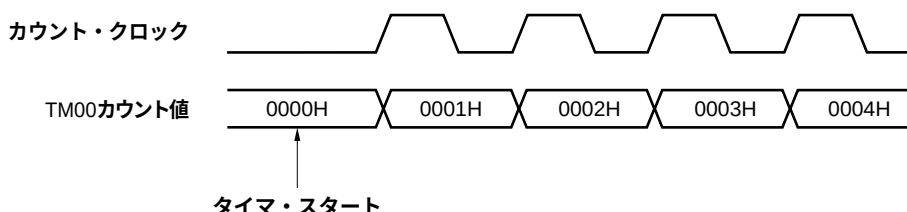
備考 $N < M$

6.5 16ビット・タイマ／イベント・カウンタ00の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ00 (TM00) が非同期でスタートするためです。

図6-36 16ビット・タイマ・カウンタ00 (TM00) のスタート・タイミング



(2) 16ビット・タイマ・カウンタ00 (TM00) の動作について

- ① 16ビット・タイマ・カウンタ00 (TM00) は、TMC002, TMC003に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC002, TMC003に0, 0を設定してください。
- ② TM00をリードしても、16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010) にはキャプチャしません。
- ③ TM00リード時には、カウント・クロックの入力を一時停止し、リード後にカウント・クロックの入力を再開しますので、カウント・ミスは発生しません。
- ④ タイマが停止している場合、TI000/TI010端子へ信号を入力しても、タイマ・カウントやタイマ割り込みは発生しません。

(3) 16ビット・タイマ・キャプチャ／コンペア・レジスタ000, 010 (CR000, CR010) の設定

- ① TM00とCR000の一致でクリア&スタート・モードの場合、16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000) には、0000H以外の値を設定してください。したがって、外部イベント・カウンタとして使用時、1パルスのカウント動作はできません。
- ② TM00とCR000の一致でクリア&スタート・モードの場合、CR000をキャプチャ・レジスタに指定しないでください。
- ③ フリー・ランニング・モードおよびTI000端子の有効エッジのクリア&スタート・モードにおいて、CR0n0に0000Hを設定した場合は、オーバフロー (FFFFH) 後、0000Hから0001Hになるときに割り込み要求 (INTTM0n0) を発生します。

- ④ CR0n0の変更値がTM00の値より小さいとき, TM00はカウントを継続しオーバフローして0から再カウントします。したがって, CR0n0の変更後の値が変更前の値よりも小さいときは, CR000を変更後, タイマをリセットし, 再スタートさせる必要があります。

(4) キャプチャ・レジスタのデータ保持

16ビット・タイマ／イベント・カウンタ00停止後の, 16ビット・タイマ・キャプチャ／コンペア・レジスタ0n0 (CR0n0) の値は保証されません。

備考 n = 0, 1

(5) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) の設定

OVF00フラグ以外のビットは, タイマ動作を停止してから書き込んでください。

(6) キャプチャ／コンペア・コントロール・レジスタ00 (CRC00) の設定

CRC00は, 必ずタイマ動作を停止してから書き込んでください。

(7) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) の設定

- ① OSPT00以外は, 必ずタイマ動作を停止してから設定してください。
- ② LVS00, LVR00は読み出すと, 0になっています。
- ③ OSPT00は, データ設定後に自動的にクリアされますので, 読み出すと0になっています。
- ④ OSPT00は, ワンショット・パルス出力モード以外でセット (1) しないでください。
- ⑤ OSPT00に連続してセット (1) するとき, プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック2周期分以上のライト間隔が必要です。

(8) プリスケアラ・モード・レジスタ00 (PRM00) の設定

PRM00は, 必ずタイマ動作を停止してから書き込んでください。

(9) 有効エッジの設定

TI000端子の有効エッジは, タイマ動作を停止してから, プリスケアラ・モード・レジスタ00 (PRM00) のビット4, 5 (ES000, ES010) で設定してください。

(10) ワンショット・パルス出力について

ワンショット・パルス出力は, フリー・ランニング・モードまたはTI000端子の有効エッジでクリア&スタート・モードでのみ正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは, オーバフローしないため, ワンショット・パルス出力ができません。

(11) ソフトウェアによるワンショット・パルス出力について

- ① ワンショット・パルスを出力しているときに、再度OSPT00ビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。
- ② 16ビット・タイマ／イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TI000端子またはその兼用ポート端子のレベルを変化させないでください。この場合でも外部トリガは有効となっているので、TI000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。
- ③ 16ビット・タイマ・キャプチャ／コンペア・レジスタ000, 010 (CR000, CR010) に0000Hを設定しないでください。

(12) 外部トリガによるワンショット・パルス出力について

- ① ワンショット・パルスを出力しているときに、再度外部トリガを入力しないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。
- ② 16ビット・タイマ・キャプチャ／コンペア・レジスタ000, 010 (CR000, CR010) に0000Hを設定しないでください。

(13) OVF00フラグの動作

- ① OVF00フラグは、次のときにも“1”に設定されます。

TM00とCR000の一致でクリア&スタートするモード、TI000端子の有効エッジでクリア&スタート、フリー・ランニング・モードのいずれかを選択

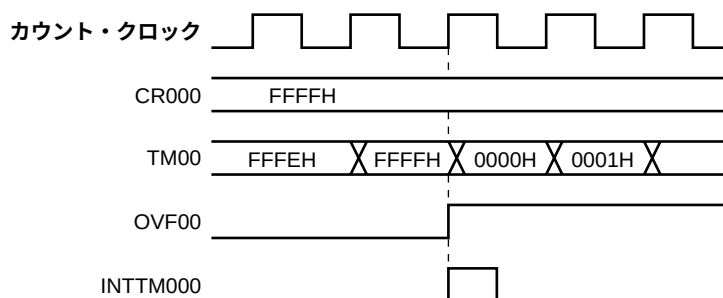
↓

CR000をFFFFHに設定

↓

TM00がFFFFHから0000Hにカウント・アップするとき

図6-37 OVF00フラグの動作タイミング

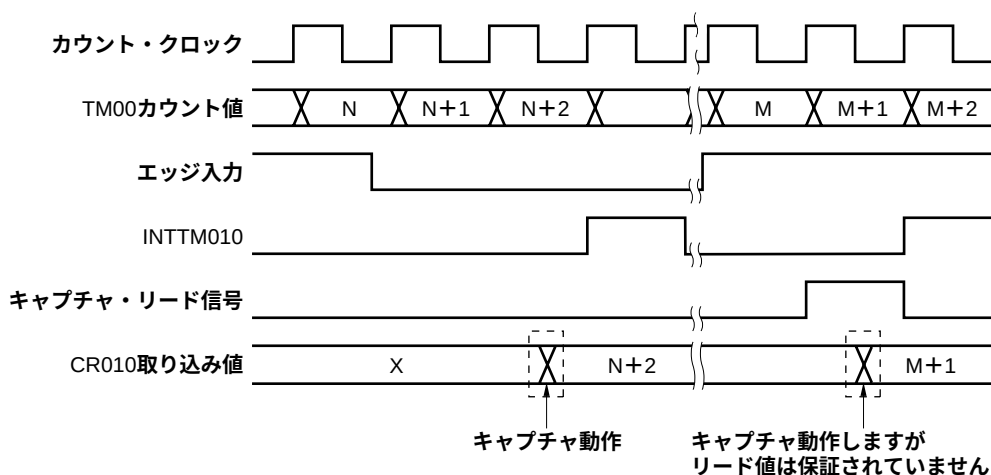


- ② TM00がオーバフロー後、次のカウント・クロックがカウントされる（TM00が0001Hになる）前にOVF00フラグをクリアしても、再度セットされ、クリアは無効となります。

(14) 競合動作について

CR000/CR010をキャプチャ・レジスタとして使用しているとき、レジスタ・リード期間とキャプチャ・トリガ入力競合した場合、キャプチャ・トリガ入力が優先され、CR000/CR010のリード・データは不定となります。またタイマのカウント停止とキャプチャ・トリガ入力競合した場合、キャプチャ・データは不定となります。

図6-38 キャプチャ・レジスタのデータ保持タイミング



(15) キャプチャ動作について

- ① カウント・クロックにTI000端子の有効エッジを指定する場合、TI000端子の有効エッジでクリア&スタート・モードおよびTI000端子をキャプチャ・トリガに設定しないでください。
- ② CRC001が1のとき、TI000端子の有効エッジに立ち上がり、立ち下がりの両エッジを選択した場合には、CR000へのキャプチャ動作はしません。
- ③ CRC001が1のとき、TI010端子の有効エッジによるCR000へのキャプチャ動作を行えませんが、INTTM000は発生するので、TI010端子を外部割り込みとして使用することができます。
- ④ 確実にキャプチャするためのキャプチャ・トリガは、プリスケラ・モード・レジスタ00（PRM00）で選択したカウント・クロックの2周期分より長いパルスが必要です。
- ⑤ キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求（INTTM0n0）は次のカウント・クロックの立ち上がりで発生します。
- ⑥ キャプチャ・レジスタを2本使用する場合は、TI000およびTI010端子の設定を行ってください。

備考 n = 0, 1

(16) コンペア動作について

コンペア・モードに設定したCR0n0は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

(17) タイマ動作中のコンペア・レジスタ変更について

- ① 16ビット・タイマ・キャプチャ／コンペア・レジスタ0n0 (CR0n0) をコンペア・レジスタとして使用しているとき、タイマ・カウント中に16ビット・タイマ・カウンタ00 (TM00) とCR0n0との一致付近でCR0n0を変更する場合、一致するタイミングと競合する可能性があります。このときの動作は保証できません。タイマ・カウントしたままCR0n0を変更したい場合は、INTTM000割り込みを使用し、次のように処理してください。

INTTM000割り込み処理によって下記の操作を行います。

<周期 (CR000) を変更する場合>

1. TM00とCR000の一致によるタイマ出力反転動作を禁止する (TOC001=0)
2. INTTM000の割り込みを禁止する (TMMK000=1)
3. CR000を書き換える
4. TM00のカウント・クロックの1周期分をウエイトする
5. TM00とCR000の一致によるタイマ出力反転動作を許可する (TOC001=1)
6. INTTM000の割り込み要求フラグをクリアする (TMIF000=0)
7. INTTM000の割り込みを許可する (TMMK000=0)

<デューティ (CR010) を変更する場合>

1. TM00とCR010の一致によるタイマ出力反転動作を禁止する (TOC004=0)
2. INTTM000の割り込みを禁止する (TMMK000=1)
3. CR010を書き換える
4. TM00のカウント・クロックの1周期分をウエイトする
5. TM00とCR010の一致によるタイマ出力反転動作を許可する (TOC004=1)
6. INTTM000の割り込み要求フラグをクリアする (TMIF000=0)
7. INTTM000の割り込みを許可する (TMMK000=0)

割り込みとタイマ出力反転を禁止している間 (上述の1~4) も、タイマ・カウントは継続しています。新たに設定するCR0n0の値が小さい場合、TM00の値がCR0n0を越えてしまう可能性があるため、INTTM000割り込み発生後のタイマ・クロックとCPUクロックの時間経過を考慮して、値を設定してください。

備考 n = 0, 1

- ② タイマ・カウント中に上述の①の処理をしないでCR010を変更した場合、TM00とCR000が一致する前に、CR010の値が複数書き換わり、そのたびにTO00端子の出力レベルが反転する可能性があります。

(18) エッジ検出について

- ① 次の場合、TI0n0端子の有効エッジは検出されますので、注意してください。
 - (a) システム・リセット直後、TI0n0端子にハイ・レベルを入力し、16ビット・タイマ・カウンタ00 (TM00) の動作を許可
→TI0n0端子の有効エッジを立ち上がりまたは両エッジに指定した場合は、TM00動作の許可直後に、立ち上がりエッジを検出
 - (b) TI0n0端子がハイ・レベルのときにTM00動作を停止し、TI0n0端子にロウ・レベルを入力したあとにTM00動作を許可
→TI0n0端子の有効エッジを立ち下がりまたは両エッジに指定した場合は、TM00動作の許可直後に、立ち下がりエッジを検出
 - (c) TI0n0端子がロウ・レベルのときにTM00動作を停止し、TI0n0端子にハイ・レベルを入力したあとにTM00動作を許可
→TI0n0端子の有効エッジを立ち上がりまたは両エッジに指定した場合は、TM00動作の許可直後に、立ち上がりエッジを検出

備考 $n = 0, 1$

- ② TI000の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{XP} で、後者はプリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして、有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

(19) 外部イベント・カウンタについて

- ① カウント開始のタイミングは有効エッジ2回検出後になります。
- ② 外部イベント・カウンタのカウントを読み出す場合は、TM00を読み出してください。

(20) PPG出力について

- ① CR000とCR010には次の範囲の値を設定してください。
 $0000H < CR010 < CR000 \leq FFFFH$
- ② PPG出力によって生成されるパルスの周期は (CR000の設定値+1) , デューティは (CR010の設定値+1) / (CR000の設定値+1) になります。

(21) STOPモードまたはシステム・クロック停止モードの設定について

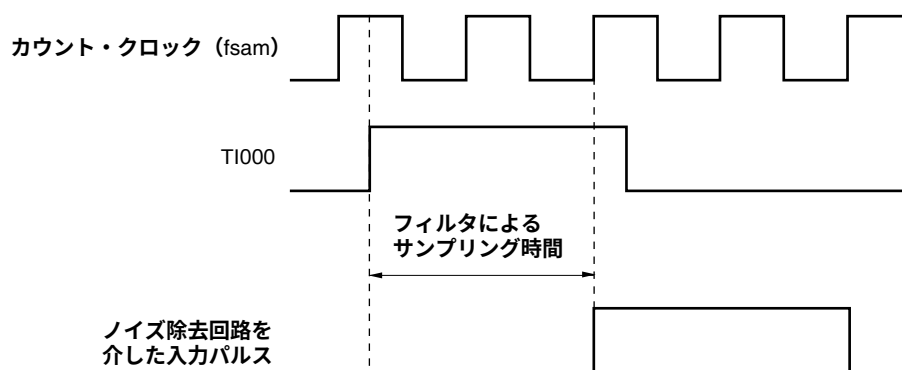
カウント・クロックにTI000端子の有効エッジを選択している場合を除き、STOPモードまたはシステム・クロック停止モードに設定する前に必ずタイマ動作を停止してください。システム・クロック開始時に、タイマが誤動作する可能性があります。

(22) P31/TI010/TO00端子について

P31を有効エッジの入力端子 (TI010) として使用するときは、タイマ出力端子 (TO00) として使用できません。また、タイマ出力端子 (TO00) として使用するときは、有効エッジの入力端子 (TI010) として使用できません。

(23) 外部クロックの制限について

- ① カウント・クロック (外部トリガ) にTI000端子の入力パルスを用いる場合、必ず、AC特性を満たすパルス幅を入力してください。AC特性は、第21章、第22章の電気的特性を参照してください。
- ② 16ビット・タイマ／イベント・カウンタ00では、外部波形を入力する際、ノイズ除去回路でサンプリングするため、デバイス内部で有効になるタイミングに誤差が生じます。



備考 カウント・クロック (f_{sam}) は、プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) で設定します。

第7章 8ビット・タイマ80

7.1 8ビット・タイマ80の機能

8ビット・タイマ80には、8ビット・インターバル・タイマ機能があり、あらかじめ設定した任意の間隔で割り込みを発生します。

表7-1 8ビット・タイマ80のインターバル時間

	最小インターバル時間	最大インターバル時間	分解能
$f_{XP} = 8.0 \text{ MHz}$ 動作時	$2^6 / f_{XP} \text{ (8 } \mu\text{s)}$	$2^{14} / f_{XP} \text{ (2.05 ms)}$	$2^6 / f_{XP} \text{ (8 } \mu\text{s)}$
	$2^8 / f_{XP} \text{ (32 } \mu\text{s)}$	$2^{16} / f_{XP} \text{ (8.19 ms)}$	$2^8 / f_{XP} \text{ (32 } \mu\text{s)}$
	$2^{10} / f_{XP} \text{ (128 } \mu\text{s)}$	$2^{18} / f_{XP} \text{ (32.7 ms)}$	$2^{10} / f_{XP} \text{ (128 } \mu\text{s)}$
	$2^{16} / f_{XP} \text{ (8.19 ms)}$	$2^{24} / f_{XP} \text{ (2.01 s)}$	$2^{16} / f_{XP} \text{ (8.19 ms)}$
$f_{XP} = 10.0 \text{ MHz}$ 動作時	$2^6 / f_{XP} \text{ (6.4 } \mu\text{s)}$	$2^{14} / f_{XP} \text{ (1.64 ms)}$	$2^6 / f_{XP} \text{ (6.4 } \mu\text{s)}$
	$2^8 / f_{XP} \text{ (25.6 } \mu\text{s)}$	$2^{16} / f_{XP} \text{ (6.55 ms)}$	$2^8 / f_{XP} \text{ (25.6 } \mu\text{s)}$
	$2^{10} / f_{XP} \text{ (102 } \mu\text{s)}$	$2^{18} / f_{XP} \text{ (26.2 ms)}$	$2^{10} / f_{XP} \text{ (102 } \mu\text{s)}$
	$2^{16} / f_{XP} \text{ (6.55 ms)}$	$2^{24} / f_{XP} \text{ (1.68 s)}$	$2^{16} / f_{XP} \text{ (6.55 ms)}$

備考 f_{XP} ：周辺ハードウェアへのクロックの発振周波数

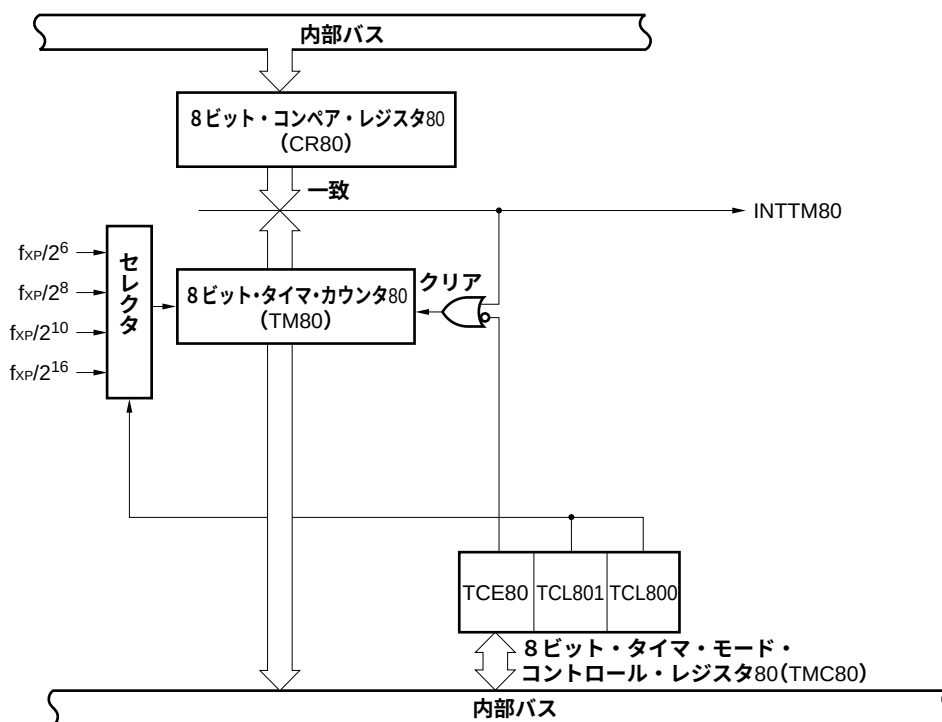
7.2 8ビット・タイマ80の構成

8ビット・タイマ80は、次のハードウェアで構成しています。

表7-2 8ビット・タイマ80の構成

項 目	構 成
タイマ・カウンタ	8ビット・タイマ・カウンタ80 (TM80)
レジスタ	8ビット・コンペア・レジスタ80 (CR80)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

図7-1 8ビット・タイマ80のブロック図



備考 f_{XP} : 周辺ハードウェアへのクロックの発振周波数

(1) 8ビット・コンペア・レジスタ80 (CR80)

CR80に設定した値と8ビット・タイマ・カウンタ80 (TM80) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM80) を発生する8ビットのレジスタです。

CR80は、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

リセット信号の発生により、不定になります。

図7-2 8ビット・コンペア・レジスタ80 (CR80) のフォーマット

アドレス：FFCDH リセット時：不定 W

略号	7	6	5	4	3	2	1	0
CR80								

注意 CR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生され、タイマがクリアされる場合があります。

(2) 8ビット・タイマ・カウンタ80 (TM80)

カウント・パルスをカウントする8ビットのレジスタです。

TM80は、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

図7-3 8ビット・タイマ・カウンタ80 (TM80) のフォーマット

アドレス：FFCEH リセット時：00H R

略号	7	6	5	4	3	2	1	0
TM80								

7.3 8ビット・タイマ80を制御するレジスタ

8ビット・タイマ80は、8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) で制御します。

(1) 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

8ビット・タイマ・カウンタ80 (TM80) の動作許可／停止、およびTM80のカウント・クロックを設定するレジスタです。

TMC80は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-4 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) のフォーマット

アドレス：FFCCH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC80	TCE80	0	0	0	0	TCL801	TCL800	0

TCE80	TM80の動作の制御
0	動作停止 (TM80は00Hにクリア)
1	動作許可

TCL801	TCL800	8ビット・タイマ80のカウント・クロックの選択		
			$f_{XP} = 8.0 \text{ MHz}$ 動作時	$f_{XP} = 10.0 \text{ MHz}$ 動作時
0	0	$f_{XP}/2^6$	125 kHz	156.3 kHz
0	1	$f_{XP}/2^8$	31.25 kHz	39.06 kHz
1	0	$f_{XP}/2^{10}$	7.81 kHz	9.77 kHz
1	1	$f_{XP}/2^{16}$	0.12 kHz	0.15 kHz

注意1. TMC80の設定は、必ずタイマ動作を停止させたのちに行ってください。

2. ビット0, 6には、必ず0を設定してください。

備考 f_{XP} ：周辺ハードウェアへのクロックの発振周波数

7.4 8ビット・タイマ80の動作

7.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ80（CR80）に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ80をインターバル・タイマとして動作させるには次の設定をします。

- ① 8ビット・タイマ・カウンタ80（TM80）を動作禁止（TCE80（8ビット・タイマ・モード・コントロール・レジスタ80（TMC80）のビット7）= 0に設定
- ② 8ビット・タイマ80のカウント・クロックを設定（表7-3，7-4参照）
- ③ CR80にカウント値を設定
- ④ TM80を動作許可（TCE80 = 1）に設定

8ビット・タイマ・カウンタ80（TM80）のカウント値がCR80に設定した値と一致したとき、TM80の値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号（INTTM80）を発生します。

表7-3と表7-4にインターバル時間を、図7-5にインターバル・タイマ動作のタイミングを示します。

注意1. CR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

2. TMC80でカウント・クロックの設定とTM80の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります（7.5（1）タイマ・スタート時の誤差を参照）。そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で設定してください。

表7-3 8ビット・タイマ80のインターバル時間（ $f_{XP} = 8.0 \text{ MHz}$ 動作時）

TCL801	TCL800	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^6 / f_{XP}$ (8 μs)	$2^{14} / f_{XP}$ (2.05 ms)	$2^6 / f_{XP}$ (8 μs)
0	1	$2^8 / f_{XP}$ (32 μs)	$2^{16} / f_{XP}$ (8.19 ms)	$2^8 / f_{XP}$ (32 μs)
1	0	$2^{10} / f_{XP}$ (128 μs)	$2^{18} / f_{XP}$ (32.7 ms)	$2^{10} / f_{XP}$ (128 μs)
1	1	$2^{16} / f_{XP}$ (8.19 ms)	$2^{24} / f_{XP}$ (2.01 s)	$2^{16} / f_{XP}$ (8.19 ms)

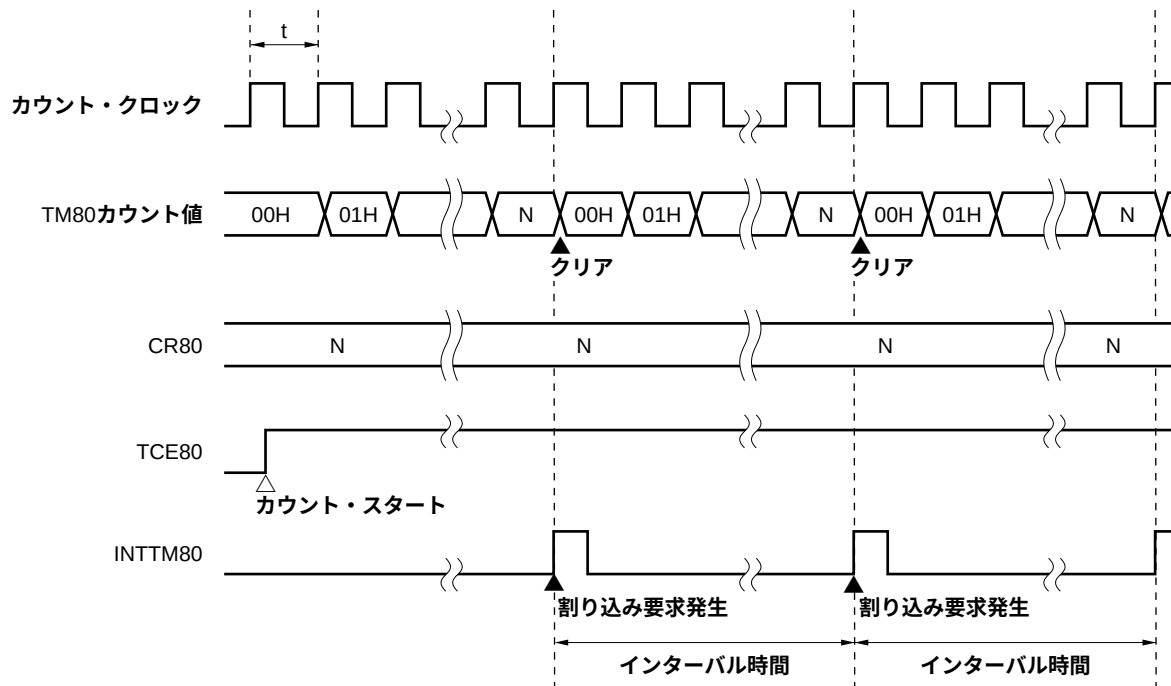
備考 f_{XP} ：周辺ハードウェアへのクロックの発振周波数

表7-4 8ビット・タイマ80のインターバル時間（ $f_{XP} = 10.0 \text{ MHz}$ 動作時）

TCL801	TCL800	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^6 / f_{XP}$ (6.4 μs)	$2^{14} / f_{XP}$ (1.64 ms)	$2^6 / f_{XP}$ (6.4 μs)
0	1	$2^8 / f_{XP}$ (25.6 μs)	$2^{16} / f_{XP}$ (6.55 ms)	$2^8 / f_{XP}$ (25.6 μs)
1	0	$2^{10} / f_{XP}$ (102 μs)	$2^{18} / f_{XP}$ (26.2 ms)	$2^{10} / f_{XP}$ (102 μs)
1	1	$2^{16} / f_{XP}$ (6.55 ms)	$2^{24} / f_{XP}$ (1.68 s)	$2^{16} / f_{XP}$ (6.55 ms)

備考 f_{XP} ：周辺ハードウェアへのクロックの発振周波数

図7-5 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N+1) \times t$

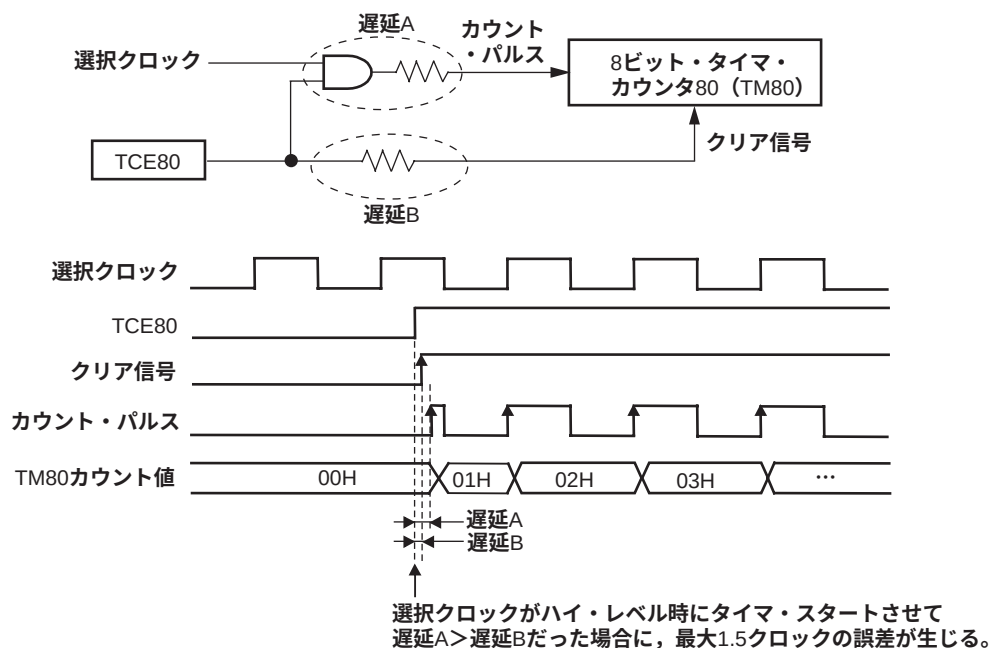
$N = 00H-FFH$

7.5 8ビット・タイマ80の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1.5クロック分の誤差が生じます。これはカウント・クロックがハイ・レベルのときにタイマ・スタートすると、その瞬間に立ち上がりエッジが検出され、カウンタがインクリメントされてしまうことがあるためです（図7-6参照）。

図7-6 1.5クロック（最大）の誤差が出るケース



(2) 8ビット・コンペア・レジスタ80の設定

8ビット・コンペア・レジスタ80 (CR80) には、00Hの設定が可能です。

(3) STOPモード設定時の注意

STOP命令を実行する前には、必ずタイマ動作を停止（TCE80 = 0）に設定してください。

第8章 8ビット・タイマH1

8.1 8ビット・タイマH1の機能

8ビット・タイマH1には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力モード
- ・方形波出力

8.2 8ビット・タイマH1の構成

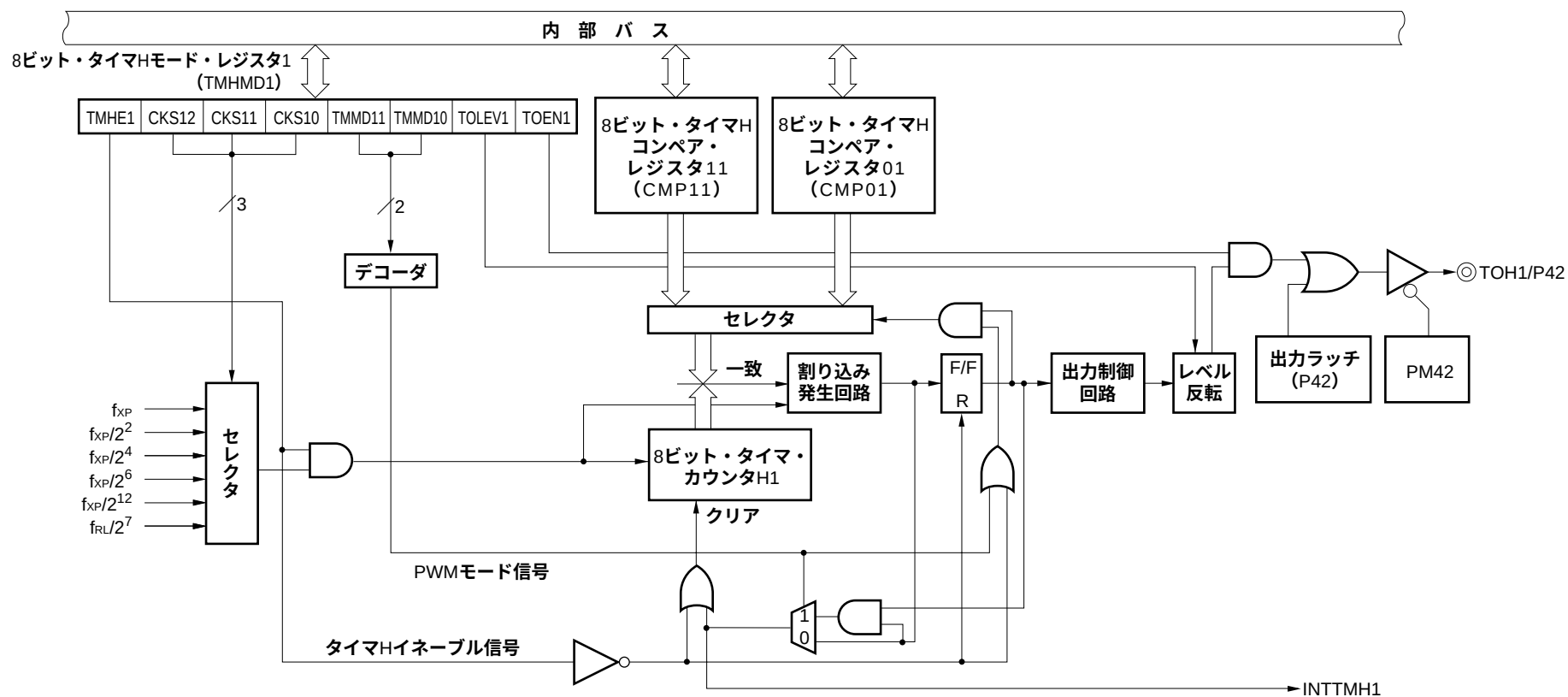
8ビット・タイマH1は、次のハードウェアで構成されています。

表8-1 8ビット・タイマH1の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタH1
レジスタ	8ビット・タイマHコンペア・レジスタ01 (CMP01) 8ビット・タイマHコンペア・レジスタ11 (CMP11)
タイマ出力	TOH1
制御レジスタ	8ビット・タイマHモード・レジスタ1 (TMHMD1) ポート・モード・レジスタ4 (PM4) ポート・レジスタ4 (P4)

図8-1にブロック図を示します。

図8-1 8ビット・タイマH1のブロック図



(1) 8ビット・タイマHコンペア・レジスタ01 (CMP01)

8ビット・メモリ操作命令でリード／ライト可能なレジスタです。

リセット信号の発生により00Hになります。

図8-2 8ビット・タイマHコンペア・レジスタ01 (CMP01) のフォーマット

アドレス：FF0EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CMP01								

注意 CMP01は、タイマ・カウント動作中に値を書き換えることは禁止です。

(2) 8ビット・タイマHコンペア・レジスタ11 (CMP11)

8ビット・メモリ操作命令でリード／ライト可能なレジスタです。

リセット信号の発生により00Hになります。

図8-3 8ビット・タイマHコンペア・レジスタ11 (CMP11) のフォーマット

アドレス：FF0FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CMP11								

CMP11はタイマ・カウント動作中に値の書き換えが可能です。

タイマ動作中にCMP11の値を書き換えた場合、書き換え後のコンペア値は、カウント値と書き換え前のコンペア値が一致したタイミングで有効となります。カウント値とコンペア値が一致するタイミングと、CPUからCMP11への書き込みが競合した場合、書き込み後のコンペア値が有効となるのは、次のカウント値と書き込み前のコンペア値が一致したタイミングとなります。

注意 PWM出力モードでは、タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ずCMP11を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。

8.3 8ビット・タイマH1を制御するレジスタ

8ビット・タイマH1を制御するレジスタには、次の3種類があります。

- 8ビット・タイマHモード・レジスタ1 (TMHMD1)
- ポート・モード・レジスタ4 (PM4)
- ポート・レジスタ4 (P4)

(1) 8ビット・タイマHモード・レジスタ1 (TMHMD1)

タイマHのモードを制御するレジスタです。

TMHMD1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図8-4 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス：FF70H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止（カウンタは0にクリア）
1	タイマ・カウント動作許可（クロックを入力することでカウント動作開始）

CKS12	CKS11	CKS10	カウント・クロックの選択
0	0	0	f_{XP} (10 MHz)
0	0	1	$f_{XP}/2^2$ (2.5 MHz)
0	1	0	$f_{XP}/2^4$ (625 kHz)
0	1	1	$f_{XP}/2^6$ (156.25 kHz)
1	0	0	$f_{XP}/2^{12}$ (2.44 kHz)
1	0	1	$f_{RL}/2^7$ (1.88 kHz (TYP.))
上記以外			設定禁止

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV1	タイマ出力レベル制御（デフォルト時）
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

- 注意1. TMHE1 = 1のとき、TMHMD1レジスタの他のビットを設定することは禁止です。
2. PWM出力モードでは、タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ず8ビット・タイマHコンペア・レジスタ11（CMP11）を設定してください（CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください）。

- 備考1. f_{XP} ：周辺ハードウェアへのクロックの発振周波数
2. f_{RL} ：低速内蔵発振クロック発振周波数
3. （ ）内は、 $f_{XP} = 10$ MHz動作時、 $f_{RL} = 240$ kHz（TYP.）動作時

(2) ポート・モード・レジスタ4 (PM4)

ポート4の入力／出力を1ビット単位で設定するレジスタです。

P42/TOH1端子をタイマ出力として使用するとき、PM42およびP42の出力ラッチに0を設定してください。

PM4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図8-5 ポート・モード・レジスタ4 (PM4) のフォーマット

アドレス：FF24H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.4 8ビット・タイマH1の動作

8.4.1 インターバル・タイマ／方形波出力としての動作

8ビット・タイマ・カウンタH1とコンペア・レジスタ01 (CMP01) が一致した場合、割り込み要求信号 (INTTMH1) が発生し、8ビット・タイマ・カウンタH1を00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ11 (CMP11) は使用しません。CMP11レジスタを設定しても、8ビット・タイマ・カウンタH1とCMP11レジスタの一致検出をしないため、タイマ出力に影響しません。

また、タイマHモード・レジスタ1 (TMHMD1) のビット0 (TOEN1) に1を設定することにより、TOH1より任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

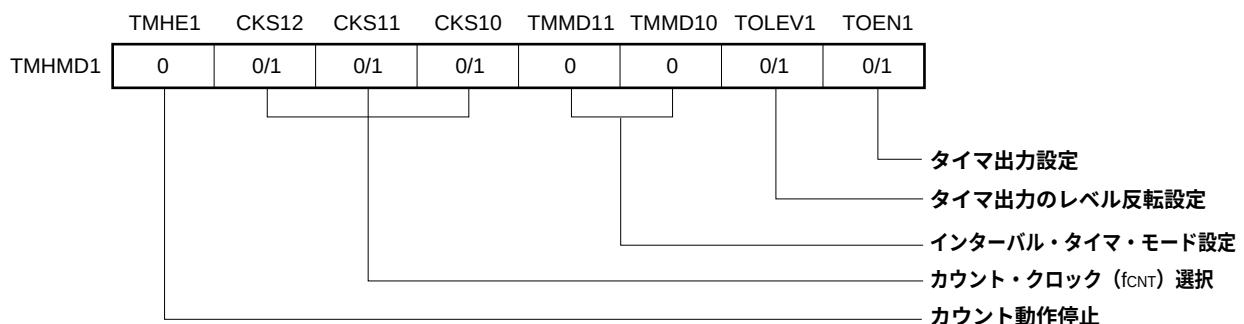
(1) 使用方法

同一間隔でINTTMH1信号を繰り返し発生します。

- ① 各レジスタの設定を行います。

図8-6 インターバル・タイマ／方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

・コンペア値 (N)

- ② TMHE1 = 1によりカウント動作を開始します。
- ③ 8ビット・タイマ・カウンタH1とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1は00Hにクリアされます。

$$\text{インターバル時間} = (N + 1) / f_{\text{CNT}}$$

- ④ 以後、同一間隔でINTTMH1信号が発生します。カウント動作を停止するときは、TMHE1 = 0にします。

(2) タイミング・チャート

インターバル・タイマ／方形波出力動作のタイミングを次に示します。

図8-7 インターバル・タイマ／方形波出力動作のタイミング (1/2)

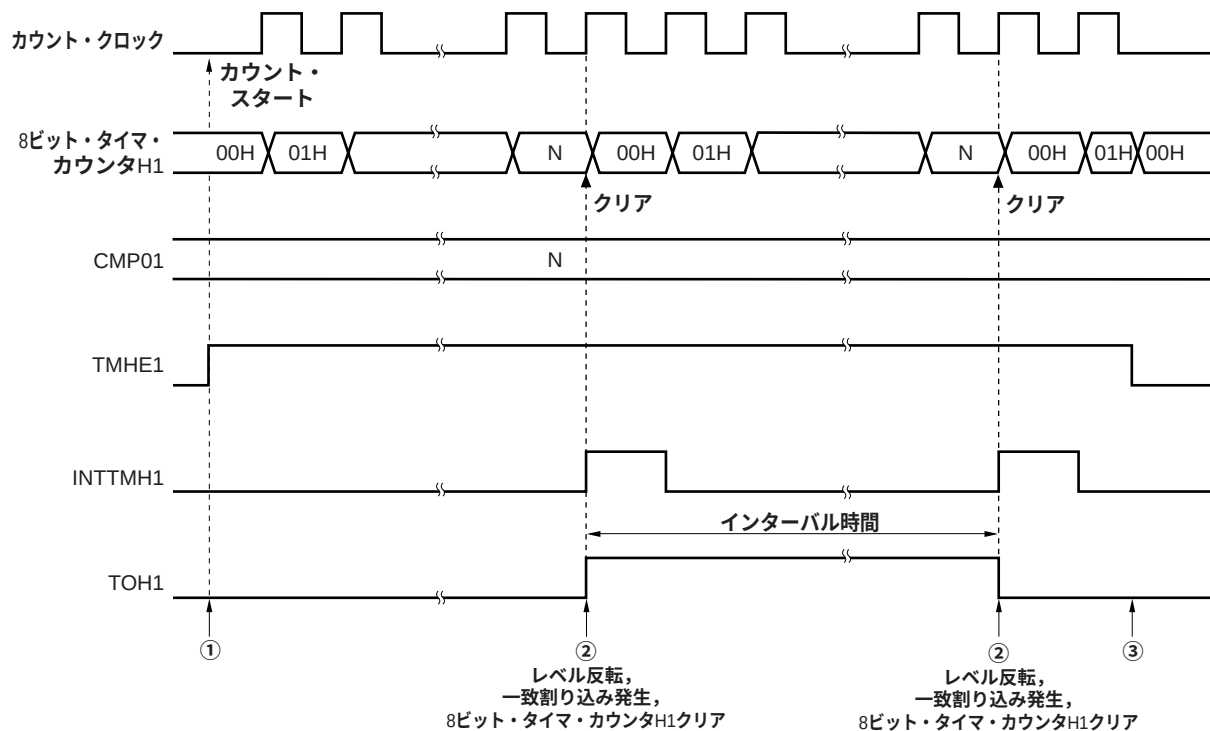
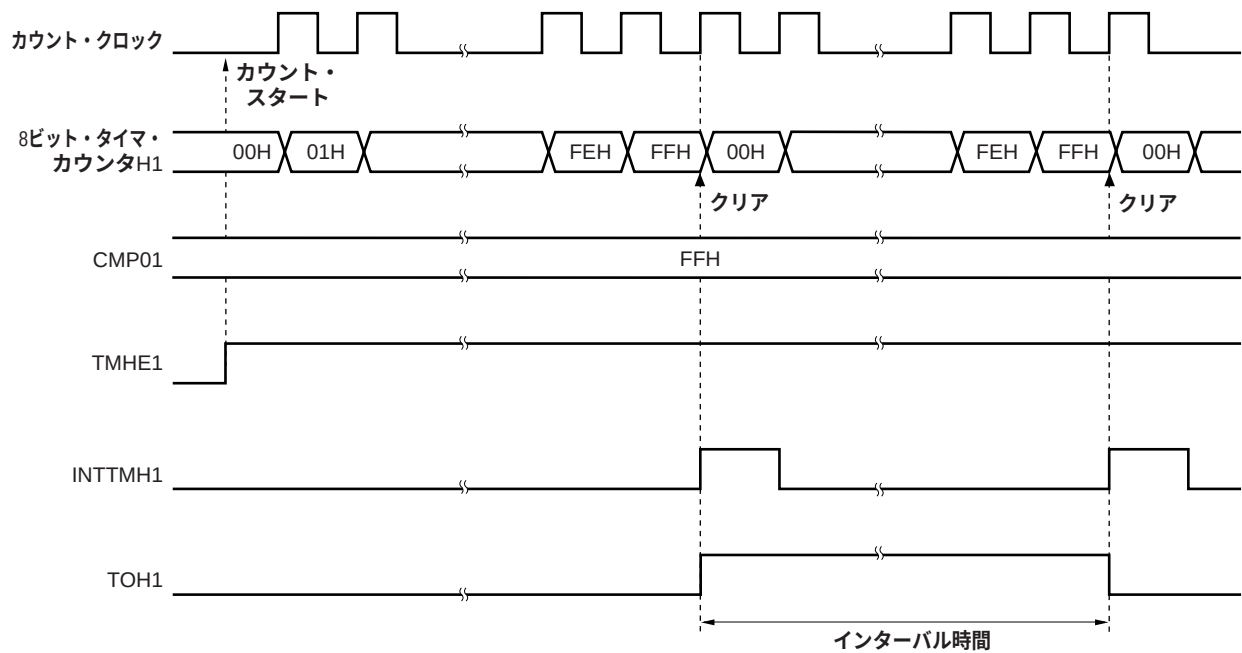
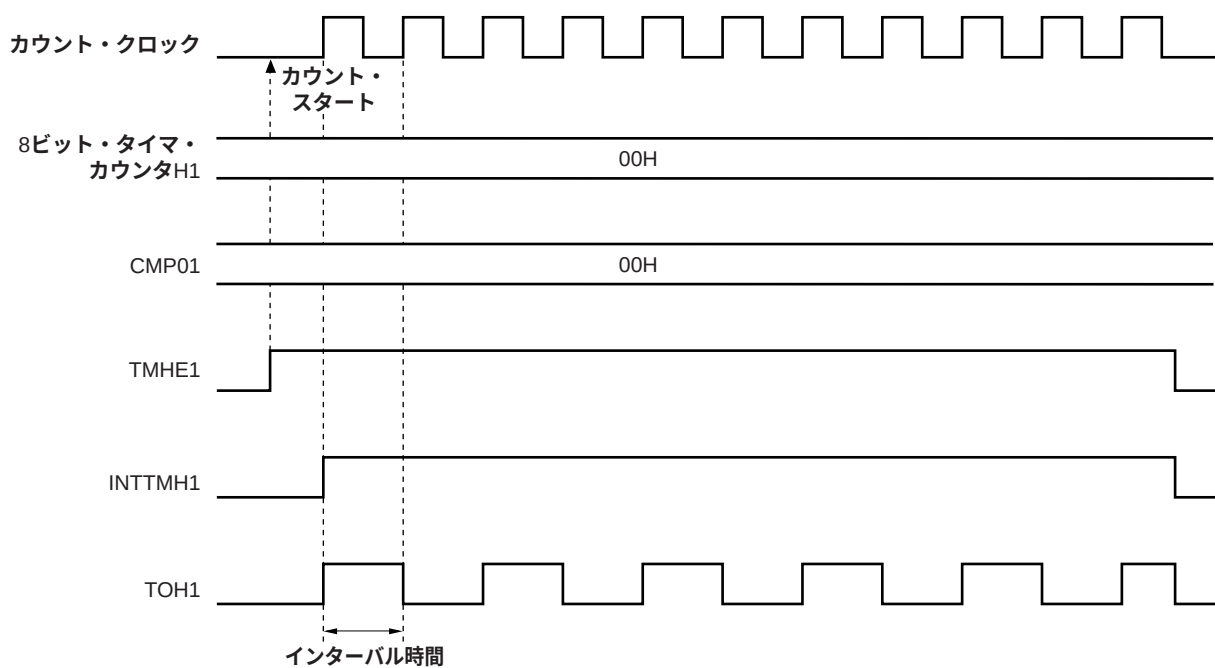
(a) 基本動作 ($01H \leq \text{CMP01} \leq \text{FEH}$ 時)備考 $01H \leq N \leq \text{FEH}$ 時

図8-7 インターバル・タイマ／方形波出力動作のタイミング (2/2)

(b) CMP01 = FFH時の動作



(c) CMP01 = 00H時の動作



8.4.2 PWM出力モードとしての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ01（CMP01）はタイマ出力（TOH1）の周期を制御します。タイマ動作中のCMP01レジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ11（CMP11）はタイマ出力（TOH1）のデューティを制御するレジスタです。タイマ動作中のCMP11レジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後、8ビット・タイマ・カウンタH1とCMP01レジスタが一致するとTOH1出力はアクティブとなり、8ビット・タイマ・カウンタH1は0にクリアされます。8ビット・タイマ・カウンタH1とCMP11レジスタが一致するとTOH1出力はインアクティブとなります。

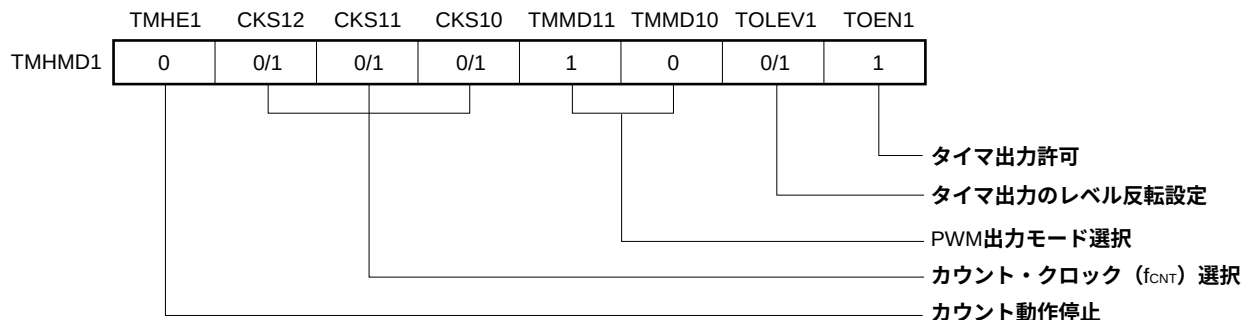
(1) 使用方法

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

- ① 各レジスタの設定を行います。

図8-8 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタ1（TMHMD1）の設定



(ii) CMP01レジスタの設定

- ・コンペア値（N）：周期の設定

(iii) CMP11レジスタの設定

- ・コンペア値（M）：デューティの設定

備考 $00H \leq \text{CMP11 (M)} < \text{CMP01 (N)} \leq FFH$

- ② TMHE1 = 1によりカウント動作を開始します。

- ③ カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1とCMP01レジスタの値が一致すると、8ビット・タイマ・カウンタH1はクリアされ、割り込み要求信号（INTTMH1）が発生し、TOH1出力がアクティブになります。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。
- ④ 8ビット・タイマ・カウンタH1とCMP11レジスタが一致すると、TOH1出力がインアクティブになり、同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。このとき8ビット・タイマ・カウンタH1はクリアされず、INTTMH1信号も発生しません。
- ⑤ 以上③と④を繰り返し、任意のデューティのパルスを得ることができます。
- ⑥ カウント動作を停止するときは、TMHE1 = 0にします。

CMP01レジスタの設定値を（N），CMP11レジスタを（M），カウント・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

$$\begin{aligned} \text{PWMパルス出力周期} &= (N+1) / f_{CNT} \\ \text{デューティ} = \text{アクティブ幅} : \text{PWM全体の幅} &= (M+1) : (N+1) \end{aligned}$$

- 注意1.** PWM出力モード時は、タイマ・カウント動作中にCMP11レジスタの設定値を変更することができます。ただしCMP11レジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック（TMHMD1レジスタのCKS12-CKS10ビットで選択された信号）の3クロック分以上かかります。
2. タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ずCMP11レジスタを設定してください（CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください）。

(2) タイミング・チャート

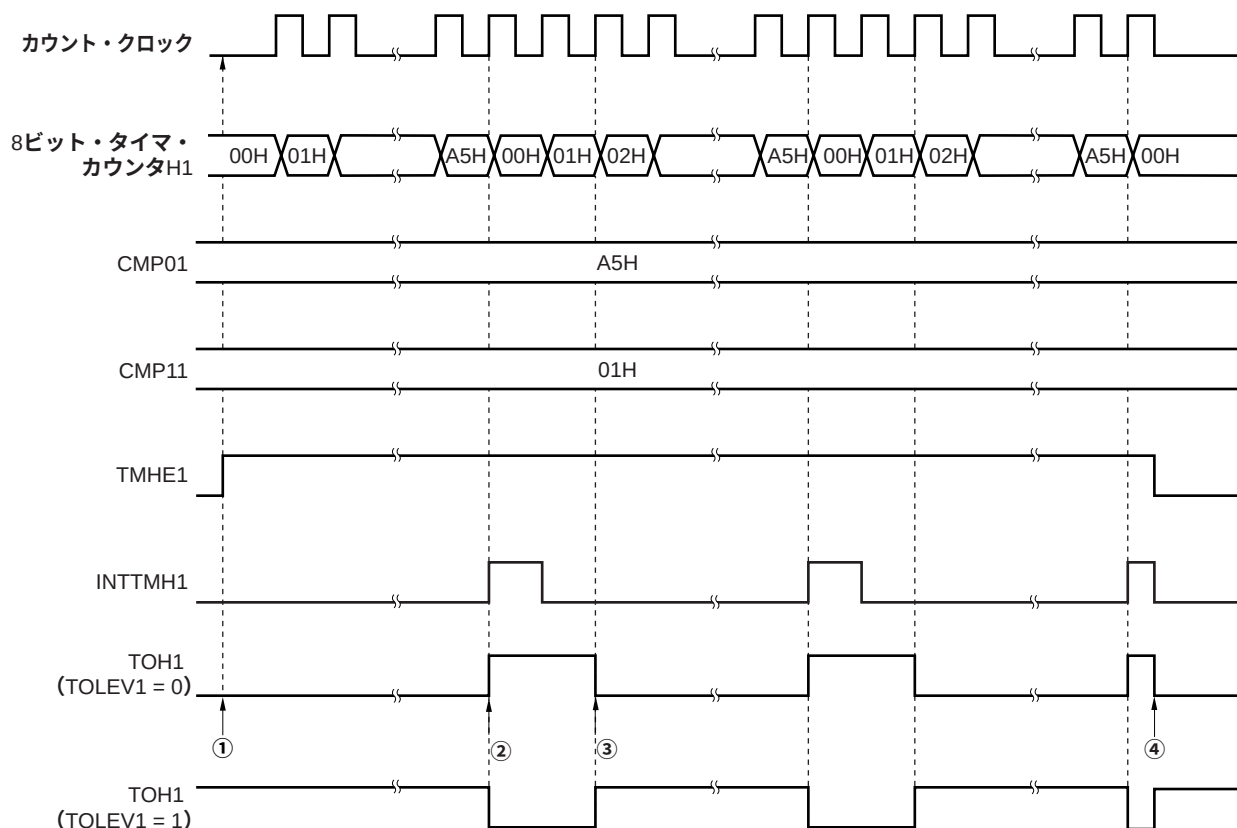
PWM出力モード時の動作タイミングを次に示します。

注意 CMP11レジスタの設定値（M），CMP01レジスタの設定値（N）は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP11 (M)} < \text{CMP01 (N)} \leq \text{FFH}$$

図8-9 PWM出力モード動作のタイミング (1/4)

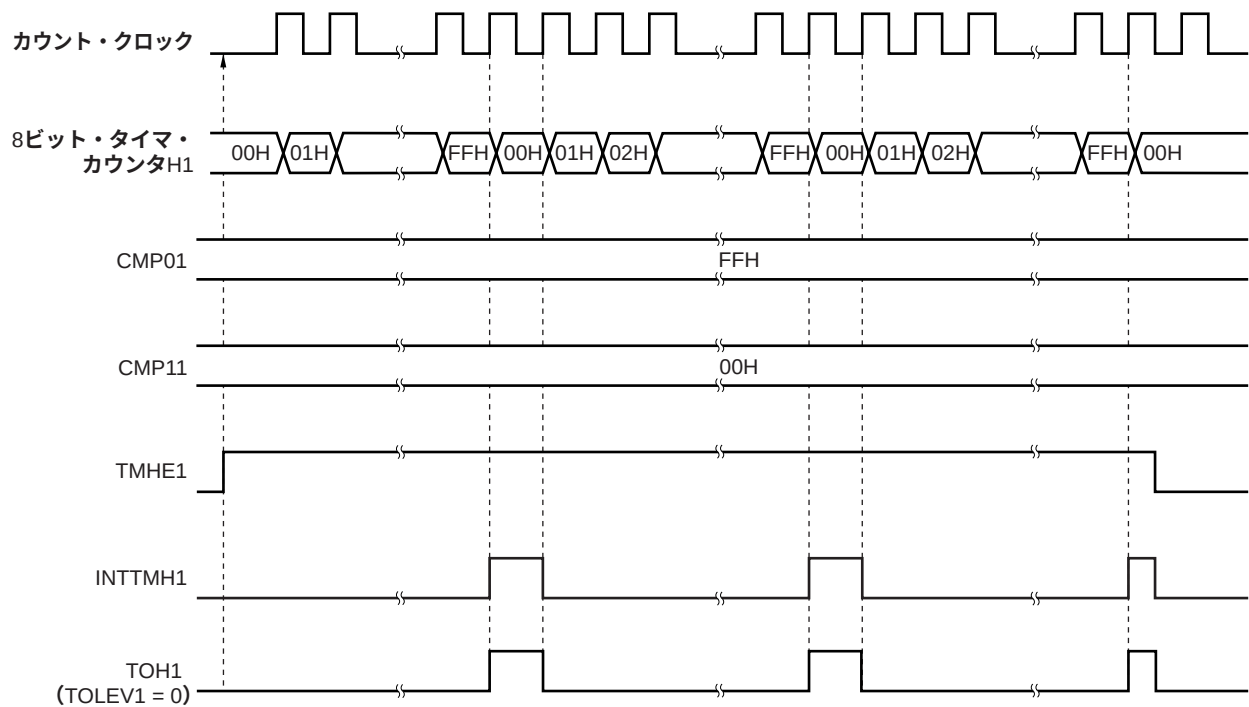
(a) 基本動作 (00H < CMP11 < CMP01 < FFH)



- ① TMHE1 = 1により、カウント動作許可状態になります。カウント・クロックを1クロック・マスクし、8ビット・タイマ・カウンタH1をスタートさせ、カウント・アップします。そのときTOH1出力はインアクティブ (TOLEV1 = 0設定時) を保持します。
- ② 8ビット・タイマ・カウンタH1の値がCMP01レジスタの値と一致したときに、TOH1出力のレベルを反転し、8ビット・タイマ・カウンタH1をクリアし、INTTMH1信号を出力します。
- ③ 8ビット・タイマ・カウンタH1の値がCMP11レジスタの値と一致したときに、TOH1出力のレベルを戻します。そのとき8ビット・カウンタの値はクリアされず、INTTMH1信号は出力しません。
- ④ タイマH1動作中にTMHE1ビットを0にすることで、INTTMH1信号およびTOH1出力がインアクティブになります。

図8-9 PWM出力モード動作のタイミング (2/4)

(b) CMP01 = FFH, CMP11 = 00H時の動作



(c) CMP01 = FFH, CMP11 = FEH時の動作

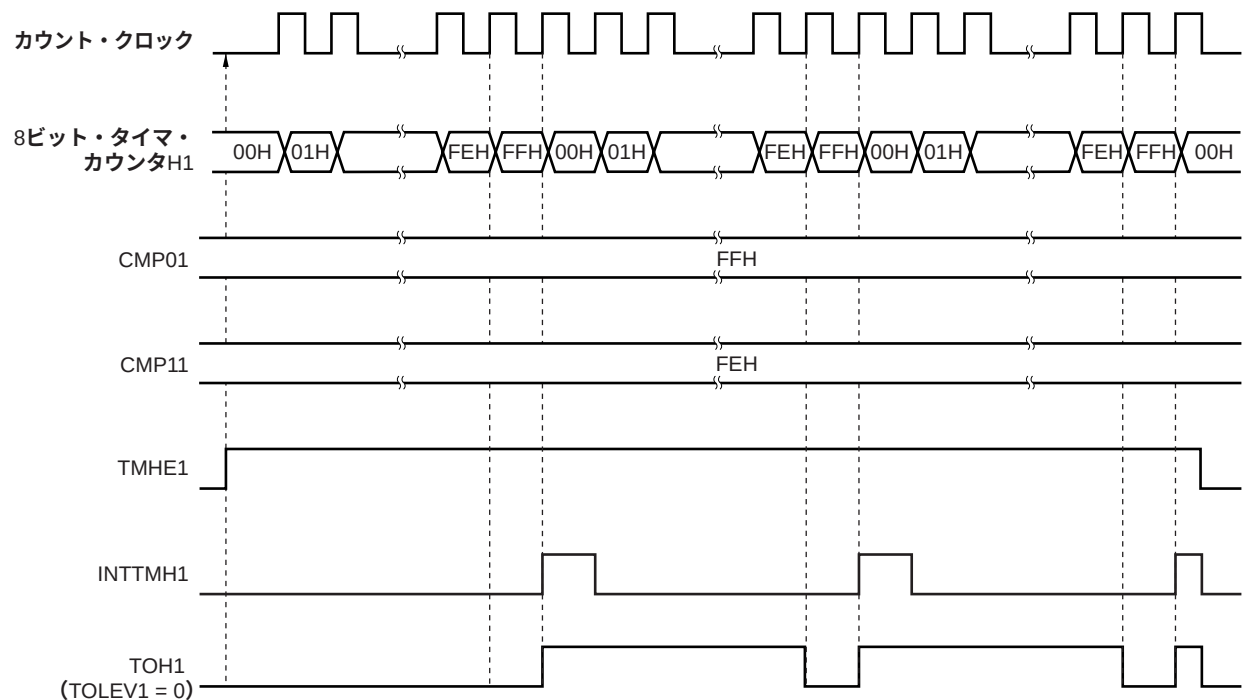


図8-9 PWM出力モード動作のタイミング (3/4)

(d) CMP01 = 01H, CMP11 = 00H時の動作

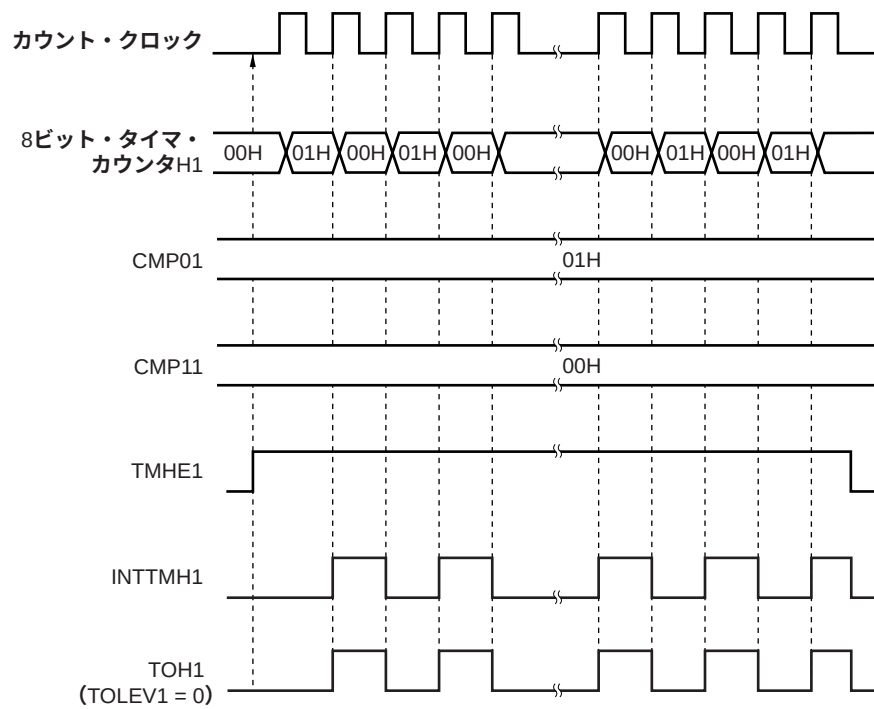
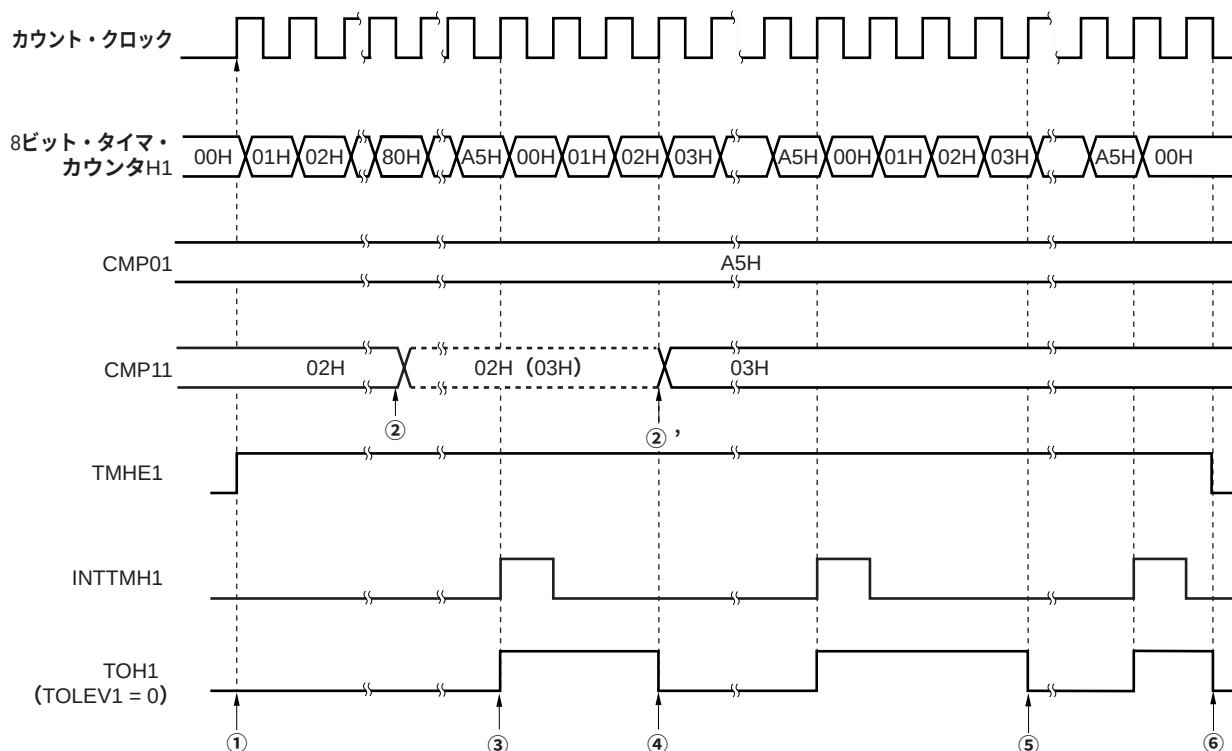


図8-9 PWM出力モード動作のタイミング (4/4)

(e) CMP11変更による動作 (CMP11 = 02H→03H, CMP01 = A5H)



- ① TMHE1 = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、TOH1出力はインアクティブ (TOLEV1 = 0設定時) を保持します。
 - ② タイマ・カウンタ動作中にCMP11レジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。
 - ③ 8ビット・タイマ・カウンタH1の値がCMP01レジスタの値と一致すると、8ビット・タイマ・カウンタH1はクリアされ、TOH1出力をアクティブにし、INTTMH1信号が発生します。
 - ④ CMP11レジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタH1とCMP11レジスタの変更前の値が一致すると、CMP11レジスタに転送されCMP11レジスタの値が変更されます (②')。
- ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。
- ⑤ 8ビット・タイマ・カウンタH1の値が変更後のCMP11レジスタの値と一致すると、TOH1出力をインアクティブにします。8ビット・タイマ・カウンタH1はクリアされず、INTTMH1信号も発生しません。
 - ⑥ タイマH1動作中にTMHE1ビットを0にすることで、INTTMH1信号およびTOH1出力がインアクティブになります。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第14章 リセット機能を参照してください。

表9-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	
低速内蔵発振クロック動作時	システム・クロック動作時
$2^{11}/f_{RL}$ (4.27 ms)	$2^{13}/f_X$ (819.2 μ s)
$2^{12}/f_{RL}$ (8.53 ms)	$2^{14}/f_X$ (1.64 ms)
$2^{13}/f_{RL}$ (17.07 ms)	$2^{15}/f_X$ (3.28 ms)
$2^{14}/f_{RL}$ (34.13 ms)	$2^{16}/f_X$ (6.55 ms)
$2^{15}/f_{RL}$ (68.27 ms)	$2^{17}/f_X$ (13.11 ms)
$2^{16}/f_{RL}$ (136.53 ms)	$2^{18}/f_X$ (26.21 ms)
$2^{17}/f_{RL}$ (273.07 ms)	$2^{19}/f_X$ (52.43 ms)
$2^{18}/f_{RL}$ (546.13 ms)	$2^{20}/f_X$ (104.86 ms)

備考1. f_{RL} : 低速内蔵発振クロック周波数

2. f_X : システム・クロック発振周波数

3. () 内は $f_{RL} = 480$ kHz (MAX.) , $f_X = 10$ MHz動作時

低速内蔵発振器のオプション・バイト設定により、ウォッチドッグ・タイマ (WDT) の動作モードが表9-2に示すように変わります。

表9-2 オプション・バइटの設定とウォッチドッグ・タイマの動作モード

	オプション・バइटの設定	
	低速内蔵発振器停止不可	低速内蔵発振器をソフトウェアにより停止可能
ウォッチドッグ・タイマのクロック・ソース	f_{RL} 固定 ^{注1}	・ソフトで選択可 (f_X または f_{RL} または停止) ・リセット解除時： f_{RL}
リセット後の動作	最長インターバル ($2^{18}/f_{RL}$) で動作開始	最長インターバル ($2^{18}/f_{RL}$) で動作開始
動作モード選択	インターバルを一度だけ変更可能	クロック選択／インターバルを一度だけ変更可能
特 徴	ウォッチドッグ・タイマ停止不可	ウォッチドッグ・タイマ停止可能 ^{注2}

注1. 電源が供給されているかぎり,低速内蔵発振器の発振を停止することができません(リセット期間中は除く)。

2. ウォッチドッグ・タイマのクロック・ソースに応じて,ウォッチドッグ・タイマへのクロック供給停止の条件は異なります。

① クロック・ソースが f_X の場合,次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・ f_X 停止時
- ・HALT/STOPモード時
- ・発振安定時間中

② クロック・ソースが f_{RL} の場合,次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- ・CPUクロックが f_X で, STOP命令実行前に f_{RL} をソフトウェアで停止した場合
- ・HALT/STOPモード時

備考1. f_{RL} : 低速内蔵発振クロック周波数

2. f_X : システム・クロック発振周波数

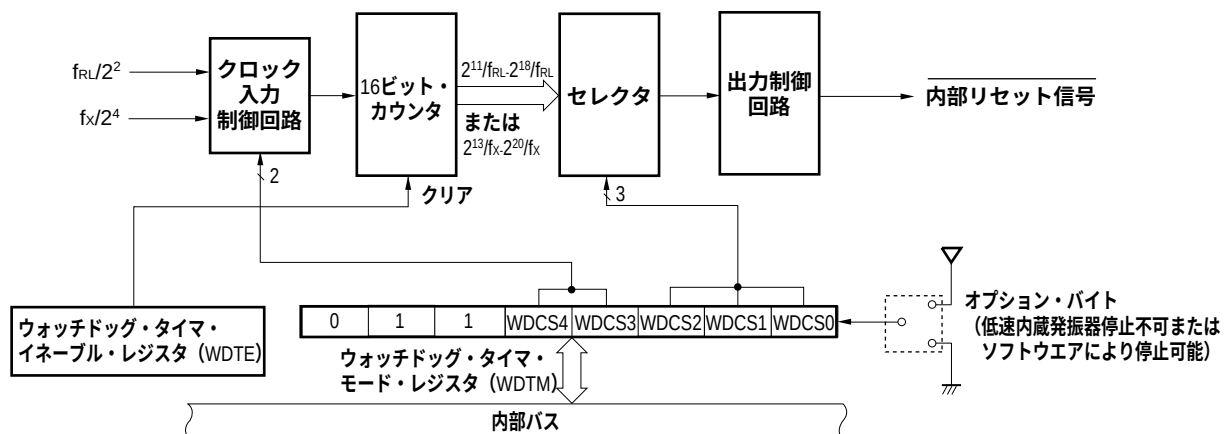
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

図9-1 ウォッチドッグ・タイマのブロック図



- 備考1. f_{RL} : 低速内蔵発振クロック周波数
 2. f_x : システム・クロック発振周波数

9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の2種類があります。

- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

(1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバフロー時間および動作クロックを設定するレジスタです。

WDTMは8ビット・メモリ操作命令で設定します。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。

リセット信号の発生により67Hになります。

図9-2 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

アドレス：FF48H リセット時：67H R/W

略号	7	6	5	4	3	2	1	0
WDTM	0	1	1	WDCS4	WDCS3	WDCS2	WDCS1	WDCS0

WDCS4 ^{注1}	WDCS3 ^{注1}	動作クロックの選択
0	0	低速内蔵発振クロック (f _R L)
0	1	システム・クロック (f _X)
1	×	ウォッチドッグ・タイマ動作停止

WDCS2 ^{注2}	WDCS1 ^{注2}	WDCS0 ^{注2}	オーバフロー時間の設定	
			低速内蔵発振クロック動作時	システム・クロック動作時
0	0	0	2 ¹¹ /f _R L (4.27 ms)	2 ¹³ /f _X (819.2 μs)
0	0	1	2 ¹² /f _R L (8.53 ms)	2 ¹⁴ /f _X (1.64 ms)
0	1	0	2 ¹³ /f _R L (17.07 ms)	2 ¹⁵ /f _X (3.28 ms)
0	1	1	2 ¹⁴ /f _R L (34.13 ms)	2 ¹⁶ /f _X (6.55 ms)
1	0	0	2 ¹⁵ /f _R L (68.27 ms)	2 ¹⁷ /f _X (13.11 ms)
1	0	1	2 ¹⁶ /f _R L (136.53 ms)	2 ¹⁸ /f _X (26.21 ms)
1	1	0	2 ¹⁷ /f _R L (273.07 ms)	2 ¹⁹ /f _X (52.43 ms)
1	1	1	2 ¹⁸ /f _R L (546.13 ms)	2 ²⁰ /f _X (104.86 ms)

注1. オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合は、設定できません。

どんな値を書いても低速内蔵発振クロックが選択されます。

2. リセット解除時は最大周期 (WDCS2,1,0 = 1,1,1) となります。

注意1. ビット7, 6, 5にはそれぞれ“0”, “1”, “1”を設定してください。それ以外の値を設定しないでください。

注意2. リセット解除後，WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。ただし，1回目の書き込み時に，WDCS4，WDCS3にそれぞれ“1”，“×”を設定しウォッチドッグ・タイマを停止した場合，次の内容を実行しても内部リセット信号は発生しません。

- WDTMへの2回目の書き込み
 - WDTEへの1ビット・メモリ操作命令実行
 - WDTEへの“ACH”以外の値の書き込み
3. WDTMは1ビット・メモリ操作命令では設定できません。
4. セルフ書き込みによるフラッシュ・セルフ・プログラミングを使用する場合，ウォッチドッグ・タイマのオーバフロー時間を十分に（例 1バイト書き込み：200 μ s以上，1ブロック消去：10 ms以上）取るように設定してください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

2. f_x : システム・クロック発振周波数

3. × : don't care

4. () 内は， $f_x = 10 \text{ MHz}$ 動作時， $f_{RL} = 480 \text{ kHz}$ (MAX.) 動作時

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により9AHになります。

図9-3 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス：FF49H リセット時：9AH R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注意1. WDTEに“ACH”以外の値を書き込んだ場合，内部リセット信号が発生します。

2. WDTEに1ビット・メモリ操作命令を実行した場合，内部リセット信号が発生します。

3. WDTEのリード値は，“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

9.4 ウォッチドッグ・タイマの動作

9.4.1 オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックは低速内蔵発振クロックに固定となります。

リセット解除後は、最大周期（ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のビット2, 1, 0（WDSC2, WDSC1, WDSC0） = 1, 1, 1）で動作を開始します。ウォッチドッグ・タイマの動作を停止することはできません。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。
 - ・動作クロック：低速内蔵発振クロック
 - ・周期： $2^{18} / f_{RL}$ （546.13 ms： $f_{RL} = 480$ kHz（MAX.）動作時）
 - ・カウント開始
2. ウォッチドッグ・タイマ・モード・レジスタ（WDTM）に次の内容を8ビット・メモリ操作命令で設定してください^{注1, 2}。
 - ・周期：ビット2-0（WDSC2- WDSC0）で設定
3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア（0）し、再カウントすることができます。

注1.動作クロック(低速内蔵発振クロック)を変更することはできません。WDTMのビット3, 4(WDSC3, WDSC4) にどんな値を書き込んでも無視されます。

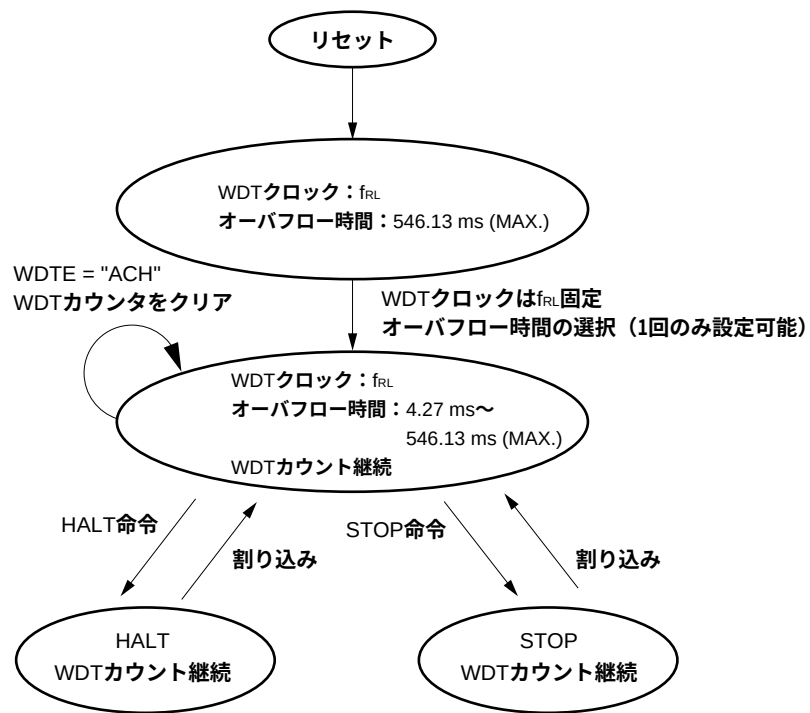
2. WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウンタはいったんクリアされます。

注意 このモードでは、STOP命令実行時でもウォッチドッグ・タイマの動作を停止できません。

8ビット・タイマH1（TMH1）はカウント・ソースに低速内蔵発振クロックの分周を選択できますので、STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTMH1の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号が発生します。

次に状態遷移図を示します。

図9-4 オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合の状態遷移図



9.4.2 オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックを低速内蔵発振クロックまたはシステム・クロックに選択できます。

リセット解除後は、低速内蔵発振クロックの最大周期（ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のビット2, 1, 0（WDCS2, WDCS1, WDCS0） = 1, 1, 1）で動作を開始します。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1. リセット解除時の状態は次のようになります。

- ・動作クロック：低速内蔵発振クロック
- ・周期： $2^{18} / f_{RL}$ （546.13 ms： $f_{RL} = 480$ kHz（MAX.）動作時）
- ・カウント開始

2. ウォッチドッグ・タイマ・モード・レジスタ（WDTM）に次の内容を8ビット・メモリ操作命令で設定してください^{※1, 2, 3}。

- ・動作クロック：ビット3, 4（WDCS3, WDCS4）で次のうちのいずれかを選択
 - 低速内蔵発振クロック（ f_{RL} ）
 - システム・クロック（ f_X ）
 - ウォッチドッグ・タイマ動作停止
- ・周期：ビット2-0（WDCS2- WDCS0）で設定

3. 以後、WDTEに“ACH”を書き込むことによりカウントをクリア（0）し、再カウントすることができます。

注1. WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウンタはいったんクリアされます。

2. ビット7, 6, 5にはそれぞれ“0”, “1”, “1”を設定してください。それ以外の値を設定しないでください。

3. 1回目の書き込み時に、WDCS4, WDCS3にそれぞれ“1”, “×”を設定しウォッチドッグ・タイマを停止した場合、次の内容を実行しても内部リセット信号は発生しません。

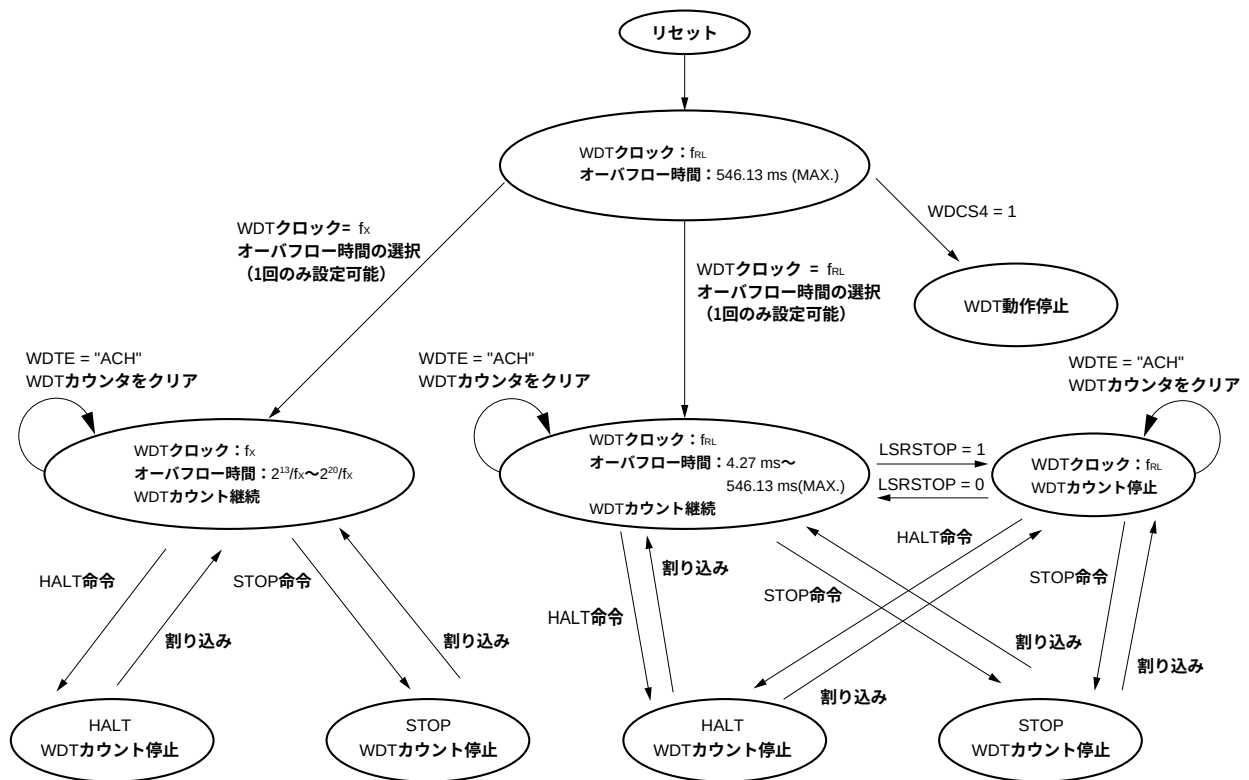
- ・WDTMへの2回目の書き込み
- ・WDTEへの1ビット・メモリ操作命令実行
- ・WDTEへの“ACH”以外の値の書き込み

注意 このモードでは、HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後、HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき、カウントはクリア（0）されず、値を保持します。

各状態におけるSTOPモードおよびHALTモード中のウォッチドッグ・タイマ動作については9.4.3 STOPモード時の動作、9.4.4 HALTモード時の動作を参照してください。

次に状態遷移図を示します。

図9-5 オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合の状態遷移図



9.4.3 STOPモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合）

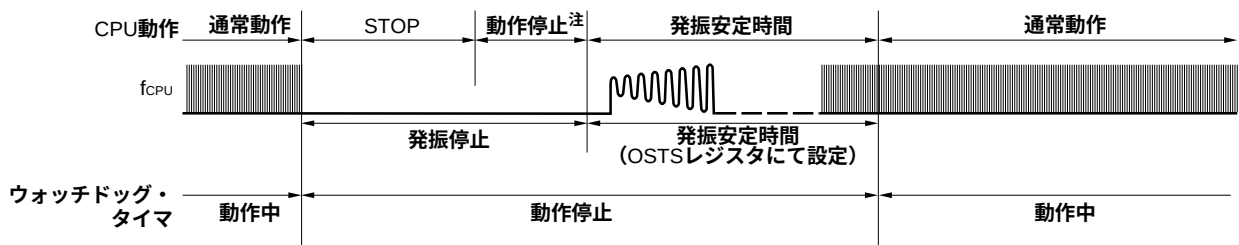
システム・クロック動作時，低速内蔵発振器動作時にかかわらず，STOP命令実行時にウォッチドッグ・タイマはカウントを停止します。

(1) STOP実行時のウォッチドッグ・タイマの動作クロックがシステム・クロック (f_x) の場合

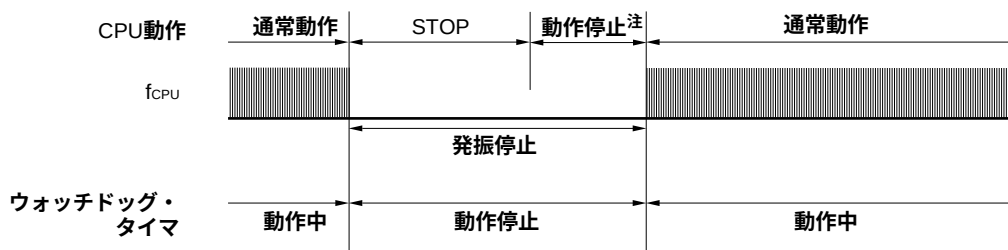
STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は， $34\ \mu\text{s}$ (TYP.)動作停止したあと（水晶／セラミック発振の場合は，動作停止後，発振安定時間選択レジスタ（OSTS）で設定した発振安定時間分ウェイトしたあと）に，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

図9-6 STOPモード時の動作（WDT動作クロック：システム・クロック）

① CPUクロック：水晶／セラミック発振クロック



② CPUクロック：高速内蔵発振クロックまたは外部クロック入力



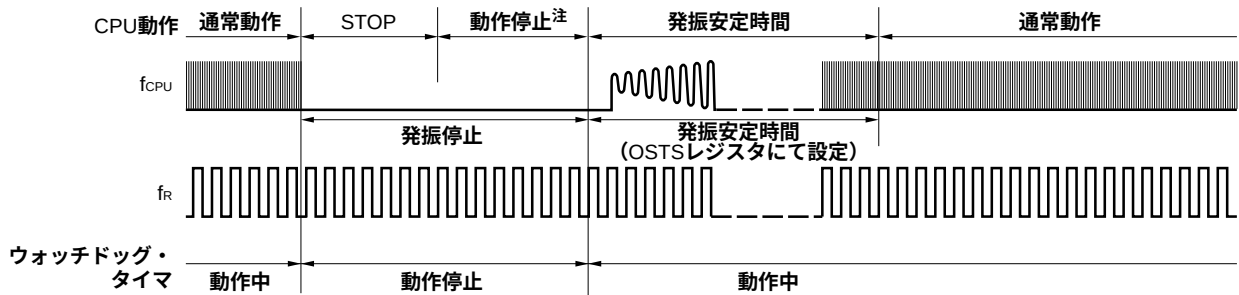
注 動作停止時間は， $17\ \mu\text{s}$ (MIN.) ， $34\ \mu\text{s}$ (TYP.) ， $67\ \mu\text{s}$ (MAX.) です。

(2) STOP実行時のウォッチドッグ・タイマの動作クロックが低速内蔵発振クロック (f_{RL}) の場合

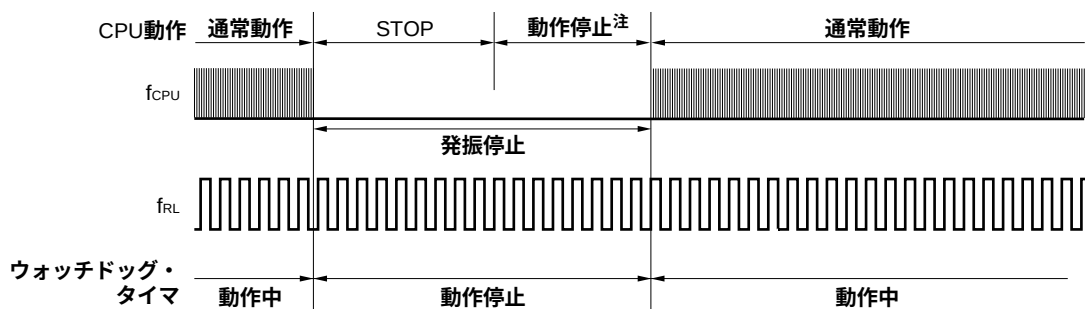
STOP命令実行時は、ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は、 $34\ \mu\text{s}$ (TYP.)動作停止したあとに、動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア(0)されず、値を保持します。

図9-7 STOPモード時の動作 (WDT動作クロック：低速内蔵発振クロック)

① CPUクロック：水晶／セラミック発振クロック



②CPU：高速内蔵発振クロックまたは外部クロック入力

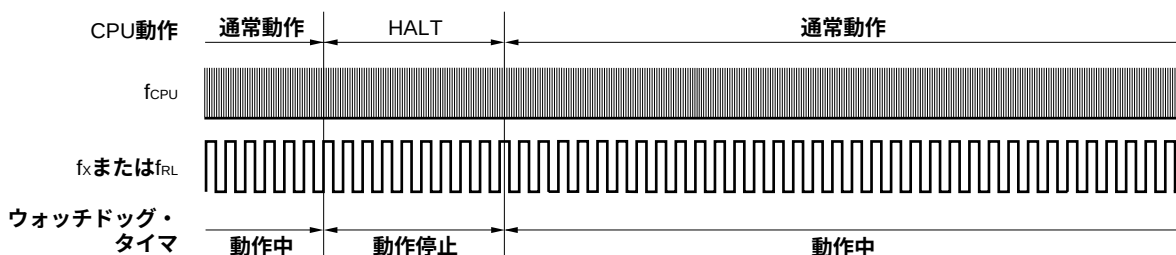


注 動作停止時間は、 $17\ \mu\text{s}$ (MIN.) , $34\ \mu\text{s}$ (TYP.) , $67\ \mu\text{s}$ (MAX.) です。

9. 4. 4 HALTモード時の動作 (オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合)

ウォッチドッグ・タイマの動作クロックがシステム・クロック (f_x) , 低速内蔵発振クロック (f_{RL}) にかかわらず、HALT命令実行時は、ウォッチドッグ・タイマの動作を停止します。HALTモード解除後は、動作停止前の動作クロックでカウントを再開します。このとき、カウンタはクリア(0)されず、値を保持します。

図9-8 HALTモード時の動作



第10章 A/Dコンバータ

10.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大4チャンネル（ANI0-ANI3）のアナログ入力を制御できる構成になっています。

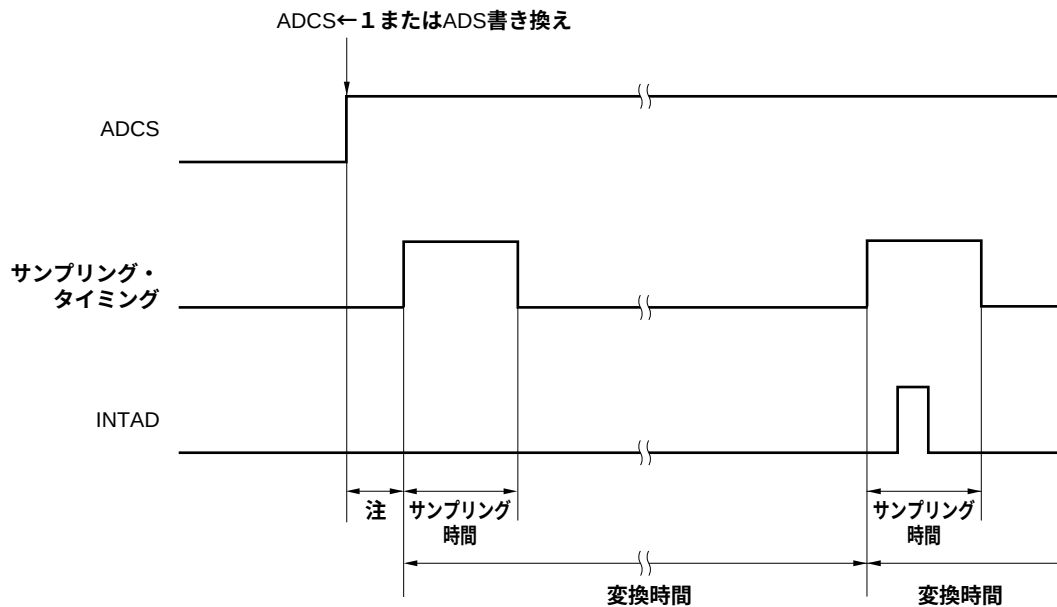
A/Dコンバータには、次のような機能があります。

・10ビット分解能A/D変換

アナログ入力をANI0-ANI3から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求（INTAD）が発生します。

サンプリングとA/D変換のタイミングを図10-1に、サンプリング時間とA/D変換時間を表10-1に示します。

図10-1 A/DコンバータのサンプリングとA/D変換のタイミング



注 ADCSの立ち上がりからサンプリング開始まで、2～3クロックが必要です。

表10-1 サンプルング時間とA/D変換時間

基準電圧範囲 ^{注1}	サンプリング時間 ^{注2}	変換時間 ^{注3}	f _{XP} = 8 MHz		f _{XP} = 10 MHz		FR2	FR1	FR0
			サンプリング時間 ^{注2}	変換時間 ^{注3}	サンプリング時間 ^{注2}	変換時間 ^{注3}			
AV _{REF} ≥ 4.5 V	12/f _{XP}	36/f _{XP}	1.5 μs	4.5 μs	1.2 μs	3.6 μs	0	0	0
AV _{REF} ≥ 4.0 V	24/f _{XP}	72/f _{XP}	3.0 μs	9.0 μs	2.4 μs	7.2 μs	1	0	0
AV _{REF} ≥ 2.85 V	96/f _{XP}	144/f _{XP}	12.0 μs	18.0 μs	9.6 μs	14.4 μs	1	1	0
	48/f _{XP}	96/f _{XP}	6.0 μs	12.0 μs	4.8 μs	9.6 μs	1	0	1
	48/f _{XP}	72/f _{XP}	6.0 μs	9.0 μs	4.8 μs	7.2 μs	0	1	0
	24/f _{XP}	48/f _{XP}	3.0 μs	6.0 μs	設定禁止 ^{注4} (2.4 μs)	設定禁止 ^{注4} (4.8 μs)	0	0	1
AV _{REF} ≥ 2.7 V	176/f _{XP}	224/f _{XP}	22.0 μs	28.0 μs	17.6 μs	22.4 μs	1	1	1
	88/f _{XP}	112/f _{XP}	11.0 μs	14.0 μs	設定禁止 ^{注4} (8.8 μs)	設定禁止 ^{注4} (11.2 μs)	0	1	1

注1. 基準電圧範囲に応じて、下記の注2と注3の条件を満たすように、FR2, FR1, FR0を設定する必要があります。

例 AV_{REF} ≥ 2.7 V, f_{XP} = 8 MHzの場合

- サンプルング時間は11.0 μs以上、A/D変換時間は14.0 μs以上100 μs未満
- FR2, FR1, FR0 = 0, 1, 1または1, 1, 1を設定

2. サンプルング時間が次の時間になるように設定してください。

- AV_{REF} ≥ 4.5 V : 1.0 μs以上
- AV_{REF} ≥ 4.0 V : 2.4 μs以上
- AV_{REF} ≥ 2.85 V : 3.0 μs以上
- AV_{REF} ≥ 2.7 V : 11.0 μs以上

3. A/D変換時間が次の時間になるように設定してください。

- AV_{REF} ≥ 4.5 V : 3.0 μs以上100 μs未満
- AV_{REF} ≥ 4.0 V : 4.8 μs以上100 μs未満
- AV_{REF} ≥ 2.85 V : 6.0 μs以上100 μs未満
- AV_{REF} ≥ 2.7 V : 14.0 μs以上100 μs未満

4. 注2, 注3に示した条件を満たしていないため、設定禁止となっています。

注意 上記のサンプルング時間および変換時間は、クロック周波数の誤差を含んでいません。クロック周波数の誤差を考慮して、注2, 3の条件を満たすサンプルング時間および変換時間を選択してください（高速内蔵発振器使用時は、最大±5%の誤差）。

備考1. f_{XP}：周辺ハードウェアへのクロックの発振周波数

2. 変換時間は、サンプリング時間と、サンプリング値を逐次比較し変換結果が出力されるまでの時間の合計です。

(5) 逐次変換レジスタ (SAR)

サンプリングされたアナログ電圧値とD/Aコンバータからの電圧値を比較し、その結果を最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までディジタル値に変換すると (A/D変換終了), SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を下位10ビットに保持します (上位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換が終了した場合、INTADが発生します。

(9) AV_{REF}端子

A/Dコンバータのアナログ電源端子／基準電圧を入力する端子です。A/Dコンバータを使用しない場合は、V_{DD}に接続してください。

AV_{REF}, V_{SS}間にかかる電圧に基づいて、ANI0-ANI3に入力される信号をディジタル信号に変換します。

(10) V_{SS}端子

グランド電位端子です。

V_{SS}はA/Dコンバータのグランド電位と兼用しています。V_{SS}を必ず安定しているGND (= 0 V) に接続してください。

(11) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。

(12) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(13) ポート・モード・コントロール・レジスタ2 (PMC2)

P20/ANI0-P23/ANI3をA/Dコンバータのアナログ入力として使用するときを設定するレジスタです。

10.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の6種類のレジスタを使用します。

- A/Dコンバータ・モード・レジスタ (ADM)
- アナログ入力チャネル指定レジスタ (ADS)
- 10ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- ポート・モード・コントロール・レジスタ2 (PMC2)
- ポート・モード・レジスタ2 (PM2)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM	ADCS	0	FR2	FR1	FR0	0	0	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1 ^{注1}	変換動作開始

FR2	FR1	FR0	基準 電圧 範囲 ^{注2}	サンプ リング 時間 ^{注3}	変換 時間 ^{注4}	f _{XP} = 8 MHz		f _{XP} = 10 MHz	
						サンプ リング 時間 ^{注3}	変換 時間 ^{注4}	サンプ リング 時間 ^{注3}	変換 時間 ^{注4}
0	0	0	AVREF ≥ 4.5 V	12/f _{XP}	36/f _{XP}	1.5 μs	4.5 μs	1.2 μs	3.6 μs
1	0	0	AVREF ≥ 4.0 V	24/f _{XP}	72/f _{XP}	3.0 μs	9.0 μs	2.4 μs	7.2 μs
1	1	0	AVREF ≥ 2.85 V	96/f _{XP}	144/f _{XP}	12.0 μs	18.0 μs	9.6 μs	14.4 μs
1	0	1		48/f _{XP}	96/f _{XP}	6.0 μs	12.0 μs	4.8 μs	9.6 μs
0	1	0		48/f _{XP}	72/f _{XP}	6.0 μs	9.0 μs	4.8 μs	7.2 μs
0	0	1		24/f _{XP}	48/f _{XP}	3.0 μs	6.0 μs	設定 禁止 ^{注5} (2.4 μs)	設定 禁止 ^{注5} (4.8 μs)
1	1	1	AVREF ≥ 2.7 V	176/f _{XP}	224/f _{XP}	22.0 μs	28.0 μs	17.6 μs	22.4 μs
0	1	1		88/f _{XP}	112/f _{XP}	11.0 μs	14.0 μs	設定 禁止 ^{注5} (8.8 μs)	設定 禁止 ^{注5} (11.2 μs)

ADCE	コンパレータの動作制御 ^{注6}
0 ^{注1}	コンパレータの動作停止
1	コンパレータの動作許可

備考1. f_{XP}：周辺ハードウェアへのクロックの発振周波数

2. 変換時間は、サンプリング時間と、サンプリング値を逐次比較し変換結果が出力されるまでの時間の合計です。

注1. ADCE = 0 (コンパレータ動作停止) 時の場合でも、ADCSに1を設定するとA/D変換動作を開始します。
ただし、最初の変換データは、保証値の範囲外のため、無視してください。

注2. 基準電圧範囲に応じて、下記の注2と注3の条件を満たすように、FR2, FR1, FR0を設定する必要があります。

例 $AV_{REF} \geq 2.7\text{ V}$, $f_{XP} = 8\text{ MHz}$ の場合

- ・サンプリング時間は $11.0\text{ }\mu\text{s}$ 以上、A/D変換時間は $14.0\text{ }\mu\text{s}$ 以上 $100\text{ }\mu\text{s}$ 未満
- ・FR2, FR1, FR0 = 0, 1, 1または1, 1, 1を設定

3. サンプリング時間が次の時間になるように設定してください。

- ・ $AV_{REF} \geq 4.5\text{ V}$: $1.0\text{ }\mu\text{s}$ 以上
- ・ $AV_{REF} \geq 4.0\text{ V}$: $2.4\text{ }\mu\text{s}$ 以上
- ・ $AV_{REF} \geq 2.85\text{ V}$: $3.0\text{ }\mu\text{s}$ 以上
- ・ $AV_{REF} \geq 2.7\text{ V}$: $11.0\text{ }\mu\text{s}$ 以上

4. A/D変換時間が次の時間になるように設定してください。

- ・ $AV_{REF} \geq 4.5\text{ V}$: $3.0\text{ }\mu\text{s}$ 以上 $100\text{ }\mu\text{s}$ 未満
- ・ $AV_{REF} \geq 4.0\text{ V}$: $4.8\text{ }\mu\text{s}$ 以上 $100\text{ }\mu\text{s}$ 未満
- ・ $AV_{REF} \geq 2.85\text{ V}$: $6.0\text{ }\mu\text{s}$ 以上 $100\text{ }\mu\text{s}$ 未満
- ・ $AV_{REF} \geq 2.7\text{ V}$: $14.0\text{ }\mu\text{s}$ 以上 $100\text{ }\mu\text{s}$ 未満

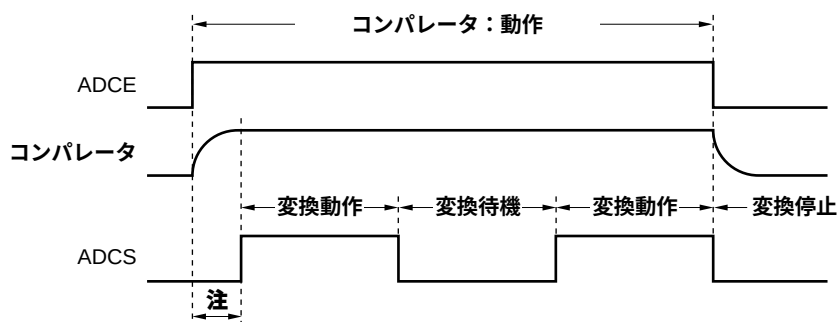
5. 注3, 注4に示した条件を満たしていないため、設定禁止となっています。

6. コンパレータは、ADCSとADCEで動作制御され、動作開始から安定するまでに、 $1\text{ }\mu\text{s}$ かかります。このため、ADCEに1を設定してから $1\text{ }\mu\text{s}$ 以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。 $1\text{ }\mu\text{s}$ 以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表10-2 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（コンパレータのみ電力を消費）
1	x	変換モード

図10-4 コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりからADCSの立ち上がりまでの時間は、内部回路安定のため $1\text{ }\mu\text{s}$ 以上必要です。

注意1. 前述のサンプリング時間および変換時間は、クロック周波数の誤差を含んでいません。クロック周波数の誤差を考慮して、注3, 4の条件を満たすサンプリング時間および変換時間を選択してください（高速内蔵発振器使用時は、最大 $\pm 5\%$ の誤差）。

2. A/D変換停止（ADCS = 0）状態でADMのADCS以外のビットを操作したあとに、A/D変換開始する場合、NOP命令を2つまたは2マシン・サイクル相当の命令を実行してから、ADCSを1に設定してください。

注意3. FR0-FR2を書き換える場合は、いったんA/D変換動作を停止（ADCS = 0）させたのちに行ってください。

4. ビット6, 2, 1には、必ず0を設定してください。

(2) アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-5 アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	0	ADS1	ADS0

ADS1	ADS0	アナログ入力チャネルの指定
0	0	ANI0
0	1	ANI1
1	0	ANI2
1	1	ANI3

注意 ビット2-7には必ず0を設定してください。

(3) 10ビットA/D変換結果レジスタ（ADCR）

A/D変換結果を保持する16ビットのレジスタです。上位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCRにはFF19Hのビット1から順に格納されます。FF19Hには変換結果の上位2ビットが、FF18Hには変換結果の下位8ビットが入ります。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、不定になります。

図10-6 10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FF18H, FF19H リセット値：不定 R

略号	FF19H						FF18H									
ADCR	0	0	0	0	0	0										

注意 A/Dコンバータ・モード・レジスタ（ADM）、アナログ入力チャネル指定レジスタ（ADS）に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(4) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、不定になります。

図10-7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス：FF1AH リセット時：不定 R

略号	7	6	5	4	3	2	1	0
ADCRH								

(5) ポート・モード・コントロール・レジスタ2 (PMC2) , ポート・モード・レジスタ2 (PM2)

P20/ANI0-P23/ANI3端子をアナログ入力として使用するとき、PMC20-PMC23およびPM20-PM23にそれぞれ1を設定してください。このときP20-P23の出力ラッチは、0または1のどちらでもかまいません。

PMC2とPM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PMC2は00Hに、PM2はFFHになります。

図10-8 ポート・モード・コントロール・レジスタ2 (PMC2) のフォーマット

アドレス：FF84H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMC2	0	0	0	0	PMC23	PMC22	PMC21	PMC20

PMC2n	動作モードの指定 (n = 0-3)
0	ポート・モード
1	A/Dコンバータ・モード

注意 PMC20-PMC23に1を設定した場合、P20/ANI0-P23/ANI3端子をポート機能として使用できません。

また、A/Dコンバータ・モードに設定した端子のプルアップ抵抗オプション・レジスタ (PU20-PU23) は、必ず0を設定してください。

図10-9 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	1	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

10.4 A/Dコンバータの動作

10.4.1 A/Dコンバータの基本動作

- ① ADCEをセット (1) してください。
- ② A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択し、FR2-FR0で変換時間を選択してください。
- ③ NOP命令を2つまたは2マシン・サイクル相当の命令を実行してください。
- ④ ADCSをセット (1) し、変換動作を開始します。
(⑤から⑪までハードウェアでの動作)
- ⑤ 選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ⑥ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力したアナログ電圧をA/D変換が終了するまで保持します。
- ⑦ 逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトはD/Aコンバータの電圧タップを (1/2) AV_{REF} にします。
- ⑧ D/Aコンバータの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力が (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。
- ⑨ 次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すようにD/Aコンバータの電圧タップを選択します。
 - ・ビット9 = 1 : (3/4) AV_{REF}
 - ・ビット9 = 0 : (1/4) AV_{REF}
 この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8を次のように操作します。
 - ・アナログ入力電圧 $\geq$ 電圧タップ : ビット8 = 1
 - ・アナログ入力電圧 < 電圧タップ : ビット8 = 0
- ⑩ このような比較をSARのビット0まで続けます。
- ⑪ 10ビットの比較が終了したとき、SARには有効なデジタルの結果が残し、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。
同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。
- ⑫ 以降⑤から⑪までの動作をADCS = 0になるまで繰り返します。
A/Dコンバータを停止する場合は、ADCS = 0にしてください。
ADCE = 1の状態から、再度A/D変換する場合は、③から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、①から開始 (チャンネルと変換時間を変更しない場合は、②を省略) してください。

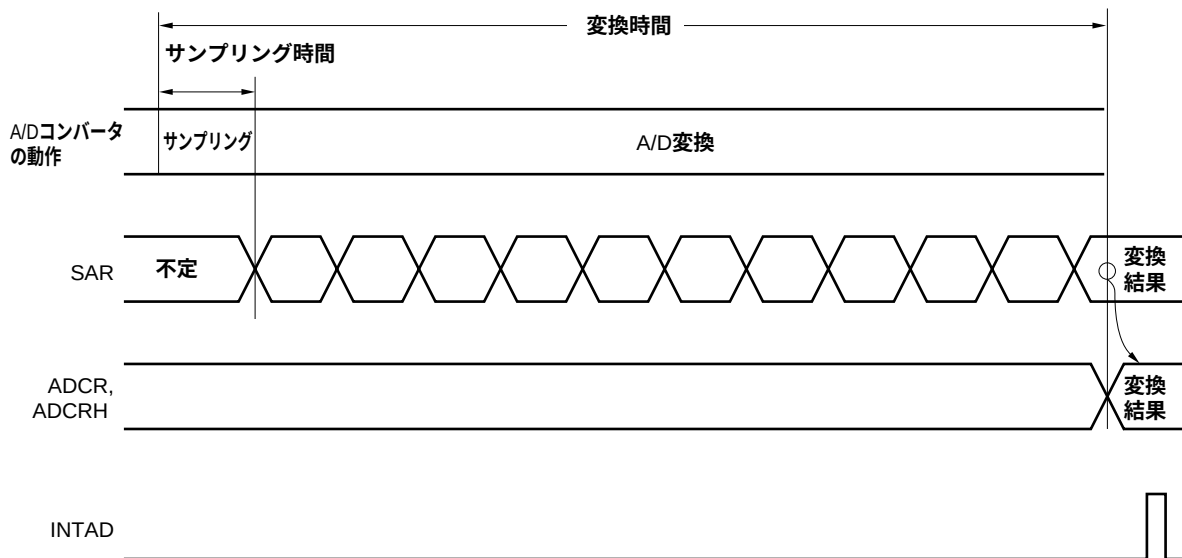
注意1. ①から④までの間は1 μ s以上空けてください。

2. ①と②の順番が逆でも問題ありません。

備考 A/D変換結果レジスタは2種類あります。

- ・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図10-10 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）をリセット（0）するまで連続的に行われます。

A/D変換動作中に、ADM、アナログ入力チャネル指定レジスタ（ADS）のいずれかに対して書き込み操作を行うと変換動作は初期化され、ADCSビットがセット（1）されていれば、最初から変換を開始します。

A/D変換結果レジスタ（ADCR, ADCRH）は、リセット信号の発生により不定となります。

10.4.2 入力電圧と変換結果

アナログ入力端子（ANI0-ANI3）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$\text{ADCR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

または,

$$(ADCR-0.5) \times \frac{AV_{REF}}{1024} \leq V_{AIN} < (ADCR+0.5) \times \frac{AV_{REF}}{1024}$$

INT () : () 内の値の整数部を返す関数

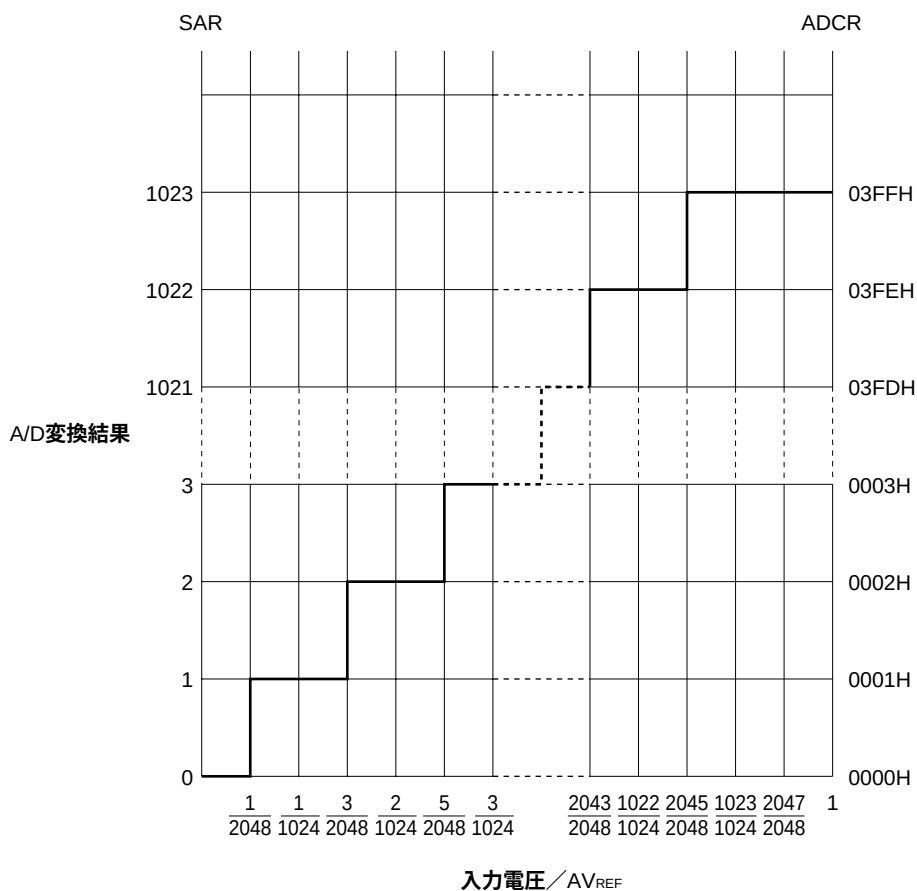
V_{AIN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : 10ビットA/D変換結果レジスタ (ADCR) の値

図10-11にアナログ入力電圧とA/D変換結果の関係を示します。

図10-11 アナログ入力電圧とA/D変換結果の関係



10.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャネル指定レジスタ(ADS)によってANI0-ANI3からアナログ入力を1チャネル選択し、A/D変換を行います。

(1) A/D変換動作

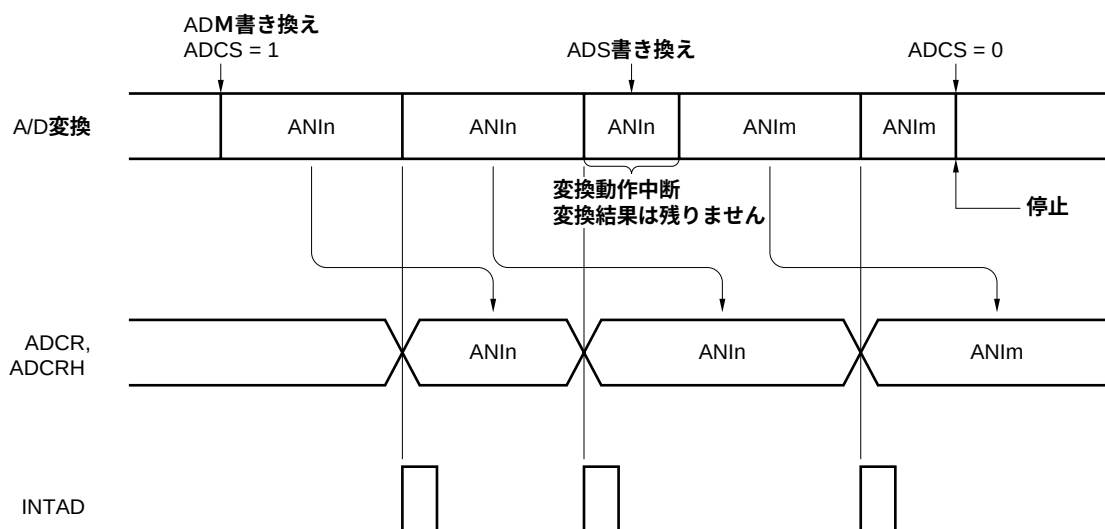
A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)に1を設定することにより、アナログ入力チャネル指定レジスタ(ADS)で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、割り込み要求信号(INTAD)を発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADSに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、ADM, ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき変換結果は不定となります。

図10-12 A/D変換動作



備考1. n = 0-3

2. m = 0-3

次に設定方法を説明します。

- ① A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)
- ② アナログ入力チャネル指定レジスタ (ADS) のビット1, 0 (ADS1, ADS0) とADMのビット5-3 (FR2-FR0) で、チャネルと変換時間を選択
- ③ NOP命令を2つまたは2マシン・サイクル相当の命令を実行
- ④ ADMのビット7 (ADCS) をセット (1) し、A/D変換動作開始
- ⑤ 割り込み要求信号 (INTAD) 発生
- ⑥ A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

＜チャネルを変更する＞

- ⑦ ADSのビット1, 0 (ADS1, ADS0) で、チャネルを変更し、A/D変換動作開始
- ⑧ 割り込み要求信号 (INTAD) 発生
- ⑨ A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

＜A/D変換を終了する＞

- ⑩ ADCSをクリア (0)
- ⑪ ADCEをクリア (0)

注意1. ①から④までの間は1 μ s以上空けてください。

2. ①と②の順番が逆でも問題ありません。

3. ①は省略可能です。ただし、この場合には④のあとの、最初の変換データは無視してください。

4. ⑤から⑧までの時間は、ADMのビット5-3 (FR2-FR0) で設定した変換時間とは異なります。

⑦から⑧までの時間が、FR2-FR0で設定した変換時間となります。

10.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図10-13 総合誤差

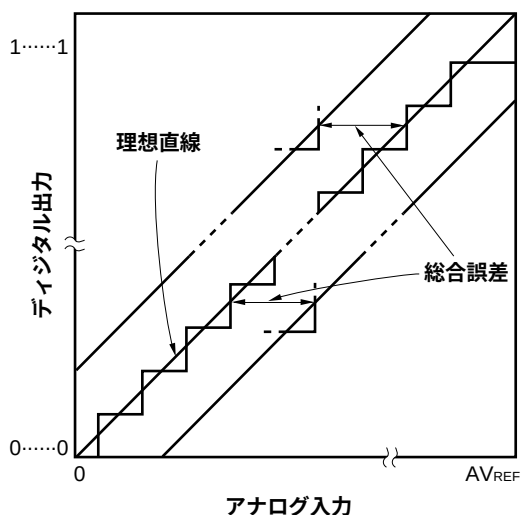
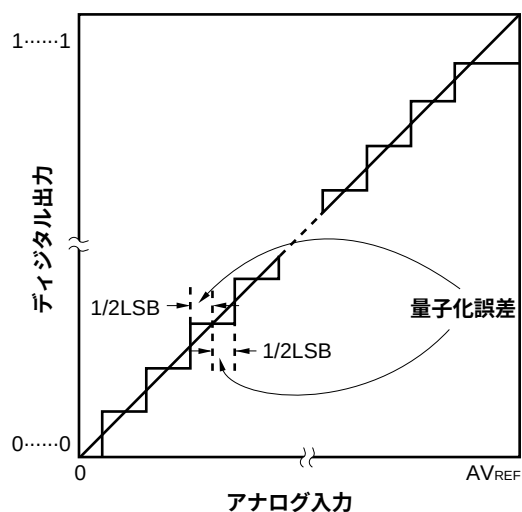


図10-14 量子化誤差



(4) ゼロスケール誤差

ディジタル出力が0………000から0………001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。実測値が理論値よりも大きい場合は、ディジタル出力が0………001から0………010に変化するときの、アナログ入力電圧の実測値と理論値 ($3/2$ LSB) との差を表します。

(5) フルスケール誤差

ディジタル出力が1………110から1………111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール $-3/2$ LSB) との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図10-15 ゼロスケール誤差

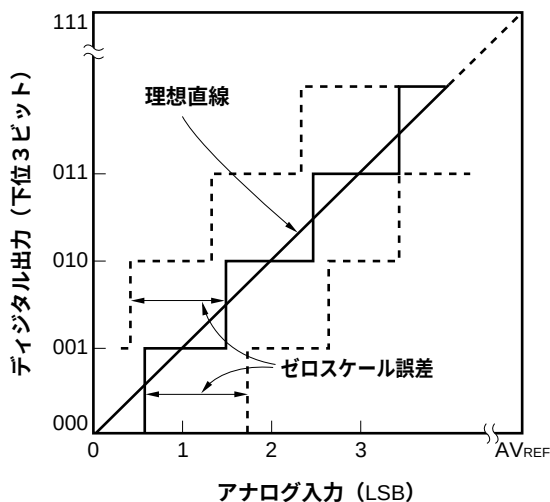


図10-16 フルスケール誤差

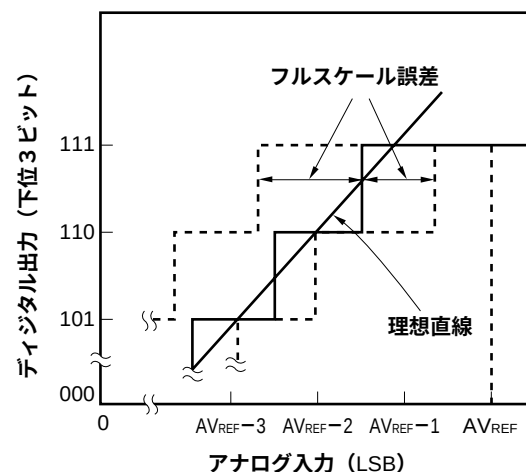


図10-17 積分直線性誤差

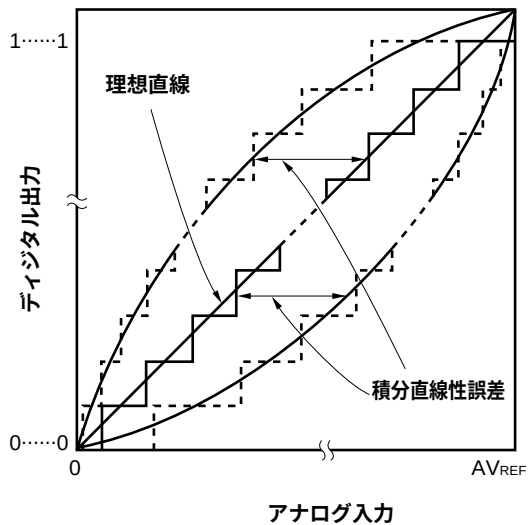
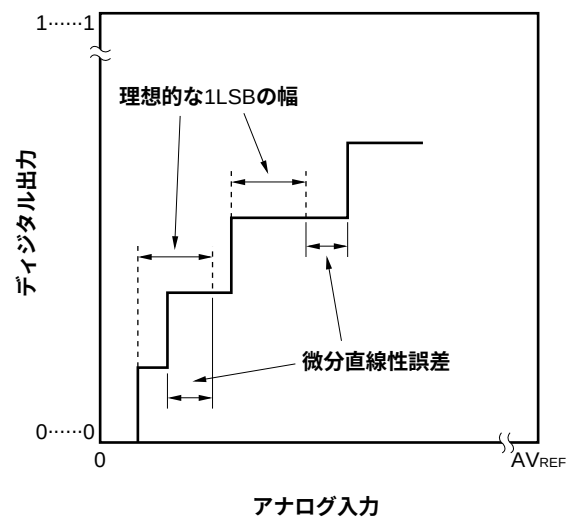


図10-18 微分直線性誤差

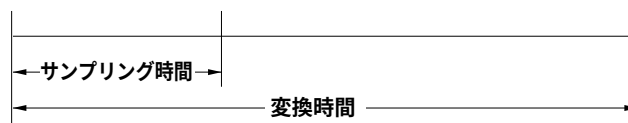
**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.6 A/Dコンバータの注意事項

(1) STOPモード時の電源電流について

STOPモード時の電源電流のDC特性を満たすためには、STOP命令を実行する前にA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0に設定してください。

(2) ANI0-ANI3入力範囲について

ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 V_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

② 変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、またはアナログ入力チャンネル指定レジスタ (ADS) ライトの競合

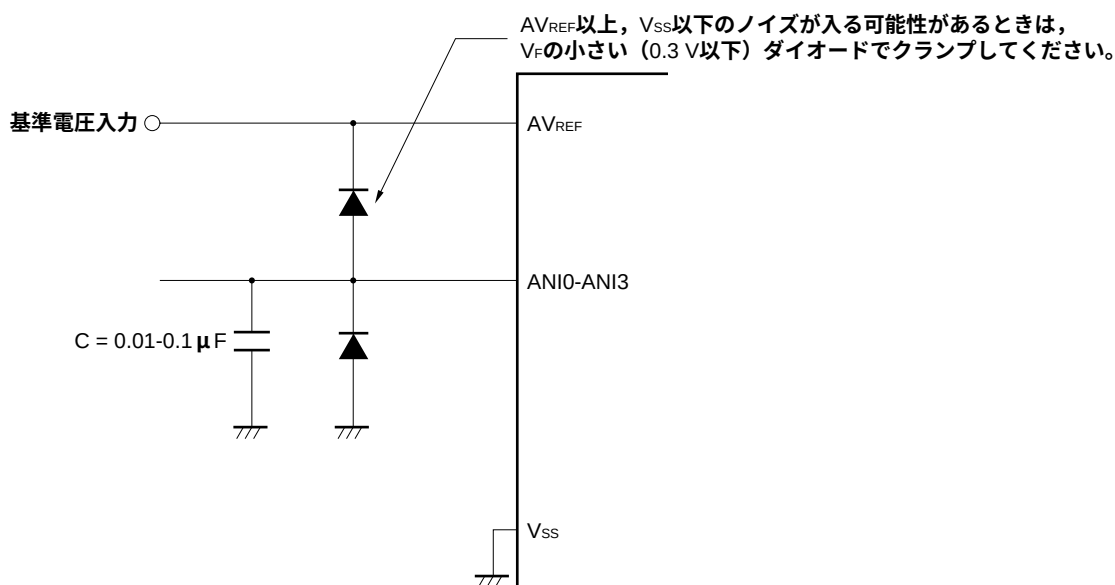
ADMまたはADSへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、次のように AV_{REF} 、ANI0-ANI3端子へのノイズに注意する必要があります。

- ① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。
- ② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10-19のようにCを外付けすることを推奨します。
- ③ 変換中においては、他の端子とスイッチングしないようにしてください。
- ④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図10-19 アナログ入力端子の処理



(5) ANI0/P20-ANI3/P23

- ① アナログ入力（ANI0-ANI3）端子は入出力ポート（P20-P23）端子と兼用になっています。

ANI0-ANI3のいずれかを選択してA/D変換をする場合、変換中にP20-P23に対してアクセスしないでください。変換分解能が低下することがあります。

- ② A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI0-ANI3端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とサンプリング以外の状態で変動します。

基準電圧値における最速の変換時間を使用する場合、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 kΩ以下にし、出力インピーダンスが高いときはANI0-ANI3端子に0.01 μF～0.1 μF程度のコンデンサを付けることを推奨します（図10-19参照）。

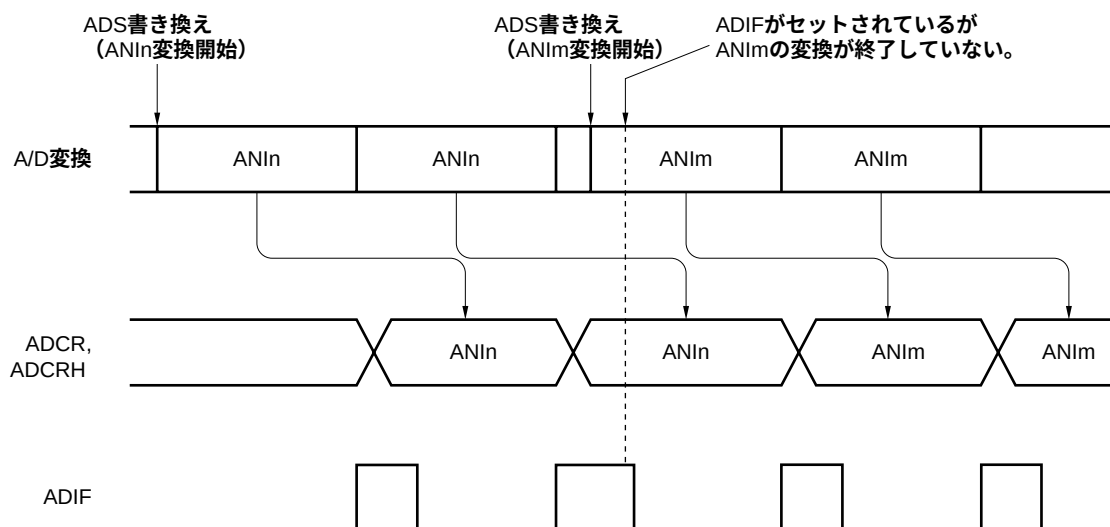
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることになりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図10-20 A/D変換終了割り込み要求発生タイミング



備考1. $n = 0-3$

2. $m = 0-3$

(8) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(10) 変換待機モード時の動作電流について

A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に0, ビット0 (ADCE) に1を設定している場合は, 変換待機モード (コンパレータのみ電力を消費) のため, STOPモード時における動作電流のDC特性を満たしません。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10-21 ANIn端子内部等価回路

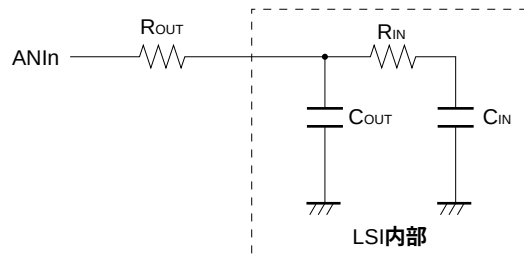


表10-3 等価回路の各抵抗と容量値 (参考値)

AV_{REF}	R_{OUT}	R_{IN}	C_{OUT}	C_{IN}
$4.5\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	1 k Ω	3 k Ω	8 pF	15 pF
$2.7\text{ V} \leq AV_{REF} < 4.5\text{ V}$	1 k Ω	60 k Ω	8 pF	15 pF

備考1. 表10-3の各抵抗と容量値は保証値ではありません。

2. $n = 0-3$

3. R_{OUT} : 許容信号源インピーダンス

R_{IN} : アナログ入力等価抵抗

C_{OUT} : 内部端子容量

C_{IN} : アナログ入力等価容量

第11章 シリアル・インタフェースUART6

11.1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については11.4.1 動作停止モードを参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) - bus対応のUARTモードです。機能の概要を次に示します。

詳細については11.4.2 アシクロナス・シリアル・インタフェース (UART) モード、11.4.3 専用ボー・レート・ジェネレータを参照してください。

- ・2端子構成 TxD6：送信データの出力端子
RxD6：受信データの入力端子
- ・通信データのデータ長は7ビット／8ビット可変
- ・専用の8ビット・ボー・レート・ジェネレータを内蔵していることにより、任意のボー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビットから20ビットまで選択可能
- ・シンク・ブレイク・フィールド受信が11ビット以上識別可能 (SBF受信フラグあり)

注意1. TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。

2. シリアル・インタフェースUART6への供給クロックが停止しない場合（例：HALTモード）では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合（例：STOPモード）では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後は回路をリセットするために、POWER6 = 0, RXE6 = 0, TXE6 = 0に設定してください。
3. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが、通常よりUART6の基本クロック (f_{XCLK6}) の2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

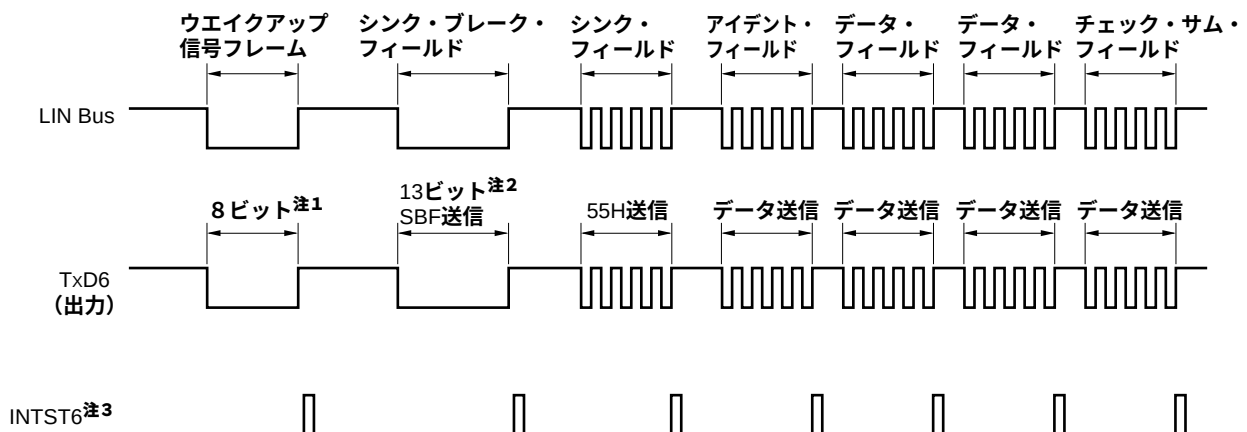
LINのマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。マスタとスレーブのボー・レート誤差が±15 %以下であれば、補正可能です。

LINの送信操作と受信操作の概略を、図11-1、11-2に示します。

図11-1 LINの送信操作



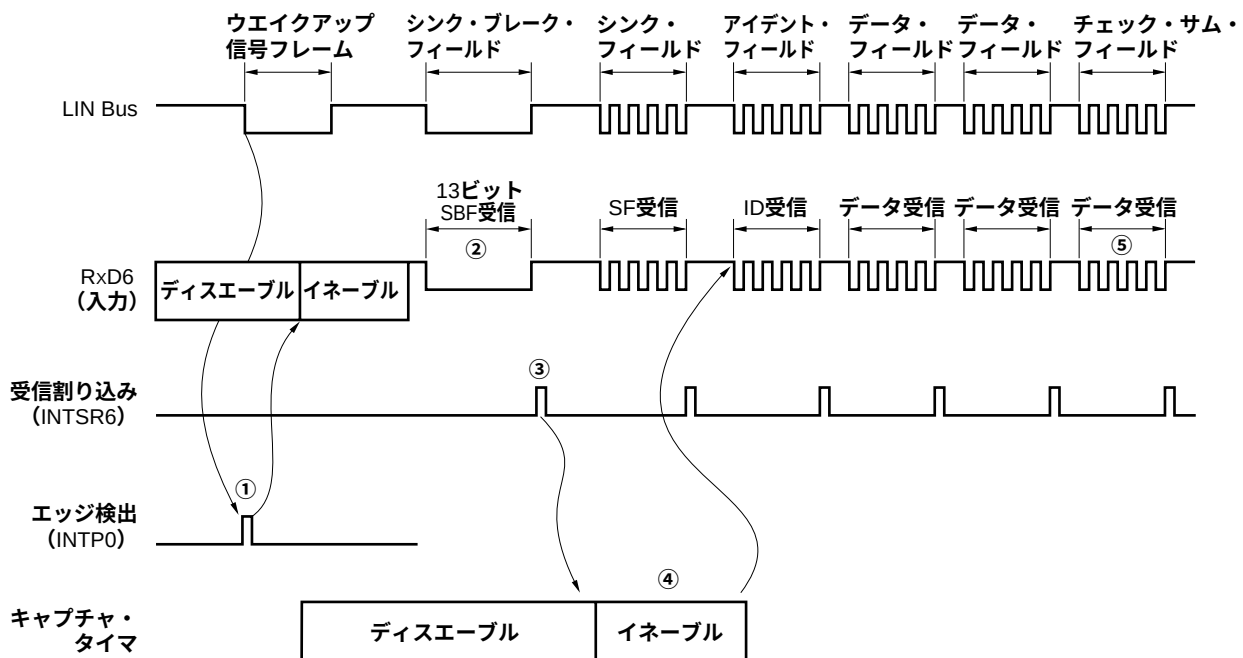
注1. ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット4-2（SBL62-SBL60）で設定したビット長になります（11.4.2（2）（h）SBF送信を参照）。

3. 各送信終了時にはINTST6を出力します。またSBF送信時もINTST6を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図11-2 LINの受信操作



受信処理の流れを次に示します。

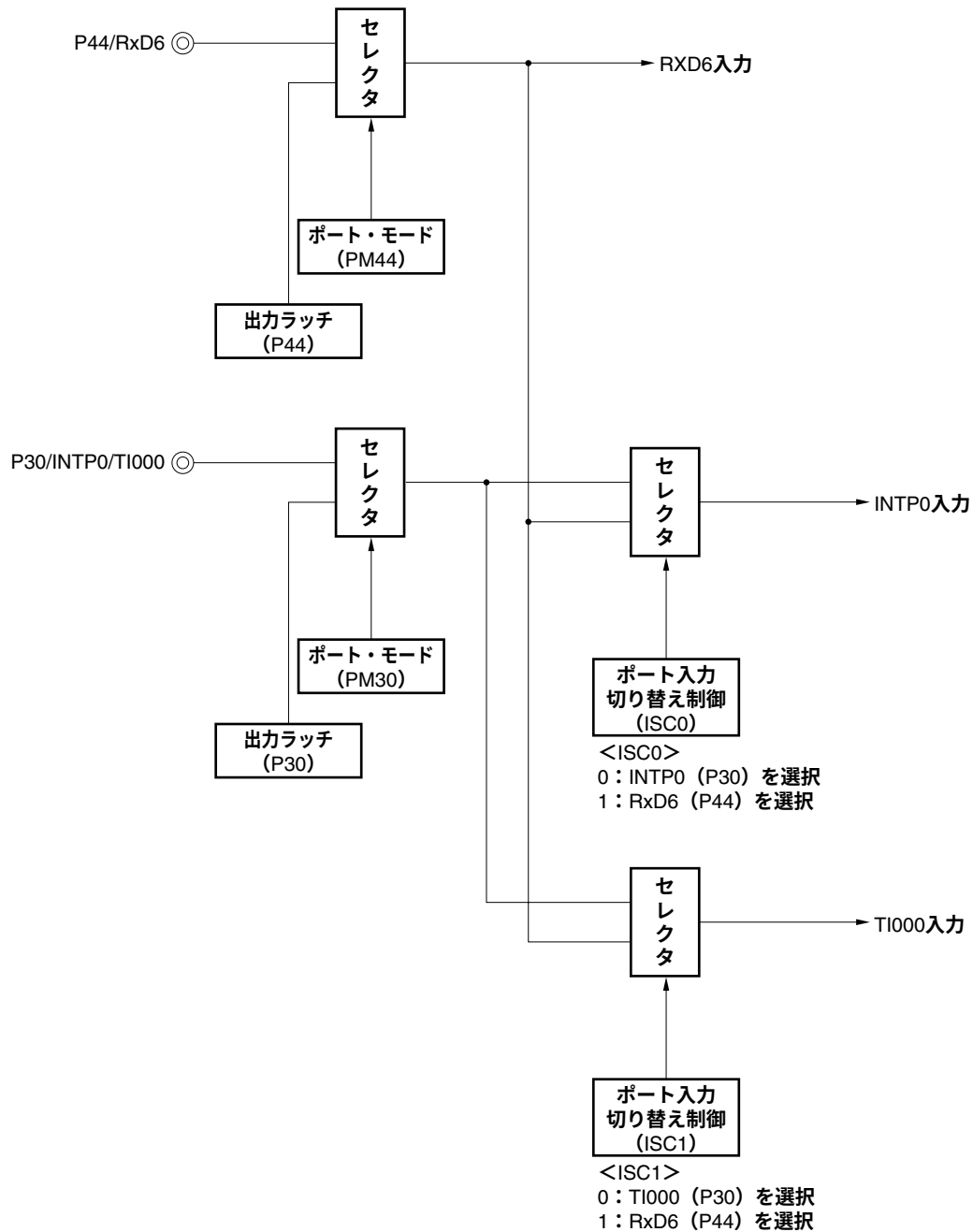
- ① ウェイクアップ信号の検出は、端子のエッジ検出で行います。ウェイクアップ信号により、UART6をイネーブルし、SBF受信モードに設定します。
- ② STOPビットの検出まで受信動作を行います。SBFで11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み要求信号を出力します。SBFで11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み要求信号を出力せずにSBF受信モードに戻ります。
- ③ SBF受信を正常終了した場合、割り込み要求信号を出力します。SBF受信完了割り込み処理で16ビット・タイマ／イベント・カウンタ00を起動し、シンク・フィールドのビット間隔（パルス幅）を測定してください（6.4.3 パルス幅測定としての動作を参照）。またOVE6, PE6, FE6の各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。
- ④ シンク・フィールドのビット間隔からボー・レート誤差を算出し、SF受信後にUART6のイネーブルを落としてからボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）を再セットしてください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。受信データのチェック・サム・フィールドの判定後にUART6を初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

図11-3は、LINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み (INTP0) のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ／イベント・カウンタ00の外部イベント・キャプチャ動作で計測し、ボー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC0/ISC1) により、外部でRxD6とINTP0、TI000の結線をせずに、受信用ポート入力 (RxD6) の入力信号を外部割り込み (INTP0) および16ビット・タイマ／イベント・カウンタ00へ入力することができます。

図11-3 LINの受信操作のポート構成図



備考 ISC0, ISC1: 入力切り替え制御レジスタ (ISC) のビット0, 1 (図11-11参照)

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み（INTP0）；ウエイクアップ信号検出

用途：ウエイクアップ信号のエッジを検出し，通信開始を検出

- ・16ビット・タイマ／イベント・カウンタ00（TI000）；ボー・レート誤差検出

用途：シンク・フィールド（SF）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（TI000
入力エッジの間隔をキャプチャ・モードで測定）

- ・シリアル・インタフェースUART6

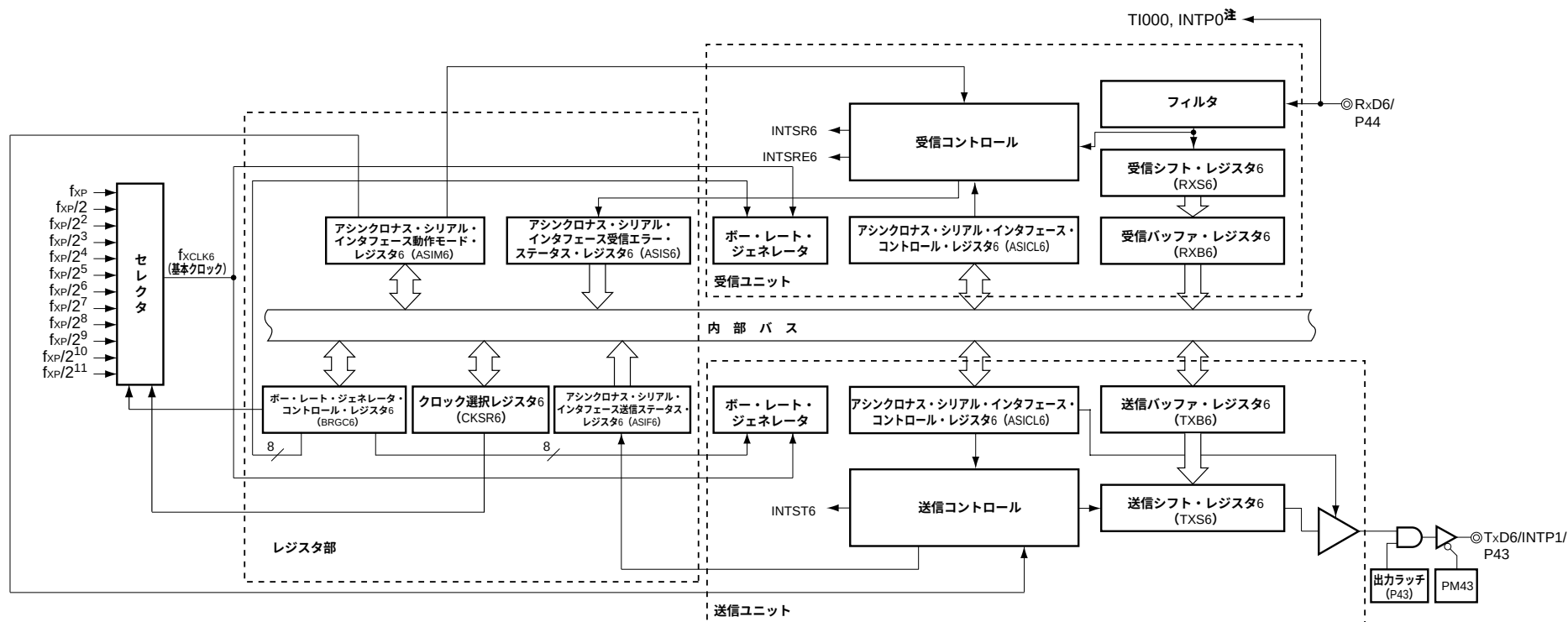
11.2 シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は、次のハードウェアで構成しています。

表11-1 シリアル・インタフェースUART6の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6 (RXB6) 受信シフト・レジスタ6 (RXS6) 送信バッファ・レジスタ6 (TXB6) 送信シフト・レジスタ6 (TXS6)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) クロック選択レジスタ6 (CKSR6) ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ4 (PM4) ポート・レジスタ4 (P4)

図11-4 シリアル・インタフェースUART6のブロック図



注 入力切り替え制御レジスタ (ISC) にて選択可能。

(1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとにRXS6から新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・LSBファースト受信時では、受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。

- ・MSBファースト受信時では、受信データはRXB6のビット7-1に転送され、RXB6のLSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

注意 RXE6 = 1に設定したあと、基本クロック (f_{XCLK6}) 1クロック経過後に、受信許可状態になります。

(2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

データ長を7ビットに指定した場合は次のようになります。

- ・LSBファースト送信時では、TXB6のビット0-6が転送され、TXB6のMSBは送信されません。

- ・MSBファースト送信時では、TXB6のビット7-1が転送され、TXB6のLSBは送信されません。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

注意1. 送信を開始する場合は、TXE6 = 1に設定したあと、基本クロック (f_{XCLK6}) 1クロック以上待ってから、TXB6に送信データを書き込んでください。

2. アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。

3. 通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1 / ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。連続送信で同値を出力する場合は、必ずTXBF6が0であることを確認してから、TXB6に同値を書き込んでください。

(4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロック (f_{XCLK6}) の立ち下がりタイミングで行われます。

TXS6はプログラムで直接操作できません。

11.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の9種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ4 (PM4)
- ・ポート・レジスタ4 (P4)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

備考 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1 / ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでASIM6へのリフレッシュ (同値書き込み) 動作を行うことができます。

図11-5 アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2)

アドレス：FF90H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可／禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1 ^{注3}	内部動作クロックの動作許可

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルになり、RxD6端子からの入力
はハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

3. POWER6ビットに1を設定し、基本クロック (f_{XCLK6}) が1クロック経過したあと、内部動作クロックとして、基本クロック (f_{XCLK6}) が供給されます。

図11-5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

TXE6 ^{注1}	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）
1	送信動作許可

RXE6 ^{注2}	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）
1	受信動作許可

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 ^{注3}
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可／禁止
0	エラー発生時の割り込みに“INTSRE6”が発生（このときINTSR6は発生しない）
1	エラー発生時の割り込みに“INTSR6”が発生（このときINTSRE6は発生しない）

- 注1.** TXE6は、CKSR6で設定した基本クロック（f_{CLK6}）により、同期化されています。再び送信動作を許可する場合は、TXE6 = 0に設定してから基本クロック（f_{CLK6}）1クロック以降にTXE6 = 1を設定してください。基本クロック（f_{CLK6}）1クロック以内に設定すると、送信回路を初期化できない場合があります。
- 2.** RXE6は、CKSR6で設定した基本クロック（f_{CLK6}）により、同期化されています。再び受信動作を許可する場合は、RXE6 = 0に設定してから基本クロック（f_{CLK6}）1クロック以降にRXE6 = 1を設定してください。基本クロック（f_{CLK6}）1クロック以内に設定すると、受信回路を初期化できない場合があります。
- 3.** 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため、エラー割り込みも発生しません。

注意1. 起動時はPOWER6 = 1に設定してからTXE6 = 1に設定したあと、基本クロック（f_{CLK6}）1クロック以上待ってからTXB6に送信データを設定すると、送信動作を開始します。送信動作を停止するときにはTXE6 = 0に設定してから、POWER6 = 0に設定してください。

注意2. 起動時はPOWER6 = 1に設定してからRXE6 = 1に設定したあと、基本クロック (f_{XCLK6}) 1クロック経過後に、受信許可状態になります。受信動作を停止するときにはRXE6 = 0に設定してから、POWER6 = 0に設定してください。

- RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1→RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1→RXE6 = 1 と設定すると、受信を開始し、正常なデータが受信されません。
- PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) してから行ってください。
- LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。
- SL6ビットを書き換えるときは、TXE6 = 0にしてから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL6ビットの設定値の影響は受けません。
- ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0, ビット5 (RXE6) = 0により、00Hになります。また、読み出しにより、00Hになります。

図11-6 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス：FF93H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、または、ASIS6レジスタのリード
1	受信完了時、送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、または、ASIS6レジスタのリード
1	受信完了時、ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、または、ASIS6レジスタのリード
1	RXBレジスタに受信データがセットされ、それを読み出す前に次の受信動作が完了したとき

注意1. PE6ビットの動作は、アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。

- 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
- オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ6 (RXB6) には書き込まれず、データは破棄されます。

注意4. 受信バッファ・レジスタ6 (RXB6) を読み出す前に、必ずASIS6を読み出してください。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0, ビット6 (TXE6) = 0により、00Hになります。

図11-7 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス：FF95H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、送信シフト・レジスタ6 (TXS6) にデータを転送したとき
1	送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき)

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき)

注意1. 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

2. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロック (f_{CLK6}) を選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図11-8 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス：FF96H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック (f_{CLK6}) 選択
0	0	0	0	f_{XP} (10 MHz)
0	0	0	1	$f_{XP}/2$ (5 MHz)
0	0	1	0	$f_{XP}/2^2$ (2.5 MHz)
0	0	1	1	$f_{XP}/2^3$ (1.25 MHz)
0	1	0	0	$f_{XP}/2^4$ (625 kHz)
0	1	0	1	$f_{XP}/2^5$ (312.5 kHz)
0	1	1	0	$f_{XP}/2^6$ (156.25 kHz)
0	1	1	1	$f_{XP}/2^7$ (78.13 kHz)
1	0	0	0	$f_{XP}/2^8$ (39.06 kHz)
1	0	0	1	$f_{XP}/2^9$ (19.53 kHz)
1	0	1	0	$f_{XP}/2^{10}$ (9.77 kHz)
1	0	1	1	$f_{XP}/2^{11}$ (4.89 kHz)
その他				設定禁止

注意 TPS63-TPS60を書き換える場合は、POWER6 = 0に設定してから行ってください。

備考1. () 内は f_{XP} = 10 MHz動作時

2. f_{XP} ：周辺ハードウェアへのクロックの発振周波数

(5) ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 通信動作中 (ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでBRGC6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図11-9 ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス：FF97H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MLD67	MLD66	MLD65	MLD64	MLD63	MLD62	MLD61	MLD60

MLD67	MLD66	MLD65	MLD64	MLD63	MLD62	MLD61	MLD60	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	×	×	×	×	設定禁止
0	0	0	0	1	0	0	0	8	$f_{CLK6}/8$
0	0	0	0	1	0	0	1	9	$f_{CLK6}/9$
0	0	0	0	1	0	1	0	10	$f_{CLK6}/10$
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
・	・	・	・	・	・	・	・	・	・
1	1	1	1	1	1	0	0	252	$f_{CLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{CLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{CLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{CLK6}/255$

注意1. MLD67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値となります。

備考1. f_{CLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2. k : MLD67-MDL60ビットで設定した値 (k = 8, 9, 10, ..., 255)

3. × : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。

ASICL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、16Hになります。

注意 SBRT6とSBTT6が0のデータをASICL6に書き込んだ場合、通信動作中（ASIM6のビット7（POWER6）= 1、かつビット6（TXE6）= 1／ASIM6のビット7（POWER6）= 1、かつビット5（RXE6）= 1）に、ソフトウェアでASICL6へのリフレッシュ動作（同値書き込み）を行うことができます。

図11-10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマット (1/2)

アドレス：FF98H リセット時：16H R/W[※]

略号	7	6	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6

SBRF6	SBF受信状態フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、またはSBF受信が正常終了したとき
1	SBF受信中

SBRT6	SBF受信トリガ
0	—
1	SBF受信トリガ

SBTT6	SBF送信トリガ
0	—
1	SBF送信トリガ

注 ビット7はRead Onlyです。

図11-10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマット (2/2)

SBL62	SBL61	SBL60	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR6	先頭ビットの指定
0	MSB
1	LSB

TXDLV6	TxD6出力反転許可／禁止
0	TxD6通常出力
1	TxD6反転出力

- 注意1.** SBF受信エラー時は、再びSBF受信モードに戻ります。SBRF6フラグの状態は保持 (1) されます。SBF受信の詳細については、後述の11. 4. 2 アシクロナス・シリアル・インタフェース (UART) モードの (2) - (i) SBF受信を参照してください。
- SBRT6ビットは、ASIM6のビット7 (POWER6) = 1、かつビット5 (RXE6) = 1に設定してからセット (1) してください。また、セット (1) 後、SBF受信が終了 (割り込み要求信号が発生) する前に、SBRT6ビットをクリア (0) しないでください。
 - SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア (0) されます。
 - SBTT6ビットは、ASIM6のビット7 (POWER6) = 1、かつビット6 (TXE6) = 1に設定してからセット (1) してください。また、セット (1) 後、SBF送信が終了 (割り込み要求信号が発生) する前に、SBTT6ビットをクリア (0) しないでください。
 - SBTT6ビットのリード値は常に0です。SBF送信終了後、SBTT6は自動的にクリア (0) されます。
 - DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) にしてから行ってください。

(7) 入力切り替え制御レジスタ (ISC)

LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。

ISC0, ISC1に1をセットすることで、INTP0, TI000への入力ソースはP44/RxD6端子からの入力信号に切り替わります。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-11 入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：FF8CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	TI000入力ソースの選択
0	TI000 (P30)
1	RxD6 (P44)

ISC0	INTP0入力ソースの選択
0	INTP0 (P30)
1	RxD6 (P44)

(8) ポート・モード・レジスタ4（PM4）

ポート4の入力／出力を1ビット単位で設定するレジスタです。

P43/TxD6/INTP1端子をシリアル・インタフェースのデータ出力として使用するとき、PM43に0を、P43の出力ラッチに1を設定してください。

P44/RxD6端子をシリアル・インタフェースのデータ入力として使用するとき、PM44に1を設定してください。このときP44の出力ラッチは、0または1のどちらでもかまいません。

PM4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図11-12 ポート・モード・レジスタ4（PM4）のフォーマット

アドレス：FF24H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

11.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース（UART）モード

11.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF90H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可／禁止
0 ^{注1}	内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする ^{注2}

TXE6	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）

RXE6	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルになり、RxD6端子からの入力ハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)，アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)，アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6)，受信バッファ・レジスタ6 (RXB6) です。

注意 動作停止モードにするときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。
起動時はPOWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

備考 RxD6/P44, TxD6/INTP1/P43端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

11.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ4 (PM4)
- ・ポート・レジスタ4 (P4)

UARTモードの基本的な動作設定手順例は次のようになります。

- ① CKSR6レジスタを設定 (図11-8を参照)
- ② BRGC6レジスタを設定 (図11-9を参照)
- ③ ASIM6レジスタのビット0-4 (ISRM6, SL6, CL6, PS60, PS61) を設定 (図11-5を参照)
- ④ ASICL6レジスタのビット0, 1 (TXDLV6, DIR6) を設定 (図11-10を参照)
- ⑤ ASIM6レジスタのビット7 (POWER6) をセット (1)
- ⑥ ASIM6レジスタのビット6 (TXE6) をセット (1) → 送信可能
ASIM6レジスタのビット5 (RXE6) をセット (1) → 受信可能
- ⑦ 送信バッファ・レジスタ6 (TXB6) にデータを書き込み→ データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。また、意図しないスタート・ビット (立ち下がり信号) を発生させないために、P43を1に設定したあとに、PM43を0 (出力) に設定してください。

レジスタの設定と端子の関係を次に示します。

表11-2 レジスタの設定と端子の関係

POWER6	TXE6	RXE6	PM43	P43	PM44	P44	UART6 の動作	端子機能	
								TxD6/INTP1/P43	RxD6/P44
0	0	0	× ^注	× ^注	× ^注	× ^注	停止	P43	P44
1	0	1	× ^注	× ^注	1	×	受信	P43	RxD6
	1	0	0	1	× ^注	× ^注	送信	TxD6	P44
	1	1	0	1	1	×	送受信	TxD6	RxD6

注 ポート機能として設定することができます。

備考 × : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM4× : ポート・モード・レジスタ

P4× : ポートの出力ラッチ

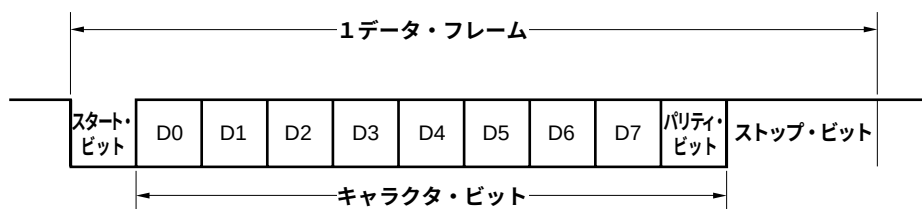
(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

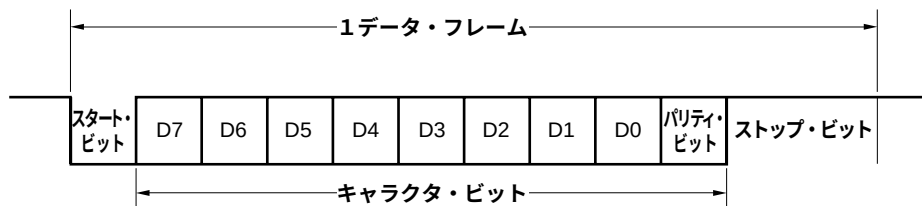
通常送受信データのフォーマットと波形例を図11-13, 11-14に示します。

図11-13 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット…………… 1ビット
- ・キャラクタ・ビット……… 7ビット／8ビット
- ・パリティ・ビット…………… 偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ・ストップ・ビット…………… 1ビット／2ビット

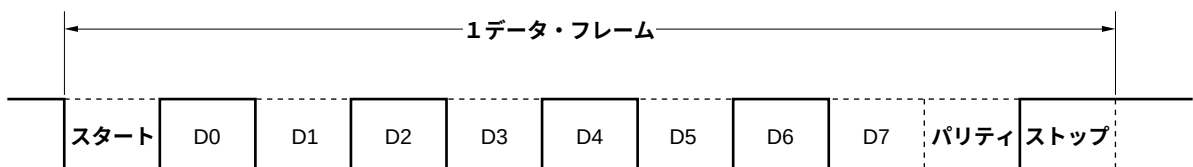
1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）によって行います。

データはLSBファースト／MSBファーストをアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット1（DIR6）で設定して通信します。

また、TxD6端子の通常出力／反転出力をASICL6のビット0（TXDLV6）で設定します。

図11-14 通常UART送受信データの波形例（1/2）

1. データ長：8ビット，LSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H



2. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H

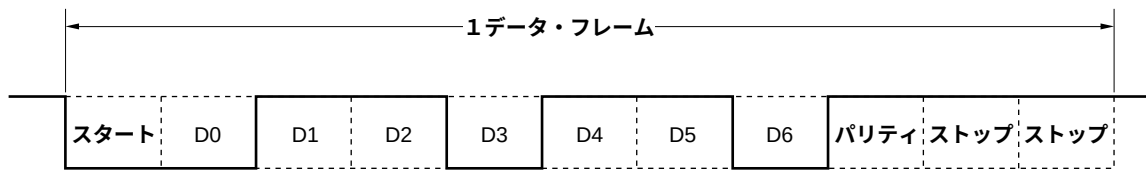


3. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H，TxD6端子反転出力



図11-14 通常UART送受信データの波形例 (2/2)

4. データ長：7ビット，LSBファースト，パリティ：奇数パリティ，ストップ・ビット：2ビット，通信データ：36H



5. データ長：8ビット，LSBファースト，パリティ：パリティなし，ストップ・ビット：1ビット，通信データ：87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとでは、誤りを検出することはできません。

注意 LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) し、基本クロック (f_{CLK6}) が1クロック経過したあとに、ASIM6のビット6 (TXE6) をセット (1) すると、送信許可状態になり、送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

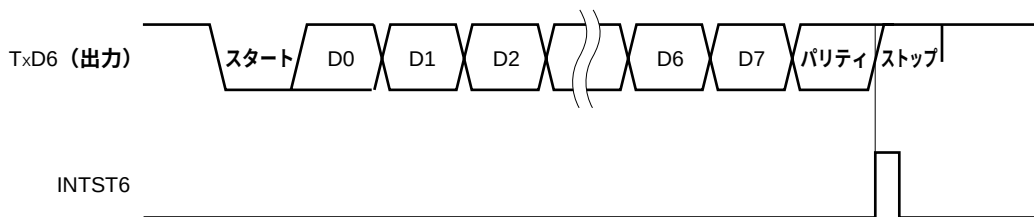
送信動作の開始により、TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後、TXS6から順次、TxD6端子に出力されます。送信が完了すると、ASIM6で設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで、送信動作は中断します。

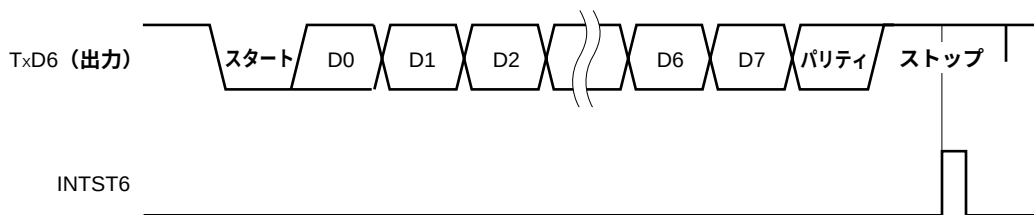
送信完了割り込み要求 (INTST6) のタイミングを図11-15に示します。INTST6は、最後のストップ・ビット出力と同時に発生します。

図11-15 通常送信完了割り込み要求タイミング

1. ストップ・ビット長：1



2. ストップ・ビット長：2



(d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を確認することにより、1データ・フレームの送信時間を待つことなく、次の送信データをTXB6レジスタへ書き込むことができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

連続送信の手順については、図11-16 連続送信の処理フロー例を参照してください。

注意1. 連続送信が可能かを判断する場合は、TXBFフラグの値で行ってください。TXSF6フラグが1であるということのみで判断して、次の送信データを書き込まないでください。

2. LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んでください。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

TXSF6フラグで、通信状態を確認することができます。

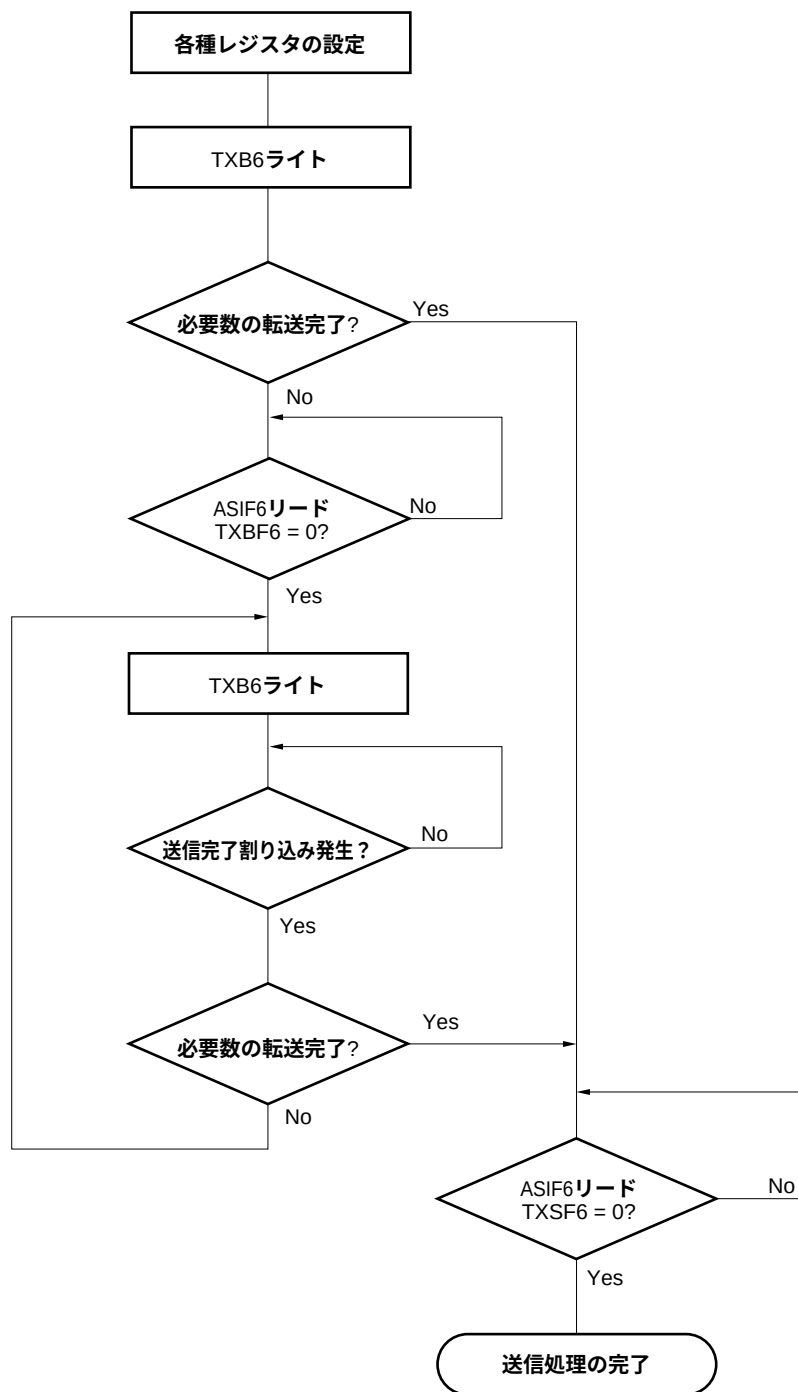
TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

注意 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。

TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

連続送信の処理フロー例を図11-16に示します。

図11-16 連続送信の処理フロー例



備考 TXB6 : 送信バッファ・レジスタ6

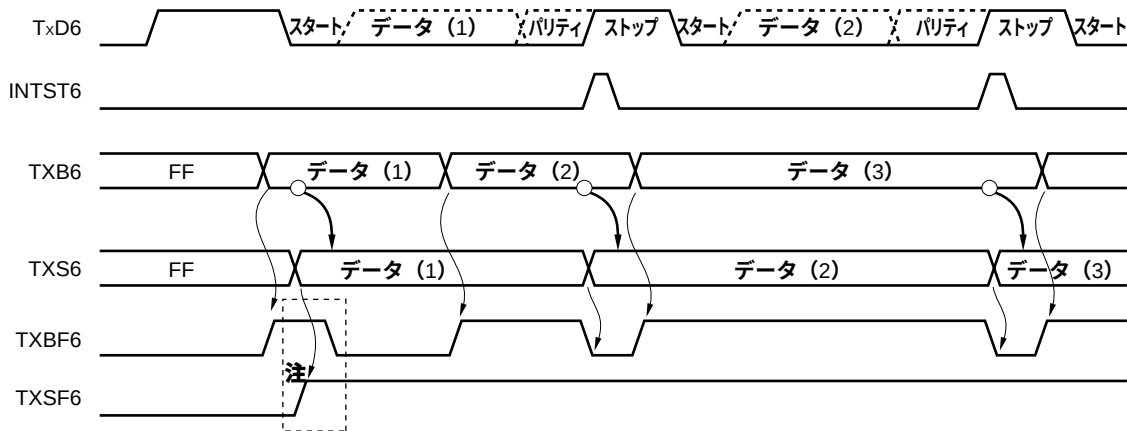
ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6

TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)

TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図11-17に、連続送信を終了する際のタイミングを図11-18に示します。

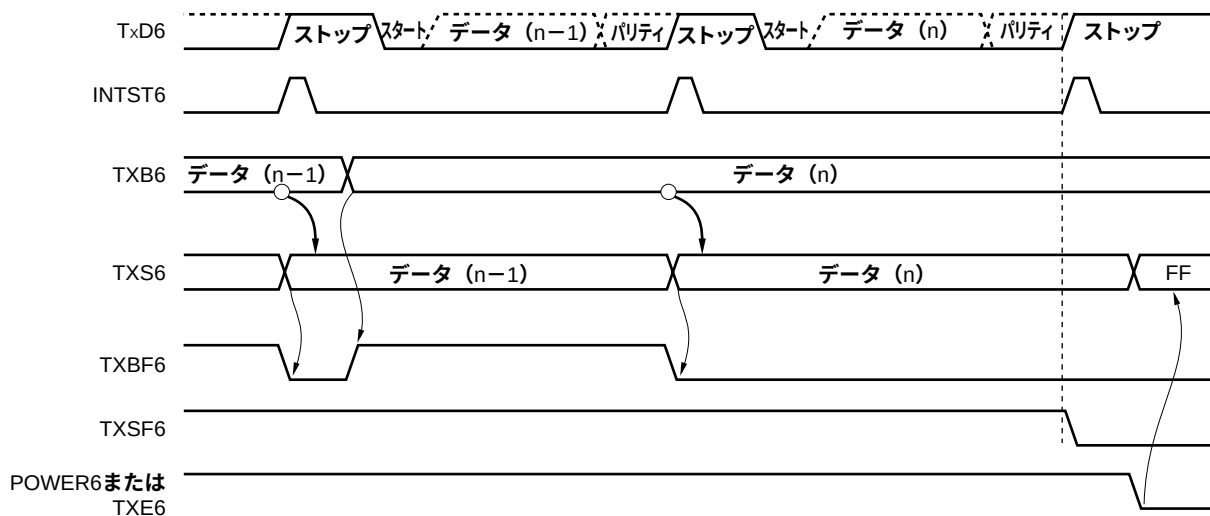
図11-17 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

備考 TxD6 : TxD6端子 (出力)
 INTST6 : 割り込み要求信号
 TXB6 : 送信バッファ・レジスタ6
 TXS6 : 送信シフト・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1
 TXSF6 : ASIF6のビット0

図11-18 連続送信を終了する際のタイミング



備考	TxD6	: TxD6端子（出力）
	INTST6	: 割り込み要求信号
	TXB6	: 送信バッファ・レジスタ6
	TXS6	: 送信シフト・レジスタ6
	ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
	TXBF6	: ASIF6のビット1
	TXSF6	: ASIF6のビット0
	POWER6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ（ASIM6）のビット7
	TXE6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ（ASIM6）のビット6

(e) 通常受信

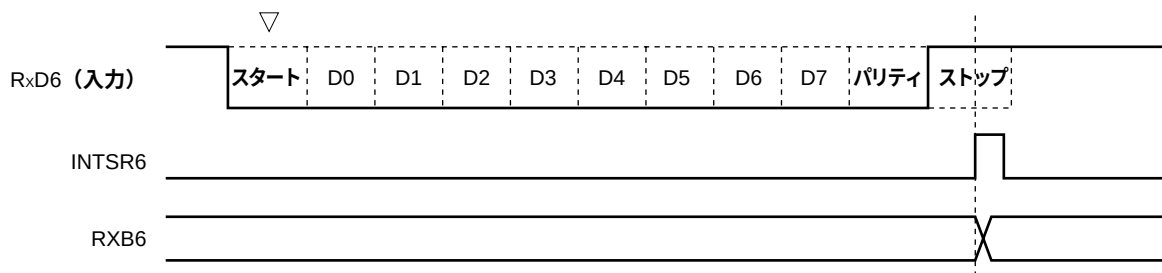
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となり、RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ボー・レート・ジェネレータの8ビット・カウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定値をカウントした時点で、再度RxD6端子入力をサンプリング (図11-19の▽印に相当) した結果、RxD6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ (RXS6) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6) を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6 (RXB6) に書き込まれます。ただし、オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー (PE6) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後にエラー割り込み (INTSR6/INTSRE6) を発生します。

図11-19 受信完了割り込み要求タイミング



- 注意1.** 受信エラー発生時にも受信バッファ・レジスタ6 (RXB6) は必ず読み出してください。RXB6を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
- 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
 - RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）内に立つと、受信エラー割り込み要求（INTSR6/INTSRE6）を発生します。

受信エラー割り込み処理内（INTSR6/INTSRE6）で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます（図11-6参照）。

ASIS6の内容は、ASIS6を読み出すことによって、リセット（0）されます。

表11-3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6（RXB6）からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット0（ISRM6）に0を設定することにより、エラー割り込みを受信完了割り込み（INTSR6）とエラー割り込み（INTSRE6）とに分離することができます。

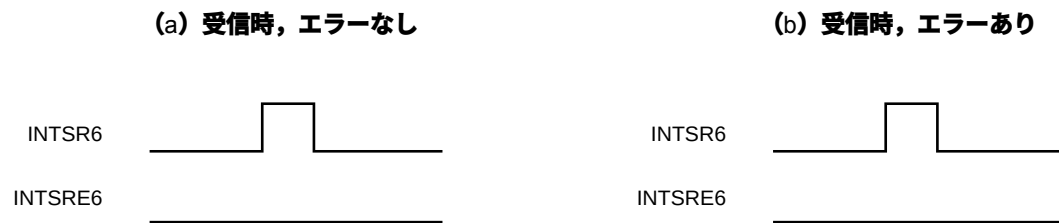
図11-20 受信エラー割り込み（1/2）

1. ISRM6に0を設定した場合（受信完了割り込み（INTSR6）とエラー割り込み（INTSRE6）とに分離する）



図11-20 受信エラー割り込み (2/2)

2. ISRM6に1を設定した場合（エラー割り込みもINTSR6に含める）



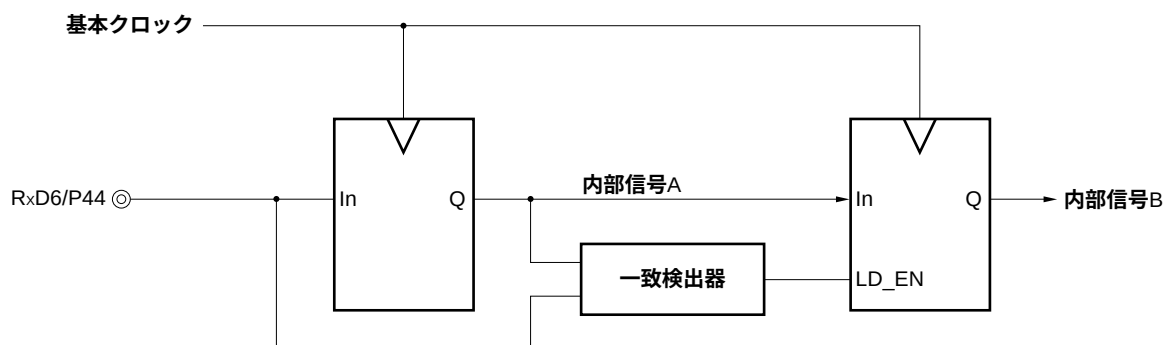
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック (f_{XCLK6}) でRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると，一致検出器の出力が変化し，入力データとしてサンプリングされます。

また，回路は図11-21のようにになっているため，受信動作の内部での処理は，外部の信号状態より2クロック分遅れて動作することになります。

図11-21 ノイズ・フィルタ回路



(h) SBF送信

LIN通信動作で使用する場合、送信ではSBF (Synchronous Break Field) 送信制御機能を使用します。

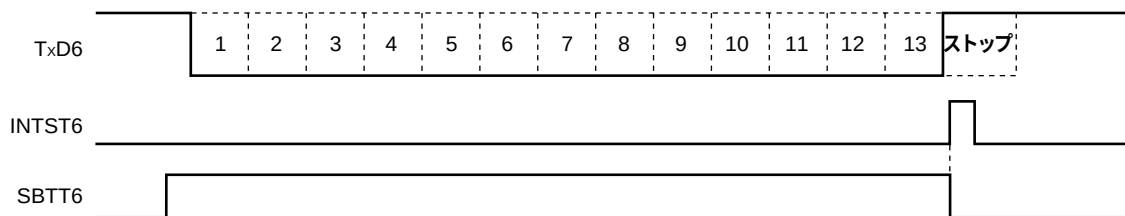
LINの送信操作については図11-1 LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) すると、TxD6端子からハイ・レベル出力されます。次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット5 (SBTT6) をセット (1) することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル (ASICL6のビット4-2 (SBL62-SBL60) で設定) を出力します。SBF送信が完了すると、送信完了割り込み要求 (INTST6) を発生し、SBTT6は自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ6 (TXB6) に書き込む、あるいはSBTT6をセット (1) するまで、送信動作は中断します。

図11-22 SBF送信



備考 TxD6 : TxD6端子 (出力)

INTST6 : 送信完了割り込み要求

SBTT6 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット5

(i) SBF受信

LIN通信動作で使用する場合、受信ではSBF (Synchronous Break Field) 受信制御機能を使用します。

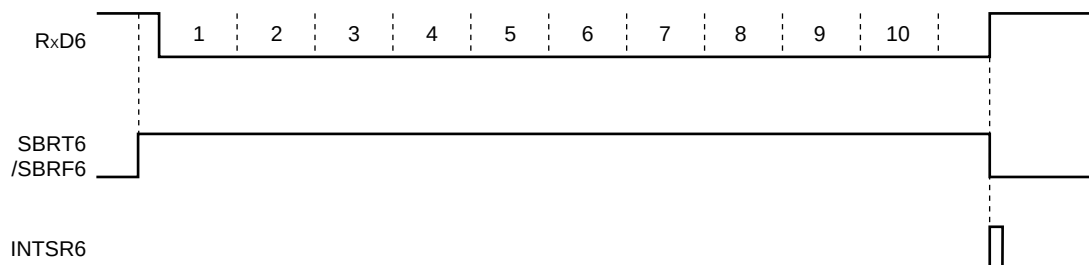
LINの受信操作については図11-2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6 (SBRT6) をセット (1) するとSBF受信許可状態になります。SBF受信許可状態は通常の受信許可状態と同様、RxD6端子をサンプリングし、スタート・ビットの検出を行います。

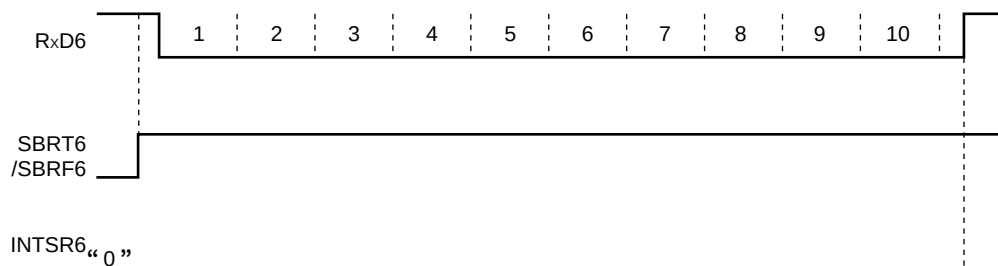
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6 (RXS6) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 (INTSR6) を発生します。このときSBRF6, SBRT6ビットは自動的にクリアされ、SBF受信を終了します。OVE6, PE6, FE6 (アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット0-2) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6 (RXS6) と受信バッファ・レジスタ6 (RXB6) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6, SBRT6ビットはクリアされません。

図11-23 SBF受信

1. 正常SBF受信 (10.5ビット超でストップ・ビットを検出)



2. SBF受信エラー (10.5ビット以下でストップ・ビットを検出)



備考 RxD6 : RxD6端子 (入力)

SBRT6 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6

SBRF6 : ASICL6のビット7

INTSR6 : 受信完了割り込み要求

11.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6} と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット6 (TXE6) = 0のときはクリア (0) の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6またはTXE6がクリア (0) されるまでカウント動作をそのまま続けます。

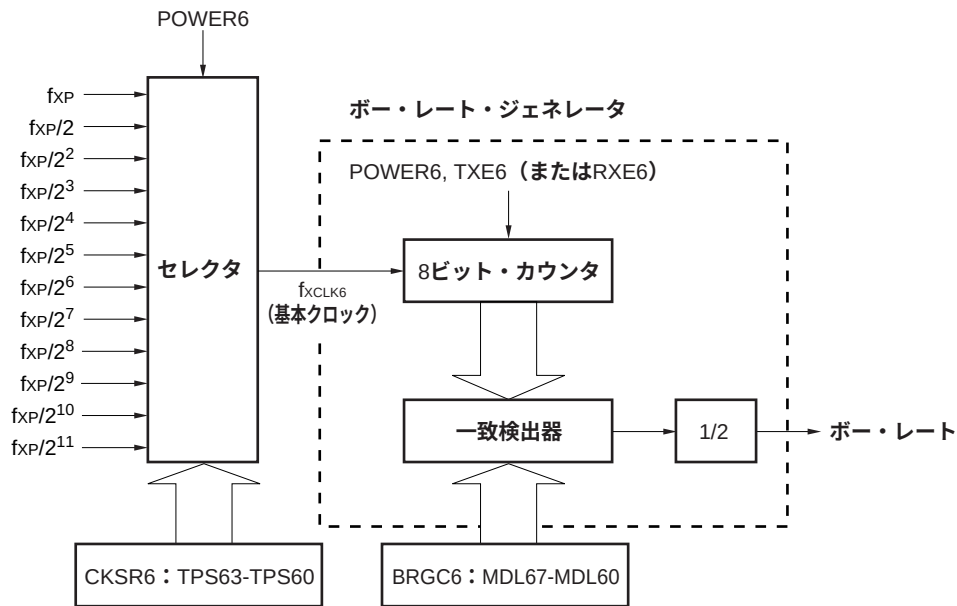
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット5 (RXE6) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図11-24 ボー・レート・ジェネレータの構成



備考 POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

CKSR6 : クロック選択レジスタ6

BRGC6 : ボー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、シリアル・クロックを生成できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを選択します。

BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値を設定できます。

(a) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK6}}}{2 \times k} \text{ [bps]}$$

f_{CLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 ($k = 8, 9, 10, \dots, 255$)

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{・誤差 (\%)} = \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00100001B (k = 33)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 10 \text{ M} / (2 \times 33) \\ &= 10000000 / (2 \times 33) = 151515 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151515 / 153600 - 1) \times 100 \\ &= -1.357 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表11-4 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	f _{XP} = 10.0 MHz				f _{XP} = 8.38 MHz				f _{XP} = 4.19 MHz			
	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]
600	6H	130	601	0.16	6H	109	601	0.11	5H	109	601	0.11
1200	5H	130	1202	0.16	5H	109	1201	0.11	4H	109	1201	0.11
2400	4H	130	2404	0.16	4H	109	2403	0.11	3H	109	2403	0.11
4800	3H	130	4808	0.16	3H	109	4805	0.11	2H	109	4805	0.11
9600	2H	130	9615	0.16	2H	109	9610	0.11	1H	109	9610	0.11
10400	1H	240	10417	0.16	1H	201	10423	0.22	1H	101	10475	-0.28
19200	1H	130	19231	0.16	1H	109	19220	0.11	0H	109	19220	0.11
31250	0H	160	31250	0.00	0H	134	31268	0.06	0H	67	31268	0.06
38400	0H	130	38462	0.16	0H	109	38440	0.11	0H	55	38090	-0.80
76800	0H	65	76923	0.16	0H	55	76182	-0.80	0H	27	77693	1.03
115200	0H	43	116279	0.94	0H	36	116389	1.03	0H	18	116389	1.03
153600	0H	33	151515	-1.36	0H	27	155185	1.03	0H	14	149643	-2.58
230400	0H	22	227272	-1.36	0H	18	232778	1.03	0H	9	232778	1.03

備考	TPS63-TPS60	: クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (f_{CLK6}) 設定)
k		: ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67-MDL60ビットで設定した値 ($k = 8, 9, 10, \dots, 255$)
f_{XP}		: 周辺ハードウェアへのクロックの発振周波数
ERR		: ボー・レート誤差

(4) 受信時の許容ボー・レート範囲

受信の際に、送信元のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図11-25 受信時の許容ボー・レート範囲

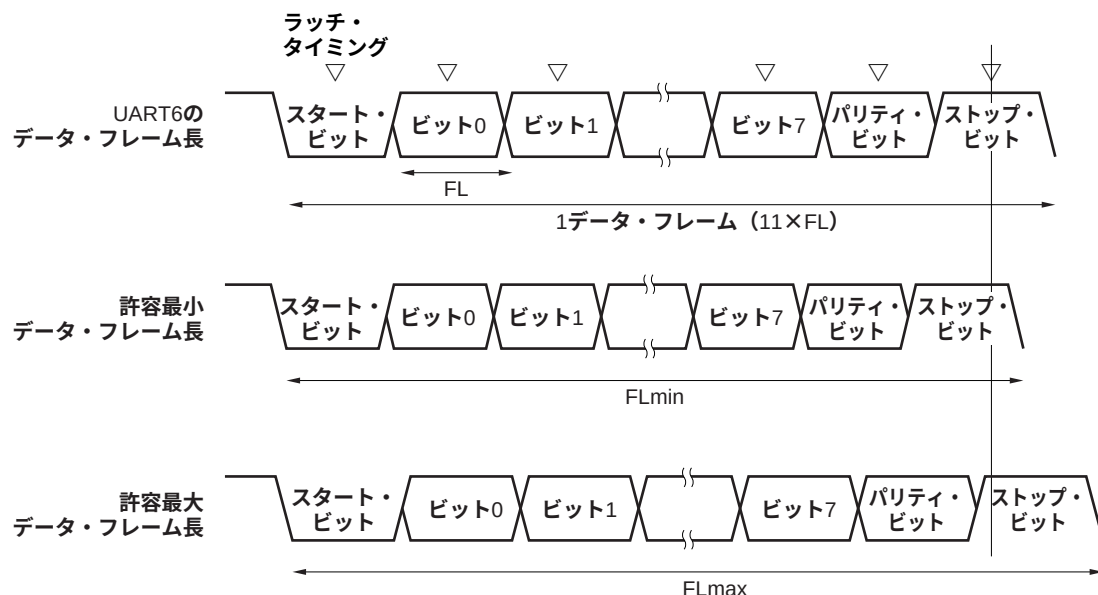


図11-25に示すように、スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART6のボー・レート

k : BRGC6の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン: 2クロック

$$\text{許容最小データ・フレーム長：FLmin} = 11 \times \text{FL} - \frac{k-2}{2k} \times \text{FL} = \frac{21k+2}{2k} \text{FL}$$

したがって、受信可能な送信元の最大ボー・レートは次のようになります。

$$\text{BRmax} = (\text{FLmin}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times \text{FLmax} = 11 \times \text{FL} - \frac{k+2}{2 \times k} \times \text{FL} = \frac{21k-2}{2 \times k} \text{FL}$$

$$\text{FLmax} = \frac{21k-2}{20k} \text{FL} \times 11$$

したがって、受信可能な送信元の最小ボー・レートは次のようになります。

$$\text{BRmin} = (\text{FLmax}/11)^{-1} = \frac{20k}{21k-2} \text{Brate}$$

前述の最小／最大ボー・レート値の算出式から、UART6と送信元とのボー・レートの許容誤差を求めると次のようになります。

表11-5 許容最大／最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

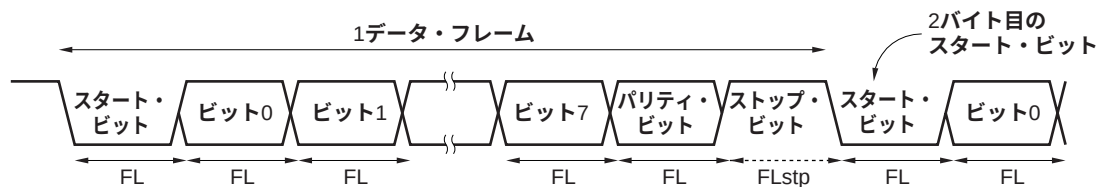
備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k：BRGC6の設定値

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック (f_{XCLK6}) 2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図11-26 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{XCLK6} とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{XCLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{XCLK6}$$

第12章 割り込み機能

12.1 割り込み機能の種類

割り込みには、マスカブル割り込みとリセットがあります。

・マスカブル割り込み

マスク制御を受ける割り込みです。割り込み要求が発生すると、スタンバイ・リリース信号が発生し、割り込み受け付けが可能であればベクタ・テーブル・アドレスに書かれたアドレスのプログラムが実行されます（ベクタ割り込み処理）。複数の割り込み要求が同時に発生した場合は、ベクタ割り込み処理の優先順位（プライオリティ）にしたがって処理されます。優先順位（プライオリティ）については表12-1を参照してください。

マスカブル割り込みは、外部割り込みが4要因、内部割り込みが9要因あります。

・リセット

リセット信号により、CPUやSFRを初期状態に戻します。リセット信号が発生する要因は、表12-1のようになっています。

リセット信号発生時は、0000H, 0001H番地に書かれたアドレスからプログラムが実行されます。

12.2 割り込み要因と構成

マスカブル割り込み要因には、合計13要因あります。また、それ以外にリセット要因が最大で4要因あります（表12-1参照）。

表12-1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
マスカブル	1	INTLVI	低電圧検出 ^{注3}	内部	0006H	(A)
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)
	3	INTP1			000AH	
	4	INTTMH1	TMH1とCMP01の一致	内部	000CH	(A)
	5	INTTM000	TM00とCR000の一致（コンペア・レジスタ指定時），TI010端子の有効エッジ検出（キャプチャ・レジスタ指定時）		000EH	
	6	INTTM010	TM00とCR010の一致（コンペア・レジスタ指定時），TI000端子の有効エッジ検出（キャプチャ・レジスタ指定時）		0010H	
	7	INTAD	A/D変換終了		0012H	
	8	INTP2	端子入力エッジ検出	外部	0016H	(B)
	9	INTP3			0018H	
	10	INTTM80	TM80とCR80の一致	内部	001AH	(A)
	11	INTSRE6	UART6の受信エラー発生		001CH	
	12	INTSR6	UART6の受信完了		001EH	
	13	INTST6	UART6の送信完了		0020H	
リセット	—	RESET	リセット入力	—	0000H	—
		POC	パワーオン・クリア			
		LVI	低電圧検出 ^{注4}			
		WDT	WDTのオーバフロー			

注1. プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。1が最高順位，13が最低順位です。

2. 基本構成タイプの（A），（B）は，それぞれ図12-1の（A），（B）に対応しています。

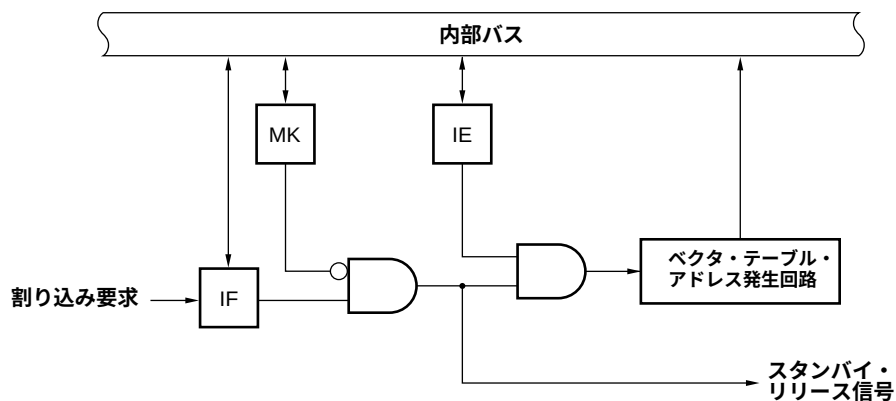
3. 低電圧検出レジスタ（LVIM）のビット1（LVIMD）＝0選択時。

4. 低電圧検出レジスタ（LVIM）のビット1（LVIMD）＝1選択時。

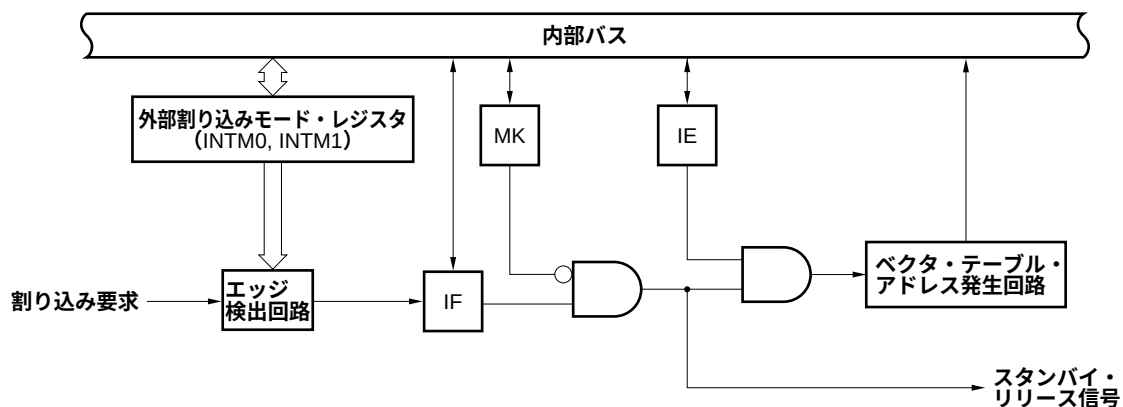
注意 ベクタ・テーブル・アドレス0014Hに該当する割り込み要因はありません。

図12-1 割り込み機能の基本構成

(A) 内部マスカブル割り込み



(B) 外部マスカブル割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

12.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ (MK0, MK1)
- ・外部割り込みモード・レジスタ (INTM0, INTM1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表12-2に示します。

表12-2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTLVI	LVIF	LVIMK
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTTMH1	TMIFH1	TMMKH1
INTTM000	TMIF000	TMMK000
INTTM010	TMIF010	TMMK010
INTAD	ADIF	ADMK
INTP2	PIF2	PMK2
INTP3	PIF3	PMK3
INTTM80	TMIF80	TMMK80
INTSRE6	SREIF6	SREMK6
INTSR6	SRIF6	SRMK6
INTST6	STIF6	STMK6

(1) 割り込み要求フラグ・レジスタ (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびリセット入力時、命令の実行によりクリア (0) されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 割り込み要求フラグ・レジスタ (IF0, IF1) のフォーマット

アドレス：FFE0H リセット時：00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	0
IF0	ADIF	TMIF010	TMIF000	TMIFH1	PIF1	PIF0	LVIF	0

アドレス：FFE1H リセット時：00H R/W

略号	7	[6]	[5]	[4]	[3]	[2]	[1]	0
IF1	0	STIF6	SRIF6	SREIF6	TMIF80	PIF3	PIF2	0

×IF×	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 P30, P31, P41, P43は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。
MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、FFHになります。

図12-3 割り込みマスク・フラグ・レジスタ (MK0, MK1) のフォーマット

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0	ADMK	TMMK010	TMMK000	TMMKH1	PMK1	PMK0	LVIMK	1

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1	1	STMK6	SRMK6	SREMK6	TMMK80	PMK3	PMK2	1

××MK×	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 P30, P31, P41, P43は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-4 外部割り込みモード・レジスタ0 (INTM0) のフォーマット

アドレス：FFECH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0

ES21	ES20	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット0, 1には、必ず0を設定してください。

- INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット (××MK×= 1) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア (××IF×= 0) してから、割り込みマスク・フラグをクリア (××MK×= 0) し、割り込みを許可してください。

(4) 外部割り込みモード・レジスタ1 (INTM1)

INTP3の有効エッジを設定するレジスタです。

INTM1は8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-5 外部割り込みモード・レジスタ1 (INTM1) のフォーマット

アドレス：FFEDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
INTM1	0	0	0	0	0	0	ES31	ES30

ES31	ES30	INTP3の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット2-7には、必ず0を設定してください。

2. INTM1レジスタの設定は、必ずPMK3をセットし、割り込みを禁止してから行ってください。その後、PIF3をクリアしてから、PMK3をクリアし、割り込みを許可してください。

(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

リセット信号の発生により、PSWは02Hになります。

図12-6 プログラム・ステータス・ワード (PSW) の構成

略号	7	6	5	4	3	2	1	0	リセット時
PSW	IE	Z	0	AC	0	0	1	CY	0 2 H
									通常の命令実行時に使用

IE	割り込み受け付けの許可／禁止
0	禁止
1	許可

12.4 割り込み処理動作

12.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込みの割り込みマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。割り込み許可状態（IEフラグがセット（1）されているとき）であればベクタ割り込みとして受け付けます。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われる時間は表12-3のようになります。割り込み要求の受け付けのタイミングについては、図12-8、図12-9を参照してください。

表12-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ f_{CPU} ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

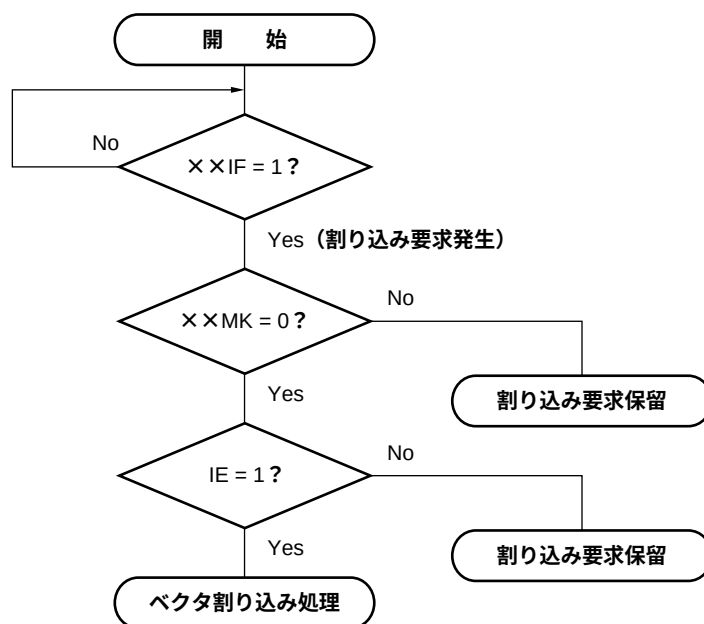
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図12-7に示します。

マスカブル割り込み要求が受け付けられると、PSW、PCの順に内容をスタックに退避し、IEフラグをリセット（0）し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図12-7 割り込み要求受け付け処理アルゴリズム

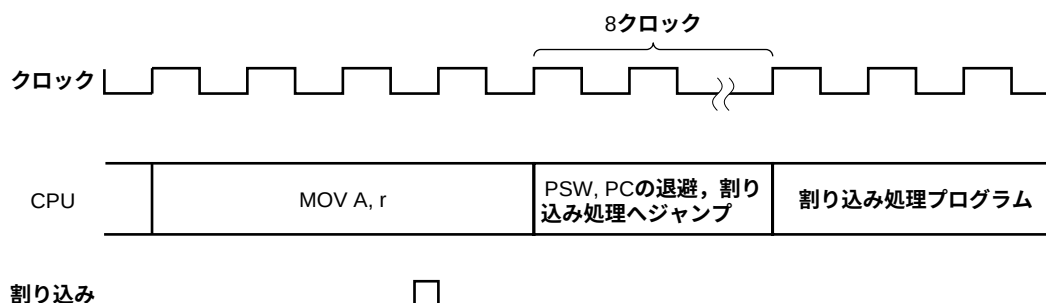


X × IF : 割り込み要求フラグ

X × MK : 割り込みマスク・フラグ

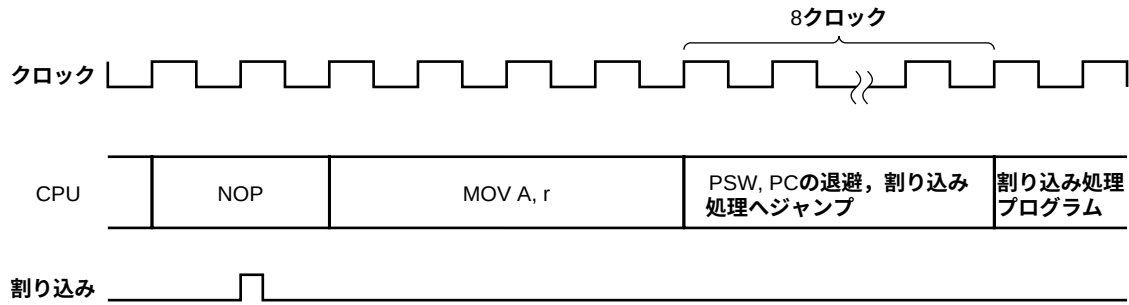
IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

図12-8 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n-1$ までに割り込み要求フラグ (X × IF) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図12-8では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので、命令のフェッチを開始してから3クロックの間に割り込みが発生すると、MOV A, rの終了後、割り込み受け付け処理を行います。

図12-9 割り込み要求の受け付けタイミング
(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ (××IF) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図12-9ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

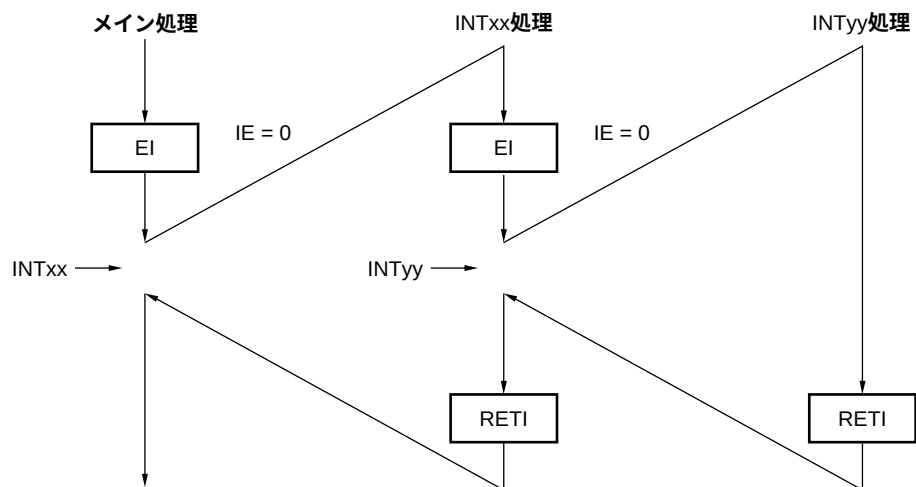
注意 割り込み要求フラグ・レジスタ (IF0, IF1) または割り込みマスク・フラグ・レジスタ (MK0, MK1) にアクセス中は割り込み要求は保留されます。

12.4.2 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みを行うには、割り込みマスク機能を使用して、優先度を低く設定したい割り込みにマスクをかける必要があります。

図12-10 多重割り込みの例 (1/2)

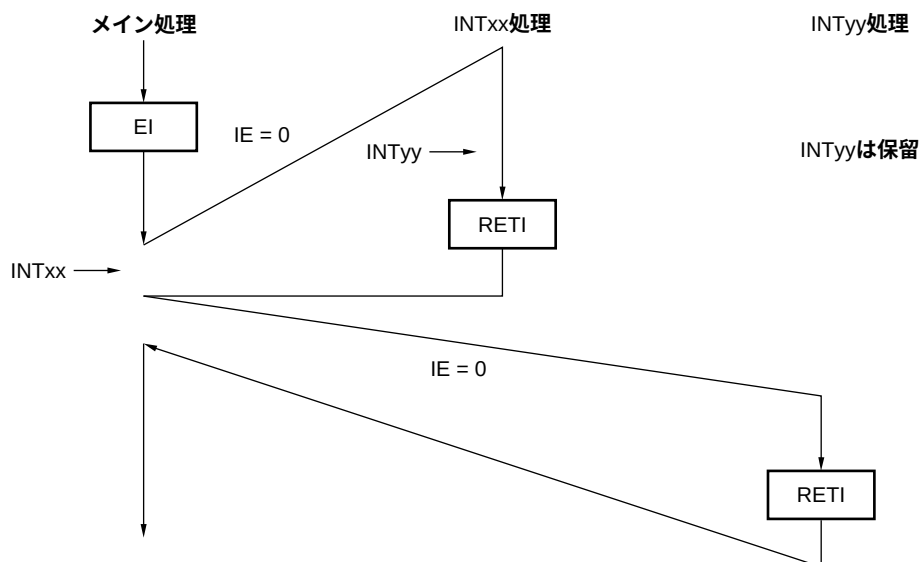
例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込みマスクが解除され、割り込み要求受け付け許可状態になっている。

注意 優先度の低い割り込みでも、多重割り込みは受け付けます。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

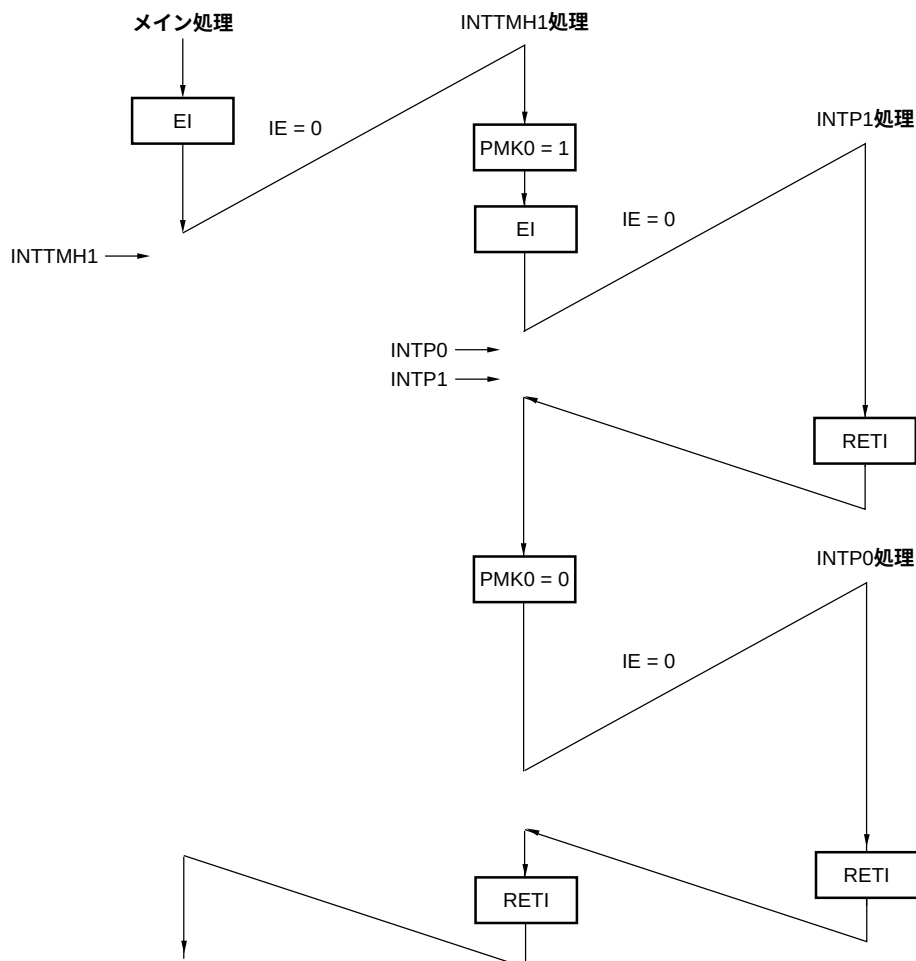
IE = 0 : 割り込み要求受け付け禁止

図12-10 多重割り込みの例 (2/2)

例3. 多重割り込みにより優先順位を制御する例

INTP0, INTP1, INTTMH1をベクタ割り込み許可状態とします。

(割り込み優先順位 INTP0 > INTP1 > INTTMH1 (表12-1参照))



割り込みINTTMH1処理では、最初にINTP0の割り込みをマスクしているため、INTP1の割り込みが優先して処理される。

その後、INTP0の割り込みマスクを解除すると、多重割り込みによるINTP0処理が行われる。

IE = 0：割り込み要求受け付け禁止

12.4.3 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ（IF0, IF1）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ（MK0, MK1）に対する操作命令

第13章 スタンバイ機能

13.1 スタンバイ機能と構成

13.1.1 スタンバイ機能

表13-1 各動作状態における動作クロックの関係

ステータス 動作モード	低速内蔵発振器			システム・ クロック	周辺ハードウェア への供給クロック
	注1	注2			
		LSRSTOP = 0	LSRSTOP = 1		
リセット	停止			停止	停止
STOP	動作	動作 ^{注3}	停止		
HALT				動作	動作

注1. オプション・バイトにて低速内蔵発振器を「停止不可」に選択時

2. オプション・バイトにて低速内蔵発振器を「ソフトウェアにより停止可能」に選択時に、LSRSTOPで低速内蔵発振器の発振／停止を設定します。

3. ウォッチドッグ・タイマの動作クロックが低速内蔵発振クロックの場合、ウォッチドッグ・タイマは停止します。

注意 LSRSTOPの設定はオプション・バイトにて低速内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。

備考 LSRSTOP：低速内蔵発振モード・レジスタ（LSRCM）のビット0

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。またHALTモード設定前に低速内蔵発振回路が動作している場合、低速内蔵発振クロックは発振を継続します（表13-1を参照。低速内蔵発生クロックの発振（停止不可／ソフトウェアにより停止可能）については、オプション・バイトで設定）。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に動作停止時間[※]が発生（水晶／セラミック発振の場合は、加えて発振安定時間のためのウェイト時間が発生）するため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

注 動作停止時間は、17 μ s (MIN.), 34 μ s (TYP.), 67 μ s (MAX.)です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードに移行するとき、周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください（低速内蔵発振クロックで動作する周辺ハードウェアは除く）。
2. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）とビット0（ADCE）を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。
3. STOPモード設定前に低速内蔵発振回路が動作している場合、STOPモードでは低速内蔵発振クロックの発振を停止することはできません（表13-1を参照）。

13.1.2 スタンバイ時に使用するレジスタ

スタンバイ解除時の発振安定時間は、発振安定時間選択レジスタ（OSTS）で制御します。

備考 クロックの動作／停止、切り替えを制御するレジスタについては、第5章 クロック発生回路を参照してください。

(1) 発振安定時間選択レジスタ（OSTS）

STOPモード解除後に、発振回路から供給するクロックの発振安定時間を選択するレジスタです。OSTSで設定するウェイト時間は、システム・クロックの供給に水晶／セラミック発振クロックを選択したときのSTOPモード解除後のみ有効になります。システム・クロックに高速内蔵発振、外部クロック入力を選択した場合、ウェイト時間はありません。

システム・クロックの発振回路の選択、および電源投入時またはリセット解除後の発振安定時間の設定は、オプション・バイトで行います。詳細は、第17章 オプション・バイトを参照してください。

OSTSは、8ビット・メモリ操作命令で設定します。

図13-1 発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFF4H リセット時：不定 R/W

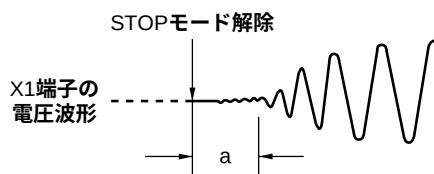
略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	0	OSTS1	OSTS0

OSTS1	OSTS0	発振安定時間の選択
0	0	$2^{10}/f_x$ (102.4 μ s)
0	1	$2^{12}/f_x$ (409.6 μ s)
1	0	$2^{15}/f_x$ (3.27 ms)
1	1	$2^{17}/f_x$ (13.1 ms)

注意1. STOPモードに入り、解除するときは発振安定時間を次のように設定してください。

期待する発振子の発振安定時間 $\leq$ OSTSで設定する発振安定時間

- STOPモード解除時のウェイト時間は、リセット信号の発生による場合も、割り込み発生による場合もSTOPモード解除後からクロック発振を開始するまでの時間（次の図a）は含みません。



- 電源投入時、またはリセット解除後の発振安定時間の設定は、オプション・バイトで行います。詳細は、第17章 オプション・バイトを参照してください。

備考1. () 内は $f_x = 10$ MHz動作時

- 発振子の発振安定時間は、ご使用される発振子の特性を確認してください。

13.2 スタンバイ機能の動作

13.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがクリアされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。

表13-2 HALTモード時の動作状態

項 目		HALTモードの設定	低速内蔵発振器停止不可 [※]	低速内蔵発振器停止可 [※]	
				低速内蔵発振継続時	低速内蔵発振停止時
システム・クロック			CPUへのクロック供給は停止		
CPU			動作停止		
ポート（ラッチ）			HALTモード設定前の状態を保持		
16ビット・タイマ／イベント・カウンタ00			動作可能		
8ビット・タイマ80			動作可能		
8 ビ ッ ト・タイ マH1	カウント・クロック を $f_{XP}/2^{12}$ に設定	動作可能			
	カウント・クロック を $f_{RL}/2^7$ に設定	動作可能	動作可能	動作停止	
ウ オ ッ チ ド ッ グ・タイ マ	動作クロックを「シ ステム・クロック」 に選択	設定不可	動作停止		
	動作クロックを「低 速内蔵発振クロッ ク」に選択	動作可能（動作継続）	動作停止		
A/Dコンバータ			動作可能		
シリアル・インタフェース UART6			動作可能		
パワーオン・クリア回路			常時動作		
低電圧検出回路			動作可能		
外部割り込み			動作可能		

注 オプション・バイトで低速内蔵発振器を「停止不可」または「ソフトウェアにより停止可能」を選択できます（オプション・バイトについては第17章 オプション・バイトを参照）。

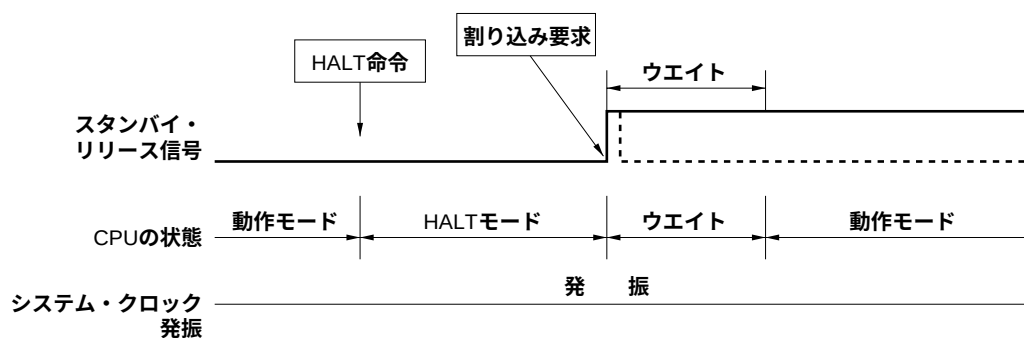
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図13-2 HALTモードの割り込み要求発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

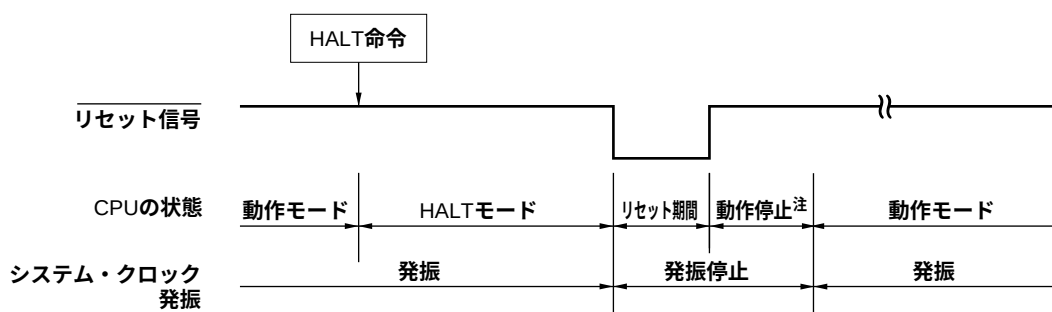
- ・ベクタ割り込み処理を行う場合 : 11～13クロック
- ・ベクタ割り込み処理を行わない場合 : 3～5クロック

(b) リセット信号の発生による解除

リセット信号の発生があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

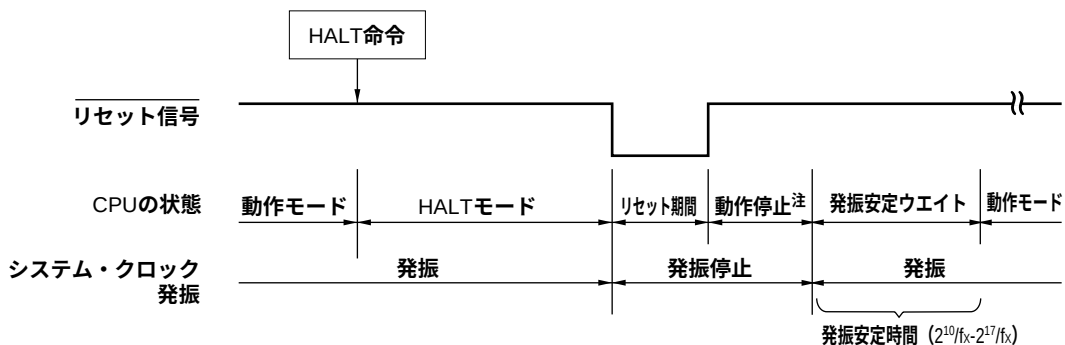
図13-3 HALTモードのリセット信号の発生による解除

(1) CPUクロックが高速内蔵発振クロックまたは外部クロック入力の場合



注 オプション・バイト参照のため、動作停止状態 (277 μ s(MIN.), 544 μ s(TYP.), 1.075 ms(MAX.)) になります。

(2) CPUクロックが水晶／セラミック発振クロックの場合



注 オプション・バイト参照のため、動作停止状態 (276 μ s(MIN.), 544 μ s(TYP.), 1.074 ms(MAX.)) になります。

備考 f_x : システム・クロック発振周波数

表13-3 HALTモード時の割り込み要求に対する動作

解除ソース	MK××	IE	動 作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	HALTモード保持
リセット信号発生	—	×	リセット処理

×：don't care

13.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードではSTOP命令実行後、34 μ s(TYP.) 停止したあと（水晶／セラミック発振の場合は、加えて発振安定時間選択レジスタ（OSTS）で設定した発振安定時間分ウェイトしたあと）動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表13-4 STOPモード時の動作状態

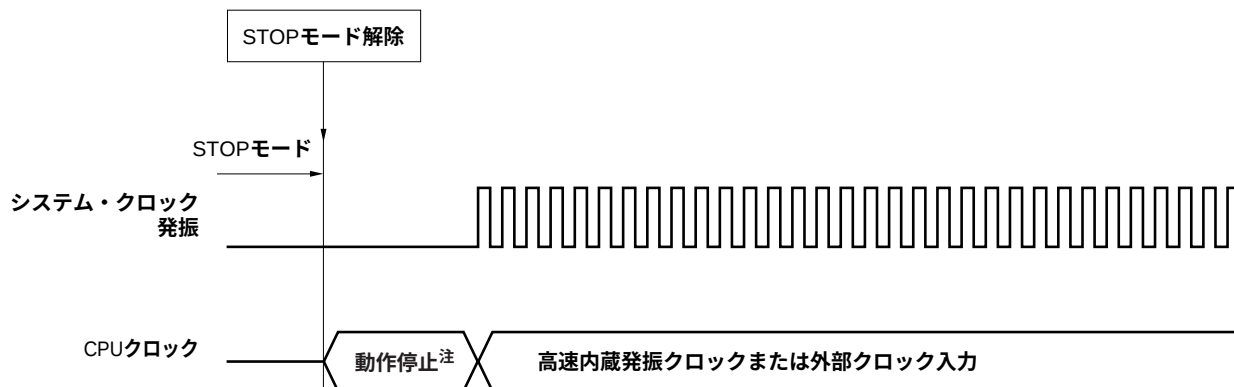
STOPモードの設定 項 目		低速内蔵発振器停止不可 ^注	低速内蔵発振器停止可 ^注	
			低速内蔵発振継続時	低速内蔵発振停止時
システム・クロック		発振停止		
CPU		動作停止		
ポート（ラッチ）		STOPモード設定前の状態を保持		
16ビット・タイマ／イベント・カウンタ00		動作停止		
8ビット・タイマ80		動作停止		
8ビット・タイマH1	カウント・クロックを $f_{XP} - f_{XP}/2^{12}$ に設定	動作停止		
	カウント・クロックを $f_{RL}/2^7$ に設定	動作可能	動作可能	動作停止
ウォッチドッグ・タイマ	動作クロックを「システム・クロック」に選択	設定不可	動作停止	
	動作クロックを「低速内蔵発振クロック」に選択	動作可能（動作継続）	動作停止	
A/Dコンバータ		動作停止		
シリアル・インタフェースUART6		動作停止		
パワーオン・クリア回路		常時動作		
低電圧検出回路		動作可能		
外部割り込み		動作可能		

注 オプション・バイトで低速内蔵発振器を「停止不可」または「ソフトウェアにより停止可能」を選択できます（オプション・バイトについては第17章 オプション・バイトを参照）。

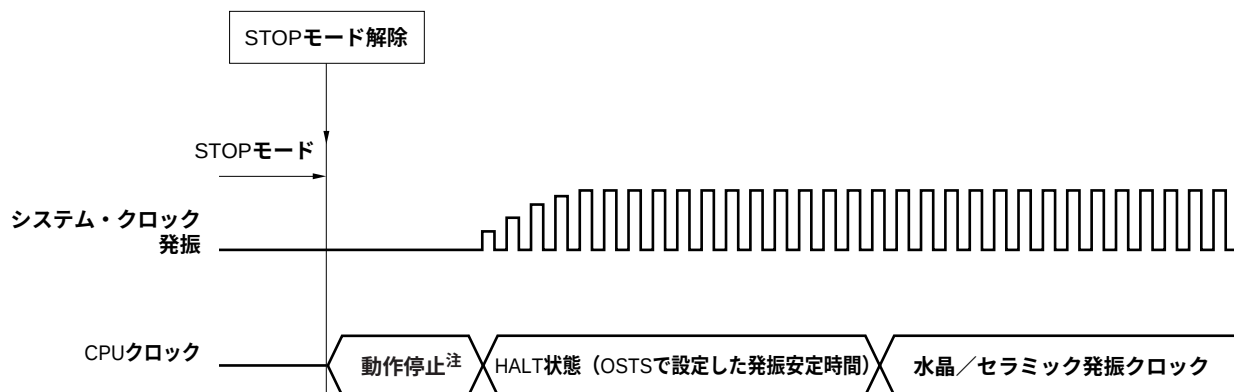
(2) STOPモードの解除

図13-4 STOPモード解除時の動作タイミング

① システム・クロックの供給に、高速内蔵発振クロックまたは外部クロック入力を選択した場合



② システム・クロックの供給に、水晶／セラミック発振クロックを選択した場合



注 動作停止時間は、17 μs (MIN.), 34 μs (TYP.), 67 μs (MAX.)です。

STOPモードは、次の2種類のソースによって解除することができます。

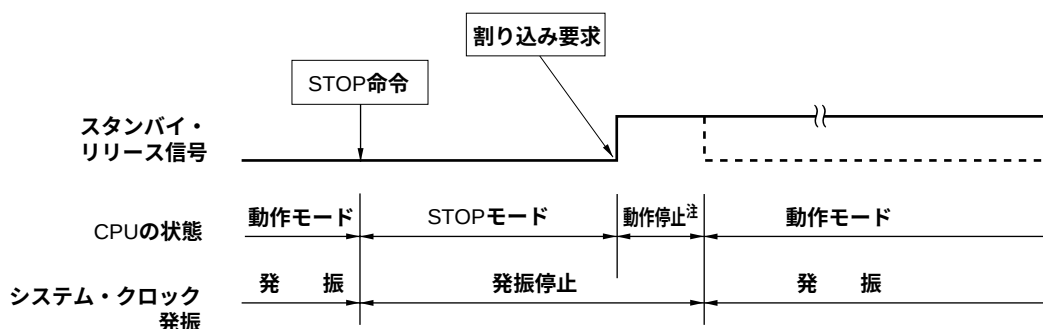
(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求（8ビット・タイマH1[※]，低電圧検出回路，外部割り込み要求）による解除の場合，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

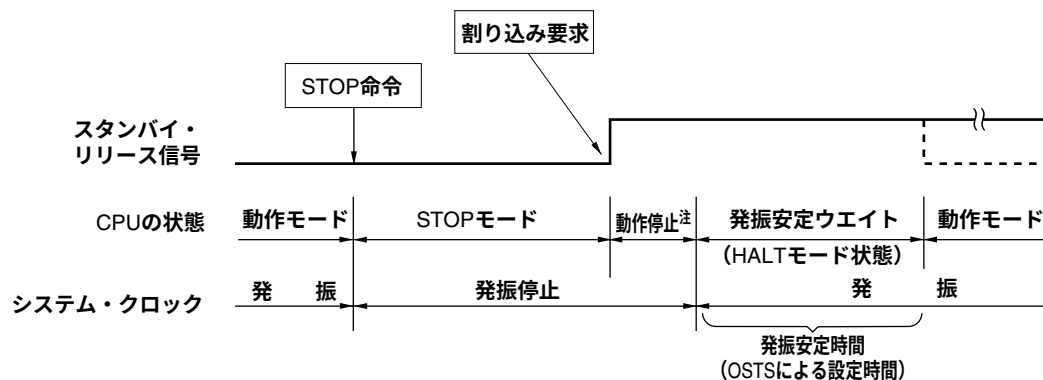
注 カウント・クロックを $f_{RL}/2^7$ に設定した場合のみ

図13-5 STOPモードの割り込み要求発生による解除

(1) CPUクロックが高速内蔵発振クロックまたは外部クロック入力の場合



(2) CPUクロックが水晶／セラミック発振クロックの場合



注 動作停止時間は，17 μ s(MIN.)，34 μ s(TYP.)，67 μ s(MAX.)です。

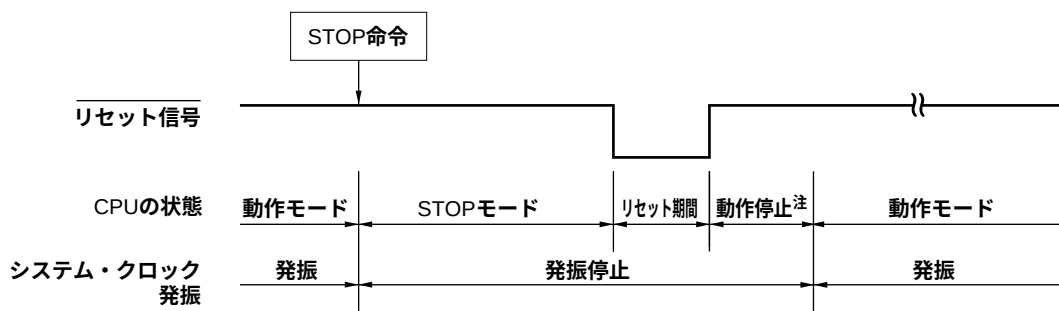
備考 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

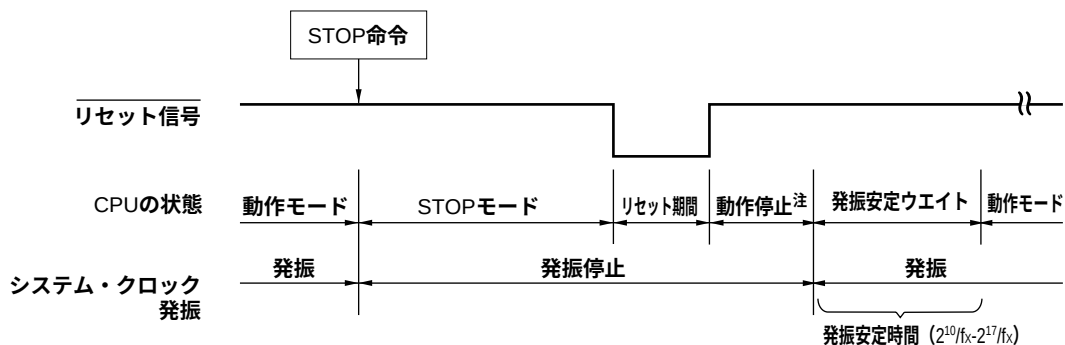
図13-6 STOPモードのリセット信号の発生による解除

(1) CPUクロックが高速内蔵発振クロックまたは外部クロック入力の場合



注 オプション・バイト参照のため、動作停止状態 (277 μ s(MIN.), 544 μ s(TYP.), 1.075 ms(MAX.)) になります。

(2) CPUクロックが水晶／セラミック発振クロックの場合



注 オプション・バイト参照のため、動作停止状態 (276 μ s(MIN.), 544 μ s(TYP.), 1.074 ms(MAX.)) になります。

備考 f_x : システム・クロック発振周波数

表13-5 STOPモード時の割り込み要求に対する動作

解除ソース	MK××	IE	動作
マスクابل割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	STOPモード保持
リセット信号発生	—	×	リセット処理

× : don't care

第14章 リセット機能

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのオーバフローによる内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

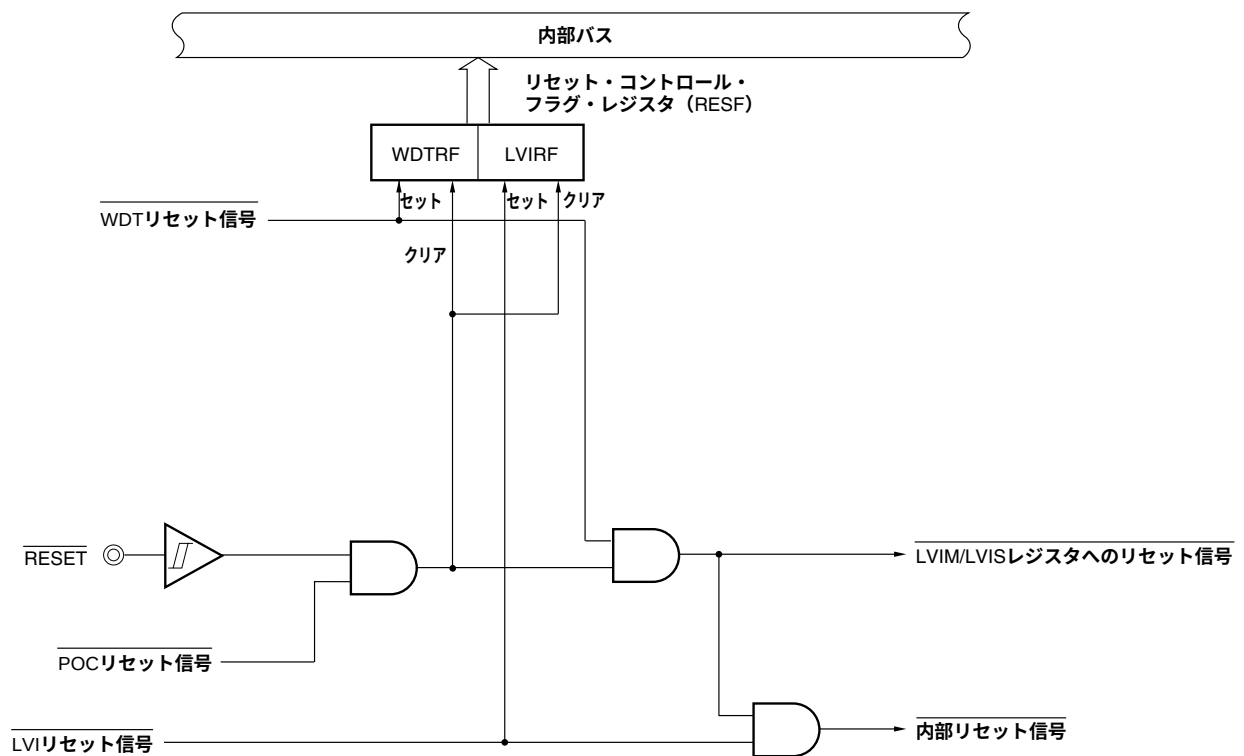
$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマのオーバフローが発生するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表14-1に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、P130のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、オプション・バイト参照後（水晶／セラミック発振の場合は、オプション・バイトを参照し、クロック発振安定時間経過後）、CPUがプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、リセット後、自動的にリセットが解除され、オプション・バイト参照後（水晶／セラミック発振の場合は、オプション・バイトを参照し、クロック発振安定時間経過後）、CPUがプログラムの実行を開始します（図14-2から図14-4参照）。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、オプション・バイト参照後（水晶／セラミック発振の場合は、オプション・バイトを参照し、クロック発振安定時間経過後）、CPUがプログラムの実行を開始します（第15章 パワーオン・クリア回路と第16章 低電圧検出回路参照）。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に2 μs 以上のロウ・レベルを入力してください。

2. リセット信号発生中は、システム・クロック、低速内蔵発振クロックともに発振を停止します。
3. $\overline{\text{RESET}}$ 端子を入力専用ポート (P34) として使用する場合、POC回路、LVI回路、ウォッチドッグ・タイマによるリセット解除後、再度オプション・バイトを参照するまでに $\overline{\text{RESET}}$ 端子にロウ・レベルを入力すると、78K0S/KA1+はリセット状態となり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されるまでリセット状態が保持されます。

図14-1 リセット機能のブロック図

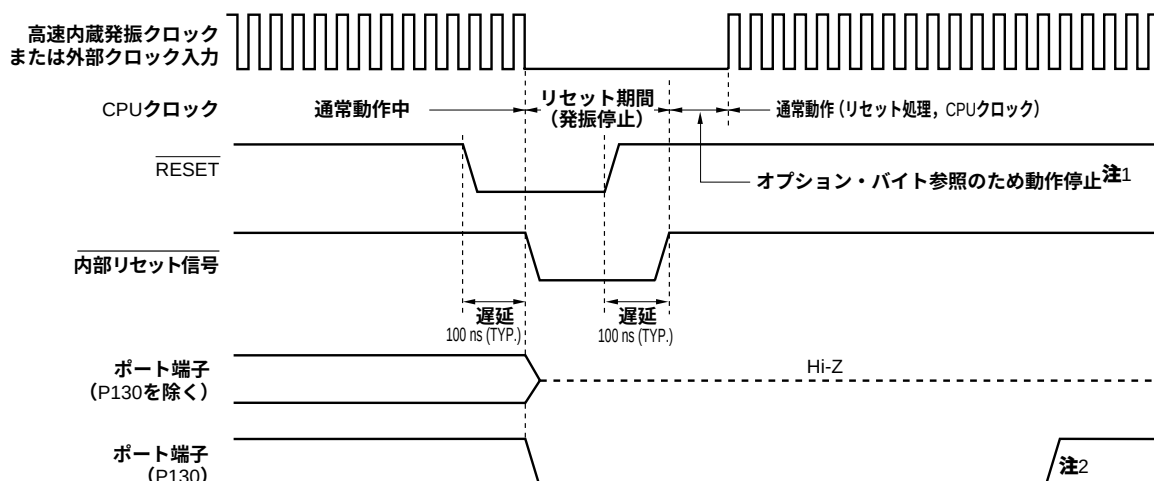


注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考**1. LVIM : 低電圧検出レジスタ
 2. LVIS : 低電圧検出レベル選択レジスタ

図14-2 RESET入力によるリセット・タイミング

① 高速内蔵発振クロックまたは外部クロック入力の場合

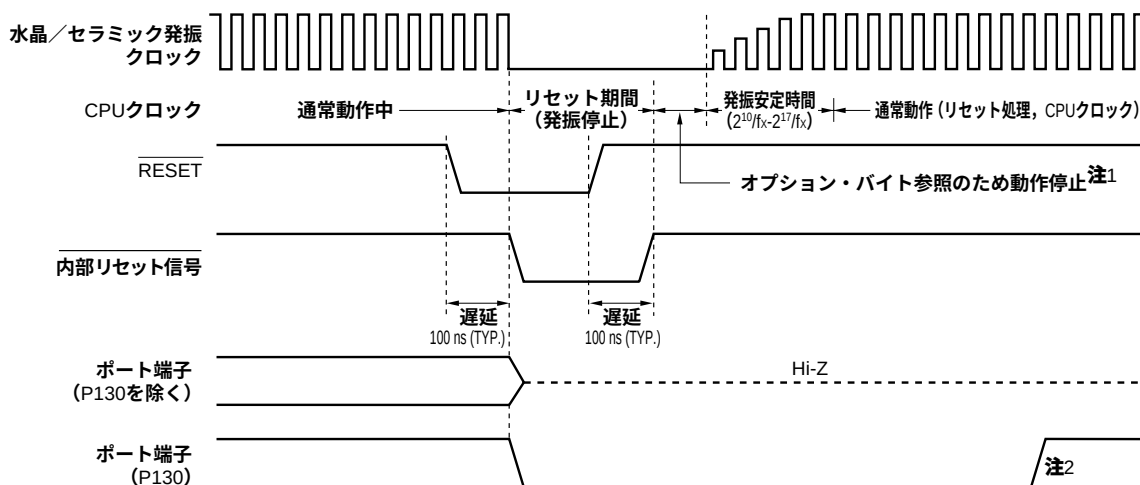


注1. 動作停止時間は、277 μ s(MIN.), 544 μ s(TYP.), 1.075 ms(MAX.)です。

2. ソフトウェアでハイ・レベル出力にしてください。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力した場合、P130からの出力をCPUリセット信号として疑似的に出力するという使い方ができます。

② 水晶／セラミック発振クロックの場合



注1. 動作停止時間は、276 μ s(MIN.), 544 μ s(TYP.), 1.074 ms(MAX.)です。

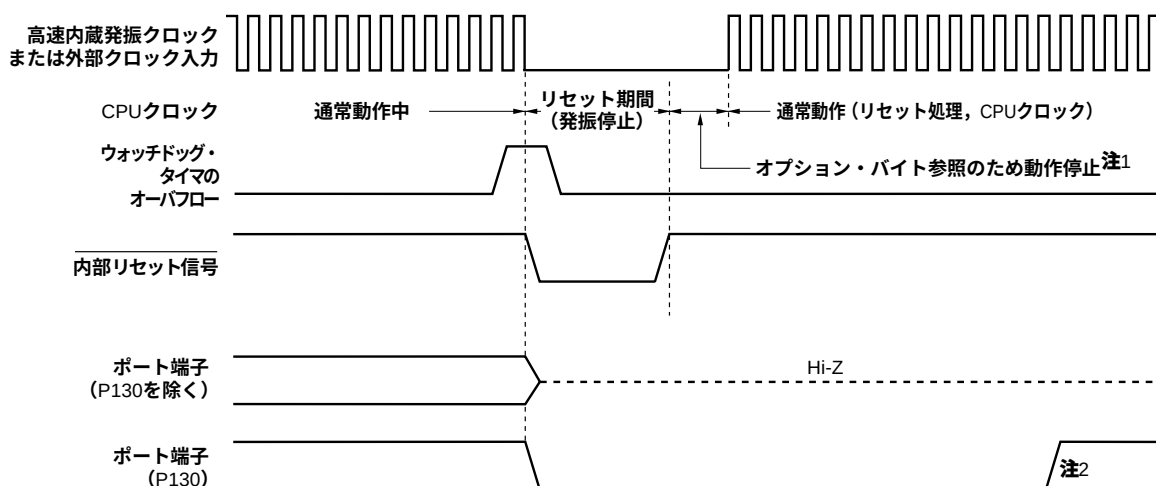
2. ソフトウェアでハイ・レベル出力にしてください。

備考1. f_x : システム・クロック発振周波数

2. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力した場合、P130からの出力をCPUリセット信号として疑似的に出力するという使い方ができます。

図14-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

① 高速内蔵発振クロックまたは外部クロック入力の場合



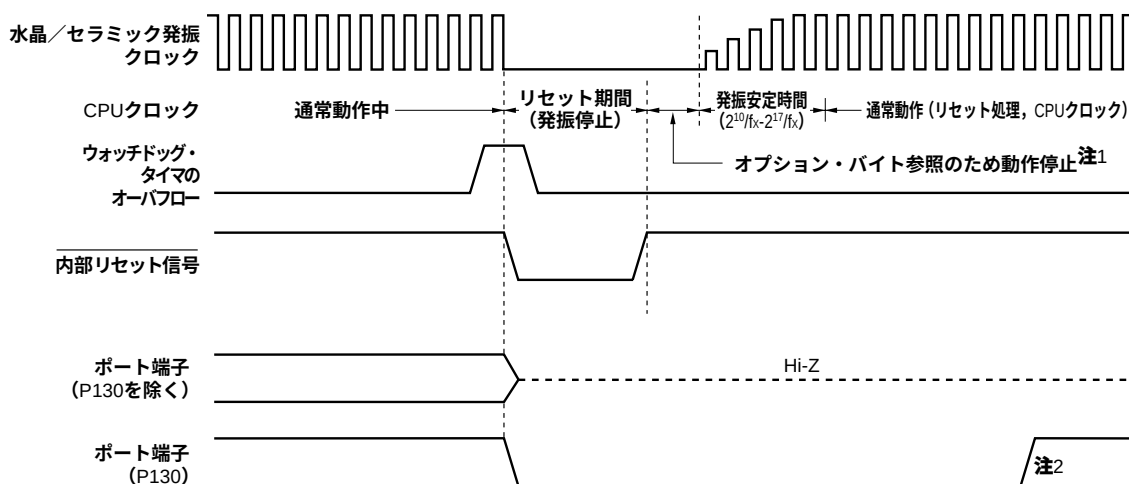
注1. 動作停止時間は、277 μ s(MIN.), 544 μ s(TYP.), 1.075 ms(MAX.)です。

2. ソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力した場合、P130からの出力をCPUリセット信号として疑似的に出力するという使い方ができます。

② 水晶／セラミック発振クロックの場合



注1. 動作停止時間は、276 μ s(MIN.), 544 μ s(TYP.), 1.074 ms(MAX.)です。

2. ソフトウェアでハイ・レベル出力にしてください。

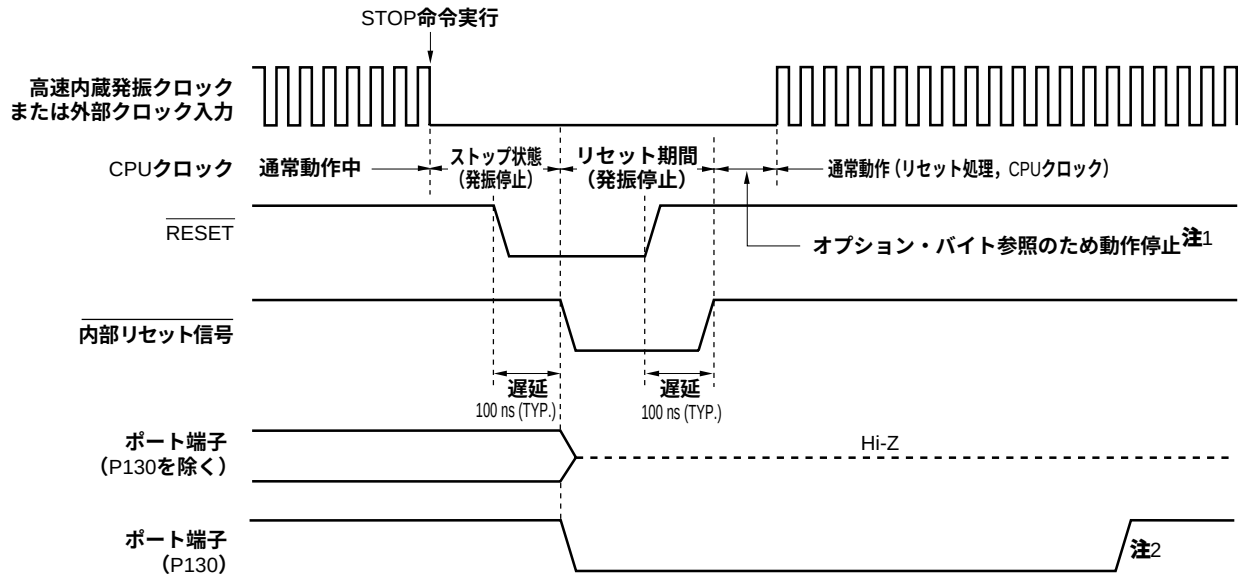
注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

備考1. f_x : システム・クロック発振周波数

2. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力した場合、P130からの出力をCPUリセット信号として疑似的に出力するという使い方ができます。

図14-4 STOPモード中のRESET入力によるリセット・タイミング

① 高速内蔵発振クロックまたは外部クロック入力の場合

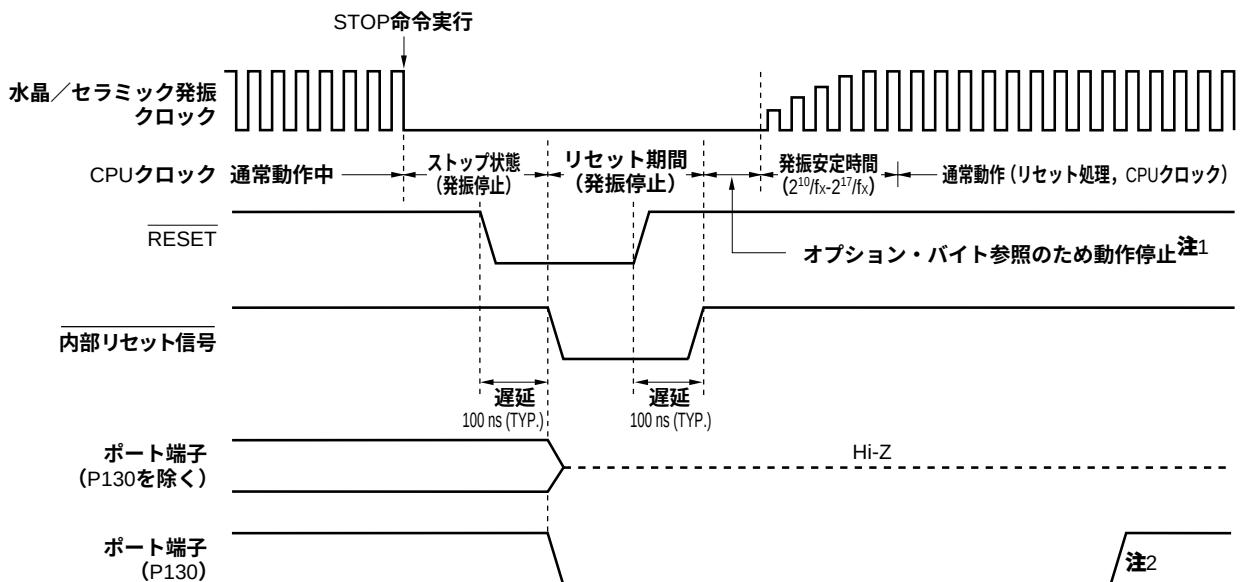


注1. 動作停止時間は、277 μ s(MIN.), 544 μ s(TYP.), 1.075 ms(MAX.)です。

2. ソフトウェアでハイ・レベル出力にしてください。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力した場合、P130からの出力をCPUリセット信号として疑似的に出力するという使い方ができます。

② 水晶／セラミック発振クロックの場合



注1. 動作停止時間は、276 μ s(MIN.), 544 μ s(TYP.), 1.074 ms(MAX.)です。

2. ソフトウェアでハイ・レベル出力にしてください。

備考1. パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは第15章 パワーオン・クリア回路と第16章 低電圧検出回路を参照してください。

2. f_x : システム・クロック発振周波数
3. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力した場合、P130からの出力をCPUリセット信号として疑似的に出力するという使い方ができます。

表14-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P2-P4, P12, P13) (出力ラッチ)		00H
ポート・モード・レジスタ (PM2-PM4, PM12)		FFH
ポート・モード・コントロール・レジスタ (PMC2)		00H
ブルアップ抵抗オプション・レジスタ (PU2, PU3, PU4, PU12)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
プリプロセッサ・クロック・コントロール・レジスタ (PPCC)		02H
低速内蔵発振モード・レジスタ (LSRCM)		00H
発振安定時間選択レジスタ (OSTS)		不定
16ビット・タイマ00	タイマ・カウンタ00 (TM00)	0000H
	キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)	0000H
	モード・コントロール・レジスタ00 (TMC00)	00H
	プリスケアラ・モード・レジスタ00 (PRM00)	00H
	キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)	00H
	タイマ出力コントロール・レジスタ00 (TOC00)	00H
8ビット・タイマ80	タイマ・カウンタ (TM80)	00H
	コンペア・レジスタ (CR80)	不定
	モード・コントロール・レジスタ (TMC80)	00H
8ビット・タイマH1	コンペア・レジスタ (CMP01, CMP11)	00H
	モード・レジスタ1 (TMHMD1)	00H
ウォッチドッグ・タイマ	モード・レジスタ (WDTM)	67H
	イネーブル・レジスタ (WDTE)	9AH
A/Dコンバータ	変換結果レジスタ (ADCR, ADCRH)	不定
	モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

表14-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
シリアル・インタフェース UART6	受信バッファ・レジスタ6 (RXB6)	FFH
	送信バッファ・レジスタ6 (TXB6)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	00H
	クロック選択レジスタ6 (CKSR6)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)	16H
	入力切り替え制御レジスタ (ISC)	00H
リセット機能	リセット・コントロールフラグ・レジスタ (RESF)	00H ^注
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^注
	低電圧検出レベル選択レジスタ (LVIS)	00H ^注
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0, INTM1)	00H
フラッシュ・メモリ	フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)	不定
	フラッシュ・ステータス・レジスタ (PFS)	00H
	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	不定
	フラッシュ・プログラミング・コマンド・レジスタ (FLCMD)	00H
	フラッシュ・アドレス・ポインタL (FLAPL)	不定
	フラッシュ・アドレス・ポインタH (FLAPH)	
	フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC)	00H
	フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC)	00H
	フラッシュ・ライト・バッファ・レジスタ (FLW)	00H

注 リセット要因により、次のように変化します。

リセット要因 レジスタ		RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
RESF	WDTRF	クリア (0)	クリア (0)	セット (1)	保持
	LVIRF			保持	セット (1)
LVIM		クリア (00H)	クリア (00H)	クリア (00H)	保持
LVIS					

14.1 リセット要因を確認するレジスタ

78K0S/KA1+は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセット信号の発生およびRESFのデータを読み出すことにより、00Hになります。

図14-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス：FF54H リセット時：00H[※] R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表14-2に示します。

表14-2 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

第15章 パワーオン・クリア回路

15.1 パワーオン・クリア回路の機能

パワーオン・クリア（POC）回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
- ・電源電圧（ V_{DD} ）と検出電圧（ $V_{POC} = 2.1\text{ V (TYP.)}$ ）を比較し、 $V_{DD} < V_{POC}$ になったとき、内部リセット信号を発生します。
- ・電源電圧（ V_{DD} ）と検出電圧（ $V_{POC} = 2.1\text{ V (TYP.)}$ ）を比較し、 $V_{DD} \geq V_{POC}$ になったとき、内部リセットを解除します。

注意1. POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。

2. POC回路の検出電圧（ V_{POC} ）が含まれるため、下記の電圧範囲で使用してください。

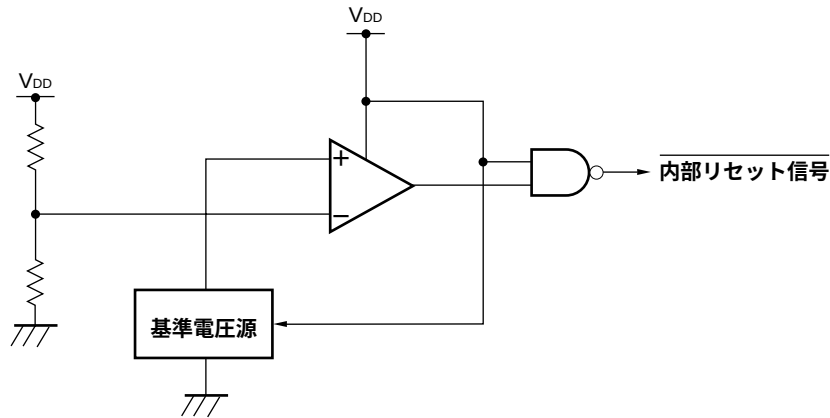
標準品，（A）水準品：2.2～5.5 V，（A2）水準品：2.26～5.5 V

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／低電圧検出（LVI）回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ（RESF）に配置されています。RESFはWDT/LVIのいずれかによる内部リセット信号が発生した場合は、クリア（00H）されずフラグがセット（1）されます。RESFの詳細については、第14章 リセット機能を参照してください。

15.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図15-1に示します。

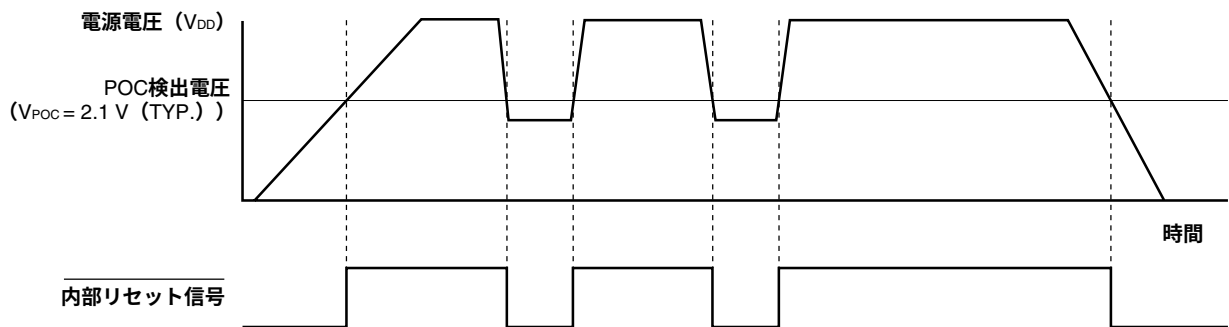
図15-1 パワーオン・クリア回路のブロック図



15.3 パワーオン・クリア回路の動作

パワーオン・クリア回路では、電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 2.1 \text{ V (TYP.)}$) を比較し、 $V_{DD} < V_{POC}$ のときは内部リセット信号を発生、 $V_{DD} \geq V_{POC}$ になったときは内部リセットを解除します。

図15-2 パワーオン・クリア回路の内部リセット信号発生タイミング



15.4 パワーオン・クリア回路の注意事項

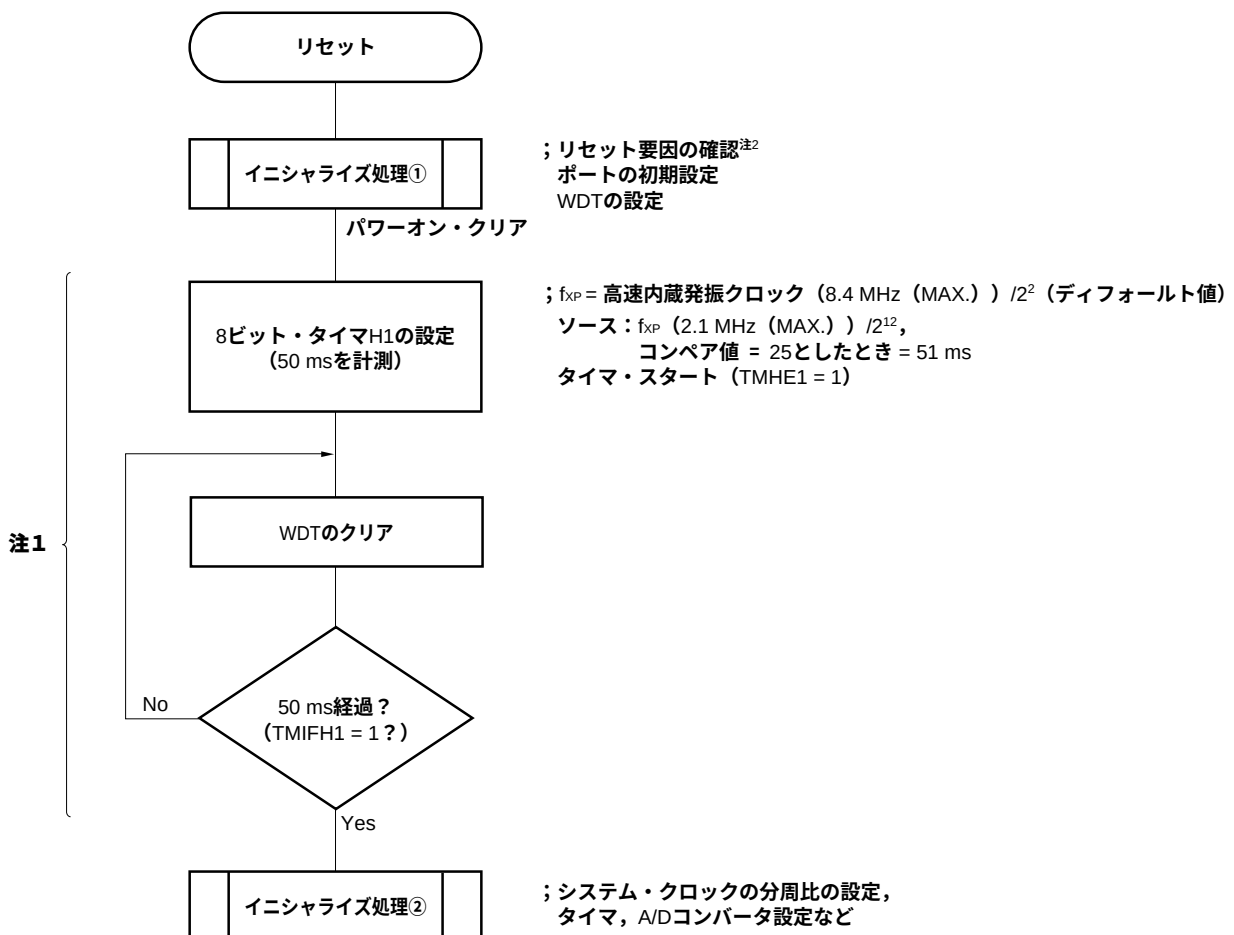
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください。

図15-3 リセット解除後のソフト処理例 (1/2)

- ・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

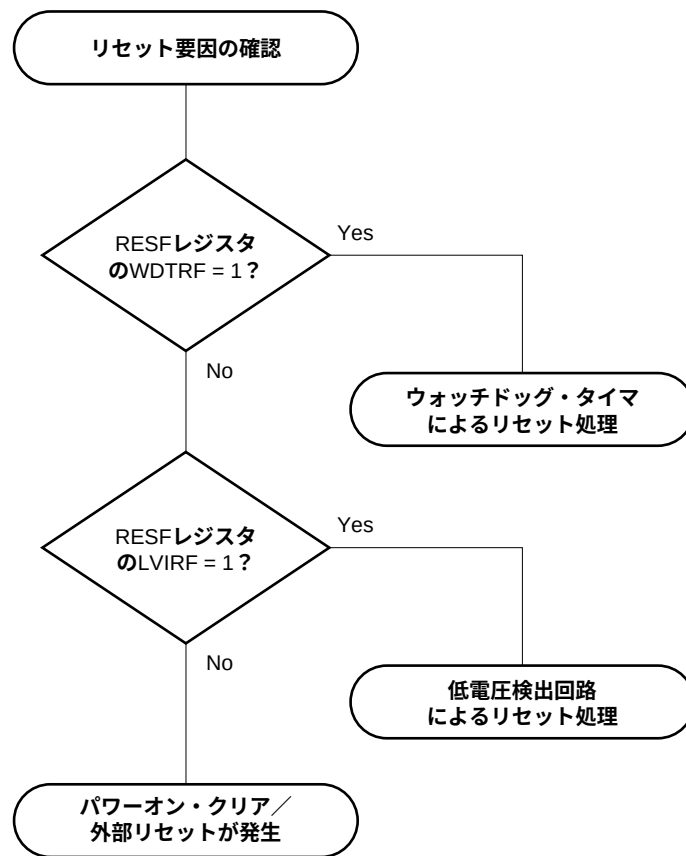


注1. この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

2. 次頁にフロー・チャートを示します。

図15-3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第16章 低電圧検出回路

16.1 低電圧検出回路の機能

低電圧検出（LVI）回路は次のような機能を持ちます。

- 電源電圧（ V_{DD} ）と検出電圧（ V_{LVI} ）を比較し、 $V_{DD} < V_{LVI}$ になったとき、内部割り込み信号もしくは内部リセット信号を発生します。
- 電源電圧の検出レベル（10段階）をソフトウェアにて変更できます。
- 割り込み／リセットをソフトウェアにて選択できます。
- STOPモード時においても動作可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFについての詳細は、第14章 リセット機能を参照してください。

- 259

(1) 低電圧検出レジスタ (LVIM)

低電圧検出、動作モードを設定するレジスタです。

LVIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット入力により、00H^{※1}になります。

図16-2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス：FF50H リセット時：00H^{※1} R/W^{※2}

略号	[7]	6	5	4	3	2	[1]	[0]
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION ^{※3}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI}) 時に割り込み信号発生
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI}) 時に内部リセット信号発生

LVIF ^{※4}	低電圧検出フラグ
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVI}) , または動作禁止時
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVI})

注1. LVIによるリセットの場合、LVIMの値は初期化されません。

2. ビット0はRead Onlyです。

3. LVIONをセット (1) すると、LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに0.2 ms以上ソフトウェアでウェイトしてください。

4. LVIFの値は、LVION = 1かつLVIMD = 0の場合に、割り込み要求信号INTLVIとして出力されます。

注意1. LVIを停止する場合は、次のいずれかの手順を行ってください。

・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む

・1ビット・メモリ操作命令の場合：LVIONをクリア (0)

2. ビット2-6には、必ず0を設定してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、8ビット・メモリ操作命令で設定します。

リセット入力により、00H[※]になります。

図16-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FF51H リセット時：00H[※] R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V _{LV10} (4.3 V±0.2 V)
0	0	0	1	V _{LV11} (4.1 V±0.2 V)
0	0	1	0	V _{LV12} (3.9 V±0.2 V)
0	0	1	1	V _{LV13} (3.7 V±0.2 V)
0	1	0	0	V _{LV14} (3.5 V±0.2 V)
0	1	0	1	V _{LV15} (3.3 V±0.15 V)
0	1	1	0	V _{LV16} (3.1 V±0.15 V)
0	1	1	1	V _{LV17} (2.85 V±0.15 V)
1	0	0	0	V _{LV18} (2.6 V±0.1 V)
1	0	0	1	V _{LV19} (2.35 V±0.1 V)
上記以外				設定禁止

注 LV1によるリセットの場合、LVISの値は初期化されません。

注意1. ビット4-7には必ず“0”を設定してください。

2. LVI動作中に同値以外の書き込みを行った場合、書き込んだ瞬間の値が不定状態になるため、書き込みを行う前にLVIを停止 (LVIMレジスタのビット7(LVION) = 0) してから、書き込みを行ってください。

16.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

- ・リセットとして使用

電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のときは内部リセット信号を発生、 $V_{DD} \geq V_{LVI}$ のときは内部リセットを解除します。

- ・割り込みとして使用

電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき割り込み信号 (INTLVI) を発生します。

動作設定方法は次のとおりです。

(1) リセットとして使用する場合

●動作開始時

- ① LVIの割り込みをマスクする ($LVIMK = 1$)
- ② 低電圧検出レベル選択レジスタ (LVIS) のビット3-0 ($LVIS3$ - $LVIS0$) で検出電圧を設定する
- ③ $LVIM$ のビット7 ($LVION$) に “1” (LVI 動作許可) を設定する
- ④ 0.2 ms以上ソフトウェアでウェイトする
- ⑤ $LVIM$ のビット0 ($LVIF$) で、「電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI}) 」であることを確認するまで待つ
- ⑥ $LVIM$ のビット1 ($LVIMD$) に “1” (電源電圧 (V_{DD}) $<$ 検出電圧 (V_{LVI}) 時に、内部リセット信号発生) を設定する

図16-4に①～⑥と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. ①は必ず行ってください。 $LVIMK = 0$ になっている場合、③の処理を行った時点で割り込みが発生する場合があります。

2. $LVIMD = 1$ とした時点で、「電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI}) 」であれば内部リセット信号は発生しません。

●動作停止時

次のいずれかの手順を、必ず実行してください。

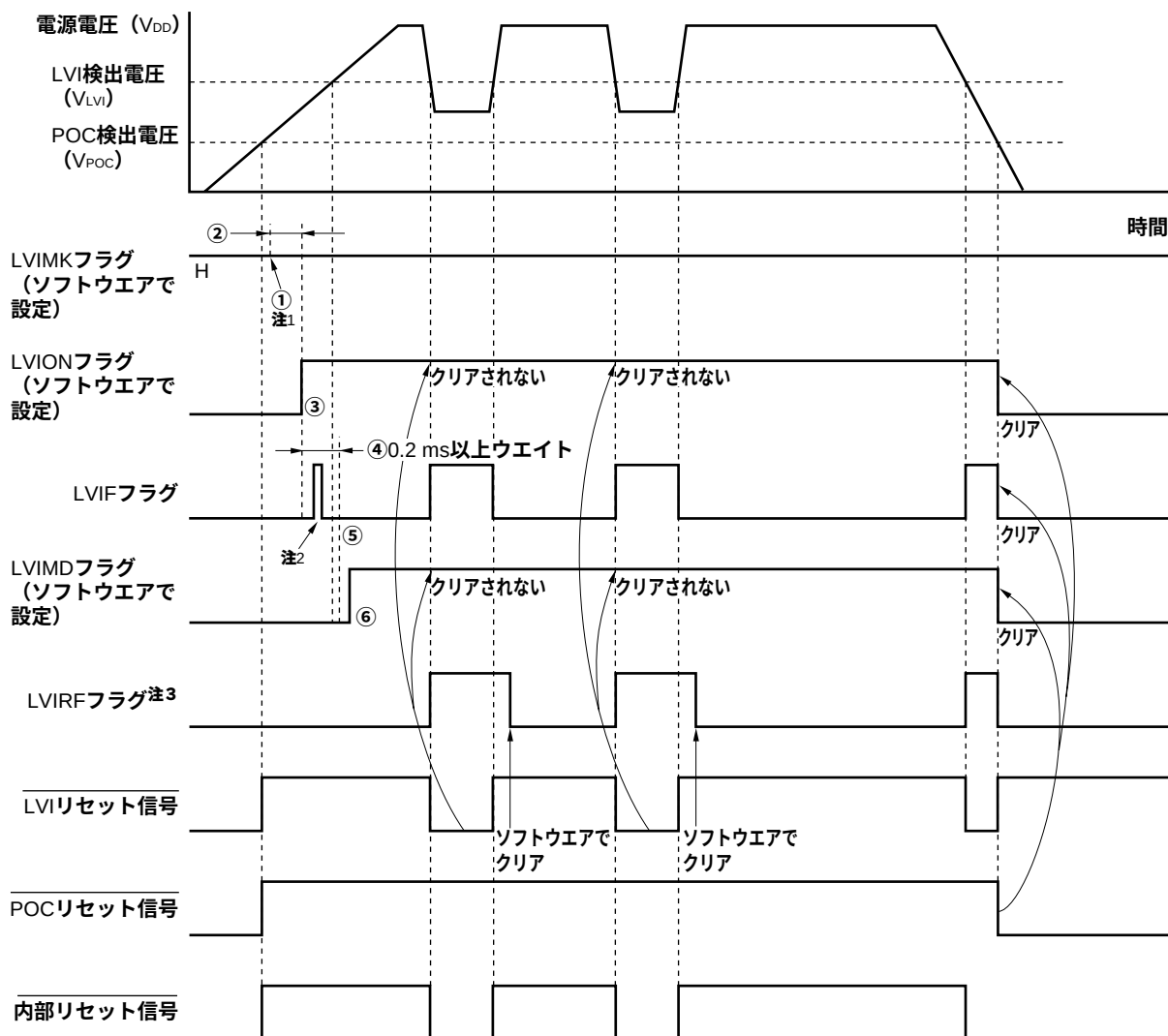
- ・8ビット・メモリ操作命令の場合：

$LVIM$ に “00H” を書き込む

- ・1ビット・メモリ操作命令の場合：

$LVIMD$ をクリア (0) $\rightarrow$ $LVION$ をクリア (0)

図16-4 低電圧検出回路の内部リセット信号発生タイミング



注1. LVIMKフラグはリセット信号発生により，“1”になっています。

2. LVIFフラグがセット（1）される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は、第14章 リセット機能を参照してください。

備考 図16-4の①～⑥は、16.4（1）リセットとして使用する場合 ●動作開始時の①～⑥と対応しています。

(2) 割り込みとして使用する場合

●動作開始時

- ① LVIの割り込みをマスクする (LVIMK = 1)
- ② 低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する
- ③ LVIMのビット7 (LVION) に“1” (LVI動作許可) を設定する
- ④ 0.2 ms以上ソフトウェアでウェイトする
- ⑤ LVIMのビット0 (LVIF) で、「電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI})」であることを確認するまで待つ
- ⑥ LVIの割り込み要求フラグ (LVIIIF) をクリア (0) する
- ⑦ LVIの割り込みマスク・フラグ (LVIMK) を解除する
- ⑧ (ベクタ割り込みを使用する場合) EI命令を実行する

図16-5に、①～⑦と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

●動作停止時

次のいずれかの手順を、必ず実行してください。

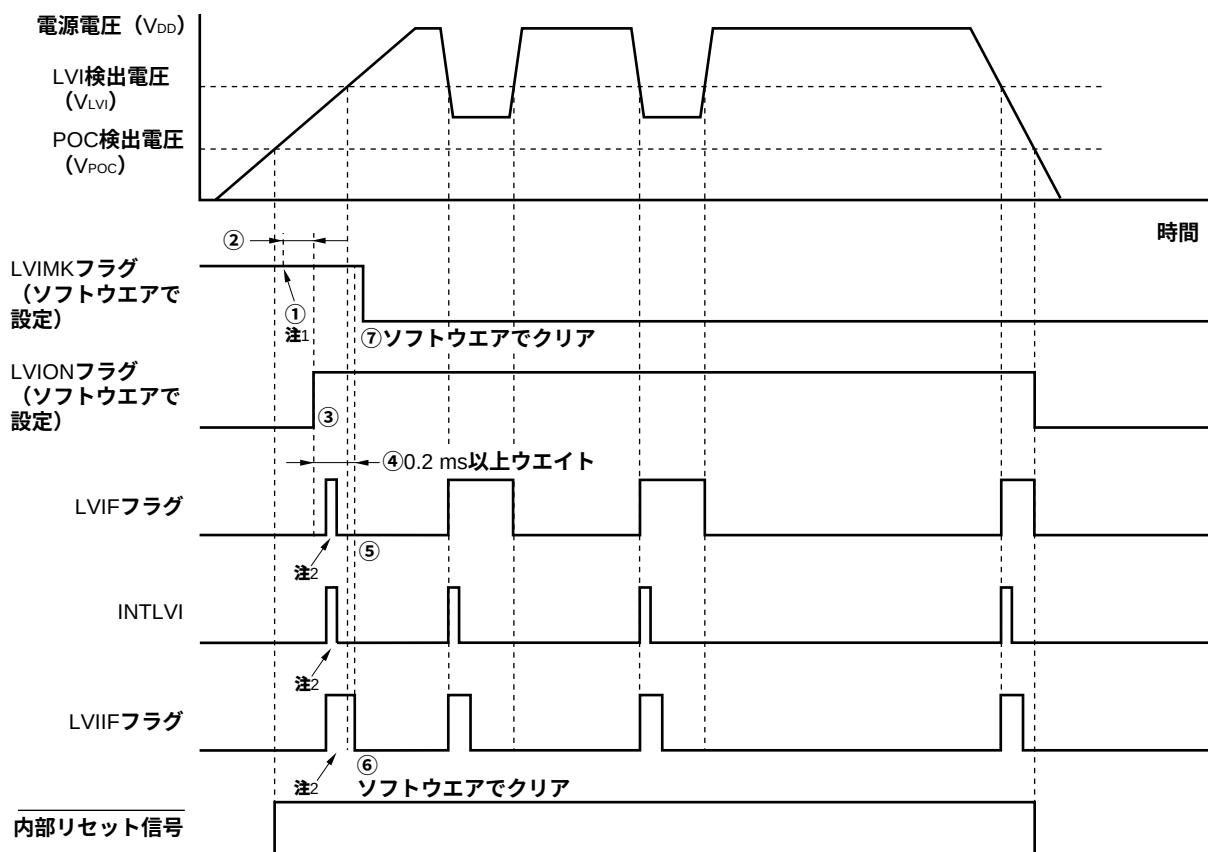
- ・8ビット・メモリ操作命令の場合：

LVIMに“00H”を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIONをクリア (0)

図16-5 低電圧検出回路の割り込み信号発生タイミング



注1. LVIMKフラグはリセット信号発生により、“1”になっています。

2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIFフラグがセット (1) される可能性があります。

備考 図16-5の①～⑦は、16.4 (2) 割り込みとして使用する場合 ●動作開始時の①～⑦と対応しています。

16.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

① リセットとして使用する場合

リセット状態／リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

② 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

このようなシステム構成の場合、次の処置をしてください。

<処 置>

(1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください（図16-6を参照）。

(2) 割り込みとして使用する場合

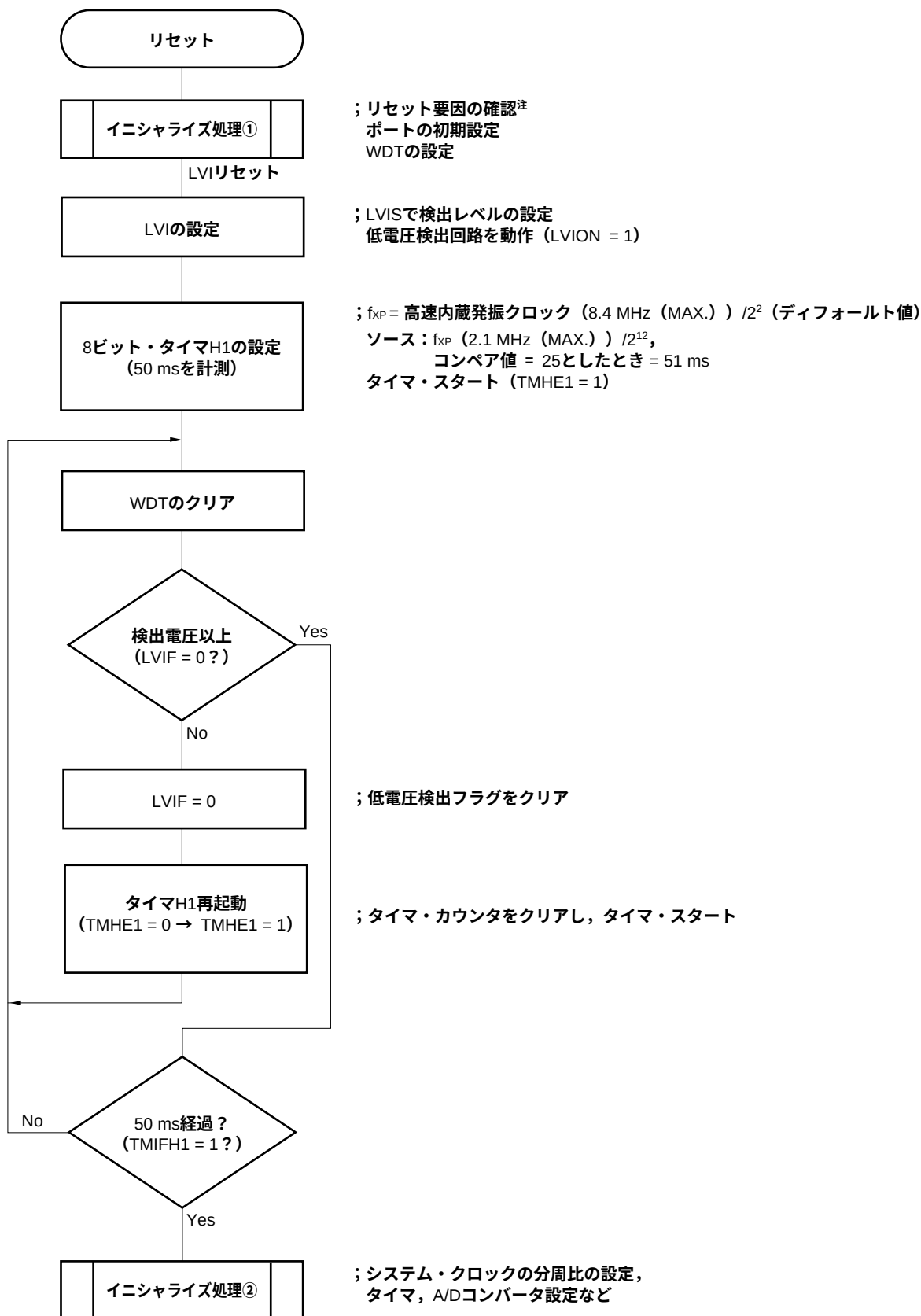
(a) LVI割り込みの処理ルーチン内で、低電圧検出時の処理[※]を行い、低電圧検出レジスタ (LVIM) のビット0 (LVIF) で“電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI}) ”を確認し、割り込み要求フラグ・レジスタ0 (IF0) のビット1 (LVIIF) をクリア (0) してください。

(b) LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウェイトしたあとに、LVIFフラグで“電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI}) ”を確認し、LVIIFフラグをクリア (0) してください。

注 低電圧検出時の処理には、CPUクロックを低速に変更する、A/Dコンバータを停止するなどがあります。

図16-6 リセット解除後のソフト処理例 (1/2)

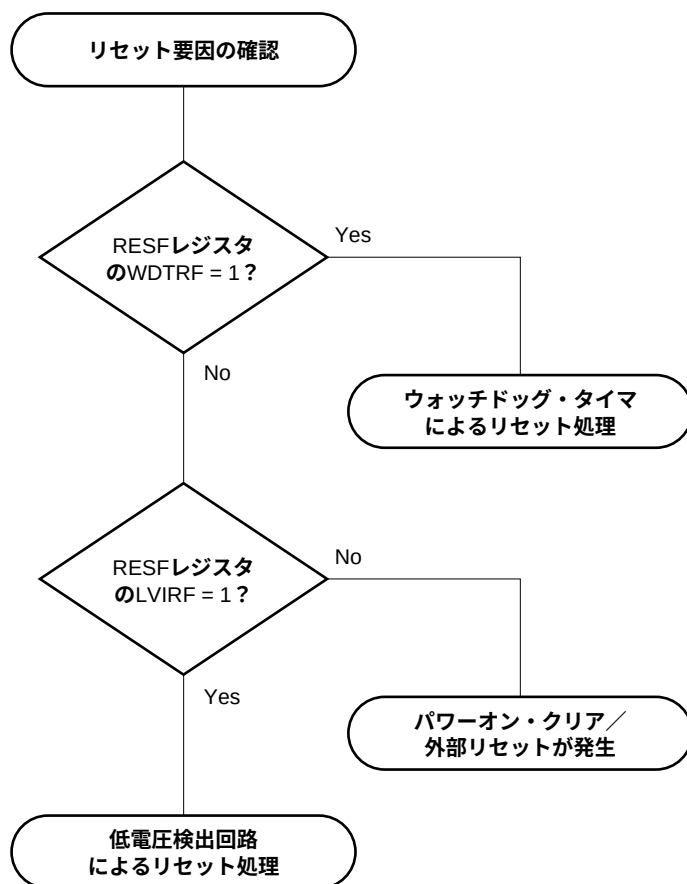
- ・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次頁にフロー・チャートを示します。

図16-6 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第17章 オプション・バイト

17.1 オプション・バイトの機能

78K0S/KA1+のフラッシュ・メモリの0080Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

(1) システム・クロック・ソースの選択

- ・高速内蔵発振クロック
- ・水晶／セラミック発振クロック
- ・外部クロック入力

(2) 低速内蔵発振器の発振

- ・停止不可
- ・ソフトウェアにより停止可能

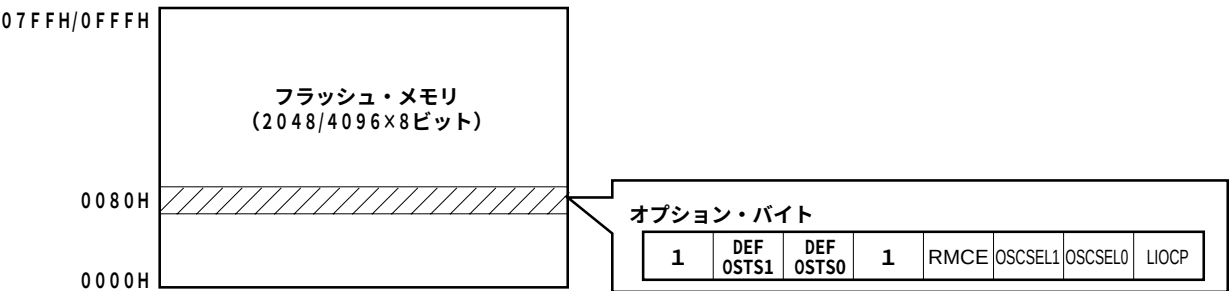
(3) $\overline{\text{RESET}}$ 端子の制御

- ・ $\overline{\text{RESET}}$ 端子として使用
- ・ $\overline{\text{RESET}}$ 端子を入力専用ポート（P34）として使用（17.3 $\overline{\text{RESET}}$ 端子を入力専用ポート（P34）として使用した場合の注意事項参照）

(4) 電源投入時，またはリセット解除後の発振安定時間の設定

- ・ $2^{10}/f_x$
- ・ $2^{12}/f_x$
- ・ $2^{15}/f_x$
- ・ $2^{17}/f_x$

図17-1 オプション・バイトの位置



17.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図17-2 オプション・バイトのフォーマット (1/2)

アドレス：0080H

7	6	5	4	3	2	1	0
1	DEFOSTS1	DEFOSTS0	1	RMCE	OSCSEL1	OSCSEL0	LIOP

DEFOSTS1	DEFOSTS0	電源投入時，またはリセット解除後の発振安定時間
0	0	$2^{10}/f_x$ (102.4 μ s)
0	1	$2^{12}/f_x$ (409.6 μ s)
1	0	$2^{15}/f_x$ (3.27 ms)
1	1	$2^{17}/f_x$ (13.1 ms)

注意 このオプションの設定は，システム・クロック・ソースに水晶／セラミック発振クロックを選択した場合のみ有効です。システム・クロック・ソースに高速内蔵発振クロック，外部クロック入力を選択した場合，ウェイト時間はありません。

RMCE	RESET 端子の制御
1	RESET 端子として使用
0	RESET 端子を入力専用ポート（P34）として使用

注意 オプション・バイトは，リセット解除後に参照するため，参照するまでにRESET 端子へロウ・レベルを入力するとリセット状態が解除されません。

また，RMCEに0を設定する場合，プルアップ抵抗を接続してください。

OSCSEL1	OSCSEL0	システム・クロック・ソースの選択
0	0	水晶／セラミック発振クロック
0	1	外部クロック入力
1	X	高速内蔵発振クロック

注意 X1，X2端子は，P121，P122端子と兼用していますので，選択したシステム・クロック・ソースによって，X1，X2端子の利用条件が変わります。

(1) 水晶／セラミック発振クロック選択時

X1，X2端子をクロック入力端子として使用するため，入出力ポートとして使用できません。

(2) 外部クロック入力選択時

X1端子は外部クロック入力端子として使用するため，P121を入出力ポートとして使用できません。

(3) 高速内蔵発振クロック選択時

P121，P122を入出力ポートとして使用可能です。

備考 X：don't care

図17-2 オプション・バイトのフォーマット (2/2)

LIACP	低速内蔵発振器の発振
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)
0	ソフトウェアにより停止可能 (LSRSTOPビットに1を書き込むことにより停止)

注意1. 「停止不可」を選択した場合、ウォッチドッグ・タイマ (WDT) へのカウント・クロックは低速内蔵発振クロック固定になります。

2. 「ソフトウェアより停止可能」を選択した場合、低速内蔵発振モード・レジスタ (LSRCM) のビット0 (LSRSTOP) の設定に関係なく、HALT/STOPモード時は、WDTへのカウント・クロック供給が停止されます。同様に、WDTへのカウント・クロックに低速内蔵発振クロック以外を選択している場合も、クロック供給が停止されます。

低速内蔵発振器動作中 (LSRSTOP=0) は、STOPモード時でも8ビット・タイマH1にクロックを供給できます。

備考1. () 内は $f_x = 10 \text{ MHz}$ 動作時

2. 発振子の発振安定時間は、ご使用される発振子の特性を確認してください。
3. オプション・バイト設定のソフトウェア記述例を次に示します。

OPB CSEG AT 0080H

DB 10010001B ; オプション・バイト設定
; 低速内蔵発振クロック発振停止不可
; システム・クロックは水晶／セラミック発振
; RESET端子を入力専用ポート (P34) として使用
; 発振安定時間最小 ($2^{10}/f_x$)

4. オプション・バイトの参照するタイミングについては、第14章 リセット機能を参照してください。

17.3 RESET端子を入力専用ポート (P34) として使用した場合の注意事項

オプション・バイト機能で「RESET端子を入力専用ポート (P34) として使用」と設定した書き込み済みデバイスに対して、再度、専用フラッシュ・メモリ・プログラマを使用し、オンボード・プログラミングにて消去／書き込みを行う場合、下記の点に注意してください。

ターゲット・システムに電源供給する前に、専用フラッシュ・メモリ・プログラマを接続し、専用フラッシュ・メモリ・プログラマの電源をONにしてください。事前にターゲット・システムに電源供給を行った場合、フラッシュ・メモリ・プログラミング・モードに切り替えできなくなります。

第18章 フラッシュ・メモリ

18.1 特 徴

78K0S/KA1+の内蔵フラッシュ・メモリには、次のような特徴があります。

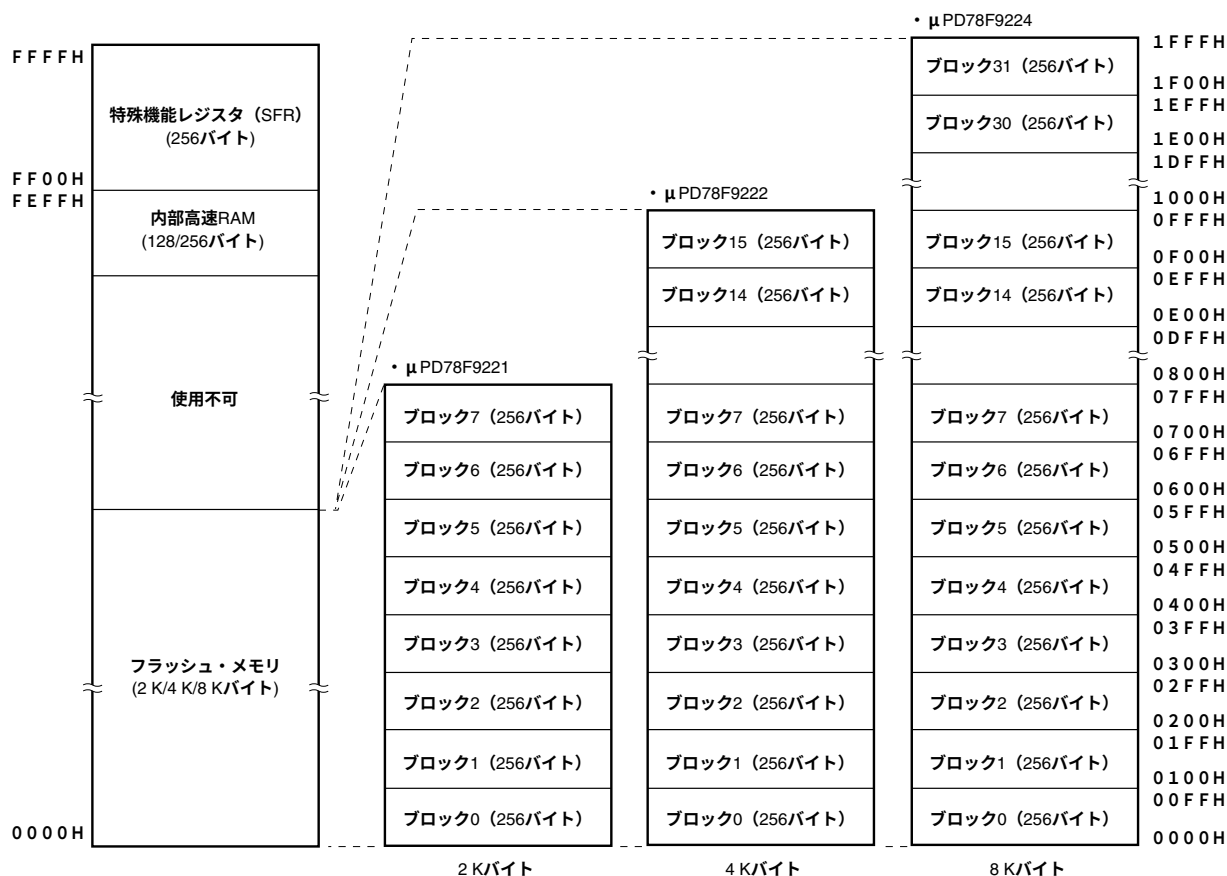
- 専用の別電源を準備しなくても消去／書き込みが可能
- 容量：2 Kバイト／4 Kバイト／8 Kバイト
 - ・消去単位：1ブロック（256バイト）
 - ・書き込み単位：1ブロック（オンボード／オフボード・プログラミング時），1バイト（セルフ・プログラミング時）
- 書き換え方式
 - ・専用フラッシュ・メモリ・プログラマとの通信による書き換え（オンボード／オフボード・プログラミング）
 - ・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）
- セキュリティ機能による，オンボード／オフボード・プログラミング時のフラッシュ・メモリの書き換え禁止機能をサポート
- プロテクト・バイトによる，セルフ・プログラミング時のブロック単位での保護機能をサポート

18.2 メモリ構成

2K/4K/8Kバイトの内蔵フラッシュ・メモリの領域は8/16/32個のブロックに分割されており、専用フラッシュ・メモリ・プログラマにより、各ブロック単位にて消去可能となっています。

★

図18-1 フラッシュ・メモリ・マッピング



18.3 機能概要

78K0S/KA1+の内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オンボード／オフボード・プログラミング）。

また、ターゲット・システムの製造／出荷後のプログラム変更を想定しているアプリケーションに適した、ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）を用意しています。

書き換え機能については、表18-1を参照してください。

内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。セキュリティ機能の詳細については、18.7.3 セキュリティ設定を参照してください。

表18-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オンボード／オフボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。	セルフ・プログラミング・モード

備考1. FAシリーズは、（株）内藤電誠町田製作所の製品です。

2. フラッシュ・メモリ書き換えの制御機能の詳細については、次の節を参照してください。

- ・ 18.7 オンボード／オフボード時のフラッシュ・メモリ・プログラミング
- ・ 18.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

18.4 フラッシュ・メモリ・プログラマによる書き込み方法

78K0S/KA1+の内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用します。

- ・ FlashPro5（PG-FP5, FL-PR5）
- ★ 　・ QB-MINI2

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0S/KA1+を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタ、テストパッドを実装しておいてください。テストパッドは、水晶／セラミック発振子を実装して書き換えをする場合のみ必要となります（テストパッドの実装については、図18-4を参照）。

(2) オフボード・プログラミング

ターゲット・システム上に78K0S/KA1+を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

★ **備考** FL-PR5, FAシリーズは、（株）内藤電誠町田製作所の製品です。

18.5 プログラミング環境

フラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

★ 図18-2 フラッシュ・メモリにプログラムを書き込むための環境 (FlashPro5/QB-MINI2)



★ 備考 QB-MINI2では、SO/TxDの信号名はDATAになります。

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。ただし、PG-FP5, FL-PR5は、ホスト・マシンからプログラムをダウンロードしたあと、専用フラッシュ・メモリ・プログラマ単体によるデータ書き込みが可能となります。

専用フラッシュ・メモリ・プログラマと78K0S/KA1+とのインタフェースはUARTを使用して、書き込み、消去などの操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

フラッシュ・メモリ・プログラマ用ファームウェア、プログラミングGUI、パラメータ・ファイルについては、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/>) より最新版を入手してご使用ください。

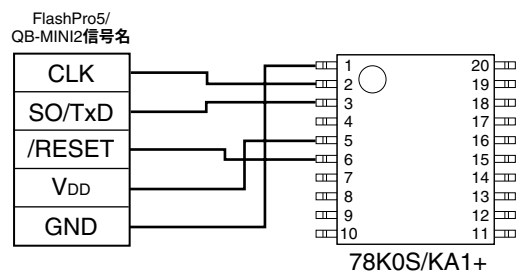
★

表18-2 78K0S/KA1+とFlashPro5/QB-MINI2の配線表

FlashPro5/QB-MINI2接続端子			78K0S/KA1+接続端子	
信号名	入出力	端子機能	端子名	ピン番号
CLK	出力	78K0S/KA1+へのクロック	X1/P121	2
SO/TxD	出力	送信信号／オンボード・モード信号	X2/P122	3
/RESET	出力	リセット信号	RESET/P34	6
V _{DD}	—	V _{DD} 電圧作成／電圧監視	V _{DD}	5
GND	—	グランド	V _{SS}	1

★

図18-3 FlashPro5/QB-MINI2との配線図



★

備考 QB-MINI2では、SO/TxDの信号名はDATAになります。

18.6 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

セルフ・プログラミング・モード時では、端子はHALTモード時の状態になります。

18.6.1 X1, X2端子

X1, X2端子は、それぞれフラッシュ・メモリ・プログラミングのシリアル・インタフェースとして使用するため、X1, X2端子と外部デバイスを接続していると、信号の衝突が発生します。この信号の衝突を避けるため、外部デバイスとの接続をアイソレートしてください。

同様に、X1, X2端子にコンデンサを接続した場合、通信時の波形が変更されるため、コンデンサの容量によっては通信できない可能性があります。フラッシュ・プログラミング時は、コンデンサとの接続をアイソレートしてください。

システム・クロックに水晶／セラミック発振を選択し、発振子をアイソレートすることが難しく、発振子を実装した状態でオンボード書き込みを実行する場合、次の（１）と（２）の処理を行ってください。

- （１） デバイスと発振子の間に、できるだけ小さいテストパッドを実装し、テストパッドを介してプログラマを接続してください。また配線は極力短くしてください（図18-4、表18-3を参照）。
- （２） 専用フラッシュ・メモリ・プログラマのプログラミングGUIで、書き込みのための通信クロックの発振周波数を設定してください。発振周波数は、お使いになる発振子の直列／並列共振周波数と反共振周波数を調査し、この共振周波数よりも10 %以上ずらして、設定してください（図18-5、表18-4を参照）。

図18-4 テストパッドの実装例

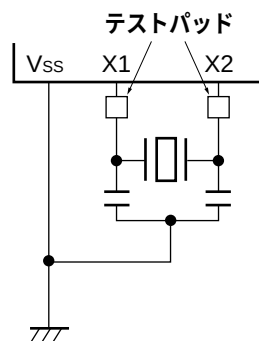


表18-3 使用するクロックとテストパッドの実装

使用するクロック		テストパッドの実装
高速内蔵発振クロック		不要
外部クロック		
水晶／セラミック発振	発振子実装前	
クロック	発振子実装後	必要

図18-5 PG-FP5のプログラミングGUI設定例

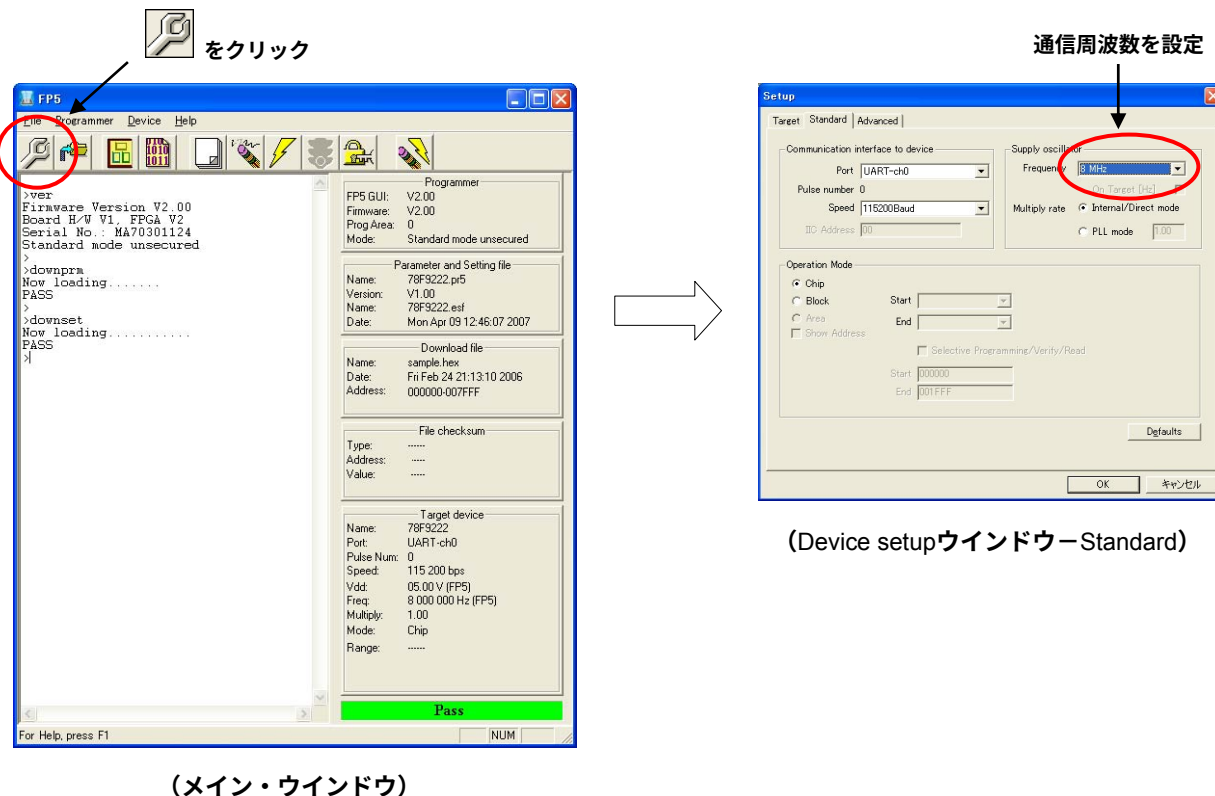


表18-4 発振周波数とPG-FP5のプログラミングGUIでの設定値例 (通信周波数)

発振周波数	プログラミングGUIでの設定値例 (通信周波数)
$2\text{ MHz} \leq f_x < 4\text{ MHz}$	8 MHz
$4\text{ MHz} \leq f_x < 8\text{ MHz}$	9 MHz
$8\text{ MHz} \leq f_x < 9\text{ MHz}$	10 MHz
$9\text{ MHz} \leq f_x \leq 10\text{ MHz}$	8 MHz

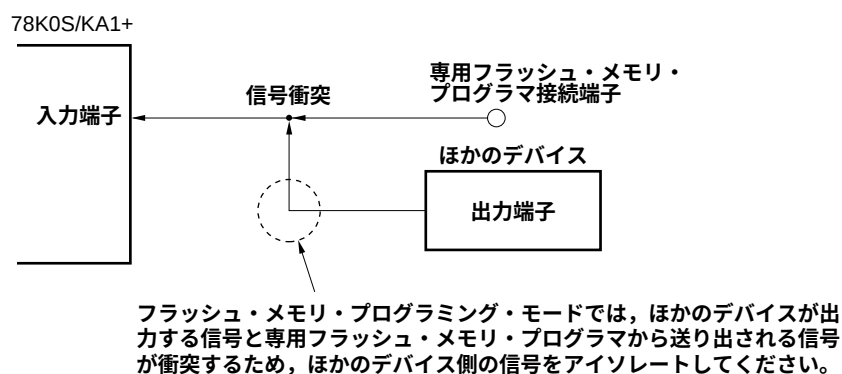
注意 上記は推奨値です。使用する環境によって値が変わる可能性があるため、十分な評価を行ったあとで設定してください。

18.6.2 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図18-6 信号の衝突 (RESET端子)



18.6.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの端子処理が必要です。

セルフ・プログラミング・モード時では、端子はHALTモード時の状態になります。

18.6.4 電 源

V_{DD} 端子はフラッシュ・メモリ・プログラマの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラマの V_{SS} に、それぞれ接続してください。

AV_{REF} は、通常動作モード時と同じ電源を供給してください。

18.7 オンボード／オフボード時のフラッシュ・メモリ・プログラミング

18.7.1 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0S/KA1+をフラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラマに接続し、通信コマンドを送信すると、フラッシュ・メモリ・プログラミング・モードに切り替わります。

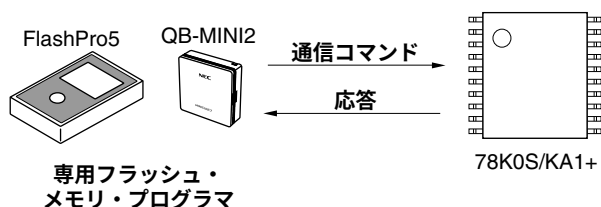
オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

18.7.2 通信コマンド

専用フラッシュ・メモリ・プログラマは、コマンドで78K0S/KA1+を制御します。専用フラッシュ・メモリ・プログラマから78K0S/KA1+へ送られる信号を「通信コマンド」と呼び、78K0S/KA1+から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答」と呼びます。

★

図18-7 通信コマンド



通信コマンドを次に示します。これらの通信コマンドはすべてフラッシュ・メモリ・プログラマから発行され、78K0S/KA1+が通信コマンドに対応した各処理を行います。

表18-5 通信コマンド

分類	通信コマンド名称	機能
消去	一括消去（チップ消去）コマンド	全メモリの内容を消去する
	ブロック消去コマンド	指定したブロックのメモリの内容を消去する
書き込み	書き込みコマンド	指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行する
チェック・サム	チェック・サム・コマンド	指定したアドレス範囲のメモリのチェック・サムを読み出し、書き込みを行ったデータと比較する
ブランク・チェック	ブランク・チェック・コマンド	全メモリの消去状態を確認する
セキュリティ	セキュリティ設定コマンド	一括消去（チップ消去）コマンド禁止、ブロック消去コマンド禁止、書き込みコマンド禁止の設定を行い、第三者による操作を防止する

また、78K0S/KA1+は、専用フラッシュ・メモリ・プログラマから発行された通信コマンドに対して、応答を返します。78K0S/KA1+が送出する応答の名称を次に示します。

表18-6 応答名称

応答名称	機 能
ACK	コマンド／データなどのアクノリッジ
NAK	不正なコマンド／データなどのアクノリッジ

18.7.3 セキュリティ設定

セキュリティ設定コマンドを使用することにより、次の操作を禁止することができます。

・一括消去（チップ消去）禁止

フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

・ブロック消去禁止

フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。一括消去（チップ消去）コマンドにより、この禁止設定は解除可能です。

・書き込み禁止

フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。一括消去（チップ消去）コマンドにより、この禁止設定は解除可能です。

備考 セキュリティの設定は、次のプログラミング・モードより有効になります。

出荷時の初期状態では、一括消去（チップ消去）／ブロック消去／書き込みはすべて許可になっています。セキュリティ設定が可能なのは、オンボード／オフボード・プログラミングのみです。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

78K0S/KA1+のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表18-7に示します。

表18-7 セキュリティ機能有効時とコマンドの関係

コマンド セキュリティ	一括消去（チップ 消去）コマンド	ブロック消去 コマンド	書き込み コマンド
一括消去（チップ消去）セキュリティ動作有効時	無効	無効	有効 ^注
ブロック消去セキュリティ動作有効時	有効		有効
書き込みセキュリティ動作有効時			無効

注 ただし、消去コマンドが無効となるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

各プログラミング・モード時のセキュリティ設定と動作の関係を表18-8に示します。

表18-8 各プログラミング・モード時のセキュリティ設定と動作の関係

プログラミング・モード セキュリティ設定	オンボード／オフボード・プログラミング		セルフ・プログラミング	
	セキュリティ設定	セキュリティ動作	セキュリティ設定	セキュリティ動作
一括消去（チップ消去）	可能	有効 ^{注1}	不可	無効 ^{注2}
ブロック消去				
書き込み				

注1. セキュリティの設定により、各コマンドの操作が禁止されます。

2. セキュリティの設定に関わらず、セルフ・プログラミング・コマンドの操作が可能です。

18.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0S/KA1+は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能により、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意 セルフ書き込みをする場合は、あらかじめセルフ・プログラミング処理を組み込む必要があります。

備考1. セルフ・プログラミングの使用方法については、18.8.4以降に記載された使用例を参照してください。

2. 78K0S/KA1+の内蔵フラッシュ・メモリを、データ格納用として外付けEEPROM[®]の代わりに使用した場合は、78K0S/Kx1+ EEPROMエミュレーション アプリケーション・ノート (U17379J) を参照してください。

18.8.1 セルフ・プログラミングの概要

セルフ・プログラミングを実行するために、ユーザ・プログラムの通常動作（通常モード）から、セルフ・プログラミング・モードに変更します。セルフ・プログラミング・モード中にHALT命令を実行することにより、あらかじめレジスタに設定した、フラッシュ・メモリに対する書き込み／消去処理が行われます。処理が完了すると、HALT状態は自動的に解除されます。

セルフ・プログラミング・モードに変更するためには、特定のレジスタに対して、特定のシーケンスを実行します。詳細は、18.8.4 通常モードからセルフ・プログラミング・モードへの移行例を参照してください。

備考 セルフ・プログラミングによって書き込まれたデータは、MOV命令などで参照が可能です。

表18-9 セルフ・プログラミング・モード

モード	ユーザ・プログラムの実行	HALT命令によるフラッシュ・メモリの書き込み／消去の実行
通常モード	○	—
セルフ・プログラミング・モード	○ ^注	○

注 セルフ・プログラミング・モード中は、マスカブル割り込み処理が禁止されています。

図18-8にセルフ・プログラミングのブロック図を、図18-9にセルフ・プログラミングの状態遷移図を、表18-10にセルフ・プログラミング制御用のコマンドを示します。

図18-8 セルフ・プログラミングのブロック図

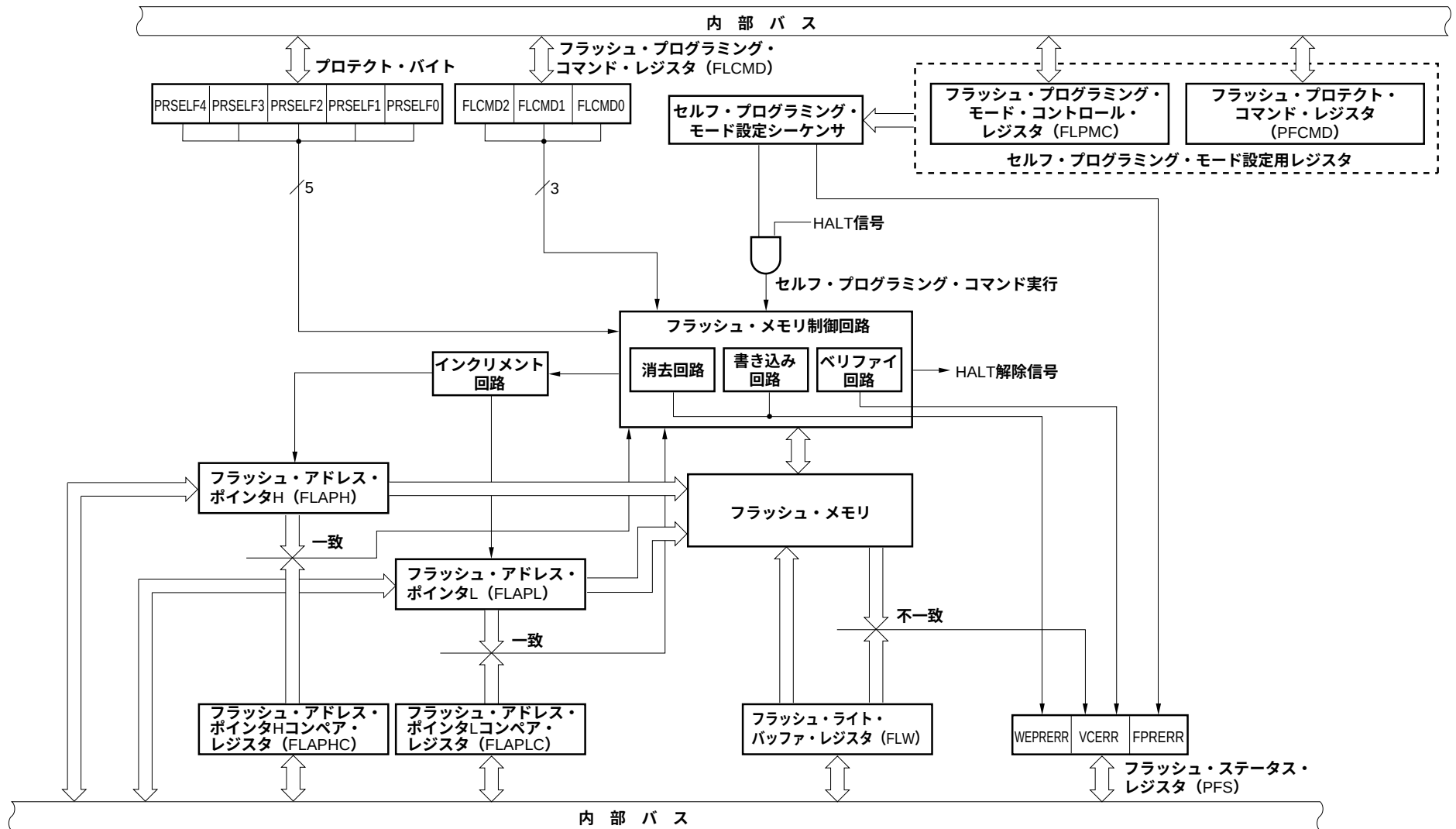


図18-9 セルフ・プログラミングの状態遷移図

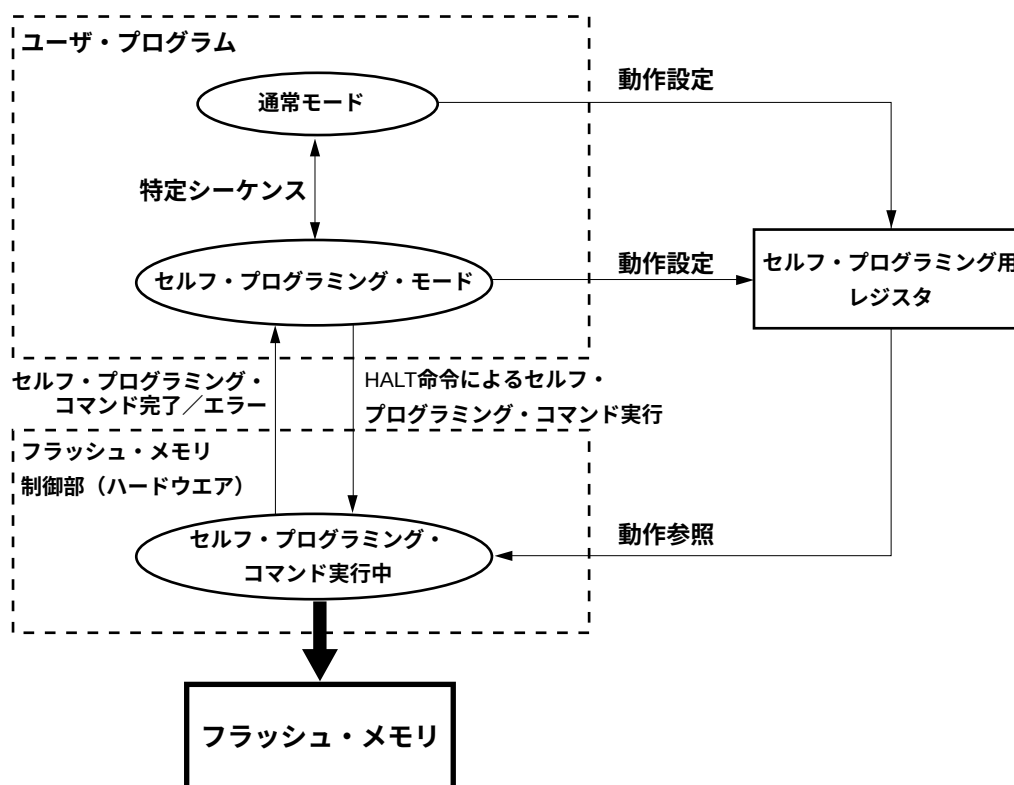


表18-10 セルフ・プログラミング制御用コマンド

コマンド名	機能	HALT命令を実行してから、コマンド実行が完了するまでの時間
内部ベリファイ1	データがフラッシュ・メモリに正しく書き込まれたかを確認するコマンドです。ブロック全体の書き込みを確認する場合に使用します。	1ブロックの内部ベリファイ（内部ベリファイ・コマンド1回で完了）：6.8 ms
内部ベリファイ2	データがフラッシュ・メモリに正しく書き込まれたかを確認するコマンドです。同一ブロック内の複数の書き込みを確認する場合に使用します。	1バイトの内部ベリファイ：27 μ s
ブロック消去 [※]	指定ブロックの消去をするコマンドです。ブロック番号を指定し、実行します。	8.5 ms
ブロック・ブランク・チェック	指定ブロックが消去状態かを確認するコマンドです。ブロック番号を指定し、実行します。	480 μ s
バイト書き込み	指定したアドレスに、1バイトのデータをフラッシュ・メモリに書き込むコマンドです。書き込みアドレスと書き込みデータを指定し、実行します。	150 μ s

注 消去リトライ回数は、フラッシュ・メモリ・ブロック消去時間（MAX.値）に合わせて、
 ブロック消去時間÷1回の消去時間（8.5 ms）を上回る回数にしてください。

備考 内部ベリファイ1も、同一ブロック内のアドレスを指定してコマンドを実行することは可能ですが、同一ブロック内の複数の書き込みを確認する場合は、内部ベリファイ2を推奨します。

18. 8. 2 セルフ・プログラミング機能の注意事項

- ・セルフ・プログラミング・コマンド実行中は命令を実行できません。そのため、セルフ・プログラミング・モード時に、ウォッチドッグ・タイマのオーバフローが発生しないように、あらかじめウォッチドッグ・タイマのカウンタをクリア&リスタートしてください。セルフ・プログラミングの実行時間については、表18-10を参照してください。
- ・セルフ・プログラミング中に発生した割り込みは、セルフ・プログラミング・モードが終了してから受け付け可能になります。これを回避するために、特定シーケンスによって通常モードからセルフ・プログラミング・モードに移行するときは、割り込み処理を禁止 (MK0, MK1 = FFH, DI命令を実行) してください。
- ・セルフ・プログラミング・コマンド実行中は、RAMを使用しません。
- ・書き込み／消去中の電源低下時とリセットが発生した場合は、書き込み／消去を保証しません。
- ・ブロック消去時に設定されるブランク・データの値はFFHになります。
- ・セルフ・プログラミング中のCPUクロックは、1 MHz以上になるようにあらかじめ設定してください。
- ・セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行したあと、セルフ・プログラミングを実行してください。このときのHALT命令は、 $10 \mu\text{s}$ (MAX.) + CPUクロック (f_{CPU}) の2クロック後に自動的に解除されます。
- ・発振器または外部クロックをシステム・クロックとして選択している場合は、セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行し、HALT状態を解除したあと、 $8 \mu\text{s}$ のウエイト時間経過後に、セルフ・プログラミングを実行してください。
- ・FPRERRは、1ビット・メモリ操作命令で確認してください
- ・セルフ・プログラミング・モード時では、端子はHALTモード時の状態になります。
- ・セルフ・プログラミング・モード時では、オンボード／オフボード・プログラミングで設定されたセキュリティ機能は無効となるため、セキュリティ機能の設定に関係なく、セルフ・プログラミング・コマンドを実行できます。セルフ・プログラミング使用時に書き込み／消去を禁止したい場合には、プロテクト・バイトを設定してください。
- ・セルフ・プログラミング・コマンドを実行するときは、フラッシュ・アドレス・ポインタH (FLAPH) とフラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) のビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。
- ・セルフ・プログラミング・モードへの移行直前と、通常モードへの移行直前に、FLCMDレジスタの値をクリア (00H) してください。

18. 8. 3 セルフ・プログラミング機能で使用するレジスタ

セルフ・プログラミング機能は、次のレジスタを使用します。

- ・フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)
- ・フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)
- ・フラッシュ・ステータス・レジスタ (PFS)
- ・フラッシュ・プログラミング・コマンド・レジスタ (FLCMD)
- ・フラッシュ・アドレス・ポインタH, L (FLAPH, FLAPL)
- ・フラッシュ・アドレス・ポインタHコンペア・レジスタ, フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPHC, FLAPLC)
- ・フラッシュ・ライト・バッファ・レジスタ (FLW)

また78K0S/KA1+では、フラッシュ・メモリの0081Hに、プロテクト・バイトと呼ばれる領域を用意しています。

(1) フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

セルフ・プログラミングの書き込み時の動作モードを設定、およびプロテクト・バイトの設定値をリードするレジスタです。

FLPMCは、ノイズやプログラムの暴走などの誤動作によって、応用システムが不用意に停止しないようにするため、特定シーケンス (18. 8. 3 (2) フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) を参照) で書き込み動作を行った場合のみ、FLPMCへの書き込みが有効となります。

FLPMCは、8ビット・メモリ操作命令で設定します。

リセット信号発生により、不定になります。

図18-10 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス：FFA2H リセット時：不定^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
FLPMC	0	PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	0	FLSPM

FLSPM	セルフ・プログラミング書き込み時の動作モード選択
0	通常モード 通常動作の状態です。HALT命令を実行すると、スタンバイ状態になります。
1	セルフ・プログラミング・モード 通常モード時にモード切り替えの特定シーケンスを実行することにより、セルフ・プログラミングのコマンドが実行可能になる状態です。 コマンド、アドレス、書き込みデータなどを設定し、HALT命令を実行すると、セルフ・プログラミングが行われます。

PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	プロテクト・バイトの設定値がリードされます
---------	---------	---------	---------	---------	-----------------------

注1. ビット0 (FLSPM) は、リセット解除後0になります。ビット2-6 (PRSELF0- PRSELF4) は、リセット解除後プロテクト・バイトの設定値がリードされます。

2. ビット2-6 (PRSELF0- PRSELF4) は、リード・オンリーです。

- 注意1.** セルフ・プログラミング・モードに設定する場合の注意事項については、18. 8. 2 セルフ・プログラミング機能の注意事項を参照してください。
- セルフ・プログラミング中のCPUクロックは、1 MHz以上になるようにあらかじめ設定してください。
 - セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行したあと、セルフ・プログラミングを実行してください。このときのHALT命令は、10 μ s (MAX.) + CPUクロック (f_{CPU}) の2クロック後に自動的に解除されます。
 - 発振器または外部クロックをシステム・クロックとして選択している場合は、セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行し、HALT状態を解除したあと、8 μ sのウェイト時間経過後に、セルフ・プログラミングを実行してください。
 - セルフ・プログラミング・モードへの移行直前と、通常モードへの移行直前に、FLCMDレジスタの値をクリア (00H) してください。

(2) フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)

ノイズやプログラムの暴走などの誤動作によって、応用システムが不用意に停止した場合、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) への書き込み動作はシステムに重大な影響を与える可能性があります。PFCMDは、このFLPMCへの書き込み動作に対して、応用システムが不用意に停止しないようにプロテクションを施すために使用するレジスタです。

次に示す特定シーケンスで書き込み動作を行った場合のみ、FLPMCへの書き込みが有効となります。

- ① PFCMDに特定の値 (A5H) を書き込む
- ② FLPMCのビット0 (FLSPM) に、設定したい値を書き込む (このステップでの書き込みは無効)
- ③ FLPMCのビット0 (FLSPM) に、設定したい値の反転値を書き込む (このステップでの書き込みは無効)
- ④ FLPMCのビット0 (FLSPM) に、設定したい値を書き込む (このステップでの書き込みは有効)

注意 セルフ・プログラミング・モード中に、割り込み処理は実行できません。セルフ・プログラミング・モードに切り替える特定シーケンスの実行前から、通常モードに切り替える特定シーケンスの実行後までは、割り込み処理を禁止 (MK0, MK1 = FFH, DI命令を実行) してください。

これにより、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

不正な書き込み動作の発生は、フラッシュ・ステータス・レジスタ (PFS) のビット0 (FPRERR) で確認できます。FPRERRは、1ビット・メモリ操作命令で確認してください。

なお、FLPMCを変更するたび、PFCMDにA5Hを書き込む必要があります。

PFCMDは、8ビット・メモリ操作命令で書き込みます。

リセット信号発生により、不定になります。

図18-11 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) のフォーマット

アドレス：FFA0H		リセット時：不定		W				
略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) フラッシュ・ステータス・レジスタ (PFS)

プロテクション対象のフラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) に対して、正しいシーケンス (フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) への書き込みを含む) で書き込み動作を行わなかった場合、FLPMCへの書き込みは行われず、プロテクション・エラーが発生します。このとき、PFSのビット0 (FPRERR) がセット (1) されます。

FPRERRが1の場合は、0を書き込むことによって、FPRERRをクリアします。

また、セルフ・プログラミング動作で生じる各種エラーについても、PFSのビット1 (VCERR) とビット2 (WEPRERR) に保持されます。0を書き込むことによって、VCERRまたはWEPRERRをクリアします。

正常な動作を確認するためには、事前にすべてのフラグを0にする必要があります。

PFSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号発生により、00Hになります。

注意 FPRERRは、1ビット・メモリ操作命令で確認してください

図18-12 フラッシュ・ステータス・レジスタ (PFS) のフォーマット

アドレス：FFA1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	WEPRERR	VCERR	FPRERR

1. FPRERRフラグの動作条件

<セット条件>

- ・最近の周辺レジスタに対する書き込み命令動作が、PFCMDへの特定値（PFCMD = A5H）の書き込み動作ではない状態で、FLPMCへの書き込みを行ったとき
- ・①後の最初の書き込み命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・②後の最初の書き込み命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・②後の最初の書き込み命令動作で、FLPMCに設定したい値の反転値以外の値を書き込んだとき
- ・③後の最初の書き込み命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・③後の最初の書き込み命令動作で、FLPMCに設定したい値（②の書き込み値）以外の値を書き込んだとき

備考 上記の丸数字は、前述の（2）フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）の丸数字と対応しています。

<リセット条件>

- ・FPRERRフラグに0を書き込んだとき
- ・リセット信号が発生したとき

2. VCERRフラグの動作条件

<セット条件>

- ・消去ベリファイ・エラー
- ・内部書き込みベリファイ・エラー

VCERRがセットされた場合、正常な消去または書き込みが終了されなかったことを意味しますので、再度、指定される手順にしたがって、消去または書き込みを実行してください。

備考 消去または書き込みのプロテクト・エラーが発生した場合にも、VCERRフラグがセットされる場合があります。

<リセット条件>

- ・VCERRフラグに0を書き込んだとき
- ・リセット信号が発生したとき

3. WEPRERRフラグの動作条件

<セット条件>

- ・プロテクト・バイトで指定した消去／書き込み禁止領域を、フラッシュ・アドレス・ポインタH (FLAPH) で指定し、コマンドを実行した場合
- ・消去されていないビット（データが0のビット）に対して1を書こうとした場合

<リセット条件>

- ・WEPRERRフラグに0を書き込んだとき
- ・リセット信号が発生したとき

(4) フラッシュ・プログラミング・コマンド・レジスタ (FLCMD)

セルフ・プログラミング・モード時に、フラッシュ・メモリへの消去／書き込み／ベリファイ動作を設定するレジスタです。

FLCMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号発生により、00Hになります。

図18-13 フラッシュ・プログラミング・コマンド・レジスタ (FLCMD) のフォーマット

アドレス：FFA3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
FLCMD	0	0	0	0	0	FLCMD2	FLCMD1	FLCMD0

FLCMD2	FLCMD1	FLCMD0	コマンド名	機能
0	0	1	内部ベリファイ1	データがフラッシュ・メモリに正しく書き込まれたかを確認するコマンドです。ブロック全体の書き込みを確認する場合に使用します。エラーの場合、フラッシュ・ステータス・レジスタ (PFS) のビット1 (VCERR) またはビット2 (WEPRERR) が1になります。
0	1	0	内部ベリファイ2	データがフラッシュ・メモリに正しく書き込まれたかを確認するコマンドです。同一ブロック内の複数の書き込みを確認する場合に使用します。エラーの場合、フラッシュ・ステータス・レジスタ (PFS) のビット1 (VCERR) またはビット2 (WEPRERR) が1になります。
0	1	1	ブロック消去	指定したブロック消去をするコマンドです。オンボード・モード、セルフ・プログラミング・モードの両方のモードで使用します。
1	0	0	ブロック・ブランク・チェック	指定したブロックが消去状態かを確認するコマンドです。
1	0	1	バイト書き込み	指定したアドレスに、1バイトのデータをフラッシュ・メモリに書き込むコマンドです。書き込みアドレスと書き込みデータを指定し、実行します。消去されていないビット（データが0のビット）に1を書くと、フラッシュ・ステータス・レジスタ (PFS) のビット2 (WEPRERR) が1になります。
上記以外 [※]			設定禁止	

注 上記以外のコマンドを実行した場合、コマンド実行はすぐに終了され、フラッシュ・ステータス・レジスタ (PFS) のビット1, 2 (WEPRERR, VCERR) がセット (1) されることがあります。

(5) フラッシュ・アドレス・ポインタ_{H, L} (FLAPH, FLAPL)

セルフ・プログラミング・モードの消去／書き込み／ベリファイ時に、使用するフラッシュ・メモリの開始アドレスを指定するためのレジスタです。

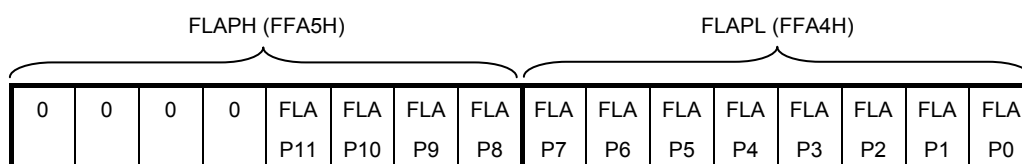
FLAPH/FLAPLはカウンタ構成になっていて、プログラミング・コマンド実行時以外はFLAPHC/FLAPLCと一致するまでインクリメントされます。したがって、コマンド実行時には値を再設定してください。

FLAPH/FLAPLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号発生により、不定になります。

図18-14 フラッシュ・アドレス・ポインタ_{H/L} (FLAPH/FLAPL) のフォーマット

アドレス：FFA4H, FFA5H リセット時：不定 R/W



注意 セルフ・プログラミング・コマンドを実行するときは、FLAPHとFLAPHCのビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。

(6) フラッシュ・アドレス・ポインタ_Hコンペア・レジスタ, フラッシュ・アドレス・ポインタ_Lコンペア・レジスタ (FLAPHC, FLAPLC)

セルフ・プログラミング・モードのベリファイ時に、内蔵シーケンサの動作するアドレス範囲を指定するレジスタです。

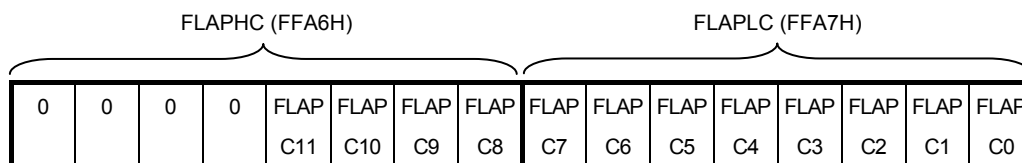
FLAPHCにはFLAPHと同じ値を、FLAPLCにはベリファイを行う範囲の最終アドレスを設定します。

FLAPHC, FLAPLCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号発生により、00Hになります。

図18-15 フラッシュ・アドレス・ポインタ_{H/L}コンペア・レジスタ (FLAPHC/FLAPLC) のフォーマット

アドレス：FFA6H, FFA7H リセット時：00H R/W



- 注意**
- セルフ・プログラミング・コマンドを実行するときは、FLAPHとFLAPHCのビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。
 - FLAPHCは、ブロック消去／ベリファイ／ブランク・チェック時に、対象となるブロック番号 (FLAPHと同じ値) を設定してください。
 - FLAPLCは、ブロック消去時には00Hを、ブランク・チェック時にはFFHを設定してください。

(7) フラッシュ・ライト・バッファ・レジスタ (FLW)

フラッシュ・メモリに書き込むデータを格納するレジスタです。

FLWは、8ビット・メモリ操作命令で設定します。

リセット信号発生により、00Hになります。

図18-16 フラッシュ・ライト・バッファ・レジスタ (FLW) のフォーマット

アドレス：FFA8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
FLW	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

(8) プロテクト・バイト

プロテクト・バイトで、書き込みおよびブロック消去の禁止領域を設定します。その設定内容は、セルフ・プログラミング時のみ有効となります。設定した禁止領域へのセルフ・プログラミングは無効となるため、禁止領域に書き込まれているデータは保証されます。

図18-17 プロテクト・バイトのフォーマット (1/2)

アドレス：0081H

7	6	5	4	3	2	1	0
1	PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	1	1

・ μ PD78F9221

PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	状 態
0	1	1	0	0	ブロック7-0は禁止
0	1	1	0	1	ブロック5-0は禁止、ブロック6, 7は許可
0	1	1	1	0	ブロック3-0は禁止、ブロック4-7は許可
0	1	1	1	1	ブロック1, 0禁止、ブロック2-7は許可
1	1	1	1	1	全ブロックへの書き込みまたは消去許可
上記以外					設定禁止

・ μ PD78F9222

PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	状 態
0	1	0	0	0	ブロック15-0は禁止
0	1	0	0	1	ブロック13-0は禁止、ブロック14, 15は許可
0	1	0	1	0	ブロック11-0は禁止、ブロック12-15は許可
0	1	0	1	1	ブロック9-0は禁止、ブロック10-15は許可
0	1	1	0	0	ブロック7-0は禁止、ブロック8-15は許可
0	1	1	0	1	ブロック5-0は禁止、ブロック6-15は許可
0	1	1	1	0	ブロック3-0は禁止、ブロック4-15は許可
0	1	1	1	1	ブロック1, 0禁止、ブロック2-15は許可
1	1	1	1	1	全ブロックへの書き込みまたは消去許可
上記以外					設定禁止

図18-17 プロテクト・バイトのフォーマット (2/2)

★

・μPD78F9224

PRSELF4	PRSELF3	PRSELF2	PRSELF1	PRSELF0	状 態
0	0	0	0	0	ブロック31-0は禁止
0	0	0	0	1	ブロック29-0は禁止, ブロック30,31は許可
0	0	0	1	0	ブロック27-0は禁止, ブロック28-31は許可
0	0	0	1	1	ブロック25-0は禁止, ブロック26-31は許可
0	0	1	0	0	ブロック23-0は禁止, ブロック24-31は許可
0	0	1	0	1	ブロック21-0は禁止, ブロック22-31は許可
0	0	1	1	0	ブロック19-0は禁止, ブロック20-31は許可
0	0	1	1	1	ブロック17-0は禁止, ブロック18-31は許可
0	1	0	0	0	ブロック15-0は禁止, ブロック16-31は許可
0	1	0	0	1	ブロック13-0は禁止, ブロック14-31は許可
0	1	0	1	0	ブロック11-0は禁止, ブロック12-31は許可
0	1	0	1	1	ブロック9-0は禁止, ブロック10-31は許可
0	1	1	0	0	ブロック7-0は禁止, ブロック8-31は許可
0	1	1	0	1	ブロック5-0は禁止, ブロック6-31は許可
0	1	1	1	0	ブロック3-0は禁止, ブロック4-31は許可
0	1	1	1	1	ブロック1,0禁止, ブロック2-31は許可
1	1	1	1	1	全ブロックへの書き込みまたは消去許可
上記以外					設定禁止

18. 8. 4 通常モードからセルフ・プログラミング・モードへの移行例

セルフ・プログラミングを行うために、動作モードを通常モードからセルフ・プログラミング・モードに移行する必要があります。

セルフ・プログラミングへの移行例について、次に説明します。

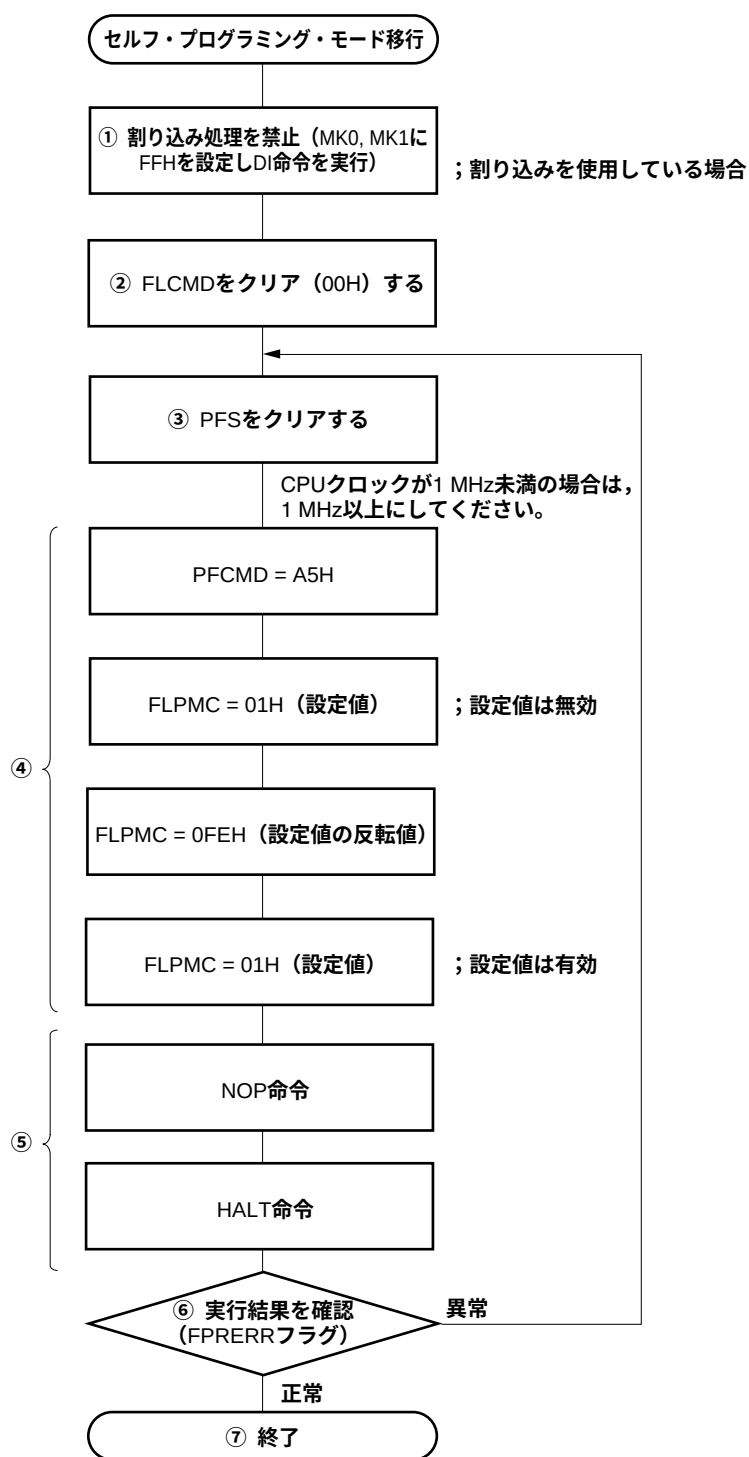
- ① 割り込みを使用している場合は、割り込み処理を禁止（割り込みマスク・フラグ・レジスタ（MK0, MK1）にFFHを設定し、DI命令を実行）する。
- ② FLCMDをクリア（00H）する
- ③ フラッシュ・ステータス・レジスタ（PFS）をクリアする。
- ④ 特定シーケンスにより、セルフ・プログラミング・モードに設定する[※]。
 - ・PFCMDに特定の値（A5H）を書き込む
 - ・FLPMCに01Hを書き込む（このステップでの書き込みは無効）
 - ・FLPMCに0FEH（01Hの反転値）を書き込む（このステップでの書き込みは無効）
 - ・FLPMCに01Hを書き込む（このステップでの書き込みは有効）
- ⑤ NOP命令とHALT命令を実行する。
- ⑥ PFSのビット0（FPRERR）にて、特定シーケンスの実行結果を確認する。

異常→③, 正常→⑦
- ⑦ 移行終了

注 CPUクロックが1 MHz未満の場合は、1 MHz以上にしてください。

注意 上記の一連の動作は、必ず消去および書き込みをしないアドレス上のユーザ・プログラムで、行ってください。

図18-18 セルフ・プログラミング・モードへの移行例



注意 上記の一連の動作は、必ず消去および書き込みをしないアドレス上のユーザ・プログラムで、行ってください。

備考 図18-18の①～⑦は、18. 8. 4の①～⑦（前ページ）と対応しています。

セルフ・プログラミング・モードへの移行のプログラム例を次に示します。

```

;-----
; START
;-----
      MOV      MK0, #11111111B      ; すべての割り込みをマスク

      MOV      MK1, #11111111B

      MOV      FLCMD, #00H          ; FLCMDレジスタをクリア

      DI

ModeOnLoop:                                ; 「CPUクロック≧1 MHz」と設定しておいてください

      MOV      PFS, #00H            ; フラッシュ・ステータス・レジスタをクリア

      MOV      PFCMD, #0A5H         ; PFCMDレジスタ制御

      MOV      FLPMC, #01H          ; FLPMCレジスタ制御（設定値）

      MOV      FLPMC, #0FEH         ; FLPMCレジスタ制御（設定値の反転）

      MOV      FLPMC, #01H          ; セルフ・プログラミング・モード設定：FLPMCレジスタ制御（設定値）

      NOP

      HALT

      BT       PFS.0, $ModeOnLoop ; 特定レジスタへの書き込み完了確認
                                   ; エラー発生時は、同じ処理を繰り返す。

;-----
; END
;-----

```


18. 8. 5 セルフ・プログラミング・モードから通常モードへの移行例

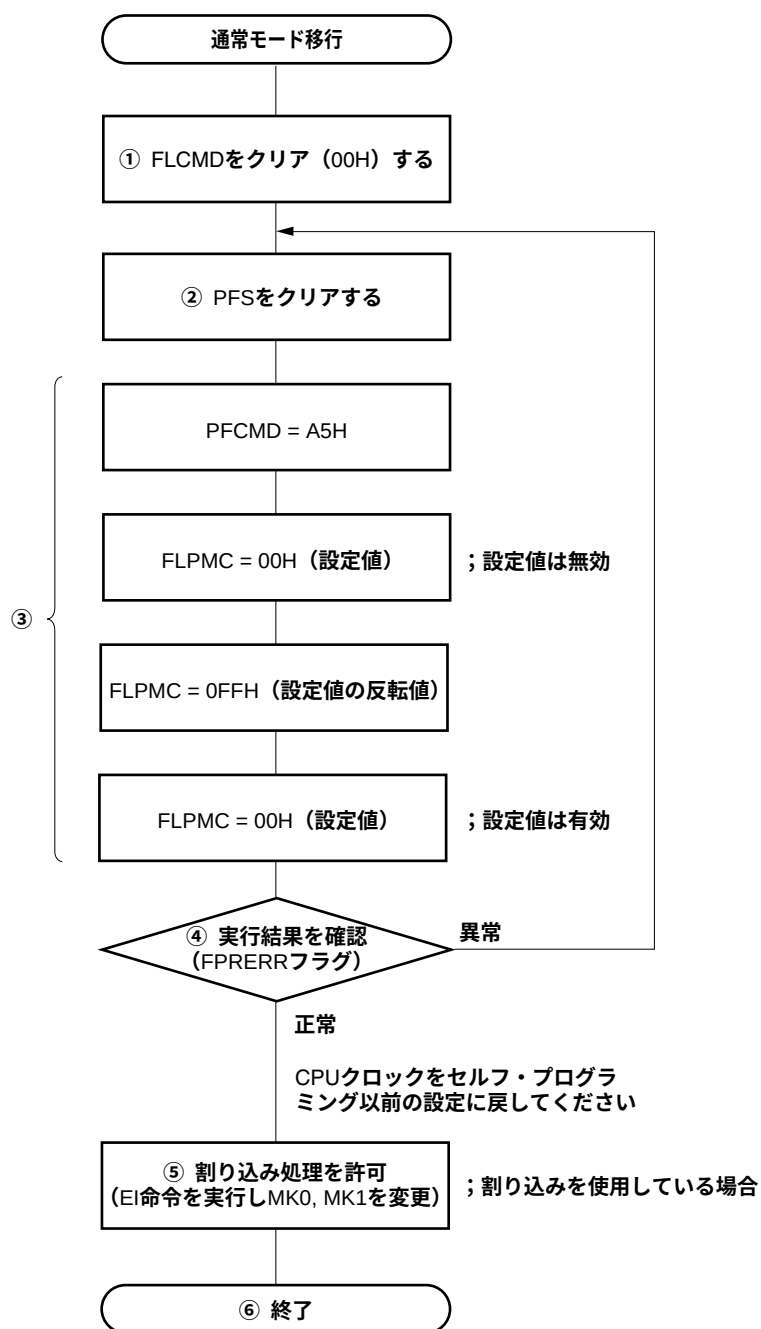
セルフ・プログラミング実行後は、セルフ・プログラミング・モードから通常モードに戻す必要があります。
通常モードへ移行例について、次に説明します。

- ① FLCMDをクリア (00H) する。
- ② フラッシュ・ステータス・レジスタ (PFS) をクリアする。
- ③ 特定シーケンスにより、通常モードに設定する。
 - ・ PFCMDに特定の値 (A5H) を書き込む
 - ・ FLPMCに00Hを書き込む (このステップでの書き込みは無効)
 - ・ FLPMCに0FFH (00Hの反転値) を書き込む (このステップでの書き込みは無効)
 - ・ FLPMCに00Hを書き込む (このステップでの書き込みは有効)
- ④ PFSのビット0 (FPRERR) にて、特定シーケンスの実行結果を確認する[※]。
異常→②, 正常→⑤
- ⑤ 割り込み処理を許可 (EI命令を実行し, MK0, MK1を変更) するなど, 元の状態に戻す。
- ⑥ 移行終了

注 特定シーケンスが正常に実行したあとに, CPUクロックをセルフ・プログラミング以前の設定に戻してください。

注意 上記の一連の動作は, 必ず消去および書き込みをしないアドレス上のユーザ・プログラムで, 行ってください。

図18-19 通常モードへの移行例



注意 上記の一連の動作は、必ず消去および書き込みをしないアドレス上のユーザ・プログラムで、行ってください。

備考 図18-19の①～⑥は、18. 8. 5の①～⑥（前ページ）と対応しています。

通常モードへの移行のプログラム例を次に示します。

```

;-----
;START
;-----

        MOV        FLCMD, #00H        ; FLCMDレジスタをクリア

ModeOffLoop:
        MOV        PFS, #00H          ; フラッシュ・ステータス・レジスタをクリア
        MOV        PFCMD, #0A5H       ; PFCMDレジスタ制御
        MOV        FLPMC, #00H        ; FLPMCレジスタ制御（設定値）
        MOV        FLPMC, #0FFH       ; FLPMCレジスタ制御（設定値の反転）
        MOV        FLPMC, #00H        ; 通常モード設定：FLPMCレジスタ制御（設定値）

        BT         PFS.0, $ModeOffLoop; 特定レジスタへの書き込み完了確認
                                           ; エラー発生時は、同じ処理を繰り返す。
                                           ; 特定シーケンスが正常実行したあとに、CPUクロックをセルフ・
                                           ; プログラミング以前の設定に戻してください。

        MOV        MK0, #INT_MK0      ; 割り込みマスク・フラグを復帰
        MOV        MK1, #INT_MK1

        EI

;-----
;END
;-----

```

18. 8. 6 セルフ・プログラミング・モードのブロック消去動作例

セルフ・プログラミング・モードのブロック消去動作例について、次に説明します。

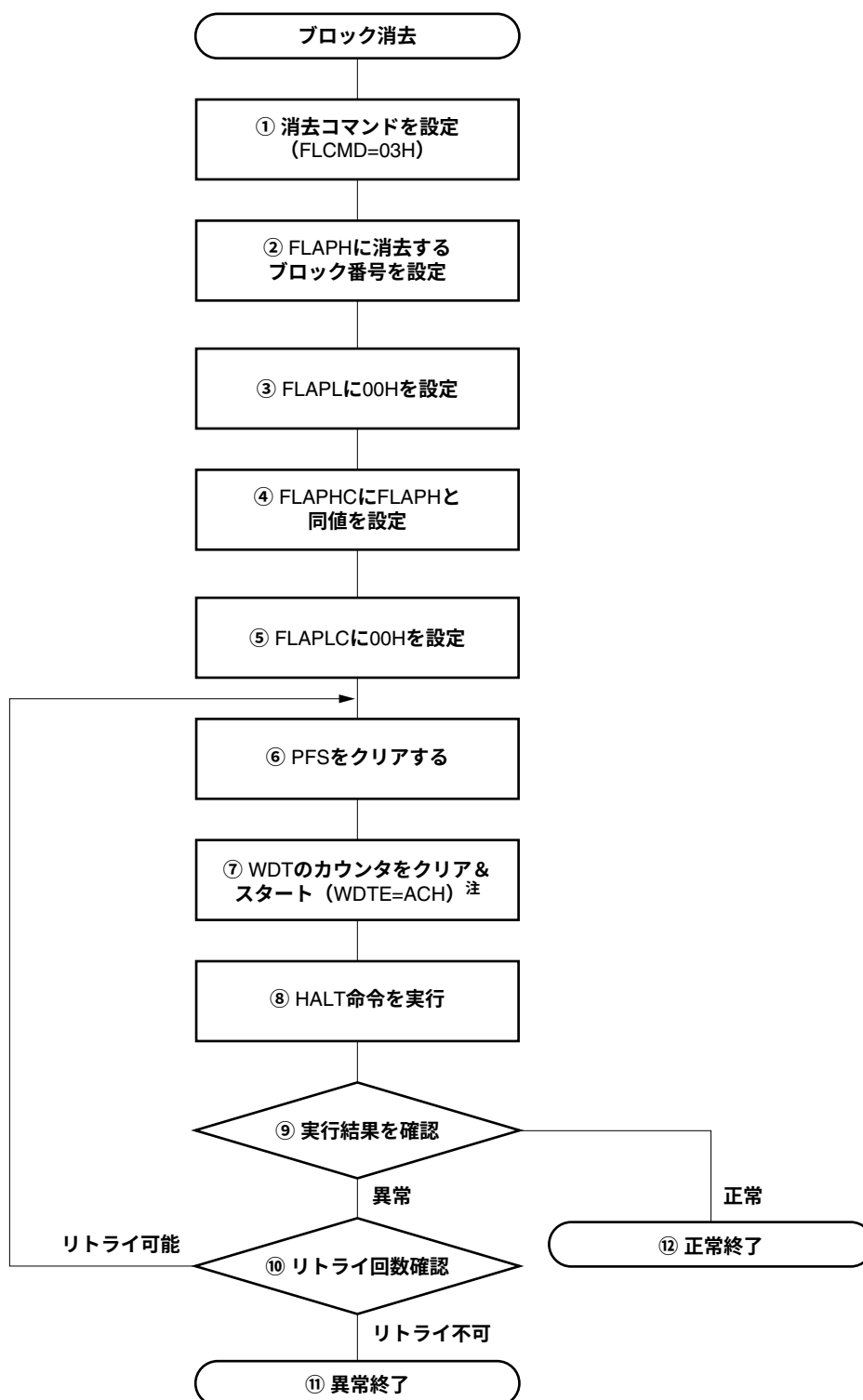
- ① フラッシュ・プログラム・コマンド・レジスタ（FLCMD）に03H（ブロック消去）を設定する。
- ② フラッシュ・アドレス・ポインタH（FLAPH）に消去するブロック番号を設定する。
- ③ フラッシュ・アドレス・ポインタL（FLAPL）に00Hを設定する。
- ④ フラッシュ・アドレス・ポインタHコンペア・レジスタ（FLAPHC）にFLAPHと同値を設定する。
- ⑤ フラッシュ・アドレス・ポインタLコンペア・レジスタ（FLAPLC）に00Hを設定する。
- ⑥ フラッシュ・ステータス・レジスタ（PFS）をクリアする。
- ⑦ ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込む（ウォッチドッグ・タイマのカウンタをクリア&スタート）^{※1}。
- ⑧ HALT命令を実行し、セルフ・プログラミングを開始する（セルフ・プログラミング実行後は、HALT命令直後の命令を実行）。
- ⑨ PFSのビット1（VCERR）とビット2（WEPRERR）にて、セルフ・プログラミングのエラーの有無をチェックする^{※2}。
 異常→⑩
 正常→⑫
- ★ ⑩ リトライ回数を越えていない場合、⑥に戻ってリトライを行う。リトライ回数を越えた場合、異常終了する。
- ⑪ ブロック消去異常終了
- ⑫ ブロック消去正常終了

注1. ウォッチドッグ・タイマを使用しない場合、⑦の設定は不要です。

- ★ 2. 書き込み禁止領域への消去コマンド実行のエラーを確認する場合は、別途WEPRERRビットを確認してください。

★

図18-20 セルフ・プログラミング・モードのブロック消去動作例



注 ウォッチドッグ・タイマを使用しない場合、設定は不要です。

備考 図18-20の①～⑫は、18. 8. 6の①～⑫（前ページ）と対応しています。

セルフ・プログラミング・モードのブロック消去のプログラム例を次に示します。

```

;-----
;START
;-----
★      MOV      B,#48          ; 消去コマンドのリトライ回数設定
                                   ; (4.0 V～5.5 V 100回の消去時間)

FlashBlockErase:
      MOV      FLCMD,#03H      ; フラッシュ制御コマンド設定 (ブロック消去)
      MOV      FLAPH,#07H      ; 消去ブロック番号設定 (例: ブロック7を指定)
      MOV      FLAPL,#00H      ; FLAPLは, "00H" 固定
      MOV      FLAPHC,#07H     ; 消去ブロック・コンペア番号設定 (FLAPHと同じ値)
      MOV      FLAPLC,#00H     ; FLAPLCは, "00H" 固定

EraseRetry:
      MOV      PFS,#00H        ; フラッシュ・ステータス・レジスタをクリア
      MOV      WDTE,#0ACH      ; WDTをクリア&リスタート
      HALT                     ; セルフ・プログラミング開始

★      MOV      A,PFS
      CMP      A,#00H          ; 実行結果を確認
      BZ       $StatusNormal   ; 正常終了
      DBNZ     B,$EraseRetry    ; リトライ確認

;-----
;END (異常終了処理); 通常処理に戻る場合は、通常モードへの移行処理を行ってください
;-----

StatusError:

;-----
;END (正常終了処理)
;-----

StatusNormal:

```

18. 8. 7 セルフ・プログラミング・モードのブロック・ブランク・チェック動作例

セルフ・プログラミング・モードのブロック・ブランク・チェック動作例について、次に説明します。

- ① フラッシュ・プログラム・コマンド・レジスタ (FLCMD) に04H (ブロック・ブランク・チェック) を設定する。
- ② フラッシュ・アドレス・ポインタH (FLAPH) にブランク・チェックするブロック番号を設定する。
- ③ フラッシュ・アドレス・ポインタL (FLAPL) に00Hを設定する。
- ④ フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) にFLAPHと同値を設定する。
- ⑤ フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC) にFFHを設定する。
- ⑥ フラッシュ・ステータス・レジスタ (PFS) をクリアする。
- ⑦ ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込み (ウォッチドッグ・タイマのカウンタをクリア&スタート) する[※]。
- ⑧ HALT命令を実行し、セルフ・プログラミングを開始する (セルフ・プログラミング実行後は、HALT命令直後の命令を実行) 。
- ⑨ PFSのビット1 (VCERR) とビット2 (WEPRERR) にて、セルフ・プログラミングのエラーの有無をチェックする。
異常→⑩
正常→⑪
- ⑩ ブロック・ブランク・チェック異常終了。
- ⑪ ブロック・ブランク・チェック正常終了。

注 ウォッチドッグ・タイマを使用しない場合、⑦の設定は不要です。

図18-21 セルフ・プログラミング・モードのブロック・ブランク・チェック動作例



注 ウォッチドッグ・タイマを使用しない場合、設定は不要です。

備考 図18-21の①～⑪は、18. 8. 7の①～⑪（前ページ）と対応しています。

セルフ・プログラミング・モードのブロック・ブランク・チェックのプログラム例を次に示します。

```

;-----
;START
;-----

FlashBlockBlankCheck:
    MOV     FLCMD, #04H      ; フラッシュ制御コマンド設定（ブロック・ブランク・チェック）
    MOV     FLAPH, #07H      ; ブランク・チェック・ブロック番号設定（例：ブロック7を指定）
    MOV     FLAPL, #00H      ; FLAPLは, "00H" 固定
    MOV     FLAPHC, #07H     ; ブランク・チェック・ブロック・コンペア番号設定（FLAPHと同じ値）
    MOV     FLAPLC, #0FFH    ; FLAPLCは, "FFH" 固定

    MOV     PFS, #00H        ; フラッシュ・ステータス・レジスタをクリア
    MOV     WDTE, #0ACH      ; WDTをクリア&リスタート
    HALT                     ; セルフ・プログラミング開始

    MOV     A, PFS
    MOV     CmdStatus, A     ; 実行結果を変数に格納
                                ; （CmdStatusが0のとき正常終了, 0以外は異常終了）

;-----
;END
;-----

```

18. 8. 8 セルフ・プログラミング・モードのバイト書き込み動作例

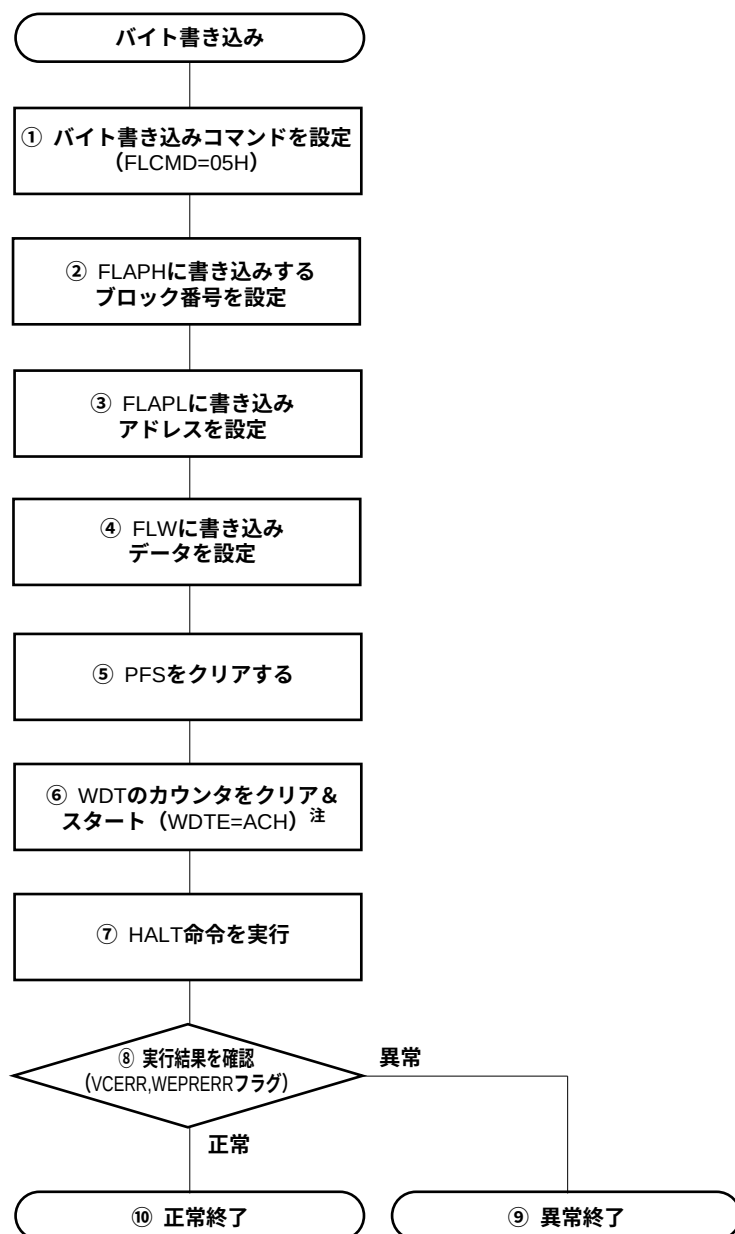
セルフ・プログラミング・モードのバイト書き込み例について、次に説明します。

- ① フラッシュ・プログラム・コマンド・レジスタ (FLCMD) に05H (バイト書き込み) を設定する。
- ② フラッシュ・アドレス・ポインタH (FLAPH) に書き込みするブロック番号を設定する。
- ③ フラッシュ・アドレス・ポインタL (FLAPL) に書き込みアドレスを設定する。
- ④ フラッシュ・ライト・バッファ・レジスタ (FLW) に書き込みデータを設定する。
- ⑤ フラッシュ・ステータス・レジスタ (PFS) をクリアする。
- ⑥ ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込む (ウォッチドッグ・タイマのカウンタをクリア&スタート)[※]。
- ⑦ HALT命令を実行し、セルフ・プログラミングを開始する (セルフ・プログラミング実行後は、HALT命令直後の命令を実行)。
- ⑧ PFSのビット1 (VCERR) とビット2 (WEPRERR) にて、セルフ・プログラミングのエラーの有無をチェックする。
異常→⑨
正常→⑩
- ⑨ バイト書き込み処理異常終了。
- ⑩ バイト書き込み処理正常終了。

注 ウォッチドッグ・タイマを使用しない場合、⑥の設定は不要です。

注意 書き込みが失敗した場合は、ブロック消去してから再度書き込みをしてください。

図18-22 セルフ・プログラミング・モードのバイト書き込み動作例



注 ウォッチドッグ・タイマを使用しない場合、設定は不要です。

備考 図18-22の①～⑩は、18. 8. 8の①～⑩（前ページ）と対応しています。

セルフ・プログラミング・モードのバイト書き込みのプログラム例を次に示します。

```

;-----
;START
;-----

FlashWrite:
    MOV     FLCMD, #05H      ; フラッシュ制御コマンド設定 (バイト書き込み)
    MOV     FLAPH, #07H      ; 書き込みアドレス設定 (FLAPH 例: ブロック7を指定)
    MOV     FLAPL, #20H      ; 書き込みアドレス設定 (FLAPL 例: "20H"番地を指定)
    MOV     FLW, #10H        ; 書き込みデータ設定 (例: "10H"を指定)

    MOV     PFS, #00H        ; フラッシュ・ステータス・レジスタをクリア
    MOV     WDTE, #0ACH      ; WDTをクリア&リスタート
    HALT                    ; セルフ・プログラミング開始

    MOV     A, PFS
    MOV     CmdStatus, A     ; 実行結果を変数に格納
                                ; (CmdStatusが0のとき正常終了, 0以外は異常終了)

;-----
;END
;-----

```

18. 8. 9 セルフ・プログラミング・モードの内部ベリファイ動作例

セルフ・プログラミング・モードの内部ベリファイ1, 2の動作例について、次に説明します。

・内部ベリファイ1

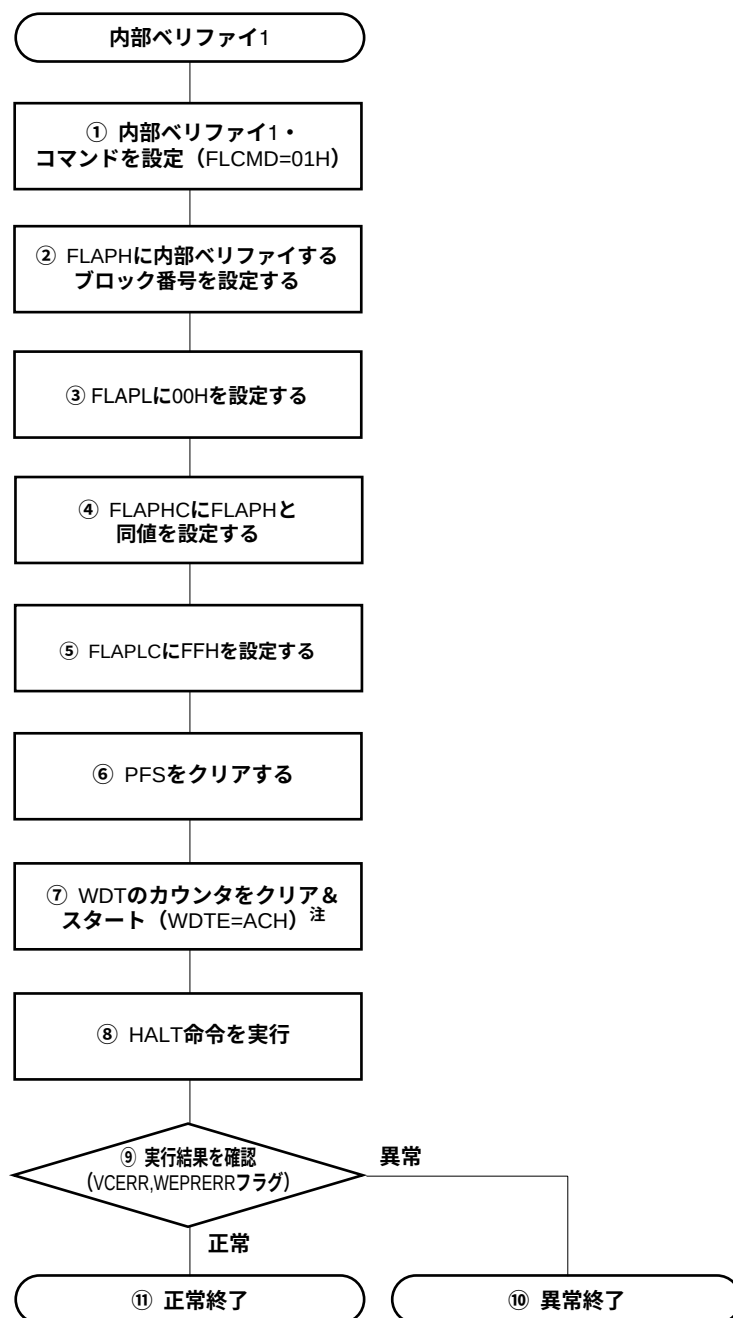
- ① フラッシュ・プログラム・コマンド・レジスタ (FLCMD) に01H (内部ベリファイ1) を設定する。
- ② フラッシュ・アドレス・ポインタH (FLAPH) に内部ベリファイするブロック番号を設定する。
- ③ フラッシュ・アドレス・ポインタL (FLAPL) に00Hを設定する。
- ④ フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) にFLAPHと同値を設定する。
- ⑤ フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC) にFFHを設定する。
- ⑥ フラッシュ・ステータス・レジスタ (PFS) をクリアする。
- ⑦ ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込み (ウォッチドッグ・タイマのカウンタをクリア&スタート) する[※]。
- ⑧ HALT命令を実行し、セルフ・プログラミングを開始する (セルフ・プログラミング実行後は、HALT命令直後の命令を実行) 。
- ⑨ PFSのビット1 (VCERR) とビット2 (WEPRERR) にて、セルフ・プログラミングのエラーの有無をチェックする。
異常→⑩
正常→⑪
- ⑩ 内部ベリファイ処理異常終了。
- ⑪ 内部ベリファイ処理正常終了。

・内部ベリファイ2

- ① フラッシュ・プログラム・コマンド・レジスタ (FLCMD) に02H (内部ベリファイ2) を設定する。
- ② フラッシュ・アドレス・ポインタH (FLAPH) に内部ベリファイするブロック番号を設定する。
- ③ フラッシュ・アドレス・ポインタL (FLAPL) に開始アドレスを設定する。
- ④ フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) にFLAPHと同値を設定する。
- ⑤ フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC) に終了アドレスを設定する。
- ⑥ フラッシュ・ステータス・レジスタ (PFS) をクリアする。
- ⑦ ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込み (ウォッチドッグ・タイマのカウンタをクリア&スタート) する[※]。
- ⑧ HALT命令を実行し、セルフ・プログラミングを開始する (セルフ・プログラミング実行後は、HALT命令直後の命令を実行) 。
- ⑨ PFSのビット1 (VCERR) とビット2 (WEPRERR) にて、セルフ・プログラミングのエラーの有無をチェックする。
異常→⑩
正常→⑪
- ⑩ 内部ベリファイ処理異常終了。
- ⑪ 内部ベリファイ処理正常終了。

注 ウォッチドッグ・タイマを使用しない場合、⑦の設定は不要です。

図18-23 セルフ・プログラミング・モードの内部ベリファイ1動作例



注 ウォッチドッグ・タイマを使用しない場合、設定は不要です。

備考 図18-23の①～⑪は、18. 8. 9の内部ベリファイ1 ①～⑪（前ページ）と対応しています。

図18-24 セルフ・プログラミング・モードの内部ベリファイ2動作例



注 ウォッチドッグ・タイマを使用しない場合、設定は不要です。

備考 図18-24の①～⑪は、18. 8. 9の内部ベリファイ2 ①～⑪（前々ページ）と対応しています。

セルフ・プログラミング・モードの内部ベリファイ1, 2のプログラム例を次に示します。

・内部ベリファイ1

```

;-----
;START
;-----
FlashVerify:
    MOV    FLCMD, #01H    ; フラッシュ制御コマンド設定 (内部ベリファイ1)
    MOV    FLAPH, #07H    ; 内部ベリファイするブロック番号設定 (FLAPH 例: ブロック7を指定)
    MOV    FLAPL, #00H    ; 00Hを設定
    MOV    FLAPHC, #07H
    MOV    FLAPLC, #FFH    ; FFHを設定

    MOV    PFS, #00H      ; フラッシュ・ステータス・レジスタをクリア
    MOV    WDTE, #0ACH    ; WDTをクリア&リスタート
    HALT                ; セルフ・プログラミング開始

    MOV    A, PFS
    MOV    CmdStatus, A    ; 実行結果を変数に格納
                           ; (CmdStatusが0のとき正常終了, 0以外は異常終了)

;-----
;END
;-----

```

・内部ベリファイ2

```

;-----
;START
;-----
FlashVerify:
    MOV    FLCMD, #02H    ; フラッシュ制御コマンド設定 (内部ベリファイ2)
    MOV    FLAPH, #07H    ; 内部ベリファイするブロック番号設定 (FLAPH 例: ブロック7を指定)
    MOV    FLAPL, #00H    ; ベリファイ開始アドレス設定 (FLAPL 例: "00H"番地を指定)
    MOV    FLAPHC, #07H
    MOV    FLAPLC, #20H    ; ベリファイ終了アドレス設定 (FLAPL 例: "20H"番地を指定)

    MOV    PFS, #00H      ; フラッシュ・ステータス・レジスタをクリア
    MOV    WDTE, #0ACH    ; WDTをクリア&リスタート
    HALT                ; セルフ・プログラミング開始

    MOV    A, PFS
    MOV    CmdStatus, A    ; 実行結果を変数に格納
                           ; (CmdStatusが0のとき正常終了, 0以外は異常終了)

;-----
;END
;-----

```

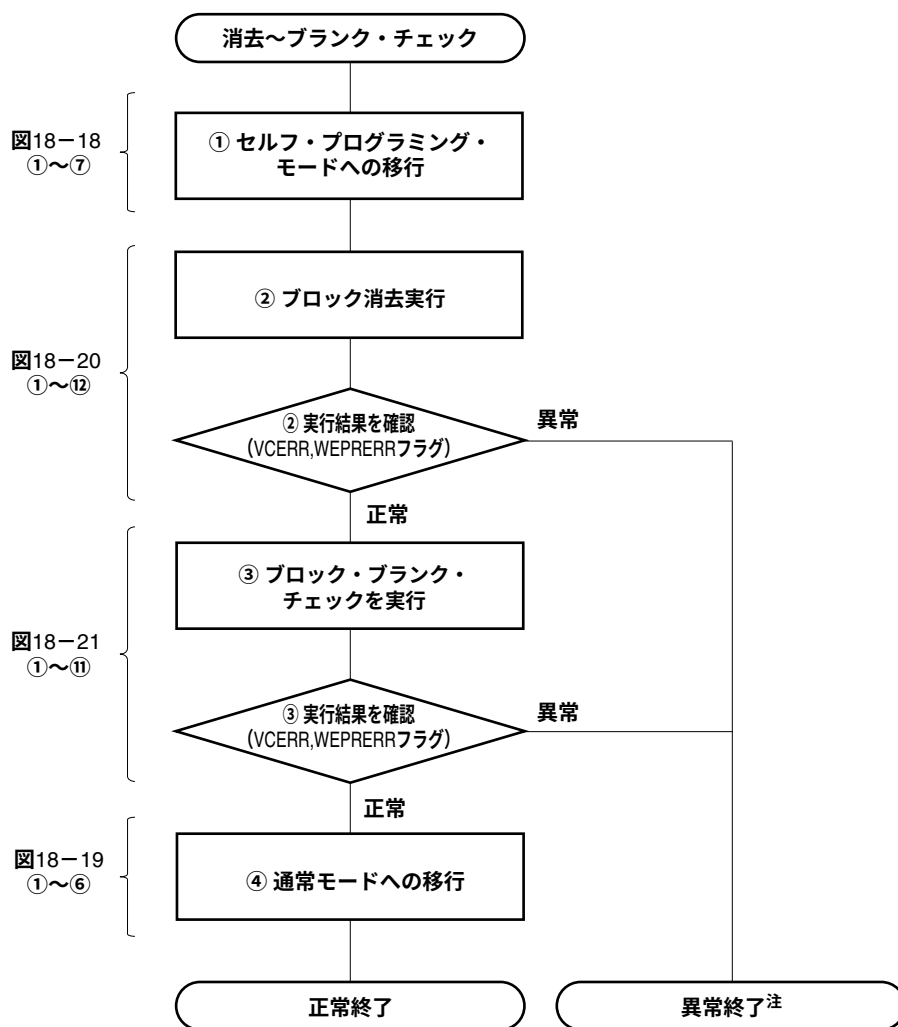

18. 8. 10 セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例

セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例について、次に説明します。

(1) 消去～ブランク・チェック

- ① 通常モードからセルフ・プログラミング・モードへ移行 (18. 8. 4 ①～⑦)
- ② ブロック消去実行→エラー・チェック (18. 8. 6 ①～⑫)
- ③ ブロック・ブランク・チェック実行→エラー・チェック (18. 8. 7 ①～⑪)
- ④ セルフ・プログラミング・モードから通常モードへ移行 (18. 8. 5 ①～⑥)

図18-25 コマンド実行時間を最小にしたい場合の動作例 (消去～ブランク・チェック)



注 通常処理に戻る場合は、通常モードへの移行処理を行ってください。

備考 図18-25の①～④は、18. 8. 10 (1) の①～④ (上述) と対応しています。

セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例（消去～ブランク・チェック）のプログラム例を次に示します。

```

; -----
; START
; -----

MOV      MK0, #11111111B      ; すべての割り込みをマスク

MOV      MK1, #11111111B

MOV      FLCMD, #00H          ; FLCMDレジスタをクリア

DI

ModeOnLoop:                    ; 「CPUクロック≧1 MHz」と設定しておいてください

MOV      PFS, #00H            ; フラッシュ・ステータス・レジスタをクリア

MOV      PFCMD, #0A5H          ; PFCMDレジスタ制御

MOV      FLPMC, #01H           ; FLPMCレジスタ制御（設定値）

MOV      FLPMC, #0FEH          ; FLPMCレジスタ制御（設定値の反転）

MOV      FLPMC, #01H           ; セルフ・プログラミング・モード設定：FLPMCレジスタ制御（設定値）

NOP

HALT

BT        PFS.0, $ModeOnLoop ; 特定レジスタへの書き込み完了確認
; エラー発生時は、同じ処理を繰り返す。

FlashBlockErase:

MOV      FLCMD, #03H          ; フラッシュ制御コマンド設定（ブロック消去）

MOV      FLAPH, #07H          ; 消去ブロック番号設定（例：ブロック7を指定）

MOV      FLAPL, #00H          ; FLAPLは、"00H"固定

MOV      FLAPHC, #07H         ; 消去ブロック・コンペア番号設定（FLAPHと同じ値）

MOV      FLAPLC, #00H         ; FLAPLCは、"00H"固定

MOV      WDTE, #0ACH          ; WDTをクリア&リスタート

HALT                          ; セルフ・プログラミング開始

MOV      A, PFS

CMP      A, #00H

BNZ      $StatusError         ; 消去異常を確認
; エラー発生時は、異常終了処理を行う

FlashBlockBlankCheck:

MOV      FLCMD, #04H          ; フラッシュ制御コマンド設定（ブロック・ブランク・チェック）

MOV      FLAPH, #07H          ; ブランク・チェック・ブロック番号設定（例：ブロック7を指定）

MOV      FLAPL, #00H          ; FLAPLは、"00H"固定

MOV      FLAPHC, #07H         ; ブランク・チェック・ブロック・コンペア番号設定（FLAPHと同じ値）

```

```

MOV      FLAPLC, #0FFH      ; FLAPLCは, "FFH"固定
MOV      WDTE, #0ACH        ; WDTをクリア&リスタート
HALT                                           ; セルフ・プログラミング開始

MOV      A, PFS
CMP      A, #00H
BNZ      $StatusError      ; ブランク・チェック異常を確認
                                           ; エラー発生時は, 異常終了処理を行う

MOV      FLCMD, #00H        ; FLCMDレジスタをクリア

ModeOffLoop:
MOV      PFS, #00H          ; フラッシュ・ステータス・レジスタをクリア
MOV      PFCMD, #0A5H       ; PFCMDレジスタ制御
MOV      FLPMC, #00H        ; FLPMCレジスタ制御 (設定値)
MOV      FLPMC, #0FFH       ; FLPMCレジスタ制御 (設定値の反転)
MOV      FLPMC, #00H        ; 通常モード設定: FLPMCレジスタ制御 (設定値)

BT       PFS.0, $ModeOffLoop; 特定レジスタへの書き込み完了確認
                                           ; エラー発生時は, 同じ処理を繰り返す。
                                           ; 特定シーケンスが正常実行したあとに, CPUクロックをセルフ・
                                           ; プログラミング以前の設定に戻してください。

MOV      MK0, #INT_MK0      ; 割り込みマスク・フラグを復帰
MOV      MK1, #INT_MK1

EI

BR       StatusNormal

; -----
; END (異常終了処理); 通常処理に戻る場合は, 通常モードへの移行処理を行ってください
; -----

StatusError:

; -----
; END (正常終了処理)
; -----

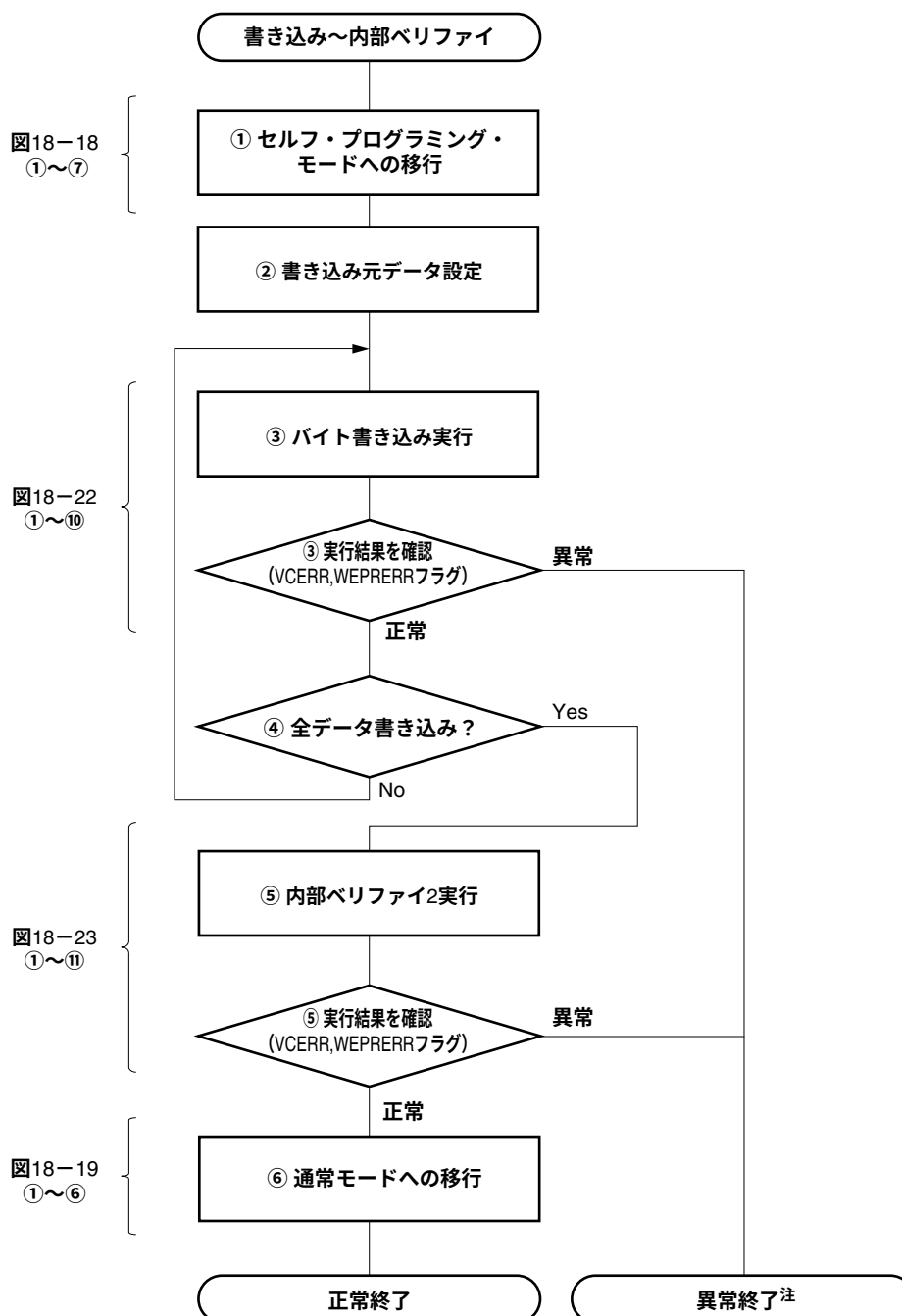
StatusNormal:

```

(2) 書き込み～内部ペリファイ

- ① 通常モードからセルフ・プログラミング・モードへ移行 (18. 8. 4 ①～⑦)
- ② 書き込み元のデータを設定
- ③ バイト書き込み実行→エラー・チェック (18. 8. 8 ①～⑩)
- ④ 全データを書き込むまで、③を繰り返す
- ⑤ 内部ペリファイ2実行→エラー・チェック (18. 8. 9 ①～⑪)
- ⑥ セルフ・プログラミング・モードから通常モードへ移行 (18. 8. 5 ①～⑥)

図18-26 コマンド実行時間を最小にしたい場合の動作例（書き込み～内部ペリファイ）



注 通常処理に戻る場合は、通常モードへの移行処理を行ってください。

備考 図18-26の①～⑥は、18. 8. 10 (2) の①～⑥（上述）と対応しています。

セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例（書き込み～内部ベリファイ）のプログラム例を次に示します。

```

;-----
; START
;-----

MOV     MK0, #11111111B    ; すべての割り込みをマスク

MOV     MK1, #11111111B

MOV     FLCMD, #00H        ; FLCMDレジスタをクリア

DI

ModeOnLoop:                ; 「CPUクロック≧1 MHz」と設定しておいてください

MOV     PFS, #00H          ; フラッシュ・ステータス・レジスタをクリア

MOV     PFCMD, #0A5H       ; PFCMDレジスタ制御

MOV     FLPMC, #01H        ; FLPMCレジスタ制御（設定値）

MOV     FLPMC, #0FEH       ; FLPMCレジスタ制御（設定値の反転）

MOV     FLPMC, #01H        ; セルフ・プログラミング・モード設定：FLPMCレジスタ制御（設定値）

NOP

HALT

BT      PFS.0, $ModeOnLoop ; 特定レジスタへの書き込み完了確認
                                ; エラー発生時は、同じ処理を繰り返す。

FlashWrite:

MOVW    HL, #DataAdrTop    ; 書き込みデータのアドレス設定

MOVW    DE, #WriteAdr      ; 書き込みアドレス設定

FlashWriteLoop:

MOV     FLCMD, #05H        ; フラッシュ制御コマンド設定（バイト書き込み）

MOV     A, D

MOV     FLAPH, A           ; 書き込みアドレス設定

MOV     A, E

MOV     FLAPL, A           ; 書き込みアドレス設定

MOV     A, [HL]

MOV     FLW, A             ; 書き込みデータ設定

MOV     WDTE, #0ACH        ; WDTをクリア&リスタート

HALT                    ; セルフ・プログラミング開始

MOV     A, PFS

CMP     A, #00H

BNZ     $StatusError       ; 書き込み異常を確認
                                ; エラー発生時は、異常終了処理を行う

INCW    HL                 ; 書き込みデータのアドレス+1

```

```

MOVW    AX, HL
CMPW    AX, #DataAdrBtm    ; 全データの書き込み終了の場合は
BNC      $FlashVerify      ; 内部ベリファイ処理を行う

INCW    DE                  ; 書き込みアドレス+1
BR       FlashWriteLoop

FlashVerify:
MOVW    HL, #WriteAdr      ; ベリファイ・アドレス設定

MOV     FLCMD, #02H        ; フラッシュ制御コマンド設定（内部ベリファイ2）
MOV     A, H
MOV     FLAPH, A           ; ベリファイ開始アドレス設定
MOV     A, L
MOV     FLAPL, A           ; ベリファイ開始アドレス設定
MOV     A, D
MOV     FLAPHC, A          ; ベリファイ終了アドレス設定
MOV     A, E
MOV     FLAPLC, A          ; ベリファイ終了アドレス設定

MOV     WDTE, #0ACH        ; WDTをクリア&リスタート
HALT     ; セルフ・プログラミング開始

MOV     A, PFS
CMP     A, #00H
BNZ     $StatusError      ; 内部ベリファイ異常を確認
                        ; エラー発生時は、異常終了処理を行う

MOV     FLCMD, #00H        ; FLCMDレジスタをクリア

ModeOffLoop:
MOV     PFS, #00H          ; フラッシュ・ステータス・レジスタをクリア
MOV     PFCMD, #0A5H       ; PFCMDレジスタ制御
MOV     FLPMC, #00H        ; FLPMCレジスタ制御（設定値）
MOV     FLPMC, #0FFH       ; FLPMCレジスタ制御（設定値の反転）
MOV     FLPMC, #00H        ; 通常モード設定：FLPMCレジスタ制御（設定値）

BT      PFS.0, $ModeOffLoop; 特定レジスタへの書き込み完了確認
                        ; エラー発生時は、同じ処理を繰り返す。
                        ; 特定シーケンスが正常実行したあとに、CPUクロックをセルフ・
                        ; プログラミング以前の設定に戻してください。

MOV     MK0, #INT_MK0      ; 割り込みマスク・フラグを復帰
MOV     MK1, #INT_MK1

EI

```

```

BR          StatusNormal

;-----
;END (異常終了処理); 通常処理に戻る場合は、通常モードへの移行処理を行ってください
;-----

StatusError:

;-----
;END (正常終了処理)
;-----

StatusNormal:

;-----
;書き込みデータ
;-----

DataAdrTop:

    DB      XXH

    DB      XXH

    DB      XXH

    DB      XXH

    :

    :

    DB      XXH

DataAdrBtm:

;-----

```

備考 前述のプログラム例の内部ベリファイは、内部ベリファイ2を使用しています。1ブロック全体をベリファイする場合は、内部ベリファイ1を使用してください。

18. 8. 11 セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例

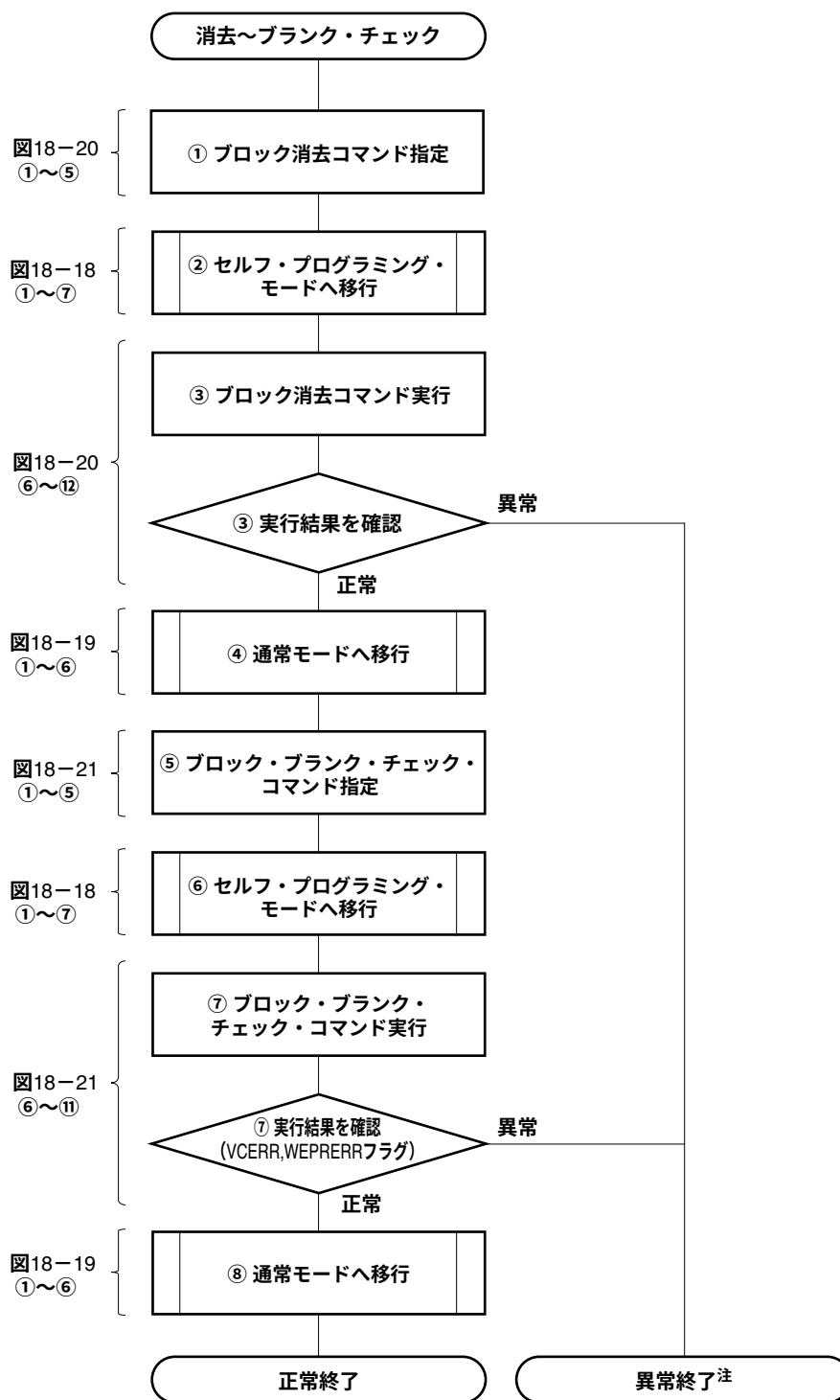
セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例について、次に説明します。

(1) 消去～ブランク・チェック

- ① ブロック消去コマンド指定 (18. 8. 6 ①～⑤)
- ② 通常モードからセルフ・プログラミング・モードへ移行 (18. 8. 4 ①～⑦)
- ③ ブロック消去コマンド実行→エラーのチェック (18. 8. 6 ⑥～⑫)
- ④ セルフ・プログラミング・モードから通常モードへ移行 (18. 8. 5 ①～⑥)
- ⑤ ブロック・ブランク・チェック・コマンド指定 (18. 8. 7 ①～⑤)
- ⑥ 通常モードからセルフ・プログラミング・モードへ移行 (18. 8. 4 ①～⑦)
- ⑦ ブロック・ブランク・チェック・コマンド実行→エラーのチェック (18. 8. 7 ⑥～⑪)
- ⑧ セルフ・プログラミング・モードから通常モードへ移行 (18. 8. 5 ①～⑥)

★

図18-27 割り込み禁止時間を最小にしたい場合の動作例（消去～ブランク・チェック）



注 通常処理に戻る場合は、通常モードへの移行処理を行ってください。

備考 図18-27の①～⑧は、18. 8. 11 (1) の①～⑧（前ページ）と対応しています。

セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例（消去～ブランク・チェック）のプログラム例を次に示します。

★

```

;-----
; START
;-----

MOV      B, #48          ; 消去コマンドのリトライ回数設定
                        ; (4.0 V～5.5 V 100回の消去時間)

FlashBlockErase:
    ; 消去コマンド設定

    MOV    FLCMD, #03H    ; フラッシュ制御コマンド設定（ブロック消去）
    MOV    FLAPH, #07H    ; 消去ブロック番号設定（例：ブロック7を指定）
    MOV    FLAPL, #00H    ; FLAPLは, "00H"固定
    MOV    FLAPHC, #07H   ; 消去ブロック・コンペア番号設定（FLAPHと同じ値）
    MOV    FLAPLC, #00H   ; FLAPLCは, "00H"固定

    CALL   !ModeOn        ; セルフ・プログラミング・モードへ移行処理

EraseRetry:
    ; 消去コマンド実行

    MOV    PFS, #00H      ; フラッシュ・ステータス・レジスタをクリア
    MOV    WDTE, #0ACH    ; WDTをクリア&リスタート
    HALT                                ; セルフ・プログラミング開始

    MOV    A, PFS
    CMP    A, #00H        ; 実行結果を確認
    BNZ    $RetryCheck    ; 消去異常を確認
                        ; エラー発生時は, 異常終了処理を行う

    CALL   !ModeOff        ; 通常モードへ移行

; ブランク・チェック・コマンド設定

    MOV    FLCMD, #04H    ; フラッシュ制御コマンド設定（ブロック・ブランク・チェック）
    MOV    FLAPH, #07H    ; ブランク・チェック・ブロック番号設定（例：ブロック7を指定）
    MOV    FLAPL, #00H    ; FLAPLは, "00H"固定
    MOV    FLAPHC, #07H   ; ブランク・チェック・ブロック・コンペア番号設定（FLAPHと同じ値）
    MOV    FLAPLC, #0FFH  ; FLAPLCは, "FFH"固定

    CALL   !ModeOn        ; セルフ・プログラミング・モードへ移行処理

; ブランク・チェック・コマンド実行

    MOV    PFS, #00H      ; フラッシュ・ステータス・レジスタをクリア
    MOV    WDTE, #0ACH    ; WDTをクリア&リスタート

```

```

    HALT                                ; セルフ・プログラミング開始

    MOV     A, PFS
    CMP     A, #00H                    ; 実行結果を確認
    BNZ     $StatusError                ; ブランク・チェック異常を確認
                                           ; エラー発生時は、異常終了処理を行う。

    CALL    !ModeOff                    ; 通常モードへ移行

    BR      StatusNormal

★ RetryCheck:
    DBNZ    B, $EraseRetry

; -----
; END (異常終了処理); 通常処理に戻る場合は、通常モードへの移行処理を行ってください
; -----

StatusError:

; -----
; END (正常終了処理)
; -----

StatusNormal:

; -----
; セルフ・プログラミング・モードへ移行処理
; -----

ModeOn:
    MOV     MK0, #11111111B            ; すべての割り込みをマスク

    MOV     MK1, #11111111B

    MOV     FLCMD, #00H                ; FLCMDレジスタをクリア

    DI

ModeOnLoop:                            ; 「CPUクロック≧1 MHz」と設定しておいてください

    MOV     PFS, #00H                  ; フラッシュ・ステータス・レジスタをクリア

    MOV     PFCMD, #0A5H                ; PFCMDレジスタ制御

    MOV     FLPMC, #01H                 ; FLPMCレジスタ制御 (設定値)

    MOV     FLPMC, #0FEH                ; FLPMCレジスタ制御 (設定値の反転)

    MOV     FLPMC, #01H                ; セルフ・プログラミング・モード設定: FLPMCレジスタ制御 (設定値)

    NOP

    HALT

```

```

BT      PFS.0,$ModeOnLoop ; 特定レジスタへの書き込み完了確認
                                ; エラー発生時は、同じ処理を繰り返す。

RET

; -----
; 通常モードへ移行処理
; -----
ModeOffLoop:
MOV     FLCMD,#00H           ; FLCMDレジスタをクリア
MOV     PFS,#00H            ; フラッシュ・ステータス・レジスタをクリア
MOV     PFCMD,#0A5H         ; PFCMDレジスタ制御
MOV     FLPMC,#00H          ; FLPMCレジスタ制御（設定値）
MOV     FLPMC,#0FFH         ; FLPMCレジスタ制御（設定値の反転）
MOV     FLPMC,#00H          ; 通常モード設定：FLPMCレジスタ制御（設定値）

BT      PFS.0,$ModeOffLoop; 特定レジスタへの書き込み完了確認
                                ; エラー発生時は、同じ処理を繰り返す。
                                ; 特定シーケンスが正常実行したあとに、CPUクロックをセルフ・
                                ; プログラミング以前の設定に戻してください。

MOV     MK0,#INT_MK0        ; 割り込みマスク・フラグを復帰
MOV     MK1,#INT_MK1

EI

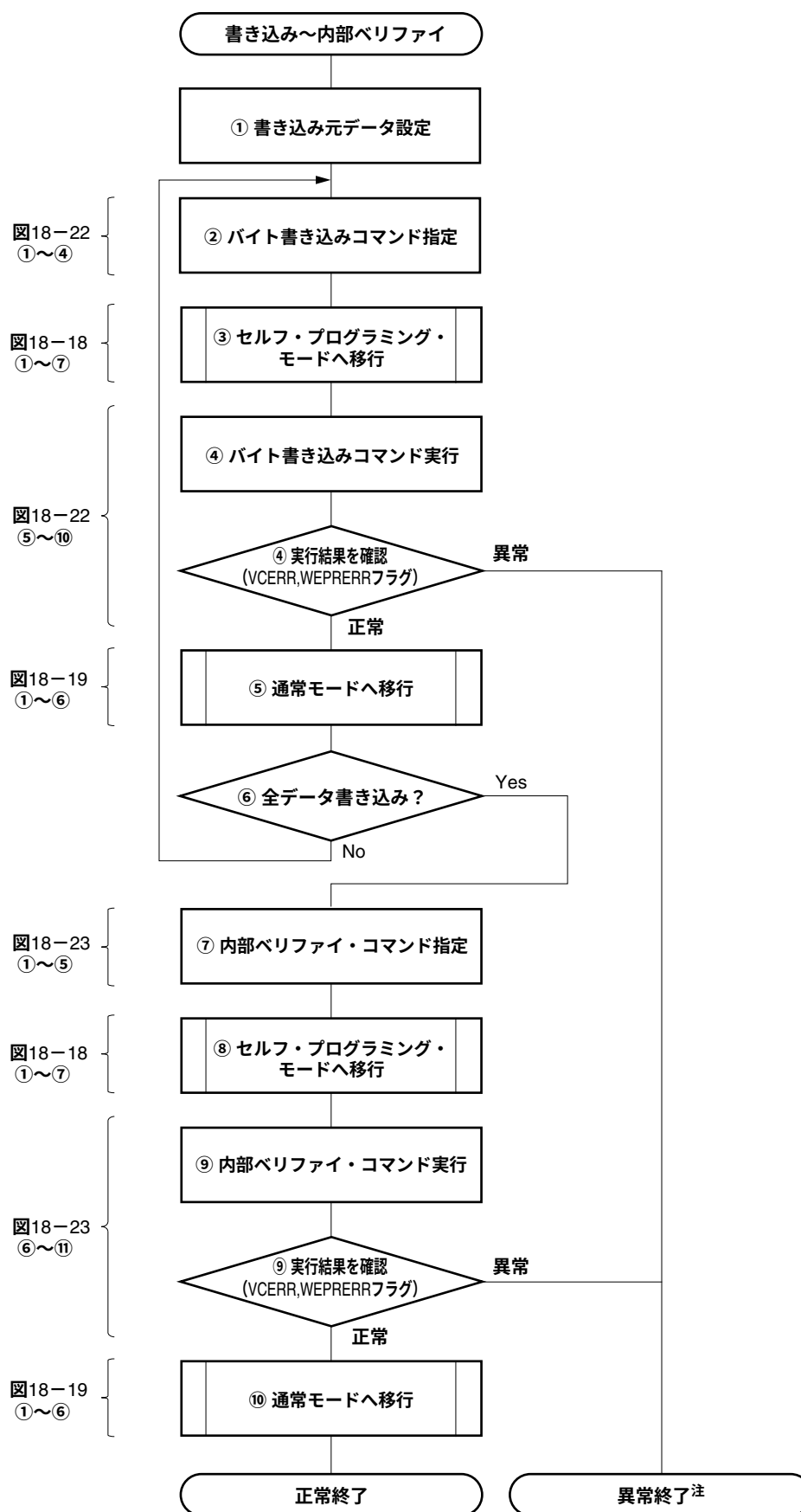
RET

```

(2) 書き込み～内部ペリファイ

- ① 書き込み元データの指定
- ② バイト書き込みコマンド指定 (18. 8. 8 ①～④)
- ③ 通常モードからセルフ・プログラミング・モードへ移行 (18. 8. 4 ①～⑦)
- ④ バイト書き込みコマンド実行→エラーのチェック (18. 8. 8 ⑤～⑩)
- ⑤ セルフ・プログラミング・モードから通常モードへ移行 (18. 8. 5 ①～⑥)
- ⑥ 全データを書き込むまで、②～⑤を繰り返す
- ⑦ 内部ペリファイ・コマンドを指定 (18. 8. 9 ①～⑤)
- ⑧ 通常モードからセルフ・プログラミング・モードへ移行 (18. 8. 4 ①～⑦)
- ⑨ 内部ペリファイ・コマンド実行→エラーのチェック (18. 8. 9 ⑥～⑪)
- ⑩ セルフ・プログラミング・モードから通常モードへ移行 (18. 8. 5 ①～⑥)

図18-28 割り込み禁止時間を最小にしたい場合の動作例（書き込み～内部ベリファイ）



注 通常処理に戻る場合は、通常モードへの移行処理を行ってください。

備考 図18-28の①～⑩は、18. 8. 11 (2) の①～⑩（前ページ）と対応しています。

セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例（書き込み～内部ベリファイ）のプログラム例を次に示します。

```

;-----
;START
;-----

; 書き込みコマンド設定

FlashWrite:
    MOVW    HL, #DataAdrTop    ; 書き込みデータのアドレス設定
    MOVW    DE, #WriteAdr      ; 書き込みアドレス設定

FlashWriteLoop:
    MOV     FLCMD, #05H        ; フラッシュ制御コマンド設定（バイト書き込み）
    MOV     A, D
    MOV     FLAPH, A           ; 書き込みアドレス設定
    MOV     A, E
    MOV     FLAPL, A           ; 書き込みアドレス設定
    MOV     A, [HL]
    MOV     FLW, A             ; 書き込みデータ設定

    CALL    !ModeOn            ; セルフ・プログラミング・モードへ移行処理

; 書き込みコマンド実行
    MOV     PFS, #00H          ; フラッシュ・ステータス・レジスタをクリア
    MOV     WDTE, #0ACH        ; WDTをクリア&リスタート
    HALT                                ; セルフ・プログラミング開始
    MOV     A, PFS
    CMP     A, #00H
    BNZ     $StatusError       ; 書き込み異常を確認
                                ; エラー発生時は、異常終了処理を行う

    CALL    !ModeOff           ; 通常モードへ移行

    MOV     MK0, #INT_MK0      ; 割り込みマスク・フラグを復帰
    MOV     MK1, #INT_MK1

    EI

; 全データ書き込み判定
    INCW    HL                 ; 書き込みデータのアドレス+1
    MOVW    AX, HL
    CMPW    AX, #DataAdrBtm    ; 全データの書き込み終了の場合は
    BNC     $FlashVerify       ; 内部ベリファイ処理を行う

```

```

INCW    DE                ; 書き込みアドレス+1

BR      FlashWriteLoop


; 内部ベリファイ・コマンド設定

FlashVerify:

MOVW    HL, #WriteAdr     ; ベリファイ・アドレス設定


MOV     FLCMD, #02H       ; フラッシュ制御コマンド設定（内部ベリファイ2）

MOV     A, H

MOV     FLAPH, A          ; ベリファイ開始アドレス設定

MOV     A, L

MOV     FLAPL, A          ; ベリファイ開始アドレス設定

MOV     A, D

MOV     FLAPHC, A         ; ベリファイ終了アドレス設定

MOV     A, E

MOV     FLAPLC, A         ; ベリファイ終了アドレス設定


CALL    !ModeOn           ; セルフ・プログラミング・モードへ移行処理


; 内部ベリファイ・コマンド実行

MOV     PFS, #00H         ; フラッシュ・ステータス・レジスタをクリア

MOV     WDTE, #0ACH       ; WDTをクリア&リスタート

HALT                    ; セルフ・プログラミング開始

MOV     A, PFS

CMP     A, #00H

BNZ     $StatusError      ; 内部ベリファイ異常を確認
                        ; エラー発生時は、異常終了処理を行う。


CALL    !ModeOff          ; 通常モードへ移行


BR      StatusNormal


; -----
; END（異常終了処理）； 通常処理に戻る場合は、通常モードへの移行処理を行ってください
; -----

StatusError:


; -----
; END（正常終了処理）
; -----

```

StatusNormal:

; セルフ・プログラミング・モードへ移行処理

ModeOn:

MOV MK0, #11111111B ; すべての割り込みをマスク

MOV MK1, #11111111B

MOV FLCMD, #00H ; FLCMDレジスタをクリア

DI

ModeOnLoop: ; 「CPUクロック $\geq$ 1 MHz」と設定しておいてください

MOV PFS, #00H ; フラッシュ・ステータス・レジスタをクリア

MOV PFCMD, #0A5H ; PFCMDレジスタ制御

MOV FLPMC, #01H ; FLPMCレジスタ制御（設定値）

MOV FLPMC, #0FEH ; FLPMCレジスタ制御（設定値の反転）

MOV FLPMC, #01H ; セルフ・プログラミング・モード設定: FLPMCレジスタ制御（設定値）

NOP

HALT

BT PFS.0, \$ModeOnLoop ; 特定レジスタへの書き込み完了確認
; エラー発生時は、同じ処理を繰り返す。

RET

; 通常モードへ移行処理

ModeOffLoop:

MOV FLCMD, #00H ; FLCMDレジスタをクリア

MOV PFS, #00H ; フラッシュ・ステータス・レジスタをクリア

MOV PFCMD, #0A5H ; PFCMDレジスタ制御

MOV FLPMC, #00H ; FLPMCレジスタ制御（設定値）

MOV FLPMC, #0FFH ; FLPMCレジスタ制御（設定値の反転）

MOV FLPMC, #00H ; 通常モード設定: FLPMCレジスタ制御（設定値）

BT PFS.0, \$ModeOffLoop; 特定レジスタへの書き込み完了確認
; エラー発生時は、同じ処理を繰り返す。
; 特定シーケンスが正常実行したあとに、CPUクロックをセルフ・
; プログラミング以前の設定に戻してください。


```
MOV    MK0, #INT_MK0      ; 割り込みマスク・フラグを復帰
MOV    MK1, #INT_MK1

EI

RET

;-----
;書き込みデータ
;-----
DataAdrTop:
    DB    XXH
    DB    XXH
    DB    XXH
    DB    XXH

    :
    :

    DB    XXH
DataAdrBtm:
;-----
```

備考 前述のプログラム例の内部ベリファイは、内部ベリファイ2を使用しています。1ブロック全体をベリファイする場合は、内部ベリファイ1を使用してください。

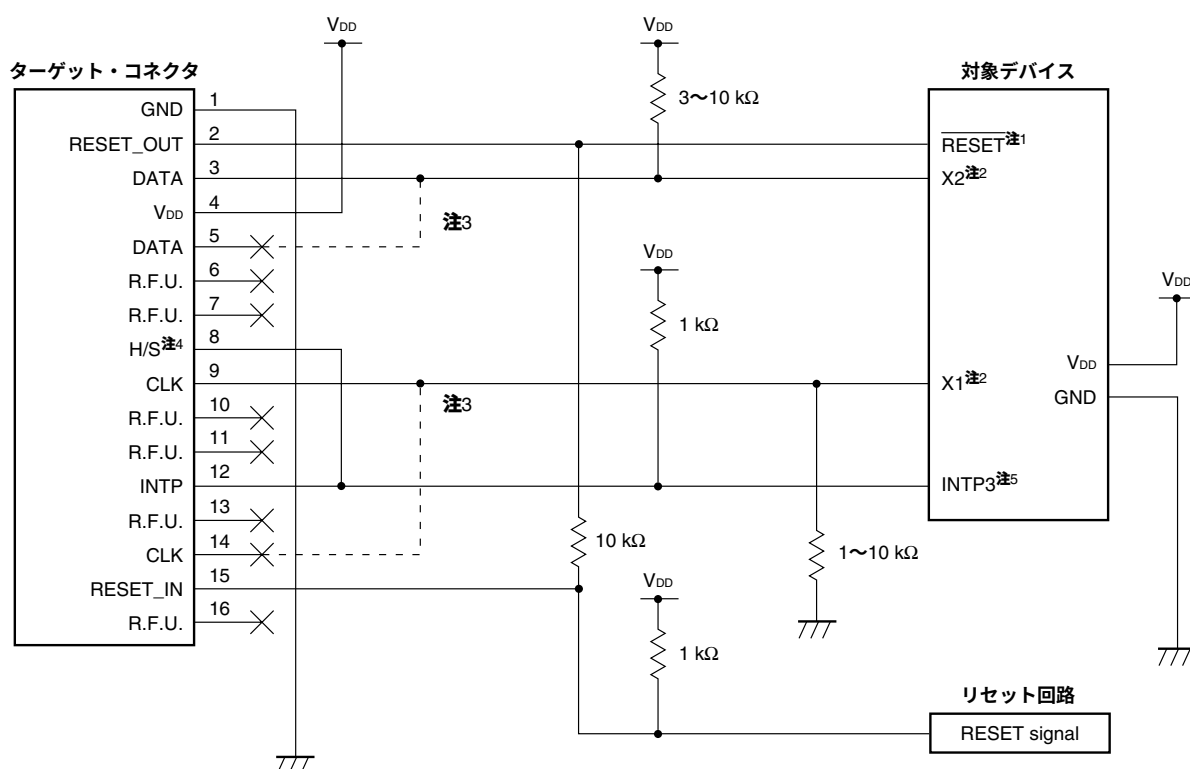
第19章 オンチップ・デバッグ機能

19.1 QB-MINI2との接続

78K0S/KA1+は、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ（QB-MINI2）を介して、ホスト・マシンとの通信を行う場合、 $\overline{\text{RESET}}$ 、X1、X2、INTP3、 V_{DD} 、GND端子を使用します。

- ★ **注意** 78K0S/KA1+には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図19-1 回路設計例



注意 回路接続例中の定数はあくまで参考値です。量産を目的としてフラッシュ・プログラミングを行う場合は、対象デバイスのスペックを満たしているか十分な評価を行ってください。

- 注1. $\overline{\text{RESET}}$ 端子はデバッグ起動時のモニタ・プログラム・ダウンロードや、強制リセットを実現するために使用します。このため、 $\overline{\text{RESET}}$ 端子と兼用している端子を使用することはできません。リセット端子の処理の詳細については、QB-MINI2 ユーザーズ・マニュアル（U18371J）を参照してください。
2. ターゲット・システムでX1、X2端子を使用しない場合の端子接続を掲載しています。X1、X2端子を使用する場合は19.1.2 X1、X2端子の処理を参照してください。
3. 点線部が接続されていても問題ありません。

- 注4. デバッグ時、Run-Break間の時間測定の精度を上げるために接続しています。接続しない場合、デバッグは可能ですが、時間測定の誤差が数msの単位で生じます。
5. INTP3端子はデバッグ時に対象デバイスと通信を行うために使用します。このため、QB-MINI2でデバッグする場合は、INTP3端子、およびその兼用端子を使用することはできません。INTP3端子の処理については、19.1.1 INTP3端子の処理を参照してください。

モニタ・プログラム書き込み前後で通信に必要な端子が異なります（表19-1参照）。モニタ・プログラム書き込み後は、X1, X2端子を入出力ポート、発振端子として使用できます。

表19-1 QB-MINI2との通信に必要な端子

モニタ前	モニタ後
X1, X2, RESET, INTP3, V _{DD} , V _{SS}	RESET, INTP3, V _{DD} , V _{SS}

19.1.1 INTP3端子の処理

INTP3端子はデバッグ時のみQB-MINI2と対象デバイスとの通信用に使用します。このため、以下のケースに応じて適切な回路設計を行ってください。

- (1) ターゲット・システムでINTP3端子を使用しない場合（図19-1参照）
→図19-2を参照
- (2) QB-MINI2をデバッグ用に使用せず、プログラミング用にのみ使用する場合
→図19-3を参照
- (3) QB-MINI2をデバッグ用に使用し、かつINTP3端子のデバッグを実機のみで行う場合
→図19-4を参照

図19-2 ターゲット・システムでINTP3端子を使用しない場合

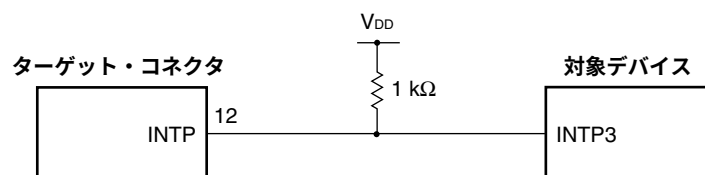
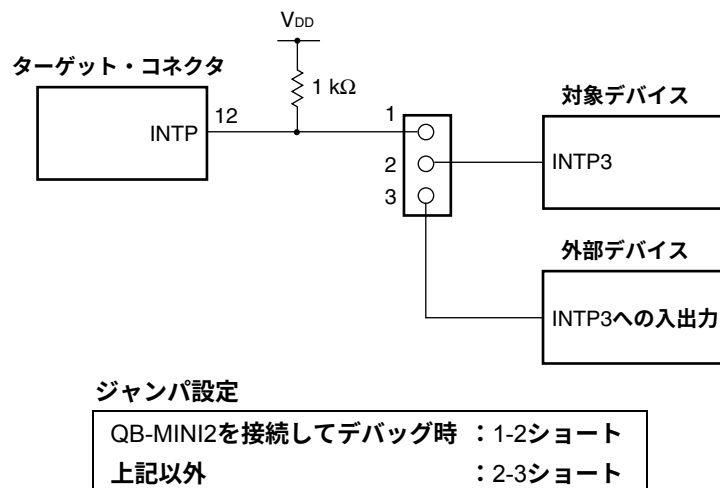


図19-3 QB-MINI2をプログラミング用にのみ使用する場合



図19-4 QB-MINI2をデバッグ用に使用し、かつINTP3端子のデバッグを実機のみで行う場合

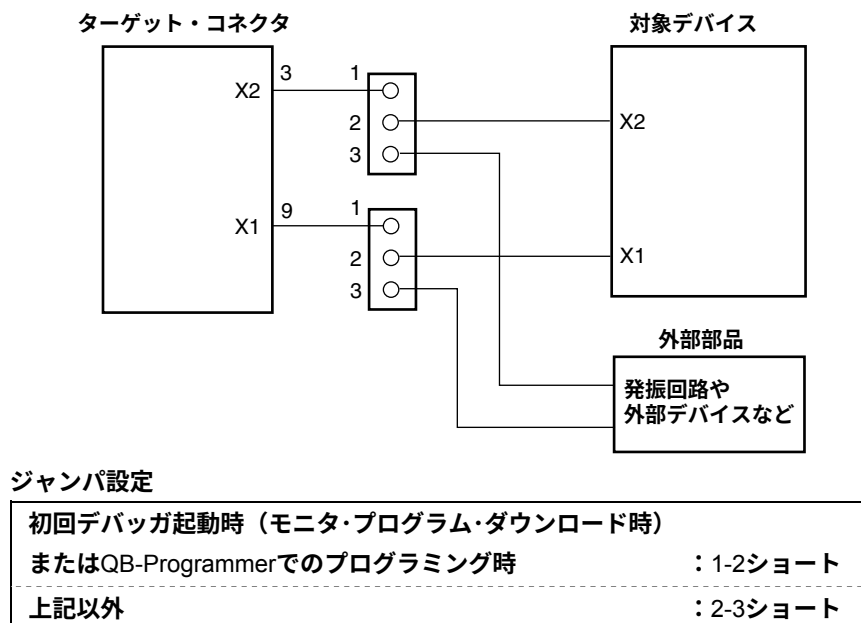


注意 QB-MINI2を使用せずに、実機のみを動作させてデバッグする場合、ユーザ・プログラムはQB-Programmerで書き込んでください。デバッガでダウンロードしたプログラムには、モニタ・プログラムが組み込まれており、QB-MINI2からの制御がないと誤動作するためです。

19.1.2 X1, X2端子の処理

X1, X2端子は初回デバッガ起動時（モニタ・プログラム・ダウンロード時）、およびQB-Programmerによるプログラミング時に使用します。

図19-5 X1, X2端子を使用する場合



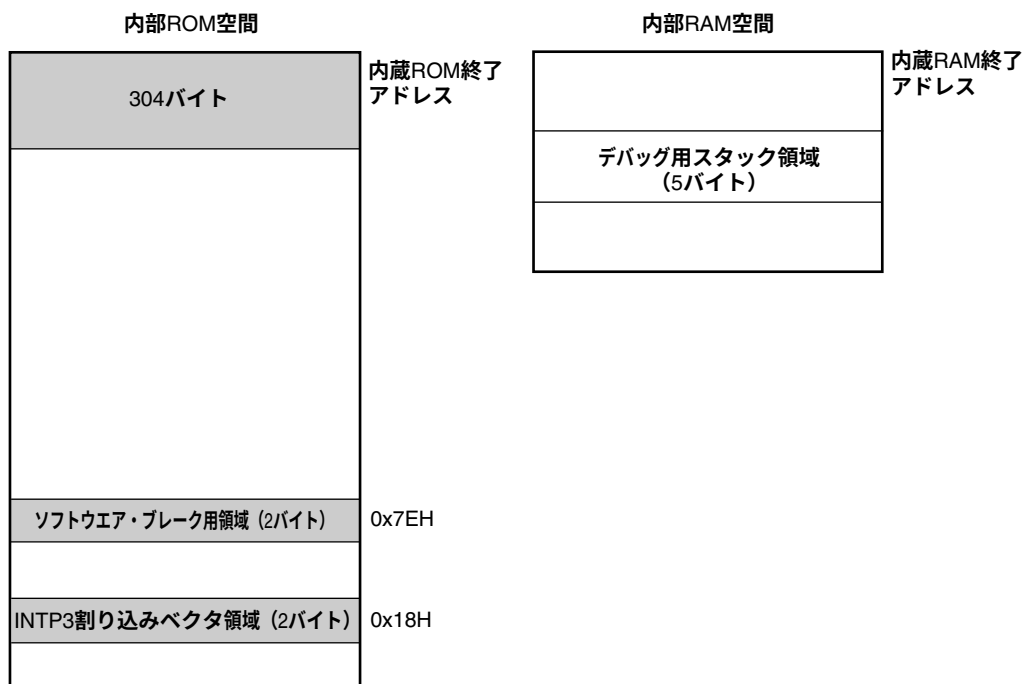
19.2 ユーザ資源の確保

QB-MINI2は対象デバイスとの通信，または各デバッグ機能を実現するために下記の準備を行う必要があります。これらは，ユーザ・プログラムで設定する必要があります。設定の詳細は，QB-MINI2 **ユーザーズ・マニュアル**（U18371J）を参照してください。

・メモリ空間の確保

図19-6のグレーで記述した領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムを配置できない空間です。

図19-6 デバッグ用モニタ・プログラムが配置されるメモリ空間



・通信用インタフェースの確保

対象デバイスとの通信用に使用するINTP3端子に関するレジスタ設定を，デバッグ用モニタ・プログラムが設定する値から変更しないようにする必要があります。

第20章 命令セットの概要

78K0S/KA1+の命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

20.1 オペレーション

20.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエイト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミディエイト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表20-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエイト・データまたはレーベル
saddrp	FE20H-FF1FH イミディエイト・データまたはレーベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエイト・データまたはレーベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミディエイト・データまたはレーベル（偶数アドレスのみ）
word	16ビット・イミディエイト・データまたはレーベル
byte	8ビット・イミディエイト・データまたはレーベル
bit	3ビット・イミディエイト・データまたはレーベル

備考 特殊機能レジスタの略号は表3-3 特殊機能レジスタ一覧を参照してください。

20.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレースメント値)

20.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
X	: 結果に従ってセット／クリアされる
R	: 以前に退避した値がストアされる

20.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	$r \leftarrow \text{byte}$			
	saddr, #byte	3	6	$(\text{saddr}) \leftarrow \text{byte}$			
	sfr, #byte	3	6	$\text{sfr} \leftarrow \text{byte}$			
	A, r 注1	2	4	$A \leftarrow r$			
	r, A 注1	2	4	$r \leftarrow A$			
	A, saddr	2	4	$A \leftarrow (\text{saddr})$			
	saddr, A	2	4	$(\text{saddr}) \leftarrow A$			
	A, sfr	2	4	$A \leftarrow \text{sfr}$			
	sfr, A	2	4	$\text{sfr} \leftarrow A$			
	A, laddr16	3	8	$A \leftarrow (\text{addr16})$			
	laddr16, A	3	8	$(\text{addr16}) \leftarrow A$			
	PSW, #byte	3	6	$\text{PSW} \leftarrow \text{byte}$	×	×	×
	A, PSW	2	4	$A \leftarrow \text{PSW}$			
	PSW, A	2	4	$\text{PSW} \leftarrow A$	×	×	×
	A, [DE]	1	6	$A \leftarrow (\text{DE})$			
	[DE], A	1	6	$(\text{DE}) \leftarrow A$			
	A, [HL]	1	6	$A \leftarrow (\text{HL})$			
	[HL], A	1	6	$(\text{HL}) \leftarrow A$			
	A, [HL+byte]	2	6	$A \leftarrow (\text{HL} + \text{byte})$			
	[HL+byte], A	2	6	$(\text{HL} + \text{byte}) \leftarrow A$			
XCH	A, X	1	4	$A \longleftrightarrow X$			
	A, r 注2	2	6	$A \longleftrightarrow r$			
	A, saddr	2	6	$A \longleftrightarrow (\text{saddr})$			
	A, sfr	2	6	$A \longleftrightarrow \text{sfr}$			
	A, [DE]	1	8	$A \longleftrightarrow (\text{DE})$			
	A, [HL]	1	8	$A \longleftrightarrow (\text{HL})$			
	A, [HL, byte]	2	8	$A \longleftrightarrow (\text{HL} + \text{byte})$			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp ← word			
	AX, saddrp	2	6	AX ← (saddrp)			
	saddrp, AX	2	8	(saddrp) ← AX			
	AX, rp 注	1	4	AX ← rp			
	rp, AX 注	1	4	rp ← AX			
XCHW	AX, rp 注	1	8	AX ↔ rp			
ADD	A, #byte	2	4	A, CY ← A + byte	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte	×	×	×
	A, r	2	4	A, CY ← A + r	×	×	×
	A, saddr	2	4	A, CY ← A + (saddr)	×	×	×
	A, laddr16	3	8	A, CY ← A + (addr16)	×	×	×
	A, [HL]	1	6	A, CY ← A + (HL)	×	×	×
	A, [HL + byte]	2	6	A, CY ← A + (HL + byte)	×	×	×
ADDC	A, #byte	2	4	A, CY ← A + byte + CY	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) + byte + CY	×	×	×
	A, r	2	4	A, CY ← A + r + CY	×	×	×
	A, saddr	2	4	A, CY ← A + (saddr) + CY	×	×	×
	A, laddr16	3	8	A, CY ← A + (addr16) + CY	×	×	×
	A, [HL]	1	6	A, CY ← A + (HL) + CY	×	×	×
	A, [HL + byte]	2	6	A, CY ← A + (HL + byte) + CY	×	×	×
SUB	A, #byte	2	4	A, CY ← A - byte	×	×	×
	saddr, #byte	3	6	(saddr), CY ← (saddr) - byte	×	×	×
	A, r	2	4	A, CY ← A - r	×	×	×
	A, saddr	2	4	A, CY ← A - (saddr)	×	×	×
	A, laddr16	3	8	A, CY ← A - (addr16)	×	×	×
	A, [HL]	1	6	A, CY ← A - (HL)	×	×	×
	A, [HL + byte]	2	6	A, CY ← A - (HL + byte)	×	×	×

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
	saddr, #byte	3	6	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
	A, r	2	4	$A, CY \leftarrow A - r - CY$	×	×	×
	A, saddr	2	4	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
	A, laddr16	3	8	$A, CY \leftarrow A - (addr16) - CY$	×	×	×
	A, [HL]	1	6	$A, CY \leftarrow A - (HL) - CY$	×	×	×
	A, [HL+byte]	2	6	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	×	×	×
AND	A, #byte	2	4	$A \leftarrow A \wedge \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \wedge r$	×		
	A, saddr	2	4	$A \leftarrow A \wedge (saddr)$	×		
	A, laddr16	3	8	$A \leftarrow A \wedge (addr16)$	×		
	A, [HL]	1	6	$A \leftarrow A \wedge (HL)$	×		
	A, [HL+byte]	2	6	$A \leftarrow A \wedge (HL + \text{byte})$	×		
OR	A, #byte	2	4	$A \leftarrow A \vee \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \vee \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \vee r$	×		
	A, saddr	2	4	$A \leftarrow A \vee (saddr)$	×		
	A, laddr16	3	8	$A \leftarrow A \vee (addr16)$	×		
	A, [HL]	1	6	$A \leftarrow A \vee (HL)$	×		
	A, [HL+byte]	2	6	$A \leftarrow A \vee (HL + \text{byte})$	×		
XOR	A, #byte	2	4	$A \leftarrow A \nabla \text{byte}$	×		
	saddr, #byte	3	6	$(saddr) \leftarrow (saddr) \nabla \text{byte}$	×		
	A, r	2	4	$A \leftarrow A \nabla r$	×		
	A, saddr	2	4	$A \leftarrow A \nabla (saddr)$	×		
	A, laddr16	3	8	$A \leftarrow A \nabla (addr16)$	×		
	A, [HL]	1	6	$A \leftarrow A \nabla (HL)$	×		
	A, [HL+byte]	2	6	$A \leftarrow A \nabla (HL + \text{byte})$	×		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A ← byte	×	×	×
	saddr, #byte	3	6	(saddr) ← byte	×	×	×
	A, r	2	4	A ← r	×	×	×
	A, saddr	2	4	A ← (saddr)	×	×	×
	A, laddr16	3	8	A ← (addr16)	×	×	×
	A, [HL]	1	6	A ← (HL)	×	×	×
	A, [HL+byte]	2	6	A ← (HL+byte)	×	×	×
ADDW	AX, #word	3	6	AX, CY ← AX + word	×	×	×
SUBW	AX, #word	3	6	AX, CY ← AX − word	×	×	×
CMPW	AX, #word	3	6	AX ← word	×	×	×
INC	r	2	4	r ← r + 1	×	×	
	saddr	2	4	(saddr) ← (saddr) + 1	×	×	
DEC	r	2	4	r ← r − 1	×	×	
	saddr	2	4	(saddr) ← (saddr) − 1	×	×	
INCW	rp	1	4	rp ← rp + 1			
DECW	rp	1	4	rp ← rp − 1			
ROR	A, 1	1	2	(CY, A ₇ ← A ₀ , A _{m−1} ← A _m) × 1回			×
ROL	A, 1	1	2	(CY, A ₀ ← A ₇ , A _{m+1} ← A _m) × 1回			×
RORC	A, 1	1	2	(CY ← A ₀ , A ₇ ← CY, A _{m−1} ← A _m) × 1回			×
ROLC	A, 1	1	2	(CY ← A ₇ , A ₀ ← CY, A _{m+1} ← A _m) × 1回			×
SET1	saddr.bit	3	6	(saddr.bit) ← 1			
	sfr.bit	3	6	sfr.bit ← 1			
	A.bit	2	4	A.bit ← 1			
	PSW.bit	3	6	PSW.bit ← 1	×	×	×
	[HL] .bit	2	10	(HL) .bit ← 1			
CLR1	saddr.bit	3	6	(saddr.bit) ← 0			
	sfr.bit	3	6	sfr.bit ← 0			
	A.bit	2	4	A.bit ← 0			
	PSW.bit	3	6	PSW.bit ← 0	×	×	×
	[HL] .bit	2	10	(HL) .bit ← 0			
SET1	CY	1	2	CY ← 1			1
CLR1	CY	1	2	CY ← 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	$CY \leftarrow \overline{CY}$			X
CALL	laddr16	3	6	$(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L,$ $PC \leftarrow \text{laddr16}, SP \leftarrow SP-2$			
CALLT	[addr5]	1	8	$(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L,$ $PC_H \leftarrow (00000000, \text{addr5}+1),$ $PC_L \leftarrow (00000000, \text{addr5}),$ $SP \leftarrow SP-2$			
RET		1	6	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP),$ $SP \leftarrow SP+2$			
RETI		1	8	$PC_H \leftarrow (SP+1), PC_L \leftarrow (SP),$ $PSW \leftarrow (SP+2), SP \leftarrow SP+3$	R	R	R
PUSH	PSW	1	2	$(SP-1) \leftarrow PSW, SP \leftarrow SP-1$			
	rp	1	4	$(SP-1) \leftarrow rp_H, (SP-2) \leftarrow rp_L,$ $SP \leftarrow SP-2$			
POP	PSW	1	4	$PSW \leftarrow (SP), SP \leftarrow SP+1$	R	R	R
	rp	1	6	$rp_H \leftarrow (SP+1), rp_L \leftarrow (SP),$ $SP \leftarrow SP+2$			
MOVW	SP, AX	2	8	$SP \leftarrow AX$			
	AX, SP	2	6	$AX \leftarrow SP$			
BR	laddr16	3	6	$PC \leftarrow \text{laddr16}$			
	\$addr16	2	6	$PC \leftarrow PC+2+jdisp8$			
	AX	1	6	$PC_H \leftarrow A, PC_L \leftarrow X$			
BC	\$saddr16	2	6	$PC \leftarrow PC+2+jdisp8$ if CY = 1			
BNC	\$saddr16	2	6	$PC \leftarrow PC+2+jdisp8$ if CY = 0			
BZ	\$saddr16	2	6	$PC \leftarrow PC+2+jdisp8$ if Z = 1			
BNZ	\$saddr16	2	6	$PC \leftarrow PC+2+jdisp8$ if Z = 0			
BT	saddr.bit, \$addr16	4	10	$PC \leftarrow PC+4+jdisp8$ if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC+4+jdisp8$ if sfr.bit = 1			
	A.bit, \$addr16	3	8	$PC \leftarrow PC+3+jdisp8$ if A.bit = 1			
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC+4+jdisp8$ if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
BF	saddr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 0	
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 0	
	A.bit, \$addr16	3	8	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 0	
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 0	
DBNZ	B, \$addr16	2	6	$B \leftarrow B - 1$, then $PC \leftarrow PC + 2 + \text{jdisp8}$ if $B \neq 0$	
	C, \$addr16	2	6	$C \leftarrow C - 1$, then $PC \leftarrow PC + 2 + \text{jdisp8}$ if $C \neq 0$	
	saddr, \$addr16	3	8	(saddr) $\leftarrow$ (saddr) - 1, then $PC \leftarrow PC + 3 + \text{jdisp8}$ if (saddr) $\neq 0$	
NOP		1	2	No Operation	
EI		3	6	$IE \leftarrow 1$ (Enable Interrupt)	
DI		3	6	$IE \leftarrow 0$ (Disable Interrupt)	
HALT		1	2	Set HALT Mode	
STOP		1	2	Set STOP Mode	

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

20.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC,
ROL, PUSH, POP, DBNZ

第2オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+ byte]	\$addr16	1	なし
第1オペランド													
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注 ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV ADDC SUB SUBC AND OR XOR CMP	MOV XCH CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROL	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL+byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令／分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP

第21章 電気的特性（標準品，（A）水準品）

絶対最大定格（ $T_A = 25\text{ }^{\circ}\text{C}$ ）

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}		$-0.3 \sim +6.5$	V
	V_{SS}		$-0.3 \sim +0.3$	V
	AV_{REF}		$-0.3 \sim V_{DD} + 0.3$ ^注	V
入力電圧	V_{I1}	P30, P31, P34, P40-P45, P121-P123	$-0.3 \sim V_{DD} + 0.3$ ^注	V
	V_{I2}	P20-P23	$-0.3 \sim AV_{REF} + 0.3$ ^注 かつ $-0.3 \sim V_{DD} + 0.3$ ^注	V
出力電圧	V_O		$-0.3 \sim V_{DD} + 0.3$ ^注	V
アナログ入力電圧	V_{AN}		$-0.3 \sim AV_{REF} + 0.3$ ^注 かつ $-0.3 \sim V_{DD} + 0.3$ ^注	V
ハイ・レベル出力電流	I_{OH}	1端子	-10.0	mA
		P20-P23以外の端子合計	-44.0	mA
		P20-P23の端子合計	-44.0	mA
ロウ・レベル出力電流	I_{OL}	1端子	20.0	mA
		端子合計	44.0	mA
動作周囲温度	T_A	通常動作時	$-40 \sim +85$	$^{\circ}\text{C}$
		フラッシュ・メモリ・プログラミング時		
保存温度	T_{stg}	フラッシュ・メモリ・ブランク状態	$-65 \sim +150$	$^{\circ}\text{C}$
		フラッシュ・メモリ・プログラミング済み	$-40 \sim +125$	$^{\circ}\text{C}$

注 6.5 V以下であること

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^{注1}, $V_{SS} = 0\text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) ^{注2}		2.0		10.0	MHz
水晶振動子		発振周波数 (f_x) ^{注2}		2.0		10.0	MHz
外部 クロック		X1入力周波数 (f_x) ^{注2}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		10.0	MHz
			$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	2.0		5.0	
		X1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.045		0.25	μs
			$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	0.09		0.25	

注1. パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が $2.1\text{ V} \pm 0.1\text{ V}$ のため、 $2.2 \sim 5.5\text{ V}$ の電圧範囲で使用してください。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

高速内蔵発振回路特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^{注1}, $V_{SS} = 0\text{ V}$)

発振子	項 目	条 件	MIN.	TYP.	MAX.	単位
高速内蔵発振器	発振周波数 ($f_x = 8$ MHz ^{注2}) 偏差	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$T_A = -10 \sim +80^\circ\text{C}$		± 3	%
			$T_A = -40 \sim +85^\circ\text{C}$		± 5	%
	発振周波数 (f_x) ^{注2}	$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	5.5			MHz

注1. パワーオン・クリア（POC）回路の検出電圧 (V_{POC}) が $2.1\text{ V} \pm 0.1\text{ V}$ のため、 $2.2 \sim 5.5\text{ V}$ の電圧範囲で使用してください。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

低速内蔵発振回路特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^注, $V_{SS} = 0\text{ V}$)

発振子	項 目	条 件	MIN.	TYP.	MAX.	単 位
低速内蔵発振器	発振周波数 (f_{RL})		120	240	480	kHz

注 パワーオン・クリア（POC）回路の検出電圧 (V_{POC}) が $2.1\text{ V} \pm 0.1\text{ V}$ のため、 $2.2 \sim 5.5\text{ V}$ の電圧範囲で使用してください。

DC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^注, $V_{SS} = 0\text{ V}$) (1/2)

項 目	略号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH1}	P20-P23以外の端子	1端子	$2.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-5	mA
			合計	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-25	mA
				$2.0\text{ V} \leq V_{DD} < 4.0\text{ V}$		-15	mA
	I _{OH2}	P20-P23	1端子	$2.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$		-5	mA
			合計	$2.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$		-15	mA
ロウ・レベル出力電流	I _{OL}	1端子		$2.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		10	mA
		全端子合計		$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		30	mA
				$2.0\text{ V} \leq V_{DD} < 4.0\text{ V}$		15	mA
ハイ・レベル入力電圧	V _{IH1}	P30, P31, P34, P40-P45, P123		$0.8 V_{DD}$		V_{DD}	V
	V _{IH2}	P20-P23		$0.7 AV_{REF}$		AV_{REF}	V
	V _{IH3}	P121, P122		$0.8 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P30, P31, P34, P40-P45, P123		0		$0.2 V_{DD}$	V
	V _{IL2}	P20-P23		0		$0.3 AV_{REF}$	V
	V _{IL3}	P121, P122		0		$0.2 V_{DD}$	V
ハイ・レベル出力電圧	V _{OH1}	P20-P23以外の端子合計		$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$V_{DD} - 1.0$		V
		I _{OH1} = -15 mA		I _{OH1} = -5 mA			
		I _{OH1} = -100 μA		$2.0\text{ V} \leq V_{DD} < 4.0\text{ V}$	$V_{DD} - 0.5$		V
	V _{OH2}	P20-P23の端子合計		$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	$AV_{REF} - 1.0$		V
		I _{OH2} = -10 mA		I _{OH2} = -5 mA			
ロウ・レベル出力電圧	V _{OL}	出力端子合計		$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		1.3	V
		I _{OL} = 30 mA		I _{OL} = 10 mA			
				$2.0\text{ V} \leq V_{DD} < 4.0\text{ V}$		0.4	V
		I _{OL} = 400 μA					
ハイ・レベル入力リーク電流	I _{LIH}	$V_i = V_{DD}$	X1以外の端子			1	μA
ロウ・レベル入力リーク電流	I _{LIL}	$V_i = 0\text{ V}$	X1以外の端子			-1	μA
ハイ・レベル出力リーク電流	I _{LOH}	$V_o = V_{DD}$	X2以外の端子			1	μA
ロウ・レベル出力リーク電流	I _{LOL}	$V_o = 0\text{ V}$	X2以外の端子			-1	μA
プルアップ抵抗値	R _{PU}	$V_i = 0\text{ V}$		10	30	100	k Ω
プルダウン抵抗値	R _{PD}	P121, P122, リセット状態		10	30	100	k Ω

注 パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が $2.1\text{ V} \pm 0.1\text{ V}$ のため、 $2.2 \sim 5.5\text{ V}$ の電圧範囲で使用してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5 \text{ V}$ ^{注1}, $V_{SS} = 0 \text{ V}$) (2/2)

項 目	略号	条 件			MIN.	TYP.	MAX.	単位	
電源電流 ^{注2}	I _{DD1} ^{注3}	水晶／セラミック 発振, 外部クロック	fx = 10 MHz	A/Dコンバータ停止時		6.1	12.2	mA	
			V _{DD} = 5.0 V ± 10 % ^{注4}	A/Dコンバータ動作時 ^{注8}		7.6	15.2		
		入力発振 動作モード ^{注6}	fx = 6 MHz	A/Dコンバータ停止時		5.5	11.0	mA	
			V _{DD} = 5.0 V ± 10 % ^{注4}	A/Dコンバータ動作時 ^{注8}			14.0		
			fx = 5 MHz	A/Dコンバータ停止時		3.0	6.0	mA	
			V _{DD} = 3.0 V ± 10 % ^{注5}	A/Dコンバータ動作時 ^{注8}		4.5	9.0		
		I _{DD2}	水晶／セラミック 発振, 外部クロック	fx = 10 MHz	周辺機能停止時		1.7	3.8	mA
				V _{DD} = 5.0 V ± 10 % ^{注4}	周辺機能動作時			6.7	
	入力発振 HALTモード ^{注6}		fx = 6 MHz	周辺機能停止時		1.3	3.0	mA	
			V _{DD} = 5.0 V ± 10 % ^{注4}	周辺機能動作時			6.0		
			fx = 5 MHz	周辺機能停止時		0.48	1	mA	
			V _{DD} = 3.0 V ± 10 % ^{注5}	周辺機能動作時			2.1		
	I _{DD3} ^{注3}		高速内蔵発振器 動作モード ^{注7}	fx = 8 MHz	A/Dコンバータ停止時		5.0	10.0	mA
				V _{DD} = 5.0 V ± 10 % ^{注4}	A/Dコンバータ動作時 ^{注8}		6.5	13.0	
	I _{DD4}	高速内蔵発振器 HALTモード ^{注7}	fx = 8 MHz	周辺機能停止時		1.4	3.2	mA	
			V _{DD} = 5.0 V ± 10 % ^{注4}	周辺機能動作時			5.9		
	I _{DD5}	STOPモード	V _{DD} = 5.0 V ± 10 %	低速内蔵発振器停止時		3.5	20.0	μ A	
				低速内蔵発振器動作時		17.5	32.0		
			V _{DD} = 3.0 V ± 10 %	低速内蔵発振器停止時		3.5	15.5	μ A	
				低速内蔵発振器動作時		11.0	26.0		

注1. パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が $2.1 \text{ V} \pm 0.1 \text{ V}$ のため, $2.2 \sim 5.5 \text{ V}$ の電圧範囲で使用してください。

- 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし, ポートのプルアップ抵抗に流れる電流は含みません)。
- 周辺動作電流を含みます。
- プロセッサ・クロック・コントロール・レジスタ (PCC) = 00H に設定したとき。
- プロセッサ・クロック・コントロール・レジスタ (PCC) = 02H に設定したとき。
- オプション・バイトでシステム・クロック・ソースを水晶／セラミック発振クロック, 外部クロック入力に選択したとき。
- オプション・バイトでシステム・クロック・ソースを高速内蔵発振クロックに選択したとき。
- AV_{REF} 端子に流れる電流を含みます。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5 \text{ V}$ ^{注1}, $V_{SS} = 0 \text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	水晶／セラミック発振クロック, 外部クロック入力	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0.2	16	μs
			$3.0 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	0.33	16	μs
			$2.7 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	0.4	16	μs
			$2.0 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1	16	μs
		高速内蔵発振クロック	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0.23	4.22	μs
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	0.47	4.22	μs
			$2.0 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	0.95	4.22	μs
TI000入力 ハイ／ロウ・レベル幅	t_{TIH}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$2/f_{sam} + 0.1$ ^{注2}			μs
	t_{TIL}	$2.0 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$2/f_{sam} + 0.2$ ^{注2}			μs
割り込み入力 ハイ／ロウ・レベル幅	t_{INTH}		1			μs
	t_{INTL}					
RESET 入力 ロウ・レベル幅	t_{RSL}		2			μs

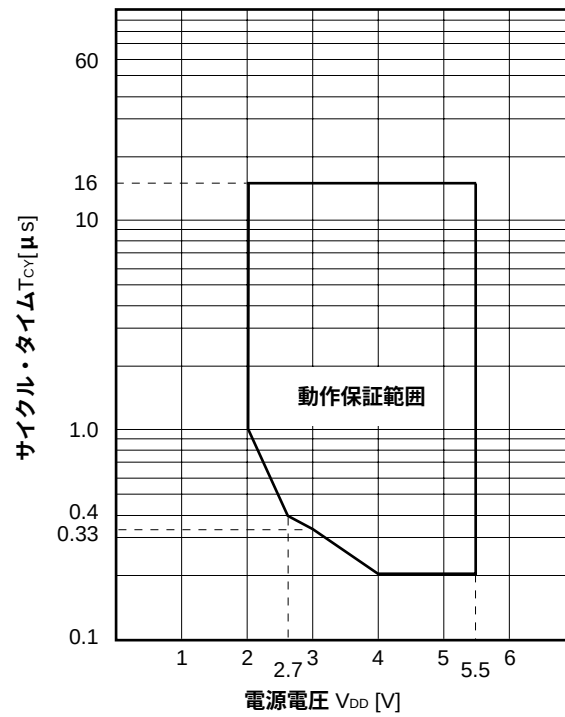
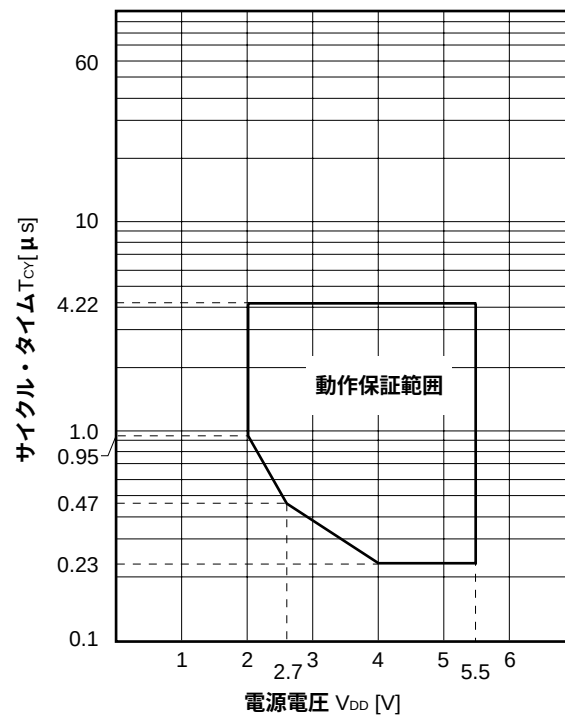
注1. パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が $2.1 \text{ V} \pm 0.1 \text{ V}$ のため、 $2.2 \sim 5.5 \text{ V}$ の電圧範囲で使用してください。

2. プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、 $f_{sam} = f_{XP}$, $f_{XP}/4$, $f_{XP}/256$ の選択が可能です。ただし、カウント・クロックとして TI000 端子の有効エッジを指定した場合は、 $f_{sam} = f_{XP}$ となります。

CPUクロック, 周辺クロック周波数

項 目	条 件	CPUクロック (f_{CPU})	周辺クロック (f_{XP})
セラミック発振子, 水晶振動子, 外部クロック	$4.0 \sim 5.5 \text{ V}$	$125 \text{ kHz} \leq f_{CPU} \leq 10 \text{ MHz}$	$500 \text{ kHz} \leq f_{XP} \leq 10 \text{ MHz}$
	$3.0 \sim 4.0 \text{ V}$	$125 \text{ kHz} \leq f_{CPU} \leq 6 \text{ MHz}$	
	$2.7 \sim 3.0 \text{ V}$	$125 \text{ kHz} \leq f_{CPU} \leq 5 \text{ MHz}$	
	$2.0 \sim 2.7 \text{ V}$ ^注	$125 \text{ kHz} \leq f_{CPU} \leq 2 \text{ MHz}$	$500 \text{ kHz} \leq f_{XP} \leq 5 \text{ MHz}$
高速内蔵発振器	$4.0 \sim 5.5 \text{ V}$	$500 \text{ kHz (TYP.)} \leq f_{CPU} \leq 8 \text{ MHz (TYP.)}$	$2 \text{ MHz (TYP.)} \leq f_{XP} \leq 8 \text{ MHz (TYP.)}$
	$2.7 \sim 4.0 \text{ V}$	$500 \text{ kHz (TYP.)} \leq f_{CPU} \leq 4 \text{ MHz (TYP.)}$	
	$2.0 \sim 2.7 \text{ V}$ ^注	$500 \text{ kHz (TYP.)} \leq f_{CPU} \leq 2 \text{ MHz (TYP.)}$	$2 \text{ MHz (TYP.)} \leq f_{XP} \leq 4 \text{ MHz (TYP.)}$

注 パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が $2.1 \text{ V} \pm 0.1 \text{ V}$ のため、 $2.2 \sim 5.5 \text{ V}$ の電圧範囲で使用してください。

T_{CY} vs V_{DD} (水晶／セラミック発振クロック, 外部クロック入力) T_{CY} vs V_{DD} (高速内蔵発振クロック)

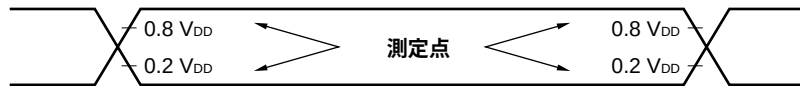
(2) シリアル・インタフェース ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^注, $V_{SS} = 0\text{ V}$)

UARTモード (UART6, 専用ボー・レート・ジェネレータ出力)

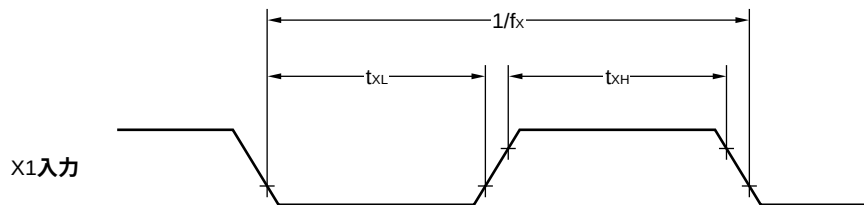
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					312.5	kbps

注 パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が $2.1\text{ V} \pm 0.1\text{ V}$ のため、 $2.2 \sim 5.5\text{ V}$ の電圧範囲で使用してください。

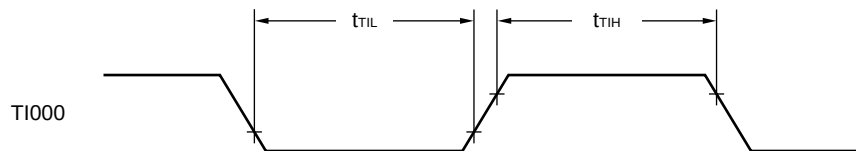
ACタイミング測定点 (X1入力を除く)



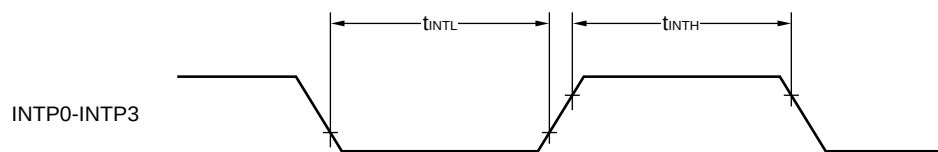
クロック・タイミング



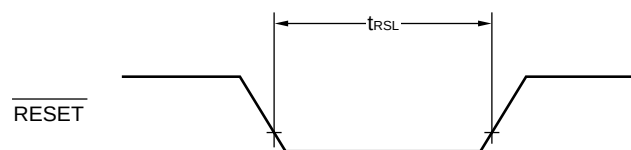
TI000タイミング



割り込み入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



A/Dコンバータ特性 ($T_A = -40 \sim +85^\circ\text{C}$, $2.7\text{ V} \leq AV_{REF} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$ ^{注1})

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注2, 3}	AINL	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$		± 0.2	± 0.4	%FSR
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$		± 0.3	± 0.6	%FSR
変換時間	t_{CONV}	$4.5\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	3.0		100	μs
		$4.0\text{ V} \leq AV_{REF} < 4.5\text{ V}$	4.8		100	μs
		$2.85\text{ V} \leq AV_{REF} < 4.0\text{ V}$	6.0		100	μs
		$2.7\text{ V} \leq AV_{REF} < 2.85\text{ V}$	14.0		100	μs
ゼロスケール誤差 ^{注2, 3}	Ezs	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$			± 0.4	%FSR
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$			± 0.6	%FSR
フルスケール誤差 ^{注2, 3}	Efs	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$			± 0.4	%FSR
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$			± 0.6	%FSR
積分直線性誤差 ^{注2}	ILE	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$			± 2.5	LSB
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$			± 4.5	LSB
微分直線性誤差 ^{注2}	DLE	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$			± 1.5	LSB
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$			± 2.0	LSB
アナログ入力電圧	V_{AIN}		V_{SS} ^{注1}		AV_{REF}	V

注1. V_{SS} は、A/Dコンバータのグランド電位と兼用しています。 V_{SS} を必ず安定しているGND (= 0 V) に接続してください。

- 量子化誤差 ($\pm 1/2\text{LSB}$) を含みません。
- フルスケール値に対する比率 (%FSR) で表します。

注意 アナログ入力端子を兼用の入出力ポートとして使用した場合、またはA/D変換中にポートを変化させると精度が悪化します。

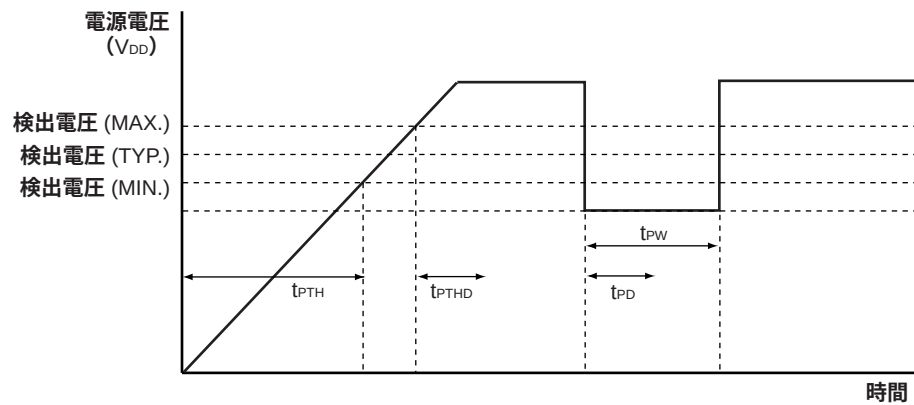
POC回路特性 ($T_A = -40 \sim +85^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	V_{POC}		2.0	2.1	2.2	V
電源立ち上げ時間	t_{PTH}	$V_{DD} : 0\text{V} \rightarrow 2.1\text{V}$	1.5			μs
応答ディレイ時間 ^{注1}	t_{PTHD}	電源立ち上げ時，検出電圧（MAX.）に達したあと			3.0	ms
応答ディレイ時間 ^{注2}	t_{PD}	電源降下時			1.0	ms
最小パルス幅	t_{PW}		0.2			ms

注1. 検出電圧を検出してから，内部リセットを解除するまでの時間です。

2. 検出電圧を検出してから，内部リセット信号を発生するまでの時間です。

POC回路タイミング



LVI回路特性 ($T_A = -40 \sim +85^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	V_{LVI0}		4.1	4.3	4.5	V
	V_{LVI1}		3.9	4.1	4.3	V
	V_{LVI2}		3.7	3.9	4.1	V
	V_{LVI3}		3.5	3.7	3.9	V
	V_{LVI4}		3.3	3.5	3.7	V
	V_{LVI5}		3.15	3.3	3.45	V
	V_{LVI6}		2.95	3.1	3.25	V
	V_{LVI7}		2.7	2.85	3.0	V
	V_{LVI8}		2.5	2.6	2.7	V
	V_{LVI9}		2.25	2.35	2.45	V
応答時間 ^{注1}	t_{LD}			0.2	2.0	ms
最小パルス幅	t_{LW}		0.2			ms
動作安定待ち時間 ^{注2}	t_{LWAIT}			0.1	0.2	ms

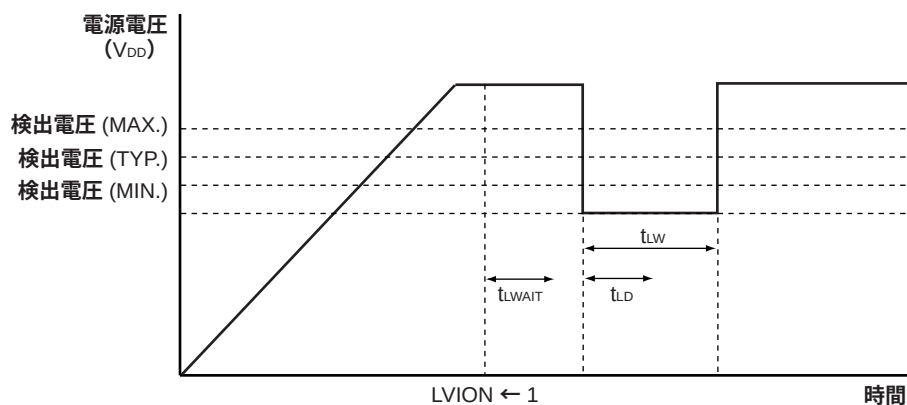
注1. 検出電圧を検出してから割り込みまたは内部リセット信号を発生するまでの時間です。

2. LVIONに1を設定してから、動作が安定するまでの時間です。

備考1. $V_{LVI0} > V_{LVI1} > V_{LVI2} > V_{LVI3} > V_{LVI4} > V_{LVI5} > V_{LVI6} > V_{LVI7} > V_{LVI8} > V_{LVI9}$

2. $V_{POC} < V_{LVIm}$ ($m = 0-9$)

LVI回路タイミング

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		2.0		5.5	V
リリース信号セット時間	t_{SREL}		0			μs

標準品, (A) 水準品 $T_A = -40 \sim +85^\circ\text{C}$ フラッシュ・メモリ・プログラミング特性 ($T_A = -40 \sim +85^\circ\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I_{DD}	$V_{DD} = 5.5\text{ V}$			7.0	mA
消去回数 ^{注1} (1ブロック当たり)	N_{ERASE}	$T_A = -40 \sim +85^\circ\text{C}$	1000			回
チップ消去時間	T_{CERASE}	$T_A = -10 \sim +85^\circ\text{C}$, $N_{ERASE} \leq 100$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		0.8	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		1.0	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		1.2	s
		$T_A = -10 \sim +85^\circ\text{C}$, $N_{ERASE} \leq 1000$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		4.8	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		5.2	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		6.1	s
		$T_A = -40 \sim +85^\circ\text{C}$, $N_{ERASE} \leq 100$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		1.6	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		1.8	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		2.0	s
		$T_A = -40 \sim +85^\circ\text{C}$, $N_{ERASE} \leq 1000$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		9.1	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		10.1	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		12.3	s
ブロック消去時間	T_{BERASE}	$T_A = -10 \sim +85^\circ\text{C}$, $N_{ERASE} \leq 100$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		0.4	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		0.5	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		0.6	s
		$T_A = -10 \sim +85^\circ\text{C}$, $N_{ERASE} \leq 1000$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		2.6	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		2.8	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		3.3	s
		$T_A = -40 \sim +85^\circ\text{C}$, $N_{ERASE} \leq 100$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		0.9	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		1.0	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		1.1	s
		$T_A = -40 \sim +85^\circ\text{C}$, $N_{ERASE} \leq 1000$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		4.9	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		5.4	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		6.6	s
バイト書き込み時間	T_{WRITE}	$T_A = -40 \sim +85^\circ\text{C}$, $N_{ERASE} \leq 1000$			150	μs
内部ベリファイ	T_{VERIFY}	1ブロック当たり			6.8	ms
		1バイト当たり			27	μs
ブランク・チェック	T_{BLKCHK}	1ブロック当たり			480	μs
保持年数		$T_A = 85^\circ\text{C}$ ^{注2} , $N_{ERASE} \leq 1000$	10			年

注1. 消去回数 (N_{ERASE}) により, 消去時間が変わります。チップ消去時間, ブロック消去時間の項目を参照してください。

2. 動作時, 非動作時の平均温度が 85°C の場合。

備考 出荷品に対する初回書き込み時では, 「消去→書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。

第22章 電気的特性（（A2）水準品）

絶対最大定格（ $T_A = 25\text{ }^{\circ}\text{C}$ ）

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}		$-0.3 \sim +6.5$	V
	V_{SS}		$-0.3 \sim +0.3$	V
	AV_{REF}		$-0.3 \sim V_{DD} + 0.3$ ^{注1}	V
入力電圧	V_{I1}	P30, P31, P34, P40-P45, P121-P123	$-0.3 \sim V_{DD} + 0.3$ ^{注1}	V
	V_{I2}	P20-P23	$-0.3 \sim AV_{REF} + 0.3$ ^{注1} かつ $-0.3 \sim V_{DD} + 0.3$ ^{注1}	V
出力電圧	V_O		$-0.3 \sim V_{DD} + 0.3$ ^{注1}	V
アナログ入力電圧	V_{AN}		$-0.3 \sim AV_{REF} + 0.3$ ^{注1} かつ $-0.3 \sim V_{DD} + 0.3$ ^{注1}	V
ハイ・レベル出力電流	I_{OH}	1端子	-7.0	mA
		P20-P23以外の端子合計	-30.0	mA
		P20-P23の端子合計	-30.0	mA
ロウ・レベル出力電流	I_{OL}	1端子	14.0	mA
		端子合計	30.0	mA
全損失	P_T ^{注2}	$T_A = -40 \sim +85\text{ }^{\circ}\text{C}$	120	mW
		$T_A = +85 \sim +125\text{ }^{\circ}\text{C}$	110	mW
動作周囲温度	T_A	通常動作時	$-40 \sim +125$	$^{\circ}\text{C}$
		フラッシュ・メモリ・プログラミング時	$-40 \sim +105$	$^{\circ}\text{C}$
保存温度	T_{stg}	フラッシュ・メモリ・ブランク状態	$-65 \sim +150$	$^{\circ}\text{C}$
		フラッシュ・メモリ・プログラミング済み	$-40 \sim +125$	$^{\circ}\text{C}$

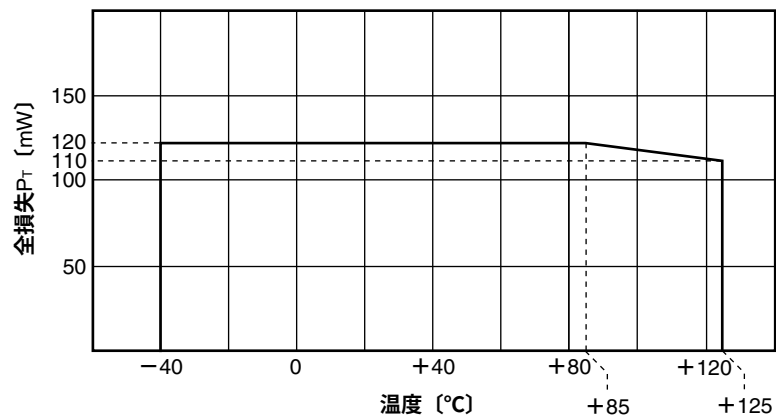
注1. 6.5 V以下であること

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

（注2は次頁にあります。）

注2. 許容全損失は温度によって異なります（下図参照）。



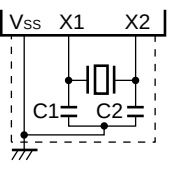
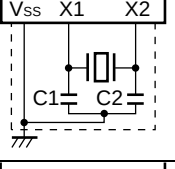
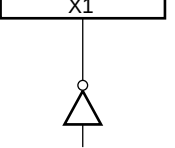
デバイスの消費電力の和が全損失 P_T 以下となるように下記の計算式で設計してください（定格の80%以下での使用を推奨します）。

$$\bullet \text{ 全消費電力} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (V_{OL} \times I_{OL})$$

内蔵プルアップ抵抗を保証される場合は、下記の計算式で消費電力を算出し加算してください。

$$\bullet \text{ 内蔵プルアップ抵抗の消費電力} = \sum (V_{DD} / R_{PU} \times V_{DD})$$

X1発振回路特性 ($T_A = -40 \sim +125^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^{注1}, $V_{SS} = 0\text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) ^{注2}		2.0		8.0	MHz
水晶振動子		発振周波数 (f_x) ^{注2}		2.0		8.0	MHz
外部 クロック		X1入力周波数 (f_x) ^{注2}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		8.0	MHz
			$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	2.0		5.0	
		X1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.057		0.25	μs
			$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	0.09		0.25	

注1. パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が2.26 V (MAX.) のため、2.26～5.5 Vの電圧範囲で使用してください。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(A2) 水準品 $T_A = -40 \sim +125^\circ\text{C}$ **高速内蔵発振回路特性** ($T_A = -40 \sim +125^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5 \text{ V}^{\text{注1}}$, $V_{SS} = 0 \text{ V}$)

発振子	項 目	条 件	MIN.	TYP.	MAX.	単 位
高速内蔵発振器	発振周波数 ($f_x = 8 \text{ MHz}^{\text{注2}}$) 偏差	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 3	%
		$T_A = -10 \sim +80^\circ\text{C}$				
		$T_A = -40 \sim +125^\circ\text{C}$			± 5	%
	発振周波数 (f_x) $^{\text{注2}}$	$2.0 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	5.5			MHz

注1. パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が 2.26 V (MAX.) のため、 $2.26 \sim 5.5 \text{ V}$ の電圧範囲で使用してください。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

低速内蔵発振回路特性 ($T_A = -40 \sim +125^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5 \text{ V}^{\text{注}}$, $V_{SS} = 0 \text{ V}$)

発振子	項 目	条 件	MIN.	TYP.	MAX.	単 位
低速内蔵発振器	発振周波数 (f_{RL})		120	240	495	kHz

注 パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が 2.26 V (MAX.) のため、 $2.26 \sim 5.5 \text{ V}$ の電圧範囲で使用してください。

DC特性 ($T_A = -40 \sim +125^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^注, $V_{SS} = 0\text{ V}$) (1/2)

項 目	略号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電流	I _{OH1}	P20-P23以外の端子	1端子	$2.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-3.5	mA
			合計	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		-17.5	mA
				$2.0\text{ V} \leq V_{DD} < 4.0\text{ V}$		-10.5	mA
	I _{OH2}	P20-P23	1端子	$2.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$		-3.5	mA
			合計	$2.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$		-10.5	mA
ロウ・レベル出力電流	I _{OL}	1端子		$2.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		7.0	mA
		合計		$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		21.0	mA
				$2.0\text{ V} \leq V_{DD} < 4.0\text{ V}$		10.5	mA
ハイ・レベル入力電圧	V _{IH1}	P30, P31, P34, P40-P45, P123		$0.8 V_{DD}$		V_{DD}	V
	V _{IH2}	P20-P23		$0.7 AV_{REF}$		AV_{REF}	V
	V _{IH3}	P121, P122		$0.8 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P30, P31, P34, P40-P45, P123		0		$0.2 V_{DD}$	V
	V _{IL2}	P20-P23		0		$0.3 AV_{REF}$	V
	V _{IL3}	P121, P122		0		$0.2 V_{DD}$	V
ハイ・レベル出力電圧	V _{OH1}	P20-P23以外の端子合計		$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$V_{DD} - 1.0$		V
		I _{OH1} = -10.5 mA		I _{OH1} = -3.5 mA			
		I _{OH1} = -100 μA		$2.0\text{ V} \leq V_{DD} < 4.0\text{ V}$	$V_{DD} - 0.5$		V
	V _{OH2}	P20-P23の端子合計		$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	AV_{REF}		V
		I _{OH2} = -7 mA		I _{OH2} = -3.5 mA	-1.0		
		$2.0\text{ V} \leq AV_{REF} < 4.0\text{ V}$			AV_{REF}		V
ロウ・レベル出力電圧	V _{OL}	出力端子合計		$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		1.3	V
		I _{OL} = 21 mA		I _{OL} = 7 mA			
		$2.0\text{ V} \leq V_{DD} < 4.0\text{ V}$				0.4	V
ロウ・レベル出力電圧	I _{OL}	I _{OL} = 400 μA					
ハイ・レベル入力リーク電流	I _{LIH}	$V_i = V_{DD}$	X1以外の端子			10	μA
ロウ・レベル入力リーク電流	I _{LIL}	$V_i = 0\text{ V}$	X1以外の端子			-10	μA
ハイ・レベル出力リーク電流	I _{LOH}	$V_O = V_{DD}$	X2以外の端子			10	μA
ロウ・レベル出力リーク電流	I _{LOL}	$V_O = 0\text{ V}$	X2以外の端子			-10	μA
プルアップ抵抗値	R _{PU}	$V_i = 0\text{ V}$		10	30	120	k Ω
プルダウン抵抗値	R _{PD}	P121, P122, リセット状態		10	30	120	k Ω

注 パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が2.26 V (MAX.) のため、2.26~5.5 Vの電圧範囲で使用してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +125^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^{注1}, $V_{SS} = 0\text{ V}$) (2/2)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注2}	I _{DD1} ^{注3}	水晶／セラミック発振，外部クロック入力発振動作モード ^{注6}	fx = 8 MHz	A/Dコンバータ停止時		5.8	12.8	mA
			V _{DD} = 5.0 V ± 10 % ^{注4}	A/Dコンバータ動作時 ^{注8}		7.3	15.8	
			fx = 6 MHz	A/Dコンバータ停止時		5.5	12.2	mA
			V _{DD} = 5.0 V ± 10 % ^{注4}	A/Dコンバータ動作時 ^{注8}			15.2	
			fx = 5 MHz	A/Dコンバータ停止時		3.0	6.6	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}	A/Dコンバータ動作時 ^{注8}		4.5	9.6	
	I _{DD2}	水晶／セラミック発振，外部クロック入力発振HALTモード ^{注6}	fx = 8 MHz	周辺機能停止時		1.5	4.6	mA
			V _{DD} = 5.0 V ± 10 % ^{注4}	周辺機能動作時			7.6	
			fx = 6 MHz	周辺機能停止時		1.3	4.2	mA
			V _{DD} = 5.0 V ± 10 % ^{注4}	周辺機能動作時			7.2	
			fx = 5 MHz	周辺機能停止時		0.48	1.6	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}	周辺機能動作時			2.7	
	I _{DD3} ^{注3}	高速内蔵発振器動作モード ^{注7}	fx = 8 MHz	A/Dコンバータ停止時		5.0	12.2	mA
			V _{DD} = 5.0 V ± 10 % ^{注4}	A/Dコンバータ動作時 ^{注8}		6.5	15.2	
	I _{DD4}	高速内蔵発振器HALTモード ^{注7}	fx = 8 MHz	周辺機能停止時		1.4	4.4	mA
			V _{DD} = 5.0 V ± 10 % ^{注4}	周辺機能動作時			7.1	
	I _{DD5}	STOPモード	V _{DD} = 5.0 V ± 10 %	低速内蔵発振器停止時		3.5	1200	μA
				低速内蔵発振器動作時		17.5	1300	
			V _{DD} = 3.0 V ± 10 %	低速内蔵発振器停止時		3.5	600	μA
				低速内蔵発振器動作時		11.0	700	

注1. パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が2.26 V (MAX.) のため、2.26～5.5 Vの電圧範囲で使用してください。

- 内部電源 (V_{DD}) に流れるトータル電流です。周辺動作電流を含みます (ただし、ポートのプルアップ抵抗に流れる電流は含みません)。
- 周辺動作電流を含みます。
- プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき。
- プロセッサ・クロック・コントロール・レジスタ (PCC) = 02Hに設定したとき。
- オプション・バイトでシステム・クロック・ソースを水晶／セラミック発振クロック，外部クロック入力に選択したとき。
- オプション・バイトでシステム・クロック・ソースを高速内蔵発振クロックに選択したとき。
- AV_{REF} 端子に流れる電流を含みます。

AC特性

(1) 基本動作 ($T_A = -40 \sim +125^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^{注1}, $V_{SS} = 0\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	水晶／セラミック発振クロック、外部クロック入力	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.25	16	μs
			$3.0\text{ V} \leq V_{DD} < 4.0\text{ V}$	0.33	16	μs
			$2.7\text{ V} \leq V_{DD} < 3.0\text{ V}$	0.4	16	μs
			$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	1	16	μs
		高速内蔵発振クロック	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.23	4.22	μs
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	0.47	4.22	μs
			$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	0.95	4.22	μs
TI000入力 ハイ／ロウ・レベル幅	t_{TIH}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$2/f_{sam} + 0.1$ ^{注2}			μs
	t_{TIL}	$2.0\text{ V} \leq V_{DD} < 4.0\text{ V}$	$2/f_{sam} + 0.2$ ^{注2}			μs
割り込み入力 ハイ／ロウ・レベル幅	t_{INTH}		1			μs
	t_{INTL}					μs
RESET 入力 ロウ・レベル幅	t_{RSL}		2			μs

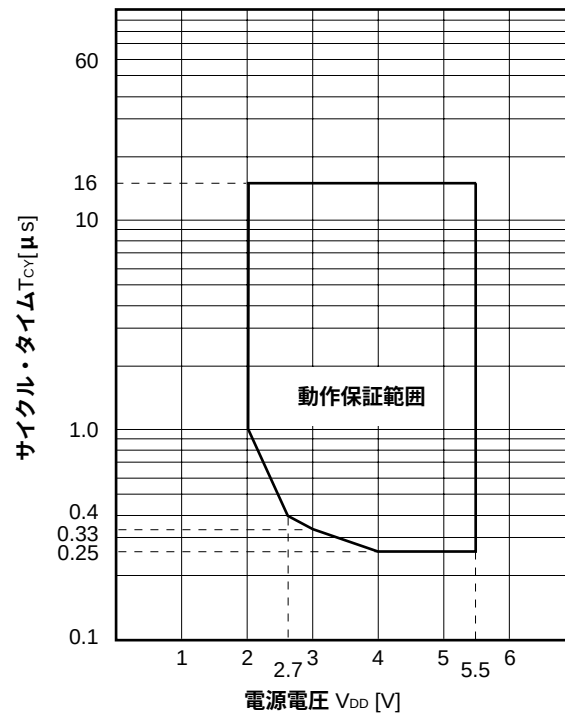
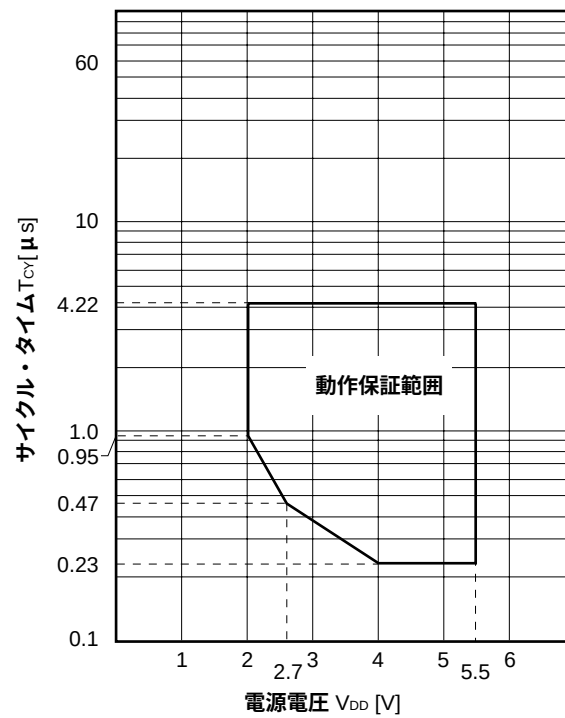
注1. パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が2.26 V (MAX.) のため、2.26～5.5 Vの電圧範囲で使用してください。

2. プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、 $f_{sam} = f_{XP}$, $f_{XP}/4$, $f_{XP}/256$ の選択が可能です。ただし、カウント・クロックとしてTI000端子の有効エッジを指定した場合は、 $f_{sam} = f_{XP}$ となります。

CPUクロック、周辺クロック周波数

項 目	条 件	CPUクロック (f_{CPU})	周辺クロック (f_{XP})
セラミック発振子, 水晶振動子, 外部クロック	4.0～5.5 V	$125\text{ kHz} \leq f_{CPU} \leq 8\text{ MHz}$	$500\text{ kHz} \leq f_{XP} \leq 8\text{ MHz}$
	3.0～4.0 V	$125\text{ kHz} \leq f_{CPU} \leq 6\text{ MHz}$	
	2.7～3.0 V	$125\text{ kHz} \leq f_{CPU} \leq 5\text{ MHz}$	
	2.0～2.7 V ^注	$125\text{ kHz} \leq f_{CPU} \leq 2\text{ MHz}$	$500\text{ kHz} \leq f_{XP} \leq 5\text{ MHz}$
高速内蔵発振器	4.0～5.5 V	$500\text{ kHz (TYP.)} \leq f_{CPU} \leq 8\text{ MHz (TYP.)}$	$2\text{ MHz (TYP.)} \leq f_{XP} \leq 8\text{ MHz (TYP.)}$
	2.7～4.0 V	$500\text{ kHz (TYP.)} \leq f_{CPU} \leq 4\text{ MHz (TYP.)}$	
	2.0～2.7 V ^注	$500\text{ kHz (TYP.)} \leq f_{CPU} \leq 2\text{ MHz (TYP.)}$	$2\text{ MHz (TYP.)} \leq f_{XP} \leq 4\text{ MHz (TYP.)}$

注 パワーオン・クリア (POC) 回路の検出電圧 (V_{POC}) が2.26 V (MAX.) のため、2.26～5.5 Vの電圧範囲で使用してください。

T_{CY} vs V_{DD} (水晶／セラミック発振クロック，外部クロック入力) T_{CY} vs V_{DD} (高速内蔵発振クロック)

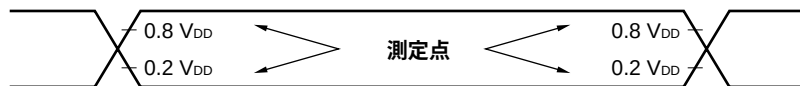
(2) シリアル・インタフェース ($T_A = -40 \sim +125^\circ\text{C}$, $V_{DD} = 2.0 \sim 5.5\text{ V}$ ^注, $V_{SS} = 0\text{ V}$)

UARTモード (UART6, 専用ボー・レート・ジェネレータ出力)

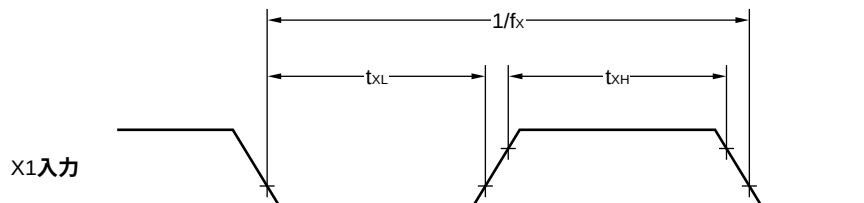
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート					312.5	kbps

注 パワーオン・クリア (POC) 回路特性の検出電圧 (V_{POC}) が 2.26 V (MAX.) のため、 $2.26 \sim 5.5\text{ V}$ の電圧範囲で使用してください。

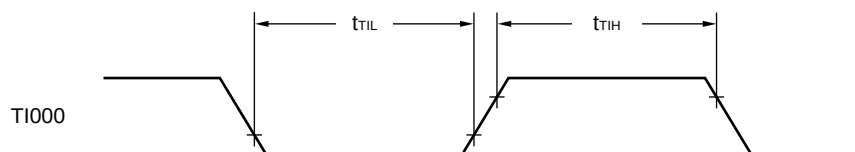
ACタイミング測定点 (X1入力を除く)



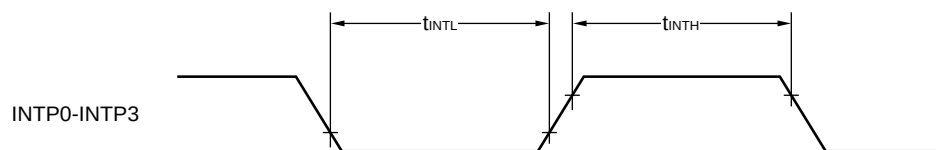
クロック・タイミング



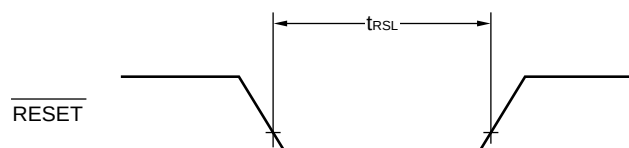
TI000タイミング



割り込み入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



A/Dコンバータ特性 ($T_A = -40 \sim +125^\circ\text{C}$, $2.7\text{ V} \leq AV_{REF} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$ ^{注1)})

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10	10	10	bit
総合誤差 ^{注2, 3}	AINL	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$		± 0.2	± 0.7	%FSR
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$		± 0.3	± 0.9	%FSR
変換時間	t_{CONV}	$4.5\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$	3.0		30	μs
		$4.0\text{ V} \leq AV_{REF} < 4.5\text{ V}$	4.8		30	μs
		$2.85\text{ V} \leq AV_{REF} < 4.0\text{ V}$	6.0		30	μs
		$2.7\text{ V} \leq AV_{REF} < 2.85\text{ V}$	14.0		30	μs
ゼロスケール誤差 ^{注2, 3}	Ezs	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$			± 0.7	%FSR
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$			± 0.9	%FSR
フルスケール誤差 ^{注2, 3}	Efs	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$			± 0.7	%FSR
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$			± 0.9	%FSR
積分直線性誤差 ^{注2}	ILE	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$			± 5.5	LSB
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$			± 7.5	LSB
微分直線性誤差 ^{注2}	DLE	$4.0\text{ V} \leq AV_{REF} \leq 5.5\text{ V}$			± 2.5	LSB
		$2.7\text{ V} \leq AV_{REF} < 4.0\text{ V}$			± 3.0	LSB
アナログ入力電圧	V_{AIN}		V_{SS} ^{注1}		AV_{REF}	V

注1. V_{SS} は、A/Dコンバータのグランド電位と兼用しています。 V_{SS} を必ず安定しているGND (= 0 V) に接続してください。

- 量子化誤差 ($\pm 1/2\text{LSB}$) を含みません。
- フルスケール値に対する比率 (%FSR) で表します。

注意 アナログ入力端子を兼用の入出力ポートとして使用した場合、またはA/D変換中にポートを変化させると精度が悪化します。

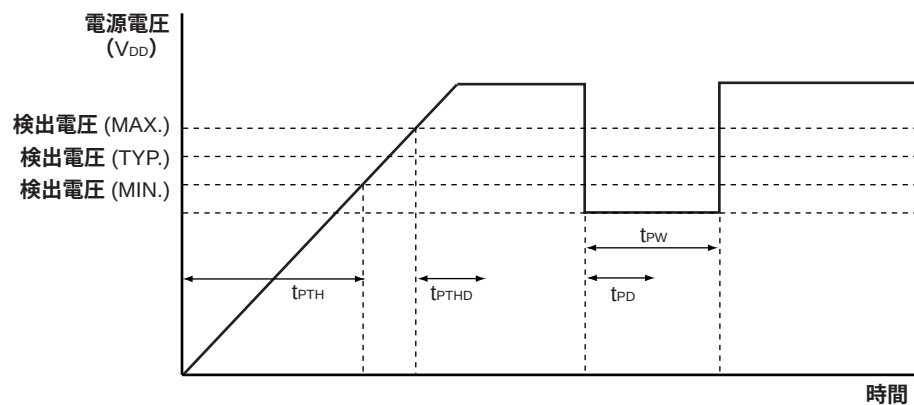
POC回路特性 ($T_A = -40 \sim +125^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	V_{POC}		2.0	2.1	2.26	V
電源立ち上げ時間	t_{PTH}	$V_{DD} : 0\text{V} \rightarrow 2.1\text{V}$	1.5			μs
応答ディレイ時間 ^{注1}	t_{PTHD}	電源立ち上げ時, 検出電圧 (MAX.) に達したあと			3.0	ms
応答ディレイ時間 ^{注2}	t_{PD}	電源降下時			1.0	ms
最小パルス幅	t_{PW}		0.2			ms

注1. 検出電圧を検出してから, 内部リセットを解除するまでの時間です。

2. 検出電圧を検出してから, 内部リセット信号を発生するまでの時間です。

POC回路タイミング



LVI回路特性 ($T_A = -40 \sim +125^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
検出電圧	V_{LVI0}		4.1	4.3	4.65	V
	V_{LVI1}		3.9	4.1	4.45	V
	V_{LVI2}		3.7	3.9	4.25	V
	V_{LVI3}		3.5	3.7	4.05	V
	V_{LVI4}		3.3	3.5	3.85	V
	V_{LVI5}		3.15	3.3	3.60	V
	V_{LVI6}		2.95	3.1	3.40	V
	V_{LVI7}		2.70	2.85	3.15	V
	V_{LVI8}		2.50	2.60	2.85	V
	V_{LVI9}		2.25	2.35	2.60	V
応答時間 ^{注1}	t_{LD}			0.2	2.0	ms
最小パルス幅	t_{LW}		0.2			ms
動作安定待ち時間 ^{注2}	t_{LWAIT}			0.1	0.2	ms

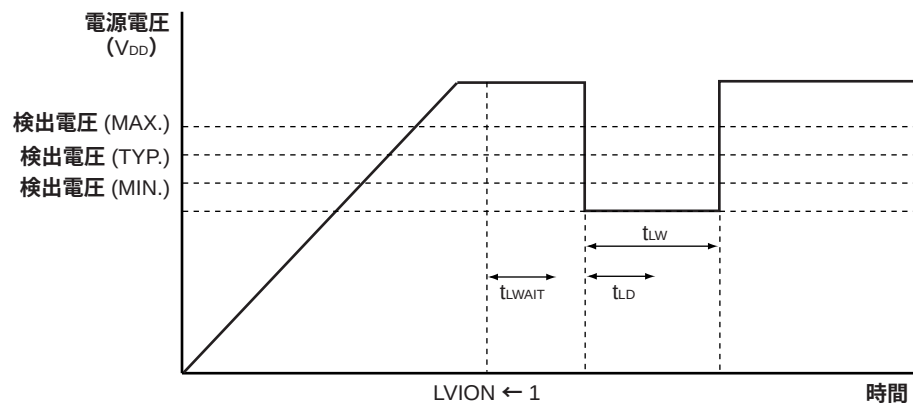
注1. 検出電圧を検出してから割り込みまたは内部リセット信号を発生するまでの時間です。

2. LVIONに1を設定してから、動作が安定するまでの時間です。

備考1. $V_{LVI0} > V_{LVI1} > V_{LVI2} > V_{LVI3} > V_{LVI4} > V_{LVI5} > V_{LVI6} > V_{LVI7} > V_{LVI8} > V_{LVI9}$

2. $V_{POC} < V_{LVIm}$ ($m = 0-9$)

LVI回路タイミング

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +125^\circ\text{C}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		2.0		5.5	V
リリース信号セット時間	t_{SREL}		0			μs

フラッシュ・メモリ・プログラミング特性 ($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電流	I_{DD}	$V_{DD} = 5.5\text{ V}$			7.0	mA
消去回数 ^{注1} (1ブロック当たり)	N_{ERASE}	$T_A = -40 \sim +105^\circ\text{C}$	1000			回
チップ消去時間	T_{CERASE}	$T_A = -10 \sim +105^\circ\text{C}$, $N_{ERASE} \leq 100$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		0.8	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		1.0	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		1.2	s
		$T_A = -10 \sim +105^\circ\text{C}$, $N_{ERASE} \leq 1000$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		4.8	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		5.2	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		6.1	s
		$T_A = -40 \sim +105^\circ\text{C}$, $N_{ERASE} \leq 100$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		1.6	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		1.8	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		2.0	s
		$T_A = -40 \sim +105^\circ\text{C}$, $N_{ERASE} \leq 1000$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		9.1	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		10.1	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		12.3	s
ブロック消去時間	T_{BERASE}	$T_A = -10 \sim +105^\circ\text{C}$, $N_{ERASE} \leq 100$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		0.4	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		0.5	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		0.6	s
		$T_A = -10 \sim +105^\circ\text{C}$, $N_{ERASE} \leq 1000$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		2.6	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		2.8	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		3.3	s
		$T_A = -40 \sim +105^\circ\text{C}$, $N_{ERASE} \leq 100$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		0.9	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		1.0	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		1.1	s
		$T_A = -40 \sim +105^\circ\text{C}$, $N_{ERASE} \leq 1000$	$4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		4.9	s
			$3.5\text{ V} \leq V_{DD} < 4.5\text{ V}$		5.4	s
			$2.7\text{ V} \leq V_{DD} < 3.5\text{ V}$		6.6	s
バイト書き込み時間	T_{WRITE}	$T_A = -40 \sim +105^\circ\text{C}$, $N_{ERASE} \leq 1000$			150	μs
内部ベリファイ	T_{VERIFY}	1ブロック当たり			6.8	ms
		1バイト当たり			27	μs
ブランク・チェック	T_{BLKCHK}	1ブロック当たり			480	μs
全損失	P_T ^{注3}	$T_A = -40 \sim +105^\circ\text{C}$			120	mW
保持年数		$T_A = 85^\circ\text{C}$ ^{注2} , $N_{ERASE} \leq 1000$	10			年

注1. 消去回数 (N_{ERASE}) により, 消去時間が変わります。チップ消去時間, ブロック消去時間の項目を参照してください。

2. 動作時, 非動作時の平均温度が 85°C の場合。

備考 出荷品に対する初回書き込み時では, 「消去→書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。

(注3は次頁にあります。)

注3. フラッシュ・セルフ・プログラミングを保証する場合は、デバイスの消費電力の和が全損失 P_T 以下となるように以下の計算式で設計してください（定格の80%以下での使用を推奨します）。

$$\bullet \text{ 全消費電力} = V_{DD} \times \{I_{DD} - \Sigma I_{OH}\} + \Sigma \{(V_{DD} - V_{OH}) \times I_{OH}\} + \Sigma (V_{OL} \times I_{OL})$$

内蔵プルアップ抵抗を保証する場合は、下記の計算式で消費電力を算出し加算してください。

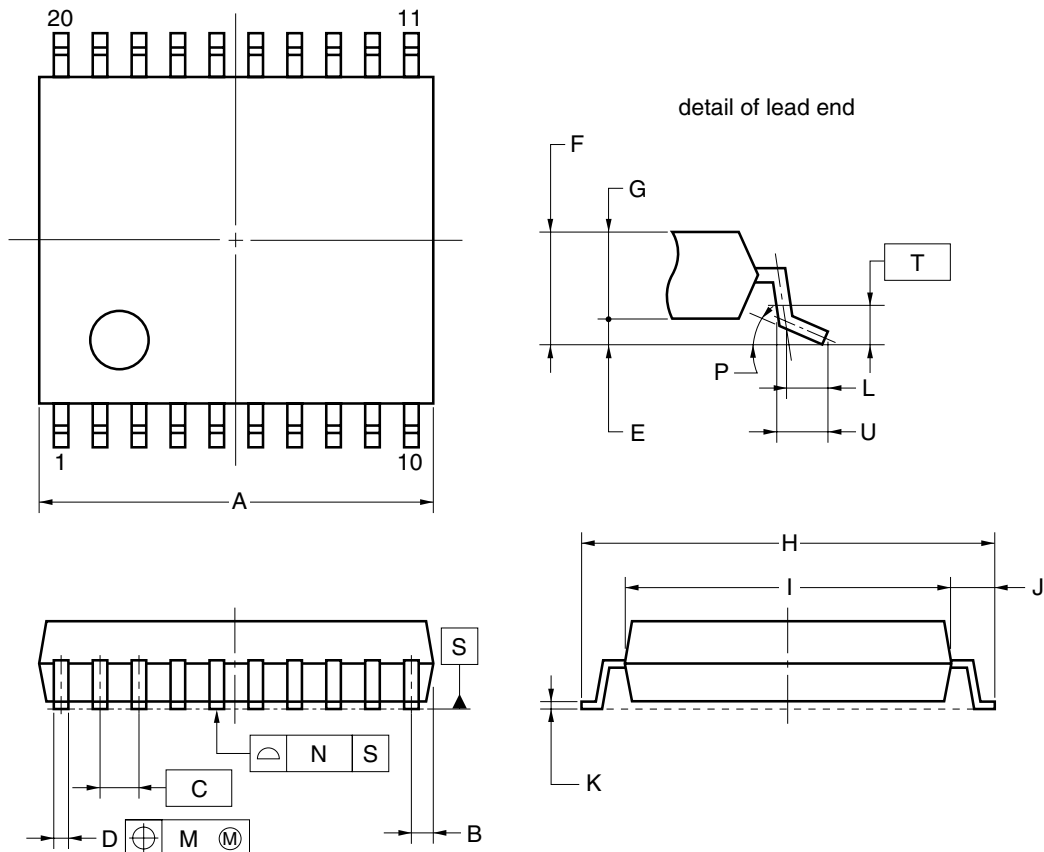
$$\bullet \text{ 内蔵プルアップ抵抗の消費電力} = \Sigma (V_{DD} / R_{PU} \times V_{DD})$$

備考 フラッシュ・メモリ・プログラミング時は、 $I_{DD} = 7.0 \text{ mA}$ （MAX.）です。

第23章 外形図

- ★ • μ PD78F9221MC-5A4-A, 78F9222MC-5A4-A, 78F9224MC-5A4-A, 78F9221MC(A)-5A4-A, 78F9222MC(A)-5A4-A, 78F9221MC(A2)-5A4-A, 78F9222MC(A2)-5A4-A

20-PIN PLASTIC SSOP (7.62 mm (300))



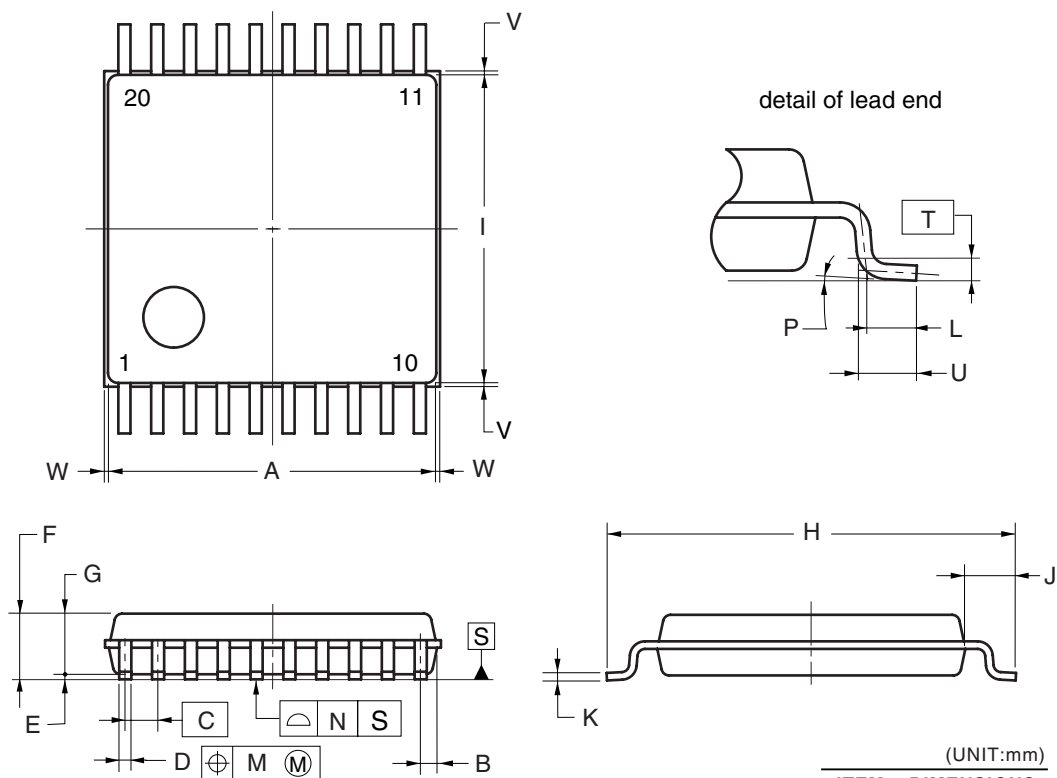
NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	6.65±0.15
B	0.475 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15
S20MC-65-5A4-2	

• μ PD78F9221MC(A)-CAA-AX, 78F9222MC(A)-CAA-AX, 78F9221MC(A2)-CAA-AX, 78F9222MC(A2)-CAA-AX

20-PIN PLASTIC SSOP (7.62 mm (300))



NOTE

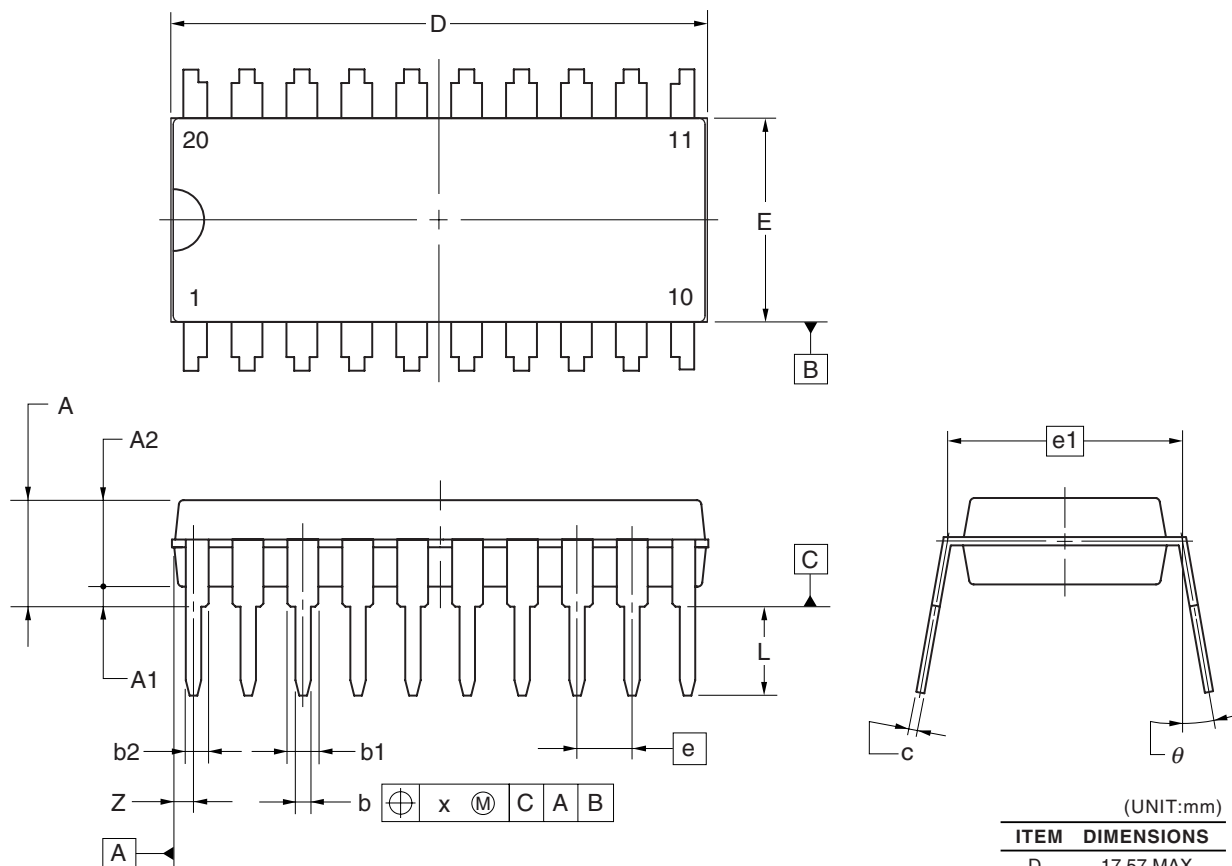
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	DIMENSIONS
A	6.50±0.10
B	0.325
C	0.65 (T.P.)
D	0.22 ^{+0.10} _{-0.05}
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.05} _{-0.01}
L	0.50
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25(T.P)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P20MC-65-CAA

• μ PD78F9221CS-CAC-A, 78F9222CS-CAC-A

20-PIN PLASTIC SDIP (7.62mm (300))



(UNIT:mm)

ITEM	DIMENSIONS
D	17.57 MAX.
E	6.60
A	3.70 MAX.
A1	0.65±0.10
A2	2.80
e	1.778
e1	7.62
b	0.52±0.10
b1	1.02±0.10
b2	0.77±0.10
c	0.27±0.07
L	2.86±0.20
x	0.25
θ	0° to 5°
Z	0.609

P20CS-70-CAC

第24章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

注意 オーダ名称末尾「-A」, 「-AX」の製品は、鉛フリー製品です。

表24-1 表面実装タイプの半田付け条件 (1/2)

★ • 20ピン・プラスチックSSOP (鉛フリー製品)

μ PD78F9221MC-5A4-A, 78F9222MC-5A4-A, 78F9224MC-5A4-A, 78F9221MC(A)-5A4-A,
78F9222MC(A)-5A4-A, μ PD78F9221MC(A2)-5A4-A, 78F9222MC(A2)-5A4-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C, 時間：60秒以内 (220 °C以上), 回数：3回以内, 制限日数：7日間 [※] (以降は125 °Cプリベーク20～72時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は、包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダーリング	詳細については、当社販売員にお問い合わせください。	—
端子部分加熱	端子温度：350 °C以下, 時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライバック開封後の保管日数で、保管条件は25 °C, 65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表24-1 表面実装タイプの半田付け条件 (2/2)

・20ピン・プラスチックSSOP（鉛フリー製品）

μ PD78F9221MC(A)-CAA-AX, 78F9222MC(A)-CAA-AX, 78F9221MC(A2)-CAA-AX, 78F9222MC(A2)-CAA-AX

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内， 制限日数：7日間 [※] （以降は125 °Cプリバーク10～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
ウェーブ・ ソルダーリング	半田槽温度：260 °C以下，時間：10秒以内，回数：1回， 予備加熱温度：120 °C MAX.（パッケージ表面温度） 制限日数：7日間 [※] （以降は125 °Cプリバーク 10～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度：350 °C以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

・20ピン・プラスチックSDIP（鉛フリー製品）

μ PD78F9221CS-CAC-A, 78F9222CS-CAC-A

半田付け方式	半田付け条件
ウェーブ・ ソルダーリング （端子のみ）	半田槽温度：260 °C以下，時間：10秒以内
端子部分加熱	端子温度：350 °C以下，時間：3秒以内（1端子当たり）

注意 ウェーブ・ソルダーリングは端子のみとし，噴流半田が直接本体に接触しないようにしてください。

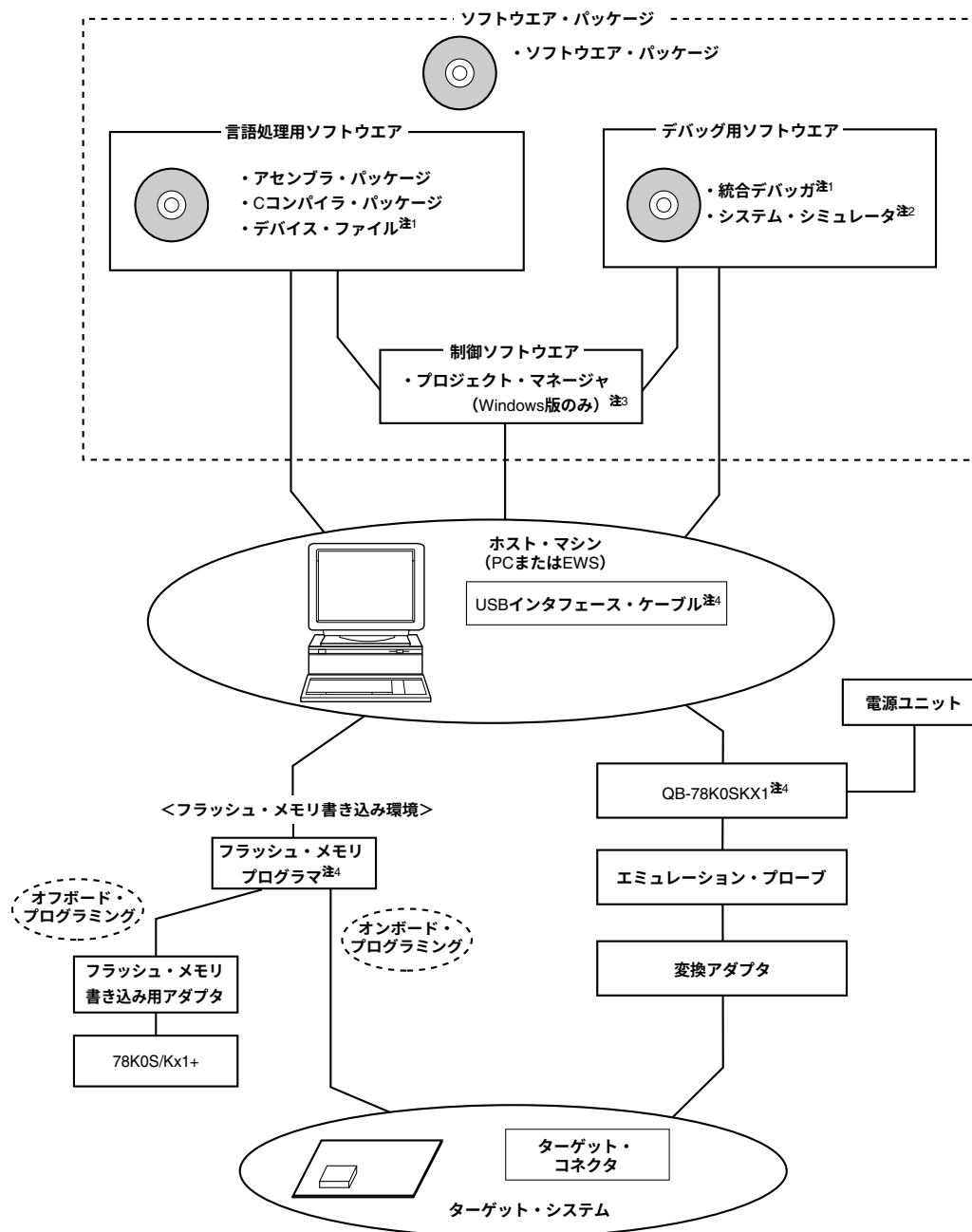
付録A 開発ツール

78K0S/KA1+を使用するシステム開発のために次のような開発ツールを用意しています。

図A－1に開発ツール構成を示します。

図A-1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0SKX1を使用する場合



注1. 78K0S/Kx1+マイクロコントローラ用のデバイス・ファイル (DF789234) , および統合デバッガ ID78K0S-QB は、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/>) より入手してください。

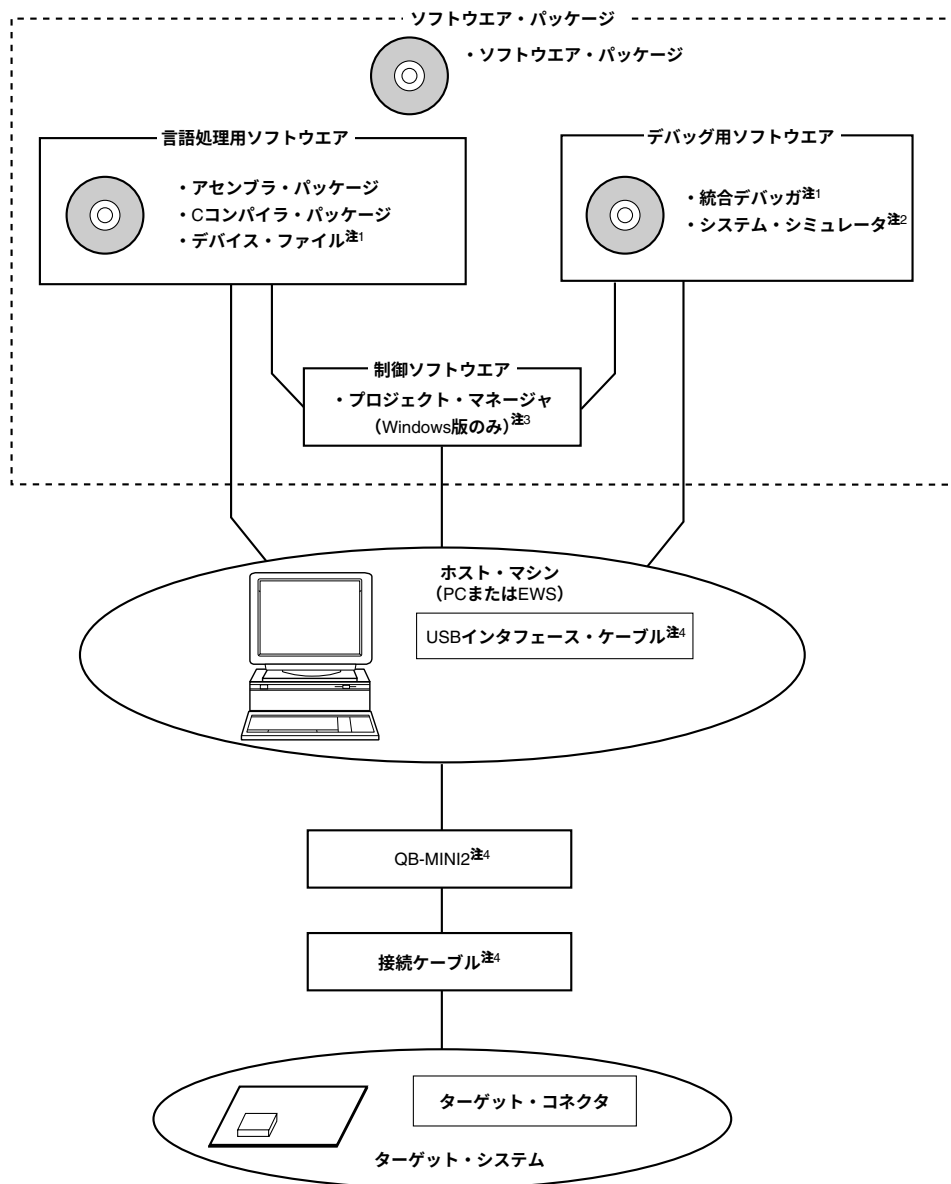
2. SM+ for 78K0S (命令シミュレーション版) は、ソフトウェア・パッケージに含まれています。SM+ for 78K0S/Kx1+ (命令+周辺シミュレーション版) は、含まれていません。

3. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows[®]以外ではPM+は使用できません。

4. QB-78K0SKX1は、統合デバッガ ID78K0S-QB, USBインタフェース・ケーブル, プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2, 接続ケーブル, ターゲット・ケーブルを添付しています。それ以外の製品はオプションです。

図A-1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1. 78K0S/Kx1+マイクロコントローラ用のデバイス・ファイル (DF789234) , および統合デバッガ ID78K0S-QB は、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/>) より入手してください。

2. SM+ for 78K0S (命令シミュレーション版) は、ソフトウェア・パッケージに含まれています。SM+ for 78K0S/Kx1+ (命令+周辺シミュレーション版) は、含まれていません。

3. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows以外ではPM+は使用できません。

4. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブルを添付しています。それ以外の製品はオプションです。また、QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/>) より入手してください。

A. 1 ソフトウェア・パッケージ

SP78K0S 78K0Sマイクロコントローラ・ ソフトウェア・パッケージ	78K0Sマイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。
---	--

A. 2 言語処理用ソフトウェア

RA78K0S ^{注1} アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 デバイス・ファイル（DF789234）と組み合わせて使用します。 ＜PC環境で使用する場合の注意＞ アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（PM+）を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。
CC78K0S ^{注1} Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 アセンブラ・パッケージ（RA78K0S）およびデバイス・ファイル（DF789234）と組み合わせて使用します。 ＜PC環境で使用する場合の注意＞ Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（PM+）を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。
DF789234 ^{注2} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（RA78K0S, CC78K0S, ID78K0S-QB, システム・シミュレータ）と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。

注1. RA78K0SとCC78K0SのVer.2.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0SとCC78K0Sをインストール可能です。

2. DF789234は、RA78K0S, CC78K0S, ID78K0S-QB, システム・シミュレータのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/>）より入手してください。

A. 3 フラッシュ・メモリ書き込み用ツール

A. 3.1 フラッシュ・メモリ・プログラマ FL-PR5, PG-FP5を使用する場合

FL-PR5, PG-FP5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-78F9222MC-5A4-RX フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

備考 1. FL-PR5, FA-78F9222MC-5A4-RXは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0S/Kx1+を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。添付の接続ケーブル、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考 QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト

(<http://www.necel.com/micro/ja/ods/>) より入手してください。

A. 4 デバッグ用ツール（ハードウェア）

A. 4.1 インサーキット・エミュレータ QB-78K0SKX1を使用する場合

QB-78K0SKX1 インサーキット・エミュレータ	78K0S/Kx1+マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ (ID78K0S-QB) に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-50-EP-01T ^注 エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-20MC-EA-01T ^注 エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。
QB-20MC-NQ-01T ^注 ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。
ターゲット・システム側ピン・ヘッダの仕様	0.635 mm×0.635 mm (高さ：6 mm)

(注、備考は次ページにあります)

注 エクスチェンジ・アダプタ、ターゲット・コネクタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ	エクスチェンジ・アダプタ	ターゲット・コネクタ
20ピン・プラスチックSSOP (MC-5A4, MC-CAAタイプ)	QB-20MC-EA-01T	QB-20MC-NQ-01T
20ピン・プラスチックSDIP (CS-CACタイプ)	なし	なし

備考1. SDIPパッケージは、製品に添付されているターゲット・ケーブルを使用してください。

2. QB-78K0SKX1は、統合デバッグ ID78K0S-QB, USBインタフェース・ケーブル, オンチップ・デバッグ・エミュレータ QB-MINI2, 接続ケーブルを添付しています。

QB-MINI2を使用する場合, QB-MINI2を操作するためのソフトウェアを, 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/>) より入手してください。

3. オーダ名称により, QB-78K0SKX1の梱包内容は次のように異なります。

梱包内容 オーダ名称	インサキット・ エミュレータ	エミュレーション・ プローブ	エクスチェンジ・ アダプタ	ターゲット・ コネクタ
QB-78K0SKX1-ZZZ	QB-78K0SKX1	なし		
QB-78K0SKX1-T20MC		QB-50-EP-01T	QB-20MC-EA-01T	QB-20MC-NQ-01T

A. 4. 2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0S/Kx1+マイクロコントローラを使用する応用システムを開発する際に, ハードウェア, ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 添付の接続ケーブル, ホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考 QB-MINI2を操作するためのソフトウェアを, 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/>) より入手してください。

A. 5 デバッグ用ツール（ソフトウェア）

ID78K0S-QB ^注 (QB-78K0SKX1, QB-MINI2に 対応) 統合デバッガ	78K0S/Kx1+マイクロコントローラ用のインサーキット・エミュレータに対応したデバッグです。ID78K0S-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能、ソース・プログラムや逆アセンブル表示、メモリ表示することができます。 デバイス・ファイル（DF789234）と組み合わせて使用します。
SM+ for 78K0S SM+ for 78K0S/Kx1+ ^注 システム・シミュレータ	システム・シミュレータは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 システム・シミュレータを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 デバイス・ファイル（DF789234）と組み合わせて使用します。 78K0S/Kx1+マイクロコントローラをサポートするシステム・シミュレータには、次の2種類があります。 • SM+ for 78K0S（命令シミュレーション版） CPUのみシミュレーション可能です。ソフトウェア・パッケージに同梱されています。 • SM+ for 78K0S/Kx1+（命令+周辺シミュレーション版） CPUと周辺ハードウェア（ポート、タイマ、シリアル・インタフェースなど）のシミュレーション可能です。

注 開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/>）より入手してください。

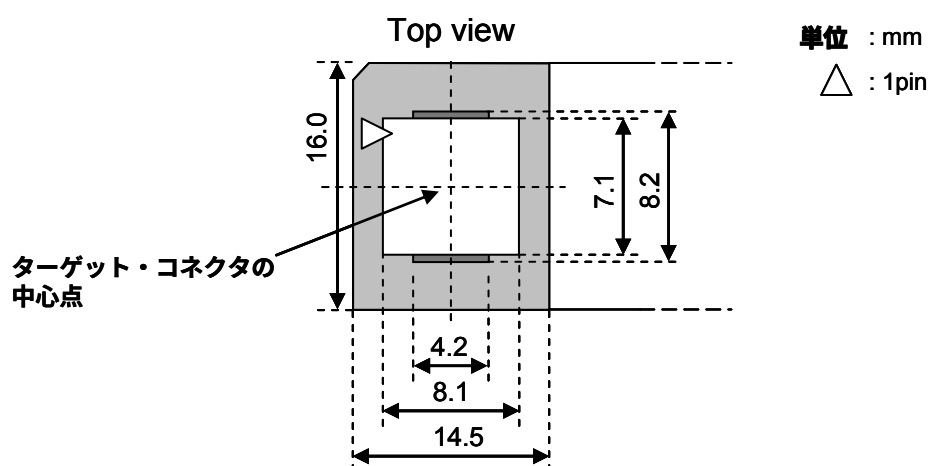
付録B ターゲット・システム設計上の注意

この章ではQB-78K0SKX1を使用する場合のターゲット・システム設計上の注意として、ターゲット・システム上の部品実装禁止領域、部品実装高さの制限がある領域を示します。

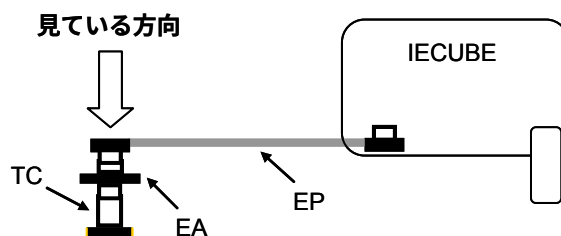
ターゲット・コネクタ、エクスチェンジ・アダプタ、エミュレーション・プローブの外形寸法は下記のURLに掲載しています。

http://www.necel.com/micro/ja/development/asia/iecube/outline_QB.html

図B-1 エミュレーション・プローブ使用時（20ピンMCパッケージの場合）



<概観>

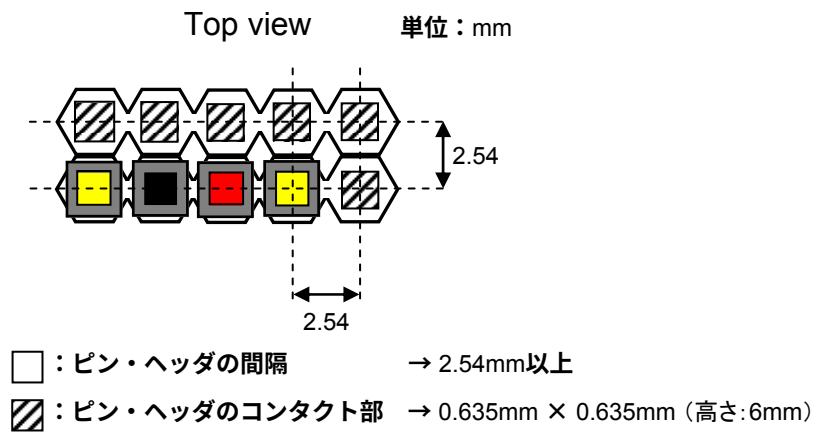


備考 EP：エミュレーション・プローブ

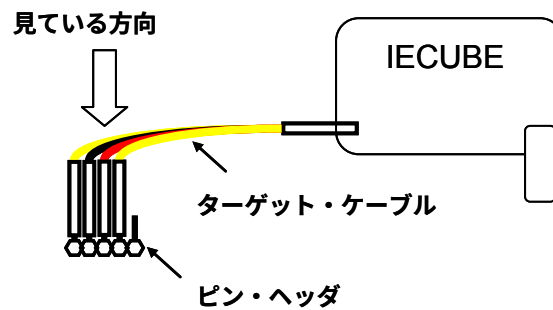
EA：エクスチェンジ・アダプタ

TC：ターゲット・コネクタ

図B-2 ターゲット・ケーブル（単線）使用時



<概観>



付録C レジスタ索引

C. 1 レジスタ索引 (50音順)

[あ行]

アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)	…	196
アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	…	192
アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	…	193
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	…	190
アナログ入力チャネル指定レジスタ (ADS)	…	168
ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	…	154
ウォッチドッグ・タイマ・モード・レジスタ (WDTM)	…	153
A/Dコンバータ・モード・レジスタ (ADM)	…	166

[か行]

外部割り込みモード・レジスタ0 (INTM0)	…	227
外部割り込みモード・レジスタ1 (INTM1)	…	228
キャプチャ／コンペア・コントロール・レジスタ00 (CRC00)	…	95
クロック選択レジスタ6 (CKSR6)	…	194

[さ行]

10ビットA/D変換結果レジスタ (ADCR)	…	168
16ビット・タイマ・カウンタ00 (TM00)	…	90
16ビット・タイマ・キャプチャ／コンペア・レジスタ000 (CR000)	…	90
16ビット・タイマ・キャプチャ／コンペア・レジスタ010 (CR010)	…	92
16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)	…	93
16ビット・タイマ出力コントロール・レジスタ00 (TOC00)	…	96
受信バッファ・レジスタ6 (RXB6)	…	189
送信バッファ・レジスタ6 (TXB6)	…	189

[た行]

低速内蔵発振モード・レジスタ (LSRCM)	…	75
低電圧検出レジスタ (LVIM)	…	260
低電圧検出レベル選択レジスタ (LVIS)	…	261

[な行]

入力切り替え制御レジスタ (ISC)	…	197
--------------------	---	-----

[は行]

8ビットA/D変換結果レジスタ (ADCRH) ...	169
8ビット・コンペア・レジスタ80 (CR80) ...	130
8ビット・タイマHコンペア・レジスタ01 (CMP01) ...	137
8ビット・タイマHコンペア・レジスタ11 (CMP11) ...	137
8ビット・タイマHモード・レジスタ1 (TMHMD1) ...	138
8ビット・タイマ・カウンタ80 (TM80) ...	130
8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) ...	131
発振安定時間選択レジスタ (OSTS) ...	76, 236
フラッシュ・アドレス・ポインタH (FLAPH) ...	290
フラッシュ・アドレス・ポインタL (FLAPL) ...	290
フラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) ...	290
フラッシュ・アドレス・ポインタLコンペア・レジスタ (FLAPLC) ...	290
フラッシュ・ステータス・レジスタ (PFS) ...	287
フラッシュ・プログラミング・コマンド・レジスタ (FLCMD) ...	289
フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) ...	286
フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) ...	287
フラッシュ・ライト・バッファ・レジスタ (FLW) ...	291
プリスケラ・モード・レジスタ00 (PRM00) ...	97
プリプロセッサ・クロック・コントロール・レジスタ (PPCC) ...	74
プルアップ抵抗オプション・レジスタ2 (PU2) ...	69
プルアップ抵抗オプション・レジスタ3 (PU3) ...	69
プルアップ抵抗オプション・レジスタ4 (PU4) ...	69
プルアップ抵抗オプション・レジスタ12 (PU12) ...	69
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	74
ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) ...	195
ポート・モード・コントロール・レジスタ2 (PMC2) ...	67, 169
ポート・モード・レジスタ2 (PM2) ...	65, 169
ポート・モード・レジスタ3 (PM3) ...	65, 98
ポート・モード・レジスタ4 (PM4) ...	65, 140, 198
ポート・モード・レジスタ12 (PM12) ...	65
ポート・レジスタ2 (P2) ...	66
ポート・レジスタ3 (P3) ...	66
ポート・レジスタ4 (P4) ...	66
ポート・レジスタ12 (P12) ...	66
ポート・レジスタ13 (P13) ...	66

[ら行]

リセット・コントロール・フラグ・レジスタ (RESF) ...	253
---------------------------------	-----

[わ行]

割り込みマスク・フラグ・レジスタ0 (MK0)	…	226
割り込みマスク・フラグ・レジスタ1 (MK1)	…	226
割り込み要求フラグ・レジスタ0 (IF0)	…	225
割り込み要求フラグ・レジスタ1 (IF1)	…	225

C.2 レジスタ索引（アルファベット順）

[A]

ADCR	: 10ビットA/D変換結果レジスタ	…	168
ADCRH	: 8ビットA/D変換結果レジスタ	…	169
ADM	: A/Dコンバータ・モード・レジスタ	…	166
ADS	: アナログ入力チャネル指定レジスタ	…	168
ASICL6	: アシクロナス・シリアル・インタフェース・コントロール・レジスタ6	…	196
ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6	…	193
ASIM6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ6	…	190
ASIS6	: アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	…	192

[B]

BRGC6	: ボー・レート・ジェネレータ・コントロール・レジスタ6	…	195
-------	------------------------------	---	-----

[C]

CKSR6	: クロック選択レジスタ6	…	194
CMP01	: 8ビット・タイマHコンペア・レジスタ01	…	137
CMP11	: 8ビット・タイマHコンペア・レジスタ11	…	137
CR000	: 16ビット・タイマ・キャプチャ／コンペア・レジスタ000	…	90
CR010	: 16ビット・タイマ・キャプチャ／コンペア・レジスタ010	…	92
CR80	: 8ビット・コンペア・レジスタ80	…	130
CRC00	: キャプチャ／コンペア・コントロール・レジスタ00	…	95

[F]

FLAPH	: フラッシュ・アドレス・ポインタH	…	290
FLAPHC	: フラッシュ・アドレス・ポインタHコンペア・レジスタ	…	290
FLAPL	: フラッシュ・アドレス・ポインタL	…	290
FLAPLC	: フラッシュ・アドレス・ポインタLコンペア・レジスタ	…	290
FLCMD	: フラッシュ・プログラミング・コマンド・レジスタ	…	289
FLPMC	: フラッシュ・プログラミング・モード・コントロール・レジスタ	…	286
FLW	: フラッシュ・ライト・バッファ・レジスタ	…	291

[I]

IF0	: 割り込み要求フラグ・レジスタ0	…	225
IF1	: 割り込み要求フラグ・レジスタ1	…	225
INTM0	: 外部割り込みモード・レジスタ0	…	227
INTM1	: 外部割り込みモード・レジスタ1	…	228
ISC	: 入力切り替え制御レジスタ	…	197

[L]

LSRCM	: 低速内蔵発振モード・レジスタ	…	75
LVIM	: 低電圧検出レジスタ	…	260

LVIS : 低電圧検出レベル選択レジスタ ... 261

[M]

MK0 : 割り込みマスク・フラグ・レジスタ0 ... 226

MK1 : 割り込みマスク・フラグ・レジスタ1 ... 226

[O]

OSTS : 発振安定時間選択レジスタ ... 76, 236

[P]

P2 : ポート・レジスタ2 ... 66

P3 : ポート・レジスタ3 ... 66

P4 : ポート・レジスタ4 ... 66

P12 : ポート・レジスタ12 ... 66

P13 : ポート・レジスタ13 ... 66

PCC : プロセッサ・クロック・コントロール・レジスタ ... 74

PFCMD : フラッシュ・プロテクト・コマンド・レジスタ ... 287

PFS : フラッシュ・ステータス・レジスタ ... 287

PM2 : ポート・モード・レジスタ2 ... 65, 169

PM3 : ポート・モード・レジスタ3 ... 65, 98

PM4 : ポート・モード・レジスタ4 ... 65, 140, 198

PM12 : ポート・モード・レジスタ12 ... 65

PMC2 : ポート・モード・コントロール・レジスタ2 ... 67, 169

PPCC : プリプロセッサ・クロック・コントロール・レジスタ ... 74

PRM00 : プリスケラ・モード・レジスタ00 ... 97

PU2 : プルアップ抵抗オプション・レジスタ2 ... 69

PU3 : プルアップ抵抗オプション・レジスタ3 ... 69

PU4 : プルアップ抵抗オプション・レジスタ4 ... 69

PU12 : プルアップ抵抗オプション・レジスタ12 ... 69

[R]

RESF : リセット・コントロール・フラグ・レジスタ ... 253

RXB6 : 受信バッファ・レジスタ6 ... 189

[T]

TM00 : 16ビット・タイマ・カウンタ00 ... 90

TM80 : 8ビット・タイマ・カウンタ80 ... 130

TMC00 : 16ビット・タイマ・モード・コントロール・レジスタ00 ... 93

TMC80 : 8ビット・タイマ・モード・コントロール・レジスタ80 ... 131

TMHMD1 : 8ビット・タイマHモード・レジスタ1 ... 138

TOC00 : 16ビット・タイマ出力コントロール・レジスタ00 ... 96

TXB6 : 送信バッファ・レジスタ6 ... 189

[W]

WDTE	：ウォッチドッグ・タイマ・イネーブル・レジスタ	…	154
WDTM	：ウォッチドッグ・タイマ・モード・レジスタ	…	153

付録D 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード／ソフト）」の区別は、次のとおりです。

ハード：マイコン内部／外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/15)

章	分類	機能	機能の詳細	注意事項	頁
第2章	ハード	端子機能	P121/X1, P122/X2端子	P121/X1, P122/X2は、リセット中プルダウンされています。	p.21, ☐ 22, 24, 25
第3章	ハード	メモリ空間	ベクタ・テーブル・アドレス	ベクタ・テーブル・アドレス0014Hに該当する割り込み要因はありません。	p.31 ☐
	ソフト		SP：スタック・ポインタ	SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。 スタック・ポインタは高速RAM領域だけを指すようになっており、実際に設定できるのは下位の10ビットだけです。 そのため、スタック・ポインタに0FF00Hを指定した場合、0FF00Hは高速RAM領域ではなく、SFR領域ですので、高速RAM領域に変換されて0FB00Hになります。 なお、実際にスタックに値をPUSHする場合には0FB00Hはマイナス1されて0FAFFHになりますが、これは高速RAM領域ではないので、変換されて0FEFFHとなり、スタック・ポインタに0FF00Hを設定したときと同じになります。	p.37 ☐ p.37 ☐
第4章	ハード	ポート機能	P121/X1, P122/X2端子	P121/X1, P122/X2は、リセット中プルダウンされています。	p.55 ☐
			P34端子	P34端子は、RESET端子と兼用していますので、入力ポートとして使用した場合、RESET端子への外部リセット信号入力が使えなくなります。また、使用する機能の選択は、オプション・バイトの設定で行います。詳細は、第17章 オプション・バイトを参照してください。 また、オプション・バイトは、リセット解除後に参照するため、参照するまでにRESET端子へロウ・レベルを入力するとリセット状態が解除されません。入力ポートとして使用する場合は、プルアップ抵抗を接続してください。	p.59 ☐
			P30, P31, P43端子	P30, P31, P43は外部割り込み端子と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。	p.65 ☐
			PMC2：ポート・モード・コントロール・レジスタ2	PMC20-PMC23に1を設定した場合、P20/ANI0-P23/ANI3端子をポート機能として使用できません。 また、A/Dコンバータ・モードに設定した端子のプルアップ抵抗オプション・レジスタ(PU20-PU23)は、必ず0を設定してください。	p.68 ☐
			—	1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。	p.70 ☐
第5章	ソフト	メイン・クロック	OSTS：発振安定時間選択レジスタ	STOPモードに入り、解除するときは発振安定時間を次のように設定してください。 期待する発振子の発振安定時間 ≤ OSTSで設定する発振安定時間 STOPモード解除時のウェイト時間は、リセット信号の発生による場合も、割り込み発生による場合もSTOPモード解除後からクロック発振を開始するまでの時間（次の図a）は含みません。 電源投入時、またはリセット解除後の発振安定時間の設定は、オプション・バイトで行います。詳細は、第17章 オプション・バイトを参照してください。	p.76 ☐ p.76 ☐ p.76 ☐

章	分類	機能	機能の詳細	注意事項	頁
第5章	ハード	水晶／セラミック発振回路	—	水晶／セラミック発振回路を使用する場合は、配線容量などの影響を避けるために、図5-6の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.77 □
第6章	ハード	16ビット・タイマ／イベント・カウンタ00	TM00：16ビット・タイマ・カウンタ00	TM00をリードしても、CR010にはキャプチャしません。	p.90, 122 □
				TM00リード時には、カウント・クロックの入力を一時停止し、リード後にカウント・クロックの入力を再開しますので、カウント・ミスは発生しません。	p.90, 122 □
	ソフト		CR000：16ビット・タイマ・キャプチャ／コンペア・レジスタ000	TM00とCR000の一致でクリア&スタート・モードの場合、CR000には0000H以外の値を設定してください。したがって、外部イベント・カウンタとして使用時、1パルスのカウンタ動作はできません。	p.91, 122 □
				フリー・ランニング・モードおよびTI000端子の有効エッジのクリア&スタート・モードにおいて、CR000に0000Hを設定した場合は、オーバフロー（FFFFH）後、0000Hから0001Hになるときに割り込み要求（INTTM000）が発生します。	p.91, 122 □
				CR000の変更値が16ビット・タイマ・カウンタ00（TM00）の値より小さいとき、TM00はカウントを継続しオーバフローして0から再カウントします。したがって、CR000の変更後の値が変更前の値よりも小さいときは、CR000を変更後、タイマをリセットし、再スタートさせる必要があります。	p.91, 123 □
				16ビット・タイマ／イベント・カウンタ00停止後のCR000の値は保証されません。	p.91, 123 □
	ハード			コンペア・モードに設定したCR000は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。	p.91, 126 □
				P31をTI010有効エッジの入力端子として使用するときには、タイマ出力（TO00）として使用できません。また、TO00として使用するときには、TI010有効エッジの入力端子として使用できません。	p.91, 128 □
				CR000をキャプチャ・レジスタとして使用しているとき、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、キャプチャ・トリガ入力優先され、CR000のリード・データは不定となります。また、タイマのカウント停止とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。	p.91, 125 □
				TM00動作中にCR000を変更すると、誤動作する可能性があります。CR000を変更したい場合は、6.5 16ビット・タイマ／イベント・カウンタ00の注意事項（17）タイマ動作中のコンペア・レジスタの変更についてを参照してください。	p.92 □
	ソフト		CR010：16ビット・タイマ・キャプチャ／コンペア・レジスタ010	フリー・ランニング・モードおよびTI000端子の有効エッジのクリア&スタート・モードにおいて、CR010に0000Hを設定した場合は、オーバフロー（FFFFH）後、0000Hから0001Hになるときに割り込み要求（INTTM010）が発生します。	p.92, 122 □
				CR010の変更値が16ビット・タイマ・カウンタ00（TM00）の値より小さいとき、TM00はカウントを継続しオーバフローして0から再カウントします。したがって、CR010の変更後の値が変更前の値よりも小さいときは、CR010を変更後、タイマをリセットし、再スタートさせる必要があります。	p.92, 123 □
				16ビット・タイマ／イベント・カウンタ00停止後のCR010の値は保証されません。	p.93, 123 □
				コンペア・モードに設定したCR010は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。	p.93, 126 □
	ハード			CR010をキャプチャ・レジスタとして使用しているとき、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、キャプチャ・トリガ優先され、CR010のリード・データは不定となります。またタイマのカウント停止の入力とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。	p.93, 125 □
				TM00動作中にCR010を変更すると、誤動作する可能性があります。CR010を変更したい場合は、6.5 16ビット・タイマ／イベント・カウンタ00の注意事項（17）タイマ動作中のコンペア・レジスタの変更についてを参照してください。	p.93 □

章	分類	機能	機能の詳細	注意事項	頁
第6章	ソフト	16ビット・タイマ／イベント・カウンタ00	TMC00：16ビット・タイマ・モード・コントロール・レジスタ00	16ビット・タイマ・カウンタ00 (TM00) は、TMC002, TMC003に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC002, TMC003に0, 0を設定してください。	p.93, 122 ☐
				OVF00フラグ以外のビットには、タイマ動作を停止してから書き込んでください。	p.94, 123 ☐
				タイマが停止している場合、TI000/TI010端子へ信号を入力しても、タイマ・カウントやタイマ割り込みは発生しません。	p.94, 122 ☐
				カウント・クロックにTI000端子の有効エッジを選択している場合を除き、STOPモードまたはシステム・クロック停止モードに設定する前に必ずタイマ動作を停止してください。システム・クロック開始時に、タイマが誤動作する可能性があります。	p.94, 127 ☐
				TI000端子の有効エッジは、タイマを停止してから、プリスケラ・モード・レジスタ00 (PRM00) のビット4, 5で設定してください。	p.94, 123 ☐
				TM00とCR000の一致でクリア&スタート、TI000端子の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択した場合、CR000の設定値がFFFFHで、TM00の値がFFFFHから0000Hに変化するとき、OVF00フラグが1に設定されます。	p.94, 124 ☐
				TM00がオーバーフロー後、次のカウント・クロックがカウントされる (TM00が0001Hになる) 前にOVF00フラグをクリアしても、再度セットされ、クリアは無効となります。	p.94, 125 ☐
				キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求 (INTTM0n0) は次のカウント・クロックの立ち上がりで発生します。	p.94, 125 ☐
	ハード	CRC00：キャプチャ／コンペア・コントロール・レジスタ00	CRC00：キャプチャ／コンペア・コントロール・レジスタ00	CRC00は、必ずタイマ動作を停止してから設定してください。	p.95, 123 ☐
				16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) で、TM00とCR000の一致でクリア&スタート・モードを選択したとき、CR000をキャプチャ・レジスタに指定しないでください。	p.95, 122 ☐
				確実にキャプチャをするためのキャプチャ・トリガは、プリスケラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要とします (図6-17を参照)。	p.95, 125 ☐
	ソフト	TOC00：16ビット・タイマ出力コントロール・レジスタ00	TOC00：16ビット・タイマ出力コントロール・レジスタ00	OSPT00以外は、必ずタイマ動作を停止してから設定してください。	p.97, 123 ☐
				LVS00, LVR00は読み出すと、0になっています。	p.97, 123 ☐
				OSPT00は、データ設定後に自動的にクリアされますので、読み出すと0になっています。	p.97, 123 ☐
				OSPT00は、ワンショット・パルス出力モード以外でセット (1) しないでください。	p.97, 123 ☐
	ハード	PRM00：プリスケラ・モード・レジスタ00	PRM00：プリスケラ・モード・レジスタ00	OSPT00に連続してセット (1) するとき、プリスケラ・モード・レジスタ00 (PRM00) で選択したカウント・クロック2周期分以上のライト間隔が必要です。	p.97, 123 ☐
				TOE00が0の場合、8ビット・メモリ操作命令でTOE00, LVS00とLVR00を同時に設定してください。TOE00が1の場合、1ビット・メモリ操作命令でLVS00とLVR00を設定することができます。	p.97 ☐
	ソフト			PRM00は、必ずタイマ動作を停止させてからデータを設定してください。	p.98, 123 ☐
				カウント・クロックにTI000の有効エッジを設定する場合、TI000端子の有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。	p.98, 125 ☐

章	分類	機能	機能の詳細	注意事項	頁		
第6章	ハード	16ビット・タイマ／イベント・カウンタ00	PRM00：プリスケアラ・モード・レジスタ00	次の場合、Ti0n0端子の有効エッジは検出されますので、注意してください。 ① システム・リセット直後、Ti0n0端子にハイ・レベルを入力し、16ビット・タイマ・カウンタ00 (TM00) の動作を許可 →Ti0n0端子の有効エッジを立ち上がりまたは両エッジに指定した場合は、TM00動作の許可直後に、立ち上がりエッジを検出 ② Ti0n0端子がハイ・レベルのときにTM00動作を停止し、Ti0n0端子にロウ・レベルを入力したあとにTM00動作を許可 →Ti0n0端子の有効エッジを立ち下がりまたは両エッジに指定した場合は、TM00動作の許可直後に、立ち下がりエッジを検出 ③ Ti0n0端子がロウ・レベルのときにTM00動作を停止し、Ti0n0端子にハイ・レベルを入力したあとにTM00動作を許可 →Ti0n0端子の有効エッジを立ち上がりまたは両エッジに指定した場合は、TM00動作の許可直後に、立ち上がりエッジを検出	p.98, 127	☐	
				Ti000の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者はfxPで、後者はプリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして、有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。	p.98, 127	☐	
				P31を有効エッジの入力端子 (Ti010) として使用するときには、タイマ出力端子 (TO00) として使用できません。また、タイマ出力端子 (TO00) として使用するときには、有効エッジの入力端子 (Ti010) として使用できません。	p.98, 128	☐	
				インターバル・タイマ	TM00動作中にCR000を変更すると、誤動作する可能性があります。CR000を変更したい場合は、6.5 16ビット・タイマ／イベント・カウンタ00の注意事項 (17) タイマ動作中のコンペア・レジスタの変更についてを参照してください。	p.99	☐
				外部イベント・カウンタ	外部イベント・カウンタのカウント値を読み出す場合は、TM00を読み出してください。	p.103, 127	☐
				パルス幅測定	キャプチャ・レジスタを2本使用する場合は、Ti000およびTi010端子の設定を行ってください。 この動作例で測定できるパルス幅は、タイマ・カウンタの1周期までです。	p.104, 125	☐
						p.105, 107, 108, 110	☐
				方形波出力	TM00動作中にCR000を変更すると、誤動作する可能性があります。CR000を変更したい場合は、6.5 16ビット・タイマ／イベント・カウンタ00の注意事項 (17) タイマ動作中のコンペア・レジスタの変更についてを参照してください	p.112	☐
				PPG出力	TM00動作中にCR0n0を変更すると、誤動作する可能性があります。CR0n0を変更したい場合は、6.5 16ビット・タイマ／イベント・カウンタ00の注意事項 (17) タイマ動作中のコンペア・レジスタの変更についてを参照してください。	p.114	☐
	CR000とCR010には次の範囲の値を設定してください。 0000H<CR010<CR000≦FFFFH	p.115, 127	☐				
	PPG出力によって生成されるパルスの周期は (CR000の設定値+1) , デューティは (CR010の設定値+1) / (CR000の設定値+1) になります。	p.115, 127	☐				
	ワンショット・パルス出力 ：ソフトウェア・トリガ	ワンショット・パルスを出力しているときに、再度OSPT00ビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。	p.117, 124		☐		
	16ビット・タイマ／イベント・カウンタ00のワンショット・パルス出力をソフトウェア・トリガで使用する場合、Ti000端子またはその兼用ポート端子のレベルを変化させないでください。この場合でも外部トリガは有効となっているので、Ti000端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。	p.117, 124	☐				
	ソフト		CR000レジスタとCR010レジスタに0000Hを設定しないでください。	p.118, 124	☐		
			16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに0,0 (動作停止モード) 以外の値を設定した時点で動作を開始します。	p.119	☐		

章	分類	機能	機能の詳細	注意事項	頁
第6章	ハード ソフト	16ビット・タイマ／イベント・カウンタ00	ワンショット・パルス出力：外部トリガ	ワンショット・パルスを出力しているときに、再度外部トリガを入力しないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで行ってください。	p.119, ☐ 124
				CR000レジスタとCR010レジスタに0000Hを設定しないでください。	p.120, ☐ 124
				16ビット・タイマ・カウンタ00は、TMC003, TMC002ビットに0,0（動作停止モード）以外の値を設定した時点で動作を開始します。	p.121, ☐ 122
	ハード		タイマ・スタート時の誤差	タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ00（TM00）が非同期でスタートするためです。	p.122 ☐
	ソフト		ワンショット・パルス出力	ワンショット・パルス出力は、フリー・ランニング・モードまたはTI000端子の有効エッジでクリア&スタート・モードでのみ正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは、オーバフローしないため、ワンショット・パルス出力ができません。	p.123 ☐
		キャプチャ動作	CRC001が1のとき、TI000端子の有効エッジに立ち上がり、立ち下りの両エッジを選択した場合には、キャプチャ動作しません。	p.125 ☐	
			CRC001が1のとき、TI010端子の有効エッジによるCR000へのキャプチャ動作を行えませんが、INTTM000は発生するため、外部割り込みとして使用することができます。	p.125 ☐	
		タイマ動作中のコンペア・レジスタ変更	16ビット・タイマ・キャプチャ／コンペア・レジスタ0n0（CR0n0）をコンペア・レジスタとして使用しているとき、タイマ・カウント中に16ビット・タイマ・カウンタ00（TM00）とCR0n0との一致付近でCR0n0を変更する場合、一致するタイミングと競合する可能性があります。このときの動作は保証できません。タイマ・カウントしたままCR0n0を変更したい場合は、INTTM000割り込みを使用し、次のように処理してください。	p.126 ☐	
			タイマ・カウント中に上述の①の処理をしないでCR010を変更した場合、TM00とCR000が一致する前に、CR010の値が複数書き換わり、そのたびにTO00端子の出力レベルが反転する可能性があります。	p.126 ☐	
		外部イベント・カウンタ	カウント開始のタイミングは有効エッジ2回検出後になります。	p.127 ☐	
		外部クロックの制限	① カウント・クロック（外部トリガ）にTI000端子の入力パルスを用いる場合、必ず、AC特性を満たすパルス幅を入力してください。AC特性は、第21章、第22章の電気的特性を参照してください。 ② 16ビット・タイマ/イベント・カウンタ00では、外部波形を入力する際、ノイズ除去回路でサンプリングするため、デバイス内部で有効になるタイミングに誤差が生じます。	p.128 ☐	
第7章	ソフト	8ビット・タイマ80	CR80：8ビット・コンペア・レジスタ80	CR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生され、タイマがクリアされる場合があります。	p.130 ☐
			TMC80：8ビット・タイマ・モード・コントロール・レジスタ80	TMC80の設定は、必ずタイマ動作を停止させたのちに行ってください。	p.131 ☐
				ビット0, 6には、必ず0を設定してください。	p.131 ☐
			インターバル・タイマ	CR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。	p.132 ☐
	TMC80でカウント・クロックの設定とTM80の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります（7.5（1）タイマ・スタート時の誤差）。そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で設定してください。	p.132 ☐			
	ハード		タイマ・スタート時の誤差	タイマ・スタート後、一致信号が発生するまでの時間は、最大で1.5クロック分の誤差が生じます。これはカウント・クロックがハイ・レベルのときにタイマ・スタートすると、その瞬間に立ち上がりエッジが検出され、カウンタがインクリメントされてしまうことがあるためです（図7-6参照）。	p.134 ☐
	ソフト		CR80：8ビット・コンペア・レジスタ80	8ビット・コンペア・レジスタ80（CR80）には、00Hの設定が可能です。	p.134 ☐
		STOPモード設定時	STOP命令を実行する前には、必ずタイマ動作を停止（TCE80 = 0）に設定してください。	p.134 ☐	

章	分類	機 能	機能の詳細	注意事項	頁
第8章	ソフト	8ビット・タイマH1	CMP01：8ビット・タイマHコンペア・レジスタ01	CMP01は、タイマ・カウント動作中に値を書き換えることは禁止です。	p.137 ☐
			CMP11：8ビット・タイマHコンペア・レジスタ11	PWM出力モードでは、タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ずCMP11を設定してください（CMP11への設定値が同値の場合でも、必ず再設定してください）。	p.137 ☐
			TMHMD1：8ビット・タイマHモード・レジスタ1	TMHE1 = 1のとき、TMHMD1レジスタの他のビットを設定することは禁止です。	p.139 ☐
				PWM出力モードでは、タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ず8ビット・タイマHコンペア・レジスタ11（CMP11）を設定してください（CMP11への設定値が同値の場合でも、必ず再設定してください）。	p.139 ☐
	ハード	PWM出力	PWM出力モード時は、タイマ・カウント動作中にCMP11レジスタの設定値を変更することができます。ただしCMP11レジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック（TMHMD1レジスタのCKS12-CKS10ビットで選択された信号）の3クロック分以上かかります。	p.145 ☐	
	ソフト		タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ずCMP11レジスタを設定してください（CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください）。	p.145 ☐	
			CMP11レジスタの設定値（M），CMP01レジスタの設定値（N）は、必ず次の範囲内にしてください。 00H ≤ CMP11（M） < CMP01（N） ≤ FFH	p.145 ☐	
第9章	ソフト	ウォッチドッグ・タイマ	WDTM：ウォッチドッグ・タイマ・モード・レジスタ	ビット7, 6, 5にはそれぞれ“0” “1” “1”を設定してください。それ以外の値を設定しないでください。 リセット解除後、WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。ただし、1回目の書き込み時に、2回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。ただし、1回目の書き込み時に、WDSC4, WDSC3にそれぞれ“1”、“×”を設定しウォッチドッグ・タイマを停止した場合、次の内容を実行しても内部リセット信号は発生しません。 ・WDTMへの2回目の書き込み ・WDTEへの1ビット・メモリ操作命令実行 ・WDTEへの“ACH”以外の値の書き込み	p.153 ☐
					p.154 ☐
			WDTM：ウォッチドッグ・タイマ・モード・レジスタ	WDTMは1ビット・メモリ操作命令では設定できません。	p.154 ☐
				セルフ書き込みによるフラッシュ・セルフ・プログラミングを使用する場合、ウォッチドッグ・タイマのオーバフロー時間を十分に（例 1バイト書き込み：200 μs以上、1ブロック消去：10 ms以上）取るように設定してください。	p.154 ☐
			WDTE：ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号が発生します。	p.154 ☐
				WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号が発生します。	p.154 ☐
				WDTEのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。	p.154 ☐
	ハード	オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合	このモードでは、STOP命令実行時でもウォッチドッグ・タイマの動作を停止できません。8ビット・タイマH1（TMH1）はカウント・ソースに低速内蔵発振クロックの分周を選択できますので、STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTMH1の割り込み要求を使用して、ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は、STOP命令実行後、ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号が発生します。	p.155 ☐	
		オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合	このモードでは、HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後、HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき、カウントはクリア（0）されず、値を保持します。	p.157 ☐	

章	分類	機能	機能の詳細	注意事項	頁
第10章	ソフト	A/Dコンバータ	サンプリングと変換時間	上記のサンプリング時間および変換時間は、クロック周波数の誤差を含んでいません。クロック周波数の誤差を考慮して、注2, 3の条件を満たすサンプリング時間および変換時間を選択してください（高速内蔵発振器使用時は、最大±5%の誤差）。	p.162 □
	ハード		ブロック図	V _{ss} はA/Dコンバータのグラウンド電位と兼用しています。V _{ss} を必ず安定しているGND (= 0 V) に接続してください。	p.163 □
	ソフト	ADM: A/Dコンバータ・モード・レジスタ	前述のサンプリング時間および変換時間は、クロック周波数の誤差を含んでいません。クロック周波数の誤差を考慮して、注3, 4の条件を満たすサンプリング時間および変換時間を選択してください（高速内蔵発振器使用時は、最大±5%の誤差）。	p.167 □	
			A/D変換停止（ADCS = 0）状態でADMのADCS以外のビットを操作したあとに、A/D変換開始する場合、NOP命令を2つまたは2マシン・サイクル相当の命令を実行してから、ADCSを1に設定してください。	p.167 □	
			FR0-FR2を書き換える場合は、いったんA/D変換動作を停止（ADCS = 0）させたのちに行ってください。	p.168 □	
			ビット6, 2, 1には、必ず0を設定してください。	p.168 □	
		ADS: アナログ入力チャンネル指定レジスタ	ビット2-7には必ず0を設定してください。	p.168 □	
		ADCR: 10ビットA/D変換結果レジスタ	A/Dコンバータ・モード・レジスタ（ADM）、アナログ入力チャンネル指定レジスタ（ADS）に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。	p.168 □	
		PMC2: ポート・モード・コントロール・レジスタ	PMC20-PMC23に1を設定した場合、P20/ANI0-P23/ANI3端子をポート機能として使用できません。また、A/Dコンバータ・モードに設定した端子のプルアップ抵抗オプション・レジスタ（PU20-PU23）は、必ず0を設定してください。	p.169 □	
		A/D変換動作	①から④までの間は1 μ s以上空けてください。	p.170, □ 174	
	①と②の順番が逆でも問題ありません。		p.170, □ 174		
	①は省略可能です。ただし、この場合には④のあとの、最初の変換データは無視してください。		p.174 □		
	⑤から⑧までの時間は、ADMのビット5-3（FR2-FR0）で設定した変換時間とは異なります。⑦から⑧までの時間が、FR2-FR0で設定した変換時間となります。		p.174 □		
	ハード	STOPモード時の動作電流	STOPモード時の電源電流のDC特性を満たすためには、STOP命令を実行する前にA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）とビット0（ADCE）を0に設定してください。	p.178 □	
		ANI0-ANI3 入力範囲	ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特にAV _{REF} 以上、V _{ss} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。	p.178 □	
	ソフト	競合動作	ADCR、ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR、ADCRHにライトされます。	p.178 □	
			ADMまたはADSへのライトが優先されます。ADCR、ADCRHへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。	p.178 □	
	ハード	ノイズ対策	10ビット分解能を保つためには、次のようにAV _{REF} 、ANI0-ANI3端子へのノイズに注意する必要があります。 ①電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。 ②アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10-19のようにCを外付けすることを推奨します。 ③変換中においては、他の端子とスイッチングしないようにしてください。 ④変換開始直後にHALTモードに設定すると、精度が向上します。	p.179 □	

章	分類	機能	機能の詳細	注意事項	頁
第10章	ハード	A/Dコンバータ	ANIO/P20-ANI3/P23	アナログ入力 (ANIO-ANI3) 端子は入力ポート (P20-P23) 端子と兼用になっています。ANIO-ANI3のいずれかを選択してA/D変換をする場合、変換中にP20-P23に対してアクセスしないでください。変換分解能が低下することがあります。 A/D変換中の端子に隣接する端子へディジタル・パルスを加えると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。	p.179 ☐ p.179 ☐
			ANIO-ANI3 端子の入力インピーダンス	このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。 したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。 基準電圧値における最速の変換時間を使用する場合、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 kΩ以下にし、出力インピーダンスが高いときはANIO-ANI3端子に0.01 μF～0.1 μF程度のコンデンサを付けることを推奨します (図10-19参照)。	p.179 ☐
			割り込み要求フラグ (ADIF)	アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリアされません。 したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることになりますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。	p.180 ☐
	ソフト		A/D変換スタート直後の変換結果	ADCEビット = 1にしてから、1 μs以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。	p.180 ☐
			A/D変換結果レジスタ (ADCR, ADCRH) の読み出し	A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。	p.180 ☐
			変換待機モード時の動作電流について	A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に0、ビット0 (ADCE) に1を設定している場合は、変換待機モード (コンパレータのみ電力を消費) のため、STOPモード時における動作電流のDC特性を満たしません。	p.181 ☐
第11章	ハード	シリアル・インタフェース UART6	UARTモード	TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。	p.182 ☐
				シリアル・インタフェースUART6への供給クロックが停止しない場合 (例: HALTモード) では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合 (例: STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後は回路をリセットするために、POWER6 = 0, RXE6 = 0, TXE6 = 0に設定してください。	p.182 ☐
				連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。	p.182 ☐
	ソフト		RXB6: 受信バッファ・レジスタ6	RXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック経過後に、受信許可状態になります。	p.189 ☐
			TXB6: 送信バッファ・レジスタ6	送信を開始する場合は、TXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6に送信データを書き込んでください。	p.189 ☐
				アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。	p.189 ☐

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	シリアル・インタフェース UART6	TXB6: 送信バッファ・レジスタ6	通信動作中（アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでTXB6へのリフレッシュ（同値書き込み）動作を行わないでください。連続送信で同値を出力する場合は、必ずTXBF6が0であることを確認してから、TXB6に同値を書き込んでください。	p.189 □
			ASIM6: アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	起動時はPOWER6 = 1に設定してからTXE6 = 1に設定したあと、基本クロック (f _{CLK6}) 1クロック以上待ってからTXB6に送信データを設定すると、送信動作を開始します。送信動作を停止するときにはTXE6 = 0に設定してから、POWER6 = 0に設定してください。	p.191 □
				起動時はPOWER6 = 1に設定してからRXE6 = 1に設定したあと、基本クロック (f _{CLK6}) 1クロック経過後に、受信許可状態になります。受信動作を停止するときにはRXE6 = 0に設定してから、POWER6 = 0に設定してください。	p.192 □
				RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1→RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1→RXE6 = 1 と設定すると、受信を開始し、正常なデータが受信されません。	p.192 □
				PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) してから行ってください。	p.192 □
				LIN通信動作で使用する場合は、PS61, PS60ビットを0に固定してください。	p.192 □
				SL6ビットを書き換えるときは、TXE6 = 0にしてから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL6ビットの設定値の影響は受けません。	p.192 □
				ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。	p.192 □
			ASIS6: アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	PE6ビットの動作は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。	p.192 □
				受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。	p.192 □
				オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ6 (RXB6) には書き込まれず、データは破棄されます。	p.192 □
				受信バッファ・レジスタ6 (RXB6) を読み出す前に、必ずASIS6を読み出してください。	p.193, 210 □
		ASIF6: アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6		連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。	p.193 □
				連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。	p.193 □
	ハード	CKSR6: クロック選択レジスタ6		TPS63-TPS60を書き換える場合は、POWER6 = 0に設定してから行ってください。	p.194 □
		BRGC6: ボー・レート・ジェネレータ・コントロール・レジスタ6		MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。	p.195 □
				8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値となります。	p.195 □
		ASICL6: アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6		SBRT6とSBTT6が0のデータをASICL6に書き込んだ場合、通信動作中（ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1/ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1) に、ソフトウェアでASICL6へのリフレッシュ動作（同値書き込み）を行うことができます。	p.196 □
				SBF受信エラー時は、再びSBF受信モードに戻ります。SBRF6フラグの状態は保持 (1) されます。SBF受信の詳細については、後述の11. 4. 2 アシンクロナス・シリアル・インタフェース (UART) モードの(2) - (i) SBF受信を参照してください。	p.197 □
				SBRT6ビットは、ASIM6のビット7 (POWER6) = 1, かつビット5 (RXE6) = 1としてからセット (1) してください。また、セット (1) 後、SBF受信が終了 (割り込み要求信号が発生) する前に、SBRT6ビットをクリア (0) しないでください。	p.197 □
				SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア (0) されます。	p.197 □
	ソフト				

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	シリアル・インタフェース・コントローラ・レジスタ6 UART6	ASICL6: アシクロナス・シリアル・インタフェース・コントローラ・レジスタ6	SBTT6ビットは、ASIM6のビット7 (POWER6) = 1, かつビット6 (TXE6) = 1としてからセット (1) してください。また、セット (1) 後、SBF送信が終了 (割り込み要求信号が発生) する前に、SBTT6ビットをクリア (0) しないでください。	p.197 ☐
				SBTT6ビットのリード値は常に0です。SBF送信終了後、SBTT6は自動的にクリア (0) されます。	p.197 ☐
				DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア (0) にしてから行ってください。	p.197 ☐
			POWER6, TXE6, RXE6: ASIM6のビット7, 6, 5	動作停止モードにするときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。起動時はPOWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。	p.199 ☐
			UARTモード	ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。また、意図しないスタート・ビット (立ち下がり信号) を発生させないために、P43を1に設定したあとに、PM43を0 (出力) に設定してください。	p.200 ☐
			パリティの種類と動作	LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。	p.203 ☐
			連続送信	連続送信が可能かを判断する場合は、TXBFフラグの値で行ってください。TXSF6フラグが1であるということのみで判断して、次の送信データを書き込まないでください。	p.205 ☐
				LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んでください。	p.205 ☐
			連続送信時のTXBF6: ASIF6のビット1	連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。	p.206 ☐
			連続送信時のTXSF6: ASIF6のビット1	連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。	p.206 ☐
			通常受信	受信エラー発生時にも受信バッファ・レジスタ6 (RXB6) は必ず読み出してください。RXB6を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。	p.210 ☐
				受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。	p.210 ☐
				RXB6を読み出す前に、必ずアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。	p.210 ☐
			シリアル・クロックの生成	送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。	p.217 ☐
				受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。	p.217 ☐
			受信時の許容ボー・レート範囲	受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。	p.218 ☐
第12章	ハード	割り込み	ベクタ・テーブル・アドレス	ベクタ・テーブル・アドレス0014Hに該当する割り込み要因はありません。	p.222 ☐
	ソフト		IF0, IF1: 割り込み要求フラグ・レジスタ, MK0, MK1: 割り込みマスク・フラグ・レジスタ	P30, P31, P41, P43は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。	p.225, ☐ 226
			INTM0: 外部割り込みモード・レジスタ0	ビット0,1には、必ず0を設定してください。 INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット (××MK× = 1) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア (××IF× = 0) してから、割り込みマスク・フラグをクリア (××MK× = 0) し、割り込みを許可してください。	p.227 ☐ p.227 ☐

章	分類	機能	機能の詳細	注意事項	頁
第12章	ソフト	割り込み	INTM1:外部割り込みモード・レジスタ1	ビット2-7には、必ず0を設定してください。 INTM1レジスタの設定は、必ずPMK3をセットし、割り込みを禁止してから行ってください。その後、PIF3をクリアしてから、PMK3をクリアし、割り込みを許可してください。	p.228 ☐
			割り込み要求の保留	割り込み要求フラグ・レジスタ (IF0, IF1) または割り込みマスク・フラグ・レジスタ (MK0, MK1) にアクセス中は割り込み要求は保留されます。	p.231 ☐
			多重割り込み処理	優先度の低い割り込みでも、多重割り込みは受け付けます。	p.232 ☐
第13章	ハード	スタンバイ機能	—	LSRSTOPの設定はオプション・バイトにて低速内蔵発振器を「ソフトウェアにより停止可能」時にのみ有効です。	p.234 ☐
			STOPモード	STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください（低速内蔵発振クロックで動作する周辺ハードウェアは除く）。	p.235 ☐
			STOPモード、HALTモード	A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。	p.235 ☐
			STOPモード	STOPモード設定前に低速内蔵発振回路が動作している場合、STOPモードでは低速内蔵発振クロックの発振を停止することはできません（表13-1を参照）。	p.235 ☐
	ソフト	OSTS:発振安定時間選択レジスタ		STOPモードに入り、解除するときは発振安定時間を次のように設定してください。 期待する発振子の発振安定時間 ≤ OSTSで設定する発振安定時間	p.236 ☐
				STOPモード解除時のウェイト時間は、リセット信号の発生による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（次の図a）は含みません。	p.236 ☐
	ソフト			電源投入時、またはリセット解除後の発振安定時間の設定は、オプション・バイトで行います。詳細は、第17章 オプション・バイトを参照してください。	p.236 ☐
				HALTモードの設定および動作状態	p.237 ☐
				STOPモードの設定および動作状態	p.241 ☐
第14章	ハード	リセット機能	—	外部リセットを行う場合、RESET端子に2 μ s以上のロウ・レベルを入力してください。	p.246 ☐
				リセット信号発生中は、システム・クロック、低速内蔵発振クロックともに発振を停止します。	p.246 ☐
				RESET端子を入力専用ポート (P34) として使用する場合、POC回路、LVI回路、ウォッチドッグ・タイマによるリセット解除後、再度オプション・バイトを参照するまでにRESET端子にロウ・レベルを入力すると、78K0S/KA1+はリセット状態となり、RESET端子にハイ・レベルが入力されるまでリセット状態が保持されます。	p.246 ☐
				LVI回路の内部リセットの場合、LVI回路はリセットされません。	p.247 ☐
			ウォッチドッグ・タイマのオーバフローによるリセット・タイミング	ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。	p.249 ☐
			RESF:リセット・コントロール・フラグ・レジスタ	1ビット・メモリ操作命令でデータを読み出さないでください。	p.253 ☐

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフト	パワーオン・クリア回路	パワーオン・クリア回路の機能	POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。	p.254 ☐
	ハード			POC回路の検出電圧 (V_{POC}) が含まれるため、下記の電圧範囲で使用してください。 標準品, (A) 水準品: 2.2~5.5 V, (A2) 水準品: 2.26~5.5 V	p.254 ☐
	ソフト		パワーオン・クリア回路の注意事項	電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態/リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。	p.256 ☐
第16章	ソフト	低電圧検出回路	LVIM: 低電圧検出レジスタ	LVIを停止する場合は、次のいずれかの手順を行ってください。 ・8ビット・メモリ操作命令の場合: LVIMに“00H”を書き込む ・1ビット・メモリ操作命令の場合: LVIONをクリア (0) ビット2-6には、必ず“0”を設定してください。	p.260 ☐ p.260 ☐
			LVIS: 低電圧検出レベル選択レジスタ	ビット4-7には、必ず“0”を設定してください。 LVI動作中に同値以外の書き込みを行った場合、書き込んだ瞬間の値が不定状態になるため、書き込みを行う前にLVIを停止 (LVIMレジスタのビット7 (LVION) = 0) してから、書き込みを行ってください。	p.261 ☐ p.261 ☐
		リセットとして使用する場合		①は必ず行ってください。LVIMK = 0になっている場合、③の処理を行った時点で割り込みが発生する場合があります。	p.262 ☐
				LVIMD = 1とした時点で、「電源電圧 (V_{DD}) $\geq$ 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。	p.262 ☐
		低電圧検出回路の注意事項		電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用法により、次のような動作となります。 (1) リセットとして使用する場合 リセット状態/リセット解除状態を繰り返すことがあります。 後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。 (2) 割り込みとして使用する場合 割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。	p.266 ☐
第17章	ハード	オプション・バイト	電源投入時、またはリセット解除後の発振安定時間	このオプションの設定は、システム・クロック・ソースに水晶/セラミック発振クロックを選択した場合のみ有効です。システム・クロック・ソースに高速内蔵発振クロック、外部クロック入力を選択した場合、ウェイト時間はありません。	p.270 ☐
			RESET端子の制御	オプション・バイトは、リセット解除後に参照するため、参照するまでにRESET端子へロウ・レベルを入力するとリセット状態が解除されません。 また、RMCEに0を設定する場合、プルアップ抵抗を接続してください。	p.270 ☐
			システム・クロック・ソースの選択	X1, X2端子は、P121, P122端子と兼用していますので、選択したシステム・クロック・ソースによって、X1, X2端子の利用条件が変わります。 (1) 水晶/セラミック発振クロック選択時 X1, X2端子をクロック入力端子として使用するため、入出力ポートとして使用できません。 (2) 外部クロック入力選択時 X1端子は外部クロック入力端子として使用するため、P121を入出力ポートとして使用できません。 (3) 高速内蔵発振クロック選択時 P121, P122を入出力ポートとして使用可能です。	p.270 ☐
		低速内蔵発振器の発振		「停止不可」を選択した場合、ウォッチドッグ・タイマ (WDT) へのカウント・クロックは低速内蔵発振クロック固定になります。	p.271 ☐
				「ソフトウエアより停止可能」を選択した場合、低速内蔵発振モード・レジスタ (LSRCM) のビット0 (LSRSTOP) の設定に関係なく、HALT/STOPモード時は、WDTへのカウント・クロック供給が停止されます。同様に、WDTへのカウント・クロックに低速内蔵発振クロック以外を選択している場合も、クロック供給が停止されます。 低速内蔵発振器動作中 (LSRSTOP=0) は、STOPモード時でも8ビット・タイマH1にクロックを供給できます。	p.271 ☐

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	オプション・バイト	RESET端子を入力専用ポート (P34) として使用した場合の注意事項	オプション・バイト機能で「RESET端子を入力専用ポート (P34) として使用」と設定した書き込み済みデバイスに対して、再度、専用フラッシュ・メモリ・プログラマを使用し、オンボード・プログラミングにて消去/書き込みを行う場合、下記の点に注意してください。 ターゲット・システムに電源供給する前に、専用フラッシュ・メモリ・プログラマを接続し、専用フラッシュ・メモリ・プログラマの電源をONにしてください。事前にターゲット・システムに電源供給を行った場合、フラッシュ・メモリ・プログラミング・モードに切り替えできなくなります。	p.271 ☐
第18章	ソフト	フラッシュ・メモリ	PG-FP5のプログラミングGUIでの設定値例	上記は推奨値です。使用する環境によって値が変わる可能性があるため、十分な評価を行ったあとで設定してください。	p.278 ☐
			セキュリティ設定	一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。	p.281 ☐
			セルフ・プログラミング機能	セルフ書き込みをする場合は、あらかじめセルフ・プログラミング処理を組み込む必要があります。	p.282 ☐
				セルフ・プログラミング・コマンド実行中は命令を実行できません。そのため、セルフ・プログラミング・モード時に、ウォッチドッグ・タイマのオーバフローが発生しないように、あらかじめウォッチドッグ・タイマのカウンタをクリア&リスタートしてください。セルフ・プログラミングの実行時間については、表18-10を参照してください。	p.285 ☐
				セルフ・プログラミング中に発生した割り込みは、セルフ・プログラミング・モードが終了してから受け付け可能になります。これを回避するために、特定シーケンスによって通常モードからセルフ・プログラミング・モードに移行するときは、割り込み処理を禁止 (MK0, MK1 = FFH, DI命令を実行) してください。	p.285 ☐
				セルフ・プログラミング・コマンド実行中は、RAMを使用しません。	p.285 ☐
				書き込み/消去中の電源低下時とリセットが発生した場合は、書き込み/消去を保証しません。	p.285 ☐
				ブロック消去時に設定されるブランク・データの値はFFHになります。	p.285 ☐
				セルフ・プログラミング中のCPUクロックは、1 MHz以上になるようにあらかじめ設定してください。	p.285 ☐
				セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行したあと、セルフ・プログラミングを実行してください。このときのHALT命令は、10 μ s (MAX.) + CPUクロック (f_{CPU}) の2クロック後に自動的に解除されます。	p.285 ☐
				発振器または外部クロックをシステム・クロックとして選択している場合は、セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行し、HALT状態を解除したあと、8 μ sのウェイト時間経過後に、セルフ・プログラミングを実行してください。	p.285 ☐
				FPRERRは、1ビット・メモリ操作命令で確認してください。	p.285 ☐
				セルフ・プログラミング・モード時では、端子はHALTモード時の状態になります。	p.285 ☐
				セルフ・プログラミング・モード時では、オンボード/オフボード・プログラミングで設定されたセキュリティ機能は無効となるため、セキュリティ機能の設定に関係なく、セルフ・プログラミング・コマンドを実行できます。セルフ・プログラミング使用時に書き込み/消去を禁止したい場合には、プロテクト・バイトを設定してください。	p.285 ☐
				セルフ・プログラミング・コマンドを実行するときは、フラッシュ・アドレス・ポインタH (FLAPH) とフラッシュ・アドレス・ポインタHコンペア・レジスタ (FLAPHC) のビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。	p.285 ☐
				セルフ・プログラミング・モードへの移行直前と、通常モードへの移行直前に、FLCMDレジスタの値をクリア (00H) してください。	p.285 ☐

章	分類	機能	機能の詳細	注意事項	頁
第18章	ソフト	フラッシュ・メモリ	FLPMC: フラッシュ・プログラミング・コントロール・レジスタ	セルフ・プログラミング・モードに設定する場合の注意事項については、18. 8. 2 セルフ・プログラミング機能の注意事項を参照してください。	p.286 ☐
				セルフ・プログラミング中のCPUクロックは、1 MHz以上になるようにあらかじめ設定してください。	p.286 ☐
				セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行したあと、セルフ・プログラミングを実行してください。このときのHALT命令は、10 μ s (MAX.) + CPUクロック (f_{CPU}) の2クロック後に自動的に解除されます。	p.286 ☐
				発振器または外部クロックをシステム・クロックとして選択している場合は、セルフ・プログラミング・モードへの特定シーケンス実行直後にNOP命令とHALT命令を実行し、HALT状態を解除したあと、8 μ sのウェイト時間経過後に、セルフ・プログラミングを実行してください。	p.286 ☐
				セルフ・プログラミング・モードへの移行直前と、通常モードへの移行直前に、FLCMDレジスタの値をクリア (00H) してください。	p.286 ☐
			PFCMD: フラッシュ・プロテクト・コマンド・レジスタ	セルフ・プログラミング・モード中に、割り込み処理は実行できません。セルフ・プログラミング・モードに切り替える特定シーケンスの実行前から、通常モードに切り替える特定シーケンスの実行後までは、割り込み処理を禁止 (MK0, MK1 = FFH, DI命令を実行) してください。	p.287 ☐
			PFS: フラッシュ・ステータス・レジスタ	FPRERRは、1ビット・メモリ操作命令で確認してください。	p.287 ☐
			FLAPH, FLAPL: フラッシュ・アドレス・ポインタH, L	セルフ・プログラミング・コマンドを実行するときは、FLAPHとFLAPHCのビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。	p.290 ☐
			FLAPHC, FLAPLC: フラッシュ・アドレス・ポインタH, Lコンペア・レジスタ	セルフ・プログラミング・コマンドを実行するときは、FLAPHとFLAPHCのビット4-7に必ず0を設定してください。1を設定して実行した場合は、デバイスが正常に動作しない可能性があります。	p.290 ☐
			セルフ・プログラミング・モードへの移行 通常モードへの移行	FLAPHCは、ブロック消去／書き込み／ベリファイ／ブランク・チェック時に、対象となるブロック番号 (FLAPHと同じ値) を設定してください。	p.290 ☐
				FLAPLCは、ブロック消去時には00Hを、ブランク・チェック時にはFFHを設定してください。	p.290 ☐
			バイト書き込み	上記の一連の動作は、必ず消去および書き込みをしないアドレス上のユーザ・プログラムで行ってください。	p.292, 293, 295, 296 ☐
第19章	ハード	オンチップ・デバッグ機能	QB-MINI2との接続	書き込みが失敗した場合は、ブロック消去してから再度書き込みをしてください。	p.304 ☐
				78K0S/KA1+には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.328 ☐
			QB-MINI2をデバッグ用に使用し、かつINTP3のデバッグを実機のみで行う場合	回路接続例中の定数はあくまで参考値です。量産を目的としてフラッシュ・プログラミングを行う場合は、対象デバイスのスペックを満たしているか十分な評価を行ってください。	p.328 ☐
				QB-MINI2を使用せずに、実機のみを動作させてデバッグする場合、ユーザ・プログラムはQB-Programmerで書き込んでください。デバッグでダウンロードしたプログラムには、モニタ・プログラムが組み込まれており、QB-MINI2からの制御がないと誤動作するためです。	p.330 ☐

章	分類	機能	機能の詳細	注意事項	頁
第21章	ハード	電 気 的 特 性 (標準品, (A)水準品)	絶対最大定格	各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。	p.343 ☐
			X1発振回路	X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.344 ☐
			A/Dコンバータ	アナログ入力端子を兼用の入出力ポートとして使用した場合、またはA/D変換中にポートを変化させると精度が悪化します。	p.351 ☐
第22章	ハード	電 気 的 特 性 (A2)水準品)	絶対最大定格	各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。	p.355 ☐
			X1発振回路	X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.357 ☐
			A/Dコンバータ	アナログ入力端子を兼用の入出力ポートとして使用した場合、またはA/D変換中にポートを変化させると精度が悪化します。	p.364 ☐
第24章	ハード	半田付け推奨条件	鉛フリー製品	オーダ名称末尾「-A」, 「-AX」の製品は、鉛フリー製品です。	p.372 ☐
			—	半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。	p.372, ☐ 373
			—	ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。	p.373 ☐

付録E 改版履歴

E. 1 本版で改訂された主な箇所

箇 所	内 容
全般	μ PD78F9224を追加 品名からμ PD78F9221MC-5A4, 78F9222MC-5A4, 78F9221MC(A)-5A4, 78F9222MC(A)-5A4, 78F9221MC(A2)-5A4, 78F9222MC(A2)-5A4を削除
p.7	開発ツール（ソフトウェア）の資料を変更
p.18	1. 4 78K0S/Kx1+の製品展開を変更
pp.40-43	表3-3 特殊機能レジスタ一覧を変更
p.274	18. 4 フラッシュ・メモリ・プログラマによる書き込み方法 ・FlashPro4を削除, QB-MINI2を追加 ・備考を変更
p.275	図18-2 フラッシュ・メモリにプログラムを書き込むための環境（FlashPro5/QB-MINI2）を変更, 備考を追加
p.276	表18-2 78K0S/KA1+とFlashPro5/QB-MINI2の配線表を変更
p.276	図18-3 FlashPro5/QB-MINI2との配線図を変更, 備考を追加
p.280	図18-7 通信コマンドを変更
pp.298-300	18. 8. 6 セルフ・プログラミング・モードのブロック消去動作例 ・記述を変更, 注2を追加 ・図18-20 セルフ・プログラミング・モードのブロック消去動作例を変更 ・プログラム例を変更
pp.318-320	18. 8. 11 セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例 ・図18-27 割り込み禁止時間を最小にしたい場合の動作例（消去～ブランク・チェック）を変更 ・プログラム例を変更
p.328	19. 1 QB-MINI2との接続の注意を変更
p.374	付録A 開発ツールを変更

E. 2 改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/9)

版 数	前版からの主な改版内容	適用箇所
第2版	鉛フリー製品を追加 ・μ PD78F9221MC-5A4-A ・μ PD78F9222MC-5A4-A	全般
	ウォッチドッグ・タイマの動作クロックを次のように変更 ・低速内蔵発振クロック (f_{RL}) または周辺ハードウェアへのクロック (f_{XP}) →低速内蔵発振クロック (f_{RL}) またはシステム・クロック (f_X)	
	高速内蔵発振モード・レジスタ (HSRCM) を削除	
	INTFLC (割り込み要求) を削除	
	2.1 端子機能一覧, 2.2.4 P121-P123 (Port 12) , 2.2.7 X1, X2の説明に, 注意を追加	第2章 端子機能
	表2-1 各端子の入出力タイプと未使用端子の処理のうち, 次の端子の処理を変更 ・P20/ANI0-P23/ANI3 ・P34/$\overline{\text{RESET}}$ ・P121/X1 ・P122/X2	
	図3-1 メモリ・マップ (μ PD78F9221) , 図3-2 メモリ・マップ (μ PD78F9222) を変更	
	表3-2 ベクタ・テーブルを変更, 注意を追加	
	3.1.1 内部プログラム・メモリ空間に (4) プロテクト・バイト領域を追加	第3章 CPU アーキテクチャ
	表3-3 特殊機能レジスタ一覧 (1/2) に注3を追加	
	表3-3 特殊機能レジスタ一覧 (2/2) にセルフ・プログラミング機能で使用するレジスタを追加	
	表4-1 ポートの機能に注意を追加, 備考2を修正	第4章 ポート機能
	図4-4 P31のブロック図を追加	
	図4-9 P43のブロック図を変更	
	図5-1 クロック発生回路のブロック図能を変更	第5章 クロック発生回路
	次の図中にある動作停止時間を変更 ・図5-8 高速内蔵発振器によるディフォルト・スタートのタイミング図 ・図5-10 水晶/セラミック発振によるディフォルト・スタートのタイミング図 ・図5-12 外部クロック入力によるディフォルト・スタートのタイミング図	
	図5-14 低速内蔵発振器の状態遷移図の注を変更	
	6.2 16ビット・タイマ/イベント・カウンタ00の構成の (1) 16ビット・タイマ・カウンタ00 (TM00) , (2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) , (3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) に注意文を追加	第6章 16ビット・タイマ/イベント・カウンタ00
	図6-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマットに注意文を追加	
	図6-7 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマットに注意6を追加	
	図6-8 プリスケアラ・モード・レジスタ00 (PRM00) のフォーマットの注意3を変更, 注意4を追加	

版 数	前版からの主な改版内容	適用箇所
第2版	次の図中にある，INTTM010およびINTTM000の出力幅を変更 ・図6-17 立ち上がりエッジ指定時のCR010キャプチャ動作 ・図6-20 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング（両エッジ指定時） ・図6-22 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング（両エッジ指定時） ・図6-24 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング（立ち上がりエッジ指定時） ・図6-26 リスタートによるパルス幅測定動作のタイミング（立ち上がりエッジ指定時）	第6章 16ビット・タイマ/イベント・カウンタ00
	図6-29 PPG出力動作時の制御レジスタ設定内容の注意1を変更	
	図6-33 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミングを変更	
	6.5 16ビット・タイマ/イベント・カウンタ00の注意事項の注意文を変更および追加	
	図7-4 8ビット・タイマ・モード・コントロール・レジスタ80（TMC80）のフォーマットに注意2を追加	第7章 8ビット・タイマ80
	表9-1 ウォッチドッグ・タイマの暴走検出時間を変更	
	図9-2 ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のフォーマットを変更，注意4を追加	第9章 ウォッチドッグ・タイマ
	図9-4 オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合の状態遷移図を変更	
	図9-5 オプション・バイトで「低速内蔵発振器はソフトウェアにより停止可能」を選択した場合の状態遷移図を変更	
	次の図中にある動作停止時間を変更 ・図9-6 STOPモード時の動作（WDT動作クロック：システム・クロック） ・図9-7 STOPモード時の動作（WDT動作クロック：低速内蔵発振クロック）	
	図10-1 A/DコンバータのサンプリングとA/D変換のタイミングを変更，注を追加	第10章 A/Dコンバータ
	表10-1 サンプリング時間とA/D変換時間を変更，注1，注意，備考2を追加	
	図10-2 A/Dコンバータのブロック図を変更	
	図10-3 A/Dコンバータ・モード・レジスタ（ADM）のフォーマットを変更，注5を変更，注1，2，注意1, 2, 4，備考2を追加	
	図10-4 コンバータ使用時のタイミング・チャートの注を変更	
	10.4.1 A/Dコンバータの基本動作に③の説明を追加	
	図10-11 アナログ入力電圧とA/D変換結果の関係を変更	
	10.4.3 A/Dコンバータの動作モードの説明方法に，③の説明を追加	
	10.6 (1) STOPモード時の動作電流について，(6) ANI0-ANI3端子の入カインピーダンスについてを変更	
	図10-19 アナログ入力端子の処理のコンデンサ値を変更	
	図10-21 ANIn端子内部等価回路と表10-4 等価回路の各抵抗と容量値（参考値）を変更	
	11.2 (3) 送信バッファ・レジスタ6（TXB6）に説明を追加	第11章 シリアル・インタフェースUART6
	図11-5 アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のフォーマット（1/2）の注1を変更	
	11.3 (6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）の注意を変更	
	11.4.2 (2) (d) 連続送信の注意1を変更	
	11.4.2 (2) (h) SBF送信を変更	
	表11-4 ボー・レート・ジェネレータ設定データを変更	

版 数	前版からの主な改版内容	適用箇所
第2版	表12-1 割り込み要因一覧を変更, 注意を追加	第12章 割り込み機能
	13.1.1 (2) STOPモードの説明文中の, 動作停止時間の記述を変更	第13章 スタンバイ機能
	表13-2 HALTモード時の動作状態を変更	
	図13-2 HALTモードの割り込み要求発生による解除の備考2を変更	
	図13-3 HALTモードのリセット入力による解除の注を変更	
	13.2.2 (1) STOPモードの設定および動作状態の注意を変更	
	表13-4 STOPモード時の動作状態を変更	
	次の図中にある動作停止時間を変更 ・ 図13-4 STOPモード解除時の動作タイミング ・ 図13-5 STOPモードの割り込み要求発生による解除	第14章 リセット機能
	図13-6 STOPモードのリセット入力による解除の注を変更	
	次の図を変更 ・ 図14-1 リセット機能のブロック図 ・ 図14-2 RESET入力によるリセット・タイミング ・ 図14-3 ウォッチドッグ・タイマのオーバフローによるタイミング ・ 図14-4 STOPモード中のRESET入力によるリセット・タイミング	
	表14-1 各ハードウェアのリセット後の状態にセルフ・プログラミング機能で使用するレジスタを追加	
	図16-2 低電圧検出レジスタ (LVIM) のフォーマットに注1を追加	第16章 低電圧検出回路
	図16-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットに注を追加	
	図16-4 低電圧検出回路の内部リセット信号発生のタイミングを変更, 注1, 2を追加	
	図16-5 低電圧検出回路の割り込み信号発生のタイミングを変更, 注1, 2を追加	
	16.5 低電圧検出回路の注意事項 <処置> (2) 割り込みとして使用する場合に注を追加	
	章を改訂	第18章 フラッシュ・メモリ
	次の特性の数値が変更または追加 ・ 絶対最大定格 ハイ・レベル出力電流, ロウ・レベル出力電流, 動作周囲温度 ・ X1発振回路特性 ・ 低速内蔵発振回路特性 ・ DC特性 ・ AC特性 (1) 基本動作 サイクル・タイム (最小命令実行時間), RESET入力ロウ・レベル幅 ・ POC回路特性 電源立ち上げ時間の条件 ・ フラッシュ・メモリ・プログラミング特性	第20章 電気的特性 (ターゲット)
	図A-1 開発ツール構成を変更	付録A 開発ツール
	A.2 言語処理用ソフトウェアのデバイス・ファイル名を変更, 備考を変更	
	A.3 制御ソフトウェアのプロジェクト・マネージャ名を追加	
	A.4 フラッシュ・メモリ書き込み用ツールに「PG-FPL2」を追加	
	A.5.1 インサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aを利用する場合のエミュレーション・ボード名を変更, 前版に掲載した「NP-20GS」と「EV-9500GS-20」を削除, 「ターゲット・システム側ピン・ヘッダの仕様」を追加	

版 数	前版からの主な改版内容	適用箇所
第2版	A.5.2 インサーキット・エミュレータ QB-78K0SKX1MINIを使用する場合を追加	付録A 開発ツール
	A.6 デバッグ用ツール（ソフトウェア）のシステム・シミュレータとデバイス・ファイル名を変更、備考を変更、「ID78K0S-QB」を追加	
	図B-1 インサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aから変換コネクタまでの距離, 図B-2 ターゲット・システムの接続条件（インサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-A使用の場合）を変更	付録B ターゲット・システム設定上の注意
第3版	1.3 オータ情報にオータ名称を追加	第1章 概 説
	2.1 端子機能一覧のP34/RESET, P121/X1, P122/X2に注を追加	第2章 端子機能
	2.2.2 P30, P31, P34（Port 3）に説明を追加	
	2.2.4 P121-P123（Port 12）に説明を追加	
	2.2.6 RESETに説明を追加	
	2.2.7 X1, X2に説明を追加	
	3.4.1 ダイレクト・アドレッシングの記述例を変更	第3章 CPU アーキテクチャ
	3.4.2 ショート・ダイレクト・アドレッシングの機能の説明と記述例を変更	
	3.4.6 ベースト・アドレッシングに図解を追加	
	3.4.7 スタック・アドレッシングに図解を追加	
	表4-1 ポートの機能のP34/RESET, P121/X1, P122/X2に注を追加	第4章 ポート機能
	4.2.2 ポート3に説明を追加、注意を変更	
	4.4.1 入出力ポートへの書き込み, 4.4.3 入出力ポートへの演算の（2）入力モードの場合に説明を追加	
	6.1 16ビット・タイマ／イベント・カウンタ00の機能の（2）外部イベント・カウンタの説明を変更	第5章 クロック発生回路
	図6-2 16ビット・タイマ・カウンタ00（TM00）のフォーマットの注意2を変更	
	図6-5 16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）のフォーマットの注意2を変更	
	図6-16 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）に（1）動作開始直後のINTTM000発生タイミングを追加	
	6.4.3 パルス幅測定としての動作の（1）,（2）,（3）,（4）に注意を追加	
	図6-19 フリー・ランニング・カウンタによるパルス幅測定の構成図を変更	
	図6-20 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング（両エッジ指定時）を変更, 注を変更	
	図6-22 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング（両エッジ指定時）を変更, 注を変更	
	図6-23 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容（立ち上がりエッジ指定時）の注を変更	
	図6-24 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング（立ち上がりエッジ指定時）を変更, 注を変更	
	図6-26 リスタートによるパルス幅測定動作のタイミング（立ち上がりエッジ指定時）を変更	
	6.4.6 ワンショット・パルス出力としての動作 ・（1）ソフトウェア・トリガによるワンショット・パルス出力の注意1を変更 ・（2）外部トリガによるワンショット・パルス出力の注意を変更	
	6.5 16ビット・タイマ／イベント・カウンタ00の注意事項の（2）16ビット・タイマ・カウンタ00（TM00）の動作についての③, ④を変更	

版 数	前版からの主な改版内容	適用箇所
第3版	6.5 16ビット・タイマ／イベント・カウンタ00の注意事項の(11) ソフトウェアによるワンショット・パルス出力についての①を変更	第6章 16ビット・タイマ／イベント・カウンタ00
	6.5 16ビット・タイマ／イベント・カウンタ00の注意事項の(12) 外部トリガによるワンショット・パルス出力についての①を変更	
	6.5 16ビット・タイマ／イベント・カウンタ00の注意事項の(15) キャプチャ動作についてに③を追加	
	6.5 16ビット・タイマ／イベント・カウンタ00の注意事項の(19) 外部イベント・カウンタについてに①を追加	
	7.2 8ビット・タイマ80の構成の(1) 8ビット・コンペア・レジスタ80 (CR80) の注意を変更	第7章 8ビット・タイマ80
	8.2 8ビット・タイマH1の構成(2) 8ビット・タイマHコンペア・レジスタ11 (CMP11) の説明を変更	第8章 8ビット・タイマH1
	8.4.2 PWM出力モードとしての動作の注意1を変更	
	図8-9 PWM出力モード動作のタイミングの(e) CMP11変更による動作 (CMP11 = 02H → 03H, CMP01 = A5H) を変更	
	図9-2 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマットの注意2に記述を追加	第9章 ウォッチドッグ・タイマ
	図10-1 A/DコンバータのサンプリングとA/D変換のタイミングを変更	第10章 A/Dコンバータ
	表10-1 サンプリング時間とA/D変換時間を変更, 注1を変更	
	図10-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマットを変更, 注2を変更	
	10.6 A/Dコンバータの注意事項の(4) ノイズ対策についてを変更	
	10.6 A/Dコンバータの注意事項の(6) ANI0-ANI3端子の入ラインピーダンスについてを一部変更	
	図11-1 LINの送信操作を変更	第11章 シリアル・インタフェースUART6
	図11-2 LINの受信操作を変更, 説明を変更	
	11.3 シリアル・インタフェースUART6を制御するレジスタの(7) 入力切り替え制御レジスタ (ISC) に記述を追加	
	表11-4 ボー・レート・ジェネレータ設定データの値を変更	
	12.1 割り込み機能の種類を変更	第12章 割り込み機能
	12.4.2 多重割り込み処理を変更	
	図12-10 多重割り込みの例(1/2)の例1に注意を追加	
	図12-10 多重割り込みの例(2/2)に例3を追加	
	図13-3 HALTモードのリセット信号の発生による解除のリセット信号を変更	第13章 スタンバイ機能
	表13-4 STOPモード時の動作状態の外部割り込みの説明を変更	
	13.2.2 STOPモードの(2)の(a) マスクされていない割り込み要求による解除の説明を変更, 注を追加	
	図13-6 STOPモードのリセット信号の発生による解除のリセット信号を変更	
	図14-1 リセット機能のブロック図を変更	第14章 リセット機能
	図14-2 RESET入力によるリセット・タイミング, 図14-4 STOPモード中のRESET入力によるリセット・タイミングに内部リセット信号発生が遅延時間を追加	
	図15-3 リセット解除後のソフト処理例(1/2)を変更	第15章 パワーオン・クリア回路
	図16-1 低電圧検出回路のブロック図を変更	第16章 低電圧検出回路
	図16-2 低電圧検出レジスタ (LVIM) のフォーマットの注1を変更	

版 数	前版からの主な改版内容	適用箇所
第3版	図16-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットの注を変更	第16章 低電圧検出回路
	図16-5 低電圧検出回路の割り込み信号発生タイミングのINTLVI, 注2を変更	
	16.5 低電圧検出回路の注意事項の<処置>の(2)を変更	
	図16-6 リセット解除後のソフト処理例(1/2)を変更	
	第17章 オプション・バイトの構成, 説明を変更	第17章 オプション・バイト
	図17-2 オプション・バイトのフォーマット(1/2)の注意を変更	
	図17-2 オプション・バイトのフォーマット(2/2)に備考3, 4を追加	
	18.1 特徴を変更, 追加	第18章 フラッシュ・メモリ
	図18-2 フラッシュ・メモリにプログラムを書き込むための環境をFlashPro4の場合とPG-FPL2の場合の2つの図に変更	
	表18-5 発振周波数とPG-FP4のGUIソフトウェアでの設定値例(通信周波数)の注意を変更	
	18.7.1 フラッシュ・メモリ制御を削除	
	18.7.2 通信コマンドを変更	
	18.8.2 セルフ・プログラミング機能の注意事項を変更, 追加	
	18.8.3 セルフ・プログラミング機能で使用するレジスタ(3)の3. WEPRERRの動作条件<セット条件>に追加	
	図18-15 フラッシュ・プログラミング・コマンド・レジスタ (FLCMD) のフォーマットに説明を追加	
	図18-16 フラッシュ・アドレス・ポインタH/L (FLAPH/FLAPL) のフォーマットの注意を変更	
	図18-17 フラッシュ・アドレス・ポインタH/Lコンペア・レジスタ (FLAPHC/FLAPLC) のフォーマットの注意1, 2を変更	
	第20章 電気的特性(ターゲット)を全面改訂, 章を追加	第20章 電気的特性 (T)品, (S)品, (R)品, (A)品 ~ 第21章 電気的特性 (ターゲット) (A2)品
	第24章 パッケージの捺印情報を追加	第24章 パッケージの捺印情報
	第25章 半田付け推奨条件を追加	第25章 半田付け推奨条件
	A.1 ソフトウェア・パッケージに含まれているソフトウェア・ツールを追加	付録A 開発ツール
	付録D 注意事項一覧を追加	付録D 注意事項一覧
第4版	(T)品, (S)品, (R)品, (T2)品の記述を削除	全般
	1.4 78K0S/Kx1+の製品展開を変更	第1章 概 説
	3.2.1 (3) スタック・ポインタ (SP) に注意2を追加	第3章 CPUアーキテクチャ
	図4-15 ポート・モード・コントロール・レジスタ2のフォーマットに注意を追加	第4章 ポート機能
	6.5 (23) 外部クロックの制限についてを追加	第6章 16ビット・タイマ/イベント・カウンタ

版 数	前版からの主な改版内容	適用箇所
第4版	10.2 (1) ANI0-ANI3端子の記述を修正	第10章 A/D コンバータ
	図10-8 ポート・モード・コントロール・レジスタ2 (PMC2) のフォーマットに注意を追加	
	10.6 (10) 変換待機モード時の動作電流についてを追加	
	11.2 (1) 受信バッファ・レジスタ6 (RXB6) に注意を追加	第11章 シリアル・インタフェースUART6
	11.2 (3) 送信バッファ・レジスタ6 (TXB6) において注意1を追加, 注意3を変更	
	図11-5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2) の注3を修正	
	図11-5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2) において注1, 2を追加, 注意1, 2, 3を変更	
	11.3 (6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) の注意を変更	
	図11-10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のフォーマットの注意1を変更	
	11.4.2 (1) 使用するレジスタの注意を変更	
	16.3 (2) 低電圧検出レベル選択レジスタ (LVIS) に注意2を追加	第16章 低電圧検出回路
	17.3 RESET端子を入力専用ポート (P34) として使用した場合の注意事項を追加	第17章 オプション・バイト
	18.6.1 X1, X2端子に記述を追加	第18章 フラッシュ・メモリ
	18.8 セルフ書き込みによるフラッシュ・メモリ・プログラミングに備考1を追加	
	表18-11 セルフ・プログラミング制御用コマンドの, 内部ベリファイ1の説明を変更, 内部ベリファイ2の説明と備考を追加	
	18.8.2 セルフ・プログラミング機能の注意事項を一部変更, 追加	
	図18-12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマットに注意2, 3, 5を追加, 注意4を変更	
	18.8.3 (2) フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) の注意を変更, FPRERR についての記述を追加	
	18.8.3 (3) フラッシュ・ステータス・レジスタ (PFS) に注意を追加	
	図18-15 フラッシュ・プログラミング・コマンド・レジスタ (FLCMD) のフォーマットの内部ベリファイ1の説明と注を変更, 内部ベリファイ2の説明を追加	
	図18-16 フラッシュ・アドレス・ポインタH/L (FLAPH/FLAPL) のフォーマットの注意と図18-17 フラッシュ・アドレス・ポインタH/Lコンペア・レジスタ (FLAPHC/FLAPLC) のフォーマットの注意1を変更	
	18.8.4 通常モードからセルフ・プログラミング・モードへの移行例, 18.8.5 セルフ・プログラミング・モードから通常モードへの移行例に記述を追加	
	18.8.9 セルフ・プログラミング・モードの内部ベリファイ動作例に, 内部ベリファイ1と内部ベリファイ2の説明を追加	
	18.8.10 セルフ・プログラミング・モードでコマンド実行時間を最小にしたい場合の動作例, 18.8.11 セルフ・プログラミング・モードで割り込み禁止時間を最小にしたい場合の動作例に記述を追加	

版 数	前版からの主な改版内容	適用箇所
第4版	・ハイ・レベル入力リーク電流、ロウ・レベル入力リーク電流、ハイ・レベル出力リーク電流、ロウ・レベル出力リーク電流のMAX.値を変更 ・STOPモード時の電源電流 (I_{DD5}) のMAX.値を変更 ・A/Dコンバータ特性の注意を変更	第20章 電気的特性 (標準品, (A) 水準品)
	・内蔵ブルアップ抵抗の消費電力の算出式を追加 ・A/Dコンバータ特性の注意を変更	第21章 電気的特性 ((A2) 水準品)
	第24章 パッケージの捺印情報を削除	第24章 パッケージの捺印情報
	A. 4 フラッシュ・メモリ書き込み用ツールを変更	付録A 開発ツール
	A. 5. 1 インサーキット・エミュレータQB-78K0SKX1 (開発中) を使用する場合, A. 5. 2 インサーキット・エミュレータQB-MINI2を使用する場合を追加	
第4版 (修正版)	・DC特性のロウ・レベル入力電圧とハイ・レベル出力電圧の条件を修正 ・AC特性にCPUクロックと周辺クロック周波数の設定範囲を追加	第20章 電気的特性 (標準品, (A) 水準品)
	・DC特性のロウ・レベル入力電圧とハイ・レベル出力電圧の条件を修正 ・AC特性にCPUクロックと周辺クロック周波数の設定範囲を追加	第21章 電気的特性 ((A2) 水準品)
第5版	SSOPパッケージ品 (μ PD78F9221MC(A)-CAA-AX, μ PD78F9222MC(A)-CAA-AX, μ PD78F9221MC(A2)-CAA-A, μ PD78F9222MC(A2)-CAA-A) , SDIPパッケージ品 (μ PD78F9221CS-CAC-A, μ PD78F9222CS-CAC-A) , WLPGAパッケージ品 (μ PD78F9221FH-2B1-A, μ PD78F9222FH-2B1-A) を追加	全般
	(A2) 水準品 開発中→量産中	
	1. 1 特 徴を変更	第1章 概 説
	1. 3 端子接続図 (Top View) ・AV _{REF} の説明を変更	
	1. 4 78K0S/Kx1+の製品展開に注2～注5を追加	
	2. 1 端子機能一覧 ・AV _{REF} の機能説明を変更	第2章 端子機能
	2. 2. 8 AV _{REF} ・説明を変更	
	10. 1 A/Dコンバータの機能 ・表10-1 サンプリング時間とA/D変換時間に注4を追加	第10章 A/D コンバータ
	10. 3 A/Dコンバータで使用するレジスタ ・図10-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマットに注5を追加	
	注意3を変更	第14章 リセット機能
	18. 4 フラッシュ・メモリ・プログラマによる書き込み方法 ・専用フラッシュ・メモリ・プログラマにFlashPro5を追加 ・専用フラッシュ・メモリ・プログラマからPG-FPL2を削除 ・備考を変更	第18章 フラッシュ・メモリ
	18. 5 プログラミング環境 ・図18-2 フラッシュ・メモリにプログラムを書き込むための環境 (FlashPro4/FlashPro5/QB-MINI2) を変更, 注を追加 ・表18-2 78K0S/KA1+とFlashPro4/FlashPro5/QB-MINI2の配線表を変更, 注2を追加 ・図18-3 FlashPro4/FlashPro5/QB-MINI2との配線図を変更 ・専用フラッシュ・メモリ・プログラマからPG-FPL2を削除	

版 数	前版からの主な改版内容	適用箇所
第5版	図18-5 PG-FP5のGUIソフトウェア設定例を変更	第18章 フラッシュ・メモリ
	図18-7 通信コマンドを変更	
	表18-10 セルフ・プログラミング制御用コマンドに注を追加	
	章を追加	第19章 オンチップ・デバッグ機能
	・ X1発振回路特性の数値を変更 ・ CPUクロック，周辺クロック周波数の表を変更	第21章 電気的特性 (標準品，(A) 水準品)
	・ X1発振回路特性の数値を変更 ・ DC特性のロウ・レベル入力電圧のMAX.値を変更 ・ CPUクロック，周辺クロック周波数の表を変更	第22章 電気的特性 ((A2) 水準品)
	追加製品の外形図を追加	第23章 外形図
	追加製品の半田付け推奨条件を追加	第24章 半田付け推奨条件
	図A-1 開発ツール構成を変更	付録A 開発ツール
	A. 4 フラッシュ・メモリ書き込み用ツール ・ FlashPro5を追加 ・ PG-FPL2を削除	
	A. 5. 1 インサーキット・エミュレータ QB-78K0SKX1を使用する場合 ・ 開発中の表記を削除	
	旧版のA. 5. 3 インサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aを使用する場合，A. 5. 4 インサーキット・エミュレータ QB-78K0SKX1MINIを使用する場合を削除	
	A. 6 デバッグ用ツール（ソフトウェア）を変更	
	章を全面変更	付録B ターゲット・システム設計上の注意

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

—— お問い合わせ先 ——

【営業関係、デバイスの技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00、午後 1:00～5:00）

電 話 : (044)435-9494

E-mail : info@necel.com

【マイコン開発ツールの技術関係お問い合わせ先】

開発ツールサポートセンター

E-mail : toolsupport-micom@ml.necel.com