

# SH74582

ルネサスマイクロコンピュータ

R01DS0240JJ0111

Rev.1.11

2015.02.18

## 1. 概要

SH7458 グループは、ルネサスオリジナルの RISC (reduced instruction set computer) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

SH7458 グループは、SH7456 グループの製品仕様をベースとしています。本資料に SH7456 グループと SH7458 グループの違いを示します。SH7456 グループの製品仕様は「SH7455 グループ、SH7456 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (2011.09.16)」を参照してください。

※以下、太字部分（網掛け文字）は、ベース品種との差異部分です。

表 1.1 製品一覧

グループ	製品名	型名	CPU 周波数	内蔵メモリ容量	パッケージ	FlexRay	動作温度(Ta)
SH7458	SH74582	R5F74582KBG	160MHz	ROM : 1M バイト, IL memory : 8K バイト, OL memory : 16K バイト, SHwyRAM : <b>512K</b> バイト	PRBG0176GA-A	<b>Yes</b>	-40 ~ +125°C
SH7455	SH74552	R5F74552KBG		ROM : 1M バイト, IL memory : 8K バイト, OL memory : 16K バイト, SHwyRAM : 256K バイト		Yes	
SH7456	SH74562	R5F74562KBG		ROM : 1M バイト, IL memory : 8K バイト, OL memory : 16K バイト, SHwyRAM : 256K バイト		No	
SH7457	SH74572	R5F74572LBG	240MHz	ROM : 1M バイト, IL memory : 8K バイト, OL memory : 16K バイト, SHwyRAM : 256K バイト		Yes	-40 ~ +105°C
SH7459	SH74593	R5F74593LBG		ROM : 1.5M バイト, IL memory : 8K バイト, OL memory : 16K バイト, SHwyRAM : 512K バイト			

## 2. 詳細内容

SH7458 グループは、SH7456 グループの製品仕様をベースとしています。表 2.1 に SH74562 と SH74582 の違いを示します。SH7456 グループの製品仕様は「SH7455 グループ、SH7456 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (2011.09.16)」を参照してください。

表 2.1 SH74562とSH74582の仕様差異

ページ	内容
1-1	<ul style="list-style-type: none"> <li>1.1 特長</li> <li>製品名 <u>スーパーハイウェイ RAM(SHwyRAM)容量</u></li> <li>SH74562 256K バイト</li> <li>SH74582 <b>512K</b> バイト</li> </ul>
1-4	<ul style="list-style-type: none"> <li>表 1.1 仕様概要のRAM</li> <li>製品名 <u>SRAM 容量</u></li> <li>SH74562 256K バイト</li> <li>SH74582 <b>512K</b> バイト</li> </ul>
1-7	<ul style="list-style-type: none"> <li>表 1.1 仕様概要のFlexRay</li> <li>製品名 <u>FlexRay チャンネル数</u></li> <li>SH74562 なし : SH7456 グループ</li> <li>SH74582 <b>2 チャンネル</b> : <b>SH7458</b> グループ</li> </ul>

ページ	内容																						
1-8	<ul style="list-style-type: none"> <li>表1.2 製品一覧表</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>型名</th> <th>SHwyRAM 容量</th> <th>FlexRay</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>R5F74562KBG</td> <td>256K バイト</td> <td>なし</td> </tr> <tr> <td>SH74582</td> <td><b>R5F74582KBG</b></td> <td><b>512K バイト</b></td> <td><b>あり</b></td> </tr> </tbody> </table> <p>詳細は「付録 A」を参照してください。</p>	製品名	型名	SHwyRAM 容量	FlexRay	SH74562	R5F74562KBG	256K バイト	なし	SH74582	<b>R5F74582KBG</b>	<b>512K バイト</b>	<b>あり</b>										
製品名	型名	SHwyRAM 容量	FlexRay																				
SH74562	R5F74562KBG	256K バイト	なし																				
SH74582	<b>R5F74582KBG</b>	<b>512K バイト</b>	<b>あり</b>																				
1-9	<ul style="list-style-type: none"> <li>図1.1 ブロック図</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>SHwyRAM 容量</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>SHwyRAM (256K バイト)</td> </tr> <tr> <td>SH74582</td> <td>SHwyRAM (<b>512K</b> バイト)</td> </tr> </tbody> </table>	製品名	SHwyRAM 容量	SH74562	SHwyRAM (256K バイト)	SH74582	SHwyRAM ( <b>512K</b> バイト)																
製品名	SHwyRAM 容量																						
SH74562	SHwyRAM (256K バイト)																						
SH74582	SHwyRAM ( <b>512K</b> バイト)																						
11-2	<ul style="list-style-type: none"> <li>図11.2 アドレス空間 (P0/U0領域) の29ビット物理アドレス空間 (シングルチップ)</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>SHwyRAM 容量 (先頭アドレス - 終了アドレス)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>256K バイト (H'1800 0000 - H'1803 FFFF)</td> </tr> <tr> <td>SH74582</td> <td><b>512K</b> バイト (H'1800 0000 - <b>H'1807 FFFF</b>)</td> </tr> </tbody> </table> <p>詳細は「付録 B.1」を参照してください。</p>	製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)	SH74562	256K バイト (H'1800 0000 - H'1803 FFFF)	SH74582	<b>512K</b> バイト (H'1800 0000 - <b>H'1807 FFFF</b> )																
製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)																						
SH74562	256K バイト (H'1800 0000 - H'1803 FFFF)																						
SH74582	<b>512K</b> バイト (H'1800 0000 - <b>H'1807 FFFF</b> )																						
11-3	<ul style="list-style-type: none"> <li>図11.3 アドレス空間 (P1領域) の29ビット物理アドレス空間 (シングルチップ)</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>SHwyRAM 容量 (先頭アドレス - 終了アドレス)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>256K バイト (H'9800 0000 - H'9803 FFFF)</td> </tr> <tr> <td>SH74582</td> <td><b>512K</b> バイト (H'9800 0000 - <b>H'9807 FFFF</b>)</td> </tr> </tbody> </table> <p>詳細は「付録 B.2」を参照してください。</p>	製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)	SH74562	256K バイト (H'9800 0000 - H'9803 FFFF)	SH74582	<b>512K</b> バイト (H'9800 0000 - <b>H'9807 FFFF</b> )																
製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)																						
SH74562	256K バイト (H'9800 0000 - H'9803 FFFF)																						
SH74582	<b>512K</b> バイト (H'9800 0000 - <b>H'9807 FFFF</b> )																						
11-4	<ul style="list-style-type: none"> <li>図11.4 アドレス空間 (P2領域) の29ビット物理アドレス空間 (シングルチップ)</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>SHwyRAM 容量 (先頭アドレス - 終了アドレス)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>256K バイト (H'B800 0000 - H'B803 FFFF)</td> </tr> <tr> <td>SH74582</td> <td><b>512K</b> バイト (H'B800 0000 - <b>H'B807 FFFF</b>)</td> </tr> </tbody> </table> <p>詳細は「付録 B.3」を参照してください。</p>	製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)	SH74562	256K バイト (H'B800 0000 - H'B803 FFFF)	SH74582	<b>512K</b> バイト (H'B800 0000 - <b>H'B807 FFFF</b> )																
製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)																						
SH74562	256K バイト (H'B800 0000 - H'B803 FFFF)																						
SH74582	<b>512K</b> バイト (H'B800 0000 - <b>H'B807 FFFF</b> )																						
11-5	<ul style="list-style-type: none"> <li>図11.5 アドレス空間 (P3領域) の29ビット物理アドレス空間 (シングルチップ)</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>SHwyRAM 容量 (先頭アドレス - 終了アドレス)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>256K バイト (H'D800 0000 - H'D803 FFFF)</td> </tr> <tr> <td>SH74582</td> <td><b>512K</b> バイト (H'D800 0000 - <b>H'D807 FFFF</b>)</td> </tr> </tbody> </table> <p>詳細は「付録 B.4」を参照してください。</p>	製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)	SH74562	256K バイト (H'D800 0000 - H'D803 FFFF)	SH74582	<b>512K</b> バイト (H'D800 0000 - <b>H'D807 FFFF</b> )																
製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)																						
SH74562	256K バイト (H'D800 0000 - H'D803 FFFF)																						
SH74582	<b>512K</b> バイト (H'D800 0000 - <b>H'D807 FFFF</b> )																						
13-1	<ul style="list-style-type: none"> <li>13.1 概要</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>SHwyRAM ページ構成</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>64K バイト単位 (0~3 ページ)</td> </tr> <tr> <td>SH74582</td> <td>64K バイト単位 (<b>0~7</b> ページ)</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>図13.1 SHwyRAMのブロック図 のメモリ部</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>ページ数 [容量]</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>ページ 3 [64K バイト]</td> </tr> <tr> <td>SH74582</td> <td><b>ページ 7</b> [64K バイト]</td> </tr> </tbody> </table>	製品名	SHwyRAM ページ構成	SH74562	64K バイト単位 (0~3 ページ)	SH74582	64K バイト単位 ( <b>0~7</b> ページ)	製品名	ページ数 [容量]	SH74562	ページ 3 [64K バイト]	SH74582	<b>ページ 7</b> [64K バイト]										
製品名	SHwyRAM ページ構成																						
SH74562	64K バイト単位 (0~3 ページ)																						
SH74582	64K バイト単位 ( <b>0~7</b> ページ)																						
製品名	ページ数 [容量]																						
SH74562	ページ 3 [64K バイト]																						
SH74582	<b>ページ 7</b> [64K バイト]																						
13-1 13-2	<ul style="list-style-type: none"> <li>13.1 概要</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>SHwyRAM 割り付け</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>上位 256K バイト (29 ビット物理アドレス空間の H'1800 0000~H'1803 FFFF)</td> </tr> <tr> <td>SH74582</td> <td>上位 <b>512K</b> バイト (29 ビット物理アドレス空間の H'1800 0000~<b>H'1807 FFFF</b>)</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>図13.2 アドレス空間 (29ビット物理アドレス空間 (エリア6))</li> </ul> <table border="1"> <thead> <tr> <th>製品名</th> <th>SHwyRAM 容量 (先頭アドレス - 終了アドレス)</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>256K バイト (H'1800 0000 ~ H'1803 FFFF)</td> </tr> <tr> <td>SH74582</td> <td><b>512K</b> バイト (H'1800 0000 ~ <b>H'1807 FFFF</b>)</td> </tr> </tbody> </table> <p>以下のページ追加</p> <table border="1"> <thead> <tr> <th>ページ</th> <th>アドレス (29 ビット物理アドレス)</th> </tr> </thead> <tbody> <tr> <td>ページ 4</td> <td><b>H'1804 0000 - H'1804 FFFF</b></td> </tr> <tr> <td>ページ 5</td> <td><b>H'1805 0000 - H'1805 FFFF</b></td> </tr> <tr> <td>ページ 6</td> <td><b>H'1806 0000 - H'1806 FFFF</b></td> </tr> <tr> <td>ページ 7</td> <td><b>H'1807 0000 - H'1807 FFFF</b></td> </tr> </tbody> </table> <p>詳細は「付録 C」を参照してください。</p>	製品名	SHwyRAM 割り付け	SH74562	上位 256K バイト (29 ビット物理アドレス空間の H'1800 0000~H'1803 FFFF)	SH74582	上位 <b>512K</b> バイト (29 ビット物理アドレス空間の H'1800 0000~ <b>H'1807 FFFF</b> )	製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)	SH74562	256K バイト (H'1800 0000 ~ H'1803 FFFF)	SH74582	<b>512K</b> バイト (H'1800 0000 ~ <b>H'1807 FFFF</b> )	ページ	アドレス (29 ビット物理アドレス)	ページ 4	<b>H'1804 0000 - H'1804 FFFF</b>	ページ 5	<b>H'1805 0000 - H'1805 FFFF</b>	ページ 6	<b>H'1806 0000 - H'1806 FFFF</b>	ページ 7	<b>H'1807 0000 - H'1807 FFFF</b>
製品名	SHwyRAM 割り付け																						
SH74562	上位 256K バイト (29 ビット物理アドレス空間の H'1800 0000~H'1803 FFFF)																						
SH74582	上位 <b>512K</b> バイト (29 ビット物理アドレス空間の H'1800 0000~ <b>H'1807 FFFF</b> )																						
製品名	SHwyRAM 容量 (先頭アドレス - 終了アドレス)																						
SH74562	256K バイト (H'1800 0000 ~ H'1803 FFFF)																						
SH74582	<b>512K</b> バイト (H'1800 0000 ~ <b>H'1807 FFFF</b> )																						
ページ	アドレス (29 ビット物理アドレス)																						
ページ 4	<b>H'1804 0000 - H'1804 FFFF</b>																						
ページ 5	<b>H'1805 0000 - H'1805 FFFF</b>																						
ページ 6	<b>H'1806 0000 - H'1806 FFFF</b>																						
ページ 7	<b>H'1807 0000 - H'1807 FFFF</b>																						

ページ	内容						
28-1	<ul style="list-style-type: none"> <li>表28.1 DRliの概要</li> </ul> <table border="1" data-bbox="264 210 778 304"> <thead> <tr> <th>製品名</th> <th>アクセス領域</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>SHwyRAM 全領域 (256K バイト)</td> </tr> <tr> <td>SH74582</td> <td>SHwyRAM 全領域 (<b>512K</b> バイト)</td> </tr> </tbody> </table> <p>詳細は「付録D.1」を参照してください。</p>	製品名	アクセス領域	SH74562	SHwyRAM 全領域 (256K バイト)	SH74582	SHwyRAM 全領域 ( <b>512K</b> バイト)
製品名	アクセス領域						
SH74562	SHwyRAM 全領域 (256K バイト)						
SH74582	SHwyRAM 全領域 ( <b>512K</b> バイト)						
28-47	<ul style="list-style-type: none"> <li>28.3.23 DRliアドレスリロードレジスタ0,1 (DRIiADR0RLD, DRIiADR1RLD) のDRIADmRLDビット</li> </ul> <table border="1" data-bbox="264 396 932 490"> <thead> <tr> <th>製品名</th> <th>アクセス領域</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>アドレス 18~2 リロード値 (256K バイト領域)</td> </tr> <tr> <td>SH74582</td> <td>アドレス 18~2 リロード値 (<b>512K</b> バイト領域)</td> </tr> </tbody> </table> <p>詳細は「付録D.2」を参照してください。</p>	製品名	アクセス領域	SH74562	アドレス 18~2 リロード値 (256K バイト領域)	SH74582	アドレス 18~2 リロード値 ( <b>512K</b> バイト領域)
製品名	アクセス領域						
SH74562	アドレス 18~2 リロード値 (256K バイト領域)						
SH74582	アドレス 18~2 リロード値 ( <b>512K</b> バイト領域)						
28-48	<ul style="list-style-type: none"> <li>28.3.24 DRliアドレスカウンタ0,1 (DRIiADR0CT, DRIiADR1CT) のDRIADnビット</li> </ul> <table border="1" data-bbox="264 582 1024 676"> <thead> <tr> <th>製品名</th> <th>アクセス領域</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>デスティネーションアドレスの 18~2 (256K バイト領域)</td> </tr> <tr> <td>SH74582</td> <td>デスティネーションアドレスの 18~2 (<b>512K</b> バイト領域)</td> </tr> </tbody> </table> <p>詳細は「付録D.3」を参照してください。</p>	製品名	アクセス領域	SH74562	デスティネーションアドレスの 18~2 (256K バイト領域)	SH74582	デスティネーションアドレスの 18~2 ( <b>512K</b> バイト領域)
製品名	アクセス領域						
SH74562	デスティネーションアドレスの 18~2 (256K バイト領域)						
SH74582	デスティネーションアドレスの 18~2 ( <b>512K</b> バイト領域)						
29-1	<ul style="list-style-type: none"> <li>表29.1 DROの概要</li> </ul> <table border="1" data-bbox="264 768 778 862"> <thead> <tr> <th>製品名</th> <th>アクセス領域</th> </tr> </thead> <tbody> <tr> <td>SH74562</td> <td>SHwyRAM 全領域 (256K バイト)</td> </tr> <tr> <td>SH74582</td> <td>SHwyRAM 全領域 (<b>512K</b> バイト)</td> </tr> </tbody> </table> <p>詳細は「付録E」を参照してください。</p>	製品名	アクセス領域	SH74562	SHwyRAM 全領域 (256K バイト)	SH74582	SHwyRAM 全領域 ( <b>512K</b> バイト)
製品名	アクセス領域						
SH74562	SHwyRAM 全領域 (256K バイト)						
SH74582	SHwyRAM 全領域 ( <b>512K</b> バイト)						

## 付録 A.

## 1. 概要

## 1.2 製品一覧

表 1.2 に製品一覧表を示します。

表 1.2 製品一覧表

製品名	型名	ROM 容量	RAM 容量	パッケージ	FlexRay
SH74552	R5F74552KBG	1 M バイト	IL メモリ : 8 K バイト+	PRBG0176GA-A	あり
SH74562	R5F74562KBG		OL メモリ : 16 K バイト+		なし
SH74572	R5F74572LBG		SHwyRAM : 256 K バイト		あり
<b>SH74582</b>	<b>R5F74582KBG</b>		IL メモリ : 8 K バイト+		<b>あり</b>
			OL メモリ : 16 K バイト+		
			SHwyRAM : <b>512</b> K バイト		
SH74593	R5F74593LBG	1.5 M バイト	IL メモリ : 8 K バイト+		あり
			OL メモリ : 16 K バイト+		
			SHwyRAM : 512 K バイト		

## 付録 B.

## 付録 B.1

## 11. アドレス空間

P0/U0領域～P4領域の詳細は図11.2～図11.6を参照してください。

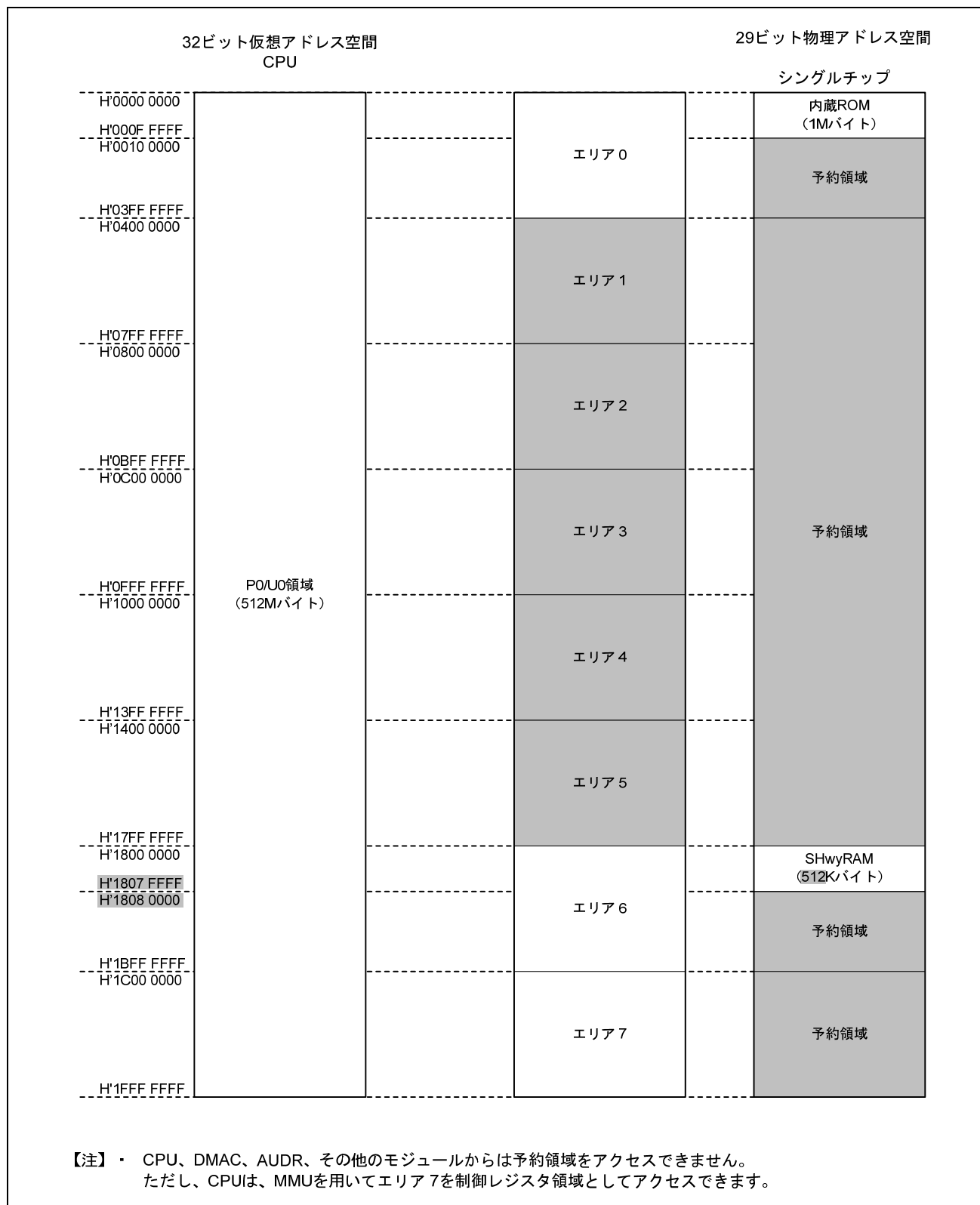


図 11.2 アドレス空間 (P0/U0 領域)

## 付録 B.2

## 11. アドレス空間

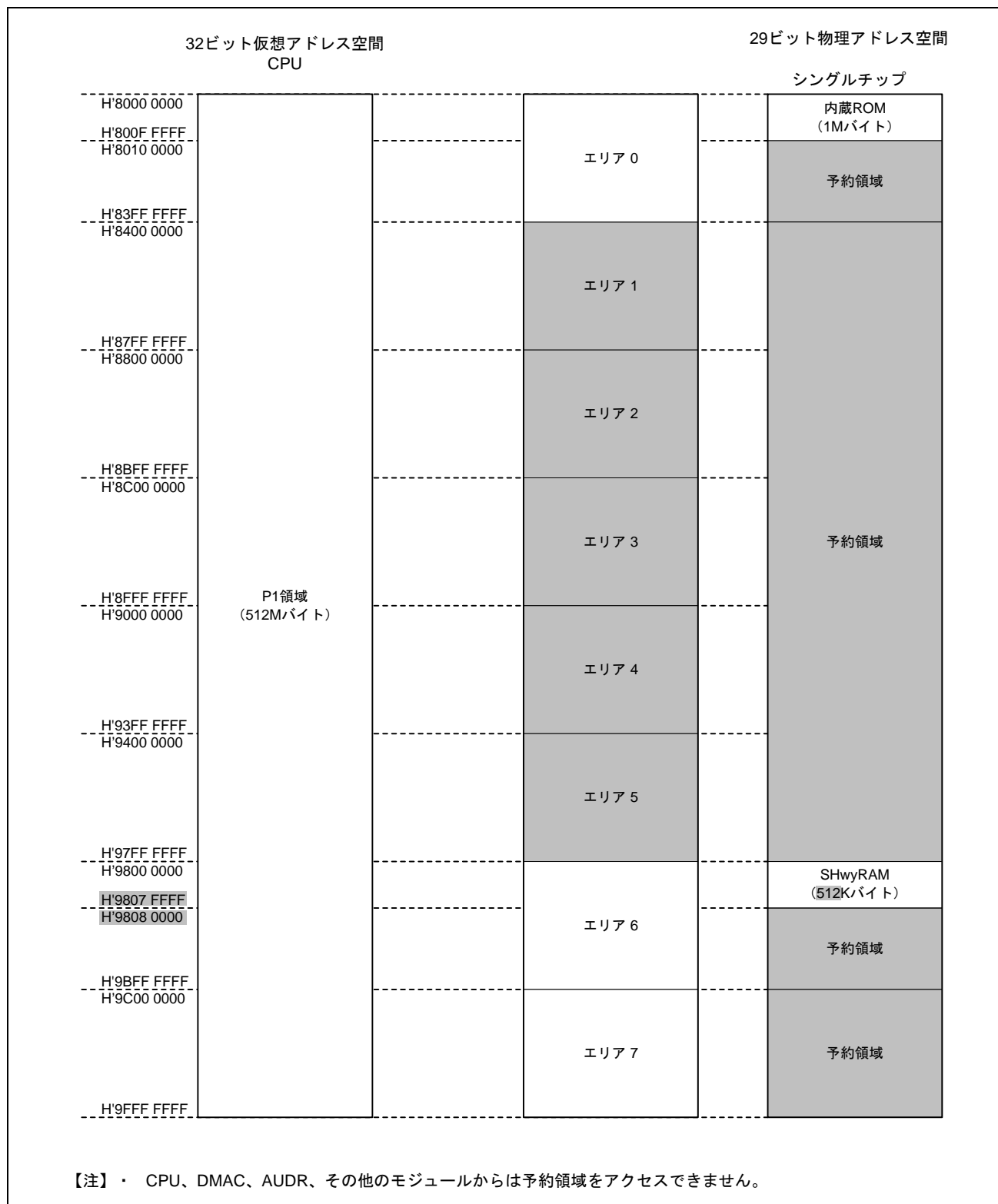


図 11.3 アドレス空間 (P1 領域)

## 付録 B.3

## 11. アドレス空間

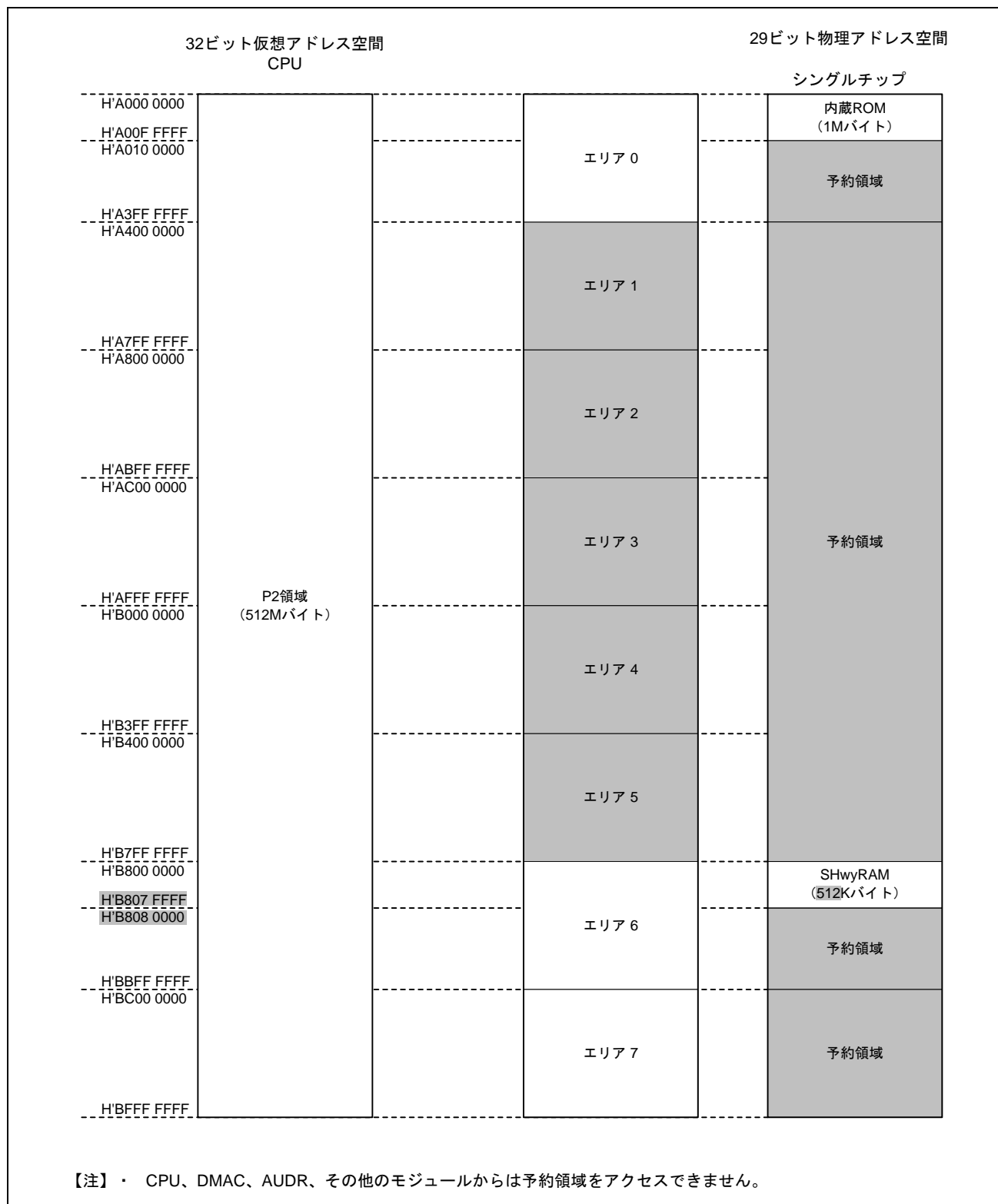


図 11.4 アドレス空間 (P2 領域)

## 付録 B.4

## 11. アドレス空間

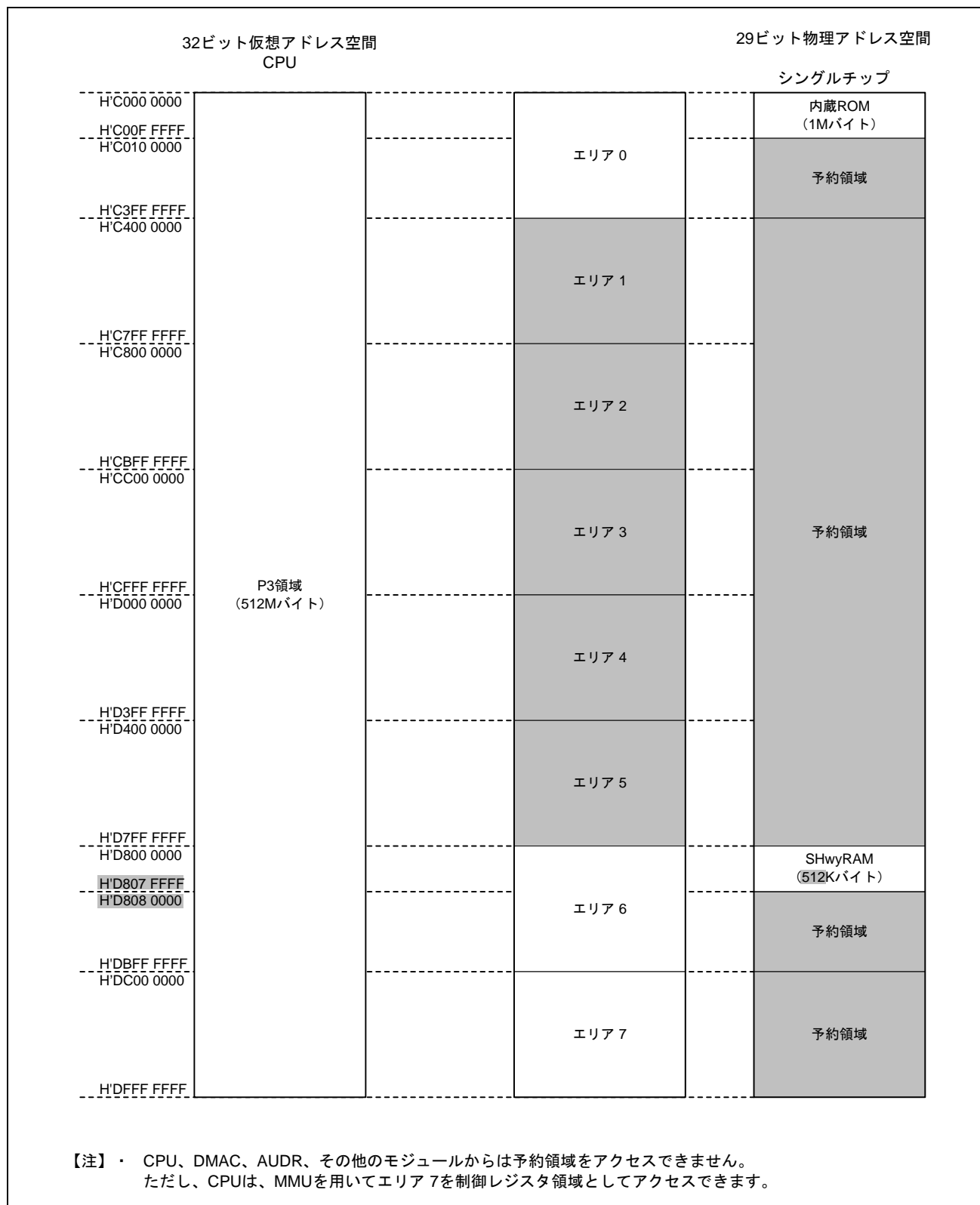


図 11.5 アドレス空間 (P3 領域)



## 付録 C.

## 13. スーパーハイスウェイ RAM (SHwyRAM)

## 13.1 概要

SHwyRAMは、図13.2に示すとおりエリア6の上位512Kバイト（29ビット物理アドレス空間のH'1800 0000～H'1807 FFFF）に割り付けられています。

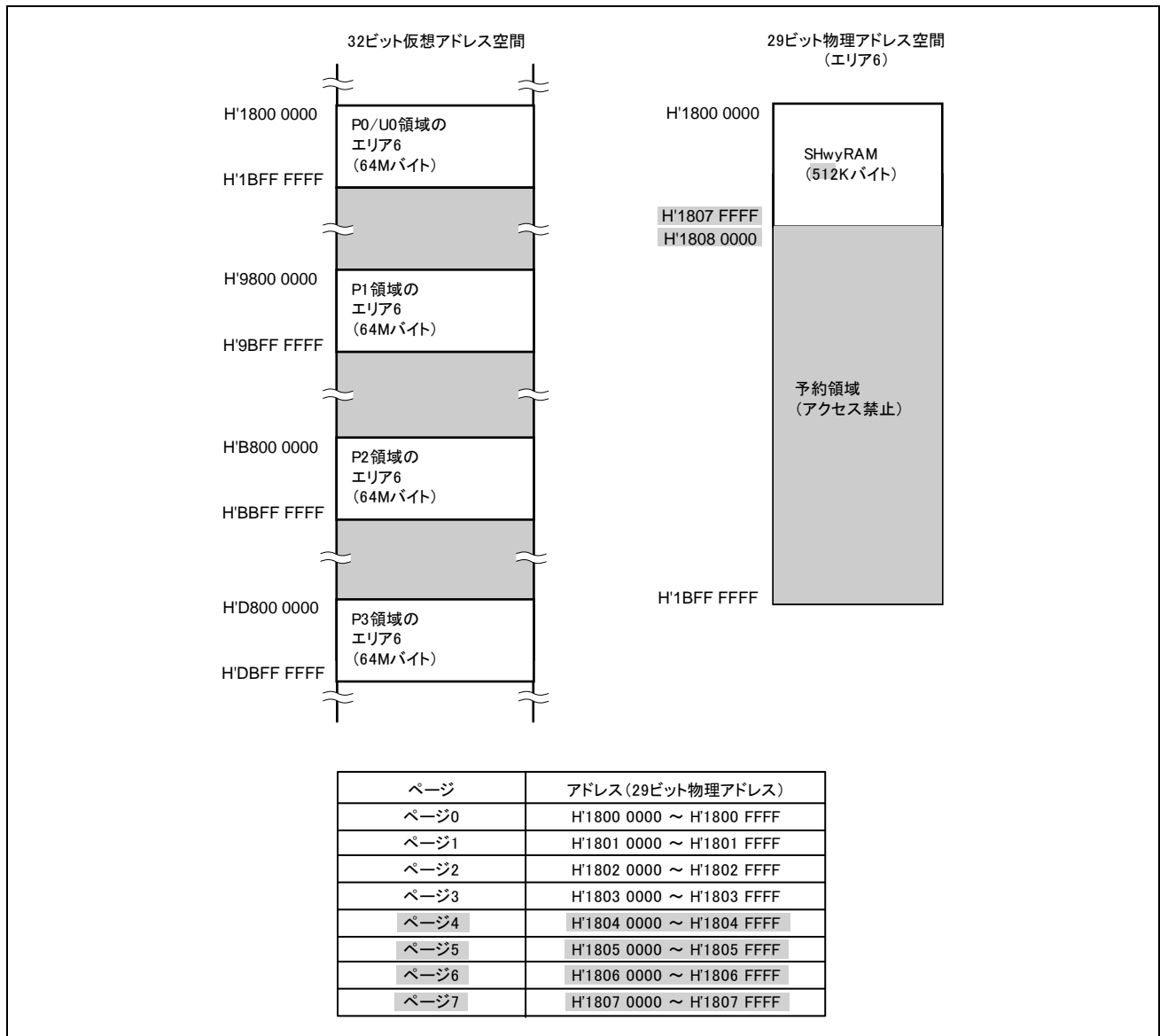


図 13.2 アドレス空間

## 付録 D.

## 28. ダイレクト RAM インพุットインタフェース (DRI)

## 付録 D.1

## 28.1 概要

表28.1にDRIiの概要、表28.2にDRIiの割り込み要求、DMA転送要求発生機能を示します。

表 28.1 DRIi の概要

項目	概要
チャンネル数	3 チャンネル
動作周波数	80MHz (PAck=80MHz 時)
転送方式	クロック同期型パラレル入力
アクセス領域	SHwyRAM 全領域 (512K バイト)
最大転送速度	80M バイト/秒 (DRIi 動作周波数が 80MHz のとき)
データ取り込み最小周期	下記いずれも DRIi 動作周波数が 80MHz のときの最小周期です。 43.75ns (特殊モード禁止、入力データバス幅 16/8 ビット時) 25ns (特殊モード許可時)
データ取り込みバス幅	16、8 ビット
イベントカウンタ	16 ビット×6 本 (DEC5~DEC0)
バンク切り替え機能	データ格納先を SHwyRAM 上に 2 バンク指定可能
データ取り込みエッジ	立ち上がり、立ち下がり、両エッジから選択
取り込みタイミング調整機能	データ取り込みエッジ検出からデータ取り込みまでのタイミングを設定可能
間引き制御機能	イベントカウンタ (DEC5~DEC0) を使用して選択的にデータ取り込み可能

## 付録 D.2

## 28.3.23 DRiI アドレスリロードレジスタ 0、1 (DRiIADR0RLD、DRiIADR1RLD)

DRiIADR0CT、DRiIADR1CTカウンタのリロード値を格納するレジスタです。DRiI転送制御レジスタ (DRiITRMCNT) のADMD (アドレスカウンタ動作モード選択) ビットでリロードモードを選択した場合、DRiIデータ取り込み制御レジスタ (DRiIDCAPCNT) のDCPEN (取り込み許可) ビットが"0"から"1"へ変化したときに、ここに設定した値が対応するDRiIアドレスカウンタにリロードされます。

【注】・ このレジスタの書き換えは、DRiIデータ取り込み制御レジスタ (DRiIDCAPCNT) のDCPEN (取り込み許可) ビットが"0"の状態で行ってください。

DRiI0アドレスリロードレジスタ0 (DRiI0ADR0RLD) <P4領域アドレス : H'FFBF C024番地>  
 DRiI1アドレスリロードレジスタ0 (DRiI1ADR0RLD) <P4領域アドレス : H'FFBF D024番地>  
 DRiI2アドレスリロードレジスタ0 (DRiI2ADR0RLD) <P4領域アドレス : H'FFBF E024番地>

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16  
 — — — — — — — — — — — — — — DRIAD0RLD  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 — — — — — — — — — — — — — — — — DRIAD0RLD  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

DRiI0アドレスリロードレジスタ1 (DRiI0ADR1RLD) <P4領域アドレス : H'FFBF C02C番地>  
 DRiI1アドレスリロードレジスタ1 (DRiI1ADR1RLD) <P4領域アドレス : H'FFBF D02C番地>  
 DRiI2アドレスリロードレジスタ1 (DRiI2ADR1RLD) <P4領域アドレス : H'FFBF E02C番地>

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16  
 — — — — — — — — — — — — — — DRIAD1RLD  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 — — — — — — — — — — — — — — — — DRIAD1RLD  
 リセット後の値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18~2	DRIADmRLD	すべて0	R	W	アドレス 18~2 リロード値 (512K バイト領域)
1、0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 m=0、1

## 付録 D.3

## 28.3.24 DRli アドレスカウンタ 0、1 (DRliADR0CT、DRliADR1CT)

DRliADR0CT、DRliADR1CTカウンタは、DRli転送先であるSHwyRAM上のアドレスのA18~A2を指定するためのカウンタで、A31~A19は"0"固定となっています。DRli転送が完了するたびに+4されます。DRliアドレスカウンタには2つの動作モードがあり、DRli転送制御レジスタ (DRliTRMCNT) のADMDビットでモード選択できます。

- 【注】・ DRli アドレスカウンタ値が SHwyRAM の配置されている領域以外の値であった場合、DRli はあたかも DRli 転送が完了したかのように動作しますが、取り込みデータの書き込みはどこにも行われません。
- ・ DRli 転送が完了したとき+4 される DRli アドレスカウンタは、DRli 転送制御レジスタ (DRliTRMCNT) の ADSL (アドレスカウンタ選択) ビットの設定により、そのときアクティブなものに対して行われます。
  - ・ このレジスタの書き換えは、必ず DRli 転送カウンタ (DRliTRMCT) がアンダフロー (H'0000 0000 : カウンタ停止) した状態で行ってください。

DRli0 アドレスカウンタ0 (DRli0ADR0CT)  
DRli1 アドレスカウンタ0 (DRli1ADR0CT)  
DRli2 アドレスカウンタ0 (DRli2ADR0CT)

<P4領域アドレス : H'FFBF C028番地>  
<P4領域アドレス : H'FFBF D028番地>  
<P4領域アドレス : H'FFBF E028番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRIAD0		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRIAD0														—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DRli0 アドレスカウンタ1 (DRli0ADR1CT)  
DRli1 アドレスカウンタ1 (DRli1ADR1CT)  
DRli2 アドレスカウンタ1 (DRli2ADR1CT)

<P4領域アドレス : H'FFBF C030番地>  
<P4領域アドレス : H'FFBF D030番地>  
<P4領域アドレス : H'FFBF E030番地>

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRIAD1		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRIAD1														—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット後の値 : H'0000 0000>

ビット	シンボル	リセット後の値	R	W	説明
31~19	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。
18~2	DRIADn	すべて0	R	W	デスティネーションアドレスの 18~2 (512K バイト領域)
1、0	—	すべて0	0	0	予約ビット 読み出すと常に"0"が読み出されます。書き込む値も常に"0"にしてください。

【記号説明】 n=0、1

## 付録 E.

## 29. ダイレクト RAM アウトプットインタフェース (DRO)

## 29.1 概要

表29.1にDROの概要を示します。

表 29.1 DRO の概要

項目	概要
転送方式	ストローブ方式パラレル出力
アクセス領域	SHwyRAM 全領域 (512K バイト)
出力データ幅	8 ビットと 16 ビットから選択
最大転送クロック	10MHz
最大転送レート	20M バイト/秒 (16 ビット幅選択時、Pck = 40MHz 時)
ストローブ極性	"H"アクティブ/"L"アクティブから選択
タイミング調整機能	ストローブエッジに対して、セットアップおよびホールドを 1Pck 単位でプログラム可能
割り込み要求	あらかじめ設定した数のデータ出力が完了した時点で割り込み要求を発生

改訂記録	SH74582 データシート
------	----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2014.10.20	-	初版発行
1.11	2015.02.18	1	R5F74572LBG の SHwyRAM 容量を訂正。(誤)512K → (正)256K

すべての商標および登録商標は、それぞれの所有者に帰属します。