

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/300L SLP シリーズ

インターバル機能による 8 ビットカウンタのカウントアップ

要旨

タイマ A のインターバル機能を使用して、RAM に設定した 8 ビットのカウンタのカウントアップを行います。初期値の H'00 からカウントアップを始めて、H'FF までカウントを行なうと、H'00 にイニシャライズして再びカウントアップを続けます。

動作確認デバイス

H8/38024

目次

1. 仕様	2
2. 使用機能説明	2
3. 動作説明	3
4. ソフトウェア説明	4
5. フローチャート	5
6. プログラムリスト	6

1. 仕様

- (1) タイマ A のインターバル機能を使用して、RAM に設定した 8 ビットのカウンタのカウントアップを行ないます。
- (2) タイマカウンタ A (TCA) のオーバーフローによりタイマ A 割込みを発生させ、タイマ A 割込み処理の中で RAM に設定したカウンタのカウントアップ、またはイニシャライズを行ないます。
- (3) RAM に設定するカウンタは、8 ビットのカウンタとし、初期値の H'00 からカウントアップを始めて、H'FF までカウントを行なうと、H'00 にイニシャライズして再びカウントアップを継続します。
- (4) タイマ A 割込みは、104.858ms ごとに発生するように設定します。

2. 使用機能説明

- (1) 本タスク例では、タイマ A インターバル機能を使用して、8 ビットカウンタのカウントアップを行ないません。図 1 にタイマ A インターバル機能のブロック図を示します。以下にタイマ A インターバル機能のブロック図について説明します。

- システムクロック()は、5MHz のクロックで、CPU および周辺機能を動作させるための基準クロックです。
- プリスケアラ S(PSS)は、 を入力とする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。
- タイマモードレジスタ A (TMA) は、8 ビットのリード/ライト可能なレジスタで、プリスケアラ、入力クロックの選択を行ないません。本タスク例では、プリスケアラに PSS を、プリスケアラ分周比に 2048 分周を選択しています。
- タイマカウンタ A (TCA) は、8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。TCA がオーバーフローすると、割込み要求レジスタ 1 (IRR1) のタイマ A オーバーフロー割込み要求 (IRR1TA) が"1"にセットされます。
- タイマ A オーバーフロー割込み要求フラグ (IRR1TA) は、TCA がオーバーフローすることにより"1"にセットされます。IRR1TA が"1"にセットされていて、割込み許可レジスタ 1 (IENR1) のタイマ A 割込みイネーブル (IENTA) が"1"で、かつコンディションコードレジスタ (CCR) の I ビットが"0"にクリアされている場合にタイマ A 割込みが受け付けられ、タイマ A 割込み処理を開始します。
- 以下に、本タスク例における TCA のオーバーフロー周期の計算法を示します。

$$\begin{aligned}
 \text{TCA オーバーフロー周期} &= \frac{1}{\text{システムクロック}/2048} \times 256 \\
 &= 104.858 \text{ ms}
 \end{aligned}$$

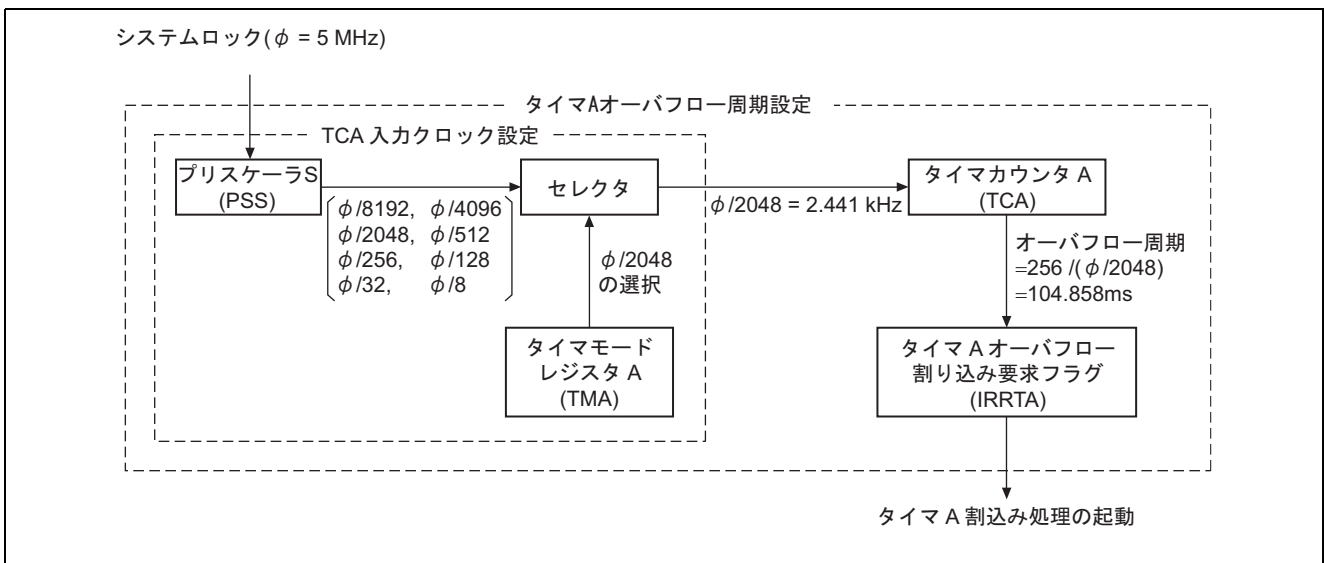


図 1 タイマ A インターバル機能ブロック図

(2) 表 1 に本タスク例の機能割付けを示します。表 1 に示すように機能を割付け、タイマ A インターバル機能による 8 ビットカウンタのカウントアップを行ないます。

表1 機能割付け

機能	機能割付け
PSS	システムクロック(5MHz)を入力とする 13 ビットのアップカウンタ
IENTA	タイマ A 割込み要求の許可
IRRTA	タイマ A 割込み要求の有無を反映
TMA	PSS の選択, およびプリスケアラ分周比の設定
TCA	システムクロック(5MHz)の 2048 分周を入力とする 8 ビットのアップカウンタ

3. 動作説明

(1) 図 2 に動作説明を示します。図 2 に示すようなハードウェア処理, およびソフトウェア処理によりタイマ A インターバル機能による 8 ビットカウンタのカウントアップを行ないます。

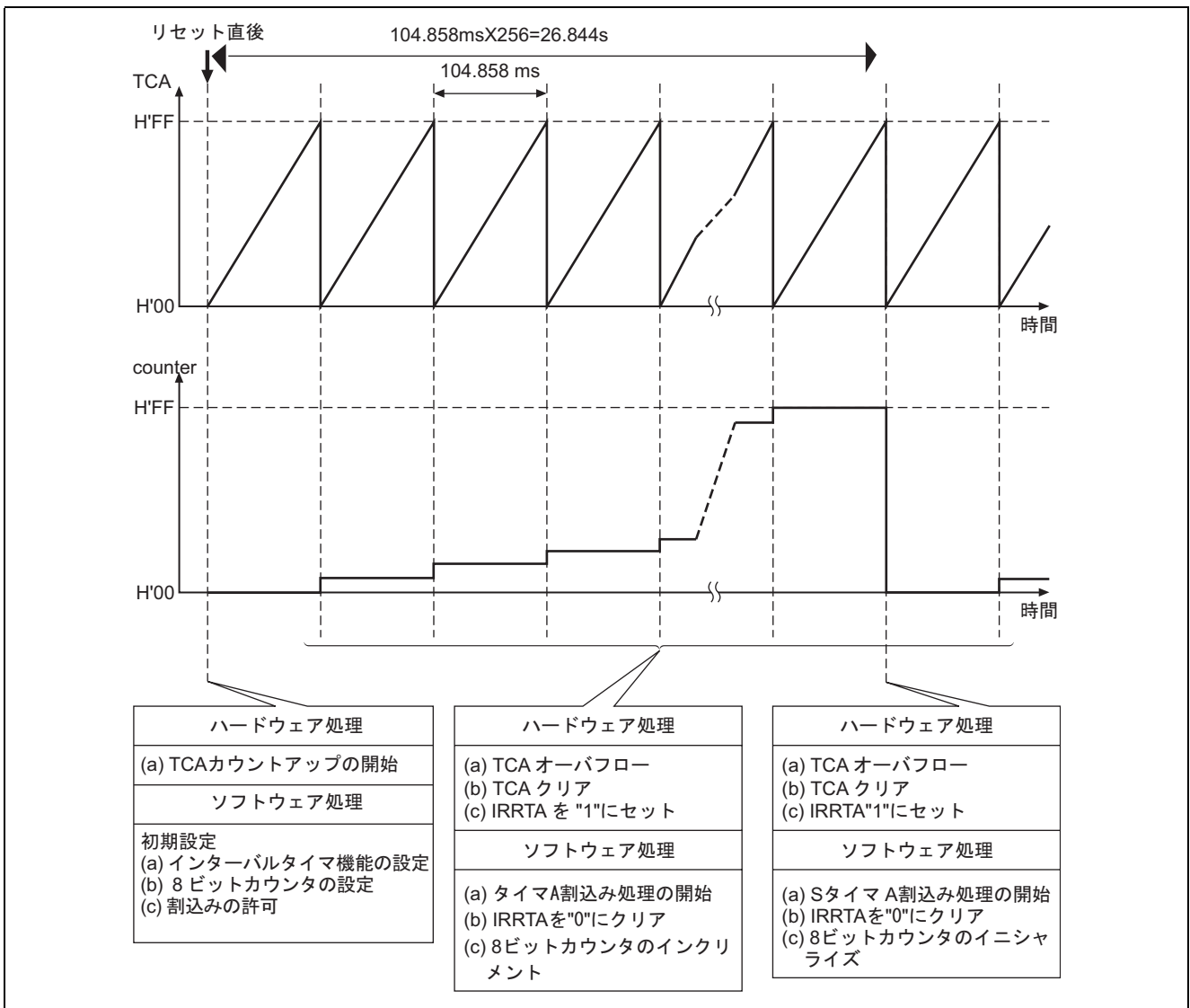


図 2 タイマ A インターバル機能による 8 ビットカウンタのカウントアップ動作の動作説明

4. ソフトウェア説明

(1) モジュール説明

本タスク例のモジュールを表 2 に示します。

表2 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main	インターバルタイマの設定, 8 ビットカウンタの設定, 割込みの許可を行なう
カウントアップ	taint	タイマ A 割込み処理ルーチンで, 8 ビットカウンタ(counter)のインクリメント, またはイニシャライズを行なう

(2) 引数の説明

本タスク例では, 引数を使用しません。

(3) 使用内部レジスタ説明

本タスク例の使用内部レジスタを表 3 に示します。

表3 使用内部レジスタ説明

レジスタ名		機能	アドレス	設定値
IENR1	IENTA	割込み許可レジスタ 1 (タイマ A 割込みイネーブル) : IENTA=0 のとき, タイマ A 割込み要求を禁止 : IENTA=1 のとき, タイマ A 割込み要求を許可	H'FFF3 ビット 7	1
IRR1	IRRRTA	割込み要求レジスタ 1 (タイマ A 割込み要求フラグ) : IRRRTA=0 のとき, タイマ A 割込みが要求されていない : IRRRTA=1 のとき, タイマ A 割込みが要求されている	H'FFF6 ビット 7	0
TMA		タイマモードレジスタ A : TMA=H'12 のとき, タイマ A 機能をインターバル機能に, TCA 入力クロックソースを PSS に, プリスケアラ分周比を 2048 分周に設定	H'FFB0	H'12
TCA		タイマカウンタ A : システムクロックの 2048 分周を入力とする 8 ビットのアップカウンタ	H'FFB1	H'00

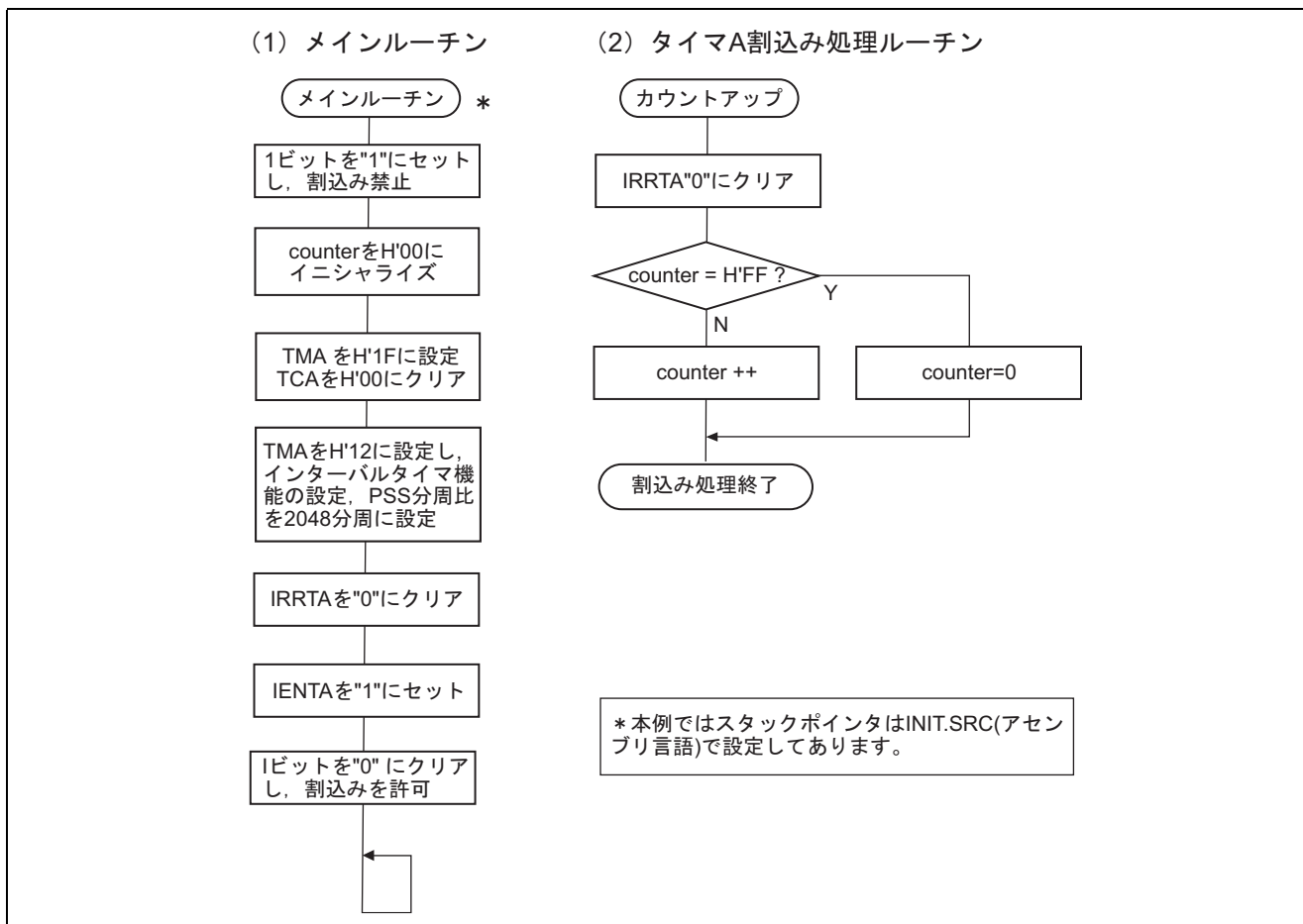
(4) 使用 RAM 説明

本タスク例の使用 RAM を表 4 に示します。

表4 使用 RAM 説明

ラベル名	機能	アドレス	使用モジュール名
counter	8 ビットカウンタ	H'FB80	メインルーチン カウントアップ

5. フローチャート



6. プログラムリスト

6.1 INIT.SRC (プログラムリスト)

```

.EXPORT  _INIT
.IMPORT  _main
;
.SECTION P, CODE
_INIT:
MOV.W   #H'FF80,R7
LDC.B   #B'10000000,CCR
JMP     @_main
;
.END

```

```

/*****/
/*                                     */
/* H8/300L Super Low Power Series      */
/*   -H8/38024 Series-                 */
/* Application Note                     */
/*                                     */
/* '8-bit Counter Count-Up by Interval */
/* Function                             */
/* :Timer A Interval Timer             */
/*                                     */
/* External Clock : 10MHz               */
/* Internal Clock : 5MHz                */
/* Sub Clock      : 32.768kHz           */
/*                                     */
/*****/

#include <machine.h>

/*****/
/* Symbol Definition                    */
/*****/
struct BIT {
    unsigned char  b7:1;    /* bit7 */
    unsigned char  b6:1;    /* bit6 */
    unsigned char  b5:1;    /* bit5 */
    unsigned char  b4:1;    /* bit4 */
    unsigned char  b3:1;    /* bit3 */
    unsigned char  b2:1;    /* bit2 */
    unsigned char  b1:1;    /* bit1 */
    unsigned char  b0:1;    /* bit0 */
};

#define TMA      *(volatile unsigned char *)0xFFB0 /* Timer Mode Register A */
#define TCA      *(volatile unsigned char *)0xFFB1 /* Timer Counter A */
#define IENR1_BIT (*(struct BIT *)0xFFF3) /* Interrupt Enable Register 1 */
#define IENTA    IENR1_BIT.b7 /* Timer A Interrupt Enable */
#define IRR1_BIT (*(struct BIT *)0xFFF6) /* Interrupt Request Register 1 */
#define IRRTA    IRR1_BIT.b7 /* Timer A Interrupt Request Flag */

#pragma interrupt (taint)

```



```

/*****/
/* Function define */
/*****/
extern void INIT ( void ); /* SP Set */
void main ( void );
void taint ( void );

/*****/
/* RAM define */
/*****/
unsigned char counter; /* 8bit Counter */

/*****/
/* Vector Address */
/*****/
#pragma section V1 /* VECTOR SECTOIN SET */
void (*const VEC_TBL1[])(void) = {
/* 0x00 - 0x0f */
INIT /* 00 Reset */
};
#pragma section V2 /* VECTOR SECTOIN SET */
void (*const VEC_TBL2[])(void) = {
taint /* 16 Timer A Interrupt */
};

#pragma section /* P */
/*****/
/* Main Program */
/*****/
void main ( void )
{
set_imask_ccr(1); /* Interrupt Disable */

counter = 0; /* Initialize 8bit Counter */

TMA = 0x1f; /* Initialize Timer Counter A */
TMA = 0x12; /* Initialize Timer A Function & TCA input clock period */

IRRTA = 0; /* Clear IRRTA */
IENTA = 1; /* Timer A Interrupt Enable */

set_imask_ccr(0); /* Interrupt Enable */

while(1){
;
}
}

/*****/
/* Timer A Interrupt */
/*****/
void taint ( void )
{
IRRTA = 0; /* Clear IRRTA */
}

```

```

if(counter == 0xff){
    counter = 0;
}
else{
    counter++;
}
}
  
```

/* 8bit Counter = 0xff? */

/* Clear 8bit Counter */

/* Increment 8bit Counter */

リンクアドレス指定

セクション名	アドレス
CV1	H'0000
CV2	H'0016
P	H'0100
B	H'FB80

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.12.19	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。