

RX651 グループ

R01AN3995JJ0110

Rev.1.10

SH7083/SH7084/SH7085/SH7086⇒RX651 マイコン移行ガイド

2020.12.21

要旨

本アプリケーションノートは、SH7083/SH7084/SH7085/SH7086 から RX651 への置き換えを行う場合の注意点、並びに相違点等を説明しています。なお、各機能の詳細な情報は最新のユーザーズマニュアル ハードウェア編にてご確認ください。

本文中では、SH7083/SH7084/SH7085/SH7086 を SH7080 グループと記載し、SH7086 の仕様を代表として記載しています。その他の SH7080 グループ製品も、機能および端子の有無の違いはありますが、機能としては SH7086 と同等ですので本資料を活用いただけます。

動作確認デバイス

RX651/RX65N

目次

1. CPU アーキテクチャ.....	5
1.1 システムレジスタ	5
1.1.1 汎用レジスタ.....	5
1.1.2 制御レジスタ.....	6
1.2 オプション設定メモリ	8
1.2.1 オプション設定メモリの概要	8
1.2.2 エンディアンの設定.....	10
1.2.3 TM 識別データの設定、TM イネーブルフラグの設定.....	10
1.2.4 OCD/シリアルプログラマの設定.....	11
1.3 リセット機能.....	12
1.3.1 リセット要因.....	12
1.3.2 リセット要因と初期化範囲	13
1.3.3 コールドスタート/ウォームスタート判定機能.....	14
1.3.4 ライトプロテクション	14
1.4 クロック設定.....	15
1.4.1 クロック源	15
1.4.2 クロック発生回路	15
1.4.3 ライトプロテクション	16
1.5 動作モード	17
1.5.1 動作モードの比較	17
1.5.2 メモリの比較.....	18
1.5.3 動作モード設定	21
1.5.4 ライトプロテクション	21
1.6 プロセッサモード	22
1.7 例外処理.....	23
1.7.1 例外処理の種類.....	23
1.7.2 例外処理の優先順位.....	23
1.7.3 例外処理の基本処理フロー	24
1.7.4 ベクタの構成.....	25

1.7.5	SR (SH7080 グループ) /PSW (RX651) の割り込みマスク	26
1.8	割り込み処理	27
1.8.1	仕様比較	27
1.8.2	割り込みフラグの管理	30
1.8.3	高速割り込み制御	31
1.8.4	ノイズ除去	32
1.8.5	多重割り込み	32
1.8.6	グループ割り込み	34
1.8.7	選択型割り込み	35
2.	内蔵機能	36
2.1	内蔵機能一覧	36
2.2	I/O ポート/ピンファンクションコントローラ (PFC)	38
2.2.1	I/O ポート数	38
2.2.2	I/O 設定	39
2.2.3	汎用入出力の設定例	44
2.3	バス	45
2.3.1	仕様比較	45
2.3.2	バスブロック図	46
2.3.3	SDRAM のリードライトの設定例	48
2.4	割り込みコントローラ	54
2.4.1	IRQ の設定例	54
2.5	データトランスファコントローラ (DTC)	55
2.5.1	仕様比較	55
2.5.2	レジスタ比較	56
2.5.3	起動要因設定	56
2.5.4	DTC ベクタの構成	57
2.5.5	転送情報の配置	58
2.5.6	モジュールストップ	59
2.5.7	ノーマル転送設定例	60
2.6	ダイレクトメモリアクセスコントローラ (DMAC)	63
2.6.1	仕様比較	63
2.6.2	DMAC ブロック図	64
2.6.3	レジスタ比較	67
2.6.4	起動要因設定	68
2.6.5	転送回数	68
2.6.6	転送元/先について	69
2.6.7	アドレスモード	70
2.6.8	バスモード	70
2.6.9	モジュールストップ	70
2.6.10	SCI と内蔵 RAM 間のデータ転送設定例	71
2.7	マルチファンクションタイマパルスユニット (MTU)	74
2.7.1	仕様比較	74
2.7.2	割り込み	75
2.7.3	レジスタ比較	76
2.7.4	モジュールストップ	78
2.7.5	アウトプットコンペアマッチ設定例	79

2.7.6	インプットキャプチャ設定例	81
2.8	ポートアウトプットイネーブル (POE)	85
2.8.1	仕様比較	85
2.8.2	入出力端子	86
2.8.3	レジスタ比較	87
2.8.4	発振停止検出検知によるハイインピーダンス制御	88
2.8.5	ハイインピーダンス制御条件の追加	88
2.8.6	割り込み	88
2.9	ウォッチドッグタイマ (WDT)	89
2.9.1	仕様比較	89
2.9.2	カウント開始条件	90
2.9.3	リフレッシュ動作	90
2.9.4	レジスタ書き込み制限	90
2.9.5	割り込み	90
2.9.6	全モジュールストップ	91
2.9.7	オプション設定	91
2.10	シリアルコミュニケーションインタフェース (SCI) /FIFO 付きシリアルコミュニケーション インタフェース (SCIF)	92
2.10.1	仕様比較	92
2.10.2	レジスタ比較	95
2.10.3	クロックソース選択	96
2.10.4	割り込み	97
2.10.5	モジュールストップ	97
2.10.6	調歩同期式通信設定例 (割り込み、ポーリング)	98
2.10.7	クロック同期式マスタ送信設定例 (割り込み、ポーリング)	105
2.10.8	クロック同期式スレーブ受信設定例 (割り込み、ポーリング)	109
2.10.9	(FIFO 付き) 調歩同期式通信設定例	113
2.10.10	(FIFO 付き) クロック同期式マスタ送信設定例	120
2.10.11	(FIFO 付き) クロック同期式スレーブ受信設定例	124
2.11	シンクロナスシリアルコミュニケーションユニット (SSU)	127
2.11.1	仕様比較	127
2.11.2	レジスタ比較	128
2.11.3	データレジスタの構成	129
2.11.4	入出力端子	129
2.11.5	RSPI の初期化	130
2.11.6	割り込み	130
2.11.7	モジュールストップ	130
2.11.8	SSU モード/SPI 動作 マスタ送受信設定例	131
2.11.9	クロック同期式マスタ送信設定例	137
2.11.10	クロック同期式スレーブ受信設定例	140
2.12	I2C バスインタフェース (IIC)	143
2.12.1	仕様比較	143
2.12.2	レジスタ比較	144
2.12.3	アドレス検出	145
2.12.4	アービトレーション検出	146
2.12.5	バスハングアップ	146
2.12.6	SCL クロック	146

2.12.7 ノイズ除去	147
2.12.8 割り込み	147
2.12.9 モジュールストップ	147
2.12.10 マスタ送受信設定例	148
2.12.11 スレーブ送受信設定例	155
2.13 A/D 変換器 (ADC)	158
2.13.1 仕様比較	158
2.13.2 入力チャネル	159
2.13.3 スキャン順序	159
2.13.4 動作モード	160
2.13.5 割り込み	160
2.13.6 モジュールストップ	161
2.13.7 連続スキャンモード設定例	162
2.14 コンペアマッチタイマ (CMT)	165
2.14.1 仕様比較	165
2.14.2 レジスタ比較	166
2.14.3 割り込み	166
2.14.4 モジュールストップ	166
2.14.5 コンペアマッチタイマ設定例	167
2.15 フラッシュメモリ	169
2.15.1 仕様比較	169
2.16 消費電力低減機能	170
2.16.1 仕様比較	170
2.16.2 モード遷移	171
2.16.3 モジュールストップ状態	172
2.16.4 ライトプロテクション	172
2.16.5 モード遷移設定例	173
3. サンプルコードについて	179
3.1 動作環境	179
3.2 サンプルコードの構成	180
4. 参考資料	182
4.1 参考資料	182

1. CPU アーキテクチャ

1.1 システムレジスタ

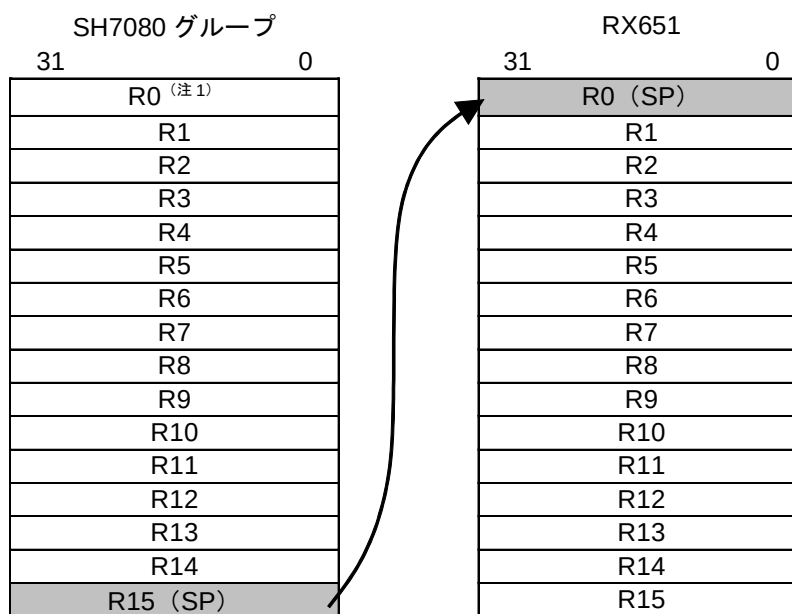
SH7080 グループと RX651 のレジスタの相違点を以下に示します。

1.1.1 汎用レジスタ

SH7080 グループと RX651 は、ともに 32 ビット長の汎用レジスタを 16 本備えています。相違点としては、スタックポインタ (SP) として使用されるレジスタが異なります。

- SH7080 グループ : R15
- RX651 : R0

SH7080 グループ側の R0 は、インデックスレジスタとしても使用します。



注 1. インデックス付きレジスタ間接、インデックス付き GBR 間接アドレッシングモードのインデックスレジスタとしても使用します。命令によっては、ソースまたはデスティネーションレジスタを R0 に固定しているものがあります。

図1.1 汎用レジスタ相違点

1.1.2 制御レジスタ

SH7080 グループと RX651 の制御レジスタの相違点を図 1.2に示します。

SH7080 グループ		RX651	
31	0	31	0
PC (プログラムカウンタ)		PC (プログラムカウンタ)	
PR (プロシージャレジスタ)		ISP (割り込みスタックポインタ)	
SR (ステータスレジスタ)		USP (ユーザスタックポインタ)	
GBR (グローバルベースレジスタ)		PSW (プロセッサステータスワード)	
VBR (ベクタベースレジスタ)		INTB (割り込みテーブルレジスタ)	
MACH (積和レジスタ H)		BPC (バックアップ PC)	
MACL (積和レジスタ L)		BPSW (バックアップ PSW)	
		FINTV (高速割り込みベクタレジスタ)	
		FPSW (浮動小数点ステータスワード)	
		EXTB (例外テーブルレジスタ)	
		71	0
		ACC0 (アキュムレータ 0)	
		ACC1 (アキュムレータ 1)	

図1.2 制御レジスタの相違点

SH7080 グループの PR および GBR に相当するレジスタは RX651 にはありません。SH7080 グループの MACH および MACL に相当するレジスタとして、RX651 には ACC0 と ACC1 があります。以下に、SH7080 グループにはない RX651 の制御レジスタについて概要を示します。

- 割り込みスタックポインタ/ユーザスタックポインタ (ISP/USP)
スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の 2 種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。
- 割り込みテーブルレジスタ (INTB) ^(注 1)
割り込みベクタテーブルの先頭アドレスを指定します。
- 例外テーブルレジスタ (EXTB) ^(注 1)
例外ベクタテーブルの先頭アドレスを指定します。
- バックアップ PC/バックアップ PSW (BPC/BPSW)
RX651 は通常割り込みと高速割り込みがあります。高速割り込みでは、PC と PSW の内容を専用レジスタ (BPC と BPSW) へ退避するため、レジスタ退避の処理時間を短縮することが可能です。
高速割り込みベクタレジスタ (FINTV)
高速割り込み発生時のジャンプ先を指定するレジスタです。
- 浮動小数点ステータスワード (FPSW)
RX651 内蔵 FPU の演算結果 (浮動小数点演算結果) の各種ステータスを示すレジスタです。

注 1. 機能は SH7080 グループの VBR と同等です

ステータスレジスタの相違点を図 1.3と表 1.1に示します。

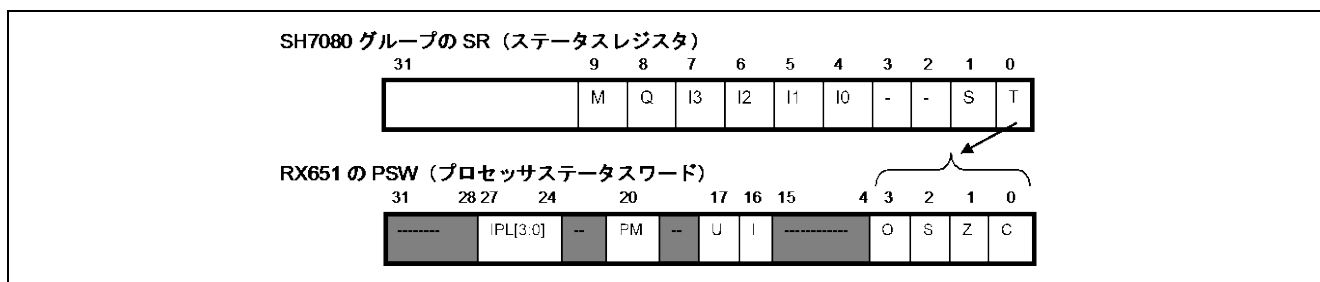


図1.3 SR (SH7080 グループ) と PSW (RX651) の相違点

表1.1 SR (SH7080 グループ) と PSW (RX651) の相違点

SH ビット名	RX ビット名	説明
T	C	SH7080 グループの T ビットで示される演算結果（真偽やキャリ等）は、RX651 では C, Z, S, O の 4 つのフラグで示されます。 C : キャリフラグ (0/1 = キャリ発生なし/キャリ発生あり) Z : ゼロフラグ S : サイン O : オーバフローフラグ
	Z	
	S	
	O	
S	—	SH7080 グループの DSP ユニットで実行される ALU 算術演算におけるオーバフロー防止機能を制御します。 RX651 には S ビットに相当するビットはなく、浮動小数点演算でのオーバフロー発生時は FPSW のフラグで通知されます。またオーバフロー発生時に例外処理を行うことも可能です。
I0, I1, I2, I3	IPL[3:0]	割り込みマスクビットです。 SH7080 グループ、RX651 共に 0（最低）～15（最高）レベルが設定可能で、この設定よりも優先レベルが高い割り込みだけが受け付けられます。
Q	—	SH7080 グループの Q ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX651 には相当するビットはありません。
M	—	SH7080 グループの M ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX651 には相当するビットはありません。
—	I	割り込み許可ビット 0:割り込みを許可しない 1: 割り込みを許可する RX651 で割り込み要求の受け付けを許可するビットです。初期状態は“0”のため、割り込みを受け付ける場合は本ビットを“1”に設定する必要があります。また例外を受け付けると、このビットは“0”になり、その間割り込みは受け付けません。 このビットの設定に関係なく、割り込み要求発生時は、割り込みコントローラの割り込みステータスフラグはリセットされます。
—	U	RX651 で使用するスタックポインタを指定するビットです。 0: 割り込みスタックポインタ (ISP) 1: ユーザスタックポインタ (USP) 例外を受け付けると、このビットは“0”になります。
—	PM	RX651 でプロセッサモードを設定するビットです。 0: スーパーバイザモード 1: ユーザモード 例外を受け付けると、このビットは“0”になります。

1.2 オプション設定メモリ

RX651 には、エンディアンやウォッチドッグタイマ動作等リセット後のマイコンの状態を選択するレジスタを備えたオプション設定メモリがあります。オプション設定メモリは ROM 上にあり、プログラムによる書き換えは出来ません。プログラム書き込み時に、適切な値をあわせて書き込む必要があります。

1.2.1 オプション設定メモリの概要

オプション設定メモリ領域の概要を図 1.4 に示します。

アドレス	b31	b0
	...	レジスタの概要
FE7F 5D00h～ FE7F 5D03h	エンディアン選択レジスタ (MDE)	CPU のエンディアンを選択するレジスタ
FE7F 5D04h～ FE7F 5D07h	オプション機能選択レジスタ 0 (OFS0)	OFS0 レジスタでは、独立ウォッチドッグタイマ (IWDT)、およびウォッチドッグタイマ (WDT) の設定を行う
FE7F 5D08h～ FE7F 5D0Bh	オプション機能選択レジスタ 1 (OFS1)	OFS1 レジスタでは以下の設定を行う リセット後の電圧監視 0 リセットの有効/無効 リセット後の電圧監視 0 レベルの選択 リセット後の HOCO 発振の有効/無効
	—	—
FE7F 5D10h～ FE7F 5D13h	TM 識別データレジスタ (TMINF)	TM 有効領域に格納しているプログラムを識別できるコードなど、ユーザが任意の 32 ビットデータを格納できる領域
	—	—
FE7F 5D40h～ FE7F 5D43h	シリアルプログラマコマンド 制御レジスタ (SPCC)	シリアルプログラマ接続の許可/禁止を設定するレジスタ
	—	—
FE7F 5D48h～ FE7F 5D4Bh	TM イネーブルフラグレジスタ (TMEF)	TM 機能の有効/無効を設定するレジスタ
	—	—
FE7F 5D50h～ FE7F 5D5Fh	OCD/ シリアルプログラマ ID 設定レジスタ (OSIS)	OCD/ シリアルプログラマの ID コードプロテクト機能の ID を格納する領域
	—	—
FE7F 5D64h～ FE7F 5D67h	フラッシュアクセスウィンドウ 設定レジスタ (FAW)	フラッシュアクセスウィンドウの設定を行うレジスタ
	—	—
FE7F 5D70h～ FE7F 5D73h	ROM コードプロテクトレジスタ (ROMCODE)	ROM コードプロテクトの有効/無効を設定するレジスタ
	...	—

図1.4 RX651 オプション設定メモリ領域

オプション設定メモリの設定例を図 1.5～図 1.8に示します。

```
/* ビッグエンディアン設定 */
#define __BIG
#pragma address MDE_REG = 0xFE7F5D00 // MDE register
#ifdef __BIG
    const unsigned long MDE_REG = 0xFFFFFFFF8; // big
#else
    const unsigned long MDE_REG = 0xFFFFFFFF; // little
#endif
```

図1.5 RX651 エンディアン設定例

```
/* リセット後、シリアルプログラマ接続許可を設定 */
#pragma address SPCC_REG = 0xFE7F5D40 // SPCC register
const unsigned long SPCC_REG = 0xFFFFFFFF;

/* OCD/シリアルプログラマの ID コードを設定 */
/* ID1 =0xFF, ID2 =0x02, ID3 =0x03, ID4 =0x04 */
/* ID5 =0x05, ID6 =0x06, ID7 =0x07, ID8 =0x08 */
/* ID9 =0x09, ID10=0x0A, ID11=0x0B, ID12=0x0C */
/* ID13=0x0D, ID14=0x0E, ID15=0x0F, ID16=0x10 */
#pragma address OSIS1_REG = 0xFE7F5D50 // OSIS register
const unsigned long OSIS1_REG = 0x040302FF; // ID1, ID2, ID3, ID4

#pragma address OSIS5_REG = 0xFE7F5D54 // OSIS register
const unsigned long OSIS5_REG = 0x08070605; // ID5, ID6, ID7, ID8

#pragma address OSIS9_REG = 0xFE7F5D58 // OSIS register
const unsigned long OSIS9_REG = 0x0C0B0A09; // ID9, ID10, ID11, ID12

#pragma address OSIS13_REG = 0xFE7F5D5C // OSIS register
const unsigned long OSIS13_REG = 0x100F0E0D; // ID13, ID14, ID15, ID16
```

図1.6 RX651 OCD/シリアルプログラマ設定例

```
/* フラッシュアクセスウィンドウ設定 */
#pragma address FAW_REG = 0xFE7F5D64 // FAW register
const unsigned long FAW_REG = 0xF5A572A;
```

図1.7 RX651 フラッシュアクセスウィンドウ設定例

```
#pragma address OFS1_REG = 0xFE7F5D08 // OFS1 register
const unsigned long OFS1_REG = 0xFFFFFFFF;

#pragma address OFS0_REG = 0xFE7F5D04 // OFS0 register
const unsigned long OFS0_REG = 0xFFFFFFFF;
```

図1.8 RX651 OFS0/1 の設定例

1.2.2 エンディアンの設定

SH7080 グループは、ビッグエンディアン固定です。RX651 は、命令はリトルエンディアン固定、データ配置はリトルエンディアン、ビッグエンディアンから選択できます。このエンディアン設定は、オプション設定メモリの MDE レジスタのエンディアン選択ビット MDE[2:0]で設定します。

SH7080 グループから RX651 に置き換える際にビッグエンディアンを使用する場合、ルネサス純正コンパイラのオプション設定でビッグエンディアンを指定することができ、プログラム上でエンディアンを意識せずに移行可能です。

外部アドレス空間では、CS 領域ごとにエンディアン設定を切り替えられます。但し、外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。(詳細はユーザーズマニュアル ハードウェア編を参照)

コンパイラオプションによるエンディアン設定を図 1.9に示します。コンパイラオプションの設定で自動的に生成されたファイルは3.1章のサンプルコードの動作環境で動作します。

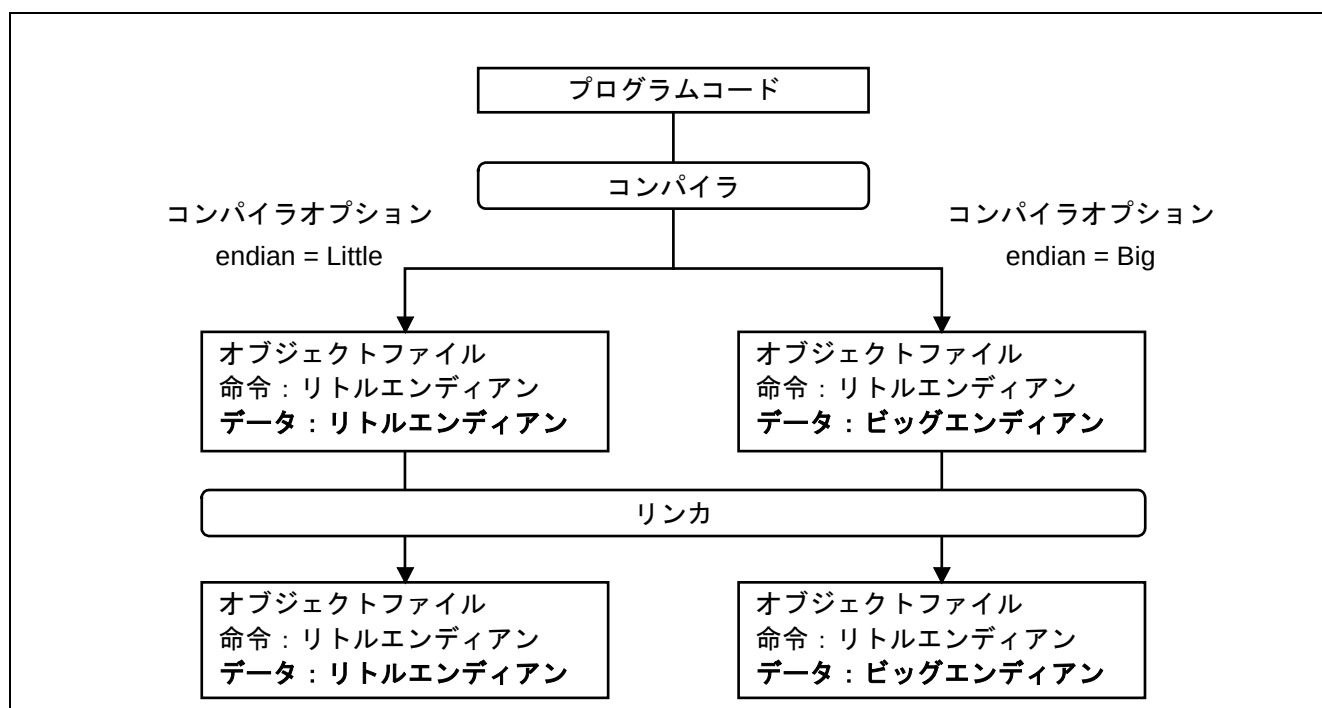


図1.9 RX651 コンパイラオプションによるエンディアン指定

1.2.3 TM 識別データの設定、TM イネーブルフラグの設定

RX651 は、コードフラッシュメモリ上のブロック 8,9 に第三者によるソフトウェアのリード防止機能として、Trusted Memory (本書では TM と呼びます) 機能を搭載しています。TM 機能は、内蔵フラッシュメモリ等マイコン内部からも一部特定領域にあるコードの読み出しを不可能とし、命令実行のみを可能とします。

暗号アルゴリズムの処理ソフトウェア、ノウハウを伴う機器制御処理ソフトウェアや有償のミドルウェアなどを格納するのに適しています。

1.2.4 OCD/シリアルプログラマの設定

RX651 は、シリアルプログラマのコマンドによるシリアルプログラミング機能を選択できます。シリアルプログラミング機能は SPCC レジスタで選択できます。

OCD/シリアルプログラマを接続する場合、オプション設定上に書かれているデータを使い接続可否判定を行います。OCD/シリアルプログラマから送られてくるコードと、オプション設定メモリ上の ID コードの一致を判定します。ID コードが一致した場合は OCD/シリアルプログラマとの接続を許可しますが、一致しない場合は OCD/シリアルプログラマとの接続はできません。OCD/シリアルプログラマの ID コードは、OSIS レジスタで格納します。

1.3 リセット機能

1.3.1 リセット要因

SH7080 グループと RX651 のリセット要因を表 1.2に示します。

表1.2 リセット要因

項目	SH7080 グループ	RX651
リセット種別	- パワーオンリセット (RES# 端子リセット/WDT オーバフロー) - マニュアルリセット	- RES# 端子リセット - パワーオンリセット (内部リセット) - 電圧監視 0 リセット - 電圧監視 1 リセット - 電圧監視 2 リセット - ディープソフトウェアスタンバイリセット - 独立ウォッチドッグタイマリセット - ウォッチドッグタイマリセット - ソフトウェアリセット

(1) リセットベクタの構成

SH7080 グループはパワーオンリセット用とマニュアルリセット用のベクタ^(注1) (PC および SP) が別々に存在します。

RX651 は複数のリセット要因に対して、リセットベクタはひとつです。リセット処理内でリセットステータスレジスタ 0〜2 にてリセット要因判定を行い、要因別の処理を行います。

(2) スタックポインタ

SH7080 グループではリセットベクタにスタック領域の最後尾 (+1) の番地を設定する必要があります。
RX651 では、ベクタテーブルにスタックポインタの設定領域がないので、ISP と USP に設定する必要があります。

注 1. ベクタテーブルに関しては、1.7.4章ベクタの構成を参照

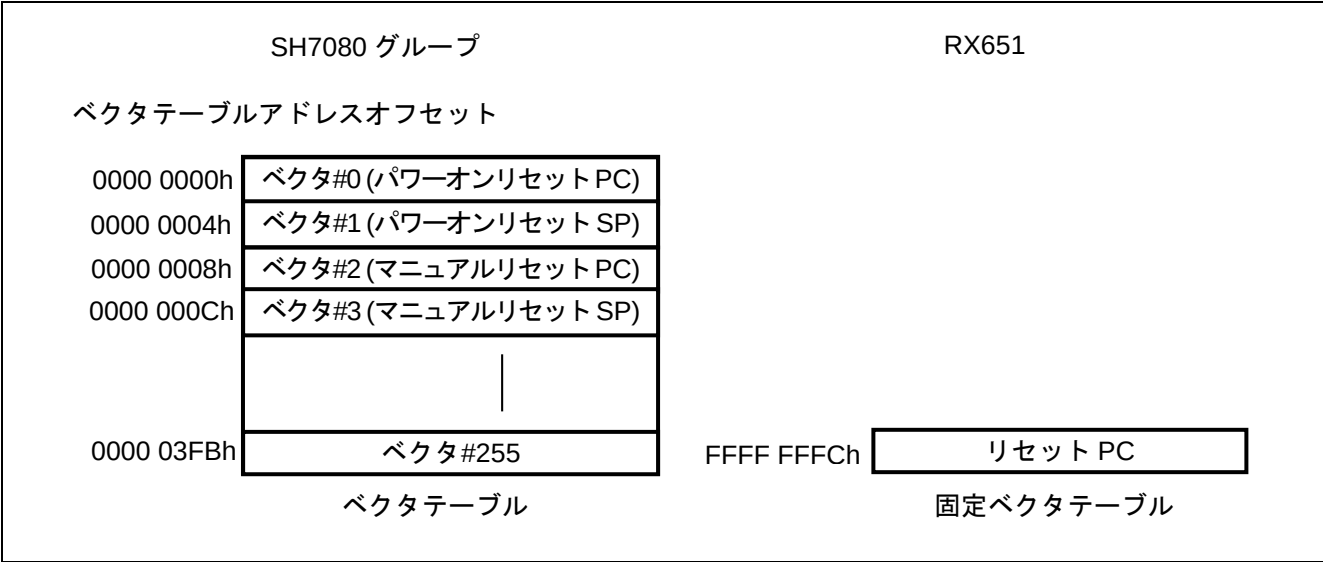


図1.10 リセットベクタ比較

1.3.2 リセット要因と初期化範囲

SH7080 グループと RX651 ではリセット要因に対する初期化範囲も異なります。SH7080 グループのリセット要因と初期化範囲を表 1.3に、RX651 のリセット要因と初期化範囲を表 1.4に示します。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表1.3 SH7080 グループ リセット要因と初期化範囲

項目	パワーオンリセット	マニュアルリセット
CPU	○	○
内蔵周辺モジュール	○	—

○：初期化する —：初期化しない

表1.4 RX651 リセット要因と初期化範囲

リセット対象	リセット要因								
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイ マリセット	ウォッチ ドッグタイ マリセット	電圧監視1 リセット	電圧監視2 リセット	ディープソ フトウェア スタンバイ リセット	ソフトウェ アリセット
パワーオンリセット検出フラグ	○	—	—	—	—	—	—	—	—
コールドスタート/ ウォームスタート判別フラグ	—	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ	○	○	—	—	—	—	—	—	—
独立ウォッチドッグタイマ リセット検出フラグ	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマの レジスタ	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマ リセット検出フラグ	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマの レジスタ	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ	○	○	○	○	○	—	—	*1	—
電圧監視2リセット検出フラグ	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ	○	○	○	○	○	○	—	*2	—
ディープソフトウェアスタンバイ リセット検出フラグ	○	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ	○	○	○	○	○	○	○	○	—
リアルタイムクロックの レジスタ	—	—	—	—	—	—	—	—	—
高速オンチップオシレータ関連の レジスタ	○	○	○	○	○	○	○	—	○
メインクロック発振器関連の レジスタ	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連の レジスタ	○	○	○	○	○	○	○	—	○
上記以外のレジスタ、 CPUおよび内部状態	○	○	○	○	○	○	○	○	○

○：初期化する —：初期化しない

注 1. LVD1CR1、LVD1SR のみ初期化する。

注 2. LVD2CR1、LVD2SR のみ初期化する。

1.3.3 コールドスタート/ウォームスタート判定機能

RX651 には電源が投入された時のリセット処理（コールドスタート）か、動作中にリセット信号が入力された時のリセット処理（ウォームスタート）かの判定をすることができます。

外部電圧 VCC が閾値を超えるパワーオンリセットが発生すると、コールドスタート/ウォームスタート判別フラグ (RSTSR1.CWSF) を‘0’に設定しコールドスタート状態を示します。その他のリセットを行っても‘0’にはならないため、プログラムで‘1’を書き込むことでウォームスタート状態を設定します。

1.3.4 ライトプロテクション

RX651 にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能があり、ソフトウェアリセットレジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 1 (PRCR.PRC1) を‘1’に設定し、書き込みを許可してください。

1.4 クロック設定

1.4.1 クロック源

SH7080 グループと RX651 のクロック源一覧を表 1.5に示します。

表1.5 クロック源一覧

SH7080 グループ	RX651
発振器 (EXTAL, XTAL) +PLL 回路	メインクロック発振器 (EXTAL, XTAL) +PLL 回路 サブクロック発振器 (XCIN, XCOUT) 高速オンチップオシレータ (HOCO) +PLL 回路 低速オンチップオシレータ (LOCO) IWDT 専用オンチップオシレータ

以降、高速オンチップオシレータは HOCO、低速オンチップオシレータは LOCO と記載します。

1.4.2 クロック発生回路

SH7080 グループは分周器の設定および発振停止検出制御をソフトウェアで行います。RX651 は多様なクロック制御をソフトウェアで行います。

RX651 はリセット後、LOCO をクロックソースとして動作します。システムの初期化において、LOCO 以外の必要なクロックソースおよび PLL を動作させ、システムクロックやバスクロックを始めとする各種クロックを選択します。クロック関連の設定を変更する場合はレジスタ設定順序と、発振およびクロック発振安定時間を考慮する必要があります。

クロック設定手順の詳細については以下のアプリケーションノートを参照してください。

- RX65N グループ、RX651 グループ 初期設定例 (R01AN3034JJ)

1.4.3 ライトプロテクション

RXにはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能があり、クロック発生回路関連レジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット0 (PRCR.PRC0) またはプロテクトビット1 (PRCR.PRC1) を‘1’に設定し、書き込みを許可してください。

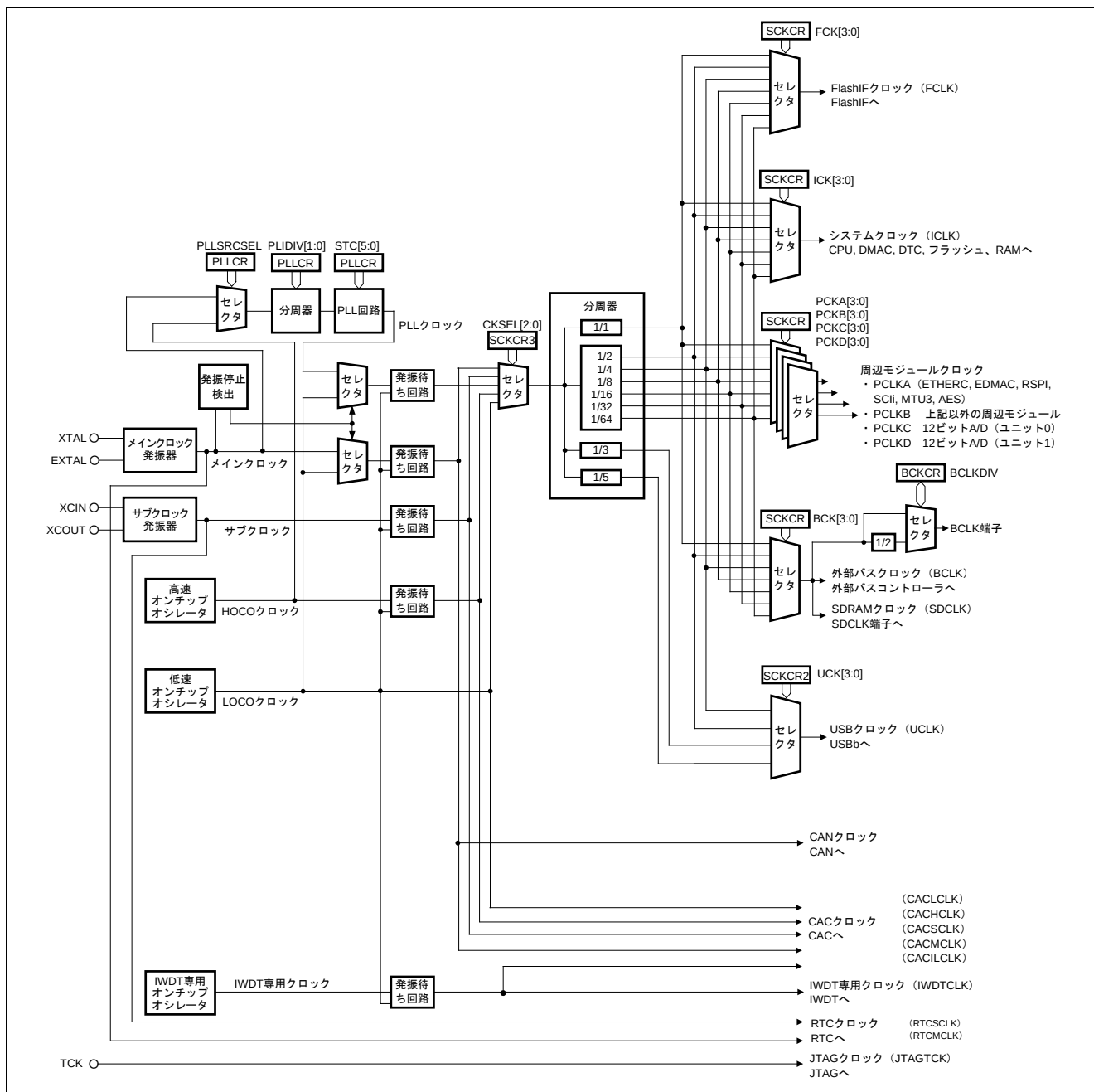


図1.11 RX651 クロック発生回路のブロック図

1.5 動作モード

1.5.1 動作モードの比較

SH7080 グループと RX651 の動作モードの比較を表 1.6に示します。

各動作モードの詳細仕様についてはユーザズマニュアル ハードウェア編を参照してください。

表1.6 動作モードの比較

SH7080 グループ	RX651	モードの説明
MCU 拡張モード 0	内蔵 ROM 無効拡張モード	内蔵 ROM 無効で外部アドレス空間が有効な動作モード。SH7080 グループのモード 0 とモード 1 は外部バス幅の違い。
MCU 拡張モード 1		
MCU 拡張モード 2	内蔵 ROM 有効拡張モード	内蔵 ROM 有効で外部アドレス空間も有効な動作モード
シングルチップモード	シングルチップモード	外部アドレス空間が無効な動作モード
ブートモード	ブートモード (SCI インタフェース)	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ブートプログラム）が動作するモード。 調歩同期式シリアルインタフェースを使用して、MCU 外部から内蔵 ROM を書き換えることができる。 SH7080 グループは、ユーザマットやユーザブートマットの書き換えを実行。 RX651 は、コードフラッシュメモリの書き換えを実行。
—	ブートモード (USB インタフェース)	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ブートプログラム）が動作するモード。 USB を使用して、MCU 外部から内蔵 ROM（コードフラッシュメモリ）を書き換えることができる。
—	ブートモード (FINE インタフェース)	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ブートプログラム）が動作するモード。 FINE を使用して、MCU 外部から内蔵 ROM（コードフラッシュメモリ）を書き換えることができる。
ユーザブートモード	—	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ブートプログラム）が動作するモード。 任意のインタフェースでユーザマットを書き換えることができる。
ユーザプログラムモード	—	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ブートプログラム）が動作するモード。 任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマットを書き換えることができる。

1.5.2 メモリの比較

内蔵 ROM 有効モードでのメモリマップの比較を図 1.12に示します。

SH7086 MCU 拡張モード 2		RX651 内蔵 ROM 有効拡張モード	
0000 0000h	内蔵 ROM	0000 0000h	内蔵 RAM
0008 0000h	予約領域	0004 0000h	予約領域
0200 0000h	CS0 空間	0008 0000h	周辺 I/O レジスタ
0400 0000h	CS1 空間	000A 4000h	スタンバイ RAM
0800 0000h	CS2 空間	000A 6000h	周辺 I/O レジスタ
0C00 0000h	CS3 空間	0010 0000h	予約領域
1000 0000h	CS4 空間	007E 0000h	内蔵 ROM (書き換え専用)
1400 0000h	CS5 空間	007F 0000h	予約領域
1800 0000h	CS6 空間	007F E000h	周辺 I/O レジスタ
1C00 0000h	CS7 空間	0080 0000h	予約領域
2000 0000h	予約領域	0100 0000h	外部アドレス空間 (CS 領域)
4000 0000h	CS8 空間	0800 0000h	外部アドレス空間 (SDRAM 領域)
8000 0000h	予約領域	1000 0000h	予約領域
FFF8 0000h	SDRAM モード設定	FE7F 5D00h	内蔵 ROM (オプション設定メモリ)
FFFA 0000h	予約領域	FE7F 5D80h	予約領域
FFFF 4000h	内蔵 RAM	FE7F 7D70h	内蔵 ROM (読み出し専用)
FFFF C000h	周辺 I/O	FE7F 7DA0h	予約領域
FFFF FFFFh		FFF0 0000h	内蔵 ROM (プログラム ROM) (読み出し専用)
		FFFF FFFFh	

図1.12 メモリマップ比較（内蔵 ROM 有効モード）

シングルチップモードでのメモリマップの比較を図 1.13 に示します。

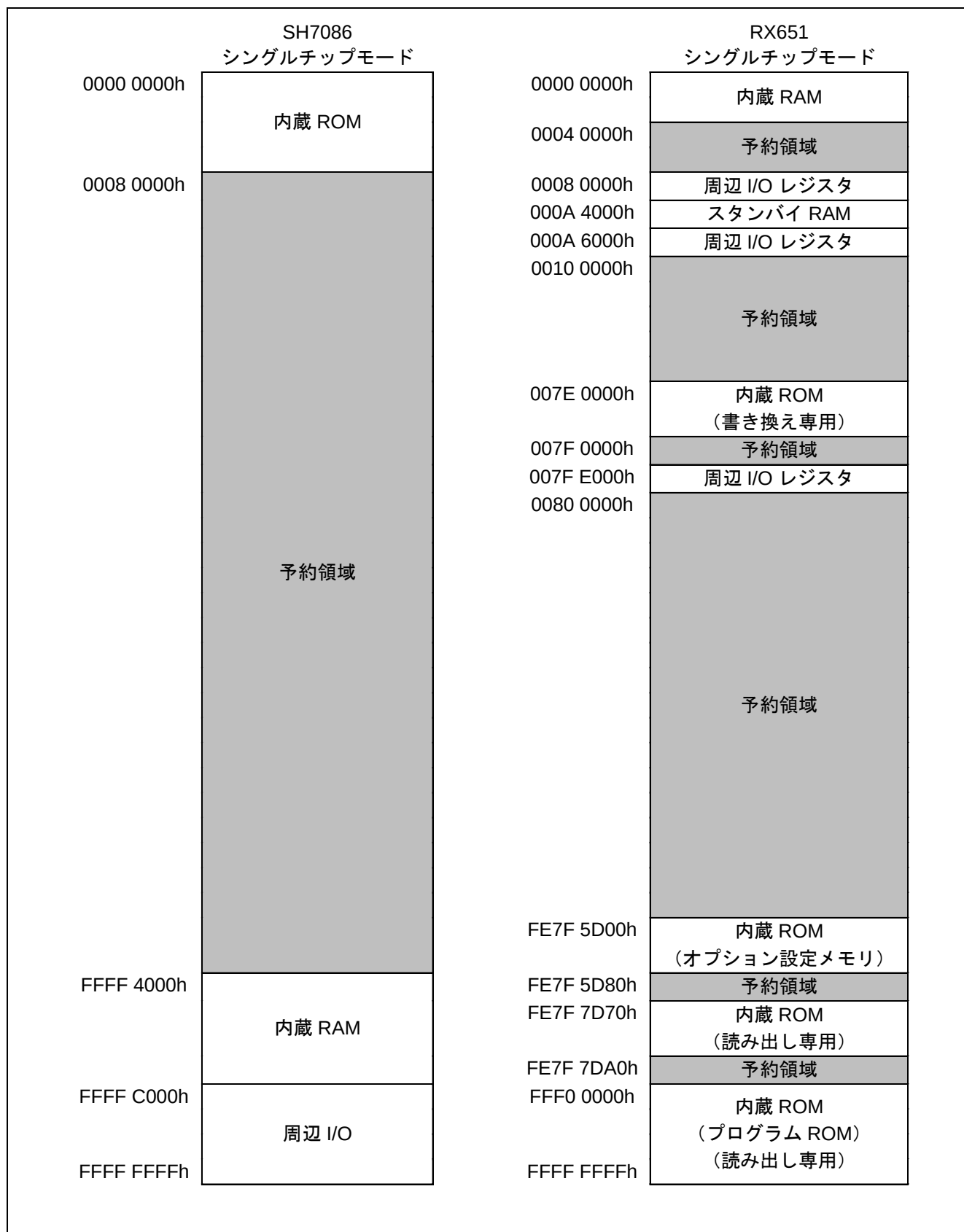


図1.13メモリマップ比較（シングルチップモード）

内蔵 ROM 無効モードでのメモリマップの比較を図 1.14に示します。

SH7086 MCU 拡張モード 0, 1		RX651 内蔵 ROM 無効拡張モード	
0000 0000h	CS0 空間	0000 0000h	内蔵 RAM
		0004 0000h	予約領域
		0008 0000h	周辺 I/O レジスタ
		000A 4000h	スタンバイ RAM
		000A 6000h	周辺 I/O レジスタ
0400 0000h	CS1 空間	0010 0000h	予約領域
0800 0000h	CS2 空間		
0C00 0000h	CS3 空間		
1000 0000h	CS4 空間		
1400 0000h	CS5 空間		
1800 0000h	CS6 空間	0100 0000h	外部アドレス空間 (CS 領域)
1C00 0000h	CS7 空間		
2000 0000h	予約領域		
4000 0000h	CS8 空間	0800 0000h	外部アドレス空間 (SDRAM 領域)
8000 0000h	予約領域	1000 0000h	予約領域
FFF8 0000h	SDRAM モード設定		
FFFA 0000h	予約領域		
FFFF 4000h	内蔵 RAM	FE00 0000h	外部アドレス空間 (CS 領域)
FFFF C000h	周辺 I/O		
FFFF FFFFh		FFFF FFFFh	

図1.14メモリマップ比較（内蔵 ROM 無効モード）

- RX651 では RAM が“0000 0000h”番地側、ROM（読み出し用）が“FFFF FFFFh”番地側に配置されています。
- RX651 では周辺 IO レジスタは“0008 0000h”～“000F FFFFh”に配置されており、フラッシュ関連のレジスタのみ“007F C000h”～“007F FFFFh”に配置されています。
- RX651 では外部アドレス空間は“0100 0000h”～“0FFF FFFFh”、“FF00 0000h”～“FFFF FFFFh”に配置されており、16M バイト毎の 8 つの CS 空間と 128M バイトの SDRAM 空間で構成されます。

1.5.3 動作モード設定

SH7080 グループの動作モード設定は MD1、MD0 および FWE 端子設定のみで行うのに対し、RX651 の動作モード設定は、MD および UB 端子のリセット解除時の状態に加え、リセット解除後にソフトウェアでの設定が必要です。

端子設定により決まる動作モードを表 1.7 に、リセット解除後にソフトウェアにより設定する動作モードを表 1.8 に示します。

表1.7 RX651 設定端子と動作モード

端子		モード名
MD	UB	
High	—	シングルチップモード
Low	Low	ブートモード（SCI インタフェース）
	High	ブートモード（USB インタフェース）
Low→High (注1)	Low	ブートモード（FINE インタフェース）

注 1. MD 端子を Low でリセット解除後、20～100msec の間に High へ切り替えてください。

表1.8 RX651 SYSCR0 レジスタ設定と動作モード

SYSCR0 レジスタ		モード名
ROME ビット (注1)	EXBE ビット	
0（内蔵 ROM 無効）	0（外部バス無効）	シングルチップモード
1（内蔵 ROM 有効） (注2)	0（外部バス無効） (注2)	
0（内蔵 ROM 無効）	1（外部バス有効）	内蔵 ROM 無効拡張モード
1（内蔵 ROM 有効）	1（外部バス有効）	内蔵 ROM 有効拡張モード

注 1. 一旦 ROME ビットを 0 にすると 1 に戻すことはできません。

注 2. STSCR0 レジスタのリセット後の値は ROME = 1、EXBE = 0。

1.5.4 ライトプロテクション

RX にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能があり、動作モード関連レジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 1（PRCR.PRC1）を‘1’に設定し、書き込みを許可してください。

1.6 プロセッサモード

RX CPU には、スーパーバイザモードとユーザモードの 2 つのプロセッサモードがあります。このプロセッサモードを使用することで、CPU リソースに対する階層的な保護機構を実現可能です。

SH7080 グループからの置き換えでは、ユーザモードは使用せず、スーパーバイザモードのみで動作することで、プロセッサモードを意識せずソフトの置き換えが可能になります。

表1.9 RX651 プロセッサモード

プロセッサモード	移行条件	概要
スーパーバイザモード	- リセット解除 - 例外の発生 (PSW.PM ビットが“0”に変化)	すべての CPU リソースにアクセスでき、すべての命令を実行できる（制限なし） 通常は、OS 等のシステムプログラムを動作させるモード
ユーザモード	PSW.PM ビットに“1”を設定 但し、この時はスタックに退避した PSW.PM ビットを“1”にした後 RTE 命令を実行、または BPSW に退避した PSW.PM ビットを“1”にした後 RTFI 命令を実行	PSW の一部のビットや BPC、BPSW など、一部の CPU リソースへのライトアクセスが制限され、特権命令も使用できない 通常は、アプリケーションプログラム等のユーザプログラムを動作させるモード

スーパーバイザモード⇒ユーザモード移行方法

```

MVFC      PSW, R1      : RTE 命令で例外からの復帰に見せかける処理
OR         #00110000h, R1  :
PUSH.LR1   :
MVFC      PC, R1       :
ADD        #10, R1      :
RTE
NOP
NOP
  
```

図1.15 プロセッサモード設定例（ユーザモード）

ユーザモード⇒スーパーバイザモード移行方法

例外処理を発生させると、スーパーバイザモードに移行します。但し、例外処理から復帰するとユーザモードに再度移行します。

スーパーバイザモードへの移行には、無条件トラップを発生させる INT 命令、BRK 命令を利用する方法があります。

図1.16 プロセッサモード設定例（スーパーバイザモード）

1.7 例外処理

割り込みを含む例外処理全般について SH7080 グループと RX651 の相違点を記載します。

1.7.1 例外処理の種類

SH7080 グループと RX651 の例外要因の比較を表 1.10に示します。

表1.10 例外要因比較

SH7080 グループ	RX651	主な相違点
パワーオンリセット マニュアルリセット	リセット	SH7080 グループではパワーオンリセット、マニュアルリセットそれぞれにベクタがある。 RX651 ではリセットベクタは一つであり、リセット割り込み処理内でリセットステータスレジスタ 0~2 を確認し、リセット要因を判別して適切な処理を行う。
アドレスエラー	アクセス例外	SH7080 グループでは、アクセス禁止領域またはアクセスが禁止された番地からのアクセス時に発生。 RX651 では、メモリプロテクションエラー時に発生。
割り込み (NMI)	ノンマスカブル割り込み	なし
割り込み (外部/内部)	割り込み (外部/内部)	RX651 は高速割り込みもあり (レベル 15)
トラップ命令 (TRAPA 命令)	無条件トラップ (INT、BRK 命令)	SH7080 グループでは 32 要因、RX651 では専用ベクタ 16 要因、割り込みと兼用も含めると最大 256 要因。
一般不当命令 スロット不当命令	未定義命令	特権命令例外、浮動小数点例外に相当する例外は SH7080 グループにはない。
—	特権命令	
—	浮動小数点例外	

1.7.2 例外処理の優先順位

SH7080 グループと RX651 の例外要因に対する優先順位の比較を表 1.11に示します。

表1.11 例外事象優先順位

優先順位 (注1)	SH7080 グループ	RX651
高い	リセット	リセット
↑	割り込み (命令実行前ブレーク)	ノンマスカブル割り込み
	アドレスエラー (命令フェッチ)	割り込み
	命令	命令アクセス例外
	アドレスエラー (CPU データアクセス)	未定義命令例外 特権命令例外
	割り込み (命令実行後ブレーク、またはオペランドブレーク)	無条件トラップ
	アドレスエラー (DMAC/DTC データアクセス)	オペランドアクセス例外
低い	割り込み (NMI、IRQ、内蔵周辺モジュール)	浮動小数点例外

注 1. 割り込みの内の優先順位は割り込みコントローラにより決定します。

SH7080 グループでは割り込み（内部/外部）よりもアドレスエラーの優先順位が高いのに対して RX651 では命令アクセス例外、オペランドアクセス例外ともに割り込みより優先順位が低いことに注意してください。

1.7.3 例外処理の基本処理フロー

SH7080 グループと RX651 の割り込み例外処理フローを図 1.17に示します。

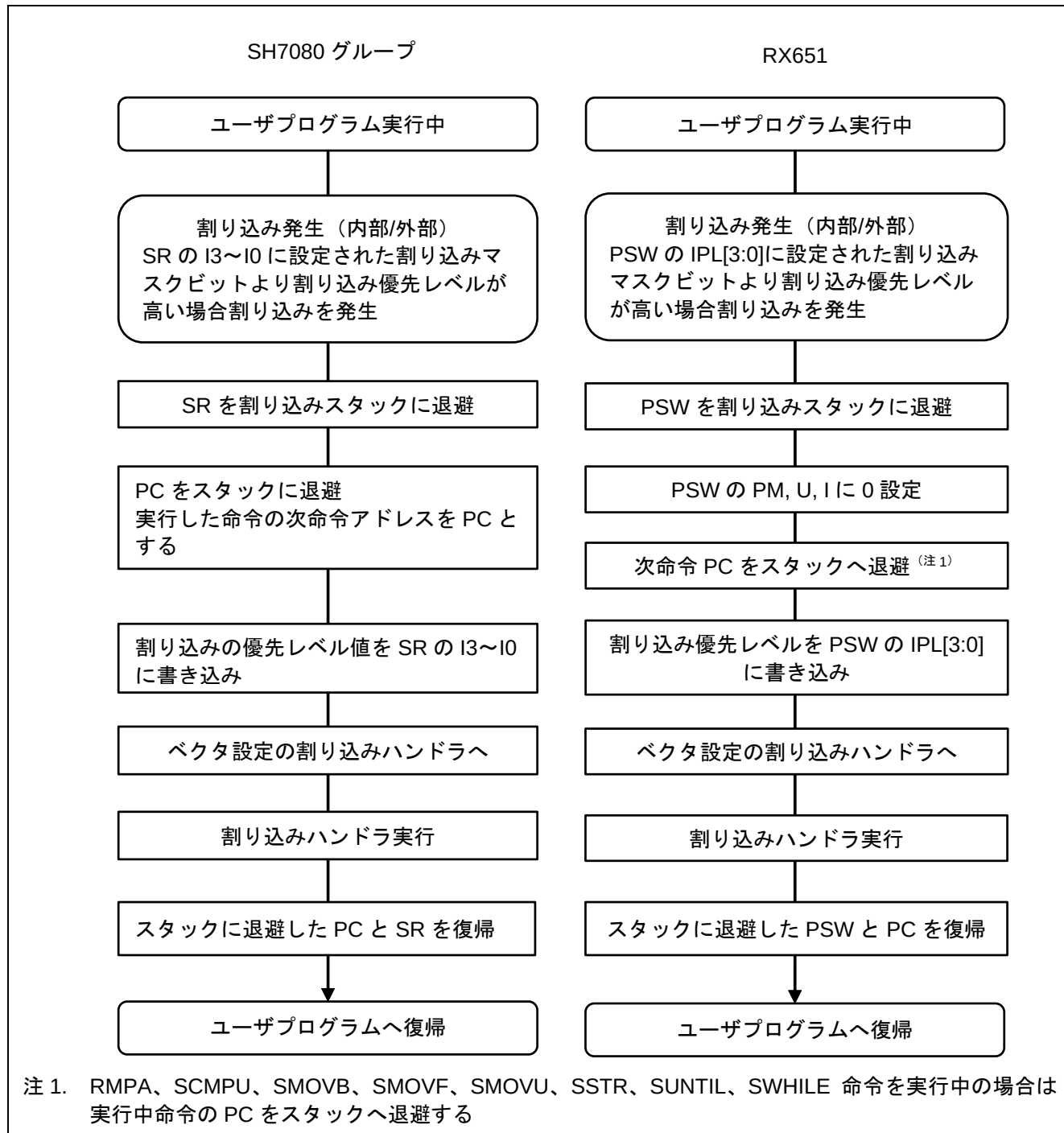


図1.17 割り込み（内部/外部）処理フロー

1.7.4 ベクタの構成

SH7080 グループ、RX651 とともに可変ベクタ構成となっており、ベクタテーブルを再配置することが可能です。

SH7080 グループの VBR（ベクタベースレジスタ）はベクタテーブルの先頭を指し示します。（但し VBR はリセット時に 0 に初期化されるため、リセットベクタは変更できません）

RX651 の INTB（割り込みテーブルレジスタ）は割り込みベクタテーブルの先頭を指し示し、EXTB（例外テーブルレジスタ）は例外ベクタテーブルの先頭を指し示します。割り込みベクタテーブルには、再配置可能な割り込みおよび無条件トラップが割りつけられています。例外ベクタテーブルには、システム例外が割りつけられています。RX651 のリセットは固定ベクタです。なお、高速割り込みのベクタアドレスは FINTV レジスタに設定します。

ベクタテーブルの違いを図 1.18 に示します。

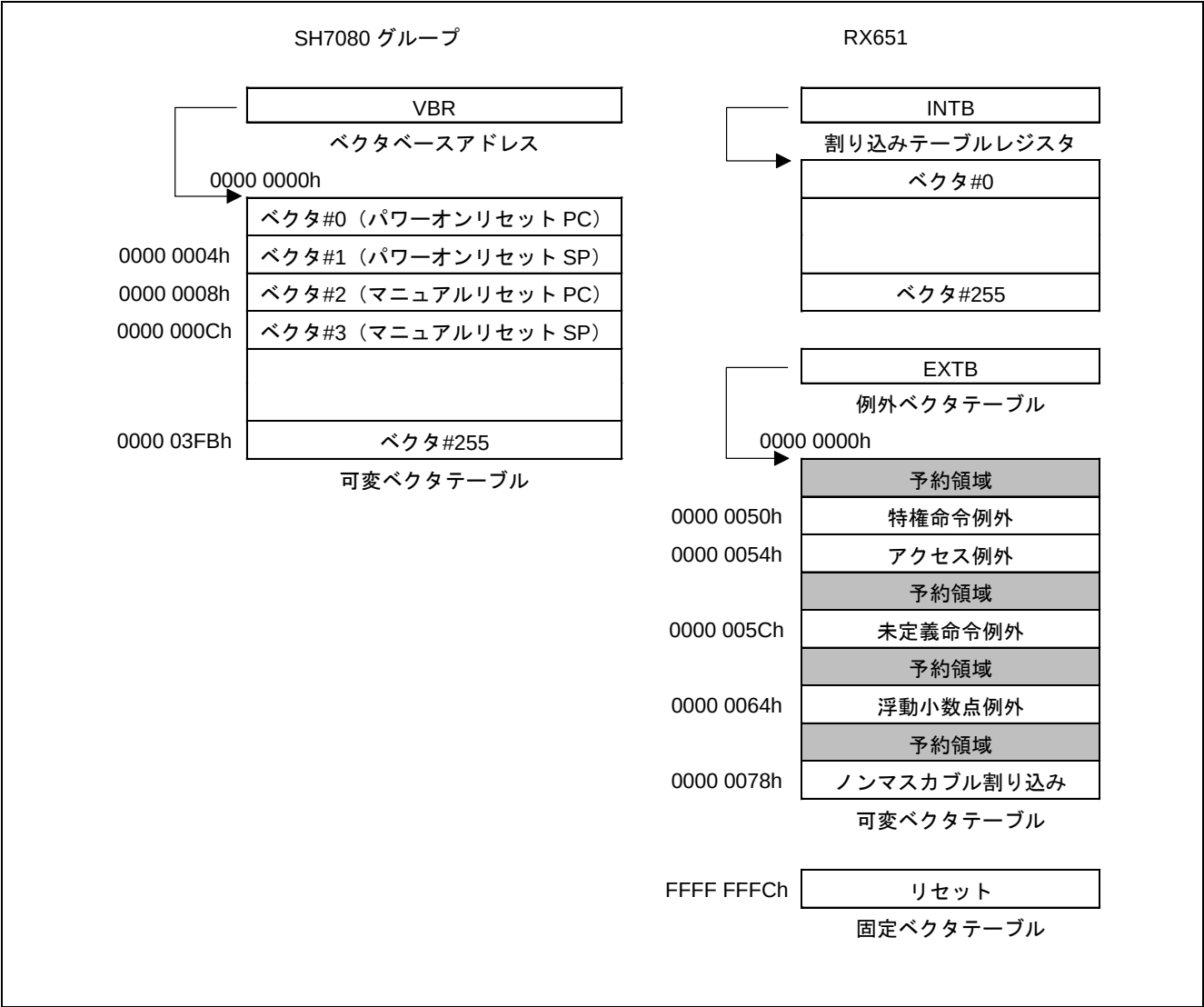


図1.18 ベクタテーブル設定

1.7.5 SR (SH7080 グループ) /PSW (RX651) の割り込みマスク

RX651 の制御レジスタ PSW には I ビットがあります。I ビットは割り込み許可/禁止を示すビットです。

表1.12 SR、PSW 内の割り込み関連ビット

SH7080 グループ	RX651	説明
SR レジスタ	PSW レジスタ	
I0, I1, I2, I3	IPL[3:0]	CPU による割り込みマスクレベル (優先レベル) 設定値 “0”~“Fh” (レベル 0~15) 割り込み要求発生時、本レベルと割り込み要因別に設定された優先度レベルを比較し、マスクレベルより高い場合は割り込みが許可される。
—	I	割り込み許可ビット 0 : 割り込みを許可しない 1 : 割り込みを許可する 割り込み発生時、割り込みコントローラの割り込みステータスフラグは‘1’が立つ。 システムリセット後、本ビットを‘1’にセットすることで割り込み受付可能になる。また、例外を受け付けた場合、本ビットは‘0’となり、その間の割り込みは受け付けない。

1.8 割り込み処理

本章は割り込みコントローラを中心に、割り込み処理の違いについて記載します。

1.8.1 仕様比較

割り込みコントローラの仕様比較を表 1.13 に示します。

表1.13 SH7080 グループ、RX651 の仕様比較（割り込みコントローラ）

	項目	SH7080 グループ	RX651
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ	- 周辺モジュールからの割り込み - 割り込み検出：エッジ/レベル^(注1) - グループ割り込み機能サポート
	外部端子割り込み	- IRQ0～IRQ7 端子 - 要因数：8 - 割り込み検出：Low レベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因毎に設定可能	- IRQ0～IRQ15 端子 - 要因数：16 - 割り込み検出：Low レベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因毎に設定可能 - ノイズ除去機能
	ノイズ除去	なし	IRQi 端子にデジタルフィルタを設定可能
	ソフトウェア割り込み	なし	あり
	割り込み優先順位	レジスタにより“0”～“Fh” のレベルを要因毎に設定	レジスタにより“0”～“Fh” のレベルを要因毎に設定
	高速割り込み機能	なし	あり
	DTC/DMAC 起動	DTC/DMAC 起動可能 ^(注2)	DTC/DMAC 起動可能
	EXDMAC 制御	なし	選択型割り込みで EXDMAC 起動可能
ノンマスカブル割り込み	NMI 端子割り込み	- 割り込み検出方法（立ち下がり/立ち上がりエッジから選択） - NMI 入力レベル読み込みビットあり	- 割り込み検出方法（立ち下がり/立ち上がりエッジから選択） - ノイズ除去機能
	その他の要因	- CPU アドレスエラー - DMAC/DTC アドレスエラー - トラップ命令（TRAPA 命令） - 一般不当命令（未定義コード） - スロット不当命令	- 発振停止検出時の割り込み - WDT アンダフロー/リフレッシュエラー - IWDT アンダフロー/リフレッシュエラー - 電圧監視 1 割り込み - 電圧監視 2 割り込み - RAM エラー割り込み - 未定義命令例外 - 特権命令例外 - アクセス例外 - 浮動小数点例外 - 無条件トラップ
	ノイズ除去	NMI 入力レベルを確認しノイズキャンセル機能として使用可能	NMI 端子のノイズフィルタを設定可能

注 1. 接続固定周辺モジュールからの検出方法は固定。

注 2. SH7080 グループでは起動要因設定は DTC/DMAC 側で設定。

割り込みコントローラのレジスタ相違を図 1.19に示します。

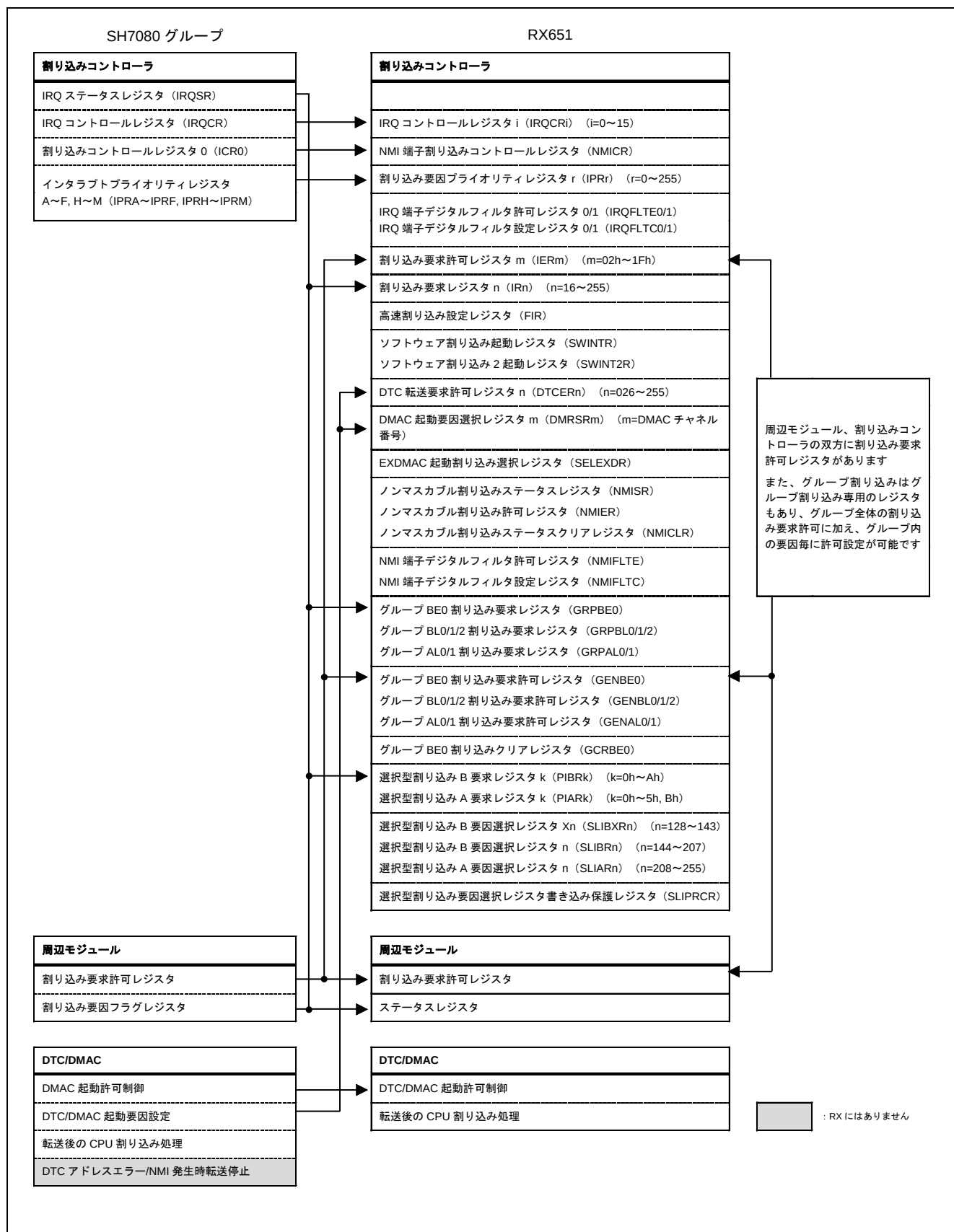


図1.19 割り込みコントローラのレジスタの相違点

SH7080 グループに搭載されている割り込みコントローラは IRQ の割り込みフラグを制御し、周辺モジュールの割り込みフラグは周辺モジュールが制御します。

RX651 では、IRQ、周辺モジュール全ての割り込みステータスフラグを割り込みコントローラで制御します^(注1)。また、DTC/DMAC の起動要因設定も割り込みコントローラで制御します。SH7080 グループの DTC/DMAC にある、NMI 発生時転送禁止機能は RX651 にはありません。

注 1. 割り込みコントローラには、割り込み要因ごとに割り込み要求レジスタが存在しますが、周辺モジュール側にも割り込み許可ビットが存在します
(詳細はユーザーズマニュアル ハードウェア編を参照してください)

1.8.2 割り込みフラグの管理

SH7080 グループの周辺モジュールでエッジ検出による割り込みが発生した場合、割り込みハンドラ内で割り込み要因フラグのクリア（ダミーリードとクリア）を行います。ハンドラ内でクリアしないと再度割り込みが発生するためです。

RX651 の割り込みステータスフラグは割り込みコントローラ内で管理され、CPU または DTC/DMAC に割り込み要求を行います。エッジ検出の場合、割り込みの受け付け応答を受信すると、自動的に当該の割り込みステータスフラグをクリアする機能を備えています。レベル検出の場合、周辺モジュール内に存在する要因フラグをクリアすることで当該の割り込みステータスフラグも自動的にクリアされます。詳細はユーザーズマニュアル ハードウェア編を参照してください。

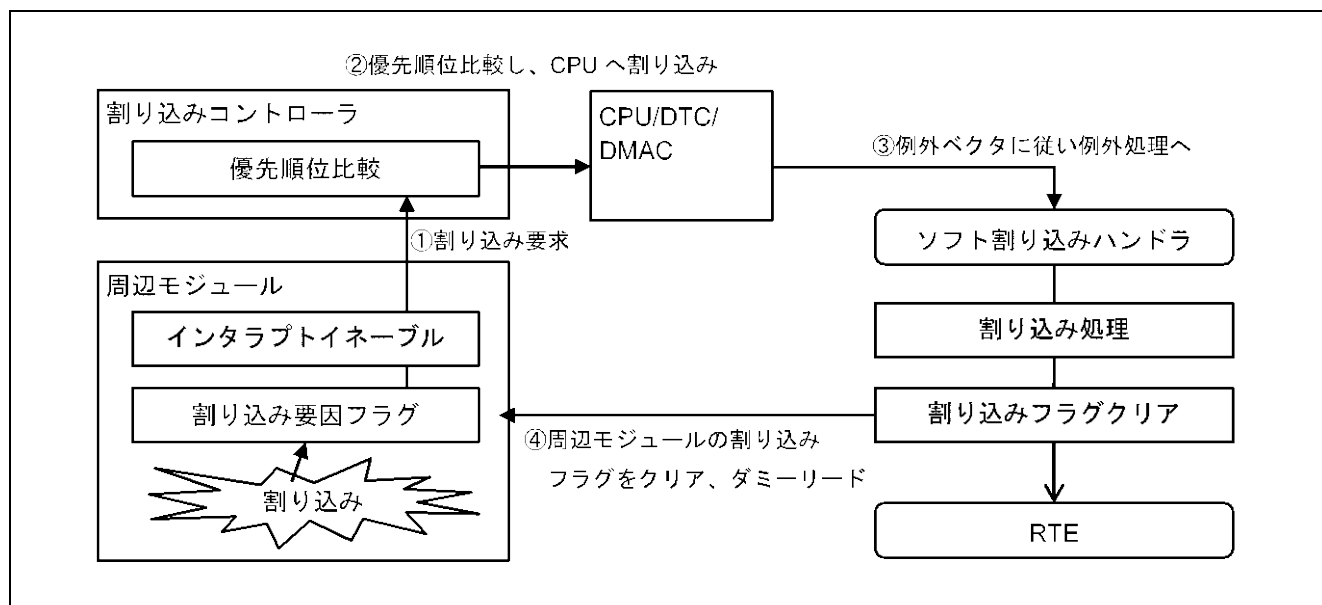


図1.20 SH7080 グループ 周辺モジュール割り込み（エッジ検出）

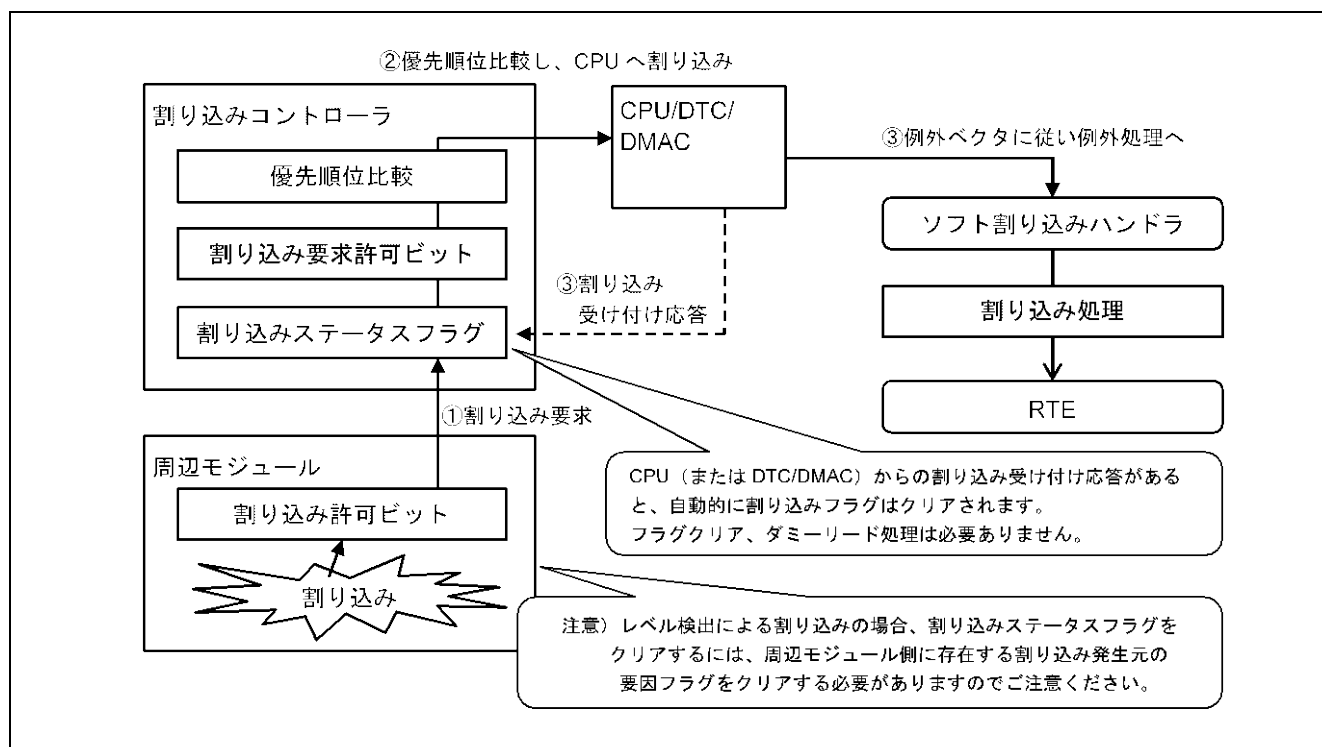


図1.21 RX651 周辺モジュール割り込み（エッジ検出）

1.8.3 高速割り込み制御

RX651 は通常の割り込みに加えて高速割り込みが可能です。

通常割り込み：割り込み優先順位判定後、コントロールレジスタ、汎用レジスタを内部 RAM または、外部 RAM へソフトウェアにて退避する必要があります。

高速割り込み：最優先割り込みとして動作します。割り込み発生時、コントロールレジスタは専用レジスタに退避されるため、通常割り込みより高速な割り込み起動を実現します。

コンパイラオプションで一部の汎用レジスタを割り込み専用に割り付ける事ができます。この場合汎用レジスタの退避、復帰を削除することが可能なため、さらに高速な割り込みが実現可能です。

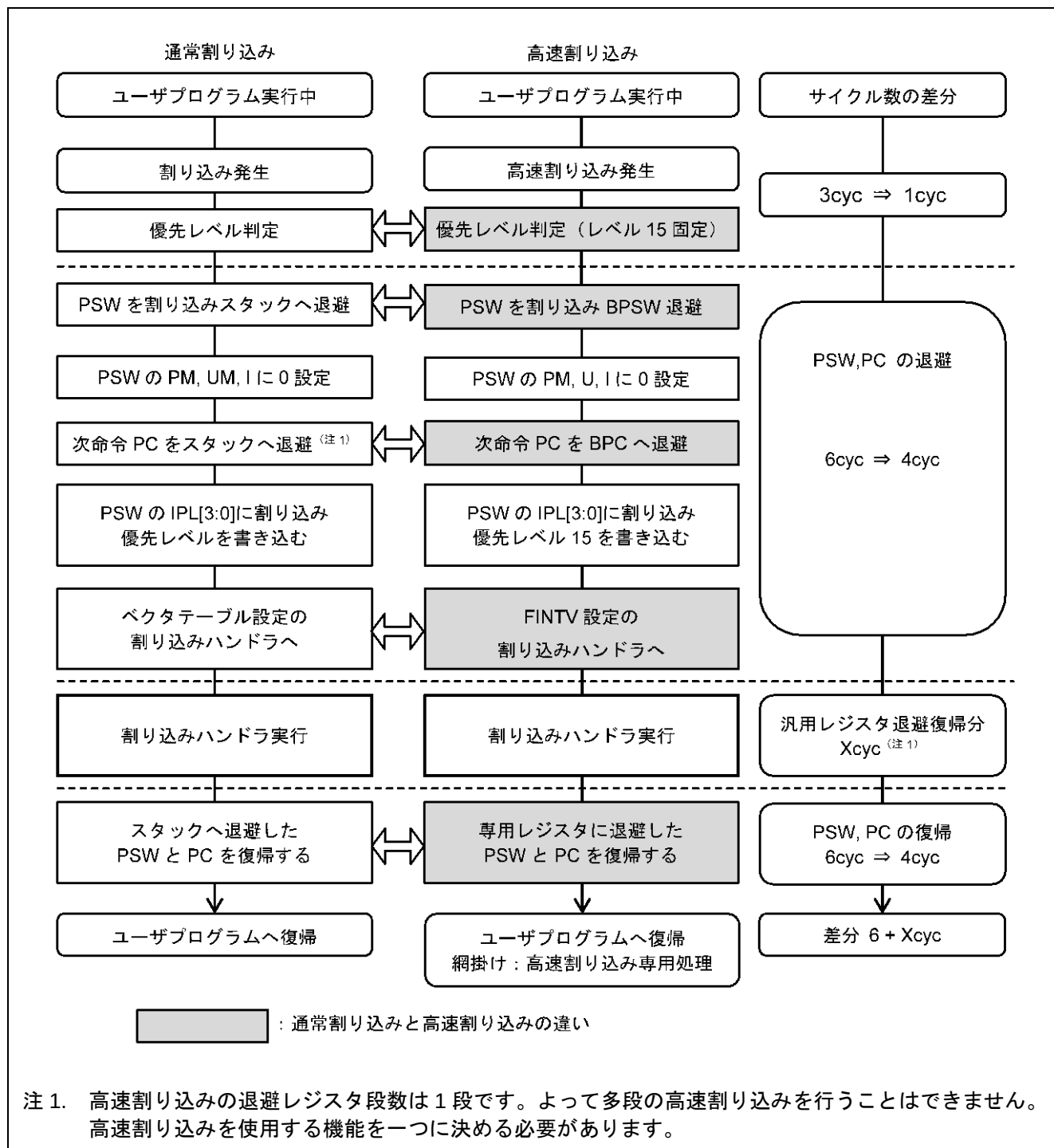


図1.22 RX651 通常割り込みと高速割り込みの差分

1.8.4 ノイズ除去

SH7080 グループは、NMI 端子の状態を示す NMI レベルビット (ICR0.NMIL) を持っています。割り込み処理サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

RX651 は、IRQ_i 端子、NMI 端子への入力信号に対してデジタルフィルタ機能を設けています。デジタルフィルタ用のサンプリングクロックを設定することが可能で、サンプリングクロックベースで 3 回分に満たない割り込み信号は、割り込みとして受け付けませんので、耐ノイズ性能を向上させることが可能です。

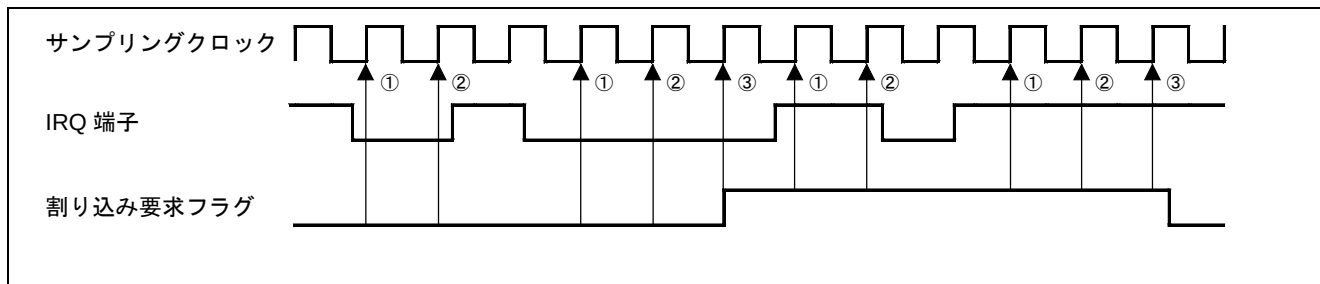


図1.23 RX651 デジタルフィルタ動作例

1.8.5 多重割り込み

SH7080 グループでは優先度の低い割り込みハンドラ処理中に、優先度の高い割り込みが発生した場合、優先度の低い割り込みハンドラは中断され、優先度の高い割り込みハンドラが実行されます。優先度の高い割り込みハンドラが終了すると、中断していた優先度の低い割り込みハンドラが再開します。

RX651 では優先度の低い割り込みハンドラを処理中に、高い優先度の割り込みが発生した場合、低い優先度の割り込みハンドラが終了するまでは、高い優先度の割り込みは受け付けられません。これは、通常割り込みハンドラ内では PSW.I ビット = 0（割り込み許可しない）となっているためです。SH7080 グループのような多重割り込みを実現するには、割り込みハンドラの中で PSW.I ビット = 1（割り込み許可）にする必要があります。

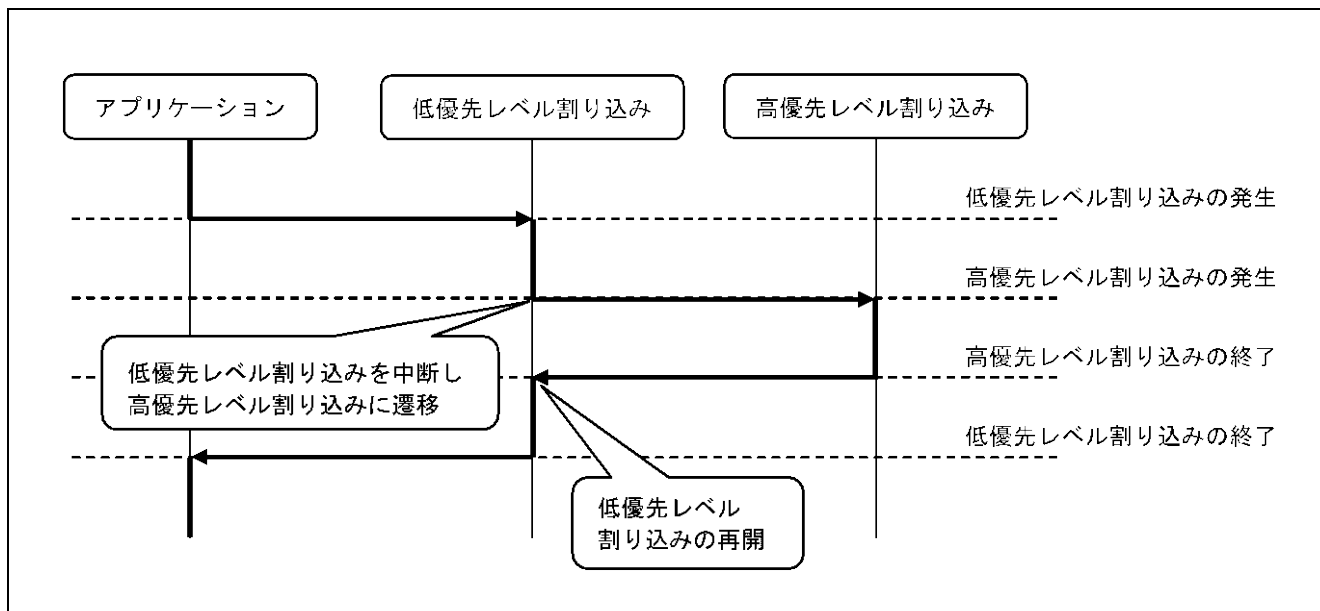


図1.24 SH7080 グループ 多重割り込みシーケンス

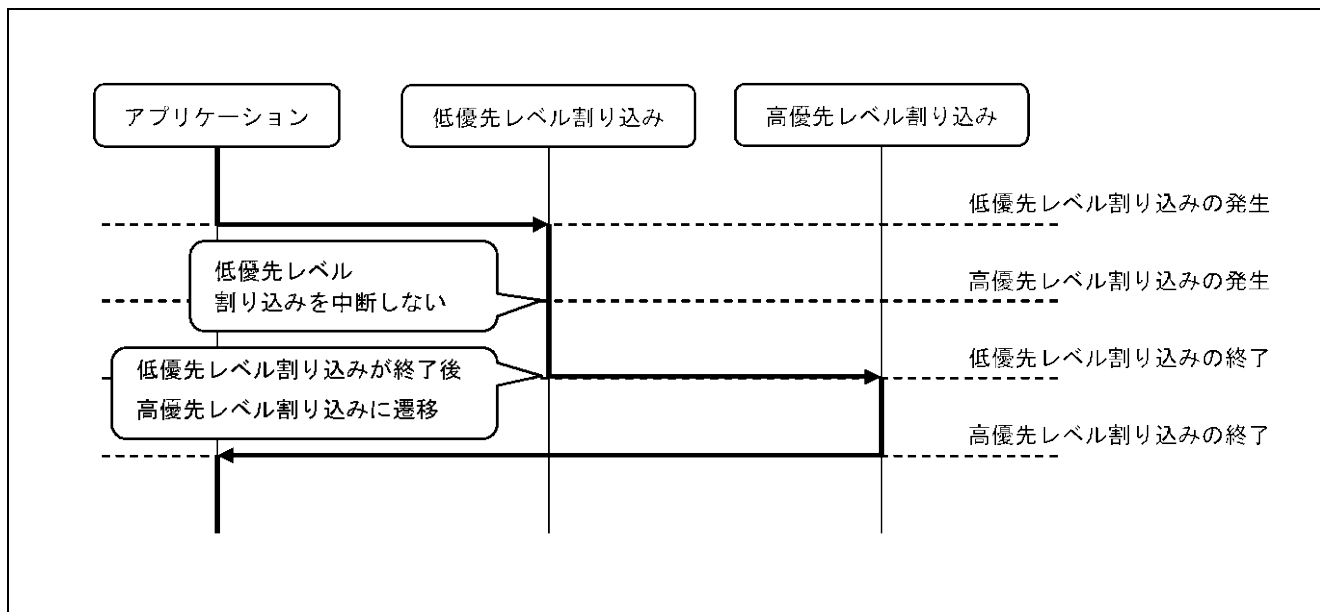


図1.25 RX651 割り込みシーケンス (PSW.I ビット制御を行わない場合)

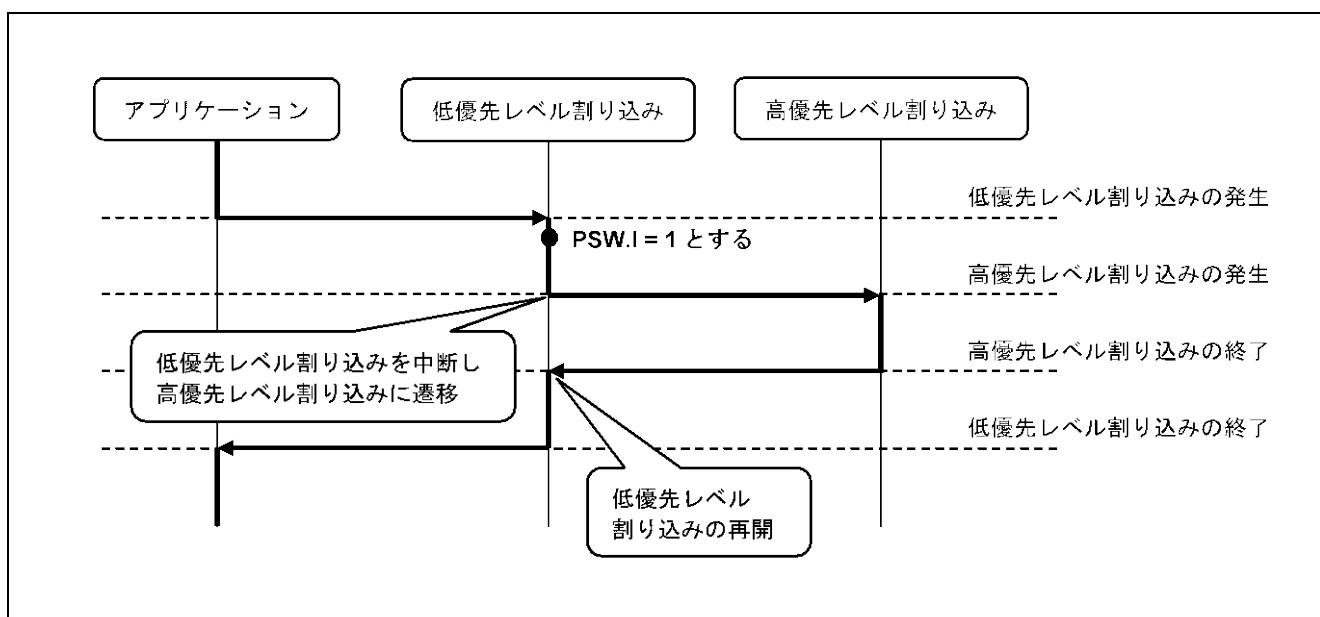


図1.26 RX651 割り込みシーケンス (PSW.I ビット制御を行う場合)

1.8.6 グループ割り込み

グループ割り込みは1ベクタに複数の割り込み要因が割り当てられています。グループ割り込みは、グループに割り当てられた割り込み要求の論理和で検出するため、割り込み要求を検出した場合、グループの中から割り込み要求をソフトウェアにて検出する必要があります。

周辺モジュールの動作クロックと、割り込み検出方法によって、それぞれ異なるグループにグループ化されています。

グループ割り込みステータスフラグのクリア条件は、割り込み検出方法によって異なります。グループ割り込みの種類とステータスフラグのクリア条件を表1.14に示します。

表1.14 RX651 グループ割り込みの種類

グループ名	周辺モジュールの動作クロック	割り込み検出方法	グループ割り込みステータスフラグ
グループ BE0	PCLKB	エッジ検出	割り込みコントローラの割り込み要因クリアビット（GCRBE0.CLRn）に‘1’を書き込むことで、自動的にクリア
グループ BL0		レベル検出	周辺モジュールの割り込みステータスフラグをクリアすることで、自動的にクリア
グループ BL1			
グループ BL2			
グループ AL0	PCLKA		
グループ AL1			

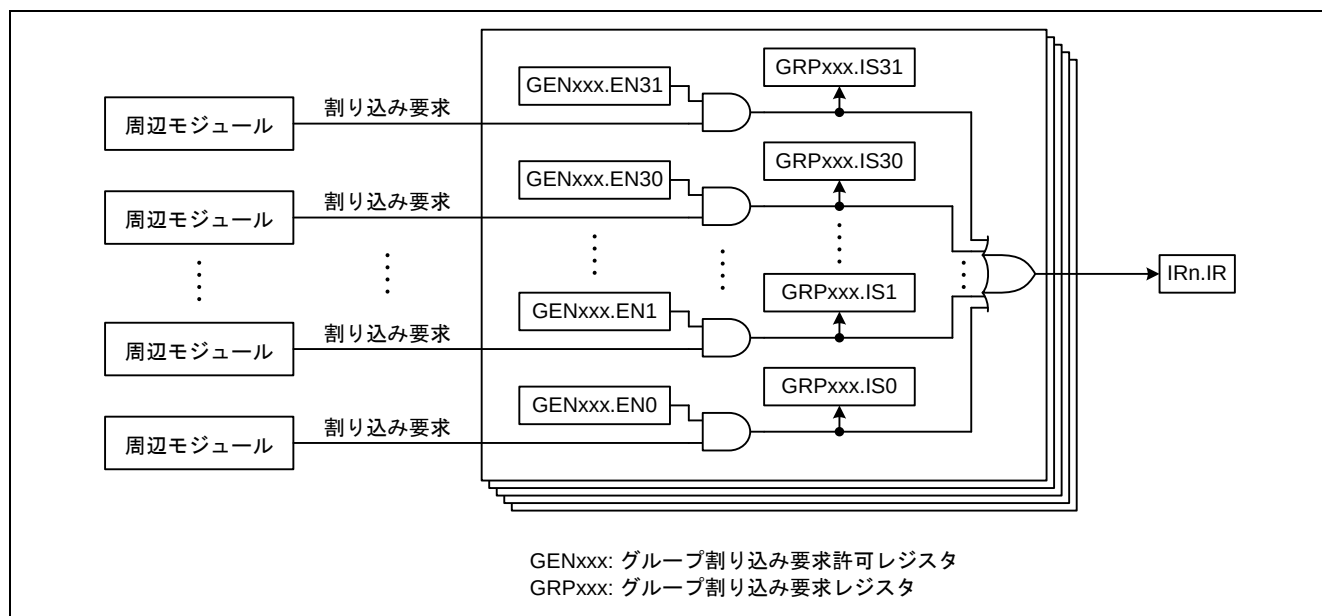


図1.27 RX651 グループ割り込みの構成

1.8.7 選択型割り込み

選択型割り込みは複数の周辺モジュールの割り込み要因から任意の1つを選択して、割り込みベクタ番号128～255に割り当てることができます。

周辺モジュールの動作クロックにより、選択型割り込みAと選択型割り込みBに分類されています。選択型割り込みの種類を表1.15に示します。

選択型割り込みステータスフラグは、自動的にクリアされませんが、クリアしなくても割り込み要求の生成には影響しません。

表1.15 RX651 選択型割り込みの種類

選択型名	周辺モジュールの動作クロック	割り込み検出方法	選択型割り込みステータスフラグ
選択型 A	PCLKA	エッジ検出	自動的にクリアされませんが、クリアしなくても割り込み要求の生成には影響しません
選択型 B	PCLKB		

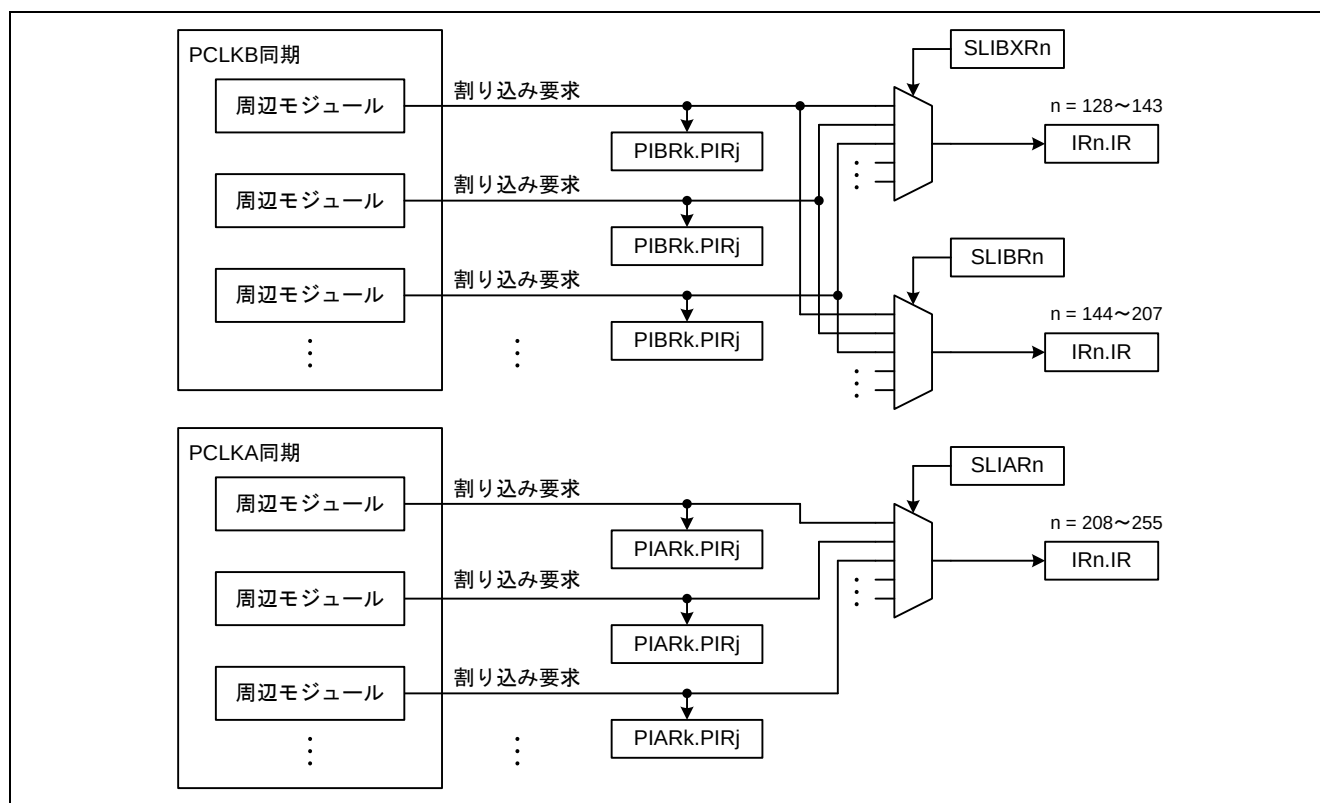


図1.28 RX651 選択型割り込みの構成

2. 内蔵機能

2.1 内蔵機能一覧

SH7080 グループと RX651 の内蔵機能一覧を表 2.1に示します。

表2.1内蔵機能一覧

SH7080 グループ	RX651
クロック発振器 (CPG)	クロック発生回路
割り込みコントローラ (INTC)	割り込みコントローラ (ICUB)
ユーザブレイクコントローラ (UBC)	—
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTCb)
バスステートコントローラ (BSC)	バス
ダイレクトメモリアクセスコントローラ (DMAC)	DMA コントローラ (DMACa) EXDMA コントローラ (EXDMACa)
マルチファンクションタイマパルスユニット 2 (MTU2) マルチファンクションタイマパルスユニット 2S (MTU2S)	マルチファンクションタイマパルスユニット 3 (MTU3a)
ポートアウトプットイネーブル (POE)	ポートアウトプットイネーブル 3 (POE3a)
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDTa) 独立ウォッチドッグタイマ (IWDTa)
シリアルコミュニケーションインタフェース (SCI) FIFO 付きシリアルコミュニケーションインタフェース (SCIF)	シリアルコミュニケーションインタフェース (SCIg, SCII, SCIIh)
シンクロナスシリアルコミュニケーションユニット (SSU)	シリアルペリフェラルインタフェース (RSPIc)
I2C バスインタフェース 2 (IIC2)	I2C バスインタフェース (RIICa)
A/D 変換器 (ADC)	12 ビット A/D コンバータ (S12ADFa)
コンペアマッチタイマ (CMT)	コンペアマッチタイマ (CMT) コンペアマッチタイマ W (CMTW)
ピンファンクションコントローラ (PFC)	マルチファンクションピンコントローラ (MPC)
I/O ポート	I/O ポート
フラッシュメモリ (注1)	フラッシュメモリ (注2)
RAM (最大 32KB)	RAM (最大 256KB)
低消費電力モード	消費電力低減機能
—	電圧検出回路 (LVDA) クロック周波数精度測定回路 (CAC) 消費電力低減機能 バッテリーバックアップ機能 レジスタライトプロテクション機能 メモリプロテクションユニット (MPU) イベントリンクコントローラ (ELC) 16 ビットタイマパルスユニット (TPUa) プログラマブルパルスジェネレータ (PPG) 8 ビットタイマ (TMR) リアルタイムクロック (RTCd) USB2.0FS ホスト/ ファンクションモジュール (USBb) CAN モジュール (CAN) クワッドシリアルペリフェラルインタフェース (QSPI) CRC 演算器 (CRCA) SD ホストインタフェース (SDHI) SD スレーブインタフェース (SDSI) マルチメディアカードインタフェース (MMCIF) パラレルデータキャプチャユニット (PDC) バウンダリスキャン

SH7080 グループ	RX651
—	AESa RNGa 12 ビット D/A コンバータ (R12DA) 温度センサ (TEMPS) データ演算回路 (DOC)

注 1. SH7080 グループにはマスク ROM を内蔵している製品もあります。

注 2. RX651 グループは、1M バイトのコード格納用フラッシュメモリ (ROM) を内蔵しています。
詳細はユーザーズマニュアル ハードウェア編を参照してください。

2.2 I/O ポート/ピンファンクションコントローラ (PFC)

2.2.1 I/O ポート数

SH7080 グループと RX651 の I/O ポート数を表 2.2に示します。

表2.2 I/O ポート数一覧

項目	パッケージ	ポート機能
SH7080 グループの I/O ポート数	TQFP1414-100 (SH7083)	入出力 : 65 入力 : 8 合計 : 73
	LQFP2020-112 (SH7084)	入出力 : 76 入力 : 8 合計 : 84
	LQFP2020-144 (SH7085)	入出力 : 100 入力 : 8 合計 : 108
	LQFP2424-176 (SH7086)	入出力 : 118 入力 : 16 合計 : 134
RX651 の I/O ポート数	TFLGA-145 LFQFP-144	入出力 : 111 入力 : 1 プルアップ抵抗 : 111 オープンドレイン出力 : 111 5Vトレラント : 18
	TFLGA-100 LFQFP-100	入出力 : 78 入力 : 1 プルアップ抵抗 : 78 オープンドレイン出力 : 78 5Vトレラント : 17

2.2.2 I/O 設定

SH7080 グループ、RX651 とともにマルチプレクス端子になっています。よって、端子設定を汎用入出力、または内蔵モジュール機能に割り振る必要があります。

SH7080 グループはピンファンクションコントローラ（PFC）を設定することにより、ポートの機能が決定します。I/O ポートはポート A～F から構成されています。

SH7080 グループの I/O ポートレジスタ設定を図 2.1 に、I/O ポートのレジスタ構成を表 2.3、ピンファンクションコントローラ（PFC）のレジスタ構成を表 2.4 に示します。

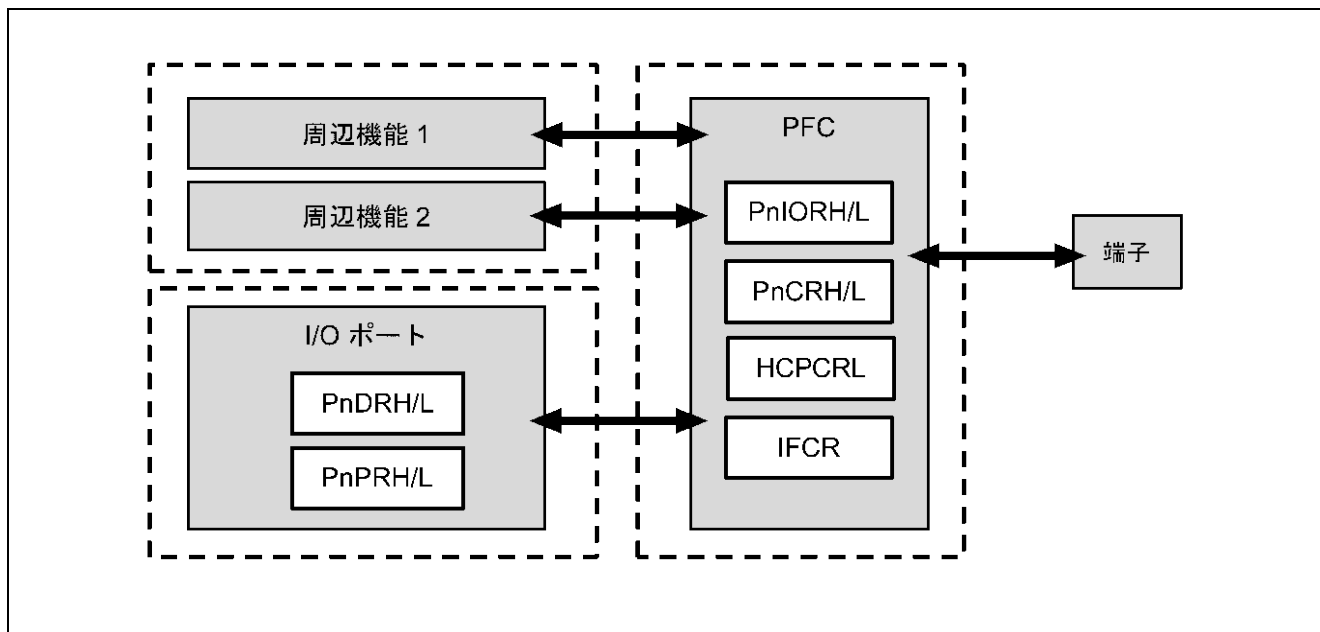


図2.1 SH7080 グループ I/O 設定

表2.3 SH7080 グループのレジスタ構成（I/O ポート）

レジスタ	機能名	機能
PnDRH PnDRL	ポート n データレジスタ H ポート n データレジスタ L	ポート n のデータレジスタ 端子出力データの格納
PnPRH PnPRL	ポート n ポートレジスタ H ポート n ポートレジスタ L	ポート n のデータ読み出し専用レジスタ 端子の状態の反映

n : 各ポート名 (n = A～F)

表2.4 SH7080 グループのレジスタ構成（PFC）

レジスタ	機能名	機能
PnIORH PnIOLR	ポート n・IO レジスタ H ポート n・IO レジスタ L	端子の入出力方向を選択 ポートの入力/出力の指定
PnCRHm PnCRLm	ポート n コントロールレジスタ Hm ポート n コントロールレジスタ Lm	マルチプレクス端子の機能を選択
HCPCR	大電流ポートコントロールレジスタ	大電流ポートの状態を設定
IFCR	IRQOUT 機能コントロールレジスタ	IRQ 出力端子の状態を設定

n : 各ポート名 (n = A～E) m : 設定番号 (m = 1～4)

なお、SH7080 グループは動作モード（MCU モード 0, 1, 2、シングルチップモード）によって端子に割り振られる機能と、ピンファンクションコントローラ設定可能な機能も変わります。

RX651 はマルチファンクションピンコントローラ（MPC）を設定することにより、ポートの機能が決定します。I/O ポートはポート 0～9, A～F, J から構成されています。

端子機能を選択するレジスタは、SH7080 グループがポートごとにレジスタを備えていたのに対し、RX651 は端子ごとにレジスタを備えています。

RX651 の IO ポートに関しては、下記に示すような設定が可能です。

- オープンドレイン制御レジスタ : ポート出力形態の選択
CMOS 出力/N チャネルオープンドレイン出力/P チャネルオープンドレイン出力
- プルアップ制御レジスタ : 入力プルアップ抵抗の ON/OFF 選択
- 駆動能力制御レジスタ : 通常出力/高駆動出力から選択
- 5V トレラント入力ポートあり

RX651 の I/O ポートレジスタ設定を図 2.2 に、I/O ポートのレジスタ構成を表 2.5、マルチファンクションピンコントローラ（MPC）のレジスタ構成を表 2.6 に示します。

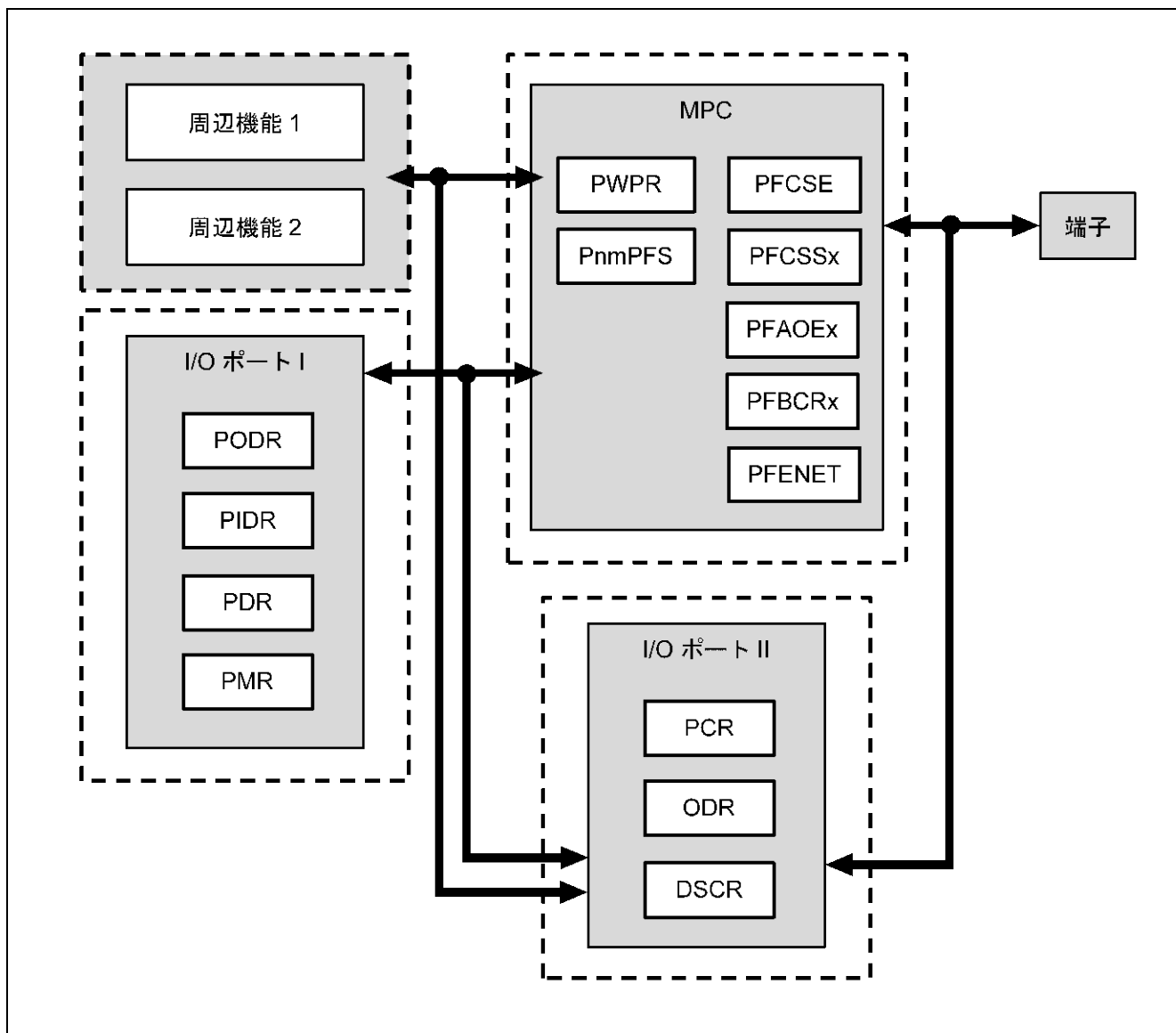


図2.2 RX651 I/O 設定

端子を汎用入出力として使用する場合は、I/O ポート内のレジスタ設定を行うのみです。RX651 の端子を汎用入出力として使用する場合の初期化フローを図 2.3 に示します。

端子を周辺機能として使用する場合は、MPC の端子機能制御レジスタ (PnmPFS) で端子を周辺機能に割り付けます。なお、汎用入出力を含む周辺機能使用時の設定例については、各周辺機能の章で記載します。RX651 の端子を周辺機能として使用する場合の初期化フローを図 2.4 に示します。

表2.5 RX651 のレジスタ構成 (I/O ポート)

レジスタ	機能名	機能
PDR	ポート方向レジスタ	汎用入出力ポートが選択されているとき ポートの入力/出力の指定
PODR	ポート出力データレジスタ	汎用出力ポート 端子出力データの格納
PIDR	ポート入力データレジスタ	汎用入力ポート 端子の状態の反映
PMR	ポートモードレジスタ	ポート端子機能の設定 汎用入出力ポートまたは周辺機能として使用するかの端子毎に設定
ODR0	オープンドレイン制御レジスタ 0	ポートの出力を以下の形態から選択 • CMOS 出力 • N チャネルオープンドレイン • P チャネルオープンドレイン
ODR1	オープンドレイン制御レジスタ 1	ポートの出力を以下の形態から選択 • CMOS 出力 • N チャネルオープンドレイン
PCR	プルアップ制御レジスタ	ポートの入力プルアップ抵抗の有効/無効の指定
DSCR	駆動能力制御レジスタ	駆動能力の設定 • 通常出力 • 高駆動出力
DSCR2	駆動能力制御レジスタ 2	駆動能力の設定 • 通常/高速駆動出力 • 高速インタフェース用高駆動出力

表2.6 RX651 のレジスタ構成 (MPC)

レジスタ	機能名	機能
PWPR	書き込みプロテクトレジスタ	PnmPFS レジスタへの書き込みプロテクト機能
PnmPFS	Pnm 端子機能制御レジスタ	マルチプレクス端子の機能を選択
PFCSE	CS 出力許可レジスタ	CSn# (n : 0~7) 出力禁止/許可を設定
PFCSS0	CS 出力端子選択レジスタ 0	CS0~3 の出力端子を選択
PFCSS1	CS 出力端子選択レジスタ 1	CS4~7 の出力端子を選択
PFAOE0	アドレス出力許可レジスタ 0	端子をアドレスバスとして使用する場合の設定
PFAOE1	アドレス出力許可レジスタ 1	端子をアドレスバスとして使用する場合の設定
PFBCR0	外部バス制御レジスタ 0	端子を外部バスとして使用する場合の設定
PFBCR1	外部バス制御レジスタ 1	端子を外部バスとして使用する場合の設定

n : ポート名 (n = 0~9, A~F, J) m : 端子番号 (m = 0~7)

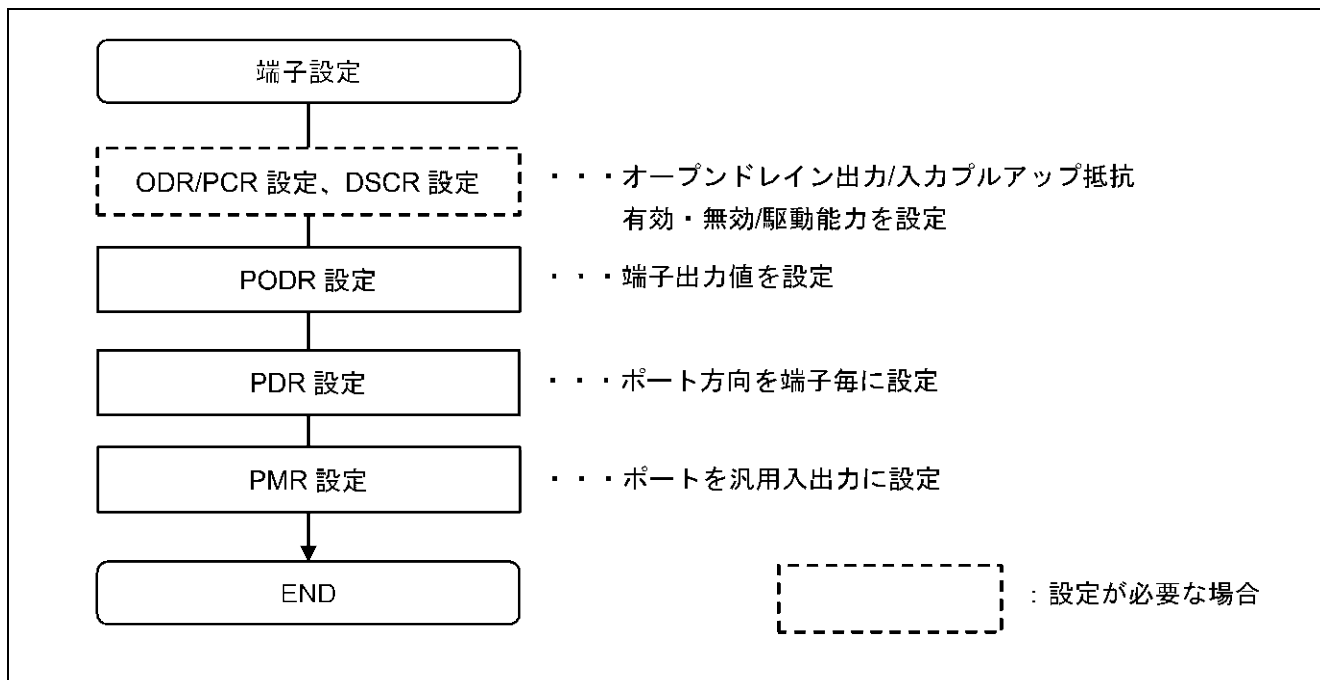
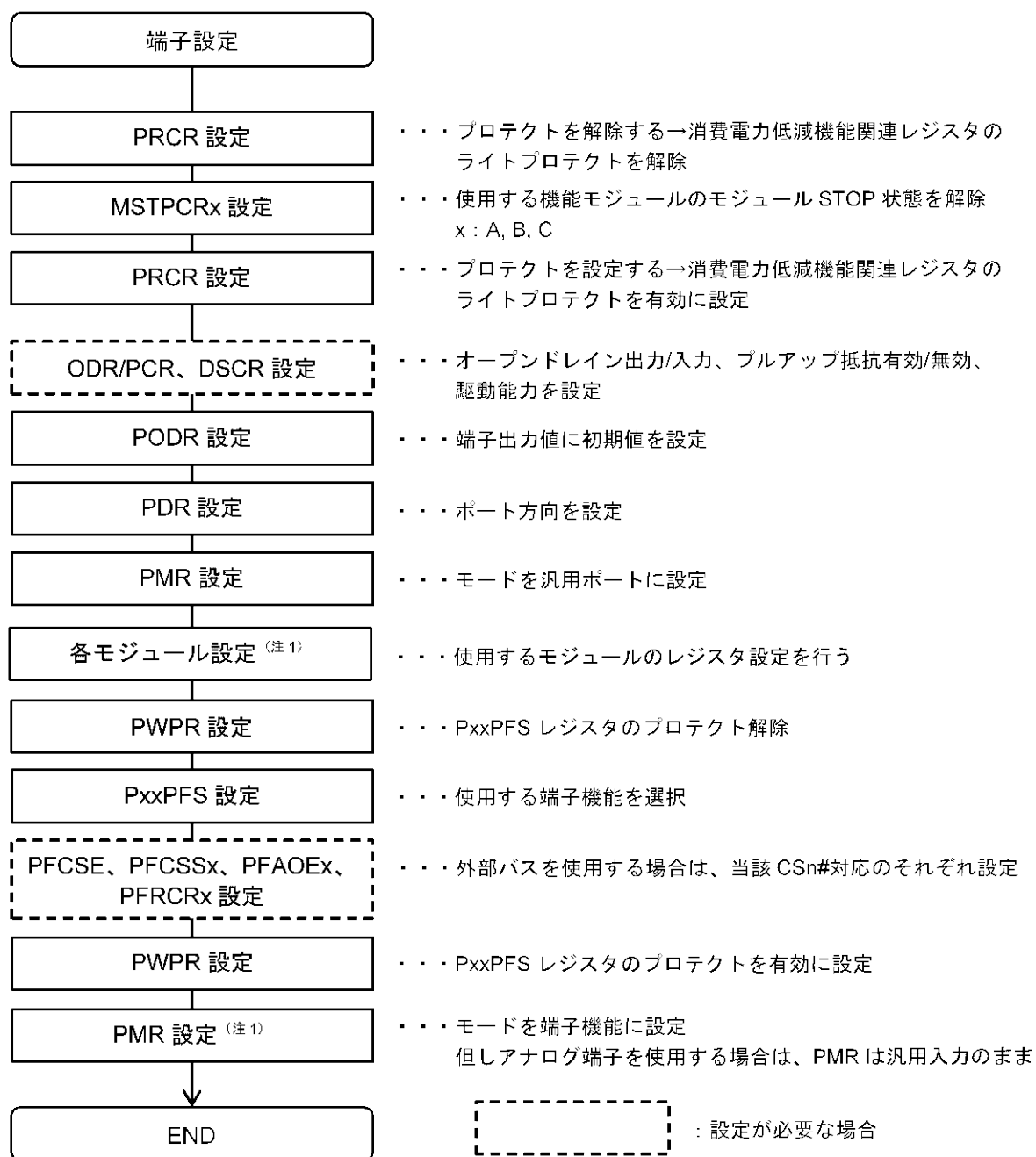


図2.3 RX651 端子の汎用入出力設定フローチャート



注. MPC を使用して周辺機能として設定する具体例は各周辺モジュールの章に記載しております。

注1. PMR 設定とモジュール設定の順序はモジュールによって異なります。

図2.4 RX651 端子の周辺機能設定フローチャート

2.2.3 汎用入出力の設定例

SH7080 グループと RX651 における汎用入出力ポートの設定例を示します。

設定例のレジスタ名は、iodefine.h を使用した場合の名称で記載します。

SH7080 グループでは PB2 を RX651 では P34 をそれぞれ汎用入力として使用する例を表 2.7 に示します。

表2.7 汎用入力の設定例

手順		SH7080 グループ	RX651
1	端子の入出力方向を入力に設定	PFC.PBIORL.B2 = 0b	PORT3.PDR.B4 = 0b
2	端子を汎用ポートに設定	PFC.PBCRL1.PB2MD = 000b	PORT3.PMR.B4 = 0b

SH7080 グループでは PB2 を RX651 では P34 をそれぞれ汎用出力として使用する例を表 2.8 に示します。出力値は High とします。

表2.8 汎用出力の設定例定

手順		SH7080 グループ	RX651
1	端子の出力を High に設定	PB.DRL.B2 = 1b	PORT3.PODR.B4 = 1b
2	端子の入出力方向を出力に設定	PFC.PBIORL.B2 = 1b	PORT3.PDR.B4 = 1b
3	端子を汎用ポートに設定	PFC.PBCRL1.PB2MD = 000b	PORT3.PMR.B4 = 0b

2.3 バス

2.3.1 仕様比較

バスステートコントローラ機能として、SH7080 グループでは BSC が内蔵されています。

SH7080 グループと RX651 の仕様比較を表 2.9に示します。

表2.9 SH7080 グループ、RX651 の仕様比較（バス）

項目	SH7080 グループ（BSC）	RX651
外部バスアドレス空間	- CS0～7 の外部アドレス空間（各最大 64M バイト） - CS8 の外部アドレス空間（最大 1G バイト） 最大 2 つの CS エリアで SDRAM を選択（最大 64M バイト）	- CS0～7 の外部アドレス空間（各 16M バイト） - 独立した SDRAM 空間（最大 128M バイト）
バス幅	エリア毎に 8, 16, 32 ビットから選択	エリア毎に 8, 16 ビットから選択
エンディアン	ビッグエンディアン固定	エリア毎にエンディアンを選択 ^(注1)
バスの調停	CPU バス、外部バスの優先順位は固定	- 優先順位は固定とトグルから選択 — メモリバス — 内部周辺バス — 外部バス - 優先順位は固定 — CPU バス — 内部メインバス
その他	- CS 領域 — アクセスウェイト制御 — CSn アサート期間拡張 — MPX-I/O インタフェース（アドレスデータマルチプレクス） — バイト選択つき SRAM 対応可 — PCMCIA インタフェース対応可 — バースト ROM（同期/非同期）対応可 — バースト MPX-I/O 対応可 - SDRAM 領域 — オートリフレッシュ、セルフリフレッシュ — CAS レイテンシ設定可能	- CS 領域 — リカバリサイクル挿入可能 — サイクルウェイト機能 — CSn#信号タイミング制御 — RD#, WR#信号のタイミング制御 — ライトアクセスモード — アドレスデータマルチプレクス I/O デバイスアクセス可能 - SDRAM 領域 — ロウアドレス、カラムアドレスのマルチプレクス出力 — オートリフレッシュ、セルフリフレッシュ — CAS レイテンシ設定可能 - ライトバッファ — ライトバッファ機能

注 1. エンディアンの設定は1.2.2章を参照してください。

2.3.2 バスブロック図

SH7080 グループと RX651 のバスブロック図を比較します。

SH7080 グループの BSC ブロック図を図 2.5に、RX651 のバスブロック図を図 2.6に示します。

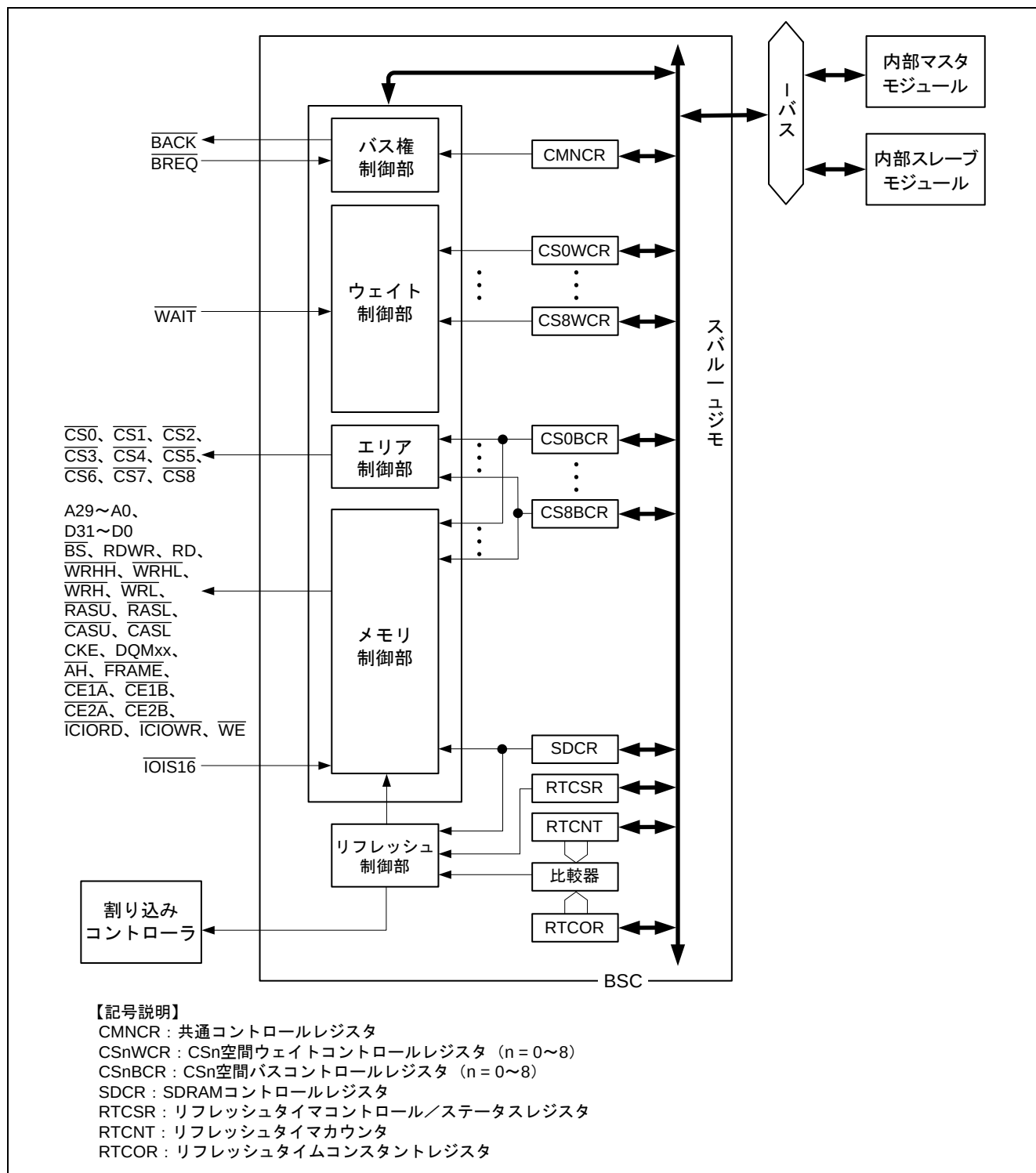


図2.5 SH7080 グループ バスブロック図

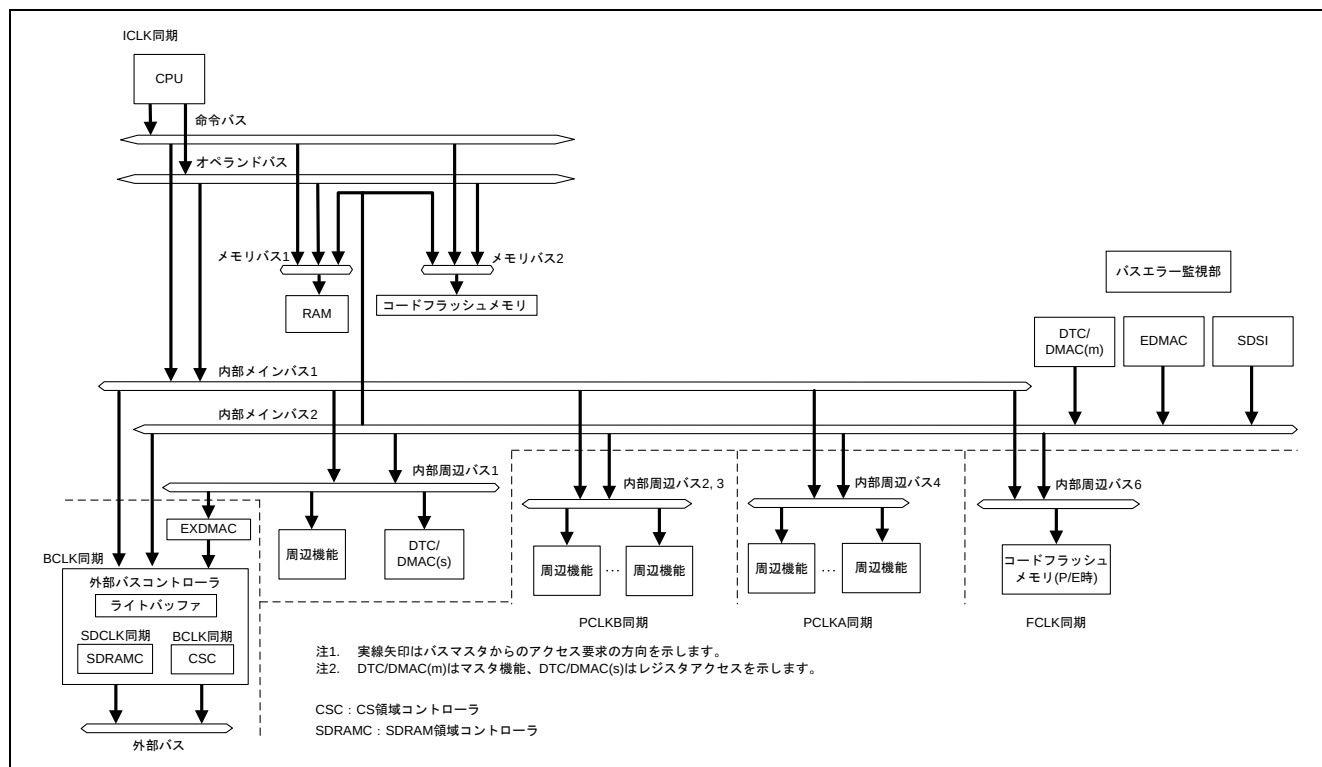


図2.6 RX651 バスブロック図

RX651 のバスの種類を表 2.10に示します。SH7080 グループと RX651 ではバスアーキテクチャが異なり、メモリバス、内部バス、周辺バスがそれぞれ多段に存在します。これにより CPU と DMAC/DTC、更には周辺バス毎にモジュールの並列動作が可能になり、より高速な動作を実現できます。

表2.10 RX651 のバスの種類

バス	接続モジュール等	クロック
CPU バス (命令バス、オペランドバス)	命令バス : CPU、内蔵メモリ オペランドバス : CPU、内蔵メモリ	ICLK
メモリバス 1	内蔵 RAM	ICLK
メモリバス 2	コードフラッシュメモリ	ICLK
内部メインバス 1	CPU	ICLK
内部メインバス 2	DTC、DMAC、SDSI、内蔵メモリ	ICLK
内部周辺バス 1	周辺機能 (DTC、DMAC、EXDMAC、割り込みコントローラ、バスエラー監視部)	ICLK (EXDMAC は BCLK)
内部周辺バス 2	周辺機能 (周辺バス 1, 3, 4, 5 以外の周辺機能)	PCLKB
内部周辺バス 3	周辺機能 (USBb、PDC、スタンバイ RAM)	PLCKB
内部周辺バス 4	周辺機能 (MTU3、SCiI、RSPI、AES)	PLCKA
内部周辺バス 5	予約領域	—
内部周辺バス 6	コードフラッシュメモリ (P/E 時)	FCLK
外部バス (CS 領域)	外部デバイス	BCLK
外部バス (SDRAM 領域)	SDRAM	SDCLK

ICLK : システムクロック

PCLKA, PCLKB : 周辺モジュールクロック

FCLK : FlashIF クロック

BCLK : 外部バスクロック

SDCLK : SDRAM クロック

2.3.3 SDRAM のリードライトの設定例

SH7080 と RX651 のバスの設定例として、SDRAMC を使用して、128Mbit SDRAM (2M-word×16bit×4bank MT48LC8M16A2P-6A: Micron 社製) のリード／ライトを行う設定を以下に示します。

<仕様>

- ① RSK+RX65N を使用します。
- ② SDRAM の初期化を行います。
- ③ 128M ビットの SDRAM 領域に対し、ワード単位のインクリメントデータを書き込みます。
- ④ すべての領域に書き込み完了後、書き込んだ値を読み出します。
- ⑤ 読み出した値が期待値と一致した場合、LED0 を点灯します。
期待値と異なる場合、LED1 を点灯します。

表2.11 SDRAM (MT48LC8M16A2P-6A) 仕様

項目	内容
構成	2M-word×16bit×4bank (Micron 社製)
容量	128M バイト
ロウアドレス	A11-A0
カラムアドレス	A8-A0
オートリフレッシュ間隔	64ms ごとの 4096 リフレッシュサイクル (max)
CAS レイテンシ	3 サイクル
初期化オートリフレッシュ回数	2 回以上
オートリフレッシュ期間 (tRFC)	60ns (min)
ライトリカバリ期間 (tWR)	オートプリチャージモード : 1CLK+6ns (min) プリチャージモード : 12ns (min)
プリチャージコマンド期間 (tRP)	18ns (min)
アクティブコマンドからプリチャージコマンドまでの期間 (tRAS)	42ns (min)~120,000ns (max)
アクティブコマンドからリード／ライトコマンドまでの遅延時間 (tRCD)	18ns (min)

表2.12 使用端子一覧

端子	内容
P03	LED0 出力 (ペリファイ完了)
P05	LED1 出力 (ペリファイエラー)
PA7-PA0	アドレス出力端子 (A7-A0)
PB6-PB0	アドレス出力端子 (A14-A8)
PD7-PD0	データ入出力端子 (D7-D0)
PE7-PE0	データ入出力端子 (D15-D8)
P70	SDCLK 端子出力
P61	SDCS#端子出力
P62	RAS#端子出力
P63	CAS#端子出力
P64	WE#端子出力
P65	CKE 端子出力
P66	DQM0 端子出力
P67	DQM1 端子出力

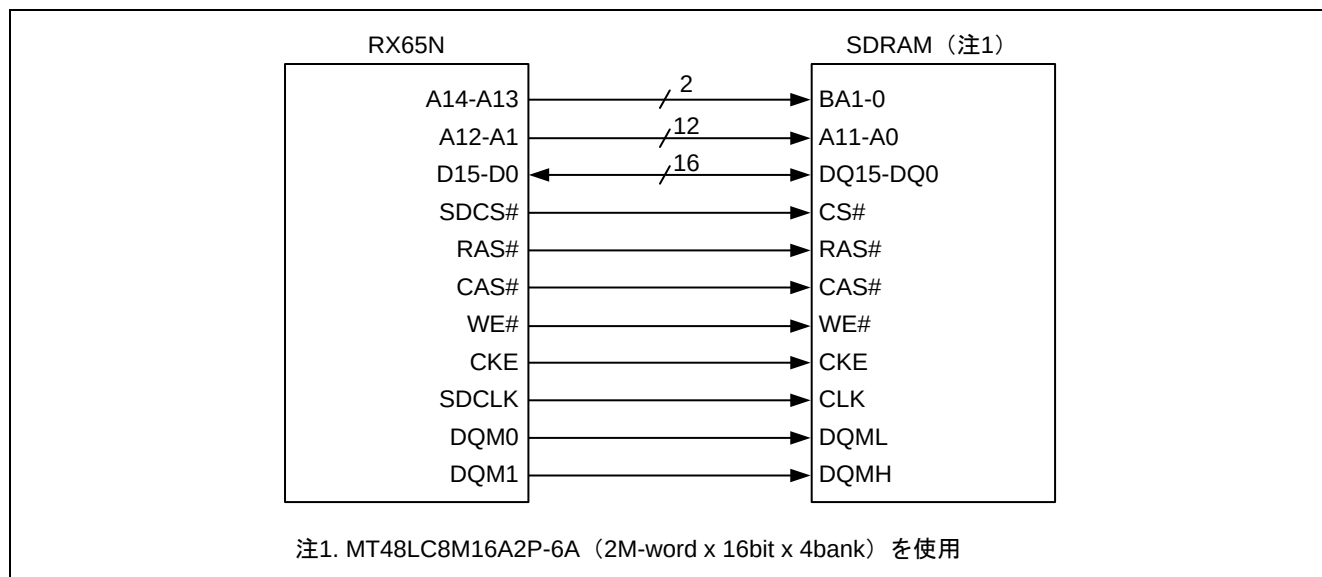


図2.7 SDRAM 接続

使用する SDRAM に合わせて初期化シーケンス、SDRAM のモードレジスタ、オートリフレッシュ間隔、SDRAM のリード/ライトタイミングの設定を行います。

表2.13 SDRAM (MT48LC8M16A2P-6A) 接続時の初期化シーケンス設定

SDRAM タイミング	記号	内容	SH7080 設定 Bφ(バスクロック): 40MHz	RX651 設定 SDCLK (SDRAM クロック): 60MHz
クロック入力後、プリチャージコマンド入力までの待ち時間	—	100 μs	—	安定した SDCLK が出力開始後、ソフトウェアで 100 μs 待ってから、初期化シーケンスを開始
初期化プリチャージサイクル	tRP	18ns(min)	CS3WCR.WTRP[1:0]=00b : 0 サイクル (Bφ=40MHz のため、25ns)	SDIR.PRC[2:0]=000b : 3 サイクル (SDCLK=60MHz のため、約 50ns)
初期化オートリフレッシュ間隔	tRFC	60ns(min)	CS3WCR.WTRC[1:0]=00b : 2 サイクル (Bφ=40MHz のため、75ns)	SDIR.ARFI[2:0]=001b : 4 サイクル (SDCLK=60MHz のため、約 66ns)
初期化リフレッシュ回数	—	2 回以上	8 回固定	SDIR.ARFC[3:0]=0010b : 2 回

表2.14 SDRAM (MT48LC8M16A2P-6A) の SDRAM モードレジスタ

ビット	シンボル	内容	SH7080 設定 Bφ(バスクロック) : 40MHz	RX651 設定 SDCLK (SDRAM クロック) : 60MHz
b2-b0	BurstLength	バースト長の選択 000: 1 001: 2 010: 4 011: 8 111: FullPage (b3=1 の場合のみ) 上記以外の値を設定しないでください	000: 1	000: 1
b3	BurstType	バースト種別の選択 0: Sequential 1: Interleaved	0: Sequential	0: Sequential
b6-b4	CASLatency	CAS レイテンシの選択 001: 1 010: 2 011: 3 上記以外の値を設定しないでください	011: 3	011: 3
b8-b7	OperatingMode	00: StandardOperation 上記以外の値を設定しないでください	00: StandardOperation	00: StandardOperation
b9	WriteBurstMode	ライトバーストモードの選択 0: ProgrammedBurstLength 1: SingleLocationAccess	1: SingleLocationAccess	1: SingleLocationAccess
b11-b10	Reserved	“00b” を書き込んでください	00	00

表2.15 SDRAM (MT48LC8M16A2P-6A) のオートリフレッシュタイミング

SDRAM タイミング	記号	内容	SH7080 設定 Bφ(バスクロック) : 40MHz	RX651 設定 SDCLK (SDRAM クロック) : 60MHz
リフレッシュサイクル	tREF	64ms (max)	(オートリフレッシュ間隔の計算式で使用)	(オートリフレッシュ間隔の計算式で使用)
ロウアドレス数	—	4,096	(オートリフレッシュ間隔の計算式で使用)	(オートリフレッシュ間隔の計算式で使用)
オートリフレッシュ間隔	—	15.625 μs (max) (tREF/ロウアドレス数)	RTCOR=0xA55A009C : 156 サイクル RTCSR.CKS[2:0]=001b : RTCNT のカウントアップクロック=Bφ/4 (Bφ=40MHz のため、15.6 μs)	SDRFCR.RFC[11:0]=0x03A9 : 937 サイクル (SDCLK=60MHz のため、15.617 μs)
オートリフレッシュ解除サイクル	tRFC	60ns (min)	CS3WCR.WTRC[1:0]=00b : 2 サイクル (Bφ=40MHz のため、75ns)	SDRFCR.REFW[3:0]=0011b : 4 サイクル (SDCLK=60MHz のため、約 66ns)

表2.16 SDRAM (MT48LC8M16A2P-6A) 接続時のリード/ライトタイミング

SDRAM タイミング	記号	内容	SH7080 設定 Bφ(バスクロック) : 40MHz	RX651 設定 SDCLK(SDRAM クロック) : 60MHz
カラムレイテンシ (注2)	—	3 サイクル (注1)	CS3WCR.A3CL[1:0]=10b : 3 サイクル	SDTR.CL[2:0]=011b : 3 サイ クル
ライトリカバリ期間	tWR	1CLK + 6ns (min) SH7080 : 31ns (min) RX651 : 22.66ns (min)	CS3WCR.TRWL[1:0]=01b : 1 サイクル (Bφ=40MHz のため、50ns)	SDTR.WR=1 : 2 サイクル (SDCLK=60MHz のため、約 33ns)
ロウプリチャージ期間	tRP	18ns (min)	CS3WCR.WTRP[1:0]=00b : 0 サイクル (Bφ=40MHz のため、25ns)	SDTR.RP[2:0]=001b : 2 サイ クル (SDCLK=60MHz のため、約 33ns)
ロウアクティブ期間 (注2)	tRAS	42ns (min)	—	SDTR.RAS[2:0]=010b : 3 サイ クル (SDCLK=60MHz のため、約 50ns)
ロウカラムレイテンシ (注2)	tRCD	18ns (min)	CS3WCR.WTRCD[1:0]=00b : 0 サイクル (Bφ=40MHz のため、25ns)	SDTR.RCD[1:0]=01b : 2 サイ クル (SDCLK=60MHz のため、約 33ns)

注 1. SDRAM モードレジスタにて 3 を選択。

注 2. ロウアクティブ期間の設定は、ロウカラムレイテンシ+カラムレイテンシ以下に設定。

以下に SDRAM 接続時の初期設定例を示します。

表2.17 SDRAM データ転送初期設定例

手順		SH7080 設定例 Bφ(バスクロック) : 40MHz	RX651 設定例 SDCLK(SDRAM クロック) : 60MHz
1	レジスタプロテクト解除	—	SYSTEM.PRCR=A503h (レジスタ書き込み許可)
2	SDCLK、BCLK 出力禁止	—	SYSTEM.SCKCR.PSTOP0=1 (SDCLK 端子出力停止) SYSTEM.SCKCR.PSTOP1=1 (BCLK 端子出力停止)
3	バスエラー監視機能設定	—	BSC.BEREN.IGAEN=0 (不正アドレスアクセス検出禁止) BSC.BEREN.TOEN=0 (バスタイムアウト検出禁止)
4	バスプライオリティ設定	—	BSC.BUSPRI.BPEB[1:0]=00b (優先順位固定)

手順		SH7080 設定例 Bφ(バスクロック) : 40MHz	RX651 設定例 SDCLK(SDRAM クロック) : 60MHz
5	SDRAM 端子機能設定	PFC.PCCRL4=1111h (A12~A15 出力) PFC.PCCRL3=1111h (A8~A11 出力) PFC.PCCRL2=1111h (A4~A7 出力) PFC.PCCRL1=1111h (A0~A3 出力) PFC.PDCRL4=1111h (D12~D15 出力) PFC.PDCRL3=1111h (D8~D11 出力) PFC.PDCRL2=1111h (D4~D7 出力) PFC.PDCRL1=1111h (D0~D3 出力) PFC.PACRL4=1011h (CK 出力、WRH#/DQMLU 出力、 WRL#/DQMLL 出力) PFC.PACRL3=0055h (CKE 出力、RDWR 出力) PFC.PACRL2=2000h (CS3#出力) PFC.PBCRL2=0044h (CASL#出力、RASL#出力)	MPC.PFBCR0=11h (外部アドレスバス A0~A7 設定、外部データバス D8~D15 設定) MPC.PFBCR1=D0h (SDCLK 出力許可、DQM1 出力許可、 CKE,SDCS#,RAS#,CAS#,WE#,DQM0 端子の出力許可) MPC.PFAOE0=7Fh (A15 出力禁止、A14~A8 出力許可) MPC.PFAOE1=00h (A23~A16 出力禁止) PORTA.PMR &= 00h (A0~A7) PORTB.PMR &= 80h (A8~A14) PORTD.PMR &= 00h (D0~D7) PORTE.PMR &= 00h (D8~D15) PORT6.PMR &= 01h (SDCS#,RAS#,CAS#,WE#,CKE,DQM0,DQM1) PORT7.PMR &= FEh (SDCLK)
6	外部バス設定	—	SYSTEM.SYSCR0=5A03h (外部バス有効/内蔵 ROM 有効) SYSTEM.SYSCR0.EXBE の反映確認
7	SDCLK 出力許可	—	SYSTEM.SCKCR.PSTOP0=0 (SDCLK 端子出力動作)
8	レジスタプロテクト設定	—	SYSTEM.PRCR=A500h (レジスタ書き込み禁止)
9	SDCLK 出力後 100 μs 待ち	←	←
10	初期化シーケンス設定	BSC.CS3WCR.WTRP[1:0]=00b (プリチャージ完了待ちウェイトサイクル数: ウェイトサイクルなし) *オートリフレッシュ回数は 8 回固定 BSC.CS3WCR.WTRC[1:0]=00b (REF コマンド/セルフリフレッシュ解除→ACTV/REF/MRS コマンド間アイドルサイクル数: 2 サイクル)	BSC.SDIR.PRC[2:0]=000b (初期化プリチャージサイクル数: 3 サイクル) BSC.SDIR.ARFC[3:0]=0010b (初期化オートリフレッシュ回数: 2 回) BSC.SDIR.ARFI[3:0]=0001b (初期化オートリフレッシュ間隔: 4 サイクル)
11	初期化シーケンス開始	SH では、SDRAM モードレジスタをアクセスすると、初期化シーケンスが開始され、SDRAM アドレス空間へのアクセスが可能となるため、最後の手順で実施。	BSC.SDICR.INIRQ=1 (初期化シーケンス開始)
12	初期化シーケンス終了待ち	—	BSC.SDSR=0x00 であることを確認
13	SDRAM バス幅設定	BSC.CS3BCR.BSZ[1:0]=10 (16 ビット空間) BSC.CS3BCR.TYPE[2:0]=100b (SDRAM)	BSC.SDCCR.EXENB=0 (SDRAM アドレス空間の動作禁止) BSC.SDCCR.BSIZE[1:0]=00b (16 ビットバス空間)
14	SDRAM モードレジスタ設定	SDMR3 のアドレス=FFF85460h (16 ビットバス幅/CAS レイテンシ 3)	BSC.SDMOD=0230h (モードレジスタの値)

手順		SH7080 設定例 Bφ(バスクロック) : 40MHz	RX651 設定例 SDCLK(SDRAM クロック) : 60MHz
15	SDRAM タイミング設定	BSC.CS3WCR.WTRCD[1:0]=00b (ACTV コマンド→READ(A)/WRIT(A)コマンド間ウェイトサイクル数 : 0 サイクル) BSC.CS3WCR.WTRP[1:0]=00b (プリチャージ完了待ちウェイトサイクル数 : 0 サイクル) BSC.CS3WCR.A3CL[1:0]=10b (エリア 3 の CAS レイテンシ : 3 サイクル) BSC.CS3WCR.TRWL[1:0]=01b (プリチャージ起動待ちウェイトサイクル数 : 1 サイクル) BSC.CS3WCR.WTRC[1:0]=00b (REF コマンド/セルフリフレッシュ解除→ACTV/REF/MRS コマンド間アイドルサイクル数 : 2 サイクル)	BSC.SDTR.RCD[1:0]=01b (ロウカラムレイテンシ : 2 サイクル) BSC.SDTR.RP[2:0]=001b (ロウプリチャージ期間 : 2 サイクル) BSC.SDTR.CL[2:0]=011b (SDRAMC カラムレイテンシ : 3 サイクル) BSC.SDTR.WR=1 (ライトリカバリ期間 : 2 サイクル) BSC.SDTR.RAS[2:0]=010b (ロウアクティブ期間 : 3 サイクル)
16	アドレスマルチプレクス設定	BSC.SDCR.A3ROW[1:0]=01b (ロウアドレス 12 ビット) BSC.SDCR.A3COL[1:0]=00b (カラムアドレス 8 ビット)	BSC.SDADR.MXC[1:0]=01b (アドレスマルチプレクス : 9 ビット)
17	エンディアン設定	—	BSC.SDCMOD.EMODE=0 (SDRAM アドレス空間と動作モードのエンディアンは同じ)
18	アクセスモード設定	—	BSC.SDAMOD.BE=0 (連続アクセス禁止)
19	オートリフレッシュタイミング設定	BSC.RTCOR=A55A009Ch (オートリフレッシュ間隔 : 156 サイクル (15.6 μs)) BSC.RTCR の設定は手順 21 で実施する。 BSC.RTCNT は、BSC.RTCR.CKS[2:0]の設定後からカウントアップを開始するため。	BSC.SDRFCR.RFC[11:0]= 3A9h (オートリフレッシュ要求間隔 : 937 サイクル (15.617 μs)) BSC.SDRFCR.REFW[3:0]=0011b (オートリフレッシュサイクル/セルフリフレッシュ解除サイクル数 : 4 サイクル)
20	オートリフレッシュ有効	BSC.SDCR.RFSH=1 (リフレッシュする) BSC.SDCR.RMODE=0 (オートリフレッシュする)	BSC.SDRFEN.RFEN=1 (オートリフレッシュ有効)
21	リフレッシュ設定	BSC.RTCR=A55A0008h (リフレッシュ回数 : 1 回/RTCNT のカウントアップクロック : Bφ/4)	—
22	SDRAM アドレス空間動作許可	SDMR3=0 (SDRAM モードレジスタへ書き込み)	BSC.SDCCR.EXENB=1 (SDRAM アドレス空間の動作許可)

2.4 割り込みコントローラ

2.4.1 IRQ の設定例

SH7080 グループと RX651 において IRQ3 を使用する場合の設定例を示します。

設定例のレジスタ名は、iodefine.h を使用した場合の名称で記載します。

SH7080 グループでは PB5 を RX651 では P13 をそれぞれ IRQ3 入力端子として使用する例を示します。

表2.18 割り込み初期設定例（IRQ3 設定）

手順		SH7080 グループ	RX651
1	I/O ポート設定 (RX651 のみ)	—	PORT1.PDR.B3 = 0b (P13 は入力) PORT1.PMR.B3 = 0b (P13 は汎用) MPC.PWPR.B0WI = 0b (PFSWE ライト許可) MPC.PWPR.PFSWE = 1b (PFS ライト許可) MPC.P13PFS.ISEL = 1b (P13 を IRQ3 に設定) MPC.PWPR.PFSWE = 0b (PFS ライト禁止) MPC.PWPR.B0WI = 1b (PFSWE ライト禁止)
2	割り込みコントローラ 設定	INTC.IRQCR.IRQ3S = 01b (IRQ3 立ち下がリエッジ検出) INTC.IPRA._IRQ3 = 15 (IRQ3 優先レベル 15)	IRQFLTC0.FCLKSEL3[1:0] = 11b (IRQ3 デジタルフィルタサンプリング PCLKB/64) IRQCR3.IRQMD[1:0] = 01b (IRQ3 立ち下がリエッジ検出) ICU.IR[67].IR = 0b (IRQ3 割り込み要求フラグクリア) IRQFLTE0.FLTEN3 = 1b (IRQ3 デジタルフィルタ有効) ICU.IPR[67].IPR[3:0] = 15 (IRQ3 割り込みレベル 15) ICU.IER[8].IEN3 = 1b (IRQ3 割り込み許可)
3	I/O ポート設定 (SH7080 グループのみ)	PFC.PBIORL.B5 = 0b (PB5 は入力) PFC.PBCRL2.PB5MD = 001b (PB5 を IRQ3 に設定)	—

2.5 データトランスファコントローラ (DTC)

2.5.1 仕様比較

データトランスファコントローラ機能として、SH7080 グループでは DTC、RX651 では DTCb が内蔵されています。

SH7080 グループ、RX651 とともに転送情報を RAM 上に配置し、DTC ベクタにより転送情報を指定する方式です。3 つの転送モード（ノーマル転送モード、リピート転送モード、ブロック転送モード）についても基本的な動作は同じです。SH7080 グループと RX651 の仕様比較を表 2.19 に示します。

表2.19 SH7080 グループ、RX651 の仕様比較 (DTC)

項目	SH7080 グループ (DTC)	RX651 (DTCb)
転送モード	- ノーマル転送モード - リピート転送モード - ブロック転送モード	
起動要因	- 外部割り込み - 周辺機能割り込み	- 外部割り込み - 周辺機能割り込み - ソフトウェア割り込み
起動許可/禁止制御	DTC モジュールの DTC イネーブルレジスタにより起動	割り込みコントローラの DTC 起動許可レジスタにより起動
転送空間	以下空間内で転送可能 - 内蔵メモリ空間 - 内蔵周辺モジュール空間 (DMAC、DTC、BSC、UBC、FLASH を除く) - 外部メモリ空間 - メモリマップト外部デバイス どちらか一方は必ず内蔵メモリ空間、内蔵周辺モジュール空間を指定	以下空間内で転送可能 - 内蔵メモリ空間 - 内蔵周辺モジュール空間 - 外部メモリ空間
転送単位	1 データ : 8, 16, 32 ビットから選択 - リピート回数 : 1~256 回から選択 1 ブロック : 1~256 データから選択 - ブロック数 : 1~65536 から選択	
CPU 割り込み要求	- DTC 起動要因とした割り込みでの CPU 割り込み要求可能 1 データ転送終了時に CPU 割り込み可能 - 指定回数データ転送後に CPU 割り込み可能	
方式	DTC ベクタで割り込み要因毎に制御情報を配置	
その他	- チェイン転送 - モジュールストップ状態への遷移 - 以下機能により、転送時間短縮、メモリ容量削減が可能 転送情報のリードスキップ ライトバックスキップ ショートアドレスモード バス権解放タイミングの設定	- チェイン転送 - シーケンス転送 - イベントリンク - モジュールストップ状態への遷移 - 以下機能により、転送時間短縮、メモリ容量削減が可能 転送情報リードスキップ ライトバックスキップ ライトバックディスエーブル ショートアドレスモード

2.5.2 レジスタ比較

SH7080 グループは DTC のモジュールストップ状態を解除することで、DTC の動作が可能になります。RX651 は DTC のモジュールストップ状態の解除に加え、DTC モジュール起動レジスタ (DTCST) で DTC モジュール動作に設定することで、DTC の動作が可能になります。

SH7080 グループと RX651 のレジスタ比較を表 2.20 に示します。

表の変更欄の記号

- ◎ : SH7080 グループと RX651 でビットアサインが同じレジスタ
- △ : SH7080 グループと RX651 でビットアサインが異なるレジスタ
- : SH7080 グループと RX651 で一方にしかないレジスタ

表2.20 SH7080 グループ、RX651 のレジスタ比較 (DTC)

SH7080 グループ (DTC)	RX651 (DTCb)	変更
DTC モードレジスタ A (MRA)	DTC モードレジスタ A (MRA)	△
DTC モードレジスタ B (MRB)	DTC モードレジスタ B (MRB)	△
—	DTC モードレジスタ C (MRC)	—
DTC ソースアドレスレジスタ (SAR)	DTC 転送元レジスタ (SAR)	◎
DTC デスティネーションアドレスレジスタ (DAR)	DTC 転送先レジスタ (DAR)	◎
DTC 転送カウントレジスタ A (CRA)	DTC 転送カウントレジスタ A (CRA)	◎
DTC 転送カウントレジスタ B (CRB)	DTC 転送カウントレジスタ B (CRB)	◎
DTC コントロールレジスタ (DTCCR)	DTC コントロールレジスタ (DTCCR)	△
DTC ベクタベースレジスタ (DTCVBR)	DTC ベクタベースレジスタ (DTCVBR)	◎
DTC イネーブルレジスタ A~E (DTCERA~DTCERE) ^(注1)	—	—
バス機能拡張レジスタ (BSCEHR)	DTC アドレスモードレジスタ (DTCADMOD)	△
DTC ショートアドレスモード (DTSA ビット)		
—	DTC モジュール起動レジスタ (DTCST)	—
	DTC ステータスレジスタ (DTCSTS)	
	DTC インデックステーブルベースレジスタ (DTCIBR)	
	DTC オペレーションレジスタ (DTCOR)	
	DTC シーケンス転送許可レジスタ (DTCSEQE)	
	DTC アドレスディスプレイメントレジスタ (DTCDISP)	

注 1. RX651 は、周辺モジュールからの転送要求設定を割り込みコントローラで行います。

2.5.3 起動要因設定

SH7080 グループで周辺モジュールから DTC を起動する場合は、起動要因を本モジュールの DTC イネーブルレジスタ A~E (DTCERA~DTCERE) に設定します。RX651 の DTC 起動要因は、割り込みコントローラの DTC 転送要求許可レジスタ n (DTCERn) に DTC の起動要因を設定することで当該割り込みによる DTC 起動を有効にします。

2.5.4 DTC ベクタの構成

両マイコンの DTC ベクタ構成の違いを示します。

SH7080 グループの DTC ベクタテーブルの先頭アドレスは、上位 20 ビットを DTC ベクタベースアドレス (DTCVBR) とし、下位 12 ビットを“ $400h + \text{ベクタ番号} \times 4$ ”で算出されます。DTC ベクタテーブルは、ベースアドレスの下位 12 ビットが“0”になるように、4K バイト境界に配置してください。

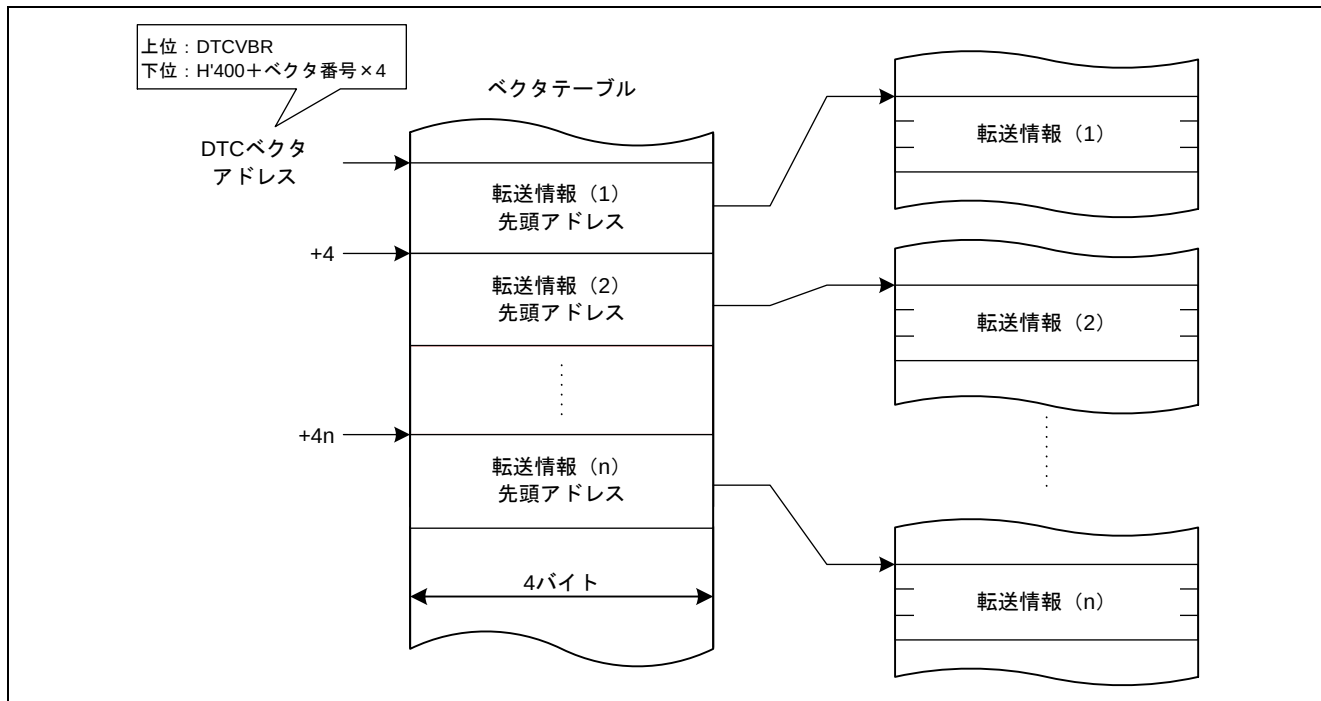


図2.8 SH7080 グループの DTC ベクタ構成

RX651 の DTC ベクタテーブルの先頭アドレスは、‘DTC ベクタベースアドレス (DTCVBR) + (ベクタ番号 $\times 4$) ’で算出されます。DTC ベクタテーブルは、ベースアドレスの下位 10 ビットが‘0’になるように、1K バイト境界に配置してください。

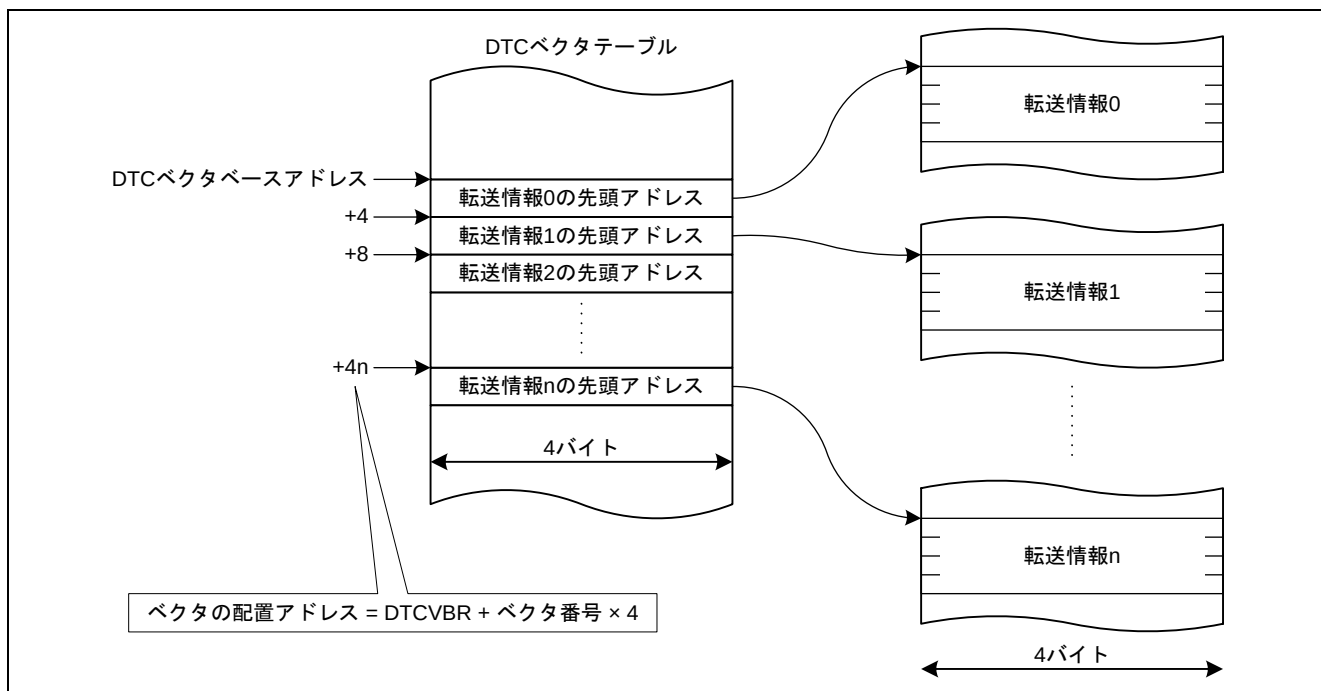


図2.9 RX651 の DTC ベクタ構成

2.5.5 転送情報の配置

SH7080 グループの DTC 転送情報はビッグエンディアン固定です。RX651 の DTC 転送情報は配置領域のエンディアン設定に依存します。

ショートアドレスモードを選択する場合、SH7080 グループは BSC のバス機能拡張レジスタ (BSCEHR) で設定するのに対し、RX651 は DTC アドレスモードレジスタ (STCADMOD) で設定します。ショートアドレスモード選択時の、DTC 転送元および転送先アドレスを図 2.10 に示します。

RX651 の転送情報には、通常時の転送元アドレスにディスプレースメント加算を行うための DTC モードレジスタ C (MRC) があります。



図2.10 ショートアドレスモードにおける転送元および転送先アドレス

通常時の SH7080 グループ、RX651 DTC 転送情報の配置を図 2.11 に示します。

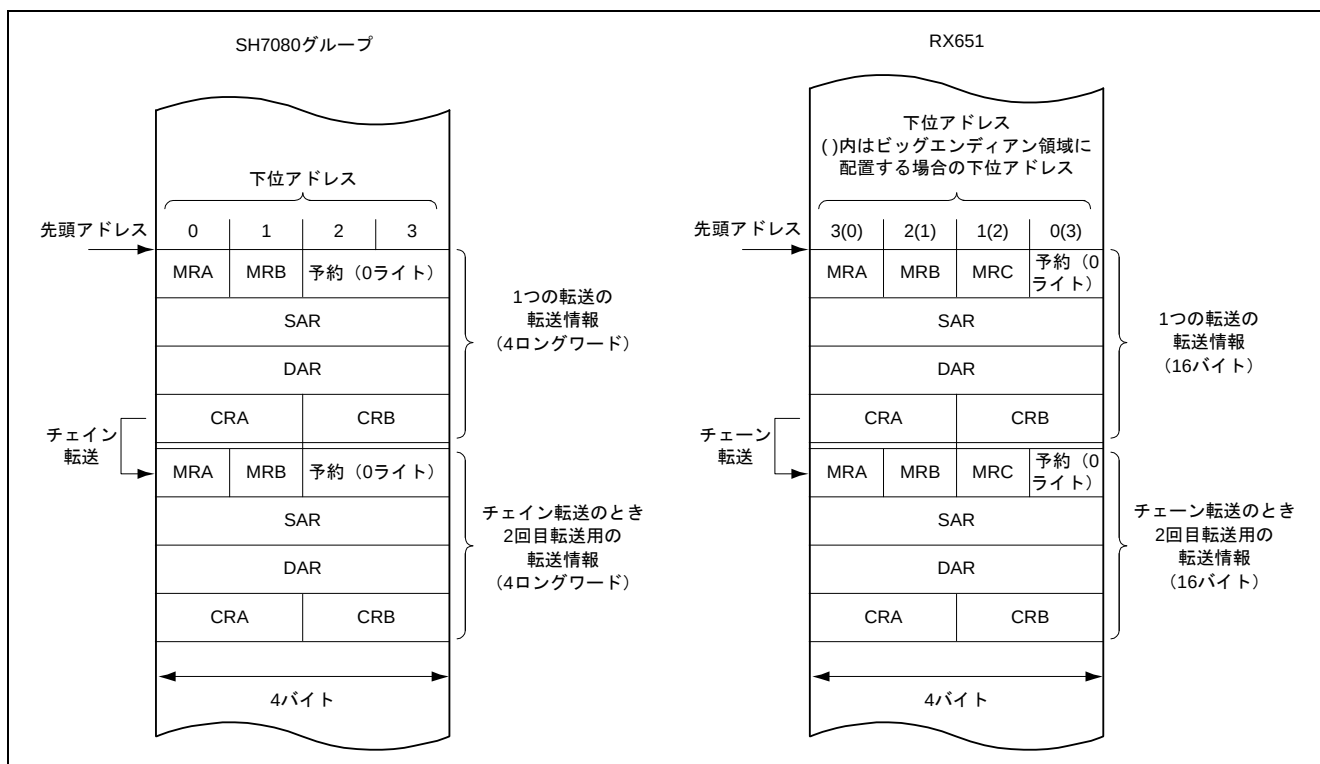


図2.11 転送情報の配置 (通常時)

2.5.6 モジュールストップ

RX651 はリセット後、DTCb のモジュールストップが解除されます。

RX651 の DTCb と DMACAa は、モジュールストップ設定ビット（MSTPCRA.MSTPA28）が共通の為、モジュールストップ制御が同時におこなわれます。

モジュールストップ状態については2.16章を参照してください。

2.5.7 ノーマル転送設定例

SH7080 と RX651 のデータトランスファコントローラ (DTC) の設定例として、シリアルコミュニケーションインタフェース (SCI) と内蔵 RAM との間で DTC を用いてデータ転送を行う設定を以下に示します。なお、SCI の初期設定例は表 2.56 を参照してください。ここでは SCI 割り込みによる DTC 起動方法の設定差分のみを示します。

<仕様>

- ① RSK+RX65N を使用します。SCI の転送モードは調歩同期式シリアル転送とします。
- ② SCI2 の送信データエンプティ割り込み要求時、DTC により内蔵 RAM の送信バッファから SCI2 のトランスミットデータレジスタへ 1 バイトの送信データを転送します。
- ③ SCI2 の受信データフル割り込み要求時、DTC により 1 バイトの受信データを内蔵 RAM の受信バッファへ転送します。
- ④ 32 バイト分の送信完了時 (DTC 転送終了時) に送信割り込み (TXI) が発生します。
- ⑤ 32 バイト分の受信完了時 (DTC 転送終了時) に受信割り込み (RXI) が発生します。
- ⑥ 正常終了時 LED1 を点灯します。エラー割り込み時は LED2 を点灯します。

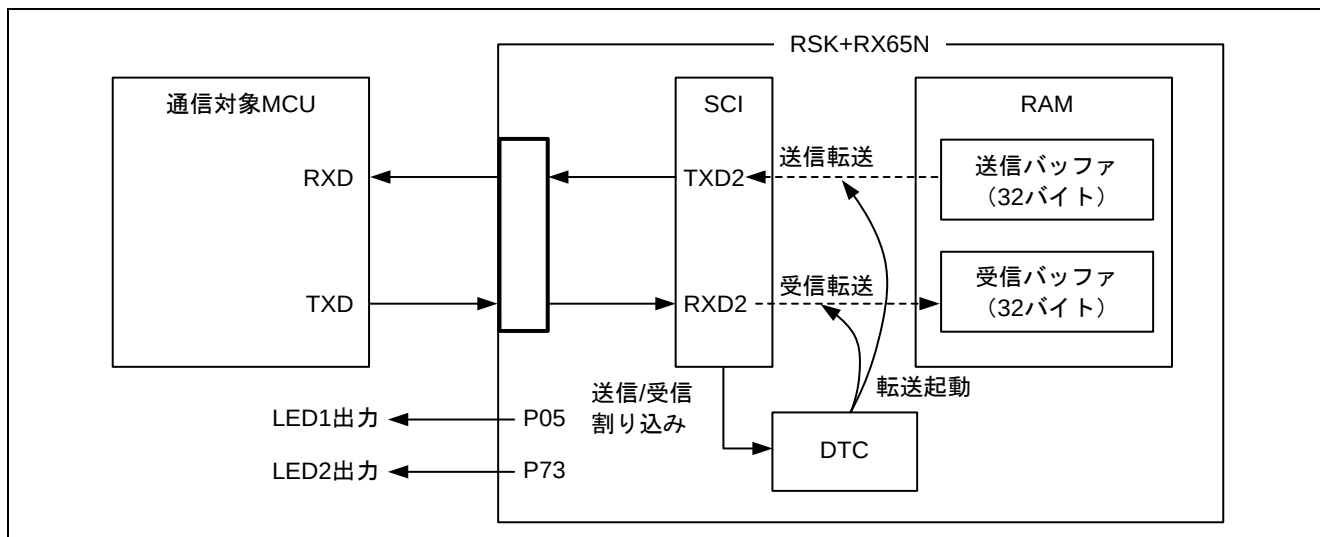


図2.12 DTCを使用したRAM、SCI間のデータ転送例

表2.21 DTC 転送仕様

項目	送信転送	受信転送
転送モード	ノーマル転送モード	ノーマル転送モード
転送回数	32 回	32 回
転送サイズ	バイト	バイト
転送元	内蔵 RAM (送信バッファ)	レシーブデータレジスタ (SCI2)
転送先	トランスミットデータレジスタ (SCI2)	内蔵 RAM (受信バッファ)
転送元アドレス	転送後に転送元アドレスをインクリメント	固定
転送先アドレス	固定	転送後に転送先アドレスをインクリメント
起動要因	SCI2 送信データエンプティ割り込み	SCI2 受信データフル割り込み
割り込み処理	指定したデータ転送終了時、CPU に対して割り込み	指定したデータ転送終了時、CPU に対して割り込み
アドレスモード	フルアドレスモード	フルアドレスモード
使用端子	P50/TXD2	P52/RXD2
	P05/GPIO (LED1 出力)	
	P73/GPIO (LED2 出力)	

以下に DTC の初期設定例を示します。

- 1) DTC_TX は送信転送情報構造体です。
DTC_RX は受信転送情報構造体です。
- 2) DTC ベクタは以下の様な配置を行います。
SH7080 #pragma address DTC_VECT_TABLE=0x400 (アドレスは任意)
 volatile unsigned long DTC_VECT_TABLE[240];
RX651 #pragma address DTC_VECT_TABLE=0x00010000 (アドレスは任意)
 volatile unsigned long DTC_VECT_TABLE[256];

表2.22 DTC ノーマル転送初期設定例

手順	SH7080 設定例	RX651 設定例
1 モジュールス トップ状態解除	STB.STBCR2.MSTP4=0	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRA.MSTPA28=0 SYSTEM.PRCR=0xA500
2 転送情報リード スキップ禁止設 定	DTC.DTCCR.RRS=0 (転送情報リードスキップを 行わない)	DTC.DTCCR.RRS=0 (転送情報リードスキップを 行わない)
3 転送情報の設定 (送信側)	DTC_TX.MRA.MD[1:0]=00b (ノーマル転送モード) DTC_TX.MRA.SZ[1:0]=00b (バイト転送) DTC_TX.MRA.SM[1:0]=10b (SAR インクリメント) DTC_TX.MRB.CHNE=0 (チェーン転送禁止) DTC_TX.MRB.DISEL=0 (指定した回数のデータ転 送終了時に割り込み発生) DTC_TX.MRB.DM[1:0]=00b (DAR 固定) DTC_TX.SAR=送信バッファ先頭アドレス DTC_TX.DAR=SCI2.SCTDR アドレス DTC_TX.CRA=32 (転送回数)	DTC_TX.MRA.MD[1:0]=00b (ノーマル転送モード) DTC_TX.MRA.SZ[1:0]=00b (バイト転送) DTC_TX.MRA.SM[1:0]=10b (SAR インクリメント) DTC_TX.MRA.WBDIS=0 (ライトバックする) DTC_TX.MRB.CHNE=0 (チェーン転送禁止) DTC_TX.MRB.DISEL=0 (指定した回数のデータ転 送終了時に割り込み発生) DTC_TX.MRB.DM[1:0]=00b (DAR 固定) DTC_TX.MRC.DISPE=0 (ディスプレイースメント値 を加算しない) DTC_TX.SAR=送信バッファ先頭アドレス DTC_TX.DAR=SCI2.TDR アドレス DTC_TX.CRA=32 (転送回数)
4 転送情報の設定 (受信側)	DTC_RX.MRA.MD[1:0]=00b (ノーマル転送モード) DTC_RX.MRA.SZ[1:0]=00b (バイト転送) DTC_RX.MRA.SM[1:0]=00b (SAR 固定) DTC_RX.MRB.CHNE=0 (チェーン転送禁止) DTC_RX.MRB.DISEL=0 (指定した回数のデータ転 送終了時に割り込み発生) DTC_RX.MRB.DM[1:0]=10b (DAR インクリメント) DTC_RX.SAR=SCI2.SCTDR アドレス DTC_RX.DAR=受信バッファ先頭アドレス DTC_RX.CRA=32 (転送回数)	DTC_RX.MRA.MD[1:0]=00b (ノーマル転送モード) DTC_RX.MRA.SZ[1:0]=00b (バイト転送) DTC_RX.MRA.SM[1:0]=00b (SAR 固定) DTC_TX.MRA.WBDIS=0 (ライトバックする) DTC_RX.MRB.CHNE=0 (チェーン転送禁止) DTC_RX.MRB.DISEL=0 (指定した回数のデータ転 送終了時に割り込み発生) DTC_RX.MRB.DM[1:0]=10b (DAR インクリメント) DTC_TX.MRC.DISPE=0 (ディスプレイースメント値 を加算しない) DTC_RX.SAR=SCI2.RDR アドレス DTC_RX.DAR=受信バッファ先頭アドレス DTC_RX.CRA=32 (転送回数)
5 DTC ベクタテー ブル設定	DTC_VECT_TABLE[225]=DTC_RX アドレス DTC_VECT_TABLE[226]=DTC_TX アドレス DTC.DTCVBR=0x00000000	DTC_VECT_TABLE[62]=DTC_RX アドレス DTC_VECT_TABLE[63]=DTC_TX アドレス DTC.DTCVBR=0x00010000
6 アドレスモード 設定	BSC.BSCEHR.DTSA=0 (フルアドレスモード)	DTC.DTCADM.SHORT=0 (フルアドレスモー ド)
7 起動要因設定	DTC.DTCERE.DTCE11=1 (SCI.RXI2 で DTC 起動) DTC.DTCERE.DTCE10=1 (SCI.TXI2 で DTC 起動)	ICU.DTCER[62].DTCE=1 (SCI.RXI2 で DTC 起動) ICU.DTCER[63].DTCE=1 (SCI.TXI2 で DTC 起動)

手順		SH7080 設定例	RX651 設定例
8	SCI 設定	SCI 調歩同期転送設定を行う。 表 2.56 の設定を SCI 機能、ICU 機能に対して行う。 TXI 割り込み、RXI 割り込み、エラー割り込みが動作可能とすること。 割り込み許可を行わないと DTC は動作しない。	
9	DTC モジュール 起動	—	DTC.DTCST.DTCST=1 (DTC モジュール動作)

32 バイトのデータ送信が終了すると SCI2 の送信割り込み (TXI) が発生します。

32 バイトのデータ受信が終了すると SCI2 の受信割り込み (RXI) が発生します。

上記の割り込み内の処理については規定しません。サンプルコードでは送信、受信割り込みの終了処理を実施しています。

2.6 ダイレクトメモリアクセスコントローラ (DMAC)

2.6.1 仕様比較

ダイレクトメモリアクセスコントロール機能として、SH7080 グループでは DMAC、RX651 では DMACAa と外部領域-外部領域間の転送専用の EXDMACa が内蔵されています。

RX651 は、SH7080 グループとは内部バス構成が異なり、CPU 命令実行と DMAC/DTC によるデータ転送の独立動作が可能なため転送性能が向上しています。SH7080 グループと RX651 の仕様比較を表 2.23 に示します。

表2.23 SH7080 グループ、RX651 の仕様比較 (DMAC)

項目		SH7080 グループ	RX651	
		DMAC	DMACAa	EXDMACa
チャンネル数		4ch	8ch	2ch
最大転送回数 (RX は最大転送データ数)		16M (16,777,216) 回	64M データ (ブロック転送モード最大総転送数: 1024 データ × 65536 ブロック) フリーランニングも可能	1M データ (ブロック転送モード最大総転送数: 1024 データ × 1024 ブロック)
起動要因		- 外部リクエスト - 内蔵モジュールリクエスト - オートリクエスト (ソフトウェアトリガ相当)	(外部リクエストは不可) - 内蔵モジュールリクエスト - ソフトウェアトリガ - 外部割り込み	- 外部リクエスト - 内蔵モジュールリクエスト - ソフトウェアトリガ
チャンネル優先順位		以下から選択 - チャンネル0>チャンネル1>チャンネル2>チャンネル3 - チャンネル0>チャンネル2>チャンネル3>チャンネル1 - ラウンドロビン	固定 (チャンネル0>チャンネル1>...>チャンネル7)	固定 (チャンネル0>チャンネル1)
転送データ	1 データ	8 ビット, 16 ビット, 32 ビット, 128 ビット	8 ビット, 16 ビット, 32 ビット	8 ビット, 16 ビット, 32 ビット
	ブロックサイズ	—	データ数: 1~1024	データ数: 1~1024
	クラスタサイズ	—	—	データ数: 1~8
転送モード		なし (SH の転送モードは RX のノーマル転送モードに相当)	- ノーマル転送モード - リピート転送モード - ブロック転送モード	- ノーマル転送モード - リピート転送モード - ブロック転送モード - クラスタ転送モード
バスモード		- サイクルスチールモード - バーストモード	—	—
アドレスモード		- シングルアドレスモード - デュアルアドレスモード	—	- シングルアドレスモード - デュアルアドレスモード
割り込み要求	転送終了割り込み	転送カウンタで設定した転送回数を転送終了後に発生		
	転送エスケープ終了割り込み	—	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生	
その他		—	- 拡張リピートエリア - イベントリンク - オフセットアドレス更新	拡張リピートエリア

2.6.2 DMAC ブロック図

SH7080 グループの DMAC ブロック図を図 2.13に示します。

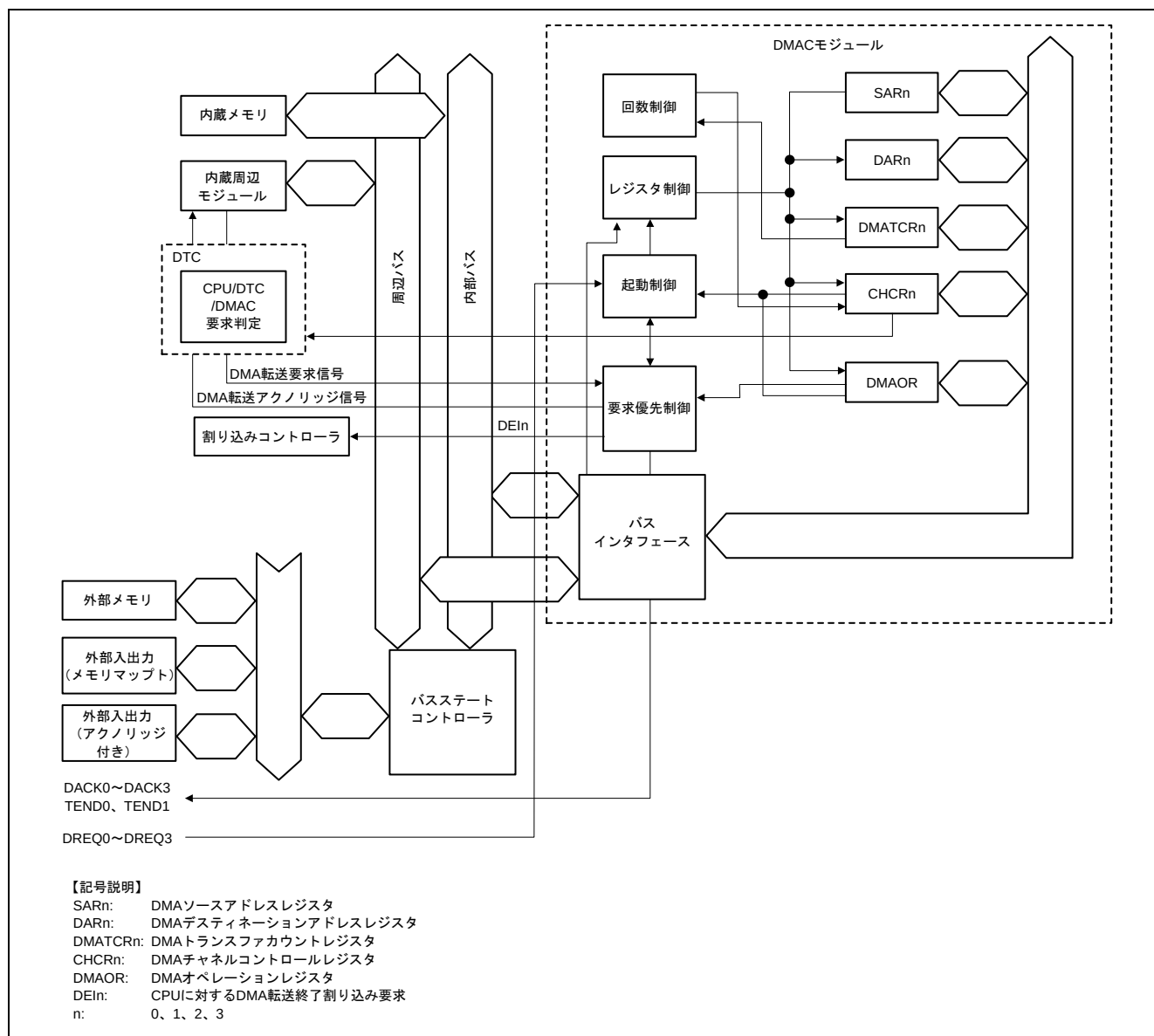


図2.13 SH7080 グループ DMAC ブロック図

RX651 の DMACAa ブロック図を図 2.14に示します。

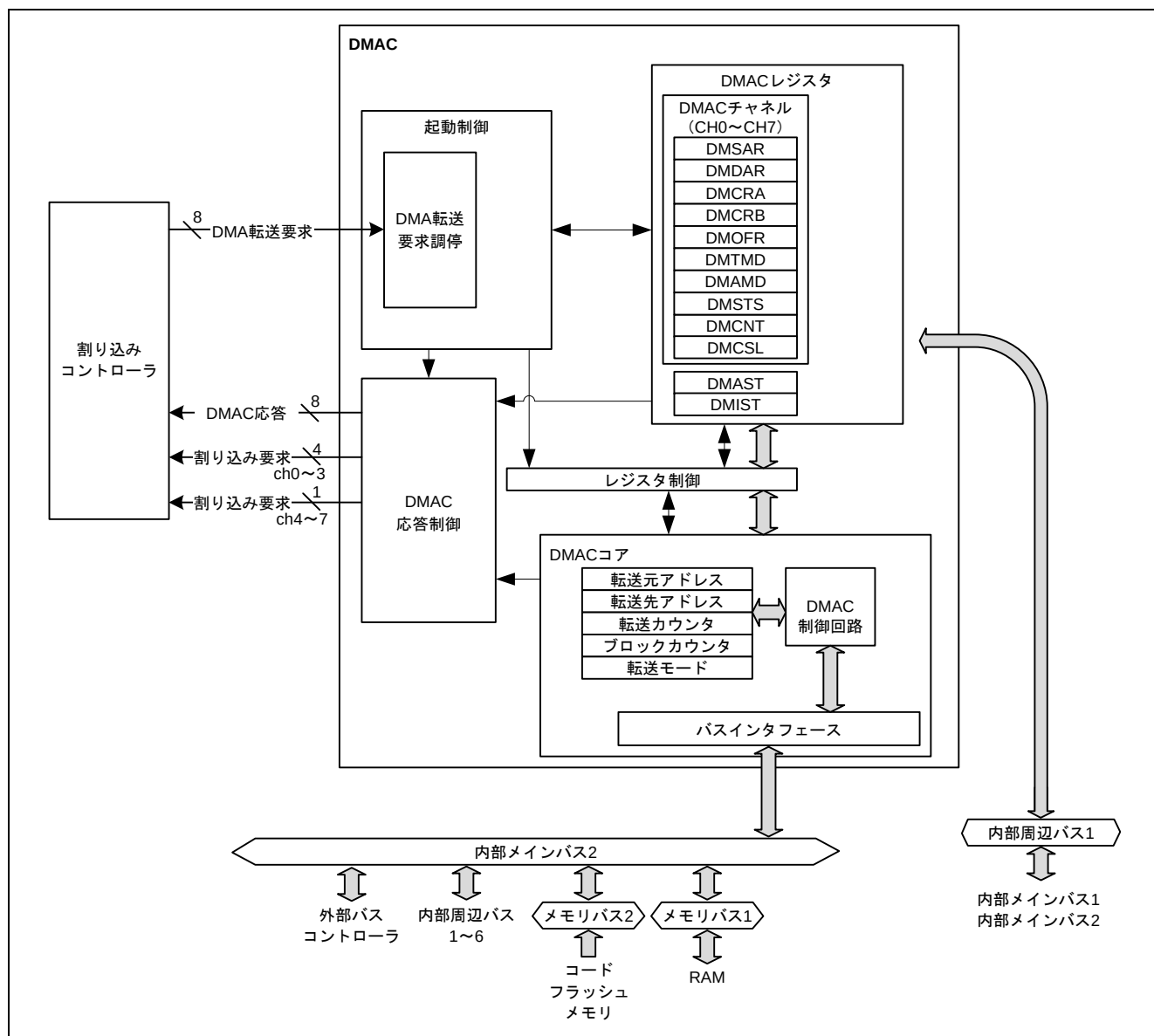


図2.14 RX651 DMACAa ブロック図

RX651 の EXDMACa ブロック図を図 2.15に示します。

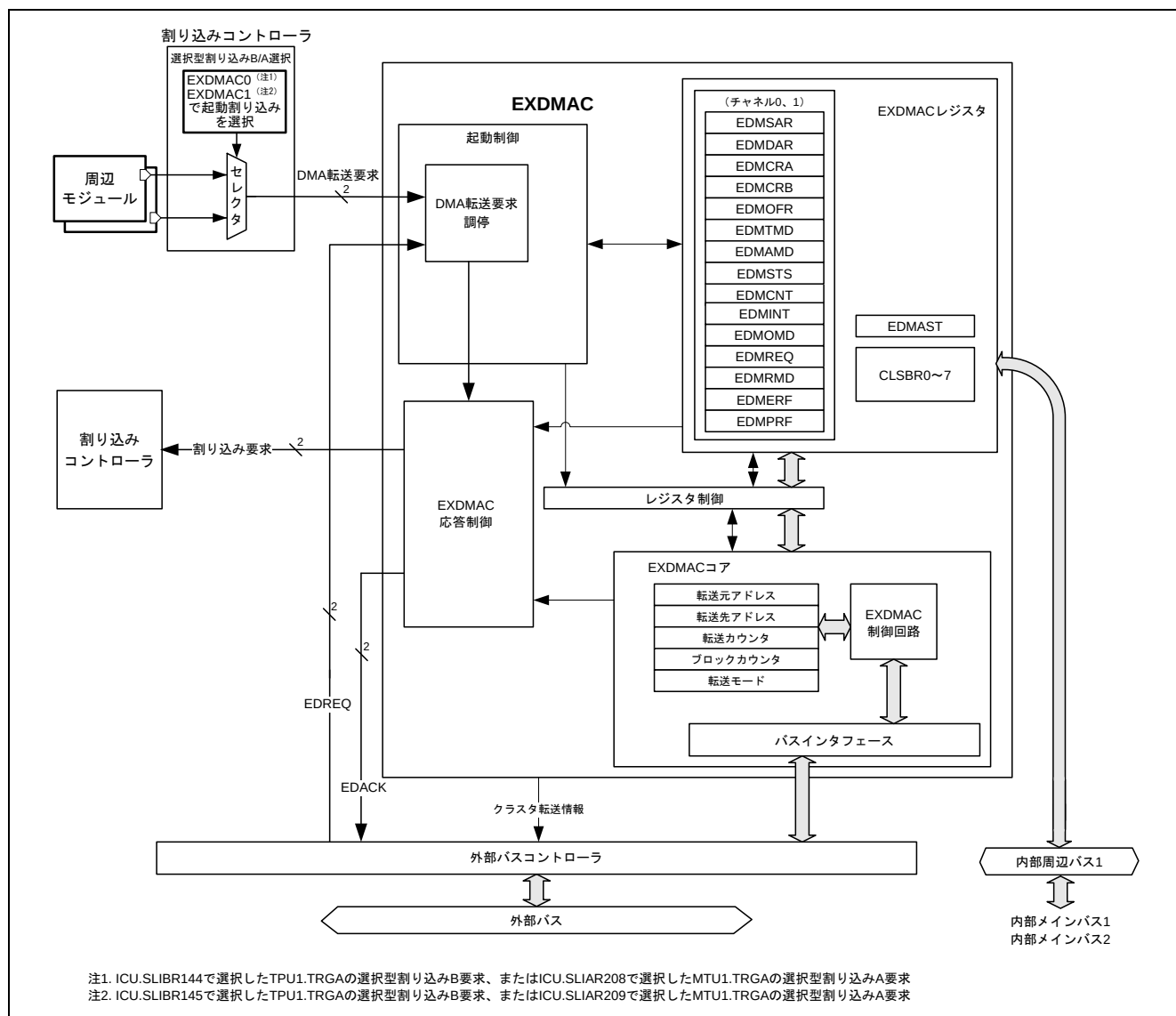


図2.15 RX651 EXDMACa ブロック図

2.6.3 レジスタ比較

SH7080 グループと RX651 のレジスタ比較を表 2.24と表 2.25に示します。

表の変更欄の記号

- ◎ : SH7080 グループと RX651 でビットアサインが同じレジスタ
- △ : SH7080 グループと RX651 でビットアサインが異なるレジスタ
- : SH7080 グループと RX651 で一方にしかないレジスタ

表2.24 SH7080 グループ、RX651 のレジスタ比較 (DMAC/DMACaA)

SH7080 グループ (DMAC)	RX651 (DMACaA)	変更
DMAC n : 0~3	DMACaA m : 0~7	
DMA オペレーションレジスタ (DMAOR)	DMAC モジュール起動レジスタ (DMAST)	△
DMA ソースアドレスレジスタ_n (SAR_n)	DMA 転送元アドレスレジスタ (DMACm.DMSAR)	◎
DMA デスティネーションアドレスレジスタ_n (DAR_n)	DMA 転送先アドレスレジスタ (DMACm.DMDAR)	◎
DMA トランスファカウントレジスタ_n (DMATCR_n)	DMA 転送カウントレジスタ (DMACm.DMCRA)	◎
DMA チャンネルコントロールレジスタ_n (CHCR_n) (注1)	DMA 転送モードレジスタ (DMACm.DMTMD) DMA アドレスモードレジスタ (DMACm.DMAMD) DMA 割り込み設定レジスタ (DMACm.DMINT) DMA 転送許可レジスタ (DMACm.DMCNT) DMA ステータスレジスタ (DMACm.DMSTS) DMA ソフトウェア起動レジスタ (DMACm.DMREQ)	△
—	DMA ブロック転送カウントレジスタ (DMACm.DMCRB) DMAC 起動要因フラグ制御レジスタ (DMACm.DMCSL) DMA オフセットレジスタ (DMAC0.DMOFR) DMAC74 割り込みステータスモニタレジスタ (DMIST)	—

注 1. RX651 は周辺モジュールからの転送要求設定を割り込みコントローラで行います。

表2.25 SH7080 グループ、RX651 のレジスタ比較 (DMAC/EXDMACa)

SH7080 グループ (DMAC)	RX651 (EXDMACa)	変更
DMAC n : 0~3	EXDMACa m : 0~1	
DMA オペレーションレジスタ (DMAOR)	EXDMAC モジュール起動レジスタ (EDMAST)	△
DMA ソースアドレスレジスタ_n (SAR_n)	EXDMA 転送元アドレスレジスタ (EXDMACm.EDMSAR)	◎
DMA デスティネーションアドレスレジスタ_n (DAR_n)	EXDMA 転送先アドレスレジスタ (EXDMACm.EDMDAR)	◎
DMA トランスファカウントレジスタ_n (DMATCR_n)	EXDMA 転送カウントレジスタ (EXDMACm.EDMCRA)	◎
DMA チャンネルコントロールレジスタ_n (CHCR_n) (注1)	EXDMA 転送モードレジスタ (EXDMACm.EDMTMD) EXDMA アドレスモードレジスタ (EXDMACm.EDMAMD) EXDMA 割り込み設定レジスタ (EXDMACm.EDMINT) EXDMA 転送許可レジスタ (EXDMACm.EDMCNT) EXDMA 外部要求センスモードレジスタ (EXDMACm.EDMRMD) EXDMA 出力設定レジスタ (EXDMACm.EDMOMD) EXDMA ステータスレジスタ (EXDMACm.EDMSTS) EXDMA ソフトウェア起動レジスタ (EXDMACm.EDMREQ)	△
—	EXDMA ブロック転送カウントレジスタ (EXDMACm.EDMCRB) EXDMA オフセットレジスタ (EXDMAC0.EDMOFR) EXDMA 外部要求フラグレジスタ (EXDMACm.EDMERF) EXDMA 周辺要求フラグレジスタ (EXDMACm.EDMPRF) クラスタバッファレジスタ y (CLSBry) (y = 0 ~ 7)	—

注 1. RX651 は周辺モジュールからの転送要求設定を割り込みコントローラで行います。

2.6.4 起動要因設定

SH7080 グループで周辺モジュールから DMA 起動する場合は、起動要因を DMA チャンネルコントロールレジスタ (CHCR_0~3.RS[3:0]) のリソースセクタに設定します。RX651 の DMA の起動要因は、割り込みコントローラの DMAC 起動要因選択レジスタ (DMRSRm) に起動要因のベクタ番号を設定することで当該割り込みによる DMA 起動を有効にします。

DMA 起動要因の種類を表 2.26に示します。

表2.26 DMA 起動要因の比較

DMA 起動要因	SH7080 グループ	RX651	
	DMAC	DMACAa	EXDMACa
ソフトウェアによる起動	可	可	可
外部デバイスからのリクエスト端子による起動	可 (DREQn 端子) 立ち上がりエッジ 立ち下がりエッジ ローレベル ハイレベル	不可	可 (EDREQm 端子) 立ち上がりエッジ 立下りエッジ ローレベル
外部割り込み入力端子からの割り込みによる起動	不可	可 (IRQ 端子)	不可
周辺モジュールからの起動	可 (MTU, ADC, SCI)	可 (CMT, USB, RSPI, QSPI, SDHI, MMCIF, RIIC, SCI, ICU, PDC, CMT, TPU, S12AD, RNG, ELC)	可 (TPU, MTU)

n, m : 各 DMA のチャンネル数 (n = 0~3、m = 0~1)

2.6.5 転送回数

RX651 は転送回数を指定しないフリーランニングが可能です。SH7080 グループと RX651 のノーマル転送モードにおける転送回数の設定値を表 2.27に示します。

表2.27 転送回数の設定値

転送回数	SH7080 グループ	RX651	
	DMAC	DMACAa	EXDMACa
1 回	00000001h	00000001h	0001h
65535 回	FFFFh	FFFFh (最大転送回数)	FFFFh (最大転送回数)
16,777,215 回	00FFFFFFh	—	—
16,777,216 回	00000000h (最大転送回数)	—	—
フリーランニング (転送回数指定なし)	—	00000000h	0000h

2.6.6 転送元/先について

各 DMA コントローラがサポートする転送元/先について転送の可否を表 2.28～表 2.30に示します。

表2.28 SH7080 グループ DMAC 転送元/先

転送先 転送元	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	—	●	●	—	—
外部メモリ	●	○	○	○	○
メモリマップト 外部デバイス	●	○	○	○	○
内蔵周辺 モジュール	—	○	○	○	○
内蔵メモリ	—	○	○	○	○

●：シングルアドレスモードで転送可能 ○：デュアルアドレスモードで転送可能 —：転送不可

表2.29 RX651 DMACAa 転送元/先

転送先 転送元	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	—	—	—	—	—
外部メモリ	—	○	○	○	○
メモリマップト 外部デバイス	—	○	○	○	○
内蔵周辺 モジュール	—	○	○	○	○
内蔵メモリ	—	○	○	○	○

○：転送可能 —：転送不可

表2.30 RX651 EXDMACAa 転送元/先

転送先 転送元	EDACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
EDACK 付き 外部デバイス	—	●	●	—	—
外部メモリ	●	○	○	—	—
メモリマップト 外部デバイス	●	○	○	—	—
内蔵周辺 モジュール	—	—	—	—	—
内蔵メモリ	—	—	—	—	—

●：シングルアドレスモードで転送可能 ○：デュアルアドレスモードで転送可能 —：転送不可

2.6.7 アドレスモード

SH7080 グループのアドレスモードは、シングルアドレスモードとデュアルアドレスモードがあります。

RX651 の EXDMACa は SH7080 グループと同じシングルアドレスモード、デュアルアドレスモードがあり、シングルアドレスモードでは 1 つのバスサイクルで DMA 転送を行うことができます。デュアルアドレスモードでは 2 つのバスサイクルで DMA 転送を行うことができます。DMACaAa には、アドレスモードの概念がありませんが、SH7080 グループのデュアルアドレスモードと同様なアドレス指定と動作を行います。

2.6.8 バスモード

SH7080 グループはバスモード指定をサイクルスチールモードとバーストモードから選択します。サイクルスチールモードでは 1 転送が終了するとバスを別のバスマスタに開放します。バーストモードでは一度 DMA 転送が始まると、転送が終了するまでバスを開放しません。

RX651 では DMACaAa、EXDMACa とともにバスモードの指定はありません。これはバスのアーキテクチャが SH7080 グループと異なり、バスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能なためです。RX651 では CPU の命令フェッチが ROM アクセス、オペランドが RAM アクセス中に、DMAC は周辺バス、外部バス間の転送を行うことができます。

CPU がコードフラッシュメモリと RAM をアクセス中に、DMAC は内部メインバス 2 を使い、周辺バスまたは外部バスを同時にアクセスする場合の例を図 2.16 に示します。

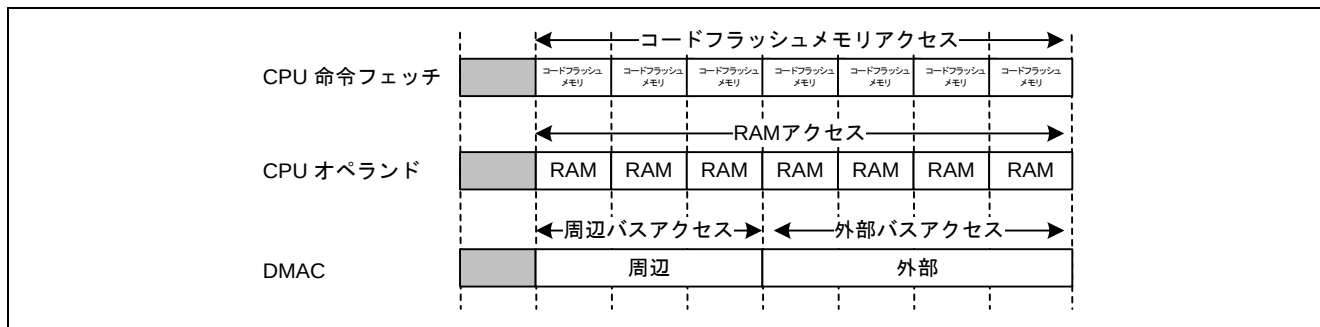


図2.16 RX651 バスの並列動作

2.6.9 モジュールストップ

RX651 はリセット後、DMACaAa および EXDMACa のモジュールストップが解除されています。

RX651 の DTCb と DMACaAa は、モジュールストップ設定ビット (MSTPCRA.MSTPA28) が共通の為、モジュールストップ制御が同時におこなわれます。EXDMACa はモジュールストップ設定ビット (MSTPCRA.MSTPA29) が独立しているため、個別に制御が可能です。

モジュールストップ状態については 2.16 章を参照してください。

2.6.10 SCI と内蔵 RAM 間のデータ転送設定例

SH7080 と RX651 のダイレクトメモリアクセスコントローラ (DMAC) の設定例として、シリアルコミュニケーションインタフェース (SCI) と内蔵 RAM 間で、DMAC を用いてデータ転送を行う例を以下に示します。なお、SCI の初期設定例は2.10.8章を参照してください。ここでは SCI 割り込みによる DMAC 起動方法の設定差分のみを示します。

<仕様>

- ① RSK+RX65N を使用し、SCI の転送モードはクロック同期式スレーブ受信とします。
- ② SCI2 の受信データフル割り込み要求時、DMAC により 1 バイトの受信データを内蔵 RAM の受信バッファへ転送します。
- ③ 32 バイト分のデータ受信完了時 (DMA 転送終了時) に DMA 転送終了割り込みを発生します。
- ④ 正常終了時 LED1 を点灯します。エラー割り込み時は LED2 を点灯します。

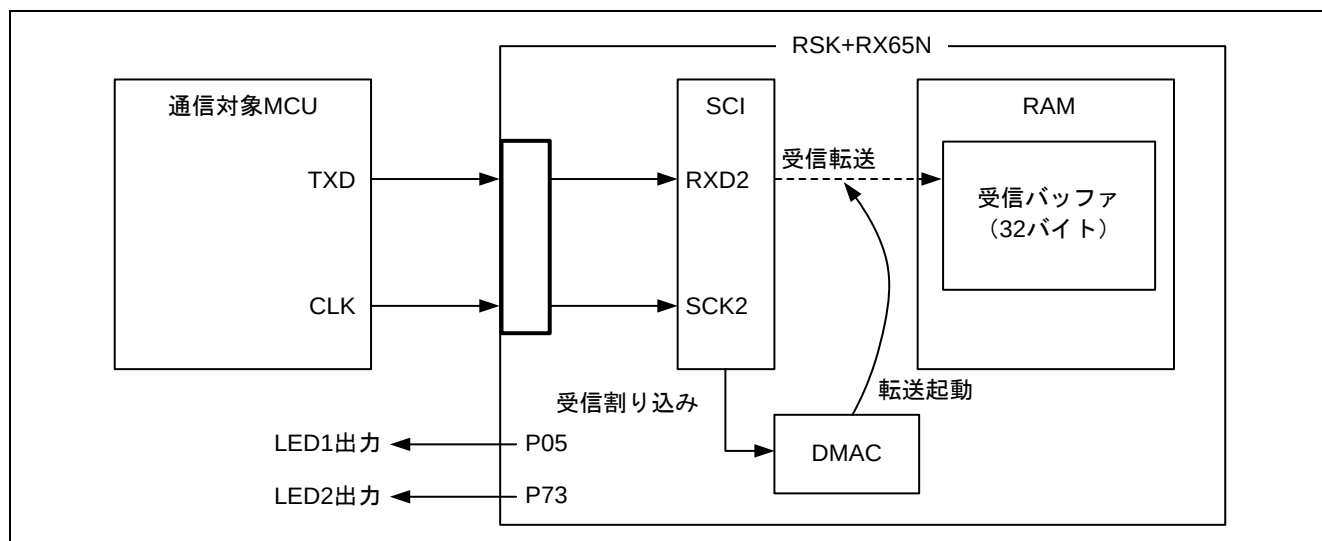


図2.17 DMAC を使用した RAM、SCI 間のデータ転送例

表2.31 DMAC 転送仕様

項目	受信転送	備考
使用チャネル	DMAC0	
転送モード	ノーマル転送モード	
転送回数	32 回	
転送サイズ	バイト	
転送元	レシーブデータレジスタ (SCI2)	
転送先	内蔵 RAM (受信バッファ)	
転送元アドレス	固定	
転送先アドレス	転送後に転送先アドレスをインクリメント	
起動要因	SCI2 受信データフル割り込み	RXI2 割り込み
割り込み処理	DMAC 転送終了割り込み	DMAC0I
使用端子	P52/RXD2	
	P51/SCK2	
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

以下に DMAC を使用した、SCI と受信バッファ（内蔵 RAM）間の、データ転送の初期設定例を示します。

表2.32 DMAC ノーマル転送初期設定例

手順		SH7080 設定例	RX651 設定例
1	モジュールストップ状態解除	STB.STBCR2.MSTP3=0	SYSTEM.PRCR=0xA502 SYSTEM.MSTPCRA.MSTPA28=0 SYSTEM.PRCR=0xA500
2	周辺機能の設定 (SCI 初期設定)	SCI クロック同期式スレーブ受信設定を行う。 表 2.68 の項番 1~11 の設定を SCI 機能、ICU 機能毎に行う。 RXI 割り込み、エラー割り込みが動作可能とすること。 (表 2.68 の項番 10 以降の設定は DMA の設定後に行う)	
3	DMAC 割り込み要求禁止	—	ICU.IER0F.IEN0=0 (DMAC0I 割り込み禁止)
4	DMA 転送停止	DMAC0.CHCR0.DE=0 (DMAC0 動作禁止)	DMAC0.DMCNT.DTE=0 (DMA 転送停止)
5	DMAC 起動要因設定	—	ICU.DMRSR0=62 (ペクタ番号 62/RXI2 を設定)
6	DMA アドレスモード設定	DMAC0.CHCR0.SM[1:0]=00b (転送元アドレスモードは固定) DMAC0.CHCR0.DM[1:0]=01b (転送先アドレスモードはインクリメント)	DMAC0.DMAMD.SM[1:0]=00b (転送元アドレスモードは固定) DMAC0.DMAMD.DM[1:0]=10b (転送先アドレスモードはインクリメント)
7	DMA 転送モード設定	DMAC0.CHCR0.RS[3:0]=1101b (転送要求元を SCI_0(RXI_0)に設定) DMAC0.CHCR0.TB=0 (サイクルスチールモード) DMAC0.CHCR0.TS[1:0]=00b (転送データサイズを 8 ビット)	DMAC0.DMTMD.DCTG[1:0]=01b (転送要求を周辺モジュール) DMAC0.DMTMD.MD[1:0]=00b (転送モードをノーマル転送) DMAC0.DMTMD.SZ[1:0]=00b (転送データサイズを 8 ビット)
8	転送元アドレス設定	DMAC0.SAR=SCI.SCRDR_0 アドレス	DMAC0.DMSAR=SCI2.RDR アドレス
9	転送先アドレス設定	DMAC0.DAR=受信バッファアドレス	DMAC0.DMDAR=受信バッファアドレス
10	転送サイズ設定	DMAC0.DMATCR0=32	DMAC0.DMCRA=32
11	割り込み選択設定	—	DMAC0.DMCSL.DISEL=0 (転送開始時、起動要因の割り込みフラグ 0 クリアする)
12	DMA プライオリティ設定	DMAC0.DMAOR.PR[1:0]=00b (プライオリティモード: CH0>CH1>CH2>CH3)	—
13	DMA 割り込みレベル設定	INTC.IPRC=0x5000 (DMAC0 割り込み優先度を 5 に設定)	ICU.IPR120=5 (DMAC0I 割り込みレベルを 5 に設定)
14	周辺機能スタート (SCI 割り込み許可) (SH7080 のみ)	SCI クロック同期式スレーブ受信初期設定表 2.68 の項番 10 以降の設定を SCI 機能、ICU 機能に行い SCI 機能の動作をスタートさせる。	—
15	DMA 割り込み許可	DMAC0.CHCR0.IE=1 (割り込み要求を許可)	DMAC0.DMINT.DTIE=1 (転送終了割り込みを許可) ICU.IER0F.IEN0=1 (DMAC0I 割り込み許可)
16	DMA 転送許可設定	DMAC0.CHCR0.DE=1 (DMAC0 動作許可)	DMAC0.DMCNT.DTE=1 (DMA 転送許可)
17	周辺機能スタート (SCI 割り込み許可) (RX651 のみ)	—	SCI クロック同期式スレーブ受信初期設定表 2.68 の項番 10 以降の設定を SCI 機能、ICU 機能に行い SCI 機能の動作をスタートさせる。
18	DMA モジュール起動	DMAC.DMAOR.DME=1 (DMA マスタイネーブル)	DMAC.DMAST.DMST=1 (DMAC 起動許可)

32 バイトのデータ受信を完了すると DMA 転送終了割り込み (DMAC0I) が発生します。DMA 転送終了割り込み内の処理は特に規定しません。サンプルコード内では SCI 終了処理を行っています。

2.7 マルチファンクションタイマパルスユニット (MTU)

2.7.1 仕様比較

マルチファンクションタイマパルスユニットとして、SH7080 グループでは MTU2 と MTU2S、RX651 では MTU3a が内蔵されています。

RX651 は SH7080 グループの MTU 機能を包含しています（上位互換）。SH7080 グループと RX651 の仕様比較を表 2.33 に示します。

表2.33 SH7080 グループ、RX651 の仕様比較 (MTU)

項目		SH7080 グループ		RX651
		MTU2	MTU2S	MTU3a
チャンネル毎の機能互換	16 ビットタイマ	MTU0	—	MTU0
		MTU1	—	MTU1
		MTU2	—	MTU2
		MTU3	MTU3S	MTU3, MTU6
		MTU4	MTU4S	MTU4, MTU7
		MTU5	MTU5S	MTU5
	32 ビットタイマ	—	—	MTU8
パルス入出力		最大 16 本	最大 8 本	最大 28 本
パルス入力		3 本	3 本	3 本
カウントクロック		チャンネル毎に MTU2 クロック MPφ、外部クロック (TCLKA, TCLKB, TCLKC, TCLKD) を使用して最大 8 種類から選択	チャンネル毎に MTU2S クロック MIφ を使用して最大 6 種類から選択	チャンネル毎に 周辺モジュールクロック PCLKA、外部クロック (MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A) を使用して最大 14 種類から選択
DTC/DMAC 起動		DTC/DMAC 起動可能	DTC 起動可能	DTC/DMAC 起動可能
A/D 変換開始トリガ		トリガ生成可能	トリガ生成可能	トリガ生成可能
割り込み要因		28 種類	13 種類	43 種類
ノイズ除去		なし	なし	外部クロック端子にノイズフィルタを設定可能
その他		カスケード接続	—	- イベントリンク - カスケード接続

2.7.2 割り込み

RX651 ではタイマステータスレジスタ (TSR) に割り込みフラグがありませんが、割り込みコントローラの当該 MTU の割り込み要求レジスタを使用することで同様な処理を実現できます。

SH7080 グループの MTU2S は DTC のみ起動が可能なのに対し、SH7080 グループの MTU2 および RX651 は全てのチャンネルにおいて DTC と DMAC の起動が可能です。

RX651 は選択型割り込み A に割り当てられています。割り込みコントローラを選択型割り込み A ステータスフラグ (PIARk.PIRn) は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては1.8章を参照してください。

表2.34 SH7080 グループ、RX651 MTU 割り込み要因一覧

項目	SH7080 グループ							
	MTU0	MTU1	MTU2	—	MTU3 MTU3S	MTU4 MTU4S	MTU5 MTU5S	—
	RX651							
	MTU0	MTU1	MTU2	MTU1& MTU2 ^(注2)	MTU3 MTU6	MTU4 MTU7	MTU5	MTU8
コンペアマッチ nA ^(注3)	○	○	○	—	○	○	—	○
インプットキャプチャ nA ^(注3)	○	○	○	○	○	○	—	○
コンペアマッチ nB ^(注3)	○	○	○	—	○	○	—	○
インプットキャプチャ nB ^(注3)	○	○	○	○	○	○	—	○
コンペアマッチ nC ^(注3)	○	—	—	—	○	○	—	○
インプットキャプチャ nC ^(注3)	○	—	—	—	○	○	—	○
コンペアマッチ nD ^(注3)	○	—	—	—	○	○	—	○
インプットキャプチャ nD ^(注3)	○	—	—	—	○	○	—	○
オーバフロー	○	○	○	○	○	○	—	○
アンダフロー	—	○	○	○	—	○ ^(注1)	—	—
コンペアマッチ nE	○	—	—	—	—	—	—	—
コンペアマッチ nF	○	—	—	—	—	—	—	—
コンペアマッチ nU ^(注3)	—	—	—	—	—	—	○	—
インプットキャプチャ nU ^(注3)	—	—	—	—	—	—	○	—
コンペアマッチ nV ^(注3)	—	—	—	—	—	—	○	—
インプットキャプチャ nV ^(注3)	—	—	—	—	—	—	○	—
コンペアマッチ nW ^(注3)	—	—	—	—	—	—	○	—
インプットキャプチャ nW ^(注3)	—	—	—	—	—	—	○	—

n: チャンネル番号 ○: 対応する —: 対応しない

注1. 相補 PWM モード時のみ

注2. 32 ビットアクセス時

注3. MTU2S の場合は末尾に'S'を追加

2.7.3 レジスタ比較

SH7080 グループ、RX651 のレジスタ比較を表 2.35に示します。

表の変更欄の記号

- ◎ : SH7080 グループと RX651 でビットアサインが同じレジスタ
- △ : SH7080 グループと RX651 でビットアサインが異なるレジスタ
- : SH7080 グループと RX651 で一方にしかないレジスタ

表2.35 SH7080 グループ、RX651 のレジスタ比較 (MTU)

レジスタ名	SH7080 グループ (MTU2)	RX651 (MTU3a)	変更
タイマコントロールレジスタ	TCR_0~4 TCRU/V/W_5 TCR_3/4S	MTU0~4.TCR MTU5.TCRU/V/W MTU6/7.TCR	◎
	TCRU/V/W_5S	—	—
	—	MTU8.TCR	—
タイマコントロールレジスタ 2	—	MTU0~4.TCR2 MTU6~8.TCR2 MTU5.TCR2U/V/W	—
タイマモードレジスタ (SH7080 グループ) タイマモードレジスタ 1 (RX651)	TMDR_0/3/4 TMDR_3/4S	MTU0/3/4.TMDR1 MTU6/7.TMDR1	◎
	TMDR_1/2	MTU1/2.TMDR1	△
	—	MTU8.TMDR1	—
タイマモードレジスタ 2	—	MTU.TMDR2A/B	—
タイマモードレジスタ 3	—	MTU1.TMDR3	—
タイマ I/O コントロールレジスタ	TIORH_0 TIORU/V/W_5	MTU0.TIORH MTU5.TIORU/V/W	△
	TIORL_0 TIOR_1/2 TIORH/L_3/4 TIORH/L_3/4S	MTU0.TIORL MTU1/2.TIOR MTU3/4.TIORH/L MTU6/7.TIORH/L	◎
	TIORU/V/W_5S	—	—
	—	MTU8.TIORH/L	—
	—	—	—
タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	MTU5.TCNTCMPCLR	◎
	TCNTCMPCLRS	—	—
タイマインタラプトイネーブルレジスタ	TIER_0~5 TIER_3/4S TIER2_0	MTU0~5.TIER MTU6/7.TIER MTU0.TIER2	◎
	TIER_5S	—	—
	—	MTU8.TIER	—
タイマステータスレジスタ	TSR_1~4 TSR_3/4S	MTU1~4.TSR MTU6/7.TSR	△
	TSR_0 TSR2_0 TSR_5 TSR_5S	—	—
	—	—	—
タイマバッファ動作転送モードレジスタ	TBTM_0/3/4 TBTM_3/4S	MTU0/3/4.TBTM MTU6/7.TBTM	◎
タイマインプットキャプチャコントロールレジスタ	TICCR	MTU1.TICCR	◎
タイマ A/D 変換開始要求コントロールレジスタ	TADCR, TADCRS	MTU4.TADCR, MTU7.TADCR	◎
タイマ A/D 変換開始要求周期設定レジスタ	TADCORA/B_4 TADCORA/B_4S	MTU4.TADCORA/B MTU7.TADCORA/B	◎

レジスタ名	SH7080 グループ (MTU2)	RX651 (MTU3a)	変更
タイマ A/D 変換開始要求周期設定バッファレジスタ	TADCOBRA/B_4 TADCOBRA/B_4S	MTU4.TADCOBRA/B MTU7.TADCOBRA/B	◎
タイマカウンタ	TCNT_0~4	MTU0~4.TCNT	◎
	TCNTU/V/W_5	MTU5.TCNTU/V/W	
	TCNT_3/4S	MTU6/7.TCNT	
	TCNTU/V/W_5S	—	—
	—	MTU8.TCNT	—
タイマロングワードカウンタ	—	MTU1.TCNTLW	—
タイマジェネラルレジスタ	TGR_0 (A~F)	MTU0.TGR (A~F)	◎
	TGR_1/2 (A, B)	MTU1/2.TGR (A,B)	
	TGR_3/4 (A~D)	MTU3/4.TGR (A~D)	
	TGR_5 (U, V, W)	MTU5.TGR (U, V, W)	
	TGR_3/4S (A~D)	MTU6/7.TGR (A~D)	
	TGR_5S (U, V, W)	—	—
	—	MTU3/6.TGR (E) MTU4/7.TGR (E, F) MTU8.TGR (A~D)	—
タイマロングワードジェネラルレジスタ	—	MTU1.TGRA/BLW	—
タイマスタートレジスタ	TSTR	MTU.TSTRA	△
	TSTRS, TSTR_5	MTU.TSTRB, MTU5.TSR	◎
	TSTR_5S	—	—
タイマシンクロレジスタ	TSYR, TSYRS	MTU.TSYRA, MTU.TSYRB	◎
タイマシンクロクリアレジスタ	TSYCRS	MTU6.TSYCR	◎
タイマカウンタシンクロスタートレジスタ	TCSYSTR	MTU.TCSYSTR	◎
タイマリードライトイネーブルレジスタ	TRWER, TRWERS	MTU.TRWERA, MTU.TRWERB	◎
タイマアウトプットマスタイネーブルレジスタ	TOER, TOERS	MTU.TOERA, MTU.TOERB	◎
タイマアウトプットコントロールレジスタ 1	TOCR1, TOCR1S	MTU.TOCR1A, MTU.TOCR1B	◎
タイマアウトプットコントロールレジスタ 2	TOCR2, TOCR2S	MTU.TOCR2A, MTU.TOCR2B	◎
タイマアウトプットレベルバッファレジスタ	TOLBR, TOLBRS	MTU.TOLBRA, MTU.TOLBRB	◎
タイマゲートコントロールレジスタ (SH7080 グループ)	TGCR	MTU.TGCRA	◎
タイマゲートコントロールレジスタ A (RX651)	TGCRS	—	—
タイマサブカウンタ	TCNTS, TCNTSS	MTU.TCNTSA, MTU.TCNTSB	◎
タイマ周期データレジスタ	TCDR, TCDRS	MTU.TCDRA, MTU.TCDRB	◎
タイマ周期バッファレジスタ	TCBR, TCBRS	MTU.TCBRA, MTU.TCBRB	◎
タイマデッドタイムデータレジスタ	TDDR, TDDRS	MTU.TDDRA, MTU.TDDRB	◎
タイマデッドタイムイネーブルレジスタ	TDER, TDERS	MTU.TDERA, MTU.TDERB	◎
タイマバッファ転送設定レジスタ	TBTER, TBTERS	MTU.TBTERA, MTU.TBTERB	◎
タイマ波形コントロールレジスタ	TWCR, TWCRS	MTU.TWCRA, MTU.TWCRB	◎
タイマ割り込み間引き設定レジスタ (SH7080 グループ)	TITCR, TITCRS	MTU.TITCR1A, MTU.TITCR1B	◎
タイマ割り込み間引き設定レジスタ 1 (RX651)			
タイマ割り込み間引き設定レジスタ 2	—	MTU.TITCR2A, MTU.TITCR2B	—
タイマ割り込み間引き回数カウンタ (SH7080 グループ)	TITCNT, TITCNTS	MTU.TITCNT1A, MTU.TITCNT1B	◎
タイマ割り込み間引き回数カウンタ 1 (RX651)			
タイマ割り込み間引き回数カウンタ 2	—	MTU.TITCNT2A, MTU.TITCNT2B	—
タイマ割り込み間引きモードレジスタ	—	MTU.TITMRA, MTU.TITMRB	—
ノイズフィルタコントロールレジスタ n	—	MTU0~4.NFCR0~4 MTU6~8.NFCR6~8 MTU0.NFCRC	—
ノイズフィルタコントロールレジスタ 5	—	MTU5.NFCR5	—

2.7.4 モジュールストップ

RX651 の MTU3a は、SH7080 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については2.16章を参照してください。

2.7.5 アウトプットコンペアマッチ設定例

SH7080 と RX651 のマルチファンクションタイマパルスユニット（MTU）を使用してアウトプットコンペアマッチ機能を実現した設定例を以下に示します。

<仕様>

- ① RSK+RX65N を使用します。
- ② MTU4 を使用して、設定された周期のデューティ 50% のパルスを出力します。設定周期は 1ms 固定とします。

表2.36 MTU アウトプットコンペアマッチ仕様

項目	内容	備考
カウントクロック	PCLKA/1	PCLKA=120MHz
動作モード	ノーマルモード	
同期動作	使用しない	
カウンタクリア要因	TGRA のアウトプットコンペア	
タイマジェネラルレジスタ	アウトプットコンペアレジスタとして使用	
使用端子	PA0/MTIOC4A	パルス出力用

図 2.18に動作説明を示します。本設定例では MTU 初期設定後、ソフト処理は介在しません。ハードウェアにて自動的にパルス出力を行います。

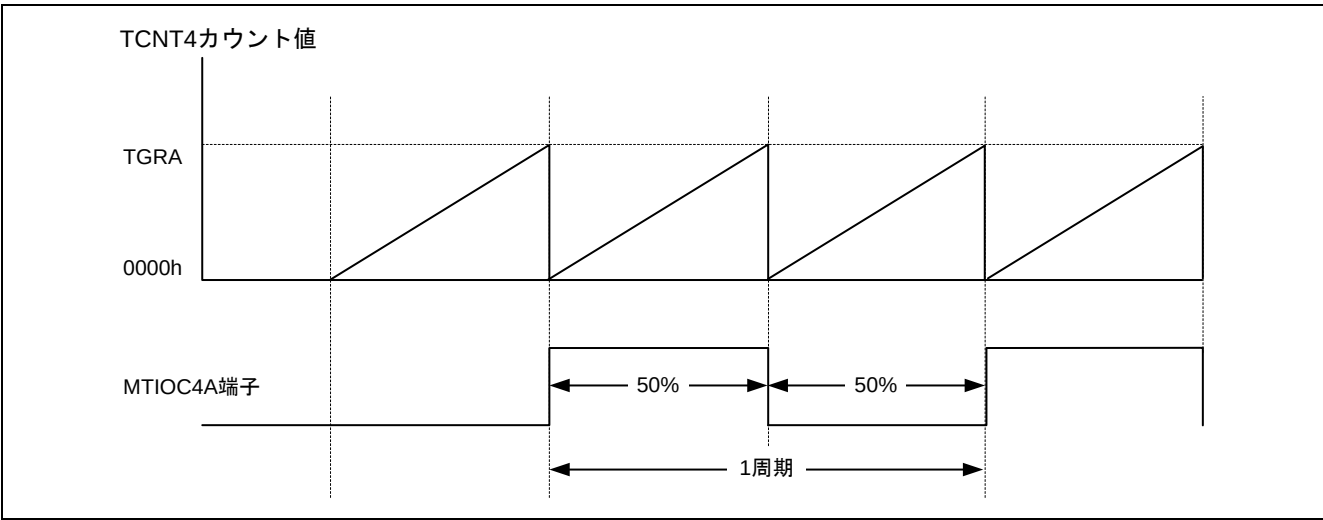


図2.18 MTU アウトプットコンペアマッチ動作説明

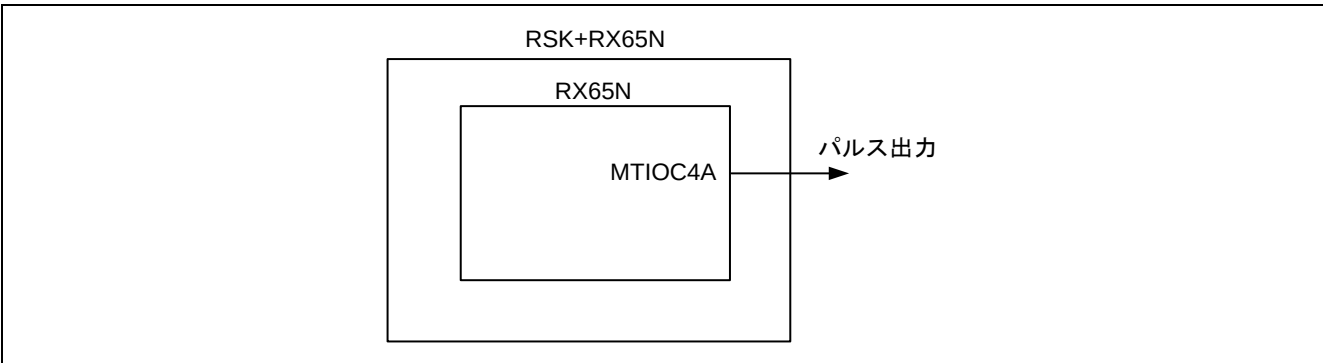


図2.19 MTU アウトプットコンペアマッチ接続図

表2.37 MTU アウトプットコンペアマッチ初期設定例

手順		SH7080 設定例 MP ϕ (周辺クロック): 40MHz	RX651 設定例 PCLKA(周辺クロック A): 120MHz
1	モジュール ストップ状 態解除	STBCR4.MSTP22=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRA.MSTPA9=0 SYSTEM.PRCR=A500h
2	レジスタの リードライ ト許可	TRWER.RWE=1 (リードライト許可)	MTU.TRWERA.RWE=1 (誤書き込み防止の対象レ ジスタ/カウンタのアクセス許可)
3	MTU 停止	TSTR.CST4=0 (TCNT 停止) TSYR.SYNC4=0 (独立動作設定) TCNT=0000h (TCNT_4 クリア)	MTU.TSTRA.CST4=0 (TCNT 停止) MTU.TSYRA.SYNC4=0 (TCNT は独立して動作) MTU4.TCNT=0000h (タイマカウンタクリア)
4	カウンタク ロック選択 エッジ選択	TCR.TPSC[2:0]=000b (内部クロック: MP ϕ /1 設定) TCR.CKEG[1:0]=00b (立ち上がりでカウント)	MTU4.TCR.TPSC[2:0]=000b (内部クロック: PCLKA/1 設定) MTU4.TCR.CKEG[1:0]=00b (立ち上がりでカウ ント) MTU4.TCR2.TPSC2[2:0]=000b (内部クロック: PCLKA/1 設定)
5	カウンタ動 作/TCNT ク リア要因設 定	TGRA のコンペアマッチ/インプットキャプ チャ/TCNT クリア要因 TGRA TCR.CCLR[2:0]=001b	MTU4.TGRA のコンペアマッチ/インプットキャプ チャ/TCNT クリア要因 TGRA MTU4.TCR.CCLR[2:0]=001b (TGRA のコンペア マッチで TCNT クリア)
6	TOIC4A 出力 許可設定 (MTU3,4 の み)	TOER.OE4A=1	MTU.TOERA.OE4A=1
7	タイマ I/O コ ントロール 設定	TGRA はアウトプットコンペアレジスタ 初期出力' 0'、コンペアマッチでトグル出力 TIORH_4.IOA[3:0]=0011b	MTU4.TGRA はアウトプットコンペアレジスタ 初期出力' 0'、コンペアマッチでトグル出力 MTU4.TIORH.IOA[3:0]=0011b
8	TGRA 設定 (設定値は 1/2 周期時間)	TGRA=4E1Fh	MTU4.TGRA=EA5Fh
9	タイマモー ドレジスタ 設定	TMDR.BFA=0 (通常動作) TMDR.MD[3:0]=0 (通常動作)	MTU4.TMDR1.BFA=0 (通常動作) MTU4.TMDR1.MD[3:0]=0000b (通常動作)
10	レジスタの リードライ ト禁止	TRWER.RWE=0 (リードライト禁止)	MTU.TRWERA.RWE=0 (誤書き込み防止の対象レ ジスタ/カウンタのアクセス禁止)
11	I/O ポート設 定 (端子入出力 と端子機能 設定)	PFC の設定を実施する。 PEIOR.PE12IOR=1 (出力) PECRL4.PE12MD=001b (TIOC4A 選択)	MPC で端子 MTIOC4A を設定する。 PORTA.PDR.B0=1 (出力設定) PORTA.PMR.B0=0 (GPIO) MPC.PWPR.B0WI=0 (PFSWE ライト許可) MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.PA0PFS=01h (端子機能設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 (PFSWE ライト禁止) PORTA.PMR.B0=1 (周辺機能)
12	タイマ動作 許可	TSTR.CST4=1 (TCNT_4 をカウント動作開 始)	MTU.TSTRA.CST4=1 (TCNT4 をカウント動作開 始)

2.7.6 インพุットキャプチャ設定例

SH7080 と RX651 のマルチファンクションタイマパルスユニット (MTU) インพุットキャプチャ機能を使用して入力パルス幅を測定します。

<仕様>

- ① RSK+RX65N を使用します。
- ② 端子から入力されるパルスの High 幅の時間を測定し、結果を RAM に格納します。
- ③ パルス幅が測定範囲以上^(注) だった場合、LED1 を点灯し処理を終了します。

注. TCNT オーバフロー回数が 0xFFFF 回を超えた場合測定不能とします。

表2.38 MTU インพุットキャプチャ仕様

項目	内容	備考
カウントクロック	PCLKA/1 の立ち上がり	PCLKA=120MHz
動作モード	ノーマルモード	
同期動作	使用しない	
カウンタクリア要因	TGRA インพุットキャプチャ	
タイマジェネラルレジスタ	インพุットキャプチャレジスタ	
使用端子	PA0/MTIOC4A (両エッジでインพุットキャプチャ)	パルス入力
	P05 (GPIO)	LED1 出力
割り込み要因	MTU4 インพุットキャプチャ A 割り込み オーバフロー割り込み	

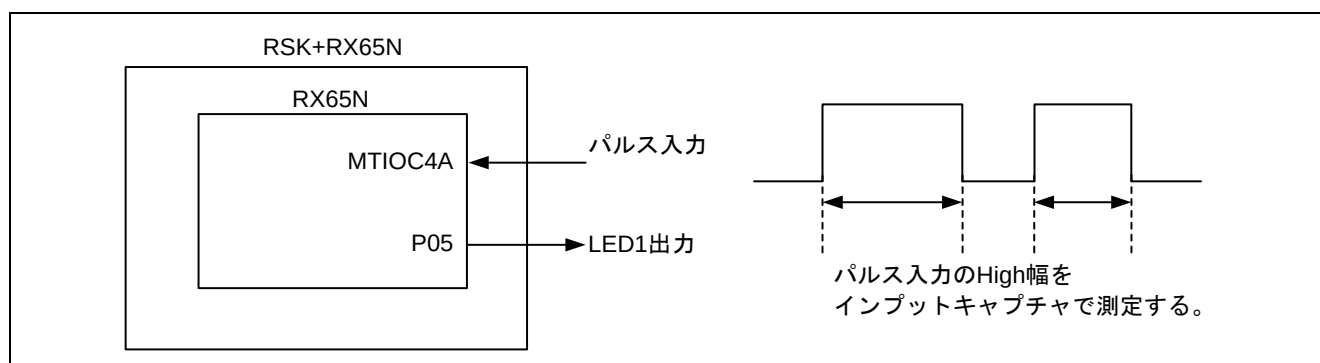
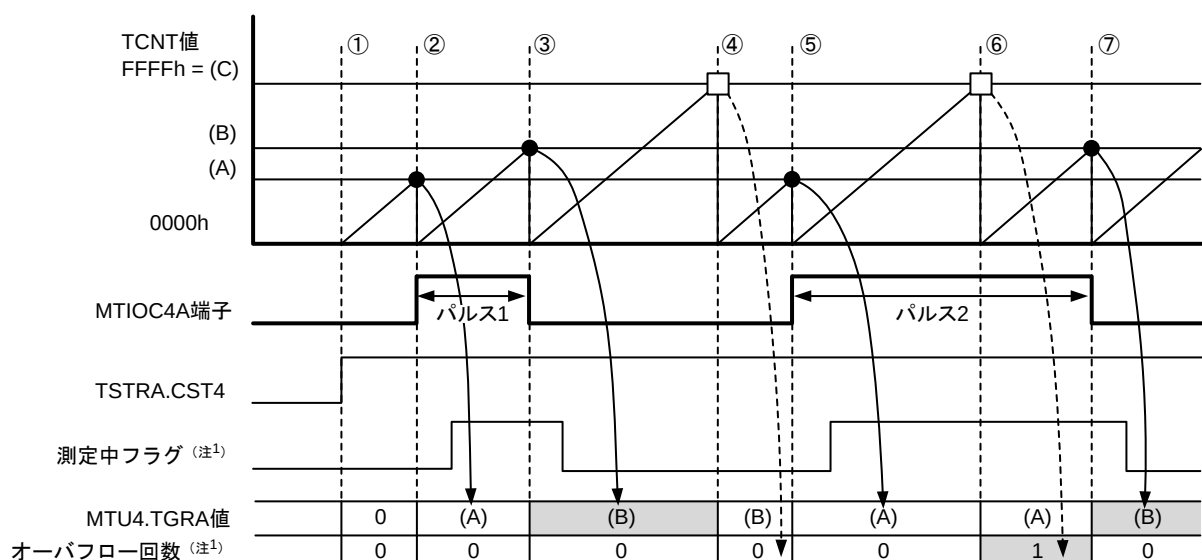


図2.20 MTU 端子接続



● : インพุットキャプチャ発生タイミング (図中②、③、⑤、⑦)

TCNT値がTGRAに転送されます。また、このときインพุットキャプチャ割り込みが発生させます。

□ : TCNTオーバーフロー発生タイミング (図中④、⑥)

TCNTオーバーフロー時オーバーフロー割り込みが発生させます。なお、TCNT値がFFFFh時にエッジ入力があった場合、TCNT値はTGRAに転送されオーバーフロー割り込みは発生せず、インพุットキャプチャ割り込みが発生します。

網掛け : 測定値として使用するカウンタ値

オーバーフロー回数 (変数領域に設定)

注1. ソフトウェアによる処理

図2.21 MTU インพุットキャプチャ動作説明

<パルス幅測定動作説明>上記図 2.21を前提条件として、パルス 1, 2 のパルス幅測定原理を説明します。

- ① TSTR.CST4 ビットに “1” (カウント開始) を設定すると、MTU4 がカウントを開始します。
- ② MTIOC4A 端子に立ち上がりエッジが入力されると、インพุットキャプチャ割り込みが発生します。この割り込み処理内で、端子が High 状態であることを確認後、測定中フラグを “1” に設定、オーバーフロー回数を “0” クリアし、パルス 1 の測定を開始します。
- ③ MTIOC4A 端子に立ち下がりエッジが入力されると、インพุットキャプチャ割り込みが発生します。この割り込み処理内で、端子が Low であることを確認後、パルス 1 の幅を測定完了と判断、測定中フラグを “0” クリアし、MTU4.TCNT のオーバーフロー回数 (0) と、MTU4.TGRA の値 (B) を元にパルス 1 の幅を算出します。
- ④ MTU4.TCNT がオーバーフローし、オーバーフロー割り込みが発生します。この割り込み処理内で、測定中フラグを確認します。測定中フラグが “0” なのでオーバーフロー回数はカウントしません。
- ⑤ MTIOC4A 端子に立ち上がりエッジが入力されると、インพุットキャプチャ割り込みが発生します。この割り込み処理内で端子が High 状態であることを確認後、測定中フラグを “1” に設定、オーバーフロー回数を “0” クリアし、パルス 2 の測定を開始します。
- ⑥ MTU4.TCNT がオーバーフローし、オーバーフロー割り込みが発生します。この割り込み処理内で、測定中フラグを確認します。測定中フラグが 1 のため、オーバーフロー回数をカウントアップし、オーバーフロー回数を (0) ⇒ (1) とします。
- ⑦ MTIOC4A 端子に立ち下がりエッジが入力されると、インพุット割り込みが発生します。この割り込み処理内で端子が Low 状態であることを確認後、パルス 2 の幅を測定完了と判断、測定中フラグを “0” クリアし、MTU4.TCNT のオーバーフロー回数 (1) と、MTU4.TGRA の値 (B) を元にパルス 2 の幅を算出します。

表2.39 MTU インพุットキャプチャ初期設定例

手順		SH7080 設定例 MPφ(周辺クロック): 40MHz	RX651 設定例 PCLKA(周辺クロック A): 120MHz
1	モジュールストップ状態解除	STBCR4.MSTP22=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRA.MSTPA9=0 SYSTEM.PRCR=A500h
2	レジスタのリードライト許可	TRWER.RWE=1 (リードライト許可)	MTU.TRWERA.RWE=1 (誤書き込み防止の対象レジスタ/カウンタのアクセス許可)
3	割り込み設定 ディスエーブル	TIER.TGIEA=0 (TGIA を禁止) TIER.TCIEV=0 (TCIV を禁止)	ICU.IER1A.IEN2=0 (ベクタ 210: 選択型割り込み A) ICU.IER1A.IEN3=0 (ベクタ 211: 選択型割り込み A) MTU4.TIER.TGIEA=0 (TGIA4 を禁止) MTU4.TIER.TCIEV=0 (TCIV4 を禁止)
4	MTU 停止	TSTR.CST4=0 (TCNT 停止) TSYR.SYNC4=0 (独立動作設定) TCNT=0000h (TCNT_4 クリア) TGRA=0000h (TGRA_4 クリア)	MTU.TSTRA.CST4=0 (TCNT 停止) MTU.TSYR.SYNC4=0 (独立動作設定) MTU4.TCNT=0000h (TCNT クリア) MTU4.TGRA=0000h (TGRA クリア)
5	カウンタクロック選択 エッジ選択	TCR.TPSC[2:0]=000b (内部クロック: MPφ/1 設定) TCR.CKEG[1:0]=00b (立ち上がりでカウント)	MTU4.TCR.TPSC[2:0]=000b (内部クロック: PCLKA/1 設定) MTU4.TCR.CKEG[1:0]=00b (立ち上がりでカウント) MTU4.TCR2.TPSC2[2:0]=000b (内部クロック: PCLKA/1 設定)
6	カウンタ動作/TCNT クリア要因設定	TGRA のコンペアマッチ/インพุットキャプチャ /TCNT クリア要因 TGRA TCR.CCLR[2:0]=001b	MTU4.TGRA のコンペアマッチ/インพุットキャプチャ /TCNT クリア要因 TGRA MTU4.TCR.CCLR[2:0]=001b
7	タイマ I/O コントロール設定	TGRA はインพุットキャプチャレジスタ 入力端子 TIOC4A、 両エッジでインพุットキャプチャ TIO RH.IOA[3:0]=1010b	MTU4.TGRA はインพุットキャプチャレジスタ 入力端子 MTIOC0A 両エッジでインพุットキャプチャ MTU4.TIO RH.IOA[3:0]=1010b
8	タイマモードレジスタ設定	TMDR.BFA=0 (通常動作) TMDR.MD[3:0]=0 (通常動作)	MTU4.TMDR1.BFA=0 (通常動作) MTU4.TMDR1.MD[3:0]=0 (通常動作)
9	選択型割り込み要因設定	—	ICU.SLIAR210=21 (TGIA4) ICU.SLIAR211=25 (TCIV4) ICU.SLIPRCR.WPRC=1 (注1) (選択型割り込み要因選択レジスタ書き込み保護) ICU.SLIPRCR.WPRC=1 であることを確認する
10	割り込み優先度レジスタ設定	INTC.IPRF.WORD=5600h (TGIA: レベル 5、TCIV: レベル 6)	ICU.IPR210=5 (割り込み優先度レベル 5) ICU.IPR211=6 (割り込み優先度レベル 6)
11	割り込み要因クリア	—	ICU.IR210=0 (TGIA4) ICU.IR211=0 (TCIV4)
12	I/O ポート設定 (端子入出力と端子機能設定)	PFC の設定を実施する。 PEIOR.PE12IOR=0 (入力) PECRL4.PE12MD=001b (TIOC4A 選択)	MPC で端子 MTIOC4A を設定する。 PORTA.PDR.B0=0 (入力設定) PORTA.PMR.B0=0 (GPIO) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.PA0PFS=01h (端子機能設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORTA.PMR.B0=1(周辺機能)

手順		SH7080 設定例 MP ϕ (周辺クロック) : 40MHz	RX651 設定例 PCLKA(周辺クロック A) : 120MHz
13	割り込み許可 設定	TIER.TGIEA=1 (TGIA を許可) TIER.TCIEV=1 (TCIV を許可)	MTU4.TIER.TGIEA=1 (TGIA4 を許可) MTU4.TIER.TCIEV=1 (TCIV4 を許可) ICU.IER1A.IEN2=1 (ベクタ 210、TGIA4 許可) ICU.IER1A.IEN3=1 (ベクタ 211、TCIV4 許可)
14	タイマ動作許可	TSTR.CST4=1 (TCNT_4 をカウント動作)	MTU.TSTRA.CST4=1 (TCNT4 をカウント動作)

注 1. ICU.SLIPRCR.WPRC は一度“1”にすると、ソフトウェアでは“0”にできません。

2.8 ポートアウトプットイネーブル (POE)

2.8.1 仕様比較

ポートアウトプットイネーブル機能として、SH7080 グループでは POE、RX651 では POE3a が内蔵されています。

RX651 は SH7080 グループの POE 機能を包含しています (上位互換)。SH7080 グループと RX651 の仕様比較を表 2.40 に示します。

表2.40 SH7080 グループ、RX651 の仕様比較 (POE)

項目	SH7080 グループ (POE)	RX651 (POE3a)
クロックソース	周辺クロック (Pφ)	周辺モジュールクロック (PCLKB)
ハイインピーダンス 制御対象端子	- MTU0 用端子 - MTU2、MTU2S 大電流端子 — MTU3 用端子 — MTU4 用端子 — MTU3S 用端子 — MTU4S 用端子	- MTU0 用端子 - MTU 相補 PWM 出力端子 — MTU3 用端子 — MTU4 用端子 — MTU6 用端子 — MTU7 用端子
ハイインピーダンス 要求発生条件	- 入力端子の変化 — 立下リエッジ — Pφ/8×16 回のローレベル — Pφ/16×16 回のローレベル — Pφ/128×16 回のローレベル - 組み合わせの出力信号レベルが 1 サイクル以上一致 (短絡) - レジスタ設定	- 入力端子の変化 — 立下リエッジ — PCLKB/8×16 回のローレベル — PCLKB/16×16 回のローレベル — PCLKB/128×16 回のローレベル - 組み合わせの出力信号レベルが 1 サイクル以上一致 (短絡) - レジスタ設定 - クロック発生回路の発振停止検出
割り込み要因	- 入力端子の変化によるハイインピーダンス要求 - 出力信号レベルの比較によるハイインピーダンス要求	- 入力端子の変化によるハイインピーダンス要求 - 出力信号レベルの比較によるハイインピーダンス要求
その他	—	MTU 相補 PWM 出力端子、MTU0 用端子のハイインピーダンス制御条件の追加が可能

2.8.2 入出力端子

SH7080 グループの入力端子は MTU 用の POE0#～POE8#のみに対応しているのに対し、RX651 は MTU 用の入力端子に加え POE10#と POE11#の入力信号にも対応しています。

SH7080 グループは MTU0 用端子が汎用入出力機能または MTU2、MTU2S 機能が選択されている場合のみハイインピーダンスになります。RX651 は MTU 相補 PWM 出力端子および MTU0 端子をマルチプレクスしている端子が、MTU を選択していない場合でもハイインピーダンスになります。

SH7080 グループと RX651 の入力端子を表 2.41、出力端子の比較組み合わせを表 2.42に示します。

表2.41 POE 入力端子の一覧

SH7080 グループ	RX651	ハイインピーダンス制御対象
POE0#～POE3#	POE0#	MTU3, 4 用端子 ^(注 1)
POE4#～POE7#	POE4#	SH7080 グループ : MTU3S, 4S 用端子 RX651 : MTU6, 7 用端子 ^{*1}
POE8#	POE8#	MTU0 用端子 ^(注 1)
—	POE10#	(注 1)
—	POE11#	(注 1)

注 1. RX651 はハイインピーダンス制御条件の追加により他の端子も制御可能

表2.42 POE 出力端子の組み合わせ一覧

SH7080 グループ	RX651	ハイインピーダンス制御対象
TIOC3B と TIOC3D	MTIOC3B と MTIOC3D	MTU3, 4 用端子
TIOC4A と TIOC4C	MTIOC4A と MTIOC4C	
TIOC4B と TIOC4D	MTIOC4B と MTIOC4D	
TIOC3BS と TIOC3DS	MTIOC6B と MTIOC6D	SH7080 グループ : MTU3S, 4S 用端子 RX651 : MTU6, 7 用端子
TIOC4AS と TIOC4CS	MTIOC7A と MTIOC7C	
TIOC4BS と TIOC4DS	MTIOC7B と MTIOC7D	

2.8.3 レジスタ比較

SH7080 グループは、ポートアウトプットイネーブルコントロールレジスタ (POECR1/2) でポートのインピーダンス状態設定を行うのに対し、RX651 はポートアウトプットイネーブルコントロールレジスタ (POECR1/2) で端子のインピーダンス状態の設定を行い、各 MTU チャネルの端子選択レジスタ (M0SELR1/2, M3SELR, M4SELR1/2) で端子に割り当てるポートを指定します。

SH7080 グループ、RX651 のレジスタ比較を表 2.43 に示します。

表の変更欄の記号

- ◎ : SH7080 グループと RX651 でビットアサインが同じレジスタ
- △ : SH7080 グループと RX651 でビットアサインが異なるレジスタ
- : SH7080 グループと RX651 で一方にしかないレジスタ

表2.43 SH7080 グループ、RX651 のレジスタ比較 (POE)

SH7080 グループ (POE)	RX651 (POE3a)	変更
入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	入力レベルコントロール/ ステータスレジスタ 1 (ICSR1)	△
入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	入力レベルコントロール/ ステータスレジスタ 2 (ICSR2)	△
入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	入力レベルコントロール/ ステータスレジスタ 3 (ICSR3)	◎
—	入力レベルコントロール/ ステータスレジスタ 4 (ICSR4) 入力レベルコントロール/ ステータスレジスタ 5 (ICSR5) 入力レベルコントロール/ ステータスレジスタ 6 (ICSR6)	—
出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	出力レベルコントロール/ ステータスレジスタ 1 (OCSR1)	◎
出力レベルコントロール/ステータスレジスタ 2 (OCSR2)	出力レベルコントロール/ ステータスレジスタ 2 (OCSR2)	◎
ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	△
ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) MTU0 端子選択レジスタ 1 (M0SELR1) MTU0 端子選択レジスタ 2 (M0SELR2)	△
ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) MTU3 端子選択レジスタ (M3SELR) MTU4 端子選択レジスタ 1 (M4SELR1) MTU4 端子選択レジスタ 2 (M4SELR2)	△
—	ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4) ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5) アクティブレベルレジスタ 1 (ALR1)	—

2.8.4 発振停止検出検知によるハイインピーダンス制御

RX651 は、クロック発生回路の発振停止検出機能により発振停止が検出されると、任意の MTU 相補 PWM 出力端子、MTU0 端子をハイインピーダンスにすることができます。

発振停止検出でハイインピーダンスになった端子は、リセットで初期状態に戻るか、レジスタ設定でハイインピーダンス状態を解除します。

2.8.5 ハイインピーダンス制御条件の追加

RX651 は、MTU 相補 PWM 出力端子、MTU0 端子のハイインピーダンス制御条件を追加することができます。追加可能なハイインピーダンス制御条件を表 2.44 に示します。

表2.44 RX651 ハイインピーダンス制御条件の追加

ハイインピーダンス制御対象	追加可能な条件
MTU3, 4 用端子	POE4#, 8#, 10#, 11# 端子による入力レベル検出
MTU6, 7 用端子	POE0#, 8#, 10#, 11# 端子による入力レベル検出
MTU0 用端子	POE0#, 4#, 10#, 11# 端子による入力レベル検出

2.8.6 割り込み

RX651 の POE3a は、グループ割り込み BL1 に割り当てられています。割り込みコントローラのグループ BL1 割り込みステータスフラグ (GRPBL1.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

割り込みについては1.8章を参照してください。

2.9 ウォッチドッグタイマ (WDT)

2.9.1 仕様比較

ウォッチドッグタイマ機能として、SH7080 グループでは WDT、RX651 では WDTA の他に、独立した専用クロックで動作し低消費電力状態でも動作が可能な IWDTa が内蔵されています。

SH7080 グループと RX651 の仕様比較を表 2.45に示します。

表2.45 SH7080 グループ、RX651 の仕様比較 (WDT)

項目	SH7080 グループ (WDT)	RX651 (WDTA, IWDTa)
クロックソース	周辺クロック (Pφ)	WDTA : 周辺モジュールクロック (PCLKB) IWDTa : IWDT 専用クロック (IWDTCLK) ただし PCLKB ≥ 4 × IWDTCLK
クロック分周比	Pφ/1, 4, 16, 32, 64, 256, 1024, 4096	WDTA : PCLKB/4, 64, 128, 512, 2048, 8192 IWDTa : IWDTCLK/1, 16, 32, 64, 128, 256
カウント動作	8 ビットのアップカウンタ	14 ビットのダウンカウンタ
動作モード	- ウォッチドッグタイマモード - インターバルタイマモード	- なし - リセット出力許可 (ウォッチドッグタイマモード相当) - 割り込み要求許可 (インターバルタイマモード相当)
カウント開始条件	- タイマイネーブルビット設定 - オーバフローによる内部リセット後	- オートスタートモード時 - リセット後 - アンダフロー発生後 - リフレッシュエラー発生後 - レジスタスタートモード時 - リフレッシュ動作
カウント停止条件	- タイマイネーブルビット設定 - オーバフローによる内部リセット時 - RES 端子によるパワーオンリセット時 (カウンタおよび設定初期化)	- リセット時 (カウンタおよび設定初期化) - アンダフロー発生時 - リフレッシュエラー発生時
オーバフロー/アンダフロー時の動作	- ウォッチドッグタイマモード時 - 内部リセット (パワーオンリセット、マニュアルリセット) - WDTOVF 出力 - インターバルタイマモード時 - 割り込み	- リセット出力許可時 - 内部リセット - 割り込み要求出力許可時 - 割り込み
割り込み要因	アップカウンタのオーバフロー	- ダウンカウンタのアンダフロー - リフレッシュエラー
その他	—	- イベントリンク (IWDTa のみ) - ウィンドウ機能 - 低消費電力状態でも動作可能 (IWDTa のみ) - オートスタートモード時の設定をオプション機能選択レジスタ 0 で行う - クロック分周比 - リフレッシュウィンドウ開始/終了 - タイムアウト期間 - 割り込み要求許可/リセット許可を選択

2.9.2 カウント開始条件

SH7080 グループはタイマイネーブルビットへの1書き込みでカウントを開始します。RX651 はオプション機能選択レジスタに設定することで SH7080 グループ同様にレジスタ書き込みでカウントを開始するレジスタスタートモードと、リセット後に自動的にカウントを開始するオートスタートモードの選択が可能です。

RX651 のオートスタートモードを選択した場合、オプション機能選択レジスタ (OFS0) の設定に従い、リセット後に自動的にカウントを開始します。レジスタスタートモードを選択した場合、リセット解除後に各レジスタの設定後、リフレッシュにより、カウントを開始します。

2.9.3 リフレッシュ動作

RX651 は WDT リフレッシュレジスタ (WDTRR) へ“00h”を書き込んだ後、続けて“FFh”を書き込むことでカウントをリフレッシュします。WDT リフレッシュレジスタへの書き込みは、リフレッシュ許可期間内に行う必要があります。IWDTa のカウントをリフレッシュする場合は、リフレッシュ許可期間内に IWDT リフレッシュレジスタ (IWDTRR) へ同様の書き込みを行ってください。

表2.46 リフレッシュ動作の比較

項目	SH7080 グループ	RX651 (WDTA)
リフレッシュ条件	ウォッチドッグタイマカウンタ (WTCNT) への書き込み	リフレッシュ許可期間内にリフレッシュレジスタ (WDTRR) に“00h”を書き込み後、“FFh”を書き込む
リフレッシュ後のカウンタ初期値	ウォッチドッグタイマカウンタ (WTCNT) へ書き込んだ値	タイムアウト期間選択ビット (WDTCR.TOPS) で選択した値

2.9.4 レジスタ書き込み制限

SH7080 グループは各 WDT の各レジスタへ書き込みを行う場合、上位バイトに“5Ah”、下位バイトに書き込みデータで構成されるワードサイズで書き込みを行います。読み出しはバイトサイズで行います。

RX651 WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR) への書き込みは、リセット解除から最初のリセット動作までの間に1回のみ可能です。IWDTa は、IWDT コントロールレジスタ、IWDT リセットコントロールレジスタ、IWDT カウント停止コントロールレジスタが該当します。

2.9.5 割り込み

RX651 の WDTA および IWDTa 割り込みは、ノンマスクابل割り込みと割り込みの両方に対応しています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつけると自動的にクリアされます。

割り込みについては1.8章を参照してください。

2.9.6 全モジュールストップ

WDTA および IWDTa にはモジュールストップ機能がありません。

RX651 は全モジュールストップ時の状態が WDTA と IWDTa で異なります。全モジュールストップ時のモジュールの状態を表 2.47 に示します。

表2.47 RX651 全モジュールストップ時のモジュールの状態

モジュール名	モジュールの状態
ウォッチドッグタイマ (WDTA)	カウントを停止 (状態は保持)
独立ウォッチドッグタイマ (IWDTa)	オプション設定メモリで選択可能

2.9.7 オプション設定

RX651 はリセット後の状態をオプション設定メモリのスタートモード選択ビット (OFS0.IWDTSTRT, OFS0.WDTSTRT) で設定することができます。

2.10 シリアルコミュニケーションインタフェース (SCI) /FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

2.10.1 仕様比較

シリアルコミュニケーションインタフェース機能として、SH7080 グループでは SCI と SCIF が内蔵されています。RX651 では SCIg と SCIf、SCIh が内蔵されています。

SCIg は従来の転送方式の調歩同期式、クロック同期式に加えて、調歩同期式の拡張機能としてスマートカード (IC カード) インタフェースに対応しています。更に、簡易 I2C バスインタフェースのシングルマスタ動作、および簡易 SPI バスインタフェースにも対応しています。SCIh は SCIg の機能に加えて拡張シリアルインタフェースを備えています。SH7080 グループにはない転送方式はユーザーズマニュアル ハードウェア編を参照して下さい。

SH7080 グループと RX651 の仕様比較を表 2.48 と表 2.49 に示します。

表2.48 SH7080 グループ、RX651 の仕様比較 (SCI)

項目		SH7080 グループ (SCI)	RX651 (SCIg, SCIlh)
チャンネル数		3ch (SCI0~2)	SCIg : 10ch (SCI0~9) SCIlh : 1ch (SCI12)
クロックソース		周辺クロック (Pφ)	周辺モジュールクロック (PCLKB)
シリアル通信方式		- 調歩同期式 - クロック同期式	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I2C バス - 簡易 SPI バス
転送速度		内蔵ボーレートジェネレータによる任意のビットレートを選択可能	
全二重通信		送受信ともにダブルバッファ構成のため連続送信、連続受信が可能	
データ転送		LSB ファースト/MSB ファースト選択可能 (調歩同期 7 ビットデータ除く)	LSB ファースト/MSB ファースト選択可能 (簡易 I2C バスでは MSB ファーストのみ)
DTC/DMAC 起動		DTC/DMAC 起動可能	DTC/DMAC 起動可能
割り込み要因		- 送信データエンプティ - 送信終了 - 受信データフル - 受信エラー	- 送信データエンプティ - 送信終了 - 受信データフル - 受信エラー 簡易 I2C モード用 — 開始条件 — 再開条件 — 停止条件生成終了
調歩同期モード	データ長	7 ビット, 8 ビット	7 ビット, 8 ビット, 9 ビット
	ストップビット	1 ビット, 2 ビット	
	パリティ機能	偶数パリティ、奇数パリティ、パリティなし	
	受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー	
	モデムコントロール	なし	ハードウェアフロー制御に対応
	ブレーク検出	フレーミングエラー発生時 RXDn 端子レベルを直接リードすることで可能	
	クロックソース	内部/外部クロックから選択可能	内部/外部クロックから選択可能 TMR からの転送レートクロックが入力可能 (SCI5, 6, 12)
	マルチプロセッサ通信	あり	
	ノイズ除去	なし	RXDn 端子にデジタルノイズフィルタを設定可能
	その他	—	- 倍速モード - スタートビット検出
クロック同期モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	モデムコントロール	なし	ハードウェアフロー制御に対応
その他		—	- イベントリンク - 拡張シリアルモード (SCIlh のみ) - ビットレートモジュレーション

表2.49 SH7080 グループ、RX651 の仕様比較 (SCIF)

項目		SH7080 グループ (SCIF)	RX651 (SCIf)
チャンネル数		1ch (SCI3)	2ch (SCI10~11)
クロックソース		周辺クロック (Pφ)	周辺モジュールクロック (PCLKA)
シリアル通信方式		- 調歩同期式 - クロック同期式	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I2C バス - 簡易 SPI バス
転送速度		内蔵ボーレートジェネレータによる任意のビットレートを選択可能	
全二重通信		送受信ともに 16 段の FIFO バッファ構成のため連続送受信が可能	
データ転送		LSB ファースト	LSB ファースト/MSB ファースト選択可能 (簡易 I2C バスでは MSB ファーストのみ)
DTC/DMAC 制御		DTC 制御可能	DTC/DMAC 制御可能
割り込み要因		- 送信 FIFO データエンプティ - ブレーク - レシーブ FIFO データフル - 受信エラー	- 送信データエンプティ - 送信終了 - 受信データフル - 受信エラー - 受信データレディ - データ一致 簡易 I2C モード用 — 開始条件 — 再開条件 — 停止条件生成終了
調歩同期モード	データ長	7 ビット, 8 ビット	7 ビット, 8 ビット, 9 ビット
	ストップビット	1 ビット, 2 ビット	
	パリティ機能	偶数パリティ、奇数パリティ、パリティなし	
	受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー	
	モデムコントロール	あり	ハードウェアフロー制御に対応
	ブレーク検出	ブレークの検出が可能 また、フレーミングエラー発生時 RXDn 端子レベルを直接リードすることでも検出可能	フレーミングエラー発生時 RXDn 端子レベルを直接リードすることで可能
	クロックソース	内部/外部クロックから選択可能	
	マルチプロセッサ通信	対応	
	ノイズ除去	なし	RXDn 端子にデジタルノイズフィルタを設定可能
	その他	—	倍速モード スタートビット検出
クロック同期モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	モデムコントロール	なし	ハードウェアフロー制御に対応
その他		—	ビットレートモジュレーション

2.10.2 レジスタ比較

SH7080 グループ、RX651 のレジスタ比較を表 2.50と表 2.51に示します。

表の変更欄の記号

- ◎ : SH7080 グループと RX651 でビットアサインが同じレジスタ
- △ : SH7080 グループと RX651 でビットアサインが異なるレジスタ
- : SH7080 グループと RX651 で一方にしかないレジスタ

表2.50 SH7080 グループ、RX651 のレジスタ比較 (SCI)

SH7080 グループ (SCI)	RX651 (SCIg, SCIH)	変更
SCI n : 0~2	SCI m : 0~9, 12	
トランスミットデータレジスタ_n (SCTDR_n)	トランスミットデータレジスタ (SCIm.TDR)	◎
トランスミットシフトレジスタ (SCTSR)	トランスミットシフトレジスタ (TSR)	◎
レシーブデータレジスタ_n (SCRDR_n)	レシーブデータレジスタ (SCIm.RDR)	◎
レシーブシフトレジスタ (SCRSR)	レシーブシフトレジスタ (RSR)	◎
シリアルモードレジスタ_n (SCSMR_n)	シリアルモードレジスタ (SCIm.SMR)	◎
シリアルコントロールレジスタ_n (SCSCR_n)	シリアルコントロールレジスタ (SCIm.SCR)	◎
シリアルステータスレジスタ_n (SCSSR_n)	シリアルステータスレジスタ (SCIm.SSR)	◎
ビットレートレジスタ_n (SCBRR_n)	ビットレートレジスタ (SCIm.BRR)	◎
シリアルディレクションコントロールレジスタ_n (SCSDCR_n)	スマートカードモードレジスタ (SCIm.SCMR)	△
シリアルポートレジスタ_n (SCSPTR_n)	—	—
—	モジュレーションデューティレジスタ (SCIm.MDDR)	—
	シリアル拡張モードレジスタ (SCIm.SEMR)	—
	ノイズフィルタ設定レジスタ (SCIm.SNFR)	—
	I2C モードレジスタ 1~3 (SCIm.SIMR1~3)	—
	I2C ステータスレジスタ (SCIm.SISR)	—
	SPI モードレジスタ (SCIm.SPMR)	—
	拡張シリアルモード有効レジスタ (SCI12.ESMER)	—
	コントロールレジスタ 0~3 (SCI12.CR0~3)	—
	ポートコントロールレジスタ (SCI12.PCR)	—
	割り込みコントロールレジスタ (SCI12.ICR)	—
	ステータスレジスタ (SCI12.STR)	—
	ステータスクリアレジスタ (SCI12.STCR)	—
	Control Field 0 データレジスタ (SCI12.CF0DR)	—
	Control Field 0 コンペアイネーブルレジスタ (SCI12.CF0CR)	—
	Control Field 0 受信データレジスタ (SCI12.CF0RR)	—
	プライマリ Control Field 1 データレジスタ (SCI12.PCF1DR)	—
	セカンダリ Control Field 1 データレジスタ (SCI12.SCF1DR)	—
	Control Field 1 コンペアイネーブルレジスタ (SCI12.CF1CR)	—
	Control Field 1 受信データレジスタ (SCI12.CF1RR)	—
	タイマコントロールレジスタ (SCI12.TCR)	—
	タイマモードレジスタ (SCI12.TMR)	—
	タイマプリスケラレジスタ (SCI12.TPRE)	—
	タイマカウントレジスタ (SCI12.TCNT)	—

表2.51 SH7080 グループ、RX651 のレジスタ比較 (SCIF)

SH7080 グループ (SCIF)	RX651 (SCIf)	変更
SCI n : 3	SCI m : 10, 11	
—	トランスミットデータレジスタ (SCIm.TDR)	—
トランスミット FIFO データレジスタ_n (SCFTDR_n)	送信 FIFO データレジスタ (SCIm.FTDR)	△
トランスミットシフトレジスタ (SCTSR)	トランスミットシフトレジスタ (TSR)	◎
—	レシーブデータレジスタ (SCIm.RDR)	—
レシーブ FIFO データレジスタ_n (SCFRDR_n)	受信 FIFO データレジスタ (SCIm.FRDR)	△
レシーブシフトレジスタ (SCRSR)	レシーブシフトレジスタ (RSR)	◎
シリアルモードレジスタ_n (SCSMR_n)	シリアルモードレジスタ (SCIm.SMR)	△
シリアルコントロールレジスタ_n (SCSCR_n)	シリアルコントロールレジスタ (SCIm.SCR)	△
シリアルステータスレジスタ_n (SCFSR_n)	シリアルステータスレジスタ (SCIm.SSR/ SCIm.SSRFIFO)	△
ビットレートレジスタ_n (SCBRR_n)	ビットレートレジスタ (SCIm.BRR)	◎
シリアルポートレジスタ_n (SCSPTR_n)	シリアルポートレジスタ (SCIm.SPTR)	△
FIFO コントロールレジスタ_n (SCFCR_n)	FIFO コントロールレジスタ (SCIm.FCR)	△
FIFO データ数レジスタ_n (SCFDR_n)	FIFO データカウントレジスタ (SCIm.FDR)	◎
ラインステータスレジスタ_n (SCLSR_n)	ラインステータスレジスタ (SCIm.LSR)	△
—	スマートカードモードレジスタ (SCIm.SCMR)	—
	モジュレーションデューティレジスタ (SCIm.MDDR)	
	シリアル拡張モードレジスタ (SCIm.SEMR)	
	ノイズフィルタ設定レジスタ (SCIm.SNFR)	
	I2C モードレジスタ 1~3 (SCIm.SIMR1~3)	
	I2C ステータスレジスタ (SCIm.SISR)	
	SPI モードレジスタ (SCIm.SPMR)	
	比較データレジスタ (SCIm.CDR)	
	データ比較制御レジスタ (SCIm.DCCR)	

2.10.3 クロックソース選択

RX651 は調歩同期式モードで通信を行う場合、シリアル拡張モードレジスタ (SEMR) において 1 ビット期間を決定するクロックソースを外部クロック入力か、TMR クロック入力 (SCI5, SCI6, SIC12 のみ) から選択します。また、1 ビット期間が基本クロックの 8 ビット/16 ビットかを選択します。

2.10.4 割り込み

SH7080 グループは FIFO 付きの場合に DTC の起動が可能なのに対し、RX651 は FIFO 付きの場合も DTC と DMAC の起動が可能です。FIFO なしの場合は、SH7080 グループと RX651 で割り込み要因の仕様は同一です。

RX651 の受信データフルおよび送信データエンプティ割り込みは、割り込みステータスフラグ (IRn.IR) が '1' のときに発生した割り込み要求もモジュール内部で保持され、割り込みステータスフラグ (IRn.IR) が '0' になった後、保持された要求によって再度 '1' になります。

RX651 は一部割り込みが複数のグループ割り込みに割り当てられています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつけると自動的にクリアされます。各グループ割り込みステータスフラグ (ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

SH7080 グループと RX651 の割り込み要因一覧を表 2.52、表 2.53 に示します。

割り込みについては 1.8 章を参照してください。

表 2.52 SH7080 グループ SCIF 割り込み要因一覧

割り込み要因	DTC の起動	DMAC 起動	優先順位
受信エラー	不可能	不可能	高 ↑ 低
レシーブ FIFO データフルまたはデータレディ	可能		
ブ레이크またはオーバランエラー	不可能		
送信 FIFO データエンプティ	可能		

表 2.53 RX651 SCIf 割り込み要因一覧

割り込み要因	DTC の起動	DMAC 起動	優先順位
受信エラー	不可能	不可能	高 ↑ 低
受信 FIFO フル	可能	可能	
受信データレディ (注 1)			
データ一致			
送信 FIFO エンプティ			
送信終了	不可能	不可能	

注 1. FIFO が有効の場合のみ。

2.10.5 モジュールストップ

RX651 の SCI は、SH7080 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については 2.16 章を参照してください。

2.10.6 調歩同期式通信設定例（割り込み、ポーリング）

SH7080 と RX651 のシリアルコミュニケーションインタフェース（SCI）調歩同期式シリアル通信の設定例を示します。

<仕様>

- ① RSK+RX65N の SCI2 を使用し、TXD2 と RXD2 をループバック接続します。
- ② 送信バッファ 32 バイトデータの送信を行い、折り返しデータを受信するものとします。
- ③ 割り込み方式では、送受信割り込みを使用し、送信データエンプティ割り込みにより送信開始、受信データレジスタフル割り込みにより受信開始をします。
- ④ ポーリングでは割り込みを使用せず、シリアルステータスレジスタをポーリングすることでデータの送受信を行います。
- ⑤ マイコン初期化が終了し、SCI2 が送受信可能になったら LED0 を点灯します。送受信が終了したら LED1 を点灯します。受信エラーが発生した場合は LED2 を点灯します。

注意事項

RX651 は、端子機能を TXD2 に設定した状態でシリアル送信動作を禁止にすると、端子の出力がハイインピーダンスになるため、プルアップ抵抗を接続して下さい。

RSK+RX65N は、TXD2 ラインにプルダウン抵抗が、RXD2 ラインに U8(SN74LVC2T45DCT)が、それぞれ接続されていますので、TXD2 にプルアップ抵抗を接続するためには、以下のように RSK+RX65N の改造が必要です。

（改造内容）

- ボードに実装されている R116（0Ω抵抗）、R153（0Ω抵抗）を取り除く
- TXD2 ラインにプルアップ抵抗を接続する

なお、サンプルコードでは、シリアル送信動作を許可してから端子の機能を TXD2 に変更することで、端子出力がハイインピーダンスになることを避ける処理を行っています。

表2.54 SCI 調歩同期式通信仕様

項目	内容	備考
通信方式	調歩同期式シリアル通信	
転送速度	38400bps	
データ長	8 ビット	
ストップビット	1 ビット	
パリティ	なし	
ハードウェアフロー制御	なし	
ビット順序	LSB ファースト	
使用 SCI チャンネル	SCI2	
使用端子	P50/TXD2	
	P52/RXD2	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

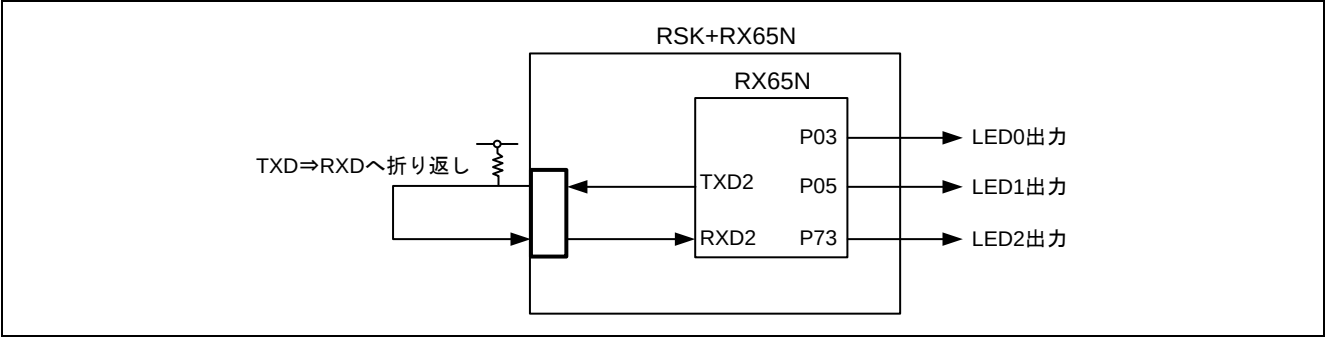


図2.22 SCI 接続仕様

<関連レジスタ一覧>

SH7080 と RX651 における SCI2 の割り込み関係レジスタを各割り込み要因別に示します。SH7080 の受信、送信、送信終了、受信エラーの各割り込みを同様に実現する場合、RX651 では表 2.55 の様なリソースの設定、またはフラグを認識する必要があります。

表2.55 SCI 割り込み関連リソース（調歩同期式通信時）

項目	SH7080				RX651			
割り込み要因	RXI	TXI	TEI	ERI	RXI	TXI	TEI	ERI
割り込み優先度レジスタ ^(注1)	IPRL(7-4)				IPR062	IPR063	IPR110	
割り込み許可レジスタ ^(注1)	—	—	—	—	IER07 .IEN6	IER07 .IEN7	IER0D.IEN6	
							GENBL0 .EN4	GENBL0 .EN5
割り込み要求レジスタ ^(注1)	—	—	—	—	IR062	IR063	IR110	
							GRPBL0 .IS4	GRPBL0 .IS5
割り込み許可ビット ^(注1)	SCSCR .RIE	SCSCR .TIE	SCSCR .TEIE	SCSCR .RIE	SCR .RIE	SCR .TIE	SCR .TEIE	SCR .RIE
ステータスレジスタ ^(注2)	SCSSR .RDRF	SCSSR .TDRE	SCSSR .TEND	SCSSR .ORER	SSR .RDRF	SSR .TDRE	SSR .TEND	SSR .ORER
				SCSSR .FER				SSR .FER
				SCSSR .PER				SSR .PER

注 1. 割り込み処理を使用する場合に使用します。ポーリング時は使用しません。

注 2. ポーリング時は要因検出として本レジスタをポーリングします。

レジスタ略号の正式名称は以下の通りです。

- SH7080
 - IPRL：割り込み優先レベル設定レジスタ L
 - SCSCR：シリアルコントロールレジスタ
 - SCSSR：シリアルステータスレジスタ
- RX651
 - IPRr：割り込み要因プライオリティレジスタ（r はベクタ番号）
 - IER07、0D：割り込み要求許可レジスタ 07、0D
 - IRn：割り込み要求レジスタ（n はベクタ番号）
 - GENBL0：グループ BL0 割り込み要求許可レジスタ
 - GRPBL0：グループ BL0 割り込み要求レジスタ
 - SCR：シリアルコントロールレジスタ
 - SSR：シリアルステータスレジスタ

以下に SCI における調歩同期通信時の初期設定手順を示します。

なお、トランスミットイネーブルビット（TE ビット）が 0 の期間は、I/O ポート設定によって、TXD2 端子に High レベルを出力しています。

表2.56 SCI 調歩同期式通信初期設定例（割り込み方式・ポーリング方式共通）

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKB(周辺クロック B) : 60MHz
1	モジュールストップ状態解除	STB.STBCR3.MSTP13=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRB.MSTPB29=0 SYSTEM.PRCR=A500h
2	SCI 割り込みディスエーブル	SH は割り込みコントローラに許可レジスタがない	ICU.IER07.IEN6=0 (RXI2) ICU.IER07.IEN7=0 (TXI2) ICU.IER0D.IEN6=0 (TEI2, ERI2 : グループ割り込み) ICU.GENBL0.EN4=0 (TEI2 : SCI2) ICU.GENBL0.EN5=0 (ERI2 : SCI2)
3	I/O ポート設定	PEDRL.PE10DR=1 (出力 1 に設定) PEIORL.PE10IOR=1 (出力に設定) PEIORL.PE7IOR=0 (入力に設定) PECRL3.PE10MD=000b (PE10 は汎用入出力に設定) PECRL2.PE7MD=000b (PE7 は汎用入出力に設定)	PORT5.PODR.B0=1 (出力 1 に設定) PORT5.PDR.B0=1 (出力に設定) PORT5.PDR.B2=0 (入力に設定) PORT5.PMR.B0=0 (P50 は汎用入出力に設定) PORT5.PMR.B2=0 (P52 は汎用入出力に設定)
4	SCR 初期化	SCSCR.TIE,RIE,TE,RE,TEIE=0	SCR.TIE,RIE,TE,RE,TEIE=0
5	クロックイネーブル設定	内部クロック/SCK 端子は入力(入力信号は無視) SCSCR.CKE[1:0]=00b	内蔵ポーレートジェネレータ SCKn 端子は入出力ポート SCR.CKE[1:0]=00b
6	SIMR、SPMR 初期化	—	SIMR1.IICM=0 SPMR1.CKPH,CKPOL=0 (初期値と同じ場合は省略可能)
7	送受信フォーマット設定	SCSMR.C/_A=0 (調歩同期式) SCSMR.CHR=0 (8 ビット) SCSMR.PE=0 (パリティなし) SCSMR.STOP=0 (1 ストップビット) SCSMR.MP=0 (マルチプロセッサなし) SCSMR.CKS[1:0]=00b (Pφ)	SMR.CM=0 (調歩同期式) SMR.CHR=0 (8 ビット) SMR.PE=0 (パリティなし) SMR.STOP=0 (1 ストップビット) SMR.MP=0 (マルチプロセッサなし) SMR.CKS[1:0]=00b (PCLKB)
			SCMR.SMIF=0 (シリアルコミュニケーションインタフェースモード) SCMR.SINV=0 (送受信データインバートしない) SCMR.SDIR=0 (LSB ファースト) SCMR.CHR1=1 (8 ビット)
			SEMR.ABCS=1 (基本クロック 8 サイクルが 1 ビット期間の転送レート) SEMR.NFEN=0 (デジタルノイズフィルタ無効) SEMR.BGDM=1 (ポーレートジェネレータから 2 倍の周波数のクロックを出力)
8	ビットレート設定(BRR)	38400bps SCBRR=32	38400bps BRR=194
9	1 ビット分ウェイトする。	←	←

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKB(周辺クロック B) : 60MHz
10	- 割り込みコントローラ側割り込み許可 - 優先度設定 - 割り込み要求クリア ポーリングではスキップ (注)	INTC.IPRL.WORD=0050h (レベル 5)	ICU.IPR062=5 (レベル 5) ICU.IPR063=5 (レベル 5) ICU.IPR110=5 (レベル 5) ICU.IR062=0 (RXI2) ICU.IR063=0 (TXI2) ICU.GENBL0.EN5=1 (ERI2 : SCI2) ICU.IER07.IEN6=1 (RXI2) ICU.IER07.IEN7=1 (TXI2) ICU.IER0D.IEN6=1 (TEI2,ERI2 : グループ 割り込み)
11	送受信許可	SCSCR.TIE,RIE,TE,RE=1 ポーリングでは SCSCR.RIE、TIE=0 とする。 (注)	SCR.RIE、RE=1 SCR.TIE、TE=1 ポーリングでは SCR.RIE、TIE=0 とする。 (注)
12	I/O ポート設定	PECRL3.PE10MD=010b(TXD2 端子設定) PECRL2.PE7MD=010b(RXD2 端子設定)	MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1(PFS ライト許可) MPC.P50PFS=0Ah(TXD2 端子設定) MPC.P52PFS=0Ah(RXD2 端子設定) MPC.PWPR.PFSWE=0(PFS ライト禁止) MPC.PWPR.B0WI=1 PORT5.PMR.B0=1(周辺機能に設定) PORT5.PMR.B2=1(周辺機能に設定)

注. 網掛けの部分はポーリング設定時の違いを示します。

調歩同期通信時（割り込み方式）の SCI 送信/受信処理の説明を示します。

サンプルコードでは割り込み処理の内容は特に規定しません。但し、RX651 では受信エラー割り込みがグループ割り込みに割り付けられます。そのため、グループから割り込みフラグを検出する必要があります。

表2.57 SCI 調歩同期通信時受信データフル割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	受信データを読み取り	SCRDR を受信バッファへ読み取る	RDR を受信バッファへ読み取る
2	受信データレジスタフルフラグをクリア	SCSSR.RDRF をリード後、0 クリア	SSR.RDRF、ICU.IR062 は自動的にクリアされる
3	全受信データ読み込み確認	受信バイト数が 32 バイトに達していない場合は、割り込み処理終了	受信バイト数が 32 バイトに達していない場合は、割り込み処理終了
4	受信終了	SCSCR.RIE=0 SCSCR.RE=0	ICU.IER07.IEN6=0 (RXI2) ICU.GENBL0.EN5=0 (ERI2 : グループ BL0) SCR.RIE=0 SCR.RE=0 ICU.IR062=0

表2.58 SCI 調歩同期通信時送信データエンプティ割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信データを TDR に書き込む	SCTDR ヘーダライト	TDR ヘーダライト
2	送信データエンプティフラグを 0 クリア	SCSSR.TDRE をリード後、0 クリア	SSR.TDRE、ICU.IR063 は自動的にクリアされる
3	全送信データ書き込み確認	送信バイト数が 32 バイトに達していない場合は、割り込み処理終了	送信バイト数が 32 バイトに達していない場合は、割り込み処理終了
4	送信終了割り込み設定	SCSCR.TIE=0 <送信終了割り込み設定> SCSCR.TEIE=1	ICU.IER07.IEN7=0 (TXI2) SCR.TIE=0 ICU.IR063=0 <送信終了割り込み設定> SCR.TEIE=1 ICU.GENBL0.EN4=1 (TEI2 : SCI2)

表2.59 SCI 調歩同期通信時エラー割り込み処理例

手順		SH7080 設定例	(RX651 設定例)
1	グループ割り込み判定	—	ICU.GRPBL0.IS5 (SCI2 受信エラー) が 1 の時、手順 2 以降の処理へ
2	オーバランエラー判定	SCSSR.ORER が 1 のときエラー処理を行う	SSR.ORER が 1 のときエラー処理を行う
3	フレーミングエラー判定	SCSSR.FER が 1 のときエラー処理を行う	SSR.FER が 1 のときエラー処理を行う
4	パリティエラー判定	SCSSR.PER が 1 のときエラー処理を行う	SSR.PER が 1 のときエラー処理を行う

表2.60 SCI 調歩同期通信時 送信終了割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信終了割り込み禁止設定	SCSCR.TEIE=0	ICU.GENBL0.EN4=0 (TEI2 : SCI2) SCR.TEIE=0
2	I/O ポート設定	PECRL3.PE10MD=000b (PE10 は汎用入出力に設定)	PORT5.PMR.B0=0 (P50 は汎用入出力に設定)
3	送信終了	SCSCR.TE=0	SCR.TE=0

以下に SCI 調歩同期通信時（ポーリング方式）の送信/受信処理の説明を示します。

ポーリング方式では割り込みを一切使用せず、「表 2.56 SCI 調歩同期式通信初期設定例（割り込み方式・ポーリング方式共通）」の延長で以下の処理を行います。

表2.61 SCI 調歩同期通信時（ポーリング方式）送受信処理例

手順		SH7080 設定例	RX651 設定例
受信処理			
1	受信エラーを読み出しエラー判定	SCSSR.ORER、FER、PER≠0 なら 受信エラー処理へ ⇒受信エラーでないなら手順 2 へ	SSR.ORER、FER、PER≠0 なら 受信エラー処理へ ⇒受信エラーでないなら手順 2 へ
2	受信データレジスタフルフラグを監視	SCSSR.RDRF=1 の場合は受信処理を行う ⇒手順 3 へ SCSSR.RDRF=0 の場合送信処理へ	SSR.RDRF=1 の場合受信処理を行う ⇒手順 3 へ SSR.RDRF=0 の場合送信処理へ
3	受信データを読み取り	SCRDR をリードし受信バッファへデータ格納	RDR をリードし受信バッファへデータ格納
4	受信データレジスタフルフラグをクリア	SCSSR.RDRF を 0 クリア	SSR.RDRF は自動的にクリア
5	全受信データ読み込み確認	受信バイト数が 32 バイトに達していない場合は送信処理へ	受信バイト数が 32 バイトに達していない場合は送信処理へ
6	受信終了	SCSCR.RE=0	SCR.RE=0
送信処理			
7	送信データエンプティを監視	SCSSR.TDRE=1 の場合は送信処理を行う ⇒手順 8 へ SCSSR.TDRE=0 の場合は受信処理へ	SSR.TDRE=1 の場合は送信処理を行う ⇒手順 8 へ SSR.TDRE=0 の場合は受信処理へ
8	送信データを TDR に書き込む	SCTDR に送信データをライト	TDR に送信データをライト
9	送信データエンプティフラグをクリア	SCSSR.TDRE を 0 クリア	SSR.TDRE は自動的にクリア
10	全送信データ書き込み確認	送信バイト数が 32 バイトに達していない場合は手順 14 へ	送信バイト数が 32 バイトに達していない場合は手順 14 へ
11	送信完了待ち	SCSSR.TEND=1 になるまで待つ	SSR.TEND=1 になるまで待つ
12	I/O ポート設定	PECRL3.PE10MD=000b(PE10 は汎用入出力に設定)	PORT5.PMR.B0=0(P50 は汎用入出力に設定)
13	送信終了	SCSCR.TE=0	SCR.TE=0
14	送受信ともに終了なら処理終了 上記以外は手順 1 へ		
エラー処理			
15	受信エラー処理	エラー処理内容は規定しない	エラー処理内容は規定しない

2.10.7 クロック同期式マスタ送信設定例（割り込み、ポーリング）

SH7080 と RX651 のシリアルコミュニケーションインタフェース（SCI）クロック同期式マスタ送信処理の設定例を示します。

<仕様>

- ① RSK+RX65N の SCI2 を使用します。
- ② 割り込み方式では、送信データエンプティ割り込みにより送信開始します。
- ③ ポーリング方式では割り込みを使用せず、シリアルステータスレジスタの送信データエンプティフラグのセットを確認してから、データ送信起動します。
- ④ マスタ送信処理は 32 バイトのデータ送信を行うと処理を終了します。
- ⑤ 送信を開始したら LED0 を点灯し、送信終了したら LED1 を点灯します。

注意事項

RX651 は端子機能を TXD2 に設定した状態で、シリアル送信動作を禁止にすると、端子の出力がハイインピーダンスになります。

RSK+RX65N は、TXD2 ラインにプルダウン抵抗が接続されていますので、TXD2 にプルアップ抵抗を接続する場合は、以下のように RSK+RX65N の改造が必要です。

（改造内容）

- ボードに実装されている R116（0Ω 抵抗）を取り除く
- TXD2 ラインにプルアップ抵抗を接続する

なお、サンプルコードでは、シリアル送信動作を許可してから、端子の機能を TXD2 に変更することで、端子出力がハイインピーダンスになることを避ける処理を行っています。

表2.62 SCI クロック同期式通信仕様（マスタ送信）

項目	内容	備考
通信方式	クロック同期式シリアル通信	
転送速度	100kbps	
データ長	8 ビット	
ハードウェアフロー制御	なし	
使用 SCI チャンネル	SCI2	
ビット順序	LSB ファースト	
同期クロック	内部クロック	
使用端子	P50/TXD2	
	P51/SCK2	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

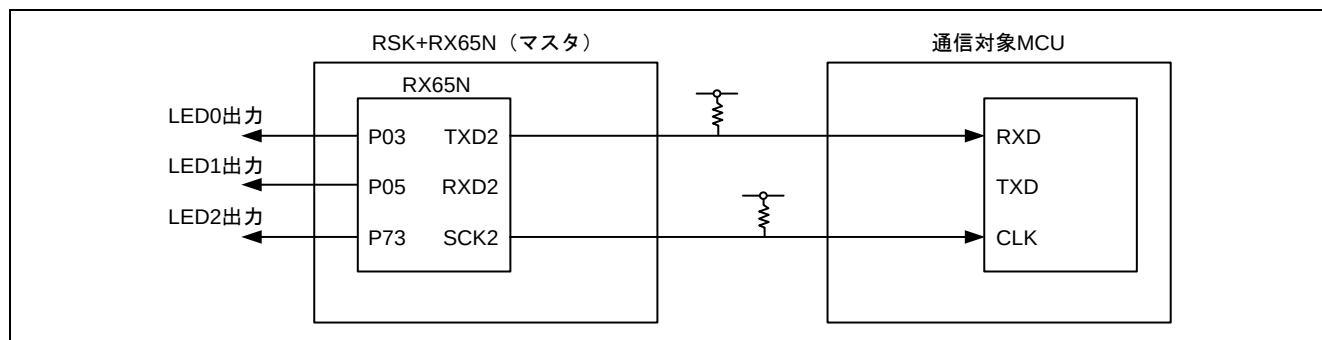


図2.23 クロック同期式シリアル通信接続仕様（マスタ送信時）

<関連レジスタ一覧>

SH7080とRX651におけるSCI2の割り込み関係レジスタは、調歩同期式で示した表2.55と同様になります。調歩同期式と異なるのは、エラー割り込みの要因がオーバランエラーのみとなることです。

以下にSCIクロック同期式マスタ送信時の初期設定手順を示します。なお、初期設定の処理は割り込み方式、ポーリング共通に記載します。

なお、トランスミットイネーブルビット（TEビット）が0の期間は、I/Oポート設定によって、TxD2、SCK2端子にHighレベルを出力しています。

表2.63 SCIクロック同期式マスタ送信初期設定例

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKB(周辺クロック B) : 60MHz
1	モジュールストップ 状態解除	STB.STBCR3.MSTP13=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRB.MSTPB29=0 SYSTEM.PRCR=A500h
2	SCI 割り込みディス エーブル	SHは割り込みコントローラに許可 レジスタがない	ICU.IER07.IEN6=0 (RXI2) ICU.IER07.IEN7=0 (TXI2) ICU.IER0D.IEN6=0 (TEI2,ERI2 : グループ割 り込み) ICU.GENBL0.EN4=0 (TEI2 : SCI2) ICU.GENBL0.EN5=0 (ERI2 : SCI2)
3	I/O ポート設定	PEDRL.PE10DR=1 (出力 1 に設定) PEDRL.PE8DR=1 (出力 1 に設定) PEIORL.PE10IOR=1 (出力に設定) PEIORL.PE8IOR=1 (出力に設定) PECRL3.PE10MD=000b (PE10 は汎用入出 力に設定) PECRL3.PE8MD=000b (PE8 は汎用入出力 に設定)	PORT5.PODR.B0=1 (出力 1 に設定) PORT5.PODR.B1=1 (出力 1 に設定) PORT5.PDR.B0=1 (出力に設定) PORT5.PDR.B1=1 (出力に設定) PORT5.PMR.B0=0 (P50 は汎用入出力に設 定) PORT5.PMR.B1=0 (P51 は汎用入出力に設 定)
4	SCR を初期化	SCSCR.TIE,RIE,TE,RE,TEIE=0	SCR.TIE,RIE,TE,RE,TEIE=0
5	クロックイネーブル 設定	内部クロック/SCK 端子は出力 SCSCR.CKE[1:0]=00b	内部クロック SCKn 端子は出力ポート SCR.CKE[1:0]=00b
6	SIMR、SPMR 初期化	—	SIMR1.IICM=0 SPMR.CKPH,CKPOL=0 (初期値から変更しない場合、省略可能)

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKB(周辺クロック B) : 60MHz
7	送受信フォーマット設定	SCSMR.C/_A=1 (クロック同期式) SCSMR.CKS[1:0]=00b (Pφ)	SMR.CM=1 (クロック同期式) SMR.CKS[1:0]=00b (PCLKB) SCMR.SMIF=0 (シリアルコミュニケーションインタフェースモード) SCMR.SINV=0 (送受信データインバートしない) SCMR.SDIR=0 (LSB ファースト)
8	ビットレート設定 (BRR)	100kbps SCBRR=99	100kbps BRR=149
9	1ビット分ウェイトする。	←	—
10	- 割り込みコントローラ側割り込み許可 - 優先度設定 - 割り込み要因クリア ポーリングではスキップ (注)	INTC.IPRL.WORD=0050h (レベル 5)	ICU.IPR063=05h (レベル 5) ICU.IPR110=05h (レベル 5) ICU.IR063=0 ICU.IER07.IEN7=1 (TXI2)
11	送信許可	SCSCR.TIE=1 SCSCR.TE=1 ポーリングでは SCR.TIE=0 (注)	SCR.TIE=1 SCR.TE=1 ポーリングでは SCR.TIE=0 とする。 (注)
12	I/O ポート設定	PECRL3.PE10MD=010b (TXD2 端子設定) PECRL3.PE8MD=010b (SCK2 端子設定)	MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P50PFS=0Ah (TXD2 端子設定) MPC.P51PFS=0Ah (SCK2 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORT5.PMR.B0=1 (周辺機能に設定) PORT5.PMR.B1=1 (周辺機能に設定)

注. 網掛けの部分はポーリング設定時の違いを示します。

表2.64 SCI クロック同期マスタ送信 (割り込み処理方式) 送信データエンプティ割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信データを TDR に書き込む	SCTDR ヘデータライト	TDR ヘデータライト
2	送信データエンプティフラグを 0 クリア	SCSSR.TDRE をリード後、0 クリア	SSR.TDRE、ICU.IR063 は自動的にクリアされる
3	全送信データ書き込み	送信バイト数が 32 バイトに達していない場合は、割り込み処理終了	送信バイト数が 32 バイトに達していない場合は、割り込み処理終了
4	送信終了割り込み設定	SCSCR.TIE=0 <TEI 割り込み設定> SCSCR.TEIE=1	ICU.IER07.IEN7=0 (TXI2) SCR.TIE=0 ICU.IR063=0 <TEI 割り込み設定> SCR.TEIE=1 ICU.GENBL0.EN4=1 (TEI2) ICU.IER0D.IEN6=1 (TEI2 : グループ割り込み)

表2.65 SCI クロック同期マスタ送信（割り込み処理方式） 送信終了割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信終了割り込み禁止設定	(特に内容は規定しない) SCSCR.TEIE=0	(特に内容は規定しない) ICU.IER0D.IEN6=0 (TEI2) ICU.GENBL0.EN4=0 (TEI2: グループ割り込み) SCR.TEIE=0
2	I/O ポート設定	PECRL3.PE10MD=000b (PE10 は汎用入出力に設定) PECRL3.PE8MD=000b (PE8 は汎用入出力に設定)	PORT5.PMR.B0=0 (P50 は汎用入出力に設定) PORT5.PMR.B1=0 (P51 は汎用入出力に設定)
3	送信終了	SCSCR.TE=0	SCR.TE=0

以下に SCI クロック同期マスタ送信（ポーリング方式）の処理説明を示します。ポーリングでは割り込みを一切使用しません。手順としては「表 2.63 SCI クロック同期式マスタ送信初期設定例」の延長で以下の処理を行います。

表2.66 SCI クロック同期マスタ送信（ポーリング方式）処理例

手順		SH7080 設定例	RX651 設定例
1	送信データエンプティをポーリング 送信エンプティ時送信処理を実行	ポーリング対象は SCSSR.TDRE=1 SCSSR.TDRE=1 の場合は送信処理を行う ⇒手順 2 へ	ポーリング対象は SSR.TDRE=1 SSR.TDRE=1 の場合は送信処理を行う ⇒手順 2 へ
2	送信データを TDR に書き込む	SCTDR に送信データをライト	TDR に送信データをライト
3	送信データエンプティフラグをクリア	SCSSR.TDRE をクリア	SSR.TDRE は自動的にクリアされる
4	全送信データ書き込み確認	送信バイト数が 32 バイトに達していない場合は、手順 1 へ	送信バイト数が 32 バイトに達していない場合は、手順 1 へ
5	送信完了待ち	(特に内容は規定しない) SCSSR.TEND=1 になるまで待つ	(特に内容は規定しない) SSR.TEND=1 になるまで待つ
6	I/O ポート設定	PECRL3.PE10MD=000b(PE10 は汎用入出力に設定) PECRL3.PE8MD=000b(PE8 は汎用入出力に設定)	PORT5.PMR.B0=0(P50 は汎用入出力に設定) PORT5.PMR.B1=0(P51 は汎用入出力に設定)
7	送信終了	SCSCR.TE=0	SCR.TE=0

2.10.8 クロック同期式スレーブ受信設定例（割り込み、ポーリング）

SH7080 と RX651 のシリアルコミュニケーションインタフェース（SCI）クロック同期式スレーブ受信処理の設定例を示します。

<仕様>

- ① RSK+RX65N の SCI2 を使用します。
- ② 割り込み方式では、受信データレジスタフル割り込みにより受信処理を起動します。
- ③ ポーリングでは割り込みを使用せず、シリアルステータスレジスタの受信データフルフラグのセットを確認してから、データ受信を行います。
- ④ スレーブ受信処理は 32 バイトのデータを受信すると処理を終了します。
- ⑤ 受信を開始したら LED0 を点灯し、受信終了したら LED1 を点灯します。受信エラー発生時に LED2 を点灯します。

注意事項

RSK+RX65N は、RXD2 ラインに U8(SN74LVC2T45DCT)が接続されていますので、以下のように RSK+RX65N の改造が必要です。

(改造内容)

- ボードに実装されている R153 (0Ω抵抗) を取り除く

表2.67 SCI クロック同期式通信仕様（スレーブ受信）

項目	内容	備考
通信方式	クロック同期式シリアル通信	
データ長	8 ビット	
ハードウェアフロー制御	なし	
使用 SCI チャンネル	SCI2	
ビット順序	LSB ファースト	
同期クロック	外部クロック	
使用端子	P52/RXD2	
	P51/SCK2	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

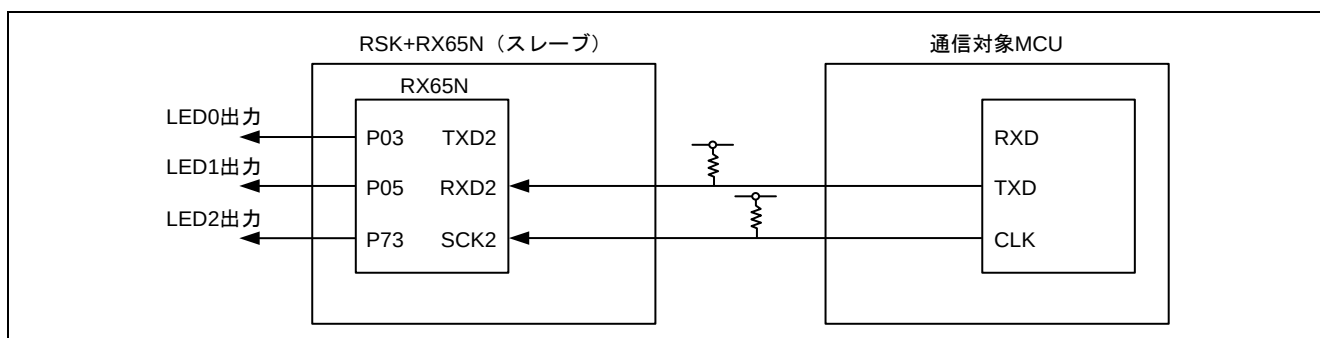


図2.24 クロック同期式シリアル通信接続仕様（スレーブ受信時）

<関連レジスタ一覧>

SH7080 と RX651 における SCI2 の割り込み関係レジスタは、調歩同期式で示した表 2.55 SCI 割り込み関連リソース（調歩同期式通信時）と同様になります。調歩同期式と異なるのは、エラー割り込みの要因がオーバランエラーのみとなることです。

以下に SCI クロック同期式スレーブ受信時の初期設定手順を示します。なお、初期設定処理は割り込み方式、ポーリング共通に記載します。割り込みリソースについては、表 2.55 を参照してください。

表2.68 SCI クロック同期式スレーブ受信初期設定例

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKB(周辺クロック B) : 60MHz
1	モジュールストップ状態解除	STB.STBCR3.MSTP13=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRB.MSTPB29=0 SYSTEM.PRCR=A500h
2	SCI 割り込みディスエーブル	SH は割り込みコントローラに許可レジスタがない	ICU.IER07.IEN6=0 (RXI2) ICU.IER07.IEN7=0 (TXI2) ICU.IER0D.IEN6=0 (TEI2, ERI2 : グループ割り込み) ICU.GENBL0.EN4=0 (TEI2 : SCI2) ICU.GENBL0.EN5=0 (ERI2 : SCI2)
3	SCR を初期化	SCSCR.TIE, RIE, TE, RE, TEIE=0	SCR.TIE, RIE, TE, RE, TEIE=0
4	I/O ポート設定 (RX651 のみ)	PFC の設定は手順 9 で行う	PORT5.PDR.B1=0 (入力に設定) PORT5.PDR.B2=0 (入力に設定) PORT5.PMR.B1=0 (P51 は汎用入出力に設定) PORT5.PMR.B2=0 (P52 は汎用入出力に設定) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P52PFS=0Ah (RXD 端子設定) MPC.P51PFS=0Ah (SCK 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORT5.PMR.B1=1 (周辺機能に設定) PORT5.PMR.B2=1 (周辺機能に設定)
5	クロックイネーブル設定	外部クロック/SCK 端子は入力 SCSCR.CKE[1:0]=1xb	外部クロック SCKn 端子は入力ポート SCR.CKE[1:0]=1xb
6	SIMR、SPMR 初期化	—	SIMR1.IICM=0 SPMR.CKPH, CKPOL=0 (初期値から変更しない場合、省略可能)
7	送受信フォーマット設定	SCSMR.C/_A=1 (クロック同期式) SCSMR.CKS[1:0]=00b (Pφ)	SMR.CM=1 (クロック同期式) SMR.CKS[1:0]=00b (PCLKB) SCMR.SMIF=0 (シリアルコミュニケーションインターフェースモード) SCMR.SINV=0 (送受信データインバートしない) SCMR.SDIR=0 (LSB ファースト)
8	1 ビット分ウェイトする	←	—

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKB(周辺クロック B) : 60MHz
9	I/O ポート設定 (SH7080 のみ)	PFC の設定を行う。 PEIORL.PE8IOR=0 (入力) PEIORL.PE7IOR=0 (入力) PECRL3.PE8MD=010b (SCK2) PECRL2.PE7MD=010b (RXD2)	手順 4 で実施
10	・割り込みコントローラ側割り込み許可 ・優先度設定 ・割り込み要因クリア ポーリングではスキップ ^(注)	INTC.IPRL.WORD=0050h (レベル 5)	ICU.IPR062=05h (レベル 5) ICU.IPR110=05h (レベル 5) ICU.IR062=0 ICU.IER07.IEN6=1 (RXI2) ICU.IER0D.IEN6=1 (TEI2, ERI2 : グループ割り込み) ICU.GENBL0.EN5=1 (ERI2 : SCI2)
11	受信許可	SCSCR.RIE=1 SCSCR.RE=1 ポーリングでは SCR.RIE=0 ^(注)	SCR.RIE=1 SCR.RE=1 ポーリングでは SCR.RIE = 0 とする ^(注)

注. 網掛けの部分はポーリング設定時の違いを示します。

SCI クロック同期式スレーブ受信（割り込み処理方式）の割り込み処理の説明を示します。

表2.69 SCI クロック同期式スレーブ受信（割り込み処理方式）受信データフル割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	受信データを読み取り	SCRDR を受信バッファへ読み取る	RDR を受信バッファへ読み取る
2	受信データレジスタフルフラグをクリア	SCSSR.RDRF をリード後、0 クリア	SSR.RDRF、ICU.IR062 は自動的にクリアされる
3	全受信データ読み取り	受信バイト数が 32 バイトに達していない場合は、手順 1 へ	受信バイト数が 32 バイトに達していない場合は、手順 1 へ
4	受信終了	(特に内容は規定しない) SCSCR.RIE=0 SCSCR.RE=0	(特に内容は規定しない) ICU.IER07.IEN6=0(RXI2) ICU.IER0D.IEN6=0(ERI2 : グループ割り込み) ICU.GENBL0.EN5=0(ERI2 : SCI2) ICU.IR062=0 SCR.RIE=0 SCSCR.RE=0

クロック同期通信では受信エラーはオーバランエラーのみ検出します。オーバランエラーに対応したエラー処理を実装してください。RX651 では受信エラー割り込みがグループ割り込みに割り付けられます。そのため、グループから割り込みフラグを検出する必要があります。

以下に SCI クロック同期スレーブ受信（ポーリング方式）の処理説明を示します。ポーリングでは割り込みを一切使用しません。手順としては「表 2.68 SCI クロック同期式スレーブ受信初期設定例」初期化手順 11 の延長で以下の処理を行います。

表2.70 SCI クロック同期式スレーブ受信（ポーリング方式）処理例

手順		SH7080 設定例	RX651 設定例
受信処理			
1	受信エラーを読み出しエラー判定	SCSSR.ORER≠0 なら 受信エラー処理へ ⇒受信エラーでないなら手順 2 へ	SSR.ORER≠0 なら 受信エラー処理へ ⇒受信エラーでないなら手順 2 へ
2	受信データレジスタフルフラグをポーリングし、レジスタフルなら 3 以降の受信処理を行う	ポーリング対象は SCSSR.RDRF SCSSR.RDRF=1 の場合は受信処理を行う ⇒手順 3 へ SCSSR.RDRF=0 の場合は手順 1 へ	ポーリング対象は SSR.RDRF SSR.RDRF=1 の場合は受信処理を行う ⇒手順 3 へ SSR.RDRF=0 の場合は手順 1 へ
3	受信データを RDR から読み取り	SCRDR をリードし受信バッファへデータ格納	RDR をリードし受信バッファへデータ格納
4	受信データレジスタフルフラグをクリアする	SCSSR.RDRF を 0 クリア	SSR.RDRF は自動的に 0 クリアされる
5	全受信データ読み込み確認	受信バイト数が 32 バイトに達していない場合は手順 1 へ	受信バイト数が 32 バイトに達していない場合は手順 1 へ
6	受信終了	SCSCR.RE=0	SCR.RE=0
受信エラー処理			
7	受信エラー処理	エラー処理内容は規定しない	エラー処理内容は規定しない

2.10.9 (FIFO 付き) 調歩同期式通信設定例

SH7080 の FIFO 付きシリアルコミュニケーションインタフェース (SCIF) 調歩同期式通信を RX651 のシリアルコミュニケーションインタフェース (SCIi) 調歩同期式モードに置き換える際の設定例を示します。

<仕様>

- ① RSK+RX65N の SCI10 を使用し、TXD と RXD をループバック接続します。
- ② 送信バッファ 128 バイトデータの送信を行い、折り返しデータを受信するものとします。
- ③ 送受信割り込みを使用し、送信データエンプティ割り込みにより送信開始、受信データレジスタフル割り込みにより受信開始をします。
- ④ 初期化が終了し、SCI が送受信可能になったら LED0 を点灯します。送受信が終了したら LED1 を点灯します。受信エラー発生した場合は LED2 を点灯します。

注意事項

RX651 は端子機能を TXD10 に設定した状態で、シリアル送信動作を禁止にすると、端子の出力がハイインピーダンスになるため、プルアップ抵抗を接続して下さい。

また、RSK+RX65N は JA6 と TXD10, RXD10 端子が接続されていません。そのため、サンプルコードを用いたデバッグを行う場合は、以下のように RSK+RX65N の改造が必要です。

(改造内容)

- 未実装の R85 (0Ω 抵抗)、R83 (0Ω 抵抗) を実装する (R85、R83 部分を直結する)
- ボードに実装されている R282 (0Ω 抵抗)、R285 (0Ω 抵抗) を取り除く
- TXD10 ラインにプルアップ抵抗を接続する

なお、サンプルコードでは、シリアル送信動作を許可してから端子の機能を TXD10 に変更することで、端子出力がハイインピーダンスになることを避ける処理を行っています。

シリアルポートレジスタ (SPTR) でシリアル送信許可前の TXD10 端子状態を High に設定することで、端子出力のハイインピーダンスを避けることも可能です。

表2.71 SCI (FIFO 付き) 調歩同期式通信仕様

項目	内容	備考
通信方式	調歩同期式シリアル通信	
転送速度	38400bps	
データ長	8 ビット	
ストップビット	1 ビット	
パリティ	なし	
ハードウェアフロー制御	なし	
ビット順序	LSB ファースト	
使用 SCI チャンネル	SCI10	
使用端子	P87/TXD10	
	P86/RXD10	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

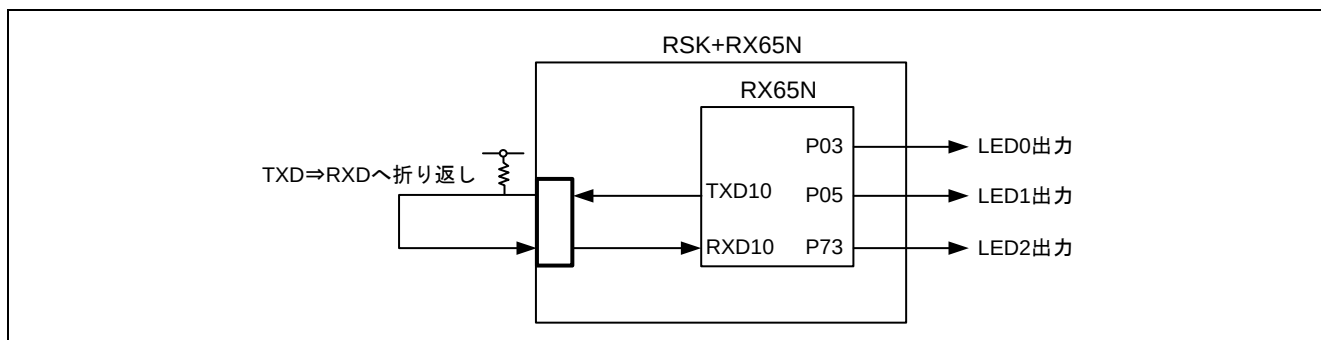


図2.25 SCI(FIFO 付き)接続仕様

<関連レジスタ一覧>

SH7080 と RX651 における SCI10 の割り込み関係レジスタを各割り込み要因別に示します。SH7080 の受信データフル、送信データエンプティ、受信エラーの各割り込みを同様に実現する場合、RX651 では表 2.72 の様なリソースの設定、またはフラグを認識する必要があります。

なお、RX651 には SH7080 のブ레이크割り込みに相当する機能はありません。ブ레이크割り込みと同等の機能は、フレーミングエラー発生時にシリアルポートレジスタ(SPTR)の RXD ラインモニタフラグ(RXDMON)の値をリードすることで実現できます。

また、SH7080 には送信終了割り込み要因がありませんが、RX651 には送信終了割り込み要因があります。

表2.72 SCI (FIFO 付き) 割り込み関連リソース (調歩同期式通信時)

項目	SH7080				RX651			
割り込み要因	RXIF	TXIF	ERIF	BRIF	RXI	TXI	ERI	TEI
割り込み優先度レジスタ	IPRL(3-0)				IPR104	IPR105	IPR112	
割り込み許可レジスタ	—	—	—	—	IER0D. IEN0	IER0D. IEN1	IER0E.IEN0	
							GENAL0 .EN9	GENAL0 .EN8
割り込み要求レジスタ	—	—	—	—	IR104	IR105	IR112	
							GRPAL0 .IS9	GRPAL0 .IS8
割り込み許可ビット	SCSCR .RIE	SCSCR .TIE	SCSCR .RIE SCSCR .REIE	SCSCR .RIE SCSCR .REIE	SCR .RIE	SCR .TIE	SCR .RIE	SCR .TEIE
ステータスフラグ	SCFSR .RDF SCFSR .DR	SCFSR .TDFE	SCFSR .ER SCFSR .FER SCFSR .PER	SCFSR .BRK SCLSR .ORER	SSRFIFO .RDF SSRFIFO .DR	SSRFIFO .TDFE	SSRFIFO .ORER SSRFIFO .FER SSRFIFO .PER SSRFIFO .DR	SSRFIFO .TEND

レジスタ略号の正式名称は以下の通りです。

- SH7080
 - IPRL : 割り込み優先レベル設定レジスタ L
 - SCSCR : シリアルコントロールレジスタ
 - SCFSR : シリアルステータスレジスタ
 - SCLSR : ラインステータスレジスタ
- RX651
 - IPRr : 割り込み要因プライオリティレジスタ (r はベクタ番号)
 - IER0D、0E : 割り込み要求許可レジスタ 0D、0E
 - IRn : 割り込み要求レジスタ (n はベクタ番号)
 - GENAL0 : グループ AL0 割り込み要求許可レジスタ
 - GRPAL0 : グループ AL0 割り込み要求レジスタ
 - SCR : シリアルコントロールレジスタ
 - SSRFIFO : シリアルステータスレジスタ
 - DCCR : SDC 制御レジスタ

以下に FIFO 付き SCI 調歩同期式シリアル通信の初期設定手順を示します。

なお、トランスミットイネーブルビット (TE ビット) が 0 の期間は、I/O ポート設定によって、TxD10 端子に High レベルを出力しています。

表2.73 SCI (FIFO 付き) 調歩同期式通信初期設定例

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKA(周辺クロック A) : 120MHz
1	モジュールストップ状態解除	STB.STBCR3.MSTP14=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRC.MSTPC25=0 SYSTEM.PRCR=A500h
2	SCI 割り込みディセーブル	SH は割り込みコントローラに許可レジスタがない	ICU.IER0D.IEN0=0 (RXI10) ICU.IER0D.IEN1=0 (TXI10) ICU.IER0E.IEN0=0 (TEI10,ERI10 : グループ割り込み) ICU.GENAL0.EN8=0 (TEI10 : SCI10) ICU.GENAL0.EN9=0 (ERI10 : SCI10)
3	I/O ポート設定	PEDRL.PE12DR=1 (出力 1 に設定) PEIORL.PE12IOR=1 (出力に設定) PEIORL.PE11IOR=0 (入力に設定) PECRL4.PE12MD=000b (PE10 は汎用入出力に設定) PECRL4.PE11MD=000b (PE11 は汎用入出力に設定)	PORT8.PODR.B7=1 (出力 1 に設定) PORT8.PDR.B7=1 (出力に設定) PORT8.PDR.B6=0 (入力に設定) PORT8.PMR.B7=0 (汎用入出力に設定) PORT8.PMR.B6=0 (汎用入出力に設定)
4	コントロールレジスタ初期化	SCSCR.TIE,RIE,TE,RE=0	SCR.TIE,RIE,TE,RE,TEIE=0
5	FIFO リセット	SCFCR.TFRST=1 (送信 FIFO リセット動作許可) SCFCR.RFRST=1 (受信 FIFO リセット動作許可)	FCR.FM=1 (FIFO モード) FCR.TFRST=1 (送信 FIFO リセット) FCR.RFRST=1 (受信 FIFO リセット)
6	FIFO モード設定 (RX651 のみ)	FIFO モードの設定は手順 13 で行う。	FCR.TTRG[3:0]=8 (SSRFIFO.TDFE フラグを 1 にするしきい値) FCR.RTRG[3:0]=8 (SSRFIFO.RDF フラグを 1 にするしきい値)
7	ステータスレジスタ初期化 (SH7080 のみ)	SCFSR.ER=0 (受信エラークリア) SCFSR.DR=0 (受信データレディクリア) SCFSR.BRK=0 (ブレーク検出クリア) SCLSR.Over=0 (オーバランエラークリア) *読み出した後、0 にクリア	—
8	クロックイネーブル設定	内部クロック/SCK 端子は入力 SCSCR.CKE[1:0]=00b	内蔵ポーレートジェネレータ SCKn 端子は入出力ポート SCR.CKE[1:0]=00b
9	SIMR1、SPMR 初期化	—	SIMR1.IICM=0 SPMR.CKPH,CKPOL=0 (初期値から変更しない場合、省略可能)

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKA(周辺クロック A) : 120MHz
10	送受信フォーマット設定	SCSMR.C/_A=0 (調歩同期式) SCSMR.CHR=0 (8 ビット) SCSMR.PE=0 (パリティなし) SCSMR.STOP=0 (1 ストップビット) SCSMR.CKS[1:0]=00b (Pφ)	SMR.CM=0 (調歩同期式) SMR.CHR=0 (8 ビット) SMR.PE=0 (パリティなし) SMR.STOP=0 (1 ストップビット) SMR.MP=0 (マルチプロセッサなし) SMR.CKS[1:0]=00b (PCLKA) SCMR.SMIF=0 (シリアルコミュニケーションインタフェースモード) SCMR.SINV=0 (送受信データインバートしない) SCMR.SDIR=0 (LSB ファースト) SCMR.CHR1=1 (8 ビット) SEMR.ABCS=1 (基本クロック 8 サイクルが 1 ビット期間の転送レート) SEMR.NFEN=0 (デジタルノイズフィルタ無効) SEMR.BGDM=0 (ポーレートジェネレータから通常の周波数のクロックを出力)
11	ビットレート設定 (BRR)	38400bps SCBRR=32	38400bps BRR=194
12	1 ビット分ウェイトする	←	—
13	FIFO モード設定 (SH7080 のみ)	SCFCR.RTRG[1:0]=10b (受信 FIFO データ数トリガ : 8) SCFCR.TTRG[1:0]=00b (送信 FIFO データ数トリガ : 8) SCFCR.MCE=0 (CTS,RTS 禁止) SCFCR.TFRST=0 (送信 FIFO リセット動作禁止) SCFCR.RFRST=0 (受信 FIFO リセット動作禁止)	FIFO モードの設定は手順 6 で行う。
14	- 割り込み優先度設定 - 割り込み要因クリア - 割り込みコントローラ側割り込み許可	INTC.IPRL.WORD=0005h (レベル 5)	ICU.IPR104=05h (レベル 5) ICU.IPR105=05h (レベル 5) ICU.IPR112=05h (レベル 5) ICU.IR104=0 (RXI10) ICU.IR105=0 (TXI10) ICU.IER0D.IEN0=1 (RXI10) ICU.IER0D.IEN1=1 (TXI10) ICU.GENAL0.EN9=1 (ERI10 : SCI10) ICU.IER0E.IEN0=1 (TEI10,ERI10 : グループ割り込み)
15	割り込み要求イネーブル	SCSCR.TIE,RIE,REIE=1	SCR.TIE,RIE=1
16	送受信許可	SCSCR.RE,TE=1	SCR.TE,RE=1

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKA(周辺クロック A) : 120MHz
17	I/O ポート設定	PECRL4.PE12MD=011b (TXD3) PECRL3.PE11MD=011b (RXD3)	MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P87PFS=0Ah (TXD10 端子設定) MPC.P86PFS=0Ah (RXD10 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORT8.PMR.B7=1 (周辺機能に設定) PORT8.PMR.B6=1 (周辺機能に設定)

表2.74 SCI (FIFO 付き) 調歩同期式通信受信データフル割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	受信データを読み取り	SCFDR.R[4:0]で指定される受信データ数を SCFRDR から受信バッファへ読み取る	FDR.R[4:0]で指定される受信データ数を FRDR から受信バッファへ読み取る
2	受信データレジスタフルをクリア	SCFSR.RDF をリード後、0 クリア	SSRFIFO.RDF をリード後、0 クリア ICU.IR104 は自動的にクリアされる
3	全受信データ読み込み確認	受信バイト数が 128 バイトに達していない場合は、割り込み処理終了	受信バイト数が 128 バイトに達していない場合は、割り込み処理終了
4	受信終了	SCSCR.RIE=0 SCSCR.RE=0	ICU.IER0D.IEN0=0(RXI10) ICU.GENAL0.EN9=0(ERI10) SCR.RIE=0 SCR.RE=0 ICU.IR104=0

表2.75 SCI (FIFO 付き) 調歩同期式通信送信データエンpty割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信データを書き込み	SCFTDR ヘデータライト	FTDR ヘデータライト
2	送信データレジスタエンptyフラグを 0 クリア	SCFSR.TDFE,TEND をリード後、0 クリア	SSRFIFO.TDFE をリード後、0 クリア ICU.IR105 は自動的にクリアされる
3	全送信データ書き込み確認	送信バイト数が 128 バイトに達していない場合は、割り込み処理終了	送信バイト数が 128 バイトに達していない場合は、割り込み処理終了
4	送信終了判定	SCFSR.TEND =1 になるまで待つ SCSCR.TIE=0	ICU.IER0D.IEN1=0(TXI10) SCR.TIE=0 ICU.IR105=0 <送信終了割り込み設定> SCR.TEIE=1 ICU.GENAL0.EN8=1(TEI10)
5	I/O ポート設定	PECRL4.PE12MD=000b	—
6	送信終了	SCSCR.TE=0	—

サンプルコードではブレイク割り込み、エラー処理の内容は特に規定しません。但し、RX651 では受信エラー割り込みがグループ割り込みに割り付けられます。そのため、グループから割り込みフラグを検出する必要があります。

表2.76 SCI(FIFO 付き)調歩同期式通信エラー割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	グループ割り込み判定	SH にグループ割り込みはない	ICU.GRPAL0.IS9 (SCI10 受信エラー) が 1 の時、手順 2 以降の処理を行う
2	オーバランエラーか判定する	SCLSR.ORER が 1 のときエラー処理を行う	SSRFIFO.ORER が 1 のときエラー処理を行う
3	フレーミングエラーか判定する	SCFSR.FER が 1 のときエラー処理を行う	SSRFIFO.FER が 1 のときエラー処理を行う
4	パリティエラーか判定する	SCFSR.PER が 1 のときエラー処理を行う	SSRFIFO.PER が 1 のときエラー処理を行う

表2.77 SCI(FIFO 付き)調歩同期通信時 送信終了割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信終了割り込み禁止設定	— (送信終了割り込みなし)	ICU. GENAL0.EN8=0(TEI10) SCR.TEIE =0
2	I/O ポート設定	—	PORT8.PMR.B7=0
3	送信終了	—	SCR.TE=0

2.10.10 (FIFO 付き) クロック同期式マスタ送信設定例

SH7080 の FIFO 付きシリアルコミュニケーションインタフェース (SCIF) クロック同期式通信を RX651 のシリアルコミュニケーションインタフェース (SCIi) クロック同期式モードに置き換える際の設定例を示します。

<仕様>

- ① RSK+RX65N の SCI10 を使用します。
- ② 送信データエンプティ割り込みにより送信起動します。
- ③ 128 バイトのデータ送信を行うと処理を終了します。
- ④ 初期化が終了し、SCI が送信可能になったら LED0 を点灯し、送信が終了したら LED1 を点灯します。

注意事項

RSK+RX65N は JA6 と TXD10, SCK10 端子が接続されていません。そのため、サンプルコードを用いたデバッグを行う場合は、以下のように RSK+RX65N の改造が必要です。

(改造内容)

- 未実装の R85 (0Ω 抵抗)、R80 (0Ω 抵抗) を実装する (R85、R80 部分を直結する)
- ボードに実装されている R282 (0Ω 抵抗)、R82 (0Ω 抵抗) を取り除く

また、RX651 は端子機能を TXD10 に設定した状態で、シリアル送信動作を禁止にすると、端子の出力がハイインピーダンスになります。サンプルコードでは、シリアル送信動作を許可してから、端子の機能を TXD10 に変更することで、端子出力がハイインピーダンスになることを避ける処理を行っています。

表2.78 SCI (FIFO 付き) クロック同期式マスタ送信仕様

項目	内容	備考
通信方式	クロック同期式シリアル通信	
転送速度	100kbps	
データ長	8 ビット	
ハードウェアフロー制御	なし	
ビット順序	LSB ファースト	
使用 SCI チャンネル	SCI10	
同期クロック	内部クロック	
使用端子	P87/TXD10	
	P83/SCK10	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

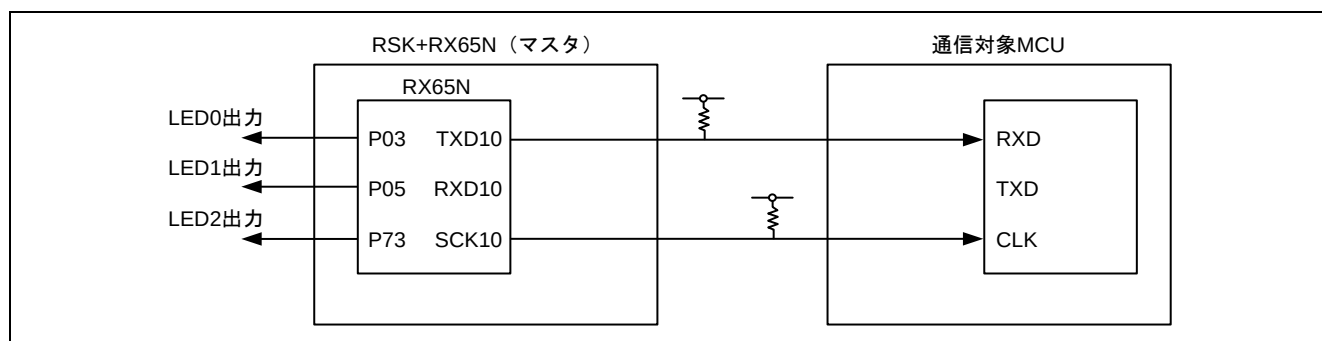


図2.26 クロック同期式シリアル通信接続仕様（マスタ送信時）

<関連レジスタ一覧>

SH7080 と RX651 における SCI10 の割り込み関係レジスタは、調歩同期式で示した表 2.72 と同様になります。調歩同期式と異なるのは、受信データフルおよびエラー割り込みの要因にパリティエラー、フレーミングエラー、受信データレディがないことです。

以下に FIFO 付き SCI クロック同期式シリアル通信の初期設定手順を示します。

なお、トランスミットイネーブルビット (TE ビット) が 0 の期間は、I/O ポート設定によって、TXD10, SCK10 端子に High レベルを出力しています。

表2.79 SCI (FIFO 付き) クロック同期式マスタ送信初期設定例

手順		SH7080 設定例 Pφ (周辺クロック) : 40MHz	RX651 設定例 PCLKA (周辺クロック A) : 120MHz
1	モジュールストップ状態解除	STB.STBCR3.MSTP14=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRC.MSTPC25=0 SYSTEM.PRCR=A500h
2	SCI 割り込みディスエーブル	SH は割り込みコントローラに許可レジスタがない	ICU.IER0D.IEN0=0 (RXI10) ICU.IER0D.IEN1=0 (TXI10) ICU.IER0E.IEN0=0 (TEI10,ERI10 : グループ割り込み) ICU.GENAL0.EN8=0 (TEI10 : SCI10) ICU.GENAL0.EN9=0 (ERI10 : SCI10)
3	I/O ポート設定(RX651 のみ)	PEDRL.PE12DR=1 (出力 1 に設定) PEDRL.PE9DR=1 (出力 1 に設定) PEIORL.PE12IOR=1 (出力に設定) PEIORL.PE9IOR =1 (出力に設定) PECRL4.PE12MD=000b (PE12 は汎用入出力に設定) PECRL3.PE9MD=000b (PE9 は汎用入出力に設定)	PORT8.PODR.B7=1 (出力 1 に設定) PORT8.PODR.B3=1 (出力 1 に設定) PORT8.PDR.B7=1 (出力に設定) PORT8.PDR.B3=1 (出力に設定) PORT8.PMR.B7=0 (汎用入出力に設定) PORT8.PMR.B3=0 (汎用入出力に設定)
4	コントロールレジスタ初期化	SCSCR.TIE,RIE,TE,RE=0	SCR.TIE,RIE,TE,RE,TEIE=0
5	FIFO リセット	SCFCR.TFRST=1 (送信 FIFO リセット動作許可)	FCR.FM=1 (FIFO モード) FCR.TFRST=1 (送信 FIFO リセット)
6	FIFO モード設定 (RX651 のみ)	FIFO モードの設定は手順 13 で行う。	FCR.TTRG[3:0]=8 (SSRFIFO.TDFE フラグを 1 にするしきい値)

手順		SH7080 設定例 Pφ (周辺クロック) : 40MHz	RX651 設定例 PCLKA (周辺クロック A) : 120MHz
7	ステータスレジスタ初期化 (SH7080 のみ)	SCFSR.ER=0 (受信エラークリア) SCFSR.DR=0 (受信データレディクリア) SCFSR.BRK=0 (ブレーク検出クリア) SCLSR.ORER=0 (オーバランエラークリア) *読み出した後、0にクリア	—
8	クロックイネーブル設定	内部クロック/SCK 端子は出力 SCSCR.CKE[1:0]=00b	SCKn 端子はクロック出力端子 SCR.CKE[1:0]=00b
9	SIMR1、SPMR 初期化	—	SIMR1.IICM=0 SPMR.CKPH,CKPOL=0 (初期値から変更しない場合、省略可能)
10	送受信フォーマット設定	SCSMR.C/_A=1 (クロック同期式) SCSMR.CKS[1:0]=00b(Pφ)	SMR.CM=1 (クロック同期式) SMR.CKS[1:0]=01b (PCLKA/4) SCMR.SMIF=0 (シリアルコミュニケーションインタフェースモード) SCMR.SINV=0 (送受信データインバートしない) SCMR.SDIR=0 (LSB ファースト)
11	ビットレート設定(BRR)	100kbps BRR=99	100kbps BRR=74
12	1ビット分ウェイトする	←	—
13	FIFO モード設定 (SH7080 のみ)	SCFCR.TTRG[1:0]=00b (送信 FIFO データ数トリガ : 8) SCFCR.MCE=0 (CTS,RTS 禁止) SCFCR.TFRST=0 (送信 FIFO リセット動作禁止)	FIFO モードの設定は手順 6 で行う。
14	・割り込み優先度設定 ・割り込み要因クリア ・割り込みコントローラ側割り込み許可	INTC.IPRL.WORD=0005h (レベル 5)	ICU.IPR105=05h (レベル 5) ICU.IPR112=05h (レベル 5) ICU.IR105=0 (TXI10) ICU.IER0D.IEN1=1 (TXI10)
15	送信許可	SCSCR.TIE=1 SCSCR.TE=1	SCR.TIE=1 SCR.TE=1
16	I/O ポート設定	PECRL4.PE12MD=011b (TXD3) PECRL3.PE9MD=011b (SCK3)	MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P87PFS=0Ah (TXD10 端子設定) MPC.P83PFS=0Ah (SCK10 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORT8.PMR.B7=1 (周辺機能に設定) PORT8.PMR.B3=1 (周辺機能に設定)

表2.80 SCI (FIFO 付き) クロック同期式マスタ送信データエンプティ割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信データを書き込む	SCFTDR ヘッダライト	FTDR ヘッダライト
2	送信データレジスタエンプティフラグを 0 クリア	SCFSR.TDFE をリード後、0 クリアする	SSRFIFO.TDFE をリード後、0 クリア ICU.IR105 は自動的にクリアされる
3	全送信データ書き込み確認	送信バイト数が 128 バイトに達していない場合は、割り込み処理終了	送信バイト数が 128 バイトに達していない場合は、割り込み処理終了
4	送信終了判定	SCFSR.TEND =1 になるまで待つ SCSCR.TIE=0	ICU.IER0D.IEN1=0 (TXI10) SCR.TIE=0 ICU.IR105=0 <送信終了割り込み設定> SCR.TEIE=1 ICU.GENAL0.EN8=1 (TEI10) ICU.IER0E.IEN0=1 (TEI10 : グループ割り込み)
5	I/O ポート設定	PECRL4.PE12MD=000b (PE12 は汎用入出力に設定) PECRL3.PE9MD=000b (PE9 は汎用入出力に設定)	—
6	送信終了	SCSCR.TE=0	—

表2.81 SCI (FIFO 付き) クロック同期式マスタ送信終了割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信終了割り込み禁止設定	— (送信終了割り込みなし)	ICU.IER0E.IEN0=0 (TEI10 : グループ割り込み) ICU.GENAL0.EN8=0 (TEI10) SCR.TEIE=0
2	I/O ポート設定	—	PORT8.PMR.B7=0 (汎用入出力に設定) PORT8.PMR.B3=0 (汎用入出力に設定)
3	送信終了	—	SCR.TE=0

2.10.11 (FIFO 付き) クロック同期式スレーブ受信設定例

SH7080 の FIFO 付きシリアルコミュニケーションインタフェース (SCIF) クロック同期式通信を RX651 のシリアルコミュニケーションインタフェース (SCIi) クロック同期式モードに置き換える際の設定例を示します。

<仕様>

- ① RSK+RX65N の SCI10 を使用します。
- ② 受信データレジスタフル割り込みにより受信起動します。
- ③ 128 バイトのデータ受信を行うと処理を終了します。
- ④ 初期化が終了し、SCI が受信可能になったら LED0 を点灯し、受信が終了したら LED1 を点灯します。受信エラー発生時に LED2 を点灯します。

注意事項

RSK+RX65N は JA6 と RXD10, SCK10 端子が接続されていません。そのため、サンプルコードを用いたデバッグを行う場合は、以下のように RSK+RX65N の改造が必要です。

(改造内容)

- 未実装の R83 (0Ω 抵抗)、R80 (0Ω 抵抗) を実装する (R83、R80 部分を直結する)
- ボードに実装されている R285 (0Ω 抵抗)、R82 (0Ω 抵抗) を取り除く

表2.82 SCI (FIFO 付き) クロック同期式通信仕様

項目	内容	備考
通信方式	クロック同期式シリアル通信	
データ長	8 ビット	
ハードウェアフロー制御	なし	
ビット順序	LSB ファースト	
使用 SCI チャンネル	SCI10	
同期クロック	外部クロック	
使用端子	P86/RXD10	
	P83/SCK10	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

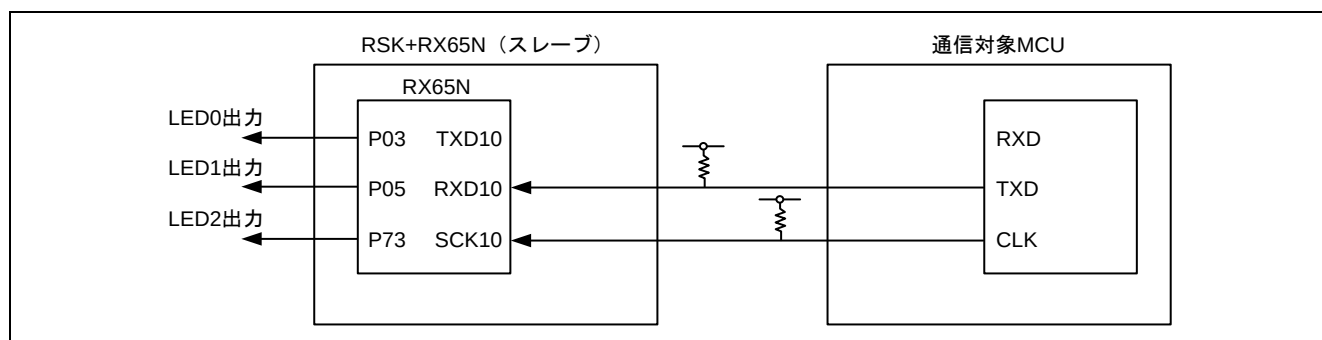


図2.27 クロック同期式シリアル通信接続仕様 (スレーブ受信時)

<関連レジスタ一覧>

SH7080 と RX651 における SCI10 の割り込み関係レジスタは、調歩同期式で示した表 2.72 と同様になります。調歩同期式と異なるのは、受信データフルおよびエラー割り込みの要因にパリティエラー、フレーミングエラー、受信データレディがないことです。

以下に FIFO 付き SCI クロック同期式シリアル通信の初期設定手順を示します。

表2.83 SCI (FIFO 付き) クロック同期式スレーブ受信初期設定例

手順		SH7080 設定例 Pφ周辺クロック) : 40MHz	RX651 設定例 PCLKA (周辺クロック) : 120MHz
1	モジュールストップ状態解除	STB.STBCR3.MSTP14=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRC.MSTPC25=0 SYSTEM.PRCR=A500h
2	SCI 割り込みディスエーブル	SH は割り込みコントローラに許可レジスタがない	ICU.IER0D.IEN0=0 (RXI10) ICU.IER0D.IEN1=0 (TXI10) ICU.IER0E.IEN0=0 (TEI10,ERI10 : グループ割り込み) ICU.GENAL0.EN8=0 (TEI10 : SCI10) ICU.GENAL0.EN9=0 (ERI10 : SCI10)
3	コントロールレジスタ初期化	SCSCR.TIE,RIE,TE,RE=0	SCR.TIE,RIE,TE,RE,TEIE=0
4	I/O ポート設定 (RX651 のみ)	PFC の設定は手順 13 で行う	PORT8.PDR.B6=0 (入力に設定) PORT8.PDR.B3=0 (入力に設定) PORT8.PMR.B6=0 (汎用入出力に設定) PORT8.PMR.B3=0 (汎用入出力に設定) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P86PFS=0Ah (RXD10 端子設定) MPC.P83PFS=0Ah (SCK10 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORT8.PMR.B6=1 (周辺機能に設定) PORT8.PMR.B3=1 (周辺機能に設定)
5	FIFO リセット	SCFCR.RFRST=1 (受信 FIFO リセット動作許可)	FCR.FM=1 (FIFO モード) FCR.RFRST=1 (受信 FIFO リセット)
6	FIFO モード設定 (RX651 のみ)	FIFO モードの設定は手順 12 で行う。	FCR.RTRG[3:0]=8 (SSRFIFO.RDF フラグを 1 にするしきい値)
7	ステータスレジスタ初期化 (SH7080 のみ)	SCFSR.ER=0 (受信エラークリア) SCFSR.DR=0 (受信データレディクリア) SCFSR.BRK=0 (ブ레이크検出クリア) SCLSR.Over=0 (オーバランエラークリア) *読み出した後、0 にクリア	—
8	クロックイネーブル設定	外部クロック/SCK 端子は入力 SCSCR.CKE[1:0]=10b	SCKn 端子はクロック入力端子 SCR.CKE[1:0]=10b
9	SIMR1、SPMR 初期化	—	SIMR1.IICM=0 SPMR.CKPH,CKPOL=0 (初期値から変更しない場合、省略可能)

手順		SH7080 設定例 Pφ周辺クロック) : 40MHz	RX651 設定例 PCLKA (周辺クロック) : 120MHz
10	送受信フォーマット設定	SCSMR.C/_A=1 (クロック同期式) SCSMR.CKS[1:0]=00b (Pφ)	SMR.CM=1 (クロック同期式) SMR.CKS[1:0]=01b (PCLKA/4) SCMR.SMIF=0 (シリアルコミュニケーションインタフェースモード) SCMR.SINV=0 (送受信データインバートしない) SCMR.SDIR=0 (LSB ファースト)
11	1 ビット分ウェイトする	←	—
12	FIFO モード設定 (SH7080 のみ)	SCFCR.TTRG[1:0]=00b (送信 FIFO データ数トリガ : 8) SCFCR.MCE=0 (CTS,RTS 禁止) SCFCR.TFRST=0 (送信 FIFO リセット動作禁止)	FIFO モードの設定は手順 6 で行う
13	I/O ポート設定 (SH7080 のみ)	PFC の設定を行う PEIORL.PE11IOR=0 (入力) PEIORL.PE9IOR=0 (入力) PECRL4.PE11MD=011b (RXD3) PECRL3.PE9MD=011b (SCK3)	手順 4 で行う
14	- 割り込み優先度設定 - 割り込み要因クリア - 割り込みコントローラ側割り込み許可	INTC.IPRL.WORD=0050h (レベル 5)	ICU.IPR104=05h (レベル 5) ICU.IPR112=05h (レベル 5) ICU.IR104=0 (RXI10) ICU.IER0D.IEN0=1 (RXI10) ICU.GENAL0.EN9=1 (ERI10 : SCI10) ICU.IER0E.IEN0=1 (ERI10 : グループ割り込み)
15	SCR.RIE、RE イネーブル (受信許可)	SCSCR.RIE=1 SCSCR.RE=1	SCR.RIE=1 SCR.RE=1

表2.84 SCI (FIFO 付き) クロック同期式スレーブ受信データフル割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	受信データを読み取り	SCFDR.R[4:0]で指示される受信データ数を SCFDR から受信バッファへ読み取る	FDR.R[4:0]で指示される受信データ数を FRDR から受信バッファへ読み取る
2	受信データレジスタフルをクリア	SCFSR.RDF をリード後、0 クリアする	SSRFIFO.RDF をリード後、0 クリア ICU.IR104 は自動的にクリアされる
3	全受信データ読み込み確認	受信バイト数が 128 バイトに達していない場合は、割り込み処理終了	受信バイト数が 128 バイトに達していない場合は、割り込み処理終了
4	受信終了	SCSCR.RIE=0 SCSCR.RE=0	ICU.IER0D.IEN0=0 (RXI10) ICU.IER0E.IEN0=0 (ERI10 : グループ割り込み) ICU.GENAL0.EN9=0 (ERI10 : SCI10) SCR.RIE=0 SCR.RE=0 ICU.IR104=0

サンプルコードではエラー処理の内容は特に規定しません。但し、RX651 では受信エラー割り込みがグループ割り込みに割り付けられます。そのため、グループから割り込みフラグを検出する必要があります。

2.11 シンクロナスシリアルコミュニケーションユニット (SSU)

2.11.1 仕様比較

シンクロナスシリアルコミュニケーションユニット機能として、SH7080 グループでは SSU、RX651 ではマルチマスタモードに対応した RSPIC が内蔵されています。

SH7080 グループと RX651 の仕様比較を表 2.85に示します。

表2.85 SH7080 グループ、RX651 の仕様比較 (SSU)

項目		SH7080 グループ (SSU)	RX651 (RSPIC)
チャンネル数		1ch	3ch
クロックソース		周辺クロック (Pφ) 外部クロック (SSCK)	周辺モジュールクロック (PCLKA) 外部クロック (RSPCK)
送受信データ長		8, 16, 32 ビット	8~16, 20, 24, 32 ビット
転送動作		SSU (4 線式) クロック同期式通信 (3 線式)	SPI (4 線式) クロック同期式 (3 線式)
データフォーマット		MSB ファースト/LSB ファーストの選択が可能	
SSU (SPI)	クロックの位相/ 極性	変更可能	
	動作モード	- マスタ送信モード - マスタ受信モード - スレーブ送信モード - スレーブ受信モード	
	通信動作モード	全二重通信	全二重または送信のみを選択可能
	マルチマスタ対応	なし	マルチマスタ、マルチスレーブに対応
	双方向モード	SSO 端子でデータを送受信	なし
	その他	—	シーケンス制御
DTC/DMAC 起動		DTC 起動可能	DTC/DMAC 起動可能
割り込み要因		送信データエンプティ 受信データフル 送信終了 オーバランエラー コンフリクトエラー	送信データエンプティ 受信バッファフル RSPIC アイドル オーバランエラー アンダランエラー パリティエラー モードフォルトエラー
その他		—	- イベントリンク - パリティビット付加 - ループバックモード - バイトスワップ - SSLn 端子のアクティブ極性設定

2.11.2 レジスタ比較

SH7080 グループ、RX651 のレジスタ比較を表 2.86に示します。

表の変更欄の記号

- ◎ : SH7080 グループと RX651 でビットアサインが同じレジスタ
 △ : SH7080 グループと RX651 でビットアサインが異なるレジスタ
 — : SH7080 グループと RX651 で一方にしかないレジスタ

表2.86 SH7080 グループ、RX651 のレジスタ比較 (SSU)

SH7080 グループ (SSU)	RX651 (RSPIC)	変更
—	RSPIn n : 0~2	
SS コントロールレジスタ H (SSCRH)	RSPI 制御レジスタ (RSPIn.SPCR) (注1) SPI 端子制御レジスタ (RSPIn.SPPCR)	△
SS コントロールレジスタ L (SSCRL)	RSPI 制御レジスタ (RSPIn.SPCR) (注1) RSPI データコントロールレジスタ (RSPIn.SPDCR) (注1) RSPI コマンドレジスタ 0~7 (SPCMD0~7) (注1)	△
SS モードレジスタ (SSMR)	RSPI コマンドレジスタ 0~7 (SPCMD0~7) (注1) RSPI ビットレートレジスタ (RSPIn.SPBR)	△
SS イネーブルレジスタ (SSER)	RSPI 制御レジスタ (RSPIn.SPCR) (注1)	△
SS ステータスレジスタ (SSSR)	RSPI ステータスレジスタ (RSPIn.SPSR)	△
SS コントロールレジスタ 2 (SSCR2)	—	—
SS トランスミットデータレジスタ 0~3 (SSTD0~3)	RSPI データレジスタ (RSPIn.SPDR)	△
SS レシーブデータレジスタ 0~3 (SSRD0~3)	RSPI データコントロールレジスタ (RSPIn.SPDCR) (注1)	
—	RSPI データコントロールレジスタ 2 (RSPIn.SPDCR2)	—
	RSPI 制御レジスタ 2 (RSPIn.SPCR2)	
	RSPI スレーブセレクト極性レジスタ (RSPIn.SSLP)	
	RSPI シーケンス制御レジスタ (RSPIn.SPSCR)	
	RSPI シーケンスステータスレジスタ (RSPIn.SPSSR)	
	RSPI スレーブセレクトネゲート遅延レジスタ (RSPIn.SSLND)	
	RSPI クロック遅延レジスタ (RSPIn.SPCKD)	
	RSPI 次アクセス遅延レジスタ (RSPIn.SPND)	

注 1. SH7080 グループの一部レジスタ機能は、RX651 では複数のレジスタに分割して配置されています。

2.11.3 データレジスタの構成

SH7080 グループは送信用と受信用の 2 つのデータレジスタを持ち、シリアルデータを送受信するためのシフトレジスタと自動的にデータのやり取りを行います。

RX651 は送受信用のデータレジスタを 1 つ持ち、シリアルデータを送受信するための受信バッファ、送信バッファ、シフトレジスタと自動的にデータのやり取りを行います。RSPI データレジスタ（SPDR）への書き込みによって送信バッファへ値を書くことができ、指定フレーム数分の送信データを書き込むと、送信データがシフトレジスタに転送されます。データの受信が完了すると受信バッファに受信データを格納します。RSPI データレジスタ（SPDR）からの読み出しを行う場合は、RSPI データコントロールレジスタ（SPDCR）の設定によって、受信バッファ、送信バッファの選択が可能です。

RX651 のデータレジスタの構成図を図 2.28 に示します。

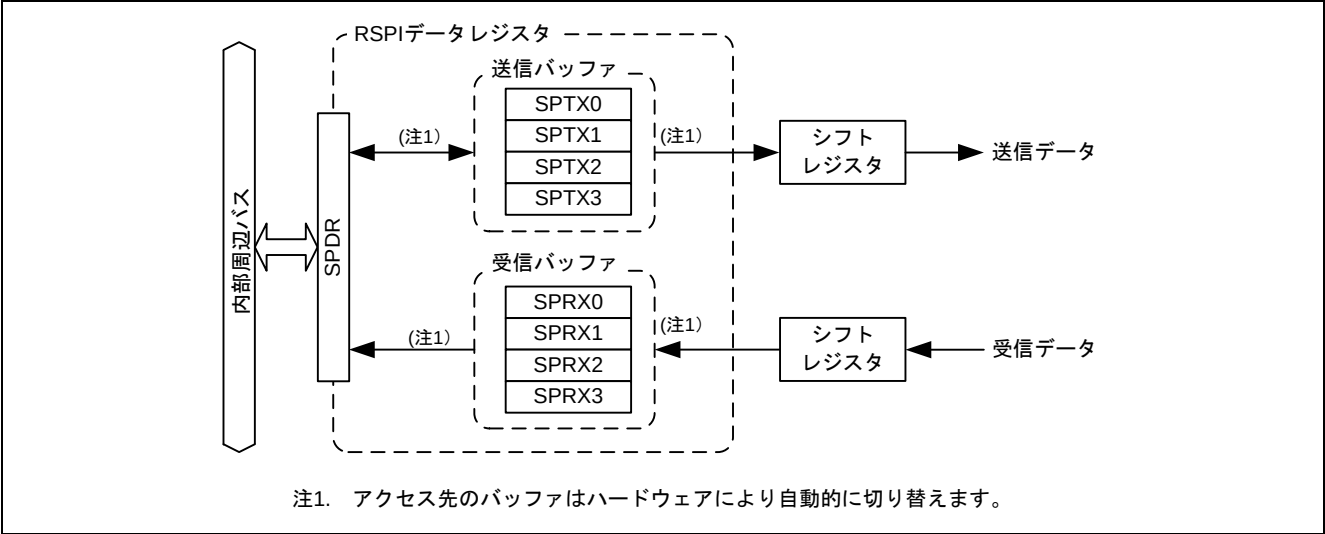


図2.28 RX651 データレジスタの構成図

2.11.4 入出力端子

SH7080 グループの SSU と、RX651 の RSPIC では入出力端子名が異なります。

RX651 は 1 本のスレーブセレクト入出力と、3 本のスレーブセレクト出力端子を持つため、複数のバースとのシングルマスタ/マルチスレーブやマルチマスタ/マルチスレーブ通信を行うことができます。

入出力端子名を表 2.87 に示します。

表2.87 SSU 入出力端子の一覧

SH7080 グループ	RX651	入出力	機能
SSCK	RSPCKn	入出力	クロック入出力
SSI	MOSIn	入出力	データ入出力
SSO	MISON	入出力	データ入出力
SCS#	SSLn0	入出力	SH7080 グループ：チップセレクト入出力 RX651：スレーブセレクト入出力
—	SSLn1, 2, 3	出力	スレーブセレクト出力

n：チャンネル毎に A, B, C

2.11.5 RSPI の初期化

RX651 は RSPI 制御レジスタ (SPCR) の SPE ビットに'0'を設定することで、RSPI 機能を無効化し、モジュール機能の一部を初期化することができます。SPE ビットは、レジスタ書き込みの他に、モードフォルトエラーやアンダランエラー検出により RSPI が'0'に設定されます。RSPI 機能の無効化では、RSPI の制御ビットは初期化されないため、再度 SPE ビットを'1'に設定することで、初期化前と同じ転送モードで RSPI を起動することが可能です。

RSPI 機能を無効化した場合、RSPI 送信バッファは空の状態に初期化されます。そのため、RSPI 初期化後に、送信バッファエンプティ割り込み要求の発生を許可していると、割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの'0'書き込みと同時に、送信バッファエンプティ割り込み要求の発生も禁止してください。

RSPI 機能の無効化で以下の初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする

システムリセットによる初期化では、RSPI 機能の無効化に加え以下の初期化を実施し、RSPI が完全に初期化されます。

- RSPI 制御用の全ビットの初期化
- ステータスビットの初期化
- データレジスタの初期化

2.11.6 割り込み

SH7080 グループは受信バッファフルおよび送信バッファエンプティの割り込みで DTC の起動が可能なのに対し、RX651 は DTC と DMAC の起動が可能です。

RX651 の受信バッファフルおよび送信バッファエンプティ割り込みは、割り込みステータスフラグ (IRn.IR) が'1'のときに発生した割り込み要求もモジュール内部で保持され、割り込みステータスフラグ (IRn.IR) が'0'になった後、保持された要求によって再度'1'になります。

RX651 は一部割り込みがグループ割り込み AL0 に割り当てられています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつけると自動的にクリアされます。グループ AL0 割り込みステータスフラグ (GRPAL0.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

割り込みについては1.8章を参照してください。

2.11.7 モジュールストップ

RX651 の RSPIc は、SH7080 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については2.16章を参照してください。

2.11.8 SSU モード／SPI 動作 マスタ送受信設定例

SH7080 シンクロナスシリアルコミュニケーションユニット (SSU) の SSU モードと RX651 シリアルペリフェラルインタフェース (RSPIc) の SPI 動作のマスタ送受信処理の設定例を示します。

<仕様>

- ① RSK+RX65N の RSPI0 を使用します。
- ② 送信データエンプティ割り込みにより送信起動し、受信データレジスタフル割り込みにより受信起動します。
- ③ マスタ送信処理はスレーブデバイスの指定アドレスに 128 バイトのデータ送信を行うと処理を終了します。
- ④ マスタ受信処理はスレーブデバイスの指定アドレスから 128 バイトのデータ受信を行うと処理を終了します。
- ⑤ 初期化が終了し、RSPI が送受信可能になったら LED0 を点灯し、送受信が終了したら LED1 を点灯します。
受信エラー発生時に LED2 を点灯します。

表2.88 SPI 通信仕様

項目	内容	備考
通信方式	SPI 動作 (4 線式)	
転送速度	2.5Mbps	
ビット長	8 ビット	
ビット順序	MSB ファースト	
RSPCK 位相	奇数エッジでデータ変化 偶数エッジでデータサンプル	
RSPCK 極性	アイドル時の RSPCK が High	
ビットレート	ベースのビットレートの 4 分周	
SSL アサート信号	SSLA0	
SSL ネゲート動作	転送終了時に全 SSL 信号をネゲート	
RSPCK 遅延	1RSPCK	
SSL ネゲート遅延	1RSPCK	
次アクセス遅延	1RSPCK+2CLK	
使用チャネル	RSPI0	
使用端子	PA4/SSLA0	RSK+RX65N の J14 は open
	PA5/RSPCKA	RSK+RX65N の J12 は open
	PA6/MOSIA	RSK+RX65N の J13 は open
	PA7/MISOA	RSK+RX65N の J11 は open
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

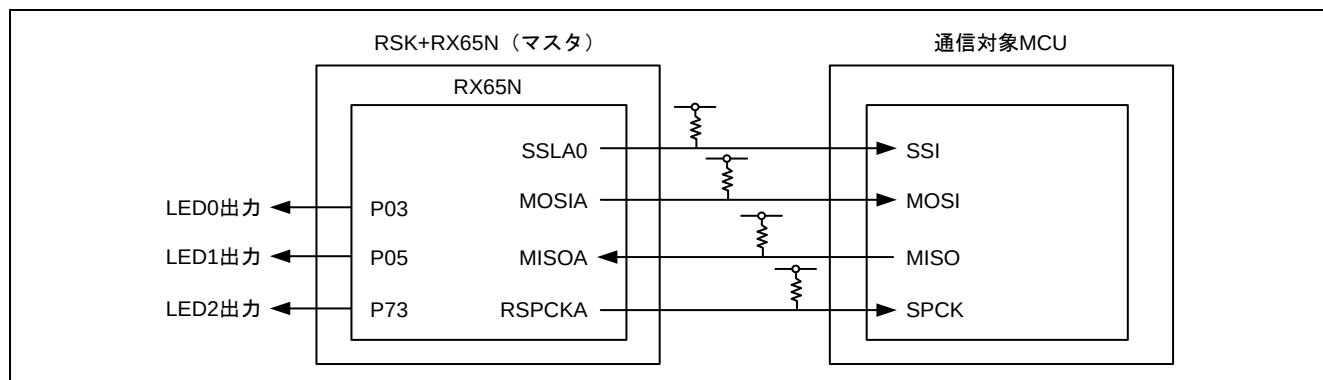


図2.29 SPI 接続仕様

<関連レジスタ一覧>

SH7080 の SSU と RX651 の RSPIO における割り込み関係レジスタを各割り込み要因別に示します。SH7080 の受信バッファフル、送信バッファエンプティ、送信終了、エラーの各割り込みを同様に実現する場合、RX651 では表 2.89 の様なリソースの設定、またはフラグを認識する必要があります。

なお、RX651 には送信終了割り込み要求がありませんが、同等の機能は、RSPI アイドル割り込み要求を用いて実現可能です。

表2.89 SSU/RSPI 割り込み関連リソース

項目	SH7080			RX651			
割り込み要因	SSRXI	SSTXI	SSERI	SPRI	SPTI	SPII	SPEI
割り込み優先度レジスタ	IPRM(15-12)			IPR038	IPR039	IPR112	
割り込み許可レジスタ	—	—	—	IER04 .IEN6	IER04 .IEN7	IER0E.IEN0 GENAL0 .EN16 GENAL0 .EN17	
割り込み要求レジスタ	—	—	—	IR038	IR039	IR112 GRPAL0 .IS16 GRPAL0 .IS17	
割り込み許可ビット	SSER .RIE	SSER .TIE SSER .TEIE	SSER .RIE SSER .CEIE	SPCR .SPRIE	SPCR .SPTIE	SPCR2 .SPIIE	SPCR .SPEIE
ステータスレジスタ	SSSR .RDRF	SSSR .TDRE SSSR .TEND	SSSR .ORER SSSR .CE	SPSR .SPRF	SPSR .SPTEF	SPSR .IDLNF	SPSR .MODF SPSR .OVRF SPSR .PERF SPSR .UDRF (注1)

注 1. マスタモードでは発生しません

レジスタ略号の正式名称は以下の通りです。

- SH7080
IPRM : 割り込み優先レベル設定レジスタ M
SSER : SS イネーブルレジスタ
SSSR : SS ステータスレジスタ
- RX651
IPRr : 割り込み要因プライオリティレジスタ (r はベクタ番号)
IER04、0E : 割り込み要求許可レジスタ 04、0E
IRn : 割り込み要求レジスタ (n はベクタ番号)
GENAL0 : グループ AL0 割り込み要求許可レジスタ
GRPAL0 : グループ AL0 割り込み要求レジスタ
SPCR : RSPI 制御レジスタ
SPSR : RSPI ステータスレジスタ

表2.90 SSU/RSPI 初期設定例

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKA(周辺クロック) : 120MHz
1	モジュールストップ状態解除	STB.STBCR3.MSTP10=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRB.MSTPB17=0 SYSTEM.PRCR=A500h
2	割り込みディスエーブル	—	ICU.IER04.IEN6=0 (SPRI0) ICU.IER04.IEN7=0 (SPTI0) ICU.IER0E.IEN0=0 (SPII0, SPEI0 : グループ割り込み) ICU.GENAL0.EN16=0 (SPII0 : RSPI0) ICU.GENAL0.EN17=0 (SPEI0 : RSPI0)
3	送受信動作を停止	SSER.TE,RE=0	SPCR.SPE=0
4	I/O ポート設定 (SH7080 のみ)	PFC の設定を行う PECRL4.PE12MD=101b (SCS) PECRL3.PE10MD=101b (SSO) PECRL3.PE8MD=101b (SSCK) PECRL2.PE7MD=101b (SSI)	—
5	送受信フォーマット設定	SSCRH.MSS=1 (マスタモード) SSCRH.BIDE=0 (標準モード) SSCRH.CSS[1:0]=11b (SCS 自動出力機能) SSCRL.SSUMS=0 (SSU モード) SSCRL.FCLRM=1 (レジスタアクセス時に割り込みフラグクリア)	—
		—	SSLP.SSL0P=0 (アクティブ Low) SPPCR.MOIFE=0 (SSL ネゲート期間中の MOSI 出力値は前回転送の最終データ)
		—	SPDCR.SPFC[1:0]=00b (フレーム数 : 1) SPDCR.SPBYS=1 (SPDR レジスタはバイトアクセス) SPCR2.SPPE=0 (パリティなし) SPCR2.SPIIE=0 (アイドル割り込み禁止) SPSCR.SPSELN[2:0]=000b (シーケンス長 : 1)
		SSCRL.DATS[1:0]=00b(8 ビットデータ長) SSMR.MLS=1(MSB ファースト)	SPCMD0.SPB[3:0]=0111b (データ長 : 8 ビット) SPCMD0.LSBF=0 (MSB ファースト)
		—	—
		—	—

手順		SH7080 設定例 Pφ(周辺クロック): 40MHz	RX651 設定例 PCLKA(周辺クロック): 120MHz
5	送受信フォーマット設定	— SSMR.CPHS=0 (SSCK クロック位相: 最初のエッジでデータ変化) SSMR.CPOS=0 (SSCK クロック極性: アイドル時に High 出力、アクティブ時に Low 出力)	SPCMD0.SPNDEN=0 (次アクセス遅延は 1RSPCK+2PCLK) SPCMD0.SLNDEN=0 (SSL ネゲート遅延は 1RSPCK) SPCMD0.SCKDEN=0 (RSPCK 遅延は 1RSPCK) SPCMD0.CPHA=1 (奇数エッジでデータ変化、偶数エッジでデータサンプル) SPCMD0.CPOL=1 (アイドル時の RSPCK が High) SPCMD0.SSLA[2:0]=000b (SSL 信号アサート制御: SSL0) SPCMD0.SSLKP=0 (転送終了時に全 SSL 信号をネゲート)
6	ビットレート設定	SSMR.CKS[2:0]=011b (Pφ/16)	SPCMD0.BRDV[1:0]=10b (ベースのビットレートの 4 分周) SPBR=5
7	タイミング設定 (SH7080 のみ)	SSCR2.TENDSTS=1 (最後尾ビットの送信後に TEND ビットをセット) SSCR2.SCSATS=1 (tLEAD、tLAG の出力期間の Min. を 3/2 × tSUcyc とする) SSCR2.SSODTS=0 (BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき SSO 端子はデータを出力)	—
8	割り込み優先度設定	IPRM.IPR[15:12]=5h (レベル 5)	ICU.IPR038=05h (レベル 5) ICU.IPR039=05h (レベル 5) ICU.IPR112=05h (レベル 5)
9	割り込み要求クリア	—	ICU.IR038=0 (SPRI0) ICU.IR039=0 (SPTI0)
10	割り込みコントローラ側割り込み許可	—	ICU.GENAL0.EN16=1 (SPII0 : RSPi0) ICU.GENAL0.EN17=1 (SPEi0 : RSPi0) ICU.IER04.IEN6=1 (SPRI0) ICU.IER04.IEN7=1 (SPTI0) ICU.IER0E.IEN0=1 (SPEi0 : グループ割り込み)
11	I/O ポート設定 (RX651 のみ)	—	PORTA.PODR.B4=1 (出力 1 に設定) PORTA.PODR.B5=1 (出力 1 に設定) PORTA.PDR.B4=1 (出力に設定) PORTA.PDR.B5=1 (出力に設定) PORTA.PDR.B6=1 (出力に設定) PORTA.PDR.B7=0 (入力に設定) PORTA.PMR.B4=0 (汎用入出力に設定) PORTA.PMR.B5=0 (汎用入出力に設定) PORTA.PMR.B6=0 (汎用入出力に設定) PORTA.PMR.B7=0 (汎用入出力に設定)
12	モード設定	—	SPCR.SPMS=0 (SPI 動作 (4 線式)) SPCR.TXMD=0 (全二重同期式シリアル通信) SPCR.MSTR=1 (マスタモード)
13	転送開始前処理	—	SPSR.PERF=MODF=OVRF=0 (エラー要因のクリア) SPCR2.SPIIE=0 (SPII 割り込み禁止)

手順		SH7080 設定例 Pφ(周辺クロック): 40MHz	RX651 設定例 PCLKA(周辺クロック): 120MHz
14	送受信動作許可	同時に ON SSER.TE,RE,TEIE,TIE,RIE,CEIE=1	SPE ビットの許可と同時に、必要な割り込みを許可 SPCR.SPE,SPTIE,SPRIE,SPEIE=1
15	送受信開始 (SH7080 のみ)	<送受信、送信の場合> TDRE=1 を確認し、SSTDR へ送信データをライト <受信の場合> SSRDR をダミーリード	—
16	I/O ポート設定 (RX651 のみ)	—	MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.PA4PFS=0Dh (SSL 端子設定) MPC.PA5PFS=0Dh (RSPCK 端子設定) MPC.PA6PFS=0Dh (MOSI 端子設定) MPC.PA7PFS=0Dh (MISO 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORTA.PMR.B4=1 (周辺機能に設定) PORTA.PMR.B5=1 (周辺機能に設定) PORTA.PMR.B6=1 (周辺機能に設定) PORTA.PMR.B7=1 (周辺機能に設定)

サンプルコードでは割り込み処理の内容は特に規定しません。RX651 ではアイドル割り込みとエラー割り込みがグループ割り込みに割り付けられます。そのため、グループから割り込みフラグを検出する必要があります。

表2.91 SPI 通信受信データフル割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	受信データ読み取り	SSRDR から受信データをリード	SPDR から受信データをリード
2	全受信データ読み取り	受信バイト数が 128 バイトに達していない場合は、割り込み処理終了 受信バイト数が 128 バイトに達していたら、受信終了処理へ	受信バイト数が 128 バイトに達していない場合は、割り込み処理終了
3	受信終了	SSER.RE=0	ICU.IER04.IEN6=0 (SPRI0) SPCR.SPRIE=0 ICU.IR038=0 (SPRI0) 動作禁止は送信処理で実施

表2.92 SPI 通信送信データエンプティ割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	全送信データ書き込み	送信バイト数が 128 バイトに達した場合は、送信終了割り込み設定 (手順 3)へ 送信バイト数が 128 バイトに達していない場合は、データ送信継続	送信バイト数が 128 バイトに達した場合は、送信終了割り込み設定 (手順 3)へ 送信バイト数が 128 バイトに達していない場合は、データ送信継続
2	送信データ書き込み (送信継続)	SSTDR へ送信データをライトして、割り込み終了	SPDR へ送信データをライトして、割り込み終了
3	送信終了割り込み設定	TEND=1 を確認し、 TEND=0 クリアして、TEND が 0 であることを確認 1 ビット期間経過を待って、SSER.TE=0 クリア	ICU.IER04.IEN7=0 (SPTI0) SPCR.SPTIE=0 クリアして、SPCR.SPTIE が 0 であることを確認 ICU.IR039=0 (SPTI0) <SPII 割り込み設定> SPCR2.SPIIE=1 ICU.GENAL0.EN16=1(SPII0 : RSPI0)

表2.93 SPI 通信エラー割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	動作停止	SSER.TE,RE=0	SPCR.SPE=0
2	割り込み禁止	SSER.TEIE,TIE,RIE,CEIE=0	ICU.IER04.IEN7=0 (SPTI0) ICU.IER04.IEN6=0 (SPRI0) ICU.IER0E.IEN0=0 (SPII0,SPEI0: グループ割り込み) ICU.GENAL0.EN17=0 (SPEI0 : RSPI0) ICU.GENAL0.EN16=0 (SPII0 : RSPI0) SPCR.SPTIE,SPRIE,SPEIE,SPCR2.SPIIE=0 ICU.IR038=0 (SPRI0) ICU.IR039=0 (SPTI0)
3	オーバランエラー判定	SSSR.ORER が 1 の時、エラー処理を行う	SPSR.OVRF が 1 の時、エラー処理を行う
4	パリティエラー判定	—	SPSR.PERF が 1 の時、エラー処理を行う
5	アンダランエラー判定 (スレーブのみ)	—	SPSR.UDRF が 1 の時、エラー処理を行う

表2.94 SPI 送信終了割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信終了	—	SPCR.SPE=0 ICU.GENAL0.EN16=0(SPII0 : RSPI0) SPCR2.SPIIE=0

2.11.9 クロック同期式マスタ送信設定例

SH7080 シンクロナスシリアルコミュニケーションユニット (SSU) と RX651 シリアルペリフェラルインタフェース (RSPIc) のクロック同期式通信モード (3 線式) を使用したマスタ送信処理の設定例を示します。

<仕様>

- ① RSK+RX65N の RSPI0 を使用します。
- ② 送信データエンプティ割り込みにより送信起動します。
- ③ 128 バイトのデータ送信を行うと処理を終了します。
- ④ 初期化が終了し、RSPI が送信可能になったら LED0 を点灯し、送信が終了したら LED1 を点灯します。受信エラー発生時に LED2 を点灯します。

表2.95 RSPI クロック同期式通信仕様

項目	内容	備考
通信方式	クロック同期式動作 (3 線式)	
転送速度	2.5Mbps	
データ長	8 ビット	
ビット順序	MSB ファースト	
RSPCK 位相	奇数エッジでデータ変化 偶数エッジでデータサンプル	
RSPCK 極性	アイドル時の RSPCK が High	
ビットレート	ベースのビットレートの 4 分周	
SSL アサート信号	SSL0	
SSL ネゲート動作	転送終了時に全 SSL 信号をネゲート	
RSPCK 遅延	1RSPCK	
SSL ネゲート遅延	1RSPCK	
次アクセス遅延	1RSPCK+2CLK	
使用チャネル	RSPI0	
使用端子	PA6/MOSIA	RSK+RX65N の J13 は open
	PA5/RSPCKA	RSK+RX65N の J12 は open
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

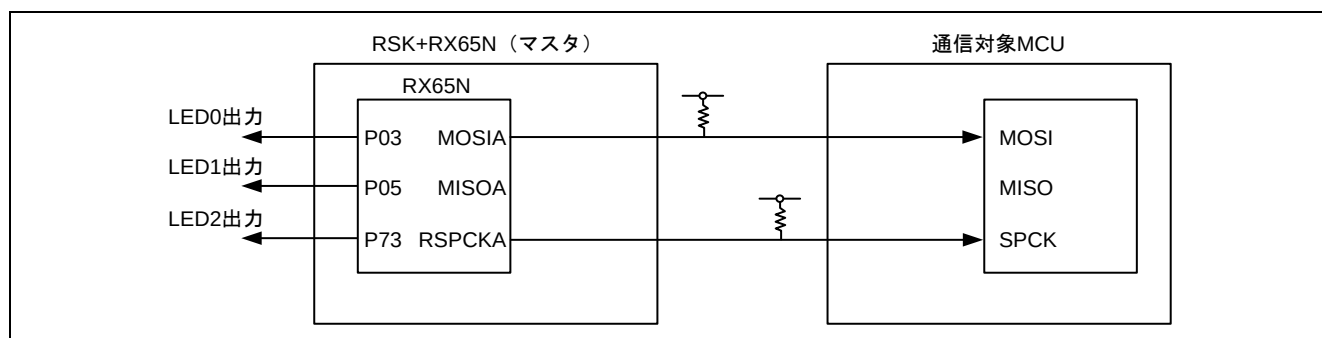


図2.30 クロック同期式シリアル通信接続仕様（マスタ送信時）

<関連レジスタ一覧>

SH7080 の SSU と RX651 の RSPI0 における割り込み関係レジスタは表 2.89 の通りです。SSU モードとの違いは、コンフリクトエラーがないことです。

以下に SSU/RSPI クロック同期式モードの初期設定手順を示します。

表2.96 SSU/RSPI クロック同期式マスタモード初期設定例

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKA(周辺クロック) : 120MHz
1	モジュールストップ状態解除	STB.STBCR3.MSTP10=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRB.MSTPB17=0 SYSTEM.PRCR=A500h
2	割り込みディスエーブル	—	ICU.IER04.IEN6=0 (SPRI0) ICU.IER04.IEN7=0 (SPTI0) ICU.IER0E.IEN0=0 (SPII0, SPEI0 : グループ割り込み) ICU.GENAL0.EN16=0 (SPII0 : RSPI0) ICU.GENAL0.EN17=0 (SPEI0 : RSPI0)
3	送受信動作を停止	SSER.TE,RE=0	SPCR.SPE=0
4	I/O ポート設定 (SH7080 のみ)	PFC の設定を行う PECRL3.PE10MD=101b (SSO) PECRL3.PE8MD=101b (SSCK)	—
5	送受信フォーマット設定	SSCRH.MSS=1 (マスタモード) SSCRH.BIDE=0 (標準モード) SSCRL.SSUMS=1 (クロック同期式通信モード) SSCRL.FCLRM=1 (レジスタアクセス時に割り込みフラグクリア)	
		—	SPDCR.SPFC[1:0]=00b (フレーム数 : 1) SPDCR.SPBYT=1 (SPDR レジスタはバイトアクセス) SPCR2.SPPE=0 (パリティなし) SPCR2.SPIIE=0 (アイドル割り込み禁止) SPSCR.SPSLN[2:0]=000b (シーケンス長 : 1)
		SSCRL.DATS[1:0]=00b (8 ビットデータ長) SSMR.MLS=1 (MSB ファースト)	SPCMD0.SPB[3:0]=0111b (データ長 : 8 ビット) SPCMD0.LSBF=0 (MSB ファースト)
		—	SPCMD0.SPNDEN=0 (次アクセス遅延は 1RSPCK+2PCLK) SPCMD0.SCKDEN=0 (RSPCK 遅延は 1RSPCK)
		SSMR.CPHS=0 (SSCK クロック位相 : 最初のエッジでデータ変化) SSMR.CPOS=0 (SSCK クロック極性 : アイドル時に High 出力、アクティブ時に Low 出力)	SPCMD0.CPHA=1 (奇数エッジでデータ変化、偶数エッジでデータサンプル) SPCMD0.CPOL=1 (アイドル時の RSPCK が High)
		SSMR.CKS[2:0]=011b (Pφ/16)	SPCMD0.BRDV[1:0]=10b (ベースのビットレートの 4 分周) SPBR=5
6	ビットレート設定	SSMR.CKS[2:0]=011b (Pφ/16)	SPCMD0.BRDV[1:0]=10b (ベースのビットレートの 4 分周) SPBR=5

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKA(周辺クロック) : 120MHz
7	タイミング設定 (SH7080 のみ)	SSCR2.TENDSTS=1 (最後尾ビットの送信後に TEND ビットをセット) SSCR2.SCSATS=1 (tLEAD、tLAG の出力期間の Min. を $3/2 \times tSU_{cyc}$ とする) SSCR2.SSODTS=0 (BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき SSO 端子はデータを出力)	—
8	割り込み優先度設定	IPRM.IPR[15:12]= 5h (レベル 5)	ICU.IPR038=05h (レベル 5) ICU.IPR039=05h (レベル 5) ICU.IPR112=05h (レベル 5)
9	割り込み要求クリア	—	ICU.IR038=0 (SPRI0) ICU.IR039=0 (SPTI0)
10	割り込みコントローラ側割り込み許可	—	ICU.GENAL0.EN16=1 (SPII0 : RSPI0) ICU.GENAL0.EN17=1 (SPEI0 : RSPI0) ICU.IER04.IEN6=1 (SPRI0) ICU.IER04.IEN7=1 (SPTI0) ICU.IER0E.IEN0=1 (SPEI0: グループ割り込み)
11	I/O ポート設定 (RX651 のみ)	—	PORTA.PODR.B5=1 (出力 1 に設定) PORTA.PDR.B5=1 (出力に設定) PORTA.PDR.B6=1 (出力に設定) PORTA.PMR.B5=0 (汎用入出力に設定) PORTA.PMR.B6=0 (汎用入出力に設定)
12	モード設定	—	SPCR.SPMS=1 (クロック同期式動作 (3 線式)) SPCR.TXMD=0 (全二重同期式シリアル通信) (注 1) SPCR.MSTR=1 (マスタモード)
13	転送開始前処理	—	SPSR.PERF=OVRF=0 (エラー要因のクリア) SPCR2.SPIIE=0 (SPII 割り込み禁止)
14	送信動作許可	同時に ON SSER.TE, TEIE, TIE=1	SPE ビットの許可と同時に、必要な割り込みを許可 SPCR.SPE, SPRIE (注 1), SPTIE, SPEIE=1
15	送信開始	TDRE=1 を確認し、 SSTDR へ送信データをライト	SPTEF フラグ=1 を確認し、 SPDR へ送信データをライト
16	I/O ポート設定 (RX651 のみ)	—	MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.PA5PFS=0Dh (RSPCK 端子設定) MPC.PA6PFS=0Dh (MOSI 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORTA.PMR.B5=1 (周辺機能に設定) PORTA.PMR.B6=1 (周辺機能に設定)

注 1. サンプルコードでは、全二重同期式シリアル通信を使用するため、受信処理も必要になります。

クロック同期式動作時の割り込み処理は、SPI 動作時の処理と同様になります。

2.11.8 SSU モード/SPI 動作 マスタ送受信設定例を参照してください。ただし、モードフォルトエラーの発生はありません。

2.11.10 クロック同期式スレーブ受信設定例

SH7080 シンクロナスシリアルコミュニケーションユニット (SSU) と RX651 シリアルペリフェラルインタフェース (RSPIc) のクロック同期式通信モード (3 線式) を使用したスレーブ受信処理の設定例を示します。

<仕様>

- ① RSK+RX65N の RSPI0 を使用します。
- ② 受信データレジスタフル割り込みにより受信起動します。
- ③ 128 バイトのデータ受信を行うと処理を終了します。
- ④ 初期化が終了し、RSPI が受信可能になったら LED0 を点灯し、受信が終了したら LED1 を点灯します。受信エラー発生時に LED2 を点灯します。

表2.97 RSPI クロック同期式通信仕様

項目	内容	備考
通信方式	クロック同期式動作 (3 線式)	
データ長	8 ビット	
ビット順序	MSB ファースト	
RSPCK 位相	奇数エッジでデータ変化 偶数エッジでデータサンプル	
RSPCK 極性	アイドル時の RSPCK が High	
ビットレート	ベースのビットレートの 2 分周	
SSL アサート信号	SSL0	
SSL ネゲート動作	転送終了時に全 SSL 信号をネゲート	
RSPCK 遅延	1RSPCK	
SSL ネゲート遅延	1RSPCK	
次アクセス遅延	1RSPCK+2CLK	
使用チャンネル	RSPI0	
使用端子	PA6/MOSIA	RSK+RX65N の J13 は open
	PA5/RSPCKA	RSK+RX65N の J12 は open
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力

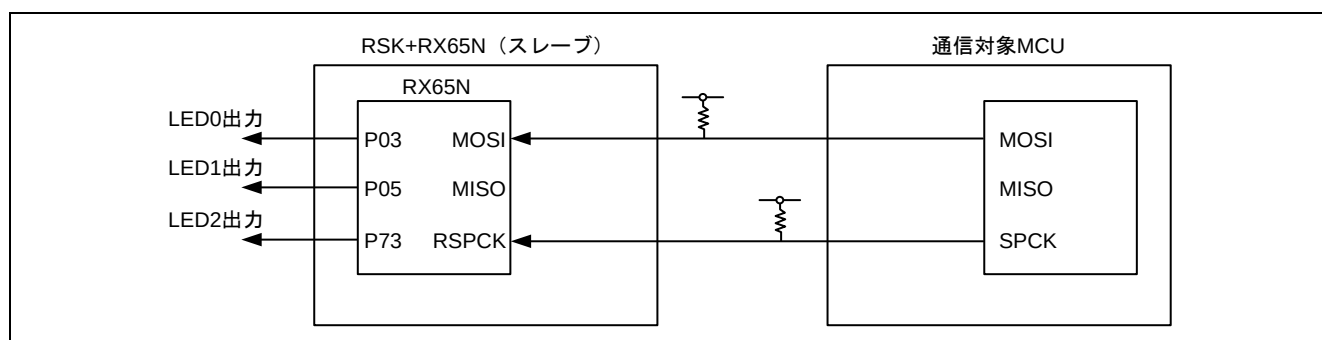


図2.31 クロック同期式シリアル通信接続仕様（スレーブ受信時）

<関連レジスタ一覧>

SH7080 の SSU と RX651 の RSPI0 における割り込み関係レジスタは表 2.89 の通りです。SSU モードおよび SPI 動作との違いは、コンフリクトエラーがないことです。

以下に SSU/RSPI クロック同期式モードの初期設定手順を示します。

表2.98 SSU/RSPI クロック同期式スレーブモード初期設定例

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKA(周辺クロック) : 120MHz
1	モジュールストップ 状態解除	STB.STBCR3.MSTP10=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRB.MSTPB17=0 SYSTEM.PRCR=A500h
2	割り込みディスエー ブル	—	ICU.IER04.IEN6=0 (SPRI0) ICU.IER04.IEN7=0 (SPTI0) ICU.IER0E.IEN0=0 (SPII0, SPEI0 : グル ープ割り込み) ICU.GENAL0.EN16=0 (SPII0 : RSPI0) ICU.GENAL0.EN17=0 (SPEI0 : RSPI0)
3	送受信動作を停止	SSER.TE,RE=0	SPCR.SPE=0
4	I/O ポート設定 (SH7080 のみ)	PFC の設定を行う。 PECRL3.PE8MD2,1,0=101b (SSCK) PECRL2.PE7MD2,1,0=101b (SSI)	—
5	送受信フォーマット 設定	SSCRH.MSS=0 (スレーブモード) SSCRH.BIDE=0 (標準モード) SSCRH.CSS[1:0]=11b (SCS 自動出力機能) SSCRL.SSUMS=1 (クロック同期式通信 モード) SSCRL.FCLRM=1 (レジスタアクセス時に 割り込みフラグクリア)	
		—	SPDCR.SPFC[1:0]=00b (フレーム数 : 1) SPDCR.SPBYT=1 (SPDR レジスタはパイ トアクセス) SPCR2.SPPE=0 (パリティなし) SPCR2.SPIIE=0 (アイドル割り込み禁止) SPSCR.SPSLN[2:0]=000b (シーケンス長 : 1)
		SSCRL.DATS[1:0]=00b (8 ビットデータ長) SSMR.MLS=1 (MSB ファースト)	SPCMD0.SPB[3:0]=0111b (データ長 : 8 ビット) SPCMD0.LSBF=0 (MSB ファースト)
		—	SPCMD0.SPNDEN=0 (次アクセス遅延は 1RSPCK+2PCLK) SPCMD0.SCKDEN=0 (RSPCK 遅延は 1RSPCK)
		SSMR.CPHS=0 (SSCK クロック位相 : 最初 のエッジでデータ変化) SSMR.CPOS=0 (SSCK クロック極性 : アイ ドル時に High 出力、アクティブ時に Low 出 力)	SPCMD0.CPHA=1 (奇数エッジでデータ変 化、偶数エッジでデータサンプル) SPCMD0.CPOL=1 (アイドル時の RSPCK が High)
6	割り込み優先度設定	IPRM.IPR[15:12]= 5h (レベル 5)	ICU.IPR039=05h (レベル 5) ICU.IPR038=05h (レベル 5) ICU.IPR112=05h (レベル 5)
7	割り込み要求クリア	—	ICU.IR038=0 (SPRI0) ICU.IR039=0 (SPTI0)

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKA(周辺クロック) : 120MHz
8	割り込みコントローラ側割り込み許可	—	ICU.GENAL0.EN16=1 (SPII0 : RSPi0) ICU.GENAL0.EN17=1 (SPEI0 : RSPi0) ICU.IER04.IEN7=1 (SPTi0) ICU.IER04.IEN6=1 (SPRI0) ICU.IER0E.IEN0=1 (SPEI0 : グループ割り込み)
9	I/O ポート設定 (RX651 のみ)	—	PORTA.PDR.B5=0 (入力に設定) PORTA.PDR.B6=0 (入力に設定) PORTA.PMR.B5=0 (汎用入出力に設定) PORTA.PMR.B6=0 (汎用入出力に設定) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.PA5PFS=0Dh (RSPCK 端子設定) MPC.PA6PFS=0Dh (MOSI 端子設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORTA.PMR.B5=1 (周辺機能に設定) PORTA.PMR.B6=1 (周辺機能に設定)
10	モード設定	—	SPCR.SPMS=1 (クロック同期式動作(3線式)) SPCR.TXMD=0 (全二重同期式シリアル通信) (注1) SPCR.MSTR=0 (スレーブモード)
11	転送開始前処理	—	SPSR.PERF,OVRF=0 (エラー要因のクリア) SPCR2.SPIIE=0 (SPII 割り込み禁止)
12	受信動作許可	同時に ON SSER.RE,RIE,CEIE=1	SPE ビットの許可と同時に、必要な割り込みを許可する。 SPCR.SPE,SPRIE,SPTIE (注1),SPEIE=1
13	送受信開始	<送受信、送信の場合> TDRE=1 を確認し、SSTDR へ送信データをライト <受信の場合> SSRDR をダミーリード	—

注 1. サンプルコードでは、全二重同期式シリアル通信を使用するため、送信処理も必要になります。

クロック同期式動作時の割り込み処理は、SPI 動作時の処理と同様になります。

2.11.8 SSU モード/SPI 動作 マスタ送受信設定例を参照してください。ただし、モードフォルトエラーの発生はありません。

2.12 I2C バスインタフェース (IIC)

2.12.1 仕様比較

I2C バスインタフェース機能として、SH7080 グループでは IIC2、RX651 では SMBus (Ver.2.0) に準拠した通信動作が可能な RIICa が内蔵されています。

SH7080 グループと RX651 の仕様比較を表 2.99に示します。

表2.99 SH7080 グループ、RX651 の仕様比較 (IIC)

項目		SH7080 グループ (IIC2)	RX651 (RIICa)
チャンネル数		1 チャンネル	2 チャンネル
クロックソース		周辺クロック (Pφ)	周辺モジュールクロック (PCLKB)
通信フォーマット		- I2C バスフォーマット - クロック同期式シリアルフォーマット (注1)	- I2C バスフォーマット - SMBus フォーマット
データ転送		MSB/LSB ファーストの選択が可能	MSB ファースト固定
I2C バス フォーマット (SMBus)	動作モード	- マスタ送信モード - マスタ受信モード - スレーブ送信モード - スレーブ受信モード	
	開始条件/ 停止条件	自動生成	
	アドレス検出	7 ビットのスレーブアドレス	3 種類の 7/10 ビットスレーブアドレス - ジェネラルコールアドレス - デバイス ID アドレス - ホストアドレス
	DTC/MDAC 起動	DTC 起動可能	DTC/DMAC 起動可能
	割り込み要因	- アービトレーションロスト/オーバーランエラー - NACK 検出 - 停止条件検出 - 受信データフル - 送信データエンプティ - 送信終了	- アービトレーション検出 - NACK 検出 - タイムアウト検出 - スタートコンディション検出 - ストップコンディション検出 - 受信データフル - 送信データエンプティ - 送信終了
	マルチマスタ 対応	ビット同期回路あり 他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定すること	SCL 同期回路あり
ノイズ除去		SCL、SDA 端子のノイズ除去幅を設定可能 ラッチ回路は最大 3 段	SCL、SDA 端子にデジタルノイズフィルタの設定、ノイズ除去幅の設定可能 ノイズフィルタは最大 4 段
その他		—	- イベントリンク - SCL クロックのデューティ比設定 - SDA 出力遅延機能 - SCL の自動 Low ホールド機能 - バスハングアップ対応

注 1. RX651 の RIICa ではクロック同期式シリアルフォーマットに対応していませんが、SCIg および SCIH のクロック同期式通信フォーマットで代替が可能です

2.12.2 レジスタ比較

SH7080 グループ、RX651 のレジスタ比較を表 2.100に示します。

表の変更欄の記号

- ◎ : SH7080 グループと RX651 でビットアサインが同じレジスタ
 △ : SH7080 グループと RX651 でビットアサインが異なるレジスタ
 — : SH7080 グループと RX651 で一方にしかないレジスタ

表2.100 SH7080 グループ、RX651 のレジスタ比較 (IIC)

SH7080 グループ (IIC2)	RX651 (RIICa)	変更
—	RIICn n : 0, 2	
I2C バスコントロールレジスタ 1 (ICCR1)	I2C バスコントロールレジスタ 1 (RIICn.ICCR1)	△
I2C バスコントロールレジスタ 2 (ICCR2)	I2C バスコントロールレジスタ 2 (RIICn.ICCR2)	
I2C バスモードレジスタ (ICMR)	I2C バスモードレジスタ 1 (RIICn.ICMR1)	△
—	I2C バスモードレジスタ 2 (RIICn.ICMR2)	—
NF2CYC レジスタ (NF2CYC)	I2C バスモードレジスタ 3 (RIICn.ICMR3)	△
I2C バスインタラプトイネーブルレジスタ (ICIER)	I2C バス割り込み許可レジスタ (RIICn.ICIER)	
I2C バスステータスレジスタ (ICSR)	I2C バスステータスレジスタ 1 (RIICn.ICSR1)	△
	I2C バスステータスレジスタ 2 (RIICn.ICSR2)	
スレーブアドレスレジスタ (SAR)	スレーブアドレスレジスタ Ly (RIICn.SARLy) (y = 0~2)	△
—	スレーブアドレスレジスタ Uy (RIICn.SARUy) (y = 0~2)	—
I2C バス送信データレジスタ (ICDRT)	I2C バス送信データレジスタ (RIICn.ICDRT)	◎
I2C バス受信データレジスタ (ICDRR)	I2C バス受信データレジスタ (RIICn.ICDRR)	◎
I2C バスシフトレジスタ (ICDRS)	I2C バスシフトレジスタ (ICDRS)	◎
—	I2C バスビットレート Low レジスタ (RIICn.ICBRL)	—
	I2C バスビットレート High レジスタ (RIICn.ICBRH)	
	I2C バスファンクション許可レジスタ (RIICn.ICFER)	
	I2C バスステータス許可レジスタ (RIICn.ICSER)	

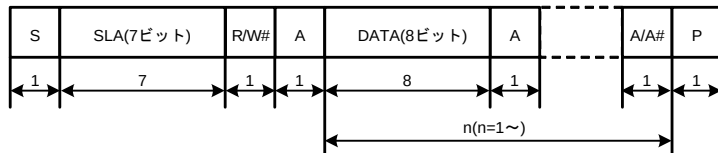
2.12.3 アドレス検出

SH7080 グループは1種類の7ビットスレーブアドレスを検出することができます。

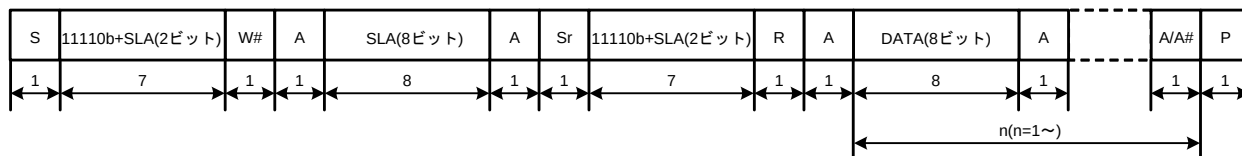
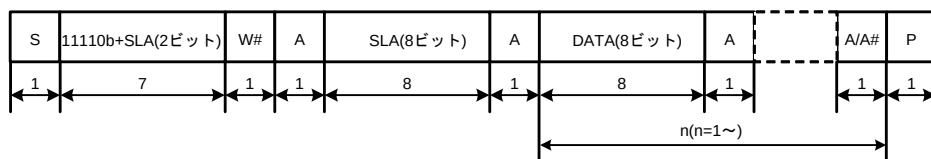
RX651 は3種類のスレーブアドレスに加え、ジェネラルコールアドレス、デバイス ID アドレス、ホストアドレスを検出することができます。また、スレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

RX651 I2C バスフォーマットを図 2.32に示します。

【7ビットアドレスフォーマット】



【10ビットアドレスフォーマット】



n : 転送データバイト数

S : スタートコンディション

SLA : スレーブアドレス

R/W# : 送信/受信の方向

A : アクノリッジ

A# : ノットアクノリッジ

Sr : リスタートコンディション

DATA : 送受信データ

P : ストップコンディション

図2.32 RX651 I2C バスフォーマット

2.12.4 アービトレーション検出

RX651 は I2C バス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ受信時におけるアービトレーションロスト検出機能も備えています。

2.12.5 バスハングアップ

I2C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL ラインや SDA ラインが固定されたままバスハングアップを起こす場合があります。

RX651 はこのバスハングアップ状態に対し SCL ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するために SCL クロック追加出力機能および RIIC リセット機能、内部リセット機能を備えています。

2.12.6 SCL クロック

I2C バスフォーマットはマスタデバイスが出力する SCL クロックに同期してデータの送受信を行います。

マスタモードで動作する場合、SH7080 グループは I2C バスコントロールレジスタ 1 (ICCR1) に周辺クロックの分周比を設定し SCL クロックの転送レートを決めます。RX651 は I2C バスビットレート High レジスタ (ICBRH) に SCL クロックの High 幅を、I2C バスビットレート Low レジスタ (ICBRL) に SCL クロックの Low 幅を設定することで、SCL の転送レートおよびデューティ比を決めます。

RX651 は送信データ誤送信防止機能、NACK 受信転送中断機能、受信データ取りこぼし防止機能に対応しており、条件に一致した場合、自動的に SCL ラインの Low ホールドを行います。

I2C バスフォーマットをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。マスタモード時に SCLn ラインを監視してビットごとに同期をとりながら SCL クロックを生成する回路を、SH7080 グループはビット同期回路、RX651 は SCL 同期回路として備えています。

RX651 の SCL クロック生成および SCL 同期化動作を図 2.33 に示します。

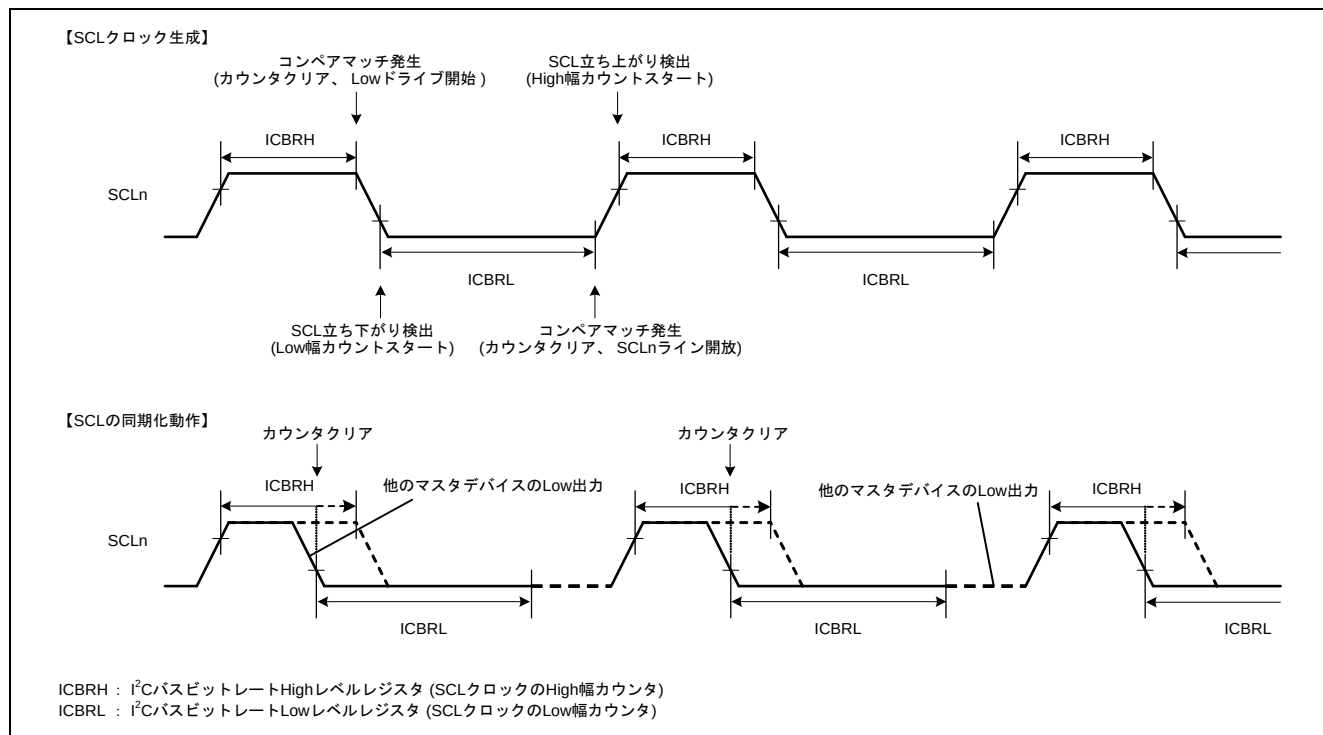


図2.33 SCL クロック生成および SCL 同期化動作

2.12.7 ノイズ除去

RX651 は SH7080 グループ同様にノイズ除去幅を選択でき、初期状態ではノイズ除去機能が有効になっています。I²C バスファンクション許可レジスタ (ICFER) で、デジタルノイズフィルタ回路の使用有無を設定してください。

2.12.8 割り込み

SH7080 グループは受信データフルおよび送信データエンプティの割り込みで DTC の起動が可能なのに対し、RX651 は DTC と DMAC の起動が可能です。

RX651 の受信データフルおよび送信データエンプティ割り込みは、割り込みステータスフラグ (IRn.IR) が‘1’のときに発生した割り込み要求もモジュール内部で保持され、割り込みステータスフラグ (IRn.IR) が‘0’になった後、保持された要求によって再度‘1’になります。

RX651 は一部割り込みがグループ割り込み BL1 に割り当てられています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつけると自動的にクリアされます。グループ BL1 割り込みステータスフラグ (GRPBL1.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

SH7080 グループと RX651 の割り込み要因一覧を表 2.101、表 2.102 に示します。

割り込みについては1.8章を参照してください。

表2.101 SH7080 グループ IIC2 割り込み要因一覧 (I²C バスフォーマット)

割り込み要因	DTC の起動	DMAC 起動	優先順位
NACK 検出	不可能	不可能	高 ↑
アービトレーションロスト/オーバランエラー			
送信終了			
停止条件検出			
送信データエンプティ	可能		↓ 低
受信データフル			

表2.102 RX651 RIICa 割り込み要因一覧

割り込み要因	DTC の起動	DMAC の起動	優先順位
通信エラー/ イベント発生	不可能	不可能	高 ↑
受信データフル	可能	可能	↓ 低
送信データエンプティ			
送信終了	不可能	不可能	

2.12.9 モジュールストップ

RX651 の RIICa は、SH7080 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については2.16章を参照してください。

2.12.10 マスタ送受信設定例

IIC バスインタフェースのマスタ送受信処理の設定例を示します。

<仕様>

- ① RSK+RX65N の RIIC0 を使用します。
- ② 送信データエンプティ割り込みにより送信起動し、受信データフル割り込みにより受信起動します。
- ③ マスタ送信処理で 32 バイトのデータ送信を行った後、マスタ受信処理で 32 バイトのデータ受信を行います。
スレーブデバイスのアドレスは、50h を使用します。
- ④ 送受信が可能になったら LED0 を点灯します。
送信が完了したら LED1 を点灯し、受信が完了したら LED2 を点灯します。
エラーが発生した場合は LED3 を点灯します。

表2.103 IIC 通信仕様

項目	内容	備考
通信方式	I ² C バス	
転送速度	400kHz	
データのビット数	9 ビット (ACK 含む)	
データ、ACK 間ウェイト	なし	
ACK 判定	ACK=1 受信時、転送中断	
使用端子	P12/SCL0	
	P13/SDA0	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力
	PJ5/GPIO	LED3 出力

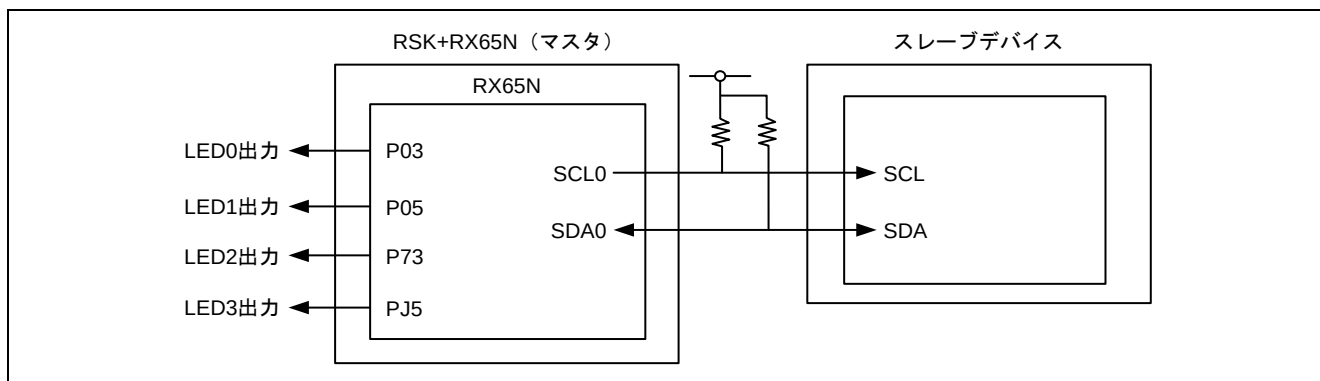


図2.34 IIC 接続仕様

<関連レジスタ一覧>

SH7080 と RX651 における RIIC0 の割り込み関係レジスタを各割り込み要因別に示します。SH7080 の受信、送信、送信終了、受信エラーの各割り込みを同様に実現する場合、RX651 では表 2.104 の様なリソースの設定、またはフラグを認識する必要があります。

表2.104 IIC 割り込み関連リソース

項目	SH7080					RX651			
割り込み要因	IIRXI	IITXI	IITEI	IISTPI	IINAKI	RXI	TXI	TEI	EEI
割り込み優先度レジスタ	IPRM(11-8)				IPRH(11-8)	IPR052	IPR053	IPR111	
割り込み許可レジスタ	—	—	—	—	—	IER06 .IEN4	IER06 .IEN5	IER0D .IEN7	
								GENBL1 .EN13	GENBL1 .EN14
割り込み要求レジスタ	—	—	—	—	—	IR052	IR053	IR111	
								GRPBL1 .IS13	GRPBL1 .IS14
割り込み要求フラグ	ICIER. RIE	ICIER. TIE	ICIER. .TEIE	ICIER. .STIE	ICIER .NAKIE	ICIER .RIE	ICIER .TIE	ICIER .TEIE	ICIER .ALIE ICIER .NAKIE ICIER .TMOIE ICIER .STIE ICIER .SPIE
ステータスレジスタ	ICSR .RDRF	ICSR. TDRE	ICSR. TEND	ICSR. STOP	ICSR. AL/OVE	ICSR2 .RDRF	ICSR2 .TDRE	ICSR2 .TEND	ICSR2 .AL
					ICSR. NACKF				ICSR2 .NACKF
									ICSR2 .TMOF
									ICSR2 .START
									ICSR2 .STOP

レジスタ略号の正式名称は以下の通りです。

- SH7080
IPRH、IPRM：割り込み優先レベル設定レジスタ H、M
ICIER：IIC バスインタラプトイネーブルレジスタ
ICSR：入力レベルコントロール/ステータスレジスタ 1
- RX651
IPRr：割り込み要因プライオリティレジスタ（r はベクタ番号）
IER06、0D：割り込み要求許可レジスタ 06、0D
IRn：割り込み要求レジスタ（n はベクタ番号）
GENBL1：グループ BL1 割り込み要求許可レジスタ
GRPBL1：グループ BL1 割り込み要求レジスタ
ICIER：IIC バス割り込み許可レジスタ
ICSR2：入力レベルコントロール / ステータスレジスタ 2

表2.105 IIC 初期設定例

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKB (周辺クロック B) : 60MHz
1	モジュールストップ状態解除	STBCR3.MSTP15=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRB.MSTPB21=0 SYSTEM.PRCR=A500h
2	割り込み設定ディスエーブル	SH は割り込みコントローラに許可レジスタがない	ICU.IER06.IEN5=0 (TXI0) ICU.IER06.IEN4=0 (RXI0) ICU.IER0D.IEN7=0 (TEI0,EEI0 : グループ割り込み) ICU.GENBL1.EN13=0 (TEI0) ICU.GENBL1.EN14=0 (EEI0)
3	IIC 機能停止	ICCR1.ICE=0 (IIC2 機能停止)	ICCR1.ICE=0 (SCL0,SDA0 端子非駆動状態)
4	IIC リセット	ICCR2.IICRST=1 (IIC2 リセット)	ICCR1.IICRST=1 (IIC リセット)
5	スレーブ受信モードへ切り替え (SH7080 のみ)	ICCR1.MST=0 (スレーブモード) ICCR1.TRS=0 (受信モード)	—
6	ビジーフラグクリア (SH7080 のみ)	SAR.FS=1 (クロック同期式を選択すると、BBSY は常に 0 になる)	—
7	I2C バスフォーマット選択 (SH7080 のみ)	SAR.FS=0 (I2C バスフォーマット選択)	—
8	ステータスフラグクリア (SH7080 のみ)	ICSR=00h (1 を読み出した後に 0 を書き込むことのみ可能)	—
9	IIC2 リセット解除 (SH7080 のみ)	ICCR2.IICRST=0 (IIC2 リセット解除)	—
10	IIC 動作開始 (RX651 のみ)	—	ICCR1.ICE=1 (SCL0,SDA0 端子駆動状態)
11	機能選択	ICIER.ACKE=1 (受信 ACK が 1 の場合、転送を中断)	ICFER.NACKE=1 (NACK 受信時、転送を中断) ICFER.SCLE=1 (SCL 同期回路有効)
12	通信ビットレート設定	ICCR1.CKS[3:0]=0101b (転送レート : 400kHz)	ICMR1.CKS[2:0]=010b (内部基準クロック : PCLKB/4) ICBRH.BRH[4:0]=01000b (SCL クロックの High 幅) ICBRL.BRL[4:0]=10011b (SCL クロックの Low 幅)
13	初期設定 (SH7080 のみ)	IIC2.ICCR1,ICCR2,ICMR,ICIER,NF2CYC 初期化 ICCR1.ICE=MST=TRS=0 に設定	—
14	スレーブアドレス設定 (マスタモードのみ)	—	ICSER=00h (全てのアドレス許可を無効にする)
15	スレーブアドレス設定 (スレーブモードのみ)	SAR.SVA[6:0]=スレーブアドレス	SARU0.FS=0 (7 ビットアドレスフォーマット) SARL0.SVA[6:0]=スレーブアドレス ICSER.SAR0E=1 (SARL0,SARU0 の設定値を有効にする)
16	送信 ACK 設定(スレーブモードのみ)	ICIER.ACKBT=0 (送信 ACK のタイミングで 0 を送出)	ICMR3.ACKWP=1 (アクノリッジビットへの書き込み許可) ICMR3.ACKBT=0 (アクノリッジビットに 0 を送出) ICMR3.ACKWP=0 (アクノリッジビットへの書き込み禁止)
17	割り込み禁止設定	—	ICIER=00h (割り込み禁止)

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKB(周辺クロック B) : 60MHz
18	I/O ポート設定	PFC.PBCRL1.PB2MD=100b (SCL 入出力) PFC.PBCRL1.PB3MD=100b (SDA 入出力)	PORT1.PMR.B3=0 (汎用入出力設定) PORT1.PMR.B2=0 (汎用入出力設定) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P13PFS.PSEL[5:0]=001111b (SDA0) MPC.P12PFS.PSEL[5:0]=001111b (SCL0) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORT1.PMR.B3=1 (周辺機能設定) PORT1.PMR.B2=1 (周辺機能設定)
19	割り込み優先レベル設定	INTC.IPRM.WORD=0500h (レベル 5)	ICU.IPR053=05h (レベル 5) ICU.IPR052=05h (レベル 5) ICU.IPR111=05h (レベル 5)
20	割り込み要求クリア	—	ICU.IR053=0 ICU.IR052=0
21	割り込み許可設定	ICIER.TIE,RIE,NAKIE,STIE=1	ICIER.TIE,RIE,NAKIE,SPIE,ALIE,TMOIE=1
22	割り込みコントローラ側割り込み許可	—	ICU.GENBL1.EN14=1 (EEI0) ICU.IER06.IEN5=1 (TXI0) ICU.IER06.IEN4=1 (RXI0) ICU.IER0D.IEN7=1 (TEI0,EEI0 : グループ割り込み)
23	IIC 動作開始 (SH7080 のみ)	ICCR1.ICE=1 (IIC2 動作許可)	—
24	リセット解除 (RX651 のみ)	—	ICCR1.IICRST=0 (IIC リセット解除)

表2.106 送信開始処理例

手順		SH7080 設定例	RX651 設定例
1	バス解放状態であることを確認	ICCR2.BBSY=0 になるまで待つ	ICCR2.BBSY=0 になるまで待つ
2	マスタ送信モード設定 (SH7080 のみ)	ICCR1.MST=1 (マスタモード) ICCR1.TRS=1 (送信モード)	—
3	スタートコンディション発行	ICCR2.BBSY=1 ICCR2.SCP=0	ICCR2.ST=1 (スタートコンディション発行要求)

表2.107 受信開始処理例

手順		SH7080 設定例	RX651 設定例
1	バス解放状態であることを確認	ICCR2.BBSY=0 になるまで待つ	ICCR2.BBSY=0 になるまで待つ
2	ステータスフラグクリア	ICSR=00h (1 を読み出した後に 0 を書き込むことのみ可能)	ICSR2=00h (1 を読み出した後に 0 を書き込むことのみ可能)
3	割り込み許可設定	ICIER.TIE,RIE,NAKIE,STIE=1	ICIER.TIE,RIE,NAKIE,SPIE,ALIE,TMOIE=1 ICU.IER06.IEN5=1 (TXI0)
4	マスタ受信モード設定 (SH7080 のみ)	ICCR1.MST=1 (マスタモード) ICCR1.TRS=1 (送信モード)	—
5	スタートコンディション発行	ICCR2.BBSY=1 ICCR2.SCP=0	ICCR2.ST=1

表2.108 転送終了処理例

手順		SH7080 設定例	RX651 設定例
1	SCL の出力レベルが Low になるまで待つ(SH7080 のみ)	ICCR2.SCLO=0 がリードされるまで待つ	—
2	ストップコンディション発行	ICCR2.BBSY=0、ICCR2.SCP=0 (ストップコンディション発行) ICSR.TEND, NACKF を 0 クリア	ICCR2.SP=1 (ストップコンディション発行要求)
3	ストップコンディションの発行完了を待つ	ICSR.STOP=1 になるまで待つ	ICSR2.STOP=1 になるまで待つ
4	転送終了	スレーブ受信モードに設定 ICCR1.MST=0 (スレーブモード) ICCR1.TRS=0 (受信モード) ICSR.TDRE=1 を読み出した後に 0 クリア (送信データレジスタエンプティフラグをクリア)	ICSR2.NACKF=0 (NACK 検出フラグクリア) ICSR2.STOP=0 (ストップコンディション検出フラグクリア)

表2.109 送信データエンプティ割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	動作モードを確認	マスタ送信かつ第 1 フレーム (スレーブアドレス+W)を送信する場合は、手順 2 を実施し、割り込み処理終了 マスタ送信かつ第 2 フレーム以降のデータ送信の場合は、手順 3 へ マスタ受信の場合は、手順 5 へ	マスタ送信かつ第 1 フレーム (スレーブアドレス+W)を送信する場合は、手順 2 を実施し、割り込み処理終了 マスタ送信かつ第 2 フレーム以降のデータ送信の場合は、手順 3 へ マスタ受信の場合は、手順 5 へ
2	第 1 フレーム(スレーブアドレス+W)送信	ICDRT=送信データ (スレーブアドレス+W)	ICDRT=送信データ (スレーブアドレス+W)
3	第 2 フレーム以降のデータ送信	ICDRT=送信データ	ICDRT=送信データ
4	送信データが最終データでない場合は割り込み処理終了	←	←
5	第 1 フレーム (スレーブアドレス+R)送信	ICDRT=送信データ (スレーブアドレス+R)	ICDRT=送信データ (スレーブアドレス+R)
6	送信終了割り込み設定	ICIER.TIE=0 クリアして、ICIER.TIE が 0 であることを確認 <送信終了割り込み設定> ICIER.TEIE=1	ICU.IER06.IEN5=0 (TXI0) ICIER.TIE=0 クリアして、ICIER.TIE が 0 であることを確認 ICU.IR053=0 <送信終了割り込み設定> ICIER.TEIE=1 ICU.GENBL1.EN13=1 (TEI0)

表2.110 受信データフル割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	受信状態を確認	受信開始していない場合は、手順 2～4 を実施し、割り込み処理終了 既に受信開始済の場合は、手順 5 へ	受信開始していない場合は、手順 2～4 を実施し、割り込み処理終了 既に受信開始済の場合は、手順 5 へ
2	スレーブデバイスからのアクノリッジを確認	ICSR.NACKF=0 を確認 ICSR.NACKF=1 の時は、ストップコンディションを発行して終了する	ICSR2.NACKF=0 を確認 ICSR2.NACKF=1 の時は、ストップコンディションを発行して終了する
3	マスタ受信モード設定	ICSR.TEND=0 (送信終了フラグクリア) ICCR1.TRS=0 (受信モード) ICSR.TDRE=0 (送信データレジスタエンプティフラグクリア)	—
4	受信開始	ICIER.ACKBT=0 (アクノリッジのタイミングで 0 を送出) ダミーデータ=ICDRR	ICMR3.ACKWP=1 (アクノリッジビットへの書き込み許可) ICMR3.ACKBT=0 (アクノリッジは 0 を送出) ICMR3.ACKWP=0 (アクノリッジビットへの書き込み禁止) ダミーデータ=ICDRR
5	受信データ数の確認	残り受信データ数が 1 の場合は、手順 10 以降の処理を行う 残り受信データ数が 2 の場合は、手順 6,7 の処理を行わず、手順 8,9 の処理を行い、割り込み処理終了	残り受信データ数が 1 の場合は、手順 10 以降の処理を行う 残り受信データ数が 2 バイトの場合は、手順 6,7 の処理を行わず、手順 8,9 の処理を行い、割り込み処理終了 残り受信データ数が 3 バイトの場合、WAIT 設定をする ICMR3.WAIT=1 (9 クロック目と 1 クロック目の間を Low にホールド)
6	データ受信	受信データ=ICDRR	受信データ=ICDRR
7	割り込み処理終了	←	←
8	NACK 送出設定 連続受信動作を禁止	次の受信が最終フレームの場合、ACKBT と RCVD を設定する ICIER.ACKBT=1 (アクノリッジは 1 を送出) ICCR1.RCVD=1 (連続受信動作の禁止)	次の受信データで通信終了であることを通知する場合、ACKBT を設定する ICMR3.ACKWP=1 (アクノリッジビットへの書き込み許可) ICMR3.ACKBT=1 (アクノリッジは 1 を送出) ICMR3.ACKWP=0 (アクノリッジビットへの書き込み禁止)
9	最終データ-1 を受信	受信データ=ICDRR	受信データ=ICDRR
10	SCL が Low レベルになるまで待つ	ICCR2.SCLO=0 になるまで待つ	—
11	ストップコンディション発行	ICCR2.BBSY=0、 ICCR2.SCP=0 (ストップコンディション発行)	ICCR2.SP=1 (ストップコンディション発行要求)
12	最終データを受信 (RX651 はストップコンディション完了前)	—	受信データ=ICDRR ICMR3.WAIT=0
13	ストップコンディションの発行完了を待つ	ICSR.STOP=1 になるまで待つ	ICSR2.STOP=1 になるまで待つ
14	最終データを受信 (RX651 はストップコンディション完了後)	受信データ=ICDRR	—

手順		SH7080 設定例	RX651 設定例
15	受信終了	ICCR1.RCVD=0 (連続受信動作の許可) ICCR1.MST=0 (スレーブモード)	ICSR2.NACKF=0 (NACK 検出フラグクリア) ICSR2.STOP=0 (ストップコンディション検出フラグクリア)

表2.111 送信終了割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	送信終了割り込み禁止設定	ICIER.TEIE=1	ICU.GENBL1.EN13=0 (TEI0) ICSR2.TEND=0 ICIER.TEIE=0
2	SCL の出力レベルが Low になるまで待つ (SH7080 のみ)	ICCR2.SCLO=0 がリードされるまで待つ	—
3	ストップコンディション発行 (マスタ送信時のみ)	ICCR2.BBSY=0、ICCR2.SCP=0 (ストップコンディション発行) ICSR.TEND, NACKF を 0 クリア	ICCR2.SP=1 (ストップコンディション発行要求)
4	ストップコンディションの発行完了を待つ (マスタ送信時のみ)	ICSR.STOP=1 になるまで待つ	ICSR2.STOP=1 になるまで待つ
5	送信完了 (マスタ送信時のみ)	スレーブ受信モードに設定 ICCR1.MST=0 (スレーブモード) ICCR1.TRS=0 (受信モード) ICSR.TDRE=1 を読み出した後に 0 クリア (送信データレジスタエンプティフラグをクリア)	ICSR2.NACKF=0 (NACK 検出フラグクリア) ICSR2.STOP=0 (ストップコンディション検出フラグクリア)

サンプルコードではエラー処理の内容は特に規定しません。但し、RX651 ではエラー割り込みがグループ割り込みに割り付けられます。そのため、グループから割り込みフラグを検出する必要があります。

表2.112 IIC エラー処理例

手順		SH7080 設定例	RX651 設定例
1	グループ割り込み判定	—	ICU.GRPBL1.IS14 (EEI0) が 1 の時、手順 2 以降の処理へ
2	アービトレーションロスト判定	ICSR.AL/OVE が 1 のときエラー処理を行う	ICSR2.AL が 1 のときエラー処理を行う (注1)
3	NACK 検出判定	ICSR.NACKF が 1 のときエラー処理または転送終了処理を行う	ICSR2.NACKF が 1 のときエラー処理または転送終了処理を行う
4	タイムアウト検出判定	—	ICSR2.TMOF が 1 のときエラー処理を行う (注1)
5	ストップコンディション検出	ICSR.STOP が 1 のとき終了状態にする	ICSR2.STOP が 1 のとき終了状態にする

注 1. アービトレーションロスト機能およびタイムアウト検出機能は、ICFER レジスタで無効に設定されています。

2.12.11 スレーブ送受信設定例

IIC バスインタフェースのスレーブ送受信処理の設定例を示します。

<仕様>

- ① RSK+RX65N の RIIC0 を使用します。
- ② 送信データエンプティ割り込みにより送信起動し、受信データフル割り込みにより受信起動します。
- ③ スレーブ送信処理は 32 バイトのデータ送信を行い、スレーブ受信処理は 32 バイトのデータ受信を行います。
スレーブデバイスのアドレスは、50h を使用します。
- ④ 送受信が可能になったら LED0 を点灯します。
送信が完了したら LED1 を点灯し、受信が完了したら LED2 を点灯します。
エラーが発生した場合は LED3 を点灯します。

表2.113 IIC 通信仕様

項目	内容	備考
通信方式	I2C バス	
データのビット数	9 ビット(ACK 含む)	
データ、ACK 間ウェイト	なし	
ACK 判定	ACK=1 受信時、転送中断	
使用端子	P12/SCL0	
	P13/SDA0	
	P03/GPIO	LED0 出力
	P05/GPIO	LED1 出力
	P73/GPIO	LED2 出力
	PJ5/GPIO	LED3 出力

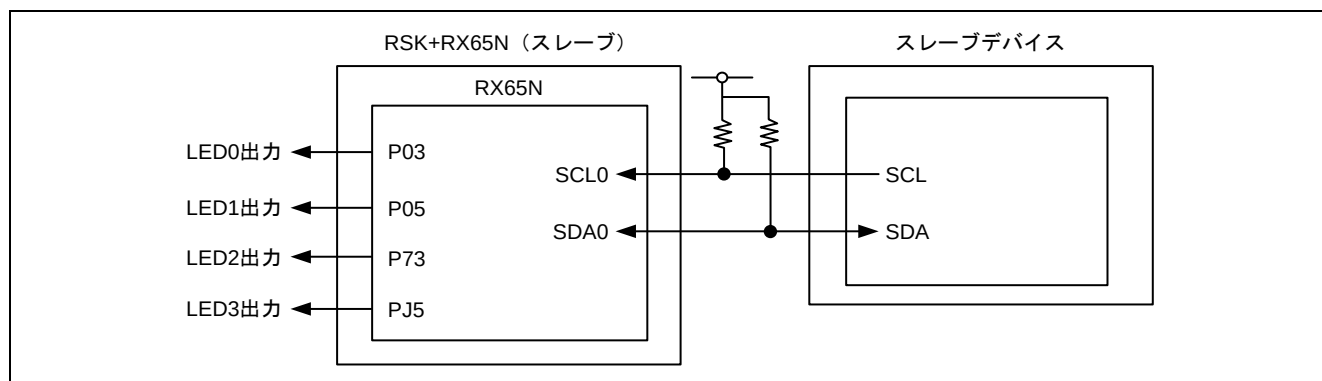


図2.35 IIC 接続仕様

<関連レジスタ一覧>

SH7080 と RX651 における RIIC0 の割り込み関係レジスタは表 2.104の通りです。

初期設定例は、マスタ送受信の初期設定例（表 2.105）を参照して下さい。以下にスレーブ送信/受信の設定例を示します。

表2.114 送受信開始処理例

手順		SH7080 設定例	RX651 設定例
1	スレーブアドレスの一致	ISCR.AAS=1 になるまで待つ ISCR.AAS=1 を読みだした後に 0 クリア	—
2	送受信モードの確認	ICCR1.TRS=1 の時は、スレーブ送信モードに移行 ICCR1.TRS=0 の時は、スレーブ受信モードに移行	—

表2.115 転送終了処理例

手順		SH7080 設定例	RX651 設定例
1	SCL を開放するために、受信データレジスタをダミーリード	ICCR1.TRS=0 ダミーデータ=ICDRR	ダミーデータ=ICDRR
2	ストップコンディションの発行完了を待つ	ICSR.STOP=1 になるまで待つ	ICSR2.STOP=1 になるまで待つ
3	転送終了	スレーブ受信モードに設定 ICCR1.MST=0 (スレーブモード) ICSR.TDRE=1 を読み出した後に 0 クリア (送信データレジスタエンプティフラグをクリア)	ICSR2.NACKF=0 (NACK 検出フラグクリア) ICSR2.STOP=0 (ストップコンディション検出フラグクリア)

表2.116 送信データエンプティ割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	データ送信	ICDRT=送信データ	ICDRT=送信データ
2	送信データが最終データでない場合は割り込み処理終了	←	←
3	送信終了割り込み設定	ICIER.TIE=0 クリアして、ICIER.TIE が 0 であることを確認 <送信終了割り込み設定> ICIER.TEIE=1	ICU.IER06.IEN5=0 (TXI0) ICIER.TIE=0 クリアして、ICIER.TIE が 0 であることを確認 ICU.IR053=0 <送信終了割り込み設定> ICIER.TEIE=1 ICU.GENBL1.EN13=1 (TEI0)

表2.117 受信データフル割り込み処理例

手順		SH7080 設定例	RX651 設定例
1	受信状態確認	受信開始していない場合は、手順 2 を実施し、割り込み処理終了 既に受信開始している場合は、手順 3 を実施	受信開始していない場合は、手順 2 を実施し、割り込み処理終了 既に受信開始している場合は、手順 3 を実施
2	受信開始	ICIER.ACKBT=0 (アクノリッジのタイミングで 0 を送出) ダミーデータ=ICDRR	ICMR3.ACKWP=1 (アクノリッジビットへの書き込み許可) ICMR3.ACKBT=0 (アクノリッジは 0 を送出) ICMR3.ACKWP=0 (アクノリッジビットへの書き込み禁止) ダミーデータ=ICDRR
3	受信データ数の確認	残り受信データ数が 3 以上の場合は、4 の処理を行い、割り込み処理終了 残り受信データ数が 2 の場合は、4 の処理を行わず、5、6 の処理を行い、割り込み処理終了 残り受信データ数が 1 の場合は、4～6 の処理は行わず、7 以降の処理を行う	残り受信データ数が 3 以上の場合は、4 の処理を行い、割り込み処理終了 残り受信データ数が 2 の場合は、4 の処理を行わず、5、6 の処理を行い、割り込み処理終了 残り受信データ数が 1 の場合は、4～6 の処理は行わず、7 以降の処理を行う
4	データ受信	受信データ=ICDRR	受信データ=ICDRR
5	アクノリッジビットを設定	ICIER.ACKBT=1	ICMR3.ACKWP=1 (アクノリッジビットへの書き込み許可) ICMR3.ACKBT=1 (アクノリッジは 1 を送出) ICMR3.ACKWP=0 (アクノリッジビットへの書き込み禁止)
6	最終データ-1 を受信	受信データ=ICDRR	受信データ=ICDRR
7	最終データを受信	受信データ=ICDRR	受信データ=ICDRR
8	受信終了	ICIER.ACKBT=0	ICMR3.ACKWP=1 (アクノリッジビットへの書き込み許可) ICMR3.ACKBT=0 (アクノリッジは 0 を送出) ICMR3.ACKWP=0 (アクノリッジビットへの書き込み禁止)

サンプルコードではエラー処理の内容は特に規定しません。但し、RX651 ではエラー割り込みがグループ割り込みに割り付けられます。そのため、グループから割り込みフラグを検出する必要があります。

表2.118 IIC エラー処理例

手順		SH7080 設定例	RX651 設定例
1	グループ割り込み判定	—	ICU.GRPBL1.IS16 (EEI2) が 1 の時、手順 2 以降の処理へ
2	アービトレーションロスト判定	—	ICSR2.AL が 1 のときエラー処理を行う (注 1)
3	NACK 検出判定	ICSR2.NACKF が 1 のときエラー処理または転送終了処理を行う	ICSR2.NACKF が 1 のときエラー処理または転送終了処理を行う
4	タイムアウト検出判定	—	ICSR2.TMOF が 1 のときエラー処理を行う (注 1)
5	ストップコンディション検出	ICSR2.STOP が 1 のとき終了状態にする	ICSR2.STOP が 1 のとき終了状態にする

注 1. アービトレーションロスト検出機能およびタイムアウト検出機能は、ICFER レジスタで無効に設定されています。

2.13 A/D 変換器 (ADC)

2.13.1 仕様比較

A/D 変換器として、SH7080 グループでは ADC、RX651 では 12 ビット A/D コンバータ (S12ADFa) が内蔵されています。

SH7080 グループと RX651 の仕様比較を表 2.119 に示します。

表2.119 SH7080 グループ、RX651 の仕様比較 (ADC)

項目	SH7080 グループ (ADC)	RX651 (S12ADFa)
入力チャンネル数	16 チャンネル (4 チャンネル × 2、8 チャンネル × 1)	高速変換用ユニット 0 (S12AD) : 8 チャンネル 中速変換用ユニット 1 (S12AD1) : 21 チャンネル + 拡張 1 本
クロックソース	周辺クロック (Pφ)	周辺モジュールクロック (PCLKD)
分解能	10 ビット	最大 12 ビット (8, 10, 12 ビットから選択可能)
A/D 変換方式	逐次比較方式	逐次比較方式
変換速度	1 チャンネルあたり 2.0 μs (動作周波数 25MHz 時)	1 チャンネルあたり 0.48 μs (12 ビット変換モード、A/D 変換クロック 60MHz 時)
変換モード	- シングルモード - スキャンモード — 連続スキャンモード — 1 サイクルスキャンモード	- シングルスキャンモード - 連続スキャンモード - グループスキャンモード
A/D 変換開始条件	- ソフトウェアトリガ - 同期トリガ (MTU2, MTU2S) - 非同期トリガ (ADTRG 端子)	- ソフトウェアトリガ - 同期トリガ (MTU, TMR, TPU, ELC) - 非同期トリガ (ADTRG0#, ADTRG1# 端子)
A/D 変換終了割り込みに連動した動作	- CPU 割り込み発生 - DMAC または DTC を起動	- CPU 割り込み発生 - DMAC または DTC を起動
変換対象	AN 端子	- AN 端子 - 内部基準電圧 (S12AD1) - 温度センサ (S12AD1)
DTC/DMAC 起動	DTC/DMAC 起動可能	DTC/DMAC 起動可能
割り込み要因	A/D 変換終了	- A/D 変換終了 - デジタルコンペア
その他	サンプル&ホールド機能	- イベントリンク - サンプル&ホールド機能 (S12AD) - サンプリングステート数可変機能 - A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出アシスト機能 - ダブルトリガモード 12/10/8 ビット変換切り換え機能 - A/D データレジスタオートクリア機能 - 拡張アナログ入力機能 - コンペア機能 (ウィンドウ A, B)

2.13.2 入力チャネル

SH7080 グループは 4 チャネルと 8 チャネルのアナログ入力を持つ 3 モジュールで構成され、RX651 は 8 チャネルと 21 チャネルの 2 ユニット S12AD と S12AD1 で構成されています。SH7080 グループ同様に、RX651 はユニットごとに A/D 変換器を持つため、ユニットごとの同時動作可能ですがユニットをまたぐ連続スキャンはできません。

SH7080 グループと RX651 の A/D 変換器の構成比較を図 2.36 に示します。

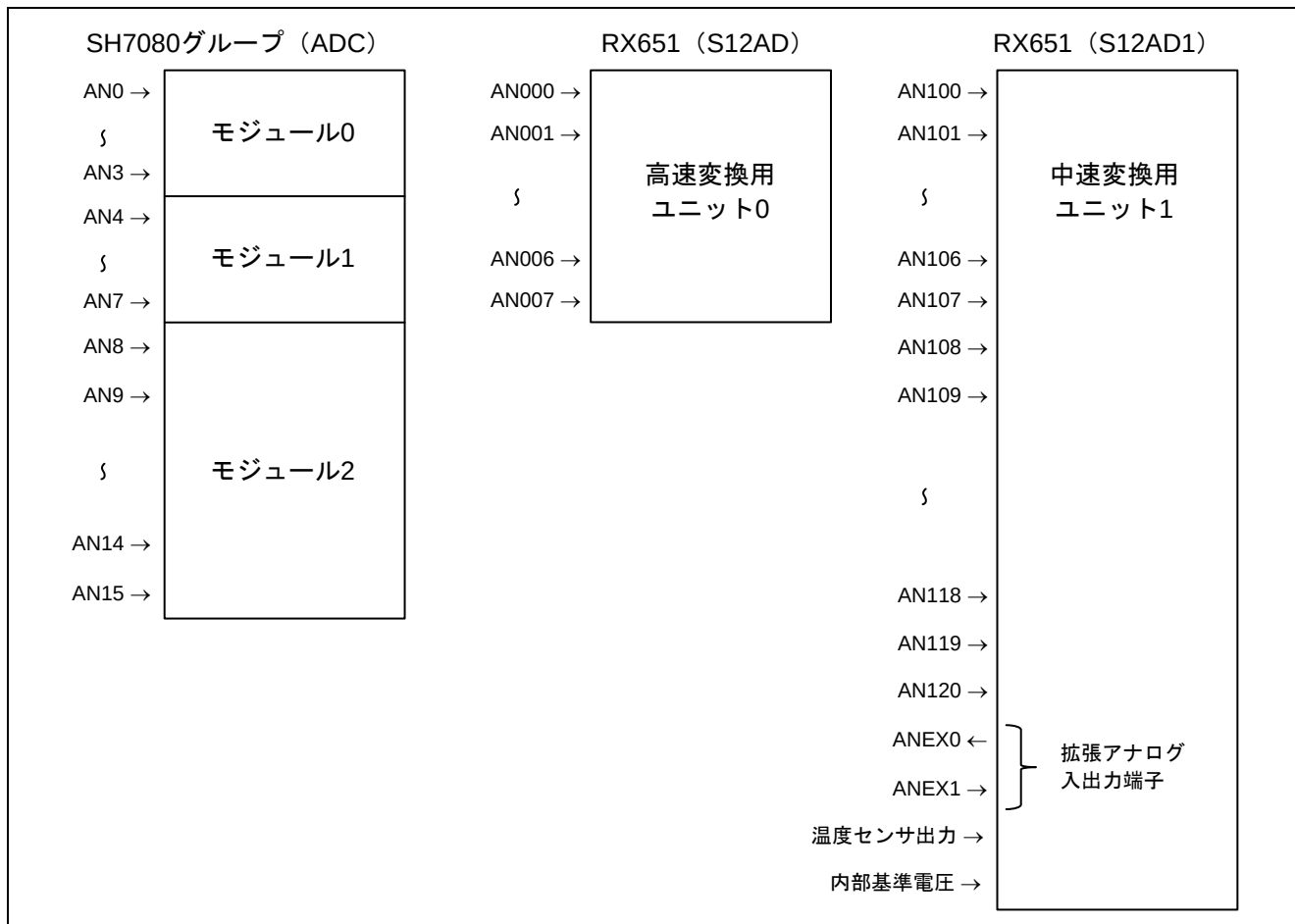


図2.36 A/D 変換器の構成比較

2.13.3 スキャン順序

全チャネルを指定した場合のスキャン順序を表 2.120 に示します。

表2.120 A/D 変換器のスキャン順序

マイコン	A/D 変換器	変換順序
SH7080 グループ	ADC（モジュール 0）	AN0⇒AN1⇒AN2⇒AN3
	ADC（モジュール 1）	AN4⇒AN5⇒AN6⇒AN7
	ADC（モジュール 2）	AN8⇒AN9⇒省略⇒AN14⇒AN15
RX651	S12AD	AN0⇒AN1⇒省略⇒AN6⇒AN7⇒温度センサ出力⇒内部基準電圧 グループスキャンの場合は A⇒B⇒C
	S12AD1	AN100⇒AN101⇒省略⇒AN119⇒AN120⇒温度センサ出力⇒内部基準電圧 グループスキャンの場合は A⇒B⇒C

2.13.4 動作モード

SH7080 グループと RX651 の動作モードの対応を表 2.121に、各動作モードの概要を表 2.122に示します。

表2.121 A/D 変換器の動作モード対応

SH7080 グループ	RX651
シングルモード	シングルスキャンモード（1 チャンネルのみ指定）
スキャンモード（1 サイクルスキャン）	シングルスキャンモード（複数チャンネルを指定）
スキャンモード（連続スキャン）	連続スキャンモード
—	グループスキャンモード

表2.122 A/D 変換器の動作モード概要

マイコン	動作モード	動作概要
SH7080 グループ	シングルモード	指定された 1 チャンネルのみの A/D 変換を 1 回行う A/D 変換終了後、割り込み許可されていれば割り込みを発生
	スキャンモード	指定された複数チャンネルのアナログ入力の A/D 変換を行う 指定された全てのチャンネルの A/D 変換終了後、割り込みが許可されていれば割り込みを発生 1 サイクルスキャンモード： 複数チャンネルの A/D 変換を 1 回行う - 連続スキャンモード： 複数チャンネルの A/D 変換を順次連続して行う 割り込み発生後、再び A/D 変換を開始
RX651	シングルスキャンモード	指定された 1 チャンネル以上の A/D 変換を 1 回行う 指定された全てのチャンネルの A/D 変換終了後、割り込みが許可されていれば割り込みを発生
	連続スキャンモード	指定された 1 チャンネル以上の A/D 変換を、ソフトウェアで停止するまで繰り返し行う 指定された全てのチャンネルの A/D 変換終了後、割り込みが許可されていれば割り込みを発生し、再び A/D 変換を開始
	グループスキャンモード （グループ A, B, C）	指定された同期トリガで、グループごとに指定された複数チャンネルの A/D 変換をそれぞれ 1 回ずつ行う グループごとに A/D 変換終了後、割り込みが許可されていれば割り込みを発生 グループスキャンに使用可能なチャンネル ユニット 0：AN000～AN007 ユニット 1：AN100～AN120

2.13.5 割り込み

SH7080 グループは A/D_0 および A/D_2 変換終了割り込みの場合、DTC 起動のみ可能なのに対し、RX651 は全ての A/D 変換終了割り込みで DTC と DMAC の起動が可能です。

RX651 の S12ADFa 割り込みは、グループ割り込み BL1 と選択型割り込み B に割り当てられています。グループ BL1 割り込みステータスフラグ（GRPBL1.ISn）は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。選択型割り込み B ステータスフラグ（PIBRk.PIRn）は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては1.8章を参照してください。

2.13.6 モジュールストップ

RX651 の S12ADFa は、SH7080 グループ 同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については2.16章を参照してください。

2.13.7 連続スキャンモード設定例

SH7080 の A/D 変換器と、RX651 の 12 ビット A/D コンバータの連続スキャンモードの設定例を示します。
また、併せて SH7080 の他の動作モード設定との差分を表 2.125に示します。

<仕様>

- ① RSK+RX65N の 12 ビット A/D コンバータのユニット 0 を使用します。
- ② A/D 変換開始タイミングはソフトウェアトリガとします。
- ③ アナログ入力 は AN001、AN002、AN003 の 3 チャンネルとし、動作モードは連続スキャンモードとします。
変換結果は変換終了による S12ADI 割り込み処理にて RAM に格納します。

表2.123 12 ビット A/D コンバータ 設定仕様

項目	内容	備考
使用チャンネル	AN001,002,003	
割り込み処理	A/D 変換終了割り込み (S12ADI 割り込み)	
動作モード	連続スキャンモード	
変換開始トリガと周期	ソフトトリガ（開始後は変換を繰り返す）	
拡張アナログ入力	使用しない	
データ配置	左詰め	AN001:ADDR1
		AN002:ADDR2
		AN003:ADDR3
使用端子	P41/AN001	アナログ入力 1
	P42/AN002	アナログ入力 2
	P43/AN003	アナログ入力 3

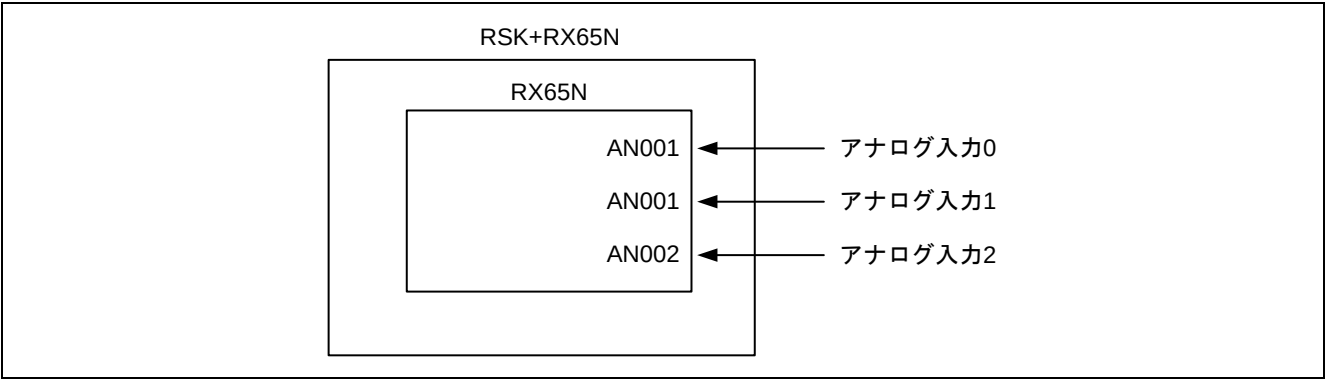


図2.37 12 ビット A/D 変換設定接続仕様

以下に A/D コンバータの初期設定例を示します。

表2.124 A/D コンバータ初期設定例

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKC(周辺クロック C) : 60MHz
1	モジュールストップ 状態解除	STB.STBCR4.MSTP16=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRA.MSTPA17=0 SYSTEM.PRCR=A500h
2	割り込み設定ディス エーブル	ADCSR.ADIE=0 (割り込み禁止)	ICU.IER10.IEN0=0 (ベクタ 128、選択型割り込み B) S12AD.ADCSR.ADIE=0 (割り込み禁止)
3	A/D 変換停止	ADCR.ADST=0 (A/D0 停止)	S12AD.ADCSR.ADST=0 (A/D 停止)
4	I/O ポート設定 (端子入出力と端子機 能設定)	AN0,AN1,AN2 が入力専用ポート (PFDR) に割り当てられるため I/O 設 定はなし	MPC で端子 AN001,AN002,AN003 を設定 PORT4.PDR.B1=0 (入力設定) PORT4.PDR.B2=0 (入力設定) PORT4.PDR.B3=0 (入力設定) PORT4.PMR.B1=0 (GPIO) PORT4.PMR.B2=0 (GPIO) PORT4.PMR.B3=0 (GPIO) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P41PFS=80h (アナログ機能設定) MPC.P42PFS=80h (アナログ機能設定) MPC.P43PFS=80h (アナログ機能設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1
5	動作モード、使用入力 チャネル、変換時間設 定	ADCSR.ADCS=1 (連続スキャンモー ド) ADCSR.ADM[1:0]=01b (4 チャネルス キャンモード) ADCSR.CH[2:0]=010b (AN0~AN2) ADCSR.STC=0 ADCSR.CKSL[1:0]=10b (A/D 変換時間 100 ステート)	S12AD.ADCSR.ADCS[1:0]=10b (連続スキャンモード) S12AD.ADANSA0=0Eh (AN001,AN002,AN003 が変換対象) S12AD.ADSSTR1=150 S12AD.ADSSTR2=150 S12AD.ADSSTR3=150 (A/D 変換処理サンプリング時間 : 150 サイクル (2.5 μs))
6	ADDR フォーマット	左詰めのみで設定不要	S12AD.ADCER.ADRFMT=1 (データ左詰め) S12AD.ADCER.ADPRC[1:0]=01b (10 ビット精度)
7	選択型割り込み要因 設定	—	ICU.SLIBXR128=64 (割り込み要因番号 64 : S12ADI) ICU.SLIPRCR.WPRC=1 (注1) (選択型割り込み要因選択レジスタ書き込み保護) ICU.SLIPRCR.WPRC=1 であることを確認する
8	割り込み優先度レジ スタ設定	INTC.IPRK.WORD=5000h (A/D 0,1 を レベル 5)	ICU.IPR128=5 (S12ADI をレベル 5)
9	割り込み要求クリア	—	ICU.IR128=0 (S12ADI)
10	割り込み許可設定	ADCSR.ADIE=1 (割り込み許可)	S12AD.ADCSR.ADIE=1 (割り込み許可) ICU.IER10.IEN0=1 (ベクタ 128、選択型割り込み B 許可)
11	A/D 変換開始	ADCR.ADST=1 (A/D 開始)	S12AD.ADCSR.ADST=1 (A/D 開始)
12	A/D 変換終了割り込 み処理	ADCSR.ADF=0 ● 割り込みフラグをリードして 0 ク リアする	割り込みフラグは自動でクリアされる

注 1. ICU.SLIPRCR.WPRC は一度”1”にすると、ソフトウェアでは”0”にできません。

網掛けの部分を変更することで I/O ポート設定/動作モードを選択/変更します。

SH7080 と各動作モードに対する RX651 での設定対応を表 2.125に示します。

表 2.124の網掛け部分を以下の設定にすると各モードを選択することができます。

表2.125 A/D 変換器 (SH7080⇒RX651) 動作モードに対する設定対応例

No.	SH7080 設定例	RX651 設定例
1	シングルモード ADCSR_0.ADCS=0 (1 サイクルスキャンモード) ADCSR_0.ADM[1:0]=00b (シングルモード) ADCSR_0.CH[2:0]=000b (AN0)	シングルスキャンモード (単独チャンネル) PORT4.PDR.B1=0 (入力設定) PORT4.PMR.B1=0 (GPIO) MPC.P41PFS=80h (アナログ機能設定) S12AD.ADCSR.ADCS[1:0]=00b (シングルスキャンモード) S12AD.ADANSA0=02h (AN001 が変換対象)
2	1 サイクルスキャンモード ADCSR_0.ADCS=0 (1 サイクルスキャンモード) ADCSR_0.ADM[1:0]=01b (4 チャンネルスキャンモード) ADCSR_0.CH[2:0]=010b (AN0~AN2)	シングルスキャンモード(複数チャンネル) PORT4.PDR.B1=0 (入力設定) PORT4.PDR.B2=0 (入力設定) PORT4.PDR.B3=0 (入力設定) PORT4.PMR.B1=0 (GPIO) PORT4.PMR.B2=0 (GPIO) PORT4.PMR.B3=0 (GPIO) MPC.P41PFS=80h (アナログ機能設定) MPC.P42PFS=80h (アナログ機能設定) MPC.P43PFS=80h (アナログ機能設定) S12AD.ADCSR.ADCS[1:0]=00b (シングルスキャンモード) S12AD.ADANSA0=0Eh (AN001,AN002,AN003 が変換対象)
3	グループスキャンモード ADCSR_0.ADCS=0 (1 サイクルスキャンモード) ADCSR_0.ADM[1:0]=11b (2 チャンネルスキャンモード) ADCSR_0.CH[2:0]=000b (グループ 0 : AN0、グループ 1 : AN2) ADTSR_0.TRG0S[3:0]=0011b (MTU2 A/D 変換開始要求ディレイド (TRG4AN)) ADTSR_0.TRG01S[3:0]=0100b (MTU2 A/D 変換開始要求ディレイド (TRG4BN))	グループスキャンモード PORT4.PDR.B1=0 (入力設定) PORT4.PDR.B2=0 (入力設定) PORT4.PMR.B1=0 (GPIO) PORT4.PMR.B2=0 (GPIO) MPC.P41PFS=80h (アナログ機能設定) MPC.P42PFS=80h (アナログ機能設定) S12AD.ADCSR.ADCS[1:0]=01b (グループスキャンモード) S12AD.ADANSA0=02h (グループ A : AN001 が変換対象) S12AD.ADANSB0=04h (グループ B : AN002 が変換対象) S12AD.ADSTRGR.TRSA[5:0]=001001b (MTU4.TADCORA と MTU4.TCNT のコンペアマッチ) S12AD.ADSTRGR.TRSB[5:0]=001010b (MTU4.TADCORB と MTU4.TCNT のコンペアマッチ)

なお、グループスキャンモードでソフトウェアトリガは使用できません。

A/D 変換開始要求ディレイド機能を使用する場合は、A/D 変換開始トリガの設定以外に、MTU の設定も必要になります。

2.14 コンペアマッチタイマ（CMT）

2.14.1 仕様比較

コンペアマッチタイマとして、SH7080 グループでは CMT、RX651 では 16 ビットタイマによる CMT の他に、32 ビットタイマによる CMTW が内蔵されています。

RX651 は SH7080 グループの CMT 機能を包含しています（上位互換）。SH7080 グループと RX651 の仕様比較を表 2.126 に示します。

表2.126 SH7080 グループ、RX651 の仕様比較（CMT）

項目	SH7080 グループ	RX651	
	CMT	CMT	CMTW
ユニット数 （チャンネル数）	1 ユニット （全 2 チャンネル）	2 ユニット （全 4 チャンネル）	2 ユニット （全 2 チャンネル）
クロックソース	内部クロック（Pφ）	周辺モジュールクロック （PCLKB）	周辺モジュールクロック （PCLKB）
クロック分周比	Pφ/8, 32, 128, 512	PCLKB/8, 32, 128, 512	PCLKB/8, 32, 128, 512
カウント動作	16 ビットのアップカウンタ	16 ビットのアップカウンタ	最大 32 ビットのアップカウンタ （16, 32 ビットから選択可能）
DTC/DMAC 起動	DTC 起動可能	DTC/DMAC 起動可能	DTC/DMAC 起動可能
割り込み要因	コンペアマッチ	コンペアマッチ	- コンペアマッチ - インプットキャプチャ - アウトプットコンペア
その他	—	イベントリンク	イベントリンク

2.14.2 レジスタ比較

RX651 には割り込みフラグがありませんが、割り込みコントローラを使用する事で同様な処理を実現できます。

SH7080 グループ、RX651 のレジスタ比較を表 2.127と表 2.128に示します。

表の変更欄の記号

- ◎ : SH7080 グループと RX651 でビットアサインが同じレジスタ
- △ : SH7080 グループと RX651 でビットアサインが異なるレジスタ
- : SH7080 グループと RX651 で一方にしかないレジスタ

表2.127 SH7080 グループ、RX651 のレジスタ比較 (CMT)

SH7080 グループ (CMT)	RX651 (CMT)	変更
CMT n : 0~1	CMT m : 0~3	
コンペアマッチタイマスタートレジスタ (CMSTR)	コンペアマッチタイマスタートレジスタ 0 (CMSTR0) コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	◎
コンペアマッチタイマコントロール/ ステータスレジスタ_n (CMCSR_n)	コンペアマッチタイマコントロールレジスタ (CMTm.CMCR)	△
コンペアマッチカウンタ_n (CMCNT_n)	コンペアマッチタイマカウンタ (CMTm.CMCNT)	◎
コンペアマッチコンスタントレジスタ_n (CMCOR_n)	コンペアマッチタイマコンスタントレジスタ (CMTm.CMCOR)	◎

表2.128 SH7080 グループ、RX651 のレジスタ比較 (CMTW)

SH7080 グループ (CMT)	RX651 (CMTW)	変更
CMT n : 0~1	CMTW m : 0~1	
コンペアマッチタイマスタートレジスタ (CMSTR)	タイマスタートレジスタ (CMTWm.CMWSTR)	◎
コンペアマッチタイマコントロール/ ステータスレジスタ_n (CMCSR_n)	タイマコントロールレジスタ (CMTWm.CMWCR)	△
コンペアマッチカウンタ_n (CMCNT_n)	タイマカウンタ (CMTWm.CMWCNT)	△
コンペアマッチコンスタントレジスタ_n (CMCOR_n)	コンペアマッチコンスタントレジスタ (CMTWm.CMWCOR)	△
—	タイマ I/O コントロールレジスタ (CMTWm.CMWIOR)	—
	インプットキャプチャレジスタ 0, 1 (CMTWm.CMWICR0, 1)	
	アウトプットコンペアレジスタ 0, 1 (CMTWm.CMWOCR0, 1)	

2.14.3 割り込み

SH7080 グループは DTC 起動のみ可能なのに対し、RX651 は DTC と DMAC の起動が可能です。

RX651 の CMT および CMTW 割り込みは、一部割り込みが選択型割り込み B に割り当てられています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受け付けると自動的にクリアされます。選択型割り込み B ステータスフラグ (PIBRk.PIRn) は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては1.8章を参照してください。

2.14.4 モジュールストップ

RX651 の CMT は、SH7080 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については2.16章を参照してください。

2.14.5 コンペアマッチタイマ設定例

SH7080 と RX651 のコンペアマッチタイマの設定比較を以下に示します。

<仕様>

- ① RSK+RX65N CMT ユニット 0 のチャンネル 1 を使用します。
- ② コンペアマッチ割り込み (CMI1) を使用して、0.5 秒周期に LED1 の点滅を行います。

表2.129 コンペアマッチタイマ設定仕様

項目	内容	備考
カウントクロック	PCLKB/512	PCLKB=60MHz
カウンタ値 (CMCOR)	0xE4E1	周期 (0.5 秒) とカウントクロック (60MHz/512) を用いて算出した値から 1 を減算した値を設定
その他	P05/GPIO	LED1 出力

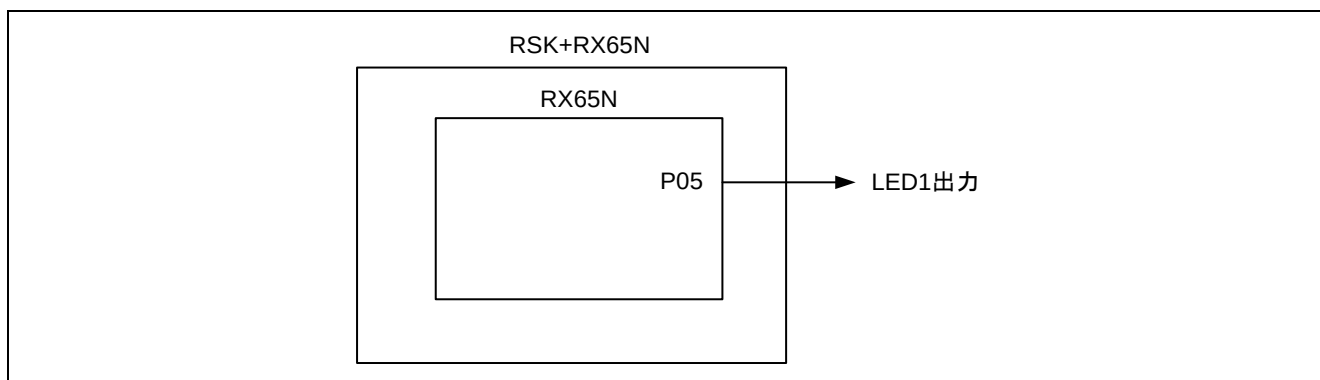


図2.38 コンペアマッチタイマ接続仕様

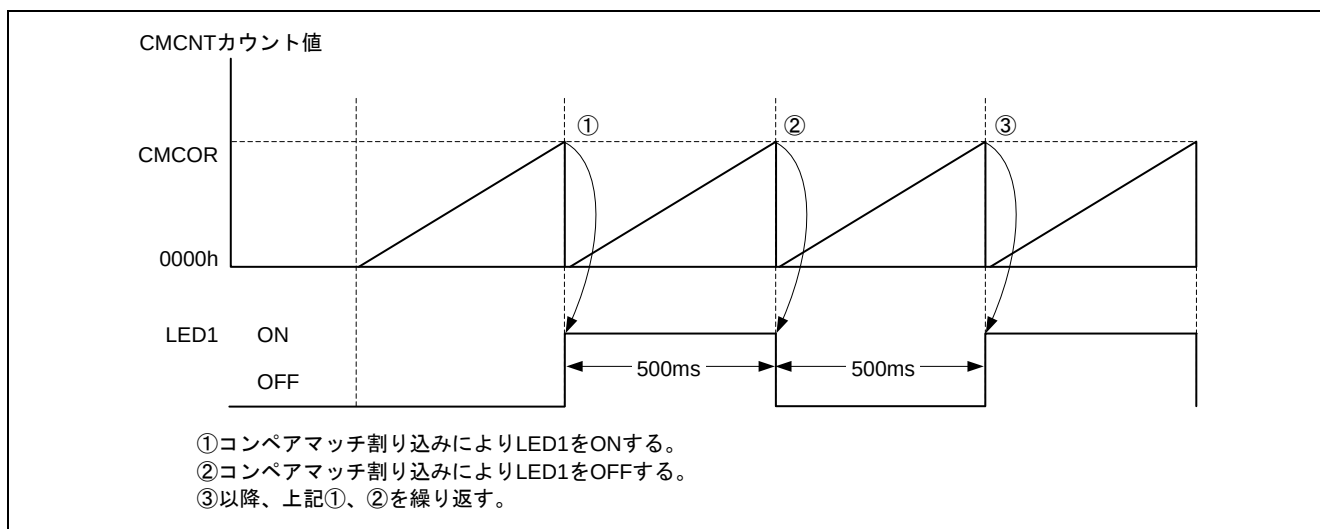


図2.39 コンペアマッチタイマ動作説明

表2.130 コンペアマッチタイマ初期設定例

手順		SH7080 設定例 Pφ(周辺クロック) : 40MHz	RX651 設定例 PCLKB(周辺クロック B) : 60MHz
1	モジュールストップ状態解除	STB.STBCR4.MSTP21=0	SYSTEM.PRCR=A502h SYSTEM.MSTPCRA.MSTPA15=0 SYSTEM.PRCR=A500h
2	割り込み禁止設定	CMCSR.CMIE=1 (コンペアマッチ割り込み禁止)	ICU.IER03.IEN5=0 (ベクタ 29、CMI1 禁止) CMT1.CMCR.CMIE=0 (コンペアマッチ割り込み禁止)
3	タイマ停止	CMSTR.STR1=0	CMSTR0.STR1=0
4	カウンタクロック選択	CMCSR.CKS[1:0]=11b (Pφ/512)	CMT1.CMCR.CKS[1:0]=11b (PCLKB/512)
5	タイマカウンタクリア設定	CMCNT=0000h (カウンタクリア)	CMT1.CMCNT=0000h (カウンタクリア)
6	コンペアマッチ周期設定	CMCOR=9896h	CMT1.CMCOR=E4E1h
7	割り込み優先度設定	INTC.IPRJ.WORD=0x0500 (割り込み優先度 5)	ICU.IPR005=05h (CMI1 : 割り込み優先度 5 に設定)
8	割り込み要求クリア	—	ICU.IR029=0 (CMI1 割り込みフラグクリア)
9	割り込み許可設定	CMCSR.CMIE=1 (コンペアマッチイネーブル)	CMT1.CMCR.CMIE=1 (コンペアマッチイネーブル) ICU.IER03.IEN5=1 (ベクタ 29、CMI1 許可)
10	タイマ動作許可	CMSTR.STR1=1 (タイマスタート)	CMSTR0.STR1=1 (タイマスタート)
11	割り込み処理内 (フラグのクリア)	CMCSR.CMF=0 (CMCSR リードしてから CMF=0 とする)	割り込みフラグは自動でクリアされる。

2.15 フラッシュメモリ

2.15.1 仕様比較

SH7080 グループと RX651 の仕様比較を表 2.131に示します。

表2.131 SH7080 グループ、RX651 の仕様比較（フラッシュメモリ）

項目	SH7080 グループ	RX651
サイズ	ユーザマツト：512KB または 256KB ユーザブートマツト：12KB	ユーザ領域：最大 1M
ブロックサイズ × ブロック数	512K 品 64KB×7 ブロック（448KB） 32KB×1 ブロック（32KB） 4KB×8 ブロック（32KB） 256K 品 64KB×3 ブロック（192KB） 32KB×1 ブロック（32KB） 4KB×8 ブロック（32KB）	8KB×8 ブロック（64KB） 32KB×2 ブロック（64KB）：TM 対象領域 32KB×28 ブロック（896KB）
書き替えコマンド	専用の書き込み/消去プログラムを内蔵	FACI コマンドを使用したセルフプログラミング
書き込み単位	128 バイト	128 バイト
消去単位	ブロック	ブロック
書き込み回数	500 回	10000 回
プログラミング モード	- オンボードプログラミング - ブートモード - ユーザプログラムモード - ユーザブートモード - オフボードプログラミング - ライターモード	- オンボードプログラミング - ブートモード（SCI インタフェース） - ブートモード（USB インタフェース） - ブートモード（FINE インタフェース） - ユーザプログラム中のコードフラッシュ書き替えルーチンによる書き替え - オフボードプログラミング - パラレルライターモード
その他	- ビットレート自動合わせ込み - RAM によるフラッシュメモリエミュレーション機能 - プロテクトモード	- セキュリティ機能（不正改ざん/不正リード防止） - プロテクション機能（誤書き替え防止） - TM 機能（不正リード防止） - スタートアップ領域選択可能 - サスペンド/レジューム機能 - ビットレート自動合わせ込み

RX651 でコードフラッシュメモリの書き換えを行う場合、FACI コマンドを使用できます。下記アプリケーションノートを参照してください。

- RX65N グループ、RX651 グループフラッシュメモリ（r01uh0602JJ）

2.16 消費電力低減機能

2.16.1 仕様比較

SH7080 グループと RX651 の各低消費電力状態への遷移および解除方法と、クロック、CPU、内蔵モジュールの動作状態を表 2.132と表 2.133に示します。

表2.132 SH7080 グループ低消費電力状態

遷移および解除方法と 動作状態	スリープモード	モジュール スタンバイ機能	ソフトウェア スタンバイモード	ディープ ソフトウェア スタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ	制御レジスタ + 命令	制御レジスタ + 命令
リセット以外の解除方法	—	制御レジスタ	割り込み	—
クロック	動作	動作	停止	停止
CPU	停止	動作	停止	停止
内蔵周辺モジュール	動作	指定モジュールが 停止	停止	停止

表2.133 RX651 低消費電力状態

遷移および解除方法と 動作状態	スリープモード	全モジュール クロックストップ モード	ソフトウェア スタンバイモード	ディープ ソフトウェア スタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令
リセット以外の解除方法	割り込み	割り込み	割り込み	割り込み
メインクロック発振器 サブクロック発振器	動作	動作	動作	動作
高速オンチップオシレータ 低速オンチップオシレータ	動作	動作	停止	停止
IWDT 専用オンチップオシレータ	動作	動作	動作	停止 (不定)
PLL	動作	動作	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM	動作 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
スタンバイ RAM	動作 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定) (注1)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
USBFS ホスト/ファンクションモ ジュール (USBb)	動作	停止	停止	停止 (保持/不定) (注1)
ウォッチドッグタイマ (WDTA)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ (IWDT)	動作	動作	動作	停止 (不定)
リアルタイムクロック (RTC)	動作	動作	動作	動作
8 ビットタイマ (TMR)	動作	動作	停止 (保持)	停止 (不定)
電圧検出回路 (LVDA)	動作	動作	動作	動作
パワーオンリセット回路	動作	動作	動作	動作
周辺モジュール	動作	停止 (保持)	停止 (保持)	停止 (不定)
I/O ポート	動作	保持	保持	保持

停止 (保持) : 内部レジスタ値保持、内部状態は動作中断

停止 (不定) : 内部レジスタ値不定、内部状態は電源オフ

注 1. 制御レジスタにて保持/不定を選択可能です。

2.16.2 モード遷移

RX651 の各モード間遷移図を図 2.40に、遷移条件を表 2.134に示します。

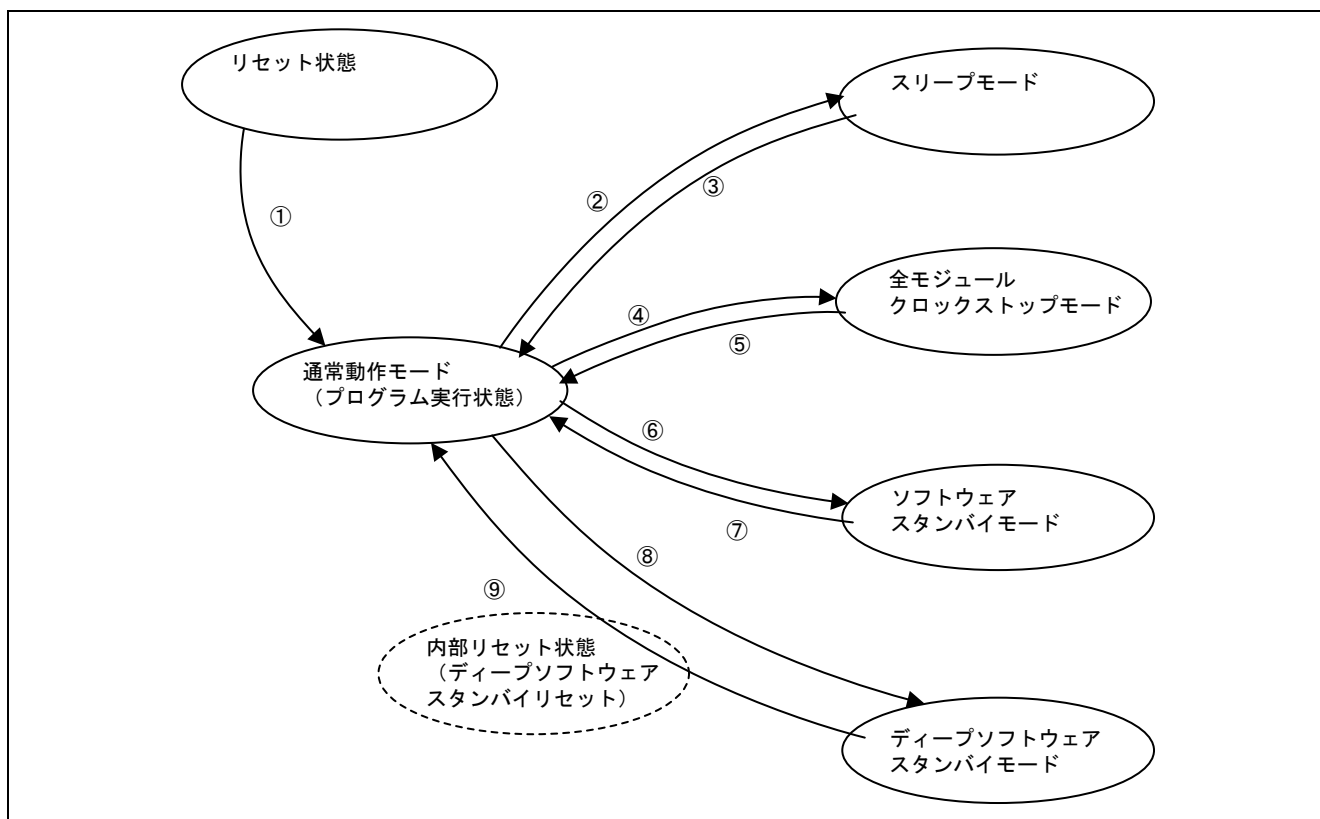


図2.40 RX651 モード遷移図

表2.134 RX651 モード遷移イベント一覧

No.	イベント事象	遷移の条件 (イベント事象前に下記条件を設定)
①	RES#端子 = High	—
②	WAIT 命令実行	SBYCR.SSBY = “0”
③	全ての割り込み	—
④	WAIT 命令実行	SBYCR.SSBY = “0”, MSTPCRA.ACSE = “1”, MSTPCRA = “FFFF FF[C-F]Fh”, MSTPCRB = “FFFF FFFFh”, MSTPCRC[31:16] = “FFFFh”, MSTPCRD = “FFFF FFFFh”
⑤	外部/周辺割り込み	外部端子割り込み (NMI, IRQ0~IRQ15) 周辺機能割り込み (8ビットタイマ、RTC アラーム、RTC 周期、IWDТ、USB サスペンド/ レジャーム、電圧監視 1、電圧監視 2、発振停止検出) (注1)
⑥	WAIT 命令実行	SBYCR.SSBY = “1”, DPSBYCR.DPSBY = “0”
⑦	外部/周辺割り込み	外部端子割り込み (NMI, IRQ0~IRQ15) 周辺機能割り込み (RTC アラーム、RTC 周期、IWDТ、USB サスペンド/レジャーム、電圧 監視 1、電圧監視 2) (注1)
⑧	WAIT 命令実行	SBYCR.SSBY = “1”, DPSBYCR.DPSBY = “1”
⑨	外部/周辺割り込み	外部端子割り込み発生元となる一部の端子 (NMI, IRQ0-DS~IRQ15-DS, SCL2-DS, SDA2-DS, CRX1-DS)、周辺機能割り込み (RTC アラーム、RTC 周期、USB サスペンド/ レジャーム、電圧監視 1、電圧監視 2) (注1) 上記割り込み発生後、内部リセット状態が一定時間発生した後、内部リセット解除ととも に、ディープソフトウェアスタンバイモードが解除され、通常動作モード、LOCO 動作で CPU は動作する。(リセットにより復帰する)

注 1. 割り込み条件に詳細な条件があります。

詳細はユーザーズマニュアル ハードウェア編を参照してください。

2.16.3 モジュールストップ状態

SH7080 グループはリセット後、RAM および ROM を除きモジュールストップ状態になるため、モジュールに対するクロックの供給を停止します。

RX651 はリセット後、DMACa、EXDMACa、DTCb、RAM を除きモジュールストップ状態になるため、モジュールに対するクロックの提供を停止します。DTCb と DMACa は、モジュールストップ設定ビット (MSTPCRA.MSTPA28) が共通の為、モジュールストップ制御が同時におこなわれます。EXDMACa はモジュールストップ設定ビット (MSTPCRA.MSTPA29) が独立しているため、個別に制御が可能です。

リセット後、モジュールストップ状態になるモジュールは、SH7080 グループ同様に、モジュール使用前にモジュールストップ状態の解除を行ってください。

RX651 のモジュールストップ状態を変更する場合は、モジュールストップコントロールレジスタ (MSTPCRn) にアクセスする前に、プロテクトレジスタ (PRCR) でレジスタライトプロテクションを解除してください。

各モジュールに対するリセット後のクロック供給状態を表 2.135 に示します。

表2.135 リセット後のクロック供給状態

機能名 ^(注1)	SH7080 グループ	RX651 ^(注2)
RAM	クロック供給 (動作)	クロック供給 (動作)
ユーザブレイクコントローラ (UBC)	クロック供給停止	—
データトランスファーコントローラ (DTC)		クロック供給 (動作)
ダイレクトメモリアクセスコントローラ (DMAC)		クロック供給停止
マルチファンクションタイマパルスユニット (MTU)		
シリアルコミュニケーションインタフェース (SCI, SCIF)		
シンクロナスシリアルコミュニケーション (SSU)		
I2C バスインタフェース (IIC)		
A/D 変換器 (ADC)		
コンペアマッチタイマ (CMT)		

注 1. SH7080 グループの機能名を記載しています

注 2. RX651 は本表以外にもモジュールストップに対応したモジュールがあります

2.16.4 ライトプロテクション

RX651 にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能があり、低消費電力低減機能関連レジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 1 (PRCR.PRC1) を '1' に設定し、書き込みを許可してください。

2.16.5 モード遷移設定例

RX651 を使用したモード遷移の設定例を以下に示します。

<仕様>

- ① RSK+RX65N を使用します。
- ② リセット後、SW3 (IRQ11-DS) を受付け可能に設定し、SW3 の押下待ちとし、以下全てのモード遷移を SW3 の押下により実現するものとします。
- ③ モード遷移の確認は MTU4 (コンペアマッチ A) と TMR のコンペアマッチの端子出力をモニタすることとで実現します。(TMR は TMR0,1 で 16 ビットタイマとして使用します)
なお、TMR は全モジュールクロックストップモード遷移時にも動作する設定とします。

注意事項

RSK+RX65N は SW3 と IRQ11-DS 端子が接続されていません。また、TMO0 端子出力を確認するために、JA2 の 13 ピンに接続する必要があります。そのため、サンプルコードを用いたデバッグを行う場合は、以下のように RSK+RX65N の改造が必要です。

(改造内容)

- SW3 に接続している JA1 の 8 ピンと IRQ11-DS 端子に接続している JA1 の 12 ピンを接続する。
- ボードに実装されている R278 (0Ω 抵抗)を取り除き、未実装の R186 (0Ω 抵抗) を実装する。

モード遷移と各モジュール動作を表 2.136 に示します。

表2.136 RX651 モード遷移設定動作仕様

No	SW3 押下	状態遷移	LED2 (GPIO)	LED3 (GPIO)	MTIOC4A 端子	TMO0 端子
1	なし	端子 RES⇒通常動作モード	点滅	消灯	トグル出力	トグル出力
2	1 回目	SLEEP モード	保持		トグル出力	トグル出力
3	2 回目	通常動作モード	点滅		トグル出力	トグル出力
4	3 回目	全モジュールクロックストップモード	保持		停止保持	トグル出力
5	4 回目	通常動作モード	点滅		トグル出力	トグル出力
6	5 回目	ソフトウェアスタンバイモード	保持		停止保持	停止保持
7	6 回目	通常動作モード	点滅		トグル出力	トグル出力
8	7 回目	ディープソフトウェアスタンバイモード	不定	点灯	停止不定	停止不定
9	8 回目	ディープソフトウェアスタンバイモード ⇒通常動作モード	消灯		停止	停止

注. 通常モードに復帰する際は、MTU、TMR とともに初期化をします。

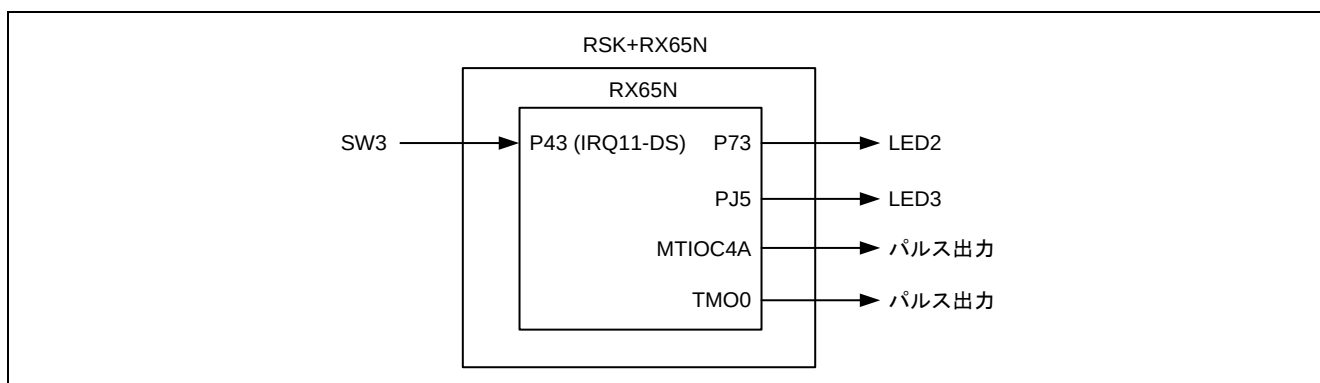


図2.41 モード遷移設定 接続仕様

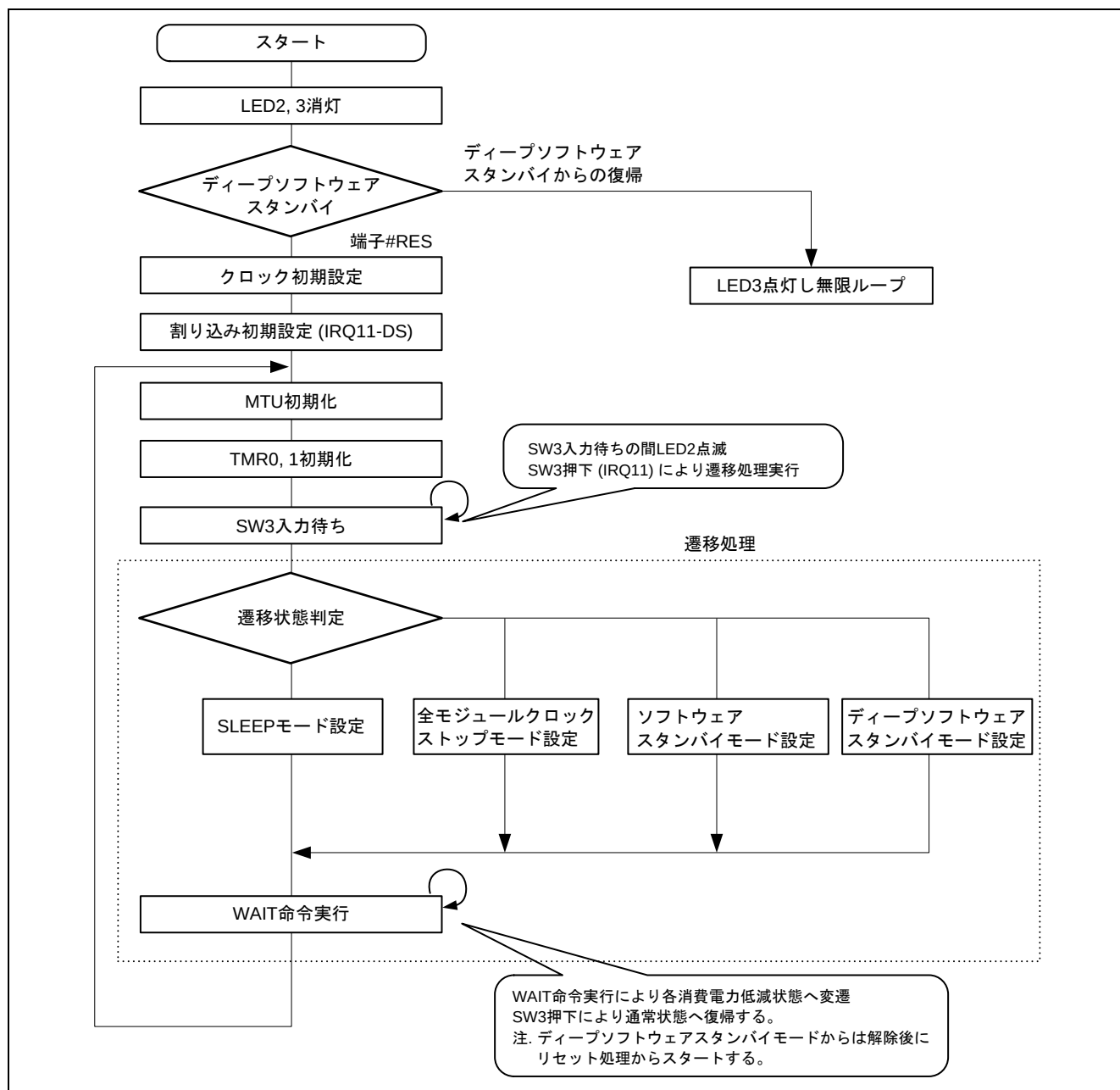
表2.137 設定仕様

項目	内容	備考
CPU		
プロセッサモード	スーパバイザモード	
TMR0, TMR1		
カウントクロック	PCLKB/1	PCLKB=60MHz
動作モード	16 ビットカウンタモード (TMR0,1 をカスケード接続で使用)	
カウンタクリア指定	コンペアマッチ A によりクリア	
割り込み	コンペアマッチ A/B 禁止 オーバフロー割り込み禁止 (割り込みコントローラでも禁止)	
TCORA 設定値	EA5Fh (1ms 周期)	TMR0+TMR1
出力選択	反転出力	
使用端子	P22/TMO0	パルス出力用
SW3 (IRQ11-DS)		
SW3 (IRQ11-DS)	モード遷移のトリガ SW として使用 P43/IRQ11-DS	
割り込みプライオリティ	レベル 15	
デジタルノイズフィルタ	使用 (注 1)	
ディープソフトウェア スタンバイ復帰	SW3 の信号をディープソフトウェアスタンバイ解除 信号として使用するため、P43 へ接続します。 (注 2)	
LED		
LED2	SW3 押下待ち時(通常状態時)に点滅	P73
LED3	ディープソフトウェアスタンバイから復帰時に点灯	PJ5
MTU4 使用端子		
コンペアマッチ A 出力端子	PA0/MTIOC4A	パルス出力用

注 1. 通常動作モードから各低消費電力状態のモードへ遷移時はデジタルノイズフィルタを使用します。
復帰時はデジタルノイズフィルタを使用しません。

注 2. SW3 はデフォルトでは P43 (IRQ11-DS) へ接続されていません。

図 2.42にモード遷移処理のフローチャートを示します。



モード遷移に伴う各設定を以下に示します。

なお、MTU4 の設定については「表 2.37 MTU アウトプットコンペアマッチ初期設定例」を参照してください。

表2.138 LED2, 3 設定（初期の消灯）

手順		設定例
1	GPIO 設定 (LED2, 3 消灯)	PORT7.PODR.B3=1 (LED2 消灯) PORT7.PDR.B3=1 (出力設定) PORT7.PMR.B3=0 (GPIO) PORTJ.PODR.B5=1 (LED3 消灯) PORTJ.PDR.B5=1 (出力設定) PORTJ.PMR.B5=0 (GPIO)

表2.139 割り込み初期設定例（IRQ11-DS の設定）

手順		設定例
1	割り込み設定端子設定	PORT4.PDR.B3=0 (P43 入力設定) PORT4.PMR.B3=0 (P43GPIO 設定) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P43PFS.ISEL=1 (割り込み機能設定 IRQ11-DS) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1
2	割り込み許可、その他	IRQCR11.IRQMD[1:0]=01b (IRQ 検出：立ち下がり検出) IRQFLTE1.FLTEN11=1 (IRQ11 デジタルノイズフィルタ有効) IRQFLTC1.FCLKSEL11[1:0]=11b (デジタルノイズフィルタサンプリング PCLKB/64) ICU.IPR075=0Fh (割り込みレベル 15) ICU.IR075=0 (割り込みフラグクリア) ICU.IER09.IEN3=1 (IRQ11 許可)

表2.140 TMR0,1 設定例（カスケード接続 16 ビットタイマ、コンペアマッチ A トグル出力）

手順		設定例
1	TMR0, 1 モジュール ストップ解除	SYSTEM.PRCR.WORD=A502h; SYSTEM.MSTPCRA.MSTPA5=0 SYSTEM.PRCR.WORD=A500h;
2	TMR タイマクリア、停止	TMR0.TCNT=00h (TMR0 TCNT クリア) TMR1.TCNT=00h (TMR1 TCNT クリア) TMR0.TCCR=00h (TMR0 クロック停止) TMR1.TCCR=00h (TMR1 クロック停止)
3	TMO0 IO 設定	PORT2.PDR.B2=1 (P22 出力設定) PORT2.PMR.B2=0 (P22GPIO 設定) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P22PFS=05h (P22 端子 TMO0 に設定) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1 PORT2.PMR.B2=1 (周辺モジュールとして使用設定)
4	TCORA 設定	TMR0.TCORA=EAh TMR1.TCORA=5Fh

手順		設定例
5	TCR 設定	TMR0.TCR.CCLR[1:0]=01b (コンペアマッチ A によりクリア) TMR0.TCR.OVIE=0 (オーバーフロー割り込み要求禁止) TMR0.TCR.CMIEA=0 (コンペアマッチ A 割り込み要求禁止) TMR0.TCR.CMIEB=0 (コンペアマッチ B 割り込み要求禁止) TMR1.TCR はデフォルトのまま
6	TCSR 設定	TMR0.TCSR.OSA[1:0]=11b (TMO0 端子反転出力) TMR1.TCSR はデフォルト設定
7	TCCR 設定 (TCNT スタート)	TMR0.TCCR.CSS[1:0]=11b (TMR1.TCNT のオーバーフロー信号でカウント) TMR1.TCCR.CKS[2:0]=000b (PCLKB でカウント⇒CKS と CSS の組み合わせ) TMR1.TCCR.CSS[1:0]=01b

表2.141 スリープモード設定例

手順		設定例
1	プロテクト解除	SYSTEM.PRCR=A503h (プロテクト解除)
2	スタンバイコントロールレジスタ設定	SYSTEM.SBYCR.SSBY=0 (スリープモードに移行)
3	プロテクト設定	SYSTEM.PRCR=A500h (プロテクト設定)

表2.142 全モジュールクロックストップモード設定例

手順		設定例
1	プロテクト解除	SYSTEM.PRCR=A503h (プロテクト解除)
2	スタンバイコントロールレジスタ設定	SYSTEM.SBYCR.SSBY=0 (スリープモードに移行) SYSTEM.SBYCR.OPE=0 (バス出力ハイインピーダンス)
3	モジュールストップレジスタ A,B,C,D 設定	SYSTEM.MSTPCRA.ACSE=1 (全モジュールクロックストップ許可設定) SYSTEM.MSTPCRA=FFFF FFDfH (モジュールストップ状態へ遷移 TMR0,1 を除く) SYSTEM.MSTPCRB=FFFF FFFFh (モジュールストップ状態へ遷移) SYSTEM.MSTPCRC=FFFF 0000h (RAM 以外モジュールストップ状態へ遷移) SYSTEM.MSTPCRD=FFFF FFFFh (モジュールストップ状態へ遷移)
4	プロテクト設定	SYSTEM.PRCR=A500h (プロテクト設定)

表2.143 ソフトウェアスタンバイ設定例

手順		設定例
1	プロテクト解除	SYSTEM.PRCR=A503h (プロテクト解除)
2	スタンバイコントロールレジスタ設定	SYSTEM.SBYCR.SSBY=1 (ソフトウェアスタンバイ許可) SYSTEM.SBYCR.OPE=0 (バス出力ハイインピーダンス)
3	ディープソフトウェアスタンバイ設定	SYSTEM.DPSBYCR.DPSBY=0 (ディープソフトウェアスタンバイ禁止)
4	プロテクト設定	SYSTEM.PRCR=A500h (プロテクト設定)

表2.144 ディープソフトウェアスタンバイ設定例

手順		設定例
1	プロテクト解除	SYSTEM.PRCR=A503h (プロテクト解除)
2	スタンバイコントロールレジスタ設定	SYSTEM.SBYCR.SSBY=1 (ソフトウェアスタンバイ許可) SYSTEM.DPSBYCR.DEEPCUT[1:0]=01b (ディープソフトウェアスタンバイモード時、スタンバイ RAM と USB レジューム検出部に電源を供給しない) SYSTEM.SBYCR.OPE=0 (バス出力ハイインピーダンス) SYSTEM.DPSBYCR.IOKEEP=0 (ディープソフトウェアスタンバイモードの解除と同時に I/O ポートの保持を解除)
3	ディープソフトウェアスタンバイ設定	SYSTEM.DPSBYCR.DPSBY=1 (ディープソフトウェアスタンバイ許可) SYSTEM.DPSIER1.DIRQ11E=1 (IRQ11-DS によるディープソフトウェアスタンバイ許可)
4	ディープソフトウェアスタンバイインタラプトフラグクリア	SYSTEM.DPSIFR1.DIRQ11F=0 (IRQ11-DS 端子による解除要求フラグクリア)
5	プロテクト設定	SYSTEM.PRCR=A500h (プロテクト設定)

3. サンプルコードについて

3.1 動作環境

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表3.1 動作環境

項目	内容
使用マイコン	R5F565N9 (RX65N Group)
動作周波数	メインクロック: 24MHz サブクロック: 32.768kHz PLL: 240MHz (メインクロック 1 分周 10 通倍) HOCO: 停止 システムクロック (ICLK): 120MHz (PLL 2 分周) 周辺モジュールクロック A (PCLKA): 120MHz (PLL 2 分周) 周辺モジュールクロック B (PCLKB): 60MHz (PLL 4 分周) 周辺モジュールクロック C (PCLKC): 60MHz (PLL 4 分周) 周辺モジュールクロック D (PCLKD): 60MHz (PLL 4 分周) 外部バスクロック (BCLK): 60MHz (PLL 4 分周) USB クロック (UCLK): 48MHz (PLL 5 分周)
動作電圧	3.3V
統合開発環境	ルネサスエレクトロニクス製 e ² studio 2020-10
C コンパイラ	ルネサスエレクトロニクス製 RX ファミリー用 C/C++コンパイラパッケージ (V.3.02.00)
CPU シリーズ(タイプ)	RX600 (RX65N)
最適化	2 (モジュール全体の最適化を行う) 最適化のタイプ: サイズ優先
iodefine.h のバージョン	1.0C
エンディアン	リトルエンディアン
動作モード	シングルチップモード (SDRAM 使用時のみ内蔵 ROM 有効拡張モード)
プロセッサモード	スーパバイザモード
使用ボード	Renesas Starter Kit+ for RX65N (製品型名: RTK500565NS10000BE)

注 元のプロジェクトで指定するツールチェーン(C コンパイラ)と同一のバージョンがインポートする先がない場合は、ツールチェーンが選択されない状態になり、エラーが発生します。プロジェクトの設定画面でツールチェーンの選択状態を確認してください。

選択方法は、FAQ 3000404 を参照してください。

FAQ 3000404 :インポートしたプロジェクトをビルドすると「PATH でプログラム “make” が見つかりません」エラーになる(e² studio)

3.2 サンプルコードの構成

以下にサンプルコードの構成を示します。

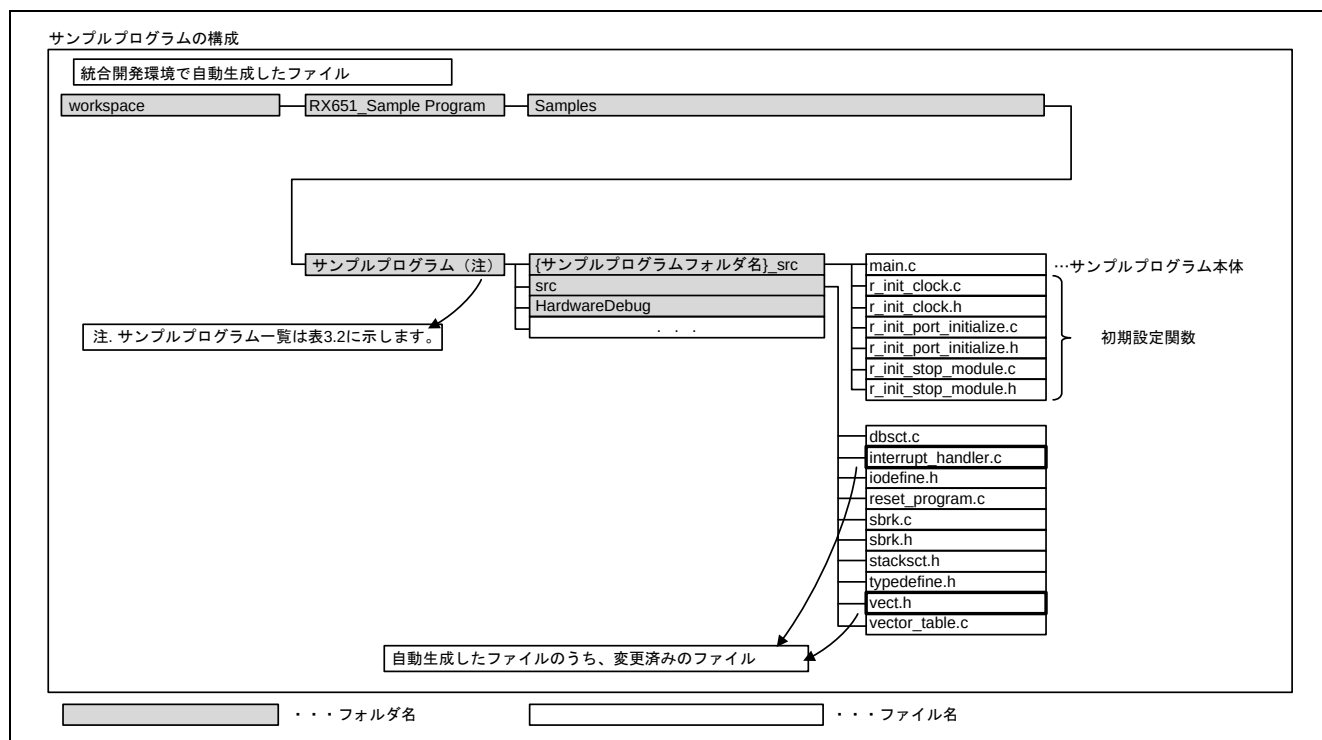


図3.1 サンプルコードの構成

■初期設定について

アプリケーションノートの初期設定関数は「RX65N グループ、RX651 グループ初期設定例 Rev.1.00」のサンプルコードを使用しています。Rev は本アプリケーションノート作成時点のものです。

なお、RX65N グループ、RX651 グループは、ドライバ/ミドルウェア(Firmware Integrate Technology)およびサンプルコード生成ツール(Code Generator)に対応しているため、それらを使用することで開発期間の短縮が可能です。

■自動生成したファイルの内変更が必要な項目

main.c で割り込み宣言、ベクタ登録、及び、割り込み処理を記載しています。自動生成されたファイルのうち interrupt_handlers.c、vect.h には main.c の設定と内容と重複する部分が存在するため下記の変更をしています。

- interrupt_handlers.c : main.c で設定した割り込み処理をコメントアウト
- vect.h : vect.h の割り込み関数の宣言、およびベクタ登録をコメントアウト

表3.2 サンプルコード一覧

サンプルプロジェクト名	関連項目
BSC_sdram_read_write	2.3.3
DTC_normal_transfer_mode	2.5.7
DMA_normal_transfer_mode	2.6.11
MTU_compare_match	2.7.5
MTU_input_capture	2.7.6
SCI_asynchronous_interrupt	2.10.6
SCI_asynchronous_polling	2.10.6
SCI_sync_master_transmit_int	2.10.7
SCI_sync_master_transmit_pol	2.10.7
SCI_sync_slave_receive_int	2.10.8
SCI_sync_slave_receive_pol	2.10.8
SCIF_asynchronous_interrupt	2.10.9
SCIF_sync_master_transmit_int	2.10.10
SCIF_sync_slave_receive_int	2.10.11
SPI_4wire_master_transceiver	2.11.8
SPI_3wire_master_transmit	2.11.9
SPI_3wire_slave_receive	2.11.10
IIC_master_transceiver	2.12.10
IIC_slave_transceiver	2.12.11
AD_continuous_scan_multi_ch	2.13.7
CMT_compare_match	2.14.5
Low_power_consumption_mode	2.16.5

4. 参考資料

4.1 参考資料

本資料を作成するうえで参照した資料をまとめました。下記資料を参照するに当たり、最新版の資料がある場合、最新版に差し替えて使用してください。最新版はルネサスエレクトロニクスホームページで確認および入手してください。

表4.1 参考資料

SH7080 グループ ユーザーズマニュアル ハードウェア編 (R01UH0198JJ0600)
SH-1/SH-2/SH-DSP ソフトウェアマニュアル (RJJ09B0228-0700)
RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 (R01UH0590JJ0100)
RX ファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編 (R01US0071JJ0100)
SH7086 CPU ボード M3A-HS86 ユーザーズマニュアル (RJJ10J0890)
RX65N グループ Renesas Starter Kit+ ユーザーズマニュアル (R20UT3558JG)
Renesas Starter Kit+ for RX65N CPU Board Schematics (R20UT3557EG)
RX65N グループ、RX651 グループ 初期設定例 (R01AN3034JJ)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2017.10.19	—	初版発行
1.10	2020.12.21	—	toolchain version の更新

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力ブルアップ電源を入れないでください。入力信号や入出力ブルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。