

RX651 グループ

SH7044⇒RX651 マイコン移行ガイド

要旨

本アプリケーションノートは、SH7044 から RX651 への置き換えを行う場合の注意点、並びに相違点等を説明しています。なお、各機能の詳細な情報は最新のユーザーズマニュアル ハードウェア編にてご確認ください。

動作確認デバイス

RX651

目次

1. CPU アーキテクチャ	2
2. 内蔵機能	28
3. サンプルコードについて	84
4. 参考資料	85

1. CPU アーキテクチャ

1.1 レジスタ

SH7044 と RX651 のレジスタの相違点を以下に示します。

1.1.1 汎用レジスタ

SH7044 と RX651 は、ともに 32 ビット長の汎用レジスタを 16 本備えています。相違点としては、スタックポインタ（SP）として使用されるレジスタが異なります。

- SH7044 : R15
- RX651 : R0

汎用レジスタ相違点を図 1.1 に示します。SH7044 側の R0 は、インデックスレジスタとしても使用します。

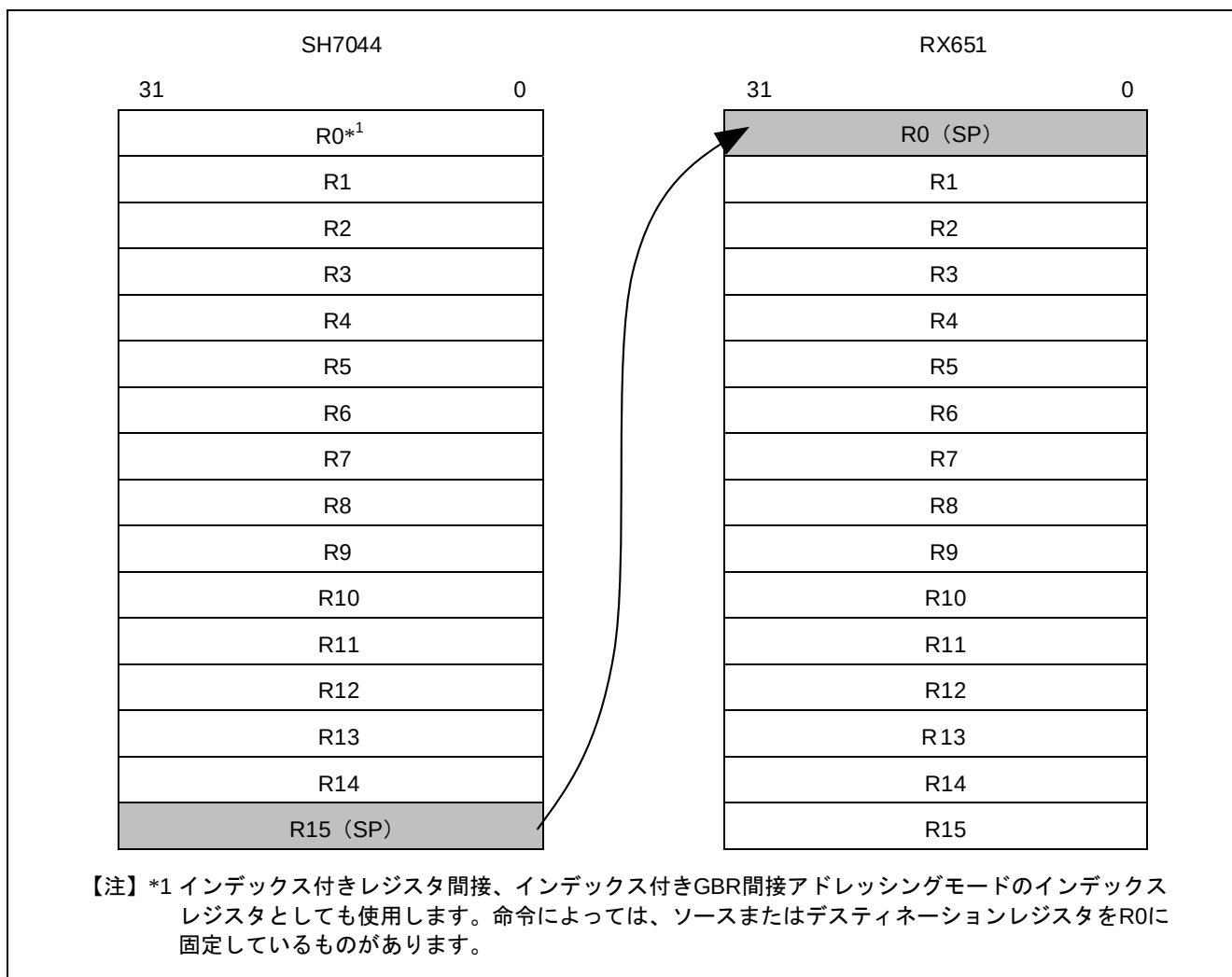


図 1.1 汎用レジスタ相違点

1.1.2 制御レジスタ

SH7044 と RX651 の制御レジスタは図 1.2 制御レジスタの相違点に示す様な相違点があります。

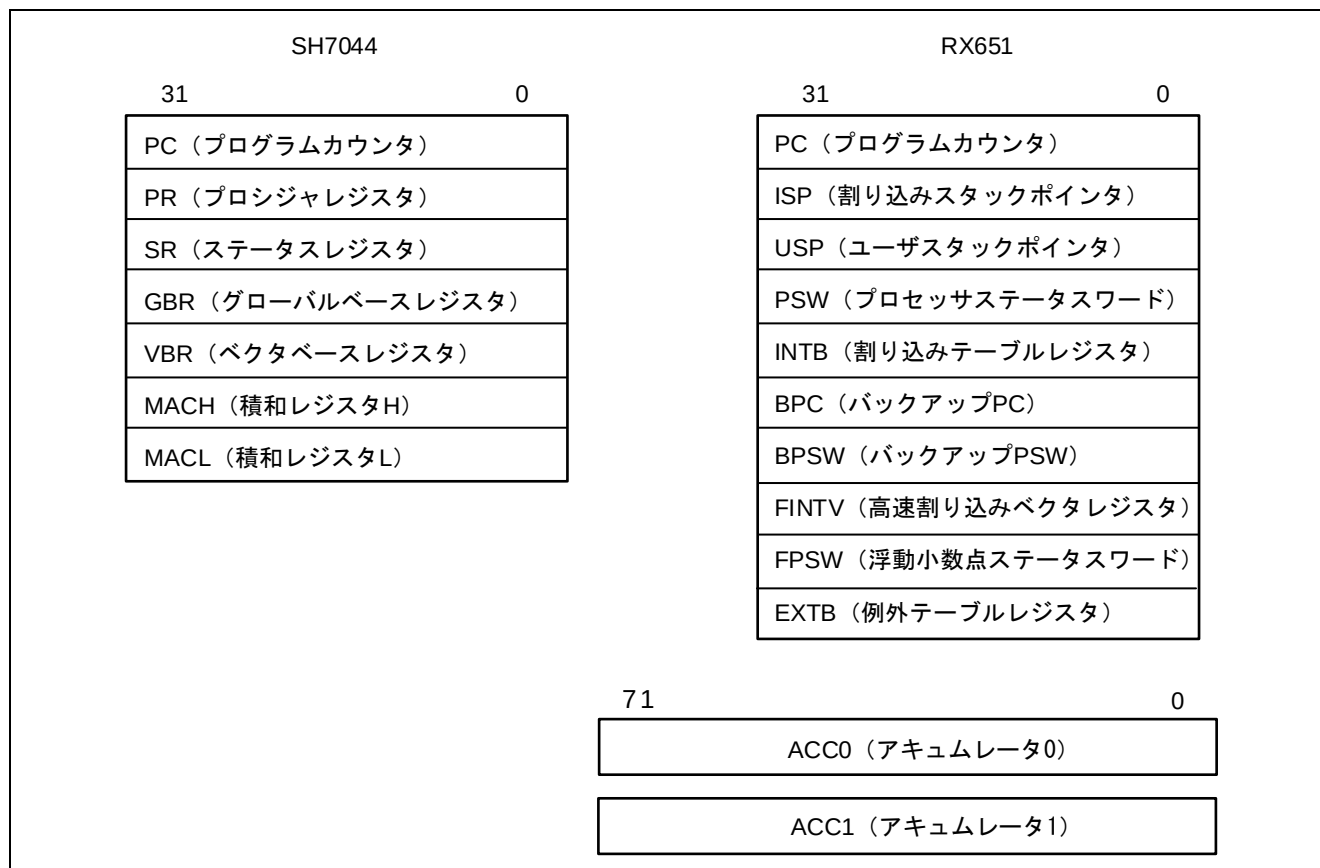


図 1.2 制御レジスタの相違点

SH7044 の PR および GBR に相当するレジスタは RX651 にはありません。SH7044 の MACH および MACL に相当するレジスタとして、RX651 には ACC が 있습니다。以下に、SH7044 にはない RX651 の制御レジスタについて概要を示します。

表 1.1 SH7044 グループ にはない RX651 の制御レジスタ

レジスタ名	説明
割り込みスタックポインタ (ISP) ユーザスタックポインタ (USP)	RX651 は 2 種類のスタックポインタを持ちます。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。
割り込みテーブルレジスタ (INTB) *1	可変ベクタテーブルの先頭アドレスを指定します。
バックアップ PC/バックアップ PSW (BPC/BPSW)	RX651 は通常割り込みと高速割り込みがあります。高速割り込みでは、PC と PSW の内容を専用レジスタ (BPC と BPSW) へ退避するため、レジスタ退避の処理時間を短縮することが可能です。なお、BPC、BPSW は多重割り込みには対応していません。
高速割り込みベクタレジスタ (FINTV)	高速割り込み発生時のジャンプ先を指定するレジスタです。
浮動小数点ステータスワード (FPSW)	RX651 内蔵 FPU の演算結果 (浮動小数点演算結果) の各種ステータスを示すレジスタです。
例外テーブルレジスタ (EXTB)	可変ベクタテーブルの先頭アドレスを指定します。

【注】 *1 機能は SH7044 の VBR と同等です。

- ステータスレジスタの相違点

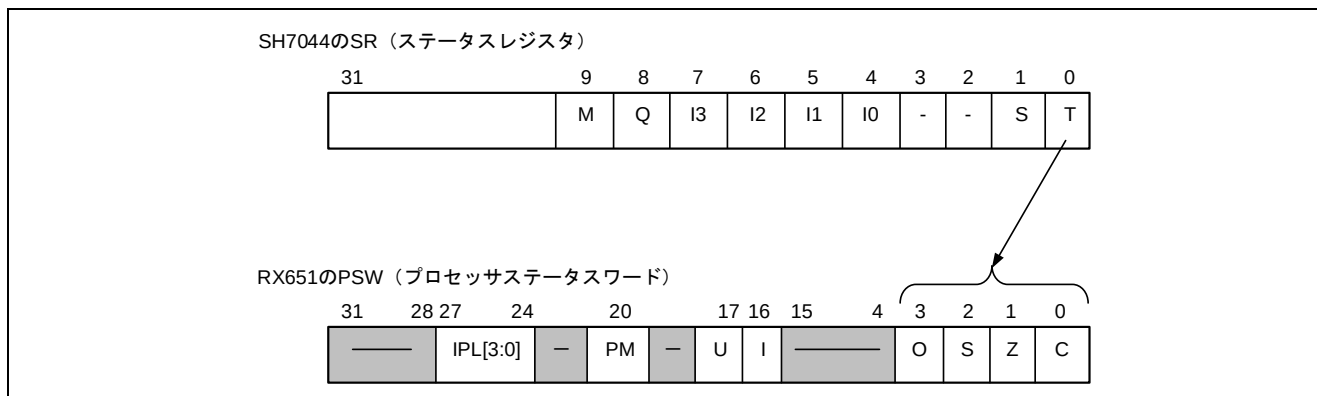


図 1.3 SR (SH7044) と PSW (RX651) の相違点

表 1.2 SR (SH7044) と PSW (RX651) の相違点

SR ビット名	PSW ビット名	説明
T	C	SH7044 の T ビットで示される演算結果（真偽やキャリ等）は、RX651 では C,Z,S,O の 4 つのフラグで示されます。 C：キャリフラグ（0/1=キャリ発生なし/キャリ発生あり） Z：ゼロフラグ S：サイン O：オーバフローフラグ
	Z	
	S	
	O	
S	—	SH7044 の DSP ユニットで実行される ALU 算術演算におけるオーバフロー防止機能を制御します。 RX651 には S ビットに相当するビットはなく、浮動小数点演算でのオーバフロー発生時は FPSW のフラグで通知されます。またオーバフロー発生時に例外処理を行うことも可能です。
I0,I1,I2,I3	IPL[3:0]	割り込みマスクビットです。 SH7044、RX651 共に 0（最低）～15（最高）レベルが設定可能で、この設定よりも優先レベルが高い割り込みだけが受け付けられます。
Q	—	SH7044 の Q ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX651 には相当するビットはありません。
M	—	SH7044 の M ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX651 には相当するビットはありません。
—	I	割り込み許可ビット 0：割り込みを許可しない 1：割り込みを許可する RX651 で割り込み要求の受け付けを許可するビットです。初期状態は“0”のため、割り込みを受け付ける場合は本ビットを“1”に設定する必要があります。また例外を受け付けると、このビットは“0”になり、その間割り込みは受け付けません。 このビットの設定に関係なく、割り込み要求発生時は、割り込みコントローラの割り込みステータスフラグはリセットされます。
—	U	RX651 で使用するスタックポインタを指定するビットです。 0：割り込みスタックポインタ（ISP） 1：ユーザスタックポインタ（USP） 例外を受け付けると、このビットは“0”になります。
—	PM	RX651 でプロセッサモードを設定するビットです。 0：スーパーバイザモード 1：ユーザモード 例外を受け付けると、このビットは“0”になります。

1.2 オプション設定メモリ (OFSM)

RX651 には、リセット後の MCU 状態を決定するレジスタを備えたオプション設定メモリがあります。オプション設定メモリの設定方法はユーザーズマニュアル ハードウェア編を参照してください。

1.2.1 オプション設定メモリの概要

オプション設定メモリ (OFSM) は、以下に示すレジスタ (詳細はユーザーズマニュアル ハードウェア編を参照) の総称です。

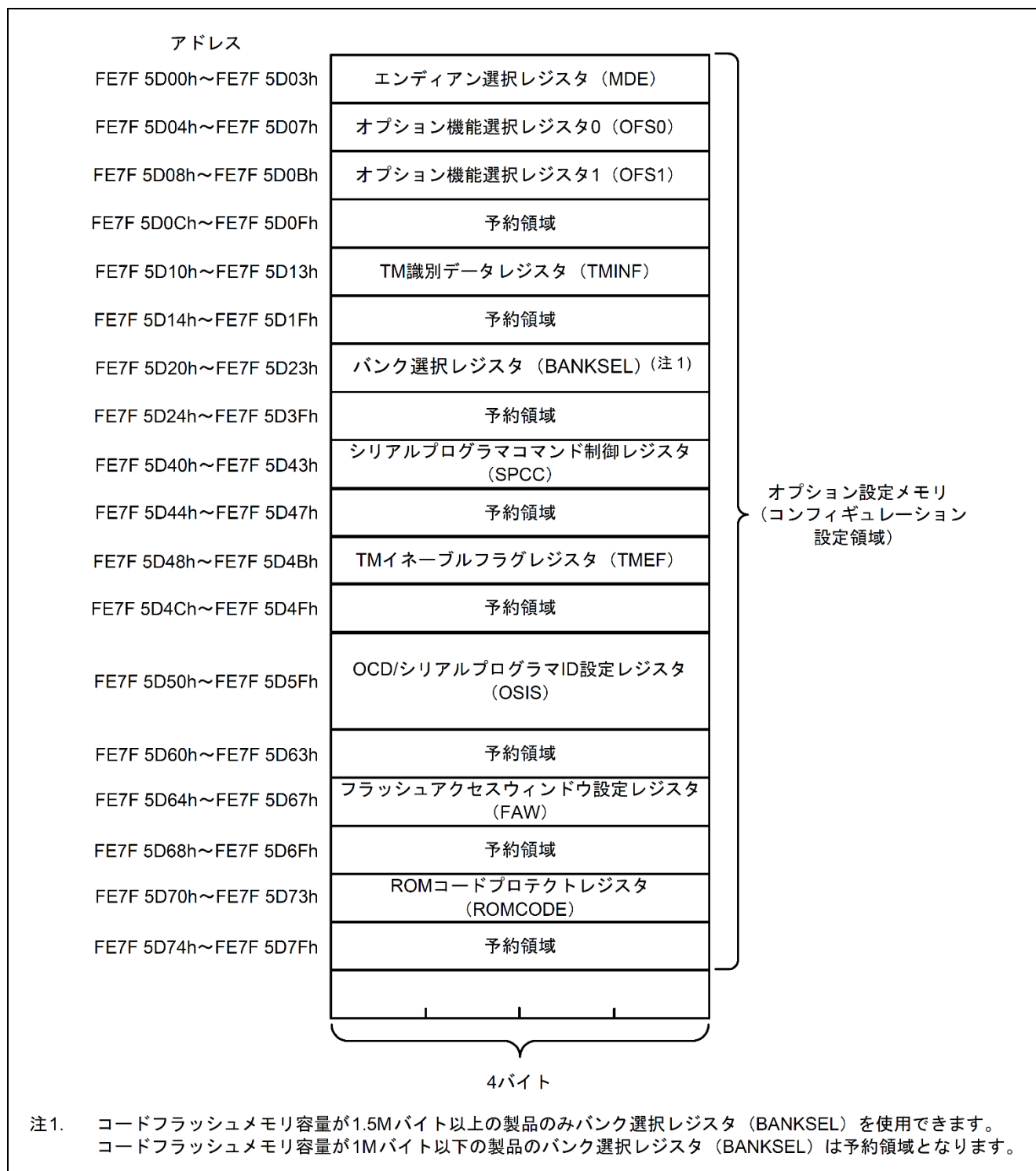


図 1.4 オプション設定メモリ

1.2.2 エンディアンの設定

SH7044 は、ビッグエンディアン固定です。RX651 は、命令はリトルエンディアン固定、データ配置はリトルエンディアン、ビッグエンディアンから選択できます。このエンディアン設定は、オプション設定メモリの MDE レジスタのエンディアン選択ビット MDE[2:0]で設定します。

SH7044 から RX651 に置き換える際にビッグエンディアンを使用する場合、ルネサス純正コンパイラのオプション設定でビッグエンディアンを指定することができ、プログラム上でエンディアンを意識せずに移行可能です。

外部アドレス空間では、CS 領域ごとにエンディアン設定を切り替えられます。但し、外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。（詳細はユーザーズマニュアル ハードウェア編を参照）

実際には図 1.5 コンパイラオプションによるエンディアン指定 エンディアン設定例の様なコードは、コンパイラオプションの設定で自動的に生成されます。

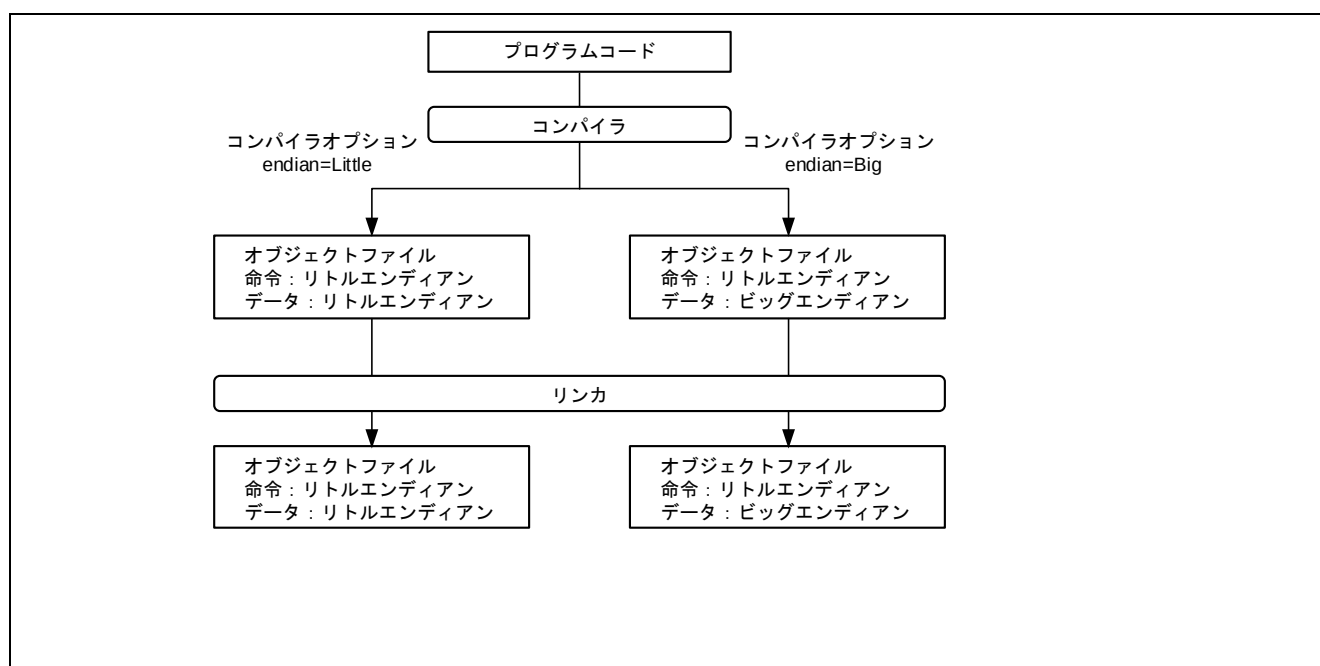


図 1.5 コンパイラオプションによるエンディアン指定

1.3 リセット機能

1.3.1 リセット要因

SH7044 と RX651 のリセット要因を表 1.3 リセット要因に示します。

表 1.3 リセット要因

	SH7044	RX651
リセット種別	• パワーオンリセット（端子リセット） • マニュアルリセット（端子リセット）	• RES#端子リセット • パワーオンリセット（内部リセット） • 電圧監視 0 リセット • 電圧監視 1 リセット • 電圧監視 2 リセット • ディープソフトウェアスタンバイリセット • 独立ウォッチドッグタイマリセット • ウォッチドッグタイマリセット • ソフトウェアリセット

(1) リセットベクタの構成

SH7044 はパワーオンリセット用とマニュアルリセット用のベクタ*1（PC および SP）が別々に存在します。

RX651 は複数のリセット要因に対して、リセットベクタはひとつです。リセット処理内でリセットステータスレジスタ 0～2 にてリセット要因判定を行い、要因別の処理を行います。

(2) スタックポインタ

SH7044 ではリセットベクタにスタック領域の最後尾（+1）の番地を設定する必要があります。RX651 では、ベクタテーブルにスタックポインタの設定領域がないので、ISP と USP に設定する必要があります。

【注】 *1 ベクタテーブルに関しては、1.7.4 節のベクタ構成を参照

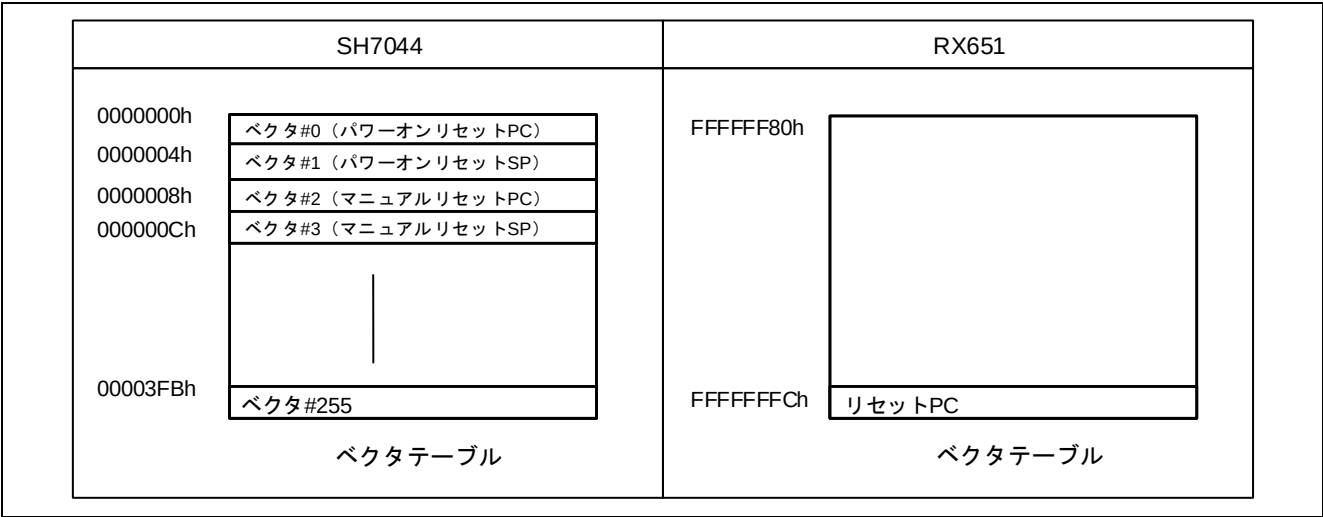


図 1.6 SH7044 と RX651 のリセットベクタ

1.3.2 リセット要因と初期化範囲

SH7044 と RX651 ではリセット要因に対する初期化範囲も異なります。SH7044 のリセット種別と初期化範囲を表 1.4 SH7044 リセット要因と初期化範囲 に、RX651 のリセット種別と初期化範囲（詳細はユーザーズマニュアル ハードウェア編を参照）を表 1.5 RX651 リセット要因と初期化範囲 に示します。

表 1.4 SH7044 リセット要因と初期化範囲

項目	パワーオンリセット	マニュアルリセット
CPU	○	○
内蔵周辺モジュール	○	—

○：初期化する —：初期化しない

表 1.5 RX651 リセット要因と初期化範囲

リセット対象	リセット要因								
	RES#端子 リセット	パワーオン リセット	電圧監視 0 リセット	独立ウォッチ ドッグタイ マリセッ ト	ウォッチ ドッグタイ マリセッ ト	電圧監視 1 リセット	電圧監視 2 リセット	ディープソ フトウェア スタンバイ リセット	ソフトウェ アリセッ ト
パワーオンリセット検出フラグ	○	—	—	—	—	—	—	—	—
コールドスタート/ ウォームスタート判別フラグ	—	○	—	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ	○	○	—	—	—	—	—	—	—
独立ウォッチドッグタイマ リセット検出フラグ	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマの レジスタ	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマ リセット検出フラグ	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマの レジスタ	○	○	○	○	—	—	—	○	—
電圧監視 1 リセット検出フラグ	○	○	○	○	○	—	—	—	—
電圧監視機能 1 のレジスタ	○	○	○	○	○	—	—	*1	—
電圧監視 2 リセット検出フラグ	○	○	○	○	○	○	—	—	—
電圧監視機能 2 のレジスタ	○	○	○	○	○	○	—	*2	—
ディープソフトウェアスタンバイ リセット検出フラグ	○	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ	○	○	○	○	○	○	○	○	—
リアルタイムクロックの レジスタ	—	—	—	—	—	—	—	—	—
高速オンチップオシレータ関連の レジスタ	○	○	○	○	○	○	○	—	○
メインクロック発振器関連の レジスタ	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連の レジスタ	○	○	○	○	○	○	○	—	○
上記以外のレジスタ、 CPU および内部状態	○	○	○	○	○	○	○	○	○

○：初期化する —：変化しない

【注】 *1 LVD1CR1、LVD1SR のみ初期化する

*2 LVD1CR2、LVD2SR のみ初期化する

1.4 クロック設定

1.4.1 クロック源

SH7044 と RX651 のクロック源一覧とクロック発生回路を示します。

表 1.6 SH7044 RX651 クロック源一覧

SH7044	RX651
発振器 (EXTAL、XTAL) + PLL 回路	- メインクロック発振器 (EXTAL、XTAL) + PLL 周波数シンセサイザ - サブクロック発振器 (XCIN、XCOUT) - 高速オンチップオシレータ (HOCO) - 低速オンチップオシレータ (LOCO) - IWDT 専用オンチップオシレータ

以降、高速オンチップオシレータは HOCO、低速オンチップオシレータは LOCO と呼びます。

1.4.2 クロック発生回路

SH7044 はソフトによるクロックの制御は行いません。各周辺装置等はシステムクロック ϕ またはプリスケアラ生成クロックに同期して動作します。RX651 は多様なクロックをソフトウェアで制御して動作します。

RX651 はリセット後、LOCO をクロックソースとして動作します。システムの初期化において、LOCO 以外の必要なクロックソースおよび PLL を動作させ、システムクロックやバスクロックを始めとする各種クロックを選択します。クロック関連の設定を変更する場合はレジスタ設定順序と、発振およびクロック発振安定時間を考慮する必要があります。

クロック設定手順の詳細については以下のアプリケーションノートを参照してください。

RX65N グループ、RX651 グループ 初期設定例 (R01AN3034JJ0211)

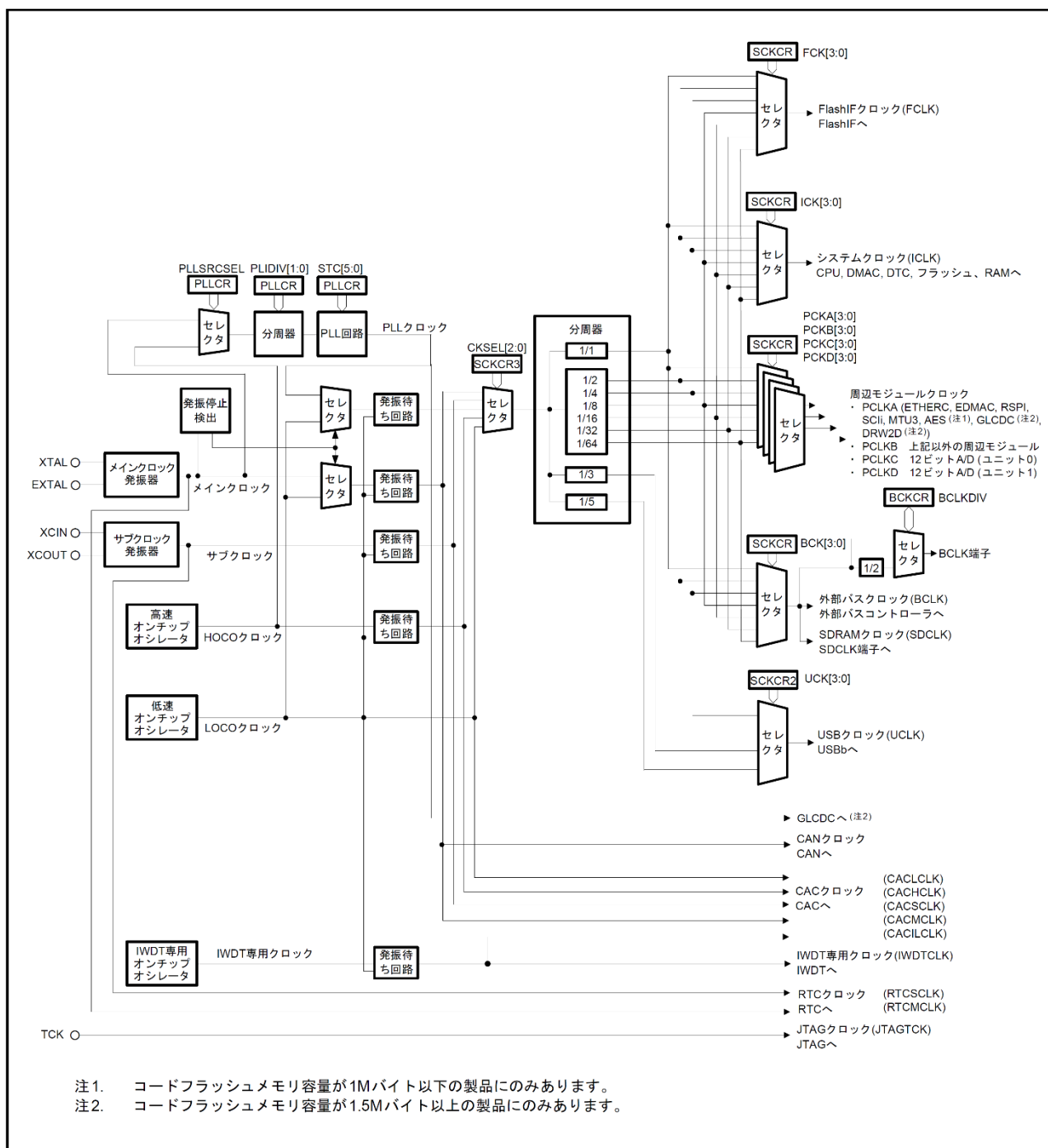


図 1.7 RX651 クロック発生回路

1.5 動作モード

1.5.1 動作モードの比較

以下に、SH7044 と RX651 の動作モードの比較表を示します。

各動作モードの詳細仕様についてはユーザーズマニュアル ハードウェア編を参照してください。

表 1.7 動作モードの比較

SH7044 の動作モード	RX651 の動作モード	モードの説明
MCU モード 0	内蔵 ROM 無効拡張モード	内蔵 ROM 無効で外部アドレス空間が有効な動作モード。SH7044 のモード 0 とモード 1 は外部バス幅の違い。
MCU モード 1		
MCU モード 2	内蔵 ROM 有効拡張モード	内蔵 ROM 有効で外部アドレス空間も有効なモード
シングルチップモード	シングルチップモード	内蔵 ROM 有効で外部アドレス空間は無効なモード
ブートモード	ブートモード (SCI インタフェース)	MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモード。 調歩同期式シリアルインタフェース(SCI1)を使用して、MCU 外部から内蔵フラッシュメモリを書き換えることができる。
ユーザプログラムモード	SH7044 と同等の機能を通常の動作モードで実現可能	FWP 端子値の設定変更のみで遷移し、あらかじめユーザが用意した、書き込み/消去制御プログラムで内蔵フラッシュメモリを書き換えるモード。RX651 も通常の動作モード時にこれと同等の機能を実現可能だが、端子の変更は不要。
PROM モード	エミュレータ等によりオンボードの RX のプログラム書き換えは可能です。	PROM モードは、汎用 PROM ライタを使って内蔵 ROM へプログラムすることができます。
ライターモード	エミュレータ等によりオンボードの RX のプログラム書き換えは可能です。	ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。
—	ブートモード (USB インタフェース)/ (FINE インタフェース)	MCU 内部の専用領域に格納されたフラッシュメモリ書き換えプログラムが（ブートプログラム）動作するモード。 USB または FINE を使用して、MCU 外部から内蔵フラッシュメモリを書き換えることができる。

1.5.2 メモリの比較

内蔵 ROM 有効モード（RX651 の内蔵 ROM 有効拡張モード）でのメモリマップの比較を図に示します。

SH7044 内蔵ROM有効モード			RX651 内蔵ROM有効拡張モード		
0000	0000h	内蔵ROM	0000	0000h	内蔵RAM
0004	0000h	予約領域	0004	0000h	予約領域
			0008	0000h	周辺I/Oレジスタ
			000A	4000h	スタンバイRAM
			000A	6000h	周辺I/Oレジスタ
			0010	0000h	内蔵ROM (E2データフラッシュ)
			0010	8000h	予約領域
0020	0000h	CS0領域	007E	0000h	FACIコマンド発行領域
0040	0000h	CS1領域	007F	0004h	予約領域
0080	0000h	CS2領域	007F	C000h	周辺I/Oレジスタ
00C0	0000h	CS3領域	0080	0000h	内蔵拡張RAM
0100	0000h	DRAM領域	0086	0000h	予約領域
0200	0000h	予約領域	0100	0000h	外部アドレス空間 (CS領域)
FFFF	8000h	内蔵周辺モジュール	0800	0000h	外部アドレス空間 (SDRAM領域)
FFFF	8800h	予約領域	1000	0000h	予約領域
			FEF7	5D00h	内蔵ROM (オプション設定メモリ)
FFFF	0000h	内蔵RAM	FE7F	5D80h	予約領域
FFFF	FFFFh		FE7F	7D70h	内蔵ROM (読み出し専用)
			FE7F	7DA0h	予約領域
			FFE0	0000h	内蔵ROM (コードフラッシュメモリ)
			FFFF	FFFFh	

図 1.8 SH7044 と RX651 のメモリマップ比較（内蔵 ROM 有効モード）

シングルチップモードでのメモリマップの比較を図に示します。

シングルチップモード (SH7044)			シングルチップモード (RX651)		
0000	0000h	内蔵ROM	0000	0000h	内蔵RAM
0004	0000h	予約領域	0004	0000h	予約領域
			0008	0000h	周辺I/Oレジスタ
			000A	4000h	スタンバイRAM
			000A	6000h	周辺I/Oレジスタ
			0010	0000h	内蔵ROM (データフラッシュメモリ)
			0010	8000h	予約領域
			007E	0000h	FACIコマンド発行領域
			007F	0004h	予約領域
			007F	C000h	周辺I/Oレジスタ
			0080	0000h	内蔵拡張RAM
			0086	0000h	予約領域
FFFF	8000h		FE7F	5D00h	内蔵ROM (オプション設定メモリ)
		内蔵周辺モジュール	FE7F	5D80h	予約領域
FFFF	8800h		FE7F	7D70h	内蔵ROM (読み出し専用)
		予約領域	FE7F	7DA0h	予約領域
FFFF	0000h		FFE0	0000h	内蔵ROM (コードフラッシュメモリ)
FFFF	FFFFh	内蔵RAM	FFFF	FFFFh	

図 1.9 SH7044 と RX651 のメモリマップ比較 (シングルチップモード)

内蔵 ROM 無効モードでのメモリマップの比較を図に示します。

内蔵ROM無効モード (SH7044)		内蔵ROM無効モード (RX651)	
0000 0000h	CS0空間	0000 0000h	内蔵RAM
0040 0000h		0004 0000h	予約領域
0080 0000h		0008 0000h	周辺I/Oレジスタ
00C0 0000h		000A 4000h	スタンバイRAM
0100 0000h	CS1空間	000A 6000h	周辺I/Oレジスタ
0080 0000h	CS2空間	0010 0000h	予約領域
00C0 0000h	CS3空間	0080 0000h	
0100 0000h	DRAM空間	0086 0000h	
0200 0000h		0100 0000h	
FFFF 8000h		0800 0000h	外部アドレス空間 (SDRAM領域)
FFFF 8800h		1000 0000h	予約領域
FFFF F000h	予約領域	FF00 0000h	外部アドレス空間
FFFF FFFFh	内蔵周辺モジュール	FFFF FFFFh	
	予約領域		
	内蔵RAM		

図 1.10 SH7044 と RX651 のメモリマップ比較 (内蔵 ROM 無効モード)

- RX651 では RAM が 0000 0000h 番地側、ROM (読み出し用) が FFFF FFFFh 番地側に配置されています。また RX651 はデータ格納用のデータフラッシュを内蔵しています。
- RX651 では周辺 IO レジスタは 0008 0000h~000F FFFFh に配置されており、フラッシュ関連のレジスタと周辺クロック通知レジスタのみ 007F C000h~007F FFFFh に配置されています。
- RX651 では外部アドレス空間は 0100 0000h~0FFF FFFFh に配置されており、16M バイト毎の 7 つの CS 空間と 128M バイトの SDRAM 空間で構成されます。

1.5.3 動作モード設定

SH7044 の動作モード設定は MD1, MD0 および FWP 端子設定のみで行うのに対し、RX651 の動作モード設定は、MD 端子および UB 端子のリセット解除時の状態に加え、リセット解除後にソフトウェアでの設定が必要です。

端子設定により決まる動作モードを表 1.8 RX651 端子設定と動作モードに、リセット解除後にソフトウェアにより設定する動作モードを表 1.9 RX651 SYSCR0 レジスタ設定と動作モードに示します。

表 1.8 RX651 端子設定と動作モード

端子		モード名
MD	UB	
1	—	シングルチップモード
0	0	ブートモード(SCI インタフェース)
	1	ブートモード(USB インタフェース)*1
0 → 1*1	0	ブートモード(FINE インタフェース)

【注】 *1MD 端子を 0 でリセット解除後、20~100msec の間に切り替えてください。

表 1.9 RX651 SYSCR0 レジスタ設定と動作モード

SYSCR0 レジスタ*2		モード名
ROME ビット	EXBE ビット	
0 (内蔵 ROM 無効) *1	0 (外部バス無効)	シングルチップモード
1 (内蔵 ROM 有効)	0 (外部バス無効)	
0 (内蔵 ROM 無効) *1	1 (外部バス有効)	内蔵 ROM 無効拡張モード
1 (内蔵 ROM 有効)	1 (外部バス有効)	内蔵 ROM 有効拡張モード

【注】 *1 ROME ビットを 0 にすると 1 に戻すことはできません。

*2 SYSCR0 レジスタのリセット後の値は ROME=1、EXBE=0

1.6 プロセッサモード

RX CPU には、スーパーバイザモードとユーザモードの 2 つのプロセッサモードがあります。このプロセッサモードを使用することで、CPU リソースに対する階層的な保護機構を実現可能です。

SH7044 からの置き換えでは、ユーザモードは使用せず、スーパーバイザモードのみで動作することで、プロセッサモードを意識せずソフトの置き換えが可能になります。

表 1.10 プロセッサモード

プロセッサモード	移行条件	概要
スーパーバイザモード	- リセット解除 - 例外の発生 (PSW.PM ビットが“0”に変化)	すべての CPU リソースにアクセスでき、すべての命令を実行できる（制限なし）。通常は、OS 等のシステムプログラムを動作させるモード。
ユーザモード	PSW.PM ビットに“1”を設定 但し、この時はスタックに退避した PSW.PM ビットを“1”にした後 RTE 命令を実行、または BPSW に退避した PSW.PM ビットを“1”にした後 RTFI 命令を実行。	PSW の一部のビットや BPC、BPSW など、一部の CPU リソースへのライトアクセスが制限され、特権命令も使用できない。通常は、アプリケーションプログラム等のユーザプログラムを動作させるモード。

スーパーバイザモード⇒ユーザモード移行方法

MVFC	PSW,R1	; RTE 命令で例外からの復帰に見せかける処理
OR	#00100000h,R1	;
PUSH.L	R1	;
MVFC	PC,R1	;
ADD	#10,R1	;
PUSH.L	R1	;
RTE		
NOP		
NOP		

ユーザモード⇒スーパーバイザモード移行方法

例外処理を発生させると、スーパーバイザモードに移行します。但し、例外処理から復帰するとユーザモードに再度移行します。

スーパーバイザモードへの移行には、無条件トラップを発生させる INT 命令、BRK 命令を利用する方法があります。

1.7 例外処理

割り込みを含む例外処理全般について SH7044 と RX651 の相違点を記載します。

1.7.1 例外処理の種類

SH7044 と RX651 の例外要因の比較を示します。

表 1.11 SH7044 と RX651 の例外要因

SH7044	RX651	主な相違点
パワーオンリセット マニュアルリセット	リセット	SH7044 ではパワーオンリセット、マニュアルリセットそれぞれにベクタがある。 RX651 ではリセットベクタは一つであり、リセット割り込み処理内でリセットステータスレジスタ 0~2を確認し、リセット要因を判別して適切な処理を行う。
アドレスエラー CPU アドレスエラー DMAC/DTC アドレスエラー	アクセス例外 — —	SH7044 では、アクセス禁止領域またはアクセスが禁止された番地からのアクセス時に発生。 RX651 では、メモリプロテクションエラー時に発生。 SH7044 では、本例外発生時は次命令の PC を退避。 RX651 では、例外発生命令の PC を退避。
割り込み (NMI)	ノンマスカブル割り込み	なし
割り込み (外部/内部)	割り込み (外部/内部)	RX651 は高速割り込みもあり (レベル 15)
トラップ命令 (TRAPA 命令)	無条件トラップ (INT、BRK 命令)	SH7044 では 32 要因、RX651 では専用ベクタ 16 要因、割り込みと兼用も含めると最大 256 要因。
一般不当命令	未定義命令例外	SH7044 では遅延分岐命令 (遅延スロット) 以外にある未定義コードがデコードされると一般不当命令が、遅延分岐命令 (遅延スロット) に配置された未定義コードまたは PC を書き換える命令がデコードされるとスロット不当命令が発生する RX651 では未定義命令の実行を検出した場合に未定義命令例外が発生する
スロット不当命令		遅延分岐命令 (遅延スロット) に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される
—	特権命令	特権命令例外、浮動小数点例外に相当する例外は SH7044 にはない。
—	浮動小数点例外	SH7044 では、本例外発生時は次命令の PC を退避、RX651 では例外発生命令の PC を退避。

1.7.2 例外処理の優先順位

SH7044 と RX651 の例外要因に対する優先順位の比較を示します。

表 1.12 例外事象優先順位

優先 順位	SH7044	RX651	備考
↑ 高い	パワーオンリセット	リセット	
	マニュアルリセット	ノンマスクابل割り込み	
	アドレスエラー例外	割り込み（内部/外部）	
	割り込み（NMI）	命令アクセス例外	
	割り込み（外部/内部）	未定義命令例外 特権命令例外	
	トラップ命令	無条件トラップ	
	一般不当命令例外	オペランドアクセス例外	
	スロット不当命令例外	浮動小数点例外	
低い			

【注】 割り込みの内の優先順位は割り込みコントローラにより決定します。

SH7044 では割り込み（内部/外部）よりもアドレスエラーの優先順位が高いのに対して RX651 では命令アクセス例外、オペランドアクセス例外ともに割り込みより優先順位が低いことに注意してください。

1.7.3 例外処理の基本処理フロー

SH7044 と RX651 の割り込み例外処理フローを示します。

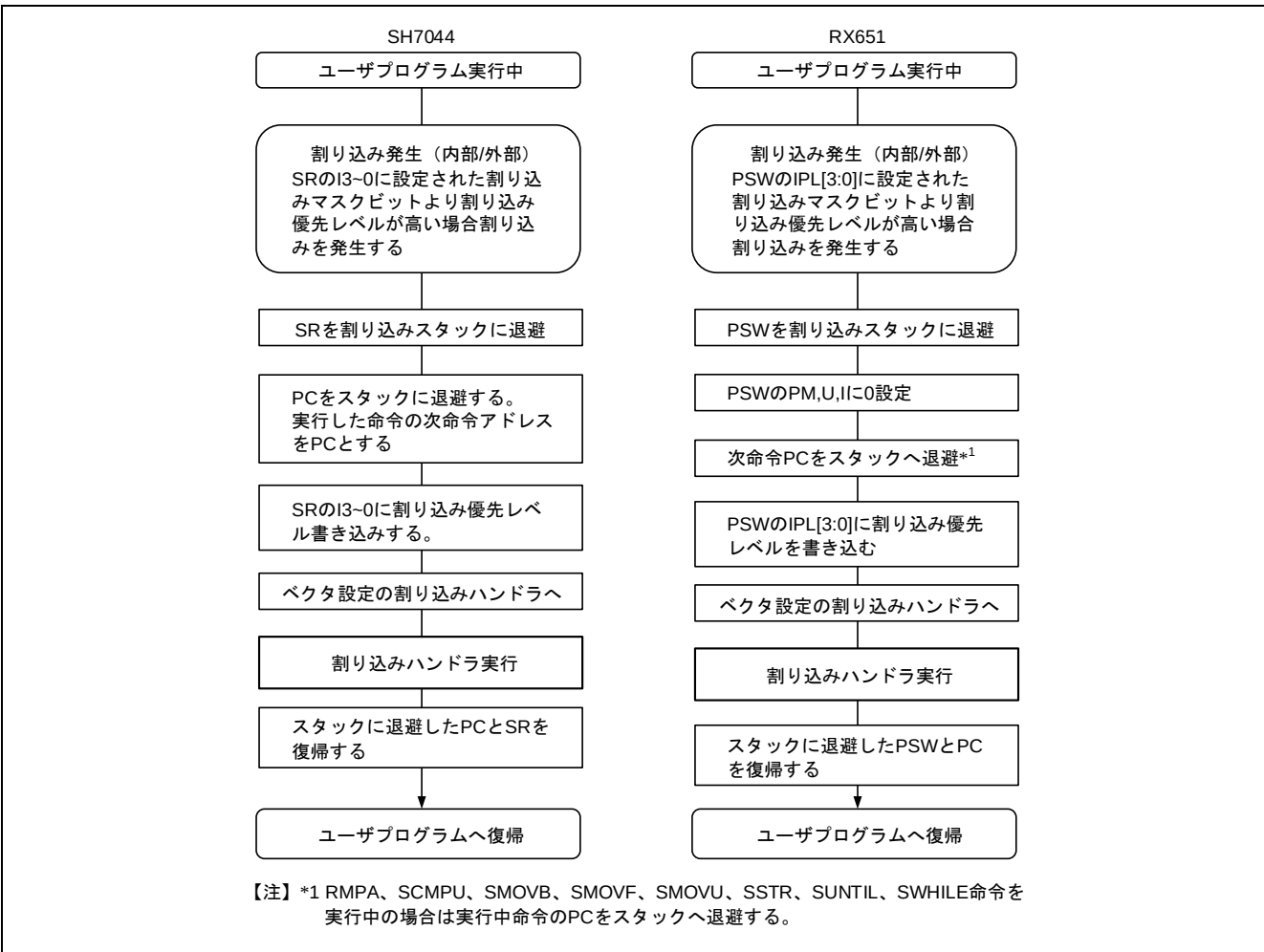


図 1.11 割り込み（内部/外部）処理フロー

1.7.4 ベクタの構成

SH7044、RX651 ともに可変ベクタ構成となっており、ベクタテーブルを再配置することが可能です。SH7044 の VBR（ベクタベースレジスタ）はベクタテーブルの先頭を指し示します。（但し VBR はリセット時に 0 に初期化されるため、リセットベクタは変更できません）

RX651 の INTB（割り込みテーブルレジスタ）は割り込みベクタテーブルの先頭を指し示し、EXTB 例外テーブルレジスタ）は例外ベクタテーブルの先頭を指し示します。割り込みベクタテーブルには、再配置可能な割り込みおよび無条件トラップが割りつけられています。例外ベクタテーブルには、システム例外が割りつけられています。RX651 のリセットは固定ベクタです。なお、高速割り込みのベクタアドレスは FINTV レジスタに設定します。

図 1.12 ベクタテーブル設定にベクタテーブルの違いを示します。

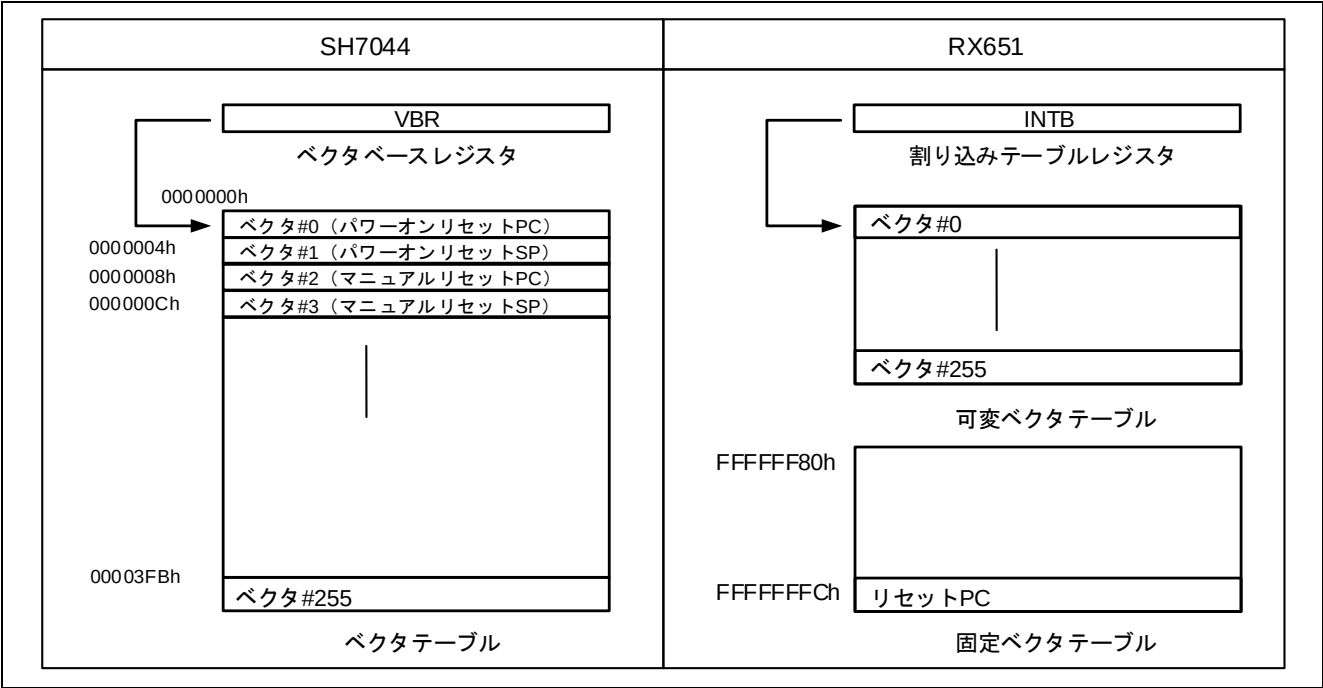


図 1.12 ベクタテーブル設定

1.7.5 SR（SH7044）/PSW（RX651）の割り込みのマスク

RX651 の制御レジスタ PSW には I ビットがあります。I ビットは割り込み許可/禁止を示すビットです。

表 1.13 SR、PSW 内の割り込み関連ビット

SH7044	RX651	説明
SR レジスタ	PSW レジスタ	
I0,I1,I2,I3	IPL[3:0]	CPU による割り込みマスクレベル（優先レベル） 設定値 0～Fh（レベル 0～15） 割り込み要求発生時、本レベルと割り込み要因別に設定された優先度レベルを比較し、マスクレベルより高い場合は割り込みが許可される。
—	I	割り込み許可ビット 0:割り込みを許可しない 1:割り込みを許可する 割り込み発生時、割り込みコントローラの割り込みステータスフラグは'1'が立つ。 システムリセット後、本ビットを'1'にセットすることで割り込み受付可能になる。また、例外を受け付けた場合、本ビットは'0'となり、その間の割り込みは受け付けない。

1.8 割り込み処理

本章は割り込みコントローラを中心に、割り込み処理の違いについて記載します。

1.8.1 割り込みコントローラ

表 1.14 割り込みコントローラ仕様比較に割り込みコントローラの仕様比較を示します。

表 1.14 割り込みコントローラ仕様比較

項目		SH7044	RX651
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ/レベル*1	- 周辺モジュールからの割り込み - 割り込み検出：エッジ/レベル*1 - グループ割り込み機能 - 選択型割り込み B 機能 - 選択型割り込み A 機能
	外部端子割り込み	- IRQ0～IRQ7 端子 - 要因数：8 - 割り込み検出：Low レベル/立ち下がりエッジを要因ごとに設定可能	- IRQ0～IRQ15 端子 - 要因数：16 - 割り込み検出：Low レベル立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能サポート
	ソフトウェア割り込み	なし	あり
	割り込み優先順位	レジスタにより 0～Fh のレベルを要因毎に設定	割り込み要因プライオリティレジスタ r (IPPr) (r = 000～255)により優先レベルを設定
	高速割り込み機能	なし	あり
	DTC、DMAC 制御	起動可能*2	起動可能
	EXDMAC 制御	なし	選択型割り込みで EXDMAC 起動可能
	ユーザブレーク割り込み	あり	なし エミュレータのデバッグ機能で対応可能
ノンマスクابل割り込み	NMI 端子割り込み	- 割り込み検出方法（立ち下がり/立ち上がりエッジから選択） - NMI 入力レベル読み込みビットあり	- 割り込み検出方法（立ち下がり/立ち上がりエッジから選択） - デジタルフィルタ機能
	その他の要因（例外処理以外）	なし	- 発振停止検出時の割り込み - WDT アンダフロー/リフレッシュエラー - IWDT アンダフロー/リフレッシュエラー - 電圧監視 1 割り込み - 電圧監視 2 割り込み - RAM エラー割り込み

【注】 *1 接続固定周辺モジュールからの検出方法は固定

*2 SH7044 では起動要因設定は DTC、DMAC 側で設定する

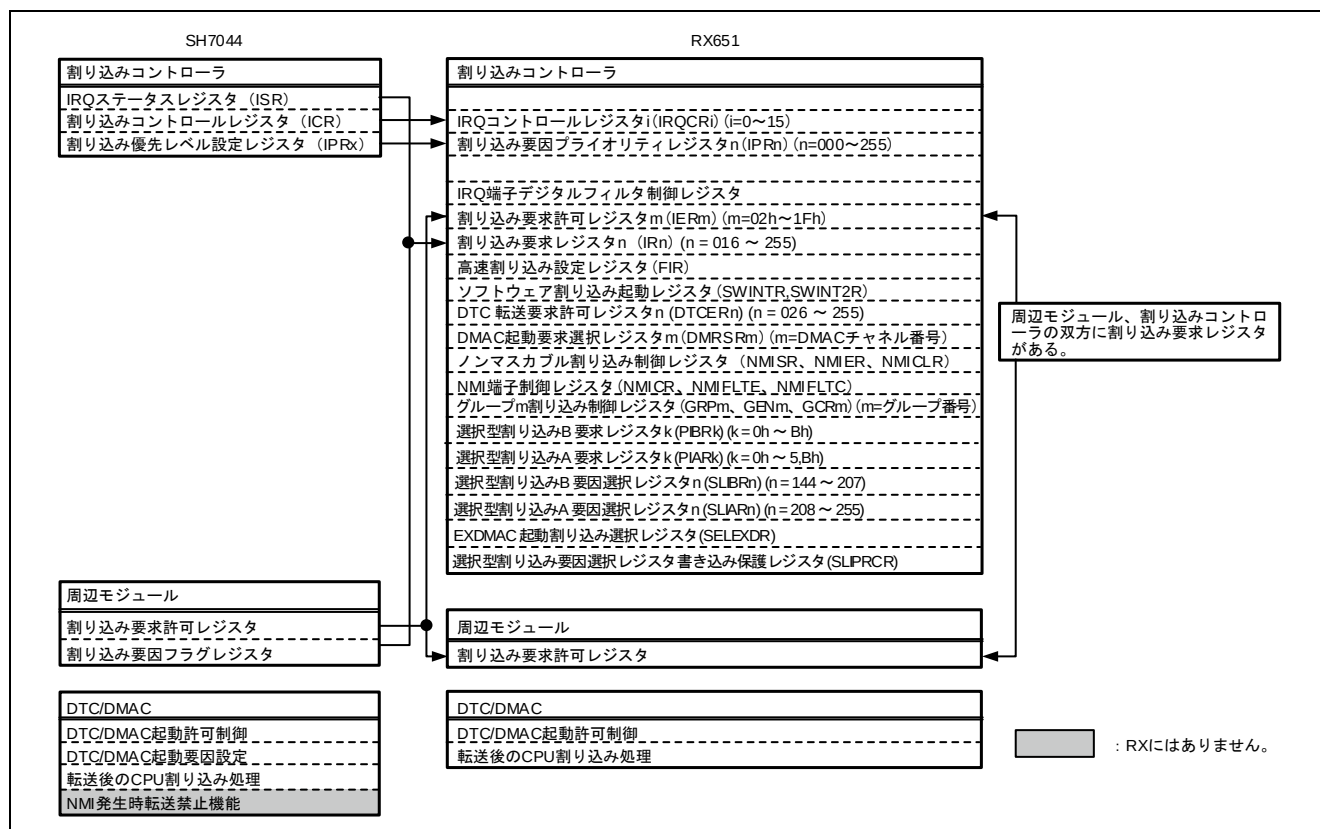


図 1.13 割り込みコントローラのレジスタの相違点

図 1.13 割り込みコントローラのレジスタの相違点に割り込みコントローラの相違を示します。

SH7044に搭載されている割り込みコントローラはIRQの割り込みフラグを制御し、周辺モジュールの割り込みフラグは周辺モジュールが制御します。

RX651では、IRQ、周辺モジュール全ての割り込みステータスフラグを割り込みコントローラで制御します*1。また、DTC/DMACの起動要因設定も割り込みコントローラで制御します。SH7044のDTC/DMACにある、NMI発生時転送禁止機能はRX651にはありません。

【注】 *1 割り込みコントローラには、割り込み要因ごとに割り込み要求レジスタが存在しますが、周辺モジュール側にも割り込み許可ビットが存在します。（詳細はユーザーズマニュアル ハードウェア編を参照してください）

1.8.2 割り込みフラグの管理

SH7044 の周辺モジュールでエッジ検出による割り込みが発生した場合、割り込みハンドラ内で割り込みフラグ（割り込み要因フラグ）のクリア（ダミーリードとクリア）を行います。ハンドラ内でクリアしないと再度割り込みが発生するためです。

RX651 の割り込みフラグ（割り込みステータスフラグ）は割り込みコントローラ内で管理されます。割り込みコントローラは CPU または DTC/DMAC に割り込み要求を行い、その受け付け応答を受信すると自動的に当該の割り込みステータスフラグをクリアする機能を備えているため、SH7044 の様なフラグのクリア、ダミーリードの必要がありません。なお、レベル検出による割り込みに関しては、周辺モジュール内に要因フラグが存在し、これをクリアする必要があります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

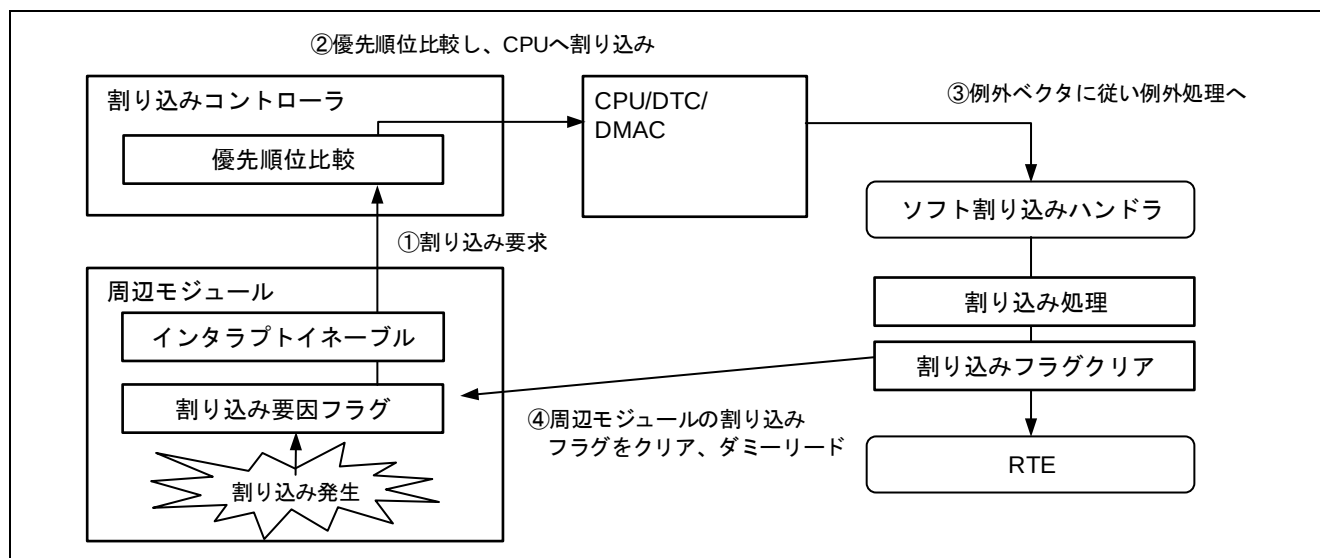


図 1.14 SH7044 周辺モジュール割り込み（エッジ検出）

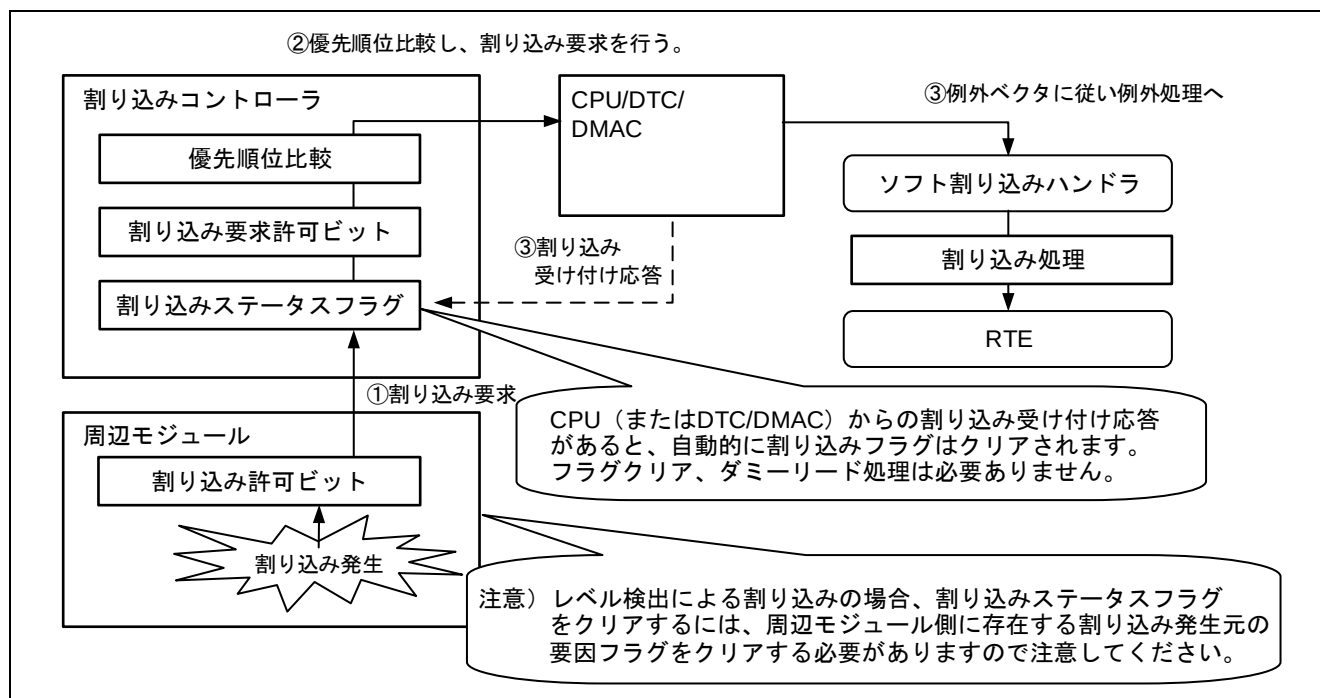


図 1.15 RX651 周辺モジュール割り込み（エッジ検出）

1.8.3 高速割り込み制御

RX651 は通常の割り込みに加えて高速割り込みが可能です。

通常割り込み：割り込み優先順位判定後、コントロールレジスタ、汎用レジスタを内部 RAM または、外部 RAM ヘソフトウェアにて退避する必要があります。

高速割り込み：最優先割り込みとして動作します。割り込み発生時、コントロールレジスタは専用レジスタに退避されるため、通常割り込みより高速な割り込み起動を実現します。

コンパイラオプションで一部の汎用レジスタを割り込み専用に割り付ける事ができます。この場合汎用レジスタの退避、復帰を削除することが可能なため、さらに高速な割り込みが実現可能です。

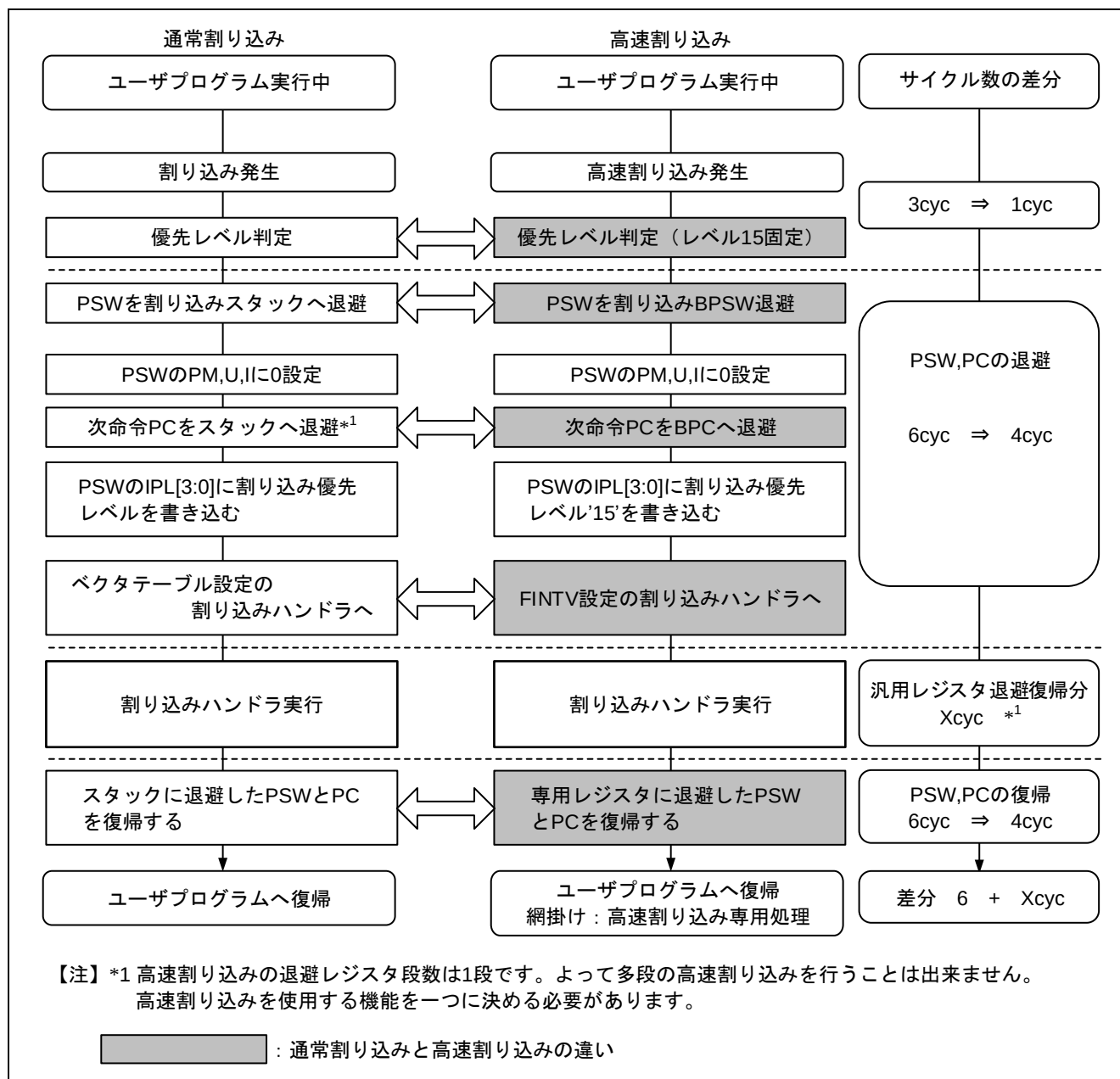


図 1.16 通常割り込みと高速割り込みの差分

1.8.4 デジタルフィルタ

RX651 は、IRQ、NMI のレベル信号に関してはデジタルフィルタ機能を設けています。デジタルフィルタ用のサンプリングクロックを設定することが可能で、サンプリングクロックベースで3回分に満たない割り込み信号は、割り込みとして受け付けませんので、耐ノイズ性能を向上させることが可能です。

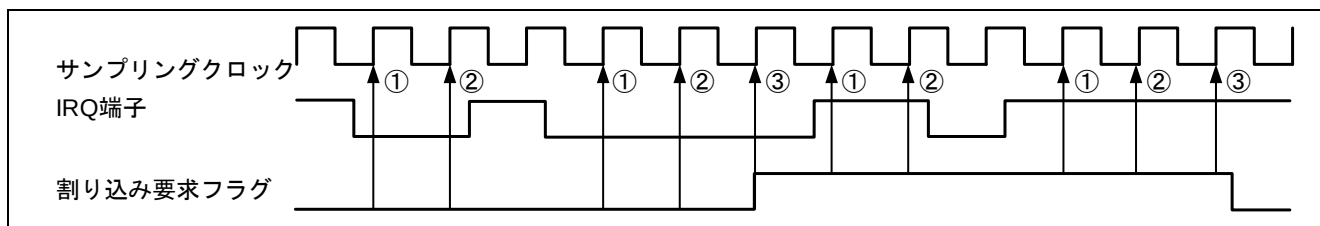


図 1.17 デジタルフィルタ動作例

1.8.5 多重割り込み

SH7044 では優先度の低い割り込みハンドラ処理中に、優先度の高い割り込みが発生した場合、優先度の低い割り込みハンドラは中断され、優先度の高い割り込みハンドラが実行されます。優先度の高い割り込みハンドラが終了すると、中断していた優先度の低い割り込みハンドラが再開します。

RX651 では優先度の低い割り込みハンドラを処理中に、高い優先度の割り込みが発生した場合、低い優先度の割り込みハンドラが終了するまでは、高い優先度の割り込みは受け付けられません。これは、通常割り込みハンドラ内ではPSW.Iビット=0（割り込み許可しない）となっているためです。SH7044 のような多重割り込みを実現するには、割り込みハンドラの中でPSW.Iビット=1（割り込み許可）にする必要があります。

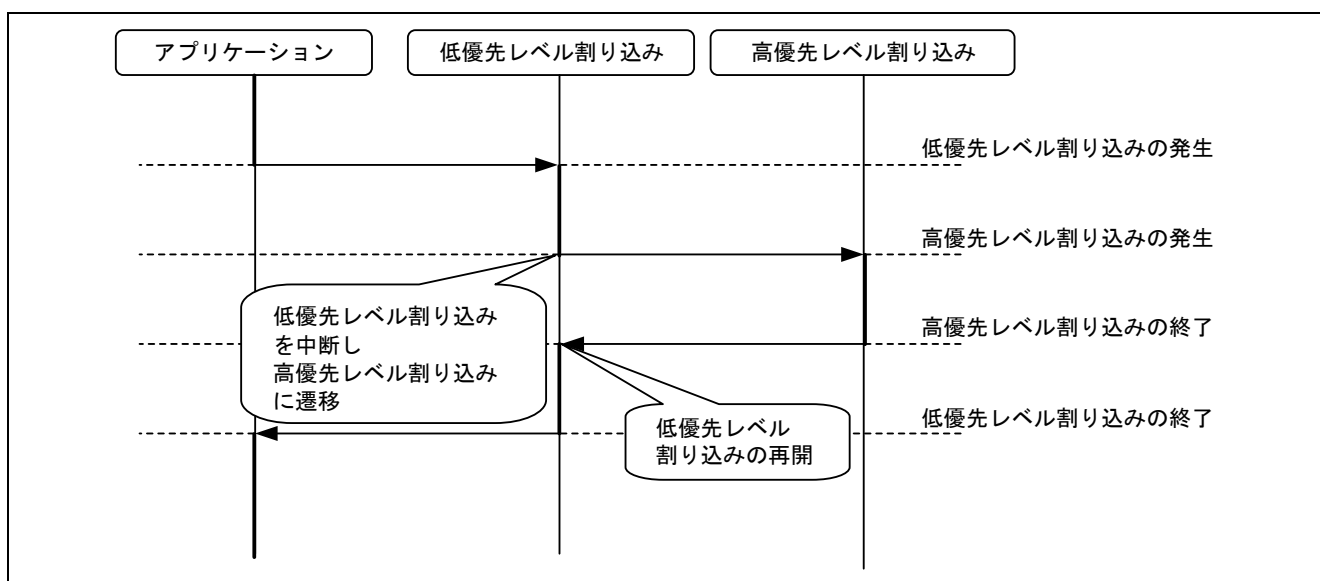


図 1.18 SH7044 多重割り込みシーケンス

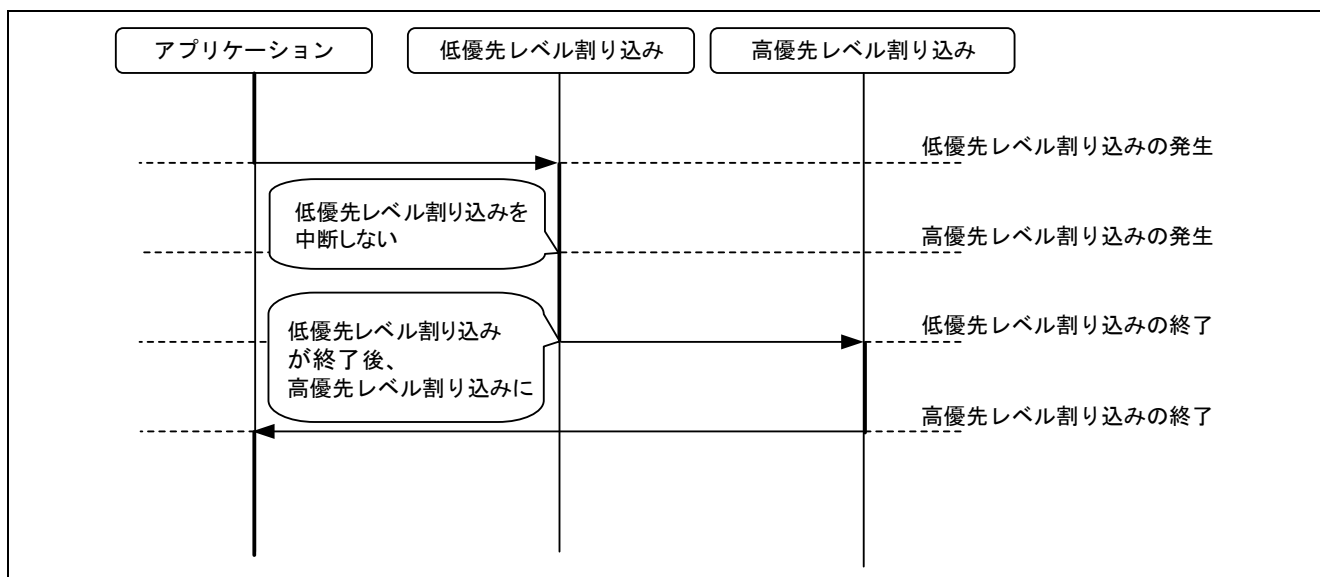


図 1.19 RX651 割り込みシーケンス (PSW.I ビット制御しない場合)

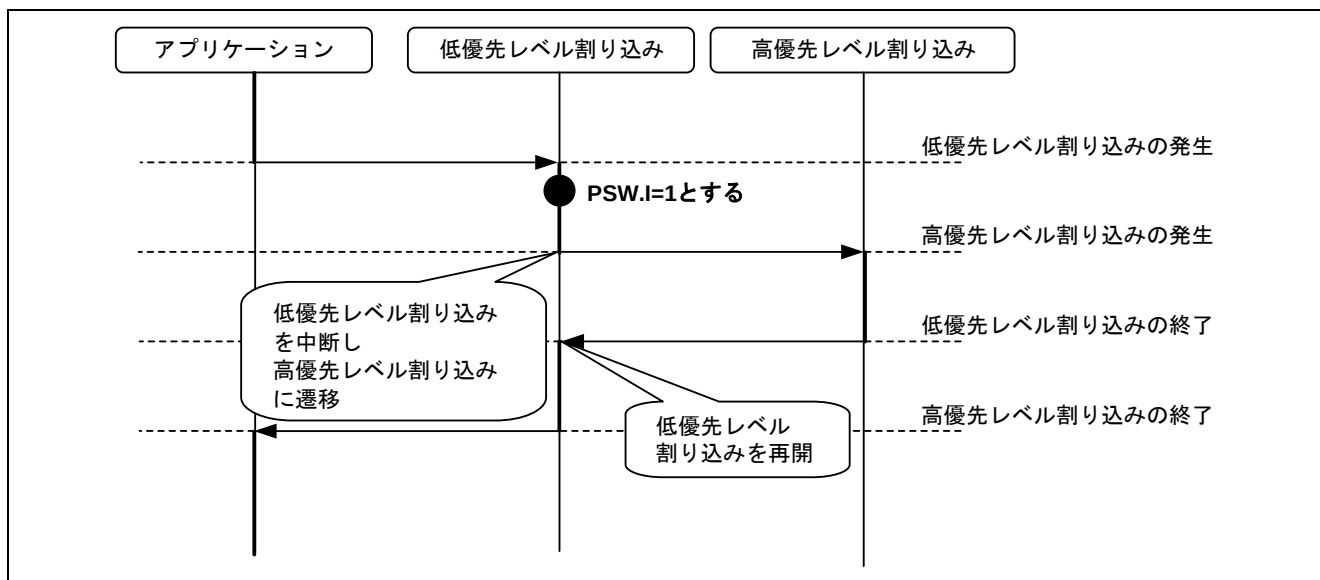


図 1.20 RX651 割り込みシーケンス (PSW.I ビット制御を行う場合)

1.8.6 選択割り込み

RX651 の割り込みのうち、図 1.21 選択割り込みに示すように周辺モジュールの割り込み要因（例：MTU と TPU の割り込み要因の一部）が同一ベクタに割り付けられています。ユニット選択機能を使用する場合、使用する割り込み要因をセクタ（レジスタ）にて選択する必要があります。

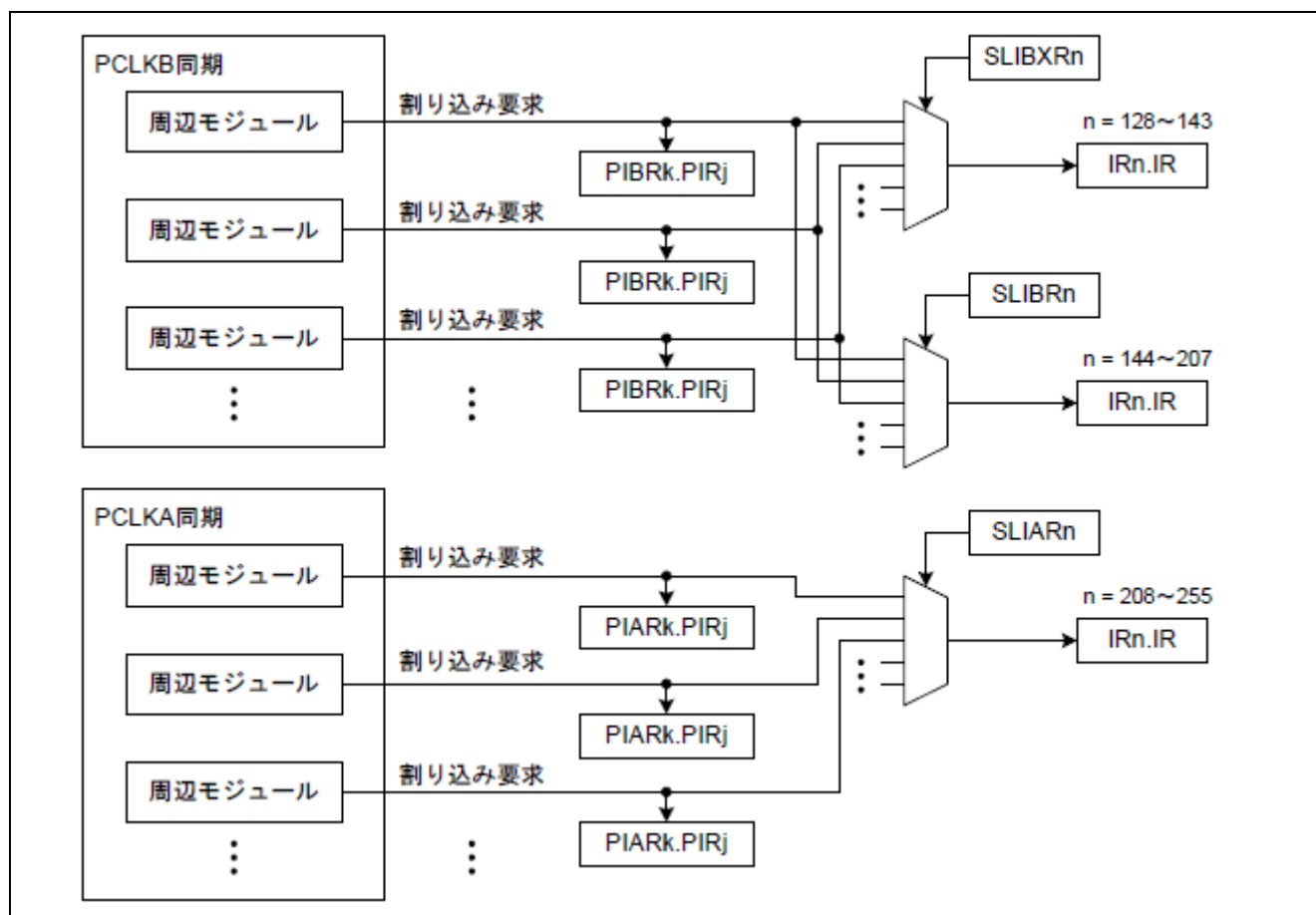


図 1.21 選択割り込み

1.8.7 グループ割り込み

グループ割り込みは1ベクタに複数の割り込み要因が割り当てられています。グループ割り込みは、グループに割り当てられた割り込み要求の論理和で検出するため、割り込み要求を検出した場合、グループの中から割り込み要求をソフトウェアにて検出する必要があります。

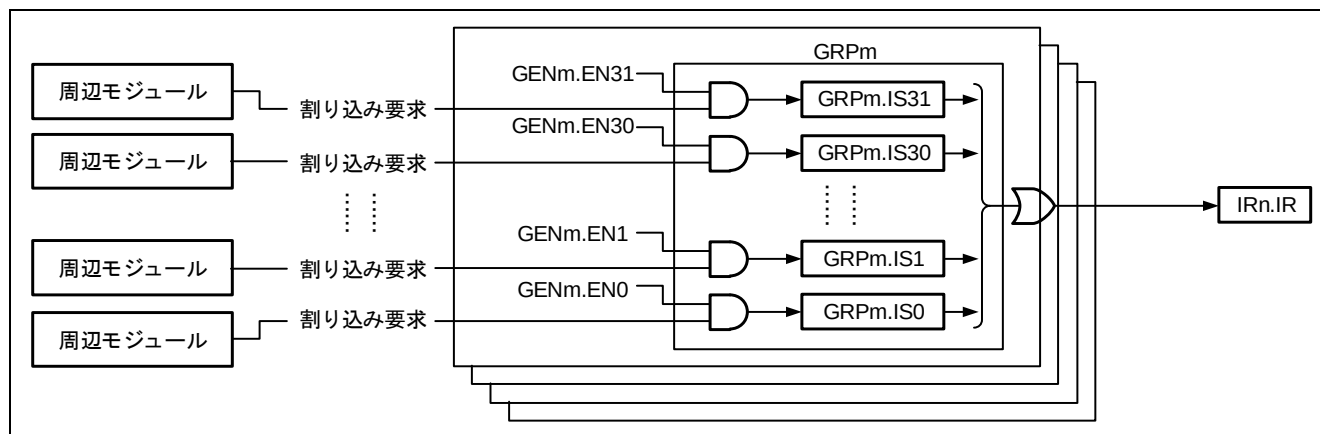


図 1.22 グループ割り込み

2. 内蔵機能

2.1 内蔵機能一覧

RX651 でのみ使用可能な周辺機能の詳細については、ユーザーズマニュアル ハードウェア編を参照してください。

表 2.1 周辺機能一覧

SH7044	RX651
クロック発振器 (CPG)	クロック発生回路
ユーザブレークコントローラ (UBC)	— エミュレータのデバッグ機能で対応可能
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTCb)
バスステートコントローラ (BSC)	バスコントローラ (BSC)
ダイレクトメモリアクセスコントローラ (DMAC)	DMA コントローラ (DMACA) EXDMA コントローラ (EXDMACa)
マルチファンクションタイマパルスユニット (MTU)	マルチファンクションタイマパルスユニット 3 (MTU3a)
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDTA) 独立ウォッチドッグタイマ (IWDTa)
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCIg, SCIlh, SCli)
高速 A/D 変換器 (A マスク以外) 中速 A/D 変換器 (A マスク)	12 ビット A/D コンバータ (S12ADFa)
コンペアマッチタイマ (CMT)	コンペアマッチタイマ (CMT) コンペアマッチタイマ W (CMTW)
ピンファンクションコントローラ (PFC)	マルチファンクションピンコントローラ (MPC)
I/O ポート (I/O)	I/O ポート
フラッシュメモリ (256KB) *1	フラッシュメモリ*2
RAM (4KB)	RAM (最大 256KB)
消費電力低減機能	消費電力低減機能
キャッシュメモリ (CAC)	—
64/128/256kB マスク ROM	RX の内蔵フラッシュメモリで対応可能
128kB PROM (ZTAT)	RX の内蔵フラッシュメモリで対応可能
256kB フラッシュメモリ (F-ZTAT)	RX の内蔵フラッシュメモリで対応可能
—	電圧検出回路 (LVDA) クロック周波数制度測定回路 (CAC) バッテリーバックアップ機能 レジスタライトプロテクション機能 メモリプロテクションユニット (MPU) イベントリンクコントローラ (ELC) ポートアウトプットイネーブル 3 (POE3a) 16 ビットタイマパルスユニット (TPUa) プログラマブルパルスジェネレータ (PPG) 8 ビットタイマ (TMR) リアルタイムクロック (RTCd) イーサネットコントローラ (ETHERC) イーサネットコントローラ用 DMA コントローラ (EDMAC) USB2.0FS ホスト/ファンクションモジュール (USBb) I2C バスインタフェース (RIICa) CAN モジュール (CAN) シリアルペリフェラルインタフェース (RSPic) クワッドシリアルペリフェラルインタフェース (QSPI) CRC 演算器 (CRCa)

	SD ホストインタフェース (SDHI)
	SD スレーブインタフェース (SDSI)
	マルチメディアカードインタフェース (MMCIF)
	パラレルデータキャプチャユニット (PDC)
	グラフィック LCD コントローラ (GLCDC)
	2D 描画エンジン (DRW2D)
	バウンダリスキャン
	AESa
	RNG
	Trusted Secure IP (TSIP)
	D/A コンバータ (R12DAa)
	温度センサ (TEMPS)
	データ演算回路 (DOC)
	スタンバイ RAM

【注】 *1 SH7044 にはマスク ROM を内蔵している製品もあります。

*2 RX651 グループは、最大 2M バイトのコード格納用フラッシュメモリ (ROM) と 32K バイトのデータ格納用フラッシュメモリ (データフラッシュ) を内蔵しています。詳細はユーザーズマニュアルハードウェア編を参照してください。

2.2 I/O ポート

2.2.1 I/O ポート数

表 2.2 SH7044 と RX651 の I/O ポート数一覧

項目	パッケージ	ポート機能
SH7044 の I/O ポート数	QFP-112	入出力 : 74 入力 : 8 合計 : 82
RX651 の I/O ポート数	TFLGA-177 LFBGA -176 LQFP -176	入出力 : 136 入力 : 1 プルアップ抵抗 : 136 オープンドレイン出力 : 136 5V トレラント : 19
	TFLGA-145 LQFP-144	入出力 : 111 入力 : 1 プルアップ抵抗 : 111 オープンドレイン出力 : 111 5V トレラント : 18
	TFLGA-100 LQFP-100	入出力 : 78 入力 : 1 プルアップ抵抗 : 78 オープンドレイン出力 : 78 5V トレラント : 17
	TFLGA-64	入出力 : 41 入力 : 1 プルアップ抵抗 : 41 オープンドレイン出力 : 41 5V トレラント : 8
	LQFP-48	入出力 : 42 入力 : 1 プルアップ抵抗 : 42 オープンドレイン出力 : 42 5V トレラント : 8

2.2.2 I/O 設定

SH7044、RX651 とともにマルチプレクス端子になっています。よって、端子設定を汎用入出力、または内蔵モジュール機能に割り振る必要があります。

SH7044 はピンファンクションコントローラ（PFC）を設定することにより、ポートの機能が決定します。I/O ポートは A～F まであり、入力専用のポート F を除き、各ポートは汎用入力/出力または内蔵機能に割り付けることができます。ポート A～E は PnIOR と PnCR（n：ポート名 A～E）のレジスタ設定で汎用入出力または各機能を割り付けられます。SH7044 での I/O 設定の概念と各レジスタの機能を以下に示します。

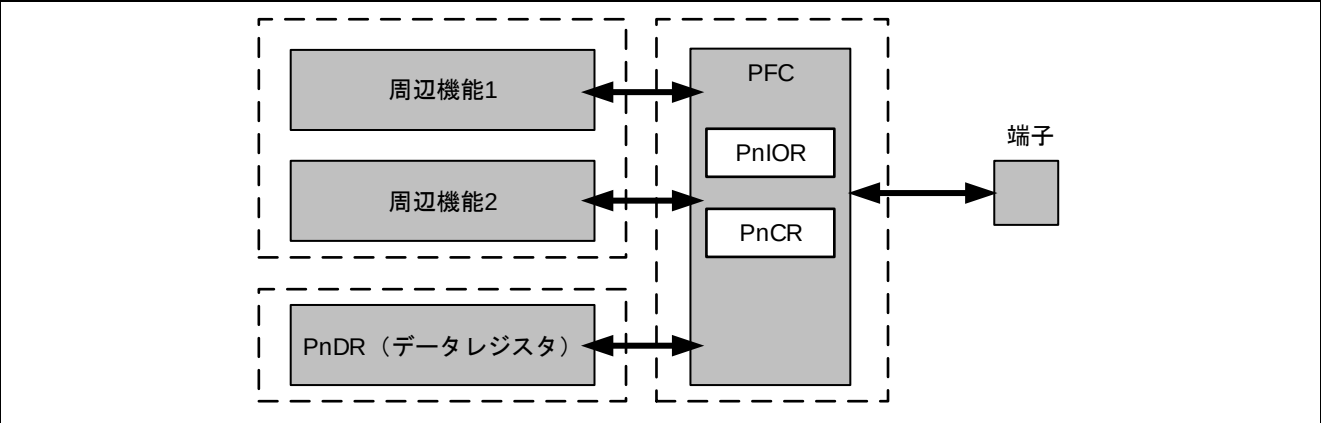


図 2.1 SH7044 I/O 設定

表 2.3 SH7044 I/O ポート、ピンファンクションコントローラのレジスタ構成

モジュール	名称	機能名	機能
I/O ポート	PnDR	ポート n データレジスタ	ポート n のデータレジスタ
PFC	PnIOR	ポート n・IO レジスタ	ポート n の入出力方向を選択
	PnCR	ポート n コントロールレジスタ	端子機能を選択
	IFCR	IRQ 機能コントロールレジスタ	IRQ 出力端子の状態を設定

なお、SH7044 は動作モード（MCU モード 0,1,2、シングルチップモード）によって端子に割り振られる機能と、PFC で設定可能な機能も変わります。

RX651 の I/O ポートはポート 0~9、A~G、J から構成され、各 I/O ポートが以下の様なレジスタで構成されます。ポート入出力のレジスタにおいては、入力/出力それぞれ専用レジスタを備えています。

RX651 の IO ポートに関しては、下記に示すような設定が可能です。

- オープンドレイン制御レジスタ：ポート出力形態の選択
CMOS 出力/N チャネルオープンドレイン出力/P チャネルオープンドレイン出力
- プルアップ制御レジスタ：入力プルアップ抵抗の ON/OFF 選択
- 駆動能力制御レジスタ：通常出力/高駆動出力から選択
- 5V トレラント入力ポートあり

SH7044 同様マルチプレクス端子となっているため、端子機能の設定を I/O ポートとマルチファンクションピンコントローラ（MPC）を使用して決定する必要があります。

RX651 の I/O 設定を図 2.2 RX651 I/O 設定に示します。

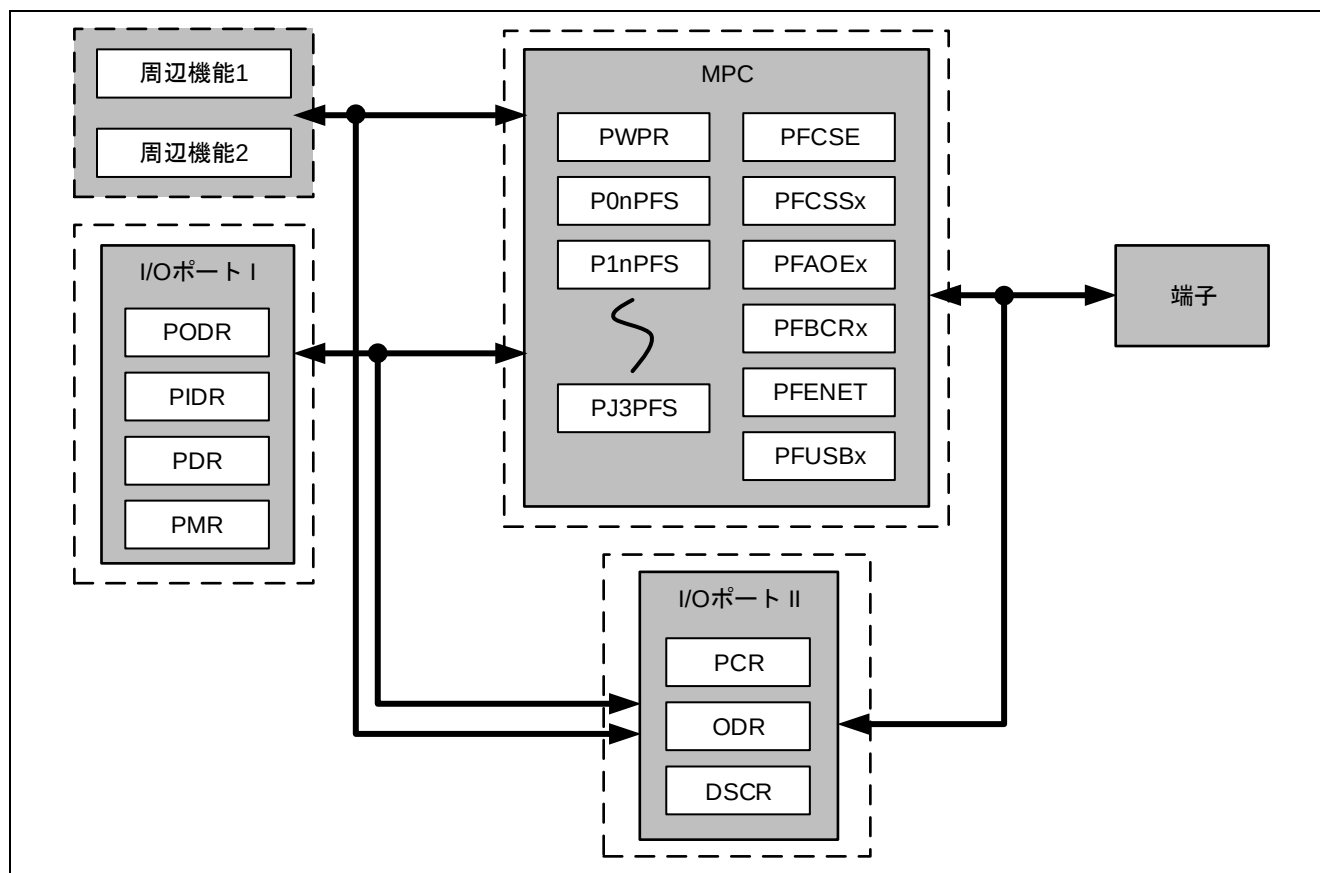


図 2.2 RX651 I/O 設定

端子を汎用入出力として使用する場合は、I/O ポート内のレジスタ設定（PMR、PDR、ODR、PCR、DSCR の設定）を行うのみです。設定を行うレジスタを表 2.4 に示します。また設定フローを図 2.3 に示します。

端子を周辺機能として使用する場合は、MPC の端子機能制御レジスタ（PxnPFS）により端子を周辺機能に割り付けます。設定を行うレジスタを表 2.4～表 2.5 に示します。また端子設定フローを図 2.4 に示します。

なお、汎用入出力を含む周辺機能使用時の設定例については、各周辺機能の章で記載します。

表 2.4 RX651 I/O ポートのレジスタ構成

レジスタ	機能名	機能
PDR	ポート方向レジスタ	汎用入出力ポートが選択されているとき ポートの入力/ 出力の指定
PODR	ポート出力レジスタ	汎用出力ポート 端子出力データの格納
PIDR	ポート入力レジスタ	汎用入力ポート 端子の状態の反映
PMR	ポートモードレジスタ	ポート端子機能の設定 汎用入出力ポートまたは周辺機能として使用するかの端子 毎に設定
ODR0	オープンドレイン制御レジスタ 0	ポートの出力を以下の形態から選択 • CMOS 出力 • N チャネルオープンドレイン • P チャネルオープンドレイン
ODR1	オープンドレイン制御レジスタ 1	ポートの出力を以下の形態から選択 • CMOS 出力 • N チャネルオープンドレイン
PCR	プルアップ制御レジスタ	ポートの入力プルアップ抵抗の有効/無効の指定
DSCR	駆動能力制御レジスタ	駆動能力の設定 • 通常出力 • 高駆動出力
DSCR2	駆動能力制御レジスタ 2	駆動能力の設定 • 通常/高駆動出力 • 高速インタフェース用高駆動出力

表 2.5 RX651 マルチファンクションピンコントローラレジスタ

レジスタ	機能名	機能
PWPR	書き込みプロテクトレジスタ	PxxPFS レジスタへの書き込みプロテクト機能 xx : 0n~9n, An~Gn, J3
P0nPFS	P0n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 0 の端子機能選択)
P1nPFS	P1n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 1 の端子機能選択)
P2nPFS	P2n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 2 の端子機能選択)
PFnPFS	PFn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート F の端子機能選択)
PJnPFS	PJn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート J の端子機能選択)
PFCSE	CS 出力許可レジスタ	CSn# (n : 0~7) 出力禁止/許可を設定
PFCSS0	CS 出力端子選択レジスタ 0	CS0~3 の出力端子を選択
PFCSS1	CS 出力端子選択レジスタ 1	CS4~7 の出力端子を選択
PFAOE0	アドレス出力許可レジスタ 0	端子をアドレスバス使用する場合の設定
PFAOE1	アドレス出力許可レジスタ 1	端子をアドレスバス使用する場合の設定
PFBCR0	外部バス制御レジスタ 0	端子を外部バス使用する場合の設定
PFBCR1	外部バス制御レジスタ 1	端子を外部バス使用する場合の設定
PFBCR2	外部バス制御レジスタ 2	端子を外部バス使用する場合の設定
PFBCR3	外部バス制御レジスタ 3	端子を外部バス使用する場合の設定
PFENET	イーサネット制御レジスタ	イーサネットのモード指定設定 (PMII/MII)

RX651 の I/O ポートを汎用入出力で使用する場合の初期化フローに示します。

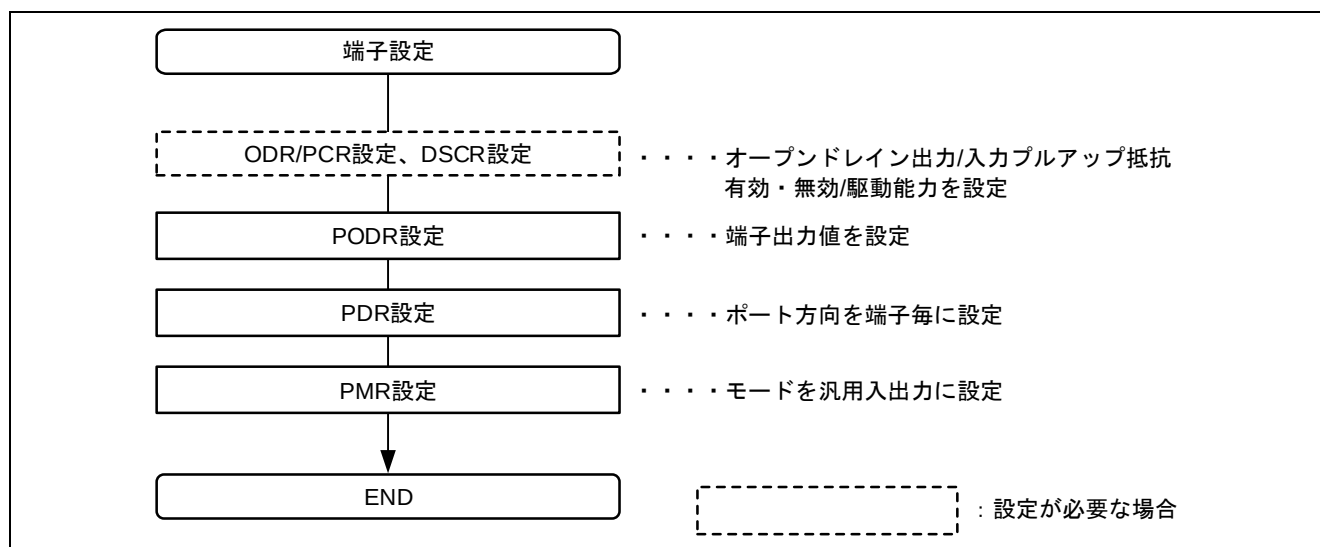


図 2.3 RX651 I/O 汎用入出力使用する場合

RX651 の I/O ポートを端子機能で使用する場合の初期化フローに示します。

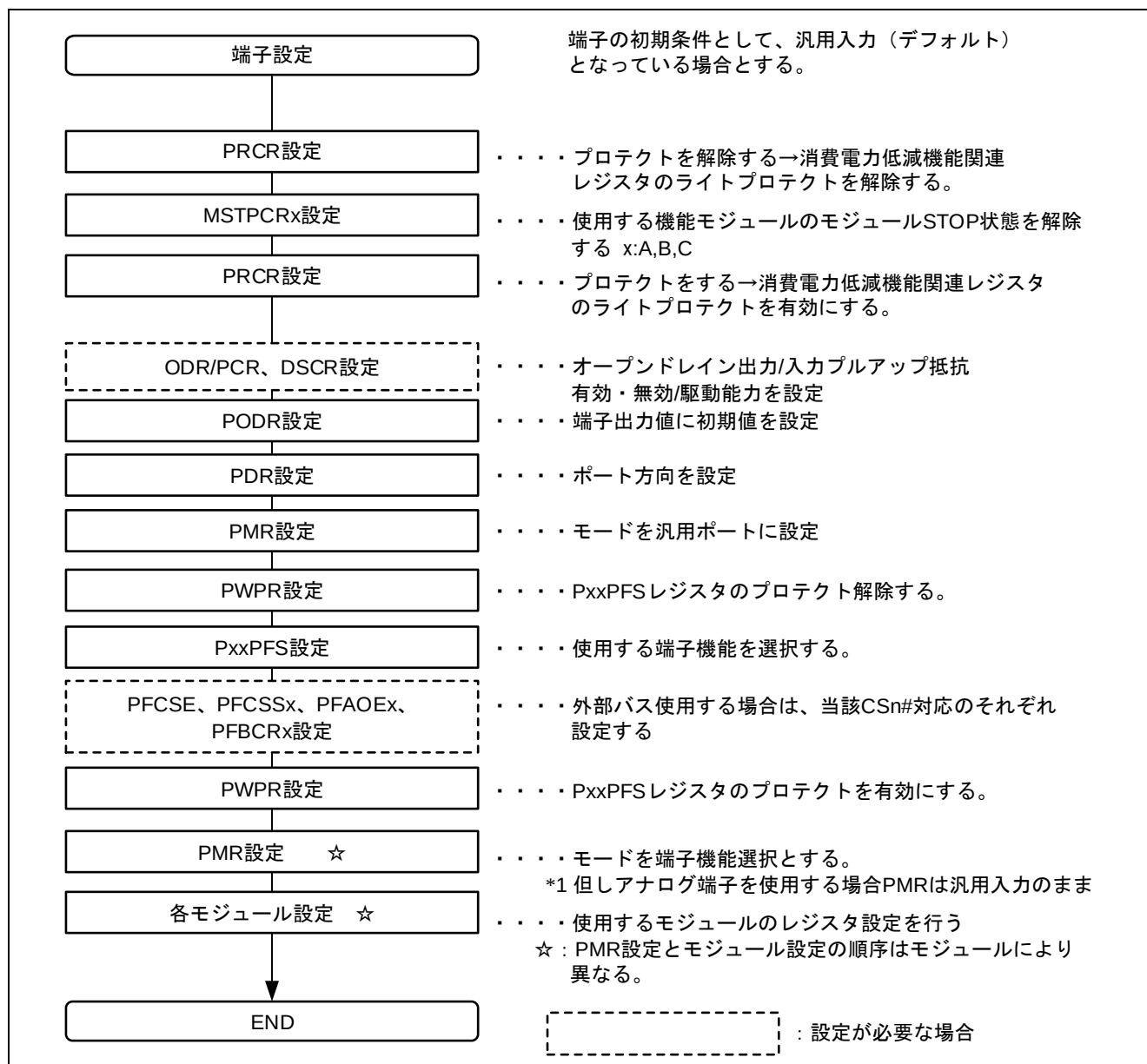


図 2.4 RX651 端子機能設定フローチャート

【注】 MPC を使用して機能端子として設定する具体例は各周辺モジュールの章に記載しております。RX651 ではデフォルトで各モジュールが停止状態^{*1}となっています。そのため消費電力低減機能にあるモジュールストップコントロールレジスタ (MSTPCR_x) によりモジュールストップを解除してから周辺機能の設定を行ってください。また、MSTPCR_x はレジスタライトプロテクション機能によりライトプロテクトされています。よって、MSTPCR_x の書き換え時はプロテクトレジスタ (PRCR) により書き込み許可としてから書き換えを行ってください。

*1 DMAC、DTC、RAM についてはデフォルトで動作状態です。

2.2.3 汎用入出力

SH7044 と RX651 における汎用入出力ポートの設定例を示します。

SH7044 では PB2 を RX651 では P34 をそれぞれ汎用入力として使用する例を表 2.6 端子を汎用入力とする設定に示します。

表 2.6 端子を汎用入力とする設定

手順		SH7044 設定例	RX651 設定例
1	端子の入出力方向を入力に設定	PBIOR.PB2IOR=0	PORT3.PDR.B4=0
2	汎用端子を汎用ポートとして設定	PBCR2.PB2MD1=0 PBCR2.PB2MD0=0	PORT3.PMR.B4=0

SH7044 では PB2 を RX651 では P34 をそれぞれ汎用出力として使用する例を表 2.7 端子を汎用出力とする設定に示します。出力値は 1 とします。

表 2.7 端子を汎用出力とする設定

手順		SH7044 設定例	RX651 設定例
1	端子の出力を設定	PBDR.PB2DR=1	PORT3.PODR.B4 = 1
2	端子の入出力方向を出力に設定	PBIOR.PB2IOR=1	PORT3.PDR.B4=1
3	端子を汎用ポートとして設定	PBCR2.PB2MD1=0 PBCR2.PB2MD0=0	PORT3.PMR.B4=0

2.3 バス

本章では両マイコンのバス仕様についての相違点を記載します。

2.3.1 仕様比較

SH7044 と RX651 のバスについて主な違いを以下に示します。

表 2.8 SH7044、RX651 のバスの比較

項目	SH7044	RX651
外部バスアドレス空間	- CS0~3 の外部アドレス空間 (各 4M バイト) - 注 1) CS0 は内蔵 ROM 有効時 2M バイト - 注 2) 内蔵 ROM 無効モード時 4M バイト	CS0~7 の外部アドレス空間 (各 16M バイト)
DRAM/SDRAM 専用空間	DRAM 空間 (最大 16M バイト)	SDRAM 空間 (最大 128M バイト)
バス幅	エリア毎に 8,16,32 ビットを設定可能	エリア毎に 8,16,32 ビットを設定可能
エンディアン	ビッグエンディアン (固定)	エリア毎にエンディアンを設定可能*
バスの調停	CPU バス、外部バスの優先順位は固定	- 外部バス：優先順位は以下から選択可能 1) 優先順位固定、2) 優先順位をトグル - 内部バス：優先順位は以下から選択可能 1) 優先順位固定、2) 優先順位をトグル
SRDAM リフレッシュ	CAS ビフォ RAS リフレッシュとセルフリフレッシュをサポート	オートリフレッシュとセルフリフレッシュをサポート
割り込み要求発生	リフレッシュ用カウンタをインターバルタイマとして利用可能	MTU3 等のタイマ等で対応可能
外部バス調停	可能	不可
その他のアクセス制御	- DRAM 用_RAS、_CAS 信号出力 - RAS プリチャージタイム確保用 Tp サイクル発生可能 - DRAM バーストアクセス機能 - DRAM リフレッシュ間隔設定可能 - 外部_WAIT 信号によるウェイトサイクル挿入可能 - アドレスデータマルチプレクス I/O デバイスアクセス可能	- CS 領域 - リカバリサイクル挿入可能 - サイクルウェイト機能 - CSn#信号タイミング設定 - RD#、WR#信号のタイミング制御 - ライトアクセスモード - アドレスデータマルチプレクス I/O デバイスアクセス可能 - SDRAM 領域 - ロウアドレス、カラムアドレスのマルチプレクス出力 - CAS レイテンシ設定可能 - ライトバッファ - ライトバッファ機能

【注】 * 1.2.2 章参照

2.3.2 バスの構成

SH7044 と RX651 のバスの構成を比較します。

SH7044 のバスステートコントローラの構成を示します。

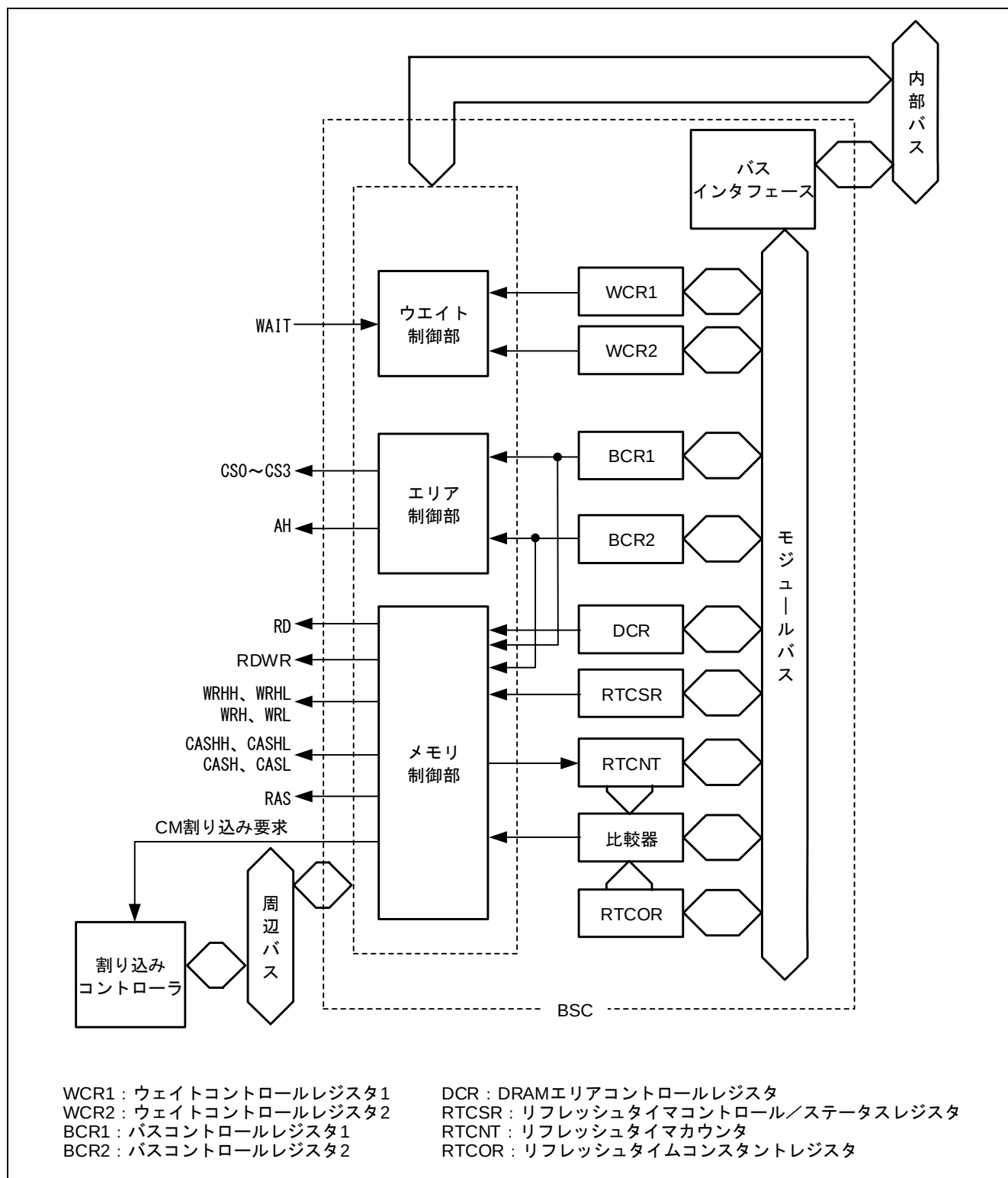


図 2.5 SH7044 バスステートコントローラ構成

RX651 のバス構成を示します。

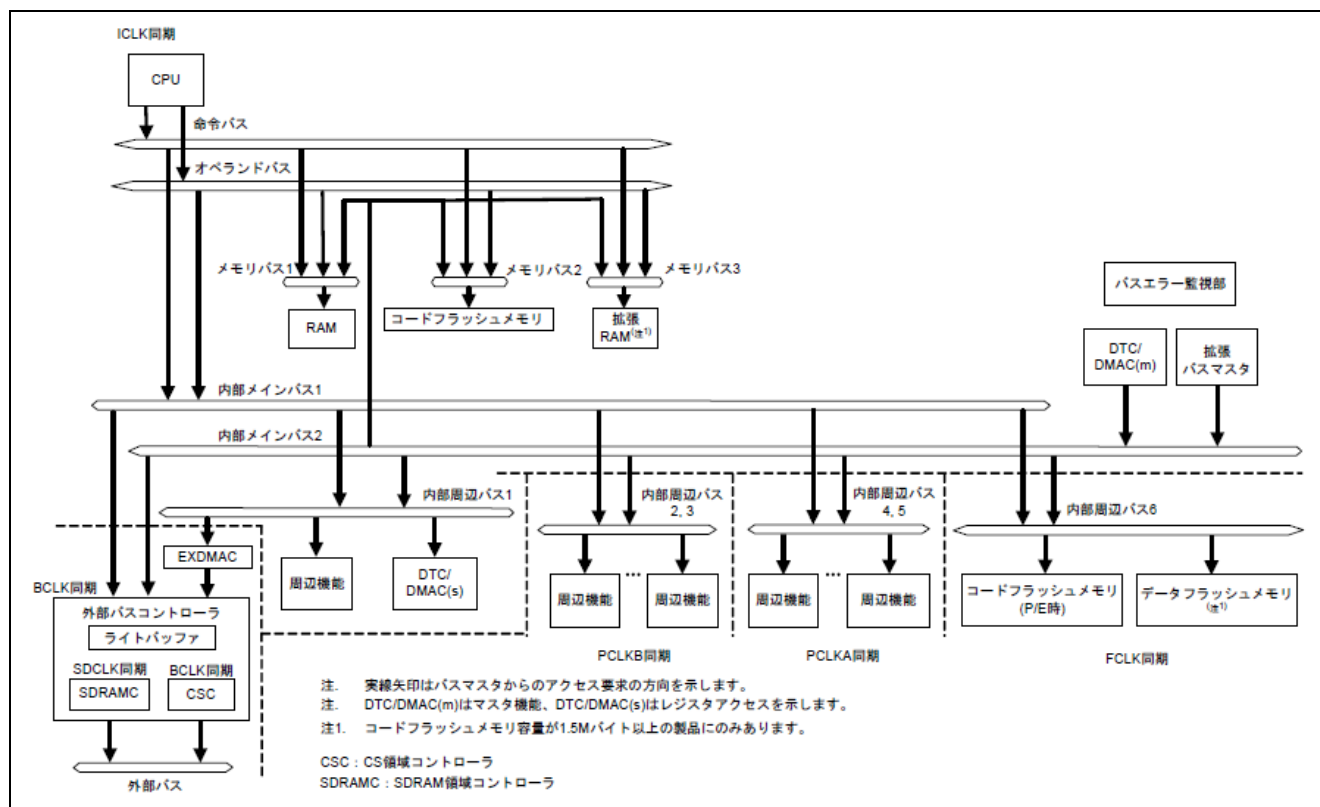


図 2.6 RX651 のバス構成

RX651 のバスの種類を以下に示します。SH7044 と RX651 ではバスアーキテクチャが異なり、メモリバス、内部バス、周辺バスがそれぞれ多段に存在します。これにより CPU と DMAC/DTC、更には周辺バス毎にモジュールの並列動作が可能になり、より高速な動作を実現できます。

表 2.9 RX651 のバス

バス	接続モジュール等	クロック
CPU バス (命令バス、オペランドバス)	命令バス：CPU、内蔵メモリ オペランドバス：CPU、内蔵メモリ	ICLK
メモリバス 1	内蔵 RAM	ICLK
メモリバス 2	コードフラッシュメモリ	ICLK
内部メインバス 1	CPU	ICLK
内部メインバス 2	DTC、DMAC、拡張バスマスタ	ICLK
内部周辺バス 1	DTC、DMAC、EXDMAC、割り込みコントローラ バスエラー監視部	ICLK (EXDMA は PCLKB)
内部周辺バス 2	周辺機能 (周辺バス 1,3,4,5 以外の周辺機能)	PCLKB
内部周辺バス 3	USBb、スタンバイ RAM	PLCKB
内部周辺バス 4	EDMAC、ETHERC、MTU3、SCiI, RSPI, AES	PLCKA
内部周辺バス 5	GLDC、DRW	PLCKA
内部周辺バス 6	コードフラッシュメモリ、データフラッシュメモリ	FCLK
外部バス (CS 領域)	外部デバイス	BCLK
外部バス (SDRAM)	SDRAM	SDCLK

ICLK：システムクロック PCLKA：周辺クロック A PCLKB：周辺クロック B

FCLK：FlashIF クロック BCLK：外部バスクロック SDCLK：SDRAM クロック

2.4 割り込みコントローラ (ICUB)

2.4.1 IRQ の使用例

以下に IRQ3 を使用する場合の設定例を以下に示します。SH7044 は PB5 を IRQ3 入力端子として使用します。RX651 は P33 を IRQ3 入力端子として使用します。

表 2.10 割り込み初期設定例 (IRQ3 設定)

手順		SH7044	RX651
1	I/O ポート設定	PBIOR.PB5IOR=0 (汎用入力端子設定) PBCR2.PB5MD1,0=01b (IRQ3 割り込み入力端子)	PORT3.PDR.B3=0 (P33 入力設定) PORT3.PMR.B3=0 (P33GPIO 設定) MPC.PWPR.B0WI = 0 MPC.PWPR.PFSWE = 1 (PFS ライト許可) MPC.P33PFS.ISEL=1 (割り込み機能設定 IRQ3-DS) MPC.PWPR.PFSWE = 0 (PFS ライト禁止) MPC.PWPR.B0WI = 1
2	割り込みコントローラ設定	ICR.IRQ3S=1 (IRQ 検出 : 立ち下がり検出) IPRA=0x000F (bit3-0 : 割り込みレベル 15)	IRQCR3.IRQMD=1 (IRQ 検出 : 立ち下がり検出) IRQFLTE0.FLTEN3=1 (IRQ3 デジタルノイズフィルタ有効) IRQFLTC0.FCLKSEL3 = 3; (サンプリング PCLK/64) IR067=0 (割り込みフラグクリア) IER08.IEN3=1 (IRQ3 許可) IPR067=15 (割り込みレベル 15)

2.5 データトランスファコントローラ (DTCb)

2.5.1 仕様比較

両マイコンともに転送情報を RAM 上に配置し、DTC ベクタにより転送情報を指定する方式です。3つの転送モード（ノーマル転送モード、リピート転送モード、ブロック転送モード）についても基本的な動作は同じです。以下に両 DTC の仕様比較を記載します。

表 2.11 SH7044、RX651 DTC 仕様比較

項目	SH7044	RX651
転送モード	- ノーマル転送モード - リピート転送モード - ブロック転送モード	
起動要因	- 外部割り込み - 周辺機能割り込み - ソフトウェアトリガ	
起動許可/禁止制御	割り込みコントローラの DTC 起動許可レジスタにより起動	
転送空間	以下空間内で転送可能 - 内蔵メモリ空間 - 内蔵周辺モジュール空間（DMAC、DTC を除く） - 外部メモリ空間 - メモリマップト外部デバイス空間 * どちらか一方は必ず内蔵メモリ空間、内蔵周辺モジュール空間を指定	
転送単位	8、16、32 ビットから指定 ブロックサイズ：0～65535 から指定	1 データ：8、16、32 ビットから指定 1 ブロック：1～256 データから設定
転送回数	- ノーマル転送モード：1～65536 回 - リピート転送モード：1～256 回（指定回数終了後リピート） - ブロック転送モード：1～65536 回	
CPU 割り込み要求	- DTC 起動要因とした割り込みでの CPU 割り込み要求可能 1 データ転送終了時に CPU 割り込み可能 - 指定回数データ転送後に CPU 割り込み可能	
方式	DTC ベクタで割り込み要因毎に制御情報を配置	
その他	チェーン転送	- チェーン転送 - シーケンス転送 - 以下機能により、転送時間短縮、メモリ容量削減が可能 - 転送情報リードスキップ - ライトバックスキップ可能 - ショートアドレスモード - イベントリンク - ライトバックディスエーブル - ディスプレイースメント加算

2.5.2 レジスタ構成

以下に DTC のレジスタ構成を示します。

表 2.12 SH7044、RX651 DTC レジスタ一覧

項目		SH7044	RX651
転送モードの選択		DTC モードレジスタ (DTMR) DTC モード 1、0 (MD1、MD0)	DTC モードレジスタ A (MRA) DTC 転送モード選択ビット
転送先/転送元がリピー ト領域またはブロック 領域		DTC モードレジスタ (DTMR) DTC 転送モードセレクト (DTS)	DTC モードレジスタ B (MRB) DTC 転送モード選択ビット
データ転送サイズの選 択		DTC モードレジスタ (DTMR) DTC データトランスファサイズ 1、0 (SZ1、SZ0)	DTC モードレジスタ A (MRA) DTC データトランスファサイズビット
転送元：転送後のアド レス状態		DTC モードレジスタ (DTMR) ソースアドレスモード 1、0 (SM1、 SM0)	DTC モードレジスタ A (MRA) 転送元アドレスアドレッシングモード ビット
転送先：転送後のアド レス状態		DTC モードレジスタ (DTMR) デスティネーションアドレスモード 1、 0 (DM1、DM0)	DTC モードレジスタ B (MRB) 転送先アドレスアドレッシングモード ビット
チェーン 転送選択	転送終了/継 続、許可/禁 止	DTC モードレジスタ (DTMR) DTC チェインイネーブル (CHNE)	DTC モードレジスタ B (MRB) DTC チェーン転送許可ビット (CHNE)
	連続転送/転 送カウンタ変 化時転送	—	DTC モードレジスタ B (MRB) DTC チェーン転送選択ビット (CHNS)
割り込み要求の許可/禁 止		DTC モードレジスタ (DTMR) DTC インタラプトセレクト (DISEL)	DTC モードレジスタ B (MRB) DTC 割り込み選択ビット (DISEL)
NMI による DTC の転送中断/続行		DTC モードレジスタ (DTMR) DTCNMI モード (NMIM)	—
転送元アドレス		DTC ソースアドレスレジスタ (DTSAR)	DTC 転送元レジスタ (SAR)
転送先アドレス		DTC デスティネーションアドレスレジ スタ (DTDAR)	DTC 転送先レジスタ (DAR)
初期アドレス		DTC 初期アドレスレジスタ (DTIAR) *1	—
転送回数の指定		DTC 転送カウントレジスタ A (DTCRA) 転送回数を指定する	DTC 転送カウントレジスタ A (CRA) 転送回数を指定する
ブロック 転送モー ド	データの転 送回数	DTC 転送カウントレジスタ A (DTCRA) ブロック転送回数を指定する	DTC 転送カウントレジスタ B (CRB) ブロック転送回数を指定する
	ブロック長 の指定	DTC 転送カウントレジスタ B (DTCRB) ブロック長を指定する	DTC 転送カウントレジスタ A (CRA) ブロック長を指定する
DTC 起動の禁止/許可		DTC イネーブルレジスタ (DTER) DTC 起動ビット	DTC 起動許可レジスタ (ICU.DTCERn)
DTC モジュールの動作/ 停止		—	DTC モジュール起動レジスタ (DTCST) DTC モジュール起動ビット
ベースアドレス		DTC 情報ベースレジスタ (DTBR) *2	DTC ベクタベースレジスタ (DTCVBR)
フルアドレスモード/ ショートアドレスモー ド		—	DTC アドレスモードレジスタ (DTCADMOD)

項目	SH7044	RX651
NMI 割り込み発生/なし	DTC コントロール/ステータスレジスタ (DTC SR) NMI フラグビット (NMIF)	ノンマスクابل割り込みステータスレジスタ (ICU.NMISR) NMI ステータスフラグ
ソフトウェアによる DTC 起動の許可/禁止	DTC コントロール/ステータスレジスタ (DTC SR) DTC ソフトウェア起動イネーブルビット (SWDTE)	ソフトウェア割り込み起動レジスタ (ICU.SWINTR) ソフトウェア割り込み起動ビット (SWINT)
ソフトウェアによる DTC 起動時の DTC ベクタアドレスの設定	DTC コントロール/ステータスレジスタ (DTC SR) ソフトウェア起動ベクタ 7~0 (DTVEC7~0)	DTC ステータスレジスタ (DTCSTS) VECN[7:0]ビット (DTC アクティブベクタ番号モニタビット)
DTC の転送動作状態を示す	—	DTC ステータスレジスタ (DTCSTS) DTC アクティブフラグ
リードスキップ許可	—	DTC コントロールレジスタ (DTCCR) DTC 転送情報リードスキップ許可ビット
ディスプレースメント値の加算可否	—	DTC モードレジスタ C (MRC) ディスプレースメント加算ビット
インデックスの配置用ベースアドレス設定	—	DTC インデックステーブルベースレジスタ (DTCIBR)
シーケンス転送終了実行	—	DTC オペレーションレジスタ (DTCOR) シーケンス転送終了ビット
シーケンス転送設定	—	DTC シーケンス転送許可レジスタ (DTCSEQE) シーケンス転送ベクタ番号指定ビット シーケンス転送許可ビット
ディスプレースメント値の指定	—	DTC アドレスディスプレースメントレジスタ (DTCDISP)

【注】 *1 SH にある初期アドレスの設定は RX の転送元(SAR)/転送先(DAR)レジスタに設定します。

*2 SH の情報ベースレジスタの内容は RX の DTC ベクタベースレジスタが示すアドレスの内容に含まれます。

2.5.3 転送モード

以下に転送モードによる動作の違いを示します。

表 2.13 ノーマル転送モード

項目	SH7044	RX651
転送サイズ	1 バイト、1 ワード、1 ロングワード	
転送回数	1~65536 回	

表 2.14 リピート転送モード (リピート領域指定方法が異なります)

項目	SH7044	RX651
転送サイズ	1 バイト、1 ワード、1 ロングワード	
転送回数	1~256 回	
リピート領域指定方法	モードレジスタでリピートモード、元先どちらかがリピートエリアかを指定する。 更にリピート初期アドレスレジスタでリピートアドレスを指定する。	リピート初期アドレスの概念はなく、SAR、DAR の初期値どちらかをリピートする。

表 2.15 ブロック転送モード（1 ブロックサイズの考え方が異なる）

項目	SH7044	RX651
転送サイズ	1 ブロックを転送	1 ブロックを転送
1 ブロックサイズ	1～65536 バイト	1～256 データ データはバイト、ワード、ロングワード
転送回数	1～65536 回	1～65536 回

2.5.4 起動要因設定

SH7044 では DTC の起動要因設定は、DTC イネーブルレジスタ（DTEA～DTEE）に設定します。RX651 の DTC 起動要因は、割り込みコントローラの DTC 起動許可レジスタ（DTCERN n はベクタ番号）に設定することで当該割り込みによる DTC 起動を有効にします。

2.5.5 DTC ベクタの構成

両マイコンの DTC ベクタ構成の違いを示します。

SH7044 は固定アドレス 400h 番地から DTC ベクタテーブルを構成します。各転送情報のアドレスは、DTC 情報ベースレジスタ (DTBR) で転送情報アドレスの上位 16 ビットを、DTC ベクタテーブルにて下位の 16 ビットアドレスを各起動要因別に格納します。

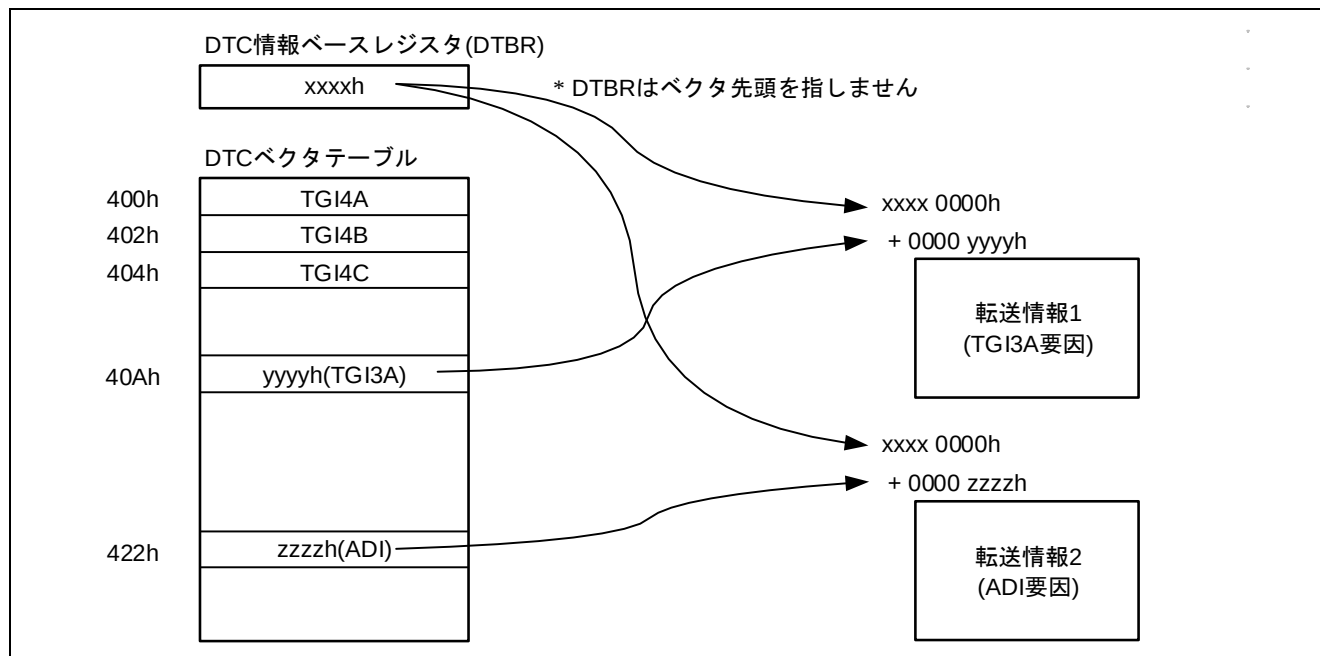


図 2.7 SH7044 の DTC ベクタ構成

RX651 は DTC ベクタベースレジスタ (DTVBR) によりベクタテーブル先頭アドレスを指定します。ベクタは 0000 0000h ~ 07FF FC00h および F800 0000h ~ FFFF FC00h の範囲で 1K バイト単位に設定できます。割り込みベクタと同じ 0~255 のベクタを持ち、各ベクタともに 32 ビットアドレスで転送情報アドレスを指定できます。SH マイコンの DTC ベクタテーブルは 400h 以降固定に対し、RX651 は DTC ベクタベースレジスタで設定できるため、DTC ベクタテーブル領域設定の自由度が向上しています。

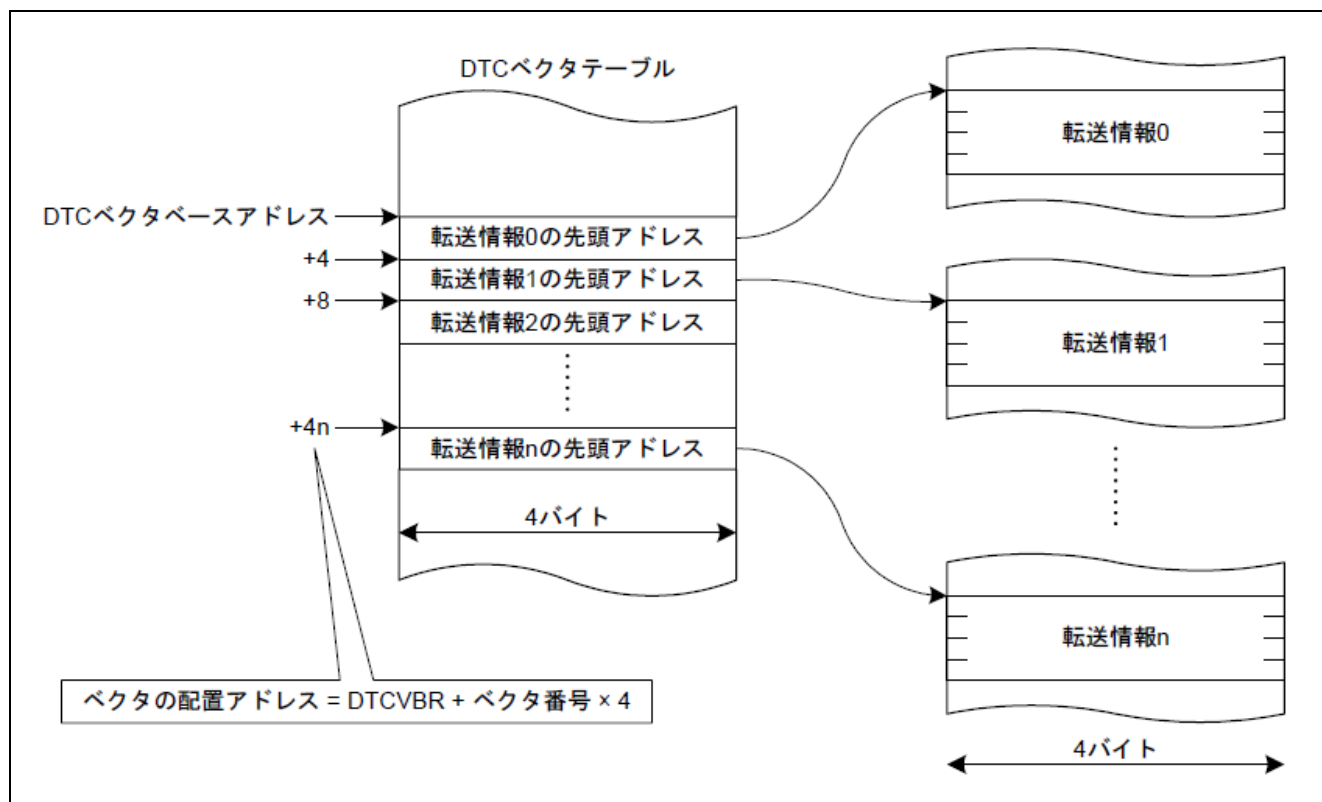


図 2.8 RX651 の DTC ベクタ構成

2.5.6 転送情報の配置

SH7044 の転送情報と RX651 の転送情報はフォーマットが異なります。

SH7044 では転送モード別に転送情報フォーマットが異なります。RX651 ではすべての転送モードにおいて同一の転送情報フォーマットを使用します。但し、RX651 では DTC 転送情報はエンディアンの影響を受けます。以下に SH7044 の各モードの転送情報フォーマット (a) と、RX651 のフルアドレスモードの転送情報フォーマット (b) を示します。

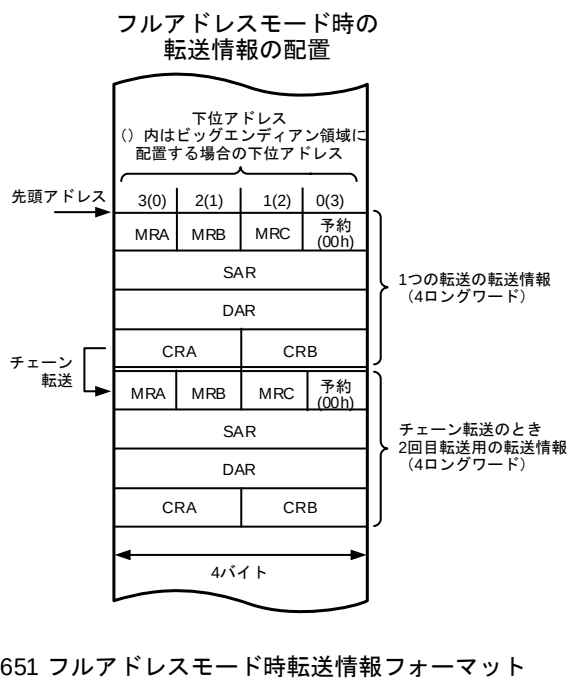
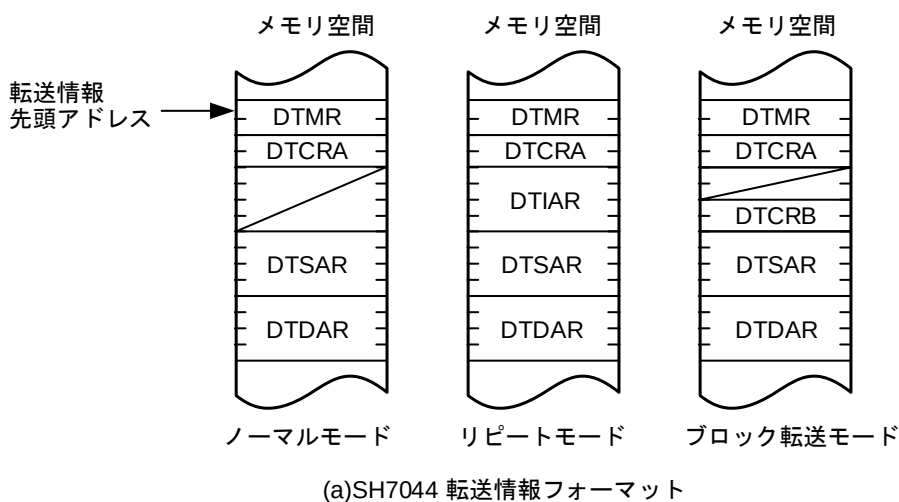


図 2.9 SH7044、RX651 DTC 転送情報フォーマット

RX651 では 24 ビットでアドレス指定可能なショートアドレスモードをサポートします。転送情報サイズがフルアドレスモードでは 4 ロングワードに対し、ショートアドレスモードでは 3 ロングワードのため、DTC の転送情報読み込みにかかる時間が短く DTC の起動が早くなります。また、転送情報自体の RAM サイズも削減できます。以下にショートアドレス時の転送情報フォーマットを示します。

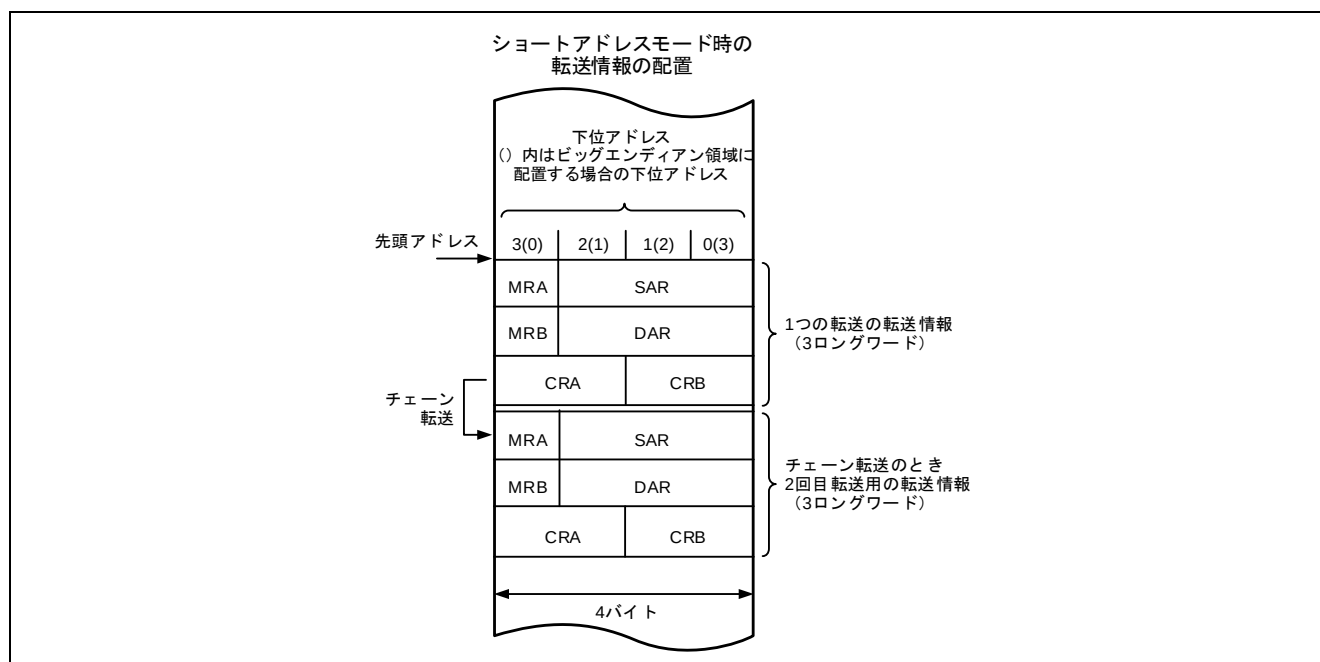


図 2.10 RX651 DTC ショートアドレスモード 転送情報フォーマット

ショートアドレスモード時は 00000000h~007FFFFFFh、FF800000h~FFFFFFFFh のアドレス範囲から 16 メガバイトの空間が転送可能です（但し、予約領域以外）。

2.5.7 モジュールストップ

RX651 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。但し、DTC は初期状態でも動作可能で、モジュールストップを解除する必要がありません。DTC はモジュールストップすることが可能ですが、モジュールストップコントロールレジスタの制御ビットが DMAC と同一ビットのため、DTC と DMAC は同時にモジュールストップします。（EXDAMC、EDMAC は別制御です）

2.6 ダイレクトメモリアクセスコントローラ (DMACa)

ダイレクトメモリアクセスコントロール機能として、SH7044 では DMAC、RX651 では DMACa と外部領域-外部領域間の転送専用の EXDMACa が内蔵されています。RX651 は、SH マイコンとは内部バス構成が異なり、CPU 命令実行と DMAC/DTC によるデータ転送の独立動作が可能なため転送性能が向上しています。

2.6.1 仕様比較

以下にそれぞれの機能、特徴を示します。

表 2.16 SH7044 (DMAC) RX651 (DMACa、EXDMACa) 機能比較

項目		SH7044	RX651	
		DMAC	DMACa	EXDMACa
チャンネル数		4ch	8ch	2ch
最大転送回数 (RX は最大転送データ数)		16M (16777216) 回	64M データ (ブロック転送モード最大総転送数 : 1024 データ×65535 ブロック) フリーランニングも可能	1M データ (ブロック転送モード最大総転送数 : 1024 データ×1024 ブロック)
DMA 起動要因		- 外部リクエスト - 内蔵モジュールリクエスト - オートリクエスト (ソフトウェアトリガ相当)	- 外部リクエストは不可 - 内蔵モジュールリクエスト - ソフトウェアトリガ - 外部割り込み	- 外部リクエスト - 内蔵モジュールリクエスト - ソフトウェアトリガ
チャンネル優先順位		以下から選択 ①CH0>CH1>CH2>CH3 ②CH0>CH2>CH3>CH1 ③CH2>CH0>CH1>CH3 ④ラウンドロビン	固定 (チャンネル 0>チャンネル 1>チャンネル 2 …>チャンネル 7)	固定 (チャンネル 0>チャンネル 1)
転送データ	1 データ	8 ビット、16 ビット、32 ビット	8 ビット、16 ビット、32 ビット	8 ビット、16 ビット、32 ビット
	リピートサイズ	—	データ数 : 1~1024	データ数 : 1~1024
	ブロックサイズ	—	データ数 : 1~1024	データ数 : 1~1024
	クラスタサイズ	—	—	データ数 : 1~8
転送モード		なし (SH の転送モードは RX のノーマル転送モードに相当)	- ノーマル転送モード - リピート転送モード - ブロック転送モード	- ノーマル転送モード - リピート転送モード - ブロック転送モード - クラスタ転送モード
バスモード		- サイクルスチールモード - バーストモード	—	—
アドレスモード		- シングルアドレスモード - デュアルアドレスモード	—	- シングルアドレスモード - デュアルアドレスモード
アドレス更新モード		- アドレス固定 - インクリメント - デクリメント	- アドレス固定 - オフセット加算 - インクリメント - デクリメント	- アドレス固定 - オフセット加算 - インクリメント - デクリメント
割り込み要求	転送終了割り込み	転送カウンタで指定した転送回数を転送終了後に発生	- ノーマル転送モード : 指定回数の転送が終了後 - リピート転送モード : 指定リピート回数の転送終了後 - ブロック転送モード : 指定ブロック数の転送終了後 - クラスタ転送モード : 指定クラスタ数の転送終了後 (EXDMACa のみ)	

	転送エスケープ終了 割り込み	—	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生	
その他		ソースアドレスリロード機能	- 拡張リピートエリア機能 - イベントリンク機能	拡張リピートエリア機能

2.6.2 DMAC ブロック図

SH7044 の DMAC のブロック図を以下に示します。

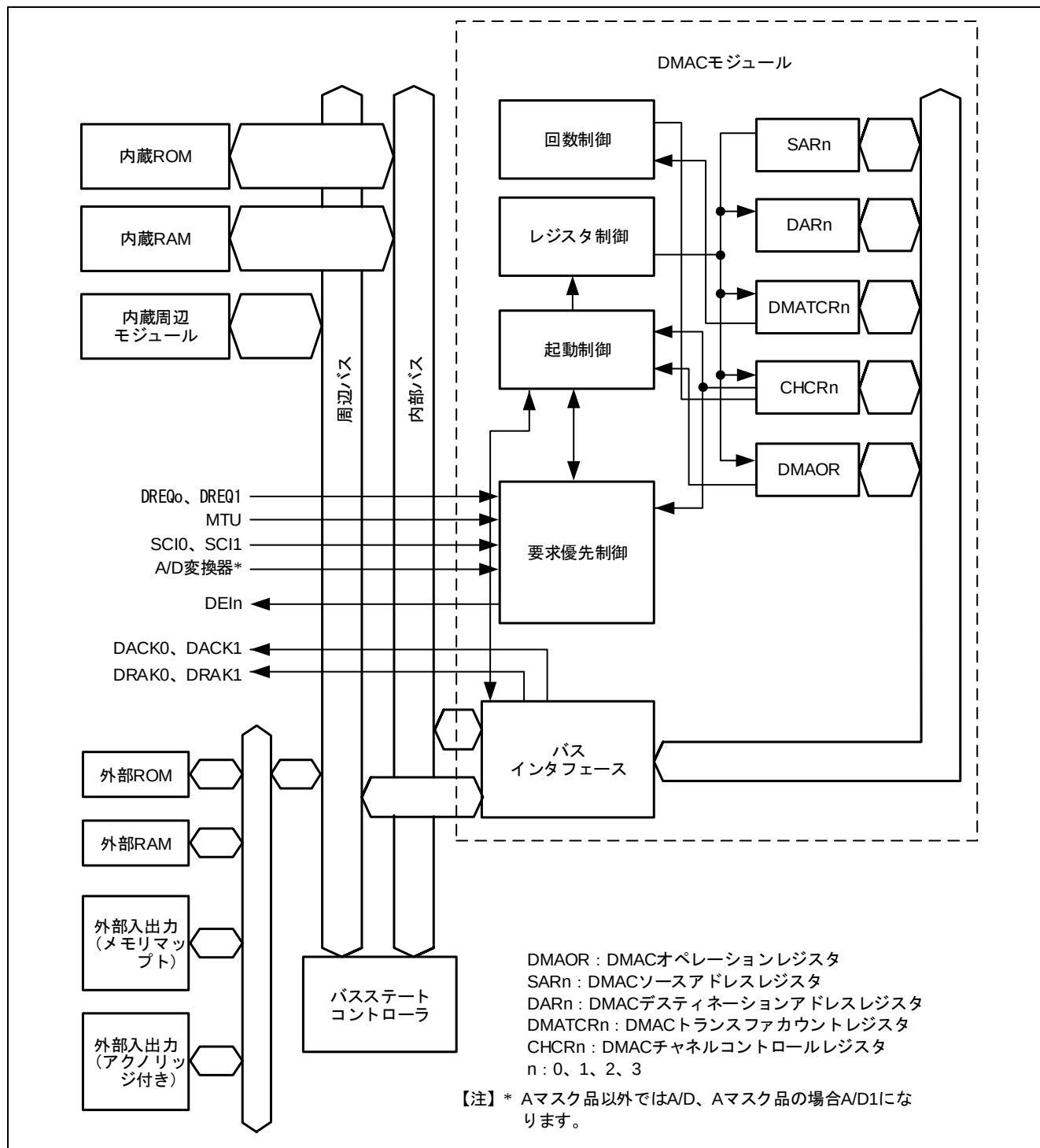


図 2.11 SH7044 DMAC ブロック図

RX651 の DMACA ブロック図を示します。

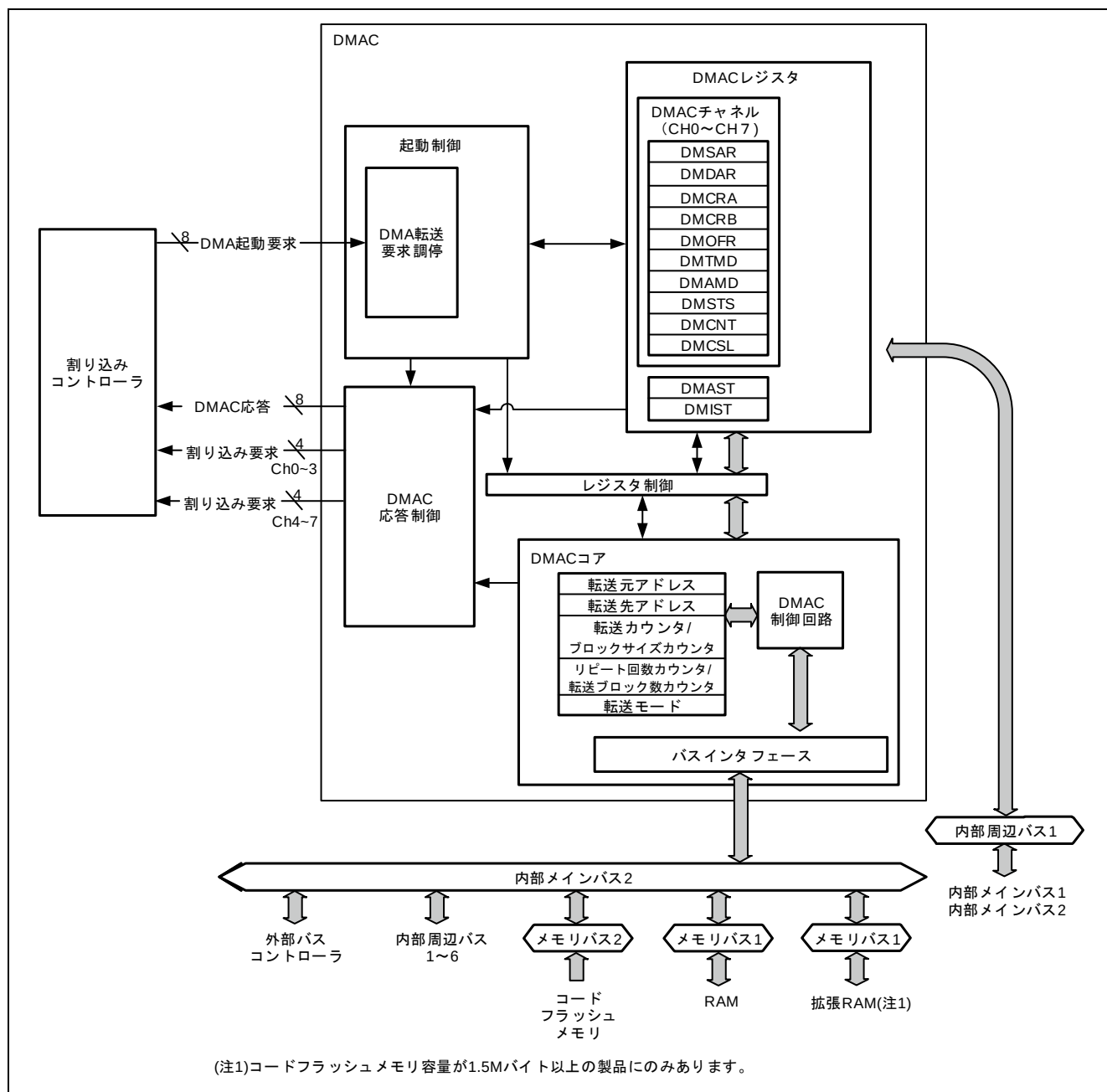


図 2.12 RX651 DMACA ブロック図

RX651 の EXDMACa ブロック図を示します。

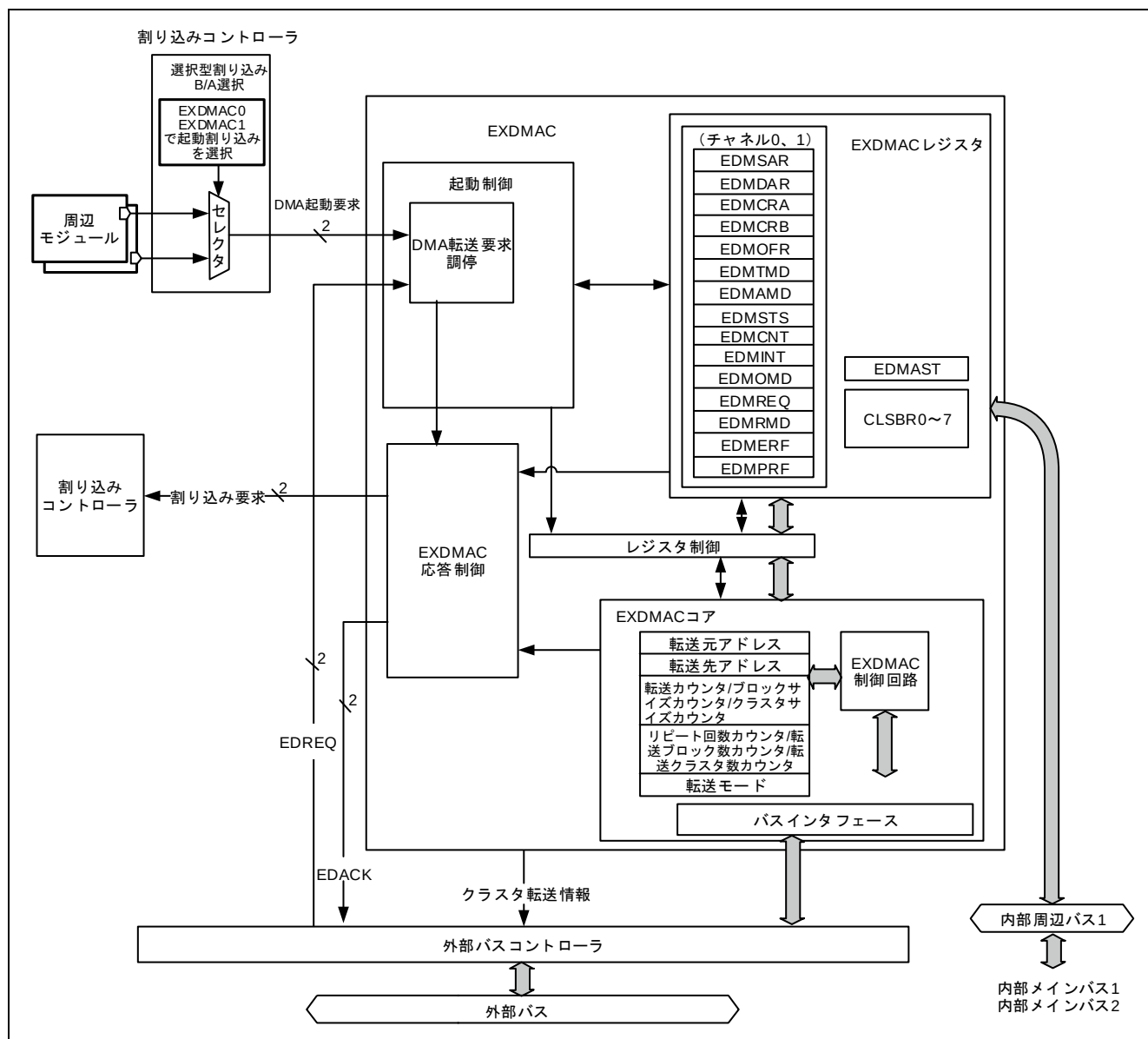


図 2.13 RX651 EXDMACa ブロック図

2.6.3 レジスタ比較

SH7044 の DMAC と RX651 の DMACA のレジスタ比較を表 2.17 SH7044/RX651 DMAC/DMACA レジスタ比較に示します。

SH7044 の DMAC と RX651 の EXDMACa のレジスタ比較を

表 2.18 SH7044/RX651 DMAC/EXDMACa レジスタ比較に示します。

表 2.17 SH7044/RX651 DMAC/DMACA レジスタ比較

SH7044	RX651
DMAC n : 0~3	DMACA m : 0~7
DMA オペレーションレジスタ (DMAOR)	DMA モジュール起動レジスタ (DMAST)
DMA ソースアドレスレジスタ n (SARn)	DMA 転送元レジスタ m (DMACm.DMSAR)
DMA デスティネーションレジスタ n (DARn)	DMA 転送先レジスタ m (DMACm.DMDAR)
DMA トランスファカウンタレジスタ n (DMATCRn)	DMA 転送カウンタレジスタ m (DMACm.DMCRA)
DMA チャンネルコントロールレジスタ (CHCRn)	DMA ブロック転送カウンタレジスタ m (DMACm.DMCRB)
—	DMA 転送モードレジスタ m (DMACm.DMTMD)
	DMA 割り込み設定レジスタ m (DMACm.DMINT)
	DMA アドレスモードレジスタ m (DMACm.DMAMD)
	DMA 転送許可レジスタ m (DMACm.DMCNT)
	DMA ソフトウェア起動レジスタ m (DMACm.DMREQ)
	DMA ステータスレジスタ m (DMACm.DMSTS)
	DMA 起動要因フラグ制御レジスタ m (DMACm.DMCSL)
	DMA オフセットレジスタ (DMAC0.DMOFR)
	DMA 割り込みステータスレジスタ m (DMACm.DMIST)

n,m は各 DMA のチャンネル数となります。

表 2.18 SH7044/RX651 DMAC/EXDMACa レジスタ比較

SH7044	RX651
DMAc n : 0~3	EXDMACa p : 0~1
DMA オペレーションレジスタ (DMAOR)	EXDMA モジュール起動レジスタ (EDMAST)
DMA ソースアドレスレジスタ n (SARn)	EXDMA 転送元レジスタ p (EXDMACp.EDMSAR)
DMA デスティネーションレジスタ n (DARn)	EXDMA 転送先レジスタ p (EXDMACp.EDMDAR)
DMA トランスファカウンタレジスタ n (DMATCRn)	EXDMA 転送カウンタレジスタ p (EXDMACp.EDMCRA)
DMA チャンネルコントロールレジスタ (CHCRn)	EXDMA ブロック転送カウンタレジスタ p (EXDMACp.EDMCRB)
—	EXDMA 出力設定レジスタ p (EXDMACp.EDMOMD)
	EXDMA 転送モードレジスタ p (EXDMACp.EDMTMD)
	EXDMA 割り込み設定レジスタ p (EXDMACp.EDMINT)
	EXDMA アドレスモードレジスタ p (EXDMACp.EDMAMD)
	EXDMA 転送許可レジスタ p (EXDMACp.EDMCNT)
	EXDMA ソフトウェア起動レジスタ p (EXDMACp.EDMREQ)
	EXDMA ステータスレジスタ p (EXDMACp.EDMSTS)
	EXDMA 外部要求センスモードレジスタ p (EXDMACp.EDMRMD)
	EXDMA 外部要求フラグレジスタ p (EXDMACp.EDMERF)
	EXDMA 周辺要求フラグレジスタ p (EXDMACp.EDMPRF)
	EXDMA オフセットレジスタ (EXDMAC0.EDMOFR)
	クラスタバッファレジスタ y (CLDBR0~7)

【注】 n,p は各 DMA のチャンネル数となります。

2.6.4 DMA 起動要因と設定

各 DMAC の転送起動要因の種類を表 2.19 DMA 起動要因の比較に示します。

表 2.19 DMA 起動要因の比較

DMA 起動要因	SH7044	RX651	
	DMAC	DMACA	EXDMACa
ソフトによる起動	可	可	可
外部デバイスからのリクエスト端子による起動	可 (_DREQ 信号起動)	不可	可 (EDREQn 信号起動)
周辺モジュールからの起動	可	可 (外部割り込み入力端子からの割り込みも可能)	可

SH7044 で周辺モジュールから DMA 起動する場合は、起動要因を DMA チャネルコントロールレジスタ (CHCRx.RS3-0) のリソースセクタに設定します。RX651 (DMACA) で周辺モジュールから DMA 起動する場合は、割り込みコントローラの DMAC 起動要求選択レジスタ (DMRSRm : m はチャネル 0~3) に起動要因のベクタ番号を設定する必要があります。

2.6.5 転送元/先について

各 DMA コントローラがサポートする転送元/先について以下に示します。

表 2.20 SH7044 DMAC 転送元/先

転送先 転送元	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	不可	●	●	不可	不可
外部メモリ	●	○	○	○	○
メモリマップト 外部デバイス	●	○	○	○	○
内蔵メモリ	不可	○	○	○	○
内蔵周辺 モジュール	不可	○	○	○	○

●：シングルアドレスモードで転送可能 ○：デュアルアドレスモードで転送可能

表 2.21 RX651 DMACA 転送元/先

転送先 転送元	EDACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	不可	不可	不可	不可	不可
外部メモリ	不可	○	○	○	○
メモリマップト 外部デバイス	不可	○	○	○	○
内蔵メモリ	不可	○	○	○	○
内蔵周辺 モジュール	不可	○	○	○	○

○：転送可能

表 2.22 RX651 EXDMACa 転送元/先

転送先 転送元	EDACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
EDACK 付き 外部デバイス	不可	●	●	不可	不可
外部メモリ	●	○	○	不可	不可
メモリマップト 外部デバイス	●	○	○	不可	不可
内蔵メモリ	不可	不可	不可	不可	不可
内蔵周辺 モジュール	不可	不可	不可	不可	不可

●：シングルアドレスモードで転送可能 ○：デュアルアドレスモードで転送可能

2.6.6 転送モード

SH7044 と RX651 の転送モードについて以下に示します。

SH7044 には転送モードの概念はありません。RX651 で代替する場合、転送モードはノーマル転送モードとなります。但し、SH7044 でソースアドレスリロード機能を使用していた場合、RX651 ではリピートモードを使用してソースアドレスを 4 回転送単位にリピートする方式で代替可能です。上記の様に SH7044 の転送方式は RX651 の転送モードで処理することが可能です。

表 2.23 RX651 転送モード

転送モード	DMACA	EXDMACa	備考
ノーマル転送	○	○	SH7044 転送方式はこれに相当
リピート転送	○	○	SH7044 のソースアドレスリロードはこれで代替可能
ブロック転送	○	○	
クラスタ転送	不可	○	

2.6.7 アドレスモード

SH7044 のアドレスモードは、シングルアドレスモードとデュアルアドレスモードがあります。

RX651 の EXDMACa は SH7044 と同じシングルアドレスモード、デュアルアドレスモードがあり、シングルアドレスモードでは 1 バスサイクルで DMA 転送を行うことができます。デュアルアドレスモードでは 2 バスサイクルで DMA 転送を行うことができます。DMACA については、アドレスモードの概念がありませんが、SH7044 のデュアルアドレスモードと同様なアドレス指定と動作を行います。

2.6.8 バスモード

SH7044 はバスモード指定をサイクルスチールモードとバーストモードから選択します。サイクルスチールモードでは 1 転送が終了するとバスを別のバスマスタに開放します。バーストモードでは一度 DMA 転送が始まると、転送が終了するまでバスを開放しません。

RX651 では DMACA、EXDMACa とともにバスモードの指定はありません。これはバスのアーキテクチャが SH7044 と異なり、バスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能なためです。RX651 では CPU の命令フェッチが ROM アクセス、オペランドが RAM アクセス中に、DMAC は周辺バス、外部バス間の転送を行うことができます。

図 2.14 バスの並列動作は CPU が ROM、RAM をアクセス中に、DMAC は内部メインバス 2 を使い、周辺バスまたは外部バスを同時にアクセスする例です。

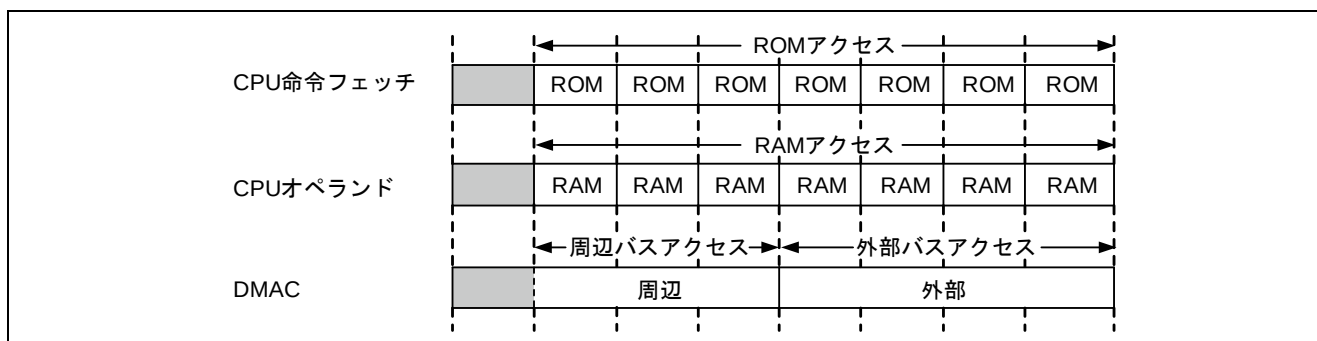


図 2.14 バスの並列動作

2.6.9 モジュールストップ

RX651 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。但し、DMACA および EXDMAC は初期状態でも動作しており、モジュールストップ解除の必要はありません。DMACA はモジュールストップ可能ですが、モジュールストップコントロールレジスタの制御ビットが DTC と同一ビットのため、DTC と DMACA は同時にモジュールストップします。

2.7 マルチファンクションタイマパルスユニット 3 (MTU3a)

2.7.1 仕様比較

RX651 の MTU3a は SH7044 の MTU の機能を包含しています(ソフトウェアコンパチ)

表 2.24 SH7044、RX651 MTU 仕様比較

項目		SH7044	RX651
パルス入出力		最大 16 本	最大 28 本
パルス入力		—	3 本
カウントクロック		チャンネル毎に 内部クロック ϕ から 6 種類、 外部クロック (TCLKA、TCLKB、 TCLKC、TCLKD) を使用して 8 種類から選択	チャンネルごとに 11 種類 (MTU0 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2 (LWA = 1 のとき) は 4 種類)
設定機能	MTU0~4 MTU6 * ¹ MTU7 * ¹ MTU8 * ¹	- コンペアマッチ波形出力 - インプットキャプチャ機能 - 同期動作 — 複数タイマ (TCNT) への同時書き込み (MTU8 を除く) — コンペアマッチ/インプットキャプチャによる同時クリア (MTU8 を除く) — カウンタの同期動作による各レジスタの同期入出力 (MTU8 を除く) - PWM モード — 任意のデューティの PWM 出力 (MTU8 を除く) — 同期動作と組み合わせて最大 12 相の PWM 出力 (MTU8 を除く)	
	MTU0,3,4 MTU6* ¹ MTU7* ¹ MTU8* ¹	バッファ動作を設定可能	
	MTU1,2	位相計数モードにより、2 相エンコーダパルスのアップダウンカウント	
	MTU3,4, MTU6 * ¹ MTU7 * ¹ MTU8 * ¹	- MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット同期 PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 - 相補 PWM モードでダブルバッファ機能を設定可能	
	MTU3,4	MTU0 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能	
	MTU5* ¹	—	デッドタイム補償用カウンタ機能
	MTU0/5* ¹ MTU1,2 MTU8 * ¹	—	MTU1、MTU2 を組み合わせて、MTU0/MTU5、MTU8 と連動させて、32 ビット位相計数モードに設定可能
相補 PWM モード		カウンタの山、谷で割り込み	
割り込み要因 (詳細は別途記載)		23 種類	43 種類
バッファ動作		レジスタの自動転送	
トリガ生成		A/D コンバータ変換のスタートトリガ	A/D コンバータ変換のスタートトリガ PPG の出力トリガ
DMAC 起動	MTU0~4 MTU5~8* ¹	TGRA のコンペアマッチまたはインプットキャプチャ *レジスタ名は SH が TGRnA となります→n はチャンネル番号	
	MTU4,7	—	オーバフロー割り込み
DTC 起動	MTU0~4	TGR のコンペアマッチまたはインプットキャプチャ	
	MTU5~8* ¹		
	MTU4 MTU8* ¹	TGR のコンペアマッチまたはインプットキャプチャ、TCNT オーバフロー/アンダフロー	

A/D 変換 開始トリガ	MTU0~4 : TGRA のコンペアマッチまたは インプットキャプチャ	MTU0~4,6,7 : TGRA のコンペアマッチまたは インプットキャプチャ MTU0 : TGRE のコンペアマッチ MTU4,7 : 相補 PWM モード時 TCNT ア ンダフロー時 (谷)
PPG トリガ	—	MTU0~3 : TGRA,B コンペアマッチまたは インプットキャプチャ
A/D 変換開始要求ディ レイ機能	—	MTU4,7 : TADCORA,B と TCNT の一致 で開始要求
割り込み間引き機能	—	MTU3,6 : TGRA のコンペアマッチ割り 込みを間引き MTU4,7 : TCIV 割り込みを間引き

*¹ RX651 のみ対応

表 2.25 SH7044、RX651 MTU 割り込み要因一覧

項目	SH7044/RX651					RX651			
	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5	MTU6	MTU7	MTU8
コンペアマッチ/インプットキャプチャ nA	○	○	○	○	○		▲	▲	▲
コンペアマッチ/インプットキャプチャ nB	○	○	○	○	○		▲	▲	▲
コンペアマッチ/インプットキャプチャ nC	○			○	○		▲	▲	▲
コンペアマッチ/インプットキャプチャ nD	○			○	○		▲	▲	▲
オーバフロー	○	○	○	○	○		▲	▲	▲
アンダフロー		○	○		○			▲ ^{*1}	
コンペアマッチ nE	▲								
コンペアマッチ nF	▲								
コンペアマッチ/インプットキャプチャ nU						▲			
コンペアマッチ/インプットキャプチャ nV						▲			
コンペアマッチ/インプットキャプチャ nW						▲			

n : チャネル番号 ○ : SH7044 と RX651 互換 ▲ : RX651 で追加

*¹:相補 PWM モード時のみ有効

2.7.2 割り込みフラグの扱い

RX651 の MTU3a と SH7044 の MTU はソフトウェアコンパチです。MTU0~MTU4 と MTU6~8 の機能は、タイマステータスレジスタ (TSR) 割り込みフラグの変更を除き、レジスタの変更なしに移植が可能です (端子設定等の初期設定は別途変更が必要です)。唯一、RX651 ではタイマステータスレジスタ (TSR) に割り込みフラグがありませんが、割り込みコントローラを設定することで同様な処理を実現できます。

RX651 の MTU 割り込みは選択型割り込み A に割り当てられています。割り込みコントローラの選択型割り込み A ステータスフラグ (PIARK.PIRn) は、自動クリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては 1.8 章を参照してください。

2.7.3 レジスタ一覧

SH7044 から RX651 に置き換えを行う場合のレジスタ設定の変更の有無を示します。

表 2.26 MTU レジスタ一覧 (1/3)

レジスタ名	SH7044 (MTU)	RX651 (MTU3a)	変更
タイマコントロールレジスタ	TCR0~4	MTU0.TCR~MTU4.TCR MTU6.TCR~MTU84.TCR	◎
		MTU5.TCRU/V/W	*1
タイマコントロールレジスタ 2		MTU0.TCR2 MTU3.TCR2~MTU4.TCR2 MTU6.TCR2~MTU8.TCR2	*1
タイマモードレジスタ	TMDR0~4	MTU0.TMDR1	◎
		MTU1.TMDR1~MTU2.TMDR1 MTU3.TMDR1~MTU4.TMDR1 MTU6.TMDR1~MTU8.TMDR1	*1
タイマモードレジスタ 2		MTU1.TMDR2A MTU2.TMDR2B	*1
タイマモードレジスタ 3		MTU.TMDR3	*1
タイマ I/O コントロールレジスタ	TIOR0H、TIOR3H、TIOR4H	MTU0.TIORH、MTU3.TIORH、 MTU6.TIORH	◎
	TIOR1、TIOR2	MTU1.TIOR、MTU2.TIOR	◎
	TIOR0L、TIOR3L、TIOR4L	MTU0.TIORL、MTU3.TIORL、 TU4.TIORL	◎
		MTU6.TIORH、MTU8.TIORH	*1
タイマコンペアマッチクリアレジスタ		TCNTCMPCLR	*1
タイマ割り込み許可レジスタ	TIER0	MTU0.TIER	◎
	TIER1、TIER2	MTU1.TIER、MTU2.TIER	◎
	TIER3、TIER4	MTU3.TIER、MTU6.TIER	◎
		MTU4.TIER、MTU7.TIER、 MTU8.TIER	*1
タイマステータスレジスタ	TSR0		
	TSR1、TSR2	MTU1.TSR MTU2.TSR	△
	TSR3、TSR4	MTU3.TSR MTU4.TSR	△
		MTU6.TSR MTU7.TSR	

【注】 ◎ SH7044 と RX651 でビットアサインが同じレジスタ

○ 新たな機能(ビット)がアサインされているレジスタ(新機能ビット以外はビットアサインが同じ)

△ RX651 には割り込みフラグのみありません

*1 SH7044 にはないレジスタ (MTU3 にて新規追加した機能のためのレジスタです。SH7044 から MTU のプログラムを移行する場合は、初期値のままで問題ありません)

表 2.27 MTU レジスタ一覧 (2/3)

レジスタ名	SH7044 (MTU)	RX651 (MTU3a)	変更
タイマバッファ動作転送モードレジスタ		MTU0.TBTM、MTU3.TBTM、 MTU4.TBTM、MTU6.TBTM、 MTU7.TBTM	*1
タイマインプットキャプチャコントロールレジスタ		MTU1.TICCR	
タイマシンクロクリアレジスタ		MTU6.TSYCR	*1
タイマカウンタ	TCNT0~4	MTU0.TCNT~MTU4.TCNT	◎
		MTU5.TCNT~MTU7.TCNT	*1
タイマロングワードカウンタ		MTU1.TCNTLW	
タイマジェネラルレジスタ	TGR0,3,4 (A,B,C,D)	MTU0.TGRA~D MTU3.TGRA~D MTU4.TGRA~D	◎
		MTU0.TGRE,F MTU1.TGRC~F MTU2.TGRC~F MTU3.TGRE,F MTU4.TGRE,F MTU5.TGRA~F MTU6.TGRA~F MTU7.TGRA~F	*1
	TGR1,2 (A,B)	MTU1.TGRA,B MTU2.TGRA,B	◎
タイマロングワードジェネラルレジスタ		MTU1.TGRALW MTU1.TGRBLW	
タイマスタートレジスタ	TSTR	MTU.TSTR	◎
タイマシンクロレジスタ	TSYR	MTU.TSYR	◎
タイマカウンタシンクロスタートレジスタ		MTU.TCSYSTR	
タイマリードライトイネーブルレジスタ		MTU.TRWERA、 MTU.TRWERB	*1
タイマアウトプットマスタ許可レジスタ	TOER	MTU.TOERA、	◎
		MTU.TOERB	*1
タイマアウトプットコントロールレジスタ 1	TOCR	MTU.TOCR1A	○
		MTU.TOCR1B	*1

【注】 ◎ SH7044 と RX651 でビットアサインが同じレジスタ

○ 新たな機能(ビット)がアサインされているレジスタ(新機能ビット以外はビットアサインが同じ)

△ RX651 には割り込みフラグのみありません

*1 SH7044 にはないレジスタ (MTU3 にて新規追加した機能のためのレジスタです。SH7044 から MTU のプログラムを移行する場合は、初期値のままで問題ありません)

表 2.27 MTU レジスタ一覧 (3/3)

レジスタ名	SH7044 (MTU)	RX651 (MTU3a)	変更
タイマアウトプットコントロールレジスタ 2		MTU.TOCR2A、MTU.TOCR2B	*1
タイマアウトプットレベルバッファレジスタ		MTU.TOLBRA、MTU.TOLBRB	*1
タイマゲートコントロールレジスタ A		MTU.TGCRA	*1
タイマサブカウンタ		MTU.TCNTSA、MTU.TCNTSB	*1
タイマ周期データレジスタ		MTU.TCDRA、MTU.TCDRB	*1
タイマ周期バッファレジスタ		MTU.TCBRA、MTU.TCBRA	*1
タイマデッドタイムデータレジスタ		MTU.TDDRA、MTU.TDDRB	*1
タイマデッドタイムイネーブルレジスタ		MTU.TDERA、MTU.TDERB	*1
タイマバッファ転送設定レジスタ		MTU.TBTERA、MTU.TBTERB	*1
タイマ波形コントロールレジスタ		MTU.TWCRA、MTU.TWCRB	*1
ノイズフィルタコントロールレジスタ n		MTU0.NFCR0、MTU1.NFCR1、 MTU2.NFCR2、MTU3.NFCR3、 MTU4.NFCR4、MTU6.NFCR6、 MTU7.NFCR7、 MTU8.NFCR8	*1
タイマ波形コントロールレジスタ		MTU.TWCRA、MTU.TWCRB	*1
ノイズフィルタコントロールレジスタ n		MTU0.NFCR0、MTU1.NFCR1、 MTU2.NFCR2、MTU3.NFCR3、 MTU4.NFCR4、MTU6.NFCR6、 MTU7.NFCR7、 MTU8.NFCR8	*1
ノイズフィルタコントロールレジスタ 5		MTU5.NFCR5	*1
タイマ A/D 変換開始要求コントロールレジスタ		MTU4.TADCR	*1
タイマ A/D 変換開始要求周期設定レジスタ		MTU4.TADCORA、 MTU4.TADCORB、 MTU7.TADCORA、 MTU7.TADCORB	*1
タイマ A/D 変換開始要求周期設定バッファレジスタ		MTU4.TADCOBRA、 MTU4.TADCOBRB、 MTU7.TADCOBRA、 MTU7.TADCOBRB	*1
タイマ割り込み間引きモードレジスタ		MTU.TITMRA、MTU.TITMRB	*1
タイマ割り込み間引き設定レジスタ 1		MTU.TITCR1A	*1
タイマ割り込み間引き回数カウンタ 1		MTU.TITCNT1A	*1
タイマ割り込み間引き設定レジスタ 2		MTU.TITCR2A	*1
タイマ割り込み間引き回数カウンタ 2		MTU.TITCNT2A	*1

【注】 ◎ SH7044 と RX651 でビットアサインが同じレジスタ

○ 新たな機能(ビット)がアサインされているレジスタ(新機能ビット以外はビットアサインが同じ)

*1 SH7044 にはないレジスタ (MTU2 にて新規追加した機能のためのレジスタです。SH7044 から MTU のプログラムを移行する場合、初期値のままで問題ありません)

2.7.4 ユニット選択機能

MTU と TPU の割り込み要因の一部が同一ベクタに割り付けられています。MTU を使用する場合セクタを設定し、使用する割り込みを決定する必要があります。

2.7.5 モジュールストップ

RX651 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。MTU も初期状態はモジュール停止しているため、モジュール設定時はかならずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライトプロテクションを解除してアクセスしてください。

2.8 ウォッチドッグタイマ (WDTA)

2.8.1 仕様比較

ウォッチドッグタイマモジュールとして、SH7044 には WDT が内蔵されます。RX651 では WDTA の他に、独立した専用クロックで動作する IWDTa が内蔵されます。以下にそれぞれの仕様を比較します。

表 2.27 SH7044、RX651 WDT、WDTA、IWDTa 仕様比較

項目	SH7044	RX651	
	WDT	WDTA	IWDTa
クロックソース	システムクロック (ϕ)	周辺クロック (PCLK)	IWDT 専用クロック (IWDTCLK)
クロック分周比	$\phi/2, 64, 128, 256, 512, 1024, 4096, 8192$	$PCLK/4, 64, 128, 512, 2048, 8192$	$IWDTCLK/1, 16, 32, 64, 128, 256$
カウント動作	8 ビットのアップカウンタ	14 ビットのダウンカウンタ	14 ビットのダウンカウンタ
動作モード	- ウォッチドッグタイマモード - インターバルタイマモード	動作モードの概念ではなくオプション設定メモリで変更 - リセット出力許可 (ウォッチドッグタイマモード相当) - 割り込み要求許可 (インターバルタイマモード相当)	動作モードの概念ではなくオプション設定メモリで変更 - リセット出力許可 (ウォッチドッグタイマモード相当) - 割り込み要求許可 (インターバルタイマモード相当)
カウント開始条件	タイマコントロールレジスタのタイマイネーブルビットをイネーブル	以下の動作から選択可能 - リセット解除後、自動的にカウント開始 (オートスタートモード) - リフレッシュ動作によりカウント開始 (レジスタスタートモード)	以下の動作から選択 - リセット時自動的にカウント開始 (オートスタートモード) - リフレッシュ動作によりカウント開始 (レジスタスタートモード)
カウント停止条件	■ウォッチドッグタイマモード時 - オーバフロー時 ●パワーオンリセット時 ■インターバルタイマモード時 - タイマコントロールレジスタのタイマイネーブルビットをディスエーブル ●パワーオンリセット時	- アンダフロー時 - リセット時 (ダウンカウンタ、レジスタ初期値へ戻る) - リフレッシュエラー発生時	- アンダフロー時 - リセット時 (ダウンカウンタ、レジスタ初期値へ戻る) - リフレッシュエラー発生時
オーバフロー/アンダフロー時の動作	■ウォッチドッグタイマモード時 - WDTOVF 出力 - 内部リセット ■インターバルタイマモード時 - 割り込み	- リセット出力許可時 内部リセット - 割り込み要求出力許可時 割り込み	- リセット出力許可時 内部リセット - 割り込み要求出力許可時 割り込み
その他	—	ウィンドウ機能 オプション機能選択レジスタ 0 に対する設定で以下を決定	イベントリンクコントローラとの連携 - ウィンドウ機能 - 低消費電力でも動作可能

		— クロック分周比 — リフレッシュウインドウ開始/終了 — タイムアウト期間 — アンダフロー時の動作	オプション機能選択レジスタ 0 に対する設定で以下を決定 — クロック分周比 — リフレッシュウインドウ開始/終了 — タイムアウト期間 — アンダフロー時の動作
--	--	---	--

— : SH7044 にはない機能

2.8.2 カウント開始条件

SH7044 グループ はタイマイネーブルビットへの 1 書き込みでカウントを開始します。RX651 ではオプション機能選択レジスタでレジスタ書き込みでカウントを開始するレジスタスタートモード（SH7044 グループ 同様）と、リセット後に自動的にカウントを開始するオートスタートモードの選択が可能です。

RX651 のオートスタートモードを選択した場合は、オプション機能選択レジスタ（OFS0）の設定に従い、リセット後に自動的にカウントを開始します。レジスタスタートモードを選択した場合は、リセット解除後のリフレッシュ動作により、カウントを開始します。

2.8.3 割り込み

RX651 の WDTA および IWDTA 割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。割り込みコントローラの割り込みステータスフラグ（IRn.IR）は、割り込みを受けつけると自動的にクリアされます。

割り込みについては 1.8 章を参照してください。

2.8.4 リフレッシュ動作

RX651 は WDT リフレッシュレジスタ（WDTRR）へ“00h”を書き込んだ後、続けて“FFh”を書き込むことでカウントをリフレッシュします。WDT リフレッシュレジスタへの書き込みは、リフレッシュ許可期間内に行う必要があります。IWDTA のカウントをリフレッシュする場合は、リフレッシュ許可期間内に IWDTR リフレッシュレジスタ（IWDTRR）へ同様の書き込みを行ってください。

表 2.28 リフレッシュ動作の比較

項目	SH7044 グループ	RX651 (WDTA)
リフレッシュ条件	ウォッチドッグタイマカウンタ (TCNT) への書き込み	リフレッシュ許可期間内にリフレッシュレジスタ (WDTRR) に“00h”を書き込み後、“FFh”を書き込む
リフレッシュ後のカウンタ初期値	ウォッチドッグタイマカウンタ (TCNT) へ書き込んだ値	レジスタスタートモード時 — WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS) で選択した値 オートスタートモード時 — オプション機能選択レジスタの WDT タイムアウト期間選択ビット (OFS0.WDTPS) で選択した値

2.8.5 レジスタ書き込み制限

SH7044 グループ、RX651 とともに WDT のレジスタ書き込みには制限があります。レジスタ書き込み制限を以下に示します。

表 2.29 SH7044 グループ レジスタ書き込み制限

項目	書き込み制限
タイマカウンタ (TCNT) リセットコントロール/ステータスレジスタ (RSTCSR) — リセットイネーブル (RSTCSR.RSTE) — リセットセレクト (RSTCSR.RSTS)	下記構成のワードサイズで書き込み — 上位バイト: "5Ah" — 下位バイト: 書き込みデータ
タイマコントロール/ステータスレジスタ (TCSR) リセットコントロール/ステータスレジスタ (RSTCSR) — ウォッチドッグタイマオーバフローフラグ (RSTCSR.WOVF)	下記構成のワードサイズで書き込み — 上位バイト: "A5h" — 下位バイト: 書き込みデータ

表 2.30 RX651 レジスタ書き込み制限

項目	書き込み制限
WDT コントロールレジスタ (WDTCR) WDT リセットコントロールレジスタ (WDTRCR) IWDT コントロールレジスタ (IWDTCR) IWDT リセットコントロールレジスタ (IWDTRCR) IWDT カウント停止コントロールレジスタ (IWDTCSIPR)	リセット解除から最初のリフレッシュ動作までの間に 1 回のみ書き込み可能

2.8.6 割り込み

RX651 の WDTA および IWDTa 割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつけると自動的にクリアされます。

割り込みについては 1.8 章を参照してください。

2.8.7 モジュールストップ

RX651 の周辺モジュールは、消費電力低減機能により初期状態で停止となっていますが、WDTA、IWDTa にはモジュールストップ機能がありません。初期状態の動作はオプション設定メモリで決定します。なお、WDTA は全モジュールストップ時、カウントを停止し状態を保持します。また、IWDTa は全モジュールストップ時の動作、停止はオプション設定メモリで選択できます。

2.9 シリアルコミュニケーションインターフェース (SCIg, SCli, SClh)

2.9.1 仕様比較

SH7044 の SCI に対して、RX651 は SCIg/SCli/SClh が内蔵されています。SCIg は従来の転送方式の調歩同期式、クロック同期式に加えて、調歩同期式の拡張機能としてスマートカード (IC カード) インタフェースに対応しています。更に、簡易 I2C バスインタフェースのシングルマスタ動作、および簡易 SPI バスインタフェースにも対応しています。SCI2 は拡張シリアルインタフェースを備えています。SH7044 にはない転送方式はユーザーズマニュアル ハードウェア編を参照してください。

表 2.31 SCI の相違点

項目		SH7044	RX651
チャンネル数		2Ch (SCI0,1)	13Ch SCIg : SCI0~9 SCli : SCI10~11 SClh : SCI12
シリアル通信方式		- 調歩同期式 - クロック同期式	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I2C バス - 簡易 SPI バス
転送速度		内蔵ボーレートジェネレータにより任意のビットレートを選択可能	
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
データ転送		LSB ファーストのみ	LSB ファースト/MSB ファースト選択可能 (簡易 I2C バスでは MSB ファーストのみ)
割り込み要因		- 送信データエンプティ - 送信終了 - 受信データフル - 受信エラー	- 送信データエンプティ - 送信終了 - 受信データフル - 受信データレディ - 受信データ一致 - 受信エラー - 開始条件* - 再開条件* - 停止条件生成終了* *簡易 I2C モード用
調歩同期モード	データ長	7 ビット, 8 ビット	7 ビット, 8 ビット, 9 ビット
	ストップビット	1 ビット, 2 ビット	
	パリティ機能	偶数パリティ、奇数パリティ、パリティなし	
	受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー	
	ハードウェアフロー制御	なし	あり (CTS、RTSn 端子で制御可能)
	データ一致検出	なし	受信データと比較データレジスタを比較し、一致すると割り込み要求を生成可能
	ブレーク検出	フレーミングエラー発生時 RxDn 端子レベルを直接リードすることで可能	
	クロックソース	内部/外部クロックから選択可能	内部/外部クロックから選択可能 TMR からの転送レートクロックが入力可能 (SCI5,6)
	マルチプロセッサ通信	あり	
クロック同期モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	ハードウェアフロー制御	なし	あり (CTS、RTSn 端子で制御可能)
スマートカードインタフェース		なし	あり
簡易 I2C モード		なし	あり
簡易 SPI モード		なし	あり
拡張シリアルモード		なし	SClh (SCI12) のみ実装

内蔵 SCI のレジスタの比較を以下にまとめました。

表 2.32 SCI 通信レジスタ一覧

SH7044	RX651	変更
トランスミットデータレジスタ (TDR)	トランスミットデータレジスタ (TDR)	◎
トランスミットシフトレジスタ (TSR)	トランスミットシフトレジスタ (TSR)	◎
レシーブデータレジスタ (RDR)	レシーブデータレジスタ (RDR)	◎
レシーブシフトレジスタ (RSR)	レシーブシフトレジスタ (RSR)	◎
シリアルモードレジスタ (SMR)	シリアルモードレジスタ (SMR)	◎
シリアルコントロールレジスタ (SCR)	シリアルコントロールレジスタ (SCR)	◎
シリアルステータスレジスタ (SSR)	シリアルステータスレジスタ (SSR/SSRFIFO)	◎*1
ビットレートレジスタ (BBR)	ビットレートレジスタ (BBR)	◎
—	スマートカードモードレジスタ (SCMR)	○
—	シリアル拡張モードレジスタ (SEMR)	○
—	ノイズフィルタ設定レジスタ (SNFR)	○*2
—	I2C モードレジスタ 1~3 (SIMR1~3)	*2
—	I2C ステータスレジスタ (SISR)	—
—	SPI モードレジスタ (SPMR)	*2,3
—	拡張シリアルモード有効レジスタ (ESMER)	—
—	コントロールレジスタ 0~3 (CR0~3)	—
—	ポートコントロールレジスタ (PCR)	—
—	割り込みコントロールレジスタ (ICR)	—
—	ステータスレジスタ (STR)	—
—	ステータスクリアレジスタ (STCR)	—
—	Control Field 0 データレジスタ (CF0DR)	—
—	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	—
—	Control Field 0 受信データレジスタ (CF0RR)	—
—	プライマリ Control Field 1 データレジスタ (PCF1DR)	—
—	セカンダリ Control Field 1 データレジスタ (SCF1DR)	—
—	Control Field1 コンペアイネーブルレジスタ (CF1CR)	—
—	Control Field1 受信データレジスタ (CF1RR)	—
—	タイマコントロールレジスタ (TCR)	—
—	タイマモードレジスタ (TMR)	—
—	タイマプリスケラレジスタ (TPRE)	—
—	タイマカウントレジスタ (TCNT)	—
—	レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)	—
—	受信 FIFO データレジスタ (FRDR)	—
—	トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)	—
—	送信 FIFO データレジスタ (FTDR)	—
—	モジュレーションデューティレジスタ (MDDR)	—
—	FIFO コントロールレジスタ (FCR)	—

—	FIFO データカウントレジスタ (FDR)	—
—	ラインステータスレジスタ (LSR)	—
—	比較データレジスタ (CDR)	—
—	データ比較制御レジスタ (DCCR)	—
—	シリアルポートレジスタ (SPTR)	—

【注】 ◎ SH7044 と RX651 でビットアサインが同じレジスタ

○ 機能を使用するうえで設定が必要なレジスタで、SH7044 にはないレジスタ

— SH7044 にはないレジスタ (SH7044 から SCI のプログラムを移行する場合、初期値のままで問題ありません)

*1 TDRE/RDRF のみ差異があります。

スマートカードインタフェースモードと非スマートカードインタフェースモード、FIFO モードと非 FIFO モードに応じて一部のビットの機能が異なります。

*2 プログラムを移行する場合、初期値のままで構いません。

*3 CTS、RTS によるフロー制御を行う場合に設定が必要なレジスタ及び各レジスタのビットアサインについてはユーザーズマニュアル ハードウェア編を参照してください。

2.9.2 クロックソース選択

RX651 は、調歩同期式モードで通信を行う場合、クロックソースに TMR クロック入力 (SCI5, SCI6, SCI12 のみ) を選択することができます。また、SH7044 グループ は内部クロックを選択するとポートジェネレータのクロックで動作し、外部クロックを選択するとクロックの 16 ビット固定なのに対し、RX65N は 8 ビットまたは 16 ビットから選択することができます。

2.9.3 割り込み

SH7044 グループ および RX651 は、受信データフルおよび送信データエンプティによる割り込みで DTC と DMAC の起動が可能です。

SH7044 グループ と RX72M の割り込み要因一覧を表 2.33 に示します。

割り込みについては 1.8 章を参照してください。

表 2.33 SCI 割り込み要因一覧

優先順位	割り込み要因	割り込みによる起動	
		SH7044 グループ	RX651
高い ↑ 低い	受信エラー	不可能	不可能
	受信データフル	DMAC/DTC の起動可能	DMAC/DTC の起動可能
	送信データエンプティ		
	送信終了	不可能	不可能

2.9.4 SCI 置き換え

SH7044 の SCI を RX651 の SCIg/i/h に置き換える場合以下の様な違いがあります。

① TDRE、RDRF

SH7044 のシリアルステータスレジスタのトランスミットレジスタエンプティ (TDRE) とレシーブデータフル (RDRF) のフラグは、RX651 のシリアルステータスレジスタの送信データエンプティフラグ (TDRE) と受信データフルフラグ (RDRF) に相当します。

② 1 ビット期間決定とクロックソース選択

調歩同期式モードで通信を行う場合、シリアル拡張モードレジスタ (SEMR) において 1 ビット期間を決定するクロックソースを外部クロック入力、TMR クロック入力から選択します。また、1 ビット期間が基本クロックの 8 ビット/16 ビットかを選択します。

③ デジタルノイズフィルタ

デジタルノイズフィルタの有効、無効についてシリアル拡張モードレジスタ (SEMR) で設定します。なお、ノイズフィルタ有効の場合は、ノイズフィルタ設定レジスタ (SNFR) にノイズフィルタのクロックセレクト選択を設定してください。

④ 受信エラー割り込み

受信エラー割り込みがグループ割り込みに割り付けられます。グループ割り込みは SCI0~12 の 12 チャンネル分の受信エラーがひとつのベクタに割り付けられます。よって、受信エラー割り込みが発生した場合、グループ割り込み要因レジスタ 12 (GRP12) の ISn (n はチャンネル番号) にてエラー発生チャンネルを検出する必要があります。1 チャンネル内のエラー処理はオーバランエラー、フレーミングエラー、パリティエラーともに SH7044 と同様です。

2.9.5 モジュールストップ

RX651 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。SCI も初期状態はモジュール停止しているため、モジュール設定時はかならずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライトプロテクションを解除してアクセスしてください。

2.10 10 ビット A/D コンバータ

2.10.1 仕様比較

RX651 には 10 ビット A/D コンバータはありません。12 ビット A/D コンバータ (S12ADFa) を使用して下さい。(12 ビット A/D コンバータを参照)

2.11 12 ビット A/D コンバータ (S12ADFa)

2.11.1 仕様比較

SH7044 の高速 A/D 変換器と RX651 の 12 ビット A/D コンバータ (S12ADFa) の機能、特徴の比較を以下に示します。

表 2.34 SH7044、RX651 高速 A/D 変換仕様比較

項目	SH7044	RX651
	高速 A/D 変換	12 ビット A/D コンバータ (S12ADFa)
分解能	10 ビット	12 ビット
入力チャンネル数	8 チャンネル	2 ユニット (S12AD, S12AD1) S12AD : 8 チャンネル、S12AD1 : 21 チャンネル+拡張 1 本
A/D 変換方式	逐次比較方式	逐次比較方式
変換速度	1 チャンネルあたり $2.9 \mu\text{s}$ (動作周波数 28MHz)	1 チャンネル当たり ($0.48 \mu\text{s}$) (12 ビット変換モード) 1 チャンネル当たり ($0.45 \mu\text{s}$) (10 ビット変換モード) 1 チャンネル当たり ($0.42 \mu\text{s}$) (8 ビット変換モード) (A/D 変換クロック ADCLK = 60MHz 動作時)
動作モード	- セレクトモード/グループモードから選択 - シングルモード/スキャンモードから選択	動作モードは 2 ユニット個別で設定可能 - シングルスキャンモード - 連続スキャンモード - グループスキャンモード グループ優先制御あり
A/D 変換開始条件	- ソフトウェアトリガ - タイマの変換開始トリガ (MTU) - 非同期トリガ (ADTRG 端子)	- ソフトウェアトリガ - 同期トリガ (MTU、TPU、TMR、ELC) - 非同期トリガ (ADTRG0#端子、ADTRG1#端子)
その他機能	- バッファ動作 2 チャンネル同時サンプリング	- DMAC を使用またはデータレジスタ (21 本) で対応可能 4 チャンネル同時サンプリング (ユニット 0 : 3ch ユニット 1 : 1) - チャンネル専用サンプル&ホールド機能 - サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出アシスト機能 - ダブルトリガモード 12/10/8 ビット変換切り替え機能 - A/D データレジスタオートクリア機能 - 拡張アナログ入力機能 - コンペア機能 - イベントリンク機能
A/D 変換終了割り込みに連動した動作	- CPU 割り込み発生 - DMAC または DTC を起動	- 各モード別に各種 CPU 割り込み発生 - デジタルコンペア機能の比較条件成立で、コンペア割り込み要求を発生 - DMAC 又は DTC を起動
消費電力低減機能	なし	モジュールストップ状態設定可能
変換対象	AN 端子	AN 端子 内部基準電圧 温度センサ出力 拡張入力

2.11.2 入力チャネル

SH7044 グループは 8 チャネルで構成され、RX651 は 8 チャネルと 21 チャネルの 2 ユニット S12AD と S12AD1 で構成されています。SH7044 グループ 同様に、RX651 はユニットごとに A/D 変換器を持つため、ユニットごとの同時動作は可能ですがユニットをまたぐ連続スキャンはできません。

SH7044 グループ と RX651 の A/D 変換器の構成比較を図 2.15 に示します。

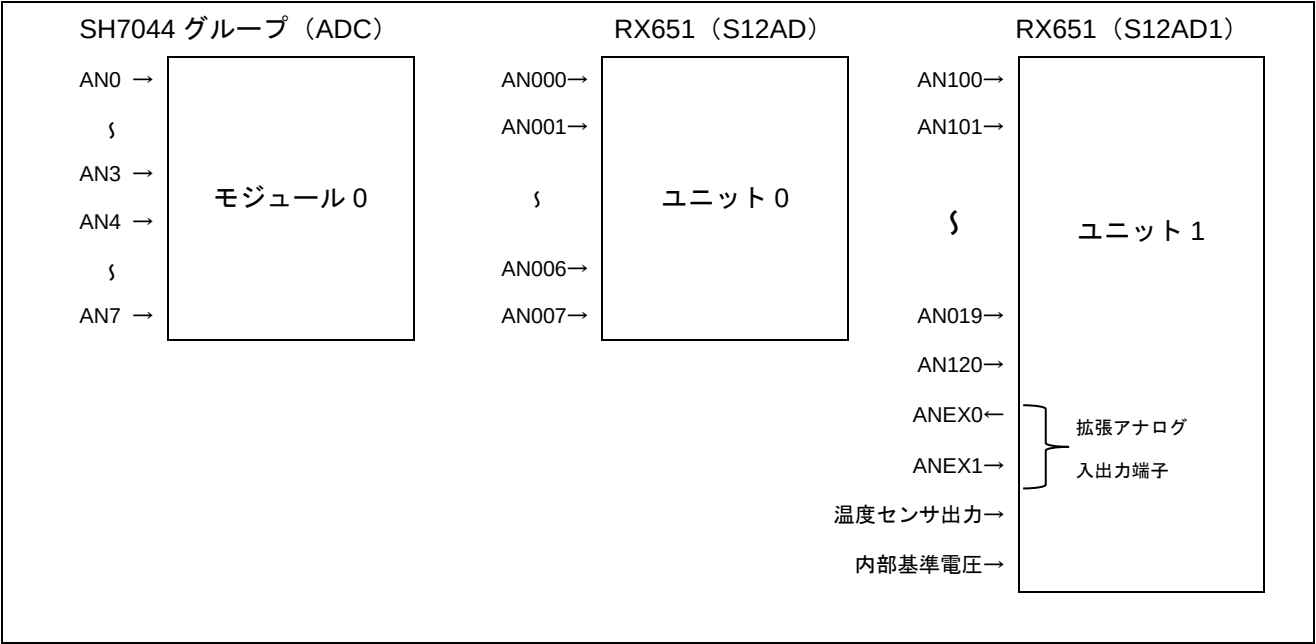


図 2.15 A/D 変換器の構成比較

2.11.3 スキャン順序

全チャネルを指定した場合のスキャン順序を表 2.35 に示します。

表 2.35 A/D 変換器のスキャン順序

マイコン	A/D 変換器	変換順序
SH7044 グループ	ADC (モジュール 0)	AN0⇒AN1⇒省略⇒AN6⇒AN7
RX651	S12AD	AN0⇒AN1⇒省略⇒AN6⇒AN7⇒温度センサ出力⇒内部基準電圧 グループスキャンの場合はグループ A の優先制御動作を選択可能
	S12AD1	AN100⇒AN101⇒省略⇒AN119⇒AN120⇒温度センサ出力⇒内部基準電圧 グループスキャンの場合はグループ A の優先制御動作を選択可能

2.11.4 動作モード

SH7044 の高速 A/D 変換器は、以下のモードの組み合わせで動作を決定します。

■ チャンネル指定のモード

セレクトモード：1 チャンネルを指定します。

グループモード：複数のチャンネルを指定します。

■ 変換動作のモード

シングルモード：A/D 変換を 1 回起動する。

スキャンモード：A/D 変換を繰り返し起動する。

表 2.36 SH7044 高速 A/D 変換器動作モード

動作モード	シングルモード	スキャンモード
セレクトモード	1 チャンネルを 1 回変換	1 チャンネルを繰り返し変換
グループモード	複数チャンネルを 1 回変換	複数チャンネルを繰り返し変換

高速 A/D 変換器からの置き換えを行う場合の動作モードの対応を示します。

表 2.37 A/D 変換器動作モード対応

NO.	SH7044 (高速 A/D 変換器)	RX651 (S12ADFa)
1	セレクトシングルモード	シングルスキャンモード (1 チャンネルだけ指定する)
2	セレクトスキャンモード	連続スキャンモード (1 チャンネルのみを指定する)
3	グループシングルモード	シングルスキャンモード (複数チャンネルを指定する)
4	グループスキャンモード	連続スキャンモード (複数チャンネルを指定する)

2.11.5 割り込み

RX651 の S12ADFa 割り込みは、グループ割り込み BL1 と選択型割り込み B に割り当てられています。グループ BL1 割り込みステータスフラグ (GRPBL1.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。選択型割り込み B ステータスフラグ (PIBRk.PIRn) は、自動的にクリアされませんが、そのままだ割り込み要求の生成には影響しません。

割り込みについては 1.8 章を参照してください。

2.11.6 モジュールストップ

RX651 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。A/D 変換器 (S12ADFa) も初期状態はモジュール停止しているため、モジュール設定時はかならずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライトプロテクションを解除してアクセスしてください。

2.11.7 その他の差異

SH7044 の高速 A/D 変換器でサポートしていた低消費電力変換モード、バッファ動作に該当する機能は RX651 の 12 ビット A/D 変換器にはありません。

2.12 コンペアマッチタイマ（CMT）

2.12.1 仕様比較

表 2.38 SH7044、RX651 CMT 仕様比較

項目	SH7044	RX651
クロック	4 種類の内部クロックからチャンネル別に選択可能 ($\phi/8,32,128,512$)	4 種類の内部クロックからチャンネル別に選択可能 (PCLK/8,32,128,512)
ユニット数 (チャンネル数)	1 ユニット (全 2 チャンネル)	2 ユニット (全 4 チャンネル)
割り込み要因	コンペアマッチ割り込みをチャンネル別に要求可能 (CMIO,1)	コンペアマッチ割り込みをチャンネル別に要求可能 (CMIO,1,2,3)

2.12.2 CMT の置き換え

SH7044 の CMT と RX651 の CMT はソフトウェアコンパチブルです。但し、RX651 のコンペアマッチタイマコントロール/ステータスレジスタ（CMCSR0/1）に割り込みフラグがないため、割り込みコントローラの割り込みフラグを使用することになります。なお、コンペアマッチ割り込みハンドラ内でのフラグクリアは必要ありません。（割り込み受け付け時に割り込みコントローラで自動的にクリアします）以下にコンペアマッチタイマのレジスタの比較を示します。

表 2.39 コンペアマッチタイマレジスタ一覧

レジスタ名	SH7044	RX651	変更
チャンネル	チャンネル 0,1	ユニット 0（チャンネル 0,1）	◎
コンペアマッチタイマスタートレジスタ	CMSTR	CMSTR0	◎
コンペアマッチタイマコントロール/ ステータスレジスタ	CMCSR0,1	CMT0.CMCR, CMT1.CMCR	◎*1
コンペアマッチタイマカウンタ	CMCNT0,1	CMT0.CMCNT, CMT1.CMCNT	◎
コンペアマッチタイマコンスタントレジスタ	CMCOR0,1	CMT0.CMCOR, CMT1.CMCOR	◎
ユニット 1	—	ユニット 1（チャンネル 2,3）	○
—		CMSTR1	○
		CMT2.CMCR, CMT3.CMCR	○*1
		CMT2.CMCNT, CMT3.CMCNT	○
		CMT2.CMCOR, CMT3.CMCOR	○

【注】 ◎ SH7044 と RX651 でビットアサインが同じレジスタ

○ ユニット 1 のレジスタです。ビットアサインはユニット 0 と同じです

*1 割り込みフラグはありません。割り込みコントローラの IR ビットで代替してください。

2.12.3 モジュールストップ

RX651 の周辺モジュールは、消費電力低減機能により初期状態で停止となっています。CMT も初期状態はモジュール停止しているため、モジュール設定時は必ずモジュールストップ解除を行ってください。モジュールストップ解除時、モジュールストップコントロールレジスタをアクセスする際は必ずレジスタライトプロテクションを解除してアクセスしてください。

2.13 フラッシュメモリ

2.13.1 仕様比較

表 2.40 SH7044、RX651 フラッシュメモリ仕様比較

項目	SH7044	RX651
サイズ	256K バイト	ROM エリア ユーザ領域：最大 2M バイト
ブロックサイズ× ブロック数	1K バイト×4 (4K バイト) 28K バイト×1 (28K バイト) 32K バイト×7 (224K バイト)	リニアモード - ブロック 0~7 8K バイト×8 (64K バイト) - ブロック 8~69 32K×61 (1952K バイト) デュアルモード - ブロック 0~7 8K バイト×8 (64K バイト) - ブロック 8~37 32K×29 (464K バイト) - ブロック 38~45 8K バイト×8 (64K バイト) - ブロック 46~75 32K×29 (464K バイト)
動作モード	- プログラムモード - イレースモード - プログラムベリファイモード - イレースベリファイモード	フラッシュシーケンサ（以下 FCU） FACI コマンドに従って、FCU の制御を行います。 FACI コマンド プログラム ブロックイレーズ マルチブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 ブランクチェック コンフィギュレーション設定
書き込み/ 消去単位	- 書き込み：32 バイト単位 - 消去：ブロック単位	- 書き込み コードフラッシュメモリのプログラム 単位：128 バイト データフラッシュメモリのプログラム 単位：4 バイト - 消去 イレーズ単位：1 ブロック
書き込み回数	100 回	100,000 回
プログラミング モード	- オンボードプログラミング ブートモード ユーザプログラミングモード - ライターモード	- オンボードプログラミング ブートモード(SCI/USB/FINE) - シングルチップモード
その他	- ビットレート自動合わせ込み - RAM によるフラッシュメモリ エミュレーション機能 - プロテクトモード	- ビットレート自動合わせ込み - サスペンド/レジューム機能 - ROM コードプロテクト機能 - バックグラウンドオペレーション対応

【注】 P/E：プログラム/イレーズ

RX651 で内蔵 Flash の書き換えを行う場合「フラッシュモジュール Firmware Integration Technology」を使用できます。

フラッシュモジュール Firmware Integration Technology は、RX651 の内蔵 Flash の書き換えをユーザアプリケーションに対して容易に実装することができます。使用方法およびアプリケーションへの組み込み方法については下記のアプリケーションノートを参照してください。

- フラッシュモジュール Firmware Integration Technology (R01AN2184JJ)

2.14 消費電力低減機能

2.14.1 モード仕様比較

SH7044 では低消費電力状態としてスリープモードとスタンバイモードがあります。各状態でのクロック、CPU、内蔵モジュールの状態は以下の通りです。

表 2.41 SH7044 低消費電力状態

項目	クロック	CPU	内蔵モジュール
スリープモード	動作	停止	動作
スタンバイモード	停止	停止	停止

RX651 では低消費電力状態として、スリープモード、全モジュールクロックストップモードソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードがあります。各モードはそれぞれ表 2.38 の様な状態を持ちます。

表 2.42 RX651 低消費電力状態

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令
リセット以外の解除方法	割り込み	割り込み (注1)	割り込み (注2)	割り込み (注3)
解除後の状態 (注4)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (リセット処理)
メインクロック発振器	動作可能	動作可能	動作可能 (注5)	動作可能 (注5)
サブクロック発振器	動作可能	動作可能	動作可能 (注6)	動作可能 (注6)
高速オンチップオシレータ	動作可能	動作可能	停止	停止
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDT専用オンチップオシレータ	動作可能 (注7)	動作可能 (注7)	動作可能 (注7)	停止 (不定) (注7)
PLL	動作可能	動作可能	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM、拡張RAM	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
スタンバイRAM	動作可能 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定) (注8)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
USBFSホスト/ファンクションモジュール(USBb)	動作可能	停止 (注9)	停止 (注9)	停止 (保持/不定) (注10)
ウォッチドッグタイマ(WDTA)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ(IWDT)	動作可能 (注7)	動作可能 (注7)	動作可能 (注7)	停止 (不定) (注7)
リアルタイムクロック(RTC)	動作可能	動作可能	動作可能	動作可能
8ビットタイマ(ユニット0, 1)(TMR)	動作可能	動作可能 (注11)	停止 (保持)	停止 (不定)
ポートアウトブットイネーブル(POE)	動作可能	動作可能 (注12)	停止 (保持)	停止 (不定)
電圧検出回路(LVDA)	動作可能	動作可能	動作可能	動作可能 (注13、注14)
パワーオンリセット回路	動作	動作	動作	動作 (注14)
周辺モジュール	動作可能	停止 (保持)	停止 (保持)	停止 (不定)
I/Oポート	動作	保持 (注15)	保持 (注16)	保持 (注16)

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

注 1. 外部端子割り込み(NMI, IRQ0~IRQ15)、周辺機能割り込み(8ビットタイマ、RTC アラーム、RTC 周期、IWDT, USB サスペンド/レジューム、電圧監視 1、電圧監視 2、メインクロック発振器停止検出)。

注 2. 外部端子割り込み(NMI, IRQ0~IRQ15)、周辺機能割り込み(RTC アラーム、RTC 周期、IWDT, USB サスペンド/レジューム、電圧監視 1、電圧監視 2)。

注 3. 外部端子割り込み発生元となる一部の端子(NMI, IRQ0-DS~IRQ15-DS, SCL2-DS, SDA2-DS, CRX1-DS)、周辺機能割り込み(RTC アラーム、RTC 周期、USB サスペンド/レジューム、電圧監視 1、電圧監視 2)。ただし、ディープスタンバイインタラプトイネーブルレジスタ i (DPSIERi) (i = 0~3)の当該ビットが“1”のときのみ有効。端子名に-DS が付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。また、USBb は、P22 にピンマルチされている USB0_OVRCURB でディープソフトウェアスタンバイモードを解除することはできません。

注 4. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。

RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。

注 5. メインクロック発振器強制発振コントロールレジスタのメインクロック発振器強制発振ビット(MOFCR.MOFXIN)の設定によって、動作/停止が選択できます。

注 6. RTC コントロールレジスタ 3 のサブクロック発振器制御ビット(RCR3.RTCEN)の設定によって、動作/停止が選択できます。

注 7. IWDTC オートスタートモード時、オプション機能選択レジスタ 0 の IWDTC スリープモードカウント停止制御ビット(OFS0.IWDTCSLCSTP)の設定により、動作/停止を選択することができます。

OFS0.IWDTCSLCSTP ビットが“0” (低消費電力モード移行時カウント継続)に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。

IWDTC オートスタートモードではないとき、IWDTC カウント停止コントロールレジスタのスリープモードカウント停止制御ビット(IWDTCSTPR.SLCSTP)の設定により、動作/停止を選択することができます。

IWDTCSTPR.SLCSTP ビットが“0” (低消費電力モード遷移時カウント継続)に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。

注 8. ディープスタンバイコントロールレジスタのディープカットビット(DPSBYCR.DEEPCUT[1:0])の設定によって、保持/不定を選択することができます。

注 9. レジューム検出は可能です。

注 10. USB レジューム検出機能の有効/無効をディープスタンバイコントロールレジスタのディープカットビット(DPSBYCR.DEEPCUT[1:0])によって制御できます。USB レジューム検出機能を有効すると、ディープソフトウェアスタンバイモードにおいても USB レジューム検出部のレジスタのみ値を保持します。また、USBb は、P22 にピンマルチされている USB0_OVRCURB でディープソフトウェアスタンバイモードを解除することはできません。

注 11. モジュールストップコントロールレジスタ A の 8 ビットタイマ 1, 0 (ユニット 0)モジュールストップ設定ビット(MSTPCRA.MSTPA5)、8 ビットタイマ 3, 2 (ユニット 1)モジュールストップ設定ビット(MSTPCRA.MSTPA4)の設定によって、動作/停止を選択することができます。

注 12. POE 割り込みを有効にした状態で全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

注 13. 電圧監視 1 回路制御レジスタ 0 の電圧監視 1 回路モード選択ビット(LVD1CR0.LVD1RI)が“1”、もしくは電圧監視 2 回路制御レジスタ 0 の電圧監視 2 回路モード選択ビット(LVD2CR0.LVD2RI)が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。

注 14. ディープスタンバイコントロールレジスタのディープカットビット(DPSBYCR.DEEPCUT[1:0])が“11b”の設定でディープソフトウェアスタンバイモードに移行した場合、電圧検出回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。

注 15. P53 を BCLK として使用している場合は、BCLK 出力のまま動作を継続します。8 ビットタイマ、RTC を動作させている場合、関連する端子は動作を継続します。

注 16. スタンバイコントロールレジスタの出力ポートイネーブルビット(SBYCR.OPE)の設定によって、アドレスバス、バス制御信号(CS0#~CS7#, RD#, WR0#~WR3#, WR#, BC0#~BC3#, ALE, CKE, SDCS#, RAS#, CAS#, WE#, DQM0~DQM3)の保持/ハイレインピーダンスを選択することができます。

2.14.2 モード遷移

RX651 の各モード間遷移図を図 2.16 RX651 モード遷移図に示します。

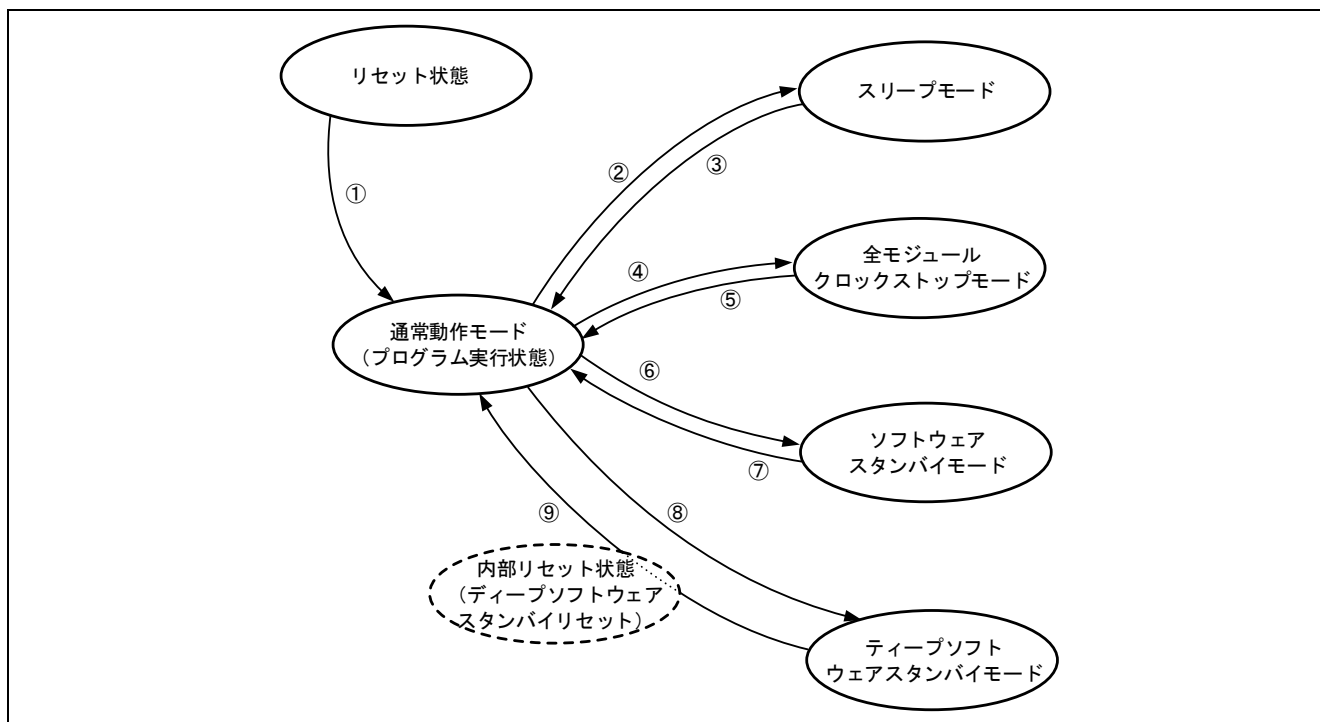


図 2.16 RX651 モード遷移図

図 2.30 における、各イベントと遷移条件を以下に示します。

表 2.43 RX651 モード遷移イベント一覧

No	イベント事象	遷移の条件 (イベント事象前に下記条件を設定)
1	RES#端子=High	—
2	WAIT 命令実行	SBYCR.SSBY=0
3	全ての割り込み	—
4	WAIT 命令実行	SBYCR.SSBY = 0 MSTPCRA.ACSE = 1 MSTPCRA = FFFF FF[C-F]Fh MSTPCRB = FFFF FFFFh MSTPCRC[31:16] = FFFFh MSTPCRD = FFFF FFFFh
5	外部/周辺割り込み	外部端子割り込み (NMI、IRQ0~IRQ15) 周辺機能割り込み (8 ビットタイマ、RTC アラーム、RTC 周期、IWDT、 USB サスペンド/レジューム、電圧監視 1、電圧監視 2、発振停止検出) *1
6	WAIT 命令実行	SBYCR.SSBY=1、DPSBYCR.DPSBY=0
7	外部/周辺割り込み	外部端子割り込み (NMI、IRQ0~IRQ15) 周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、USB サスペンド/レ ジューム、電圧監視 1、電圧監視 2) *1
8	WAIT 命令実行	SBYCR.SSBY=1、DPSBYCR.DPSBY=1
9	外部/周辺割り込み	外部端子割り込み発生元となる一部の端子 (NMI、IRQ0-DS~IRQ15-DS、SCL2- DS、 SDA2-DS、CRX1-DS)、周辺機能割り込み (RTC アラーム、RTC 周期、 USB サスペンド/レジューム、電圧監視 1、電圧監視 2) *1 上記割り込み発生後、内部リセット状態が一定時間発生した後、内部リセット解 除とともに、ディープソフトウェアスタンバイモードが解除され、通常動作モ ード、LOCO 動作で CPU は動作する。(リセットにより復帰する)

【注】 *1 割り込み条件に詳細な条件があります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

3. サンプルコードについて

各機能の設定は、スマートコンフィグレータで用途に合わせた設定を行い、コードを生成して下さい。

4. 参考資料

4.1 参考資料

4.1 章では本資料を作成する上で参照した資料をまとめました。下記資料を参照するに当たり、最新版の資料がある場合、最新版に差し替えて使用してください。最新版はルネサスエレクトロニクスホームページで確認および入手してください。

表 4.1 参考資料

参考資料
SH7040 シリーズ ユーザーズマニュアル ハードウェア編 (RJJ09B0031-0600H)
SH-1/SH-2/SH-DSP ソフトウェアマニュアル (RJJ09B0228-0700)
RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編(R01UH0590JJ0230)
RX ファミリ ユーザーズマニュアル ソフトウェア編 (R01US0071JJ)
フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編(R01UH0602JJ)
フラッシュモジュール Firmware Integration Technology(R01AN2184JJ)
SH7040 シリーズ 内蔵 I/O 編 (ADJ-502-052A)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<https://www.renesas.com/jp/ja>

お問合せ先

<https://www.renesas.com/ja-jp/support/contact.html>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2022.9.22	－	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力ブルアップ電源を入れないでください。入力信号や入出力ブルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。