

# SH7216 グループ

R01AN0526JJ0110

Rev.1.10

2011.02.28

## MTU2 による A/D 変換器起動の間引き

### 要旨

本アプリケーションノートは、SH7216 のマルチファンクションタイマパルスユニット 2 (MTU2) を使用した相補 PWM (Pulse Width Modulation) 波形 3 相出力時における A/D 変換器の遅延起動の設定について説明しています。本機能を使用することで、任意のタイミングで A/D 変換を行うことが可能となります。

### 動作確認デバイス

SH7216

### 目次

1. はじめに .....	2
2. 概要 .....	4
3. 参考ドキュメント .....	19

1. はじめに

1.1 仕様

本タスク例では、MTU2 のチャンネル 3、4 (ch3、ch4) から相補 PWM 波形 3 相出力時、A/D 変換器を起動させ、その起動回数を複数回間引きます。以下に、本タスク例の仕様を示します。

- MTU2 ch3、ch4 は、デッドタイムのある 3 相の相補 PWM 波形を出力し、TIOC3A 端子から周期に同期したトグル出力を行います。
- A/D 変換器は、TCNT\_4 のアップカウント時、TCNT\_4 と TADCORA\_4 のコンペアマッチで起動します。
- A/D 変換器起動回数は、ch3 のコンペアマッチ割り込み (TGIA3) 割り込み間引きと連動し、2 回間引きます。
- A/D 変換器は、シングルモードで動作します。
- A/D 変換結果は、A/D 変換終了割り込みで内蔵 RAM に格納します。

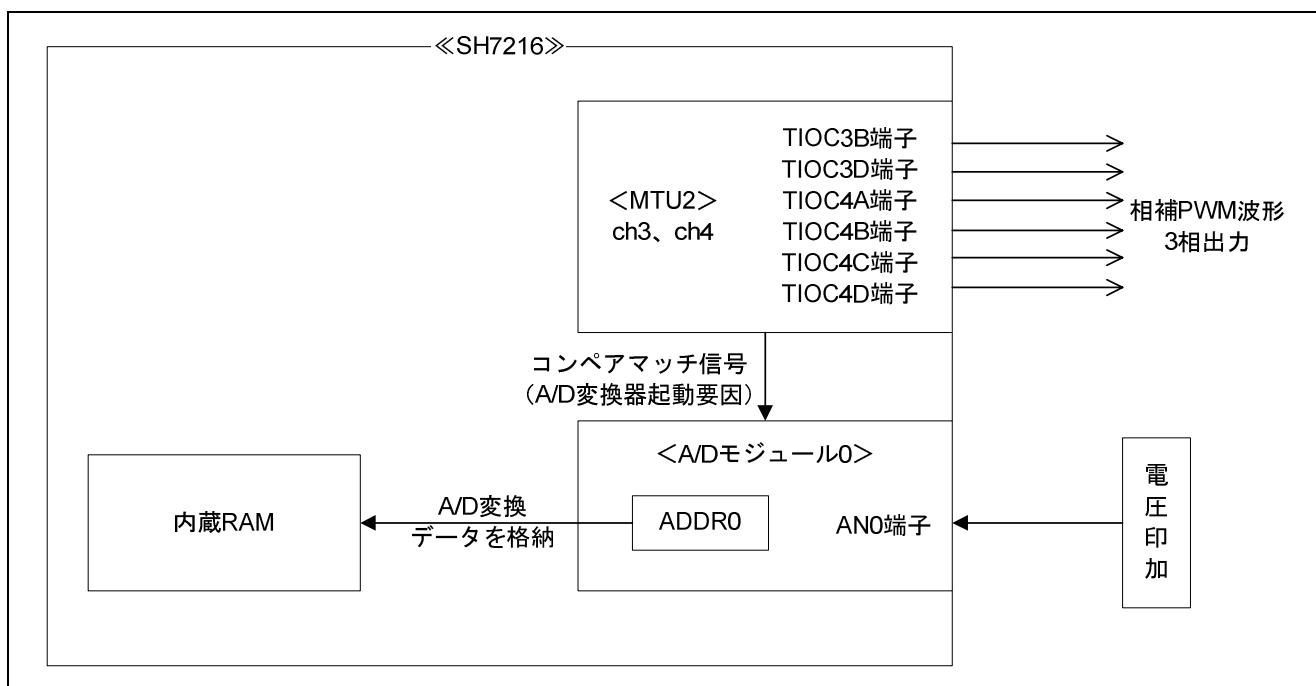


図 1 MTU2 による A/D 変換ブロック図

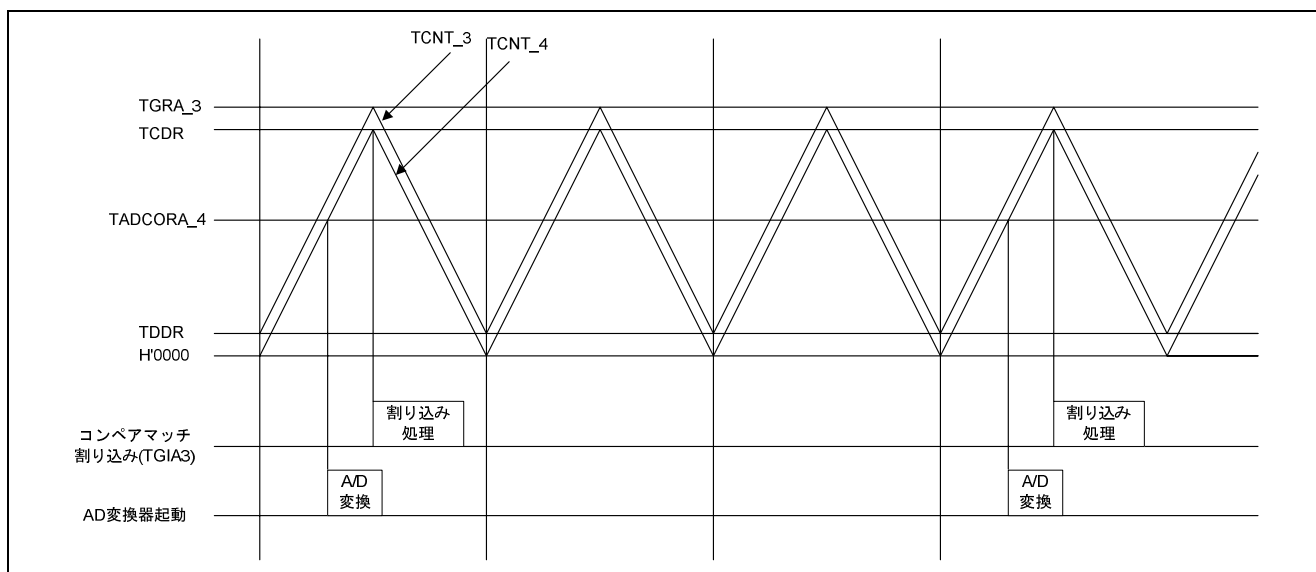


図 2 A/D 変換器の起動

## 1.2 使用機能

- A/D 変換器 (ADC)
- マルチファンクションタイマパルスユニット 2 (MTU2)
- クロックパルス発振器 (CPG)
- ピンファンクションコントローラ (PFC)
- 割り込みコントローラ (INTC)

## 1.3 適用条件

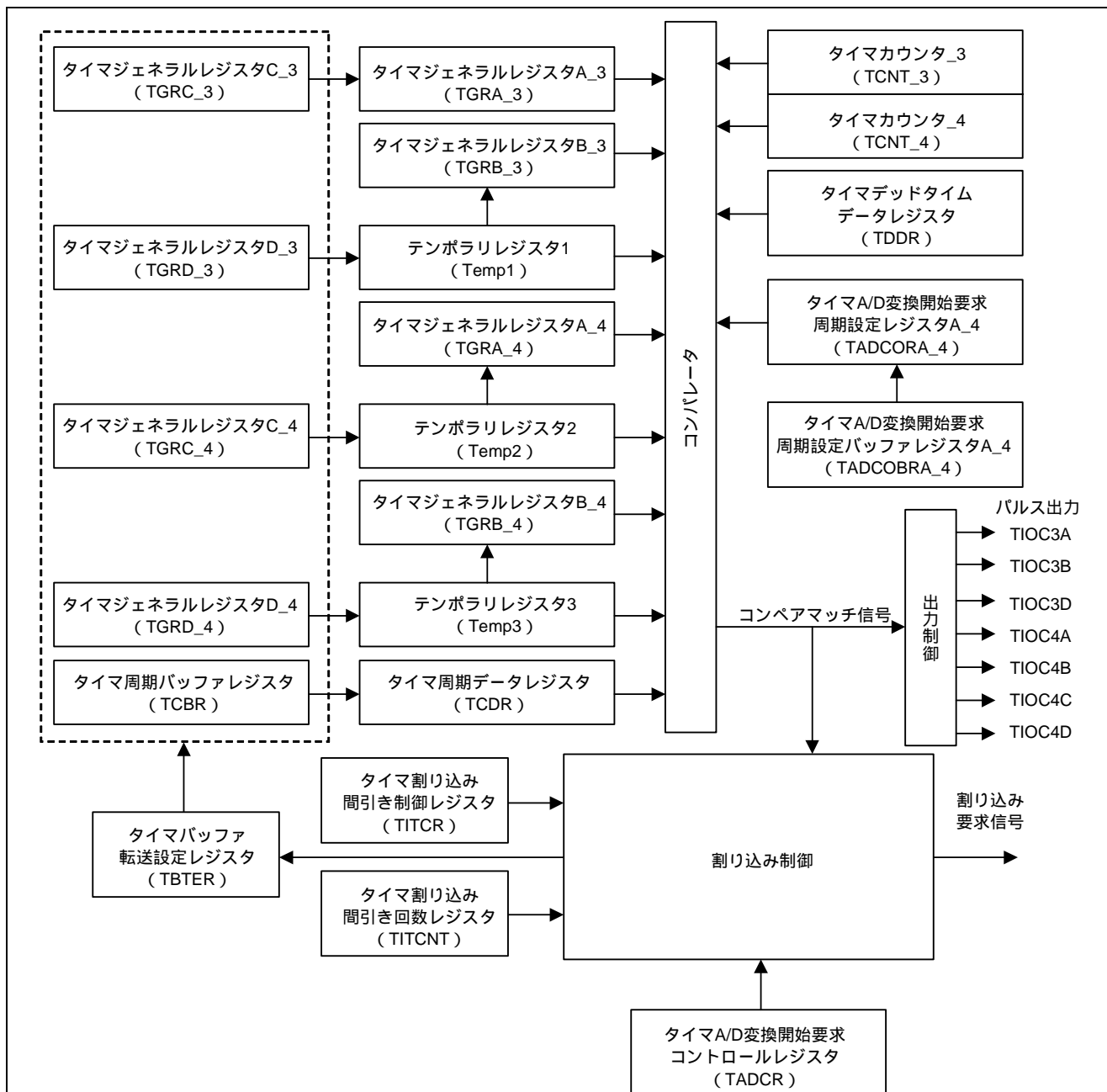
マイコン	SH7216
動作周波数	内部クロック : 200MHz バスクロック : 50MHz 周辺クロック : 50MHz MTU2S クロック : 100MHz AD クロック : 50MHz
統合開発環境	ルネサス エレクトロニクス製 High-Performance Embedded Workshop Ver.4.07.00
C コンパイラ	ルネサス エレクトロニクス製 SuperH RISC engine ファミリ C/C++コンパイラパッケージ Ver.9.03.00 Release02
コンパイラオプション	High-performance Embedded Workshop でのデフォルト設定 (-cpu=sh2afpu -pic=1 -object="\$(CONFIGDIR)¥\$(FILELEAF).obj" -debug -gbr=auto -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1 -nologo)

## 1.4 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。合わせて参照してください。

- SH7216 グループ アプリケーションノート MTU2 チャンネル 0 のコンペアマッチによる A/D 変換器の起動
- SH7216 グループ アプリケーションノート MTU2 による A/D 変換器の遅延起動





- 【注】
1. テンポラリレジスタは CPU からアクセスできません。
  2. タイマ動作中は TGRA\_3、TGRB\_3、TGRA\_4、TGRB\_4、TCDR レジスタへアクセスしないようにしてください。
  3. タイマ動作中に上記レジスタの設定値を変更する場合、それぞれ TGRD\_3、TGRD\_4、TGRB\_3、TGRB\_4、TCBR レジスタに変更データを設定してください。

図 4 割り込み間引き機能使用時の MTU2 (ch3、ch4) のブロック図

- タイマジェネラルレジスタ A<sub>3</sub>( TGRA<sub>3</sub> )は、コンペアレジスタとして動作します。TGRA<sub>3</sub> には、PWM 周期の 1/2 となる値を設定します。また、タイマ動作中に設定値を変更する場合、タイマジェネラルレジスタ C<sub>3</sub>( TGRC<sub>3</sub> )に変更する値を設定します。
- タイマジェネラルレジスタ B<sub>3</sub>( TGRB<sub>3</sub> )は、コンペアレジスタとして動作します。TGRB<sub>3</sub> には、TIOC3B、TIOC3D 端子から出力する PWM 波形のデューティを設定します。また、タイマ動作中に設定値を変更する場合、タイマジェネラルレジスタ D<sub>3</sub>( TGRD<sub>3</sub> )に変更する値を設定します。
- タイマジェネラルレジスタ C<sub>3</sub>( TGRC<sub>3</sub> )は、TGRA<sub>3</sub> のバッファレジスタとして動作します。タイマ動作中は、TGRC<sub>3</sub> の設定値が TGRA<sub>3</sub> に反映されます。
- タイマジェネラルレジスタ D<sub>3</sub>( TGRD<sub>3</sub> )は、TGRB<sub>3</sub> のバッファレジスタとして動作します。タイマ動作中に TGRD<sub>3</sub> の値を変更すると、テンポラリレジスタ ( Temp1 ) に転送され、TGRB<sub>3</sub> に反映されません。
- タイマジェネラルレジスタ A<sub>4</sub>( TGRA<sub>4</sub> )は、コンペアレジスタとして動作します。TGRA<sub>4</sub> には、TIOC4A、TIOC4C 端子から出力する PWM 波形のデューティを設定します。また、タイマ動作中に設定値を変更する場合、タイマジェネラルレジスタ C<sub>4</sub>( TGRC<sub>4</sub> )に変更する値を設定します。
- タイマジェネラルレジスタ B<sub>4</sub>( TGRB<sub>4</sub> )は、コンペアレジスタとして動作します。TGRB<sub>4</sub> には、TIOC4B、TIOC4D 端子から出力する PWM 波形のデューティを設定します。また、タイマ動作中に設定値を変更する場合、タイマジェネラルレジスタ D<sub>4</sub>( TGRD<sub>4</sub> )に変更する値を設定します。
- タイマジェネラルレジスタ C<sub>4</sub>( TGRC<sub>4</sub> )は、TGRA<sub>4</sub> のバッファレジスタとして動作します。タイマ動作中は、TGRC<sub>4</sub> の設定値が TGRA<sub>4</sub> に反映されます。
- タイマジェネラルレジスタ D<sub>4</sub>( TGRD<sub>4</sub> )は、TGRB<sub>4</sub> のバッファレジスタとして動作します。タイマ動作中は、TGRD<sub>4</sub> の設定値が TGRB<sub>4</sub> に反映されます。
- テンポラリレジスタ 1、2、3 ( Temp1、Temp2、Temp3 ) は、バッファレジスタとコンペアレジスタの間にあります。バッファレジスタに書き込んだデータは、テンポラリレジスタに転送され、コンペアレジスタへと転送されます。テンポラリレジスタは、CPU からアクセスできません。
- タイマカウンタ<sub>3</sub>( TCNT<sub>3</sub> )は、16 ビットのリード/ライト可能なカウンタです。TCNT<sub>3</sub> は、TGRA<sub>3</sub> とのコンペアマッチでダウンカウントとなり、タイマデッドタイムデータレジスタ ( TDDR ) とのコンペアマッチでアップカウントとなります。
- タイマカウンタ<sub>4</sub>( TCNT<sub>4</sub> )は、16 ビットのリード/ライト可能なカウンタです。TCNT<sub>4</sub> は、タイマ周期データレジスタ ( TCDR ) とのコンペアマッチでダウンカウントとなり、H'0000 になるとアップカウントとなります。
- タイマデッドタイムデータレジスタ ( TDDR )は、16 ビットのリード/ライト可能なレジスタです。TDDR には、PWM 波形のデッドタイムを設定します。
- タイマ周期データレジスタ ( TCDR )は、16 ビットのリード/ライト可能なレジスタです。TCDR には、PWM キャリア周期の 1/2 を設定します。
- タイマ周期バッファレジスタ ( TCBR )は、TCDR のバッファレジスタとして動作します。タイマ動作中は、TCBR の設定値が TCDR に反映されます。
- タイマ割り込み間引き制御レジスタ ( TITCR )は、割り込み間引きの禁止/許可および間引き回数を設定します。間引きが可能なのは、相補 PWM モード時の TCNT<sub>3</sub> のコンペアマッチ割り込み ( TGIA<sub>3</sub> ) および TCNT<sub>4</sub> のアンダーフロー割り込み ( TCIV<sub>4</sub> ) です。間引き回数は、最大 7 回まで設定可能です。
- タイマ割り込み間引き回数カウンタ ( TITCNT )は、間引きを行う割り込みの発生回数をカウントします。TITCNT のカウント値は、TITCR で設定した間引き回数と一致するとクリアされます。
- タイマバッファ転送設定レジスタ ( TBTCR )は、バッファレジスタからテンポラリレジスタへの転送を抑制する/しないを設定します。また、転送を抑制しない場合、割り込み間引き機能と連動する/しないを設定します。
- タイマ A/D 変換開始要求コントロールレジスタ ( TADCR )は、16 ビットのリード/ライト可能なレジスタです。A/D 変換開始要求の許可/禁止および、割り込み間引き機能と連動する/しないを設定します。
- タイマ A/D 変換開始要求周期設定レジスタ A<sub>4</sub>( TADCORA<sub>4</sub> )は、16 ビットのリード/ライト可能なレジスタです。TCNT<sub>4</sub> と一致したとき、対応する A/D 変換開始要求を発生します。
- タイマ A/D 変換開始要求周期設定バッファレジスタ A<sub>4</sub>( TADCOBRA<sub>4</sub> )は、TADCORA<sub>4</sub> のバッファレジスタとして動作します。タイマ動作中は、TADCOBRA<sub>4</sub> の設定値が TADCORA<sub>4</sub> に反映されます。

## 2.1.2 A/D 変換器

本参考プログラムでは、A/D モジュール 0 を MTU2 による A/D 変換開始トリガ (TRG4AN) で起動し、1 サイクルスキャンモードで A/D 変換を行います。図 5 に A/D0 モジュールのブロック図を示し、以下に機能説明をします。

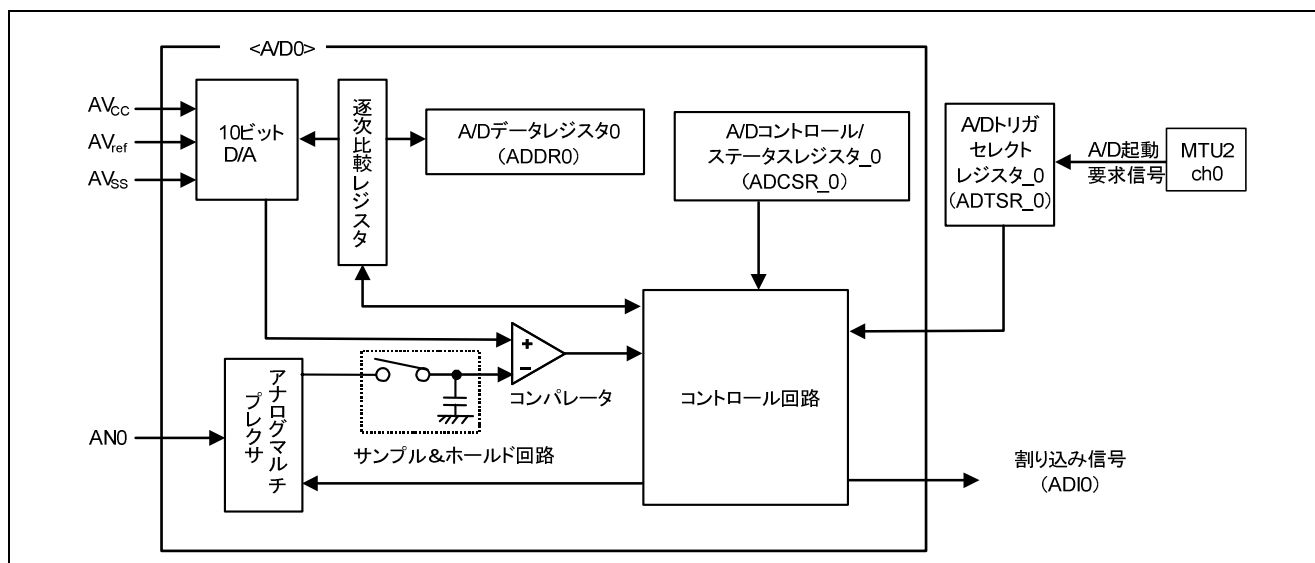


図 5 A/D モジュール 0 のブロック図

- A/D データレジスタ 0 (ADDR0) は、アナログ入力チャネル (AN0) の変換結果を格納する、16 ビットのリード専用レジスタです。変換データは、ADDR のビット 15 からビット 6 に格納され、下位 6 ビットは常に 0 になります。
- A/D コントロールレジスタ\_0 (ADCSR\_0) は、A/D 変換動作を制御します。

## 2.2 参考プログラムの動作説明

表 1 に参考プログラムの設定内容を、図 6 に動作内容を示します。

表 1 参考プログラムの設定内容

機能	項目	内容
全般	周波数	$f_{clk} = 200\text{MHz}$ 、 $f_{pclk} = 50\text{MHz}$ 、 $f_{mclk} = 100\text{MHz}$ 、 $f_{amclk} = 50\text{MHz}$
	レジスタバンクの使用	全割り込みレベルに対して許可
	割り込みマスクレベル	0
MTU2	使用チャンネル	チャンネル 3、チャンネル 4
	動作モード	相補 PWM モード 3 (カウンタの山・谷でデータ転送)
	端子機能	<ul style="list-style-type: none"> <li>• TIOC3A 端子：PWM 手記に同期したトグル出力</li> <li>• TIOC3B 端子：PWM 出力 1 (正相波形)</li> <li>• TIOC3D 端子：PWM 出力 1 (逆相波形)</li> <li>• TIOC4A 端子：PWM 出力 2 (正相波形)</li> <li>• TIOC4C 端子：PWM 出力 2 (逆相波形)</li> <li>• TIOC4B 端子：PWM 出力 3 (正相波形)</li> <li>• TIOC4D 端子：PWM 出力 3 (逆相波形)</li> </ul>
	アクティブレベル	<ul style="list-style-type: none"> <li>• 正相出力：アクティブロー出力</li> <li>• 逆相出力：アクティブロー出力</li> </ul>
	カウンタクロック	$P_{clk}/4 = 12.5\text{MHz}$
	PWM デューティ	一定 (TGRA_3 のコンペアマッチ割り込み (TGIA3) 時に更新可能)
	使用割り込み	TGRA_3 のコンペアマッチ割り込み (TGIA3) 割り込みレベル 10
	ADC	使用モジュール
	変換対象端子	AN0
	変換モード	1 サイクルスキャンモード
	ADDR の自動クリア	禁止
	A/D 変換終了割り込み	許可 割り込みレベル 10
	A/D 起動要因	MTU2 (TRG4AN)
	A/D 変換方式	インピーダンス変換回路を使用
	A/D 変換速度	50 ステート



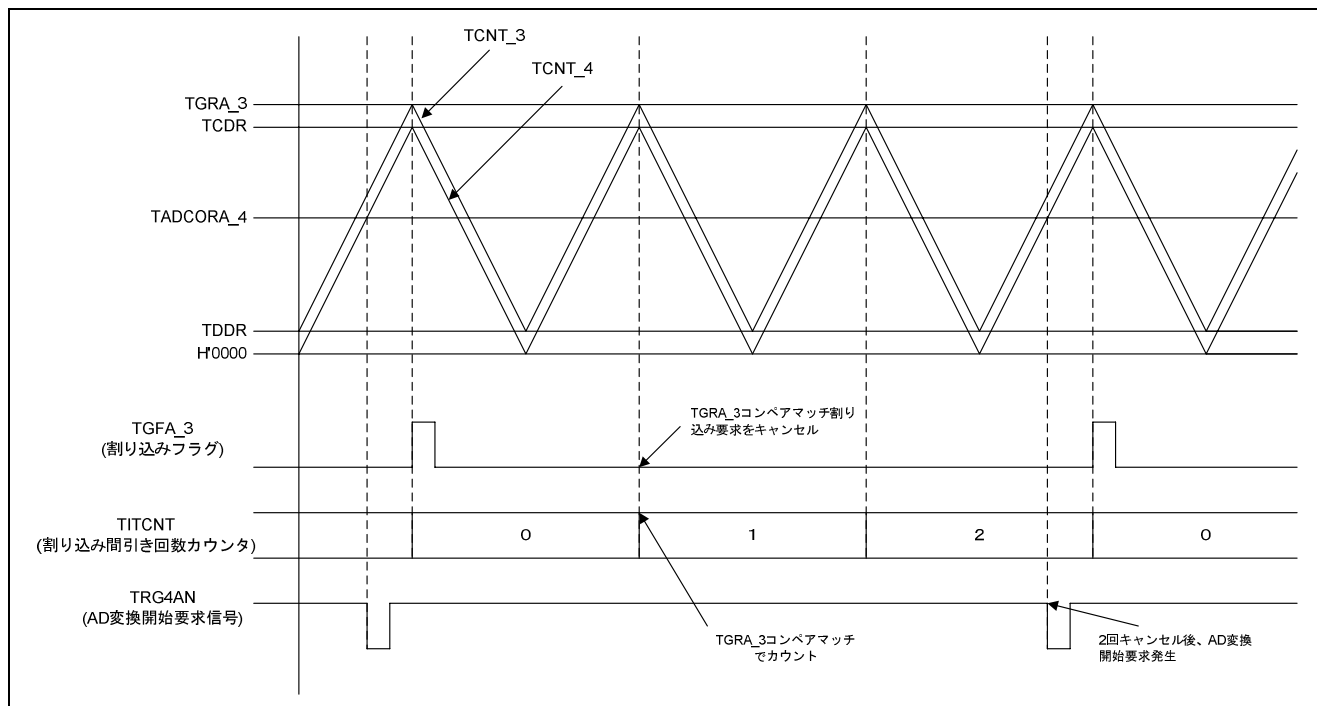


図6 参考プログラムの動作内容

## 2.3 参考プログラムの設定手順

図 7～図 13 に本参考プログラムのフローを示します。

なお、各レジスタの詳細は、「SH7216 グループ ハードウェアマニュアル」を参照してください。

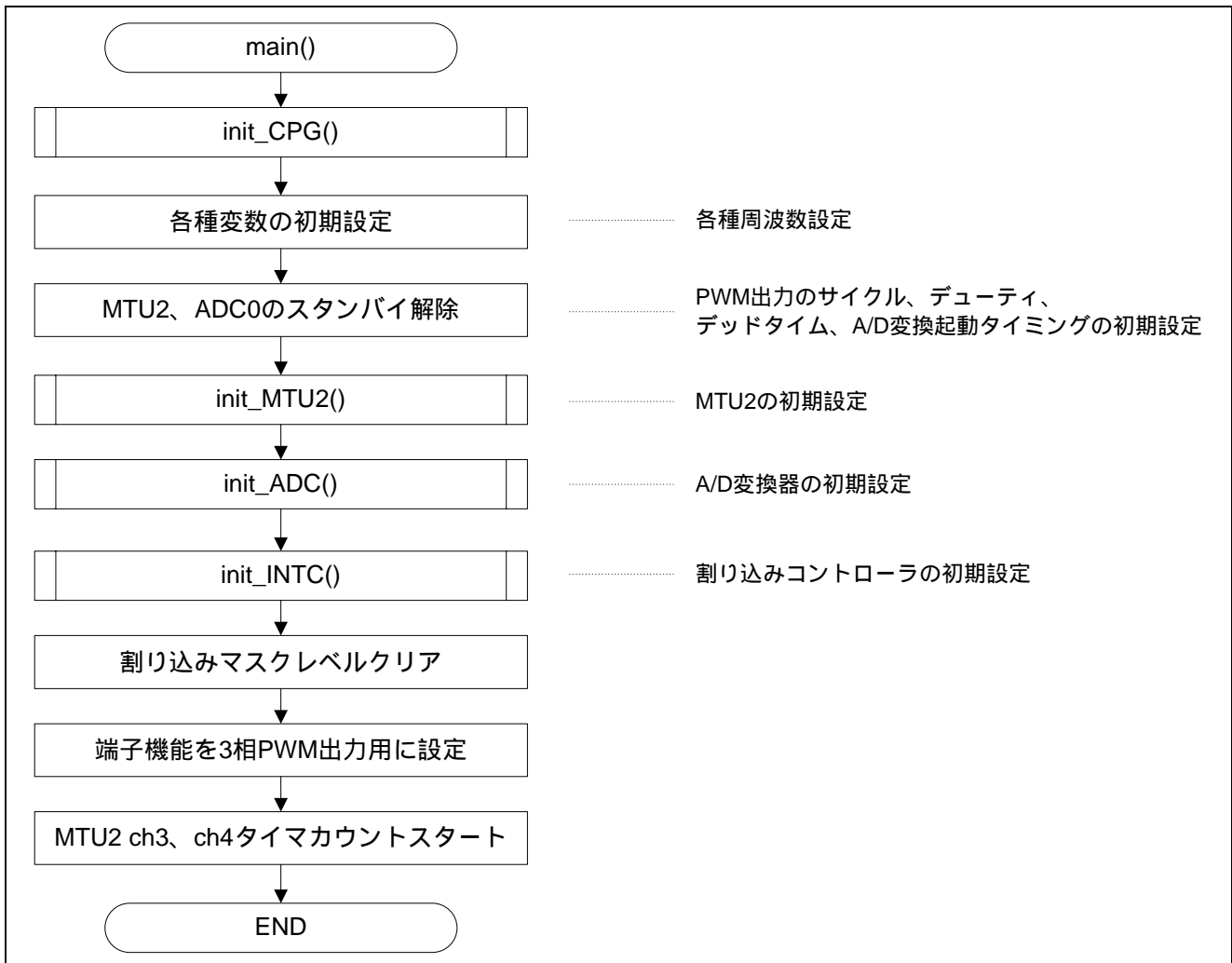


図 7 メイン関数フロー

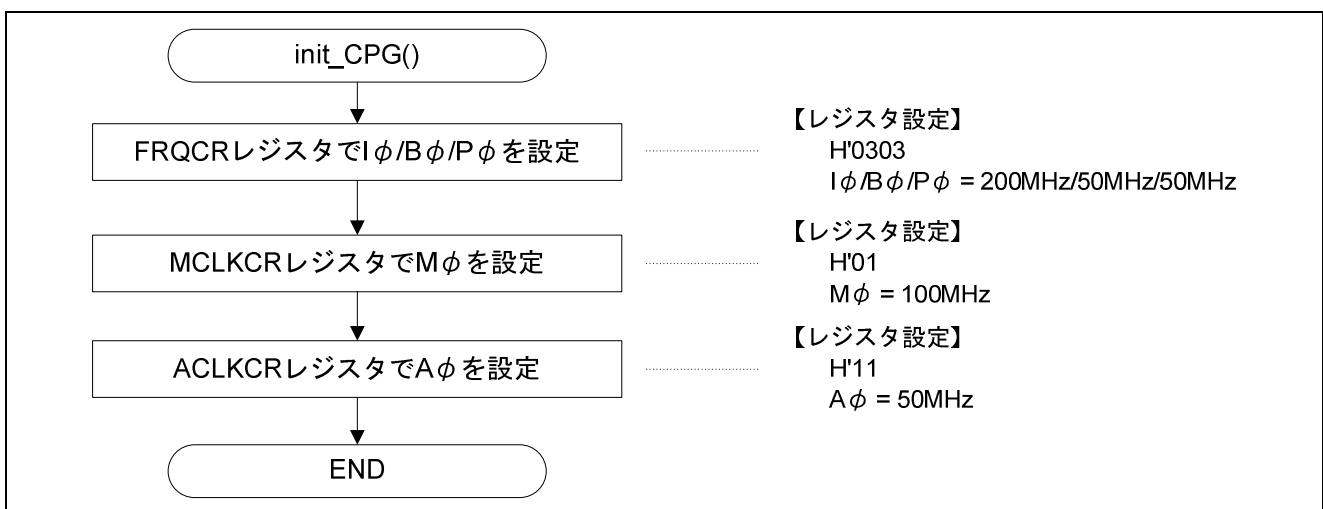


図 8 周波数設定フロー

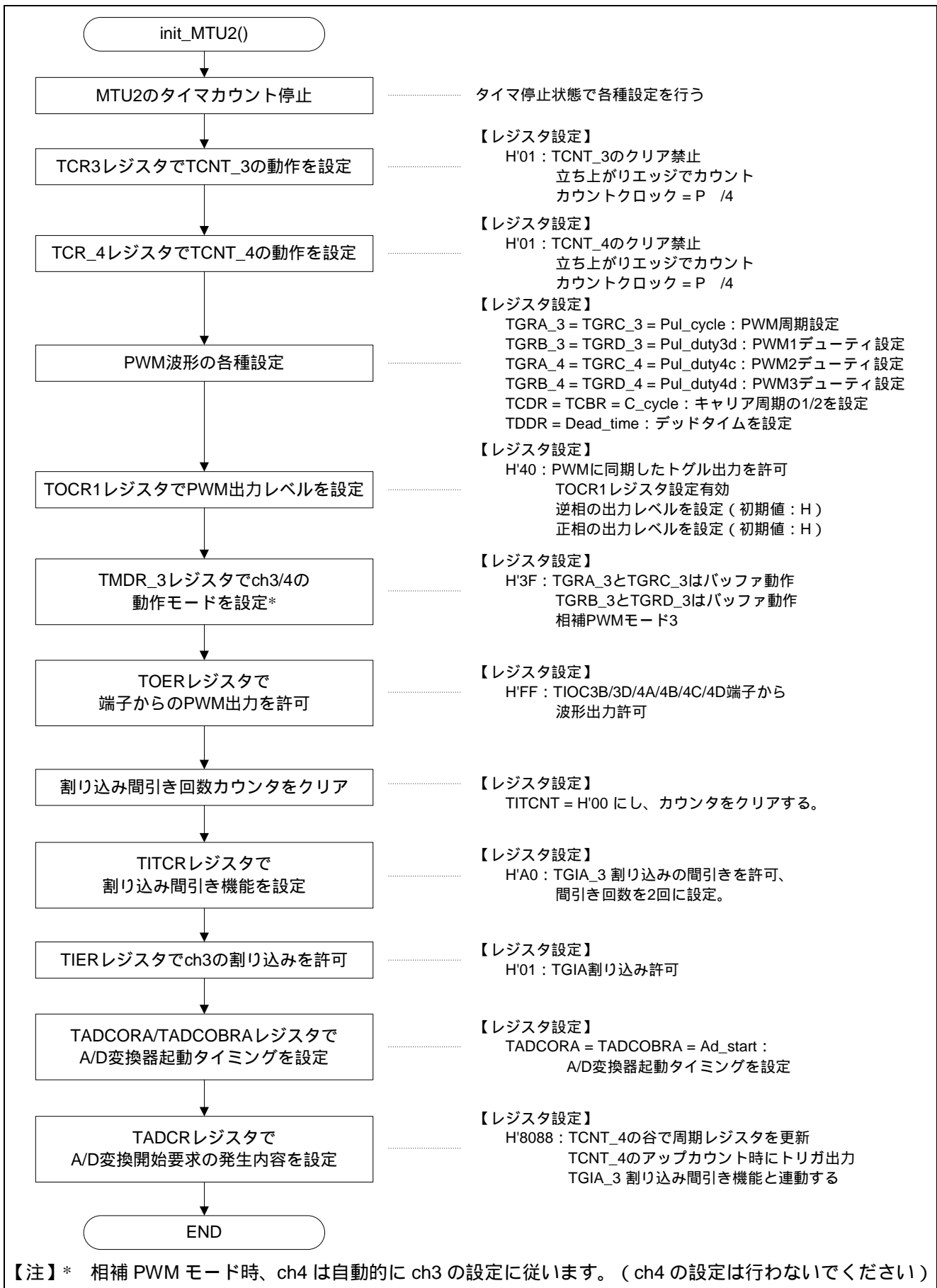


図 9 MTU2 設定フロー

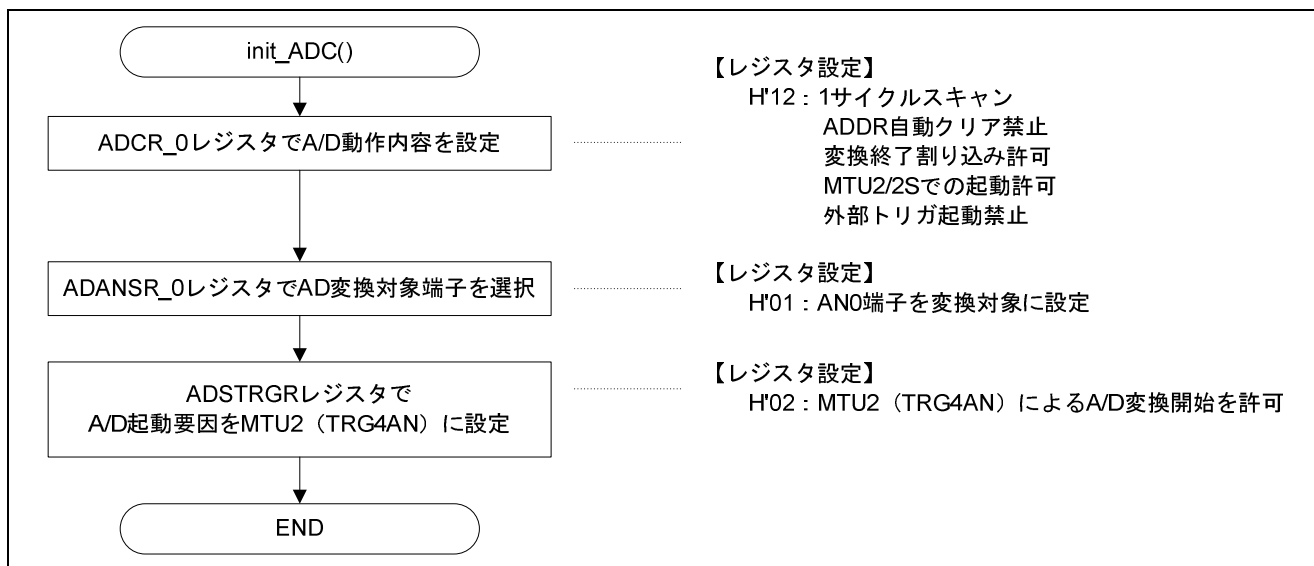


図 10 ADC 設定フロー

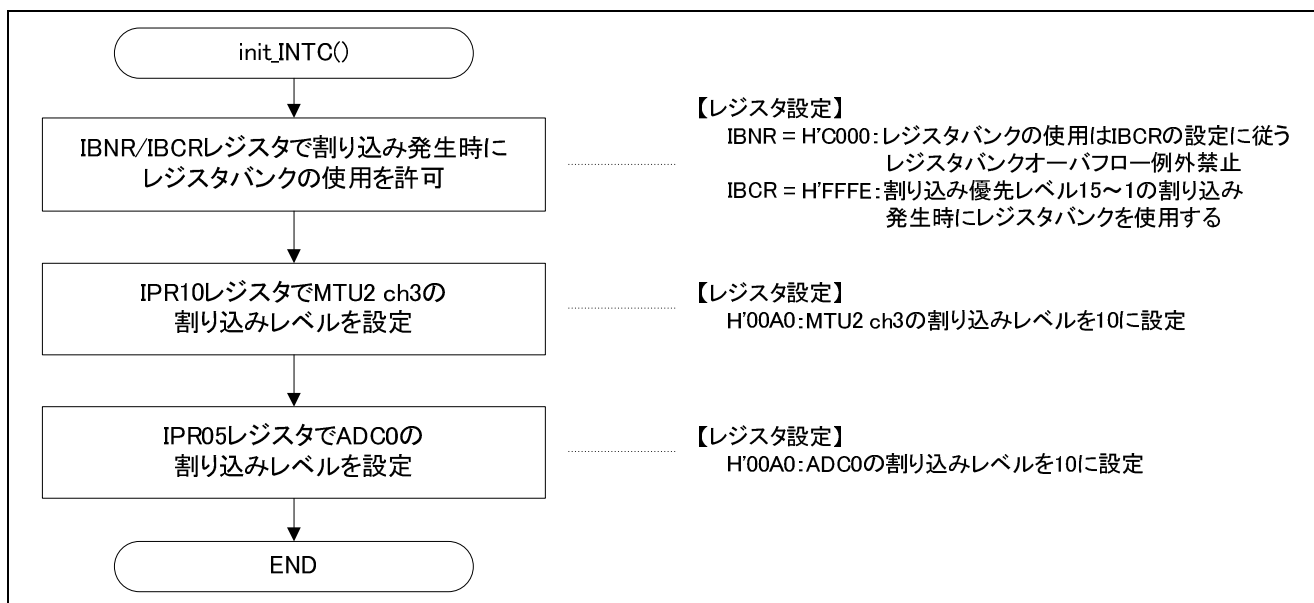


図 11 INTIC 設定フロー

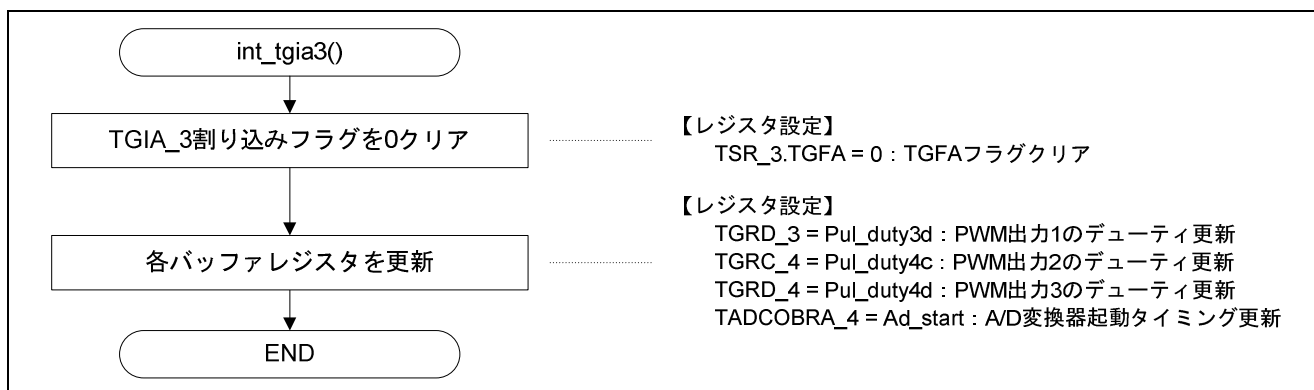


図 12 TGIA3 割り込みフロー

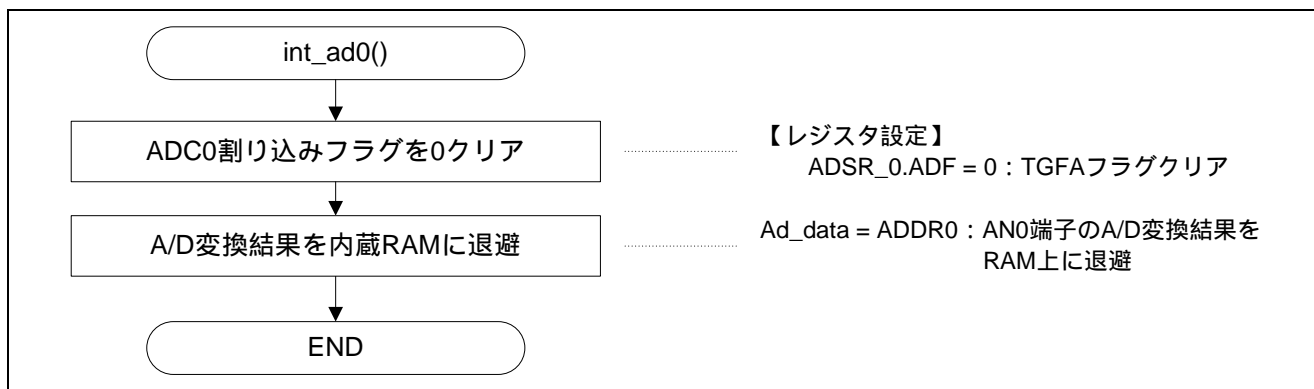


図 13 A/D 変換終了割り込みフロー

## 2.4 参考プログラムのレジスタ設定

表 2 に参考プログラムのレジスタ設定を示します。

表 2 参考プログラムのレジスタ設定

モジュール名	レジスタ名	アドレス	設定値	機能
クロックパルス 発振器 (CPG)	周波数制御 レジスタ (FRQCR)	H'FFFE_0010	H'0303	STC[2:0] = "B'011" : × 1/4 倍 IFC[2:0] = "B'000" : × 1 倍 PFC[2:0] = "B'011" : × 1/4 倍
	MTU2S クロック 周波数制御 レジスタ (MCLKCR)	H'FFFE_0410	H'41	MSDIVS[1:0] = "B'01" : × 1/2 倍
	AD クロック 周波数制御 レジスタ (ACLKCR)	H'FFFE_0414	H'43	ASDIVS[1:0] = "B'11" : × 1/4 倍
スタンバイ コントロール	スタンバイ コントロール レジスタ 3 (STBCR3)	H'FFFE_0408	H'5A	MSTP35 = "B'0" : MTU2 は動作 MSTP32 = "B'0" : ADC0 は動作
マルチ ファンクション タイマユニット 2 (MTU2)	タイマ コントロール レジスタ_3 (TCR_3)	H'FFFE_4200	H'01	CCLR[2:0] = "B'000" : TCNT3 のクリア禁止 CKEG[1:0] = "B'00" : 立ち上がりエッジでカウン ト TPSC[2:0] = "B'01" : P /4 でカウント
	タイマ コントロール レジスタ_4 (TCR_4)	H'FFFE_4201	H'01	CCLR[2:0] = "B'000" : TCNT4 のクリア禁止 CKEG[1:0] = "B'00" : 立ち上がりエッジでカウン ト TPSC[2:0] = "B'01" : P /4 でカウント
	タイマカウンタ_3 (TCNT_3)	H'FFFE_4210	Dead_time	ch3 のカウンタ ch4 に対してデッドタイムの差 分を設定
	タイマカウンタ_4 (TCNT_4)	H'FFFE_4212	H'0000	ch4 のカウンタ
	タイマジェネラル レジスタ A_3 (TGRA_3)	H'FFFE_4218	Pul_cycle	出力パルスの周期を設定
	タイマジェネラル レジスタ B_3 (TGRB_3)	H'FFFE_421A	Pul_duty3d	PWM 出力 1 のデューティを設 定
	タイマジェネラル レジスタ C_3 (TGRC_3)	H'FFFE_4224	Pul_cycle	TGRA_3 のバッファレジスタ

モジュール名	レジスタ名	アドレス	設定値	機能
マルチ ファンクション タイマユニット 2 (MTU2)	タイマジェネラル レジスタ D_3 (TGRD_3)	H'FFFE_4226	Pul_duty3d	TGRB_3 のバッファレジスタ
	タイマジェネラル レジスタ A_4 (TGRA_4)	H'FFFE_421C	Pul_duty4c	PWM 出力 2 のデューティを設定
	タイマジェネラル レジスタ B_4 (TGRB_4)	H'FFFE_421E	Pul_duty4d	PWM 出力 3 のデューティを設定
	タイマジェネラル レジスタ C_4 (TGRC_4)	H'FFFE_4228	Pul_duty4c	TGRA_4 のバッファレジスタ
	タイマジェネラル レジスタ D_4 (TGRD_4)	H'FFFE_422A	Pul_duty4d	TGRB_4 のバッファレジスタ
	タイマ周期 データレジスタ (TCDR)	H'FFFE_4214	C_cycle	キャリア周期の 1/2 を設定
	タイマ周期 バッファレジスタ (TCBR)	H'FFFE_4222	C_cycle	TCDR のバッファレジスタ
	タイマデッドタイム データレジスタ (TDDR)	H'FFFE_4216	Dead_time	デッドタイムを設定
	タイマアウトプット コントロール レジスタ 1 (TOCR1)	H'FFFE_420E	H'40	PSYE = B'1 : トグル出力を許可 TOCL = B'0 : TOCS/OLSN/OLSP ビット への書き込みを許可 TOCS = B'0 : TOCR1 の設定を有効にする OLSN = B'0 : 逆相の出力レベルを設定 初期 : H レベル アクティブ : L レベル OLSP = B'0 : 正相の出力レベルを設定 初期 : H レベル アクティブ : L レベル
	タイマアウトプット マスタイネーブル レジスタ (TOER)	H'FFFE_420A	H'FF	TIOC3B/4A/4B/3D/4C/4D 端子 の出力を許可

モジュール名	レジスタ名	アドレス	設定値	機能
マルチ ファンクション タイマユニット 2 (MTU2)	タイマ割り込み間引き設定レジスタ (TITCR)	H'FFFE_4230	H'A0	T3AEN = B'0 : TGIA_3 割り込みの間引きを禁止 3ACOR = B'010 TGIA_3 の割り込み間引き回数を 2 回に設定
	タイマバッファ転送設定レジスタ (TBTER)	H'FFFE_4232	H'02	BTE = B'10 バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する
	タイマモードレジスタ_3 (TMDR_3)	H'FFFE_4202	H'3F	BFB = B'1 : TGRB と TGRD はバッファ動作 BFA = B'1 : TGRA と TGRC はバッファ動作 MD[3:0] = B'111 : 相補 PWM モード 3 (山・谷で転送)
	タイマインタラプトイネーブルレジスタ (TIER_3)	H'FFFE_4208	H'01	TGIEA = B'1 : TGFA ビットによる割り込み要求 (TGIA) を許可
	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	H'FFFE_4240	H'8088	BF[1:0] = B'10 : TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する UT4AE = B'1 : TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可 ITA3AE = B'1 : TGIA_3 割り込み間引き機能と連動する
	タイマ A/D 変換開始要求周期設定レジスタ A_4 (TADCORA_4)	H'FFFE_4244	Ad_start	A/D 変換開始タイミングを設定
	タイマ A/D 変換開始要求周期設定バッファレジスタ A_4	H'FFFE_4248	Ad_start	TADCORA_4 のバッファレジスタ
	タイマスタートレジスタ (TSTR)	H'FFFE_4280	H'C0	CST[4:3] = B'11 : TCNT_4/3 はカウント動作
A/D 変換器 (ADC)	A/D コントロールレジスタ_0 (ADCR_0)	H'FFFF_E800	H'12	ADIE = B'1 : A/D 変換終了割り込みを許可 TRGE = B'1 : 外部トリガまたは MTU2/2S からの A/D 変換開始トリガによる A/D 変換の開始を許可



モジュール名	レジスタ名	アドレス	設定値	機能
A/D 変換器 (ADC)	A/D 開始トリガ 選択レジスタ_0 (ADSTRGR_0)	H'FFFF_E81C	H'02	STR1 = B'1 : TRG4AN( MTU2 )による A/D 変換の開始を許可
	A/D アナログ入力 チャンネル選択 レジスタ_0 (ADANSR_0)	H'FFFF_E820	H'01	ANS0 = B'1 : AN0 端子を A/D 変換対象 チャンネルに設定
割り込み コントローラ (INTC)	バンク番号レジスタ (IBNR)	H'FFFE_080E	H'C000	BE[1:0] = B'11 : レジスタバンクの使用は IBCR の設定に従う
	バンクコントロール レジスタ (IBCR)	H'FFFE_080C	H'FFFE	全割り込み優先レベルに対し てレジスタバンクの使用を許可
	割り込み優先レベル 設定レジスタ 05 (IPR05)	H'FFFE_0820	H'00A0	ADI0 の割り込み優先レベルを 10 に設定
	割り込み優先レベル 設定レジスタ 10 (IPR10)	H'FFFE_0C08	H'00A0	MTU2 ch3 の割り込み( TGIA_3 ~ TGID_3 ) 優先レベルを 10 に 設定
ピン ファンクション コントローラ (PFC)	ポート E コントロール レジスタ L3 (PECRL3)	H'FFFE_3A12	H'4044	PE11MD[2:0] = B'100 : TIOC3D 端子機能選択 PE9MD[2:0] = B'100 : TIOC3B 端子機能選択 PE8MD[2:0] = B'100 : TIOC3A 端子機能選択
	ポート E コントロール レジスタ L4 (PECRL4)	H'FFFE_3A10	H'4444	PE15MD[2:0] = B'100 : TIOC4D 端子機能選択 PE14MD[2:0] = B'100 : TIOC4C 端子機能選択 PE13MD[2:0] = B'100 : TIOC4B 端子機能選択 PE12MD[2:0] = B'100 : TIOC4A 端子機能選択
	ポート E・IO レジスタ L (PEIORL)	H'FFFE_3A06	H'FB00	PECRL3/4 の設定端子を出力に 設定

## 2.5 参考プログラム使用変数説明

表 3 に本参考プログラム内で使用している変数の説明を示します。

表 3 使用変数説明

ラベル名	機能	使用モジュール
Pul_duty3d	TIOC3D 端子から出力する PWM 波形のデューティ (TGRD_3 に設定)	メインルーチン TGRA_3 コンペアマッチ 割り込みルーチン
Pul_duty4c	TIOC4C 端子から出力する PWM 波形のデューティ (TGRC_4 に設定)	
Pul_duty4d	TIOC4D 端子から出力する PWM 波形のデューティ (TGRD_4 に設定)	
Ad_start	A/D 変換開始タイミング (TADCOBRA_4 に設定)	
Dead_time	デッドタイム (TDDR に設定)	メインルーチン
C_cycle	PWM キャリア周期の 1/2 (TCBR に設定)	
Pul_cycle	パルスの 1/2 周期 + デッドタイム (TGRC_3 に設定)	
Ad_data	A/D 変換結果の格納	A/D 変換終了割り込みルーチン

### 3. 参考ドキュメント

- ソフトウェアマニュアル  
SH-2A, SH2A-FPU ソフトウェアマニュアル (RJJ09B0086)  
(最新版をルネサス エレクトロニクスホームページから入手してください)
- ハードウェアマニュアル  
SH7216 グループ ハードウェアマニュアル (RJJ09B0575)  
(最新版をルネサス エレクトロニクスホームページから入手してください)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.07.06	—	初版発行
1.10	2011.02.28	—	FRQCR 設定後のリードを追加

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違っていると、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連して発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/inquiry>