

RX71M グループ

R01AN4044JJ0100

Rev.1.00

SH7214/SH7216⇒RX71M マイコン移行ガイド

2018.02.26

要旨

本アプリケーションノートは、SH7214/SH7216 から RX71M への置き換えを行う場合の注意点、並びに相違点等を説明しています。なお、各機能の詳細な情報は最新のユーザーズマニュアル ハードウェア編にてご確認ください。

本文中では、SH7214/SH7216 を SH7216 グループと記載し、SH7216 の仕様を代表として記載しています。その他の SH7216 グループ製品も、機能および端子の有無の違いはありますが、機能としては SH7216 と同等です。本資料を活用いただけます。

イーサネットコントローラ、USB、フラッシュメモリなどの機能は、ドライバを用意していますのでご活用ください。

動作確認デバイス

RX71M

目次

1. CPU アーキテクチャ.....	6
1.1 データフォーマット.....	6
1.2 システムレジスタ.....	6
1.2.1 汎用レジスタ.....	6
1.2.2 制御レジスタ.....	7
1.3 オプション設定メモリ.....	10
1.3.1 オプション設定メモリの概要.....	10
1.3.2 エンディアンの設定.....	12
1.3.3 TM 識別データの設定、TM イネーブルフラグの設定.....	13
1.3.4 OCD/シリアルプログラマの設定.....	13
1.4 リセット機能.....	14
1.4.1 リセット要因.....	14
1.4.2 リセット要因と初期化範囲.....	15
1.4.3 コールドスタート/ウォームスタート判定機能.....	16
1.4.4 ライトプロテクション.....	16
1.5 クロック設定.....	17
1.5.1 クロック源.....	17
1.5.2 クロック発生回路.....	17
1.5.3 ライトプロテクション.....	17
1.6 動作モード.....	19
1.6.1 動作モードの比較.....	19
1.6.2 メモリの比較.....	20
1.6.3 動作モード設定.....	23
1.6.4 ライトプロテクション.....	23
1.7 プロセッサモード.....	24
1.8 例外処理.....	25

1.8.1	例外処理の種類	25
1.8.2	例外処理の優先順位	25
1.8.3	例外処理の基本処理フロー	26
1.8.4	ベクタの構成	27
1.8.5	SR (SH7216 グループ) /PSW (RX71M) の割り込みマスク	28
1.9	割り込み処理	29
1.9.1	仕様比較	29
1.9.2	割り込みフラグの管理	32
1.9.3	高速割り込み制御	33
1.9.4	ノイズ除去	34
1.9.5	多重割り込み	34
1.9.6	グループ割り込み	36
1.9.7	選択型割り込み	37
2.	内蔵機能	38
2.1	内蔵機能一覧	38
2.2	I/O ポート/ピンファンクションコントローラ (PFC)	40
2.2.1	I/O ポート数	40
2.2.2	I/O 設定	41
2.2.3	汎用入出力の設定例	46
2.3	バス	47
2.3.1	仕様比較	47
2.3.2	バスブロック図	48
2.3.3	SDRAM のリードライトの設定例	50
2.4	割り込みコントローラ	56
2.4.1	IRQ の設定例	56
2.5	データトランスファコントローラ (DTC)	58
2.5.1	仕様比較	58
2.5.2	レジスタ比較	59
2.5.3	起動要因設定	59
2.5.4	DTC ベクタの構成	60
2.5.5	転送情報の配置	61
2.5.6	モジュールストップ	62
2.5.7	SCI と内蔵 RAM 間のデータ転送設定例	63
2.6	ダイレクトメモリアクセスコントローラ (DMAC)	68
2.6.1	仕様比較	68
2.6.2	DMAC ブロック図	69
2.6.3	レジスタ比較	72
2.6.4	起動要因設定	74
2.6.5	転送回数	74
2.6.6	転送元/先について	75
2.6.7	アドレスモード	76
2.6.8	バスモード	76
2.6.9	モジュールストップ	76
2.6.10	SCIF と内蔵 RAM 間のデータ転送設定例	77
2.7	マルチファンクションタイムパルスユニット (MTU)	83
2.7.1	仕様比較	83

2.7.2	割り込み	84
2.7.3	レジスタ比較	85
2.7.4	モジュールストップ	87
2.7.5	コンペアマッチによるパルス出力設定例	88
2.7.6	インプットキャプチャによるパルス幅測定設定例	92
2.8	ポートアウトプットイネーブル (POE)	96
2.8.1	仕様比較	96
2.8.2	入出力端子	97
2.8.3	レジスタ比較	98
2.8.4	発振停止検出検知によるハイインピーダンス制御	99
2.8.5	ハイインピーダンス制御条件の追加	99
2.8.6	割り込み	99
2.9	ウォッチドッグタイマ (WDT)	100
2.9.1	仕様比較	100
2.9.2	カウント開始条件	101
2.9.3	リフレッシュ動作	101
2.9.4	レジスタ書き込み制限	101
2.9.5	割り込み	102
2.9.6	全モジュールストップ	102
2.9.7	オプション設定	102
2.10	シリアルコミュニケーションインタフェース (SCI)	103
2.10.1	仕様比較	103
2.10.2	レジスタ比較	105
2.10.3	クロックソース選択	106
2.10.4	割り込み	106
2.10.5	モジュールストップ	106
2.10.6	調歩同期式送受信設定例 (割り込み、ポーリング)	107
2.10.7	クロック同期式マスタ送信設定例 (割り込み、ポーリング)	115
2.10.8	クロック同期式スレーブ受信設定例 (割り込み、ポーリング)	119
2.11	FIFO 付きシリアルコミュニケーションインタフェース (SCIF)	123
2.11.1	仕様比較	123
2.11.2	レジスタ比較	124
2.11.3	割り込み	125
2.11.4	モジュールストップ	125
2.11.5	調歩同期式送受信設定例	126
2.11.6	クロック同期式マスタ送信設定例	135
2.11.7	クロック同期式スレーブ受信設定例	139
2.12	シリアルペリフェラルインタフェース (RSPI)	143
2.12.1	仕様比較	143
2.12.2	レジスタ比較	144
2.12.3	割り込み	145
2.12.4	モジュールストップ	145
2.12.5	SPI 動作マスタ送受信設定例	146
2.12.6	クロック同期式マスタ送信設定例	154
2.12.7	クロック同期式スレーブ受信設定例	158
2.13	I ² C バスインタフェース (IIC)	162
2.13.1	仕様比較	162

2.13.2 レジスタ比較.....	163
2.13.3 アドレス検出.....	164
2.13.4 アービトレーションロスト検出.....	165
2.13.5 バスハングアップ.....	165
2.13.6 SCL クロック.....	165
2.13.7 ノイズ除去.....	166
2.13.8 割り込み.....	166
2.13.9 モジュールストップ.....	166
2.13.10 マスタ送受信設定例.....	167
2.13.11 スレーブ送受信設定例.....	177
2.14 A/D 変換器 (ADC).....	180
2.14.1 仕様比較.....	180
2.14.2 入力チャンネル.....	181
2.14.3 スキャン順序.....	181
2.14.4 動作モード.....	182
2.14.5 割り込み.....	182
2.14.6 モジュールストップ.....	182
2.14.7 連続スキャンモードによる A/D 変換設定例.....	183
2.15 CAN.....	188
2.15.1 仕様比較.....	188
2.15.2 メールボックス.....	189
2.15.3 アクセプタンスフィルタ.....	191
2.15.4 送信優先順位.....	192
2.15.5 モード遷移.....	192
2.15.6 割り込み.....	193
2.15.7 モジュールストップ.....	193
2.16 USB.....	194
2.16.1 仕様比較.....	194
2.17 イーサネットコントローラ (EtherC).....	195
2.17.1 仕様比較.....	195
2.18 コンペアマッチタイマ (CMT).....	196
2.18.1 仕様比較.....	196
2.18.2 レジスタ比較.....	197
2.18.3 割り込み.....	197
2.18.4 モジュールストップ.....	198
2.18.5 コンペアマッチタイマ設定例.....	198
2.19 コードフラッシュメモリ.....	202
2.19.1 仕様比較.....	202
2.20 データフラッシュ.....	204
2.20.1 仕様比較.....	204
2.21 消費電力低減機能.....	205
2.21.1 仕様比較.....	205
2.21.2 モード遷移.....	206
2.21.3 モジュールストップ状態.....	207
2.21.4 ライトプロテクション.....	207
2.21.5 低消費電力状態モード遷移設定例.....	208

3. サンプルコードについて.....	214
3.1 動作環境.....	214
3.2 サンプルコードの構成.....	215
4. 参考資料.....	217
4.1 参考資料.....	217

1. CPU アーキテクチャ

1.1 データフォーマット

SH7216 グループでは倍精度浮動小数点に対応していますが、RX71M では対応していません。

1.2 システムレジスタ

SH7216 グループと RX71M のシステムレジスタの相違点を以下に示します。

1.2.1 汎用レジスタ

SH7216 グループと RX71M は、ともに 32 ビット長の汎用レジスタを 16 本備えています。スタックポインタ (SP) として使用されるレジスタが異なります。

- SH7216 グループ : R15
- RX71M : R0

SH7217 グループと RX71M の汎用レジスタを図 1.1 に示します。SH7216 グループの R0 は、インデックスレジスタとしても使用します。

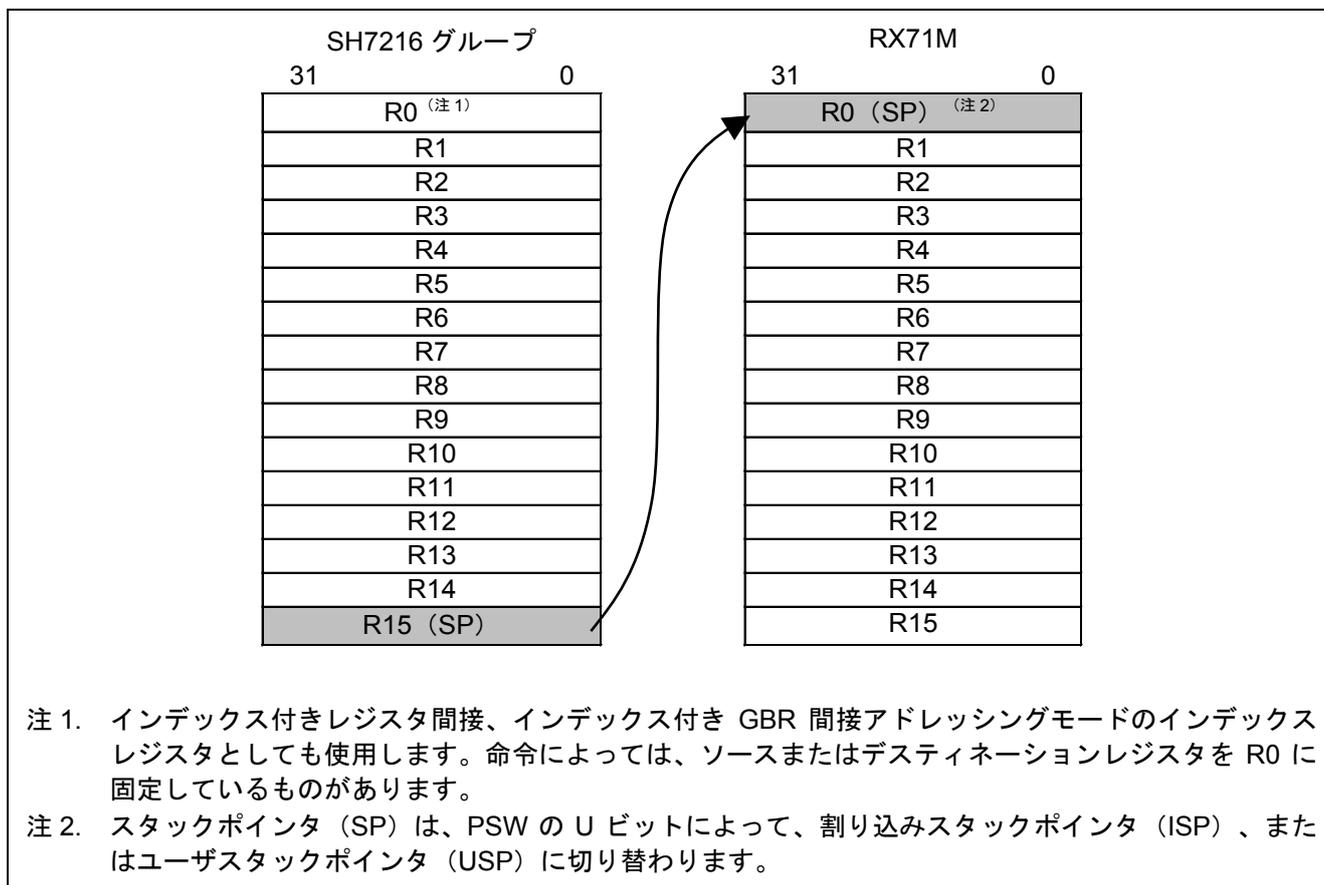


図1.1 汎用レジスタ相違点

1.2.2 制御レジスタ

SH7216 グループと RX71M の CPU レジスタ（汎用レジスタ除く）の相違点を図 1.2 に示します。

SH7216 グループ		RX71M	
31	0	31	0
PC (プログラムカウンタ)		PC (プログラムカウンタ)	
PR (プロシージャレジスタ)		ISP (割り込みスタックポインタ)	
SR (ステータスレジスタ)		USP (ユーザスタックポインタ)	
GBR (グローバルベースレジスタ)		PSW (プロセッサステータスワード)	
VBR (ベクタベースレジスタ)		INTB (割り込みテーブルレジスタ)	
TBR (ジャンプテーブルベースレジスタ)		BPC (バックアップ PC)	
MACH (積和上位レジスタ)		BPSW (バックアップ PSW)	
MACL (積和下位レジスタ)		FINTV (高速割り込みベクタレジスタ)	
		FPSW (浮動小数点ステータスワード)	
		EXTB (例外テーブルレジスタ)	
		71	0
		ACC0 (アキュムレータ 0)	
		ACC1 (アキュムレータ 1)	

図1.2 CPU レジスタの相違点（汎用レジスタ除く）

SH7216 グループの PR、GBR および TBR に相当するレジスタは RX71M にはありません。SH7216 グループの MACH および MACL に相当するレジスタとして、RX71M には ACC0 と ACC1 があります。SH7216 グループにはない RX71M の制御レジスタについて以下に概要を示します。

表1.1 SH7216 グループにはない RX71M の制御レジスタ

レジスタ名	説明
割り込みスタックポインタ (ISP) ユーザスタックポインタ (USP)	RX71M は 2 種類のスタックポインタを持ちます。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。
割り込みテーブルレジスタ (INTB) ^(注1)	割り込みベクタテーブルの先頭アドレスを指定します。
例外テーブルレジスタ (EXTB) ^(注1)	例外ベクタテーブルの先頭アドレスを指定します。
バックアップ PC (BPC) バックアップ PSW (BPSW)	RX71M は通常割り込みと高速割り込みがあります。高速割り込みでは、PC と PSW の内容を専用レジスタ (BPC と BPSW) へ退避するため、レジスタ退避の処理時間を短縮することが可能です。
高速割り込みベクタレジスタ (FINTV)	高速割り込み発生時のジャンプ先を指定するレジスタです。
浮動小数点ステータスワード (FPSW)	RX71M 内蔵 FPU の演算結果 (浮動小数点演算結果) の各種ステータスを示すレジスタです。

注 1. 機能は SH7216 グループの VBR と同等です。

SH7216 グループと RX71M のステータスレジスタの相違点を図 1.3と表 1.2に示します。

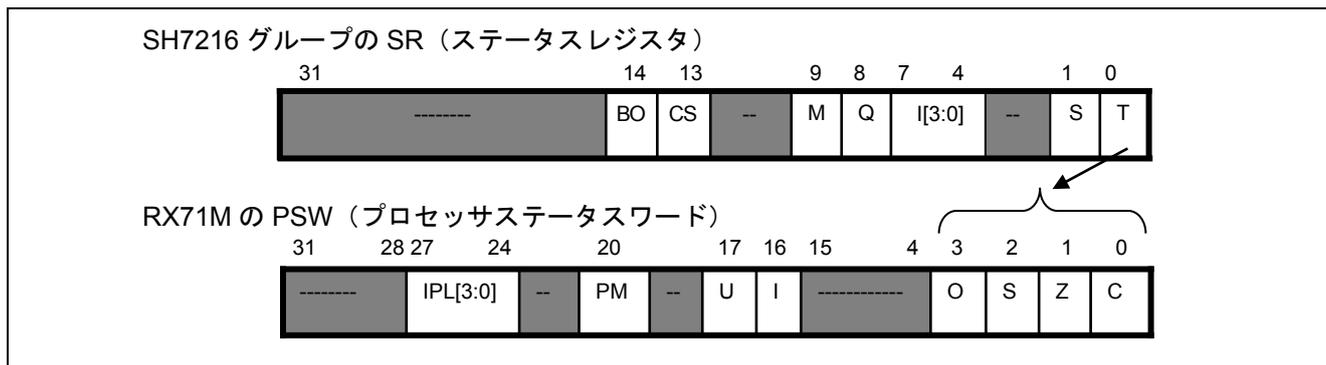


図 1.3 SR (SH7216 グループ) と PSW (RX71M) の相違点

表 1.2 SR (SH7216 グループ) と PSW (RX71M) の相違点

SH ビット名	RX ビット名	説明
T	C Z S O	SH7216 グループの T ビットで示される演算結果 (真偽やキャリ等) は、RX71M では C, Z, S, O の 4 つのフラグで示されます。 C : キャリフラグ (0/1 = キャリ発生なし/キャリ発生あり) Z : ゼロフラグ S : サイン O : オーバフローフラグ
S	—	SH7216 グループの DSP ユニットで実行される ALU 算術演算におけるオーバフロー防止機能を制御します。 RX71M には S ビットに相当するビットはなく、浮動小数点演算でのオーバフロー発生時は FPSW のフラグで通知されます。またオーバフロー発生時に例外処理を行うことも可能です。
I[3:0]	IPL[3:0]	割り込みマスクビットです。 SH7216 グループ、RX71M 共に 0 (最低) ~ 15 (最高) レベルが設定可能で、この設定よりも優先レベルが高い割り込みだけが受け付けられます。
Q	—	SH7216 グループの Q ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX71M には相当するビットはありません。
M	—	SH7216 グループの M ビットは DIV0U、DIV0S、DIV1 命令で使用しますが、RX71M には相当するビットはありません。
CS	—	SH7216 グループの CS ビットは CLIP 命令で使用しますが、RX71M には相当するビットはありません。
BO	—	SH7216 グループの BO ビットはレジスタバンクのオーバフローを示しますが、RX71M には相当するビットはありません。
—	I	割り込み許可ビット 0 : 割り込みを許可しない 1 : 割り込みを許可する RX71M で割り込み要求の受け付けを許可するビットです。初期状態は“0”のため、割り込みを受け付ける場合は本ビットを“1”に設定する必要があります。WAIT 命令を受け付けると“1”になり、例外を受け付けると“0”になります。 このビットの設定に関係なく、割り込み要求発生時は、割り込みコントローラの割り込みステータスフラグはリセットされます。

SH ビット名	RX ビット名	説明
—	U	RX71M で使用するスタックポインタを指定するビットです。 0 : 割り込みスタックポインタ (ISP) 1 : ユーザスタックポインタ (USP) 例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。
—	PM	RX71M でプロセッサモードを設定するビットです。 0 : スーパーバイザモード 1 : ユーザモード 例外を受け付けると、このビットは“0”になります。

1.3 オプション設定メモリ

RX71M には、エンディアンやウォッチドッグタイマ動作等、リセット後のマイコンの状態を選択するレジスタを備えたオプション設定メモリがあります。オプション設定メモリは、フラッシュメモリのコンフィギュレータ設定領域とユーザブート領域にあり、領域ごとに設定方法が異なります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

1.3.1 オプション設定メモリの概要

オプション設定メモリ領域の概要を図 1.4 に示します。

アドレス	レジスタ名		レジスタの概要	
	—	—	—	—
0012 0040h ~ 0012 0043h	シリアルプログラマコマンド制御レジスタ (SPCC)	—	シリアル ID コードプロテクト、シリアルプログラマ接続、ブロックイレーズコマンド、プログラムコマンド、リードコマンドの設定を行う	—
0012 0048h ~ 0012 004Bh	TM イネーブルフラグレジスタ (TMEF)	—	TM 機能の有効/無効を設定する	—
0012 0050h ~ 0012 005Fh	OCD/シリアルプログラマ ID 設定レジスタ (OSIS)	—	OCD/シリアルプログラマの ID コードプロテクト機能の ID を格納する領域	—
0012 0060h ~ 0012 0063h	TM 識別データレジスタ (TMINF)	—	TM 有効領域に格納しているプログラムを識別できるコードなど、ユーザが任意の 32 ビットデータを格納できる領域	—
0012 0064h ~ 0021 0067h	エンディアン選択レジスタ (MDE)	—	CPU のエンディアンの設定を行う	—
0012 0068h ~ 0012 006Bh	オプション機能選択レジスタ 0 (OFS0)	—	独立ウォッチドッグタイマ (IWDT) およびウォッチドッグタイマ (WDT) の設定を行う	—
0012 006Ch ~ 0012 006Fh	オプション機能選択レジスタ 1 (OFS1)	—	リセット後の電圧監視および HOCO 発振の設定を行う	—
FF7F FFE8h ~ FF7F FFEFh	UB コード A	—	ユーザブートモードを使用するときに必要な 32 ビット長 2 ワードのデータを格納する領域 (5573 6572h, 426F 6F74h)	—
FF7F FFF0h ~ FF7F FFF7h	UB コード B	—	ユーザブートモードを使用するときに必要な 32 ビット長 2 ワードのデータを格納する領域 (FFFF FF07h, 0008 C04Ch)	—
	—	—	—	—

図1.4 RX71M オプション設定メモリ領域

オプション設定メモリの設定例を図 1.5～図 1.8に示します。

```
/* ビッグエンディアン設定 */
#define __BIG
#pragma address MDE_REG = 0x00120064 // MDE register
#ifdef __BIG
    const unsigned long MDE_REG = 0xFFFFFFFF8; // big
#else
    const unsigned long MDE_REG = 0xFFFFFFFF; // little
#endif
```

図1.5 RX71M エンディアン設定例

```
/* リセット後、シリアルプログラマ接続許可、IDコードプロテクト機能有効を設定 */
#pragma address SPCC_REG = 0x00120040 // SPCC register
const unsigned long SPCC_REG = 0x1EFFFFFF;

/* OCD/シリアルプログラマの ID コードを設定 */
/* ID1 = 0x01, ID2 = 0x02, ID3 = 0x03, ID4 = 0x04 */
/* ID5 = 0x05, ID6 = 0x06, ID7 = 0x07, ID8 = 0x08 */
/* ID9 = 0x09, ID10 = 0x0A, ID11 = 0x0B, ID12 = 0x0C */
/* ID13 = 0x0D, ID14 = 0x0E, ID15 = 0x0F, ID16 = 0x10 */
#pragma address OSIS1_REG = 0x00120050 // OSIS register
const unsigned long OSIS1_REG = 0x04030201; // ID1, ID2, ID3, ID4

#pragma address OSIS5_REG = 0x00120054 // OSIS register
const unsigned long OSIS5_REG = 0x08070605; // ID5, ID6, ID7, ID8

#pragma address OSIS9_REG = 0x00120058 // OSIS register
const unsigned long OSIS9_REG = 0xC0B0A09; // ID9, ID10, ID11, ID12

#pragma address OSIS13_REG = 0x0012005C // OSIS register
const unsigned long OSIS13_REG = 0x100F0E0D; // ID13, ID14, ID15, ID16
```

図1.6 RX71MOCD/シリアルプログラマ設定例

```
/* UB コード A 設定 */
#pragma address UBA1_REG = 0xFF7FFFE8 // UB code A_1 register
const unsigned long UBA1_REG = 0x55736572;
#pragma address UBA2_REG = 0xFF7FFFE8 // UB code A_2 register
const unsigned long FAW2_REG = 0x426F6F74;
```

図1.7 RX71MUB コード A の設定例

```
#pragma address OFS1_REG = 0x0012006C // OFS1 register
const unsigned long OFS1_REG = 0xFFFFFFFF;

#pragma address OFS0_REG = 0x00120068 // OFS0 register
const unsigned long OFS0_REG = 0xFFFFFFFF;
```

図1.8 RX71MOFS0/1 の設定例

1.3.2 エンディアンの設定

SH7216 グループは、ビッグエンディアン固定です。RX71M は、命令はリトルエンディアン固定、データ配置はリトルエンディアン、ビッグエンディアンから選択できます。このエンディアン設定は、オプション設定メモリの MDE レジスタのエンディアン選択ビット MDE[2:0] で設定します。

SH7216 グループから RX71M に置き換える際にビッグエンディアンを使用する場合、ルネサス純正コンパイラのオプション設定でビッグエンディアンを指定することができ、プログラム上でエンディアンを意識せずに移行可能です。

外部アドレス空間では、CS 領域ごとにエンディアン設定を切り替えられます。但し、外部空間のエンディアン設定が MCU のエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、MCU のエンディアンと同じエンディアン設定の領域に配置してください。詳細はユーザーズマニュアル ハードウェア編を参照してください。

コンパイラオプションによるエンディアン設定を図 1.9 に示します。コンパイラオプションの設定で自動的に生成されたファイルは 3.1 章のサンプルコードの動作環境で動作します。

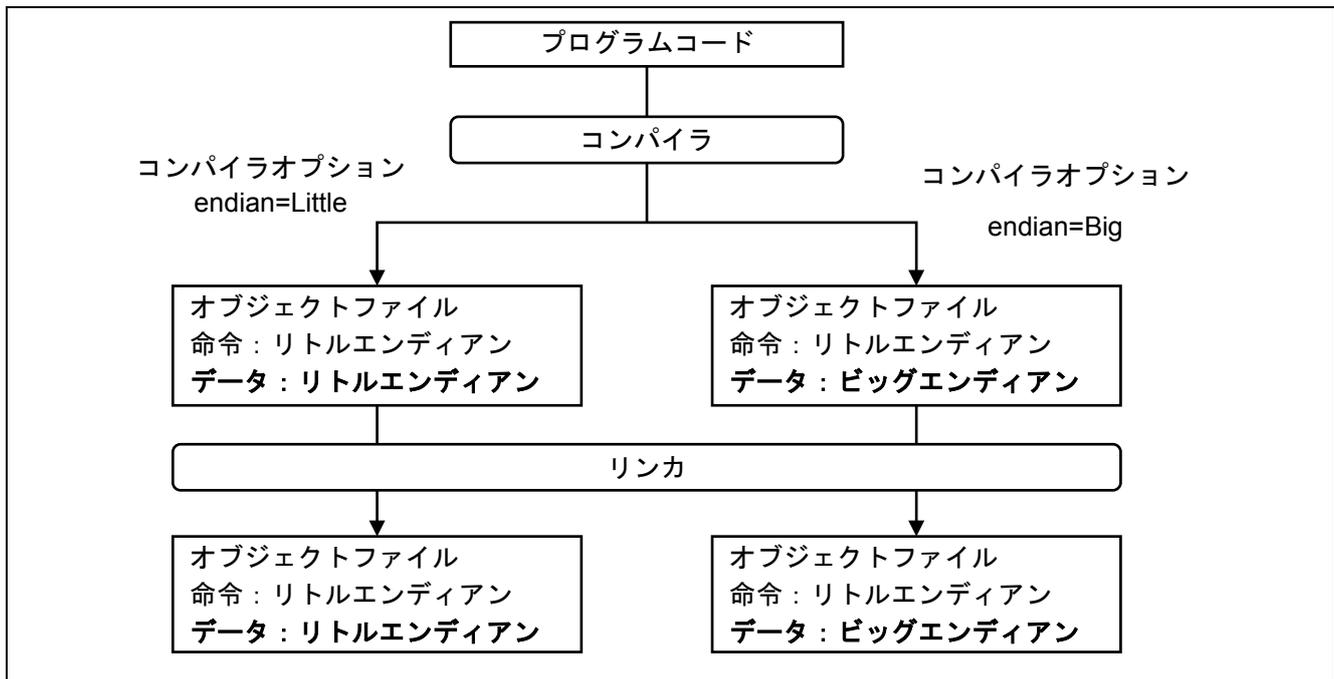


図1.9 RX71M コンパイラオプションによるエンディアン指定

1.3.3 TM 識別データの設定、TM イネーブルフラグの設定

RX71M は、コードフラッシュメモリ上のブロック 8,9 に第三者によるソフトウェアのリード防止機能として、Trusted Memory（本書では TM と呼びます）機能を搭載しています。TM 機能は、内蔵フラッシュメモリ等マイコン内部からも一部特定領域にあるコードの読み出しを不可能とし、命令実行のみを可能とします。

暗号アルゴリズムの処理ソフトウェア、ノウハウを伴う機器制御処理ソフトウェアや有償のミドルウェアなどを格納するのに適しています。

1.3.4 OCD/シリアルプログラマの設定

RX71M は、シリアルプログラマのコマンドによるシリアルプログラミング機能を選択できます。シリアルプログラミング機能は SPCC レジスタで選択できます。

OCD/シリアルプログラマを接続する場合、オプション設定上に書かれているデータを使い接続可否判定を行います。OCD/シリアルプログラマから送られてくるコードと、オプション設定メモリ上の ID コードの一致を判定します。ID コードが一致した場合は OCD/シリアルプログラマとの接続を許可しますが、一致しない場合は OCD/シリアルプログラマとの接続はできません。OCD/シリアルプログラマの ID コードは、OSIS レジスタに格納します。

1.4 リセット機能

1.4.1 リセット要因

SH7216 グループと RX71M のリセット要因を表 1.3に示します。

表1.3 リセット要因

項目	SH7216 グループ	RX71M
リセット種別	<ul style="list-style-type: none"> • パワーオンリセット • (RES#端子リセット/H-UDI リセットアサートコマンド/WDT オーバフロー) • マニュアルリセット • (MRES#端子リセット/WDT オーバフロー) 	<ul style="list-style-type: none"> • RES#端子リセット • パワーオンリセット (内部リセット) • 電圧監視 0 リセット • 電圧監視 1 リセット • 電圧監視 2 リセット • ディープソフトウェアスタンバイリセット • 独立ウォッチドッグタイマリセット • ウォッチドッグタイマリセット • ソフトウェアリセット

(1) リセットベクタの構成

SH7216 グループはパワーオンリセット用とマニュアルリセット用のベクタ^(注1) (PC および SP) が別々に存在します。

RX71M は複数のリセット要因に対して、リセットベクタはひとつです。リセット処理内でリセットステータスレジスタ 0~2 にてリセット要因判定を行い、要因別の処理を行います。

(2) スタックポインタ

SH7216 グループではリセットベクタにスタック領域の最後尾 (+1) の番地を設定する必要があります。

RX71M では、ベクタテーブルにスタックポインタの設定領域がないため、ISP と USP に設定する必要があります。

注 1. ベクタテーブルに関しては、「1.8.4 ベクタの構成」を参照。

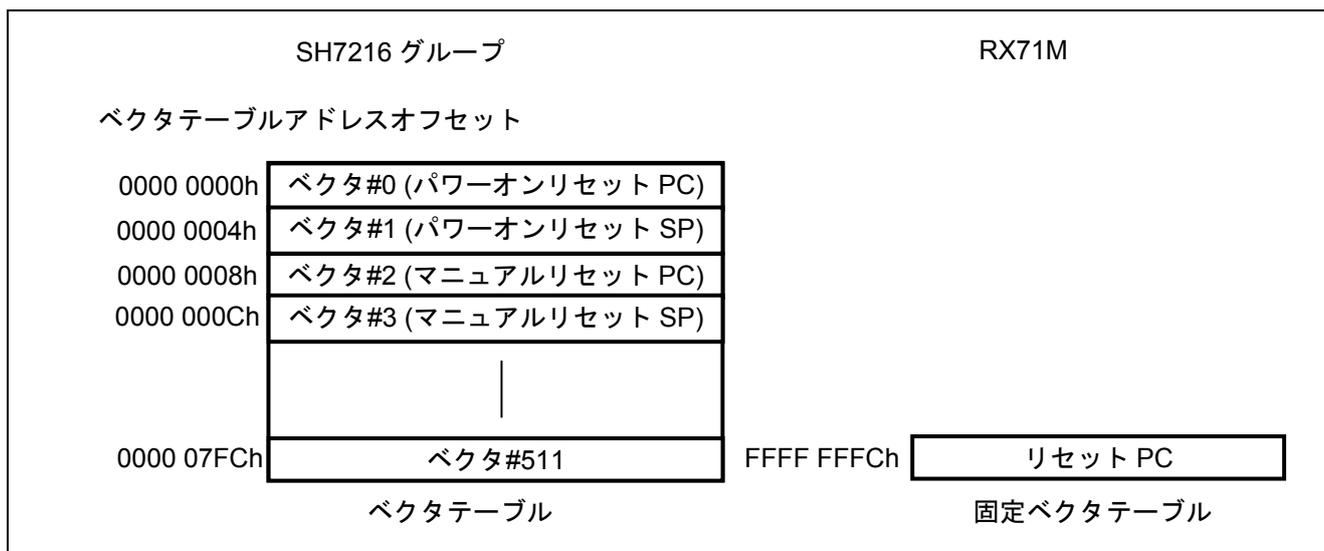


図1.10 リセットベクタ比較

1.4.2 リセット要因と初期化範囲

SH7216 グループと RX71M ではリセット要因に対する初期化範囲が異なります。SH7216 グループのリセット要因と初期化範囲を表 1.4に、RX71M のリセット要因と初期化範囲を表 1.5に示します。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表1.4 SH7216 グループリセット要因と初期化範囲

項目		CPU FPU	内蔵周辺モジュール、 I/O ポート	WDT の WRCSR、 CPG の FRQCR
パワーオン リセット	RES#端子リセット	○	○	○
	H-UDI コマンド	○	○	○
	WDT オーバフロー	○	○	—
マニュアル リセット	MRES#端子リセット	○	— (注1)	—
	WDT オーバフロー	○	— (注1)	—

○：初期化する —：初期化しない

注1. INTC の IBNR の BN ビットは初期化する

表1.5 RX71M リセット要因と初期化範囲

リセット対象	リセット要因								
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイ マリセット	電圧監視1 リセット	電圧監視2 リセット	ディープソフト ウェアスタンバイ リセット	ソフトウェ アリセット
パワーオンリセット検出フラグ	○	—	—	—	—	—	—	—	—
コールドスタート/ ウォームスタート判別フラグ	—	○	—	—	—	—	—	—	—
電圧監視0リセット検出フラグ	○	○	—	—	—	—	—	—	—
独立ウォッチドッグタイマ リセット検出フラグ	○	○	○	—	—	—	—	○	—
独立ウォッチドッグタイマのレジスタ	○	○	○	—	—	—	—	○	—
ウォッチドッグタイマ リセット検出フラグ	○	○	○	○	—	—	—	○	—
ウォッチドッグタイマのレジスタ	○	○	○	○	—	—	—	○	—
電圧監視1リセット検出フラグ	○	○	○	○	○	—	—	—	—
電圧監視機能1のレジスタ	○	○	○	○	○	—	—	(注1)	—
電圧監視2リセット検出フラグ	○	○	○	○	○	○	—	—	—
電圧監視機能2のレジスタ	○	○	○	○	○	○	—	(注2)	—
ディープソフトウェアスタンバイ リセット検出フラグ	○	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ	○	○	○	○	○	○	○	○	—
リアルタイムクロックのレジスタ (注3)	—	—	—	—	—	—	—	—	—
高速オンチップオシレータ関連の レジスタ	○	○	○	○	○	○	○	—	○
メインクロック発振器関連のレジスタ	○	○	○	○	○	○	○	—	○
端子の状態	○	○	○	○	○	○	○	—	○
消費電力低減機能関連のレジスタ (注4)	○	○	○	○	○	○	○	—	○
上記以外のレジスタ、 CPUおよび内部状態	○	○	○	○	○	○	○	○	○

○：初期化する —：初期化しない

注1. LVD1CR1、LVD1SR のみ初期化する

注2. LVD2CR1、LVD2SR のみ初期化する

注3. 一部の制御ビットは、すべてのリセットで初期化する

注4. DPSBKRY レジスタは、いずれのリセットでも初期化しない

1.4.3 コールドスタート/ウォームスタート判定機能

RX71Mには電源が投入された時のリセット処理（コールドスタート）か、動作中にリセット信号が入力された時のリセット処理（ウォームスタート）かの判定をすることができます。

外部電圧 VCC が閾値を超えるパワーオンリセットが発生すると、コールドスタート/ウォームスタート判別フラグ (RSTSR1.CWSE) を‘0’に設定しコールドスタート状態を示します。その他のリセットを行っても‘0’にはならないため、プログラムで‘1’を書き込むことでウォームスタート状態を設定します。

1.4.4 ライトプロテクション

RX71Mにはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能があり、ソフトウェアリセットレジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 1 (PRCR.PRC1) を‘1’に設定し、書き込みを許可してください。

1.5 クロック設定

1.5.1 クロック源

SH7216 グループと RX71M のクロック源一覧を表 1.6に示します。

表1.6 クロック源一覧

SH7216 グループ	RX71M
発振器 (EXTAL, XTAL) +PLL 回路 USB 用発振器 (USBEXTAL, USBXTAL)	メインクロック発振器 (EXTAL, XTAL) +PLL 回路 サブクロック発振器 (XCIN, XCOUT) 高速オンチップオシレータ (HOCO) +PLL 回路 低速オンチップオシレータ (LOCO) IWDT 専用オンチップオシレータ

以降、高速オンチップオシレータは HOCO、低速オンチップオシレータは LOCO と記載します。

1.5.2 クロック発生回路

SH7216 グループは分周器の設定および発振停止検出制御をソフトウェアで行います。RX71M は多様なクロック制御をソフトウェアで行います。

RX71M はリセット後、LOCO をクロックソースとして動作します。システムの初期化において、LOCO 以外の必要なクロックソースおよび PLL を動作させ、システムクロックやバスクロックをはじめとする各種クロックを選択します。クロック関連の設定を変更する場合はレジスタ設定順序と、発振およびクロック発振安定時間を考慮する必要があります。

クロック設定手順の詳細については以下のアプリケーションノートを参照してください。

- RX71M グループ初期設定例 (R01AN2459JJ)

1.5.3 ライトプロテクション

RX にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能があり、クロック発生回路関連レジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 0 (PRCR.PRC0) またはプロテクトビット 1 (PRCR.PRC1) を '1' に設定し、書き込みを許可してください。

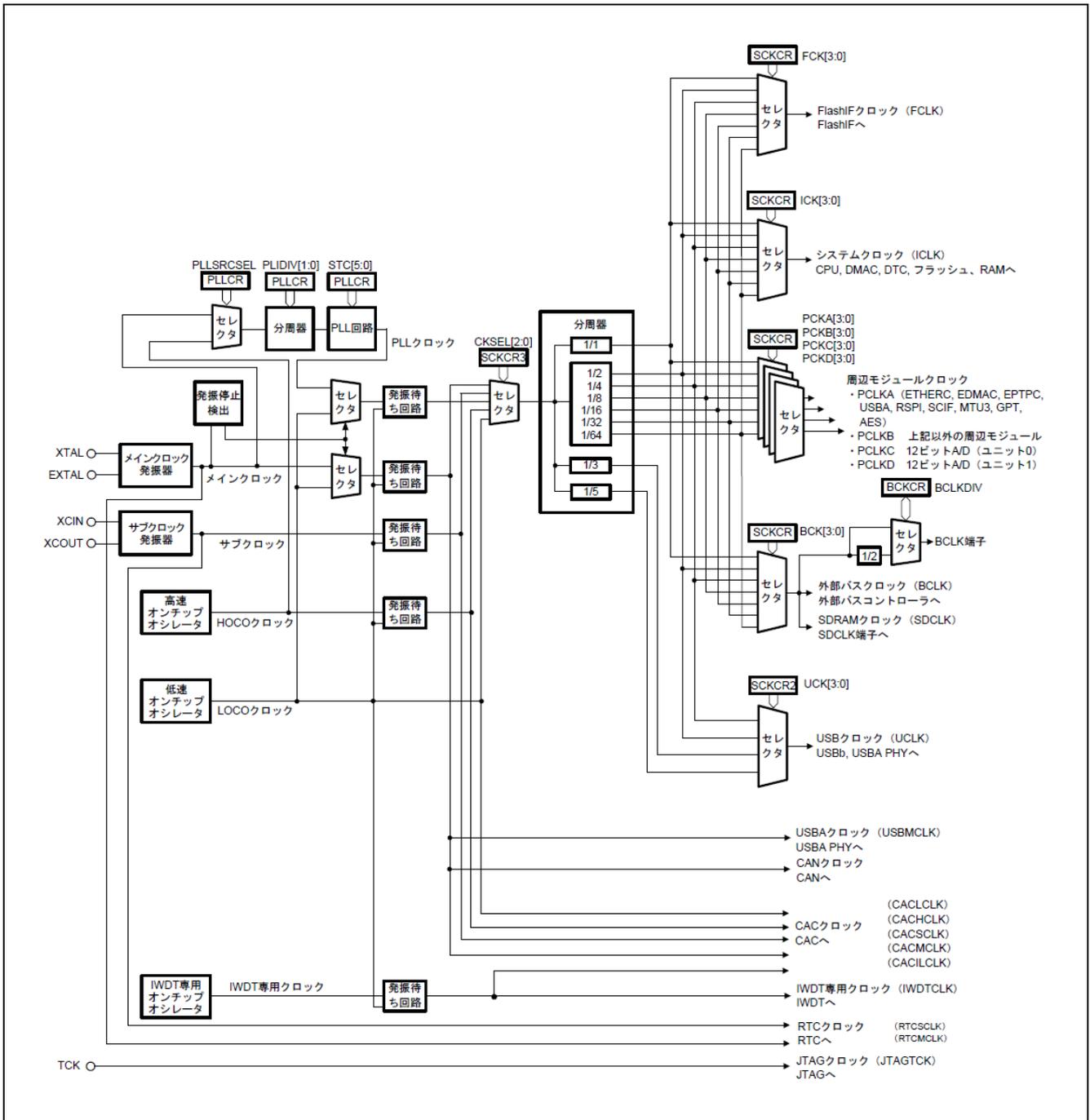


図1.11 RX71M クロック発生回路のブロック図

1.6 動作モード

1.6.1 動作モードの比較

SH7216 グループと RX71M の動作モードの比較を表 1.7に示します。各動作モードの詳細はユーザーズマニュアル ハードウェア編を参照してください。

表1.7 動作モードの比較

SH7216 グループ	RX71M	モードの説明
MCU 拡張モード 0	内蔵 ROM 無効拡張モード	内蔵 ROM 無効で外部アドレス空間が有効な動作モード SH7216 グループのモード 0 とモード 1 は外部バス幅の違い
MCU 拡張モード 1		
MCU 拡張モード 2	内蔵 ROM 有効拡張モード	内蔵 ROM 有効で外部アドレス空間も有効な動作モード
シングルチップモード	シングルチップモード	外部アドレス空間が無効な動作モード
ブートモード	ブートモード (SCI インタフェース)	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ブートプログラム）が動作するモード 調歩同期式シリアルインタフェースを使用して、MCU 外部から内蔵 ROM を書き換えることができる
USB ブートモード	ブートモード (USB インタフェース)	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ブートプログラム）が動作するモード USB を使用して、MCU 外部から内蔵 ROM を書き換えることができる
ユーザブートモード	ユーザブートモード	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ユーザブートプログラム）が動作するモード 任意のインタフェースでユーザマットを書き換えることができる リセット解除後遷移可能
ユーザプログラムモード	—	MCU 内部の専用領域に格納された、フラッシュ書き替えプログラム（ユーザブートプログラム）が動作するモード 任意のインタフェースでユーザマットを書き換えることができる MCU 拡張モード 2 もしくはシングルチップモードから遷移可能

1.6.2 メモリの比較

内蔵 ROM 有効モードでのメモリマップの比較を図 1.12に示します。

SH7216 MCU 拡張モード 2		RX71M 内蔵 ROM 有効拡張モード	
0000 0000h	内蔵フラッシュメモリ	0000 0000h	内蔵 RAM
0010 0000h	予約領域	0008 0000h	周辺 I/O レジスタ
0040 2000h	FCU ファーム領域	000A 4000h	スタンバイ RAM
0040 4000h	予約領域	000A 6000h	周辺 I/O レジスタ
0200 0000h	CS0 空間	0010 0000h	内蔵 ROM (データフラッシュメモリ)
0400 0000h	CS1 空間	0011 0000h	予約領域
0800 0000h	CS2 空間	0012 0040h	内蔵 ROM (オプション設定メモリ)
0C00 0000h	CS3 空間	0012 0070h	予約領域
1000 0000h	CS4 空間	007E 0000h	内蔵 ROM (書き換え専用)
1400 0000h	CS5 空間	007F 0000h	予約領域
1800 0000h	CS6 空間	007F 8000h	FCU-RAM 領域
1C00 0000h	CS7 空間	007F 9000h	予約領域
2000 0000h	予約領域	007F E000h	周辺 I/O レジスタ
8010 0000h	データフラッシュ	0080 0000h	予約領域
8010 8000h	予約領域	00FF 8000h	ECC-RAM 領域
80FF 8000h	FCURAM	0100 0000h	外部アドレス空間 (CS 領域)
80FF A000h	予約領域	0800 0000h	外部アドレス空間 (SDRAM 領域)
FFF8 0000h	内蔵 RAM	1000 0000h	予約領域
FFFA 0000h	予約領域	FEFF F000h	内蔵 ROM (FCU ファームウェア)
FFFC 0000h	BSC, UBC, Etherc 他	FF00 0000h	予約領域
FFFD 0000h	予約領域	FF7F 8000h	内蔵 ROM (ユーザブート)
FFFE 0000h	周辺 I/O	FF80 0000h	予約領域
FFFF FFFFh		FFC0 0000h	内蔵 ROM (プログラム ROM)
		FFFF FFFFh	

図1.12 メモリマップ比較 (内蔵 ROM 有効モード)

シングルチップモードでのメモリマップの比較を図 1.13に示します。

SH7216 シングルチップモード		RX71M シングルチップモード		
0000 0000h	内蔵フラッシュメモリ	0000 0000h	内蔵 RAM	
0010 0000h	予約領域	0008 0000h	周辺 I/O レジスタ	
0040 2000h	FCU ファーム領域	000A 4000h	スタンバイ RAM	
0040 4000h	予約領域	000A 6000h	周辺 I/O レジスタ	
8010 0000h		データフラッシュ	0010 0000h	内蔵 ROM (データフラッシュメモリ)
8010 8000h		予約領域	0011 0000h	予約領域
80FF 8000h		FCURAM	0012 0040h	内蔵 ROM (オプション設定メモリ)
80FF A000h		予約領域	0012 0070h	予約領域
FFF8 0000h		内蔵 RAM	007E 0000h	内蔵 ROM (書き換え専用)
FFFA 0000h		予約領域	007F 0000h	予約領域
FFFC 0000h		BSC, UBC, Etherc 他	007F 8000h	FCU-RAM 領域
FFFD 0000h		予約領域	007F 9000h	予約領域
FFFE 0000h		周辺 I/O	007F E000h	周辺 I/O レジスタ
FFFF FFFFh		0080 0000h	予約領域	
		00FF 8000h	ECC-RAM 領域	
		0100 0000h	予約領域	
		FEFF F000h		内蔵 ROM (FCU ファームウェア)
		FF00 0000h		予約領域
		FF7F 8000h		内蔵 ROM (ユーザブート)
		FF80 0000h		予約領域
		FFC0 0000h		内蔵 ROM (プログラム ROM)
		FFFF FFFFh		

図1.13 メモリマップ比較 (シングルチップモード)

内蔵 ROM 無効モードでのメモリマップの比較を図 1.14に示します。

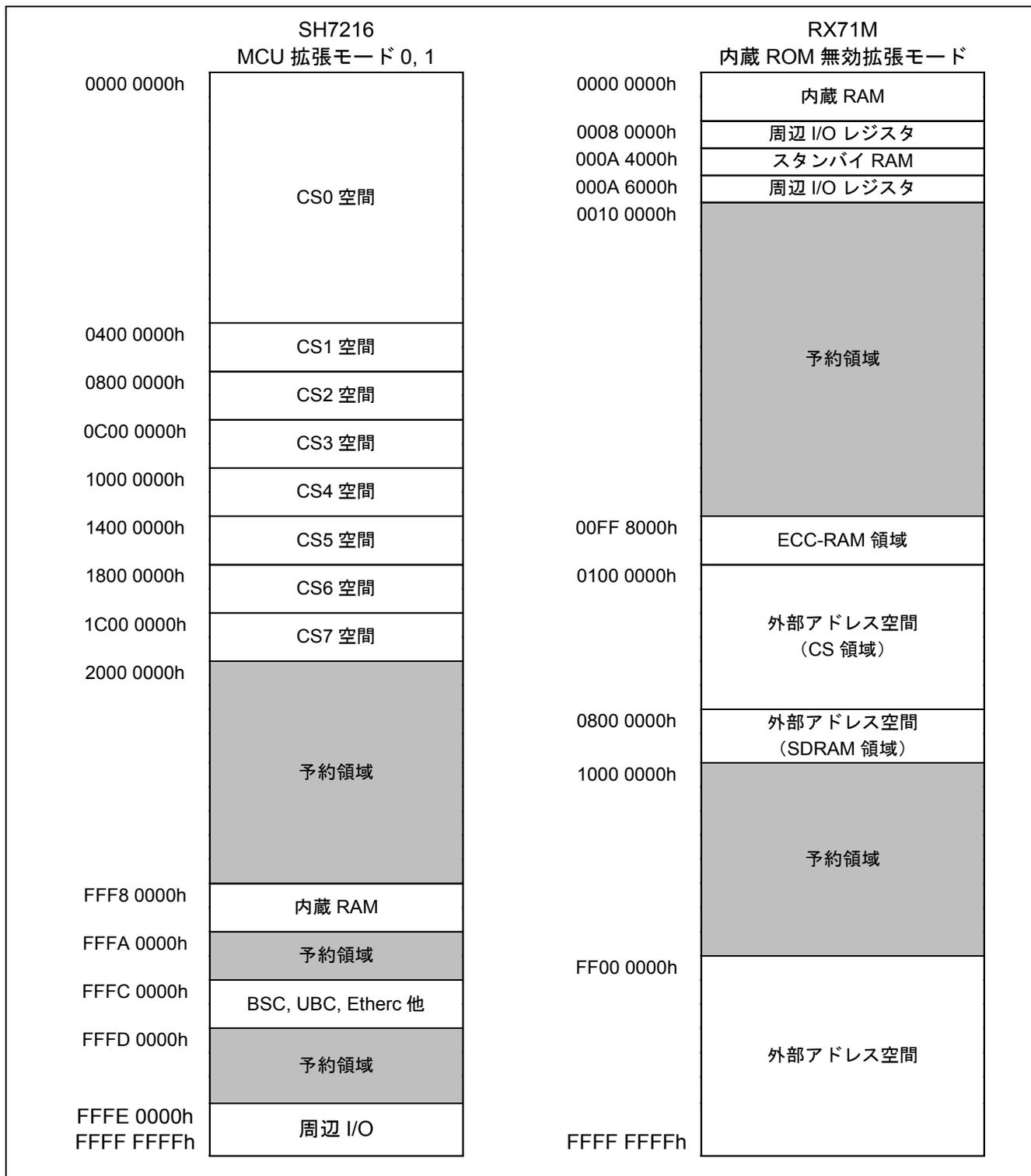


図1.14 メモリマップ比較 (内蔵 ROM 無効モード)

- RX71M では RAM が“0000 0000h”番地側、ROM（読み出し用）が“FFFF FFFFh”番地側に配置されています。
- RX71M では周辺 I/O レジスタは“0008 0000h”～“000A 3FFFh”および“000A 6000h”～“000F FFFFh”に配置されており、フラッシュ関連のレジスタのみ“007F E000h”～“007F FFFFh”に配置されています。
- RX71M では外部アドレス空間は“0100 0000h”～“0FFF FFFFh”および“FF00 0000h”～“FFFF FFFFh”に配置されており、16M バイトの最大 8 つの CS 空間と 128M バイトの SDRAM 空間で構成されます。内蔵 ROM 有効拡張モード時は“FF00 0000h”～“FFFF FFFFh”の CS0 領域は無効となります。

1.6.3 動作モード設定

SH7216 グループの動作モード設定は MD1、MD0 および FWE 端子設定のみで行うのに対し、RX71M の動作モード設定は、MD および UB 端子のリセット解除時の状態によって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

端子設定により決まる動作モードを表 1.8 に、リセット解除後にソフトウェアにより設定する動作モードを表 1.9 に示します。

表1.8 RX71M 設定端子と動作モード

端子		モード名
MD	UB	
High	—	シングルチップモード
Low	Low	ブートモード（SCI インタフェース）
	High	ブートモード（USB インタフェース）
		ユーザブートモード

表1.9 RX71MSYSCR0 レジスタ設定と動作モード

SYSCR0 レジスタ		モード名
ROME ビット ^(注1)	EXBE ビット	
0（内蔵 ROM 無効）	0（外部バス無効）	シングルチップモード、ユーザブートモード
1（内蔵 ROM 有効） ^(注2)	0（外部バス無効） ^(注2)	
0（内蔵 ROM 無効）	1（外部バス有効）	内蔵 ROM 無効拡張モード
1（内蔵 ROM 有効）	1（外部バス有効）	内蔵 ROM 有効拡張モード

注 1. 一旦 ROME ビットを 0 にすると 1 に戻すことはできません。

注 2. STSCR0 レジスタのリセット後の値は ROME = 1、EXBE = 0

1.6.4 ライトプロテクション

RX71M にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能があり、動作モード関連レジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 1（PRCR.PRC1）を‘1’に設定し、書き込みを許可してください。

1.7 プロセッサモード

RX71Mには、スーパーバイザモードとユーザモードの2つのプロセッサモードがあります。このプロセッサモードを使用することで、CPU リソースに対する階層的な保護機構を実現可能です。

表1.10 RX71M プロセッサモード

プロセッサモード	移行条件	概要
スーパーバイザモード	<ul style="list-style-type: none"> リセット解除 例外の発生 (PSW.PM ビットが“0”に変化) <p>例外が発生するとスーパーバイザモードへ移行しますが、例外処理から復帰すると例外発生前のプロセッサモードに戻ります。</p>	<p>すべての CPU リソースにアクセスでき、すべての命令を実行できる（制限なし）</p> <p>通常は、OS 等のシステムプログラムを動作させるモード</p>
ユーザモード	<ul style="list-style-type: none"> PSW.PM ビットに“1”を設定 <p>但し、この時はスタックに退避した PSW.PM ビットを“1”にした後 RTE 命令を実行、または BPSW に退避した PSW.PM ビットを“1”にした後 RTFI 命令を実行</p>	<p>PSW の一部のビットや BPC、BPSW など、一部の CPU リソースへのライトアクセスが制限され、特権命令も使用できない</p> <p>通常は、アプリケーションプログラム等のユーザプログラムを動作させるモード</p>

スーパーバイザモード⇒ユーザモード移行方法

RX ファミリ用 C/C++コンパイラパッケージでは、ユーザモードへの切り替えを行う組み込み関数 `chg_pmusr()` (注¹) を用意しています。

組み込み関数は C ソースに記述することができ、出力コードは通常の呼び出しを行わず、対応するアセンブラを出力します。

注 1. RX ファミリ用 C/C++コンパイラパッケージ V2.05.00 以降は `__chg_pmusr()` 関数も使用可能

図1.15 プロセッサモード設定例（ユーザモード）

ユーザモード⇒スーパーバイザモード移行方法

INT 命令、BRK 命令により無条件トラップを発生させることで、例外が発生します。例外処理中はスーパーバイザモードに移行します。

図1.16 プロセッサモード設定例（スーパーバイザモード）

1.8 例外処理

SH7216 グループと RX71M の割り込みを含む例外処理全般の相違点を以下に示します。

1.8.1 例外処理の種類

SH7216 グループと RX71M の例外要因の比較を表 1.11に示します。

表1.11 例外要因比較

SH7216 ループ	RX71M	主な相違点
パワーオンリセット	リセット	RX71M はリセットベクタが一つであり、リセット割り込み処理内でリセットステータスレジスタ 0~2 を確認し、リセット要因を判別して適切な処理を行う
マニュアルリセット		
アドレスエラー	—	該当例外は RX71M にはない
—	アクセス例外	メモリプロテクションエラー時に発生 該当例外は SH7216 グループ にはない
割り込み	ノンマスカブル割り込み	RX71M はマスカブル割り込みとノンマスカブル割り込みで別のベクタテーブルをもつ
	割り込み	
レジスタバンクエラー	—	該当例外は RX71M にはない
トラップ命令 (TRAPA 命令)	無条件トラップ (INT、BRK 命令)	SH7216 グループは 32 要因、RX71M は専用ベクタ 16 要因 (割り込みと兼用も含めると最大 256 要因)
一般不当命令	未定義命令例外	RX71M は遅延分岐命令直後かどうかに関わらずベクタが一つである
スロット不当命令		
整数除算命令	浮動小数点例外	整数除算命令に相当する例外は RX71M にはない
浮動小数点演算命令		
—	特権命令例外	ユーザモードで特権命令検出時に発生 該当例外は SH7216 グループにはない

1.8.2 例外処理の優先順位

SH7216 グループと RX71M の例外要因に対する優先順位の比較を表 1.12に示します。

表1.12 例外事象優先順位

優先順位 ^(注1)	SH7216 グループ	RX71M
高い  低い	パワーオンリセット	リセット
	マニュアルリセット	ノンマスカブル割り込み
	アドレスエラー	割り込み
	浮動小数点演算命令、整数除算命令	アクセス例外 (命令アクセス例外)
	レジスタバンクエラー	未定義命令例外、特権命令例外
	割り込み	無条件トラップ
	トラップ命令	アクセス例外 (オペランドアクセス例外)
	一般不当命令、スロット不当命令	浮動小数点例外

注 1. 割り込みの内の優先順位は割り込みコントローラにより決定します。

割り込みは、SH7216 グループでは優先順位が低いのに対し、RX71M では優先順位が高いことに注意してください。

1.8.3 例外処理の基本処理フロー

SH7216 グループと RX71M の割り込み例外処理フローを図 1.17に示します。

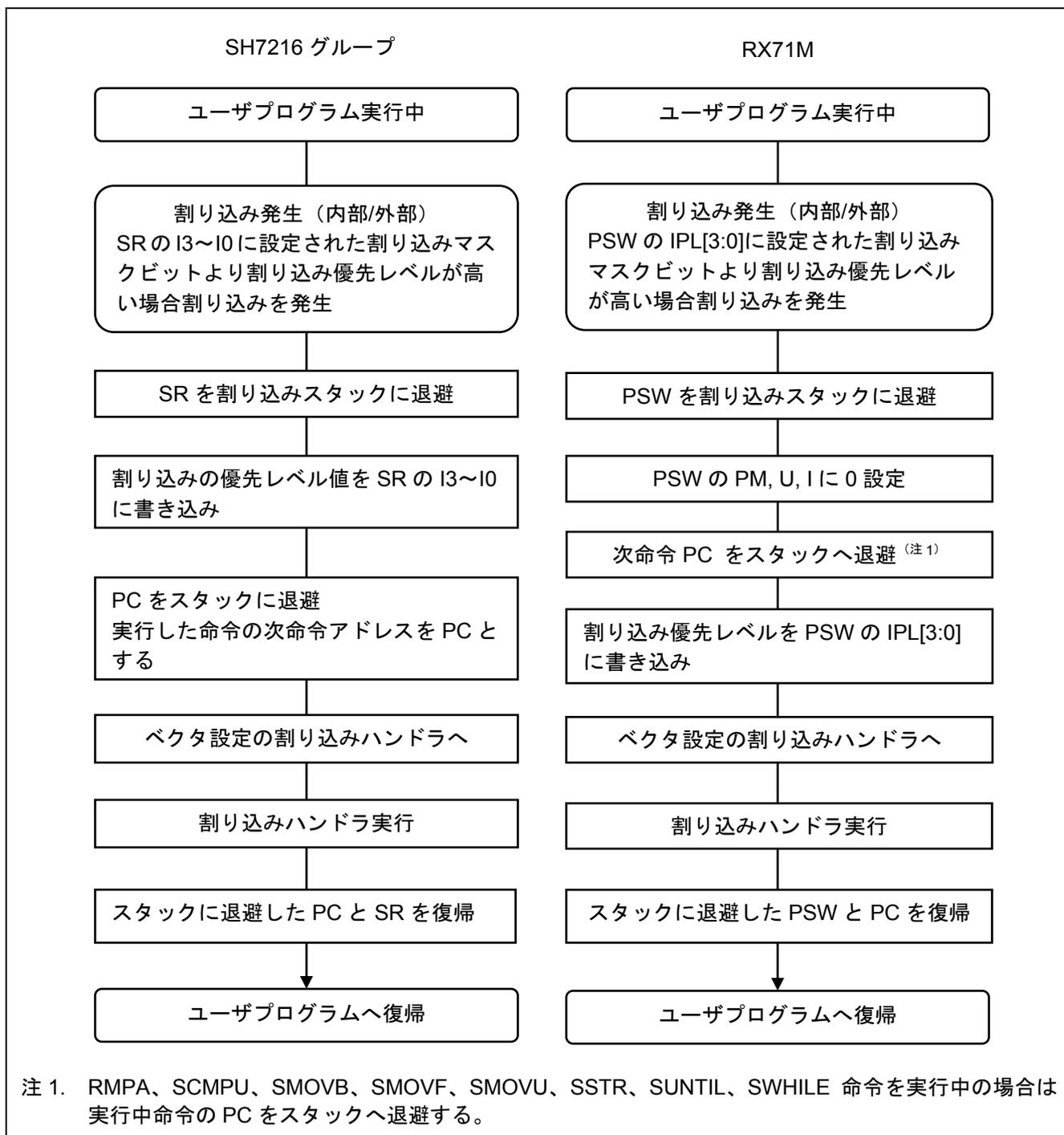


図1.17 割り込み（内部/外部）処理フロー

1.8.4 ベクタの構成

SH7216 グループ、RX71M ともに可変ベクタ構成となっており、ベクタテーブルを再配置することが可能です。

SH7216 グループの VBR（ベクタベースレジスタ）はベクタテーブルの先頭を指し示します。（但し VBR はリセット時に 0 に初期化されるため、リセットベクタは変更できません）

RX71M の INTB（割り込みテーブルレジスタ）は割り込みベクタテーブルの先頭を指し示し、EXTB（例外テーブルレジスタ）は例外ベクタテーブルの先頭を指し示します。割り込みベクタテーブルには、再配置可能な割り込みおよび無条件トラップが割りつけられています。例外ベクタテーブルには、システム例外が割りつけられています。RX71M のリセットは固定ベクタです。なお、高速割り込みのベクタアドレスは FINTV レジスタに設定します。

ベクタテーブルの違いを図 1.18 に示します。

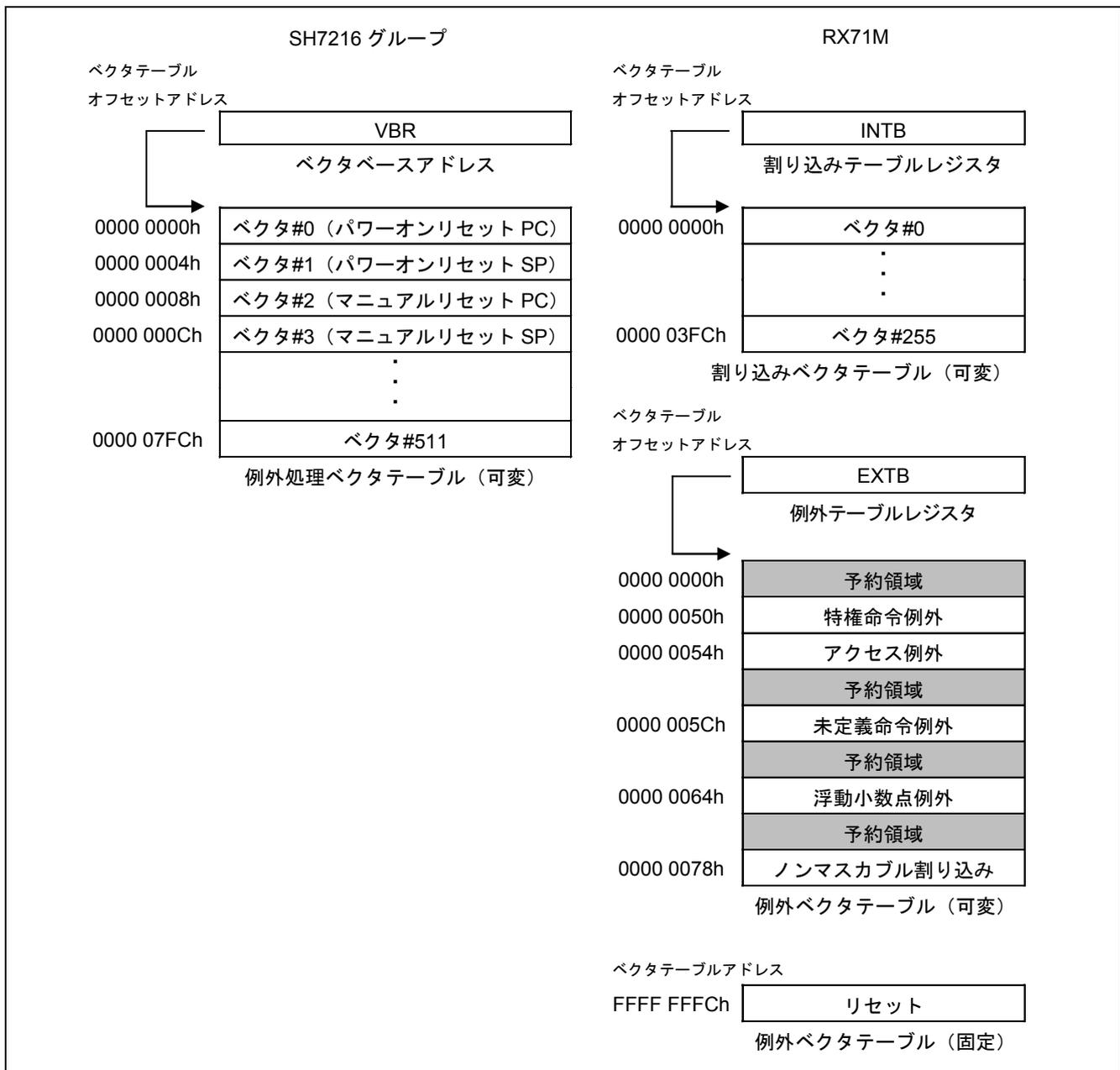


図1.18 ベクタテーブル設定

1.8.5 SR (SH7216 グループ) /PSW (RX71M) の割り込みマスク

RX71M の制御レジスタ PSW には I ビットがあります。I ビットは割り込み許可/禁止を示すビットです。

表1.13 SR、PSW 内の割り込み関連ビット

SH7216 グループ	RX71M	説明
SR レジスタ	PSW レジスタ	
I[3:0]	IPL[3:0]	<p>CPU による割り込みマスクレベル (優先レベル) 設定値 “0”~“Fh” (レベル 0~15)</p> <p>割り込み要求発生時、本レベルと割り込み要因別に設定された優先度レベルを比較し、マスクレベルより高い場合は割り込みが許可される。</p>
—	I	<p>割り込み許可ビット</p> <p>0 : 割り込みを許可しない 1 : 割り込みを許可する</p> <p>割り込み発生時、割り込みコントローラの割り込みステータスフラグは‘1’が立つ。 システムリセット後、本ビットを‘1’にセットすることで割り込み受付可能になる。また、例外を受け付けた場合、本ビットは‘0’となり、その間の割り込みは受け付けない。</p>

1.9 割り込み処理

本章は割り込みコントローラを中心に、割り込み処理の違いについて記載します。

1.9.1 仕様比較

割り込みコントローラの仕様比較を表 1.14 に示します。

表 1.14 SH7216 グループ、RX71M の仕様比較（割り込みコントローラ）

項目		SH7216 グループ	RX71M
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ 	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ/レベル (注 1) グループ割り込み機能サポート
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0~IRQ7 端子 要因数：8 割り込み検出：Low レベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因毎に設定可能 	<ul style="list-style-type: none"> IRQ0~IRQ15 端子 要因数：16 割り込み検出：Low レベル/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因毎に設定可能
	その他の要因	<ul style="list-style-type: none"> ユーザブ레이크割り込み H-UDI 割り込み メモリエラー割り込み 	なし
	ノイズ除去	なし	IRQi 端子にデジタルフィルタを設定可能
	ソフトウェア割り込み	なし	あり
	割り込み優先順位	レジスタにより“0”~“Fh” のレベルを要因毎に設定	レジスタにより“0”~“Fh” のレベルを要因毎に設定
	高速割り込み機能	なし	あり
	DTC/DMAC 起動	DTC/DMAC 起動可能 (注 2)	DTC/DMAC 起動可能
	EXDMAC 制御	なし	選択型割り込みで EXDMAC 起動可能
ノンマスクابل割り込み	NMI 端子割り込み	<ul style="list-style-type: none"> 割り込み検出方法 (立ち下がり/立ち上がりエッジから選択) NMI 入力レベル読み込みビットあり 	<ul style="list-style-type: none"> 割り込み検出方法 (立ち下がり/立ち上がりエッジから選択)
	その他の要因	なし	<ul style="list-style-type: none"> 発振停止検出時の割り込み WDT アンダフロー/リフレッシュエラー IWDT アンダフロー/リフレッシュエラー 電圧監視 1 割り込み 電圧監視 2 割り込み RAM エラー割り込み
	ノイズ除去	NMI 入力レベルを確認しノイズキャンセラ機能として使用可能	NMI 端子のノイズフィルタを設定可能
レジスタバンク	15 本のレジスタバンク	なし	

注 1. 接続固定周辺モジュールからの検出方法は固定

注 2. SH7216 グループでは起動要因設定は DTC/DMAC 側で設定

割り込みコントローラのレジスタ相違を図 1.19に示します。

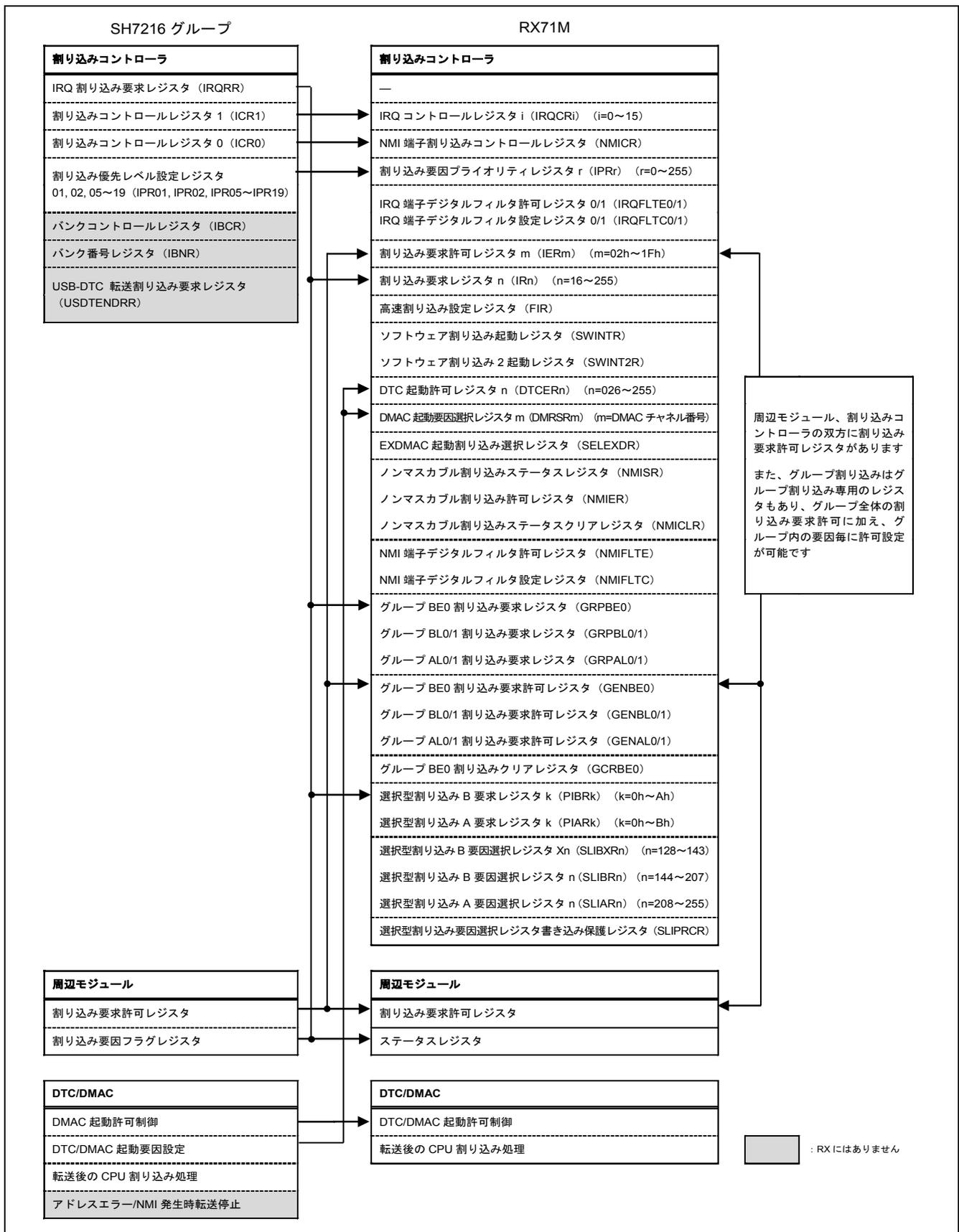


図1.19 割り込みコントローラのレジスタの相違点

SH7216 グループに搭載されている割り込みコントローラは IRQ の割り込みフラグを制御し、周辺モジュールの割り込みフラグは周辺モジュールが制御します。

RX71M では、IRQ、周辺モジュール全ての割り込みステータスフラグを割り込みコントローラで制御します^(注1)。また、DTC/DMAC の起動要因設定も割り込みコントローラで制御します。SH7216 グループの DTC/DMAC にある、NMI 発生時転送禁止機能は RX71M にはありません。

注 1. 割り込みコントローラには、割り込み要因ごとに割り込み要求レジスタが存在しますが、周辺モジュール側にも割り込み許可ビットが存在します(詳細はユーザーズマニュアル ハードウェア編を参照してください)。

1.9.2 割り込みフラグの管理

SH7216 グループの周辺モジュールでエッジ検出による割り込みが発生した場合、割り込みハンドラ内で割り込み要因フラグのクリア（ダミーリードとクリア）を行います。ハンドラ内でクリアしないと再度割り込みが発生するためです。

RX71M の割り込みステータスフラグは割り込みコントローラ内で管理され、CPU または DTC/DMAC に割り込み要求を行います。エッジ検出の場合、割り込みの受け付け応答を受信すると、自動的に当該の割り込みステータスフラグをクリアする機能を備えています。レベル検出の場合、周辺モジュール内に存在する要因フラグをクリアすることで当該の割り込みステータスフラグも自動的にクリアされます。詳細はユーザーズマニュアル ハードウェア編を参照してください。

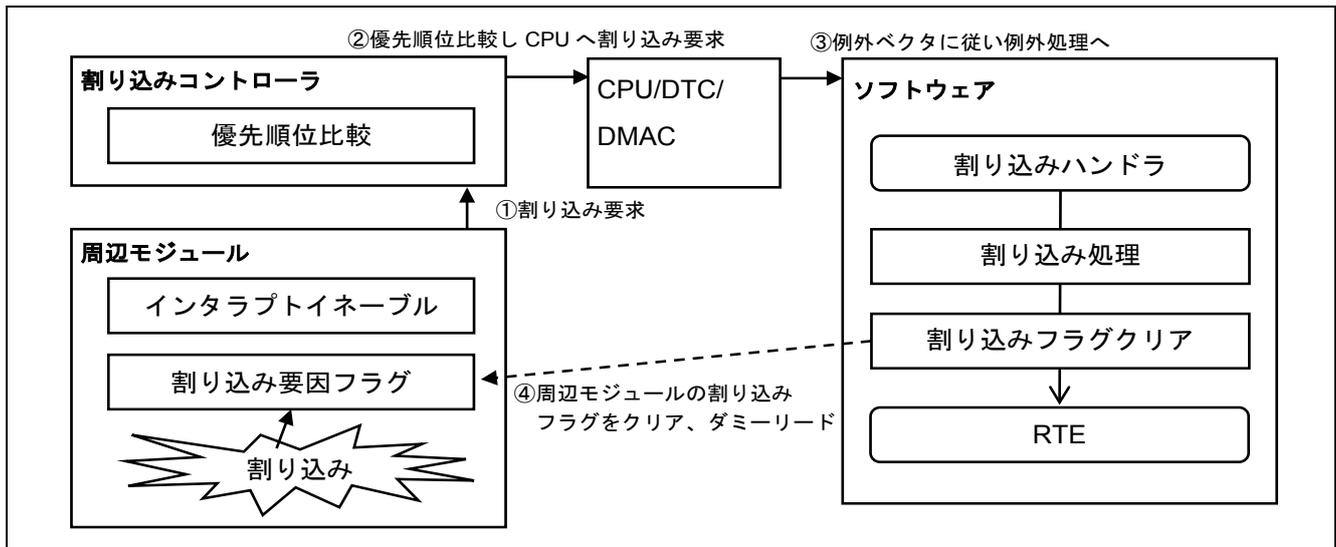


図1.20 SH7216 グループ周辺モジュール割り込み（エッジ検出）

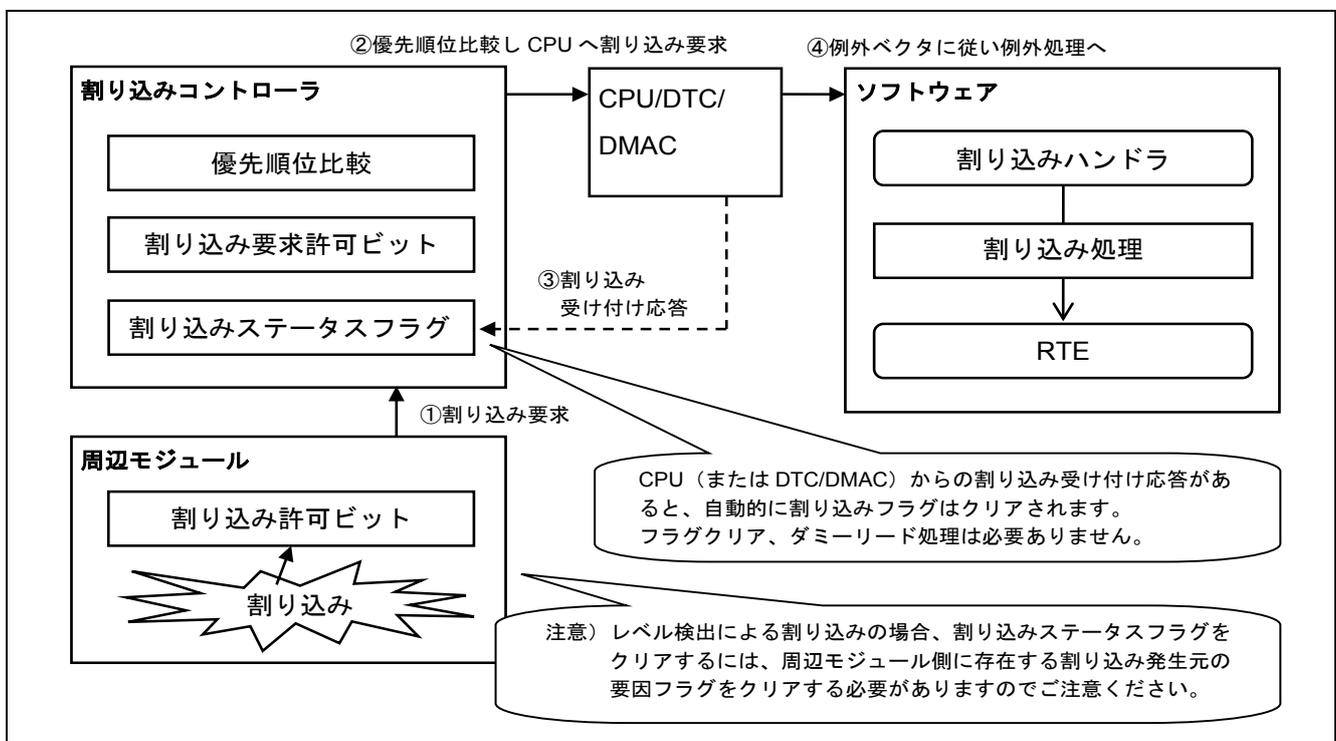


図1.21 RX71M 周辺モジュール割り込み（エッジ検出）

1.9.3 高速割り込み制御

RX71M は通常の割り込みに加えて高速割り込みが可能です。

通常割り込み：割り込み優先順位判定後、コントロールレジスタ、汎用レジスタを内部 RAM または、外部 RAM へソフトウェアにて退避する必要があります。

高速割り込み：最優先割り込みとして動作します。割り込み発生時、コントロールレジスタは専用レジスタに退避されるため、通常割り込みより高速な割り込み起動を実現します。

コンパイラオプションで一部の汎用レジスタを割り込み専用割り付けの事ができます。この場合汎用レジスタの退避、復帰を削除することが可能なため、さらに高速な割り込みが実現可能です。

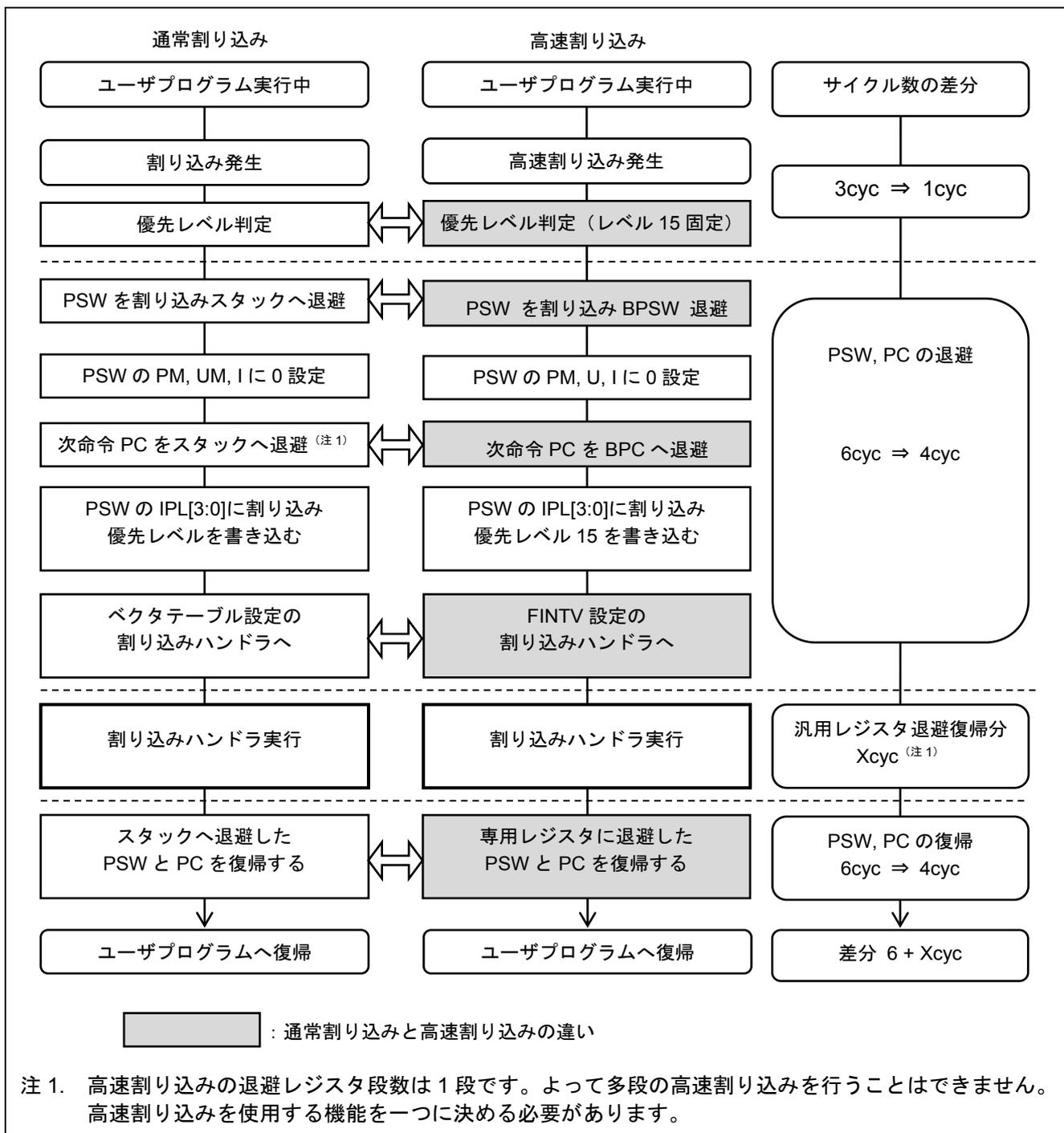


図1.22 RX71M 通常割り込みと高速割り込みの差分

1.9.4 ノイズ除去

SH7216 グループは、NMI 端子の状態を示す NMI レベルビット (ICR0.NMIL) を持っています。割り込み処理サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

RX71M は、IRQ_i 端子、NMI 端子への入力信号に対してデジタルフィルタ機能を設けています。デジタルフィルタ用のサンプリングクロックを設定することが可能で、サンプリングクロックベースで3回分に満たない割り込み信号は、割り込みとして受け付けませんので、耐ノイズ性能を向上させることが可能です。

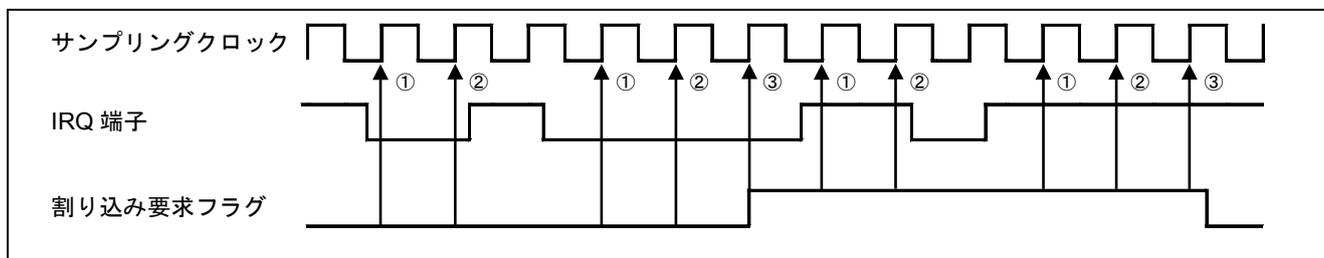


図1.23 RX71M デジタルフィルタ動作例

1.9.5 多重割り込み

SH7216 グループでは優先度の低い割り込みハンドラ処理中に、優先度の高い割り込みが発生した場合、優先度の低い割り込みハンドラは中断され、優先度の高い割り込みハンドラが実行されます。優先度の高い割り込みハンドラが終了すると、中断していた優先度の低い割り込みハンドラが再開します。

RX71M では優先度の低い割り込みハンドラを処理中に、高い優先度の割り込みが発生した場合、低い優先度の割り込みハンドラが終了するまでは、高い優先度の割り込みは受け付けられません。これは、通常割り込みハンドラ内では PSW.I ビット = 0 (割り込み許可しない) となっているためです。SH7216 グループのような多重割り込みを実現するには、割り込みハンドラの中で PSW.I ビット = 1 (割り込み許可) にする必要があります。

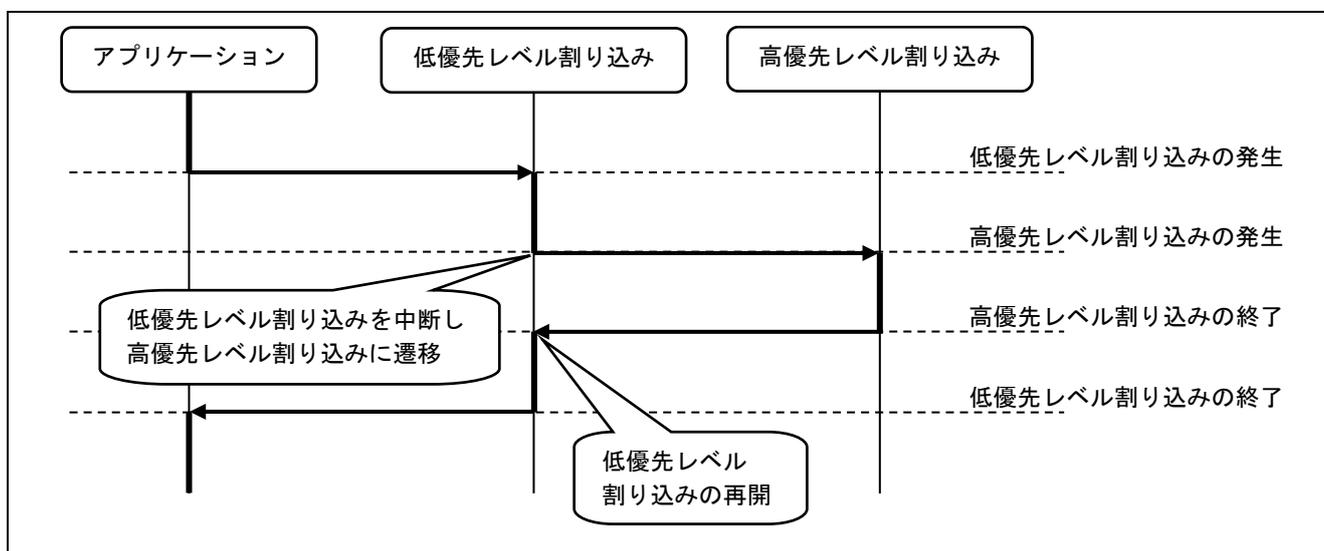


図1.24 SH7216 グループ多重割り込みシーケンス

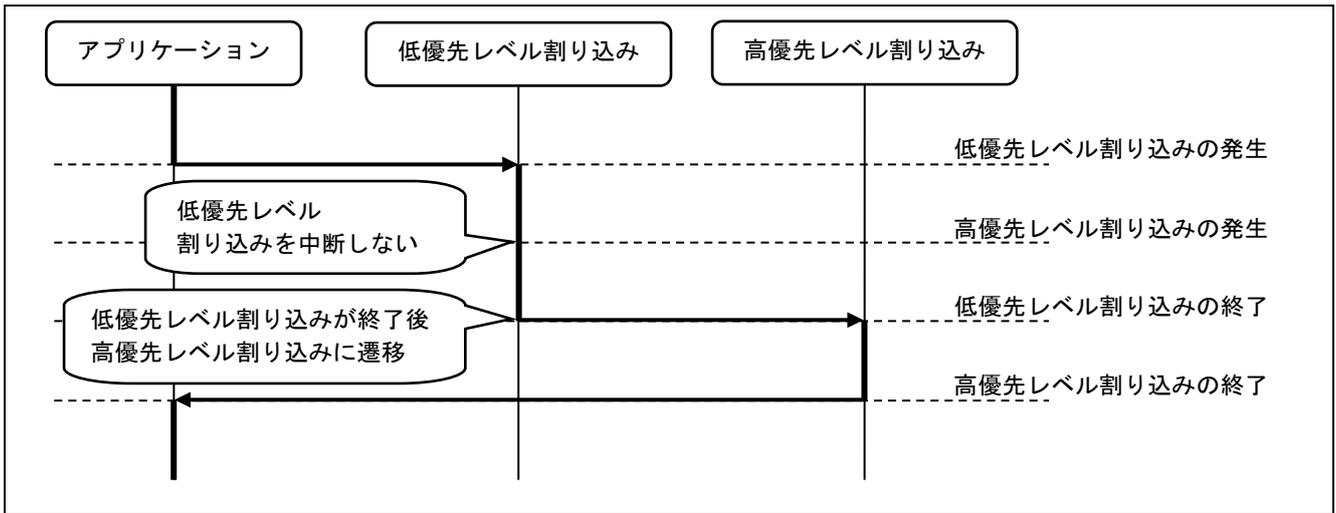


図1.25 RX71M 割り込みシーケンス (PSW.I ビット制御を行わない場合)

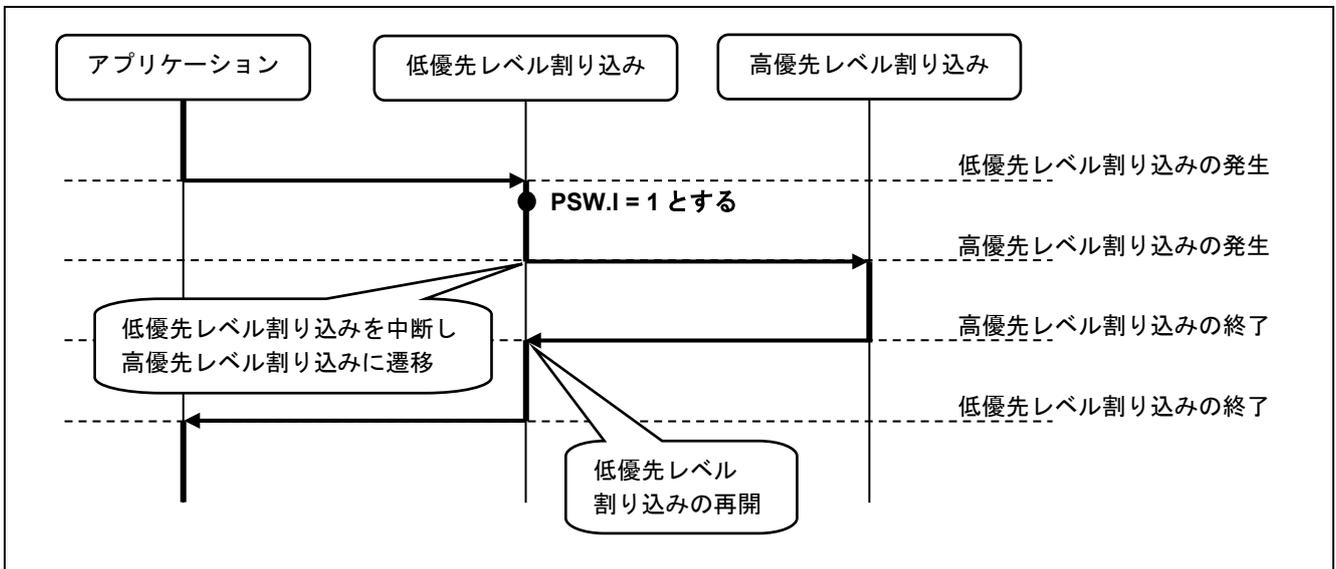


図1.26 RX71M 割り込みシーケンス (PSW.I ビット制御を行う場合)

1.9.6 グループ割り込み

グループ割り込みは1ベクタに複数の割り込み要因が割り当てられています。グループ割り込みは、グループに割り当てられた割り込み要求の論理和で検出するため、割り込み要求を検出した場合、グループの中から割り込み要求をソフトウェアにて検出する必要があります。

周辺モジュールの動作クロックと、割り込み検出方法によって、それぞれ異なるグループにグループ化されています。

グループ割り込みステータスフラグのクリア条件は、割り込み検出方法によって異なります。グループ割り込みの種類とステータスフラグのクリア条件を表 1.15 に示します。

表1.15 RX71M グループ割り込みの種類

グループ名	周辺モジュールの動作クロック	割り込み検出方法	グループ割り込みステータスフラグ
グループ BE0	PCLKB	エッジ検出	割り込みコントローラの割り込み要因クリアビット (GCRBE0.CLRn) に'1'を書き込むことで、自動的にクリア
グループ BL0		レベル検出	周辺モジュールの割り込みステータスフラグをクリアすることで、自動的にクリア
グループ BL1			
グループ AL0	PCLKA	レベル検出	また、割り込みコントローラの割り込み要求許可ビット (GENBL0/1.ENj または GENAL0/1.ENj) に'0'を設定し、割り込み要求を禁止した場合も自動的にクリア
グループ AL1			

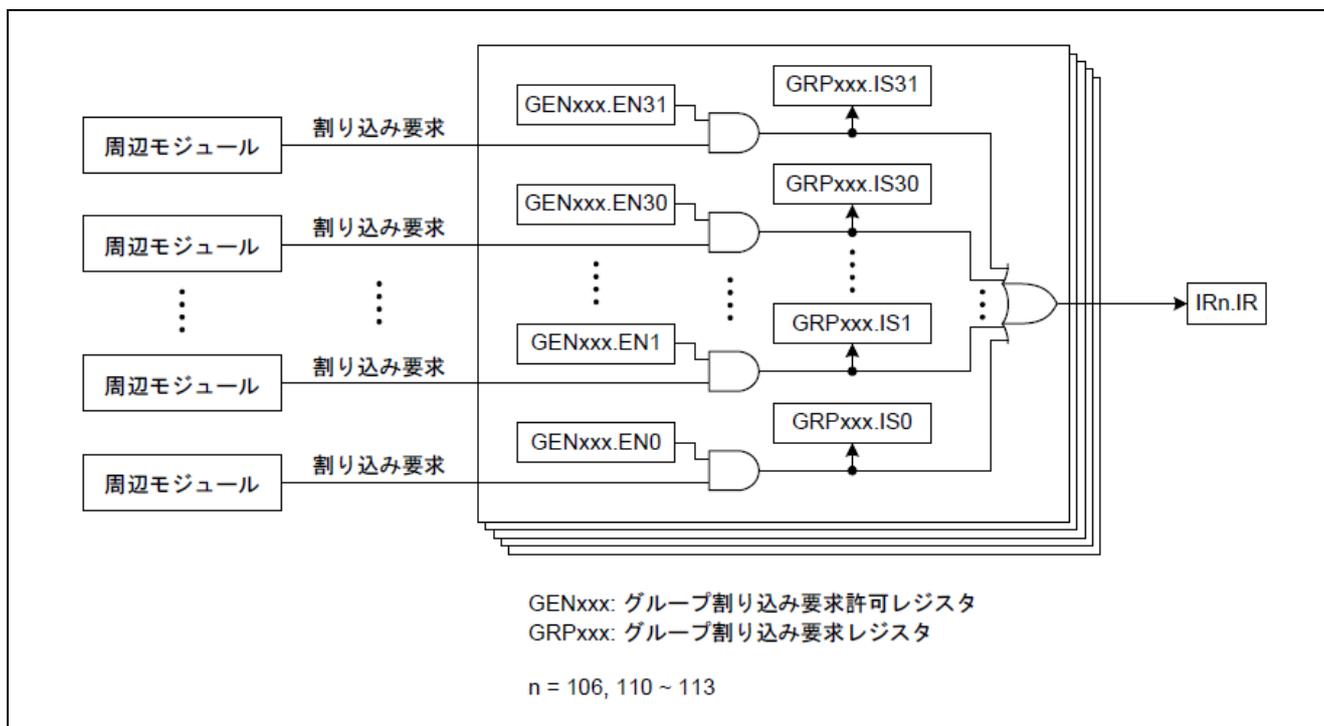


図1.27 RX71M グループ割り込みの構成

1.9.7 選択型割り込み

選択型割り込みは複数の周辺モジュールの割り込み要因から任意の1つを選択して、割り込みベクタ番号128~255に割り当てることができます。

周辺モジュールの動作クロックにより、選択型割り込みAと選択型割り込みBに分類されています。選択型割り込みの種類を表1.16に示します。

選択型割り込みステータスフラグは、自動的にクリアされませんが、クリアしなくても割り込み要求の生成には影響しません。

表1.16 RX71M 選択型割り込みの種類

選択型名	周辺モジュールの動作クロック	割り込み検出方法	選択型割り込みステータスフラグ
選択型 A	PCLKA	エッジ検出	自動的にクリアされませんが、クリアしなくても割り込み要求の生成には影響しません
選択型 B	PCLKB		

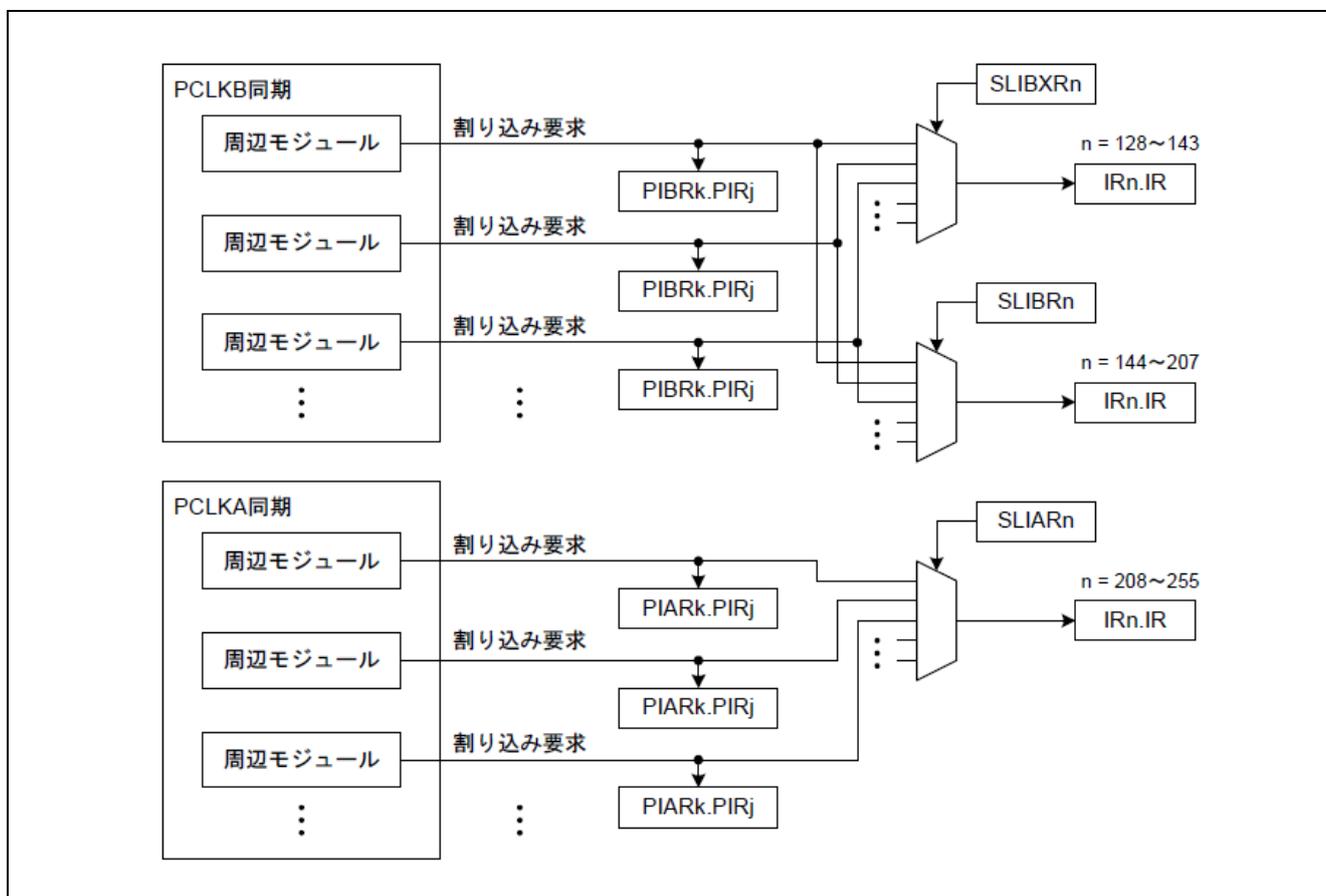


図1.28 RX71M 選択型割り込みの構成

2. 内蔵機能

2.1 内蔵機能一覧

SH7216 グループと RX71M の内蔵機能一覧を表 2.1に示します。

表2.1 内蔵機能一覧

SH7216 グループ	RX71M
クロックパルス発振器 (CPG)	クロック発生回路
割り込みコントローラ (INTC)	割り込みコントローラ (ICUA)
ユーザブレイクコントローラ (UBC)	—
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTCa)
バスステートコントローラ (BSC)	バス
ダイレクトメモリアクセスコントローラ (DMAC)	DMA コントローラ (DMACa) EXDMA コントローラ (EXDMACa)
マルチファンクションタイマパルスユニット 2 (MTU2) マルチファンクションタイマパルスユニット 2S (MTU2S)	マルチファンクションタイマパルスユニット 3 (MTU3a)
ポートアウトプットイネーブル 2 (POE2)	ポートアウトプットイネーブル 3 (POE3a)
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDTa) 独立ウォッチドッグタイマ (IWDTa)
シリアルコミュニケーションインタフェース (SCI) FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	シリアルコミュニケーションインタフェース (SCIg, SCIf) FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFa)
ルネサスシリアルペリフェラルインタフェース (RSPI)	シリアルペリフェラルインタフェース (RSPIa)
I ² C バスインタフェース 3 (IIC3)	I ² C バスインタフェース (RIICa)
A/D 変換器 (ADC)	12 ビット A/D コンバータ (S12ADC)
コントローラエリアネットワーク (RCAN-ET)	CAN モジュール (CAN)
USB ファンクションモジュール (USB)	USB2 0FS ホスト/ファンクションモジュール (USBb) USB2 0High-Speed ホスト/ファンクションモジュール (USBAa)
イーサネットコントローラ (EtherC)	イーサネットコントローラ (ETHERC)
イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)	イーサネットコントローラ用 DMA コントローラ (EDMACa)
コンペアマッチタイマ (CMT)	コンペアマッチタイマ (CMT) コンペアマッチタイマ W (CMTW)
ピンファンクションコントローラ (PFC)	マルチファンクションピンコントローラ (MPC)
I/O ポート	I/O ポート
フラッシュメモリ データフラッシュ	フラッシュメモリ ^(注1)
内蔵 RAM (最大 128KB)	RAM (最大 512KB, 32KB) スタンバイ RAM (最大 8KB)
低消費電力モード	消費電力低減機能

SH7216 グループ	RX71M
ユーザデバッグインタフェース (H-UDI)	電圧検出回路 (LVDA) クロック周波数精度測定回路 (CAC) バッテリバックアップ機能 レジスタライトプロテクション機能 メモリプロテクションユニット (MPU) イベントリンクコントローラ (ELC) 汎用 PWM タイマ (GPTa) 16 ビットタイマパルスユニット (TPUa) プログラマブルパルスジェネレータ (PPG) 8 ビットタイマ (TMR) リアルタイムクロック (RTCd) イーサネットコントローラ用 PTP コントローラ (EPTPCa) クワッドシリアルペリフェラルインタフェース (QSPI) CRC 演算器 (CRC) シリアルサウンドインタフェース (SSI) サンプリングレートコンバータ (SRC) SD ホストインタフェース (SDHI) マルチメディアカードインタフェース (MMCIF) パラレルデータキャプチャユニット (PDC) バウンダリスキャン AESa DES SHAA RNG 12 ビット D/A コンバータ (R12DA) 温度センサ (TEMPS) データ演算回路 (DOC)

注 1. RX71M のフラッシュメモリは、コードフラッシュメモリとデータフラッシュメモリを内蔵しています。

2.2 I/O ポート/ピンファンクションコントローラ (PFC)

2.2.1 I/O ポート数

SH7216 グループと RX71M の I/O ポート数を表 2.2 に示します。

表2.2 I/O ポート数一覧

項目	パッケージ	ポート機能
SH7216 グループの I/O ポート数	PLQP0176KB-A PLQP0176LB-A PLBG0176GA-A	入出力 : 100 入力 : 10 合計 : 110 プルアップ抵抗 : 100
RX71M の I/O ポート数	PTLG0177KA-A (計画中) PLQP0176KB-A PLBG0176GA-A (計画中)	入出力 : 127 入力 : 1 プルアップ抵抗 : 127 オープンドレイン出力 : 127 5V トレラント : 19
	PTLG0145KA-A (計画中) PLQP0144KA-A	入出力 : 111 入力 : 1 プルアップ抵抗 : 111 オープンドレイン出力 : 111 5V トレラント : 18
	PTLG0100JA-A (計画中) PLQP0100KB-A	入出力 : 78 入力 : 1 プルアップ抵抗 : 78 オープンドレイン出力 : 78 5V トレラント : 17

2.2.2 I/O 設定

SH7216 グループ、RX71M ともにマルチプレクス端子になっています。よって、端子設定を汎用入出力、または内蔵モジュール機能に割り振る必要があります。

SH7216 グループはピンファンクションコントローラ (PFC) を設定することにより、ポートの機能が決定します。I/O ポートはポート A~F から構成されています。

SH7216 グループの I/O ポートレジスタ設定を図 2.1 に、I/O ポートのレジスタ構成を表 2.3、ピンファンクションコントローラ (PFC) のレジスタ構成を表 2.4 に示します。

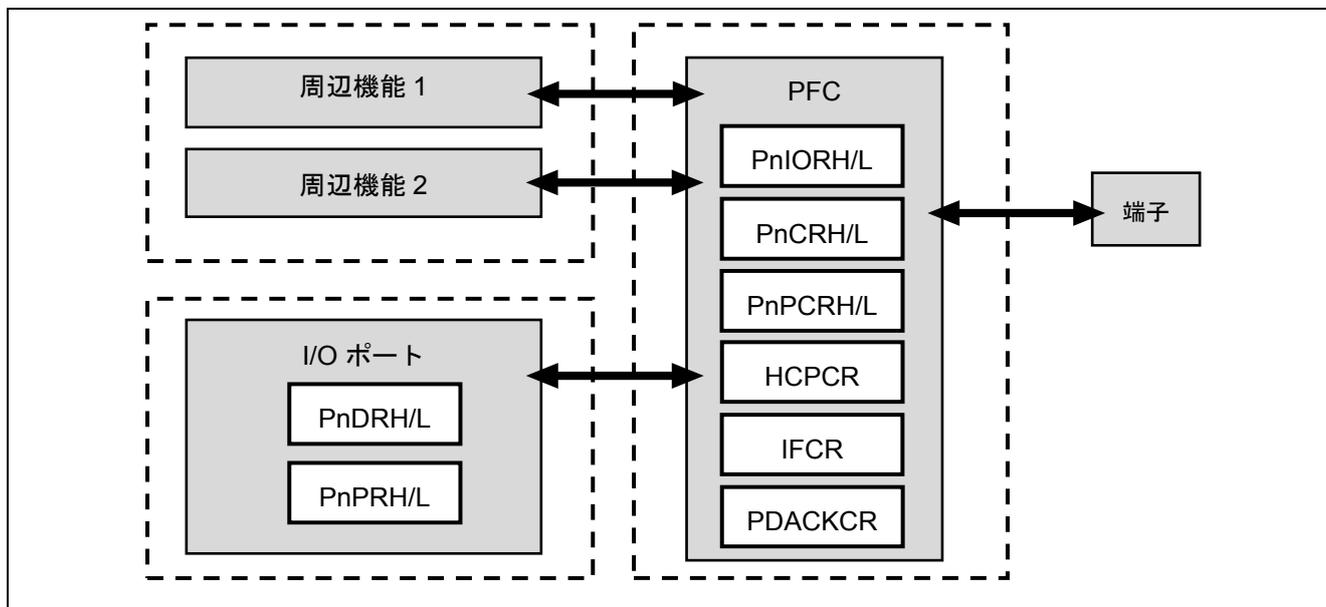


図2.1 SH7216 グループ I/O 設定

表2.3 SH7216 グループのレジスタ構成 (I/O ポート)

レジスタ	機能名	機能
PnDRH PnDRL	ポート n データレジスタ H ポート n データレジスタ L	ポート n のデータレジスタ 端子機能が汎用出力の場合：端子出力データの格納 端子機能が汎用入力の場合：端子の状態の反映
PnPRH PnPRL	ポート n ポートレジスタ H ポート n ポートレジスタ L	ポート n のデータ読み出し専用レジスタ 端子の状態の反映

n : 各ポート名 (n = A~F)

表2.4 SH7216 グループのレジスタ構成 (PFC)

レジスタ	機能名	機能
PnIORH PnIOLR	ポート n・IO レジスタ H ポート n・IO レジスタ L	端子の入出力方向を選択
PnCRHm PnCRLm	ポート n コントロールレジスタ Hm ポート n コントロールレジスタ Lm	マルチプレクス端子の機能を選択
PnPCRH PnPCRL	ポート n プルアップ MOS コントロールレジスタ H ポート n プルアップ MOS コントロールレジスタ L	入力プルアップ MOS の設定
HCPCR	大電流ポートコントロールレジスタ	大電流ポートの状態を設定
IFCR	IRQOUT 機能コントロールレジスタ	IRQ 出力端子の状態を設定
PDACKCR	DACK 出力タイミングコントロールレジスタ	DACK 端子の出力タイミングを設定

n : 各ポート名 (n = A~E) m : 設定番号 (m = 1~4)

なお、SH7216 グループは動作モード（MCU モード 0, 1, 2、シングルチップモード）によって端子に割り振られる機能と、ピンファンクションコントローラ設定可能な機能も変わります。

RX71M はマルチファンクションピンコントローラ（MPC）を設定することにより、ポートの機能が決定します。I/O ポートはポート 0～9, A～G, J から構成されています。

端子機能を選択するレジスタは、SH7216 グループがポートごとにレジスタを備えていたのに対し、RX71M は端子ごとにレジスタを備えています。

RX71M の IO ポートに関しては、下記に示すような設定が可能です。

- オープンドレイン制御レジスタ : ポート出力形態の選択
CMOS 出力/N チャンネルオープンドレイン出力/P チャンネルオープンドレイン出力
- プルアップ制御レジスタ : 入力プルアップ抵抗の ON/OFF 選択
- 駆動能力制御レジスタ : 通常出力/高駆動出力から選択
- 5V トレラント入力ポートあり

RX71M の I/O ポートレジスタ設定を図 2.2 に、I/O ポートのレジスタ構成を表 2.5、マルチファンクションピンコントローラ（MPC）のレジスタ構成を表 2.6 に示します。

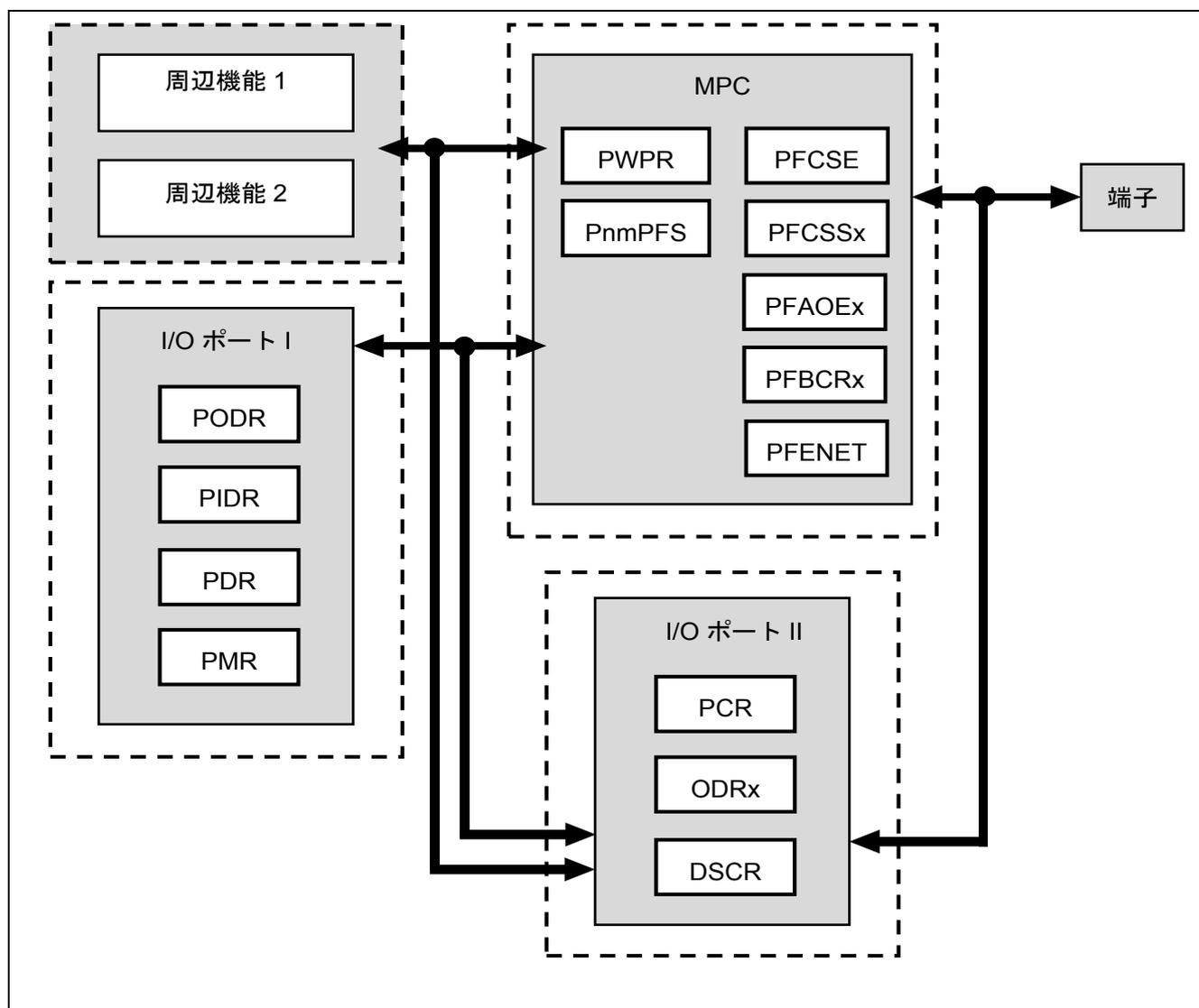


図 2.2 RX71M I/O 設定

端子を汎用入出力として使用する場合は、I/Oポート内のレジスタ設定を行うのみです。RX71Mの端子を汎用入出力として使用する場合の初期化フローを図2.3に示します。

端子を周辺機能として使用する場合は、MPCの端子機能制御レジスタ（PnmPFS）で端子を周辺機能に割り付けます。なお、汎用入出力を含む周辺機能使用時の設定例については、各周辺機能の章で記載します。RX71Mの端子を周辺機能として使用する場合の初期化フローを図2.4に示します。

表2.5 RX71Mのレジスタ構成（I/Oポート）

レジスタ	機能名	機能
PDR	ポート方向レジスタ	汎用入出力ポートが選択されているとき ポートの入力/出力の指定
PODR	ポート出力データレジスタ	汎用出力ポート 端子出力データの格納
PIDR	ポート入力データレジスタ	ポート端子状態の反映
PMR	ポートモードレジスタ	ポート端子機能の設定 汎用入出力ポートまたは周辺機能として使用するかを端子毎に設定
ODR0	オープンドレイン制御レジスタ 0	ポートの出力を以下の形態から選択 <ul style="list-style-type: none"> • CMOS出力 • Nチャネルオープンドレイン • Pチャネルオープンドレイン
ODR1	オープンドレイン制御レジスタ 1	ポートの出力を以下の形態から選択 <ul style="list-style-type: none"> • CMOS出力 • Nチャネルオープンドレイン
PCR	プルアップ制御レジスタ	ポートの入力プルアップ抵抗の有効/無効の指定
DSCR	駆動能力制御レジスタ	駆動能力の設定 <ul style="list-style-type: none"> • 通常出力 • 高駆動出力

表2.6 RX71Mのレジスタ構成（MPC）

レジスタ	機能名	機能
PWPR	書き込みプロテクトレジスタ	PnmPFSレジスタへの書き込みプロテクト機能
PnmPFS	Pnm端子機能制御レジスタ	マルチプレクス端子の機能を選択
PFCSE	CS出力許可レジスタ	CSn#（n：0～7）出力禁止/許可を設定
PFCSS0	CS出力端子選択レジスタ 0	CS0～3の出力端子を選択
PFCSS1	CS出力端子選択レジスタ 1	CS4～7の出力端子を選択
PFAOE0	アドレス出力許可レジスタ 0	端子をアドレスバスとして使用する場合の設定
PFAOE1	アドレス出力許可レジスタ 1	端子をアドレスバスとして使用する場合の設定
PFBCR0	外部バス制御レジスタ 0	端子を外部バスとして使用する場合の設定
PFBCR1	外部バス制御レジスタ 1	端子を外部バスとして使用する場合の設定
PFENET	イーサネット制御レジスタ	イーサネットPHYモードの設定

n：ポート名（n = 0～9, A～G, J）

m：端子番号（m = 0～7）

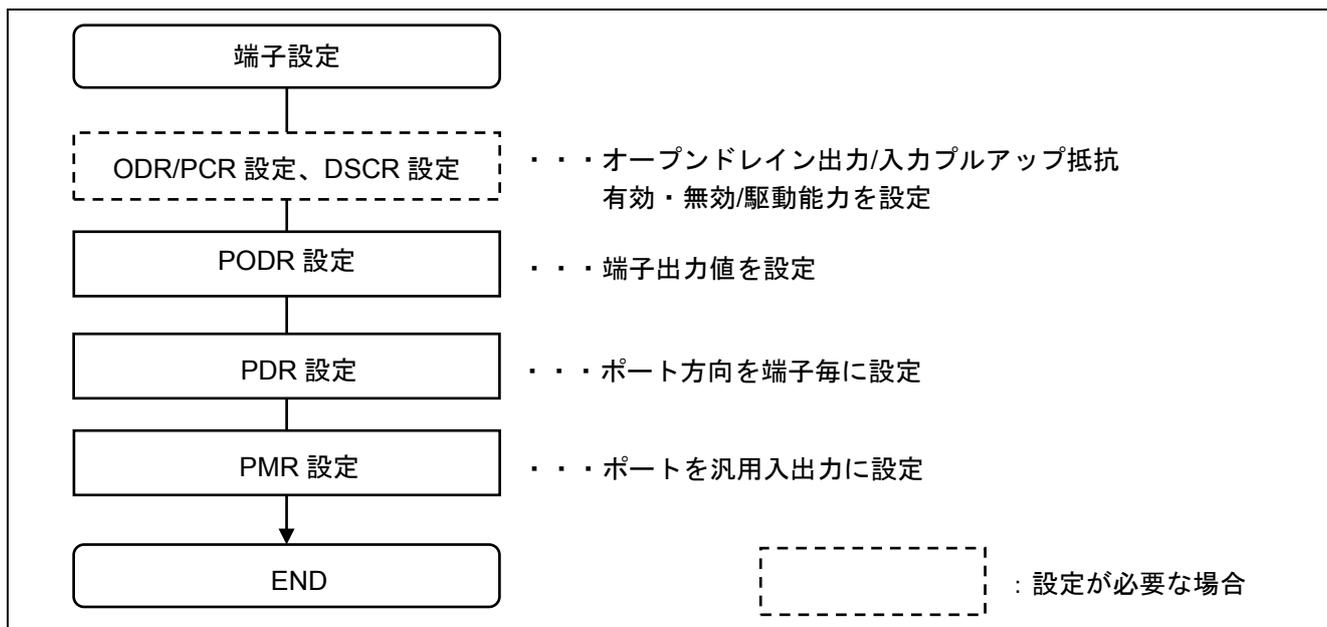


図2.3 RX71M 端子の汎用入出力設定フローチャート

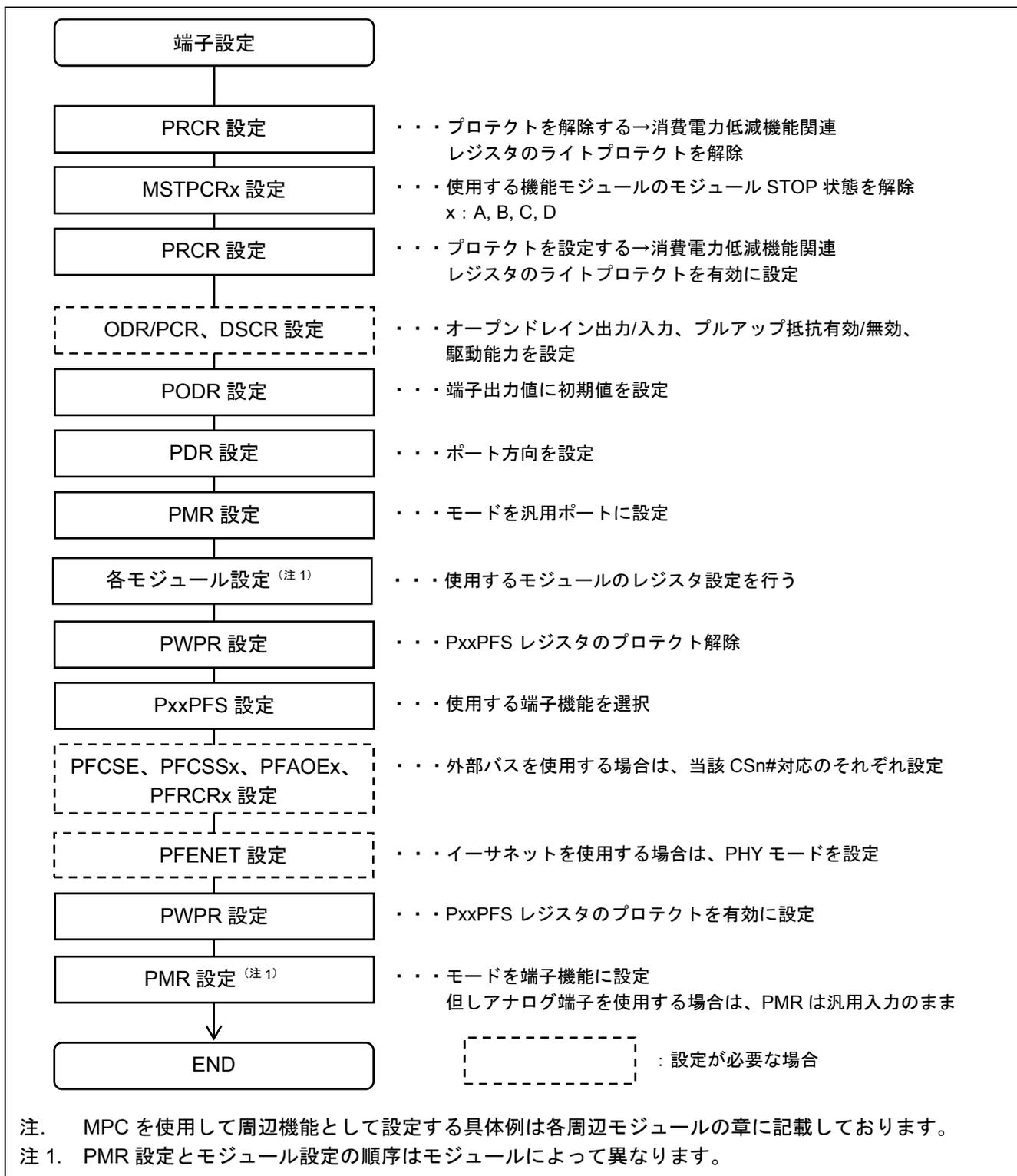


図2.4 RX71M 端子の周辺機能設定フローチャート

2.2.3 汎用入出力の設定例

SH7216 と RX71M において汎用入出力ポートを使用する場合の設定例を以下に示します。RX71M については、RSK+RX71M で LED が接続されている端子情報も記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.7 汎用入出力ポート設定例仕様

項目	SH7216	RX71M
使用端子	PA5/ポート	P03/汎用 (LED0)
	—	P05/汎用 (LED1)
	—	P26/汎用 (LED2)
	—	P27/汎用 (LED3)

I/O ポート設定を行う場合の処理フロー例を図 2.5 に示します。本フローの処理名は、設定例の処理名と対応しています。

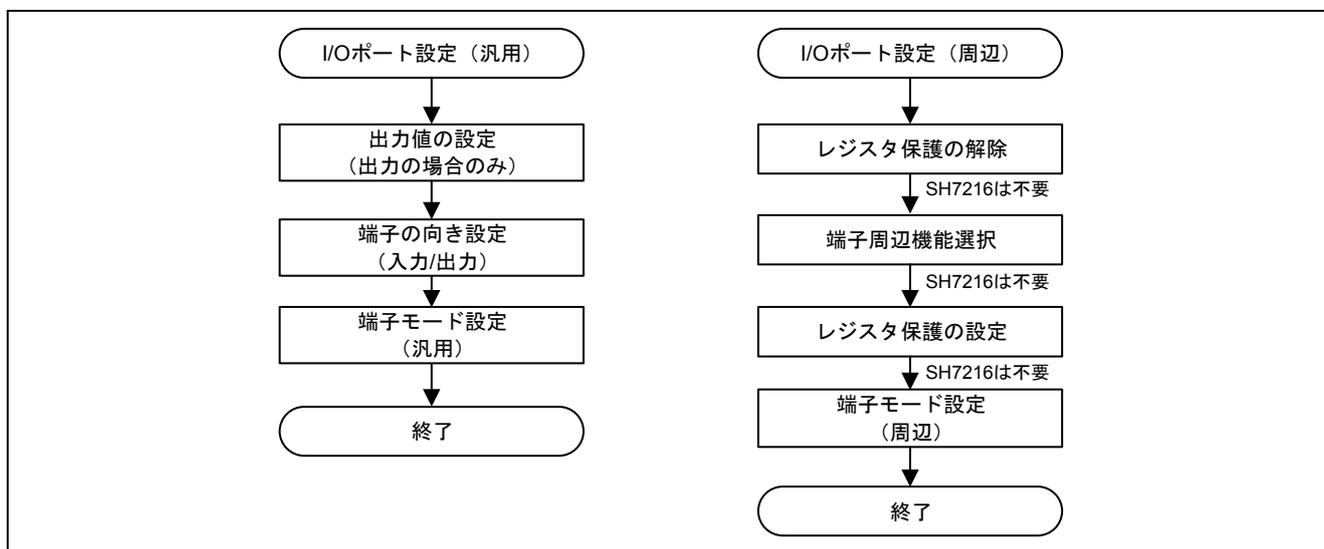


図2.5 I/O ポート設定処理フロー例

SH7216 グループでは PA5 を、RX71M では P03 をそれぞれ汎用入力として使用する例を表 2.8 に、汎用出力として使用する例を表 2.9 に示します。

表2.8 汎用入力の設定例

処理	SH7216 グループ	RX71M
端子の向き設定 (入力)	PFC.PAIORL.B5 = 0b	PORT0.PDR.B3 = 0b
端子モード設定 (汎用)	PFC.PACRL2.PA5MD = 000b	PORT0.PMR.B3 = 0b

表2.9 汎用出力の設定例

処理	SH7216 グループ	RX71M
出力値の設定 (出力 1 : LED = 消灯)	PA.DR.B5 = 1b	PORT0.PODR.B3 = 1b
端子の向き設定 (出力)	PFC.PAIORL.B5 = 1b	PORT0.PDR.B3 = 1b
端子モード設定 (汎用)	PFC.PACRL2.PA5MD = 000b	PORT0.PMR.B3 = 0b

2.3 バス

2.3.1 仕様比較

バスステートコントローラ機能として、SH7216 グループでは BSC が内蔵されています。

SH7216 グループと RX71M の仕様比較を表 2.10 に示します。

表2.10 SH7216 グループ、RX71M の仕様比較（バス）

項目	SH7216 グループ (BSC)	RX71M
外部バスアドレス空間	<ul style="list-style-type: none"> CS0~7 の外部アドレス空間 (各最大 64M バイト) 最大 2 つの CS エリアで SDRAM を選択 (最大 64M バイト) 	<ul style="list-style-type: none"> CS0~7 の外部アドレス空間 (各 16M バイト) 独立した SDRAM 空間 (最大 128M バイト)
バス幅	エリア毎に 8, 16, 32 ビットから選択	エリア毎に 8, 16, 32 ビットから選択 ただし、アドレス/データマルチプレクスバス選択時は 32 ビット選択不可
エンディアン	<ul style="list-style-type: none"> データ エリア 0 : ビッグエンディアン固定 エリア 1~7 : エリア毎にエンディアン選択 命令 CPU と同じビッグエンディアン固定 	<ul style="list-style-type: none"> データ エリア毎にエンディアンを選択 (注 1) 命令 CPU と同じエンディアンのみ選択可能
バスの調停	<ul style="list-style-type: none"> CPU バス、外部バスの優先順位は固定 外部からのバス権要求 (BREQ) を受け、バス使用許可を出力可能 (BACK) 	<ul style="list-style-type: none"> 優先順位は固定とトグルから選択 <ul style="list-style-type: none"> — メモリバス — 内部周辺バス — 外部バス 優先順位は固定 <ul style="list-style-type: none"> — CPU バス — 内部メインバス
その他	<ul style="list-style-type: none"> CS 領域 <ul style="list-style-type: none"> — アクセスウェイト制御 — CSn アサート期間拡張 — MPX-I/O インタフェース (アドレスデータマルチプレクス) — バイト選択つき SRAM 対応可 — バースト ROM (同期/非同期) 対応可 SDRAM 領域 <ul style="list-style-type: none"> — オートリフレッシュ、セルフリフレッシュ — CAS レイテンシ設定可能 	<ul style="list-style-type: none"> CS 領域 <ul style="list-style-type: none"> — リカバリサイクル挿入可能 — サイクルウェイト機能 — CSn#信号タイミング制御 — RD#, WR#信号のタイミング制御 — ライトアクセスモード — アドレス/データマルチプレクス I/O デバイスアクセス可能 SDRAM 領域 <ul style="list-style-type: none"> — ロウアドレス/カラムアドレスのマルチプレクス出力 — オートリフレッシュ、セルフリフレッシュ — CAS レイテンシ設定可能 ライトバッファ <ul style="list-style-type: none"> — ライトバッファ機能

注 1. エンディアンの設定については「1.3.2 エンディアンの設定」を参照してください。

2.3.2 バスブロック図

SH7216 グループと RX71M のバスブロック図を比較します。

SH7216 グループの BSC ブロック図を図 2.6に、RX71M のバスブロック図を図 2.7に示します。

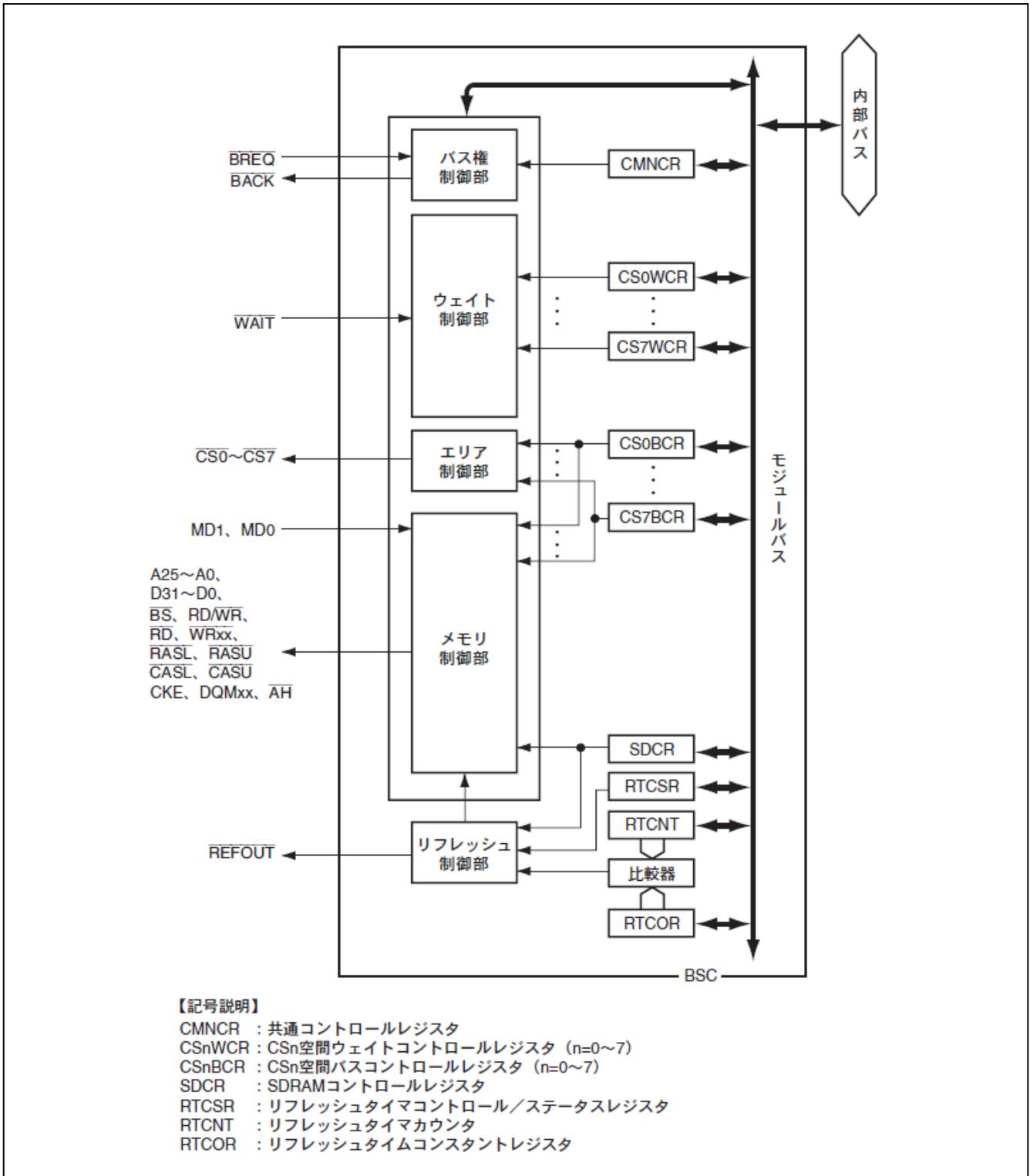


図2.6 SH7216 グループバスブロック図

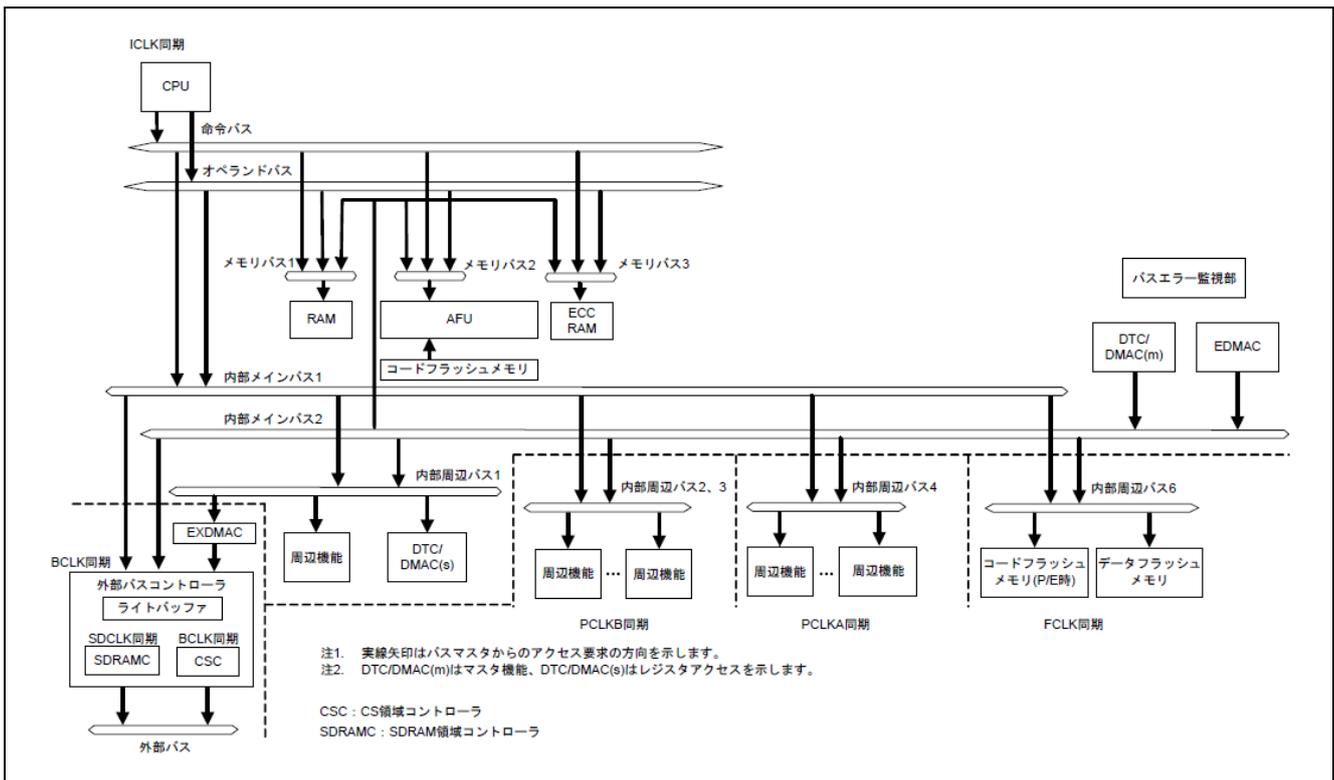


図2.7 RX71M バスブロック図

RX71M のバスの種類を表 2.11に示します。SH7216 グループと RX71M ではバスアーキテクチャが異なり、メモリバス、内部バス、周辺バスがそれぞれ多段に存在します。これにより CPU と DMAC/DTC、EDMAC、更には周辺バス毎にモジュールの並列動作が可能になり、より高速な動作を実現できます。

表2.11 RX71M のバスの種類

バス	接続モジュール等	クロック
CPU バス (命令バス、オペランドバス)	命令バス : CPU、内蔵メモリ オペランドバス : CPU、内蔵メモリ	ICLK
メモリバス 1	内蔵 RAM	ICLK
メモリバス 2	コードフラッシュメモリ	ICLK
メモリバス 3	ECCRAM	
内部メインバス 1	CPU	ICLK
内部メインバス 2	DTC、DMAC、EDMAC、内蔵メモリ	ICLK
内部周辺バス 1	周辺機能 (DTC、DMAC、EXDMAC、割り込みコントローラ、バスエラー監視部)	ICLK (EXDMAC は BCLK)
内部周辺バス 2	周辺機能 (周辺バス 1, 3, 4, 5 以外の周辺機能)	PCLKB
内部周辺バス 3	周辺機能 (USBb、PDC、スタンバイ RAM)	PLCKB
内部周辺バス 4	周辺機能 (EDMAC、ETHERC、EPTPC、MTU3、GPT、SCIF、RSPI、USBA、AES)	PLCKA
内部周辺バス 5	予約領域	—
内部周辺バス 6	コードフラッシュメモリ (P/E 時)、データフラッシュメモリ	FCLK
外部バス (CS 領域)	外部デバイス	BCLK
外部バス (SDRAM 領域)	SDRAM	SDCLK

ICLK : システムクロック
FCLK : FlashIF クロック

PCLKA, PCLKB : 周辺モジュールクロック

BCLK : 外部バスクロック SDCLK : SDRAM クロック

2.3.3 SDRAM のリードライトの設定例

SH7216 と RX71M のバスの設定例として、SDRAMC を使用して、128Mbit SDRAM (2M-word×16bit×4bank MT48LC8M16A2P-6A: Micron 社製) の書き込みおよび読み出しを行う設定を以下に示します。

<動作概要>

- SDRAM 領域への書き込み後、読み出しを行います。
- SDRAM 領域に全データの書き込みを行います。
- 全データ書き込み完了後、SDRAM 領域から書き込んだデータの読み出しを行います。
- 書き込んだデータと読み出したデータの比較を行います。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.12 SDRAM のリードライト動作仕様

項目	内容	備考	
クロック	SDCLK = 60MHz	SH7216 : Bφ = 50MHz	
外部バス領域	SDCS	SH7216 : CS3	
アドレスインタフェース	アドレスマルチプレクス		
アクセスモード	バーストリード/シングルライト		
エンディアン	動作モードのエンディアンと同じ	SH7216 : ビッグエンディアン	
バス幅	ワード		
書き込み/読み出しデータ	16M バイト 0h から ffffh までの値の繰り返し		
使用端子	A0-11	A1~A12 A1-7/PA1-7、A8-12/PB0-4	SH7216 : A1-12/PC1-12
	BA0-1	A13-14/PB5-6	SH7216 : A13-14/PC13-14
	DQ0-15	D0-15 D0-7/PD0-7、D8-15/PE0-7	SH7216 : D0-15/PD0-15
	CLK	P70/SDCLK	SH7216 : PA18/CK
	CS#	P61/SDCS#	SH7216 : PA9/CS3#
	RAS#	P62/RAS#	SH7216 : PB2/RASL#
	CAS#	P63/CAS#	SH7216 : PB3/CASL#
	WE#	P64/WE#	SH7216 : PB0/RD/WR#
	CKE	P65/CKE	SH7216 : PA21/CKE
	DQML	P66/DQM0	SH7216 : PA15/DQMLU
	DQMH	P67/DQM1	SH7216 : PA16/DQMLL
	LED0	P03/汎用	比較結果一致で点灯
	LED1	P05/汎用	比較結果不一致で点灯

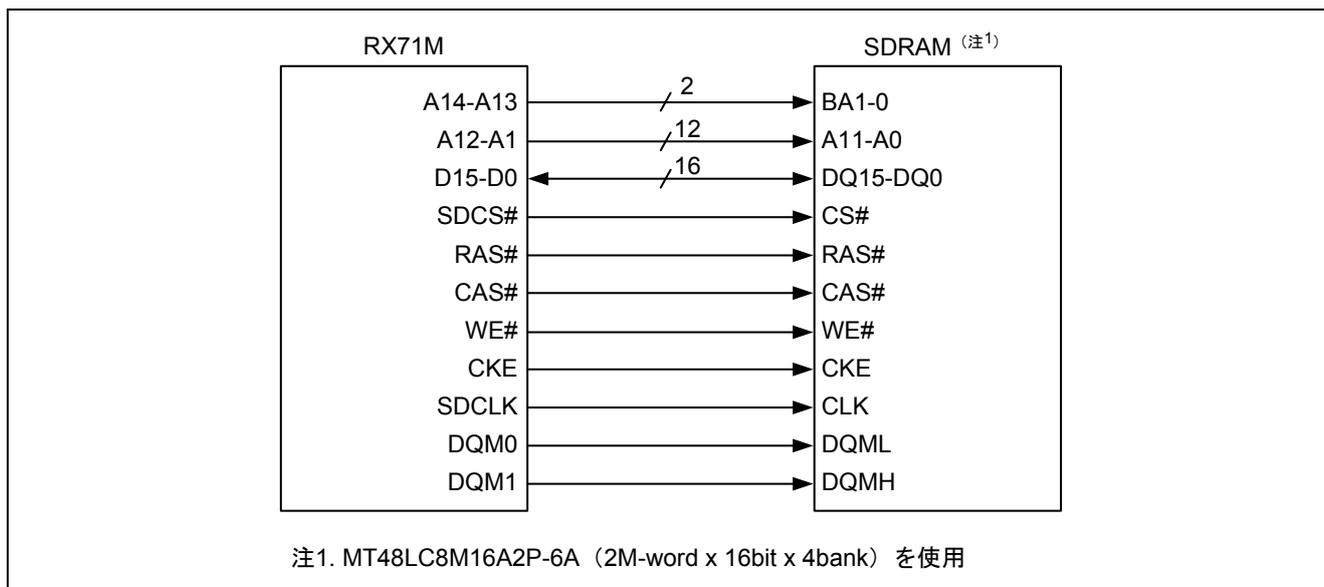


図2.8 SDRAM のリードライト接続例

表2.13 SDRAM (MT48LC8M16A2P-6A) 仕様

項目	内容
構成	2M-word × 16bit × 4bank (Micron 社製)
容量	128M バイト
ロウアドレス	A11-A0
カラムアドレス	A8-A0
オートリフレッシュ間隔	64ms ごとの 4096 リフレッシュサイクル (max)
CAS レイテンシ	3 サイクル
初期化オートリフレッシュ回数	2 回以上
オートリフレッシュ期間 (tRFC)	60ns (min)
ライトリカバリ期間 (tWR)	オートプリチャージモード : 1CLK + 6ns (min) プリチャージモード : 12ns (min)
プリチャージコマンド期間 (tRP)	18ns (min)
アクティブコマンドからプリチャージコマンドまでの期間 (tRAS)	42ns (min) ~ 120, 000ns (max)
アクティブコマンドからリード/ライトコマンドまでの遅延時間 (tRCD)	18ns (min)

<設定値>

設定例で使用する SDRAM に対する、初期化シーケンス、オートリフレッシュ、リード/ライトタイミングの設定値を以下に示します。

表2.14 SDRAM (MT48LC8M16A2P-6A) 接続時の初期化シーケンス設定値

項目	記号	内容	SH7216 設定	RX71M 設定
初期化プリチャージサイクル	tRP	18ns (min)	CS3WCR.WTRP = 00b (0 サイクル : 20ns)	SDIR.PRC = 000b (3 サイクル : 約 50ns)
初期化オートリフレッシュ間隔	tRFC	60ns (min)	CS3WCR.WTRC = 00b (2 サイクル : 60ns)	SDIR.ARFI = 001b (4 サイクル : 66ns)
初期化リフレッシュ回数	—	2 回以上	8 回固定	SDIR.ARFC = 0010b (2 回)

表2.15 SDRAM (MT48LC8M16A2P-6A) 接続時のオートリフレッシュ設定値

項目	記号	内容	SH7216 設定	RX71M 設定
オートリフレッシュ間隔	—	15.625 μ s (max) (tREF/ロウアドレス数) ^(注1)	RTCOR = A55A00C3h (195 サイクル : 15.6 μ s) RTCSR.CKS = 001b ^(注2) (カウントアップクロック = B ϕ /4)	SDRFCR.RFC = 3A9h (937 サイクル : 15.617 μ s)
オートリフレッシュ解除サイクル	tRFC	60ns (min)	CS3WCR.WTRC = 00b (2 サイクル : 60ns)	SDRFCR.REFW = 0011b (4 サイクル : 約 66ns)

注 1. リフレッシュサイクル tREF = 64ms (max)、ロウアドレス数 = 4, 096

注 2. RTCSR は 32 ビットアクセスでライトプロテクトを解除する必要があります。

RTCSR レジスタの CKS ビットで入カクロックを選択するとリフレッシュタイマカウンタがカウントを開始します。

表2.16 SDRAM (MT48LC8M16A2P-6A) 接続時のリード/ライトアクセスタイミング設定値

項目	記号	内容	SH7216 設定	RX71M 設定
カラムレイテンシ ^(注2)	—	3 サイクル ^(注1)	CS3WCR.A3CL = 10b	SDTR.CL = 011b
ライトリカバリ期間	tWR	1CLK + 6ns (min) SH7216 : 26ns (min) RX71M : 22.66ns (min)	CS3WCR.TRWL = 01b (1 サイクル : 40ns)	SDTR.WR = 1b (2 サイクル : 約 33ns)
ロウプリチャージ期間	tRP	18ns (min)	CS3WCR.WTRP = 00b (0 サイクル : 20ns)	SDTR.RP = 001b (2 サイクル : 約 33ns)
ロウアクティブ期間 ^(注2)	tRAS	42ns (min)	—	SDTR.RAS = 010b (3 サイクル : 約 50ns)
ロウカラムレイテンシ ^(注2)	tRCD	18ns (min)	CS3WCR.WTRCD = 00b (0 サイクル : 20ns)	SDTR.RCD = 01b (2 サイクル : 約 33ns)

注 1. SDRAM モードレジスタにて 3 を選択

注 2. ロウアクティブ期間の設定は、ロウカラムレイテンシ+カラムレイテンシ以下に設定

設定例で使用する SDRAM の SDRAM モードレジスタへの設定値を表 2.17に示します。

SH7216 グループは、指定アドレスにワードライトを行うことで SDRAM のモードレジスタに対する書き込みを行うのに対し、RX71M はレジスタに値を設定することで、SDRAM のモードレジスタに書き込みが行われます。

表2.17 SDRAM (MT48LC8M16A2P-6A) 接続時の SDRAM モードレジスタ設定値

ビット	シンボル	設定値
b2-b0	BurstLength	000 : 1
b3	BurstType	0 : Sequential
b6-b4	CASLatency	011 : 3
b8-b7	OperatingMode	00 : StandardOperation
b9	WriteBurstMode	1 : SingleLocationAccess
b11-b10	Reserved	00 : Reserved

<処理フロー>

SDRAM 接続時の処理フロー例を図 2.9に示します。本処理フローの処理名は、設定例の処理名と対応しています。

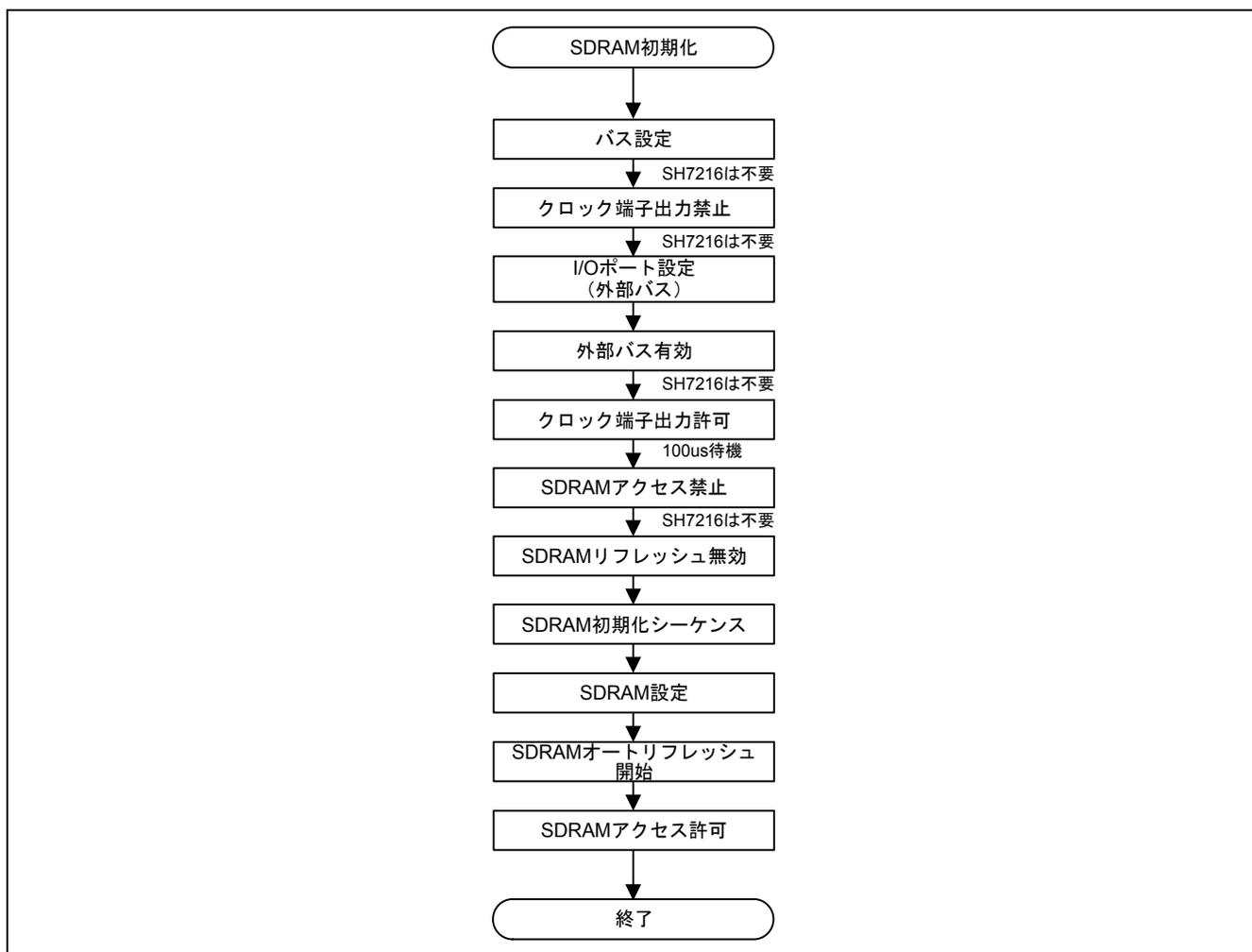


図2.9 外部バス (SDRAM) 処理フロー

<設定例>

以下に、SDRA 接続時の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。

表2.18 バス初期化設定例（SDRAM 接続）

手順	SH7216 設定例	RX71M 設定例
バス設定	—	バスエラー設定（検出禁止） BSC.BEREN.IGAEN = 0b (不正アドレス) BSC.BEREN.TOEN = 0b (タイムアウト) バスプライオリティ設定（固定） BSC.BUSPRI.BPEB = 00b
クロック端子出力禁止	—	外部バスクロック端子出力禁止 SYSTEM.PRCR = A503h SYSTEM.SCKCR.PSTOP0 = 1b (SDCLK) SYSTEM.SCKCR.PSTOP1 = 1b (BCLK) レジスタライトプロテクションは、クロック端子出力許可後に書き込み禁止に設定
I/O ポート設定 （外部バス）	端子モード設定 PFC.PCCRL4 = 1111h (A12~A15) PFC.PCCRL3 = 1111h (A8~A11) PFC.PCCRL2 = 1111h (A4~A7) PFC.PCCRL1 = 1111h (A0~A3) PFC.PDCRL4 = 1111h (D12~D15) PFC.PDCRL3 = 1111h (D8~D11) PFC.PDCRL2 = 1111h (D4~D7) PFC.PDCRL1 = 1111h (D0~D3) PFC.PACRL4 = 1011h (CK, WRH#/DQMLU, WRL#/DQMLL) PFC.PACRL3 = 0055h (CKE, RDWR) PFC.PACRL2 = 2000h (CS3#) PFC.PBCRL2 = 0044h (CASL#, RASL#)	外部バス制御端子許可 MPC.PFBCR0 = 11h (A0~A7, D8~D15) MPC.PFBCR1 = D0h (SDCLK, DQM1, CKE, SDCS#, RAS#, CAS#, WE#, DQM0) MPC.PFAOE0 = 7Fh (A14~A8) D0~D7 は設定不要 端子モード設定（汎用） PORTA.PMR = 00h (A0~A7) PORTB.PMR & = 80h (A8~A14) PORTD.PMR = 00h (D0~D7) PORTE.PMR = 00h (D8~D15) PORT6.PMR & = 01h (SDCS#, RAS#, CAS#, WE#, CKE, DQM0, DQM1) PORT7.PMR & = FEh (SDCLK)
外部バス有効	—	SYSTEM.SYSCR0 = 5A03h SYSTEM.SYSCR0.EXBE の反映確認
クロック端子出力許可	—	外部バスクロック端子出力許可 SYSTEM.SCKCR.PSTOP0 = 0b (SDCLK) SYSTEM.PRCR = A500h
SDRAM アクセス禁止	—	BSC.SDCCR.EXENB = 0b
SDRAM リフレッシュ無効	SDRAM リフレッシュ制御 BSC.SDCR.RFSH = 0b	SDRAM オートリフレッシュ無効 BSC.SDRFEN.RFEN = 0b SDRAM セルフリフレッシュ無効 BSC.SDSELF.SFEN = 0b

手順	SH7216 設定例	RX71M 設定例
SDRAM 初期化シーケンス	初期化シーケンス設定 ^(注1) BSC.CS3WCR.WTRP = 00b BSC.CS3WCR.WTRC = 00b	初期化シーケンス設定 ^(注1) BSC.SDIR.PRC = 000b BSC.SDIR.ARFC = 0010b BSC.SDIR.ARFI = 0001b 初期化シーケンス開始 BSC.SDICR.INIRQ = 1b BSC.SDSR.INIST = 0b になるのを待つ
SDRAM 設定	バス幅設定 (16 ビット) BSC.CS3BCR.BSZ = 10b メモリの種類を設定 BSC.CS3BCR.TYPE = 100b (SDRAM) SDRAM モードレジスタ設定 ^(注2) SDMR3 のアドレス = FFFC5460h オートリフレッシュ設定 ^(注3) BSC.RTCOR = A55A00C3h BSC.CS3WCR.WTRC = 00b エンディアン設定 BSC.CS3BCR.ENDIAN = 0b (ビッグエンディアン) リード/ライトアクセスタイミング設定 ^(注4) BSC.CS3WCR.WTRCD = 00b BSC.CS3WCR.WTRP = 00b BSC.CS3WCR.A3CL = 10b BSC.CS3WCR.TRWL = 01b アドレスマルチプレクス設定 BSC.SDCR.A3ROW = 01b (ロウアドレス 12 ビット) BSC.SDCR.A3COL = 01b (カラムアドレス 9 ビット)	バス幅設定 (16 ビット) BSC.SDCCR.BSIZE = 00b SDRAM モードレジスタ設定 ^(注2) BSC.SDMOD = 0230h オートリフレッシュ設定 ^(注3) BSC.SDRFCR.RFC = 3A9h BSC.SDRFCR.REFW = 0011b エンディアン設定 BSC.SDCMOD.EMODE = 0b (動作モードのエンディアンと同じ) アクセスモード設定 BSC.SDAMOD.BE = 0 (連続アクセス禁止) リード/ライトアクセスタイミング設定 ^(注4) BSC.SDTR.RCD = 01b BSC.SDTR.RP = 001b BSC.SDTR.CL = 011b BSC.SDTR.WR = 1b BSC.SDTR.RAS = 010b アドレスマルチプレクス設定 BSC.SDADR.MXC = 01b (ロウアドレス 9 ビットシフト)
SDRAM リフレッシュ有効	オートリフレッシュ選択 BSC.SDCR.RMODE = 0b SDRAM リフレッシュ制御 BSC.SDCR.RFSH = 1b	オートリフレッシュ有効 BSC.SDRFEN.RFEN = 1b
オートリフレッシュ設定	BSC.RTCOR = A55A0008h リフレッシュ回数 : 1 回 リフレッシュタイマカウンタ : Bφ/4	—
SDRAM アクセス許可	SDMR3 のアドレスに対し '0' 書き込み (SDRAM モードレジスタへ書き込み)	BSC.SDCCR.EXENB = 1b

注 1. 設定値の詳細は表 2.14を参照してください。

注 2. 設定値の詳細は表 2.17を参照してください。

SH7216 のカウントアップクロックの設定はオートリフレッシュ有効後に行います。

注 3. 設定値の詳細は表 2.15を参照してください。

注 4. 設定値の詳細は表 2.16を参照してください。

2.4 割り込みコントローラ

2.4.1 IRQ の設定例

SH7216 と RX71M において IRQ を使用する場合の設定例を以下に示します。

設定例で使用するレジスタ名は、`iodefine.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.19 IRQ 設定例仕様

項目	内容	備考
検出条件	立ち下がリエッジ検出	
割り込みプライオリティ	レベル 15	
ノイズ除去	PCLKB/64 でサンプリング (PCLKB = 60MHz)	SH7216 : 機能なし
使用端子	P41/汎用 (IRQ9-DS)	SH7216 : PC13/IRQ0

<関連レジスタ一覧>

SH7216 と RX71M の設定例で使用する IRQ の割り込み関連レジスタを要因別に表 2.20、表 2.21 に示します。

表2.20 SH7216 割り込み関連レジスタ (INTC)

項目	ベクタ 番号	名称	割り込み許可	ステータス	優先レベル
設定レジスタ	—	—	—	IRQRR	IPR01
要因毎の設定位置					
IRQ0	64	IRQ0	—	IRQ0F	bit 12~15

表2.21 RX71M 割り込み関連レジスタ (ICUA)

項目	ベクタ 番号	名称	割り込み許可	ステータス	優先レベル
設定レジスタ	—	—	IERm	IRr	IPRr
要因毎の設定位置					
IRQ9-DS	73	IRQ9	IER09.IEN1	IR073	IPR073

RX71M では、ICUA の割り込み関連レジスタへ設定を行う場合、`iodefine.h` を使用し以下のように設定することができます。

- IERm : IEN (ICU, ICUA の割り込み名称)
- IPRr : IPR (ICU, ICUA の割り込み名称)
- IRr : IR (ICU, ICUA の割り込み名称)

IRQ を使用した処理フロー例および設定例を以下に示します。本フローの処理名は、設定例の処理名と対応しています。

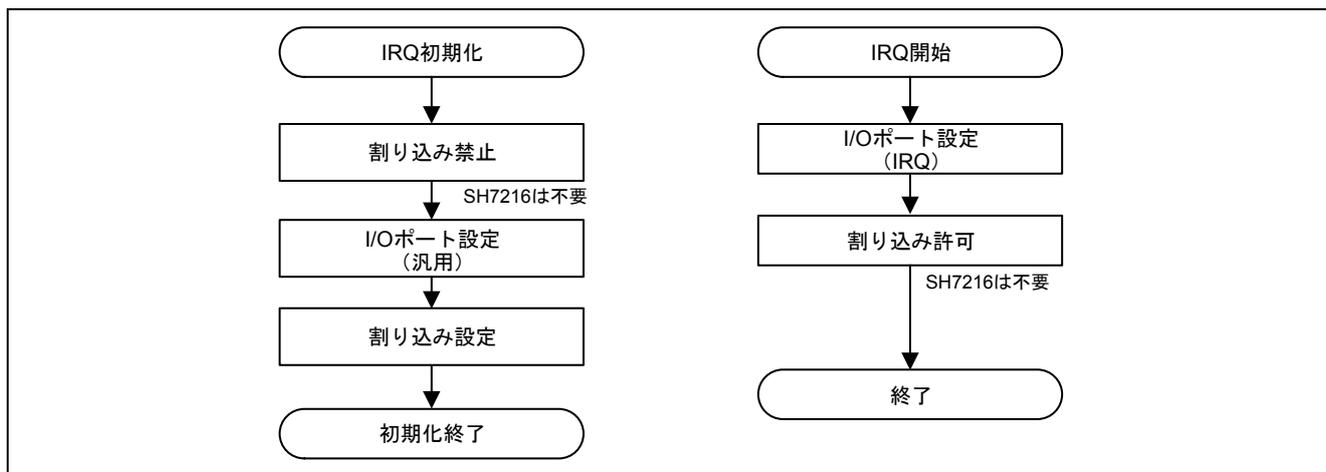


図2.10 IRQ 処理フロー例

表2.22 IRQ 初期設定例

処理	SH7216 グループ	RX71M
割り込み禁止	—	IEN (ICU, IRQ9) = 0b
I/O ポート設定 (汎用)	端子の向き設定 PFC.PCIORL.B13 = 0b (入力/PC13) 端子モード設定 (ポート) PFC.PCCRL4.PC13MD = 000b (PC13)	端子の向き設定 PORT4.PDR.B1 = 0b (入力/P41) 端子モード設定 (汎用) PORT4.PMR.B1 = 0b (P41)
割り込み設定	検出エッジ設定 INTC.ICR1.IRQ0S = 01b 優先度設定 (レベル 15) INTC.IPR01_IRQ0 = 15 ICU ステータスクリア IRQRR.IRQ0F の値を読み出し IRQRR.IRQ0F = 0b	検出エッジ設定 ICU.IRQCR[9].IRQMD = 01b デジタルフィルタ設定 ICU.IRQFLTC1.FCLKSEL9 = 11b ICU.IRQFLTE1.FLTEN9 = 1b 優先度設定 (レベル 15) IPR (ICU, IRQ9) = 15 ICU ステータスクリア IR (ICU, IRQ9) = 0b

表2.23 IRQ 開始設定例

処理	SH7216 グループ	RX71M
I/O ポート設定 (IRQ)	端子モード設定 PFC.PCCRL4.PC13MD = 011b (IRQ0)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.P41PFS.ISEL = 1b (IRQ9-DS) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b
割り込み許可	—	IEN (ICU, IRQ9) = 1b

2.5 データトランスファコントローラ (DTC)

2.5.1 仕様比較

データトランスファコントローラ機能として、SH7216 グループでは DTC、RX71M では DTCa が内蔵されています。

SH7216 グループ、RX71M とともに転送情報を RAM 上に配置し、DTC ベクタにより転送情報を指定する方式です。3つの転送モード（ノーマル転送モード、リピート転送モード、ブロック転送モード）についても基本的な動作は同じです。SH7216 グループと RX71M の仕様比較を表 2.24 に示します。

表2.24 SH7216 グループ、RX71M の仕様比較 (DTC)

項目	SH7216 グループ (DTC)	RX71M (DTCa)
転送モード	<ul style="list-style-type: none"> ノーマル転送モード リピート転送モード ブロック転送モード 	
起動要因	<ul style="list-style-type: none"> 外部割り込み 周辺機能割り込み 	<ul style="list-style-type: none"> 外部割り込み 周辺機能割り込み ソフトウェア割り込み
起動許可/禁止制御	DTC モジュールの DTC イネーブルレジスタにより起動	割り込みコントローラの DTC 起動許可レジスタにより起動
転送空間	以下空間内で転送可能 <ul style="list-style-type: none"> 内蔵メモリ空間 内蔵周辺モジュール空間 (DMAC、DTC、BSC、UBC、FLASH を除く) 外部メモリ空間 メモリマップト外部デバイス 転送元もしくは転送先の少なくともどちらか片方は必ず内蔵周辺モジュール空間を指定	以下空間内で転送可能 <ul style="list-style-type: none"> 内蔵メモリ空間 内蔵周辺モジュール空間 外部メモリ空間
転送単位	<ul style="list-style-type: none"> ノーマル転送モード：8, 16, 32 ビットから選択 リピート転送モード：8, 16, 32 ビットから選択 ブロック転送モード：8 ビット～256 ロングワードから選択 	
転送回数	<ul style="list-style-type: none"> ノーマル転送モード：1～65536 回 リピート転送モード：1～256 回（指定回数終了後リピート） ブロック転送モード：1～65536 回 	
CPU 割り込み要求	<ul style="list-style-type: none"> DTC 起動要因とした割り込みでの CPU 割り込み要求可能 1 データ転送終了時に CPU 割り込み可能 指定回数データ転送後に CPU 割り込み可能 	
方式	DTC ベクタで割り込み要因毎に制御情報を配置	
その他	<ul style="list-style-type: none"> チェーン転送 モジュールストップ状態への遷移 以下機能により、転送時間短縮、メモリ容量削減が可能 <ul style="list-style-type: none"> — 転送情報のリードスキップ — ライトバックスキップ — ショートアドレスモード — バス権解放タイミングの設定 	<ul style="list-style-type: none"> チェーン転送 イベントリンク モジュールストップ状態への遷移 以下機能により、転送時間短縮、メモリ容量削減が可能 <ul style="list-style-type: none"> — 転送情報リードスキップ — ライトバックスキップ — ショートアドレスモード

2.5.2 レジスタ比較

SH7216 グループは DTC のモジュールストップ状態を解除することで、DTC の動作が可能になります。RX71M は DTC のモジュールストップ状態の解除に加え、DTC モジュール起動レジスタ (DTCST) で DTC モジュール動作に設定することで、DTC の動作が可能になります。

SH7216 グループと RX71M のレジスタ比較を表 2.25 に示します。

表の変更欄の記号

- ◎ : SH7216 グループと RX71M でビットアサインが同じレジスタ
- △ : SH7216 グループと RX71M でビットアサインが異なるレジスタ
- : SH7216 グループと RX71M で一方にしかないレジスタ

表2.25 SH7216 グループ、RX71M のレジスタ比較 (DTC)

SH7216 グループ (DTC)	RX71M (DTCa)	変更
DTC モードレジスタ A (MRA)	DTC モードレジスタ A (MRA)	◎
DTC モードレジスタ B (MRB)	DTC モードレジスタ B (MRB)	◎
DTC ソースアドレスレジスタ (SAR)	DTC 転送元レジスタ (SAR)	◎
DTC デスティネーションアドレスレジスタ (DAR)	DTC 転送先レジスタ (DAR)	◎
DTC 転送カウントレジスタ A (CRA)	DTC 転送カウントレジスタ A (CRA)	◎
DTC 転送カウントレジスタ B (CRB)	DTC 転送カウントレジスタ B (CRB)	◎
DTC コントロールレジスタ (DTCCR)	DTC コントロールレジスタ (DTCCR)	△
DTC ベクタベースレジスタ (DTCVBR)	DTC ベクタベースレジスタ (DTCVBR)	◎
バス機能拡張レジスタ (BSCEHR) DTC ショートアドレスモード (DTSA ビット)	DTC アドレスモードレジスタ (DTCADM0D)	△
DTC イネーブルレジスタ A~E (DTCERA~DTCERE) <small>(注 1)</small>	—	—
—	DTC モジュール起動レジスタ (DTCST)	—
	DTC ステータスレジスタ (DTCSTS)	

注 1. RX71M は、周辺モジュールからの転送要求設定を割り込みコントローラで行います。

2.5.3 起動要因設定

SH7216 グループで周辺モジュールから DTC を起動する場合は、起動要因を本モジュールの DTC イネーブルレジスタ A~E (DTCERA~DTCERE) に設定します。RX71M の DTC 起動要因は、割り込みコントローラの DTC 起動許可レジスタ n (DTCERn) に DTC の起動要因を設定することで当該割り込みによる DTC 起動を有効にします。

2.5.4 DTC ベクタの構成

SH7216 グループと RX71M の DTC ベクタ構成の違いを示します。

SH7216 グループの DTC ベクタテーブルの先頭アドレスは、上位 20 ビットを DTC ベクタベースアドレス (DTCVBR) とし、下位 12 ビットを“400h+ベクタ番号×4”で算出されます。DTC ベクタテーブルは、ベースアドレスの下位 12 ビットが“0”になるように、4K バイト境界に配置してください。

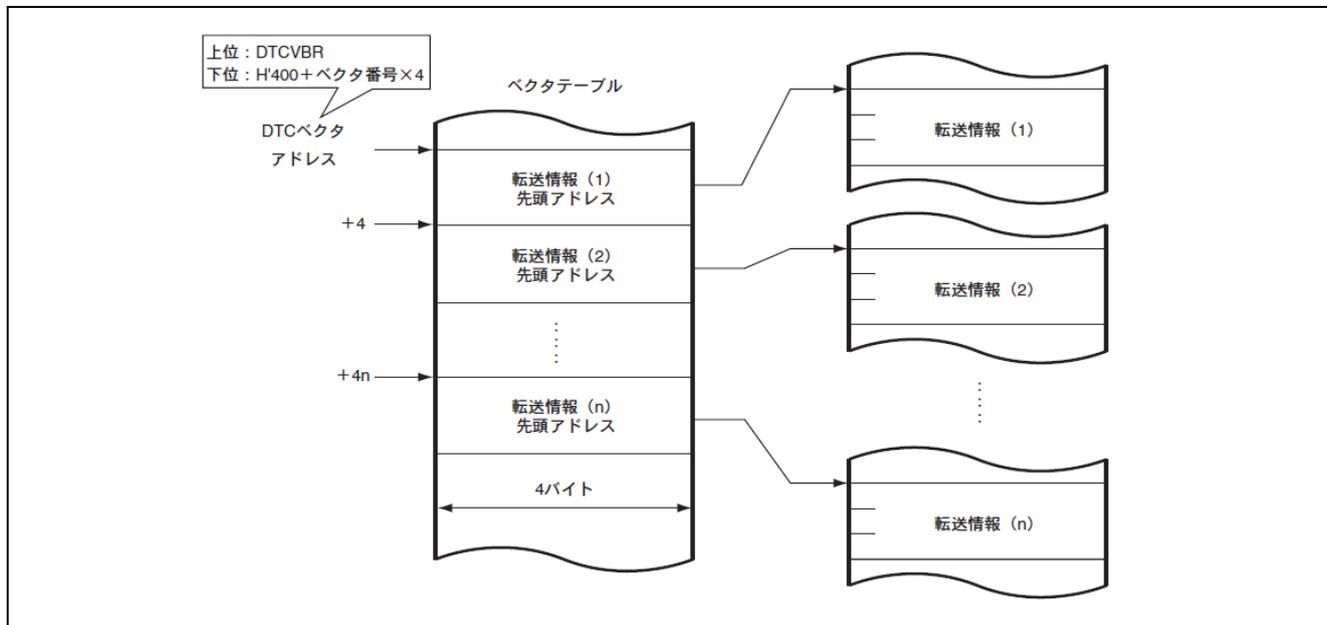


図2.11 SH7216 グループの DTC ベクタ構成

RX71M の DTC ベクタテーブルの先頭アドレスは、“DTC ベクタベースアドレス (DTCVBR) + (ベクタ番号×4)”で算出されます。DTC ベクタテーブルは、ベースアドレスの下位 10 ビットが“0”になるように、1K バイト境界に配置してください。

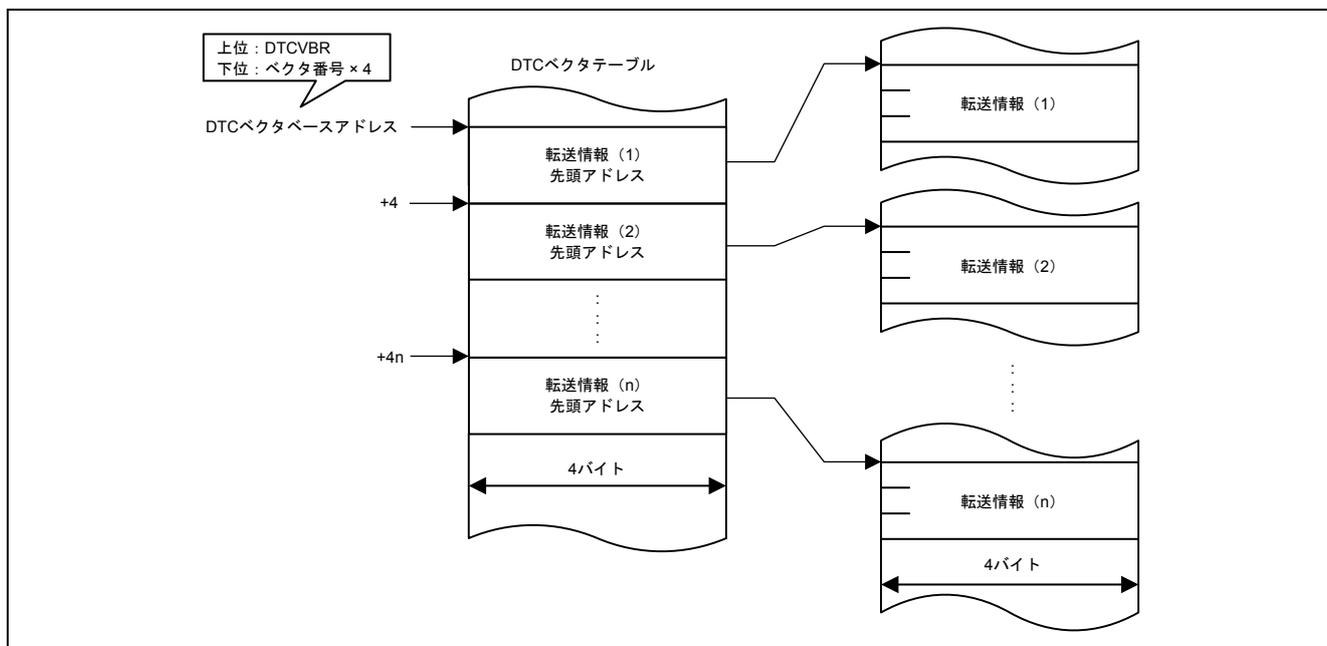


図2.12 RX71M の DTC ベクタ構成

2.5.5 転送情報の配置

SH7216 グループの DTC 転送情報はビッグエンディアン固定です。RX71M の DTC 転送情報は配置領域のエンディアン設定に依存します。エンディアンを除き転送情報の配置は同一です。

ショートアドレスモードを選択する場合、SH7216 グループは BSC のバス機能拡張レジスタ (BSCEHR) で設定するのに対し、RX71M は DTC アドレスモードレジスタ (DTCADMOD) で設定します。ショートアドレスモード選択時の、DTC 転送元および転送先アドレスを図 2.13 に示します。

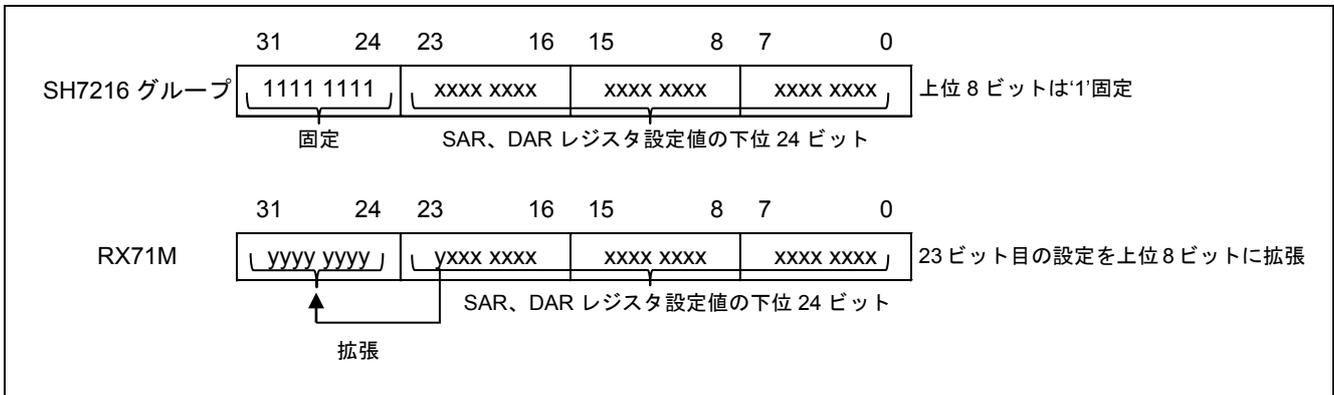


図2.13 ショートアドレスモードにおける転送元および転送先アドレス

RX71M の DTC 転送情報の配置を図 2.14 に示します。

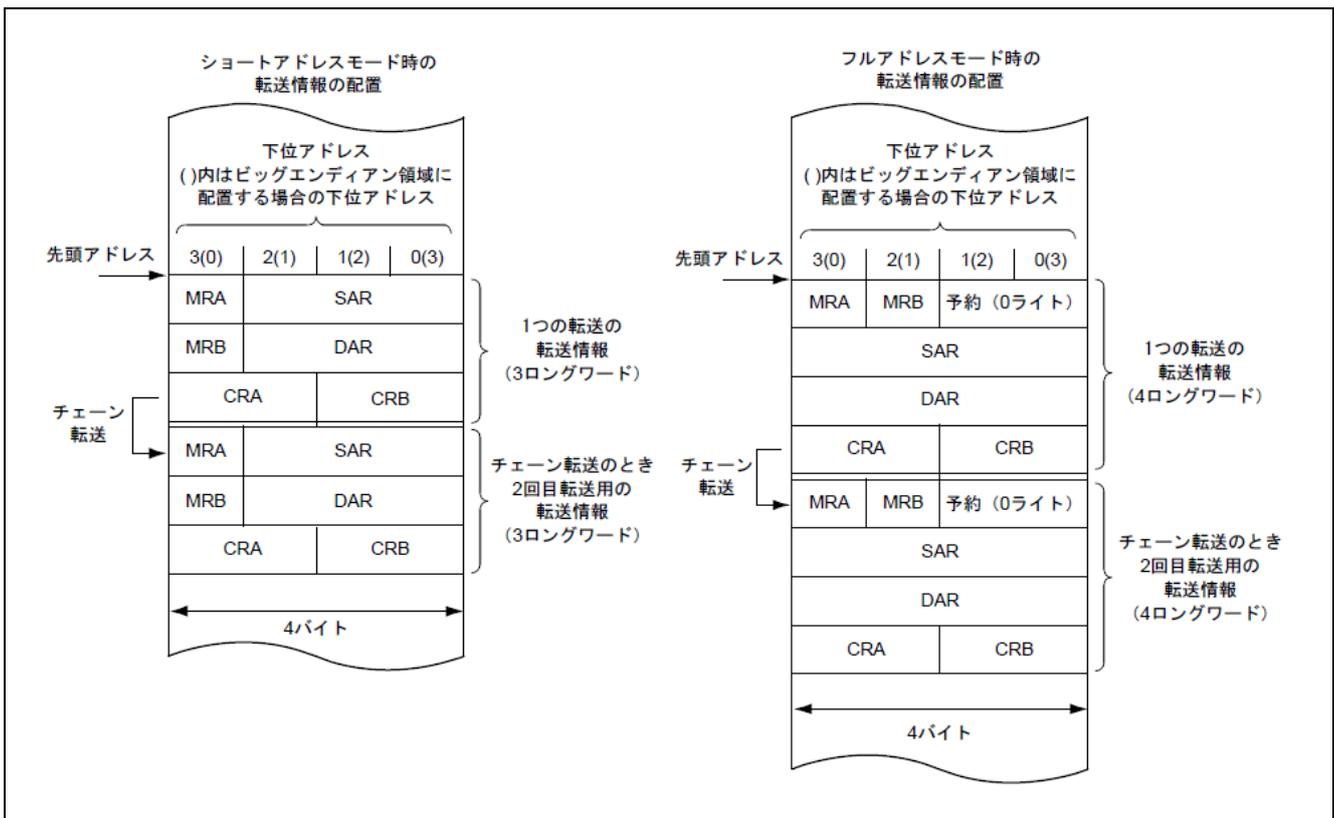


図2.14 RX71M 転送情報の配置

2.5.6 モジュールストップ

RX71M はリセット後、DTCa のモジュールストップが解除されています。

RX71M の DTCa と DMACAa は、モジュールストップ設定ビット (MSTPCRA.MSTPA28) が共通の為、モジュールストップ制御が同時におこなわれます。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.5.7 SCI と内蔵 RAM 間のデータ転送設定例

SH7216 と RX71M のデータトランスファコントローラを使用して、SCI と内蔵 RAM との間でデータ転送を行う場合の設定例を以下に示します。なお、SCI の初期設定例は「2.10.6 調歩同期式送受信設定例（割り込み、ポーリング）」を参照してください。本章では SCI 割り込みによる DTC 起動の設定例のみを示します。

<動作概要>

- SCI を使用し調歩同期式による送受信を行います。
- SCI の送信データエンプティ割り込み要求で DTC を起動し、内蔵 RAM から SCI レジスタへのデータ転送を行います。
- SCI の受信データフル割り込み要求で DTC を起動し、SCI レジスタから内蔵 RAM へのデータ転送を行います。
- ソフトウェアを介在せずに全データの送受信を行います。
- 全データ送信完了時（DTC 転送終了時）、SCI の送信データエンプティ割り込みが発生します。
- 全データ受信完了時（DTC 転送終了時）、SCI の受信データフル割り込みが発生します。
- 全データ送受信完了後、SCI および DTC 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216：”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、`iodefine.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.26 SCI と内蔵 RAM 間のデータ転送動作仕様

項目	内容		備考
SCI 仕様	表 2.70を参照		SCI2 調歩同期式送受信
転送モード	ノーマル転送モード		
転送回数	32 回		
転送サイズ	バイト		
送信	転送元	内蔵 RAM（転送後インクリメント）	
	転送先	SCI トランスミットデータレジスタ（アドレス固定）	
	起動要因	SCI 送信データエンプティ割り込み	
受信	転送元	SCI レシーブデータレジスタ（アドレス固定）	
	転送先	内蔵 RAM（転送後インクリメント）	
	起動要因	SCI 受信データフル割り込み	
アドレスモード	フルアドレスモード		
割り込み	指定したデータ転送終了時、CPU に対して割り込み		
使用端子	TXD	P50/TXD2	SH7216：PD3/TXD2
	RXD	P52/RXD2	SH7216：PD2/RXD2
	LED1	P05/汎用	転送完了で点灯
	LED2	P26/汎用	エラー検出で点灯

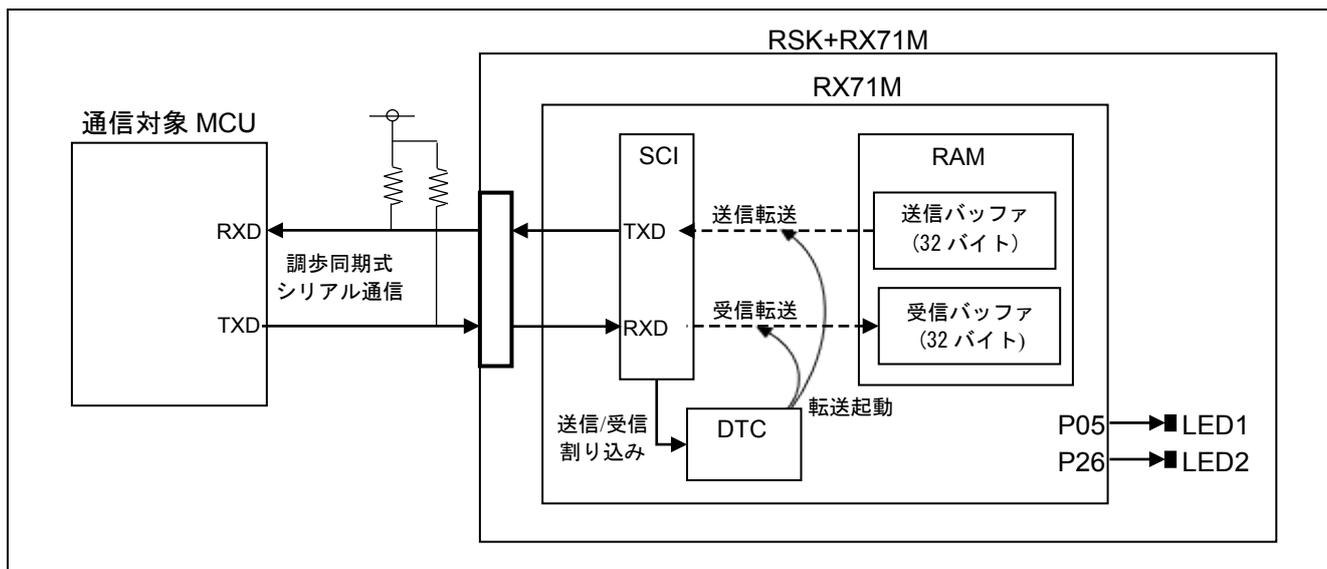


図2.15 SCI と内蔵 RAM 間のデータ転送接続例

<注意事項>

RSK+RX71M は、設定例で使用する SCI2 用端子が初期状態で外部バス用に接続されていますので、必要に応じてボードの改造などを実施してください。

<処理フロー>

DTCを使用した処理フロー例を図 2.16に示します。本フローの処理名は、設定例の処理名と対応しています。SCI 関連の処理については「2.10.6 調歩同期式送受信設定例（割り込み、ポーリング）」を参照してください。

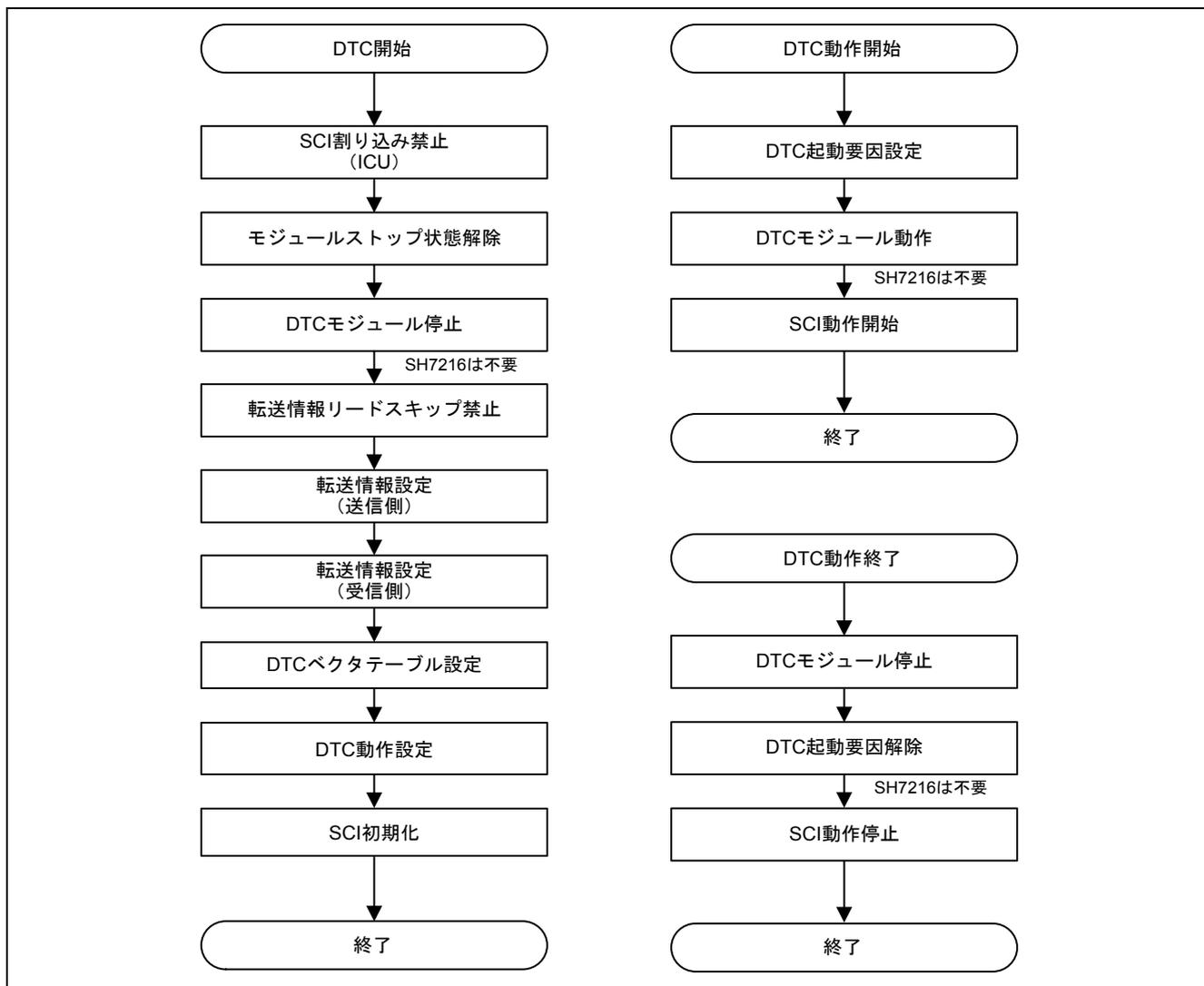


図2.16 DTC 処理フロー例

<設定例>

以下に、SCI と内蔵 RAM 間のデータ転送の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

本章では SCI 関連の設定例は記載しないため「2.10.6 調歩同期式送受信設定例（割り込み、ポーリング）」を参照してください。

設定例では、DTC 転送情報用の構造体を使用します。

- DTC_TX：送信転送情報用
- DTC_RX：受信転送情報用

設定例では、DTC ベクタテーブル用の配列を以下のようにアドレス配置します。

- SH7216 :

```
#pragma address DTC_VECT_TABLE = 0xFFFF80400 (アドレスは任意)
volatile unsigned long DTC_VECT_TABLE[256];
```
- RX71M :

```
#pragma address DTC_VECT_TABLE = 0x0 (アドレスは任意)
volatile unsigned long DTC_VECT_TABLE[256];
```

DTC 起動要因に SCI2 の割り込みを設定する場合は、`iodef.h` を使用し以下のように設定することができます。

- DTCE (SCI2、ICUA の割り込み名称)

表2.27 DTC 初期化設定例（SCI と内蔵 RAM 間のデータ転送）

処理	SH7216 設定例	RX71M 設定例
モジュールストップ状態解除	STB.CR2._DTC = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRA.MSTPA28 = 0b SYSTEM.PRCR = A500h
DTC モジュール停止	—	DTC.DTCST.DTCST = 0b
転送情報リードスキップ禁止	DTC.DTCCR.RRS = 0b	DTC.DTCCR.RRS = 0b
転送情報設定 (送信側)	DTC_TX.MRA.MD = 00b DTC_TX.MRA.Sz = 00b DTC_TX.MRA.SM = 10b DTC_TX.MRB.CHNE = 0b DTC_TX.MRB.DISEL = 0b DTC_TX.MRB.DM = 00b DTC_TX.SAR = RAM 領域先頭アドレス DTC_TX.DAR = SCI2.SCTDR レジスタアドレス DTC_TX.CRA = 32	DTC_TX.MRA.MD = 00b DTC_TX.MRA.SZ = 00b DTC_TX.MRA.SM = 10b DTC_TX.MRB.CHNE = 0b DTC_TX.MRB.DISEL = 0b DTC_TX.MRB.DM = 00b DTC_TX.SAR = RAM 領域先頭アドレス DTC_TX.DAR = SCI2.TDR レジスタアドレス DTC_TX.CRA = 32
転送情報設定 (受信側)	DTC_RX.MRA.MD = 00b DTC_RX.MRA.Sz = 00b DTC_RX.MRA.SM = 00b DTC_RX.MRB.CHNE = 0b DTC_RX.MRB.DISEL = 0b DTC_RX.MRB.DM = 10b DTC_RX.SAR = SCI2.SCRDR レジスタアドレス DTC_RX.DAR = RAM 領域先頭アドレス DTC_RX.CRA = 32	DTC_RX.MRA.MD = 00b DTC_RX.MRA.SZ = 00b DTC_RX.MRA.SM = 00b DTC_RX.MRB.CHNE = 0b DTC_RX.MRB.DISEL = 0b DTC_RX.MRB.DM = 10b DTC_RX.SAR = SCI2.RDR レジスタアドレス DTC_RX.DAR = RAM 領域先頭アドレス DTC_RX.CRA = 32

処理	SH7216 設定例	RX71M 設定例
DTC ベクタテーブル設定	DTC_VECT_TABLE[249] = DTC_RX アドレス DTC_VECT_TABLE[250] = DTC_TX アドレス DTC.DTCVBR = DTC_VECT_TABLE-400h (DTC_VECT_TABLE : 配列のアドレス)	DTC_VECT_TABLE[62] = DTC_RX アドレス DTC_VECT_TABLE[63] = DTC_TX アドレス DTC.DTCVBR = DTC_VECT_TABLE (DTC_VECT_TABLE : 配列のアドレス)
DTC 動作設定	転送情報リードスキップ設定 DTC.DTCCR.RRS = 1b アドレスモード設定 BSC.BSCEHR.DTSA = 0b	転送情報リードスキップ設定 DTC.DTCCR.RRS = 1b アドレスモード設定 DTC.DTCADM.SHORT = 0b

表2.28 DTC 動作開始設定例

処理	SH7216 設定例	RX71M 設定例
DTC 起動要因設定	DTC.DTCERE.RXI2 = 1b DTC.DTCERE.TXI2 = 1b	DTCE (SCI2, RXI2) = 1b DTCE (SCI2, TXI2) = 1b
DTC モジュール動作	—	DTC.DTCST.DTCST = 1b

表2.29 DTC 動作終了設定例

処理	SH7216 設定例	RX71M 設定例
DTC モジュール停止	—	DTC.DTCST.DTCST = 0b
DTC 起動要因クリア	DTC.DTCERE.RXI2 = 0b DTC.DTCERE.TXI2 = 0b	DTCE (SCI2, RXI2) = 0b DTCE (SCI2, TXI2) = 0b

2.6 ダイレクトメモリアクセスコントローラ (DMAC)

2.6.1 仕様比較

ダイレクトメモリアクセスコントロール機能として、SH7216 グループでは DMAC、RX71M では DMACAa と外部領域－外部領域間の転送専用の EXDMACa が内蔵されています。

RX71M は、SH7216 グループとは内部バス構成が異なり、CPU 命令実行と DMAC/DTC によるデータ転送の独立動作が可能のため転送性能が向上しています。SH7216 グループと RX71M の仕様比較を表 2.30 に示します。

表2.30 SH7216 グループ、RX71M の仕様比較 (DMAC)

項目	SH7216 グループ		RX71M	
	DMAC	DMACAa	DMACAa	EXDMACa
チャンネル数	8ch	8ch	8ch	2ch
最大転送回数 (RX は最大転送データ数)	16M (16, 777, 216) 回	64M データ (ブロック転送モード最大総転送数: 1024 データ × 65, 536 ブロック) フリーランニングも可能	64M データ (ブロック転送モード最大総転送数: 1024 データ × 65, 536 ブロック) フリーランニングも可能	1M データ (ブロック転送モード最大総転送数: 1024 データ × 1024 ブロック)
起動要因	<ul style="list-style-type: none"> 外部リクエスト 内蔵モジュールリクエスト オートリクエスト (ソフトウェアトリガ相当) 	(外部リクエストは不可) <ul style="list-style-type: none"> 内蔵モジュールリクエスト ソフトウェアトリガ 外部割り込み 	<ul style="list-style-type: none"> 外部リクエスト 内蔵モジュールリクエスト ソフトウェアトリガ 	
チャンネル優先順位	以下から選択 <ul style="list-style-type: none"> チャンネル0>チャンネル1>...>チャンネル7 チャンネル0>チャンネル4>...>チャンネル3>チャンネル7 ラウンドロビン 	固定 (チャンネル0>チャンネル1>...>チャンネル7)	固定 (チャンネル0>チャンネル1)	
転送データ	1 データ	8 ビット, 16 ビット, 32 ビット, 128 ビット	8 ビット, 16 ビット, 32 ビット	8 ビット, 16 ビット, 32 ビット
	リポートサイズ	—	データ数: 1~1024	データ数: 1~1024
	ブロックサイズ	—	データ数: 1~1024	データ数: 1~1024
	クラスタサイズ	—	—	データ数: 1~8
転送モード	なし (SH の転送モードは RX のノーマル転送モードに相当)	<ul style="list-style-type: none"> ノーマル転送モード リポート転送モード ブロック転送モード 	<ul style="list-style-type: none"> ノーマル転送モード リポート転送モード ブロック転送モード クラスタ転送モード 	
バスモード	<ul style="list-style-type: none"> サイクルスチールモード バーストモード 	—	—	
アドレスモード	<ul style="list-style-type: none"> シングルアドレスモード デュアルアドレスモード 	—	<ul style="list-style-type: none"> シングルアドレスモード デュアルアドレスモード 	
割り込み要求	転送終了割り込み	<ul style="list-style-type: none"> データ転送終了時 データ転送 1/2 終了時 	<ul style="list-style-type: none"> データ転送終了時 	<ul style="list-style-type: none"> データ転送終了時
	転送エスケープ終了割り込み	—	リポートサイズ分のデータ転送を終了したとき、または拡張リポートエリアがオーバーフローしたときに発生	—
その他	<ul style="list-style-type: none"> リロード機能 転送終了信号の出力 	<ul style="list-style-type: none"> 拡張リポートエリア イベントリンク オフセットアドレス更新 	<ul style="list-style-type: none"> 拡張リポートエリア オフセットアドレス更新 	

2.6.2 DMAC ブロック図

SH7216 グループの DMAC ブロック図を図 2.17に示します。

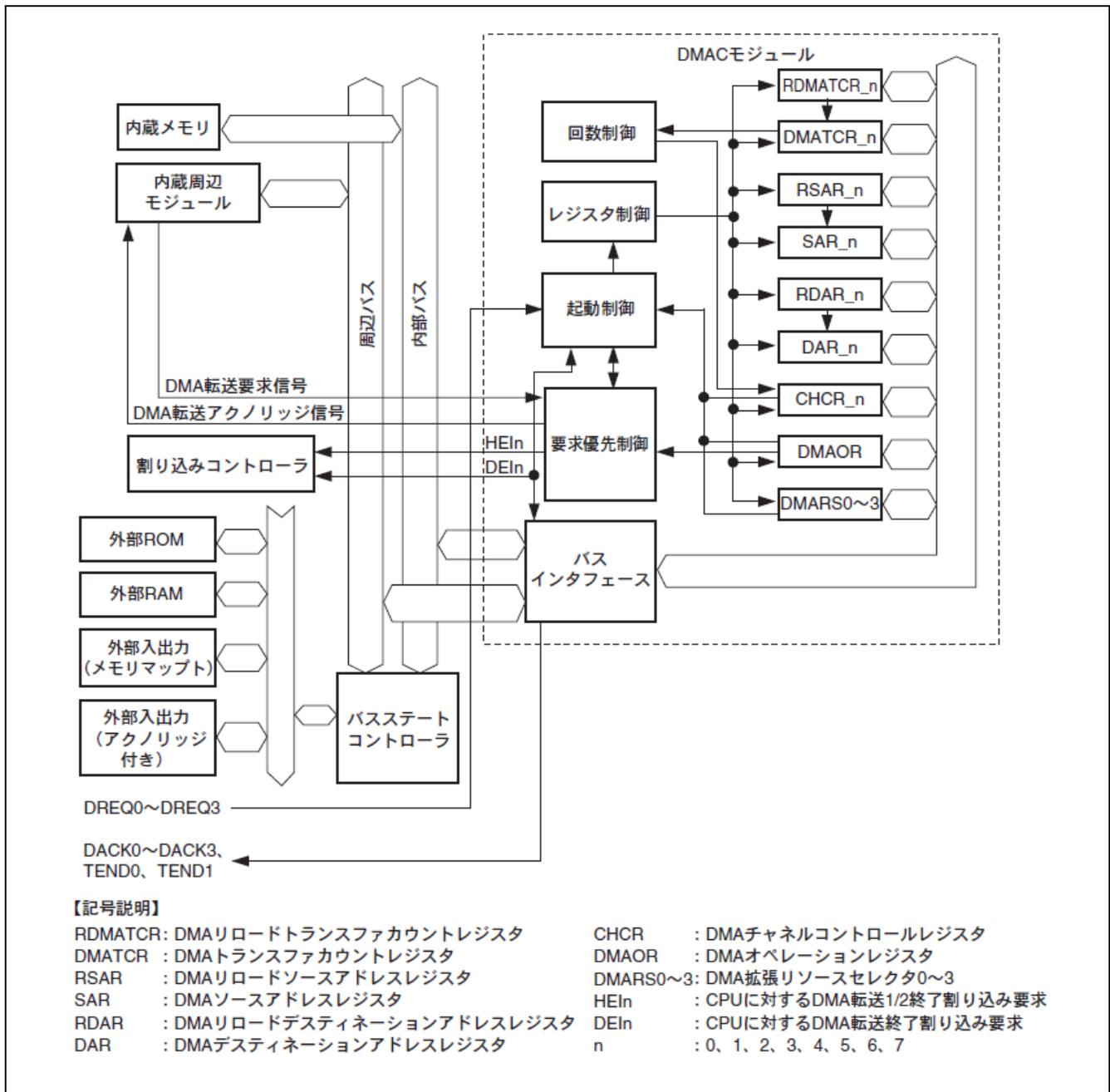


図2.17 SH7216 グループ DMAC ブロック図

RX71M の DMACAa ブロック図を図 2.18 に示します。

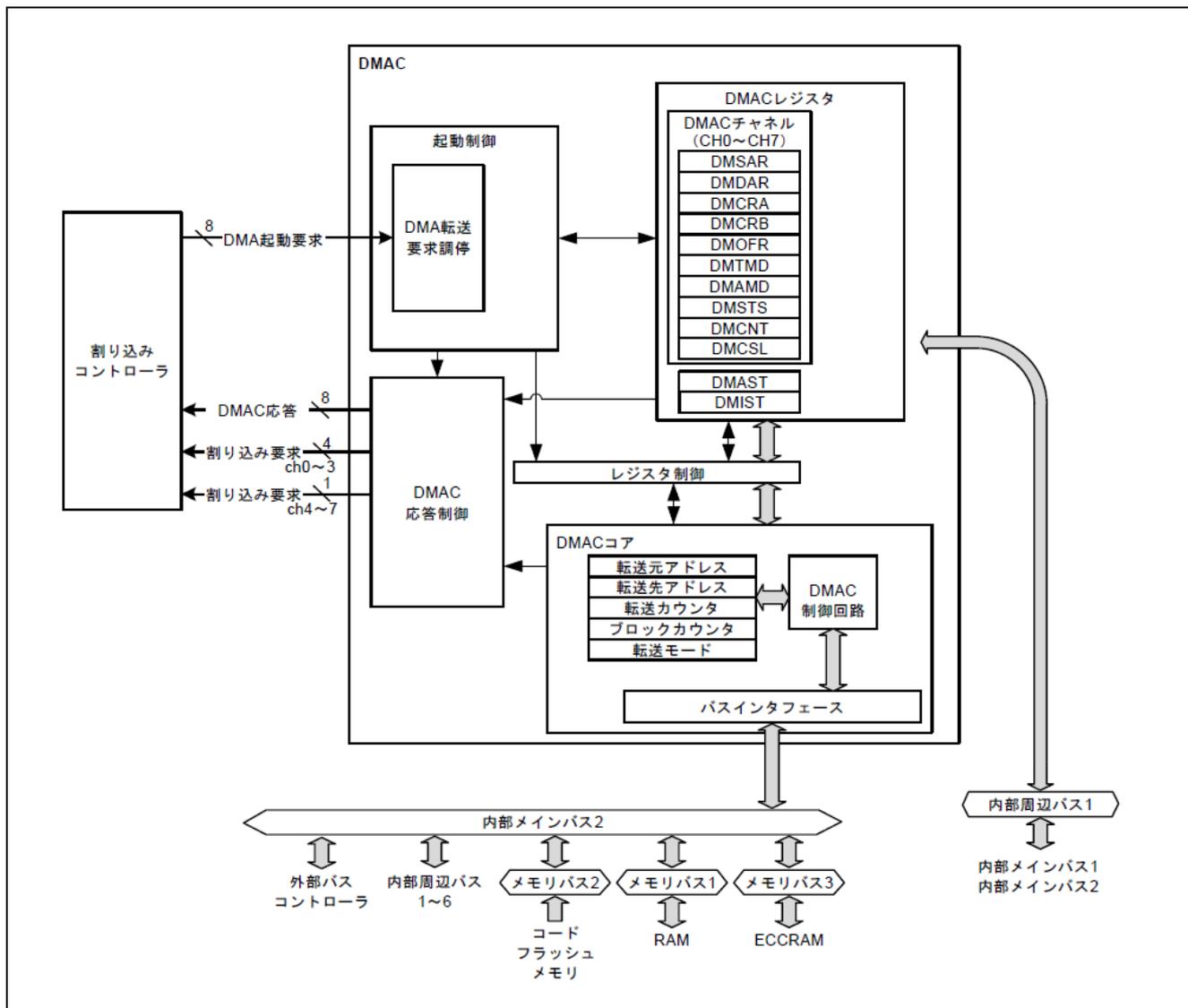


図2.18 RX71M DMACAa ブロック図

RX71M の EXDMACa ブロック図を図 2.19 に示します。

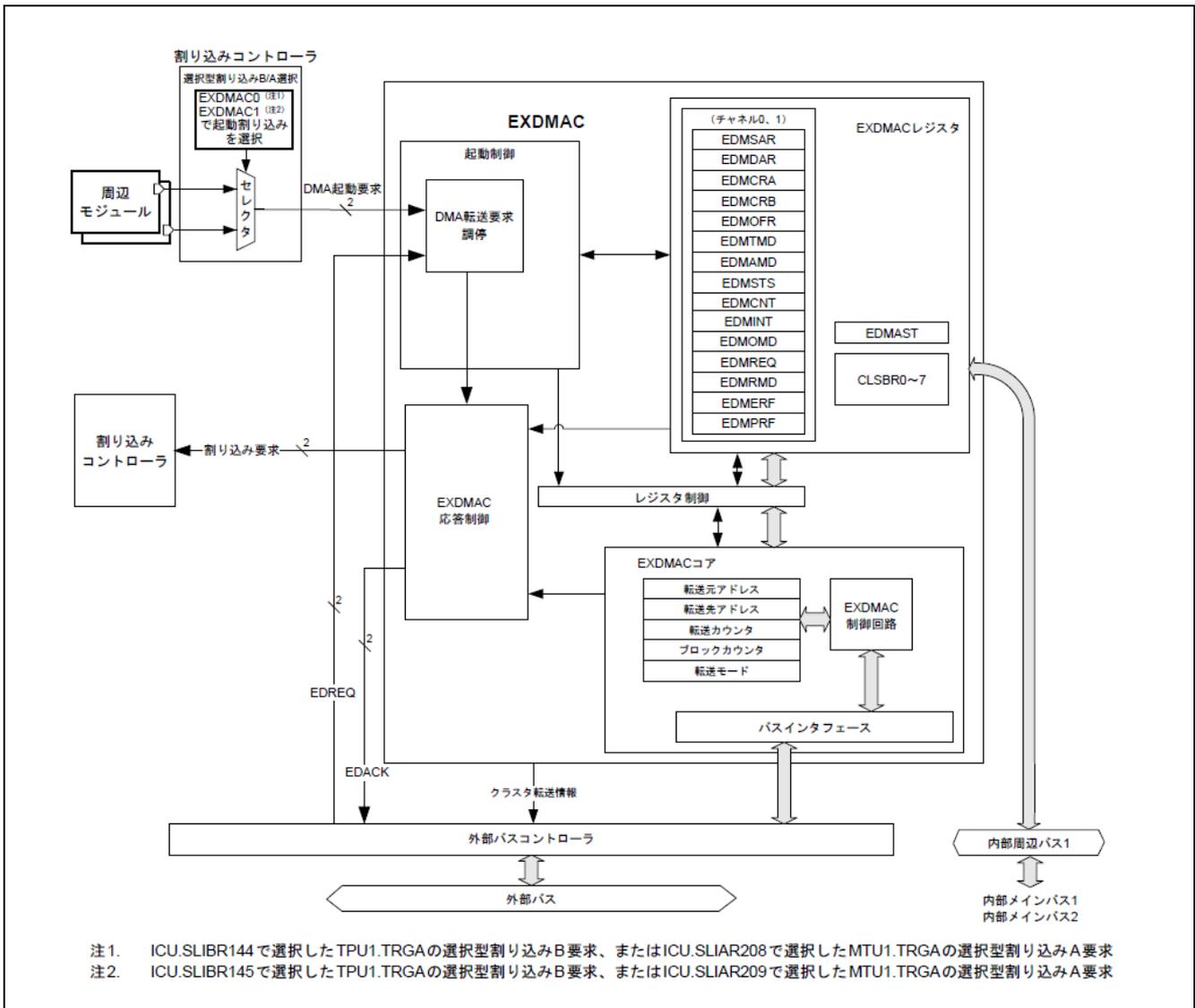


図2.19 RX71M EXDMACa ブロック図

2.6.3 レジスタ比較

SH7216 グループと RX71M のレジスタ比較を表 2.31と表 2.32に示します。

表の変更欄の記号

- ◎ : SH7216 グループと RX71M でビットアサインが同じレジスタ
- △ : SH7216 グループと RX71M でビットアサインが異なるレジスタ
- : SH7216 グループと RX71M で一方にしかないレジスタ

表2.31 SH7216 グループ、RX71M のレジスタ比較 (DMAC/DMACAa)

SH7216 グループ (DMAC) ^(注1)	RX71M (DMACAa) ^(注2)	変更
DMA オペレーションレジスタ (DMAOR)	DMA モジュール起動レジスタ (DMAST)	△
DMA ソースアドレスレジスタ_n (SAR_n)	DMA 転送元アドレスレジスタ (DMACm.DMSAR)	◎
DMA デスティネーションアドレスレジスタ_n (DAR_n)	DMA 転送先アドレスレジスタ (DMACm.DMDAR)	◎
DMA トランスファカウントレジスタ_n (DMATCR_n)	DMA 転送カウントレジスタ (DMACm.DMCRA)	◎
DMA チャネルコントロールレジスタ_n (CHCR_n) <small>(注3)</small>	DMA 転送モードレジスタ (DMACm.DMTMD) DMA アドレスモードレジスタ (DMACm.DMAMD) DMA 割り込み設定レジスタ (DMACm.DMINT) DMA 転送許可レジスタ (DMACm.DMCNT) DMA ステータスレジスタ (DMACm.DMSTS) DMA ソフトウェア起動レジスタ (DMACm.DMREQ)	△
—	DMA ブロック転送カウントレジスタ (DMACm.DMCRB)	—
	DMA 起動要因フラグ制御レジスタ (DMACm.DMCSL)	
	DMA オフセットレジスタ (DMAC0.DMOFR)	
	DMAC74 割り込みステータスマニタレジスタ (DMIST)	
DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3) DMA リロードソースアドレスレジスタ_n (RSAR_n) DMA リロードデスティネーションアドレスレジスタ_n (RDAR_n) DMA リロードトランスファカウントレジスタ_n (RDMATCR_n)	—	—

注 1. DMAC n : 0~7

注 2. DMACAa m : 0~7

注 3. RX71M は周辺モジュールからの転送要求設定を割り込みコントローラで行います。

表2.32 SH7216 グループ、RX71M のレジスタ比較 (DMAC/EXDMACa)

SH7216 グループ (DMAC) (注1)	RX71M (EXDMACa) (注2)	変更
DMA オペレーションレジスタ (DMAOR)	EXDMA モジュール起動レジスタ (EDMAST)	△
DMA ソースアドレスレジスタ _n (SAR _n)	EXDMA 転送元アドレスレジスタ (EXDMACm.EDMSAR)	◎
DMA デスティネーションアドレスレジスタ _n (DAR _n)	EXDMA 転送先アドレスレジスタ (EXDMACm.EDMDAR)	◎
DMA トランスファカウンタレジスタ _n (DMATCR _n)	EXDMA 転送カウンタレジスタ (EXDMACm.EDMCRA)	◎
DMA チャンネルコントロールレジスタ _n (CHCR _n) (注3)	EXDMA 転送モードレジスタ (EXDMACm.EDMTMD) EXDMA アドレスモードレジスタ (EXDMACm.EDMAMD) EXDMA 割り込み設定レジスタ (EXDMACm.EDMINT) EXDMA 転送許可レジスタ (EXDMACm.EDMCNT) EXDMA 外部要求センスモードレジスタ (EXDMACm.EDMRMD) EXDMA 出力設定レジスタ (EXDMACm.EDMOMD) EXDMA ステータスレジスタ (EXDMACm.EDMSTS) EXDMA ソフトウェア起動レジスタ (EXDMACm.EDMREQ)	△
—	EXDMA ブロック転送カウンタレジスタ (EXDMACm.EDMCRB) EXDMA オフセットレジスタ (EXDMAC0.EDMOFR) EXDMA 外部要求フラグレジスタ (EXDMACm.EDMERF) EXDMA 周辺要求フラグレジスタ (EXDMACm.EDMPRF) クラスタバッファレジスタ _y (CLSBRY) (y = 0~7)	—
DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3) DMA リロードソースアドレスレジスタ _n (RSAR _n) DMA リロードデスティネーションアドレスレジスタ _n (RDAR _n) DMA リロードトランスファカウンタレジスタ _n (RDMATCR _n)	—	—

注 1. DMAC n : 0~7

注 2. EXDMACa m : 0~1

注 3. RX71M は周辺モジュールからの転送要求設定を割り込みコントローラで行います。

2.6.4 起動要因設定

SH7216 グループで周辺モジュールから DMA 起動する場合は、起動要因を DMA チャンネルコントロールレジスタ (CHCR_0~7.RS[3:0]) のリソースセレクトと DMA 拡張リソースセクタ (DMARSm) に設定します。RX71M の DMA の起動要因は、割り込みコントローラの DMAC 起動要因選択レジスタ (DMRSRm) に起動要因のベクタ番号を設定することで当該割り込みによる DMA 起動を有効にします。

DMA 起動要因の種類を表 2.33 に示します。

表2.33 DMA 起動要因の比較

DMA 起動要因	SH7216 グループ	RX71M	
	DMAC	DMACAa	EXDMACa
ソフトウェアによる起動	可	可	可
外部デバイスからのリクエスト端子による起動	可 (DREQn 端子) 立ち上がりエッジ 立ち下がりエッジ ローレベル ハイレベル	不可	可 (EDREQm 端子) 立ち上がりエッジ 立ち下がりエッジ ローレベル
外部割り込み入力端子からの割り込みによる起動	不可	可 (IRQ 端子)	不可
周辺モジュールからの起動	可 (MTU, ADC, SCIF, IIC, CMT, USB, RSPI, CAN)	可 (CMT, CMTW, USB, RSPI, QSPI, SDHI, MMCIF, SSI, SRC, RIIC, SCI, PDC, SCIF, MTU, GPT, EPTPC, AES, TPU, ADC, SHA, DES, RNG, ELC)	可 (TPU, MTU)

n, m : 各 DMA のチャンネル数 (n = 0~3、m = 0~1)

2.6.5 転送回数

RX71M は転送回数を指定しないフリーランニングが可能です。SH7216 グループと RX71M のノーマル転送モードにおける転送回数の設定値を表 2.34 に示します。

表2.34 転送回数の設定値

転送回数	SH7216 グループ	RX71M (DMACAa, EXDMACa)
1 回	00000001h	0001h
65535 回	0000FFFFh	FFFFh (最大転送回数)
16, 777, 215 回	00FFFFFFh	—
16, 777, 216 回	00000000h (最大転送回数)	—
フリーランニング (転送回数指定なし)	—	0000h

2.6.6 転送元/先について

各 DMA コントローラがサポートする転送元/先について転送の可否を表 2.35～表 2.37に示します。

表2.35 SH7216 グループ DMAC 転送元/先

転送先 転送元	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	—	●○	●○	—	—
外部メモリ	●○	○	○	○	○
メモリマップト 外部デバイス	●○	○	○	○	○
内蔵周辺 モジュール	—	○	○	○	○
内蔵メモリ	—	○	○	○	○

●：シングルアドレスモードで転送可能、 ○：デュアルアドレスモードで転送可能、 —：転送不可

表2.36 RX71M DMACAa 転送元/先

転送先 転送元	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
DACK 付き 外部デバイス	—	—	—	—	—
外部メモリ	—	○	○	○	○
メモリマップト 外部デバイス	—	○	○	○	○
内蔵周辺 モジュール	—	○	○	○	○
内蔵メモリ	—	○	○	○	○

○：転送可能 —：転送不可

表2.37 RX71M EXDMACAa 転送元/先

転送先 転送元	EDACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
EDACK 付き 外部デバイス	—	●	●	—	—
外部メモリ	●	○	○	—	—
メモリマップト 外部デバイス	●	○	○	—	—
内蔵周辺 モジュール	—	—	—	—	—
内蔵メモリ	—	—	—	—	—

●：シングルアドレスモードで転送可能 ○：デュアルアドレスモードで転送可能 —：転送不可

2.6.7 アドレスモード

SH7216 グループのアドレスモードは、シングルアドレスモードとデュアルアドレスモードがあります。

RX71M の EXDMACa は SH7216 グループと同じシングルアドレスモード、デュアルアドレスモードがあり、シングルアドレスモードでは 1 つのバスサイクルで DMA 転送を行うことができます。デュアルアドレスモードでは 2 つのバスサイクルで DMA 転送を行うことができます。DMACa には、アドレスモードの概念がありませんが、SH7216 グループのデュアルアドレスモードと同様なアドレス指定と動作を行います。

2.6.8 バスモード

SH7216 グループはバスモード指定をサイクルスチールモードとバーストモードから選択します。サイクルスチールモードでは 1 転送が終了するとバスを別のバスマスタに開放します。バーストモードでは一度 DMA 転送が始まると、転送が終了するまでバスを開放しません。

RX71M では DMACa、EXDMACa とともにバスモードの指定はありません。これはバスのアーキテクチャが SH7216 グループと異なり、バスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能なためです。RX71M では CPU の命令フェッチが ROM アクセス、オペランドが RAM アクセス中に、DMAC は周辺バス、外部バス間の転送を行うことができます。

CPU がコードフラッシュメモリと RAM をアクセス中に、DMAC は内部メインバス 2 を使い、周辺バスまたは外部バスを同時にアクセスする場合の例を図 2.20 に示します。

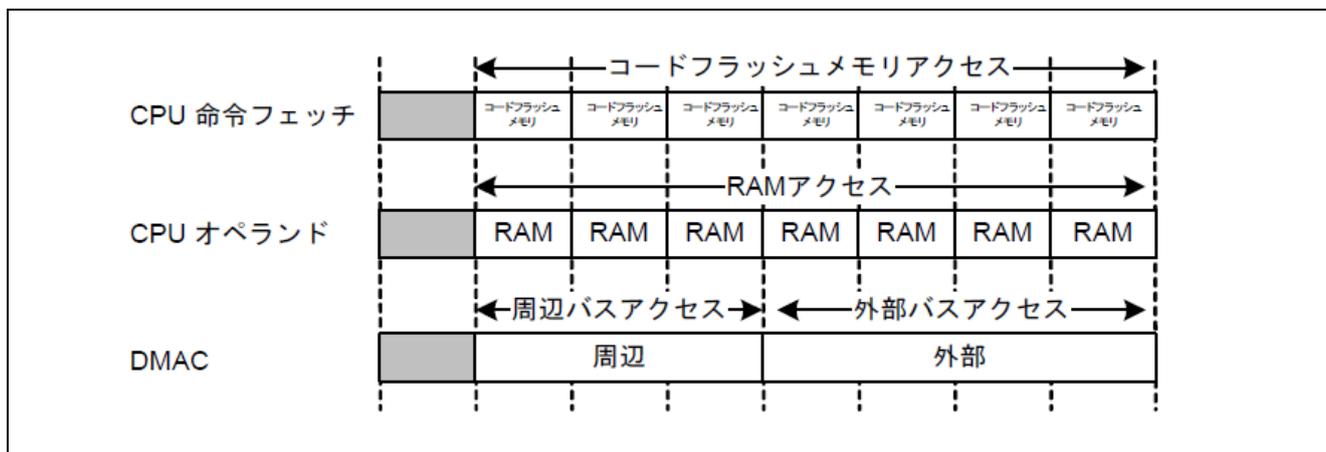


図2.20 RX71M バスの並列動作

2.6.9 モジュールストップ

RX71M はリセット後、DMACa および EXDMACa のモジュールストップが解除されています。

RX71M の DTCa と DMACa は、モジュールストップ設定ビット (MSTPCRA.MSTPA28) が共通の為、モジュールストップ制御が同時におこなわれます。EXDMACa はモジュールストップ設定ビット (MSTPCRA.MSTPA29) が独立しているため、個別に制御が可能です。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.6.10 SCIF と内蔵 RAM 間のデータ転送設定例

SH7216 と RX71M のダイレクトメモリアクセスコントローラを使用して、SCIF と内蔵 RAM との間でデータ転送を行う場合の設定例を以下に示します。なお、SCIF の初期設定例は「2.11.7 クロック同期式スレーブ受信設定例」を参照してください。本章では SCIF 割り込みによる DMAC 起動の設定例のみを示します。

<動作概要>

- SCIF を使用しクロック同期式によるスレーブ受信を行います。
- SCIF の受信データフル割り込み要求で DMAC を起動し、SCIF レジスタから内蔵 RAM へのデータ転送を行います。
- ソフトウェアを介在せずに全データの受信を行います。
- 全データ受信完了時（DMAC 転送終了時）、DMAC 転送終了割り込みを発生します。
- 全データ受信完了後、SCIF および DMAC 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.38 SCIF と内蔵 RAM 間のデータ転送動作仕様

項目	内容		備考
SCIF 仕様	表 2.98を参照		SCIF クロック同期式スレーブ受信 (RX71M : SCIFA8) (SH7216 : SCIF3)
DMAC チャンネル	DMAC0		
転送モード	ノーマル転送モード		
転送回数	32 回		
転送サイズ	バイト		
転送元	SCIF レシーブ FIFO データレジスタ (アドレス固定)		
転送先	内蔵 RAM (転送後インクリメント)		
起動要因	SCIF 受信データフル割り込み		
割り込み	DMAC 転送終了割り込み		指定回数分のデータ転送後に発生
使用端子	SCK	PC5/SCK8	SH7216 : PE4/SCK3
	RXD	PC6/RXD8	SH7216 : PE6/RXD3
	LED1	P05/汎用	転送完了で点灯
	LED2	P26/汎用	エラー検出で点灯

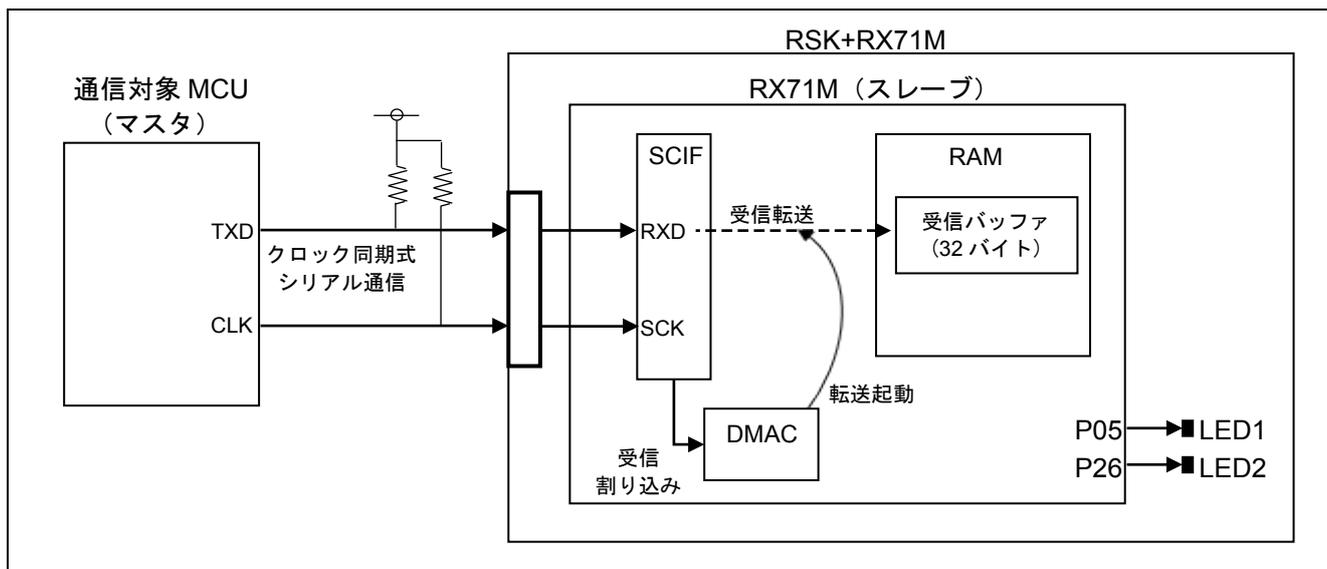


図2.21 SCIF と内蔵 RAM 間のデータ転送接続例

<注意事項>

RSK+RX71M は、設定例で使用する SCIFA8 用端子が初期状態で Ethernet-PHY に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

SH7216 の設定例で使用する割り込み関連レジスタを要因別に表 2.39に示します。

表2.39 SH7216 割り込み関連レジスタ (DMAC、INTC)

項目	ベクタ 番号	名称	DMAC		INTC
			割り込み許可	ステータス	優先レベル
設定レジスタ	—	—	DMAC0.CHCR	DMAC0.CHCR	IPR06
要因毎の設定位置 (DMAC0)					
データ転送終了割り込み	108	DEI0	IE	TE	bit 12~15

RX71M の設定例で使用する割り込み関連レジスタを要因別に表 2.40、表 2.41に示します。

表2.40 RX71M 割り込み関連レジスタ (DMACAa)

項目	名称	割り込み許可	ステータス
設定レジスタ	—	DMAC0.DMINT	DMAC0.DMSTS
要因毎の設定位置 (DMAC0)			
転送終了	—	DTIE	DTIF

表2.41 RX71M 割り込み関連レジスタ (ICUA)

項目	ベクタ 番号	名称	割り込み許可	ステータス	優先 レベル
設定レジスタ	—	—	IERm	IRr	IPRr
要因毎の設定位置 (DMAC0)					
転送終了	120	DMAC0I	IER0F.IEN0	IR120	IPR120

RX71M では、ICUA の割り込み関連レジスタへ設定を行う場合、`iodef.h` を使用し以下のように設定することができます。

- IERm : IEN (DMAC, ICUA の割り込み名称)
- IPRr : IPR (DMAC, ICUA の割り込み名称)
- IRr : IR (DMAC, ICUA の割り込み名称)

<処理フロー>

DMAC を使用した処理フロー例を図 2.22 に示します。本フローの処理名は、設定例の処理名と対応しています。SCIF 関連の処理については「2.11.7 クロック同期式スレーブ受信設定例」を参照してください。

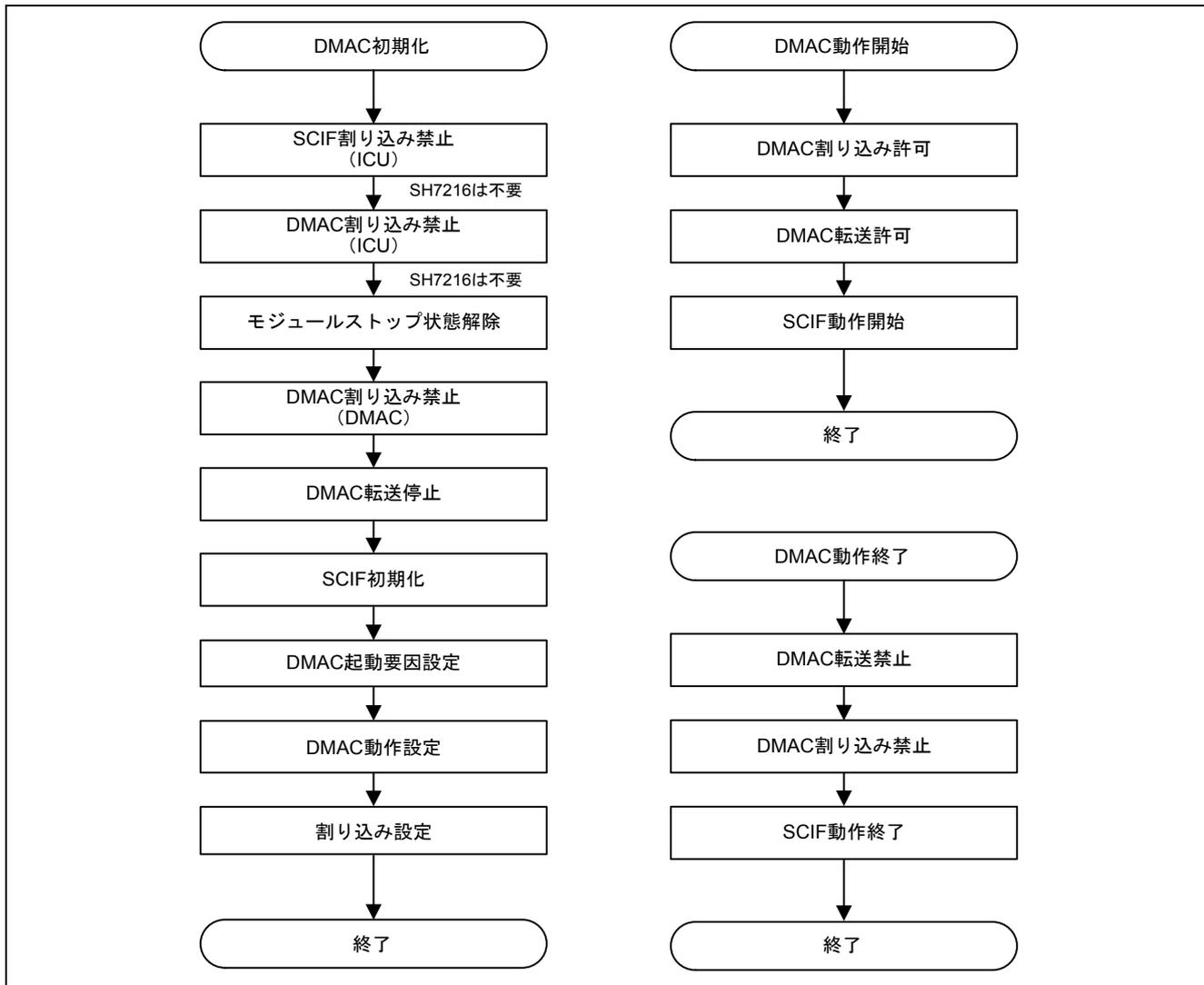


図2.22 DMAC の処理フロー例

<設定例>

以下に、SCIF と内蔵 RAM 間のデータ転送の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

本章では SCIF 関連の設定は記載しないため「2.11.7 クロック同期式スレーブ受信設定例」を参照してください。

表2.42 DMAC 初期化設定例（SCIF と内蔵 RAM 間のデータ転送）

処理	SH7216 設定例	RX71M 設定例
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (DMAC, DMAC0I) = 0b
モジュールストップ状態解除	STB.CR2._DMAC = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRA.MSTPA28 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (DMAC)	DMAC0.CHCR.IE = 0b (DEI0)	DMAC0.DMINT.DTIE = 0b
DMAC 転送停止	DMAC.DMAOR.DME = 0b DMAC0.CHCR.DE = 0b	DMAC.DMAST.DMST = 0b DMAC0.DMCNT.DTE = 0b
DMAC 起動要因設定	DMAC.DMARS0.C0MID = 100011b (SCIF3) DMAC.DMARS0.C0RID = 10b (RXI3)	ICU.DMRSR0 = 100 (RXIF8)
DMAC 動作設定	転送元情報設定 DMAC0.CHCR.SM = 00b (アドレス固定) DMAC0.SAR = SCIF3.SCFRDR レジスタアドレス 転送先情報設定 DMAC0.CHCR.DM = 01b (インクリメント) DMAC0.DAR = RAM 領域先頭アドレス 転送要求元選択 DMAC0.CHCR.RS = 1000b (拡張リソース) 転送情報 DMAC0.CHCR.TS = 00b (8 ビット) DMAC0.DMATCR = 32 (転送データ数)	転送元情報設定 DMAC0.DMAMD.SM = 00b (アドレス固定) DMAC0.DMSAR = SCIFA8.FRDR レジスタアドレス 転送先情報設定 DMAC0.DMAMD.DM = 10b (インクリメント) DMAC0.DMDAR = RAM 領域先頭アドレス 転送要求元選択 DMAC0.DMTMD.DCTG = 01b (周辺) 転送モード設定 DMAC0.DMTMD.MD = 00b (ノーマル転送) 起動要因割り込みフラグクリア設定 DMAC0.DMCSL.DISEL = 0b (転送開始時にフラグクリア) 転送情報 DMAC0.DMTMD.SZ = 00b (8 ビット) DMAC0.DMCRA = 32 (転送データ数)
割り込み設定	優先度設定 INTC.IPR06._DMAC0 = 5 DMAC ステータスクリア (注) DMAC0.CHCR.TE = 0b 注. '1'の状態を読み出した後、'0'を設定	優先度設定 IPR (DMAC, DMAC0I) = 5 (RXIF8) ICU ステータスクリア IR (DMAC, DMAC0I) = 0b (RXIF8) DMAC ステータスフラグは転送許可時にクリアされるためステータスクリア不要

表2.43 DMAC 動作開始設定例

処理	SH7216 設定例	RX71M 設定例
DMAC 割り込み許可	DMAC 割り込み許可 DMAC0.CHCR.IE = 1b (DEI0)	DMAC 割り込み許可 DMAC0.DMINT.DTIE = 1b
		ICU 割り込み許可 IEN (DMAC, DMAC0I) = 1b
DMAC 転送許可	DMAC.DMAOR.DME = 1b DMAC0.CHCR.DE = 1b	DMAC.DMAST.DMST = 1b DMAC0.DMCNT.DTE = 1b

表2.44 DMAC 動作終了設定例

処理	SH7216 設定例	RX71M 設定例
DMAC 転送禁止	DMAC0.CHCR.DE = 0b DMAC.DMAOR.DME = 0b	DMAC0.DMCNT.DTE = 0b DMAC.DMAST.DMST = 0b
DMAC 割り込み禁止		ICU 割り込み禁止 IEN (DMAC, DMAC0I) = 0b
	DMAC 割り込み禁止 DMAC0.CHCR.IE = 0b (DEI0)	DMAC 割り込み禁止 DMAC0.DMINT.DTIE = 0b

2.7 マルチファンクションタイマパルスユニット (MTU)

2.7.1 仕様比較

マルチファンクションタイマパルスユニットとして、SH7216 グループでは MTU2 と MTU2S、RX71M では MTU3a が内蔵されています。

RX71M は SH7216 グループの MTU 機能を包含しています (上位互換)。SH7216 グループと RX71M の仕様比較を表 2.45 に示します。

表2.45 SH7216 グループ、RX71M の仕様比較 (MTU)

項目		SH7216 グループ		RX71M
		MTU2	MTU2S	MTU3a
チャンネル 毎の機能 互換	16 ビットタイマ	MTU0	—	MTU0
		MTU1	—	MTU1
		MTU2	—	MTU2
		MTU3	MTU3S	MTU3, MTU6
		MTU4	MTU4S	MTU4, MTU7
		MTU5	MTU5S	MTU5
	32 ビットタイマ	—	—	MTU8
パルス入出力		最大 16 本	最大 8 本	最大 28 本
パルス入力		3 本	3 本	3 本
カウントクロック		チャンネル毎に 周辺クロック Pφ、外部 クロック (TCLKA, TCLKB, TCLKC, TCLKD) を使用して最 大 8 種類から選択	チャンネル毎に MTU2S クロック Mφ を使用して最大 6 種 類から選択	チャンネル毎に 周辺モジュールクロック PCLKA、外部クロック (MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A) を使用して最大 14 種類から選択
DTC/DMAC 起動		DTC/DMAC 起動可能	DTC 起動可能	DTC/DMAC 起動可能
A/D 変換開始トリガ		トリガ生成可能	トリガ生成可能	トリガ生成可能
割り込み要因		28 種類	13 種類	43 種類
ノイズ除去		なし	なし	外部クロック端子にノイズ フィルタを設定可能
その他		<ul style="list-style-type: none"> カスケード接続 	—	<ul style="list-style-type: none"> イベントリンク カスケード接続

2.7.2 割り込み

RX71M ではタイマステータスレジスタ (TSR) に割り込みフラグがありませんが、割り込みコントローラの当該 MTU の割り込み要求レジスタを使用することで同様な処理を実現できます。

SH7216 グループの MTU2S は DTC のみ起動が可能なのに対し、RX71M は全てのチャンネルにおいて DTC と DMAC の起動が可能です。

RX71M は選択型割り込み A に割り当てられています。割り込みコントローラを選択型割り込み A ステータスフラグ (PIARk.PIRn) は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては「1.9 割り込み処理」を参照してください。

表2.46 SH7216 グループ、RX71MMTU 割り込み要因一覧

項目	SH7216 グループ							
	MTU0	MTU1	MTU2	—	MTU3 MTU3S	MTU4 MTU4S	MTU5 MTU5S	—
	RX71M							
	MTU0	MTU1	MTU2	MTU1& MTU2 ^(注2)	MTU3 MTU6	MTU4 MTU7	MTU5	MTU8
コンペアマッチ nA ^(注3)	○	○	○	—	○	○	—	○
インプットキャプチャ nA ^(注3)	○	○	○	○	○	○	—	○
コンペアマッチ nB ^(注3)	○	○	○	—	○	○	—	○
インプットキャプチャ nB ^(注3)	○	○	○	○	○	○	—	○
コンペアマッチ nC ^(注3)	○	—	—	—	○	○	—	○
インプットキャプチャ nC ^(注3)	○	—	—	—	○	○	—	○
コンペアマッチ nD ^(注3)	○	—	—	—	○	○	—	○
インプットキャプチャ nD ^(注3)	○	—	—	—	○	○	—	○
オーバフロー	○	○	○	○	○	○	—	○
アンダフロー	—	○	○	○	—	○ ^(注1)	—	—
コンペアマッチ nE	○	—	—	—	—	—	—	—
コンペアマッチ nF	○	—	—	—	—	—	—	—
コンペアマッチ nU ^(注3)	—	—	—	—	—	—	○	—
インプットキャプチャ nU ^(注3)	—	—	—	—	—	—	○	—
コンペアマッチ nV ^(注3)	—	—	—	—	—	—	○	—
インプットキャプチャ nV ^(注3)	—	—	—	—	—	—	○	—
コンペアマッチ nW ^(注3)	—	—	—	—	—	—	○	—
インプットキャプチャ nW ^(注3)	—	—	—	—	—	—	○	—

n : チャンネル番号 ○ : 対応する — : 対応しない

注 1. 相補 PWM モード時のみ

注 2. 32 ビットアクセス時

注 3. MTU2S の場合は末尾に'S'を追加

2.7.3 レジスタ比較

SH7216 グループ、RX71M のレジスタ比較を表 2.47に示します。

表の変更欄の記号

- ◎ : SH7216 グループと RX71M でビットアサインが同じレジスタ
- △ : SH7216 グループと RX71M でビットアサインが異なるレジスタ
- : SH7216 グループと RX71M で一方にしかないレジスタ

表2.47 SH7216 グループ、RX71M のレジスタ比較 (MTU)

レジスタ名 (注1)	SH7216 グループ (MTU2, MTU2S)	RX71M (MTU3a)	変更
タイマコントロールレジスタ	TCR_0~4 TCRU/V/W_5 TCR_3/4S	MTU0~4.TCR MTU5.TCRU/V/W MTU6/7.TCR	◎
	TCRU/V/W_5S	—	—
	—	MTU8.TCR	—
タイマコントロールレジスタ 2	—	MTU0~4.TCR2 MTU6~8.TCR2 MTU5.TCR2U/V/W	—
タイマモードレジスタ (SH7216 グループ) タイマモードレジスタ 1 (RX71M)	TMDR_0/3/4 TMDR_3/4S	MTU0/3/4.TMDR1 MTU6/7.TMDR1	◎
	TMDR_1/2	MTU1/2.TMDR1	△
	—	MTU8.TMDR1	—
タイマモードレジスタ 2	—	MTU.TMDR2A/B	—
タイマモードレジスタ 3	—	MTU1.TMDR3	—
タイマ I/O コントロールレジスタ	TIORH_0 TIOR_1	MTU0.TIORH MTU1.TIOR	△
	TIORL_0 TIOR_2 TIORU/V/W_5 TIORH/L_3/4 TIORH/L_3/4S	MTU0.TIORL MTU2.TIOR MTU5.TIORU/V/W MTU3/4.TIORH/L MTU6/7.TIORH/L	◎
	TIORU/V/W_5S	—	—
	—	MTU8.TIORH/L	—
	—	—	—
タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	MTU5.TCNTCMPCLR	◎
	TCNTCMPCLRS	—	—
タイマインタラプトイネーブルレジスタ	TIER_0~5 TIER_3/4S TIER2_0	MTU0~5.TIER MTU6/7.TIER MTU0.TIER2	◎
	TIER_5S	—	—
	—	MTU8.TIER	—
	—	—	—
タイマステータスレジスタ	TSR_1~4 TSR_3/4S	MTU1~4.TSR MTU6/7.TSR	△
	TSR_0, TSR2_0 TSR_5/5S	—	—
タイマバッファ動作転送モードレジスタ	TBTM_0/3/4 TBTM_3/4S	MTU0/3/4.TBTM MTU6/7.TBTM	◎
タイマインプットキャプチャコントロールレジスタ	TICCR	MTU1.TICCR	◎
タイマ A/D 変換開始要求コントロールレジスタ	TADCR, TADCRS	MTU4.TADCR, MTU7.TADCR	◎
タイマ A/D 変換開始要求周期設定レジスタ	TADCORA/B_4 TADCORA/B_4S	MTU4.TADCORA/B MTU7.TADCORA/B	◎

レジスタ名 (注1)	SH7216 グループ (MTU2, MTU2S)	RX71M (MTU3a)	変更
タイマ A/D 変換開始要求周期設定バッファレジスタ	TADCOBRA/B_4 TADCOBRA/B_4S	MTU4.TADCOBRA/B MTU7.TADCOBRA/B	◎
タイマカウンタ	TCNT_0~4	MTU0~4.TCNT	◎
	TCNTU/V/W_5	MTU5.TCNTU/V/W	
	TCNT_3/4S	MTU6/7.TCNT	
	TCNTU/V/W_5S	—	—
	—	MTU8.TCNT	—
タイマロングワードカウンタ	—	MTU1.TCNTLW	—
タイマジェネラルレジスタ	TGR_0 (A~F)	MTU0.TGR (A~F)	◎
	TGR_1/2 (A, B)	MTU1/2.TGR (A, B)	
	TGR_3/4 (A~D)	MTU3/4.TGR (A~D)	
	TGR_5 (U, V, W)	MTU5.TGR (U, V, W)	
	TGR_3/4S (A~D)	MTU6/7.TGR (A~D)	
	TGR_5S (U, V, W)	—	—
	—	MTU3/6.TGR (E) MTU4/7.TGR (E, F) MTU8.TGR (A~D)	—
タイマロングワードジェネラルレジスタ	—	MTU1.TGRA/BLW	—
タイマスタートレジスタ	TSTR	MTU.TSTRA	◎
	TSTRS, TSTR_5	MTU.TSTRB, MTU5.TSTR	◎
	TSTR_5S	—	—
タイマシンクロレジスタ	TSYR, TSYRS	MTU.TSYRA, MTU.TSYRB	◎
タイマシンクロクリアレジスタ	TSYCRS	MTU6.TSYCR	◎
タイマカウンタシンクロスタートレジスタ	TCSYSTR	MTU.TCSYSTR	◎
タイマリードライトイネーブルレジスタ	TRWER, TRWERS	MTU.TRWERA, MTU.TRWERB	◎
タイマアウトプットマスタイネーブルレジスタ	TOER, TOERS	MTU.TOERA, MTU.TOERB	◎
タイマアウトプットコントロールレジスタ 1	TOCR1, TOCR1S	MTU.TOCR1A, MTU.TOCR1B	◎
タイマアウトプットコントロールレジスタ 2	TOCR2, TOCR2S	MTU.TOCR2A, MTU.TOCR2B	◎
タイマアウトプットレベルバッファレジスタ	TOLBR, TOLBRS	MTU.TOLBRA, MTU.TOLBRB	◎
タイマゲートコントロールレジスタ (SH7216 グループ)	TGCR	MTU.TGCRA	◎
	TGCRS	—	—
タイマゲートコントロールレジスタ A (RX71M)	—	—	—
タイマサブカウンタ	TCNTS, TCNTSS	MTU.TCNTSA, MTU.TCNTSB	◎
タイマ周期データレジスタ	TCDR, TCDRS	MTU.TCDRA, MTU.TCDRB	◎
タイマ周期バッファレジスタ	TCBR, TCBRS	MTU.TCBRA, MTU.TCBRB	◎
タイマデッドタイムデータレジスタ	TDDR, TDDRS	MTU.TDDRA, MTU.TDDR	◎
タイマデッドタイムイネーブルレジスタ	TDER, TDERS	MTU.TDERA, MTU.TDERB	◎
タイマバッファ転送設定レジスタ	TBTER, TBTERS	MTU.TBTERA, MTU.TBTERB	◎
タイマ波形コントロールレジスタ	TWCR, TWCRS	MTU.TWCRA, MTU.TWCRB	◎
タイマ割り込み間引き設定レジスタ (SH7216 グループ)	TITCR, TITCRS	MTU.TITCR1A, MTU.TITCR1B	◎
	—	—	—
タイマ割り込み間引き設定レジスタ 1 (RX71M)	—	MTU.TITCR2A, MTU.TITCR2B	—
タイマ割り込み間引き回数カウンタ (SH7216 グループ)	TITCNT, TITCNTS	MTU.TITCNT1A, MTU.TITCNT1B	◎
	—	—	—
タイマ割り込み間引き回数カウンタ 1 (RX71M)	—	MTU.TITCNT2A, MTU.TITCNT2B	—
タイマ割り込み間引き回数カウンタ 2	—	—	—
タイマ割り込み間引きモードレジスタ	—	MTU.TITMRA, MTU.TITMRB	—

レジスタ名 (注1)	SH7216 グループ (MTU2, MTU2S)	RX71M (MTU3a)	変更
ノイズフィルタコントロールレジスタ n	—	MTU0~4.NFCR0~4 MTU6~8.NFCR6~8 MTU0.NFCRC	—
ノイズフィルタコントロールレジスタ 5	—	MTU5.NFCR5	—

注 1. SH7216 グループの MTU2S はレジスタ名の末尾に S が付く

2.7.4 モジュールストップ

RX71M の MTU3a は、SH7216 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.7.5 コンペアマッチによるパルス出力設定例

SH7216 と RX71M のマルチファンクションタイムパルスユニットを使用して、コンペアマッチによるパルス出力を行う場合の設定例を以下に示します。

<動作概要>

- コンペアマッチにより端子からトグル出力を行います。
- ソフトウェアを介在せずにデューティ比 50% のパルス出力を継続します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.48 コンペアマッチによるパルス出力動作仕様

項目	内容		備考
MTU チャンネル	MTU4		
カウントクロック	PCLKA/1 の立ち上がりエッジでカウント (PCLKA = 120MHz)		SH7216 : Pφ/1 の立ち上がりエッジでカウント (Pφ = 50MHz)
動作モード	ノーマルモード		
カウンタクリア要因	TGRB のコンペアマッチ		
タイマジェネラルレジスタ	アウトプットコンペアレジスタとして使用		
コンペアマッチ値	0xEA5F (0.5ms@120MHz)		SH7216 : 0x61A8 (0.5ms@50MHz)
MTU 端子の動作	初期出力は Low 出力 TGRB のコンペアマッチでトグル出力		
ノイズ除去	使用しない		
割り込み	使用しない		
使用端子	MTIOC	PC2/MTIOC4B	SH7216 : PE13/TIOC4B
	LED0	P03/汎用	パルス出力開始で点灯

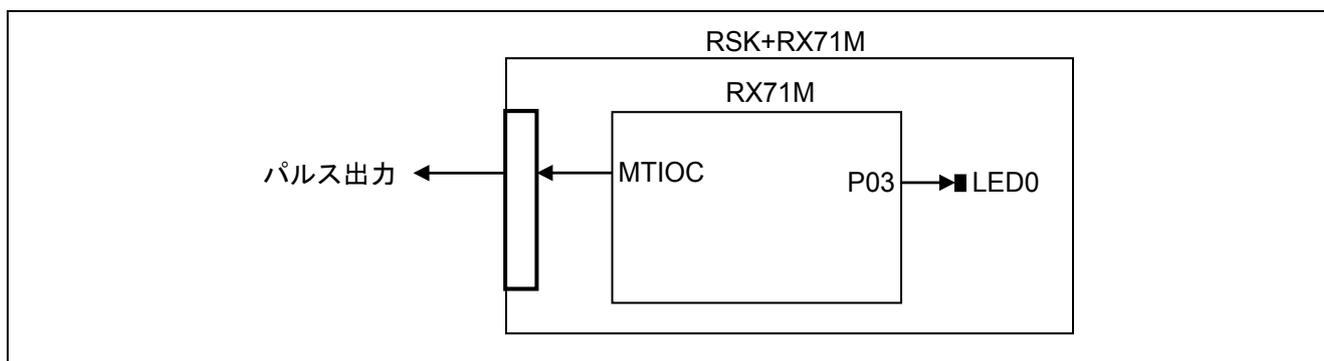


図2.23 コンペアマッチによるパルス出力接続例

<注意事項>

RSK+RX71M は、設定例で使用する MTU4 用端子が初期状態で Ethernet-PHY に接続されていますので、必要に応じてボードの改造などを実施してください。

<処理フロー>

MTU を使用した処理フロー例を図 2.24に示します。割り込みを使用しない場合は、割り込み関連の処理は不要です。本フローの処理名は、設定例の処理名と対応しています。

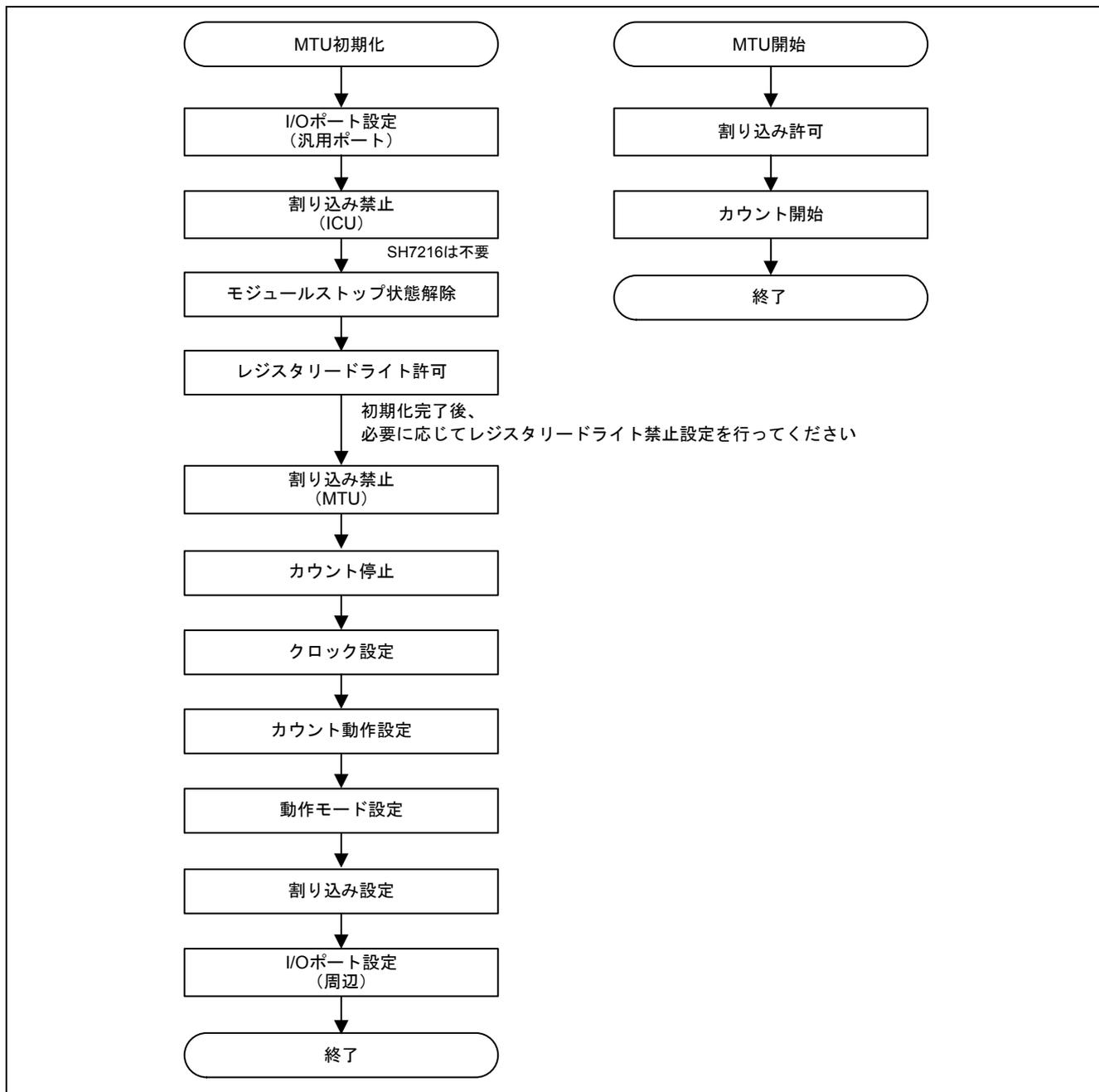


図2.24 MTU 処理フロー例

<設定例>

以下に、コンペアマッチによるパルス出力の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。

表2.49 MTU 初期化設定例（コンペアマッチによるパルス出力）

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	出力値の設定 (出力 0) PE.DR.B13 = 0b (PE13) 端子の向き設定 PFC.PEIORL.B13 = 1b (出力/PE13) 端子モード設定 (ポート) PFC.PECRL4.PE13MD = 000b (PE13)	出力値の設定 (出力 0) PORTC.PODR.B2 = 0b (PC2) 端子の向き設定 PORTC.PDR.B2 = 1b (出力/PC2) 端子モード設定 (汎用) PORTC.PMR.B2 = 0b (PC2)
モジュールストップ状態解除	STB.CR3._MTU2 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRA.MSTPA9 = 0b SYSTEM.PRCR = A500h
レジスタリードライト許可	MTU2.TRWER.RWE = 1b	MTU.TRWERA.RWE = 1b
カウント停止	MTU2.TSTR.CST4 = 0b	MTU.TSTRA.CST4 = 0b
クロック設定	内部クロック分周比設定 MTU24.TCR.TPSC = 000b カウントエッジ設定 MTU24.TCR.CKEG = 00b	内部クロック分周比設定 MTU4.TCR.TPSC = 000b MTU4.TCR2.TPSC2 = 000b カウントエッジ設定 MTU4.TCR.CKEG = 00b
カウント動作設定	カウンタクリア MTU24.TCNT = 0 独立動作設定 MTU2.TSYR.SYNC4 = 0b カウンタクリア要因設定 MTU24.TCR.CCLR = 010b 端子動作設定 MTU24.TIOR.IOB = 0011b 端子出力許可 MTU2.TOER.OE4B = 1b 周期設定 MTU24.TGRB = 61A8h	カウンタクリア MTU4.TCNT = 0 独立動作動作 MTU.TSYRA.SYNC4 = 0b カウンタクリア要因設定 MTU4.TCR.CCLR = 010b 端子動作設定 MTU4.TIORH.IOB = 0011b 端子出力許可 MTU.TOERA.OE4B = 1b 周期設定 MTU4.TGRB = EA5Fh
動作モード設定	MTU24.TMDR.BFB = 0b MTU24.TMDR.MD = 0000b	MTU4.TMDR1.BFB = 0b MTU4.TMDR1.MD = 0000b
レジスタリードライト禁止	MTU2.TRWER.RWE の値を読み出し MTU2.TRWER.RWE = 0b	MTU.TRWERA.RWE の値を読み出し MTU.TRWERA.RWE = 0b
I/O ポート設定 (周辺)	端子モード設定 PFC.PECRL4.PE13MD = 100b (TIOC4B)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.PC2PFS.PSEL = 000001b (MTIOC4B) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORTC.PMR.B2 = 1b (MTIOC4B)

表2.50 MTU コンペアマッチ動作開始設定例

処理	SH7216 設定例	RX71M 設定例
カウント開始	MTU2.TSTR.CST4 = 1b	MTU.TSTRA.CST4 = 1b

2.7.6 インพุットキャプチャによるパルス幅測定設定例

SH7216 と RX71M のマルチファンクションタイマパルスユニットを使用して、インพุットキャプチャによる入力パルス幅測定を行う場合の設定例を以下に示します。

<動作概要>

- インพุットキャプチャにより対応する端子からの入力パルス幅を測定します。
- インพุットキャプチャ割り込みで High 幅の時間を取得し、RAM に格納します。
- オーバフロー割り込みでオーバフロー回数をカウントし、上限回数を超えた場合はエラーとします。
- エラーを検出した場合は、インพุットキャプチャ動作を終了します。
- エラーを検出するまでは動作を継続します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、`iodefine.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.51 インพุットキャプチャによるパルス幅測定動作仕様

項目	内容		備考
MTU チャンネル	MTU4		
カウントクロック	PCLKA/1 の立ち上がりエッジでカウント (PCLKA = 120MHz)		SH7216 : Pφ/1 の立ち上がりエッジでカウント (Pφ = 50MHz)
動作モード	ノーマルモード		
カウンタクリア要因	TGRB のインพุットキャプチャ		
タイマジェネラルレジスタ	インพุットキャプチャレジスタとして使用		
オーバフロー上限回数	0xFFFF 回		
MTU 端子の動作	両エッジでインพุットキャプチャ		
ノイズ除去	使用しない		
割り込み	TGRB インพุットキャプチャ TCNT のオーバフロー		優先レベル 5 優先レベル 6
使用端子	MTIOC	PC2/MTIOC4B	SH7216 : PE13/TIOC4B
	LED0	P03/汎用	パルス幅計測開始で点灯
	LED1	P05/汎用	エラー検出で点灯

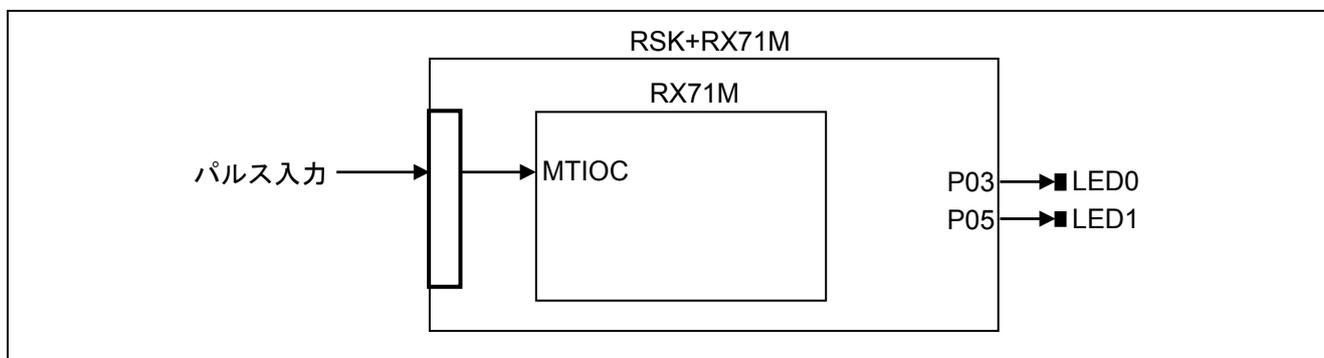


図2.25 インพุットキャプチャによるパルス幅測定接続例

<注意事項>

RSK+RX71M は、設定例で使用する MTU4 用端子が初期状態で Ethernet-PHY に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

SH7216 の設定例で使用する割り込み関連レジスタを要因別に表 2.52 に示します。

表2.52 SH7216 割り込み関連レジスタ (MTU2、INTC)

項目	ベクタ番号	名称	MTU2		INTC
			割り込み許可	ステータス	優先レベル
設定レジスタ	—	—	MTU2.TIER_4	MTU2.TSR_4	IPR11
要因毎の設定位置 (MTU4-TGRB)					
入力キャプチャ/ コンペアマッチ	189	TGIB_4	TGIEB	TGFB	bit 12~15
アンダフロー/オーバフロー	192	TCIV_4	TCIEV	TCFV	bit 8~11

RX71M の設定例で使用するの割り込み関連レジスタを要因別に表 2.53、表 2.54 に示します。RX71M は MTU 関連割り込みが、選択型割り込み A に割り当てられています。設定例では、下記のとおり選択型割り込み A のベクタ 210 および 211 を使用します。

- SLIAR210 = 22 : TGIB4 を選択型割り込み A ベクタ 210 に割り当て
- SLIAR211 = 25 : TCIV4 を選択型割り込み A ベクタ 211 に割り当て

表2.53 RX71M 割り込み関連レジスタ (MTU3a)

項目	名称	割り込み許可	ステータス
設定レジスタ	—	MTU4.TIER	—
要因毎の設定位置 (MTU4-TGRB)			
入力キャプチャ/コンペアマッチ	TGIB4	TGIEB	—
オーバフロー/アンダフロー	TCIV4	TCIEV	—

表2.54 RX71M 割り込み関連レジスタ (ICUA)

項目	ベクタ番号	名称	割り込み許可	ステータス	優先レベル	選択型割り込み要因選択
設定レジスタ	—	—	IERm	IRr	IPRr	SLIARn
要因毎の設定位置 (MTU4-TGRB)						
入力キャプチャ/ コンペアマッチ	210	TGIB4	IER1A.IEN2	IR210	IPR210	SLIAR210 = 22
オーバフロー/アンダフロー	211	TCIV4	IER1A.IEN3	IR211	IPR211	SLIAR211 = 25

↑

選択型割り込みの設定

RX71M では、ICUA の割り込み関連レジスタへ設定を行う場合、iodefine.h を使用し以下のように設定することができます。xx は選択型割り込みを割り当てたベクタ番号です。

- IERm : IEN (PERIA, INTAxx)
- IPRr : IPR (PERIA, INTAxx)
- IRr : IR (PERIA, INTAxx)

<設定例>

以下に、インプットキャプチャによるパルス幅測定の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。

表2.55 MTU 初期化設定例（インプットキャプチャによるパルス幅測定）

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	端子の向き設定 PFC.PEIORL.B13 = 0b (入力/PE13) 端子モード設定 (ポート) PFC.PECRL4.PE13MD = 000b (PE13)	端子の向き設定 PORTC.PDR.B2 = 0b (入力/PC2) 端子モード設定 (汎用) PORTC.PMR.B2 = 0b (PC2)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (PERIA, INTA210) = 0b IEN (PERIA, INTA211) = 0b
モジュールストップ状態 解除	STB.CR3._MTU2 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRA.MSTPA9 = 0b SYSTEM.PRCR = A500h
レジスタリードライト 許可	MTU2.TRWER.RWE = 1b	MTU.TRWERA.RWE = 1b
割り込み禁止 (MTU)	MTU24.TIER.TGIEB = 0b (TGIB_4) MTU24.TIER.TCIEV = 0b (TCIV_4)	MTU4.TIER.TGIEB = 0b (TGIB4) MTU4.TIER.TCIEV = 0b (TCIV4)
カウント停止	MTU2.TSTR.CST4 = 0b	MTU.TSTRA.CST4 = 0b
クロック設定	内部クロック分周比設定 MTU24.TCR.TPSC = 000b カウントエッジ設定 MTU24.TCR.CKEG = 00b	内部クロック分周比設定 MTU4.TCR.TPSC = 000b MTU4.TCR2.TPSC2 = 000b カウントエッジ設定 MTU4.TCR.CKEG = 00b
カウント動作設定	カウンタクリア MTU24.TCNT = 0 MTU24.TGRB = 0 独立動作設定 MTU2.TSYR.SYNC4 = 0b カウンタクリア要因設定 MTU24.TCR.CCLR = 010b 端子動作設定 MTU24.TIOR.IOB = 1010b	カウンタクリア MTU4.TCNT = 0 MTU4.TGRB = 0 独立動作動作 MTU.TSYRA.SYNC4 = 0b カウンタクリア要因設定 MTU4.TCR.CCLR = 010b 端子動作設定 MTU4.TIORH.IOB = 1010b
動作モード設定	MTU24.TMDR.BFB = 0b MTU24.TMDR.MD = 0000b	MTU4.TMDR1.BFB = 0b MTU4.TMDR1.MD = 0000b

処理	SH7216 設定例	RX71M 設定例
割り込み設定	<p>優先度設定 INTC.IPR11._MTU24G = 5 (TGIB_4) INTC.IPR11._MTU24C = 6 (TCIV_4)</p> <p>MTU ステータスクリア^(注) MTU24.TSR.TGFB = 0b (TGIB_4) MTU24.TSR.TCFV = 0b (TCIV_4) 注. '1'の状態を読み出した後、'0'を設定</p>	<p>選択型割り込みをベクタに割り当て ICU.SLIAR210 = 22 (TGIB4) ICU.SLIAR211 = 25 (TCIV4) 選択型割り込み要因選択レジスタを保護 ICU.SLIPRCR.WPRC = 1b^(注1) ICU.SLIPRCR.WPRC が'1'になるまで待つ</p> <p>優先度設定 IPR (PERIA, INTA210) = 5 (TGIB4) IPR (PERIA, INTA211) = 6 (TCIV4) ICU ステータスクリア IR (PERIA, INTA210) = 0b (TGIB4) IR (PERIA, INTA211) = 0b (TCIV4)</p>
I/O ポート設定 (周辺)	<p>端子モード設定 PFC.PECRL4.PE13MD = 100b (TIOC4B)</p>	<p>レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.PC2PFS.PSEL = 000001b (MTIOC4B) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORTC.PMR.B2 = 1b (MTIOC4B)</p>

注 1. ICU.SLIPRCR.WPRC は一度“1”にすると、ソフトウェアでは“0”にできません

表2.56 MTU インพุットキャプチャ動作開始設定例

処理	SH7216 設定例	RX71M 設定例
割り込み許可	<p>MTU 割り込み許可 MTU24.TIER.TGIEB = 1b (TGIB_4) MTU24.TIER.TCIEV = 1b (TCIV_4)</p>	<p>MTU 割り込み許可 MTU4.TIER.TGIEB = 1b (TGIB4) MTU4.TIER.TCIEV = 1b (TCIV4) ICU 割り込み許可 IEN (PERIA, INTA210) = 1b (TGIB4) IEN (PERIA, INTA211) = 1b (TCIV4)</p>
カウント開始	MTU2.TSTR.CST4 = 1b	MTU.TSTRA.CST4 = 1b

2.8 ポートアウトプットイネーブル (POE)

2.8.1 仕様比較

ポートアウトプットイネーブル機能として、SH7216 グループでは POE2、RX71M では POE3 が内蔵されています。

RX71M は SH7216 グループの POE 機能を包含しています (上位互換)。SH7216 グループと RX71M の仕様比較を表 2.57 に示します。

表2.57 SH7216 グループ、RX71M の仕様比較 (POE)

項目	SH7216 グループ (POE2)	RX71M (POE3)
クロックソース	周辺クロック (Pφ)	周辺モジュールクロック (PCLKB)
ハイインピーダンス制御対象端子	<ul style="list-style-type: none"> ● MTU0 用端子 ● MTU 大電流端子 <ul style="list-style-type: none"> — MTU3 用端子 — MTU4 用端子 — MTU3S 用端子 — MTU4S 用端子 	<ul style="list-style-type: none"> ● MTU0 用端子 ● MTU 相補 PWM 出力端子 <ul style="list-style-type: none"> — MTU3 用端子 — MTU4 用端子 — MTU6 用端子 — MTU7 用端子 ● GPT 出力端子 <ul style="list-style-type: none"> — GPT0 用端子 — GPT1 用端子 — GPT2 用端子 — GPT3 用端子
ハイインピーダンス要求発生条件	<ul style="list-style-type: none"> ● 入力端子の変化 <ul style="list-style-type: none"> — 立下リエッジ — Pφ/8×16 回のローレベル — Pφ/16×16 回のローレベル — Pφ/128×16 回のローレベル ● 組み合わせの出力信号レベルが 1 サイクル以上一致 (短絡) ● レジスタ設定 	<ul style="list-style-type: none"> ● 入力端子の変化 <ul style="list-style-type: none"> — 立下リエッジ — PCLKB/8×16 回のローレベル — PCLKB/16×16 回のローレベル — PCLKB/128×16 回のローレベル ● 組み合わせの出力信号レベルが 1 サイクル以上一致 (短絡) ● レジスタ設定 ● クロック発生回路の発振停止検出
割り込み要因	<ul style="list-style-type: none"> ● 入力端子の変化によるハイインピーダンス要求 ● 出力信号レベルの比較によるハイインピーダンス要求 	<ul style="list-style-type: none"> ● 入力端子の変化によるハイインピーダンス要求 ● 出力信号レベルの比較によるハイインピーダンス要求
その他	—	MTU 相補 PWM 出力端子、MTU0 用端子、GPT 端子のハイインピーダンス制御条件の追加が可能

2.8.2 入出力端子

SH7216 グループの入力端子は MTU 用の POE0#～POE4#および POE8#のみに対応しているのに対し、RX71M は MTU に加え GPT 用の入力端子にも対応しています。

SH7216 グループは MTU0 用端子が汎用入出力機能または MTU2、MTU2S 機能が選択されている場合のみハイインピーダンスになります。RX71M は MTU 相補 PWM 出力端子および MTU0 用端子、GPT 端子をマルチプレクスしている端子が、MTU および GPT を選択していない場合でもハイインピーダンスになります。

SH7216 グループと RX71M の入力端子を表 2.58、出力端子の比較組み合わせを表 2.59に示します。

表2.58 POE 入力端子の一覧

SH7216 グループ	RX71M	ハイインピーダンス制御対象 ^(注1)
POE0#～POE3#	POE0#	SH7216 グループ : MTU3, 4 用端子 RX71M : MTU3, 4 用端子または GPT 出力端子
POE4#	POE4#	SH7216 グループ : MTU3S, 4S 用端子 RX71M : MTU6, 7 用端子
POE8#	POE8#	MTU0 用端子
—	POE10#	GPT0, 1 用端子
—	POE11#	GPT2, 3 用端子

注 1. RX71M はハイインピーダンス制御条件の追加により他の端子も制御可能。

表2.59 POE 出力端子の組み合わせ一覧

SH7216 グループ	RX71M	ハイインピーダンス制御対象
TIOC3B と TIOC3D	MTIOC3B と MTIOC3D	MTU3, 4 用端子
TIOC4A と TIOC4C	MTIOC4A と MTIOC4C	
TIOC4B と TIOC4D	MTIOC4B と MTIOC4D	
TIOC3BS と TIOC3DS	MTIOC6B と MTIOC6D	SH7216 グループ : MTU3S, 4S 用端子 RX71M : MTU6, 7 用端子
TIOC4AS と TIOC4CS	MTIOC7A と MTIOC7C	
TIOC4BS と TIOC4DS	MTIOC7B と MTIOC7D	
—	GTIOC0A と GTIOC0B	GPT0, 1, 2 用端子
—	GTIOC1A と GTIOC1B	
—	GTIOC2A と GTIOC2B	

2.8.3 レジスタ比較

SH7216 グループは、ポートアウトプットイネーブルコントロールレジスタ (POECR1/2) でポートのインピーダンス状態設定を行うのに対し、RX71M はポートアウトプットイネーブルコントロールレジスタ (POECR1/2) で端子のインピーダンス状態の設定を行い、各 MTU チャネルの端子選択レジスタ (M0SELR1/2, M3SELR, M4SELR1/2) で端子に割り当てるポートを指定します。

SH7216 グループ、RX71M のレジスタ比較を表 2.60 に示します。

表の変更欄の記号

- ◎ : SH7216 グループと RX71M でビットアサインが同じレジスタ
- △ : SH7216 グループと RX71M でビットアサインが異なるレジスタ
- : SH7216 グループと RX71M で一方にしかないレジスタ

表2.60 SH7216 グループ、RX71M のレジスタ比較 (POE)

SH7216 グループ (POE2)	RX71M (POE3)	変更
入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	◎
入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	入力レベルコントロール/ステータスレジスタ 2 (ICSR2)	◎
入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	◎
—	入力レベルコントロール/ステータスレジスタ 4 (ICSR4) 入力レベルコントロール/ステータスレジスタ 5 (ICSR5) 入力レベルコントロール/ステータスレジスタ 6 (ICSR6)	—
出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	◎
出力レベルコントロール/ステータスレジスタ 2 (OCSR2)	出力レベルコントロール/ステータスレジスタ 2 (OCSR2)	◎
ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	△
ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) MTU0 端子選択レジスタ 1 (M0SELR1) MTU0 端子選択レジスタ 2 (M0SELR2)	△
ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) MTU3 端子選択レジスタ (M3SELR) MTU4 端子選択レジスタ 1 (M4SELR1) MTU4 端子選択レジスタ 2 (M4SELR2)	△
—	アクティブレベルレジスタ 1 (ALR1) ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3) ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4) ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5) ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)	—

SH7216 グループ (POE2)	RX71M (POE3)	変更
—	GPT0 端子選択レジスタ (G0SELR) GPT1 端子選択レジスタ (G1SELR) GPT2 端子選択レジスタ (G2SELR) GPT3 端子選択レジスタ (G3SELR) MTU/GPT 端子機能選択レジスタ (MGSELR)	—

2.8.4 発振停止検出検知によるハイインピーダンス制御

RX71M は、クロック発生回路の発振停止検出機能により発振停止が検出されると、任意の MTU 相補 PWM 出力端子および MTU0 端子、GPT 出力端子、GPT3 端子をハイインピーダンスにすることができます。

発振停止検出でハイインピーダンスになった端子は、リセットで初期状態に戻すか、レジスタ設定でハイインピーダンス状態を解除します。

2.8.5 ハイインピーダンス制御条件の追加

RX71M は、MTU 相補 PWM 出力端子および MTU0 端子、GPT 出力端子のハイインピーダンス制御条件を追加することができます。追加可能なハイインピーダンス制御条件を表 2.61 に示します。

表2.61 RX71M ハイインピーダンス制御条件の追加

ハイインピーダンス制御対象	追加可能な条件
MTU3, 4 用端子 GPT0, 1, 2 用端子	POE4#, 8#, 10#, 11#端子による入力レベル検出
MTU6, 7 用端子	POE0#, 8#, 10#, 11#端子による入力レベル検出
MTU0 用端子	POE0#, 4#, 10#, 11#端子による入力レベル検出
GPT0, 1 用端子	POE0#, 4#, 8#, 11#端子による入力レベル検出
GPT2, 3 用端子	POE0#, 4#, 8#, 10#端子による入力レベル検出

2.8.6 割り込み

RX71M の POE3 は、グループ割り込み BL1 に割り当てられています。割り込みコントローラのグループ BL1 割り込みステータスフラグ (GRPBL1.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

割り込みについては「1.9 割り込み処理」を参照してください。

2.9 ウォッチドッグタイマ (WDT)

2.9.1 仕様比較

ウォッチドッグタイマ機能として、SH7216 グループでは WDT、RX71M では WDTA の他に、独立した専用クロックで動作し低消費電力状態でも動作が可能な IWDTa が内蔵されています。

SH7216 グループと RX71M の仕様比較を表 2.62 に示します。

表2.62 SH7216 グループ、RX71M の仕様比較 (WDT)

項目	SH7216 グループ (WDT)	RX71M (WDTA, IWDTa)
クロックソース	周辺クロック (Pφ)	WDTA : 周辺モジュールクロック (PCLKB) IWDTa : IWDT 専用クロック (IWDTCLK) PCLKB ≥ 4 × IWDTCLK 分周後周波数
クロック分周比	Pφ/1, 64, 128, 256, 512, 1024, 4096, 16384	WDTA : PCLKB/4, 64, 128, 512, 2048, 8192 IWDTa : IWDTCLK/1, 16, 32, 64, 128, 256
カウント動作	8 ビットのアップカウンタ	14 ビットのダウンカウンタ
動作モード	<ul style="list-style-type: none"> ウォッチドックタイマモード インターバルタイマモード 	なし <ul style="list-style-type: none"> リセット出力許可 (ウォッチドックタイマモード相当) 割り込み要求許可 (インターバルタイマモード相当)
カウント開始条件	<ul style="list-style-type: none"> タイマイネーブルビット設定 	オートスタートモード時 <ul style="list-style-type: none"> リセット後 アンダフロー発生後 リフレッシュエラー発生後 レジスタスタートモード時 <ul style="list-style-type: none"> リフレッシュ動作
カウント停止条件	<ul style="list-style-type: none"> タイマイネーブルビット設定 オーバフローによる内部リセット時 RES 端子によるパワーオンリセット時 (カウンタおよび設定初期化) 	<ul style="list-style-type: none"> リセット時 (カウンタおよび設定初期化) アンダフロー発生時 リフレッシュエラー発生時
オーバフロー/アンダフロー時の動作	ウォッチドッグタイマモード時 <ul style="list-style-type: none"> 内部リセット (パワーオンリセット、マニュアルリセット) WDTOVF 出力 インターバルタイマモード時 <ul style="list-style-type: none"> 割り込み 	リセット出力許可時 <ul style="list-style-type: none"> 内部リセット 割り込み要求出力許可時 <ul style="list-style-type: none"> 割り込み
割り込み要因	<ul style="list-style-type: none"> アップカウンタのオーバフロー 	<ul style="list-style-type: none"> ダウンカウンタのアンダフロー リフレッシュエラー
その他	—	<ul style="list-style-type: none"> イベントリンク (IWDTa のみ) ウィンドウ機能 低消費電力状態でも動作可能 (IWDTa のみ) オートスタートモード時の設定をオプション機能選択レジスタ 0 で行う <ul style="list-style-type: none"> — クロック分周比 — リフレッシュウインドウ開始/終了 — タイムアウト期間 — 割り込み要求許可/リセット許可を選択

2.9.2 カウント開始条件

SH7216 グループはタイマイネーブルビットへの1書き込みでカウントを開始します。RX71M はオプション機能選択レジスタに設定することでSH7216 グループ同様にレジスタ書き込みでカウントを開始するレジスタスタートモードと、リセット後に自動的にカウントを開始するオートスタートモードの選択が可能です。

RX71M のオートスタートモードを選択した場合、オプション機能選択レジスタ (OFS0) の設定に従い、リセット後に自動的にカウントを開始します。レジスタスタートモードを選択した場合、リセット解除後に各レジスタの設定後、リフレッシュにより、カウントを開始します。

2.9.3 リフレッシュ動作

RX71M はWDT リフレッシュレジスタ (WDTRR) へ“00h”を書き込んだ後、続けて“FFh”を書き込むことでカウントをリフレッシュします。WDT リフレッシュレジスタへの書き込みは、リフレッシュ許可期間内に行う必要があります。IWDTa のカウントをリフレッシュする場合は、リフレッシュ許可期間内にIWDT リフレッシュレジスタ (IWDRR) へ同様の書き込みを行ってください。

表2.63 リフレッシュ動作の比較

項目	SH7216 グループ	RX71M (WDTA)
リフレッシュ条件	ウォッチドッグタイマカウンタ (WTCNT) への書き込み	リフレッシュ許可期間内にリフレッシュレジスタ (WDTRR) に“00h”を書き込み後、“FFh”を書き込む
リフレッシュ後のカウンタ初期値	ウォッチドッグタイマカウンタ (WTCNT) へ書き込んだ値	レジスタスタートモード時 <ul style="list-style-type: none"> WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS) で選択した値 オートスタートモード時 <ul style="list-style-type: none"> オプション機能選択レジスタのWDT タイムアウト期間選択ビット (OFS0.WDTPOPS) で選択した値

2.9.4 レジスタ書き込み制限

SH7216 グループ、RX71M ともにWDT のレジスタ書き込みには制限があります。レジスタ書き込み制限を以下に示します。

表2.64 SH7216 グループレジスタ書き込み制限

項目	書き込み制限
ウォッチドッグタイマカウンタ (WTCNT) ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) <ul style="list-style-type: none"> リセットイネーブル (WRCSR.RSTE) リセットセレクト (WRCSR.RSTS) 	下記構成のワードサイズで書き込み <ul style="list-style-type: none"> 上位バイト: “5Ah” 下位バイト: 書き込みデータ
ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) <ul style="list-style-type: none"> ウォッチドッグタイマオーバフロー (WRCSR.WOVF) 	下記構成のワードサイズで書き込み <ul style="list-style-type: none"> 上位バイト: “A5h” 下位バイト: 書き込みデータ

表2.65 RX71M レジスタ書き込み制限

項目	書き込み制限
WDT コントロールレジスタ (WDTCR) WDT リセットコントロールレジスタ (WDTRCR) IWDT コントロールレジスタ (IWDTCR) IWDT リセットコントロールレジスタ (IWDTRCR) IWDT カウント停止コントロールレジスタ (IWDCSTPR)	リセット解除から最初のリフレッシュ動作までの間に 1 回のみ書き込み可能

2.9.5 割り込み

RX71M の WDTA および IWDTa 割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつけると自動的にクリアされます。

割り込みについては「1.9 割り込み処理」を参照してください。

2.9.6 全モジュールストップ

WDTA および IWDTa にはモジュールストップ機能がありません。

RX71M は全モジュールストップ時の状態が WDTA と IWDTa で異なります。全モジュールストップ時のモジュールの状態を表 2.66 に示します。

表2.66 RX71M 全モジュールストップ時のモジュールの状態

モジュール名	モジュールの状態
ウォッチドッグタイマ (WDTA)	カウントを停止 (状態は保持)
独立ウォッチドッグタイマ (IWDTa)	オプション設定メモリで選択可能

2.9.7 オプション設定

RX71M はリセット後の状態をオプション設定メモリのスタートモード選択ビット (OFS0.IWDTSTRT, OFS0.WDTSTRT) で設定することができます。

2.10 シリアルコミュニケーションインタフェース (SCI)

2.10.1 仕様比較

シリアルコミュニケーションインタフェース機能として、SH7216 グループでは SCI、RX71M では SCIg と SCIh が内蔵されています。

SCIg は従来の転送方式の調歩同期式、クロック同期式に加えて、調歩同期式の拡張機能としてスマートカード (IC カード) インタフェースに対応しています。更に、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI バスインタフェースにも対応しています。SCIh は SCIg の機能に加えて拡張シリアルインタフェースを備えています。SH7216 グループにはない転送方式はユーザーズマニュアル ハードウェア編を参照して下さい。

SH7216 グループと RX71M の仕様比較を表 2.67 に示します。

表2.67 SH7216 グループ、RX71M の仕様比較 (SCI)

項目		SH7216 グループ (SCI)	RX71M (SCIg, SCIlh)
チャンネル数		4ch (SCI0~2, 4)	SCIg : 8ch (SCI0~7) SCIlh : 1ch (SCI12)
クロックソース		周辺クロック (Pφ)	周辺モジュールクロック (PCLKB)
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス
転送速度		内蔵ボーレートジェネレータによる任意のビットレートを選択可能	
全二重通信		送受信ともにダブルバッファ構成のため連続送信、連続受信が可能	
データ転送		LSB ファースト/MSB ファースト 選択可能 (調歩同期 7 ビットデータ除く)	LSB ファースト/MSB ファースト 選択可能 (簡易 I ² C バスでは MSB ファーストのみ)
DTC/DMAC 起動		DTC 起動可能	DTC/DMAC 起動可能
割り込み要因		<ul style="list-style-type: none"> 送信データエンプティ 送信終了 受信データフル 受信エラー 	<ul style="list-style-type: none"> 送信データエンプティ 送信終了 受信データフル 受信エラー 簡易 I ² C モード用 <ul style="list-style-type: none"> 開始条件 再開条件 停止条件生成終了
調歩同期 モード	データ長	7 ビット, 8 ビット	7 ビット, 8 ビット, 9 ビット
	ストップビット	1 ビット, 2 ビット	
	パリティ機能	偶数パリティ、奇数パリティ、パリティなし	
	受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー	
	ハードウェア フロー制御	なし	あり (CTS _n #、RTS _n #端子で制御可能)
	ブレイク検出	フレーミングエラー発生時 RXD _n 端子レベルを直接リードすることで可能	
	クロックソース	内部/外部クロックから選択可能	内部/外部クロックから選択可能 TMR からの転送レートクロックが 入力可能 (SCI5, 6, 12)
	マルチプロセッサ 通信	あり	
	ノイズ除去	なし	RXD _n 端子にデジタルノイズフィルタを設定可能
その他	—	<ul style="list-style-type: none"> 倍速モード スタートビット検出条件を選択可能 	
クロック同期 モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	ハードウェアフ ロー制御	なし	あり (CTS _n #、RTS _n #端子で制御可能)
その他	—	<ul style="list-style-type: none"> イベントリンク (SCI5 のみ) 拡張シリアルモード (SCI12 のみ) ビットレートモジュレーション 	

2.10.2 レジスタ比較

SH7216 グループ、RX71M のレジスタ比較を表 2.68に示します。

表の変更欄の記号

- ◎ : SH7216 グループと RX71M でビットアサインが同じレジスタ
- △ : SH7216 グループと RX71M でビットアサインが異なるレジスタ
- : SH7216 グループと RX71M で一方にしかないレジスタ

表2.68 SH7216 グループ、RX71M のレジスタ比較 (SCI)

SH7216 グループ (SCI) <small>(注1)</small>	RX71M (SCIg, SCIh) <small>(注2)</small>	変更
トランスミットデータレジスタ_n (SCTDR_n)	トランスミットデータレジスタ (SCIIm.TDR)	◎
トランスミットシフトレジスタ (SCTSR)	トランスミットシフトレジスタ (TSR)	◎
レシーブデータレジスタ_n (SCRDR_n)	レシーブデータレジスタ (SCIIm.RDR)	◎
レシーブシフトレジスタ (SCRSR)	レシーブシフトレジスタ (RSR)	◎
シリアルモードレジスタ_n (SCSMR_n)	シリアルモードレジスタ (SCIIm.SMR)	◎
シリアルコントロールレジスタ_n (SCSCR_n)	シリアルコントロールレジスタ (SCIIm.SCR)	◎
シリアルステータスレジスタ_n (SCSSR_n)	シリアルステータスレジスタ (SCIIm.SSR)	◎
ビットレートレジスタ_n (SCBRR_n)	ビットレートレジスタ (SCIIm.BRR)	◎
シリアルディレクションコントロールレジスタ_n (SCSDCR_n)	スマートカードモードレジスタ (SCIIm.SCMR)	△
シリアルポートレジスタ_n (SCSPTR_n)	—	—
—	レシーブデータレジスタ HL (SCIIm.RDRHL)	—
—	トランスミットデータレジスタ HL (SCIIm.TDRHL)	
—	モジュレーションデューティレジスタ (SCIIm.MDDR)	
—	シリアル拡張モードレジスタ (SCIIm.SEMR)	
—	ノイズフィルタ設定レジスタ (SCIIm.SNFR)	
—	I ² C モードレジスタ 1~3 (SCIIm.SIMR1~3)	
—	I ² C ステータスレジスタ (SCIIm.SISR)	
—	SPI モードレジスタ (SCIIm.SPMR)	
—	拡張シリアルモード有効レジスタ (SCI12.ESMER)	
—	コントロールレジスタ 0~3 (SCI12.CR0~3)	
—	ポートコントロールレジスタ (SCI12.PCR)	
—	割り込みコントロールレジスタ (SCI12.ICR)	
—	ステータスレジスタ (SCI12.STR)	
—	ステータスクリアレジスタ (SCI12.STCR)	
—	Control Field 0 データレジスタ (SCI12.CF0DR)	
—	Control Field 0 コンパライネーブルレジスタ (SCI12.CF0CR)	
—	Control Field 0 受信データレジスタ (SCI12.CF0RR)	
—	プライマリ Control Field 1 データレジスタ (SCI12.PCF1DR)	
—	セカンダリ Control Field 1 データレジスタ (SCI12.SCF1DR)	
—	Control Field 1 コンパライネーブルレジスタ (SCI12.CF1CR)	

SH7216 グループ (SCI) <small>(注1)</small>	RX71M (SCIg, SCIH) <small>(注2)</small>	変更
—	Control Field 1 受信データレジスタ (SCI12.CF1RR)	—
	タイマコントロールレジスタ (SCI12.TCR)	
	タイマモードレジスタ (SCI12.TMR)	
	タイマプリスケアラレジスタ (SCI12.TPRE)	
	タイマカウントレジスタ (SCI12.TCNT)	

注 1. SCI n : 0~2, 4

注 2. SCI m : 0~7, 12

2.10.3 クロックソース選択

RX71M は、調歩同期式モードで通信を行う場合、クロックソースに TMR クロック入力 (SCI5, SCI6, SCI12 のみ) を選択することができます。また、SH7216 グループは 1 ビット期間が基本クロックの 16 ビット固定なのに対し、RX71M は 8 ビットまたは 16 ビットから選択することができます。

2.10.4 割り込み

SH7216 グループは、受信データフルおよび送信データエンプティによる割り込みで DTC のみ起動が可能なのに対し、RX71M は DTC と DMAC の起動が可能です。

RX71M の受信データフルおよび送信データエンプティ割り込みは、割り込みステータスフラグ (IRn.IR) が '1' のときに発生した割り込み要求もモジュール内部で保持され、割り込みステータスフラグ (IRn.IR) が '0' になった後、保持された要求によって再度 '1' になります。

RX71M は一部割り込みがグループ割り込み BL0 に割り当てられています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつけると自動的にクリアされます。グループ BL0 割り込みステータスフラグ (GRPBL0.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

SH7216 グループと RX71M の割り込み要因一覧を表 2.69 に示します。

割り込みについては「1.9 割り込み処理」を参照してください。

表2.69 SCI 割り込み要因一覧

優先順位	割り込み要因	割り込みによる起動	
		SH7216 グループ	RX71M
高い ↑ 低い	受信エラー	不可能	不可能
	受信データフル	DTC の起動可能	DMAC/DTC の起動可能
	送信データエンプティ		
	送信終了	不可能	不可能

2.10.5 モジュールストップ

RX71M の SCIg および SCIH は、SH7216 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.10.6 調歩同期式送受信設定例（割り込み、ポーリング）

SH7216 と RX71M のシリアルコミュニケーションインタフェースを使用して、調歩同期式による送信および受信を行う場合の設定例を以下に示します。

<動作概要>

- 調歩同期式による送受信を行います。
- 送信データエンプティ割り込みにより送信を起動します。^(注1)
- 受信データフル割り込みにより受信を起動し、受信データを RAM に格納します。^(注1)
- 全データ送信完了および全データ受信完了後、SCI 動作を終了します。
- エラーを検出した場合は、SCI 動作を終了します。

注 1. ポーリングの場合は、割り込みは使用せずステータスレジスタの送信データエンプティフラグの状態を確認して送信を起動し、受信データフルフラグの状態を確認して受信を起動します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.70 調歩同期式送受信動作仕様

項目	内容	備考	
SCI チャンネル	SCI2		
クロック	PCLKB = 60MHz	SH7216 : Pφ = 50MHz	
通信方式	調歩同期式シリアル通信		
動作モード	全二重同期式による送受信		
転送速度	38400bps		
データ長	8 ビット		
ストップビット	1 ビット		
パリティ	付加しない		
ハードウェアフロー制御	使用しない		
ビット順序	LSB ファースト		
クロックソース	内部クロック		
送信データ	32 バイト (1 から 32 までの値)		
受信データ	32 バイト		
ノイズ除去	使用しない		
割り込み	全ての割り込みを使用	優先度 : レベル 5	
使用端子	TXD	P50/TXD2	SH7216 : PD3/TXD2
	RXD	P52/RXD2	SH7216 : PD2/RXD2
	LED0	P03/汎用	送受信可能で点灯
	LED1	P05/汎用	送受信完了で点灯
	LED2	P26/汎用	エラー検出で点灯

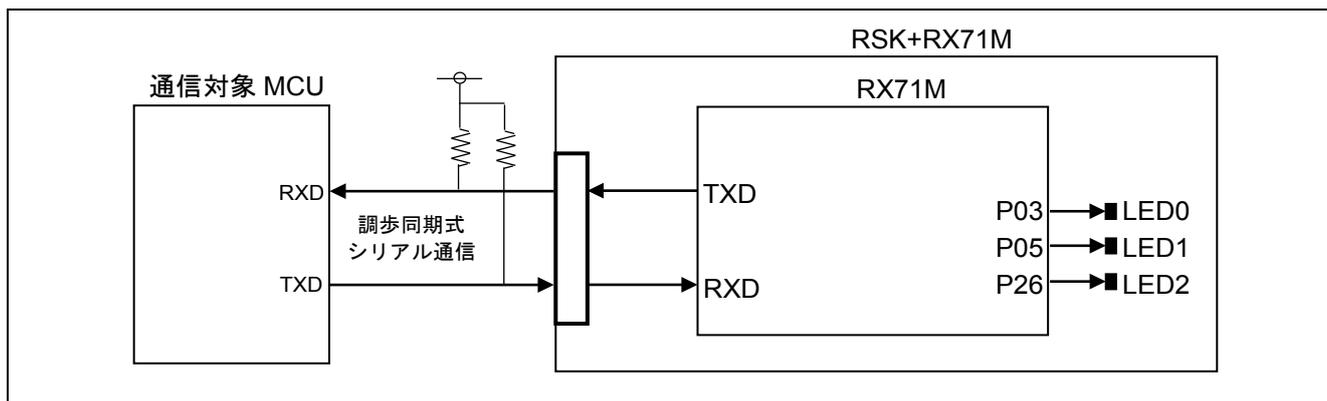


図2.26 調歩同期式送受信接続例

<注意事項>

RSK+RX71M は、設定例で使用する SCI2 用端子が初期状態で外部バス用に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

SH7216 の設定例で使用する割り込み関連レジスタを要因別に表 2.71 に示します。

表2.71 SH7216 割り込み関連レジスタ (SCI、INTC)

項目	ベクタ 番号	名称	SCI		INTC
			割り込み許可	ステータス	優先レベル
設定レジスタ	—	—	SCI2.SCSCR	SCI2.SCSSR	IPR16
要因毎の設定位置 (SCI2)					
送信終了	251	TEI2	TEIE	TEND	bit 4~7
受信エラー (オーバーランエラー)	248	ERI2	RIE	ORER	
受信エラー (フレーミングエラー)				FER	
受信エラー (パリティエラー)				PER	
受信データフル	249	RX12	RIE	RDRF	
送信データエンpty	250	TX12	TIE	TDRE	

RX71M の設定例で使用する割り込み関連レジスタを要因別に表 2.72、表 2.73 に示します。RX71M は SCI 関連割り込みの一部が、グループ BL0 割り込みに割り当てられています。

表2.72 RX71M 割り込み関連レジスタ (SCIg)

項目	名称	割り込み許可	ステータス
設定レジスタ	—	SCI2.SCR	SCI2.SSR
要因毎の設定位置 (SCI2)			
送信終了	TEI2	TEIE	TEND
受信エラー (オーバーランエラー)	ERI2	RIE	ORER
受信エラー (フレーミングエラー)			FER
受信エラー (パリティエラー)			PER
受信データフル	RX12	RIE	RDRF
送信データエンpty	TX12	TIE	TDRE

表2.73 RX71M 割り込み関連レジスタ (ICUA)

項目	ベクタ 番号	名称	割り込み許可		ステータス		優先 レベル
設定レジスタ	—	—	IERM	GENBL0	IRr	GRPBL0	IPRr
要因毎の設定位置 (SCI2)							
送信終了	110	TEI2	IER0D.IEN6 (グループ BL0)	EN4	IR110 (グループ BL0)	IS4	IPR110 (グループ BL0)
受信エラー (オーバーランエラー)		ERI2		EN5		IS5	
受信エラー (フレーミングエラー)							
受信エラー (パリティエラー)							
受信データフル	62	RX12	IER07.IEN6	—	IR062	—	IPR062
送信データエンpty	63	TX12	IER07.IEN7	—	IR063	—	IPR063

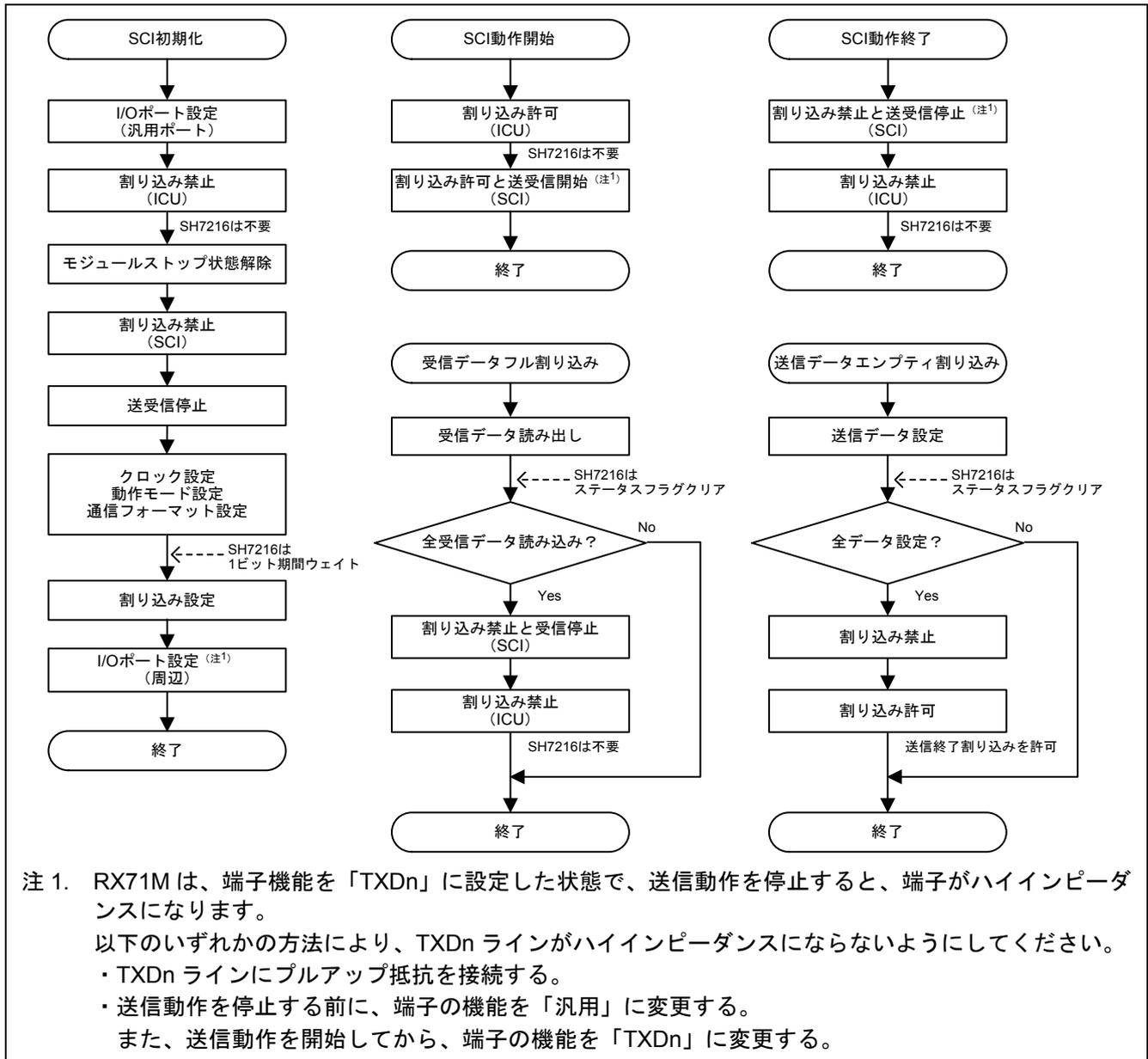
↑ ↑
グループ BL0 割り込みの設定

RX71M では、ICUA の割り込み関連レジスタへ設定を行う場合、iodefine.h を使用し以下のように設定することができます。GROUPBL0 は、グループ BL0 割り込みに対する設定です。

- IERm : IEN (SCI2, ICUA の割り込み名称)、 IEN (ICU, GROUPBL0)
- IPRr : IPR (SCI2, ICUA の割り込み名称)、 IPR (ICU, GROUPBL0)
- IRr : IR (SCI2, ICUA の割り込み名称)、 IR (ICU, GROUPBL0)
- GENBL0 : EN (SCI2, ICUA の割り込み名称)
- GRPBL0 : IS (SCI2, ICUA の割り込み名称)

＜処理フロー＞

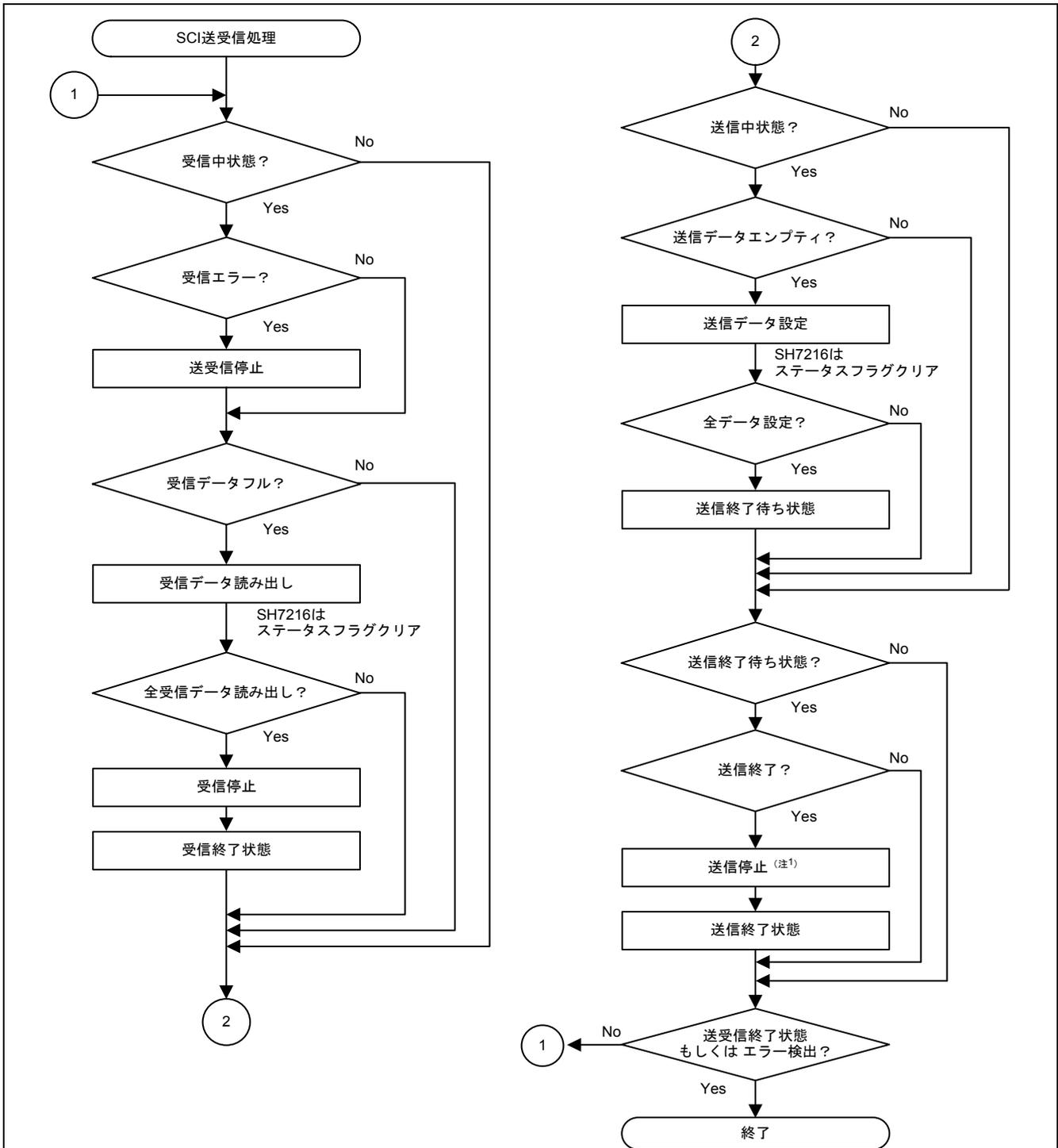
SCI を使用した処理フロー例を図 2.27 に示します。本フローの処理名は、設定例の処理名と対応しています。



注 1. RX71M は、端子機能を「TXDn」に設定した状態で、送信動作を停止すると、端子がハイインピーダンスになります。
 以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。
 ・ TXDn ラインにプルアップ抵抗を接続する。
 ・ 送信動作を停止する前に、端子の機能を「汎用」に変更する。
 また、送信動作を開始してから、端子の機能を「TXDn」に変更する。

図2.27 SCI 処理フロー例

SCI を使用しポーリングで送受信処理を行う場合の処理フロー例を図 2.28 に示します。処理フロー例では、受信中、送信中、送信終了待ちの 3 つの状態をもち処理を行っています。初期化の処理フローは図 2.27 を参照してください。ポーリングを行う場合は、ICU および SCI に対する割り込み許可は不要です。



注 1. 端子機能を「TXDn」に設定した状態で、送信動作を停止すると、端子がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- ・ TXDn ラインにプルアップ抵抗を接続する。
- ・ 送信動作を停止する前に、端子の機能を「汎用」に変更する。
また、送信動作を開始してから、端子の機能を「TXDn」に変更する。

図2.28 SCI 処理フロー例（ポーリングによる送受信）

<設定例>

以下に、調歩同期式送受信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

なお、設定例は割り込みとポーリング共通に記載します。

表2.74 SCI 初期化設定例（調歩同期式送受信）

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	出力値の設定 (出力 1) PD.DR.B3 = 1b (PD3) 端子の向き設定 PFC.PDIORL.B3 = 1b (出力/PD3) PFC.PDIORL.B2 = 0b (入力/PD2) 端子モード設定 (ポート) PFC.PDCRL1.PD3MD = 000b (PD3) PFC.PDCRL1.PD2MD = 000b (PD2)	出力値の設定 (出力 1) PORT5.PODR.B0 = 1b (P50) 端子の向き設定 PORT5.PDR.B0 = 1b (出力/P50) PORT5.PDR.B2 = 0b (入力/P52) 端子モード設定 (汎用) PORT5.PMR.B0 = 0b (P50) PORT5.PMR.B2 = 0b (P52)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (SCI2, RXI2) = 0b IEN (SCI2, TXI2) = 0b IEN (ICU, GROUPBL0) = 0b (グループ BL0) グループ BL0 内の割り込み禁止 EN (SCI2, TEI2) = 0b EN (SCI2, ERI2) = 0b
モジュールストップ状態解除	STB.CR5._SCI2 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRB.MSTPB29 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (SCI)	SCI 割り込み禁止 SCI2.SCSCR.TEIE = 0b (TEI2) SCI2.SCSCR.RIE = 0b (RXI2, ERI2) SCI2.SCSCR.TIE = 0b (TXI2)	SCI 割り込み禁止 SCI2.SCR.TEIE = 0b (TEI2) SCI2.SCR.RIE = 0b (RXI2, ERI2) SCI2.SCR.TIE = 0b (TXI2)
送受信停止	SCI2.SCSCR.RE, TE = 0b	SCI2.SCR.RE, TE = 0b
クロック設定 動作モード設定 通信フォーマット設定	クロック設定 SCI2.SCSCR.CKE = 00b SCI2.SCSMR.CKS = 00b 動作モード設定 SCI2.SCSMR.CA = 0b (調歩同期式) 通信フォーマット設定 SCI2.SCSMR._PE = 0b SCI2.SCSMR.STOP = 0b SCI2.SCSMR.MP = 0b SCI2.SCSDCR.DIR = 0b データ長設定 (8 ビット) SCI2.SCSMR.CHR = 0b ビットレート設定 SCI2.SCBRR = 40 (38400bps@50MHz)	クロック設定 SCI2.SCR.CKE = 00b SCI2.SMR.CKS = 00b SCI2.SEMR.ABCS = 0b (1 ビット = 基本クロックの 16 サイクル) SCI2.SEMR.BGDM = 0b (倍速なし) 動作モード設定 SCI2.SMR.CM = 0b (調歩同期式) 通信フォーマット設定 SCI2.SMR.PE = 0b SCI2.SMR.STOP = 0b SCI2.SMR.MP = 0b SCI2.SCMR.SDIR = 0b データ長設定 (8 ビット) SCI2.SCMR.CHR1 = 1b SCI2.SMR.CHR = 0b ビットレート設定 SCI2.BRR = 48 (38400bps@60MHz)

処理	SH7216 設定例	RX71M 設定例
割り込み設定 ^(注1)	優先度設定 (レベル 5) INTC.IPR16._SCI2 = 5 SCI ステータスフラグクリア ^(注) SCI2.SCSSR.ORER = 0b (ERI2) SCI2.SCSSR.FER = 0b (ERI2) SCI2.SCSSR.PER = 0b (ERI2) SCI2.SCSSR.RDRF = 0b (RXI2) 注. '1'の状態を読み出した後、'0'を設定	優先度設定 (レベル 5) IPR (SCI2, RXI2) = 5 IPR (SCI2, TXI2) = 5 IPR (ICU, GROUPBL0) = 5 (グループ BL0) ICU ステータスクリア IR (SCI2, RXI2) = 0b IR (SCI2, TXI2) = 0b IR (ICU, GROUPBL0) = 0b (グループ BL0) SCI ステータスフラグクリア ^(注) SCI2.SSR.ORER = 0b (ERI2) SCI2.SSR.FER = 0b (ERI2) SCI2.SSR.PER = 0b (ERI2) 注. '1'の状態を読み出した後、'0'を設定
I/O ポート設定 (周辺)	端子モード設定 PFC.PDCRL1.PD3MD = 110b (TXD2) PFC.PDCRL1.PD2MD = 110b (RXD2)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.P50PFS.PSEL = 001010b (TXD2) MPC.P52PFS.PSEL = 001010b (RXD2) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORT5.PMR.B0 = 1b (TXD2) PORT5.PMR.B2 = 1b (RXD2)

注 1. ポーリングの場合は優先度設定および ICU ステータスクリアは不要です。

表2.75 SCI 動作開始設定例

処理	SH7216 設定例	RX71M 設定例
割り込み許可 ^(注1) (ICU) ● 送信終了割り込みを除く	—	グループ BL0 内の割り込み許可 EN (SCI2, ERI2) = 1b ICU 割り込み許可 IEN (SCI2, RXI2) = 1b IEN (SCI2, TXI2) = 1b IEN (ICU, GROUPBL0) = 1b (グループ BL0)
割り込み許可 ^(注1) と送受信開始 (SCI) ● 送信終了割り込みを除く	SCI2.SCSCR.RE, TE, RIE, TIE = 1b	SCI2.SCR.RE, TE, RIE, TIE = 1b

注 1. ポーリングの場合は ICU および SCI に対する割り込み許可は不要です。

表2.76 SCI 動作終了設定例

処理	SH7216 設定例	RX71M 設定例
割り込み禁止 ^(注1) と送受信停止 (SCI) ● 全ての割り込み	SCI2.SCSCR.RE, TE, RIE, TIE, TEIE = 0b	SCI2.SCR.RE, TE, RIE, TIE, TEIE = 0b
割り込み禁止 ^(注1) (ICU) ● 全ての割り込み	—	ICU 割り込み禁止 IEN (SCI2, RXI2) = 0b IEN (SCI2, TXI2) = 0b IEN (ICU, GROUPBL0) = 0b (グループ BL0) グループ BL0 内の割り込み禁止 EN (SCI2, TEI2) = 0b EN (SCI2, ERI2) = 0b

注 1. ポーリングの場合は割り込み禁止は不要です

サンプルコードでは割り込み処理の内容は特に規定しません。以下に、割り込み処理内の一部処理に対する設定例を示します

表2.77 SCI 受信データフル割り込み処理内設定例

処理	SH7216 設定例	RX71M 設定例
受信データ読み出し	SCI2.SCRDR の値を読み出し	SCI2.RDR の値を読み出し
ステータスフラグクリア	SCI2.SCSSR.RDRF = 0b '1'の状態を読み出した後、'0'を設定	—
割り込み禁止と受信停止 (SCI) ● 受信エラー割り込み ● 受信データフル割り込み	SCI2.SCSCR.RE, RIE = 0b	SCI2.SCR.RE, RIE = 0b
割り込み禁止 (ICU) ● 受信エラー割り込み ● 受信データフル割り込み	—	ICU 割り込み禁止 IEN (SCI2, RXI2) = 0b (RXI2) グループ BL0 内割り込み禁止 EN (SCI2, ERI2) = 0b グループ BL0 は TEI2 で使用するため禁止は不要

表 2.78 SCI 送信データエンプティ割り込み処理内設定例

処理	SH7216 設定例	RX71M 設定例
送信データ設定	SCI2.SCTDR へ値を設定	SCI2.TDR へ値を設定
ステータスフラグクリア	SCI2.SCSSR.TDRE = 0b '1'の状態を読み出した後、'0'を設定	—
割り込み禁止 ● 送信データエンプティ割り込み	SCI 割り込み禁止 SCI2.SCSCR.TIE = 0b (TXI2)	ICU 割り込み禁止 IEN (SCI2, TXI2) = 0b (TXI2) SCI 割り込み禁止 SCI2.SCR.TIE = 0b (TXI2)
割り込み許可 ● 送信終了割り込み	SCI 割り込み許可 SCI2.SCSCR.TEIE = 1b (TEI2)	SCI 割り込み許可 SCI2.SCR.TEIE = 1b (TEI2) グループ BL0 内割り込み許可 EN (SCI2, TEI2) = 1b グループ BL0 は ERI2 で使用されているため許可は不要

2.10.7 クロック同期式マスタ送信設定例（割り込み、ポーリング）

SH7216 と RX71M のシリアルコミュニケーションインターフェースを使用して、クロック同期式によるマスタ送信を行う場合の設定例を以下に示します。

<動作概要>

- クロック同期式によるマスタ送信を行います。
- 送信データエンプティ割り込みにより送信を起動します。^(注1)
- 全データを送信後、SCI 動作を終了します。

注 1. ポーリングの場合は、割り込みは使用せずステータスレジスタの送信データエンプティフラグの状態を確認して送信を起動します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216：”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、`iodefine.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.79 クロック同期式マスタ送信動作仕様

項目	内容		備考
SCI チャンネル	SCI2		
クロック	PCLKB = 60MHz		SH7216 : Pφ = 50MHz
通信方式	クロック同期式シリアル通信		
動作モード	マスタ送信		
転送速度	100kbps		
データ長	8 ビット		
ビット順序	LSB ファースト		
クロックソース	内部クロック		
送信データ	32 バイト (1 から 32 までの値)		
ノイズ除去	使用しない		
割り込み	送信データフル 送信終了		優先度 : レベル 5
使用端子	SCK	P51/SCK2	SH7216 : PD4/SCK2
	TXD	P50/TXD2	SH7216 : PD3/TXD2
	LED0	P03/汎用	送信開始で点灯
	LED1	P05/汎用	送信完了で点灯

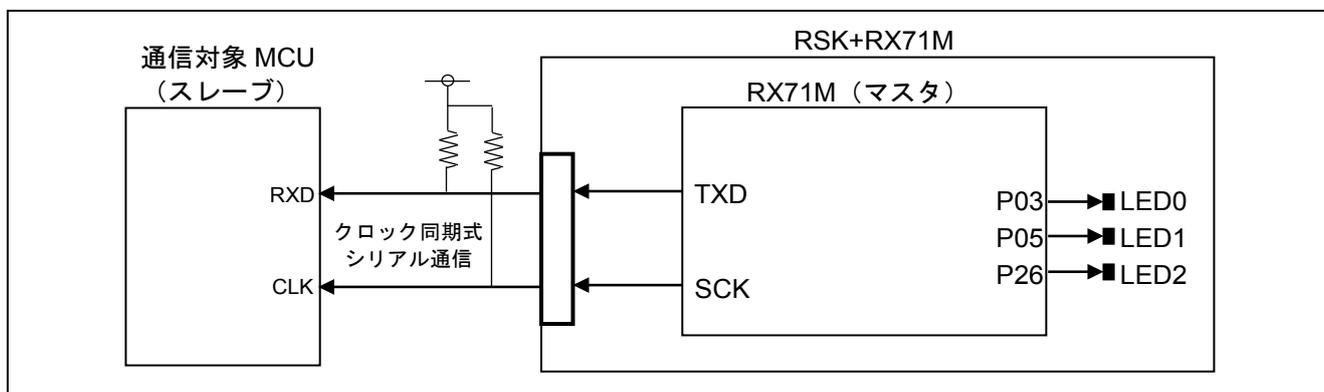


図2.29 クロック同期式マスタ送信接続例

<注意事項>

RSK+RX71M は、設定例で使用する SCI2 用端子が初期状態で外部バス用に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

設定例で使用する割り込み関連レジスタは、「2.10.6 調歩同期式送受信設定例（割り込み、ポーリング）」の調歩同期式の関連レジスタ一覧を参照してください。

<処理フロー>

SCI を使用した処理フロー例は、「2.10.6 調歩同期式送受信設定例（割り込み、ポーリング）」の調歩同期式の処理フロー例を参照してください。クロック同期式マスタ送信設定例では、送信のみの動作を行うため、受信関連の処理は不要です。

<設定例>

以下に、クロック同期式マスタ送信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

なお、設定例は割り込みとポーリング共通に記載します。

表2.80 SCI 初期化設定例（クロック同期式マスタ送信）

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	出力値の設定 (出力 1) PD.DR.B4 = 1b (PD4) PD.DR.B3 = 1b (PD3) 端子の向き設定 PFC.PDIORL.B4 = 1b (出力/PD4) PFC.PDIORL.B3 = 1b (出力/PD3) 端子モード設定 (ポート) PFC.PDCRL2.PD4MD = 000b (PD4) PFC.PDCRL1.PD3MD = 000b (PD3)	出力値の設定 (出力 1) PORT5.PODR.B1 = 1b (P51) PORT5.PODR.B0 = 1b (P50) 端子の向き設定 PORT5.PDR.B1 = 1b (出力/P51) PORT5.PDR.B0 = 1b (出力/P50) 端子モード設定 (汎用) PORT5.PMR.B1 = 0b (P51) PORT5.PMR.B0 = 0b (P50)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (SCI2, RXI2) = 0b IEN (SCI2, TXI2) = 0b IEN (ICU, GROUPBL0) = 0b (グループ BL0) グループ BL0 内の割り込み禁止 EN (SCI2, TEI2) = 0b EN (SCI2, ERI2) = 0b
モジュールストップ状態解除	STB.CR5._SCI2 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRB.MSTPB29 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (SCI)	SCI 割り込み禁止 SCI2.SCSCR.TEIE = 0b (TEI2) SCI2.SCSCR.RIE = 0b (RXI2, ERI2) SCI2.SCSCR.TIE = 0b (TXI2)	SCI 割り込み禁止 SCI2.SCR.TEIE = 0b (TEI2) SCI2.SCR.RIE = 0b (RXI2, ERI2) SCI2.SCR.TIE = 0b (TXI2)
送受信停止	SCI2.SCSCR.RE, TE = 0b	SCI2.SCR.RE, TE = 0b
クロック設定 動作モード設定 通信フォーマット設定	クロック設定 SCI2.SCSCR.CKE = 00b SCI2.SCSMR.CKS = 00b 動作モード設定 SCI2.SCSMR.CA = 1b (クロック同期式) 通信フォーマット設定 SCI2.SCSDCR.DIR = 0b ビットレート設定 SCI2.SCBRR = 124 (100kbps@50MHz)	クロック設定 SCI2.SCR.CKE = 00b SCI2.SMR.CKS = 00b 動作モード設定 SCI2.SMR.CM = 1b (クロック同期式) 通信フォーマット設定 SCI2.SCMR.SDIR = 0b ビットレート設定 SCI2.BRR = 149 (100kbps@60MHz)
割り込み設定 ^(注1)	優先度設定 (レベル 5) INTC.IPR16._SCI2 = 5	優先度設定 (レベル 5) IPR (SCI2, TXI2) = 5 IPR (ICU, GROUPBL0) = 5 (グループ BL0) ICU ステータスクリア IR (SCI2, TXI2) = 0b IR (ICU, GROUPBL0) = 0b (グループ BL0)

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (周辺)	端子モード設定 PFC.PDCRL2.PD4MD = 110b (SCK2) PFC.PDCRL1.PD3MD = 110b (TXD2)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.P51PFS.PSEL = 001010b (SCK2) MPC.P50PFS.PSEL = 001010b (TXD2) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORT5.PMR.B1 = 1b (SCK2) PORT5.PMR.B0 = 1b (TXD2)

注 1. ポーリングの場合は優先度設定および ICU ステータスクリアは不要です

クロック同期式マスタ送信の初期化を除く設定例は、「2.10.6 調歩同期式送受信設定例 (割り込み、ポーリング)」の調歩同期式の設定例を参照してください。

クロック同期式マスタ送信設定例では、送信のみの動作を行うため、受信関連の処理は不要です。

2.10.8 クロック同期式スレーブ受信設定例（割り込み、ポーリング）

SH7216 と RX71M のシリアルコミュニケーションインターフェースを使用して、クロック同期式によるスレーブ受信を行う場合の設定例を以下に示します。

<動作概要>

- クロック同期式によるスレーブ受信を行います。
- 受信データフル割り込みにより受信を起動し、受信データを RAM に格納します。^(注1)
- 全データ受信完了後、SCI 動作を終了します。
- エラーを検出した場合は、SCI 動作を終了します。

注 1. ポーリングの場合は、割り込みは使用せずステータスレジスタの受信データフルフラグの状態を確認して受信を起動します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、`iodefine.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.81 クロック同期式スレーブ受信動作仕様

項目	内容		備考
SCI チャンネル	SCI2		
通信方式	クロック同期式シリアル通信		
動作モード	スレーブ受信		
データ長	8 ビット		
ビット順序	LSB ファースト		
クロックソース	外部クロック		
ノイズ除去	使用しない		
割り込み	受信データエンプティ 受信エラー		優先度：レベル 5
使用端子	SCK	P51/SCK2	SH7216 : PD4/SCK2
	RXD	P52/RXD2	SH7216 : PD2/RXD2
	LED0	P03/汎用	受信開始で点灯
	LED1	P05/汎用	受信完了で点灯
	LED2	P26/汎用	エラー検出で点灯

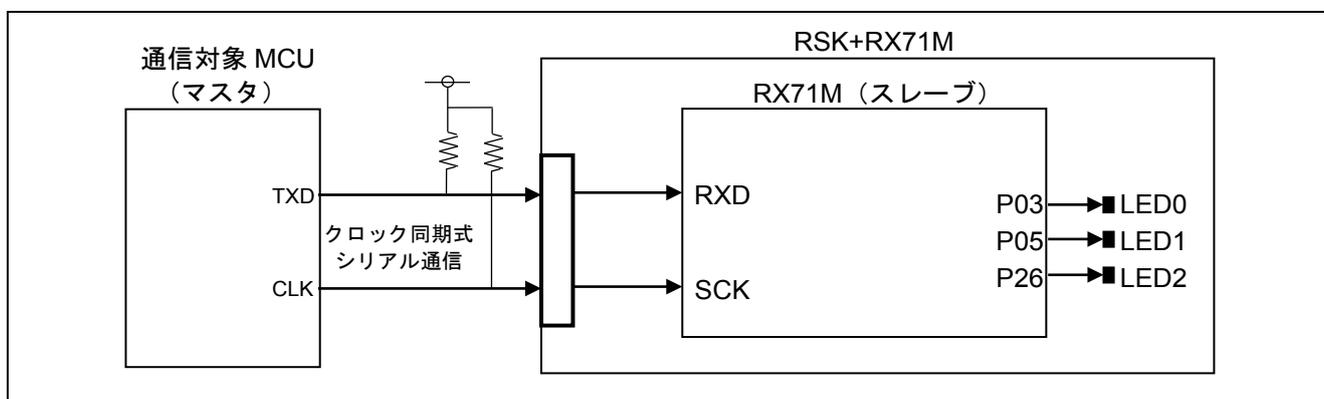


図2.30 クロック同期式スレーブ受信接続例

<注意事項>

RSK+RX71M は、設定例で使用する SCI2 用端子が初期状態で外部バス用に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

設定例で使用する割り込み関連レジスタは、「2.10.6 調歩同期式送受信設定例（割り込み、ポーリング）」の調歩同期式の関連レジスタ一覧を参照してください。

<処理フロー>

SCI を使用した処理フロー例は、「2.10.6 調歩同期式送受信設定例（割り込み、ポーリング）」の調歩同期式の処理フロー例を参照してください。クロック同期式スレーブ受信設定例では、受信のみの動作を行うため、送信関連の処理は不要です。

<設定例>

以下に、クロック同期式スレーブ受信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

なお、設定例は割り込みとポーリング共通に記載します。

表2.82 SCI 初期化設定例（クロック同期式スレーブ受信）

手順	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	端子の向き設定 PFC.PDIORL.B4 = 0b (入力/PD4) PFC.PDIORL.B2 = 0b (入力/PD2) 端子モード設定 (ポート) PFC.PDCRL2.PD4MD = 000b (PD4) PFC.PDCRL1.PD2MD = 000b (PD2)	端子の向き設定 PORT5.PDR.B1 = 0b (入力/P51) PORT5.PDR.B2 = 0b (入力/P52) 端子モード設定 (汎用) PORT5.PMR.B1 = 0b (P51) PORT5.PMR.B2 = 0b (P52)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (SCI2, RXI2) = 0b IEN (SCI2, TXI2) = 0b IEN (ICU, GROUPBL0) = 0b (グループ BL0) グループ BL0 内の割り込み禁止 EN (SCI2, TEI2) = 0b EN (SCI2, ERI2) = 0b
モジュールストップ状態解除	STB.CR5._SCI2 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRB.MSTPB29 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (SCI)	SCI 割り込み禁止 SCI2.SCSCR.TEIE = 0b (TEI2) SCI2.SCSCR.RIE = 0b (RXI2, ERI2) SCI2.SCSCR.TIE = 0b (TXI2)	SCI 割り込み禁止 SCI2.SCR.TEIE = 0b (TEI2) SCI2.SCR.RIE = 0b (RXI2, ERI2) SCI2.SCR.TIE = 0b (TXI2)
送受信停止	SCI2.SCSCR.RE, TE = 0b	SCI2.SCR.RE, TE = 0b
クロック設定 動作モード設定 通信フォーマット設定	クロック設定 SCI2.SCSCR.CKE = 10b SCI2.SCSMR.CKS = 00b 動作モード設定 SCI2.SCSMR.CA = 1b (クロック同期式) 通信フォーマット設定 SCI2.SCSDCR.DIR = 0b	クロック設定 SCI2.SCR.CKE = 10b SCI2.SMR.CKS = 00b 動作モード設定 SCI2.SMR.CM = 1b (クロック同期式) 通信フォーマット設定 SCI2.SCMR.SDIR = 0b
割り込み設定 ^(注1)	優先度設定 (レベル 5) INTC.IPR16._SCI2 = 5 SCI ステータスフラグクリア ^(注) SCI2.SCSSR.ORER = 0b (ERI2) SCI2.SCSSR.RDRF = 0b (RXI2) 注. '1'の状態を読み出した後、'0'を設定	優先度設定 (レベル 5) IPR (SCI2, RXI2) = 5 IPR (ICU, GROUPBL0) = 5 (グループ BL0) ICU ステータスクリア IR (SCI2, RXI2) = 0b IR (ICU, GROUPBL0) = 0b (グループ BL0) SCI ステータスフラグクリア ^(注) SCI2.SSR.ORER = 0b (ERI2) 注. '1'の状態を読み出した後、'0'を設定

手順	SH7216 設定例	RX71M 設定例
I/O ポート設定 (周辺)	端子モード設定 PFC.PDCRL2.PD4MD = 110b (SCK2) PFC.PDCRL1.PD2MD = 110b (RXD2)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.P51PFS.PSEL = 001010b (SCK2) MPC.P52PFS.PSEL = 001010b (RXD2) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORT5.PMR.B1 = 1b (SCK2) PORT5.PMR.B2 = 1b (RXD2)

注 1. ポーリングの場合は優先度設定および ICU ステータスクリアは不要です

クロック同期式マスタ送信の初期化を除く設定例は、「2.10.6 調歩同期式送受信設定例 (割り込み、ポーリング)」の調歩同期式の設定例を参照してください。

クロック同期式マスタ送信設定例では、送信のみの動作を行うため、受信関連の処理は不要です。

2.11 FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

2.11.1 仕様比較

FIFO 付きシリアルコミュニケーションインタフェース機能として、SH7216 グループでは SCIF、RX71M では SCIFA が内蔵されています。

SH7216 グループと RX71M の仕様比較を表 2.83 に示します。

表2.83 SH7216 グループ、RX71M の仕様比較 (SCIF)

項目		SH7216 グループ (SCIF)	RX71M (SCIFA)
チャンネル数		1ch (SCIF3)	4ch (SCIFA8~11)
クロックソース		周辺クロック (Pφ)	周辺モジュールクロック (PCLKA)
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 	
転送速度		内蔵ポーレートジェネレータによる任意のビットレートを選択可能	
全二重通信		送受信ともに 16 段の FIFO バッファ構成のため連続送受信が可能	
データ転送		LSB ファースト	LSB ファースト/MSB ファースト選択可能
DTC/DMAC 制御		DTC/DMAC 制御可能	
割り込み要因		<ul style="list-style-type: none"> 送信 FIFO データエンプティ ブレーク 受信 FIFO データフル 受信エラー 	<ul style="list-style-type: none"> 送信 FIFO データエンプティ ブレーク 受信 FIFO データフル 受信エラー 送信完了 受信データレディ
調歩同期モード	データ長	7 ビット, 8 ビット	
	ストップビット	1 ビット, 2 ビット	
	パリティ機能	偶数パリティ、奇数パリティ、パリティなし	
	受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー	
	ハードウェアフロー制御	なし	あり (CTS#、RTSn#端子で制御可能)
	ブレーク検出	ブレークの検出が可能 また、フレーミングエラー発生時 RXDn 端子レベルを直接リードすることでも検出可能	ブレークの検出が可能
	クロックソース	内部/外部クロックから選択可能	
	ノイズ除去	なし	RXDn 端子にデジタルノイズフィルタを設定可能
クロック同期モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	ハードウェアフロー制御	なし	あり (CTS#、RTSn#端子で制御可能)
その他	—	ビットレートモジュレーション	

2.11.2 レジスタ比較

SH7216 グループ、RX71M のレジスタ比較を表 2.84に示します。

表の変更欄の記号

- ◎ : SH7216 グループと RX71M でビットアサインが同じレジスタ
- △ : SH7216 グループと RX71M でビットアサインが異なるレジスタ
- : SH7216 グループと RX71M で一方にしかないレジスタ

表2.84 SH7216 グループ、RX71M のレジスタ比較 (SCIF)

SH7216 グループ (SCIF) ^(注1)	RX71M (SCIFA) ^(注2)	変更
トランスミット FIFO データレジスタ _n (SCFTDR _n)	トランスミット FIFO データレジスタ (SCIFAm.FTDR)	◎
トランスミットシフトレジスタ (SCTSR)	トランスミットシフトレジスタ (TSR)	◎
レシーブ FIFO データレジスタ _n (SCFRDR _n)	レシーブ FIFO データレジスタ (SCIFAm.FRDR)	◎
レシーブシフトレジスタ (SCRSR)	レシーブシフトレジスタ (RSR)	◎
シリアルモードレジスタ _n (SCSMR _n)	シリアルモードレジスタ (SCIFAm.SMR)	◎
シリアルコントロールレジスタ _n (SCSCR _n)	シリアルコントロールレジスタ (SCIFAm.SCR)	◎
シリアルステータスレジスタ _n (SCFSR _n)	シリアルステータスレジスタ (SCIFAm.FSR) ラインステータスレジスタ (SCIFAm.LSR)	△
ビットレートレジスタ _n (SCBRR _n)	ビットレートレジスタ (SCIFAm.BRR)	◎
シリアルポートレジスタ _n (SCSPTR _n)	シリアルポートレジスタ (SCIFAm.SPTR)	◎
FIFO コントロールレジスタ _n (SCFCR _n)	FIFO コントロールレジスタ (SCIFAm.FCR)	◎
FIFO データ数レジスタ _n (SCFDR _n)	FIFO データ数レジスタ (SCIFAm.FDR)	◎
ラインステータスレジスタ _n (SCLSR _n)	ラインステータスレジスタ (SCIFAm.LSR)	◎
シリアル拡張モードレジスタ _n (SCSEMR _n)	シリアル拡張モードレジスタ (SCIFAm.SEMR)	△
—	モジュレーションデューティレジスタ (SCIFAm.MDDR)	—
	FIFO トリガコントロールレジスタ (SCIFAm.FTCR)	

注 1. SCI n : 3

注 2. SCI m : 8~11

2.11.3 割り込み

SH7216 グループ、RX71M ともに受信 FIFO データフルおよび送信 FIFO データエンプティの割り込みで DTC と DMAC の起動が可能です。

RX71M は一部割り込みがグループ割り込み AL0 に割り当てられています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつくと自動的にクリアされます。グループ AL0 割り込みステータスフラグ (GRPAL0.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

SH7216 グループの割り込み要因一覧を表 2.85 に、RX71M の割り込み要因一覧を表 2.86 に示します。

割り込みについては「1.9 割り込み処理」を参照してください。

表2.85 SH7216 グループ SCIF 割り込み要因一覧

割り込み要因	割り込みによる起動	優先順位
ブレークまたはオーバラン	不可能	高い ↑
受信エラー		
受信 FIFO データフルまたは受信データレディ	DMAC/DTC の起動可能	低い
送信 FIFO データエンプティ		

表2.86 RX71M SCIFA 割り込み要因一覧

割り込み要因	割り込みによる起動	優先順位
ブレークまたはオーバラン	不可能	高い ↑
受信エラー (フレーミングエラーまたはパリティエラー)		
受信 FIFO データフル	DMAC/DTC の起動可能	低い
送信 FIFO データエンプティ		
送信完了	不可能	低い
受信データレディ		

2.11.4 モジュールストップ

RX71M の SCIFA は、SH7216 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.11.5 調歩同期式送受信設定例

SH7216 と RX71M の FIFO 付きシリアルコミュニケーションインタフェースを使用して、調歩同期式による送信および受信を行う場合の設定例を以下に示します。

<動作概要>

- 調歩同期式による送受信を行います。
- 送信 FIFO データエンプティ割り込みにより送信を起動します。
- 受信 FIFO データフル割り込みにより受信を起動し、受信データを RAM に格納します。
- 全データ送信完了および全データ受信完了後、SCIF 動作を終了します。
- エラーを検出した場合は、SCIF 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、`iodefine.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.87 調歩同期式送受信動作仕様

項目	内容	備考	
SCIF チャンネル	SCIFA8	SH7216 : SCIF3	
クロック	PCLKA = 120MHz	SH7216 : Pφ = 50MHz	
通信方式	調歩同期式シリアル通信		
動作モード	全二重同期式による送受信		
転送速度	38400bps		
データ長	8 ビット		
ストップビット	1 ビット		
パリティ	なし		
ハードウェアフロー制御	なし		
ビット順序	LSB ファースト		
送信 FIFO データ数トリガ	8		
受信 FIFO データ数トリガ	8		
クロックソース	内部クロック		
送信データ	128 バイト (1 から 128 までの値)		
受信データ	128 バイト		
ノイズ除去	使用しない		
割り込み	送信完了 (RX71M のみ) 送信 FIFO データエンプティ 受信 FIFO データフル 受信エラー ブ레이크検出	優先度 : レベル 5	
使用端子	TXD	PC7/TXD8	SH7216 : PE5/TXD3
	RXD	PC6/RXD8	SH7216 : PE6/RXD3
	LED0	P03/汎用	送受信可能で点灯
	LED1	P05/汎用	送受信完了で点灯
	LED2	P26/汎用	エラー検出で点灯

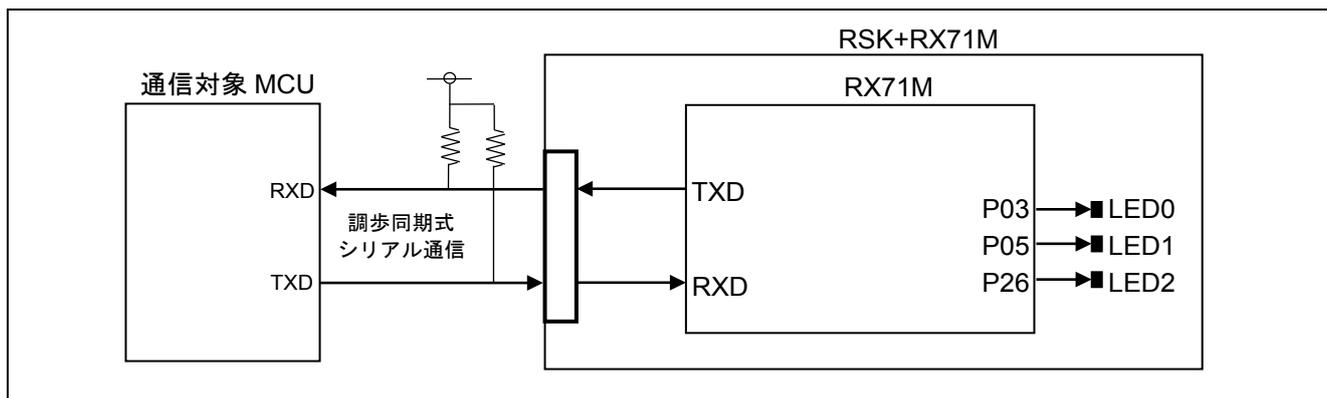


図2.31 調歩同期式送受信接続例

<注意事項>

RSK+RX71Mは、設定例で使用する SCIFA8 用端子が初期状態で Ethernet-PHY に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

SH7216 の設定例で使用する割り込み関連レジスタを要因別に表 2.88に示します。

表2.88 SH7216 割り込み関連レジスタ (SCIF、INTC)

項目	ベクタ 番号	名称	SCIF		INTC
			割り込み許可	ステータス	優先レベル
設定レジスタ	—	—	SCIF3.SCSCR	SCIF3.SCFSR	IPR14
要因毎の設定位置					
送信完了 (割り込みなし)	—	—	—	TEND	—
ブレーク検出	252	BRI3	REIE、RIE	BRK	bit 0~3
受信エラー (オーバラン)				SCIF3.SCLSR.ORER (レジスタが異なる)	
受信エラー (フレーミングエラー)	253	ERI3	REIE、RIE	ER、FER	
受信エラー (パリティエラー)				ER、PER	
受信データレディ	254	RXI3	RIE	DR	
受信 FIFO データフル				RDF	
送信 FIFO データエンプティ	255	TXI3	TIE	TDFE	

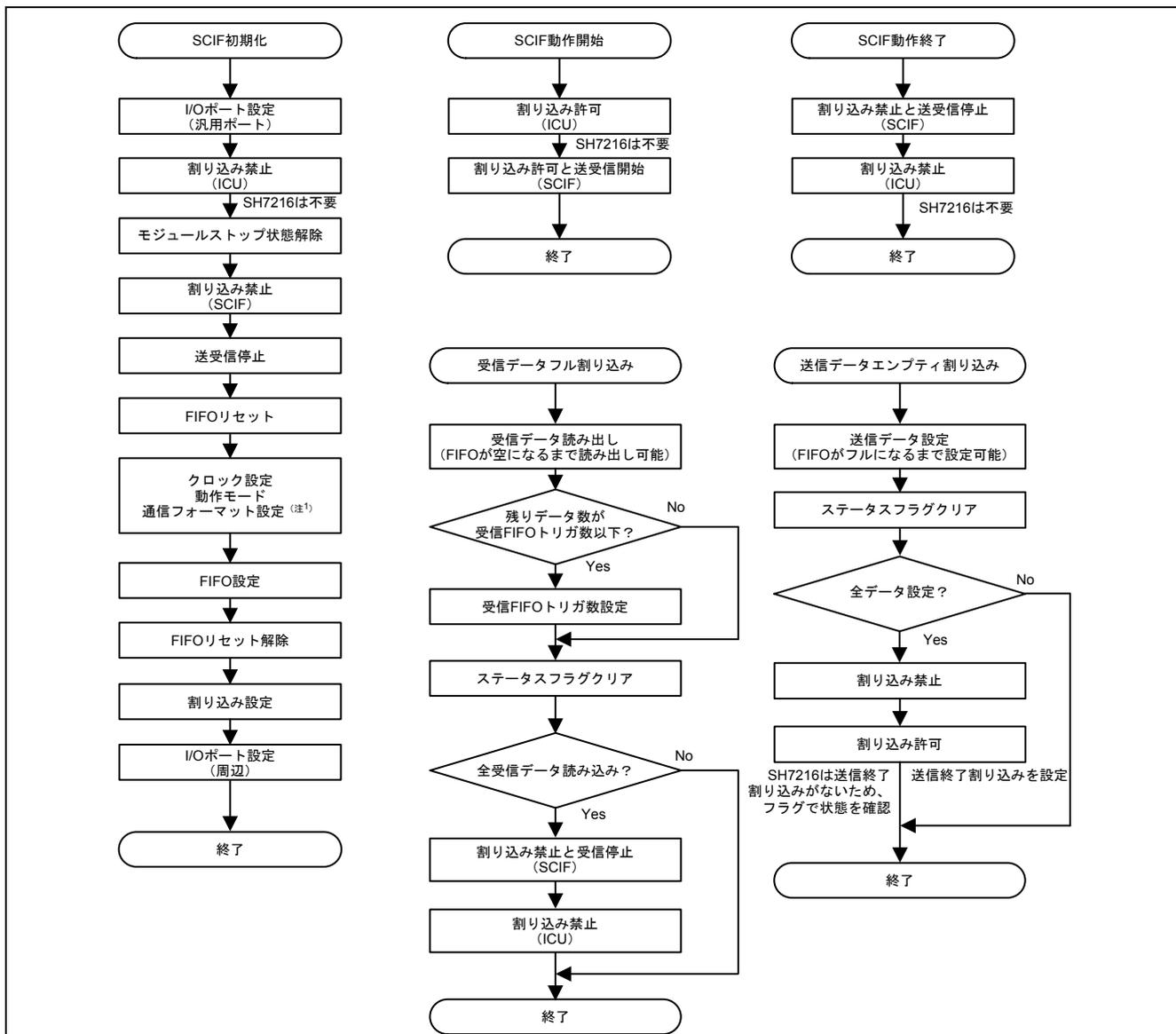
RX71M の設定例で使用する割り込み関連レジスタを要因別に表 2.89、表 2.90に示します。RX71M は SCIFA 関連割り込みの一部が、グループ AL0 割り込みに割り当てられています。

表2.89 RX71M 割り込み関連レジスタ (SCIFA)

項目	名称	割り込み許可	ステータス
設定レジスタ	—	SCIFA8.SCR	SCIFA8.FSR
要因毎の設定位置 (SCIFA8)			
送信完了	TEIF8	TEIE	TEND
ブレーク検出	BRIF8	REIE、RIE	BRK
受信エラー (オーバラン)			SCIFA8.LSR.ORER (レジスタが異なる)
受信エラー (フレーミングエラー)	ERIF8	REIE、RIE	ER、FER
受信エラー (パリティエラー)			ER、PER
受信データレディ	DRIF8	RIE	DR
受信 FIFO データフル	RXIF8	RIE	RDF
送信 FIFO データエンプティ	TXIF8	TIE	TDFE

<処理フロー>

SCIF を使用した処理フロー例を図 2.32に示します。本フローの処理名は、設定例の処理名と対応していません。



注 1. RX71M 調歩同期式でビットレート補正を行う場合は、補正值設定後 1 ビット期間のウェイトが必要。

図2.32 SCIF 処理フロー例

<設定例>

以下に、調歩同期式送受信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

表2.91 SCIF 初期化設定例（調歩同期式送受信）

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	出力値の設定 (出力 1) PE.DR.B5 = 1b (PE5) 端子の向き設定 PFC.PEIORL.B5 = 1b (出力/PE5) PFC.PEIORL.B6 = 0b (入力/PE6) 端子モード設定 (ポート) PFC.PECRL2.PE5MD = 000b (PE5) PFC.PECRL2.PE6MD = 000b (PE6)	出力値の設定 (出力 1) PORTC.PODR.B7 = 1b (PC7) 端子の向き設定 PORTC.PDR.B7 = 1b (出力/PC7) PORTC.PDR.B6 = 0b (入力/PC6) 端子モード設定 (汎用) PORTC.PMR.B7 = 0b (PC7) PORTC.PMR.B6 = 0b (PC6)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (SCIFA8, RXIF8) = 0b IEN (SCIFA8, TXIF8) = 0b IEN (ICU, GROUPAL0) = 0b (グループ AL0) グループ AL0 内の割り込み禁止 EN (SCIFA8, ERIF8) = 0b EN (SCIFA8, BRIF8) = 0b EN (SCIFA8, DRIF8) = 0b EN (SCIFA8, TEIF8) = 0b
モジュールストップ 状態解除	STB.CR4._SCIF3 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRC.MSTPC27 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (SCIF)	SCIF 割り込み禁止 SCIF3.SCSCR.RIE = 0b (RXI3, ERI3, BRI3) SCIF3.SCSCR.REIE = 0b (ERI3, BRI3) SCIF3.SCSCR.TIE = 0b (TXI3)	SCIF 割り込み禁止 SCIFA8.SCR.RIE = 0b (RXIF8, DRIF8, ERIF8, BRIF8) SCIFA8.SCR.REIE = 0b (ERIF8, BRIF8) SCIFA8.SCR.TIE = 0b (TXIF8) SCIFA8.SCR.TEIE = 0b (TEIF8)
送受信停止	SCIF3.SCSCR.TE, RE = 0b	SCIFA8.SCR.TE, RE = 0b
FIFO リセット	SCIF3.SCFCR.TFRST, RFRST = 1b	SCIFA8.FCR.TFRST, RFRST = 1b
クロック設定 動作モード 通信フォーマット設定	クロック設定 SCIF3.SCSCR.CKE = 00b SCIF3.SCSMR.CKS = 00b SCIF3.SCSEMR.ABCS = 0b 動作モード設定 SCIF3.SCSMR.CA = 0b (調歩同期式) 通信フォーマット設定 SCIF3.SCSMR._PE = 0b SCIF3.SCSMR.STOP = 0b SCIF3.SCSMR.CHR = 0b	クロック設定 SCIFA8.SCR.CKE = 00b SCIFA8.SMR.CKS = 00b SCIFA8.SEMR.ABCS0 = 0b SCIFA8.SEMR.BGDM = 0 (倍速なし) 動作モード設定 SCIFA8.SMR.CM = 0b (調歩同期式) 通信フォーマット設定 SCIFA8.SMR.PE = 0b SCIFA8.SMR.STOP = 0b SCIFA8.SMR.CHR = 0b SCIFA8.SEMR.DIR = 0b (LSB ファースト) 送信開始前の TXD 端子設定 (High 出力) SCIFA8.SPTR.SPB2IO = 1 SCIFA8.SPTR.SPB2DT = 1

処理	SH7216 設定例	RX71M 設定例
クロック設定 動作モード 通信フォーマット設定	ビットレート設定 SCIF3.SCBRR = 40 (38400bps@50MHz)	ビットレート設定 SCIFA8.SEMR.MDDRS = 0b (BRR レジスタアクセス許可) SCIFA8.BRR = 97 (38400bps@120MHz)
FIFO 設定	FIFO データ数トリガ設定 SCIF3.SCFCR.TTRG = 00b (トリガ 8) SCIF3.SCFCR.RTRG = 10b (トリガ 8)	FIFO しきい値設定 SCIFA8.FTCR.TTRGS = 0b (FCR レジスタ使用) SCIFA8.FTCR.RTRGS = 0b (FCR レジスタ使用) SCIFA8.FCR.TTRG = 00b (しきい値 8) SCIFA8.FCR.RTRG = 10b (しきい値 8)
FIFO リセット解除	SCIF3.SCFCR.TFRST, RFRST = 0b	SCIFA8.FCR.TFRST, RFRST = 0b
割り込み設定	優先度設定 (レベル 5) INTC.IPR14._SCIF3 = 5 SCIF ステータスフラグクリア (注) SCIF3.SCFSR.BRK = 0b (BRIF3) SCIF3.SCFSR.ER = 0b (ERIF3) SCIF3.SCFSR.DR = 0b (RXI3) SCIF3.SCFSR.RDF = 0b (RXIF3) SCIF3.SCLSR.OPER = 0b (BRIF3) 注. '1'の状態を読み出した後、'0'を設定	優先度設定 (レベル 5) IPR (SCIFA8, RXIF8) = 5 IPR (SCIFA8, TXIF8) = 5 IPR (ICU, GROUPAL0) = 5 (グループ AL0) ICU ステータスクリア IR (SCIFA8, RXIF8) = 0b IR (SCIFA8, TXIF8) = 0b IR (ICU, GROUPAL0) = 0b (グループ AL0) SCIF ステータスフラグクリア (注) SCIFA8.FSR.BRK = 0b (BRIF8) SCIFA8.FSR.ER = 0b (ERIF8) SCIFA8.FSR.DR = 0b (DRIF8) SCIFA8.FSR.RDF = 0b (RXIF8) SCIFA8.LSR.OPER = 0b (BRIF8) 注. '1'の状態を読み出した後、'0'を設定
I/O ポート設定 (周辺)	端子モード設定 PFC.PECRL2.PE5MD = 110b (TXD3) PFC.PECRL2.PE6MD = 110b (RXD3)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.PC7PFS.PSEL = 001010b (TXD8) MPC.PC6PFS.PSEL = 001010b (RXD8) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORTC.PMR.B7 = 1b (TXD8) PORTC.PMR.B6 = 1b (RXD8)

表2.92 SCIF 動作開始設定例

処理	SH7216 設定例	RX71M 設定例
割り込み許可 (ICU) ● 送信終了割り込みを除く		グループ AL0 内の割り込み許可 EN (SCIFA8, ERIF8) = 1b EN (SCIFA8, BRIF8) = 1b ICU 割り込み許可 IEN (SCIFA8, RXIF8) = 1b IEN (SCIFA8, TXIF8) = 1b IEN (ICU, GROUPAL0) = 1b (グループ AL0)
割り込み許可と送受信開始 (SCIF) ● 送信終了割り込みを除く	SCIF3.SCSCR.TE, RE, TIE, RIE = 1b	SCIFA8.SCR.TE, RE, TIE, RIE = 1b

表2.93 SCIF 動作終了設定例

処理	SH7216 設定例	RX71M 設定例
割り込み禁止と送受信停止 (SCIF) ● 全ての割り込み	SCIF3.SCSCR.TE, RE, TIE, RIE, REIE = 0b	SCIFA8.SCR.TE, RE, TIE, RIE, REIE, TEIE = 0b
割り込み禁止 (ICU) ● 全ての割り込み	—	ICU 割り込み禁止 IEN (SCIFA8, RXIF8) = 0b IEN (SCIFA8, TXIF8) = 0b IEN (ICU, GROUPAL0) = 0b (グループ AL0) グループ AL0 内の割り込み禁止 EN (SCIFA8, ERIF8) = 0b EN (SCIFA8, BRIF8) = 0b EN (SCIFA8, DRIF8) = 0b EN (SCIFA8, TEIF8) = 0b

サンプルコードでは割り込み処理の内容は特に規定しません。以下に、割り込み処理内の一部処理に対する設定例を示します。

表2.94 SCIF 受信データフル割り込み処理内設定例

処理	SH7216 設定例	RX71M 設定例
受信データ読み出し	SCIF3.SCFRDR の値を読み出し SCIF3.SCFDR.R で指定される受信データ数分の値を繰り返し読み出し可能	SCIFA8.FRDR の値を読み出し SCIFA8.FDR.R で指定される受信データ数分の値を繰り返し読み出し可能
受信 FIFO トリガ数設定	SCIF3.SCFCR.RTRG = 00b (トリガ 1)	SCIFA8.FCR.RTRG = 00b (しきい値 1)
ステータスフラグクリア	SCIF3.SCFSR.RDF = 0b (RXI3) '1'の状態を読み出した後、'0'を設定	SCIFA8.FSR.RDF = 0b (RXIF8) '1'の状態を読み出した後、'0'を設定
割り込み禁止と受信停止 (SCIF) ● 受信データフル割り込み ● 受信エラー割り込み	SCIF3.SCSCR.RE, RIE = 0b	SCIFA8.SCR.RE, RIE = 0b
割り込み禁止 (ICU) ● 受信データフル割り込み ● 受信エラー割り込み	—	ICU 割り込み禁止 IEN (SCIFA8, RXIF8) = 0b グループ AL0 内割り込み禁止 EN (SCIFA8, ERIF8) = 0b EN (SCIFA8, BRIF8) = 0b グループ AL0 は TEIF8 で使用するため禁止は不要

表2.95 SCIF 送信データエンプティ割り込み処理内設定例

処理	SH7216 設定例	RX71M 設定例
送信データ設定	SCIF3.SCFTDR へ値を設定 SCIF3.SCFDR.T が 10h になるまで 送信データを繰り返し設定可能	SCIFA8.FTDR へ値を設定 SCIFA8.FDR.T が 10h になるまで送 信データを繰り返し設定可能
ステータスフラグクリア	SCIF3.SCFSR.TDFE = 0b (TXI3) '1'の状態を読み出した後、'0'を設定	SCIFA8.FSR.TDFE = 0b (TXIF8) '1'の状態を読み出した後、'0'を設定
割り込み禁止 <ul style="list-style-type: none"> 送信データエンプティ割り込み 	SCIF 割り込み禁止 SCIF3.SCSCR.TIE = 0b (TXI3)	ICU 割り込み禁止 IEN (SCIFA8, TXIF8) = 0b SCIF 割り込み禁止 SCIFA8.SCR.TIE = 0b (TXIF8)
割り込み許可 <ul style="list-style-type: none"> 送信終了割り込み 	— 送信終了割り込みがないため、フラグで状態を確認	SCIF 割り込み許可 SCIFA8.SCR.TEIE = 1b (TEIF8) グループ AL0 内割り込み許可 EN (SCIFA8, TEIF8) = 1b グループ AL0 は ERIF8 で使用されているため許可は不要

2.11.6 クロック同期式マスタ送信設定例

SH7216 と RX71M の FIFO 付きシリアルコミュニケーションインターフェースを使用して、クロック同期式によるマスタ送信を行う場合の設定例を以下に示します。

<動作概要>

- クロック同期式によるマスタ送信を行います。
- 送信 FIFO データエンプティ割り込みにより送信を起動します。
- 全データを送信後、SCIF 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、`iodef.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.96 クロック同期式マスタ送信動作仕様

項目	内容		備考
SCIF チャンネル	SCIFA8		SH7216 : SCIF3
クロック	PCLKA/4 (PCLKA = 120MHz)		SH7216 : Pφ = 50MHz
通信方式	クロック同期式シリアル通信		
動作モード	マスタ送信		
転送速度	100kbps		
データ長	8 ビット (固定)		
ビット順序	LSB ファースト		
送信 FIFO データ数トリガ	8		
クロックソース	内部クロック		
送信データ	128 バイト (1 から 128 までの値)		
ノイズ除去	使用しない		
割り込み	送信完了 (RX71M のみ) 送信 FIFO データエンプティ		優先度 : レベル 5
使用端子	SCK	PC5/SCK8	SH7216 : PE4/SCK3
	TXD	PC7/TXD8	SH7216 : PE5/TXD3
	LED0	P03/汎用	送信可能で点灯
	LED1	P05/汎用	送信完了で点灯

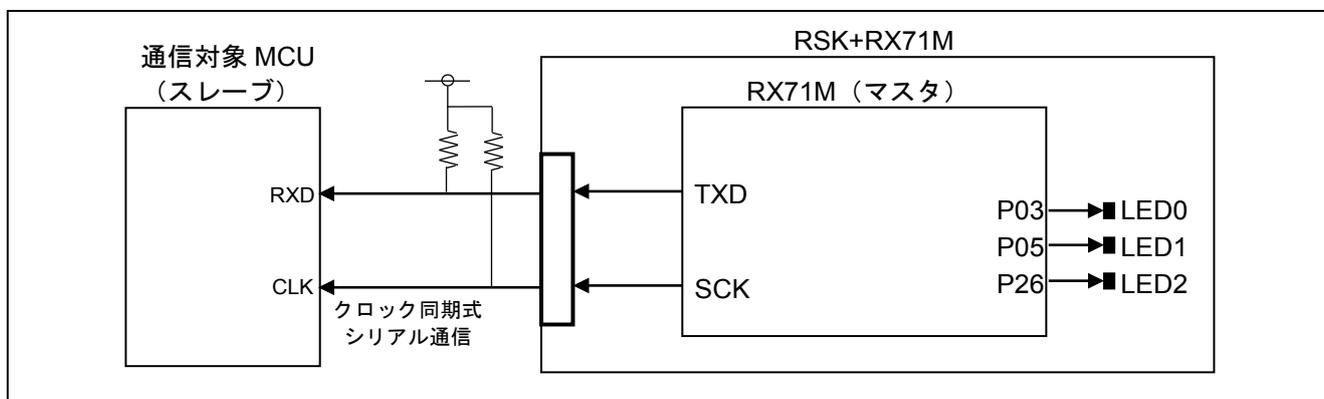


図2.33 クロック同期式マスタ送信接続例

<注意事項>

RSK+RX71M は、設定例で使用する SCIFA8 用端子が初期状態で Ethernet-PHY に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

設定例で使用する割り込み関連レジスタは、「2.11.5 調歩同期式送受信設定例」の調歩同期式の関連レジスタ一覧を参照してください。

<処理フロー>

SCIF を使用した処理フロー例は、「2.11.5 調歩同期式送受信設定例」の調歩同期式の処理フロー例を参照してください。クロック同期式マスタ送信設定例では、送信のみの動作を行うため、受信関連の処理は不要です。

<設定例>

以下に、クロック同期式マスタ送信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

表2.97 SCIF 初期化設定例（クロック同期式マスタ送信）

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	出力値の設定 (出力 1) PE.DR.B4 = 1b (PE4) PE.DR.B5 = 1b (PE5) 端子の向き設定 PFC.PEIORL.B4 = 1b (出力/PE4) PFC.PEIORL.B5 = 1b (出力/PE5) 端子モード設定 (ポート) PFC.PECRL2.PE4MD = 000b (PE4) PFC.PECRL2.PE5MD = 000b (PE5)	出力値の設定 (出力 1) PORTC.PODR.B5 = 1b (PC5) PORTC.PODR.B7 = 1b (PC7) 端子の向き設定 PORTC.PDR.B5 = 1b (出力/PC5) PORTC.PDR.B7 = 1b (出力/PC7) 端子モード設定 (汎用) PORTC.PMR.B5 = 0b (PC5) PORTC.PMR.B7 = 0b (PC7)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (SCIFA8, RXIF8) = 0b IEN (SCIFA8, TXIF8) = 0b IEN (ICU, GROUPAL0) = 0b (グループ AL0) グループ AL0 内の割り込み禁止 EN (SCIFA8, ERIF8) = 0b EN (SCIFA8, BRIF8) = 0b EN (SCIFA8, DRIF8) = 0b EN (SCIFA8, TEIF8) = 0b
モジュールストップ状態解除	STB.CR4._SCIF3 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRC.MSTPC27 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (SCIF)	SCIF 割り込み禁止 SCIF3.SCSCR.RIE = 0b (RXI3, ERI3, BRI3) SCIF3.SCSCR.REIE = 0b (ERI3, BRI3) SCIF3.SCSCR.TIE = 0b (TXI3)	SCIF 割り込み禁止 SCIFA8.SCR.RIE = 0b (RXIF8, DRIF8, ERIF8, BRIF8) SCIFA8.SCR.REIE = 0b (ERIF8, BRIF8) SCIFA8.SCR.TIE = 0b (TXIF8) SCIFA8.SCR.TEIE = 0b (TEIF8)
送受信停止	SCIF3.SCSCR.TE, RE = 0b	SCIFA8.SCR.TE, RE = 0b
FIFO リセット	SCIF3.SCFCR.TFRST, RFRST = 1b	SCIFA8.FCR.TFRST, RFRST = 1b
クロック設定 動作モード 通信フォーマット設定	クロック設定 SCIF3.SCSCR.CKE = 00b SCIF3.SCSMR.CKS = 00b 動作モード設定 SCIF3.SCSMR.CA = 1b (クロック同期式) ビットレート設定 SCIF3.SCBRR = 124 (100kbps@50MHz)	クロック設定 SCIFA8.SCR.CKE = 00b SCIFA8.SMR.CKS = 01b 動作モード設定 SCIFA8.SMR.CM = 1b (クロック同期式) 通信フォーマット設定 SCIFA8.SEMR.DIR = 0b (LSB ファースト) 送信開始前の TXD 端子設定 (High 出力) SCIFA8.SPTR.SPB2IO = 1 SCIFA8.SPTR.SPB2DT = 1 ビットレート設定 SCIFA8.SEMR.MDDRS = 0b (BRR レジスタアクセス許可) SCIFA8.BRR = 74 (100kbps@120MHz)
FIFO 設定	FIFO データ数トリガ設定 SCIF3.SCFCR.TTRG = 00b (トリガ 8)	FIFO しきい値設定 SCIFA8.FTCR.TTRGS = 0b (FCR レジスタ使用) SCIFA8.FCR.TTRG = 00b (しきい値 8)

処理	SH7216 設定例	RX71M 設定例
FIFO リセット解除	SCIF3.SCFGR.TFRST, RFRST = 0b	SCIFA8.FCR.TFRST, RFRST = 0b
割り込み設定	優先度設定 (レベル 5) INTC.IPR14._SCIF3 = 5	優先度設定 (レベル 5) IPR (SCIFA8, TXIF8) = 5 IPR (ICU, GROUPAL0) = 5 (グループ AL0) ICU ステータスクリア IR (SCIFA8, TXIF8) = 0b IR (ICU, GROUPAL0) = 0b (グループ AL0)
I/O ポート設定 (周辺)	端子モード設定 PFC.PECRL2.PE4MD = 110b (SCK3) PFC.PECRL2.PE5MD = 110b (TXD3)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.PC5PFS.PSEL = 001010b (SCK8) MPC.PC7PFS.PSEL = 001010b (TXD8) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORTC.PMR.B5 = 1b (SCK8) PORTC.PMR.B7 = 1b (TXD8)

クロック同期式マスタ送信の初期化を除く設定例は、「2.11.5 調歩同期式送受信設定例」の調歩同期式の設定例を参照してください。

クロック同期式マスタ送信設定例では、送信のみの動作を行うため、受信関連の処理は不要です。

2.11.7 クロック同期式スレーブ受信設定例

SH7216 と RX71M の FIFO 付きシリアルコミュニケーションインタフェースを使用して、クロック同期式によるスレーブ受信を行う場合の設定例を以下に示します。

<動作概要>

- クロック同期式によるスレーブ受信を行います。
- 受信 FIFO データフル割り込みにより受信を起動し、受信データを RAM に格納します。
- 全データ受信完了後、SCIF 動作を終了します。
- エラーを検出した場合は、SCIF 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216：”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.98 クロック同期式スレーブ受信動作仕様

項目	内容		備考
SCIF チャンネル	SCIFA8		SH7216：SCIF3
通信方式	クロック同期式シリアル通信		
動作モード	スレーブ受信		
データ長	8 ビット（固定）		
ビット順序	LSB ファースト		
受信 FIFO データ数トリガ	8		
クロックソース	外部クロック		
ノイズ除去	使用しない		
割り込み	受信 FIFO データフル 受信エラー ブレーク検出		優先レベル 5
使用端子	SCK	PC5/SCK8	SH7216：PE4/SCK3
	RXD	PC6/RXD8	SH7216：PE6/RXD3
	LED0	P03/汎用	受信可能で点灯
	LED1	P05/汎用	受信完了で点灯
	LED2	P26/汎用	エラー検出で点灯

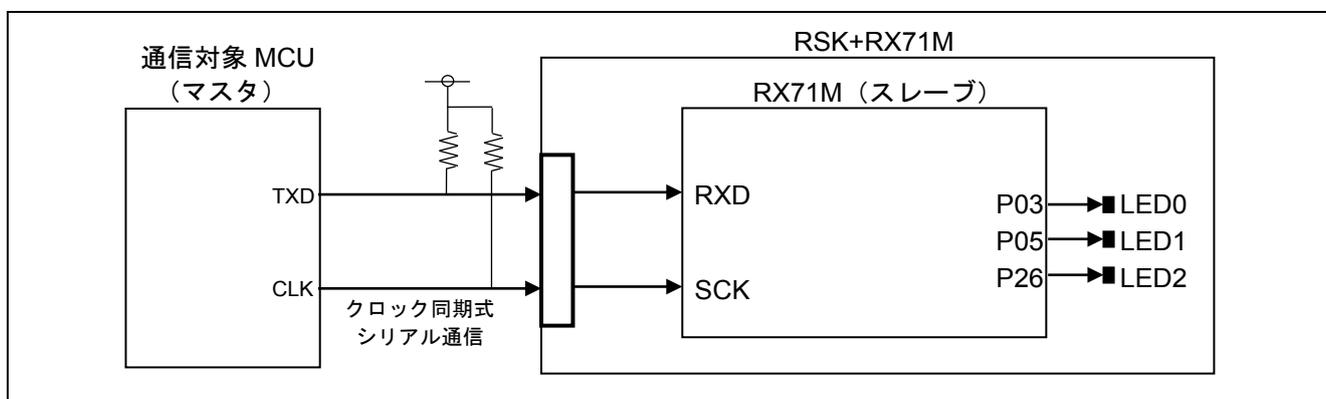


図2.34 クロック同期式スレーブ受信接続例

<注意事項>

RSK+RX71M は、設定例で使用する SCIFA8 用端子が初期状態で Ethernet-PHY に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

設定例で使用する割り込み関連レジスタは、「2.11.5 調歩同期式送受信設定例」の調歩同期式の関連レジスタ一覧を参照してください。

<処理フロー>

SCI を使用した処理フロー例は、「2.11.5 調歩同期式送受信設定例」の調歩同期式の処理フロー例を参照してください。クロック同期式スレーブ受信設定例では、受信のみの動作を行うため、送信関連の処理は不要です。

<設定例>

以下に、クロック同期式スレーブ受信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

表2.99 SCIF 初期化設定例（クロック同期式スレーブ受信）

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	端子の向き設定 PFC.PEIORL.B4 = 0b (入力/PE4) PFC.PEIORL.B6 = 0b (入力/PE6) 端子モード設定 (ポート) PFC.PECRL2.PE4MD = 000b (PE4) PFC.PECRL2.PE6MD = 000b (PE6)	端子の向き設定 PORTC.PDR.B5 = 0b (入力/PC5) PORTC.PDR.B6 = 0b (入力/PC6) 端子モード設定 (汎用) PORTC.PMR.B5 = 0b (PC5) PORTC.PMR.B6 = 0b (PC6)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (SCIFA8, RXIF8) = 0b IEN (SCIFA8, TXIF8) = 0b IEN (ICU, GROUPAL0) = 0b (グループ AL0) グループ AL0 内の割り込み禁止 EN (SCIFA8, ERIF8) = 0b EN (SCIFA8, BRIF8) = 0b EN (SCIFA8, DRIF8) = 0b EN (SCIFA8, TEIF8) = 0b
モジュールストップ状態 解除	STB.CR4._SCIF3 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRC.MSTPC27 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (SCIF)	SCIF 割り込み禁止 SCIF3.SCSCR.RIE = 0b (RXI3, ERI3, BRI3) SCIF3.SCSCR.REIE = 0b (ERI3, BRI3) SCIF3.SCSCR.TIE = 0b (TXI3)	SCIF 割り込み禁止 SCIFA8.SCR.RIE = 0b (RXIF8, DRIF8, ERIF8, BRIF8) SCIFA8.SCR.REIE = 0b (ERIF8, BRIF8) SCIFA8.SCR.TIE = 0b (TXIF8) SCIFA8.SCR.TEIE = 0b (TEIF8)
送受信停止	SCIF3.SCSCR.TE, RE = 0b	SCIFA8.SCR.TE, RE = 0b
FIFO リセット	SCIF3.SCFRCR.TFRST, RFRST = 1b	SCIFA8.FCR.TFRST, RFRST = 1b
クロック設定 動作モード 通信フォーマット設定	クロック設定 SCIF3.SCSCR.CKE = 10b SCIF3.SCSMR.CKS = 00b 動作モード設定 SCIF3.SCSMR.CA = 1b (クロック同期式)	クロック設定 SCIFA8.SCR.CKE = 10b SCIFA8.SMR.CKS = 00b 動作モード設定 SCIFA8.SMR.CM = 1b (クロック同期式) 通信フォーマット設定 SCIFA8.SEMR.DIR = 0b (LSB ファースト)
FIFO 設定	FIFO データ数トリガ設定 SCIF3.SCFRCR.RTRG = 10b (トリガ 8)	FIFO しきい値設定 SCIFA8.FTCR.RTRGS = 0b (FCR レジスタ使用) SCIFA8.FCR.RTRG = 10b (しきい値 8)
FIFO リセット解除	SCIF3.SCFRCR.TFRST, RFRST = 0b	SCIFA8.FCR.TFRST, RFRST = 0b

処理	SH7216 設定例	RX71M 設定例
割り込み設定	優先度設定 (レベル 5) INTC.IPR14._SCIF3 = 5 SCIF ステータスフラグクリア (注) SCIF3.SCFSR.BRK = 0b (BRI3) SCIF3.SCFSR.ER = 0b (ERI3) SCIF3.SCFSR.DR = 0b (RXI3) SCIF3.SCFSR.RDF = 0b (RXI3) SCIF3.SCLSR.ORER = 0b (BRI3) 注. '1'の状態を読み出した後、'0'を設定	優先度設定 (レベル 5) IPR (SCIFA8, RXIF8) = 5 IPR (ICU, GROUPAL0) = 5 (グループ AL0) ICU ステータスクリア IR (SCIFA8, RXIF8) = 0b IR (ICU, GROUPAL0) = 0b (グループ AL0) SCIF ステータスフラグクリア (注) SCIFA8.FSR.BRK = 0b (BRIF8) SCIFA8.FSR.ER = 0b (ERIF8) SCIFA8.FSR.DR = 0b (DRIF8) SCIFA8.FSR.RDF = 0b (RXIF8) SCIFA8.LSR.ORER = 0b (BRIF8) 注. '1'の状態を読み出した後、'0'を設定
I/O ポート設定 (周辺)	端子モード設定 PFC.PECRL2.PE4MD = 110b (SCK3) PFC.PECRL2.PE6MD = 110b (RXD3)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.PC5PFS.PSEL = 001010b (SCK8) MPC.PC6PFS.PSEL = 001010b (RXD8) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORTC.PMR.B5 = 1b (SCK8) PORTC.PMR.B6 = 1b (RXD8)

クロック同期式スレーブ受信の初期化を除く設定例は、「2.11.5 調歩同期式送受信設定例」の調歩同期式の設定例を参照してください。

クロック同期式スレーブ受信設定例では、受信のみの動作を行うため、送信関連の処理は不要です。

2.12 シリアルペリフェラルインタフェース (RSPI)

2.12.1 仕様比較

シリアルペリフェラルインタフェース機能として、SH7216 グループでは RSPI、RX71M では RSPIa が内蔵されています。

SH7216 グループと RX71M の仕様比較を表 2.100に示します。

表2.100 SH7216 グループ、RX71M の仕様比較 (RSPI)

項目	SH7216 グループ (RSPI)	RX71M (RSPIa)
チャンネル数	1ch	2ch
クロックソース	周辺クロック (Pφ) 外部クロック (RSPCK)	周辺モジュールクロック (PCLKA) 外部クロック (RSPCK)
送受信データ長	8~16, 20, 24, 32 ビット	
転送動作	SPI (4 線式) クロック同期式通信 (3 線式)	
データフォーマット	MSB ファースト/LSB ファーストの選択が可能	
クロックの位相/極性	変更可能	
SSL 極性	変更可能	
動作モード	<ul style="list-style-type: none"> • マスタ送信モード • マスタ受信モード • スレーブ送信モード • スレーブ受信モード 	
通信動作モード	全二重通信	全二重または送信のみを選択可能
マルチマスタ対応	あり	
シーケンス制御	シーケンス長 : 4	シーケンス長 : 8
ループバックモード	データ反転あり	データ反転を選択可能
DTC/DMAC 起動	DTC/DMAC 起動可能	
割り込み要因	<ul style="list-style-type: none"> • 送信バッファエンプティ • 受信バッファフル • オーバランエラー • モードフォルトエラー 	<ul style="list-style-type: none"> • 送信バッファエンプティ • 受信バッファフル • RSPI アイドル • オーバランエラー • パリティエラー • モードフォルトエラー
その他	—	<ul style="list-style-type: none"> • イベントリンク • パリティビット付加

2.12.2 レジスタ比較

SH7216 グループ、RX71M のレジスタ比較を表 2.101 に示します。

表の変更欄の記号

- ◎ : SH7216 グループと RX71M でビットアサインが同じレジスタ
- △ : SH7216 グループと RX71M でビットアサインが異なるレジスタ
- : SH7216 グループと RX71M で一方にしかないレジスタ

表2.101 SH7216 グループ、RX71M のレジスタ比較 (RSPI)

SH7216 グループ (RSPI)	RX71M (RSPIa) (注1)	変更
RSPI 制御レジスタ (SPCR)	RSPI 制御レジスタ (RSPIn.SPCR)	◎
RSPI 端子制御レジスタ (SPPCR) (注2)	RSPI 端子制御レジスタ (RSPIn.SPPCR)	△
RSPI コマンドレジスタ 0~3 (SPCMD0~3)	RSPI コマンドレジスタ 0~7 (RSPIn.SPCMD0~7)	◎
RSPI ビットレートレジスタ (SPBR)	RSPI ビットレートレジスタ (RSPIn.SPBR)	◎
RSPI ステータスレジスタ (SPSR)	RSPI ステータスレジスタ (RSPIn.SPSR)	△
RSPI データレジスタ (SPDR)	RSPI データレジスタ (RSPIn.SPDR)	△
RSPI データコントロールレジスタ (SPDCR)	RSPI データコントロールレジスタ (RSPIn.SPDCR)	◎
RSPI スレーブセレクト極性レジスタ (SSLP)	RSPI スレーブセレクト極性レジスタ (RSPIn.SSLP)	◎
RSPI シーケンス制御レジスタ (SPSCR)	RSPI シーケンス制御レジスタ (RSPIn.SPSCR)	△
RSPI シーケンスステータスレジスタ (SPSSR)	RSPI シーケンスステータスレジスタ (RSPIn.SPSSR)	△
RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	RSPI スレーブセレクトネゲート遅延レジスタ (RSPIn.SSLND)	◎
RSPI クロック遅延レジスタ (SPCKD)	RSPI クロック遅延レジスタ (RSPIn.SPCKD)	◎
RSPI 次アクセス遅延レジスタ (SPND)	RSPI 次アクセス遅延レジスタ (RSPIn.SPND)	◎
—	RSPI 制御レジスタ 2 (RSPIn.SPCR2)	—

注 1. RSPIn n : 0~1

注 2. RX71M は RSPI 出力端子モード設定を I/O ポートで行います。

2.12.3 割り込み

SH7216 グループ、RX71M ともに受信バッファフルおよび送信バッファエンプティの割り込みで DTC と DMAC の起動が可能です。

RX71M の受信バッファフルおよび送信バッファエンプティ割り込みは、割り込みステータスフラグ (IRn.IR) が '1' のときに発生した割り込み要求もモジュール内部で保持され、割り込みステータスフラグ (IRn.IR) が '0' になった後、保持された要求によって再度 '1' になります。

RX71M は一部割り込みがグループ割り込み AL0 に割り当てられています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつくと自動的にクリアされます。グループ AL0 割り込みステータスフラグ (GRPAL0.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

割り込みについては「1.9 割り込み処理」を参照してください。

2.12.4 モジュールストップ

RX71M の RSPIa は、SH7216 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.12.5 SPI 動作マスタ送受信設定例

SH7216 と RX71M のシリアルペリフェラルインタフェースを使用して、SPI 動作（4 線式）によるマスタ送受信を行う場合の設定例を以下に示します。

<動作概要>

- SPI 動作によるマスタ送受信を行います。
- 送信データエンブティ割り込みにより送信を起動します。
- 受信データフル割り込みにより受信を起動し、受信データを RAM に格納します。
- 全データ送受信完了後、RSPI 動作を終了します。
- エラーを検出した場合は、RSPI 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、`iodefine.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.102 SPI 動作マスタ送受信動作仕様

項目	内容	備考	
RSPI チャンネル	RSPI0	SH7216 : RSPI	
クロック	PCLKA = 120MHz	SH7216 : Pφ = 50MHz	
通信方式	SPI 動作（4 線式）		
動作モード	全二重同期式によるマスタ送受信	シングルマスタ	
転送速度	2.5Mbps (ベースビットレートの 4 分周)	SH7216 : ベースビットレートの 2 分周	
ビット長	8 ビット		
ビット順序	MSB ファースト		
RSPCK 位相	奇数エッジでデータ変化 偶数エッジでデータサンプル		
RSPCK 極性	アイドル時の RSPCK が High		
RSPCK 遅延	1RSPCK		
SSL 極性	アクティブ Low		
SSL アサート信号	SSLA0		
SSL ネゲート動作	転送終了時に全 SSL 信号をネゲート		
SSL ネゲート遅延	1RSPCK		
SSL ゲート期間の MOSI 値	High を固定出力		
次アクセス遅延	1RSPCK+2PCLK		
コマンド数	1	シーケンス制御なし	
フレーム数	1		
送受信データ	128 バイト（1 から 128 までの値）		
割り込み	全ての割り込みを使用	優先レベル 5	
使用端子	SSL	PC4/SSLA0-A	SH7216 : PA2/SSL0
	RSPCK	PC5/RSPCKA-A	SH7216 : PA5/RSPCK
	MOSI	PC6/MOSIA-A	SH7216 : PA4/MOSI
	MISO	PC7/MISOA-A	SH7216 : PA3/MISO
	LED0	P03/汎用	送受信可能で点灯
	LED1	P05/汎用	送受信完了で点灯
	LED2	P26/汎用	エラー検出で点灯

RX71M では、ICUA の割り込み関連レジスタへ設定を行う場合、`iodfine.h` を使用し以下のように設定することができます。GROUPAL0 は、グループ AL0 割り込みに対する設定です。

- IERm : IEN (RSPIO, ICUA の割り込み名称)、 IEN (ICU, GROUPAL0)
- IPRr : IPR (RSPIO, ICUA の割り込み名称)、 IPR (ICU, GROUPAL0)
- IRr : IR (RSPIO, ICUA の割り込み名称)、 IR (ICU, GROUPAL0)
- GENAL0 : EN (RSPIO, ICUA の割り込み名称)
- GRPAL0 : IS (RSPIO, ICUA の割り込み名称)

<処理フロー>

RSPI を使用した処理フロー例を図 2.36 に示します。本フローの処理名は、設定例の処理名と対応していません。

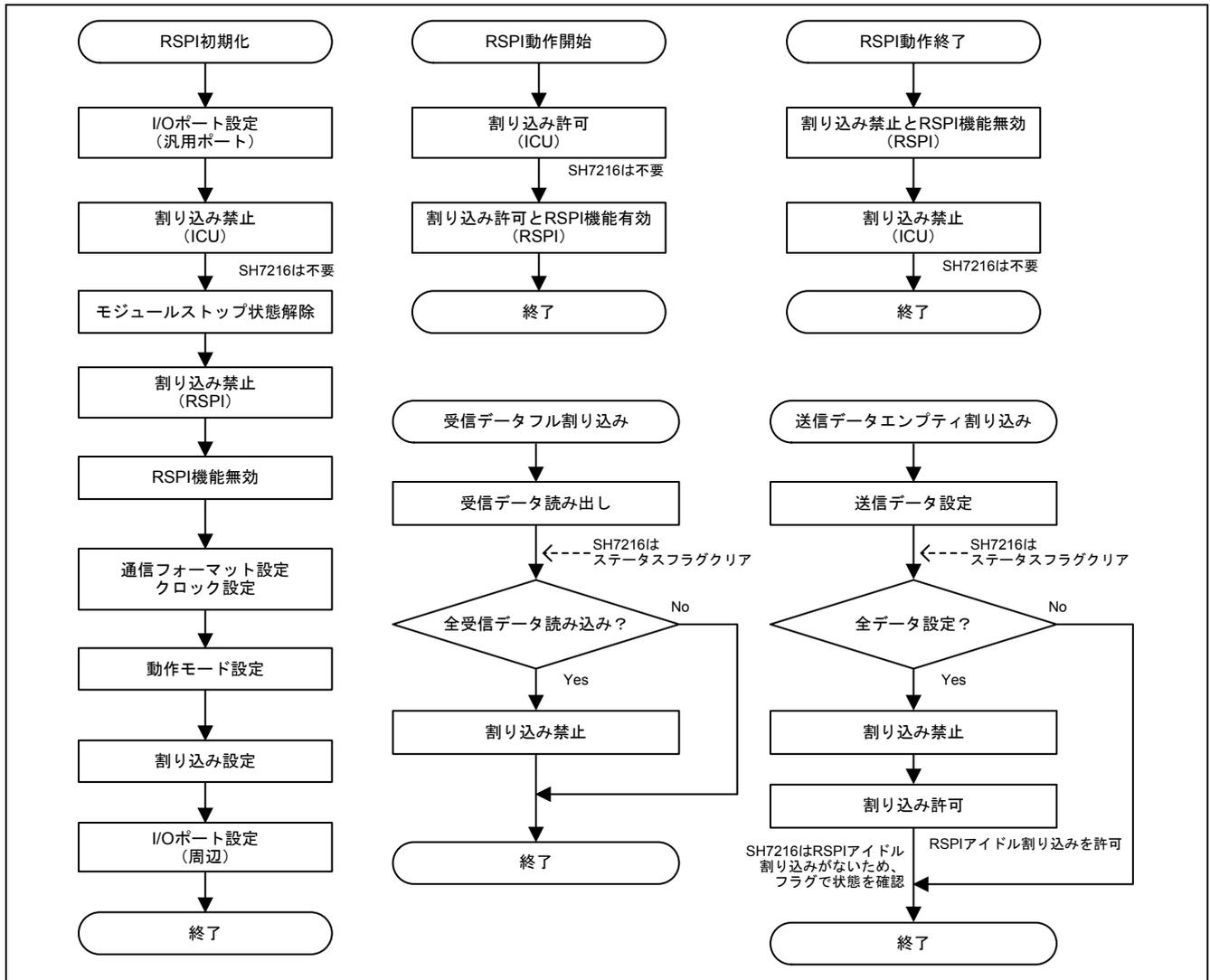


図2.36 RSPI 処理フロー例

<設定例>

以下に、SPI 動作マスタ送受信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

表2.106 RSPI 初期化設定例 (SPI 動作送受信)

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	出力値の設定 (出力 1) PA.DR.B2 = 1b (PA2) PA.DR.B5 = 1b (PA5) PA.DR.B4 = 1b (PA4) 端子の向き設定 PFC.PAIORL.B2 = 1b (出力/PA2) PFC.PAIORL.B5 = 1b (出力/PA5) PFC.PAIORL.B4 = 1b (出力/PA4) PFC.PAIORL.B3 = 0b (入力/PA3) 端子モード設定 (ポート) PFC.PACRL1.PA2MD = 000b (PA2) PFC.PACRL2.PA5MD = 000b (PA5) PFC.PACRL2.PA4MD = 000b (PA4) PFC.PACRL1.PA3MD = 000b (PA3)	出力値の設定 (出力 1) PORTC.PODR.B4 = 1b (PC4) PORTC.PODR.B5 = 1b (PC5) PORTC.PODR.B6 = 1b (PC6) 端子の向き設定 PORTC.PDR.B4 = 1b (出力/PC4) PORTC.PDR.B5 = 1b (出力/PC5) PORTC.PDR.B6 = 1b (出力/PC6) PORTC.PDR.B7 = 0b (入力/PC7) 端子モード設定 (汎用) PORTC.PMR.B4 = 0b (PC4) PORTC.PMR.B5 = 0b (PC5) PORTC.PMR.B6 = 0b (PC6) PORTC.PMR.B7 = 0b (PC7)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (RSPI0, SPRI0) = 0b IEN (RSPI0, SPTI0) = 0b IEN (ICU, GROUPAL0) = 0b (グループ AL0) グループ AL0 内の割り込み禁止 EN (RSPI0, SPII0) = 0b EN (RSPI0, SPEI0) = 0b
モジュールストップ状態 解除	STB.CR5._RSPI = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRB.MSTPB17 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (RSPI)	RSPI 割り込み禁止 RSPI.SPCR.SPRIE = 0b (SPRI) RSPI.SPCR.SPTIE = 0b (SPTI) RSPI.SPCR.SPEIE = 0b (SPEI) RSPI.SPCR.MODFEN = 0b (MODF 用)	RSPI 割り込み禁止 RSPI0.SPCR.SPRIE = 0b (SPRI0) RSPI0.SPCR.SPTIE = 0b (SPTI0) RSPI0.SPCR.SPEIE = 0b (SPEI0) RSPI0.SPCR2.SPIIE = 0b (SPII0) RSPI0.SPCR.MODFEN = 0b (MODF 用)
RSPI 機能無効	RSPI.SPCR.SPE = 0b	RSPI0.SPCR.SPE = 0b
通信フォーマット設定	SSL 極性設定 RSPI.SSLP.SSL0P = 0b RSPI 端子制御 RSPI.SPPCR.SPOM = 0b (CMOS 出力) RSPI.SPPCR.MOIFV = 1b RSPI.SPPCR.MOIFE = 1b クロック設定 (2.5Mbps@50MHz/20) RSPI.SPCMD0.BRDV = 01b RSPI.SPBR = 4 フレーム数、アクセスサイズ設定 RSPI.SPDCR.SPFC = 00b RSPI.SPDCR.SPLW = 0b	SSL 極性設定 RSPI0.SSLP.SSL0P = 0b RSPI 端子制御 RSPI0.SPPCR.MOIFV = 1b RSPI0.SPPCR.MOIFE = 1b クロック設定 (2.5Mbps@120MHz/48) RSPI0.SPCMD0.BRDV = 10b RSPI0.SPBR = 5 フレーム数、アクセスサイズ設定 RSPI0.SPDCR.SPFC = 00b RSPI0.SPDCR.SPLW = 0b パリティ設定 RSPI0.SPCR2.SPPE = 0b (パリティなし)

処理	SH7216 設定例	RX71M 設定例
通信フォーマット設定	シーケンス設定 RSPI.SPSCR.SPSSLN = 00b コマンド設定 RSPI.SPCMD0.SPB = 0111b RSPI.SPCMD0.LSBF = 0b RSPI.SPCMD0.CPHA = 1b RSPI.SPCMD0.CPOL = 1b RSPI.SPCMD0.SSLA = 000b RSPI.SPCMD0.SSLKP = 0b RSPI.SPCMD0.SPNDEN = 0b RSPI.SPCMD0.SLNDEN = 0b RSPI.SPCMD0.SCKDEN = 0b	シーケンス設定 RSPI0.SPSCR.SPSSLN = 000b コマンド設定 RSPI0.SPCMD0.SPB = 0111b RSPI0.SPCMD0.LSBF = 0b RSPI0.SPCMD0.CPHA = 1b RSPI0.SPCMD0.CPOL = 1b RSPI0.SPCMD0.SSLA = 000b RSPI0.SPCMD0.SSLKP = 0b RSPI0.SPCMD0.SPNDEN = 0b RSPI0.SPCMD0.SLNDEN = 0b RSPI0.SPCMD0.SCKDEN = 0b
動作モード設定	RSPI.SPCR.SPMS = 0b RSPI.SPCR.MSTR = 1b	RSPI0.SPCR.SPMS = 0b RSPI0.SPCR.MSTR = 1b RSPI0.SPCR.TXMD = 0b (全二重同期式) RSPI0.SPCR の値をダミー読み出し
割り込み設定	優先度設定 (レベル 5) INTC.IPR17._RSPI = 5 RSPI ステータスフラグクリア (注) RSPI.SPSR.MODF = 0b (SPEI) RSPI.SPSR.OVRF = 0b (SPEI) RSPI.SPSR.SPRF = 0b (SPRI) RSPI ステータスフラグは RSPI 動作停止で初期化される為クリア不要 ただし、SPRF, MODF, OVRF は初期化されない 注. '1'の状態を読み出した後、'0'を設定	優先度設定 (レベル 5) IPR (RSPI0, SPRI0) = 5 IPR (RSPI0, SPTI0) = 5 IPR (ICU, GROUPAL0) = 5 (グループ AL0) ICU ステータスフラグクリア IR (RSPI0, SPRI0) = 0b IR (RSPI0, SPTI0) = 0b IR (ICU, GROUPAL0) = 0b (グループ AL0) RSPI ステータスフラグクリア (注) RSPI0.SPSR.MODF = 0b (SPEI0) RSPI0.SPSR.OVRF = 0b (SPEI0) RSPI ステータスフラグは RSPI 動作停止で初期化される為クリア不要 ただし、MODF, OVRF は初期化されない 注. '1'の状態を読み出した後、'0'を設定
I/O ポート設定 (周辺)	端子モード設定 PFC.PACRL1.PA2MD = 101b (SSL) PFC.PACRL2.PA5MD = 101b (RSPCK) PFC.PACRL2.PA4MD = 101b (MOSI) PFC.PACRL1.PA3MD = 101b (MISO)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.PC4PFS.PSEL = 001101b (SSL) MPC.PC5PFS.PSEL = 001101b (RSPCK) MPC.PC6PFS.PSEL = 001101b (MOSI) MPC.PC7PFS.PSEL = 001101b (MISO) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORTC.PMR.B4 = 1b (SSL) PORTC.PMR.B5 = 1b (RSPCK) PORTC.PMR.B6 = 1b (MOSI) PORTC.PMR.B7 = 1b (MISO)

表2.107 RSPI 動作開始設定例

処理	SH7216 設定例	RX71M 設定例
割り込み許可 (ICU) ● RSPI アイドル割り込みを除く	—	グループ AL0 内の割り込み許可 EN (RSPI0, SPEI0) = 1b ICU 割り込み許可 IEN (RSPI0, SPRI0) = 1b IEN (RSPI0, SPTI0) = 1b IEN (ICU, GROUPAL0) = 1b (グループ AL0)
割り込み許くと RSPI 機能有効 (RSPI) ● RSPI アイドル割り込みを除く	RSPI.SPCR.SPE, SPTIE, SPRIE, SPEIE = 1b	RSPI0.SPCR.SPE, SPTIE, SPRIE, SPEIE = 1b

表2.108 RSPI 動作終了設定例

処理	SH7216 設定例	RX71M 設定例
割り込み禁止と RSPI 機能無効 (RSPI) ● 全ての割り込み	RSPI.SPCR.SPE, SPTIE, SPRIE, SPEIE = 0b	RSPI0.SPCR.SPE, SPTIE, SPRIE, SPEIE = 0b RSPI0.SPCR2.SPIIE = 0b
割り込み禁止 (ICU) ● 全ての割り込み	—	ICU 割り込み禁止 IEN (RSPI0, SPRI0) = 0b IEN (RSPI0, SPTI0) = 0b IEN (ICU, GROUPAL0) = 0b (グループ AL0) グループ AL0 内の割り込み禁止 EN (RSPI0, SPII0) = 0b EN (RSPI0, SPEI0) = 0b

サンプルコードでは割り込み処理の内容は特に規定しません。以下に、割り込み処理内の一部処理に対する設定例を示します。

表2.109 RSPI 受信データフル割り込み処理内設定例

処理	SH7216 設定例	RX71M 設定例
受信データ読み出し	RSPI.SPDR の値を読み出し	RSPI0.SPDR の値を読み出し
ステータスフラグクリア	RSPI.SPSR.SPRF = 0b '1'の状態を読み出した後、'0'を設定	—
割り込み禁止 ● 受信データフル割り込み ● 受信エラー割り込み	RSPI 割り込み禁止 RSPI.SPCR.SPRIE = 0b (SPRI) RSPI.SPCR.SPEIE = 0b (SPEI)	ICU 割り込み禁止 IEN (RSPI0, SPRI0) = 0b グループ AL0 内の割り込み禁止 EN (RSPI0, SPEI0) = 0b RSPI 割り込み禁止 RSPI0.SPCR.SPRIE = 0b RSPI0.SPCR.SPEIE = 0b グループ AL0 は SPII0 で使用するため禁止は不要

表2.110 RSPI 送信データエンプティ割り込み処理内設定例

処理	SH7216 設定例	RX71M 設定例
送信データ設定	RSPI.SPDR へ値を設定	RSPI0.SPDR へ値を設定
ステータスフラグクリア	RSPI.SPSR.SPTEF = 0b ‘1’の状態を読み出した後、‘0’を設定	—
割り込み禁止 ● 送信データエンプティ割り込み	RSPI 割り込み禁止 RSPI.SPCR.SPTIE = 0b	ICU 割り込み禁止 IEN (RSPI0, SPTI0) = 0b RSPI 割り込み禁止 RSPI0.SPCR.SPTIE = 0b
割り込み許可 ● RSPI アイドル割り込み	— RSPI アイドル割り込みがないため、フラグで状態を確認	RSPI 割り込み許可 RSPI0.SPCR2.SPIIE = 1b (SPII0) グループ AL0 内の割り込み許可 EN (RSPI0, SPII0) = 1b グループ AL0 は SPEI0 で使用されているため許可は不要

2.12.6 クロック同期式マスタ送信設定例

SH7216 と RX71M のシリアルペリフェラルインタフェースを使用して、クロック同期式（3線式）によるマスタ送信を行う場合の設定例を以下に示します。

<動作概要>

- クロック同期式によるマスタ送信を行います。
- 送信データエンブティ割り込みにより送信を起動します。
- 全データ送信完了後、RSPI 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.111 クロック同期式マスタ送信動作仕様

項目	内容		備考
RSPI チャンネル	RSPI0		SH7216 : RSPI
クロック	PCLKA = 120MHz		SH7216 : Pφ = 50MHz
通信方式	クロック同期式動作（3線式）		
動作モード	送信動作のみ		
転送速度	2.5Mbps		ベースビットレートの分周比 RX71M : 4分周 SH7216 : 2分周
データ長	8ビット		
ビット順序	MSB ファースト		
RSPCK 位相	奇数エッジでデータ変化 偶数エッジでデータサンプル		
RSPCK 極性	アイドル時の RSPCK が High		
RSPCK 遅延	1RSPCK		
次アクセス遅延	1RSPCK+2PCLK		
コマンド数	1		シーケンス制御なし
フレーム数	1		
送信データ	128バイト(1から128までの値)		
割り込み	全ての割り込みを使用		優先レベル5
使用端子	RSPCK	PC5/RSPCKA-A	SH7216 : PA5/RSPCK
	MOSI	PC6/MOSIA-A	SH7216 : PA4/MOSI
	LED0	P03/汎用	送信可能で点灯
	LED1	P05/汎用	送信完了で点灯

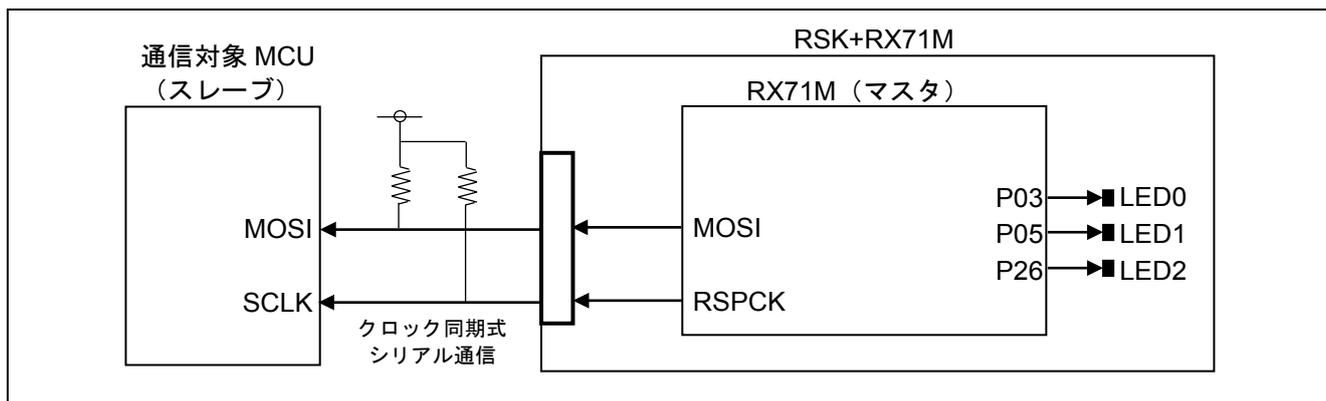


図2.37 クロック同期式マスタ送信接続例

<注意事項>

RSK+RX71M は、設定例で使用する RSPI0 用端子が初期状態で Ethernet-PHY および外部バスに接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

設定例で使用する割り込み関連レジスタは、「2.12.5 SPI 動作マスタ送受信設定例」の SPI 動作の関連レジスタ一覧を参照してください。

クロック同期式マスタ送信設定例では、送信のみの動作を行うため受信関連の処理は不要です

<処理フロー>

RSPI を使用した処理フロー例は、「2.12.5 SPI 動作マスタ送受信設定例」の SPI 動作の処理フロー例を参照してください。

クロック同期式マスタ送信設定例では、送信のみの動作を行うため受信関連の処理は不要です。

<設定例>

以下に、クロック同期式マスタ送信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

表2.112 RSPI 初期化設定例（クロック同期式マスタ送信）

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	出力値の設定 (出力 1) PA.DR.B5 = 1b (PA5) PA.DR.B4 = 1b (PA4) 端子の向き設定 PFC.PAIORL.B5 = 1b (出力/PA5) PFC.PAIORL.B4 = 1b (出力/PA4) 端子モード設定 (ポート) PFC.PACRL2.PA5MD = 000b (PA5) PFC.PACRL2.PA4MD = 000b (PA4)	出力値の設定 (出力 1) PORTC.PODR.B5 = 1b (PC5) PORTC.PODR.B6 = 1b (PC6) 端子の向き設定 PORTC.PDR.B5 = 1b (出力/PC5) PORTC.PDR.B6 = 1b (出力/PC6) 端子モード設定 (汎用) PORTC.PMR.B5 = 0b (PC5) PORTC.PMR.B6 = 0b (PC6)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (RSPI0, SPRI0) = 0b IEN (RSPI0, SPTI0) = 0b IEN (ICU, GROUPAL0) = 0b (グループ AL0) グループ AL0 内の割り込み禁止 EN (RSPI0, SPII0) = 0b EN (RSPI0, SPEI0) = 0b
モジュールストップ状態解除	STB.CR5_RSPI = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRB.MSTPB17 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (RSPI)	RSPI 割り込み禁止 RSPI.SPCR.SPRIE = 0b (SPRI) RSPI.SPCR.SPTIE = 0b (SPTI) RSPI.SPCR.SPEIE = 0b (SPEI) RSPI.SPCR.MODFEN = 0b (MODF 用)	RSPI 割り込み禁止 RSPI0.SPCR.SPRIE = 0b (SPRI0) RSPI0.SPCR.SPTIE = 0b (SPTI0) RSPI0.SPCR.SPEIE = 0b (SPEI0) RSPI0.SPCR2.SPIIE = 0b (SPII0) RSPI0.SPCR.MODFEN = 0b (MODF 用)
RSPI 機能無効	RSPI.SPCR.SPE = 0b	RSPI0.SPCR.SPE = 0b
通信フォーマット設定	RSPI 端子制御 RSPI.SPPCR.SPOM = 0b (CMOS 出力) RSPI.SPPCR.MOIFV = 1b RSPI.SPPCR.MOIFE = 1b クロック設定 (2.5Mbps@50MHz/20) RSPI.SPCMD0.BRDV = 01b RSPI.SPBR = 4 フレーム数、アクセスサイズ設定 RSPI.SPDCR.SPFC = 00b RSPI.SPDCR.SPLW = 0b シーケンス設定 RSPI.SPSCR.SPSSLN = 00b	RSPI 端子制御 RSPI0.SPPCR.MOIFV = 1b RSPI0.SPPCR.MOIFE = 1b クロック設定 (2.5Mbps@120MHz/48) RSPI0.SPCMD0.BRDV = 10b RSPI0.SPBR = 5 フレーム数、アクセスサイズ設定 RSPI0.SPDCR.SPFC = 00b RSPI0.SPDCR.SPLW = 0b パリティ設定 RSPI0.SPCR2.SPPE = 0b (パリティなし) シーケンス設定 RSPI0.SPSCR.SPSSLN = 000b

処理	SH7216 設定例	RX71M 設定例
通信フォーマット設定	コマンド設定 RSPI.SPCMD0.SPB = 0111b RSPI.SPCMD0.LSBF = 0b RSPI.SPCMD0.CPHA = 1b RSPI.SPCMD0.CPOL = 1b RSPI.SPCMD0.SPNDEN = 0b RSPI.SPCMD0.SCKDEN = 0b	コマンド設定 RSPI0.SPCMD0.SPB = 0111b RSPI0.SPCMD0.LSBF = 0b RSPI0.SPCMD0.CPHA = 1b RSPI0.SPCMD0.CPOL = 1b RSPI0.SPCMD0.SPNDEN = 0b RSPI0.SPCMD0.SCKDEN = 0b
動作モード設定	RSPI.SPCR.SPMS = 1b RSPI.SPCR.MSTR = 1b	RSPI0.SPCR.SPMS = 1b RSPI0.SPCR.MSTR = 1b RSPI0.SPCR.TXMD = 1b (送信のみ) RSPI0.SPCR の値をダミー読み出し
割り込み設定	優先度設定 (レベル 5) INTC.IPR17._RSPI = 5 RSPI ステータスフラグクリア (注) RSPI.SPSR.SPRF = 0b (SPRI) RSPI ステータスフラグは RSPI 動作停止で初期化される為クリア不要 ただし、SPRF は初期化されない 注. '1'の状態を読み出した後、'0'を設定	優先度設定 (レベル 5) IPR (RSPI0, SPTI0) = 5 IPR (ICU, GROUPAL0) = 5 (グループ AL0) ICU ステータスフラグクリア IR (RSPI0, SPTI0) = 0b IR (ICU, GROUPAL0) = 0b (グループ AL0)
I/O ポート設定 (周辺)	端子モード設定 PFC.PACRL2.PA5MD = 101b (RSPCK) PFC.PACRL2.PA4MD = 101b (MOSI)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.PC5PFS.PSEL = 001101b (RSPCK) MPC.PC6PFS.PSEL = 001101b (MOSI) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORTC.PMR.B5 = 1b (RSPCK) PORTC.PMR.B6 = 1b (MOSI)

クロック同期式マスタ送信の初期化を除く設定例は、「2.12.5 SPI 動作マスタ送受信設定例」の SPI 動作の設定例を参照してください。

クロック同期式マスタ送信設定例では、送信のみの動作を行うため受信関連の処理は不要です

2.12.7 クロック同期式スレーブ受信設定例

SH7216 と RX71M のシリアルペリフェラルインタフェースを使用して、クロック同期式（3 線式）によるスレーブ受信を行う場合の設定例を以下に示します。

<動作概要>

- クロック同期式によるスレーブ受信を行います。
- 受信データフル割り込みにより受信を起動し、受信データを RAM に格納します。
- 全データ受信完了後、RSPI 動作を終了します。
- エラーを検出した場合は、RSPI 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216：”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.113 クロック同期式スレーブ受信動作仕様

項目	内容	備考	
RSPI チャンネル	RSPI0	SH7216：RSPI	
クロック	PCLKA = 120MHz	SH7216：Pφ = 50MHz	
通信方式	クロック同期式動作（3 線式）		
動作モード	全二重同期式によるスレーブ受信 ダミー受信を行う		
データ長	8 ビット		
ビット順序	MSB ファースト		
RSPCK 位相	奇数エッジでデータ変化 偶数エッジでデータサンプル		
RSPCK 極性	アイドル時の RSPCK が High		
フレーム数	1		
受信データ	128 バイト		
割り込み	全ての割り込みを使用	優先度：レベル 5	
使用端子	RSPCK	PC5/RSPCKA-A	SH7216：PA5/RSPCK
	MOSI	PC6/MOSIA-A	SH7216：PA4/MOSI
	LED0	P03/汎用	受信可能で点灯
	LED1	P05/汎用	受信完了で点灯
	LED2	P73/汎用	エラー検出で点灯

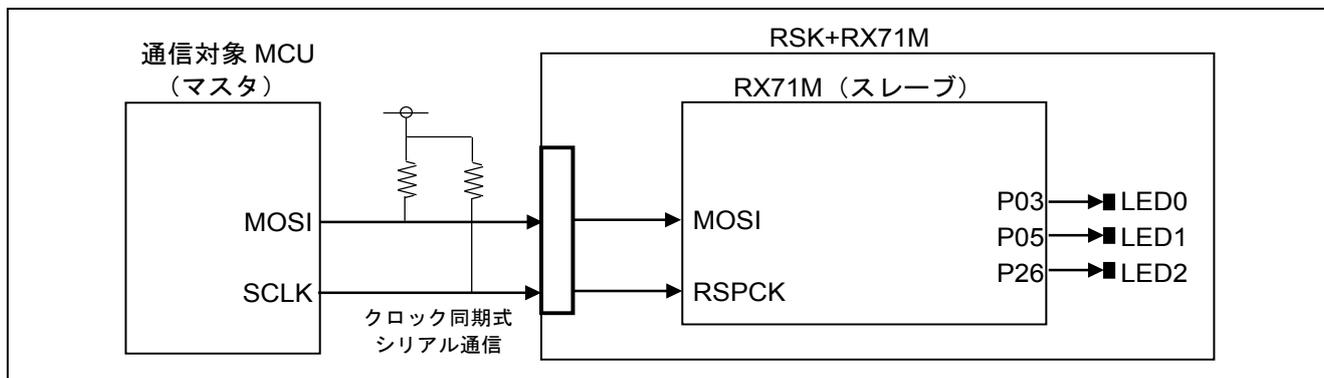


図2.38 クロック同期式スレーブ受信接続例

<注意事項>

RSK+RX71M は、設定例で使用する RSPI0 用端子が初期状態で Ethernet-PHY および外部バスに接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

設定例で使用する割り込み関連レジスタは、「2.12.5 SPI 動作マスタ送受信設定例」の SPI 動作の関連レジスタ一覧を参照してください。

クロック同期式スレーブ受信設定例では、全二重動作を行うため、ダミー受信の処理が必要です。

<処理フロー>

RSPI を使用した処理フロー例は、「2.12.5 SPI 動作マスタ送受信設定例」の SPI 動作の処理フロー例を参照してください。

クロック同期式スレーブ受信設定例では、全二重動作を行うため、ダミー受信の処理が必要です。

<設定例>

以下に、クロック同期式マスタ送信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

表2.114 RSPI 初期化設定例（クロック同期式スレーブ受信）

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	端子の向き設定 PFC.PAIORL.B5 = 0b (入力/PA5) PFC.PAIORL.B4 = 0b (入力/PA4) 端子モード設定 (ポート) PFC.PACRL2.PA5MD = 000b (PA5) PFC.PACRL2.PA4MD = 000b (PA4)	端子の向き設定 PORTC.PDR.B5 = 0b (入力/PC5) PORTC.PDR.B6 = 0b (入力/PC6) 端子モード設定 (汎用) PORTC.PMR.B5 = 0b (PC5) PORTC.PMR.B6 = 0b (PC6)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (RSPI0, SPRI0) = 0b IEN (RSPI0, SPTI0) = 0b IEN (ICU, GROUPAL0) = 0b (グループ AL0) グループ AL0 内の割り込み禁止 EN (RSPI0, SPII0) = 0b EN (RSPI0, SPEI0) = 0b
モジュールストップ状態 解除	STB.CR5._RSPI = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRB.MSTPB17 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (RSPI)	RSPI 割り込み禁止 RSPI.SPCR.SPRIE = 0b (SPRI) RSPI.SPCR.SPTIE = 0b (SPTI) RSPI.SPCR.SPEIE = 0b (SPEI) RSPI.SPCR.MODFEN = 0b (MODF 用)	RSPI 割り込み禁止 RSPI0.SPCR.SPRIE = 0b (SPRI0) RSPI0.SPCR.SPTIE = 0b (SPTI0) RSPI0.SPCR.SPEIE = 0b (SPEI0) RSPI0.SPCR2.SPIIE = 0b (SPII0) RSPI0.SPCR.MODFEN = 0b (MODF 用)
RSPI 機能無効	RSPI.SPCR.SPE = 0b	RSPI0.SPCR.SPE = 0b
通信フォーマット設定	フレーム数、アクセスサイズ設定 RSPI.SPDCR.SPFC = 00b RSPI.SPDCR.SPLW = 0b シーケンス設定 RSPI.SPSCR.SPSSLN = 00b コマンド設定 RSPI.SPCMD0.SPB = 0111b RSPI.SPCMD0.LSBF = 0b RSPI.SPCMD0.CPHA = 1b RSPI.SPCMD0.CPOL = 1b RSPI.SPCMD0.SPNDEN = 0b RSPI.SPCMD0.SCKDEN = 0b	フレーム数、アクセスサイズ設定 RSPI0.SPDCR.SPFC = 00b RSPI0.SPDCR.SPLW = 0b パリティ設定 RSPI0.SPCR2.SPPE = 0b (パリティなし) シーケンス設定 RSPI0.SPSCR.SPSSLN = 000b コマンド設定 RSPI0.SPCMD0.SPB = 0111b RSPI0.SPCMD0.LSBF = 0b RSPI0.SPCMD0.CPHA = 1b RSPI0.SPCMD0.CPOL = 1b RSPI0.SPCMD0.SPNDEN = 0b RSPI0.SPCMD0.SCKDEN = 0b
動作モード設定	RSPI.SPCR.SPMS = 1b RSPI.SPCR.MSTR = 0b	RSPI0.SPCR.SPMS = 1b RSPI0.SPCR.MSTR = 0b RSPI0.SPCR.TXMD = 0b (全二重動作) RSPI0.SPCR の値をダミー読み出し

処理	SH7216 設定例	RX71M 設定例
割り込み設定	優先度設定 (レベル 5) INTC.IPR17._RSPI = 5 RSPI ステータスフラグクリア (注) RSPI.SPSR.MODF = 0b (SPEI) RSPI.SPSR.OVRF = 0b (SPEI) RSPI.SPSR.SPRF = 0b (SPRI) RSPI ステータスフラグは RSPI 動作停止で初期化される為クリア不要 ただし、SPRF, MODF, OVRF は初期化されない 注. '1'の状態を読み出した後、'0'を設定	優先度設定 (レベル 5) IPR (RSPI0, SPRI0) = 5 IPR (RSPI0, SPTI0) = 5 IPR (ICU, GROUPAL0) = 5 (グループ AL0) ICU ステータスフラグクリア IR (RSPI0, SPRI0) = 0b IR (RSPI0, SPTI0) = 0b IR (ICU, GROUPAL0) = 0b (グループ AL0) RSPI ステータスフラグクリア (注) RSPI0.SPSR.MODF = 0b (SPEI0) RSPI0.SPSR.OVRF = 0b (SPEI0) RSPI ステータスフラグは RSPI 動作停止で初期化される為クリア不要 ただし、MODF, OVRF は初期化されない 注. '1'の状態を読み出した後、'0'を設定
I/O ポート設定 (周辺)	端子モード設定 PFC.PACRL2.PA5MD = 101b (RSPCK) PFC.PACRL2.PA4MD = 101b (MOSI)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.PC5PFS.PSEL = 001101b (RSPCK) MPC.PC6PFS.PSEL = 001101b (MOSI) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORTC.PMR.B5 = 1b (RSPCK) PORTC.PMR.B6 = 1b (MOSI)

クロック同期式スレーブ受信の初期化を除く設定例は、「2.12.5 SPI 動作マスタ送受信設定例」の SPI 動作の設定例を参照してください。

クロック同期式スレーブ受信設定例では、全二重動作を行うためダミー送信の処理が必要です。

2.13 I²C バスインタフェース (IIC)

2.13.1 仕様比較

I²C バスインタフェース機能として、SH7216 グループでは IIC3、RX71M では SMBus (Ver.2.0) に準拠した通信動作が可能な RIICa が内蔵されています。

SH7216 グループと RX71M の仕様比較を表 2.115 に示します。

表2.115 SH7216 グループ、RX71M の仕様比較 (IIC)

項目		SH7216 グループ (IIC3)	RX71M (RIICa)
チャンネル数		1 チャンネル	2 チャンネル
クロックソース		周辺クロック (Pφ)	周辺モジュールクロック (PCLKB)
通信フォーマット		<ul style="list-style-type: none"> I²C バスフォーマット クロック同期式シリアルフォーマット (注1) 	<ul style="list-style-type: none"> I²C バスフォーマット SMBus フォーマット
データ転送		MSB ファースト固定 クロック同期式シリアルフォーマットの場合は MSB/LSB ファーストの選択が可能	MSB ファースト固定
I ² C バス フォーマット (SMBus)	動作モード	<ul style="list-style-type: none"> マスタ送信モード マスタ受信モード スレーブ送信モード スレーブ受信モード 	
	開始条件/ 停止条件	自動生成	
	アドレス検出	<ul style="list-style-type: none"> 7 ビットのスレーブアドレス 	<ul style="list-style-type: none"> 3 種類の 7/10 ビットスレーブアドレス ジェネラルコールアドレス デバイス ID アドレス SMBus のホストアドレス
	DTC/DMAC 起動	DTC/DMAC 起動可能	DTC/DMAC 起動可能
	割り込み要因	<ul style="list-style-type: none"> アービトレーションロスト NACK 検出 停止条件検出 受信データフル 送信データエンプティ 送信終了 	<ul style="list-style-type: none"> アービトレーションロスト検出 NACK 検出 タイムアウト検出 スタートコンディション検出 ストップコンディション検出 受信データフル 送信データエンプティ 送信終了
	マルチマスタ 対応	ビット同期回路あり 他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定すること	SCL 同期回路あり
ノイズ除去		SCL、SDA 端子のノイズ除去幅を設定可能 ラッチ回路は最大 3 段	SCL、SDA 端子にデジタルノイズフィルタの設定、ノイズ除去幅の設定可能 ラッチ回路は最大 5 段

項目	SH7216 グループ (IIC3)	RX71M (RIICa)
その他	—	<ul style="list-style-type: none"> ● イベントリンク ● SCL クロックのデューティ比設定 ● SDA 出力遅延機能 ● SCL の自動 Low ホールド機能 ● バスハンガアップ対応

注 1. RX71M の RIICa ではクロック同期式シリアルフォーマットに対応していませんが、SCIg および SCIH のクロック同期式通信フォーマットで代替が可能です。

2.13.2 レジスタ比較

SH7216 グループ、RX71M のレジスタ比較を表 2.116 に示します。

表の変更欄の記号

- ◎ : SH7216 グループと RX71M でビットアサインが同じレジスタ
- △ : SH7216 グループと RX71M でビットアサインが異なるレジスタ
- : SH7216 グループと RX71M で一方にしかないレジスタ

表 2.116 SH7216 グループ、RX71M のレジスタ比較 (IIC)

SH7216 グループ (IIC3)	RX71M (RIICa) ^(注1)	変更
I ² C バスコントロールレジスタ 1 (ICCR1)	I ² C バスコントロールレジスタ 1 (RIICn.ICCR1)	△
I ² C バスコントロールレジスタ 2 (ICCR2)	I ² C バスコントロールレジスタ 2 (RIICn.ICCR2)	
I ² C バスモードレジスタ (ICMR)	I ² C バスモードレジスタ 1 (RIICn.ICMR1)	△
I ² C バスインタラプトイネーブルレジスタ (ICIER)	I ² C バスモードレジスタ 3 (RIICn.ICMR3) ^(注2) I ² C バス割り込み許可レジスタ (RIICn.ICIER) I ² C バスファンクション許可レジスタ (RIICn.ICFER)	△
I ² C バスステータスレジスタ (ICSR)	I ² C バスステータスレジスタ 1 (RIICn.ICSR1) I ² C バスステータスレジスタ 2 (RIICn.ICSR2)	△
スレーブアドレスレジスタ (SAR)	スレーブアドレスレジスタ Ly (RIICn.SARLy) (y = 0~2) I ² C バスモードレジスタ 3 (RIICn.ICMR3) ^(注2)	△
I ² C バス送信データレジスタ (ICDRT)	I ² C バス送信データレジスタ (RIICn.ICDRT)	◎
I ² C バス受信データレジスタ (ICDRR)	I ² C バス受信データレジスタ (RIICn.ICDRR)	◎
I ² C バスシフトレジスタ (ICDRS)	I ² C バスシフトレジスタ (ICDRS)	◎
NF2CYC レジスタ (NF2CYC)	I ² C バスモードレジスタ 3 (RIICn.ICMR3) ^(注2)	△
—	I ² C バスモードレジスタ 2 (RIICn.ICMR2) スレーブアドレスレジスタ Uy (RIICn.SARUy) (y = 0~2) I ² C バスビットレート Low レジスタ (RIICn.ICBRL) I ² C バスビットレート High レジスタ (RIICn.ICBRH) I ² C バスステータス許可レジスタ (RIICn.ICSER)	—

注 1. RIICn n : 0, 2

注 2. SH7216 グループの一部レジスタ機能は、RX71M では複数のレジスタに分割して配置されています。

2.13.3 アドレス検出

SH7216 グループは 1 種類の 7 ビットスレーブアドレスを検出することができます。

RX71M は 3 種類のスレーブアドレスに加え、ジェネラルコールアドレス、デバイス ID アドレス、SMBus のホストアドレスを検出することができます。また、スレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

RX71M I²C バスフォーマットを図 2.39 に示します。

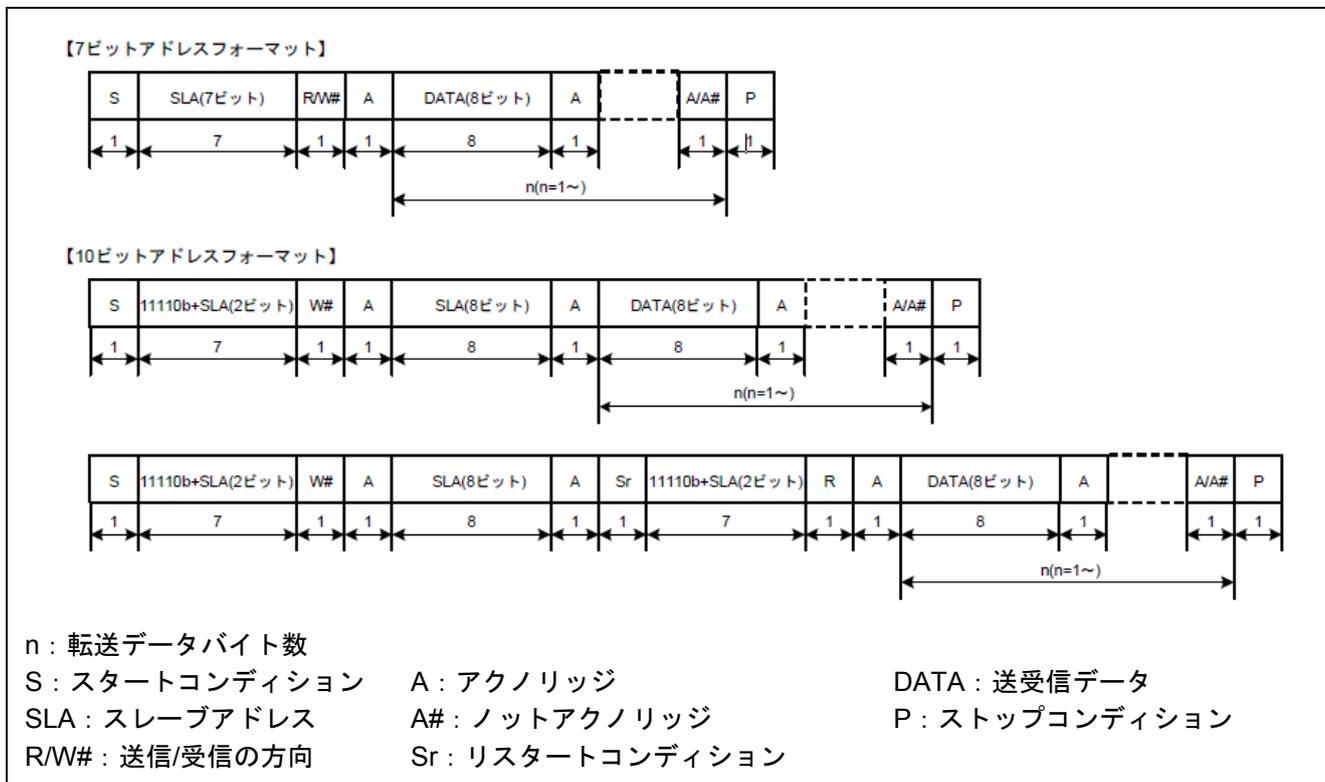


図2.39 RX71M I²C バスフォーマット

2.13.4 アービトレーションロスト検出

RX71MはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ受信時におけるアービトレーションロスト検出機能も備えています。

2.13.5 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCLラインやSDAラインが固定されたままバスハングアップを起こす場合があります。

RX71Mはこのバスハングアップ状態に対しSCLラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するためにSCLクロック追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

2.13.6 SCL クロック

I²Cバスフォーマットはマスタデバイスが出力するSCLクロックに同期してデータの送受信を行います。

マスタモードで動作する場合、SH7216グループはI²Cバスコントロールレジスタ1(ICCR1)に周辺クロックの分周比を設定しSCLクロックの転送レートを決めます。RX71MはI²CバスビットレートHighレジスタ(ICBRH)にSCLクロックのHigh幅を、I²CバスビットレートLowレジスタ(ICBRL)にSCLクロックのLow幅を設定することで、SCLの転送レートおよびデューティ比を決めます。

RX71Mは送信データ誤送信防止機能、NACK受信転送中断機能、受信データ取りこぼし防止機能に対応しており、条件に一致した場合、自動的にSCLラインのLowホールドを行います。

I²Cバスフォーマットをマルチマスタで使用する場合、SCLクロックは他のマスタデバイスとの競合によりSCLクロック同士が衝突する場合があります。マスタモード時にSCL_nラインを監視してビットごとに同期をとりながらSCLクロックを生成する回路を、SH7216グループはビット同期回路、RX71MはSCL同期回路として備えています。

RX71MのSCLクロック生成およびSCL同期化動作を図2.40に示します。

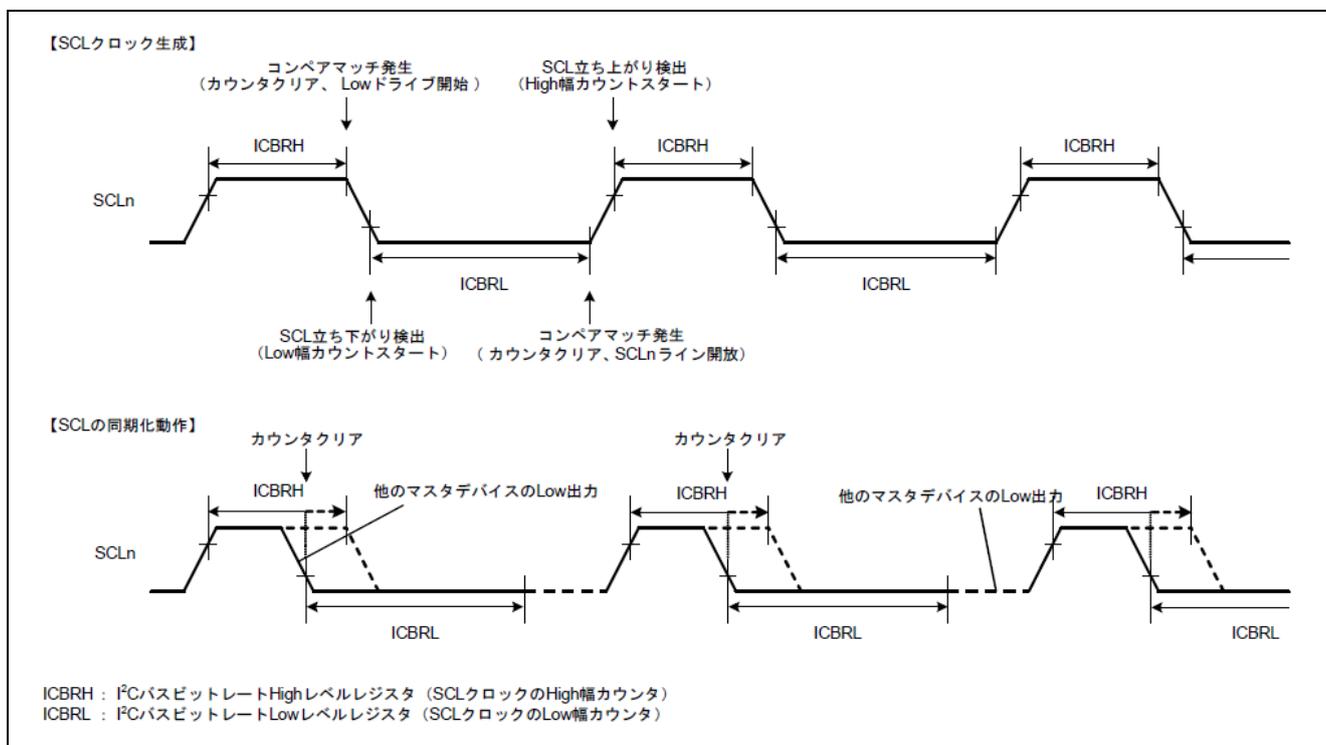


図2.40 SCL クロック生成および SCL 同期化動作

2.13.7 ノイズ除去

RX71M はノイズ除去幅の設定に加え、I²C バスファンクション許可レジスタ (ICFER) でデジタルノイズフィルタ回路の使用有無を設定することができます。

2.13.8 割り込み

SH7216 グループ、RX71M とともに受信データフルおよび送信データエンプティの割り込みで DTC と DMAC の起動が可能です。

RX71M の受信データフルおよび送信データエンプティ割り込みは、割り込みステータスフラグ (IRn.IR) が‘1’のときに発生した割り込み要求もモジュール内部で保持され、割り込みステータスフラグ (IRn.IR) が‘0’になった後、保持された要求によって再度‘1’になります。

RX71M は一部割り込みがグループ割り込み BL1 に割り当てられています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつけると自動的にクリアされます。グループ BL1 割り込みステータスフラグ (GRPBL1.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。

SH7216 グループと RX71M の割り込み要因一覧を表 2.117、表 2.118 に示します。

割り込みについては「1.9 割り込み処理」を参照してください。

表2.117 SH7216 グループ IIC3 割り込み要因一覧 (I²C バスフォーマット)

優先順位	割り込み要因	割り込みによる起動
高 ↑ 低	停止条件検出	不可能
	NACK 検出	
	アービトレーションロスト/オーバランエラー	
	受信データフル	DTC/DMAC の起動可能
	送信データエンプティ	
	送信終了	不可能

表2.118 RX71M RIICa 割り込み要因一覧

優先順位	割り込み要因		割り込みによる起動
高 ↑ 低	通信エラー/ イベント発生	アービトレーションロスト	不可能
		NACK 検出	
		タイムアウト	
		スタートコンディション検出	
		ストップコンディション検出	
	受信データフル	DTC/DMAC の起動可能	
	送信データエンプティ		
	送信終了	不可能	

2.13.9 モジュールストップ

RX71M の RIICa は、SH7216 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.13.10 マスタ送受信設定例

SH7216 と RX71M の I²C バスインタフェースを使用して、マスタ送信およびマスタ受信処理を行う場合の設定例を以下に示します。

<動作概要>

- IIC によるマスタ送信およびマスタ受信を順次行います。
- マスタ送信：
 - スタートコンディション発行要求により動作を開始します。
 - 送信データエンピティ割り込みによりスレーブアドレスの送信、データの送信を起動します。
 - 送信データの終端でストップコンディションを発行し、待機状態に移行します。
 - 終端を除き送信中に NACK を受信した場合はエラーとします。
- マスタ受信：
 - スタートコンディション発行要求により動作を開始します。
 - 送信データエンピティ割り込みによりスレーブアドレスの送信を起動します。
 - 受信データフル割り込みにより受信を起動し、受信データを RAM に格納します。
 - 受信データの終端で NACK 送信、ストップコンディションを発行し、待機状態に移行します。
 - スレーブアドレスに対し NACK を受信した場合はエラーとします。
- マスタ送信およびマスタ受信完了後、IIC 動作を終了します。
- エラーを検出した場合は、IIC 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216：”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.119 IIC マスタ送受信動作仕様

項目	内容		備考
IIC チャンネル	RIIC2		SH7216：チャンネル1つのみ
クロック	PCLKB = 60MHz		SH7216：Pφ = 50MHz
通信方式	I ² C バス		
動作モード	マスタ送信、マスタ受信		
転送速度	400kbps		SH7216：403kbps
データのビット数	9 ビット (ACK 含む)		
データ-ACK 間ウェイト	受信データの終端のみウェイトあり		
ACK 判定	ACK = 1 受信で転送を中断する		
スレーブアドレスフォーマット	7 ビットアドレス		
スレーブアドレス	50h		
ノイズ除去	ラッチ回路3段 (フィルタ2段)		
送信データ	32 バイト (1 から 32 までの値)		
割り込み	割り込みを使用 (スタートコンディション検出を除く)		優先レベル：5
使用端子	SCL	P16/SCL2-DS	SH7216：PB12/SCL
	SDA	P17/SDA2-DS	SH7216：PB13/SDA
	LED0	P03/汎用	送受信可能で点灯
	LED1	P05/汎用	送信完了で点灯
	LED2	P26/汎用	受信完了で点灯
	LED3	P27/汎用	エラー検出で点灯

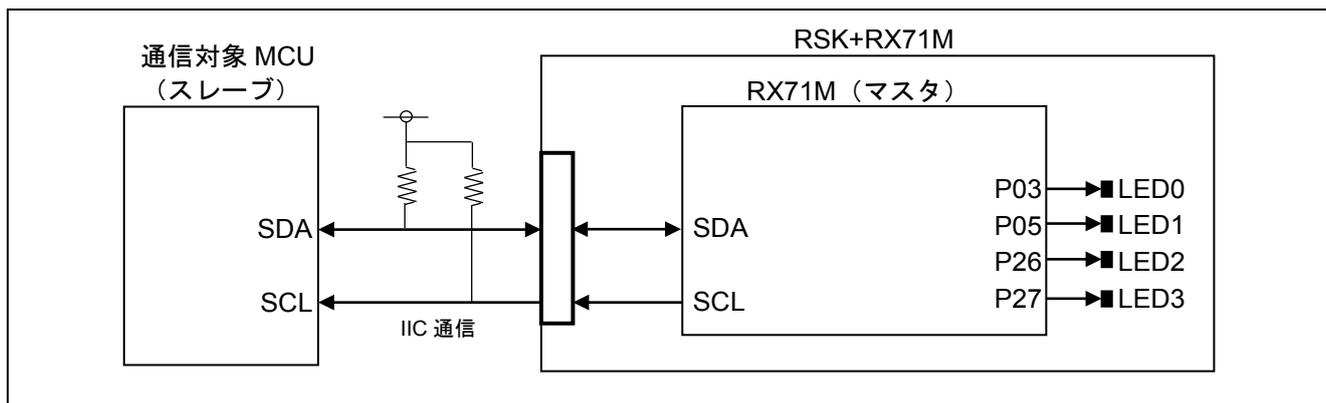


図2.41 IIC マスタ送受信接続例

<注意事項>

RSK+RX71M は、設定例で使用する RIIC2 用端子が初期状態で USB、EEPROM に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

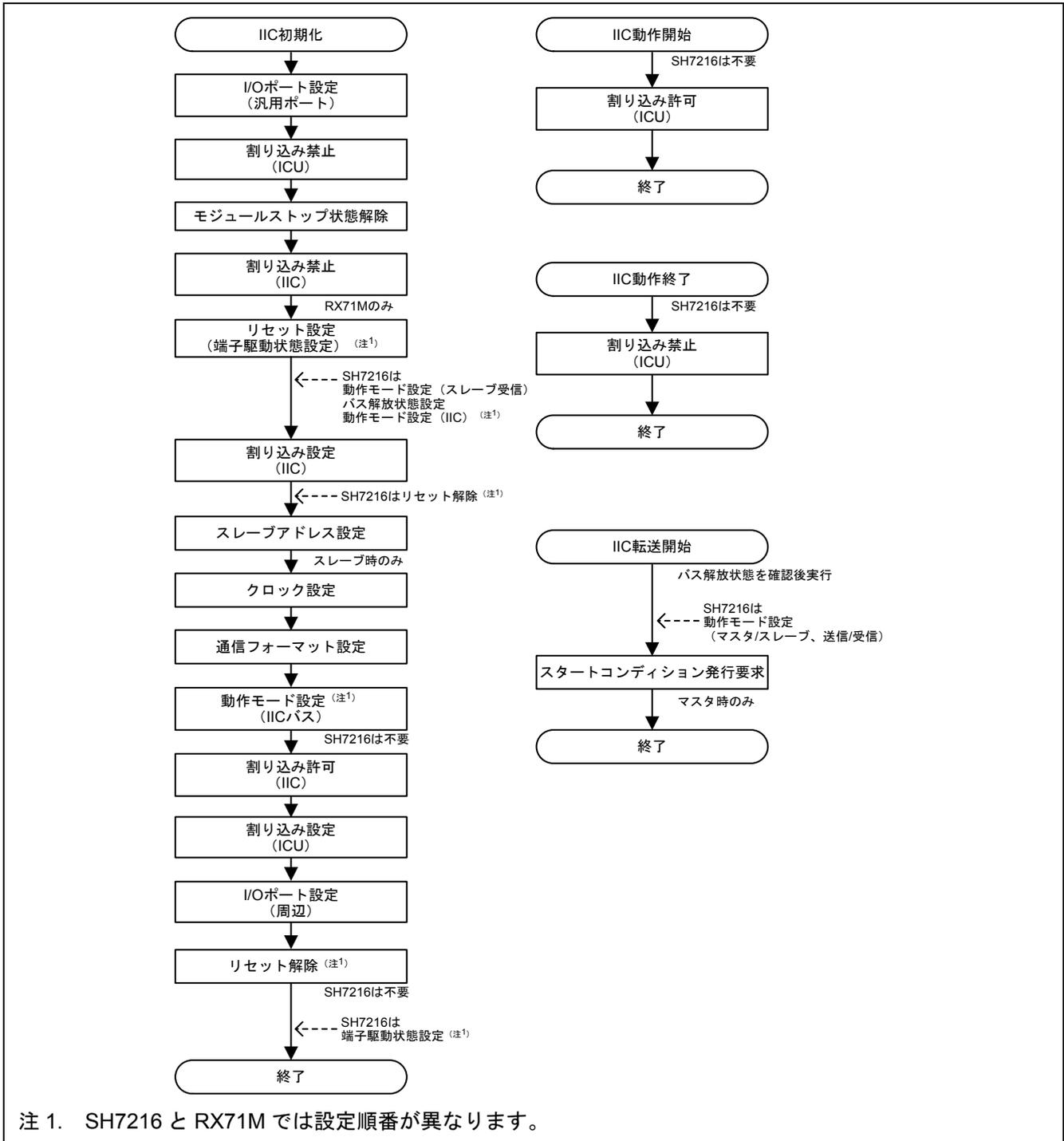
SH7216 の設定例で使用する IIC3 の割り込み関連レジスタを要因別に表 2.120 に示します。

表2.120 SH7216 割り込み関連レジスタ (IIC3、INTC)

項目	ベクタ 番号	名称	IIC3		INTC
			割り込み許可	ステータス	優先レベル
設定レジスタ	—	—	IIC3.ICIER	IIC3.ICSR	IPR13
要因毎の設定位置					
停止条件検出	228	STPI	STIE	STOP	bit 4~7
NACK 検出	229	NAKI	NAKIE	NACKF	
アービトレーションロスト/ オーバーランエラー				AL/OVE	
送信終了	232	TEI	TEIE	TEND	
受信データフル	230	RXI	RIE	RDRF	
送信データエンプティ	231	TXI	TIE	TDRE	

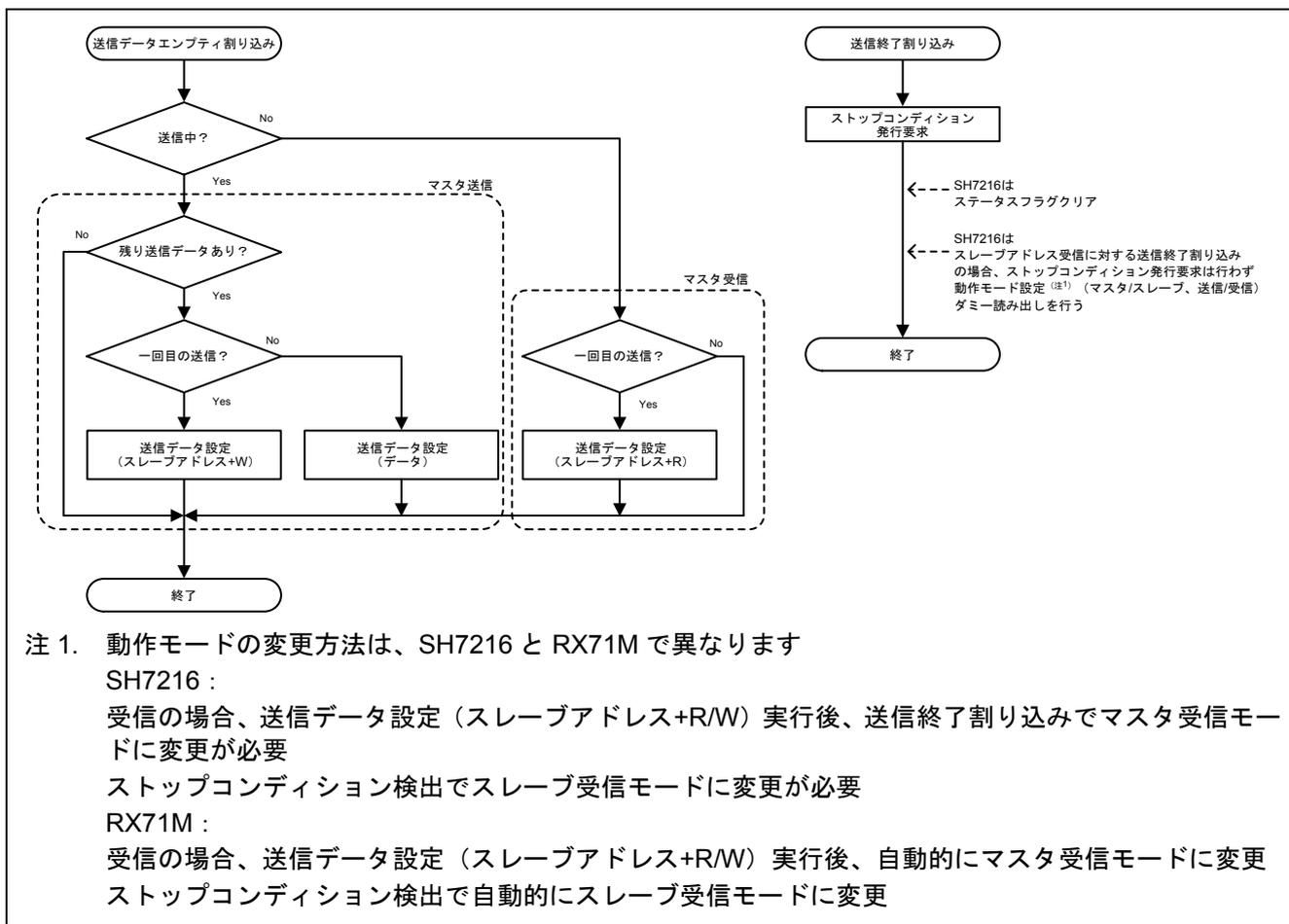
<処理フロー>

IIC を使用した処理フロー例を図 2.42～図 2.44に示します。本フローの処理名は、設定例の処理名と対応しています。



注 1. SH7216 と RX71M では設定順番が異なります。

図2.42 IIC 処理フロー



注 1. 動作モードの変更方法は、SH7216 と RX71M で異なります

SH7216 :

受信の場合、送信データ設定 (スレーブアドレス+R/W) 実行後、送信終了割り込みでマスタ受信モードに変更が必要

ストップコンディション検出でスレーブ受信モードに変更が必要

RX71M :

受信の場合、送信データ設定 (スレーブアドレス+R/W) 実行後、自動的にマスタ受信モードに変更
ストップコンディション検出で自動的にスレーブ受信モードに変更

図2.43 IIC 送信データエンプティ、送信終了割り込み処理フロー例 (マスタ動作)

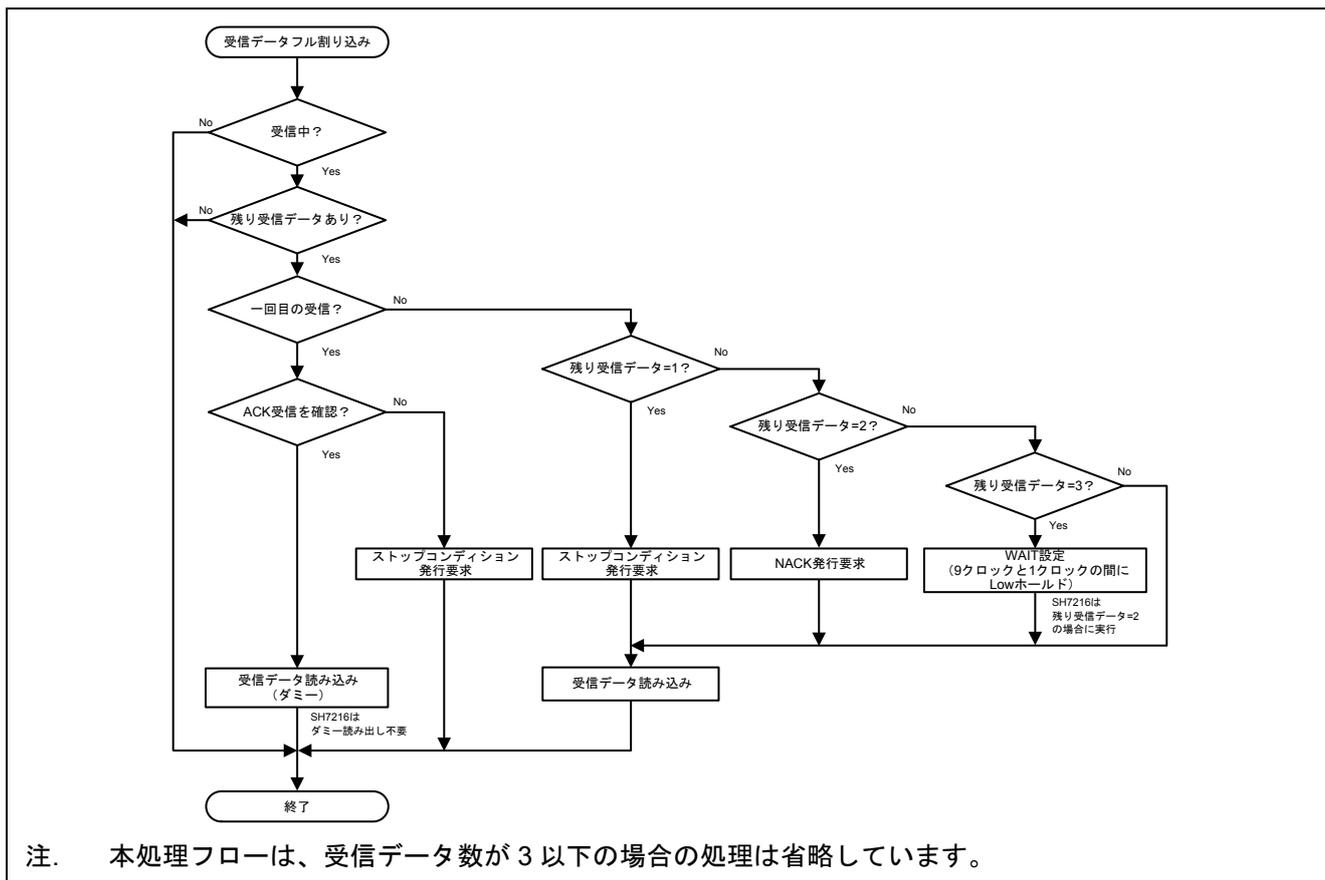


図2.44 IIC 受信データフル割り込み処理フロー例（マスタ動作）

<設定例>

以下に、マスタ送信およびマスタ受信の設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

表2.123 IIC 初期化設定例

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	出力値の設定 (出力 1) PB.DR.B12 = 1b (PB12) PB.DR.B13 = 1b (PB13) 端子の向き設定 PFC.PBIORL.B12 = 1b (出力/PB12) PFC.PBIORL.B13 = 1b (出力/PB13) 端子モード設定 (ポート) PFC.PBCRL4.PB12MD = 000b (PB12) PFC.PBCRL4.PB13MD = 000b (PB13)	出力値の設定 (出力 1) PORT1.PODR.B6 = 1b (P16) PORT1.PODR.B7 = 1b (P17) 端子の向き設定 PORT1.PDR.B6 = 1b (出力/P16) PORT1.PDR.B7 = 1b (出力/P17) 端子モード設定 (汎用) PORT1.PMR.B6 = 0b (P16) PORT1.PMR.B7 = 0b (P17)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (RIIC2, RXI2) = 0b IEN (RIIC2, TXI2) = 0b IEN (ICU, GROUPBL1) = 0b (グループ BL1) グループ BL1 内の割り込み禁止 EN (RIIC2, TEI2) = 0b EN (RIIC2, EEI2) = 0b
モジュールストップ状態解除	STB.CR3._IIC3 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRC.MSTPC17 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (IIC)	IIC3.ICIER.TEIE = 0b (TEI) IIC3.ICIER.RIE = 0b (RXI) IIC3.ICIER.TIE = 0b (TXI) IIC3.ICIER.STIE = 0b (SPTI) IIC3.ICIER.NAKIE = 0b (NAKI)	RIIC リセットで全て初期化されるため、 RIIC 割り込み禁止は不要
リセット設定 (端子駆動状態設定) ^(注2)	IIC3.ICCR1.ICE = 0b (端子非駆動状態) IIC3.ICCR2.IICRST = 1b (IIC リセット)	RIIC リセット RIIC2.ICCR1.ICE = 0b (端子非駆動状態) RIIC2.ICCR1.IICRST = 1b RIIC 内部リセット RIIC2.ICCR1.ICE = 1b (端子駆動状態)
動作モード設定 (スレーブ受信)	IIC3.ICCR1.MST = 0b IIC3.ICCR1.TRS = 0b	—
バス解放状態設定	バス解放を確認後レジスタに状態を設定 IIC3.SAR.FS = 1b (クロック同期式を選択することで IIC3.ICCR2.BBSY は 0 クリアされる)	—
割り込み設定 (IIC)	IIC3.ICSR = 0 ^(注) 注. '1'の状態を読み出した後、'0'を設定	— RIIC リセットで全て初期化されるため不要
スレーブアドレス設定 ^(注1)	IIC3.SAR.SVA = 1010000b	RIIC2.SARL0.SVA = 1010000b RIIC2.SARU0.FS = 0b (7 ビット) RIIC2.ICSER.SAR0E = 1b (SARL0 有効) RIIC2.ICSER.GCAE = 0b (ジェネラルコールアドレス検出は無効)

処理	SH7216 設定例	RX71M 設定例
クロック設定	IIC3.ICCR1.CKS = 0111b (403kbps@50MHz/124)	クロック設定 RIIC2.ICMR1.CKS = 010b ビットレート設定 (400kbps@60MHz/4) RIIC2.ICBRL.BRL = 19 RIIC2.ICBRH.BRH = 8
通信フォーマット設定	NACK 受信転送中断許可 IIC3.ICIER.ACKE = 1b ノイズ除去設定 IIC3.NF2CYC.NF2CYC = 1b (2 サイクル)	タイムアウト検出設定 RIIC2.ICMR2.TMOS = 0b (ロングモード) RIIC2.ICMR2.TMOL = 1b RIIC2.ICMR2.TMOH = 1b RIIC2.ICFER.TMOE = 1b (有効) アービトレーションロスト検出設定 RIIC2.ICFER.MALE = 1b (マスタ用) RIIC2.ICFER.NALE = 1b (NACK 用) RIIC2.ICFER.SALE = 1b (スレーブ用) NACK 受信転送中断許可 RIIC2.ICFER.NACKE = 1b デジタルフィルタ設定 RIIC2.ICMR3.NF = 01b (フィルタ 2 段) RIIC2.ICFER.NFE = 1b (有効)
動作モード設定 (注2) (IIC バス)	IIC3.SAR.FS = 0b (IIC バス)	RIIC2.ICMR3.SMBS = 0b (IIC バス)
割り込み許可 (IIC)	IIC3.ICIER.TEIE = 1b (TEI) IIC3.ICIER.RIE = 1b (RXI) IIC3.ICIER.TIE = 1b (TXI) IIC3.ICIER.STIE = 1b (SPTI) IIC3.ICIER.NAKIE = 1b (NAKI)	RIIC2.ICIER.TEIE = 1b (TEI2) RIIC2.ICIER.RIE = 1b (RXI2) RIIC2.ICIER.TIE = 1b (TXI2) RIIC2.ICIER.SPIE = 1b (SPI2) RIIC2.ICIER.NAKIE = 1b (NAKI2) RIIC2.ICIER.ALIE = 1b (ALI2) RIIC2.ICIER.TMOIE = 1b (TMOI)
割り込み設定 (ICU)	優先度設定 (レベル 5) INTC.IPR13._IIC3 = 5	優先度設定 (レベル 5) IPR (RIIC2, RXI2) = 5 IPR (RIIC2, TXI2) = 5 IPR (ICU, GROUPBL1) = 5 (グループ BL1) ICU ステータスクリア IR (RIIC2, RXI2) = 0b IR (RIIC2, TXI2) = 0b IR (ICU, GROUPBL1) = 0b (グループ BL1)
I/O ポート設定 (周辺)	端子モード設定 PFC.PBCRL4.PB12MD = 110b (SCL) PFC.PBCRL4.PB13MD = 110b (SDA)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.P16PFS.PSEL = 001111b (SCL2-DS) MPC.P17PFS.PSEL = 001111b (SDA2-DS) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORT1.PMR.B6 = 1b (SCL2-DS) PORT1.PMR.B7 = 1b (SDA2-DS)
リセット解除 (注2)	IIC3.ICCR2.IICRST = 0b	RIIC2.ICCR1.IICRST = 0b
端子駆動状態設定 (注2)	IIC3.ICCR1.ICE = 1b	—

注 1. スレーブアドレス設定はスレーブの場合に実行する必要があります。

注 2. SH7216 と RX71M で設定順序が異なります処理フロー例を参照してください。

表2.124 IIC 動作開始設定例

処理	SH7216 設定例	RX71M 設定例
割り込み許可 (ICU)	—	グループ BL1 内の割り込み許可 EN (RIIC2, TEI2) = 1b EN (RIIC2, EEI2) = 1b ICU 割り込み許可 IEN (RIIC2, RXI2) = 1b IEN (RIIC2, TXI2) = 1b IEN (ICU, GROUPBL1) = 1b (グループ BL1)

表2.125 IIC 動作終了設定例

処理	SH7216 設定例	RX71M 設定例
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (RIIC2, RXI2) = 0b IEN (RIIC2, TXI2) = 0b IEN (ICU, GROUPBL1) = 0b (グループ BL1) グループ BL1 内の割り込み禁止 EN (RIIC2, TEI2) = 0b EN (RIIC2, EEI2) = 0b

表2.126 IIC 転送開始設定例 (マスタ)

処理	SH7216 設定例	RX71M 設定例
バス解放状態を確認	IIC3.ICCR2.BBSY = 0b を確認	RIIC2.ICCR2.BBSY = 0b を確認
動作モード設定 (マスタ/スレーブ、送信/受信)	IIC3.ICCR1.MST = 1 (マスタ) IIC3.ICCR1.TRS = 1 (送信)	—
スタートコンディション発行要求	IIC3.ICCR2.BBSY = 1b IIC3.ICCR2.SCP = 0b	RIIC2.ICCR2.ST = 1b

サンプルコードでは割り込み処理の内容は特に規定しません。以下に、割り込み処理内の一部処理に対する設定例を示します。

表2.127 IIC 受信データフル割り込み処理内設定例

処理	SH7216 設定例	RX71M 設定例
ACK 受信を確認	IIC3.ICIER.ACKBR = 0b を確認	RIIC2.ICMR3.ACKBR = 0b を確認
受信データ読み込み	IIC3.ICDRR の値を読み出し	RIIC2.ICDRR の値を読み出し
ストップコンディション 発行要求	IIC3.ICSR.STOP = 0b (フラグクリア) (注) IIC3.ICCR2.BBSY = 0b IIC3.ICCR2.SCP = 0b 注. '1'の状態を読み出した後、'0'を設定	RIIC2.ICSR2.STOP = 0b (フラグクリア) (注) RIIC2.ICCR2.SP = 1b 注. '1'の状態を読み出した後、'0'を設定
NACK 発行要求	IIC3.ICIER.ACKBT = 1b	RIIC2.ICMR3.ACKWP = 1b RIIC2.ICMR3.ACKBT = 1b RIIC2.ICMR3.ACKWP = 0b
WAIT 設定	IIC3.ICCR1.RCVD = 1b	RIIC2.ICMR3.WAIT = 1b

表2.128 IIC 送信データエンプティ割り込み処理内設定例

処理	SH7216 設定例	RX71M 設定例
送信データ設定 (スレーブアドレス+W)	IIC3.ICDRT へ値を設定 設定値： 上位 7 ビット：スレーブアドレス 最下位ビット：0	RIIC2.ICDRT へ値を設定 設定値 上位 7 ビット：スレーブアドレス 最下位ビット：0
送信データ設定 (スレーブアドレス+R)	IIC3.ICDRT へ値を設定 設定値 上位 7 ビット：スレーブアドレス 最下位ビット：1	RIIC2.ICDRT へ値を設定 設定値 上位 7 ビット：スレーブアドレス 最下位ビット：1
送信データ設定 (データ)	IIC3.ICDRT へ値を設定	RIIC2.ICDRT へ値を設定

2.13.11 スレーブ送受信設定例

SH7216 と RX71M の I²C バスインタフェースを使用して、スレーブ送信およびスレーブ受信を行う場合の設定例を以下に示します。

<動作概要>

- IIC によるスレーブ送受信動作を継続して行います。
- スレーブ送信：
 - スレーブアドレスが一致し受信した R/W#が“1”のとき動作を開始します。
 - 送信データエンピティ割り込みによりデータの送信を起動します。
 - NACK もしくはストップコンディションの検出で、待機状態に移行します。
- スレーブ受信：
 - スレーブアドレスが一致し受信した R/W#が“0”のとき動作を開始します。
 - 受信データフル割り込みにより受信を起動し、受信データを RAM に格納します。
 - ストップコンディションの検出で、待機状態に移行します。
- エラーを検出した場合は、IIC 動作を終了します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216：”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.129 IIC スレーブ送受信動作仕様

項目	内容		備考
IIC チャンネル	RIIC2		
通信方式	I ² C バス		
動作モード	スレーブ送信、スレーブ受信		
データのビット数	9 ビット (ACK 含む)		
データ-ACK 間ウェイト	なし		
ACK 判定	ACK = 1 受信で転送を中断しない		
スレーブアドレスフォーマット	7 ビットアドレス		
スレーブアドレス	50h (ジェネラルコールアドレス対応なし)		
ノイズ除去	ラッチ回路 3 段 (フィルタ 2 段)		
送信データ	1 から 32 までの値の繰り返し		待機状態で 1 に戻す
割り込み	割り込みを使用 (送信終了、スタートコンディション検出を除く)		優先度：レベル 5
使用端子	SCL	P16/SCL2-DS	SH7216：PB12/SCL
	SDA	P17/SDA2-DS	SH7216：PB13/SDA
	LED0	P03/汎用	送受信可能で点灯
	LED1	P05/汎用	送信中点灯
	LED2	P26/汎用	受信中点灯
	LED3	P27/汎用	エラー検出で点灯

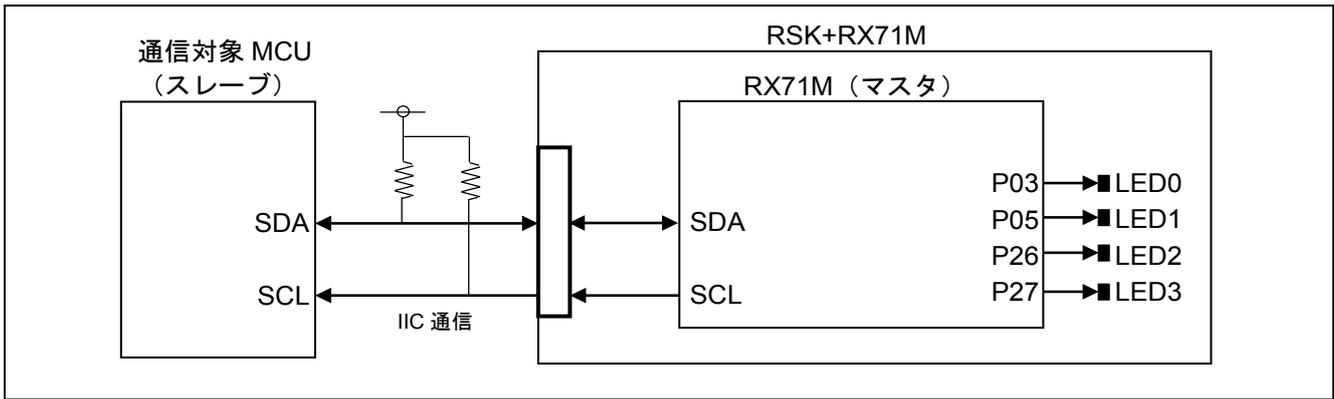


図2.45 IIC スレーブ送受信接続例

<注意事項>

RSK+RX71M は、設定例で使用する RIIC2 用端子が初期状態で USB、EEPROM に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

設定例で使用する割り込み関連レジスタは、「2.13.10 マスタ送受信設定例」のマスタ送受信の関連レジスタ一覧を参照してください。

<処理フロー>

IIC を使用したスレーブ送信およびスレーブ受信の処理フロー例を示します。初期化の処理フロー例は、「2.13.10 マスタ送受信設定例」のマスタ送受信の処理フロー例を参照してください。

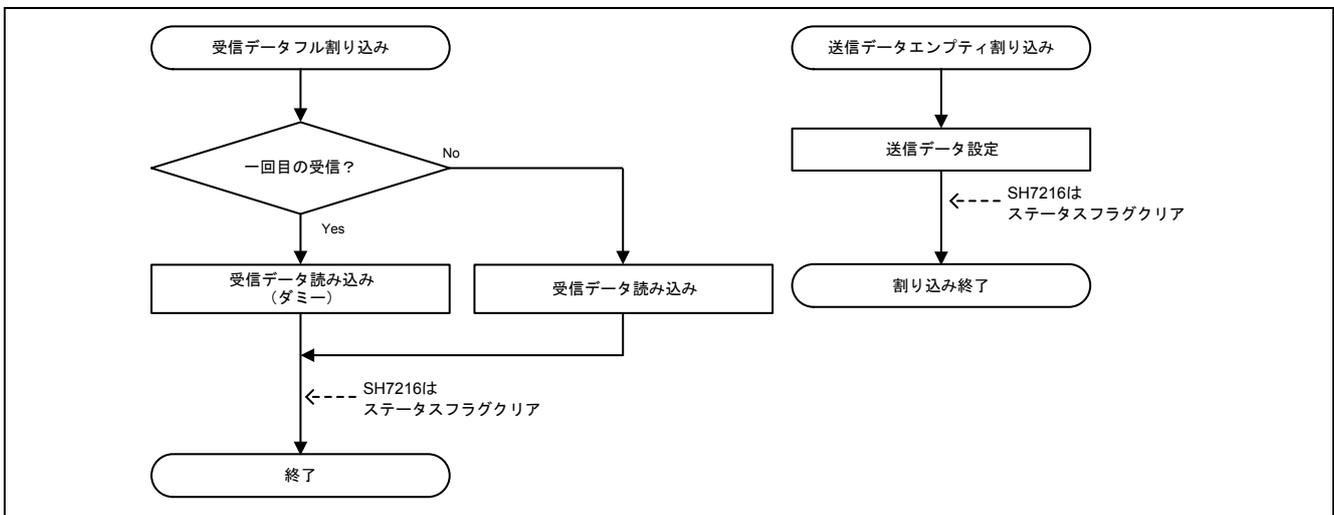


図2.46 IIC 割り込み処理フロー例 (スレーブ動作)

<設定例>

以下に、スレーブ送信およびスレーブ受信の設定例を示します。初期化、動作開始、動作終了の設定例は、「2.13.10 マスタ送受信設定例」のマスタ送受信の設定例を参照してください。スレーブ送信およびスレーブ受信で使用しない割り込みに対する設定は不要です。

本設定例の処理名は、処理フローの処理名と対応しています。処理手順はフローを参照してください。

表2.130 IIC 転送開始設定例（スレーブ）

処理	SH7216 設定例	RX71M 設定例
バス解放状態を確認	ICCR2.BBSY = 0b を確認	RIIC2.ICCR2.BBSY = 0b を確認
動作モード設定 (マスタ/スレーブ、送信/受信)	ICCR1.MST = 0 (スレーブモード) ICCR1.TRS = 1 (送信モード)	—

サンプルコードでは割り込み処理の内容は特に規定しません。割り込み処理に対する設定例は、「2.13.10 マスタ送受信設定例」のマスタ送受信の設定例を参照してください。処理フローは異なりますが、スレーブ送受信で行う処理に対する設定例が示されています。

2.14 A/D 変換器 (ADC)

2.14.1 仕様比較

A/D 変換器として、SH7216 グループでは ADC、RX71M では 12 ビット A/D コンバータ (S12ADC) が内蔵されています。

SH7216 グループと RX71M の仕様比較を表 2.131 に示します。

表2.131 SH7216 グループ、RX71M の仕様比較 (ADC)

項目	SH7216 グループ (ADC)	RX71M (S12ADC)
入力チャンネル数	8 チャンネル (4 チャンネル × 2)	ユニット 0 (S12AD) : 8 チャンネル ユニット 1 (S12AD1) : 21 チャンネル + 拡張 1 本
クロックソース	AD クロック (Aφ)	S12AD : 周辺モジュールクロック (PCLKC) S12AD1 : 周辺モジュールクロック (PCLKD)
分解能	12 ビット	最大 12 ビット (8, 10, 12 ビットから選択可能)
A/D 変換方式	逐次比較方式	逐次比較方式
変換速度	1 チャンネルあたり 1.0 μs (AD クロック 50MHz 時)	1 チャンネルあたり 0.48 μs (12 ビット変換モード、A/D 変換クロック 60MHz 時)
変換モード	<ul style="list-style-type: none"> 1 サイクルスキャンモード 連続スキャンモード 	<ul style="list-style-type: none"> シングルスキャンモード 連続スキャンモード グループスキャンモード
A/D 変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ (MTU2, MTU2S) 非同期トリガ (ADTRG 端子) 	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ (MTU, GPT, TMR, TPU, ELC) 非同期トリガ (ADTRG0#, ADTRG1#端子)
A/D 変換終了割り込みに連動した動作	<ul style="list-style-type: none"> CPU 割り込み発生 DMAC または DTC を起動 	<ul style="list-style-type: none"> CPU 割り込み発生 DMAC または DTC を起動
変換対象	<ul style="list-style-type: none"> AN 端子 	<ul style="list-style-type: none"> AN 端子 内部基準電圧 (S12AD1) 温度センサ (S12AD1)
DTC/DMAC 起動	DTC/DMAC 起動可能	DTC/DMAC 起動可能
割り込み要因	<ul style="list-style-type: none"> A/D 変換終了 	<ul style="list-style-type: none"> A/D 変換終了 デジタルコンペア
その他	<ul style="list-style-type: none"> サンプル&ホールド機能 チャンネル専用サンプル&ホールド機能 (モジュール 0) A/D データレジスタオートクリア機能 	<ul style="list-style-type: none"> イベントリンク サンプル&ホールド機能 チャンネル専用サンプル&ホールド機能 (S12AD) サンプリングステート数可変機能 A/D コンバータの自己診断機能 A/D 変換値加算モードと平均モードが選択可能 アナログ入力断線検出機能 ダブルトリガモード 12/10/8 ビット変換切り換え機能 A/D データレジスタオートクリア機能 拡張アナログ入力機能 コンペア機能 (ウィンドウ機能選択可能)

2.14.2 入力チャネル

SH7216 グループは4チャネルのアナログ入力を持つ2モジュールで構成され、RX71Mは8チャネルと21チャネルの2ユニット S12AD と S12AD1 で構成されています。SH7216 グループ同様に、RX71MはユニットごとにA/D変換器を持つため、ユニットごとの同時動作可能ですがユニットをまたぐ連続スキャンはできません。

SH7216 グループとRX71MのA/D変換器の構成比較を図2.47に示します。

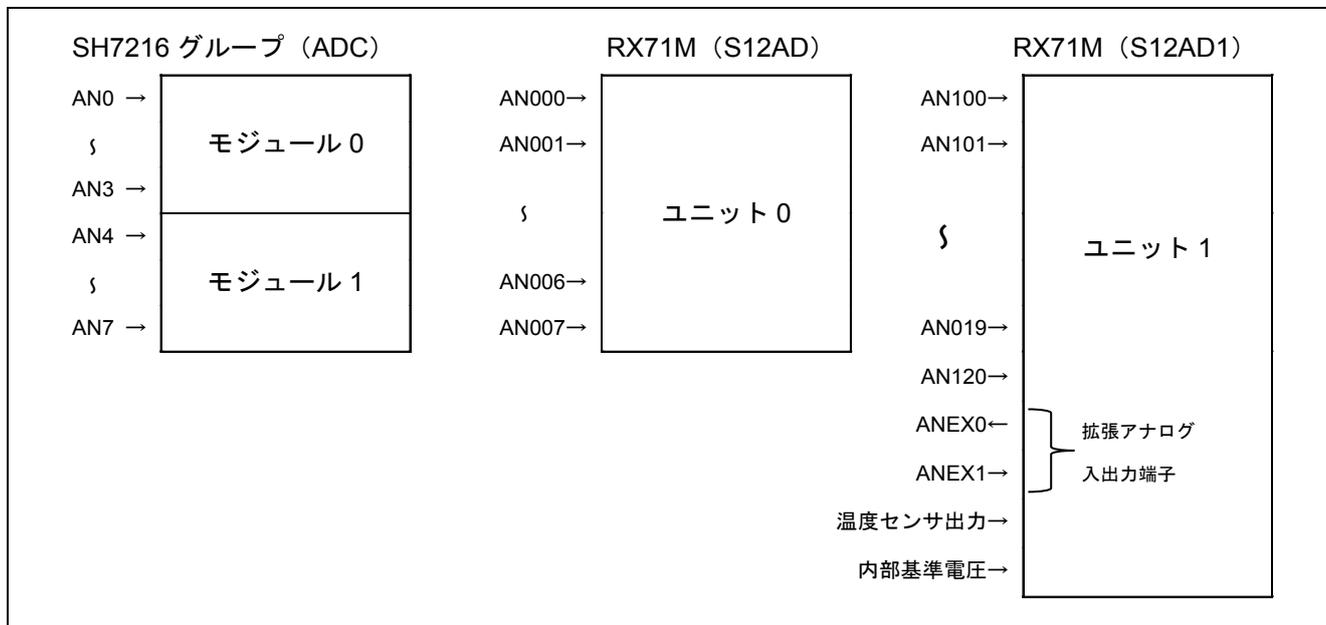


図2.47 A/D変換器の構成比較

2.14.3 スキャン順序

全チャネルを指定した場合のスキャン順序を表2.132に示します。

表2.132 A/D変換器のスキャン順序

マイコン	A/D変換器	変換順序
SH7216 グループ	ADC(モジュール0)	AN0⇒AN1⇒AN2⇒AN3
	ADC(モジュール1)	AN4⇒AN5⇒AN6⇒AN7
RX71M	S12AD	AN0⇒AN1⇒省略⇒AN6⇒AN7⇒温度センサ出力⇒内部基準電圧 グループスキャンの場合はグループAの優先制御動作を選択可能
	S12AD1	AN100⇒AN101⇒省略⇒AN119⇒AN120⇒温度センサ出力⇒内部基準電圧 グループスキャンの場合はグループAの優先制御動作を選択可能

2.14.4 動作モード

SH7216 グループと RX71M の動作モードの対応を表 2.133に示します。

表2.133 A/D 変換器の動作モード対応

SH7216 グループ	RX71M
1 サイクルスキャン	シングルスキャンモード
連続スキャン	連続スキャンモード
—	グループスキャンモード 指定された同期トリガで、グループごとに指定された複数チャンネルの A/D 変換をそれぞれ 1 回ずつ行う グループごとに A/D 変換終了後、割り込みが許可されていれば割り込みを発生

2.14.5 割り込み

SH7216 グループ、RX71M とともに DTC と DMAC の起動が可能です。

RX71M の S12ADC 割り込みは、グループ割り込み BL1 と選択型割り込み B に割り当てられています。グループ BL1 割り込みステータスフラグ (GRPBL1.ISn) は、本モジュールのステータスレジスタ該当ビットをクリアすることで自動的にクリアされます。選択型割り込み B ステータスフラグ (PIBRk.PIRn) は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては「1.9 割り込み処理」を参照してください。

2.14.6 モジュールストップ

RX71M の S12ADC は、SH7216 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.14.7 連続スキャンモードによる A/D 変換設定例

SH7216 と RX71M の A/D 変換器を使用して、連続スキャンモードによる A/D 変換を行う場合の設定例を以下に示します。

<動作概要>

- 3 端子からのアナログ入力のア/D 変換を連続して行います。
- ソフトウェアトリガにより A/D 変換を起動します。
- A/D 変換終了割り込みで 3 端子の変換データを RAM に格納する動作を継続します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、`iodef.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表 2.134 連続スキャンモードによる A/D 変換動作仕様

項目	内容		備考
ADC チャンネル	AN001, 002, 003 (ユニット 0)		SH7216 : AN1, AN2, AN3
動作モード	連続スキャンモード		
サンプリング時間	150 サイクル (2.5 μ s@60MHz)		SH7216 : 3 μ s@50MHz
変換精度	12 ビット精度		
変換開始トリガと周期	ソフトウェアトリガ (開始後は変換を繰り返す)		
拡張アナログ入力	使用しない		
データ配置	右詰め		
割り込み	A/D 変換終了割り込み		優先レベル 5
使用端子	AN001	P41/AN001	SH7216 : PF1/AN1
	AN002	P42/AN002	SH7216 : PF2/AN2
	AN003	P43/AN003	SH7216 : PF3/AN3
	LED0	P03/汎用	A/D 変換開始で点灯

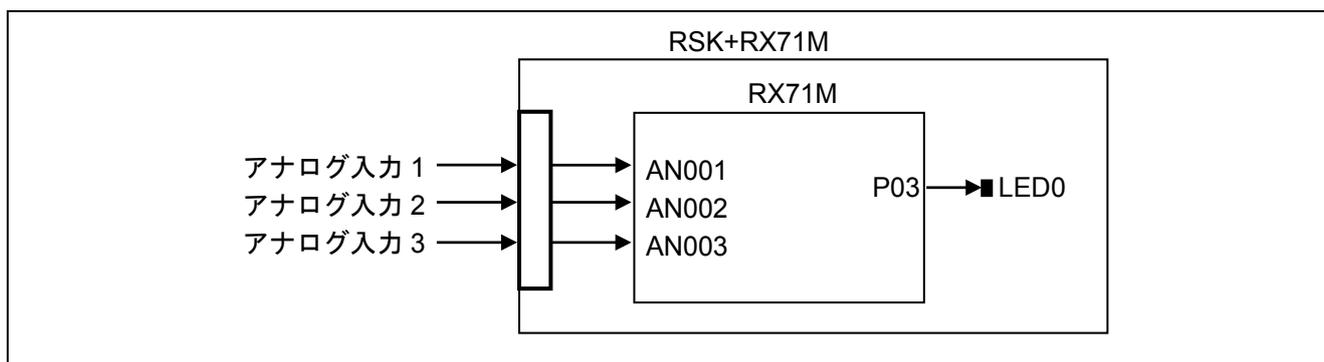


図 2.48 連続スキャンモードによる A/D 変換動作仕様

<注意事項>

RSK+RX71M は、設定例で使用する端子が初期状態で LCD 用に接続されていますので、必要に応じてボードの改造などを実施してください。

<関連レジスタ一覧>

SH7216 の設定例で使用する割り込み関連レジスタを要因別に表 2.135 に示します。

表2.135 SH7216 割り込み関連レジスタ (ADC、INTC)

項目	ベクタ 番号	名称	ADC		INTC
			割り込み許可	ステータス	優先レベル
設定レジスタ	—	—	ADC0.ADCR	ADC0.ADSR	IPR05
要因毎の設定位置					
A/D 変換終了	92	ADI0	ADIE	ADF	bit 4~7

RX71M の設定例で使用する割り込み関連レジスタを要因別に表 2.136、表 2.137 に示します。RX71M は A/D 変換終了割り込みが、選択型割り込み B に割り当てられています。設定例では、下記のとおり選択型割り込み B のベクタ 128 を使用します。

- SLIBXR128 = 64 : ADIE を選択型割り込み B ベクタ 128 に割り当て

表2.136 RX71M 割り込み関連レジスタ (S12ADC)

項目	名称	割り込み許可	ステータス
設定レジスタ	—	S12AD.ADCSR	—
要因毎の設定位置 (S12AD)			
A/D 変換終了	S12ADI	ADIE	—

表2.137 RX71M 割り込み関連レジスタ (ICUA)

項目	ベクタ 番号	名称	割り込み許可	ステータス	優先 レベル	選択型割り込み 要因選択
設定レジスタ	—	—	IERm	IRr	IPRr	SLIBXRn
要因毎の設定位置 (S12AD)						
A/D 変換終了	128	S12ADI	IER10.IEN0	IR128	IPR128	SLIBXR128 = 64

↑
選択型割り込みの設定

RX71M では、ICUA の割り込み関連レジスタへ設定を行う場合、iodefine.h を使用し以下のように設定することができます。xx は選択型割り込みを割り当てたベクタ番号です。

- IERm : IEN (PERIB, INTBxx)
- IPRr : IPR (PERIB, INTBxx)
- IRr : IR (PERIB, INTBxx)

<処理フロー>

ADC を使用した処理フロー例を図 2.49に示します。本フローの処理名は、設定例の処理名と対応していません。

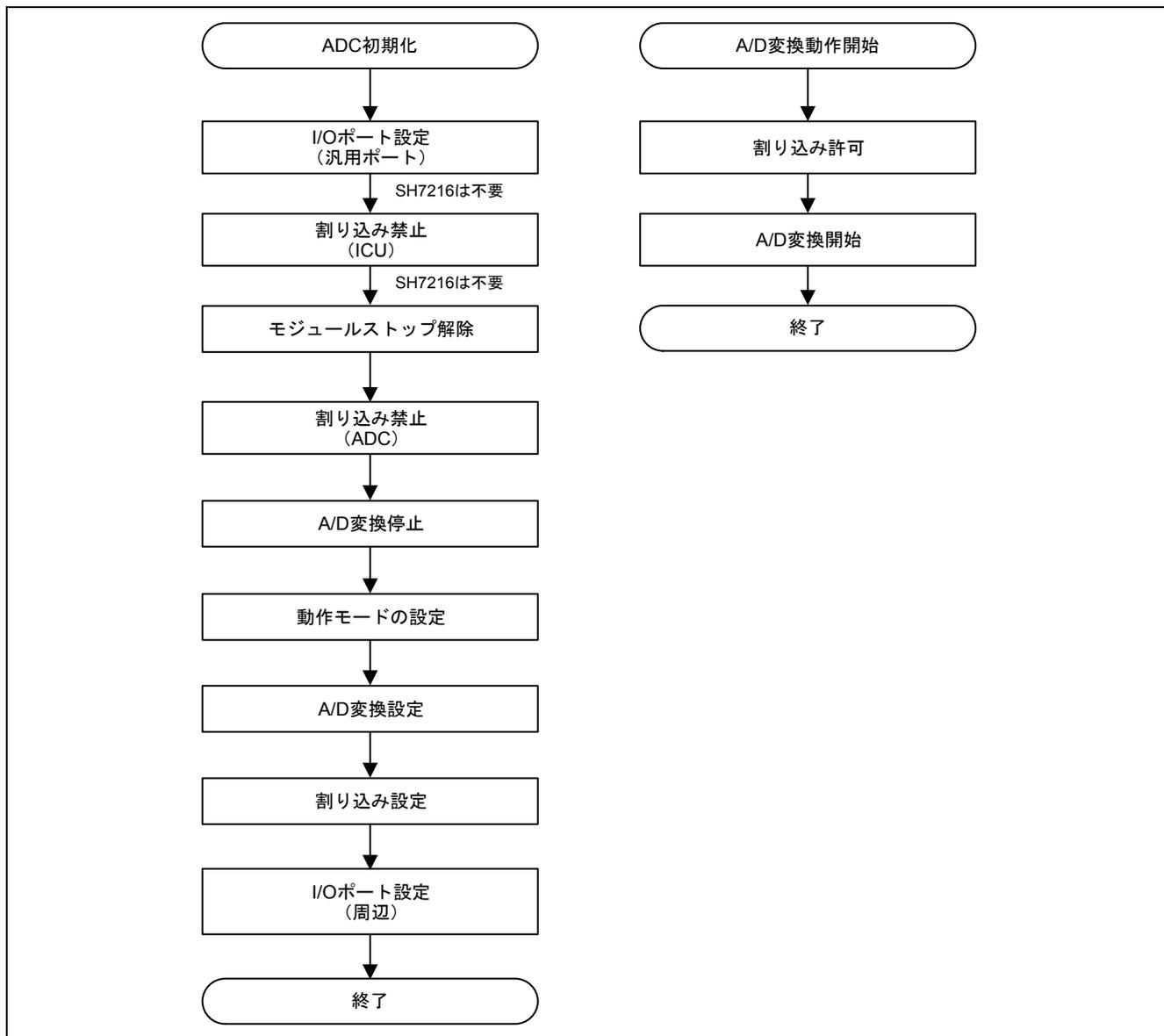


図2.49 ADC の処理フロー例

<設定例>

以下に連続スキャンモードによる A/D 変換の初期設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。

表2.138 ADC 初期設定例

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (汎用ポート)	—	端子の向き設定 PORT4.PDR.B1 = 0b (入力/P41) PORT4.PDR.B2 = 0b (入力/P42) PORT4.PDR.B3 = 0b (入力/P43) 端子モード設定 (汎用) PORT4.PMR.B1 = 0b (P41) PORT4.PMR.B2 = 0b (P42) PORT4.PMR.B3 = 0b (P43)
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (PERIB, INTB128) = 0b
モジュールストップ状態 解除	STB.CR3._ADC0 = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRA.MSTPA17 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (ADC)	ADC0.ADCR.ADIE = 0b (ADI0)	S12AD.ADCSR.ADIE = 0b (S12ADI)
A/D 変換停止	ADC0.ADCR.ADST = 0b	S12AD.ADCSR.ADST = 0b
動作モード設定	ADC0.ADCR.ADCS = 1b	S12AD.ADCSR.ADCS = 10b
A/D 変換設定	チャンネル設定 ADC0.ADANSR = 0Eh	チャンネル設定 S12AD.ADANSA0 = 000Eh サンプリング時間設定 S12AD.ADSSTR1 = 150 S12AD.ADSSTR2 = 150 S12AD.ADSSTR3 = 150 レジスタフォーマット設定 S12AD.ADCER.ADRFMT = 0b 精度設定 S12AD.ADCER.ADPRC = 00b
割り込み設定	優先度設定 (レベル 5) INTC.IPR05._AD0 = 5 (ADI0) ADC ステータスクリア (注) ADC0.ADSR.ADF = 0b (ADI0) 注. '1'の状態を読み出した後、'0'を設定	選択型割り込みをベクタに割り当て ICU.SLIBXR128 = 64 (S12ADI) 選択型割り込み要因選択レジスタを保護 ICU.SLIPRCR.WPRC = 1b ^{*1} ICU.SLIPRCR.WPRC の値を読み出し 優先度設定 (レベル 5) IPR (PERIB, INTB128) = 5 (S12ADI) ICU ステータスクリア IR (PERIB, INTB128) = 0b (S12ADI)

処理	SH7216 設定例	RX71M 設定例
I/O ポート設定 (アナログ)	—	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.P41PFS.ASEL = 1b (P41/アナログ端子) MPC.P42PFS.ASEL = 1b (P42/アナログ端子) MPC.P43PFS.ASEL = 1b (P43/アナログ端子) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b

注 1. ICU.SLIPRCR.WPRC は一度 “1” にすると、ソフトウェアでは “0” にできません。

表2.139 A/D 変換動作開始設定例

処理	SH7216 設定例	RX71M 設定例
割り込み許可	ADC 割り込み許可 ADC0.ADCR.ADIE = 1b (ADI0)	ADC 割り込み許可 S12AD.ADCSR.ADIE = 1b (S12ADI) ICU 割り込み許可 IEN (PERIB, INTB128) = 1b
カウント開始	ADC0.ADCR.ADST = 1b	S12AD.ADCSR.ADST = 1b

2.15 CAN

2.15.1 仕様比較

コントローラエリアネットワークとして、SH7216 グループでは RCAN-ET、RX71M では CAN モジュール (CAN) が内蔵されています。

SH7216 グループと RX71M の仕様比較を表 2.140に示します。

表2.140 SH7216 グループ、RX71M の仕様比較 (CAN)

項目	SH7216 グループ (RCAN-ET)	RX71M (CAN)
チャンネル数	1 チャンネル	3 チャンネル
プロトコル	CAN 規格 2.0B 対応 ビットタイミングは ISO-11898 規格に準拠	ISO 11898-1 仕様準拠
クロックソース	周辺バスクロック (Pφ) 20~50MHz	周辺モジュールクロック (PCLKB) または CAN クロック (CANMCLK)
ビットレート	最大 1Mbps	最大 1Mbps
1 チャンネルあたりの メールボックス数	(RX の通常メールボックスモードに相当) 送受信 : 15 受信 : 1	通常メールボックスモード時 ● 送受信 : 32 FIFO メールボックスモード時 ● 送受信 : 24 ● 送信 : 4 段 FIFO ● 受信 : 4 段 FIFO
対応 ID 選択	● 標準 ID と拡張 ID の両方	● 標準 ID ● 拡張 ID ● 標準 ID と拡張 ID の両方
テスト機能	● リスンオンリモード ● セルフテストモード 1 (外部) ● セルフテストモード 2 (内部) ● ライトエラーカウンタ ● エラーパッシブモード	● リスンオンリモード ● セルフテストモード 0 (外部) ● セルフテストモード 1 (内部)
DTC/DMAC 起動	DTC/DMAC 起動可能	なし
割り込み要因	● データフレーム受信 ● リモートフレーム受信 ● メッセージの送信/送信取り消し ● エラー 2 系統	● 受信完了 ● 送信完了 ● 受信 FIFO ● 送信 FIFO ● エラー
その他	● HCAN2 互換 ID 並び替え ● CAN スリープモードの自動ウェイク ● データフレーム自動送信 ● アクセプタンスフィルタ	● タイムスタンプ ● ワンショット受信 ● メールボックス検索サポート ● チャンネル検索サポート ● アクセプタンスフィルタサポート

2.15.2 メールボックス

SH7216 グループのメールボックスは 18 バイトで構成され、16 個のメールボックスを持ちます。SH7216 グループのメールボックス構成を図 2.50 に示します。

- メールボックス 0 : 受信専用メールボックス
- メールボックス 1~15 : 送受信可能なメールボックス

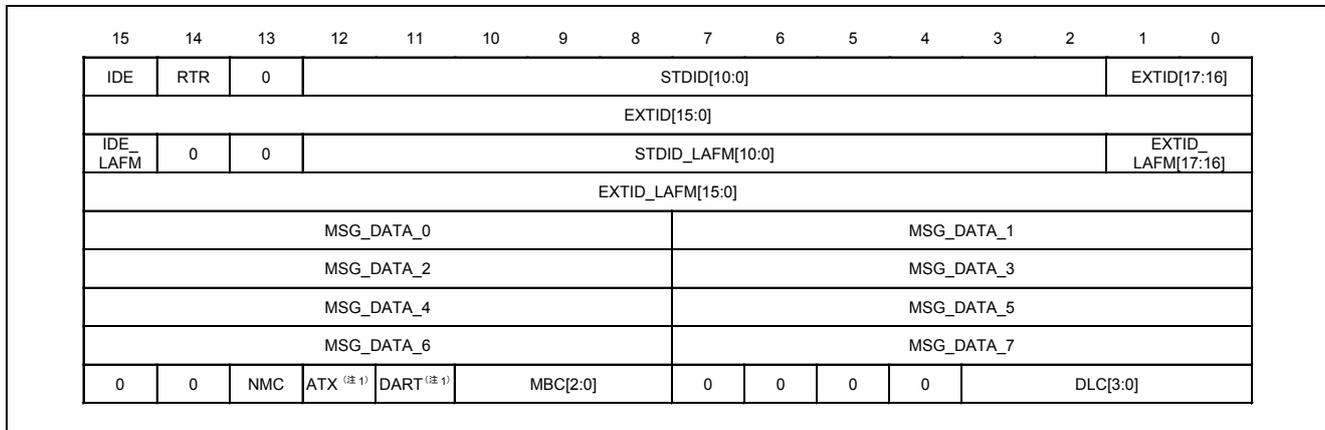


図2.50 SH7216 グループのメールボックス構成

RX71M のメールボックスは 16 バイトで構成され、32 個のメールボックスを持ちます。RX71M のメールボックス構成を図 2.51 に示します。

通常メールボックスモードの場合

- メールボックス 0~31 : 送受信可能なメールボックス

FIFO メールボックスモード

- メールボックス 0~23 : 送受信可能なメールボックス
- メールボックス 24~27 : 送信 FIFO 用メールボックス
- メールボックス 28~31 : 受信 FIFO 用メールボックス

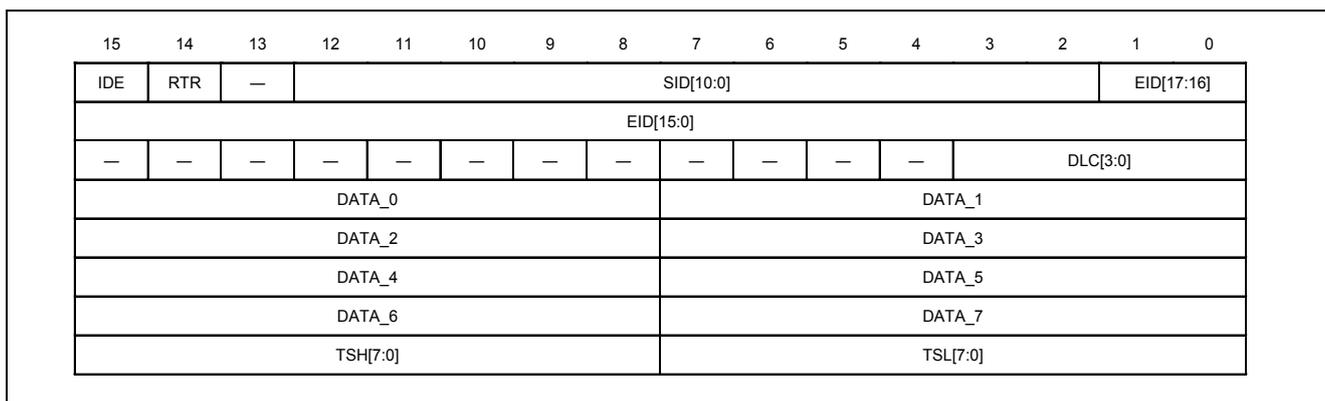


図2.51 RX71M のメールボックス構成

SH7216 グループのメールボックスの一部項目は、RX71M ではレジスタで設定を行います。

SH7216 グループ、RX71M のメールボックス設定比較を表 2.141に示します。

表の変更欄の記号

◎ : SH7216 グループと RX71M で同じ設定

△ : SH7216 グループと RX71M で異なる設定

— : SH7216 グループと RX71M で一方にしかない設定

表2.141 SH7216 グループ、RX71M のメールボックス設定比較

SH7216 グループ (注1)	RX71M (注2)	変更
MB[x].CONTROL0.IDE	MBj.IDE	◎
MB[x].CONTROL0.RTR	MBj.RTR	◎
MB[x].CONTROL0.STDID[10:0]	MBj.SID[10:0]	◎
MB[x].CONTROL0.EXTID[17:0]	MBj.EID[17:0]	◎
MB[x].LAFM.IDE_LAFM	—	—
MB[x].LAFM.STDID_LAFM[10:0]	MKRk.SID[10:0]、MKIVLR レジスタ	△
MB[x].LAFM.EXTID_LAFM[17:0]	MKRk.EID[17:0]、MKIVLR レジスタ	△
MB[x].MSG_DATA[0~7].MSG_DATA_0~7	MBj.DATA0~7	◎
MB[x].CONTROL1.NMC	CTLR.MLM (チャンネル単位)	△
MB[x].CONTROL1.ATX	—	—
MB[x].CONTROL1.DART	MCTLj.ONESHOT	△
MB[x].CONTROL1.MBC[2:0]	MCTLj.RECREQ、MCTLj.TRMREQ	△
MB[x].CONTROL1.DLC[3:0]	MBj.DLC[3:0]	◎
—	MBj.TSL[7:0] MBj.TSH[7:0]	—

注 1. x : 0~15

注 2. j : 0~31、k : 0~7

2.15.3 アクセプタンスフィルタ

SH7216 グループ、RX71M ともにアクセプタンスフィルタ機能を持ち、メールボックスが複数の受信 ID を受け入れることを許可します。

SH7216 グループはアクセプタンスフィルタの設定をメールボックス内のローカルアクセプタンスフィルタマスク (LAFM) で行うのに対し、RX71M はマスクレジスタ k (MKRk) およびマスク無効レジスタ (MKIVLR) で行います。

表2.142 アクセプタンスフィルタ設定仕様

項目	SH7216 グループ	RX71M
対象	IDE 標準 ID 拡張 ID	標準 ID 拡張 ID
マスク設定	ローカルアクセプタンスフィルタマスク (LAFM) : メールボックスごとに個別のマスクを設定 0 : 対象 ID ビットを比較する 1 : 対象 ID ビットを比較しない	マスクレジスタ k (MKRk) : 4 メールボックスごとに個別のマスクを設定 0 : 対象 ID ビットを比較しない 1 : 対象 ID ビットを比較する マスク無効レジスタ (MKIVLR) : メールボックスごとにマスク有効/無効を設定

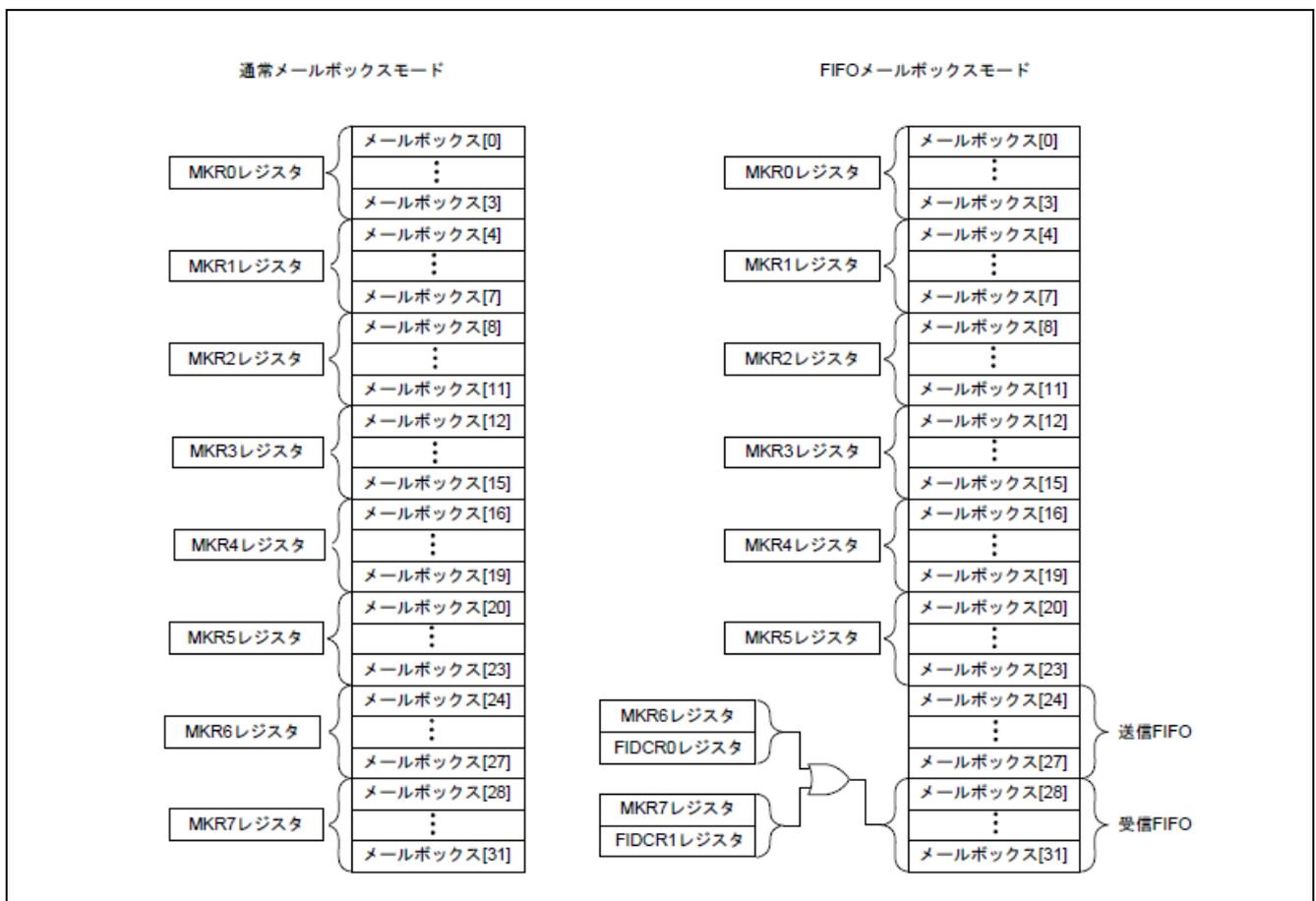


図2.52 RX71M のマスクレジスタとメールボックスの対応

2.15.4 送信優先順位

SH7216 グループ、RX71M ともにメッセージを送信する場合の優先順位を選択することができます。

メールボックス番号優先を選択した場合、メールボックス番号と優先度が SH7216 グループと RX71M で異なります。SH7216 グループと RX71M の送信優先順位仕様を表 2.143 に示します。

表2.143 送信優先順位の仕様

項目	SH7216 グループ	RX71M
ID 優先	最小のアービトレーションフィールドをもつメッセージから優先 (ISO11898-1 仕様に準拠)	
メールボックス番号優先	一番大きいメールボックス番号から優先 メールボックス 15→1	一番小さいメールボックス番号から優先 メールボックス 0→31

2.15.5 モード遷移

SH7216 グループは、ハードウェアリセット後にコンフィギュレーションモードに遷移するのに対し、RX71M は、CPU リセット後に CAN スリープモードに遷移します。

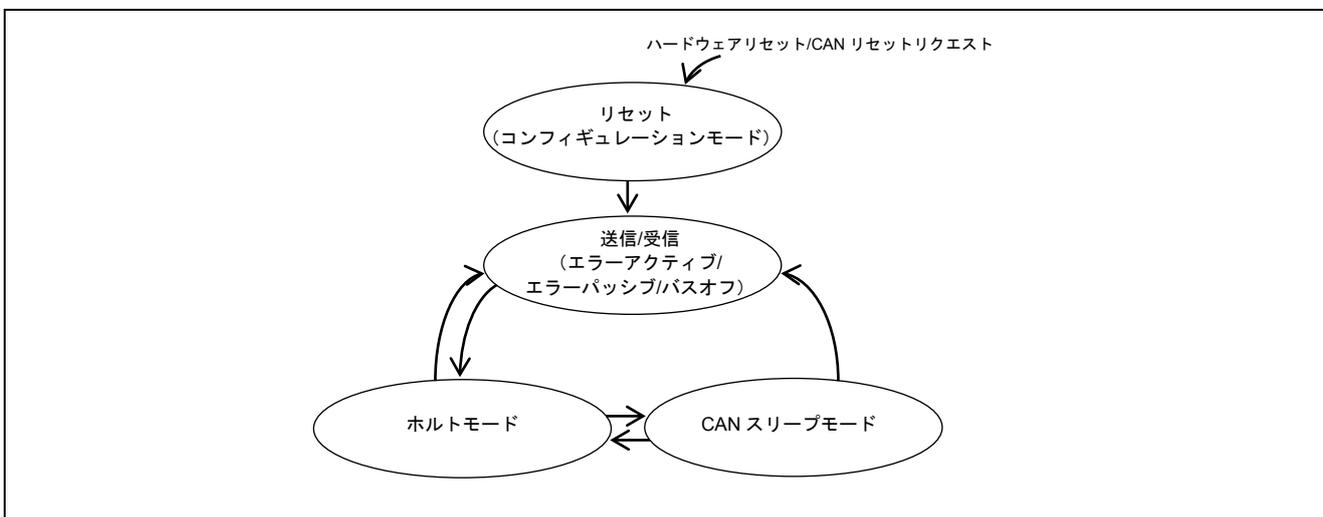


図2.53 SH7216 状態遷移

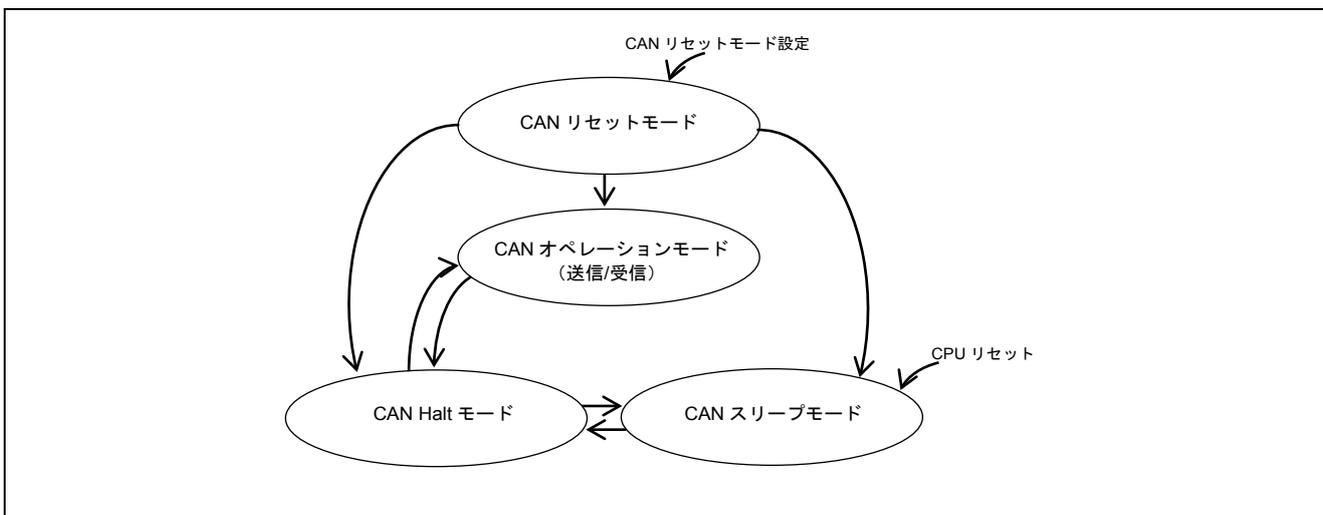


図2.54 RX71M 状態遷移

2.15.6 割り込み

SH7216 グループは、データフレーム受信およびリモートフレーム受信割り込みにおいて DTC と DMA の起動が可能なのに対し、RX71M は全ての CAN 割り込みで DTC と DMAC の起動ができません。

RX71M の CAN 割り込みは、グループ割り込み BE0 と選択型割り込み B に割り当てられています。グループ BE0 割り込みステータスフラグ (GRPBE0.ISn) は、割り込み要因クリアビット (GCRBE0.CLRn) に '1' を書き込むことでクリアされます。選択型割り込み B ステータスフラグ (PIBRk.PIRn) は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては「1.9 割り込み処理」を参照してください。

2.15.7 モジュールストップ

RX71M の CAN は、SH7216 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.16 USB

2.16.1 仕様比較

USB 2.0 に対応したモジュールとして、SH7216 グループでは USB ファンクションモジュール (USB)、RX71M では USB 規格 2.0 で定義されている全転送タイプに対応した USB 2.0 FS ホスト/ファンクションモジュール (USBb) と、ハイスピードモードにも対応した USB 2.0 High-Speed ホスト/ファンクションモジュール (USBAa) が内蔵されています。

SH7216 グループと RX71M の仕様比較を表 2.144 に示します。

表2.144 SH7216 グループ、RX71M の仕様比較 (USB)

項目	SH7216 グループ	RX71M	
	USB	USBb	USBAa
コントローラ機能	<ul style="list-style-type: none"> ファンクションコントローラ機能 	<ul style="list-style-type: none"> ホストコントローラ機能 ファンクションコントローラ機能 On-The-Go (OTG) 	
クロックソース	USB クロック (U ϕ)	周辺モジュールクロック (PCLKB) USB クロック (UCLK)	周辺モジュールクロック (PCLKA、PCLKB) USB クロック (UCLK) USBA クロック (USBMCLK) (注1)
転送スピード	<ul style="list-style-type: none"> フルスピードモード 	<ul style="list-style-type: none"> ロースピードモード (注2) フルスピードモード 	<ul style="list-style-type: none"> ロースピードモード (注2) フルスピードモード ハイスピードモード
通信データ転送タイプ	<ul style="list-style-type: none"> コントロール転送 バルク転送 インタラプト転送 	<ul style="list-style-type: none"> コントロール転送 バルク転送 インタラプト転送 アイソクロナス転送 	
パワーモード	<ul style="list-style-type: none"> セルフパワーモード 	<ul style="list-style-type: none"> セルフパワーモード バスパワーモード 	
エンドポイント/パイプ	エンドポイント：最大 10	パイプ：最大 10 パイプ 1~9 は任意のエンドポイント番号を割付可能	
DTC/DMAC 起動	DTC/DMAC 起動可能	DTC/DMAC 起動可能	
その他	<ul style="list-style-type: none"> D+ラインのプルアップ制御端子 (PUPD) USB ケーブル切断時、プロトコル処理部内部クロック停止による低消費電力化が可能 	<ul style="list-style-type: none"> D+/D-ラインのプルアップ抵抗、プルダウン抵抗を MCU に内蔵 ファンクションコントローラ機能選択時以下の機能に対応 <ul style="list-style-type: none"> — コントロール転送ステージ管理機能 — デバイスステート管理機能 — SOF 補完機能 	

注 1. USBA の USB-PHY に内蔵された PLL に USBMCLK を供給し、PHY クロックを生成する方法も選択可能

注 2. ホストコントローラのみ対応

2.17 イーサネットコントローラ (EtherC)

2.17.1 仕様比較

イーサネットあるいは IEEE802.3 の MAC 層規格に準拠したイーサネットコントローラとして、SH7216 グループでは EtherC、RX71M では ETHERC が内蔵されています。

イーサネットコントローラ用ダイレクトメモリアクセスコントローラとして、SH7216 グループでは E-DMAC、RX71M では EDMACa が内蔵されています。

RX71M は、機器間の時刻同期を行うイーサネットコントローラ用 PTP コントローラ (EPTPCa) も内蔵しています。

SH7216 グループと RX71M の仕様比較を、表 2.145、表 2.146 に示します。

表 2.145 SH7216 グループ、RX71M の仕様比較 (EtherC)

項目	SH7216 グループ (EtherC)	RX71M (ETHERC)
入力チャンネル数	1 チャンネル	2 チャンネル
プロトコル	IEEE802.3x 規格のフロー制御準拠	IEEE802.3x 規格のフロー制御準拠
データ送受信	イーサネット/IEEE802.3 フレームの送受信	イーサネット/IEEE802.3 フレームの送受信
通信速度	10Mbps 100Mbps	10Mbps 100Mbps
通信方式	全二重通信 半二重通信	全二重通信 半二重通信
インタフェース	IEEE802.3u 規格の MII 対応	IEEE802.3u 規格の MII および RMII の対応
その他	Magic Packet TM (注1) の検出 Wake-On-LAN (WOL) 信号の出力	Magic Packet TM (注1) の検出 Wake-On-LAN (WOL) 信号の出力

注 1. Magic Packet は Advanced Micro Devices, Inc. の商標

表 2.146 SH7216 グループ、RX71M の仕様比較 (E-DMAC)

項目	SH7216 グループ (E-DMAC)	RX71M (EDMACa)
チャンネル数	1 チャンネル : EtherC 用	2 チャンネル : ETHERC 用 1 チャンネル : EPTPCa 用
データ転送	ディスクリプタによる送受信制御	ディスクリプタによる送受信制御
転送方式	<ul style="list-style-type: none"> シングルフレーム送受信 マルチバッファ送受信 	<ul style="list-style-type: none"> シングルバッファフレーム送受信 マルチバッファフレーム送受信
転送単位	ブロック転送 (32 バイト単位)	ブロック転送 (32 バイト単位)
その他	<ul style="list-style-type: none"> 送受信フレームステータスのディスクリプタへの反映 	<ul style="list-style-type: none"> 送受信フレームステータスのディスクリプタへの反映 受信データへのパディング挿入

2.18 コンペアマッチタイマ (CMT)

2.18.1 仕様比較

コンペアマッチタイマとして、SH7216 グループでは CMT、RX71M では 16 ビットタイマによる CMT の他に、32 ビットタイマによる CMTW が内蔵されています。

RX71M は SH7216 グループの CMT 機能を包含しています (上位互換)。SH7216 グループと RX71M の仕様比較を表 2.147 に示します。

表2.147 SH7216 グループ、RX71M の仕様比較 (CMT)

項目	SH7216 グループ	RX71M	
	CMT	CMT	CMTW
ユニット数 (チャンネル数)	1 ユニット (全 2 チャンネル)	2 ユニット (全 4 チャンネル)	2 ユニット (全 2 チャンネル)
クロックソース	内部クロック (Pφ)	周辺モジュールクロック (PCLKB)	周辺モジュールクロック (PCLKB)
クロック分周比	Pφ/8, 32, 128, 512	PCLKB/8, 32, 128, 512	PCLKB/8, 32, 128, 512
カウント動作	16 ビットのアップカウンタ	16 ビットのアップカウンタ	最大 32 ビットのアップカウンタ (16, 32 ビットから選択可能)
DTC/DMAC 起動	DTC/DMAC 起動可能	DTC/DMAC 起動可能	DTC/DMAC 起動可能
割り込み要因	<ul style="list-style-type: none"> コンペアマッチ 	<ul style="list-style-type: none"> コンペアマッチ 	<ul style="list-style-type: none"> コンペアマッチ インプットキャプチャ アウトプットコンペア
その他	—	<ul style="list-style-type: none"> イベントリンク 	<ul style="list-style-type: none"> イベントリンク

2.18.2 レジスタ比較

RX71M には割り込みフラグがありませんが、割り込みコントローラを使用する事で同様な処理を実現できます。

SH7216 グループ、RX71M のレジスタ比較を表 2.148 と表 2.149 に示します。

表の変更欄の記号

- ◎ : SH7216 グループと RX71M でビットアサインが同じレジスタ
- △ : SH7216 グループと RX71M でビットアサインが異なるレジスタ
- : SH7216 グループと RX71M で一方にしかないレジスタ

表2.148 SH7216 グループ、RX71M のレジスタ比較 (CMT)

SH7216 グループ (CMT) (注1)	RX71M (CMT) (注2)	変更
コンペアマッチタイマスタートレジスタ (CMSTR)	コンペアマッチタイマスタートレジスタ 0 (CMSTR0) コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	◎
コンペアマッチタイマコントロール/ ステータスレジスタ_n (CMCSR_n)	コンペアマッチタイマコントロールレジスタ (CMTm.CMCR)	△
コンペアマッチカウンタ_n (CMCNT_n)	コンペアマッチタイマカウンタ (CMTm.CMCNT)	◎
コンペアマッチコンスタントレジスタ_n (CMCOR_n)	コンペアマッチタイマコンスタントレジスタ (CMTm.CMCOR)	◎

注 1. CMT n : 0~1

注 2. CMT m : 0~3

表2.149 SH7216 グループ、RX71M のレジスタ比較 (CMTW)

SH7216 グループ (CMT) (注1)	RX71M (CMTW) (注2)	変更
コンペアマッチタイマスタートレジスタ (CMSTR)	タイマスタートレジスタ (CMTWm.CMWSTR)	△
コンペアマッチタイマコントロール/ ステータスレジスタ_n (CMCSR_n)	タイマコントロールレジスタ (CMTWm.CMWCR)	△
コンペアマッチカウンタ_n (CMCNT_n)	タイマカウンタ (CMTWm.CMWCNT)	△
コンペアマッチコンスタントレジスタ_n (CMCOR_n)	コンペアマッチコンスタントレジスタ (CMTWm.CMWCOR)	△
—	タイマ I/O コントロールレジスタ (CMTWm.CMWIOR)	—
	インプットキャプチャレジスタ 0, 1 (CMTWm.CMWICR0, 1)	
	アウトプットコンペアレジスタ 0, 1 (CMTWm.CMWOCR0, 1)	

注 1. CMT n : 0~1

注 2. CMTW m : 0~1

2.18.3 割り込み

SH7216 グループ、RX71M とともに DTC と DMAC の起動が可能です。

RX71M の CMT および CMTW 割り込みは、一部割り込みが選択型割り込み B に割り当てられています。割り込みコントローラの割り込みステータスフラグ (IRn.IR) は、割り込みを受けつけると自動的にクリアされます。選択型割り込み B ステータスフラグ (PIBRk.PIRn) は、自動的にクリアされませんが、そのままでも割り込み要求の生成には影響しません。

割り込みについては「1.9 割り込み処理」を参照してください。

2.18.4 モジュールストップ

RX71M の CMT は、SH7216 グループ同様にリセット後モジュールストップ状態が設定されておりクロック供給が停止しています。

モジュールストップ状態については「2.21 消費電力低減機能」を参照してください。

2.18.5 コンペアマッチタイマ設定例

SH7216 と RX71M のコンペアマッチタイマを使用して、等間隔で LED 点滅を行う場合の設定例を以下に示します。

<動作概要>

- コンペアマッチ割り込みで LED1 を反転させる動作を継続します。

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216 : ”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、`iodefine.h` を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.150 コンペアマッチタイマ動作仕様

項目	内容	備考
CMT チャンネル	CMT0	
カウントクロック	PCLKB/512 (PCLKB = 60MHz)	SH7216 : Pφ/512 (φ = 50MHz)
カウンタ値 (CMCOR)	0xE4E1 (0.5s@60MHz/512)	SH7216 : 0xBEBB (0.5s@50MHz/512)
割り込み	コンペアマッチ割り込み	優先レベル 5
使用端子	LED1	P05/汎用
		0.5 秒間隔で点滅

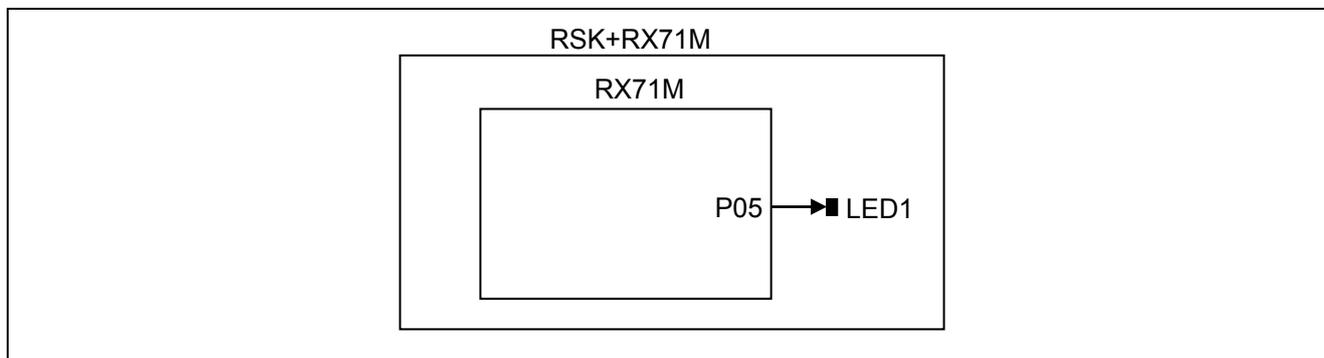


図2.55 コンペアマッチタイマ接続例

<関連レジスタ一覧>

SH7216 の設定例で使用する割り込み関連レジスタを要因別に表 2.151 に示します。

表2.151 SH7216 割り込み関連レジスタ (CMT、INTC)

項目	ベクタ 番号	名称	CMT		INTC
			割り込み許可	ステータス	優先レベル
設定レジスタ	—	—	CMT0.CMCSR	CMT0.CMCSR	IPR08
要因毎の設定位置 (CMT0)					
コンペアマッチ	140	CMIO	CMIE	CMF	bit 12~15

RX71M の設定例で使用する割り込み関連レジスタを要因別に表 2.152、表 2.153 に示します。

表2.152 RX71M 割り込み関連レジスタ (CMT)

項目	名称	割り込み許可	ステータス
設定レジスタ	—	CMT0.CMCR	—
要因毎の設定位置 (CMT0)			
コンペアマッチ	CMIO	CMIE	—

表2.153 RX71M 割り込み関連レジスタ (ICUA)

項目	ベクタ 番号	名称	割り込み許可	ステータス	優先 レベル
設定レジスタ	—	—	IERm	IRr	IPRr
要因毎の設定位置 (CMT0)					
コンペアマッチ	28	CMIO	IER03.IEN4	IR028	IPR004

RX71M では、ICUA の割り込み関連レジスタへ設定を行う場合、iodefine.h を使用し以下のように設定することができます。

- IERm : IEN (CMT0, ICUA の割り込み名称)
- IPRr : IPR (CMT0, ICUA の割り込み名称)
- IRr : IR (CMT0, ICUA の割り込み名称)

<処理フロー>

CMT を使用した処理フロー例を図 2.56に示します。本フローの処理名は、設定例の処理名と対応していません。

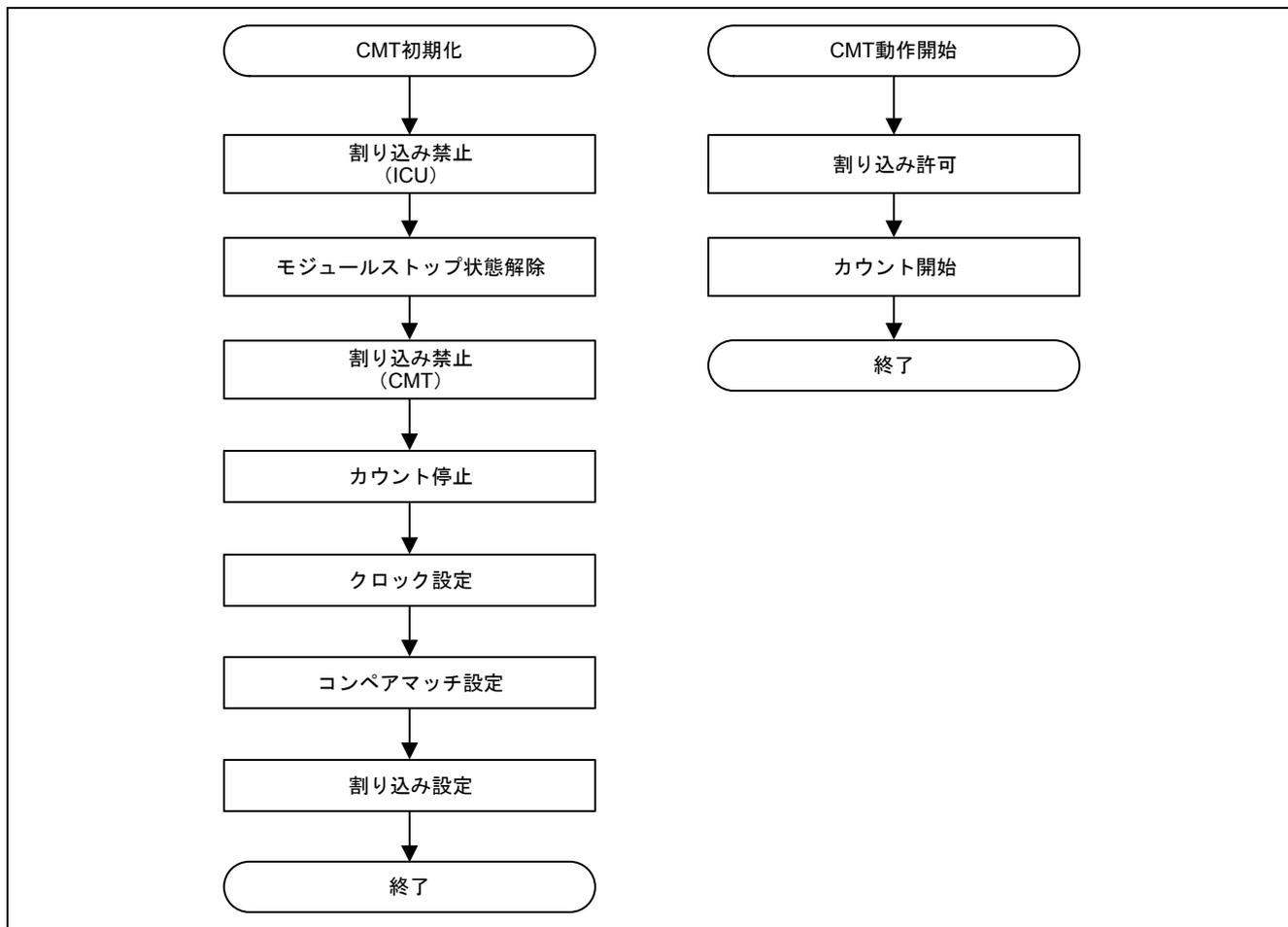


図2.56 CMT 処理フロー例

<設定例>

以下に、コンペアマッチタイマの設定例を示します。本設定例の処理名は、処理フローの処理名と対応しています。

表2.154 CMT 初期化設定例

手順	SH7216 設定例	RX71M 設定例
割り込み禁止 (ICU)	—	ICU 割り込み禁止 IEN (CMT0, CMI0) = 0b
モジュールストップ状態解除	STB.CR4._CMT = 0b	SYSTEM.PRCR = A502h SYSTEM.MSTPCRA.MSTPA15 = 0b SYSTEM.PRCR = A500h
割り込み禁止 (CMT)	CMT 割り込み禁止 CMT0.CMCSR.CMIE = 0b (CMI0)	CMT 割り込み禁止 CMT0.CMCR.CMIE = 0b (CMI0)
カウント停止	CMT.CMSTR.STR0 = 0b	CMT.CMSTR0.STR0 = 0b
クロック設定	CMT0.CMCSR.CKS = 11b	CMT0.CMCR.CKS = 11b
コンペアマッチ設定	周期設定 CMT0.CMCOR = BEBBh カウンタクリア CMT0.CMCNT = 0	周期設定 CMT0.CMCOR = E4E1h カウンタクリア CMT0.CMCNT = 0
割り込み設定	優先度設定 (レベル 5) INTC.IPR08._CMT0 = 5 CMT ステータスフラグクリア (注) CMT0.CMCSR.CMF = 0b (CMI0) 注. '1'の状態を読み出した後、'0'を設定	優先度設定 (レベル 5) IPR (CMT0, CMI0) = 5 ICU ステータスフラグクリア IR (CMT0, CMI0) = 0b

表2.155 CMT 動作開始設定例

処理	SH7216 設定例	RX71M 設定例
割り込み許可	CMT 割り込み許可 CMT0.CMCSR.CMIE = 1b (CMI0)	CMT 割り込み許可 CMT0.CMCR.CMIE = 1b (CMI0) ICU 割り込み許可 IEN (CMT0, CMI0) = 1b
カウント開始	CMT.CMSTR.STR0 = 1b	CMT.CMSTR0.STR0 = 1b

2.19 コードフラッシュメモリ

2.19.1 仕様比較

SH7216 グループと RX71M の仕様比較を表 2.156に示します。

表2.156 SH7216 グループ、RX71M の仕様比較（コードフラッシュメモリ）

項目	SH7216 グループ	RX71M
サイズ	ユーザマット：最大 1M バイト ユーザブートマット：32K バイト	ユーザ領域：最大 4M バイト ユーザブート領域：32K バイト オプション設定領域：256 バイト
ブロックサイズ ×ブロック数	1M 品 <ul style="list-style-type: none"> 128K バイト×3 ブロック 64K バイト×9 ブロック 8K バイト×8 ブロック 768K 品 <ul style="list-style-type: none"> 128K バイト×1 ブロック 64K バイト×9 ブロック 8K バイト×8 ブロック 512K 品 <ul style="list-style-type: none"> 64K バイト×7 ブロック 8K バイト×8 ブロック 	4M 品 <ul style="list-style-type: none"> 32K バイト×126 ブロック 8K バイト×8 ブロック 3M 品 <ul style="list-style-type: none"> 32K バイト×94 ブロック 8K バイト×8 ブロック 2.5M 品 <ul style="list-style-type: none"> 32K バイト×78 ブロック 8K バイト×8 ブロック 2M 品 <ul style="list-style-type: none"> 32K バイト×62 ブロック 8K バイト×8 ブロック
書き込み単位	256 バイト	256 バイト
消去単位	ユーザマット <ul style="list-style-type: none"> ライターモード：全面消去 ライターモード以外：ブロック単位 ユーザブートマット：全面消去	ユーザ領域 <ul style="list-style-type: none"> ライターモード：全面消去 ライターモード以外：ブロック単位 ユーザブート領域：全面消去 オプション設定領域：全面消去
書き込み/消去回数	1000 回	1000 回
プログラミング モード	オンボードプログラミング <ul style="list-style-type: none"> ブートモード USB ブートモード ユーザブートモード ユーザプログラムモード オフボードプログラミング <ul style="list-style-type: none"> ライターモード 	オンボードプログラミング <ul style="list-style-type: none"> ブートモード（SCI インタフェース） ブートモード（USB インタフェース） ユーザブートモード ユーザプログラム中のコードフラッシュ書き替えルーチンによる書き替え オフボードプログラミング <ul style="list-style-type: none"> フラッシュライターによるプログラミング
その他	<ul style="list-style-type: none"> ビットレート自動合わせ込み プロテクトモード サスペンド/レジューム機能 BGO 機能 （コードフラッシュ書き込み/消去中、コードフラッシュ以外に配置したプログラムを実行可能） ROM キャッシュによる高速化 	<ul style="list-style-type: none"> ビットレート自動合わせ込み プロテクション機能（誤書き替え防止） サスペンド/レジューム機能 BGO 機能 （コードフラッシュメモリプログラム中のコードフラッシュメモリリードが可能） AFU (Advanced Fetch Unit) による高速化 セキュリティ機能 （不正改ざん/不正リード防止） TM 機能（不正リード防止） 12 バイト長のユニーク ID

RX71M でコードフラッシュメモリの書き換えを行う場合、FACI コマンドを使用できます。下記アプリケーションノートを参照してください。

- RX64M グループ、RX71M グループ フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編 (R01UH0435JJ0110)

2.20 データフラッシュ

2.20.1 仕様比較

SH7216 グループと RX71M の仕様比較を表 2.157に示します。

表2.157 SH7216 グループ、RX71M の仕様比較（データフラッシュメモリ）

項目	SH7216 グループ	RX71M
サイズ	データマット：32KB	データ領域：64KB
ブロックサイズ ×ブロック数	8Kバイト×4ブロック	64バイト×1024ブロック
書き込み単位	ブートモード：256バイト ブートモード以外：8バイトまたは128バイト	4バイト
消去単位	ブロック単位	64バイト
書き込み/消去回数	30000回	100000回
プログラミング モード	オンボードプログラミング <ul style="list-style-type: none"> ● ブートモード ● USB ブートモード ● ユーザブートモード ● ユーザモード/ユーザプログラムモード 	オンボードプログラミング <ul style="list-style-type: none"> ● ブートモード（SCI インタフェース） ● ブートモード（USB インタフェース） ● ユーザブートモード ● ユーザプログラム中のデータフラッシュ書き換えルーチンによる書き換え
その他	<ul style="list-style-type: none"> ● ビットレート自動合わせ込み ● プロテクトモード ● サスペンド/レジューム機能 ● BGO 機能 （データフラッシュ書き込み/消去中、コードフラッシュからのプログラムを実行可能） ● ブランクチェック機能 	<ul style="list-style-type: none"> ● ビットレート自動合わせ込み ● プロテクション機能（誤書き換え防止） ● サスペンド/レジューム機能 ● BGO 機能 （データフラッシュメモリプログラム中のコードフラッシュメモリリードが可能） ● ブランクチェック機能 ● セキュリティ機能（不正改ざん/不正リード防止） ● 12バイト長のユニーク ID

RX71M でコードフラッシュメモリの書き換えを行う場合、FACI コマンドを使用できます。下記アプリケーションノートを参照してください。

- RX64M グループ、RX71M グループ フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編（R01UH0435JJ0110）

2.21 消費電力低減機能

2.21.1 仕様比較

SH7216 グループと RX71M の各低消費電力状態への遷移および解除方法と、クロック、CPU、内蔵モジュールの動作状態を表 2.158 と表 2.159 に示します。

表2.158 SH7216 グループ低消費電力状態

遷移および解除方法と動作状態	スリープモード	モジュールスタンバイ機能	ソフトウェアスタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ	制御レジスタ + 命令
リセット以外の解除方法	割り込み DMA アドレスエラー	制御レジスタ	割り込み
クロック	動作	動作	停止
CPU	停止	動作	停止
内蔵周辺モジュール	動作	指定モジュールが停止	停止

表2.159 RX71M 低消費電力状態

遷移および解除方法と動作状態	スリープモード	全モジュール クロックストップ モード	ソフトウェア スタンバイモード	ディープ ソフトウェア スタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令
リセット以外の解除方法	割り込み	割り込み	割り込み	割り込み
メインクロック発振器 サブクロック発振器	動作	動作	動作	動作
高速オンチップオシレータ 低速オンチップオシレータ	動作	動作	停止	停止
IWDT 専用オンチップオシレータ	動作	動作	動作	停止 (不定)
PLL	動作	動作	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM	動作 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
スタンバイ RAM	動作 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定) (注1)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)	停止 (保持)
USBFS ホスト/ファンクション モジュール (USBb)	動作	停止	停止	停止 (保持/不定) (注1)
USBHS ホスト/ファンクション モジュール (USBA)	動作	停止	停止	停止 (保持/不定) (注1)
ウォッチドッグタイマ (WDTA)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ (IWDT)	動作	動作	動作	停止 (不定)
リアルタイムクロック (RTC)	動作	動作	動作	動作
8 ビットタイマ (TMR)	動作	動作	停止 (保持)	停止 (不定)
電圧検出回路 (LVDA)	動作	動作	動作	動作
パワーオンリセット回路	動作	動作	動作	動作
周辺モジュール	動作	停止 (保持)	停止 (保持)	停止 (不定)
I/O ポート	動作	保持	保持	保持

停止 (保持) : 内部レジスタ値保持、内部状態は動作中断

停止 (不定) : 内部レジスタ値不定、内部状態は電源オフ

注 1. 制御レジスタにて保持/不定を選択可能です。

2.21.2 モード遷移

RX71M の各モード間遷移図を図 2.57に、遷移条件を表 2.160に示します。

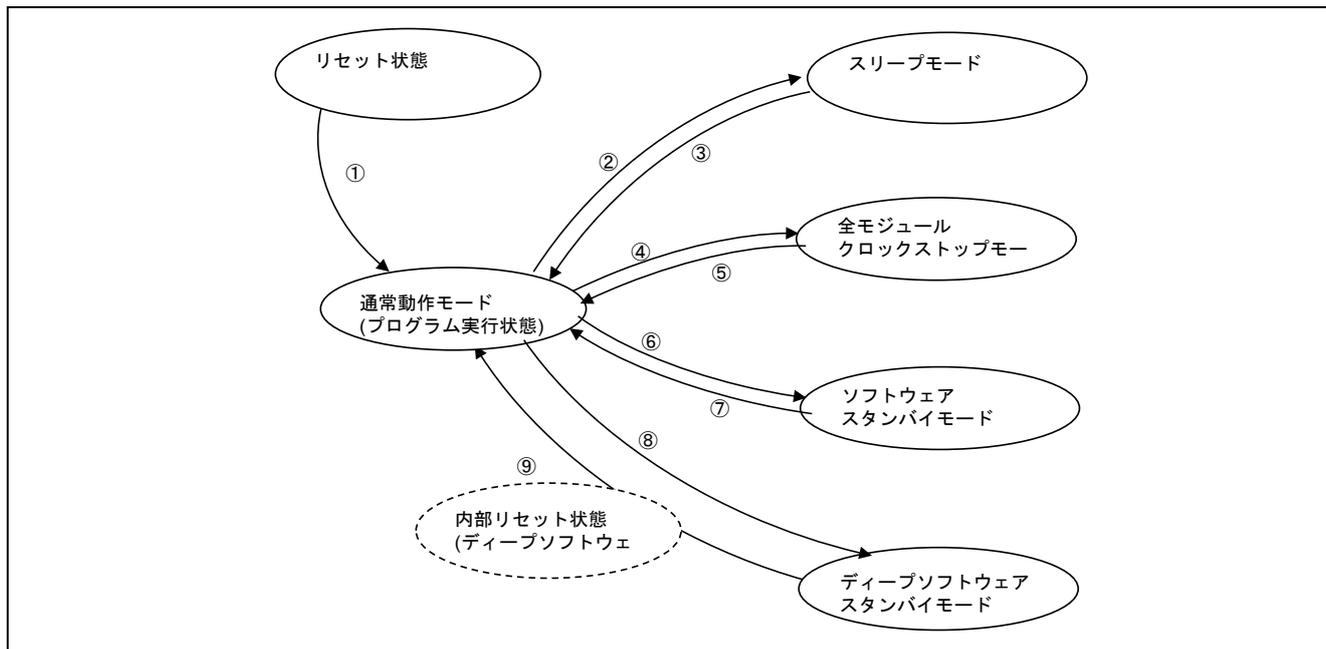


図2.57 RX71M モード遷移図

表2.160 RX71M モード遷移イベント一覧

No.	イベント事象	遷移の条件 (イベント事象前に下記条件を設定)
①	RES#端子 = High	—
②	WAIT 命令実行	SBYCR.SSBY = "0"
③	全ての割り込み	—
④	WAIT 命令実行	SBYCR.SSBY = "0", MSTPCRA.ACSE = "1", MSTPCRA = "FFFF FF[C-F]Fh" MSTPCRB = "FFFF FFFFh", MSTPCRC[31:16] = "FFFFh", MSTPCRD = "FFFF FFFFh"
⑤	外部/周辺割り込み	外部端子割り込み (NMI, IRQ0~IRQ15) 周辺機能割り込み (8ビットタイマ、RTC アラーム、RTC 周期、IWDT、USB サスペンド/レジューム、電圧監視 1、電圧監視 2、発振停止検出) (注1)
⑥	WAIT 命令実行	SBYCR.SSBY = "1", DPSBYCR.DPSBY = "0"
⑦	外部/周辺割り込み	外部端子割り込み (NMI, IRQ0~IRQ15) 周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、USB サスペンド/レジューム、電圧監視 1、電圧監視 2) (注1)
⑧	WAIT 命令実行	SBYCR.SSBY = "1", DPSBYCR.DPSBY = "1"
⑨	外部/周辺割り込み	外部端子割り込み発生元となる一部の端子 (NMI, IRQ0-DS~IRQ15-DS, SCL2-DS, SDA2-DS, CRX1-DS)、周辺機能割り込み (RTC アラーム、RTC 周期、USB サスペンド/レジューム、電圧監視 1、電圧監視 2) (注1) 上記割り込み発生後、内部リセット状態が一定時間発生した後、内部リセット解除とともに、ディープソフトウェアスタンバイモードが解除され、通常動作モード、LOCO 動作で CPU は動作する。(リセットにより復帰する)

注 1. 割り込み条件に詳細な条件があります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

2.21.3 モジュールストップ状態

SH7216 グループはリセット後、RAM および ROM を除きモジュールストップ状態になるため、モジュールに対するクロックの供給を停止します。

RX71M はリセット後、DMACa、EXDMACa、DTCa、RAM、ECCRAM、スタンバイ RAM を除きモジュールストップ状態になるため、モジュールに対するクロックの提供を停止します。DTCa と DMACa は、モジュールストップ設定ビット (MSTPCRA.MSTPA28) が共通の為、モジュールストップ制御が同時におこなわれます。EXDMACa はモジュールストップ設定ビット (MSTPCRA.MSTPA29) が独立しているため、個別に制御が可能です。

リセット後、モジュールストップ状態になるモジュールは、SH7216 グループ同様に、モジュール使用前にモジュールストップ状態の解除を行ってください。

RX71M のモジュールストップ状態を変更する場合は、モジュールストップコントロールレジスタ (MSTPCRn) にアクセスする前に、プロテクトレジスタ (PRCR) でレジスタライトプロテクションを解除してください。

各モジュールに対するリセット後のクロック供給状態を表 2.161 に示します。

表2.161 リセット後のクロック供給状態

機能名 ^(注1)	SH7216 グループ	RX71M ^(注2)
RAM	クロック供給 (動作)	クロック供給 (動作)
ユーザブ레이크コントローラ (UBC)	クロック供給停止	—
データトランスファーコントローラ (DTC)		クロック供給 (動作)
ダイレクトメモリアクセスコントローラ (DMAC)		クロック供給停止
マルチファンクションタイムパルスユニット (MTU)		
シリアルコミュニケーションインタフェース (SCI, SCIF)		
シリアルペリフェラルインタフェース (RSPI)		
I2C バスインタフェース (IIC)		
A/D 変換器 (ADC)		
コンペアマッチタイマ (CMT)		

注 1. SH7216 グループの機能名を記載しています。

注 2. RX71M は本表以外にもモジュールストップに対応したモジュールがあります。

2.21.4 ライトプロテクション

RX71M にはプログラムが暴走した時に備え、重要なレジスタを書き換えられないように保護する、レジスタライトプロテクション機能があり、低消費電力低減機能関連レジスタはこれに該当します。

レジスタ書き込み時は、必要に応じてプロテクトビット 1 (PRCR.PRC1) を '1' に設定し、書き込みを許可してください。

2.21.5 低消費電力状態モード遷移設定例

SH7216 と RX71M の消費電力低減機能を使用して、モード遷移を行う場合の設定例を以下に示します。本章では、SW3 押下により IRQ9 割り込みを発生させる場合の例を記載しています。SW3 と IRQ9-DS 端子が接続されている状態で動作させてください。

<動作概要>

- モード遷移の状態確認の為、MTU と TMR によるパルス出力を行います。
- SW3 押下 (IRQ9-DS 端子入力) による割り込みでモード遷移を行います。
- ディープソフトウェアスタンバイモードからの復帰でリセットが発生すると処理を終了します。

SW3 押下によるモード遷移順番と各出力端子の動作を以下に示します。本表の No. の数字は図 2.57、表 2.160 の数字と対応しています。

表2.162 低消費電力状態の遷移順番

No.	SW3 押下	状態遷移	LED2	LED3	MTU 用 端子	TMR 用 端子
①	なし	端子 RES⇒通常動作モード	点滅	消灯	パルス出力	パルス出力
②	1 回目	スリープモード	停止 (保持)		パルス出力	パルス出力
③	2 回目	通常動作モード	点滅		パルス出力	パルス出力
④	3 回目	全モジュールクロックストップモード	停止 (保持)		停止 (保持)	パルス出力
⑤	4 回目	通常動作モード	点滅		パルス出力	パルス出力
⑥	5 回目	ソフトウェアスタンバイモード	停止 (保持)		停止 (保持)	停止 (保持)
⑦	6 回目	通常動作モード	点滅		パルス出力	パルス出力
⑧	7 回目	ディープソフトウェアスタンバイモード	停止 (不定)		停止 (不定)	停止 (不定)
⑨	8 回目	ディープソフトウェアスタンバイモード ⇒通常動作モード	消灯	点灯	停止	停止

動作仕様および接続例を以下に示します。SH7216 と RX71M で動作仕様に差異がある場合は、SH7216 の動作仕様を備考欄に“SH7216：”として記載しています。LED は RX71M の情報のみ記載しています。

設定例で使用するレジスタ名は、iodefine.h を使用した場合の名称です。動作環境については「3.1 動作環境」を参照してください。

表2.163 低消費電力状態モード遷移動作仕様

項目	内容	備考	
プロセッサモード	スーパバイザモード		
TMR	TMR チャンネル	TMR0, TMR1	
	カウントクロック	PCLKB/1 (PCLKB = 60MHz)	
	動作モード	16 ビットカウンタ	2 チャンネルのカスケード接続
	カウンタクリア要因	コンペアマッチ A	
	コンペアマッチ値	0x752F (0.5ms@60MHz)	
	TMR 端子の動作	コンペアマッチ A で トグル出力	
	割り込み	使用しない	
MTU	表 2.48を参照	コンペアマッチによる波形出力	
IRQ	表 2.19を参照	通常モードに復帰する際はノイズ除去しない	
使用端子	TMO	P22/TMO0	パルス出力用 (TMR)
	MTIOC	PC2/MTIOC4B	パルス出力用 (MTU)
	IRQ9-DS	P41/汎用	モード遷移トリガ用 (IRQ9-DS) SW3 に接続する場合はボードの改造が必要
	LED2	P26/汎用	通常モード中に点滅
	LED3	P27/汎用	ディープソフトウェアスタンバイからの復帰によるリセットで点灯

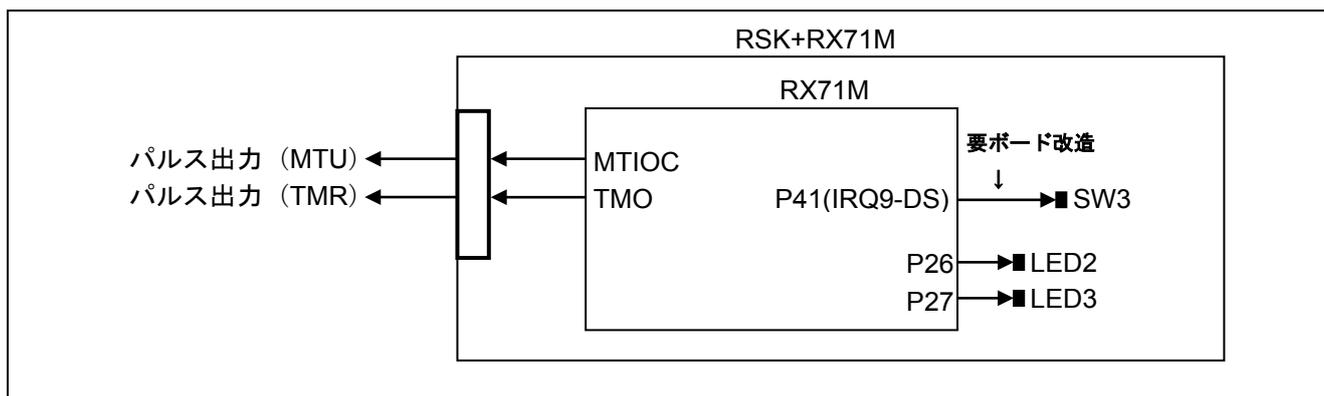


図2.58 低消費電力状態モード遷移接続例

<注意事項>

RSK+RX71M は、初期状態で SW3 と IRQ9-DS 端子が接続されていません。IRQ9-DS 端子は LCD 用に接続されていますので、SW3 と接続するようボードの改造を実施してください。

RSK+RX71M は、設定例で使用する MTU4 用端子が初期状態で Ethernet-PHY に接続され、TMR0 および TMR1 用端子は PDC 用に接続されていますので、必要に応じてボードの改造などを実施してください。

<処理フロー>

低消費電力状態へ遷移を行う場合の処理フロー例を図 2.59に示します。

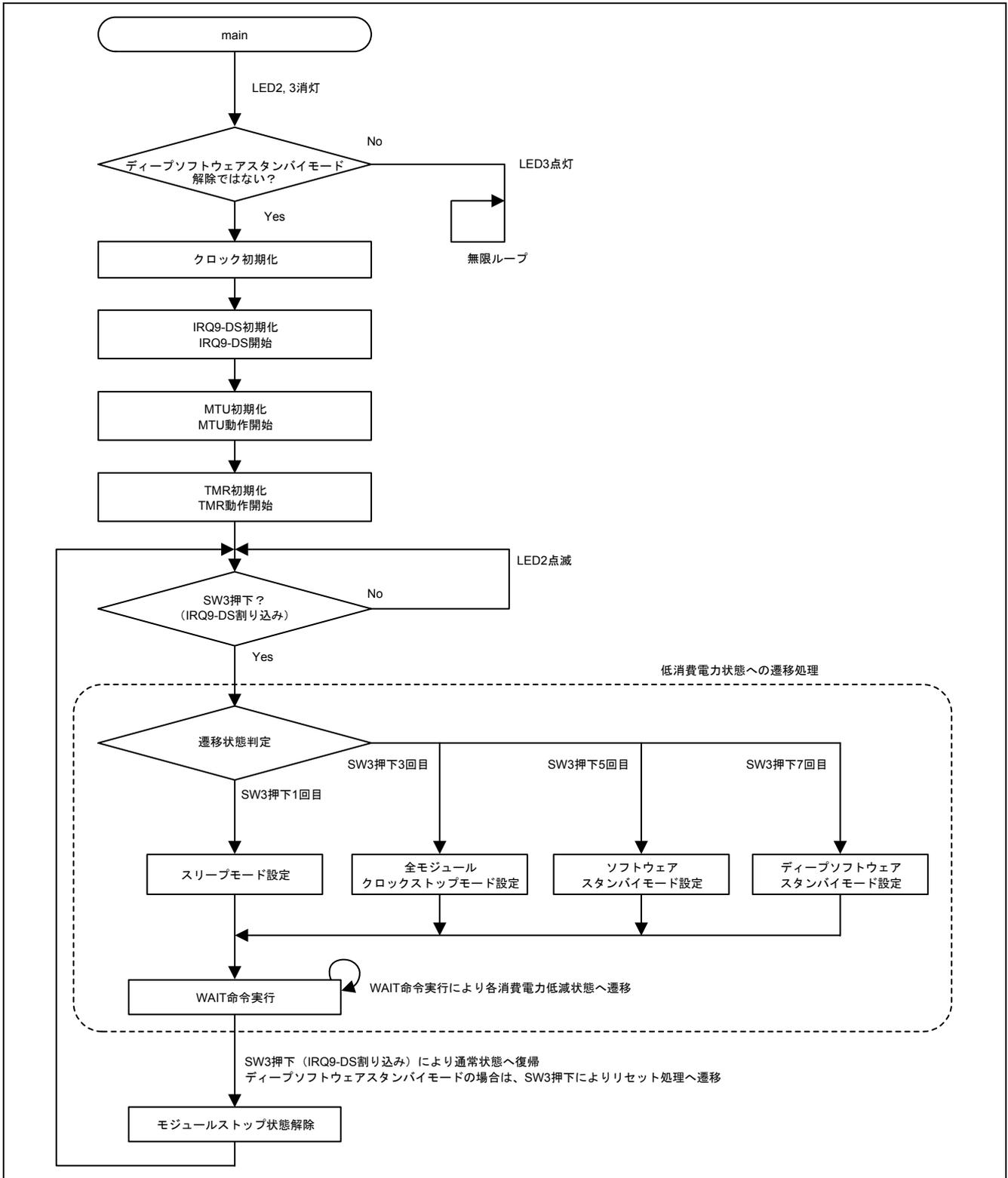


図2.59 低消費電力状態遷移の処理フロー例

<設定例>

以下に、低消費電力状態モード遷移の設定例を示します。なお、MTU、LED、SW3 の設定例は表 2.164 の各章を参照してください。

表2.164 設定例参照先一覧

項目	参照先
MTU 関連の設定例	2.7.5 コンペアマッチによるパルス出力設定例
LED 関連の設定例	2.2.3 汎用入出力の設定例
SW3 (IRQ9-DS) 関連の設定	2.4.1 IRQ の設定例

表2.165 TMR コンペアマッチ初期化設定例

処理	設定例
I/O ポート設定 (汎用ポート)	出力値の設定 (出力 0) PORT2.PODR.B2 = 0b (P22) 端子の向き設定 PORT2.PDR.B2 = 1b (出力/P22) 端子モード設定 (汎用) PORT2.PMR.B2 = 0b (P22)
モジュールストップ状態解除	SYSTEM.PRCR = A502h SYSTEM.MSTPCRA.MSTPA5 = 0b SYSTEM.PRCR = A500h
カウント停止 (クロック入力禁止)	TMR0.TCCR = 00h TMR1.TCCR = 0Fh
カウント動作設定	カウンタクリア TMR0.TCNT = 0 TMR1.TCNT = 0 カウンタクリア要因設定 TMR0.TCR.CCLR = 01b 端子動作設定 TMR0.TCSR.OSA = 11b 周期設定 TMR01.TCOR = 752Fh
I/O ポート設定 (周辺)	レジスタ保護の解除 MPC.PWPR.B0WI = 0b MPC.PWPR.PFSWE = 1b 端子周辺機能選択 MPC.P22PFS.PSEL = 000101b (TMO0) レジスタ保護の設定 MPC.PWPR.PFSWE = 0b MPC.PWPR.B0WI = 1b 端子モード設定 (周辺) PORT2.PMR.B2 = 1b (TMO0)

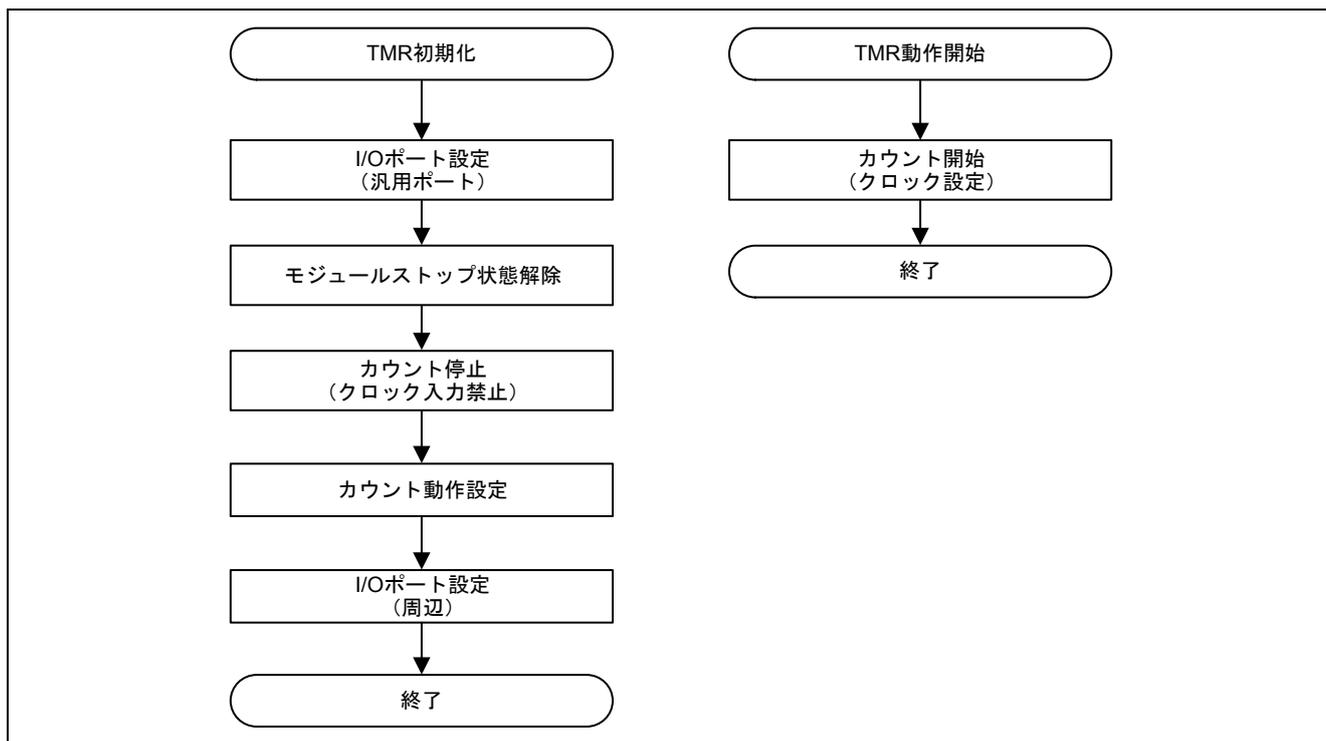


図2.60 TMR 処理フロー例

表2.166 TMR 動作開始設定例

処理	参照先
カウント開始 (クロック設定)	TMR0.TCCR.CSS = 11b TMR1.TCCR.CKS = 000b TMR1.TCCR.CSS = 01b

表2.167 スリープモード設定例

処理	設定例
プロテクト解除	SYSTEM.PRCR = A502h
全モジュールクロックストップモード禁止	SYSTEM.MSTPCRA.ACSE = 0b
WAIT 命令実行後のモード設定	スリープモードまたは全モジュールクロックストップモードに移行 SYSTEM.SBYCR.SSBY = 0b
プロテクト設定	SYSTEM.PRCR = A500h

表2.168 全モジュールクロックストップモード設定例

処理	設定例
プロテクト解除	SYSTEM.PRCR = A502h
全モジュールクロックストップモード許可	SYSTEM.MSTPCRA.ACSE = 1b
WAIT 命令実行後のモード設定	スリープモードまたは全モジュールクロックストップモードに移行 SYSTEM.SBYCR.SSBY = 0b
モジュールストップ状態設定	SYSTEM.MSTPCRA = FFFFFFFDh SYSTEM.MSTPCRB = FFFFFFFFh SYSTEM.MSTPCRC = FFFF0000h SYSTEM.MSTPCRD = FFFFFFFFh
プロテクト設定	SYSTEM.PRCR = A500h

表2.169 ソフトウェアスタンバイモード設定例

処理	設定例
プロテクト解除	SYSTEM.PRCR = A502h
ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時の設定	アドレスバス、バス制御信号はハイインピーダンス SYSTEM.SBYCR.OPE = 0b
ディープソフトウェアスタンバイモード禁止	SYSTEM.DPSBYCR.DPSBY = 0b
WAIT 命令実行後のモード設定	ソフトウェアスタンバイモードに移行 SYSTEM.SBYCR.SSBY = 1b
プロテクト設定	SYSTEM.PRCR = A500h

表2.170 ディープソフトウェアスタンバイモード設定例

処理	設定例
プロテクト解除	SYSTEM.PRCR = A502h
ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時の設定	アドレスバス、バス制御信号はハイインピーダンス SYSTEM.SBYCR.OPE = 0b
ディープソフトウェアスタンバイモード時の設定	スタンバイ RAM と USB レジューム検出部に電源供給しない SYSTEM.DPSBYCR.DEEPCUT = 01b 解除と同時に I/O ポートの保持を解除 SYSTEM.DPSBYCR.IOKEEP = 0b
IRQn-DS 端子によるディープソフトウェアスタンバイモードの解除設定	IRQ9-DS 端子立ち下がりエッジで解除要求を発生 SYSTEM.DPSIEGR1.DIRQ9EG = 0b IRQ9-DS 端子による解除を許可 SYSTEM.DPSIER1.DIRQ9E = 1b SYSTEM.DPSIER1.DIRQ9E の値を読み出し (6 サイクル以上経過) IRQ9-DS 端子による解除要求のステータフラグスクリア (注) SYSTEM.DPSIFR1.DIRQ9F = 0b 注: '1'の状態を読み出した後、'0'を設定
ディープソフトウェアスタンバイモード許可	SYSTEM.DPSBYCR.DPSBY = 1b
WAIT 命令実行後のモード設定	ディープソフトウェアスタンバイモードに移行 SYSTEM.SBYCR.SSBY = 1b
プロテクト設定	SYSTEM.PRCR = A500h

3. サンプルコードについて

3.1 動作環境

本アプリケーションノートのサンプルコードは、表 3.1 の条件で動作を確認しています。

SH7216 の設定例は、表 3.2 の動作周波数で動作した場合の設定例です。

表3.1 動作環境 (RX71M)

項目	内容
使用マイコン	R5F571MLCDFC (RX71M Group)
動作周波数	メインクロック : 24MHz サブクロック : 32.768kHz PLL : 240MHz (メインクロック 1 分周 10 逓倍) HOCO : 停止 システムクロック (ICLK) : 120MHz (PLL 2 分周) 周辺モジュールクロック A (PCLKA) : 120MHz (PLL 2 分周) 周辺モジュールクロック B (PCLKB) : 60MHz (PLL 4 分周) 周辺モジュールクロック C (PCLKC) : 60MHz (PLL 4 分周) 周辺モジュールクロック D (PCLKD) : 60MHz (PLL 4 分周) 外部バスクロック (BCLK) : 60MHz (PLL 4 分周) SDRAM クロック (SDCLK) : 60MHz (PLL 4 分周) USB クロック (UCLK) : 48MHz (PLL 5 分周)
動作電圧	3.3V
統合開発環境	ルネサスエレクトロニクス製 e ² studio V6.1.0
C コンパイラ	ルネサスエレクトロニクス製 RX ファミリー用 C/C++コンパイラパッケージ (V.2.07.00)
CPU シリーズ (タイプ)	RX700 (RX71M)
最適化	最適化レベル : 2 (全般的に最適化を実施する) 最適化方法 : コード・サイズ重視の最適化を実施する
iodefine.h のバージョン	1.0A
エンディアン	リトルエンディアン
動作モード	シングルチップモード (SDRAM 使用時のみ内蔵 ROM 有効拡張モード)
プロセッサモード	スーパバイザモード
使用ボード	Renesas Starter Kit+ for RX71M (製品型名 : R0K50571MC000BE)

表3.2 動作周波数 (SH7216)

項目	内容
動作周波数	入力クロック (XTAL) : 12.5MHz PLL : 200MHz (入力クロック 16 逓倍) 内部クロック (I ϕ) : 100MHz (PLL 2 分周) バスクロック (B ϕ) : 50MHz (PLL 4 分周) 周辺クロック (P ϕ) : 50MHz (PLL 4 分周) MTU2S クロック (M ϕ) : 50MHz (PLL 4 分周) AD クロック (A ϕ) : 50MHz (PLL 4 分周)

3.2 サンプルコードの構成

以下にサンプルコードの構成を示します。

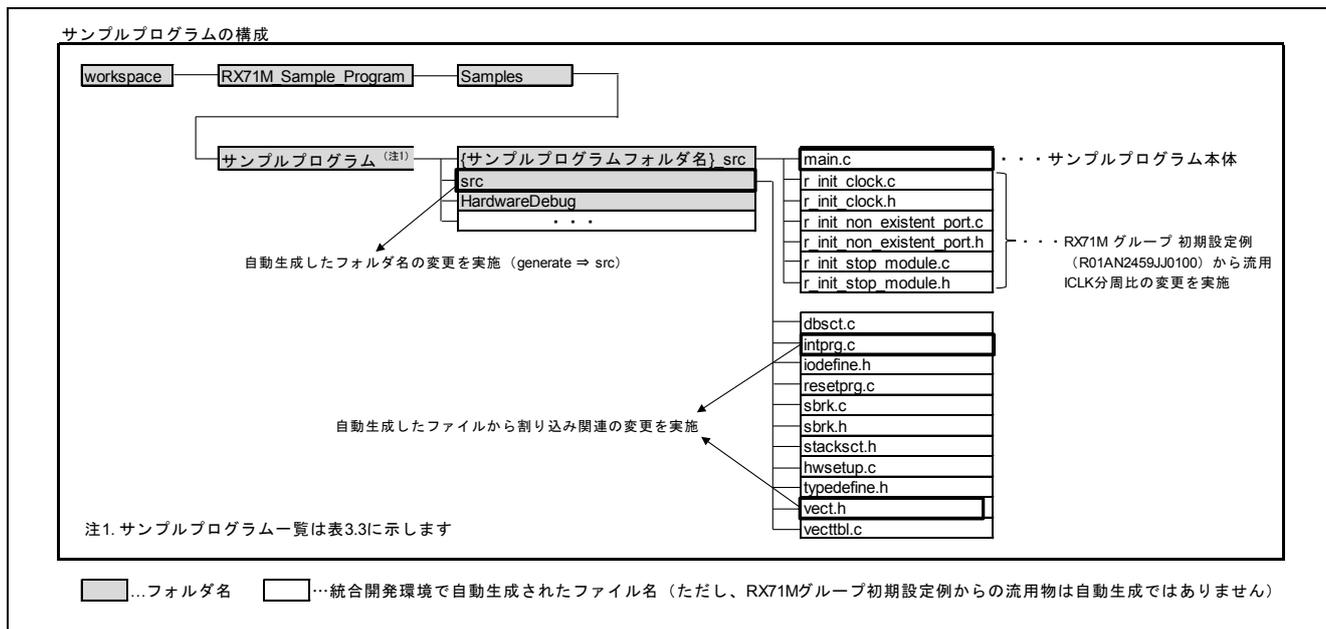


図3.1 サンプルコードの構成

■ 初期設定について

アプリケーションノートの初期設定関数は「RX71M グループ初期設定例 Rev.1.00」のサンプルコードを流用しています。Rev は本アプリケーションノート作成時点のものです。

なお、RX71M グループは、ドライバ/ミドルウェア (Firmware Integrate Technorogy) およびサンプルコード生成ツール (Code Generator) に対応しているため、それらを使用することで開発期間の短縮が可能です。

■ 自動生成したファイルの内変更が必要な項目

main.c で割り込み宣言、ベクタ登録、及び、割り込み処理を記載しています。自動生成されたファイルのうち interrupt_handlers.c、vect.h には main.c の設定と内容と重複する部分が存在するため下記の変更をしています。

- interrupt_handlers.c : main.c で設定した割り込み処理をコメントアウト
- vect.h : vect.h の割り込み関数の宣言、およびベクタ登録をコメントアウト

表3.3 サンプルコード一覧

サンプルプロジェクト名	関連項目
BSC_sdram_read_write	2.3.3
DTC_normal_transfer_mode	2.5.7
DMA_normal_transfer_mode	2.6.10
MTU_compare_match	2.7.5
MTU_input_capture	2.7.6
SCI_asynchronous_interrupt	2.10.6
SCI_asynchronous_polling	2.10.6
SCI_sync_master_transmit_int	2.10.7
SCI_sync_master_transmit_pol	2.10.7
SCI_sync_slave_receive_int	2.10.8
SCI_sync_slave_receive_pol	2.10.8
SCIF_asynchronous_interrupt	2.11.5
SCIF_sync_master_transmit_int	2.11.6
SCIF_sync_slave_receive_int	2.11.7
SPI_4wire_master_transceiver	2.12.5
SPI_3wire_master_transmit	2.12.6
SPI_3wire_slave_receive	2.12.7
IIC_master_transceiver	2.13.10
IIC_slave_transceiver	2.13.11
AD_continuous_scan_multi_ch	2.14.7
CMT_compare_match	2.18.5
Low_power_consumption_mode	2.21.5

4. 参考資料

4.1 参考資料

本資料を作成するうえで参照した資料をまとめました。下記資料を参照するに当たり、最新版の資料がある場合、最新版に差し替えて使用してください。最新版はルネサスエレクトロニクスホームページで確認および入手してください。

表4.1 参考資料

SH7214 グループ、SH7216 グループ ユーザーズマニュアル ハードウェア編 (R01UH0230JJ0400)
SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編 (R01US0031JJ)
RX71M グループユーザーズマニュアル ハードウェア編 (R01UH0493JJ0100)
RX64M グループ、RX71M グループ フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編 (R01UH0435JJ0110)
RX ファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編 (R01US0071JJ0100)
RX71M グループ Renesas Starter Kit+ ユーザーズマニュアル (R20UT3217JG0100)
Renesas Starter Kit+ for RX71M CPU Board Schematics (R20UT3216EG0100)
RX71M グループ 初期設定例 (R01AN2459JJ0100)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A127A/J
RX64M グループ、RX71M グループ 機能追加
Page 2803of 2981 (RX71M グループ)
コードフラッシュメモリ/データフラッシュメモリの仕様にユニーク ID を追加

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2018.02.26	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部ROM、レイアウトパターンの相違などにより、電气的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>