RX66Nグループ

初期設定例

要旨

本アプリケーションノートでは、ヘッダファイルで選択する使用条件に応じて、RX66N グループのクロック設定やリセット後に動作している周辺機能の停止、存在しないポートの設定など、リセット後に必要な設定について説明します。

対象デバイス

- RX66N グループ　224 ピン版　　ROM 容量：2MB～4MB
- RX66N グループ　176 ピン版　　ROM 容量：2MB～4MB
- RX66N グループ　144、145 ピン版　　ROM 容量：2MB～4MB
- RX66N グループ　100 ピン版　　ROM 容量：2MB～4MB

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. 仕様 4
1.1 リセット後に動作している周辺機能の停止 4
1.2 存在しないポートの設定 4
1.3 クロック設定 5
1.3.1 概要 5
1.3.2 サンプルコードで想定しているクロックの仕様 5
1.3.3 クロックの選択 6

2. 動作確認条件 9

3. ソフトウェア説明 11
3.1 リセット後に動作している周辺機能の停止 11
3.2 存在しないポートの設定 12
3.2.1 処理概要 12
3.2.2 ピン数の設定方法 13
3.3 クロックの設定 14
3.3.1 クロックの設定手順 14
3.4 セクション構成 16
3.5 ファイル構成 16
3.6 オプション設定メモリ 16
3.7 定数一覧 17
3.8 関数一覧 26
3.9 関数仕様 27
3.10 フローチャート 32
3.10.1 メイン処理 32
3.10.2 リセット後に動作している周辺機能の停止 33
3.10.3 存在しないポートの初期設定 34
3.10.4 クロック初期設定 36
3.10.5 ROMキャッシュ設定 38
3.10.6 メインクロックの発振設定 39
3.10.7 HOCOクロックの発振設定 39
3.10.8 特定モジュールクロックの設定 40
3.10.9 PLLクロックの発振設定 40
3.10.10 PPLLクロックの発振設定 41
3.10.11 サブクロックの発振設定 42
3.10.12 サブクロックの停止設定 44
3.10.13 システムクロックの切り替え 45
3.10.14 CMT0によるソフトウェアウェイト 46
3.10.15 A/D逐次変換時間の設定 48
3.10.16 CLKOUTの発振設定 48

4. プロジェクトをインポートする方法 49
4.1 e^2 studioでの手順 49

4.2 CS+での手順 50

5. サンプルコード 51

6. 参考ドキュメント 51

7. 改訂記録 52

1. 仕様

リセット後に動作している周辺機能の停止、存在しないポートの設定、クロックの設定を行います。本アプリケーションノートでは、電源投入時（コールドスタート時）の処理を想定しています。

1.1 リセット後に動作している周辺機能の停止

周辺機能によっては、電源投入後から動作しているものや、モジュールストップ機能が無効になっているものがあります。この項目に該当する処理として、

・EXDMAC、DMAC/DTC、スタンバイ RAM、ECCRAM、RAM、拡張 RAM の機能を停止する処理

を用意しています。なおサンプルコードでは上記の処理は実行させていません。必要に応じて定数を書き換えて、処理を実行してください。

1.2 存在しないポートの設定

サンプルコードでは端子数 224 ピンの製品に合わせて初期値を設定しています。端子数が 224 ピン未満の製品では、224 ピンと比較して存在しないポートの端子は出力に設定する必要があります。

お使いの製品に応じて定数を書き換えてください。

1.3　クロック設定

1.3.1　概要

クロックの設定は、下記の手順で行います。

(1)　サブクロック設定

(2)　メインクロック設定

(3)　HOCO クロック設定

(4)　PLL クロック設定

(5)　PPLL クロック設定

(6)　システムクロック切り替え設定

本アプリケーションノートでは、r_init_clock.h で定義している定数を変更することで、各クロックの設定内容を切り替えます。

サンプルコードでは、システムクロックを PLL クロックとし、サブクロックを使用しない処理を実行させています。必要に応じて定数を書き換えて、使用するクロックを選択してください。

1.3.2　サンプルコードで想定しているクロックの仕様

表 1.1にサンプルコードで想定しているクロックの仕様を示します。

表 1.1　サンプルコードで想定しているクロックの仕様

クロック	発振周波数	発振安定時間	備考
メインクロック発振子	24MHz	4.2ms(注 2)	水晶
サブクロック発振子	32.768kHz (注 1)	1.3s(注 2)	標準 LC
PLL クロック	240MHz (メインクロック 1 分周 10 逓倍)	-(注 3)	-
PPLL クロック	200MHz (メインクロック 3 分周 25 逓倍)	-(注 3)	-
HOCO クロック	20MHz (注 1)	-(注 3)	-

注1.　サンプルコードでは発振を停止させています。

注2.　発振子の発振安定時間は実際のシステムにおける配線パターン、発振定数などの条件により異なります。発振安定時間は、お客様が実際に使用されるシステムの評価を発振子メーカに依頼し、入手してください。

注3.　ユーザーズマニュアルハードウェア編の「61.電気的特性」を参照してください。

1.3.3　クロックの選択

サンプルコードでは、r_init_clock.h で定義している定数を変更することで、システムクロックのクロックソース、各クロックの発振／停止などを選択できます。表 1.2から表 1.4にクロック選択例を示します。

表 1.2　クロックの選択例(1/3)

No		1	2	3
システムクロック		PLL(MAIN)		
RTC(サブクロック)		停止	発振	停止
MAIN		発振	発振	発振
HOCO		停止	停止	停止
PLL		動作	動作	動作
PPLL		停止	停止	動作
CLKOUT		停止	停止	動作
動作モード		高速動作モード		
定数	SEL_SYSCLK	CLK_PLL	CLK_PLL	CLK_PLL
	SEL_PLL	B_USE	B_USE	B_USE
	SEL_MAIN	B_USE	B_USE	B_USE
	SEL_HOCO	B_NOT_USE	B_NOT_USE	B_NOT_USE
	SEL_SUB(注 1)	B_NOT_USE	B_NOT_USE	B_NOT_USE
	SEL_RTC(注 1)	B_NOT_USE	B_USE	B_NOT_USE
	SEL_PPLL	B_NOT_USE	B_NOT_USE	B_USE
	REG_CLKOUT	CKOUT_NOT_USE	CKOUT_NOT_USE	CKOUT_USE
	REG_OPCCR	OPCM_HIGH	OPCM_HIGH	OPCM_HIGH

注1.　システムクロックとしてサブクロックを発振させる場合、SEL_SUB を B_USE(使用する)に、RTC のカウントソースとしてサブクロックを発振させる場合は、SEL_RTC を B_USE に設定してください。SEL_SUB または SEL_RTC のどちらか、または両方を B_USE に設定すると、サブクロックが発振します。

表 1.3 クロックの選択例(2/3)

No		4	5	6
システムクロック		HOCO		
RTC(サブクロック)		停止	発振	停止
MAIN		停止	停止	停止
HOCO		発振	発振	発振
PLL		停止	停止	停止
PPLL		停止	停止	動作
CLKOUT		停止	停止	動作
動作モード		高速動作モード		
定数	SEL_SYSCLK	CLK_HOCO	CLK_HOCO	CLK_HOCO
	SEL_PLL	B_NOT_USE	B_NOT_USE	B_NOT_USE
	SEL_MAIN	B_NOT_USE	B_NOT_USE	B_NOT_USE
	SEL_HOCO	B_USE	B_USE	B_USE
	SEL_SUB(注 1)	B_NOT_USE	B_NOT_USE	B_NOT_USE
	SEL_RTC(注 1)	B_NOT_USE	B_USE	B_NOT_USE
	SEL_PPLL	B_NOT_USE	B_NOT_USE	B_USE
	REG_CLKOUT	CKOUT_NOT_USE	CKOUT_NOT_USE	CKOUT_USE
	REG_OPCCR	OPCM_HIGH	OPCM_HIGH	OPCM_HIGH

注1. システムクロックとしてサブクロックを発振させる場合、SEL_SUB を B_USE(使用する)に、RTC のカウントソースとしてサブクロックを発振させる場合、SEL_RTC を B_USE に設定してください。SEL_SUB または SEL_RTC のどちらか、または両方を B_USE に設定すると、サブクロックが発振します。

表 1.4 クロックの選択例(3/3)

No		7	8	9
システムクロック		MAIN		
RTC(サブクロック)		停止	発振	停止
MAIN		発振	発振	発振
HOCO		停止	停止	停止
PLL		停止	停止	停止
PPLL		停止	停止	停止
CLKOUT		停止	停止	動作
動作モード		低速動作モード 1		
定数	SEL_SYSCLK	CLK_MAIN	CLK_MAIN	CLK_MAIN
	SEL_PLL	B_NOT_USE	B_NOT_USE	B_NOT_USE
	SEL_MAIN	B_USE	B_USE	B_USE
	SEL_HOCO	B_NOT_USE	B_NOT_USE	B_NOT_USE
	SEL_SUB(注 1)	B_NOT_USE	B_NOT_USE	B_NOT_USE
	SEL_RTC(注 1)	B_NOT_USE	B_USE	B_NOT_USE
	SEL_PPLL	B_NOT_USE	B_NOT_USE	B_NOT_USE
	REG_CLKOUT	CKOUT_NOT_USE	CKOUT_NOT_USE	CKOUT_USE
	REG_OPCCR	OPCM_LOW_1	OPCM_LOW_1	OPCM_LOW_1

注1. システムクロックとしてサブクロックを発振させる場合、SEL_SUB を B_USE(使用する)に、RTC のカウントソースとしてサブクロックを発振させる場合、SEL_RTC を B_USE に設定してください。SEL_SUB または SEL_RTC のどちらか、または両方を B_USE に設定すると、サブクロックが発振します。

2. 動作確認条件

本アプリケーションノートのサンプルコード(表 1.2、表 1.3、表 1.4の No.1～9)は、下記の条件で動作を確認しています。

表 2.1 動作確認条件(1/2)

項目		内容
動作周波数	システムクロックに PLL を選択した場合 • (表 1.2の No.1,No.2)	• メインクロック: 24MHz • PLL: 240MHz (メインクロック 1 分周 10 逓倍) • システムクロック(ICLK): 120MHz (PLL 2 分周) • 周辺モジュールクロック A (PCLKA):120MHz(PLL2 分周) • 周辺モジュールクロック B～D(PCLKB～D): 60MHz (PLL 4 分周) • FlashIF クロック(FCLK):60MHz(PLL4 分周) • 外部バスクロック(BCLK): 120MHz(PLL2 分周)
	システムクロックに PLL を選択し、PPLL と CLKOUT を使用する場合 表 1.2の No.3	• メインクロック: 24MHz • PLL: 240MHz (メインクロック 1 分周 10 逓倍) • システムクロック(ICLK): 120MHz (PLL 2 分周) • 周辺モジュールクロック A (PCLKA):120MHz(PLL2 分周) • 周辺モジュールクロック B～D(PCLKB～D): 60MHz (PLL 4 分周) • FlashIF クロック(FCLK):60MHz(PLL4 分周) • 外部バスクロック(BCLK): 120MHz(PLL2 分周) • PPLL：200MHz（メインクロック 3 分周 25 逓倍） • Ethernet-PHY 向け外部クロック(CLKOUT25M)：25MHz（PPLL8 分周） • CLKOUT：240kHz(LOCO1 分周）
	システムクロックに HOCO を選択した場合 (表 1.3の No.4,No.5)	• HOCO:20MHz • システムクロック(ICLK): 20MHz (HOCO1 分周) • 周辺モジュールクロック A (PCLKA):20MHz(HOCO1 分周) • 周辺モジュールクロック B～D(PCLKB～D): 10MHz (HOCO 2 分周) • FlashIF クロック(FCLK):10MHz(HOCO 2 分周) • 外部バスクロック(BCLK):10MHz(HOCO 2 分周)
	システムクロックに HOCO を選択し、PPLL と CLKOUT を使用する場合 (表 1.3の No.6)	• HOCO:20MHz • システムクロック(ICLK): 20MHz (HOCO1 分周) • 周辺モジュールクロック A (PCLKA):20MHz(HOCO1 分周) • 周辺モジュールクロック B～D(PCLKB～D): 10MHz (HOCO 2 分周) • FlashIF クロック(FCLK):10MHz(HOCO 2 分周) • 外部バスクロック(BCLK):10MHz(HOCO 2 分周) • PPLL：200MHz（HOCO1 分周 10 逓倍） • Ethernet-PHY 向け外部クロック(CLKOUT25M)：25MHz（PPLL8 分周） • CLKOUT：240kHz(LOCO1 分周）

表 2.2 動作確認条件(2/2)

項目		● 内容
動作周波数	システムクロックにメインクロックを選択した場合 (表 1.4の No.7,No.8)	● メインクロック: 24MHz ● システムクロック(ICLK): 750kHz (メインクロック 32 分周) ● 周辺モジュールクロック A (PCLKA):750kHz(メインクロック 32 分周) ● 周辺モジュールクロック B～D(PCLKB～D): 750kHz(メインクロック 32 分周) ● FlashIF クロック(FCLK):750kHz(メインクロック 32 分周) ● 外部バスクロック(BCLK):750kHz(メインクロック 32 分周)
	システムクロックにメインクロックを選択し、CLKOUT を使用する場合 (表 1.4の No9)	● メインクロック: 24MHz ● システムクロック(ICLK): 750kHz (メインクロック 32 分周) ● 周辺モジュールクロック A (PCLKA):750kHz(メインクロック 32 分周) ● 周辺モジュールクロック B～D(PCLKB～D): 750kHz(メインクロック 32 分周) ● FlashIF クロック(FCLK):750kHz(メインクロック 32 分周) ● 外部バスクロック(BCLK):750kHz(メインクロック 32 分周)周） ● CLKOUT：240kHz(LOCO1 分周）
動作電圧		3.3V
統合開発環境		ルネサスエレクトロニクス製 e^2 studio Version: 2021-01
C コンパイラ		ルネサスエレクトロニクス製 C/C++ Compiler Package for RX Family V3.02
		コンパイルオプション統合開発環境のデフォルト設定を使用しています
iodefine.h のバージョン		V 1.00C
エンディアン		リトルエンディアン・ビッグエンディアン
動作モード		シングルチップモード
プロセッサモード		スーパバイザモード
サンプルコードのバージョン		Version 1.01

3. ソフトウェア説明

リセット後に動作している周辺機能の停止、存在しないポートの設定を行ったのち、クロックの設定を行います。

3.1 リセット後に動作している周辺機能の停止

リセット後に動作している周辺機能の停止を行います。

リセット解除後、以下の周辺モジュールに限り、モジュールストップ状態が解除されています。モジュールストップ状態へ遷移する場合、モジュールストップビットを“1”(モジュールストップ状態へ遷移)に設定してください。このモジュールストップを行うことで消費電力を低減できます。

サンプルコードでは定数「MSTP_STATE_対象モジュール名」の値を“0 (MODULE_STOP_DISABLE)”とし、対象モジュールはモジュールストップ状態に遷移していません。使用するシステムに応じてモジュールストップ状態へ遷移したい場合は、r_init_stop_module.h の定数の値を“1 (MODULE_STOP_ENABLE)”に設定してください。表 3.1にリセット後にモジュールストップ状態が解除されている周辺モジュールを示します。

表 3.1 リセット後にモジュールストップ状態が解除されている周辺モジュール一覧

周辺モジュール	モジュールストップ設定ビット	リセット後の値	このモジュールを使用しない場合の設定
EXDMAC	MSTPCRA.MSTPA29 ビット	0 (モジュールストップ状態の解除)	1 (モジュールストップ状態へ遷移)
DMAC/DTC	MSTPCRA.MSTPA28 ビット		
スタンバイ RAM	MSTPCRC.MSTPC7 ビット	0 (RAM 動作)	1 (RAM 停止)
ECCRAM	MSTPCRC.MSTPC6 ビット		
RAM	MSTPCRC.MSTPC0 ビット		
EXRAM	MSTPCRC.MSTPC2 ビット		

3.2 存在しないポートの設定

3.2.1 処理概要

存在しないポートの PDR レジスタの対応ビットを“1”(出力)に設定します。本関数をコールした後に、存在しないポートを含む PDR レジスタまたは PODR レジスタへバイト単位で書き込む場合、存在しないポートの方向制御ビットには“1”、ポート出力データ格納ビットには“0”を設定してください。表 3.2、表 3.3 に存在しないポート一覧を示します。

表 3.2 存在しないポート一覧(1/2)

ポート シンボル	224 ピン版 の製品	本数	176 ピン版 の製品	本数
PORT0	P04,P06	2	P04,P06	2
PORT1	-	-	-	-
PORT2	-	-	-	-
PORT3	-	-	-	-
PORT4	-	-	-	-
PORT5	-	-	-	-
PORT6	-	-	-	-
PORT7	-	-	-	-
PORT8	-	-	-	-
PORT9	-	-	-	-
PORTA	-	-	-	-
PORTB	-	-	-	-
PORTC	-	-	-	-
PORTD	-	-	-	-
PORTE	-	-	-	-
PORTF	PF6,PF7	2	PF6,PF7	2
PORTG	-	-	-	-
PORTH	-	-	PH0~PH7	8
PORTJ	PJ4,PJ6,PJ7	3	PJ4,PJ6,PJ7	3
PORTK	-	-	PK0~PK7	8
PORTL	-	-	PL0~PL7	8
PORTM	-	-	PM0~PM7	8
PORTN	PN6,PN7	2	PN0~PN7	8
PORTQ	-	-	PQ0~PQ7	8

表 3.3 存在しないポート一覧(2/2)

ポート シンボル	145、144 ピン版 の製品	本数	100 ピン版 の製品	本数
PORT0	P04,P06	2	P00~P04,P06	6
PORT1	P10,P11	2	P10,P11	2
PORT2	-	-	-	-
PORT3	-	-	-	-
PORT4	-	-	-	-
PORT5	P57	1	P56,P57	2
PORT6	-	-	P60~P67	8
PORT7	-	-	P70~P77	8
PORT8	P84,P85	2	P80~P87	8
PORT9	P94~P97	4	P90~P97	8
PORTA	-	-	-	-
PORTB	-	-	-	-
PORTC	-	-	-	-
PORTD	-	-	-	-
PORTE	-	-	-	-
PORTF	PF0~PF4,PF6,PF7	7	PF0~PF7	8
PORTG	PG0~PG7	8	PG0~PG7	8
PORTH	PH0~PH7	8	PH0~PH7	8
PORTJ	PJ0~PJ2,PJ4,PJ6,PJ7	6	PJ0~PJ2,PJ4~PJ7	7
PORTK	PK0~PK7	8	PK0~PK7	8
PORTL	PL0~PL7	8	PL0~PL7	8
PORTM	PM0~PM7	8	PM0~PM7	8
PORTN	PN0~PN7	8	PN0~PN7	8
PORTQ	PQ0~PQ7	8	PQ0~PQ7	8

3.2.2 ピン数の設定方法

サンプルコードでは、224 ピン版(PIN_SIZE=224)に設定しています。また、本アプリケーションノートで対応している他のピン数は、176 ピン、145 ピン、144 ピン、100 ピンです。224 ピン以外の製品を使用する場合、r_init_port_initialize.h の PIN_SIZE を使用するピン数に変更してください。

3.3　クロックの設定

3.3.1　クロックの設定手順

表 3.4、表 3.5にクロックの設定手順とそれぞれの処理内容、およびサンプルコードでのデフォルト設定を示します。サンプルコードのデフォルト設定では、メインクロック、PLL を動作させて、HOCO、サブクロック、PPLL クロック、CLKOUT を停止させています。

表 3.4　クロックの設定手順(1/2)

手順	処理	処理内容		サンプルコードの設定
1	サブクロック設定(注 1)	使用しない	サブクロック制御回路の初期化を行います。	サブクロックを使用しない
		使用する	サブクロック制御回路の初期化、駆動能力の設定、およびサブクロックの出力を内部クロックに供給するまでの待機時間を SOSCWTCR レジスタに設定してから、サブクロックを発振します。 その後、発振安定待機時間待ち(注 2)を行います。	
2	メインクロック設定(注 1)	使用しない	設定は不要です。	メインクロックを使用する
		使用する	メインクロックのドライブ能力の設定、およびメインクロックの出力を内部クロックに供給するまでの待機時間を MOSCWTCR レジスタに設定してから、メインクロックを発振します。 その後、発振安定待機時間待ち(注 2)を行います。	
3	HOCO クロック設定(注 1)	使用しない	HOCO の電源を OFF にします。	HOCO クロックを使用しない
		使用する	HOCO の周波数の設定をしてから、HOCO クロックを発振します。 その後、発振安定待機時間待ち(注 2)を行います。	
4	特定用途向けクロック設定(注 3)	PPLL 以外のクロックソースを使用する。	設定は不要です。	PPLL を使用しない
		PPLL を使用する	クロックソースを選択します。	
5	PLL クロック設定(注 1)	使用しない	設定は不要です。	PLL クロックを使用する
		使用する	PLL 入力分周比および周波数逓倍率の設定をしてから、PLL クロックを発振します。 その後、発振安定待機時間待ち(注 2)を行います。	

表 3.5　クロックの設定手順(2/2)

手順	処理	処理内容		サンプルコードの設定
6	PPLL クロック設定(注 1)	使用しない	設定は不要です。	PPLL を使用しない
		使用する	PPLL 入力分周比および周波数逓倍率の設定をし、PPLL クロックを発振します。その後、発振安定待機時間を待った後(注 2)、PPLL 分周クロックの設定を行います。	
7	クロック分周比の設定、およびシステムクロックの切り替え (注 4、注 5)	使用するシステムに応じて切り替えます。		・ICLK: 1 分周 ・PCLKA: 2 分周 ・PCLKB～D, BCLK, FCLK: 4 分周 ・BCLK: 出力停止 PLL クロックに切り替える
8	動作電力制御モード設定	使用する動作周波数、動作電圧に応じて、動作電力制御モードを設定します。		高速動作モードに設定する。
9	CLKOUT の設定 (注 6)	使用しない	設定は不要です。	CLKOUT を使用しない
		使用する	CLKOUT 端子から出力するクロックソースを選択し、クロックの分周比を選択します。その後、CLKOUT 端子の出力を許可します。	

注1.　各クロックを使用する／使用しないの選択は、必要に応じて r_init_clock.h の定数を変更してください。

注2.　発振安定フラグレジスタ(OSCOVFSR)の該当ビットが“1”になっていることを確認しています。

注3.　ETHERNET-PHY 向け外部クロックのクロックソース、USB モジュールのクロックソースの設定を行います。

注4.　ICLK 周波数を 70MHz 未満から 70MHz 以上に変更かつ、変更前後の周波数比が 4 倍を超える場合、一度変更後の周波数の 1/4 に設定し、3μs 待った後、目的の周波数に設定する必要があります。
　サンプルコードではこの処理に対応しています。必要に応じて r_init_clock.h の定数を変更してください。

注5.　ICLK 周波数を 70MHz 以上から 70MHz 未満に変更かつ、変更前後の周波数比が 1/4 を超える場合、一度変更前の周波数の 1/4 に設定し、3μs 待った後、目的の周波数に設定する必要があります。

注6.　サンプルコードでは CLKOUT の発振設定のみ行っています。実際に出力させる場合、ユーザーズマニュアルハードウェア編「22.I/O ポート」、「23.マルチファンクションピンコントローラ」を参照し、お使いのシステムに応じて設定してください。

3.4　セクション構成

表 3.6にサンプルコードで変更するセクション情報を示します。セクションの追加/変更および削除方法は、最新の RX ファミリ CC-RX コンパイラ　ユーザーズマニュアルを参照してください。

表 3.6　サンプルコードで変更するセクション情報

セクション名	変更	アドレス	内容
End_of_RAM	追加	0007 FFFCh	RAM の最終アドレス
End_of_EXRAM	追加	0087 FFFCh	拡張 RAM の最終アドレス
End_of_ECCRAM	追加	00FF FFFCh	ECCRAM の最終アドレス

3.5　ファイル構成

表 3.7にサンプルコードで使用するファイルを示します。なお、統合開発環境で自動生成されるファイルは除きます。

表 3.7　サンプルコードで使用するファイル

ファイル名	概要	備考
main.c	メイン処理	
r_init_stop_module.c	リセット後に動作している周辺機能の停止	
r_init_stop_module.h	r_init_stop_module.c のヘッダファイル	
r_init_port_initialize.c	存在しないポートの初期設定	
r_init_port_initialize.h	r_init_port_initialize.c のヘッダファイル	
r_init_clock.c	クロック初期設定	
r_init_clock.h	r_init_clock.c のヘッダファイル	
r_init_rom_cache.c	ROM キャッシュ初期設定	
r_init_rom_cache.h	r_init_rom_cache.c のヘッダファイル	

3.6　オプション設定メモリ

表 3.7にサンプルコードで使用するオプション設定メモリの状態を示します。必要に応じて、お客様のシステムに最適な値を設定してください。

表 3.8　サンプルコードで使用するオプション設定メモリ

シンボル	アドレス	設定値	内容
OFS0	FE7F 5D07～FE7F 5D04h	FFFF FFFFh	リセット後、IWDT は停止 リセット後、WDT は停止
OFS1	FE7F 5D0Bh～FE7F 5D08h	FFFF FFFFh	リセット後、電圧監視 0 リセット無効 リセット後、HOCO 発振が無効
MDE	FE7F 5D03h～FE7F 5D00h	FFFF FFFFh	リトルエンディアン リニアモード

3.7 定数一覧

表 3.9から表 3.17にサンプルコードで使用する定数を示します。

表 3.9 サンプルコードで使用する定数(ユーザ変更可) (1/3)

定数名	設定値	内容
SEL_MAIN(注 1)	B_USE	メインクロックの発振／停止選択 B_USE : 使用する (メインクロック発振) B_NOT_USE : 使用しない (メインクロック停止)
MAIN_CLOCK_HZ(注 1)	24,000,000 L	メインクロックの発振子周波数(Hz)
REG_MOFCR(注 1)	00h	メインクロック発振器のドライブ能力の設定 (MOFCR レジスタの設定値)
REG_MOSCWTCR(注 1)	53h	メインクロックのウェイトコントロールレジスタの設定値
SEL_SUB(注 1、注 2)	B_NOT_USE	サブクロック使用選択(システムクロックとして使用) B_USE : 使用する B_NOT_USE : 使用しない
SEL_RTC(注 1、注 2)	B_NOT_USE	サブクロック使用選択(RTC のカウントソースとして使用) B_USE : 使用する B_NOT_USE : 使用しない
SUB_CLOCK_HZ(注 1)	32,768 L	サブクロックの発振子周波数(Hz)
REG_SOSCWTCR(注 1)	21h	サブクロックのウェイトコントロールレジスタの設定値
REG_RCR3(注 1)	CL_STD	サブクロック発振器のドライブ能力の選択 CL_STD : 標準 CL 用ドライブ能力 CL_LOW : 低 CL 用ドライブ能力
SEL_PLL(注 1)	B_USE	PLL クロックの発振／停止選択 B_USE : 使用する (PLL クロック発振) B_NOT_USE : 使用しない (PLL クロック停止)
REG_PLLCR(注 1)	1300h	PLL の入力分周比、周波数逓倍率の設定 (PLLCR レジスタの設定値)
SEL_PPLL(注 1)	B_NOT_USE	PPLL クロックの発振／停止選択 B_USE : 使用する (PPLL クロック発振) B_NOT_USE : 使用しない (PPLL クロック停止)
REG_PPLLCR(注 1)	3102h	PPLL の入力分周比、周波数逓倍率の設定 (PPLLCR レジスタの設定値)
SEL_CLKOUT(注 1)	CKOUT_NOT_USE	CKOCR の設定値 CKOUT_USE : CLKOUT 端子出力許可 CKOUT_NOT_USE:CLKOUT 端子出力停止(Low 固定)

注1. 使用するシステムに応じて「r_init_clock.h」で設定値を変更してください。

注2. SEL_SUB と SEL_RTC のどちらか、または両方に B_USE(使用する)を設定すると、サブクロックの発振設定を行います。

表 3.10 サンプルコードで使用する定数(ユーザ変更可) (2/3)

定数名	設定値	内容
CKO_CLK(注 1)	CKO_LOCO	CLKOUT のクロックソース選択 CKO_LOCO ：LOCO CKO_HOCO ：HOCO CKO_MAIN ：メインクロック CKO_SUB ：サブクロック CKO_ PLL ：PLL CKO_PPLL ：PPLL
CKO_DIV(注 1)	0h	CLKOUT の出力分周比選択 0h ：1 分周 1h ：2 分周 2h ：4 分周 3h ：8 分周 4h ：16 分周
SEL_HOCO(注 1)	B_NOT_USE	HOCO クロックの発振／停止選択 B_USE ： 使用する (HOCO クロック発振) B_NOT_USE : 使用しない (HOCO クロック停止)
REG_HOCOCR2(注 1)	FREQ_20MHZ	HOCO クロックの周波数の選択 FREQ_16MHZ: 16MHz FREQ_18MHZ: 18MHz FREQ_20MHZ: 20MHz
SEL_SYSCLK(注 1)	CLK_PLL	システムクロックのクロックソース選択 CLK_PLL : PLL CLK_ HOCO : HOCO CLK_ MAIN : メインクロック CLK_SUB : サブクロック
SEL_CLKOUT25M(注 1)	PPLL_NOT_USE	ETHERNET_PHY 向け外部クロックのクロックソースの選択 PPLL_USE：PPLL 分周クロックを使用する PPLL_NOT_USE：PPLL 分周クロックを使用しない (PLL 分周クロックを使用する)
SEL_UCLK(注 1)	PPLL_NOT_USE	USB モジュールのクロックソースの選択 PPLL_USE：PPLL 分周クロックを使用する PPLL_NOT_USE：PPLL 分周クロックを使用しない (USB 分周クロックを使用する)
ICLK_WAIT(注 1)	B_USE	ICLK 変更時の注意事項に対応する処理の選択(注 2) B_USE：注意事項に対応する処理を使用する B_NOT_USE：注意事項に対応する処理を使用しない
REG_OPCCR(注 1)	OPCM_HIGH	動作電力制御モード選択(注 5) OPCM_HIGH ：高速動作モード OPCM_LOW_1 ：低速動作モード 1(注 3) OPCM_LOW_2 ：低速動作モード 2(注 4)

注1. 使用するシステムに応じて「r_init_clock.h」で設定値を変更してください。

注2. ICLK 周波数を 70MHz 未満から 70MHz 以上に変更かつ、変更前後の周波数比が 4 倍を超える場合、一度変更後の周波数の 1/4 に設定し、3μs 待った後、目的の周波数に設定する必要があります。使用するシステムに応じて設定を変更してください。

注3. PLL を発振する、または PPLL を発振する設定にした場合、低速動作モード 1 は選択できません

注4. PLL、PPLL、HOCO を発振しない設定で使用してください。また、システムクロックにサブクロックを設定かつ、ICK または FCK が 1 分周の場合以外では、低速動作モード 2 は選択できません。

注5. 動作モードによって、動作周波数範囲および動作電圧範囲が異なります。詳細はユーザーズマニュアルハードウェア編を参照ください。

表 3.11　サンプルコードで使用する定数(ユーザ変更可) (3/3)

定数名	設定値	内容
MSTP_STATE_EXDMAC (注 1)	MODULE_STOP_DISABLE	EXDMAC のモジュールストップ状態選択 MODULE_STOP_DISABLE　：解除 MODULE_STOP_ENABLE　：遷移
MSTP_STATE_DMACDTC (注 1)	MODULE_STOP_DISABLE	DMAC、DTC のモジュールストップ状態選択 MODULE_STOP_DISABLE　：解除 MODULE_STOP_ENABLE　：遷移
MSTP_STATE_STBYRAM (注 1)	MODULE_STOP_DISABLE	スタンバイ RAM のモジュールストップ状態選択 MODULE_STOP_DISABLE　：動作 MODULE_STOP_ENABLE　：停止
MSTP_STATE_ECCRAM (注 1)	MODULE_STOP_DISABLE	ECCRAM のモジュールストップ状態選択 MODULE_STOP_DISABLE　：動作 MODULE_STOP_ENABLE　：停止
MSTP_STATE_RAM (注 1)	MODULE_STOP_DISABLE	RAM のモジュールストップ状態選択 MODULE_STOP_DISABLE　：動作 MODULE_STOP_ENABLE　：停止
MSTP_STATE_EXRAM (注 1)	MODULE_STOP_DISABLE	拡張 RAM のモジュールストップ状態選択 MODULE_STOP_DISABLE　：動作 MODULE_STOP_ENABLE　：停止
PIN_SIZE (注 2)	224	使用する製品のピン数
SEL_ROM_CACHE(注 3)	CACHE_ENABLE	ROM キャッシュの動作許可／禁止 CACHE_ENABLE　：動作許可 CACHE_DISABLE　：動作禁止
SEL_NON_CHCHEABLE_AREA0(注 3)	SEL_NON_CACHEABLE_AREA_DISABLE	ノンキャッシャブル領域 0 の有効／無効選択 SEL_NON_CACHEABLE_AREA_ENABLE　：有効 SEL_NON_CACHEABLE_AREA_DISABLE　：無効
SEL_NON_CHCHEABLE_AREA1(注 3)	SEL_NON_CACHEABLE_AREA_DISABLE	ノンキャッシャブル領域 1 の有効／無効選択 SEL_NON_CACHEABLE_AREA_ENABLE　：有効 SEL_NON_CACHEABLE_AREA_DISABLE　：無効

注1.　使用するシステムに応じて「r_init_stop_module.h」で設定値を変更してください。
注2.　使用するシステムに応じて「r_init_port_initialize.h」で設定値を変更してください。
注3.　使用するシステムに応じて「r_init_rom_cache.h」で設定値を変更してください。

表 3.12 サンプルコードで使用する定数(ユーザ変更不可)(1/2)

定数名	設定値	内容
B_NOT_USE	0	使用しない
B_USE	1	使用する
CL_LOW	02h	サブクロック: 低 CL 用ドライブ能力
CL_STD	0Ch	サブクロック: 標準 CL 用ドライブ能力
FREQ_16MHZ	00h	HOCO 周波数: 16MHz
FREQ_18MHZ	01h	HOCO 周波数: 18MHz
FREQ_20MHZ	02h	HOCO 周波数: 20MHz
CLK_PLL	0400h	システムクロックソース: PLL
CLK_HOCO	0100h	システムクロックソース: HOCO
CLK_SUB	0300h	システムクロックソース: サブクロック
CLK_MAIN	0200h	システムクロックソース: メインクロック
REG_SCKCR(注 1)	21C1 1222h (PLL 選択時) 10C1 0111h (HOCO 選択時) 00C0 0000h(サブクロック選択時) 55C5 5555h (上記以外)	内部クロック分周比、BCLK/SDCLK 端子出力制御の設定(SCKCR レジスタの設定値)
REG_SCKCR2	0011h	USB クロック分周比（USB を使用しない場合の設定値）
PPLL_USE	1	クロックソースとして PPLL を使用する
PPLL_NOT_USE	0	クロックソースとして PPLL 以外を使用する
CKOUT_USE	0	CLKOUT を使用する LOCO 選択、1 分周、CLKOUT 端子出力許可
CKOUT_NOT_USE	1	CLKOUT を使用しない LOCO 選択、1 分周、CLKOUT 端子出力停止
CKO_LOCO	0h	CLKOUT クロックソース：LOCO
CKO_HOCO	1h	CLKOUT クロックソース：HOCO
CKO_MAIN	2h	CLKOUT クロックソース：MAIN
CKO_SUB	3h	CLKOUT クロックソース：SUB
CKO_PLL	4h	CLKOUT クロックソース：PLL
CKO_PPLL	6h	CLKOUT クロックソース：PPLL
OPCM_HIGH	00h	動作電力制御モード: 高速動作モード
OPCM_LOW_1	06h	動作電力制御モード: 低速動作モード 1
OPCM_LOW_2	07h	動作電力制御モード: 低速動作モード 2
SUB_CLOCK_CYCLE	(1,000,000,000L / SUB_CLOCK_HZ)	サブクロックの周期(ns)
RTC_WAIT_TIME	121212L	RTC ソフトウェイト用タイマ(CMT0)のカウント周期(ns)= 1/LOCO(264kHz)×32
ICLK_WAIT_TIME	106666L	ICLK 変更時のタイマ(CMT0)のカウント周期(μs)= 1/PLL8 分周(30MHz)×32

注1. 選択したシステムクロックのクロックソースにより、設定値が異なります。

表 3.13 サンプルコードで使用する定数(ユーザ変更不可)(2/2)

定数名	設定値	内容
CACHE_ENABLE	1	ROM キャッシュ動作許可
CACHE_DISABLE	0	ROM キャッシュ動作禁止
MODULE_STOP_ENABLE	1	モジュールストップ状態へ遷移
MODULE_STOP_DISABLE	0	モジュールストップ状態の解除
NON_CACHEABLE_AREA_ENABLE	1	ノンキャッシャブル領域有効
NON_CACHEABLE_AREA_DISABLE	0	ノンキャッシャブル領域無効

表 3.14 224 ピン版(PIN_SIZE=224)の場合での定数

定数名	設定値	内容
DEF_P0PDR	0x50	ポート P0 の方向レジスタ設定値
DEF_P1PDR	0x00	ポート P1 の方向レジスタ設定値
DEF_P2PDR	0x00	ポート P2 の方向レジスタ設定値
DEF_P3PDR	0x00	ポート P3 の方向レジスタ設定値
DEF_P4PDR	0x00	ポート P4 の方向レジスタ設定値
DEF_P5PDR	0x00	ポート P5 の方向レジスタ設定値
DEF_P6PDR	0x00	ポート P6 の方向レジスタ設定値
DEF_P7PDR	0x00	ポート P7 の方向レジスタ設定値
DEF_P8PDR	0x00	ポート P8 の方向レジスタ設定値
DEF_P9PDR	0x00	ポート P9 の方向レジスタ設定値
DEF_PAPDR	0x00	ポート PA の方向レジスタ設定値
DEF_PBPDR	0x00	ポート PB の方向レジスタ設定値
DEF_PCPDR	0x00	ポート PC の方向レジスタ設定値
DEF_PDPDR	0x00	ポート PD の方向レジスタ設定値
DEF_PEPDR	0x00	ポート PE の方向レジスタ設定値
DEF_PFPDR	0xC0	ポート PF の方向レジスタ設定値
DEF_PGPDR	0x00	ポート PG の方向レジスタ設定値
DEF_PHPDR	0x00	ポート PH の方向レジスタ設定値
DEF_PJPDR	0xD0	ポート PJ の方向レジスタ設定値
DEF_PKPDR	0x00	ポート PK の方向レジスタ設定値
DEF_PLPDR	0x00	ポート PL の方向レジスタ設定値
DEF_PMPDR	0x00	ポート PM の方向レジスタ設定値
DEF_PNPDR	0xC0	ポート PN の方向レジスタ設定値
DEF_PQPDR	0x00	ポート PQ の方向レジスタ設定値

表 3.15 176 ピン版(PIN_SIZE=176)の場合での定数

定数名	設定値	内容
DEF_P0PDR	0x50	ポート P0 の方向レジスタ設定値
DEF_P1PDR	0x00	ポート P1 の方向レジスタ設定値
DEF_P2PDR	0x00	ポート P2 の方向レジスタ設定値
DEF_P3PDR	0x00	ポート P3 の方向レジスタ設定値
DEF_P4PDR	0x00	ポート P4 の方向レジスタ設定値
DEF_P5PDR	0x00	ポート P5 の方向レジスタ設定値
DEF_P6PDR	0x00	ポート P6 の方向レジスタ設定値
DEF_P7PDR	0x00	ポート P7 の方向レジスタ設定値
DEF_P8PDR	0x00	ポート P8 の方向レジスタ設定値
DEF_P9PDR	0x00	ポート P9 の方向レジスタ設定値
DEF_PAPDR	0x00	ポート PA の方向レジスタ設定値
DEF_PBPDR	0x00	ポート PB の方向レジスタ設定値
DEF_PCPDR	0x00	ポート PC の方向レジスタ設定値
DEF_PDPDR	0x00	ポート PD の方向レジスタ設定値
DEF_PEPDR	0x00	ポート PE の方向レジスタ設定値
DEF_PFPDR	0xC0	ポート PF の方向レジスタ設定値
DEF_PGPDR	0x00	ポート PG の方向レジスタ設定値
DEF_PHPDR	0xFF	ポート PH の方向レジスタ設定値
DEF_PJPDR	0xD0	ポート PJ の方向レジスタ設定値
DEF_PKPDR	0xFF	ポート PK の方向レジスタ設定値
DEF_PLPDR	0xFF	ポート PL の方向レジスタ設定値
DEF_PMPDR	0xFF	ポート PM の方向レジスタ設定値
DEF_PNPDR	0xFF	ポート PN の方向レジスタ設定値
DEF_PQPDR	0xFF	ポート PQ の方向レジスタ設定値

表 3.16 145、144 ピン版(PIN_SIZE=145 or PIN_SIZE=144)の場合での定数

定数名	設定値	内容
DEF_P0PDR	0x50	ポート P0 の方向レジスタ設定値
DEF_P1PDR	0x03	ポート P1 の方向レジスタ設定値
DEF_P2PDR	0x00	ポート P2 の方向レジスタ設定値
DEF_P3PDR	0x00	ポート P3 の方向レジスタ設定値
DEF_P4PDR	0x00	ポート P4 の方向レジスタ設定値
DEF_P5PDR	0x80	ポート P5 の方向レジスタ設定値
DEF_P6PDR	0x00	ポート P6 の方向レジスタ設定値
DEF_P7PDR	0x00	ポート P7 の方向レジスタ設定値
DEF_P8PDR	0x30	ポート P8 の方向レジスタ設定値
DEF_P9PDR	0xF0	ポート P9 の方向レジスタ設定値
DEF_PAPDR	0x00	ポート PA の方向レジスタ設定値
DEF_PBPDR	0x00	ポート PB の方向レジスタ設定値
DEF_PCPDR	0x00	ポート PC の方向レジスタ設定値
DEF_PDPDR	0x00	ポート PD の方向レジスタ設定値
DEF_PEPDR	0x00	ポート PE の方向レジスタ設定値
DEF_PFPDR	0xDF	ポート PF の方向レジスタ設定値
DEF_PGPDR	0xFF	ポート PG の方向レジスタ設定値
DEF_PHPDR	0xFF	ポート PH の方向レジスタ設定値
DEF_PJPDR	0xD7	ポート PJ の方向レジスタ設定値
DEF_PKPDR	0xFF	ポート PK の方向レジスタ設定値
DEF_PLPDR	0xFF	ポート PL の方向レジスタ設定値
DEF_PMPDR	0xFF	ポート PM の方向レジスタ設定値
DEF_PNPDR	0xFF	ポート PN の方向レジスタ設定値
DEF_PQPDR	0xFF	ポート PQ の方向レジスタ設定値

表 3.17　100 ピン版(PIN_SIZE=100)の場合での定数

定数名	設定値	内容
DEF_P0PDR	0x5F	ポート P0 の方向レジスタ設定値
DEF_P1PDR	0x03	ポート P1 の方向レジスタ設定値
DEF_P2PDR	0x00	ポート P2 の方向レジスタ設定値
DEF_P3PDR	0x00	ポート P3 の方向レジスタ設定値
DEF_P4PDR	0x00	ポート P4 の方向レジスタ設定値
DEF_P5PDR	0xC0	ポート P5 の方向レジスタ設定値
DEF_P6PDR	0xFF	ポート P6 の方向レジスタ設定値
DEF_P7PDR	0xFF	ポート P7 の方向レジスタ設定値
DEF_P8PDR	0xFF	ポート P8 の方向レジスタ設定値
DEF_P9PDR	0xFF	ポート P9 の方向レジスタ設定値
DEF_PAPDR	0x00	ポート PA の方向レジスタ設定値
DEF_PBPDR	0x00	ポート PB の方向レジスタ設定値
DEF_PCPDR	0x00	ポート PC の方向レジスタ設定値
DEF_PDPDR	0x00	ポート PD の方向レジスタ設定値
DEF_PEPDR	0x00	ポート PE の方向レジスタ設定値
DEF_PFPDR	0xFF	ポート PF の方向レジスタ設定値
DEF_PGPDR	0xFF	ポート PG の方向レジスタ設定値
DEF_PHPDR	0xFF	ポート PH の方向レジスタ設定値
DEF_PJPDR	0xF7	ポート PJ の方向レジスタ設定値
DEF_PKPDR	0xFF	ポート PK の方向レジスタ設定値
DEF_PLPDR	0xFF	ポート PL の方向レジスタ設定値
DEF_PMPDR	0xFF	ポート PM の方向レジスタ設定値
DEF_PNPDR	0xFF	ポート PN の方向レジスタ設定値
DEF_PQPDR	0xFF	ポート PQ の方向レジスタ設定値

3.8　関数一覧

表 3.18に関数を示します。

表 3.18　関数

関数名	概要
main	メイン処理
R_INIT_StopModule	リセット後に動作している周辺機能の停止
R_INIT_Port_Initialize	存在しないポートの初期設定
R_INIT_Clock	クロック初期設定
R_INIT_ROM_Cache	ROM キャッシュ初期設定
cgc_oscillation_main	メインクロックの発振設定
cgc_oscillation_hoco	HOCO クロックの発振設定
cgc_oscillation_pll	PLL クロックの発振設定
cgc_oscillation_ppll	PPLL クロックの発振設定
cgc_oscillation_sub	サブクロックの発振設定
cgc_disable_subclk	サブクロックの停止設定
oscillation_subclk	サブクロックの発振
resetting_wtcr_subclk	サブクロックのウェイトコントロールレジスタの再設定
init_rtc	RTC の初期化
set_ad_conversion_time	A/D 逐次変換時間の初期化
cmt0_wait	CMT0 によるソフトウェアウェイト
set_specific_module_clk	特定モジュールクロックソースの設定
switch_sysclk	システムクロックの切り替え
enable_clkout	CLKOUT の発振設定

3.9　関数仕様

サンプルコードの関数仕様を示します。

main	
概　要	メイン処理
ヘッダ	なし
宣　言	void main(void)
説　明	リセット後に動作している周辺機能の停止設定関数、存在しないポートの初期設定関数、クロックの初期設定関数および ROM キャッシュの初期設定関数を呼び出します。
引　数	なし
リターン値	なし

R_INIT_StopModule	
概　要	リセット後に動作している周辺機能の停止
ヘッダ	r_init_stop_module.h
宣　言	void R_INIT_StopModule(void)
説　明	モジュールストップ状態へ遷移する設定を行います。
引　数	なし
リターン値	なし
備　考	サンプルコードでは、モジュールストップ状態への遷移は行っていません。

R_INIT_Port_Initialize	
概　要	存在しないポートの初期設定
ヘッダ	r_init_port_initialize.h
宣　言	void R_INIT_port_initialize (void)
説　明	存在しないポートの端子に対応するポート方向レジスタの初期設定を行います。
引　数	なし
リターン値	なし
備　考	サンプルコードでは、224 ピン版(PIN_SIZE=224)に設定しています。 本関数をコールした後に、存在しないポートを含む PDR、PODR レジスタへバイト単位で書き込む場合、存在しないポートの方向制御ビットには“1”、ポート出力データ格納ビットには“0”を設定してください。

R_INIT_Clock	
概　要	クロック初期設定
ヘッダ	r_init_clock.h
宣　言	void R_INIT_Clock(void)
説　明	クロックの初期設定、メモリウェイトサイクルの設定を行います。
引　数	なし
リターン値	なし
備　考	サンプルコードでは、システムクロックを PLL とし、HOCO、サブクロック、PPLL および CLKOUT を使用しない処理を選択しています。本関数で呼んでいる set_ad_conversion_time 関数は、PSW.I ビットが“0”のとき、かつ ADCSR.ADST ビットが“0”のときに呼び出される必要があります。そのため、本関数を呼び出す前に、PSW.I ビットを“0”(割り込み禁止)、ADCSR.ADST ビットを“0”にしてください。

R_INIT_ROM_Cache	
概　要	リセット後に動作している周辺機能の停止
ヘッダ	r_init_ROM_Cache.h
宣　言	void R_INIT_ROM_Cache(void)
説　明	ノンキャッシャブル領域を設定後、ROM キャッシュの動作許可を行います。
引　数	なし
リターン値	なし
備　考	サンプルコードでは、ROM キャッシュの動作許可のみ有効にしています。 この関数はシステムの起動後、ROM キャッシュ動作禁止の状態で呼び出されることを前提としています。 ROM キャッシュ動作許可後にノンキャッシャブル領域を設定するには ROM キャッシュ動作禁止にした後、この関数を呼び出してください。

cgc_oscillation_main	
概　要	メインクロックの発振設定
ヘッダ	r_init_clock.h
宣　言	static void cgc_oscillation_main (void)
説　明	メインクロックのドライブ能力、および MOSCWTCR レジスタを設定してから、メインクロックを発振します。その後、メインクロックの発振安定待機時間待ちを行います。
引　数	なし
リターン値	なし

cgc_oscillation_pll	
概　要	PLL の発振設定
ヘッダ	r_init_clock.h
宣　言	static void cgc_oscillation_pll (void)
説　明	PLL 入力分周比および周波数逓倍率を設定してから、PLL クロックを発振します。その後、PLL の発振安定時間待ちを行います。
引　数	なし
リターン値	なし

cgc_oscillation_ppll	
概　要	PPLL の発振設定
ヘッダ	r_init_clock.h
宣　言	static void cgc_oscillation_ppll (void)
説　明	PPLL 入力分周比および周波数逓倍率を設定してから、PPLL クロックを発振します。その後、PPLL の発振安定時間を待った後、PPLL 分周比を設定します。
引　数	なし
リターン値	なし

cgc_oscillation_hoco	
概　要	HOCO クロックの発振設定
ヘッダ	r_init_clock.h
宣　言	static void cgc_oscillation_hoco (void)
説　明	HOCO の周波数を設定してから、HOCO を発振します。その後、HOCO の発振安定待機時間待ちを行います。
引　数	なし
リターン値	なし

cgc_oscillation_sub	
概　要	サブクロックの発振設定
ヘッダ	r_init_clock.h
宣　言	static void cgc_oscillation_sub (void)
説　明	サブクロックをシステムクロック、RTC のカウントソースのどちらか、または両方に使用する場合の設定を行います。
引　数	なし
リターン値	なし

cgc_disable_subclk	
概　要	サブクロックの停止設定
ヘッダ	r_init_clock.h
宣　言	static void cgc_disable_subclk (void)
説　明	サブクロックをシステムクロックにも、RTC のカウントソースにも使用しない場合の設定を行います。
引　数	なし
リターン値	なし

oscillation_subclk	
概　要	サブクロックの発振
ヘッダ	なし
宣　言	static void oscillation_subclk (void)
説　明	サブクロックの発振設定を行います。
引　数	なし
リターン値	なし

resetting_wtcr_subclk	
概　要	サブクロックのウェイトコントロールレジスタの再設定
ヘッダ	なし
宣　言	static void resetting_wtcr_subclk (void)
説　明	ソフトウェアスタンバイモードからの復帰の際のウェイトコントロールレジスタの再設定を行います。この際、ウェイトコントロールレジスタは最小値に設定します。
引　数	なし
リターン値	なし

init_rtc	
概　要	RTC の初期化
ヘッダ	なし
宣　言	static void init_rtc (void)
説　明	RTC の初期化（クロック供給の設定と RTC ソフトウェアリセット）を行います。
引　数	なし
リターン値	なし

set_ad_conversion_time	
概　要	A/D 逐次変換時間の初期化
ヘッダ	なし
宣　言	static void set_ad_conversion_time (void)
説　明	A/D 逐次変換時間の初期化を行います。
引　数	なし
リターン値	なし

cmt0_wait	
概　要	ソフトウェアウェイトの設定
ヘッダ	なし
宣　言	static void cmt0_wait (uint32_t cnt)
説　明	RTC レジスタへの書き込み開始待ち、および ICLK 変更待ちの際に使用します。
引　数	uint32_t cnt　　CMCOR レジスタの設定
リターン値	なし

set_specific_module_clk	
概　要	特定モジュールクロックソースの設定
ヘッダ	なし
宣　言	static void　set_specific_module_clk　(void)
説　明	ETHERNET-PHY 向け外部クロック、および USB クロックのクロックソースの設定を行います。
引　数	なし
リターン値	なし

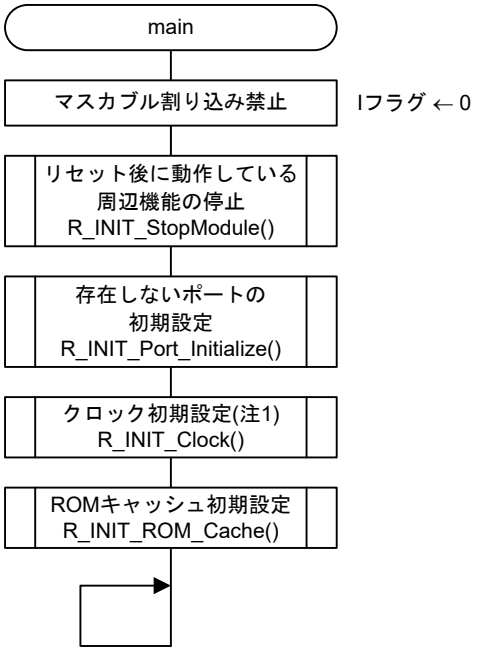
switch_sysclk	
概　要	システムクロックの設定
ヘッダ	なし
宣　言	static void　swicht_sysclk　(void)
説　明	内部クロックの分周比の設定を行います。 システムクロックの切り替えを行います。
引　数	なし
リターン値	なし

enable_clkout	
概　要	CLKOUT の設定
ヘッダ	なし
宣　言	static void　enable_clkout　(void)
説　明	CLKOUT の発振設定を行います。
引　数	なし
リターン値	なし

3.10 フローチャート

3.10.1 メイン処理

図 3.1にメイン処理のフローチャートを示します。

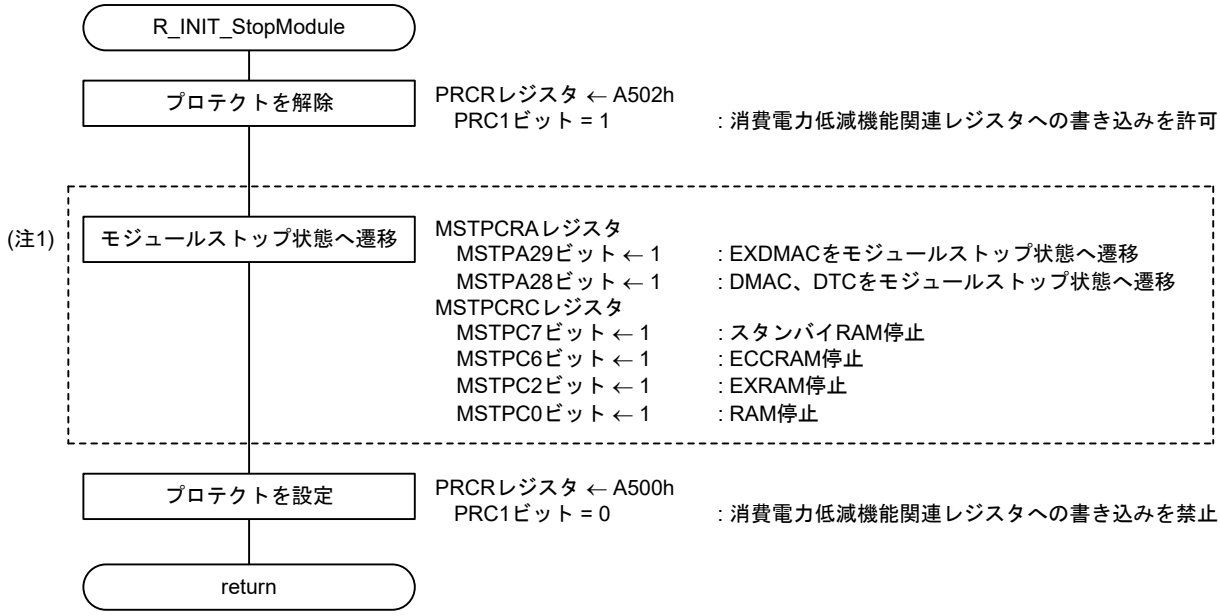


注1. 関数を呼び出す前に、PSW.Iビットを“0”(割り込み禁止)、ADCSR.ADSTビットを“0”にしてください。ADCSR.ADSTビットのリセット後の値は“0”であるため、本アプリケーションノートではADCSR.ADSTビットの設定および確認はしていません。R_INIT_Clock関数を呼び出す前にADCSR.ADSTビットを操作する場合は、必要に応じて処理を追加してください。

図 3.1 メイン処理

3.10.2 リセット後に動作している周辺機能の停止

図 3.2にリセット後に動作している周辺機能の停止のフローチャートを示します。

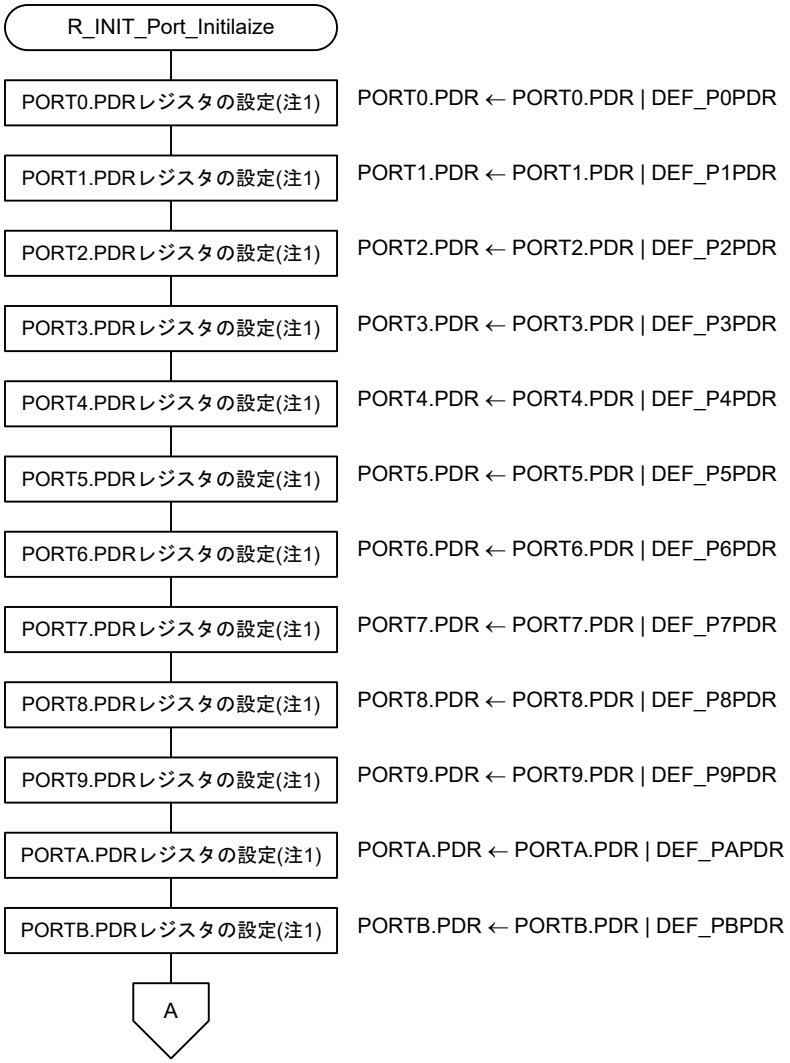


注1. サンプルコードではモジュールストップ状態は解除になっています。モジュールストップ状態へ遷移する場合は、定数「#define MSTP_STATE_対象モジュール名」の値を1にしてください。

図 3.2 リセット後に動作している周辺機能の停止

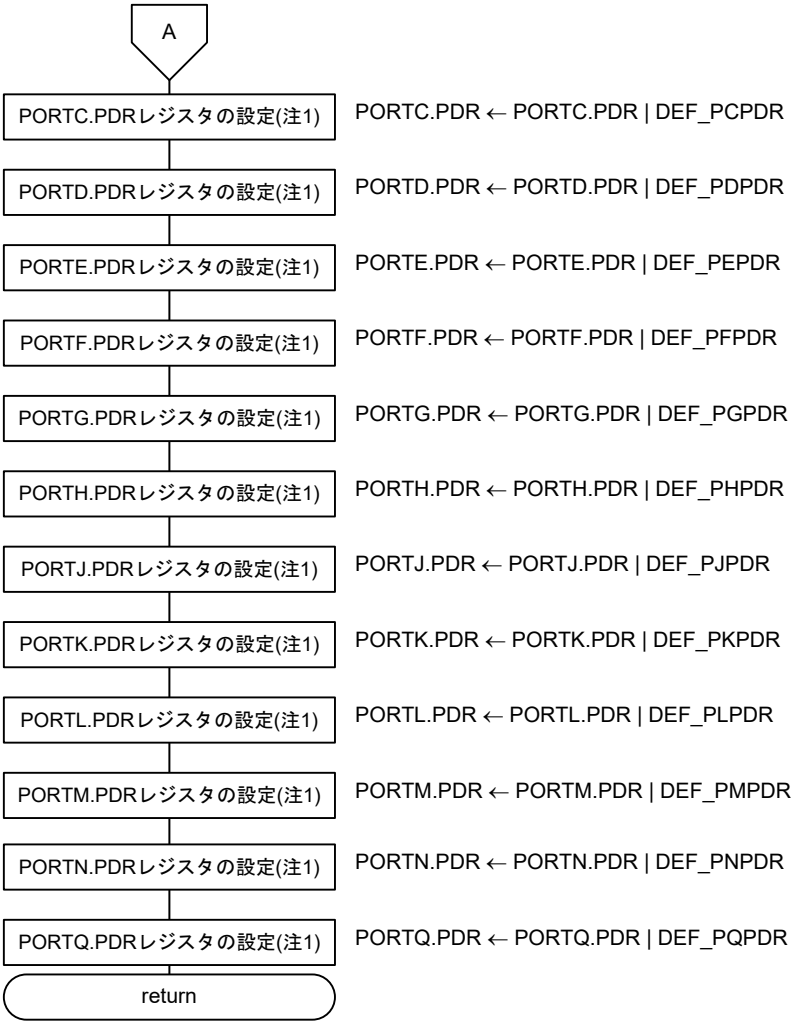
3.10.3 存在しないポートの初期設定

図 3.3、図 3.4に存在しないポートの初期設定のフローチャートを示します。



注1. すべての端子が存在しているレジスタに関しては、設定処理は実行しません
(コンパイル時に省略します)。

図 3.3 存在しないポートの初期設定(1/2)

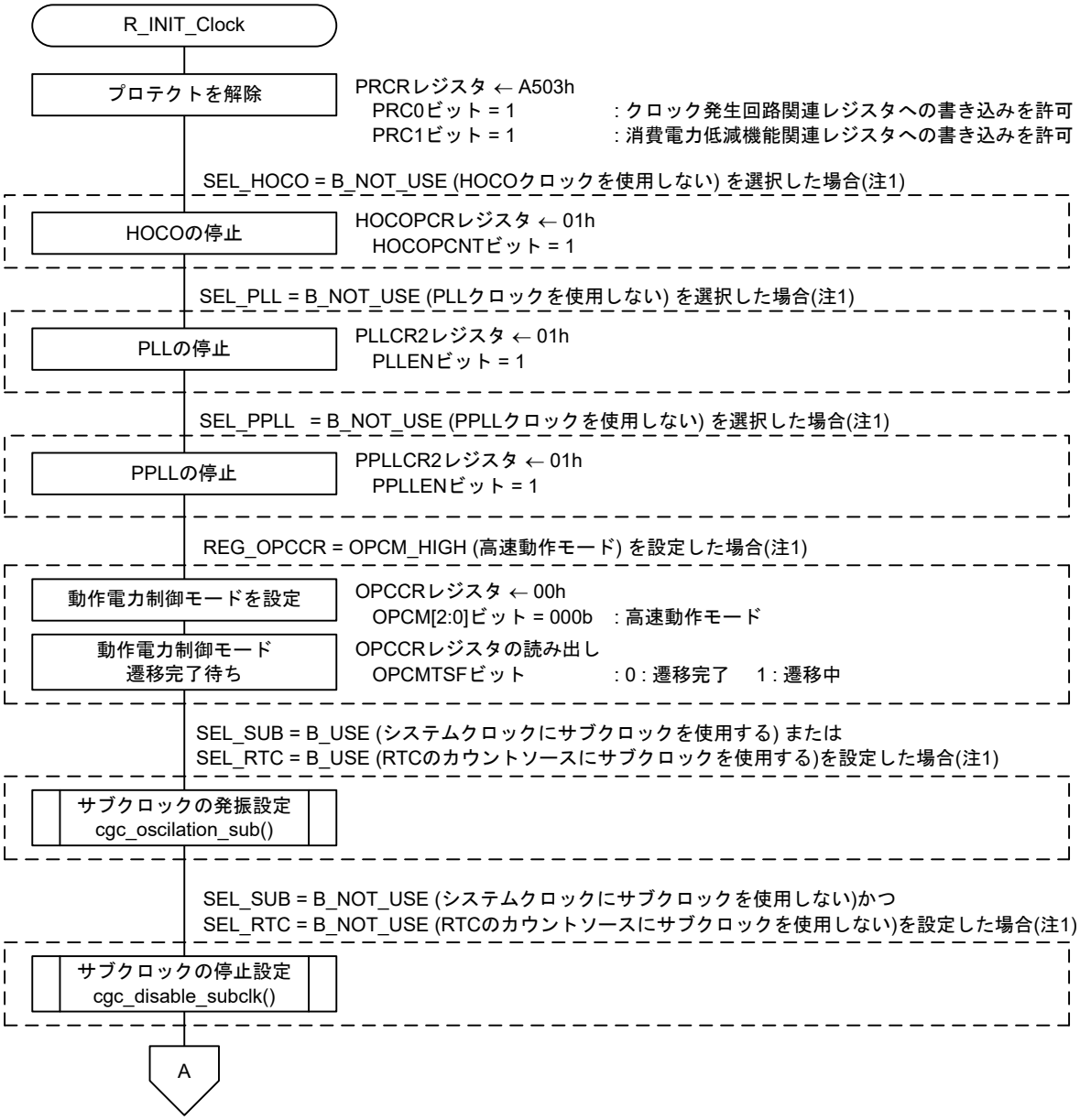


注1. すべての端子が存在しているレジスタに関しては、設定処理は実行しません
(コンパイル時に省略します)。

図 3.4 存在しないポートの初期設定(2/2)

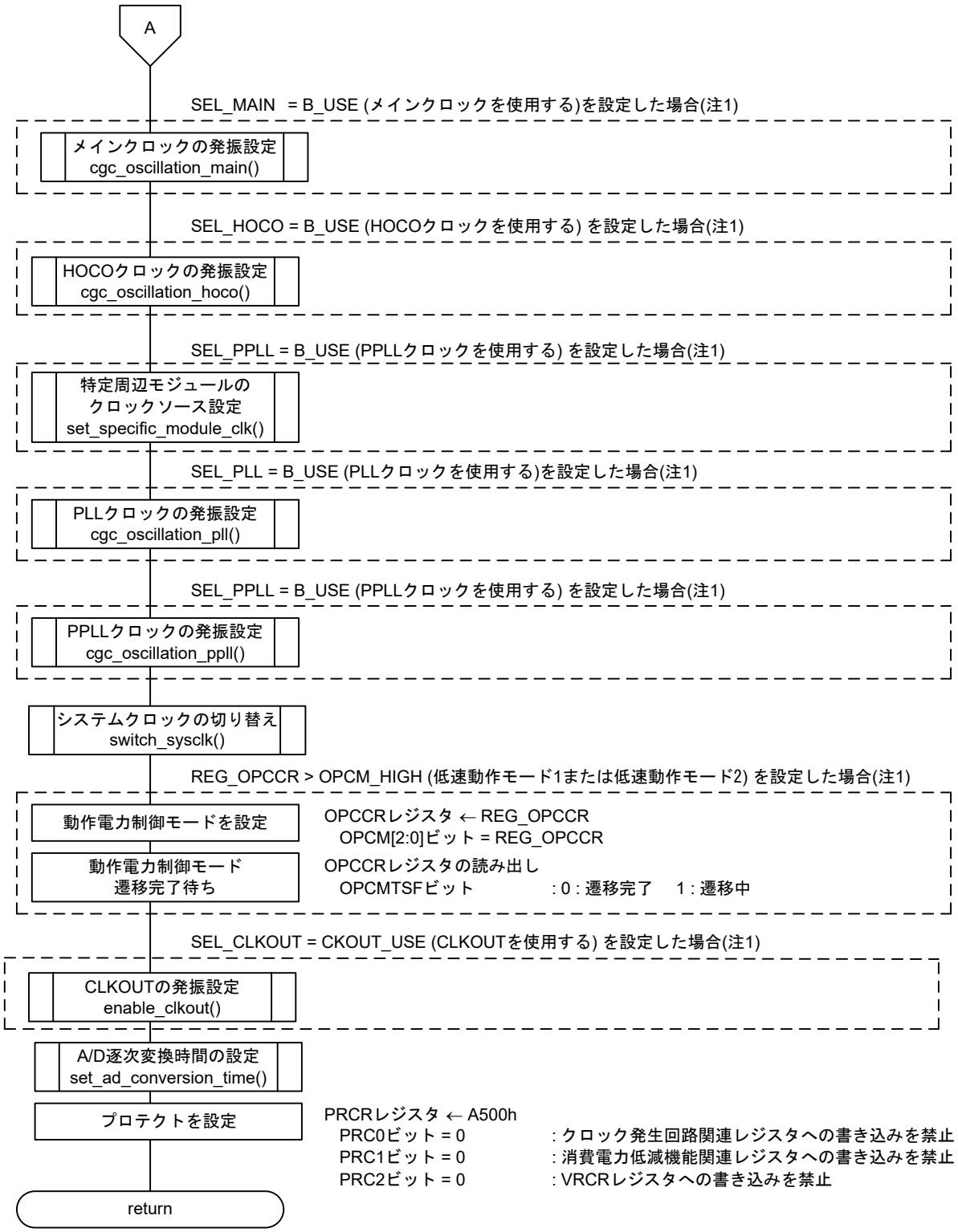
3.10.4 クロック初期設定

図 3.5、図 3.6にクロック初期設定のフローチャートを示します。



注1. 使用するシステムに応じて定数の設定を変更してください。

図 3.5 クロック初期設定(1/2)

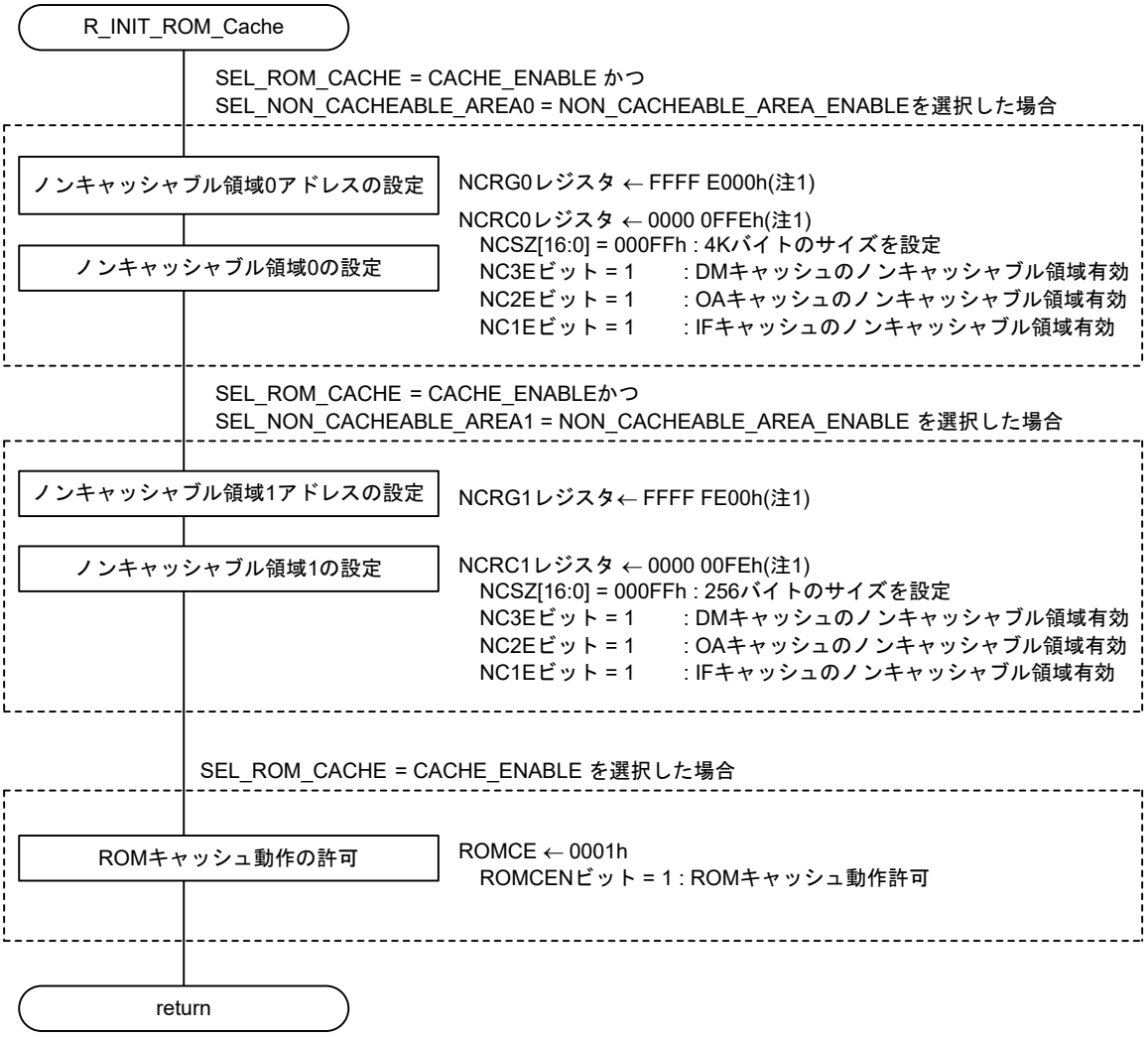


注1. 使用するシステムに応じて定数の設定を変更してください。

図 3.6 クロック初期設定(2/2)

3.10.5 ROM キャッシュ設定

図 3.7に ROM キャッシュ初期設定のフローチャートを示します。

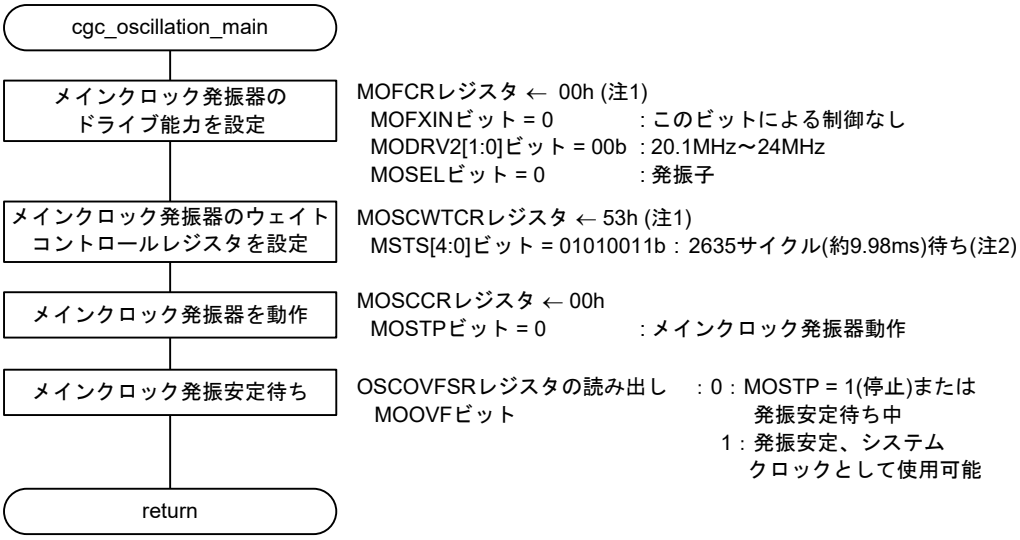


注1. 使用するシステムに応じてノンキャッシャブル領域を設定してください。
サンプルコードはシステムの起動後、ROMキャッシュ動作禁止の状態で呼び出されることを前提としています。
ROMキャッシュ動作許可後にノンキャッシャブル領域を設定するにはROMキャッシュ動作禁止にした後、
この関数を呼び出してください。

図 3.7 ROM キャッシュ初期設定

3.10.6 メインクロックの発振設定

図 3.8にメインクロックの発振設定のフローチャートを示します。

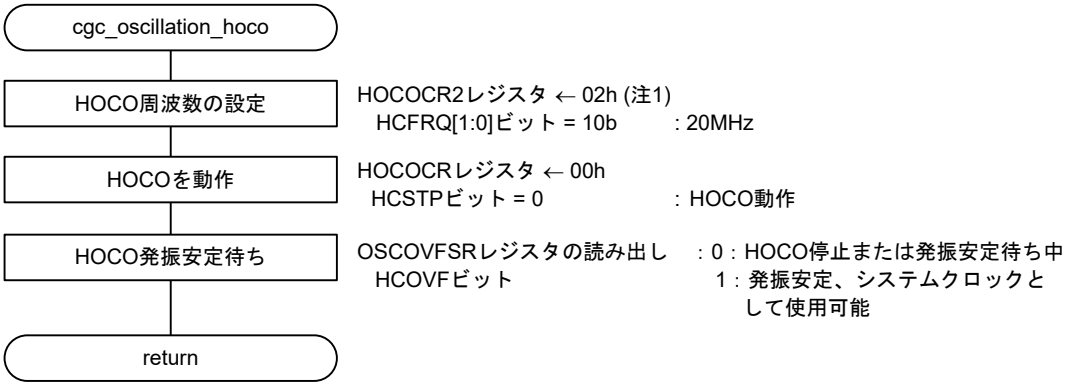


注1. 使用するシステムに応じて定数の設定を変更してください。
注2. 本アプリケーションノートでは該当レジスタの初期値を使用しています。

図 3.8 メインクロックの発振設定

3.10.7 HOCO クロックの発振設定

図 3.9に HOCO クロックの発振設定のフローチャートを示します。

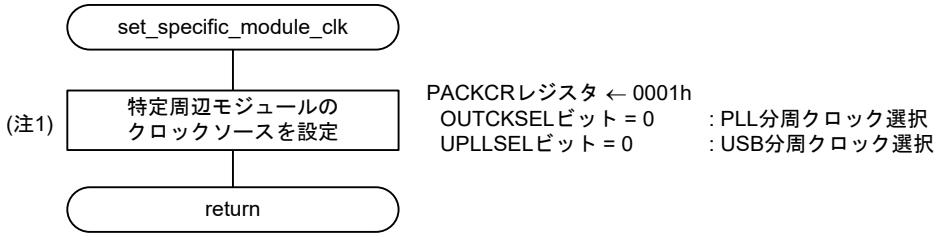


注1. 使用するシステムに応じて定数の設定を変更してください。
注2. 定数で選択したHOCO周波数により設定される値が異なります。

図 3.9 HOCO クロックの発振設定

3.10.8 特定モジュールクロックの設定

図 3.10に特定モジュールクロックソース設定のフローチャートを示します。

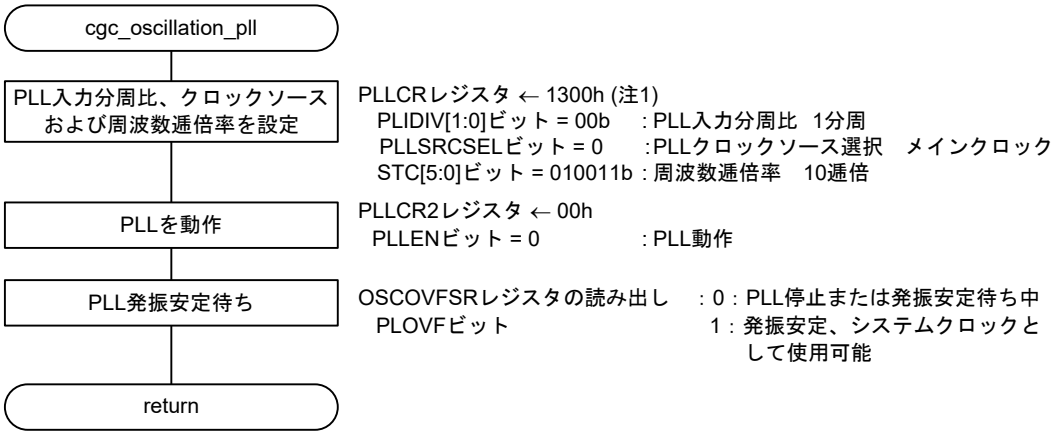


注1. クロックソースの切り替えはPLL、PPLLが停止かつ、クロックソースを変更するモジュールが停止の状態でリセット後一度だけ設定してください。

図 3.10 特定モジュールクロックソース設定

3.10.9 PLL クロックの発振設定

図 3.11に PLL クロックの発振設定のフローチャートを示します。

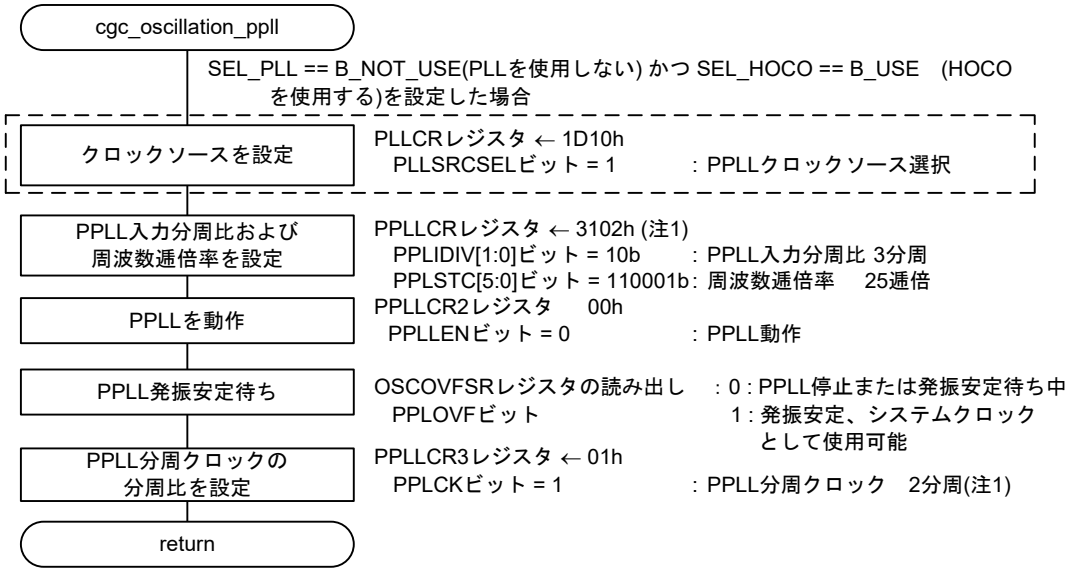


注1. 使用するシステムに応じて定数の設定を変更してください。

図 3.11 PLL クロックの発振設定

3.10.10 PPLL クロックの発振設定

図 3.12に PPLL クロックの発振設定のフローチャートを示します。

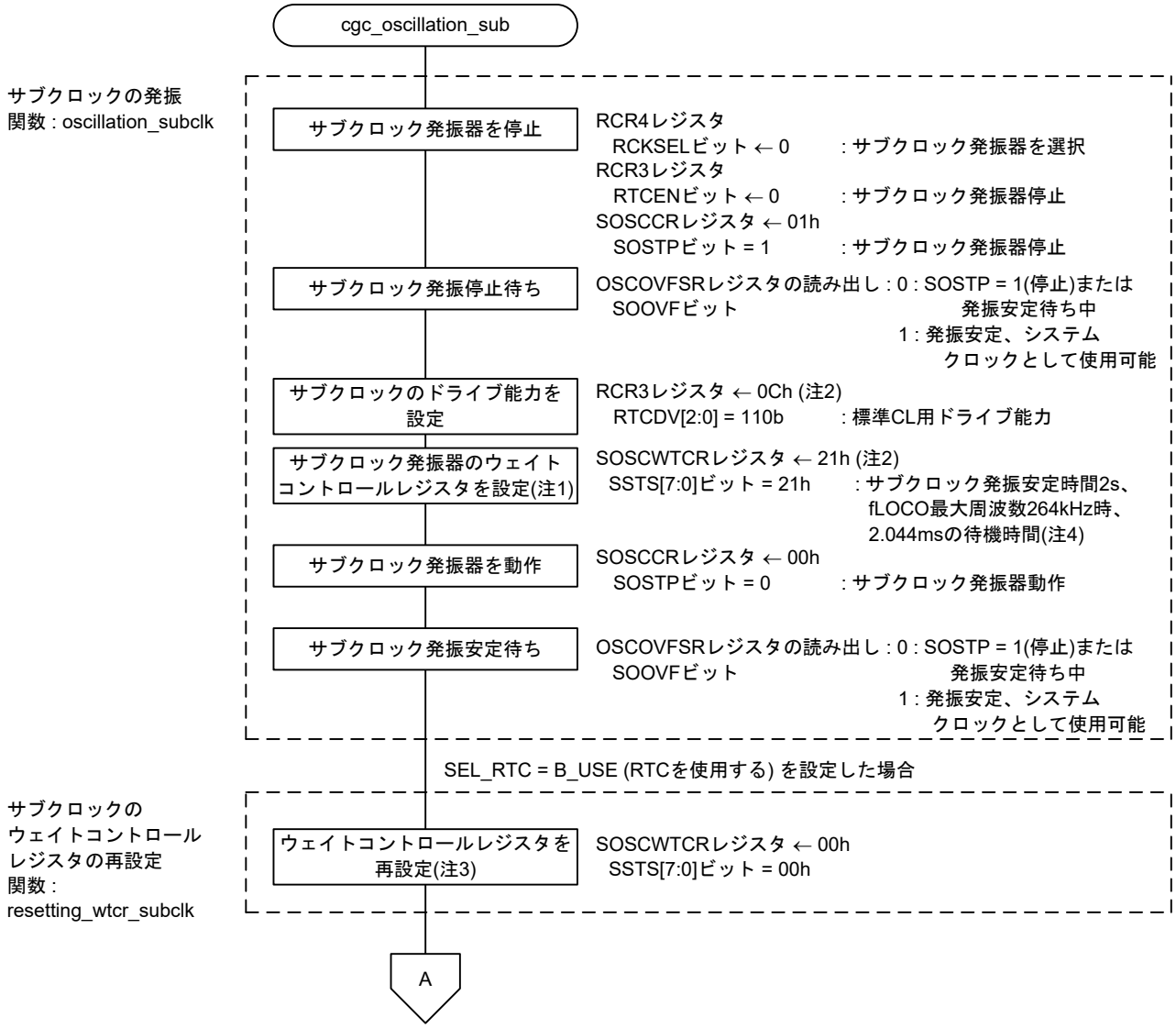


注1. 使用するシステムに応じて定数の設定を変更してください。

図 3.12 PPLL クロックの発振設定

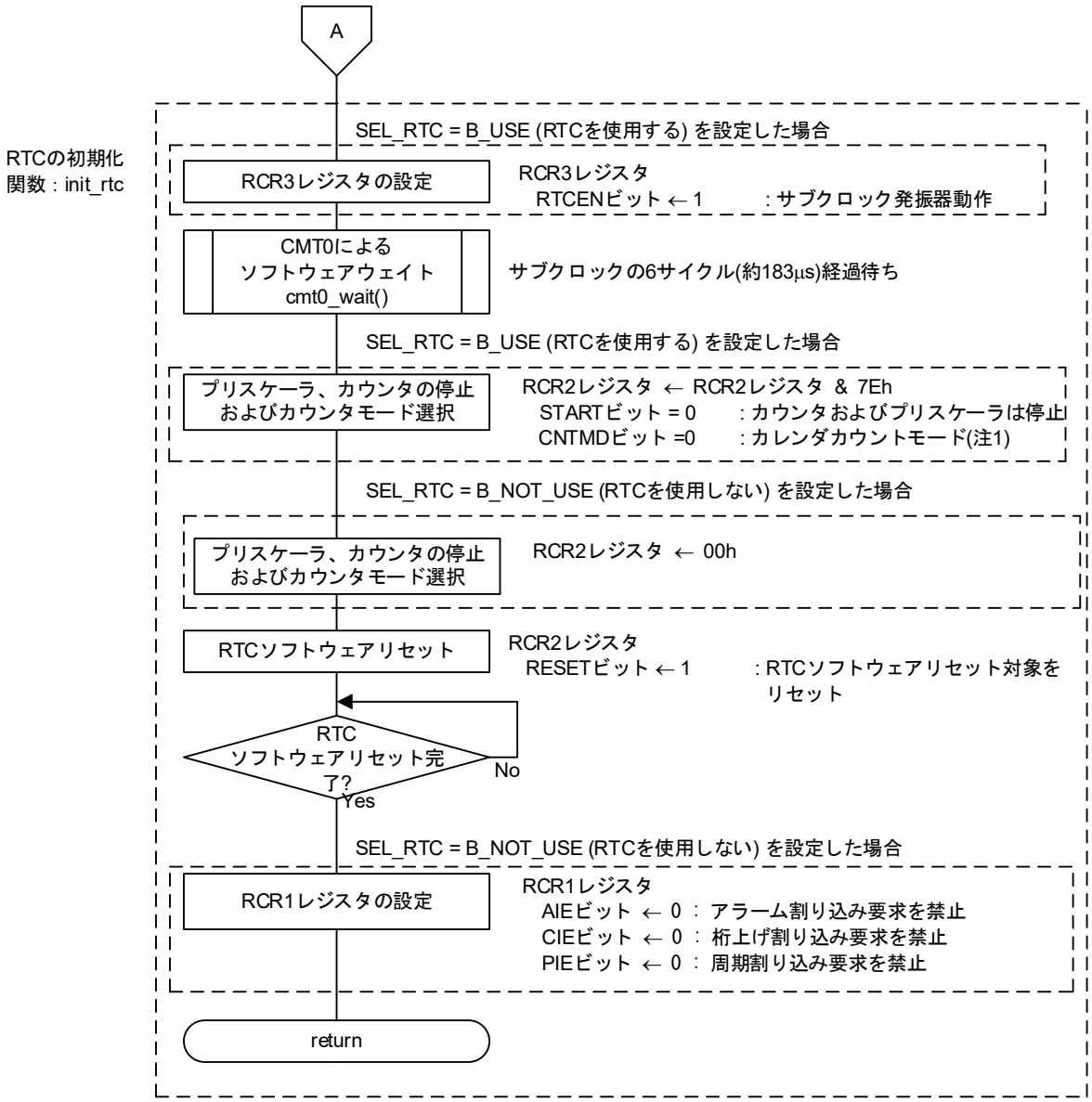
3.10.11 サブクロックの発振設定

図 3.13、図 3.14にサブクロックの発振設定のフローチャートを示します。



注1. ユーザーズマニュアル ハードウェア編 「9.2.17 サブクロック発振器ウェイトコントロールレジスタ」の計算式から算出してください。なお本アプリケーションノートでは初期値としています。
注2. 使用するシステムに応じて定数の設定を変更してください。
注3. システムクロックにサブクロックを選択しソフトウェアスタンバイモードから復帰するとき、復帰要因が発生してからSOSCWTCR.SSTS[4:0]ビットに設定した時間の経過後に、LSI内部へのクロック供給が開始されます。
しかしRCR3.RTCENビットが“1”(動作)の場合は、ソフトウェアスタンバイモード中でもサブクロックが停止しないため、復帰時のサブクロックの発振安定待ちは不要となります。そのため、サブクロックの発振安定待機時間を最短になるようにSOSCWTCR.SSTS[7:0]ビットに“00h”を再設定します。
注4. 本アプリケーションノートでは該当レジスタの初期値を使用しています。

図 3.13 サブクロックの発振設定(1/2)



注1. 本アプリケーションノートではカレンダカウントモードとしています。使用するシステムに応じて定数の設定を変更してください。

図 3.14 サブクロックの発振設定(2/2)

3.10.12 サブクロックの停止設定

図 3.15にサブクロックの停止設定のフローチャートを示します。

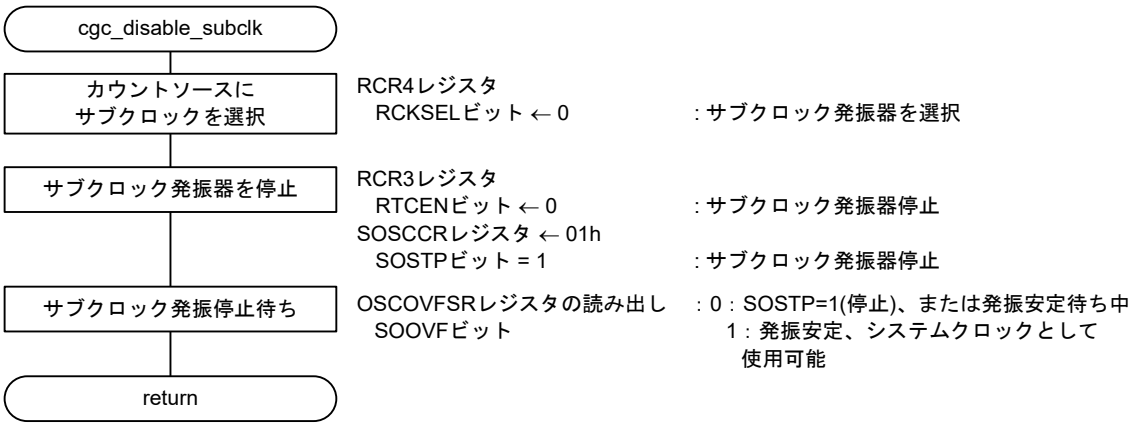
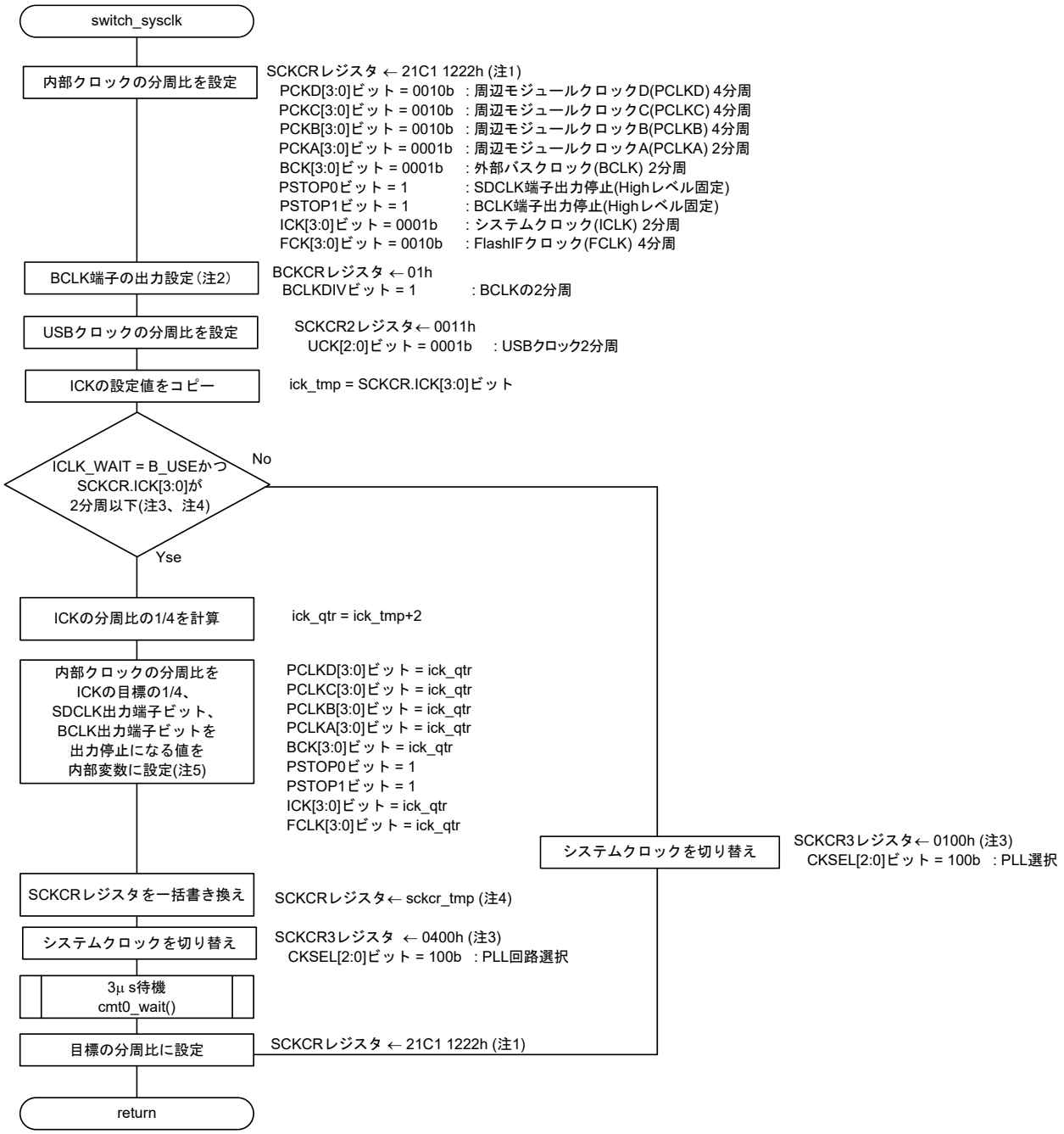


図 3.15 サブクロックの停止設定

3.10.13 システムクロックの切り替え

図 3.16にシステムクロックの切り替えのフローチャートを示します。



注1. 定数で選択したシステムクロックにより設定される値が異なります。
注2. 使用するパッケージのピン数によって最大動作周波数が異なります。
注3. 使用するシステムに応じて定数の設定を変更してください。
注4. ICKの分周比が4分周以下の場合、最初に設定した分周比のままシステムクロックの切り替えのみ行います。
注5. システムクロック(ICLK) と周辺モジュールクロック、は以下の周波数関係に設定する必要があります。
ICLK : FCLK = N : 1 or 1 : N, ICLK : PCLKA = N : 1 or 1 : N, ICLK : PCLKB = N : 1 or 1 : N,
ICLK : PCLKC = N : 1 or 1 : N, ICLK : PCLKD = N : 1 or 1 : N, ICLK : BCLK = N : 1

図 3.16 システムクロックの切り替え

3.10.14　CMT0 によるソフトウェアウェイト

図 3.17、**図 3.18**に CMT0 によるソフトウェアウェイトのフローチャートを示します。

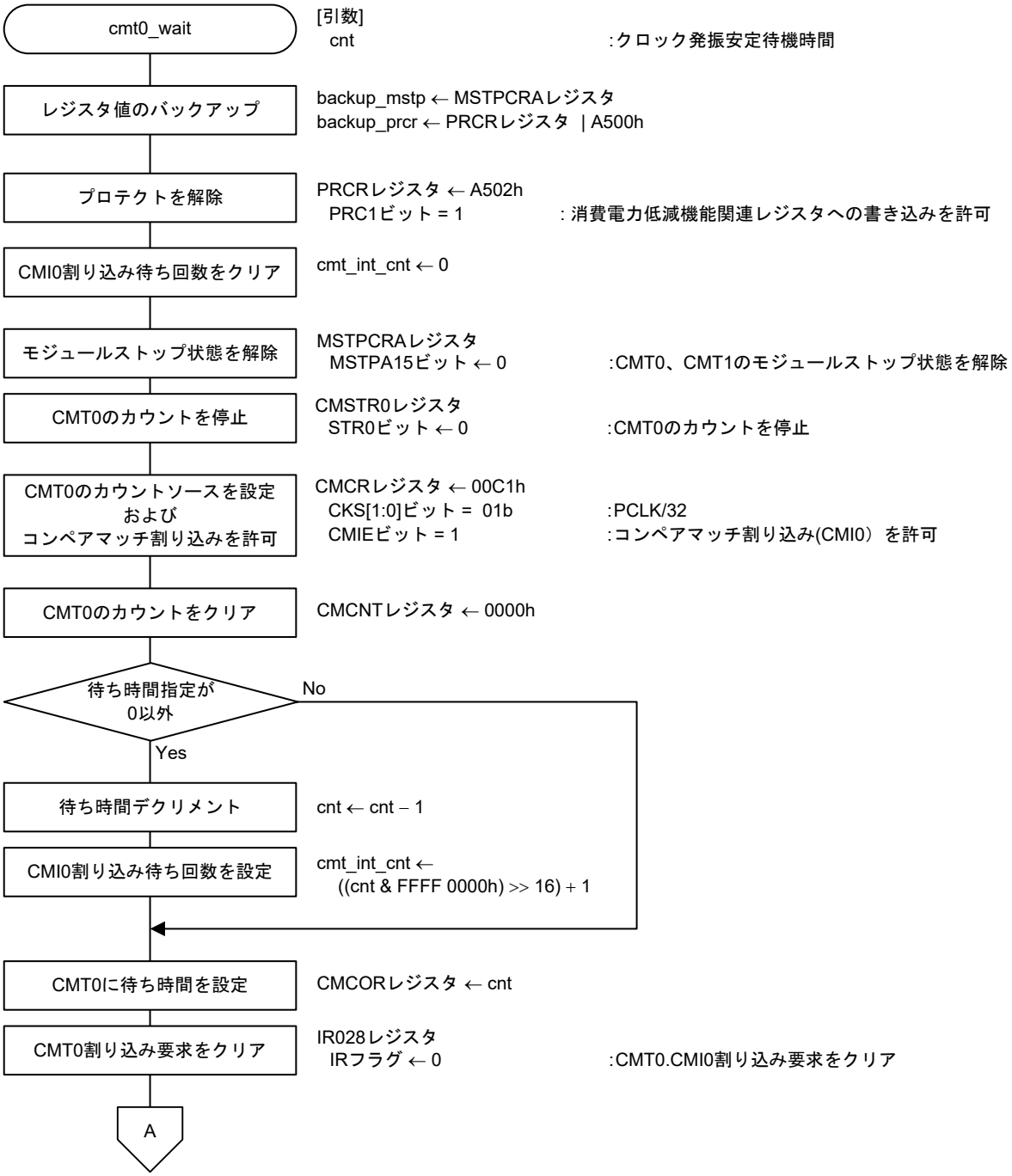
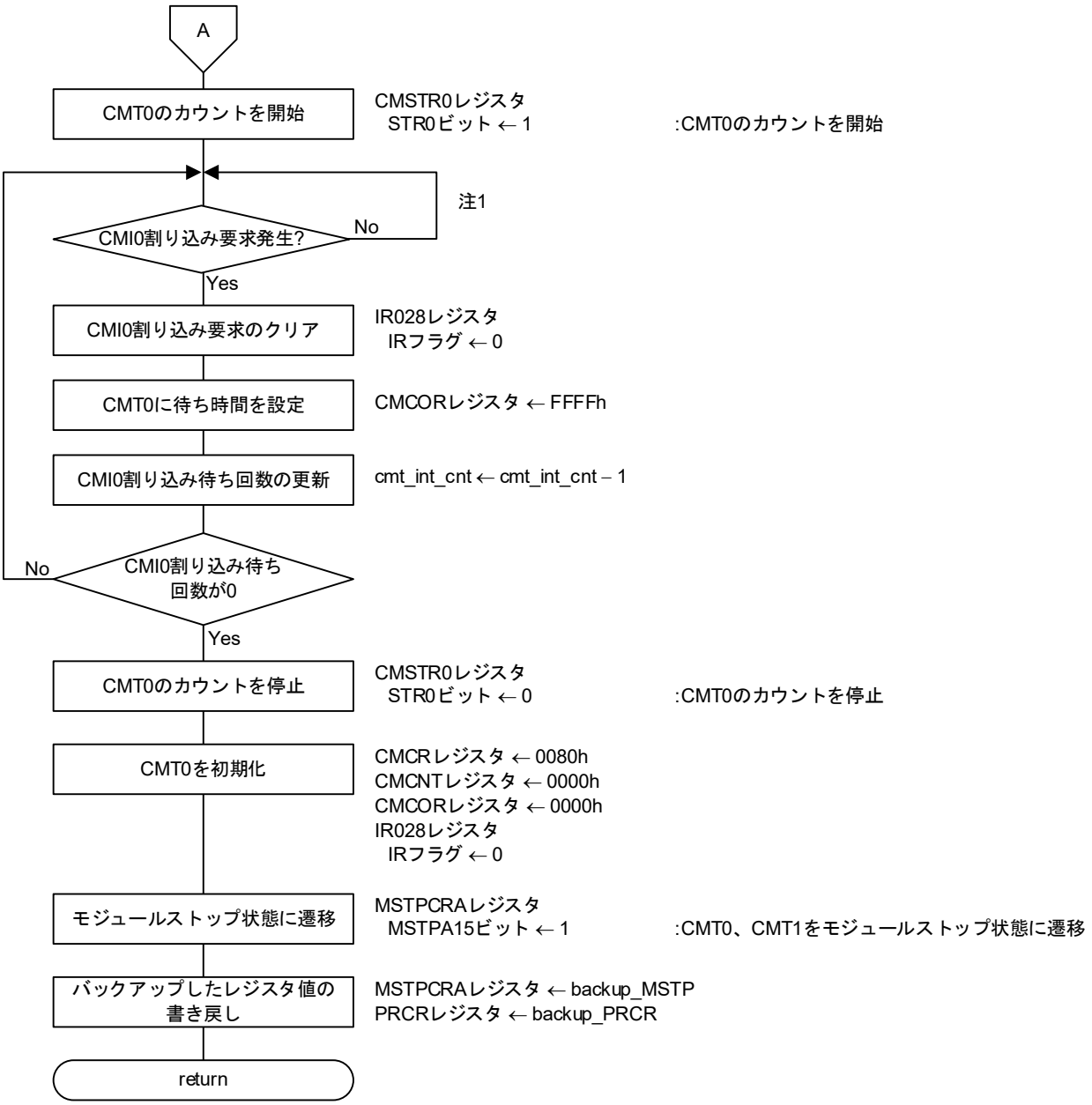


図 3.17　CMT0 によるソフトウェアウェイト(1/2)



注1.ウォッチドッグタイマ(WDT) ,独立ウォッチドッグタイマ(IWDT) のカウントが動作している場合、必要に応じて、
このループ処理でWDTおよびIWDTのカウンタのリフレッシュ処理をしてください。

図 3.18 CMT0 によるソフトウェアウェイト(2/2)

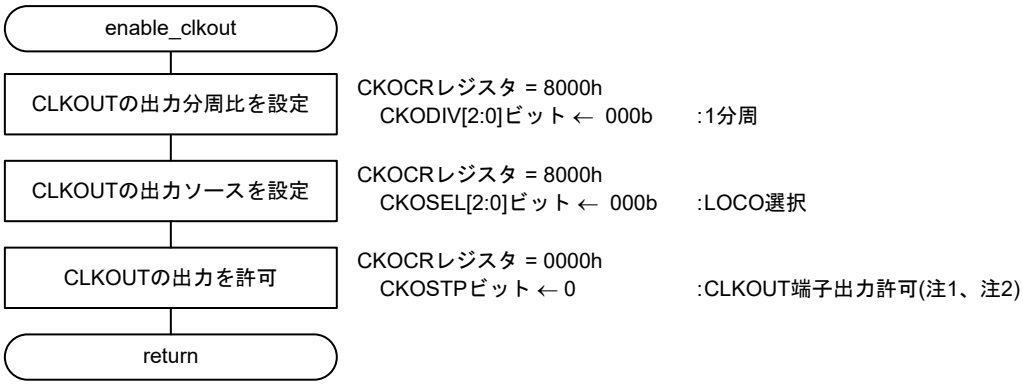
3.10.15 A/D 逐次変換時間の設定

図 3.19に A/D 逐次変換時間の設定のフローチャートを示します。

図 3.19 A/D 逐次変換時間の設定

3.10.16 CLKOUT の発振設定

図 3.20に CLKOUT の発振設定のフローチャートを示します。



注1. 初期設定例では動作設定のみ行っています。実際に出力される場合、対応する端子の端子機能制御レジスタ、及びポートモードレジスタの設定も必要です。ユーザーズマニュアルハードウェア編「22.I/Oポート」、「23.マルチファンクションピンコントローラ」を参照し、お使いのシステムに応じて設定してください。
注2. クロックを発振させたままCKOSTPを書き換えると、出力にグリッチが発生することがあります。

図 3.20 CLKOUT の発振設定

4.　プロジェクトをインポートする方法

サンプルコードは e2 studio のプロジェクト形式で提供しています。本章では、 e2 studio および CS+へプロジェクトをインポートする方法を示します。インポート完了後、ビルドおよびデバッグの設定を確認してください。

4.1　e² studio での手順

e² studio でご使用になる際は、下記の手順で e² studio にインポートしてください。

(使用する e² studio のバージョンによっては画面が異なる場合があります。)

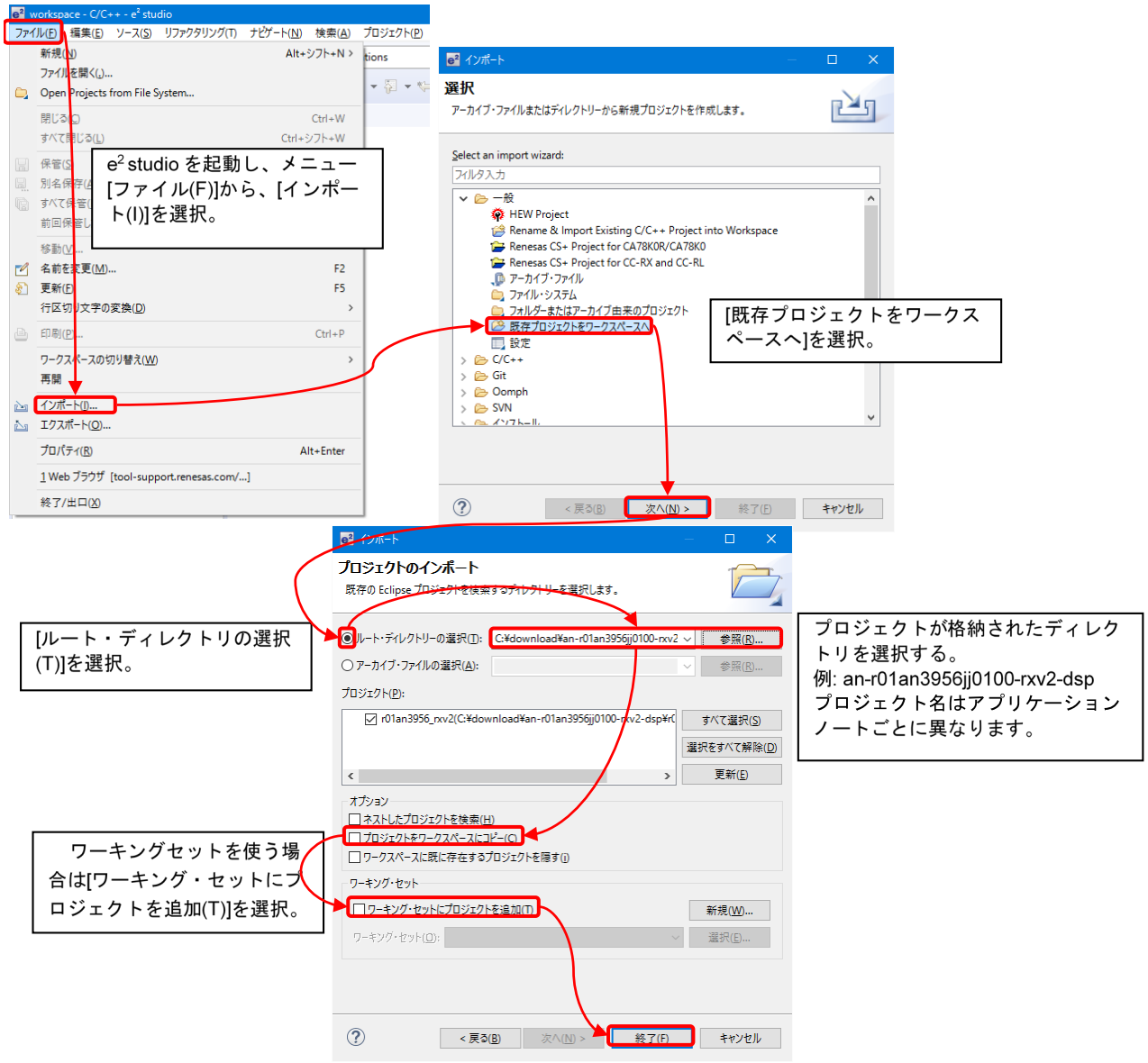


図 4.1　プロジェクトを e² studio にインポートする方法

4.2　CS+での手順

CS+でご使用になる際は、下記の手順で CS+にインポートしてください。

(使用する CS+のバージョンによっては画面が異なる場合があります。)

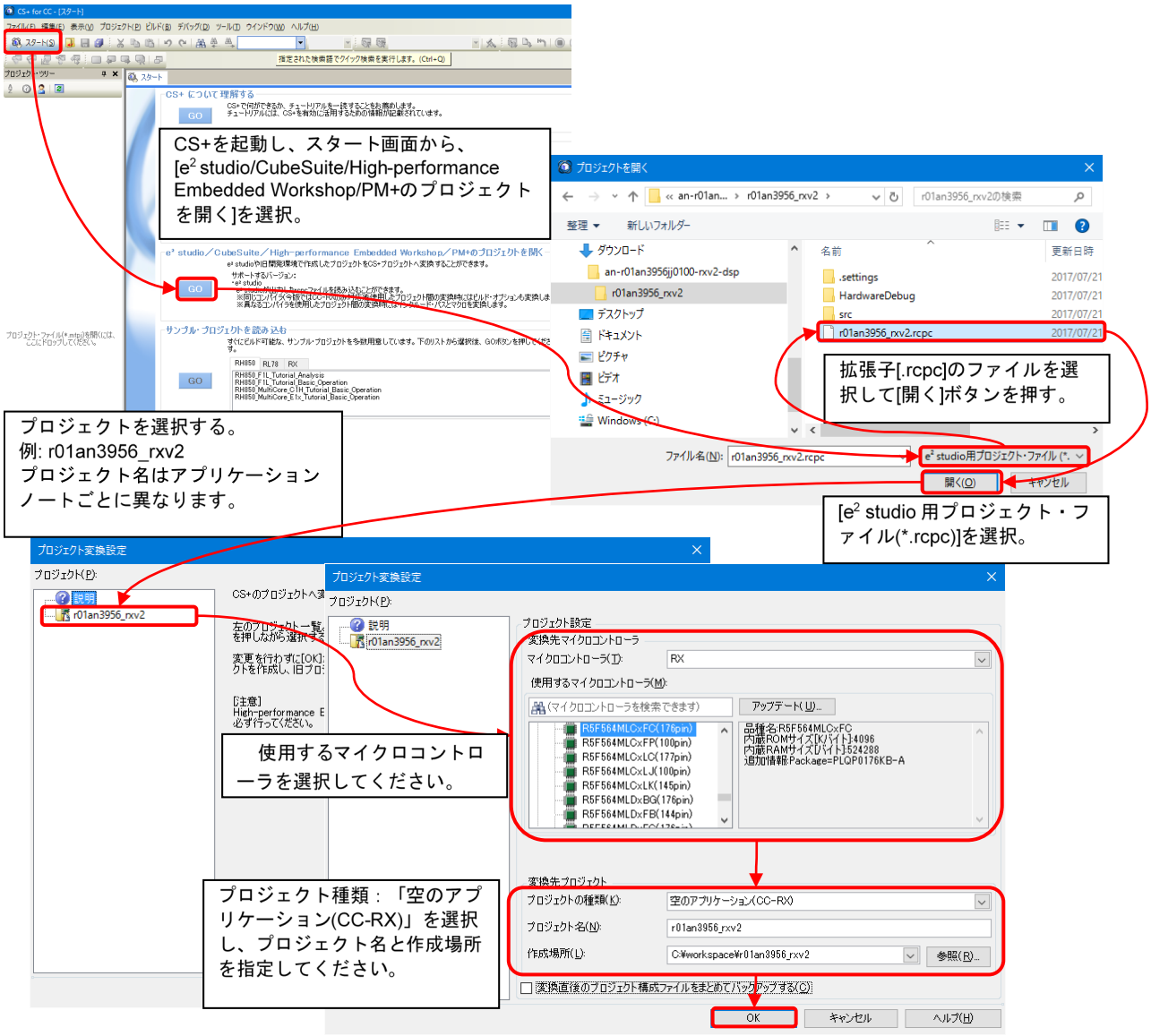


図 4.2　プロジェクトを CS+にインポートする方法

5. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

6. 参考ドキュメント

ユーザーズマニュアル：ハードウェア編
RX66N グループ ユーザーズマニュアル ハードウェア編 (R01UH0825)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース
（最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境
RX ファミリ CC-RX コンパイラ ユーザーズマニュアル (R20UT3248JJ)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

7. 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Jan.31.20	-	初版発行
1.01	Feb.1.21	10	表 2.2 の統合開発環境、C コンパイラ、サンプルコードのバージョンを変更
		43	図 3.14 サブクロックの発振設定(2/2)の修正
		52	改訂履歴の日付の形式を修正
		プログラム	テクニカルアップデート TN-RX*-A236B/J に対応

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2021 Renesas Electronics Corporation. All rights reserved.