

RX231 グループ

H8/3048 (H8/300H シリーズ) ⇒RX231 マイコン移行ガイド

要旨

本アプリケーションノートは、H8/3048 から RX231 への置き換えを行う場合の注意点、並びに相違点等を説明しています。なお、各機能の詳細な情報は、最新のユーザーズマニュアル ハードウェア編にてご確認ください。

動作確認デバイス

RX231

目次

1. CPU アーキテクチャ	4
1.1 システムレジスタ	4
1.1.1 汎用レジスタ	4
1.1.2 制御レジスタ	5
1.2 オプション設定メモリ	8
1.2.1 オプション設定メモリの概要	8
1.2.2 エンディアンの設定	9
1.3 リセット機能	10
1.3.1 リセット要因	10
1.3.2 リセット要因と初期化範囲	11
1.4 クロック設定	12
1.4.1 クロック源	12
1.4.2 RX231 クロック発生回路	13
1.5 動作モード	14
1.5.1 動作モードの比較	14
1.5.2 H/3048、RX231 メモリマップ比較	15
1.5.3 動作モード設定	18
1.6 プロセッサモード	19
1.7 例外処理	20
1.7.1 例外処理要因の比較	20
1.7.2 例外処理の優先順位	20
1.7.3 例外処理の基本処理フロー図	21
1.7.4 ベクタ構成	22
1.7.5 CCR (PSW) による割り込みのマスク	23
1.8 割り込み機能	24
1.8.1 割り込みコントローラ	24
1.8.2 割り込みフラグの管理	26
1.8.3 高速割り込み制御	27
1.8.4 デジタルフィルタ	28
1.8.5 多重割り込み	29
2. 内蔵機能 (周辺モジュール)	30

2.1	内蔵機能一覧	30
2.2	I/O ポート	31
2.2.1	I/O ポート仕様比較	31
2.2.2	I/O 設定	32
2.3	バス	37
2.3.1	仕様比較	37
2.3.2	バスの構成	38
2.3.3	レジスタの構成	40
2.3.4	ウェイトの設定	40
2.3.5	外部バス端子設定例	41
2.4	割り込みコントローラ	42
2.4.1	IRQ 端子の使用例	42
2.5	DMA コントローラ	43
2.5.1	仕様比較	43
2.5.1	DMAC ブロック図	44
2.5.1	レジスター一覧	46
2.5.2	DMAC 起動要因	47
2.5.3	転送モード	48
2.5.4	モジュールストップ	50
2.6	シリアルコミュニケーションインタフェース	51
2.6.1	仕様比較	51
2.6.2	SCI 置き換え	53
2.6.3	モジュールストップ	53
2.7	高機能タイマ (ITU、MTU2a、TPUa)	54
2.7.1	仕様比較	54
2.7.2	置き換え時の注意点	55
2.7.3	レジスター一覧	55
2.7.4	モジュールストップ	56
2.8	タイマベースパルス出力機能	57
2.8.1	仕様比較	57
2.9	ウォッチドッグタイマ	60
2.9.1	仕様比較	60
2.10	A/D 変換	61
2.10.1	仕様比較	61
2.10.2	動作モード	62
2.10.3	レジスター一覧	63
2.10.4	モジュールストップ	64
2.11	D/A 変換	65
2.11.1	仕様比較	65
2.11.2	レジスタ比較	65
2.11.3	モジュールストップ	65
2.12	フラッシュメモリ	66
2.12.1	仕様比較	66
2.13	低消費電力状態とモジュールストップ機能	67
2.13.1	低消費電力状態の仕様比較	67
2.13.2	モード遷移	68
2.13.1	モジュールストップ	69

3. 参考資料.....70

改訂記録.....71

1. CPU アーキテクチャ

1.1 システムレジスタ

H8/3048 と RX231 のシステムレジスタの相違点を以下に示します。

1.1.1 汎用レジスタ

H8/3048、RX231 とともに 32 ビットの汎用レジスタを備えています。H8/3048 は 32 ビットの汎用レジスタとして 8 本^{*1}、RX231 は 16 本使用できます。スタックポインタ（SP）は H8/3048 では ER7、RX231 では R0 です。

【注】 ^{*1} H8/3048 では汎用レジスタ ER を分割し、16 ビットレジスタとして最大 16 本、8 ビットレジスタとして最大 16 本使用できます。RX231 には汎用レジスタの分割機能はありません。

図 1.1 に H8/3048 と RX231 の汎用レジスタの相違点を示します。

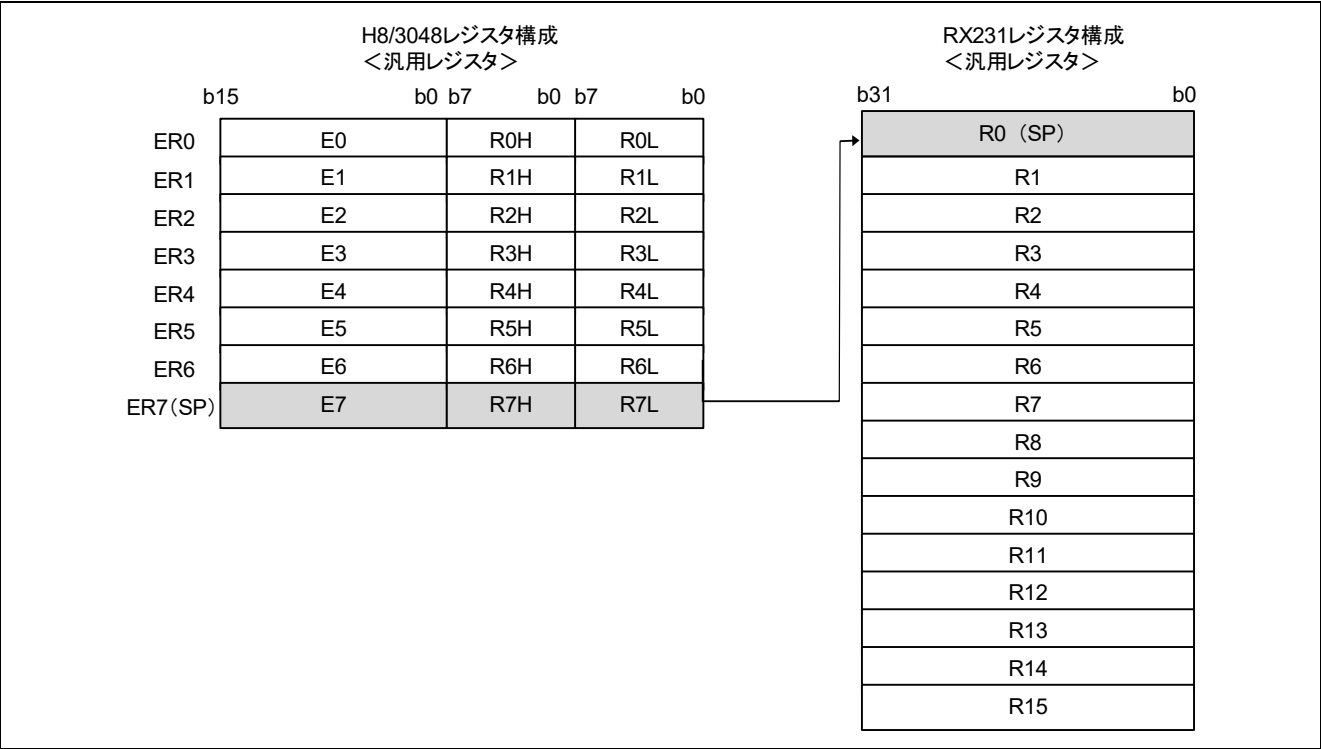


図 1.1 汎用レジスタ相違点

1.1.2 制御レジスタ

H8/3048 と RX231 の制御レジスタは図 1.2 に示す様な相違点があります。

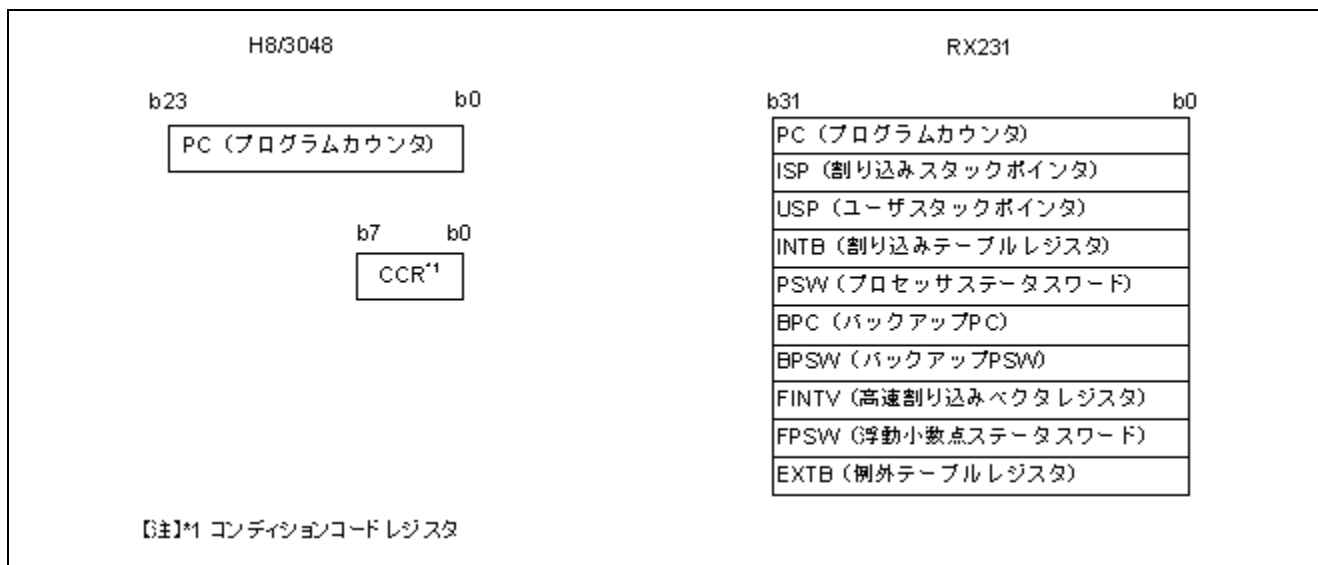


図 1.2 制御レジスタの相違点

以下に、H8/3048 にはない RX231 の制御レジスタについて概要を示します。

- 割り込みスタックポインタ／ユーザスタックポインタ (ISP/USP)
スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の 2 種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。
- 割り込みテーブルレジスタ (INTB)
割り込みベクタテーブルの先頭アドレスを指定します。
- バックアップ PC／バックアップ PSW (BPC/BPSW)
通常割り込みと高速割り込みがあります。高速割り込みでは、PC と PSW の内容を専用レジスタ (BPC と BPSW) へ退避するため、レジスタ退避の処理時間を短縮することが可能です。なお、BPC、BPSW は多重割り込みには対応していません。
- 高速割り込みベクタレジスタ (FINTV)
高速割り込み発生時のジャンプ先を指定するレジスタです。
- 浮動小数点ステータスワード (FPSW)
浮動小数点演算結果を示す、浮動小数点ステータスワードが存在します。
- 例外テーブルレジスタ (EXTB)
例外ベクタテーブルの先頭番地を設定するレジスタです。
- コンディションコードレジスタの相違点
H8/3048 に搭載されている制御レジスタ構成において CCR の H:ハーフキャリフラグ、U:ユーザビットに相当するフラグは RX231 ではなくなりましたが、それ以外は RX231 の PSW レジスタで対応されています。

図 1.3 と表 1.1 に CCR (H8/3048) と PSW (RX231) の相違点を示します。

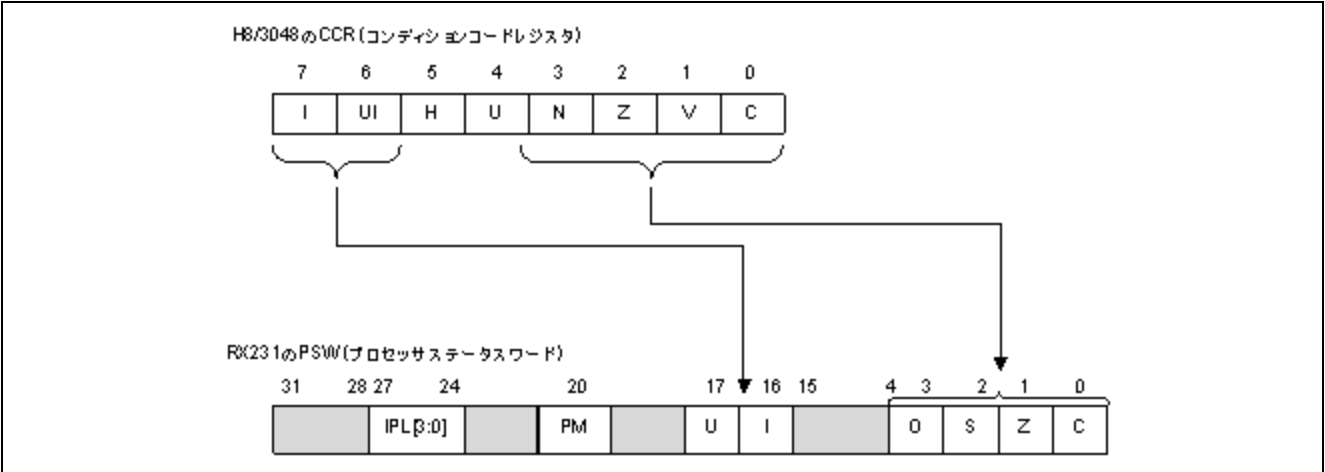


図 1.3 CCR (H8/3048) と PSW (RX231) の相違点

表 1.1 CCR (H8/3048) と PSW (RX231) の相違点

CCR ビット名	PSW ビット名	説明
C (キャリフラグ)	C	H8/3048 の CCR の C ビットで示される演算結果は、RX231 では PSW の C ビットで示されます。 演算結果にキャリ、ポロー、シフトアウトが発生したことを示します。
Z (ゼロフラグ)	Z	H8/3048 の CCR の Z ビットで示される演算結果は、RX231 では PSW の Z ビットで示されます。 演算結果が 0 であったことを示します。
N (ネガティブフラグ)	S	H8/3048 の CCR の N ビットで示される演算結果は、RX231 では PSW の S ビットで示されます。 演算結果が負であったことを示します。
V (オーバフローフラグ)	O	H8/3048 の CCR の V ビットで示される演算結果は、RX231 では PSW の O ビットで示されます。 演算中にオーバフローしたことを示します。
I (割り込みマスクビット)	I	H8/3048 の CCR の I ビット、UI ビットは、RX231 では PSW の I ビットで示されます。 0 : 割り込みを許可しない 1 : 割り込みを許可する RX231 で割り込み要求の受け付けを許可するビットです。 初期状態は“0”のため、割り込みを受け付ける場合は本ビットを“1”に設定する必要があります。また例外を受け付けると、このビットは“0”になり、その間割り込みは受け付けません。 このビットの設定に関係なく、割り込み要求発生時は、割り込みコントローラの割り込みステータスフラグはリセットされます。
UI (ユーザビット／ 割り込みマスクビット)		
—	U	RX231 で使用するスタックポインタを指定するビットです。 0 : 割り込みスタックポインタ (ISP) 1 : ユーザスタックポインタ (USP) 例外を受け付けると、このビットは“0”になります。
—	PM	RX231 でプロセッサモードを設定するビットです。 0 : スーパーバイザモード 1 : ユーザモード 例外を受け付けると、このビットは“0”になります。
—	IPL[3:0]	割り込み優先レベルを指定するビットです。 0 (最低) ~ 15 (最高) レベルが設定可能で、この設定よりも優先レベルが高い割り込みだけが受け付けられます。
U (ユーザビット)	—	RX231 には相当するビットはありません。
H (ハーフキャリー フラグ)	—	RX231 には相当するビットはありません。

1.2 オプション設定メモリ

RX231 ではオプション設定メモリの設定が必要です。オプション設定メモリは CPU リセット後の動作、データのエンディアン設定等を行うメモリです。オプション設定メモリは ROM に設けられた領域で、プログラムによる書き換えはできません。プログラム書き込み時に、あわせて書き込む必要があります。

1.2.1 オプション設定メモリの概要

図 1.4 にオプション設定メモリ領域を示します。

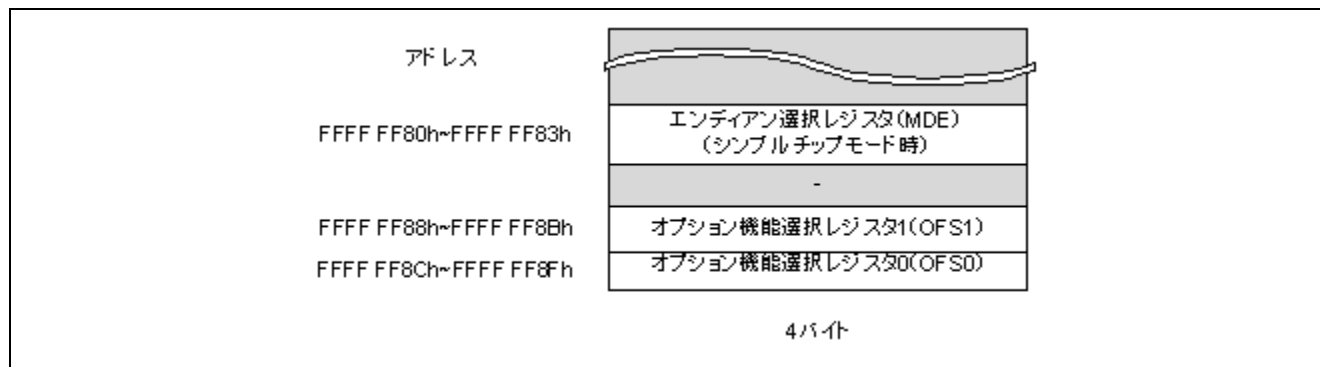


図 1.4 オプション設定メモリ領域

以下に、レジスタの概要を示します。

- エンディアン選択レジスタ (MDE)
CPU のエンディアン設定を行うレジスタ
- オプション機能選択レジスタ 1 (OFS1)
OFS1 レジスタでは以下項目の設定を行う。
 - リセット後の電圧監視 0 リセット有効／無効設定並びに電圧検出 0 レベル設定
 - リセット後の高速オンチップオシレータ (HOCO) の起動許可／禁止設定
 - 電源立ち上げ時起動時間、通常／短縮の設定
- オプション機能選択レジスタ 0 (OFS0)
OFS0 レジスタではリセット後の「独立ウォッチドッグタイマ (IWDT)」、「ウォッチドッグタイマ (WDT)」の動作設定を行う。

図 1.5 にオプション設定メモリの設定例を示します。

```

/* シングルチップモードでのビッグエンディアン設定 */
#pragma section C EXCEPTVECT
void (*const Except_Vectors[])(void) = {
  //;0xfffff80 MDE register
  #ifdef _BIG
    (void (*)(void))0xfffffff8, // big
  #else
    (void (*)(void))0xfffffff, // little
  #endif
}

```

図 1.5 エンディアン設定例

図 1.6 に OFS0/1 の設定例を示します。

```
#pragma section C EXCEPTVECT
void (*const Except_Vectors[])(void) = {
...
//;0xfffff88 OFS1 register
(void (*)(void))0xfffffff, // OFS1
//;0xfffff8c OFS0 register
(void (*)(void))0xfffffff, // OFS0
```

図 1.6 OFS0/1 の設定例

1.2.2 エンディアン設定

H8/3048 は、ビッグエンディアン固定です。RX231 は、命令はリトルエンディアン固定、データ配置はリトルエンディアン、ビッグエンディアンから選択できます。このエンディアン設定は、オプション設定メモリの MDE レジスタのエンディアン選択ビット MDE[2:0]で設定します。

H8/3048 から RX231 に置き換える際にビッグエンディアンを使用する場合、ルネサス純正コンパイラのオプション設定でビッグエンディアンを指定することができ、プログラム上でエンディアンを意識せずに移行可能です。

外部アドレス空間では、CS 領域ごとにエンディアン設定を切り替えられます。但し、外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置して下さい。(詳細は RX230 グループ、RX231 グループ ユーザーズマニュアル ハードウェア編を参照して下さい。)

実際には、図 1.5 で示す様なコードは、コンパイラオプションの設定で自動的に生成されます。図 1.7 にコンパイラオプションによるエンディアン指定の概要を示します。

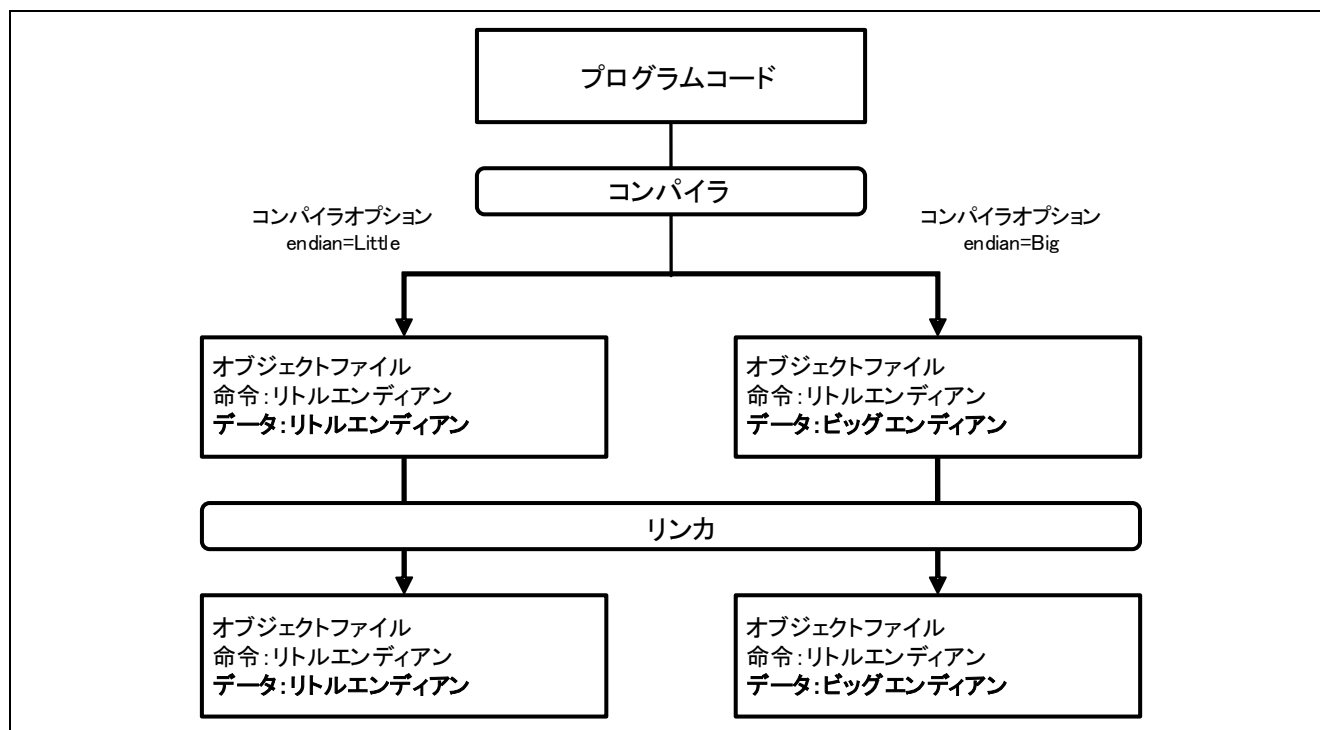


図 1.7 コンパイラオプションによるエンディアン指定

1.3 リセット機能

H8/3048 と RX231 のリセット種別の相違点を以下に示します。

1.3.1 リセット要因

H8/3048 と RX231 のリセット要因を表 1.2 に示します。

表 1.2 リセット要因

H8/3048	RX231
リセット	- RES#端子リセット - パワーオンリセット - 電圧監視 0 リセット - 電圧監視 1 リセット - 電圧監視 2 リセット - 独立ウォッチドッグタイマリセット - ウォッチドッグタイマリセット - ソフトウェアリセット

(1) リセットベクタの構成

H8/3048 のリセットベクタは、ベクタ番号 0（ベクタアドレス H'0000～H'0003）に割り当てられています。

RX231 では複数のリセット要因に対して、リセットベクタはひとつです。リセット処理内でリセットステータスレジスタ 0～2 にてリセット要因判定を行い、要因別の処理を行います。

1.3.2 リセット要因と初期化範囲

H8/3048 は RES#端子を要因としたリセットの場合、CPU、周辺内部モジュール全体を初期化します。RX231 ではリセット要因ごとにリセット検出関連フラグがあります。リセット検出関連フラグを判別することで、リセットから復帰後、リセット要因を確認できます。RX231 のリセット要因別の初期化範囲を表 1.3 に示します。

表 1.3 RX231 リセット初期化範囲

リセット対象	リセット要因							
	RES#端子 リセット	パワーオン リセット	電圧監視 0 リセット	独立 ウォッチ ドッグタイ マ リセット	ウォッチ ドッグタイ マ リセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフト ウェアリ セット
パワーオンリセット検出フラグ	○	-	-	-	-	-	-	-
コールドスタート/ ウォームスタート判別フラグ	- *1	○	-	-	-	-	-	-
電圧監視 0 リセット検出フラグ/ バッテリーバックアップ機能 のレジスタ	○	○	-	-	-	-	-	-
独立ウォッチドッグタイマ リセット検出フラグ/ 独立ウォッチドッグタイマ のレジスタ	○	○	○	-	-	-	-	-
ウォッチドッグタイマリ セット検出フラグ/ ウォッチドッグタイマのレ ジスタ	○	○	○	○	-	-	-	-
電圧監視 1 リセット検出フ ラグ/ 電圧監視機能 1 のレジスタ	○	○	○	○	○	-	-	-
電圧監視 2 リセット検出フ ラグ 電圧監視機能 2 のレジスタ	○	○	○	○	○	○	-	-
ソフトウェアリセット検出 フラグ	○	○	○	○	○	○	○	-
リアルタイムクロックのレ ジスタ*2	-	-	-	-	-	-	-	-
上記以外のレジスタ、CPU および内部状態	○	○	○	○	○	○	○	○

○：初期化されます

－：変化しません

【注】 *1 電源投入時は初期化されます。

*2 一部の制御ビットは、すべてのリセットにより初期化されます。

1.4 クロック設定

1.4.1 クロック源

クロック源の種類について示します。H8/3048 ではソフトによるクロック制御は行わないのに対し、RX では各クロックの設定を行う必要があり、それによってクロック源や周波数の切り替えが可能となっています。表 1.4 に H8/3048 と RX231 のクロック源一覧を示します。

表 1.4 H8/3048 と RX231 のクロック源一覧

H8/3048	RX231
システムクロック	- メインクロック発振器 - サブクロック発振器 - PLL 回路 - USB 専用 PLL 回路 - 高速オンチップオシレータ（HOCO） - 低速オンチップオシレータ（LOCO） - IWDT 専用オンチップオシレータ

1.4.2 RX231 クロック発生回路

RX231は、リセット後、LOCO がシステムクロックに選択されています。システムの初期化において、図 1.8 で示す様な各クロック源を必要に応じて発振させ、システムクロックを決定します。クロック発振とシステムクロックの選択切り替えは、発振順序、またはクロック発振安定時間を考慮して設定します。

詳細手順は下記のアプリケーションノートを参考にしてください。

- RX231 グループ 初期設定例 (R01AN2185JJ)

図 1.8 に RX231 のクロック発生回路を示します。

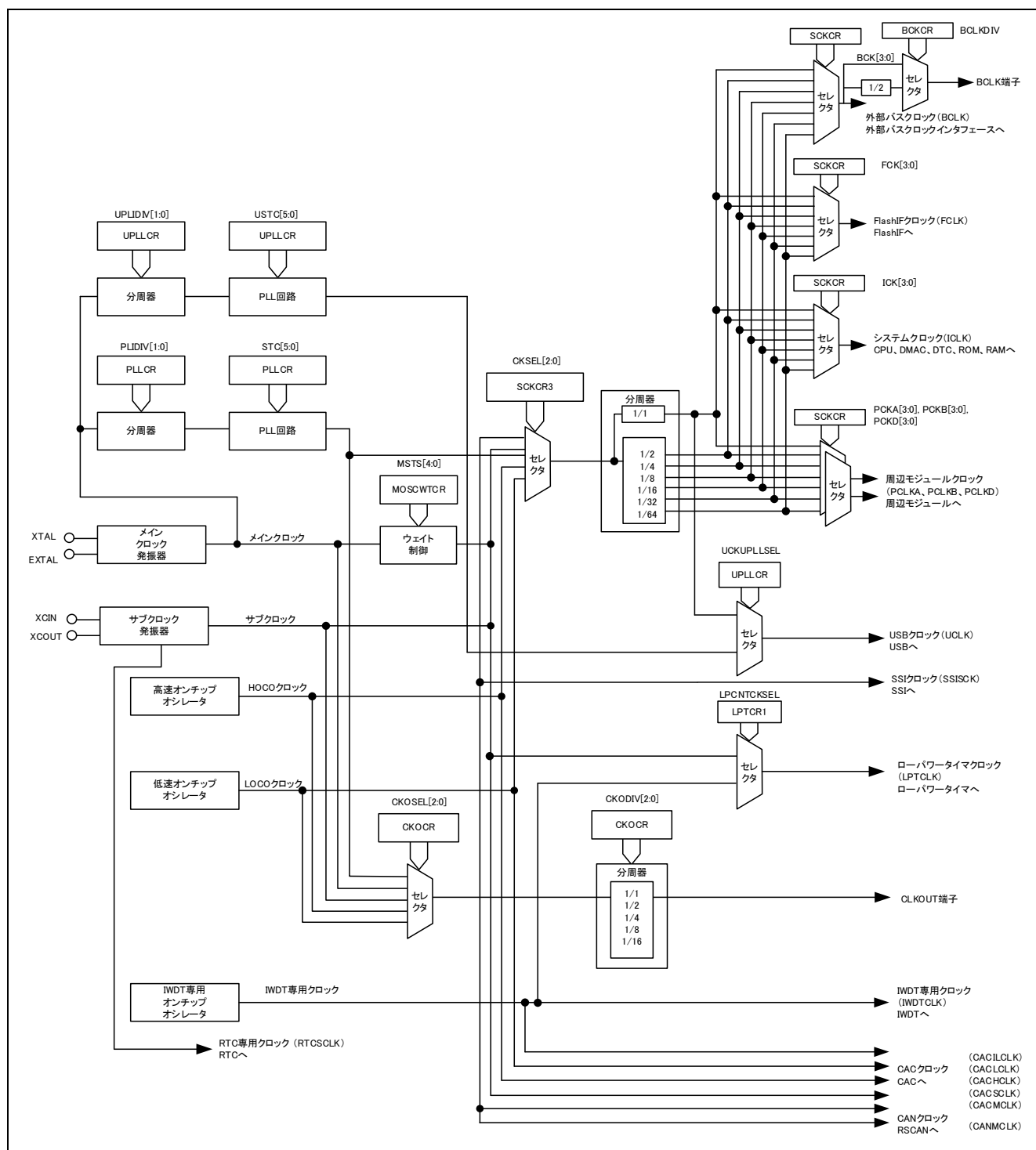


図 1.8 RX231 クロック発生回路

1.5 動作モード

1.5.1 動作モードの比較

H8/3048 では端子のみでモードの設定を行っていましたが、RX231 の場合は端子に加えシステムレジスタの設定が必要です。動作モード設定については「1.5.3 動作モード設定」および RX230 グループ、RX231 グループ ユーザーズマニュアル ハードウェア編を参照して下さい。表 1.5 に RX231 の動作モードを示します。

表 1.5 RX231 動作モード

RX231 の動作モード	モードの説明
シングルチップモード*	内蔵 ROM 有効で外部アドレス空間は無効なモード
内蔵 ROM 有効拡張モード*	内蔵 ROM 有効で外部アドレス空間も有効なモード
内蔵 ROM 無効拡張モード	内蔵 ROM 無効で外部アドレス空間が有効なモード
ブートモード	MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモード。USB または調歩同期式シリアルインタフェース（SCI1）を使用して、MCU 外部から内蔵 ROM を書き換えることができます。

【注】 * システムをリセットすることなく、ユーザプログラム中の ROM 書き換えルーチンにより内蔵 ROM 書き換えが可能

1.5.2 H/3048、RX231 メモリマップ比較

図 1.9 に H8/3048：モード 6、RX231：内蔵 ROM 有効拡張モードの比較図を示します。

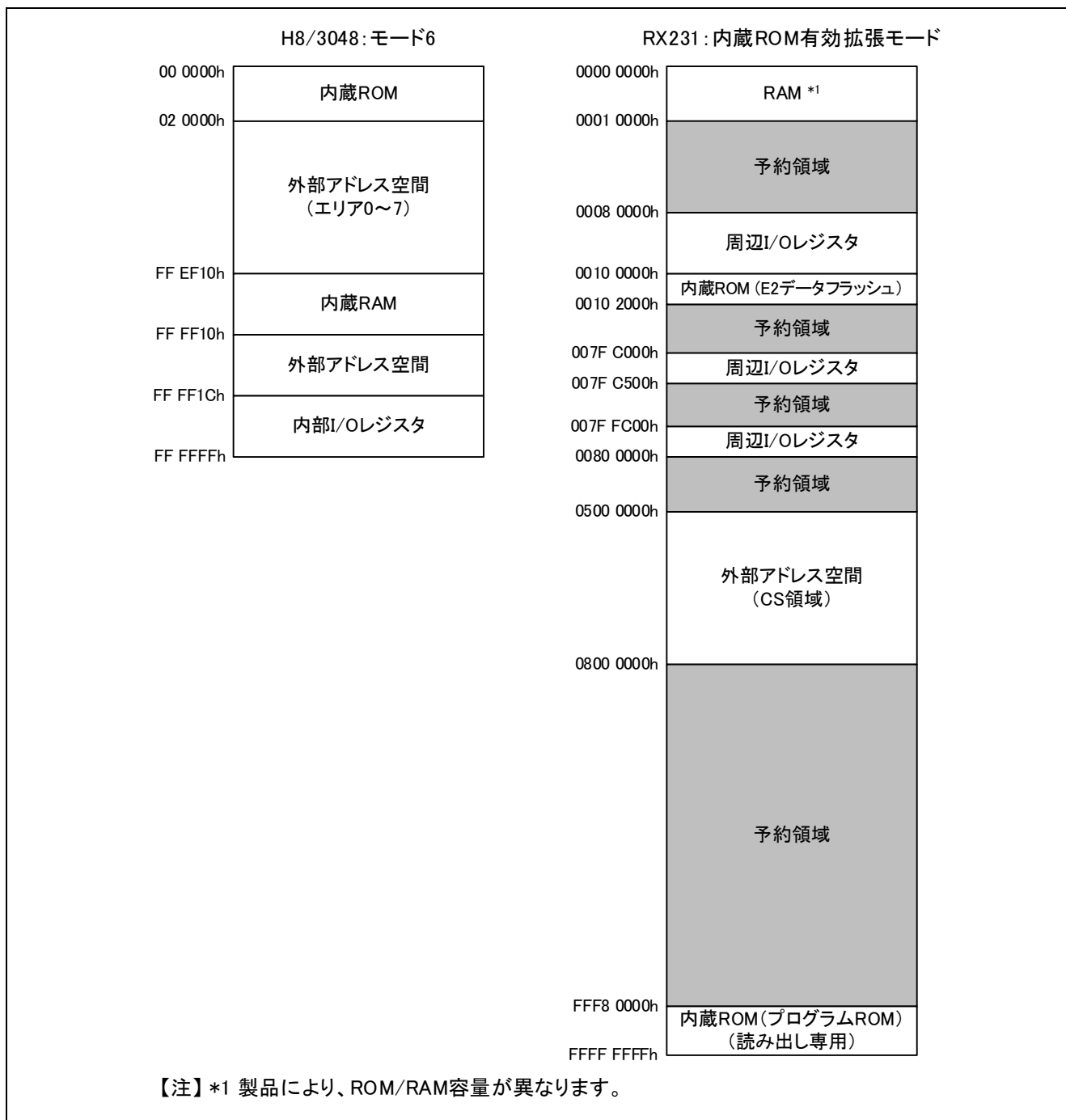


図 1.9 H8/3048 と RX231 メモリマップ比較 (内蔵 ROM 有効拡張モード)

図 1.10 に H8/3048：モード 3,4、RX231：内蔵 ROM 無効拡張モードの比較図を示します。

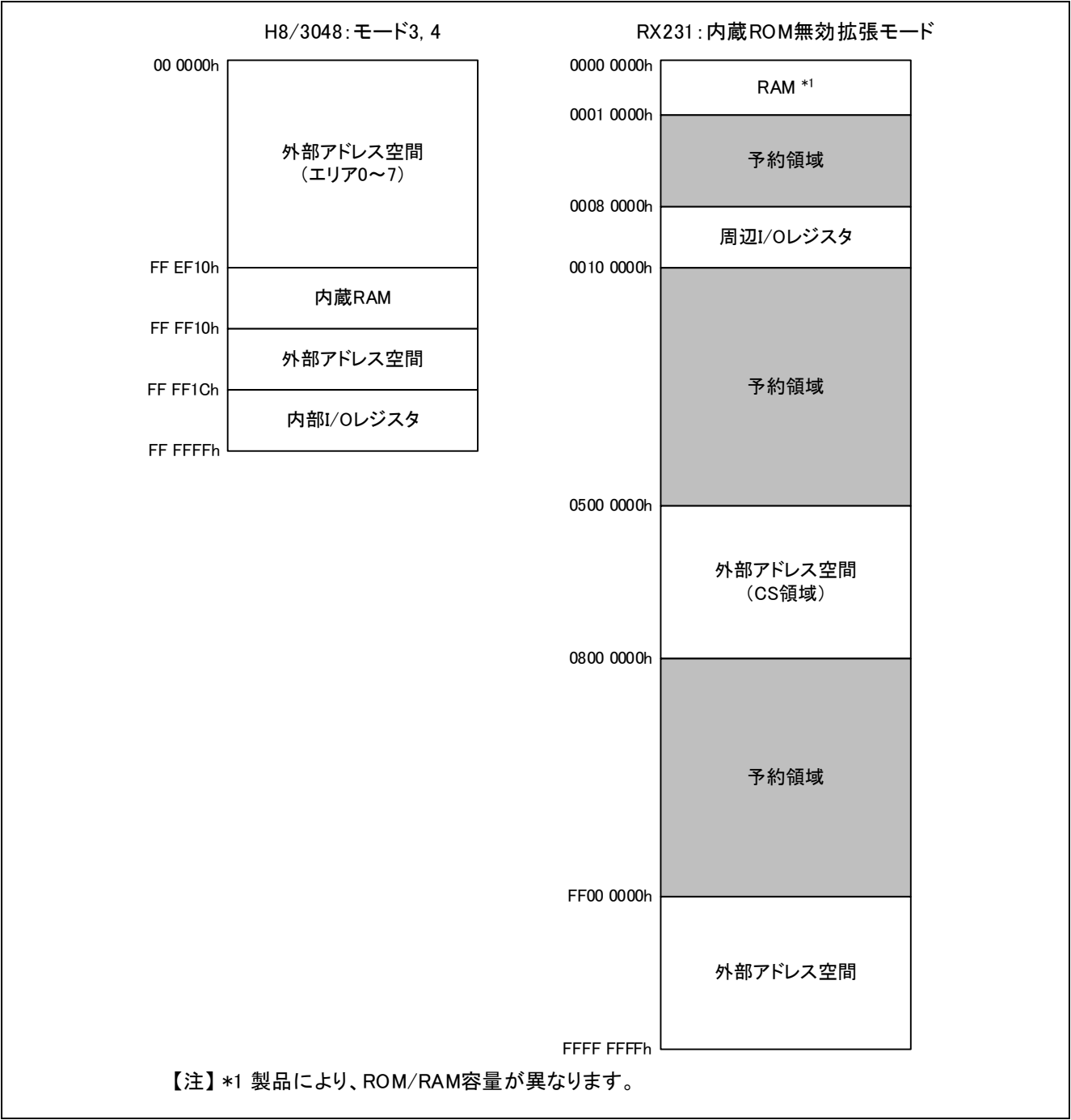


図 1.10 H8/3048 と RX231 メモリマップ比較（内蔵 ROM 無効拡張モード）

図 1.10 に H8/3048 : モード 7、RX231 : シングルチップモードの比較図を示します。

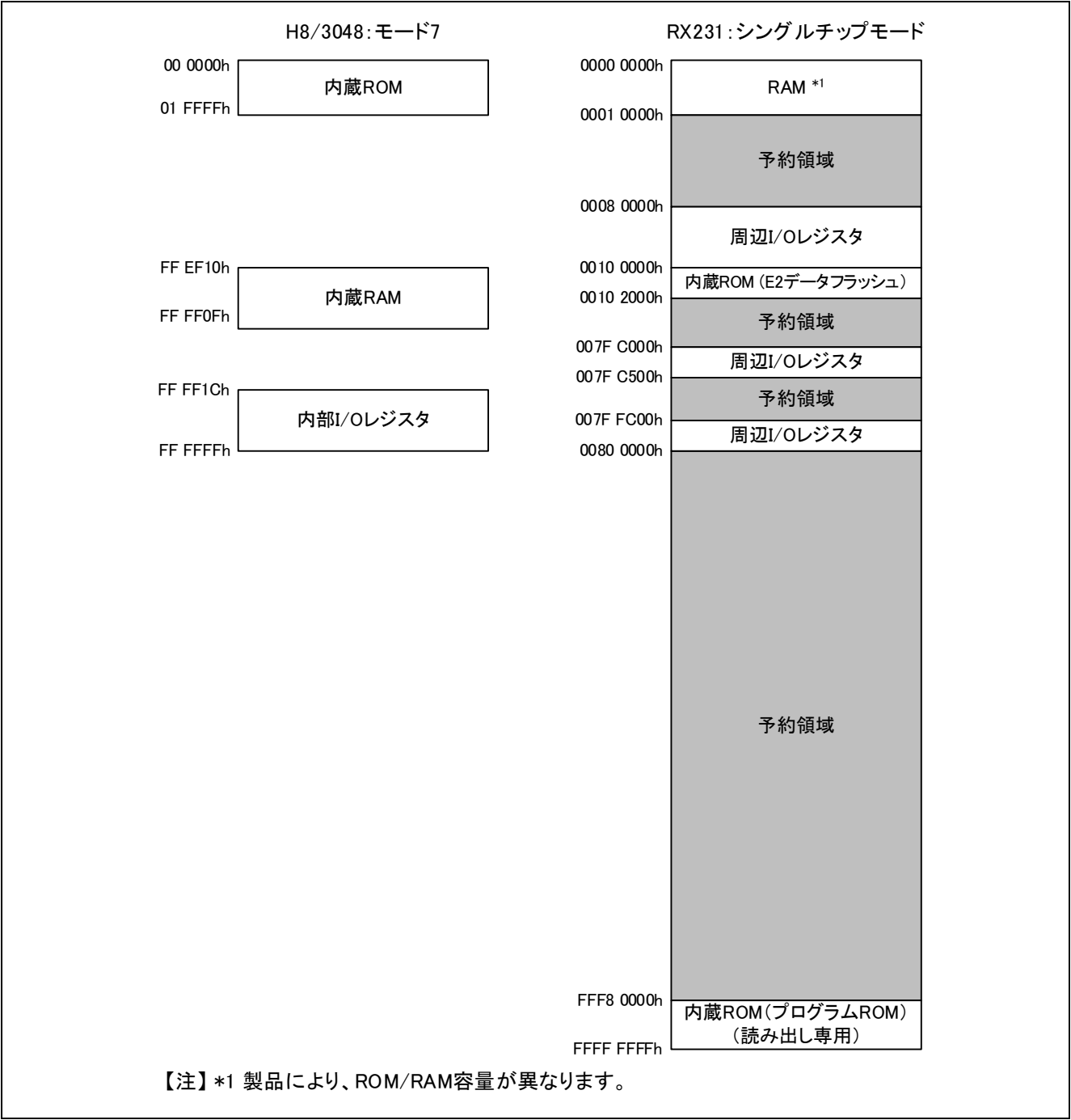


図 1.11 H8/3048 と RX231 メモリマップ比較 (シングルチップモード)

1.5.3 動作モード設定

RX231 の動作モード設定は、リセット解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

モード端子により決まる動作モードを表 1.6 に示します。リセット解除後にソフトウェアにより決定する動作モードを表 1.7 に示します。ソフトウェアは SYSCR0 の設定で内蔵 ROM 有効無効、外部バスの有効無効を設定します。詳細な仕様については RX230 グループ、RX231 グループ ユーザーズマニュアル ハードウェア編を参照して下さい。

表 1.6 RX231 端子設定と動作モード

端子		モード名
MD	UB	
1	-	シングルモード
0	0	ブートモード (SCI インタフェース)
	1	ブートモード (USB インタフェース)

表 1.7 RX231 SYSCR0 レジスタ設定と動作モード

SYSCR0 レジスタ		モード名
ROME ^{*1}	EXBE	
0 (内蔵 ROM 無効)	0 (外部バス無効)	シングルチップモード
1 (内蔵 ROM 有効)	0 (外部バス無効)	
0 (内蔵 ROM 無効)	1 (外部バス有効)	内蔵 ROM 無効拡張モード
1 (内蔵 ROM 有効)	1 (外部バス有効)	内蔵 ROM 有効拡張モード

【注】 1 ROME ビットを 0 にすると 1 に戻せません

1.6 プロセッサモード

RX231 には、スーパーバイザモードとユーザモードの 2 つのプロセッサモードがあります。このプロセッサモードを使用することで、CPU リソースに対する階層的な保護機構を実現可能です。

H8/3048 からの置き換えでは、ユーザモードは使用せず、スーパーバイザモードのみで動作することで、プロセッサモードを意識せずソフトの置き換えが可能になります。

表 1.8 プロセッサモード

プロセッサモード	移行条件	概要
スーパーバイザモード	- リセット解除 - 例外の発生 (PSW.PM ビットが“0”に変化)	すべての CPU リソースにアクセスでき、すべての命令を実行できる（制限なし）。通常は、OS 等のシステムプログラムを動作させるモード。
ユーザモード	PSW.PM ビットに“1”を設定 但し、この時はスタックに退避した PSW.PM ビットを“1”にした後 RTE 命令を実行、または BPSW に退避した PSW.PM ビットを“1”にした後 RTFI 命令を実行。	PSW の一部のビットや、BPC、BPSW など、一部の CPU リソースへのライトアクセスが制限され、特権命令も使用できない。 通常は、アプリケーションプログラム等のユーザプログラムを動作させるモード。

スーパーバイザモード⇒ユーザモード移行方法

スタック上に退避されている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

ユーザモード⇒スーパーバイザモード移行方法

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

1.7 例外処理

本節は割り込みを含む例外処理全般にわたる H8/3048 と RX231 の相違点を記載します。

1.7.1 例外処理要因の比較

H8/3048、RX231 の例外要因の比較を表 1.9 に表します。

表 1.9 例外要因の比較

要因		H8/3048	RX231
リセット		あり	あり
割り込み	NMI	あり	あり
	内部	あり	あり ^{*1 *2}
	外部	あり	あり ^{*1 *2}
未定義命令例外		なし	あり ^{*3}
特権命令例外		なし	あり ^{*4}
アクセス例外		なし	あり ^{*5}
浮動小数点例外		なし	あり ^{*6}
トラップ		あり (TRAPA 命令)	あり (INT、BRK 命令)

- 【注】 1. 高速割り込みが可能です。(高速割り込みは優先レベル 15 (最優先) の割り込みです。)
2. 割り込み例外処理を図 1.12 に示します。
3. 未定義命令 (実装されていない命令) の実行を検出した場合に発生します。
4. 特権命令例外はユーザモード動作状態で、特権命令を使用した場合に発生します。
5. CPU からのメモリアクセスによるエラーが検出された場合に発生します。
6. 5 つの例外事象 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理を検出した場合に発生します。

1.7.2 例外処理の優先順位

表 1.10 に H8/3048 と RX231 の例外要因に対する優先順位の比較を示します。

表 1.10 例外事象優先順位

優先順位	H8/3048	RX231
高い  低い	リセット	リセット
	外部割り込み (NMI)	ノンマスカブル割り込み
	— (該当なし)	高速割り込み
	割り込み (内部／外部)	割り込み (内部／外部) ^{*1}
	— (該当なし)	命令アクセス例外
	— (該当なし)	未定義命令例外・特権命令例外
	トラップ命令	無条件トラップ
	— (該当なし)	オペランドアクセス例外
	— (該当なし)	浮動小数点例外

- 【注】 ^{*1} 割り込みの内の優先順位は割り込みコントローラにより優先順位を決定します。

1.7.3 例外処理の基本処理フロー図

図 1.12 に H8/3048 と RX231 の割り込み例外処理（内部／外部）フローを示します。

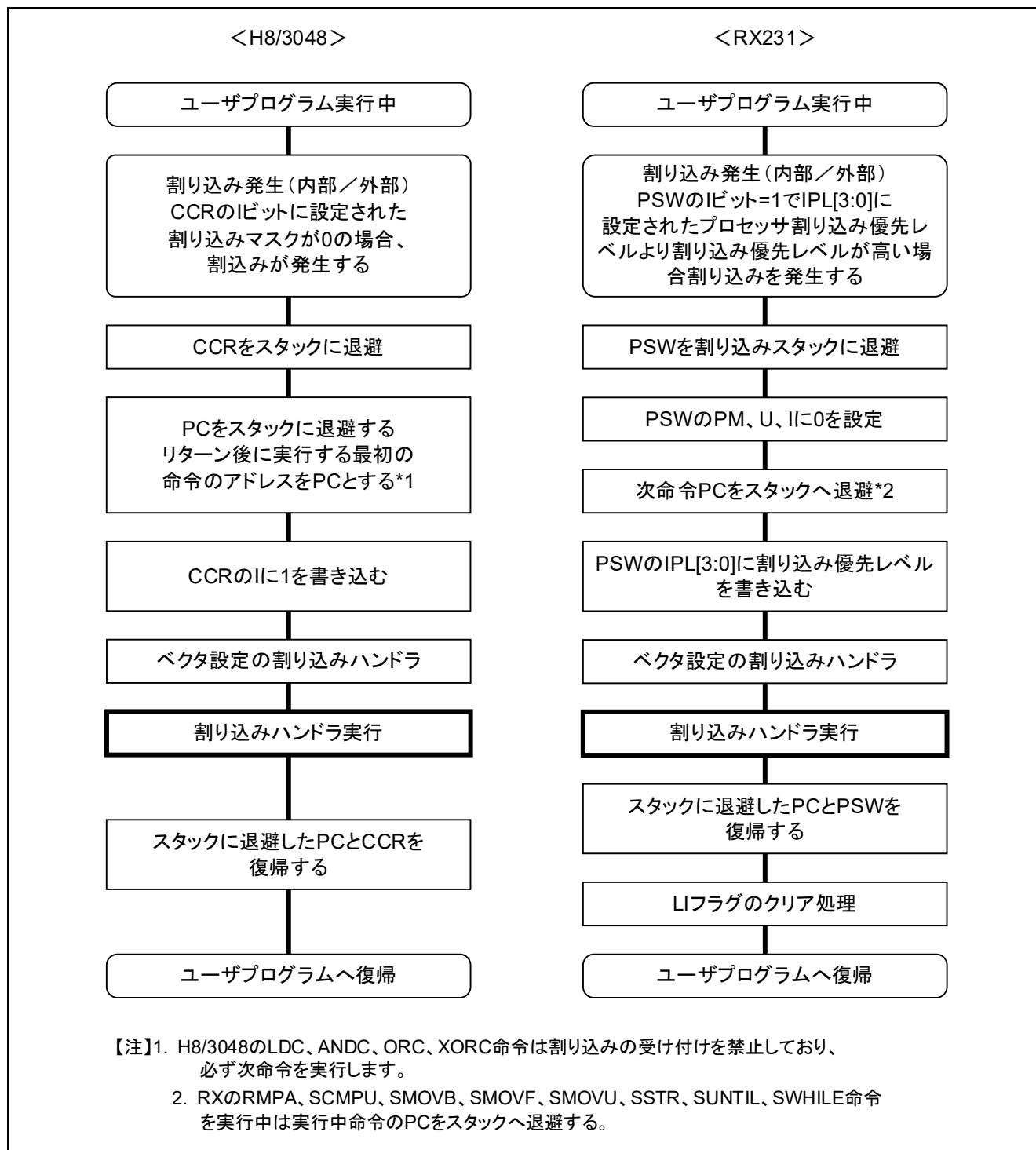


図 1.12 割り込み例外処理（内部／外部）フロー

1.7.4 ベクタ構成

H8/3048 は固定ベクタのみで構成されているのに対し、RX231 では例外ベクタテーブルと、割り込みベクタテーブルに分離されています。RX231 では割り込みを許可する前に割り込みベクタテーブルを設定します。割り込みベクタテーブルの設定は INTB レジスタに割り込みベクタテーブルの先頭アドレスを設定します。例外ベクタはリセット等のシステム例外など割り付けられており、こちらは再配置できません。ベクタアドレスのメモリ再配置については RX230 グループ、RX231 グループ ユーザーズマニュアル ハードウェア編を参照して下さい。

図 1.13 に RX231 における割り込みベクタテーブルの設定を示します。

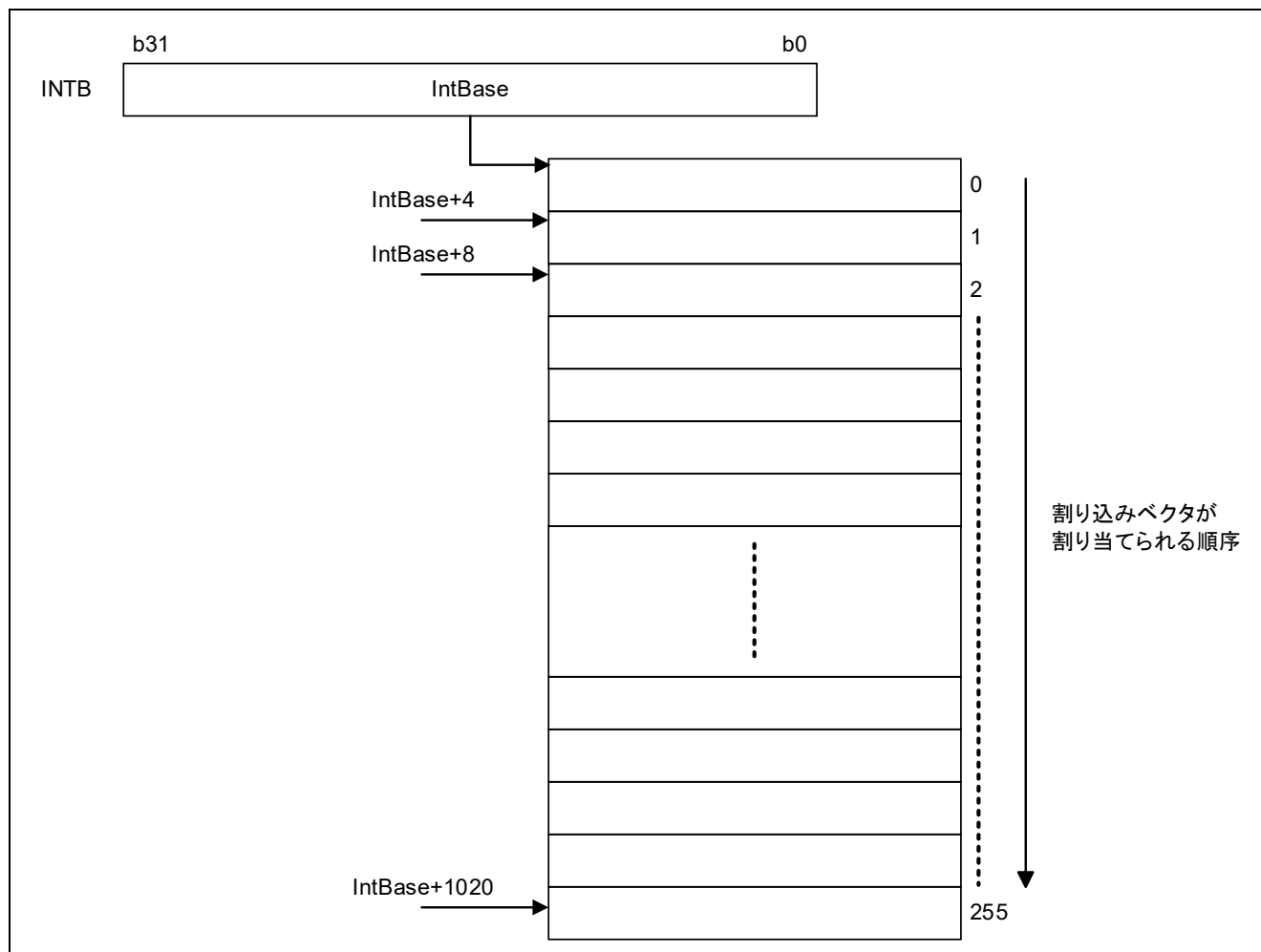


図 1.13 RX231 における割り込みベクタテーブル設定

1.7.5 CCR (PSW) による割り込みのマスク

H8/3048 は、SYSCR の UE ビットに 0 を設定した場合に CCR の I ビットと CCR の UI ビットを組み合わせで最大 3 段階の割り込みマスクを設定できます。RX231 では PSW の IPL ビット、I ビットで最大 16 段階の割り込みマスクを設定できます。

表 1.11 に PSW 内の割り込み関連ビットを示します。

表 1.11 PSW 内の割り込み関連ビット

RX231 PSW ビット名	説明
IPL[3:0]	MPU による割り込みマスクレベル (優先レベル) 設定値 0~Fh (レベル 0~15) 割り込み要求発生時、本レベルと割り込み要因毎の優先度レベルを比較し、マスクレベルより高い場合に割り込みが受け付けられます。
I	I ビット (割り込み許可ビット) 設定値 0: 割り込みを許可しない 1: 割り込みを許可する システムリセット後、本ビットを"1"にしないと割り込みは入りません。 また、割り込みを受け付けた場合、本ビットは"0"となります。 その間の割り込みは受け付けませんが、割り込み発生時、割り込みコントローラの割り込みステータスフラグには"1"がセットされます。

1.8 割り込み機能

本節は H8/3048 と RX231 における割り込みコントローラの機能比較を示します。

1.8.1 割り込みコントローラ

表 1.12 に割り込みコントローラのスペック比較を示します。

表 1.12 割り込みコントローラ比較

項目		H8/3048	RX231
割り込み	周辺機能 割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ／レベル^{*1}	- 周辺モジュールからの割り込み - 割り込み検出：エッジ／レベル^{*1}
	外部機能 割り込み	- IRQ0～IRQ5 端子 - 要因数：6 - 割り込み検出：Low レベル／立ち下がりエッジを要因ごとに設定可能	- IRQ0～IRQ7 端子 - 要因数：8 - 割り込み検出：Low レベル／立ち下がりエッジ／立ち上がりエッジ／両エッジを要因ごとに設定可能 - デジタルフィルタ機能をサポート
	ソフトウェア 割り込み	—	レジスタ書き込みによる割り込み 要因数：1
	イベントリン ク割り込み	—	ELC イベントにより、ELSR8I、 ELSR18I、ELSR19I 割り込みを発生
	割り込み 優先順位	レジスタにより優先・非優先のレベルを要因ごと、またはモジュールごとに設定可能	レジスタにより 0～Fh のレベルを要因ごとに設定可能
	高速割り込み	-	高速割り込みをサポート
	DTC、DMAC 制御	起動可能 ^{*2}	起動可能 ^{*2}
ノンマスカブル 割り込み	NMI 割り込み 端子	- NMI 端子から割り込み - 割り込み検出：立ち下がりエッジ／立ち上がりエッジ	- NMI 端子から割り込み - 割り込み検出：立ち下がりエッジ／立ち上がりエッジ - デジタルフィルタ機能をサポート
	その他の要因	トラップ命令	- 発振停止検出割り込み - WDT アンダフロー／リフレッシュエラー - IWDT アンダフロー／リフレッシュエラー - 電圧監視 1 割り込み - 電圧監視 2 割り込み - VBATT 電圧監視割り込み - 低消費電力状態からの復帰
低消費電力状態からの復帰			- スリープモード、ディープスリープモード：ノンマスカブル割り込み、全割り込み要因で復帰 - ソフトウェアスタンバイモード：ノンマスカブル割り込み、IRQ0～IRQ7 割り込み、RTC アラーム/周期割り込みで復帰

【注】 1. 接続固定周辺モジュールからの検出方法は固定です。

2. 起動要因は、H8/3048 では DMAC に、RX231 では割り込みコントローラに設定します。

H8/3048 に搭載されている割り込みコントローラでは、IRQ の割り込みフラグのみ制御し、周辺モジュールの割り込みフラグは、周辺モジュールが制御します。RX231 に搭載されている割り込みコントローラでは、割り込み要求レジスタで IRQ、周辺モジュールすべての割り込みフラグを制御します。また、DMAC の起動要因設定も割り込みコントローラで制御します。H8/3048 に搭載されている DMAC には、NMI 発生時転送禁止機能がありますが、RX231 にはありません。

割り込みコントローラの比較を表 1.13 に示します。

表 1.13 割り込みコントローラのレジスタの比較

H8/3048	RX231
割り込みコントローラ	
システムコントロールレジスタ (SYSCR)	
ソフトウェアスタンバイ (SSBY)	消費電力低減機能 スタンバイコントロールレジスタ (SBYCR)
スタンバイタイムセレクト 2~0 (STS)	- (対応するレジスタは存在しない)
ユーザビットイネーブル (UE)	- (対応するレジスタは存在しない)
RAM イネーブル (RAME)	動作モード システムコントロールレジスタ 1 (SYSCR1)
NMI エッジセレクト (NMIEG)	割り込みコントローラ (ICUb) NMI 端子割り込みコントロールレジスタ (NMICR)
割り込みコントローラ	割り込みコントローラ (ICUb)
インタラプトプライオリティレジスタ A、B (IPRA、IPRB)	割り込み要因プライオリティレジスタ n (IPRn)
割り込みコントローラ	割り込みコントローラ (ICUb)
IRQ ステータスレジスタ (ISR)	割り込み要求レジスタ n (IRn)
周辺モジュール	
割り込み要求フラグレジスタ	
割り込みコントローラ	割り込みコントローラ (ICUb)
IRQ イネーブルレジスタ (IER)	割り込み要求許可レジスタ m (IERm)
周辺モジュール	
割り込み要求許可レジスタ	
割り込みコントローラ	割り込みコントローラ (ICUb)
IRQ センスコントロールレジスタ (ISCR)	IRQ コントロールレジスタ i (IRQCRi)
DMA コントローラ	割り込みコントローラ (ICUb)
データトランスファコントロールレジスタ (DTCR)	DMAC 起動要因選択レジスタ m (DMRSRm)
- (対応するレジスタは存在しない)	割り込みコントローラ (ICUb) 高速割り込み設定レジスタ (FIR) ソフトウェア割り込み起動レジスタ (SWINTR) DTC 転送要求許可レジスタ n (DTCERN) IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0) IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0) ノンマスクابل割り込みステータスレジスタ (NMISR) ノンマスクابل割り込み許可レジスタ (NMIER) ノンマスクابل割り込みステータスクリアレジスタ (NMICLR) NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE) NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

1.8.2 割り込みフラグの管理

H8/3048 の周辺モジュールでエッジ検出による割り込みが発生した場合、割り込みハンドラ内で割り込みフラグ（割り込み要因フラグ）のクリア（ダミーリードとクリア）を行います。ハンドラ内でクリアしないと再度割り込みが発生するためです。RX231 の割り込みフラグ（割り込みステータスフラグ）は割り込みコントローラ内で管理されます。割り込みコントローラはCPU または DMAC、DTC に割り込み要求を行い、その受け付け応答を受信すると自動的に当該の割り込みステータスフラグをクリアする機能を備えているため、H8/3048 の様なフラグのクリア、ダミーリードの必要がありません。なお、レベル検出による割り込みに関しては、周辺モジュール内に要因フラグが存在し、これをクリアする必要があります。詳細は RX230 グループ、RX231 グループユーザーズマニュアル ハードウェア編を参照して下さい。

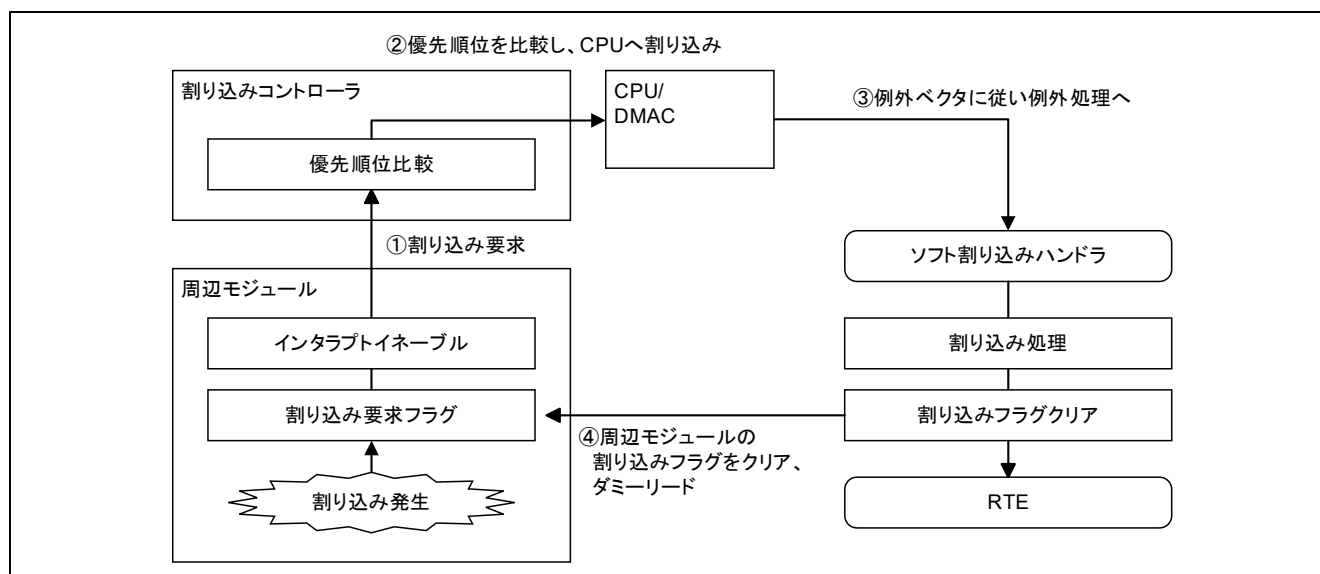


図 1.14 H8/3048 周辺モジュール割り込み（エッジ検出）

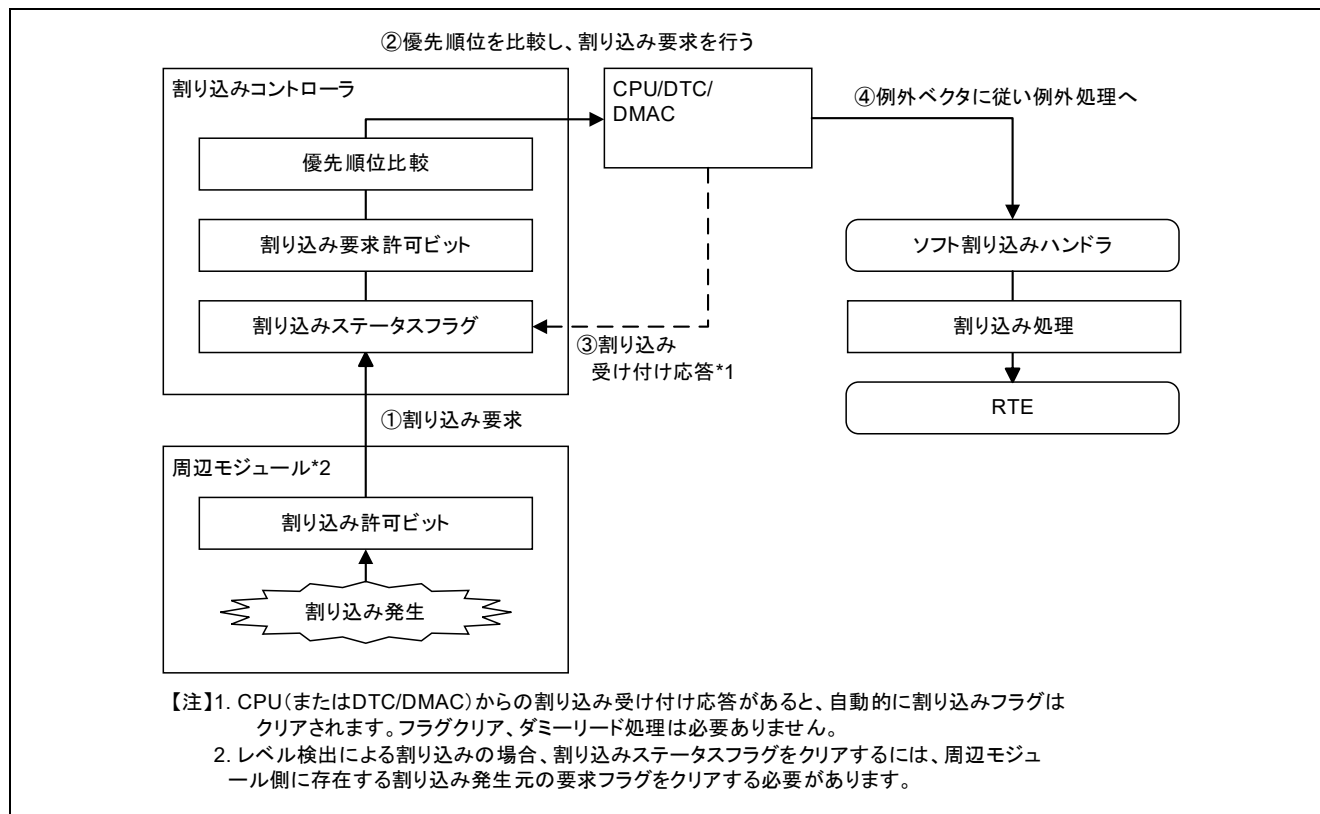


図 1.15 RX231 周辺モジュール割り込み（エッジ検出）

1.8.3 高速割り込み制御

RX231 は、通常の割り込みに加えて高速割り込みが可能です。

通常割り込み：割り込み優先順位判定後、コントロールレジスタ、汎用レジスタを内部 RAM または、外部 RAM ヘソフトウェアにて退避する必要があります。

高速割り込み：最優先割り込みとして動作します。割り込み発生時、コントロールレジスタは専用レジスタに退避されるため、通常割り込みより高速な割り込み起動を実現します。

コンパイラオプションで一部の汎用レジスタを割り込み専用に割り付ける事ができます。この場合汎用レジスタの退避、復帰を削除することが可能なため、さらに高速な割り込みが実現可能です。

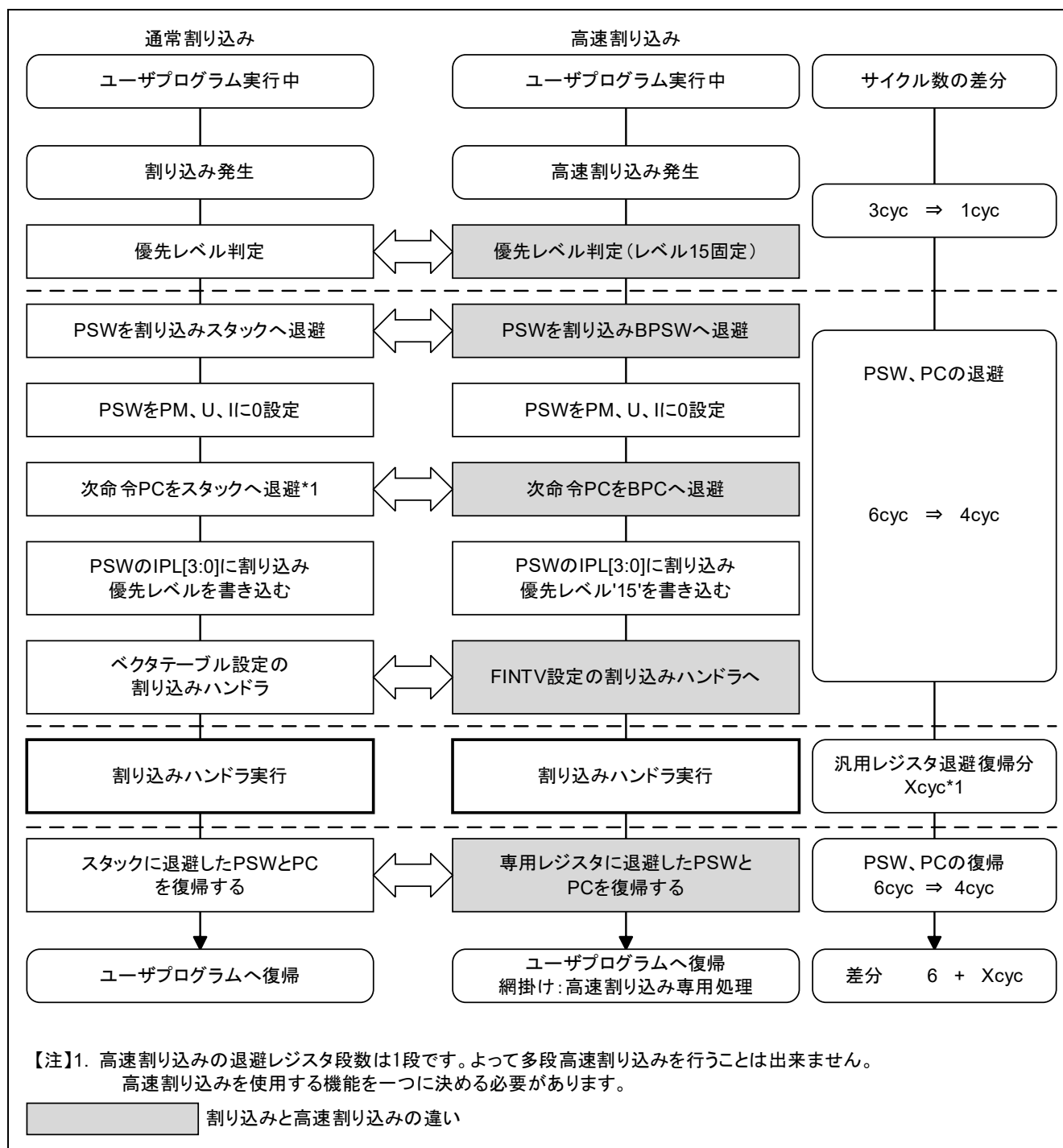


図 1.16 RX231 通常割り込みと高速割り込みの差分

1.8.4 デジタルフィルタ

RX231 は、IRQ、NMI のレベル信号に関してはデジタルフィルタ機能を設けています。デジタルフィルタ用のサンプリングクロックを設定することが可能で、サンプリングクロックベースで3回分に満たない割り込み信号は、割り込みとして受け付けません。

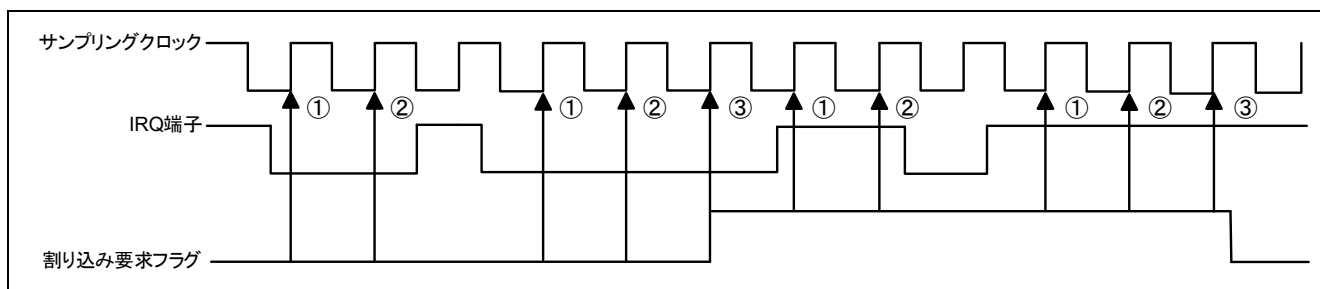


図 1.17 デジタルフィルタ動作例

1.8.5 多重割り込み

RX231 は、多重割り込みが可能です。RX231 で多重割り込みを実現するには、割り込みハンドラの中で PSW (I) ビット=1 (割り込み許可) とする必要があります。多重割り込みを許可しない場合の動作シーケンスを図 1.18、多重割り込みの動作シーケンスを図 1.19 に示します。

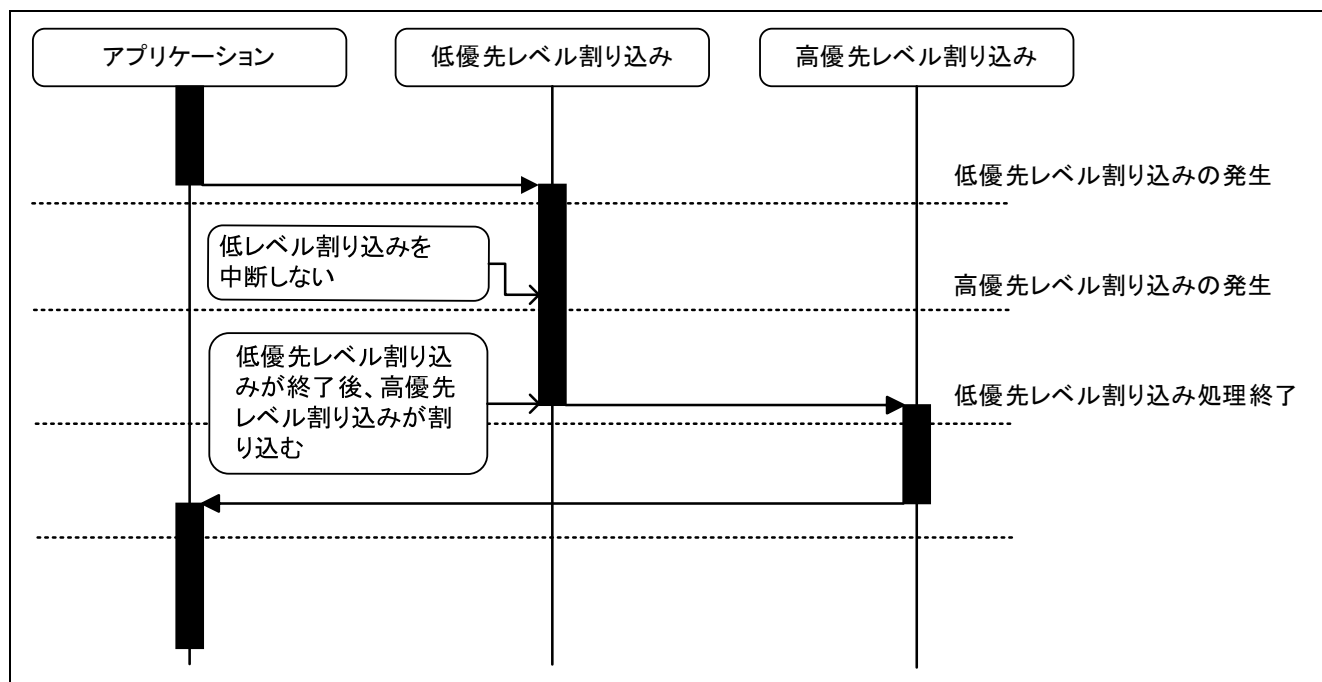


図 1.18 RX231 割り込みシーケンス (PSW (I) ビット制御しない場合)

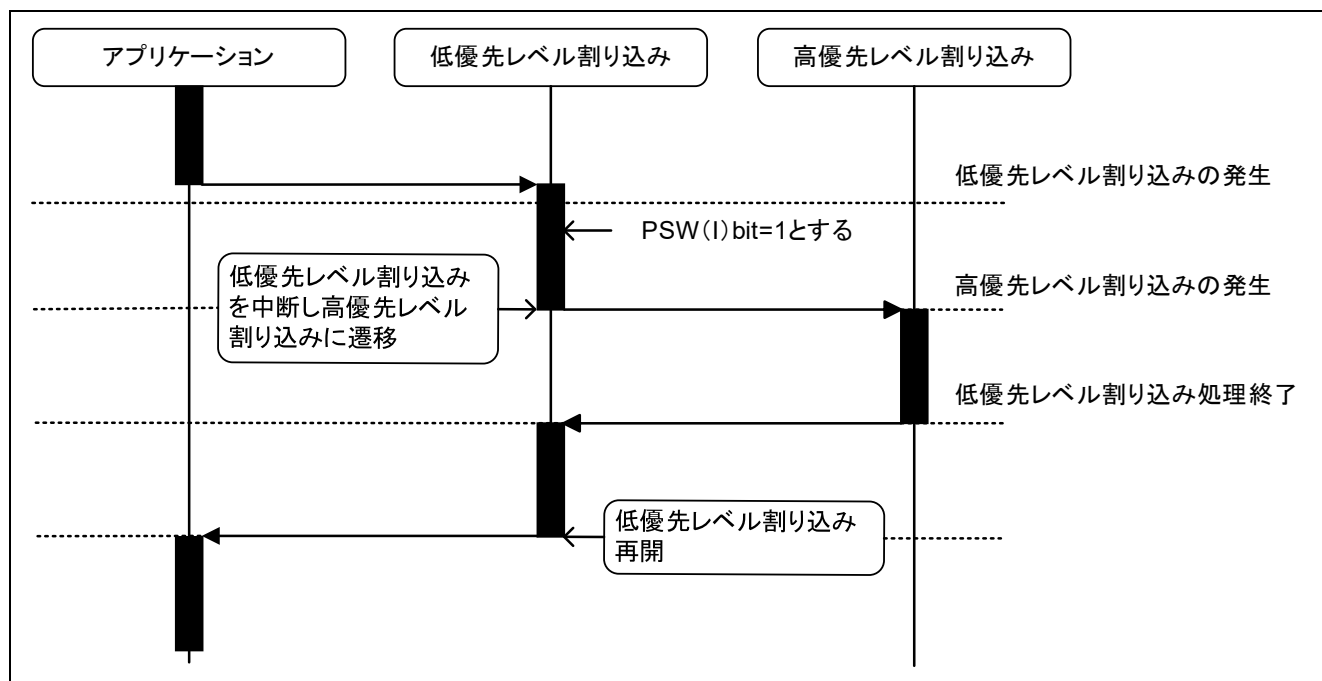


図 1.19 RX231 割り込みシーケンス (PSW (I) ビット制御を行う場合)

2. 内蔵機能（周辺モジュール）

2.1 内蔵機能一覧

表 2.1 内蔵機能一覧(1/2)

H8/3048	RX231
バスコントローラ	バスコントローラ
DMA コントローラ	DMA コントローラ (DMACA)
I/O ポート	I/O ポート
16 ビットインテグレートドタイマユニット (ITU)	マルチファンクションタイマパルスユニット 2 (MTU2a) 16 ビットタイマパルスユニット (TPUa)
プログラマブルタイミングパターンコントローラ (TPC)	—
ウォッチドッグタイマ	ウォッチドッグタイマ (WDTA) 独立ウォッチドッグタイマ (IWDTa)
シリアルコミュニケーションインタフェース	シリアルコミュニケーションインタフェース (SCIg、SCIh)
スマートカードインタフェース	
A/D 変換器	12 ビット A/D コンバータ (S12ADE)
D/A 変換器	12 ビット D/A コンバータ (R12DAA)
4K バイト RAM	最大 64K バイト RAM
ROM マスク ROM : 最大 128K バイトまたは フラッシュメモリ : 128K バイト	ROM ユーザ領域 : 最大 512K バイト データ領域 : 8K バイト エクストラ領域 : スタートアップ領域情報、 アクセスウィンドウ情報、ユニーク ID を格納
割り込みコントローラ	割り込みコントローラ (ICUb)
低消費電力状態	消費電力低減機能

表 2.2 内蔵機能一覧

H8/3048	RX231
—	動作電力低減機能
	データトランスファコントローラ (DTCa)
	マルチファンクションピンコントローラ (MPC)
	イベントリンクコントローラ (ELC)
	CRC 演算器 (CRC)
	シリアルペリフェラルインターフェース (RSPIa)
	シリアルサウンドインターフェース (SSI)
	I ² C バスコントローラ (RIICa)
	ポートアウトプットイネーブル 2 (POE2a)
	コンペアマッチタイマ (CMT)
	リアルタイムクロック (RTCe)
	データ演算回路 (DOC)
	クロック周波数精度測定回路 (CAC)
	静電容量式タッチセンサ (CTSU)
	SD ホストインターフェース (SDH1a)
	メモリプロテクションユニット (MPU)
	8 ビットタイマ (TMR)
	CAN モジュール (RSCAN)
	ローパワータイマ (LPT)
	USB2.0 ホスト/ファンクションモジュール (USBd)
	IrDA インタフェース
	Trusted Secure IP (TSIP-Lite)
	温度センサ (TEMPSA)
	コンパレータ B (CMPBa)

2.2 I/O ポート

2.2.1 I/O ポート仕様比較

表 2.3 I/O ポート数

項目	H8/3048	RX231		
ピン数	100 ピン	100 ピン	64 ピン	48 ピン
入出力端子	70 本	83 本	47 本	34 本
入力プルアップ MOS	20 本	—	—	—
入力プルアップ抵抗	—	83 本	47 本	34 本
オープンドレイン出力	—	58 本	35 本	26 本
5V トレラント	—	8 本	5 本	5 本
シュミット入力	15 本	—	—	—
入力端子	8 本	1 本	1 本	1 本
ポートの合計数	78 本	84 本	48 本	34 本

2.2.2 I/O 設定

H8/3048、RX231 デバイスでは、周辺モジュールの入出力端子や割り込み入力端子など、複数の機能でポートを共有しています。そのため、I/O ポートのレジスタ、および内蔵周辺モジュールのレジスタの設定により、どの機能として端子を使用するか選択する必要があります。

H8/3048 は、該当機能の端子を選択する場合、動作モード、複数機能のレジスタ設定を組み合わせる必要があります。対して RX231 ではマルチピンファンクションコントローラ (MPC) でこれらの制御が集約されました。

また、RX231 ではこれ以外に様々な追加設定を行うことが可能です。RX231 の I/O 設定の概念を図 2.1 に示します。

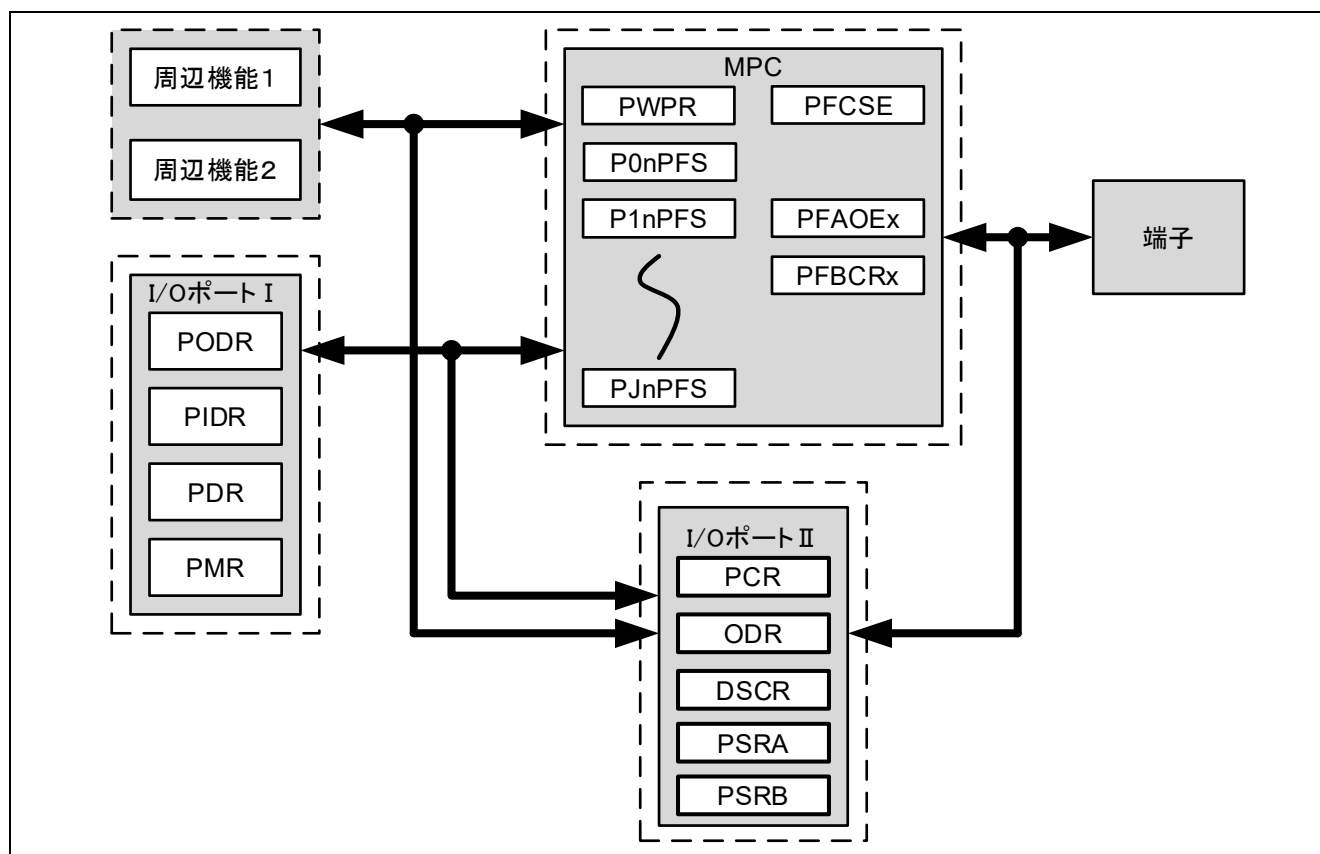


図 2.1 RX231 の I/O 設定

RX231 の I/O ポートはマルチプレクス端子になっています。よって、I/O ポートのピンを目的のポート種別 (汎用 I/O ポートまたは周辺モジュール) に割り当てる必要があります。

- 汎用ポートとして割り当てる場合は I/O ポート n*1 を設定します。
 - I/O ポートを汎用ポートとして設定する場合に設定するレジスタを表 2.4 に示します。
 - 汎用ポートとしての設定例は図 2.2 に示します。
- 周辺機能として割り当てる場合は I/O ポート n、マルチファンクションピンコントローラ (MPC) を設定します。
 - I/O ポートを周辺機能として設定する場合に設定するレジスタを表 2.4～表 2.7 に示します。
 - 周辺モジュールの初期化フローは図 2.3 に示します。

【注】 *1 n はポート番号:0～5,A～E,H,J

表 2.4 RX231 I/O ポートのレジスタ構成

レジスタ	機能名	機能
PDR	ポート方向レジスタ	汎用入出力ポートが選択されているときポートの入力/出力を指定する。
PODR	ポート出力レジスタ	汎用出力ポート。汎用出力ポートとして使用する端子の出力データを格納します。
PIDR	ポート入力レジスタ	汎用入力ポート。ポートの端子の状態を反映。PDR、PMR の値に関係なく端子の状態が読めます
PMR	ポートモードレジスタ	ポート端子機能を設定する。 汎用入出力ポートまたは周辺機能として使用するかを端子毎に設定します。
ODR0	オープンドレイン制御レジスタ 0	ポートの出力を以下の形態から選択します。 • CMOS 出力 • N チャネルオープンドレイン • P チャネルオープンドレイン • Hi-Z
ODR1	オープンドレイン制御レジスタ 1	ポートの出力を以下の形態から選択します。 • CMOS 出力 • N チャネルオープンドレイン
PCR	プルアップ制御レジスタ	ポートの入力プルアップ抵抗の有効/無効を指定します。
PSRA	ポート切り替えレジスタ A	以下のどちらを使用するのか選択します。*1 • PB6、PB7 の汎用入出力機能 • PC0、PC1 の汎用入出力機能
PSRB	ポート切り替えレジスタ B	以下のどちらを使用するのか選択します。*2 • PB5、PB3、PB1、PB0 の汎用入出力機能 • PC3、PC2、PC1、PC0 の汎用入出力機能
DSCR	駆動能力制御レジスタ	駆動能力の設定を行います。 • 通常出力 • 高駆動出力

【注】 *1 PSRA レジスタは 64 ピンパッケージ製品用のレジスタ

*2 PSRB レジスタは 48 ピンパッケージ製品用のレジスタ

I/O ポートを周辺機能に割り当てる場合に必要なレジスタは表 2.4 に示した I/O ポートのレジスタに加えて表 2.5～表 2.7 に記載されているレジスタを設定します。

表 2.5 RX231 レジスタライトプロテクション機能のレジスタ

レジスタ	機能名	機能
PRCR	プロテクトレジスタ	重要なレジスタの書き換えを防止するための書き換え保護を制御します クロック発生回路関連レジスタ、動作モード関連レジスタ、消費電力低減機能関連レジスタ、クロック発生回路関連レジスタ、ソフトウェアリセットレジスタ、ローパワータイム関連レジスタ、LVD 関連レジスタ、バッテリーバックアップ機能関連レジスタ、および本レジスタ自体の保護機能を制御

表 2.6 RX231 モジュールストップ機能のレジスタ

レジスタ	機能名	機能
SBYCR	スタンバイ コントロールレジスタ	スタンバイモードを制御します。
MSTPCRA	モジュールストップ コントロールレジスタ A	以下の周辺機能の動作の解除/偏移を制御します。 TMR、MTU、TPU、CMT、S12AD、DA、DMAC、DTC
MSTPCRB	モジュールストップ コントロールレジスタ B	以下の周辺機能の動作の解除/偏移を制御します。 RSCAN、SCIh、DOC、ELC、コンパレータ B、RSPI0、 USB0、RIIC0、CRC、SCI0,1,5,6
MSTPCRC	モジュールストップ コントロールレジスタ C	以下の周辺機能の動作の解除/偏移を制御します。 RAM、CAC、IRDA、SCI8,9、ディープスリープモード
MSTPCRD	モジュールストップ コントロールレジスタ D	以下の周辺機能の動作の解除/偏移を制御します。 CTSU、SSI、SDHI、Trusted Secure IP
OPCCR	動作電力 コントロールレジスタ	以下のどちらかの動作モードに変更できます。 ● 高速動作モード ● 中速動作モード
SOPCCR	サブ動作電力 コントロールレジスタ	以下のどちらかの動作モードに変更できます。 ● 高速動作モードまたは中速動作モード ● 低速動作モード
RSTCKCR	スリープモード復帰 クロックソース切り替え レジスタ	以下のスリープモード復帰クロックソースを選択できます。 ● LOCO ● HOCO ● メインクロック発振器

表 2.7 RX231 マルチファンクションピンコントローラレジスタ

レジスタ	機能名	機能
PWPR	書き込みプロテクトレジスタ	PFS レジスタへの書き込みプロテクト機能
P0nPFS	P0n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 0 の機能選択する)
P1nPFS	P1n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 1 の機能選択する)
P2nPFS	P2n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 2 の機能選択する)
P3nPFS	P3n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 3 の機能選択する)
P4nPFS	P4n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 4 の機能選択する)
P5nPFS	P5n 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート 5 の機能選択する)
PAnPFS	PAn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート A の機能選択する)
PBnPFS	PBn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート B の機能選択する)
PCnPFS	PCn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート C の機能選択する)
PDnPFS	PDn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート D の機能選択する)
PEnPFS	PEn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート E の機能選択する)
PHnPFS	PHn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート H の端子機能選択)
PJnPFS	PJn 端子機能制御レジスタ	端子機能を選択するレジスタ (ポート J の端子機能選択)
PFCSE	CS 出力許可レジスタ	CSn# (n : 0~3) 出力禁止/許可を設定する。 *I/O ポートとして使用するか、CSn#として出力するかを選択するレジスタ
PFAOE0	アドレス出力許可レジスタ 0	A8~A15 の出力許可/禁止を選択するレジスタ
PFAOE1	アドレス出力許可レジスタ 1	A16~A23 の出力許可/禁止を選択するレジスタ
PFBCR0	外部バス制御レジスタ 0	外部バス(A0~A7、D8~D15、WR1#/、BC1#)の入出力端子を制御するレジスタ
PFBCR1	外部バス制御レジスタ 1	外部バス(WAIT#、ALE)の入出力端子を制御するレジスタ

RX231 の I/O ポートを汎用入出力として使用する場合の初期化フローを示します。

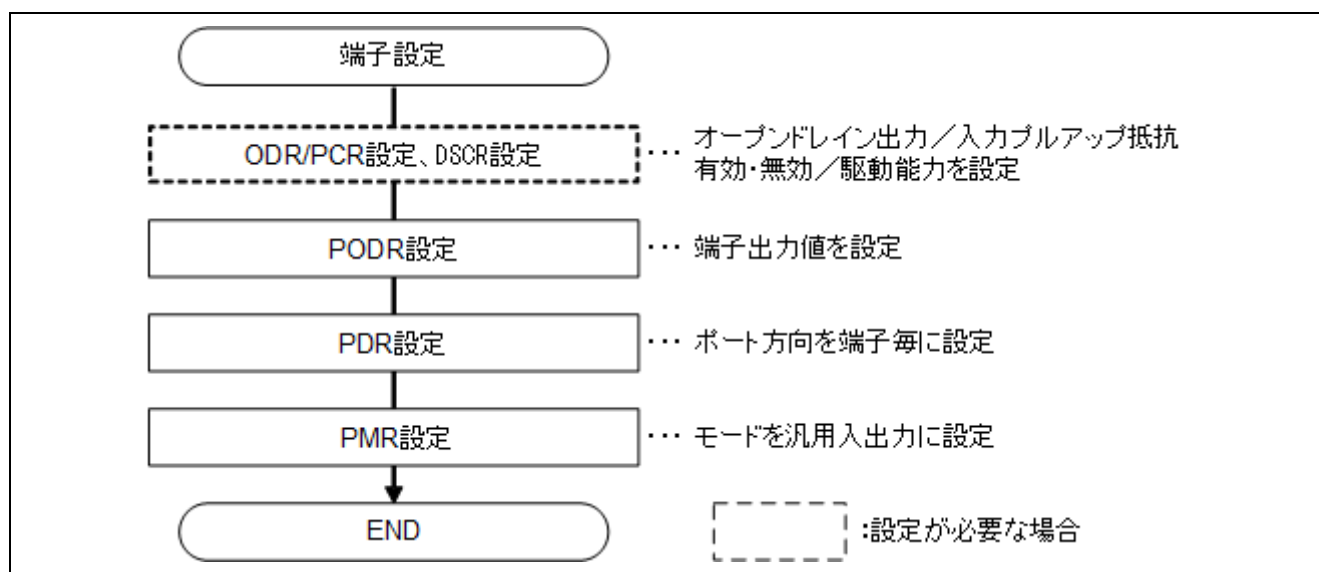


図 2.2 RX231 I/O 汎用入出力使用する場合

RX231 の I/O ポートを端子機能で使用する場合の初期化フローを図 2.3 に示します。汎用入出力も含む周辺機能使用時の設定例については、各周辺機能の章を参照して下さい。

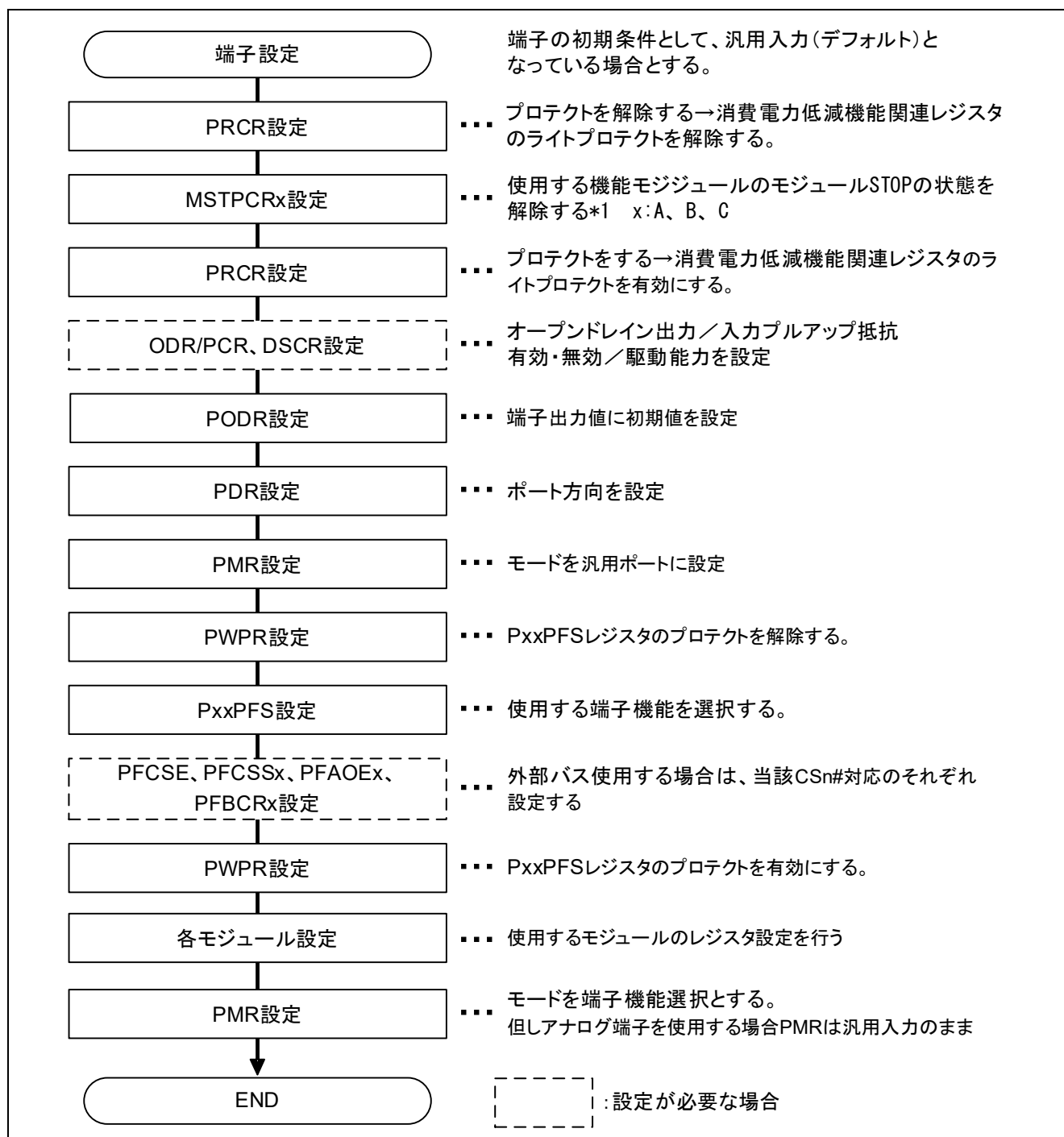


図 2.3 RX231 端子機能設定フローチャート

【注】*1 端子機能を設定する場合デフォルトではDMAC、DTC、RAMを除く周辺モジュールは停止状態です。そのため消費電力低減機能にあるモジュールストップコントロールレジスタ(MSTPCR_x)によりモジュールストップを解除します。

モジュールストップを解除する場合、MSTPCR_xはレジスタライトプロテクション機能によりライトプロテクトされています。そのためMSTPCR_xの書き換え時はプロテクトレジスタ(PRCR)でライトプロテクトを解除します。DMAC、DTC、RAMについてはデフォルト動作です。

2.3 バス

2.3.1 仕様比較

H8/3048、RX231 のバスの相違点を表 2.8 に示します。

表 2.8 H8/3048、RX231 バスの仕様比較

項目	H8/3048	RX231
外部アドレス空間	外部アドレス空間を 8 つのエリア (エリア 0～エリア 7) に分割してエリアごとに独立してバス仕様を設定可能	外部アドレス空間を 4 つのエリア (CS0～CS3) に分割してエリアごとに独立してバス仕様を設定可能
各エリアのサイズ	1M バイトモードでは 128K バイト*1 16M バイトモードでは 2M バイト*1	16MB*2
バス幅	エリアごとに 8 ビットアクセス空間/ 16 ビットアクセス空間を選択可能	エリアごとに、8 ビットバス空間/ 16 ビットバス空間を選択可能
バス権調停機能	各バスマスタの優先度は固定 (優先順位：高) 外部バスマスタ リフレッシュコントローラ DMAC CPU (優先順位：低)	優先順位固定、優先順位トグルから 選択する 但し CPU バスは固定
その他の アクセス制御	- ウェイトモード — プログラマブルウェイトモード — 端子オートウェイトモード — 端子ウェイトモード 0 — 端子ウェイトモード 1	- ウェイト制御可能 — チップセレクト信号 (CS0#～CS3#) のアサート/ネゲートタイミング設定可能 — リード信号 (RD#)、ライト信号 (WR0#/WR#、WR1#) のアサートタイミング設定可能 — データ出力の開始/終了タイミング設定可能 - エンディアン — エリアごとにエンディアンを設定可能

【注】 *1 エリア 0～エリア 7 共通

*2 CS0～CS3 共通

2.3.2 バスの構成

H8/3048 と RX231 のバスの構成を比較します。

H8/3048 に搭載されているバスコントローラの構成を示します。

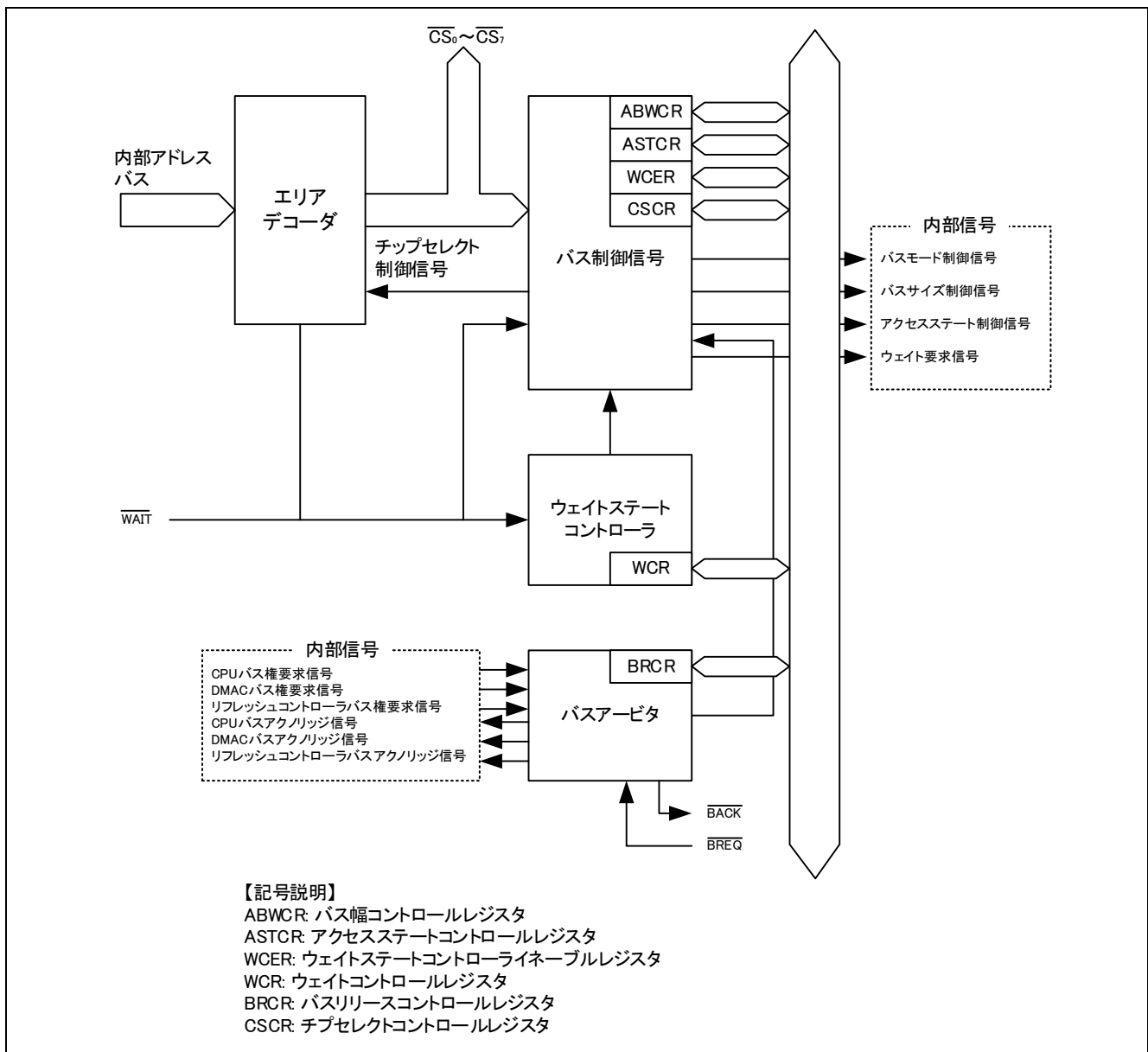


図 2.4 H8/3048 バスコントローラの構成

H8/3048 のバスはシステムクロックに同期しており、種類も内部データバスのみです。

RX231 に搭載されているバスの構成を示します。

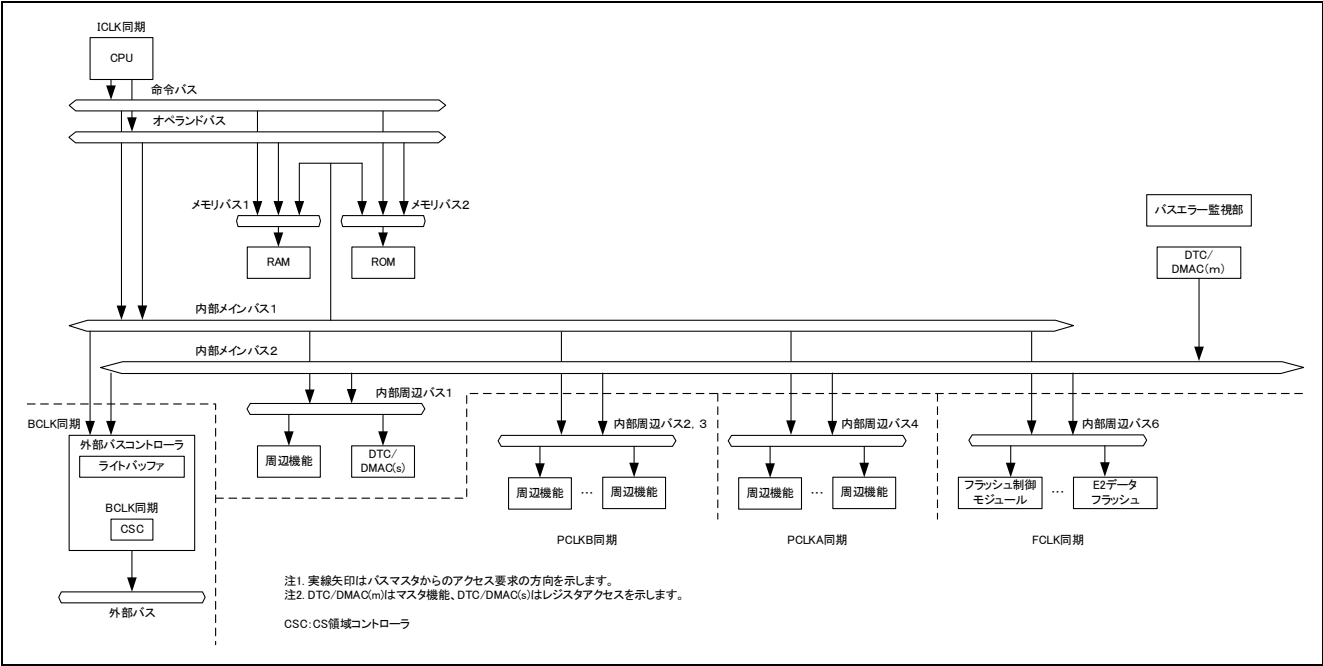


図 2.5 RX231 バスの構成図

RX231 ではメモリバス、内部バス、周辺バスがそれぞれ多段に存在します。これにより CPU と DMAC/DTC、更には周辺バス毎にモジュールの並列動作が可能になっています。

RX231 のバスの種類を以下に示します。RX231 ではバスの種類が表 2.9 の様になっており、バスごとに同期クロックも異なる仕様となっています。

表 2.9 RX231 のバス

バス	接続モジュール等	クロック*1
CPU バス (命令バス、オペランドバス)	命令バス : CPU (命令)、内蔵メモリ、 オペランドバス : CPU (オペランド)、内蔵メモリ	ICLK
メモリバス 1	内蔵 RAM	ICLK
メモリバス 2	内蔵 ROM	ICLK
内部メインバス 1	CPU	ICLK
内部メインバス 2	DTC、DMAC、内蔵メモリを接続 (RAM,ROM)	ICLK
内部周辺バス 1	DTC、DMAC、割り込みコントローラ、バスエラー監視部	ICLK
内部周辺バス 2	内部周辺バス 1, 3, 4 以外の周辺機能	PCLKB
内部周辺バス 3	USB0、RSCAN、CTSUS	PCLKB
内部周辺バス 4	MTU2	PCLKA
内部周辺バス 6	フラッシュ制御モジュール、E2 データフラッシュ	FCLK
外部バス (CS 領域)	外部デバイス	BCLK

【注】 1 ICLK : システムクロック
PCLKA : 周辺モジュールクロック A
PCLKB : 周辺モジュールクロック B
FCLK : FlashIF クロック
BCLK : 外部バスクロック

2.3.3 レジスタの構成

H8/3048 と RX231 のバス設定に用いるレジスタを示します。RX231 ではバスエラー関連のレジスタが設けられており、CPU にバスエラーを通知し割り込みを発生させることができます。バスエラーには不正アドレスアクセス、タイムアウトがあります。

表 2.10 H8/3048、RX231 バス制御レジスタ一覧

H8/3048	RX231
CS0～7 関連レジスタ	CS0～3 関連レジスタ
バス幅コントロールレジスタ (ABWCR)	CSn 制御レジスタ (CSnCR) *1
アクセスステートコントロールレジスタ (ASTCR)	CSn リカバリサイクル設定レジスタ (CSnREC) *1
ウェイトコントロールレジスタ (WCR)	CS リカバリサイクル挿入許可レジスタ (CSRECEN)
ウェイトステートコントローライネーブルレジスタ (WCER)	CSn モードレジスタ (CSnMOD) *1
バスリリースコントロールレジスタ (BRCR)	CSn ウェイト制御レジスタ 1 (CSnWCR1) *1
チップセレクトコントロールレジスタ (CSCR)	CSn ウェイト制御レジスタ 2 (CSnWCR2) *1
—	バスエラー関連のレジスタ
	バスエラーステータスクリアレジスタ (BERCLR)
	バスエラー監視許可レジスタ (BEREN)
	バスエラーステータスレジスタ 1 (BERSR1)
	バスエラーステータスレジスタ 2 (BERSR2)
	バスプライオリティ制御レジスタ (BUSPRI)

【注】 *1 (n=0～3)

2.3.4 ウェイトの設定

バスの設定を行う際、接続するデバイスの仕様に応じてウェイト設定を行います。H8/3048 でウェイトの設定を行うにはウェイトモードを選択します。H8/3048 のウェイトモードを表 2.11 に示します。RX231 でウェイトの設定を行うには表 2.12 で示すレジスタに設定します。

表 2.11 H8/3048 ウェイトモード

ウェイトモード	説明
端子ウェイトモード 0	#WAIT 端子によるウェイトステートのみ設定可能
プログラマブルウェイトモード	常に WCR.WC1,0 ビットによるウェイトにステートを挿入します。 WAIT#端子によるウェイトステートの挿入は不可。
端子ウェイトモード 1	常に WCR.WC1,0 ビットによるウェイトにステートを挿入し、さらに #WAIT 端子によるウェイトステートを挿入可能
端子オートウェイトモード	#WAIT 端子により、WCR.WC1,0 ビットに設定されたウェイトステートを挿入します。

表 2.12 RX231 外部バスインタフェースレジスタ設定項目 (CS 領域設定)

レジスタ	シンボル	設定項目
CnSnMOD* ¹	EWENB	外部ウェイト許可* ²
CnSnWCR1* ¹	CSPWAIT	ページライトサイクルウェイト
	CSPRWAIT	ページリードサイクルウェイト
	CSWAIT	ノーマルライトサイクルウェイト
	CSRWAIT	ノーマルリードサイクルウェイト
CnSnWCR2* ¹	CSROFF	リード時 CS 延長サイクルウェイト
	CSWOFF	ライト時 CS 延長サイクルウェイト
	WDOFF	ライトデータ出力延長サイクルウェイト
	AWAIT	アドレスサイクルウェイト
	RDON	RD アサートウェイト
	WRON	WR アサートウェイト
	WDON	ライトデータ出力ウェイト
	CON	CS アサートウェイト
CnSnREC* ¹	RRCV	リードリカバリサイクル
	WRCV	ライトリカバリサイクル
CSRECEN	RCVEN0~7	セパレートバス用リカバリサイクル挿入許可 0~7
	RCVENM0~7	マルチプレクスバス用リカバリサイクル挿入許可 0~7

【注】 1 n=0~3

2 外部ウェイトを許可することで WAIT#信号によるウェイトサイクルの挿入が可能です。

ウェイトサイクルの設定値は、RX231 グループ ユーザーズマニュアル ハードウェア編の制約の範囲内で設定します。設定時の制約は下記を参照して下さい。

- RX230 グループ、RX231 グループ ユーザーズマニュアル ハードウェア編 (R01UH0496JJ)
「16.5.7 制約事項」

2.3.5 外部バス端子設定例

外部バス端子の設定方法詳細は以下を参照して下さい。

- RX230 グループ、RX231 グループ ユーザーズマニュアル ハードウェア編 (R01UH0496JJ)
「22.3 外部バスインタフェース設定方法」

2.4 割り込みコントローラ

2.4.1 IRQ 端子の使用例

以下に IRQ3 を使用する場合の設定例を以下に示します。H8/3048 は P83 を IRQ3 入力端子として使用します。RX231 は P33 を IRQ3 入力端子として使用します。

表 2.13 割り込み初期設定例 (IRQ3 設定)

手順		H8/3048	RX231
1	I/O ポート設定 (端子入出力と端子機能設定)	P83DDR=0	PORT3.PDR.B3=0 (P33 入力設定) PORT3.PMR.B3=0 (P33 機能端子設定) MPC.PWPR.B0WI=0 MPC.PWPR.PFSWE=1 (PFS ライト許可) MPC.P33PFS.ISEL=1 (割り込み機能設定 IRQ3) MPC.PWPR.PFSWE=0 (PFS ライト禁止) MPC.PWPR.B0WI=1
2	割り込みコントローラ設定	ISCR.IRQ3SC=1 (IRQ 検出: 立下がり検出) IER.IRQ3E=1 (IRQ3 許可)	IRQCR3.IRQMD[1:0]=0x3 (IRQ 検出: 立ち下がリエッジ) IRQFLTE0.FLTEN3=1 (IRQ3 デジタルフィルタ有効) IRQFLTC0.FCLKSEL3[1:0]=0x3 (サンプリングクロック PCLK/64) IR067=0 (割り込みステータスフラグクリア) IER08.IEN3=1 (IRQ3 割り込み要求許可) IPR067=15 (割り込み優先レベル 15)

2.5 DMA コントローラ

2.5.1 仕様比較

H8/3048 と RX231 の仕様比較を示します。

表 2.14 H8/3048、RX231 DMAC 機能比較

項目		H8/3048	RX231
		DMAC	DMACA
チャンネル数		4 チャンネル (ショートアドレスモード) または、2 チャンネル (フルアドレスモード)	4 チャンネル (DMACm (m = 0~3))
転送空間		16M バイトのアドレス空間を直接可能	512M バイト (00000000h~0FFFFFFFh と F0000000h~FFFFFFFh のうち予約領域を除く領域)
最大転送データ数		16M データ (ブロック転送モード最大転送数 : 255 データ×最大転送回数 : 65536)	1M データ (ブロック転送モード最大総転送数 : 1024 データ×1024 ブロック)
DMA 起動要因		- 内部割り込み - 外部リクエスト - オートリクエスト	チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求 - 外部割り込み入力端子へのトリガ入力
チャンネル優先順位		- ショートアドレスの場合 チャンネル 0A>チャンネル 0B>チャンネル 1A>チャンネル 1B (チャンネル 0A が最優先) - フルアドレスの場合 チャンネル 0>チャンネル 1 (チャンネル 0 が最優先)	チャンネル 0>チャンネル 1>チャンネル 2>チャンネル 3 (チャンネル 0 が最優先)
転送データ	1 データ	ビット長 : 8 ビット、16 ビット	ビット長 : 8 ビット、16 ビット、32 ビット
	ブロックサイズ	1~255 バイト	データ数 : 1~1024 データ
転送モード		- ノーマル転送モード - リピート転送モード*1 - ブロック転送モード - I/O モード*1 - アイドルモード*1	- ノーマル転送モード - リピート転送モード - ブロック転送モード
DMA の割り込み要求		転送カウンタで設定した回数分の転送終了時	- 転送終了割り込み — 転送カウンタで設定した回数数の転送終了時 - 転送エスケープ終了割り込み — リピートサイズ分のデータ転送終了時 — 拡張リピートエリアがオーバーフローしたとき
消費電力低減機能		モジュールスタンバイ状態への設定が可能	モジュールストップ設定可能
その他		—	- 拡張リピートエリア機能 - イベントリンク機能

【注】*1 ショートアドレスモードの転送モードです。

2.5.1 DMAC ブロック図

H8/3048 に搭載されている DMAC のブロック図を示します。

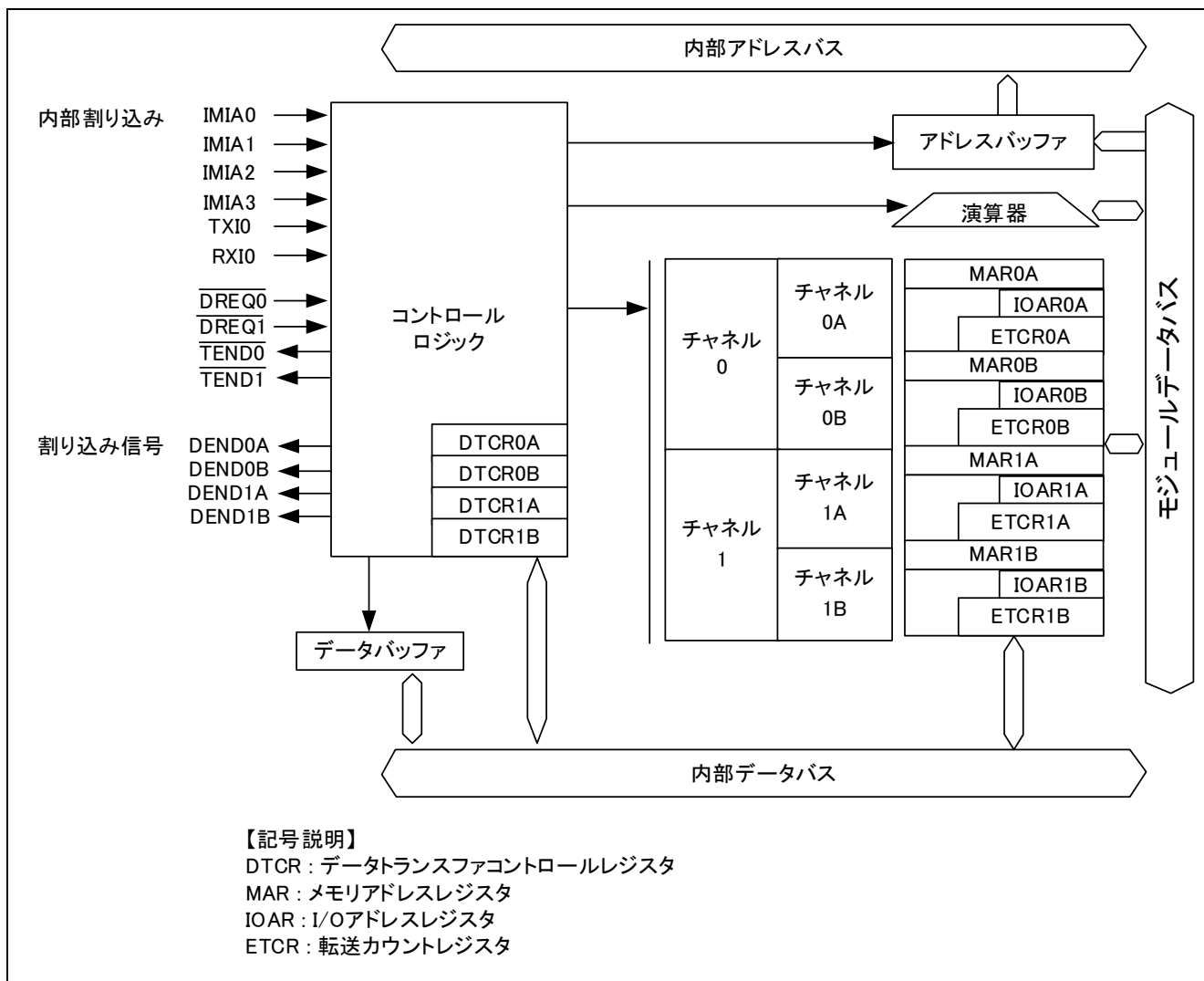


図 2.6 H8/3048 DMAC ブロック図

RX231 に搭載されている DMACA のブロック図を示します。

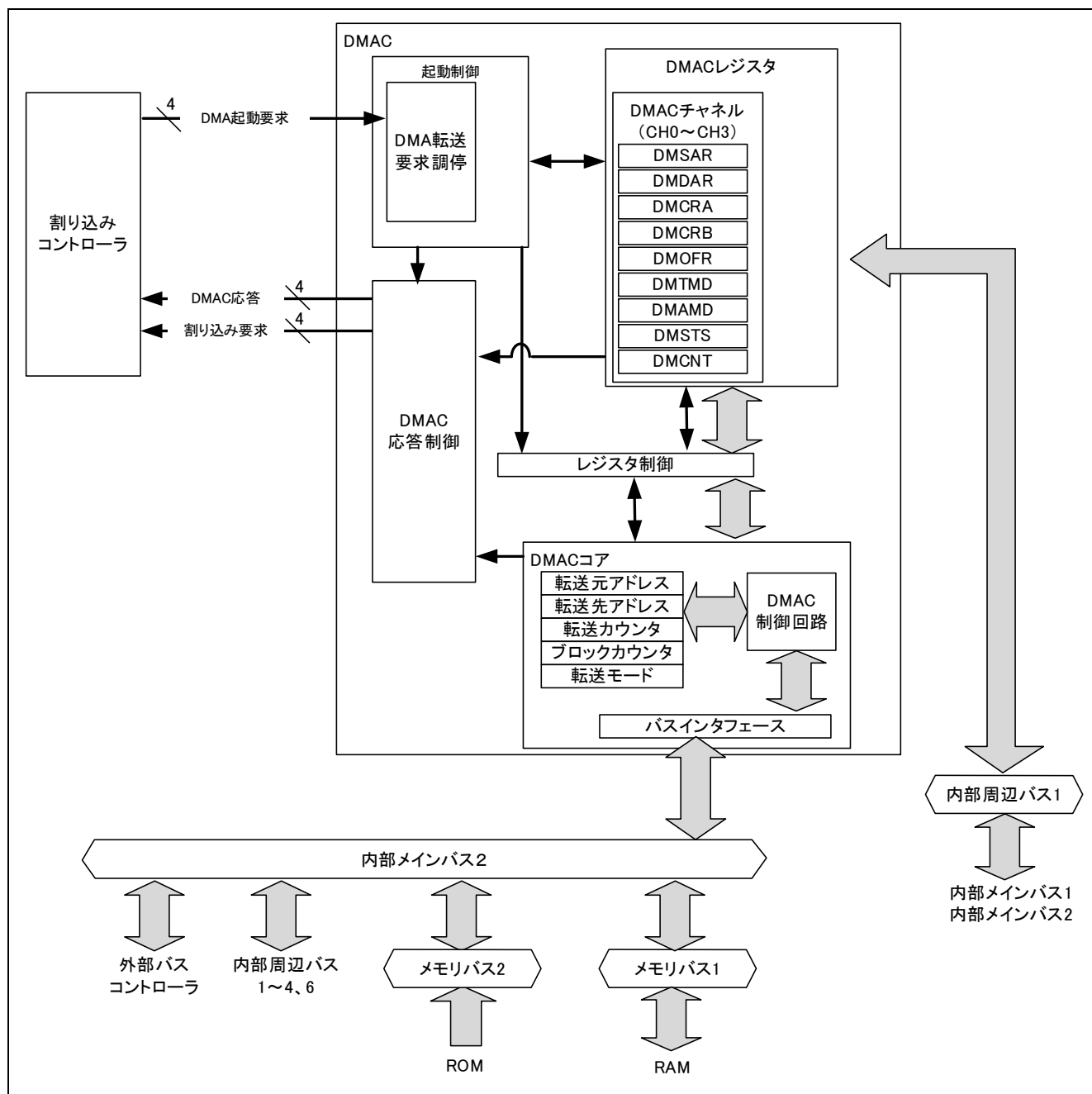


図 2.7 RX231 DMACA ブロック図

2.5.1 レジスタ一覧

H8/3048、RX231 の DMA コントローラのレジスタ一覧を以下にまとめました。

表 2.15 DMA コントローラレジスタ一覧

H8/3048	RX231
DMAC	DMACA
メモリアドレスレジスタ	DMA モジュール起動レジスタ (DMAST)
ショートアドレスモードの場合 : MARKm	DMA 転送元アドレスレジスタ n (DMACn.DMSAR)
フルアドレスモードの場合 : MARKm、MARKm	DMA 転送先アドレスレジスタ n (DMACn.DMDAR)
I/O アドレスレジスタ	DMA 転送カウントレジスタ n (DMACn.DMCRA)
ショートアドレスモードの場合 : IOARkm	DMA ブロック転送カウントレジスタ n (DMACn.DMCRB)
フルアドレスモードの場合 : 使用しない	DMA 転送モードレジスタ n (DMACn.DMTMD)
転送カウントレジスタ	DMA 割り込み設定レジスタ n (DMACn.DMINT)
ショートアドレスモードの場合 : ETCRkm	DMA アドレスモードレジスタ n (DMACn.DMAMD)
フルアドレスモードの場合 : ETCRkm、ETCRkm	DMA オフセットレジスタ n (DMACn.DMOFR)
データトランスファコントロールレジスタ	DMA 転送許可レジスタ n (DMACn.DMCNT)
ショートアドレスモードの場合 : DTCRkm	DMA ソフトウェア起動レジスタ n (DMACn.DMREQ)
フルアドレスモードの場合 : DTCRkm、DTCRkm	DMA ステータスレジスタ n (DMACn.DMSTS)
—	DMA 起動要因フラグ制御レジスタ n (DMACn.DMCSL)

【注】 k=0,1 m=A,B n=0~3

2.5.2 DMAC 起動要因

DMA コントローラの起動要因の比較を表 2.16 に示します。

表 2.16 DMA コントローラ起動要因の比較

起動要因				H8/3048 DMAC				RX231 DMACA	
				ショートアドレスモード		フルアドレスモード		各転送モード共通	
				チャンネル 0A,1A	チャンネル 0B,1B	ノーマル	ブロック		
内部割り込み	高機能タイマ	ITU コンペアマッチ インプットキャプ チャ割り込み (H8/3048 に搭載)	IMIA0 ～ IMIA3	○		×	○		
		MTU のコンペア マッチインプット キャプチャ割り込み (RX231 に搭載)	TGIA0 ～ TGIA4						○
		TPU のコンペア マッチインプット キャプチャ (RX231 に搭載)	TGI0A ～ TGA5A						○
	SCI0	送信データエンプティ割り込み 受信データフル割り込み		TXI0	○		×	○	
				RXI0	○		×	○	
	上記以外の 周辺モ ジュールか らの割り込 み	RX231 では上記以外の割り込 みを DMACA 起動要因に設定 できます。(IRQ,TXI1～ 12,RXI1～12 等) 詳細は RX231 グループハード ウェアマニュアル 15.3.1 節の 割り込みのベクタテーブルを 参照して下さい		×			×	○	
	外部リク エスト	DREQ 端子の立ち下がり			×	○	○	○	×*1
DREQ 端子の Low レベル入力			×	○	○	×			
オートリクエスト				×		○	×	○	

○・・・起動要因として設定可能

×・・・起動要因として設定できない

【注】*1 RX231 に搭載されている DMACA では外部デバイスからのリクエスト信号による転送を行うことはできません。外部デバイスからのリクエスト信号で DMAC を起動するにはリクエスト信号を IRQ の端子へ入力し、IRQ を DMAC 起動要因として設定します。

● 起動要因の設定方法

— H8/3048 では DMAC の起動要因を DTCR レジスタに設定します。

— RX231 では DMACA の起動要因は割り込みコントローラの DMRSRm*1 に設定します。

【注】*1 m は DMACA のチャンネル番号 (0~3)

2.5.3 転送モード

H8/3048、RX231 に搭載されている DMA コントローラの仕様を表 2.17 に示します。

表 2.17 DMA コントローラ転送モード仕様比較

	転送モード		転送サイズ	転送回数	1 転送要求に対する転送後の転送元、転送先アドレスの更新値
H8/3048 DMAC	ショート アドレス モード	I/O モード	1 バイト 1 ワード	65536 回	- IOAR は固定 - MAR はインクリメント、デクリメント、固定から選択する
		アイドルモード		65536 回	IOAR、MAR 共に固定
		リピートモード		256 回	- IOAR は固定 - MAR はインクリメント、デクリメント、固定から選択する
	フル アドレス モード	ノーマルモード		65536 回	MARA、MARB はインクリメント、デクリメント、固定から選択する
		ブロック転送モード (1 ブロック最大 255 データ)		65536 回	
RX231 DMACA	ノーマル転送モード		1 バイト、 1 ワード 1 ロングワード	65535 回	DMSAR、DMDAR は個別にインクリメント、デクリメント、固定、オフセット加算（DMAC0 のみ）から選択する
	リピート転送モード (リピートサイズ最大 1024 データ)			1024 回	
	ブロック転送モード (1 ブロック最大 1024 データ)			1024 回	

【注】 H8/3048 リピートモード、RX231 リピート転送モード補足

H8/3048 のリピートモードでは CPU が DTE ビットを 0 にクリアするまで、転送回数に設定したデータ範囲を繰り返し転送します。

RX231 のリピート転送モードではリピートサイズ×リピート回数転送後、DMA 転送を終了します。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

RX231 に搭載されている DMACA の転送モード動作概要を図 2.8 に示します。

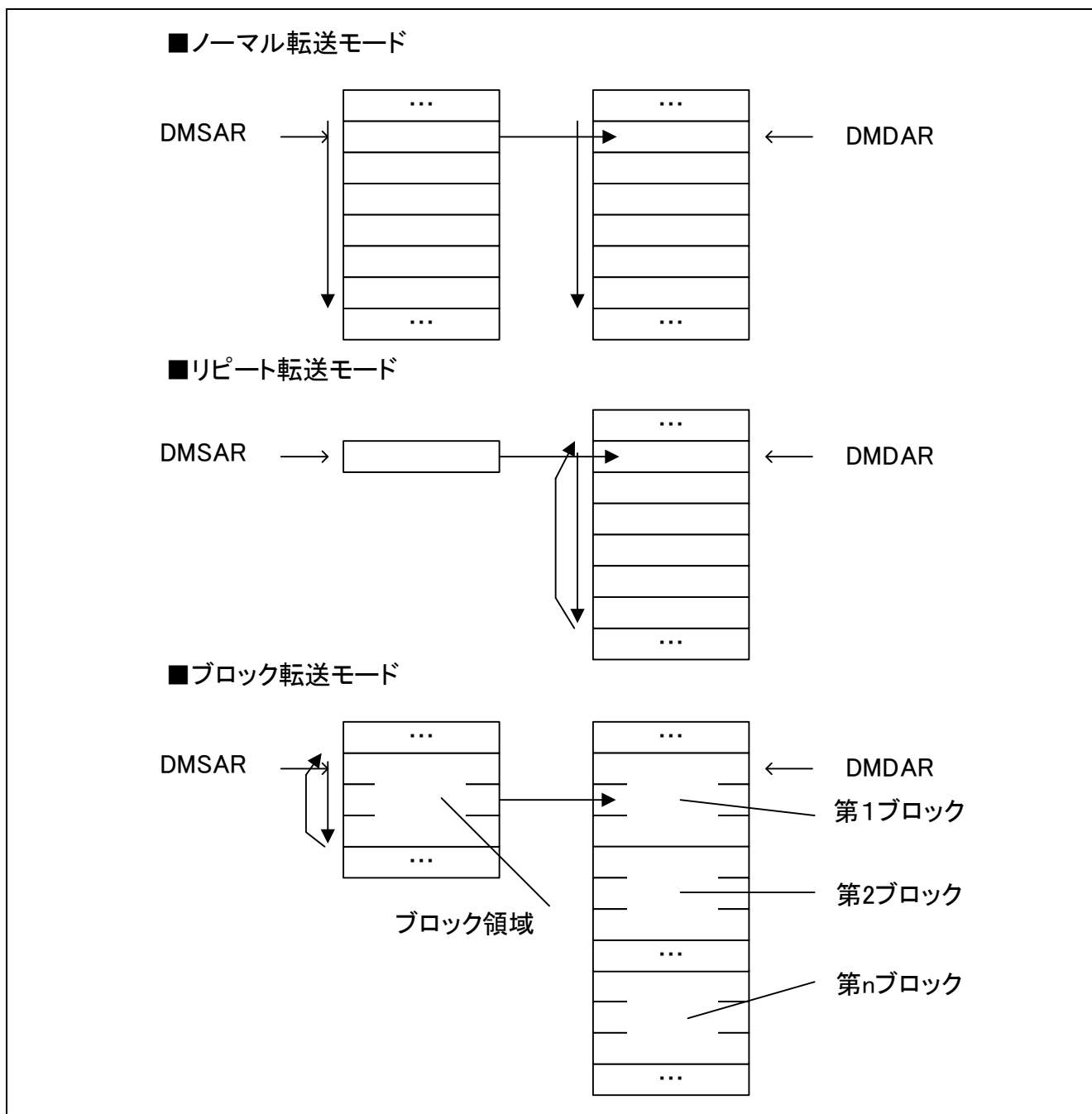


図 2.8 RX231 転送モード動作例

- ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データ転送を行い、これを最大65535回実行できます。転送によるアドレスのインクリメント、デクリメント、固定、オフセット加算の制御はDMSAR、DMDARで独立に行うことができます。図2.8での動作例はMSAR,DMDARを共にインクリメントしています。

- リピート転送モード

リピート転送モードは1回の転送要求につき1データ転送を行います。リピート転送モードではリピートサイズ、リピート回数はそれぞれ最大1K回に設定でき、リピート領域に指定された方のアドレスレジスタ(DMASR or DMDAR)はリピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート回数転送後DMA転送を終了します。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTEビットに“1”を書き込むとDMA転送を再開することができます。図2.8での動作例はデスティネーションアドレスをリピートエリアとしています。

- ブロック転送モード

ブロック転送モードでは、1回の転送要求に対して、最大1Kバイトの1ブロックの転送を行い、これを最大1K回実行できます。ブロックサイズはDMCRAで設定します。ソースアドレスとデスティネーションアドレスのどちらをブロックエリアとみなすかはMRBのDTSビットに設定します。図2.8での動作例はソースアドレスをブロック領域としています。

2.5.4 モジュールストップ

RX231ではリセット解除後、消費電流を抑える目的でDMAC、DTC、RAM以外のモジュールはモジュールストップ状態(クロック供給停止状態)になります。DMACを消費電力低減のために停止させたい場合は、モジュールストップコントロールレジスタにてモジュールストップします。但し、この場合DTCも同時にモジュールストップします。

2.6 シリアルコミュニケーションインタフェース

2.6.1 仕様比較

H8/3048 の SCI に対して、RX231 は SCIfg/SCIh が内蔵されています。SCIfg は従来の転送方式の調歩同期式、クロック同期式に加えて、調歩同期式の拡張機能としてスマートカード (IC カード) インタフェースに対応しています。更に、簡易 I2C バスインタフェース (シングルマスタ動作)、および簡易 SPI バスインタフェースにも対応しています。SCIh は SCIfg の機能に加えて拡張シリアルインタフェースを備えています。H8/3048 にはない転送方式は、RX230、RX231 グループ ユーザーズマニュアル ハードウェア編を参照して下さい。

表 2.23 SCI 相違点(1/2)

項目		H8/3048	RX231
チャンネル数		2ch (SCI0,1)	7ch (SCIfg : SCI0,1,5,6,8,9、SCIh : SCI12)
シリアル通信方式		調歩同期式 クロック同期式 スマートカードインタフェース (SCI0 のみ)	調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I2C バス 簡易 SPI バス
転送速度		内蔵ボーレートジェネレータにより任意のビットレートを選択可能	
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
データ転送		LSB ファーストのみ	LSB ファースト/MSB ファースト選択可能 (簡易 I2C バスでは MSB ファーストのみ)
割り込み要因		送信データエンプティ 送信終了 受信データフル 受信エラー	送信データエンプティ 送信終了 受信データフル 受信エラー 開始条件/再開条件/停止条件生成終了 (簡易 I2C モード用)
低消費電能		チャンネルごとにモジュールスタンバイ状態への設定が可能	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期モード	データ長	7 ビット, 8 ビット	7 ビット, 8 ビット, 9 ビット
	ストップビット	1 ビット, 2 ビット	
	パリティ機能	偶数パリティ、奇数パリティ、パリティなし	
	受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー	
	ハードウェアフロー制御	なし	あり (CTSn、RTSn 端子で制御可能)
	スタートビットの検出	立ち下がリエッジ	Low または立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時 RxDn 端子レベルを直接リードすることで可能	
	クロックソース	内部／外部クロックから選択可能	内部／外部クロックから選択可能 TMR からの転送レートクロックが入力可能(SCI5,SCI6)
	倍速モード	なし	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信	マルチプロセッサ通信機能あり	
デジタルノイズフィルタ		なし	RxDn 端子入力経路に内蔵

表 2.23 SCI 相違点(2/2)

項目		H8/3048	RX231
クロック 同期モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	ハードウェアフロー制御	なし	あり (CTSn、RTSn 端子で制御可能)
スマートカードインタフェース		あり	
簡易 I2C モード		なし	あり
簡易 SPI モード		なし	あり
拡張シリアルモード		なし	SCIh (SCI12) のみ実装
イベントリンク機能		なし	SCI5 のみ対応

内蔵 SCI のレジスタの比較とレジスタの違いの有無を示します。

表 2.24 SCI レジスタ一覧(1/2)

H8/3048	RX231	相違点
トランスミットデータレジスタ (TDR)	トランスミットデータレジスタ (TDR)	なし
トランスミットシフトレジスタ (TSR)	トランスミットシフトレジスタ (TSR)	
レシーブデータレジスタ (RDR)	レシーブデータレジスタ (RDR)	
レシーブシフトレジスタ (RSR)	レシーブシフトレジスタ (RSR)	
シリアルモードレジスタ (SMR)	シリアルモードレジスタ (SMR)	
シリアルコントロールレジスタ (SCR)	シリアルコントロールレジスタ (SCR)	
シリアルステータスレジスタ (SSR)	シリアルステータスレジスタ (SSR)	
ビットレートレジスタ (BRR)	ビットレートレジスタ (BRR)	
スマートカードモードレジスタ (SCMR)	スマートカードモードレジスタ (SCMR)	

表 2.24 SCI レジスタ一覧(2/2)

H8/3048	RX231	相違点
ー (対応するレジスタは存在しない)	モジュレーションデューティレジスタ(MDDR)	RX231 で 新規追加 した レジスタ
	シリアル拡張モードレジスタ (SEMR) *1	
	ノイズフィルタ設定レジスタ (SNFR) *1	
	I2C モードレジスタ 1~3 (SIMR1~SIMR3) *1	
	I2C ステータスレジスタ (SISR)	
	SPI モードレジスタ (SPMR) *1	
	拡張シリアルモード有効レジスタ (ESMER)	
	コントロールレジスタ 0~3 (CR0~CR3)	
	ポートコントロールレジスタ (PCR)	
	割り込みコントロールレジスタ (ICR)	
	ステータスレジスタ (STR)	
	ステータスクリアレジスタ (STCR)	
	Control Field 0 データレジスタ (CF0DR)	
	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	
	Control Field 0 受信データレジスタ (CF0RR)	
	プライマリ Control Field 1 データレジスタ (PCF1DR)	
	セカンダリ Control Field 1 データレジスタ (SCF1DR)	
	Control Field1 コンペアイネーブルレジスタ (CF1CR)	
	Control Field1 受信データレジスタ (CF1RR)	
	タイマコントロールレジスタ (TCR)	
	タイマモードレジスタ (TMR)	
	タイマプリスケラレジスタ (TPRE)	
	タイマカウントレジスタ (TCNT)	

【注】 *1 調歩同期式、クロック同期式シリアル通信方式の設定で、一部関連のあるレジスタ

2.6.2 移行時に必要な SCI 置関連の設定

H8/3048 の SCI を使用して調歩同期式、あるいはクロック同期式シリアル通信を行っていた処理については、以下の様な設定が必要になります。

- 1 ビット期間決定とクロックソース選択
調歩同期式モードで通信を行う場合、シリアル拡張モードレジスタ (SEMR) において 1 ビット期間を決定するクロックソースを外部クロック入力、TM クロック入力(SCI5、6、12 のみ)から選択します。また、1 ビット期間を基本クロックの 8 ビットまたは 16 ビットいずれかにするかを選択します。
- デジタルノイズフィルタ
デジタルノイズフィルタの有効、無効についてシリアル拡張モードレジスタ (SEMR) で設定します。なお、ノイズフィルタ有効の場合は、ノイズフィルタ設定レジスタ (SNFR) にノイズフィルタのクロックセレクト選択を設定して下さい。

2.6.3 モジュールストップ

RX231 ではリセット解除後、消費電流を抑える目的で DMAC、DTC、RAM 以外のモジュールはモジュールストップ状態 (クロック供給停止状態) になります。モジュールの設定を行う前に必ずモジュールストップを解除してください。

2.7 高機能タイマ (ITU、MTU2a、TPUa)

2.7.1 仕様比較

RX231 の MTU2a、TPUa は H8/3048 の ITU がベースとなり機能が進化しました。ITU で設定できていた項目が一部 TPUa では実現できないモードがありますが、MTU2a を使用する事で実装可能です。また、入出力端子も表 2.19 に示すように RX231 の MTU2a、TPUa は H8/3048 の ITU が持つ端子機能を備えています。

表 2.18 H8/3048 ITU、RX231MTU2a,TPUa 仕様比較 (機能)

項目		H8/3048	RX231	
		ITU	MTU2a	TPUa
入力クロック	内部クロック	内部クロック ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$	MTU2a,TPUa 共通 : PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024 (TPUa のみ : PCLK/4096)	
	外部クロック	TCLKA、TCLKB、TCLKC、TCLKD	MTCLKA、MTCLKB、MTCLKC、MTCLKD	TCLKA、TCLKB、TCLKC、TCLKD
チャンネル数		5 チャンネル (チャンネル 0~4)	6 チャンネル (MTU0~5)	6 チャンネル (TPU0~5)
バッファレジスタ		チャンネル 3、チャンネル 4 のみ対応	MTU0、MTU3、MTU4 のみ対応	TPU0、TPU3 のみ対応
カウンタクリア		コンペアマッチ、インプットキャプチャ	コンペアマッチ、インプットキャプチャ	コンペアマッチ、インプットキャプチャ
コンペアマッチ出力		0、1、トグル出力 (チャンネル 2 のみ 0、1 出力)	0、1、トグル出力	0、1、トグル出力
同期動作		チャンネル 0~4	MTU0~4	TPU0~5
PWM モード 1		チャンネル 0~4	MTU0~4	TPU0~5
相補 PWM モード		チャンネル 3、チャンネル 4	MTU3、MTU4	—
リセット同期 PWM モード		チャンネル 3、チャンネル 4	MTU3、MTU4	—
位相計数モード		チャンネル 2	MTU1、MTU2	TPU1、TPU2、TPU4、TPU5
DMAC の起動		チャンネル 0~3	MTU0~MTU4	TPU0~5
割り込み要因数		15 要因	28 要因	26 要因
消費電力低減機能		モジュールスタンバイ状態設定可能	モジュールストップ状態設定可能	モジュールストップ状態設定可能
PWM モード 2		—	MTU0~2	—
AC 同期モータ駆動モード		—	MTU0、MTU3、MTU4	
DTC の起動		—	MTU0~MTU5	
A/D 変換開始トリガ		—	MTU0~MTU4	TPU0~TPU4
イベントリンク機能 (出力)		—	20 要因 (MTU1~MTU4)	—
イベントリンク機能 (入力)		—	MTU1~MTU4 カウントスタート動作 インプットキャプチャ動作 カウントリスタート動作	
A/D 変換開始要求ディレイ機能		—	MTU4	
割り込み間引き機能		—	MTU3、MTU4	

表 2.19 H8/3048 ITU、RX231 MTU2a, TPUa 仕様比較 (端子)

項目	H8/3048	RX231	
	ITU	MTU2a	TPUa
入出力端子	10 本	最大 16 本	最大 16 本
出力端子	2 本 (チャネル 4)	—	—
入力端子	—	3 本 (MTU5)	—

2.7.2 置き換え時の注意点

- MTU2a で ITU を置き換える場合の注意点としてタイマステータスレジスタ (TSR) の割り込みフラグが、割り込みコントローラにありますので注意して下さい。
- TPUa で ITU を置き換える場合も MTU2a と同様にタイマステータスレジスタ (TSR) の割り込みフラグが、割り込みコントローラにあります。TPUa の場合は、割り込みコントローラとは別に、タイマステータスレジスタ (TSR) にも割り込みフラグが存在します。

2.7.3 レジスタ一覧

表 2.20 ITU、MTU2a、TPUa レジスタ一覧(1/2)

H8/3048	RX231		相違点
	MTU2a	TPUa	
ITU	MTU2a	TPUa	
TSTR	MTU.TSTR	TPU.TSTR	あり* 1
TSNC	MTU.TSYR	TPU.TSYR	あり* 1
TMDR	MTU0~4.TMDR	TPU0~5.TMDR	あり* 1
TFCR		—	あり* 1
TOER	MTU.TOER	—	あり* 1
TCNT0~4	MTU0~4.TCNT、MTU5.TCNTU TCNTV、TCNTW	TPU0~5.TCNT	なし
GRA0~4、GRB0~4	MTU0.TGRA~F、MTU1.TGRA、 B MTU2.TGRA、B、MTU3.TGRA ~D MTU4.TGRA~D、 MTU5.TGRU、 TGRV、TGRW	TPU0.TGRA~D、 TPU1.TGRA、B TPU2.TGRA、B、TPU3.TGRA ~D TPU4.TGRA、B、 TPU5.TGRA、B	なし
BRA3、4、BRB3、4	MTU0.TGRC、MTU3.TGRC、 MTU4.TGRC、 MTU0.TGRD、MTU3.TGRD、 MTU4.TGRD、 MTU0.TGRF * 2 * 4	TPU0.TGRC、TPU3.TGRC、 TPU0.TGRD、TPU3.TGRD*3	—
TOCR	MTU.TOCR1	—	あり* 1
	MTU.TOCR2	—	あり* 1
TCR0~4	MTU0~4.TCR、MTU5.TCRU TCRV、TCRW	TPU0~5.TCR	あり* 1

表 2.21 ITU、MTU2a、TPUa レジスタ一覧(2/2)

H8/3048	RX231		相違点
ITU	MTU2a	TPUa	
TIOR0~4	MTU0.TIORH、MTU0.TIORL MTU1.TIOR、MTU2.TIOR MTU3.TIORH、MTU3.TIORL MTU4.TIORH、MTU4.TIORL	TPU0.TIORH、TPU0.TIORL TPU1.TIOR、TPU2.TIOR TPU3.TIORH、TPU3.TIORL TPU4.TIOR、TPU5.TIOR	あり* 1
TSR0~4	—	TPU0~5.TSR	あり* 1
TIER0~4	MTU0~4.TIER	TPU0~5.TIER	あり* 1
—	MTU0~4.TSR	—	—
	MTU0~4.NFCR	TPU0~5.NFCR	—
	MTU5.TCNTCMPCLR	TPU0~5.NFCR	—
	MTU1.TICCR	—	—
	MTU.TRWER		—
	MTU.TGCR		—
	MTU0、3、4.TBTM		—
	MTU.TOLBR		—
	MTU.TCNTS		—
	MTU.TDDR		—
	MTU.TCDR		—
	MTU.TCBR		—
	MTU.TDER		—
	MTU.TWCR		—
	MTU4.TADCR		—
	MTU4.TADCORA、TADCORB		—
	MTU4.TADCOBRA、TADCOBRB		—
	MTU.TITCR		—
	MTU.TITCNT		—
	MTU.TBTER		—

【注】 *1 ビットアサインは異なりますので注意願います。

*2 MTU0、MTU3、MTU4 の TGRC、TGRD、MTU0 の TRGF バッファレジスタとして動作設定可能です。

*3 TPU0、TPU3 の TGRA、TGRB のバッファレジスタとして動作設定可能です。

*4 TGR とバッファレジスタの組み合わせは、TGRA—TGRC、TGRB—TGRD、TGRE—TGRF になります。

2.7.4 モジュールストップ

RX231 ではリセット解除後、消費電流を抑える目的で DMAC、DTC、RAM 以外のモジュールはモジュールストップ状態（クロック供給停止状態）になります。モジュールの設定を行う前に必ずモジュールストップを解除してください。

2.8 タイマベースパルス出力機能

2.8.1 仕様比較

RX231 では H8/3048 のプログラマブルタイミングパターンコントローラ (TPC) に相当するモジュールはありません。ここでは、RX231 で H8/3048 TPC の機能を実現する方法の一例を示します。なお、RX651/RX65N ではプログラマブルパルスジェネレータ (PPG) が搭載されております、H8/3048 の TPC を置き換えるモジュールとしてこちらをご検討下さい。詳細は RX65N グループ、RX651 グループ ユーザーズマニュアルハードウェア編を参照して下さい。

(1) H8/3048 TPC の概要

TPC の機能概要としては、16 ビットインテグレートッドタイマユニット (ITU) をタイムベースとして TP0~15 端子からパルスを出力します。TPC は 4 ビット単位の TPC 出力グループ 0~3 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

図 2.9 に TPC のブロック図を示します。

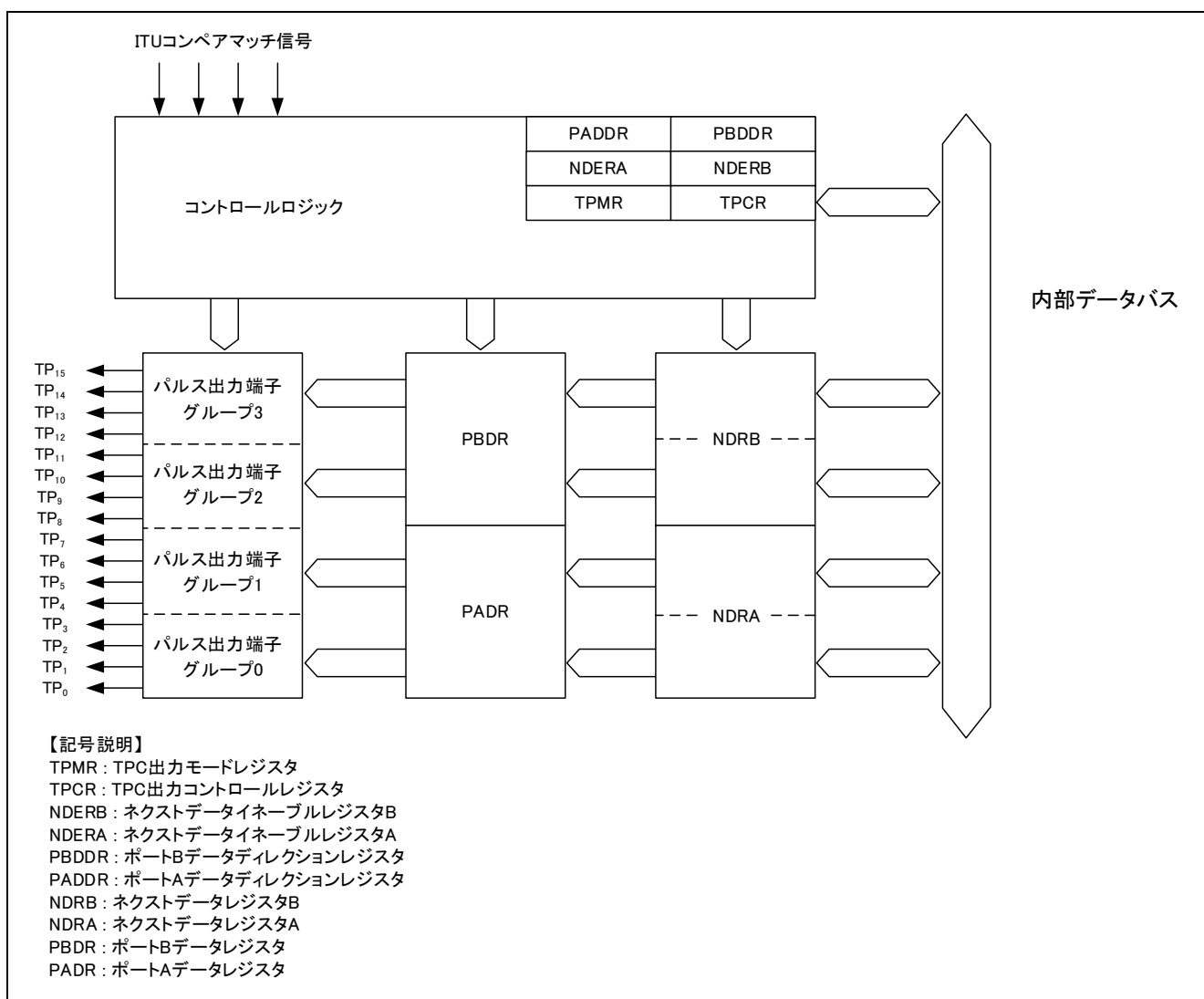


図 2.9 H8/3048 TPC ブロック図

(2) RX231 TPC の置き換え例

RX231 で H8/3048 の TPC の機能を実現する設定の一例を図 2.10 に示します。ここでは汎用ポート、DMAC、CMT を使用した置き換え例を示します。

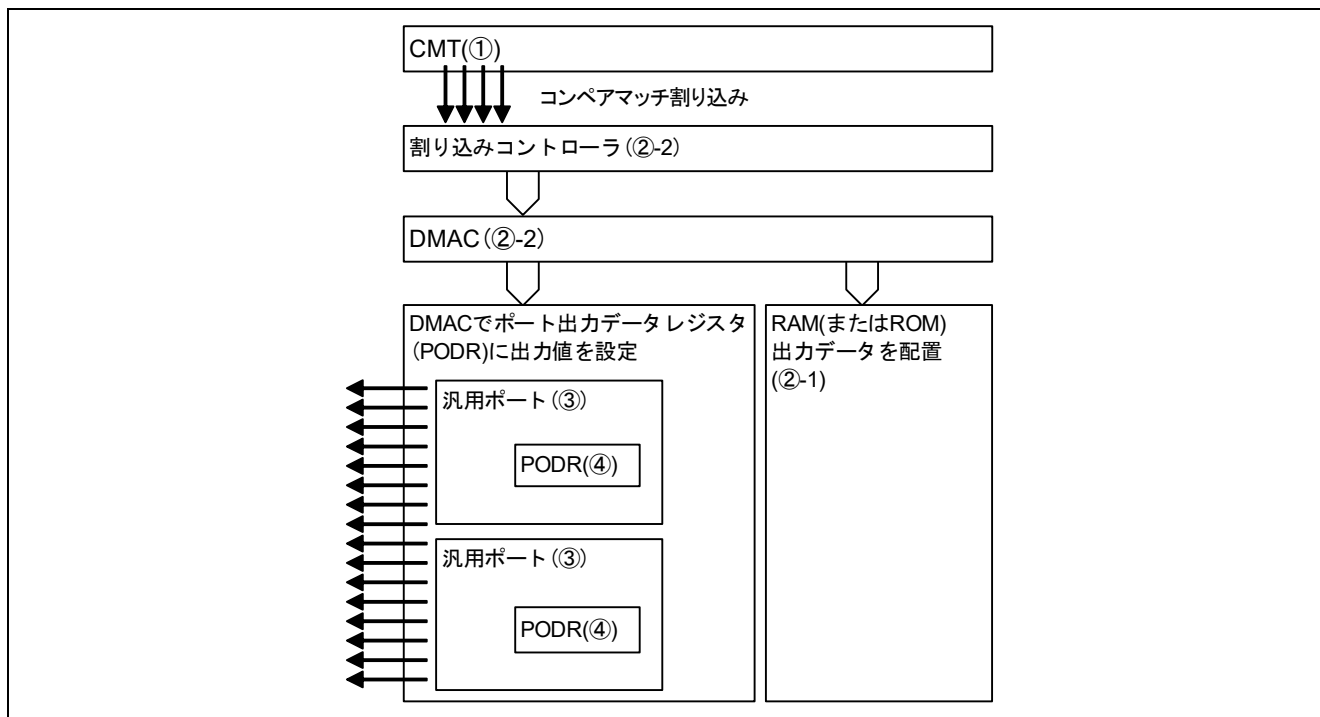


図 2.10 RX231 TPC 置き換え設定のブロック図

置き換えモジュールの解説

- ① H8/3048 TPC タイムベースの置き換え
CMT をタイムベースとし、CMT のコンペアマッチ割り込みで DMAC を起動させます。
- ② H8/3048 TPC NDRA/NDRB の置き換え
 - ②-1：メモリに出力パターンを格納した変数を用意します。
 - ②-2：割り込みコントローラがのコンペアマッチ割り込みを受け DMAC を起動します。
DMAC では、出力パターンを格納した変数の内容を Pmn.PODR に転送します。
- ③ H8/3048 TPC 出力端子 (TP0-15) の置き換え
Pmn を汎用出力端子として設定し、パルスの出力として使用します。
- ④ H8/3048 TPC PADR/PBDR の置き換え
Pmn.PODR で置き換えます。Pmn.PODR に出力データを格納し Pmn から出力します。
(m = 0~9、A~F、H、J~L/n=0~7)

(3) RX231TPC の置き換え例 動作説明

H8/3048TPC の動作と RX231 で TPC を置き換えた場合の動作をそれぞれ図 2.11 に示します。

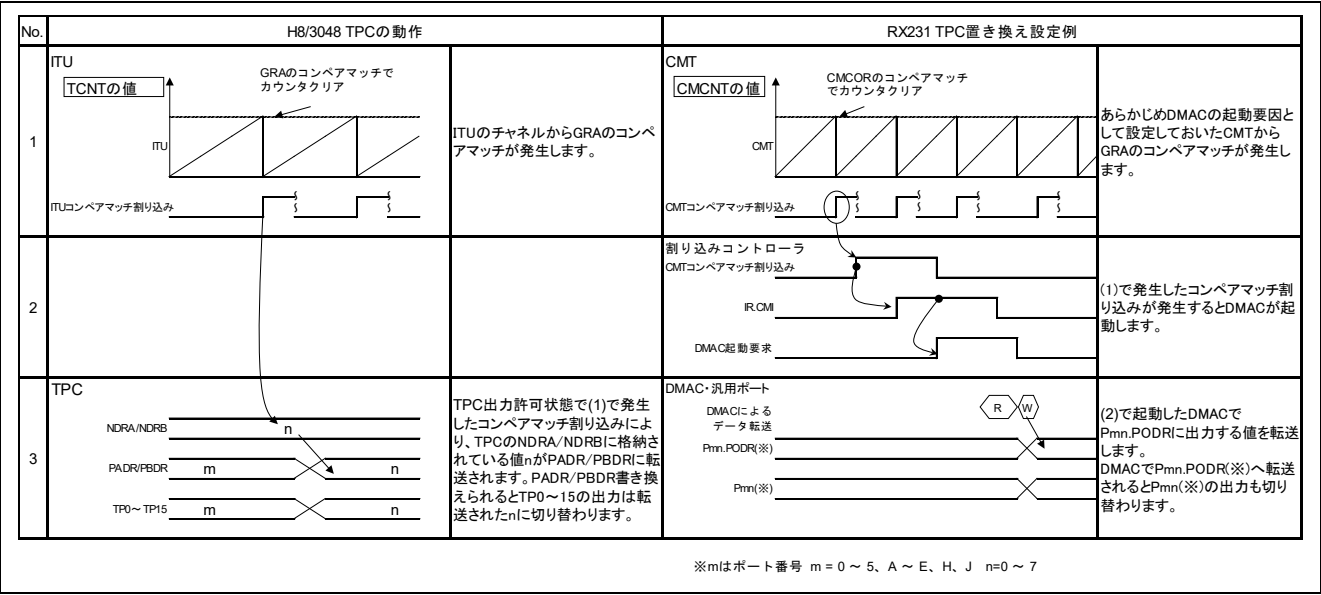


図 2.11 TPC の置き換え設定例動作説明

2.9 ウォッチドッグタイマ

2.9.1 仕様比較

ウォッチドッグタイマモジュールとして、H8/3048 には WDT、RX231 には WDTA と独立した専用クロックで動作する IWDTa がそれぞれ内蔵しています。表 2.22 にそれぞれの仕様を比較します。

表 2.22 H8/3048 WDT,RX231 WDTA,IWDTa 仕様比較

項目	H8/3048	RX231	
	WDT	WDTA	IWDTa
カウントソース	システムクロック	周辺モジュール クロック B (PCLKB)	IWDTCLK (IWDT 専用クロック)
クロック分周比	$\phi/2$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/2048$ 、 $\phi/4096$	4 分周／64 分周／ 128 分周／512 分周／ 2048 分周／8192 分周	1 分周／16 分周／ 32 分周／64 分周／ 128 分周／256 分周
カウント動作	8 ビットのアップカウンタ によるアップカウント	14 ビットのダウンカウンタによるダウンカウント	
割り込み要因	アップカウンタがオーバーフローしたとき	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)	
アンダフロー時の動作	—	リセット出力または、NMI 割り込み	
その他	インターバルとしても使用可能	- インターバルとして使用不可能 - ウィンドウ機能 - オートスタートモード - レジスタスタートモード	

2.10 A/D 変換

2.10.1 仕様比較

表 2.23 に H8/3048 と RX231 の A/D 変換仕様の比較を示します。

表 2.23 H8/3048、RX231 A/D 変換仕様比較

項目	H8/3048	RX231
	A/D 変換器	12 ビット A/D コンバータ (S12ADE)
分解能	10 ビット	12 ビット
A/D 変換方式	逐次比較方式	逐次比較方式
変換時間	1 チャンネルあたり最小 7.45μs (18MHz 動作時)	1 チャンネルあたり 0.83μs (A/D 変換クロック ADCLK=54MHz 動作時)
動作モード	単一モード	シングルスキャンモード
	スキャンモード	連続スキャンモード
	—	グループスキャンモードとグループスキャンモード (グループ A 優先制御選択時)
A/D 変換開始条件	- ソフトウェア - 外部トリガ信号 (_ADTRG)	- ソフトウェアトリガ - 同期トリガ (MTU、ELC、TPU からのトリガ) - 非同期トリガ (ADTRG0#端子)
機能	サンプル&ホールド機能	- サンプル&ホールド機能 - サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均値モードを選択可 - アナログ入力断線検出アシスト機能 - ダブルトリガモード - A/D データレジスタオートクリア機能 - コンペア機能 (ウィンドウ A、ウィンドウ B) - コンペア機能使用時のリングバッファ (16 本) - イベントリンク機能
割り込み要因	(A/D 変換終了割り込み要求)	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生
消費電力低減機能	モジュールスタンバイ状態設定可能	モジュールストップ状態設定可能
変換対象	アナログ入力端子 0~7	アナログ入力端子 0~7、アナログ入力端子 16~31 内部基準電圧 温度センサ

2.10.2 動作モード

H8/3048 の A/D 変換器には、単一モードとスキャンモードの 2 つの動作モードがあります。H8/3048 の変換モードが、RX231 のどの変換モードに該当するかを表 2.24 に示します。

表 2.24 A/D 変換器動作モード対応

No	H8/3048	RX210
1	単一モード	シングルスキャンモード (1 チャンネルだけ指定する)
2	スキャンモード	連続スキャンモード
3	—	グループスキャンモード

各動作モードの概要を示します。

表 2.25 A/D 変換器動作モード概要

マイコン	動作モード	動作概要
H8/3048	単一モード	① 指定した 1 チャンネルのみの A/D 変換を 1 回行う。 ② 割り込み許可されていれば、ADI 割り込みを発生。 ③ ADCSR の ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換が終了する。
	スキャンモード	① 指定した複数チャンネル (1 チャンネルも含む) のアナログ入力を若番チャンネルから順次変換。 ② 指定した全チャンネルの変換終了時に ADI 割り込みを発生。 ③ ADCSR の ADST ビットに“1” (A/D 変換開始) がセットされている間は①～②を繰り返す。 ADST ビットを“0”にクリアすると A/D 変換が終了する。
RX231	シングルスキャンモード	① 指定した複数チャンネル (1 チャンネルも含む) のアナログ入力を若番チャンネルから順次変換。 ② 指定した全チャンネルの変換終了時に S12ADI0 割り込みを発生。 ③ ADCSR の ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、A/D 変換が終了する。
	連続スキャンモード	上記シングルスキャンモードを繰り返し実行。
	グループスキャンモード	① グループ A とグループ B のスキャンをそれぞれ選択したトリガで開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ 1 回ずつ実施して終了する。 ② グループ A の割り込みが許可されていれば、グループ A のスキャン終了時に S12ADI0 割り込みを発生。 グループ B の割り込みが許可されていれば、グループ B のスキャン終了時に GBADI 割り込みを発生。

2.10.3 レジスタ一覧

表 2.26 に H8/3048 の AD 変換器、RX231 の 12 ビット A/D コンバータのレジスタ機能比較を示します。

表 2.26 AD 変換器レジスタ機能比較(1/2)

H8/3048	RX231	相違点
AD 変換器	12 ビット A/D コンバータ	
A/D データレジスタ A~D (ADDRA~D)	A/D データレジスタ y (ADDRy) (y=0~7、16~31)	あり *1
A/D コントロール/ステータスレジスタ (ADCSR)	A/D コントロールレジスタ (ADCSR)	あり
A/D コントロールレジスタ (ADCR)	A/D チャンネル選択レジスタ A0(ADANSA0)	
	A/D チャンネル選択レジスタ A1(ADANSA1)	
	A/D チャンネル選択レジスタ B0(ADANSB0)	
	A/D チャンネル選択レジスタ B1(ADANSB1)	
	A/D サンプリングステートレジスタ n(ADSSTRn)(n=0~7,L,T,O)	
	A/D 開始トリガ選択レジスタ (ADSTRGR)	
ー (対応するレジスタは存在しない)	A/D データ二重化レジスタ(ADDBLDR)	RX231 で新規 追加し たレジ スタ
	A/D 温度センサデータレジスタ(ADTSDR)	
	A/D 内部基準電圧データレジスタ(ADOCDR)	
	A/D 自己診断データレジスタ(ADRD)	
	A/D 変換値加算/平均機能チャンネル選択レジスタ n(ADADSn)(n=0,1)	
	A/D 変換値加算/平均回数選択レジスタ(ADADC)	
	A/D コントロール拡張レジスタ(ADCER)	
	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	
	A/D 断線検出コントロールレジスタ(ADDISCR)	
	A/D サンプリングステートレジスタ n(ADSSTRn)(n=0~7,L,T,O)	
	A/D 断線検出コントロールレジスタ(ADDISCR)	
	A/D イベントリンクコントロールレジスタ (ADELCCR)	
	A/D グループスキャン優先コントロールレジスタ(ADGSPCR)	
	A/D コンペア機能コントロールレジスタ (ADCMPCR)	
	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ n(ADCMPANSRn)(n=0,1)	
	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ(ADCMPANSER)	
	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ n(ADCMPLRn)(n=0,1)	
	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ(ADCMPLER)	
	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ(ADCMPDR0)	
	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ(ADCMPDR1)	

表 2.27 AD 変換器レジスタ機能比較(2/2)

H8/3048	RX231	相違点
AD 変換器	12 ビット A/D コンバータ	
ー (対応するレジスタは存在しない)	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ n(ADCMPSRn)(n=0,1)	RX231 で新規 追加し たレジ スタ
	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ(ADCMPSER)	
	A/D 高電位/低電位基準電圧コントロールレジスタ(ADHVREFCNT)	
	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ(ADWINMON)	
	A/D コンペア機能ウィンドウ B チャネル選択レジスタ(ADCMPSR)	
	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ(ADWINLLB)	
	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ(ADWINULB)	
	A/D コンペア機能ウィンドウ B チャネルステータスレジスタ(ADCMPSR)	
	A/D データ格納バッファレジスタ n(ADBUFn)(n=0~15)	
	A/D データ格納バッファイネーブルレジスタ(ADBUFEN)	
	A/D データ格納バッファポインタレジスタ(ADBUFPTR)	

【注】*1 H8/3048、RX231 共に 16 ビットレジスタです。なお、H8/3048 では 10 ビット左詰め配置されますが、RX231 の初期状態は 12 ビット右詰めフォーマットであることに注意して下さい。(ADCER.ADRFMT に“1”をセットすることで左詰めフォーマットにすることができます。)

2.10.4 モジュールストップ

RX231 ではリセット解除後、消費電流を抑える目的で DMAC、DTC、RAM 以外のモジュールはモジュールストップ状態（クロック供給停止状態）になります。モジュールの設定を行う前に必ずモジュールストップを解除してください。

2.11 D/A 変換

2.11.1 仕様比較

表 2.28 H8/3048、RX231 D/A 変換仕様比較

項目	H8/3048	RX231
	D/A 変換器	12 ビット D/A コンバータ (R12DA)
分解能	8 ビット	12 ビット
入力チャネル数	2 チャネル	2 チャネル
変換速度	10 μ s (負荷容量 20pF 時)	Max.30 μ s
出力電圧	0V~255/256 $\times$ V _{REF}	0V~4095/4096 $\times$ V _{REF} *1
ソフトウェアスタンバイ時の D/A 出力保持機能	あり	あり
消費電力低減機能	—	モジュールストップ状態設定可能*2

【注】 *1 1 0.35V~AVCC0-0.47V 範囲。AVCC0/AVSS、内部基準電圧/AVSS、VREFH/VREFL から選択

- 2 DAADSCR.DAADST ビットが“1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、
12 ビット A/D コンバータをモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換が停止する可能性があります

2.11.2 レジスタ比較

H8/3048 と RX231 のレジスタの相違点を示します。

表 2.29 H8/3048、RX231 レジスタ比較

H8/3048	RX231	相違点
D/A データレジスタ 0、1 (DADR0、1)	D/A データレジスタ 0、1 (DADR0、1)	あり*1
D/A コントロールレジスタ (DACR)	D/A 制御レジスタ (DACR)	あり*1
D/A スタンバイコントロールレジスタ (DASTCR)	—*2	—
—	DADRm フォーマット選択レジスタ (DADPR)	—
	D/A A/D 同期スタート制御レジスタ (DAADSCR)	—
	D/A VREF 制御レジスタ (DAVREFCR)	—

【注】 *1 ビットアサインは異なりますので注意願います。

- *2 H8/3048 にある D/A スタンバイコントロールレジスタ (DASTCR) に相当するレジスタは RX231 にはありません。

2.11.3 モジュールストップ

RX231 ではリセット解除後、消費電流を抑える目的で DMAC、DTC、RAM 以外のモジュールはモジュールストップ状態 (クロック供給停止状態) になります。モジュールの設定を行う前に必ずモジュールストップを解除してください。

2.12 フラッシュメモリ

2.12.1 仕様比較

表 2.30 H8/3048F、RX231 フラッシュメモリ仕様比較

項目		H8/3048F	RX231
サイズ		128K バイト	ユーザ領域：最大 512K バイト データ領域：8K バイト エクストラ領域：スタートアップ領域情報、 アクセスウィンドウ情報、 ユニーク ID を格納
ブロックサイズ× ブロック数		16K バイト×7 (112K バイト) 12K バイト×1 (12K バイト) 512 バイト×8 (4K バイト)	- ユーザ領域：2K バイト×256 (512K バイト) - データ領域：1K バイト×8 (8K バイト)
動作モード		- プログラムモード - プログラムベリファイモード - イレースモード - イレースベリファイモード - ブレライトベリファイモード	- E2 データフラッシュアクセス禁止モード - ROM/E2 データフラッシュリードモード - ROM P/E モード - E2 データフラッシュ P/E モード
ROM	書き込み／ 消去単位	書き込み：1 バイト単位 消去：ブロック単位	書き込み：8 バイト単位 消去：ブロック単位
	書き込み／ 消去時間	システムクロック：1MHz～16MHz - 書き込み： 50μs/1000μs (1 バイトあたり) *1 - 消去： 1s/30s (128K バイトあたり [全部ブロック]) *1	FCLK：32MHz - 書き込み： 52.3μs/491μs (8 バイトあたり) *1 - 消去： 66.7ms/1469ms (512K バイトあたり [全部ブロック]) *1
	最大書き換え 回数	100 回	1000 回
E2 データ フラッ シュ	書き込み／ 消去単位	—	書き込み：1 バイト単位 消去：ブロック単位
	書き込み／ 消去時間	—	FCLK：32MHz - 書き込み： 40.8μs/376μs (1 バイトあたり) *1 - 消去： 12.9ms/368ms (8K バイトあたり [全部ブロック]) *1
	書き込み回数	—	1,000,000 回/100,000 回*2
プログラミングモード		- オンボードプログラミング ブートモード - ユーザプログラムモード - PROM モード	- オンボードプログラミング ブートモード — FINE インタフェース — USB インタフェース — SCI インタフェース - セルフプログラミング (シングルチップモード) - オフボードプログラミング フラッシュプログラマ(シリアルプログラマ、パラ レルプログラマ)を使用して、ユーザ領域とデータ 領域の書き換えが可能
その他		ビットレート自動合わせ込み プロテクトモード	ビットレート自動調整 プロテクト機能

【注】 *1 typ/max で表記

*2 typ/min で表記

2.13 低消費電力状態とモジュールストップ機能

2.13.1 低消費電力状態の仕様比較

H8/3048 に低消費電力状態として 3 つのモード、RX231 は 3 つのモードが用意されています。低消費電力状態では H8/3048、RX231 共に CPU 機能を停止し、各低消費電力状態に応じて内部動作状態が切り替わります。各低消費電力状態のモードを下記に示します。

(1) H8/3048 低消費電力状態

H8/3048 の低消費電力状態での内部動作を表 2.31 に示します。

表 2.31 H8/3048 低消費電力状態

機能	スリープモード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード
クロック発振器	動作	停止	停止
CPU	停止	停止	停止
レジスタ	保持	保持	不定
リフレッシュコントローラ	動作	停止／保持 ^{*1}	停止／リセット
その他の周辺機器	動作	停止／リセット	停止／リセット
RAM	保持	保持	保持
φ クロック出力	φ 出力	High 出力	ハイインピーダンス
I/O ポート	保持	保持	ハイインピーダンス

【注】 *1 RTCNT、RTMCSR のビット 7、6 はリセットされます。

(2) RX231 消費電力低減機能

RX231 の低消費電力状態での内部動作を表 2.32 に示します。

表 2.32 RX231 低消費電力状態

機能	スリープモード	ディープスリープ モード	ソフトウェア スタンバイモード
メインクロック発振器	動作可能	動作可能	停止
サブクロック発振器	動作可能	動作可能	動作可能
高速オンチップオシレータ	動作可能	動作可能	停止
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT 専用オンチップオシレータ	動作可能	動作可能	動作可能
PLL	動作可能	動作可能	停止
USB 専用 PLL	動作可能	動作可能	停止
CPU	停止（保持）	停止（保持）	停止（保持）
RAM (0000 0000h～0000 FFFFh)	動作可能（保持）	停止（保持）	停止（保持）
フラッシュメモリ	動作	停止（保持）	停止（保持）
ウォッチドッグタイマ (WDT)	停止（保持）	停止（保持）	停止（保持）
独立ウォッチドッグタイマ (IWDT)	動作可能	動作可能	動作可能
リアルタイムクロック (RTC)	動作可能	動作可能	動作可能
ローパワータイマ (LPT)	動作可能	動作可能	動作可能
電圧検出回路 (LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止（保持）
I/O ポート	動作	動作	保持

動作可能は、制御レジスタ設定によって動作／停止を制御可能であることを示します。

停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。

2.13.2 モード遷移

RX231 の各低消費電力状態間の遷移を図 2.12 に示します。

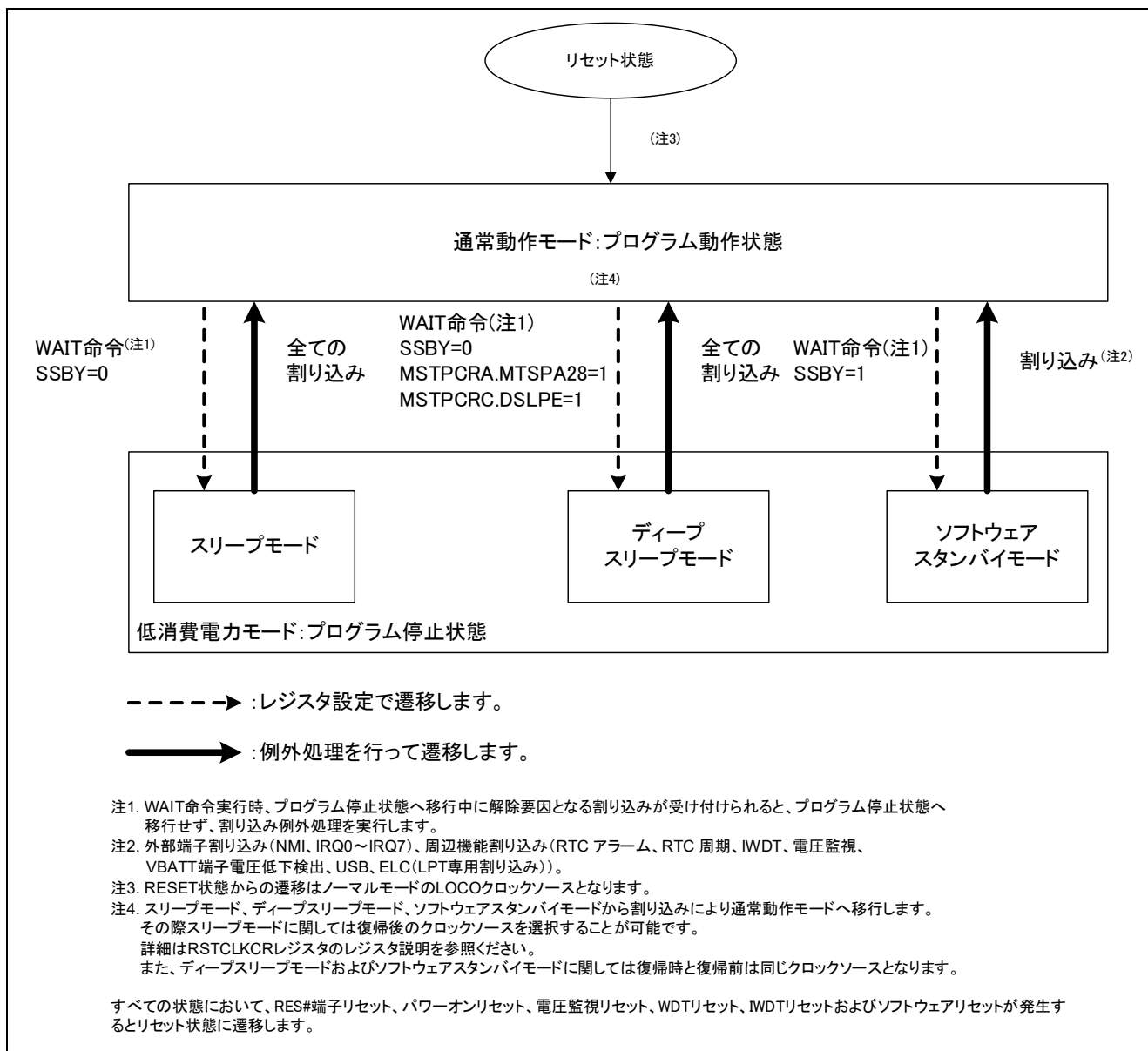


図 2.12 RX231 モード遷移図

2.13.1 モジュールストップ

H8/3048 のモジュールスタンバイ機能は、低消費電力状態とは独立に周辺モジュールの動作を停止させる事ができます。モジュールスタンバイ状態に遷移した場合、内部状態は初期化されます。H8/3048 では RESET 後、周辺モジュールは動作しています。RX231 のモジュールストップ機能も同様に、低消費電力状態とは独立に周辺モジュールの動作を停止させる事ができます。モジュールストップ状態に遷移した場合、内部状態は保持されます。RX231 ではリセット解除後は DMAC、DTC、RAM を除くすべての周辺モジュールの動作は停止しています。周辺モジュールの動作を開始する場合、モジュールストップを解除します。各周辺モジュールの動作・停止は表 2.33 に示すレジスタで行います。

表 2.33 停止可能なモジュール一覧

H8/3048	RX231
モジュールスタンバイ機能	モジュールストップ機能
MSTCR : モジュールスタンバイ コントロールレジスタ	SYSTEM.MSTPCRA : モジュールストップ コントロールレジスタ A
ITU	TMR
SCI	MTU
DMA	TPU
リフレッシュコントローラ	CMT
A/D 変換器	S12AD
—	DA
	DMAC、DTC
	SYSTEM.MSTPCRB : モジュールストップ コントロールレジスタ B
	RSCAN0
	SCI0,1,5,6,12
	DOC
	ELC
	コンパレータ B
	RSPI0
	USB0
	RIIC0
	CRC
	SYSTEM.MSTPCRC : モジュールストップ コントロールレジスタ C
	RAM
	CAC
	IRDA
	SCI8,9
	SYSTEM.MSTPCRD : モジュールストップ コントロールレジスタ D
	CTSU
	SSI
	SDHI
	Trusted Secure IP

3. 参考資料

3.1 節では本資料を作成する上で参照した資料をまとめました。下記資料を参照するに当たり、最新版の資料がある場合、最新版に差し替えて使用して下さい。最新版はルネサスエレクトロニクスホームページで確認および入手して下さい。

表 3.1 参考資料

参考資料
H8/3048 グループ、H8/3048F-ZTAT™ハードウェアマニュアル (RJJ09B0280)
RX230 グループ、RX231 グループ ユーザーズマニュアル ハードウェア編 (R01UH0496JJ)
RX231 グループ 初期設定例 (R01AN2185JJ)
RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 (R01UH0590JJ)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2023.03.27	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

