

---

## RL78/G14、R8C/36M グループ

R01AN4217JJ0100

Rev.1.00

### R8C から RL78 への移行ガイド：タイマ RD

---

2018.08.03

#### 要旨

本アプリケーションノートでは、R8C/36M グループのタイマ RD から RL78/G14 (64 ピン製品)のタイマ RD への移行に関して説明します。

#### 動作確認デバイス

RL78/G14、R8C/36M グループ

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

## 目次

1. R8C ファミリから RL78 ファミリへの移行方法 .....	3
2. RL78/G14 と R8C/36M グループの相違点 .....	5
2.1 機能概要の相違点 .....	5
2.2 インพุットキャプチャ機能の相違点.....	7
2.3 アウトプットコンペア機能の相違点.....	9
2.4 PWM モードの相違点 .....	11
2.5 リセット同期 PWM モードの相違点.....	13
2.6 相補 PWM モードの相違点 .....	15
2.7 PWM3 モードの相違点 .....	17
2.8 入出力端子の割り当て .....	19
2.9 レジスタの対比.....	20
2.10 レジスタの変更点 .....	21
2.10.1 TRDECR レジスタ(R8C/36M グループのみ) .....	21
2.10.2 TRDADCR レジスタ(R8C/36M グループのみ).....	21
2.10.3 TRDFCR レジスタ .....	21
2.10.4 TRDDFi レジスタ(i = 0、1).....	21
2.10.5 TRDCRi レジスタ(i = 0、1) .....	22
2.10.6 TRDIORAi レジスタ(i = 0、1).....	23
2.10.7 TRDPSRi レジスタ(i = 0、1)(R8C/36M グループのみ).....	23
2.10.8 TRDOER2 レジスタ.....	23
2.10.9 TRDELC レジスタ(RL78/G14 のみ) .....	23
3. 関連アプリケーションノート .....	24
4. 参考ドキュメント.....	24

## 1. R8C ファミリから RL78 ファミリへの移行方法

本アプリケーションノートでは、R8C/36M グループのタイマ RD に搭載されている各動作モード(タイマモード、PWM モード、リセット同期 PWM モード、相補 PWM モードおよび PWM3 モード)を RL78/G14 で実現する方法について説明します。

表 1.1 に R8C/36M グループのタイマ RD の動作モードを示します。

表 1.2 に RL78/G14 のタイマ RD の動作モードを示します。

R8C/36M グループでは、タイマ RD は、16 ビットタイマを 2 本(タイマ RD0、タイマ RD1)持ちます。タイマ RD は 5 種類のモード(タイマモード、PWM モード、リセット同期 PWM モード、相補 PWM モードおよび PWM3 モード)を持ちます。タイマモードには、2 つの機能(インプットキャプチャ機能とアウトプットコンペア機能)があります。インプットキャプチャ機能では、外部信号をトリガにしてカウンタの値をレジスタに取り込みます。アウトプットコンペア機能では、カウンタとレジスタの値の一致を検出します(検出時に端子出力変更可能)。他の 4 つのモードは、アウトプットコンペア機能を用います。PWM モードでは、任意の幅のパルスを連続して出力します。リセット同期 PWM モードでは、鋸波変調を行い、短絡防止時間なしの三相波形(6 本)を出力します。相補 PWM モードでは、三角波変調を行い、短絡防止時間ありの三相波形(6 本)を出力します。PWM3 モードでは、同一周期の PWM 波形(2 本)を出力します。

また、RL78/G14 でのタイマ RD にも、16 ビットタイマを 2 本(タイマ RD0、タイマ RD1)があります。タイマ RD は 4 種類のモード(タイマモード、リセット同期 PWM モード、相補 PWM モードおよび PWM3 モード)を持ちます。タイマモードには、3 つの機能(インプットキャプチャ機能、アウトプットコンペア機能および PWM 機能)があります。インプットキャプチャ機能では、外部信号をトリガにしてカウンタの値をレジスタに取り込みます。アウトプットコンペア機能では、カウンタとレジスタの値の一致を検出します(検出時に端子出力変更可能)。PWM 機能では、任意の幅のパルスを連続して出力します。他の 3 つのモードは、PWM 機能を用います。リセット同期 PWM モードでは、鋸波変調を行い、短絡防止時間なしの三相波形(6 本)を出力します。相補 PWM モードでは、三角波変調を行い、短絡防止時間ありの三相波形(6 本)を出力します。PWM3 モードでは、同一周期の PWM 波形(2 本)を出力します。

RL78/G14 のタイマ RD を使用することで、R8C/36M グループのタイマ RD の各モード(タイマモード、PWM モード、リセット同期 PWM モード、相補 PWM モードおよび PWM3 モード)と同様の動作を実現することが可能です(R8C/36M グループでのタイマ RD の「PWM モード」は、RL78/G14 でのタイマ RD の「PWM 機能」と同様の機能です)。

タイマ RD の詳細な相違点につきましては、本アプリケーションノート「2. RL78/G14 と R8C/36M グループの相違点」章にまとめていますので、ご参照ください。

RL78/G14 のタイマ RD を使用したサンプルプログラムについては、「3. 関連アプリケーションノート」章で各動作モードのアプリケーションノートを紹介していますので、ご参考ください。

備考 i = 0、1

表 1.1 R8C/36M グループのタイマ RD の動作モード

R8C/36M グループのタイマ RD		
動作モード		機能
タイマモード	- インพุットキャプチャ機能	外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
	- アウトプットコンペア機能	カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)
PWM モード		任意の幅のパルスを連続して出力するモード
リセット同期 PWM モード		鋸波変調を行い、短絡防止時間なしの三相波形(6本)を出力するモード
相補 PWM モード		三角波変調を行い、短絡防止時間ありの三相波形(6本)を出力するモード
PWM3 モード		同一周期の PWM 波形(2本)を出力するモード

表 1.2 RL78/G14 のタイマ RD の動作モード

RL78/G14 のタイマ RD		
動作モード		機能
タイマモード	- インพุットキャプチャ機能	外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
	- アウトプットコンペア機能	カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)
	- PWM 機能	任意の幅のパルスを連続して出力する機能
リセット同期 PWM モード		鋸波変調を行い、短絡防止時間なしの三相波形(6本)を出力するモード
相補 PWM モード		三角波変調を行い、短絡防止時間ありの三相波形(6本)を出力するモード
PWM3 モード		同一周期の PWM 波形(2本)を出力するモード

## 2. RL78/G14 と R8C/36M グループの相違点

## 2.1 機能概要の相違点

表 2.1 および表 2.2 に R8C/36M グループのタイマ RD と RL78/G14 のタイマ RD の相違点を示します。

表 2.1 機能概要の相違点(1/2)

項目	R8C/36M グループの タイマ RD	RL78/G14 の タイマ RD
カウントソース	f1、f2、f4、f8、f32、 fC2 (注 1)、fOCO40M、 fOCO-F、TRDCLK (注 2) (最大 40MHz (注 3))	f <sub>CLK</sub> 、f <sub>CLK</sub> /2、f <sub>CLK</sub> /4、f <sub>CLK</sub> /8、f <sub>CLK</sub> /32、 f <sub>HOCO</sub> (注 4)、TRDCLK (注 2) (最大 64MHz (注 5))
パルス出力強制遮断を 行う方法	• INT0端子に“L”を入力 タイマ RD の出力端子 (TRDIO <sub>ji</sub> 端子)を強制的に プログラマブル入出力 ポートにし、パルス出力を 遮断できる。	• INTPO 端子に L を入力 • ELC イベント入力によるパルス強制遮断 タイマ RD の出力端子(TRDIO <sub>ji</sub> 端子)のパルス 出力を遮断できる。タイマ RD の出力ポー トとして使用している出力端子は、TRDDFi レジスタで設定した出力値を出力します。
パルス出力強制遮断解除 方法	カウント停止中(TSTART <sub>i</sub> =0) に、INT0端子に“H”を入力	INTPO 端子に“H”を入力後、カウント停止中 (TSTART <sub>i</sub> =0)に TRDSHUTS ビットを“0”に 設定(ELC イベント入力によるパルス強制遮 断が発生しない箇所で行ってください)
パルス出力強制遮断を使用 可能な動作モード	• アウトプットコンペア機能 • PWM モード • リセット同期 PWM モード • 相補 PWM モード • PWM3 モード	• PWM 機能 • リセット同期 PWM モード • 相補 PWM モード • PWM3 モード
パルス出力強制遮断時の 端子の状態設定方法	P2 レジスタと PD2 レジスタ で設定	TRDDFi レジスタで設定

注 1. PWM モード、リセット同期 PWM モード、相補 PWM モード、PWM3 モードでは fC2 を選択できません。

注 2. PWM3 モードでは TRDCLK を選択できません。

注 3. R8C/36M でのタイマ RD のカウントソース：最大 40MHz

タイマ RD のカウントソース選択を fOCO40M に設定してください。

注 4. ユーザ・オプション・バイト(000C2H)の FRQSEL4 = 0 のときは f<sub>CLK</sub>、FRQSEL4 = 1 のときは f<sub>HOCO</sub> が選択されます。タイマ RD のカウントソースに f<sub>HOCO</sub> を選択する場合、周辺イネーブル・レジスタ 1 (PER1)のビット 4(TRD0EN)をセットする前に、f<sub>CLK</sub> を f<sub>ih</sub> に設定してください。f<sub>CLK</sub> を f<sub>ih</sub> 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1(PER1)のビット 4(TRD0EN)をクリアしたあとに変更してください。

注 5. RL78/G14 でのタイマ RD のカウントソース：最大 64MHz (以下の設定にします。)

・ CPU クロック設定

タイマ RD に 64MHz/48MHz を供給する場合は、f<sub>CLK</sub> を f<sub>ih</sub> に設定してください。

f<sub>HOCO</sub> を 64MHz または 48MHz に設定した場合は f<sub>HOCO</sub> の 2 分周、32MHz 以下に設定した場合は f<sub>HOCO</sub> と同一のクロック周波数となるようにハードウェアで制御されます。

・ タイマ RD のカウントソース設定

タイマ RD に 64MHz/48MHz を供給する場合は、カウントソース選択を f<sub>HOCO</sub> に設定してください。

備考 i = 0、1

j = A、B、C、D

表 2.2 機能概要の相違点(2/2)

項目	R8C/36M グループの タイマ RD	RL78/G14 の タイマ RD
入力キャプチャ時の TRDIOA0、fOCO128 の切り替え	あり (TRDIORA0 レジスタで設定可)	なし
タイマ RD の端子	P2_0~P2_7 (注 1)	P10~P17 (注 1)
A/D トリガ発生	使用可 (注 2)	使用可 (ELC による連動動作)
ELC(Event Link Controller)からのイベント入力	なし	あり

注 1. 表 2.15 「R8C/36M グループと RL78/G14 の入出力端子」を参考にしてください。

注 2. 入力キャプチャ機能では使用できません。

## 2.2 インพุットキャプチャ機能の相違点

RL78/G14 のタイマ RD のインพุットキャプチャ機能での動作は、R8C/36M グループのタイマ RD のインพุットキャプチャ機能に対応可能です。

表 2.3 および表 2.4 に R8C/36M グループのタイマ RD のインพุットキャプチャ機能と RL78/G14 のタイマ RD のインพุットキャプチャ機能の相違点を示します。

表 2.3 タイマ RD の相違点(インพุットキャプチャ機能)(1/2)

項目	R8C/36M グループ (インพุットキャプチャ機能)	RL78/G14 (インพุットキャプチャ機能)
カウントソース	f1、f2、f4、f8、f32、fC2、fOCO40M、fOCO-F、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択) (最大 40MHz (注 1))	f <sub>HOCO</sub> (注 2)、f <sub>CLK</sub> 、f <sub>CLK</sub> /2、f <sub>CLK</sub> /4、f <sub>CLK</sub> /8、f <sub>CLK</sub> /32、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択) (最大 64MHz (注 3))
カウント動作	アップカウント	アップカウント
カウント周期	TRDCR <sub>i</sub> レジスタの CCLR2~CCLR0 ビットが"000b"(フリーランニング動作)の場合： 1/fk × 65536 fk：カウントソースの周波数	TRDCR <sub>i</sub> レジスタの CCLR2~CCLR0 ビットが 000B (フリーランニング動作) の場合： 1/fk × 65536 fk：カウントソースの周波数
カウント開始条件	TRDSTR レジスタの TSTART <sub>i</sub> ビットへの"1"(カウント開始)書き込み	TRDSTR レジスタの TSTART <sub>i</sub> ビットへの 1 (カウント開始)書き込み
カウント停止条件	TRDSTR レジスタの CSEL <sub>i</sub> ビットが"1"に設定されているとき、TSTART <sub>i</sub> ビットへの"0"(カウント停止)書き込み	TRDSTR レジスタの CSEL <sub>i</sub> ビットが 1 に設定されているとき、TSTART <sub>i</sub> ビットへの 0 (カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>インพุットキャプチャ (TRDIO<sub>ji</sub> 入力の有効エッジ、または fOCO128 信号のエッジ)</li> <li>TRD<sub>i</sub> オーバフロー</li> </ul>	<ul style="list-style-type: none"> <li>インพุットキャプチャ (TRDIO<sub>ji</sub> 入力の有効エッジ)</li> <li>TRD<sub>i</sub> オーバフロー</li> </ul>

注 1. R8C/36M でのタイマ RD のカウントソース：最大 40MHz

タイマ RD のカウントソース選択を fOCO40M に設定してください。

注 2. ユーザ・オプション・バイト(000C2H)の FRQSEL4 = 1 のときのみ f<sub>HOCO</sub> が選択できます。タイマ RD のカウントソースに f<sub>HOCO</sub> を選択する場合、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をセットする前に、f<sub>CLK</sub> を f<sub>IH</sub> に設定してください。f<sub>CLK</sub> を f<sub>IH</sub> 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をクリアしたあとに変更してください。

注 3. RL78/G14 でのタイマ RD のカウントソース：最大 64MHz (以下の設定にします。)

・CPU クロック設定

タイマ RD に 64MHz/48MHz を供給する場合は、f<sub>CLK</sub> を f<sub>IH</sub> に設定してください。

f<sub>HOCO</sub> を 64MHz または 48MHz に設定した場合は f<sub>HOCO</sub> の 2 分周、32MHz 以下に設定した場合は f<sub>HOCO</sub> と同一のクロック周波数となるようにハードウェアで制御されます。

・タイマ RD のカウントソース設定

タイマ RD に 64MHz/48MHz を供給する場合は、カウントソース選択を f<sub>HOCO</sub> に設定してください。

備考 i = 0、1

j = A、B、C、D

表 2.4 タイマ RD の相違点(インプットキャプチャ機能)(2/2)

項目	R8C/36M グループ (インプットキャプチャ機能)	RL78/G14 (インプットキャプチャ機能)
TRDIOA0 端子機能	プログラマブル入出力ポート、 インプットキャプチャ入力、 または TRDCLK(外部クロック)入力	I/O ポート、インプットキャプチャ入力、 または TRDCLK (外部クロック)入力
TRDIOB0、 TRDIOC0、 TRDIOD0、 TRDIOA1~ TRDIOD1 端子機能	プログラマブル入出力ポート、またはイン プットキャプチャ入力(1 端子ごとに選択)	I/O ポートまたはインプットキャプチャ入力 (1 端子ごとに選択)
INT0/INTP0 端子機能	プログラマブル入出力ポート、または INT0 割り込み入力	使用しない(入力専用ポートまたは INTP0 割り込み入力)
タイマの 読み出し	TRDi レジスタを読むと、カウント値が読 める	TRDi レジスタを読むと、カウント値が読め る
タイマの 書き込み	<ul style="list-style-type: none"> <li>• TRDMR レジスタの SYNC ビットが“0” (タイマ RD0 とタイマ RD1 は独立動作)の 場合： TRDi レジスタへの書き込み可</li> <li>• TRDMR レジスタの SYNC ビットが“1” (タイマ RD0 とタイマ RD1 が同期動作)の 場合： TRDi レジスタに書き込むと、TRD0 レジスタと TRD1 レジスタの両方に書き 込まれる</li> </ul>	<ul style="list-style-type: none"> <li>• TRDMR レジスタの TRDSYNC ビットが 0 (タイマ RD0 とタイマ RD1 は独立動作)の 場合： TRDi レジスタへの書き込み可</li> <li>• TRDMR レジスタの TRDSYNC ビットが 1 (タイマ RD0 とタイマ RD1 が同期動作) の 場合： TRDi レジスタに書き込むと、TRD0 レ ジスタと TRD1 レジスタの両方に書き込ま れる</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• インプットキャプチャ入力端子選択</li> <li>• インプットキャプチャ入力の 有効エッジ選択</li> <li>• TRDi を“0000h”にするタイミング</li> <li>• バッファ動作</li> <li>• 同期動作</li> <li>• デジタルフィルタ</li> <li>• インプットキャプチャトリガ選択</li> </ul>	<ul style="list-style-type: none"> <li>• インプットキャプチャ入力端子選択</li> <li>• インプットキャプチャ入力の有効エッジ 選択</li> <li>• TRDi を 0000H にするタイミング</li> <li>• バッファ動作</li> <li>• 同期動作</li> <li>• デジタルフィルタ</li> <li>• ELC からのイベント入力によるインプット キャプチャ動作</li> </ul>

備考 i = 0、1

## 2.3 アウトプットコンペア機能の相違点

RL78/G14 のタイマ RD のアウトプットコンペア機能での動作は、R8C/36M グループのタイマ RD のアウトプットコンペア機能に対応可能です。

表 2.5 および表 2.6 に R8C/36M グループのタイマ RD のアウトプットコンペア機能と RL78/G14 のタイマ RD のアウトプットコンペア機能の相違点を示します。

表 2.5 タイマ RD の相違点(アウトプットコンペア機能)(1/2)

項目	R8C/36M グループ (アウトプットコンペア機能)	RL78/G14 (アウトプットコンペア機能)
カウントソース	f1、f2、f4、f8、f32、fC2、OCO40M、fOCO-F、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択) (最大 40MHz (注 1))	fHOCO (注 2)、fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択) (最大 64MHz (注 3))
カウント動作	アップカウント	アップカウント
カウント周期	<ul style="list-style-type: none"> <li>• TRDCRi レジスタの CCLR2~CCLR0 ビットが"000b" (フリーランニング動作)の場合： <math>1/fk \times 65536</math> fk : カウントソースの周波数</li> <li>• TRDCRi レジスタの CCLR1~CCLR0 ビットが"01b"、"10b" (TRDGRji のコンペアー一致で TRDi を"0000h"にする)の場合： カウントソースの周期 <math>\times (n+1)</math> n : TRDGRji レジスタ設定値</li> </ul>	<ul style="list-style-type: none"> <li>• TRDCRi レジスタの CCLR2~CCLR0 ビットが 000B (フリーランニング動作)の場合： <math>1/fk \times 65536</math> fk : カウントソースの周波数</li> <li>• TRDCRi レジスタの CCLR1~CCLR0 ビットが 01B、10B (TRDGRji のコンペアー一致で TRDi を 0000H にする)の場合： <math>1/fk \times (n + 1)</math> n : TRDGRji レジスタ設定値</li> </ul>
波形出力タイミング	コンペアー一致	コンペアー一致 (TRDi レジスタと TRDGRji レジスタの内容が一致)
カウント開始条件	TRDSTR レジスタの TSTARTi ビットへの"1"(カウント開始)書き込み	TRDSTR レジスタの TSTARTi ビットへの 1 (カウント開始)書き込み

注 1. R8C/36M でのタイマ RD のカウントソース：最大 40MHz

タイマ RD のカウントソース選択を fOCO40M に設定してください。

注 2. ユーザ・オプション・バイト(000C2H)の FRQSEL4 = 1 のときのみ fHOCO が選択できます。タイマ RD のカウントソースに fHOCO を選択する場合、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をセットする前に、fCLK を fIH に設定してください。fCLK を fIH 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をクリアしたあとに変更してください。

注 3. RL78/G14 でのタイマ RD のカウントソース：最大 64MHz (以下の設定にします。)

・ CPU クロック設定

タイマ RD に 64MHz/48MHz を供給する場合は、fCLK を fIH に設定してください。

fHOCO を 64MHz または 48MHz に設定した場合は fHOCO の 2 分周、32MHz 以下に設定した場合は fHOCO と同一のクロック周波数となるようにハードウェアで制御されます。

・ タイマ RD のカウントソース設定

タイマ RD に 64MHz/48MHz を供給する場合は、カウントソース選択を fHOCO に設定してください。

備考 i = 0、1

j = A、B、C、D

表 2.6 タイマ RD の相違点(アウトプットコンペア機能)(2/2)

項目	R8C/36M グループ (アウトプットコンペア機能)	RL78/G14 (アウトプットコンペア機能)
カウント停止条件	<ul style="list-style-type: none"> <li>• TRDSTR レジスタの CSELi ビットが "1" の場合、TSTARTi ビットへの "0" (カウント停止)書き込み。このとき、アウトプットコンペア出力端子はカウント停止前の出力レベルを保持する。</li> <li>• TRDSTR レジスタの CSELi ビットが "0" の場合、TRDGRAi コンペア一致。このとき、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持する。</li> </ul>	<ul style="list-style-type: none"> <li>• TRDSTR レジスタの CSELi ビットが 1 の場合、TSTARTi ビットへの 0 (カウント停止)書き込み。このとき、アウトプットコンペア出力端子はカウント停止前の出力レベルを保持する。</li> <li>• TRDSTR レジスタの CSELi ビットが 0 の場合、TRDGRAi コンペア一致。このとき、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持する。</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>• コンペア一致(TRDi レジスタと TRDGRji レジスタの内容が一致)</li> <li>• TRDi オーバフロー</li> </ul>	<ul style="list-style-type: none"> <li>• コンペア一致(TRDi レジスタと TRDGRji レジスタの内容が一致)</li> <li>• TRDi オーバフロー</li> </ul>
TRDIOA0 端子機能	プログラマブル入出力ポート、アウトプットコンペア出力、または TRDCLK (外部クロック)入力	I/O ポート、アウトプットコンペア出力、または TRDCLK (外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1~TRDIOD1 端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1 端子ごとに選択)	I/O ポートまたはアウトプットコンペア出力(1 端子ごとに選択)
INT0/INTP0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力	使用しない(入力専用ポートまたは INTP0 割り込み入力)
タイマの読み出し	TRDi レジスタを読むと、カウント値が読める	TRDi レジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> <li>• TRDMR レジスタの SYNC ビットが "0" (タイマ RD0 とタイマ RD1 は独立動作)の場合、TRDi レジスタへの書き込み可。</li> <li>• TRDMR レジスタの SYNC ビットが "1" (タイマ RD0 とタイマ RD1 が同期動作)の場合、TRDi レジスタに書き込むと、TRD0 レジスタと TRD1 レジスタの両方に書き込まれる。</li> </ul>	<ul style="list-style-type: none"> <li>• TRDMR レジスタの TRDSYNC ビットが 0 (タイマ RD0 とタイマ RD1 は独立動作) の場合、TRDi レジスタへの書き込み可。</li> <li>• TRDMR レジスタの TRDSYNC ビットが 1 (タイマ RD0 とタイマ RD1 が同期動作) の場合、TRDi レジスタに書き込むと、TRD0 レジスタと TRD1 レジスタの両方に書き込まれる。</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>• アウトプットコンペア出力端子選択</li> <li>• コンペア一致時の出力レベル選択</li> <li>• 初期出力レベル選択</li> <li>• TRDi を "0000h"にするタイミング</li> <li>• バッファ動作</li> <li>• 同期動作</li> <li>• TRDGRCi、TRDGRDi の出力端子変更</li> <li>• パルス出力強制遮断信号入力</li> <li>• タイマ RD は出力しないことで内部タイマとして使用できる</li> <li>• A/D トリガ発生 (注 1)</li> </ul>	<ul style="list-style-type: none"> <li>• アウトプットコンペア出力端子選択</li> <li>• コンペア一致時の出力レベル選択</li> <li>• 初期出力レベル選択</li> <li>• TRDi を 0000H にするタイミング</li> <li>• バッファ動作</li> <li>• 同期動作</li> <li>• TRDGRCi、TRDGRDi の出力端子変更</li> <li>• タイマ RD は出力しないことで内部タイマとして使用できる</li> <li>• ELC による連動動作 (A/D トリガ発生等)</li> </ul>

注 1. TRDi レジスタと TRDGRji レジスタのコンペア一致信号を、A/D コンバータの変換開始トリガとして使用できます。TRDADCR レジスタで、どのコンペア一致を使用するか選択できます。

備考 i = 0, 1

j = A, B, C, D

## 2.4 PWM モードの相違点

RL78/G14 のタイマ RD の PWM 機能での動作は、R8C/36M グループのタイマ RD の PWM モードに対応可能です。

表 2.7 および表 2.8 に R8C/36M グループのタイマ RD の PWM モードと RL78/G14 のタイマ RD の PWM 機能の相違点を示します。

表 2.7 タイマ RD の相違点(PWM モード/PWM 機能)(1/2)

項目	R8C/36M グループ (PWM モード)	RL78/G14 (PWM 機能)
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択可能)(最大 40MHz (注 1))	f <sub>HOCO</sub> (注 2)、f <sub>CLK</sub> 、f <sub>CLK</sub> /2、f <sub>CLK</sub> /4、f <sub>CLK</sub> /8、f <sub>CLK</sub> /32、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択可能)(最大 64MHz (注 3))
カウント動作	アップカウント	アップカウント
PWM 波形	PWM 周期：1/fk × (m+1) アクティブレベル幅：1/fk × (m-n) アクティブでないレベルの幅： 1/fk × (n+1) fk：カウントソースの周波数 m：TRDGRA <sub>i</sub> レジスタ設定値 n：TRDGR <sub>ji</sub> レジスタ設定値	PWM 周期：1/fk × (m + 1) アクティブレベル幅：1/fk × (m - n) アクティブでないレベルの幅： 1/fk × (n + 1) fk：カウントソースの周波数 m：TRDGRA <sub>i</sub> レジスタ設定値 n：TRDGR <sub>ji</sub> レジスタ設定値
カウント開始条件	TRDSTR レジスタの TSTART <sub>i</sub> ビットへの"1"(カウント開始)書き込み	TRDSTR レジスタの TSTART <sub>i</sub> ビットへの 1 (カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRDSTR レジスタの CSEL<sub>i</sub> ビットが"1"の場合、TSTART<sub>i</sub> ビットへの"0"(カウント停止)書き込み。このとき、PWM 出力端子はカウント停止前の出力レベルを保持。</li> <li>TRDSTR レジスタの CSEL<sub>i</sub> ビットが"0"の場合、TRDGRA<sub>i</sub> コンペア一致。このとき、PWM 出力端子はコンペア一致による出力変化後のレベルを保持。</li> </ul>	<ul style="list-style-type: none"> <li>TRDSTR レジスタの CSEL<sub>i</sub> ビットが 1 の場合、TSTART<sub>i</sub> ビットへの 0 (カウント停止)書き込み。このとき、PWM 出力端子はカウント停止前の出力レベルを保持。</li> <li>TRDSTR レジスタの CSEL<sub>i</sub> ビットが 0 の場合、TRDGRA<sub>i</sub> コンペア一致。このとき、PWM 出力端子はコンペア一致による出力変化後のレベルを保持。</li> </ul>

注 1. R8C/36M でのタイマ RD のカウントソース：最大 40MHz

タイマ RD のカウントソース選択を fOCO40M に設定してください。

注 2. ユーザ・オプション・バイト(000C2H)の FRQSEL4 = 1 のときのみ f<sub>HOCO</sub> が選択できます。タイマ RD のカウントソースに f<sub>HOCO</sub> を選択する場合、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN) をセットする前に、f<sub>CLK</sub> を f<sub>IH</sub> に設定してください。f<sub>CLK</sub> を f<sub>IH</sub> 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をクリアしたあとに変更してください。

注 3. RL78/G14 でのタイマ RD のカウントソース：最大 64MHz (以下の設定にします。)

・ CPU クロック設定

タイマ RD に 64MHz/48MHz を供給する場合は、f<sub>CLK</sub> を f<sub>IH</sub> に設定してください。

f<sub>HOCO</sub> を 64MHz または 48MHz に設定した場合は f<sub>HOCO</sub> の 2 分周、32MHz 以下に設定した場合は f<sub>HOCO</sub> と同一のクロック周波数となるようにハードウェアで制御されます。

・ タイマ RD のカウントソース設定

タイマ RD に 64MHz/48MHz を供給する場合は、カウントソース選択を f<sub>HOCO</sub> に設定してください。

備考 i = 0、1

j = B、C、D

h = A、B、C、D

表 2.8 タイマ RD の相違点(PWM モード/PWM 機能)(2/2)

項目	R8C/36M グループ (PWM モード)	RL78/G14 (PWM 機能)
割り込み 要求発生 タイミング	<ul style="list-style-type: none"> <li>コンペアー一致(TRDi レジスタと TRDGRhi レジスタの内容が一致)</li> <li>TRDi オーバフロー</li> </ul>	<ul style="list-style-type: none"> <li>コンペアー一致(TRDi レジスタと TRDGRhi レジスタの内容が一致)</li> <li>TRDi オーバフロー</li> </ul>
TRDIOA0 端子機能	プログラマブル入出力ポート、または TRDCLK(外部クロック)入力	I/O ポートまたは TRDCLK (外部クロック)入力
TRDIOA1 端子機能	プログラマブル入出力ポート	I/O ポート
TRDIOB0、 TRDIOC0、 TRDIOD0、 TRDIOB1、 TRDIOC1、 TRDIOD1 端子機能	プログラマブル入出力ポート、または PWM 出力(1 端子ごとに選択)	I/O ポートまたは PWM 出力 (1 端子ごとに選択)
$\overline{\text{INT0}}$ / INTP0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または $\overline{\text{INT0}}$ 割り込み入力	パルス出力強制遮断信号入力 (入力専用ポートまたは INTP0 割り込み入力)
タイマの 読み出し	TRDi レジスタを読むと、カウント値が読める	TRDi レジスタを読むと、カウント値が読める
タイマの 書き込み	TRDi レジスタへの書き込み可	TRDi レジスタへの書き込み可
選択機能	<ul style="list-style-type: none"> <li>PWM 出力端子をタイマ RDi で 1~3 本選択</li> <li>アクティブレベルを 1 端子ごとに選択</li> <li>初期出力レベルを 1 端子ごとに選択</li> <li>同期動作</li> <li>バッファ動作</li> <li>パルス出力強制遮断信号入力</li> <li>A/D トリガ発生 (注 1)</li> </ul>	<ul style="list-style-type: none"> <li>PWM 出力端子をタイマ RDi で 1~3 本選択</li> <li>アクティブレベルを 1 端子ごとに選択</li> <li>初期出力レベルを 1 端子ごとに選択</li> <li>同期動作</li> <li>バッファ動作</li> <li>パルス出力強制遮断信号入力</li> <li>ELC による連動動作 (A/D トリガ発生等)</li> </ul>

注 1. TRDi レジスタと TRDGRji レジスタのコンペアー一致信号を、A/D コンバータの変換開始トリガとして使用できます。TRDADCR レジスタで、どのコンペアー一致を使用するか選択できます。

備考 i = 0、1  
j = A、B、C、D

## 2.5 リセット同期 PWM モードの相違点

RL78/G14 のタイマ RD のリセット同期 PWM モードでの動作は、R8C/36M グループのタイマ RD のリセット同期 PWM モードに対応可能です。

表 2.9 および表 2.10 に R8C/36M グループのタイマ RD のリセット同期 PWM モードと RL78/G14 のタイマ RD のリセット同期 PWM モードの相違点を示します。

表 2.9 タイマ RD の相違点(リセット同期 PWM モード)(1/2)

項目	R8C/36M グループ (リセット同期 PWM モード)	RL78/G14 (リセット同期 PWM モード)
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択可能)(最大 40MHz (注 1))	fHOCO (注 2)、fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択可能)(最大 64MHz (注 3))
カウント動作	TRD0 はアップカウント(TRD1 は使用しない)	TRD0 はアップカウント(TRD1 は使用しない)
PWM 波形	PWM 周期: $1/f_k \times (m+1)$ 正相のアクティブレベル幅: $1/f_k \times (m-n)$ 逆相のアクティブレベル幅: $1/f_k \times (n+1)$ f <sub>k</sub> : カウントソースの周波数 m: TRDGRA0 レジスタ設定値 n: TRDGRB0 レジスタ設定値(PWM 出力 1) TRDGRA1 レジスタ設定値(PWM 出力 2) TRDGRB1 レジスタ設定値(PWM 出力 3)	PWM 周期: $1/f_k \times (m+1)$ 正相のアクティブレベル幅: $1/f_k \times (m-n)$ 逆相のアクティブレベル幅: $1/f_k \times (n+1)$ f <sub>k</sub> : カウントソースの周波数 m: TRDGRA0 レジスタ設定値 n: TRDGRB0 レジスタ設定値(PWM 出力 1) TRDGRA1 レジスタ設定値(PWM 出力 2) TRDGRB1 レジスタ設定値(PWM 出力 3)
カウント開始条件	TRDSTR レジスタの TSTART0 ビットへの"1"(カウント開始)書き込み	TRDSTR レジスタの TSTART0 ビットへの 1 (カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> <li>TRDSTR レジスタの CSEL0 ビットが"1"の場合、TSTART0 ビットへの"0"(カウント停止)書き込み。このとき、PWM 出力端子は TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力。</li> <li>TRDSTR レジスタの CSEL0 ビットが"0"の場合、TRDGRA0 コンペア一致。このとき、PWM 出力端子は TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力。</li> </ul>	<ul style="list-style-type: none"> <li>TRDSTR レジスタの CSEL0 ビットが 1 の場合、TSTART0 ビットへの 0 (カウント停止)書き込み。このとき、PWM 出力端子は TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力。</li> <li>TRDSTR レジスタの CSEL0 ビットが 0 の場合、TRDGRA0 コンペア一致。このとき、PWM 出力端子は TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力。</li> </ul>

注 1. R8C/36M でのタイマ RD のカウントソース: 最大 40MHz

タイマ RD のカウントソース選択を fOCO40M に設定してください。

注 2. ユーザ・オプション・バイト(000C2H)の FRQSEL4 = 1 のときのみ fHOCO が選択できます。タイマ RD のカウントソースに fHOCO を選択する場合、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をセットする前に、fCLK を f<sub>IH</sub> に設定してください。fCLK を f<sub>IH</sub> 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をクリアしたあとに変更してください。

注 3. RL78/G14 でのタイマ RD のカウントソース: 最大 64MHz (以下の設定にします。)

・ CPU クロック設定

タイマ RD に 64MHz/48MHz を供給する場合は、fCLK を f<sub>IH</sub> に設定してください。

fHOCO を 64MHz または 48MHz に設定した場合は fHOCO の 2 分周、32MHz 以下に設定した場合は fHOCO と同一のクロック周波数となるようにハードウェアで制御されます。

・ タイマ RD のカウントソース設定

タイマ RD に 64MHz/48MHz を供給する場合は、カウントソース選択を fHOCO に設定してください。

表 2.10 タイマ RD の相違点(リセット同期 PWM モード)(2/2)

項目	R8C/36M グループ (リセット同期 PWM モード)	RL78/G14 (リセット同期 PWM モード)
割り込み 要求発生 タイミング	<ul style="list-style-type: none"> <li>コンペアー一致(TRD0 レジスタと TRDGRj0、TRDGRA1、TRDGRB1 レジスタの内容が一致)</li> <li>TRD0 オーバフロー</li> </ul>	<ul style="list-style-type: none"> <li>コンペアー一致(TRD0 レジスタと TRDGRj0、TRDGRA1、TRDGRB1 レジスタの内容が一致)</li> <li>TRD0 オーバフロー</li> </ul>
TRDIOA0 端子機能	プログラマブル入出力ポート、または TRDCLK(外部クロック)入力	I/O ポートまたは TRDCLK(外部クロック)入力
TRDIOB0 端子機能	PWM 出力 1 正相出力	PWM 出力 1 正相出力
TRDIOD0 端子機能	PWM 出力 1 逆相出力	PWM 出力 1 逆相出力
TRDIOA1 端子機能	PWM 出力 2 正相出力	PWM 出力 2 正相出力
TRDIOC1 端子機能	PWM 出力 2 逆相出力	PWM 出力 2 逆相出力
TRDIOB1 端子機能	PWM 出力 3 正相出力	PWM 出力 3 正相出力
TRDIOD1 端子機能	PWM 出力 3 逆相出力	PWM 出力 3 逆相出力
TRDIOC0 端子機能	PWM 周期ごとに出力反転	PWM 周期ごとに出力反転
INT0/ INTP0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力	パルス出力強制遮断信号入力 (入力専用ポートまたは INTP0 割り込み入力)
タイマの 読み出し	TRD0 レジスタを読むと、カウント値が読める	TRD0 レジスタを読むと、カウント値が読める
タイマの 書き込み	TRD0 レジスタに書き込める	TRD0 レジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>正相、逆相のアクティブレベルと初期出力レベルを個々に選択</li> <li>バッファ動作</li> <li>パルス出力強制遮断信号入力</li> <li>A/D トリガ発生 (注 1)</li> </ul>	<ul style="list-style-type: none"> <li>正相、逆相のアクティブレベルと初期出力レベルを個々に選択</li> <li>バッファ動作</li> <li>パルス出力強制遮断信号入力</li> <li>ELC による連動動作 (A/D トリガ発生等)</li> </ul>

注 1. TRDi レジスタと TRDGRji レジスタのコンペアー一致信号を、A/D コンバータの変換開始トリガとして使用できます。TRDADCR レジスタで、どのコンペアー一致を使用するか選択できます。

備考 i = 0、1  
j = A、B、C、D

## 2.6 相補 PWM モードの相違点

RL78/G14 のタイマ RD の相補 PWM モードでの動作は、R8C/36M グループのタイマ RD の相補 PWM モードに対応可能です。

表 2.11 および表 2.12 に R8C/36M グループのタイマ RD の相補 PWM モードと RL78/G14 のタイマ RD の相補 PWM モードの相違点を示します。

表 2.11 タイマ RD の相違点(相補 PWM モード)(1/2)

項目	R8C/36M グループ (相補 PWM モード)	RL78/G14 (相補 PWM モード)
カウント ソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択可能)TRDCR0 レジスタの TCK2~TCK0 ビットと、TRDCR1 レジスタの TCK2~TCK0 ビットは同じ値(同じカウントソース)にしてください。(最大 40MHz (注 1))	f <sub>HOCO</sub> (注 2)、f <sub>CLK</sub> 、f <sub>CLK</sub> /2、f <sub>CLK</sub> /4、f <sub>CLK</sub> /8、f <sub>CLK</sub> /32、TRDCLK 端子に入力された外部信号(プログラムで有効エッジを選択可能)TRDCR0 レジスタの TCK0~TCK2 ビットと、TRDCR1 レジスタの TCK0~TCK2 ビットは同じ値(同じカウントソース)にしてください。(最大 64MHz (注 3))
カウント 動作	アップカウントまたはダウンカウント。アップカウント中に TRD0 レジスタと TRDGRA0 レジスタがコンペアー致すると、TRD0、TRD1 ともダウンカウントになる。ダウンカウント中に TRD1 レジスタが"0000h"から"FFFFh"になると TRD0、TRD1 ともアップカウントになる。	アップカウントまたはダウンカウント。アップカウント中に TRD0 レジスタと TRDGRA0 レジスタがコンペアー致すると、TRD0、TRD1 ともダウンカウントになる。ダウンカウント中に TRD1 レジスタが 0000H から FFFFH になると TRD0、TRD1 ともアップカウントになる。
PWM 波形	PWM 周期：1/fk × (m+2-p) × 2(注 4) 短絡防止時間：p 正相のアクティブレベル幅： 1/fk × (m-n-p+1) × 2 逆相のアクティブレベル幅： 1/fk × (n+1-p) × 2 fk：カウントソースの周波数 m：TRDGRA0 レジスタ設定値 n： TRDGRB0 レジスタ設定値(PWM 出力 1) TRDGRA1 レジスタ設定値(PWM 出力 2) TRDGRB1 レジスタ設定値(PWM 出力 3) p：TRD0 レジスタ設定値	PWM 周期：1/fk × (m+2-p) × 2(注 4) 短絡防止時間：p 正相のアクティブレベル幅： 1/fk × (m-n-p+1) × 2 逆相のアクティブレベル幅： 1/fk × (n+1-p) × 2 fk：カウントソースの周波数 m：TRDGRA0 レジスタ設定値 n： TRDGRB0 レジスタ設定値(PWM 出力 1) TRDGRA1 レジスタ設定値(PWM 出力 2) TRDGRB1 レジスタ設定値(PWM 出力 3) p：TRD0 レジスタ設定値

注 1. R8C/36M でのタイマ RD のカウントソース：最大 40MHz

タイマ RD のカウントソース選択を fOCO40M に設定してください。

注 2. ユーザ・オプション・バイト(000C2H)の FRQSEL4 = 1 のときのみ f<sub>HOCO</sub> が選択できます。タイマ R のカウントソースに f<sub>HOCO</sub> を選択する場合、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をセットする前に、f<sub>CLK</sub> を f<sub>IH</sub> に設定してください。f<sub>CLK</sub> を f<sub>IH</sub> 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をクリアしたあとに変更してください。

注 3. RL78/G14 でのタイマ RD のカウントソース：最大 64MHz (以下の設定にします。)

・ CPU クロック設定

タイマ RD に 64MHz/48MHz を供給する場合は、f<sub>CLK</sub> を f<sub>IH</sub> に設定してください。

f<sub>HOCO</sub> を 64MHz または 48MHz に設定した場合は f<sub>HOCO</sub> の 2 分周、32MHz 以下に設定した場合は f<sub>HOCO</sub> と同一のクロック周波数となるようにハードウェアで制御されます。

・ タイマ RD のカウントソース設定

タイマ RD に 64MHz/48MHz を供給する場合は、カウントソース選択を f<sub>HOCO</sub> に設定してください。

注 4. カウント開始後、PWM 周期は固定です。

表 2.12 タイマ RD の相違点(相補 PWM モード)(2/2)

項目	R8C/36M グループ (相補 PWM モード)	RL78/G14 (相補 PWM モード)
カウント 開始条件	TRDSTR レジスタの TSTART0 ビットと TSTART1 ビットへの"1"(カウント開始)書き込み	TRDSTR レジスタの TSTART0 ビットと TSTART1 ビットへの 1 (カウント開始) 書き込み
カウント 停止条件	TRDSTR レジスタの CSEL0 ビットが"1"の場合、TSTART0 ビットと TSTART1 ビットへの"0"(カウント停止)書き込み。このとき、PWM 出力端子は TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力。	TRDSTR レジスタの CSEL0 ビットが 1 の場合、TSTART0 ビットと TSTART1 ビットへの 0 (カウント停止)書き込み。このとき、PWM 出力端子は TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力。
割り込み 要求発生 タイミング	<ul style="list-style-type: none"> <li>• コンペアー一致(TRDi レジスタと TRDGRji レジスタの内容が一致)</li> <li>• TRD1 アンダフロー</li> </ul>	<ul style="list-style-type: none"> <li>• コンペアー一致(TRDi レジスタと TRDGRji レジスタの内容が一致)</li> <li>• TRD1 アンダフロー</li> </ul>
TRDIOA0 端子機能	プログラマブル入出力ポート、または TRDCLK(外部クロック)入力	I/O ポートまたは TRDCLK (外部クロック)入力
TRDIOB0 端子機能	PWM 出力 1 正相出力	PWM 出力 1 正相出力
TRDIOD0 端子機能	PWM 出力 1 逆相出力	PWM 出力 1 逆相出力
TRDIOA1 端子機能	PWM 出力 2 正相出力	PWM 出力 2 正相出力
TRDIOC1 端子機能	PWM 出力 2 逆相出力	PWM 出力 2 逆相出力
TRDIOB1 端子機能	PWM 出力 3 正相出力	PWM 出力 3 正相出力
TRDIOD1 端子機能	PWM 出力 3 逆相出力	PWM 出力 3 逆相出力
TRDIOC0 端子機能	PWM の 1/2 周期ごとに出力反転	PWM の 1/2 周期ごとに出力反転
INT0/ INTP0 端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または INT0 割り込み入力	パルス出力強制遮断信号入力 (入力専用ポートまたは INTP0 割り込み入力)
タイマの 読み出し	TRDi レジスタを読むと、カウント値が読める	TRDi レジスタを読むと、カウント値が読める
タイマの 書き込み	TRDi レジスタへの書き込み可	TRDi レジスタへの書き込み可
選択機能	<ul style="list-style-type: none"> <li>• パルス出力強制遮断信号入力</li> <li>• 正相、逆相のアクティブレベルと初期出力レベルを個々に選択</li> <li>• バッファレジスタからの転送タイミング選択</li> <li>• A/D トリガ発生 (注 1)</li> </ul>	<ul style="list-style-type: none"> <li>• パルス出力強制遮断信号入力</li> <li>• 正相、逆相のアクティブレベルと初期出力レベルを個々に選択</li> <li>• バッファレジスタからの転送タイミング選択</li> <li>• ELC による連動動作 (A/D トリガ発生等)</li> </ul>

注 1. TRD0 と TRDGRA0 レジスタのコンペアー一致と、TRD1 アンダフローを、A/D コンバータの変換開始トリガとして使用できます。TRDi レジスタと TRDGRji レジスタのコンペアー一致信号を、A/D コンバータの変換開始トリガとして使用できます。TRDFCR レジスタの ADEG、ADTRG ビットおよび TRDADCR レジスタで設定してください。

備考 i = 0、1  
j = A、B、C、D

## 2.7 PWM3 モードの相違点

RL78/G14 のタイマ RD の PWM3 モードでの動作は、R8C/36M グループのタイマ RD の PWM3 モードに対応可能です。

表 2.13 および表 2.14 に R8C/36M グループのタイマ RD の PWM3 モードと RL78/G14 のタイマ RD の PWM3 モードの相違点を示します。

表 2.13 タイマ RD の相違点(PWM3 モード)(1/2)

項目	R8C/36M グループ (PWM3 モード)	RL78/G14 (PWM3 モード)
カウント ソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F (最大 40MHz (注 1))	fHOCO (注 2)、fCLK、fCLK/2、fCLK/4、fCLK/8、 fCLK/32 (最大 64MHz (注 3))
カウント 動作	TRD0 はアップカウント (TRD1 は使用しない)	TRD0 はアップカウント (TRD1 は使用しない)
PWM 波形	PWM 周期： $1/fk \times (m+1)$ TRDIOA0 出力のアクティブレベル幅： $1/fk \times (m-n)$ TRDIOB0 出力のアクティブレベル幅： $1/fk \times (p-q)$ fk：カウントソースの周波数 m：TRDGRA0 レジスタ設定値 n：TRDGRA1 レジスタ設定値 p：TRDGRB0 レジスタ設定値 q：TRDGRB1 レジスタ設定値	PWM 周期： $1/fk \times (m+1)$ TRDIOA0 出力のアクティブレベル幅： $1/fk \times (m-n)$ TRDIOB0 出力のアクティブレベル幅： $1/fk \times (p-q)$ fk：カウントソースの周波数 m：TRDGRA0 レジスタ設定値 n：TRDGRA1 レジスタ設定値 p：TRDGRB0 レジスタ設定値 q：TRDGRB1 レジスタ設定値
カウント 開始条件	TRDSTR レジスタの TSTART0 ビットへの "1"(カウント開始)書き込み	TRDSTR レジスタの TSTART0 ビットへの 1 (カウント開始) 書き込み

注 1. R8C/36M でのタイマ RD のカウントソース：最大 40MHz

タイマ RD のカウントソース選択を fOCO40M に設定してください。

注 2. ユーザ・オプション・バイト(000C2H)の FRQSEL4 = 1 のときのみ fHOCO が選択できます。タイマ RD のカウントソースに fHOCO を選択する場合、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をセットする前に、fCLK を fIH に設定してください。fCLK を fIH 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1)のビット 4 (TRD0EN)をクリアしたあとに変更してください。

注 3. RL78/G14 でのタイマ RD のカウントソース：最大 64MHz (以下の設定にします。)

・ CPU クロック設定

タイマ RD に 64MHz/48MHz を供給する場合は、fCLK を fIH に設定してください。

fHOCO を 64MHz または 48MHz に設定した場合は fHOCO の 2 分周、32MHz 以下に設定した場合は fHOCO と同一のクロック周波数となるようにハードウェアで制御されます。

・ タイマ RD のカウントソース設定

タイマ RD に 64MHz/48MHz を供給する場合は、カウントソース選択を fHOCO に設定してください。

表 2.14 タイマ RD の相違点(PWM3 モード)(2/2)

項目	R8C/36M グループ (PWM3 モード)	RL78/G14 (PWM3 モード)
カウント 停止条件	<ul style="list-style-type: none"> <li>• TRDSTR レジスタの CSEL0 ビットが"1"の場合、TSTART0 ビットへの"0"(カウント停止)書き込み。このとき、PWM 出力端子はカウント停止前の出力レベルを保持。</li> <li>• TRDSTR レジスタの CSEL0 ビットが"0"の場合、TRDGRA0 コンペア一致。このとき、PWM 出力端子はコンペア一致による出力変化後のレベルを保持。</li> </ul>	<ul style="list-style-type: none"> <li>• TRDSTR レジスタの CSEL0 ビットが 1 に設定されているとき、TSTART0 ビットへの 0 (カウント停止)書き込み。このとき、PWM 出力端子はカウント停止前の出力レベルを保持。</li> <li>• TRDSTR レジスタの CSEL0 ビットが 0 の場合、TRDGRA0 コンペア一致。このとき、PWM 出力端子はコンペア一致による出力変化後のレベルを保持。</li> </ul>
割り込み 要求発生 タイミング	<ul style="list-style-type: none"> <li>• コンペア一致(TRDi レジスタと TRDGRji レジスタの内容が一致)</li> <li>• TRD0 オーバフロー</li> </ul>	<ul style="list-style-type: none"> <li>• コンペア一致(TRDi レジスタと TRDGRji レジスタの内容が一致)</li> <li>• TRD0 オーバフロー</li> </ul>
TRDIOA0、 TRDIOB0 端子機能	PWM 出力	PWM 出力
TRDIOC0、 TRDIOD0、 TRDIOA1~ TRDIOD1 端子機能	プログラマブル入出力ポート	I/O ポート
INT0/ INTP0 端子機能	プログラマブル入出力ポート、 パルス出力強制遮断信号入力、または INT0割り込み入力	パルス出力強制遮断信号入力 (入力専用ポートまたは INTP0 割り込み入力)
タイマの 読み出し	TRD0 レジスタを読むと、カウント値が読める	TRD0 レジスタを読むと、カウント値が読める
タイマの 書き込み	TRD0 レジスタに書き込める	TRD0 レジスタに書き込める
選択機能	<ul style="list-style-type: none"> <li>• パルス出力強制遮断信号入力</li> <li>• アクティブレベルを端子ごとに選択</li> <li>• バッファ動作</li> <li>• A/D トリガ発生 (注 1)</li> </ul>	<ul style="list-style-type: none"> <li>• パルス出力強制遮断信号入力</li> <li>• アクティブレベルを端子ごとに選択</li> <li>• バッファ動作</li> <li>• ELC による連動動作 (A/D トリガ発生等)</li> </ul>

注 1. TRDi レジスタと TRDGRji レジスタのコンペア一致信号を、A/D コンバータの変換開始トリガとして使用できます。TRDADCR レジスタで、どのコンペア一致を使用するか選択できます。

備考 i = 0、1  
j = A、B、C、D

## 2.8 入出力端子の割り当て

表 2.15 に R8C/36M グループと RL78/G14 のタイマ RD で使用される入出力端子の割り当てを示します。

表 2.15 R8C/36M グループと RL78/G14 の入出力端子

端子名	R8C/36M グループ	RL78/G14	入出力
TRDIOA0/TRDCLK	P2_0	P17	入出力
TRDIOB0	P2_2	P15	入出力
TRDIOC0	P2_1	P16	入出力
TRDIOD0	P2_3	P14	入出力
TRDIOA1	P2_4	P13	入出力
TRDIOB1	P2_5	P12	入出力
TRDIOC1	P2_6	P11	入出力
TRDIOD1	P2_7	P10	入出力

## 2.9 レジスタの対比

表 2.16 に R8C/36M グループのタイマ RD と、RL78/G14 のタイマ RD のレジスタ対比表を示します。

表 2.16 レジスタの対比

設定項目	R8C/36M グループ	RL78/G14
タイマ RD <sub>i</sub> 用 fC2 選択	• TRDECR レジスタ ITCLK <sub>i</sub> ビット	—
A/D トリガ <sub>j</sub> 許可(インプットキャプチャ機能を除く全モードで設定可)	• TRDADCR レジスタ	—
A/D トリガエッジ選択(相補 PWM モード時、設定可)	• TRDFCR レジスタ ADEG ビット	—
A/D トリガ許可(相補 PWM モード時、設定可)	• TRDFCR レジスタ ADTRG ビット	—
タイマ RD 同期	• TRDMR レジスタ SYNC ビット	• TRDMR レジスタ TRDSYNC ビット
ジェネラルレジスタ/ バッファレジスタ選択	• TRDMR レジスタ BF <sub>k</sub> <sub>i</sub> ビット	• TRDMR レジスタ TRDBF <sub>k</sub> <sub>i</sub> ビット
タイマモード/ PWM モード選択	• TRDPMR レジスタ PWMB <sub>i</sub> 、PWMC <sub>i</sub> 、PWMD <sub>i</sub> ビット	• TRDPMR レジスタ TRDPWMB <sub>i</sub> 、TRDPWMC <sub>i</sub> 、 TRDPWMD <sub>i</sub> ビット
パルス出力強制遮断信号入力 INT0/INTP0 有効	• TRDOER2 レジスタ PTO ビット	• TRDOER2 レジスタ TRDPTO ビット
デジタルフィルタ機能用 クロック選択	• TRDDFi レジスタ DFCK0、DFCK1 ビット	• TRDDFi レジスタ DFCK0、DFCK1 ビット
カウントソース選択	• TRDCR <sub>i</sub> レジスタ TCK0~TCK2 ビット	• TRDCR <sub>i</sub> レジスタ TCK0~TCK2 ビット
インプットキャプチャ 入力切替	• TRDIORAI レジスタ IOA3 ビット	—
タイマ RD 端子選択	• TRDPSR0、TRDPSR1 レジスタ	—
割り込み優先レベル選択	• TRDiC レジスタ ILVL0~ILVL2 ビット	• PR02H レジスタ TRDPR0 <sub>i</sub> ビット • PR12H レジスタ TRDPR1 <sub>i</sub> ビット
割り込み要求ビット	• TRDiC レジスタ IR ビット	• IF2H レジスタ TRDIF <sub>i</sub> ビット
割り込み許可/禁止	—	• MK2H レジスタ TRDMK <sub>i</sub> ビット
強制遮断フラグ	—	• TRDOER2 レジスタ TRDSHUTS ビット
TRDI0B 端子 パルス強制遮断制御	—	• TRDDFi レジスタ PENB0、PENB1 ビット
インプットキャプチャ用 ELC イベント入力 <sub>i</sub> 選択	—	• TRDEL <sub>C</sub> レジスタ ELCICE <sub>i</sub> ビット
パルス出力強制遮断用 ELC イベント入力 <sub>i</sub> 許可	—	• TRDEL <sub>C</sub> レジスタ ELCOBE <sub>i</sub> ビット

—：該当するレジスタはありません。

備考 i=0、1、j=A、B、C、D、k=C、D

## 2.10 レジスタの変更点

### 2.10.1 TRDECR レジスタ(R8C/36M グループのみ)

R8C/36M グループでは、タイマモード使用時、TRDECR レジスタでカウントソースを、TRDCLK 入力か fC2 から選択できます。RL78/G14 では、該当レジスタはありません。

### 2.10.2 TRDADCR レジスタ(R8C/36M グループのみ)

R8C/36M グループでは、TRDADCR レジスタで選択したコンペアー一致信号を、A/D コンバータの変換開始トリガとして使用できます。

RL78/G14 では、タイマ RD のみで A/D コンバータを起動させることはできませんが、ELC による連動動作で A/D コンバータを起動させることができます。

### 2.10.3 TRDFCR レジスタ

R8C/36M グループでは、TRDFCR レジスタの ADTRG ビット、ADEG ビットで A/D トリガ許可/禁止、A/D トリガエッジを選択できます。RL78/G14 では、タイマ RD のみで A/D コンバータを起動させることはできませんが、ELC による連動動作で A/D コンバータを起動させることができます。

- TRDFCR (R8C/36M グループ)

b7	b6	b5	b4	b3	b2	b1	b0
PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0

- TRDFCR (RL78/G14)

b7	b6	b5	b4	b3	b2	b1	b0
PWM3	STCLK	-	-	OLS1	OLS0	CMD1	CMD0

### 2.10.4 TRDDFi レジスタ(i = 0、1)

R8C/36M グループと RL78/G14 では、選択できるデジタルフィルタ機能用クロックが異なります。表 2.17 にデジタルフィルタ機能用のクロック比較を示します。

表 2.17 デジタルフィルタ機能用のクロック比較

DFCK1	DFCK0	R8C/36M グループ	RL78/G14
0	0	f32	f <sub>CLK</sub> /32 (注 1)
0	1	f8	f <sub>CLK</sub> /8 (注 1)
1	0	f1	f <sub>CLK</sub> (注 1)
1	1	カウントソース(TRDCR <sub>i</sub> レジスタの TCK0~TCK2 ビットで選択したクロック)	カウントソース(TRDCR <sub>i</sub> レジスタの TCK0~TCK2 ビットで選択したクロック)

注 1. ユーザ・オプション・バイト(000C2H/010C2H)の FRQSEL4 = 1 の場合、f<sub>CLK</sub>/32、f<sub>CLK</sub>/8、f<sub>CLK</sub> はそれぞれ f<sub>HOCO</sub>/32、f<sub>HOCO</sub>/8、f<sub>HOCO</sub> になります。

備考 i = 0、1

RL78/G14 では、TRDI0B 端子パルス強制遮断制御用に、PENB0、PENB1 ビットが追加されています。

- TRDDFi (R8C/36M グループ)

b7	b6	b5	b4	b3	b2	b1	b0
DFCK1	DFCK0	-	-	DFD	DFC	DFB	DFA

- TRDDFi (RL78/G14)

b7	b6	b5	b4	b3	b2	b1	b0
DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

### 2.10.5 TRDCRi レジスタ (i = 0, 1)

R8C/36M グループと RL78/G14 では、選択できるカウントソースが異なります。表 2.18 にカウントソース選択比較を示します。

表 2.18 カウントソース選択比較

TCK2	TCK1	TCK0	R8C/36M グループ (注 1)	RL78/G14 (注 2)
0	0	0	f1	f <sub>CLK</sub> 、f <sub>HOCO</sub>
0	0	1	f2	f <sub>CLK</sub> /2
0	1	0	f4	f <sub>CLK</sub> /4
0	1	1	f8	f <sub>CLK</sub> /8
1	0	0	f32	f <sub>CLK</sub> /32
1	0	1	TRDCLK 入力(注 3)または fC2(注 4)	TRDCLK 入力(注 3)
1	1	0	fOCO40M	設定しないでください
1	1	1	fOCO-F	設定しないでください

注 1. R8C/36M でのタイマ RD のカウントソース：最大 40MHz

タイマ RD のカウントソース選択を fOCO40M に設定してください。

注 2. RL78/G14 でのタイマ RD のカウントソース：最大 64MHz (以下の設定にします。)

- CPU クロック設定

タイマ RD に 64MHz/48MHz を供給する場合は、f<sub>CLK</sub> を f<sub>IH</sub> に設定してください。

f<sub>HOCO</sub> を 64MHz または 48MHz に設定した場合は f<sub>HOCO</sub> の 2 分周、32MHz 以下に設定した場合は f<sub>HOCO</sub> と同一のクロック周波数となるようにハードウェアで制御されます。

- タイマ RD のカウントソース設定

タイマ RD に 64MHz/48MHz を供給する場合は、カウントソース選択を f<sub>HOCO</sub> に設定してください。

注 3. PWM3 モードでは選択できません。

注 4. PWM モード、リセット同期 PWM モード、相補 PWM モード、PWM3 モードでは選択できません。

## 2.10.6 TRDIORAI レジスタ(i = 0、1)

R8C/36M グループでは、インプットキャプチャ機能使用時、TRDIORA0 レジスタの IOA3 ビットでインプットキャプチャ入力を、fOCO128 信号か TRDIOA0 端子入力から選択できます。RL78/G14 では、該当するビットはありません。

- TRDIORA0 (R8C/36M グループ)

b7	b6	b5	b4	b3	b2	b1	b0
-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0

- TRDIORA0 (RL78/G14)

b7	b6	b5	b4	b3	b2	b1	b0
-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0

## 2.10.7 TRDPSRi レジスタ(i = 0、1)(R8C/36M グループのみ)

R8C/36M グループでは、TRDPSR0 レジスタ、TRDPSR1 レジスタで入出力端子の割り当てを選択します。RL78/G14 では、入出力端子は固定のため、ポート・モード・レジスタの設定で、入力/出力モードの設定を行います。

## 2.10.8 TRDOER2 レジスタ

RL78/G14 では、強制遮断中を示すフラグとして TRDSHUTS ビットが追加されています。パルス出力強制遮断時、TRDOER2 レジスタの TRDSHUTS ビットが”1”となります。

- TRDOER2 (R8C/36M グループ)

b7	b6	b5	b4	b3	b2	b1	b0
PTO	-	-	-	-	-	-	-

- TRDOER2 (RL78/G14)

b7	b6	b5	b4	b3	b2	b1	b0
TRDPTO	-	-	-	-	-	-	TRD SHUTS

## 2.10.9 TRDELIC レジスタ(RL78/G14 のみ)

RL78/G14 では、インプットキャプチャ用 ELC イベント入力の選択、及びパルス出力強制遮断用 ELC イベント許可を設定するために ELCICEi ビット、ELCOBEi ビットが追加されています(i = 0、1)。

- TRDELIC (RL78/G14)

b7	b6	b5	b4	b3	b2	b1	b0
-	-	ELCOBE1	ELCICE1	-	-	ELCOBE0	ELCICE0

### 3. 関連アプリケーションノート

- RL78/G14 タイマ RD タイマモード  
(インプットキャプチャ機能とアウトプットコンペア機能の併用) CC-RL (R01AN2852)
- RL78/G14 タイマ RD タイマモード(PWM 機能) CC-RL (R01AN2851)
- RL78/G14 タイマ RD(リセット同期 PWM モード) CC-RL (R01AN2506)
- RL78/G14 タイマ RD(相補 PWM モード) CC-RL (R01AN2572)
- RL78/G14 タイマ RD(PWM3 モード) CC-RL (R01AN2781)  
(最新版をルネサス エレクトロニクスホームページから入手してください。)

### 4. 参考ドキュメント

- ユーザーズマニュアル  
RL78/G14 ユーザーズマニュアル ハードウェア編 (R01UH0186)  
(最新版をルネサス エレクトロニクスホームページから入手してください。)
  
- R8C/36M グループ ユーザーズマニュアル ハードウェア編 (R01UH0259)  
(最新版をルネサス エレクトロニクスホームページから入手してください。)
  
- テクニカルアップデート  
(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

## ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2018.08.03	—	初版発行

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子

（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部ROM、レイアウトパターンの相違などにより、電气的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
  2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
  3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
  4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
  5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、  
金融端末基幹システム、各種安全制御装置等  
当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
  6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
  7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
  8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
  9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
  10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
  11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
  12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<https://www.renesas.com/contact/>