
RL78/G14、R8C/36M グループ

R01AN1432JJ0100

Rev.1.00

R8C から RL78 への移行ガイド：割り込み

2013.06.01

要旨

本アプリケーションノートでは、R8C/36Mグループの割り込みからRL78/G14の割り込みへの移行について説明します。

対象デバイス

RL78/G14、R8C/36M グループ

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1.	R8C/36M グループと RL78/G14 の相違点	3
1.1	割り込み全般	3
1.2	INT 割り込みの相違点	3
1.3	キー入力割り込みの相違点	4
2.	レジスタの対比	5
2.1	割り込み全般	5
2.2	INT 割り込みに関するレジスタ	6
2.3	キー入力割り込みに関するレジスタ	6
3.	割り込み動作の設定比較	7
3.1	マスクブル割り込み	7
3.1.1	R8C/36M グループ	7
3.1.2	RL78/G14	8
3.2	INT 割り込み	9
3.2.1	R8C/36M グループ	9
3.2.2	RL78/G14	10
3.3	キー入力割り込み	11
3.3.1	R8C/36M グループ	11
3.3.2	RL78/G14	11
3.4	割り込み優先順位	12
3.4.1	R8C/36M グループ	12
3.4.2	RL78/G14	12
3.5	レジスタ退避	12
3.5.1	R8C/36M グループ	12
3.5.2	RL78/G14	12
4.	割り込みベクタ	13
4.1	R8C/36M グループ	13
4.1.1	固定ベクタテーブル	13
4.1.2	可変ベクタテーブル	13
4.2	RL78/G14	15
5.	参考ドキュメント	18

1. R8C/36MグループとRL78/G14の相違点

1.1 割り込み全般

割り込み全般に関する相違点を表 1.1に示します。

表1.1 割り込み全般に関する相違点

項目	R8C/36Mグループ	RL78/G14
マスカブル割り込み	周辺機能割り込み(注 1)	周辺機能割り込み
ノンマスカブル 割り込み	<ul style="list-style-type: none"> ・ ソフトウェア割り込み 未定義命令(UND 命令) オーバフロー(INTO 命令) BRK 命令 INT 命令 	<ul style="list-style-type: none"> ・ ソフトウェア割り込み BRK 命令
	<ul style="list-style-type: none"> ・ 特殊割り込み ウォッチドッグタイマ 発振停止検出 電圧監視 1/コンパレータ A1(注 2) 電圧監視 2/コンパレータ A2(注 2) シングルステップ(注 3) アドレスブレイク(注 3) アドレス一致 	—
割り込み優先レベル	レベル 0~7(注 4)	レベル 0~3(注 5)
ベクタテーブルの 種類	<ul style="list-style-type: none"> ・ 固定ベクタテーブル ・ 可変ベクタテーブル 	ベクタ・テーブル
ベクタテーブルの アドレス	<ul style="list-style-type: none"> ・ 固定ベクタテーブル：固定 ・ 可変ベクタテーブル：可変 (ユーザ任意) 	ベクタ・テーブル：固定

注 1. 周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。

注 2. CMPA レジスタの IRQ1SEL、IRQ2SEL ビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。

注 3. 開発ツール専用の割り込みですので、使用しないでください。

注 4. レベル 0 が低優先順位(割り込み禁止)、レベル 7 が高優先順位です。

注 5. レベル 3 が低優先順位、レベル 0 が高優先順位です。

1.2 INT 割り込みの相違点

INT割り込みの相違点を表 1.2に示します。

表1.2 INT割り込みの相違点

項目	R8C/36Mグループ	RL78/G14
INT割り込み端子	INT0~INT4(表 1.3参照)	INTP0~INTP11(表 1.4参照)
デジタルフィルタ	あり	なし

表1.3 R8C/36MグループのINT割り込み端子構成

端子名	割り当てる端子
INT0	P4_5
INT1	P1_5、P1_7、P2_0、P3_2 または P3_6
INT2	P3_2 または P6_6
INT3	P3_3 または P6_7
INT4	P6_5

表1.4 RL78/G14のINTP割り込み端子構成

端子名	割り当てる端子
INTP0	P137
INTP1	P50、(P46(注 1))
INTP2	P51、(P47(注 1))
INTP3	P30
INTP4	P31
INTP5	P16
INTP6	P140
INTP7	P141
INTP8	P74
INTP9	P75
INTP10	P76
INTP11	P77

注 1. 100 ピン製品の INTP1、INTP2 は、P46、P47 に割り当てられています。

1.3 キー入力割り込みの相違点

キー入力割り込みの相違点を表 1.5 に示します。

表1.5 割り込み全般に関する相違点

項目	R8C/36Mグループ	RL78/G14
キー入力割り込み端子	KI0~KI3(表 1.6参照)	KR0~KR7(表 1.7参照)
キー入力極性	・ 立ち上がりエッジ ・ 立ち下がりエッジ	立ち下がりエッジ

表1.6 R8C/36Mグループのキー入力割り込み端子構成

端子名	割り当てる端子
KI0	P1_0
KI1	P1_1
KI2	P1_2
KI3	P1_3

表1.7 RL78/G14のキー割り込み端子構成(注1)

端子名	割り当てる端子
KR0	P70
KR1	P71
KR2	P72
KR3	P73
KR4	P74
KR5	P75
KR6	P76
KR7	P77

注1. KR0~KR3は40ピン、44ピン製品、KR0~KR5は48ピン製品、KR0~KR7は52ピン、64ピン、80ピン、100ピン製品で使用可能です。

2. レジスタの対比

2.1 割り込み全般

割り込みに関するレジスタの対比表を表2.1に示します。

表2.1 割り込み関連レジスタ対比

設定項目	R8C/36Mグループ	RL78/G14
割り込み優先レベル選択	割り込み制御レジスタのILVL0~ILVL2ビット	優先順位指定フラグ・レジスタのXXPR1X、XXPR0Xビット
割り込み要求フラグ	割り込み制御レジスタのIRビット	割り込み要求フラグ・レジスタのXXIFXビット
割り込み処理の制御	割り込み制御レジスタのILVL0~ILVL2ビット (優先レベル0で割り込み禁止)	割り込みマスク・フラグ・レジスタのXXMKXビット
マスカブル割り込み許可制御	FLGレジスタのIフラグ	PSWレジスタのIEフラグ
プロセッサ割り込み優先レベル指定	FLGレジスタIPL	PSWレジスタのISP1、ISP0

XXPR1X、XXPR0X、XXIFX、XXMKXビットの詳細はRL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

2.2 $\overline{\text{INT}}$ 割り込みに関するレジスタ

$\overline{\text{INT}}$ 割り込みに関するレジスタの対比表を表 2.2に示します

表2.2 $\overline{\text{INT}}$ 割り込みに関するレジスタ対比

設定項目	R8C/36Mグループ	RL78/G14
$\overline{\text{INT}}$ 入力極性切り替え	<ul style="list-style-type: none"> INTiIC レジスタの POL ビット INTEN レジスタの INTkPL ビット INTEN1 レジスタの INT4PL ビット 	<ul style="list-style-type: none"> EGP0、EGP1 レジスタの EGPn ビット EGN0、EGN1 レジスタの EGNn ビット
$\overline{\text{INT}}$ 端子選択	INTSR レジスタ	—
$\overline{\text{INT}}$ 入力許可	<ul style="list-style-type: none"> INTEN レジスタの INTkEN ビット INTEN1 レジスタの INT4EN ビット 	<ul style="list-style-type: none"> EGP0、EGP1 レジスタの EGPn ビット EGN0、EGN1 レジスタの EGNn ビット (EGPn=0、EGNn=0 でエッジ検出禁止)
$\overline{\text{INT}}$ 入力フィルタ選択	<ul style="list-style-type: none"> INTF レジスタの INTkF0、INTkF1 ビット INTF1 レジスタの INT4F0、INT4F1 ビット 	—

—：該当するレジスタはありません。

i = 0~4

k = 0~3

n = 0~11

2.3 キー入力割り込みに関するレジスタ

キー入力割り込みに関するレジスタの対比表を表 2.3に示します。

表2.3 キー入力割り込みに関するレジスタ対比

設定項目	R8C/36Mグループ	RL78/G14
キー入力極性選択	KIEN レジスタの KIjPL ビット	—
キー入力許可	KIEN レジスタの KIjEN ビット	KRM レジスタの KRMn ビット

—：該当するレジスタはありません。

j = 0~3

n = 0~7

3. 割り込み動作の設定比較

3.1 マスカブル割り込み

3.1.1 R8C/36Mグループ

R8C/36Mグループでは、マスカブル割り込みの許可/禁止は、FLG レジスタの I フラグ、IPL、各割り込み制御レジスタの ILVL0~ILVL2 ビットで設定します。また、割り込み要求の有無は、各割り込み制御レジスタの IR ビットに示されます。

I フラグの設定を表 3.1 に、IPL の設定を表 3.2 に示します。割り込み制御レジスタの IR ビットの説明を表 3.3 に、割り込み優先レベル選択ビットの設定を表 3.4 に示します。

表3.1 Iフラグ

Iフラグ	マスカブル割り込み許可/禁止
0	禁止
1	許可

表3.2 IPL

IPL	許可される割り込み優先レベル
000b	レベル 1 以上を許可
001b	レベル 2 以上を許可
010b	レベル 3 以上を許可
011b	レベル 4 以上を許可
100b	レベル 5 以上を許可
101b	レベル 6 以上を許可
110b	レベル 7 以上を許可
111b	全てのマスカブル割り込みを禁止

表3.3 割り込み要求ビット

IR	割り込み要求ビット
0	割り込み要求なし
1	割り込み要求あり

表3.4 割り込み優先レベル選択ビット

ILVL2	ILVL1	ILVL0	割り込み優先レベル	優先順位
0	0	0	レベル 0(割り込み禁止)	低い ↓ 高い
0	0	1	レベル 1	
0	1	0	レベル 2	
0	1	1	レベル 3	
1	0	0	レベル 4	
1	0	1	レベル 5	
1	1	0	レベル 6	
1	1	1	レベル 7	

割り込み要求が受け付けられる条件を次に示します。

- I フラグ=1
- IR ビット=1
- 割り込み優先レベル>IPL

3.1.2 RL78/G14

RL78/G14では、マスカブル割り込みの許可/禁止は、PSW レジスタの IE フラグ、ISP0、ISP1 フラグ、優先順位指定フラグ・レジスタの XXPR1X、XXPROX ビット、割り込みマスク・フラグ・レジスタの XXMKX ビットで設定します。また、割り込み要求の有無は、割り込み要求フラグ・レジスタの XXIFX ビットに示されます。

IE フラグの設定を表 3.5に、ISP1、ISP0 フラグの設定を表 3.6に、割り込み要求フラグの設定を表 3.7に、割り込み処理の制御の設定を表 3.8に、優先順位レベルの選択の設定を表 3.9に示します。

表3.5 IE フラグ

IE フラグ	割り込み要求受け付けの許可/禁止
0	禁止
1	許可

表3.6 ISP1、ISP0 フラグ

ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル 0 の割り込み許可(レベル 1 または 0 の割り込み処理中)
0	1	レベル 0~1 の割り込み許可(レベル 2 の割り込み処理中)
1	0	レベル 0~2 の割り込み許可(レベル 3 の割り込み処理中)
1	1	全ての割り込み許可(割り込み受け付け待ち)

表3.7 割り込み要求フラグ

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

XXIFX の詳細はRL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

表3.8 割り込み処理の制御

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

XXMKX の詳細はRL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

表3.9 優先順位レベルの選択

XXPR1X	XXPROX	優先順位レベルの選択
0	0	レベル 0 を指定(高優先順位)
0	1	レベル 1 を指定
1	0	レベル 2 を指定
1	1	レベル 3 を指定(低優先順位)

XXPR1X、XXPROX の詳細はRL78/G14 ユーザーズマニュアル ハードウェア編を参照してください。

割り込み要求が受け付けられる条件を次に示します。

- 割り込み要求フラグ=1
- 割り込みマスクフラグ=0
- IE フラグ=1
- 割り込み優先レベル \leq (ISP1、ISP0)

3.2 $\overline{\text{INT}}$ 割り込み

3.2.1 R8C/36Mグループ

R8C/36Mグループでは、 $\overline{\text{INT}}$ 割り込みの許可/禁止はINTENレジスタのINTjENビット、INTEN1 レジスタのINT4ENビットで設定します(j = 0~3)。 $\overline{\text{INT}}_i$ 入力許可/禁止設定を表 3.10に示します(i = 0~4)。

入力極性はINTENレジスタのINTjPLビット、INTEN1 レジスタのINT4PLビットとINTiICレジスタのPOLビットで設定します。 $\overline{\text{INT}}_i$ 入力極性選択を表 3.11に、極性切り替え選択を表 3.12に示します。

また、 $\overline{\text{INT}}_i$ 入力フィルタをINTFレジスタ、INTF1 レジスタで設定します。 $\overline{\text{INT}}_i$ 入力フィルタ設定を表 3.13に示します。

$\overline{\text{INT}}_1 \sim \overline{\text{INT}}_3$ 割り込みは、INTSRレジスタで割り当て端子を選択できます。各割り当て端子の設定を表 3.14~表 3.16に示します。

表3.10 $\overline{\text{INT}}_i$ 割り込みの許可/禁止選択

INTiEN	$\overline{\text{INT}}_i$ 入力許可/禁止選択
0	禁止
1	許可

i = 0~4

表3.11 $\overline{\text{INT}}_i$ 入力極性選択

INTiPL(注 1、2)	$\overline{\text{INT}}_i$ 入力極性選択
0	片エッジ
1	両エッジ

i = 0~4

注 1. INTiPL ビットを“1” (両エッジ)にする場合、INTiIC レジスタの POL ビットを“0” (立ち下がりエッジを選択)にしてください(i = 0~4)。

注 2. POL ビットを変更すると、IR ビットが“1” (割り込み要求あり)になることがあります。

表3.12 極性切り替え選択

POL(注 1)	有効エッジ選択
0	立ち下がりエッジを選択
1	立ち上がりエッジを選択(注 2)

注 1. POL ビットを変更すると、IR ビットが“1” (割り込み要求あり)になることがあります。

注 2. INTiPL ビットを“1” (両エッジ)にする場合、INTiIC レジスタの POL ビットを“0” (立ち下がりエッジを選択)にしてください(i = 0~4)。

表3.13 $\overline{\text{INT}}_i$ 入力フィルタ選択

INTiF0	INTiF1	$\overline{\text{INT}}_i$ 入力フィルタ選択
0	0	フィルタなし
0	1	フィルタあり、f1 でサンプリング
1	0	フィルタあり、f8 でサンプリング
1	1	フィルタあり、f32 でサンプリング

i = 0~4

表3.14 $\overline{\text{INT}}_1$ 割り込み入力端子選択

INT1SEL0	INT1SEL1	INT1SEL2	$\overline{\text{INT}}_1$ 端子選択
0	0	0	P1_7に割り当てる
0	0	1	P1_5に割り当てる
0	1	0	P2_0に割り当てる
0	1	1	P3_6に割り当てる
1	0	0	P3_2に割り当てる

表3.15 $\overline{\text{INT}}_2$ 割り込み入力端子選択

INT2SEL0	$\overline{\text{INT}}_2$ 端子選択
0	P6_6に割り当てる
1	P3_2に割り当てる

表3.16 $\overline{\text{INT}}_3$ 割り込み入力端子選択

INT3SEL0	INT3SEL1	$\overline{\text{INT}}_3$ 端子選択
0	0	P3_3に割り当てる
0	1	設定しないでください
1	0	P6_7に割り当てる
1	1	設定しないでください

3.2.2 RL78/G14

RL78/G14では、INTP0~INTP11の有効エッジをEGPmレジスタとEGNmレジスタで設定します(m=0,1)。

INTPn端子の有効エッジの選択の設定を表3.17に、EGPnビットとEGNnビットに対応するポートを表3.18に示します(n=0~11)。

表3.17 INTPn端子の有効エッジの選択

EGPn	EGNn	INTPn端子の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がリエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

n = 0~11

表3.18 EGPn ビットと EGNn ビットに対応するポート(n = 0~11)

検出許可ビット		対応ポート
EGP0	EGN0	INTP0
EGP1	EGN1	INTP1
EGP2	EGN2	INTP2
EGP3	EGN3	INTP3
EGP4	EGN4	INTP4
EGP5	EGN5	INTP5
EGP6	EGN6	INTP6
EGP7	EGN7	INTP7
EGP8	EGN8	INTP8
EGP9	EGN9	INTP9
EGP10	EGN10	INTP10
EGP11	EGN11	INTP11

3.3 キー入力割り込み

3.3.1 R8C/36Mグループ

R8C/36Mグループでは、キー入力割り込みの許可/禁止を KIEN レジスタの KIjEN ビットで、入力極性を KIEN レジスタの KIjPL ビットで設定します(j = 0~3)。

キー入力許可ビットの設定を表 3.19に、キー入力極性選択の設定を表 3.20に示します。

表3.19 キー入力の許可/禁止選択

KIjEN	キー入力許可
0	禁止
1	許可

j = 0~3

表3.20 キー入力極性選択

KIjPL	キー入力極性選択
0	立ち下がリエッジ
1	立ち上がりエッジ

j = 0~3

3.3.2 RL78/G14

RL78/G14では、キー割り込みの許可/禁止を KRM レジスタの KRMn ビットで設定します。

キー割り込みモードの制御の設定を表 3.21に示します。

表3.21 キー割り込みモードの制御

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出する
1	キー割り込み信号を検出しない

n = 0~7

3.4 割り込み優先順位

3.4.1 R8C/36Mグループ

R8C/36Mグループでは、1 命令実行中に 2 つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。ただし、優先レベルが同じ設定値の場合はハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

特殊割り込みの優先順位はハードウェアで設定されています。

3.4.2 RL78/G14

RL78/G14では、複数のマスクابل割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト・プライオリティの高い割り込みから受け付けられます。

3.5 レジスタ退避

3.5.1 R8C/36Mグループ

R8C/36Mグループでは、FLG レジスタとプログラムカウンタ(PC)をスタックに退避します。スタックに PC の上位 4 ビットと FLG レジスタの上位 4 ビット(IPL)、下位 8 ビットの合計 16 ビットをはじめに退避し、次に PC の下位 16 ビットを退避します。

3.5.2 RL78/G14

RL78/G14では、マスクابل割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避します。

4. 割り込みベクタ

R8C/36MグループとRL78/G14では、割り込みベクタの構成が異なります。R8C/36Mグループは固定ベクタテーブルと可変ベクタテーブルからなり、RL78/G14はアドレスが固定のベクタ・テーブルからなります。

4.1 R8C/36Mグループ

4.1.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。1ベクタは4バイトです。固定ベクタテーブルを表4.1に示します。

表4.1 固定ベクタテーブル

割り込み要因	ベクタ番地	備考
未定義命令	0FFDCh~0FFDFh	UND 命令で割り込み
オーバフロー	0FFE0h~0FFE3h	INTO 命令で割り込み
BRK 命令	0FFE4h~0FFE7h	0FFE6h 番地の内容が FFh の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致割り込み	0FFE8h~0FFEBh	
シングルステップ(注 1)	0FFEC h~0FFEFh	
ウォッチドッグタイマ 発振停止検出 電圧監視 1/コンパレータ A1(注 2) 電圧監視 2/コンパレータ A2(注 3)	0FFF0h~0FFF3h	
アドレスブレイク(注 1)	0FFF4h~0FFF7h	
(予約)	0FFF8h~0FFFBh	
リセット	0FFFCh~0FFFFh	

注 1. 開発ツール専用の割り込みですので、使用しないでください。

注 2. 電圧監視 1/コンパレータ A1 割り込みは CMPA レジスタの IRQ1SEL ビットが“0” (ノンマスクブル割り込み)の場合です。

注 3. 電圧監視 2/コンパレータ A2 割り込みは CMPA レジスタの IRQ2SEL ビットが“0” (ノンマスクブル割り込み)の場合です。

4.1.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から 256 バイトが可変ベクタテーブルの領域となります。可変ベクタテーブルを表 4.2 に示します。

表4.2 可変ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ
BRK 命令(注 1)	+0～+3(0000h～0003h)	0	
フラッシュメモリレディ	+4～+7(0004h～0007h)	1	FMRDYIC
—(予約)		2～5	—
INT4	+24～+27(0018h～001BFh)	6	INT4IC
タイマ RC	+28～+31(001Ch～001Fh)	7	TRCIC
タイマ RD0	+32～+35(0020h～0023h)	8	TRD0IC
タイマ RD1	+36～+39(0024h～0027h)	9	TRD1IC
タイマ RE	+40～+43(0028h～002Bh)	10	TREIC
UART2 送信/NACK2	+44～+47(002Ch～002Fh)	11	S2TIC
UART2 受信/ACK2	+48～+51(0030h～0033h)	12	S2RIC
キー入力	+52～+55(0034h～0037h)	13	KUPIC
A/D 変換	+56～+59(0038h～003Bh)	14	ADIC
シンクロナスシリアルコミュニ ケーションユニット/ I ² C バスインタフェース(注 2)	+60～+63(003Ch～003Fh)	15	SSUIC/ IICIC
タイマ RF コンペア 1	+64～+67(0040h～0043h)	16	CMP1IC
UART0 送信	+68～+71(0044h～0047h)	17	S0TIC
UART0 受信	+72～+75(0048h～004Bh)	18	S0RIC
UART1 送信	+76～+79(004Ch～004Fh)	19	S1TIC
UART1 受信	+80～+83(0050h～0053h)	20	S1RIC
INT2	+84～+87(0054h～0057h)	21	INT2IC
タイマ RA	+88～+91(0058h～005Bh)	22	TRAIC
—(予約)		23	—
タイマ RB	+96～+99(0060h～0063h)	24	TRBIC
INT1	+100～+103(0064h～0067h)	25	INT1IC
INT3	+104～+107(0068h～006Bh)	26	INT3IC
タイマ RF	+108～+111(006Ch～006Fh)	27	TRFIC
タイマ RF コンペア 0	+112～+115(0070h～0073h)	28	CMP0IC
INT0	+116～+119(0074h～0077h)	29	INT0IC
UART2 バス衝突検出	+120～+123(0078h～007Bh)	30	U2BCNIC
タイマ RF キャプチャ	+124～+127(007Ch～007Fh)	31	CAPIC
ソフトウェア(注 1)	+128～+131(0080h～0083h)～ +164～+167(00A4h～00A7h)	32～41	—
—(予約)		42	—
タイマ RG	+172～+175(00ACh～00AFh)	43	TRGIC
—(予約)		44～49	—
電圧監視 1/コンパレータ A1(注 3)	+200～+203(00C8h～00CBh)	50	VCMP1IC
電圧監視 2/コンパレータ A2(注 3)	+204～+207(00CCh～00CFh)	51	VCMP2IC
—(予約)		52～55	—
ソフトウェア(注 1)	+224～+227(00E0h～00E3h)～ +252～+255(00FCh～00FFh)	56～63	—

注 1. I フラグによる禁止はできません。

注 2. SSUIICSR レジスタの IICSEL ビットで選択できます。

注 3. マスカブル割り込みの場合です。

4.2 RL78/G14

RL78/G14のベクタ・テーブルには、各割り込み、リセット要因発生により分岐するプログラム・スタート・アドレスを設定します。ベクタ・コードは、各2バイトとしているため飛び先アドレスは00000H-0FFFFHの64Kバイトアドレスとなります。デフォルト・プライオリティは0が最高順位で44が最低順位です。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。ベクタ・テーブルを表4.3～表4.5に示します。

表4.3 ベクタ・テーブル(1)

デフォルト・プライオリティ	割り込み要因		内部/外部	ベクタ番地
	名称	トリガ		
0	INTWDTI	ウォッチドッグ・タイマのインターバル (オーバフロー時間の75%+1/2fil)	内部	0004H
1	INTLVI	電圧検出	外部	0006H
2	INTP0	端子入力エッジ検出		0008H
3	INTP1			000AH
4	INTP2			000CH
5	INTP3			000EH
6	INTP4			0010H
7	INTP5			0012H
8	INTST2/ INTCSI20/ INTIIC20		UART2 送信の転送完了、バッファ空き割り込み/ CSI20 の転送完了、バッファ空き割り込み/ IIC20 の転送完了	内部
9	INTSR2/ INTCSI21/ INTIIC21	UART2 受信の転送完了/ CSI21 の転送完了、バッファ空き割り込み/ IIC21 の転送完了	0016H	
10	INTSRE2	UART2 受信の通信エラー発生	0018H	
	INTTM11H	タイマ・チャンネル11のカウント完了またはキャプチャ完了(8ビット・タイマ動作時)		
11	INTST0/ INTCSI00/ INTIIC00	UART0 送信の転送完了、バッファ空き割り込み/ CSI00 の転送完了、バッファ空き割り込み/ IIC00 の転送完了	001EH	
12	INTSR0/ INTCSI01/ INTIIC01	UART0 受信の転送完了/ CSI01 の転送完了、バッファ空き割り込み/ IIC01 の転送完了	0020H	
13	INTSRE0	UART0 受信の通信エラー発生	0022H	
	INTTM01H	タイマ・チャンネル1のカウント完了またはキャプチャ完了(8ビット・タイマ動作時)		
14	INTST1/INTCSI 10/INTIIC10	UART1 送信の転送完了、バッファ空き割り込み/ CSI10 の転送完了、バッファ空き割り込み/ IIC10 の転送完了	0024H	
15	INTSR1/INTCSI 11/INTIIC11	UART1 受信の転送完了/ CSI11 の転送完了、バッファ空き割り込み/ IIC11 の転送完了	0026H	
16	INTSRE1	UART1 受信の通信エラー発生	0028H	
	INTTM03H	タイマ・チャンネル3のカウント完了またはキャプチャ完了(8ビット・タイマ動作時)		
17	INTIICA0	IICA0 通信完了	002AH	

表4.4 ベクタ・テーブル(2)

デフォルト・ プライオリティ	割り込み要因		内部/外部	ベクタ 番地
	名称	トリガ		
18	INTTM00	タイマ・チャンネル0のカウント完了 またはキャプチャ完了	内部	002CH
19	INTTM01	タイマ・チャンネル1のカウント完了 またはキャプチャ完了		002EH
20	INTTM02	タイマ・チャンネル2のカウント完了 またはキャプチャ完了		0030H
21	INTTM03	タイマ・チャンネル3のカウント完了 またはキャプチャ完了		0032H
22	INTAD	A/D 変換終了		0034H
23	INTRTC	リアルタイム・クロックの定周期信号/アラーム 一致検出		0036H
24	INTIT	インターバル信号検出		0038H
25	INTKR	キー・リターン信号検出	外部	003AH
26	INTST3/ INTCSI30/ INTIIC30	UART3 送信の転送完了、バッファ空き割り込み/ CSI30 の転送完了、バッファ空き割り込み/ IIC30 の転送完了	内部	003CH
27	INTSR3/ INTCSI31/ INTIIC31	UART3 受信の転送完了/ CSI31 の転送完了、バッファ空き割り込み/ IIC31 の転送完了		003EH
28	INTTRJ0	タイマ RJ アンダフロー		0040H
29	INTTM10	タイマ・チャンネル10のカウント完了またはキャ プチャ完了		0042H
30	INTTM11	タイマ・チャンネル11のカウント完了またはキャ プチャ完了		0044H
31	INTTM12	タイマ・チャンネル12のカウント完了またはキャ プチャ完了		0046H
32	INTTM13	タイマ・チャンネル13のカウント完了またはキャ プチャ完了		0048H
33	INTP6	端子入力エッジ検出	外部	004AH
34	INTP7			004CH
35	INTP8			004EH
36	INTP9			0050H
37	INTP10	端子入力エッジ検出	外部	0052H
	INTCMP0	コンパレータ検出 0	内部	
38	INTP11	端子入力エッジ検出	外部	0054H
	INTCMP1	コンパレータ検出 1	内部	
39	INTTRD0	タイマ RD0 インプットキャプチャ、コンペアー 一致、オーバフロー、アンダフロー割り込み	内部	0056H
40	INTTRD1	タイマ RD1 インプットキャプチャ、コンペアー 一致、オーバフロー、アンダフロー割り込み		0058H

表4.5 ベクタ・テーブル(3)

デフォルト・ プライオリティ	割り込み要因		内部/外部	ベクタ 番地
	名称	トリガ		
41	INTTRG	タイマ RG インพุットキャプチャ、コンペアー 致、オーバフロー、アンダフロー割り込み	内部	005AH
42	INTSRE3	UART3 受信の通信エラー発生		005CH
	INTTM13H	タイマ・チャンネル 13 のカウント完了またはキャ プチャ完了(8 ビット・タイマ動作時)		0060H
43	INTIICA1	IICA1 通信完了		0062H
44	INTFL	シーケンサ終了割り込み	-	007EH
-	BRK	BRK 命令の実行		0000H
	RESET	RESET 端子入力		
	POR	パワーオン・リセット		
	LVD	電圧検出		
	WDT	ウォッチドッグ・タイマのオーバフロー		
	TRAP	不正命令の実行		
	IAW	不正メモリ・アクセス		
RAMTOP	RAM パリティ・エラー			

5. 参考ドキュメント

RL78/G14 ユーザーズマニュアル ハードウェア編 Rev.1.00

R8C/36Mグループ ユーザーズマニュアル ハードウェア編 Rev.1.01

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com>

お問合せ先

<http://japan.renesas.com/contact/>

改訂記録	RL78/G14、R8C/36M グループ アプリケーションノート R8C から RL78 への移行ガイド：割り込み
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.06.01	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町 2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>