

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/38076R

マルチプロセッサ通信

要旨

シリアルコミュニケーションインタフェース 3 (SCI3) のマルチプロセッサ通信機能を用いて、それぞれのプロセッサにデータの送信を行います。

動作確認デバイス

H8/38076R

目次

1. 仕様	2
2. 使用機能説明	3
3. 動作説明	8
4. ソフトウェア説明	9

1. 仕様

- マルチプロセッサ通信機能を使用して、受信局 A にデータ H'B8 を受信局 B にデータ H'DE をそれぞれ送信します。
- 送信データのフォーマットは、データ長が 8 ビット、マルチプロセッサビット 1 ビット、ストップビット長が 1 ビットに設定します。
- ビットレートは 31250 bps で送信します。またデータ送信の終了時にブレークを出力します。
- 図 1 にマルチプロセッサフォーマット通信を使用したプロセッサ間通信の接続例を示します。

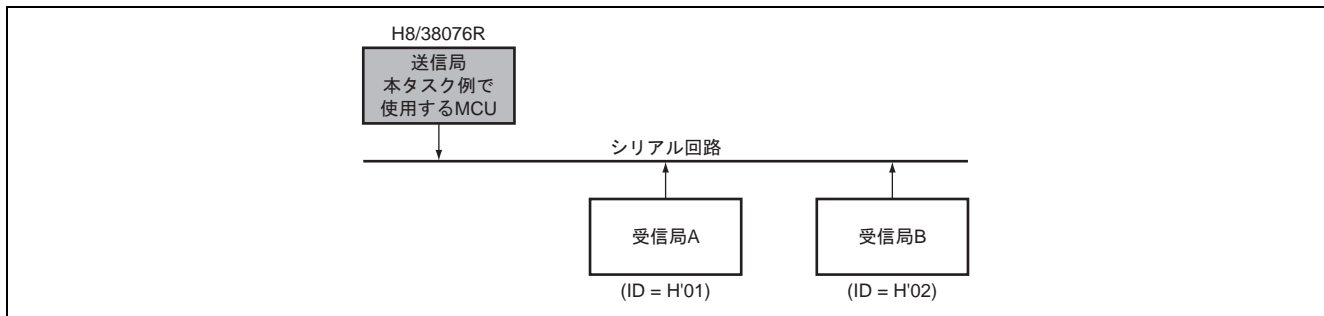


図 1 マルチプロセッサフォーマット通信を使用したプロセッサ間通信

2. 使用機能説明

2.1 機能説明

本タスク例では、シリアルコミュニケーションインタフェース 3 (SCI3) を使用して、マルチプロセッサ通信の送信を行います。以下、使用機能について説明します。

1. システムクロック (ϕ)

10MHz の OSC クロックで、CPU および周辺機能を動作させるための基準クロックです。

2. マルチプロセッサ通信機能

図 2 にマルチプロセッサフォーマットを示します。

マルチプロセッサ通信とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信を行うことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行う機能です。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの 2 つから構成されます。

この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ送信を行いたい受信局の ID コードに、マルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。

受信局は、マルチプロセッサビットが 1 の通信データを、自局の ID と比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データが送信されるまで通信データを読み飛ばします。

送信/受信フォーマットは 4 種類を選択できます (表 1 参照)。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

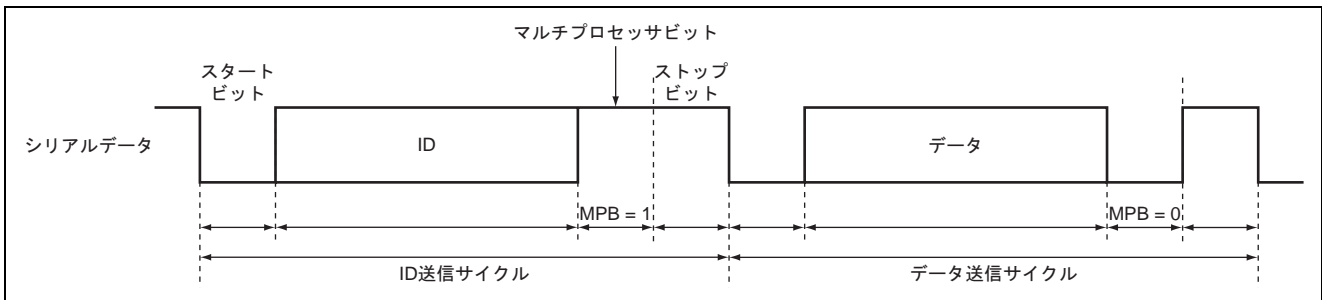


図 2 マルチプロセッサフォーマット

表 1 マルチプロセッサ通信フォーマット

SMR				マルチプロセッサ通信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	1	0	START	8ビットデータ								MPB	STOP		
0	0	1	1	START	8ビットデータ								MPB	STOP		
1	0	1	0	START	7ビットデータ							MPB	STOP			
1	0	1	1	START	7ビットデータ							MPB	STOP			

<記号説明>

START: スタートビット

STOP: ストップビット

MPB: マルチプロセッサビット

- トランスミットシフトレジスタ 3 (TSR3)

シリアルデータを送信するためのシフトレジスタです。トランスミットデータレジスタ (TDR3) に書き込まれたデータは自動的に TSR3 に転送され、LSB から順番に TXD31 または TXD32 端子に送出することでシリアルデータ送信を行います。ただし、TDR3 に書き込まれていない (TDRE に 1 がセットされている) 場合には、TDR3 から TSR3 へのデータ転送は行いません。CPU から直接アクセスすることはできません。
- トランスミットデータレジスタ 3 (TDR3)

送信データを格納するためのレジスタです。TSR3 に空を検出すると TDR3 のデータは TSR3 に自動的に転送されます。TDR3 と TSR3 はダブルバッファ構造であるため TDR3 に順次データを書き込むことで連続転送が可能です。TDR3 へのデータの書き込みは、シリアルステータスレジスタ (SSR3) の TDRE ビットが 1 にセットされているときに 1 回だけ行います。TDR3 の初期値は H'FF です。TDR3 はリセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'FF に初期化されます。
- シリアルモードレジスタ 3 (SMR3)

シリアル通信のフォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。本タスク例では、調歩同期式モードを選択し、データ長を 8 ビット、ストップビット長を 1 ビット、マルチプロセッサモードに設定し、クロックソースは n=0 を選択します。
- シリアルコントロールレジスタ 3 (SCR3)

送受信と割り込み制御、クロックソースの選択を行うためのレジスタです。本タスク例ではポーリング処理にてデータを転送するため、割り込みは使用しません。
- シリアルステータスレジスタ 3 (SSR3)

ステータスフラグと送受信マルチプロセッサビットで構成されます。本タスク例では、マルチプロセッサビットトランスファ (MPBT) を制御し、TDRE ビットをポーリングし、TDR3 から TSR3 へデータが転送されてから次のデータを TDR3 に書き込みます。
- シリアルポートコントロールレジスタ (SPCR)

TXD32 端子、TXD31 端子機能の切り換え、および送受信端子のデータ反転の制御を行います。本タスク例では、TXD31 端子を選択し、データはそのまま (反転しないで) 出力するように設定します。
- ビットレートレジスタ 3 (BRR3)

ビットレートを設定します。本タスク例では 31250 bps の転送クロックとするため、N=9 に設定します (10MHz, n=0)。詳細はハードウェアマニュアルを参照してください。

シリアルコミュニケーションインタフェース3のブロック図を図3に示します。

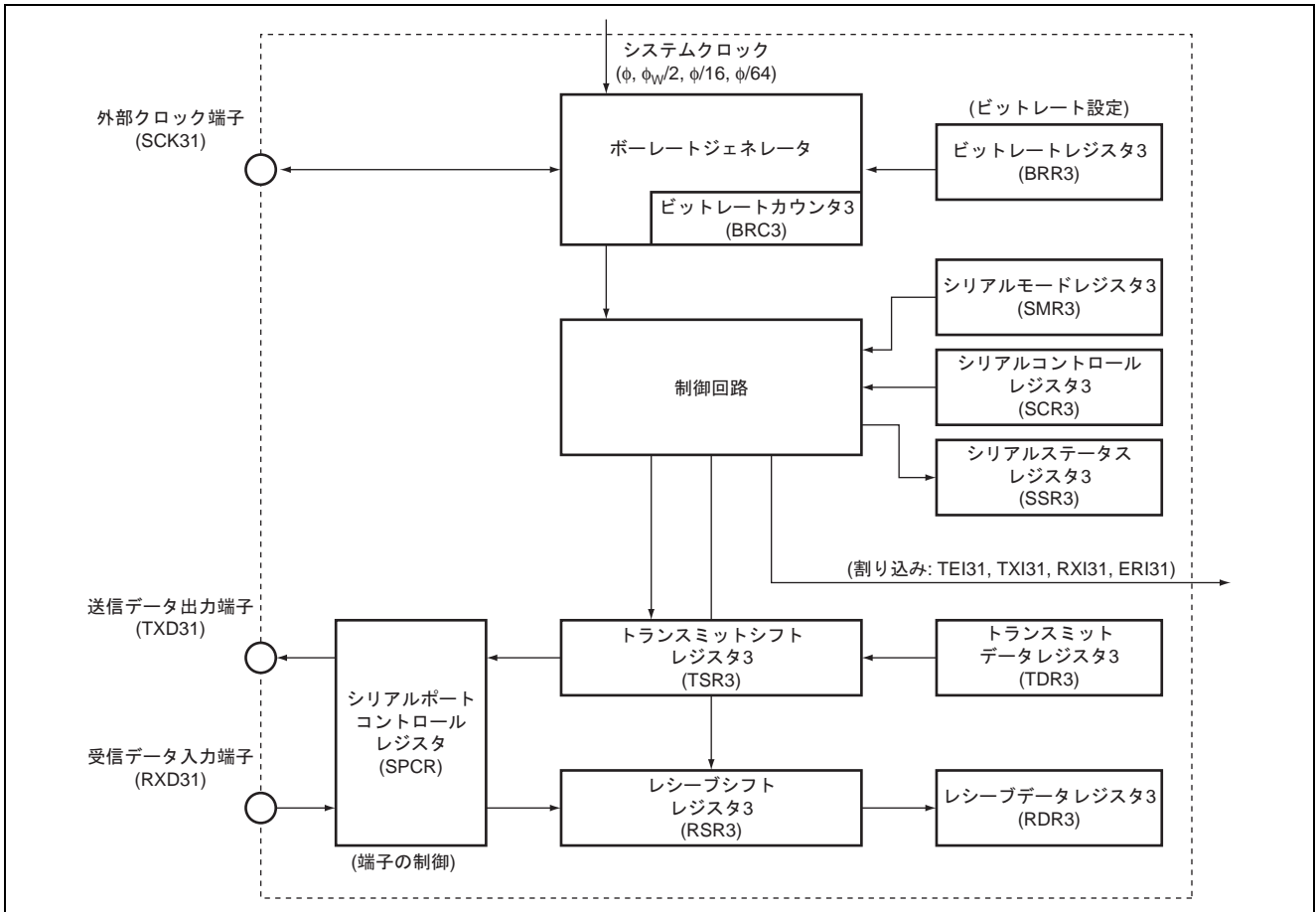


図3 SCI3のブロック図

表2に、調歩同期式モードのBRR3の設定例を示します。表2はアクティブモードで、OSCが10MHzのときの値を示しています。

表2 ビットレートに対するBRR3の設定例 (調歩同期式モード)

R ビットレート (bps)	110	150	200	250	1200	2400	31250
n	2	2	2	2	2	0	0
N	177	129	97	77	15	129	9
誤差 (%)	-0.25	0.16	-0.35	0.16	1.73	0.16	0.00

- 【注】 1. 誤差は、1%以内となるように設定します。
2. BRR3の設定値は以下の計算式で求められます。

$$\begin{aligned}
 N \text{ (BRR3の設定値)} &= \frac{\phi}{32 \times 2^{2n} \times \text{ビットレート}} - 1 \\
 &= \frac{10\text{MHz}}{32 \times 2^{2 \times 0} \times 31250} - 1 \\
 &= 9
 \end{aligned}$$

$$\text{誤差 (\%)} = \frac{B(n, N, \text{OSCから求めたビットレート}) - R \text{ (表2のビットレート)}}{R \text{ (表2のビットレート)}} \times 100$$

<記号説明>

- B: ビットレート (bps)
- N: ボーレートジェネレータのBRR3の設定値 ($0 \leq N \leq 255$)
- OSC: ϕ_{OSC} の値 (Hz)
- n: ボーレートジェネレータの入カクロックのNo. ($n = 0, 2, 3$)

表 3 nとクロックの関係

n	クロック	SMR3 の設定値	
		CKS1	CKS0
0	ϕ	0	0
0	$\phi_W/2, \phi_W$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

3. 調歩同期式モードの説明

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信/受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI3 内部では、送信部と受信部は独立しているので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっているので、送信中にデータのライト、受信中にデータのリードができ、連続送信/受信が可能です。

調歩同期式通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI3 では通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

通信データの 1 キャラクタはスタートビット (Low レベル) から始まり、送信/受信データ (LSB ファースト: 最下位ビットから)、パリティビット (High または Low レベル)、最後にストップビット (High レベル) の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、データを 1 ビット期間の 16 倍周波数のクロックの 8 番目でサンプリングするので、各ビットの中央で通信データを取り込みます。

4. 割り込みの説明

SCI3 の割り込み要因は、送信終了、送信データエンプティ、受信データフルおよび 3 種類の受信エラー (オーバランエラー、フレーミングエラー、パリティエラー) の計 6 種類有り、共通のベクタアドレスが割り付けられています。(ただし、マルチプロセッサフォーマットではパリティビットは無効です)。

各割り込み要求は、SCR3 の TIE3, RIE3 で許可/禁止ができます。

SSR3 の TDRE が 1 にセットされると TXI3 が発生します。SSR3 の TEND が 1 にセットされると、TEI3 が発生します。この 2 つの割り込みは送信時に発生します。

SSR3 の TDRE は初期状態が 1 になっています。したがって送信データを TDR3 へ転送する前に SCR3 の TIE3 を 1 にセットして送信データエンプティ割り込み要求 (TXI3) を許可すると、送信データが準備されていなくても TXI3 が発生します。

SSR3 の TEND は初期値が 1 になっています。したがって、送信データを TDR3 へ転送する前に SSR3 の TEIE3 を 1 にセットして送信終了割り込み要求 (TEI3) を許可すると、送信データが送信されなくても TEI3 が発生します。

送信データを TDR3 へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込みを有効に利用できます。また、これらの割り込み要求 (TXI3, TEI3) の発生を防ぐためには、送信データを TDR3 へ転送した後に、これらの割り込み要求に対する許可ビット (TIE3, TEIE3) を 1 にセットします。

SSR3 の RDRF が 1 にセットされると RXI3 が発生します。OER, PER, FER のいずれかが 1 にセットされると ERI3 が発生します。この 2 つの割り込みは受信時に発生します。

2.2 機能割り付け

表 4 に本タスク例の機能割り付けを示します。表 4 に示すように機能を割り付け、マルチプロセッサ送信を行います。

表 4 機能割り付け

機能	機能割り付け
TDR3	送信データを格納する 8 ビットのレジスタ
SMR3	調歩同期式モードの設定, ボーレートジェネレータのクロックソースを ϕ に選択 データ長を 8 ビット, ストップビット長を 1 ビット, マルチプロセッサモードの設定
SCR3	送信許可, クロックソースを内部ボーレートジェネレータに設定
SSR3	動作状態を示すステータスフラグ
BRR3	ビットレートを設定 (31250 bps)
SPCR	TXD31 端子機能に設定し, データをそのまま (反転しないで) 出力
TXD31	SCI3 の送信データ出力端子

3. 動作説明

図4に動作説明を示します。図4に示すようなハードウェア処理,ソフトウェア処理によりマルチプロセッサ送信をします。

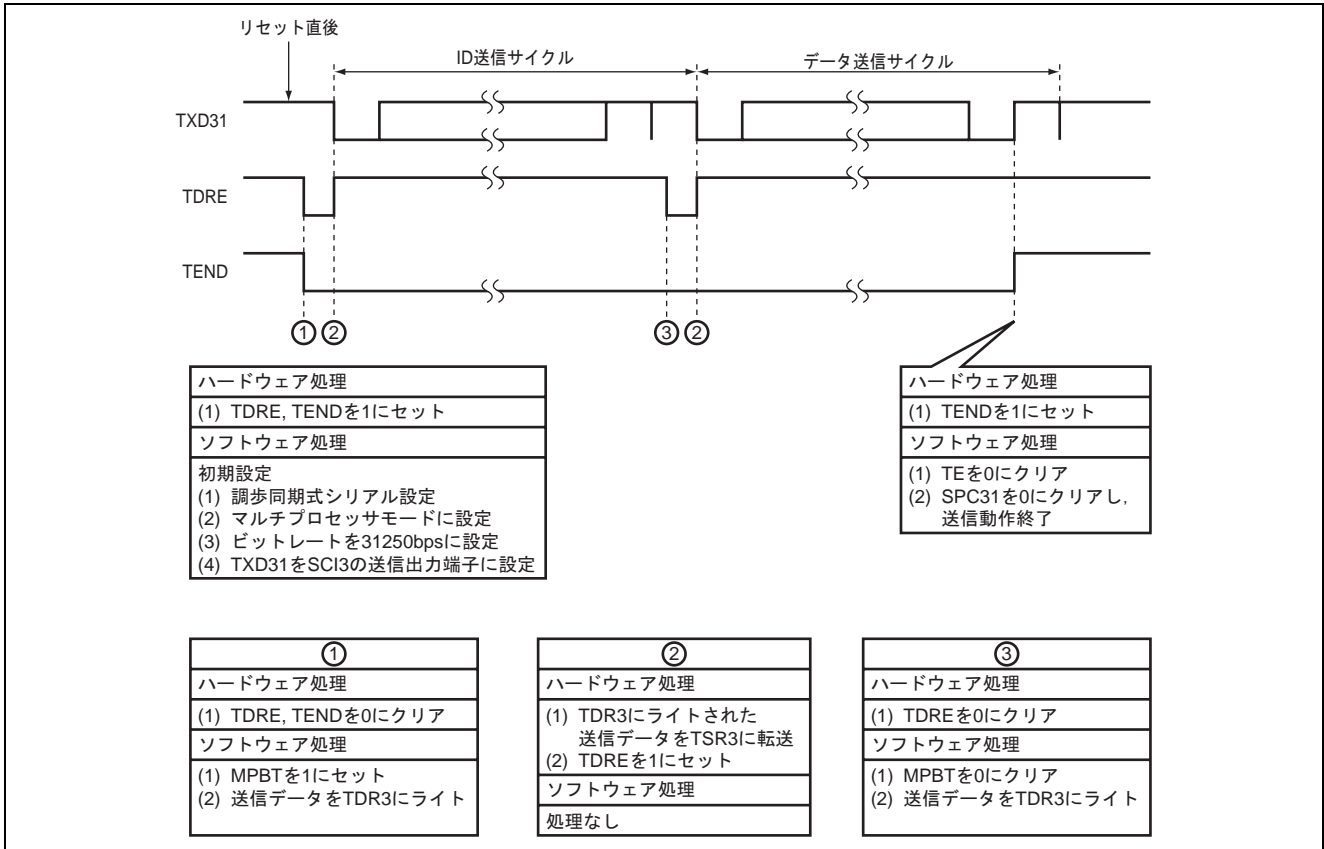


図4 マルチプロセッサシリアルデータ送信の動作説明

4. ソフトウェア説明

本タスク例では、シリアルコミュニケーションインタフェース 3 (SCI3) を使用して、マルチプロセッサ通信の送信を行います。使用する関数の説明を以下に示します。

4.1 関数一覧

表 5 関数一覧

関数名	機能
main	調歩同期式モードによるマルチプロセッサ送信の制御
init_sci3	SCI3 の初期化
trns_sci3	調歩同期式モードによるマルチプロセッサ送信
stop_sci3	調歩同期式モードの終了

4.2 使用定数説明

本タスク例で使用する定数を表 6 に示します。

表 6 使用定数

ラベル名	定数値	説明	使用関数名
DATA_NUM	4	送信データサイズ	main
ID1	H'01	受信局 A の ID アドレス	main
ID2	H'02	受信局 B の ID アドレス	main

4.3 使用 RAM 説明

本タスク例では RAM を使用しません。

4.4 モジュール説明

4.4.1 main()関数

1. モジュール仕様

- 調歩同期式モードによるマルチプロセッサ送信の制御

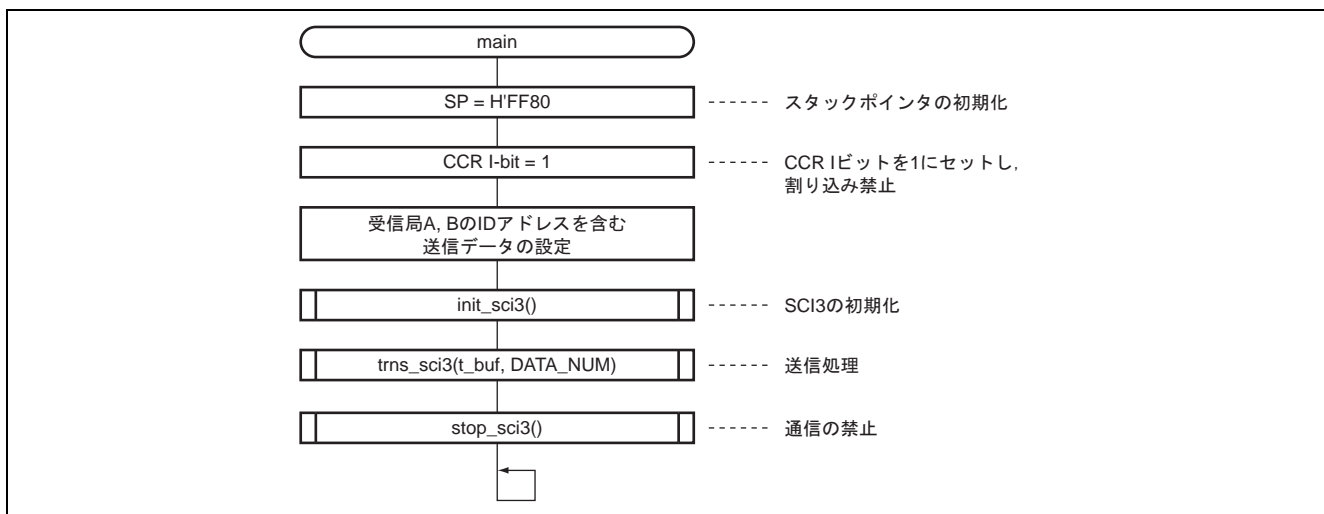
表7 モジュール仕様

引数	型	変数名	内容
	なし	なし	なし

2. 使用内部レジスタ説明

なし

3. フローチャート



4.4.2 init_sci3()関数

1. モジュール仕様

- SCI3 の初期化

表 8 モジュール仕様

引数	型	変数名	内容
	なし	なし	なし

2. 使用内部レジスタ説明

以下に、本タスク例で使用する内部レジスタを示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- SPCR シリアルポートコントロールレジスタ アドレス：H'FF91

ビット	ビット名	設定値	R/W	機能
4	SPC31	1	R/W	P42/TXD31 端子切り換え P42/TXD31 端子を P42 端子として使用するか TXD31 端子として使用するか選択します。 0：P42 入出力端子として使用 1：TXD31 出力端子として使用 本ビットを 1 に設定した後に SCR の TE ビットを設定してください。
1	SCINV1	0	R/W	TXD31 端子出力データ反転切り換え TXD31 端子の出力データを反転させるか、させないかを選択します。 0：TXD31 端子の出力データを反転しない 1：TXD31 端子の出力データを反転する

- SMR3 シリアルモードレジスタ 3 アドレス：H'FF98

ビット	ビット名	設定値	R/W	機能
7	COM	0	R/W	コミュニケーションモード 0：調歩同期式モードで動作します。 1：クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式のみ有効) 0：データ長 8 ビット/5 ビットのフォーマットで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0：1 ストップビット 受信時はこのビットの設定に関わらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信キャラクタのスタートビットとみなします。
2	MP	1	R/W	マルチプロセッサモード このビットが 1 のとき、マルチプロセッサ通信機能がイネーブルになります。PE, PM ビットの設定値は無効になります。クロック同期式モードでは、このビットは 0 に設定してください。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 00：φクロック (n=0)

• BRR3 ビットレートレジスタ 3 アドレス : H'FF99

ビット	ビット名	設定値	R/W	機能
7	bit7	0	R/W	ビットレートを設定するリード/ライト可能な 8 ビットのレジスタです。BRR3の初期値はH'FFです。クロック同期式モードにおけるSMR3のCKS1, CKS0の値nとBRR3の値Nの組み合わせによりビットレートを決定します。詳細はハードウェアマニュアルを参照ください。 本タスク例では, H'09 に設定し, ビットレートを 31250 bps に設定します。
6	bit6	0	R/W	
5	bit5	0	R/W	
4	bit4	0	R/W	
3	bit3	1	R/W	
2	bit2	0	R/W	
1	bit1	0	R/W	
0	bit0	1	R/W	

• SCR3 シリアルコントロールレジスタ 3 アドレス : H'FF9A

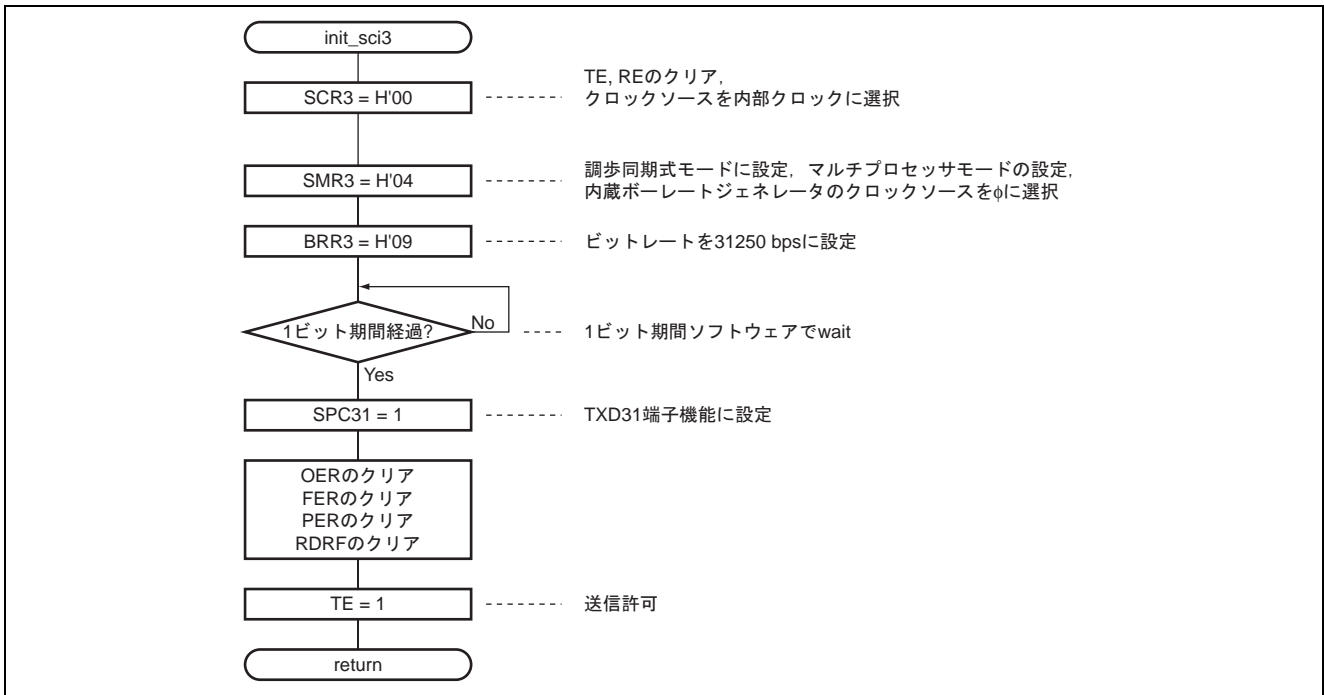
ビット	ビット名	設定値	R/W	機能
5	TE	1	R/W	トランスミットイネーブル このビットが 1 のとき送信動作が可能になります。 TE が 0 の状態では, SSR3 の TDRE は 1 に固定されます。TE が 1 の状態で, TDR3 に送信データをライトすると SSR3 の TDRE が 0 にクリアされ, シリアルデータ送信を開始します。なお, TE を 1 にセットする前に必ず SMR3 の設定と SPCR の SPC31 または SPC32 の設定を行い, 送信フォーマットを決定してください。
1	CKE1	0	R/W	クロックイネーブル 1~0 クロックソースを選択します。 調歩同期式の場合 00 : 内部ポーレートジェネレータ (SCK31 または SCK32 端子は入出力ポート機能となります)
0	CKE0	0	R/W	

• SSR3 シリアルステータスレジスタ3 アドレス：H'FF9C

ビット	ビット名	設定値	R/W	機能
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR3 内の受信データの有無を表示します。 [セット条件] 受信が正常終了し、RSR3 から RDR3 へ受信データが転送されたとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき RDR3 のデータをリードしたとき 本タスク例では、SCI3 の初期化の際にビットのクリアのみ行います。
5	OER	0	R/(W)*	オーバランエラー [セット条件] 受信中にオーバランエラーが発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき SCR3 の RE を 0 にクリアしたときには、OER は影響を受けず以前の状態を保持します。オーバランエラーが発生すると RDR3 では、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OER が 1 にセットされた状態で、以降の受信を続けることはできません。
4	FER	0	R/(W)*	フレーミングエラー [セット条件] 受信中にフレーミングエラーが発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき SCR3 の RE を 0 にクリアしたときには、FER は影響を受けず以前の状態を保持します。2 ストップモード時は、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしませんので注意してください。なお、フレーミングエラーが発生したときの受信データは RDR3 に転送されますが、RDRF はセットされません。さらに、FER が 1 にセットされた状態においては、以降の受信を続けることはできません。
3	PER	0	R/(W)*	パリティエラー [セット条件] 受信中にパリティエラーが発生したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき 本タスク例では、SCI3 の初期化の際にビットのクリアのみ行います。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

3. フローチャート



4.4.3 trns_sci3()関数

1. モジュール仕様

- 調歩同期式モードによるマルチプロセッサ送信

表 9 モジュール仕様

	型	変数名	内容
引数	unsigned char *	t_ptr	送信データのポインタ
	unsigned char *	num	送信する回数

2. 使用内部レジスタ説明

以下に、本タスク例で使用する内部レジスタを示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- TDR3 トランスミットデータレジスタ 3 アドレス：H'FF9B

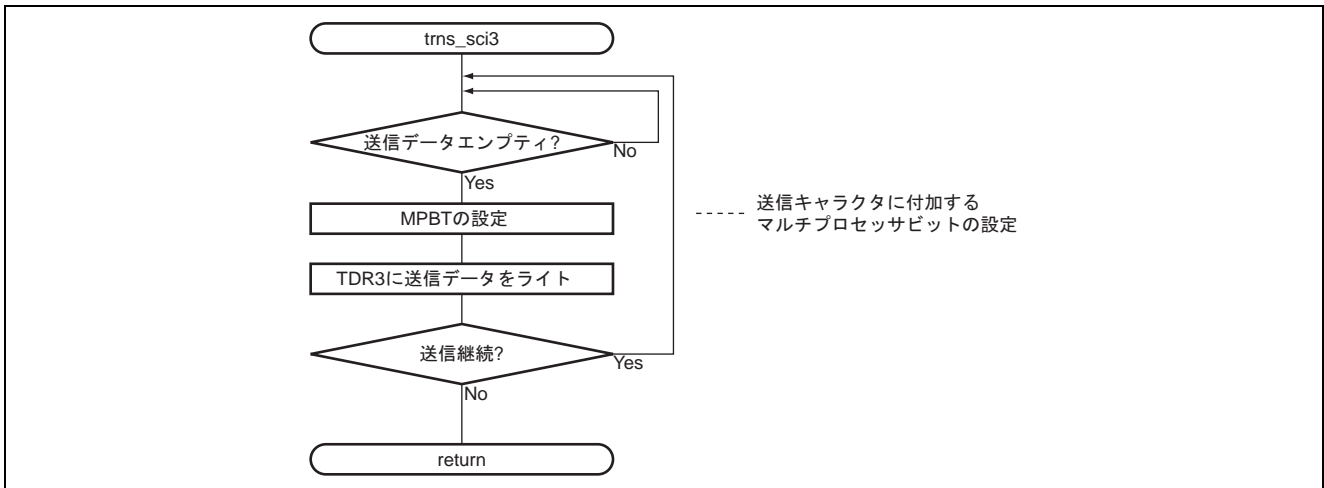
ビット	ビット名	設定値	R/W	機能
7	bit7	不定	R/W	送信データを格納するための 8 ビットのレジスタです。TSR3 に空を検出すると、TDR3 に書き込まれた送信データは TSR3 に転送されて送信を開始します。TDR3 と TSR3 はダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR3 に次の送信データが書き込まれていれば、TSR3 へ転送して送信を継続します。シリアル送信を確実にを行うため、TDR3 への送信データのライトは必ず SSR3 の TDRE が 1 にセットされていることを確認して 1 回だけ行うようにしてください。TDR3 の初期値は H'FF です。TDR3 はリセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'FF に初期化されま
6	bit6	不定	R/W	
5	bit5	不定	R/W	
4	bit4	不定	R/W	
3	bit3	不定	R/W	
2	bit2	不定	R/W	
1	bit1	不定	R/W	
0	bit0	不定	R/W	

- SSR3 シリアルステータスレジスタ 3 アドレス：H'FF9C

ビット	ビット名	設定値	R/W	機能
7	TDRE	不定	R/(W)*	トランスミットデータレジスタエンプティ TDR3 内の送信データの有無を表示します。 [セット条件] SCR3 の TE が 0 のとき TDR3 から TSR3 にデータが転送されたとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき TDR3 へ送信データをライトしたとき
0	MPBT	不定	R/W	マルチプロセッサビットトランスファ 送信キャラクタに付加するマルチプロセッサビットの値を指定します。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

3. フローチャート



4.4.4 stop_sci3()関数

1. モジュール仕様

- 調歩同期式モードの終了

表 10 モジュール仕様

引数	型	変数名	内容
	なし	なし	なし

2. 使用内部レジスタ説明

以下に、本タスク例で使用する内部レジスタを示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- SPCR シリアルポートコントロールレジスタ アドレス：H'FF91

ビット	ビット名	設定値	R/W	機能
4	SPC31	0	R/W	P42/TXD31 端子切り換え P42/TXD31 端子を P42 端子として使用するか TXD31 端子として使用するか選択します。 0：P42 入出力端子として使用 1：TXD31 出力端子として使用 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。

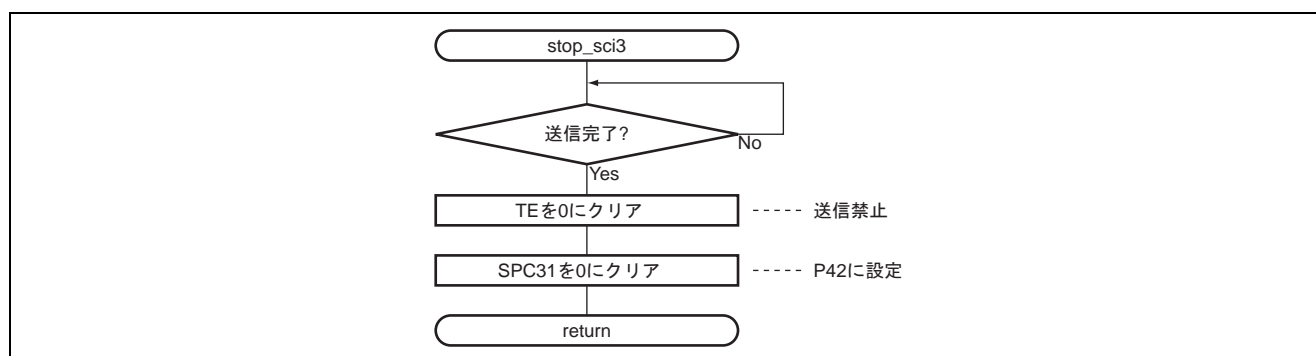
- SCR3 シリアルコントロールレジスタ 3 アドレス：H'FF9A

ビット	ビット名	設定値	R/W	機能
5	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき送信動作が可能になります。 TE が 0 の状態では、SSR3 の TDRE は 1 に固定されます。TE が 1 の状態で、TDR3 に送信データをライトすると SSR3 の TDRE が 0 にクリアされ、シリアルデータ送信を開始します。なお、TE を 1 にセットする前に必ず SMR3 の設定と SPCR の SPC31 または SPC32 の設定を行い、送信フォーマットを決定してください。

- SSR3 シリアルステータスレジスタ 3 アドレス：H'FF9C

ビット	ビット名	設定値	R/W	機能
2	TEND	不定	R	トランスミットエンド [セット条件] SCR3 の TE が 0 のとき 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき [クリア条件] TDRE = 1 の状態でリードした後、TDRE に 0 をライトしたとき TDR3 へ送信データをライトしたとき

3. フローチャート



4.5 リンクアドレス指定

セクション名	アドレス
CVECT	H'0000
P	H'0100

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.03.18	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。