

R8C/25 グループ

タイマRD (インプットキャプチャ機能)

R01AN1284JJ0110
Rev.1.10
2012.06.01

1. 要約

この資料はR8C/25グループのタイマRD (インプットキャプチャ機能) の設定方法例、及び応用例について説明しています。

2. はじめに

この資料で説明する応用例は次のマイコン、条件での利用に適用されます。

- マイコン : R8C/25グループ

R8C/25グループと同様のSFR (周辺機能レジスタ) を持つ他のR8C/Tinyシリーズでも本プログラムを使用することができます。ただし、一部の機能を機能追加等に変更している場合がありますのでマニュアルで確認してください。このアプリケーションノート使用に際しては十分な評価を行ってください。

発振安定待ちに関する注意事項

4.2.1章において、高速オンチップオシレータの発振を開始させた後、発振安定時間を待ってから、高速オンチップオシレータを選択してください。

3. 応用例の説明

3.1 タイマRD

タイマRDは、16ビットタイマを2チャンネル(チャンネル0、チャンネル1)持ちます。各チャンネルは4本の入出力端子を持ちます。

タイマRDの動作クロックは、f1またはfOCO40Mです。表 3.1にタイマRDの動作クロックを示します。

表 3.1 タイマRDの動作クロック

条件	タイマRDの動作クロック
カウントソースが f1、f2、f4、f8、f32、TRDCLK 入力 (TRDCR0、TRDCR1 レジスタの TCK2 ~ TCK0 ビットが "000b" ~ "101b")	f1
カウントソースが fOCO40M (TRDCR0、TRDCR1 レジスタの TCK2 ~ TCK0 ビットが "110b")	fOCO40M

図 3.1にタイマRDのブロック図を示します。タイマRDは5種類のモードを持ちます。

- タイマモード

- インプットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能
(検出時に端子出力変更可能)

次の4つのモードは、アウトプットコンペア機能を用います。

- PWMモード 任意の幅のパルスを連続して出力するモード
- リセット同期PWMモード 鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、チャンネル0とチャンネル1で同等の機能を持ち、1端子ごとに機能とモードを選択できます。また、1つのチャンネルの中でこれらの機能とモードを組み合わせさせて使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、チャンネル0とチャンネル1のカウンタやレジスタを組み合わせさせて波形を出力します。端子の機能はモードによって決まります。

表 3.2 ~ 表 3.10にタイマRDの端子機能を示します。

表 3.2 TRDIOA0/TRDCLK(P2_0)端子の機能

レジスタ	TRDOER1	TRDFCR			TRDIOA0		機 能
ビット	EA0	PWM3	STCLK	CMD1, CMD0	IOA3	IOA2 ~ IOA0	
設定値	0	0	0	00b	x	xxx b	PWM3モード波形出力
	0	1	0	00b	1	001b, 01 b	タイマモード波形出力(アウトプットコンペア機能)
	x	1	0	00b	x	1xx b	タイマモードトリガ入力(インプットキャプチャ機能)〔注1〕
		1	1	xx b	x	000 b	外部クロック入力(TRDCLK)〔注1〕
上記以外							入出力ポート

X: "0"でも"1"でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)、外部クロック入力(TRDCLK)時はPD2レジスタのPD2_0ビットを"0"(入力モード)にしてください。

表 3.3 TRDIOB0(P2_1)端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIOA0	機 能
ビット	EB0	PWM3	CMD1, CMD0	PWMB0	IOB2 ~ IOB0	
設定値	0	x	1 b	x	xxx b	相補PWMモード波形出力
	0	x	01 b	x	xxx b	リセット同期PWMモード波形出力
	0	0	00 b	x	xxx b	PWM3モード波形出力
	0	1	00 b	1	xxx b	PWMモード波形出力
	0	1	00 b	0	001b, 01 b	タイマモード波形出力(アウトプットコンペア機能)
	x	1	00 b	0	1xx b	タイマモードトリガ入力(インプットキャプチャ機能)〔注1〕
上記以外						入出力ポート

X: "0"でも"1"でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_1ビットを"0"(入力モード)にしてください。

表 3.4 TRDIOC0(P2_2)端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIOA0	機 能
ビット	EC0	PWM3	CMD1, CMD0	PWMC0	IOC2 ~ IOC0	
設定値	0	x	1 b	x	xxx b	相補PWMモード波形出力
	0	x	01 b	x	xxx b	リセット同期PWMモード波形出力
	0	1	00 b	1	xxx b	PWMモード波形出力
	0	1	00 b	0	001b, 01 b	タイマモード波形出力(アウトプットコンペア機能)
	x	1	00 b	0	1xx b	タイマモードトリガ入力(インプットキャプチャ機能)〔注1〕
上記以外						入出力ポート

X: "0"でも"1"でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_2ビットを"0"(入力モード)にしてください。

表 3.5 TRDIOD0(P2_3)端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC0	機 能
ビット	ED0	PWM3	CMD1, CMD0	PWMD0	IOD2 ~ IOD0	
設定値	0	x	1xb	x	xxx b	相補PWMモード波形出力
	0	x	01b	x	xxx b	リセット同期PWMモード波形出力
	0	1	00b	1	xxx b	PWMモード波形出力
	0	1	00b	0	001b, 01xb	タイマモード波形出力(アウトプットコンペア機能)
	x	1	00b	0	1xx b	タイマモードトリガ入力(インプットキャプチャ機能)〔注1〕
上記以外						入出力ポート

X: "0"でも"1"でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_3ビットを"0"(入力モード)にしてください。

表 3.6 TRDIOA1(P2_4)端子の機能

レジスタ	TRDOER1	TRDFCR		TRDIOA1	機 能
ビット	EA1	PWM3	CMD1, CMD0	IOA2 ~ IOA0	
設定値	0	x	1xb	xxx b	相補PWMモード波形出力
	0	x	01b	xxx b	リセット同期PWMモード波形出力
	0	1	00b	001b, 01xb	タイマモード波形出力(アウトプットコンペア機能)
	x	1	00b	1xx b	タイマモードトリガ入力(インプットキャプチャ機能)〔注1〕
	上記以外				

X: "0"でも"1"でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_4ビットを"0"(入力モード)にしてください。

表 3.7 TRDIOB1(P2_5)端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIOA1	機 能
ビット	EB1	PWM3	CMD1, CMD0	PWMB1	IOB2 ~ IOB0	
設定値	0	x	1xb	x	xxx b	相補PWMモード波形出力
	0	x	01b	x	xxx b	リセット同期PWMモード波形出力
	0	1	00b	1	xxx b	PWMモード波形出力
	0	1	00b	0	001b, 01xb	タイマモード波形出力(アウトプットコンペア機能)
	x	1	00b	0	1xx b	タイマモードトリガ入力(インプットキャプチャ機能)〔注1〕
上記以外						入出力ポート

X: "0"でも"1"でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_5ビットを"0"(入力モード)にしてください。

表 3.8 TRDIOC1(P2_6)端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC1	機 能
ビット	EC1	PWM3	CMD1, CMD0	PWMC1	IOC2 ~ IOC0	
設定値	0	x	1xb	x	xxx b	相補PWMモード波形出力
	0	x	01b	x	xxx b	リセット同期PWMモード波形出力
	0	1	00b	1	xxx b	PWMモード波形出力
	0	1	00b	0	001b, 01xb	タイマモード波形出力(アウトプットコンペア機能)
	x	1	00b	0	1xx b	タイマモードトリガ入力(インプットキャプチャ機能)注1)
上記以外						入出力ポート

X: "0"でも"1"でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_6ビットを"0"(入力モード)にしてください。

表 3.9 TRDIOD1(P2_7)端子の機能

レジスタ	TRDOER1	TRDFCR		TRDPMR	TRDIORC1	機 能
ビット	ED1	PWM3	CMD1, CMD0	PWMD1	IOD2 ~ IOD0	
設定値	0	x	1xb	x	xxx b	相補PWMモード波形出力
	0	x	01b	x	xxx b	リセット同期PWMモード波形出力
	0	1	00b	1	xxx b	PWMモード波形出力
	0	1	00b	0	001b, 01xb	タイマモード波形出力(アウトプットコンペア機能)
	x	1	00b	0	1xx b	タイマモードトリガ入力(インプットキャプチャ機能)注1)
上記以外						入出力ポート

X: "0"でも"1"でも影響ない

注1. タイマモードトリガ入力(インプットキャプチャ機能)時は、PD2レジスタのPD2_7ビットを"0"(入力モード)にしてください。

表 3.10 INT0(P4_5)端子の機能

レジスタ	TRDOER2	INTEN		PD4	機 能
ビット	PTO	INTOPL	INTOEN	PD4_5	
設定値	1	0	1	0	パルス出力強制遮断信号入力
上記以外					入出力ポートまたはINT0割り込み入力

X: "0"でも"1"でも影響ない

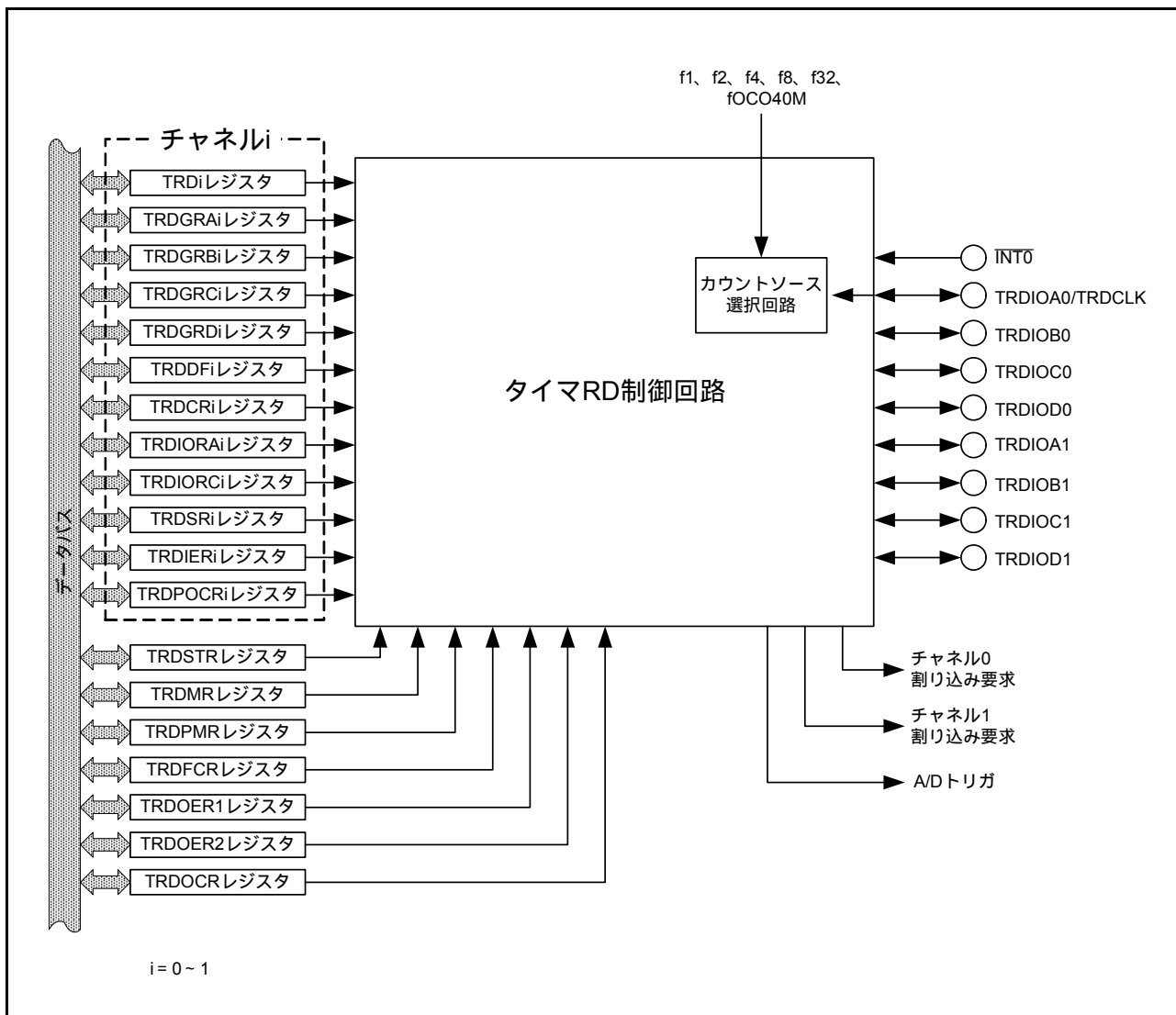


図 3.1 タイマRDのブロック図

3.2 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWM3 モードでは外部クロックは選択できません。

表 3.11 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRDCRi レジスタの TCK2 ~ TCK0 ビットでカウントソース選択
fOCO40M (注1)	FRA0 レジスタの FRA00 ビットが“1”(高速オンチップオシレータ発振) TRDCRi レジスタの TCK2 ~ TCK0 ビットが“110b”(fOCO40M)
TRDCLK 端子に入力された外部信号	TRDFCR レジスタの STCLK ビットが“1”(外部クロック入力有効) TRDCRi レジスタの TCK2 ~ TCK0 ビットが“101b”(カウントソースは外部クロック) TRDCRi レジスタの CKEG1 ~ CKEG0 ビットで有効エッジを選択 PD2 レジスタの PD2_0 ビットが“0”(入力モード)

i: 0 ~ 1

注1. カウントソース fOCO40M は、VCC=3.0 ~ 5.5V の範囲で使用することができます。

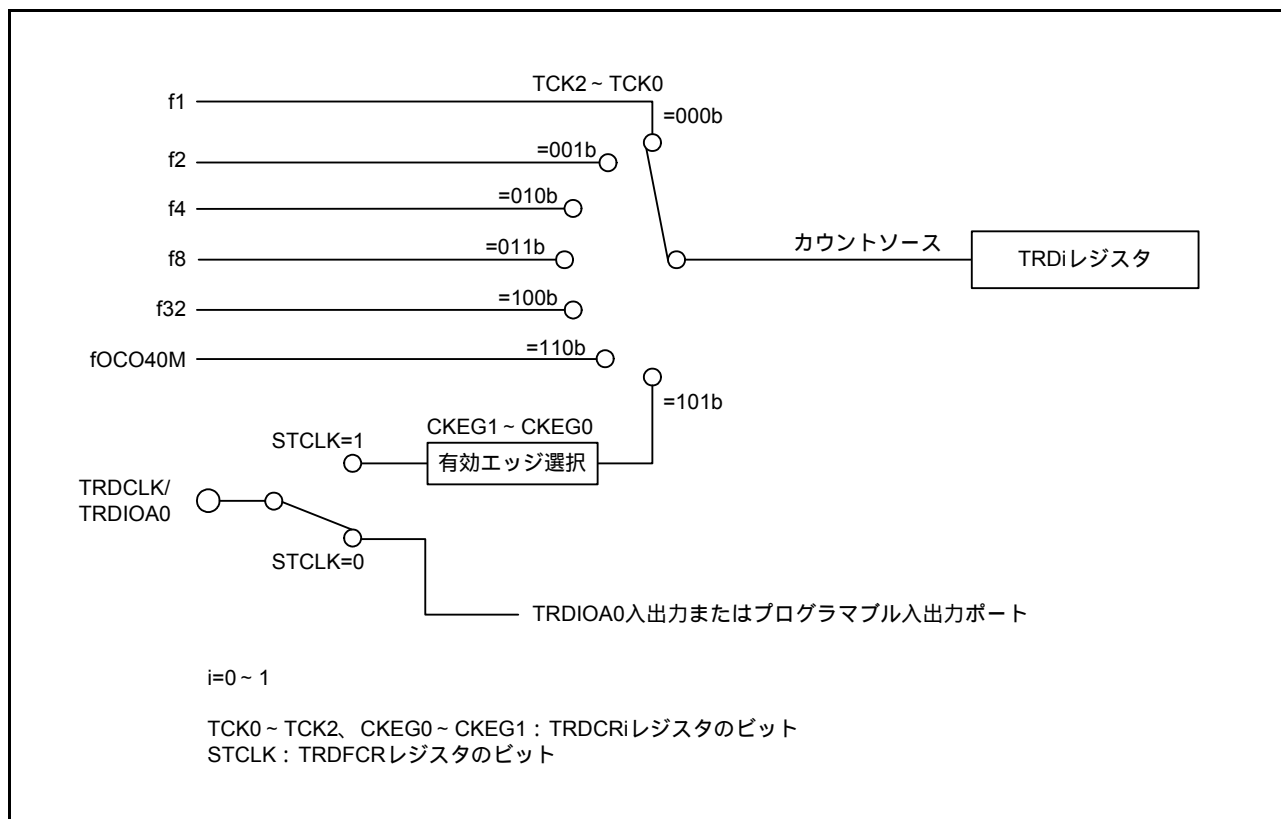


図 3.2 カウントソースのブロック図

TRDCLK 端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック(「表 3.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

カウントソースに fOCO40M を選択する場合は、FRA0 レジスタの FRA00 ビットを“1”(高速オンチップオシレータ発振)にしてから、TRDCRi レジスタ (i = 0 ~ 1) の TCK2 ~ TCK0 ビットを“110b”(fOCO40M) にしてください。

3.3 バッファ動作

TRDMRレジスタのBFCi(i=0 ~ 1)ビット、BFDiビットで、TRDGRCi、TRDGRDiレジスタをTRDGRAi、TRDGRBiレジスタのバッファレジスタにできます。

- ・ TRDGRAiのバッファレジスタ：TRDGRCiレジスタ
- ・ TRDGRBiのバッファレジスタ：TRDGRDiレジスタ

バッファ動作は、モードによって違います。表 3.12に各モードのバッファ動作を示します。

表 3.12 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRDGRAi(TRDGRBi)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRDiレジスタと	バッファレジスタの内容を
PWMモード	TRDGRAi(TRDGRBi)レジスタのコンペア一致	TRDGRAi(TRDGRBi)レジスタに転送
リセット同期PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	バッファレジスタの内容をTRDGRAi(TRDGRBi)レジスタに転送
相補PWMモード	<ul style="list-style-type: none"> ・ TRD0レジスタとTRDGRA0レジスタのコンペア一致 ・ TRD1レジスタアンダフロー 	バッファレジスタの内容をTRDGRB0、TRDGRA1、TRDGRB1レジスタに転送
PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	バッファレジスタの内容をTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに転送

i : 0 ~ 1

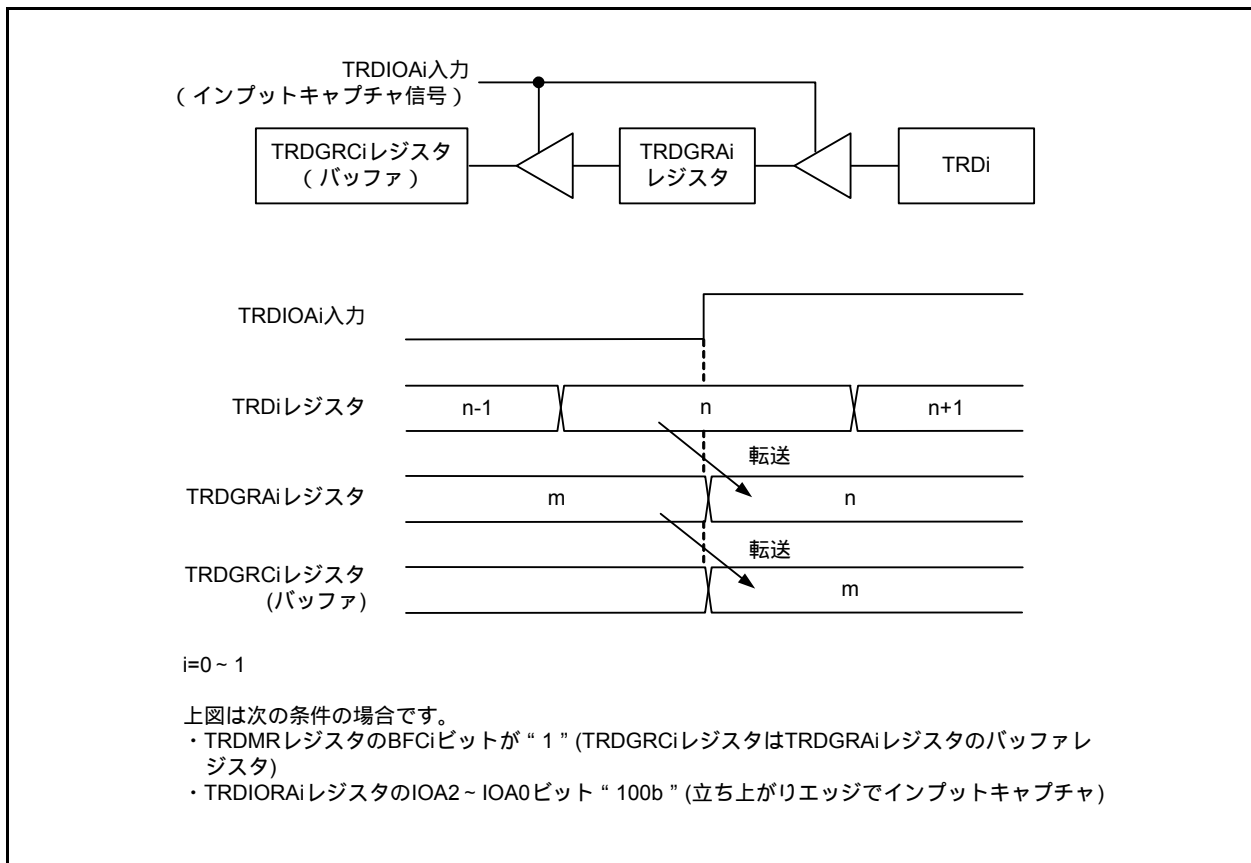


図 3.3 インプットキャプチャ機能のバッファ動作

タイマモード (インプットキャプチャ機能、アウトプットコンペア機能) では次のようにしてください。

TRDGRC_i($i=0 \sim 1$)レジスタをTRDGRA_iレジスタのバッファレジスタに使用する場合

- ・TRDIORC_iレジスタのIOC3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。

- ・TRDIORC_iレジスタのIOC2ビットは、TRDIORA_iレジスタのIOA2ビットと同じ設定にしてください。

TRDGRD_iレジスタをTRDGRB_iレジスタのバッファレジスタに使用する場合

- ・TRDIORD_iレジスタのIOD3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。

- ・TRDIORC_iレジスタのIOD2ビットは、TRDIORA_iレジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では、TRDGRC_i、TRDGRD_iレジスタをバッファレジスタに使用している場合も、TRDIOC_i端子の入力エッジでTRDSR_iレジスタのIMFC、IMFDビットが“1”になります。

3.4 同期動作

TRD0 レジスタとTRD1 レジスタを同期させます。

・同期プリセット

TRDMR レジスタのSYNC ビットが“1”(同期動作)の場合、TRDi レジスタに書き込むと、TRD0 レジスタとTRD1 レジスタの両方に書き込まれます。

・同期クリア

TRDMR レジスタのSYNC ビットが“1”で、かつTRDCR0 レジスタのCCLR2 ~ CCLR0 ビットが“011b”(同期クリア)の場合、TRD0 レジスタはTRD1 レジスタが“0000h”になるとき、同時に“0000h”になります。

同様に、TRDMR レジスタのSYNC ビットが“1”で、かつTRDCR1 レジスタのCCLR2 ~ CCLR0 ビットが“011b”(同期クリア)の場合、TRD1 レジスタはTRD0 レジスタが“0000h”になるとき、同時に“0000h”になります。

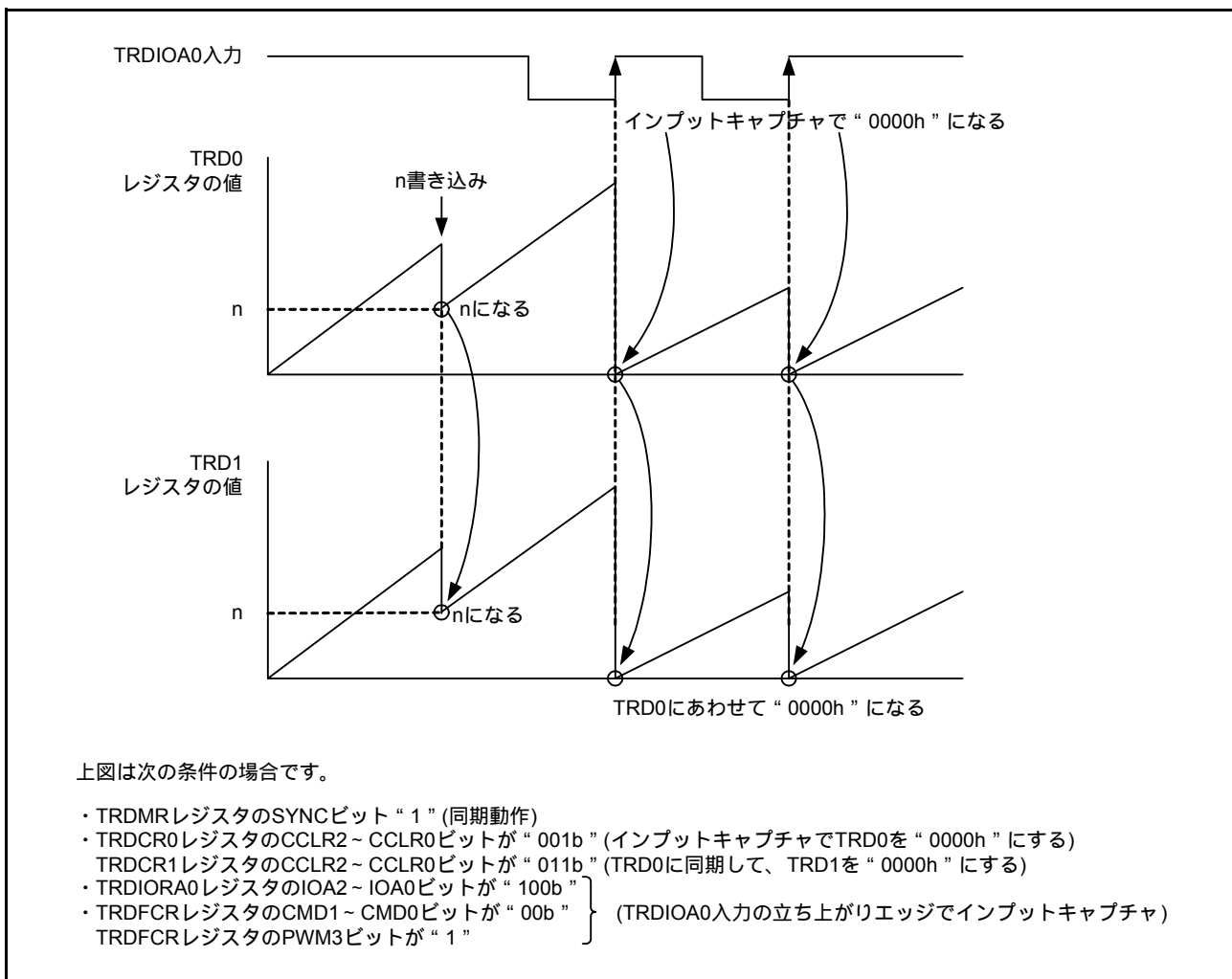


図 3.4 同期動作

3.5 インプットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO j ($i=0 \sim 1$, $j=A, B, C, D$ のいずれか)端子の外部信号をトリガにしてTRDiレジスタ(カウンタ)の内容をTRDGR j iレジスタに転送します(インプットキャプチャ)。TRDIO j i端子とTRDGR j iレジスタの組み合わせで機能しますので、端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0レジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

図 3.5 にインプットキャプチャ機能のブロック図を、表 3.13 にインプットキャプチャ機能の仕様を、図 3.6 ~ 図 3.16 にインプットキャプチャ機能関連レジスタを、図 3.17 にインプットキャプチャ機能の動作例を示します。

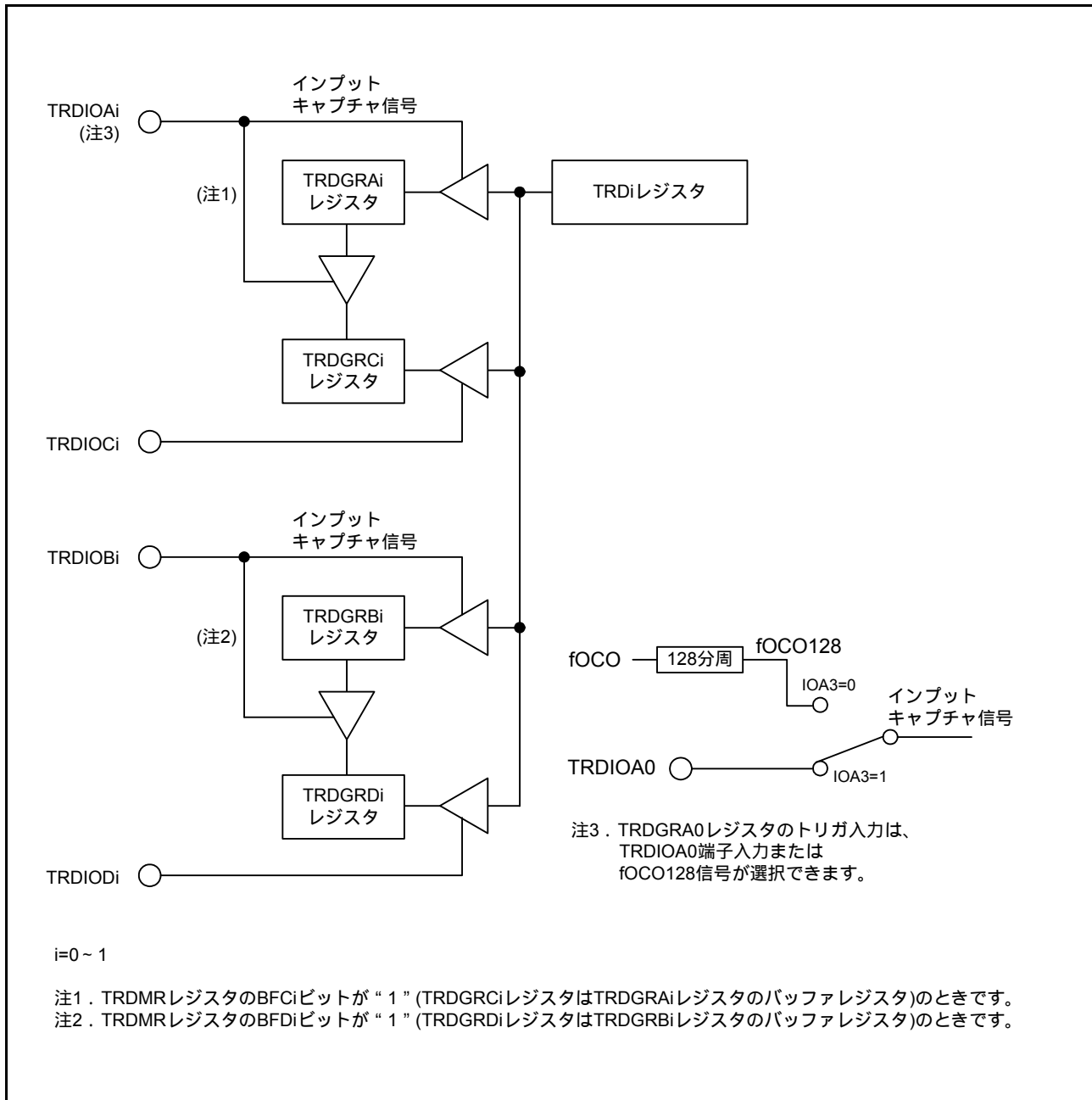


図 3.5 インプットキャプチャ機能のブロック図

表 3.13 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2 ~ CCLR0ビットが“000b”(フリーランニング動作)の場合 1/fk × 65536 fk : カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ (TRDIOji入力の有効エッジ、またはfOCO128信号のエッジ) TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> TRDMRレジスタのSYNCビットが“0”(チャンネル0とチャンネル1は独立動作)の場合 TRDiレジスタに書き込める。 TRDMRレジスタのSYNCビットが“1”(チャンネル0とチャンネル1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 TRDiを“0000h”にするタイミング オーバフロー、またはインプットキャプチャ時 パッファ動作(「3.3 パッファ動作」参照) 同期動作(「3.4 同期動作」参照) デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす インプットキャプチャトリガ選択 TRDGRA0レジスタのインプットキャプチャトリガ入力にfOCO128を選択できる

i=0 ~ 1、j=A、B、C、Dのいずれか

タイマRDスタートレジスタ(注1)

シンボル	アドレス	リセット後の値	
TRDSTR	0137h番地	11111100b	
ビットシンボル	ビット名	機能	RW
TSTART0	TRD0カウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
TSTART1	TRD1カウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
CSEL0	TRD0カウント動作選択ビット	インプットキャプチャ機能では“1” にしてください	RW
CSEL1	TRD1カウント動作選択ビット	インプットキャプチャ機能では“1” にしてください	RW
- (b7-b4)	何も配置されていない。書く場合、“0” を読んだ場合、その値は“1”。		-

注1. TRDSTRレジスタはMOV命令を使用して書いてください。(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「3.8.1 TRDSTRレジスタ」を参照してください。

タイマRDモードレジスタ

シンボル	アドレス	リセット後の値	
TRDMR	0138h番地	00001110b	
ビットシンボル	ビット名	機能	RW
SYNC	タイマRD同期ビット	0 : TRD0とTRD1は独立動作 1 : TRD0とTRD1は同期動作	RW
- (b3-b1)	何も配置されていない。書く場合、“0” を読んだ場合、その値は“1”。		-
BFC0	TRDGRC0レジスタ機能選択 ビット	0 : ジェネラルレジスタ 1 : TRDGRA0レジスタのパッファレジスタ	RW
BFD0	TRDGRD0レジスタ機能選択 ビット	0 : ジェネラルレジスタ 1 : TRDGRB0レジスタのパッファレジスタ	RW
BFC1	TRDGRC1レジスタ機能選択 ビット	0 : ジェネラルレジスタ 1 : TRDGRA1レジスタのパッファレジスタ	RW
BFD1	TRDGRD1レジスタ機能選択 ビット	0 : ジェネラルレジスタ 1 : TRDGRB1レジスタのパッファレジスタ	RW

図 3.6 インプットキャプチャ機能時のTRDSTR、TRDMRレジスタ

タイマRD PWMモードレジスタ

シンボル	アドレス	リセット後の値	
TRDPMR	0139h番地	10001000b	
ビット シンボル	ビット名	機能	RW
PWMB0	TRDIOB0 PWMモード選択ビット	インプットキャプチャ機能では “0” (タイマモード)にしてください。	RW
PWMC0	TRDIOC0 PWMモード選択ビット	インプットキャプチャ機能では “0” (タイマモード)にしてください。	RW
PWMD0	TRDIOD0 PWMモード選択ビット	インプットキャプチャ機能では “0” (タイマモード)にしてください。	RW
- (b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-
PWMB1	TRDIOB1 PWMモード選択ビット	インプットキャプチャ機能では “0” (タイマモード)にしてください。	RW
PWMC1	TRDIOC1 PWMモード選択ビット	インプットキャプチャ機能では “0” (タイマモード)にしてください。	RW
PWMD1	TRDIOD1 PWMモード選択ビット	インプットキャプチャ機能では “0” (タイマモード)にしてください。	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		-

図 3.7 インプットキャプチャ機能時のTRDPMRレジスタ

タイマRD機能制御レジスタ

シンボル TRDFCR	アドレス 013Ah番地	リセット後の値 1000000b	
ビット シンボル	ビット名	機能	RW
CMD0	コンピネーションモード選択ビット (注1)	インプットキャプチャ機能では “00b” (タイマモード・PWMモード・ PWM3モード)にしてください。	RW
CMD1			RW
OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相 補PWMモード時)	インプットキャプチャ機能では無効で す。	RW
OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相 補PWMモード時)	インプットキャプチャ機能では無効で す。	RW
ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	インプットキャプチャ機能では無効で す。	RW
ADEG	A/Dトリガエッジ選択ビット (相補PWMモード時)	インプットキャプチャ機能では無効で す。	RW
STCLK	外部クロック入力選択ビット	0 : 外部クロック入力無効 1 : 外部クロック入力有効	RW
PWM3	PWM3モード選択ビット (注2)	インプットキャプチャ機能では “1” (PWM3モード以外)にしてくださ い。	RW

注1 . CMD1 ~ CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0” (カウント停止) のときに
書いてください。

注2 . CMD1 ~ CMD0ビットが“00” (タイマモード・PWMモード・PWM3モード) のとき、PWM3ビットの設定が有効に
なります。

図 3.8 インプットキャプチャ機能時のTRDFCRのレジスタ

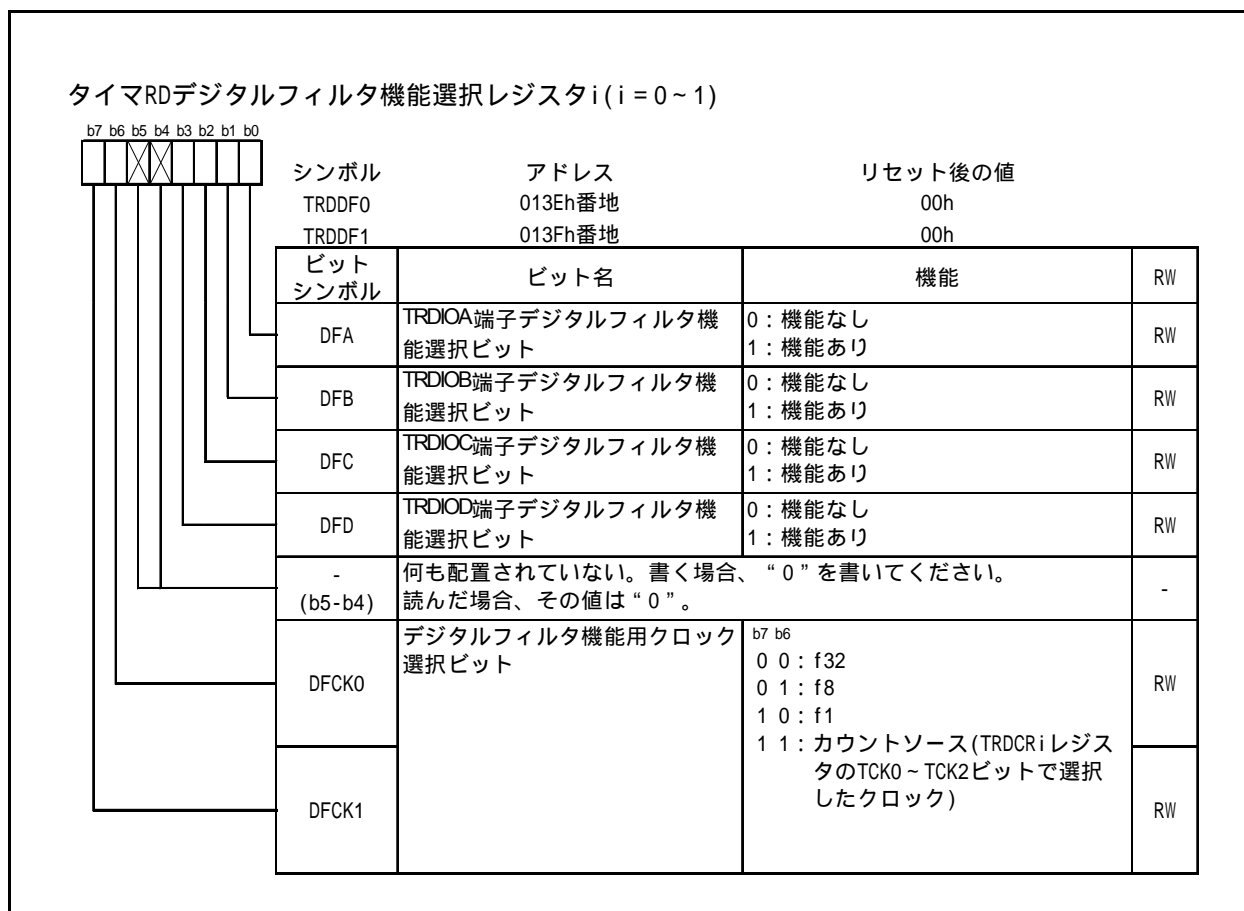


図 3.9 インプットキャプチャ機能時のTRDDF0 ~ TRDDF1レジスタ

タイマRD制御レジスタ*i* (*i* = 0 ~ 1)

シンボル	アドレス	リセット後の値
TRDCR0	0140h番地	00h
TRDCR1	0150h番地	00h

ビットシンボル	ビット名	機能	RW
TCK0	カウントソース選択ビット	b2 b1 b0	RW
TCK1		0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1)	RW
TCK2		1 1 0 : fOCO40M 1 1 1 : 設定しないでください	RW
CKEG0	外部クロックエッジ選択ビット(注2)	b4 b3	RW
CKEG1		0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	RW
CCLR0	TRD <i>i</i> カウンタクリア選択ビット	b7 b6 b5	RW
CCLR1		0 0 0 : クリア禁止(フリーランニング動作) 0 0 1 : TRDGRA <i>i</i> のインプットキャプチャでクリア 0 1 0 : TRDGRB <i>i</i> のインプットキャプチャでクリア 0 1 1 : 同期クリア(他のチャネルのカウントと同時にクリア)(注3)	RW
CCLR2		1 0 0 : 設定しないでください 1 0 1 : TRDGR <i>Ci</i> のインプットキャプチャでクリア 1 1 0 : TRDGRD <i>i</i> のインプットキャプチャでクリア 1 1 1 : 設定しないでください	RW

注1 . TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注2 . TCK2 ~ TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
 注3 . TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。

図 3.10 インプットキャプチャ機能時のTRDCR0 ~ TRDCR1レジスタ

タイマRD I/O制御レジスタAi (i = 0 ~ 1)

ビット シンボル	ビット名	機能	RW
TRDIORA0	TRDGRA制御ビット	b1 b0 0 0 : 立ち上がりエッジでTRDGRAiへ インプットキャプチャ 0 1 : 立ち下がりエッジでTRDGRAiへ インプットキャプチャ 1 0 : 両エッジでTRDGRAiへインプット キャプチャ 1 1 : 設定しないでください	RW
TRDIORA1	TRDGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(イン プットキャプチャ)にしてください	RW
-	インプットキャプチャ入力切 替ビット(注3,4)	0 : fOCO128信号 1 : TRDIOA0端子入力	RW
IOB0	TRDGRB制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRDGRBiへ インプットキャプチャ 0 1 : 立ち下がりエッジでTRDGRBiへ インプットキャプチャ 1 0 : 両エッジでTRDGRBiへインプット キャプチャ 1 1 : 設定しないでください	RW
IOB1	TRDGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(イン プットキャプチャ)にしてください	RW
(b7)	何も配置されていない。書く場合、“0”を書 いてください。 読んだ場合、その値は“1”。		-

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのパッファレジスタ)を選択した場合、TRDIORAiレ
ジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのパッファレジスタ)を選択した場合、TRDIORAiレ
ジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDIORA0レジスタのみ有効です。TRDIORA1レジスタは、“1”にしてください。

注4. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

図 3.11 インプットキャプチャ機能時の TRDIORA0 ~ TRDIORA1 レジスタ

タイマRD I/O制御レジスタCi (i = 0 ~ 1)

ビット シンボル	ビット名	機能	RW
TRDIORC0	TRDGRC制御ビット	b1 b0 0 0 : 立ち上がりエッジでTRDGRCiへ インプットキャプチャ 0 1 : 立ち下がりエッジでTRDGRCiへ インプットキャプチャ	RW
TRDIORC1	TRDGRC制御ビット	b1 b0 0 0 : 立ち上がりエッジでTRDGRCiへ インプットキャプチャ 0 1 : 立ち下がりエッジでTRDGRCiへ インプットキャプチャ 1 0 : 両エッジでTRDGRCiへインプット キャプチャ 1 1 : 設定しないでください	RW
IOC2	TRDGRCモード選択ビット(注1)	インプットキャプチャ機能では“1”(イン プットキャプチャ)にしてください	RW
IOC3	TRDGRCレジスタ機能選択 ビット	インプットキャプチャ機能では “1”(ジェネラルレジスタまたはバッ ファレジスタ)にしてください	RW
TRDGRDi	TRDGRD制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRDGRDiへ インプットキャプチャ 0 1 : 立ち下がりエッジでTRDGRDiへ インプットキャプチャ	RW
TRDGRDi	TRDGRD制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRDGRDiへ インプットキャプチャ 0 1 : 立ち下がりエッジでTRDGRDiへ インプットキャプチャ 1 0 : 両エッジでTRDGRDiへインプット キャプチャ 1 1 : 設定しないでください	RW
IOD2	TRDGRDモード選択ビット(注2)	インプットキャプチャ機能では“1”(イン プットキャプチャ)にしてください	RW
IOD3	TRDGRDレジスタ機能選択 ビット	インプットキャプチャ機能では “1”(ジェネラルレジスタまたはバッ ファレジスタ)にしてください	RW

注1 . TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレ
ジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2 . TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレ
ジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

図 3.12 インプットキャプチャ機能時の TRDIORC0 ~ TRDIORC1 レジスタ

タイマRDステータスレジスタ*i* (*i* = 0 ~ 1) (注3)

ビット シンボル	ビット名	機能	RW
IMFA	インプットキャプチャ/コンペア 一致フラグA	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDSR0レジスタ： TRDIOA0レジスタのIOA3ビットが “0” (fOC0128信号)の場合、 fOC0128信号のエッジ TRDIOA0レジスタのIOA3ビットが “1” (TRDIOA0入力)の場合、 TRDIOA0信号の入力エッジ (注3) TRDSR1レジスタ： TRDIOA1端子の入力エッジ (注3)	RW
IMFB	インプットキャプチャ/コンペア 一致フラグB	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDIOBi端子の入力エッジ (注3)	RW
IMFC	インプットキャプチャ/コンペア 一致フラグC	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDIOCi端子の入力エッジ (注4)	RW
IMFD	インプットキャプチャ/コンペア 一致フラグD	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDIOdi端子の入力エッジ (注4)	RW
OVF	オーバフローフラグ	[“0” になる要因] 読んだ後、“0” を書く。(注2) [“1” になる要因] TRDiがオーバフローしたとき。	RW
UDF	アンダフローフラグ(注1)	インプットキャプチャ機能では無効で す。	RW
- (b7-b6)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は“1”。		-

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0” を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。

- ・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- ・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- ・“1”を書いた場合は変化しません。

注3. TRDIOA*i*レジスタのIOj1 ~ IOj0ビット (j=AまたはB) で選択したエッジ。

注4. TRDIOA*i*レジスタのIOk1 ~ IOk0ビット (k=CまたはD) で選択したエッジ。

TRDMRレジスタのBFkiビットが“1” (TRDGRkiはパッファレジスタ) の場合を含む。

図 3.13 インプットキャプチャ機能時の TRDSR0 ~ TRDSR1 レジスタ

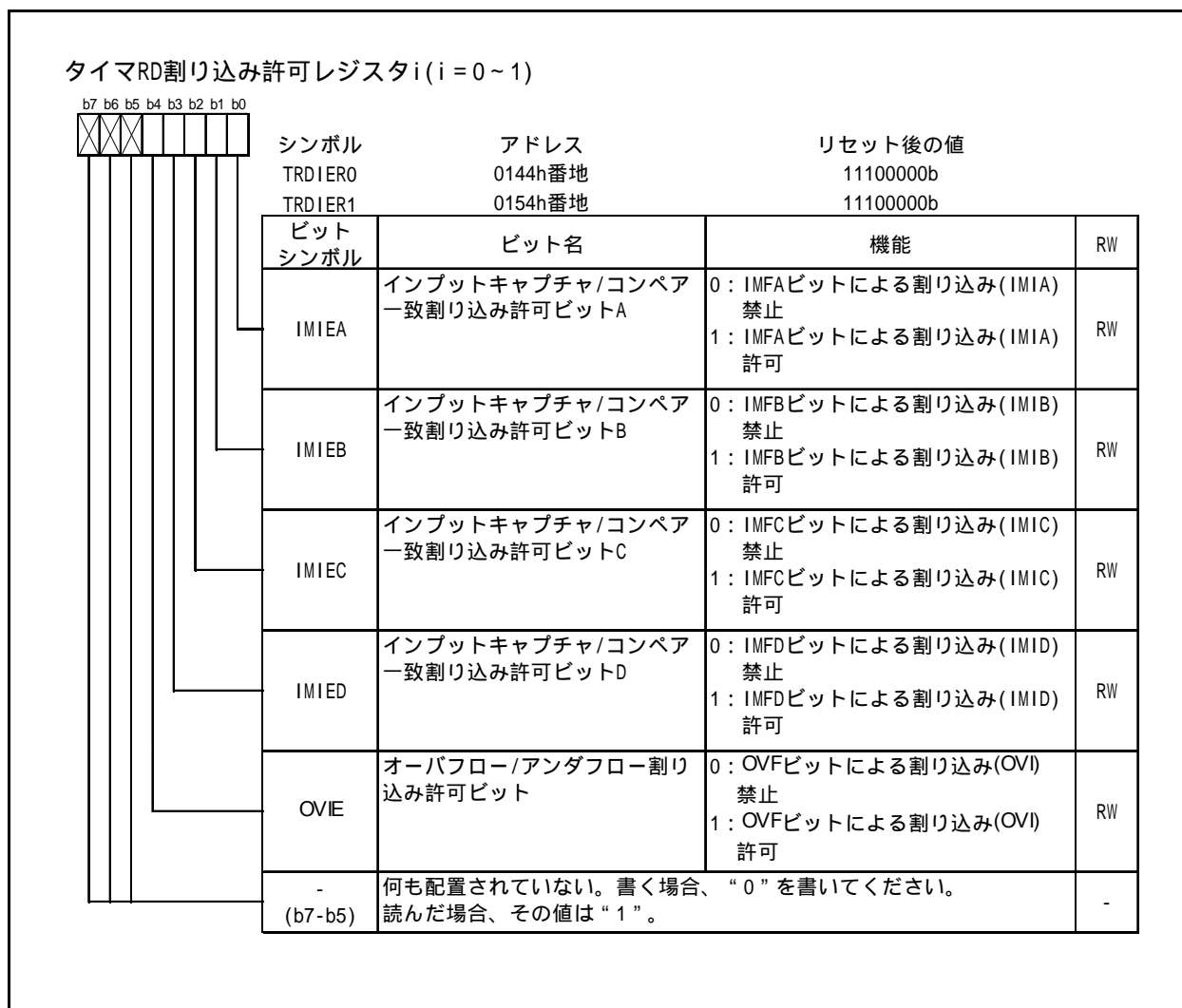


図 3.14 インプットキャプチャ機能時の TRDIER0 ~ TRDIER1 レジスタ

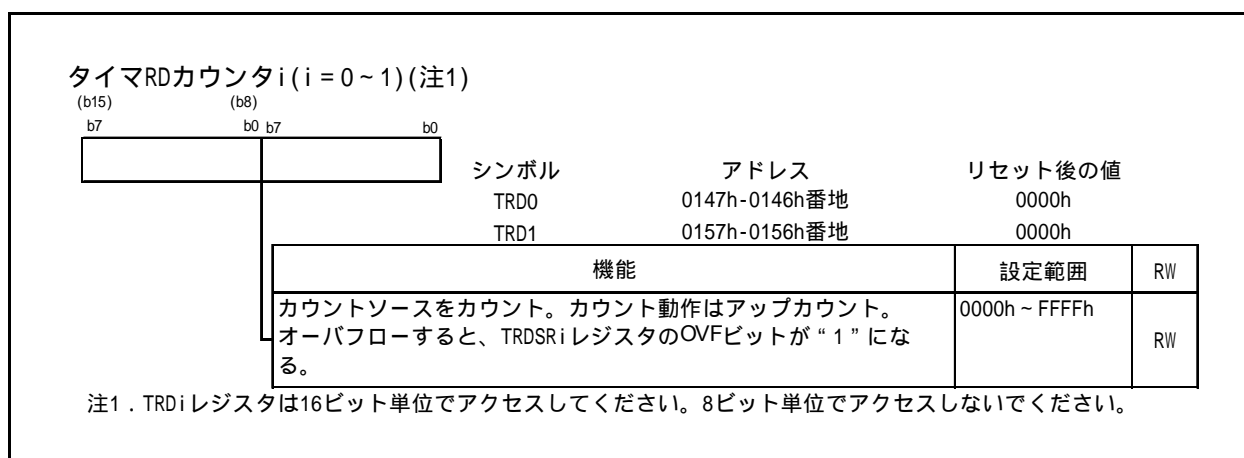


図 3.15 インプットキャプチャ機能時の TRD0 ~ TRD1 レジスタ

タイマRDジェネラルレジスタAi、Bi、Ci、Di (i = 0 ~ 1) (注1)

(b15) b7	(b8) b0 b7	b0			
			シンボル	アドレス	リセット後の値
			TRDGRA0	0149h-0148h番地	FFFFh
			TRDGRB0	014Bh-014Ah番地	FFFFh
			TRDGRC0	014Dh-014Ch番地	FFFFh
			TRDGRD0	014Fh-014Eh番地	FFFFh
			TRDGRA1	0159h-0158h番地	FFFFh
			TRDGRB1	015Bh-015Ah番地	FFFFh
			TRDGRC1	015Dh-015Ch番地	FFFFh
			TRDGRD1	015Fh-015Eh番地	FFFFh
			機能		RW
			「表3.14 インプットキャプチャ機能時のTRDGRjiレジスタの機能」参照。		RW

注1. TRDGRAi ~ TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図 3.16 インプットキャプチャ機能時のTRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ

インプットキャプチャ機能では、次のレジスタは無効です。
TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表 3.14 インプットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRDGRAi	-	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます(「3.3 バッファ動作」参照)。	TRDIOAi
TRDGRDi	BFDi=1		TRDIOBi

i=0 ~ 1、j=A、B、C、Dのいずれか
BFCi、BFDi : TRDMRレジスタのビット

TRDIOji端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが“0”)の場合、タイマRDの動作クロック(「表 3.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

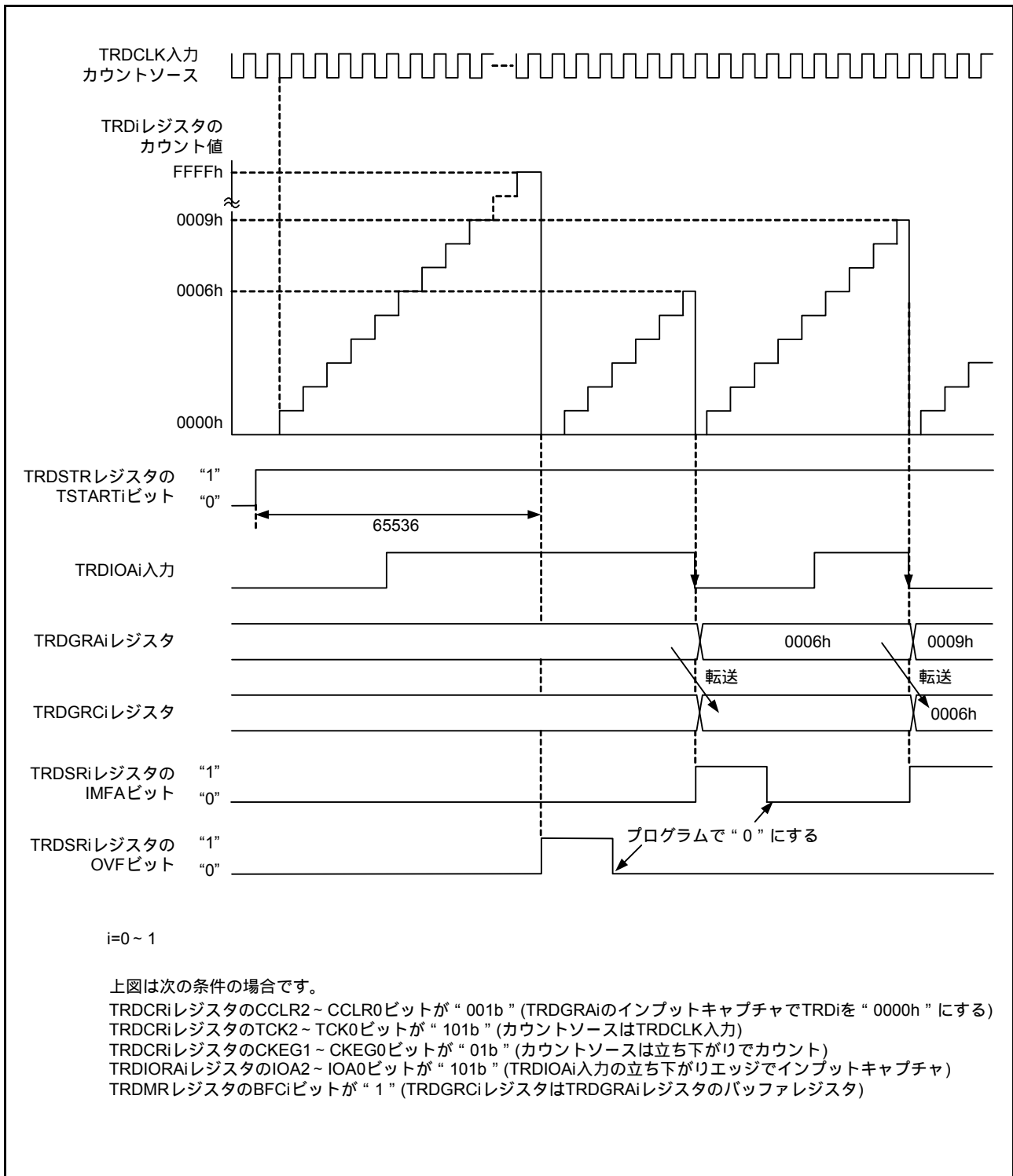


図 3.17 インプットキャプチャ機能の動作例

3.6 デジタルフィルタ

TRDIOj(i=0 ~ 1、j=A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

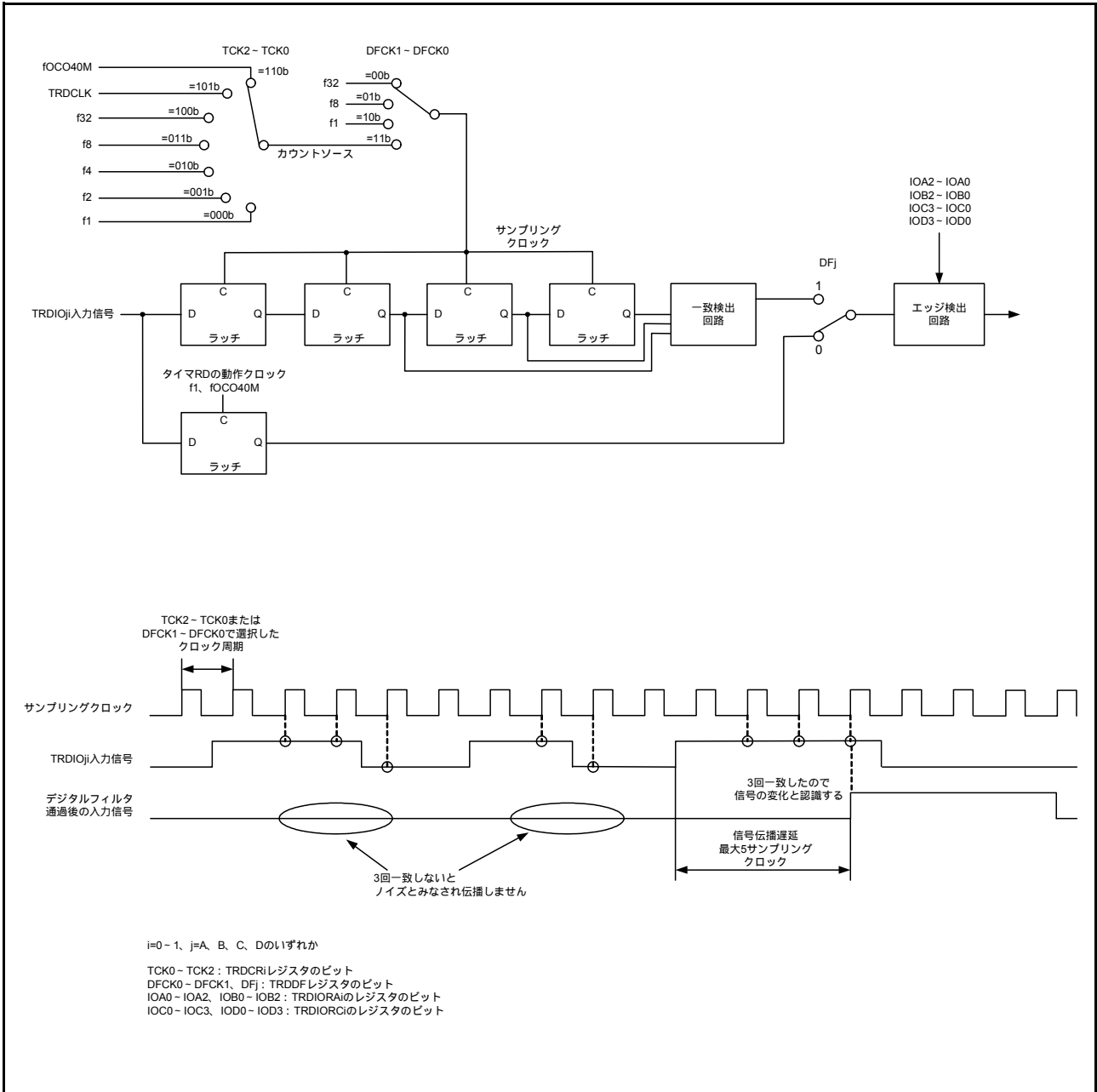


図 3.18 デジタルフィルタのブロック図

3.7 タイマRD 割り込み

タイマRDは、チャンネル毎に6つの要因からタイマRD割り込み要求を発生します。タイマRD割り込みはチャンネル毎に1つのTRDiIC($i=0 \sim 1$)レジスタ(IRビット、ILVL0 ~ ILVL2ビット)と1つのベクタを持ちます。

表 3.15 にタイマRD 割り込み関連レジスタを、図 3.19 にタイマRD 割り込みのブロック図を示します。

表 3.15 タイマRD 割り込み関連レジスタ

	タイマRD ステータスレジスタ	タイマRD 割り込み許可レジスタ	タイマRD 割り込み制御レジスタ
チャンネル0	TRDSR0	TRDIER0	TRD0IC
チャンネル1	TRDSR1	TRDIER1	TRD1IC

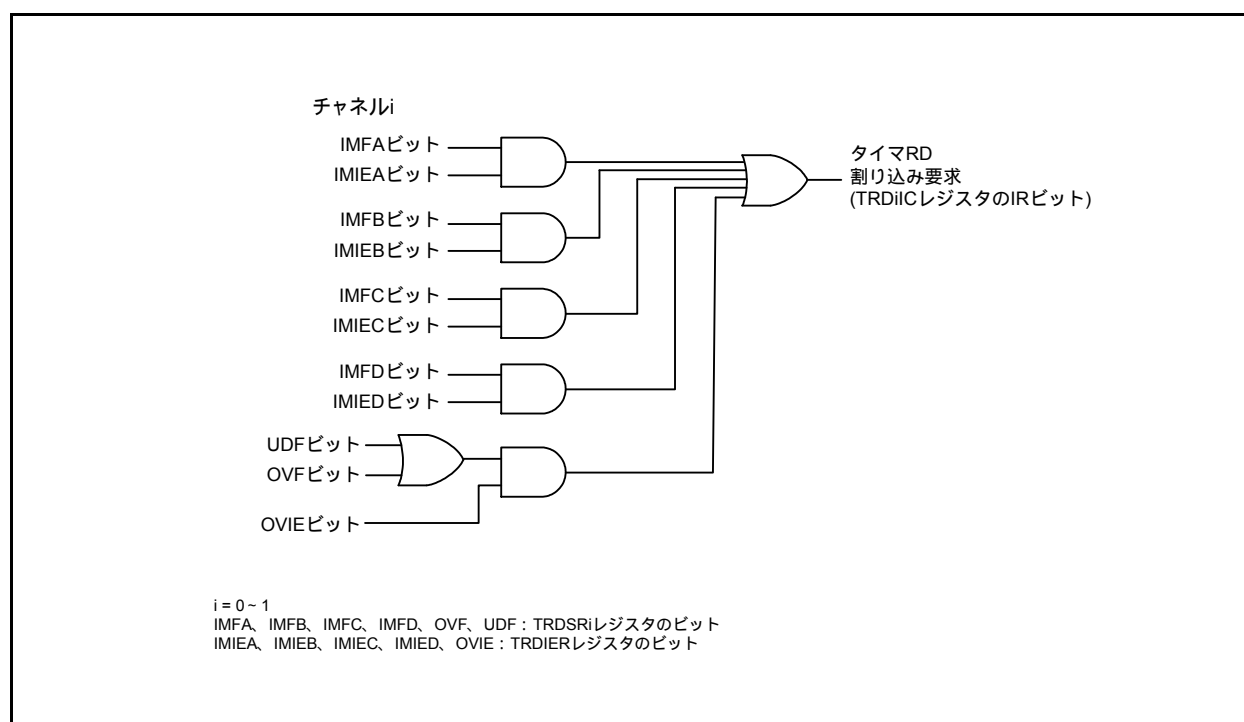


図 3.19 タイマRD 割り込みのブロック図

タイマRD 割り込みが、Iフラグ、IRビット、ILVL0 ~ ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRD 割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ・ TRDSR i レジスタのビットが“1”で、それに対応するTRDIER i レジスタのビットが“1”(割り込み許可)の場合、TRDiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- ・ TRDSR i レジスタのビットと、それに対応するTRDIER i レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- ・ IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- ・ TRDIER i レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRDSR i レジスタで判定してください。
- ・ TRDSR i レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「インプットキャプチャ機能時のTRDSR0 ~ TRDSR1レジスタ(図 3.13)」を参照してください。

TRDSR_iレジスタは「インプットキャプチャ機能時のTRDSR0 ~ TRDSR1レジスタ(図 3.13)」を、TRDIER_iレジスタは「インプットキャプチャ機能時のTRDIER0 ~ TRDIER1レジスタ(図 3.14)」を参照してください。

TRDiCレジスタ及び割り込みベクタは「R8C/25グループハードウェアマニュアル」を参照してください。

3.8 タイマRD使用上の注意事項

3.8.1 TRDSTR レジスタ

- TRDSTR レジスタはMOV 命令を使用して書いてください。
- CSELi (i=0 ~ 1) ビットが“0” (TRDi レジスタとTRDGRAi レジスタのコンペア一致でカウントクリア後、カウント停止) の場合、TSTARTi ビットに“0” (カウント停止) を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
- したがって、CSELi ビットが“0” のとき、TSTARTi ビットを変化させずに他のビットを変更したい場合は、TSTARTi ビットに“0” を書いてください。
- また、プログラムでカウントを停止させる場合は、CSELi ビットを“1” にした後で、TSTARTi ビットに“0” を書いてください。同時に (1 命令で) CSELi ビットに“1”、TSTARTi ビットに“0” を書いてもカウントは停止できません。
- TRDIOj (j=A, B, C, D) 端子をタイマRD 出力で使用している場合の、カウント停止時の出力レベルを表 3.16 に示します。

表 3.16 カウント停止時の TRDIOj (j=A, B, C, D) 端子出力レベル

カウント停止方法	カウント停止時の TRDIOj 端子出力
CSELi ビットが“1” のときに、TSTARTi ビットに“0” を書きカウント停止	直前の出力レベルを保持
CSELi ビットが“0” のときに、TRDi レジスタとTRDGRAi レジスタのコンペア一致でカウントクリア後、カウント停止	コンペア一致による出力変化後、そのレベルを保持

3.8.2 TRDi レジスタ (i=0 ~ 1)

- TRDSTR レジスタの TSTARTi ビットが“1” (カウント開始) の状態で、プログラムで TRDi レジスタに値を書き込む場合は、TRDi レジスタが“0000h” になるタイミングと重ならないように書いてください。
TRDi レジスタが“0000h” になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDi レジスタが“0000h” になります。
この注意事項は、TRDCRi レジスタの CCLR2 ~ CCLR0 ビットで次の選択をしている場合に該当します。
 - “001b” (TRDGRAi レジスタとのコンペア一致で TRDi でクリア)
 - “010b” (TRDGRBi レジスタとのコンペア一致で TRDi でクリア)
 - “011b” (同期クリア)
 - “101b” (TRDGRCi レジスタとのコンペア一致で TRDi でクリア)
 - “110b” (TRDGRDi レジスタとのコンペア一致で TRDi でクリア)
- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B 命令を実行してください。

プログラム例	MOV.W #XXXXh, TRD0	; 書き込み
	JMP.B L1	; JMP.B 命令
	L1: MOV.W TRD0, DATA	; 読み出し

3.8.3 TRDSR_iレジスタ (i=0 ~ 1)

TRDSR_iレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```

プログラム例      MOV.B  #XXh, TRDSR0      ; 書き込み
                   JMP.B  L1          ; JMP.B命令
L1:                MOV.B  TRDSR0,DATA ; 読み出し
  
```

3.8.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する

- カウントソースをfOCO40Mからその他のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。

変更手順

- (1) TRDSTRレジスタのTSTART_i(i=0 ~ 1)ビットを“0”(カウント停止)にする
- (2) TRDCR_iレジスタのTCK2 ~ TCK0ビットを変更する
- (3) f1の2サイクル以上待つ
- (4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

3.8.5 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 3.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIO_{ji}(i=0 ~ 1、j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2 ~ 3サイクル後にTRD_iレジスタの値をTRDGR_{ji}レジスタに転送します(デジタルフィルタなしの場合)。

3.8.6 カウントソースfOCO40M

- カウントソースfOCO40Mについては、電源電圧VCC=3.0 ~ 5.5Vの範囲で使用することができます。
これ以外の電源電圧では、TRDCR0、TRDCR1レジスタのTCK2 ~ TCK0ビットを“110b”(fOCO40Mをカウントソースに選択)にしないでください。

4. プログラム概要

TRDIOA0端子に入力される外部信号から有効エッジを検出(IMFAビット=1)すると、ジェネラルレジスタ (TRDGRA0)、バッファレジスタ (TRDGRC0)、それぞれの内容をメイン処理の中で読み出します。なお本プログラムの設定条件は以下の通りです。

- ・カウントソースに高速オンチップオシレータ (fOCO40M) を使用しています。
- ・TRDGRA0へのインプットキャプチャは両エッジで検出します。
- ・有効エッジ検出時にタイマRDカウンタ0 (TRD0) はクリアされます。

図4.1に使用端子を示します。

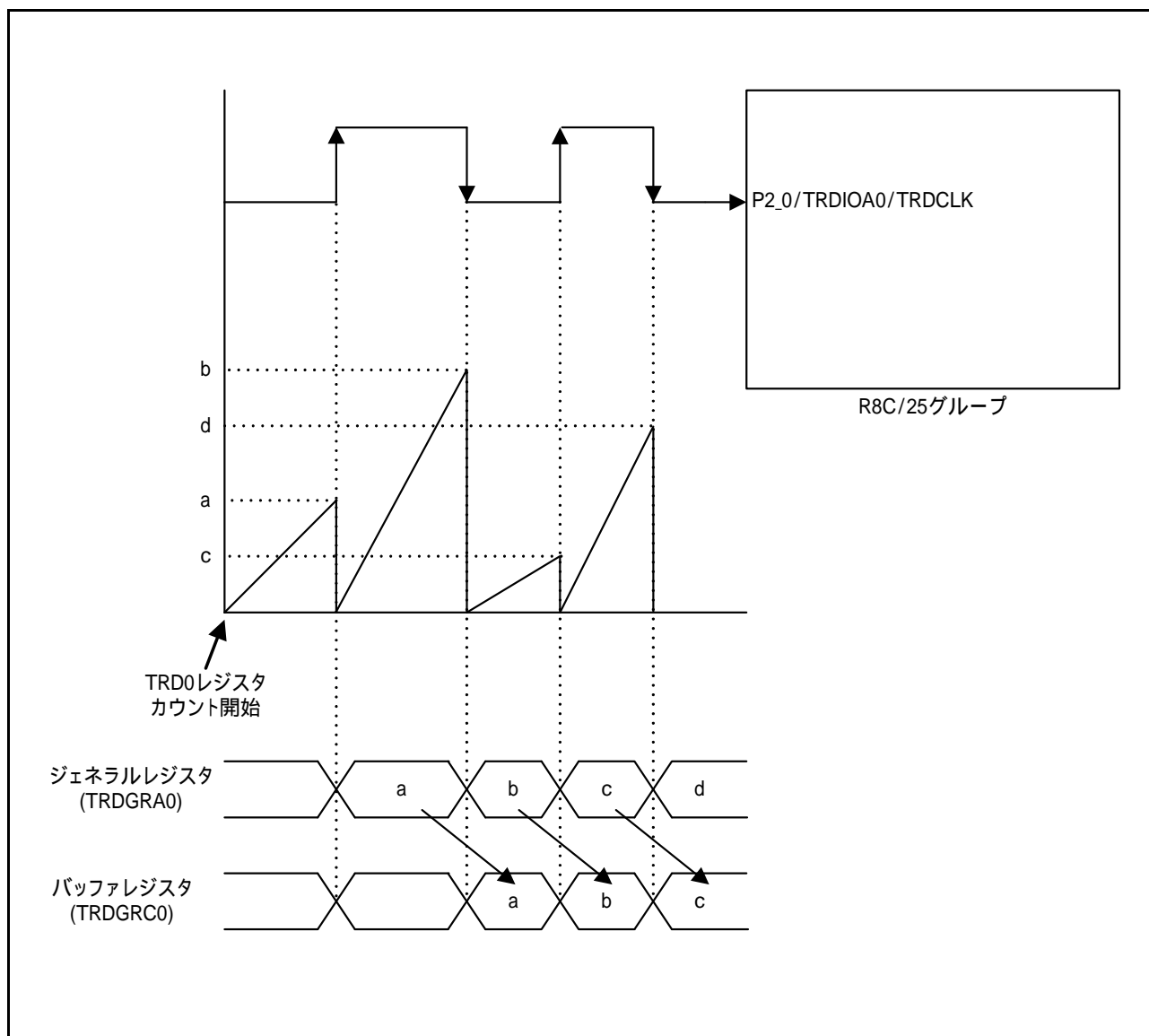


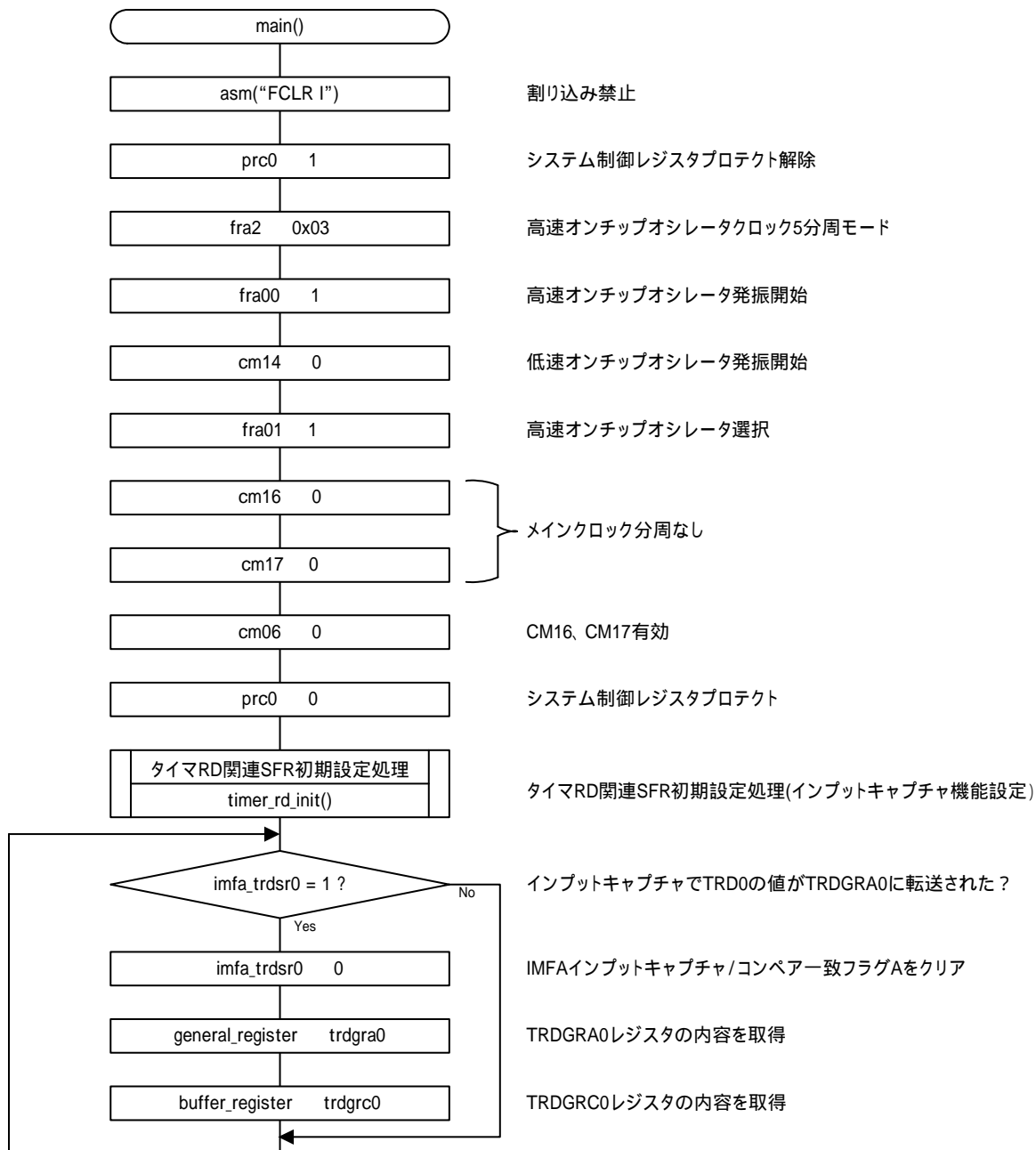
図 4.1 使用端子

4.1 関数表

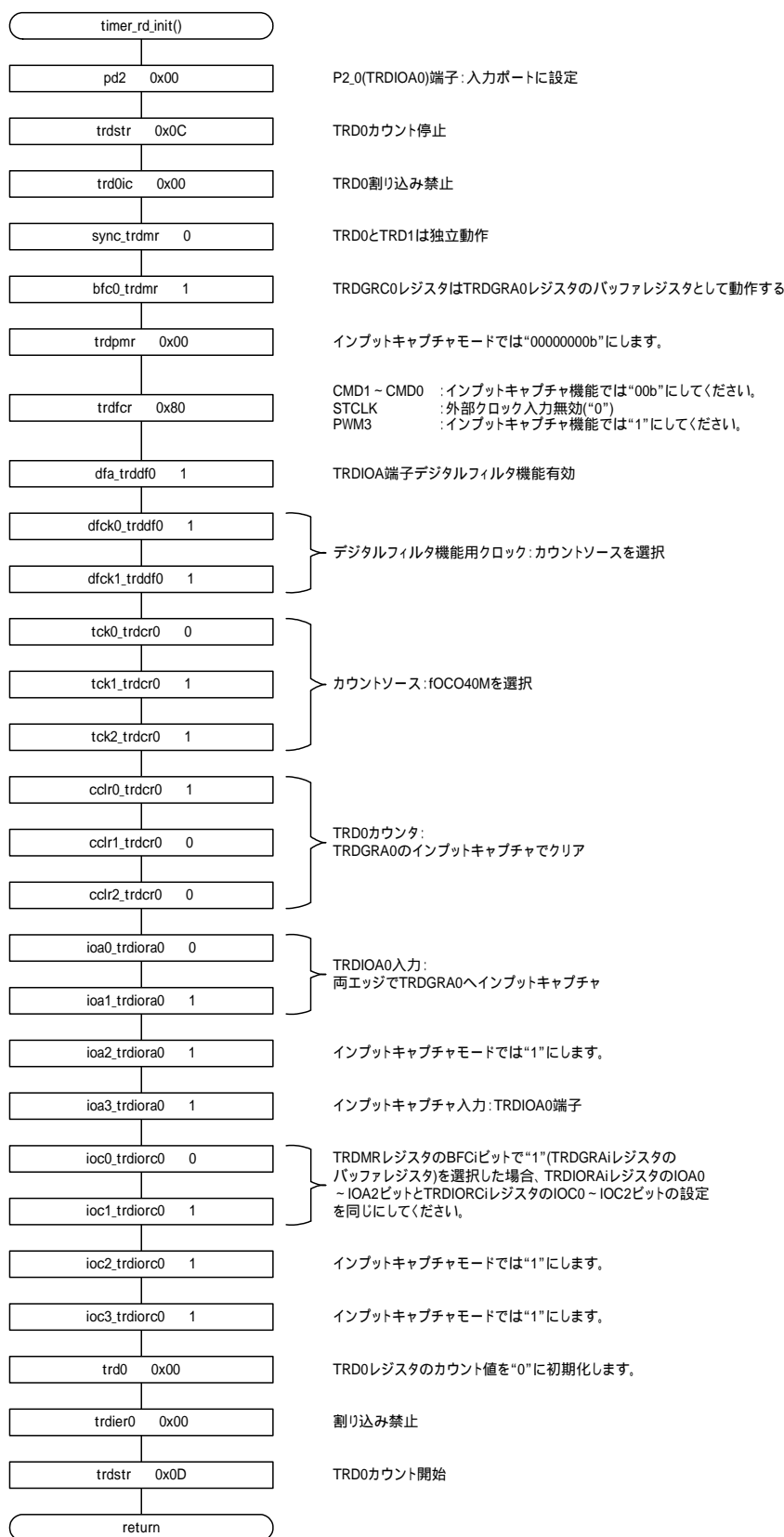
宣言	void timer_rd_init(void)		
概要	タイマRD 関連SFR 初期設定処理		
引数	引数名	意味	
	なし		
使用変数 (グローバル)	変数名	使用内容	
	なし		
戻り値	型	値	意味
	なし		
機能説明	タイマRD 関連SFR レジスタの初期設定を行います。		

4.2 フローチャート

4.2.1 メイン関数



4.2.2 タイマRD関連SFR初期設定処理



5. 参考プログラム例

参考プログラムは、ルネサスエレクトロニクスホームページから入手してください。

6. 参考ドキュメント

ユーザズマニュアル：ハードウェア

R8C/25 グループハードウェアマニュアル

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルニュース/テクニカルアップデート

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com>

お問合せ先

<http://japan.renesas.com/contact/>

改訂記録	R8C/25 グループ タイマRD (インプットキャプチャ機能)
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.08.01	-	初版発行
1.10	2012.06.01	1	発振安定待ちに関する注意事項を追加
		-	旧ドキュメント番号 : RJJ05B0962

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないで行ってください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>