

ハードウェア デザインガイド

対象製品: RL78/F13, F14, F15

REV: 1.00

DATE: 2021. 9.30

MCU MARKETING DEPARTMENT
AUTOMOTIVE DIGITAL PRODUCTS MARKETING
DIVISION
RENESAS ELECTRONICS CORPORATION

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っていません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

はじめに

本ドキュメントは、RL78/F13, F14, F15を搭載したハードウェアを設計する際の参考資料として、ハードウェア仕様と推奨事項をまとめたものです。製品のユーザーズマニュアル ハードウェア編 (電気的特性含む) も併せて参照してください。

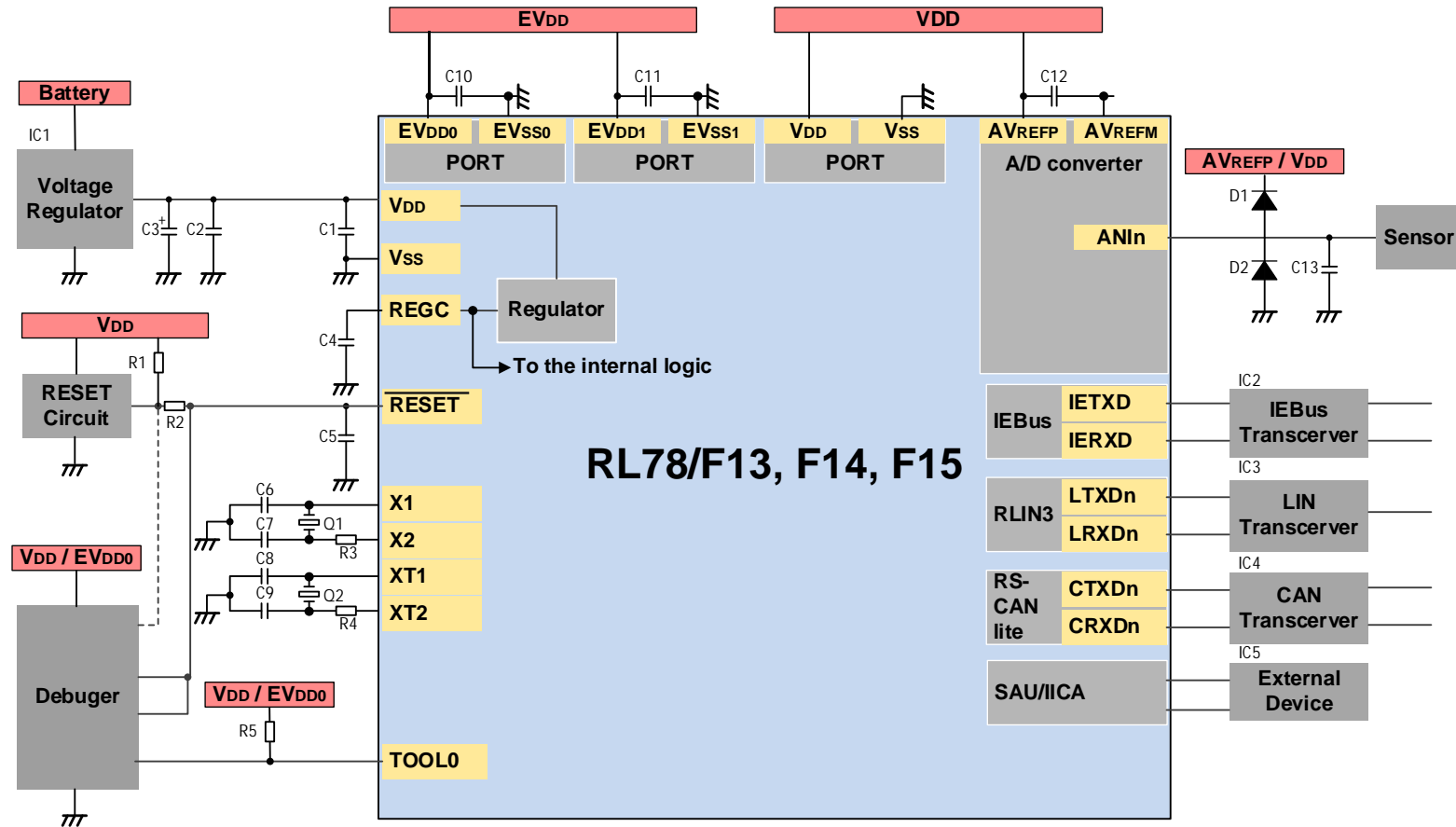
対象製品: RL78/F13, F14, F15

目次

| | |
|-----------------------|---------|
| § 回路例 | Page 5 |
| § 外付け部品リスト | Page 6 |
| § 電源投入タイミング | Page 8 |
| § REGC端子 | Page 10 |
| § RESET端子 | Page 11 |
| § 発振回路: メイン・システム・クロック | Page 12 |
| § 発振回路: サブシステム・クロック | Page 13 |
| § 発振回路に関する注意事項 | Page 14 |
| § 入出力ポートに関する注意事項 | Page 16 |
| § 未使用端子の処理 | Page 19 |
| § 周辺I/Oリダイレクション機能 | Page 20 |
| § 注入電流 | Page 21 |
| § A/Dコンバータに関する注意事項 | Page 22 |
| § デバッグ回路 | Page 25 |
| § 関連ドキュメント | Page 26 |

回路例

图 1: Typical Circuit Schematic for the RL78/F13, F14, F15



Note 1: The above figure illustrates the major circuit schematic for the target device (RL78/F13, F14, F15). For unused pins, follow the section related to recommended connection of unused pins in each hardware user's manual.

Note 2: Available functions depend on the product. For details, check each hardware user's manual.

外付け部品リスト (1/2)

5ページの回路例における外付け部品リストを示します。

表 1: Minimum External Components List (1/2)

| Category | Components | Value (Typ.) | Purpose | Remark | Supplement |
|---|------------|----------------------|--|--|------------|
| Power supply | IC1 | No recommended IC | Generating power supply for V _{DD} | Depends on the user system. | P.8, 9 |
| | C1 | 0.1uF | Bypass capacitor | Reference value. Place it near the V _{DD} pin. | |
| | C2, C3 | No recommended value | Stabilizing the output voltage of the voltage regulator | Follow the recommendation of the data sheet of the voltage regulator IC. | |
| | C4 | 0.47uF to 1.0uF | Stabilizing the internal regulator output voltage | Place it near the REGC pin. | P.10 |
| | C10 | 0.1uF | Bypass capacitor | Reference value. Place it near the EV _{DD0} pin. | - |
| | C11 | 0.1uF | Bypass capacitor | Reference value. Place it near the EV _{DD1} pin. | |
| Reset | R1 | 1.0kΩ | Pull-up resistor | Depends on the external reset circuit. | P.11 |
| | C5 | 0.1uF | Bypass capacitor | Reference value. Place it near the $\overline{\text{RESET}}$ pin. | |
| Oscillator circuit (Main System Clock) | Q1 | 1MHz to 20MHz | Generating clock signal source for the main system clock | Customers are requested to consult the resonator manufacturer to select an appropriate resonator and to determine the proper oscillation constant. | P.12,14,15 |
| | C6, C7 | No recommended value | | | |
| | R3 | No recommended value | | | |

外付け部品リスト (2/2)

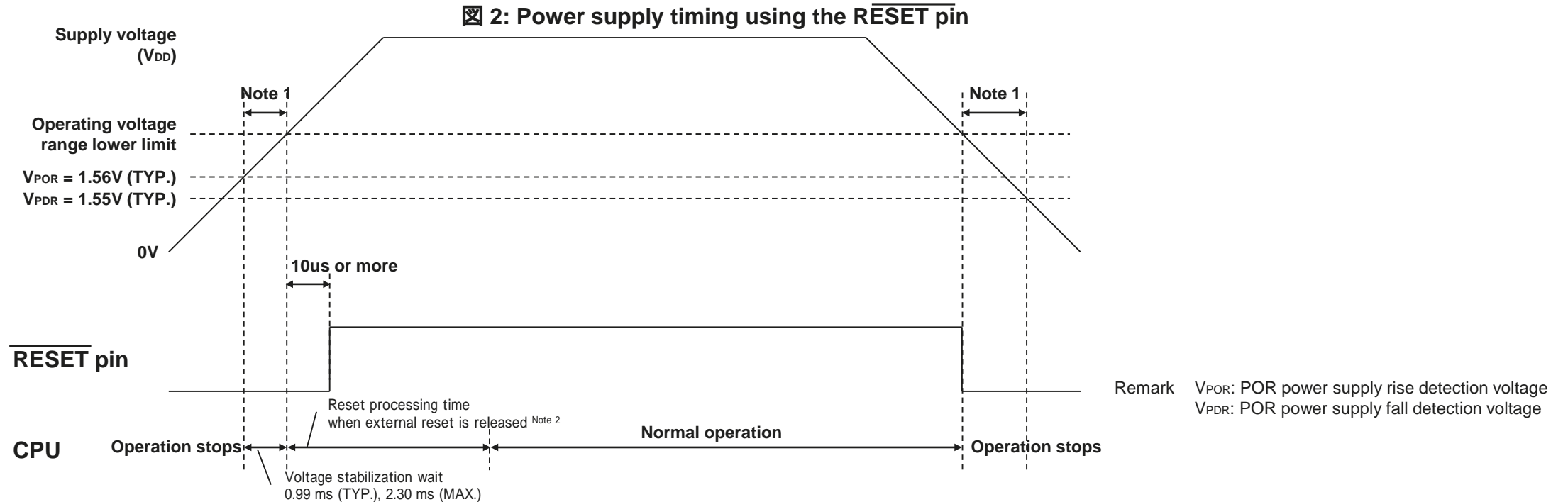
表 2: Minimum External Components List (2/2)

| Category | Components | Value (Typ.) | Purpose | Remark | Supplement |
|--|------------|----------------------|--|--|------------|
| Oscillator circuit (Subsystem Clock) | Q2 | 32.768kHz | Generating clock signal source for the subsystem clock | Customers are requested to consult the resonator manufacturer to select an appropriate resonator and to determine the proper oscillation constant. | P.13,14,15 |
| | C8, C9 | No recommended value | | | |
| | R4 | No recommended value | | | |
| A/D converter | C12 | 0.1uF | Bypass capacitor | Reference value. Place it near the AVREFP pin. | P.16,17,18 |
| | D1, D2 | $V_F \leq 0.3V$ | Noise protection | Depends on the user system. | |
| | C13 | 100pF to 1000uF | Stabilizing the sampling operation | Depends on the user system. | |
| Debug | R2 | 10k Ω | Current limit between Reset circuit and Debugger | Depends on the external reset circuit. | P.19 |
| | R5 | 1.0k Ω | Pull-up resistor | Be sure to pull up this pin externally when on-chip debugging is enabled (pulling it down is prohibited). | |
| IEBus | IC2 | No recommended IC | IEBus transceiver | Depends on the user system. | - |
| LIN | IC3 | No recommended IC | LIN transceiver | Depends on the user system. | - |
| CAN | IC4 | No recommended IC | CAN transceiver | Depends on the user system. | - |
| SAU/IICA | IC5 | No recommended IC | Controlling external device | Depends on the user system. | - |

電源投入タイミング (1/2)

電源投入タイミングにご注意ください。

(1) RESET 端子による外部リセット使用時



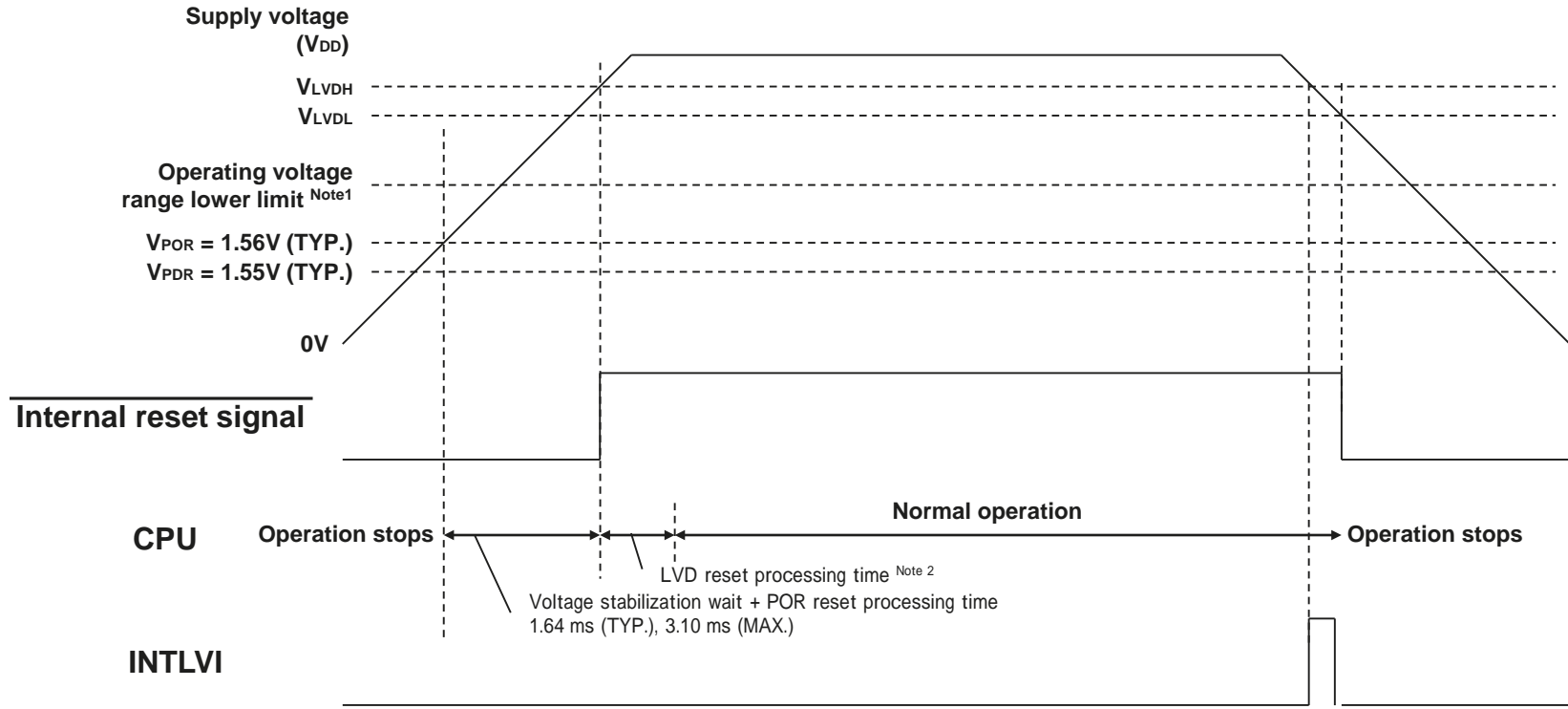
Note 1. After power is supplied, the reset state must be retained until the operating voltage becomes in the range defined in the AC characteristics in the ELECTRICAL SPECIFICATIONS of each Hardware User's Manual. This is done by controlling the externally input reset signal. After power supply is turned off, this LSI should be placed in the STOP mode, or in the reset state by utilizing the voltage detection circuit or externally input reset signal, before the voltage falls below the operating range. When restarting the operation, make sure that the operation voltage has returned within the range of operation.

Note 2. The time until normal operation starts includes the following reset processing time when the external reset is released (after the first release of POR) after the RESET signal is driven high (1) as well as the voltage stabilization wait time after V_{POR} (1.56 V, typ.) is reached. Reset processing time when the external reset is released is shown below.
After the first release of POR: 0.672 ms (typ.), 0.832 ms (max.) (when the LVD is in use)
0.399 ms (typ.), 0.519 ms (max.) (when the LVD is off)

電源投入タイミング (2/2)

(2) LVD割り込み&リセット・モード時 (オプション・バイト 000C1/020C1HのLVIMDS1, LVIMDS0 = 1, 0)

図 3: Power supply timing using LVD



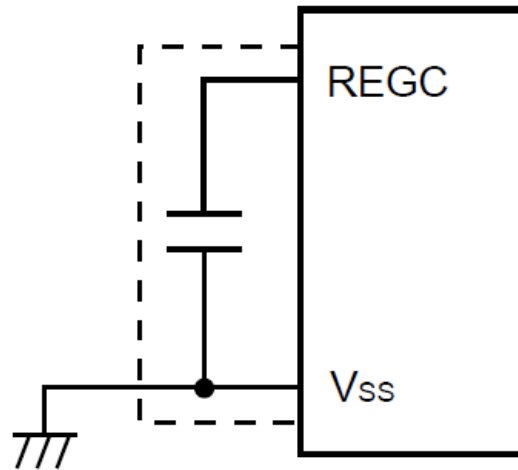
Remark VLVDH, VLVDL: LVD detection voltage
 VPOR: POR power supply rise detection voltage
 VPDR: POR power supply fall detection voltage

- Note 1. The guaranteed range for operation is $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$. Only proceed with normal operations after V_{DD} has reached or exceeded 2.7 V. If an operation may be generated at lower than 2.7 V when the supply voltage falls or power-on, use the reset function of the voltage detector, or input the low level to the RESET pin.
- Note 2. LVD reset processing time: 0 to 0.0701 ms (MAX.)

REGC端子

RL78/F13, F14, F15 は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定としてコンデンサ (0.47~1uF) を介し、V_{SS} に接続してください。また、内部電圧の安定化を図るため、特性のよいコンデンサを使用してください。

図 4: REGC pin connection



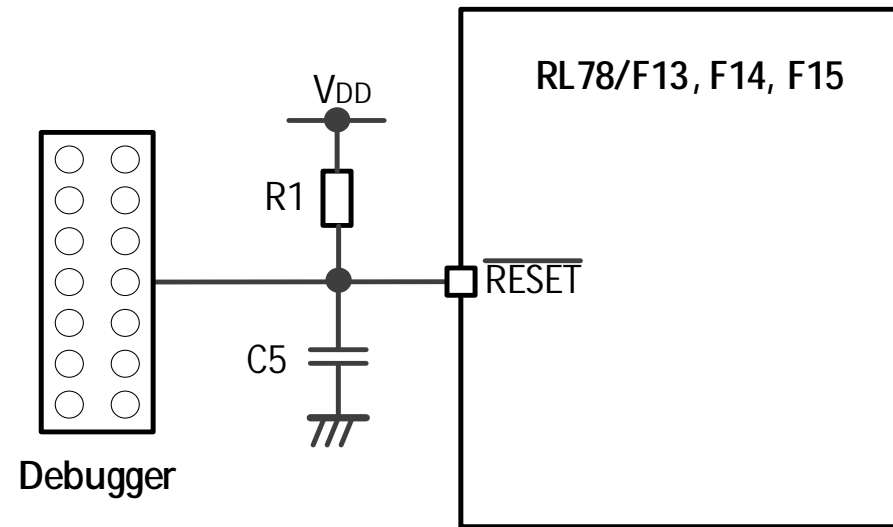
Caution Keep the wiring length as short as possible for the broken-line part in the above figure.

RESET端子

RL78/F13, F14, F15 は、パワーオン・リセット (POR) 回路を内蔵しています。そのため、外部リセット回路は特に必要ありません。リセット回路の最小要件は V_{DD} へのプルアップ抵抗R1 (1k Ω ~10k Ω) です。ホット・プラグインを使用する場合、エミュレータ接続時の $\overline{\text{RESET}}$ 端子へのノイズを抑えるために、 $\overline{\text{RESET}}$ 端子の近くにセラミックコンデンサC5 (約0.1 μF) を配置してください。

外部リセットICの必要性は、安全上の理由からユーザシステムにより異なります。

図 5: Minimum RESET pin connection



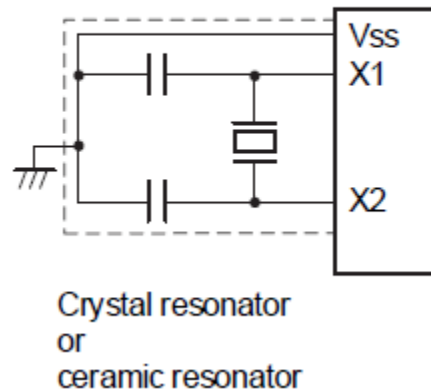
発振回路: メイン・システム・クロック

メイン・システム・クロックの外付け回路例を示します。

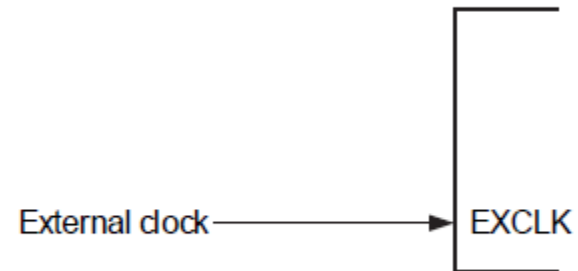
X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子 (1~20 MHz) によって発振します。また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

図 6: Main system clock connection

(a) Crystal or ceramic oscillation



(b) External clock



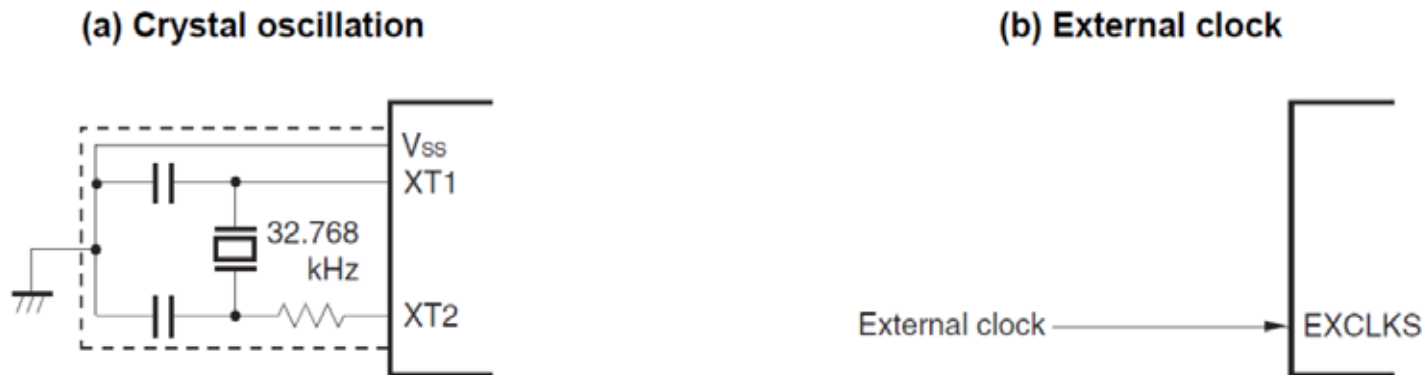
発振回路: サブシステム・クロック

サブシステム・クロックの外付け回路例を示します。

XT1発振回路はXT1, XT2端子に接続された水晶発振子 (標準: 32.768 kHz) によって発振します。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。

図 7: Subsystem clock connection



発振回路に関する注意事項 (1/2)

注意 お客様は検討される発振子メーカーに相談の上、適切な発振子、回路定数を決定する必要があります。

X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図 6, 7 の破線の部分を次のように配線してください。

- 配線は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVSSと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

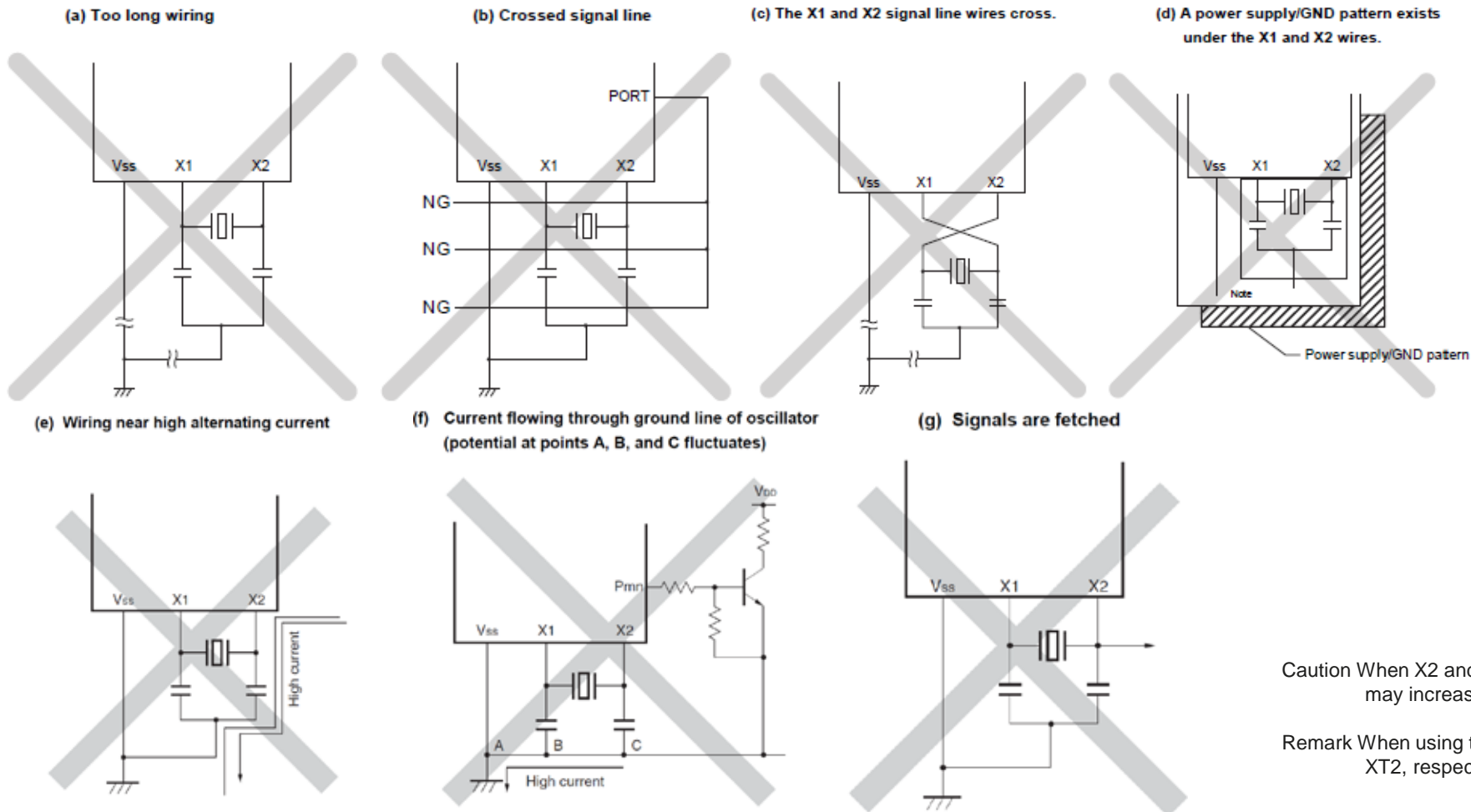
特に、XT1発振回路は、低消費電力にするために増幅度の小さい回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって、実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1, AMPHS0 = 1, 0) を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVSSと同電位のグランド・パターンを配置してください。
- XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーディングするなどの防湿対策を行ってください。
- 回路基板上をコーディングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

発振回路に関する注意事項 (2/2)

外付け発振回路に関して接続の悪い例を示します。

図 8: Examples of Incorrect Resonator Connection



Caution When X2 and XT1 are wired in parallel, the crosstalk noise of X2 may increase with XT1, resulting in malfunctioning.

Remark When using the subsystem clock, replace X1 and X2 with XT1 and XT2, respectively. Also, insert resistors in series on the XT2 side.

入出力ポートに関する注意事項 (1/3)

RL78/F13, F14, F15の入出力ポートには、VDDタイプとEVDDタイプがあります。
ドライブ能力はポートタイプにより異なりますのでご注意ください。

表 3: IOH and IOL characteristics on each Port type (1/5)

Target Product: RL78/F13 (LIN) 20-/ 30- /32- /48- /64-pins product (Products with 64 KB or less code flash memory)

| Port Type | Applicable General Purpose I/O | Port Characteristics (IOH and IOL) | |
|-----------|--|------------------------------------|-----------------------------|
| | | Grade-L Products | Grade-K Products |
| VDD-type | P33, P34, P80-P87, P90, P91, P121-P124, P137 | IOH2: -0.1 mA, IOL2: 0.4 mA | IOH2: -0.1 mA, IOL2: 0.4 mA |
| EVDD-type | P00, P10-P17, P30-P32, P40-P43, P50-P53, P60-P63, P70-P77, P92-P96, P120, P126, P127, P130, P140 | IOH1: -5.0 mA, IOL1: 8.5mA | IOH1: -5.0 mA, IOL1: 8.5 mA |

Conditions: Power supply voltage = 4.0V to 5.5V. For other conditions, refer to User's Manual: Hardware.

Note: P121 to P124 and P137 are input-only pins.

Remark: Some general purpose I/O may not be mounted depending on the product.

表 4: IOH and IOL characteristics on each Port type (2/5)

Target Product: RL78/F13 (LIN) 64-pins product (Products with 96 KB or more code flash memory), RL78/F13 (LIN) 80-pins product, RL78/F13 (CAN&LIN) 30-/ 32-/ 48-/ 64-/ 80-pins product

| Port Type | Applicable General Purpose I/O | Port Characteristics (IOH and IOL) | |
|-----------|---|------------------------------------|-----------------------------|
| | | Grade-L Products | Grade-K Products |
| VDD-type | P33, P34, P80-P87, P90-P95, P121-P124, P137 | IOH2: -0.1 mA, IOL2: 0.4 mA | IOH2: -0.1 mA, IOL2: 0.4 mA |
| EVDD-type | P00-P02, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P96, P97, P120, P125, P126, P130, P140 | IOH1: -5.0 mA, IOL1: 8.5mA | IOH1: -5.0 mA, IOL1: 8.5 mA |

Conditions: Power supply voltage = 4.0V to 5.5V. For other conditions, refer to User's Manual: Hardware.

Note: P121 to P124 and P137 are input-only pins.

Remark: Some general purpose I/O may not be mounted depending on the product.

入出力ポートに関する注意事項 (2/3)

表 5: IOH and IOL characteristics on each Port type (3/5)

Target Product: RL78/F14 32-/ 48-/ 64-/ 80-pins product (Products with 96 KB or less code flash memory)

| Port Type | Applicable General Purpose I/O | Port Characteristics (IOH and IOL) | |
|-----------|--|------------------------------------|-----------------------------|
| | | Grade-L Products | Grade-K Products |
| VDD-type | P33, P34, P80-P87, P90, P91, P121-P124, P137 | IOH2: -0.1 mA, IOL2: 0.4 mA | IOH2: -0.1 mA, IOL2: 0.4 mA |
| EVDD-type | P00, P10-P17, P30-P32, P40-P43, P50-P53, P60-P63, P70-P77, P92-P96, P120, P126, P127, P130, P140 | IOH1: -5.0 mA, IOL1: 8.5mA | IOH1: -5.0 mA, IOL1: 8.5 mA |

Conditions: Power supply voltage = 4.0V to 5.5V. For other conditions, refer to User's Manual: Hardware.

Note: P121 to P124 and P137 are input-only pins.

Remark: Some general purpose I/O may not be mounted depending on the product.

表 6: IOH and IOL characteristics on each Port type (4/5)

Target Product: RL78/F14 48-/ 64-/ 80-pins product (Products with 128 KB or more code flash memory), RL78/F14 100-pins product

| Port Type | Applicable General Purpose I/O | Port Characteristics (IOH and IOL) | |
|-----------|---|------------------------------------|-----------------------------|
| | | Grade-L Products | Grade-K Products |
| VDD-type | P33, P34, P80-P87, P90-P97, P100-P105, P121-P124, P137 | IOH2: -0.1 mA, IOL2: 0.4 mA | IOH2: -0.1 mA, IOL2: 0.4 mA |
| EVDD-type | P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157 | IOH1: -5.0 mA, IOL1: 8.5mA | IOH1: -5.0 mA, IOL1: 8.5 mA |

Conditions: Power supply voltage = 4.0V to 5.5V. For other conditions, refer to User's Manual: Hardware.

Note: P121 to P124 and P137 are input-only pins.

Remark: Some general purpose I/O may not be mounted depending on the product.

入出力ポートに関する注意事項 (3/3)

表 7: IOH and IOL characteristics on each Port type (5/5)

I Target Product: RL78/F15 48-/ 64-/ 80-/ 100-/ 144-pins product

| Port Type | Applicable General Purpose I/O | Port Characteristics (IOH and IOL) | |
|-----------|---|------------------------------------|-----------------------------|
| | | Grade-L Products | Grade-K Products |
| VDD-type | P33, P34, P80-P87, P90-P97, P100-P105, P121-P124, P137 | IOH2: -0.1 mA, IOL2: 0.4 mA | IOH2: -0.1 mA, IOL2: 0.4 mA |
| EVDD-type | P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167 | IOH1: -5.0 mA, IOL1: 8.5mA | IOH1: -5.0 mA, IOL1: 8.5 mA |

Conditions: Power supply voltage = 4.0V to 5.5V. For other conditions, refer to User's Manual: Hardware.

Note: P121 to P124 and P137 are input-only pins.

Remark: Some general purpose I/O may not be mounted depending on the product.

未使用端子処理

表 8: Recommended Connection of Unused Pins

| Port Type | Pin Name | Recommended Connection of Unused Pins |
|-----------|--|--|
| VDD-type | P121 to P124, P137 (Input-only pin) | Independently connect to V _{DD} or V _{SS} via a resistor. |
| | All VDD-type pins except P121 to P124 and P137 | Input: Independently connect to V _{DD} or V _{SS} via a resistor. [Reference resistance value: Pull up with 20 k Ω resistor] Output: Leave open. |
| | RESET | Connect to V _{DD} directly or via a resistor. |
| EVDD-type | P40 Note | Input: Independently connect to EV _{DD} via a resistor. [Reference resistance value: 1.0 k Ω] Output: Leave open. |
| | P130 (Output-only pin) | Leave open. |
| | All EVDD-type pins except P140 and P130 | Input: Independently connect to EV _{DD} or EV _{SS} via a resistor. [Reference resistance value: 10 k Ω] Output: Leave open. |

Note: TOOL0 (On-chip debugger/Flash memory programmer interface pin) function is assigned to P40. When using TOOL0 function on the board, select an input mode and connect to EV_{DD} via a resistor (1.0 k Ω).

周辺I/Oリダイレクション機能

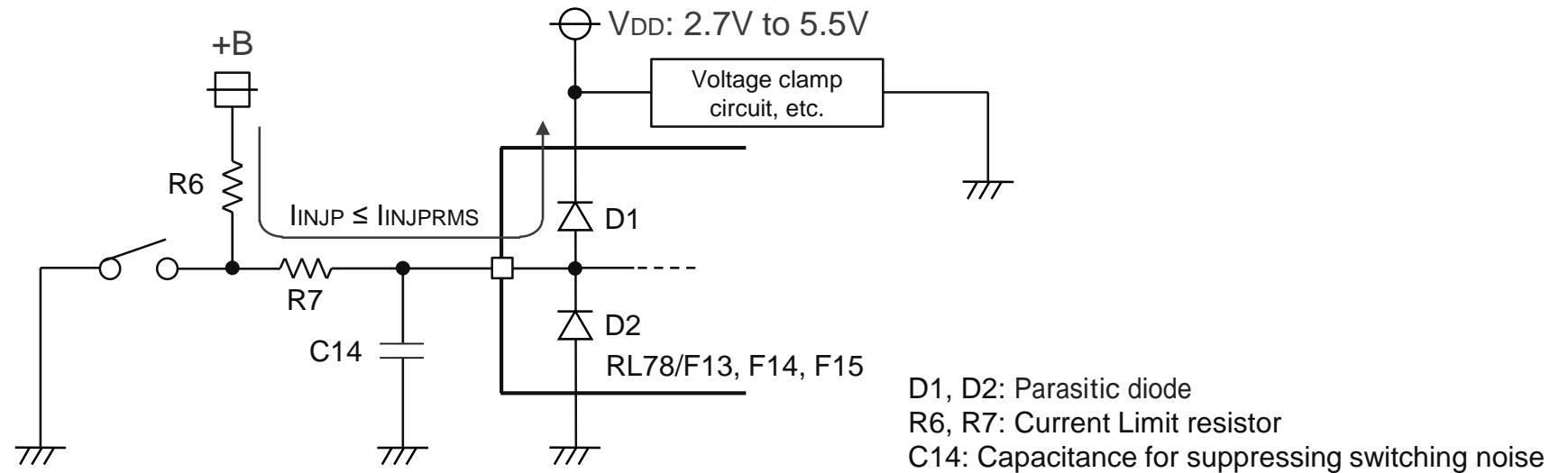
RL78/F13, F14, F15の周辺機能端子はPIORxレジスタを設定することで、どの入出力ポートに割り当てるかを選択します。複数の周辺機能端子の割り当ては、PIORxレジスタ設定のビットに応じて変化しますのでご注意ください。

表 9: PIOR register assignment list

| PIORx Register | Assignable Peripheral I/O Functions | | | | | | | |
|----------------|-------------------------------------|--------------|--------------|--------------|--------------------------------------|--|--------------------------------------|--|
| | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 |
| PIOR0 | TI07 | TI06 | TI05 | TI04 | TI03 | TI02 | TI01 | TI00 |
| PIOR1 | TO07 | TO06 | TO05 | TO04 | TO03 | TO02 | TO01 | TO00 |
| PIOR2 | TI17 | TI16 | TI15 | TI14 | TI13 | TI12 | TI11 | TI10 |
| PIOR3 | TO17 | TO16 | TO15 | TO14 | TO13 | TO12 | TO11 | TO10 |
| PIOR4 | - | CRXD0, CTXD0 | LRXD1, LTXD1 | LRXD0, LTXD0 | SI11/SDA11, SO11, SSI11 SCK11/SCL11. | SI10/SDA10/RXD1, SO10/TXD1, SSI10, SCK10/SCL10 | SI01/SDA01, SO01, SSI01, SCK01/SCL01 | SI00/SDA00/RXD0, SO00/TXD0, SSI00, SCK00/SCL00 |
| PIOR5 | - | - | - | - | INTP3 | INTP2 | - | KR0 to KR7 |
| PIOR6 | SNZOUT7 | SNZOUT6 | SNZOUT5 | SNZOUT4 | SNZOUT3 | SNZOUT2 | SNZOUT1 | SNZOUT0 |
| PIOR7 | - | - | - | - | TRDIOD0 | - | TRDIOB0 | TRDIOA0/TRDCLK0 |
| PIOR8 | - | - | - | - | - | - | - | RTC1HZ |
| PIOR9 | IERXD, IETXD | CRXD1, CTXD1 | - | - | - | - | SCK21, SI21, SO21 | SCK20, SI20/RXD2, SO20/TXD2 |
| PIOR10 | TI27 | TI26 | TI25 | TI24 | TI23 | TI22 | TI21 | TO20 |
| PIOR11 | TO27 | TO26 | TO25 | TO24 | TO23 | TO22 | TO21 | TO20 |

注入電流

図 9: Example of injected current input circuit



| Item | Symbol | Port-Type | Conditions | Injected Current Specifications (MAX.) |
|--|----------|-----------|--|--|
| Positive injected current ($V_{IN} \geq V_{DD}$) | IINJPRMP | EVDD-type | P40, P130 (Output-only) | Prohibition |
| | | | All EVDD-type pins except P40, P70 to P74, P120, P125 and P130 | 0.4 mA (per pin), 4 mA (Total of all pins) |
| | | | P70 to P74, P120, P125 | 0.15 mA (per pin), 1 mA (Total of all pins) |
| | | VDD-type | All VDD-type pins except P33, P34, P81 to P84, P121 to P124 and P137 | 0.15 mA (per pin), 0.15 mA (Total of all pins) |
| | | | P33, P34, P121 to P124, P137 | Prohibition |
| | | | P81 to P84 | 0.15 mA (per pin), 0.15 mA (Total of all pins) |

Note. These specifications are not tested on sorting and are specified based on the device characterization.

A/Dコンバータに関する注意事項 (1/3)

n ANIn端子入力範囲について

ANIn端子の入力電圧は規格の範囲内でご使用ください。特に V_{DD} , AV_{REFP} を超える電圧、 V_{SS} , AV_{REFM} 未満 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

内部基準電圧 (1.45 V) をA/Dコンバータの + 側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧を超える電圧になっていても問題ありません。

n ノイズ対策について

10ビット分解能を保つためには、 AV_{REFP} , V_{DD} , ANIn 端子へのノイズに注意する必要があります。

<1> 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

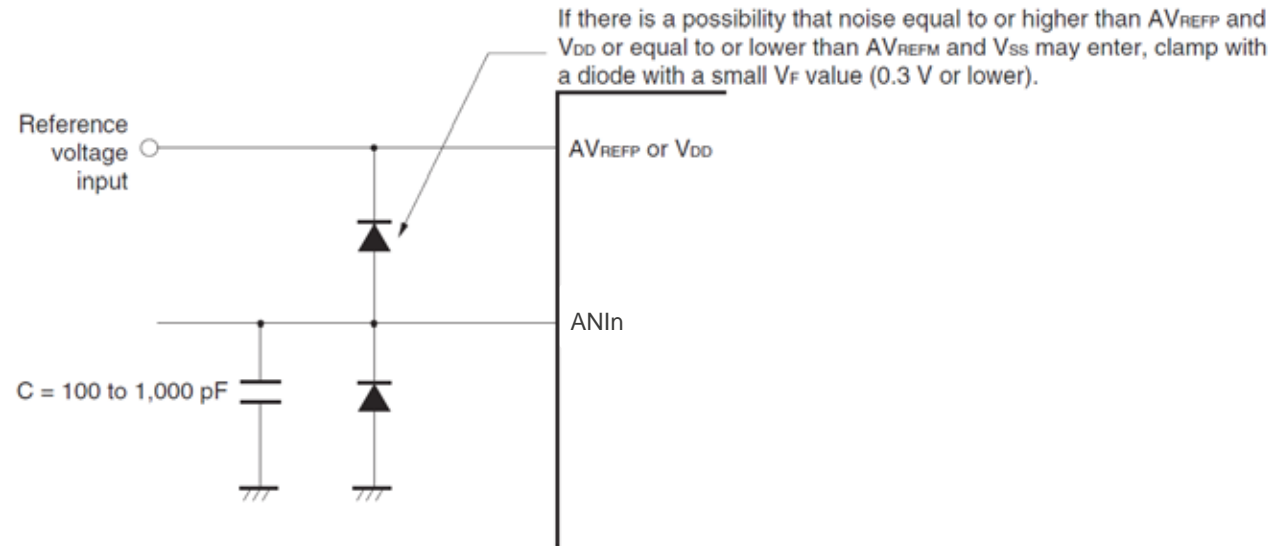
<2> アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図 10 (次ページ) のようにCを外付けすることを推奨します。

<3> 変換中においては、他の端子とスイッチングしないようにしてください。

<4> 変換開始直後にHALTモードに設定すると、精度が向上します。

A/Dコンバータに関する注意事項 (2/3)

図 10: Analog input pin connection



n アナログ入力 (ANIn) 端子

<1> アナログ入力 (ANIn) 端子は入力端子と兼用になっています。

ANIn端子を選択してA/D変換する場合、変換中にポートに対して出力値を変更しないでください。変換精度が低下することがあります。

<2> A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。

このようなパルスが入出力されないようにしてください。

A/Dコンバータに関する注意事項 (3/3)

n アナログ入力 (ANIn) 端子の入インピーダンスについて

このA/Dコンバータは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入インピーダンスはサンプリング中とそれ以外の状態に変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出インピーダンスを1 kΩ以下にし、出インピーダンスが高い時はANIn 端子に100 pF程度のコンデンサを付けることを推奨します。(図 10 参照)。

n 内部等価回路について

アナログ入力部の等価回路を以下に示します。

図 11: Internal Equivalent Circuit on ANIn pin

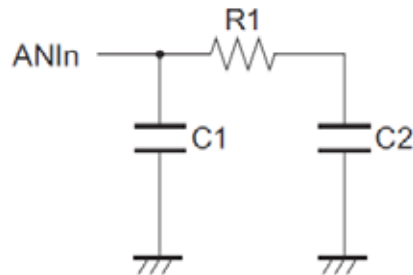


表 10: Resistance and Capacitance Values of Equivalent Circuit (Reference Values)

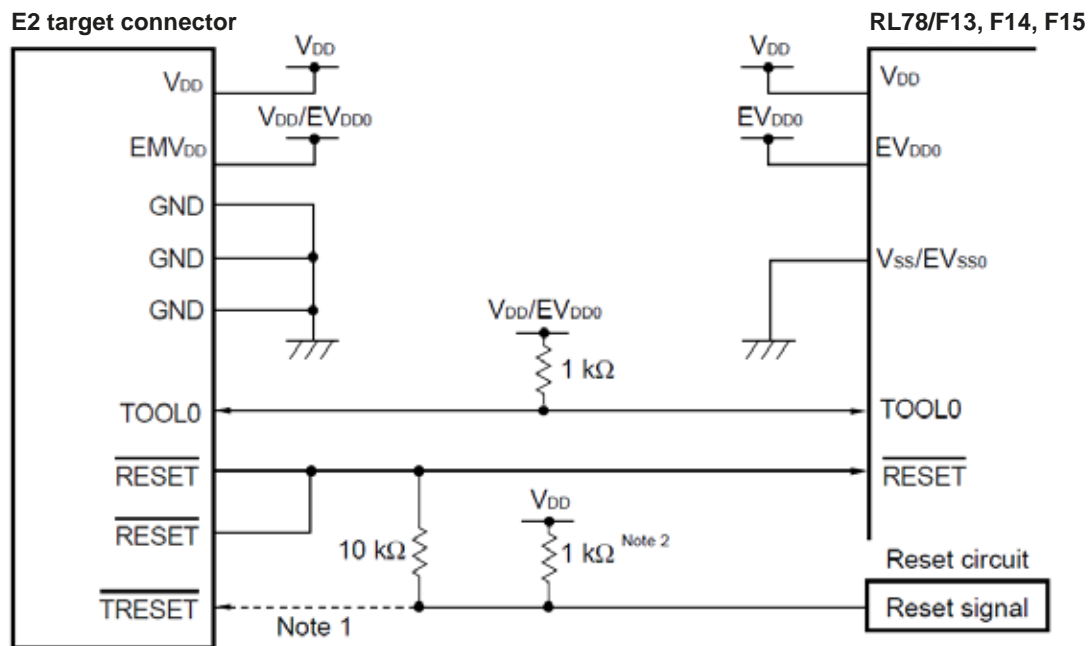
| AVREFP, VDD | ANIn Pins | R1 [kΩ] | C1 [pF] | C2 [pF] |
|---------------------|----------------|---------|---------|---------|
| 3.6 V ≤ VDD ≤ 5.5 V | ANI0 to ANI23 | 14 | 8 | 2.5 |
| | ANI24 to ANI30 | 18 | 8 | 7.0 |
| 2.7 V ≤ VDD < 3.6 V | ANI0 to ANI23 | 39 | 8 | 2.5 |
| | ANI24 to ANI30 | 53 | 8 | 7.0 |

Remark The resistance and capacitance values shown in Table are not guaranteed values.

デバッグ回路

RL78/F13, F14, F15 は、オンチップ・デバッグ対応のE2 オンチップ・デバッグ・エミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} , EV_{DD0} , \overline{RESET} , $TOOL0$, V_{SS} 端子を使用します。シリアル通信としては、 $TOOL0$ 端子を使用した単線UARTを使用します。詳しくは、E1/E20/E2 エミュレータ, E2 エミュレータ Lite ユーザーズマニュアル別冊 (RL78接続時の注意事項) (ドキュメント番号: R20UT1994JJ) を参照ください。

図 12: Connection Example of E2 On-chip Debugging Emulator and RL78/F13, F14, F15



Note 1. Connecting the dotted line is not necessary during flash programming.

Note 2. If the reset circuit on the target system does not have a buffer and generates a reset signal only with resistors and capacitors, this pull-up resistor is not necessary.

Caution This circuit diagram is assumed that the reset signal outputs from an N-ch O.D. buffer (output resistor: 100 Ω or less)

関連ドキュメント

| Document Name | Document No. |
|---|--------------|
| RL78/F13, F14 ユーザーズマニュアル ハードウェア編 | R01UH0368J |
| RL78/F15 ユーザーズマニュアル ハードウェア編 | R01UH0559J |
| E1/E20/E2 エミュレータ, E2 エミュレータ Lite ユーザーズマニュアル別冊 (RL78接続時の注意事項) | R20UT1994J |

改訂履歷

| Revision | Page | Items | Date |
|----------|------|-------|------------|
| 1.0 | - | 新規作成 | 2021.09.30 |

Renesas.com