

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/300H SLP シリーズ

IrDA による赤外線通信

要旨

シリアルコミュニケーションインタフェース 3 チャンネル 1 (SCI3_1) のエンコード / デコード機能を用いて、IrDA 通信を行います。

動作確認デバイス

H8/38076R

目次

1. 仕様	2
2. 使用機能説明	3
3. 動作説明	8
4. ソフトウェア説明	10
5. フローチャート	14

1. 仕様

1. IrDA 通信機能を使用して、4 バイトのデータの送受信を行います。
2. 通信データのフォーマットは、データ長を 8 ビット、ストップビット長を 1 ビットに設定します。
3. ビットレートは、9600 (bit/s) に設定します。
4. 送信データは IrTXD 端子から IrDA 規格バージョン 1.0 に準拠したエンコード波形として出力します。
5. 受信データは IrRXD 端子から IrDA 規格バージョン 1.0 に準拠したデコード波形として入力します。
6. 図 1 に IrDA データ通信について示します。

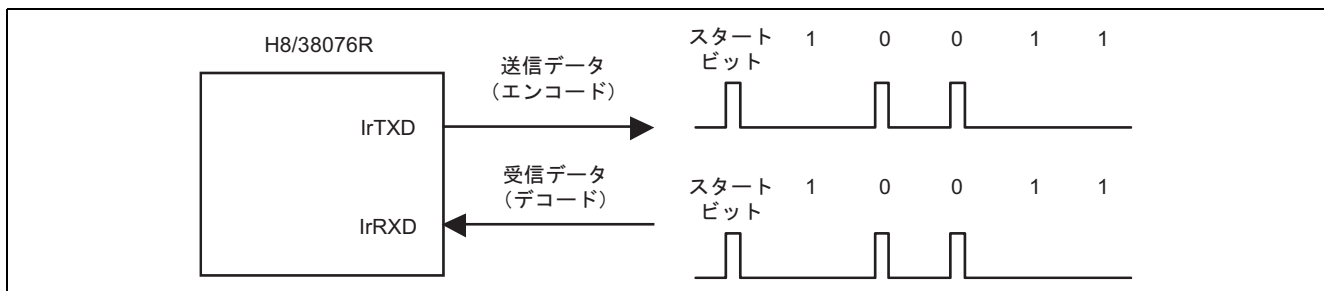


図 1 IrDA データ通信

2. 使用機能説明

2.1 IrDA 機能説明

本タスク例では、シリアルコミュニケーションインタフェース 3 チャンネル 1 (SCI3_1) の IrDA 機能を使用して、IrDA 規格バージョン 1.0 準拠の送信波形の出力、および受信波形の入力を行います。シリアルコミュニケーションインタフェース 3 のブロック図を図 2 に示します。以下、使用機能について説明します。

- IrDA 通信は調歩同期式モードで行います。調歩同期式モードはキャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。
- 独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構造となっているため、連続送信・連続受信ができます。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能です。
- 送受信クロックソースを内部クロック、または外部クロックから選択可能です。
- 割り込み要因には送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの 6 種類の割り込み要因があります。
- レシーブシフトレジスタ (RSR)

シリアルデータを受信するためのレジスタです。IrRXD 端子から入力されたシリアルデータは UART フレームにデコードされ、RSR で LSB (ビット 0) から受信した順にセットしパラレルデータに変換します。1 バイトのデータを受信すると、データは自動的に RDR へ転送されます。CPU から RSR を直接リード / ライトすることはできません。
- レシーブデータレジスタ (RDR)

受信したシリアルデータを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを RSR から RDR へ転送し、受信動作を完了します。その後 RSR は受信可能となります。RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。RDR は受信専用レジスタなので CPU からライトできません。
- トランスミットシフトレジスタ (TSR)

シリアルデータを送信するためのレジスタです。TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に出力し、IR フレームにエンコードされ IrTXD 端子から出力することでシリアルデータ送信を行います。1 バイトのデータを送信すると、自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、TDR にデータが書き込まれていない (TDRE に "1" がセットされている) 場合には TDR から TSR へのデータ転送は行いません。CPU から TSR を直接リード / ライトすることはできません。
- トランスミットデータレジスタ (TDR)

送信データを格納する 8 ビットのレジスタです。TSR の "空" を検出すると、TDR に書き込まれた送信データを TSR に転送し、シリアルデータ送信を開始します。TSR のシリアルデータ送信中に、TDR に次の送信データをライトしておくこと、連続送信が可能です。TDR は、常に CPU によるリード / ライトが可能です。
- シリアルモードレジスタ (SMR)

シリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。SMR は、常に CPU によるリード / ライトが可能です。
- シリアルコントロールレジスタ (SCR)

送信 / 受信動作、調歩同期式モードでのクロック出力、割り込み要求の許可 / 禁止、および送信/受信クロックソースの選択を行う 8 ビットのレジスタです。SCR は、常に CPU によるリード / ライトが可能です。
- シリアルステータスレジスタ (SSR)

SCI3 の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。SSR は常に CPU からリード / ライトできます。ただし、TDRE、RDRF、OER、PER、FER へ "1" をライトすることはできません。また、これらに "0" をライトしてクリアするためには、あらかじめ "1" をリードしておく必要があります。また、TEND および MPBR はリード専用であり、ライトすることはできません。

- ビットレートレジスタ (BRR)

SMR の CKS1, CKS0 で選択されるボーレートジェネレータの動作クロックとあわせて, 送信 / 受信のビットレートを設定する 8 ビットのレジスタです。BRR は常に CPU によるリード / ライトが可能です。
- シリアルポートコントロールレジスタ (SPCR)

P42 / TXD31 端子を制御する 8 ビットのレジスタです。本タスクでは, P42 / TXD31 端子を TXD31 出力端子に, TXD31 端子の出力データを反転しないように設定します。なお, IrTXD 端子として使用するには, IrDA コントロールレジスタ (IrCR) の IrE ビットを "1" にする必要があります。
- IrDA コントロールレジスタ (IrCR)

SCI3 の入出力端子を通常の SCI か IrDA かを設定するビットと, IrDA 出力パルスエンコード時の High パルス幅を設定するビットで構成されています。

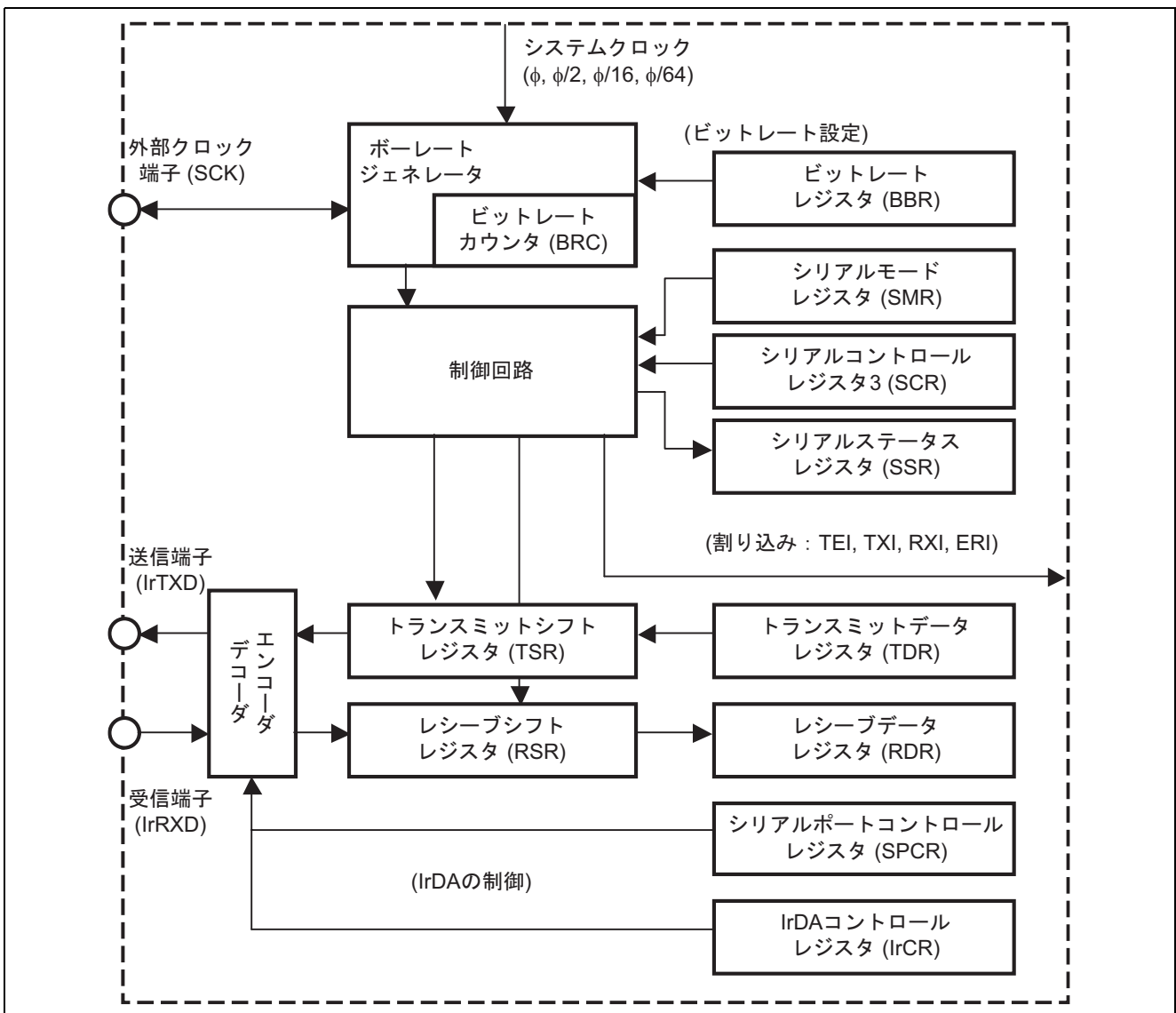


図2 SCIのブロック図

- 表 1 に調歩同期式モードの BRR の設定例を示します。表 1 はアクティブ(高速)モードで, OSC が 10 MHz のときの値を示しています。

表 1 ビットレートに対する BRR の設定例 (調歩同期式モード)

R ビットレート (bit/s)	110	150	200	250	1200	2400	31250
n	2	2	2	2	2	0	0
N	177	129	97	77	15	129	9
誤差 (%)	-0.25	0.16	-0.35	0.16	1.73	0.16	0

- 【注】 1. 誤差は, 1%以内となるようにします。
2. BRR の設定値は以下の計算式で求められます。

$$N = \frac{OSC}{32 \times 2^{2n} \times B} - 1$$

$$\text{誤差 (\%)} = \frac{B (n, N, OSC \text{から求めたビットレート}) - R (\text{表1のビットレート})}{R (\text{表1のビットレート})} \times 100$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

OSC : ϕ_{OSC} の値 (Hz)

n : ボーレートジェネレータの入力クロックの No. ($n = 0, 1, 2$)

n とクロックの関係を表 2 に示します。

表 2 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi_w / 2, \phi_w$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

3. OSC が 10 MHz のときの最大ビットレート (調歩同期式モード) は, 38400 (bit/s) になります。ただし, 設定値は $n = 0, N = 7$ のときです。

- 調歩同期式モードでは, 通信開始を意味するスタートビットと通信終了を意味するストップビットとデータに付加したキャラクタを送信 / 受信し, 1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。
- SCI3 内部では, 送信部と受信部は独立しているため, 全二重通信を行うことができます。また, 送信部と受信部がともにダブルバッファ構造になっているため, 送信中にデータのライト, 受信中にデータのロードができ, 連続送信 / 受信が可能です。
- IrDA 通信では調歩同期式モードの UART フレームをエンコードして IR フレームに変換し送信を行い, また, IR フレームをデコードして UART フレームに変換し受信を行います。図 3 に UART フレームと IR フレームの関係を示します。
- エンコーダは, UART フレームのシリアルデータが "0" のときはビットレート (1 ビット幅の期間) の $3/16$ の High パルスを出力し, シリアルデータが "1" のときはパルスの出力は行いません。
- デコーダは, IR フレームで High パルスが検出されたときには "0" のシリアルデータを出力し, 1 ビット期間中にパルスがないときは "1" データを出力します。
- SCI3 の割り込み要因は, 送信終了, 送信データエンプティ, 受信データフルおよび 3 種類の受信エラー (オーバーランエラー, フレーミングエラー, パリティエラー) の計 6 種類が有り, 共通のベクタアドレスが割り付けられています。
- 各割り込み要求は, SCR の TIE, RIE で許可 / 禁止ができます。

- SSR の TDRE が"1"にセットされると TXI が発生します。SSR の TEND が"1"にセットされると、TEI が発生します。この2つの割り込みは送信時に発生します。
- SSR の TDRE は初期状態が"1"になっています。したがって送信データを TDR へ転送する前に SCR の TIE を"1"にセットして送信データエンpty 割り込み要求 (TXI) を許可すると、送信データが準備されていなくても TXI が発生します。
- SSR の TEND は初期値が"1"になっています。したがって、送信データを TDR へ転送する前に SSR の TEIE を"1"にセットして送信終了割り込み要求 (TEI) を許可すると、送信データが送信されなくても TEI が発生します。
- 送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込みを有効に利用できます。また、これらの割り込み要求 (TXI, TEI) の発生を防ぐためには、送信データを TDR へ転送した後に、これらの割り込み要求に対する許可ビット (TIE, TEIE) を"1"にセットします。
- SSR の RDRF が"1"にセットされると RXI が発生します。OER, PER, FER のいずれかが"1"にセットされると ERI が発生します。この2つの割り込みは受信時に発生します。

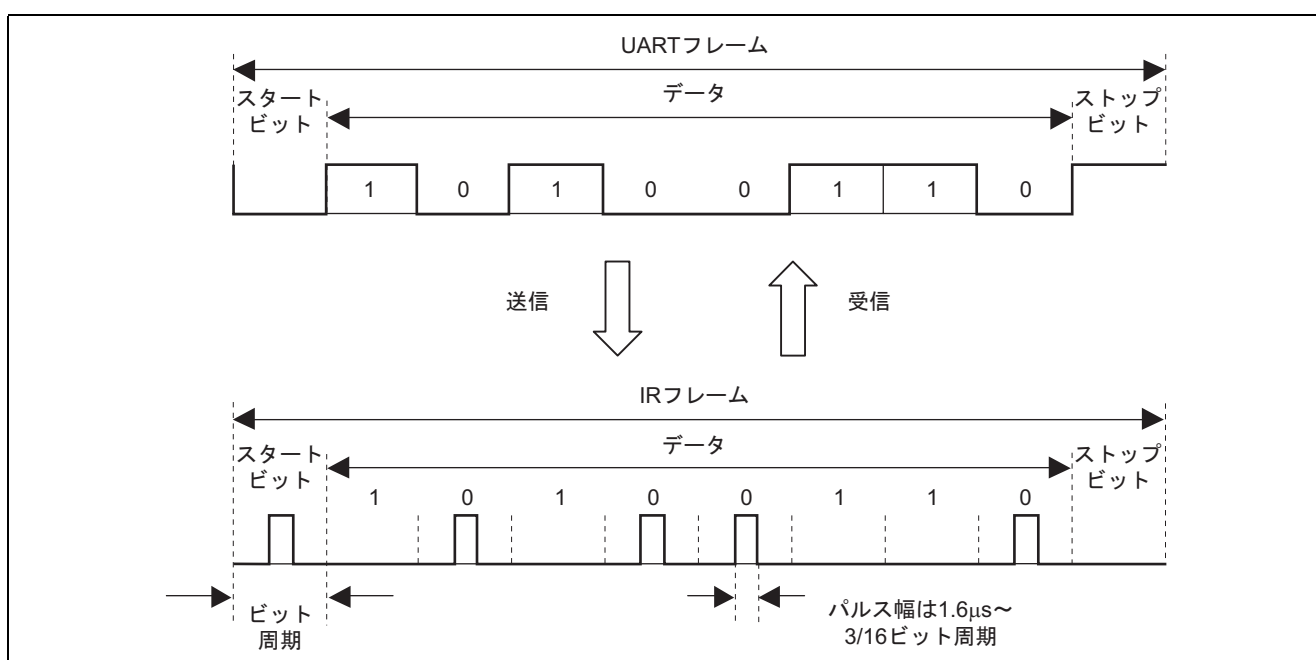


図3 IrDA 通信のフォーマット

2.2 機能割り付け

機能割り付けを表 3 に示します。表 3 に示すように機能を割り付け、IrDA 通信を行います。

表 3 機能割り付け

機能	機能割り付け
TSR_1	シリアルデータを送信するためのレジスタ
TDR_1	送信データを格納するレジスタ
SMR_1	シリアルデータ通信フォーマット、ボーレートジェネレータのクロックソースの設定
SSR_1	SCI3 の動作状態を示すステータスフラグ
BRR_1	送信 / 受信のビットレートを設定
RSR_1	シリアルデータを受信するためのレジスタ
RDR_1	受信データを格納するレジスタ
SPCR	TXD31, RXD31 端子機能の設定
IrCR	IrTXD, IrRXD 端子設定, High パルス幅の設定
SCR_1	送受信と割り込みの制御, 送受信クロックソースの選択
IrTXD	IrDA 出力端子
IrRXD	IrDA 入力端子

3. 動作説明

3.1 送信動作

図4に送信動作説明を示します。図4に示すようなハードウェア、ソフトウェア処理により、IrDA通信の送信を行います。

- 本タスク例では、送信動作は初期設定終了後、PB0が"0"になったときに開始されます。4バイトのデータ (H'00, H'55, H'AA, H'FF) を送信します。

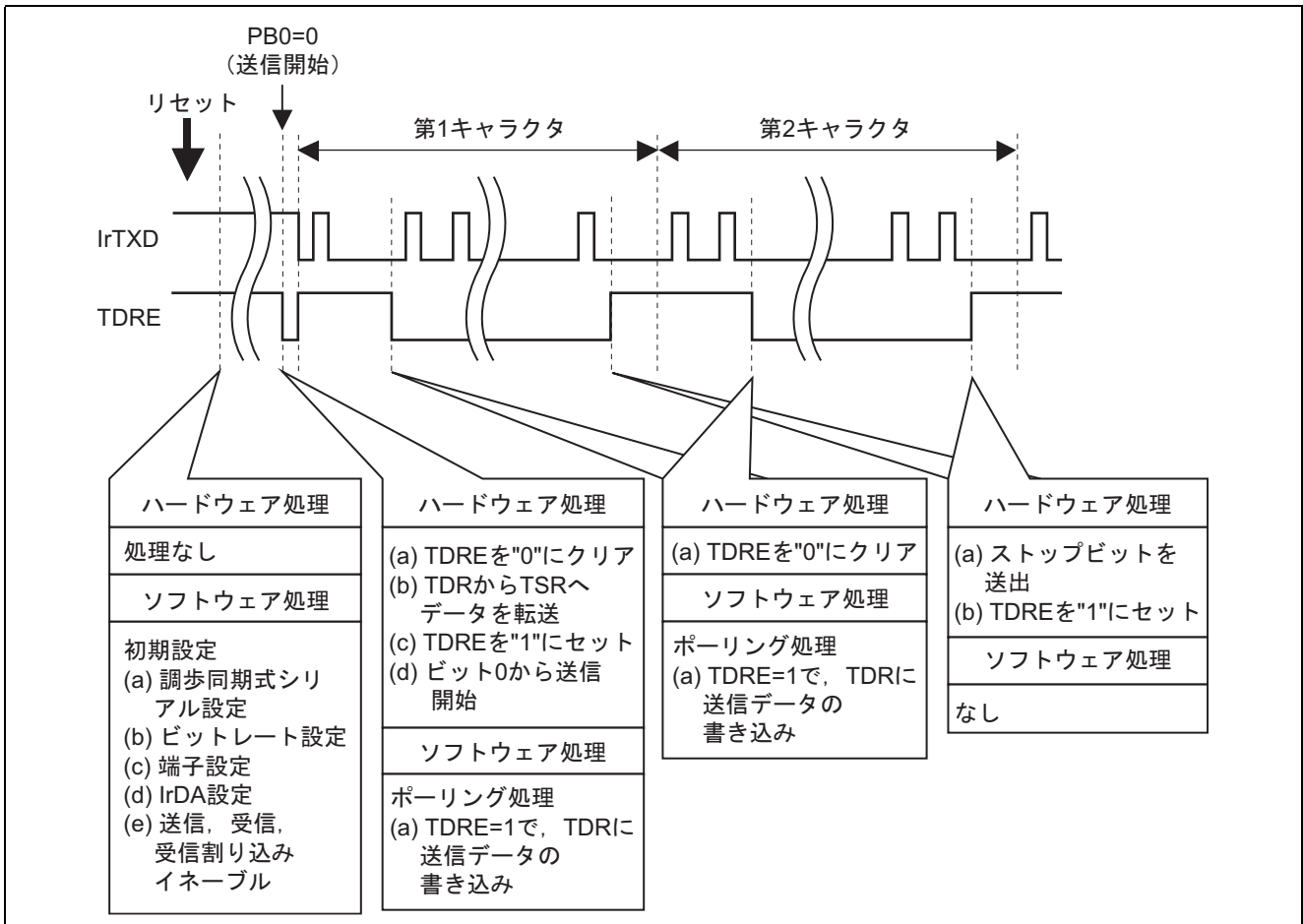


図4 IrDA通信の送信動作説明

3.2 受信動作

図 5 に受信動作説明を示します。図 5 に示すようなハードウェア、ソフトウェア処理により、IrDA 通信の受信を行います。

- 本タスク例では、受信動作は受信割り込みを用いて行います。4 バイトのデータを受信後、受信割り込みを禁止し、受信動作を終了します。

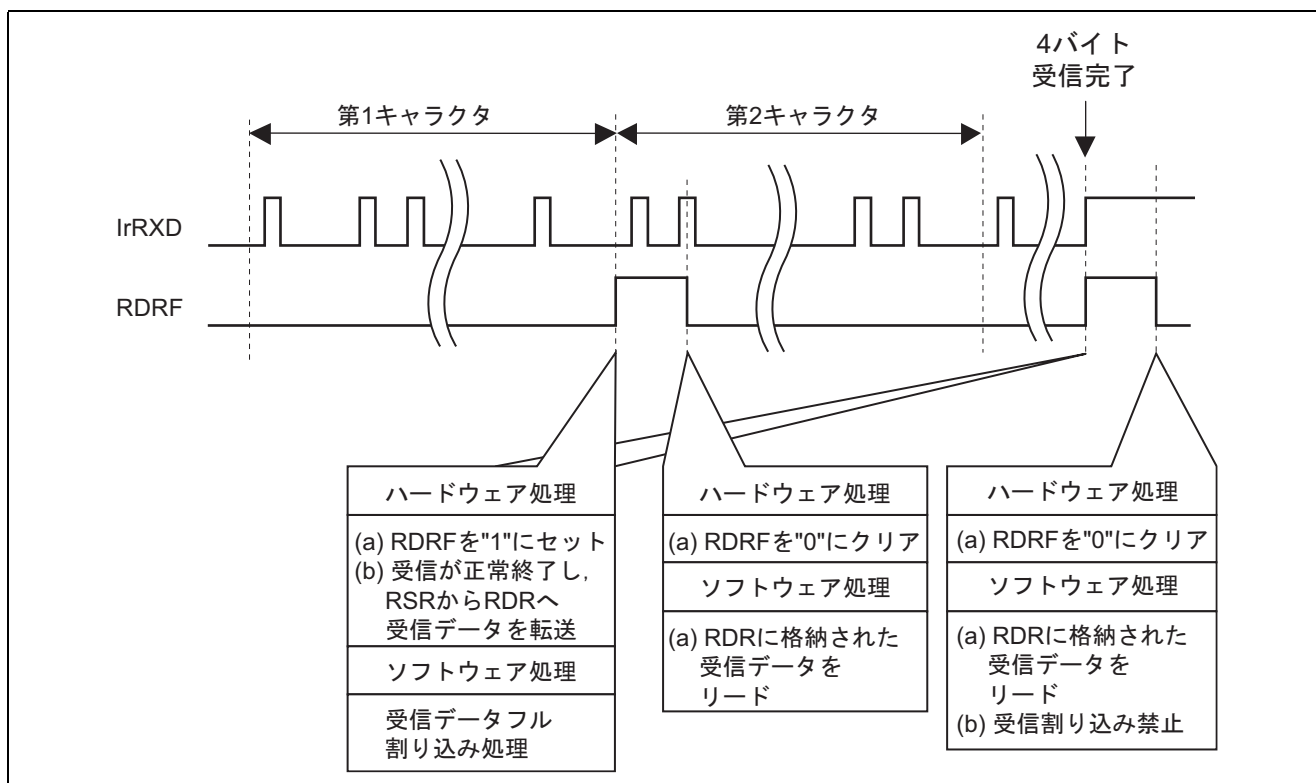


図 5 IrDA 通信の受信動作説明

4. ソフトウェア説明

4.1 モジュール説明

本タスク例のモジュールを表 4 に示します。

表 4 モジュール説明

関数名	機能
main	初期設定, SCI3 の制御, 割り込み許可
int_recv_sci31	受信割り込み処理, フラグのクリア, 受信処理, エラー処理, 受信割り込みの禁止
init_sci31	SCI3 の初期設定, IrDA の設定, 受信, 送信, 受信割り込み許可
trns_sci31	送信処理
stop_sci31	通信の終了

4.2 引数の説明

表 5 に本タスク例で使用する引数を示します。

表 5 使用引数説明

ラベル名	説明	使用関数名
unsigned char *t_ptr	送信データのポインタ	trns_sci31
unsigned char num	送信データ数	trns_sci31

4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

- SPCR シリアルポートコントロールレジスタ アドレス: H'FF91

ビット	ビット名	設定値	R / W	機能
4	SPC31	1	R / W	P42 / TXD31 端子切り替え P42 / TXD31 端子を P42 端子として使用するか, TXD31 端子として使用するか選択します。 1: TXD31 出力端子として使用 本ビットを 1 に設定した後に, SCR の TE ビットを設定してください。

● SMR3_1 シリアルモードレジスタ 3_1

アドレス：H'FF98

ビット	ビット名	設定値	R/W	機能
7	COM	0	R/W	コミュニケーションモード 0：調歩同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス（調歩同期式モードのみ有効） 0：データ長 8 ビットのフォーマットで送受信します。
5	PE	0	R/W	パリティイネーブル（調歩同期式モードのみ有効） このビットが 1 のとき、送受信はパリティビットを付加し、受信時はパリティチェックを行います。
4	PM	0	R/W	パリティモード（調歩同期式モードで PE = 1 のときのみ有効） 0：偶数パリティで送受信します。 1：奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス（調歩同期式モードのみ有効） 送信時のストップビットの長さを選択します。 0：1 ストップビット 1：2 ストップビット 受信時はこのビットの設定値に関わらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信キャラクタのスタートビットとみなします。
2	MP	0	R/W	マルチプロセッサモード 0：マルチプロセッサ通信機能が無効 1：マルチプロセッサ通信機能が有効
1	CKS1	0	R/W	クロックセレクト 1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 CKS1 = 0, CKS0 = 0：φクロック（n = 0）
0	CKS0	0	R/W	

● BRR3_1 ビットレートレジスタ 3_1

アドレス：H'FF99

ビット	ビット名	設定値	R/W	機能
7	Bit7	0	R/W	ビットレートレジスタ 3_1 ビットレートを設定する 8 ビットのリード / ライト可能なレジスタです。 【注】設定値：H'20
6	Bit6	0	R/W	
5	Bit5	1	R/W	
4	Bit4	0	R/W	
3	Bit3	0	R/W	
2	Bit2	0	R/W	
1	Bit1	0	R/W	
0	Bit0	0	R/W	

● SCR3_1 シリアルコントロールレジスタ 3_1

アドレス：H'FF9A

ビット	ビット名	設定値	R/W	機能
6	RIE	1	R/W	レシーブインタラプトイネーブル 1：RXI および ERI 割り込み要求を許可
5	TE	1	R/W	トランスミットイネーブル 1：送信動作を許可
4	RE	1	R/W	レシーブイネーブル 1：受信動作を許可
1	CKE1	0	R/W	クロックイネーブル 1~0 クロックソースを選択します。 調歩同期式の場合 CKE1 = 0, CKE0 = 0：内部ポーレートジェネレータ
0	CKE0	0	R/W	

• TDR3_1 トランスミットデータレジスタ 3_1 アドレス：H'FF9B

ビット	ビット名	設定値	R / W	機能
7	Bit7	—	R / W	トランスミットデータレジスタ 3_1 送信データを格納するための 8 ビットのレジスタです。
6	Bit6	—	R / W	
5	Bit5	—	R / W	
4	Bit4	—	R / W	
3	Bit3	—	R / W	
2	Bit2	—	R / W	
1	Bit1	—	R / W	
0	Bit0	—	R / W	

• SSR3_1 シリアルステータスレジスタ 3_1 アドレス：H'FF9C

ビット	ビット名	設定値	R / W	機能
7	TDRE	—	R / (W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> ・ SCR3_1 の TE が 0 のとき ・ TDR3_1 から TSR3_1 にデータが転送されたとき [クリア条件] <ul style="list-style-type: none"> ・ 1 の状態をリードした後, 0 をライトしたとき ・ TDR3_1 へ送信データをライトしたとき
6	RDRF	—	R / (W)*	レシーブデータレジスタフル RDR3_1 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> ・ 受信が正常終了し, RSR3_1 から RDR3_1 へ受信データが転送されたとき
5	OER	0	R / (W)*	オーバランエラー [セット条件] <ul style="list-style-type: none"> ・ 受信中にオーバランエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> ・ 1 の状態をリードした後, 0 をライトしたとき
4	FER	0	R / (W)*	フレーミングフラグ [セット条件] <ul style="list-style-type: none"> ・ 受信中にフレーミングエラーが発生したとき [クリア条件] <ul style="list-style-type: none"> ・ 1 の状態をリードした後, 0 をライトしたとき
2	TEND	0	R	トランスミットエンド [セット条件] <ul style="list-style-type: none"> ・ SCR3_1 の TE が 0 のとき ・ 送信キャラクタの最後尾ビットの送信時, TDRE が 1 のとき [クリア条件] <ul style="list-style-type: none"> ・ TDRE = 1 の状態をリードした後, TDRE に 0 をライトしたとき ・ TDR3_1 へ送信データをライトしたとき

【注】 *フラグをクリアするための 0 ライトのみ可能です。

- RDR3_1 レシーブデータレジスタ 3_1 アドレス：H'FF9D

ビット	ビット名	設定値	R / W	機能
7	Bit7	—	R	レシーブデータレジスタ 3_1 受信データを格納するための 8 ビットのレジスタです。
6	Bit6	—	R	
5	Bit5	—	R	
4	Bit4	—	R	
3	Bit3	—	R	
2	Bit2	—	R	
1	Bit1	—	R	
0	Bit0	—	R	

- IrCR IrDA コントロールレジスタ アドレス：H'FFA7

ビット	ビット名	設定値	R / W	機能
7	IrE	1	R / W	IrDA ネーブル SCI3_1 の入出力端子を通常の SCI か IrDA か設定します。 1 : TXD31/ IrTXD または RXD31/ IrRXD 端子は, IrTXD または IrRXD 端子として動作
5	TE	1	R / W	トランスミットイネーブル 1 : 送信動作を許可

- PDRB ポートデータレジスタ B アドレス：H'FFDE

ビット	ビット名	設定値	R / W	機能
0	PB0	0	R	PDRB をリードすると常に各端子の状態が読み出されます。ただし, A / D 変換機の AMR の CH3 ~ CH0 によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。

4.4 使用定数説明

表 6 に本タスク例で使用する定数を示します。

表 6 使用定数説明

ラベル名	定数	説明	使用関数名
DATA_NUM	4	送受信データ数	main, int_rcv_sci31

4.5 使用 RAM 説明

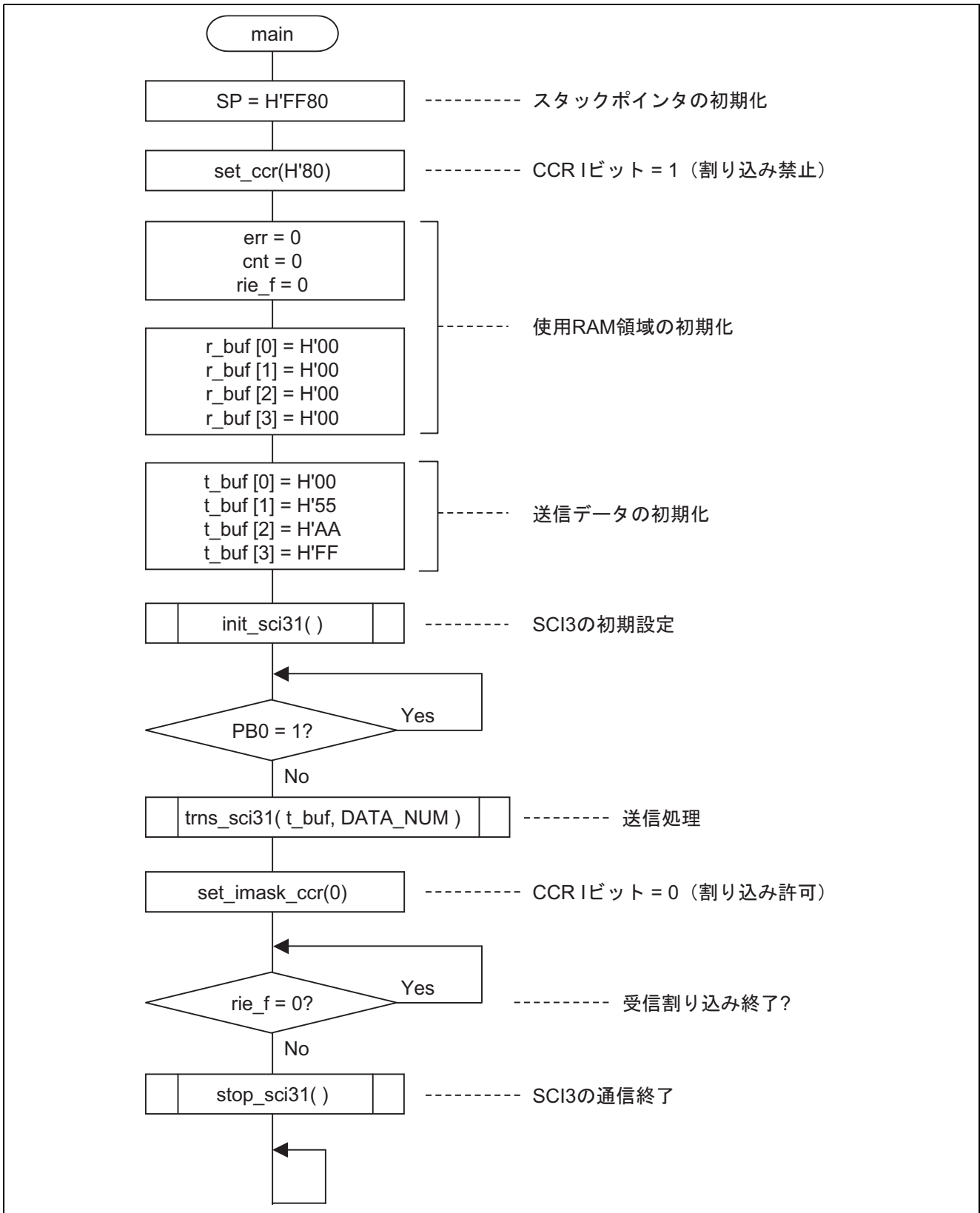
表 7 に本タスク例の使用 RAM 説明を示します。

表 7 使用 RAM 説明

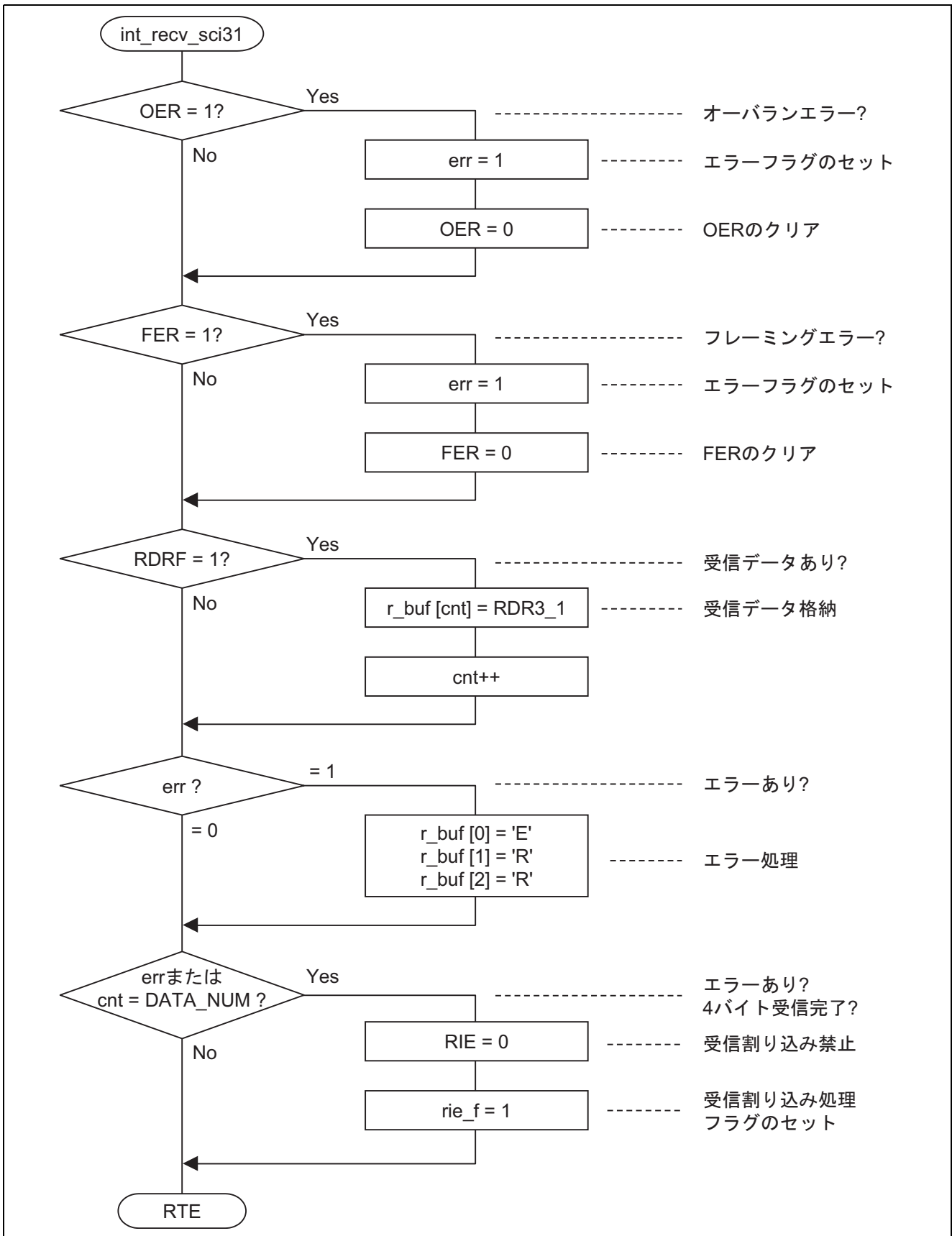
ラベル名	説明	メモリ消費量	使用関数名
err	受信エラーの有無	1 バイト	main, int_rcv_sci31
cnt	受信データ数のカウンタ	1 バイト	main, int_rcv_sci31
rie_f	受信割り込みの終了フラグ	1 バイト	main, int_rcv_sci31
r_buf []	受信データ格納バッファ	4 バイト	main, int_rcv_sci31

5. フローチャート

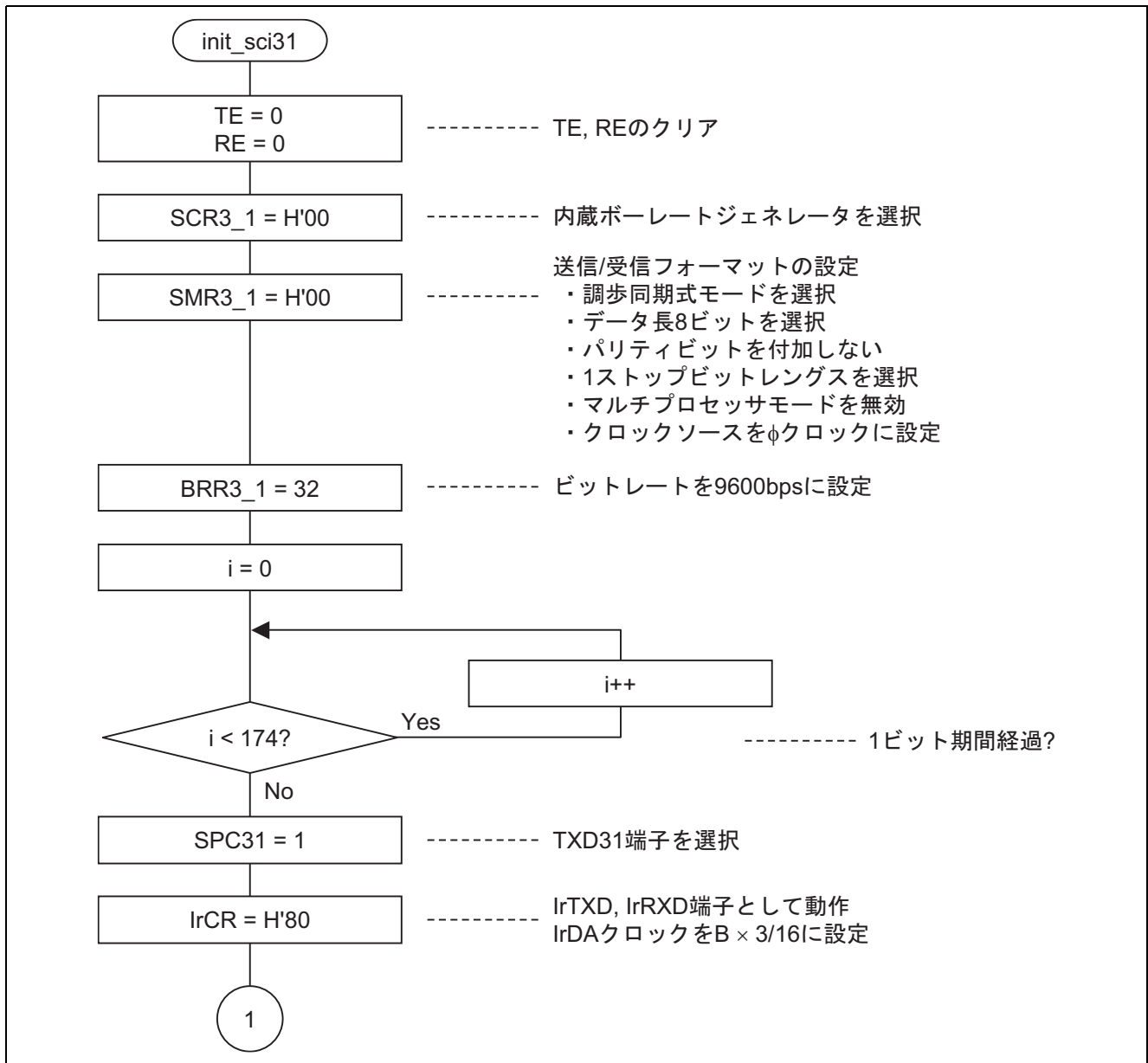
5.1 main

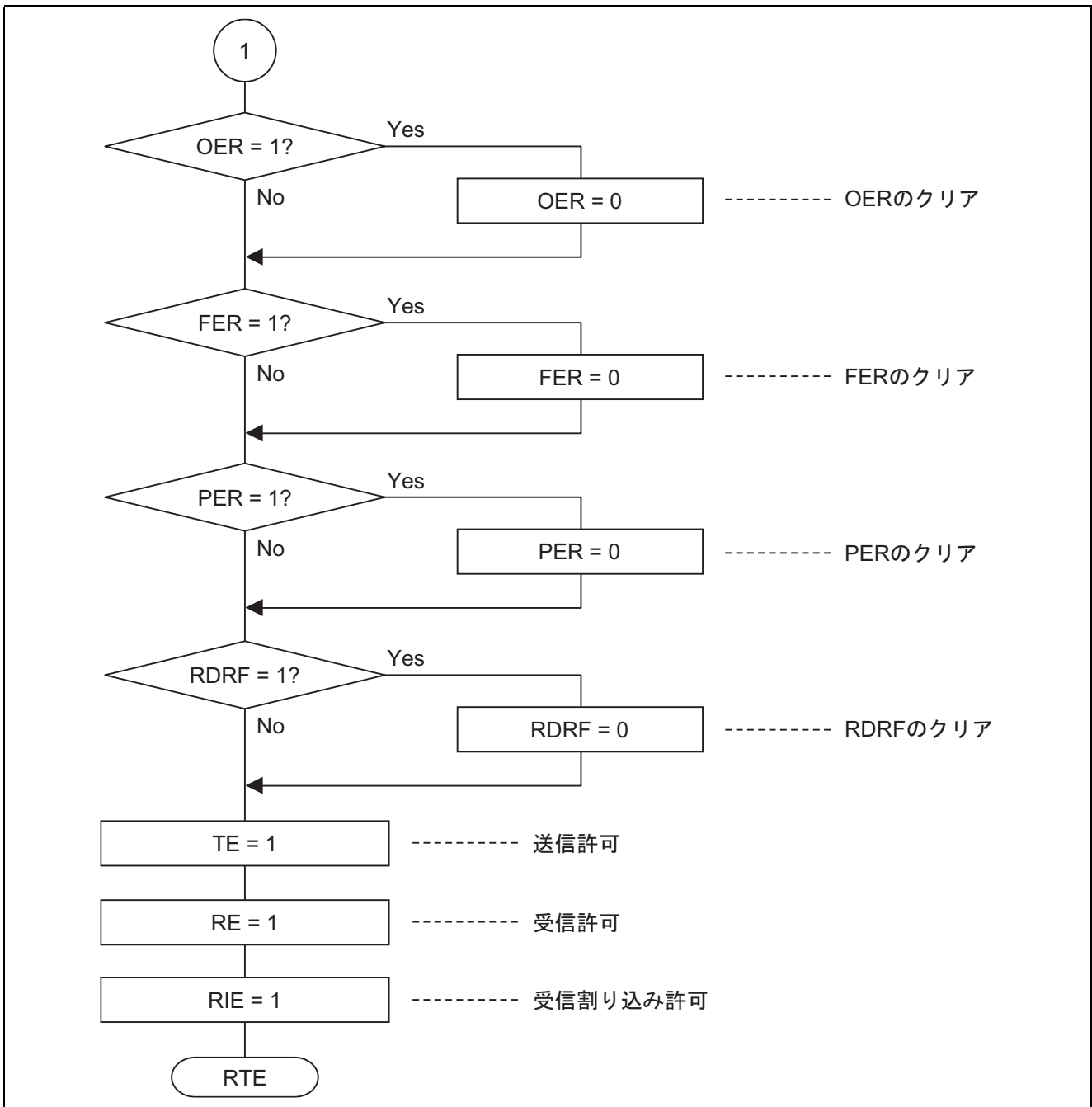


5.2 int_rcv_sci31

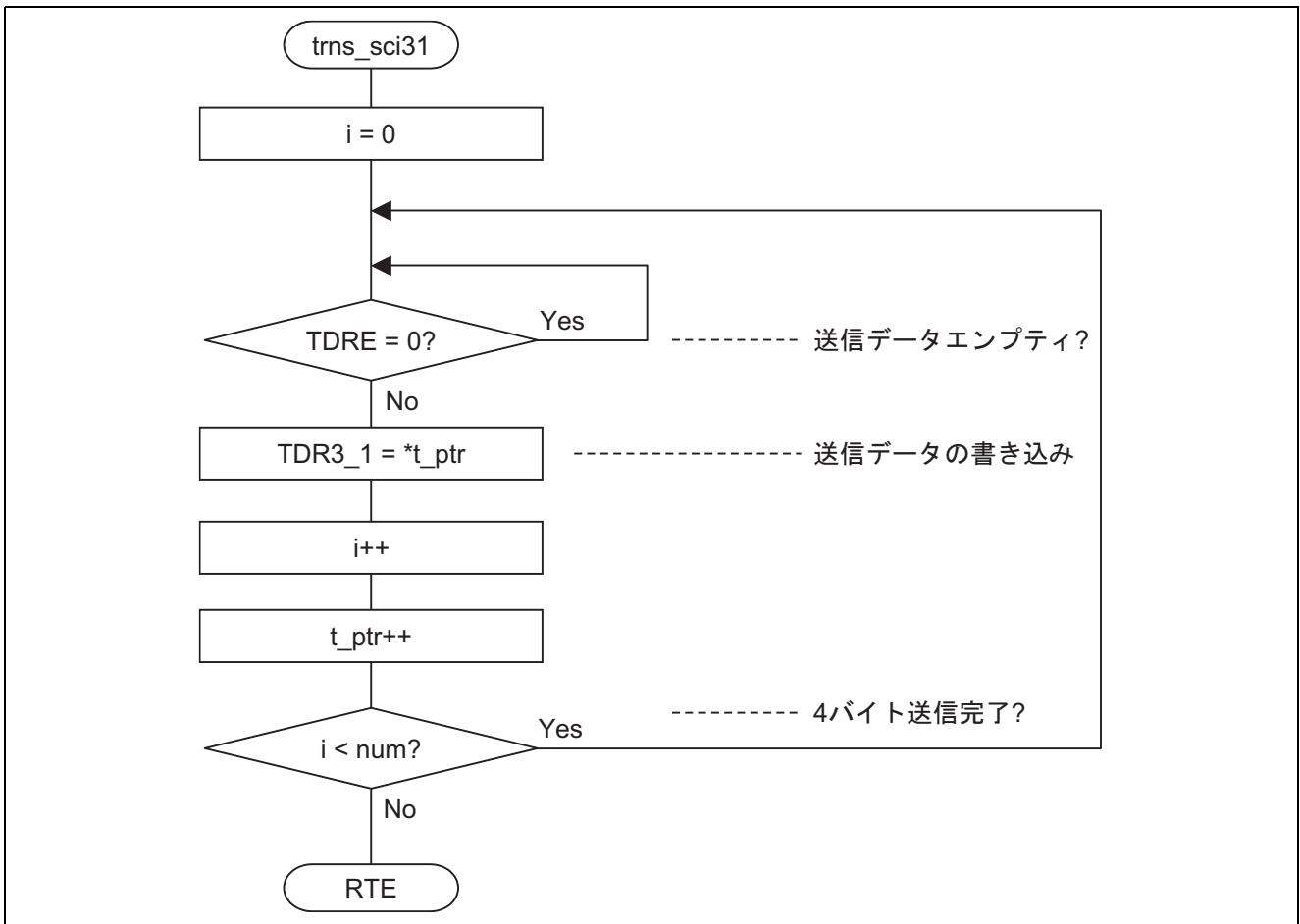


5.3 int_tci1v

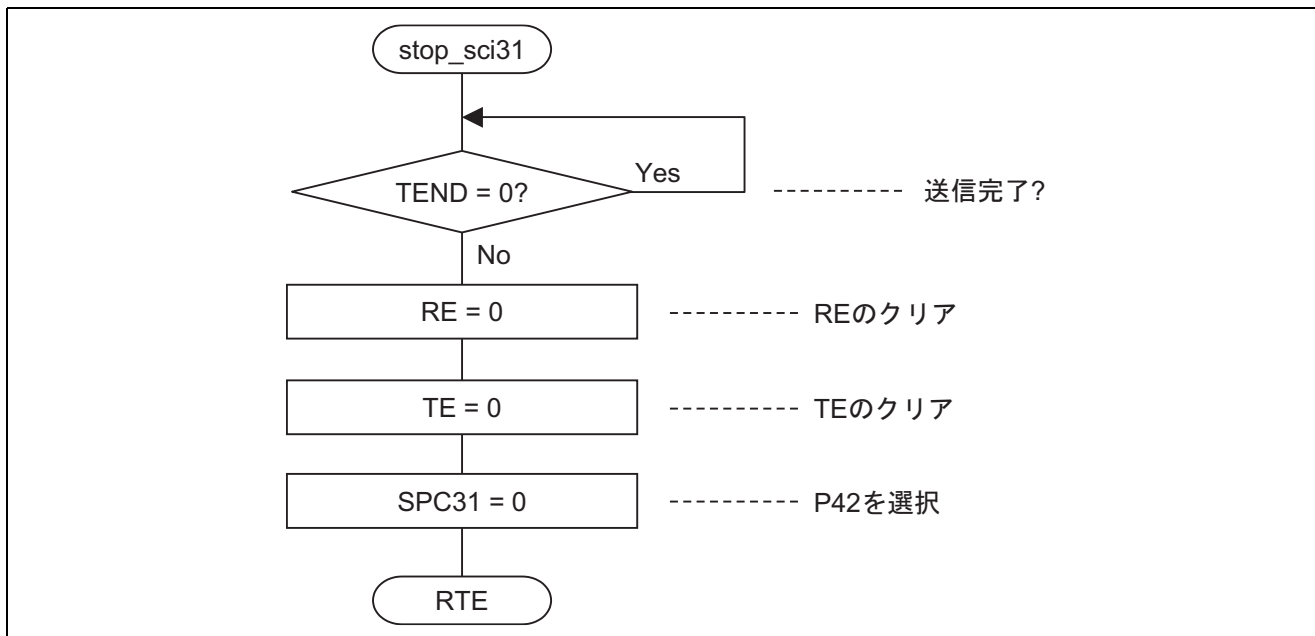




5.4 trns_sci31



5.5 stop_sci31



• リンクアドレス指定

セクション名	アドレス
CV1	H'0000
CV2	H'004C
P	H'0100
B	H'F780

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.09.15	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。