

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/300H SLP シリーズ

TPU カスケード接続動作機能によるパルス周期測定

要旨

16 ビットタイマパルスユニット (TPU) の 2 チャンネルの 16 ビットタイマカウンタを接続して 32 ビットタイマカウンタとして動作させ、インプットキャプチャ入力端子 (TIOCA1, TIOCA2) に同時に入力したパルスの立ち上がりエッジから次の立ち上がりエッジまでの時間 (周期) を測定します。

動作確認デバイス

H8/38076R

目次

1. 仕様	2
2. 使用機能説明	3
3. 動作説明	6
4. ソフトウェア説明	7
5. フローチャート	12

1. 仕様

- 16 ビットタイマパルスユニット (TPU) のカスケード接続動作機能を使用して, TGRA_1 のインプットキャプチャ入力端子 (TIOCA1) と TGRA_2 のインプットキャプチャ入力端子 (TIOCA2) に同時に入力したパルスの立ち上がりエッジから次の立ち上がりエッジまでの時間 (周期) を測定します。
- カスケード接続動作は, 2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。
- TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより, タイマジェネラルレジスタ A_1 (TGRA_1) に上位 16 ビット, タイマジェネラルレジスタ A_2 (TGRA_2) に下位 16 ビットの 32 ビットのカウント値が転送されます。
- 本タスク例では, 32 ビットのタイマカウンタの入力クロックを内部クロック ϕ に設定します。 $\phi = 10$ MHz 動作時で, 分解能は 100 ns, 測定可能周期は 429.49 s となります。キャプチャされた 32 ビットのカウント値は RAM に格納します。
- 図 1 に TPU カスケード接続動作機能によるパルスの周期測定例を示します。

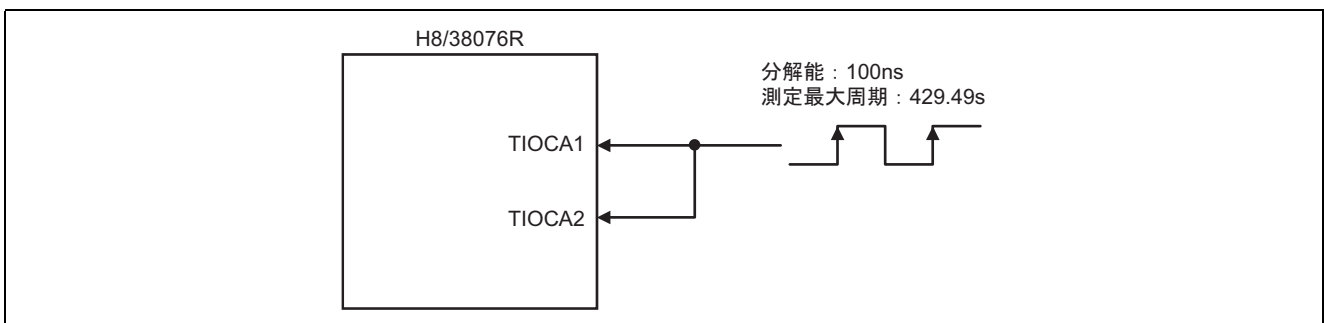


図 1 TPU カスケード接続動作機能によるパルス周期測定例

2. 使用機能説明

2.1 TPU カスケード接続動作機能説明

本タスク例では、TPU のカスケード接続動作機能を使用して TIOCA1 端子と TIOCA2 端子に同時に入力したパルスの周期を測定します。TPU のカスケード接続動作機能のブロック図を図 2 に示します。以下に、TPU の同期動作機能のブロック図について説明します。

- システムクロック (ϕ)
10 MHz のクロックで、CPU および周辺機能を動作させるための基準クロックです。
- タイマコントロールレジスタ_1 (TCR_1) , タイマコントロールレジスタ_2 (TCR_2)
タイマカウンタ_1 (TCNT_1) , タイマカウンタ_2 (TCNT_2) のカウンタクリア要因の選択, 入力クロックのエッジ選択, クロックソースの選択を行います。
- タイマモードレジスタ_1 (TMDR_1) , タイマモードレジスタ_2 (TMDR_2)
チャンネル 1, 2 の動作モードを設定します。
- タイマ I/O コントロールレジスタ_1 (TIOR_1) , タイマ I/O コントロールレジスタ_2 (TIOR_2)
タイマジェネラルレジスタ A_1 (TGRA_1) , タイマジェネラルレジスタ A_2 (TGRA_2) の制御を行います。
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
チャンネル 1 の割り込み要求の許可 / 禁止を制御します。
- タイマステータスレジスタ_1 (TSR_1)
チャンネル 1 のステータス表示を行います。
- タイマカウンタ_1 (TCNT_1)
16 ビットのリード / ライト可能なカウンタで、32 ビットタイマカウンタの上位 16 ビットとして動作します。TCNT_2 のオーバフローでカウントします。
- タイマカウンタ_2 (TCNT_2)
16 ビットのリード / ライト可能なカウンタで、32 ビットタイマカウンタの下位 16 ビットとして動作します。内部クロック ϕ の立ち上がりエッジによりカウントします。
- タイマジェネラルレジスタ A_1 (TGRA_1)
16 ビットのリード / ライト可能なインプットキャプチャレジスタで、TIOCA1 端子に入力されたパルスの立ち上がりエッジで、32 ビットタイマカウンタの上位 16 ビットのカウンタ値 (TCNT_1 のカウンタ値) を格納します。
- タイマジェネラルレジスタ A_2 (TGRA_2)
16 ビットのリード / ライト可能なインプットキャプチャレジスタで、TIOCA2 端子に入力されたパルスの立ち上がりエッジで、32 ビットタイマカウンタの下位 16 ビットのカウンタ値 (TCNT_2 のカウンタ値) を格納します。
- タイマスタートレジスタ (TSTR)
タイマカウンタ_1 (TCNT_1) , タイマカウンタ_2 (TCNT_2) の動作 / 停止を制御します。
- インプットキャプチャ入力の周期計算例を示します (本タスク例では、32 ビットタイマカウンタのカウンタ値を RAM に格納します)。
($\phi = 10 \text{ MHz}$, 32 ビットタイマカウンタ入力クロック = ϕ)

TIOCA1 , TIOCA2 端子入力パルス周期

$$= 32 \text{ ビットタイマカウンタのカウンタ値} \times 32 \text{ ビットタイマカウンタ入力クロック}$$

$$= ([\text{TCNT}_1 \text{ (上位 16 ビット)}][\text{TCNT}_2 \text{ (下位 16 ビット)}]) \times 100 \text{ ns}$$

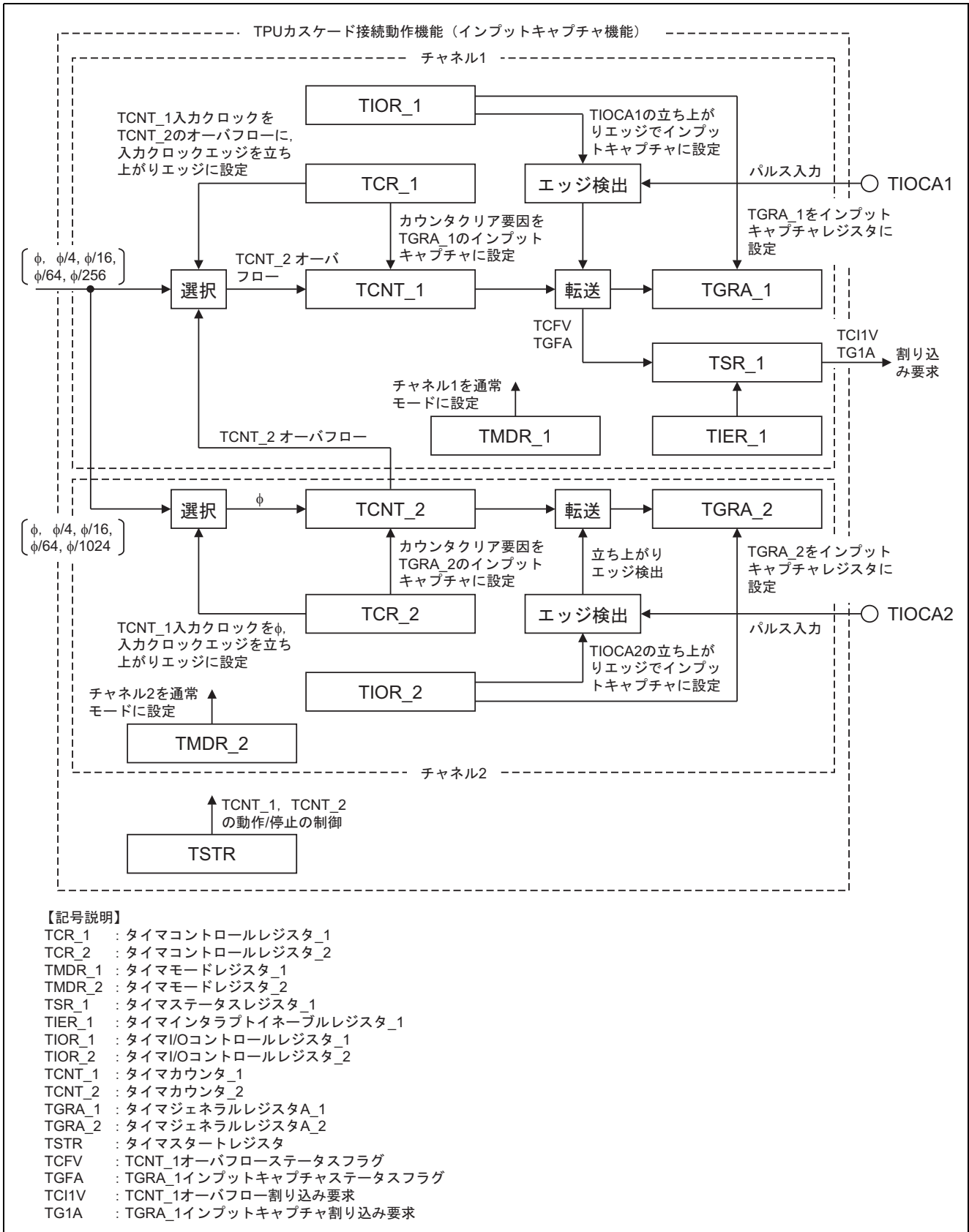


図2 カスケード接続動作機能のブロック図

2.2 機能割り付け

機能割り付けを表 1 に示します。表 1 に示すように機能を割り付け、TPU のカスケード接続動作機能によるパルス周期測定を行います。

表 1 機能割り付け

機能	機能割り付け
TCR_1	TCNT_1 のカウンタクリア要因を TGRA_1 のインプットキャプチャに、TCNT_1 の入力クロックエッジを立ち上がりエッジに、TCNT_1 のカウンタクロックを TCNT_2 のオーバフローに設定
TCR_2	TCNT_2 のカウンタクリア要因を TGRA_2 のインプットキャプチャに、TCNT_2 の入力クロックエッジを立ち上がりエッジに、TCNT_2 のカウンタクロックを内部クロックφに設定
TMDR_1	チャンネル 1 の動作モードを通常モードに設定
TMDR_2	チャンネル 2 の動作モードを通常モードに設定
TIOR_1	TGRA_1 をインプットキャプチャレジスタ機能に、TIOCA1 端子機能を立ち上がりエッジでインプットキャプチャに設定
TIOR_2	TGRA_2 をインプットキャプチャレジスタ機能に、TIOCA2 端子機能を立ち上がりエッジでインプットキャプチャに設定
TIER_1	TCNT_1 オーバフロー割り込み要求、TGRA_1 インプットキャプチャ割り込み要求を許可
TSR_1	TCNT_1 オーバフロー、TGRA_1 インプットキャプチャのステータスを表示
TCNT_1	32 ビットタイマカウンタの上位 16 ビット
TCNT_2	32 ビットタイマカウンタの下位 16 ビット
TGRA_1	32 ビットタイマカウンタの上位 16 ビットを格納するインプットキャプチャレジスタ
TGRA_2	32 ビットタイマカウンタの下位 16 ビットを格納するインプットキャプチャレジスタ
TSTR	TCNT_1、TCNT_2 の動作 / 停止を制御
TIOCA1	TGRA_1 のインプットキャプチャ入力端子で、周期測定パルスを入力
TIOCA2	TGRA_2 のインプットキャプチャ入力端子で、周期測定パルスを入力

3. 動作説明

図3に動作説明を示します。図3に示すようなハードウェア、ソフトウェア処理により、TPU同期動作機能によるPWM出力を行います。

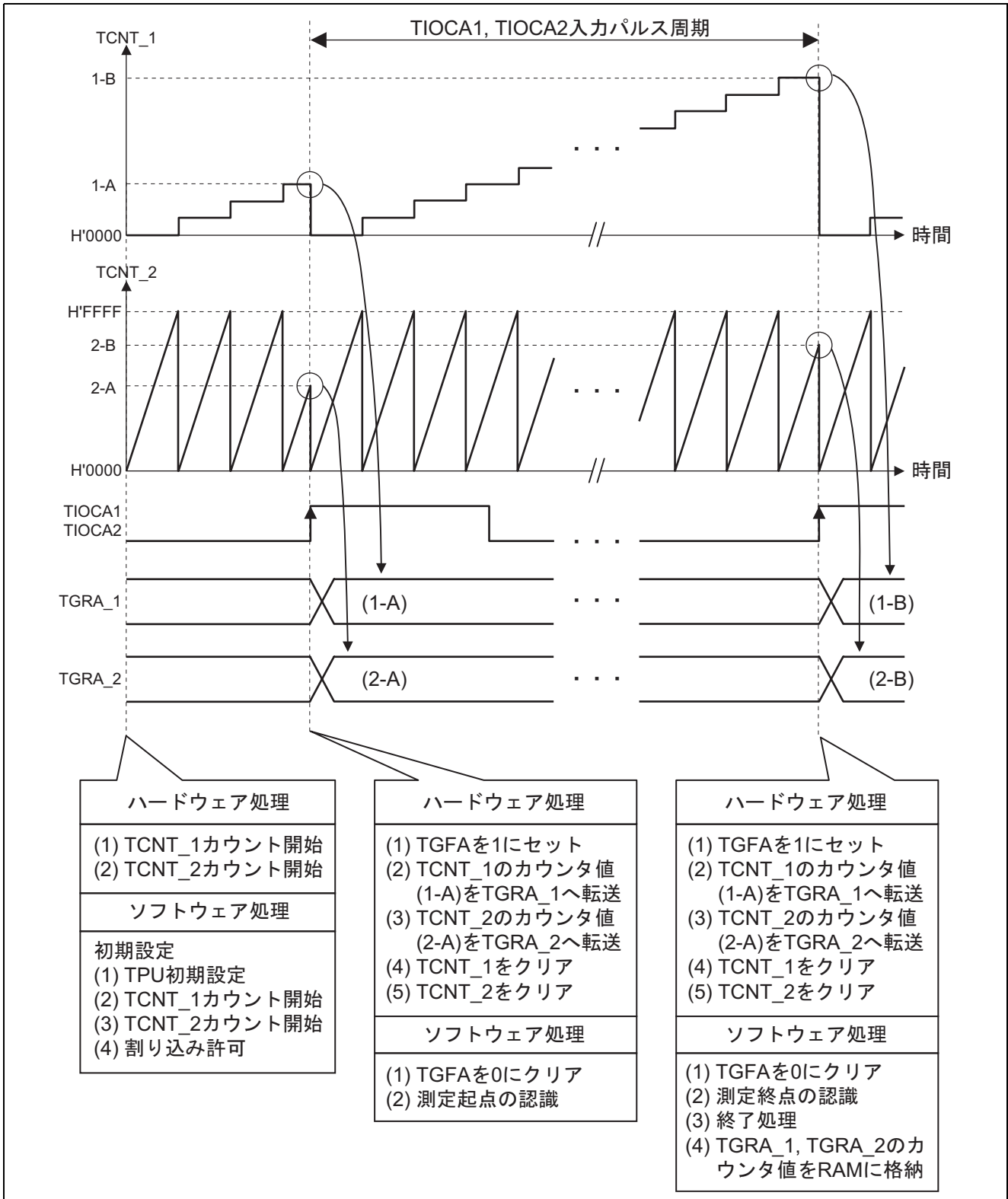


図3 動作説明

4. ソフトウェア説明

4.1 モジュール説明

本タスク例のモジュールを表 2 に示します。

表 2 モジュール説明

関数名	機能
main	TPU の初期設定, TCNT_1, TCNT_2 のカウント動作スタート, 割り込みの許可, 測定終了時に 32 ビットタイマカウンタの値を RAM に格納, 終了処理
int_tg1a	TGRA_1 のインプットキャプチャ A 割り込み処理, 測定起点 / 終点の認識
int_tci1v	TCNT_1 のオーバフロー割り込み処理, 測定エラーの認識

4.2 引数の説明

本タスク例では, 引数を使用しません。

4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

- TSTR タイマスタートレジスタ アドレス: H'F030

ビット	ビット名	設定値	R / W	機能
2	CST2	1	R / W	カウンタスタート 2 TCNT_2 の動作または停止を選択します。 CST2 = 1 : TCNT_2 はカウント動作
1	CST1	1	R / W	カウンタスタート 1 TCNT_1 の動作または停止を選択します。 CST1 = 1 : TCNT_1 はカウント動作

- TCR_1 タイマコントロールレジスタ_1 アドレス: H'F040

ビット	ビット名	設定値	R / W	機能
6	CCLR1	0	R / W	カウンタクリア 1, 0 TCNT_1 のカウンタクリア要因を選択します。 CCLR1 = 0, CCLR0 = 1 : TGRA_1 のインプットキャプチャで TCNT_1 をクリア
5	CCLR0	1	R / W	
4	CKEG1	0	R / W	クロックエッジ 1, 0 TCNT_1 の入力クロックのエッジを選択します。 CKEG1 = 0, CKEG0 = 0 : 立ち上がりエッジでカウント
3	CKEG0	0	R / W	
2	TPSC2	1	R / W	タイマプリスケラ 2, 1, 0 TCNT_1 のクロックソースを選択します。 TPSC2 = 1, TPSC1 = 1, TPSC0 = 1 : TCNT_2 のオーバフローでカウント
1	TPSC1	1	R / W	
0	TPSC0	1	R / W	

- TMDR_1 タイマモードレジスタ_1 アドレス: H'F041

ビット	ビット名	設定値	R / W	機能
1	MD1	0	R / W	モード 1, 0 TPU_1 の動作モードを選択します。 MD1 = 0, MD0 = 0 : TPU_1 は通常動作モード
0	MD0	0	R / W	

• TIOR_1 タイマ I/O コントロールレジスタ_1 アドレス：H'F042

ビット	ビット名	設定値	R / W	機能
3	IOA3	1	R / W	I/O コントロール A3 ~ A0 TGRA_1 の機能を選択します。 IOA3 = 1, IOA2 = 0, IOA1 = 0, IOA0 = 0 : TGRA_1 の機能はインプットキャプチャレジスタ, TIOCA1 端子の立ち上がりエッジでインプットキャプチャ
2	IOA2	0	R / W	
1	IOA1	0	R / W	
0	IOA0	0	R / W	

• TIER_1 タイマインタラプトイネーブルレジスタ_1 アドレス：H'F044

ビット	ビット名	設定値	R / W	機能
4	TCIEV	1	R / W	オーバフローインタラプトイネーブル TSR_1 の TCFV フラグが 1 にセットされたとき, TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 TCIEV = 1 : TCFV による割り込み要求 (TCIV) を許可
0	TGIEA	1	R / W	TGR インタラプトイネーブル A TSR_1 の TGFA フラグが 1 にセットされたとき, TGFA フラグによる割り込み要求 (TGIA) を許可または禁止します。 TGIEA = 1 : TGFA による割り込み要求 (TGIA) を許可

• TSR_1 タイマステータスレジスタ_1 アドレス：H'F045

ビット	ビット名	設定値	R / W	機能
4	TCFV	0	R / (W)*	オーバフローフラグ TCNT_1 のオーバフローの発生を示すステータスフラグです。 [セット条件] TCNT_1 の値がオーバフローしたとき (H'FFFF H'0000) [クリア条件] TCFV = 1 の状態で TCFV をリード後, TCFV に 0 をライトしたとき
0	TGFA	0	R / (W)*	インプットキャプチャフラグ A TGRA_1 のインプットキャプチャの発生を示すステータスフラグです。 [セット条件] インプットキャプチャ信号により TCNT_1 の値が TGRA_1 に転送されたとき [クリア条件] TGFA = 1 の状態で TGFA をリード後, TGFA に 0 をライトしたとき

【注】 *フラグをクリアするための 0 ライトのみ可能です。

• TCNT_1 タイマカウンタ_1

アドレス：H'F046

ビット	ビット名	設定値	R / W	機能
15	Bit15	0	R / W	<p>タイマカウンタ_1</p> <p>16 ビットのリード / ライト可能なカウンタです。TCNT_1 は、リセット時に H'0000 に初期化されます。また、TCNT_1 は 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。</p> <p>カスケード接続動作時には、32 ビットタイマカウンタの上位 16 ビットとして機能します。</p>
14	Bit14	0	R / W	
13	Bit13	0	R / W	
12	Bit12	0	R / W	
11	Bit11	0	R / W	
10	Bit10	0	R / W	
9	Bit9	0	R / W	
8	Bit8	0	R / W	
7	Bit7	0	R / W	
6	Bit6	0	R / W	
5	Bit5	0	R / W	
4	Bit4	0	R / W	
3	Bit3	0	R / W	
2	Bit2	0	R / W	
1	Bit1	0	R / W	
0	Bit0	0	R / W	

• TGRA_1 タイマジェネラルレジスタ A_1

アドレス：H'F048

ビット	ビット名	設定値	R / W	機能
15	Bit15	—	R / W	<p>タイマジェネラルレジスタ A_1</p> <p>16 ビットのリード / ライト可能なアウトプットコンペア / インプットキャプチャ兼用のレジスタです。TGRA_1 は、リセット時に H'FFFF に初期化されます。また、TGRA_1 は 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。</p> <p>TIOCA1 端子に入力されたパルスの立ち上がりエッジで、32 ビットタイマカウンタの上位 16 ビット (TCNT_1 の値) が格納されます。</p>
14	Bit14	—	R / W	
13	Bit13	—	R / W	
12	Bit12	—	R / W	
11	Bit11	—	R / W	
10	Bit10	—	R / W	
9	Bit9	—	R / W	
8	Bit8	—	R / W	
7	Bit7	—	R / W	
6	Bit6	—	R / W	
5	Bit5	—	R / W	
4	Bit4	—	R / W	
3	Bit3	—	R / W	
2	Bit2	—	R / W	
1	Bit1	—	R / W	
0	Bit0	—	R / W	

● TCR_2 タイマコントロールレジスタ_2 アドレス：H'F050

ビット	ビット名	設定値	R / W	機能
6 5	CCLR1 CCLR0	0 1	R / W R / W	カウンタクリア 1, 0 TCNT_2 のカウンタクリア要因を選択します。 CCLR1 = 0, CCLR0 = 1 : TGRA_2 のインプットキャプチャで TCNT_2 をクリア
4 3	CKEG1 CKEG0	0 0	R / W R / W	クロックエッジ 1, 0 TCNT_2 の入力クロックのエッジを選択します。 CKEG1 = 0, CKEG0 = 0 : 立ち上がりエッジでカウント
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R / W R / W R / W	タイマプリスケラ 2, 1, 0 TCNT_2 のクロックソースを選択します。 TPSC2 = 0, TPSC1 = 0, TPSC0 = 0 : 内部クロックφでカウント

● TMDR_2 タイマモードレジスタ_2 アドレス：H'F051

ビット	ビット名	設定値	R / W	機能
1 0	MD1 MD0	0 0	R / W R / W	モード 1, 0 TPU_2 の動作モードを選択します。 MD1 = 0, MD0 = 0 : TPU_2 は通常動作モード

● TIOR_2 タイマ I/O コントロールレジスタ_2 アドレス：H'F052

ビット	ビット名	設定値	R / W	機能
3 2 1 0	IOA3 IOA2 IOA1 IOA0	1 x 0 0	R / W R / W R / W R / W	I/O コントロール A3 ~ A0 TGRA_2 の機能を選択します。 IOA3 = 1, IOA2 = x, IOA1 = 0, IOA0 = 0 : TGRA_2 の機能はインプットキャプチャレジスタ, TIOCA2 端子の立ち上がりエッジでインプットキャプチャ

【記号説明】 x : Don't care

● TCNT_2 タイマカウンタ_2 アドレス：H'F056

ビット	ビット名	設定値	R / W	機能
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	Bit15 Bit14 Bit13 Bit12 Bit11 Bit10 Bit9 Bit8 Bit7 Bit6 Bit5 Bit4 Bit3 Bit2 Bit1 Bit0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	R / W R / W R / W R / W R / W R / W R / W R / W R / W R / W R / W R / W R / W R / W R / W	タイマカウンタ_2 16 ビットのリード / ライト可能なカウンタです。 TCNT_2 は、リセット時に H'0000 に初期化されます。 また、TCNT_2 は 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。 カスケード接続動作時には、32 ビットタイマカウンタの下位 16 ビットとして機能します。

• TGRA_2 タイマジェネラルレジスタ A_2

アドレス：H'F058

ビット	ビット名	設定値	R / W	機能
15	Bit15	—	R / W	タイマジェネラルレジスタ A_2 16 ビットのリード / ライト可能なアウトプットコンペア / インพุットキャプチャ兼用のレジスタです。 TGRA_2 は、リセット時に H'FFFF に初期化されます。 また、TGRA_2 は 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。 TIOCA2 端子に入力されたパルスの立ち上がりエッジで 32 ビットタイマカウンタの下位 16 ビット (TCNT_2) の値が格納されます。
14	Bit14	—	R / W	
13	Bit13	—	R / W	
12	Bit12	—	R / W	
11	Bit11	—	R / W	
10	Bit10	—	R / W	
9	Bit9	—	R / W	
8	Bit8	—	R / W	
7	Bit7	—	R / W	
6	Bit6	—	R / W	
5	Bit5	—	R / W	
4	Bit4	—	R / W	
3	Bit3	—	R / W	
2	Bit2	—	R / W	
1	Bit1	—	R / W	
0	Bit0	—	R / W	

4.4 使用定数説明

本タスク例では定数を使用しません。

4.5 使用 RAM 説明

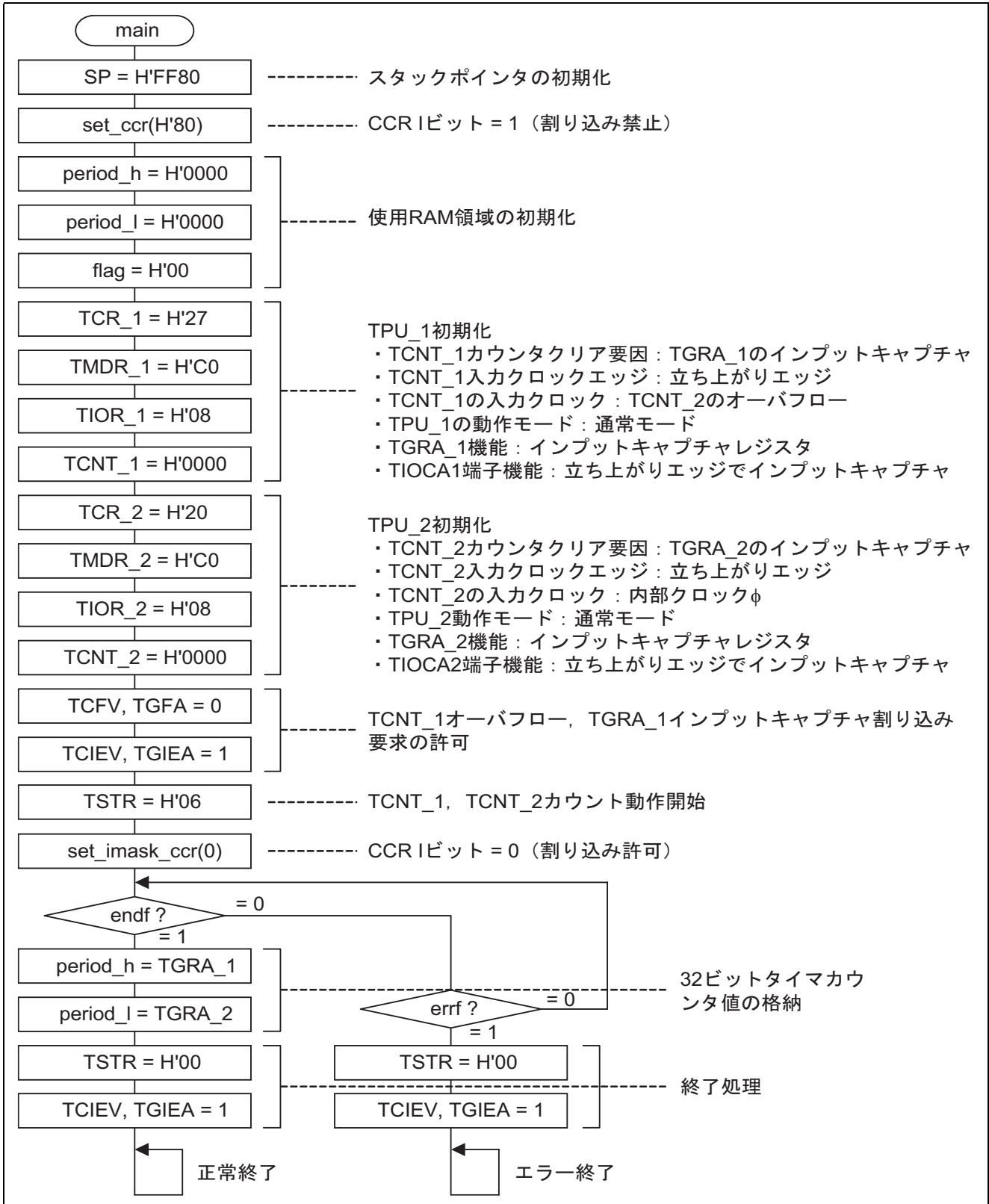
表 3 に本タスク例の使用 RAM 説明を示します。

表 3 使用 RAM 説明

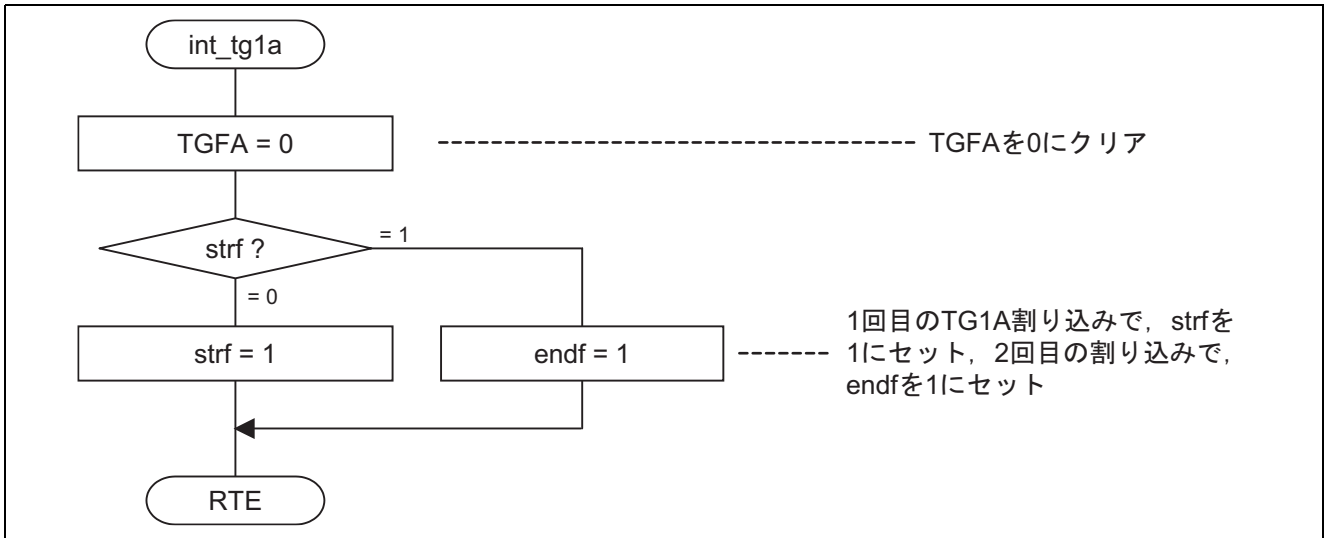
ラベル名	説明	メモリ消費量	使用関数名	
period_h	TIOCA1 端子, TIOCA2 端子の入力パルスの立ち上がりエッジから次の立ち上がりエッジまでの間の 32 ビットタイマカウンタの値の上位 16 ビットを格納	1 ワード	main	
period_l	TIOCA1 端子, TIOCA2 端子の入力パルスの立ち上がりエッジから次の立ち上がりエッジまでの間の 32 ビットタイマカウンタの値の下位 16 ビットを格納	1 ワード	main	
flag	endf	測定終了を示すフラグ	1 ビット	main, int_tg1a
	strf	測定開始を示すフラグ	1 ビット	int_tg1a, int_tci1v
	errf	TCNT_1 がオーバフローしたことを示すフラグ	1 ビット	main, int_tci1v

5. フローチャート

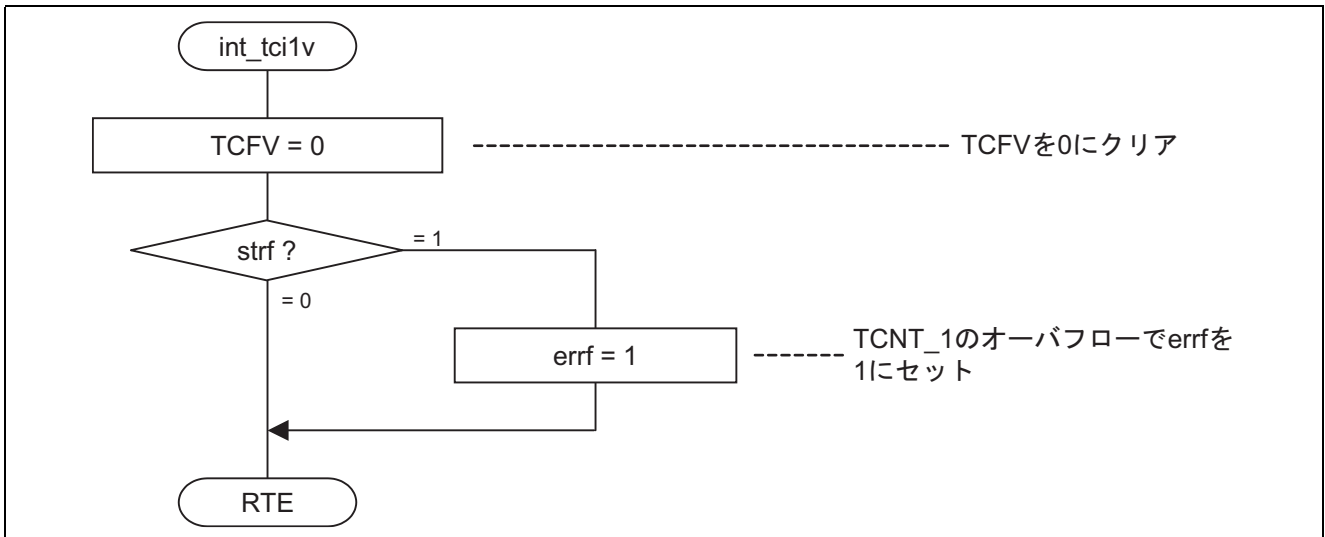
5.1 main



5.2 int_tg1a



5.3 int_tci1v



● リンクアドレス指定

セクション名	アドレス
CV1	H'0000
CV2	H'003A
CV3	H'003E
P	H'0100
B	H'F780

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.09.15	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。