

RX ファミリ、H8S ファミリ

R01AN4046JJ0100

H8S から RX への置き換えガイド

Rev.1.00

2017.11.13

シリアルコミュニケーションインタフェース編

要旨

本アプリケーションノートでは、H8S ファミリの SCI のクロック同期式モードから RX ファミリの SCI のクロック同期式モード、H8S ファミリの SCI の調歩同期式モードから RX ファミリの SCI の調歩同期式モードへの置き換えについて説明しています。

対象デバイス

- RX ファミリ
- H8S ファミリ

H8S から RX への置き換え例として、RX ファミリは RX231 グループを、H8S ファミリは H8S/2378 グループを用いて説明しています。本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

動作確認デバイス

- RX ファミリ : RX231
- H8S ファミリ : H8S/2378

表 RX ファミリと H8S ファミリ間の用語差異

項目	RX ファミリ	H8S ファミリ
チャンネル名称	SCIn	チャンネル n
周辺機能の動作クロック	周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)	φ

目次

1. シリアルコミュニケーションインタフェースの相違点	3
1.1 機能相違点	3
1.2 レジスタ相違点	7
2. 使用する周辺機能	19
3. クロック同期式シリアル通信の相違点	20
3.1 マスタ送受信動作時の相違点	21
3.1.1 マスタ送受信動作時のタイミング相違点	21
3.1.2 マスタ送受信動作時での設定手順の相違点	25
3.2 マスタ送信動作時の相違点	28
3.2.1 マスタ送信動作時のタイミングの相違点	28
3.2.2 マスタ送信動作時での設定手順の相違点	30
3.3 スレーブ受信動作時の相違点	32
3.3.1 スレーブ受信動作時のタイミングの相違点	32
3.3.2 スレーブ受信動作時での設定手順の相違点	34
4. 調歩同期式シリアル通信の相違点	37
4.1 送信動作時の相違点	38
4.1.1 送信動作時のタイミング相違点	38
4.1.2 送信動作時での設定手順の相違点	40
4.2 受信動作時の相違点	42
4.2.1 受信動作時のタイミング相違点	42
4.2.2 受信動作時での設定手順の相違点	44
5. ビットレートの算出方法	47
6. 割り込みの相違点	48
7. モジュールストップ機能	51
8. レジスタライトプロテクション機能	52
9. H8S から RX へ置き換えるときのポイント	53
9.1 入出力ポート	53
9.2 I/O レジスタマクロ	54
9.3 組み込み関数	55
9.4 トランスミットイネーブルビットに関する注意事項	56
10. 参考ドキュメント	57

1. シリアルコミュニケーションインタフェースの相違点

1.1 機能相違点

表 1.1に、シリアルコミュニケーションインタフェースの機能相違点を示します。

表 1.2に、RX の SCI チャンネル別機能一覧を示します。

表 1.1 シリアルコミュニケーションインタフェースの機能相違点

項目		RX (RX231)	H8S (H8S/2378)
チャンネル		SCI0、SCI1、SCI5、SCI6、SCI8、SCI9、SCI12	チャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3、チャンネル 4
シリアル通信方式		調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I ² C バス 簡易 SPI バス	調歩同期式 クロック同期式 スマートカードインタフェース
転送速度		内蔵ポーレートジェネレータで任意のビットレートを設定可能	
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
データ転送		LSB ファースト/MSB ファースト 選択可能 ^(注1)	LSB ファースト/MSB ファースト選 択可能 (調歩同期式 7 ビットデー タを除く)
割り込み要因		送信終了 送信データエンプティ 受信データフル 受信エラー 開始条件/再開条件/停止条件生成 終了 (簡易 I ² C モード用)	送信終了 送信データエンプティ 受信データフル 受信エラー
消費電力低減機能		チャンネルごとにモジュールストップ状態への遷移が可能	
調歩同期式 モード	データ長	7 ビット/8 ビット/9 ビット	7 ビット/8 ビット
	送信ストップビット	1 ビット/2 ビット	
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた 送受信制御が可能	なし
	スタートビットの検出	Low または立ち下がりエッジを選 択可能	Low 検出のみ
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードする事で ブレークを検出可能	
	クロックソース	内部クロック/外部クロックの選 択が可能 TMR からの転送レートクロック入 力が可能 (SCI5、SCI6、SCI12)	内部クロック/外部クロックの選 択が可能 (スマートカードインタ フェースを除く)
倍速モード	ポーレートジェネレータ倍速モー ドを選択可能	なし	

項目		RX (RX231)	H8S (H8S/2378)
調歩同期式モード	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	なし
クロック同期式モード	データ長	8 ビット	
	受信エラーの検出	オーバランエラー	
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能	なし
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信	
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	
IrDA		あり ^(注2) SCI5 と連携して IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の送受信を実現	IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の生成が可能 (チャンネル 0 のみ)
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット	なし
	動作モード	マスタ (シングルマスタ動作のみ)	
	転送速度	ファストモード対応	
	ノイズ除去	SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能	
簡易 SPI モード	データ長	8 ビット	なし
	エラーの検出	オーバランエラー	
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能	なし
イベントリンク機能 (SCI5 のみ)		エラー (受信エラー・エラーシグナル検出) イベント出力 受信データフルイベント出力 送信データエンプティイベント出力 送信終了イベント出力	なし

項目		RX (RX231)	H8S (H8S/2378)
拡張シリアルモード (SCI12 のみ)	Start Frame 送信	<ul style="list-style-type: none"> Break Field Low width の出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり 	なし
	Start Frame 受信	<ul style="list-style-type: none"> Break Field Low width の検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データの設定可能 Control Field 1 にはプライオリティインタラプトビットを設定可能 Break Field がない Start Frame にも対応可能 Control Field 0 がない Start Frame にも対応可能 ビットレート測定機能あり 	
	入出力制御機能	<ul style="list-style-type: none"> TXDX12/RXDX12 信号の極性選択が可能 RXDX12 信号にデジタルフィルタ機能を設定可能 RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 RXDX12 端子受信データサンプリングタイミング選択可能 拡張シリアルモード制御部 OFF 時、RXDX12 受信信号を SCIg ヘスルー出力可能 	
	タイマ機能	リロードタイマ機能として使用可能	

注 1. 簡易 I²C モードでは、MSB ファーストでのみ使用可能です。

注 2. RX では、IrDA は SCI とは別にモジュールが存在します。

表1.2 RX の SCI チャンネル別機能一覧

項目	SCIg			SCIh
	SCI0、SCI1 SCI8、SCI9	SCI5	SCI6	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタ フェースモード	○	○	○	○
簡易 I ² C モード	○	○	○	○
簡易 SPI モード	○	○	○	○
拡張シリアルモード	—	—	—	○
TMR クロック入力	—	○	○	○
イベントリンク機能	—	○	—	—

1.2 レジスタ相違点

表 1.3に、RX と H8S の SCI レジスタ一覧を示します。

表1.3 RX と H8S の SCI レジスタ一覧

RX (RX231)	H8S (H8S/2378)
レシーブシフトレジスタ (RSR)	レシーブシフトレジスタ (RSR)
レシーブデータレジスタ (RDR)	レシーブデータレジスタ (RDR)
レシーブデータレジスタ H、L、HL (RDRH、RDRL、RDRHL)	なし
トランスミットデータレジスタ (TDR)	トランスミットデータレジスタ (TDR)
トランスミットデータレジスタ H、L、HL (TDRH、TDRL、TDRHL)	なし
トランスミットシフトレジスタ (TSR)	トランスミットシフトレジスタ (TSR)
シリアルモードレジスタ (SMR)	シリアルモードレジスタ (SMR)
シリアルコントロールレジスタ (SCR)	シリアルコントロールレジスタ (SCR)
シリアルステータスレジスタ (SSR)	シリアルステータスレジスタ (SSR)
スマートカードモードレジスタ (SCMR)	スマートカードモードレジスタ (SCMR)
ビットレートレジスタ (BRR)	ビットレートレジスタ (BRR)
あり ^(注1) SCI5 と連携して IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の送受信を実現	IrDA コントロールレジスタ (IrCR)
モジュレーションデューティレジスタ (MDDR)	なし
シリアル拡張モードレジスタ (SEMR)	シリアル拡張モードレジスタ (SEMR)

RX (RX231)	H8S (H8S/2378)
ノイズフィルタ設定レジスタ (SNFR)	なし
I ² C モードレジスタ 1 (SIMR1)	
I ² C モードレジスタ 2 (SIMR2)	
I ² C モードレジスタ 3 (SIMR3)	
I ² C ステータスレジスタ (SISR)	
SPI モードレジスタ (SPMR)	
拡張シリアルモード有効レジスタ (ESMER)	
コントロールレジスタ 0 (CR0)	
コントロールレジスタ 1 (CR1)	
コントロールレジスタ 2 (CR2)	
コントロールレジスタ 3 (CR3)	
ポートコントロールレジスタ (PCR)	
割り込みコントロールレジスタ (ICR)	
ステータスレジスタ (STR)	
ステータスクリアレジスタ (STCR)	
Control Field 0 データレジスタ (CF0DR)	
Control Field 0 コンペアイネーブルレジスタ (CF0CR)	
Control Field 0 受信データレジスタ (CF0RR)	
プライマリ Control Field 1 データレジスタ (PCF1DR)	
セカンダリ Control Field 1 データレジスタ (SCF1DR)	
Control Field 1 コンペアイネーブルレジスタ (CF1CR)	
Control Field 1 受信データレジスタ (CF1RR)	
タイマコントロールレジスタ (TCR)	
タイマモードレジスタ (TMR)	
タイマプリスケアラレジスタ (TPRE)	
タイマカウントレジスタ (TCNT)	

注 1. RX では、IrDA は SCI とは別にモジュールが存在します。

表 1.4 に、RX と H8S の SCI レジスタ相違点を示します。表 1.3 中のレジスタの内、同じ機能を持つレジスタの相違点を示します。表 1.4 に記載していないレジスタおよびビットの機能は、全く同じです。

表 1.4 RX と H8S の SCI レジスタ相違点

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)
レシーブデータレジスタ H、L、HL (RDRH、RDRL、RDRHL)	なし			RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。 RDRHL レジスタとして 16 ビットでもアクセスできます。	—
トランスミットデータレジスタ H、L、HL (TDRH、TDRL、TDRHL)	なし			TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。 調歩同期式モード 9 ビットデータ長選択時に使用します。 TDRHL レジスタとして 16 ビットでもアクセスできます。	—
シリアルモードレジスタ (SMR) (SCMR.SMIF = 0 のとき)		CM	C/A	コミュニケーションモード 0 : 調歩同期式モードで動作 1 : クロック同期式モード、 または簡易 SPI モードで動作	コミュニケーションモード 0 : 調歩同期式モードで動作 1 : クロック同期式モードで動作
		CHR		キャラクタレンクス ^(注1) (調歩同期式モードのみ有効) SCMR.CHR1 ビットと組み合わせて選択 CHR1 CHR 0 0 データ長 9 ビットで送受信 0 1 データ長 9 ビットで送受信 1 0 データ長 8 ビットで送受信 1 1 データ長 7 ビットで送受信 ^(注2)	キャラクタレンクス ^(注1) (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信 1 : データ長 7 ビットで送受信 ^(注2)
		PM	O/E	パリティモード (ビット名称の差異のみ)	

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)
シリアルモードレジスタ (SMR) (SCMR.SMIF = 1 のとき)		PM	O/E	パリティモード (ビット名称の差異のみ)	
		BCP[1:0]	BCP1 BCP0	基本クロックパルス SCMR.BCP2 ビットと組み合わせて選択 BCP2 BCP[1:0] 0 00 93 クロック (S = 93) 0 01 128 クロック (S = 128) 0 10 186 クロック (S = 186) 0 11 512 クロック (S = 512) 1 00 32 クロック (S = 32) 1 01 64 クロック (S = 64) 1 10 372 クロック (S = 372) 1 11 256 クロック (S = 256)	基本クロックパルス 00 32 クロック(S = 32) 01 64 クロック(S = 64) 10 372 クロック(S = 372) 11 256 クロック(S = 256)
シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0 のとき)		TEIE		TEI 割り込みイネーブル 0 : TEI 割り込み要求を禁止 1 : TEI 割り込み要求を許可 簡易 I ² C モードでは、開始/再開/停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。	TEI 割り込みイネーブル 0 : TEI 割り込み要求を禁止 1 : TEI 割り込み要求を許可

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)
シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 0 のとき)		CKE[1:0]	CKE1 CKE0	<p>クロックイネーブル (調歩同期式の場合)</p> <p>b1 b0</p> <p>0 0 : 内蔵ポーレートジェネレータ I/O ポートの設定によって、SCKn 端子は入出力ポートとして使用できません。</p> <p>0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと同じ周波数のクロックを出力します。</p> <p>1 X : 外部クロックまたは TMR クロック 外部クロック使用時は、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。 SEMR.ABCS ビットが“1”のときは 8 倍の周波数のクロックを入力してください。 TMR クロック使用時は、I/O ポートの設定によって、SCKn 端子は入出力ポートとして使用できません。 (注 : TMR クロックは、SCI5、SCI6、SCI12 で使用できます。SCI0、SCI1、SCI8、SCI9 では使用できません。)</p> <p>(クロック同期式の場合)</p> <p>b1 b0</p> <p>0 X : 内部クロック SCKn 端子はクロック出力端子となります。</p> <p>1 X : 外部クロック SCKn 端子はクロック入力端子となります。</p> <p>X : Don't care</p>	<p>クロックイネーブル (調歩同期式の場合)</p> <p>0 0 : 内蔵ポーレートジェネレータ SCKn 端子は入出力ポートとして使用できます。</p> <p>0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと同じ周波数のクロックを出力します。</p> <p>1 X : 外部クロック SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。</p> <p>(クロック同期式の場合)</p> <p>0 X : 内部クロック SCK 端子はクロック出力端子となります。</p> <p>1 X : 外部クロック SCK 端子はクロック入力端子となります。</p> <p>X : Don't care</p>

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)
シリアルコントロールレジスタ (SCR) (SCMR.SMIF = 1 のとき)		CKE[1:0]	CKE1 CKE0	クロックイネーブル ● SMR.GMビット=0の場合 b1 b0 00 : 出力ディスエーブル (I/Oポートの設定によつて、SCKn端子は入出力ポートとして使用できません) 01 : クロック出力 1X : リザーブ ● SMR.GMビット=1の場合 b1 b0 00 : Low 出力固定 X1 : クロック出力 10 : High 出力固定 X : Don't care	クロックイネーブル ● SMRのGM=0の場合 00 : 出力ディスエーブル (SCK端子は入出力ポートとして使用可) 01 : クロック出力 1X : リザーブ ● SMRのGM=1の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力 X : Don't care
シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 のとき)		TDRE		送信データエンプティ [セット条件] ● TDRレジスタからTSRレジスタにデータが転送されたとき [クリア条件] ● TDRレジスタへ送信データを書いたとき	トランスミットデータレジスタエンプティ [セット条件] ● SCRのTEが0のとき ● TDRからTSRにデータが転送され、TDRにデータライトが可能になったとき [クリア条件] ● 1の状態をリードした後、0をライトしたとき ● TXI割り込み要求によりDMACまたはDTCでTDRに送信データを転送したとき
		RDRF		受信データフル [セット条件] ● 受信が正常終了し、RSRレジスタからRDRレジスタへ受信データが転送されたとき [クリア条件] ● RDRレジスタからデータを読み出したとき	レシーブデータレジスタフル [セット条件] ● 受信が正常終了し、RSRからRDRへ受信データが転送されたとき [クリア条件] ● 1の状態をリードした後、0をライトしたとき ● RXI割り込みによりDMACまたはDTCでRDRからデータを転送したとき

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)
シリアルステータスレジスタ (SSR) (SCMR.SMIF = 0 のとき)		TEND		トランスミットエンド [セット条件] <ul style="list-style-type: none"> SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき [クリア条件] <ul style="list-style-type: none"> SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき 	トランスミットエンド [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき [クリア条件] <ul style="list-style-type: none"> TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TXI 割り込み要求により DMAC または DTC で TDR へ送信データをライトしたとき
シリアルステータスレジスタ (SSR) (SCMR.SMIF = 1 のとき)		TDRE		送信データエンプティ [セット条件] <ul style="list-style-type: none"> TDR レジスタから TSR レジスタにデータが転送されたとき [クリア条件] <ul style="list-style-type: none"> TDR レジスタへ送信データを書いたとき 	トランスミットデータレジスタエンプティ [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき TXI 割り込み要求により DMAC または DTC で TDR に送信データを転送したとき
		RDRF		受信データフル [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> RDR レジスタからデータを読み出したとき 	レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)
シリアルステータスレジスタ (SSR) (SCMR.SMIF = 1 のとき)		TEND		トランスミットエンド [セット条件] <ul style="list-style-type: none"> SCR.TE ビット=0 のとき 1 バイトのデータを送信して一定期間後、ERS フラグ=0 かつ TDR レジスタが更新されていないとき [クリア条件] <ul style="list-style-type: none"> SCR.TE ビットが"1"の状態 で TDR レジスタへ送信データを書き込んだとき 	トランスミットエンド [セット条件] <ul style="list-style-type: none"> SCRのTE=0かつERS=0 のとき 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき [クリア条件] <ul style="list-style-type: none"> TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TXI 割り込み要求により DMAC または DTC で TDR へ送信データをライトしたとき
スマートカードモードレジスタ (SCMR)		BCP2	なし	基本クロックパルス 2 SMR.BCP[1:0]ビットと組み合わせて選択 BCP2 BCP[1:0] 0 00 93 クロック (S = 93) 0 01 128 クロック (S = 128) 0 10 186 クロック (S = 186) 0 11 512 クロック (S = 512) 1 00 32 クロック (S = 32) 1 01 64 クロック (S = 64) 1 10 372 クロック (S = 372) 1 11 256 クロック (S = 256)	—
		CHR1	なし	キャラクタレングス 2 ^(注1) (調歩同期式モードのみ有効) SMR.CHR ビットと組み合わせて選択 CHR1 CHR 0 0 データ長9ビットで送受信 0 1 データ長9ビットで送受信 1 0 データ長8ビットで送受信 1 1 データ長7ビットで送受信 ^(注2)	—

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)
スマートカードモード レジスタ (SCMR)		SDIR		送受信データ転送方向 ディレクション 以下のモードで使用可能です。 <ul style="list-style-type: none"> ● スマートカードインタフェースモード ● 調歩同期式モード (マルチプロセッサモード) ● クロック同期式モード ● 簡易 SPI モード 簡易 I ² C モードで動作させる場合は、“1”にします 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信	スマートカードデータ転送方向 ディレクション 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
		SMIF		スマートカードインタフェースモード選択 0 : 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易 SPI モード、簡易 I ² C モード) 1 : スマートカードインタフェースモード	スマートカードインタフェースモード選択 0 : 通常の調歩同期式またはクロック同期式モード 1 : スマートカードインタフェースモード

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)
シリアル拡張モードレジスタ (SEMR) ^(注3)		RXDES EL	なし	調歩同期スタートビット エッジ検出セレクト (調歩同期式モードのみ有効) 0 : RXDn 端子入力の Low レベルでスタートビットを検出 1 : RXDn 端子入力の立ち下がリエッジでスタートビットを検出	—
		BGDM	なし	ポーレートジェネレータ倍速モードセレクト (調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0 : ポーレートジェネレータから通常の周波数のクロックを出力 1 : ポーレートジェネレータから 2 倍の周波数のクロックを出力	—
		NFEN	なし	デジタルノイズフィルタ機能イネーブル (調歩同期式モード) 0 : RXDn 入力信号のノイズ除去機能無効 1 : RXDn 入力信号のノイズ除去機能有効 (簡易 I ² C モード) 0 : SSCLn、SSDAn 入力信号のノイズ除去機能無効 1 : SSCLn、SSDAn 入力信号のノイズ除去機能有効 上記以外のモードでは、NFEN ビットを“0”にしてください。	—
		BRME	なし	ビットレートモジュレーションイネーブル 0 : ビットレートモジュレーション機能無効 1 : ビットレートモジュレーション機能有効	—

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/2378)
シリアル拡張モードレジスタ (SEMR) ^(注3)		ACS0	ACS2 ACS1 ACS0	調歩同期クロックソースセレクト (調歩同期式モードのみ有効) 0 : 外部クロック 1 : TMR から出力される2つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります。	調歩同期クロックソースセレクト (調歩同期式モードでCKE1 = 1のときのみ有効) 平均転送レートのクロックソースを選択します。平均転送レート選択時は、ABCSビットの値に関係なく基本クロックが自動設定されます。 000 : 外部クロック入力 001 : $\phi = 10.667\text{MHz}$ 専用の平均転送レート 115.152kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 010 : $\phi = 10.667\text{MHz}$ 専用の平均転送レート 460.606kbps を選択 (転送レートの8倍の周波数の基本クロックで動作) 011 : $\phi = 32\text{MHz}$ 専用の平均転送レート 720kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 100 : 設定禁止 101 : $\phi = 16\text{MHz}$ 専用の平均転送レート 115.196kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 110 : $\phi = 16\text{MHz}$ 専用の平均転送レート 460.784kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 111 : $\phi = 16\text{MHz}$ 専用の平均転送レート 720kbps を選択 (転送レートの8倍の周波数の基本クロックで動作)

レジスタ名		ビット名		説明	
RX (RX231)	H8S (H8S/2378)	RX (RX231)	H8S (H8S/ 2378)	RX (RX231)	H8S (H8S/2378)
シリアル拡張モードレジスタ (SEMR) ^(注3)		ACS0	ACS2 ACS1 ACS0		平均転送レートは、 10.667MHz、16MHz または 32MHz の動作周波数以外に は対応していません。

注 1. 調歩同期式モードのみ有効です。調歩同期式モード以外では、データ長は 8 ビット固定となります。

注 2. データ長 7 ビットでは、LSB ファースト固定となり、MSB (ビット 7) は送信されません。

注 3. H8S では、チャンネル 2 にのみあります。

2. 使用する周辺機能

表 2.1 に、シリアルコミュニケーションインタフェースの動作例に対して使用する周辺機能およびモードを示します。

表 2.1 シリアルコミュニケーションインタフェースの動作例に対して使用する周辺機能およびモード

No	動作例	RX (RX231)		H8S (H8S/2378)		参照
		周辺機能	モード	周辺機能	モード	
1	クロック同期式シリアル通信 (マスタ送受信動作)	SCI	クロック同期式モード	SCI	クロック同期式モード	3.1
2	クロック同期式シリアル通信 (マスタ送信動作)					3.2
3	クロック同期式シリアル通信 (スレーブ受信動作)					3.3
4	調歩同期式シリアル通信 (送信動作)		調歩同期式モード		調歩同期式モード	4.1
5	調歩同期式シリアル通信 (受信動作)					4.2

3. クロック同期式シリアル通信の相違点

本章では RX、H8S のクロック同期式シリアル通信の相違点を記載します。

表 3.1 に RX と H8S におけるクロック同期式シリアル通信の前提条件を示します。

表3.1 クロック同期式シリアル通信の条件

項目	送受信条件		
	RX (RX231)	H8S (H8S/2378)	
周辺機能の動作クロック	PCLKB : 24MHz	ϕ : 20MHz	
通信速度	10kbps		
データフォーマット	LSB ファースト		
ハードウェアフロー制御	使用しない	機能なし	
使用チャンネル	マスタ	SCI1	チャンネル 0
	スレーブ	SCI5	チャンネル 1
使用端子	マスタ	RXD1 : P15 TXD1 : P26 SCK1 : P17	RXD0 : P32 TXD0 : P30 SCK0 : P34
	スレーブ	RXD5 : PA3 TXD5 : PA4 SCK5 : PA1	RXD1 : P33 TXD1 : P31 SCK1 : P35

3.1 マスタ送受信動作時の相違点

3.1.1 マスタ送受信動作時のタイミング相違点

クロック同期式のマスタ送受信を行う場合の相違点について説明します。

前提条件として、送信割り込み、受信割り込み、受信エラー割り込みを使用した送受信処理とし、受信エラーは未発生とします。

受信エラーが発生した場合の相違点については、「3.3.1 スレーブ受信動作時のタイミングの相違点」を参照してください。

図 3.1 に、RX と H8S の送受信タイミング相違点 (3 バイトずつ送受信する場合) を示します。

表 3.2 に、RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送受信する場合) を示します。

図 3.1 中の①～⑧の番号は、表 3.2 中の説明①～⑧に対応しています。

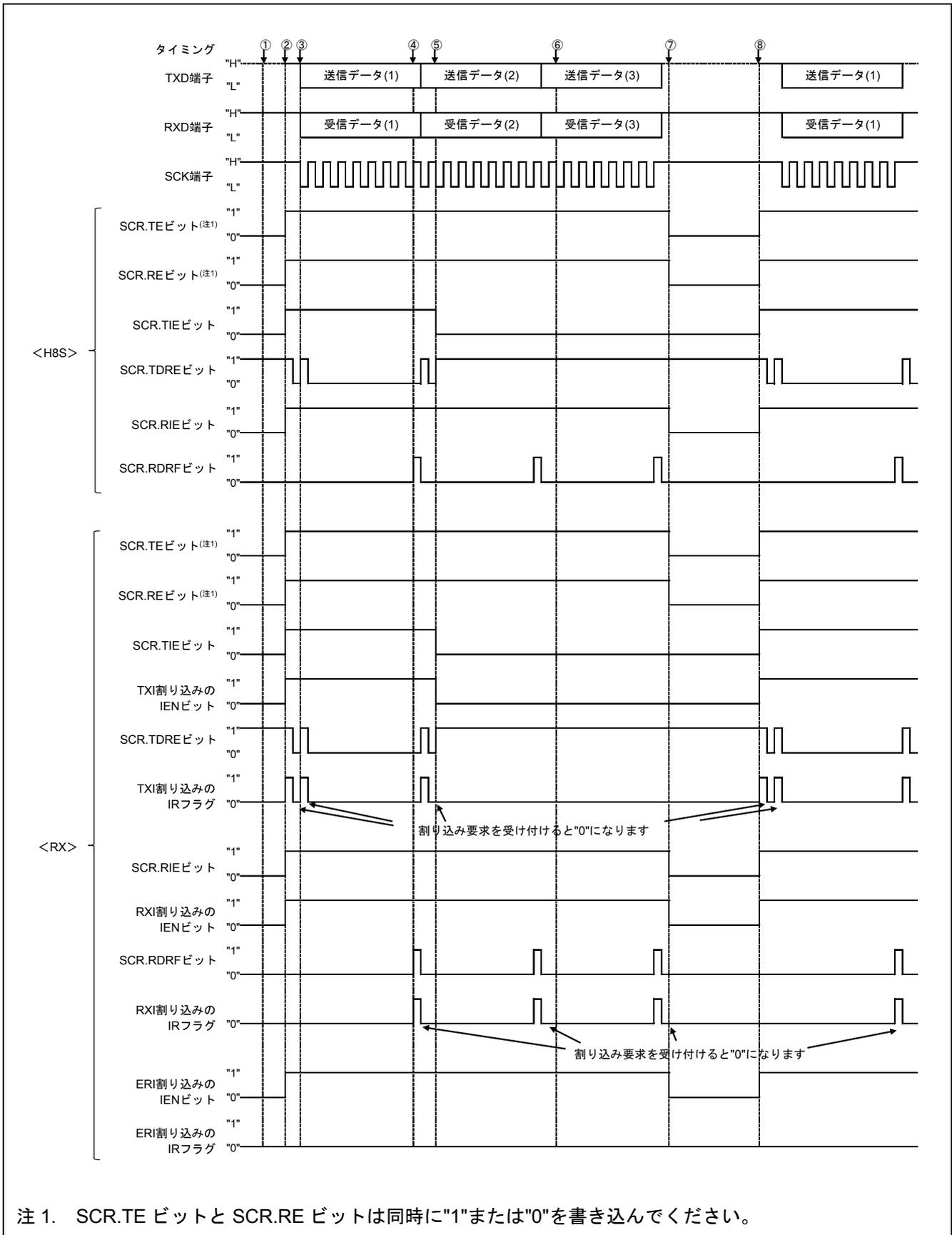


図3.1 RX と H8S の送受信タイミング相違点 (3 バイトずつ送受信する場合)

表3.2 RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送受信する場合)

タイミング	RX (RX231)	H8S (H8S/2378)
① 送信開始前	端子の機能を TXDn に設定した状態では、SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子はハイインピーダンスになります。 ^(注1)	SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子は汎用入出力ポートです。
② 送受信開始時	割り込み許可のため、以下のビットを設定します。 SCR.TIE ビットを“1” SCR.RIE ビットを“1” TXI 割り込みの IEN ビットを“1” RXI 割り込みの IEN ビットを“1” ERI 割り込みの IEN ビットを“1” また、送受信許可のため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.RE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) の IR フラグが“1”になります。送信割り込みで 1 バイト目の送信データを書き込みます。	割り込み許可のため、以下のビットを設定します。 SCR.TIE ビットを“1” SCR.RIE ビットを“1” また、送受信許可のため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.RE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) が発生します。送信割り込みで 1 バイト目の送信データを書き込みます。
③ 送信シフトレジスタに 1 バイト目の送信データ転送時	送信割り込みの IR フラグが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込みます。	SSR.TDRE ビットが 1 になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込み、SSR.TDRE ビットを“0”に設定します。
④ 受信完了時	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、受信割り込み (RXI 割り込み) の IR フラグが“1”になります。受信割り込み処理で、受信バッファから値を読み出します。	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、SSR.RDRF フラグが“1”になり、受信割り込み (RXI 割り込み) が発生します。受信割り込み処理で、受信バッファから値を読み出し、SSR.RDRF フラグを“0”に設定します。
⑤ 最終データ書き込み時の送信割り込み	送信割り込み禁止のため、以下のビットを設定します。 SCR.TIE ビットを“0” TXI 割り込みの IEN ビットを“0”	送信割り込み禁止のため、以下のビットを設定します。 SCR.TIE ビットを“0”
⑥ 最終データ書き込み後	送信割り込みは発生しません。	

タイミング	RX (RX231)	H8S (H8S/2378)
⑦ 最終データの受信完了 割り込み	<p>受信割り込み処理で、受信データを読み出したあと、割り込み禁止のため、以下のビットを設定します。</p> <p>SCR.RIE ビットを“0”</p> <p>RXI 割り込みの IEN ビットを“0”</p> <p>ERI 割り込みの IEN ビットを“0”</p> <p>また、送受信禁止のため、以下のビットを設定します。</p> <p>SCR.TE ビットを“0”</p> <p>SCR.RE ビットを“0”</p> <p>端子の機能を TXD に設定した状態で、送信禁止にすると、TXD 端子がハイインピーダンスになります。</p>	<p>受信割り込み処理で、受信データを読み出したあと、割り込み禁止のため、以下のビットを設定します。</p> <p>SCR.RIE ビットを“0”</p> <p>また、送受信禁止のため、以下のビットを設定します。</p> <p>SCR.TE ビットを“0”</p> <p>SCR.RE ビットを“0”</p> <p>送信禁止にすると、TXD 端子は汎用入出力ポートになります。</p>
⑧ 再度送受信開始時	「②送受信開始時」と同じ処理を行います。	

注 1. 詳細は、「9.4 トランスミットイネーブルビットに関する注意事項」を参照してください。

3.1.2 マスタ送受信動作時での設定手順の相違点

表 3.3 に送受信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合の手順を示します。

表 3.4 に送受信動作時の送信割り込み処理内容の相違点を示します。

表 3.5 に送受信動作時の受信割り込み処理内容の相違点を示します。

表 3.3 送受信動作時の初期設定手順の相違点

手順	RX (RX231)	H8S (H8S/2378)	
1	モジュールストップ状態を解除 ^(注1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI1) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI0 = 0;
2	送受信・割り込み禁止	SCI1.SCR.BYTE = 0x00;	SCI0.SCR.BYTE = 0x00;
3	I/O ポート機能の設定 ^(注2)	PORT1.PMR.BIT.B5 = 0; PORT2.PMR.BIT.B6 = 0; PORT1.PMR.BIT.B7 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.P15PFS.BYTE = 0x0A; MPC.P26PFS.BYTE = 0x0A; MPC.P17PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORT1.PMR.BIT.B5 = 1; PORT2.PODR.BIT.B6 = 1; PORT2.PDR.BIT.B6 = 1; PORT2.PMR.BIT.B6 = 1; PORT1.PMR.BIT.B7 = 1;	— (処理なし)
4	送受信モード等の設定	SCI1.SCR.BIT.CKE = 00b; SCI1.SIMR1.BYTE = 0x00; SCI1.SPMR.BYTE = 0x00; SCI1.SMR.BYTE = 0x81; SCI1.SCMR.BYTE = 0xF2; SCI1.SEMR.BYTE = 0x00;	SCI0.SCR.BIT.CKE = 00b; SCI0.SMR.BYTE = 0x81; SCI0.SCMR.BYTE = 0xF2;
5	ビットレートの設定 ^(注3)	SCI1.BRR = 0x95;	SCI0.BRR = 0x7C;
6	1 ビット期間ウェイト	— (処理なし)	1 ビット期間ウェイト処理
7	割り込み制御モード設定 ^(注4)	— (処理なし)	INTC.INTCR.BIT.INTM = 10b;
8	割り込み優先レベル設定 ^(注5)	IPR(SCI1,) = 0x01;	INTC.IPRI.BIT._SCI0 = 001b;
9	割り込み要求をクリア	IR(SCI1,TXI1) = 0; IR(SCI1,RXI1) = 0; IR(SCI1,ERI1) = 0;	— (処理なし)
10	周辺機能割り込み要求を許可	SCI1.SCR.BYTE = 0xF0; /* ^(注6) */	SCI0.SCR.BYTE = 0xF0; /* ^(注6) */
11	送受信許可		
12	割り込み要求を許可 ^(注7)	IEN(SCI1,TXI1) = 1; IEN(SCI1,RXI1) = 1; IEN(SCI1,ERI1) = 1; /* ^(注8) */	— (処理なし)

手順		RX (RX231)	H8S (H8S/2378)
13	プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
14	マスカブル割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。

注 3. ビットレートの詳細は、「5. ビットレートの算出方法」を参照してください。

注 4. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。

注 5. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。

注 6. SCR.TE ビットと SCR.RE ビットは同時に“1” (送信許可、受信許可) にしてください。

注 7. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

注 8. 受信エラー割り込みの仕様はマイコンにより異なります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表3.4 送受信動作時の送信割り込み処理内容の相違点

手順		RX (RX231)	H8S (H8S/2378)
1	TDRE フラグリード	— (処理なし)	if(SCI0.SSR.BIT.TDRE == 1) {
2	送信データの書き込み	/* SCI1.TDR レジスタに送信データ を書き込む */	/* SCI0.TDR レジスタに送信データ を書き込む */
3	TDRE フラグクリア	— (処理なし)	SCI0.SSR.BIT.TDRE = 0;
4	最終データ書き込み確認	if(最終データ書き込み済み?) {	if(最終データ書き込み済み?) {
5	送信割り込み禁止 (最終 データ書き込み後のみ)	IEN(SCI1, TXI1) = 0; SCI1.SCR.BIT.TIE = 0; while(0 != SCI1.SCR.BIT.TIE) { } }	SCI0.SCR.BIT.TIE = 0; while(0 != SCI1.SCR.BIT.TIE) { } } }
6	割り込み要求をクリア (最終 データ書き込み後のみ)	IR(SCI1, TXI1) = 0; while(0 != IR(SCI1, TXI1)) { } }	— (処理なし)

表3.5 送受信動作時の受信割り込み処理内容の相違点

手順		RX (RX231)	H8S (H8S/2378)
1	RDRF フラグリード	— (処理なし)	if(SCI0.SSR.BIT.RDRF == 1) {
2	受信データの読み出し	/* SCI1.RDR レジスタから受信 データを読み出し */	/* SCI0.RDR レジスタから受信 データを読み出し */
3	RDRF フラグクリア	— (処理なし)	SCI0.SSR.BIT.RDRF = 0;
4	最終データの受信確認	if(最終データの受信?) {	if(最終データの受信?) {
5	送受信禁止および受信割り込みの禁止 (最終データ受信後のみ)	IEN(SCI1,RXI1) = 0; SCI1.SCR.BYTE &= 0x0B; ^(注1) while(0x00 != (SCI1.SCR.BYTE & 0xF4)) { } }	SCI0.SCR.BYTE &= 0x0B; ^(注1) while(0x00 != (SCI0.SCR.BYTE & 0xF4)) { } } }
6	割り込み要求をクリア (最終データ書き込み後のみ)	IR(SCI1,RXI1) = 0; while(0 != IR(SCI1,RXI1)) { } }	— (処理なし)

注 1. SCR.TE ビットと SCR.RE ビットは同時に"0"(送信禁止、受信禁止)にしてください。

3.2 マスタ送信動作時の相違点

クロック同期式のマスタ送信を行う場合の相違点について説明します。

前提条件とし、送信割り込み、送信終了割り込みを使用した送信処理とします。

3.2.1 マスタ送信動作時のタイミングの相違点

図 3.2 に、RX と H8S の送信タイミング相違点(3 バイトずつ送信する場合)を示します。

表 3.6 に、RX と H8S の各タイミングでの動作および処理内容の相違点(3 バイトずつ送信する場合)を示します。

図 3.2 中の①～⑧の番号は、表 3.6 中の説明①～⑧に対応しています。

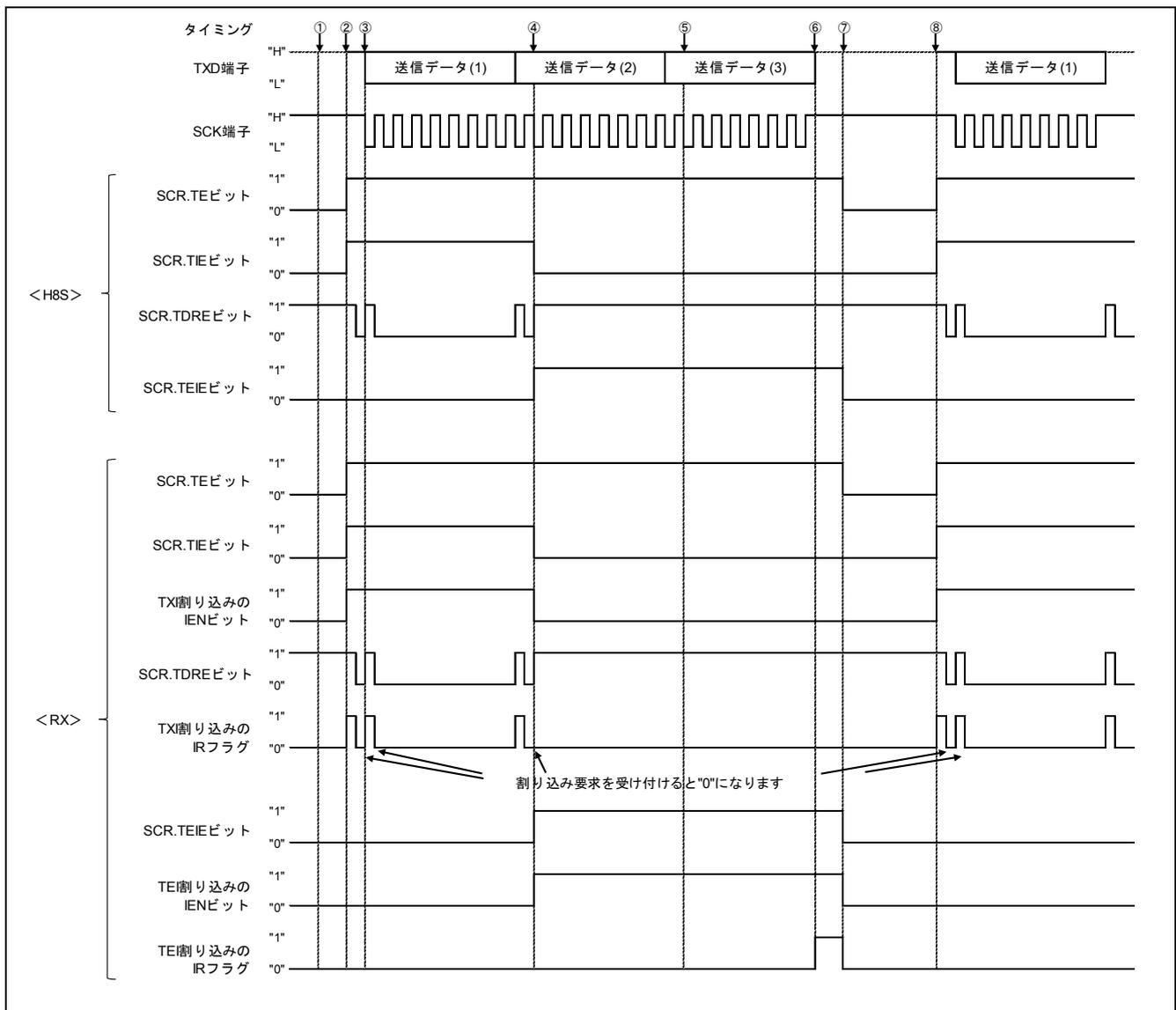


図3.2 RX と H8S の送信タイミング相違点 (3 バイトずつ送信する場合)

表3.6 RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送信する場合)

タイミング	RX (RX231)	H8S (H8S/2378)
① 送信開始前	端子の機能を TXDn に設定した状態では、SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子はハイインピーダンスになります。 ^(注1)	SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子は汎用入出力ポートです。
② 送信開始時	割り込み許可のため、以下のビットを設定します。 SCR.TIE ビットを“1” TXI 割り込みの IEN ビットを“1” また、送信許可のため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) の IR フラグが“1”になります。送信割り込みで 1 バイト目の送信データを書き込みます。	割り込み許可のため、以下のビットを設定します。 SCR.TIE ビットを“1” また、送受信許可のため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) が発生します。送信割り込みで 1 バイト目の送信データを書き込みます。
③ 送信シフトレジスタに 1 バイト目の送信データ転送時	送信割り込みの IR フラグが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込みます。	SSR.TDRE フラグが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込み、SSR.TDRE フラグを“0”に設定します。
④ 最終データ書き込み時の送信割り込み	送信割り込み禁止のため、以下のビットを設定します。 SCR.TIE ビットを“0” TXI 割り込みの IEN ビットを“0” また、送信終了割り込み許可のため、以下のビットを設定します。 SCR.TEIE ビットを“1” TEI 割り込みの IEN ビットを“1”	送信割り込み禁止のため、以下のビットを設定します。 SCR.TIE ビットを“0” また、送信終了割り込み許可のため、以下のビットを設定します。 SCR.TEIE ビットを“1”
⑤ 最終データ書き込み後	送信割り込みは発生しません。	
⑥ 送信終了時	送信終了割り込みが発生します。	
⑦ 送信終了割り込み処理	送信終了割り込み禁止のため、以下のビットを設定します。 SCR.TEIE ビットを“0” 送信終了割り込みの IEN ビットを“0” また、送信禁止のため、以下のビットを設定します。 SCR.TE ビットを“0” 端子の機能を TXD に設定した状態で、送信禁止にすると、TXD 端子がハイインピーダンスになります。	送信終了割り込み禁止のため、以下のビットを設定します。 SCR.TEIE ビットを“0” また、送信禁止のため、以下のビットを設定します。 SCR.TE ビットを“0” 送信禁止にすると、TXD 端子は汎用入出力ポートになります。
⑧ 再度送信開始時	「②送信開始時」と同じ処理を行います。	

注 1. 詳細は、「9.4 トランスミットイネーブルビットに関する注意事項」を参照してください。

3.2.2 マスタ送信動作時での設定手順の相違点

表 3.7 に送信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合の手順を示します。

表 3.8 に送信動作時の送信割り込み処理内容の相違点を示します。

表 3.9 に送信動作時の送信終了割り込み処理内容の相違点を示します。

表 3.7 送信動作時の初期設定手順の相違点

手順	RX (RX231)	H8S (H8S/2378)
1 モジュールストップ状態を解除 ^(注1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI1) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI0 = 0;
2 送受信・割り込み禁止	SCI1.SCR.BYTE = 0x00;	SCI0.SCR.BYTE = 0x00;
3 I/O ポート機能の設定 ^(注2)	PORT2.PMR.BIT.B6 = 0; PORT1.PMR.BIT.B7 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.P26PFS.BYTE = 0x0A; MPC.P17PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORT2.PODR.BIT.B6 = 1; PORT2.PDR.BIT.B6 = 1; PORT2.PMR.BIT.B6 = 1; PORT1.PMR.BIT.B7 = 1;	— (処理なし)
4 送信モード等の設定	SCI1.SCR.BIT.CKE = 00b; SCI1.SIMR1.BYTE = 0x00; SCI1.SPMR.BYTE = 0x00; SCI1.SMR.BYTE = 0x81; SCI1.SCMR.BYTE = 0xF2; SCI1.SEMR.BYTE = 0x00;	SCI0.SCR.BIT.CKE = 00b; SCI0.SMR.BYTE = 0x81; SCI0.SCMR.BYTE = 0xF2;
5 ビットレートの設定 ^(注3)	SCI1.BRR = 0x95;	SCI0.BRR = 0x7C;
6 1 ビット期間ウェイト	— (処理なし)	1 ビット期間ウェイト処理
7 割り込み制御モード設定 ^(注4)	— (処理なし)	INTC.INTCR.BIT.INTM = 10b;
8 割り込み優先レベル設定 ^(注5)	IPR(SCI1,) = 0x01;	INTC.IPRI.BIT._SCI0 = 001b;
9 割り込み要求をクリア	IR(SCI1, TXI1) = 0; IR(SCI1, TEI1) = 0;	— (処理なし)
10 周辺機能割り込み要求を許可	SCI1.SCR.BYTE = 0xA0;	SCI0.SCR.BYTE = 0xA0;
11 送信許可		
12 割り込み要求を許可 ^(注6)	IEN(SCI1, TXI1) = 1; IEN(SCI1, TEI1) = 1;	— (処理なし)
13 プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
14 マスカブル割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。

注 3. ビットレートの詳細は、「5. ビットレートの算出方法」を参照してください。

注 4. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。

注 5. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。

注 6. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

表3.8 送信動作時の送信割り込み処理内容の相違点

手順	RX (RX231)	H8S (H8S/2378)
1 TDRE フラグリード	— (処理なし)	if(SCI0.SSR.BIT.TDRE == 1) {
2 送信データの書き込み	/* SCI1.TDR レジスタに送信データ を書き込む */	/* SCI0.TDR レジスタに送信データ を書き込む */
3 TDRE フラグクリア	— (処理なし)	SCI0.SSR.BIT.TDRE = 0;
4 最終データ書き込み確認	if(最終データ書き込み済み?) {	if(最終データ書き込み済み?) {
5 送信割り込みの禁止 (最終データ書き込み後のみ)	IEN(SCI1,TX1) = 0; SCI1.SCR.BIT.TIE = 0; while(0 != SCI1.SCR.BIT.TIE) { }	SCI0.SCR.BIT.TIE = 0; while(0 != SCI0.SCR.BIT.TIE) { }
6 割り込み要求をクリア (最終データ書き込み後のみ)	IR(SCI1,TX1) = 0; while(0 != IR(SCI1,TX1)) { }	— (処理なし)
7 送信終了割り込みを許可 (最終データ書き込み後のみ)	SCI1.SCR.BIT.TEIE = 1; IEN(SCI1,TE1) = 1; }	SCI0.SCR.BIT.TEIE = 1; } }

表3.9 送信動作時の送信終了割り込み処理内容の相違点

手順	RX (RX231)	H8S (H8S/2378)
1 送信および割り込みの禁止	IEN(SCI1,TE1) = 0; SCI1.SCR.BYTE &= 0x0B; while(0x00 != (SCI1.SCR.BYTE & 0xF4)) { }	SCI0.SCR.BYTE &= 0x0B; while(0x00 != (SCI0.SCR.BYTE & 0xF4)) { }
2 割り込み要求をクリア	IR(SCI1,TE1) = 0; while(0 != IR(SCI1,TE1)) { }	- (処理なし) ^(注1)

注 1. SCR.TEIE ビットを"0"に設定すると、送信終了割り込み要求はクリアされます。

3.3 スレーブ受信動作時の相違点

クロック同期式のスレーブ受信を行う場合の相違点について説明します。

前提条件として、受信割り込み、受信エラー割り込みを使用した受信処理とし、データ受信中に他の割り込みにより受信割り込みが待たされ、オーバーランエラーが発生する例を示します。

3.3.1 スレーブ受信動作時のタイミングの相違点

図 3.3に RX と H8S のタイミング相違点 (受信時) を示します。

表 3.10に RX と H8S の各タイミングでの動作および処理内容の相違点 (受信時) を示します。

図 3.3中の①～⑥の番号は、表 3.10中の説明①～⑥に対応しています。

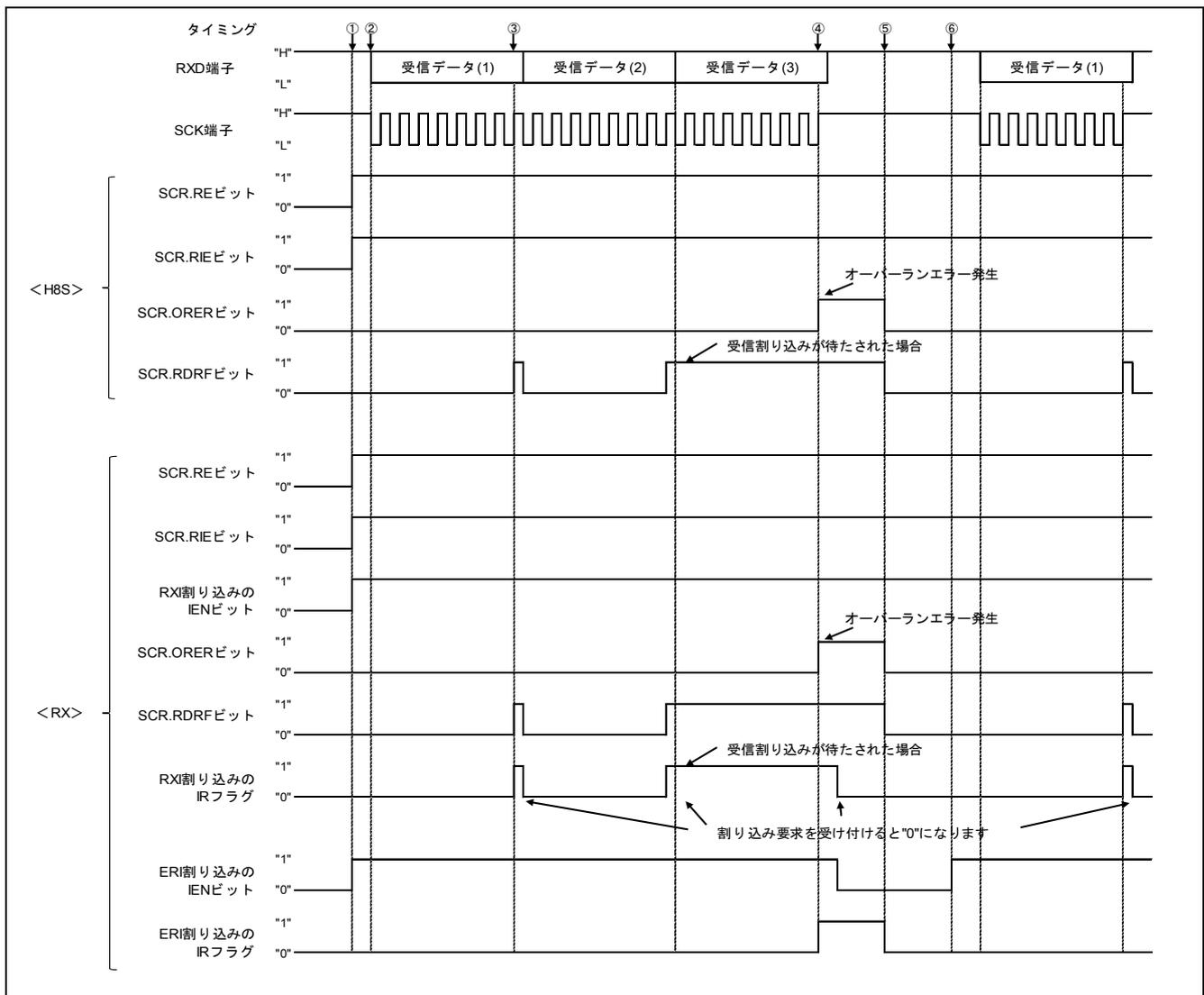


図3.3 RX と H8S のタイミング相違点 (受信時)

表3.10 RX と H8S の各タイミングでの動作および処理内容の相違点 (受信時)

タイミング	RX (RX231)	H8S (H8S/2378)
① 受信許可設定	割り込み許可のため、以下のビットを設定します。 SCR.RIE ビットを“1” RXI 割り込みの IEN ビットを“1” ERI 割り込みの IEN ビットを“1” 受信許可のため、以下のビットを設定します。 SCR.RE ビットを“1”	割り込み許可のため、以下のビットを設定します。 SCR.RIE ビットを“1” 受信許可のため、以下のビットを設定します。 SCR.RE ビットを“1”
② 受信開始	SCK 端子にクロックが入力されると、受信動作を開始します。	SCK 端子にクロックが入力されると、受信動作を開始します。
③ 受信完了時	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、受信割り込み (RXI 割り込み) の IR フラグが“1”になり、受信割り込みが発生します。受信割り込み処理で、受信バッファから値を読み出します。	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、SSR.RDRF フラグが“1”になり、受信割り込み (RXI 割り込み) が発生します。受信割り込み処理で、受信バッファから値を読み出し、SSR.RDRF フラグを“0”に設定します。
④ 受信エラー発生時	オーバランエラー発生時、受信エラー割り込み (ERI 割り込み) の IR フラグが“1”になります。ERI 割り込み処理で、受信エラー処理を行います。	オーバランエラー発生時、SSR. ORER フラグが“1”になり、ERI 割り込みが発生します。ERI 割り込み処理で、受信エラー処理を行います。
⑤ 受信エラーフラグのクリア	SSR レジスタのオーバランエラーフラグを読み出し後、“0”を書き込み、エラーフラグをクリアします。全てのエラーフラグをクリアすると、ERI 割り込みの IR フラグが“0”になり、受信許可状態となります。	SSR レジスタのオーバランエラーフラグを読み出し後、“0”を書き込み、エラーフラグをクリアします。全てのエラーフラグをクリアすると、受信許可状態となります。
⑥ 再度受信許可設定時		

3.3.2 スレーブ受信動作時での設定手順の相違点

表 3.11 に、受信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合の手順を示します。

表 3.12 に、受信動作時の受信割り込み処理内容の相違点を示します。

表 3.13 に、受信動作時の ERI 割り込み処理内容の相違点を示します。

表 3.11 受信動作時の初期設定手順の相違点

手順	RX (RX231)	H8S (H8S/2378)
1 モジュールストップ状態を解除 ^(注1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI5) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI1 = 0;
2 送受信・割り込み禁止	SCI5.SCR.BYTE = 0x00;	SCI1.SCR.BYTE = 0x00;
3 I/O ポート機能の設定 ^(注2)	PORTA.PMR.BIT.B3 = 0; PORTA.PMR.BIT.B1 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.PA3PFS.BYTE = 0x0A; MPC.PA1PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORTA.PMR.BIT.B3 = 1; PORTA.PMR.BIT.B1 = 1;	— (処理なし)
4 受信モード等の設定	SCI5.SCR.BIT.CKE = 10b; SCI5.SIMR1.BYTE = 0x00; SCI5.SPMR.BYTE = 0x00; SCI5.SMR.BIT.CM = 1; SCI5.SCMR.BYTE = 0xF2; SCI5.SEMR.BYTE = 0x00;	SCI1.SCR.BIT.CKE = 10b; SCI1.SMR.BIT.CA = 1; SCI1.SCMR.BYTE = 0xF2;
5 1 ビット期間ウェイト	— (処理なし)	1 ビット期間ウェイト処理
6 割り込み制御モード設定 ^(注3)	— (処理なし)	INTC.INTCR.BIT.INTM = 10b;
7 割り込み優先レベル設定 ^(注4)	IPR(SCI5,) = 0x01;	INTC.IPRI.BIT._SCI1 = 001b;
8 割り込み要求をクリア	IR(SCI5,RXI5) = 0;	— (処理なし)
9 周辺機能割り込み要求を許可	SCI5.SCR.BYTE = 0x50;	SCI1.SCR.BYTE = 0x50;
10 送受信許可		
11 割り込み要求を許可 ^(注5)	IEN(SCI5,RXI5) = 1; IEN(SCI5,ERI5) = 1; /* ^(注6) *	— (処理なし)
12 プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
13 マスカブル割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。

注 3. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。

注 4. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。

注 5. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

注 6. 受信エラー割り込みの仕様はマイコンにより異なります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表3.12 受信動作時の受信割り込み処理内容の相違点

手順	RX (RX231)	H8S (H8S/2378)
1 RDRF フラグリード	— (処理なし)	if(SCI1.SSR.BIT.RDRF == 1) {
2 受信データの読み出し	/* SCI5.RDR レジスタから受信データを読み出し */	/* SCI1.RDR レジスタから受信データを読み出し */
3 RDRF フラグクリア	— (処理なし)	SCI1.SSR.BIT.RDRF = 0;
4 最終データ受信確認	if(最終データの受信?) {	if(最終データの受信?) {
5 受信および割り込みの禁止 (最終データ受信後のみ)	IEN(SCI5,RXI5) = 0; IEN(SCI5,ERI5) = 0; SCI5.SCR.BYTE &= 0x0B; while(0x00 != (SCI5.SCR.BYTE & 0xF4)) { } }	SCI1.SCR.BYTE &= 0x0B; while(0x00 != (SCI1.SCR.BYTE & 0xF4)) { } }
6 割り込み要求をクリア	IR(SCI5,RXI5) = 0; while(0 != IR(SCI5,RXI5)) { } IR(SCI5,ERI5) = 0; while(0 != IR(SCI5,ERI5)) { } }	— (処理なし)

表3.13 受信動作時の ERI 割り込み処理内容の相違点

手順		RX (RX231)	H8S (H8S/2378)
1	ORER フラグリード	<code>dummy = SCI5.SSR.BIT.ORER; /* (注1) */</code>	<code>dummy = SCI1.SSR.BIT.ORER; /* (注1) */</code>
2	受信エラー発生時の処理	<code>if(dummy== 1) {</code>	<code>if(dummy== 1) {</code>
3	受信バッファのダミーリード	<code>dummy_data = SCI5.RDR;</code>	— (処理なし)
4	エラー処理	<code>/* オーバランエラー時の処理を 記載 */</code>	<code>/* オーバランエラー時の処理を 記載 */</code>
5	受信および割り込みの禁止	<code>IEN(SCI5,RXI5) = 0; IEN(SCI5,ERI5) = 0; SCI5.SCR.BYTE &= 0x0B; while(0x00 != (SCI5.SCR.BYTE & 0xF4)) { }</code>	<code>SCI1.SCR.BYTE &= 0x0B; while(0x00 != (SCI1.SCR.BYTE & 0xF4)) { }</code>
6	ORER フラグクリア	<code>SCI5.SSR.BIT.ORER = 0; while(0 != SCI5.SSR.BIT.ORER) { }</code>	<code>SCI1.SSR.BIT.ORER = 0; while(0 != SCI1.SSR.BIT.ORER) { } }</code>
7	割り込み要求をクリア	<code>IR(SCI5,RXI5) = 0; while(0 != IR(SCI5,RXI5)) { } IR(SCI5,ERI5) = 0; while(0 != IR(SCI5,ERI5)) { }</code>	— (処理なし)

注 1. ORER フラグ (オーバランエラーフラグ) をクリアする場合は、事前に“1”の状態を読み出してください。

4. 調歩同期式シリアル通信の相違点

本章では RX、H8S の調歩同期式シリアル通信の相違点を記載します。

表 4.1 に RX と H8S における調歩同期式シリアル通信の前提条件を示します。

表4.1 調歩同期式シリアル通信の条件

項目	送受信条件	
	RX (RX231)	H8S (H8S/2378)
周辺機能の動作クロック	PCLKB : 24MHz	ϕ : 20MHz
通信速度	9600bps	
データ長	8 ビット	
パリティ	なし	
ストップビット	1 ビット	
データフォーマット	LSB ファースト	
ハードウェアフロー制御	使用しない	機能なし
使用チャンネル	SCI5	チャンネル 0
使用端子	RXD5 : PA3 TXD5 : PA4	RXD0 : P32 TXD0 : P30

4.1 送信動作時の相違点

調歩同期式シリアル通信における、送信処理を行う場合の相違点について説明します。
 前提条件として、送信割り込み、送信終了割り込みを使用します。

4.1.1 送信動作時のタイミング相違点

図 4.1に、RX と H8S の送信タイミング相違点 (3 バイトずつ送信する場合) を示します。表 4.2に、RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送信する場合) を示します。

図 4.1中の①～⑧の番号は、表 4.2中の説明①～⑧に対応しています。

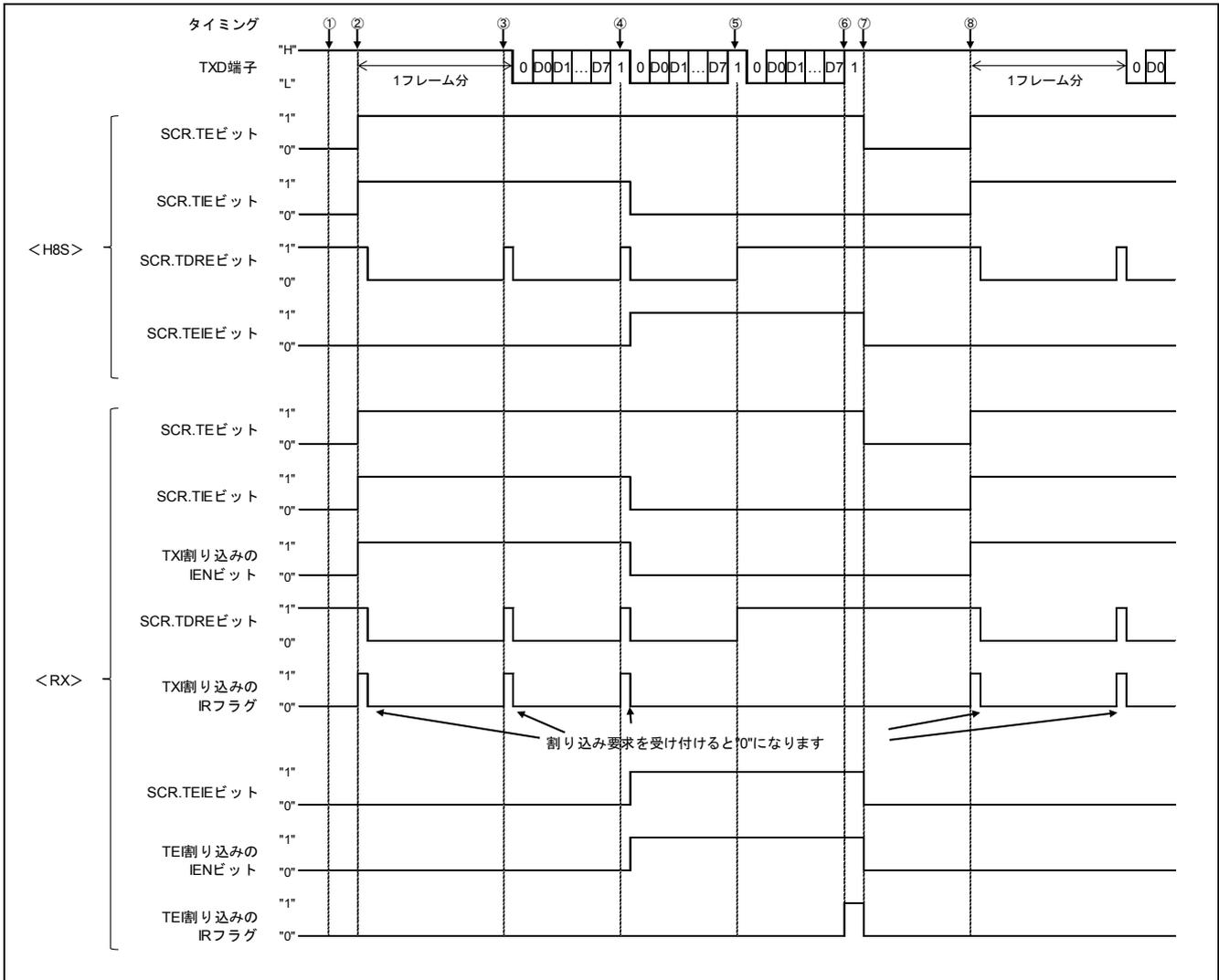


図4.1 RX と H8S の送信タイミング相違点 (3 バイトずつ送信する場合)

表4.2 RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ送信する場合)

タイミング	RX (RX231)	H8S (H8S/2378)
① 送信開始前	端子の機能を TXDn に設定した状態では、SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子はハイインピーダンスになります。 ^(注1)	SCR.TE ビットを“1” (送信許可) に設定するまで、TXD 端子は汎用入出力ポートです。
② 送信開始時	割り込み許可のため、以下のビットを設定します。 SCR.TIE ビットを“1” TXI 割り込みの IEN ビットを“1” また、送信許可のため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) の IR フラグが“1”になります。送信割り込みで 1 バイト目の送信データを書き込みます。	割り込み許可のため、以下のビットを設定します。 SCR.TIE ビットを“1” また、送信許可のため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.TE ビットを“1”にしたことにより、送信割り込み (TXI 割り込み) が発生します。送信割り込みで 1 バイト目の送信データを書き込みます。
③ 送信シフトレジスタに 1 バイト目の送信データ転送時	送信割り込みの IR フラグが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込みます。	SSR.TDRE ビットが“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込み、SSR.TDRE ビットを“0”に設定します。
④ 最終データ書き込み時の送信割り込み	送信割り込み禁止のため、以下のビットを設定します。 SCR.TIE ビットを“0” TXI 割り込みの IEN ビットを“0” また、送信終了割り込み許可のため、以下のビットを設定します。 SCR.TEIE ビットを“1” TEI 割り込みの IEN ビットを“1”	送信割り込み禁止のため、以下のビットを設定します。 SCR.TIE ビットを“0” また、送信終了割り込み許可のため、以下のビットを設定します。 SCR.TEIE ビットを“1”
⑤ 最終データ書き込み後	送信割り込みは発生しません。	
⑥ 送信終了時	送信終了割り込みが発生します。	
⑦ 送信終了割り込み処理	送信終了割り込み禁止のため、以下のビットを設定します。 SCR.TEIE ビットを“0” 送信終了割り込みの IEN ビットを“0” また、送信禁止のため、以下のビットを設定します。 SCR.TE ビットを“0” 端子の機能を TXD に設定した状態で、送信禁止にすると、TXD 端子がハイインピーダンスになります。	送信終了割り込み禁止のため、以下のビットを設定します。 SCR.TEIE ビットを“0” また、送信禁止のため、以下のビットを設定します。 SCR.TE ビットを“0” 送信を禁止にすると、TXD 端子は汎用入出力ポートになります。
⑧ 再度送信開始時	「②送信開始時」と同じ処理を行います。	

注 1. 詳細は、「9.4 トランスミットイネーブルビットに関する注意事項」を参照してください。

4.1.2 送信動作時での設定手順の相違点

表 4.3に、送信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合の手順を示します。

表 4.4に、送信動作時の送信割り込み処理内容の相違点を示します。

表 4.5に、送信動作時の送信終了割り込み処理内容の相違点を示します。

表4.3 送信動作時の初期設定手順の相違点

手順	RX (RX231)	H8S (H8S/2378)
1 モジュールストップ状態を解除 (注1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI5) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI0 = 0;
2 送受信・割り込み禁止	SCI5.SCR.BYTE = 0x00;	SCI0.SCR.BYTE = 0x00;
3 I/O ポート機能の設定 (注2)	PORTA.PMR.BIT.B4 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.PA4PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORTA.PMR.BIT.B4 = 1;	— (処理なし)
4 送信モード等の設定	SCI5.SCR.BIT.CKE = 0; SCI5.SIMR1.BYTE = 0x00; SCI5.SPMR.BYTE = 0x00; SCI5.SMR.BYTE = 0x00; SCI5.SCMR.BYTE = 0xF2; SCI5.SEMR.BYTE = 0x00;	SCI0.SCR.BIT.CKE = 0; SCI0.SMR.BYTE = 0x01; SCI0.SCMR.BYTE = 0xF2;
5 ビットレートの設定 (注3)	SCI5.BRR = 0x4D;	SCI0.BRR = 0x0F;
6 1ビット期間ウェイト	— (処理なし)	1ビット期間ウェイト処理
7 割り込み制御モード設定 (注4)	— (処理なし)	INTC.INTCR.BIT.INTM = 10b;
8 割り込み優先レベル設定 (注5)	IPR(SCI5,) = 0x01;	INTC.IPRI.BIT._SCI0 = 001b;
9 割り込み要求をクリア	IR(SCI5, TXI5) = 0;	— (処理なし)
10 周辺機能割り込み要求を許可	SCI5.SCR.BYTE = 0xA0;	SCI0.SCR.BYTE = 0xA0;
11 送信許可		
12 割り込み要求を許可 (注6)	IEN(SCI5, TXI5) = 1;	— (処理なし)
13 プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
14 マスカブル割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。

注 3. ビットレートの詳細は、「5. ビットレートの算出方法」を参照してください。

注 4. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。

注 5. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。

注 6. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

表4.4 送信動作時の送信割り込み処理内容の相違点

手順		RX (RX231)	H8S (H8S/2378)
1	TDRE フラグリード	— (処理なし)	if(SCI0.SSR.BIT.TDRE == 1) {
2	送信データの書き込み	/* SCI5.TDR レジスタに送信データ を書き込む */	/* SCI0.TDR レジスタに送信データ を書き込む */
3	TDRE フラグクリア	— (処理なし)	SCI0.SSR.BIT.TDRE = 0;
4	最終データ書き込み確認	if(最終データ書き込み済み?) {	if(最終データ書き込み済み?) {
5	送信割り込みの禁止 (最終 データ書き込み後のみ)	SCI5.SCR.BIT.TIE = 0 IEN(SCI5,TXI5) = 0; while(0 != SCI5.SCR.BIT.TIE) { }	SCI0.SCR.BIT.TIE = 0; while(0 != SCI0.SCR.BIT.TIE) { }
6	割り込み要求をクリア (最終 データ書き込み後のみ)	IR(SCI5,TXI5) = 0; while(0 != IR(SCI5,TXI5)) { }	— (処理なし)
7	送信終了割り込みを許可(最終 データ書き込み後のみ)	SCI5.SCR.BIT.TEIE = 1; IEN(SCI5,TEI5) = 1; }	SCI0.SCR.BIT.TEIE = 1; } }

表4.5 送信動作時の送信終了割り込み処理内容の相違点

手順		RX (RX231)	H8S (H8S/2378)
1	送信および割り込みの禁止	SCI5.SCR.BYTE &= 0x0B; while(0x00 != (SCI5.SCR.BYTE & 0xF4)) { }	SCI0.SCR.BYTE &= 0x0B; while(0x00 != (SCI0.SCR.BYTE & 0xF4)) { }
2	割り込み要求をクリア	IR(SCI5,TEI5) = 0; while(0 != SCI5,TEI5) { }	— (処理なし) ^(注1)

注 1. SCR.TEIE ビットを"0"に設定すると、送信終了割り込み要求はクリアされます。

4.2 受信動作時の相違点

調歩同期式シリアル通信における、受信を行う場合の相違点について説明します。

前提条件として、受信割り込み、受信エラー割り込みを使用し、受信エラーが発生した場合の処理について説明します。

4.2.1 受信動作時のタイミング相違点

図 4.2に、RX と H8S の受信タイミング相違点 (3 バイトずつ受信する場合) を示します。

表 4.6に、RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ受信する場合) を示します。図 4.2中の①～⑥の番号は、表 4.6中の説明①～⑥に対応しています。

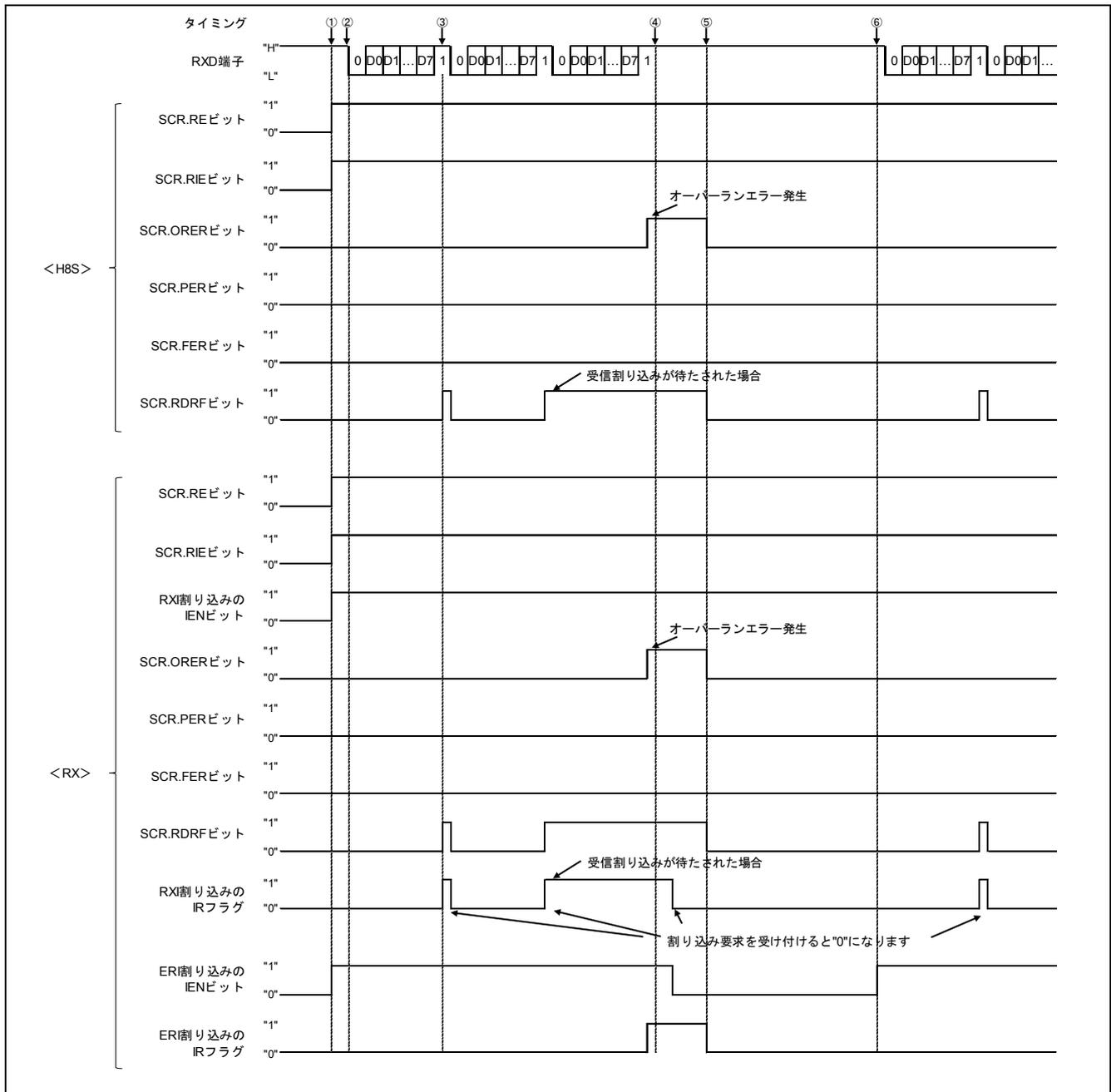


図4.2 RX と H8S の受信タイミング相違点 (3 バイトずつ受信する場合)

表4.6 RX と H8S の各タイミングでの動作および処理内容の相違点 (3 バイトずつ受信する場合)

タイミング	RX (RX231)	H8S (H8S/2378)
① 受信許可設定	割り込み許可のため、以下のビットを設定します。 SCR.RIE ビットを“1” RXI 割り込みの IEN ビットを“1” ERI 割り込みの IEN ビットを“1” 受信許可のため、以下のビットを設定します。 SCR.RE ビットを“1”	割り込み許可のため、以下のビットを設定します。 SCR.RIE ビットを“1” 受信許可のため、以下のビットを設定します。 SCR.RE ビットを“1”
② 受信開始	スタートビットを検出すると、受信動作を開始します。	スタートビットを検出すると、受信動作を開始します。
③ 受信完了時	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、受信割り込み (RXI 割り込み) の IR フラグが“1”になり、受信割り込みが発生します。受信割り込み処理で、受信バッファから値を読み出します。	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、SSR.RDRF フラグが“1”になり、受信割り込み (RXI 割り込み) が発生します。受信割り込み処理で、受信バッファから値を読み出し、SSR.RDRF フラグを“0”に設定します。
④ 受信エラー発生時	オーバランエラー発生時、受信エラー割り込み (ERI 割り込み) の IR フラグが“1”になります。ERI 割り込み処理で、受信エラー処理を行います。	オーバランエラー発生時、SSR. ORER フラグが“1”になり、ERI 割り込みが発生します。ERI 割り込み処理で、受信エラー処理を行います。
⑤ 受信エラーフラグのクリア	SSR レジスタのオーバランエラーフラグを読み出し後、“0”を書き込み、エラーフラグをクリアします。全てのエラーフラグをクリアすると、ERI 割り込みの IR フラグが“0”になり、受信許可状態となります。	SSR レジスタのオーバランエラーフラグを読み出し後、“0”を書き込み、エラーフラグをクリアします。全てのエラーフラグをクリアすると、受信許可状態となります。
⑥ 再度受信許可設定時		

4.2.2 受信動作時での設定手順の相違点

表 4.7に、受信動作時の初期設定手順の相違点を示します。H8S の初期設定手順は、割り込み制御モード 2 を使用する場合の手順を示します。

表 4.8に、受信動作時の受信割り込み処理内容の相違点を示します。

表 4.9に、受信動作時の ERI 割り込み処理内容の相違点を示します。

表4.7 受信動作時の初期設定手順の相違点

手順		RX (RX231)	H8S (H8S/2378)
1	モジュールストップ状態を解除 (注1)	SYSTEM.PRCR.WORD = 0xA502; MSTP(SCI5) = 0; SYSTEM.PRCR.WORD = 0xA500;	MSTPCR.BIT._SCI0 = 0;
2	送受信・割り込み禁止	SCI5.SCR.BYTE = 0x00;	SCI0.SCR.BYTE = 0x00;
3	I/O ポート機能の設定 (注2)	PORTA.PMR.BIT.B3 = 0; MPC.PWPR.BIT.B0WI = 0; MPC.PWPR.BIT.PFSWE = 1; MPC.PA3PFS.BYTE = 0x0A; MPC.PWPR.BIT.PFSWE = 0; MPC.PWPR.BIT.B0WI = 1; PORTA.PMR.BIT.B3 = 1;	— (処理なし)
4	受信モード等の設定	SCI5.SCR.BIT.CKE = 0; SCI5.SIMR1.BYTE = 0x00; SCI5.SPMR.BYTE = 0x00; SCI5.SMR.BYTE = 0x00; SCI5.SCMR.BYTE = 0xF2; SCI5.SEMR.BYTE = 0x00;	SCI0.SCR.BIT.CKE = 0; SCI0.SMR.BYTE = 0x01; SCI0.SCMR.BYTE = 0xF2;
5	ビットレートの設定 (注3)	SCI5.BRR = 0x4D;	SCI0.BRR = 0x0F;
6	1 ビット期間ウェイト	— (処理なし)	1 ビット期間ウェイト処理
7	割り込み制御モード設定 (注4)	— (処理なし)	INTC.INTCR.BIT.INTM = 10b;
8	割り込み優先レベル設定 (注5)	IPR(SCI5,) = 0x01;	INTC.IPRI.BIT._SCI0 = 001b;
9	割り込み要求をクリア	IR(SCI5,RX15) = 0; IR(SCI5,ERI5) = 0;	— (処理なし)
10	周辺機能割り込み要求を許可	SCI5.SCR.BYTE = 0x50;	SCI0.SCR.BYTE = 0x50;
11	送受信許可		
12	割り込み要求を許可 (注6)	IEN(SCI5,RX15) = 1; IEN(SCI5,ERI5) = 1; /* (注7) */	— (処理なし)
13	プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
14	マスク可能割り込みの許可	setpsw_i();	— (処理なし)

注 1. モジュールストップ機能については、「7. モジュールストップ機能」を参照してください。

注 2. RX では MPC で周辺機能の端子設定を行います。詳細は「9.1 入出力ポート」を参照してください。

注 3. ビットレートの詳細は、「5. ビットレートの算出方法」を参照してください。

注 4. RX には割り込み制御モードはありません。詳細は「6. 割り込みの相違点」を参照してください。

注 5. 割り込み優先レベルの設定方法の詳細は、「6. 割り込みの相違点」を参照してください。

注 6. 割り込み要求を許可にする方法が異なります。詳細は「6. 割り込みの相違点」を参照してください。

注 7. 受信エラー割り込みの仕様はマイコンにより異なります。詳細はユーザーズマニュアル ハードウェア編を参照してください。

表4.8 受信動作時の受信割り込み処理内容の相違点

手順	RX (RX231)	H8S (H8S/2378)
1 RDRF フラグリード	— (処理なし)	if(SCI0.SSR.BIT.RDRF == 1) {
2 受信データの読み出し	/* SCI5.RDR レジスタから受信データを読み出し */	/* SCI0.RDR レジスタから受信データを読み出し */
3 RDRF フラグクリア	— (処理なし)	SCI0.SSR.BIT.RDRF = 0;
4 最終データの受信確認	if(最終データの受信?) {	if(最終データの受信?) {
5 送受信および割り込みの禁止 (最終データ受信後のみ)	SCI5.SCR.BYTE &= 0x0F; while(0x00 != (SCI5.SCR.BYTE & 0xF0)) { }	SCI0.SCR.BYTE &= 0x0F; while(0x00 != (SCI0.SCR.BYTE & 0xF0)) { } } }
6 割り込み要求をクリア (最終データ書き込み後のみ)	IR(SCI5,RXI5) = 0; while(0 != IR(SCI5,RXI5)) { } }	— (処理なし)

表4.9 受信動作時の ERI 割り込み処理内容の相違点

手順		RX (RX231)	H8S (H8S/2378)
1	ORER フラグリード	<code>dummy = SCI5.SSR.BIT.ORER;</code> <code>/* (注1) */</code>	<code>dummy = SCI0.SSR.BIT.ORER;</code> <code>/* (注1) */</code>
2	オーバランエラー発生時の処理	<code>if(dummy== 1)</code> { <code>/* オーバランエラー発生時の処理を記載 (注2) */</code> }	<code>if(dummy== 1)</code> { <code>/* オーバランエラー発生時の処理を記載 */</code> }
3	FER フラグリード	<code>dummy = SCI5.SSR.BIT.FER;</code> <code>/* (注1) */</code>	<code>dummy = SCI0.SSR.BIT.FER;</code> <code>/* (注1) */</code>
4	フレーミングエラー発生時の処理	<code>if(dummy== 1)</code> { <code>/* フレーミングエラー発生時の処理を記載 (注3) */</code> }	
5	PER フラグリード	<code>dummy = SCI5.SSR.BIT.PER;</code> <code>/* (注1) */</code>	<code>dummy = SCI0.SSR.BIT.PER;</code> <code>/* (注1) */</code>
6	パリティエラー発生時の処理	<code>if(dummy== 1)</code> { <code>/*パリティエラー発生時の処理を記載 */</code> }	
7	受信エラーのクリア	<code>SCI5.SSR.BYTE &= 0xC7;</code> <code>while(0 != (SCI5.SSR.BYTE & 0x38))</code> { }	<code>SCI0.SSR.BYTE &= 0xC7;</code> <code>while(0 != (SCI0.SSR.BYTE & 0x38))</code> { }
8	割り込み要求をクリア	<code>IR(SCI5,ERI5) = 0;</code> <code>while(0 != IR(SCI5,ERI5))</code> { }	— (処理なし)

注 1. ORER フラグ (オーバランエラーフラグ)、FER フラグ (フレーミングエラーフラグ)、PER フラグ (パリティエラーフラグ) をクリアする場合は、事前に“1”の状態を読み出してください。

注 2. RX のオーバランエラー処理では、RDR レジスタをリードしてください。

注 3. フレーミングエラーでブレークを検出した場合は、SCR.RE ビットを 0 に設定し、受信を禁止してください。

5. ビットレートの算出方法

表 5.1 に、BRR レジスタの設定値 N とビットレート B の関係を示します。また、表 5.1 に示す計算式は、RX と H8S で同一です。

表 5.1 BRR レジスタの設定値 N とビットレート B の関係

モード	RX (RX231)	H8S (H8S/2378)
クロック同期式	$N = (\text{PCLK} \times 10^6 / (64 \times 2^{2n-1} \times B)) - 1$	$B = \phi \times 10^6 / (8 \times 2^{2n-1} \times (N+1))$
調歩同期式	(SEMR の BDGM=0、ABCS=0 の場合) $N = (\text{PCLK} \times 10^6 / (64 \times 2^{2n-1} \times B)) - 1$	$B = \phi \times 10^6 / (64 \times 2^{2n-1} \times (N+1))$
	(SEMR の BDGM=0、ABCS=1 の場合) (SEMR の BDGM=1、ABCS=0 の場合) $N = (\text{PCLK} \times 10^6 / (32 \times 2^{2n-1} \times B)) - 1$	
	(SEMR の BDGM=1、ABCS=1 の場合) $N = (\text{PCLK} \times 10^6 / (16 \times 2^{2n-1} \times B)) - 1$	

B : ビットレート [bps]

N : BRR レジスタの設定値 ($0 \leq N \leq 255$)

PCLK または ϕ : 動作周波数 [MHz]

n : SMR の設定値によって決まります。SMR の設定値と n の関係を下表に示します。

SMR の設定値と n の関係は、RX と H8S で同一です。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

表 5.2 に、表 5.1 中の SEMR.BDGM ビット、SEMR.ABCS ビットの機能を示します。

表 5.2 SEMR.BDGM ビット、SEMR.ABCS ビットの機能

ビット名	機能
BDGM	ポーレートジェネレータ倍速モードセレクトビット (調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0 : ポーレートジェネレータから通常の周波数のクロックを出力 1 : ポーレートジェネレータから 2 倍の周波数のクロックを出力
ABCS	調歩同期基本クロックセレクトビット (調歩同期式モードのみ有効) 0 : 基本クロック 16 サイクルの期間が 1 ビット期間の転送レートになります 1 : 基本クロック 8 サイクルの期間が 1 ビット期間の転送レートになります

6. 割り込みの相違点

RX は H8S と異なり、周辺機能毎の割り込み許可ビット・割り込み要求ビットに加え、割り込みコントローラに周辺機能の割り込み許可ビット・割り込み要求ビットがあります。

表 6.1 に SCI0 の割り込み関連リソースの相違点を示します。

表 6.1 中の IER_m レジスタ (m = 02h~1Fh)、IR_n レジスタ (n = 割り込みベクタ番号) は、割り込みコントローラのレジスタです。

IER_m レジスタの各ビットと割り込み要因の対応、割り込みベクタ番号については、ユーザーズマニュアルハードウェア編の割り込みコントローラの章を参照してください。

表 6.1 SCI0 の割り込み関連リソースの相違点

項 目		RX (RX231)				H8S (H8S/2378)			
		ERI0	RXI0	TXI0	TEI0	ERI0	RXI0	TXI0	TEI0
割り込み許可レジスタ (許可ビット)	周辺機能 (SCI0)	SCR.RIE		SCR. TIE	SCR. TEIE	SCR.RIE		SCR. TIE	SCR. TEIE
	割り込み コント ローラ	IER1A. IEN6	IER1A. IEN7	IER1B. IEN0	IER1B. IEN1	なし			
割り込み要求 レジスタ (要因フラグ)	周辺機能 (SCI0)	SSR. ORER SSR. FER SSR. PER	SSR. RDRF	SSR. TDRE	SSR. TEND	SSR. ORER SSR. FER SSR. PER	SSR. RDRF	SSR. TDRE	SSR. TEND
	割り込み コント ローラ	IR214. IR	IR215. IR	IR216. IR	IR217. IR	なし			

RX では、下記の条件を満たすときに割り込みを受け付けることができます。

- I フラグ (PSW.I ビット) が“1”であること。
- ICU の IER、IPR レジスタで割り込み許可に設定されていること。
- 周辺機能の割り込み要求許可ビットで、割り込み要求が許可されていること。

表 6.2 に、RX と H8S の割り込みの発生条件についての比較表を示します。

表6.2 RX と H8S の割り込みの発生条件についての比較表

項目	RX (RX231)	H8S (H8S/2378)
割り込み許可ビット (I ビット)	PSW レジスタの I ビットを“1” (許可) にすると、マスカブル割り込みの受け付けが許可されます。	割り込み制御モード 0 の場合、CCR レジスタの I ビットを“0” (許可) にすると、マスカブル割り込みの受け付けが許可されます。 割り込み制御モード 2 の場合は、CCR レジスタの I ビットは使用しません。
プロセッサ割り込み優先レベル	PSW レジスタの IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみが受け付けられます。	割り込み制御モード 2 の場合、EXR レジスタの I2~I0 ビットが示すレベルより高いレベルの割り込み要求のみが受け付けられます。 割り込み制御モード 0 の場合は、EXR レジスタの I2~I0 ビットは使用しません。
割り込み優先レベル	IPR レジスタで設定します。	割り込み制御モード 0 の場合はデフォルトの設定となります。 割り込み制御モード 2 の場合は、IPR レジスタの設定となります。
割り込み要求フラグ	周辺機能、外部端子、NMI 割り込み等の全ての割り込みステータスフラグを割り込みコントローラで管理します。	外部割り込みは、割り込みコントローラ、内部割り込み要因は、各内蔵周辺機能内で割り込みステータスフラグを管理します。
割り込み要求許可	マスカブル割り込みは IER レジスタ、ノンマスカブル割り込みは NMIER レジスタで設定します。	IER レジスタで IRQ 割り込み許可を設定します。
周辺機能の割り込み許可	各周辺機能で割り込みの許可、禁止を設定できます。	

表 6.3に、プロセッサ割り込み許可と優先レベルの相違点を示します。

RX では、PSW.I ビットを“1” (割り込み許可) に設定すると、プロセッサ割り込み優先レベルはデフォルトで優先レベル 0 (最低レベル) になっているため、マスカブル割り込み許可になります。

H8S の割り込み制御モード 0 では、CCR.I ビットを“0” (割り込み許可) に設定すると、プロセッサ割り込み優先レベルは使用しないため、マスカブル割り込み許可になります。

H8S の割り込み制御モード 2 では、プロセッサ割り込み優先レベルはデフォルトで優先レベル 7 (最高レベル) になっているため、EXR.I2~I0 ビットを設定することで、マスカブル割り込み許可になります。

表6.3 プロセッサ割り込み許可と優先レベルの相違点

項目	RX (RX231)	H8S (H8S/2378)	
		割り込み制御モード 0	割り込み制御モード 2
割り込み許可 デフォルト値	PSW.I ビット : 0 (割り込みマスク)	CCR.I ビット : 1 (割り込みマスク)	使用しない ^(注1)
プロセッサ割り込み優先レベル デフォルト値	PSW.IPL[3:0]ビット : 0000b(最低レベル)	使用しない ^(注1)	EXR.I2~I0 ビット : 111b (最高レベル)
リセット後の動作	マスカブル割り込みを受け付けない		

注 1. Don't care

表 6.4に、割り込み許可に使用する組み込み関数 (一部) を示します。

表6.4 割り込み許可に使用する組み込み関数 (一部)

項目	記述		
	RX (RX231)	H8S (H8S/2378)	
		割り込み制御モード 0	割り込み制御モード 2
プロセッサ割り込み許可設定	setpsw_i(); ^(注1)	set_imask_ccr(0); ^(注1)	使用しない
プロセッサ割り込み優先レベルの設定 (“0”に設定する場合)	set_ipi(0); ^(注1)	使用しない	set_imask_exr(0); ^(注1)

注 1. “machine.h”のインクルードが必要です。

詳細は、ユーザーズマニュアル ハードウェア編の割り込みコントローラ (ICU)、CPU、使用する周辺機能の章を参照してください。

7. モジュールストップ機能

H8S、RX は周辺モジュールごとに機能を停止させることが可能です。

使用しない周辺モジュールをモジュールストップ状態へ遷移させることで、消費電力を低減することができます。リセット解除後は、表 7.1 に示すモジュール以外はモジュールストップ状態になっています。

表7.1 RX、H8S の初期設定時動作しているモジュール

RX (RX231)	H8S (H8S/2378)
DMAC、DTC、RAM	EXDMAC、DMAC、DTC

モジュールストップ状態のモジュールのレジスタは、読み書きできません。

表 7.1 に示すモジュール以外のモジュールを使用する場合は、モジュールストップ状態を解除した後、初期設定等を行ってください。

詳細は、ユーザーズマニュアル ハードウェア編の消費電力低減機能の章を参照してください。

8. レジスタライトプロテクション機能

RX では、プログラムが暴走したときに備えて、重要なレジスタを書き換えられないように保護することが可能です。プロテクトレジスタ(PCR)によって、保護するレジスタを設定します。

クロック発生回路関連レジスタ、フラッシュメモリ関連レジスタ、動作モード関連レジスタ、消費電力低減機能関連レジスタ、ローパワータイマ関連レジスタ、LVD 関連レジスタ、ソフトウェアリセットレジスタを保護することが可能です。

詳細は、ユーザーズマニュアル ハードウェア編のレジスタライトプロテクション機能の章を参照ください。

9. H8S から RX へ置き換えるときのポイント

H8S から RX へ置き換えるときのポイントについて、以下に示します。

9.1 入出力ポート

RX では、周辺機能の入出力信号を端子に割り当てるには、MPC の設定を行う必要があります。

RX の端子の入出力制御を行う前に以下の 2 つの設定を行ってください。

- MPC の PFS レジスタ：該当端子に割り当てる周辺機能の選択
- I/O ポートの PMR レジスタ：該当端子に汎用入出力ポート/周辺機能を割り当てるかの選択

表 9.1 に、RX と H8S の周辺機能端子の入出力設定についての比較表を示します。

表9.1 RX と H8S の周辺機能端子の入出力設定についての比較表

機能	RX (RX231)	H8S (H8S/2378)
端子の機能選択	PFS レジスタを設定することで、周辺機能の入出力を複数の端子から選択して割り付けることができます。	MCU 動作モード、SYSCR.EXPE ビット、PFCR レジスタ、DDR レジスタ、各周辺機能の設定の組み合わせにより、汎用入出力ポート/周辺機能の切り替え、また端子の機能選択が可能です。
汎用入出力ポート/ 周辺機能の切り替え	PMR レジスタを設定することで、対象端子を I/O ポートとして使用するか、周辺機能として使用するかを選択できます。	

詳細は、ユーザーズマニュアル ハードウェア編のマルチファンクションピンコントローラ (MPC) と、I/O ポートの章を参照してください。

9.2 I/O レジスタマクロ

RX の I/O レジスタの定義 (iodefine.h) 内では、下記のマクロ定義を用意しています。

マクロ定義を使用することで可読性の高いプログラムを記載できます。

表 9.2 に、マクロの使用例を示します。

表9.2 マクロの使用例

マクロ	使用例
IR("module name", "bit name")	IR(MTU0, TGIA0) = 0; MTU0 の TGIA0 に対応した IR フラグを“0” (割り込み要求をクリア) にします。
DTCE("module name", "bit name")	DTCE(MTU0, TGIA0) = 1; MTU0 の TGIA0 に対応した DTCE ビットを“1” (DTC 起動を許可) にします。
IEN("module name", "bit name")	IEN(MTU0, TGIA0) = 1; MTU0 の TGIA0 に対応した IEN ビットを“1” (割り込みを許可) にします。
IPR("module name", "bit name")	IPR(MTU0, TGIA0) = 0x02; MTU0 の TGIA0 に対応した IPR ビットを“2” (割り込み優先レベルを“2”) にします。
MSTP("module name")	MSTP(MTU) = 0; MTU0 のモジュールストップ設定ビットを“0” (モジュールストップ状態を解除) にします。
VECT("module name", "bit name")	#pragma interrupt(Excep_MTU0_TGIA0(vect=VECT(MTU0, TGIA0))) MTU0 の TGIA0 に対応した割り込み関数を宣言します。

9.3 組み込み関数

RX では、制御レジスタの設定や特殊命令用に組み込み関数を用意しています。組み込み関数を使用する場合は、`machine.h` をインクルードしてください。

表 9.3 に、RX と H8S の制御レジスタの設定や特殊命令などの記述の相違点 (一例) を示します。

表9.3 RX と H8S の制御レジスタの設定や特殊命令などの記述の相違点 (一例)

項目	記述	
	RX (RX231)	H8S (H8S/2378)
I フラグを"1"にする	<code>setpsw_i();</code> (注 1)	<code>set_imask_ccr(1);</code> (注 1) (注 2)
I フラグを"0"にする	<code>clrpsw_i();</code> (注 1)	<code>set_imask_ccr(0);</code> (注 1) (注 2)
WAIT 命令に展開します。	<code>wait();</code> (注 1)	なし
NOP 命令に展開します。	<code>nop();</code> (注 1)	<code>nop();</code> (注 1)

注 1. "machine.h" のインクルードが必要です。

注 2. RX では I = 1 のとき割り込み許可、H8S では I = 1 のとき割り込みマスクを意味します。

9.4 トランスミットイネーブルビットに関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) SCR.TE ビットを“0” にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
また、SCR.TE ビットを“1” にしてから、端子の機能を「TXDn」に変更する。

10. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

H8S/2378 グループ、H8S/2378R グループ ハードウェアマニュアル Rev.7.00 (RJJ09B0094-0700)

RX230 グループ、RX231 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0496JJ0110)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

アプリケーションノート

RX ファミリ、M16C ファミリ M16C から RX への置き換えガイド クロック同期式シリアル通信編

Rev.1.00 (R01AN1927JJ0100)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

CC-RX コンパイラ ユーザーズマニュアル Rev.1.03 (R20UT3248JJ0103)

H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンカージェディタ コンパイラパッケージ Ver.7.00 ユーザーズマニュアル (RJJ10J2552-0100)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2017.11.13	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を生じさせるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.3.0-1 2016.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>