

RX23E-B グループ RX23E-A グループ

RX23E-B グループと RX23E-A グループの相違点

要旨

本アプリケーションノートは、主に RX23E-B グループ、RX23E-A グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートで特に記載のない箇所については RX23E-B, RX23E-A グループの 48 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順の仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX23E-B グループ、RX23E-A グループ

目次

1. RX23E-B グループと RX23E-A グループの搭載機能比較.....	3
2. 仕様の概要比較	5
2.1 電圧検出回路	6
2.2 クロック発生回路	11
2.3 クロック周波数精度測定回路	14
2.4 消費電力低減機能	16
2.5 レジスタライトプロテクション機能	20
2.6 割り込みコントローラ	21
2.7 バス	22
2.8 イベントリンクコントローラ	23
2.9 I/O ポート	27
2.10 マルチファンクションピンコントローラ	31
2.11 ローパワータイマ	41
2.12 シリアルコミュニケーションインタフェース	42
2.13 シリアルペリフェラルインタフェース	45
2.14 アナログフロントエンド	48
2.15 24 ビット Δ - Σ A/D コンバータ	54
2.16 12 ビット A/D コンバータ	58
2.17 パッケージ	62
3. 端子機能の比較	63
3.1 48 ピンパッケージ	63
3.2 40 ピンパッケージ	65
4. 移行の際の留意点	67
4.1 機能設定の留意点	67
4.1.1 ポート方向レジスタ(PDR)の初期化	67
4.1.2 DSAD の動作クロック	67
5. 参考ドキュメント	68
改訂記録	70

1. RX23E-B グループと RX23E-A グループの搭載機能比較

RX23E-B グループと RX23E-A グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX23E-A/RX23E-B 搭載機能比較を示します。

表 1.1 RX23E-A/RX23E-B 搭載機能比較

機能名	RX23E-A	RX23E-B
CPU	○	
動作モード	○	
アドレス空間	○	
リセット	○	
オプション設定メモリ (OFSM)	○	
電圧検出回路 (LVDAb)	●	
クロック発生回路	●	
クロック周波数精度測定回路 (CAC)	●	
消費電力低減機能	●/▲	
レジスタライトプロテクション機能	●	
例外処理	○	
割り込みコントローラ (ICUb)	●	
バス	●/▲	
メモリプロテクションユニット (MPU)	○	
DMA コントローラ (DMACA)	○	
データトランスファコントローラ (DTCa)	○	
イベントリンクコントローラ (ELC)	●/■	
I/O ポート	●/▲	
マルチファンクションピンコントローラ (MPC)	●/▲/■	
マルチファンクションタイマパルスユニット 2 (MTU2a)	○	
ポートアウトプットイネーブル 2 (POE2a)	○	
8 ビットタイマ (TMRa)	○	
コンペアマッチタイマ (CMT)	○	
リアルタイムクロック (RTCc)	×	○
ローパワータイマ (LPT)	●	
独立ウォッチドッグタイマ (IWDTa)	○	
シリアルコミュニケーションインタフェース(SCIg, SCIf)	●	
I ² C バスインタフェース (RIICa)	○	
CAN モジュール (RSCAN)	○	
シリアルペリフェラルインタフェース(RSPIb):RX23E-A, (RSPIf):RX23E-B	●/▲	
CRC 演算器 (CRC)	○	
LCD コントローラ/ドライバ(LCDC)	×	○
アナログフロントエンド (AFE):RX23E-A, (AFEa):RX23E-B	●/▲/■	
24 ビット Δ-Σ A/D コンバータ (DSADA):RX23E-A, (DSADB): RX23E-B	●/▲/■	
12 ビット A/D コンバータ (S12ADE)	●	
16 ビット D/A コンバータ (R16DA)	×	○
データ演算回路 (DOC)	○	

機能名	RX23E-A	RX23E-B
RAM	○	
フラッシュメモリ (FLASH)	○	
パッケージ		●

○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり
■:機能削除による差分あり

2. 仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は赤字にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は赤字に、いずれかのグループにしか存在しない項目は黒字でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1 電圧検出回路

表 2.1 に電圧検出回路の概要比較を、表 2.2 に電圧検出回路のレジスタ比較を示します。

また、表 2.3 に Vdet2 のモニタの設定手順比較を、表 2.4 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順比較を示します。

表 2.1 電圧検出回路の概要比較

項目		RX23E-A(LVDAb)			RX23E-B(LVDAb)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
							LVCMPCR. EXVCCINP2 ビットで VCC と CMPA2 端 子への入力電 圧の切り替え 可能
	検出電圧	OFS1 レジスタで 4 レベルから選択可能	LVDLVLR.LV D1LVL[3:0] ビットで 14 レベルから選択可能	LVDLVLR.LV D2LVL[1:0] ビットで 4 レベルから選択可能	OFS1 レジスタで 4 レベルから選択可能	LVDLVLR.LV D1LVL[3:0] ビットで 14 レベルから選択可能	LVDLVLR.LV D2LVL[1:0] ビットで 4 レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD 1MON フラグ： Vdet1 より高いか低いかをモニタ	LVD2SR.LVD 2MON フラグ： Vdet2 より高いか低いかをモニタ	なし	LVD1SR.LVD 1MON フラグ： Vdet1 より高いか低いかをモニタ	LVD2SR.LVD 2MON フラグ： Vdet2 より高いか低いかをモニタ
			LVD1SR.LVD 1DET フラグ： Vdet1 通過検出	LVD2SR.LVD 2DET フラグ： Vdet2 通過検出		LVD1SR.LVD 1DET フラグ： Vdet1 通過検出	LVD2SR.LVD 2DET フラグ： Vdet2 通過検出

項目		RX23E-A(LVDAb)			RX23E-B(LVDAb)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後 に CPU 動作 再開	Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後 に CPU 動作 再開、または Vdet1 >VCC の一定時間後 に CPU 動作 再開を選択可 能	Vdet2 > VCC でリセット： VCC > Vdet2 の一定時間後 に CPU 動作 再開、または Vdet2 >VCC の一定時間後 に CPU 動作 再開を選択可 能	Vdet0 > VCC でリセット： VCC > Vdet0 の一定時間後 に CPU 動作 再開	Vdet1 > VCC でリセット： VCC > Vdet1 の一定時間後 に CPU 動作 再開、または Vdet1 >VCC の一定時間後 に CPU 動作 再開を選択可 能	Vdet2 > VCC または CMPA2 端子 でリセット： VCC または CMPA2 端子 > Vdet2 の一 定時間後に CPU 動作再 開、または Vdet2 > VCC または CMPA2 端子 の一定時間後 に CPU 動作 再開を選択可 能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクア ブルまたはマス カブルを選択 可能	ノンマスクア ブルまたはマス カブルを選択 可能		ノンマスクア ブルまたはマス カブルを選択 可能	ノンマスクア ブルまたはマス カブルを選択 可能
Vdet1 > VCC、VCC > Vdet1 の両 方、またはど ちらかで割り 込み要求			Vdet2 > VCC、VCC > Vdet2 の両 方、またはど ちらかで割り 込み要求	Vdet1 > VCC、VCC > Vdet1 の両 方、またはど ちらかで割り 込み要求		Vdet2 > VCC または CMPA2 端 子、VCC ま たは CMPA2 端子> Vdet2 の両方、また はどちらかで 割り込み要求	
イベントリンク機能		なし	あり Vdet1 通過検 出イベント出 力	あり Vdet2 通過検 出イベント出 力	なし	あり Vdet1 通過検 出イベント出 力	あり Vdet2 通過検 出イベント出 力

表 2.2 電圧検出回路のレジスタ比較

レジスタ	ビット	RX23E-A(LVDAb)	RX23E-B(LVDAb)
LVD2CR1	LVD2IDTSEL [1:0]	電圧監視 2 割り込み ELC イベント発生 条件選択ビット b1 b0 0 0 : VCC $\geq$ Vdet2 (上昇)検出時 0 1 : VCC < Vdet2 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	電圧監視 2 割り込み ELC イベント発生 条件選択ビット b1 b0 0 0 : VCC または CMPA2 端子 $\geq$ Vdet2 (上昇)検出時 0 1 : VCC または CMPA2 端子 < Vdet2 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください
LVD2SR	LVD2MON	電圧監視 2 信号モニタフラグ 0 : VCC < Vdet2 1 : VCC $\geq$ Vdet2 または LVD2MON 無 効	電圧監視 2 信号モニタフラグ 0 : VCC または CMPA2 端子 < Vdet2 1 : VCC または CMPA2 端子 $\geq$ Vdet2 または LVD2MON 無効
LVCMPCR	EXVCCINP2	—	電圧検出 2 比較電圧外部入力選択ビッ ト
LVD2CR0	LVD2RN	電圧監視 2 リセットネゲート選択ビッ ト 0 : VCC > Vdet2 検出から一定時間 (tLVD2)経過後にネゲート 1 : 電圧監視 2 リセットアサートから 一定時間(tLVD2)経過後にネゲート	電圧監視 2 リセットネゲート選択ビッ ト 0 : VCC または CMPA2 端子 > Vdet2 検出から一定時間(tLVD2)経過後に ネゲート 1 : 電圧監視 2 リセットアサートから 一定時間(tLVD2)経過後にネゲート

表 2.3 Vdet2 のモニタの設定手順比較

項目		RX23E-A(LVDAb)	RX23E-B(LVDAb)
Vdet2 のモニタの設定手順	1	LVDLVLR.LVD2LVL[1:0]ビット(電圧検出 2 検出電圧)を設定する	LVDLVLR.LVD2LVL[1:0]ビット(電圧検出 2 検出電圧)を設定する
	2	—	LVCMPCR.EXVCCINP2 ビットを “0” (VCC 電圧) または “1” (CMPA2 端子入力電圧) にする。
	3	LVCMPCR.LVD2E ビットを“1”(電圧検出 2 回路有効)にする	LVCMPCR.LVD2E ビットを“1”(電圧検出 2 回路有効)にする
	4	td(E-A)以上待つ	td(E-A)以上待つ
	5	LVD2CR0.LVD2CMPE ビットを“1”(電圧監視 2 回路比較結果出力許可)にする	LVD2CR0.LVD2CMPE ビットを“1”(電圧監視 2 回路比較結果出力許可)にする

表 2.4 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順比較

項目		RX23E-A(LVDAb)	RX23E-B(LVDAb)
電圧監視 2 割り込み、 電圧監視 2ELC イベント出力	1	LVDLVLR.LVD2LVL[1:0]ビットで検出電圧を選択する	LVDLVLR.LVD2LVL[1:0]ビットで検出電圧を選択する
	2	—	LVCMPCR.EXVCCINP2 ビットを“0” (VCC 電圧)または“1” (CMPA2 端子入力電圧)にする
	3	LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み)にする	LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み)にする
	4	LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する	LVD2CR1.LVD2IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する
	5	LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効)にする	LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効)にする
	6	td(E-A)以上待つ	td(E-A)以上待つ
	7	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可)にする	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可)にする
	8	2μs 以上待つ	2μs 以上待つ
	9	LVD2SR.LVD2DET ビットを“0”にする	LVD2SR.LVD2DET ビットを“0”にする
	10	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可)にする	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可)にする
電圧監視 2 リセット	1	LVDLVLR.LVD2LVL[1:0]ビットで検出電圧を選択する	LVDLVLR.LVD2LVL[1:0]ビットで検出電圧を選択する
	2	—	LVCMPCR.EXVCCINP2 ビットを“0” (VCC 電圧)または“1” (CMPA2 端子入力電圧)にする
	3	LVD2CR0.LVD2RI ビットを“1” (電圧監視 2 リセット)にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。	LVD2CR0.LVD2RI ビットを“1” (電圧監視 2 リセット)にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。
	4	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可)にする	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可)にする
	5	LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効)にする	LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効)にする
	6	td(E-A)以上待つ	td(E-A)以上待つ
	7	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可)にする	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可)にする

2.2 クロック発生回路

表 2.5 にクロック発生回路の概要比較を、表 2.6 にクロック発生回路のレジスタ比較を示します。

表 2.5 クロック発生回路の概要比較

項目	RX23E-A	RX23E-B
用途	• CPU、DMAC、DTC、ROM および RAM に供給されるシステムクロック(ICLK)の生成 • 周辺モジュールに供給される周辺モジュールクロック(PCLKA, PCLKB, PCLKD)の生成 周辺モジュールクロック(PCLKA)は MTU2 用、周辺モジュールクロック(PCLKD)は S12AD 用、周辺モジュールクロック(PCLKB)は MTU2、S12AD 以外の周辺モジュール用の動作クロックです。 • FlashIF に供給される FlashIF クロック(FCLK)の生成 • CAC に供給される CAC クロック(CACCLK)の生成 • IWDTC に供給される IWDTC 専用クロック(IWDTCCLK)の生成 • CAN に供給される CAN クロック(CANMCLK)の生成 • LPT に供給される LPT クロック(LPTCLK)の生成	• CPU、DMAC、DTC、ROM および RAM に供給されるシステムクロック(ICLK)の生成 • 周辺モジュールに供給される周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)の生成 周辺モジュールクロック(PCLKA)は MTU2 用、周辺モジュールクロック(PCLKC)は DSAD 用、周辺モジュールクロック(PCLKD)は S12AD 用、周辺モジュールクロック(PCLKB)は MTU2、DSAD、S12AD 以外の周辺モジュール用の動作クロックです。 • FlashIF に供給される FlashIF クロック(FCLK)の生成 • CAC に供給される CAC クロック(CACCLK)の生成 • IWDTC に供給される IWDTC 専用クロック(IWDTCCLK)の生成 • CAN に供給される CAN クロック(CANMCLK)の生成 • RTC に供給される RTC 専用サブクロック(RTCSCLK)の生成 • LPT に供給される LPT クロック(LPTCLK)の生成 • LCD に供給される LCD ソースクロック(LCDSRCCLK)の生成
動作周波数	• ICLK : 32MHz (max) • PCLKA : 32MHz (max) • PCLKB : 32MHz (max) • PCLKD : 32MHz (max) • FCLK : - 1MHz~32MHz (ROM、E2 データフラッシュ P/E 時) - 32MHz (max) (E2 データフラッシュ読み出し時) • CACCLK : 各発振器のクロックと同じ • IWDTCCLK : 15kHz • CANMCLK : 20MHz (max) • LPTCLK : 選択した発振器のクロックと同じ	• ICLK : 32MHz (max) • PCLKA : 32MHz (max) • PCLKB : 32MHz (max) • PCLKC : 32MHz (max) • PCLKD : 32MHz (max) • FCLK : - 1MHz~32MHz (ROM、E2 データフラッシュ P/E 時) - 32MHz (max) (E2 データフラッシュ読み出し時) • CACCLK : 各発振器のクロックと同じ • IWDTCCLK : 15kHz • CANMCLK : 20MHz (max) • RTCSCLK : 32.768kHz • LPTCLK : 選択した発振器のクロックと同じ • LCDSRCCLK : 各発振器のクロックと同じ

項目	RX23E-A	RX23E-B
メインクロック 発振器	- 発振子周波数 : 1MHz~20MHz (VCC$\geq$2.4V), 1MHz~8MHz (VCC < 2.4V) - 外部クロック入力周波数 : 20MHz (max) - 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL, XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に 切り替える機能、MTU の端子をハイイン ピーダンスにする機能 - ドライブ能力を切り替える機能	- 発振子周波数 : 1MHz~20MHz (VCC$\geq$2.4V), 1MHz~8MHz (VCC < 2.4V) - 外部クロック入力周波数 : 20MHz (max) - 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL, XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に 切り替える機能、MTU の端子をハイイン ピーダンスにする機能 - ドライブ能力を切り替える機能
サブクロック 発振器	—	- 発振子周波数 : 32.768kHz - 接続できる発振子、または付加回路 : 水晶振動子 - 接続端子 : XCIN、XCOUT
PLL 回路	- 入力クロック源 : メインクロック - 入力分周比 : 1、2、4 分周から選択可能 - 入力周波数 : 4MHz~8MHz - 逡倍比 : 4~8 逡倍(0.5 刻み)から選択可能 - 発振周波数 : 24MHz~32MHz (VCC$\geq$2.4V)	- 入力クロック源 : メインクロック - 入力分周比 : 1、2、4 分周から選択可能 - 入力周波数 : 4MHz~8MHz - 逡倍比 : 4~8 逡倍(0.5 刻み)から選択可能 - 発振周波数 : 24MHz~32MHz (VCC$\geq$2.4V)
高速オンチップ オシレータ (HOCO)	発振周波数 : 32MHz	発振周波数 : 32MHz
低速オンチップ オシレータ (LOCO)	発振周波数 : 4MHz	発振周波数 : 4MHz
IWDT 専用 オンチップ オシレータ	発振周波数 : 15kHz	発振周波数 : 15kHz

表 2.6 クロック発生回路のレジスタ比較

レジスタ	ビット	RX23E-A	RX23E-B
SCKCR	—	システムクロックコントロールレジスタ リセット後の初期値が異なります	システムクロックコントロールレジスタ
	PCKC[3:0]	—	周辺モジュールクロック C (PCLKC) 選択ビット
SCKCR3	CKSEL[2:0]	クロックソース選択ビット b10 b8 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択 0 1 0 : メインクロック発振器選択 1 0 0 : PLL 回路選択 上記以外は設定しないでください	クロックソース選択ビット b10 b8 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択 0 1 0 : メインクロック発振器選択 0 1 1 : サブクロック発振器選択 1 0 0 : PLL 回路選択 上記以外は設定しないでください
SOSCCR	—	—	サブクロック発振器コントロールレジスタ
LCDCLKCR	—	—	LCD ソースクロックコントロールレジスタ
LCDCLKCR2	—	—	LCD ソースクロックコントロールレジスタ 2
CKOCR	CKOSEL[3:0]	CLKOUT 出力ソース選択ビット b11 b8 0 0 0 0 : LOCO クロック 0 0 0 1 : HOCO クロック 0 0 1 0 : メインクロック 0 1 0 0 : PLL 上記以外は設定しないでください	CLKOUT 出力ソース選択ビット b11 b8 0 0 0 0 : LOCO クロック 0 0 0 1 : HOCO クロック 0 0 1 0 : メインクロック 0 0 1 1 : サブクロック 0 1 0 0 : PLL 上記以外は設定しないでください

2.3 クロック周波数精度測定回路

表 2.7 にクロック周波数精度測定回路の概要比較を、表 2.8 にクロック周波数精度測定回路のレジスタ比較を示します。

表 2.7 クロック周波数精度測定回路の概要比較

項目	RX23E-A(CAC)	RX23E-B(CAC)
測定対象クロック	以下のクロックの周波数を測定可能 - メインクロック - HOCO クロック - LOCO クロック - IWDT 専用クロック(IWDTCLK) - 周辺モジュールクロック B(PCLKB)	以下のクロックの周波数を測定可能 - メインクロック - サブクロック - HOCO クロック - LOCO クロック - IWDT 専用クロック(IWDTCLK) - 周辺モジュールクロック B(PCLKB)
測定基準クロック	- 外部から CACREF 端子に入力したクロック - メインクロック - HOCO クロック - LOCO クロック - IWDT 専用クロック(IWDTCLK) - 周辺モジュールクロック B(PCLKB)	- 外部から CACREF 端子に入力したクロック - メインクロック - サブクロック - HOCO クロック - LOCO クロック - IWDT 専用クロック(IWDTCLK) - 周辺モジュールクロック B(PCLKB)
選択機能	デジタルフィルタ機能	デジタルフィルタ機能
割り込み要因	- 測定終了割り込み - 周波数エラー割り込み - オーバフロー割り込み	- 測定終了割り込み - 周波数エラー割り込み - オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への設定が可能

表 2.8 クロック周波数精度測定回路のレジスタ比較

レジスタ	ビット	RX23E-A(CAC))	RX23E-B(CAC)
CACR1	FMCS[2:0]	測定対象クロック選択ビット b3 b1 000 : メインクロック 010 : HOCO クロック 011 : LOCO クロック 100 : IWDТ 専用クロック (IWDTCLK) 101 : 周辺モジュールクロック B(PCLKB) 上記以外は設定しないでください	測定対象クロック選択ビット b3 b1 000 : メインクロック 001 : サブクロック 010 : HOCO クロック 011 : LOCO クロック 100 : IWDТ 専用クロック (IWDTCLK) 101 : 周辺モジュールクロック B(PCLKB) 上記以外は設定しないでください
CACR2	RSCS[2:0]	測定基準クロック選択ビット b3 b1 000 : メインクロック 010 : HOCO クロック 011 : LOCO クロック 100 : IWDТ 専用クロック (IWDTCLK) 101 : 周辺モジュールクロック B(PCLKB) 上記以外は設定しないでください	測定基準クロック選択ビット b3 b1 000 : メインクロック 001 : サブクロック 010 : HOCO クロック 011 : LOCO クロック 100 : IWDТ 専用クロック (IWDTCLK) 101 : 周辺モジュールクロック B(PCLKB) 上記以外は設定しないでください

2.4 消費電力低減機能

表 2.9 に消費電力低減機能の概要比較を、表 2.10 に各モードにおける遷移および解除方法と動作状態の比較を、表 2.11 に消費電力低減機能のレジスタ比較を示します。

表 2.9 消費電力低減機能の概要比較

項目	RX23E-A	RX23E-B
クロックの切り替えによる消費電力の低減	システムクロック(ICLK)、高速周辺モジュールクロック(PCLKA)、周辺モジュールクロック(PCLKB)、S12AD 用クロック(PCLKD)、FlashIF クロック(FCLK)に対し、個別に分周比を設定することが可能	システムクロック(ICLK)、高速周辺モジュールクロック(PCLKA)、周辺モジュールクロック(PCLKB)、 DSAD 用クロック(PCLKC) 、S12AD 用クロック(PCLKD)、FlashIF クロック(FCLK)に対し、個別に分周比を設定することが可能
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - ディープスリープモード - ソフトウェアスタンバイモード	- スリープモード - ディープスリープモード - ソフトウェアスタンバイモード
動作電力低減機能	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 - 動作電力制御状態：2 種類 - 高速動作モード - 中速動作モード	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 - 動作電力制御状態：3 種類 - 高速動作モード - 中速動作モード 低速動作モード

表 2.10 各モードにおける遷移および解除方法と動作状態の比較

モード	遷移および解除方法と動作状態	RX23E-A	RX23E-B
スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)
	メインクロック発振器	動作可能	動作可能
	サブクロック発振器	—	動作可能
	高速オンチップオシレータ	動作可能	動作可能
	低速オンチップオシレータ	動作可能	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	動作可能	動作可能
	CPU	停止(保持)	停止(保持)
	RAM(0000 0000h~0000 FFFFh)	動作可能(保持)	動作可能(保持)
	DMAC	動作可能	動作可能
	DTC	動作可能	動作可能
	フラッシュメモリ	動作	動作
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	リアルタイムクロック(RTC)	—	動作可能
	ローパワータイマ(LPT)	動作可能	動作可能

モード	遷移および解除方法と動作状態	RX23E-A	RX23E-B
スリープモード	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作可能	動作可能
	I/O ポート	動作	動作
	RTCOUT 出力	—	動作可能
	CLKOUT 出力	動作可能	動作可能
	LCD コントローラ/ドライバ	—	動作可能
ディープ スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作可能	動作可能
	サブクロック発振器	—	動作可能
	高速オンチップオシレータ	動作可能	動作可能
	低速オンチップオシレータ	動作可能	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	動作可能	動作可能
	CPU	停止(保持)	停止(保持)
	RAM(0000 0000h~0000 FFFFh)	停止(保持)	停止(保持)
	DMAC	停止(保持)	停止(保持)
	DTC	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	リアルタイムクロック(RTC)	—	動作可能
	ローパワータイマ(LPT)	動作可能	動作可能
	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作可能	動作可能
	I/O ポート	動作	動作
	RTCOUT 出力	—	動作可能
	CLKOUT 出力	動作可能	動作可能
	LCD コントローラ/ドライバ	—	動作可能
ソフトウェア スタンバイ モード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	停止	停止
	サブクロック発振器	—	動作可能
	高速オンチップオシレータ	停止	停止
	低速オンチップオシレータ	停止	停止
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	停止	停止
	CPU	停止(保持)	停止(保持)
	RAM(0000 0000h~0000 FFFFh)	停止(保持)	停止(保持)
	DMAC	停止(保持)	停止(保持)
	DTC	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能

モード	遷移および解除方法と動作状態	RX23E-A	RX23E-B
ソフトウェアスタンバイモード	リアルタイムクロック(RTC)	—	動作可能
	ローパワータイマ(LPT)	動作可能	動作可能
	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O ポート	保持	保持
	RTCOOUT 出力	—	動作可能
	CLKOUT 出力	停止	動作可能
	LCD コントローラ/ドライバ	—	動作可能

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

表 2.11 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX23E-A	RX23E-B
MSTPCRA	MSTPA19	—	16 ビット D/A コンバータ 0 モジュール ストップ設定ビット
	MSTPA26	DSAD1 モジュールストップ設定ビット	—
MSTPCRB	MSTPB31	—	シリアルコミュニケーション インタフェース 0 モジュールストップ設 定ビット
MSTPCRC	MSTPC26	—	シリアルコミュニケーション インタフェース 9 モジュールストップ 設定ビット
	MSTPC27	—	シリアルコミュニケーション インタフェース 8 モジュールストップ 設定ビット
MSTPCRD	—	—	モジュールストップコントロールレジス タ D
SOPCCR	—	—	サブ動作電力コントロールレジスタ

2.5 レジスタライトプロテクション機能

表 2.12 にレジスタライトプロテクション機能の概要比較を示します。

表 2.12 レジスタライトプロテクション機能の概要比較

項目	RX23E-A	RX23E-B
PRC0 ビット	クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, MOSCCR, LOCOCR, ILOCOCR, HOCOGR, OSTDCR, OSTDSR, CKOCR, LOCOTRR, ILOCOTRR, HOCOTRR0	クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOGR, OSTDCR, OSTDSR, CKOCR, LCDSCLKCR, LCDSCLKCR2, LOCOTRR, ILOCOTRR, HOCOTRR0
PRC1 ビット	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, OPCCR - クロック発生回路関連レジスタ MOFCR, MOSCWTCR - ソフトウェアリセットレジスタ SWRR	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, OPCCR, SOPCCR, RSTCKCR - クロック発生回路関連レジスタ MOFCR, MOSCWTCR - ソフトウェアリセットレジスタ SWRR
PRC2 ビット	ローパワータイマ関連レジスタ LPTCR1, LPTCR2, LPTCR3, LTPRD, LPCMR0, LPWUCR	ローパワータイマ関連レジスタ LPTCR1, LPTCR2, LPTCR3, LTPRD, LPCMR0, LPWUCR
PRC3 ビット	LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR	LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

2.6 割り込みコントローラ

表 2.13 に割り込みコントローラの概要比較を示します。

表 2.13 割り込みコントローラの概要比較

項目		RX23E-A(ICUb)	RX23E-B(ICUb)
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	- IRQ0～IRQ7 端子からの割り込み - 要因数：8 - 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能：あり	- IRQ0～IRQ7 端子からの割り込み - 要因数：8 - 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能：あり
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数：1	- レジスタ書き込みによる割り込み - 要因数：1
	イベントリンク割り込み	ELC イベントより、ELSR8I、ELSR18I、ELSR19I 割り込みを発生	ELC イベントより、ELSR8I、ELSR18I、ELSR19I 割り込みを発生
	割り込み優先順位	レジスタにより優先順位を設定	レジスタにより優先順位を設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。1 要因にのみ設定	CPU の割り込み処理を高速化可能。1 要因にのみ設定
	DTC、DMAC 制御	割り込み要因により DTC や DMAC の起動が可能	割り込み要因により DTC や DMAC の起動が可能
	ノンマスクابل割り込み	- NMI 端子からの割り込み - 割り込み検出：立ち下がりエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり	- NMI 端子からの割り込み - 割り込み検出：立ち下がりエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり
ノンマスクابل割り込み	発振停止検出割り込み	発振停止検出時の割り込み	発振停止検出時の割り込み
	IWDT アンダフロー/リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視 1 割り込み	電圧検出回路 1 (LVD1)の電圧監視割り込み	電圧検出回路 1 (LVD1)の電圧監視割り込み
	電圧監視 2 割り込み	電圧検出回路 2 (LVD2)の電圧監視割り込み	電圧検出回路 2 (LVD2)の電圧監視割り込み
	低消費電力状態からの復帰	すべてのノンマスクابل割り込み、すべての割り込みで復帰	すべてのノンマスクابل割り込み、すべての割り込みで復帰
低消費電力状態からの復帰	ソフトウェアスタンバイモード	発振停止検出割り込みを除くノンマスクابل割り込み、外部端子割り込み (IRQ0～IRQ7)、周辺機能割り込み(電圧監視 1、電圧監視 2)、ELSR8I 割り込み (LPT 専用割り込み)で復帰	発振停止検出割り込みを除くノンマスクابل割り込み、外部端子割り込み (IRQ0～IRQ7)、周辺機能割り込み(電圧監視 1、電圧監視 2、 RTC アラーム/周期)、ELSR8I 割り込み(LPT 専用割り込み)で復帰

2.7 バス

表 2.14 にバスの概要比較を示します。

表 2.14 バスの概要比較

項目		RX23E-A	RX23E-B
CPU バス	命令バス	• CPU(命令)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作	• CPU(命令)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作
	オペランドバス	• CPU(オペランド)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作	• CPU(オペランド)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	• RAM を接続	• RAM を接続
	メモリバス 2	• ROM を接続	• ROM を接続
内部メインバス	内部メインバス 1	• CPU を接続 • システムクロック(ICLK)に同期して動作	• CPU を接続 • システムクロック(ICLK)に同期して動作
	内部メインバス 2	• DTC, DMAC を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作	• DTC, DMAC を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	• 周辺機能(DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作	• 周辺機能(DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作
	内部周辺バス 2	• 周辺機能(内部周辺バス 1, 3, 4 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作	• 周辺機能(内部周辺バス 1, 3, 4 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 3	• 周辺機能(RSCAN, DSAD0, DSAD1, AFE)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作	• 周辺機能(RSCAN, DSAD, AFE, LCDC, R16DA)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 4	• 周辺機能(MTU2)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作	• 周辺機能(MTU2)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス 6	• フラッシュ制御モジュール、E2 データフラッシュを接続 • FlashIF クロック(FCLK)に同期して動作	• フラッシュ制御モジュール、E2 データフラッシュを接続 • FlashIF クロック(FCLK)に同期して動作

2.8 イベントリンクコントローラ

表 2.15 にイベントリンクコントローラの概要比較を、表 2.16 にイベントリンクコントローラのレジスタ比較を、表 2.17 に ELSRn レジスタと周辺モジュールの対応を、表 2.18 に ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応を示します。

表 2.15 イベントリンクコントローラの概要比較

項目	RX23E-A(ELC)	RX23E-B(ELC)
イベントリンク機能	56 種類のイベント信号を、直接周辺モジュールへリンク可能 - タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 - ポート B のイベントリンク動作が可能 - シングルポート^(注1) : 指定した 1 本のポートにイベントリンクの動作設定が可能	61 種類のイベント信号を、直接周辺モジュールへリンク可能 - タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 - ポート B、ポート E のイベントリンク動作が可能 - シングルポート^(注1) : 指定した 1 本のポートにイベントリンクの動作設定が可能 ポートグループ^(注1) : 最大 8 本あるポートの内、指定した複数本のポートをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能

注 1. 入力に設定されているシングルポート、ポートグループでは、対応する端子への入力信号が変化するとイベントが発生します。RX23E-B グループでは、80 ピンおよび 64 ピンパッケージ製品において、ポート切り替えレジスタ B (PSRB) で PC2 を選択した場合、PB1 をリンク動作させることはできません。

表 2.16 イベントリンクコントローラのレジスタ比較

レジスタ	ビット	RX23E-A(ELC)	RX23E-B(ELC)
ELSRn	—	イベントリンク設定レジスタ n (n = 1~4, 7, 8, 10, 12, 15, 18, 19, 24, 25, 28, 29, 46, 47)	イベントリンク設定レジスタ n (n = 1~4, 7, 8, 10, 12, 15, 16 , 18~29, 46)
PGRn	—	—	ポートグループ指定レジスタ n (n = 1, 2)
PGCn	—	—	ポートグループコントロールレジスタ n (n = 1, 2)
PDBFn	—	—	ポートバッファレジスタ n (n = 1, 2)
PELm	—	イベント接続ポート指定レジスタ n (m = 0, 1)	イベント接続ポート指定レジスタ n (m = 0~ 3)
	PSP[1:0]	ポート番号指定ビット b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : 設定しないでください 1 1 : 設定しないでください	ポート番号指定ビット b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : ポート E (PGR2 レジスタに対応) 1 1 : 設定しないでください

表 2.17 ELSRn レジスタと周辺モジュールの対応

レジスタ	RX23E-A(ELC)	RX23E-B(ELC)
ELSR1	MTU1	MTU1
ELSR2	MTU2	MTU2
ELSR3	MTU3	MTU3
ELSR4	MTU4	MTU4
ELSR7	CMT1	CMT1
ELSR8	ICU (LPT 専用割り込み) ^(注1)	ICU (LPT 専用割り込み) ^(注1)
ELSR10	TMR0	TMR0
ELSR12	TMR2	TMR2
ELSR15	S12AD	S12AD
ELSR16	—	DA0
ELSR18	ICU (割り込み 1) ^(注2)	ICU (割り込み 1) ^(注2)
ELSR19	ICU (割り込み 2) ^(注2)	ICU (割り込み 2) ^(注2)
ELSR20	—	出力ポートグループ 1
ELSR21	—	出力ポートグループ 2
ELSR22	—	入力ポートグループ 1
ELSR23	—	入力ポートグループ 2
ELSR24	シングルポート 0 ^(注3)	シングルポート 0 ^(注3)
ELSR25	シングルポート 1 ^(注3)	シングルポート 1 ^(注3)
ELSR26	—	シングルポート 2 ^(注3)
ELSR27	—	シングルポート 3 ^(注3)
ELSR28	クロックソースを LOCO へ切り替え	クロックソースを LOCO へ切り替え
ELSR29	POE	POE
ELSR46	DSAD0	DSAD0
ELSR47	DSAD1	—

注 1. イベント信号は“32h” (LPT・コンペアマッチ)を指定してください。

注 2. イベント信号は RX23E-A グループでは“65h”～“6Ah”、RX23E-B グループでは“63h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

注 3. RX23E-A グループでは ELSR24、ELSR25 レジスタに、RX23E-B グループでは ELSR24、ELSR25、ELSR26、ELSR27 レジスタに DOC・データ演算条件成立信号(6Ah)は、設定しないでください。

表 2.18 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応

ELS[7:0] ビットの値	周辺 モジュール	RX23E-A (ELC)	RX23E-B(ELC)
08h	マルチファンクション タイマパルス ユニット 2	MTU1・コンペアマッチ 1A	MTU1・コンペアマッチ 1A
09h		MTU1・コンペアマッチ 1B	MTU1・コンペアマッチ 1B
0Ah		MTU1・オーバフロー	MTU1・オーバフロー
0Bh		MTU1・アンダフロー	MTU1・アンダフロー
0Ch		MTU2・コンペアマッチ 2A	MTU2・コンペアマッチ 2A
0Dh		MTU2・コンペアマッチ 2B	MTU2・コンペアマッチ 2B
0Eh		MTU2・オーバフロー	MTU2・オーバフロー
0Fh		MTU2・アンダフロー	MTU2・アンダフロー
10h		MTU3・コンペアマッチ 3A	MTU3・コンペアマッチ 3A
11h		MTU3・コンペアマッチ 3B	MTU3・コンペアマッチ 3B
12h		MTU3・コンペアマッチ 3C	MTU3・コンペアマッチ 3C
13h		MTU3・コンペアマッチ 3D	MTU3・コンペアマッチ 3D
14h		MTU3・オーバフロー	MTU3・オーバフロー
15h		MTU4・コンペアマッチ 4A	MTU4・コンペアマッチ 4A
16h		MTU4・コンペアマッチ 4B	MTU4・コンペアマッチ 4B
17h		MTU4・コンペアマッチ 4C	MTU4・コンペアマッチ 4C
18h		MTU4・コンペアマッチ 4D	MTU4・コンペアマッチ 4D
19h		MTU4・オーバフロー	MTU4・オーバフロー
1Ah		MTU4・アンダフロー	MTU4・アンダフロー
1Fh	コンペアマッチタイマ	CMT1・コンペアマッチ 1	CMT1・コンペアマッチ 1
22h	8 ビットタイマ	TMR0・コンペアマッチ A0	TMR0・コンペアマッチ A0
23h		TMR0・コンペアマッチ B0	TMR0・コンペアマッチ B0
24h		TMR0・オーバフロー	TMR0・オーバフロー
28h		TMR2・コンペアマッチ A2	TMR2・コンペアマッチ A2
29h		TMR2・コンペアマッチ B2	TMR2・コンペアマッチ B2
2Ah		TMR2・オーバフロー	TMR2・オーバフロー
2Eh	リアルタイムクロック	—	RTC・周期イベント(1/256 秒、1/128 秒、1/64 秒、1/32 秒、1/16 秒、1/8 秒、1/4 秒、1/2 秒、1 秒、2 秒から選択)
31h	独立ウォッチドッグタイマ	IWDT・アンダフロー・リフレッシュエラー	IWDT・アンダフロー・リフレッシュエラー
32h	ローパワータイマ	LPT・コンペアマッチ	LPT・コンペアマッチ
34h	12 ビット A/D コンバータ	S12AD・比較条件成立	S12AD・比較条件成立
35h		S12AD・比較条件不成立	S12AD・比較条件不成立
3Ah	シリアルコミュニケーションインタフェース	SCI5・エラー (受信エラー・エラーシグナル検出)	SCI5・エラー (受信エラー・エラーシグナル検出)
3Bh		SCI5・受信データフル	SCI5・受信データフル
3Ch		SCI5・送信データエンプティ	SCI5・送信データエンプティ
3Dh		SCI5・送信完了	SCI5・送信完了
4Eh	I ² C バスインタフェース	RIIC0・通信エラー、イベント発生	RIIC0・通信エラー、イベント発生
4Fh		RIIC0・受信データフル	RIIC0・受信データフル
50h		RIIC0・送信データエンプティ	RIIC0・送信データエンプティ
51h		RIIC0・送信終了	RIIC0・送信終了
52h	シリアルペリフェラルインタフェース	RSPI0・エラー (モードフォルト・オーバーラン・パリティエラー)	RSPI0・エラー (モードフォルト・オーバーラン・パリティエラー)
53h		RSPI0・アイドル	RSPI0・アイドル
54h		RSPI0・受信バッファフル	RSPI0・受信バッファフル

ELS[7:0] ビットの値	周辺 モジュール	RX23E-A (ELC)	RX23E-B(ELC)
55h	シリアルペリ フェラルイン タフェース	RSPI0・送信バッファエンプティ	RSPI0・送信バッファエンプティ
56h		RSPI0・送信完了	RSPI0・送信完了
58h	12 ビット A/D コンバータ	S12AD・A/D 変換終了	S12AD・A/D 変換終了
5Bh	電圧検出回路	LVD1・電圧検出	LVD1・電圧検出
5Ch		LVD2・電圧検出	LVD2・電圧検出
5Dh	DMA コントローラ	DMAC0・転送終了	DMAC0・転送終了
5Eh		DMAC1・転送終了	DMAC1・転送終了
5Fh		DMAC2・転送終了	DMAC2・転送終了
60h		DMAC3・転送終了	DMAC3・転送終了
61h	データラン スファコント ローラ	DTC・転送終了	DTC・転送終了
62h	クロック 発生回路	クロック発生回路・発振停止検出	クロック発生回路・発振停止検出
63h	I/O ポート	—	入力ポートグループ 1・入力エッジ検出
64h		—	入力ポートグループ 2・入力エッジ検出
65h		シングル入力ポート 0・入力エッジ検出	シングル入力ポート 0・入力エッジ検出
66h		シングル入力ポート 1・入力エッジ検出	シングル入力ポート 1・入力エッジ検出
67h		—	シングル入力ポート 2・入力エッジ検出
68h		—	シングル入力ポート 3・入力エッジ検出
69h	イベントリン クコントロー ラ	ソフトウェアイベント	ソフトウェアイベント
6Ah	データ演算 回路	DOC・データ演算条件成立	DOC・データ演算条件成立
上記以外は設定しないでください			

2.9 I/O ポート

表 2.19～表 2.20 に I/O ポートの概要比較を、表 2.21 に I/O ポートの機能比較を、表 2.22 に I/O ポートのレジスタ比較を示します。

表 2.19 I/O ポートの概要比較（48 ピン）

ポートシンボル	RX23E-A(48 ピン)	RX23E-B(48 ピン)
PORT1	P14～P17	P14～P17
PORT2	P26、P27	P26、P27
PORT3	P30、P31、P35～P37	P30、P31、P35～P37
PORT5	—	P54、P55
PORT6	—	P66、P67
PORTB	PB0、PB1	PB0、PB1
PORTC	PC4～PC7	PC7
PORTH	PH0～PH3	—

表 2.20 I/O ポートの概要比較（40 ピン）

ポートシンボル	RX23E-A(40 ピン)	RX23E-B(40 ピン)	
		高耐圧入力端子あり	高耐圧入力端子なし
PORT1	P14～P17	P14～P17	P14～P17
PORT2	P26、P27	P26、P27	P26、P27
PORT3	P30、P31、P35～P37	P30、P31、P35～P37	P30、P31、P35～P37
PORTB	PB0、PB1	PB0、PB1	PB0、PB1
PORTC	PC4、PC5	PC7	PC7
PORTE	—	—	PE0
PORTH	PH0、PH1	—	—

表 2.21 I/O ポートの機能比較

項目	ポートシンボル	RX23E-A	RX23E-B
入力プルアップ機能	PORT1	P14~P17	P12~P17
	PORT2	P26、P27	P20~P27
	PORT3	P30、P31、P36、P37	P30、P31、P36、P37
	PORT5	—	P54、P55
	PORT6	—	P66、P67
	PORTB	PB0、PB1	PB0、PB1
	PORTC	PC4~PC7	PC0~PC7
	PORTH	PH0~PH3	—
オープンドレイン 出力機能	PORT1	P14~P17	P12~P17
	PORT2	P26、P27	P20~P27
	PORT3	P30、P31、P36、P37	P30、P31、P36、P37
	PORT5	—	P54、P55
	PORT6	—	P66、P67
	PORTB	PB0、PB1	PB0、PB1
	PORTC	PC4~PC7	PC0~PC7
	PORTH	PH0~PH3	—
駆動能力切り替え機能	PORT1	P14~P17	P12~P17
	PORT2	P26、P27	P20~P27
	PORT3	P30、P31、P36、P37	P30、P31、P36、P37
	PORT5	—	P54、P55
	PORT6	—	P66、P67
	PORTB	PB0、PB1	PB0、PB1
	PORTC	PC4~PC7	PC0~PC7
	PORTH	PH0~PH3	—
5V トレラント	PORT1	P16、P17	P16、P17
	PORT6	—	P60、P61

表 2.22 I/O ポートのレジスタ比較

レジスタ	ビット名	RX23E-A	RX23E-B
PDR	B0~B7	Pm0~7 方向制御ビット (m = 1~3,B,C,H)	Pm0~7 方向制御ビット (m = 1~3,5~7,A~E)
PODR	B0~B7	Pm0~7 出力データ格納ビット (m = 1~3,B,C,H)	Pm0~7 出力データ格納ビット (m = 1~3,5~7,A~E)
PIDR	B0~B7	Pm0~7 ビット (m = 1~3,B,C,H)	Pm0~7 ビット (m = 1~3,5~7,A~E)
PMR	B0~B7	Pm0~7 端子モード制御ビット (m = 1~3,B,C,H)	Pm0~7 端子モード制御ビット (m = 1~3,5~7,A~E)
ODR0	B0	Pm0 出力形態指定ビット (m = 3,B,H)	Pm0 出力形態指定ビット (m = 1~3,6,7,A~E)
	B2	Pm1 出力形態指定ビット (m = 3,B,H) - P31, PH1 b2 0 : CMOS 出力 1 : N チャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください - PB1 b3 b2 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : 設定しないでください	Pm1 出力形態指定ビット (m = 1~3,6,7,A~E) 0 : CMOS 出力 1 : N チャネルオープンドレイン
	B3		予約ビット
	B4	Pm2 出力形態指定ビット (m = 3,B,H)	Pm2 出力形態指定ビット (m = 1~3,6,7,A~E)
	B6	Pm3 出力形態指定ビット (m = 3,B,H)	Pm3 出力形態指定ビット (m = 1~3,6,7,A~E)
ODR1	B0	Pm4 出力形態指定ビット (m = 1~3,C)	Pm4 出力形態指定ビット (m = 1~3,5~7,A,C~E)
	B2	Pm5 出力形態指定ビット (m = 1~3,C)	Pm5 出力形態指定ビット (m = 1~3,5~7,A,C~E) - P15,P55,P65,PC5 b2 0 : CMOS 出力 1 : N チャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください - P25 b3 b2 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : 設定しないでください
	B3	予約ビット	

レジスタ	ビット名	RX23E-A	RX23E-B
ODR1	B4	Pm6 出力形態指定ビット (m = 1~3,C)	Pm6 出力形態指定ビット (m = 1~3,5~7,A,C~E)
	B6	Pm7 出力形態指定ビット (m = 1~3,C)	Pm7 出力形態指定ビット (m = 1~3,5~7,A,C~E)
	B7	予約ビット	• P27,P37,P67,PC7 - b2 0 : CMOS 出力 1 : N チャネルオープンドレイン - b3 読むと“0”が読めます。書く場合、“0”としてください • P17 - b7 b6 0 0 : CMOS 出力 0 1 : N チャネルオープン ドレイン 1 0 : P チャネルオープン ドレイン 1 1 : 設定しないでください
PCR	B0~B7	Pm0~7 入力プルアップ抵抗 制御ビット (m = 1~3,B,C,H)	Pm0~7 入力プルアップ抵抗 制御ビット (m = 1~3,5~7,A~E)
PSRB	—	—	ポート切り替えレジスタ B
DSCR	B0~B7	Pm0~7 駆動能力制御ビット (m = 1~3,B,C,H)	Pm0~7 駆動能力制御ビット (m = 1~3,5~7,A~E)

2.10 マルチファンクションピンコントローラ

表 2.23 にマルチプル端子の割り当て比較を、表 2.24～表 2.35 にマルチファンクションピンコントローラのレジスタ比較を示します。

マルチプル端子の割り当て端子比較の、**青字**は RX23E-B グループのみに存在する端子、**橙字**は RX23E-A グループのみに存在する端子です。“○”は機能割り当てあり、“×”は端子なし、または機能割り当てなし、グレーの塗りつぶしは非搭載機能を表しています。

端子機能制御レジスタの比較の**緑字**は、同一端子で設定値が異なる端子を表しています。

表 2.23 マルチプル端子の割り当て比較

モジュール/機能	端子機能	割り当てポート	RX23E-A		RX23E-B	
			48 ピン	40 ピン	48 ピン	40 ピン
割り込み	NMI (入力)	P35	○	○	○	○
	IRQ0 (入力)	P30	○	○	○	○
		PH1	○	○	×	×
	IRQ1 (入力)	P31	○	○	○	○
		PH2	○	×	×	×
	IRQ2 (入力)	P26	○	○	○	○
	IRQ3 (入力)	P27	○	○	○	○
	IRQ4 (入力)	PB0	○	○	×	×
		P14	○	○	○	○
	IRQ5 (入力)	P15	○	○	○	○
	IRQ6 (入力)	P16	○	○	○	○
	IRQ7 (入力)	P17	○	○	○	○
		PC7	×	×	○	○
クロック発生回路	CLKOUT (出力)	PH1	○	○	×	×
		P14	×	×	○	○
マルチファンクションタイマユニット 2	MTIOC0A (入出力)	P30	○	○	×	×
		P26	×	×	○	○
	MTIOC0B (入出力)	P15	○	○	×	×
		P14	×	×	○	○
	MTIOC0C (入出力)	PB0	○	○	×	×
		P15	×	×	○	○
	MTIOC0D (入出力)	PH0	○	○	×	×
		P17	×	×	○	○
	MTIOC1A (入出力)	P31	○	○	○	○
	MTIOC1B (入出力)	PB1	○	○	×	×
		PB0	×	×	○	○
	MTIOC2A (入出力)	P26	○	○	×	×
		PB1	○	○	×	×
		P30	×	×	○	○
	MTIOC2B (入出力)	P27	○	○	○	○
	MTIOC3A (入出力)	P14	○	○	×	×
		P17	○	○	○	○
		PC7	○	×	×	×
		PB1	×	×	○	○
	MTIOC3B (入出力)	P17	○	○	○	○
		PC5	○	○	×	×
		P14	×	×	○	○

モジュール/機能	端子機能	割り当て ポート	RX23E-A		RX23E-B	
			48 ピン	40 ピン	48 ピン	40 ピン
マルチファンク ションタイマユ ニット 2	MTIOC3C (入出力)	P16	○	○	○	○
	MTIOC3C (入出力)	PC6	○	×	×	×
		PB0	×	×	○	○
	MTIOC3D (入出力)	P16	○	○	○	○
		PC4	○	○	×	×
		PC7	×	×	○	○
	MTIOC4A (入出力)	P27	○	○	○	○
		P67	×	×	○	×
	MTIOC4B (入出力)	P30	○	○	○	○
		PC7	×	×	○	○
	MTIOC4C (入出力)	P26	○	○	○	○
		P66	×	×	○	×
		PB1	×	×	○	○
	MTIOC4D (入出力)	P31	○	○	○	○
		P15	×	×	○	○
	MTIC5U (入力)	PH1	○	×	×	×
		PC7	×	×	○	○
	MTIC5V (入力)	PH2	○	×	×	×
		P54	×	×	○	×
		PB1	×	×	○	○
	MTIC5W (入力)	PH3	○	×	×	×
		P55	×	×	○	×
		PB0	×	×	○	○
	MTCLKA (入力)	P14	○	○	○	○
		PH2	○	×	×	×
		PC6	○	×	×	×
		PE0	×	×	×	○ (注 1)
	MTCLKB (入力)	P15	○	○	○	○
		PH3	○	×	×	×
		PC7	○	×	×	×
		P31	×	×	○	○
	MTCLKC (入力)	PH0	○	○	×	×
		PC4	○	○	×	×
		P26	×	×	○	○
	MTCLKD (入力)	PH1	○	○	×	×
		PC5	○	○	×	×
		P30	×	×	○	○
ポートアウトプ ットイネーブル 2	POE0# (入力)	PC4	○	○	×	×
		PC7	×	×	○	○
	POE1# (入力)	PB1	○	○	○	○
	POE2# (入力)	PH1	○	○	×	×
		PH3	○	×	×	×
		P27	×	×	○	○
	POE3# (入力)	PB0	○	○	○	○
8 ビットタイマ	TMO0 (出力)	P17	○	○	×	×
		P30	○	○	○	○
		P26	○	○	○	○
		PH1	○	○	×	×
		P55	×	×	○	×

モジュール/機能	端子機能	割り当て ポート	RX23E-A		RX23E-B	
			48 ピン	40 ピン	48 ピン	40 ピン
8 ビットタイマ	TMCI0 (入力)	PB0	○	○	×	×
	TMCI0 (入力)	PH3	○	×	×	×
		PC7	×	×	○	○
	TMRI0 (入力)	PH0	○	○	×	×
		PH2	○	×	×	×
		P54	×	×	○	×
		PB1	×	×	○	○
	TMO1 (出力)	P17	○	○	○	○
	TMCI1 (入力)	PC4	○	○	×	×
		PB1	×	×	○	○
	TMRI1 (入力)	PB1	○	○	×	×
		PB0	×	×	○	○
	TMO2 (出力)	P16	○	○	○	○
		PC7	○	×	×	×
	TMCI2 (入力)	P15	○	○	○	○
		PC6	○	×	×	×
		P66	×	×	○	×
	TMRI2 (入力)	P14	○	○	○	○
		PC5	○	○	×	×
		P67	×	×	○	×
	TMO3 (出力)	P31	○	○	○	○
	TMCI3 (入力)	P30	○	○	○	○
	TMRI3 (入力)	P27	○	○	○	○
シリアルコミュニケーションインタフェース	RXD1 (入力)/ SMISO1 (入出力)/ SSCL1 (入出力)	P15	○	○	×	×
		P30	○	○	○	○
		PB1	×	×	○	○
	TXD1 (出力)/ SMOSI1 (入出力)/ SSDA1 (入出力)	P16	○	○	×	×
		P26	○	○	○	○
		PC7	×	×	○	○
	SCK1 (入出力)	P17	○	○	×	×
		P27	○	○	×	×
		P14	×	×	○	○
	CTS1# (入力)/ RTS1# (出力)/ SS1#(入力)	P14	○	○	×	×
		P31	○	○	×	×
		P15	×	×	○	○
	RXD5 (入力)/ SMISO5 (入出力)/ SSCL5 (入出力)	PH0	○	○	×	×
		P30	×	×	○	○
	TXD5 (出力)/ SMOSI5 (入出力)/ SSDA5 (入出力)	PH1	○	○	×	×
		P31	×	×	○	○
	SCK5 (入出力)	PH2	○	×	×	×
		PC5	○	○	×	×
		P27	×	×	○	○
	CTS5# (入力)/ RTS5# (出力)/ SS5# (入力)	PC4	○	○	×	×
		P26	×	×	○	○
	RXD6 (入力)/ SMISO6 (入出力)/ SSCL6 (入出力)	PC6	○	×	×	×

モジュール/機能	端子機能	割り当て ポート	RX23E-A		RX23E-B	
			48 ピン	40 ピン	48 ピン	40 ピン
シリアルコミュニケーションインターフェース	RXD6 (入力)/ SMISO6 (入出力)/ SSCL6 (入出力)	P66	×	×	○	×
	TXD6 (出力)/ SMOSI6 (入出力)/ SSDA6 (入出力)	PC7	○	×	×	×
		P67	×	×	○	×
	SCK6 (入出力)	PC5	○	×	×	×
		P54	×	×	○	×
	CTS6# (入力)/ RTS6# (出力) / SS6# (入力)	PH3	○	×	×	×
		P55	×	×	○	×
	RXD12 (入力)/ SMISO12 (入出力)/ SSCL12 (入出力)/ RXDX12 (入力)	PB0	○	○	×	×
		P16	×	×	○	○
	TXD12 (出力)/ SMOSI12 (入出力)/ SSDA12 (入出力)/ TXDX12 (出力)/ SIOX12 (入出力)	PB1	○	○	×	×
		P17	×	×	○	○
	SCK12 (入出力)	PC5	○	○	×	×
		P26	×	×	○	○
	CTS12# (入力)/ RTS12# (出力)/ SS12# (入力)	PC4	○	○	×	×
		P27	×	×	○	○
I2C パスインターフェース	SCL (入出力)	P16	○	○	○	○
	SDA (入出力)	P17	○	○	○	○
シリアルペリフェラルインターフェース	RSPCKA (入出力)	PH3	○	×	×	×
		PC5	○	○	×	×
		P31	×	×	○	○
		PB0	×	×	○	○
	MOSIA (入出力)	P16	○	○	○	○
		PH2	○	×	×	×
		PC6	○	×	×	×
	MISOA (入出力)	P17	○	○	○	○
		PC7	○	×	×	×
	SSLA0 (入出力)	PH1	○	○	×	×
		PC4	○	○	×	×
		P15	×	×	○	○
	SSLA1 (入出力)	P15	○	○	×	×
		PC7	×	×	○	○
	SSLA2 (入出力)	PH0	○	○	×	×
		PB1	×	×	○	○
	SSLA3 (入出力)	P14	○	○	×	×
		P54	×	×	○	×
		PE0	×	×	×	○ (注 1)
12 ビット A/D コンバータ	ADTRG0# (入力)	P16	○	○	○	○
クロック周波数精度測定回路	CACREF (入力)	PC7	○	×	×	×
		PH0	○	○	×	×
		P31	×	×	○	○

モジュール/機能	端子機能	割り当て ポート	RX23E-A		RX23E-B	
			48 ピン	40 ピン	48 ピン	40 ピン
クロック周波数精度測定回路	CACREF (入力)	PE0	×	×	×	○ (注 1)
RSCAN(RX23E-A) CAN モジュール (RX23E-B)	CTXD0 (出力)	P14	○	○	○	○
	CRXD0 (入力)	P15	○	○	○	○
LVD 電圧検出入力	CMPA2 (入力)	PB0			○	○

注 1. 高耐圧入力端子のある 40 ピンの製品にはありません。

表 2.24 P1n 端子機能制御レジスタ (P1nPFS) の比較

レジスタ	ビット	RX23E-A(n = 4~7)	RX23E-B(n = 2~7)
P12PFS	—	—	P12 端子機能選択ビット
P13PFS	—	—	P13 端子機能選択ビット
P14PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC3A 00010b : MTCLKA 01011b : CTS1#/RTS1#/SS1# 01101b : SSLA3	端子機能選択ビット 00001b : MTIOC0B 00010b : MTIOC3B 00011b : MTCLKA 01001b : CLKOUT 01010b : SCK1 11000b : SEG15
P15PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC0B 00010b : MTCLKB 01010b : RXD1/SMISO1/SSCL1 01101b : SSLA1	端子機能選択ビット 00001b : MTIOC0C 00010b : MTIOC4D 00011b : MTCLKB 01010b : CTS1#/RTS1#/SS1# 01101b : SSLA0 11000b : SEG14
P16PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC3C 00010b : MTIOC3D 01010b : TXD1/SMOSI1/SSDA1	端子機能選択ビット 00010b : MTIOC3C 00011b : MTIOC3D 01100b : RXD12/SMISO12/ SSCL12/RDX12 11000b : SEG13
P17PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC3A 00010b : MTIOC3B 00111b : POE8# 01010b : SCK1	端子機能選択ビット 00001b : MTIOC0D 00010b : MTIOC3A 00011b : MTIOC3B 01100b : TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12 11000b : SEG12

表 2.25 P2n 端子機能制御レジスタ (P2nPFS) の比較

レジスタ	ビット	RX23E-A(n = 6, 7)	RX23E-B(n = 0~7)
P20PFS	—	—	P20 端子機能選択ビット
P21PFS	—	—	P21 端子機能選択ビット
P22PFS	—	—	P22 端子機能選択ビット
P23PFS	—	—	P23 端子機能選択ビット
P24PFS	—	—	P24 端子機能選択ビット
P25PFS	—	—	P25 端子機能選択ビット
P26PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC2A	端子機能選択ビット 00001b : MTIOC0A 00011b : MTCLKC 01011b : CTS5#/RTS5#/SS5# 01100b : SCK12
P27PFS	PSEL[4:0]	端子機能選択ビット 01010b : SCK1	端子機能選択ビット 00111b : POE2# 01011b : SCK5 01100b : CTS12#/RTS12#/SS12#
P2nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P26 : IRQ2 P27 : IRQ3	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P22 : IRQ4 (100/80 ピン) P23 : IRQ5 (100/80 ピン) P24 : IRQ6 (100/80 ピン) P25 : IRQ7 (100/80 ピン) P26 : IRQ2 (100/80/64/48/40 ピン) P27 : IRQ3 (100/80/64/48/40 ピン)

表 2.26 P3n 端子機能制御レジスタ (P3nPFS) の比較

レジスタ	ビット	RX23E-A(n = 0, 1)	RX23E-B(n = 0, 1)
P30PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC4B 00010b : MTIOC0A	端子機能選択ビット 00001b : MTIOC2A 00010b : MTIOC4B 00011b : MTCLKD 01011b : RXD5/SMISO5/SSCL5
P31PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC4D 00010b : MTIOC1A 01011b : CTS1#/RTS1#/SS1#	端子機能選択ビット 00001b : MTIOC1A 00010b : MTIOC4D 00011b : MTCLKB 00111b : CACREF 01011b : TXD5/SMOSI5/SSDA5 01101b : RSPCKA

表 2.27 P5n 端子機能制御レジスタ (P5nPFS) の比較

レジスタ	ビット	RX23E-A	RX23E-B(n = 4, 5)
P5nPFS	—	—	P5n 端子機能制御レジスタ

表 2.28 P6n 端子機能制御レジスタ (P6nPFS) の比較

レジスタ	ビット	RX23E-A	RX23E-B(n = 0~7)
P6nPFS	—	—	P6n 端子機能制御レジスタ

表 2.29 P7n 端子機能制御レジスタ (P7nPFS) の比較

レジスタ	ビット	RX23E-A	RX23E-B(n = 0~4)
P7nPFS	—	—	P7n 端子機能制御レジスタ

表 2.30 PAn 端子機能制御レジスタ (PAnPFS) の比較

レジスタ	ビット	RX23E-A	RX23E-B(n = 0~4)
PAnPFS	—	—	PAn 端子機能制御レジスタ

表 2.31 PBn 端子機能制御レジスタ (PBnPFS) の比較

レジスタ	ビット	RX23E-A(n = 0, 1)	RX23E-B(n = 0, 1)
PB0PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC0C 00101b : TMCIO 01100b : RXD12/RXD12/ SMISO12/SSCL12	端子機能選択ビット 00001b : MTIOC1B 00010b : MTIOC3C 00011b : MTIC5W 00110b : TMR1I 01101b : RSPCKA
PB1PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC2A 00010b : MTIOC1B 00101b : TMR1I 01100b : TXD12/TXD12/SIOX12/ SMOSI12/SSDA12	端子機能選択ビット 00001b : MTIOC4C 00010b : MTIOC3A 00011b : MTIC5V 00101b : TMR1O 00110b : TMC1I 01010b : RXD1/SMISO1/SSCL1 01101b : SSLA2
PBnPFS	—	割り込み入力機能選択ビット	—
	—	—	アナログ機能選択ビット

表 2.32 PCn 端子機能制御レジスタ(PCnPFS)の比較

レジスタ	ビット	RX23E-A(n = 4~7)	RX23E-B(n = 0~7)
PC0PFS	—	—	PC0 端子機能選択ビット
PC1PFS	—	—	PC1 端子機能選択ビット
PC2PFS	—	—	PC2 端子機能選択ビット
PC3PFS	—	—	PC3 端子機能選択ビット
PC4PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC3D 00010b : MTCLKC 00101b : TMC11 00111b : POE0# 01011b : CTS5#/RTS5#/SS5# 01100b : CTS12#/RTS12#/SS12# 01101b : SSLA0	端子機能選択ビット 00001b : MTIOC4B 00111b : POE3# 01011b : RXD8/SMISO8/SSCL8 11000b : SEG23
PC5PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC3B 00010b : MTCLKD 00101b : TMRI2 01010b : SCK5 01011b : SCK6 01100b : SCK12 01101b : RSPCKA	端子機能選択ビット 00001b : MTIOC4C 00111b : POE2# 01011b : TXD8/SMOSI8/SSDA8 11000b : SEG22
PC6PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC3C 00010b : MTCLKA 00101b : TMC12 01011b : RXD6/SMISO6/SSCL6 01101b : MOSIA	端子機能選択ビット 00001b : MTIOC4A 00111b : POE1# 01010b : RXD1/SMISO1/SSCL1 11000b : SEG21
PC7PFS	PSEL[4:0]	端子機能選択ビット 00001b : MTIOC3A 00010b : MTCLKB 00101b : TMO2 00111b : CACREF 01011b : TXD6/SMOSI6/SSDA6 01101b : MISOA	端子機能選択ビット 00001b : MTIOC4B 00010b : MTIOC3D 00011b : MTIC5U 00101b : TMC10 00111b : POE0# 01010b : TXD1/SMOSI1/SSDA1 01101b : SSLA1
PCnPFS	—	—	割り込み入力機能選択ビット

表 2.33 PDn 端子機能制御レジスタ (PDnPFS)の比較

レジスタ	ビット	RX23E-A	RX23E-B(n = 0~4)
PDnPFS	—	—	PDn 端子機能選択レジスタ

表 2.34 PEn 端子機能制御レジスタ (PEnPFS)の比較

レジスタ	ビット	RX23E-A	RX23E-B(n = 0~4)
PEnPFS	—	—	PEn 端子機能選択レジスタ

表 2.35 PHn 端子機能制御レジスタ (PHnPFS)の比較

レジスタ	ビット	RX23E-A(n = 0~3)	RX23E-B(n = 0~4)
PHnPFS	—	PHn 端子機能選択レジスタ	—

2.11 ローパワータイマ

表 2.36 にローパワータイマの概要比較を、表 2.37 にローパワータイマのレジスタ比較を示します。

表 2.36 ローパワータイマの概要比較

項目	RX23E-A(LPT)	RX23E-B(LPT)
チャンネル数	1 チャンネル	1 チャンネル
クロックソース	IWDT 専用クロック	サブクロック、IWDT 専用クロック
クロック分周比	2 分周、4 分周、8 分周、16 分周、32 分周	2 分周、4 分周、8 分周、16 分周、32 分周
カウント動作	16 ビットのアップカウンタによるアップカウント - ソフトウェアスタンバイモード時もカウント動作継続可能	16 ビットのアップカウンタによるアップカウント - ソフトウェアスタンバイモード時もカウント動作継続可能
コンペアマッチ	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)
イベントリンク機能 (出力)	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)

表 2.37 ローパワータイマのレジスタ比較

レジスタ	ビット名	RX23E-A(LPT)	RX23E-B(LPT)
LPTCR1	LPCNTCKSEL	クロックソース選択ビット 0 : クロックなし 1 : IWDT 専用クロック (IWDTCLK)	クロックソース選択ビット 0 : サブクロック 1 : IWDT 専用クロック

2.12 シリアルコミュニケーションインタフェース

表 2.38 にシリアルコミュニケーションインタフェースの概要比較を、表 2.39 にシリアルコミュニケーションインタフェースのチャンネル比較を示します。

表 2.38 シリアルコミュニケーションインタフェースの概要比較

項目		RX23E-A(SCI _g , SCI _h)	RX23E-B(SCI _g , SCI _h)
チャンネル数		- SCI_g : 3 チャンネル - SCI_h : 1 チャンネル	- SCI_g : 6 チャンネル - SCI_h : 1 チャンネル
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能	- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット/9 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がリエッジを選択可能	Low または立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXD _n 端子のレベルを直接読み出すことでブレークを検出可能	フレーミングエラー発生時、RXD _n 端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI5、SCI6)	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI5、SCI6)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXD _n 端子入力経路にデジタルノイズフィルタを内蔵	RXD _n 端子入力経路にデジタルノイズフィルタを内蔵

項目		RX23E-A(SCI _g , SCI _h)	RX23E-B(SCI _g , SCI _h)
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット	I ² C バスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応	ファストモード対応
	ノイズ除去	- SSCL_n、SSDA_n 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCL_n、SSDA_n 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子機能	SS _n #端子が High のとき、出力端子をハイインピーダンスにすることが可能	SS _n #端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	クロック位相、クロック極性の設定を 4 種類から選択可能
拡張シリアルモード (SCI12 のみ対応)	Start Frame 送信	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり
	入出力制御機能	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能
	タイマ機能	リロードタイマ機能として使用可能	リロードタイマ機能として使用可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能	内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能 (SCI5 のみ対応)		- エラー(受信エラー・エラーシグナル検出)イベント出力 - 受信データフルイベント出力	- エラー(受信エラー・エラーシグナル検出)イベント出力 - 受信データフルイベント出力

項目	RX23E-A(SCI _g , SCI _h)	RX23E-B(SCI _g , SCI _h)
イベントリンク機能 (SCI5 のみ対応)	- 送信データエンプティイベント出力 - 送信終了イベント出力	- 送信データエンプティイベント出力 - 送信終了イベント出力

表 2.39 シリアルコミュニケーションインタフェースのチャネル比較

項目	RX23E-A(SCI _g , SCI _h)	RX23E-B(SCI _g , SCI _h)
調歩同期式モード	SCI1, SCI5, SCI6, SCI12	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
クロック同期式モード	SCI1, SCI5, SCI6, SCI12	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
スマートカードインタフェースモード	SCI1, SCI5, SCI6, SCI12	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
簡易 I ² C モード	SCI1, SCI5, SCI6, SCI12	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
簡易 SPI モード	SCI1, SCI5, SCI6, SCI12	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
拡張シリアルモード	SCI12	SCI12
TMR クロック入力	SCI5, SCI6, SCI12	SCI5, SCI6, SCI12
イベントリンク機能	SCI5	SCI5

2.13 シリアルペリフェラルインタフェース

表 2.40 にシリアルペリフェラルインタフェースの概要比較を、表 2.41 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.40 シリアルペリフェラルインタフェースの概要比較

項目	RX23E-A(RSPIb)	RX23E-B(RSPIC)
チャンネル数	1 チャンネル	1 チャンネル
RSPI 転送機能	• MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 • 通信モード：全二重または単方向(送信のみ)を選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能	• MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 • 通信モード：全二重または単方向(送信のみ)を選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット)	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) • 送受信データをバイト単位でスワップ可能
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 6 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 6 分周) High 幅：PCLK の 3 サイクル、 Low 幅：PCLK の 3 サイクル	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 4 分周) High 幅：PCLK の 2 サイクル、 Low 幅：PCLK の 2 サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出^(注1) • パリティエラー検出 • アンダランエラー検出	• モードフォルトエラー検出 • オーバランエラー検出^(注1) • パリティエラー検出 • アンダランエラー検出

項目	RX23E-A(RSPIb)	RX23E-B(RSPIc)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 - SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 - RSPCK 自動停止機能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 - SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 - RSPCK 自動停止機能
割り込み要因	- 割り込み要因 - 受信バッファフル割り込み - 送信バッファエンプティ割り込み - エラー割り込み(モードフォルト、オーバーラン、アンダラン、パリティエラー) - アイドル割り込み	- 割り込み要因 - 受信バッファフル割り込み - 送信バッファエンプティ割り込み - エラー割り込み(モードフォルト、オーバーラン、アンダラン、パリティエラー) - アイドル割り込み
イベントリンク機能(出力)	- 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) - 受信バッファフルイベント - 送信バッファエンプティイベント - エラーイベント(モードフォルト、オーバーラン、アンダラン、パリティエラー) - アイドルイベント - 送信完了イベント	- 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) - 受信バッファフルイベント - 送信バッファエンプティイベント - エラーイベント(モードフォルト、オーバーラン、アンダラン、パリティエラー) - アイドルイベント - 送信完了イベント
その他の機能	- RSPI 初期化機能 - ループバックモード機能	- RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

注 1. マスタ受信かつ、RSPCK 自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

表 2.41 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX23E-A(RSP I b)	RX23E-B(RSP I c)
SPDR	—	RSPI データレジスタ 可能アクセスサイズ • ロングワード (SPDCR.SPLW=1) • ワードアクセス (SPDCR.SPLW=0)	RSPI データレジスタ 可能アクセスサイズ • ロングワード (SPDCR.SPLW=1, SPDCR.SPBYT=0) • ワードアクセス (SPDCR.SPLW=0, SPDCR.SPBYT=0) • バイトアクセス (SPDCR.SPBYT=1)
SPDCR	SPBYT	—	RSPI バイトアクセス設定ビット
SPDCR2	—	—	RSPI データコントロールレジスタ 2

2.14 アナログフロントエンド

表 2.42 にアナログフロントエンドの概要比較を、表 2.43 にアナログフロントエンドのレジスタ比較を示します。

表 2.42 アナログフロントエンドの概要比較

項目	RX23E-A(AFE)	RX23E-B(AFEA)
チャンネル数	6 チャンネル	8 チャンネル
24 ビット Δ - Σ A/D コンバータ (DSAD)	2 回路(DSAD0, DSAD1) 4 次 Sinc フィルタ - プログラマブルゲイン計装アンプ (PGA)内蔵 - 動作モード：シングルスキャン/連続スキャン/ワンショット - 高速変換：15.625 kSPS - 低ノイズ：30 nVRMS(typ.)(入力換算) (fMOD= 500 kHz, DR = 7.6 SPS, Gain = 128) - オーバーサンプリング比：32~65536 (16 の倍数のみ)	1 回路(DSAD0) 5 次 Sinc フィルタ+1 次 Sinc フィルタ、または 4 次 Sinc フィルタ+ 4 次 Sinc フィルタ - プログラマブルゲイン計装アンプ (PGA)内蔵 - 動作モード：シングルスキャン/連続スキャン/ワンショット - 高速変換：最高 125 kSPS - 低ノイズ：7 nVRMS(typ.)(入力換算) (fMOD= 4 MHz, DR = 3.814 SPS, Gain = 128) - オーバーサンプリング比： 前段：32~256 (16 の倍数のみ) 後段：1~4096
12 ビット逐次比較型 A/D コンバータ (S12AD)	- アナログ信号入力選択回路 (最大 6 端子) - 最大変換クロック周波数：32 MHz (変換レート 1.4 μs) - 動作モード：シングルスキャン/連続スキャン/グループスキャン - 基準電圧を選択可能 高電位側：VREFH0 または AVCC0 低電位側：VREFL0 または AVSS0	- アナログ信号入力選択回路 (最大 8 端子) - 最大変換クロック周波数：32 MHz (変換レート 1.4 μs) - 動作モード：シングルスキャン/連続スキャン/グループスキャン - 基準電圧を選択可能 高電位側：VREFH0 または AVCC0 低電位側：VREFL0 または AVSS0
16 ビット D/A コンバータ (R16DA)	—	16 ビット分解能 - 低インピーダンス出力(出力バッファ搭載)
動作制御回路	以下の回路を個別に動作制御可能 24 ビット Δ-Σ A/D コンバータ (DSAD0, DSAD1) - 励起電流源(IEXC) - バイアス電圧生成回路(VBIAS) - 基準電圧源(VREF) - 温度センサ(TEMPS) DSAD の動作電圧の設定が可能	以下の回路を個別に動作制御可能 24 ビット Δ-Σ A/D コンバータ (DSAD0) - 励起電流源(IEXC) - バイアス電流源(IREF) - バイアス電圧生成回路(VBIAS) - 基準電圧源(VREF) - 温度センサ(TEMPS)
高電圧アナログ信号入力回路 (HVAC)	—	± 10 V の信号が入力可能 分圧比 10 : 1 の抵抗分圧回路を内蔵 入力インピーダンス：1 M Ω (min.)

項目		RX23E-A(AFE)	RX23E-B(AFEA)
アナログマルチプレクサ (AMUX)		DSAD0、 DSAD1 の +側入力信号(ANDSnmP)、 -側入力信号(ANDSnmN)、 +側基準電圧(VRnmP)、-側基準電圧 (VRnmN)をチャンネルごとに選択可能 (n = 0, 1 , m = 0~5) - ANDSnmP、ANDSnmN は、 AIN0~AIN11 端子から選択 - VRnmP は、REF0P 端子、REF1P 端子^(注1)、AVCC0、REFOUT のいずれ かから選択 - VRnmN を、REF0N 端子、REF1N 端子^(注1)、AVSS0 のいずれかから選択 - DSAD0 の入力に TEMPS を選択可能	DSAD0 の+側入力信号(ANDS 0 mP)、 -側入力信号(ANDS 0 mN)、+側基準電圧 (VR 0 mP)、-側基準電圧(VR 0 mN)をチャ ネルごとに選択可能(m = 0~7) - ANDS0mP、ANDS0mN は、 AIN0~AIN15、HVAIN0~HVAIN3、 AVSS0、HVCOM、DA0 端子、 16 ビット D/A コンバータの AVSS0 電圧から選択 - VR0mP は、REF0P 端子、REF0N 端子、REF1P 端子、REF1N 端子^(注1)、 AVCC0、REFOUT^(注2)の いずれかから選択 - VR0mN を、REF0P 端子、REF0N 端子、REF1P 端子、REF1N 端子^(注1)、 AVSS0 のいずれかから選択 - DSAD0 の入力に TEMPS を選択可能
ローサイドスイッチ回路 (LSW)		LSW 端子と AVSS0 を接続するスイッチ オン抵抗 : 10 Ω (max.)	LSW 端子と AVSS0 を接続するスイッチ オン抵抗 : 10 Ω (max.)
基準電圧源(VREF) ^(注3)		生成電圧 : 2.5 V 最大負荷電流 : ±10 mA REFOUT 端子から出力	生成電圧 : 2.5 V 最大負荷電流 : ±10 mA REFOUT 端子から出力
バイアス電圧生成回路 (VBIAS)		出力電圧 : (AVCC0 + AVSS0) / 2 生成した電圧を AIN0~AIN11 端子の いずれかから出力可能	出力電圧 : (AVCC0 + AVSS0) / 2 生成した電圧を AIN2、AIN10 端子の いずれかから出力可能
温度センサ(TEMPS)		工場出荷時に個々のチップごとに測定、 算出した温度係数をレジスタに格納	工場出荷時に個々のチップごとに測定、 算出した温度係数をレジスタに格納
励起電流源(IEXC)		2 チャンネル または 4 チャンネル の定電流を AIN0~AIN11 端子から出力可能 2 チャンネル出力モード : IEXC0、 IEXC1 を AIN0~AIN11 端子の いずれか 2 端子から出力 出力電流 : 50 μA, 100 μA, 250 μA, 500 μA, 750 μA, 1000 μA 4 チャンネル出力モード : IEXC0~ IEXC3 を AIN0~AIN11 端子の いずれか 4 端子から出力 出力電流 : 50 μA, 100 μA, 250 μA, 500 μA	2 チャンネルの定電流(IEXC0、IEXC1)を それぞれ AIN2 または AIN8 端子、AIN3 または AIN9 端子のいずれかから出力可能 出力電流 : 50 μA, 100 μA, 250 μA, 500 μA, 750 μA, 1000 μA
バイアス電流源(IREF)		—	16 ビット D/A コンバータ用に高精度の バイアス電流を生成
電圧検出回 路(VDET)	低電源電圧検 出回路 (LVDET)	AVCC0 の電圧低下を検出 検出レベルごとに 2 回路(LVDET0, LVDET1)搭載 検出レベルはレジスタで変更可能	AVCC0 の電圧低下を検出 検出レベルごとに 2 回路(LVDET0, LVDET1)搭載 LVDET0 の検出レベルはレジスタで変更 可能 LVDET1 の検出レベルは 3.80 V 固定
	DSAD 入力電 圧異常 検出回路 (DSIDET)	DSAD0、 DSAD1 それぞれの+側、-側入 力信号の電圧異常を検出 4 回路(DS0PDET, DS0NDET, DS1PDET, DS1NDET)	DSAD0 の+側、-側入力信号の電圧異常 を検出 2 回路(DS0PDET, DS0NDET)

項目		RX23E-A(AFE)	RX23E-B(AFE ^A)
電圧検出回路(VDET)	DSAD 基準電圧異常検出回路(DSRDET)	DSAD0、 DSAD1 それぞれの+側、一側基準電圧の電圧異常を検出 外部基準電圧源と MCU 間の断線検出をアシスト 2 回路(DS0RDET, DS1RDET)	DSAD0 の+側、一側基準電圧の電圧異常を検出 外部基準電圧源と MCU 間の断線検出をアシスト 1 回路(DS0RDET)
	励起電流源断線検出回路(IEXCDET)	外部センサと MCU 間の断線検出をアシスト 4 回路(IEXC0DET, IEXC1DET, IEXC2DET, IEXC3DET)	外部センサと MCU 間の断線検出をアシスト 2 回路(IEXC0DET, IEXC1DET)
	高電圧アナログモコン入力断線検出回路(HVCOMDET)	—	高電圧アナログ信号入力回路のコモン電圧入力端子の断線検出をアシスト 1 回路

注 1.RX23E-A グループでは REF1P 端子は AIN5 端子と端子を共有しています。REF1N 端子は AIN4 端子と端子を共有しています。RX23E-B グループでは REF1P 端子は AIN13 端子と端子を共有しています。REF1N 端子は AIN12 端子と端子を共有しています。

注 2.REFOUT は、基準電圧源(VREF)の出力です。

注 3.基準電圧源を使用する場合、REFOUT 端子は 0.47 μ F のコンデンサを介して AVSS0 に接続してください。

表 2.43 アナログフロントエンドのレジスタ比較

レジスタ	ビット	RX23E-A(AFE)	RX23E-B(AFE ^A)
OPCR	DSAD1EN	DSAD1 動作許可ビット	—
	CLKSEL[3:0]	—	周辺機能クロック周波数選択ビット
	DSADLVM	DSAD 動作電圧選択ビット	—
VDETCR	—	電圧検出回路制御レジスタ リセット後の初期値が異なります	電圧検出回路制御レジスタ
	DET1LVL[1:0]	LVDET1 検出レベル設定ビット	—
	VR1PDISA	VR1P 断線検出アシストビット	—
	VR1PDISC	VR1P 断線検出チャージモード設定ビット	—
	VR1NDISA	VR1N 断線検出アシストビット	—
	VR1NDISC	VR1N 断線検出チャージモード設定ビット	—
	—	—	—
VDETER	IEXC2DET	IEXC2DET 動作許可ビット	—
	IEXC3DET	IEXC3DET 動作許可ビット	—
	DS1PDET	DS1PDET 動作許可ビット	—
	DS1NDET	DS1NDET 動作許可ビット	—
	DS1RDET	DS1RDET 動作許可ビット	—
	HVCOMDET	—	HVCOMDET 動作許可ビット
VBOSR	VBIASEN0	AIN0 端子 VBIAS 出力制御ビット	—
	VBIASEN1	AIN1 端子 VBIAS 出力制御ビット	—
	VBIASEN3	AIN3 端子 VBIAS 出力制御ビット	—
	VBIASEN4	AIN4 端子 VBIAS 出力制御ビット	—
	VBIASEN5	AIN5 端子 VBIAS 出力制御ビット	—
	VBIASEN6	AIN6 端子 VBIAS 出力制御ビット	—
	VBIASEN7	AIN7 端子 VBIAS 出力制御ビット	—
	VBIASEN8	AIN8 端子 VBIAS 出力制御ビット	—
	VBIASEN9	AIN9 端子 VBIAS 出力制御ビット	—
	VBIASEN11	AIN11 端子 VBIAS 出力制御ビット	—

レジスタ	ビット	RX23E-A(AFE)	RX23E-B(AFE ^A)
DS0mISR (注1)	—	DSAD0 チャンネル m 入力選択レジスタ (m = 0 ~ 5)	DSAD0 チャンネル m 入力選択レジスタ (m = 0 ~ 7)
		リセット後の初期値が異なります	
	PSEL[3:0] (RX23E-A) PSEL[4:0] (RX23E-B)	+側入力信号選択ビット b3 b0 0 0 0 0 : AIN0 端子 0 0 0 1 : AIN1 端子 0 0 1 0 : AIN2 端子 0 0 1 1 : AIN3 端子 0 1 0 0 : AIN4 端子 0 1 0 1 : AIN5 端子 0 1 1 0 : AIN6 端子 0 1 1 1 : AIN7 端子 1 0 0 0 : AIN8 端子 1 0 0 1 : AIN9 端子 1 0 1 0 : AIN10 端子 1 0 1 1 : AIN11 端子 1 1 0 0 : オフセット誤差測定用設定 ^(注2) 1 1 1 1 : 接続なし 上記以外 : 設定しないでください	+側入力信号選択ビット b4 b0 0 0 0 0 : AIN0 端子 0 0 0 1 : AIN1 端子 0 0 1 0 : AIN2 端子 0 0 1 1 : AIN3 端子 0 1 0 0 : AIN4 端子 0 1 0 1 : AIN5 端子 0 1 1 0 : AIN6 端子 0 1 1 1 : AIN7 端子 1 0 0 0 : AIN8 端子 1 0 0 1 : AIN9 端子 1 0 1 0 : AIN10 端子 1 0 1 1 : AIN11 端子 1 1 0 0 : AIN12 端子 1 1 0 1 : AIN13 端子 1 1 1 0 : AIN14 端子 1 1 1 1 : AIN15 端子 1 0 0 0 : HVAIN0 端子 1 0 0 1 : HVAIN1 端子 1 0 1 0 : HVAIN2 端子 1 0 1 1 : HVAIN3 端子 1 1 0 0 : AVSS0 端子 1 1 0 1 : HVCOM 端子 1 1 0 1 0 : 16 ビット D/A コンバータの AVSS0 電圧 1 1 0 1 1 : DA0 端子 1 1 1 0 0 : オフセット誤差測定用設定 ^(注2) 1 1 1 1 1 : 接続なし 上記以外 : 設定しないでください

レジスタ	ビット	RX23E-A(AFE)	RX23E-B(AFE ^A)
DS0mISR (注 1)	NSEL[3:0] (RX23E-A) NSEL[4:0] (RX23E-B)	一側入力信号選択ビット b7 b4 0 0 0 0 : AIN0 端子 0 0 0 1 : AIN1 端子 0 0 1 0 : AIN2 端子 0 0 1 1 : AIN3 端子 0 1 0 0 : AIN4 端子 0 1 0 1 : AIN5 端子 0 1 1 0 : AIN6 端子 0 1 1 1 : AIN7 端子 1 0 0 0 : AIN8 端子 1 0 0 1 : AIN9 端子 1 0 1 0 : AIN10 端子 1 0 1 1 : AIN11 端子 1 1 1 1 : 接続なし 上記以外 : 設定しないでください	一側入力信号選択ビット b12 b8 0 0 0 0 0 : AIN0 端子 0 0 0 0 1 : AIN1 端子 0 0 0 1 0 : AIN2 端子 0 0 0 1 1 : AIN3 端子 0 0 1 0 0 : AIN4 端子 0 0 1 0 1 : AIN5 端子 0 0 1 1 0 : AIN6 端子 0 0 1 1 1 : AIN7 端子 0 1 0 0 0 : AIN8 端子 0 1 0 0 1 : AIN9 端子 0 1 0 1 0 : AIN10 端子 0 1 0 1 1 : AIN11 端子 0 1 1 0 0 : AIN12 端子 0 1 1 0 1 : AIN13 端子 0 1 1 1 0 : AIN14 端子 0 1 1 1 1 : AIN15 端子 1 0 0 0 0 : HVAIN0 端子 1 0 0 0 1 : HVAIN1 端子 1 0 0 1 0 : HVAIN2 端子 1 0 0 1 1 : HVAIN3 端子 1 1 0 0 0 : AVSS0 端子 1 1 0 0 1 : HVCOM 端子 1 1 0 1 0 : 16 ビット D/A コンバータの AVSS0 電圧 1 1 0 1 1 : DA0 端子 1 1 1 1 1 : 接続なし 上記以外 : 設定しないでください
	RSEL[3:0] (RX23E-A) RSEL[4:0] (RX23E-B)	基準電圧選択ビット b8 0 : +側リファレンスバッファ無効 1 : +側リファレンスバッファ有効 b9 0 : -側リファレンスバッファ無効 1 : -側リファレンスバッファ有効 b11 b10 0 0 : AVCC0/AVSS0 ^(注 3) 0 1 : REFOUT/AVSS0 ^(注 3) 1 0 : REF0P/REF0N 1 1 : REF1P/REF1N	基準電圧選択ビット b16 0 : +側リファレンスバッファ無効 1 : +側リファレンスバッファ有効 b17 0 : -側リファレンスバッファ無効 1 : -側リファレンスバッファ有効 b20 b18 0 0 0 : AVCC0/AVSS0 ^(注 3) 0 0 1 : REFOUT/AVSS0 ^(注 3) 0 1 0 : REF0P/REF0N 0 1 1 : REF1P/REF1N 1 0 0 : REF0N/REF0P 1 0 1 : REF1N/REF1P 上記以外 : 設定しないでください
DS1mISR	—	DSAD1 チャネル m 入力選択レジスタ (m = 0 ~ 5)	—
EXCCR	MODE	動作モード選択ビット	—
EXCOSR	—	励起電流出力選択レジスタ リセット後の初期値が異なります	励起電流出力選択レジスタ

レジスタ	ビット	RX23E-A(AFE)	RX23E-B(AFE ^A)
EXCOSR	IEXC0SEL[3:0]	IEXC0～3 出力端子選択ビット 励起電流源の出力をどの端子から出力するかを設定します。 b3 b0 0 0 0 0 : AIN0 端子 0 0 0 1 : AIN1 端子 0 0 1 0 : AIN2 端子 0 0 1 1 : AIN3 端子	IEXC0 出力端子選択ビット 励起電流源の出力をどの端子から出力するかを設定します。 b3 b0 0 0 1 0 : AIN2 端子 1 0 0 0 : AIN8 端子 1 1 1 1 : 出力停止 上記以外 : 設定しないでください
	IEXC1SEL[3:0]	0 1 0 0 : AIN4 端子 0 1 0 1 : AIN5 端子 0 1 1 0 : AIN6 端子 0 1 1 1 : AIN7 端子 1 0 0 0 : AIN8 端子 1 0 0 1 : AIN9 端子 1 0 1 0 : AIN10 端子 1 0 1 1 : AIN11 端子 1 1 1 1 : 出力停止	IEXC1 出力端子選択ビット 励起電流源の出力をどの端子から出力するかを設定します。 b7 b4 0 0 1 1 : AIN3 端子 1 0 0 1 : AIN9 端子 1 1 1 1 : 出力停止 上記以外 : 設定しないでください
	IEXC2SEL[3:0]	上記以外 : 設定しないでください	—
	IEXC3SEL[3:0]	—	—

注 1. OPCR.DSAD0EN ビットを“1” (DSAD0 動作許可)にしてから書き換えてください。また RX23E-B グループでは、A/D 変換中のチャンネルに対応するレジスタを書き換えしないでください。

注 2. RX23E-A グループでは PSEL[3:0]ビット、RX23E-B グループでは PSEL[4:0]ビットを“11100b”にすると、DSAD0 の+側入力端子と-側入力端子に(AVCC0 + AVSS0) / 2 の電圧が印加されます。この状態で A/D 変換を行うと、オフセット誤差が測定できます。このとき、RX23E-A グループでは NSEL[3:0]ビット、RX23E-B グループでは NSEL[4:0]ビットは“11111b”にしてください。

注 3. AVCC0/AVSS0、REFOUT/AVSS0 を選択した場合、リファレンスバッファは無効です。

2.15 24 ビット Δ - Σ A/D コンバータ

表 2.44 に 24 ビット Δ - Σ A/D コンバータの概要比較を、表 2.45 に 24 ビット Δ - Σ A/D コンバータのレジスタ比較を示します。

表 2.44 24 ビット Δ - Σ A/D コンバータの概要比較

項目	RX23E-A(DSADA)	RX23E-B(DSAD ^B)
ユニット数	2 ユニット	1 ユニット
入力チャンネル	6 チャンネル(12 入力)	8 チャンネル(16 入力)
A/D 変換方式	Δ - Σ 型	Δ - Σ 型
分解能	24 ビット	24 ビット
アナログ入力	アナログマルチプレクサ(AMUX)によりチャンネルごとに入力方式を選択可能 - 差動入力 - 疑似差動入力 - シングルエンド入力	アナログマルチプレクサ(AMUX)によりチャンネルごとに入力方式を選択可能 - 差動入力 - 疑似差動入力 - シングルエンド入力
モジュレータクロック 周波数(fMOD)	- ノーマルモード : 500 kHz - ローパワーモード : 125 kHz	125 kHz~4 MHz
プログラマブルゲイン 計装アンプ(PGA)	- PGA のゲインをチャンネルごとに設定可能 ($\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 16$, $\times 32$, $\times 64$, $\times 128$) - PGA をバイパスし DSAD への直接入力が可能 - PGA をバイパスしアナログ入力バッファ (BUF)経由での DSAD 入力が可能	- PGA のゲインをチャンネルごとに設定可能 ($\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 16$, $\times 32$, $\times 64$, $\times 128$) - PGA をバイパスし DSAD への直接入力が可能 - PGA をバイパスしアナログ入力バッファ (BUF)経由での DSAD 入力が可能
データレジスタ	A/D 変換結果レジスタ 1 本、 平均値演算結果用データレジスタ 1 本 - A/D 変換結果に対応するチャンネル番号を専用レジスタで確認可能 - A/D 変換結果に対するオーバフローフラグあり - 出力コードを 2 の補数形式、ストレートバイナリ形式から選択可能	A/D 変換結果レジスタ 1 本 - A/D 変換結果に対応するチャンネル番号を専用レジスタで確認可能 - A/D 変換結果に対するオーバフローフラグあり - 出力コードを 2 の補数形式、ストレートバイナリ形式から選択可能
動作クロック	- ノーマルモード : 4 MHz - ローパワーモード : 1 MHz PCLKB を 1/2/3/4/5/6/7.5/8 分周して生成	500 kHz~16 MHz PCLKC を 1/2/3/4/5/6/8/12/16/20/32 分周して生成
変換開始条件	- ソフトウェアトリガ - ハードウェアトリガ	- ソフトウェアトリガ - ハードウェアトリガ
ユニット間同期スタート	ユニット 0 とユニット 1 の同期スタートが可能	—
動作モード	- 連続スキャンモード(オートスキャンを停止させるまで動作) - シングルスキャンモード(オートスキャン 1 サイクル実行後に停止) - ワンショット動作(A/D 変換終了後停止)	- 連続スキャンモード(オートスキャンを停止させるまで動作) - シングルスキャンモード(オートスキャン 1 サイクル実行後に停止) - ワンショット動作(A/D 変換終了後停止)
変換モード	- 通常動作 - シングルサイクルセトリング	- 通常動作 - シングルサイクルセトリング

項目	RX23E-A(DSADA)	RX23E-B(DSAD B)
オーバーサンプリング比 (OSR)	64/128/256/512/1024/2048/ユーザ定義値から選択可能 - ユーザ定義値 : 32~65536 (16 の倍数のみ) - チャンネルごとに設定可能	- 前段 Sinc フィルタ : 16~256 (16 の倍数のみ) - 後段 Sinc フィルタ : バイパスまたは 2~4096 - 総合オーバーサンプリング比 : 32~1048576 - チャンネルごとに設定可能
A/D 変換回数	オートスキャンの 1 サイクルにおける A/D 変換回数をチャンネルごとに設定可能 - レジスタ設定内容により、1~8032 回または 1~255 回を指定 0 回に設定した場合はワンショット動作	オートスキャンの 1 サイクルにおける A/D 変換回数をチャンネルごとに設定可能 - レジスタ設定内容により、1~8191 回を指定 0 回に設定した場合はワンショット動作
A/D 変換結果平均化	- 平均化処理の動作選択可能 - 平均化処理を行わない - 平均化処理を行い、A/D 変換終了割り込みを 1 回の A/D 変換ごとに発生 - 平均化処理を行い、A/D 変換終了割り込みを平均値を格納したときに発生 - 平均化するデータ数はチャンネルごとに選択可能(8/16/32/64)	—
割り込み要因	- A/D 変換終了割り込み(ADI0, ADI1) - スキャン終了割り込み(SCANEND0, SCANEND1)	- A/D 変換終了割り込み(ADI0) - チャンネル切り替え割り込み(CHCHG0) - スキャン終了割り込み(SCANEND0)
スキャン動作	A/D 変換が許可されているチャンネルのみ、チャンネル 0 側から順に変換	A/D 変換が許可されているチャンネルのみ、チャンネル 0 側から順に変換
デジタルフィルタ	4 次 Sinc フィルタ	下記構成のいずれかを選択可能 5 次 Sinc フィルタ+1 次 Sinc フィルタ 4 次 Sinc フィルタ+4 次 Sinc フィルタ
Sinc フィルタゲイン補正	—	Sinc フィルタで発生するゲインを自動補正
オフセットエラー、ゲインエラー補正	レジスタに設定した値を用いて、オフセットエラー、ゲインエラーを自動補正	レジスタに設定した値を用いて、オフセットエラー、ゲインエラーを自動補正
断線検出アシスト	入力信号の断線検出アシスト機能が使用可能 断線検出電流をチャンネルごとに設定可能 (0.5 μA, 2 μA, 4 μA, 20 μA)	入力信号の断線検出アシスト機能が使用可能 断線検出電流をチャンネルごとに設定可能 (0.5 μA, 2 μA, 4 μA, 20 μA)
異常検知	A/D 変換結果に異常が発生した場合、A/D 変換結果とともに異常を通知	A/D 変換結果に異常が発生した場合、A/D 変換結果とともに異常を通知
イベントリンク機能	ELC からのトリガにより A/D 変換開始 (ハードウェアトリガ)	ELC からのトリガにより A/D 変換開始 (ハードウェアトリガ)
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能

表 2.45 24 ビット Δ - Σ A/D コンバータのレジスタ比較

レジスタ	ビット	RX23E-A(DSADA)	RX23E-B(DSAD $\mathbf{B}$)
CCR	—	DSAD 動作クロック制御レジスタ	DSAD 動作クロック制御レジスタ
		リセット後の初期値が異なります	
	CLKDIV[3:0]	動作クロック分周比設定ビット b3 b0 0 0 0 0 : PCLKB (分周なし) 0 0 0 1 : PCLKB/2 (2 分周) 0 0 1 0 : PCLKB/3 (3 分周) 0 0 1 1 : PCLKB/4 (4 分周) 0 1 0 0 : PCLKB/5 (5 分周) 0 1 0 1 : PCLKB/6 (6 分周) 0 1 1 0 : PCLKB/7.5 (7.5 分周) 0 1 1 1 : PCLKB/8 (8 分周) 1 1 0 0 : PCLKB (分周なし) 1 1 0 1 : PCLKB/2 (2 分周) 上記以外は設定しないでください	動作クロック分周比設定ビット b3 b0 0 0 0 0 : PCLK $\mathbf{C}$ (分周なし) 0 0 0 1 : PCLK $\mathbf{C}$ /2 (2 分周) 0 0 1 0 : PCLK $\mathbf{C}$ /3 (3 分周) 0 0 1 1 : PCLK $\mathbf{C}$ /4 (4 分周) 0 1 0 0 : PCLK $\mathbf{C}$ /5 (5 分周) 0 1 0 1 : PCLK $\mathbf{C}$ /6 (6 分周) 0 1 1 1 : PCLK $\mathbf{C}$ /8 (8 分周) 1 0 0 0 : PCLK $\mathbf{C}$ /12 (12 分周) 1 0 0 1 : PCLK $\mathbf{C}$ /16 (16 分周) 1 0 1 0 : PCLK $\mathbf{C}$ /20 (20 分周) 1 0 1 1 : PCLK $\mathbf{C}$ /32 (32 分周) 上記以外は設定しないでください
	LPMD	ローパワーモード設定ビット	—
MR	SYNCST	ユニット間同期スタート許可ビット	—
	CH6EN	—	チャンネル 6 A/D 変換許可ビット
	CH7EN	—	チャンネル 7 A/D 変換許可ビット
MR $\mathbf{m}$	—	チャンネル $\mathbf{m}$ 動作モードレジスタ ($\mathbf{m} = 0 \sim 5$)	チャンネル $\mathbf{m}$ 動作モードレジスタ ($\mathbf{m} = 0 \sim 7$)
		リセット後の初期値が異なります	
	OSR[2:0]	オーバーサンプリング比設定ビット	—
	DISAP	+側入力信号断線検出アシストビット	—
	DISAN	-側入力信号断線検出アシストビット	—
	DISA[1:0]	—	断線検出アシストビット
	AVMD[1:0]	平均化処理モード設定ビット	—
	AVDN[1:0]	平均化データ数選択ビット	—
CR $\mathbf{m}$	FSEL	—	Sinc フィルタ選択ビット
	—	チャンネル $\mathbf{m}$ 制御レジスタ ($\mathbf{m} = 0 \sim 5$)	チャンネル $\mathbf{m}$ 制御レジスタ ($\mathbf{m} = 0 \sim 7$)
	CNY[4:0]	A/D 変換回数設定ビット Y	—
	CNX[2:0]	A/D 変換回数設定ビット X A	—
	CNMD	A/D 変換回数演算モードビット	—
ADST	CNT[12:0]	—	A/D 変換回数設定ビット
	ADCE	—	A/D コンバータ動作許可ビット

レジスタ	ビット	RX23E-A(DSADA)	RX23E-B(DSAD ^B)
DR	CCH[2:0] (RX23-A) CCH[3:0] (RX23-B)	変換チャンネル表示ビット b31 b29 000: 未変換またはデータ無効 001: チャンネル 0 010: チャンネル 1 011: チャンネル 2 100: チャンネル 3 101: チャンネル 4 110: チャンネル 5	変換チャンネル表示ビット b31 b28 0000: 未変換またはデータ無効 0001: チャンネル 0 0010: チャンネル 1 0011: チャンネル 2 0100: チャンネル 3 0101: チャンネル 4 0110: チャンネル 5 0111: チャンネル 6 1000: チャンネル 7
AVDR	—	平均値データレジスタ	—
SR	INIT	—	A/D 変換初期化完了フラグ
OSRm	—	チャンネル m オーバサンプリング比設定 レジスタ (m = 0~5)	チャンネル m オーバサンプリング比設定 レジスタ (m = 0~7)
	OSR1[3:0]	—	前段 Sinc フィルタオーバサンプリング 比設定ビット
	OSR2[11:0]	—	後段 Sinc フィルタオーバサンプリング 比設定ビット
SGCRm	—	—	チャンネル m Sinc フィルタゲイン補正 レジスタ (m = 0~7)
GCRm	—	チャンネル m ゲイン補正レジスタ (m = 0~5)	チャンネル m ゲイン補正レジスタ (m = 0~7)
OFCRm	—	チャンネル m オフセット補正レジスタ (m = 0~5)	チャンネル m オフセット補正レジスタ (m = 0~7)

2.16 12 ビット A/D コンバータ

表 2.46 に 12 ビット A/D コンバータの概要比較を、表 2.47 に 12 ビット A/D コンバータのレジスタ比較を示します。

表 2.46 12 ビット A/D コンバータの概要比較

項目	RX23E-A(S12ADE)	RX23E-B(S12ADE)
ユニット数	1 ユニット	1 ユニット
入力チャンネル	6 チャンネル	8 チャンネル
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	1 チャンネル当たり 1.4 μ s (A/D 変換クロック ADCLK = 32MHz 動作時)	1 チャンネル当たり 1.4 μ s (A/D 変換クロック ADCLK = 32MHz 動作時)
A/D 変換クロック	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 - PCLKB : ADCLK 周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 ADCLK の設定はクロック発生回路で行います	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 - PCLKB : ADCLK 周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 ADCLK の設定はクロック発生回路で行います
データレジスタ	- アナログ入力用 6 本、ダブルトリガモードでの A/D 変換データ二重化用 1 本 - 自己診断用 1 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 12 ビット精度出力に対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット /4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能)選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持	- アナログ入力用 8 本、ダブルトリガモードでの A/D 変換データ二重化用 1 本 - 自己診断用 1 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 12 ビット精度出力に対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット /4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能)選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持

項目	RX23E-A(S12ADE)	RX23E-B(S12ADE)
動作モード	• シングルスキャンモード： - 任意に選択した最大 6 チャンネルのアナログ入力を 1 回のみ A/D 変換 • 連続スキャンモード： - 任意に選択した最大 6 チャンネルのアナログ入力を繰り返し A/D 変換 • グループスキャンモード： - 任意に選択した最大 6 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 • グループスキャンモード (グループ A 優先制御選択時) - グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 - グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行 (再スキャン) の設定が可能	• シングルスキャンモード： - 任意に選択した最大 8 チャンネルのアナログ入力を 1 回のみ A/D 変換 • 連続スキャンモード： - 任意に選択した最大 8 チャンネルのアナログ入力を繰り返し A/D 変換 • グループスキャンモード： - 任意に選択した最大 8 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 • グループスキャンモード (グループ A 優先制御選択時) - グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 - グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行 (再スキャン) の設定が可能
A/D 変換開始条件	• ソフトウェアトリガ • 同期トリガ - マルチファンクションタイマパルスユニット(MTU)、イベントリンクコントローラ(ELC)からのトリガ • 非同期トリガ - 外部トリガ ADTRG0#端子による A/D 変換動作の開始が可能	• ソフトウェアトリガ • 同期トリガ - マルチファンクションタイマパルスユニット(MTU)、イベントリンクコントローラ(ELC)からのトリガ • 非同期トリガ - 外部トリガ ADTRG0#端子による A/D 変換動作の開始が可能
機能	• サンプリングステート数可変機能 • 12 ビット A/D コンバータの自己診断機能 • A/D 変換値加算モードと平均モードが選択可能 • アナログ入力断線検出機能(ディスチャージ機能/プリチャージ機能) • ダブルトリガモード (A/D 変換データ二重化機能) • A/D データレジスタオートクリア機能 • コンペア機能 (ウィンドウ A、ウィンドウ B) • コンペア機能使用時のリングバッファ (16 本)	• サンプリングステート数可変機能 • 12 ビット A/D コンバータの自己診断機能 • A/D 変換値加算モードと平均モードが選択可能 • アナログ入力断線検出機能(ディスチャージ機能/プリチャージ機能) • ダブルトリガモード (A/D 変換データ二重化機能) • A/D データレジスタオートクリア機能 • コンペア機能 (ウィンドウ A、ウィンドウ B) • コンペア機能使用時のリングバッファ (16 本)

項目	RX23E-A(S12ADE)	RX23E-B(S12ADE)
割り込み要因	- ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 - グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 - S12ADI0、GBADI 割り込みで DMA コントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能	- ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 - グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 - S12ADI0、GBADI 割り込みで DMA コントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能
イベントリンク機能	- グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時に ELC イベント発生 - グループスキャンモードでのグループBのスキャン終了時に ELC イベント発生 - すべてのスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能 - シングルスキャンモードでのウィンドウコンペア機能のイベント条件に応じて、ELC イベント発生	- グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時に ELC イベント発生 - グループスキャンモードでのグループBのスキャン終了時に ELC イベント発生 - すべてのスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能 - シングルスキャンモードでのウィンドウコンペア機能のイベント条件に応じて、ELC イベント発生
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.47 12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX23E-A(S12ADE)	RX23E-B(S12ADE)
ADDRy	—	A/D データレジスタ y (y = 0~5)	A/D データレジスタ y (y = 0~7)
ADCSR	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット ダブルトリガ対象のアナログ入力を 1 チャンネル選択します。ダブルトリガ モード選択時のみ有効です b4 b0 0 0 0 0 0 : AN000 0 0 0 0 1 : AN001 0 0 0 1 0 : AN002 0 0 0 1 1 : AN003 0 0 1 0 0 : AN004 0 0 1 0 1 : AN005	ダブルトリガ対象チャンネル選択ビット ダブルトリガ対象のアナログ入力を 1 チャンネル選択します。ダブルトリガ モード選択時のみ有効です b4 b0 0 0 0 0 0 : AN000 0 0 0 0 1 : AN001 0 0 0 1 0 : AN002 0 0 0 1 1 : AN003 0 0 1 0 0 : AN004 0 0 1 0 1 : AN005 0 0 1 1 0 : AN006 0 0 1 1 1 : AN007
ADANSA0	ANSA006	—	A/D 変換チャンネル選択ビット
	ANSA007	—	A/D 変換チャンネル選択ビット
ADANSB0	ANSB006	—	A/D 変換チャンネル選択ビット
	ANSB007	—	A/D 変換チャンネル選択ビット
ADADS0	ADS006	—	A/D 変換値加算/平均チャンネル選択 ビット
	ADS007	—	A/D 変換値加算/平均チャンネル選択 ビット
ADSSTRn	—	A/D サンプリングステートレジスタ n (n = 0~5)	A/D サンプリングステートレジスタ n (n = 0~7)
ADCMPANSR0	CMPCHA006	—	コンペアウィンドウ A チャンネル選択 ビット
	CMPCHA007	—	コンペアウィンドウ A チャンネル選択 ビット
ADCMPLR0	CMPLCHA006	—	コンペアウィンドウ A コンペア条件 選択ビット
	CMPLCHA007	—	コンペアウィンドウ A コンペア条件 選択ビット
ADCMPSR0	CMPSTCHA006	—	コンペアウィンドウ A フラグ
	CMPSTCHA007	—	コンペアウィンドウ A フラグ
ADCMPBNSR	CMPCHB[5:0]	コンペアウィンドウ B チャンネル選択 ビット コンペアウィンドウ B の条件で比較を 行うチャンネルを選択します b5 b0 0 0 0 0 0 0 : AN000 0 0 0 0 0 1 : AN001 0 0 0 0 1 0 : AN002 : 0 0 0 1 0 1 : AN005 上記以外は設定しないでください	コンペアウィンドウ B チャンネル選択 ビット コンペアウィンドウ B の条件で比較を 行うチャンネルを選択します b5 b0 0 0 0 0 0 0 : AN000 0 0 0 0 0 1 : AN001 0 0 0 0 1 0 : AN002 : : 0 0 0 1 1 0 : AN006 0 0 0 1 1 1 : AN007 上記以外は設定しないでください

2.17 パッケージ

表 2.48 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。

表 2.48 パッケージ

パッケージタイプ	RENESAS Code	
	RX23E-A	RX23E-B
100 ピン LFQFP	×	○
100 ピン TFBGA	×	○
80 ピン LFQFP	×	○
64 ピン LFQFP	×	○

○ : パッケージあり(RENESAS Code は省略)、 × : パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は青字に、両方のグループに存在するが相違点がある項目は赤字にしています。仕様に相違点がない項目は黒字にしています。

3.1 48 ピンパッケージ

表 3.1 に 48 ピンパッケージ端子機能の比較を示します。

表 3.1 48 ピンパッケージ端子機能の比較

48 ピン LFQFP	RX23E-A	RX23E-B
1	AIN10/AN004/ IEXC0~IEXC3	DA0
2	AIN11/AN005/ IEXC0~IEXC3	AVSS0
3	AVSS0	AVCC0
4	AVCC0	MD/FINED
5	RES#	RES#
6	XTAL/P37	XTAL/P37
7	VSS	VSS
8	EXTAL/P36	EXTAL/P36
9	VCC	VCC
10	VCL	VCL
11	MD/FINED	P67/MTIOC4A/TMRI2/TXD6/SMOSI6/ SSDA6
12	P35/NMI	P66/MTIOC4C/TMCI2/RXD6/SMISO6/ SSCL6
13	P31/MTIOC1A/MTIOC4D/TMO3/CTS1#/ RTS1#/SS1#/IRQ1	P35/NMI
14	P30/MTIOC0A/MTIOC4B/TMCI3/ POE8#/RXD1/SMISO1/SSCL1/IRQ0	P31/MTIOC1A/MTIOC4D/MTCLKB/ TMO3/CACREF/TXD5/SMOSI5/SSDA5/ RSPCKA/IRQ1
15	P27/MTIOC2B/MTIOC4A/TMRI3/SCK1/ IRQ3	P30/MTIOC2A/MTIOC4B/MTCLKD/ TMCI3/POE8#/RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5/IRQ0
16	P26/MTIOC2A/MTIOC4C/TMO0/TXD1/ SMOSI1/SSDA1/IRQ2	P27/MTIOC2B/MTIOC4A/TMRI3/POE2#/ SCK5/CTS12#/RTS12#/SS12#/IRQ3
17	P17/MTIOC3A/MTIOC3B/TMO1/ POE8#/SCK1/MISOA/SDA/IRQ7	P26/MTIOC0A/MTIOC4C/MTCLKC/ TMO0/TXD1/SMOSI1/SSDA1/ CTS5#/RTS5#/SS5#/SCK12/IRQ2
18	P16/MTIOC3C/MTIOC3D/TMO2/TXD1/ SMOSI1/SSDA1/MOSIA/SCL/IRQ6/ ADTRG0#	P17/MTIOC0D/MTIOC3A/MTIOC3B/ TMO1/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/MISOA/SDA/IRQ7
19	P15/MTIOC0B/MTCLKB/TMCI2/RXD1/ SMISO1/SSCL1/SSLA1/CRXD0/IRQ5	P16/MTIOC3C/MTIOC3D/TMO2/ RXD12/SMISO12/SSCL12/RXDX12/ MOSIA/SCL/ADTRG0#/IRQ6
20	P14/MTIOC3A/MTCLKA/TMRI2/CTS1#/ RTS1#/SS1#/SSLA3/CTXD0/IRQ4	P15/MTIOC0C/MTIOC4D/ MTCLKB/TMCI2/CTS1#/RTS1#/SS1#/ SSLA0/CRXD0/IRQ5
21	PH3/MTIC5W/MTCLKB/TMCI0/POE2#/ CTS6#/RTS6#/SS6#/RSPCKA	P14/MTIOC0B/MTIOC3B/MTCLKA/ TMRI2/SCK1/CTXD0/CLKOUT/IRQ4

48 ピン LFQFP	RX23E-A	RX23E-B
22	PH2/MTIC5V/MTCLKA/TMRI0/SCK5/ MOSIA/IRQ1	P55/MTIC5W/TMO0/CTS6#/RTS6#/ SS6#
23	PH1/MTIC5U/MTCLKD/TMO0/ POE2#/TXD5/SMOSI5/SSDA5/SSLA0/ IRQ0/CLKOUT	P54/MTIC5V/TMRI0/SSLA3/SCK6
24	PH0/MTIOC0D/MTCLKC/TMRI0/CACREF/ RXD5/SMISO5/SSCL5/SSLA2	PC7/MTIOC4B/MTIOC3D/MTIC5U/ TMCIO/POE0#/TXD1/SMOSI1/SSDA1/ SSLA1/IRQ7
25	PC7/MTIOC3A/MTCLKB/TMO2/CACREF/ TXD6/SMOSI6/SSDA6/MISOA	PB1/MTIOC4C/MTIOC3A/MTIC5V/ TMRI0/TMC11/POE1#/RXD1/SMISO1/ SSCL1/SSLA2
26	PC6/MTIOC3C/MTCLKA/TMC12/RXD6/ SMISO6/SSCL6/MOSIA	VCC
27	PC5/MTIOC3B/MTCLKD/TMRI2/SCK5/ SCK6/SCK12/RSPCKA	PB0/MTIOC1B/MTIOC3C/MTIC5W/ TMRI1/POE3#/RSPCKA/CMPA2
28	PC4/MTIOC3D/MTCLKC/TMC11/POE0#/ CTS5#/RTS5#/SS5#/CTS12#/RTS12#/ SS12#/SSLA0	VSS
29	PB1/MTIOC1B/MTIOC2A/TMRI1/ POE1#/TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12	AVCC0
30	VCC	AVSS0
31	PB0/MTIOC0C/TMCIO/POE3#/RXD12/ RXDX12/SMISO12/SSCL12/IRQ4	REFOUT
32	VSS	AIN0/AN000
33	AVCC0	AIN1/AN001
34	AVSS0	VREFL0/AIN2/IEXC0/VBIAS
35	REFOUT	VREFH0/AIN3/IEXC1
36	LSW	LSW
37	REF0N	REF0N
38	REF0P	REF0P
39	AIN0/IEXC0~IEXC3	AIN4/AN002
40	AIN1/IEXC0~IEXC3	AIN5/AN003
41	AIN2/IEXC0~IEXC3	AIN8/IEXC0
42	AIN3/IEXC0~IEXC3	AIN9/IEXC1
43	AIN4/IEXC0~IEXC3/REF1N	AIN10/AN004/VBIAS
44	AIN5/IEXC0~IEXC3/REF1P	AIN11/AN005
45	AIN6/AN000/IEXC0~IEXC3	AIN12/AN006/REF1N
46	AIN7/AN001/IEXC0~IEXC3	AIN13/AN007/REF1P
47	VREFL0/AIN8/AN002/IEXC0~IEXC3	VREFH
48	VREFH0/AIN9/AN003/IEXC0~IEXC3	VREFL

3.2 40 ピンパッケージ

表 3.2 に 40 ピンパッケージ端子機能の比較を示します。

表 3.2 40 ピンパッケージ端子機能の比較

40 ピン HWQFN	RX23E-A	RX23E-B
1	AVSS0	DA0
2	AVCC0	AVSS0
3	RES#	AVCC0
4	XTAL/P37	MD/FINED
5	VSS	RES#
6	EXTAL/P36	XTAL/P37
7	VCC	VSS
8	VCL	EXTAL/P36
9	MD/FINED	VCC
10	P35/NMI	VCL
11	P31/MTIOC1A/MTIOC4D/TMO3/ CTS1#/RTS1#/SS1#/IRQ1	P35/NMI
12	P30/MTIOC0A/MTIOC4B/TMC13/ POE8#/RXD1/SMISO1/SSCL1/IRQ0	P31/MTIOC1A/MTIOC4D/MTCLKB/ TMO3/CACREF/TXD5/SMOSI5/ SSDA5/RSPCKA/IRQ1
13	P27/MTIOC2B/MTIOC4A/TMRI3/ SCK1/IRQ3	P30/MTIOC2A/MTIOC4B/MTCLKD/ TMC13/POE8#/RXD1/SMISO1/SSCL1/ RXD5/SMISO5/SSCL5/IRQ0
14	P26/MTIOC2A/MTIOC4C/TMO0/ TXD1/SMOSI1/SSDA1/IRQ2	P27/MTIOC2B/MTIOC4A/TMRI3/ POE2#/SCK5/CTS12#/RTS12#/SS12#/ IRQ3
15	P17/MTIOC3A/MTIOC3B/TMO1/ POE8#/SCK1/MISOA/SDA/IRQ7	P26/MTIOC0A/MTIOC4C/MTCLKC/ TMO0/TXD1/SMOSI1/SSDA1/CTS5#/ RTS5#/SS5#/SCK12/IRQ2
16	P16/MTIOC3C/MTIOC3D/TMO2/TXD1/ SMOSI1/SSDA1/MOSIA/SCL/IRQ6/ ADTRG0#	P17/MTIOC0D/MTIOC3A/MTIOC3B/ TMO1/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/MISOA/SDA/IRQ7
17	P15/MTIOC0B/MTCLKB/TMC12/RXD1/ SMISO1/SSCL1/SSLA1/CRXD0/IRQ5	P16/MTIOC3C/MTIOC3D/TMO2/RXD12/ SMISO12/SSCL12/RXDX12/ MOSIA/SCL/ADTRG0#/IRQ6
18	P14/MTIOC3A/MTCLKA/TMRI2/CTS1#/ RTS1#/SS1#/SSLA3/CTXD0/IRQ4	P15/MTIOC0C/MTIOC4D/MTCLKB/ TMC12/CTS1#/RTS1#/SS1#/SSLA0/ CRXD0/IRQ5
19	PH1/MTCLKD/TMO0/POE2#/TXD5/ SMOSI5/SSDA5/SSLA0/IRQ0/CLKOUT	P14/MTIOC0B/MTIOC3B/MTCLKA/ TMRI2/SCK1/CTXD0/CLKOUT/IRQ4
20	PH0/MTIOC0D/MTCLKC/TMRI0/ CACREF/RXD5/SMISO5/SSCL5/SSLA2	PC7/MTIOC4B/MTIOC3D/MTIC5U/ TMC10/POE0#/TXD1/SMOSI1/ SSDA1/SSLA1/IRQ7
21	PC5/MTIOC3B/MTCLKD/TMRI2/SCK5/ SCK12/RSPCKA	PB1/MTIOC4C/MTIOC3A/MTIC5V/ TMRI0/TMC11/POE1#/RXD1/SMISO1/ SSCL1/SSLA2
22	PC4/MTIOC3D/MTCLKC/TMC11/POE0#/ CTS5#/RTS5#/SS5#/CTS12#/RTS12#/ SS12#/SSLA0	VCC

40 ピン HWQFN	RX23E-A	RX23E-B
23	PB1/MTIOC1B/MTIOC2A/TMRI1/ POE1#/TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12	PB0/MTIOC1B/MTIOC3C/MTIC5W/ TMRI1/POE3#/RSPCKA/CMPA2
24	VCC	VSS
25	PB0/MTIOC0C/TMCIO/POE3#/RXD12/ RXDX12/SMISO12/SSCL12/IRQ4	PE0/MTCLKA/CACREF/SSLA3
26	VSS	AVCC0
27	AVCC0	AVSS0
28	AVSS0	REFOUT
29	REFOUT	VREFL0/AIN2/IEXC0/VBIAS
30	LSW	VREFH0/AIN3/IEXC1
31	REF0N	REF0N
32	REF0P	REF0P
33	AIN0/IEXC0~IEXC3	AIN4/AN002
34	AIN1/IEXC0~IEXC3	AIN5/AN003
35	AIN4/IEXC0~IEXC3/REF1N	AIN10/AN004/VBIAS
36	AIN5/IEXC0~IEXC3/REF1P	AIN11/AN005
37	AIN6/AN000/IEXC0~IEXC3	AIN12/AN006/REF1N
38	AIN7/AN001/IEXC0~IEXC3	AIN13/AN007/REF1P
39	VREFL0/AIN8/AN002/IEXC0~IEXC3	VREFH
40	VREFH0/AIN9/AN003/IEXC0~IEXC3	VREFL

4. 移行の際の留意点

RX23E-A グループと RX23E-B グループの相違について、いくつかの留意点があります。

ソフトウェアに関する留意点を「4.1 機能設定の留意点」で説明します。

4.1 機能設定の留意点

RX23E-A グループで動作するソフトウェアは RX23E-B グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なる場合があるため、十分に評価してください。

以下に RX23E-A グループと RX23E-B グループで異なる機能の設定に関し、ソフトウェアでの留意点について説明します。

モジュールおよび機能の相違点については「2.仕様の概要比較」を参照してください。詳細は「5.参考ドキュメント」のユーザズマニュアルハードウェア編を参照してください。

4.1.1 ポート方向レジスタ(PDR)の初期化

同一ピン数でも、PDR レジスタの初期化が異なります。

4.1.2 DSAD の動作クロック

RX23E-B グループでは、DSAD を使用する場合は周辺モジュールクロック C(PCLKC)を 2 分周に設定してください。

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX23E-A グループ ユーザーズマニュアル ハードウェア編 Rev.1.20 (R01UH0801JJ0120)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX23E-B グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0972JJ0100)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Oct.10.23	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子(または外部発振回路)を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子(または外部発振回路)を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス(予約領域)のアクセス禁止

リザーブアドレス(予約領域)のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス(予約領域)があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0—1 2020.10)

本社所在地

〒135—0061 東京都江東区豊洲 3—2—24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。